

## RX ファミリ

### MTU3/GPTW を用いた A/D 変換開始要求ディレイド機能使用例

#### 要旨

本アプリケーションノートでは、MTU3d および GPTW を用いて A/D 変換開始要求ディレイド機能の動作について説明します。

RX66T グループには、マルチファンクションタイマパルスユニット 3 (MTU3d) と汎用 PWM タイマ (GPTW) が内蔵されており、割り込み間引き機能に連動した A/D 変換開始要求信号の生成をサポートします。

本アプリケーションノートは、MTU3 および GPTW を搭載する RX ファミリデバイスが対象です。本アプリケーションノートを RX66T 以外のマイコンに適用する場合は、対象マイコンの仕様にあわせて変更し、十分評価してください。

#### 対象デバイス

MTU および GPTW を搭載する RX ファミリデバイス

#### 動作確認デバイス

RX66T グループ

以下、マルチファンクションタイマパルスユニット 3 を MTU と記述します。

## 目次

|                                                       |    |
|-------------------------------------------------------|----|
| 1. MTU と GPTW の A/D 変換開始要求ディレイド機能                     | 4  |
| 1.1 A/D 変換開始要求ディレイド機能の概要                              | 4  |
| 1.2 A/D 変換開始要求ディレイド機能の基本動作                            | 6  |
| 1.2.1 MTU の基本動作                                       | 7  |
| 1.2.2 GPTW の基本動作                                      | 11 |
| 1.3 A/D 変換開始要求の間引き機能                                  | 15 |
| 1.3.1 割り込み間引き機能 1 (MTU)                               | 16 |
| 1.3.2 割り込み間引き機能 2 (MTU)                               | 19 |
| 1.3.3 GTITC レジスタによる割り込み間引き機能 (GPTW)                   | 22 |
| 1.3.4 拡張割り込み間引き機能 (GPTW)                              | 26 |
| 1.4 A/D 変換開始要求信号と A/D、イベントリンクコントローラ (ELC) の設定         | 33 |
| 2. 動作確認条件                                             | 36 |
| 3. MTU サンプルコード                                        | 37 |
| 3.1 共通                                                | 37 |
| 3.1.1 サンプルコード一覧                                       | 37 |
| 3.1.2 フォルダ構成                                          | 38 |
| 3.1.3 ファイル構成                                          | 39 |
| 3.1.4 コンポーネントの追加                                      | 40 |
| 3.1.5 端子設定                                            | 41 |
| 3.1.6 割り込み設定                                          | 42 |
| 3.2 割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能               | 43 |
| 3.2.1 概要                                              | 43 |
| 3.2.2 動作詳細                                            | 45 |
| 3.2.3 スマート・コンフィグレータ設定                                 | 46 |
| 3.2.4 フローチャート                                         | 49 |
| 3.2.5 関連動作                                            | 50 |
| 3.2.5.1 アンダフロー割り込み (TCIV4) 間引きと連動した A/D 変換ディレイド機能     | 50 |
| 3.2.6 注意事項                                            | 51 |
| 3.2.6.1 TITCR1A、TITCR1B、TADCORA、TADCORB レジスタ設定        | 51 |
| 3.2.6.2 TADCOBRA、TADCOBRB レジスタ設定                      | 51 |
| 3.2.6.3 割り込み間引き禁止 (未使用) 時の間引き機能との連動設定                 | 51 |
| 3.3 割り込み間引き機能 2 と連動した A/D 変換開始要求ディレイド機能               | 52 |
| 3.3.1 概要                                              | 52 |
| 3.3.2 動作詳細                                            | 54 |
| 3.3.3 スマート・コンフィグレータ設定                                 | 55 |
| 3.3.4 フローチャート                                         | 58 |
| 3.3.5 関連動作                                            | 59 |
| 3.3.5.1 相補 PWM モード以外のモードでの間引き機能 2 と連動した A/D 変換ディレイド機能 | 59 |
| 3.3.6 注意事項                                            | 60 |
| 3.3.6.1 TADCORA、TADCORB レジスタ設定                        | 60 |
| 4. GPTW サンプルコード                                       | 61 |
| 4.1 共通                                                | 61 |

|         |                                                |    |
|---------|------------------------------------------------|----|
| 4.1.1   | サンプルコード一覧 .....                                | 61 |
| 4.1.2   | フォルダ構成 .....                                   | 62 |
| 4.1.3   | ファイル構成 .....                                   | 63 |
| 4.1.4   | コンポーネントの追加 .....                               | 64 |
| 4.1.5   | 端子設定 .....                                     | 66 |
| 4.1.6   | 割り込み設定 .....                                   | 67 |
| 4.2     | GTITC レジスタによる割り込み間引き機能と連動した A/D 変換開始要求機能 ..... | 68 |
| 4.2.1   | 概要 .....                                       | 68 |
| 4.2.2   | 動作詳細 .....                                     | 70 |
| 4.2.3   | スマート・コンフィグレータ設定 .....                          | 71 |
| 4.2.4   | フローチャート .....                                  | 74 |
| 4.2.5   | 注意事項 .....                                     | 75 |
| 4.2.5.1 | GTITC レジスタ設定 .....                             | 75 |
| 4.3     | 拡張割り込み間引き機能と連動した A/D 変換開始要求機能 .....            | 76 |
| 4.3.1   | 概要 .....                                       | 76 |
| 4.3.2   | 動作詳細 .....                                     | 79 |
| 4.3.3   | スマート・コンフィグレータ設定 .....                          | 80 |
| 4.3.4   | フローチャート .....                                  | 83 |
| 4.3.5   | 関連動作 .....                                     | 84 |
| 4.3.5.1 | 拡張割り込み間引きカウンタ 2 の初期値に"1"以上を設定する場合 .....        | 84 |
| 4.3.6   | 注意事項 .....                                     | 85 |
| 4.3.6.1 | GTEITLI2 レジスタ設定 .....                          | 85 |
| 5.      | プロジェクトのインポート方法 .....                           | 86 |
| 5.1     | e <sup>2</sup> studio での手順 .....               | 86 |
| 5.2     | CS+ での手順 .....                                 | 87 |
| 6.      | 参考ドキュメント .....                                 | 88 |
|         | 改訂記録 .....                                     | 89 |

## 1. MTU と GPTW の A/D 変換開始要求ディレイド機能

### 1.1 A/D 変換開始要求ディレイド機能の概要

MTU と GPTW が生成する割り込みの一部は、A/D 変換開始トリガとして使用できます。MTU が A/D 変換開始トリガとして使用できるトリガを表 1-1 に GPTW が A/D 変換開始トリガとして使用できるトリガを表 1-2 に示します。既存の割り込みを使用した A/D 変換開始トリガは、デューティの変更に連動するので、一定の周期で A/D 変換開始を行いたい場合に有効ではありません。

そのため MTU と GPTW は、PWM 出力用コンペアレジスタとは別に A/D 変換開始トリガ用のコンペアレジスタを 2 つ搭載しており、このレジスタとのコンペアマッチタイミングを同期トリガとして出力します。この同期トリガも A/D 変換開始トリガとして選択できます。これにより、PWM 出力コンペアマッチタイミングと独立した A/D 変換タイミングを生成することが可能となり、A/D 変換タイミングを自由に設定できます。このように、A/D 変換開始トリガを生成する機能を MTU では A/D 変換開始要求ディレイド機能、GPTW では A/D 変換開始要求機能と呼びます。詳細は「RX66T グループ ユーザーズマニュアル ハードウェア編」の「22.3.9 A/D 変換開始要求ディレイド機能」、「24.5 A/D 変換開始要求」を参照してください。

表 1-1 MTU の A/D 変換開始トリガ

| 対象                                                    | 割り込み要因                         | A/D 変換開始要求信号 |
|-------------------------------------------------------|--------------------------------|--------------|
| MTU0.TGRA と MTU0.TCNT                                 | インプットキャプチャ／コンペアマッチ             | TRGA0N       |
| MTU9.TGRA と MTU9.TCNT                                 |                                | TRGA9N       |
| MTU9.TGRA と MTU9.TCNT、<br>MTU9.TGRE と MTU9.TCNT       |                                | TRG9AEN      |
| MTU0.TGRA と MTU0.TCNT、<br>MTU0.TGRE と MTU0.TCNT       |                                | TRG0AEN      |
| MTU0.TGRA と MTU0.TCNT、<br>MTU9.TGRA と MTU9.TCNT       |                                | TRGA09N      |
| MTU1.TGRA と MTU1.TCNT                                 |                                | TRGA1N       |
| MTU2.TGRA と MTU2.TCNT                                 |                                | TRGA2N       |
| MTU3.TGRA と MTU3.TCNT                                 |                                | TRGA3N       |
| MTU4.TGRA と MTU4.TCNT                                 |                                | TRGA4N       |
| MTU4.TCNT                                             | 相補 PWM モード時の MTU4.TCNT の谷      |              |
| MTU6.TGRA と MTU6.TCNT                                 | インプットキャプチャ／コンペアマッチ             | TRGA6N       |
| MTU7.TGRA と MTU7.TCNT                                 |                                | TRGA7N       |
| MTU7.TCNT                                             | 相補 PWM モード時の MTU7.TCNT の谷      |              |
| MTU0.TGRE と MTU0.TCNT                                 | コンペアマッチ                        | TRG0N        |
| MTU9.TGRE と MTU9.TCNT                                 |                                | TRG9N        |
| MTU0.TGRE と MTU0.TCNT、<br>MTU9.TGRE と MTU9.TCNT       |                                | TRG09N       |
| MTU4.TADCORA と MTU4.TCNT                              | コンペアマッチ<br>(A/D 変換開始要求ディレイド機能) | TRG4AN       |
| MTU4.TADCORB と MTU4.TCNT                              |                                | TRG4BN       |
| MTU7.TADCORA と MTU7.TCNT                              |                                | TRG7AN       |
| MTU7.TADCORB と MTU7.TCNT                              |                                | TRG7BN       |
| MTU4.TADCORA と MTU4.TCNT、<br>MTU4.TADCORB と MTU4.TCNT |                                | TRG4ABN      |
| MTU7.TADCORA と MTU7.TCNT、<br>MTU7.TADCORB と MTU7.TCNT |                                | TRG7ABN      |

表 1-2 GPTW の A/D 変換開始トリガ

| 対象              | 割り込み要因                                   | A/D 変換開始要求信号 |
|-----------------|------------------------------------------|--------------|
| GTCCRA と GTCNT  | インプットキャプチャ／コンペア<br>マッチ                   | GTClAn       |
| GTCCRB と GTCNT  |                                          | GTClBn       |
| GTCCRC と GTCNT  | コンペアマッチ                                  | GTClCn       |
| GTCCRD と GTCNT  |                                          | GTClDn       |
| GTCCRE と GTCNT  |                                          | GDTEn        |
| GTCCRF と GTCNT  |                                          | GTClEn       |
| GTCNT           | GTCNT カウンタのオーバフロー<br>(GTPR レジスタのコンペアマッチ) | GTClFn       |
|                 | GTCNT カウンタのアンダフロー                        | GTClVn       |
| GTADTRA と GTCNT | コンペアマッチ                                  | A/D 変換開始要求 A |
| GTADTRB と GTCNT |                                          | A/D 変換開始要求 B |

MTU の相補 PWM モード時の動作例 (MTU3/MTU4 使用、1 相のみ) を以下に示します。

MTU3.TGRB : PWM 出力用コンペアレジスタ

MTIOC3B : PWM 出力端子 (正相)

MTIOC3D : PWM 出力端子 (逆相)

MTU4.TADCORA : タイマ A/D 変換開始要求周期設定レジスタ A

MTU4.TADCORB : タイマ A/D 変換開始要求周期設定レジスタ B

TRG4AN : A/D 変換開始要求信号 (MTU4.TCNT のアップカウント時のみ許可)

TRG4BN : A/D 変換開始要求信号 (MTU4.TCNT のアップ／ダウンカウント時許可)

TADCORA、TADCORB の設定値と MTU4.TCNT のコンペアマッチで A/D 変換開始トリガを出力します (TGR4AN、TGR4BN)。

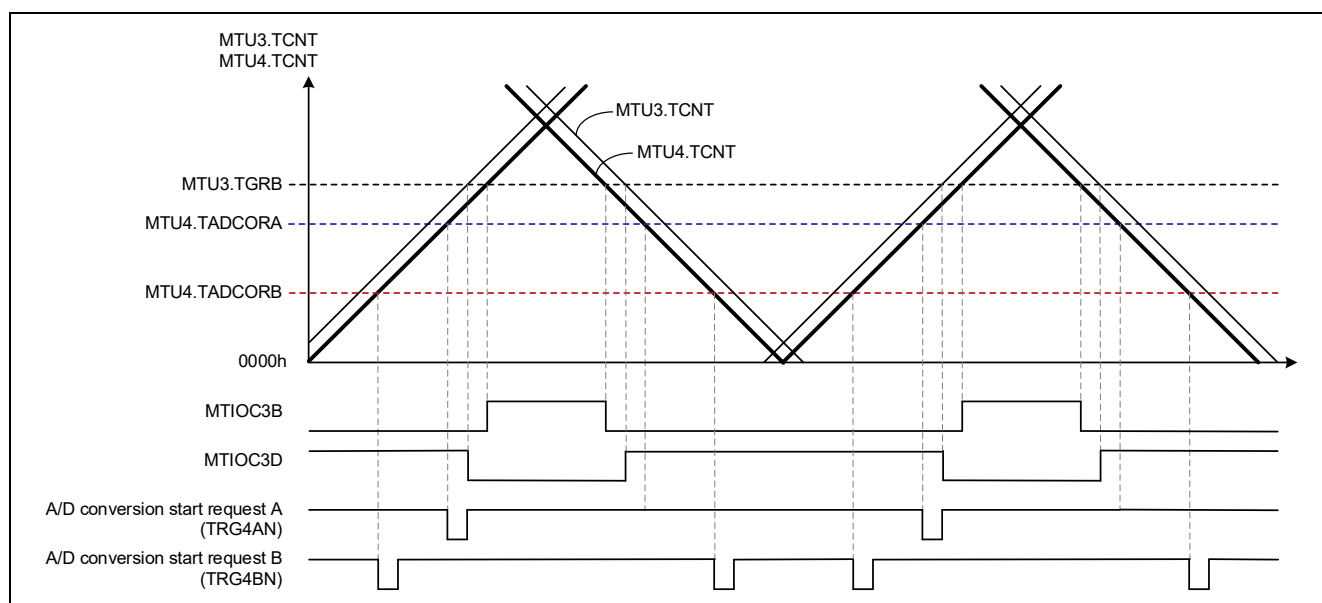


図 1-1 MTU の A/D 変換開始要求ディレイド機能

次頁以降、MTU と GPTW の A/D 変換開始要求ディレイド機能の詳細を説明します。

## 1.2 A/D 変換開始要求ディレイド機能の基本動作

MTU の A/D 変換開始要求ディレイド機能と GPTW の A/D 変換開始要求機能の基本仕様を以下に示します。

MTU、GPTW どちらも、一つのチャンネルにつき 2 つのタイミングを設定することができます。

表 1-3 A/D 変換開始要求ディレイド機能の仕様

| 項目                    | MTU                                                                                                                            | GPTW                                                                                                                           |
|-----------------------|--------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------|
| チャンネル                 | チャンネル 4、7                                                                                                                      | チャンネル 0 ～ 9                                                                                                                    |
| 動作モード                 | <ul style="list-style-type: none"> <li>相補 PWM モード 1/2/3</li> <li>リセット同期 PWM モード</li> <li>PWM モード 1</li> <li>ノーマルモード</li> </ul> | <ul style="list-style-type: none"> <li>三角波 PWM モード 1/2/3 モード</li> <li>のこぎりワンショットパルスモード</li> <li>のこぎり PWM モード</li> </ul>        |
| A/D 変換開始要求レジスタ        | タイマ A/D 変換開始要求周期設定レジスタ<br>(TADCORA、TADCORB)                                                                                    | A/D 変換開始要求タイミングレジスタ<br>(GTADTRA、GTADTRB)                                                                                       |
| A/D 変換開始要求発生タイミング     | <ul style="list-style-type: none"> <li>カウントアップ時</li> <li>カウントダウン時</li> <li>カウントアップおよびダウン時</li> </ul>                           | <ul style="list-style-type: none"> <li>カウントアップ時</li> <li>カウントダウン時</li> <li>カウントアップおよびダウン時</li> </ul>                           |
| A/D 変換開始要求バッファ構成      | <ul style="list-style-type: none"> <li>シングルバッファ<br/>(TADCOBRA、TADCOBRB)</li> </ul>                                             | <ul style="list-style-type: none"> <li>シングルバッファ<br/>(GTADTBRA、GTADTBRB)</li> <li>ダブルバッファ<br/>(GTADTDBRA、GTADTD BRB)</li> </ul> |
| A/D 変換開始要求バッファ転送タイミング | TADCORA、TADCORB は同じタイミングの動作となり、以下から選択できる <ul style="list-style-type: none"> <li>山／オーバーフロー</li> <li>谷</li> <li>山と谷</li> </ul>   | GTADTRA と GTADTRB は異なるタイミングを設定でき、以下から選択できる <ul style="list-style-type: none"> <li>山／オーバーフロー</li> <li>谷</li> <li>山と谷</li> </ul> |

MTU は、チャンネル 4 (MTU4) とチャンネル 7 (MTU7) のみ、A/D 変換開始要求ディレイド機能をサポートします。その他のチャンネルで A/D コンバータの起動を行いたい場合は、A/D 変換開始要求ディレイド機能以外の機能を使用してください。詳細は、RX66T グループ ユーザーズマニュアル ハードウェア編」の「22.4.3 A/D コンバータの起動」を参照してください。

MTU、GPTW 共に、表 1-3 に示す動作モードのみ A/D 変換開始要求ディレイド機能をサポートします。上記以外の動作モードで A/D コンバータの起動を行いたい場合、MTU の詳細は「RX66T グループ ユーザーズマニュアル ハードウェア編」の「22.4.3 A/D コンバータの起動」を確認してください。GPTW の詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「24.6 ELC によるリンク動作」を参照し、A/D 変換開始要求 A/B の発生以外を使用してください。

## 1.2.1 MTU の基本動作

MTU のチャンネル 4 (MTU4) とチャンネル 7 (MTU7) は、A/D 変換開始要求ディレイド機能を使用できます。本アプリケーションノートでは、MTU4 を例に説明します。

タイマ A/D 変換開始要求コントロールレジスタ (MTU4.TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB)、タイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) を設定することで、A/D 変換の開始要求を行うことができます。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT カウンタと MTU4.TADCORA、MTU4.TADCORB がコンペアマッチしたとき、それぞれの A/D 変換の開始要求 (TRG4AN、TRG4BN) が発生します。

相補 PWM モードにおいて、バッファ転送タイミングを MTU4.TCNT の谷に設定し、MTU4.TCNT のダウンカウント時に A/D 変換の開始要求信号 (TRG4AN) を出力する設定にした場合の基本動作例を以下に示します。

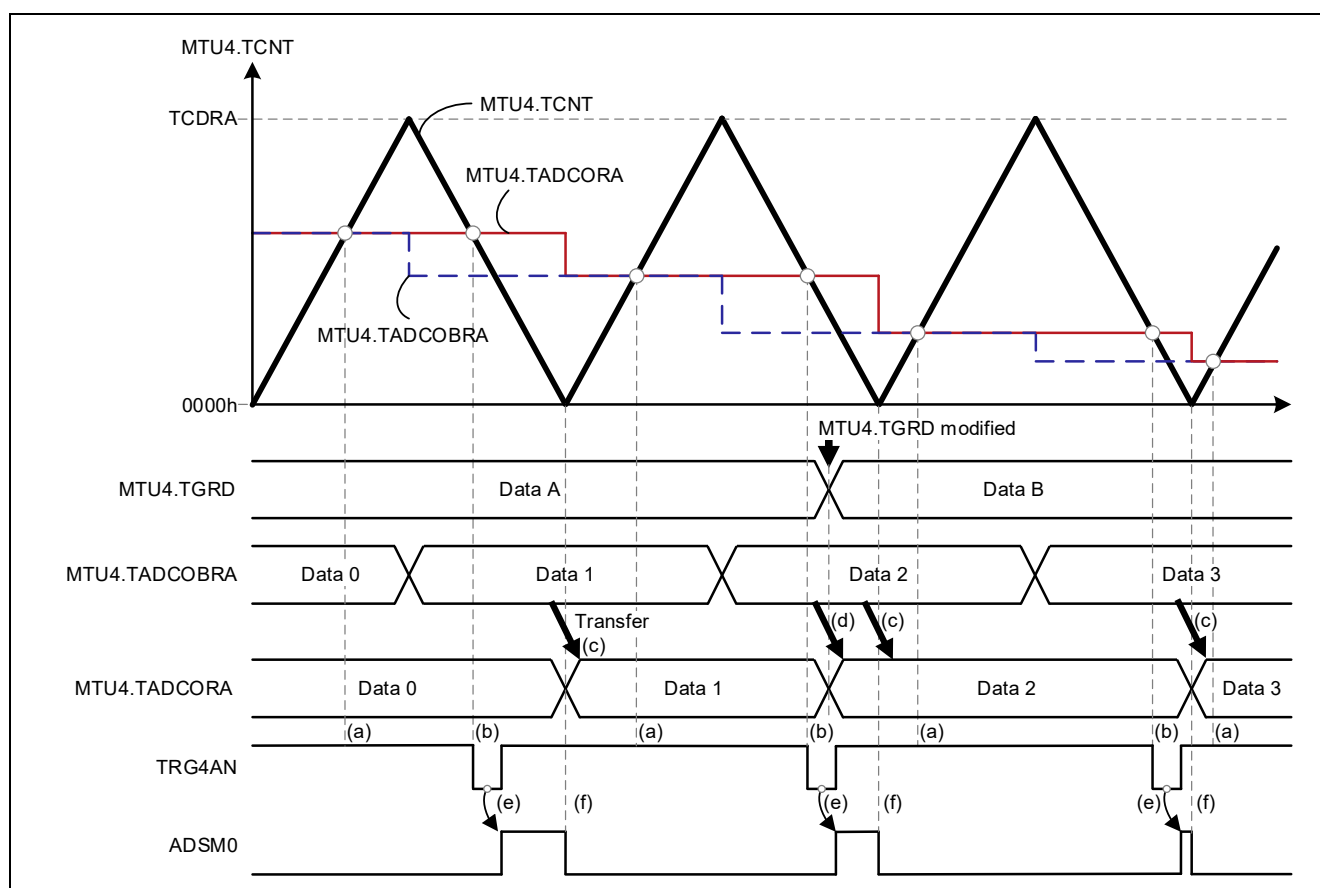


図 1-2 A/D 変換の開始要求信号 (TRG4AN) の基本動作例  
(相補 PWM モード、ダウンカウント時に TRG4AN 出力許可、バッファ転送タイミング：谷)

MTU4.TCNT カウンタのアップカウント期間 ( $0 \leq \text{MTU4.TCNT} \leq \text{TCDRA} - 1$ ) に MTU4.TCNT のカウンタと MTU4.TADCORA レジスタが一致しても A/D 変換の開始要求 (TRG4AN) を行いません (図 1-2 の(a))。MTU4.TCNT カウンタのダウンカウント期間 ( $\text{TCDRA} \geq \text{MTU4.TCNT} \geq 1$ ) に MTU4.TCNT のカウンタと MTU4.TADCORA レジスタが一致すると A/D 変換の開始要求 (TRG4AN) を行います (図 1-2 の(b))。

MTU4.TCNT の谷で MTU4.TADCOBRA から MTU4.TADCORA へ転送します (図 1-2 の(c))。相補 PWM モード時は、MTU4.TGRD レジスタの書き換えタイミングでも MTU4.TADCOBRA から MTU4.TADCORA へ転送します (図 1-2 の(d))。

MTU は、A/D 変換開始要求フレーム同期信号を使用して A/D 変換開始要求信号の発生タイミングを外部端子でモニタすることができます。ADSM0 端子から A/D 変換開始要求信号発生タイミングで High (図 1-2 の(e))、MTU4.TCNT の周期の終わりで Low (図 1-2 の(f)) となるパルス信号を出力します。

#### (1) A/D 変換開始要求の許可

MTU4.TADCR レジスタの UT4AE、DT4AE、UT4BE、DT4BE ビットで許可した期間内に MTU4.TCNT カウンタと MTU4.TADCORA、MTU4.TADCORB が一致したとき、それぞれの A/D 変換開始要求信号 (TRG4AN、TRG4BN) を発生します。

相補 PWM モードとそれ以外のモードで利用できるビットが以下のように異なりますので、注意してください。

表 1-4 TADCR 設定の動作モードによる違い

| シンボル  | 相補 PWM モード                                       | リセット同期 PWM モード<br>PWM モード 1<br>ノーマルモード |
|-------|--------------------------------------------------|----------------------------------------|
| UT4AE | MTU4.TCNT のアップカウント時の A/D 変換の開始要求 (TRG4AN) を許可／禁止 |                                        |
| DT4AE | MTU4.TCNT のダウンカウント時の A/D 変換の開始要求 (TRG4AN) を許可／禁止 | 0 (設定禁止)                               |
| UT4BE | MTU4.TCNT のアップカウント時の A/D 変換の開始要求 (TRG4BN) を許可／禁止 |                                        |
| DT4BE | MTU4.TCNT のダウンカウント時の A/D 変換の開始要求 (TRG4BN) を許可／禁止 | 0 (設定禁止)                               |

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「22.2.35 タイマ A/D 変換開始要求コントロールレジスタ(TADCR)」を参照してください。

## (2) バッファ転送

タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA、MTU4.TADCORB) のデータの更新は、バッファレジスタ (MTU4.TADCOBRA、MTU4.TADCOBRB) にデータを書き込むことにより行います。バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへの転送タイミングは、MTU4.TADCR レジスタの BF[1:0]ビットを設定することにより選択することができます。

タイマの動作モードと MTU4.TADCR レジスタの BF[1:0]ビットの設定により転送タイミングが異なります。詳細は以下を参照ください。

表 1-5 動作モードと TADCR.BF[1:0]ビットの設定による転送タイミングの違い (MTU4 の場合)

| シンボル  |       | 説明                  |                                        |                                        |                                        |
|-------|-------|---------------------|----------------------------------------|----------------------------------------|----------------------------------------|
| BF[1] | BF[0] | 相補 PWM モード          | リセット同期 PWM モード                         | PWM モード 1                              | ノーマルモード                                |
| 0     | 0     | 転送しない               | 転送しない                                  | 転送しない                                  | 転送しない                                  |
| 0     | 1     | MTU4.TCNT の山で転送する   | MTU3.TCNT が MTU3.TGRA とコンペアマッチしたとき転送する | MTU4.TCNT が MTU4.TGRA とコンペアマッチしたとき転送する | MTU4.TCNT が MTU4.TGRA とコンペアマッチしたとき転送する |
| 1     | 0     | MTU4.TCNT の谷で転送する   | 設定禁止                                   | 設定禁止                                   | 設定禁止                                   |
| 1     | 1     | MTU4.TCNT の山と谷で転送する | 設定禁止                                   | 設定禁止                                   | 設定禁止                                   |

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「22.2.35 タイマ A/D 変換開始要求コントロールレジスタ(TADCR)」を参照してください。

また、相補 PWM モード時は MTU4.TGRD レジスタの書き換えのタイミングでも、バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへ転送します。

相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて以下の注意事項があります。

- MTU4.TADCOBRA、MTU4.TADCOBRB レジスタに 0000h、かつ、MTU4.TADCR レジスタの UT4AE、UT4BE ビットに 1b を設定して、MTU4.TCNT カウンタの谷でバッファ転送したとき、転送直後のアップカウント期間については A/D 変換の開始要求を行いません
- MTU4.TADCOBRA、MTU4.TADCOBRB レジスタに TCDR レジスタと同じ値、かつ、MTU4.TADCR レジスタの DT4AE、DT4BE ビットに 1b を設定して、MTU4.TCNT カウンタの山でバッファ転送したとき、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「22.6.28 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」を参照してください。

## (3) A/D 変換開始要求フレーム同期信号

TADSTRGRn レジスタの TADSTRSn[4:0]ビット (n = 0, 1) でモニタしたい A/D 変換要求信号を選択し、TADSTRGRn.TADSMENn ビットで ADSMn 端子出力許可にすると ADSMn 端子から A/D 変換開始要求信号発生タイミングで High、A/D 変換開始要求信号発生に使用したタイマ周期で Low 出力となるパルス信号を出力します。

A/D 変換開始要求ディレイド機能の場合、TADSTRSn[4:0]ビットは以下の設定から選択してください。

表 1-6 TADSTRSn[4:0]ビット (n = 0, 1) の設定による A/D 変換開始要求フレーム同期信号の違い

| TADSTRSn[4:0] |     |     |     |     | 要因      | 内容                                                                                             |
|---------------|-----|-----|-----|-----|---------|------------------------------------------------------------------------------------------------|
| [4]           | [3] | [2] | [1] | [0] |         |                                                                                                |
| 0             | 1   | 0   | 0   | 1   | TRG4AN  | MTU4.TADCORA と MTU4.TCNT のコンペアマッチ                                                              |
| 0             | 1   | 0   | 1   | 0   | TRG4BN  | MTU4.TADCORB と MTU4.TCNT のコンペアマッチ                                                              |
| 0             | 1   | 1   | 0   | 0   | TRG4ABN | MTU4.TADCORA と MTU4.TCNT のコンペアマッチと、<br>MTU4.TADCORB と MTU4.TCNT のコンペアマッチ<br>(割り込み間引き機能 2 を使用時) |

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「22.2.43 A/D 変換開始要求選択レジスタ 0 (TADSTRGR0)」、「22.2.44 A/D 変換開始要求選択レジスタ 1 (TADSTRGR1)」、「22.3.15 A/D 変換開始要求フレーム同期信号」を参照してください。

### 1.2.2 GPTW の基本動作

GPTW は、チャンネル毎に A/D 変換開始要求機能を使用できます。

汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)、A/D 変換開始要求タイミングレジスタ (GTADTRA、GTADTRB)、A/D 変換開始要求タイミングバッファレジスタ (GTADTBRA、GTADTBRB)、A/D 変換開始要求タイミングダブルバッファレジスタ (GTADTDBRA、GTADTDBRB) を設定することで、A/D 変換の開始要求を行うことができます。

GTCNT カウンタと GTADTRA、GTADTRB がコンペアマッチしたとき、それぞれの A/D 変換開始要求 (A/D 変換開始要求 A、A/D 変換開始要求 B) が発生します。

三角波 PWM モードにおいて、バッファ転送タイミングを GTCNT の谷に設定し、GTCNT のダウンカウント時に A/D 変換開始要求を出力する設定にした場合の基本動作例を以下に示します。

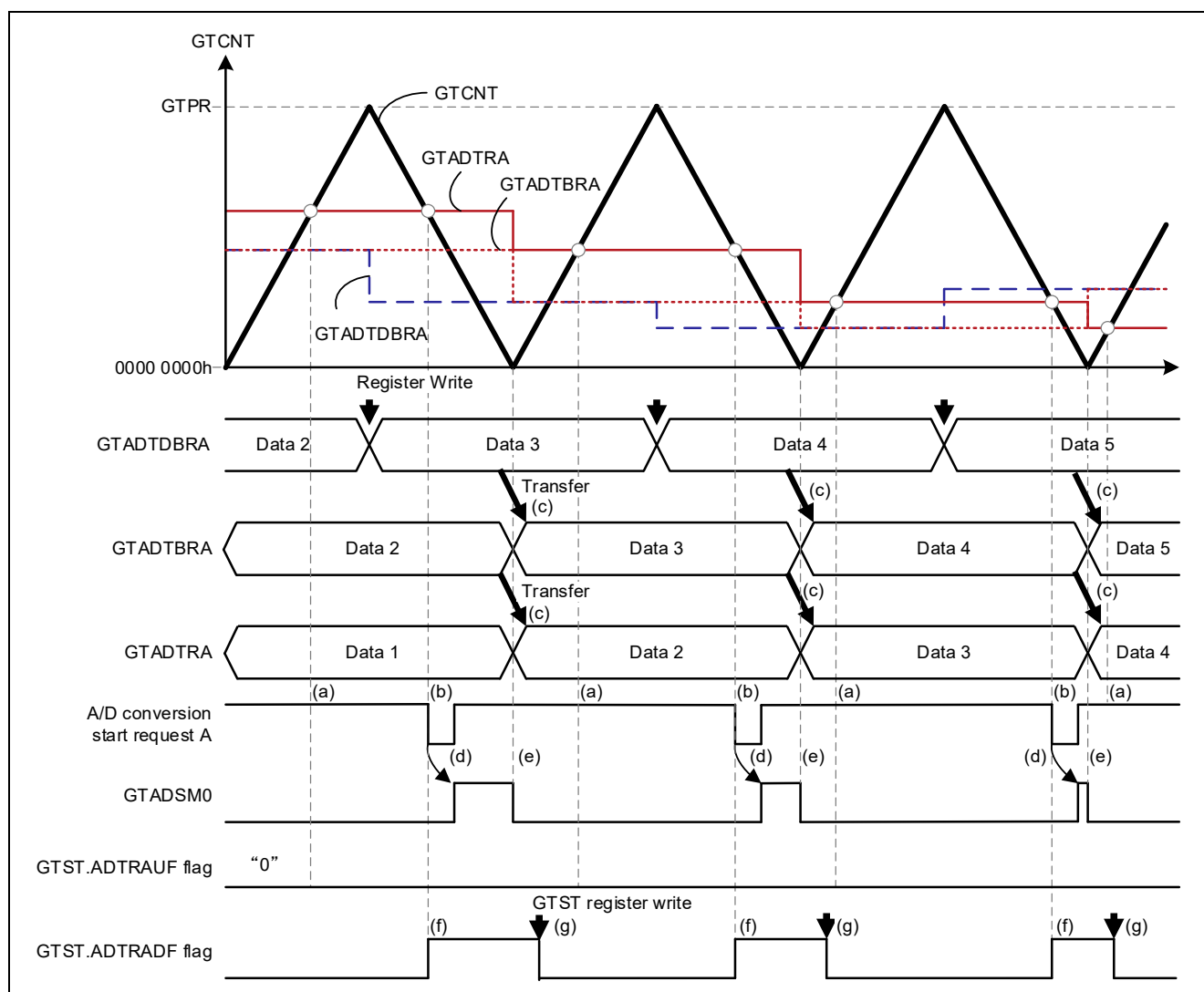


図 1-3 A/D 変換の開始要求信号の基本動作例  
(三角波 PWM モード、ダウンカウント時に A/D 変換開始要求 A 出力許可、  
バッファ転送タイミング：谷)

GTCNT カウンタのアップカウント期間 ( $0 \leq \text{GTCNT} \leq \text{GTPR} - 1$ ) に GTCNT のカウンタと GTADTRA レジスタが一致しても A/D 変換の開始要求 (A/D 変換開始要求 A) を行いません (図 1-3 の (a))。GTCNT カウンタのダウンカウント期間 ( $\text{GTPR} \geq \text{GTCNT} \geq 1$ ) に GTCNT のカウンタと

GTADTRA レジスタが一致すると A/D 変換の開始要求 (A/D 変換開始要求 A) を行います (図 1-3 の (b))。

GTCNT の谷で GTADTDBRA → GTADTBRA → GTADTRA へ転送します (図 1-3 の (c))。

A/D 変換開始要求の発生タイミングは外部端子でモニタすることができます。GTADSM0 端子から A/D 変換開始要求 A の発生タイミングで High (図 1-3 の (d))、GTCNT の周期の終わりで Low (図 1-3 の (e)) となるパルス信号を出力します。

A/D 変換開始要求 A は、汎用 PWM タイマステータスレジスタ (GTST) の A/D 変換開始要求フラグで確認することができます。GTCNT カウンタのダウンカウント期間で GTADTRA レジスタが一致すると A/D 変換開始要求 A が発生し、GTST レジスタの ADTRADF フラグが 1b になります (図 1-3 の (f))。ADTRADF フラグをクリアする場合は、0b を書き込んでください (図 1-3 の (g))。なお、図 1-3 の設定では、GTCNT カウンタのアップカウント期間では A/D 変換開始要求 A は発生しないので、ADTRAUF フラグは 0b を保持します。

#### (1) A/D 変換開始要求の許可

GTINTAD レジスタの ADTRAUEN、ADTRADEN、ADTRBUEN、ADTRBDEN ビットで許可した期間内に GTCNT カウンタと GTADTRA、GTADTRB が一致したとき、それぞれの A/D 変換開始要求信号 (A/D 変換開始要求 A、A/D 変換開始要求 B) を発生します。

動作モードによる違いはありません。

表 1-7 GTINTAD レジスタの設定と A/D 変換開始要求信号の関係

| シンボル     | 三角波 PWM モード 1/2/3 モード<br>のこぎりワンショットパルスモード<br>のこぎり PWM モード  |
|----------|------------------------------------------------------------|
| ADTRAUEN | GTCNT のアップカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を許可／禁止 |
| ADTRADEN | GTCNT のダウンカウント時の GTADTRA レジスタとのコンペアマッチによる A/D 変換開始要求を許可／禁止 |
| ADTRBUEN | GTCNT のアップカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を許可／禁止 |
| ADTRBDEN | GTCNT のダウンカウント時の GTADTRB レジスタとのコンペアマッチによる A/D 変換開始要求を許可／禁止 |

なお、ADTRAUEN、ADTRADEN、ADTRBUEN、ADTRBDEN ビットは、イベントカウント動作時は無効となり、A/D 変換開始要求は発生しません。

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「24.2.15 汎用 PWM タイマ割り込み出力設定レジスタ (GTINTAD)」を参照してください。

## (2) バッファ転送

GTADTRA、GTADTRB レジスタとバッファレジスタの関係を以下に示します。

表 1-8 GTADTRA/GTADTRB レジスタとバッファレジスタの関係

| A/D 変換開始要求タイミングレジスタ | シングルバッファ | ダブルバッファ   |
|---------------------|----------|-----------|
| GTADTRA             | GTADTBRA | GTADTDBRA |
| GTADTRB             | GTADTBRB | GTADTDBRB |

GTADTRA、GTADTRB レジスタをシングルバッファ動作、またはダブルバッファ動作させる場合には、GTBER レジスタの BD[2]、ADTDA、ADTDB ビットを以下のように設定してください。

表 1-9 GTBER レジスタの設定によるバッファ動作の違い

| シンボル  |       |       | 説明                                                                                                                                                                                   |
|-------|-------|-------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| BD[2] | ADTDA | ADTDB |                                                                                                                                                                                      |
| 1     | x     | x     | GTADTRA/GTADTRB レジスタのバッファ動作禁止                                                                                                                                                        |
| 0     | 0     | 0     | <ul style="list-style-type: none"> <li>GTADTRA レジスタはシングルバッファとして動作<br/>GTADTBRA → GTADTRA</li> <li>GTADTRB レジスタはシングルバッファとして動作<br/>GTADTBRB → GTADTRB</li> </ul>                       |
| 0     | 1     | 0     | <ul style="list-style-type: none"> <li>GTADTRA レジスタはダブルバッファとして動作<br/>GTADTDBRA → GTADTBRA → GTADTRA</li> <li>GTADTRB レジスタはシングルバッファとして動作<br/>GTADTBRB → GTADTRB</li> </ul>            |
| 0     | 0     | 1     | <ul style="list-style-type: none"> <li>GTADTRA レジスタはシングルバッファとして動作<br/>GTADTBRA → GTADTRA</li> <li>GTADTRB レジスタはダブルバッファとして動作<br/>GTADTDBRB → GTADTBRB → GTADTRB</li> </ul>            |
| 0     | 1     | 1     | <ul style="list-style-type: none"> <li>GTADTRA レジスタはダブルバッファとして動作<br/>GTADTDBRA → GTADTBRA → GTADTRA</li> <li>GTADTRB レジスタはダブルバッファとして動作<br/>GTADTDBRB → GTADTBRB → GTADTRB</li> </ul> |

転送タイミングは GTADTRA レジスタ、GTADTRB レジスタそれぞれ異なるタイミングを設定できます。GTBER レジスタの ADTTA[1:0]、ADTTB[1:0] ビットを以下のように設定してください。

表 1-10 GTADTRA レジスタの転送タイミング

| シンボル     |          | 説明                       |                                                                                                                        |
|----------|----------|--------------------------|------------------------------------------------------------------------------------------------------------------------|
| ADTTA[1] | ADTTA[0] | 三角波 PWM<br>モード 1/2/3 モード | のこぎりワンショットパルスモード<br>のこぎり PWM モード                                                                                       |
| 0        | 0        | 転送しない                    | 転送しない                                                                                                                  |
| 0        | 1        | GTCNT の山で転送              | <ul style="list-style-type: none"> <li>アンダフロー（ダウンカウント時）で転送</li> <li>オーバフロー（アップカウント時）で転送</li> <li>カウンタクリアで転送</li> </ul> |
| 1        | 0        | GTCNT の谷で転送              |                                                                                                                        |
| 1        | 1        | GTCNT の山と谷で転送            |                                                                                                                        |

表 1-11 GTADTRB レジスタの転送タイミング

| シンボル     |          | 説明                       |                                                                                                                              |
|----------|----------|--------------------------|------------------------------------------------------------------------------------------------------------------------------|
| ADTTB[1] | ADTTB[0] | 三角波 PWM<br>モード 1/2/3 モード | のこぎりワンショットパルスモード<br>のこぎり PWM モード                                                                                             |
| 0        | 0        | 転送しない                    | 転送しない                                                                                                                        |
| 0        | 1        | GTCNT の山で転送              | <ul style="list-style-type: none"> <li>• アンダフロー（ダウンカウント時）で転送</li> <li>• オーバフロー（アップカウント時）で転送</li> <li>• カウンタクリアで転送</li> </ul> |
| 1        | 0        | GTCNT の谷で転送              |                                                                                                                              |
| 1        | 1        | GTCNT の山と谷で転送            |                                                                                                                              |

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「24.2.17 汎用 PWM タイマ バッファイネーブルレジスタ(GTBER)」、「24.3.2.3 GTADTRA, GTADTRB レジスタのバッファ動作」を参照してください。

### (3) A/D 変換開始要求モニタ出力端子

A/D 変換開始要求の発生タイミングは、外部端子でモニタすることができます。GTADSMR.ADSMSk ビット (k = 0, 1) でモニタしたい A/D 変換開始要求信号を選択し、ADSMENk ビットで出力許可にすると、GTADSMk 端子から A/D 変換開始要求信号発生タイミングで High、A/D 変換開始要求信号発生に使用したタイマの周期の終わりで Low 出力となるタイマの周期フレームに同期した信号を出力します。カウンタが停止した場合、出力はカウント停止時の値を保持します。出力を Low にするには、ADSMENk ビットを 0b にしてください。

周期の終わりで A/D 変換開始要求信号が発生した場合、モニタ出力は A/D 変換開始要求信号の発生を優先し、次の周期の終わりまで出力は High になります。

複数のチャンネルで同じ A/D 変換開始要求信号モニタ出力に出力許可した場合、OR された信号が GPTW から出力されます。

GTADSMR.ADSMSk ビット (k = 0, 1) は、以下を設定できます。

MTU の A/D 変換開始要求フレーム同期信号の仕様と異なり、アップカウント時、またはダウンカウント時の A/D 変換開始要求信号しかモニタできないことに注意してください。

表 1-12 ADSMSK[1:0]ビット (k = 0, 1) の設定による A/D 変換開始要求モニタ出力端子の違い

| ADSMsk |     | 説明                                |
|--------|-----|-----------------------------------|
| [1]    | [0] |                                   |
| 0      | 0   | GTADTRA によるアップカウント時の A/D 変換開始要求信号 |
| 0      | 1   | GTADTRA によるダウンカウント時の A/D 変換開始要求信号 |
| 1      | 0   | GTADTRB によるアップカウント時の A/D 変換開始要求信号 |
| 1      | 1   | GTADTRB によるダウンカウント時の A/D 変換開始要求信号 |

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「24.2.32 汎用 PWM タイマ A/D 変換開始要求信号モニタレジスタ(GTADSMR)」を参照してください。

### (4) A/D 変換開始要求信号の遅延

GPTW で発生した A/D 変換開始要求信号は、ELC を経由し A/D コンバータへの起動要因として出力することで、A/D 変換開始トリガとして使用できます。そのため、A/D 変換開始要求信号発生から実際に A/D 変換が開始するまでに遅延があります。

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「図 24.117 A/D 変換開始要求動作タイミング例」を参照してください。

### 1.3 A/D 変換開始要求の間引き機能

タイマの割り込み間引き機能と同様に、A/D 変換開始要求は間引くことができます。間引きの種類を以下に示します。

表 1-13 タイマと間引き機能の種類

| タイマ  | 機能名                    | 動作モード                                                                                                                          | 説明                                                          |
|------|------------------------|--------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------|
| MTU  | 割り込み間引き機能 1            | <ul style="list-style-type: none"> <li>相補 PWM モード 1/2/3</li> </ul>                                                             | 間引かれた TGIA3 (TGIA6)、TCIV4 (TCIV7) に連動して、A/D 変換開始要求を間引く      |
|      | 割り込み間引き機能 2            | <ul style="list-style-type: none"> <li>相補 PWM モード 1/2/3</li> <li>リセット同期 PWM モード</li> <li>PWM モード 1</li> <li>ノーマルモード</li> </ul> | 専用カウンタを使い、A/D 変換開始要求を間引く                                    |
| GPTW | GTITC レジスタによる割り込み間引き機能 | <ul style="list-style-type: none"> <li>三角波 PWM モード 1/2/3 モード</li> <li>のこぎりワンショットパルスモード</li> <li>のこぎり PWM モード</li> </ul>        | GTCNT のオーバフローまたはアンダーフローのカウントに連動して A/D 変換開始要求を間引く            |
|      | 拡張割り込み間引き機能            | <ul style="list-style-type: none"> <li>三角波 PWM モード 1/2/3 モード</li> <li>のこぎりワンショットパルスモード</li> <li>のこぎり PWM モード</li> </ul>        | GTCNT のオーバフローまたはアンダーフローのカウントに連動して A/D 変換開始要求を間引く、バッファ転送も間引く |

## 1.3.1 割り込み間引き機能 1 (MTU)

相補 PWM モードでは、TGIA3 (TGIA6) の山割り込み、および TCIV4 (TCIV7) の谷割り込みは、TITCR1A (TITCR1B) レジスタを設定することにより、最大 7 回まで割り込みを間引くことができます。この機能を割り込み間引き機能 1 と呼びます。

MTU4.TADCR (MTU7.TADCR) レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求 (TRG4AN、TRG4BN (TRG7AN、TRG7BN)) を間引くことができます。

相補 PWM モード以外では、割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能は使用できません。MTU4.TADCR (MTU7.TADCR) レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE (ITA6AE、ITA7VE、ITB6AE、ITB7VE) ビットを 0b にしてください。

MTU4.TCNT のアップカウント、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能 1 と連動した場合の A/D 変換開始要求信号 (TRG4AN) の動作例を以下に示します。

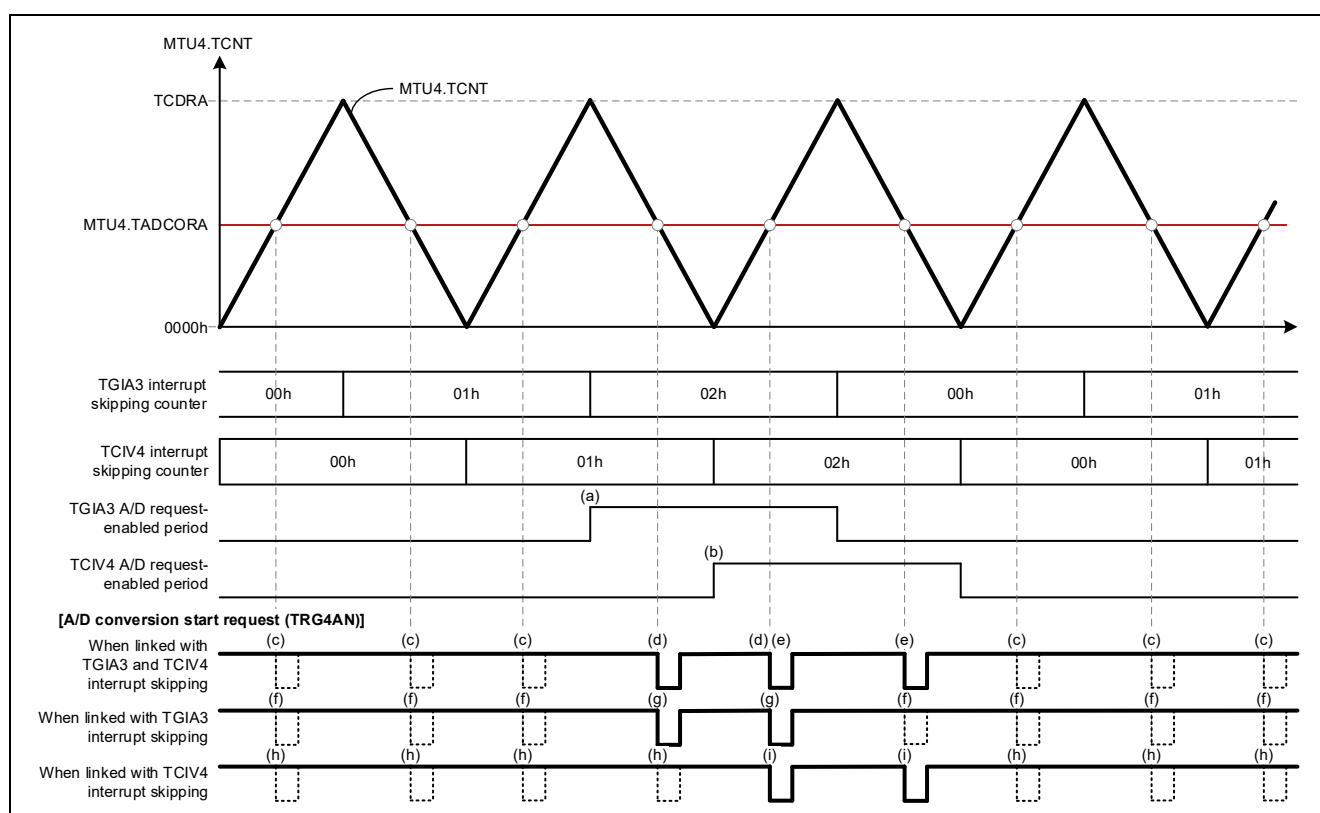


図 1-4 割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (相補 PWM モード、アップ/ダウンカウント時に TRG4AN 出力許可、割り込み間引き回数 : 2 回)

MTU3、MTU4 がカウントスタートすると TGIA3 割り込み間引きカウンタと TCIV4 割り込み間引きカウンタはカウントアップ動作を開始します。タイマ割り込み間引き設定レジスタ 1 (TITCR1A) の T4VCOR[2:0]ビットに 010b、T3ACOR[2:0]ビットに 010b を設定しているため、TGIA3、TCIV4 の割り込み間引き回数はどちらも 2 回となります。TGIA3 割り込み間引きカウンタの値が 02h の間、TGIA3 の A/D 要求許可期間が High となります (図 1-4 の(a))。同様に TCIV4 割り込み間引きカウンタ値が 02h の間、TCIV4 の A/D 要求許可期間が High となります (図 1-4 の(b))。

TGIA3、TCIV4 割り込み間引きと連動する設定にした場合、TGIA3 の A/D 要求許可期間が Low、かつ TCIV4 の A/D 要求許可期間が Low の間に発生した TRG4AN は禁止されます (図 1-4 の(c))。TGIA3 の A/D 要求許可期間が High、または TCIV4 の A/D 要求許可期間が High の間に発生した TRG4AN は許可されます (図 1-4 の(d)(e))。

TGIA3 割り込み間引きと連動する設定にした場合、TGIA3 の A/D 要求許可期間が Low の間に発生した TRG4AN は禁止されます（図 1-4 の(f)）。TGIA3 の A/D 要求許可期間が High の間に発生した TRG4AN は許可されます（図 1-4 の(g)）。

TCIV4 割り込み間引きと連動する設定にした場合、TCIV4 の A/D 要求許可期間が Low の間に発生した TRG4AN は禁止されます（図 1-4 の(h)）。TCIV4 の A/D 要求許可期間が High の間に発生した TRG4AN は許可されます（図 1-4 の(i)）。

#### (1) レジスタ設定

割り込み間引き機能 1 と使用するには、以下のレジスタの設定が必要です。

表 1-14 割り込み間引き機能 1 で使用するレジスタ

| MTU3、MTU4 用 | MTU6、MTU7 用 | レジスタ名                    | 説明                                   |
|-------------|-------------|--------------------------|--------------------------------------|
| TITMRA      | TITMRB      | タイマ割り込み間引きモードレジスタ        | 2 種類の間引き機能を選択                        |
| TITCR1A     | TITCR1B     | タイマ割り込み間引き設定レジスタ 1       | 割り込み間引きの禁止／許可、割り込み間引き回数（0～7 回）の設定を制御 |
| TITCNT1A    | TITCNT1B    | タイマ割り込み間引き回数カウンタ 1       | 各割り込み要因の間引きカウンタ                      |
| MTU4.TADCR  | MTU7.TADCR  | タイマ A/D 変換開始要求コントロールレジスタ | 割り込み間引きと A/D 変換開始要求を連動する／しないを制御      |

TITCR1A、TITCR1B の設定は、それぞれ TITMRA.TITM、TITMRB.TITM ビットを 0b としたときのみ有効になります。また、TITMRA.TITM、TITMRB.TITM ビットを 1b にした場合、TITCR1A、TITCNT1A、TITCR1B、TITCNT1B の値はクリアされます。

TITCNT1A、TITCNT1B は、割り込み要因（TGIA3、TCIV4、TGIA6、TCIV7）が発生したときにカウントアップし、TITCR1A、TITCR1B で設定した間引き回数と一致すると 0b にクリアされます。また、MTU3.TCNT および MTU4.TCNT（MTU6.TCNT および MTU7.TCNT）のカウント動作停止後も、値を保持します。

MTU3、MTU4 用の TITCR1A の設定を表 1-15、MTU4.TADCR の設定を表 1-16 に示します。

表 1-15 TITCR1A レジスタの設定による割り込み間引き機能 1 の違い

| シンボル        | 説明                                                 |
|-------------|----------------------------------------------------|
| T4VCOR[2:0] | TCIV4 割り込みの間引き回数を 0～7 回で設定                         |
| T4VEN       | 0 : TCIV4 割り込みの間引きを禁止する<br>1 : TCIV4 割り込みの間引きを許可する |
| T3ACOR[2:0] | TGIA3 割り込みの間引き回数を 0～7 回で設定                         |
| T3AEN       | 0 : TGIA3 割り込みの間引きを禁止する<br>1 : TGIA3 割り込みの間引きを許可する |

割り込み間引き回数が“0”（TITCR1A.T4VCOR[2:0] = 000b、または TITCR1A.T3ACOR[2:0] = 000b）のとき、間引きは行いません。

表 1-16 MTU4.TADCRC レジスタの設定による割り込み間引き機能 1 の違い

| シンボル   | 説明                                                                                                        |
|--------|-----------------------------------------------------------------------------------------------------------|
| ITB4VE | 0 : A/D 変換の開始要求 (TRG4BN) を TCIV4 割り込み間引き機能 1 と連動しない<br>1 : A/D 変換の開始要求 (TRG4BN) を TCIV4 割り込み間引き機能 1 と連動する |
| ITB3AE | 0 : A/D 変換の開始要求 (TRG4BN) を TGIA3 割り込み間引き機能 1 と連動しない<br>1 : A/D 変換の開始要求 (TRG4BN) を TGIA3 割り込み間引き機能 1 と連動する |
| ITA4VE | 0 : A/D 変換の開始要求 (TRG4AN) を TCIV4 割り込み間引き機能 1 と連動しない<br>1 : A/D 変換の開始要求 (TRG4AN) を TCIV4 割り込み間引き機能 1 と連動する |
| ITA3AE | 0 : A/D 変換の開始要求 (TRG4AN) を TGIA3 割り込み間引き機能 1 と連動しない<br>1 : A/D 変換の開始要求 (TRG4AN) を TGIA3 割り込み間引き機能 1 と連動する |

A/D 変換の開始要求 (TRG4AN、TRG4BN) は、それぞれ間引かれた TGIA3、TCIV4 を連動する／しないを設定することができます。

割り込み間引き機能 1 の詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「22.3.8 相補 PWM モード (3) 相補 PWM モードの割り込み間引き機能 1」を参照してください。

各レジスタの詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「22.2.35 タイマ A/D 変換開始要求コントロールレジスタ (TADCRC)」、「22.2.39 タイマ割り込み間引き設定レジスタ 1m (TITCR1m) (m = A, B)」、「22.2.40 タイマ割り込み間引き回数カウンタ 1m (TITCNT1m) (m = A, B)」を参照してください。

## (2) 割り込み間引き機能 1 と連動するときの注意事項

割り込み間引き機能 1 と連動するときは、以下の注意事項があります。

- 割り込み間引き 1 が禁止のとき、A/D 変換開始要求ディレイド機能は割り込み間引き 1 と連動しない設定にしてください。

割り込み間引き 1 が禁止条件 : TITCR1A.T4VEN = 0b、TITCR1A.T3AEN = 0b のとき、または

TITCR1A.T4VCOR[2:0] = 000b、TITCR1A.T3ACOR[2:0] = 000b のとき

(TITCR1B.T7VEN = 0b、TITCR1B.T6AEN = 0b のとき、または

TITCR1B.T7VCOR[2:0] = 000b、TITCR1B.T6ACOR[2:0] = 000b のとき)

割り込み間引き 1 と連動しない設定 : MTU4.TADCRC レジスタを ITA3AE = 0b、ITA4VE = 0b、

ITB3AE = 0b、ITB4VE = 0b に設定

(MTU7.TADCRC レジスタを ITA6AE = 0b、ITA7VE = 0b、

ITB6AE = 0b、ITB7VE = 0b に設定)

- 割り込み間引き機能 1 と連動するとき、MTU4.TADCORA、MTU4.TADCORB (MTU7.TADCORA、MTU7.TADCORB) レジスタは、以下の値を満たすようにしてください。

$$2 \leq \text{MTUn.TADCORA/TADCORB} \leq \text{TCDR} - 2 \quad (n = 4, 7)$$

- TITCR1A (TITCR1B) レジスタの設定は、タイマ割り込み間引きモードレジスタ (TITMRA、TITMRB) の TITM ビットを 0b にし、かつ MTU3.TIER (MTU6.TIER) レジスタの設定で TGIA3 (TGIA6) 割り込み要求を禁止した状態、MTU4.TIER (MTU7.TIER) レジスタの設定で TCIV4 (TCIV7) 割り込み要求を禁止した状態、かつコンペアマッチが発生しないタイミングで行ってください。また、間引き回数の変更前に、T3AEN (T6AEN)、T4VEN (T7VEN) ビットを 0b にして、間引きカウンタをクリアしてください。

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「22.3.8 相補 PWM モード (3) 相補 PWM モードの割り込み間引き機能 1」、「22.3.9 A/D 変換開始要求ディレイド機能 (5) 割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能」、「22.6.28 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」を参照してください。

### 1.3.2 割り込み間引き機能 2 (MTU)

間引き機能 2 は、専用のカウンタを使用して A/D 変換の開始要求 (TRG4AN、TRG4BN (TRG7AN、TRG7BN)) の発生をカウントし、A/D 変換の開始要求を間引く方法です。

TITMRA (TITMRB) レジスタの TITM ビットを 1b にし、TITCR2A (TITCR2B) レジスタの TRG4COR[2:0] (TRG7COR[2:0]) ビットで設定した値 (0 ~ 7) から、既存の A/D 変換開始トリガ (TRG4AN および TRG4BN (TRG7AN および TRG7BN)) が発生するごとにカウントダウンし、カウンタ値が "0" になり、リロードが起きたとき、TRG4AN および TRG4BN (TRG7AN および TRG7BN) の割り込みが有効になり、A/D 変換開始要求信号 (TRG4ABN (TRG7ABN)) が出力されます。

この機能は A/D 変換開始要求ディレイド機能の使用時のみ有効になります。

相補 PWM モードで、MTU4.TCNT のアップカウント、およびダウンカウント時に TRG4AN、TRG4BN 出力を許可する設定にした、割り込み間引き機能 2 の動作例を以下に示します。

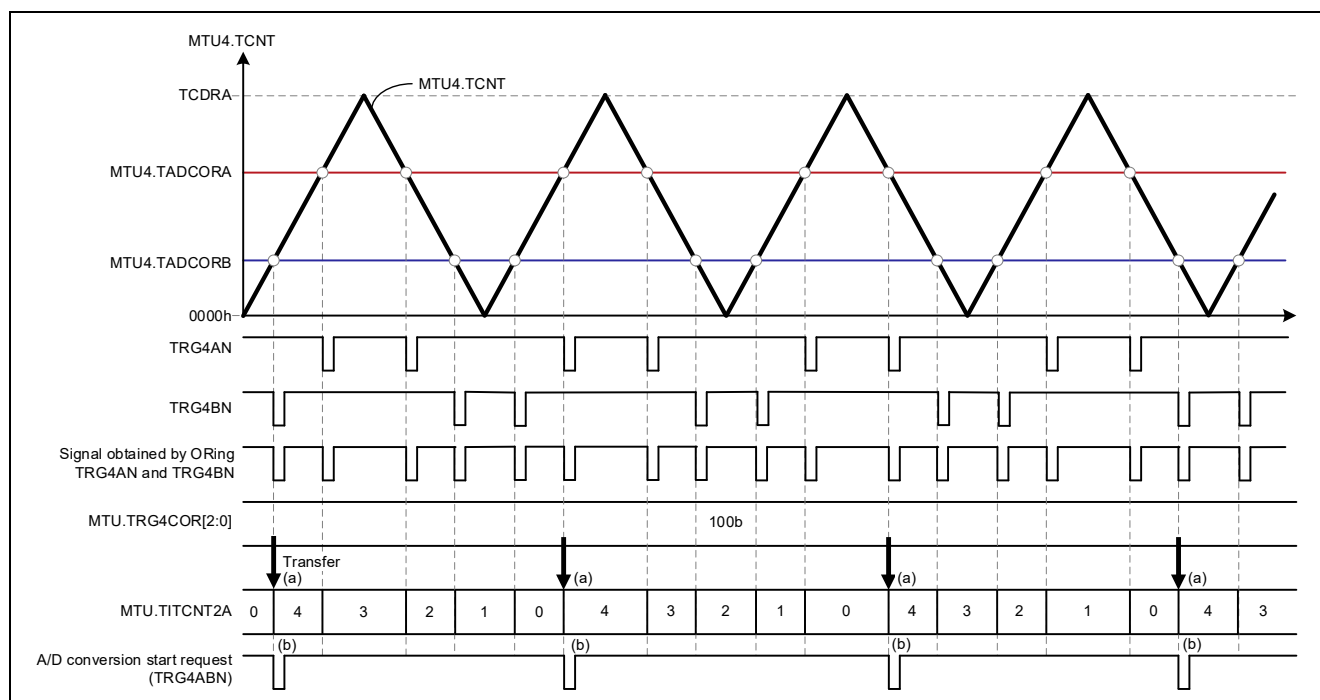


図 1-5 割り込み間引き機能 2 の A/D 変換の開始要求信号 (TRG4ABN) の動作例  
(相補 PWM モード、アップ/ダウンカウント時に TRG4AN、TRG4BN 出力許可、  
割り込み間引き回数 : 4 回)

MTU3、MTU4 がカウントスタートし、MTU4.TCNT のカウンタと TADCORA、TADCORB の設定値とコンペアマッチが発生するとそれぞれ A/D 変換の開始要求 (TRG4AN、TRG4BN) が発生します。

タイマ割り込み間引き設定レジスタ 2 (TITCR2A) の TRG4COR[2:0] ビットに 100b を設定しているので、間引き回数は 4 回となります。

タイマ割り込み間引き回数カウンタ 2 (TITCNT2A) が、TRG4COR[2:0] ビットで設定した値から、TRG4AN、TRG4BN が発生するごとにカウントダウンし、カウンタ値が "0" になり、リロード (図 1-5 の (a)) が起きたとき、TRG4AN、TRG4BN 割り込みが有効になり TRG4ABN が出力されます (図 1-5 の (b))。

## (1) レジスタ設定

割り込み間引き機能 2 を使用するには、以下のレジスタの設定が必要です。

表 1-17 割り込み間引き機能 2 で使用するレジスタ

| MTU3、MTU4 用 | MTU6、MTU7 用 | レジスタ名              | 説明                    |
|-------------|-------------|--------------------|-----------------------|
| TITMRA      | TITMRB      | タイマ割り込み間引きモードレジスタ  | 2 種類の間引き機能を選択         |
| TITCR2A     | TITCR2B     | タイマ割り込み間引き設定レジスタ 2 | 割り込み間引き回数 (0~7 回) の設定 |
| TITCNT2A    | TITCNT2B    | タイマ割り込み間引き回数カウンタ 2 | 間引きカウンタ               |

TITCR2A、TITCR2B の設定は、それぞれ TITMRA.TITM、TITMRB.TITM ビットを 1b としたときのみ有効です。また、TITMRA.TITM、TITMRB.TITM ビットを 0b にした場合、TITCNT2A、TITCNT2B の値はクリアされます。

TITCNT2A、TITCNT2B レジスタは、TITCR2A.TRG4COR[2:0]ビット、TITCR2B.TRG7COR[2:0]ビットで設定した値から、TRG4AN、TRG4BN (TITCNT2A) および TRG7AN、TRG7BN (TITCNT2B) が発生するごとにカウントダウンし、カウンタ値が"0"になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みおよび TRG7AN、TRG7BN の割り込みが有効になり、A/D 変換開始要求信号 (TRG4ABN、TRG7ABN) 出力されます。

リセット解除後、最初の MTU3、MTU4 カウントスタート時、TITCNT2A (TITCNT2B) は初期値"0"からカウントスタートし、最初の TRG4AN、TRG4BN (TRG7AN、TRG7BN) 出力でリロードが起き、TRG4ABN (TRG7ABN) が出力されます。

また、MTU3.TCNT および MTU4.TCNT (MTU6.TCNT および MTU7.TCNT) のカウント動作停止後も、間引き回数カウンタは値を保持します。

割り込み間引き機能 2 の詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「22.3.9 A/D 変換開始要求ディレイド機能 (6) 割り込み間引き機能 2 と連動した A/D 変換開始要求ディレイド機能」を参照してください。

各レジスタの詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「22.2.41 タイマ割り込み間引き設定レジスタ 2m (TITCR2m) (m = A, B)」、「22.2.42 タイマ割り込み間引き回数カウンタ 2m (TITCNT2m) (m = A, B)」を参照してください。

## (2) 割り込み間引き機能 2 を使用するときの注意事項

割り込み間引き機能 2 を使用し、かつ MTU4.TADCORA 値と MTU4.TADCORB 値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでの A/D 変換要求が発生しない場合があります。

以下の設定条件で使用してください。

MTU6、MTU7 の場合は、MTU7.TADCORA、MTU7.TADCORB も同様の設定が必要となります。

- 間引き回数が「0」の場合
  - MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「4」以上
  - MTU4.TADCORA のコンペア間隔が 4PCLKC 以上  
(MTU4.TADCORA レジスタの更新値を「前値 + 4 以上」、「前値 - 4 以下」に設定)
  - MTU4.TADCORB のコンペア間隔が 4PCLKC 以上  
(MTU4.TADCORB レジスタの更新値を「前値 + 4 以上」、「前値 - 4 以下」に設定)
- 間引き回数が「1」以上の場合
  - MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「2」以上
  - MTU4.TADCORB のコンペア間隔が 2PCLKC 以上  
(MTU4.TADCORB レジスタの更新値を「前値 + 2 以上」、「前値 - 2 以下」に設定)

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「22.6.22 割り込み間引き機能 2」を参照してください。

### 1.3.3 GTITC レジスタによる割り込み間引き機能（GPTW）

GPTW では、GTCNT カウンタのオーバフロー（GTPR レジスタのコンペアマッチ）割り込み（GTCIV）／アンダフロー割り込み（GTCIU）は、汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ（GTITC）を設定することにより、最大 7 回まで割り込みを間引くことができます。この機能を GTCIV／GTCIU 割り込み間引き機能と呼びます。GTITC レジスタの設定により、GTCIV／GTCIU 割り込み間引き機能と連動して A/D 変換開始要求を間引くことができます。

GTITC レジスタによる割り込み間引き機能は、拡張割り込み間引き機能とは独立して動作します。

三角波 PWM モードで、GTCNT のアップカウント、およびダウンカウント時に A/D 変換の開始要求信号 A 出力を許可する設定にした、GTITC レジスタによる割り込み間引き機能の A/D 変換の開始要求信号 A の動作例を以下に示します。

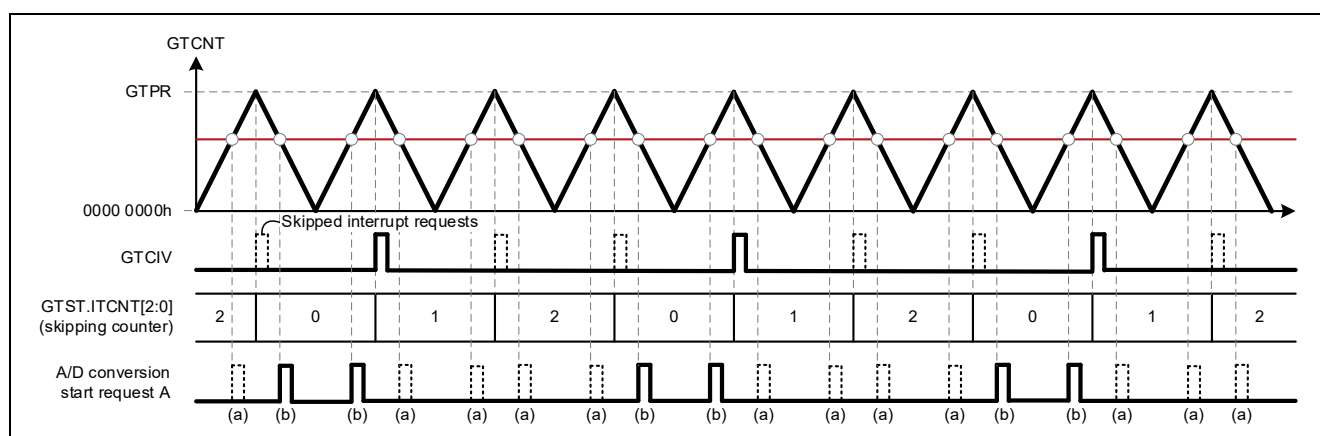


図 1-6 GTITC レジスタによる割り込み間引き機能の A/D 変換の開始要求信号 A の動作例  
（三角波 PWM モード、アップ／ダウンカウント時に A/D 変換開始要求信号 A 出力許可、  
ITCNT：間引き回数 2 回で山をカウント）

GTITC レジスタの IVTC[1:0]ビットに 01b を設定しているため、GTCIV 発生でカウントアップ動作を行います。

GTITC レジスタの IVTT[2:0]ビットに 010b を設定しているため、割り込み間引き回数は 2 回となります。割り込み間引きカウンタ値が 000b の間、A/D 変換の開始要求信号 A の出力は許可されます（図 1-6 の (b)）。カウンタ値が 000b 以外の値の場合は、A/D 変換の開始要求信号 A の出力は禁止されます（図 1-6 の (a)）。

GTITC レジスタによる割り込み間引き機能の詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「24.4.3.1 GTITC レジスタによる割り込み間引き機能」を参照してください。

## (1) レジスタ設定

GTITC レジスタによる割り込み間引き機能を使用するには、以下の設定が必要です。

表 1-18 GTITC レジスタの設定と割り込み間引き機能の関係

| シンボル      | 説明                                                                                                                                                                         |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| IVTC[1:0] | 00: 間引きしない<br>01: のこぎり波のときにオーバフロー／アンダフロー両方を、三角波のときに山をカウントして間引く<br>10: のこぎり波のときにオーバフロー／アンダフロー両方を、三角波のときに谷をカウントして間引く<br>11: のこぎり波のときにオーバフロー／アンダフロー両方を、三角波のときに谷／山両方をカウントして間引く |
| IVTT[2:0] | 間引き回数を 0～7 回から選択する<br>“0”を設定すると間引きしない                                                                                                                                      |
| ADTAL     | GTCIV／GTCIU 割り込み間引き機能と A/D 変換開始要求 A の連動を許可／禁止                                                                                                                              |
| ADTBL     | GTCIV／GTCIU 割り込み間引き機能と A/D 変換開始要求 B の連動を許可／禁止                                                                                                                              |

イベントカウント動作時（GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが 1b の状態の場合）、GTITC レジスタの設定は無効です。

汎用 PWM タイマ拡張割り込み間引きカウンタ制御レジスタ（GTEITC）による拡張割り込み間引きとは独立して動作します。

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「24.2.18 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ(GTITC)」を参照してください。

GTITC レジスタによる割り込み間引き回数は、汎用 PWM タイマステータスレジスタ（GTST）の ITCNT[2:0]ビットで確認することができます。

ITCNT[2:0]ビットは、GTITC レジスタによる割り込み間引き機能を使用時（GTITC.IVTC[1:0]ビットを 00b 以外に設定時）、IVTC[1:0]ビットで選択された GTCIV／GTCIU 割り込みが発生するごとに 1 カウントアップします。

GTCNT のカウント動作停止中、ITCNT[2:0]ビットは 000b になります。

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「24.2.16 汎用 PWM タイマステータスレジスタ(GTST)」を参照してください。

## (2) GTITC レジスタによる割り込み間引き機能と連動するときの注意事項

GTITC レジスタによる割り込み間引き機能と連動するときは、以下の注意事項があります。

- 割り込み間引き機能は、GTITC レジスタの設定だけに依存し、GTINTAD レジスタの割り込み許可ビットの設定には依存しません。また、GTEITC レジスタによる拡張割り込み間引きとは独立して動作します。
- 三角波 PWM モード時に谷／山両方をカウントして間引く場合、間引き回数を奇数回に設定すると、間引きカウンタの開始タイミングにより、谷のみ、もしくは山のみでの GTCIV／GTCIU 割り込み要求が発生しません。三角波で谷／山両方をカウントして間引き、かつ、谷のみ、もしくは山のみでの GTCIV／GTCIU 割り込みを使用する場合は、間引き回数を偶数に設定してください。

三角波 PWM モードで谷／山両方をカウントして間引き、割り込み間引き回数を 3 回にした動作例を以下に示します。以下の条件では、GTCIV 割り込みが間引かれるので発生しません（図 1-7 の(a)）。そのため、アップカウント中に発生する A/D 変換開始要求信号 A も発生しません（図 1-7 の(b)）。

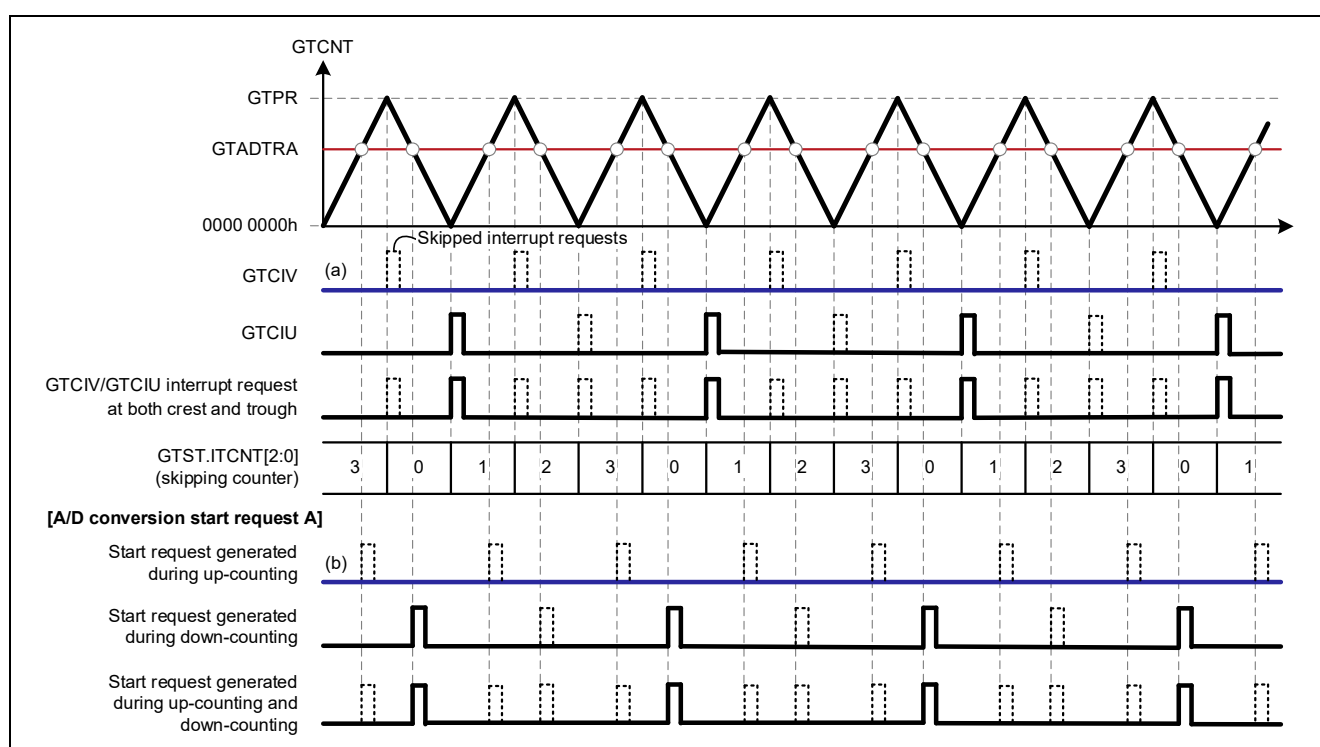


図 1-7 GTITC レジスタによる割り込み間引き機能と連動した A/D 変換の開始要求信号 A の動作例  
 (三角波 PWM モード、アップ／ダウンカウント時に A/D 変換開始要求信号 A 出力許可、  
 ITCNT : 間引き回数 3 回で谷／山両方をカウント)

- のこぎり波 PWM モード時にカウント方向を変えながらオーバフロー／アンダフロー両方をカウントして間引きする場合、オーバフローのみ、もしくはアンダフローのみでの GTCIV／GTCIU 割り込み要求が発生しない場合があります。 のこぎり波 PWM モード時にカウント方向を変えながらオーバフロー／アンダフロー両方をカウントして間引き、かつ、オーバフローのみ、もしくはアンダフローのみでの GTCIV／GTCIU 割り込みを使用する場合は、間引き状態を十分検討のうえ、使用してください。

のこぎり波 PWM モード時にカウント方向を変えながらオーバフロー／アンダフロー両方をカウントして間引き、割り込み間引き回数を 4 回にした動作例を以下に示します。以下の条件では、GTCIV 割り込みが発生しない場合があります（図 1-8 の(a)）。

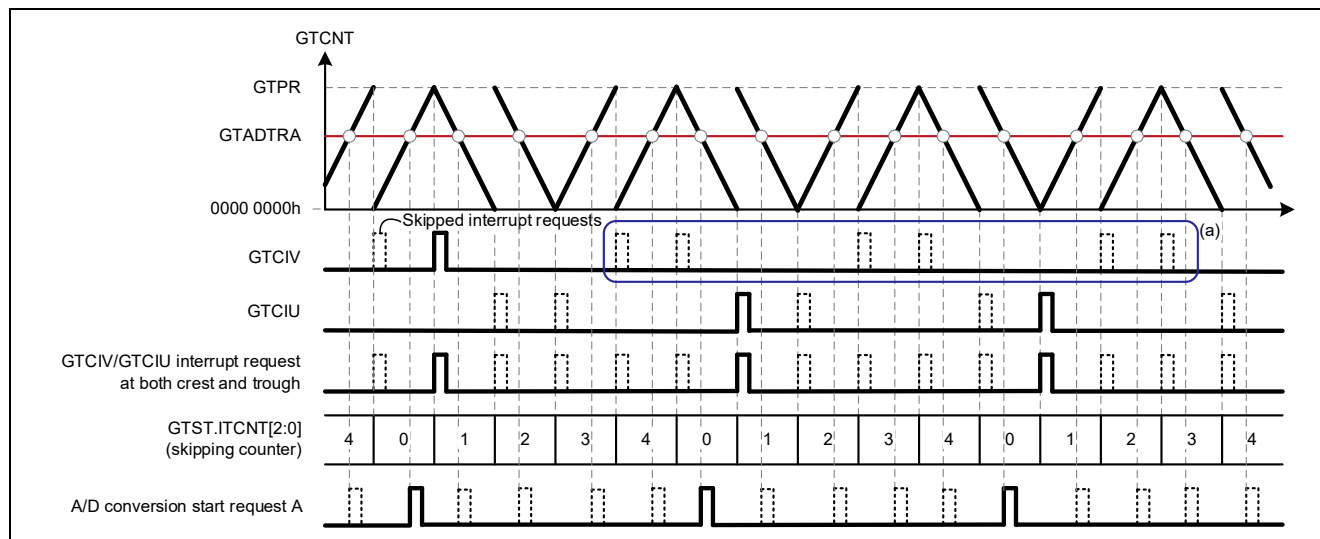


図 1-8 GTITC レジスタによる割り込み間引き機能と連動した A/D 変換の開始要求信号 A の動作例  
 （のこぎり波でカウント方向を切替えながら動作、  
 アップ／ダウンカウント時に A/D 変換開始要求信号 A 出力許可、  
 ITCNT：間引き回数 4 回で谷／山両方をカウント）

- 間引き回数を変更する場合は、間引き機能をいったん解除（GTITC.IVTC[1:0]ビット = 00b）してから行ってください。

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「24.4.3.1 GTITC レジスタによる割り込み間引き機能」を参照してください。

#### 1.3.4 拡張割り込み間引き機能 (GPTW)

汎用 PWM タイマ拡張割り込み間引きカウンタ制御レジスタ (GTEITC)、汎用 PWM タイマ拡張割り込み間引き設定レジスタ 1 (GTEITL1)、汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2 (GTEITL2)、汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ (GTEITLB) の設定により、GTCNT カウンタのオーバフローまたはアンダフローをカウントして、オーバフロー／アンダフロー割り込み、コンペアマッチ／インプットキャプチャ割り込み、A/D 変換開始要求、バッファ転送を間引くことができます。デッドタイムエラー割り込みを間引くことはできません。

この機能を拡張間引き機能といい、GTITC レジスタによる割り込み間引き機能とは独立して動作します。

間引きの有無と間引く期間は、GTEITLI2 レジスタで A/D 変換開始要求、GTEITLB レジスタでバッファ転送とそれぞれ個別に設定できます。例えば、A/D 変換開始要求出力も行うバッファ転送に対して、A/D 変換開始要求の間引き回数は 1 回、バッファ転送の間引き回数は 2 回という異なった値を設定することができます。

間引き期間は、独立した2つの拡張割り込み間引きカウンタ（GTEITC.EITCNT1[3:0]、EITCNT2[3:0]ビット）の動作と拡張割り込み間引き設定レジスタ（GTEITLI2、GTEITLB）の設定に応じて変わります。詳細は、「(3) 間引き期間」を参照してください。

三角波 PWM モードで、GTCNT のアップカウント、およびダウンカウント時に A/D 変換の開始要求信号 A 出力を許可する設定にした、拡張割り込み間引き機能の A/D 変換開始要求信号 A、および GTADTRA レジスタのバッファ転送の動作例を以下に示します。

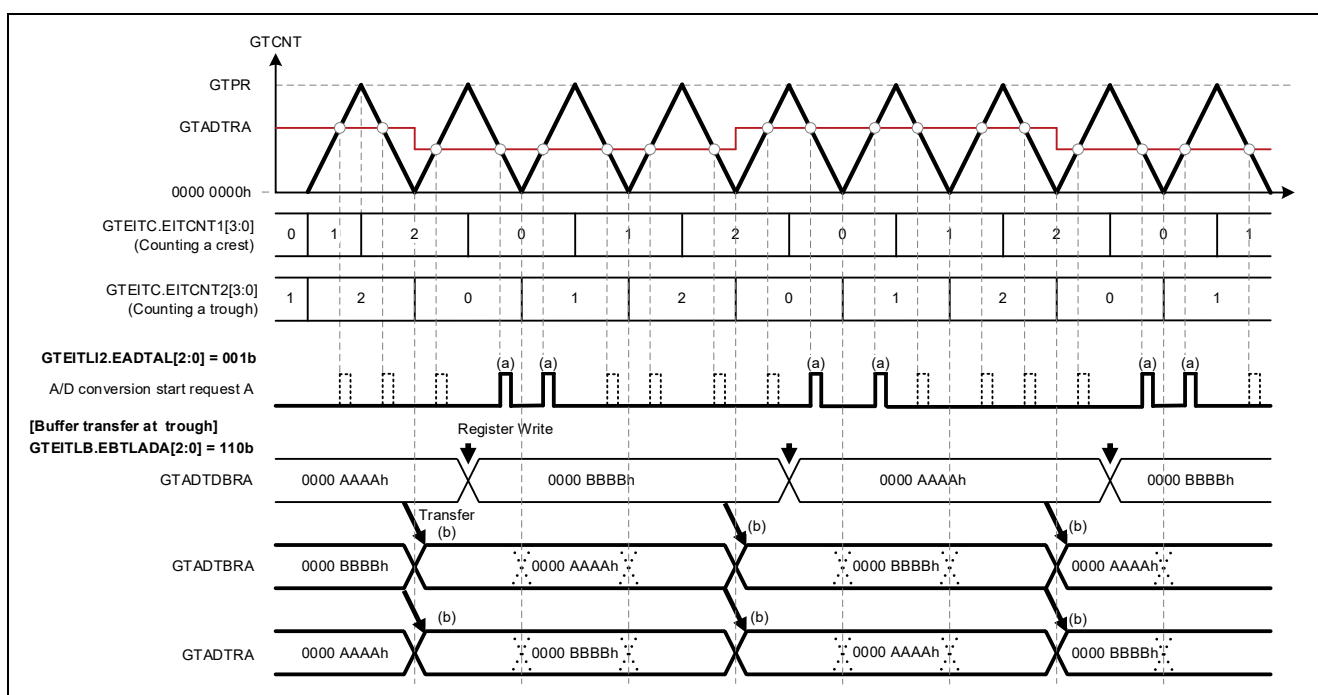


図 1-9 拡張割り込み間引き機能の A/D 変換の開始要求信号 A の動作例

(三角波 PWM モード、アップ/ダウncount時に A/D 変換開始要求信号 A 出力許可、EITCNT1: 間引き回数 2 回で山をカウント、EITCNT2: 間引き回数 2 回で谷をカウント、初期値"1")

EITCNT1 は間引き回数 2 回で山をカウント、EITCNT2 は間引き回数 2 回で谷をカウントします。

A/D 変換開始要求信号 A は、間引き期間を GTEITLI2.EADTAL = 001b に設定しているので、EITCNT1 = 0 の期間で A/D 変換開始要求 A を出力します（図 1-9 の(a)）。GTADTRA レジスタのバッファ転送は、間引き期間を GTEITLB.EBTLADA = 110b に設定しているので、EITCNT2 = 2（間引き回数）の期間で転送します（図 1-9 の(b)）。

拡張割り込み間引き機能の詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「24.4.3.2 拡張割り込み間引き機能」を参照してください。

## (1) レジスタ設定

拡張割り込み間引き機能を使用するには、以下のレジスタの設定が必要です。

表 1-19 拡張割り込み間引き機能で使用するレジスタ

| シンボル     | レジスタ名                         | 説明                          |
|----------|-------------------------------|-----------------------------|
| GTEITC   | 汎用 PWM タイマ拡張割り込み間引きカウンタ制御レジスタ | 間引きカウンタのカウント要因、割り込み間引き回数の設定 |
| GTEITLI2 | 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2   | A/D 変換開始要求の拡張間引き機能を選択       |
| GTEITLB  | 汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ   | バッファ転送の拡張間引き機能を選択           |

イベントカウント動作時（GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが 1b の状態の場合）、GTEITC、GTEITLI2、GTEITLB レジスタは無効です。拡張割り込み間引き機能は使用できません。

A/D 変換開始要求、バッファ転送の間引きを行う場合は、GTEITC を設定するだけでなく、GTEITLI2、GTEITLB で、間引く対象となる A/D 変換開始要求、バッファ転送の間引き機能を個々に設定してください。

GTEITLB レジスタによるバッファ転送の間引きは、GTBER レジスタおよび GTDTCR レジスタで有効となっているバッファ動作、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 で行われるすべてのバッファ動作が対象となります。

詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「24.2.33 汎用 PWM タイマ拡張割り込み間引きカウンタ制御レジスタ(GTEITC)」、「24.2.35 汎用 PWM タイマ拡張割り込み間引き設定レジスタ 2 (GTEITLI2)」、「24.2.36 汎用 PWM タイマ拡張バッファ転送間引き設定レジスタ(GTEITLB)」を参照してください。

## (2) カウンタ動作

拡張割り込み間引き機能は独立した 2 つの間引きカウンタがあります。また、この 2 つのカウンタとは独立した、GTITC レジスタによる割り込み間引き機能で使用するカウンタが 1 つあります。拡張割り込み間引き機能の 2 つの割り込み間引きカウンタ、および GTITC レジスタによる割り込み間引き機能の割り込み間引きカウンタの仕様の違いを以下に示します。

表 1-20 割り込み間引きカウンタの仕様の違い

| 項目            | 拡張割り込み間引き<br>カウンタ 1                                                                                                                                                                        | 拡張割り込み間引き<br>カウンタ 2            | GTITC による割り込み<br>間引きカウンタ |
|---------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------|--------------------------|
| カウント要因設定ビット   | GTEITC.EIVTC1[1:0]                                                                                                                                                                         | GTEITC.EIVTC2[1:0]             | GTITC.IVTC[1:0]          |
| カウント要因種類      | 00 : 間引きしない<br>01 : のこぎり波のときにオーバフロー／アンダフロー両方を、<br>三角波のときに山をカウントして間引く<br>10 : のこぎり波のときにオーバフロー／アンダフロー両方を、<br>三角波のときに谷をカウントして間引く<br>11 : のこぎり波のときにオーバフロー／アンダフロー両方を、<br>三角波のときに谷／山両方をカウントして間引く |                                |                          |
| 間引き回数設定ビット    | GTEITC.EIVTT1[3:0]                                                                                                                                                                         | GTEITC.EIVTT2[3:0]             | GTITC.IVTT[2:0]          |
| 間引き回数         | 0 ~ 15 回                                                                                                                                                                                   |                                | 0 ~ 7 回                  |
| 初期値設定ビット      | —                                                                                                                                                                                          | GTEITC.EITCNT2IV[3:0]          | —                        |
| カウンタ初期値       | 0                                                                                                                                                                                          | GTEITC.EITCNT2IV[3:0]<br>(設定値) | 0                        |
| カウンタ          | GTEITC.EITCNT1[3:0]                                                                                                                                                                        | GTEITC.EITCNT2[3:0]            | GTST.ITCNT[2:0]          |
| カウント方向        | アップカウント                                                                                                                                                                                    |                                |                          |
| GTCNT カウント停止時 | 値を保持                                                                                                                                                                                       |                                | 0 にリセット                  |

拡張割り込み間引きと GTITC レジスタによる割り込み間引きのカウンタの動作例を図 1-10 に示します。

拡張割り込み間引きカウンタ 1 (EITCNT1) は山 (EIVTC1[1:0] = 01b) をカウントし、割り込み間引き回数"2" (EIVTT1[3:0] = 0010b) が設定されています。拡張割り込み間引きカウンタ 2 (EITCNT2) は谷 (EIVTC2[1:0] = 10b) をカウントし、割り込み間引き回数"2" (EIVTT2[3:0] = 0010b)、初期値"1" (EITCNT2IV[3:0] = 0001b) が設定されています。GTITC レジスタによる割り込み間引きカウンタ (GTST.ITCNT[2:0]) は山 (IVTC1[1:0] = 01b) をカウントし、割り込み間引き回数"2" (IVTT[2:0] = 010b) が設定されています。どのカウンタも設定した要因によってカウントアップを行い、設定した間引き回数に達すると"0"に戻るカウントを繰り返します。

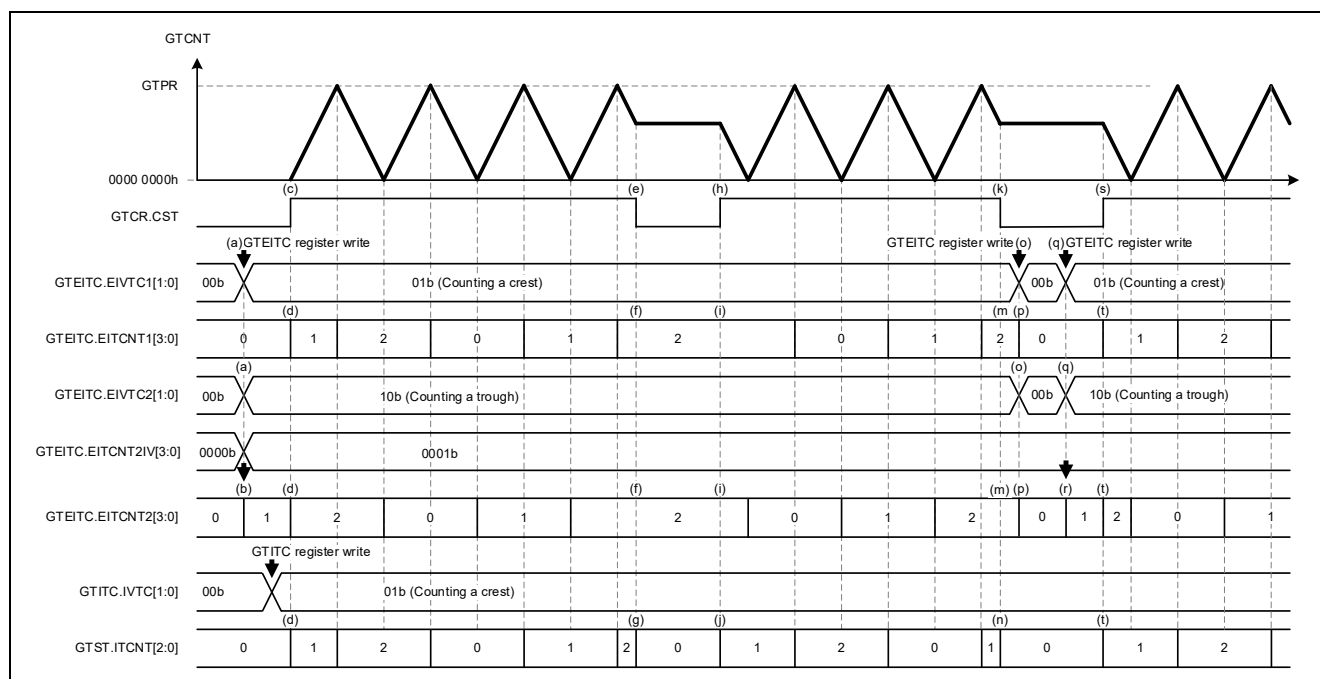


図 1-10 割り込み間引きカウンタの動作例

(三角波 PWM モード、EITCNT1：間引き回数 2 回で山をカウント、  
EITCNT2：間引き回数 2 回で谷をカウント、初期値"1"、ITCNT：間引き回数 2 回で山をカウント)

- GTCNT カウント開始前  
EITCNT1 の初期値："0"  
EITCNT2 の初期値：GTEITC レジスタへの書き込み時 (図 1-10 の(a)) に EITCNT2IV[3:0]の書き込み値を反映 (図 1-10 の(b))  
ITCNT の初期値："0"
- GTCNT カウント開始 (図 1-10 の(c))  
EIVTCNT1、EIVTCNT2、ITCNT はアップカウントを開始 (図 1-10 の(d))
- GTCNT のカウントを停止 (図 1-10 の(e))  
EIVTCNT1 と EIVTCNT2：値を保持 (図 1-10 の(f))  
ITCNT："000b"にリセット (図 1-10 の(g))
- GTCNT のカウントを開始 (図 1-10 の(h))  
EIVTCNT1 と EIVTCNT2：保持した値の状態からアップカウント開始 (図 1-10 の(i))  
ITCNT：アップカウントを開始 (図 1-10 の(j))
- GTCNT のカウントを停止 (図 1-10 の(k))  
EIVTCNT1 と EIVTCNT2：値を保持 (図 1-10 の(m))  
ITCNT："000b"にリセット (図 1-10 の(n))
- EIVTCNT1 と EIVTCNT2 を間引かない設定に変更 (EIVTC1[1:0] = EIVTC2[1:0] = 00b)  
(図 1-10 の(o))  
EIVTCNT1 と EIVTCNT2 は"0000b"にリセット (図 1-10 の(p))
- 再度、EIVTCNT1 と EIVTCNT2 を間引く設定に変更 (図 1-10 の(q))  
EIVTCNT2 に初期値が設定 (図 1-10 の(r))
- GTCNT のカウントを開始する (図 1-10 の(s))  
EIVTCNT1、EIVTCNT2、ITCNT はアップカウントを開始 (図 1-10 の(t))

## (3) 間引き期間

GTEITLI2 レジスタの EADTmL[2:0] (m = A, B) ビットの設定により A/D 変換開始要求の間引く期間を選択できます。同様に GTEITLB レジスタの EBTmLADm[2:0] (m = A, B) ビットの設定により GTADTRm レジスタのバッファ転送 (GTADTRm レジスタ、GTADTBm レジスタ、GTADTDBm レジスタ間の転送) の間引く期間を選択できます。

表 1-21 間引く期間の違い

| EADTmL[2:0],<br>EBTmLADm[2:0] | 機能                                                                                                                                          |
|-------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------|
| 0 0 0                         | 拡張割り込み間引きを行わない                                                                                                                              |
| 0 0 1                         | 拡張割り込み間引きカウンタ 1 の値が"0"以外の期間で A/D 変換開始要求／バッファ転送の間引く<br>(EITCNT1 = 0 の期間では A/D 変換開始要求／バッファ転送する)                                               |
| 0 1 0                         | 拡張割り込み間引きカウンタ 2 の値が"0"以外の期間で A/D 変換開始要求／バッファ転送の間引く<br>(EITCNT2 = 0 の期間では A/D 変換開始要求／バッファ転送する)                                               |
| 0 1 1                         | 拡張割り込み間引きカウンタ 1 または拡張割り込み間引きカウンタ 2 の値が"0"以外の期間で A/D 変換開始要求／バッファ転送の間引く<br>(EITCNT1 = EITCNT2 = 0 の期間では A/D 変換開始要求／バッファ転送する)                  |
| 1 0 0                         | 設定禁止                                                                                                                                        |
| 1 0 1                         | 拡張割り込み間引きカウンタ 1 の値が間引き回数以外の期間で A/D 変換開始要求／バッファ転送の間引く<br>(EITCNT1 = EIVTT1 の期間では A/D 変換開始要求／バッファ転送する)                                        |
| 1 1 0                         | 拡張割り込み間引きカウンタ 2 の値が間引き回数以外の期間で A/D 変換開始要求／バッファ転送の間引く<br>(EITCNT2 = EIVTT2 の期間では A/D 変換開始要求／バッファ転送する)                                        |
| 1 1 1                         | 拡張割り込み間引きカウンタ 1 または拡張割り込み間引きカウンタ 2 の値が間引き回数以外の期間で A/D 変換開始要求／バッファ転送の間引く<br>(EITCNT1 = EIVTT1 かつ EITCNT2 = EIVTT2 の期間では A/D 変換開始要求／バッファ転送する) |

GTEITLI2、GTEITLB を設定しても以下の場合には間引きを行いません。

- GTEITLI2、GTEITLB は、対象となる間引きカウンタがカウントしない設定 (EIVTCK[1:0] = 00b または EIVTTk[3:0] = 0000b) (k = 1, 2) となっている場合、間引きを行いません。
- EADTmL[2:0]、EBTmLADm[2:0] (m = A, B) が"011b"または"111b"のとき、間引きカウンタのどちらか一方がカウントしない設定 (EIVTCK[1:0] = 00b または EIVTTk[3:0] = 0000b) (k = 1, 2) となっている場合、間引きを行いません。

拡張割り込み間引き機能の間引く期間の違いを図 1-11 に示します。

EITCNT1 は山 (EIVTC1[1:0] = 01b) をカウントし、割り込み間引き回数"2" (EIVTT1[3:0] = 0010b) が設定されています。EITCNT2 は谷 (EIVTC2[1:0] = 10b) をカウントし、割り込み間引き回数"2" (EIVTT2[3:0] = 0010b)、初期値"0" (EITCNT2IV[3:0] = 0000b) が設定されています。どちらのカウンタも設定した要因によってカウントアップを行い、設定した間引き回数に達すると"0"に戻るカウントを繰り返します。

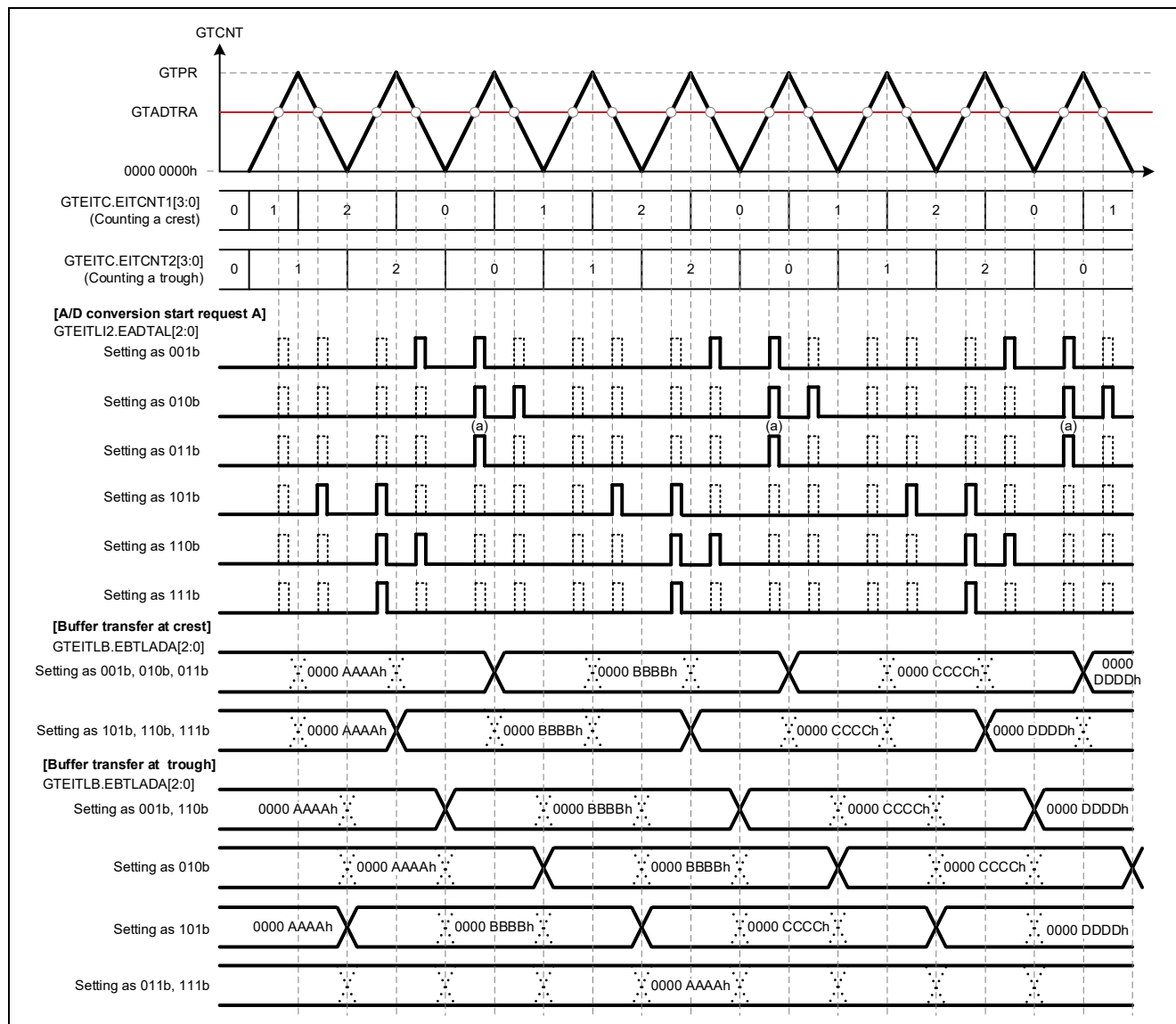


図 1-11 拡張割り込み間引き機能の動作例

(三角波 PWM モード、アップ/ダウンカウント時に A/D 変換開始要求信号 A 出力許可、EITCNT1: 間引き回数 2 回で山をカウント、EITCNT2: 間引き回数 2 回で谷をカウント、初期値"0")

代表として、以下の 2 つの動作を説明します。

- GTEITL2.EADTAL[2:0] = 011b に設定した A/D 変換開始要求 A の動作  
GTEITC.EITCNT1[3:0] = 0 かつ GTEITC.EITCNT2[3:0] = 0 の期間で A/D 変換開始要求 A を出力する (図 1-11 の(a))
- GTEITLB.EBTLADA[2:0] = 111b に設定したバッファ転送は谷の場合の動作  
GTEITC.EITCNT1[3:0] = 2 かつ GTEITC.EITCNT2[3:0] = 2 の期間の谷でバッファ転送を行うが条件に合う状態がないのでバッファ転送を行わない

## (4) 拡張割り込み間引き機能を使用するときの注意事項

- 間引き回数を変更する場合は、間引きカウンタの動作を停止（EIVTC1[1:0]ビットまたは EIVTC2[1:0]ビットに“00b”を設定）してから行ってください。
- GTEITL12 レジスタで設定可能な A/D 変換開始要求の間引きを行った場合、ELC イベント出力は、GTINTAD レジスタの A/D 変換開始要求許可ビットに依存します。GTINTAD レジスタで禁止に設定された A/D 変換開始要求による動作はすべて行われません。

## (5) 拡張割り込み間引き機能と GTITC レジスタによる割り込み間引き機能の同時使用

GTEITL12 レジスタによる A/D 変換開始要求の拡張割り込み間引きは、GTITC レジスタによる割り込み間引きと同時に使用できます。この場合の間引き期間は、それぞれの間引き期間を OR した期間になります。

同時に使用した場合の動作例を以下に示します。

GTITC レジスタによる割り込み間引きカウンタ（GTST.ITCNT[2:0]）は山（IVTC1[1:0] = 01b）をカウントし、割り込み間引き回数“1”（IVTT[2:0] = 001b）が設定されています。拡張割り込み間引きカウンタ 2（EITCNT2）は山（EIVTC2[1:0] = 01b）をカウントし、割り込み間引き回数“2”（EIVTT2[3:0] = 0010b）、初期値“1”（EITCNT2IV[3:0] = 0001b）が設定されています。どちらのカウンタも設定した要因によってカウントアップを行い、設定した間引き回数に達すると“0”に戻るカウントを繰り返します。

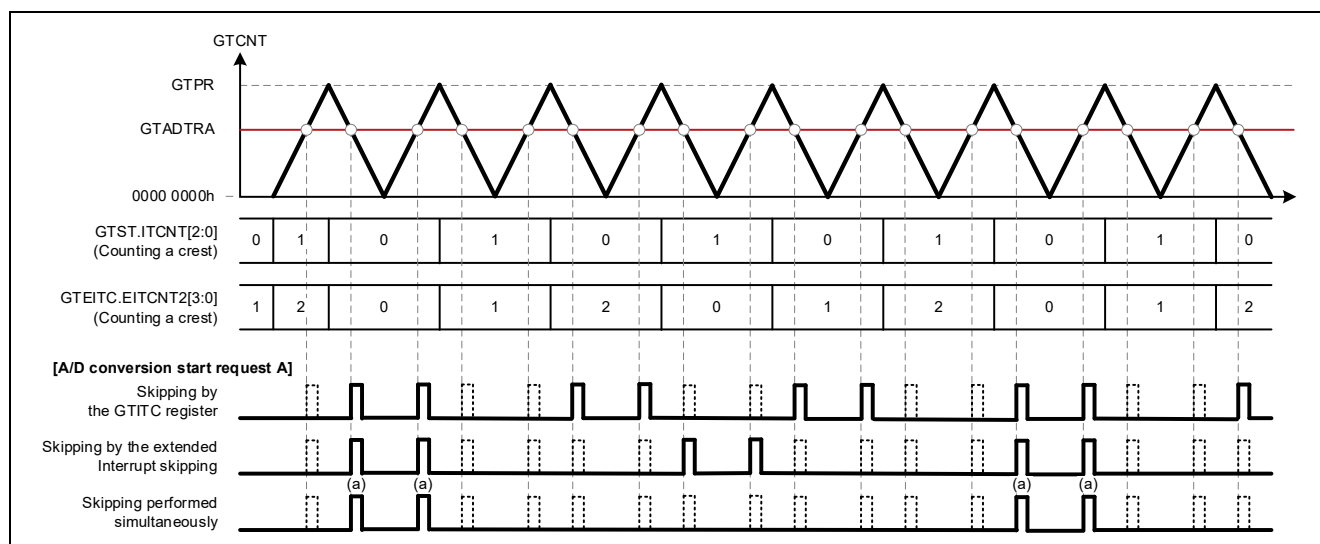


図 1-12 割り込み間引きカウンタの同時に使用した動作例

（三角波 PWM モード、アップ/ダウncount時に A/D 変換開始要求信号 A 出力許可、  
ITCNT : 間引き回数 1 回で山をカウント、EITCNT2 : 間引き回数 2 回で山をカウント、初期値“1”）

GTST.ITCNT[2:0] = 0 かつ GTEITC.EITCNT2[3:0] = 0 の期間で A/D 変換開始要求 A を出力します（図 1-12 の(a)）。

#### 1.4 A/D 変換開始要求信号と A/D、イベントリンクコントローラ（ELC）の設定

MTU は、A/D に対して同期トリガを出力します。対して GPTW は A/D に対して同期トリガが出力されません。GPTW を用いて A/D に同期トリガを出力するためには、ELC を経由する必要があります。そのため、GPTW の出力信号を A/D 変換開始トリガとして使用する場合は、ELC の設定が必要となります。

構成のイメージ図を以下に示します。

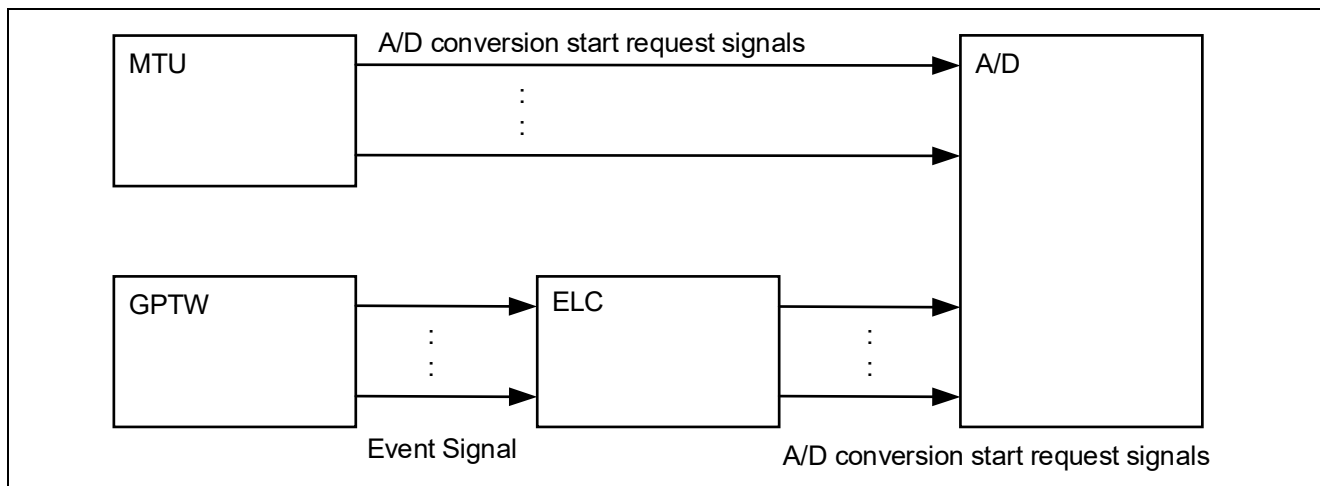


図 1-13 MTU/GPTW と A/D の構成

MTU の A/D 変換開始要求ディレイド機能使用時、または GPTW の A/D 変換開始要求機能使用時、12 ビット A/D コンバータ (S12ADH) は同期トリガによる A/D 変換の起動になるように ADCSR.TRGE ビットを 1b に設定し、かつ ADCSR.EXTRG ビットを 0b に設定してください。

また、A/D 変換開始条件として MTU は表 1-22、GPTW は表 1-23 から設定してください。

表 1-22 12 ビット A/D コンバータの同期トリガー一覧 (MTU)

| 項目                                                                          | A/D 起動要因          |        |        | MTU の設定                                                  |
|-----------------------------------------------------------------------------|-------------------|--------|--------|----------------------------------------------------------|
|                                                                             | S12AD             | S12AD1 | S12AD2 |                                                          |
| MTU4.TADCORA と MTU4.TCNT のコンペアマッチ                                           | TRG4AN            |        |        | A/D 変換開始要求<br>ディレイド機能使用<br>時、または割り込み<br>間引き機能 1 を使用<br>時 |
| MTU4.TADCORB と MTU4.TCNT のコンペアマッチ                                           | TRG4BN            |        |        |                                                          |
| MTU4.TADCORA と MTU4.TCNT のコンペアマッチ、または、<br>MTU4.TADCORB と MTU4.TCNT のコンペアマッチ | TRG4AN または TRG4BN |        |        |                                                          |
| MTU4.TADCORA と MTU4.TCNT のコンペアマッチと、<br>MTU4.TADCORB と MTU4.TCNT のコンペアマッチ    | TRG4ABN           |        |        | 割り込み間引き機能<br>2 を使用時                                      |
| MTU7.TADCORA と MTU7.TCNT のコンペアマッチ                                           | TRG7AN            |        |        | A/D 変換開始要求<br>ディレイド機能使用<br>時、または割り込み<br>間引き機能 1 を使用<br>時 |
| MTU7.TADCORB と MTU7.TCNT のコンペアマッチ                                           | TRG7BN            |        |        |                                                          |
| MTU7.TADCORA と MTU7.TCNT のコンペアマッチ、または、<br>MTU7.TADCORB と MTU7.TCNT のコンペアマッチ | TRG7AN または TRG7BN |        |        |                                                          |
| MTU7.TADCORA と MTU7.TCNT のコンペアマッチと、<br>MTU7.TADCORB と MTU7.TCNT のコンペアマッチ    | TRG7ABN           |        |        | 割り込み間引き機能<br>2 を使用時                                      |

表 1-23 12 ビット A/D コンバータの同期トリガー一覧 (GPTW)

| 項目      | A/D 起動要因         |                  |                  | GPTW の設定                       |
|---------|------------------|------------------|------------------|--------------------------------|
|         | S12AD            | S12AD1           | S12AD2           |                                |
| ELC トリガ | ELCTRG00N        | ELCTRG10N        | ELCTRG20N        | A/D 変換開始要求 A / B 使用時 (間引き機能含む) |
|         | ELCTRG01N        | ELCTRG11N        | ELCTRG21N        |                                |
|         | ELCTRG00N        | ELCTRG10N        | ELCTRG20N        |                                |
|         | または<br>ELCTRG01N | または<br>ELCTRG11N | または<br>ELCTRG21N |                                |

なお、MTU、GPTW どちらの場合でも A/D 変換で使用するトリガの発行間隔は、A/D の実際のスキャン変換時間 ( $t_{SCAN}$ ) 以上となるようにしてください。詳細は、RX66T グループ ユーザーズマニュアル ハードウェア編」の「38.2.15 A/D 変換開始トリガ選択レジスタ (ADSTRGR)」を参照してください。

GPTW の A/D 変換開始要求機能使用時、ELC のイベントリンク設定レジスタ n (ELSRn) と ELS[7:0] ビットは、以下のように設定してください。

表 1-24 ELSRn レジスタと ELS[7:0]ビットの設定によるイベント信号の違い

| ELSRn レジスタ                  | ERSRn.ELS[7:0] ビットの値 | ELSRn 設定イベント信号     |
|-----------------------------|----------------------|--------------------|
| ELSR15 : S12AD (ELCTRG00N)  | 50h                  | GPTW0・A/D 変換開始要求 A |
| ELSR45 : S12AD1 (ELCTRG10N) | 51h                  | GPTW0・A/D 変換開始要求 B |
| ELSR46 : S12AD2 (ELCTRG20N) | 5Ah                  | GPTW1・A/D 変換開始要求 A |
| ELSR56 : S12AD (ELCTRG01N)  | 5Bh                  | GPTW1・A/D 変換開始要求 B |
| ELSR57 : S12AD1 (ELCTRG11N) | 64h                  | GPTW2・A/D 変換開始要求 A |
| ELSR58 : S12AD2 (ELCTRG21N) | 65h                  | GPTW2・A/D 変換開始要求 B |
|                             | 6Eh                  | GPTW3・A/D 変換開始要求 A |
|                             | 6Fh                  | GPTW3・A/D 変換開始要求 B |
|                             | 78h                  | GPTW4・A/D 変換開始要求 A |
|                             | 79h                  | GPTW4・A/D 変換開始要求 B |
|                             | 82h                  | GPTW5・A/D 変換開始要求 A |
|                             | 83h                  | GPTW5・A/D 変換開始要求 B |
|                             | 8Ch                  | GPTW6・A/D 変換開始要求 A |
|                             | 8Dh                  | GPTW6・A/D 変換開始要求 B |
|                             | 96h                  | GPTW7・A/D 変換開始要求 A |
|                             | 97h                  | GPTW7・A/D 変換開始要求 B |
|                             | A0h                  | GPTW8・A/D 変換開始要求 A |
|                             | A1h                  | GPTW8・A/D 変換開始要求 B |
|                             | Aah                  | GPTW9・A/D 変換開始要求 A |
|                             | ABh                  | GPTW9・A/D 変換開始要求 B |

## 2. 動作確認条件

本アプリケーションノートのサンプルコードは、以下に示す条件で動作を確認しています。

表 2-1 動作確認環境

| 項目                      | 内容                                                                                                                                                                                                                                                                                                                                                    |
|-------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 使用 MCU                  | R5F566TEADFP (Renesas Starter Kit for RX66T 搭載)                                                                                                                                                                                                                                                                                                       |
| 動作周波数                   | メインクロック : 8MHz<br>PLL : 160MHz (メインクロック x 1/1 x 20)<br>HOCO : 停止<br>LOCO : 停止<br>システムクロック (ICLK) : 160MHz (PLL x 1/1)<br>周辺モジュールクロック A (PCLKA) : 80MHz (PLL x 1/2)<br>周辺モジュールクロック B (PCLKB) : 40MHz (PLL x 1/4)<br>周辺モジュールクロック C (PCLKC) : 160MHz (PLL x 1/1)<br>周辺モジュールクロック D (PCLKD) : 40MHz (PLL x 1/4)<br>FlashIF クロック (FCLK) : 40MHz (PLL x 1/4) |
| 動作電圧                    | 3.3V                                                                                                                                                                                                                                                                                                                                                  |
| 総合開発環境                  | ルネサスエレクトロニクス<br>e <sup>2</sup> studio Version 2022-10                                                                                                                                                                                                                                                                                                 |
| C コンパイラ <sup>注</sup>    | ルネサスエレクトロニクス<br>C/C++ Compiler Package for RX Family V3.04.00<br>コンパイラオプション<br>統合開発環境のデフォルト設定が適用されます。                                                                                                                                                                                                                                                 |
| RX スマート・コンフィグレータ        | V2.15.0                                                                                                                                                                                                                                                                                                                                               |
| ボードサポートパッケージ<br>(r_bsp) | V7.20                                                                                                                                                                                                                                                                                                                                                 |
| エンディアン                  | リトルエンディアン                                                                                                                                                                                                                                                                                                                                             |
| 動作モード                   | シングルチップモード                                                                                                                                                                                                                                                                                                                                            |
| プロセッサモード                | スーパバイザモード                                                                                                                                                                                                                                                                                                                                             |
| サンプルコードバージョン            | V1.00                                                                                                                                                                                                                                                                                                                                                 |
| 使用ボード                   | Renesas Starter Kit for RX66T (型名 : RTK50566T0CxxxxxBE)                                                                                                                                                                                                                                                                                               |
| エミュレータ                  | E2-Lite                                                                                                                                                                                                                                                                                                                                               |

注 元のプロジェクトで指定するツールチェーン(C コンパイラ) と同一のバージョンがインポートする先がない場合は、ツールチェーンが選択されない状態になり、エラーが発生します。プロジェクトの設定画面でツールチェーンの選択状態を確認してください。

設定方法は、FAQ 3000404 を参照してください。

FAQ 3000404 :インポートしたプロジェクトをビルドすると「PATH でプログラム"make"が見つかりません」エラーになる(e<sup>2</sup> studio)

### 3. MTU サンプルコード

#### 3.1 共通

##### 3.1.1 サンプルコード一覧

本アプリケーションノートは、スマート・コンフィグレータを使用した以下のサンプルコードを用意しています。

サンプルコードはルネサスエレクトロニクスホームページから入手してください。

表 3-1 MTU サンプルコード一覧

| 名称                                                                             | サンプルコードの使用条件                                                                  | 参照  |
|--------------------------------------------------------------------------------|-------------------------------------------------------------------------------|-----|
| 割り込み間引き機能 1 と連動した A/D 変換<br>開始要求ディレイド機能<br>r01an6643_rx66t_mtu3_ad_delay_1.zip | <ul style="list-style-type: none"><li>相補 PWM モード 2</li><li>シングルバッファ</li></ul> | 3.2 |
| 割り込み間引き機能 2 と連動した A/D 変換<br>開始要求ディレイド機能<br>r01an6643_rx66t_mtu3_ad_delay_2.zip | <ul style="list-style-type: none"><li>相補 PWM モード 2</li><li>シングルバッファ</li></ul> | 3.3 |

### 3.1.2 フォルダ構成

サンプルコードの主なフォルダ構成は以下のとおりです。

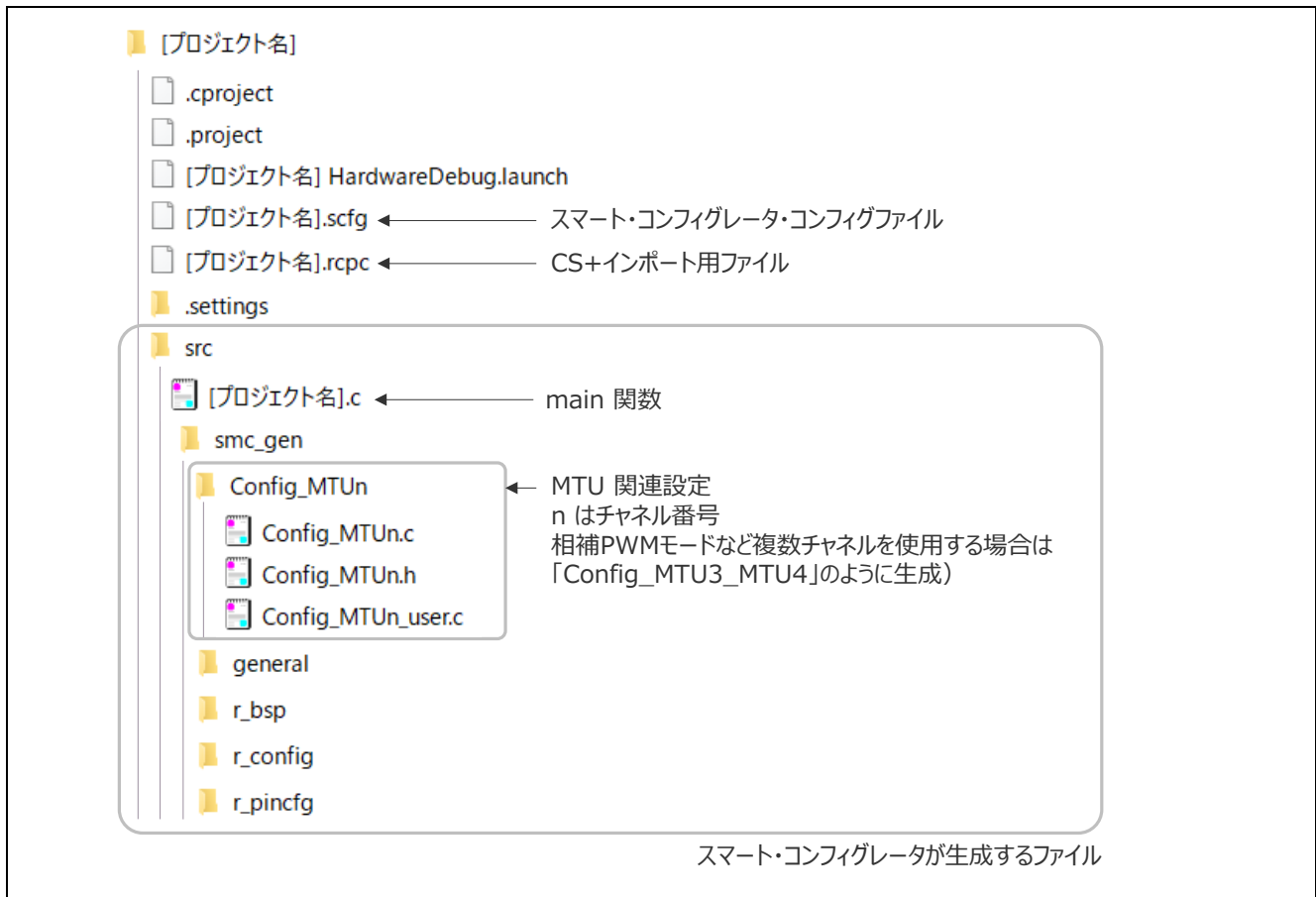


図 3-1 MTU フォルダ構成

## 3.1.3 ファイル構成

サンプルコードの主なファイル構成は以下のとおりです。

表 3-2 MTU ファイル構成

| ファイル名               | 内容                                                                                                                                                                            |
|---------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| [プロジェクト名].c         | <u>main 関数</u><br>メイン関数です<br>スマート・コンフィグレータが空関数を生成します。サンプルコード毎に必要な処理を記述します。                                                                                                    |
| Config_MTUn.c※      | <u>R Config MTUn Create 関数</u><br>MTU の初期設定関数です。<br>スマート・コンフィグレータの設定に従った初期化関数を、スマート・コンフィグレータが生成します。<br>本関数の呼び出しはスマート・コンフィグレータが生成します。main 関数前に実行される R_SystemInit 関数から呼び出されます。  |
|                     | <u>R Config MTUn Start 関数</u><br>MTU のカウント開始関数です。<br>スマート・コンフィグレータが生成する関数です。<br>サンプルコードでは main 関数から呼び出します。                                                                    |
|                     | <u>R Config MTUn Stop 関数</u><br>MTU のカウント停止関数です。<br>スマート・コンフィグレータが生成する関数です。<br>サンプルコードでは使用しません。                                                                               |
| Config_MTUn_user.c※ | <u>r Config MTUn Create UserInit 関数</u><br>MTU の初期設定用ユーザ関数です。<br>スマート・コンフィグレータが空関数を生成します。サンプルコード毎に必要な処理を記述します。<br>本関数は、スマート・コンフィグレータが生成する R_Config_MTUn_Create 関数の最後で呼び出されます。 |
|                     | <u>r Config MTUn [割り込み名] interrupt 関数</u><br>割り込みハンドラ関数です。<br>スマート・コンフィグレータが空関数を生成します。サンプルコード毎に必要な処理を記述します。                                                                   |
| Config_MTUn.h※      | MTU 関連関数が定義されたヘッダファイルです。<br>本ファイルはスマート・コンフィグレータが生成する r_smc_entry.h ファイルでインクルードされています。<br>MTU 関連関数を使用する場合は、r_smc_entry.h ファイルをインクルードします。                                       |

※：n はチャネル番号

## 3.1.4 コンポーネントの追加

サンプルコードは、スマート・コンフィグレータを使用して、以下のとおり MTU を追加しています。

表 3-3 コンポーネントの追加

| 項目          | 内容                       |
|-------------|--------------------------|
| コンポーネント     | 各サンプルコードの章を参照してください（下図①） |
| コンフィグレーション名 | サンプルコードでは初期設定名を使用しています   |
| 動作          | 各サンプルコードの章を参照してください（下図②） |
| リソース        | 各サンプルコードの章を参照してください（下図③） |

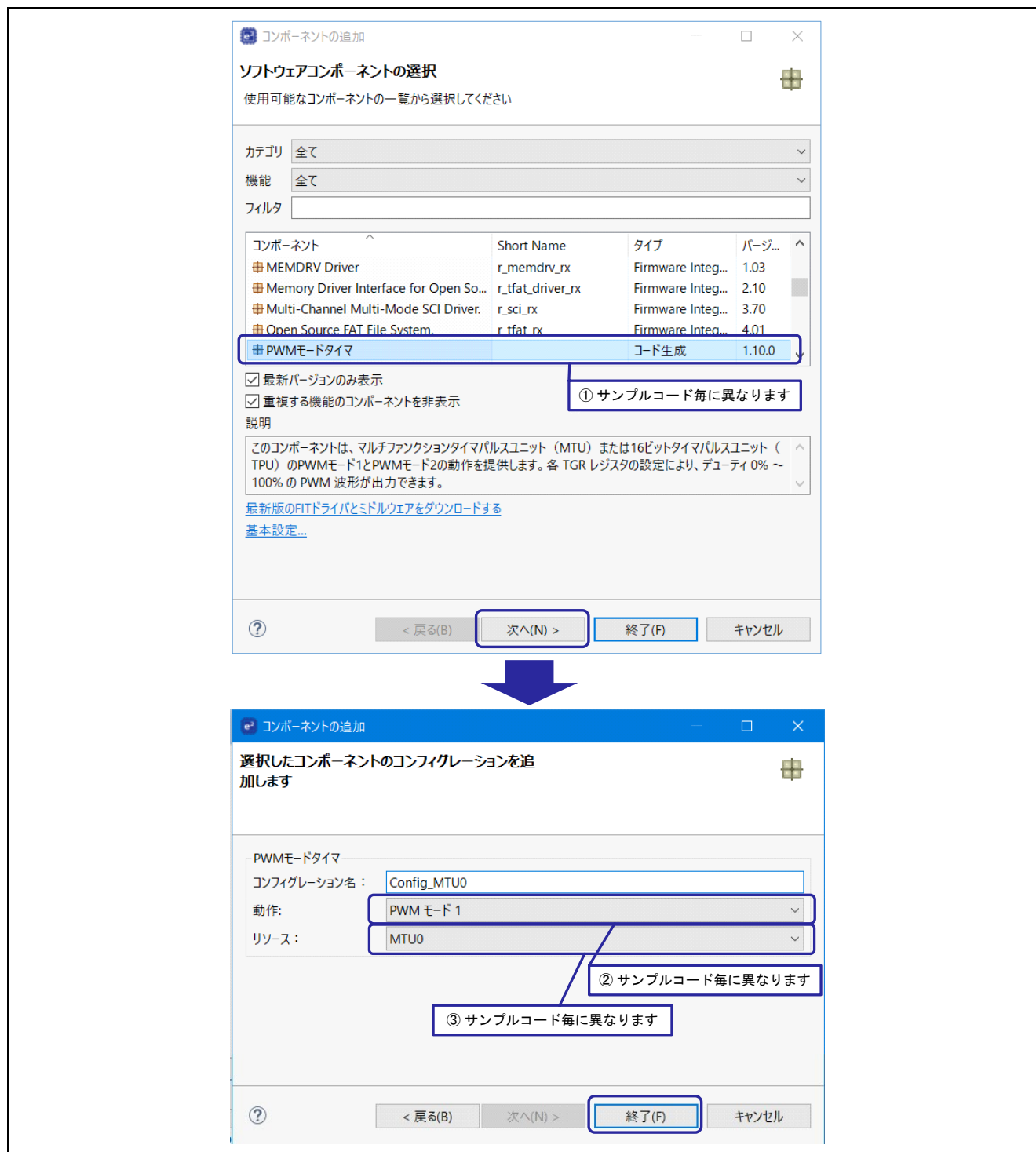


図 3-2 コンポーネントに追加

## 3.1.5 端子設定

スマート・コンフィグレータで端子を設定する例を図 3-3 に示します。

端子の設定は、MTU の設定後に行います。MTU の設定は、各サンプルコードの「スマート・コンフィグレータ設定」を参照してください。

端子設定は、スマート・コンフィグレータが生成する R\_Config\_MTUn\_Create 関数内で行われます。

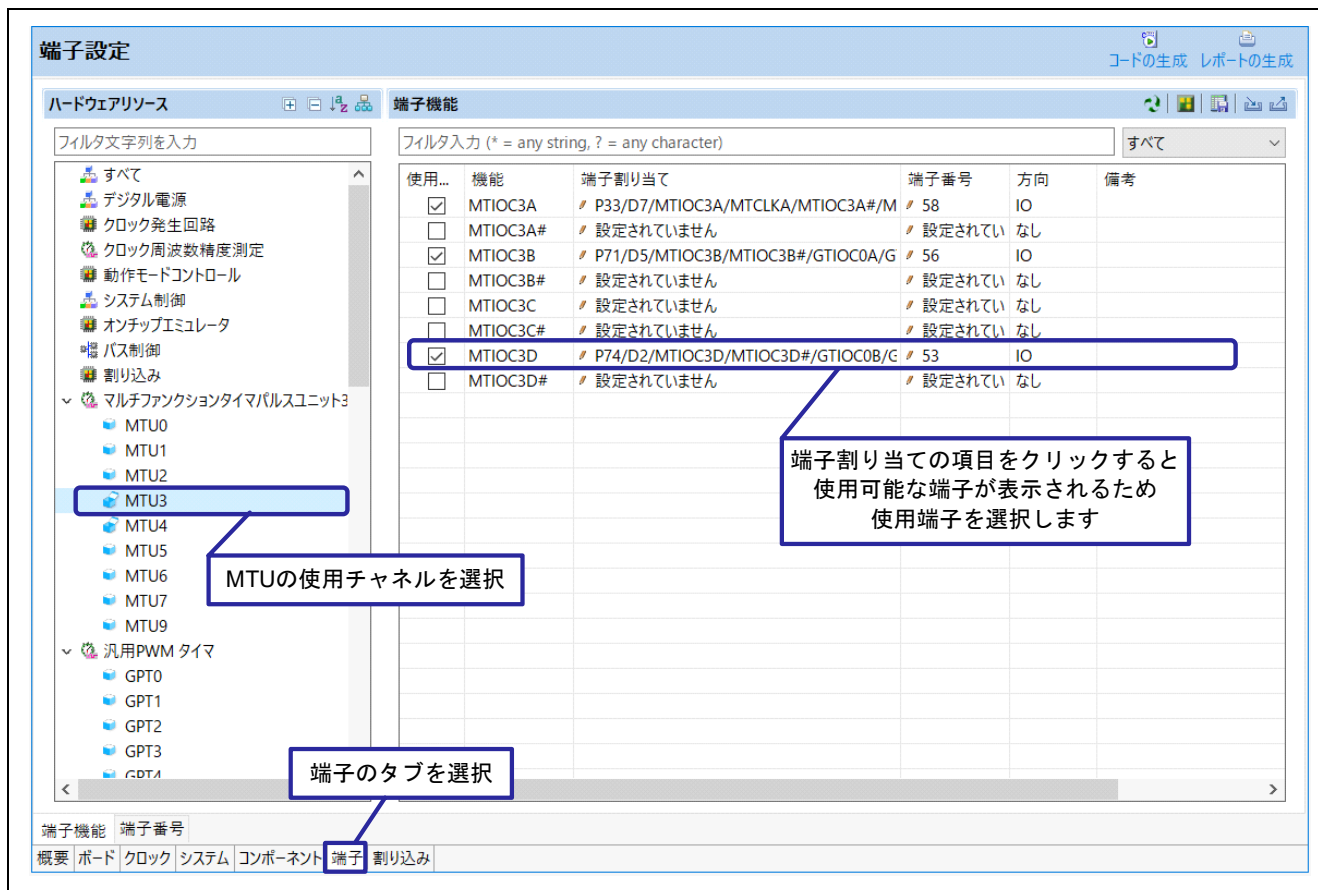


図 3-3 端子設定

## 3.1.6 割り込み設定

スマート・コンフィグレータで割り込みを設定する例を図 3-4 に示します。選択型割り込み A の詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「14.4.5.1 選択型割り込み A」を参照してください。

割り込み設定は、MTU の設定後に行います。MTU の設定は、各サンプルコードの「スマート・コンフィグレータ設定」を参照してください。

割り込み設定は、スマート・コンフィグレータが生成する R\_Config\_MTUn\_Create 関数、R\_Config\_MTUn\_Start 関数、R\_Config\_MTUn\_Stop 関数内で行われます。

割り込みハンドラ関数は、スマート・コンフィグレータが生成する Config\_MTUn\_user.c ファイル内に、r\_Config\_MTUn\_[割り込み名]\_interrupt の名称で作成されます。

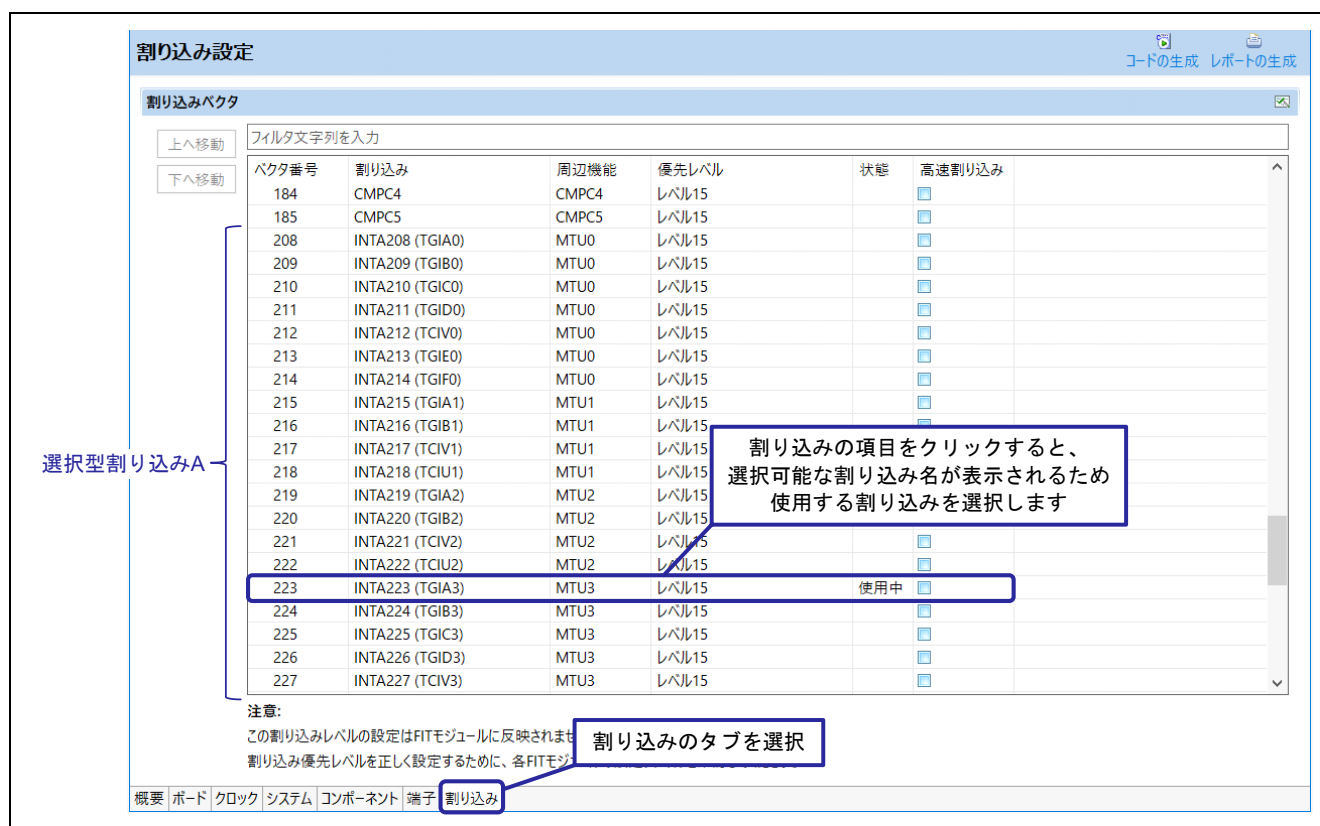


図 3-4 割り込み設定

### 3.2 割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能

- 対象サンプルコードファイル名 : r01an6643\_rx66t\_mtu3\_ad\_delay\_1.zip

#### 3.2.1 概要

MTU の割り込み間引き機能 1 と連動した A/D 変換開始要求ディレイド機能を行うサンプルコードです。

TGIA3 割り込み間引きと連動して A/D 変換開始要求信号を生成し、S12AD0 の A/D 変換を行います。

使用している相補 PWM モードは 3 相 (U, V, W 相) の波形出力が可能です。本サンプルコードは 1 相 (正相/逆相) のみ波形出力します。

以下に、サンプルコードが使用する MTU および S12AD の設定を示します。

- MTU3、MTU4 (チャンネル 3、チャンネル 4)
  - 相補 PWM モード 2 (谷で転送) を使用
  - キャリア周期は 1ms
  - デッドタイムは  $30\mu\text{s}$
  - タイマカウントクロックは 40MHz (PCLKC/4)
  - MTU3.TGRA は MTU3.TCNT の上限値を設定 (キャリア周期の  $1/2 +$  デッドタイム)
  - 初期出力値は High、アクティブレベルは Low
  - MTU3.TGRB をデューティレジスタとして使用
    - 正相 : アップカウントコンペアマッチ時は Low 出力, ダウンカウントコンペアマッチ時は High 出力
    - 逆相 : アップカウントコンペアマッチ時は High 出力, ダウンカウントコンペアマッチ時は Low 出力
  - 割り込み間引き機能 1 に連動した A/D 変換開始要求
    - MTU3.TGRA コンペアマッチ割り込みの間引き回数 2 回 (3 回に 1 回カウント)
    - MTU4.TADCORA と MTU4.TCNT アップカウント時のコンペアマッチで A/D 変換開始要求を出力
- S12AD0 (ユニット 0)
  - シングルスキャンモードを使用
  - A/D 変換開始トリガ : MTU4.TADCORA と MTU4.TCNT のコンペアマッチ

スマート・コンフィグレータで  
設定可能  
設定方法は 3.2.3 を  
参照してください

本サンプルコードにおける構成を以下に示します。

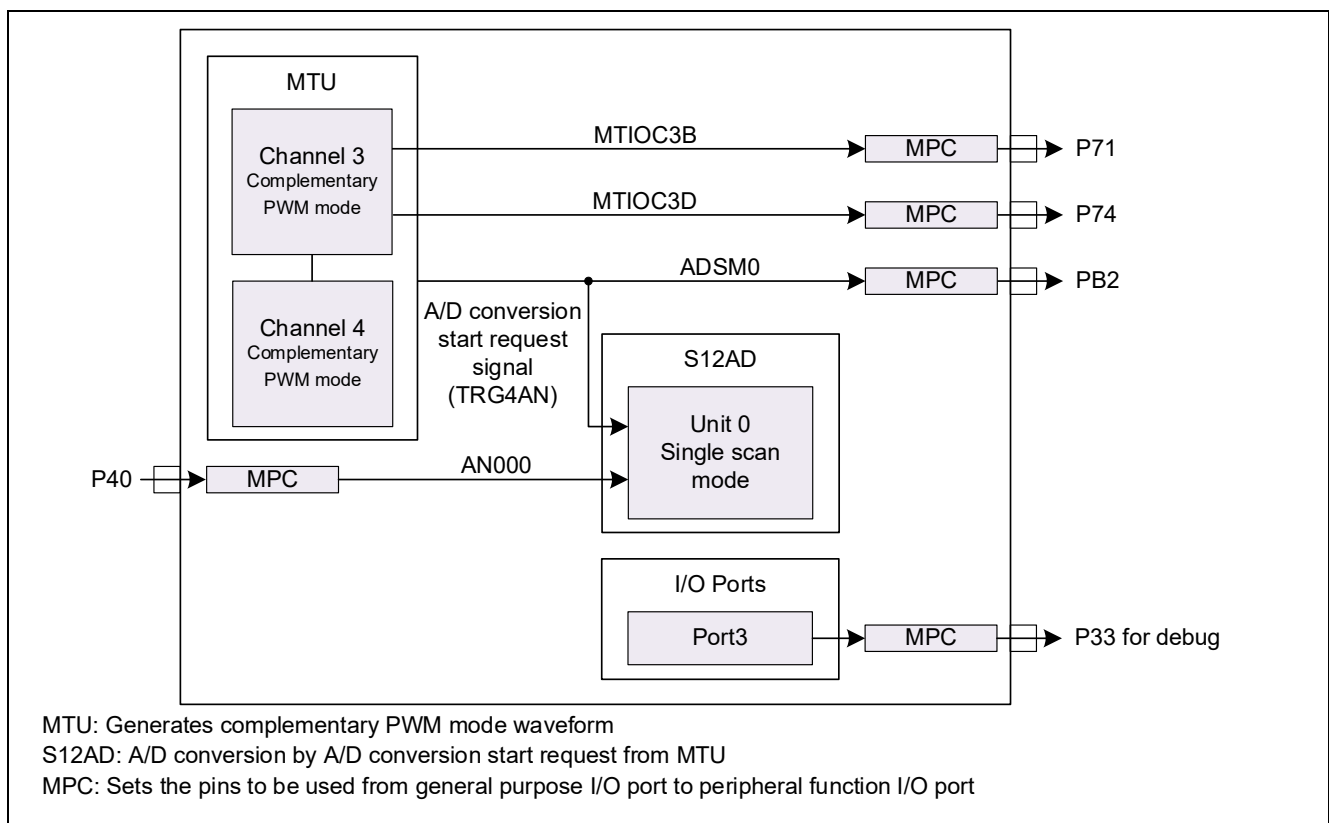


図 3-5 サンプルコードの構成

## 3.2.2 動作詳細

本サンプルコードの動作を以下に示します。

TGIA3 割り込み間引き回数 2 回を設定することで T3ACNT[2:0] ビットの値が 02h の期間は A/D 変換要求許可 (図 3-6 の(a)) となり、この期間に発生した A/D 変換要求信号は有効となります。02h 以外の期間は A/D 変換要求は無効となります (図 3-6 の ADSM0 の点線)。MTU4.TADCORA と MTU4.TCNT アップカウント時のコンペアマッチにより A/D 変換開始要求が発生し、ADSM0 端子が High に変化します (図 3-6 の(b))。

また、本サンプルコードはデバッグ用として A/D 変換完了割り込み発生時に P33 端子のトグル出力を行う設定になっています。P33 端子のトグル出力を行わない場合は、Config\_S12AD0\_user.c を以下の設定に変更してください。

```
#define PRV_PORT_OUTPUT_ON      (0)
```

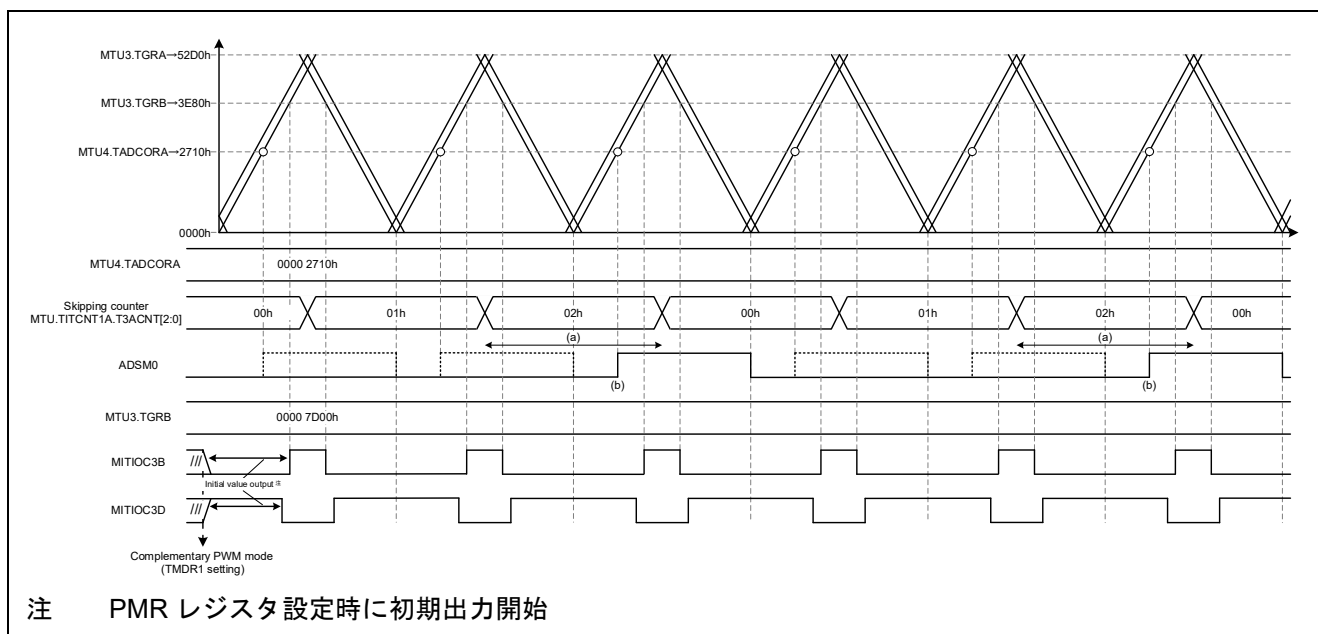


図 3-6 サンプルコードの動作

(アップカウント時の TADCORA コンペアマッチによる A/D 変換開始要求、割り込み間引き回数 : 2 回)

## 3.2.3 スマート・コンフィグレータ設定

サンプルコードは、スマート・コンフィグレータを使用して、以下のとおり MTU、S12AD を追加しています。コンポーネントの追加方法については、「3.1.4 コンポーネントの追加」を参照してください。

表 3-4 コンポーネントの追加 (MTU3、MTU4)

| 項目          | 内容                  |
|-------------|---------------------|
| コンポーネント     | 相補 PWM モードタイマ       |
| コンフィグレーション名 | Config_MTU3_MTU4    |
| 動作          | 相補 PWM モード 2 (谷で転送) |
| リソース        | MTU3_MTU4           |

**基本設定**

同期動作設定  
☐ このチャネルを同期動作に含める

TCNT3カウンタ設定  
 カウンタクリア要因: カウンタクリアなし  
 カウンタクロックの選択: PCLK/4  
 外部クロック端子設定  
☐ MTCLKA端子のノイズフィルタを有効  
 ノイズフィルタクロックの選択: PCLK

**PWM出力設定**  
 タイマ動作周期: 1 ms (実際の値: 1)  
☒ デッドタイム許可 デッドタイム: 30 us (実際の値: 30)  
 MTU3.TGRAレジスタ値: 21200  
 MTU3.TGRBレジスタ値: 16000  
 MTU4.TGRAレジスタ値: 100  
 MTU4.TGRBレジスタ値: 100

**詳細設定**  
 ブラシレスDCモータ制御設定  
☐ ソフトウェアまたは外部信号入力によるU、V、W相の出力制御を有効にする  
 出力制御方法: 外部入力  
 正相出力制御 (初期値): レベル出力  
 逆相出力制御 (初期値): レベル出力

出力端子設定  
☐ MTIOC3Aトグル出力を有効にする  
 PWM出力レベルの設定のバッファ転送タイミング: バッファ転送しない  
☒ U相を許可: MTIOC3B端子の初期出力レベル (正相)  
 アクティブレベル: L (初期出力: H、カウントアップでコンペアマッチで出力: L、ダウンカウントにコンペアマッチ時の出力: H)  
☒ U相を許可: MTIOC3D端子の初期出力レベル (逆相)  
 アクティブレベル: L (初期出力: H、カウントアップでコンペアマッチで出力: H、ダウンカウントにコンペアマッチ時の出力: L)

アクティブレベル: Low、初期出力値: High  
 正相: アップカウントコンペアマッチ時はLow出力、ダウンカウントコンペアマッチ時はHigh出力  
 逆相: アップカウントコンペアマッチ時はHigh出力、ダウンカウントコンペアマッチ時はLow出力

図 3-7 MTU3、MTU4 の設定 (1/2)

**割り込み設定**

割り込み間引きモード: 割り込み間引き機能1(コンペアマッチ割り込み間引き)

割り込み間引き回数: 0回 (割り込み間引き機能を使用しない)

☒ コンペアマッチ割り込み(TGIA3)許可

割り込み間引き回数: 2回 (3回に1回カウント)

☐ コンペアマッチ割り込み(TGIB3)許可

☐ コンペアマッチ割り込み(TGIA4)許可

☐ コンペアマッチ割り込み(TGIB4)許可

☐ アンダーフロー割り込み(TCIV4)許可

割り込み間引き回数: 0回 (割り込み間引き機能を使用しない)

**バッファレジスタと同期クリア動作設定**

☐ 同期カウンタクリア時、直前の波形を保持する

バッファレジスタからテンポラリレジスタへの転送タイミング: 割り込み間引き機能1と連動しない

**A/D変換開始トリガ設定**

☐ カウンタ値の山でA/D変換開始を要求(MTU3のトリガ信号 TRGA3N)

☐ カウンタ値の谷でA/D変換開始を要求(MTU4のトリガ信号 TRGA4N)

☒ 周期レジスタ値とカウンタ値のコンペアマッチによりA/D変換開始を要求 (MTU4のトリガ信号 TRG4ABN)

☒ 周期レジスタAとカウンタの一致によるA/D変換開始を有効にする

**A/D変換トリガ出力条件**

A/D変換開始要求周期レジスタA初期値: 10000

周期バッファレジスタA初期値: 10000

☒ TGIA3割り込み間引き機能と連動

☐ TCIV4割り込み間引き機能と連動

☐ 周期レジスタBとカウンタの一致によるA/D変換開始を有効にする

**A/D変換トリガ出力条件**

A/D変換開始要求周期レジスタB初期値: 65535

周期バッファレジスタB初期値: 65535

☐ TGIA3割り込み間引き機能と連動

☐ TCIV4割り込み間引き機能と連動

☐ 周期設定バッファレジスタから周期設定レジスタへ転送する

**A/D 変換開始要求フレーム同期信号設定**

☒ AD SM0端子 要因: TRG4AN (A/Dトリガソースが有効になっていることを確認してください)

☐ AD SM1端子 要因: 要因非選択

**割り込み間引き機能1**

**割り込み間引き回数2回 (3回に1回カウント)**

**MTU4.TCNTアップカウント時の一致で出力**

**MTU4.TADCORA初期値設定**

**MTU4.TADCOBRA初期値設定**

**コンペアマッチ割り込み (TGIA3) を許可**

**周期レジスタA (MTU4.TADCORA) と MTU4.TCNTの一致による A/D変換開始を有効**

**A/D変換開始要求信号 (TRG4AN) とTGIA3割り込み間引き機能1との連動を有効**

**AD SM0端子出力を許可**

**要因はTRG4AN**

概要 | ボード | クロック | システム | コンポーネント | 端子 | 割り込み

図 3-8 MTU3、MTU4 の設定 (2/2)

表 3-5 コンポーネントの追加 (S12AD)

| 項目          | 内容                |
|-------------|-------------------|
| コンポーネント     | シングルスキャンモード S12AD |
| コンフィグレーション名 | Config_S12AD0     |
| リソース        | S12AD0            |



図 3-9 S12AD0 の設定

## 3.2.4 フローチャート

以下にスマート・コンフィグレータによるコード生成後に追加した、main 関数の処理を示します。

カウントスタート関数 R\_Config\_MTU3\_MTU4\_Start を読み出し、カウントをスタートします。

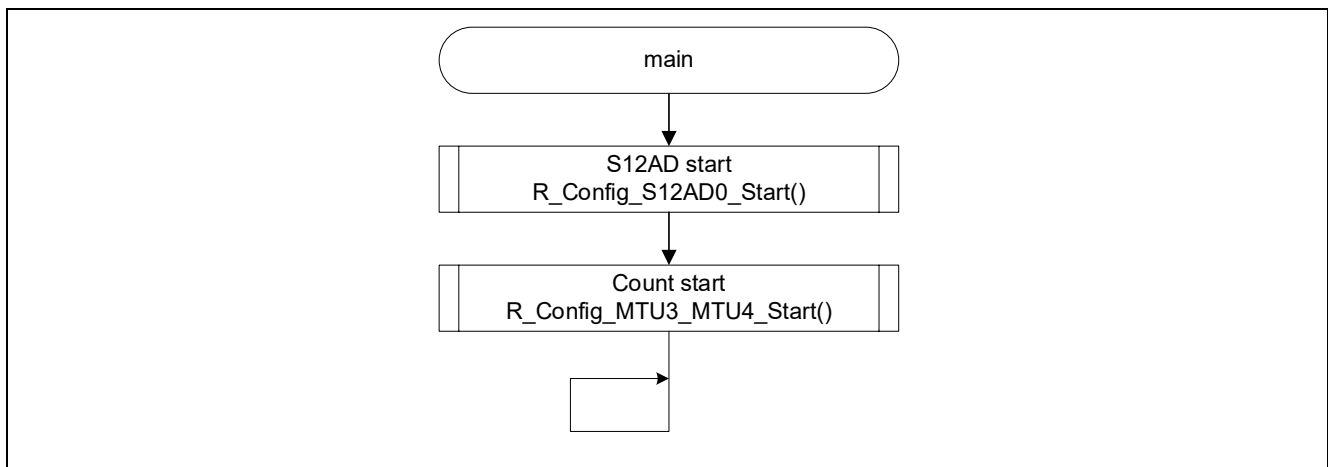


図 3-10 main 関数

## 3.2.5 関連動作

## 3.2.5.1 アンダフロー割り込み (TCIV4) 間引きと連動した A/D 変換ディレイド機能

本サンプルコードはオーバフロー割り込み (TGIA3) 間引きと連動した A/D 変換開始要求信号の生成について示しましたが、アンダフロー割り込み (TCIV4) 間引きと連動した A/D 変換開始要求信号を生成することも可能です。

以下に、アンダフロー割り込み (TCIV4) の間引きと連動した A/D 変換開始要求信号を生成する場合のスマート・コンフィグレータ設定を示します。

The screenshot displays the Smart Configurator interface for MTU3 and MTU4. Key settings and callouts are as follows:

- 割り込み設定 (Interrupt Settings):**
  - 割り込み間引きモード (Interrupt Debounce Mode): 割り込み間引き機能1(コンペアマッチ割り込み間引き) (Interrupt Debounce Function 1 (Compare Match Interrupt Debounce))
  - 割り込み間引き回数 (Interrupt Debounce Count): 0回 (割り込み間引き機能を使用しない) (0 times (Do not use interrupt debounce function))
  - コンペアマッチ割り込み(TGIA3)許可 (Compare Match Interrupt (TGIA3) Enable): ☐
  - コンペアマッチ割り込み(TGIB3)許可 (Compare Match Interrupt (TGIB3) Enable): ☐
  - コンペアマッチ割り込み(TGIA4)許可 (Compare Match Interrupt (TGIA4) Enable): ☐
  - コンペアマッチ割り込み(TGIB4)許可 (Compare Match Interrupt (TGIB4) Enable): ☐
  - アンダーフロー割り込み(TCIV4)許可 (Underflow Interrupt (TCIV4) Enable): ☒ (Callout: アンダフロー割り込み (TCIV4) を許可)
  - 割り込み間引き回数 (Interrupt Debounce Count): 2回 (3回に1回カウント) (2 times (Count 1 out of 3)) (Callout: 割り込み間引き回数2回 (3回に1回カウント))
- バッファレジスタと同期クリア動作設定 (Buffer Register and Synchronous Clear Action Settings):**
  - 同期カウンタクリア時、直前の波形を保持する (Keep previous waveform when synchronous counter clear): ☐
  - バッファレジスタからテンポラリレジスタへの転送タイミング (Transfer timing from buffer register to temporary register): 割り込み間引き機能1と連動しない (Do not operate in conjunction with interrupt debounce function 1)
- A/D変換開始トリガ設定 (A/D Conversion Start Trigger Settings):**
  - カウンタ値の山でA/D変換開始を要求(MTU3のトリガ信号 TRGA3N) (Request A/D conversion start at counter peak (MTU3 trigger signal TRGA3N)): ☐
  - カウンタ値の谷でA/D変換開始を要求(MTU4のトリガ信号 TRGA4N) (Request A/D conversion start at counter valley (MTU4 trigger signal TRGA4N)): ☐
  - 周期レジスタ値とカウンタ値のコンペアマッチによりA/D変換開始を要求 (MTU4のトリガ信号 TRG4ABN) (Request A/D conversion start by compare match of period register value and counter value (MTU4 trigger signal TRG4ABN)): ☒ (Callout: MTU4.TCNTアップカウント時の一致で出力)
  - 周期レジスタAとカウンタの一致によるA/D変換開始を有効にする (Enable A/D conversion start by match of period register A and counter): ☒ (Callout: 周期レジスタA (MTU4.TADCORA) と MTU4.TCNTの一致による A/D変換開始を有効)
- A/D変換トリガ出力条件 (A/D Conversion Trigger Output Conditions):**
  - カウンタアップ時の一致で出力 (Output on match at counter up): 選択済み (Selected)
  - A/D変換開始要求周期レジスタA初期値 (A/D conversion start request period register A initial value): 10000 (Callout: MTU4.TADCORA初期値設定)
  - 周期バッファレジスタA初期値 (Period buffer register A initial value): 10000 (Callout: MTU4.TADCOBRA初期値設定)
- その他の設定 (Other Settings):**
  - TGIA3割り込み間引き機能と連動 (Operate in conjunction with TGIA3 interrupt debounce function): ☐
  - TCIV4割り込み間引き機能と連動 (Operate in conjunction with TCIV4 interrupt debounce function): ☒ (Callout: A/D変換開始要求信号 (TRG4AN) とTCIV4割り込み間引き機能1との連動を有効)
  - 周期レジスタBとカウンタの一致によるA/D変換開始を有効にする (Enable A/D conversion start by match of period register B and counter): ☐
  - A/D変換トリガ出力条件 (A/D conversion trigger output condition): カウンタアップ時の一致で出力 (Output on match at counter up)
  - A/D変換開始要求周期レジスタB初期値 (A/D conversion start request period register B initial value): 65535
  - 周期バッファレジスタB初期値 (Period buffer register B initial value): 65535
  - TGIA3割り込み間引き機能と連動 (Operate in conjunction with TGIA3 interrupt debounce function): ☐
  - TCIV4割り込み間引き機能と連動 (Operate in conjunction with TCIV4 interrupt debounce function): ☐
  - 周期設定バッファレジスタから周期設定レジスタへ転送する (Transfer from period setting buffer register to period setting register): カウンタの山で転送 (Transfer on counter peak)

図 3-11 スマート・コンフィグレータ MTU3、MTU4 の設定 (TCIV4 割り込み間引き回数 2 回、MTU4.TCNT アップカウント時の MTU4.TADCORA コンペアマッチによる A/D 変換開始要求)

### 3.2.6 注意事項

#### 3.2.6.1 TITCR1A、TITCR1B、TADCORA、TADCORB レジスタ設定

本アプリケーションノートの「1.3.1(2) 割り込み間引き機能 1 と連動するときの注意事項」を参照してください。

#### 3.2.6.2 TADCOBRA、TADCOBRB レジスタ設定

本アプリケーションノートの「1.2.1(2) バッファ転送」を参照してください。

#### 3.2.6.3 割り込み間引き禁止（未使用）時の間引き機能との連動設定

本アプリケーションノートの「1.3.1(2) 割り込み間引き機能 1 と連動するときの注意事項」を参照してください。

### 3.3 割り込み間引き機能 2 と連動した A/D 変換開始要求ディレイド機能

- 対象サンプルコードファイル名 : r01an6643\_rx66t\_mtu3\_ad\_delay\_2.zip

#### 3.3.1 概要

MTU の割り込み間引き機能 2 と連動した A/D 変換開始ディレイド機能を行うサンプルコードです。

A/D 変換開始トリガ (TRG4AN および TRG4BN) が発生するごとに割り込みカウンタがカウントダウンし、カウンタ値が"0"になり、リロードが起きたとき、AD 変換開始要求信号 (TRG4ABN) を生成し、S12AD0 の A/D 変換を行います。

この機能は AD 変換開始要求ディレイド機能使用時のみ有効になります。

使用している相補 PWM モードは 3 相 (U, V, W 相) の波形出力が可能です。本サンプルコードは 1 相 (正相/逆相) のみ波形出力します。

以下に、サンプルコードが使用する MTU および S12AD の設定を示します。

- MTU3、MTU4 (チャンネル 3、チャンネル 4)
  - 相補 PWM モード 2 (谷で転送) を使用
  - キャリア周期は 1ms
  - デッドタイムは 30  $\mu$ s
  - タイマカウントクロックは 40MHz (PCLKC/4)
  - MTU3.TGRA は MTU3.TCNT の上限値を設定 (キャリア周期の 1/2 + デッドタイム)
  - 初期出力値は High、アクティブレベルは Low
  - MTU3.TGRB をデューティレジスタとして使用
    - 正相 : アップカウントコンペアマッチ時は Low 出力, ダウンカウントコンペアマッチ時は High 出力
    - 逆相 : アップカウントコンペアマッチ時は High 出力, ダウンカウントコンペアマッチ時は Low 出力
  - 割り込み間引き機能 2 に連動した A/D 変換開始要求
    - TRG4AN および TRG4BN の間引き回数 4 回 (5 回に 1 回カウント)
    - MTU4.TADCORA と MTU4.TCNT アップ/ダウン カウント時のコンペアマッチで A/D 変換開始要求を出力
    - MTU4.TADCORB と MTU4.TCNT アップ/ダウン カウント時のコンペアマッチで A/D 変換開始要求を出力
- S12AD0 (ユニット 0)
  - シングルスキャンモードを使用
  - A/D 変換開始トリガ : MTU4.TADCORA と MTU4.TCNT のコンペアマッチ、MTU4.TADCORB と MTU4.TCNT のコンペアマッチ

スマート・コンフィグレータで  
設定可能

設定方法は 3.3.3 を  
参照してください

本サンプルコードにおける構成を以下に示します。

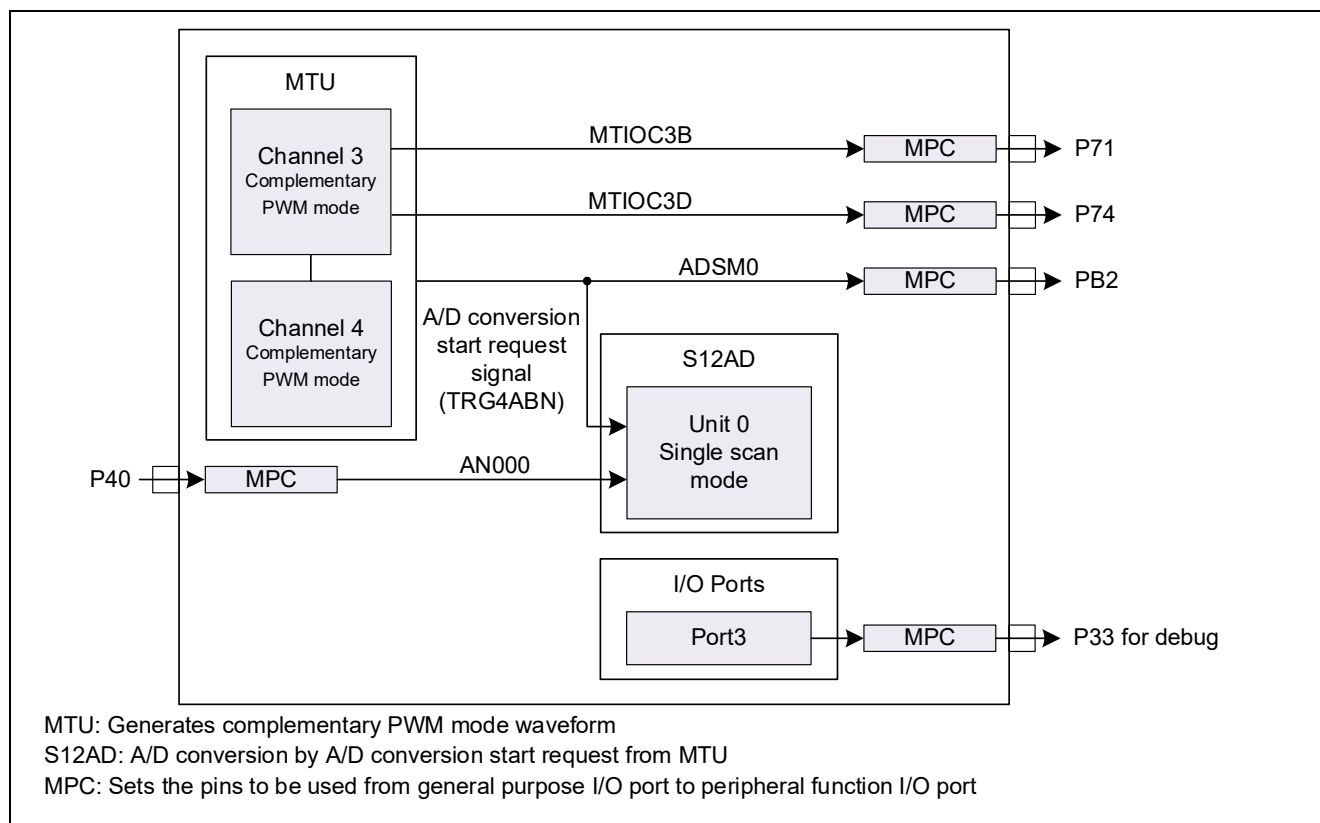


図 3-12 サンプルコードの構成

## 3.3.2 動作詳細

本サンプルコードの動作を以下に示します。

割り込み間引き機能 2 の間引き回数 4 回を設定することで、タイマ割り込み間引き回数カウンタ 2A (TITCNT2A) にカウンタ値"4"が設定されます。A/D 変換開始トリガ TRG4AN、TRG4BN が発生するごとに TITCNT2A の値は"4"からカウントダウンします。カウンタ値が"0"になり、間引き回数の値 (4 回) にリロードしたとき、A/D 変換開始要求信号 TRG4AN、TRG4BN の割り込みが有効になります (図 3-13 の (a))。A/D 変換開始要求信号 TRG4ABN が出力され、ADSM0 端子は High に変化します (図 3-13 の (b))。

また、本サンプルコードはデバッグ用として A/D 変換完了割り込み発生時に P33 端子のトグル出力を行う設定になっています。P33 端子のトグル出力を行わない場合は、Config\_S12AD0\_user.c を以下の設定に変更してください。

```
#define PRV_PORT_OUTPUT_ON (0)
```

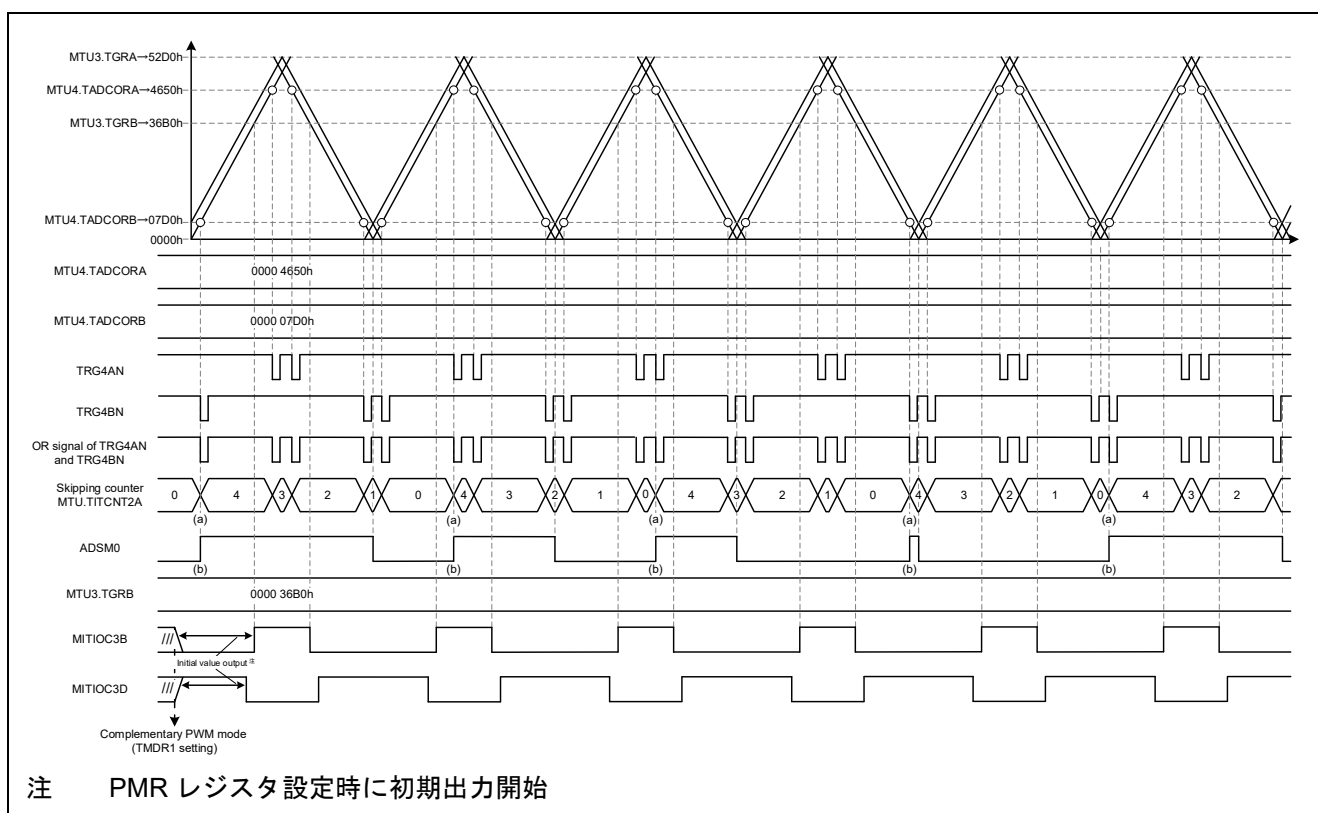


図 3-13 サンプルコードの動作

(アップ/ダウンカウント時の TADCORA、TADCORB コンペアマッチによる A/D 変換開始要求、  
割り込み間引き回数 4 回)

## 3.3.3 スマート・コンフィグレータ設定

サンプルコードは、スマート・コンフィグレータを使用して、以下のとおり MTU を追加しています。コンポーネントの追加方法については、「3.1.4 コンポーネントの追加」を参照してください。

表 3-6 コンポーネントの追加 (MTU3、MTU4)

| 項目          | 内容                  |
|-------------|---------------------|
| コンポーネント     | 相補 PWM モードタイマ       |
| コンフィグレーション名 | Config_MTU3_MTU4    |
| 動作          | 相補 PWM モード 2 (谷で転送) |
| リソース        | MTU3_MTU4           |

**コンポーネント**

- Startup
  - ジェネリック
    - r\_bsp
  - Drivers
    - A/Dコンバータ
      - Config\_S12AD0
    - 入出力ポート
      - Config\_PORT
    - タイマ
      - Config\_MTU3\_MTU4

**設定**

**基本設定**

- 同期動作設定
  - ☐ このチャンネルを同期動作に含める
- TCNT3カウンタ設定
  - カウンタクリア要因: カウンタクリアなし
  - カウンタクロックの選択: PCLK/4 (立上りエッジ)
- 外部クロック端子設定
  - ☐ MTCLKA端子のノイズフィルタを有効
  - ノイズフィルタクロックの選択: PCLK
- PWM出力設定
  - タイマ動作周期: 1 ms (実際の値: 1)
  - ☒ デッドタイム許可: デッドタイム 30 μs (実際の値: 30)
  - MTU3.TGRAレジスタ値: 21200
  - MTU3.TGRBレジスタ値: 14000
  - MTU4.TGRAレジスタ値: 100
  - MTU4.TGRBレジスタ値: 100

**詳細設定**

- ブラシレスDCモータ制御設定
  - ☐ ソフトウェアまたは外部信号入力によるU、V、W相の出力制御を有効にする
  - 出力制御方法: 外部入力
  - 正相出力制御 (初期値): レベル出力
  - 逆相出力制御 (初期値): レベル出力
- 出力端子設定
  - ☐ MTIOC3Aトグル出力を有効にする
  - PWM出力レベルの設定のバッファ転送タイミング: バッファ転送しない
  - ☒ U相を許可: MTIOC3B端子の初期出力レベル (正相)
    - アクティブレベル: L (初期出力: H、カウントアップでコンペアマッチで出力: L、ダウンカウントでコンペアマッチ時の出力: H)
  - ☒ U相を許可: MTIOC3D端子の初期出力レベル (逆相)
    - アクティブレベル: L (初期出力: H、カウントアップでコンペアマッチで出力: H、ダウンカウントでコンペアマッチ時の出力: L)

**説明:**

- タイマカウントクロックは40MHz (PCLK/4)
- キャリア周期1ms
- デッドタイム30us
- MTU3.TGRB初期値設定
- アクティブレベル: Low、初期出力値: High
- 正相: アップカウントコンペアマッチ時はLow出力、ダウンカウントコンペアマッチ時はHigh出力
- 逆相: アップカウントコンペアマッチ時はHigh出力、ダウンカウントコンペアマッチ時はLow出力

図 3-14 MTU3、MTU4 の設定 (1/2)

**割り込み設定**

割り込み間引きモード: 割り込み間引き機能2(A/D変換開始要求割り込み間引き)

割り込み間引き回数: 4回 (5回に1回カウント)

☐ コンペアマッチ割り込み(TGIA3)許可 優先順位: レベル15 (最高)

割り込み間引き回数: 0回 (割り込み間引き機能を使用しない)

☐ コンペアマッチ割り込み(TGIB3)許可 優先順位: レベル15 (最高)

☐ コンペアマッチ割り込み(TGIA4)許可 優先順位: レベル15 (最高)

☐ コンペアマッチ割り込み(TGIB4)許可 優先順位: レベル15 (最高)

☐ アンダーフロー割り込み(TCIV4)許可 優先順位: レベル15 (最高)

割り込み間引き回数: 0回 (割り込み間引き機能を使用しない)

**バッファレジスタと同期クリア動作設定**

☐ 同期カウンタクリア時、直前の波形を保持する

バッファレジスタからテンポラリレジスタへの転送タイミング: 割り込み間引き機能1と連動しない

**A/D変換開始トリガ設定**

☐ カウンタ値の山でA/D変換開始を要求(MTU3のトリガ信号 TRGA3N)

☐ カウンタ値の谷でA/D変換開始を要求(MTU4のトリガ信号 TRGA4N)

☒ 周期レジスタ値とカウンタ値のコンペアマッチによりA/D変換開始を要求 (MTU4のトリガ信号 TRG4ABN)

☒ 周期レジスタAとカウンタの一致によるA/D変換開始を有効にする

**A/D変換トリガ出力条件**

A/D変換開始要求周期レジスタA初期値: 18000

周期バッファレジスタA初期値: 18000

☐ TGIA3割り込み間引き機能と連動

☐ TCIV4割り込み間引き機能と連動

☒ 周期レジスタBとカウンタの一致によるA/D変換開始を有効にする

**A/D変換トリガ出力条件**

A/D変換開始要求周期レジスタB初期値: 2000

周期バッファレジスタB初期値: 2000

☐ TGIA3割り込み間引き機能と連動

☐ TCIV4割り込み間引き機能と連動

☐ 周期設定バッファレジスタから周期設定レジスタへ転送する

**A/D 変換開始要求フレーム同期信号設定**

☒ AD5M0端子 要因: TRG4ABN (A/Dトリガソースが有効になっていることを確認してください)

☐ AD5M1端子 要因: 要因非選択

**要因はTRG4ABN**

MTU4のトリガ信号 (TRG4ABN) を有効

周期レジスタA (MTU4.TADCORA) と MTU4.TCNTの一致による A/D変換開始を有効

周期レジスタB (MTU4.TADCORB) と MTU4.TCNTの一致による A/D変換開始を有効

AD5M0端子出力を許可

MTU4.TCNTアップカウント／ダウンカウン時の一致で出力

MTU4.TADCORA初期値設定

MTU4.TADCOBRA初期値設定

MTU4.TADCORB初期値設定

MTU4.TADCOBRB初期値設定

割り込み間引き機能2

割り込み間引き回数4回 (5回に1回カウント)

MTU4.TCNTアップカウント／ダウンカウン時の一致で出力

要因はTRG4ABN

概要 | ボード | クロック | システム | コンポーネント | 端子 | 割り込み

図 3-15 MTU3、MTU4 の設定 (2/2)

表 3-7 コンポーネントの追加 (S12AD)

| 項目          | 内容                |
|-------------|-------------------|
| コンポーネント     | シングルスキャンモード S12AD |
| コンフィグレーション名 | Config_S12AD0     |
| リソース        | S12AD0            |

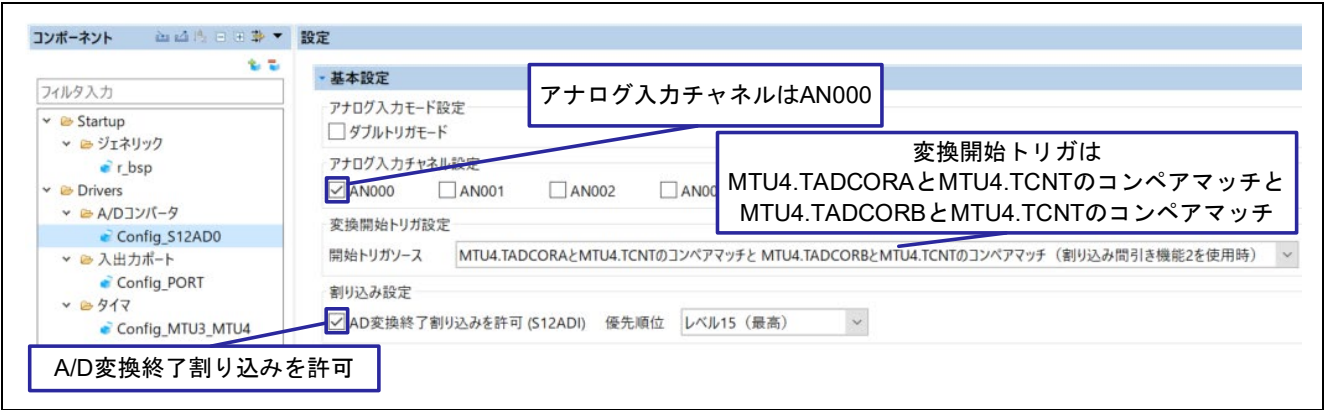


図 3-16 S12AD0 の設定

## 3.3.4 フローチャート

以下にスマート・コンフィグレータによるコード生成後に追加した、main 関数の処理を示します。

カウントスタート関数 R\_Config\_MTU3\_MTU4\_Start を読み出し、カウントをスタートします。

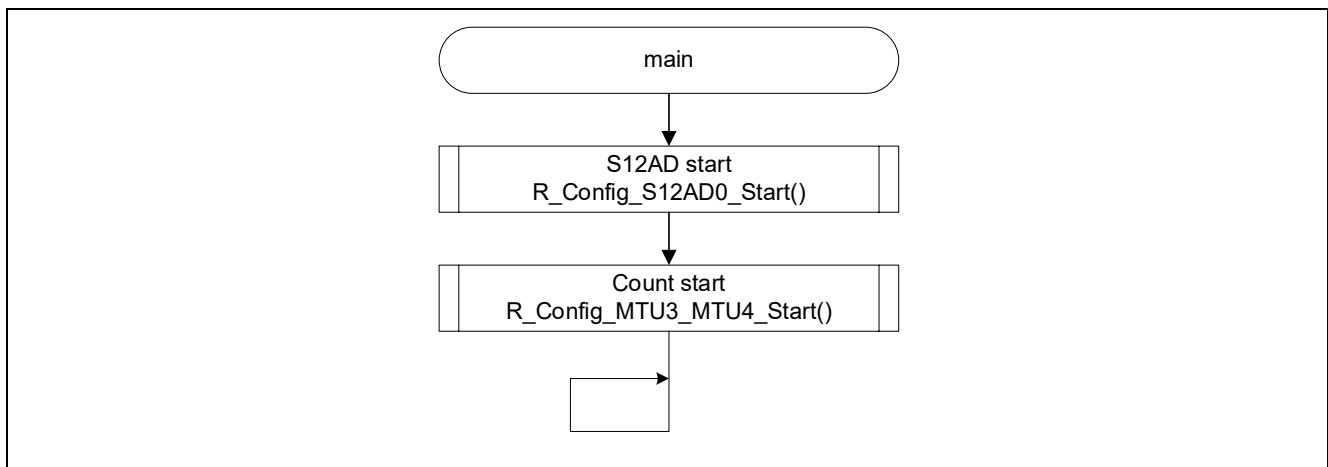


図 3-17 main 関数

### 3.3.5 関連動作

#### 3.3.5.1 相補 PWM モード以外のモードでの間引き機能 2 と連動した A/D 変換ディレイド機能

「e<sup>2</sup> studio Version 2022-10」のスマート・コンフィグレータの環境では、PWM モード 1、ノーマルモード、リセット同期 PWM モードでの間引き機能 2 と連動した A/D 変換ディレイド機能をサポートしていません。

PWM モード 1、ノーマルモードにて間引き機能 2 と連動した A/D 変換ディレイド機能を使用する場合は、スマート・コンフィグレータによるコード生成後、ユーザ初期化関数 `R_Config_MTU3_MTU4_Create_UserInit` (`R_Config_MTU6_MTU7_Create_UserInit`) に `TITMRA`、`TITCR2A` レジスタ設定を追加してください。

以下に `TITMRA`、`TITCR2A` レジスタ設定例をします。

- レジスタ設定 間引き機能 2 : 有効、間引き回数 : 4 回 (5 回に 1 回カウント) の場合

```
MTU.TITMRA.BIT.TITM = 1U;  
MTU.TITCR2A.BYTE = _04_MTU_TRGCOR_4_7_SKIP_COUNT_4;
```

リセット同期 PWM モードにて間引き機能 2 と連動した A/D 変換ディレイド機能を使用する場合は、スマート・コンフィグレータにてノーマルモードのコンポーネントを使用しコード生成後、上記と同様にユーザ初期化関数にレジスタ設定を追加することで可能です。ノーマルモードのコンポーネントを使用したリセット同期 PWM モード波形出力方法の詳細は、「アプリケーションノート RX ファミリ MTU3/GPTW を用いた PWM 出力方法」の「3.8 リセット同期 PWM モード」を参照ください。

### 3.3.6 注意事項

#### 3.3.6.1 TADCORA、TADCORB レジスタ設定

本アプリケーションノートの「1.3.2(2) 割り込み間引き機能 2 を使用するときの注意事項」を参照してください。

4. GPTW サンプルコード

4.1 共通

4.1.1 サンプルコード一覧

本アプリケーションノートは、スマート・コンフィグレータを使用した以下のサンプルコードを用意しています。

サンプルコードはルネサスエレクトロニクスホームページから入手してください。

表 4-1 GPTW サンプルコード一覧

| 名称                                                                              | 内容                                                                             | 参照  |
|---------------------------------------------------------------------------------|--------------------------------------------------------------------------------|-----|
| GTITC レジスタによる割り込み間引き機能と連動した A/D 変換開始要求機能<br>r01an6643_rx66t_gptw_ad_delay_1.zip | <ul style="list-style-type: none"><li>三角波 PWM モード 1</li><li>シングルバッファ</li></ul> | 4.2 |
| 拡張割り込み間引き機能と連動した A/D 変換開始要求機能<br>r01an6643_rx66t_gptw_ad_delay_2.zip            | <ul style="list-style-type: none"><li>三角波 PWM モード 1</li><li>シングルバッファ</li></ul> | 4.3 |

## 4.1.2 フォルダ構成

サンプルコードの主なフォルダ構成は以下のとおりです。

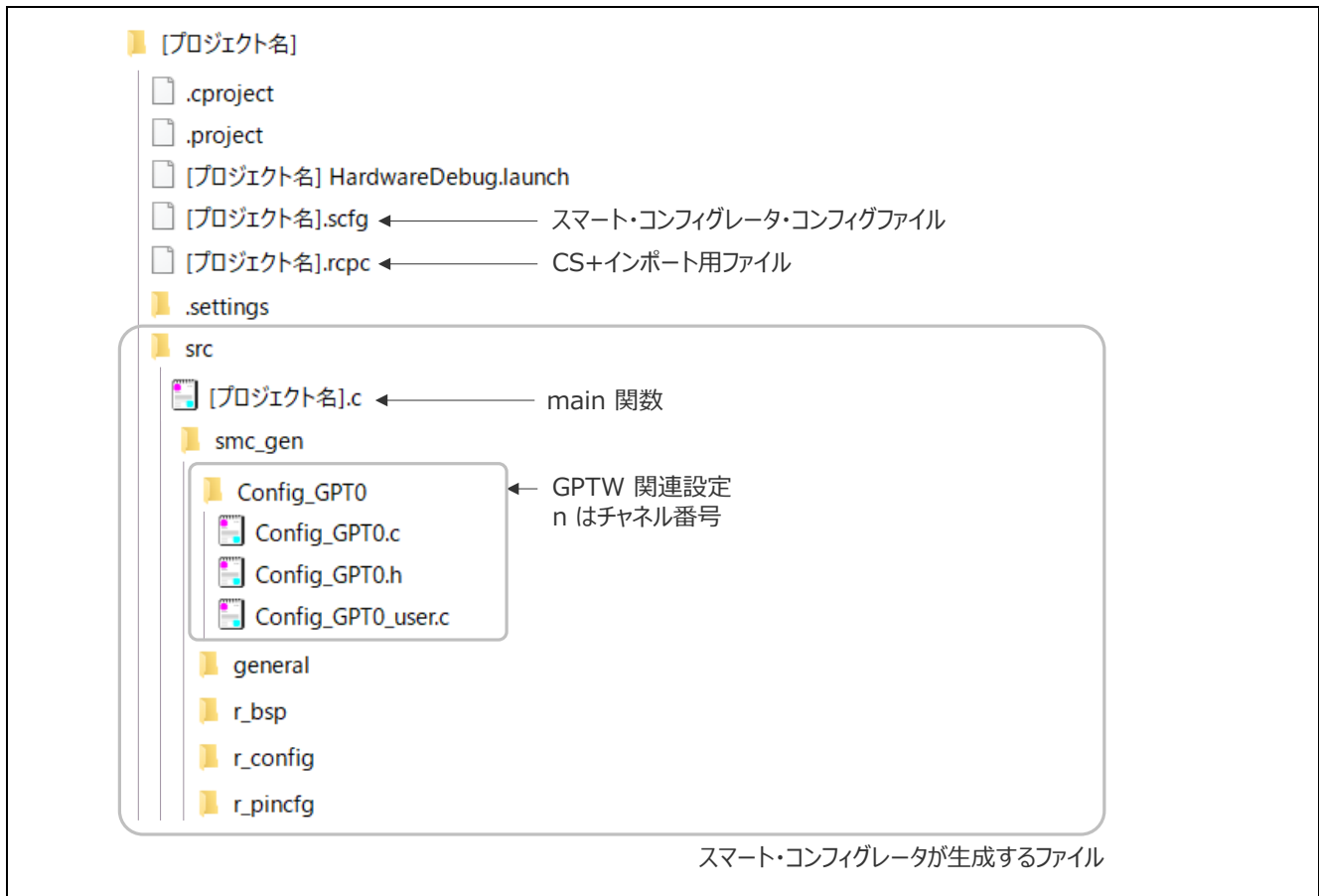


図 4-1 GPTW フォルダ構成

## 4.1.3 ファイル構成

サンプルコードの主なファイル構成は以下のとおりです。

表 4-2 GPTW ファイル構成

| ファイル名               | 内容                                                                                                                                                                             |
|---------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| [プロジェクト名].c         | <u>main 関数</u><br>メイン関数です<br>スマート・コンフィグレータが空関数を生成します。サンプルコード毎に必要な処理を記述します。                                                                                                     |
| Config_GPTn.c※      | <u>R Config GPTn Create 関数</u><br>GPTW の初期設定関数です。<br>スマート・コンフィグレータの設定に従った初期化関数を、スマート・コンフィグレータが生成します。<br>本関数の呼び出しはスマート・コンフィグレータが生成します。main 関数前に実行される R_SystemInit 関数から呼び出されます。  |
|                     | <u>R Config GPTn Start 関数</u><br>GPTW のカウント開始関数です。<br>スマート・コンフィグレータが生成する関数です。<br>サンプルコードでは main 関数から呼び出します。                                                                    |
|                     | <u>R Config GPTn Stop 関数</u><br>GPTW のカウント停止関数です。<br>スマート・コンフィグレータが生成する関数です。<br>サンプルコードでは使用しません。                                                                               |
| Config_GPTn_user.c※ | <u>r Config GPTn Create UserInit 関数</u><br>GPTW の初期設定用ユーザ関数です。<br>スマート・コンフィグレータが空関数を生成します。サンプルコード毎に必要な処理を記述します。<br>本関数は、スマート・コンフィグレータが生成する R_Config_GPTn_Create 関数の最後で呼び出されます。 |
|                     | <u>r Config GPTn [割り込み名] interrupt 関数</u><br>割り込みハンドラ関数です。<br>スマート・コンフィグレータが空関数を生成します。サンプルコード毎に必要な処理を記述します。                                                                    |
| Config_GPTn.h※      | GPTW 関連関数が定義されたヘッダファイルです。<br>本ファイルはスマート・コンフィグレータが生成する r_smc_entry.h ファイルでインクルードされています。<br>GPTW 関連関数を使用する場合は、r_smc_entry.h ファイルをインクルードします。                                      |

※：n はチャネル番号

4.1.4 コンポーネントの追加

サンプルコードは、スマート・コンフィグレータを使用して、以下のとおり GPTW を追加しています。

表 4-3 コンポーネントの追加

| 項目          | 内容                       |
|-------------|--------------------------|
| コンポーネント     | 汎用 PWM タイマ（下図①）          |
| コンフィグレーション名 | サンプルコードでは初期設定名を使用しています   |
| 動作          | 各サンプルコードの章を参照してください（下図②） |
| リソース        | 各サンプルコードの章を参照してください（下図③） |

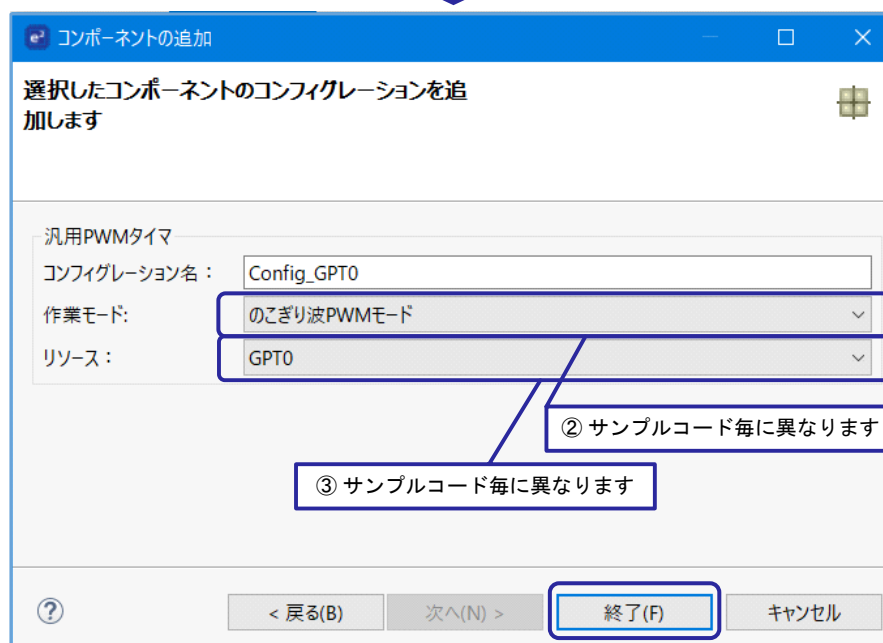
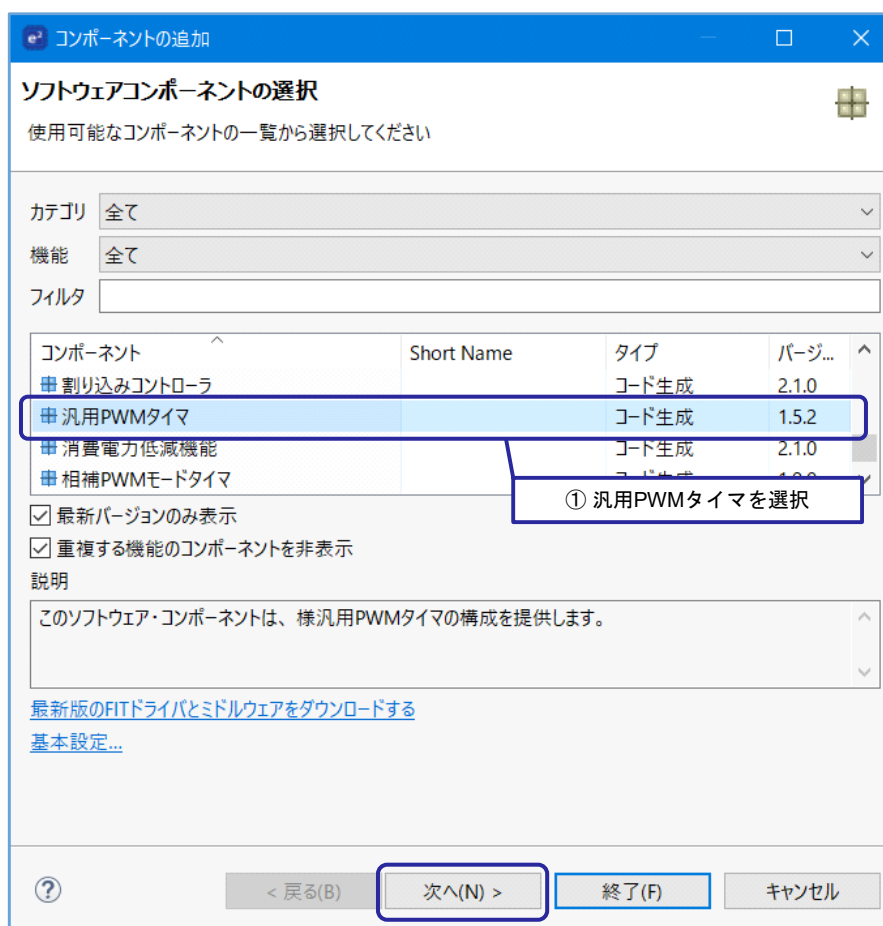


図 4-2 コンポーネントに追加

## 4.1.5 端子設定

スマート・コンフィグレータで端子を設定する例を図 4-3 に示します。

端子の設定は、GPTW の設定後に行います。GPTW の設定は、各サンプルコードの「スマート・コンフィグレータ設定」を参照してください。

端子設定は、スマート・コンフィグレータが生成する R\_Config\_GPTn\_Create 関数内で行われます。

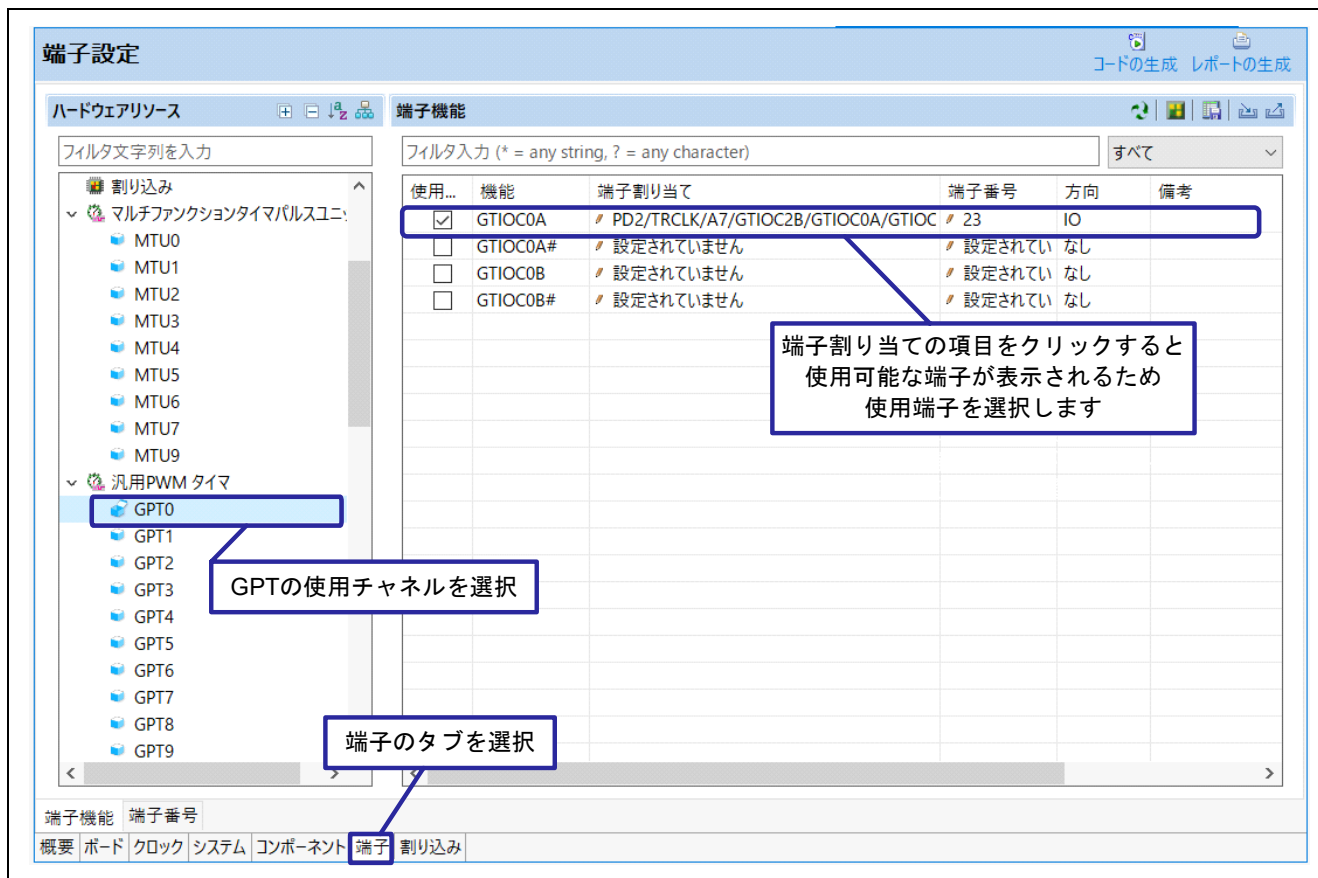


図 4-3 端子設定

## 4.1.6 割り込み設定

スマート・コンフィグレータで割り込みを設定する例を図 4-4 に示します。選択型割り込み A の詳細は、「RX66T グループ ユーザーズマニュアル ハードウェア編」の「14.4.5.1 選択型割り込み A」を参照してください。

割り込み設定は、GPTW の設定後に行います。GPTW の設定は、各サンプルコードの「スマート・コンフィグレータ設定」を参照してください。

割り込み設定は、スマート・コンフィグレータが生成する R\_Config\_GPTn\_Create 関数、R\_Config\_GPTn\_Start 関数、R\_Config\_GPTn\_Stop 関数内で行われます。

割り込みハンドラ関数は、スマート・コンフィグレータが生成する Config\_GPTn\_user.c ファイル内に、r\_Config\_GPTn\_[割り込み名]\_interrupt の名称で作成されます。

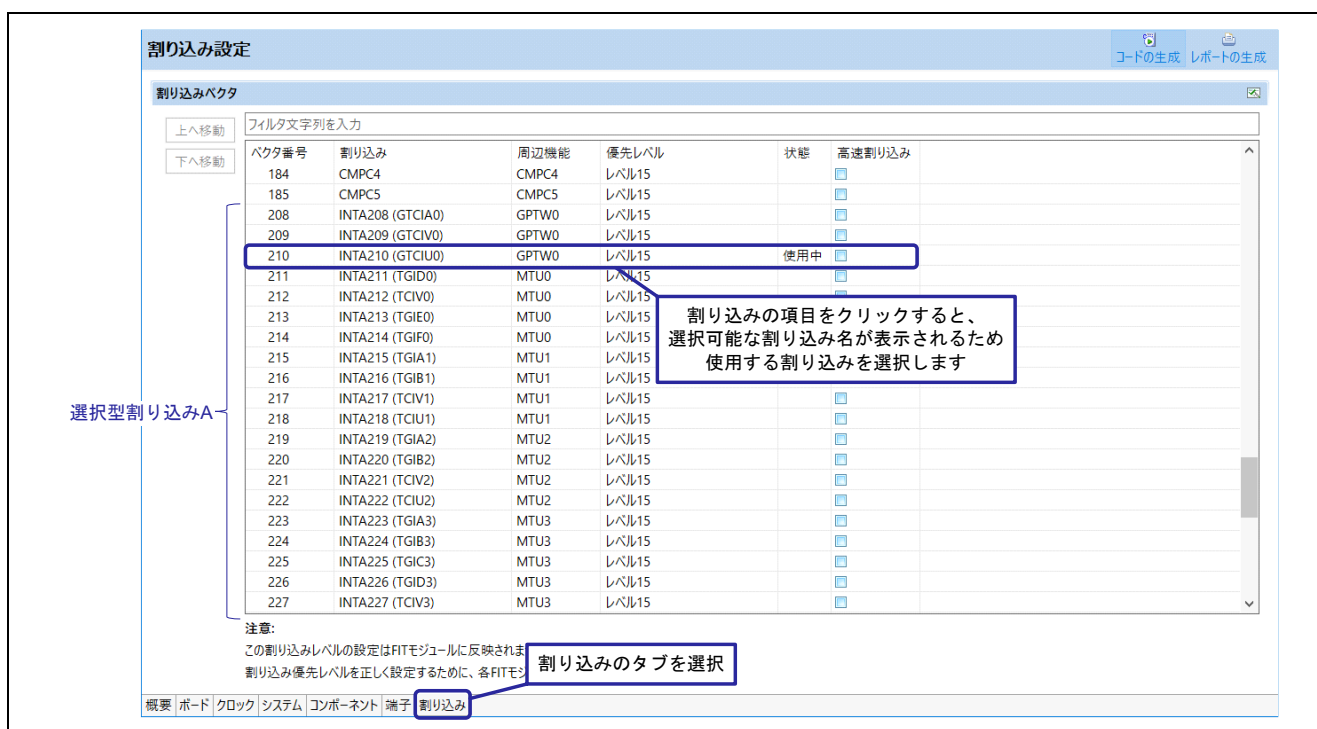


図 4-4 割り込み設定

スマート・コンフィグレータの割り込みタブの初期設定において、GPTW の割り込みは GTCIE0、GTCIF0、GDTE0 のみが選択されています。コンポーネントタブで設定した割り込みを使用するには、割り込みタブでの選択が必要です。以下に選択が不足していた場合の状態とエラーメッセージを示します。

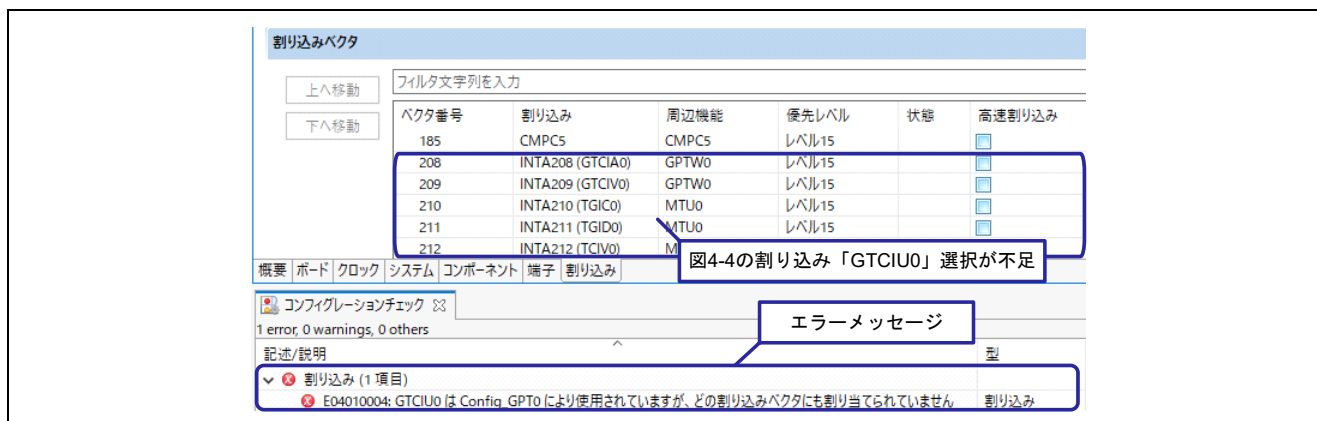


図 4-5 割り込み設定（割り込み選択の不足）

## 4.2 GTITC レジスタによる割り込み間引き機能と連動した A/D 変換開始要求機能

- 対象サンプルコードファイル名 : r01an6643\_rx66t\_gptw\_ad\_delay\_1.zip

### 4.2.1 概要

GPTW の GTITC レジスタによる割り込み間引き機能と連動し A/D 変換開始要求を行うサンプルコードです。

GTCNT アンダフロー割り込み間引きと連動して A/D 変換開始要求信号を生成し、ELC イベント信号により、S12AD0 の A/D 変換を行います。

以下に、サンプルコードが使用する GPTW、S12AD、ELC の設定を示します。

- GPTW0 (チャンネル 0)
  - 三角波 PWM モード 1 を使用
  - タイマカウントクロックは 160MHz (PCLKC)
  - キャリア周期は 1ms
  - GTPR を周期レジスタとして使用
    - カウントは初期値 0 からのアップカウント
  - GTCCRA を Duty 出力のコンペアマッチとして使用
    - GTIOC0A 端子を PWM 出力端子として使用
    - カウント開始時は High 出力、停止時は High 出力
    - GTCCRA コンペアマッチでトグル出力
    - 周期の終わりで出力保持
  - GTCCRB を Duty 出力のコンペアマッチとして使用
    - GTIOC0B 端子を PWM 出力端子として使用
    - カウント開始時は Low 出力、停止時は Low 出力
    - GTCCRB コンペアマッチでトグル出力
    - 周期の終わりで出力保持
  - ソフトウェア要因カウントスタートを許可
  - デッドタイム自動生成を使用
  - A/D 変換開始要求を許可
    - アップカウント時の GTADTRA コンペアマッチによる A/D 変換開始要求
    - A/D 変換開始要求信号モニタ 0 はアップカウント時の GTADTRA コンペアマッチ
  - GTCNT アンダフロー割り込み間引き機能を使用
    - 谷をカウント、間引き回数 2 回
    - GTADTRA による A/D 変換開始要求と GTCIU0 割り込み間引き機能との連動を許可
- S12AD0 (ユニット 0)
  - シングルスキャンモードを使用
  - ELC をからの A/D 起動要因 0 による A/D 変換開始
- ELC
  - イベントに GPT0・A/D 変換開始要求 A を選択
  - 送信先リソースに S12AD0 (ELCTRG00N) を選択

スマート・コンフィグレータで  
設定可能  
設定方法は 4.2.3 を  
参照してください

本サンプルコードにおける構成を以下に示します。

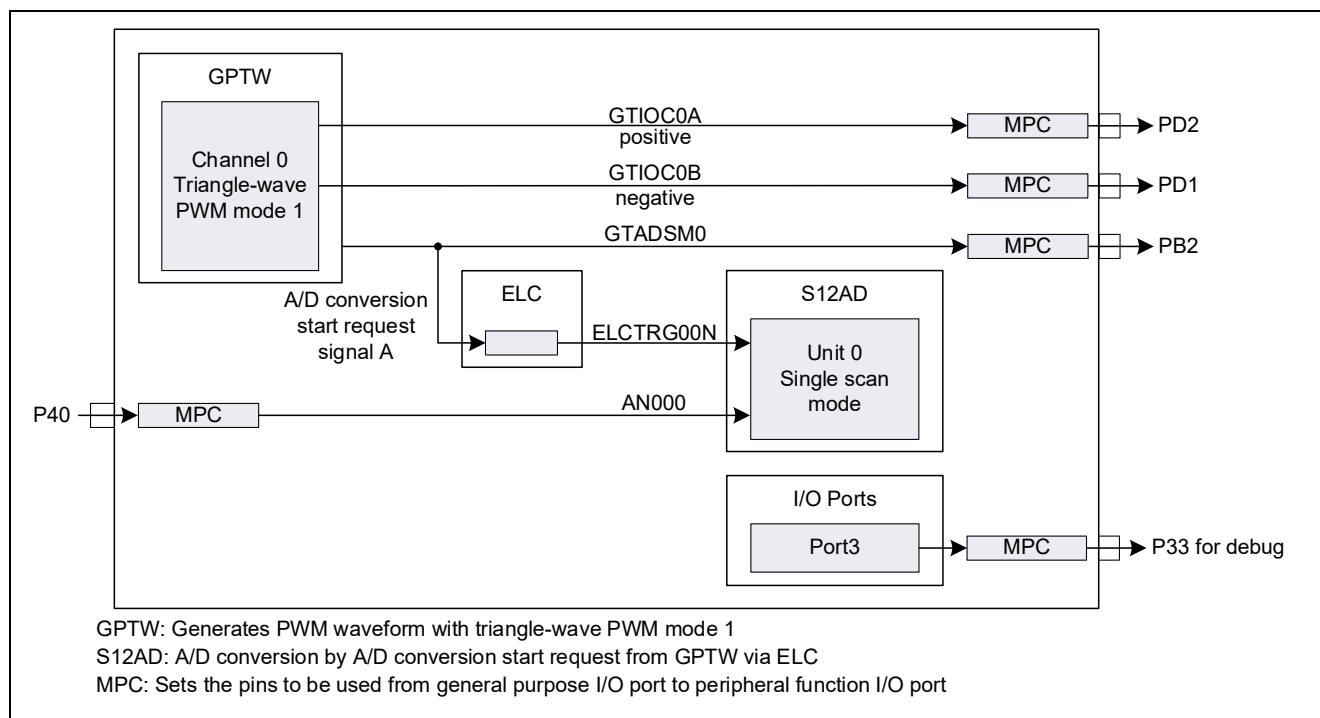


図 4-6 サンプルコードの構成

## 4.2.2 動作詳細

本サンプルコードの動作を以下に示します。

GTCNT アンダーフロー割り込み間引き回数 2 回を設定することで ITCNT[2:0] ビットの値が 0b の期間の A/D 変換開始要求は許可 (図 4-7 の(a)) となり、この期間に発生した A/D 変換要求信号は有効となります。0b 以外の期間は GTCNT アンダーフロー割り込みが間引きされ A/D 変換開始要求は無効となります (図 4-7 の GTADSM0 の点線)。アップカウント時の GTADTRA コンペマッチにより A/D 変換開始要求が発生し、ADSM0 端子が High に変化します (図 4-7 の(b))。

また、本サンプルコードはデバッグ用として A/D 変換完了割り込み発生時に P33 端子のトグル出力を行う設定になっています。P33 端子のトグル出力を行わない場合は、Config\_S12AD0\_user.c を以下の設定に変更してください。

```
#define PRV_PORT_OUTPUT_ON      (0)
```

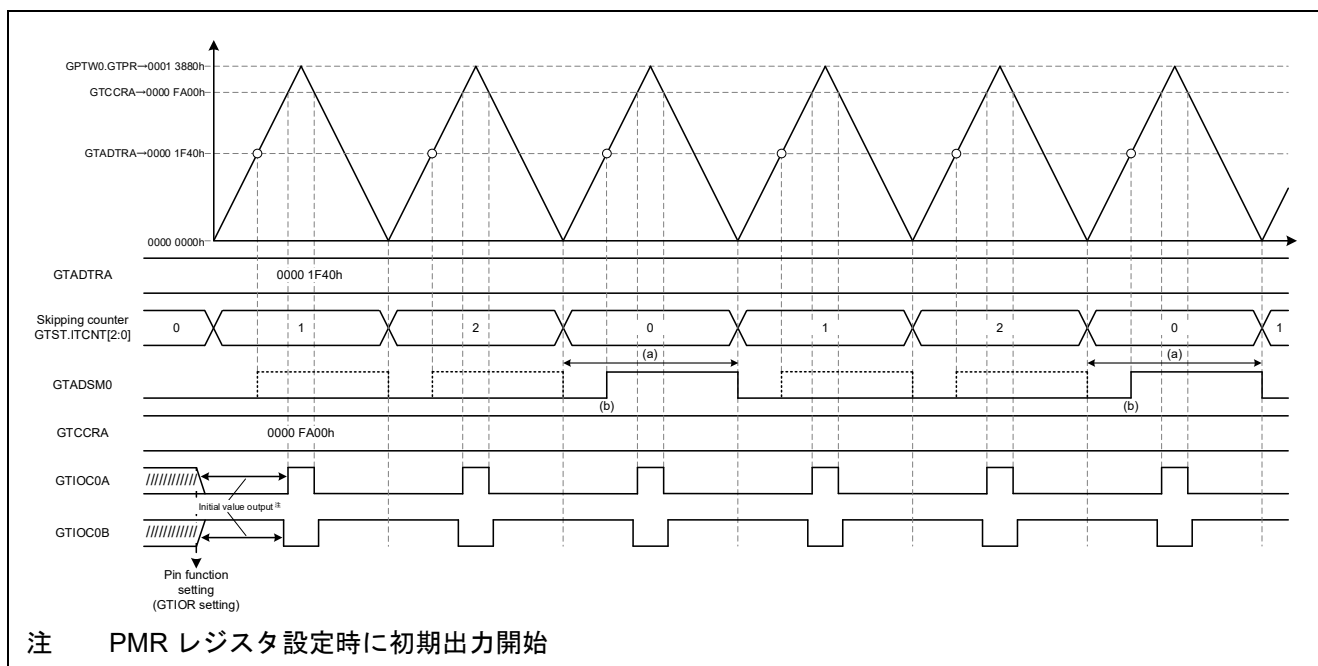


図 4-7 サンプルコードの動作  
(アップカウント時の GTADTRA コンペマッチにより A/D 変換開始要求、  
ITCNT : 間引き回数 2 回で谷をカウント)

### 4.2.3 スマート・コンフィグレータ設定

サンプルコードは、スマート・コンフィグレータを使用して、以下のとおり GPTW、S12AD、ELC を追加しています。コンポーネントの追加方法については「4.1.4 コンポーネントの追加」を参照してください。

表 4-4 コンポーネントの追加 (GPTW0)

| 項目          | 内容            |
|-------------|---------------|
| コンポーネント     | 汎用 PWM タイマ    |
| コンフィグレーション名 | Config_GPT0   |
| 作業モード       | 三角波 PWM モード 1 |
| リソース        | GPT0          |

**基本設定**

- カウント設定
  - クロックソース: PCLKC (160.000 MHz)
  - タイマ動作周期: 80000 ms (キャリア周期 1ms)
  - パルファ動作: パルファ動作しない
  - カウント方向: アップカウント
  - カウンタ初期値: 0
- コンペアマッチレジスタ、端子設定
  - GTCCRA: コンペアマッチ (64000) → GPTW0.GTCCRAをコンペアマッチとして使用  
GPTW0.GTCCRA初期値設定
  - GTIOC0A: PWM出力端子 → GTIOC0A端子をPWM出力端子として設定  
出力デューティはコンペアマッチによって設定
  - 開始時1出力、停止時1出力: トグル出力 → カウント開始時はHigh出力、停止時はHigh出力  
GPTW0.GTCCRAコンペアマッチでトグル出力  
周期の終わりで出力保持

**GTCRCR、GTCCRCD、GTCRE、GTCCRF設定**

| 機能        | 設定          |
|-----------|-------------|
| GTCCRC機能  | コンペアマッチ 100 |
| GTCCRCD機能 | コンペアマッチ 100 |
| GTCRE機能   | コンペアマッチ 100 |
| GTCCRF機能  | コンペアマッチ 100 |

**ソフトウェア要因カウントスタートを許可**

☒ ソフトウェア要因カウントスタート

図 4-8 GPT0 の設定 (1/3)

**詳細設定**

デッドタイム自動設定  
☒ デッドタイム値とGTCCRA0値からGTCCRB0を自動設定する  
 デッドタイム自動設定は有効

GTDTVU値  
☒ GTDVUと同じ値を、GTDVDにも自動設定する  
 GTDVU値 4800  
 GTDVD値 (バッファを許可[GTDBU])  
 (バッファを許可[GTDBD])

A/D変換開始要求設定  
 GTADTRA GTADTRB  
☒ コンペアマッチ (アップカウント) A/D変換開始要求許可(GTADTRA)  
☐ コンペアマッチ (ダウンカウント) A/D変換開始要求許可(GTADTRA)  
 コンペアマッチ値(GTADTRA) 40000  
 バッファ動作 バッファ動作しない  
 バッファ転送タイミング 転送しない  
 GTADTRA値を設定

A/D変換開始要求信号モニタ設定  
☒ S12AD0信号モニタ モニタ信号選択 アップカウント時のGTADTRAコンペアマッチ  
☐ S12AD1信号モニタ モニタ信号選択 アップカウント時のGTADTRAコンペアマッチ  
 A/D変換開始要求信号モニタ0はアップカウント時のGTADTRAコンペアマッチ

出力停止設定  
 出力停止グループ選択 グループA  
☐ デッドタイムエラー出力停止検出を許可

GTCNTアンダフロー割り込みを許可

割り込み設定  
☐ GTCCRAコンペアマッチ/インプットキャプチャ割り込みを許可(GTCIA0) 優先順位 レベル15 (最高)  
☐ GTCCRBコンペアマッチ/インプットキャプチャ割り込みを許可(GTCIB0) 優先順位 レベル15 (最高)  
☐ GTCCRCコンペアマッチ割り込みを許可(GTCIC0) 優先順位 レベル15 (最高)  
☐ GTCCRDコンペアマッチ割り込みを許可(GTCID0) 優先順位 レベル15 (最高)  
☐ GTCCREコンペアマッチ割り込みを許可(GTCIE0) 優先順位 レベル15 (最高)  
☐ GTCCRFコンペアマッチ割り込みを許可(GTCIF0) 優先順位 レベル15 (最高)  
☐ デッドタイムエラー割り込みを許可(GDTE0) 優先順位 レベル15 (最高)  
☐ GTCINTオーバーフロー (GTCPRコンペアマッチ) 割り込みを許可(GTCIV0) 優先順位 レベル15 (最高)  
☒ GTCNTアンダフロー割り込みを許可(GTCIU0) 優先順位 レベル15 (最高)

割り込み、A/D変換開始要求間引き設定  
 GTCIV0/GTCIU0割り込み間引き機能 (谷) をカウントして間引き  
 GTCIV0/GTCIU0割り込み間引き回数 間引き回数: 2回  
 割り込み間引きは谷をカウント、間引き回数2回

☐ GTCIA0をGTCIV0/GTCIU0割り込み間引き機能と連動する  
☐ GTCIB0をGTCIV0/GTCIU0割り込み間引き機能と連動する  
☐ GTCIC0をGTCIV0/GTCIU0割り込み間引き機能と連動する  
☐ GTCID0をGTCIV0/GTCIU0割り込み間引き機能と連動する  
☐ GTCIE0をGTCIV0/GTCIU0割り込み間引き機能と連動する  
☐ GTCIF0をGTCIV0/GTCIU0割り込み間引き機能と連動する  
☒ GTADTRA A/D変換開始要求を、GTCIV0/GTCIU0 割り込み間引き機能と連動する  
☐ GTADTRB A/D変換開始要求を、GTCIV0/GTCIU0 割り込み間引き機能と連動する  
 GTADTRAによるA/D変換開始要求とGTCIU0割り込み間引き機能との連動を許可

概要 | ボード | クロック | システム | コンポーネント | 端子 | 割り込み

図 4-9 GPT0 の設定 (2/3)

コンペアマッチレジスタ、端子設定

GTCCRA GTCCRAインプットキャプチャ要因 GTCCRB GTCCRBインプットキャプチャ要因

GTCCRB機能 コンペアマッチ 100

バッファ動作 バッファ動作しない

GTIOC0B端子機能 PWM出力端子

☐ ノイズフィルタ

GTIOC0B端子出力デューティ コンペアマッチによって決定

GTIOC0B端子ネゲート制御 禁止

開始/停止時の出力レベル 開始時0出力、停止時0出力

コンペアマッチ時の出力レベル トグル出力

周期の終わり時の出力レベル 出力保持

デューティサイクル解除後の出力 解除後にデューティを設定したときの出力

GPTW0.GTCCRBをコンペアマッチとして使用

GTIOC0B端子をPWM出力端子として設定

カウント開始時はLow出力、停止時はLow出力  
GPTW0.GTCCRBコンペアマッチでトグル出力  
周期の終わりで出力保持

図 4-10 GPT0 の設定 (3/3)

表 4-5 コンポーネントの追加 (S12AD)

| 項目          | 内容                |
|-------------|-------------------|
| コンポーネント     | シングルスキャンモード S12AD |
| コンフィグレーション名 | Config_S12AD0     |
| リソース        | S12AD0            |

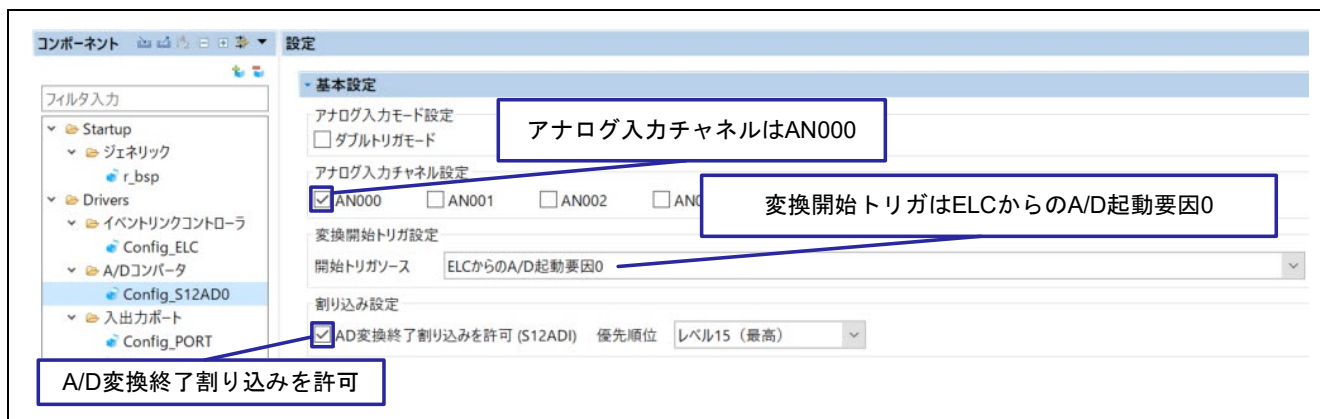


図 4-11 S12AD0 の設定

表 4-6 コンポーネントの追加 (ELC)

| 項目          | 内容            |
|-------------|---------------|
| コンポーネント     | イベントリンクコントローラ |
| コンフィグレーション名 | Config_ELC    |
| リソース        | ELC           |



図 4-12 ELC の設定

## 4.2.4 フローチャート

以下にスマート・コンフィグレータによるコード生成後に追加した、main 関数の処理を示します。

カウントスタート関数 R\_Config\_GPT0\_Start を読み出し、カウントをスタートします。

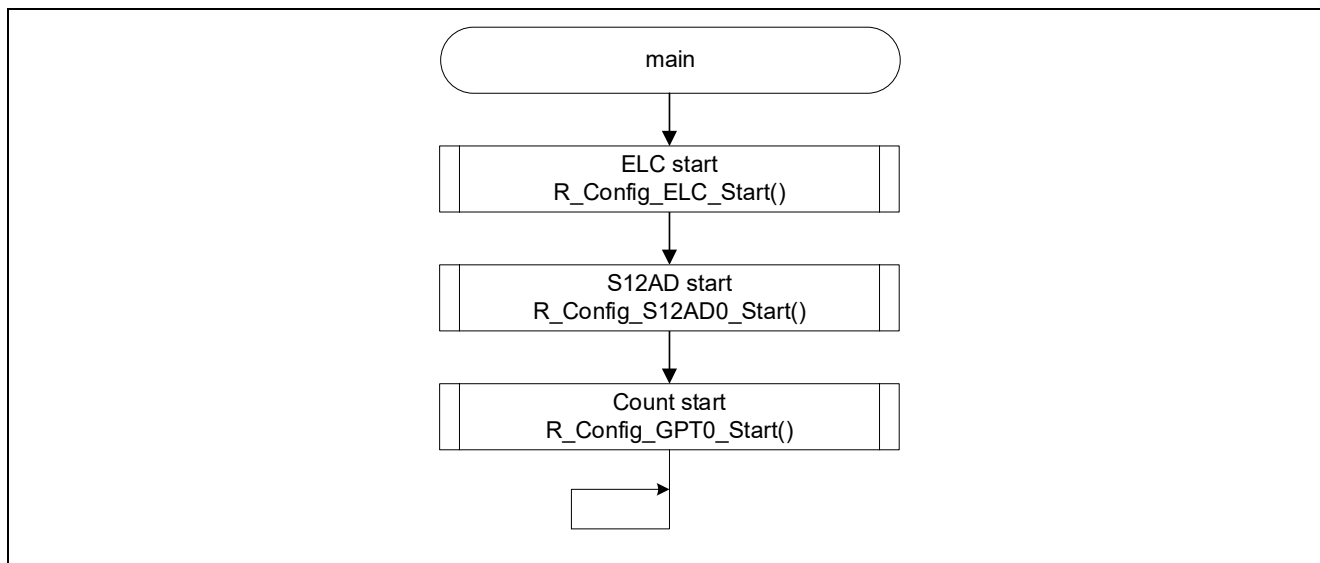


図 4-13 main 関数

## 4.2.5 注意事項

### 4.2.5.1 GTITC レジスタ設定

本アプリケーションノートの「1.3.3(2) GTITC レジスタによる割り込み間引き機能と連動するときの注意事項」を参照してください。

### 4.3 拡張割り込み間引き機能と連動した A/D 変換開始要求機能

- 対象サンプルコードファイル名 : r01an6643\_rx66t\_gptw\_ad\_delay\_2.zip

#### 4.3.1 概要

GPTW の拡張割り込み間引き機能と連動した A/D 変換開始要求機能を行うサンプルコードです。

拡張割り込み間引きカウンタ 1 の割り込み間引きにより A/D 変換開始要求信号を生成し、ELC イベント信号により、S12AD0 の A/D 変換を行います。また、拡張割り込み間引きカウンタ 2 のバッファ転送間引きにより GTADTRA レジスタ値を変更し A/D 変換開始要求タイミングの更新を行います。

以下に、サンプルコードが使用する GPTW および S12AD、ELC の設定を示します。

- GPTW0 (チャンネル 0)
  - 三角波 PWM モード 1 を使用
  - タイマカウントクロックは 160MHz (PCLKC)
  - キャリア周期は 1ms
  - GTPR を周期レジスタとして使用
    - カウントは初期値 0 からのアップカウント
  - GTCCRA を Duty 出力のコンペアマッチとして使用
    - GTIOC0A 端子を PWM 出力端子として使用
    - カウント開始時は High 出力、停止時は High 出力
    - GTCCRA コンペアマッチでトグル出力
    - 周期の終わりで出力保持
  - GTCCRB を Duty 出力のコンペアマッチとして使用
    - GTIOC0B 端子を PWM 出力端子として使用
    - カウント開始時は Low 出力、停止時は Low 出力
    - GTCCRB コンペアマッチでトグル出力
    - 周期の終わりで出力保持
  - ソフトウェア要因カウントスタートを許可
  - デッドタイム自動生成を使用
  - A/D 変換開始要求を許可
    - アップカウント時の GTADTRA コンペアマッチによる A/D 変換開始要求
    - A/D 変換開始要求信号モニタ 0 はアップカウント時の GTADTRA コンペアマッチ
  - 拡張割り込み間引き機能を使用
    - 間引きカウンタ 1 は山をカウント、間引き回数 2 回
    - 間引きカウンタ 2 は谷をカウント、間引き回数 3 回、初期値"0" ※
    - GTADTRA 割り込みは間引きカウンタ 1 が 0 以外でスキップする
    - GTADTRA バッファ転送は間引きカウンタ 2 が 0 以外でスキップする ※
- ※ ユーザ初期化関数 R\_Config\_GPT0\_Create\_UserInit で設定
- S12AD0 (ユニット 0)
  - シングルスキャンモードを使用
  - ELC をからの A/D 起動要因 0 による A/D 変換開始
- ELC
  - イベントに GPT0・A/D 変換開始要求 A を選択
  - 送信先リソースに S12AD0 (ELCTRG00N) を選択

スマート・コンフィグレータで  
設定可能

設定方法は 4.3.3 を  
参照してください

(※ 印を除く)

本サンプルコードにおける構成を以下に示します。

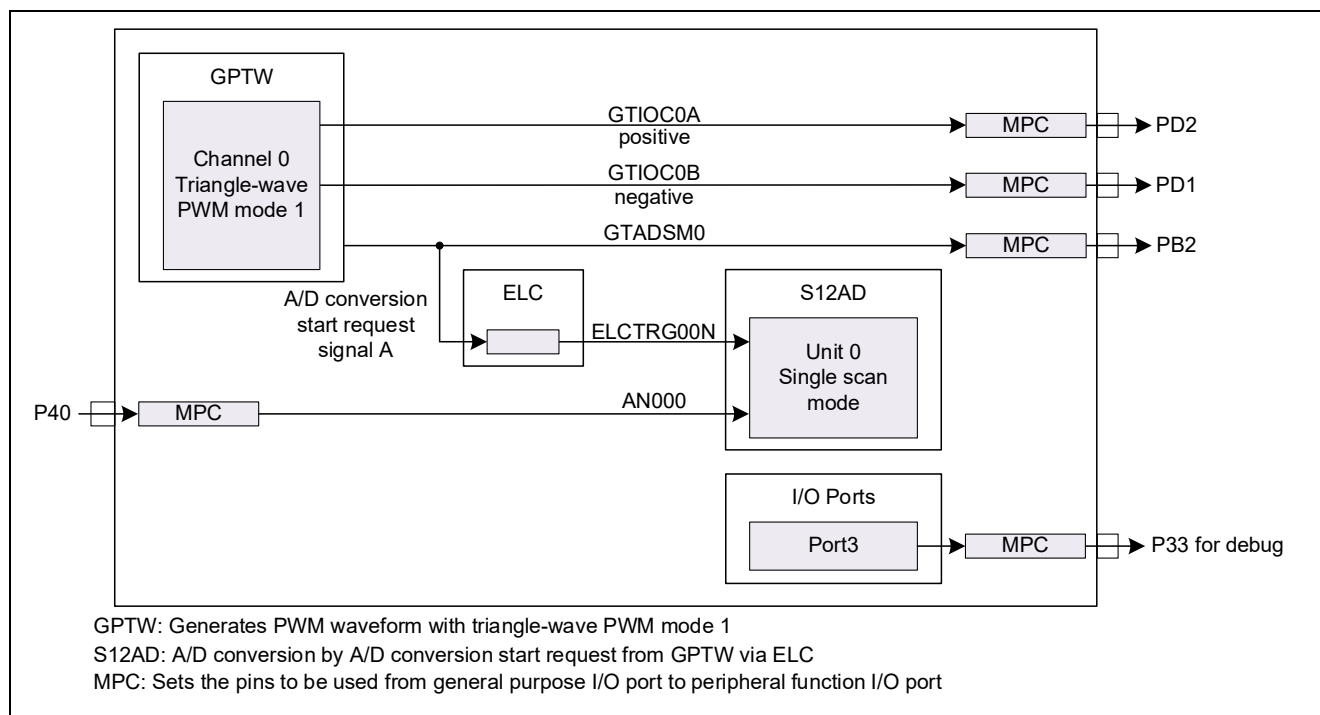


図 4-14 サンプルコードの構成

## 4.3.2 動作詳細

本サンプルコードの動作を以下に示します。

拡張割り込み間引き機能の間引きカウンタ 1 で A/D 変換開始要求の間引き、間引きカウンタ 2 で A/D 変換開始要求タイミングレジスタ GTADTRA のバッファ転送の間引きを行っています。

- 間引きカウンタ 1 : A/D 変換開始要求の間引きに使用
  - ― 設定 : GTCNT オーバフロー (山) をカウント、間引き 2 回
  - ― 動作 : カウンタ値"0"の時 GTADTRA 割り込みが許可 (図 4-15 の(a)) となり、GTADTRA コンペアマッチ発生時に A/D 変換開始要求が発生し GTADSM0 端子変化 (図 4-15 の(b))
- 間引きカウンタ 2 : A/D 変換開始要求タイミングレジスタ GTADTRA のバッファ転送間引きに使用
  - ― 設定 : GTCNT アンダフロー (谷) をカウント、間引き 3 回、初期値"0"
  - ― 動作 : カウンタ値"0"の時バッファ転送が許可 (図 4-15 の(c))、谷でバッファ転送 (図 4-15 の(d))

また、本サンプルコードはデバッグ用として A/D 変換完了割り込み発生時に P33 端子のトグル出力を行う設定になっています。P33 端子のトグル出力を行わない場合は、Config\_S12AD0\_user.c を以下の設定に変更してください。

```
#define PRV_PORT_OUTPUT_ON      (0)
```

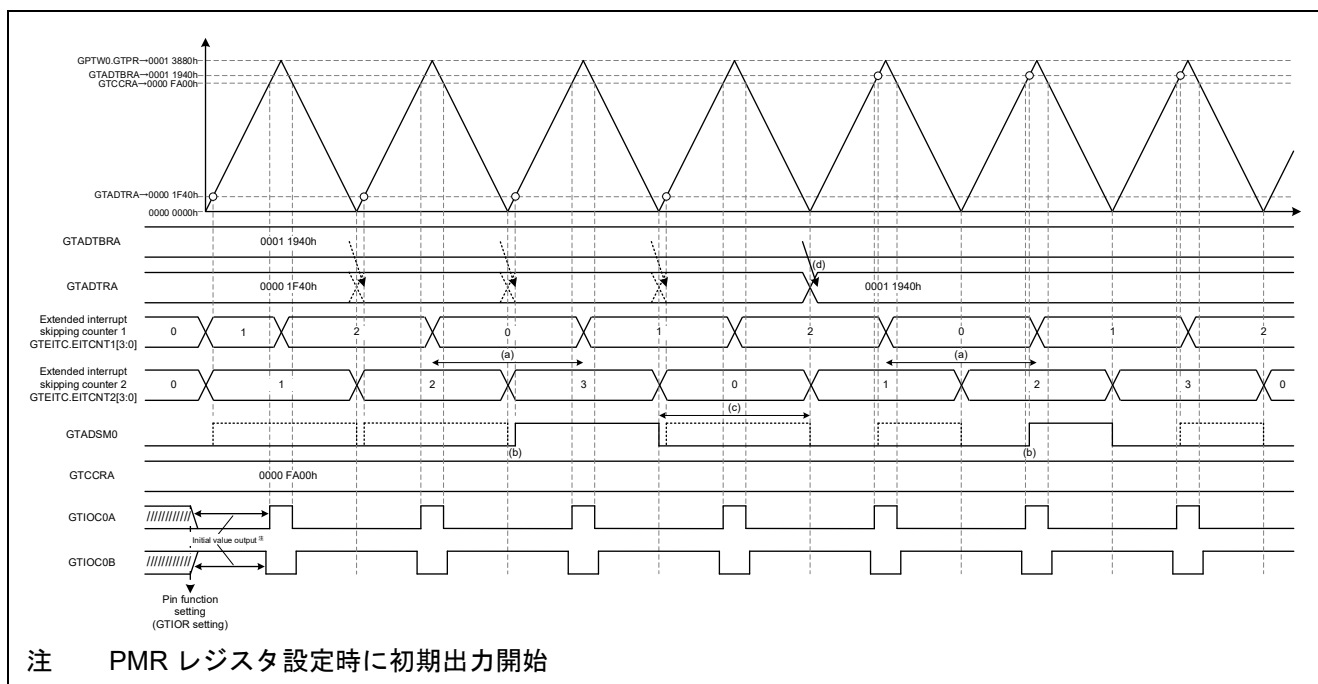


図 4-15 サンプルコードの動作

(アップカウント時の GTADTRA コンペアマッチにより A/D 変換開始要求、  
EITCNT1 : 間引き回数 2 回で山をカウント、EITCNT2 : 間引き回数 3 回で谷をカウント、初期値"0")

## 4.3.3 スマート・コンフィグレータ設定

サンプルコードは、スマート・コンフィグレータを使用して、以下のとおり GPTW、S12AD、ELC を追加しています。コンポーネントの追加方法については「4.1.4 コンポーネントの追加」を参照してください。

表 4-7 コンポーネントの追加 (GPTW0)

| 項目          | 内容            |
|-------------|---------------|
| コンポーネント     | 汎用 PWM タイマ    |
| コンフィグレーション名 | Config_GPT0   |
| 作業モード       | 三角波 PWM モード 1 |
| リソース        | GPT0          |

タイマカウントクロックは160MHz (PCLKC)

キャリア周期1ms

カウント方向はアップカウント

カウンタ初期値は0

GPTW0.GTCCRAをコンペアマッチとして使用  
GPTW0.GTCCRA初期値設定

GTIOC0A端子をPWM出力端子として設定  
出力デューティはコンペアマッチによって設定

カウント開始時はHigh出力、停止時はHigh出力  
GPTW0.GTCCRAコンペアマッチでトグル出力  
周期の終わりで出力保持

ソフトウェア要因カウントスタートを許可

デッドタイム自動設定は有効

GTDVU値を設定  
GTDVDに同じ値を設定

GTDVU値 4800

GTDVD値 0

図 4-16 GPT0 の設定 (1/3)

**A/D変換開始要求設定**

GTADTRA GTADTRB

☒ コンペアマッチ (アップカウント) A/D変換開始要求許可 (GTADTRA)

☐ コンペアマッチ (ダウンカウント) A/D変換開始要求許可 (GTADTRA)

コンペアマッチ値 (GTADTRA) 8000

バッファ動作 シングルバッファとして動作する

バッファ転送タイミング (谷) で転送

**A/D変換開始要求信号モニタ設定**

☒ 12AD0信号モニタ モニタ信号選択 アップカウント時のGTADTRAコンペアマッチ

☐ 12AD1信号モニタ モニタ信号選択 アップカウント時のGTADTRAコンペアマッチ

**出力停止設定**

出力停止グループ選択

☐ デッドタイムエラー-出力停止検出を許可

☐ 同時High出力停止検出を許可

☐ 同時Low出力停止検出を禁止

**割り込み設定**

☐ GTCCRAコンペアマッチ/インプットキャプチャ割り込みを許可 (GTICIA0) 優先順位 レベル15 (最高)

☐ GTCCRBコンペアマッチ/インプットキャプチャ割り込みを許可 (GTICIB0) 優先順位 レベル15 (最高)

☐ GTCCRCコンペアマッチ割り込みを許可 (GTICIC0) 優先順位 レベル15 (最高)

☐ GTCCRDコンペアマッチ割り込みを許可 (GTICID0) 優先順位 レベル15 (最高)

☐ GTCCREコンペアマッチ割り込みを許可 (GTICIE0) 優先順位 レベル15 (最高)

☐ GTCCRFコンペアマッチ割り込みを許可 (GTICIF0) 優先順位 レベル15 (最高)

☐ デッドタイムエラー-割り込みを許可 (GDTE0) 優先順位 レベル15 (最高)

☐ GTCNTオーバーフロー (GTPRコンペアマッチ) 割り込みを許可 (GTICIV0) 優先順位 レベル15 (最高)

☐ GTCNTアンダフロー-割り込みを許可 (GTICIU0) 優先順位 レベル15 (最高)

**割り込み、A/D変換開始要求間引き設定**

GTCIV0/GTCIU0割り込み間引き機能 間引きしない

GTCIV0/GTCIU0割り込み間引き回数 間引き回数: 1回

☐ GTICIA0をGTCIV0/GTCIU0割り込み間引き機能と連動する

☐ GTICIB0をGTCIV0/GTCIU0割り込み間引き機能と連動する

☐ GTICIC0をGTCIV0/GTCIU0割り込み間引き機能と連動する

☐ GTICID0をGTCIV0/GTCIU0割り込み間引き機能と連動する

☐ GTICIE0をGTCIV0/GTCIU0割り込み間引き機能と連動する

☐ GTICIF0をGTCIV0/GTCIU0割り込み間引き機能と連動する

☐ GTADTRA A/D変換開始要求を、GTCIV0/GTCIU0 割り込み間引き機能と連動する

☐ GTADTRB A/D変換開始要求を、GTCIV0/GTCIU0 割り込み間引き機能と連動する

**拡張割り込み間引き設定**

拡張割り込み間引きカウンタ1カウント要因 (山) をカウントして間引き

間引き回数 間引き回数: 2回

拡張割り込み間引きカウンタ2カウント要因 間引きしない

間引き回数 間引き回数: 1回

カウンタ2の初期間引き回数 間引き回数: 1回

GTCCRA割り込み拡張間引き機能 拡張割り込み間引きを行わない

GTCCRB割り込み拡張間引き機能 拡張割り込み間引きを行わない

GTCCRC割り込み拡張間引き機能 拡張割り込み間引きを行わない

GTCCRD割り込み拡張間引き機能 拡張割り込み間引きを行わない

GTCCRE割り込み拡張間引き機能 拡張割り込み間引きを行わない

GTCCRF割り込み拡張間引き機能 拡張割り込み間引きを行わない

オーバーフロー-割り込み拡張間引き機能 拡張割り込み間引きを行わない

アンダフロー-割り込み拡張間引き機能 拡張割り込み間引きを行わない

GTADTRA割り込み拡張間引き機能 拡張割り込み間引きカウンタ1が0以外でスキップする

GTADTRB割り込み拡張間引き機能 拡張割り込み間引きを行わない

**拡張バッファ転送間引き設定**

GTCCRAバッファ転送拡張間引き機能 拡張割り込み間引きを行わない

GTCCRBバッファ転送拡張間引き機能 拡張割り込み間引きを行わない

GTPRバッファ転送拡張間引き機能 拡張割り込み間引きを行わない

GTADTRAバッファ転送拡張間引き機能 拡張割り込み間引きを行わない

GTADTRBバッファ転送拡張間引き機能 拡張割り込み間引きを行わない

GTDVUバッファ転送拡張間引き機能 拡張割り込み間引きを行わない

GTDVDバッファ転送拡張間引き機能 拡張割り込み間引きを行わない

注意 「e² studio Version 2022-10」のスマート・コンフィグレータの環境では、間引きカウンタ2の初期値"0"が設定できません。そのため、拡張割り込み間引きカウンタ2（（谷）をカウント、間引き回数：3回、初期値"0"）とカウンタ2を使用したGTADTRAバッファ転送設定は、スマート・コンフィグレータによるコード生成後、ユーザ初期化関数 R\_Config\_GPT0\_Create\_UserInitで行います。詳細は「4.3.4 フローチャート」を参照ください。

図 4-17 GPT0 の設定 (2/3)



図 4-18 GPT0 の設定 (3/3)

表 4-8 コンポーネントの追加 (S12AD)

| 項目          | 内容                |
|-------------|-------------------|
| コンポーネント     | シングルスキャンモード S12AD |
| コンフィグレーション名 | Config_S12AD0     |
| リソース        | S12AD0            |



図 4-19 S12AD0 の設定

表 4-9 コンポーネントの追加 (ELC)

| 項目          | 内容            |
|-------------|---------------|
| コンポーネント     | イベントリンクコントローラ |
| コンフィグレーション名 | Config_ELC    |
| リソース        | ELC           |

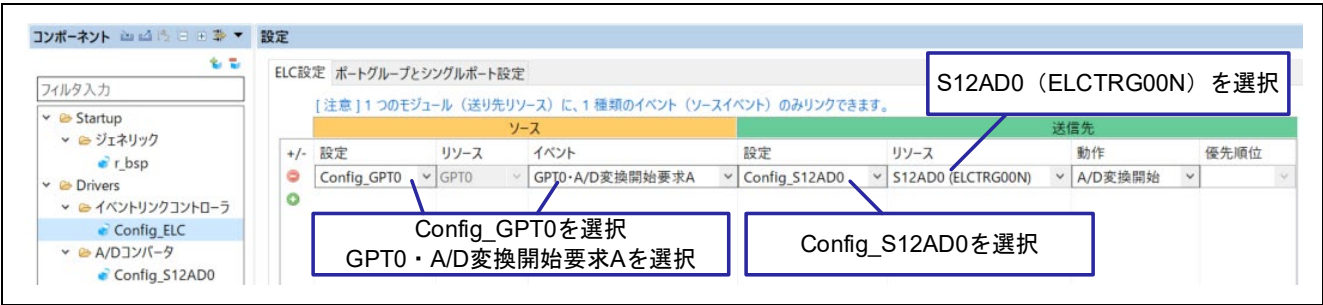


図 4-20 ELC の設定

## 4.3.4 フローチャート

以下にスマート・コンフィグレータによるコード生成後に追加した、main 関数の処理を示します。

カウントスタート関数 R\_Config\_GPT0\_Start を読み出し、カウントをスタートします。

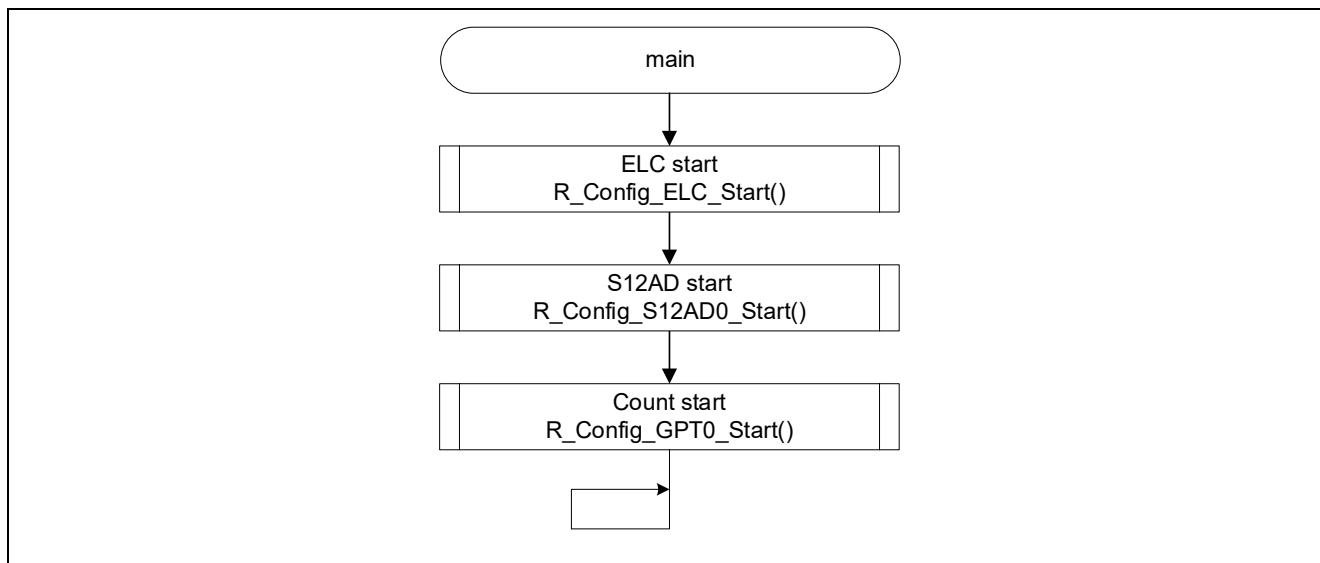


図 4-21 main 関数

main 関数より前に実行されるユーザ初期化関数 R\_Config\_GPT0\_Create\_UserInit で、バッファレジスタ GTADTBRA の初期値と拡張割り込み間引きカウンタ機能制御レジスタ GTEITC、GTEITLB を設定します。

本サンプルコードでは拡張割り込み間引きカウンタ 2 を初期値"0"で使用するため、カウンタ 2 の設定はスマート・コンフィグレータを使用したコード生成はおこなわず、本関数の GTEITC レジスタでカウンタ 2 の要因と間引き回数を設定（図 4-22 の(a)）、GTEITLB レジスタで拡張割り込み間引きカウンタ 2 を使用したバッファ転送間引きを機能を設定（図 4-22 の(b)）しています。

本関数は、R\_Config\_GPT0\_Create 関数内から呼び出されます。

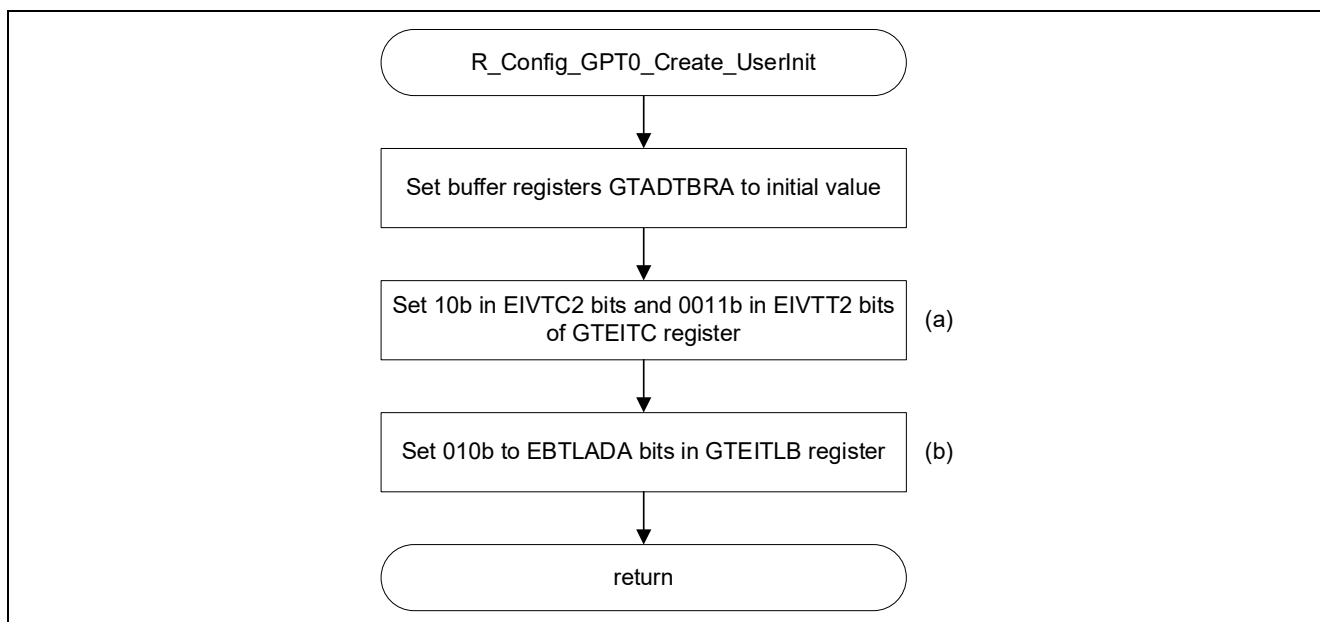


図 4-22 ユーザ初期化関数

## 4.3.5 関連動作

## 4.3.5.1 拡張割り込み間引きカウンタ 2 の初期値に"1"以上を設定する場合

拡張割り込み間引きカウンタ 2 の初期値"1"~"15"を設定する場合、スマート・コンフィグレータを使用してコード生成が可能です。

初期値"1"を設定する場合のスマート・コンフィグレータ設定を図 4-23 に、動作を図 4-24 に示します。

「カウンタ 2 の初期間引き回数」の「間引き回数：1 回」を選択してください。

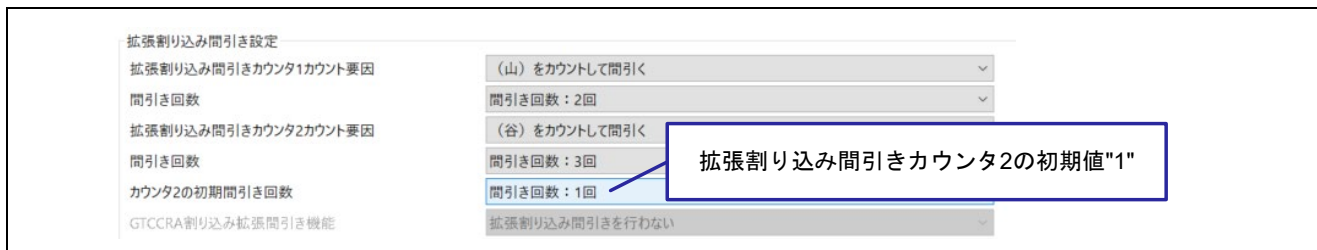


図 4-23 GPTW0 スマート・コンフィグレータ設定

初期値"1"設定の動作は、サンプルコードの初期値"0"設定の動作（図 4-15）に対して、GTCNT カウント開始前の拡張割り込み間引きカウンタ 2 の値（図 4-24 の(a)）とバッファ転送タイミング（図 4-24 の(b)）が異なります。

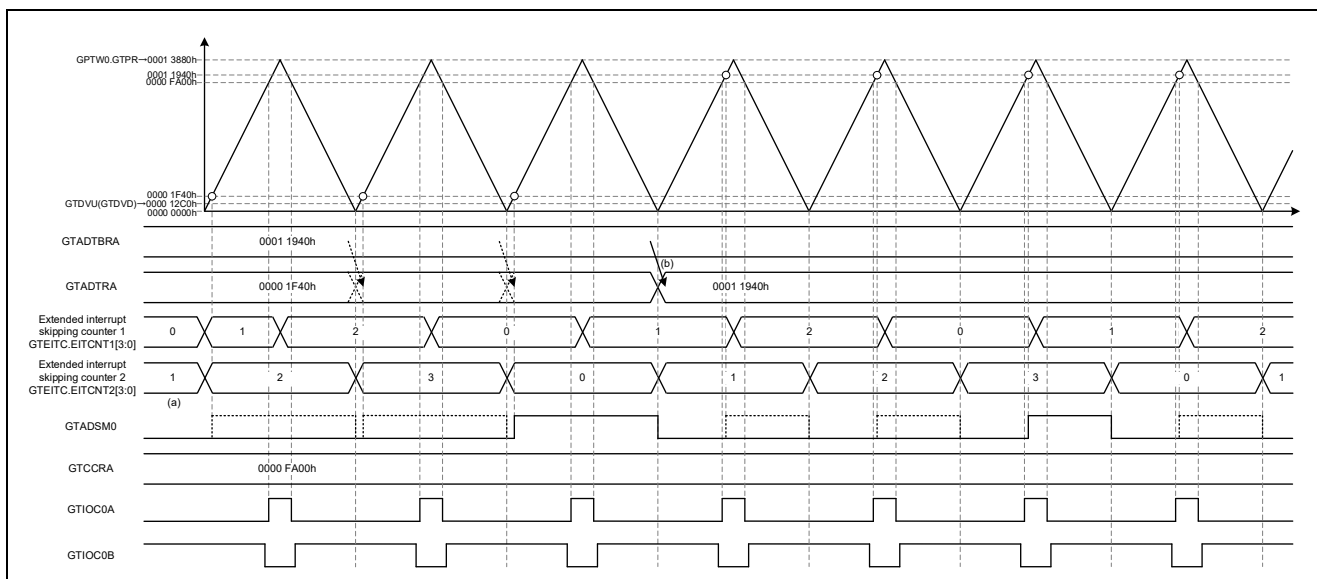


図 4-24 拡張割り込み間引きカウンタ 2 初期値"1"の場合の動作

#### 4.3.6 注意事項

##### 4.3.6.1 GTEITLI2 レジスタ設定

本アプリケーションノートの「1.3.4(4) 拡張割り込み間引き機能を使用するときの注意事項」を参照してください。

## 5. プロジェクトのインポート方法

サンプルコードは e<sup>2</sup> studio のプロジェクト形式で提供しています。本章では、e<sup>2</sup> studio および CS+ へプロジェクトをインポートする方法を示します。インポート完了後、ビルドおよびデバッガの設定を確認してください。

以下のルネサス エレクトロニクス ホームページも参照してください。

<https://www.renesas.com/software-tool/migration-e2studio-to-csplus>

### 5.1 e<sup>2</sup> studio での手順

e<sup>2</sup> studio でご使用になる際は、以下の手順で e<sup>2</sup> studio にインポートしてください。

(使用する e<sup>2</sup> studio のバージョンによっては画面が異なる場合があります。)

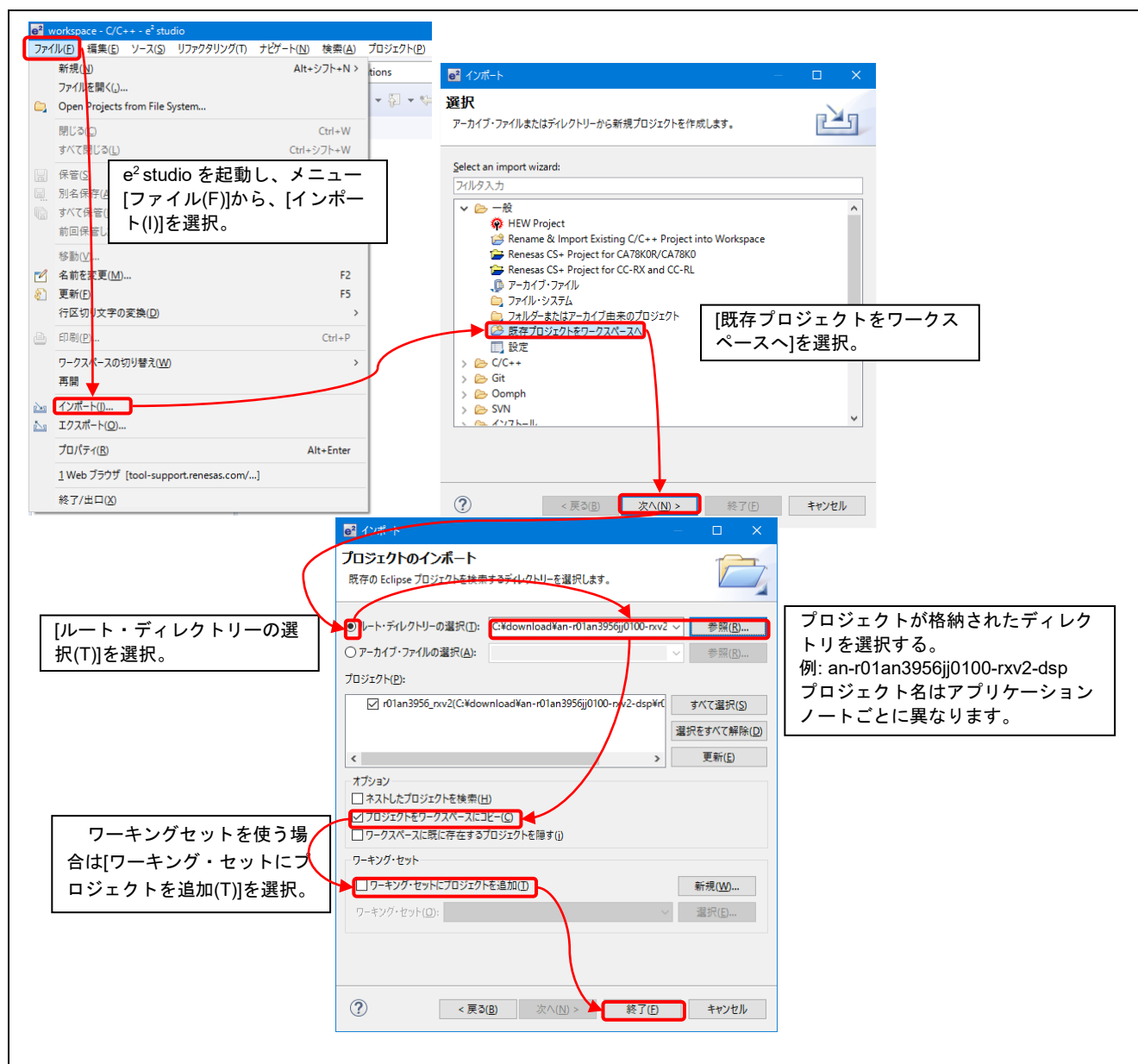


図 5-1 プロジェクトを e<sup>2</sup> studio にインポートする方法

## 5.2 CS+ での手順

CS+ でご使用になる際は、以下の手順で CS+ にインポートしてください。

(使用する CS+ のバージョンによっては画面が異なる場合があります。)

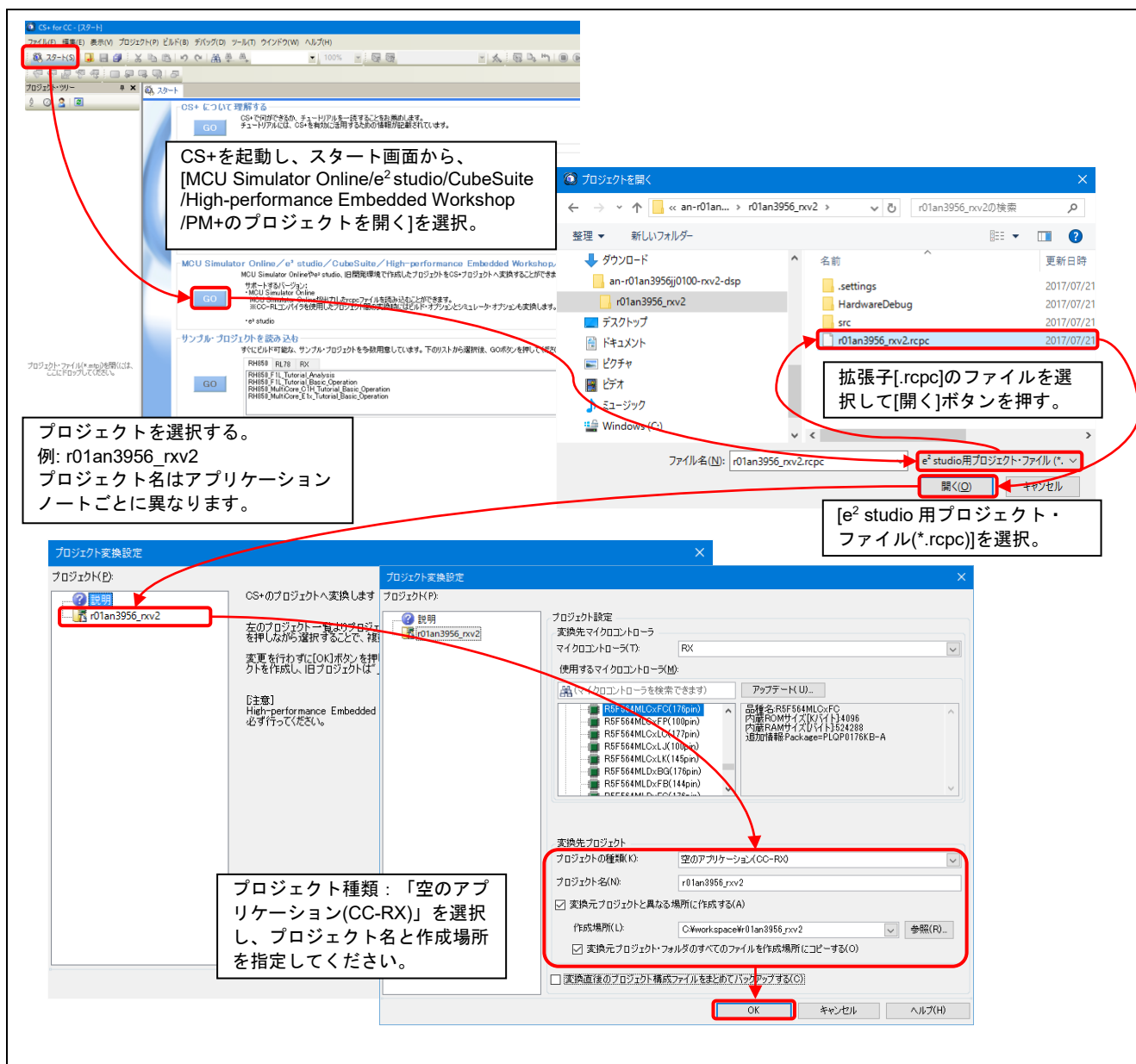


図 5-2 プロジェクトを CS+ にインポートする方法

## 6. 参考ドキュメント

- ユーザーズマニュアル：ハードウェア  
RX66T グループ ユーザーズマニュアル ハードウェア編 (R01UH0749)  
(最新版をルネサス エレクトロニクス ホームページから入手してください)
- テクニカルアップデート／テクニカルニュース  
(最新版をルネサス エレクトロニクス ホームページから入手してください)
- ユーザーズマニュアル：開発環境  
RX ファミリ CC-RX コンパイラ ユーザーズマニュアル (R20UT3248)  
(最新版をルネサス エレクトロニクス ホームページから入手してください)
- ユーザーズマニュアル：開発環境  
RX66T グループ Renesas Starter Kit ユーザーズマニュアル (R20UT4150)  
(最新版をルネサス エレクトロニクス ホームページから入手してください)
- アプリケーションノート  
RX ファミリ MTU3/GPTW を用いた PWM 出力方法 (R01AN5995)  
(最新版をルネサス エレクトロニクス ホームページから入手してください)

改訂記録

| Rev. | 発行日       | 改訂内容 |      |
|------|-----------|------|------|
|      |           | ページ  | ポイント |
| 1.00 | Dec.27.22 | —    | 初版   |
|      |           |      |      |

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

### 1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

### 2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

### 4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

### 5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 $V_{IL}(\text{Max.})$  から  $V_{IH}(\text{Min.})$  までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 $V_{IL}(\text{Max.})$  から  $V_{IH}(\text{Min.})$  までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

### 7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとしします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

## 本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

[www.renesas.com](http://www.renesas.com)

## お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

[www.renesas.com/contact/](http://www.renesas.com/contact/)

## 商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。