RX ファミリ

外部バスの使用例

要旨

本アプリケーションノートでは RX ファミリの外部バスの使用例について、RX72M グループと SRAM とのセパレートバスインタフェースによる接続を例にして説明します。

動作確認デバイス

RX72M グループ

本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

目次

1. RX ファミリの外部バス仕様差分 3
2. 動作確認条件 3
3. 仕様 4
4. ハードウェア説明 5
4.1 ハードウェア構成例 5
4.2 使用端子一覧 5
5. ソフトウェア説明 6
5.1 動作概要 6
5.1.1 SRAM 制御タイミング 7
5.1.2 SRAM へのデータ書き込み 8
5.1.3 SRAM からのデータ読み出し 9
5.2 コード生成 10
5.2.1 クロック設定 10
5.2.2 バスコントローラ設定 11
5.2.3 ポート設定 12
5.2.4 端子割り当て 12
5.3 ファイル構成 13
5.4 定数一覧 13
5.5 変数一覧 14
5.6 関数一覧 14
5.7 関数仕様 14
5.8 フローチャート 15
5.8.1 メイン処理 15
5.8.2 SRAM ベリファイエラー処理 15
5.8.3 SRAM バスエラー処理 15
6. 応用例 16
6.1 1 ライトストローブ、バイトストローブモードの選択 16
6.2 リカバリサイクルの挿入 16
6.3 その他の接続例 17
7. サンプルコード 18
8. 参考ドキュメント 18
改訂記録 19

1. RX ファミリの外部バス仕様差分

RX231 グループ、RX651 グループ、RX65N グループ、RX660 グループ、RX66N グループ、RX66T グループ、RX671 グループ、RX72M グループ、RX72N グループ、RX72T グループを代表として、RX ファミリの外部バス仕様差分を表 1.1 に示します。

表 1.1　RX ファミリ外部バス仕様差分

項目	RX651 グループ、 RX65N グループ、 RX66N グループ、 RX72M グループ、 RX72N グループ	RX671 グループ	RX660 グループ、 RX66T グループ、 RX72T グループ	RX231 グループ
データバス幅	32 ビット,16 ビット, 8 ビット	16 ビット,8 ビット		
CS 領域	8		4	
SDRAM コントローラー	搭載		非搭載	
バスクロック	120MHz (max.)		60 MHz (max.)	32 MHz (max.)

2. 動作確認条件

本アプリケーションノートのサンプルコードは、下記の条件で動作を確認しています。

表 2.1　動作確認条件

項目	内容
使用マイコン	R5F572MNDDBG (RX72M グループ)
動作周波数	メインクロック: 12MHz PLL: 240MHz (メインクロック 1 分周 20 逓倍) システムクロック(ICLK): 240MHz (PLL1 分周) 周辺モジュールクロック A (PCLKA): 120MHz (PLL 2 分周) 周辺モジュールクロック B～D(PCLKB～D): 60MHz (PLL 4 分周) FlashIF クロック(FCLK): 60MHz(PLL4 分周) 外部バスクロック(BCLK): 120MHz (PLL 2 分周)
動作電圧	3.3V
統合開発環境	ルネサスエレクトロニクス製 e2 studio Version: 2022-10 (22.10.0)
C コンパイラ	ルネサスエレクトロニクス製 C/C++ Compiler Package for RX Family V3.04.00
	コンパイルオプション 統合開発環境のデフォルト設定を使用しています
iodefine.h のバージョン	V1.00C
エンディアン	リトルエンディアン
動作モード	内蔵 ROM 有効拡張モード
プロセッサモード	スーパバイザモード
サンプルコードのバージョン	Version 1.00
SRAM	Infineon Technologies CY7C1061AV33-10ZXI (1M word x 16bit)

3. 仕様

本アプリケーションノートでは RX72M の外部バスを使用して、セパレートバスインタフェースにより SRAM を接続し、16 ビットのバス幅でデータのライト、リード、ベリファイを行います。

リセット解除後、外部アドレス空間となる 16M ビット SRAM 領域に対してワード単位のデータを書き込みます。すべての SRAM 領域に書き込み完了後、書き込んだ値を読み出します。

読み出した値が書き込んだ値と一致した場合(ベリファイ完了)、LED0 を点灯します。書き込んだ値と異なる場合(ベリファイエラー)、LED1 を点灯します。またバスエラーが発生した場合、LED2 を点灯します。

表 3.1 に使用する周辺機能と用途を、表 3.2 に SRAM(CY7C1061AV33)の仕様を、図 3.1 にブロック図を示します。

表 3.1　使用する周辺機能と用途

周辺機能	用途
バス（外部バス）	SRAM との接続
割り込みコントローラー	バスエラー検出
I/O ポート	LED 点灯

表 3.2　SRAM(CY7C1061AV33)仕様

項目	内容
製品名	CY7C1061AV33-10ZXI
構成	1Mword x 16bit
容量	16Mbit
アクセス時間	10ns

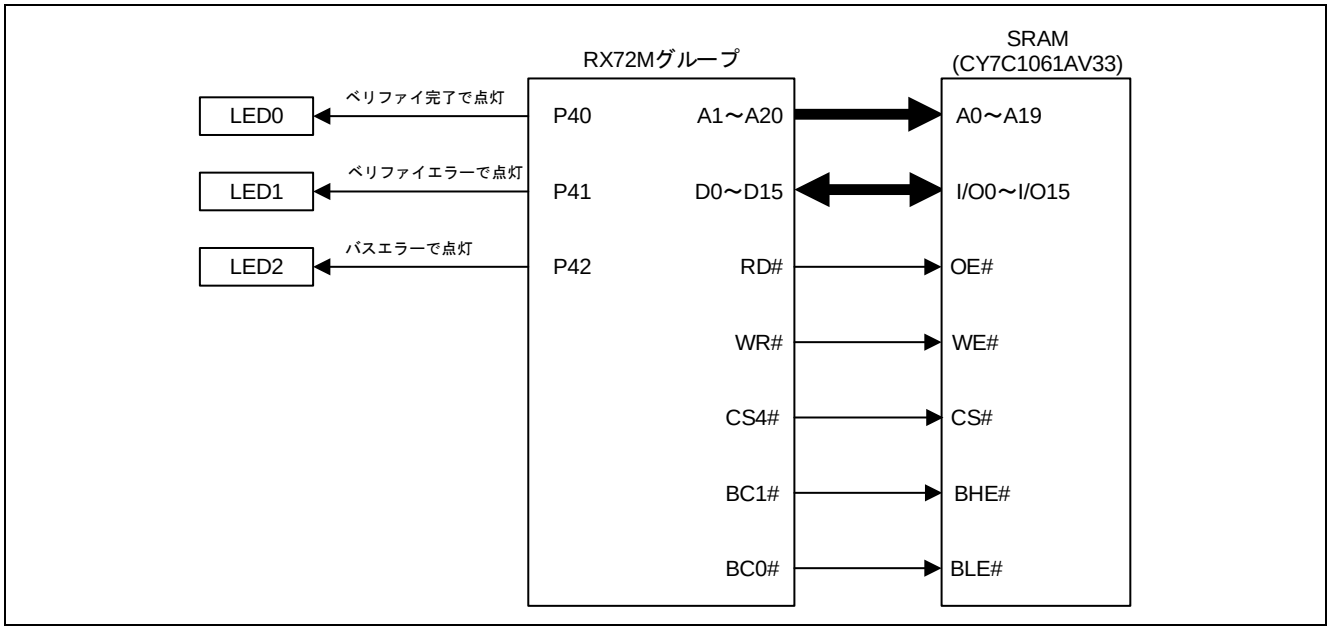

図 3.1　ブロック図

4. ハードウェア説明

4.1 ハードウェア構成例

本アプリケーションノートでは、セパレートバスインタフェースにより 16 ビットデータバス接続して SRAM へのアクセスを行います。

図 4.1 にセパレートバス 16 ビットでの接続例を示します。

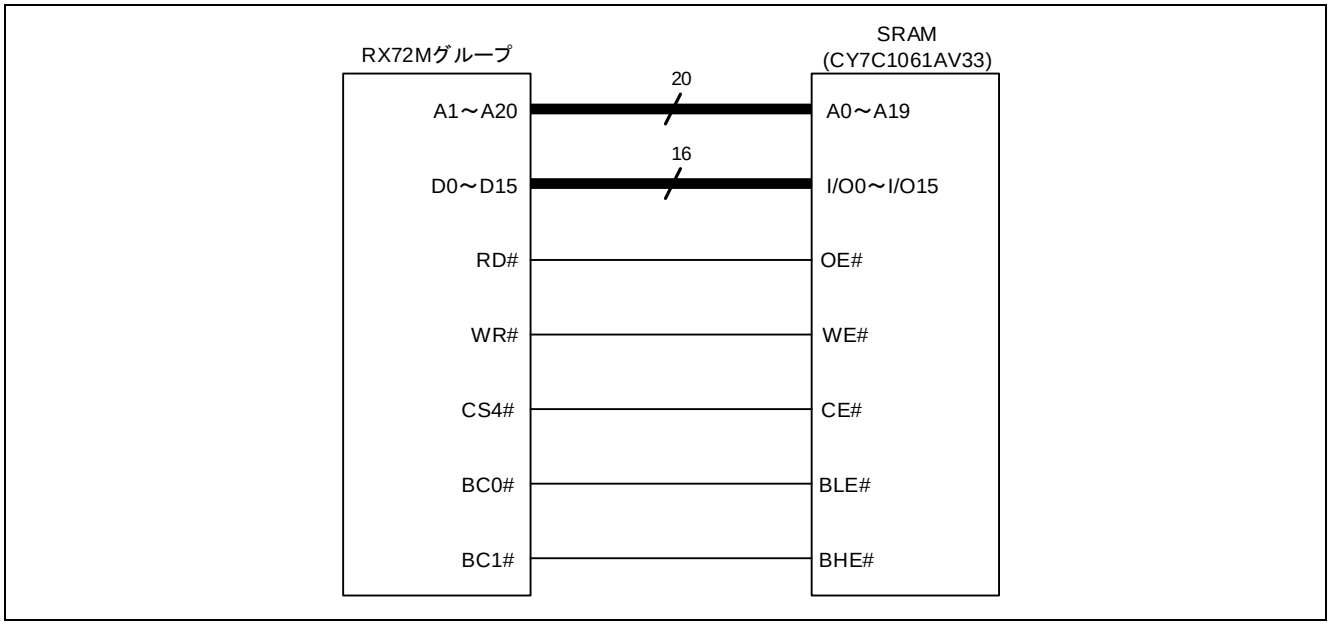

図 4.1　セパレートバス 16 ビットでの接続例

4.2 使用端子一覧

表 4.1 に使用端子と機能を示します。

表 4.1　使用端子と機能

端子名	入出力	内容
P40	出力	LED0 出力(ポート出力 High：点灯/ Low：消灯)
P41	出力	LED1 出力(ポート出力 High：点灯/ Low：消灯)
P42	出力	LED2 出力(ポート出力 High：点灯/ Low：消灯)
PA7～PA1/A7～A1	出力	アドレス出力端子
PB7～PB0/A15～A8	出力	アドレス出力端子
P94～P90/A20～A16	出力	アドレス出力端子
PD7～PD0/D7～D0	入出力	データ入出力端子
PE7～PE0/D15～D8	入出力	データ入出力端子
PA0/A0/BC0#	出力	D7～D0 が有効であることを示すストローブ信号出力端子
P51/BC1#	出力	D15～D8 が有効であることを示すストローブ信号出力端子
P52/RD#	出力	リード中であることを示すストローブ信号出力端子
P50/WR0#/WR#	出力	ライト中であることを示すストローブ信号出力端子
P74/CS4#	出力	領域 4（CS4）チップセレクト信号出力端子

5. ソフトウェア説明

リセット解除後、外部バスの CS4 領域を 16 ビットバス幅に設定し、内蔵 ROM 有効拡張モードを選択します。

SRAM に割り当てた CS4 領域の先頭アドレスから 2Mbyte の全領域へインクリメントデータを書き込みます。

次に CS4 領域の先頭アドレスから順次データを読み出し、インクリメントデータとベリファイを行っていき、SRAM 内の全データと全て一致すれば LED0 を点灯します。

SRAM 内のデータとベリファイ用データに不一致があれば LED1 を点灯します。

バスエラーが発生した場合 LED2 を点灯します。

5.1 動作概要

CS4 領域のアドレスに対して 16 ビットデータの書き込み、読み出しを行います。

外部バスコントローラは設定されたタイミングに従った制御信号によりリード/ライト制御を行います。

外部バス端子の駆動能力や信号の制御タイミングは、外部バスクロックの周期(本アプリケーションノートでは約 8.33ns)、SRAM の AC 特性およびマイコンと SRAM 間の信号経路などの影響をふまえて設定します。

本例での、外部バスのウェイト制御設定サイクル数を表 5.1 に示します。また、外部バス端子は高駆動出力を選択します。

表 5.1 ウェイト制御設定サイクル数

ウェイト制御名	記号	設定サイクル数
CS アサートウェイト	CSON	0 サイクル
ライトデータ出力ウェイト	WDON	1 サイクル
WR アサートウェイト	WRON	1 サイクル
ノーマルライトサイクルウェイト	CSWWAIT	2 サイクル
ライトデータ出力延長サイクル	WDOFF	1 サイクル
ライト時 CS 延長サイクル	CSWOFF	1 サイクル
RD アサートウェイト	RDON	0 サイクル
ノーマルリードサイクルウェイト	CSRWAIT	3 サイクル
リード時 CS 延長サイクル	CSROFF	1 サイクル

5.1.1 SRAM 制御タイミング

図 5.1 に CY7C1061AV33 制御タイミング波形（リード、ライト）を示します。

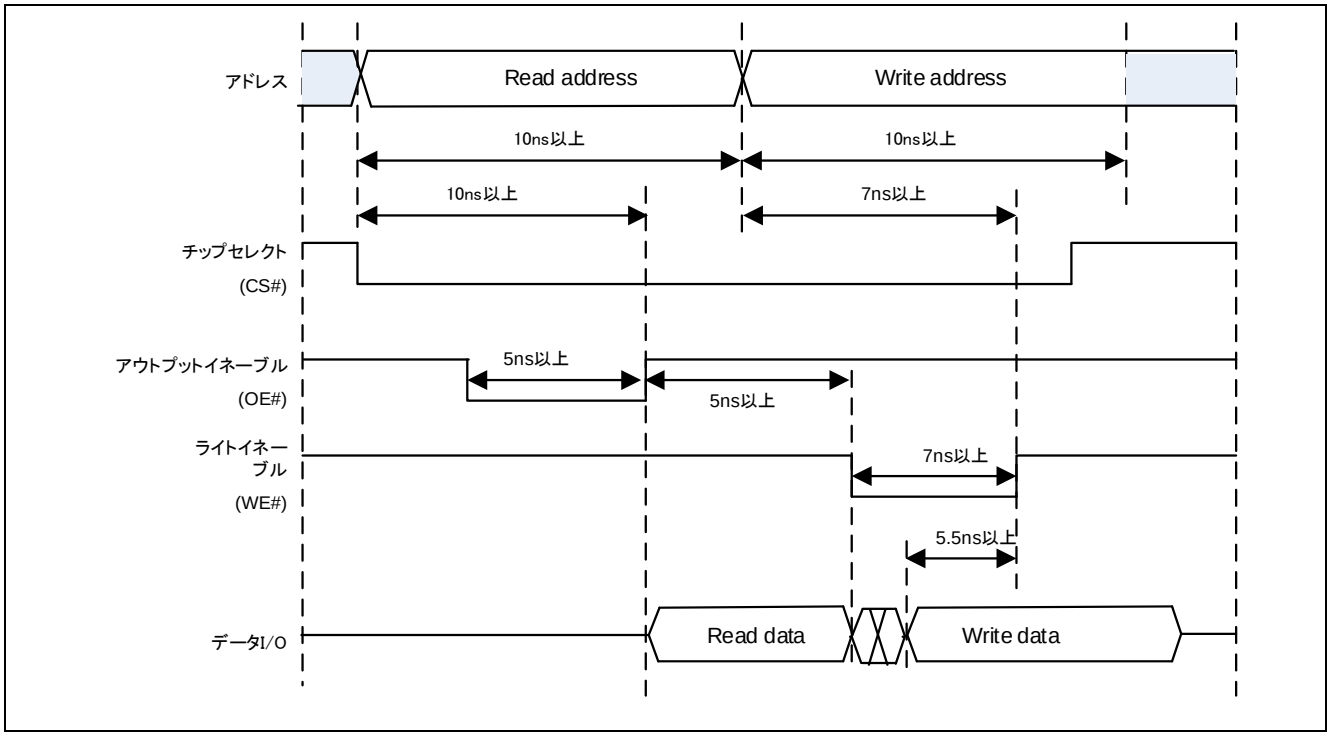

図 5.1 CY7C1061AV33 制御タイミング波形（リード、ライト）

5.1.2　SRAM へのデータ書き込み

図 5.2　に SRAM へデータを書き込む場合のバスタイミング（ノーマルライト、1 ライトストローブモード）（m=0～1）を示します。

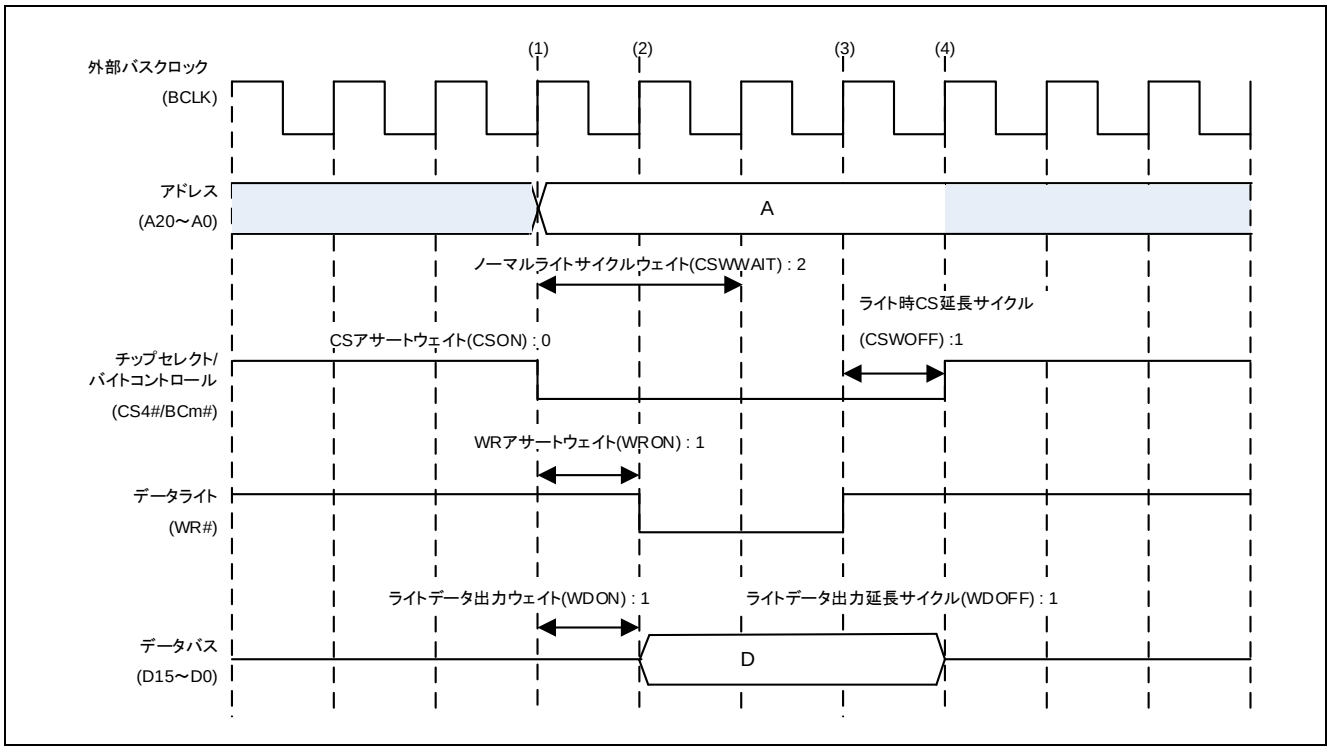

図 5.2　バスタイミング（ノーマルライト、1 ライトストローブモード）（m=0～1）

(1)　アドレス出力、CS アサート

データの書き込み先アドレスの出力と同時に CS4#信号をアサートし、ノーマルライトアクセスを開始します。

(2)　WR アサート、ライトデータ出力

WR# 信号をアサートすると同時にライトデータを出力します。

(3)　WR ネゲート

ノーマルライトサイクルウェイト期間が終了した次のサイクルで WR# 信号をネゲートします。

(4)　CS ネゲート、ライトデータ出力延長終了

CS4# 信号のネゲートと同時にライトデータ出力延長を終了して、ノーマルライトアクセスを終了します。

5.1.3 SRAM からのデータ読み出し

図 5.3 に SRAM からデータを読み出す際の バスタイミング（ノーマルリード）（m=0～1）を示します。

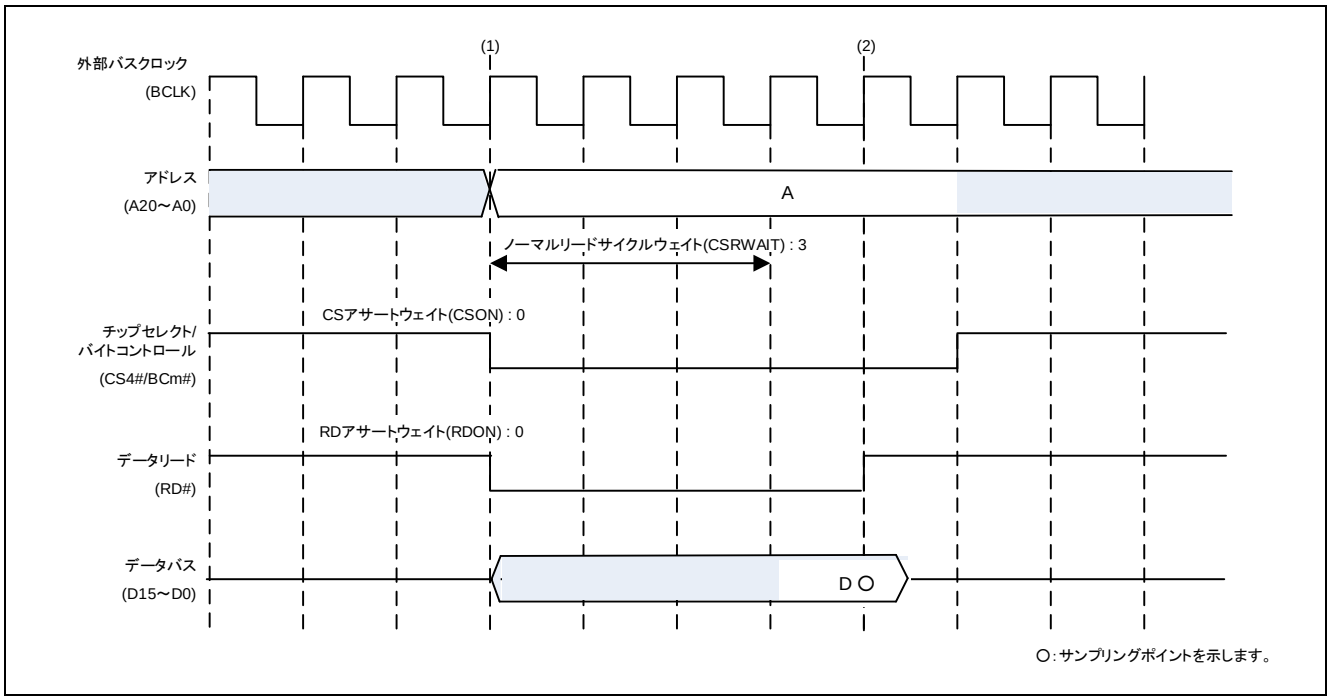

図 5.3 バスタイミング（ノーマルリード）（m=0～1）

(1) アドレス出力、CS アサート、RD アサート

データの読み出し元アドレスの出力と同時に CS4#、RD#信号をアサートして、ノーマルリードアクセスを開始します。

(2) リートデータのサンプルおよび終了

ノーマルリードサイクルウェイト期間が終了した次のサイクルで RD#信号をネゲートし、リードデータをサンプリングします。また、CS4# 信号をネゲートして、ノーマルリードアクセスを終了します。

5.2 コード生成

本サンプルコードはスマート・コンフィグレータを用いてクロックの設定、周辺機能（バスコントローラ、ポート出力）の設定、端子割り当ての設定を行います。以下に設定を示します。

5.2.1 クロック設定

クロック設定を表 5.2 に示します。

表 5.2 クロック設定

項目		設定
メインクロック	発振源	発振子
	周波数(MHz)	12
PLL 回路	逓倍比	×20
SCKCR(ICLK)		×1
SCKCR(PCKA[3:0])		×1/2
SCKCR(PCKB[3:0])		×1/4
SCKCR(PCKC[3:0])		×1/4
SCKCR(PCKD[3:0])		×1/4
SCKCR(FCK[3:0])		×1/4
SCKCR(BCK[3:0])		×1/2
BCKCR(BCLKDIV)		有効
		×1/2

5.2.2 バスコントローラ設定

バスコントローラ(Config_BSC)の設定を表 5.3、表 5.4 に示します。

表 5.3 バスコントローラ設定 (一般設定)

項目	設定
内蔵 ROM 設定	許可
外部バス領域設定	使用 CS4(0400 0000h ～ 04FF FFFFh)
CS 外部バスコントローラ設定	ストローブ信号を使用する(WR1#/BC1#端子)
バス優先順位の設定	優先順位固定
セパレートバス用 CS リカバリサイクル挿入許可設定	設定しない
アドレス / データマルチプレクスバス CS リカバリサイクル挿入許可設定	設定しない
アドレス出力端子	A0～A20
バスエラー監視設定	不正アドレスアクセスを検出
	タイムアウトを検出
	バスエラー割り込みを許可
	優先順位レベル 1

表 5.4 バスコントローラ設定 (CS4)

項目		設定
領域設定	バス幅	16 ビット
	エンディアン	エンディアンは動作モードのエンディアンと同じ
	インターフェース	セパレートバス
	ライトアクセスモード	1 ライトストローブモード
	ページリードアクセス	禁止
	ページライトアクセス	禁止
	外部ウェイト	禁止
バスタイミング設定	リードリカバリ期間	0
	ライトリカバリ期間	0
	ノーマルリードサイクルウェイト	3
	ノーマルライトサイクルウェイト	2
	リード時 CS 延長サイクル	1
	ライト時 CS 延長サイクル	1
	ライトデータ出力遅延サイクル	1
	RD アサートウェイト	0
	WR アサートウェイト	1
	ライトデータ出力ウェイト	1
	CS アサートウェイト	0

5.2.3 ポート設定

ポート (Config_PORT)の設定を表 5.5 に示します。

表 5.5 ポート設定

項目		設定
PORT4	P40～P42	出力
PORT5	P50～P53	高駆動出力
PORT7	P74	高駆動出力
PORT9	P90～P94	高駆動出力
PORTA	PA0～PA7	高駆動出力
PORTB	PB0～PB7	高駆動出力
PORTD	PD0～PD7	高駆動出力
PORTE	PE0～PE7	高駆動出力

5.2.4 端子割り当て

端子割り当てを表 5.6 に示します。

表 5.6 端子割り当て

ハードウエアリソース	機能	端子割り当て
クロック発生回路	BCLK	P53/BCLK
	EXTAL	P36/EXTAL
	XTAL	P37/XTAL
バス制御	A0～A7	PA0～PA7
	A8～A15	PB0～PB7
	A16～A20	P90～P94
	BC0#	PA0
	BC1#	P51
	CS4#	P74
	BCLK	P53
	D0～D7	PD0～PD7
	D8～D15	PE0～PE7
	RD#	P52
	WR#	P50
IO ポート	P40	P40
	P41	P41
	P42	P42

5.3 ファイル構成

サンプルコードで使用するファイルを表 5.7 に、コード生成ファイルにコード追加するファイルを表 5.8 に示します。

表 5.7 サンプルコードで使用するファイル

ファイル名	概要
r01an6594_rx72m_bus_main.c	メイン処理

表 5.8 コード生成ファイルにコード追加するファイル

ファイル名	変更内容
Config_PORT.h	LED 制御用マクロ定義
Config_BSC_user.c	BUSERR interrupt service routine へのエラー処理追加

5.4 定数一覧

表 5.9 にサンプルコードで使用する定数を示します。

表 5.9 サンプルコードで使用する定数

定数名	設定値	内容	定義ファイル
SRAM_TOP	(void*)(0x04000000)	SRAM 領域の先頭番地	r01an6594_rx72m_bus_main.c
SRAM_END	(void*)(0x04200000)	SRAM 領域の最終番地+1	
LED0_REG_PODR	PORT4.PODR.BIT.B0	LED0 出力データ格納ビット	Config_PORT.h
LED1_REG_PODR	PORT4.PODR.BIT.B1	LED1 出力データ格納ビット	
LED2_REG_PODR	PORT4.PODR.BIT.B2	LED2 出力データ格納ビット	
LED_ON	1	LED 出力データ：点灯	
LED_OFF	0	LED 出力データ：消灯	

5.5　変数一覧

表 5.10 に static 型変数を示します。

表 5.10　static 型変数

変数名	型	内容	使用関数
sp_sram_adr	volatile static uint16_t *	SRAM アクセスアドレス	main
s_sram_data	static uint16_t	書き込みデータ	
s_sram_cmp_data	static uint16_t	ベリファイデータ	

5.6　関数一覧

表 5.11 に作成した関数、コード生成ファイルに追加した関数の一覧を示します。

表 5.11　関数一覧

関数名	概要	定義ファイル
main	メイン処理	r01an6594_rx72m_bus_main.c
sram_verify_err	SRAM ベリファイエラー処理	
r_Config_BSC_buserr_interrupt	バスエラー割り込み処理	Config_BSC_user.c

5.7　関数仕様

サンプルコードの関数仕様を示します。

main	
概　要	メイン処理
ヘッダ	なし
宣　言	void main(void)
説　明	バスエラー割り込みを有効に設定し、SRAM への書き込み、読み出し、ベリファイチェックを行う
引　数	なし
リターン値	なし

sram_verify_err	
概　要	SRAM ベリファイエラー処理
ヘッダ	なし
宣　言	static void sram_verify_err(void)
説　明	SRAM ベリファイエラー発生時、LED1 を点灯して無限ループを行う
引　数	なし
リターン値	なし

r_Config_BSC_buserr_interrupt	
概　要	バスエラー割り込みハンドラ
ヘッダ	なし
宣　言	void r_Config_BSC_buserr_interrupt(void)
説　明	バスエラー発生時、LED2 を点灯して無限ループを行う
引　数	なし
リターン値	なし

5.8 フローチャート

5.8.1 メイン処理

図 5.4 にメイン処理のフローチャートを示します。

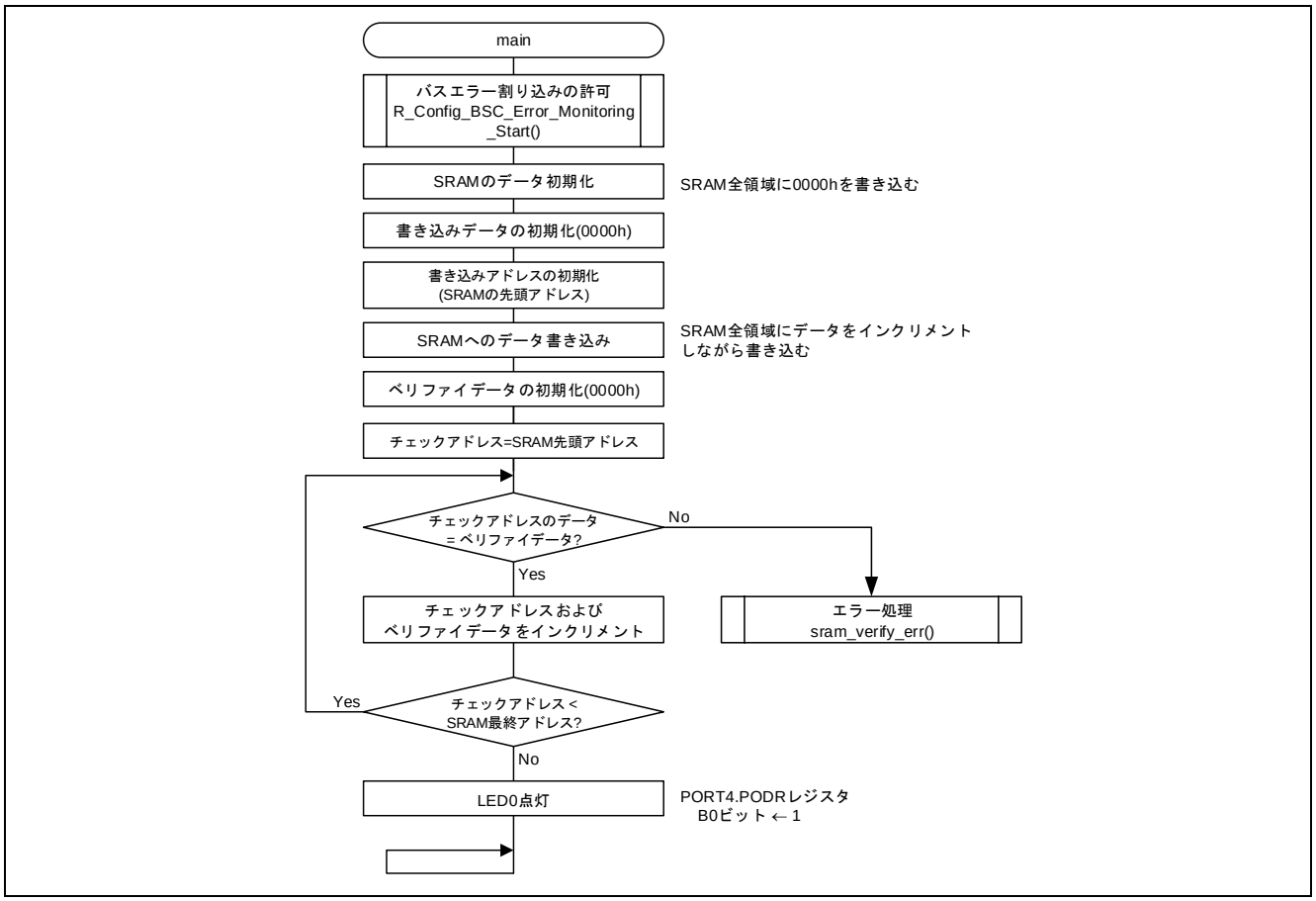

図 5.4 メイン処理

5.8.2 SRAM ベリファイエラー処理

図 5.5 にベリファイエラー処理のフローチャートを示します。

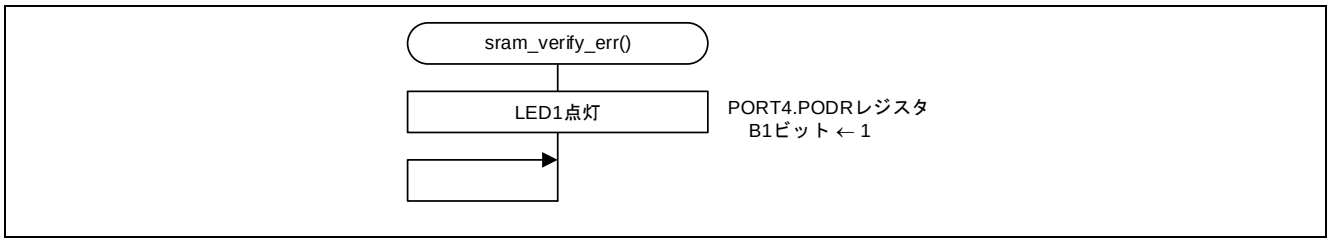

図 5.5 ベリファイエラー処理

5.8.3 SRAM バスエラー処理

図 5.6 にバスエラー割り込み処理のフローチャートを示します。

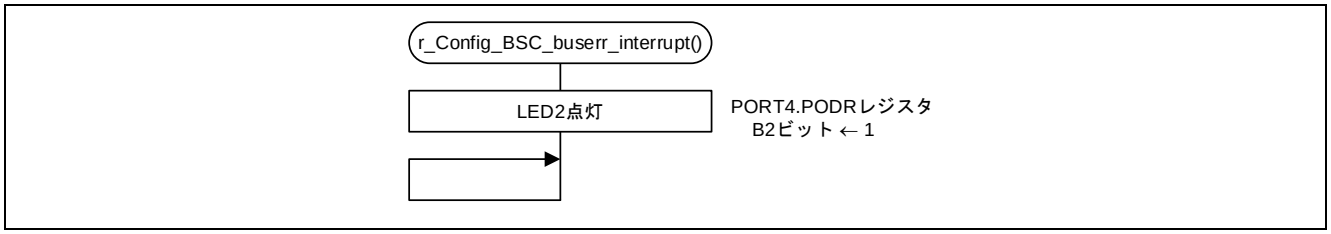

図 5.6 バスエラー割り込み処理

6. 応用例

6.1 1 ライトストローブ、バイトストローブモードの選択

RX ファミリでは、ライト信号が 1 つで、バイトコントロール信号によって有効バイト位置を指定する動作モードのことを 1 ライトストローブモードと呼びます。これに対し、バイトコントロール信号を使用せずに、ライト信号を複数使用する動作モードのことをバイトストローブモードと呼びます。

ストローブモードは接続先の仕様に合わせて選択します。

本例で使用した SRAM のように、バス幅が 16 ビットで、1 つのライト信号(WR#)とバイトコントロール信号(BHE#、BLE#)にて制御する製品は 1 ライトストローブモードを選択します。

バス幅が 8 ビットの場合など、バイトコントロール信号がない製品はバイトストローブモードを選択します。

6.2 リカバリサイクルの挿入

SRAM と接続する回路の影響から、連続した外部バスのアクセスができない場合があります。この場合、リカバリサイクルを挿入することで連続した外部バスのアクセスが可能になります。リカバリサイクルは、読み書きの組み合わせごとに挿入するサイクルを設定することができます。詳細は、ユーザーズマニュアル ハードウェア編の「リカバリサイクルの挿入」を参照ください。

図 6.1 にセパレートバスインタフェース時のリカバリサイクルの動作例（m=0～1）の動作例を示します。

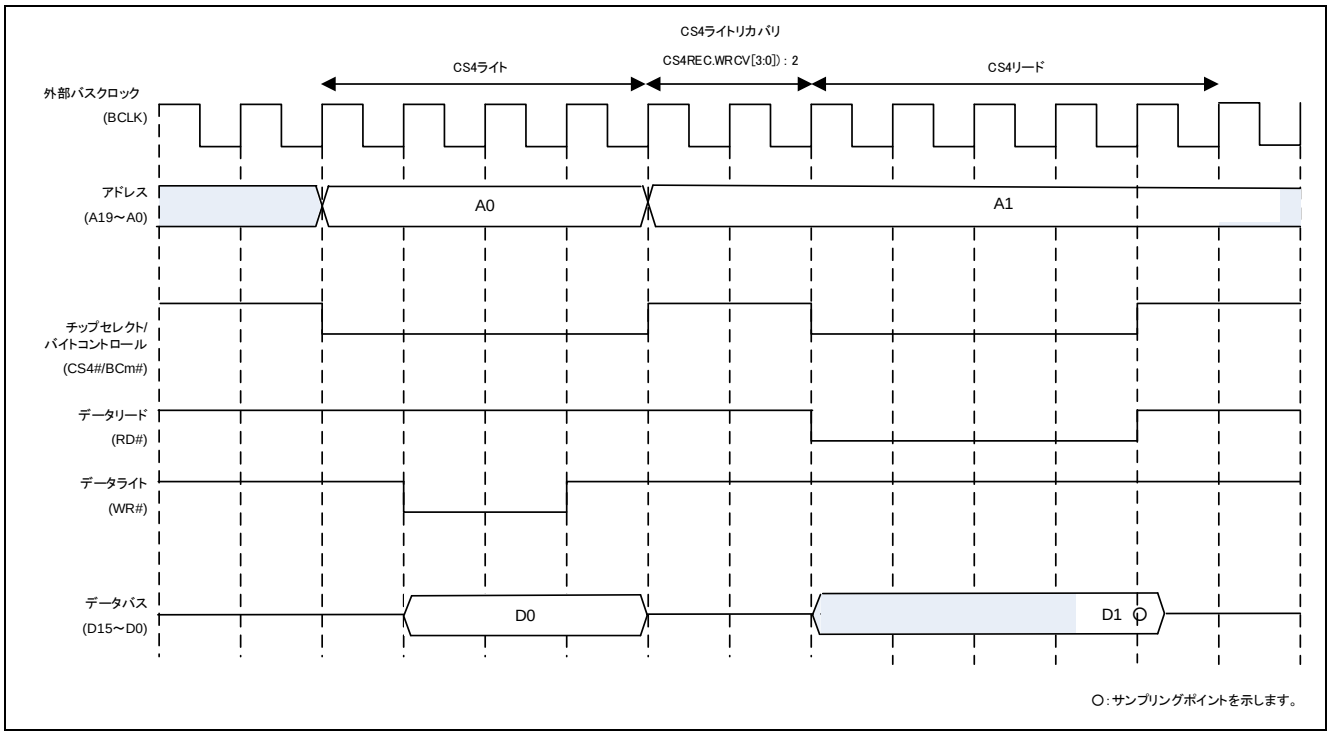

図 6.1 セパレートバスインタフェース時のリカバリサイクルの動作例（m=0～1）

6.3 その他の接続例

参考として、図 6.2 にセパレートバス 8 ビットでの接続例を、図 6.3 にセパレートバス 32 ビットでの接続例を示します。

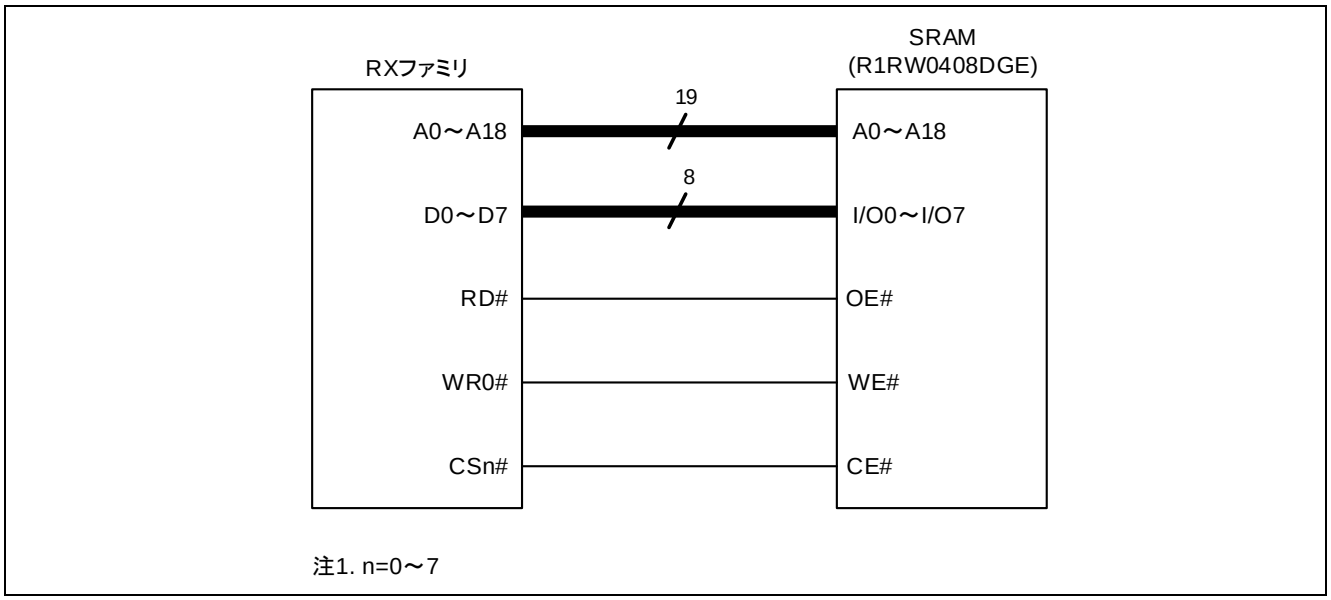

図 6.2 セパレートバス 8 ビットでの接続例

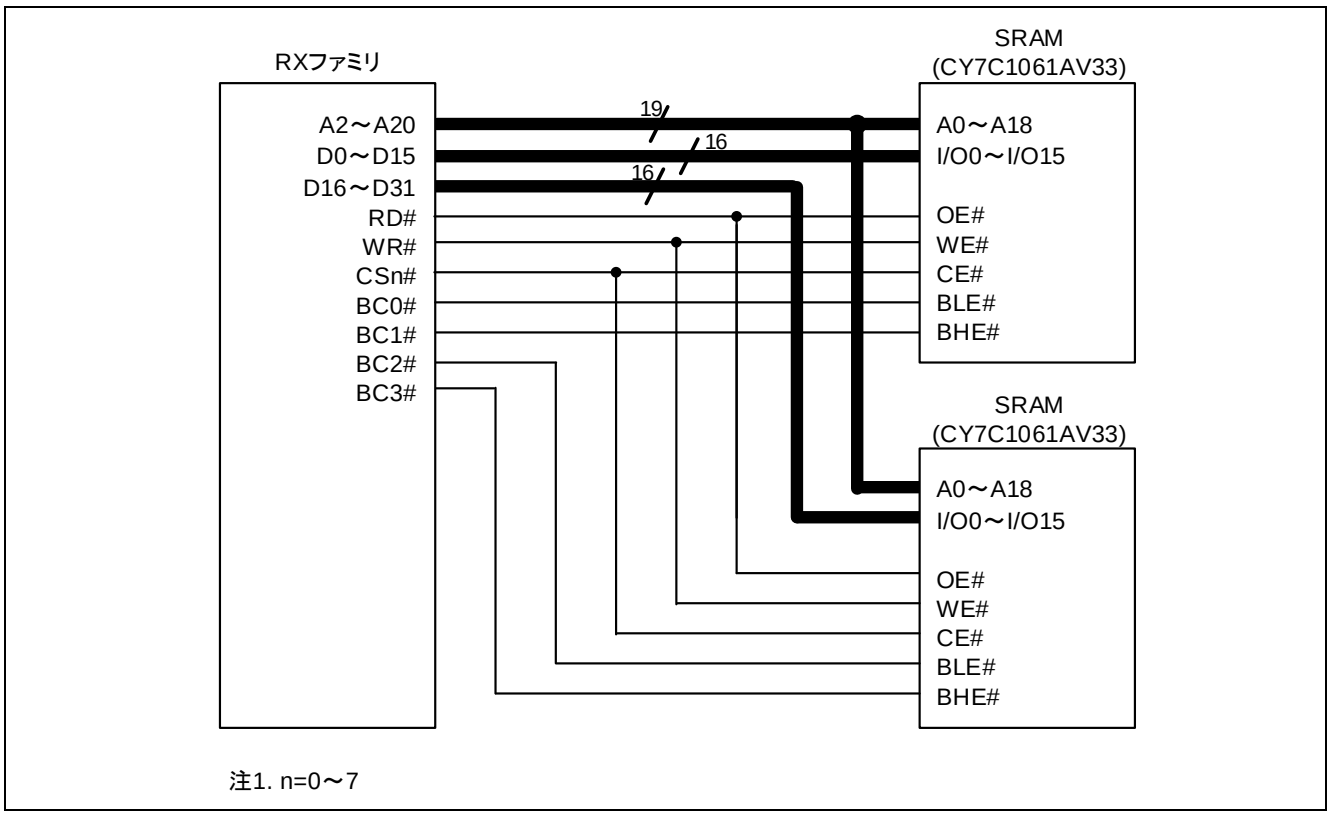

図 6.3 セパレートバス 32 ビットでの接続例

7. サンプルコード

サンプルコードは、ルネサス エレクトロニクスホームページから入手してください。

8. 参考ドキュメント

ユーザーズマニュアル：ハードウェア

RX72M グループ ユーザーズマニュアル ハードウェア編 (01UH0804JJ)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

（最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ユーザーズマニュアル：開発環境

RX ファミリ CC-RX コンパイラ ユーザーズマニュアル (R20UT3248JJ)
(最新版をルネサス エレクトロニクスホームページから入手してください。)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2023.01.10	-	初版発行

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2023 Renesas Electronics Corporation. All rights reserved.