

电子工程专辑

EE Times-China

无晶体振荡器

无晶体振荡器取代石英晶体 时机来临

Sundar Vanchinathan

高级总监

IDT公司

兴的“无晶体(crystal-free)”全硅CMOS振荡器,用以替代传统的时序解决方案。

晶体振荡器已达极限

与电子电路中使用的其他组件相比,晶体相当独特,因为晶体工作原理本质上是机械性的。早在1880年人们就发现振动的石英晶体能产生机械谐振的压电效应,首个石英晶体振荡器制造于1917年并获得了专利。

为了满足最新的产品要求,大多数其他电子组件都在不断地快速革新,例如外形尺寸缩小、支持

随着电子技术的快速发展,采用晶体和晶体振荡器提供时序的局限性也日益暴露出来。更高频率和更小尺寸的需求迫使设计师采用昂贵的、非常耗电的、更小的SMD晶体时钟电路,这类时钟电路通常还需要额外的电路,以满足系统的性能要求。此外,便携电子设备的涌现也使晶体振荡器易受物理损坏的弱点暴露出来,因为便携电子设备通常会遇到严酷的工作条件,如冲击和震动。本文将重点探讨新

下接64页 »

无晶体振荡器取代石英晶体时机来临

» 上接61页

高速工作、降低功耗以及与其他器件集成,但是在进化、构造、应用等很多方面,晶体和晶体振荡器却已经达到了实际的极限。

随着分享和交换的信息越来越多、越来越复杂,消费和工业领域的应用也出现了新的特征,即数据传输速率日益提高,以满足对带宽的需求。为了满足这种需求,系统设计师必须采用更高频率的振荡器。当单独使用晶体时,最高振荡频率在50MHz范围,而制造出可达更高频率的晶体是不切实际的,因此最高振荡频率受到了限制。

然而,大多数目前和下一代高速应用都需要超过50MHz的频率,要提供这么高的频率,只能采取一种低效率的方法,即将晶体与专用电路结合以成倍地扩大输出频率。尽管这种方法让大多数产品的时钟需求得到了满足,但是也引起了其他一些普遍的问题和挑战,主要问题是功耗,随

着晶体振荡器输出频率上升,功耗显著提高。为实现更高频率而倍增基本频率还导致了抖动的增加。

而高效率无晶体全硅CMOS振荡器的出现解决了上述问题,这类振荡器在芯片上产生准确的频率,而不必依靠压电或机械谐振器,因此更受设计师欢迎。

目前已经开发的全硅CMOS振荡器,例如IDT公司的IDT 3C系列,可替代传统的振荡器,克服在最新的固定位置和便携式设备等应用中采用晶体时的缺点和问题。这类应用包括智能电话、笔记本电脑和平板电脑、数据通信和1Gb以太网、SAS、高速USB(USB 3.0)、PCI Express等互连接口。通过采用广泛可用和成熟的CMOS工艺,可以很好地控制新器件的成本、产量和可靠性。可编程架构可灵活配置以适合特定应用,配置选项中最关键的是工作频率,该频率在工厂中设定,而且可以准确设定为所需值,其中包括不常见的频率和应

用特有的频率。在采用IDT 3C系列时,器件的工作频率可以在4MHz至200MHz范围内选择,此范围涵盖了消费以及计算和通信市场上种类繁多的应用。在设计师有把握接受这种本质完全不同的定时方法之前,有必要根据一些关键标准比较和了解两种方法的相对性能。

功耗

在较低频率时,晶体振荡器的功耗是设计师可以接受的。不过,现在大多数高速数据应用一般需要较高频率的器件,这类器件消耗大得多的功率,常常令人望而却步。例如,一个典型的晶体振荡器可能吸取几十mA电流。相比之下, IDT 3C系列等CMOS振荡器仅消耗约2mA电流(无负载,典型情况下),而待机模式消耗的电流仅为200nA。在工作模式,比晶体振荡器节省高达90%的功率。

而从环境和运行成本的角度来看,功耗已经成为设计师为应用选择

组件时考虑的关键性能指标,也成为最终用户决定购买哪款产品时查看的关键性能指标。在使用便携式电池供电的设备时,功耗也是重点考虑的性能指标,因为总体功耗较低意味着充一次电能用更长时间。

尺寸

晶体振荡器需要特定尺寸和特定切割方法,以提供所需振荡频率,这意味着缩小器件封装即缩小在PCB上的占板面积和器件总体高度的潜力受到了限制。此外,在封装内需要额外的电路以实现所期望的频率倍增,这也影响了封装总体尺寸的缩小。最后,在很多设计中,也许需要外部电容器和其他无源组件以实现稳定的振荡器性能。

晶体振荡器的典型封装尺寸在5mm×3mm范围内,组件高度为1mm至1.5mm,还必须考虑容纳任何外部无源组件所需的PCB资源。全硅

下接66页 »

无晶体振荡器取代石英晶体时机来临

» 上接64页

CMOS振荡器是完全自含式的,无需外部组件,有助于简化工程师的设计工作,降低设备成本和材料成本。器件占板面积与标准晶体振荡器的占板面积相同,但是总体高度减至0.5mm。这对便携式设备设计师来说,可能非常重要,在这类设备中,电池、显示屏和用户接口会争用空间。更为关键的是,进一步缩小CMOS振荡器的封装尺寸还有很大余地。实际上IDT正计划在不久的将来提供大小仅为2mm×1.6mm的器件。

便携式设备的设计师需要在空间小得令人难以置信的产品中容纳更多功能,因此在生产批量相当大的情况下,能将CMOS振荡器集成到多芯片模块(MCM)中是很有意义的。在含有微处理器和闪存等基本构件的MCM中纳入振荡器,可以节省空间、成本(组件和组装成本)和功耗,并提高总体设计的可靠性。

频率误差

频率误差是设计师考虑的重要性能指标。在通信设备等一些应用中,仅能容许很小的频率误差。就这类应用而言,频率误差低至2ppm的专用晶体振荡器提供了唯一可行的解决方案。

不过,对很多应用来说,尤其是消费市场应用,100ppm的频率误差是完全可以接受的,这是标准晶体振荡器和目前可用的CMOS振荡器的性能水平。由于CMOS器件的不断发展,不久的将来在市场上一定会看到50ppm的器件,这种CMOS技术将应用到更广泛的应用中。

在考虑和比较频率误差性能指标时,重要的一点是不要只看初始频率容限。因为在使用传统晶体时,由于工作温度(典型值为50ppm)、老化(典型值为5ppm/年)和负载(高达50ppm)等因素的影响,需要考虑额外的误差。在有些情况下,这可能意味着规定频率容限为50ppm的器件实际上有效容限高达200ppm。CMOS振荡器只要在指定工作温度范围内工作,就不受上述因素影响。因此在应用中,一个100ppm

的器件在工作时应该展现的也是这一频率容限。

耐用性

CMOS振荡器本质上的非机械性意味着可以采用低成本的常规IC塑料封装,而不必采用晶体器件所需的昂贵的密封陶瓷封装。便携电子设备对于设备内含组件耐用性的要求更高。而CMOS振荡器可提供很高的耐用性,并具有半导体级的抗冲击和抗震动性。与此相反,晶体振荡器的机电本质意味着它们在正常使用时,可能易出现冲击和震动引起的故障。

噪声与启动

在高端数据通信、电信和射频设备等应用中,相位抖动需非常低。目前一代CMOS振荡器的性能在这些应用中也许不够好,不能替代晶体器件。不过,因为转用CMOS器件可能节省功率和成本,所以设计师应该仔细考虑自己的应用是否能接受这种替代器件。在此需特别提到的是,下一代无晶体振荡器预计将突破1ps的相位抖动,这是无晶体振荡器进入高端数据通信和电信应用所需达到的性能。增加抖动的因素应该仔细考虑,因为一些晶体和晶体振荡器使用的金属壳会引发噪声及其他性能和可靠性问题。在某些应用中,这可能导致需要使用大的接地层以减轻这个问题。而采用塑料封装的CMOS器件则不存在这个问题,因此可以紧靠可能产生电磁辐射的电路区域。

新式电子设备运行速度不断提高,产品在寿命期内有大量时间处于待机模式或休眠模式以节省功率,启动时间也变得更重要。CMOS振荡器能在仅0.1ms左右的时间内,从超低功率待机模式转换到全速工作状态;晶体振荡器则需要约10ms时间。

本文小结

随着数据传输速率提高以及功能迅速增加的便携式电池供电产品持续进入市场,坚固、高效和小尺寸的高速振荡器的需求将显著增加,转用无晶体CMOS时序解决方案也将是很有必要的。