



SILEGO

SLG46120

GreenPAK

プログラマブル・ミックスシグナル・アレー

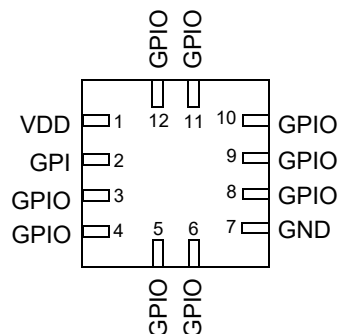
特徴

- ・ ロジックおよびミックスシグナル回路
- ・ 高度に柔軟なマクロセル
- ・ 動作電源電圧範囲：1.8V (±5%) to 5V (±10%)
- ・ 動作温度範囲：-40°C to 85°C
- ・ RoHS 準拠 ハロゲンフリー
- ・ 鉛フリー 12-pin STQFN: 1.6 x 1.6 x 0.55 mm, 0.4 mm ピッチ

アプリケーション

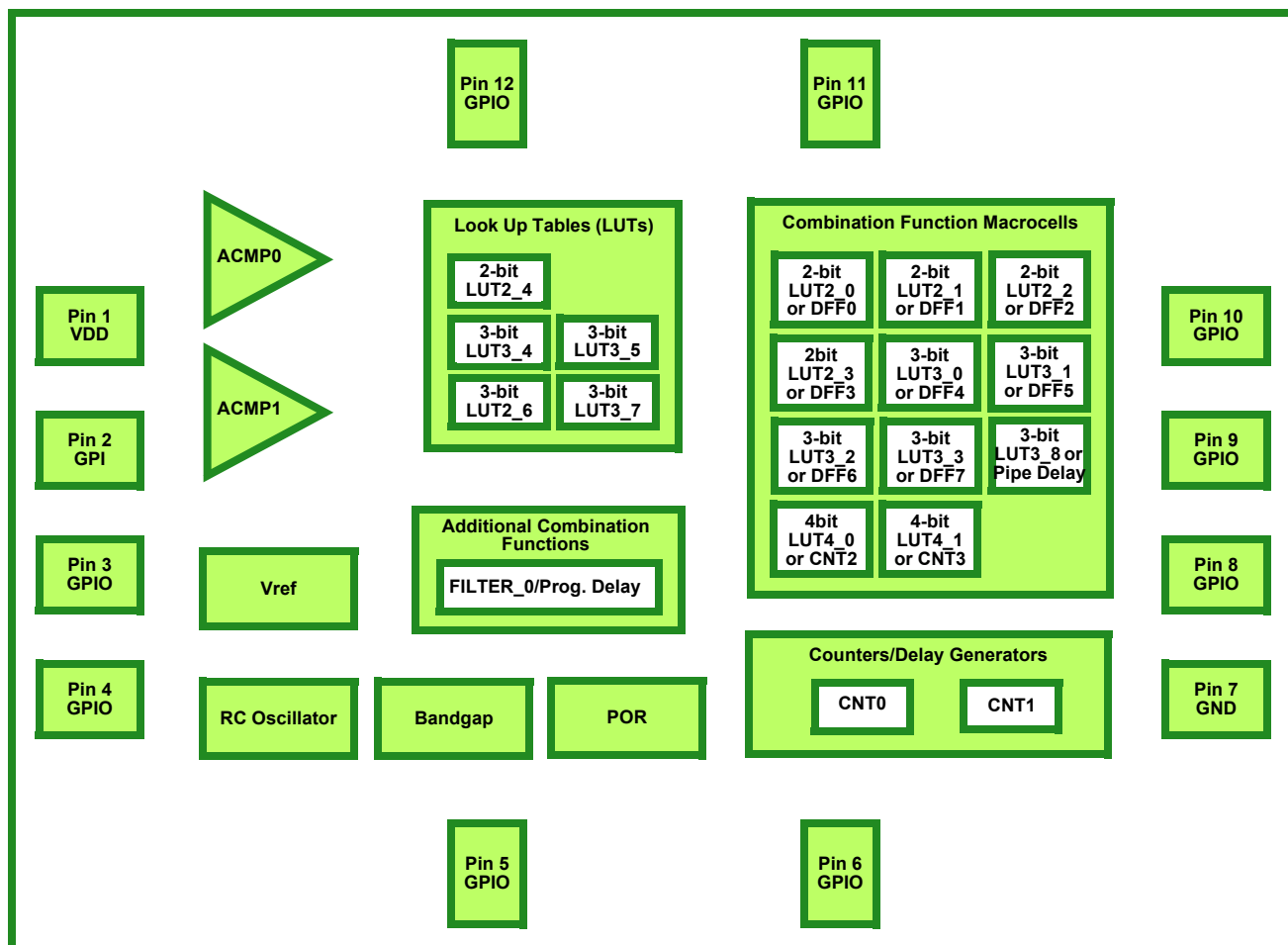
- ・ PC およびサーバー
- ・ PC 周辺機器
- ・ コンシューマー電子機器
- ・ データ通信機器
- ・ ハンドヘルドあるいは携帯用電子機器

ピン配置



**STQFN-12
(Top View)**

Block Diagram





1.0 概要

SLG46120 は、汎用的に使われる低消費電力なミックスシグナル機能を、小型パッケージで提供します。

ユーザーは、SLG46120 の論理回路、入出力端子およびマクロセルの接続情報をランタイムの不揮発性メモリに書き込むことにより、必要な機能を実現します。

このデバイスは、幅広いミックスシグナル機能を、非常に小型で低消費電力の回路に設計する柔軟性を持っています。

内蔵のマクロセルは、以下の通りです。

- 2つのアナログ・コンパレータ (ACMP)
- 5つの複合機能型ルックアップテーブル (LUTs)
 - 1つの 2-bit LUTs
 - 4つの 3-bit LUTs
- 12個の複合機能マクロセル
 - 4つの選択可能 DFF/Latch または 2-bit LUTs
 - 4つの選択可能 DFF/Latch または 3-bit LUTs
 - 1つの選択可能 Pipe Delay または 3-bit LUT
 - 1つの Pipe Delay, 8 stage / 2 output
 - 2つの選択可能 Counter/Delay または 4-bit LUT
 - 1つの プログラマブル Delay / Deglitch Filter
- 2つの Counter / Delay Generators (CNT/DLY)
 - 1つの 8-bit Counter / Delay
 - 1つの 14-bit Counter/Delay (外部クロック/リセット対応)
- 9個の D Flip-Flop / Latches (DFF) (複合機能マクロセルの一部)
- Pipe Delay, 8 stage / 2 output (複合機能マクロセルの一部)
- RC 発振器 (RC OSC)
- パワーオンリセット (POR)



2.0 端子機能説明

2.1 通常時、およびプログラミング時の端子機能説明

Pin #	Pin Name	Function	Programming Function
1	VDD	Power Supply	Power Supply
2	GPI	General Purpose Input	V _{PP} (Programming Voltage)
3	GPIO	General Purpose I/O or Analog Comparator 0 (+)	Programming ID Pin
4	GPIO	General Purpose I/O or Analog Comparator 0 (-)	N/A
5	GPIO	General Purpose I/O	N/A
6	GPIO	General Purpose I/O or Analog Comparator 1 (+) with OE	N/A
7	GND	Ground	N/A
8	GPIO	General Purpose I/O	Programming Mode Control
9	GPIO	General Purpose I/O	Programming SDIO Pin
10	GPIO	General Purpose I/O with OE and Vref output	Programming SRDWB Pin
11	GPIO	General Purpose I/O	N/A
12	GPIO	General Purpose I/O or External Clock Input	Programming SCL Pin



3.0 ユーザープログラマビリティ

SLG46120 のマクロセルの配線は、不揮発性メモリ (NVM) により設定されます。不揮発性メモリは、ワンタイムプログラマブル (OTP) です。

しかしながら、Silego の GreenPAK 開発ツールは、マクロセルの配線を NVM に書き込むことなく、エミュレーションによる設計が可能です。

この配線情報は、電源を切らない限りデバイス上に保持されており、開発ツールで書き換えることにより設計変更ができます。設計がある程度確定して基板上でテストが必要になったら、開発ツールによりチップ上の不揮発性メモリに書き込みを行うことで、少量であればサンプルを用意できます。

不揮発性メモリに書き込みされると、回路情報はデバイスの寿命まで維持されます。設計が最終的に確定したときには、設計ファイルを弊社宛に送って頂けば、量産プロセスに対応できます。

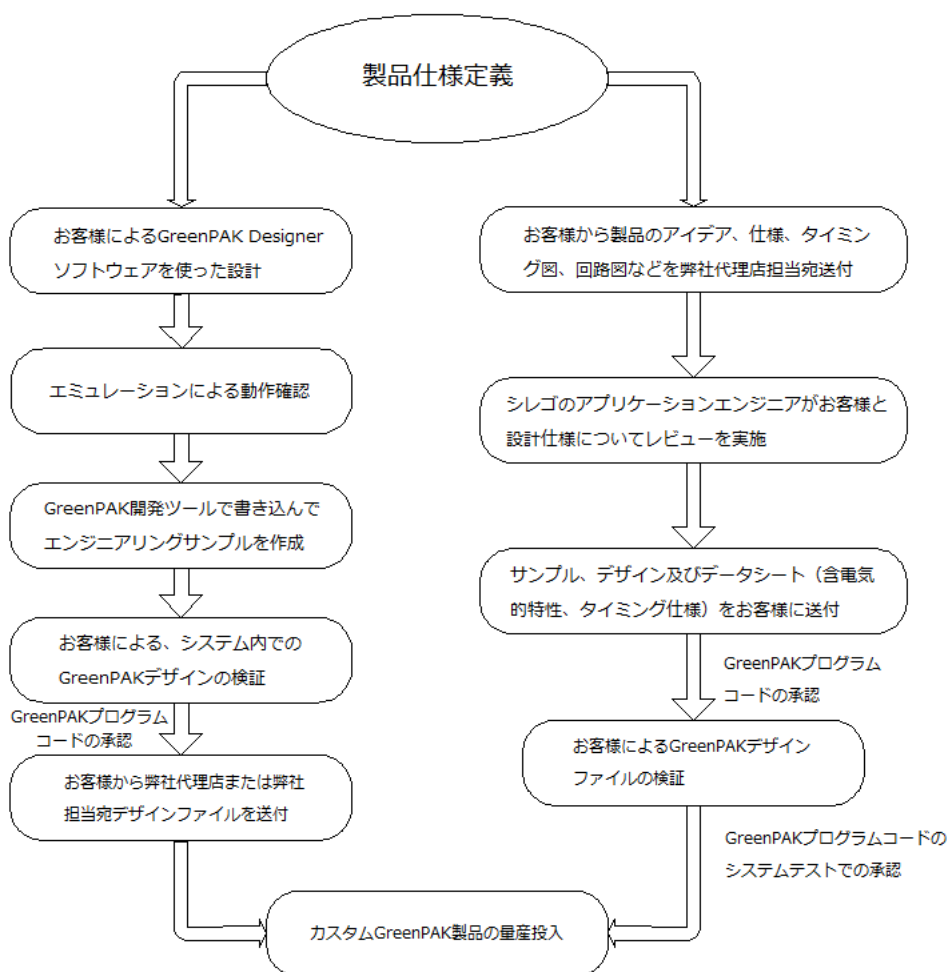


Figure 1. GreenPAK のカスタム製品作製のための手順



4.0 注文情報

Part Number	Type
SLG46120V	12-pin STQFN
SLG46120VTR	12-pin STQFN - Tape and Reel (3k units)



5.0 電気的特性

5.1 絶対最大定格

Parameter	Min.	Max.	Unit
Supply voltage on VDD relative to GND	-0.5	7	V
DC Input voltage	GND - 0.5	VDD + 0.5	V
Current at Input Pin	-1.0	1.0	mA
Storage Temperature Range	-65	150	°C
Junction Temperature	--	150	°C
ESD Protection (Human Body Model)	2000	--	V
ESD Protection (Charged Device Model)	1000	--	V
Moisture Sensitivity Level	1		

5.2 電気的特性 (1.8V ± 5% VDD)

Symbol	Parameter	Condition/Note	Min.	Typ.	Max.	Unit
V _{DD}	Supply Voltage		1.71	1.80	1.89	V
I _Q	Quiescent Current	Static Inputs and Outputs (when ACMP, Vref and RC OSC are powered down and non-operational)	--	0.5	--	μA
T _A	Operating Temperature		-40	25	85	°C
V _{PP}	Programming Voltage		7.25	7.50	7.75	V
V _{AIR}	Analog Input Voltage Range	ACMP with voltage gain divider	0	--	V _{DD}	V
		ACMP without voltage gain divider	0	--	1.1	V
V _{IH}	HIGH-Level Input Voltage	Logic Input	1.100	--	V _{DD}	V
		Logic Input with Schmitt Trigger	1.270	--	V _{DD}	V
		Low-Level Logic Input	0.980	--	V _{DD}	V
V _{IL}	LOW-Level Input Voltage	Logic Input	--	--	0.690	V
		Logic Input with Schmitt Trigger	--	--	0.440	V
		Low-Level Logic Input	--	--	0.520	V
I _{IH}	HIGH-Level Input Current	Logic Input Pins; V _{IN} = 1.8 V	-1.0	--	1.0	μA
I _{IL}	LOW-Level Input Current	Logic Input Pins; V _{IN} = 0 V	-1.0	--	1.0	μA
V _{OH}	HIGH-Level Output Voltage	Push-Pull 1X, Open Drain PMOS 1X, I _{OH} = 100 μA	1.680	1.790	--	V
		Push-Pull 2X, Open Drain PMOS 2X, I _{OH} = 100 μA	1.700	1.800	--	V
V _{OL}	LOW-Level Output Voltage	Push-Pull 1X, I _{OL} = 100 μA	--	0.020	0.030	V
		Push-Pull 2X, I _{OL} = 100 μA	--	0.010	0.020	V
		Open Drain NMOS 1X, I _{OL} = 100 μA	--	0.010	0.020	V
		Open Drain NMOS 2X, I _{OL} = 100 μA	--	0.010	0.010	V



Symbol	Parameter	Condition/Note	Min.	Typ.	Max.	Unit
I_{OH}	HIGH-Level Output Current	Push-Pull 1X, Open Drain PMOS 1X, $V_{OH} = V_{DD} - 0.2$	1.000	1.390	--	mA
		Push-Pull 2X, Open Drain PMOS 2X, $V_{OH} = V_{DD} - 0.2$	2.100	2.680	--	mA
I_{OL}	LOW-Level Output Current	Push-Pull 1X, $V_{OL} = 0.15\text{ V}$	0.760	1.340	--	mA
		Push-Pull 2X, $V_{OL} = 0.15\text{ V}$	1.520	2.660	--	mA
		Open Drain NMOS 1X, $V_{OL} = 0.15\text{ V}$	1.530	2.670	--	mA
		Open Drain NMOS 2X, $V_{OL} = 0.15\text{ V}$	3.060	5.136	--	mA
T_{SU}	Startup Time	from VDD rising past 1.35 V	--	0.31	--	ms
PON_{THR}	Power On Threshold	V_{DD} Level Required to Start Up the Chip	1.180	1.353	1.516	V
$POFF_{THR}$	Power Off Threshold	V_{DD} Level Required to Switch Off the Chip	0.730	0.914	1.103	V



5.3 電気的特性 (3.3V $\pm$ 10% VDD)

Symbol	Parameter	Condition/Note	Min.	Typ.	Max.	Unit
V _{DD}	Supply Voltage		3.0	3.3	3.6	V
I _Q	Quiescent Current	Static Inputs and Outputs (when ACMP, Vref and RC OSC are powered down and non-operational)	--	0.75	--	μ A
T _A	Operating Temperature		-40	25	85	°C
V _{PP}	Programming Voltage		7.25	7.50	7.75	V
V _{AIR}	Analog Input Voltage Range	ACMP with voltage gain divider	0	--	V _{DD}	V
		ACMP without voltage gain divider	0	--	1.2	V
V _{IH}	HIGH-Level Input Voltage	Logic Input	1.780	--	V _{DD}	V
		Logic Input with Schmitt Trigger	2.130	--	V _{DD}	V
		Low-Level Logic Input	1.130	--	V _{DD}	V
V _{IL}	LOW-Level Input Voltage	Logic Input	--	--	1.210	V
		Logic Input with Schmitt Trigger	--	--	0.950	V
		Low-Level Logic Input	--	--	0.690	V
I _{IH}	HIGH-Level Input Current	Logic Input Pins; V _{IN} = 3.3 V	-1.0	--	1.0	μ A
I _{IL}	LOW-Level Input Current	Logic Input Pins; V _{IN} = 0 V	-1.0	--	1.0	μ A
V _{OH}	HIGH-Level Output Voltage	Push-Pull 1X, Open Drain PMOS 1X, I _{OH} = 3 mA	2.720	3.090	--	V
		Push-Pull 2X, Open Drain PMOS 2X, I _{OH} = 3 mA	2.850	3.190	--	V
V _{OL}	LOW-Level Output Voltage	Push-Pull 1X, I _{OL} = 3 mA	--	0.180	0.280	V
		Push-Pull 2X, I _{OL} = 3 mA	--	0.090	0.130	V
		Open Drain NMOS 1X, I _{OL} = 3 mA	--	0.090	0.130	V
		Open Drain NMOS 2X, I _{OL} = 3 mA	--	0.050	0.070	V
I _{OH}	HIGH-Level Output Current	Push-Pull 1X, Open Drain PMOS 1X, V _{OH} = 2.4 V	6.010	10.150	--	mA
		Push-Pull 2X, Open Drain PMOS 2X, V _{OH} = 2.4 V	11.460	19.610	--	mA
I _{OL}	LOW-Level Output Current	Push-Pull 1X, V _{OL} = 0.4 V	4.060	6.440	--	mA
		Push-Pull 2X, V _{OL} = 0.4 V	8.130	12.360	--	mA
		Open Drain NMOS 1X, V _{OL} = 0.4 V	8.130	12.410	--	mA
		Open Drain NMOS 2X, V _{OL} = 0.4 V	16.260	22.900	--	mA
T _{SU}	Startup Time	from VDD rising past 1.35 V	--	0.31	--	ms
PON _{THR}	Power On Threshold	V _{DD} Level Required to Start Up the Chip	1.180	1.353	1.516	V
POFF _{THR}	Power Off Threshold	V _{DD} Level Required to Switch Off the Chip	0.730	0.914	1.103	V



5.4 電気的特性 (5.0V $\pm$ 10% VDD)

Symbol	Parameter	Condition/Note	Min.	Typ.	Max.	Unit
V _{DD}	Supply Voltage		4.5	5.0	5.5	V
I _Q	Quiescent Current	Static Inputs and Outputs (when ACMP, Vref and RC OSC are powered down and non-operational)	--	1.0	--	μ A
T _A	Operating Temperature		-40	25	85	°C
V _{PP}	Programming Voltage		7.25	7.50	7.75	V
V _{AIR}	Analog Input Voltage Range	ACMP with voltage gain divider	0	--	V _{DD}	V
		ACMP without voltage gain divider	0	--	1.2	V
V _{IH}	HIGH-Level Input Voltage	Logic Input	2.640	--	V _{DD}	V
		Logic Input with Schmitt Trigger	3.160	--	V _{DD}	V
		Low-Level Logic Input	1.230	--	V _{DD}	V
V _{IL}	LOW-Level Input Voltage	Logic Input	--	--	1.840	V
		Logic Input with Schmitt Trigger	--	--	1.510	V
		Low-Level Logic Input	--	--	0.780	V
I _{IH}	HIGH-Level Input Current	Logic Input Pins; V _{IN} = 5 V	-1.0	--	1.0	μ A
I _{IL}	LOW-Level Input Current	Logic Input Pins; V _{IN} = 0 V	-1.0	--	1.0	μ A
V _{OH}	HIGH-Level Output Voltage	Push-Pull 1X, Open Drain PMOS 1X, I _{OH} = 5 mA	4.170	4.740	--	V
		Push-Pull 2X, Open Drain PMOS 2X, I _{OH} = 5 mA	4.320	4.860	--	V
V _{OL}	LOW-Level Output Voltage	Push-Pull 1X, I _{OL} = 5 mA	--	0.230	0.330	V
		Push-Pull 2X, I _{OL} = 5 mA	--	0.120	0.160	V
		Open Drain NMOS 1X, I _{OL} = 5 mA	--	0.120	0.160	V
		Open Drain NMOS 2X, I _{OL} = 5 mA	--	0.700	0.090	V
I _{OH}	HIGH-Level Output Current	Push-Pull 1X, Open Drain PMOS 1X, V _{OH} = 2.4 V	21.980	29.001 0	--	mA
		Push-Pull 2X, Open Drain PMOS 2X, V _{OH} = 2.4 V	41.886	55.990	--	mA
I _{OL}	LOW-Level Output Current	Push-Pull 1X, V _{OL} = 0.4 V	6.010	9.730	--	mA
		Push-Pull 2X, V _{OL} = 0.4 V	11.590	19.460	--	mA
		Open Drain NMOS 1X, V _{OL} = 0.4 V	11.760	19.460	--	mA
		Open Drain NMOS 2X, V _{OL} = 0.4 V	19.120	35.952	--	mA
T _{SU}	Startup Time	from VDD rising past 1.35 V	--	0.31	--	ms
PON _{THR}	Power On Threshold	V _{DD} Level Required to Start Up the Chip	1.180	1.353	1.516	V
POFF _{THR}	Power Off Threshold	V _{DD} Level Required to Switch Off the Chip	0.730	0.914	1.103	V



5.5 IDD（動作消費電流）の概算

Table 1. 各機能ブロックの動作消費電流の Typ 値.

Symbol	Parameter	Note	V _{DD} = 1.8 V	V _{DD} = 3.3V	V _{DD} = 5.0V	Unit
I	Current	Chip Quiescent	0.5	0.8	1.0	μA
		Vref	55.7	56.0	62.5	μA
		Vref Buffer (each)	0.6	14.1	14.6	μA
		OSC 25 kHz, predivide = 1	3.1	4.7	6.4	μA
		OSC 25 kHz, predivide = 8	3.0	4.3	5.8	μA
		OSC 2 MHz, predivide = 1	29.3	51.0	79.8	μA
		OSC 2 MHz, predivide = 8	17.4	23.2	29.0	μA
		1st ACMP used (includes Vref)	59.6	60.0	66.5	μA
		Each additional ACMP add	3.9	4.0	4.0	μA

5.6 タイミングの概要

Table 2. 各ブロックの遅延時間 (Typical) の推定値

Symbol	Parameter	Note	V _{DD} = 1.8 V		V _{DD} = 3.3V		V _{DD} = 5.0V		Unit
			rising	falling	rising	falling	rising	falling	
tpd	Delay	Digital Input without Schmitt Trigger -- Push Pull	44.2	43.5	17.8	18.2	12.7	13.0	ns
tpd	Delay	Digital Input with Schmitt Trigger -- Push Pull	43.3	42.5	17.7	18.0	12.6	13.0	ns
tpd	Delay	Low Voltage Digital input -- Push Pull	45.6	517.0	18.1	215.3	12.7	144.9	ns
tpd	Delay	Digital Input without Schmitt Trigger -- NMOS	—	83.8	—	29.9	—	19.5	ns
tpd	Delay	Output enable from pin, OE Hi-Z to 1	44.8	—	17.9	—	12.6	—	ns
tpd	Delay	Output enable from pin, OE Hi-Z to 0	—	43.4	—	17.7	—	12.8	ns
tpd	Delay	2-bit LUT	18.7	22.1	8.0	8.7	5.8	6.0	ns
tpd	Delay	Latch (2-bit LUT shared block inputs)	26.5	30.8	11.3	12.3	8.1	8.5	ns
tpd	Delay	3-bit LUT	21.3	24.4	9.1	9.6	6.5	6.6	ns
tpd	Delay	3-bit LUT (LATCH shared block inputs)	26.8	25.4	11.2	10.2	8.0	7.1	ns
tpd	Delay	Latch with nRST/nSET (3-bit LUT shared block inputs)	29.7	34.7	12.6	13.9	9.1	9.6	ns
tpd	Delay	4-bit LUT (shared block inputs)	34.0	32.6	14.4	13.0	10.3	9.1	ns
tpd	Delay	2-bit LUT (Latch shared block inputs)	26.8	25.4	11.2	10.2	8.0	7.1	ns
tpd	Delay	CNT/DLY	44.2	38.8	18.7	16.4	13.3	11.8	ns
tpd	Delay	CNT/DLY (shared block inputs)	43.2	39.7	18.4	16.8	13.0	12.1	ns
tpd	Delay	CNT3/DLY3 Rising Edge Detect (shared block inputs)	38.2	—	16.0	—	11.4	—	ns
tpd	Delay	CNT3/DLY3 Falling Edge Detect (shared block inputs)	—	40.4	—	16.4	—	11.6	ns
tpd	Delay	CNT3/DLY3 Both Edge Detect (shared block inputs)	38.2	40.5	15.9	16.5	11.3	11.5	ns
tpd	Delay	Filter	191.6	193	77.4	77.8	50.7	52.1	ns



5.7 Counter/Delay のオフセット時間 (Typical)

Table 3. Counter/Delay のオフセット計測 (Typical)

Parameter	RC OSC Freq	RC OSC Power	V _{DD} = 1.8 V	V _{DD} = 3.3V	V _{DD} = 5.0V	Unit
offset	25kHz	auto	19	14	12	μs
offset	2MHz	auto	7	4	4	μs
frequency settling time	25kHz	auto	19	14	12	μs
frequency settling time	2MHz	auto	14	14	14	μs
variable (CLK period)	25kHz	forced	0-40	0-40	0-40	μs
variable (CLK period)	2MHz	forced	0-0.5	0-0.5	0-0.5	μs
tpd (non-delayed edge)	25kHz/2MHz	either	35	14	10	ns

5.8 遅延時間および幅の期待値

Table 4. プログラマブルディレイの遅延時間および幅の期待値 (Typical)

Symbol	Parameter	Note	V _{DD} = 1.8 V	V _{DD} = 3.3V	V _{DD} = 5.0V	Unit
time1	Width, 1 cell	PDLY mode:(any)edge detect, edge detect output	256.7	120.8	110	ns
time1	Width, 2 cell	PDLY mode:(any)edge detect, edge detect output	564.4	262.7	225	ns
time1	Width, 3 cell	PDLY mode:(any)edge detect, edge detect output	873.5	405	340	ns
time1	Width, 4 cell	PDLY mode:(any)edge detect, edge detect output	1182.3	547.5	450	ns
time2	Delay, 1 cell	PDLY mode:(any)edge detect, edge detect output	48.2	20	14	ns
time2	Delay, 2 cell	PDLY mode:(any)edge detect, edge detect output	48.2	20.1	14	ns
time2	Delay, 3 cell	PDLY mode:(any)edge detect, edge detect output	48.2	20.1	14	ns
time2	Delay, 4 cell	PDLY mode:(any)edge detect, edge detect output	48.3	20.1	14	ns
time1	Delay, 1 cell	PDLY mode: both edge delay (shared block inputs)	357.9	162.2	110	ns
time1	Delay, 2 cell	PDLY mode: both edge delay (shared block inputs)	666.1	304.3	220	ns
time1	Delay, 3 cell	PDLY mode: both edge delay (shared block inputs)	974.7	446.3	335	ns
time1	Delay, 4 cell	PDLY mode: both edge delay (shared block inputs)	1283.8	588.8	450	ns
time1	Width	CNT3/DLY3 Rising Edge Detect (shared block inputs)	136.6	73.4	140	ns
time1	Width	CNT3/DLY3 Falling Edge Detect (shared block inputs)	130.6	71	140	ns
time1	Width	CNT3/DLY3 Both Edge Detect (shared block inputs)	133.05	72	140	ns



5.9 パルス幅値 (Typical) について

Table 5. パルス幅値 (Typical)

Parameter	V _{DD} = 1.8 V	V _{DD} = 3.3V	V _{DD} = 5.0V	Unit
Filtered Pulse Width	< 150	< 55	< 35	ns



6.0 マクロセル機能の概要

6.1 I/O ピン

- ・ デジタル入力 (低電圧または通常電圧、シュミット・トリガの有無選択可)
- ・ オープンドレイン NMOS およびオープンドレイン PMOS 出力
- ・ プッシュ・プル出力
- ・ アナログ入出力
- ・ ブルアップ・ブルダウン抵抗 (10k Ω / 100k Ω / 1M Ω)

6.2 コネクション・マトリクス

- ・ ユーザーデザインに基づくデジタルコネクション・マトリクス

6.3 アナログ・コンパレータ (2 個)

- ・ 選択可能なヒステリシス (0mV / 25mV / 50mV / 200mV) および選択可能な入力ゲイン (1x / 0.5x / 0.33x / 0.25x)

6.4 ボルテージ・リファレンス

- ・ アナログ・コンパレータのリファレンスとして使用されます
- ・ 外部ピンからからの入力も可能です

6.5 コンビネーション・ロジック・ルックアップテーブル (LUT、5 個)

- ・ 1 個の 2 ビット LUT
- ・ 4 個の 3 ビット LUT

6.6 コンビネーション・ファンクション・マクロセル (12 個)

- ・ 4 個の FF ラッチ、または 2 ビット LUT
- ・ 4 個の FF ラッチ、または 3 ビット LUT
- ・ 1 個のパイプディレイ、または 3 ビット LUT
- ・ 2 個のカウンタ／ディレイ、または 4 ビット LUT
- ・ 1 個のプログラマブルディレイ、またはデグリッチ・フィルタ

6.7 ディレイ／カウンタ (2 個)

- ・ 1 個の 8 ビットディレイ／カウンタ (外部クロック・リセット入力付き、範囲：1 - 255)
- ・ 1 個の 14 ビットディレイ／カウンタ (外部クロック・リセット入力付き、範囲：1 - 16383)

6.8 パイプディレイ (コンビネーション・ファンクション・マクロセルの一部)

- ・ 8 ステージ、3 出力 (うち 2 個は任意ステージを選択可)
- ・ 出力は 1 ～ 8 ステージから選択

6.9 その他のロジック・ファンクション (コンビネーション・ファンクション・マクロセルの一部)

- ・ 1 個のデグリッチフィルタ
- ・ 1 個のプログラマブル・ディレイ
 - ・ 163 ns / 305 ns / 446 ns / 588 ns @ 3.3 V
 - ・ エッジ検出としても使用可能

6.10 RC 発振器

- ・ 25 kHz または 2 MHz から選択可能
- ・ 第 1 ステージ・プリディバイダ：OSC/1, OSC/2, OSC/4, OSC/8
- ・ 第 2 ステージ・ディバイダ (2 出力 OUT0 / OUT1)：OSC/1, OSC/2, OSC/3, OSC/4, OSC/8, OSC/12, OSC/24, OSC/64

6.11 パワーオンリセット (POR)



7.0 I/O 端子

SLG46120 には、全部で 10 本の多機能 I/O 端子があります。これらは、ユーザーの設定により入力または出力端子として動作するだけでなく、基準電圧の出力や内蔵の NVM に書き込みを行う際に利用されるものもあります。

通常モードでの端子の機能は、以下の通りです。

- Pin 1: V_{DD} 電源端子
- Pin 2: 汎用入力端子
- Pin 3: 汎用 I/O または アナログ・コンパレータ 0 (+) 入力端子
- Pin 4: 汎用 I/O または アナログ・コンパレータ 0 (-) 入力端子
- Pin 5: 汎用 I/O
- Pin 6: 汎用 I/O または アナログ・コンパレータ 1 (+) 入力端子 (OE付き)
- Pin 7: 接地
- Pin 8: 汎用 I/O
- Pin 9: 汎用 I/O
- Pin 10: 汎用 I/O (OE付き) および V_{ref} 出力
- Pin 11: 汎用 I/O
- Pin 12: 汎用 I/O または外部クロック入力

プログラムモードでの端子割り付けは、以下の通り：

- Pin 1: V_{DD} 電源端子
- Pin 2: V_{PP} プログラム電圧
- Pin 3: プログラム ID 端子
- Pin 7: 接地
- Pin 8: プログラムモードコントロール
- Pin 9: プログラム SDIO 端子
- Pin 10: プログラム SRDWB 端子
- Pin 12: プログラム SCL 端子

SLG46120 のユーザー設定した 10 本の汎用 I/O 端子のうち、Pin 2 以外の全ての端子は、デジタル入力または出力端子として利用できます。

Pin 2 は、デジタル入力端子のみです。

7.1 入力モード

各 I/O 端子は、シュミット・トリガ付きまたは無しのデジタル入力端子に設定できます。また、Low Voltage Digital Input (LVDI) という設定も可能です。3 番、4 番そして 6 番端子は、内蔵コンパレータのアナログ入力端子としても使えます。

7.2 出力モード

端子番号 3, 4, 5, 6, 8, 9, 10, 11, および 12 は、全てデジタル出力端子に設定可能です。

7.3 プルアップ、プルダウン抵抗

全ての I/O 端子は、入力端子のときオプションとして抵抗を接続することができます。抵抗値としては、10 k Ω , 100 k Ω そして 1 M Ω があります。端子 2 については、抵抗はプルダウンのみです。その他の全 I/O 端子は、内蔵の抵抗をプルアップまたはプルダウンのどちらかに設定できます。



7.4 I/O レジスタ設定

7.4.1 端子2 レジスタ設定

Table 6. 端子2 レジスタ設定

Signal Function	Register Bit Address	Register Definition
PIN 2 Mode Control	reg <624:623>	00: Digital Input without Schmitt Trigger 01: Digital Input with Schmitt Trigger 10: Low Voltage Digital Input 11: Reserved
PIN 2 Pull Down Resistor Value Selection	reg <626:625>	00: Floating 01: 10 kΩ Resistor 10: 100 kΩ Resistor 11: 1 MΩ Resistor

7.4.2 端子3 レジスタ設定

Table 7. 端子3 レジスタ設定

Signal Function	Register Bit Address	Register Definition
PIN 3 Mode Control	reg <629:627>	000: Digital Input without Schmitt Trigger 001: Digital Input with Schmitt Trigger 010: Low Voltage Digital Input 011: Analog Input 100: Push Pull 101: Open Drain NMOS 110: Open Drain PMOS 111: Analog Input & Open Drain NMOS
PIN 3 Pull Up/Down Resistor Value Selection	reg <631:630>	00: Floating 01: 10 kΩ Resistor 10: 100 kΩ Resistor 11: 1 MΩ Resistor
PIN 3 Pull Up/Down Resistor Selection	reg <632>	0: Pull Down Resistor 1: Pull Up Resistor
PIN3 Driver Strength Selection	reg <633>	0: 1X 1: 2X



7.4.3 端子4 レジスタ設定

Table 8. 端子4 レジスタ設定

Signal Function	Register Bit Address	Register Definition
PIN 4 Mode Control	reg <636:634>	000: Digital Input without Schmitt Trigger 001: Digital Input with Schmitt Trigger 010: Low Voltage Digital Input 011: Analog Input 100: Push Pull 101: Open Drain NMOS 110: Open Drain PMOS 111: Analog Input & Open Drain NMOS
PIN 4 Pull Up/Down Resistor Value Selection	reg <638:637>	00: Floating 01: 10 kΩ Resistor 10: 100 kΩ Resistor 11: 1 MΩ Resistor
PIN 4 Pull Up/Down Resistor Selection	reg <639>	0: Pull Down Resistor 1: Pull Up Resistor
PIN 4 Driver Strength Selection	reg <640>	0: 1X 1: 2X

7.4.4 端子5 レジスタ設定

Table 9. 端子5 レジスタ設定

Signal Function	Register Bit Address	Register Definition
PIN 5 Mode Control	reg <643:641>	000: Digital Input without Schmitt Trigger 001: Digital Input with Schmitt Trigger 010: Low Voltage Digital Input 011: Analog Input 100: Push Pull 101: Open Drain NMOS 110: Open Drain PMOS 111: Analog Input & Open Drain NMOS
PIN 5 Pull Up/Down Resistor Value Selection	reg <645:644>	00: Floating 01: 10 kΩ Resistor 10: 100 kΩ Resistor 11: 1 MΩ Resistor
PIN 5 Pull Up/Down Resistor Selection	reg <646>	0: Pull Down Resistor 1: Pull Up Resistor
PIN 5 Driver Strength Selection	reg <647>	0: 1X 1: 2X

7.4.5 端子6 レジスタ設定

Table 10. 端子6 レジスタ設定

Signal Function	Register Bit Address	Register Definition
PIN 6 Mode Control (sig_PIN6_oe =0)	reg <649:648>	00: Digital Input without Schmitt Trigger 01: Digital Input with Schmitt Trigger 11: Low Voltage Digital Input 10: Analog Input / Output



Table 10. 端子 6 レジスタ設定

Signal Function	Register Bit Address	Register Definition
PIN 6 Mode Control (sig_PIN6_oe =1)	reg <651:650>	00: Push Pull 1X 01: Push Pull 2X 10: Open Drain NMOS 1X 11: Open Drain NMOS 2X
PIN 6 Pull Up/Down Resistor Value Selection	reg <653:652>	00: Floating 01: 10 k Ω Resistor 10: 100 k Ω Resistor 11: 1 M Ω Resistor
PIN 6 Pull Up/Down Resistor Selection	reg <654>	0: Pull Down Resistor 1: Pull Up Resistor

7.4.6 端子 8 レジスタ設定

Table 11. 端子 8 レジスタ設定

Signal Function	Register Bit Address	Register Definition
PIN 8 Mode Control	reg <657:655>	000: Digital Input without Schmitt Trigger 001: Digital Input with Schmitt Trigger 010: Low Voltage Digital Input 011: Analog Input / Output 100: Push Pull 101: Open Drain NMOS 110: Open Drain PMOS 111: Reserved
PIN 8 Pull Up/Down Resistor Value Selection	reg <659:658>	00: Floating 01: 10 k Ω Resistor 10: 100 k Ω Resistor 11: 1 M Ω Resistor
PIN 8 Pull Up/Down Resistor Selection	reg <660>	0: Pull Down Resistor 1: Pull Up Resistor
PIN 8 Driver Strength Selection	reg <661>	0: 1X 1: 2X



7.4.7 端子9 レジスタ設定

Table 12. 端子9 レジスタ設定

Signal Function	Register Bit Address	Register Definition
PIN 9 Mode Control	reg <664:662>	000: Digital Input without Schmitt Trigger 001: Digital Input with Schmitt Trigger 010: Low Voltage Digital Input 011: Reserved 100: Push Pull 101: Open Drain NMOS 110: Open Drain PMOS 111: Open drain
PIN 9 Pull Up/Down Resistor Value Selection	reg <666:665>	00: Floating 01: 10 k Ω Resistor 10: 100 k Ω Resistor 11: 1 M Ω Resistor
PIN 9 Pull Up/Down Resistor Selection	reg <667>	0: Pull Down Resistor 1: Pull Up Resistor
PIN 8 Driver Strength Selection	reg <668>	0: 1X 1: 2X



7.4.8 端子 10 レジスタ設定

Table 13. 端子 10 レジスタ設定

Signal Function	Register Bit Address	Register Definition
PIN 10 Mode Control (sig_PIN10_oe = 0)	reg <670:669>	00: Digital Input without Schmitt Trigger 01: Digital Input with Schmitt Trigger 11: Low Voltage Digital Input 10: Analog Input
PIN 10 Mode Control (sig_PIN10_oe = 1)	reg <672:671>	00: Push Pull 1X 01: Push Pull 2X 10: Open Drain NMOS 1X 11: Open Drain NMOS 2X
PIN 10 Pull Up/Down Resistor Value Selection	reg <674:673>	00: Floating 01: 10 k Ω Resistor 10: 100 k Ω Resistor 11: 1 M Ω Resistor
PIN 10 Pull Up/Down Resistor Selection	reg <675>	0: Pull Down Resistor 1: Pull Up Resistor

7.4.9 端子 11 レジスタ設定

Table 14. 端子 11 レジスタ設定

Signal Function	Register Bit Address	Register Definition
PIN 11 Mode Control	reg <678:676>	000: Digital Input without Schmitt Trigger 001: Digital Input with Schmitt Trigger 010: Low Voltage Digital Input 011: Reserved 100: Push Pull 101: Open Drain NMOS 110: Open Drain PMOS 111: Open drain
PIN 11 Pull Up/Down Resistor Value Selection	reg <680:679>	00: Floating 01: 10 k Ω Resistor 10: 100 k Ω Resistor 11: 1 M Ω Resistor
PIN 11 Pull Up/Down Resistor Selection	reg <681>	0: Pull Down Resistor 1: Pull Up Resistor
PIN 11 Driver Strength Selection	reg <682>	0: 1X 1: 2X



7.4.10 端子 1 2 レジスタ設定

Table 15. 端子 1 2 レジスタ設定

Signal Function	Register Bit Address	Register Definition
PIN 12 Mode Control	reg <685:683>	000: Digital Input without Schmitt Trigger 001: Digital Input with Schmitt Trigger 010: Low Voltage Digital Input 011: Reserved 100: Push Pull 101: Open Drain NMOS 110: Open Drain PMOS 111: Open drain
PIN 12 Pull Up/Down Resistor Value Selection	reg <687:686>	00: Floating 01: 10 k Ω Resistor 10: 100 k Ω Resistor 11: 1 M Ω Resistor
PIN 12 Pull Up/Down Resistor Selection	reg <688>	0: Pull Down Resistor 1: Pull Up Resistor
PIN 12 Driver Strength Selection	reg <689>	0: 1X 1: 2X



7.5 GPIO 構造

7.5.1 GPIO 構造 (端子 2)

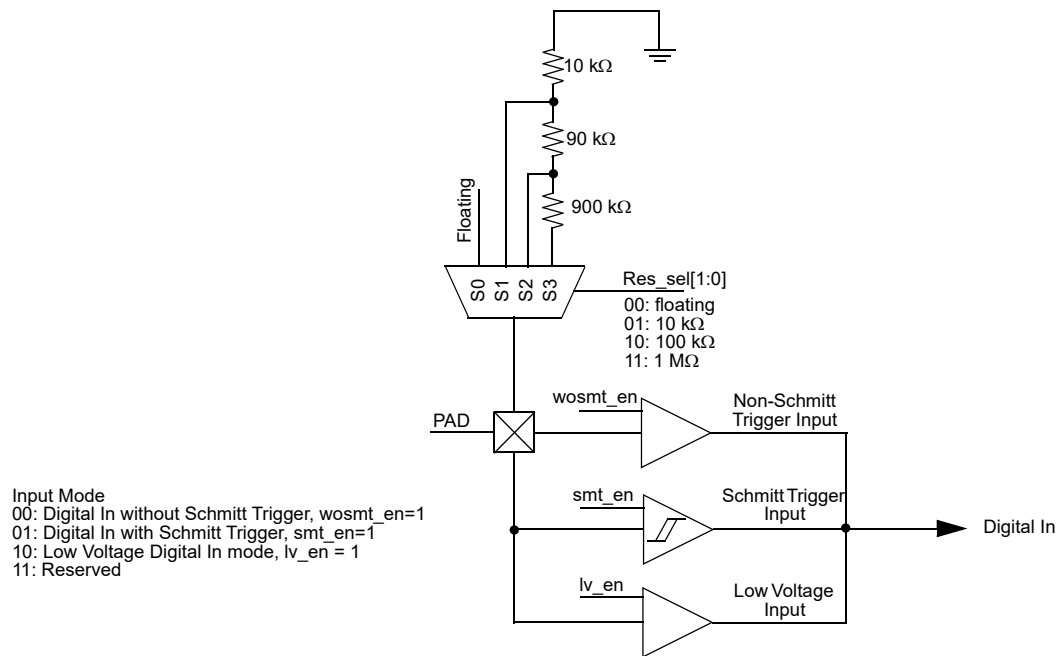


Figure 2. GPIO 構造 (端子 2)



7.6 マトリクス 出力イネーブル (OE) IO 構造

7.6.1 マトリクス OE IO 構造 (端子 6, 10)

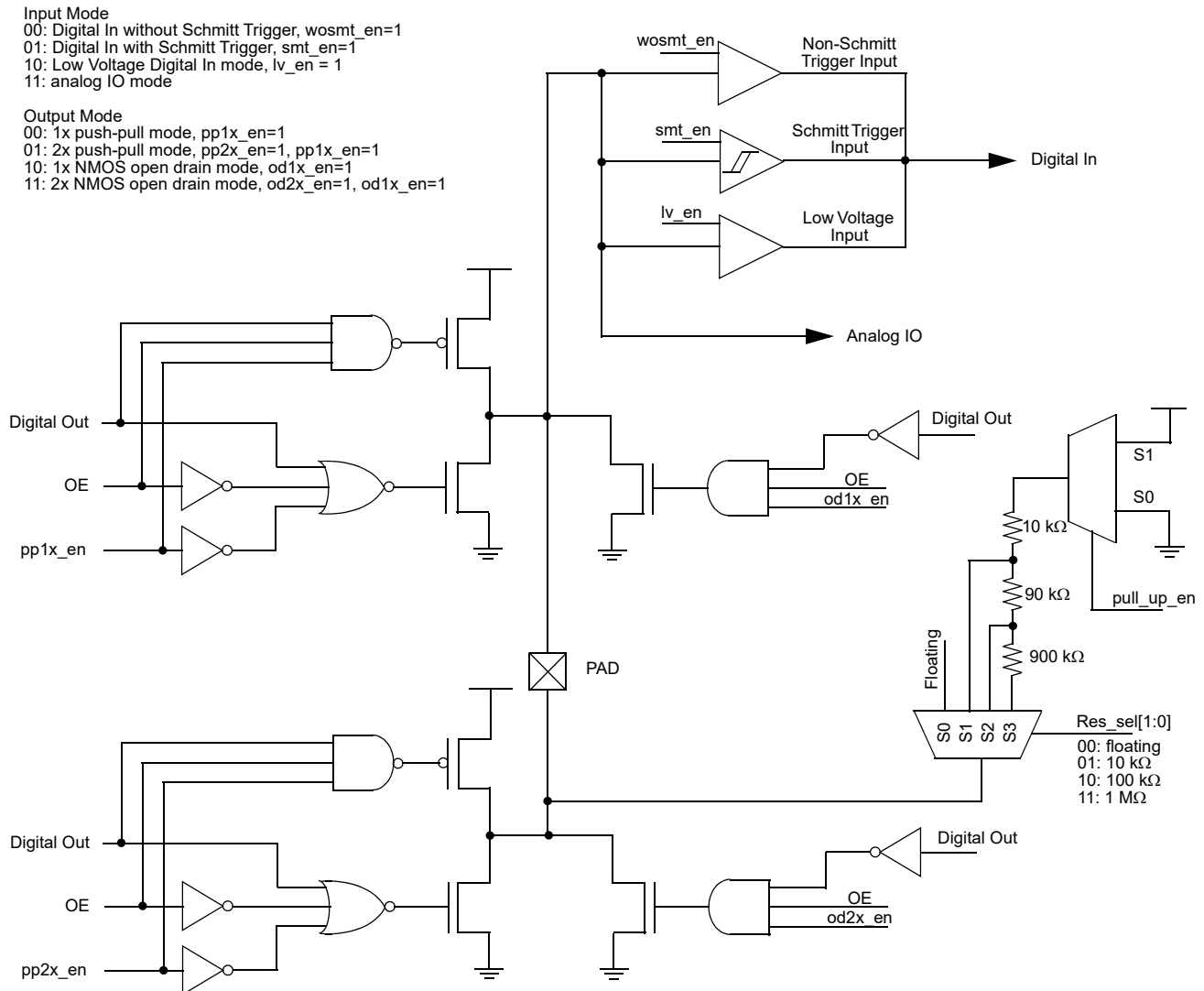


Figure 3. マトリクス OE IO 構造



7.7 レジスタ OE IO 構造

7.7.1 レジスタ OE IO 構造 (端子 3, 4, 5, 8, 9, 11, 12)

Mode
000: Digital In without Schmitt Trigger, wosmt_en=1
001: Digital In with Schmitt Trigger, smt_en=1
010: Low Voltage Digital In mode, lv_en = 1
011: analog IO mode
100: push-pull mode, pp_en=1
101: NMOS open drain mode, odn_en=1
110: PMOS open drain mode, odp_en=1
111: analog IO and NMOS open-drain mode, odn_en=1 and AIO_en=1

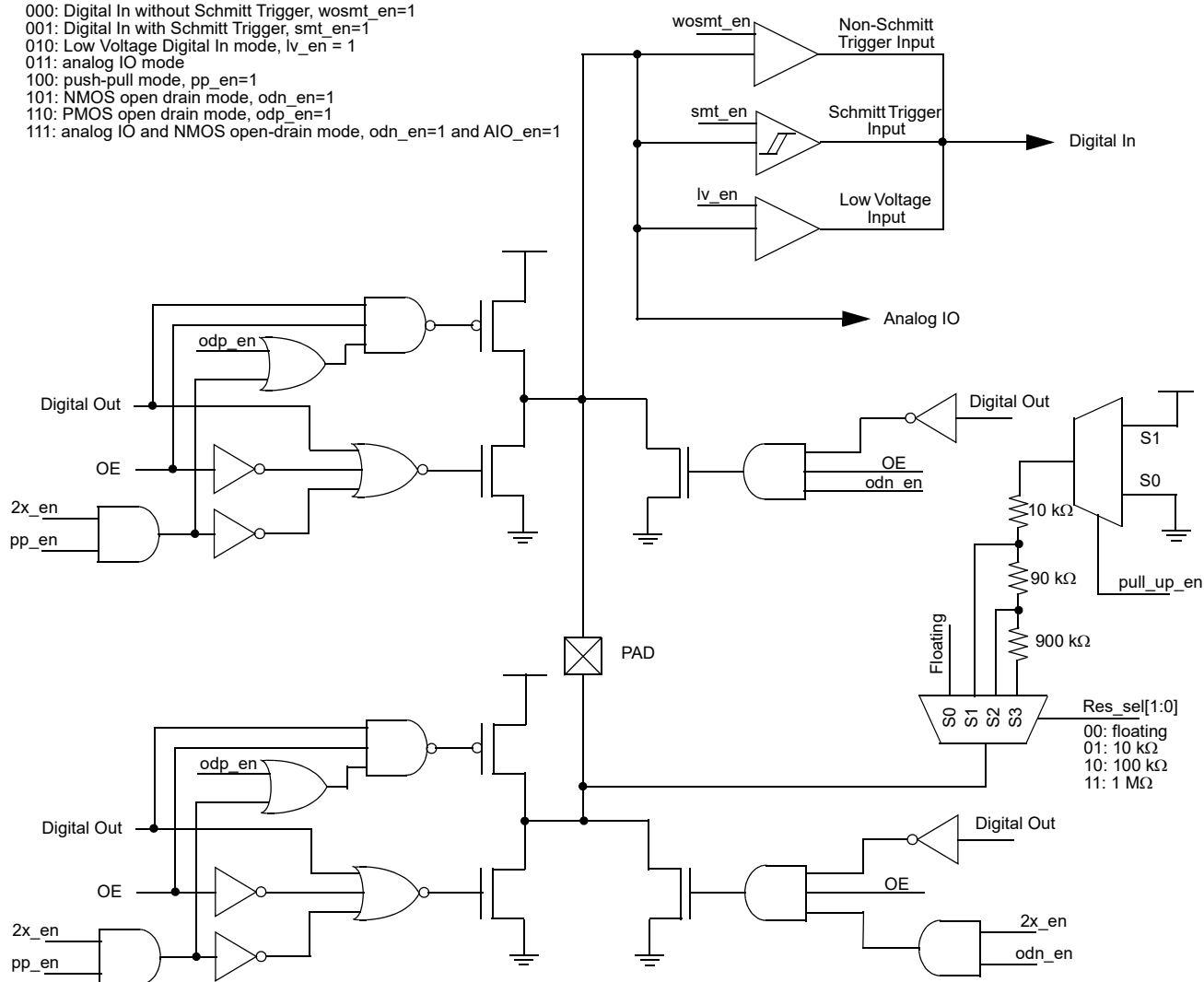


Figure 4. レジスタ OE IO 構造



8.0 コネクション・マトリクス

SLG46120 のコネクション・マトリクスは、768個のレジスタから構成され、内部配線の作成に使用されます。SLG46120にある各ロジックセルの全ての接続点には個別のビット・コードが割り当てられ、作成されたデザインに基づきアクティブ (High) またはインアクティブ (Low) が設定されます。

各レジスタは、テストモード (ユーザーには非公開) 時にワンタイム NVM セルからプログラムされます。

コネクション・マトリクスは40の入力と64の出力を持ち、40の入力は I/O ピン、LUT、アナログ・コンパレータ、VDD/VSS 等の内部リソースと電気的に接続されています。

デジタル・マクロセルの入力には6ビットのレジスタが割り当てられ、上記40の入力のうちどれを選択するかを使用されます。レジスタ・テーブルの詳細についてはセクション16「付録A SLG46120 レジスタ定義」を参照ください。

Matrix Input Signal Functions	N						
VSS	0						
Pin 2 Digital In	1						
Pin 3 Digital In	2						
Pin 4 Digital In	3						
⋮	⋮						
PIN12 Digital In	38						
VDD	39						
Matrix Inputs		N	0	1	2	⋮	63
		Registers	reg <5:0>	reg <11:6>	reg <17:12>	⋮	reg <383:378>
		Function	PIN3 Digital Output Source	PIN4 Digital Output Source	PIN5 Digital Output Source	⋮	PIN10 Output Enable
Matrix Outputs							

Figure 5. コネクション・マトリクス

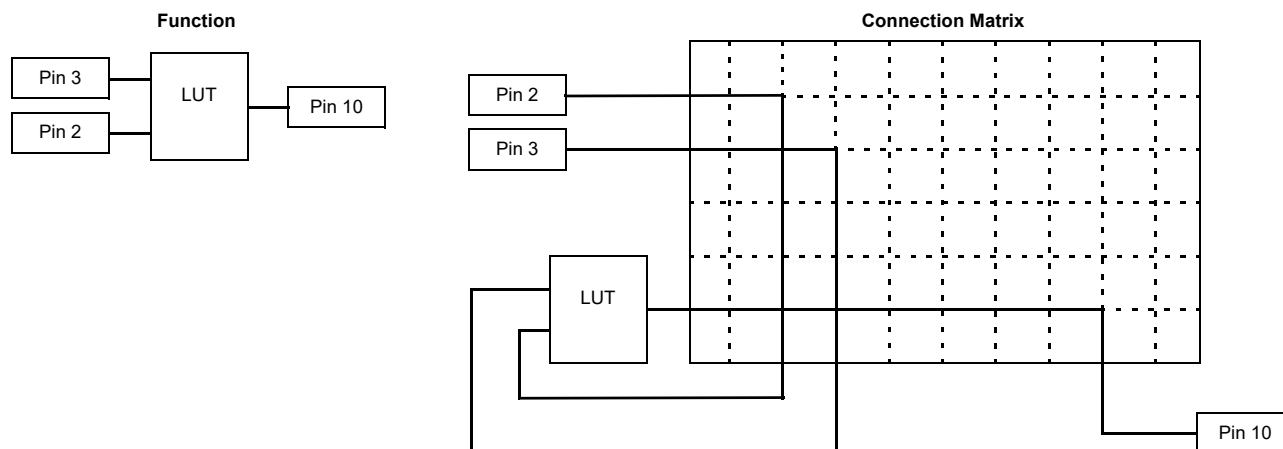


Figure 6. コネクション・マトリクスの例



8.1 コネクション・マトリクス (入力)

Table 16. コネクション・マトリクス (入力)

N	Matrix Input Signal Function	Matrix Decode					
		5	4	3	2	1	0
0	VSS	0	0	0	0	0	0
1	pin2 digital Input	0	0	0	0	0	1
2	pin3 digital Input	0	0	0	0	1	0
3	pin4 digital Input	0	0	0	0	1	1
4	pin5 digital Input	0	0	0	1	0	0
5	pin6 digital Input	0	0	0	1	0	1
6	LUT2_0 output (DFF/LATCH_0 output)	0	0	0	1	1	0
7	LUT2_1 output (DFF/LATCH_1 output)	0	0	0	1	1	1
8	LUT2_2 output (DFF/LATCH_2 output)	0	0	1	0	0	0
9	LUT2_3 output (DFF/LATCH_3 output)	0	0	1	0	0	1
10	LUT2_4 output	0	0	1	0	1	0
11	sig_1pipe_dly_out (1st stage pipe delay output)	0	0	1	0	1	1
12	LUT3_0 output (DFF/LATCH_4 output with resetb or seb)	0	0	1	1	0	0
13	LUT3_1 output (DFF/LATCH_5 output with resetb or seb)	0	0	1	1	0	1
14	LUT3_2 output (DFF/LATCH_6 output with resetb or seb)	0	0	1	1	1	0
15	LUT3_3 output (DFF/LATCH_7 output with resetb or seb)	0	0	1	1	1	1
16	LUT3_4 output	0	1	0	0	0	0
17	LUT3_5 output	0	1	0	0	0	1
18	LUT3_6 output	0	1	0	0	1	0
19	LUT3_7 output	0	1	0	0	1	1
20	LUT3_8 output (pipe delay output0)	0	1	0	1	0	0
21	LUT4_0 output (CNT_DLY3 output (8 bit w/ ext CK,reset))	0	1	0	1	0	1
22	LUT4_1 output (CNT_DLY4 output (8 bit w/ ext CK,reset))	0	1	0	1	1	0
23	CNT_DLY0(14bit) output	0	1	0	1	1	1
24	CNT_DLY1 output (8 bit w/ ext CK,reset)	0	1	1	0	0	0
25	Edge detector output from CNT_DLY4	0	1	1	0	0	1
26	ACMP_0 output	0	1	1	0	1	0
27	ACMP_1 output	0	1	1	0	1	1
28	pipe delay output1	0	1	1	1	0	0
29	Programmable delay with edge detector output (Deglitch filter output)	0	1	1	1	0	1
30	internal oscillator output (one of /1, /2, /3, /4, /8, /12, /24, /64 selected by REG)	0	1	1	1	1	0
31	internal oscillator output (one of /1, /2, /3, /4, /8, /12, /24, /64 selected by REG)	0	1	1	1	1	1
32	Bandgap OK signal	1	0	0	0	0	0
33	Resetb_core as matrix input	1	0	0	0	0	1
34	pin8 digital Input	1	0	0	0	1	0
35	pin9 digital Input	1	0	0	0	1	1



Table 16. コネクション・マトリクス (入力)

N	Matrix Input Signal Function	Matrix Decode					
		5	4	3	2	1	0
36	pin10 digital Input	1	0	0	1	0	0
37	pin11 digital Input	1	0	0	1	0	1
38	Pin12 digital Input	1	0	0	1	1	0
39	VDD	1	0	0	1	1	1



8.2 コネクション・マトリクス (出力)

Table 17. コネクション・マトリクス (出力)

Register Bit Address	Matrix Output Signal Function	Matrix Output Number
reg <5:0>	Pin 3 digital out source	0
reg <11:6>	Pin 4 digital out source	1
reg <17:12>	Pin 5 digital out source	2
reg <23:18>	Pin 6 digital out source	3
reg <29:24>	Pin 6 output enable	4
reg <35:30>	in0 of LUT2_0 (Clock Input of DFF0)	5
reg <41:36>	in1 of LUT2_0 (Data Input of DFF0)	6
reg <47:42>	in0 of LUT2_1 (Clock Input of DFF1)	7
reg <53:48>	in1 of LUT2_1 (Data Input of DFF1)	8
reg <59:54>	in0 of LUT2_2 (Clock Input of DFF2)	9
reg <65:60>	in1 of LUT2_2 (Data Input of DFF2)	10
reg <71:66>	in0 of LUT2_3 (Clock Input of DFF3)	11
reg <77:72>	in1 of LUT2_3 (Data Input of DFF3)	12
reg <83:78>	in0 of LUT2_4	13
reg <89:84>	in1 of LUT2_4	14
reg <95:90>	Pin 11 digital out source	15
reg <101:96>	Pin 12 digital out source	16
reg <107:102>	in0 of LUT3_0 (Clock Input of DFF0 with nReset/nSet)	17
reg <113:108>	in1 of LUT3_0 (Data input of DFF0 with nReset/nSet)	18
reg <119:114>	in2 of LUT3_0 (Resetb or Setb of DFF0 with nReset/nSet)	19
reg <125:120>	in0 of LUT3_1 (Clock Input of DFF1 with nReset/nSet)	20
reg <131:126>	in1 of LUT3_1 (Data input of DFF1 with nReset/nSet)	21
reg <137:132>	in2 of LUT3_1 (Resetb or Setb of DFF1 with nReset/nSet)	22
reg <143:138>	in0 of LUT3_2 (Clock Input of DFF2 with nReset/nSet)	23
reg <149:144>	in1 of LUT3_2 (Data input of DFF2 with nReset/nSet)	24
reg <155:150>	in2 of LUT3_2 (Resetb or Setb of DFF2 with nReset/nSet)	25
reg <161:156>	in0 of LUT3_3 (Clock Input of DFF3 with nReset/nSet)	26
reg <167:162>	in1 of LUT3_3 (Data input of DFF3 with nReset/nSet)	27
reg <173:168>	in2 of LUT3_3 (Resetb or Setb of DFF3 with nReset/nSet)	28
reg <179:174>	in0 of LUT3_4	29
reg <185:180>	in1 of LUT3_4	30
reg <191:186>	in2 of LUT3_4	31
reg <197:192>	in0 of LUT3_5	32
reg <203:198>	in1 of LUT3_5	33
reg <209:204>	in2 of LUT3_5	34
reg <215:210>	in0 of LUT3_6	35
reg <221:216>	in1 of LUT3_6	36
reg <227:222>	in2 of LUT3_6	37



Table 17. コネクション・マトリクス (出力)

Register Bit Address	Matrix Output Signal Function	Matrix Output Number
reg <233:228>	in0 of LUT3_7	38
reg <239:234>	in1 of LUT3_7	39
reg <245:240>	in2 of LUT3_7	40
reg <251:246>	in0 of LUT3_8 (Input of pipe delay)	41
reg <257:252>	in1 of LUT3_8 (Resetb of pipe delay)	42
reg <263:258>	in2 of LUT3_8 (Clock of pipe delay)	43
reg <269:264>	in0 of LUT4_0 (Input for Delay2 ext. clock or Counter2 8bit external Clock)	44
reg <275:270>	in1 of LUT4_0 (Input for delay2 or counter2 reset input)	45
reg <281:276>	in2 of LUT4_0	46
reg <287:282>	in3 of LUT4_0	47
reg <293:288>	in0 of LUT4_1 (Input for Delay3 ext. clock or Counter3 8bit external Clock)	48
reg <299:294>	in1 of LUT4_1 (Input for delay3 or counter3 reset input)	49
reg <305:300>	in2 of LUT4_1	50
reg <311:306>	in3 of LUT4_1	51
reg <317:312>	Input for delay0 or counter0 (14bits) external clock	52
reg <323:318>	Input for Delay1 ext. clock or Counter1 8bit external Clock	53
reg <329:324>	Input for delay1 or counter1 reset input	54
reg <335:330>	Not used	55
reg <341:336>	pdb for ACMP0	56
reg <347:342>	pdb for ACMP1	57
reg <353:348>	Input for programmable delay for edge detector (Deglitch filter input)	58
reg <359:354>	Power down for osc. (higher priority) (high = power down).	59
reg <365:360>	Pin 8 digital out source	60
reg <371:366>	Pin 9 digital out source	61
reg <377:372>	Pin 10 digital out source	62
reg <383:378>	Pin 10 output enable	63



9.0 コンビネーションロジック

コンビネーションロジックは、SLG46120 では5つのルックアップテーブルにより提供されます。ひとつは2ビット、残りの4つは3ビットのルックアップテーブルです。このチップは、さらにルックアップテーブルとしても使用できる11個のコンビネーション・マクロセルを有しています。

詳細は、セクション 10.0 コンビネーション・ファンクション・マクロセルを参照下さい。

ルックアップテーブルの入出力は、不揮発性メモリのビットにより定められる論理回路と結線により、所望の機能を実現します。

ルックアップテーブルの出力は、標準的な(AND, NAND, OR, NOR, XOR, XNOR)などの論理回路を含むどんな論理にも設定可能です。

9.1 2ビットルックアップテーブル

2ビットのルックアップテーブルは、回路から2つの入力を受けて1つの出力をまた回路に戻す働きをします。

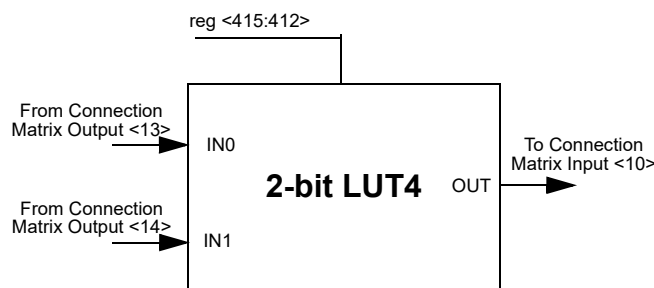


Figure 7. 2-bit LUT4

Table 18. 2-bit LUT4 Truth Table.

IN1	IN0	OUT
0	0	reg <412>reg
0	1	reg <413>reg
1	0	reg <414>reg
1	1	reg <415>reg

2ビットルックアップテーブルには、4ビットのレジスタが割り当てられ、出力機能の設定が行われます。

例えば、2ビットルックアップテーブル4（2-Bit LUT4）は、レジスタ（reg <415:412>）により定義されます。

下表は、標準ロジック(AND, NAND, OR, NOR, XOR, XNOR)を構成するためのレジスタビットを示すもので、2ビットルックアップテーブルに含まれます。

Table 19. 2-bit LUT 標準論理機能設定.

Function	MSB			LSB
AND-2	1	0	0	0
NAND-2	0	1	1	1
OR-2	1	1	1	0
NOR-2	0	0	0	1
XOR-2	0	1	1	0
XNOR-2	1	0	0	1



9.2 3ビットルックアップテーブル

4つの3ビットルックアップテーブルは、3つの入力を回路から取り込んで1つの出力を回路に戻します。

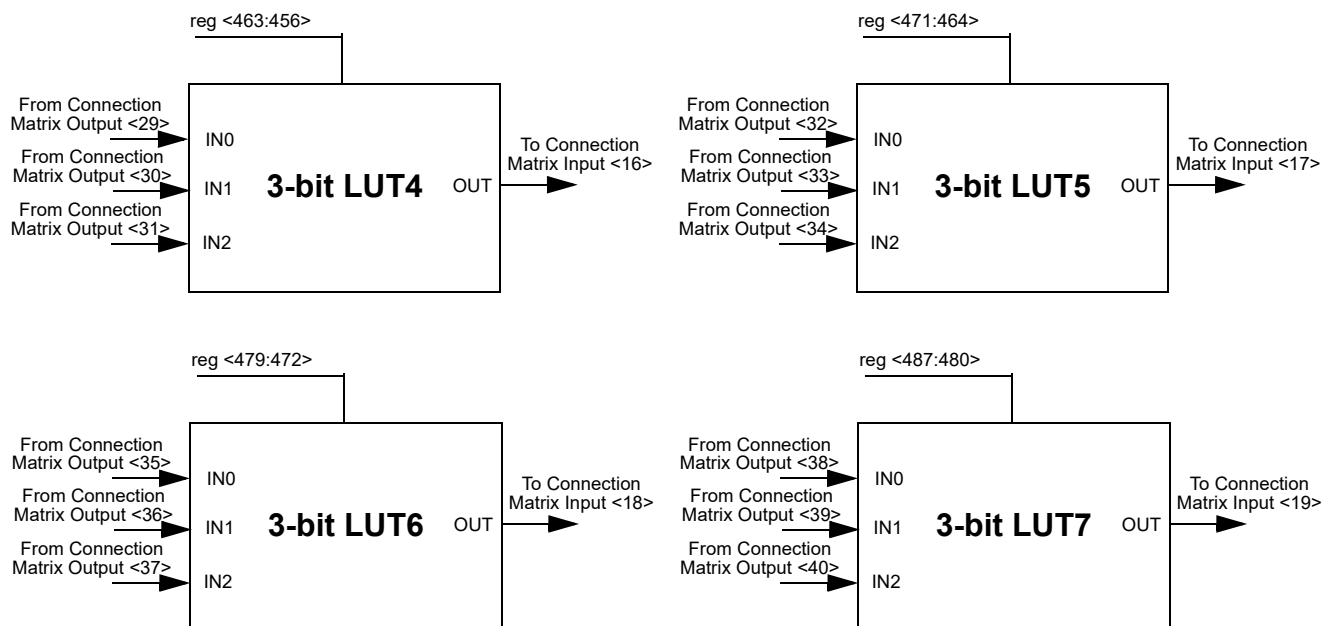


Figure 8. 3-bit LUTs

Table 20. 3-bit LUT4 Truth Table.

IN2	IN1	IN0	OUT
0	0	0	reg <456>
0	0	1	reg <457>
0	1	0	reg <458>
0	1	1	reg <459>
1	0	0	reg <460>
1	0	1	reg <461>
1	1	0	reg <462>
1	1	1	reg <463>

Table 21. 3-bit LUT5 Truth Table.

IN2	IN1	IN0	OUT
0	0	0	reg <464>
0	0	1	reg <465>
0	1	0	reg <466>
0	1	1	reg <467>
1	0	0	reg <468>
1	0	1	reg <469>
1	1	0	reg <470>
1	1	1	reg <471>

Table 22. 3-bit LUT6 Truth Table.

IN2	IN1	IN0	OUT
0	0	0	reg <472>
0	0	1	reg <473>
0	1	0	reg <474>
0	1	1	reg <475>
1	0	0	reg <476>
1	0	1	reg <477>
1	1	0	reg <478>
1	1	1	reg <479>

Table 23. 3-bit LUT7 Truth Table.

IN2	IN1	IN0	OUT
0	0	0	reg <480>
0	0	1	reg <481>
0	1	0	reg <482>
0	1	1	reg <483>
1	0	0	reg <484>
1	0	1	reg <485>
1	1	0	reg <486>
1	1	1	reg <487>



3-bit ルックアップテーブルは、その出力を 8 ビットレジスタにより設定します。

3-bit LUT4 は、reg <456:463>により定義されます。

3-bit LUT5 は、reg <471:464>により定義されます。

3-bit LUT6 は、reg <479:472>により定義されます。

3-bit LUT7 は、reg <487:480>により定義されます。

下表は、標準ロジック(AND, NAND, OR, NOR, XOR, XNOR)を構成するためのレジスタビットを示すもので、3 ビットルックアップテーブルに含まれます。

Table 24. 3-bit LUT 標準論理機能設定.

Function	MSB							LSB
AND-3	1	0	0	0	0	0	0	0
NAND-3	0	1	1	1	1	1	1	1
OR-3	1	1	1	1	1	1	1	0
NOR-3	0	0	0	0	0	0	0	1
XOR-3	1	0	0	1	0	1	1	0
XNOR-3	0	1	1	0	1	0	0	1



10.0 コンビネーション・ファンクション・マクロセル

SLG46120 は 12 個のコンビネーション・ファンクション・マクロセルが実装されています。そのうち 11 個はルックアップテーブル、論理、タイミング機能のいずれかに使用可能です。残りの 1 個はプログラマブル・ディレイかデグリッチ・フィルタに使用可能です。

以下は実装されているマクロセルで使用可能な機能のリストです。

- 4 個のマクロセル：2 ビット LUT、D フリップフロップ、またはラッチとして使用可能
- 4 個のマクロセル：3 ビット LUT、D フリップフロップ、またはラッチとして使用可能
- 1 個のマクロセル：3 ビット LUT、またはパイプディレイとして使用可能
- 2 個のマクロセル：4 ビット LUT、またはカウンタ／ディレイとして使用可能
- 1 個のマクロセル：プログラマブル・ディレイ、またはデグリッチ・フィルタとして使用可能

各マクロセルの入出力はコネクション・マトリクスに接続され、その接続情報は NVM に記録されています。

マクロセルをルックアップテーブルとして使用する場合、標準ロジック (AND, NAND, OR, NOR, XOR, XNOR など) を含む任意の組み合わせを定義することが可能です。

マクロセルを D フリップフロップまたはラッチとして使用する場合、その入出力はコネクション・マトリクスに接続され、初期値と出力の反転・非反転が選択できます。

また、DFF2 と DFF3 には "nSet" または "nReset" として機能する追加のピンが実装されています。

D フリップフロップおよびラッチの動作は下記の通りです。

D フリップフロップ： CLK の立ち上がりエッジで $Q = D$ 、それ以外は Q に変化なし

ラッチ： CLK = 0 の時 $Q = D$

10.1 2 ビット LUT、または D フリップフロップ・マクロセル

4 個のマクロセルがあり、2 ビット LUT または D フリップフロップとして使用可能です。

LUT として使用する場合には、コネクション・マトリクスから 2 つの入力を取り、1 つの出力をコネクション・マトリクスに返します。

D フリップフロップとして使用する場合には、2 つの入力（データ (d) とクロック (clk)）をコネクション・マトリクスから受け取り、1 つの出力をコネクション・マトリクスに返します。

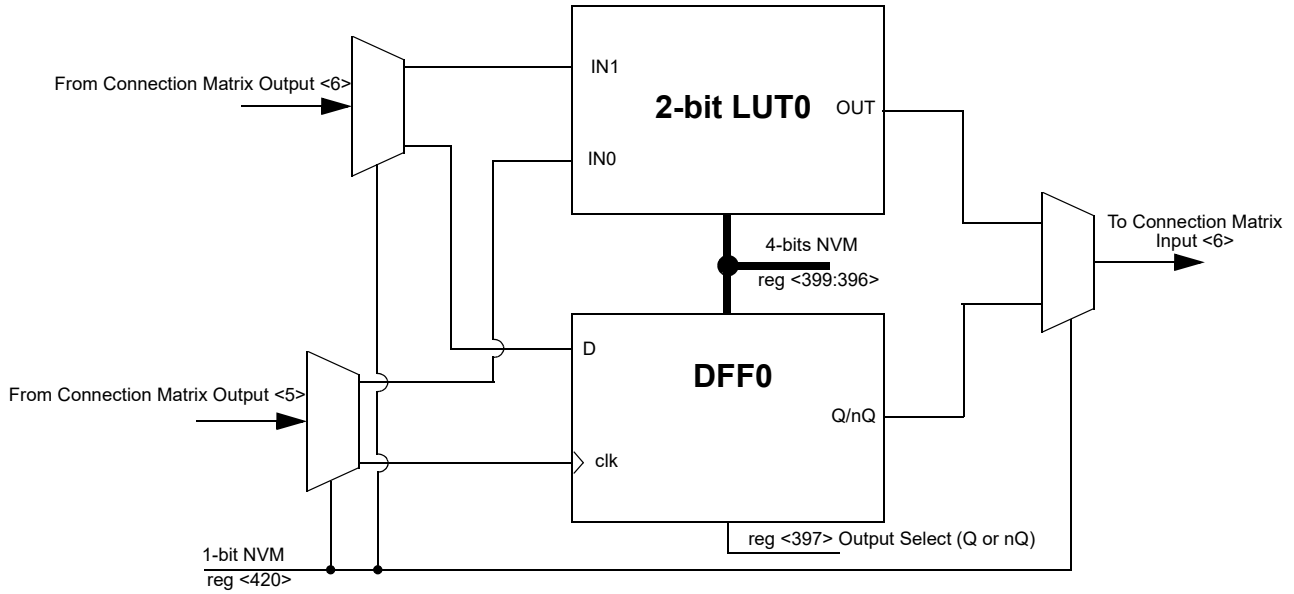


Figure 9. 2-bit LUT0 or DFF0

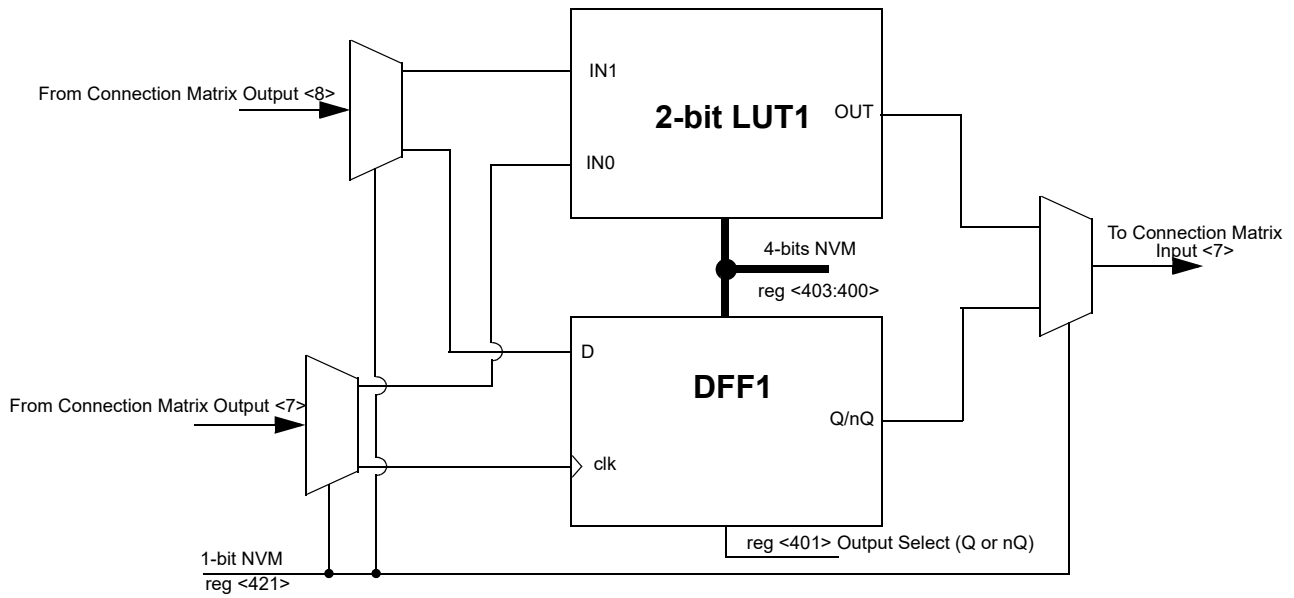


Figure 10. 2-bit LUT1 or DFF1

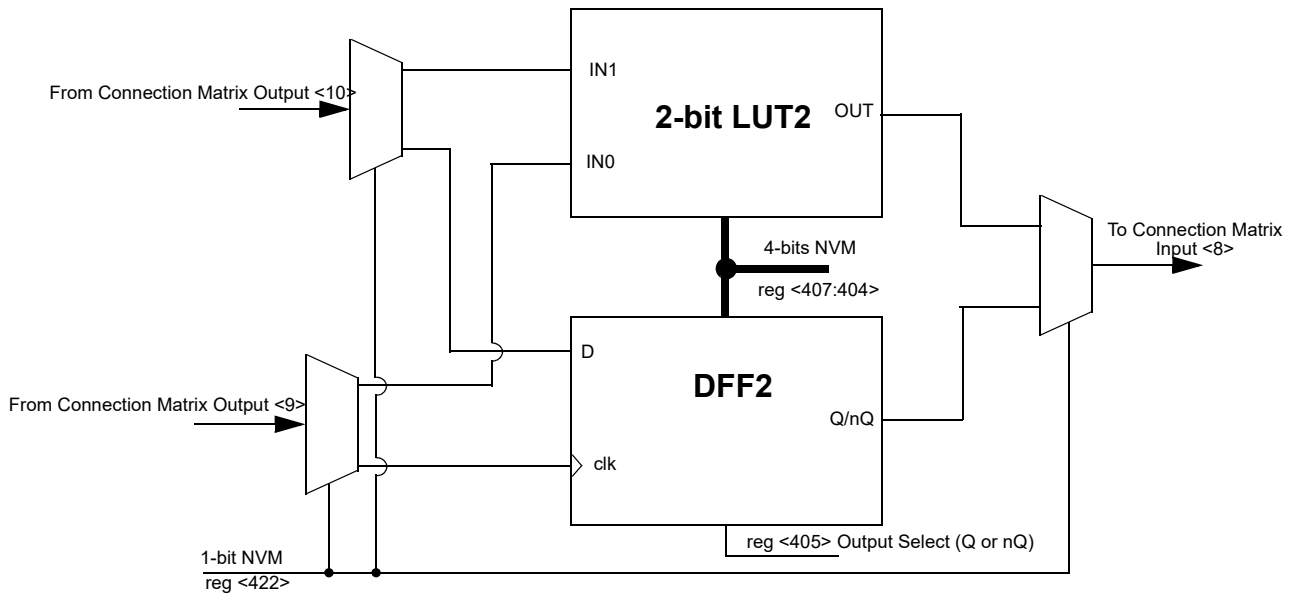


Figure 11. 2-bit LUT2 or DFF2

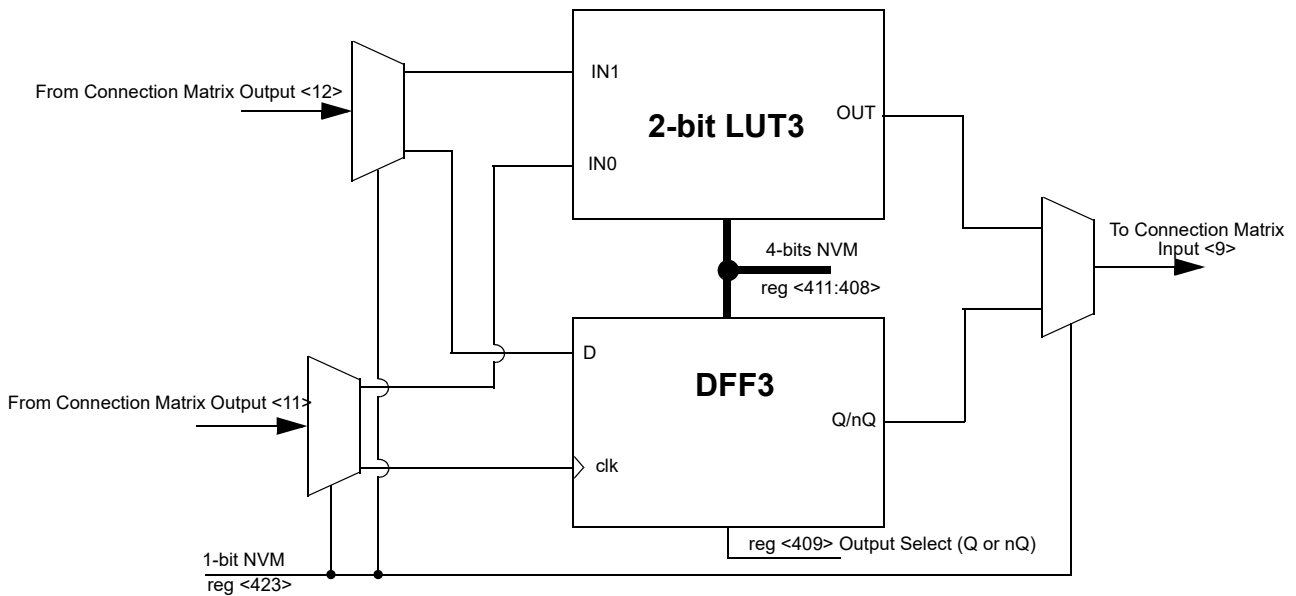


Figure 12. 2-bit LUT3 or DFF3



10.1.1 2ビットLUT、またはDフリップフロップ・マクロセル：2ビットLUTとして使用

Table 25. 2-bit LUT0 Truth Table.

IN1	IN0	OUT
0	0	reg <396>
0	1	reg <397>
1	0	reg <398>
1	1	reg <399>

Table 26. 2-bit LUT1 Truth Table.

IN1	IN0	OUT
0	0	reg <400>
0	1	reg <401>
1	0	reg <402>
1	1	reg <403>

Table 27. 2-bit LUT3 Truth Table.

IN1	IN0	OUT
0	0	reg <404>
0	1	reg <405>
1	0	reg <406>
1	1	reg <407>

Table 28. 2-bit LUT4 Truth Table.

IN1	IN0	OUT
0	0	reg <408>
0	1	reg <409>
1	0	reg <410>
1	1	reg <411>

各マクロセルは、2-bit ルックアップテーブルとしてプログラムされる時、その出力を4-bit レジスタにより設定します。

2-Bit LUT0 は、reg <399:396> により定義されます。

2-Bit LUT1 は、reg <403:400> により定義されます。

2-Bit LUT2 は、reg <407:404> により定義されます。

2-Bit LUT3 は、reg <411:408> により定義されます。



10.1.2 2ビットLUT、またはDフリップフロップ・マクロセル：Dフリップフロップとして使用

Table 29. DFF0 レジスタ設定

Signal Function	Register Bit Address	Register Definition
DFF0 or Latch select	reg <396>	0: DFF function 1: Latch function
DFF0 output select	reg <397>	0: Q output 1: nQ output
DFF0 initial polarity select	reg <398>	0: Low 1: High
LUT2_0 data	reg <399:396>	LUT2_0 data
LUT2_0 or DFF0 select	reg <420>	0: LUT2_0 1: DFF0

Table 30. DFF1 レジスタ設定

Signal Function	Register Bit Address	Register Definition
DFF1 or Latch select	reg <400>	0: DFF function 1: Latch function
DFF1 output select	reg <401>	0: Q output 1: nQ output
DFF1 initial polarity select	reg <402>	0: Low 1: High
LUT2_1 data	reg <403:400>	LUT2_1 data
LUT2_1 or DFF1 select	reg <421>	0: LUT2_1 1: DFF1

Table 31. DFF2 レジスタ設定

Signal Function	Register Bit Address	Register Definition
DFF2 or Latch select	reg <404>	0: DFF function 1: Latch function
DFF2 output select	reg <405>	0: Q output 1: nQ output
DFF2 initial polarity select	reg <406>	0: Low 1: High
LUT2_2 data	reg <407:404>	LUT2_0 data
LUT2_2 or DFF2 select	reg <422>	0: LUT2_2 1: DFF2



Table 32. DFF3 レジスタ設定

Signal Function	Register Bit Address	Register Definition
DFF3 or Latch select	reg <408>	0: DFF function 1: Latch function
DFF3 output select	reg <409>	0: Q output 1: nQ output
DFF3 initial polarity select	reg <410>	0: Low 1: High
LUT2_3 data	reg <411:408>	LUT2_1 data
LUT2_3 or DFF3 select	reg <423>	0: LUT2_3 1: DFF3

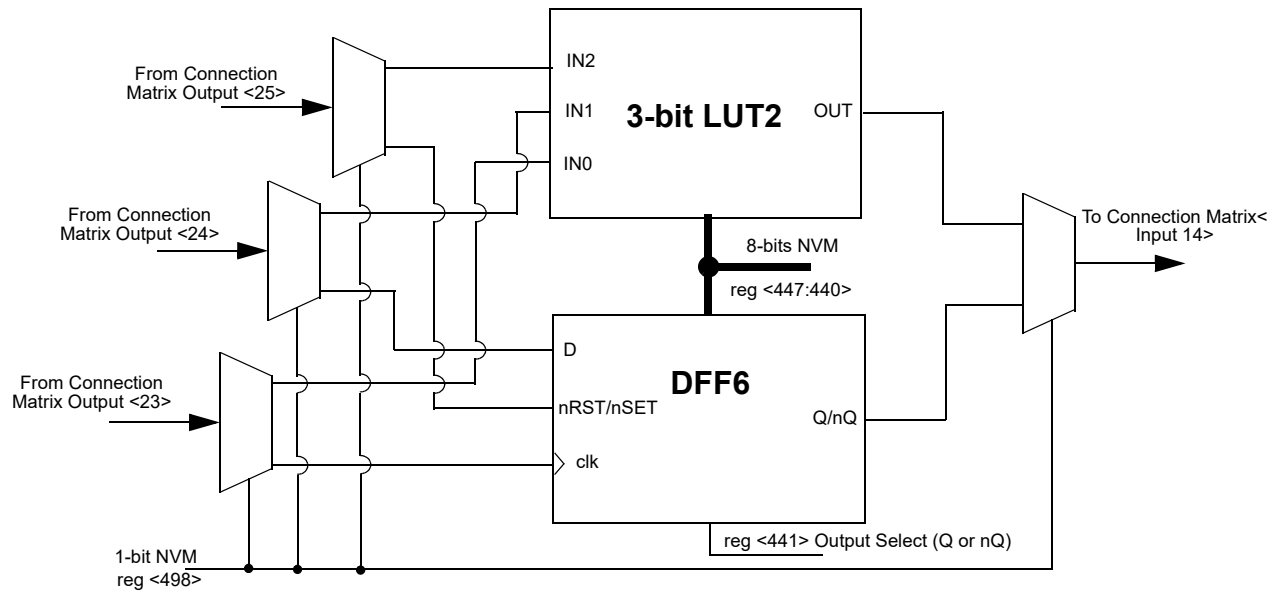


Figure 15. 3-bit LUT2 or DFF6

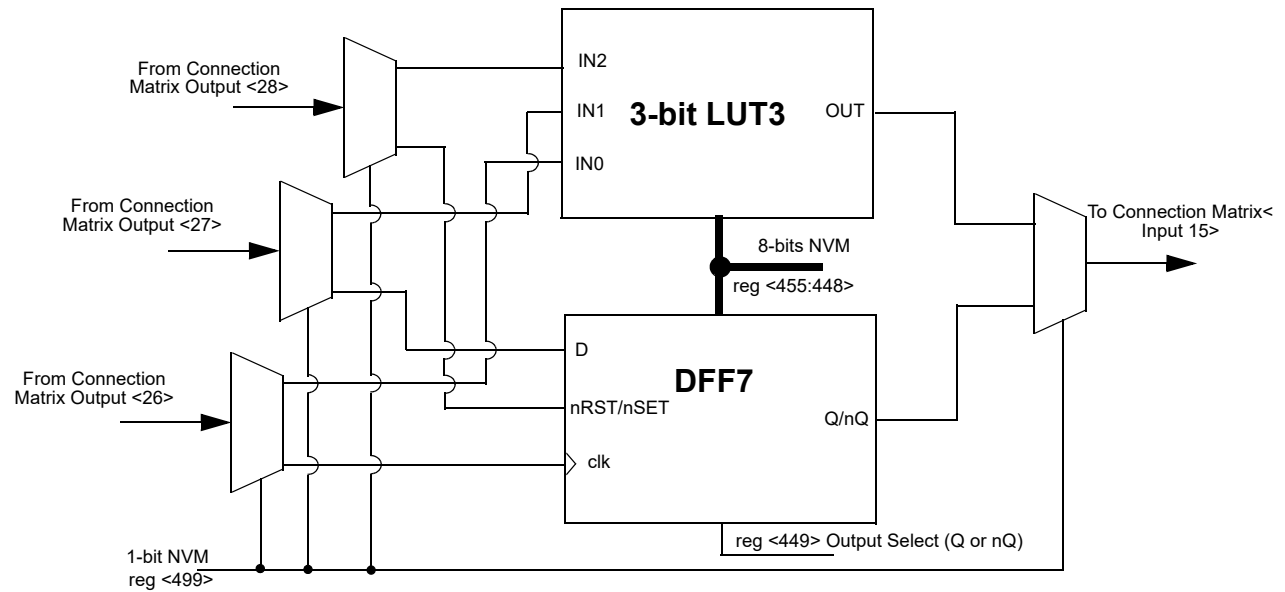


Figure 16. 3-bit LUT3 or DFF7



10.2.1 3ビットLUT、またはDフリップフロップ・マクロセル：3ビットLUTとして使用

Table 33. 3-bit LUT0 Truth Table.

IN2	IN1	IN0	OUT
0	0	0	reg <424>
0	0	1	reg <425>
0	1	0	reg <426>
0	1	1	reg <427>
1	0	0	reg <428>
1	0	1	reg <429>
1	1	0	reg <430>
1	1	1	reg <431>

Table 34. 3-bit LUT1 Truth Table.

IN2	IN1	IN0	OUT
0	0	0	reg <432>
0	0	1	reg <433>
0	1	0	reg <434>
0	1	1	reg <435>
1	0	0	reg <436>
1	0	1	reg <437>
1	1	0	reg <438>
1	1	1	reg <439>

Table 35. 3-bit LUT2 Truth Table.

IN2	IN1	IN0	OUT
0	0	0	reg <440>
0	0	1	reg <441>
0	1	0	reg <442>
0	1	1	reg <443>
1	0	0	reg <444>
1	0	1	reg <445>
1	1	0	reg <446>
1	1	1	reg <447>

Table 36. 3-bit LUT3 Truth Table.

IN2	IN1	IN0	OUT
0	0	0	reg <448>
0	0	1	reg <449>
0	1	0	reg <450>
0	1	1	reg <451>
1	0	0	reg <452>
1	0	1	reg <453>
1	1	0	reg <454>
1	1	1	reg <455>

各マクロセルは、3-bit ルックアップテーブルとしてプログラムされる時、その出力を 8-bit レジスタにより設定します。

3-Bit LUT0 は、reg <431:424> により定義されます。

3-Bit LUT1 は、reg <439:432> により定義されます。

3-Bit LUT2 は、reg <447:440> により定義されます。

3-Bit LUT3 は、reg <455:448> により定義されます。



10.2.2 3ビットLUT、またはDフリップフロップ・マクロセル：Dフリップフロップとして使用

Table 37. DFF4 レジスタ設定

Signal Function	Register Bit Address	Register Definition
DFF4 or Latch select	reg <424>	0: DFF function 1: Latch function
DFF4 output select	reg <425>	0: Q output 1: nQ output
DFF4 initial polarity select	reg <426>	0: Low 1: High
DFF4 rstb/setb Select	reg <427>	1: setb from matrix out 0: resetb from matrix out
LUT3_0 data	reg <431:424>	LUT3_0 data
LUT3_0 or DFF4 select	reg <496>	0: LUT3_0 1: DFF4

Table 38. DFF5 レジスタ設定

Signal Function	Register Bit Address	Register Definition
DFF5 or Latch Select	reg <432>	0: DFF function 1: Latch function
DFF5 Output Select	reg <433>	0: Q output 1: nQ output
DFF5 rstb/setb Select	reg <434>	1: setb from matrix out 0: resetb from matrix out
DFF5 initial polarity select	reg <435>	0: Low 1: High
LUT3_1 data	reg <439:432>	LUT3_1 data
LUT3_1 or DFF5 select	reg <487>	0: LUT3_1 1: DFF5

Table 39. DFF6 レジスタ設定

Signal Function	Register Bit Address	Register Definition
DFF6 or Latch select	reg <440>	0: DFF function 1: Latch function
DFF6 output select	reg <441>	0: Q output 1: nQ output
DFF6 initial polarity select	reg <442>	0: Low 1: High
DFF6 rstb/setb Select	reg <443>	1: setb from matrix out 0: resetb from matrix out
LUT3_2 data	reg <447:440>	LUT3_2 data
LUT3_2 or DFF6 select	reg <498>	0: LUT3_2 1: DFF6



Table 40. DFF7 レジスタ設定

Signal Function	Register Bit Address	Register Definition
DFF7 or Latch Select	reg <448>	0: DFF function 1: Latch function
DFF7 Output Select	reg <449>	0: Q output 1: nQ output
DFF7 rstb/setb Select	reg <450>	1: setb from matrix out 0: resetb from matrix out
DFF7 initial polarity select	reg <451>	0: Low 1: High
LUT3_3 data	reg <455:448>	LUT3_3 data
LUT3_3 or DFF7 select	reg <499>	0: LUT3_3 1: DFF7

10.3 3ビットLUT、またはパイプディレイ・マクロセル

1 個のマクロセルがあり、3 ビット LUT、またはパイプディレイとして使用可能です。

LUT として使用する場合には、コネクション・マトリクスから 3 つの入力を取り、1 つの出力をコネクション・マトリクスに返します。

パイプディレイとして使用する場合には、3つの入力 (Input (IN), Clock (CLK), Reset (nRESET)) をコネクション・マトリクスから受け取り、3つの出力をコネクション・マトリクスに返します。

パイプディレイ・マクロセルは8個のDフリップフロップが直列に接続される形で構成され、3つの出力のうち、1つは1段目に固定(1 PIPE OUT)されていますが、残りの2つ(OUT0, OUT1)は1～8段から選択可能です。

全体のディレイ時間は使用されているクロックで決まります。各 D フリップフロップが 1 クロックのディレイを持つため、パイプディレイで使用されている D フリップフロップの合計が全体のディレイ位時間を決定します。

例) 1段: 1クロック、3段: 3クロック、5段: 5クロック

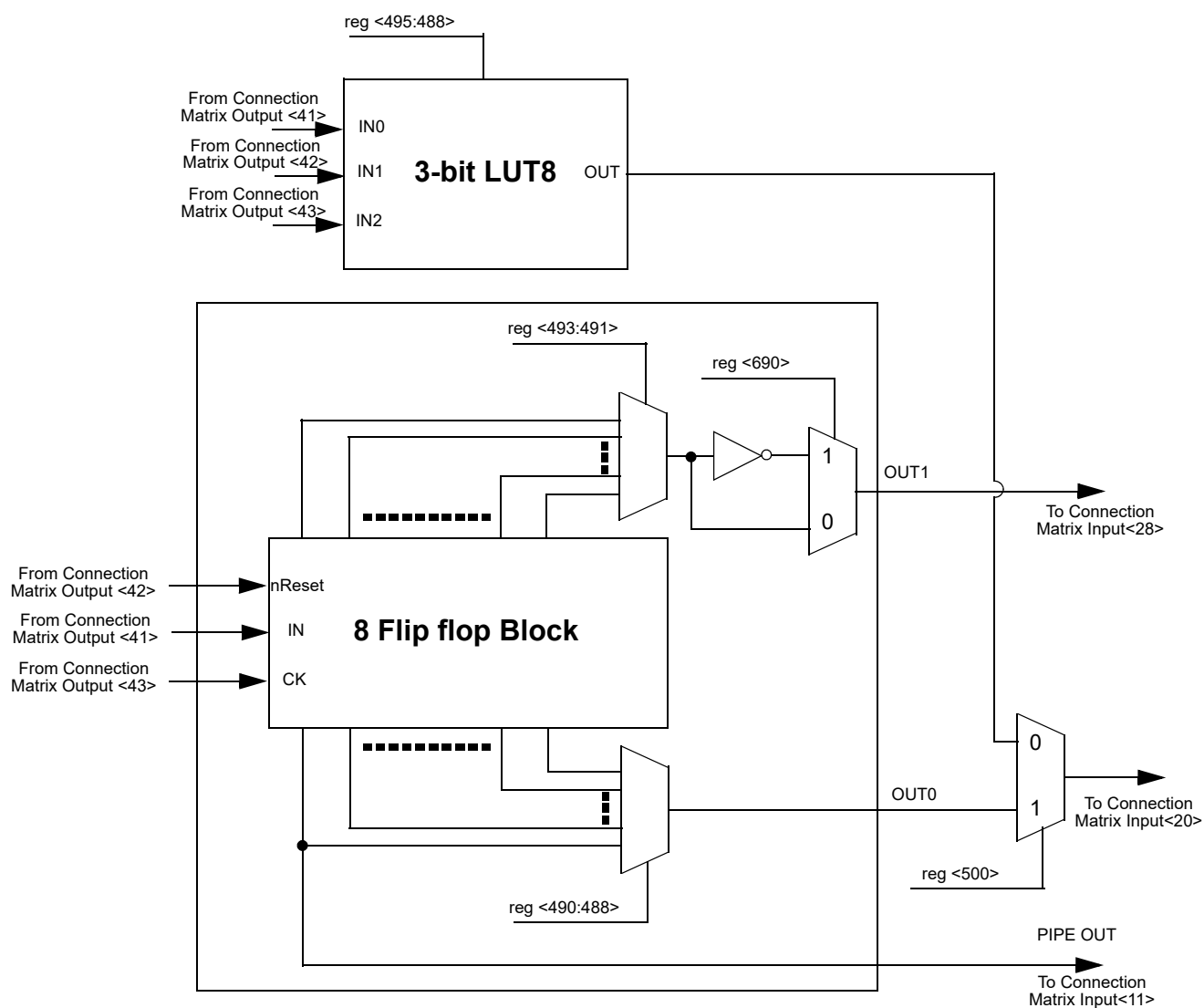


Figure 17. 3-bit LUT8 or Pipe Delay



10.3.1 3ビットLUT、またはパイプディレイ・マクロセル：3ビットLUTとして使用

Table 41. 3-bit LUT8 Truth Table.

IN2	IN1	IN0	OUT
0	0	0	reg <488>
0	0	1	reg <489>
0	1	0	reg <490>
0	1	1	reg <491>
1	0	0	reg <492>
1	0	1	reg <493>
1	1	0	reg <494>
1	1	1	reg <495>

マクロセルは、3-bit ルックアップテーブルとしてプログラムされる時、その出力を8-bit レジスタにより設定します。

3-Bit LUT8 は、reg <495:488> により定義されます。

10.3.2 3ビットLUT、またはパイプディレイ・マクロセル：パイプディレイとして使用

Table 42. Pipe Delay レジスタ設定

Signal Function	Register Bit Address	Register Definition
OUT0 select	reg <490:488>	data (pipe number)
OUT1 select	reg <493:491>	data (pipe number)
Unused if Pipe Delay selected	reg <495:494>	Unused
LUT3_8 or pipe delay output select	reg <500>	0: LUT3_8 1: pipe delay



10.4 4ビットLUT、または8ビットカウンタ／ディレイ・マクロセル

2個のマクロセルがあり、4ビットLUTまたはカウンタ／ディレイとして使用可能です。

LUTとして使用するには、コネクショントリクスから4つの入力を取り、1つの出力をコネクショントリクスに返します。

8ビットカウンタ／ディレイとして使用するには2つの入力信号（クロック (CLK)、ディレイ (DELAY_IN) またはリセット (RESET_IN)) をコネクショントリクスから受け取り、出力をコネクショントリクスに返します。

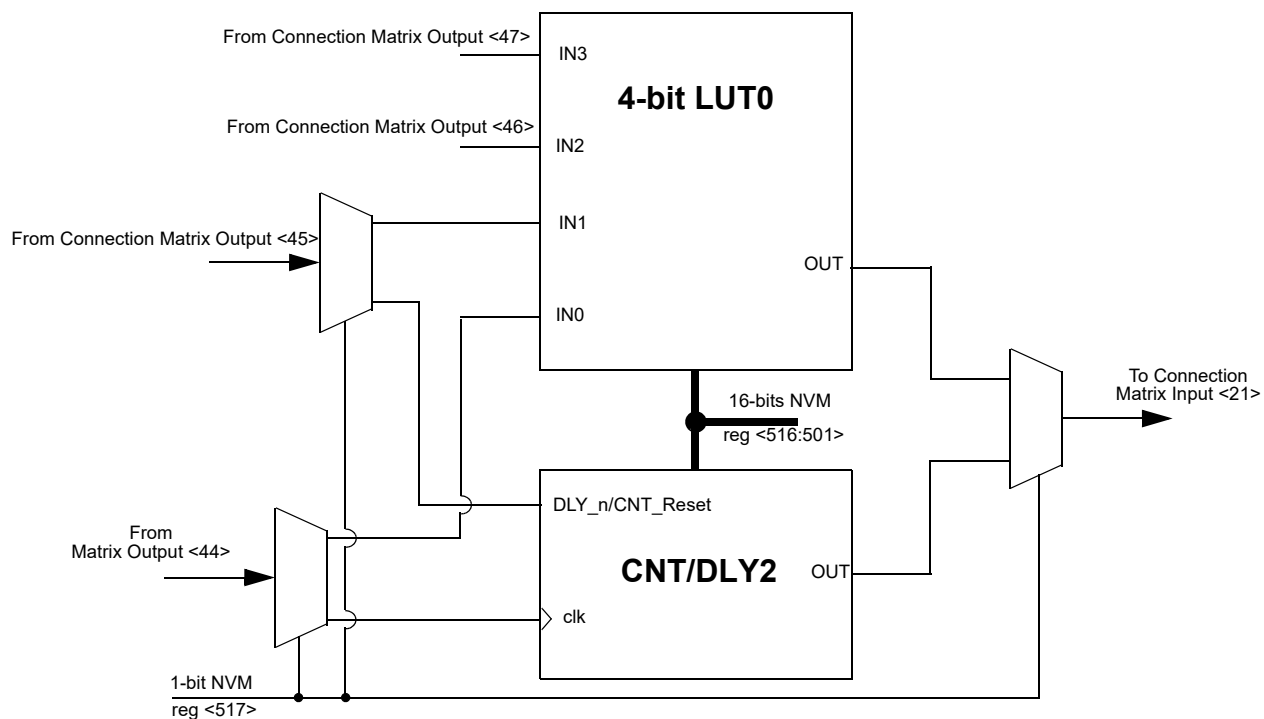


Figure 18. 4-bit LUT0 or CNT/DLY2

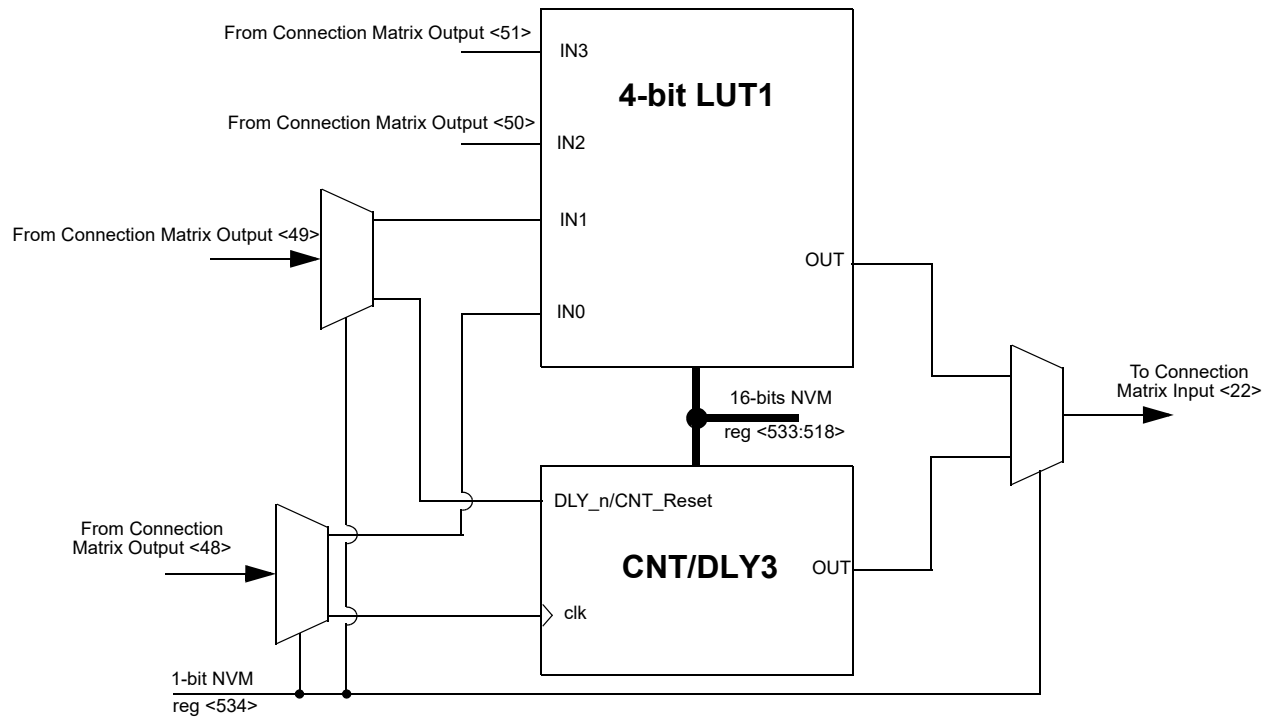


Figure 19. 4-bit LUT1 or CNT/DLY3



10.4.1 4ビットLUT,または8ビットカウンタ/ディレイ・マクロセル: 4ビットLUTとして使用

Table 43. 4-bit LUT0 Truth Table.

IN3	IN2	IN1	IN0	OUT
0	0	0	0	reg <501>
0	0	0	1	reg <502>
0	0	1	0	reg <503>
0	0	1	1	reg <504>
0	1	0	0	reg <505>
0	1	0	1	reg <506>
0	1	1	0	reg <507>
0	1	1	1	reg <508>
1	0	0	0	reg <509>
1	0	0	1	reg <510>
1	0	1	0	reg <511>
1	0	1	1	reg <512>
1	1	0	0	reg <513>
1	1	0	1	reg <514>
1	1	1	0	reg <515>
1	1	1	1	reg <516>

Table 44. 4-bit LUT1 Truth Table.

IN3	IN2	IN1	IN0	OUT
0	0	0	0	reg <518>
0	0	0	1	reg <519>
0	0	1	0	reg <520>
0	0	1	1	reg <521>
0	1	0	0	reg <522>
0	1	0	1	reg <523>
0	1	1	0	reg <524>
0	1	1	1	reg <525>
1	0	0	0	reg <526>
1	0	0	1	reg <527>
1	0	1	0	reg <528>
1	0	1	1	reg <529>
1	1	0	0	reg <530>
1	1	0	1	reg <531>
1	1	1	0	reg <532>
1	1	1	1	reg <533>

各マクロセルは、4-bit ルックアップテーブルとしてプログラムされるとき、その出力を8-bit レジスタにより設定します。

4-Bit LUT0 は、reg <516:501> により定義されます。

4-Bit LUT1 は、reg <533:518> により定義されます。

Table 45. 4-bit LUT 標準論理機能.

Function	MSB															LSB
AND-4	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
NAND-4	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
OR-4	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
NOR-4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
XOR-4	0	1	1	0	1	0	0	1	1	0	0	1	0	1	1	0
XNOR-4	1	0	0	1	0	1	1	0	0	1	1	0	1	0	0	1



10.4.2 4ビットLUT,または8ビットカウンタ/ディレイ・マクロセル: 8ビットカウンタ/ディレイとして使用

Table 46. CNT/DLY2 レジスタ設定

Signal Function	Register Bit Address	Register Definition
Counter/delay2 Mode Selection	reg <501>	0: Delay Mode 1: Counter Mode
Counter/delay2 Clock Source Select	reg <504:502>	000: Internal OSC Clock 001: OSC/4 010: OSC/12 011: OSC/24 100: OSC/64 101: External Clock 110: External Clock 111: Counter1 Overflow
Counter/delay2 Control Data	reg <512:505>	1 – 256 (delay time = (counter control data +2) /freq)
Delay2 Mode Select or asynchronous counter reset	reg <514:513>	00: Delay on both falling and rising edges (for delay & counter reset) 01: Delay on falling edge only (for delay & counter reset Delay) 10: on rising edge only (for delay & counter reset) 11: No delay on either falling or rising edges / high level reset for counter mode
LUT4_0 or Counter2 select	reg <517>	0: LUT4_0 1: Counter2

Table 47. CNT/DLY3 レジスタ設定

Signal Function	Register Bit Address	Register Definition
Counter/delay3 Mode Selection	reg <518>	0: Delay Mode 1: Counter Mode
Counter/delay3 Clock Source Select	reg <521:519>	000: Internal OSC Clock 001: OSC/4 010: OSC/12 011: OSC/24 100: OSC/64 101: External Clock 110: External Clock 111: Counter2 Overflow
Counter/delay3 Control Data	reg <529:522>	1 – 256 (delay time = (counter control data +2) /freq)
Delay3 Mode Select or asynchronous counter reset	reg <531:530>	00: Delay on both falling and rising edges (for delay & counter reset) 01: Delay on falling edge only (for delay & counter reset Delay) 10: on rising edge only (for delay & counter reset) 11: No delay on either falling or rising edges / high level reset for counter mode
LUT4_1 or Counter3 select	reg <534>	0: LUT4_1 1: Counter3



10.5 プログラマブル・ディレイ／エッジ・ディテクタ

プログラマブル・ディレイは次の4つのディレイパターンを生成可能です。

立ち上がりエッジ検出、立ち下がりエッジ検出、両エッジ検出、両エッジディレイ
また、ディレイ時間は1から4まで選択可能で、この間のグリッチは無視されます。
詳細については下記のタイミングダイアグラムを参照してください。

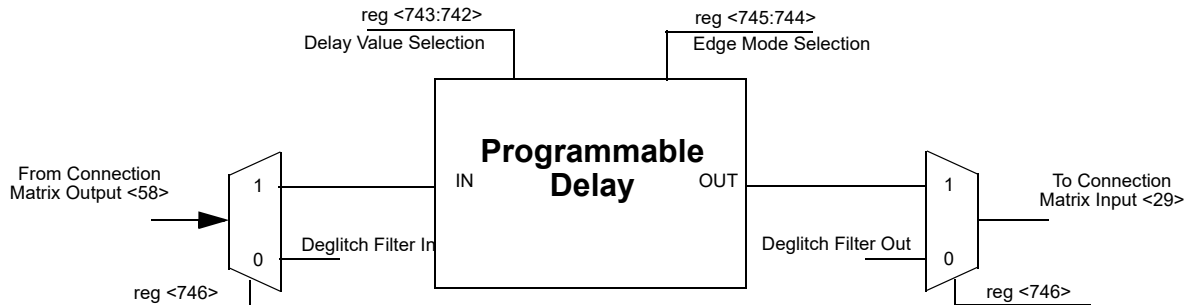


Figure 20. Programmable Delay

10.6 プログラマブル・ディレイ タイミング： エッジ検出出力

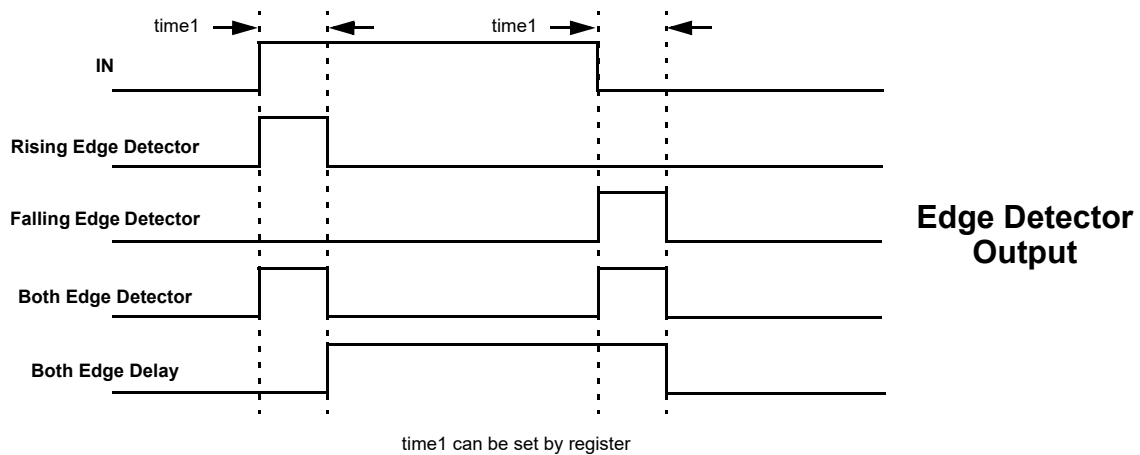


Figure 21. Edge Detector Output

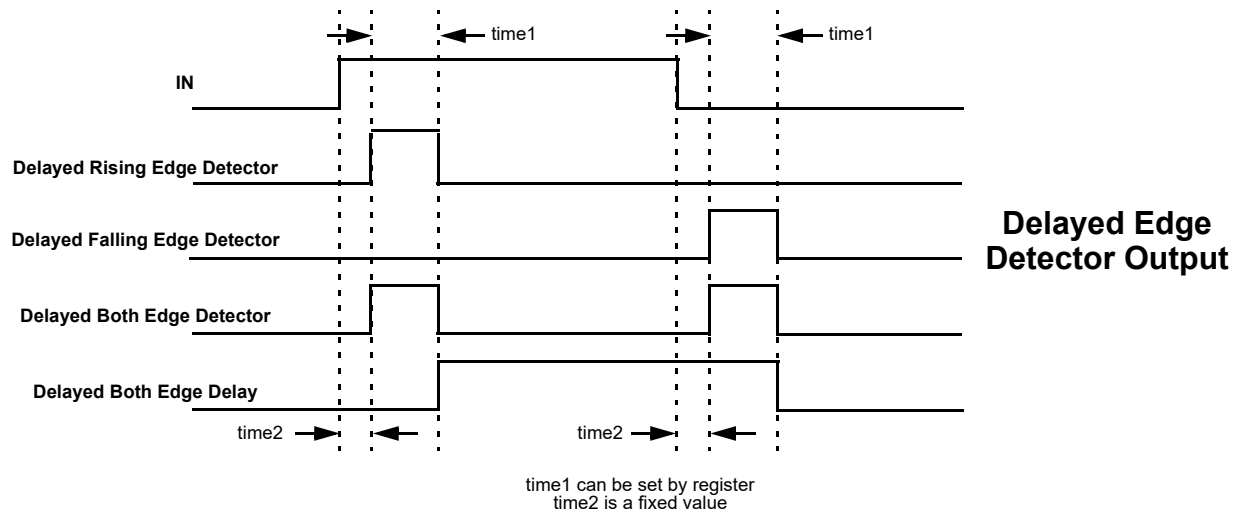


Figure 22. Delayed Edge Detector Output

Note: For delays and widths refer to Table 4.



10.6.1 プログラマブル・ディレイ レジスタ設定

Table 48. Programmable Delay レジスタ設定

Signal Function	Register Bit Address	Register Definition
Programmable delay or filter output select	reg <746>	0: programmable delay output 1: filter output
Select the edge mode of programmable delay & edge detector	reg <745:744>	00: Rising Edge Detector 01: Falling Edge Detector 10: Both Edge Detector 11: Both Edge Delay
Delay value select for programmable delay & edge detector (VDD = 3.3V, typical condition)	reg <743:742>	00: 163 ns 01: 305 ns 10: 446 ns 11: 588 ns



10.7 デグリッチ・フィルタ

1 個のデグリッチ・フィルタがあり、その入出力はコネクション・マトリクスに接続されています。
(10.5 プログラマブル・ディレイとの排他選択)

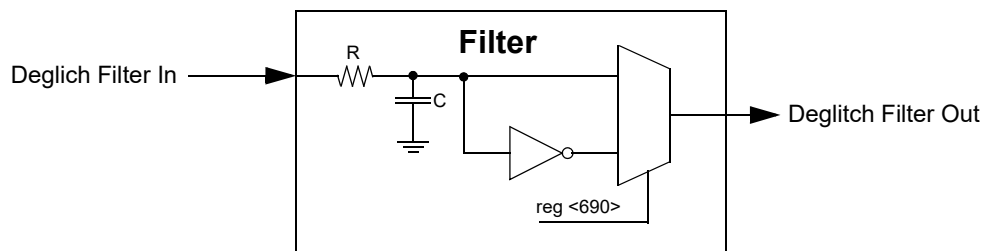


Figure 23. Deglitch Filter



11.0 アナログ・コンパレータ (ACMP)

SLG46120 には、2つのアナログ・コンパレータ (ACMP) のマクロセルが内蔵されています。ACMP のセルを GreenPAK のデザインで使用するには、パワーアップ信号 (ACMP0_pdb and ACMP1_pdb) をアクティブにする必要があります。配線マトリクスからの信号を接続することで、各 ACMP が継続的に動作したり、継続的にオフ状態だったり、マトリクスからのデジタル信号により間欠動作したりすることが可能になります。ACMP がオフ状態のとき、その出力は Low になります。各 ACMP のセルには、種々の外部回路から接続できるプラス側の入力があり、選択可能なゲインの設定を経由して ACMP に入力されます。マイナス側の入力には、内蔵または外部から基準電圧が入力されます。各 ACMP のセルは、入力信号の帯域幅を選択可能で、帯域が狭い信号が ACMP に入力されるときに電力消費を抑える効果があります。

もし、入力周波数が 200kHz を超えると、出力はそれ以前の値を保持します。各セルは、ヒステリシスの選択が可能であり、0 mV, 25 mV, 50 mV または 200 mV から選択できます。電源投入時、ACMP の出力は Low レベルを維持しており、POR から 110us (max) 後に High に上がります (図 24 参照)。

(注) 最初の電源投入時

(注) レギュレータおよびチャージポンプの設定は、自動 ON/OFF

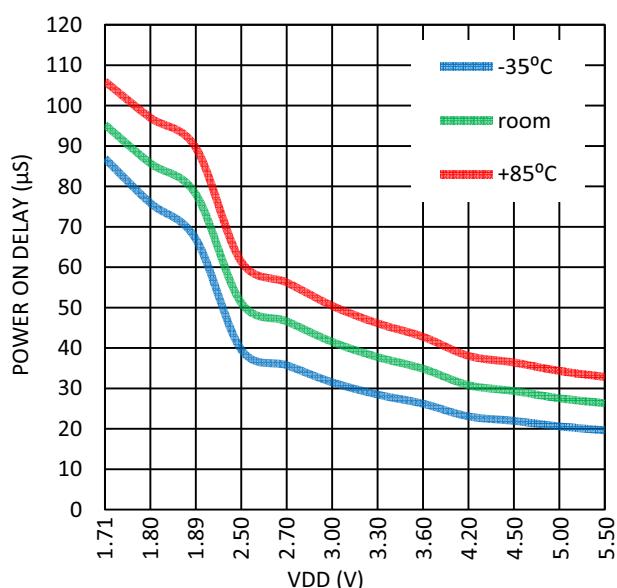


Figure 24. Maximum Power On Delay vs. VDD.

各 ACMP には、各種の外部信号源から供給可能なプラス側の入力があり、その前段にはさらに選択可能なゲインステージ (1X, 0.5X, 0.33X, 0.25X) があり、信号のゲインを調節します。ゲインの分圧回路は 250 kΩ (typ.) の抵抗で構成され、バッファ回路はありません (表 49 参照)。ゲインの分圧精度については、表 50 を参照下さい。

マイナス側の入力電圧範囲：0 - 1.2V

Vref の選択肢には VDD/4 と VDD/3 もあり、入力電圧範囲を守る必要があります。

Table 49. Gain Divider Input Resistance (typ.).

Gain	1X	0.5X	0.33X	0.25X
Input Resistance	100M	1M	0.75M	1M

Table 50. Gain Divider Accuracy.

Gain	0.5X	0.33X	0.25X
Accuracy	±0.6%	±0.9%	±0.28%



各 ACMP セルには、内蔵または外部の基準電圧 (Vref) を入力するマイナス側の入力端子があります。内蔵の Vref の精度は、1000 mV 付近で最適化されています。

(注) 電源コントロールの設定は、ACMP の動作に影響を持ちます。

(注) ACMP に電源が入ると内蔵のバンドギャップ回路も動作状態になります。Force BandGap のオプションがディセーブル状態でも、アナログ電圧が Vref に現れます。

アナログ・コンパレータの設定には、次のようなオプションがあります。

- ヒステリシス：入力信号のヒステリシスのオプションは、無、25 mV, 50 mV, 200 mV
- 低帯域幅：イネーブル、ディセーブル
- IN+ ゲイン: 1X, 0.5X, 0.33X, 0.25X
- IN+ 供給源
 - ACMP0 IN+ (プラス側入力) オプション：PIN 3, VDD
 - ACMP1 IN+ (プラス側入力) オプション：PIN 6, ACMP0 IN+
- IN- 供給源
 - ACMP0 IN- (マイナス側入力) オプション：内蔵24の基準電圧 (50 mV – 1200 mV) およびVDD/3, VDD/4, PIN 4
 - PWR UP=0：ACMPは待機状態、PWR UP=1：ACMPは動作状態

全てのACMPは、マイナス側入力を共通にできます。これは、ACMP0 に対して PIN 4 をアナログ I/O として接続することにより、実現できます。

11.1 ACMP0 ブロック・ダイアグラム

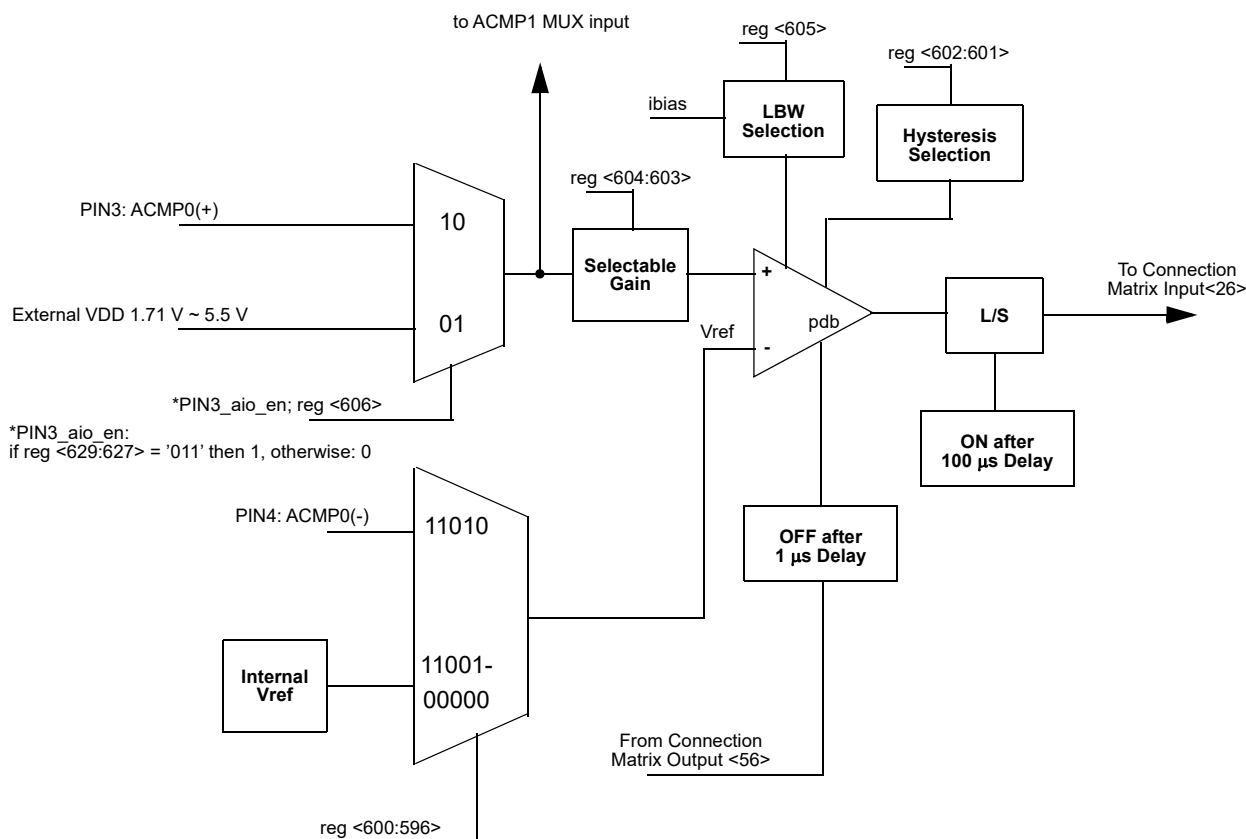


Figure 25. ACMP0 Block Diagram



11.2 ACMP0 レジスタ設定

Table 51. ACMP0 レジスタ設定

Signal Function	Register Bit Address	Register Definition
ACMP0 In Voltage Select	reg <600:596>	00000: 50 mV 00001: 100 mV 00010: 150 mV 00011: 200 mV 00100: 250 mV 00101: 300 mV 00110: 350 mV 00111: 400 mV 01000: 450 mV 01001: 500 mV 01010: 550 mV 01011: 600 mV 01100: 650 mV 01101: 700 mV 01110: 750 mV 01111: 800 mV 10000: 850 mV 10001: 900 mV 10010: 950 mV 10011: 1 V 10100: 1.05 V 10101: 1.1 V 10110: 1.15 V 10111: 1.2 V 11000: VDD/3 11001: VDD/4 11010: EXT_VREF (PIN4)
ACMP0 Hysteresis Enable	reg <602:601>	00: Disabled (0 mV) 01: Enabled (25 mV) 10: Enabled (50 mV) 11: Enabled (200 mV)
ACMP0 Positive Input Divider	reg <604:603>	00: 1.00X 01: 0.50X 10: 0.33X 11: 0.25X
ACMP0 Low Bandwidth (Max: 1 MHz) Enable	reg <605>	0: Off 1: On
ACMP0 positive input source select PIN3 and VDD	reg <606>	0: Pin3 1: VDD



11.3 ACMP1 ブロック・ダイアグラム

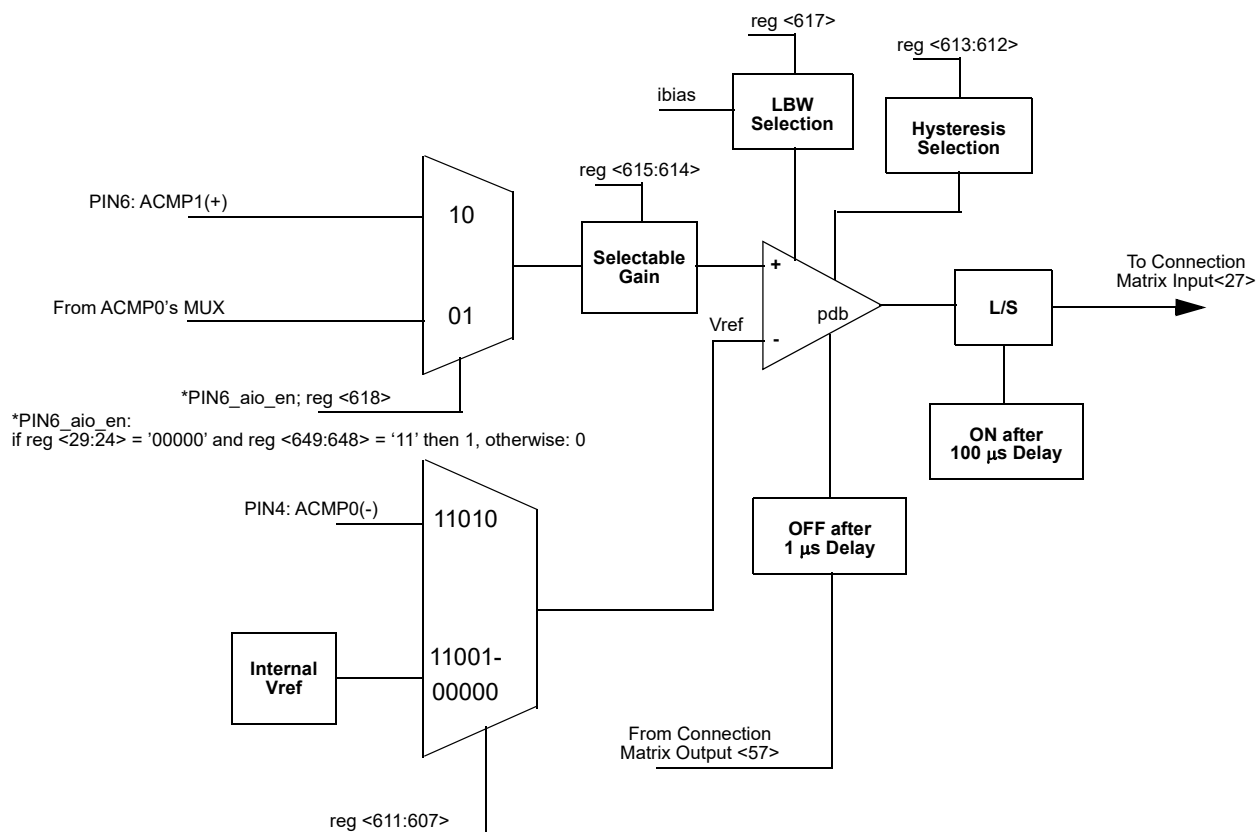


Figure 26. ACMP1 Block Diagram



11.4 ACMP1 レジスタ設定

Table 52. ACMP1レジスタ設定

Signal Function	Register Bit Address	Register Definition
ACMP1 In Voltage Select	reg <611:607>	00000: 50 mV 00001: 100 mV 00010: 150 mV 00011: 200 mV 00100: 250 mV 00101: 300 mV 00110: 350 mV 00111: 400 mV 01000: 450 mV 01001: 500 mV 01010: 550 mV 01011: 600 mV 01100: 650 mV 01101: 700 mV 01110: 750 mV 01111: 800 mV 10000: 850 mV 10001: 900 mV 10010: 950 mV 10011: 1 V 10100: 1.05 V 10101: 1.1 V 10110: 1.15 V 10111: 1.2 V 11000: VDD/3 11001: VDD/4 11010: EXT_VREF (PIN4)
ACMP1 Hysteresis Enable	reg <613:612>	00: Disabled (0 mV) 01: Enabled (25 mV) 10: Enabled (50 mV) 11: Enabled (200 mV)
ACMP1 Positive Input Divider	reg <615:614>	00: 1.00X 01: 0.50X 10: 0.33X 11: 0.25X
ACMP1 100 μ A Current Source Option	reg <616>	1: Disable 0: Enable
ACMP1 Low Bandwidth (Max: 1 MHz) Enable	reg <617>	1: On 0: Off
ACMP1 positive input source select PIN3 and Pin6	reg <618>	0: Pin6 1: Pin3



11.5 主な特性のグラフ

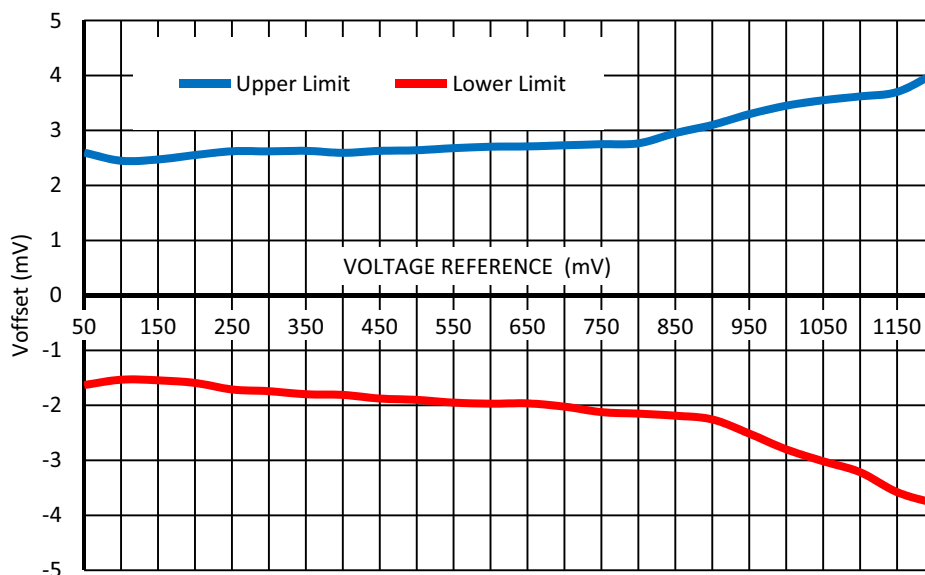
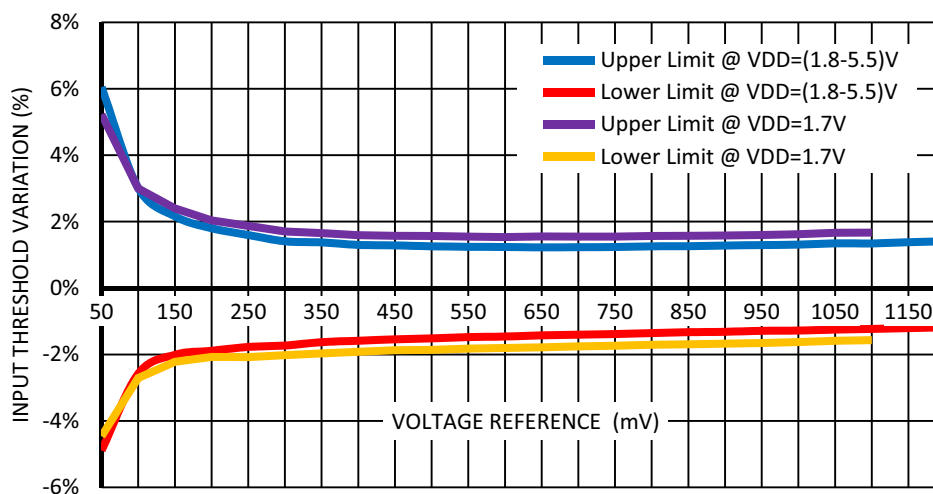


Figure 27. 基準電圧に対する入力オフセット電圧の特性 (室温)
LBW Mode – Disable, $V_{\text{hys}}=0$ mV, $V_{\text{DD}}=(1.7 - 5.5)$ V.

注: $V_{\text{DD}} < 1.8\text{V}$ のとき、基準電圧は 1100 mV を超えません。



基準電圧に対する入力閾値電圧のばらつき範囲 (含Vref ばらつき、ACMP オフセット) (室温)
LBW Mode – Disable, $V_{\text{hys}}=0$ mV.

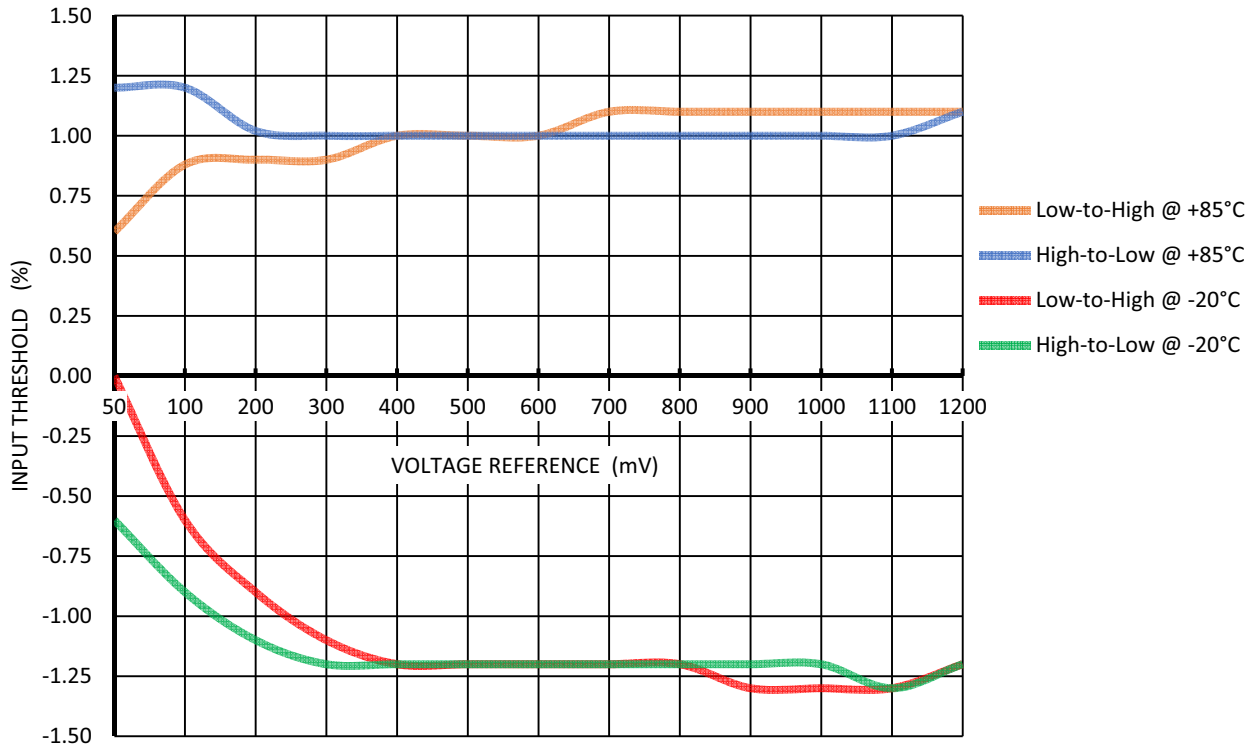


Figure 28. 基準電圧に対する入力閾値の比率 : $V_{DD} = (1.71 - 5.5) V$, $V_{Hys} = 0$, Gain = 1

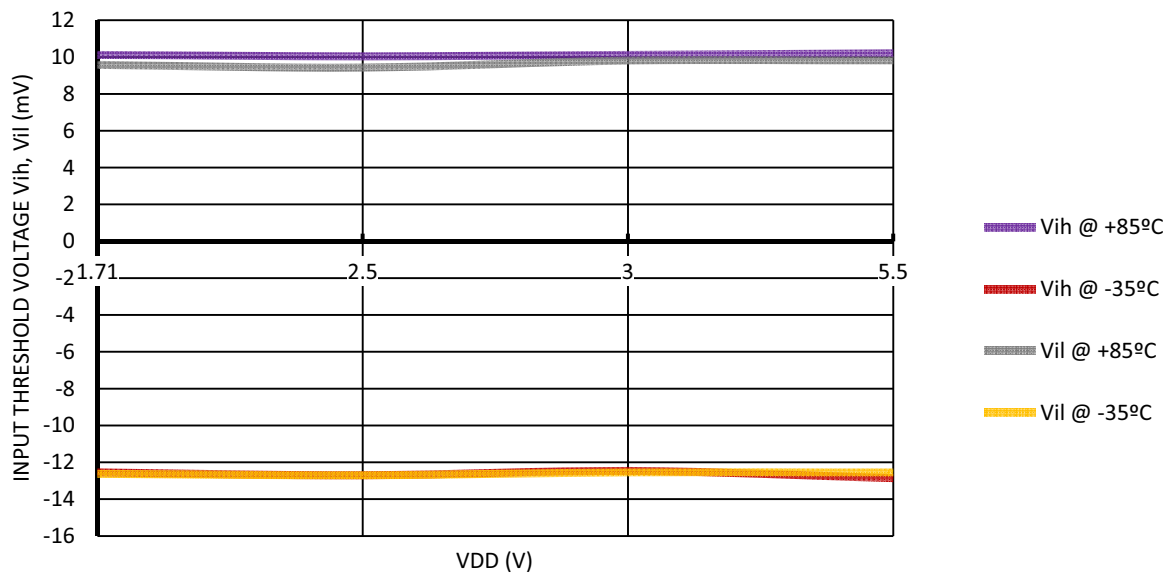


Figure 29. 電源電圧に対する入力閾値電圧 V_{ih} , V_{il} : $V_{ref} = 1000 mV$, Gain = 1

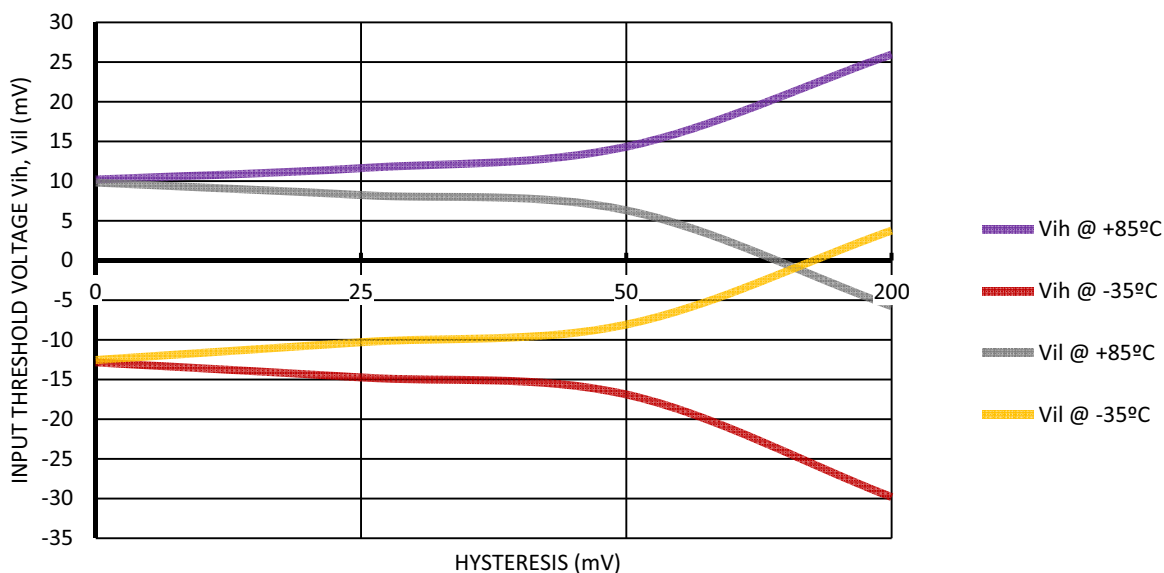


Figure 30. ヒステリシスに対する入力閾値電圧 V_{ih} , V_{il} : $V_{DD} = 5.5$ V, $V_{ref} = 1000$ mV. Gain = 1

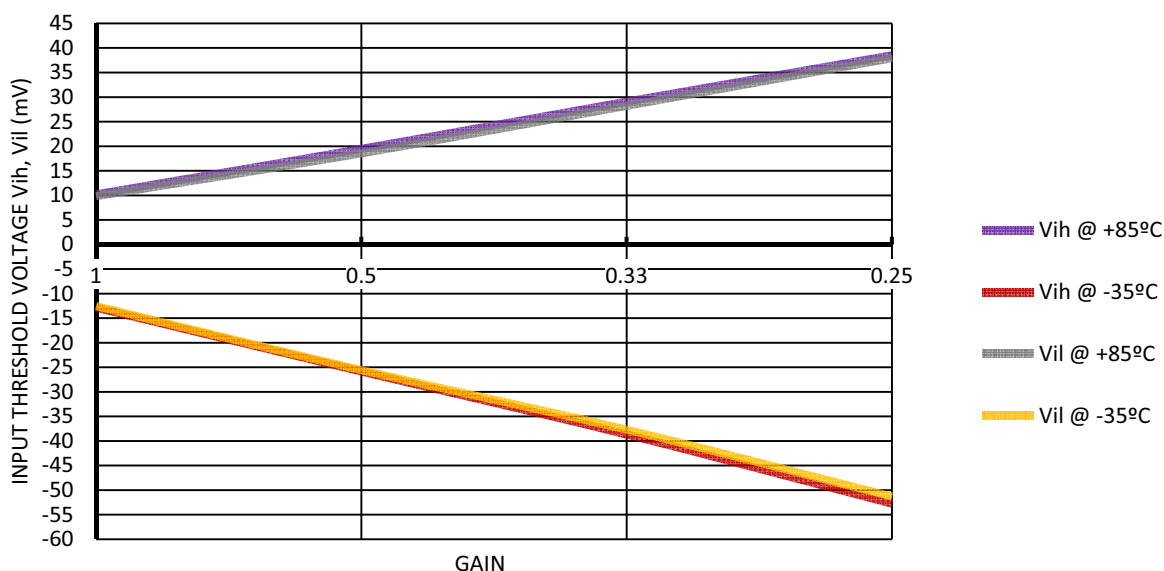


Figure 31. ゲインに対する入力閾値電圧 V_{ih} , V_{il} : Hysteresis = 0, $V_{DD} = 5.5$ V, $V_{ref} = 1000$ mV

Table 53. 内蔵のヒステリシスのばらつき範囲.

V _{hys} (mV)	V _{DD} =(1.7-1.8) V						V _{DD} =(1.89-5.5) V					
	V _{ref} = (50-500) mV		V _{ref} = (550-1000) mV		V _{ref} = (1050-1200) mV		V _{ref} = (50-500) mV		V _{ref} = (550-1000) mV		V _{ref} = (1050-1200) mV	
	min	max	min	max	min	max	min	max	min	max	min	max
25	18.9	26.4	17.3	26.1	13.0	24.6	18.8	26.5	17.8	26.1	15.6	25.5
50	40.3	50.4	37.9	50.1	28.9	47.7	40.3	50.5	39.5	50.1	34.5	49.5
200	180.5	208.4	172.9	210.7	153.5	217.2	180.6	207.7	180.2	210.8	166.5	211.9



11.6 タイミング特性

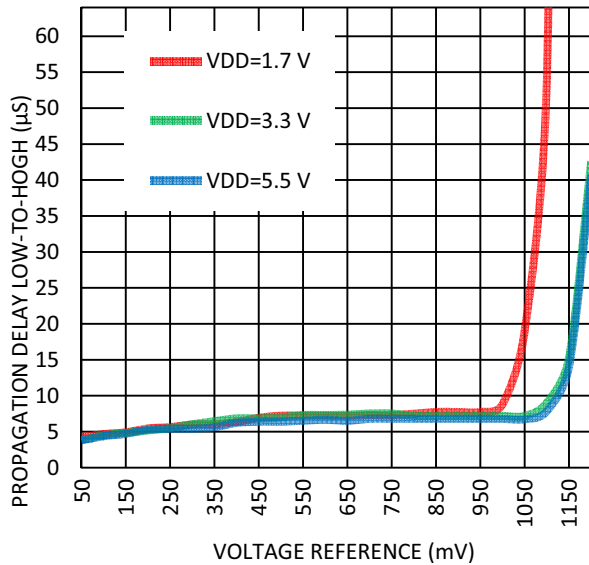


Figure 32. 最大伝搬遅延 Low-to-High
vs. Voltage Reference at Room Temperature,
Vod = 2 mV.

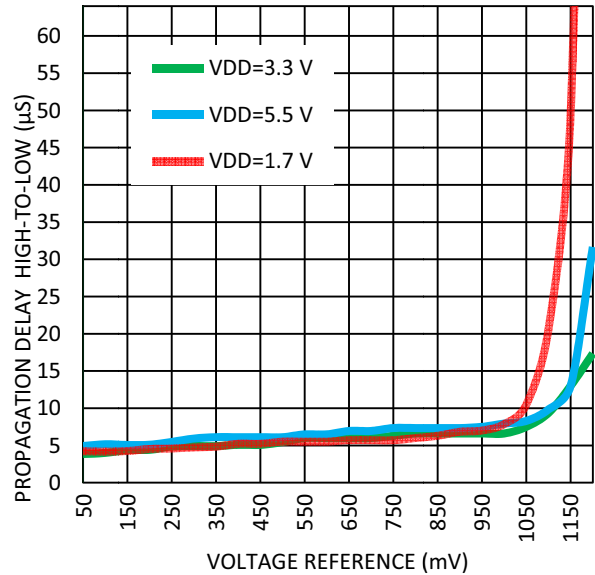


Figure 34. 最大伝搬遅延 High-to-Low
vs. Voltage Reference at Room Temperature,
Vod = 2 mV.

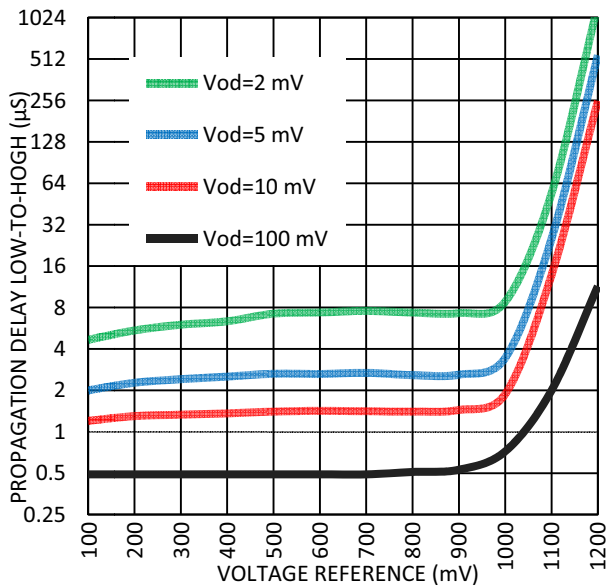


Figure 33. 最大伝搬遅延 Low-to-High
vs. Voltage Reference at Room Temperature,
VDD = (1.71 - 1.89) V.

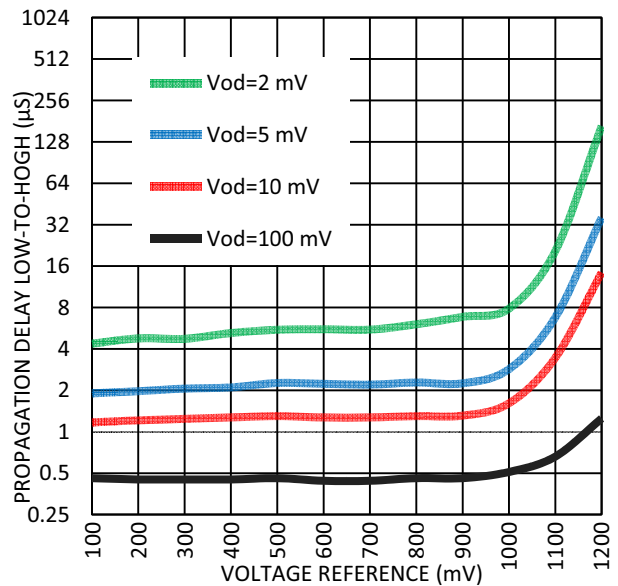


Figure 35. 最大伝搬遅延 High-to-Low
vs. Voltage Reference at Room Temperature,
VDD = (1.71 - 1.89) V.

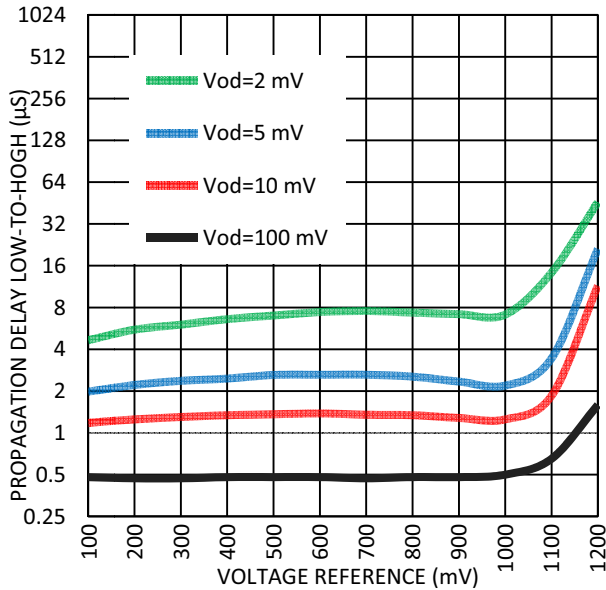


Figure 36. 最大伝搬遅延 Low-to-High vs. Voltage Reference at Room Temperature, VDD = (1.89 – 3.6) V.

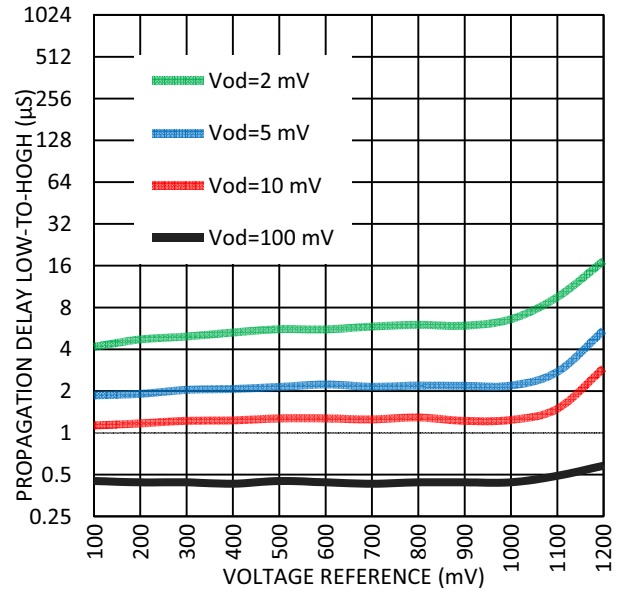


Figure 38. 最大伝搬遅延 High-to-Low vs. Voltage Reference at Room Temperature, VDD = (1.89 – 3.6) V.

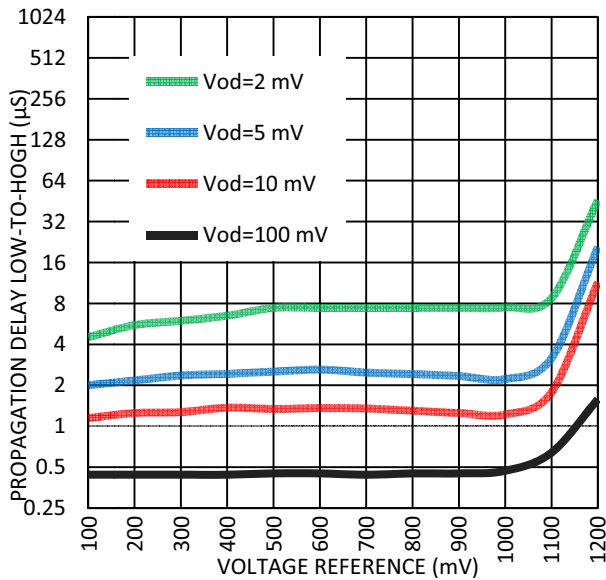


Figure 37. 最大伝搬遅延 Low-to-High vs. Voltage Reference at Room Temperature, VDD = (3.6 – 5.5) V.

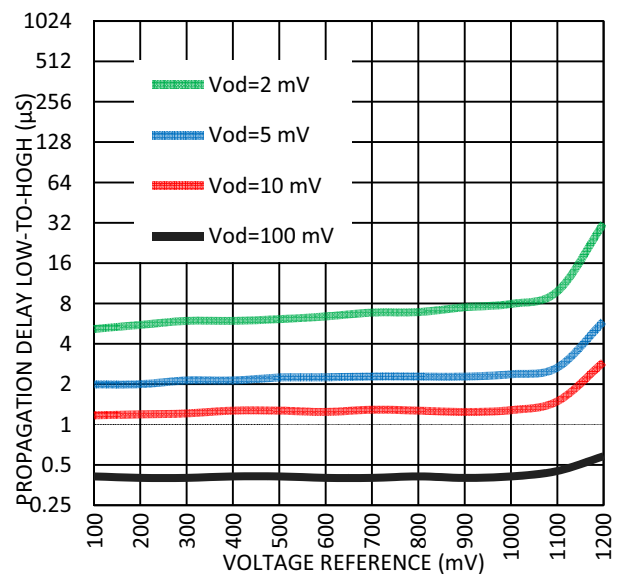


Figure 39. 最大伝搬遅延 High-to-Low vs. Voltage Reference at Room Temperature, VDD = (3.6 – 5.5) V.



12.0 カウンタ／ディレイ・ジェネレータ (CNT/DLY)

2個のカウンタ／ディレイ・ジェネレータがあり、CNT/DLY0は14ビット、CNT/DLY1は8ビットです。柔軟性を持たせるため、各カウンタ／ディレイは外部クロックを含む幅広い範囲のクロックを選択可能です。また、長いカウンタ・ディレイを作成するために、1つ前のカウンタ・ディレイと接続することも可能です。

例) CNT0 → CNT1 → CNT2 → CNT3 と接続して $14 + 8 + 8 + 8 = 38$ ビットカウンタを作成

カウンタ・ディレイ・ジェネレータはコネクション・マトリクスから2つの入力を受け取ります。

1つはディレイ／リセット入力 (DLY IN / RESET IN)、もう1つは外部カウンタ／クロック入力です。

また、この2つは4ビット LUT としても使用可能です。詳細についてはセクション 10.4 「4ビット LUT、または8ビットカウンタ／ディレイ・マクロセル」を参照してください。

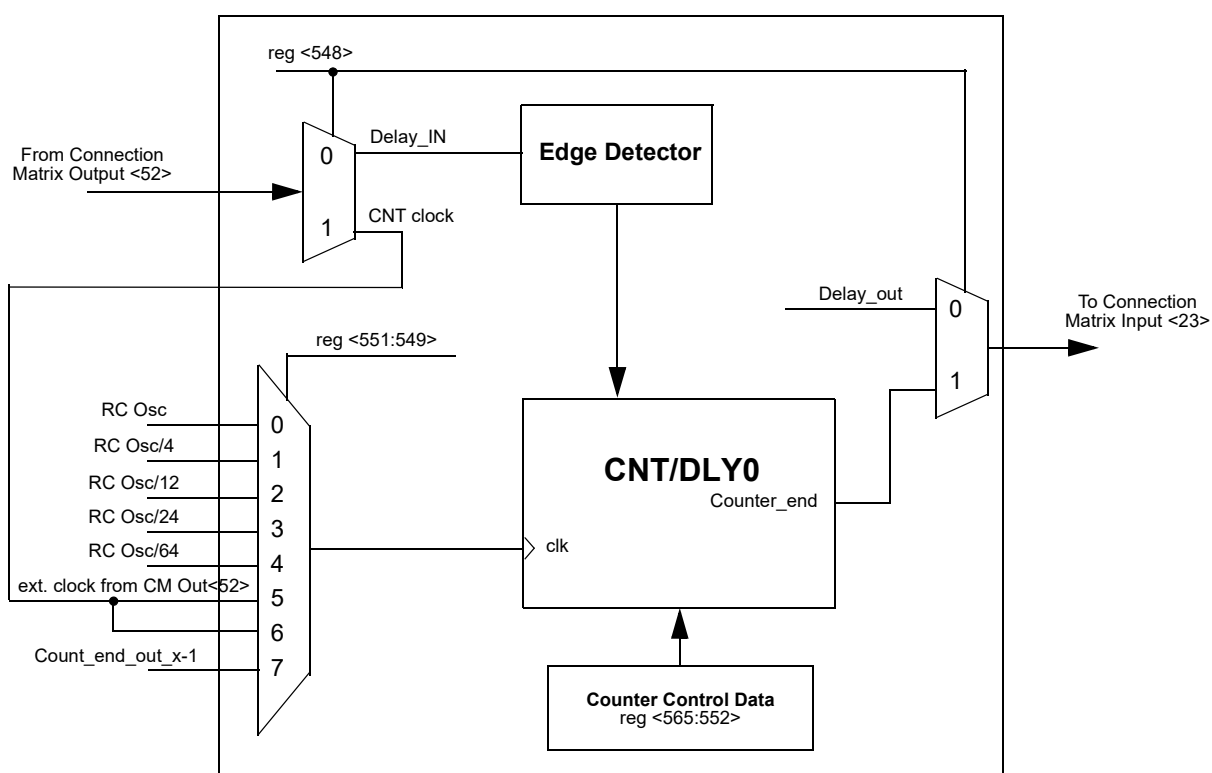


Figure 40. CNT/DLY0

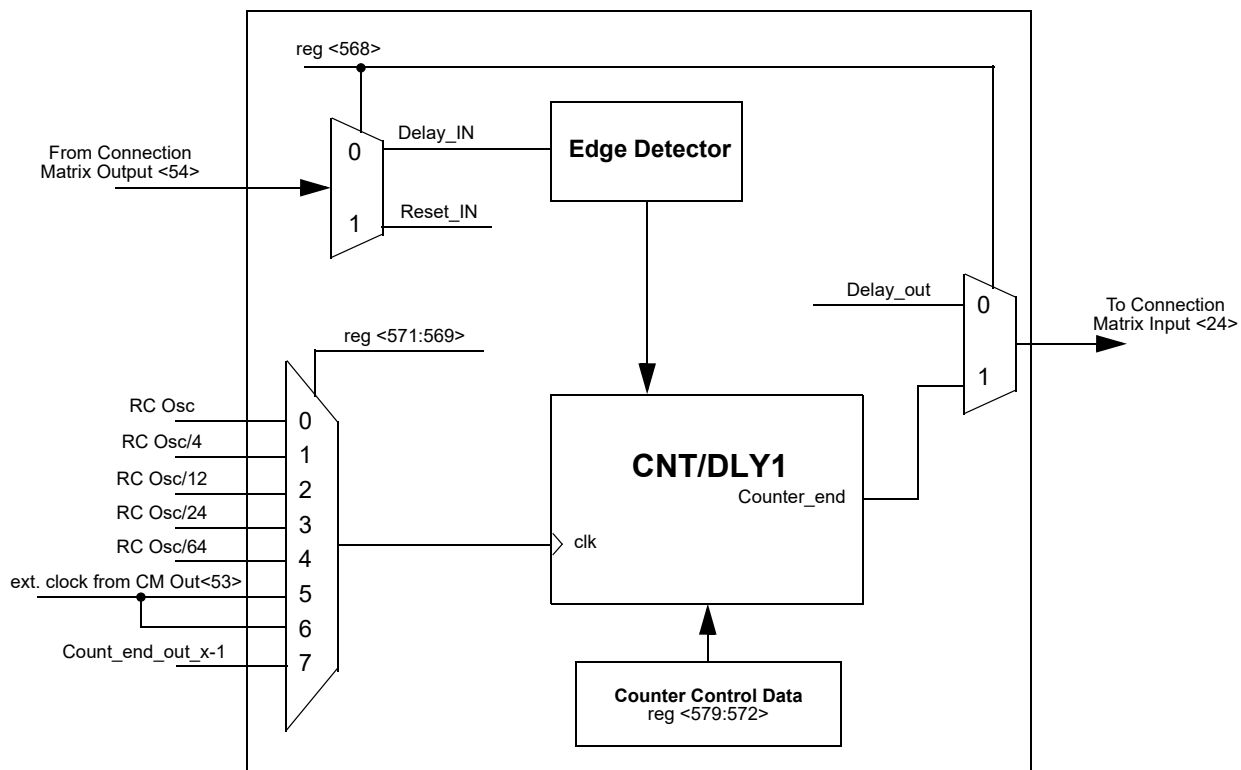


Figure 41. CNT/DLY1

12.1 CNT/DLY0 レジスタ設定

Table 54. CNT/DLY0 レジスタ設定

Signal Function	Register Bit Address	Register Definition
Counter/Delay0 Mode Select	reg <548>	0: Delay Mode 1: Counter Mode
Counter/Delay0 Clock Source Select (external clock is only for counter mode)	reg <551:549>	000: Internal OSC Clock 001: OSC/4 010: OSC/12 011: OSC/24 100: OSC/64 101: External Clock (Counter Mode only) 110: Reserved 111: Counter3 Overflow (reg<534>=1)
Counter0 Control Data/Delay0 Time Control	reg <565:552>	1-16383: (delay time = (counter control data +2) /freq)
Delay0 Mode Select or asynchronous counter reset	reg <567:566>	00: Delay on both falling and rising edges (for delay & counter reset) 01: Delay on falling edge only (for delay & counter reset) 10: Delay on rising edge only (for delay & counter reset) 11: No delay on either falling or rising edges / high level reset for counter mode



12.2 CNT/DLY1 レジスタ設定

Table 55. CNT/DLY1 レジスタ設定

Signal Function	Register Bit Address	Register Definition
Counter/Delay1 Mode Select	reg <568>	0: Delay Mode 1: Counter Mode
Counter/Delay1 Clock Source Select (external clock is only for counter mode)	reg <571:569>	000: Internal OSC Clock 001: OSC/4 010: OSC/12 011: OSC/24 100: OSC/64 101: External Clock 110: Reserved 111: Counter0 Overflow
Counter1 Control Data/Delay1 Time Control	reg <579:572>	1-256: (delay time = (counter control data +2) /freq)
Delay1 Mode Select or asynchronous counter reset	reg <581:580>	00: Delay on both falling and rising edges (for delay & counter reset) 01: Delay on falling edge only (for delay & counter reset) 10: Delay on rising edge only (for delay & counter reset) 11: No delay on either falling or rising edges / high level reset for counter mode



13.0 基準電圧 (VREF)

13.1 基準電圧の概要

SLG46120 は、4つのアナログ・コンパレータに基準を供給する基準電圧のマクロセルを内蔵しています。このマクロセルは、ユーザーが選択できる固定基準電圧、VDD の 1/3, 1/4 の電圧、PIN4 経由での外部基準電圧を供給できます。この他にもマクロセルは、オプションとして PIN10 から基準電圧を出力することができます。下表に、各アナログ・コンパレータに適用可能な選択肢を示します。また、下図 43 に基準電圧の出力構造を記します。

13.2 VREF 選定表

Table 56. VREF 選定表.

SEL<4:0>	CMP0_VREF	CMP1_VREF
11010	ext. Vref (PIN4)	ext. Vref (PIN4)
11001	VDD / 4	VDD / 4
11000	VDD / 3	VDD / 3
10111	1.20 V	1.20 V
10110	1.15 V	1.15 V
10101	1.10 V	1.10 V
10100	1.05 V	1.05 V
10011	1.00 V	1.00 V
10010	0.95 V	0.95 V
10001	0.90 V	0.90 V
10000	0.85 V	0.85 V
01111	0.80 V	0.80 V
01110	0.75 V	0.75 V
01101	0.70 V	0.70 V
01100	0.65 V	0.65 V
01011	0.60 V	0.60 V
01010	0.55 V	0.55 V
01001	0.50 V	0.50 V
01000	0.45 V	0.45 V
00111	0.40 V	0.40 V
00110	0.35 V	0.35 V
00101	0.30 V	0.30 V
00100	0.25 V	0.25 V
00011	0.20 V	0.20 V
00010	0.15 V	0.15 V
00001	0.10 V	0.10 V
00000	0.05 V	0.05 V

VDD	Practical VREF Range	Note
2.0 V - 5.5 V	50 mV ~1.2 V	
1.7 V - 2.0V	50 mV ~1.1 V	Higher than 1.1 V negative input, the comparator may show wrong result



13.3 VREF ブロック・ダイアグラム

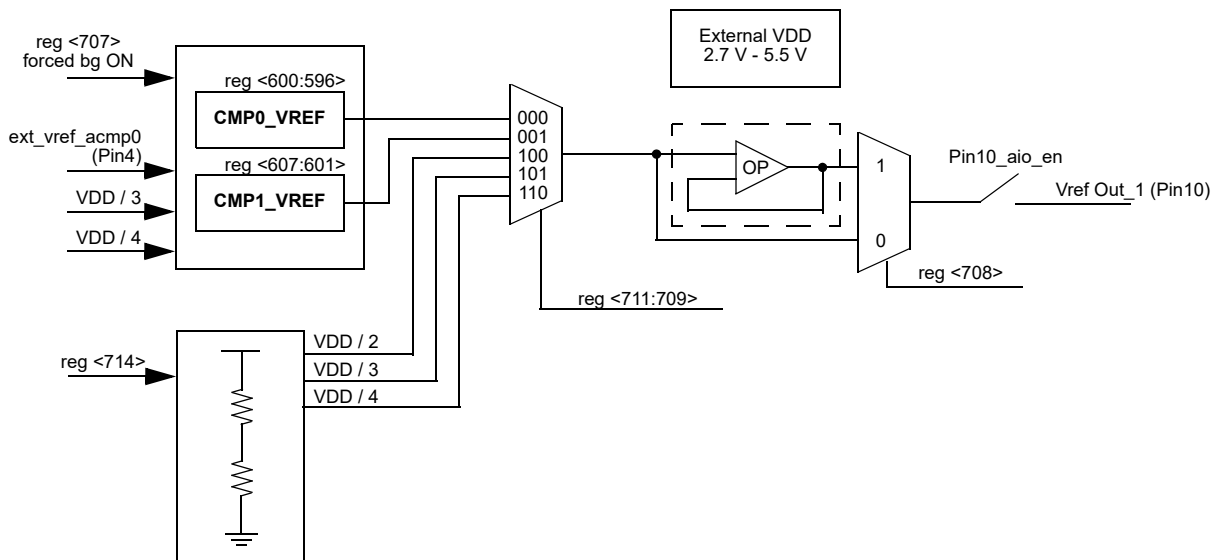


Figure 42. 基準電圧のブロック・ダイアグラム



14.0 RC オシレータ (RC Osc)

14.1 RC オシレータ 概要

SLG46120 には 2 つの内部 RC オシレータがあります。1 つは 25 kHz、もう一つは 2 MHz です。

内部オシレータを使用するには 2 つのモードが選択できます。1 つは強制パワーオン (Force Power On)、オシレータは常時動作。もう 1 つは、オートパワーオン (Auto Power On)、スタートアップ・設定時間を伴う動作です。図 44 と図 45 は最大パワーオン・ディレイ時間と VDD の関係を示しています。

注) パワーモード : "Auto Power On".

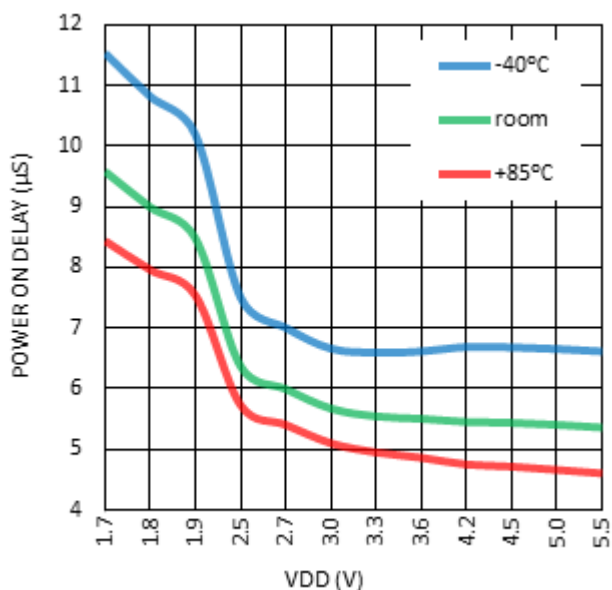


Figure 43. 電源電圧に対するPOR遅延時間の最大値 : RC OSC = 2 MHz.

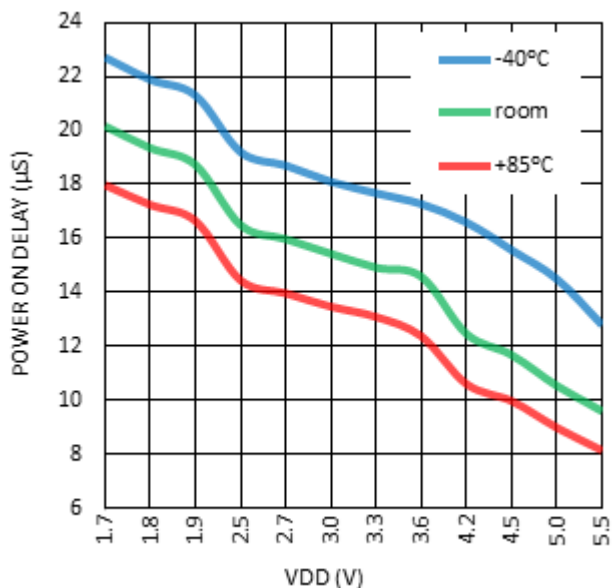


Figure 44. 電源電圧に対するPOR遅延時間の最大値 : RC OSC = 25 kHz.



基本となるクロックは内部 RC オシレータ (25 kHz または 2 MHz) か、外部クロック (Pin 12) から選択可能です。柔軟性をもたせるため、クロックには2つのディバイダが実装されており、それらはコネクション・マトリクスの入力に接続されています。

1 段目のディバイダ (プリ・ディバイダとも呼ばれています) は基本となるクロックから /1、/2、/4 または /8 分周されたクロックを生成します。

2 段目のディバイダは2個あります (OUT0 および OUT1 用)。それぞれのディバイダが独立してコネクション・マトリクスから1段目のディバイダ出力を受け取り、2つの異なる周波数をコネクション・マトリクスに出力します。詳細については図 46 を参照ください。

また、"PWR DOWN" が "LOW" の場合はオシレータがオンになり、"PWR DOWN" が "HIGH" の場合はオシレータがオフになります。この "PWR DOWN" 信号は最大の優先度を持ちます。

14.2 RC オシレータ、ブロック・ダイアグラム

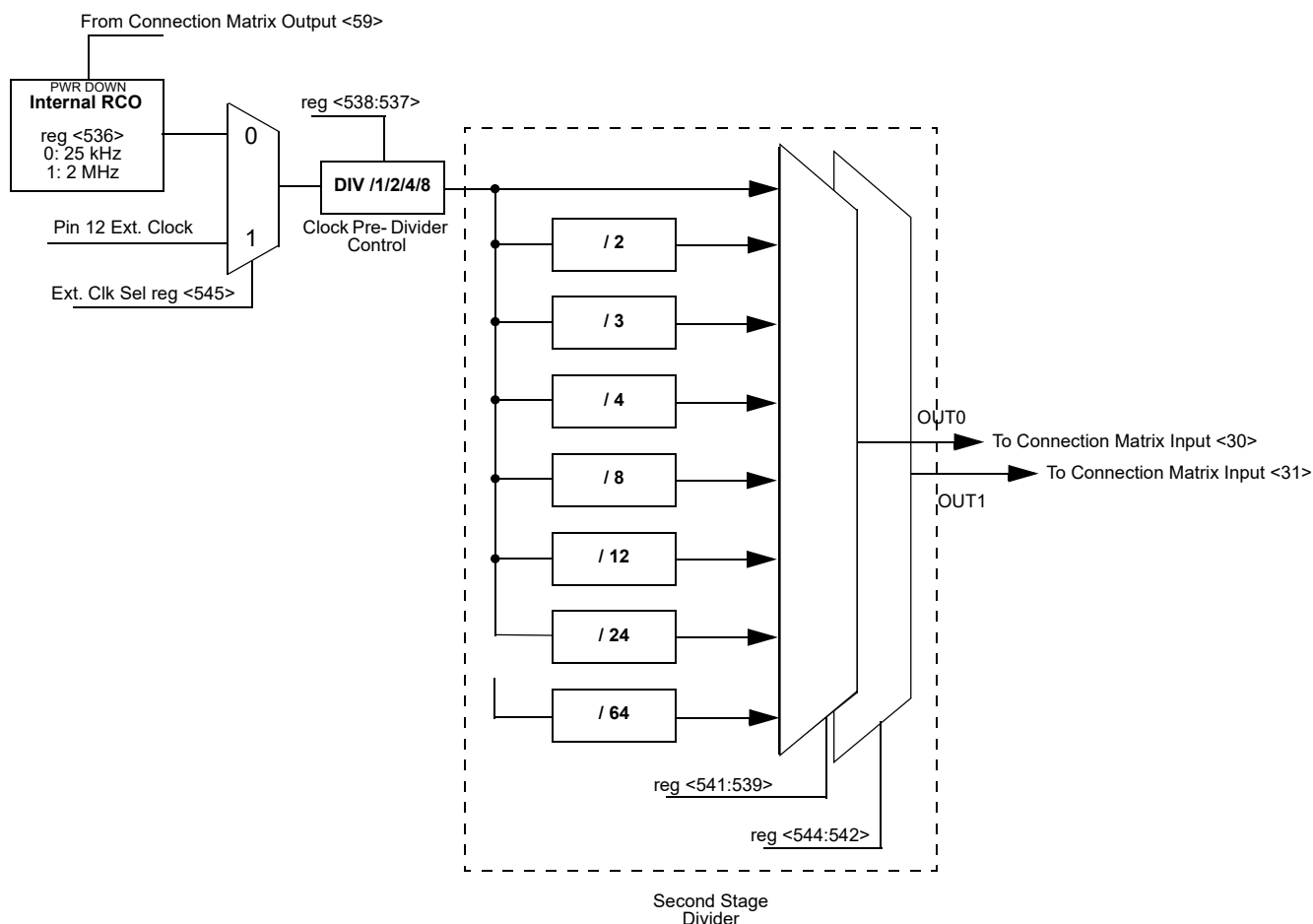


Figure 45. RC 発振回路ブロック・ダイアグラム



15.0 パワーオンリセット (POR)

SLG46120には、デバイスの初期化と内蔵するすべてのマクロセルの動作を確実にするために、パワーオンリセット (POR) のマクロセルを持っています。

POR 回路の目的は、初期電源立ち上がり時に、そして立ち下がり時にも安定で予測可能な結果を得ることです。そのために、POR は決められたシーケンスで内部イベントを駆動することにより、内部の異なるマクロセルから最後には I/O ピンまで、その状態を変化させます。このアプリケーションノートは、GreenPAK のチップが電源立ち上げ時と電源立ち下げ時の POR プロセスの全てを説明するためのものです。

15.1 動作概要

SLG46120 は、VDD 電圧が 0.6V 以下 -0.6V 以上のとき電源オフ状態と認識して動作しないことになっています。もうひとつの重要な電源オフ状態の条件は、VDD よりも高い電圧が（注 1 参照）他のどの端子にも印加されないということです。

例えば、もし VDD が 0.3V とすると、0.3V 以上を他のどのピンに印加することも誤りで、デバイスの誤動作や予期しない動作の原因になり得ます。

注 1. ESD保護ダイオードの順方向バイアス電圧により、0.6V のマージンがあります。

SLG46120 に内蔵される POR のシーケンスが起動されるためには、VDD に印加される電圧はパワーオンの閾値よりも高い必要があります（注 2 参照）。

SLG46120 の動作電源電圧範囲は、1.71V から 5.5V ($1.8V \pm 5\% - 5V \pm 10\%$) となっています。VDD は、立ち上がってこの電圧範囲に入る必要があります。しかし、POR はこれより早く、VDD の電圧がパワーオンの閾値に達するとそのシーケンスを開始します。POR のシーケンスが始まると、SLG46120 は各デバイスのデータシートに記載された typ 値の時間で全 POR シーケンスのステップを実行し、完全に動作可能な状態になります。

注 2. パワーオン閾値は、プロセス、温度等によりばらつきがあり、1.6V が標準的な値です。

パワーダウンの閾値は、動作電源電圧よりも低いのが基本ですが、確実にチップがパワーダウン状態になるために 0.6V より低い値にして下さい。

パワーダウン時および POR シーケンス実行中は、全ての端子が高インピーダンスになっています。POR シーケンスの最後のステップで、I/O は高インピーダンスから動作可能な状態に移行します。端子の設定は、このときチップのプログラム通りになります。

なお、前にも記載の通り、端子に印加される電圧は、パワーオン時も含め VDD よりも高くはできません。



15.2 POR シーケンス

PORシステムは、一連のシーケンス信号を発生し、特定のマクロセルをイネーブル状態にします。このシーケンスを図47に示します。

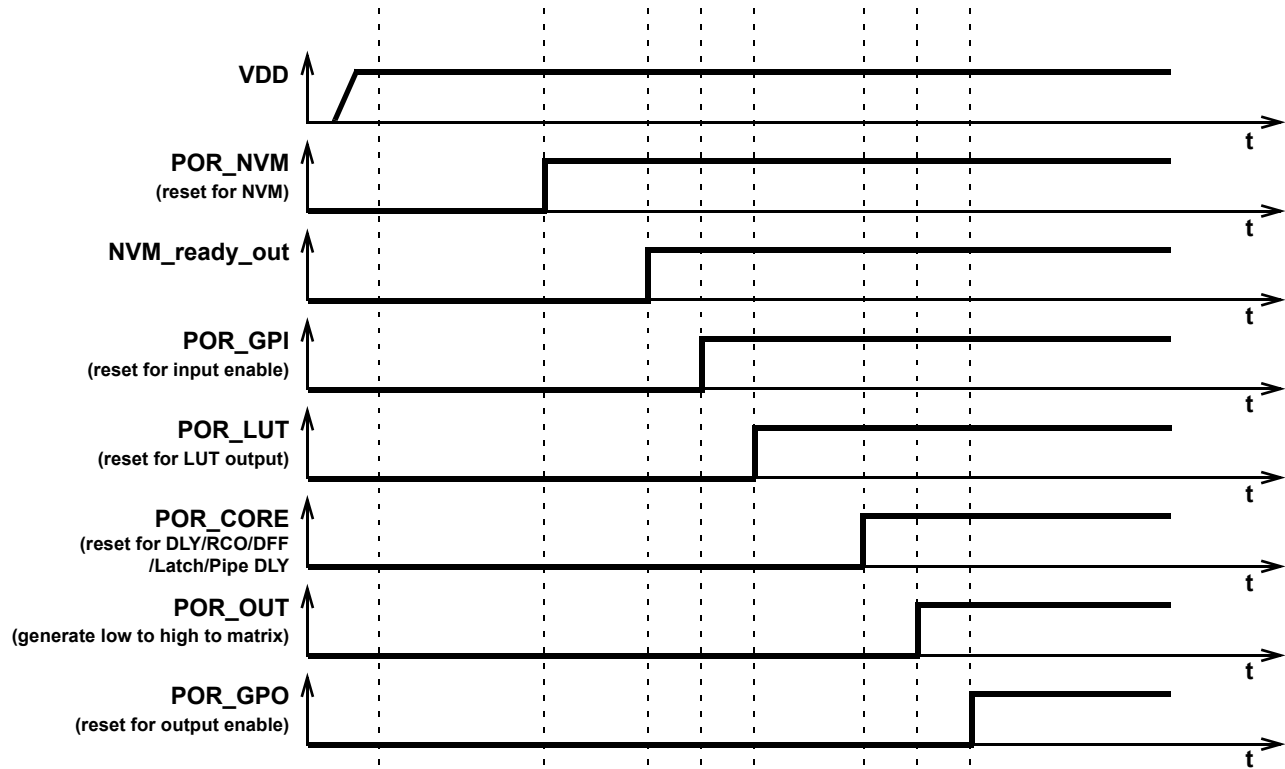


Figure 46. POR シーケンス

図 47 に示すように、VDD が上昇し始めてパワーオンの閾値を超えると、最初に内蔵の不揮発性メモリがリセットされます。次に、チップが不揮発性メモリからデータを読み出し、それを内部のレジスタに展開して各マクロセルとそれらの配線の構成を行います。

3 番目には入力端子のリセットが行われ、次にそれらをイネーブルします。その後、ルックアップテーブルがリセットされ、動作状態になります。ルックアップテーブルの次には、遅延セル、RC 発振回路、DFF、ラッチ、パイプディレイが初期化されます。全てのマクロセルが初期化されると、初めて内蔵の POR マクロセルの出力が Low から High に変わります。最後に初期化されるのは出力端子で、高インピーダンス状態から動作状態になります。

POR シーケンスが完了するまでの時間は、GreenPAK ラインアップの製品種類によって、また周囲の環境例えばスルーレート、電源電圧、温度、さらにプロセスのばらつき等の影響を受けます。



15.3 PORシーケンスにおけるブロックの出力状態

電源投入時、PORシーケンス中のSLG46120の動作を理解するためには、マクロセルの出力状態を知る必要があります（図48に出力信号の状態を示します）。

第一に、不揮発性メモリがリセットされる前に、全マクロセルの出力（例外として出力が高インピーダンス状態のもの）端子が、**Low** にセットされます。

不揮発性メモリが動作状態になるまで、全てのマクロセルの出力（ただし、出力端子以外）は不定になっています。次のステップで、マクロセルのうちのいくつかが初期化されると、入力端子に **LOW** が出力され、ルックアップテーブルのセルも **LOW** を出力します。エッジ検出に設定された **P DLY** のマクロセルだけが、この時点で動作状態になります。次に、入力端子が動作状態になり、次にルックアップテーブルだけが設定されます。その次は、その他の全てのマクロセルの設定が行われます。マクロセルの初期化（設定）が終わると、内蔵の **POR** 出力が **LOW** から **HIGH** に変わります。最後に出力端子が動作状態になり、入力端子の状態によって定まる出力が現れます。

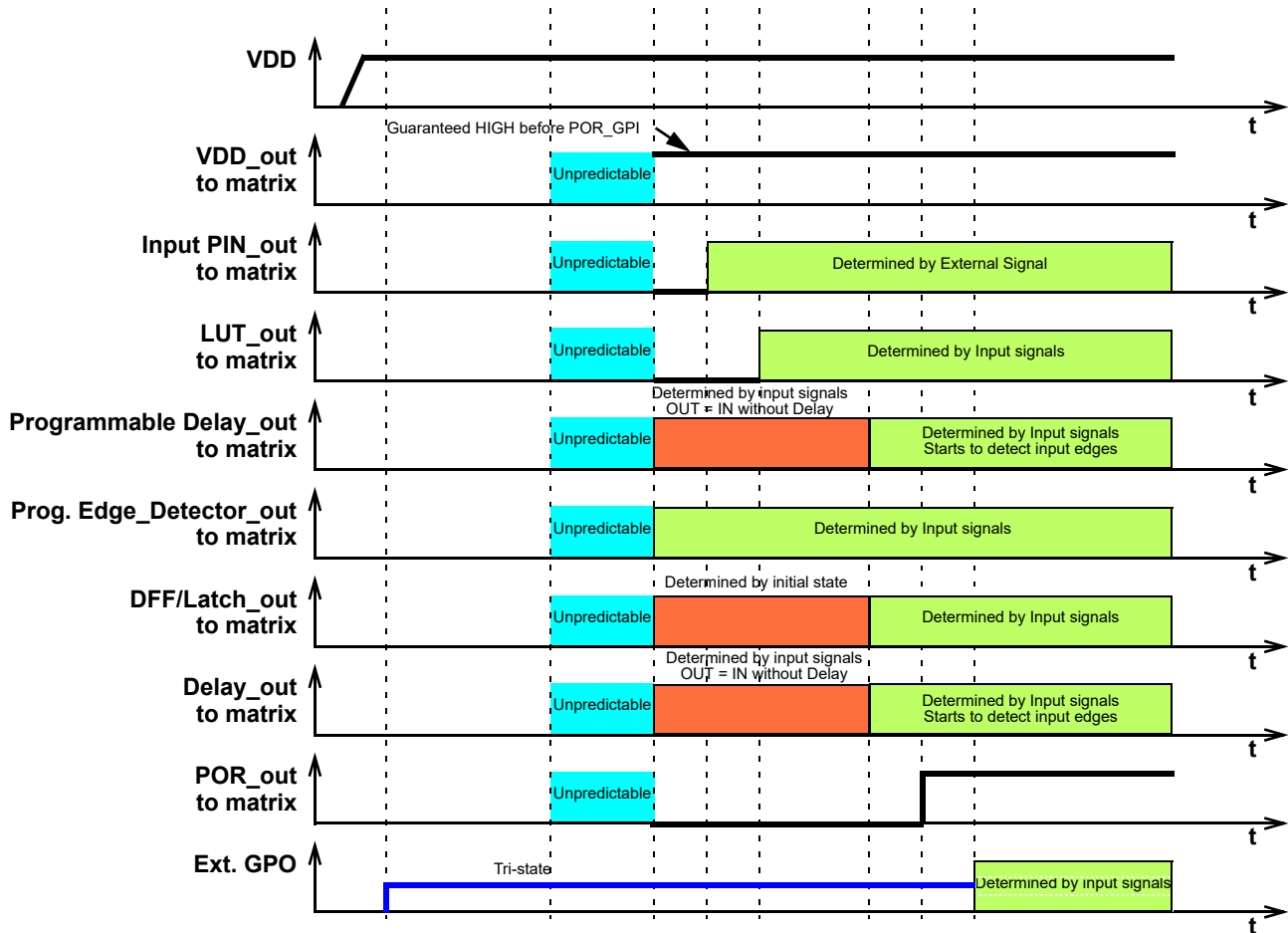


Figure 47. POR シーケンス時の内部ブロック状態



16.0 付録(Appendix) A - SLG46120 レジスタ定義

Register Bit Address	Signal Function	Register Bit Definition
reg<5:0>	Matrix Out: PIN3 Digital Output Source	
reg<11:6>	Matrix Out: PIN4 Digital Output Source	
reg<17:12>	Matrix Out: PIN5 Digital Output Source	
reg<23:18>	Matrix Out: PIN6 Digital Output Source	
reg<29:24>	Matrix Out: Output Enable of PIN6	
reg<35:30>	Matrix Out: In0 of LUT2_0 or Clock Input of DFF0	
reg<41:36>	Matrix Out: In1 of LUT2_0 or Data Input of DFF0	
reg<47:42>	Matrix Out: In0 of LUT2_1 or Clock Input of DFF1	
reg<53:48>	Matrix Out: In1 of LUT2_1 or Data Input of DFF1	
reg<59:54>	Matrix Out: In0 of LUT2_2 or Clock Input of DFF2	
reg<65:60>	Matrix Out: In1 of LUT2_2 1 or Data Input of DFF2	
reg<71:66>	Matrix Out: In0 of LUT2_3 or Clock Input of DFF3	
reg<77:72>	Matrix Out: In1 of LUT2_3 1 or Data Input of DFF3	
reg<83:78>	Matrix Out: In0 of LUT2_4	
reg<89:84>	Matrix Out: In1 of LUT2_4	
reg<95:90>	Matrix Out: PIN11 Digital Output Source	
reg<101:96>	Matrix Out: PIN12 Digital Output Source	
reg<107:102>	Matrix Out: In0 of LUT3_0 or Clock Input of DFF4	
reg<113:108>	Matrix Out: In1 of LUT3_0 or Data Input of DFF4	
reg<119:114>	Matrix Out: In2 of LUT3_0 or Resetb Input of DFF4	
reg<125:120>	Matrix Out: In0 of LUT3_1 or Clock Input of DFF5	
reg<131:126>	Matrix Out: In1 of LUT3_1 or Data Input of DFF5	
reg<137:132>	Matrix Out: In2 of LUT3_1 or Resetb(Setb) of DFF5	
reg<143:138>	Matrix Out: In0 of LUT3_2 or Clock Input of DFF6	
reg<149:144>	Matrix Out: In1 of LUT3_2 or Data Input of DFF6	
reg<155:150>	Matrix Out: In2 of LUT3_2 or Resetb Input of DFF6	
reg<161:156>	Matrix Out: In0 of LUT3_3 or Clock Input of DFF7	
reg<167:162>	Matrix Out: In1 of LUT3_3 or Data Input of DFF7	
reg<173:168>	Matrix Out: In2 of LUT3_3 or Resetb(Setb) of DFF7	
reg<179:174>	Matrix Out: In0 of LUT3_4	
reg<185:180>	Matrix Out: In1 of LUT3_4	
reg<191:186>	Matrix Out: In2 of LUT3_4	
reg<197:192>	Matrix Out: In0 of LUT3_5	
reg<203:198>	Matrix Out: In1 of LUT3_5	
reg<209:204>	Matrix Out: In2 of LUT3_5	
reg<215:210>	Matrix Out: In0 of LUT3_6	
reg<221:216>	Matrix Out: In1 of LUT3_6	
reg<227:222>	Matrix Out: In2 of LUT3_6	
reg<233:228>	Matrix Out: In0 of LUT3_7	
reg<239:234>	Matrix Out: In1 of LUT3_7	
reg<245:240>	Matrix Out: In2 of LUT3_7	



Register Bit Address	Signal Function	Register Bit Definition
reg<251:246>	Matrix Out: In0 of LUT3_8 or Input of Pipe delay	
reg<257:252>	Matrix Out: In1 of LUT3_8 or Resetb of Pipe delay	
reg<263:258>	Matrix Out: In2 of LUT3_8 or Clock of Pipe delay	
reg<269:264>	Matrix Out: In0 of LUT4_0 or Input for delay2(couter2) external clock	
reg<275:270>	Matrix Out: In1 of LUT4_0 or Input for delay2 data(counter2 reset)	
reg<281:276>	Matrix Out: In2 of LUT4_0	
reg<287:282>	Matrix Out: In3 of LUT4_0	
reg<293:288>	Matrix Out: In0 of LUT4_1 or Input for delay3(couter3) external clock	
reg<299:294>	Matrix Out: In1 of LUT4_1 or Input for delay3 data(counter3 reset)	
reg<305:300>	Matrix Out: In2 of LUT4_1	
reg<311:306>	Matrix Out: In3 of LUT4_1	
reg<317:312>	Matrix Out: Input for delay0 data(counter0 external clock)	
reg<323:318>	Matrix Out: Input for delay1(counter1) external clock	
reg<329:324>	Matrix Out: Input for delay1 data(counter1 reset)	
reg<335:330>	Matrix Out: Not used	
reg<341:336>	Matrix Out: pdb(power down) for ACMP0	
reg<347:342>	Matrix Out: pdb(power down) for ACMP1	
reg<353:348>	Matrix Out: Input for programmable delay (deglitch filter input)	
reg<359:354>	Matrix Out: Power down for osc (1: Power down)	
reg<365:360>	Matrix Out: PIN8 Digital Output Source	
reg<371:366>	Matrix Out: PIN9 Digital Output Source	
reg<377:372>	Matrix Out: PIN10 Digital Output Source	
reg<383:378>	Matrix Out: Output Enable of PIN10	
reg<389:384>	Reserved	
reg<395:390>	Reserved	
LUT2_0 or DFF0		
reg<399:396>	LUT2_0 data or the following	
reg<396>	DFF0 or Latch select	0: DFF function 1: Latch function
reg<397>	DFF0 output select	0: Q output 1: nQ output
reg<398>	DFF0 initial polarity select	0: Low 1: High
LUT2_1 or DFF1		
reg<403:400>	LUT2_1 data or the following	0: DFF function 1: Latch function
reg<400>	DFF1 or Latch select	0: DFF function 1: Latch function
reg<401>	DFF1 output select	0: Q output 1: nQ output



Register Bit Address	Signal Function	Register Bit Definition
reg<402>	DFF1 initial polarity select	0: Low 1: High
LUT2_2 or DFF2		
reg<407:404>	LUT2_2 data or the following	
reg<404>	DFF2 or Latch select	0: DFF function 1: Latch function
reg<405>	DFF2 output select	0: Q output 1: nQ output
reg<406>	DFF2 initial polarity select	0: Low 1: High
LUT2_3 or DFF3		
reg<411:408>	LUT2_3 data or the following	
reg<408>	DFF3 or Latch select	0: DFF function 1: Latch function
reg<409>	DFF3 output select	0: Q output 1: nQ output
reg<410>	DFF3 initial polarity select	0: Low 1: High
LUT2_4		
reg<415:412>	LUT2_4 data	
reg<419:416>	Reserved	
LUT2_0/DFF_0 Select		
reg<420>	LUT2_0 or DFF0 select	0: LUT2_0 1: DFF0
reg<421>	LUT2_1 or DFF1 select	0: LUT2_1 1: DFF1
reg<422>	LUT2_2 or DFF2 select	0: LUT2_2 1: DFF2
reg<423>	LUT2_3 or DFF3 select	0: LUT2_3 1: DFF3
LUT3_0 or DFF4		
reg<431:424>	LUT3_0 data or the following	
reg<424>	DFF4 or Latch select	0: DFF function 1: Latch function
reg<425>	DFF4 output select	0: Q output 1: nQ output
reg<426>	DFF4 rstb/setb select	0: rstb from matrix output 1: setb from matrix output
reg<427>	DFF4 initial polarity select	0: Low 1: High
LUT3_1 or DFF5		
reg<439:432>	LUT3_1 data or the following	
reg<432>	DFF5 or Latch select	0: DFF function 1: Latch function
reg<433>	DFF5 output select	0: Q output 1: nQ output
reg<434>	DFF5 rstb/setb select	0: rstb from matrix output 1: setb from matrix output



Register Bit Address	Signal Function	Register Bit Definition
reg<435>	DFF5 initial polarity select	0: Low 1: High
LUT3_2 or DFF6		
reg<447:440>	LUT3_2 data or the following	
reg<440>	DFF6 or Latch select	0: DFF function 1: Latch function
reg<441>	DFF6 output select	0: Q output 1: nQ output
reg<442>	DFF6 rstb/setb select	0: resetb from matrix output 1: setb from matrix output
reg<443>	DFF6 initial polarity select	0: Low 1: High
LUT3_3 or DFF7		
reg<455:448>	LUT3_3 data or the following	
reg<448>	DFF7 or Latch select	0: DFF function 1: Latch function
reg<449>	DFF7 output select	0: Q output 1: nQ output
reg<450>	DFF7 rstb/setb select	0: resetb from matrix output 1: setb from matrix output
reg<451>	DFF7 initial polarity select	0: Low 1: High
LUT3_4		
reg<463:456>	LUT3_4 data	
LUT3_5		
reg<471:464>	LUT3_5 data	
LUT3_6		
reg<479:472>	LUT3_6 data	
LUT3_7		
reg<487:480>	LUT3_7 data	
LUT3_8 or pipe number select		
reg<495:488>	LUT3_8 data or the following	
reg<490:488>	OUT0 select	data (pipe number)
reg<493:491>	OUT1 select	data (pipe number)
reg<495:494>	Unused if Pipe Delay selected	Unused
LUT3/DFF Select		
reg<496>	LUT3_0 or DFF4 select	0: LUT3_0 1: DFF4
reg<497>	LUT3_1 or DFF5 select	0: LUT3_1 1: DFF5
reg<498>	LUT3_2 or DFF6 select	0: LUT3_3 1: DFF6
reg<499>	LUT3_3 or DFF7 select	0: LUT3_4 1: DFF7
reg<500>	LUT3_8 or pipe delay output select	0: LUT3_8 1: pipe delay



Register Bit Address	Signal Function	Register Bit Definition
LUT4_0 or Counter/Delay2		
reg<516:501>	LUT4_0 data data or the following	
reg<501>	Counter/delay2 mode selection	0: Delay Mode 1: Counter Mode
reg<504:502>	Counter/delay2 Clock Source select	000: Internal OSC Clock 001: OSC/4 010: OSC/12 011: OSC/24 100: OSC/64 101: External Clock 110: External Clock 111: Counter1 Overflow
reg<512:505>	Counter/delay2 Control Data	1 - 256 (delay time = (counter control data +2) /freq)
reg<514:513>	Delay2 Mode Select or asynchronous counter reset	00: on both falling and rising edges(for delay & counter reset) 01: on falling edge only (for delay & counter reset) 10: on rising edge only (for delay & counter reset) 11: no delay on either falling or rising edges / high level reset for counter mode
reg<517>	LUT4_0 or Counter2 select	0: LUT4_0 1: Counter2
LUT4_1 or Counter/Delay3		
reg<533:518>	LUT4_1 data or the following	
reg<518>	Counter/delay3 mode selection	0: Delay Mode 1: Counter Mode
reg<521:519>	Counter/delay3 Clock Source select	000: Internal OSC Clock 001: OSC/4 010: OSC/12 011: OSC/24 100: OSC/64 101: External Clock 110: External Clock 111: Counter1 Overflow
reg<529:522>	Counter/delay3 Control Data	1 - 256 (delay time = (counter control data +2) /freq)
reg<531:530>	Delay3 Mode Select or asynchronous counter reset	00: on both falling and rising edges(for delay & counter reset) 01: on falling edge only (for delay & counter reset) 10: on rising edge only (for delay & counter reset) 11: no delay on either falling or rising edges / high level reset for counter mode
reg<534>	LUT4_1 or Counter3 select	0: LUT4_1 1: Counter3
RC Osc		
reg<535>	Force RC oscillator on	0: Auto Power on 1: Force Power on
reg<536>	RC Oscillator frequency control	0: 25 kHz 1: 2 MHz
reg<538:537>	Osc clock pre-divider	00:div1 01:div2 10: div4 11: div8



Register Bit Address	Signal Function	Register Bit Definition
reg<541:539>	Internal Oscillator frequency divider control 0	000: OSC/1 001: OSC/2 010: OSC/3 011: OSC/4 100: OSC/8 101: OSC/12 110: OSC/24 111: OSC/64
reg<544:542>	Internal Oscillator frequency divider control 1	000: OSC/1 001: OSC/2 010: OSC/3 011: OSC/4 100: OSC/8 101: OSC/12 110: OSC/24 111: OSC/64
reg<545>	External Clock Source Select	0: Internal Oscillator 1: External Clock from Pin12
reg<546>	Manufacturing test mode	
reg<547>	Reserved	
Counter/Delay 0		
reg<548>	Counter/delay0 mode selection	0: Delay Mode 1: Counter Mode
reg<551:549>	Counter/delay0 Clock Source select (external clock is only for counter mode)	000: Internal OSC Clock 001: OSC/4 010: OSC/12 011: OSC/24 100: OSC/64 101: External Clock 110: External Clock 111: Counter3 Overflow
reg<565:552>	Counter0 Control Data/Delay0 Time Control	1-16384: (delay time = (counter control data +2) /freq)
reg<567:566>	Delay0 Mode Select or asynchronous counter reset	00: on both falling and rising edges(for delay & counter reset) 01: on falling edge only (for delay & counter reset) 10: on rising edge only (for delay & counter reset) 11: no delay on either falling or rising edges / high level reset for counter mode
Counter/Delay 1		
reg<568>	Counter/delay1 mode selection	0: Delay Mode 1: Counter Mode
reg<571:569>	Counter/delay1 Clock Source select	000: Internal OSC Clock 001: OSC/4 010: OSC/12 011: OSC/24 100: OSC/64 101: External Clock 110: External Clock 111: Counter0 Overflow
reg<579:572>	Counter1 Control Data/Delay1 Time Control	1-256: (delay time = (counter control data +2) /freq)



Register Bit Address	Signal Function	Register Bit Definition
reg<581:580>	Delay1 Mode Select or asynchronous counter reset	00: on both falling and rising edges(for delay & counter reset) 01: on falling edge only (for delay & counter reset) 10: on rising edge only (for delay & counter reset) 11: no delay on either falling or rising edges / high level reset for counter mode
reg<595:582>	Reserved	
ACMP0		
reg<600:596>	ACMP0 IN voltage select	00000: 50 mV 00001: 100 mV 00010: 150 mV 00011: 200 mV 00100: 250 mV 00101: 300 mV 00110: 350 mV 00111: 400 mV 01000: 450 mV 01001: 500 mV 01010: 550 mV 01011: 600 mV 01100: 650 mV 01101: 700 mV 01110: 750 mV 01111: 800 mV 10000: 850 mV 10001: 900 mV 10010: 950 mV 10011: 1 V 10100: 1.05 V 10101: 1.1 V 10110: 1.15 V 10111: 1.2 V 11000: VDD/3 11001: VDD/4 11010: EXT_VREF(PIN4)
reg<602:601>	ACMP0 hysteresis Enable	00: Disabled (0 mV) 01: Enabled (25 mV) 10: Enabled (50 mV) 11: Enabled (200 mV)
reg<604:603>	ACMP0 positive Input divider	00: 1.0X 01: 0.5X 10: 0.33X 11: 0.25X
reg<605>	ACMP0 low bandwidth (typ: Max.1 MHz) enable.	0: off 1: on
reg<606>	ACMP0 positive input source select PIN3 and VDD	0: PIN3 1: VDD
ACMP1		
reg<611:607>	ACMP1 IN voltage select	00000: 50 mV 00001: 100 mV 00010: 150 mV 00011: 200 mV 00100: 250 mV 00101: 300 mV 00110: 350 mV 00111: 400 mV 01000: 450 mV 01001: 500 mV 01010: 550 mV 01011: 600 mV 01100: 650 mV 01101: 700 mV 01110: 750 mV 01111: 800 mV 10000: 850 mV 10001: 900 mV 10010: 950 mV 10011: 1 V 10100: 1.05 V 10101: 1.1 V 10110: 1.15 V 10111: 1.2 V 11000: VDD/3 11001: VDD/4 11010: EXT_VREF(PIN4)
reg<613:612>	ACMP1 hysteresis Enable	00: Disabled (0 mV) 01: Enabled (25 mV) 10: Enabled (50 mV) 11: Enabled (200 mV)



Register Bit Address	Signal Function	Register Bit Definition
reg<615:614>	ACMP1 positive Input divider	00: 1.0X 01: 0.5X 10: 0.33X 11: 0.25X
reg<616>	ACMP1 100uA current source option	0: disable 1: enable
reg<617>	ACMP1 low bandwidth (typ: Max.1Mhz) enable.	0: off 1: on
reg<618>	ACMP1 positive input source select PIN6 and PIN3	0: PIN3 1: PIN6
reg<622:619>		
PIN 2		
reg<624:623>	PIN2 mode control	00: Digital Input without Schmitt Trigger 01: Digital Input with Schmitt Trigger 10: Low Voltage Digital Input 11: Reserved
reg<626:625 >	PIN2 pull down resistor value selection	00: floating 01: 10K 10: 100K 11: 1M
PIN 3		
reg<629:627 >	PIN3 mode control	000: Digital Input without Schmitt Trigger 001: Digital Input with Schmitt Trigger 010: Low Voltage Digital Input 011: Analog Input 100: Push Pull 101: Open Drain NMOS 110: Open Drain PMOS 111: Analog Input & Open drain
reg<631:630 >	PIN3 pull up/down resistor value selection	00: floating 01: 10K 10: 100K 11: 1M
reg<632>	PIN3 pull up/down resistor select	0: pull down resistor enable 1: pull up resistor enable
reg<633>	PIN3 driver strength selection	0: 1X 1: 2X
PIN 4		
reg<636:634>	PIN4 mode control	000: Digital Input without Schmitt Trigger 001: Digital Input with Schmitt Trigger 010: Low Voltage Digital Input 011: Analog Input 100: Push Pull 101: Open Drain NMOS 110: Open Drain PMOS 111: Analog Input & Open drain
reg<638:637>	PIN4 pull up/down resistor value selection	00: floating 01: 10K 10: 100K 11: 1M
reg<639>	PIN4 pull up/down resistor select	0: pull down resistor enable 1: pull up resistor enable



Register Bit Address	Signal Function	Register Bit Definition
reg<640>	PIN4 driver strength selection	0: 1X 1: 2X
PIN 5		
reg<643:641>	PIN5 mode control	000: Digital Input without Schmitt Trigger 001: Digital Input with Schmitt Trigger 010: Low Voltage Digital Input 011: Analog Input 100: Push Pull 101: Open Drain NMOS 110: Open Drain PMOS 111: Analog Input & Open drain
reg<645:644>	PIN5 pull up/down resistor value selection	00: floating 01: 10K 10: 100K 11: 1M
reg<646>	PIN5 pull up/down resistor select	0: pull down resistor enable 1: pull up resistor enable
reg<647>	PIN5 driver strength selection	0: 1X 1: 2X
PIN 6		
reg<649:648>	PIN6 mode control (sig_pin6_oe =0)	00: Digital Input without Schmitt Trigger 01: Digital Input with Schmitt Trigger 10: Low Voltage Digital Input 11: Analog Input / Output
reg<651:650>	PIN6 mode control (sig_pin6_oe =1)	00: Push Pull 1X 01: Push Pull 2X 10: Open Drain NMOS 1X 11: Open Drain NMOS 2X
reg<653:652>	PIN6 pull up/down resistor value selection	00: floating 01: 10K 10: 100K 11: 1M
reg<654>	PIN6 pull up/down resistor select	0: pull down resistor enable 1: pull up resistor enable
PIN8		
reg<657:655>	PIN8 mode control	000: Digital Input without Schmitt Trigger 001: Digital Input with Schmitt Trigger 010: Low Voltage Digital Input 011: Analog Input / Output 100: Push Pull 101: Open Drain NMOS 110: Open Drain PMOS 111: Reserved
reg<659:658>	PIN8 pull up/down resistor value selection	00: floating 01: 10K 10: 100K 11: 1M
reg<660>	PIN8 pull up/down resistor select	0: pull down resistor enable 1: pull up resistor enable
reg<661>	PIN8 driver strength selection	0: 1X 1: 2X



Register Bit Address	Signal Function	Register Bit Definition
PIN 9		
reg<664:662>	PIN9 mode control	000: Digital Input without Schmitt Trigger 001: Digital Input with Schmitt Trigger 010: Low Voltage Digital Input 011: Reserved 100: Push Pull 101: Open Drain NMOS 110: Open Drain PMOS 111: Open drain
reg<666:665>	PIN9 pull down resistor value selection	00: floating 01: 10K 10: 100K 11: 1M
reg<667>	PIN9 pull up/down resistor select	0: pull down resistor enable 1: pull up resistor enable
reg<668>	PIN9 driver strength selection	0: 1X 1: 2X
PIN 10		
reg<670:669>	PIN10 mode control (sig_pin10_oe =0)	00: Digital Input without Schmitt Trigger 01: Digital Input with Schmitt Trigger 10: Low Voltage Digital Input 11: Analog Input / Output
reg<672:671>	PIN10 mode control (sig_pin10_oe =1)	00: Push Pull 1X 01: Push Pull 2X 10: Open Drain NMOS 1X 11: Open Drain NMOS 2X
reg<674:673>	PIN10 pull up/down resistor value selection	00: floating 01: 10K 10: 100K 11: 1M
reg<675>	PIN10 pull up/down resistor select	0: pull down resistor enable 1: pull up resistor enable
PIN 11		
reg<678:676>	PIN11 mode control	000: Digital Input without Schmitt Trigger 001: Digital Input with Schmitt Trigger 010: Low Voltage Digital Input 011: Reserved 100: Push Pull 101: Open Drain NMOS 110: Open Drain PMOS 111: Open drain
reg<680:679>	PIN11 pull up/down resistor value selection	00: floating 01: 10K 10: 100K 11: 1M
reg<681>	PIN11 pull up/down resistor select	0: pull down resistor enable 1: pull up resistor enable
reg<682>	PIN11 driver strength selection	0: 1X 1: 2X



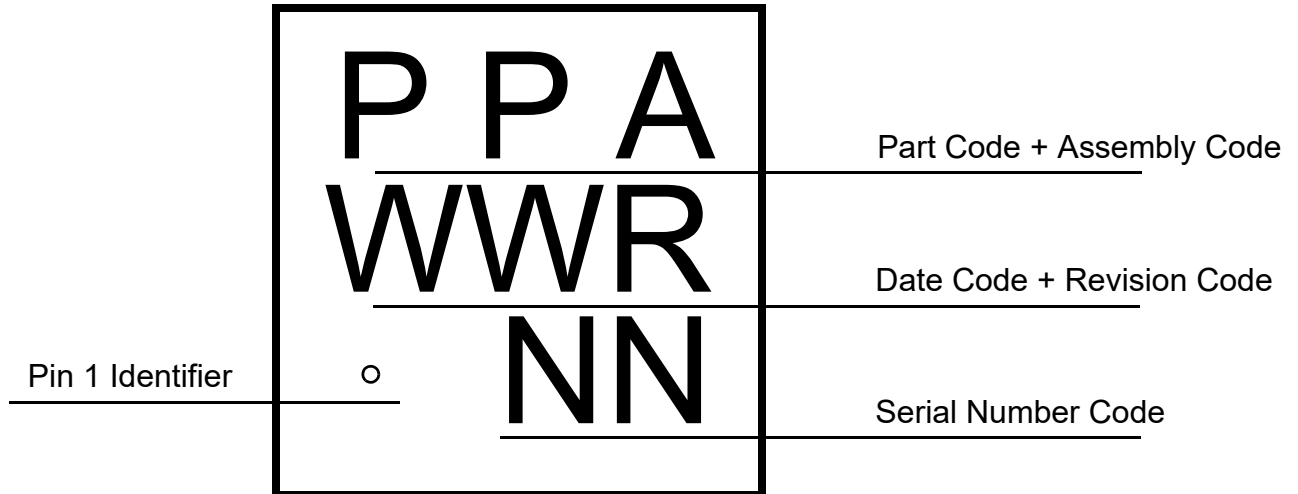
Register Bit Address	Signal Function	Register Bit Definition
PIN 12		
reg<685:683>	PIN12 mode control	000: Digital Input without Schmitt Trigger 001: Digital Input with Schmitt Trigger 010: Low Voltage Digital Input 011: Reserved 100: Push Pull 101: Open Drain NMOS 110: Open Drain PMOS 111: Open drain
reg<687:686>	PIN12 pull up/down resistor value selection	00: floating 01: 10k 10: 100K 11: 1M
reg<688>	PIN12 pull up/down resistor select	0: pull down resistor enable 1: pull up resistor enable
reg<689>	PIN12 driver strength selection	0: 1X 1: 2X
Reg<690>	Pipe delay OUT1 polarity select bit	0: Non-inverted 1: Inverted
reg<698:691>	8-bit pattern id	
reg<699>	filter0 output polarity select	0: Non-inverting 1: Inverting
reg<701:700>		
reg<702>	GPIO quick charge enable	0: Disable 1: Enable
reg<706:703>		
reg<707>	Force bandgap on	0: Auto-mode 1: Enable
reg<708>	VREF1 Output Active Buffer Control	0: Disabled 1: Enabled
reg<711:709>	VREF1 Output Source Select	000: ACMP0 reference voltage 001: ACMP1 reference voltage 100: VDD/2 101: VDD/3 110: VDD/4
reg<712>	NVM data read disable	0: Disable (read enable) 1: Enable (read disable)
reg<713>	NVM power down (or NVM data programming disable)	0: None (or programming enable) 1: Power Down (or programming disable)
reg<714>	Power Divider Power	0: Power down 1: Power On
reg<715>	POR Auto Power detect	0: Enable 1: Disable
reg<716>	Charge pump for analog block enable (when VDD <=2.7V turn on)	0: Disable (automatic on/off control) 1: Enable (always on)
reg<717>	VDD bypass enable	0: Regulator auto on 1: Regulator off (VDD bypass)
reg<718>	PIN2 edge detect mode	0: rising edge 1: falling edge
reg<719>	Bypass the pin2	0: PIN2 edge active 1: PIN2 high active



Register Bit Address	Signal Function	Register Bit Definition
reg<720>	PIN2 reset enable	0: Disable 1: Enable
reg<721>		
reg<727:722>		
reg<735:728>		
reg<741:736>		
reg<743:742>	Delay value select for programmable delay & edge detector (VDD = 3.3V, typical condition)	00: 163 ns 01: 305 ns 10: 446 ns 11: 588 ns
reg<745:744>	Select the edge mode of programmable delay & edge detector	00: rising edge detector 01: falling edge detector 10: both edge detector 11: both edge delay
reg<746>	programmable delay or filter output select	0: programmable delay output 1: filter output
reg<751:747>		
reg<757:752>		
reg<758>		
reg<759>		
reg<767:760>		



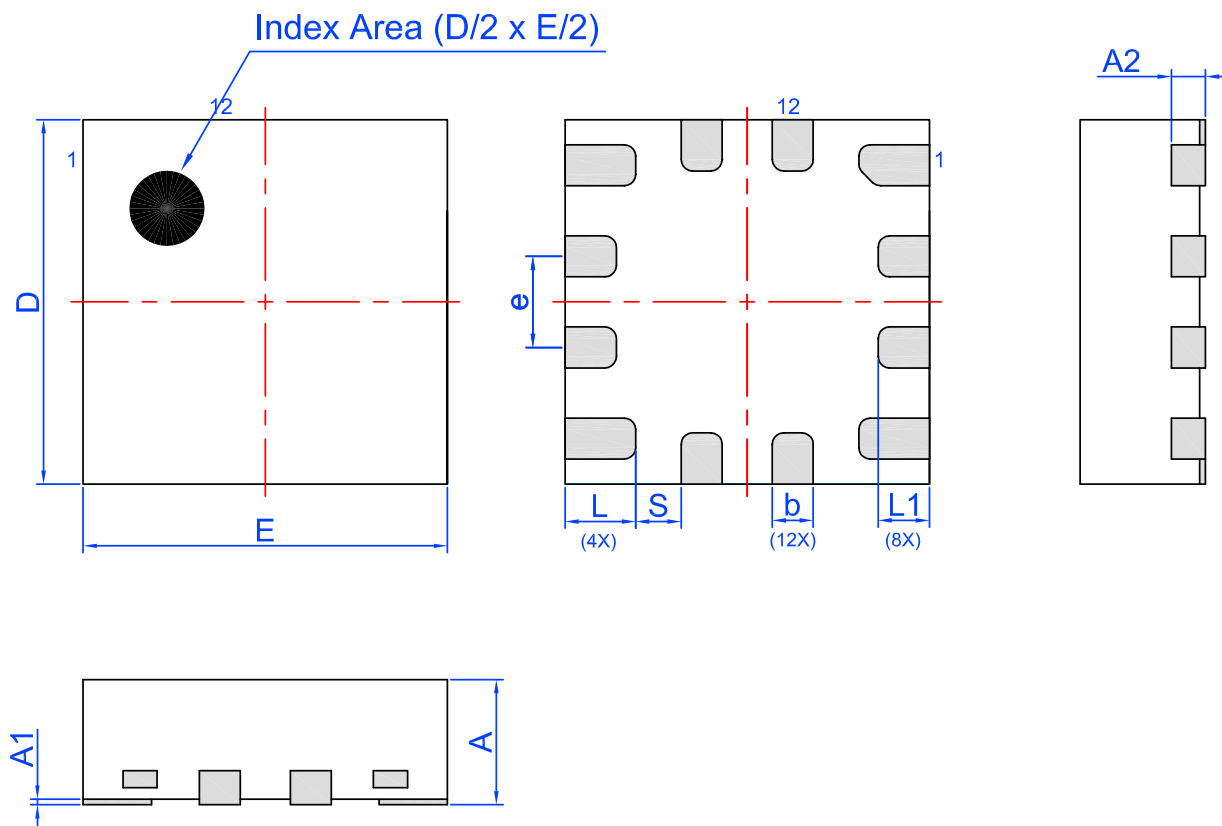
17.0 パッケージトップ・マーキング仕様





18.0 パッケージ寸法図

12 Lead STQFN FCA Package 1.6 x 1.6 mm



Unit: mm

Symbol	Min	Nom.	Max	Symbol	Min	Nom.	Max
A	0.50	0.55	0.60	D	1.55	1.60	1.65
A1	0.005	-	0.060	E	1.55	1.60	1.65
A2	0.10	0.15	0.20	L	0.26	0.31	0.36
b	0.13	0.18	0.23	L1	0.175	0.225	0.275
e	0.40 BSC			S	0.2 REF		

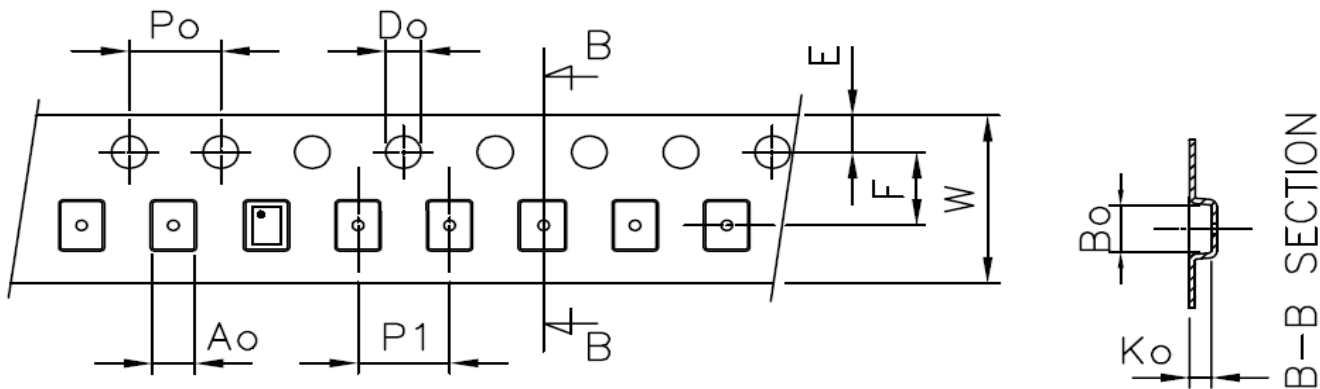


19.0 テープ・リール仕様

Package Type	# of Pins	Nominal Package Size [mm]	Max Units		Reel & Hub Size [mm]	Leader (min)		Trailer (min)		Tape Width [mm]	Part Pitch [mm]
			per Reel	per Box		Pockets	Length [mm]	Pockets	Length [mm]		
STQFN 12L FCA 0.4P Green	10	1.6x1.6x0.55	3000	3000	178/60	100	400	100	400	8	4

19.1 キャリア・テープ寸法図

Package Type	Pocket BTM Length [mm]	Pocket BTM Width [mm]	Pocket Depth [mm]	Index Hole Pitch [mm]	Pocket Pitch [mm]	Index Hole Diameter [mm]	Index Hole to Tape Edge [mm]	Index Hole to Pocket Center [mm]	Tape Width [mm]
	A0	B0	K0	P0	P1	D0	E	F	W
STQFN 12L FCA 0.4P Green	1.9	1.9	0.8	4	4	1.5	1.75	3.5	8



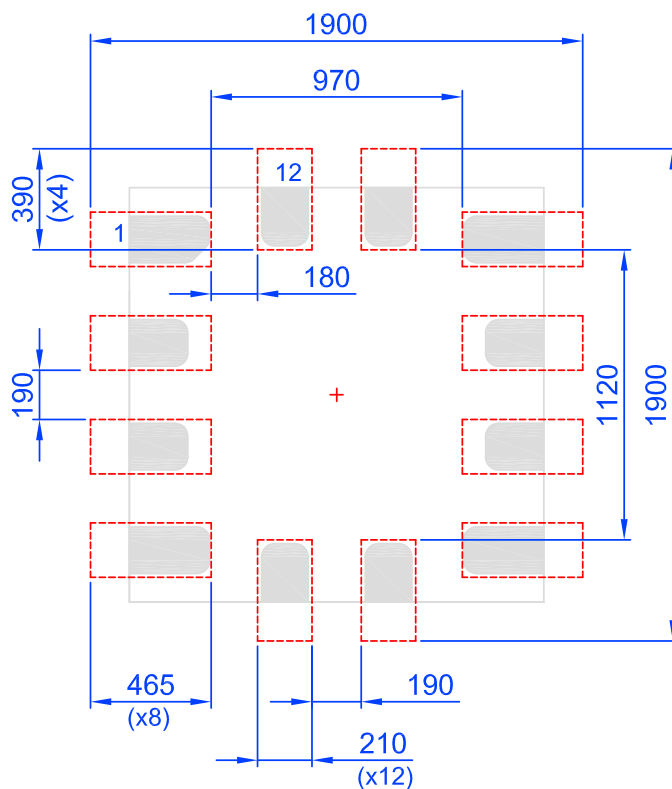
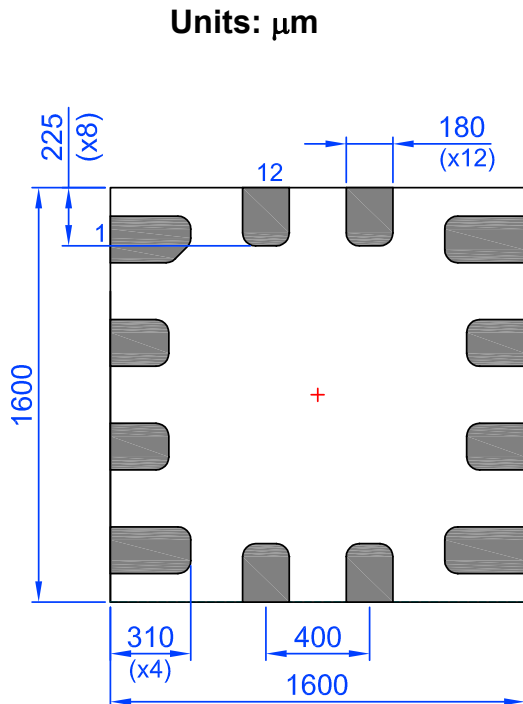


20.0 推奨ランドパターン

 Exposed Pad
(PKG face down)

 Recommended Land Pattern
(PKG face down)

Units: μm



21.0 推奨はんだリフロープロファイル

IPC/JEDEC J-STD-020の最新レビジョンに準拠しています。パッケージ体積1.408mm³（標準）に基づくリフロープロファイルを参照下さい。なお詳細は、www.jedec.orgで確認下さい。



22.0 改版履歷

Date	Version	Change
		Updated Section Programmable Delay / Edge Detector
12/22/2016	1.06	Fixed typos Updated Silego Website & Support
5/30/2016	1.05	Updated Silego Website & Support Updated Programmable Delay information Added PON_{THR} and $POFF_{THR}$ in Electrical Spec
10/28/2015	1.04	Updated Absolute maximum conditions
10/20/2015	1.03	Fixed typos
8/11/2015	1.02	Fixed Programmable delay values in Section 7.0
7/23/2015	1.01	Updated User Programmability Updated Register Table for clarification
5/26/2015	1.0	Production Release
5/21/2015	0.59	Updated ACMP Diagrams and added Timing Characteristics Diagrams
4/23/2015	0.58	Updated ACMP section
4/9/2015	0.57	Updated Tsu condition and value
3/27/2015	0.56	Updated ACMP section Updated RC Oscillator section
3/10/2015	0.55	Added Connection Matrix Example
3/9/2015	0.54	Added POR section
2/10/2015	0.53	Fixed Preliminary watermark
1/14/2015	0.52	Added IDD Estimator, Timing Estimator, Expected Delays sections
12/3/2014	0.51	Updated Electrical Characteristics VIH/VIL/VOH/VOL values
9/26/2014	0.50	Preliminary Release
9/24/2014	0.27	Fixed typos
8/11/2014	0.26	Updated package information Added Recommended Land Pattern
7/29/2014	0.25	Fixed ESD information
6/20/2014	0.24	Updated Electrical Specifications VIH/VIL levels Fixed typos
5/21/2014	0.23	Updated block diagram Fixed typos Updated Pipe Delay information Moved Programmable Delay and Deglitch Filter to Combination Macrocells section
4/29/2014	0.22	Added ESD Ratings and MSL to Absolute Maximum Conditions
4/15/2014	0.21	Updated block diagrams and timing diagrams for clarity
2/12/2014	0.2	Added Macrocell Function Sections
1/16/2014	0.11	Added Register Table
9/16/2013	0.1	Initial release



Silego Website & Support

Silego Technology Website

Silego Technology provides online support via our website at <http://www.silego.com/>. This website is used as a means to make files and information easily available to customers.

For more information regarding Silego Green products, please visit our website.

Our Green product lines feature:

GreenPAK: Programmable Mixed Signal Matrix products

GreenFET1 / GreenFET3 / HFET1: MOSFET Drivers and ultra-small, low RDSon Load Switches

GreenCLK1 / GreenCLK2 / GreenCLK3: Crystal replacement technology

Products are also available for purchase directly from Silego at the Silego Online Store at <http://www.silego.com/buy/>.

Silego Technical Support

Datasheets and errata, application notes and example designs, user guides, and hardware support documents and the latest software releases are available at the Silego website or can be requested directly at info@silego.com.

For specific GreenPAK design or applications questions and support please send e-mail requests to GreenPAK@silego.com

Users of Silego products can receive assistance through several channels:

Contact Your Local Sales Representative

Customers can contact their local sales representative or field application engineer (FAE) for support. Local sales offices are also available to help customers. More information regarding your local representative is available at the Silego website or send a request to info@silego.com

Contact Silego Directly

Silego can be contacted directly via e-mail at info@silego.com or user submission form, located at the following URL:

<http://support.silego.com/>

Other Information

The latest Silego Technology press releases, listing of seminars and events, listings of world wide Silego Technology offices and representatives are all available at <http://www.silego.com/>

THIS PRODUCT HAS BEEN DESIGNED AND QUALIFIED FOR THE CONSUMER MARKET. APPLICATIONS OR USES AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS ARE NOT AUTHORIZED. SILEGO TECHNOLOGY DOES NOT ASSUME ANY LIABILITY ARISING OUT OF SUCH APPLICATIONS OR USES OF ITS PRODUCTS. SILEGO TECHNOLOGY RESERVES THE RIGHT TO IMPROVE PRODUCT DESIGN, FUNCTIONS AND RELIABILITY WITHOUT NOTI

IMPORTANT NOTICE AND DISCLAIMER

RENESAS ELECTRONICS CORPORATION AND ITS SUBSIDIARIES ("RENESAS") PROVIDES TECHNICAL SPECIFICATIONS AND RELIABILITY DATA (INCLUDING DATASHEETS), DESIGN RESOURCES (INCLUDING REFERENCE DESIGNS), APPLICATION OR OTHER DESIGN ADVICE, WEB TOOLS, SAFETY INFORMATION, AND OTHER RESOURCES "AS IS" AND WITH ALL FAULTS, AND DISCLAIMS ALL WARRANTIES, EXPRESS OR IMPLIED, INCLUDING, WITHOUT LIMITATION, ANY IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, OR NON-INFRINGEMENT OF THIRD PARTY INTELLECTUAL PROPERTY RIGHTS.

These resources are intended for developers skilled in the art designing with Renesas products. You are solely responsible for (1) selecting the appropriate products for your application, (2) designing, validating, and testing your application, and (3) ensuring your application meets applicable standards, and any other safety, security, or other requirements. These resources are subject to change without notice. Renesas grants you permission to use these resources only for development of an application that uses Renesas products. Other reproduction or use of these resources is strictly prohibited. No license is granted to any other Renesas intellectual property or to any third party intellectual property. Renesas disclaims responsibility for, and you will fully indemnify Renesas and its representatives against, any claims, damages, costs, losses, or liabilities arising out of your use of these resources. Renesas' products are provided only subject to Renesas' Terms and Conditions of Sale or other applicable terms agreed to in writing. No use of any Renesas resources expands or otherwise alters any applicable warranties or warranty disclaimers for these products.

(Rev.1.0 Mar 2020)

Corporate Headquarters

TOYOSU FORESIA, 3-2-24 Toyosu,
Koto-ku, Tokyo 135-0061, Japan
www.renesas.com

Contact Information

For further information on a product, technology, the most up-to-date version of a document, or your nearest sales office, please visit:
www.renesas.com/contact/

Trademarks

Renesas and the Renesas logo are trademarks of Renesas Electronics Corporation. All trademarks and registered trademarks are the property of their respective owners.