

致尊敬的顾客

---

## 关于产品目录等资料中的旧公司名称

---

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日  
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

## Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
  - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
  - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
  - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

# H8/3802、 H8/38004、 H8/38002S、 H8/38104 群

瑞萨8位单片机

H8族 / H8/300L 超小功率系列

H8/3802 群	H8/3802
	H8/3801
	H8/3800
H8/38004 群	H8/38004
	H8/38003
	H8/38002
	H8/38001
	H8/38000
H8/38002S 群	H8/38002S
	H8/38001S
	H8/38000S
H8/38104 群	H8/38104
	H8/38103
	H8/38102
	H8/38101
	H8/38100

## Cautions

### Keep safety first in your circuit designs!

1. Renesas Technology Corp. puts the maximum effort into making semiconductor products better and more reliable, but there is always the possibility that trouble may occur with them. Trouble with semiconductors may lead to personal injury, fire or property damage.  
Remember to give due consideration to safety when making your circuit designs, with appropriate measures such as (i) placement of substitutive, auxiliary circuits, (ii) use of nonflammable material or (iii) prevention against any malfunction or mishap.

### Notes regarding these materials

1. These materials are intended as a reference to assist our customers in the selection of the Renesas Technology Corp. product best suited to the customer's application; they do not convey any license under any intellectual property rights, or any other rights, belonging to Renesas Technology Corp. or a third party.
2. Renesas Technology Corp. assumes no responsibility for any damage, or infringement of any third-party's rights, originating in the use of any product data, diagrams, charts, programs, algorithms, or circuit application examples contained in these materials.
3. All information contained in these materials, including product data, diagrams, charts, programs and algorithms represents information on products at the time of publication of these materials, and are subject to change by Renesas Technology Corp. without notice due to product improvements or other reasons. It is therefore recommended that customers contact Renesas Technology Corp. or an authorized Renesas Technology Corp. product distributor for the latest product information before purchasing a product listed herein.  
The information described here may contain technical inaccuracies or typographical errors. Renesas Technology Corp. assumes no responsibility for any damage, liability, or other loss rising from these inaccuracies or errors.  
Please also pay attention to information published by Renesas Technology Corp. by various means, including the Renesas Technology Corp. Semiconductor home page (<http://www.renesas.com>).
4. When using any or all of the information contained in these materials, including product data, diagrams, charts, programs, and algorithms, please be sure to evaluate all information as a total system before making a final decision on the applicability of the information and products. Renesas Technology Corp. assumes no responsibility for any damage, liability or other loss resulting from the information contained herein.
5. Renesas Technology Corp. semiconductors are not designed or manufactured for use in a device or system that is used under circumstances in which human life is potentially at stake. Please contact Renesas Technology Corp. or an authorized Renesas Technology Corp. product distributor when considering the use of a product contained herein for any specific purposes, such as apparatus or systems for transportation, vehicular, medical, aerospace, nuclear, or undersea repeater use.
6. The prior written approval of Renesas Technology Corp. is necessary to reprint or reproduce in whole or in part these materials.
7. If these products or technologies are subject to the Japanese export control restrictions, they must be exported under a license from the Japanese government and cannot be imported into a country other than the approved destination.  
Any diversion or reexport contrary to the export control laws and regulations of Japan and/or the country of destination is prohibited.
8. Please contact Renesas Technology Corp. for further details on these materials or the products contained therein.

## 注意

本文只是参考译文，前页所载英文版“Cautions”具有正式效力。

### 请遵循安全第一进行电路设计

1. 虽然瑞萨科技尽力提高半导体产品的质量和可靠性，但是半导体产品也可能发生故障。半导体的故障可能导致人身伤害、火灾事故以及财产损害。在电路设计时，请充分考虑安全性，采用合适的如冗余设计、利用非易燃材料以及故障或者事故防止等的安全设计方法。

### 关于利用本资料时的注意事项

1. 本资料是为了让用户根据用途选择合适的瑞萨科技产品的参考资料，不转让属于瑞萨科技或者第三者所有的知识产权和其它权利的许可。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法以及其它应用电路的例子而引起的损害或者对第三者的权力的侵犯，瑞萨科技不承担责任。
3. 本资料所记载的产品数据、图、表、程序、算法以及其它所有信息均为本资料发行时的信息，由于改进产品或者其它原因，本资料记载的信息可能变动，恕不另行通知。在购买本资料所记载的产品时，请预先向瑞萨科技或者经授权的瑞萨科技产品经销商确认最新信息。  
本资料所记载的信息可能存在技术不准确或者印刷错误。因这些错误而引起的损害、责任问题或者其它损失，瑞萨科技不承担责任。  
同时也请通过各种方式注意瑞萨科技公布的信息，包括瑞萨科技半导体网站。  
(<http://www.renesas.com>)
4. 在使用本资料所记载部分或者全部数据、图、表、程序以及算法等信息时，在最终做出有关信息和产品是否适用的判断前，务必对作为整个系统的所有信息进行评价。由于本资料所记载的信息而引起的损害、责任问题或者其它损失，瑞萨科技不承担责任。
5. 瑞萨科技的半导体产品不是为在可能和人命相关的环境下使用的设备或者系统而设计和制造的产品。在研讨将本资料所记载的产品用于运输、交通车辆、医疗、航空宇宙用、原子能控制、海底中继器的设备或者系统等特殊用途时，请与瑞萨科技或者经授权的瑞萨产品经销商联系。
6. 未经瑞萨科技的书面许可，不得翻印或者复制全部或者部分资料的内容。
7. 如果本资料所记载的某产品或者技术内容受日本出口管理限制，必须在得到日本政府的有关部门许可后才能出口，并且不准进口到批准目的地国家以外的国家。  
禁止违反日本和（或者）目的地国家的出口管理法和法规的任何转卖、挪用或者再出口。
8. 如果需要了解本资料所记载的信息或者产品的详细，请与瑞萨科技联系。

## General Precautions on Handling of Product

### 1. Treatment of NC Pins

Note: Do not connect anything to the NC pins.

The NC (not connected) pins are either not connected to any of the internal circuitry or are used as test pins or to reduce noise. If something is connected to the NC pins, the operation of the LSI is not guaranteed.

### 2. Treatment of Unused Input Pins

Note: Fix all unused input pins to high or low level.

Generally, the input pins of CMOS products are high-impedance input pins. If unused pins are in their open states, intermediate levels are induced by noise in the vicinity, a passthrough current flows internally, and a malfunction may occur.

### 3. Processing before Initialization

Note: When power is first supplied, the product's state is undefined.

The states of internal circuits are undefined until full power is supplied throughout the chip and a low level is input on the reset pin. During the period where the states are undefined, the register settings and the output state of each pin are also undefined.

Design your system so that it does not malfunction because of processing while it is in this undefined state. For those products which have a reset function, reset the LSI immediately after the power supply has been turned on.

### 4. Prohibition of Access to Undefined or Reserved Addresses

Note: Access to undefined or reserved addresses is prohibited.

The undefined or reserved addresses may be used to expand functions, or test registers may have been allocated to these addresses. Do not access these registers; the system's operation is not guaranteed if they are accessed.

## 有关产品的一般注意事项

### 1. NC 管脚的处理

**【注意】** NC管脚什么也不要连接。

NC(Non-Connection)管脚有不连接内部电路和作为测试管脚和降低噪声等目的使用的情況。因此，对于NC管脚，请什么也不要连接。

### 2. 未使用的输入管脚的处理

**【注意】** 将未使用的输入管脚固定成高电平或者低电平。

CMOS产品的输入管脚一般为高阻抗输入。如果将未使用的输入管脚处于开放状态，就可能由于周围噪声的感应而产生中间电平，在内部产生浸透电流，引起误动作。对于未使用的输入管脚，请固定成高电平或低电平。

### 3. 初始化前的处理

**【注意】** 加入电源时，产品的状态不定。

从给所有电源管脚外加电压开始，到给复位管脚输入低电平为止，内部电路处于不确定状态，寄存器的设定和各管脚的输出状态不定。请采用避免由此不定状态引起的系统误动作的对策进行系统设计。对于具有复位功能的产品，在加入电源后，请首先执行复位运行。

### 4. 禁止存取未定义地址或者保留地址

**【注意】** 禁止存取未定义地址或者保留地址。

未定义地址或者保留地址，除了将来用于功能扩展外，还有被分配测试用寄存器等的情况。因为不能保证存取这些寄存器时的运行和继续运行，所以请不要存取。

---

# 本书的构成

---

本手册由如下的内容构成：

1. 有关产品的一般注意事项
2. 本手册的构成
3. 前言
4. 目录
5. 概要
6. 各功能模块的说明
  - CPU 和系统控制
  - 内部外围模块

各模块功能说明的构成取决于各模块。一般由①特点、②输入/输出管脚、③寄存器说明、④运行说明、⑤使用时的注意事项等章节构成。

设计采用本 LSI 的应用系统时，请在充分确认了注意事项的基础上进行。请务必阅读各章节中有关说明的注意事项和各章节最后的使用时的注意事项（使用时的注意事项根据需要记载）。

7. 寄存器一览表
8. 电特性
9. 附录
10. 本版中修改或者追加的部分（仅适用于修订版）

修订履历汇总了对前版内容的修改和追加的主要部分。记载的内容并非全部修订内容，有关详细内容请在本手册的正文中确认。

11. 索引

# 前 言

本 LSI 是以高速 H8/300L CPU 为核心，集成了系统构成所必需的外围功能的单片机。H8/300L CPU 具有与 H8/300 CPU 兼容的指令系统。各群的产品规格一览表如下所示：

规格一览表

		H8/3802 群		H8/38004 群		H8/38002S 群	H8/38104 群	
		ZTAT	掩模型 ROM	Flash	掩模型 ROM	掩模型 ROM	Flash	掩模型 ROM
存储器	ROM	16k	8k→16k	16k/32k	8k→32k	8k→16k	32k	8k→32k
	RAM	1k	512 or 1k	1k	512 or 1k	512	1k	512 or 1k
工作电压 和工作频率	4.5~5.5V	16MHz	16MHz	—	—	—	16MHz	16MHz
	2.7~5.5V	10MHz	10MHz	—	—	—	16MHz	16MHz
	1.8~5.5V	4MHz	4MHz	—	—	—	—	—
	2.7~3.6V	—	—	10MHz	10MHz	10MHz	—	—
	1.8~3.6V	—	—	4MHz (2.2V~)	4MHz	4MHz	—	—
I/O 端口	输入	9	9	9	9	9	9	9
	输出	6	6	6	6	6	5	5
	输入/输出	39	39	39	39	39	39	39
定时器	时钟用(定时器 A)	1	1	1	1	1	1	1
	比较(定时器 F)	1	1	1	1	1	1	1
	AEC	1	1	1	1	1	1	1
	WDT	/	/	1	1	1	/	/
	WDT(独立型)	/	/	/	/	/	1	1
SCI	UART/时钟同步	1ch	1ch	1ch	1ch	1ch	1ch	1ch
A/D(分辨率×输入 ch)		10 位×4ch	10 位×4ch	10 位×4ch	10 位×4ch	10 位×4ch	10 位×4ch	10 位×4ch
LCD	seg	25	25	25	25	25	25	25
	com	4	4	4	4	4	4	4
外部中断(内唤醒)		11(8)	11(8)	11(8)	11(8)	11(8)	11(8)	11(8)
POR(加电复位)		—	—	—	—	—	1	1
LVD		—	—	—	—	—	1	1
封装		FP-64A	FP-64A	FP-64A	FP-64A	FP-64A	FP-64A	FP-64A
		FP-64E	FP-64E	FP-64E	FP-64E	FP-64K*	FP-64E	FP-64E
		DP-64S	DP-64S					
			裸芯片	裸芯片	裸芯片			
工作温度		标准规格: -20~75℃ WTR: -40~85℃						

【注】\* 在开发中

**对象者** 本手册是以设计“采用 H8/3802 群、H8/38004 群、H8/38002S 群和 H8/38104 群的应用系统”的用户为对象。

使用本手册的读者需要具备有关电路、逻辑电路以及微型计算机的基础知识。

**目的** 本手册是以“能让用户理解 H8/3802 群、H8/38004 群、H8/38002S 群和 H8/38104 群的硬件功能和电特性”为目的。

关于执行指令的详细内容，已记述在《H8/300L Series Software Manual》中，请对照阅读。

### 阅读方法

- 希望了解全部功能时

→ 请按照目录的顺序阅读。

本书大致按CPU、系统控制功能、外围功能、电特性的顺序构成。

- 希望了解详细的 CPU 功能时

→ 请参照《H8/300L Series Software Manual》。

- 知道寄存器名，希望了解寄存器的详细功能时

→ 在本手册的后面附有“索引”，请从索引检索页号。

关于地址、位内容以及初始化，汇总在“第16章 寄存器一览表”中。

**范例** 位的表示顺序：以左侧为高位、右侧为低位的顺序表示

### 注意

使用内部仿真器进行 H8/38004、H8/38002、H8/38104、H8/38102 的程序开发和调试时，必须注意以下限制事项：

1. P95管脚被内部仿真器占用，用户不能使用。
2. P33、P34、P35管脚也不能使用。使用时必须给用户电路板追加硬件。
3. 内部仿真器使用地址H'7000~H'7FFF区，用户不能使用。
4. 不能存取地址H'F780~H'FB7F区。
5. 使用内部仿真器时，P95管脚为输入/输出管脚，P33管脚和P34管脚为输入管脚，P35管脚为输出管脚。
6. 对于H8/38104群，即使在选择内部振荡器时，如果使用内部仿真器，也必须将谐振器连接到OSC1、OSC2管脚或者给OSC1提供外部时钟。

相联资料一览表 最新的资料刊登在网站上，请确认现有的资料是否为最新版。  
( [http:// www.renesas.com](http://www.renesas.com) )

• 有关 H8/3802 群、H8/38004 群、H8/38002S 群和 H8/38104 群的用户手册

资料名	资料编号
H8/3802、H8/38004、H8/38002S、H8/38104 群 硬件手册	本手册
H8/300L Series Software Manual	REJ09B0214-0200
H8/300L 系列程序设计手册	ADC-602-004

• 有关开发工具的用户手册

资料名	资料编号
H8S、H8/300 系列 C/C++编译程序、汇编程序、优化连接编辑程序用户手册	RCJ10B0001-0100
H8S, H8/300 Series Simulator/Debugger User's Manual	ADE-702-282A
H8S, H8/300 Series High-performance Embedded Workshop, Highperformance Debugging Interface Tutorial	ADE-702-231
High-Performance Embedded Workshop User's Manual	ADE-702-201A

• 应用说明

资料名	资料编号
Single Power Supply F-ZTAT™ On-Board Programming	REJ05B0520-0200



---

# 目 录

---

第 1 章	概 要	1
1.1	特 点	1
1.2	内部框图	4
1.3	管脚排列图	7
1.4	管脚功能	16
第 2 章	CPU	19
2.1	特 点	19
2.2	地址空间和存储器映像	20
2.3	寄存器结构	29
2.3.1	通用寄存器	30
2.3.2	程序计数器 (PC)	30
2.3.3	条件码寄存器 (CCR)	31
2.3.4	CPU 内部寄存器的初始值	32
2.4	数据格式	32
2.4.1	通用寄存器的数据格式	33
2.4.2	存储器的数据格式	34
2.5	指令系统	35
2.5.1	数据传送指令	37
2.5.2	算术运算指令	39
2.5.3	逻辑运算指令	40
2.5.4	移位指令	40
2.5.5	位操作指令	42
2.5.6	转移指令	45
2.5.7	系统控制指令	47
2.5.8	数据块传送指令	48
2.6	寻址方式和有效地址	49
2.6.1	寻址方式	49
2.6.2	有效地址的计算方法	51
2.7	基本总线时序	55
2.7.1	内部存储器 (RAM、ROM)	55
2.7.2	内部外围模块	56
2.8	CPU 的状态	58
2.9	使用时的注意事项	59
2.9.1	空区域的数据存取	59

2.9.2	内部 I/O 寄存器的存取.....	59
2.9.3	EEPMOV 指令.....	59
2.9.4	位操作指令.....	60
<b>第 3 章</b>	<b>异常处理.....</b>	<b>67</b>
3.1	异常类型和向量地址.....	69
3.2	寄存器说明.....	70
3.2.1	中断边沿选择寄存器 (IEGR) .....	70
3.2.2	中断允许寄存器 1 (IENR1) .....	71
3.2.3	中断允许寄存器 2 (IENR2) .....	72
3.2.4	中断请求寄存器 1 (IRR1) .....	73
3.2.5	中断请求寄存器 2 (IRR2) .....	74
3.2.6	唤醒中断请求寄存器 (IWPR) .....	75
3.2.7	唤醒边沿选择寄存器 (WEGR) .....	75
3.3	复位异常处理.....	76
3.4	中断异常处理.....	76
3.4.1	外部中断请求.....	76
3.4.2	内部中断请求.....	78
3.4.3	中断处理顺序.....	78
3.4.4	中断响应时间.....	79
3.5	使用时的注意事项.....	81
3.5.1	复位后的中断请求.....	81
3.5.2	堆栈区的存取.....	81
3.5.3	中断请求标志的清除方法.....	81
3.5.4	改写端口模式寄存器时的注意事项.....	82
<b>第 4 章</b>	<b>时钟振荡器.....</b>	<b>85</b>
4.1	特点.....	85
4.2	寄存器说明.....	87
4.2.1	振荡器控制寄存器 (OSCCR) (只限于 H8/38104 群) .....	87
4.3	系统时钟振荡器.....	88
4.3.1	连接晶体谐振器的方法.....	88
4.3.2	连接陶瓷谐振器的方法.....	89
4.3.3	输入外部时钟的方法.....	90
4.3.4	选择内部振荡器的方法 (只限于 H8/38104 群) .....	90
4.4	子时钟振荡器.....	91
4.4.1	连接 32.768kHz/38.4 kHz 晶体谐振器的方法.....	91
4.4.2	不使用子时钟时的管脚处理.....	92
4.4.3	输入外部时钟的方法.....	92
4.5	预定标器.....	93
4.5.1	预定标器 S.....	93

4.5.2	预定标器 W .....	93
4.6	使用时的注意事项 .....	93
4.6.1	有关谐振器的注意事项 .....	93
4.6.2	电路板设计时的注意事项 .....	96
4.6.3	振荡稳定待机时间的定义 .....	96
4.6.4	使用晶体谐振器时的注意事项 .....	98
4.6.5	H8/38104 群的注意事项 .....	98
<b>第 5 章</b>	<b>低功耗模式 .....</b>	<b>99</b>
5.1	寄存器说明 .....	100
5.1.1	系统控制寄存器 1 (SYSCR1) .....	100
5.1.2	系统控制寄存器 2 (SYSCR2) .....	102
5.1.3	时钟停止寄存器 1、2 (CKSTPR1、CKSTPR2) .....	103
5.2	模式间转移和 LSI 状态 .....	104
5.2.1	睡眠模式 .....	107
5.2.2	待机模式 .....	107
5.2.3	时钟模式 .....	108
5.2.4	子睡眠模式 .....	108
5.2.5	子激活模式 .....	109
5.2.6	激活 (中速) 模式 .....	109
5.3	直接转移 .....	110
5.3.1	关于从激活 (高速) 模式向激活 (中速) 模式直接转移时的时间 .....	110
5.3.2	关于从激活 (中速) 模式向激活 (高速) 模式直接转移时的时间 .....	111
5.3.3	关于从子激活模式向激活 (高速) 模式直接转移时的时间 .....	111
5.3.4	关于从子激活模式向激活 (中速) 模式直接转移时的时间 .....	112
5.3.5	在直接转移前后当外部输入信号变化时的注意事项 .....	112
5.4	模块待机功能 .....	112
5.5	使用时的注意事项 .....	113
5.5.1	向待机模式的转移和管脚状态 .....	113
5.5.2	在待机模式前后当外部输入信号变化时的注意事项 .....	113
<b>第 6 章</b>	<b>ROM .....</b>	<b>115</b>
6.1	框图 .....	115
6.2	H8/3802 的 PROM 模式 .....	116
6.2.1	PROM 模式的设定 .....	116
6.2.2	插座适配器的管脚对应和存储器映像 .....	116
6.3	H8/3802 的编程 .....	119
6.3.1	编程/验证 .....	120
6.3.2	编程时的注意事项 .....	122
6.4	编程后的可靠性 .....	123
6.5	快速擦写存储器的概要 .....	124

6.5.1	特点	124
6.5.2	框图	125
6.5.3	块结构	126
6.6	寄存器说明	128
6.6.1	快速擦写存储器控制寄存器 1 (FLMCR1)	128
6.6.2	快速擦写存储器控制寄存器 2 (FLMCR2)	129
6.6.3	块指定寄存器 (EBR)	129
6.6.4	快速擦写存储器功率控制寄存器 (FLPWCR)	129
6.6.5	快速擦写存储器允许寄存器 (FENR)	130
6.7	单板上编程	130
6.7.1	引导模式	131
6.7.2	用户模式的编程/擦除	133
6.7.3	单板上编程的注意事项	134
6.8	编程/擦除程序	135
6.8.1	编程/编程验证	135
6.8.2	擦除/擦除验证	138
6.8.3	快速擦写存储器的编程/擦除时的中断	138
6.9	编程/擦除保护	140
6.9.1	硬件保护	140
6.9.2	软件保护	140
6.9.3	错误保护	140
6.10	编程器模式	141
6.10.1	插座适配器	141
6.10.2	编程器模式的命令	141
6.10.3	存储器读	144
6.10.4	自动编程	147
6.10.5	自动擦除	149
6.10.6	状态读	150
6.10.7	状态查询	151
6.10.8	编程器模式的转移时间	152
6.10.9	使用编程器模式时的注意事项	152
6.11	快速擦写存储器的低功耗运行	153
<b>第 7 章</b>	<b>RAM</b>	<b>155</b>
7.1	框图	155
<b>第 8 章</b>	<b>I/O 端口</b>	<b>157</b>
8.1	端口 3	159
8.1.1	端口数据寄存器 3 (PDR3)	160
8.1.2	端口控制寄存器 3 (PCR3)	160
8.1.3	端口上拉控制寄存器 3 (PUCR3)	161

8.1.4	端口模式寄存器 3 (PMR3)	161
8.1.5	端口模式寄存器 2 (PMR2)	162
8.1.6	管脚功能	163
8.1.7	输入上拉 MOS	164
8.2	端口4	164
8.2.1	端口数据寄存器 4 (PDR4)	165
8.2.2	端口控制寄存器 4 (PCR4)	165
8.2.3	串行端口控制寄存器 (SPCR)	166
8.2.4	管脚功能	167
8.3	端口5	168
8.3.1	端口数据寄存器 5 (PDR5)	168
8.3.2	端口控制寄存器 5 (PCR5)	169
8.3.3	端口上拉控制寄存器 5 (PUCR5)	169
8.3.4	端口模式寄存器 5 (PMR5)	169
8.3.5	管脚功能	170
8.3.6	输入上拉 MOS	170
8.4	端口6	171
8.4.1	端口数据寄存器 6 (PDR6)	171
8.4.2	端口控制寄存器 6 (PCR6)	172
8.4.3	端口上拉控制寄存器 6 (PUCR6)	172
8.4.4	管脚功能	173
8.4.5	输入上拉 MOS	173
8.5	端口7	174
8.5.1	端口数据寄存器 7 (PDR7)	174
8.5.2	端口控制寄存器 7 (PCR7)	175
8.5.3	管脚功能	175
8.6	端口8	176
8.6.1	端口数据寄存器 8 (PDR8)	176
8.6.2	端口控制寄存器 8 (PCR8)	177
8.6.3	管脚功能	177
8.7	端口9	178
8.7.1	端口数据寄存器 9 (PDR9)	178
8.7.2	端口模式寄存器 9 (PMR9)	179
8.7.3	管脚功能	179
8.8	端口A	180
8.8.1	端口数据寄存器 A (PDRA)	180
8.8.2	端口控制寄存器 A (PCRA)	181
8.8.3	管脚功能	181
8.9	端口B	182
8.9.1	端口数据寄存器 B (PDRB)	182
8.9.2	端口模式寄存器 B (PMRB)	183

8.9.3	管脚功能.....	183
8.10	使用时的注意事项.....	184
8.10.1	未使用管脚的处理.....	184
<b>第 9 章</b>	<b>定时器.....</b>	<b>185</b>
9.1	概要.....	185
9.2	定时器A.....	186
9.2.1	特点.....	186
9.2.2	寄存器说明.....	187
9.2.3	运行说明.....	188
9.2.4	定时器 A 的运行模式.....	188
9.3	定时器F.....	189
9.3.1	特点.....	189
9.3.2	输入/输出管脚.....	191
9.3.3	寄存器说明.....	191
9.3.4	和 CPU 的接口.....	195
9.3.5	运行说明.....	198
9.3.6	定时器 F 的运行模式.....	200
9.3.7	使用时的注意事项.....	200
9.4	异步事件计数器 (AEC).....	204
9.4.1	特点.....	204
9.4.2	输入/输出管脚.....	206
9.4.3	寄存器说明.....	206
9.4.4	运行说明.....	211
9.4.5	异步事件计数器的运行模式.....	215
9.4.6	使用时的注意事项.....	216
9.5	监视定时器.....	217
9.5.1	特点.....	217
9.5.2	寄存器说明.....	218
9.5.3	运行说明.....	220
9.5.4	监视定时器的运行模式.....	221
<b>第 10 章</b>	<b>串行通信接口 3 (SCI3).....</b>	<b>223</b>
10.1	特点.....	223
10.2	输入/输出管脚.....	224
10.3	寄存器说明.....	225
10.3.1	接收移位寄存器 (RSR).....	225
10.3.2	接收数据寄存器 (RDR).....	225
10.3.3	发送移位寄存器 (TSR).....	225
10.3.4	发送数据寄存器 (TDR).....	225
10.3.5	串行模式寄存器 (SMR).....	226

10.3.6	串行控制寄存器 3 (SCR3)	228
10.3.7	串行状态寄存器 (SSR)	230
10.3.8	位速率寄存器 (BRR)	232
10.3.9	串行端口控制寄存器 (SPCR)	237
10.4	异步模式的运行说明	238
10.4.1	时钟	238
10.4.2	SCI3 的初始化	241
10.4.3	数据发送	242
10.4.4	数据接收	244
10.5	时钟同步模式的运行说明	247
10.5.1	时钟	247
10.5.2	SCI3 的初始化	247
10.5.3	数据发送	248
10.5.4	数据接收	250
10.5.5	数据发送和接收同时运行	252
10.6	多处理器通信功能	253
10.6.1	多处理器数据发送	254
10.6.2	多处理器数据接收	255
10.7	中断请求	257
10.8	使用时的注意事项	260
10.8.1	有关中止的检测和处理	260
10.8.2	标记状态和中止的发送	260
10.8.3	有关接收错误标志和发送运行 (只限于时钟同步模式)	260
10.8.4	异步模式的接收数据采样时序和接收容限	260
10.8.5	有关 SCK32 管脚功能切换的注意事项	261
10.8.6	有关对 TDR 的写操作和 TDRE 的关系	262
10.8.7	关于 RDR 的读和 RDRF 的关系	262
10.8.8	有关状态转移时的发送和接收运行	263
10.8.9	有关子激活模式和子睡眠模式时的设定	263
10.8.10	关于在异步模式执行串行通信接口 3 时使用的振荡器 (只限于 H8/38104 群)	263
<b>第 11 章</b>	<b>10 位 PWM</b>	<b>265</b>
11.1	特点	265
11.2	输入/输出管脚	268
11.3	寄存器说明	268
11.3.1	PWM 控制寄存器 (PWCR)	268
11.3.2	PWM 数据寄存器 U、L (PWDRU、PWDRL)	269
11.4	运行说明	269
11.4.1	运行说明	269
11.4.2	PWM 的运行模式	270

第 12 章	A/D 转换器 .....	271
12.1	特点 .....	271
12.2	输入/输出管脚.....	272
12.3	寄存器说明.....	273
12.3.1	A/D 结果寄存器 H、L (ADRRH、ADRRL) .....	273
12.3.2	A/D 模式寄存器 (AMR) .....	273
12.3.3	A/D 开始寄存器 (ADSR) .....	274
12.4	运行说明.....	274
12.4.1	A/D 转换运行 .....	274
12.4.2	A/D 转换器的运行模式 .....	274
12.5	使用例子.....	275
12.6	A/D转换精度的定义.....	278
12.7	使用时的注意事项.....	280
12.7.1	有关容许信号源阻抗 .....	280
12.7.2	有关对绝对精度的影响 .....	280
12.7.3	其它注意事项.....	282
第 13 章	LCD 控制器/驱动器 .....	283
13.1	特点 .....	283
13.2	输入/输出管脚.....	286
13.3	寄存器说明.....	286
13.3.1	LCD 端口控制寄存器 (LPCR) .....	286
13.3.2	LCD 控制寄存器 (LCR) .....	288
13.3.3	LCD 控制寄存器 2 (LCR2) .....	289
13.4	运行说明.....	290
13.4.1	LCD 显示前的设置.....	290
13.4.2	LCD RAM 和显示的关系.....	292
13.4.3	低功耗模式时的运行 .....	297
13.4.4	LCD 驱动电源的强化.....	298
第 14 章	加电复位和低电压检测电路 (只限于 H8/38104 群) .....	299
14.1	特点 .....	299
14.2	寄存器说明.....	301
14.2.1	低电压检测控制寄存器 (LVDCR) .....	301
14.2.2	低电压检测状态寄存器 (LVDSR) .....	302
14.2.3	低电压检测计数器 (LVDCNT) .....	303
14.3	运行说明.....	304
14.3.1	加电复位电路.....	304
14.3.2	低电压检测电路.....	305

第 15 章	电源电路（只限于 H8/38104 群）	311
15.1	使用内部电源降压电路的情况	311
15.2	不使用内部电源降压电路的情况	311
第 16 章	寄存器一览表	313
16.1	寄存器地址一览表（按地址顺序）	314
16.2	寄存器位一览表	317
16.3	各运行模式的寄存器状态	320
第 17 章	电特性	323
17.1	H8/3802群（ZTAT版和掩模型ROM版）的绝对最大额定值	323
17.2	H8/3802群（ZTAT版和掩模型ROM版）的电特性	324
17.2.1	电源电压和工作范围	324
17.2.2	DC 特性	327
17.2.3	AC 特性	333
17.2.4	A/D 转换特性	336
17.2.5	LCD 特性	337
17.3	H8/38004群（F-ZTAT版和掩模型ROM版）和 H8/38002S群（掩模型ROM版）的绝对最大额定值	338
17.4	H8/38004群（F-ZTAT版和掩模型ROM版）和 H8/38002S群（掩模型ROM版）的电特性	339
17.4.1	电源电压和工作范围	339
17.4.2	DC 特性	344
17.4.3	AC 特性	351
17.4.4	A/D 转换器特性	354
17.4.5	LCD 特性	355
17.4.6	快速擦写存储器特性	356
17.5	H8/38104群（F-ZTAT版和掩模型ROM版）的绝对最大额定值	358
17.6	H8/38104群（F-ZTAT版和掩模型ROM版）的电特性	359
17.6.1	电源电压和工作范围	359
17.6.2	DC 特性	363
17.6.3	AC 特性	370
17.6.4	A/D 转换器特性	372
17.6.5	LCD 特性	373
17.6.6	快速擦写存储器特性	374
17.6.7	电源电压检测电路特性	376
17.6.8	加电复位特性	378
17.6.9	监视定时器特性	378
17.7	运行时序	379
17.8	输出负载电路	380
17.9	谐振器的等效电路	381

17.10 使用时的注意事项.....	382
附录 .....	383
A. 指令 .....	383
A.1 指令一览表.....	383
A.2 操作码映像.....	393
A.3 指令执行状态数.....	395
B. I/O端口框图.....	401
B.1 端口 3 框图.....	401
B.2 端口 4 框图.....	405
B.3 端口 5 框图.....	409
B.4 端口 6 框图.....	410
B.5 端口 7 框图.....	411
B.6 端口 8 框图.....	412
B.7 端口 9 框图.....	413
B.8 端口 A 框图.....	415
B.9 端口 B 框图.....	416
C. 各处理状态的端口状态.....	419
D. 产品型号一览表.....	420
E. 外形尺寸图.....	424
F. 芯片形状规格图.....	428
G. 焊接区形状图.....	429
H. 芯片托盘规格图.....	430
修订记录.....	改-1
索引.....	索引-1

---

# 图目录

---

## 第1章 概要

图1.1	H8/3802群的内部框图 .....	4
图1.2	H8/38004、H8/38002S群的内部框图 .....	5
图1.3	H8/38104群的内部框图 .....	6
图1.4	H8/3802群、H8/38004和H8/38002S群的管脚排列图 (FP-64A、FP-64E和FP-64K) .....	7
图1.5	H8/3802群的管脚排列图 (DP-64S) .....	8
图1.6	H8/38104群的管脚排列图 (FP-64A和FP-64E) .....	9
图1.7	HCD6433802、HCD6433801和HCD6433800的焊接区排列图 (俯视图) .....	10
图1.8	HCD64338004、HCD64338003、HCD64338002、HCD64338001和 HCD64338000的焊接区排列图 (俯视图) .....	12
图1.9	HCD64F38004和HCD64F38002的焊接区排列图 (俯视图) .....	14

## 第2章 CPU

图2.1	(1) H8/3802的存储器映像 .....	20
图2.1	(2) H8/3801的存储器映像 .....	21
图2.1	(3) H8/3800的存储器映像 .....	22
图2.1	(4) H8/38004和H8/38104的存储器映像 .....	23
图2.1	(5) H8/38003和H8/38103的存储器映像 .....	24
图2.1	(6) H8/38002和H8/38102的存储器映像 .....	25
图2.1	(7) H8/38002S的存储器映像 .....	26
图2.1	(8) H8/38001、H8/38001S和H8/38101的存储器映像 .....	27
图2.1	(9) H8/38000、H8/38000S和H8/38100的存储器映像 .....	28
图2.2	CPU内部寄存器结构 .....	29
图2.3	堆栈的状态 .....	30
图2.4	通用寄存器的数据结构 .....	33
图2.5	存储器的数据结构 .....	34
图2.6	数据传送指令的指令格式 .....	38
图2.7	算术运算指令、逻辑运算指令、移位指令的指令格式 .....	41
图2.8	位操作指令的指令格式 .....	44
图2.9	转移指令的指令格式 .....	46
图2.10	系统控制指令的指令格式 .....	47
图2.11	块传送指令的指令格式 .....	48
图2.12	内部存储器的存取周期 .....	55
图2.13	内部外围模块的存取周期 (2个状态的存取) .....	56
图2.14	内部外围模块的存取周期 (3个状态的存取) .....	57
图2.15	CPU的状态分类 .....	58
图2.16	状态转移图 .....	59
图2.17	同地址被分配2个寄存器的定时器的构成例子 .....	60

<b>第3章</b>	<b>异常处理</b>	
图3.1	复位异常处理顺序	77
图3.2	中断异常处理结束后的堆栈状态	79
图3.3	中断请求顺序	80
图3.4	端口模式寄存器的操作和中断请求标志的清除步骤	83
<b>第4章</b>	<b>时钟振荡器</b>	
图4.1	时钟发生电路的框图 (H8/3802、H8/38004和H8/38002S群)	85
图4.2	时钟发生电路的框图 (H8/38104群)	86
图4.3	系统时钟振荡器的框图	88
图4.4	(1) 晶体谐振器的连接例子 (H8/3802群)	88
图4.4	(2) 晶体谐振器的连接例子 (H8/38004、H8/38002S和H8/38104群)	89
图4.5	晶体谐振器的等效电路	89
图4.6	(1) 陶瓷谐振器的连接例子 (H8/3802群)	89
图4.6	(2) 陶瓷谐振器的连接例子 (H8/38004、H8/38002S和H8/38104群)	90
图4.7	输入外部时钟时的连接例子	90
图4.8	子时钟振荡器的框图	91
图4.9	32.768kHz/38.4 kHz晶体谐振器的连接例子	91
图4.10	32.768kHz/38.4 kHz晶体谐振器的等效电路	92
图4.11	不需要子时钟时的管脚处理	92
图4.12	输入外部时钟时的连接例子	92
图4.13	晶体、陶瓷谐振器的排列例子	94
图4.14	负电阻测定和电路改变方案	95
图4.15	有关振荡电路的电路板设计的注意事项	96
图4.16	振荡稳定待机时间	97
<b>第5章</b>	<b>低功耗模式</b>	
图5.1	模式转移图	105
图5.2	向待机模式的转移和管脚状态	113
图5.3	在待机模式和时钟模式前后外部输入信号变化时的注意事项	114
<b>第6章</b>	<b>ROM</b>	
图6.1	ROM的框图 (H8/3802的情况)	115
图6.2	插座适配器的管脚对应图 (HN27C101)	117
图6.3	H8/3802的PROM模式时的存储器映像	118
图6.4	高速、高可靠性编程流程图	120
图6.5	PROM的编程/验证时序	122
图6.6	推荐筛选流程	123
图6.7	快速擦写存储器的框图	125
图6.8	(1) 32K字节快速擦写存储器的块结构	126
图6.8	(2) 16K字节快速擦写存储器的块结构	127
图6.9	用户模式的编程/擦除例子	134
图6.10	编程/编程验证流程图	136
图6.11	擦除/擦除验证流程图	139
图6.12	(1) 插座适配器的管脚对应图 (H8/38004F和H8/38002F)	142
图6.12	(2) 插座适配器的管脚对应图 (H8/38104F和H8/38102F)	143
图6.13	写命令后的存储器读时序波形	144

图6.14	从存储器读模式转移到其它模式时的时序波形 .....	145
图6.15	CE、OE允许状态读时的时序波形.....	146
图6.16	CE、OE时钟方式读时的时序波形.....	146
图6.17	自动编程的时序波形 .....	148
图6.18	自动擦除的时序波形.....	149
图6.19	状态读的时序波形 .....	150
图6.20	振荡稳定时间、编程器模式准备时间和Vcc保持时间的顺序 .....	152
<b>第7章 RAM</b>		
图7.1	RAM的框图（H8/3802的情况） .....	156
<b>第8章 I/O 端口</b>		
图8.1	端口3的管脚结构 .....	159
图8.2	端口4的管脚结构 .....	164
图8.3	输入/输出数据的反转功能 .....	166
图8.4	端口5的管脚结构 .....	168
图8.5	端口6的管脚结构 .....	171
图8.6	端口7的管脚结构 .....	174
图8.7	端口8的管脚结构 .....	176
图8.8	端口9的管脚结构 .....	178
图8.9	端口A的管脚结构 .....	180
图8.10	端口B的管脚结构 .....	182
<b>第9章 定时器</b>		
图9.1	定时器A框图 .....	186
图9.2	定时器F的框图.....	190
图9.3	TCF的写运行（CPU→TCF） .....	196
图9.4	TCF的读运行（TCF→CPU） .....	197
图9.5	TMOFH、TMOFL的输出时序.....	199
图9.6	在中断源产生信号有效期间，进行中断请求标志清除的情况.....	202
图9.7	异步事件计数器的框图 .....	205
图9.8	作为16位计数器使用时的软件例子 .....	212
图9.9	作为8位计数器使用时的软件例子 .....	213
图9.10	事件计数器的运行波形 .....	214
图9.11	时钟控制运行例子 .....	215
图9.12	（1） 监视定时器的框图（H8/38004和H8/38002S群） .....	217
图9.12	（2） 监视定时器的框图（H8/38104群） .....	218
图9.13	监视定时器运行的例子 .....	221
<b>第10章 串行通信接口3（SCI3）</b>		
图10.1	SCI3的框图.....	224
图10.2	异步通信的数据格式 .....	238
图10.3	输出时钟和通信数据的相位关系（异步模式） （8位数据/有奇偶校验/2个停止位的例子） .....	238
图10.4	初始化SCI3时的流程图例子 .....	241
图10.5	异步模式发送时的运行例子（8位数据/有奇偶校验/1个停止位的例子） .....	242
图10.6	发送数据的流程图例子（异步模式） .....	243
图10.7	异步模式接收时的运行例子（8位数据/有奇偶校验/1个停止位的例子） .....	245

图10.8	数据接收的流程图例子（异步模式） .....	246
图10.9	时钟同步通信的数据格式 .....	247
图10.10	时钟同步模式发送时的运行例子 .....	248
图10.11	数据发送的流程图例子（时钟同步模式） .....	249
图10.12	时钟同步模式接收时的运行例子 .....	250
图10.13	接收数据的流程图例子（时钟同步模式） .....	251
图10.14	数据发送和接收同时运行的流程图例子（时钟同步模式） .....	252
图10.15	使用多处理器格式的处理器之间的通信例子 （给接收站A发送数据H'AA的例子） .....	253
图10.16	多处理器数据发送的流程图例子 .....	254
图10.17	多处理器数据接收的流程图例子 .....	255
图10.18	多处理器格式的接收时的运行例子 （8位数据/有多处理器位/1个停止位的例子） .....	256
图10.19	（a） RDRF的置位和RXI的中断 .....	258
图10.19	（b） TDRE的置位和TXI的中断 .....	259
图10.19	（c） TEND的置位和TEI的中断 .....	259
图10.20	异步模式的接收数据的采样时序 .....	261
图10.21	读RDR的时序和数据的关系 .....	262
<b>第11章 10位PWM</b>		
图11.1	（1） 10位PWM的框图（H8/3802群、H8/38004群和H8/38002S群） .....	266
图11.1	（2） 10位PWM的框图（H8/38104群） .....	267
图11.2	10位PWM输出波形 .....	270
<b>第12章 A/D转换器</b>		
图12.1	A/D转换器的框图 .....	272
图12.2	A/D转换器的运行例子 .....	276
图12.3	A/D转换器的使用步骤的概念流程图（通过软件查询时） .....	277
图12.4	A/D转换器的使用步骤的概念流程图（使用中断时） .....	277
图12.5	A/D转换精度的定义（1） .....	279
图12.6	A/D转换精度的定义（2） .....	280
图12.7	模拟输入电路的例子 .....	281
<b>第13章 LCD控制器/驱动器</b>		
图13.1	（1） H8/3802群、H8/38004群和H8/38002S群的LCD控制器/驱动器的框图 .....	284
图13.1	（2） H8/38104群的LCD控制器/驱动器的框图 .....	285
图13.2	1/2占空比时的LCD驱动电源的处理 .....	290
图13.3	LCD RAM映像（1/4占空比） .....	292
图13.4	LCD RAM映像（1/3占空比） .....	293
图13.5	LCD RAM映像（1/2占空比） .....	293
图13.6	LCD RAM映像（静态） .....	294
图13.7	各占空比的输出波形（A波形） .....	295
图13.8	各占空比的输出波形（B波形） .....	296
图13.9	外部分压电阻的连接方法 .....	298
<b>第14章 加电复位和低电压检测电路（只限于H8/38104群）</b>		
图14.1	加电复位电路和低电压检测电路的框图 .....	300
图14.2	加电复位电路的运行时序 .....	304

图14.3	低电压检测复位电路的运行时序 .....	305
图14.4	低电压检测中断电路的运行时序 .....	306
图14.5	低电压检测中断电路的运行时序（在使用Vref、extD/extU管脚时） .....	307
图14.6	使用Vref、extD、extU管脚时的LVD功能使用例子 .....	308
图14.7	低电压检测电路运行/解除的设定时序 .....	310
<b>第15章</b>	<b>电源电路（只限于 H8/38104 群）</b>	
图15.1	在使用内部电源降压电路的情况下的电源连接图 .....	311
图15.2	在不使用内部电源降压电路的情况下的电源连接图 .....	312
<b>第17章</b>	<b>电特性</b>	
图17.1	时钟输入时序 .....	379
图17.2	RES管脚低电平宽度 .....	379
图17.3	输入时序 .....	379
图17.4	SCK3输入时钟时序 .....	379
图17.5	SCI3时钟同步模式输入/输出时序 .....	380
图17.6	输出负载条件 .....	380
图17.7	谐振器的等效电路 .....	381
图17.8	谐振器的等效电路 .....	381
<b>附录</b>		
图B.1	(a) 端口3框图（P37、P36管脚） .....	401
图B.1	(b) 端口3框图（P35管脚） .....	402
图B.1	(c) 端口3框图（P34、P33管脚） .....	403
图B.1	(d) 端口3框图（P32、P31管脚） .....	404
图B.2	(a) 端口4框图（P43管脚） .....	405
图B.2	(b) 端口4框图（P42管脚） .....	406
图B.2	(c) 端口4框图（P41管脚） .....	407
图B.2	(d) 端口4框图（P40管脚） .....	408
图B.3	端口5框图 .....	409
图B.4	端口6框图 .....	410
图B.5	端口7框图 .....	411
图B.6	端口8框图 .....	412
图B.7	(a) 端口9框图（P91、P90管脚） .....	413
图B.7	(b) 端口9框图（P95~P92管脚） .....	413
图B.7	(c) 端口9框图（P93管脚，只限于H8/38104群） .....	414
图B.8	端口A框图 .....	415
图B.9	(a) 端口B框图 .....	416
图B.9	(b) 端口B框图（PB0管脚，只限于H8/38104群） .....	417
图B.9	(c) 端口B框图（PB1管脚，只限于H8/38104群） .....	418
图E.1	外形尺寸图（FP-64A） .....	424
图E.2	外形尺寸图（FP-64E） .....	425
图E.3	外形尺寸图（FP-64K） .....	426
图E.4	外形尺寸图（DP-64S） .....	427
图F.1	芯片断面图（HCD6433802、HCD6433801、HCD6433800） .....	428
图F.2	芯片断面图（HCD6438004、HCD6438003、HCD6438002、 HCD6438001、HCD6438000） .....	428
图F.3	芯片断面图（HCD64F38004、HCD64F38002） .....	429

图G.1	焊接区形状图 (HCD6433802、HCD6433801、HCD6433800、 HCD64338004、HCD64338003、HCD64338002、HCD64338001、 HCD64338000、HCD64F38004、HCD64F38002) .....	429
图H.1	芯片托盘规格图 (HCD6433802、HCD6433801、HCD6433800) .....	430
图H.2	芯片托盘规格图 (HCD64338004、HCD64338003、HCD64338002、 HCD64338001、HCD64338000) .....	431
图H.3	芯片托盘规格图 (HCD64F38004、HCD64F38002) .....	432

---

# 表目录

---

<b>第1章</b>	<b>概要</b>	
表1.1	HCD6433802、HCD6433801和HCD6433800的焊接区坐标 .....	11
表1.2	HCD64338004、HCD64338003、HCD64338002、HCD64338001和 HCD64338000的焊接区坐标.....	13
表1.3	HCD64F38004和HCD64F38002的焊接区坐标 .....	15
表1.4	管脚功能.....	16
<b>第2章</b>	<b>CPU</b>	
表2.1	指令的分类.....	35
表2.2	操作符号.....	36
表2.3	数据传送指令.....	37
表2.4	算术运算指令.....	39
表2.5	逻辑运算指令.....	40
表2.6	移位指令.....	40
表2.7	位操作指令.....	42
表2.8	转移指令.....	45
表2.9	系统控制指令.....	47
表2.10	数据块传送指令.....	48
表2.11	寻址方式一览表.....	49
表2.12	有效地址的计算方法.....	52
表2.13	被分配在同一个地址的2个寄存器的一览表 .....	65
表2.14	含有只写位的寄存器一览表.....	65
<b>第3章</b>	<b>异常处理</b>	
表3.1	异常类型和向量地址.....	69
表3.2	中断请求等待状态数.....	79
表3.3	中断请求标志被置1的条件.....	82
<b>第4章</b>	<b>时钟振荡器</b>	
表4.1	晶体谐振器的参数.....	89
表4.2	系统时钟振荡器和内部振荡器的选择方法 .....	90
<b>第5章</b>	<b>低功耗模式</b>	
表5.1	(1) 运行频率和待机时间 (H8/3802群、H8/38004群和H8/38002S群) .....	101
表5.1	(2) 运行频率和待机时间 (H8/38104群) .....	101
表5.2	SLEEP指令执行后的状态和由中断产生的返回地址.....	106
表5.3	各运行模式的LSI状态.....	106
<b>第6章</b>	<b>ROM</b>	
表6.1	PROM模式的设定.....	116
表6.2	ROM模式时的编程模式的选择 (H8/3802) .....	119
表6.3	DC特性.....	121

表6.4	AC特性 .....	121
表6.5	编程模式的选择方法 .....	130
表6.6	引导模式的运行 .....	132
表6.7	可自动匹配位速率的振荡频率 (fosc) .....	133
表6.8	再编程数据运算表 .....	137
表6.9	追加编程数据运算表 .....	137
表6.10	编程时间 .....	137
表6.11	编程器模式的命令顺序 .....	141
表6.12	存储器读第1周期的AC特性 .....	144
表6.13	从存储器读转移到其它命令时的AC特性 .....	145
表6.14	存储器读时的AC特性 .....	146
表6.15	自动编程时的AC特性 .....	148
表6.16	自动擦除时的AC特性 .....	149
表6.17	状态读时的AC特性 .....	150
表6.18	状态读的返回码 .....	151
表6.19	状态查询输出 .....	151
表6.20	到命令等待状态为止的转移时间规定 .....	152
表6.21	快速擦写存储器的运行状态 .....	153
<b>第8章 I/O 端口</b>		
表8.1	端口的功能 .....	158
<b>第9章 定时器</b>		
表9.1	定时器的功能概要 .....	185
表9.2	定时器A的运行模式 .....	188
表9.3	管脚构成 .....	191
表9.4	定时器F的运行模式 .....	200
表9.5	管脚构成 .....	206
表9.6	事件计数器PWM的运行例子 .....	214
表9.7	异步事件计数器的运行模式 .....	215
表9.8	(1) 监视定时器的运行模式 (H8/38004和H8/38002S群) .....	221
表9.8	(2) 监视定时器的运行模式 (H8/38104群) .....	222
<b>第10章 串行通信接口 3 (SCI3)</b>		
表10.1	管脚结构 .....	224
表10.2	对于位速率的BRR的设定例子 (异步模式) (1) .....	233
表10.2	对于位速率的BRR的设定例子 (异步模式) (2) .....	233
表10.3	n和时钟的关系 .....	234
表10.4	各频率的最大位速率 (异步模式) .....	234
表10.5	对于位速率的BRR的设定例子 (时钟同步模式) (1) .....	235
表10.5	对于位速率的BRR的设定例子 (时钟同步模式) (2) .....	235
表10.6	n和时钟的关系 .....	236
表10.7	通信格式 (异步模式) .....	239
表10.8	SMR的设定值和发送/接收格式 .....	240
表10.9	SMR和SCR3的设定和时钟源的选择 .....	240
表10.10	SSR状态标志的状态和接收数据的传送 .....	245
表10.11	SCI3的中断请求 .....	257
表10.12	发送/接收中断 .....	258

<b>第11章</b>	<b>10 位 PWM</b>	
表11.1	管脚构成.....	268
表11.2	PWM的运行模式 .....	270
<b>第12章</b>	<b>A/D 转换器</b>	
表12.1	管脚结构.....	272
表12.2	A/D转换器的运行模式 .....	274
<b>第13章</b>	<b>LCD 控制器/驱动器</b>	
表13.1	管脚构成.....	286
表13.2	占空比和公共功能的选择 .....	287
表13.3	段驱动器的选择 .....	288
表13.4	帧频率的选择.....	289
表13.5	输出电平的关系 .....	297
表13.6	低功耗模式和显示运行的关系 .....	297
<b>第14章</b>	<b>加电复位和低电压检测电路（只限于 H8/38104 群）</b>	
表14.1	LVDCR的设定和选择功能.....	302
<b>第17章</b>	<b>电特性</b>	
表17.1	绝对最大额定值.....	323
表17.2	DC特性 .....	327
表17.3	AC特性 .....	333
表17.4	串行接口（SCI3）时序.....	335
表17.5	A/D转换器特性.....	336
表17.6	LCD特性.....	337
表17.7	绝对最大额定值.....	338
表17.8	DC特性 .....	344
表17.9	控制信号时序.....	351
表17.10	串行接口（SCI3）时序.....	353
表17.11	A/D转换器特性 .....	354
表17.12	LCD特性.....	355
表17.13	快速擦写存储器特性 .....	356
表17.14	绝对最大额定值.....	358
表17.15	DC特性 .....	363
表17.16	控制信号时序.....	370
表17.17	串行接口（SCI3）时序.....	371
表17.18	A/D转换器特性 .....	372
表17.19	LCD特性.....	373
表17.20	快速擦写存储器特性 .....	374
表17.21	电源电压检测电路特性（1） .....	376
表17.22	电源电压检测电路特性（2） 使用内部基准电压和梯形电阻时 （VREFSEL=VINTDSEL=VINTUSEL=0） .....	376
表17.23	电源电压检测电路特性（3） 使用内部基准电压和从外部输入检测电压时 （VREFSEL=0、VINTDSEL、VINTUSEL=1） .....	376
表17.24	电源电压检测电路特性（4） 使用外部基准电压和梯形电阻时 （VREFSEL=1、VINTDSEL=VINTUSEL=0） .....	377

表17.25	电源电压检测电路特性（5） 使用外部基准电压和从外部输入检测电压时 （VREFSEL=VINTDSEL=VINTUSEL=1） .....	377
表17.26	加电复位特性 .....	378
表17.27	监视定时器特性 .....	378

## 附录

表A.1	指令系统一览表 .....	384
表A.2	操作码映像 .....	394
表A.3	执行状态（周期）所需要的状态数 .....	395
表A.4	指令执行状态（周期数） .....	396
表C.1	各端口的状态一览表 .....	419
表D.1	H8/3802群型号一览表 .....	420
表D.2	H8/38004群型号一览表 .....	421
表D.3	H8/38002S群型号一览表 .....	422
表D.4	H8/38104群型号一览表 .....	423

---

# 第 1 章 概要

---

## 1.1 特点

- 高速H8/300L CPU  
与H8/300 CPU完全指令兼容  
通用寄存器：8位×16个  
（也可用作16位×8个）  
基本指令：55种
- 丰富的外围功能  
定时器A（可用作时钟时基）  
定时器F（16位定时器）  
异步事件计数器（16位定时器）  
监视定时器（WDT）（只限于H8/38004、H8/38002S和H8/38104群）  
SCI3（异步或者时钟同步串行通信接口）  
10位PWM  
10位A/D转换器  
LCD控制器/驱动器  
加电复位和低电压检测电路（只限于H8/38104群）

- 内部存储器

产品类型		产品型号	ROM	RAM
快速擦写存储器版 (F-ZTAT™版)	H8/38004	HD64F38004	32K 字节	1K 字节
	H8/38002	HD64F38002	16K 字节	1K 字节
	H8/38104	HD64F38104	32K 字节	1K 字节
	H8/38102	HD64F38102	16K 字节	1K 字节
PROM 版(ZTAT®版)	H8/3802	HD6473802	16K 字节	1K 字节
掩模型 ROM 版	H8/3802	HD6433802	16K 字节	1K 字节
	H8/3801	HD6433801	12K 字节	512 字节
	H8/3800	HD6433800	8K 字节	512 字节
	H8/38004	HD64338004	32K 字节	1K 字节
	H8/38003	HD64338003	24K 字节	1K 字节
	H8/38002	HD64338002	16K 字节	1K 字节
	H8/38001	HD64338001	12K 字节	512 字节
	H8/38000	HD64338000	8K 字节	512 字节
	H8/38002S	HD64338002S	16K 字节	512 字节
	H8/38001S	HD64338001S	12K 字节	512 字节
	H8/38000S	HD64338000S	8K 字节	512 字节
	H8/38104	HD64338104	32K 字节	1K 字节
	H8/38103	HD64338103	24K 字节	1K 字节
	H8/38102	HD64338102	16K 字节	1K 字节
	H8/38101	HD64338101	12K 字节	512 字节
	H8/38100	HD64338100	8K 字节	512 字节

【注】 F-ZTAT 为 (株) 瑞萨科技的商标。

ZTAT (Zero Turn Around Time) 为 (株) 瑞萨科技的注册商标。

- 通用输入/输出端口

输入/输出端口: 39个

输入端口: 5个

输出端口: 6个 (H8/38104群为5个)

- 支持各种低功耗模式

## • 小型封装

封装	代码	尺寸	管脚节距
QFP-64	FP-64A	14.0 × 14.0 mm	0.8 mm
LQFP-64	FP-64E	10.0 × 10.0 mm	0.5 mm
LQFP-64	FP-64K*	10.0 × 10.0 mm	0.5 mm
DP-64S	DP-64S	17.0 × 57.6 mm	1.0 mm
裸芯片	—	—	—

DP-64S 封装只限于 H8/3802 群。

H8/38104 群不支持裸芯片。

【注】\* 在开发中。FP-64K 的外形尺寸与 FP-64E 不同，请参照“附录 E 外形尺寸图”。

## 1.2 内部框图

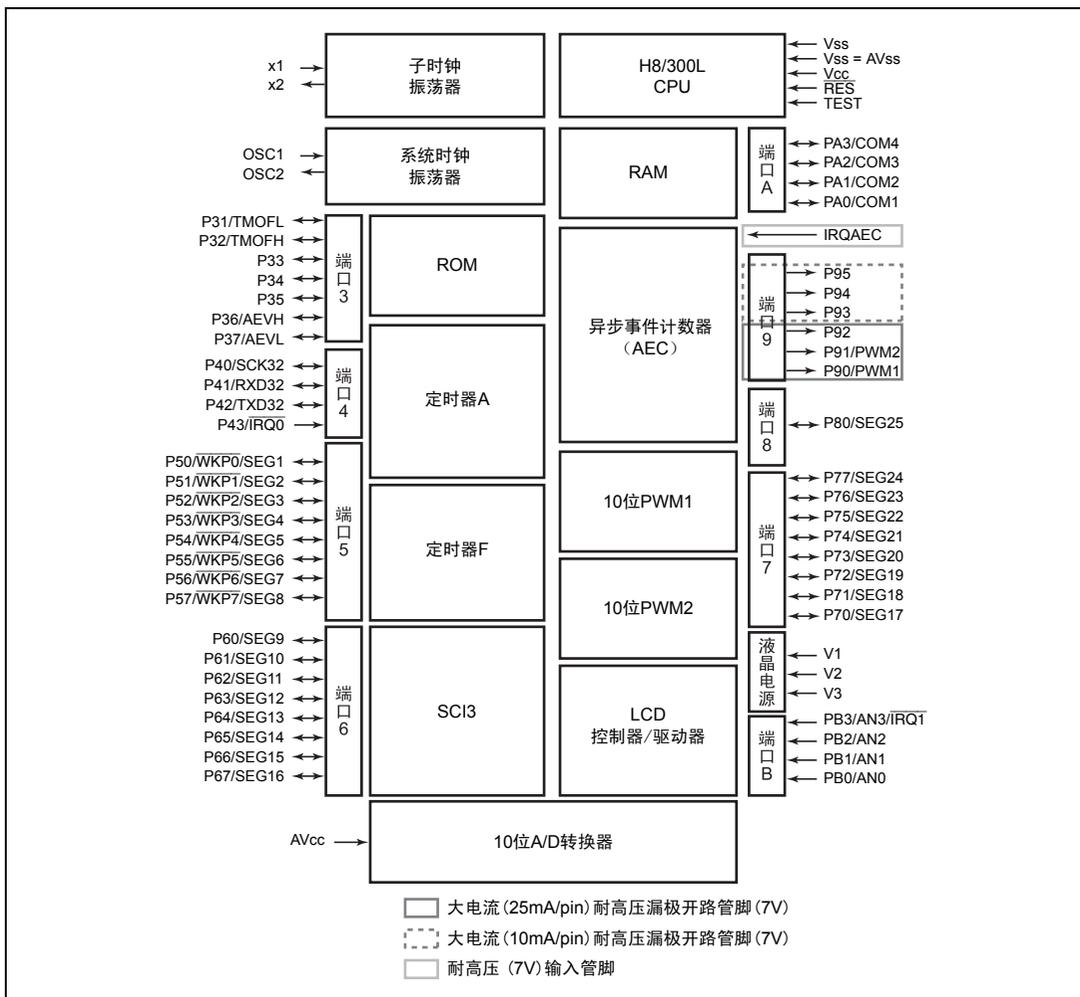


图 1.1 H8/3802 群的内部框图

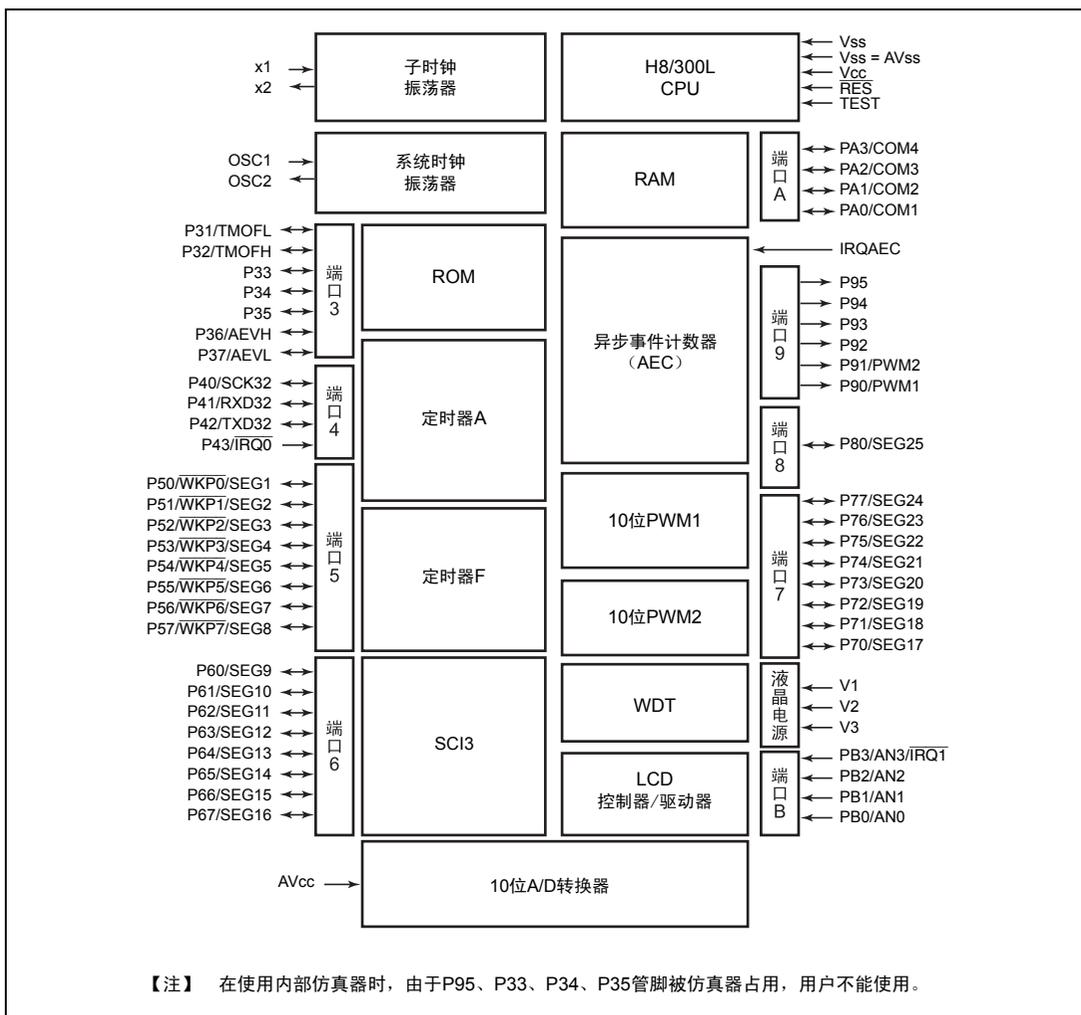


图 1.2 H8/38004、H8/38002S 群的内部框图

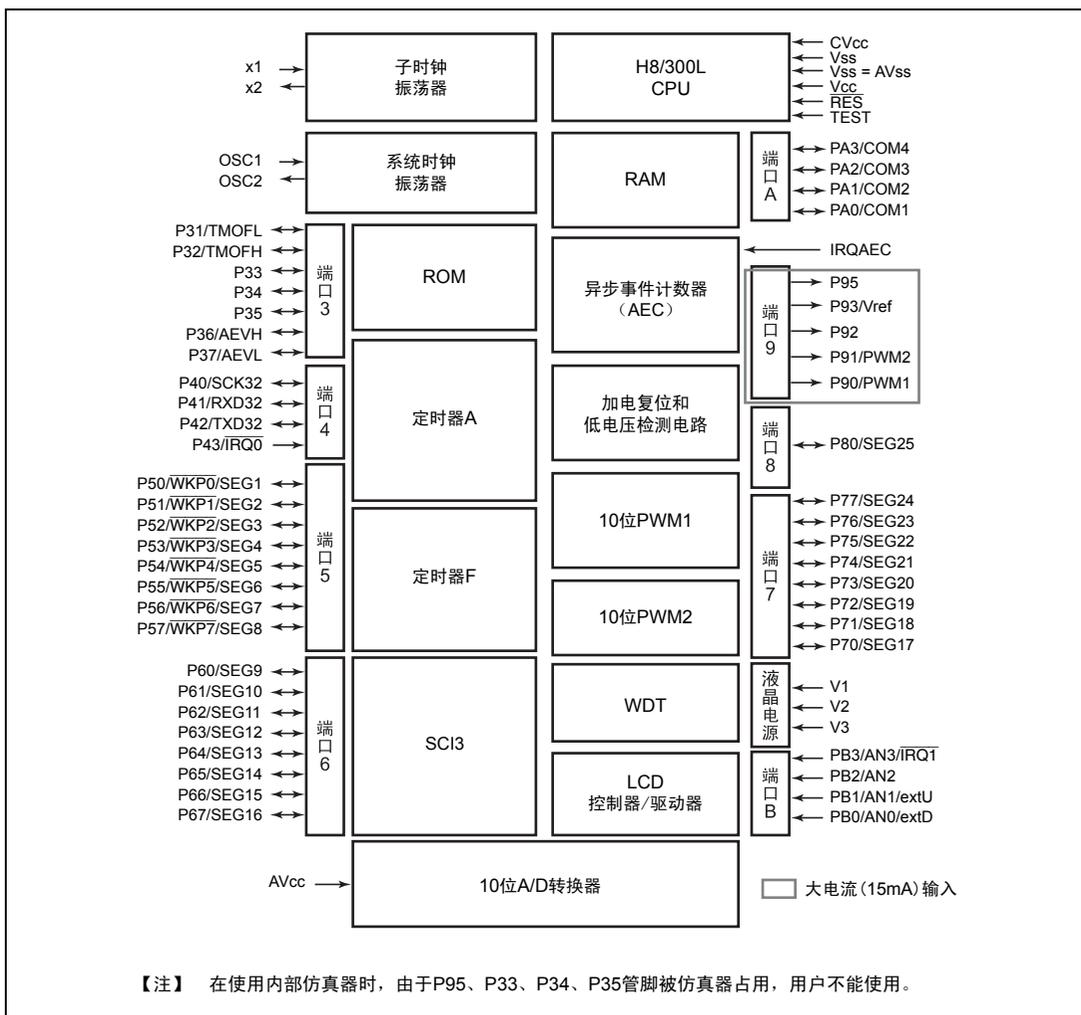


图 1.3 H8/38104 群的内部框图

### 1.3 管脚排列图

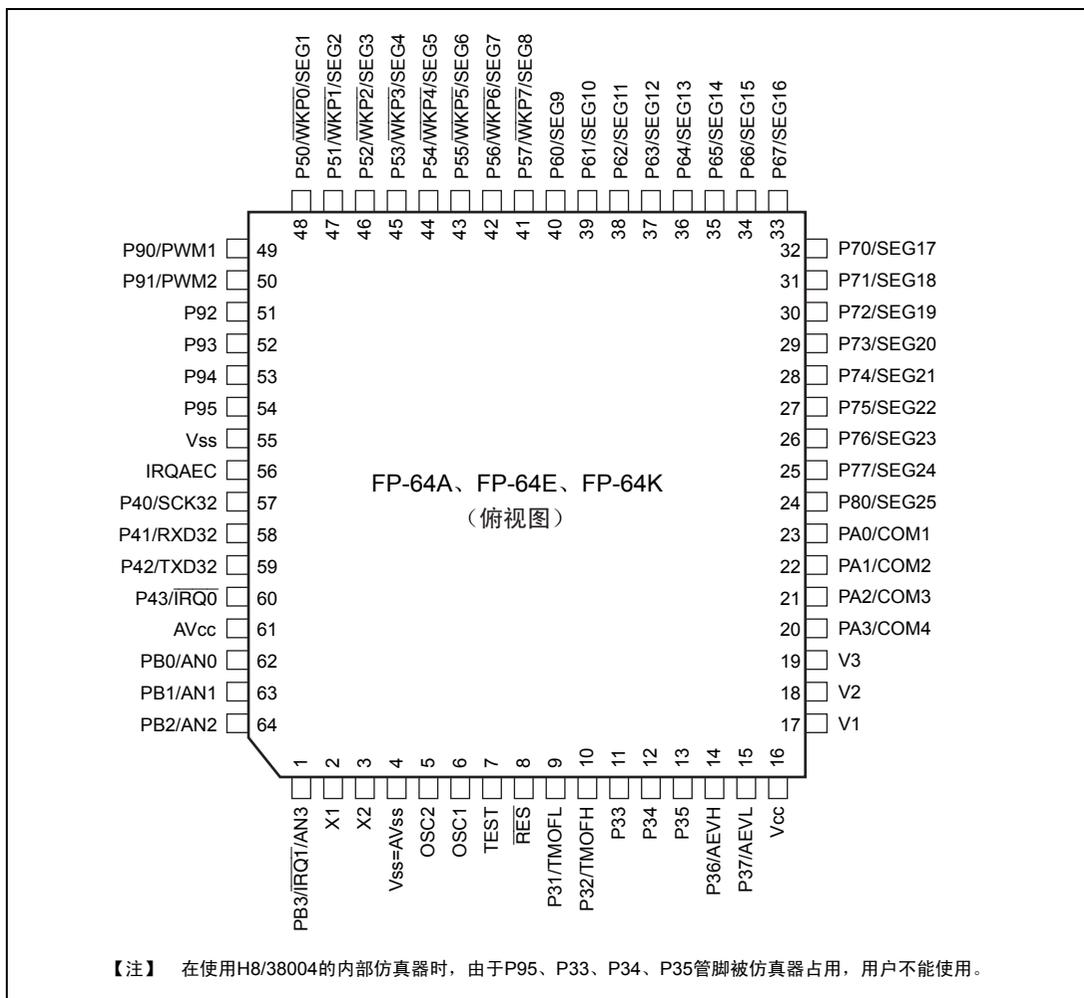


图 1.4 H8/3802 群、H8/38004 和 H8/38002S 群的管脚排列图(FP-64A、FP-64E 和 FP-64K)

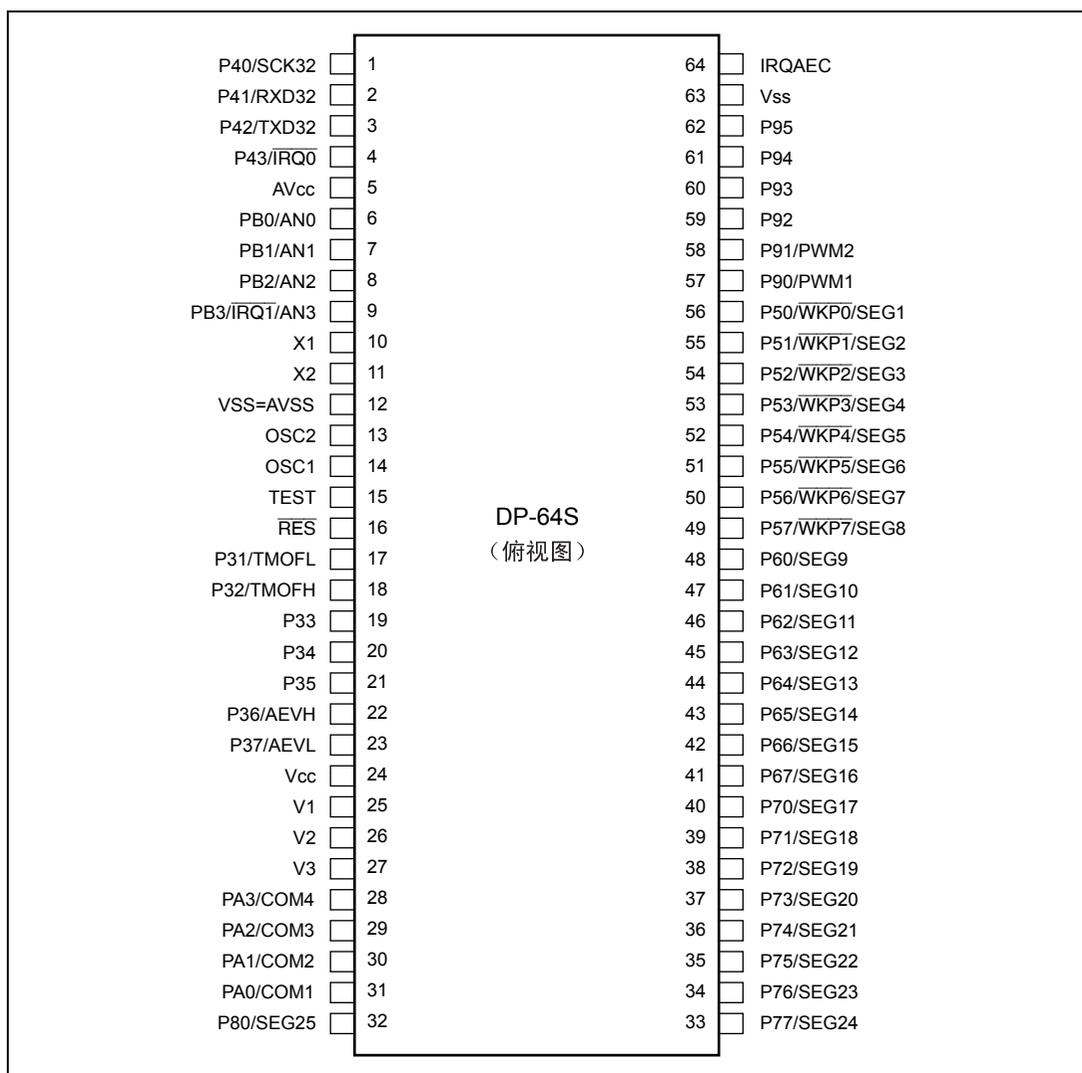


图 1.5 H8/3802 群的管脚排列图 (DP-64S)

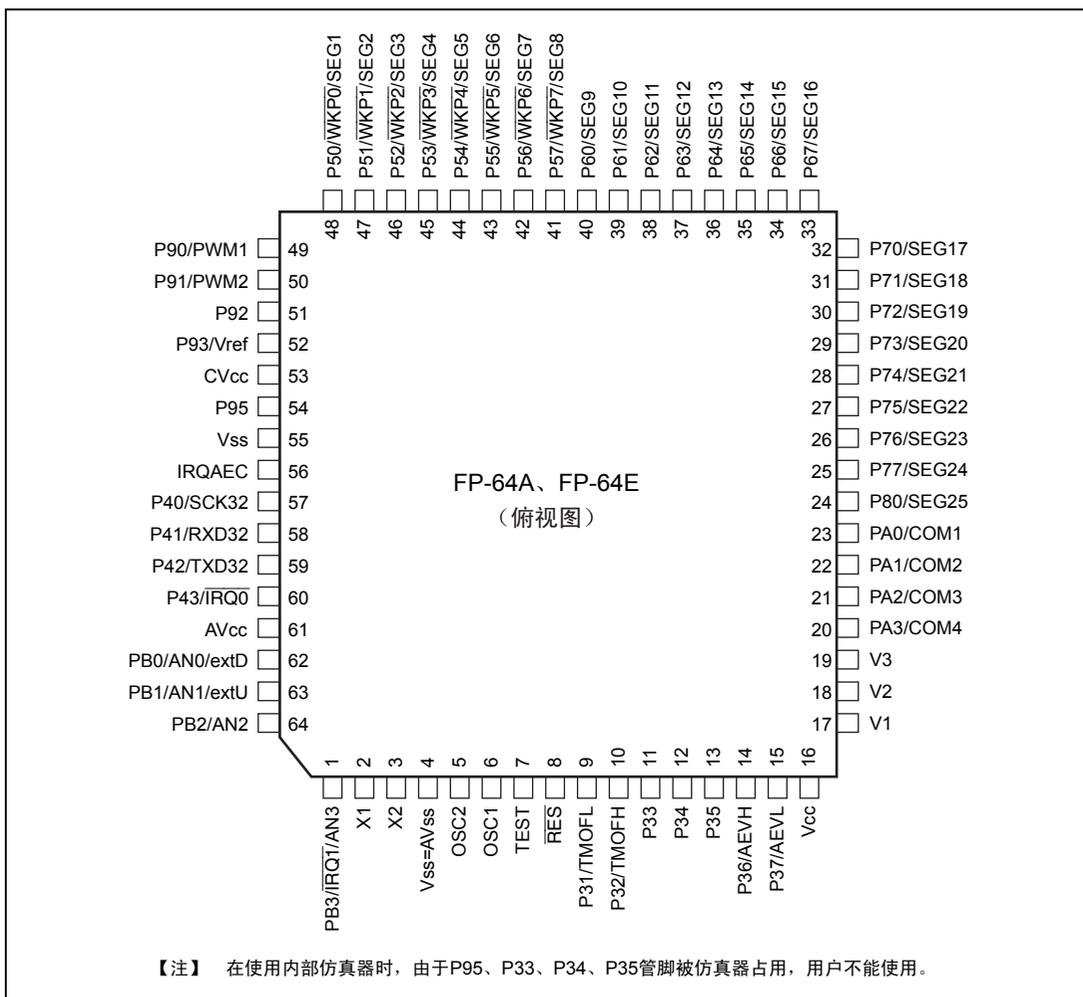


图 1.6 H8/38104 群的管脚排列图 (FP-64A 和 FP-64E)

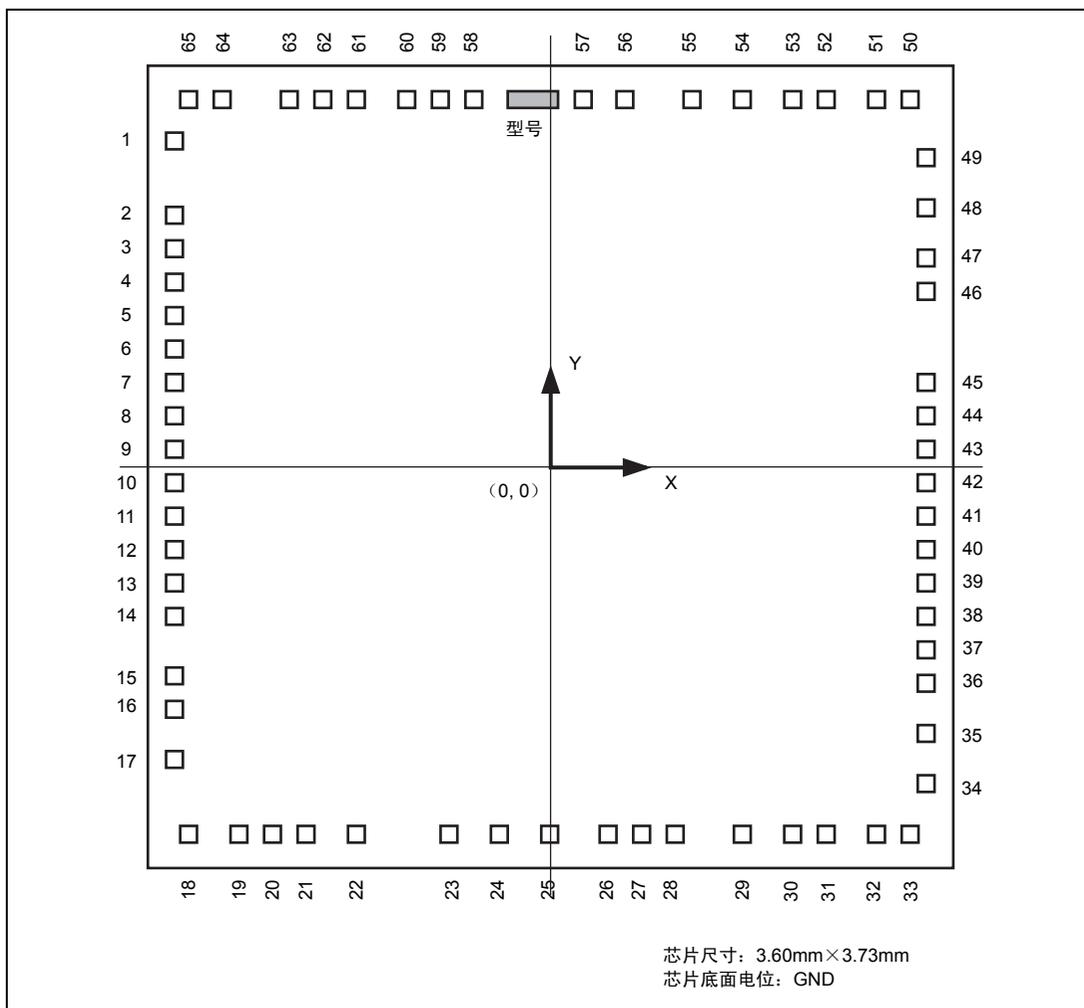


图 1.7 HCD6433802、HCD6433801 和 HCD6433800 的焊接区排列图（俯视图）

表 1.1 HCD6433802、HCD6433801 和 HCD6433800 的焊接区坐标

焊接区 序号	焊接区名称	坐标		焊接区 序号	焊接区名称	坐标	
		X (μm)	Y (μm)			X (μm)	Y (μm)
1	PB3/IRQ1/AN3	-1677	1495	34	P67/SEG16	1677	-1401
2	X1	-1677	1084	35	P66/SEG15	1677	-1190
3	X2	-1677	943	36	P65/SEG14	1677	-950
4	AVss	-1677	765	37	P64/SEG13	1677	-801
5	Vss	-1677	619	38	P63/SEG12	1677	-608
6	OSC2	-1677	488	39	P62/SEG11	1677	-459
7	OSC1	-1677	356	40	P61/SEG10	1677	-310
8	TEST	-1677	225	41	P60/SEG9	1677	-160
9	RES	-1677	94	42	P57/WKP7/SEG8	1677	-11
10	P31/TMOFL	-1677	-40	43	P56/WKP6/SEG7	1677	121
11	P32/TMOFH	-1677	-176	44	P55/WKP5/SEG6	1677	252
12	P33	-1677	-313	45	P54/WKP4/SEG5	1677	383
13	P34	-1677	-450	46	P53/WKP3/SEG4	1677	801
14	P35	-1677	-587	47	P52/WKP2/SEG3	1677	950
15	P36/AEVH	-1677	-943	48	P51/WKP1/SEG2	1677	1190
16	P37/AEVL	-1677	-1083	49	P50/WKP0/SEG1	1677	1402
17	Vcc	-1677	-1404	50	P90/PWM1	1578	1742
18	V1	-1578	-1742	51	P91/PWM2	1411	1742
19	V2	-1339	-1742	52	P92	1193	1742
20	V3	-1193	-1742	53	P93	1051	1742
21	PA3/COM4	-1049	-1742	54	P94	850	1742
22	PA2/COM3	-850	-1742	55	P95	650	1742
23	PA1/COM2	-400	-1742	56	Vss	400	1742
24	PA0/COM1	-200	-1742	57	IRQAEC	200	1742
25	P80/SEG25	0	-1742	58	P40/SCK32	-298	1742
26	P77/SEG24	320	-1742	59	P41/RXD32	-435	1742
27	P76/SEG23	451	-1742	60	P42/TXD32	-572	1742
28	P75/SEG22	583	-1742	61	P43/IRQ0	-752	1742
29	P74/SEG21	850	-1742	62	AVcc	-1036	1742
30	P73/SEG20	1051	-1742	63	PB0/AN0	-1170	1742
31	P72/SEG19	1193	-1742	64	PB1/AN1	-1400	1742
32	P71/SEG18	1400	-1742	65	PB2/AN2	-1578	1742
33	P70/SEG17	1578	-1742				

【注】 焊接区序号 4、5 和 56 的电源 (V<sub>SS</sub>) 焊接区必需连接, 不能开路。焊接区序号 8 的 (TEST) 焊接区必须与 V<sub>SS</sub> 电位连接。否则, LSI 就不能正常运行。坐标数值表示焊接区部的中心位置, 精度为 ±5μm。原点为芯片的中心, 中心是焊接区的上下和左右之间的距离的 1/2 位置。

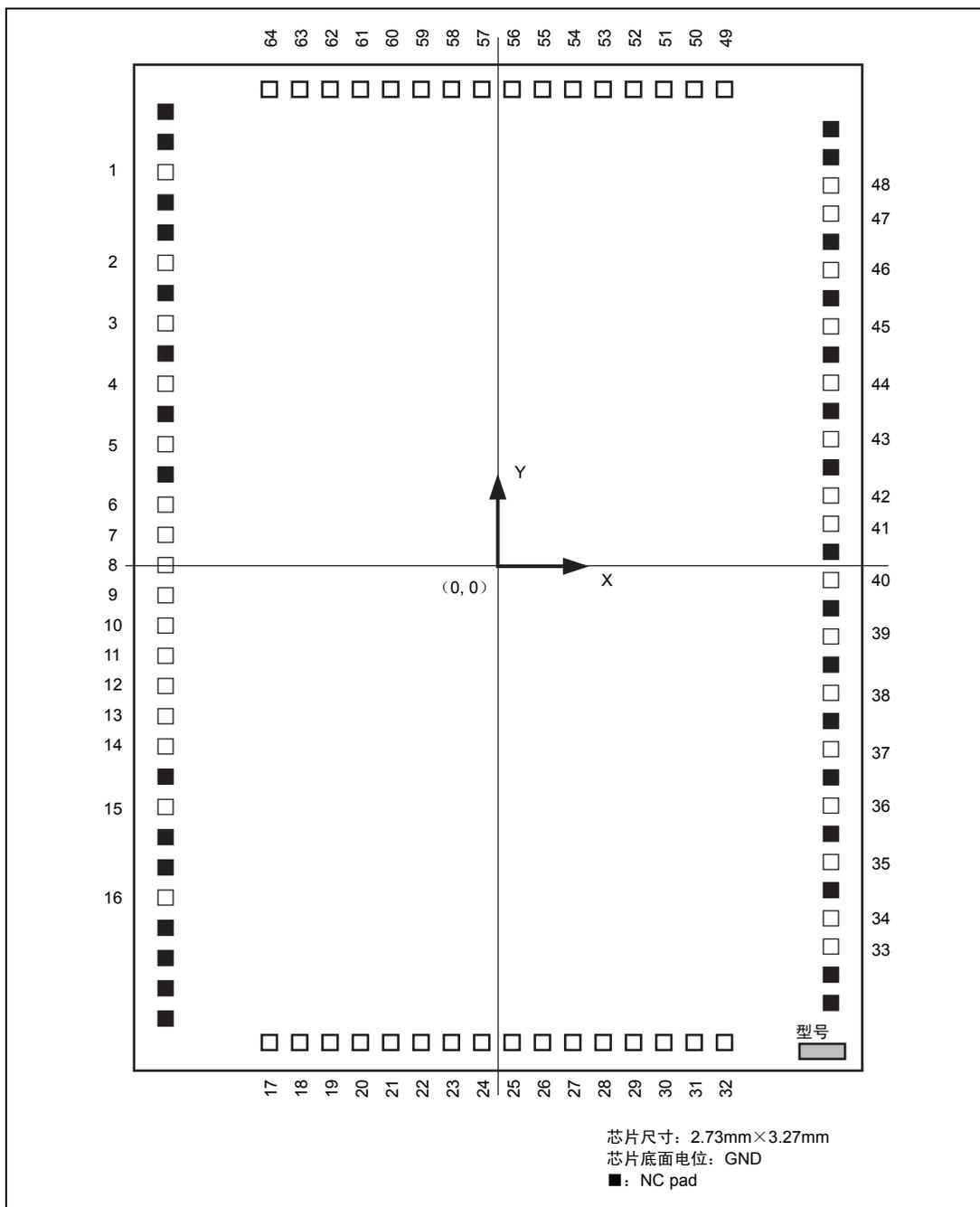


图 1.8 HCD64338004、HCD64338003、HCD64338002、HCD64338001 和 HCD64338000 的焊接区排列图（俯视图）

表 1.2 HCD64338004、HCD64338003、HCD64338002、  
HCD64338001 和 HCD64338000 的焊接区坐标

焊接区 序号	焊接区名称	坐标		焊接区 序号	焊接区名称	坐标	
		X (μm)	Y (μm)			X (μm)	Y (μm)
1	PB3/IRQ1/AN3	-1224	1214	33	P67/SEG16	1215	-1194
2	X1	-1224	957	34	P66/SEG15	1215	-1080
3	X2	-1224	786	35	P65/SEG14	1215	-909
4	Vss=AVss	-1224	596	36	P64/SEG13	1215	-738
5	OSC2	-1224	406	37	P63/SEG12	1215	-566
6	OSC1	-1224	234	38	P62/SEG11	1215	-395
7	TEST	-1224	120	39	P61/SEG10	1215	-224
8	RES	-1224	6	40	P60/SEG9	1215	-52
9	P31/TMOFL	-1224	-108	41	P57/WKP7/SEG8	1215	119
10	P32/TMOFH	-1224	-222	42	P56/WKP6/SEG7	1215	233
11	P33	-1224	-336	43	P55/WKP5/SEG6	1215	404
12	P34	-1224	-450	44	P54/WKP4/SEG5	1215	576
13	P35	-1224	-564	45	P53/WKP3/SEG4	1215	747
14	P36/AEVH	-1224	-678	46	P52/WKP2/SEG3	1215	919
15	P37/AEVL	-1224	-849	47	P51/WKP1/SEG2	1215	1090
16	Vcc	-1224	-1142	48	P50/WKP0/SEG1	1215	1206
17	V1	-922	-1484	49	P90/PWM1	913	1494
18	V2	-799	-1484	50	P91/PWM2	790	1494
19	V3	-676	-1484	51	P92	667	1494
20	PA3/COM4	-553	-1484	52	P93	544	1494
21	PA2/COM3	-430	-1484	53	P94	421	1494
22	PA1/COM2	-307	-1484	54	P95	299	1494
23	PA0/COM1	-185	-1484	55	Vss	176	1494
24	P80/SEG25	-62	-1484	56	IRQAEC	37	1494
25	P77/SEG24	53	-1484	57	P40/SCK32	-77	1494
26	P76/SEG23	176	-1484	58	P41/RXD32	-200	1494
27	P75/SEG22	299	-1484	59	P42/TXD32	-323	1494
28	P74/SEG21	421	-1484	60	P43/IRQ0	-446	1494
29	P73/SEG20	544	-1484	61	AVcc	-569	1494
30	P72/SEG19	667	-1484	62	PB0/AN0	-692	1494
31	P71/SEG18	790	-1484	63	PB1/AN1	-815	1494
32	P70/SEG17	913	-1484	64	PB2/AN2	-937	1494

【注】 焊接区序号 4 和 55 的电源 (V<sub>SS</sub>) 焊接区必需连接, 不能开路。焊接区序号 7 的 (TEST) 焊接区必须与 V<sub>SS</sub> 电位连接。否则, LSI 就不能正常运行。坐标数值表示焊接区部的中心位置, 精度为 ±5μm。原点为芯片的中心, 中心是焊接区的上下和左右之间的距离的 1/2 位置。

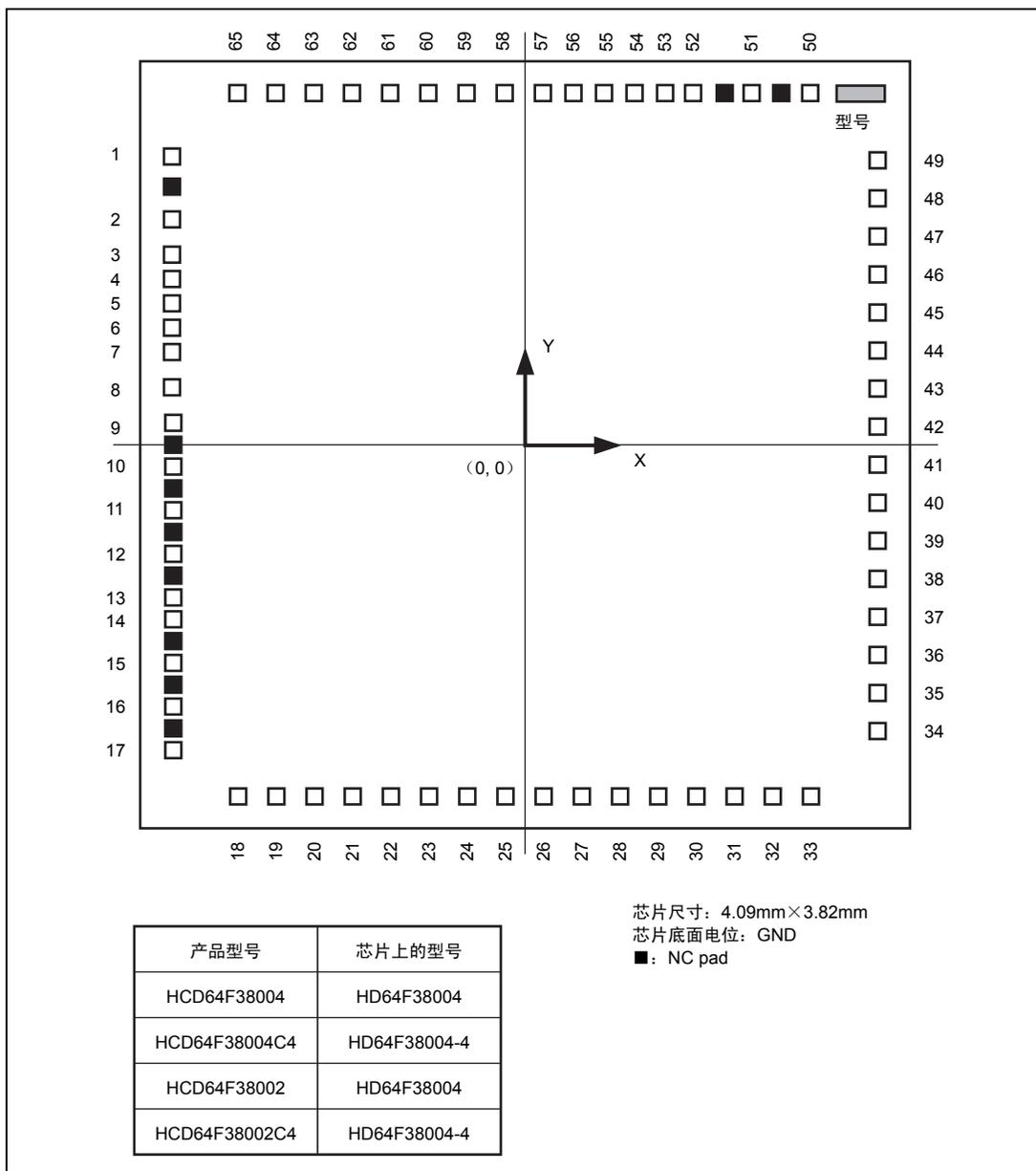


图 1.9 HCD64F38004 和 HCD64F38002 的焊接区排列图（俯视图）

表 1.3 HCD64F38004 和 HCD64F38002 的焊接区坐标

焊接区 序号	焊接区名称	坐标		焊接区 序号	焊接区名称	坐标	
		X (μm)	Y (μm)			X (μm)	Y (μm)
1	PB3/IRQ1/AN3	-1915	1490	34	P67/SEG16	1914	-1496
2	X1	-1915	1182	35	P66/SEG15	1914	-1297
3	X2	-1915	1022	36	P65/SEG14	1914	-1098
4	Vss	-1915	926	37	P64/SEG13	1914	-899
5	Vss=AVss	-1915	786	38	P63/SEG12	1914	-700
6	OSC2	-1915	648	39	P62/SEG11	1914	-500
7	OSC1	-1915	495	40	P61/SEG10	1914	-302
8	TEST	-1915	295	41	P60/SEG9	1914	-103
9	RES	-1915	96	42	P57/WKP7/SEG8	1914	96
10	P31/TMOFL	-1915	-103	43	P56/WKP6/SEG7	1914	295
11	P32/TMOFH	-1915	-302	44	P55/WKP5/SEG6	1914	495
12	P33	-1915	-486	45	P54/WKP4/SEG5	1914	694
13	P34	-1915	-657	46	P53/WKP3/SEG4	1914	893
14	P35	-1915	-750	47	P52/WKP2/SEG3	1914	1092
15	P36/AEVH	-1915	-989	48	P51/WKP1/SEG2	1914	1291
16	P37/AEVL	-1915	-1247	49	P50/WKP0/SEG1	1914	1490
17	Vcc	-1915	-1438	50	P90/PWM1	1628	1779
18	V1	-1623	-1779	51	P91/PWM2	1368	1779
19	V2	-1406	-1779	52	P92	1113	1779
20	V3	-1189	-1779	53	P93	976	1779
21	PA3/COM4	-973	-1779	54	P94	759	1779
22	PA2/COM3	-756	-1779	55	P95	542	1779
23	PA1/COM2	-539	-1779	56	Vss	324	1779
24	PA0/COM1	-323	-1779	57	IRQAEC	96	1779
25	P80/SEG25	-106	-1779	58	P40/SCK32	-109	1779
26	P77/SEG24	111	-1779	59	P41/RXD32	-327	1779
27	P76/SEG23	328	-1779	60	P42/TXD32	-545	1779
28	P75/SEG22	544	-1779	61	P43/IRQ0	-762	1779
29	P74/SEG21	761	-1779	62	AVcc	-980	1779
30	P73/SEG20	978	-1779	63	PB0/AN0	-1198	1779
31	P72/SEG19	1194	-1779	64	PB1/AN1	-1414	1779
32	P71/SEG18	1411	-1779	65	PB2/AN2	-1613	1779
33	P70/SEG17	1628	-1779				

【注】 焊接区序号 4、5 和 56 的电源 (V<sub>SS</sub>) 焊接区必需连接, 不能开路。焊接区序号 8 的 (TEST) 焊接区必须与 V<sub>SS</sub> 电位连接。否则, LSI 就不能正常运行。坐标数值表示焊接区部的中心位置, 精度为 ±5μm。原点为芯片的中心, 中心是焊接区的上下和左右之间的距离的 1/2 位置。

## 1.4 管脚功能

表 1.4 管脚功能

类型	符号	管脚编号		焊接区	焊接区	输入/ 输出	功 能
		FP-64A FP-64E FP-64K	DP-64S	序号*1*3	序号*2		
电源	V <sub>CC</sub>	16	24	17	16	输入	电源管脚。请与系统电源连接。
	V <sub>SS</sub>	4 (=AV <sub>SS</sub> ) 55	12 (=AV <sub>SS</sub> ) 63	4 5 56	4 55	输入	接地管脚。请与系统电源 (0V) 连接。
	AV <sub>CC</sub>	61	5	62	61	输入	用于 A/D 转换的模拟电源管脚。 不使用 A/D 转换器时, 请与系统电源连接。
	AV <sub>SS</sub>	4 (=V <sub>SS</sub> )	12 (=V <sub>SS</sub> )	4 5	4	输入	模拟接地 用于 A/D 转换器的接地管脚。请连接系统电源 (0V)。
	V1 V2 V3	17 18 19	25 26 27	18 19 20	17 18 19	输入	用于 LCD 控制器/驱动器的电源管脚。
	CV <sub>CC</sub> *4	53	—	—	—	输入	内部降压电源管脚。 为了稳定, 必须在此管脚和 V <sub>SS</sub> 管脚之间插入 0.1μF 左右的电容。
时钟	OSC1	6	14	7	6	输入	于系统时钟的晶体谐振器或者陶瓷谐振器的连接管脚。
	OSC2	5	13	6	5	输出	也能输入外部时钟。连接例子, 请参照“第 4 章 时钟发生器”。
	X1	2	10	2	2	输入	连接 32.768kHz 或者 38.4kHz*5 的晶体谐振器。
	X2	3	11	3	3	输出	有关连接例子请参照“第 4 章 时钟振荡器”。
系统控制	$\overline{\text{RES}}$	8	16	9	8	输入	复位管脚。 如果该管脚为低电平, 就为复位状态。
	TEST	7	15	8	7	输入	测试管脚。请与 V <sub>SS</sub> 电位连接。 用户不能使用。

类型	符号	管脚编号		焊接区	焊接区	输入/ 输出	功 能
		FP-64A FP-64E FP-64K	DP-64S	序号*1*3	序号*2		
中断	$\overline{\text{IRQ0}}$	60	4	61	60	输入	外部中断请求输入管脚。 能选择上升沿/下降沿。
	$\overline{\text{IRQ1}}$	1	9	1	1		
	$\overline{\text{IRQAEC}}$	56	64	57	56	输入	异步事件计数器中断输入管脚。 将异步事件输入置为有效。 由于 H8/38104 群根据复位期间的输入电平选择振荡器，因此必须固定成 $V_{CC}$ 或者 GND。选择方法请参照“第 4 章 时钟振荡器”。
	$\overline{\text{WKP7}} \sim \overline{\text{WKP0}}$	41~48	49~56	42~49	41~48	输入	唤醒中断请求输入管脚。 能选择上升沿/下降沿。
定时器	AEVL	15	23	16	15	输入	给异步事件计数器输入事件的输入管脚。
	AEVH	14	22	15	14		
	TMOFL	9	17	10	9	输出	由定时器 FL 输出比较功能生成的波形的输出管脚。
	TMOFH	10	18	11	10	输出	由定时器 FH 输出比较功能生成的波形的输出管脚。
10 位 PWM	PWM1	49	57	50	49	输出	由通道 1、2 的 10 位 PWM 生成的波形的输出管脚。
	PWM2	50	58	51	50		
I/O 端口	P37~ P31	15~9	23~17	16~10	15~9	输入/ 输出	7 位的输入/输出管脚。能通过端口控制寄存器 3 (PCR3) 按位指定输入/输出。使用内部仿真器时，由于 P33、P34、P35 管脚被仿真器占有，因此用户不能使用。
	P43	60	4	61	60	输入	1 位的输入管脚。
	P42~ P40	59~57	3~1	60~58	59~57	输入/ 输出	3 位的输入管脚。能通过端口控制寄存器 4 (PCR4) 按位指定输入/输出。
	P57~ P50	41~48	49~56	42~49	4~48	输入/ 输出	8 位的输入/输出管脚。能通过端口控制寄存器 5 (PCR5) 按位指定输入/输出。
	P67~ P60	33~40	41~48	34~41	33~40	输入/ 输出	8 位的输入/输出管脚。能通过端口控制寄存器 6 (PCR6) 按位指定输入/输出。

类型	符号	管脚编号		焊接区 序号*1*3	焊接区 序号*2	输入/ 输出	功 能
		FP-64A FP-64E FP-64K	DP-64S				
I/O 端口	P77~ P70	25~32	33~40	26~33	25~32	输入/ 输出	8 位的输入/输出管脚。能通过端口控制寄存器 7 (PCR7) 按位指定输入/输出。
	P80	24	32	25	24	输入/ 输出	1 位的输入/输出管脚。能通过端口控制寄存器 8 (PCR8) 按位指定输入/输出。
	P95~ P90	54~49	62~57	55~50	54~49	输出	6 位的输出管脚。使用内部仿真器时, 由于 P95 管脚被仿真器占有, 因此用户不能使用。对 F-ZTAT 版, 在用户模式不能将 P95 管脚开路, 必须上拉到高电平。另外, H8/38104 群没有 P94 管脚。
	PA3~ PA0	20~23	28~31	21~24	20~23	输入/ 输出	4 位的输入/输出管脚。能通过端口控制寄存器 A (PCRA) 按位指定输入/输出。
	PB3~ PB0	1、 64~62	9~6	1、 65~63	1、 64~62	输入	4 位的输入管脚。
串行通信 接口 (SCI)	RXD32	58	2	59	58	输入	接收数据输入管脚。
	TXD32	59	3	60	59	输出	发送数据输出管脚。
	SCK32	57	1	58	57	输入/ 输出	时钟输入/输出管脚。
A/D 转换器	AN3~ AN0	1、 64~62	9~6	1、 65~63	1、 64~62	输入	模拟数据输入管脚。
LCD 控制器/ 驱动器	COM4~ COM1	20~23	28~31	21~24	20~23	输出	LCD 的公共输出管脚。
	SEG25~ SEG1	24~48	32~56	25~49	24~48	输出	LCD 的段输出管脚。
低电压检 测电路 (LVD)*4	Vref	52	—	—	—	输入	基准电压输入管脚。
	extD	62	—	—	—	输入	电源下降检测电压输入管脚。
	extU	63	—	—	—	输入	电源上升检测电压输入管脚。

【注】 \*1 HCD6433802、HCD6433801 和 HCD6433800 的焊接区序号

\*2 HCD64338004、HCD64338003、HCD64338002、HCD64338001 和 HCD64338000 的焊接区序号

\*3 HCD64F38004 和 HCD64F38002 的焊接区序号

\*4 只限于 H8/38104 群

\*5 H8/38104 群除外

---

## 第 2 章 CPU

---

H8/300L CPU 是具有 8 位×16 个（或者 16 位×8 个）通用寄存器和适合高速运行的简洁指令系统的高速 CPU。

### 2.1 特点

- 通用寄存器：8 位×16 个  
也可用作 16 位×8 个
  - 基本指令：55 种  
乘除运算指令  
强大的位操作指令
  - 寻址方式：8 种  
寄存器直接（Rn）  
寄存器间接（@Rn）  
带位移量的寄存器间接（@（d:16,Rn））  
后增/先减寄存器间接（@Rn+/@-Rn）  
绝对地址（@aa:8/@aa:16）  
立即（#xx:8/#xx:16）  
程序计数器相对（@d:8,PC）  
存储器间接（@@aa:8）
  - 地址空间：64K 字节
  - 高速运行  
全部用 2~4 个状态执行常用指令  
8/16 位寄存器之间的加减法运算    0.25μs\*  
8×8 位乘法运算                      1.75μs\*  
16÷8 位除法运算                      1.75μs\*
- 【注】 \* 为  $\phi=8\text{MHz}$  时的数值。
- 低功耗运行  
通过 SLEEP 指令转移到低功耗状态

## 2.2 地址空间和存储器映像

H8/3802 群、H8/38004 群、H8/38002S 群和 H8/38104 群的地址空间最大为 64K 字节，包含程序区和数据区。存储器映像如图 2.1 所示。

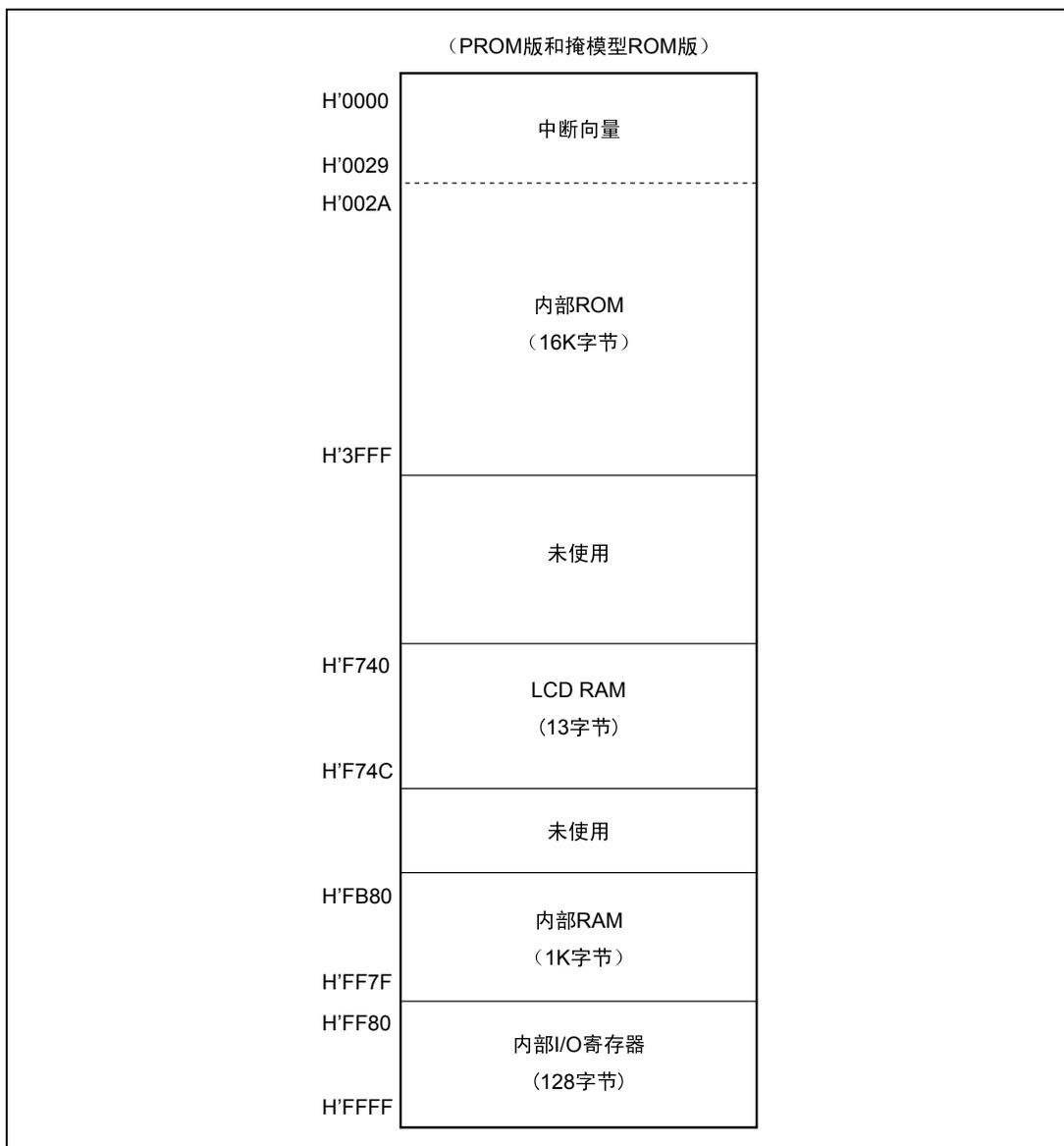


图 2.1 (1) H8/3802 的存储器映像

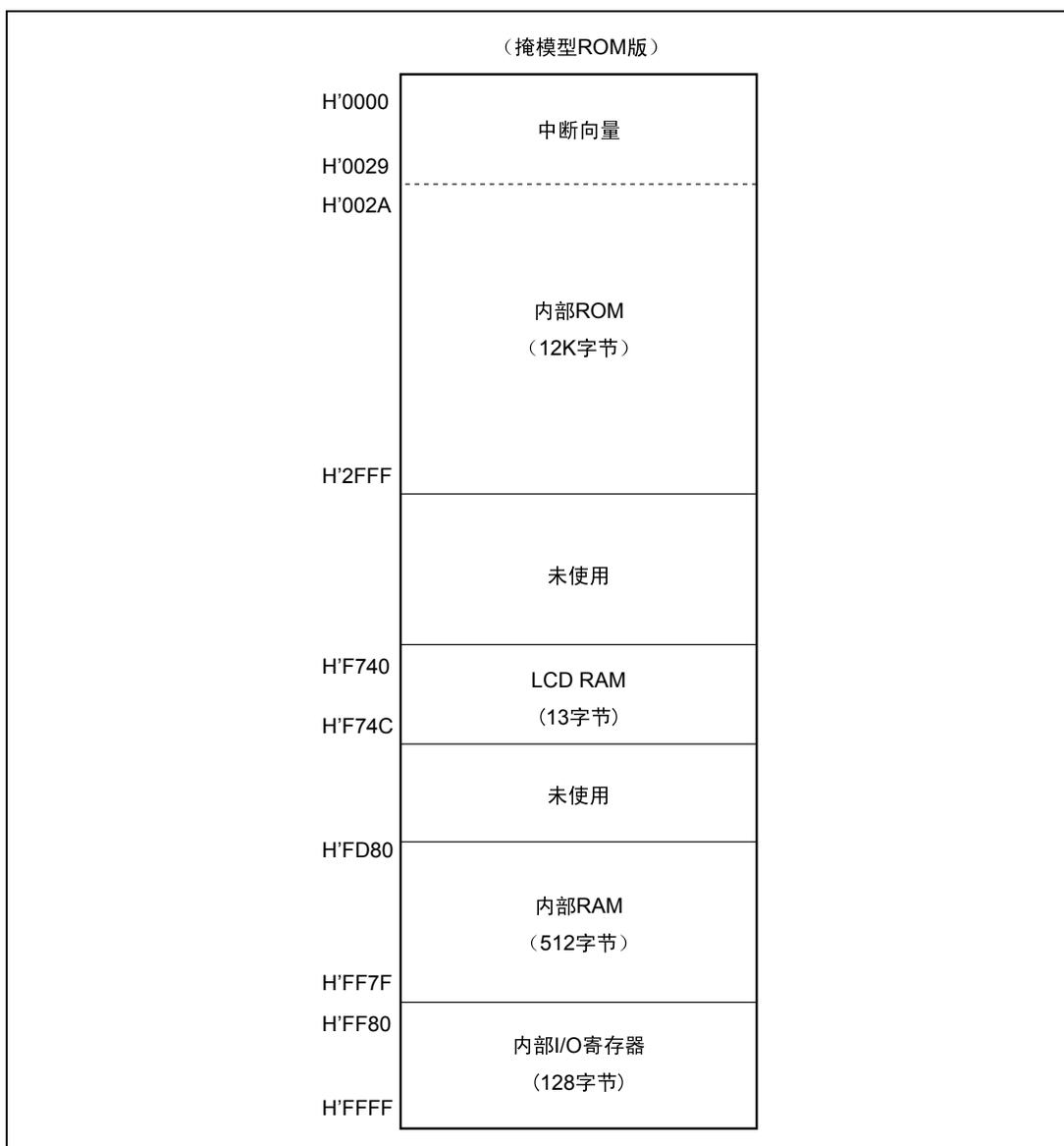


图 2.1 (2) H8/3801 的存储器映像

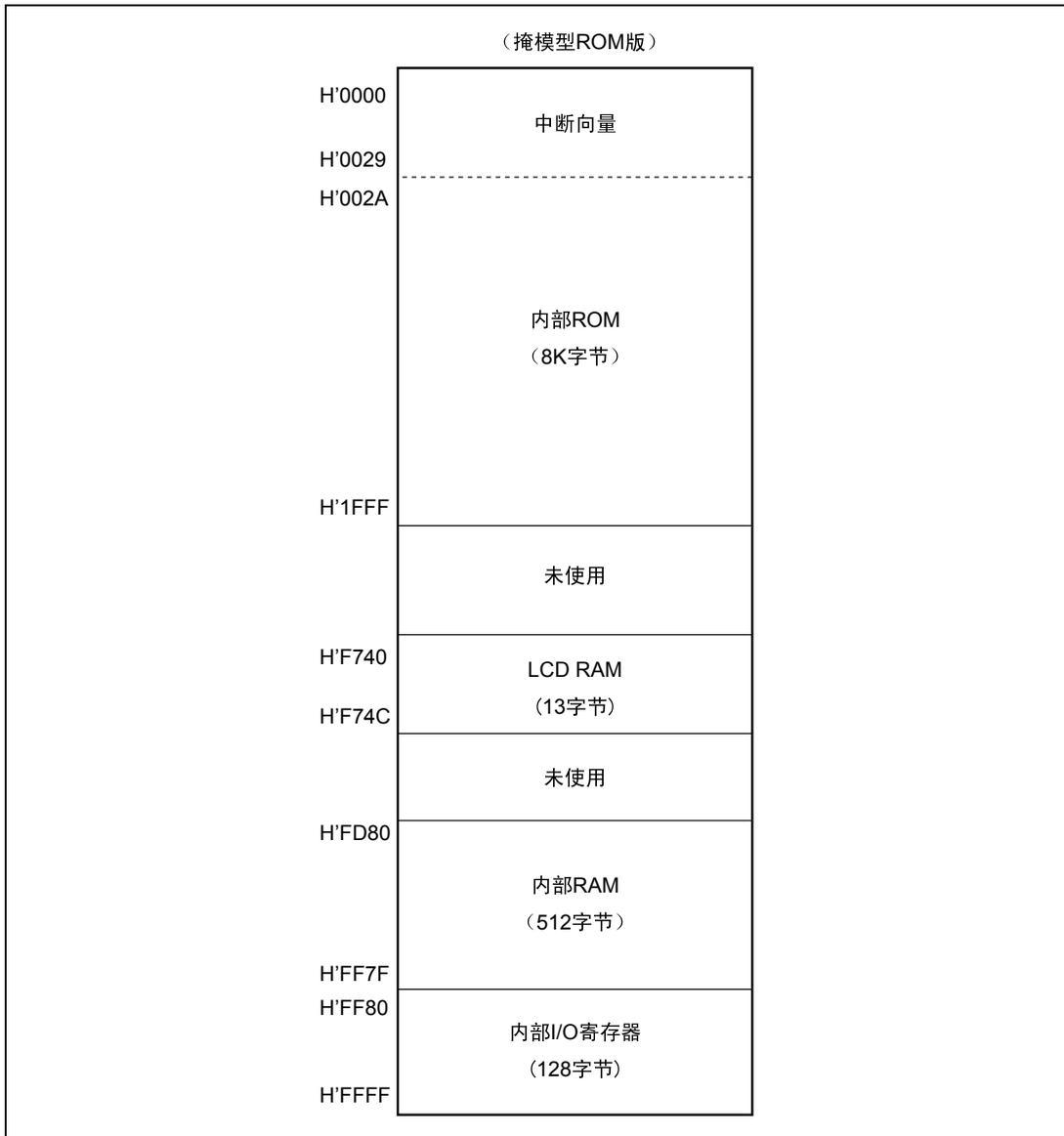


图 2.1 (3) H8/3800 的存储器映像

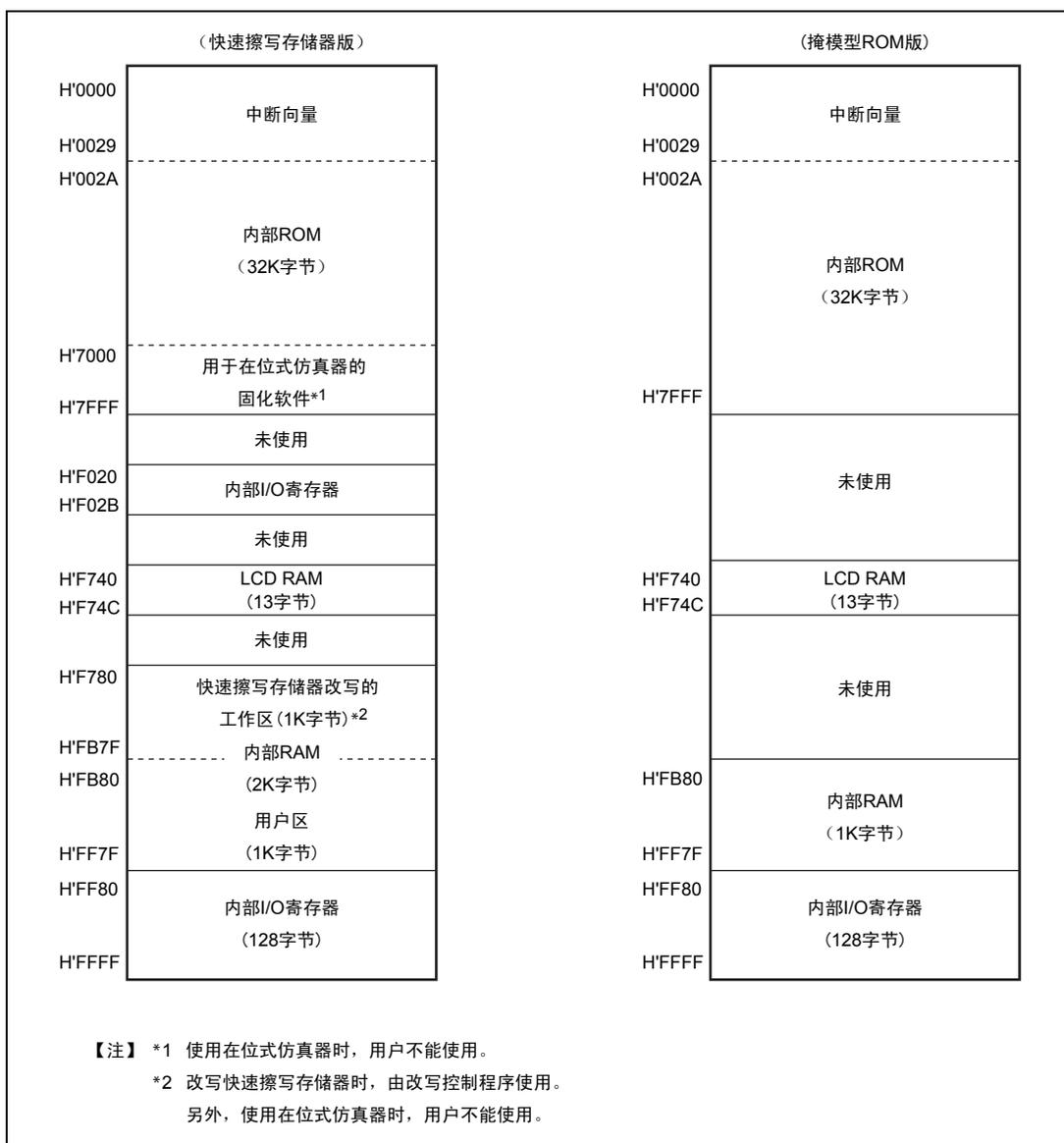


图 2.1 (4) H8/38004 和 H8/38104 的存储器映像

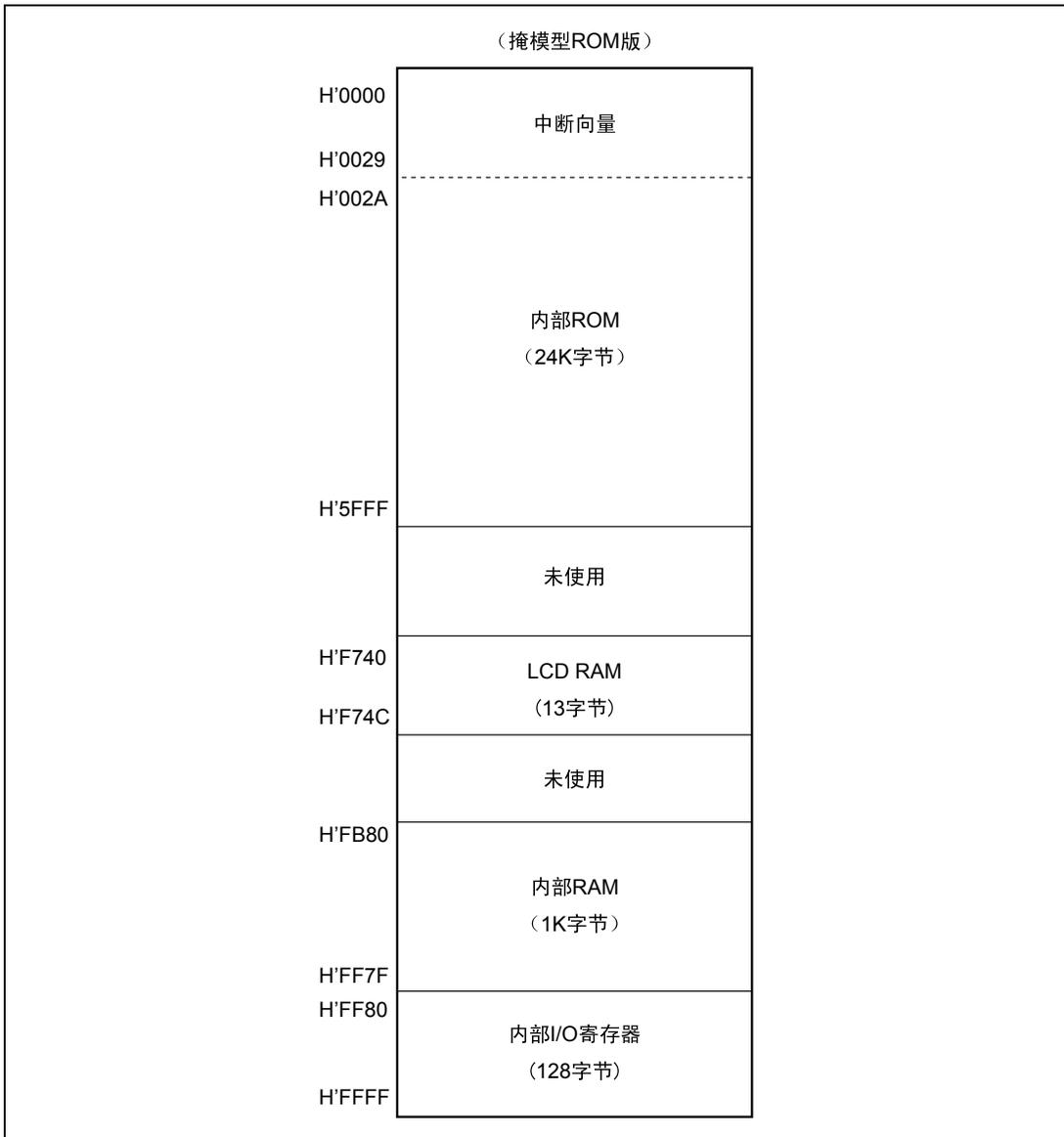


图 2.1 (5) H8/38003 和 H8/38103 的存储器映像

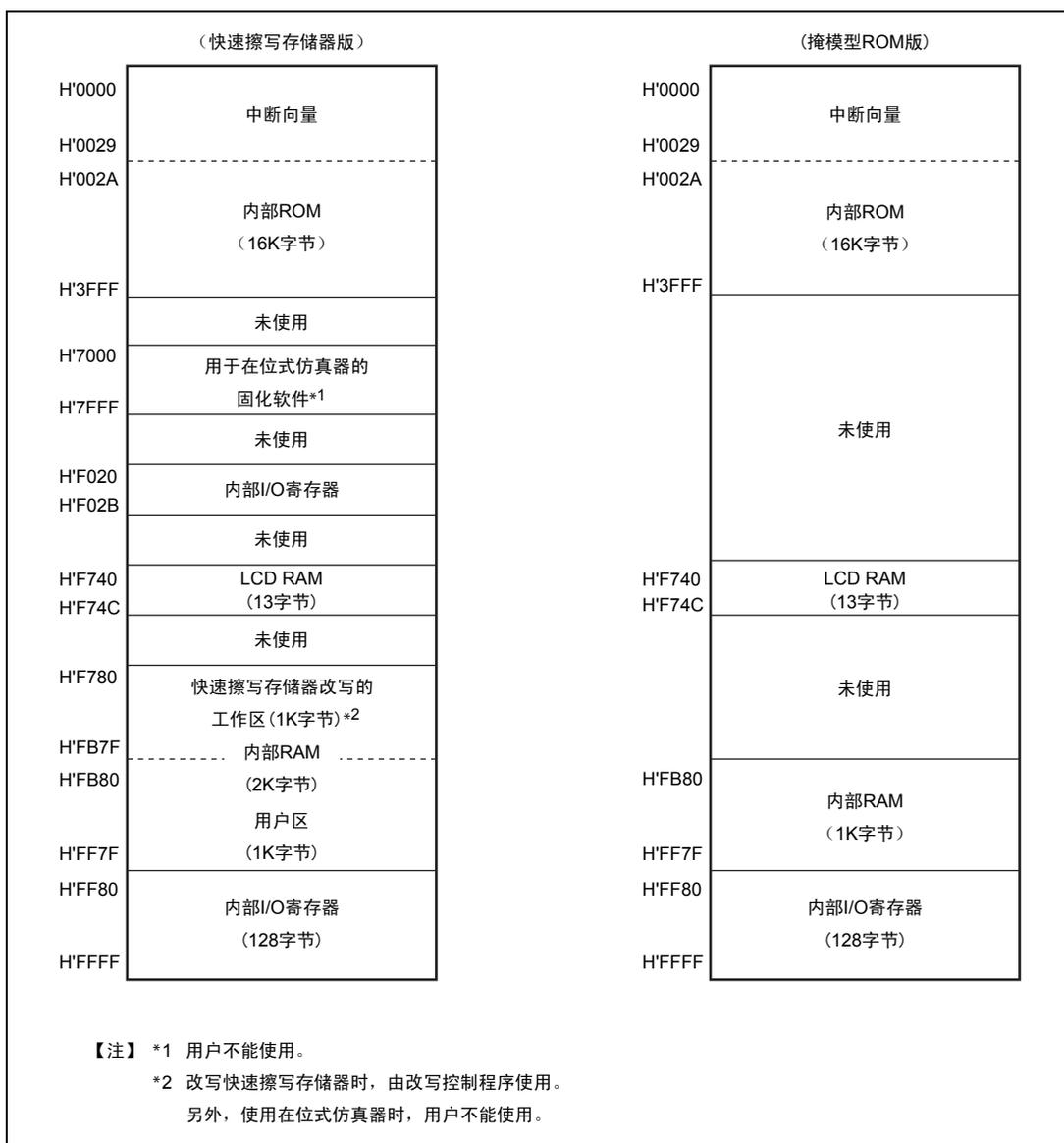


图 2.1 (6) H8/38002 和 H8/38102 的存储器映像

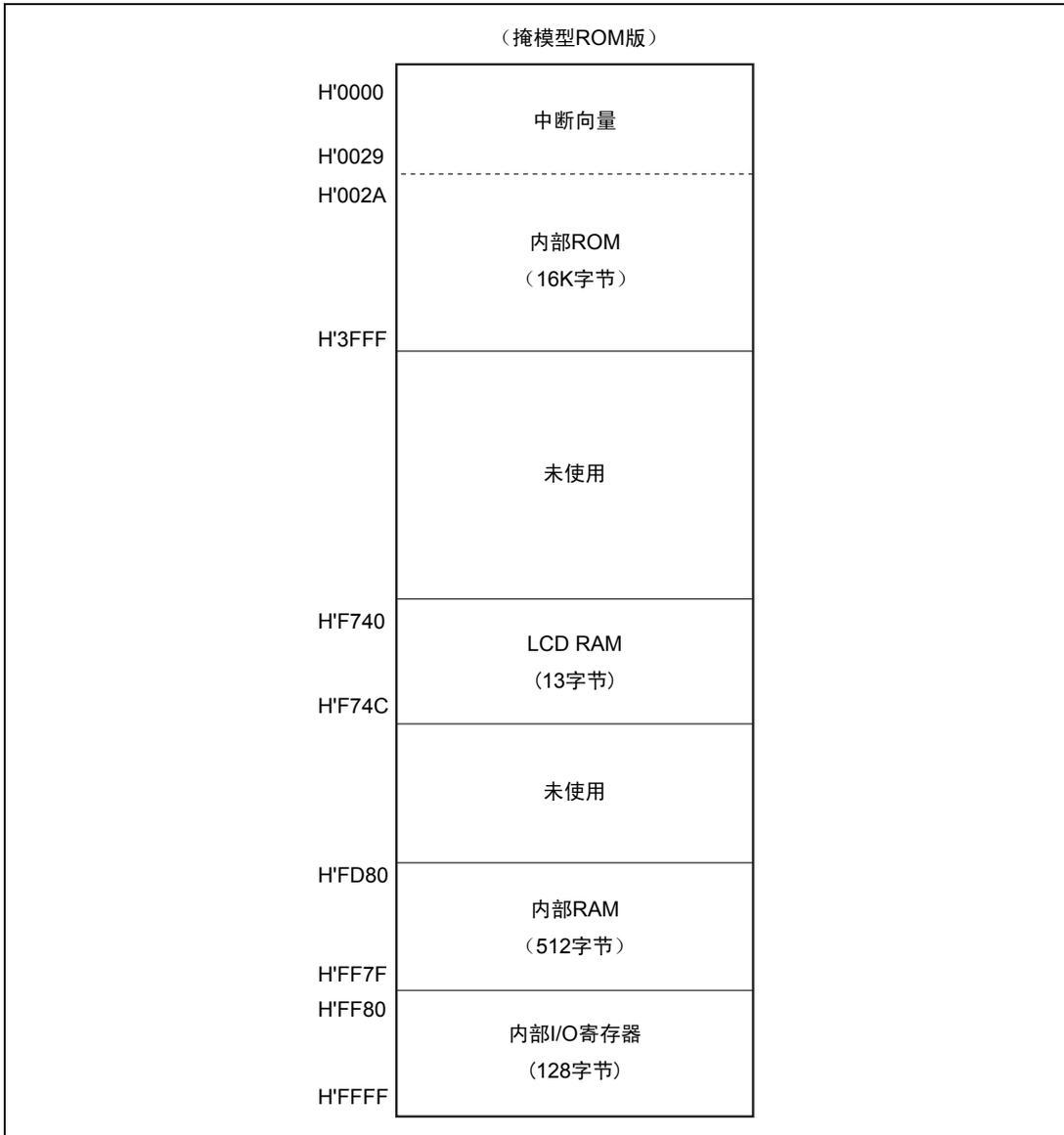


图 2.1 (7) H8/38002S 的存储器映像

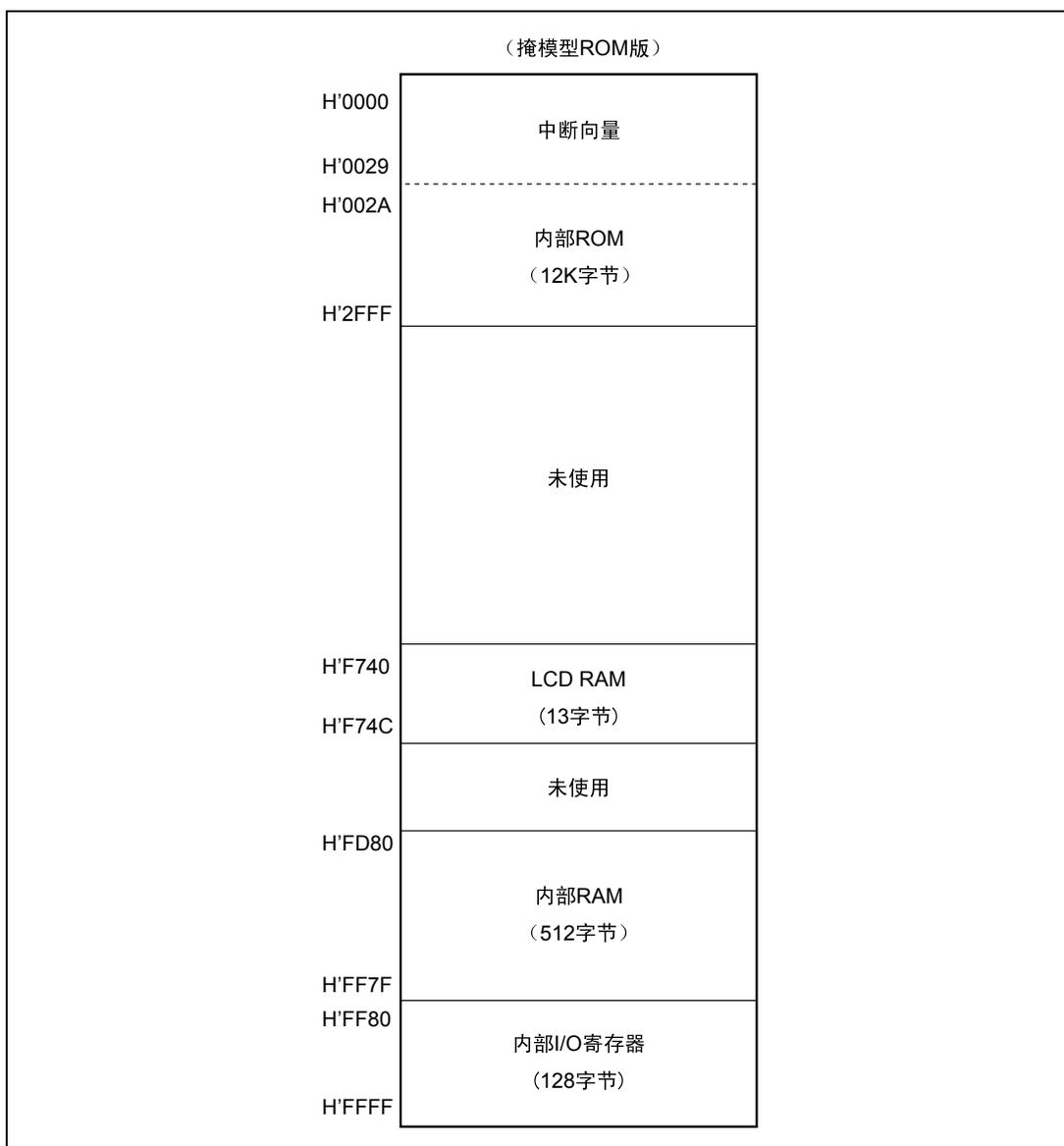


图 2.1 (8) H8/38001、H8/38001S 和 H8/38101 的存储器映像

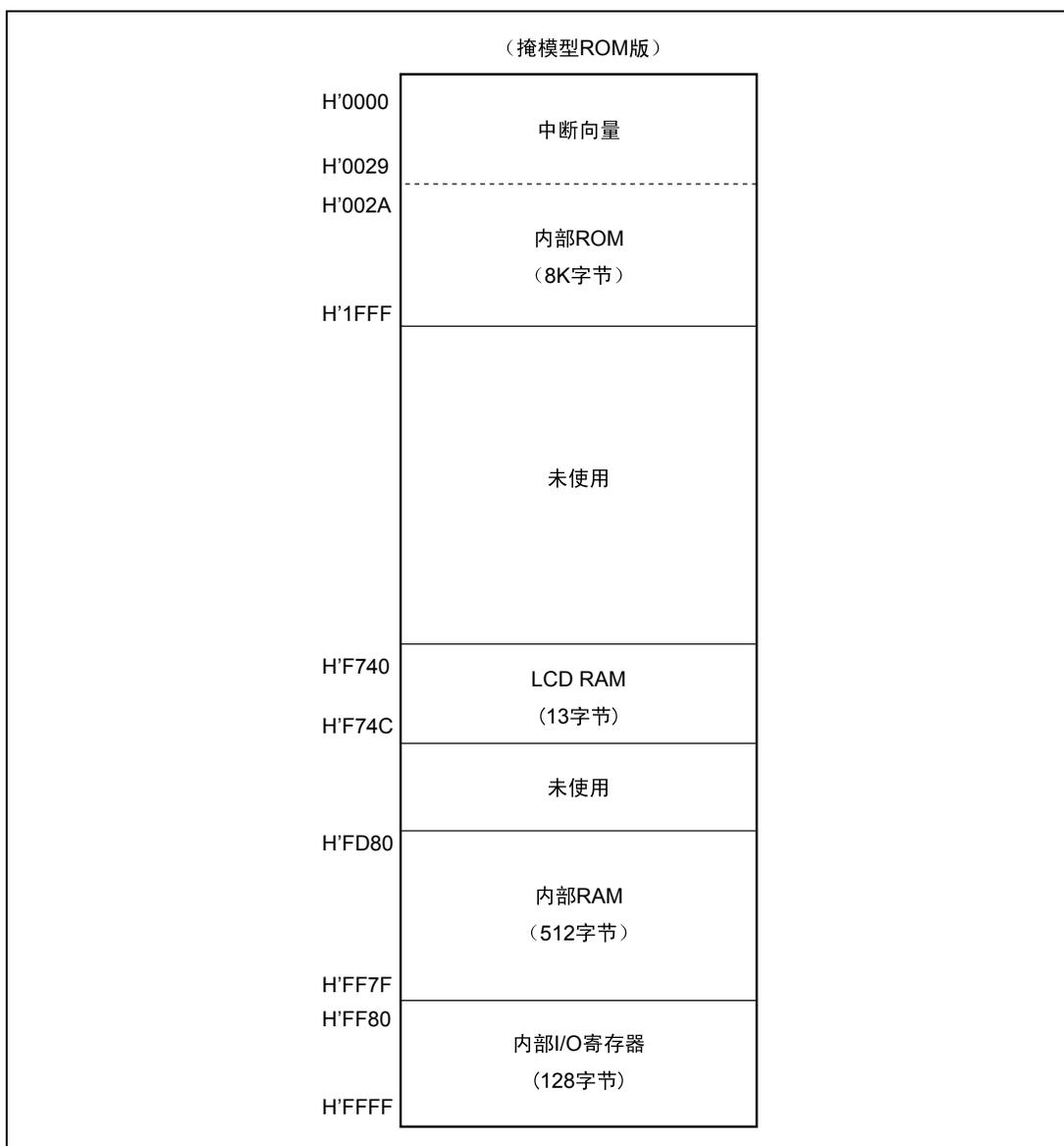


图 2.1 (9) H8/38000、H8/38000S 和 H8/38100 的存储器映像

## 2.3 寄存器结构

H8/300H CPU 的内部寄存器结构如图 2.2 所示。这些寄存器分通用寄存器和控制寄存器 2 种。

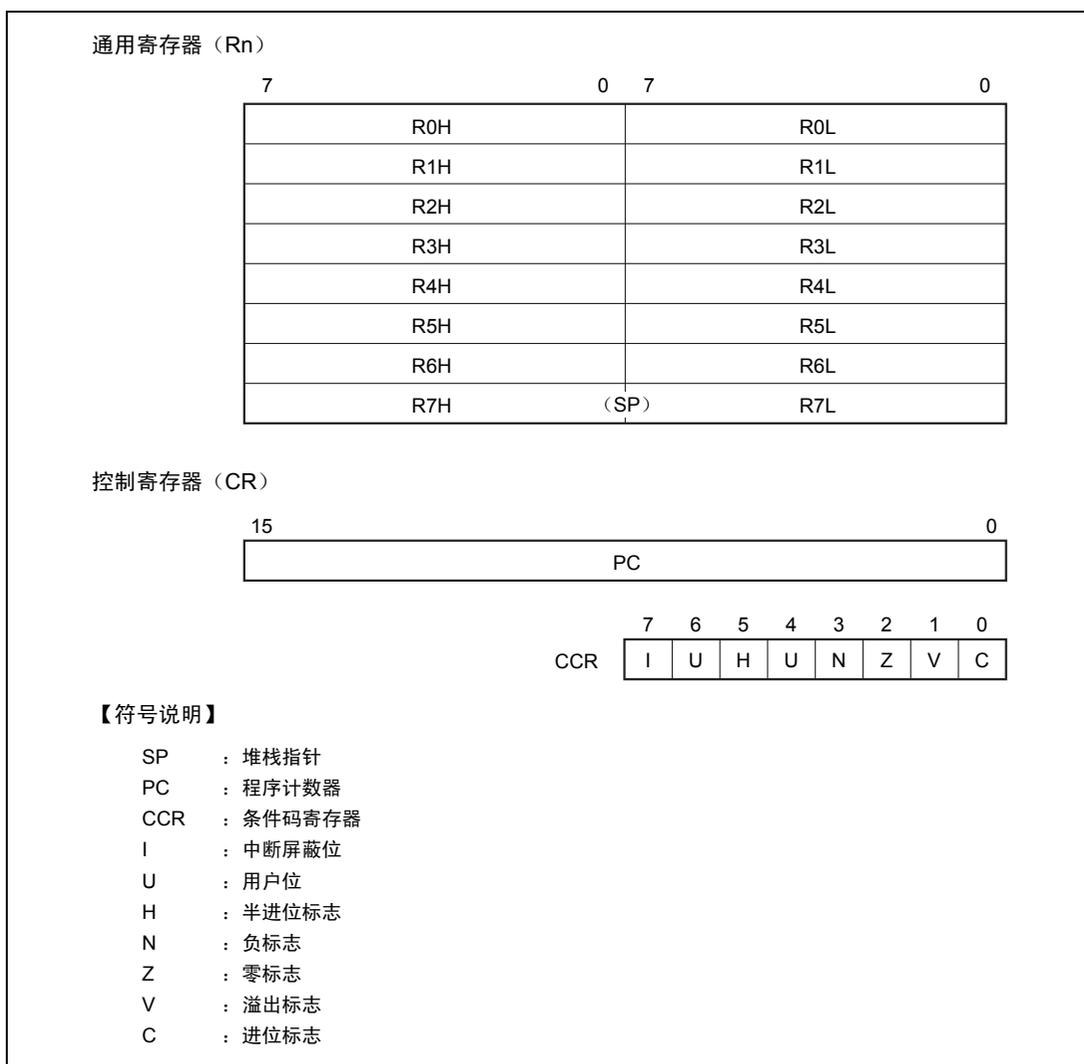


图 2.2 CPU 内部寄存器结构

### 2.3.1 通用寄存器

通用寄存器都具有相同的功能，并且数据寄存器和地址寄存器可以无区别地使用。

用作数据寄存器时，既可作为 8 位寄存器分别使用高位（R7H~R0H）和低位（R7L~R0L），也可作为 16 位寄存器（R7~R0）使用。

用作地址寄存器时，作为 16 位寄存器（R7~R0）使用。

寄存器 R7 除了通用寄存器的功能外，还有堆栈指针（SP）的功能，被隐含地用在异常处理和子程序调用等处。此时，SP 总是指向堆栈区的栈顶。堆栈的状态如图 2.3 所示。

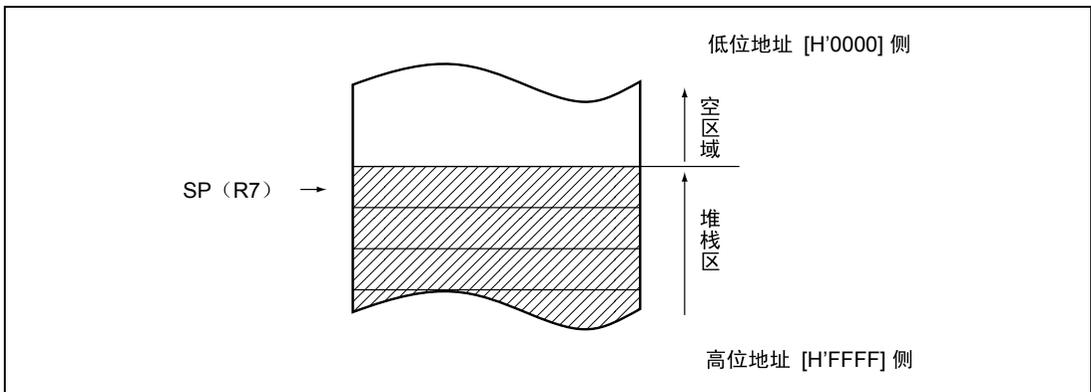


图 2.3 堆栈的状态

### 2.3.2 程序计数器（PC）

它是 16 位计数器，指示 CPU 要执行的下一条指令的地址。由于 CPU 的指令全部以 16 位（字）为单位，因此最低位无效（在读指令码时，最低位被视为 0）。

### 2.3.3 条件码寄存器 (CCR)

CCR 表示 CPU 的内部状态。由包含中断屏蔽位 (I)、半进位 (H)、负 (N)、零 (Z)、溢出 (V) 和进位 (C) 等 8 位标志位构成。通过复位异常处理, I 位被初始化成 1, 而其它位不进行初始化。

位	符号	初始值	R/W	说 明
7	I	1	R/W	中断屏蔽位 当该位置 1 时, 屏蔽中断请求。在开始执行异常处理时, I 位被置 1。
6	U	不定	R/W	用户位 可用软件 (LDC、STC、ANDC、ORC 和 XORC 指令) 进行读写。
5	H	不定	R/W	半进位标志 在执行 ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B 和 NEG.B 指令时, 如果位 3 发生进位或借位, 此位就被置 1, 否则被清 0。在执行 ADD.W、SUB.W、CMP.W 指令时, 如果位 11 发生进位或借位, 此位就被置 1, 否则被清 0。
4	U	不定	R/W	用户位 可用软件 (LDC、STC、ANDC、ORC 和 XORC 指令) 进行读写。
3	N	不定	R/W	负标志 存放数据的最高位 (符号位) 的值。
2	Z	不定	R/W	零标志 当数据为零时被置 1, 否则被清 0。
1	V	不定	R/W	溢出标志 如果在执行算术运算指令时产生溢出, 此位就被置 1, 否则被清 0。
0	C	不定	R/W	进位标志 如果在运算的执行时产生进位, 此位就被置 1, 否则被清 0。进位有以下种类: 加法结果的进位 减法结果的借位 移位和循环的进位 另外, 进位标志位还有位累加器功能, 在位操作指令中使用。

另外。根据指令, 标志有不变化的情况。

有关各指令的标志位的变化, 请参照《H8/300L 系列程序设计手册》。

### 2.3.4 CPU 内部寄存器的初始值

通过复位异常处理，在 CPU 内部寄存器中，PC 通过装入向量地址（H'0000）进行初始化，并将 CCR 的 I 位置 1，但是，通用寄存器和 CCR 的其它位不进行初始化，寄存器 R7（SP）的初始值也不定。因此必须在复位后立即进行 R7 的初始化。

## 2.4 数据格式

H8/300H CPU 能处理 1 位、4 位 BCD、8 位（字节）以及 16 位（字）的数据。1 位数据由位操作指令处理，以操作数据（字节）第 n 位（n=0, 1, 2, …, 7）的形式存取。

字节数据用 ADDS、SUBS 以外的运算指令处理。另外，字数据用 MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU（8 位×8 位）、DIVXU（16 位÷8 位）指令处理。

10 进制调整指令 DAA 和 DAS 将字节数据视为 2 个 4 位 BCD 数据。

## 2.4.1 通用寄存器的数据格式

通用寄存器的数据结构如图 2.4 所示。

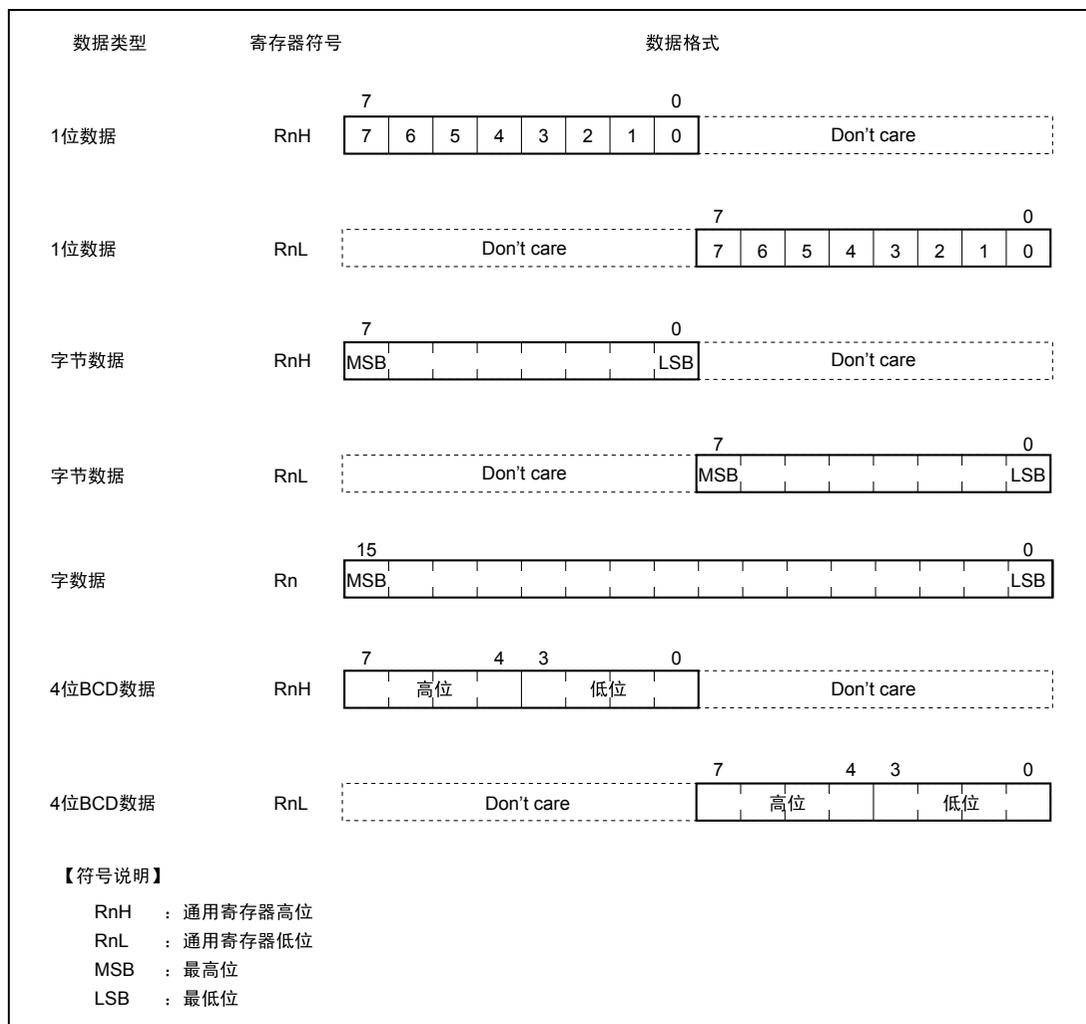


图 2.4 通用寄存器的数据结构

### 2.4.2 存储器的数据格式

存储器的数据结构如图 2.5 所示。H8/300L CPU 能存取存储器中的字数据（MOV.W 指令），但限于从偶数地址开始的字数据。在存取从奇数地址开始的字数据时，地址的最低位将被视为 0，从前一个地址开始存取字数据。指令码的存取也相同。

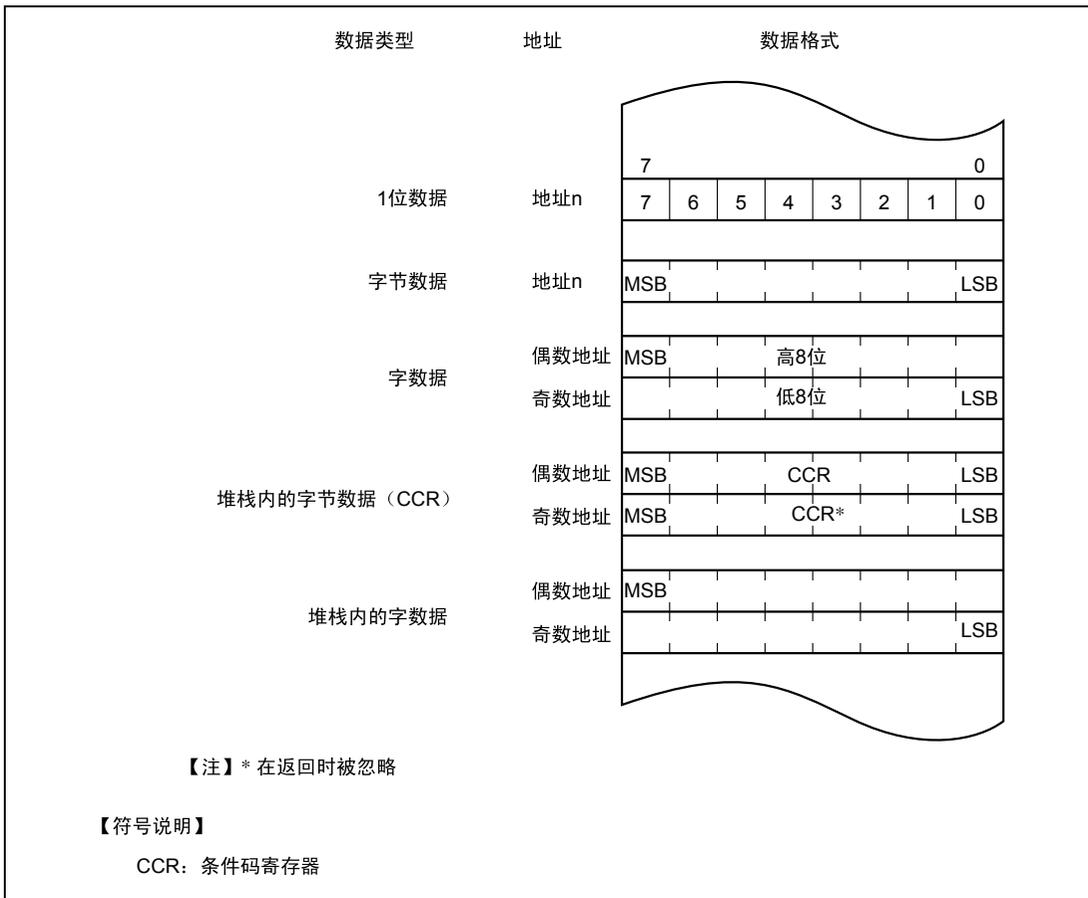


图 2.5 存储器的数据结构

将 R7 作为地址寄存器使用并存取堆栈时，必须以字长存取。另外，CCR 作为字数据，在高 8 位和低 8 位被存放相同的值，在返回时低 8 位被忽略。

## 2.5 指令系统

H8/300L CPU 的指令共有 55 种，根据各指令所具有的功能分类，如表 2.1 所示。

表 2.1 指令的分类

功能	指令	种类
数据传送指令	MOV、POP* <sup>1</sup> 、PUSH* <sup>1</sup>	1
算术运算指令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、DIVXU、CMP、NEG	14
逻辑运算指令	AND、OR、XOR、NOT	4
移位指令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
位操作指令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
转移指令	Bcc* <sup>2</sup> 、JMP、BSR、JSR、RTS	5
系统控制指令	RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	8
块传送指令	EEPMOV	1

合计 55 种

【注】 \*1 POP Rn、PUSH Rn 分别和 MOV.W @SP+,Rn、MOV.W Rn,@-SP 相同，机器代码也相同。

\*2 Bcc 是条件转移指令的统称。

关于各指令的功能如表 2.3~表 2.10 所示。在各表中所使用的操作符号的定义如下所示：

表 2.2 操作符号

Rd	通用寄存器（目标）
Rs	通用寄存器（源）
Rn	通用寄存器
(EAd)、<Ead>	目标操作数
(EAs)、<Eas>	源操作数
CCR	条件码寄存器
N	CCR 的 N（负）标志
Z	CCR 的 Z（零）标志
V	CCR 的 V（溢出）标志
C	CCR 的 C（进位）标志
PC	程序计数器
SP	堆栈指针
#IMM	立即数
disp	位移量
+	加法
-	减法
×	乘法
÷	除法
∧	逻辑与
∨	逻辑或
⊕	逻辑异或
→	传送
~	非（逻辑补）
:3	3 位长
:8	8 位长
:16	16 位长
( )、< >	操作数的有效地址的内容

## 2.5.1 数据传送指令

数据传送指令的功能如表 2.3 所示。

表 2.3 数据传送指令

指令	长度*	功能
MOV	B/W	(EAs) → Rd, Rs → (EAd) 在通用寄存器和通用寄存器之间或者通用寄存器和存储器之间传送数据。另外，给通用寄存器传送立即数。 字数据用 Rn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@-Rn、@Rn+的各寻址方式处理。@aa:8 仅限于字节数据。 但是，使用@-R7、@R7+时，必须指定字的长度。
POP	W	@SP+ → Rn 从堆栈返回数据到通用寄存器。 本指令和 MOV.W @SP+, Rn 相同。
PUSH	W	Rn → @-SP 将通用寄存器的内容保存到堆栈。 本指令和 MOV.W Rn,@-SP 相同。

【注】 \* 长度是表示操作数的长度。

B: 字节

W: 字

有关数据存取请参照“2.9.1 空区域的数据存取”和“2.9.2 内部 I/O 寄存器的存取”。

数据传送指令的指令格式如图 2.6 所示。

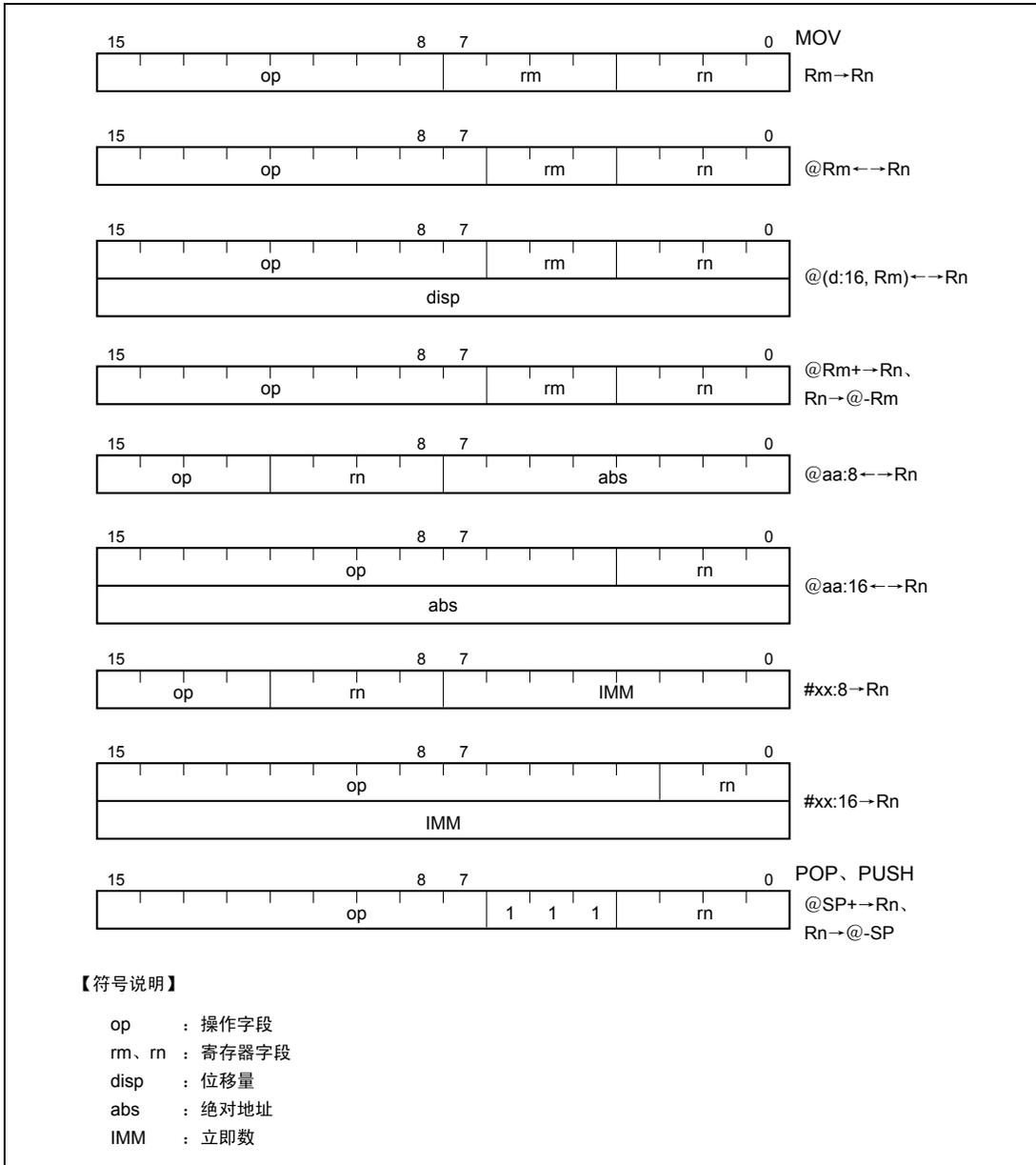


图 2.6 数据传送指令的指令格式

## 2.5.2 算术运算指令

算术运算指令的功能如表 2.4 所示。

表 2.4 算术运算指令

指令	长度*	功 能
ADD SUB	B/W	$Rd \pm Rs \rightarrow Rd$ 、 $Rd + \#IMM \rightarrow Rd$ 在两个通用寄存器之间或者在通用寄存器和立即数之间进行加法运算。通用寄存器和立即数之间不能进行减法运算。 字数据只能在通用寄存器之间进行加减运算。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$ 、 $Rd \pm \#IMM \pm C \rightarrow Rd$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行带进位的加减运算。
INC DEC	B	$Rd \pm 1 \rightarrow Rd$ 对通用寄存器进行加减 1 的运算。
ADDS SUBS	W	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 对通用寄存器进行加减 1 或者加减 2 的运算。
DAA DAS	B	$Rd$ (10 进制调整) $\rightarrow Rd$ 参照 CCR，将通用寄存器的加减运算结果调整为 4 位 BCD 数据。
MULXU	B	$Rd \times Rs \rightarrow Rd$ 在两个通用寄存器之间进行无符号的乘法运算。可以进行 8 位 $\times$ 8 位 $\rightarrow$ 16 位的运算。
DIVXU	B	$Rd \div Rs \rightarrow Rd$ 在两个通用寄存器之间进行无符号的除法运算。可以进行 16 位 $\div$ 8 位 $\rightarrow$ 商 8 位余 8 位的运算。
CMP	B/W	$Rd - Rs$ 、 $Rd - \#IMM$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行比较，其结果反映到 CCR。 字数据只能在通用寄存器之间进行比较。
NEG	B	$0 - Rd \rightarrow Rd$ 取通用寄存器内容的 2 的补码（算术补）。

【注】\* 长度是表示操作数的长度。

B: 字节

W: 字

### 2.5.3 逻辑运算指令

逻辑运算指令的功能如表 2.5 所示。

表 2.5 逻辑运算指令

指令	长度*	功能
AND	B	$Rd \wedge Rs \rightarrow Rd$ 、 $Rd \wedge \#IMM \rightarrow Rd$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行逻辑与运算。
OR	B	$Rd \vee Rs \rightarrow Rd$ 、 $Rd \vee \#IMM \rightarrow Rd$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行逻辑或运算。
XOR	B	$Rd \oplus Rs \rightarrow Rd$ 、 $Rd \oplus \#IMM \rightarrow Rd$ 在两个通用寄存器之间或者通用寄存器和立即数之间进行逻辑异或运算。
NOT	B	$\sim Rd \rightarrow Rd$ 取通用寄存器内容的 1 的补码（逻辑补）。

【注】\* 长度是表示操作数的长度。

B: 字节

### 2.5.4 移位指令

移位指令的功能如表 2.6 所示。

表 2.6 移位指令

指令	长度*	功能
SHAL SHAR	B	$Rd$ （移位处理） $\rightarrow Rd$ 将通用寄存器的内容进行算术移位。
SHLL SHLR	B	$Rd$ （移位处理） $\rightarrow Rd$ 将通用寄存器的内容进行逻辑移位。
ROTL ROTR	B	$Rd$ （循环处理） $\rightarrow Rd$ 将通用寄存器的内容进行循环。
ROTXL ROTXR	B	$Rd$ （循环处理） $\rightarrow Rd$ 将通用寄存器的内容包含进位标志进行循环。

【注】\* 长度是表示操作数的长度。

B: 字节

算术运算指令、逻辑运算指令以及移位指令的指令格式如图 2.7 所示。

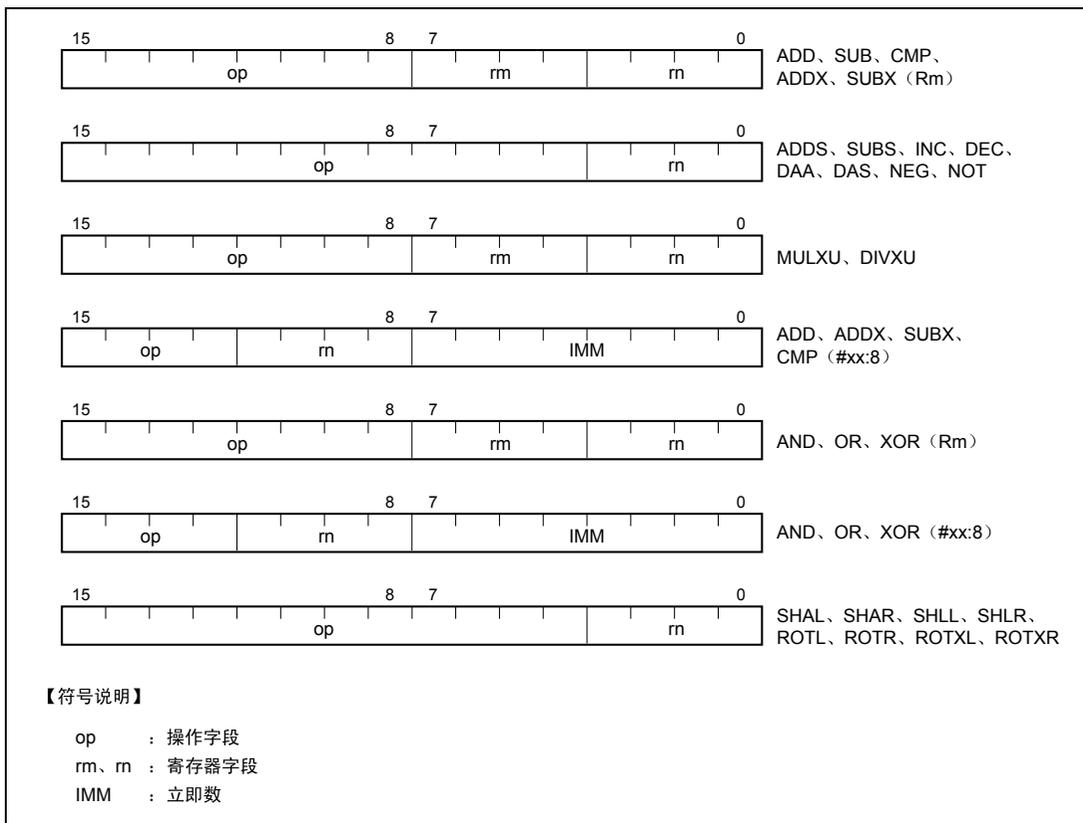


图 2.7 算术运算指令、逻辑运算指令、移位指令的指令格式

## 2.5.5 位操作指令

位操作指令的功能如表 2.7 所示。

表 2.7 位操作指令

指令	长度*	功能
BSET	B	$1 \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 将通用寄存器或者存储器的操作数中被指定的某 1 位置 1。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BCLR	B	$0 \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 将通用寄存器或者存储器的操作数中被指定的某 1 位清 0。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BNOT	B	$\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 将通用寄存器或者存储器的操作数中被指定的某 1 位取反。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BTST	B	$\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow Z$ 测试通用寄存器或者存储器的操作数中被指定的某 1 位，并反映到零标志。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BAND	B	$C \wedge (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 将通用寄存器或者存储器的操作数中被指定的某 1 位和进位标志进行逻辑与运算，结果存入进位标志。
BIAND	B	$C \wedge (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 将通用寄存器或者存储器的操作数中被指定的某 1 位取反，并和进位标志进行逻辑与运算，结果存入进位标志。 位序号由 3 位立即数指定。
BOR	B	$C \vee (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 将通用寄存器或者存储器的操作数中被指定的某 1 位和进位标志进行逻辑或运算，结果存入进位标志。
BIOR	B	$C \vee (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 将通用寄存器或者存储器的操作数中被指定的某 1 位取反，并和进位标志进行逻辑或运算，结果存入进位标志。 位序号由 3 位立即数指定。
BXOR	B	$C \oplus (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 将通用寄存器或者存储器的操作数中被指定的某 1 位和进位标志进行逻辑异或运算，结果存入进位标志。
BIXOR	B	$C \oplus (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 将通用寄存器或者存储器的操作数中被指定的某 1 位取反，并和进位标志进行逻辑异或运算，结果存入进位标志。 位序号由 3 位立即数指定。

指令	长度*	功 能
BLD	B	( $\langle$ 位序号 $\rangle$ of $\langle$ EAd $\rangle$ ) $\rightarrow$ C 将通用寄存器或者存储器的操作数中被指定的某 1 位传送到进位标志。
BILD	B	$\sim$ ( $\langle$ 位序号 $\rangle$ of $\langle$ EAd $\rangle$ ) $\rightarrow$ C 将通用寄存器或者存储器的操作数中被指定的某 1 位取反并传送到进位标志。 位序号由 3 位立即数指定。
BST	B	C $\rightarrow$ ( $\langle$ 位序号 $\rangle$ of $\langle$ EAd $\rangle$ ) 将进位标志的内容传送到通用寄存器或者存储器的操作数中被指定的某 1 位。
BIST	B	$\sim$ C $\rightarrow$ ( $\langle$ 位序号 $\rangle$ of $\langle$ EAd $\rangle$ ) 将进位标志的内容取反并传送到通用寄存器或者存储器的操作数中被指定的某 1 位。 位序号由 3 位立即数指定。

【注】 \* 长度是表示操作数的长度。

B: 字节

有关位操作指令请参照“2.9.4 位操作指令”。

位操作指令的指令格式如图 2.8 所示。

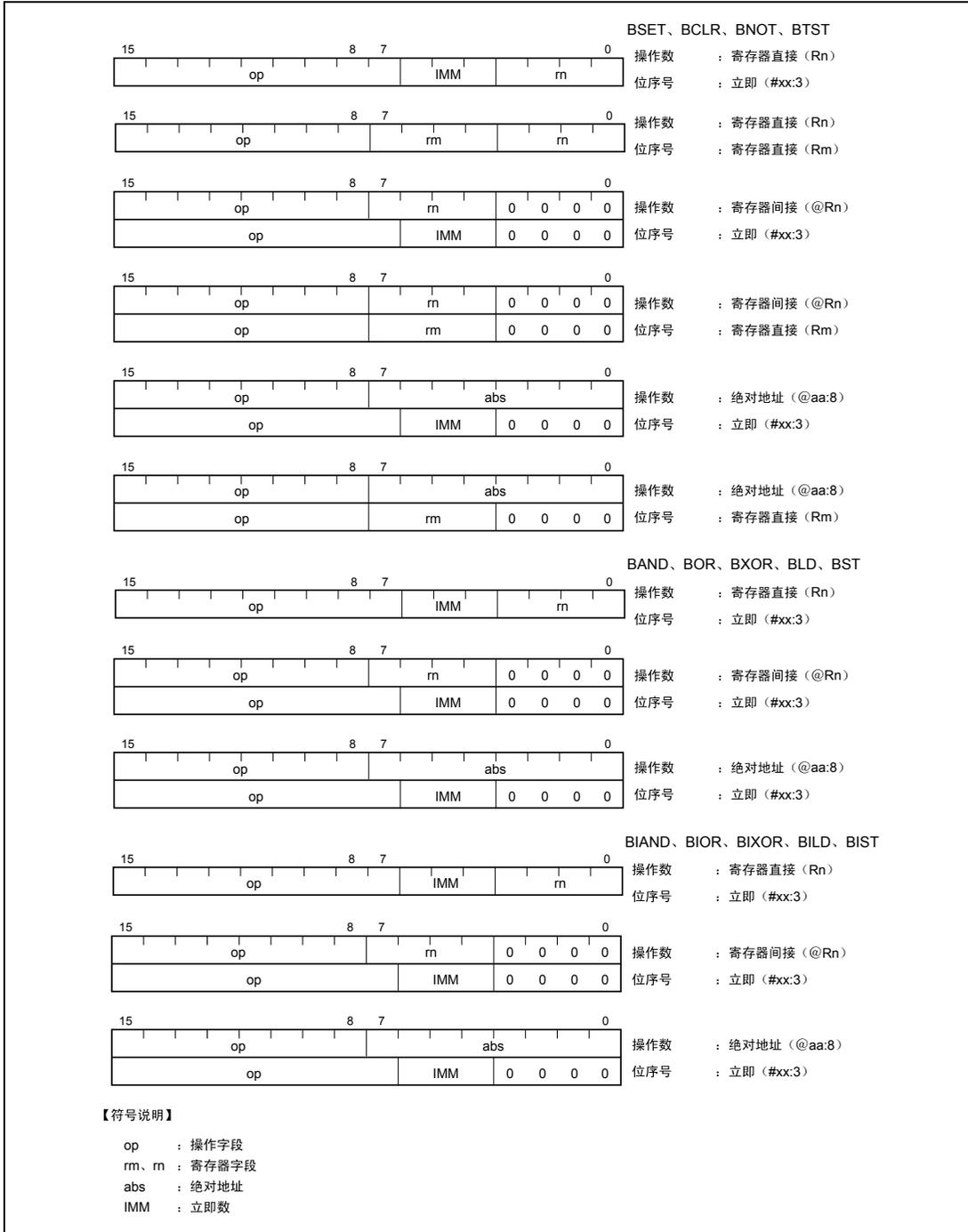


图 2.8 位操作指令的指令格式

## 2.5.6 转移指令

转移指令的功能如表 2.8 所示。

表 2.8 转移指令

指令	长度	功 能																																																			
Bcc		指定条件成立时，转移到指定地址。转移条件如下表所示：																																																			
		<table border="1"> <thead> <tr> <th>助记符</th> <th>说 明</th> <th>转移条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td><math>C \vee Z=0</math></td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td><math>C \vee Z=1</math></td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same)</td> <td><math>C=0</math></td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(Low)</td> <td><math>C=1</math></td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td><math>Z=0</math></td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td><math>Z=1</math></td> </tr> <tr> <td>BVC</td> <td>Overflow Clear</td> <td><math>V=0</math></td> </tr> <tr> <td>BVS</td> <td>Overflow Set</td> <td><math>V=1</math></td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td><math>N=0</math></td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td><math>N=1</math></td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td><math>N \oplus V=0</math></td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td><math>N \oplus V=1</math></td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td><math>Z \vee (N \oplus V)=0</math></td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td><math>Z \vee (N \oplus V)=1</math></td> </tr> </tbody> </table>	助记符	说 明	转移条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	$C \vee Z=0$	BLS	Low or Same	$C \vee Z=1$	BCC(BHS)	Carry Clear(High or Same)	$C=0$	BCS(BLO)	Carry Set(Low)	$C=1$	BNE	Not Equal	$Z=0$	BEQ	Equal	$Z=1$	BVC	Overflow Clear	$V=0$	BVS	Overflow Set	$V=1$	BPL	PLus	$N=0$	BMI	Minus	$N=1$	BGE	Greater or Equal	$N \oplus V=0$	BLT	Less Than	$N \oplus V=1$	BGT	Greater Than	$Z \vee (N \oplus V)=0$	BLE	Less or Equal	$Z \vee (N \oplus V)=1$
		助记符	说 明	转移条件																																																	
		BRA(BT)	Always(True)	Always																																																	
		BRN(BF)	Never(False)	Never																																																	
		BHI	High	$C \vee Z=0$																																																	
		BLS	Low or Same	$C \vee Z=1$																																																	
		BCC(BHS)	Carry Clear(High or Same)	$C=0$																																																	
		BCS(BLO)	Carry Set(Low)	$C=1$																																																	
		BNE	Not Equal	$Z=0$																																																	
		BEQ	Equal	$Z=1$																																																	
		BVC	Overflow Clear	$V=0$																																																	
		BVS	Overflow Set	$V=1$																																																	
		BPL	PLus	$N=0$																																																	
		BMI	Minus	$N=1$																																																	
		BGE	Greater or Equal	$N \oplus V=0$																																																	
BLT	Less Than	$N \oplus V=1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V)=0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V)=1$																																																			
JMP	—	无条件转移到指定地址。																																																			
BSR	—	转移到指定地址的子程序。																																																			
JSR	—	转移到指定地址的子程序。																																																			
RTS	—	从子程序返回。																																																			

转移指令的指令格式如图 2.9 所示。

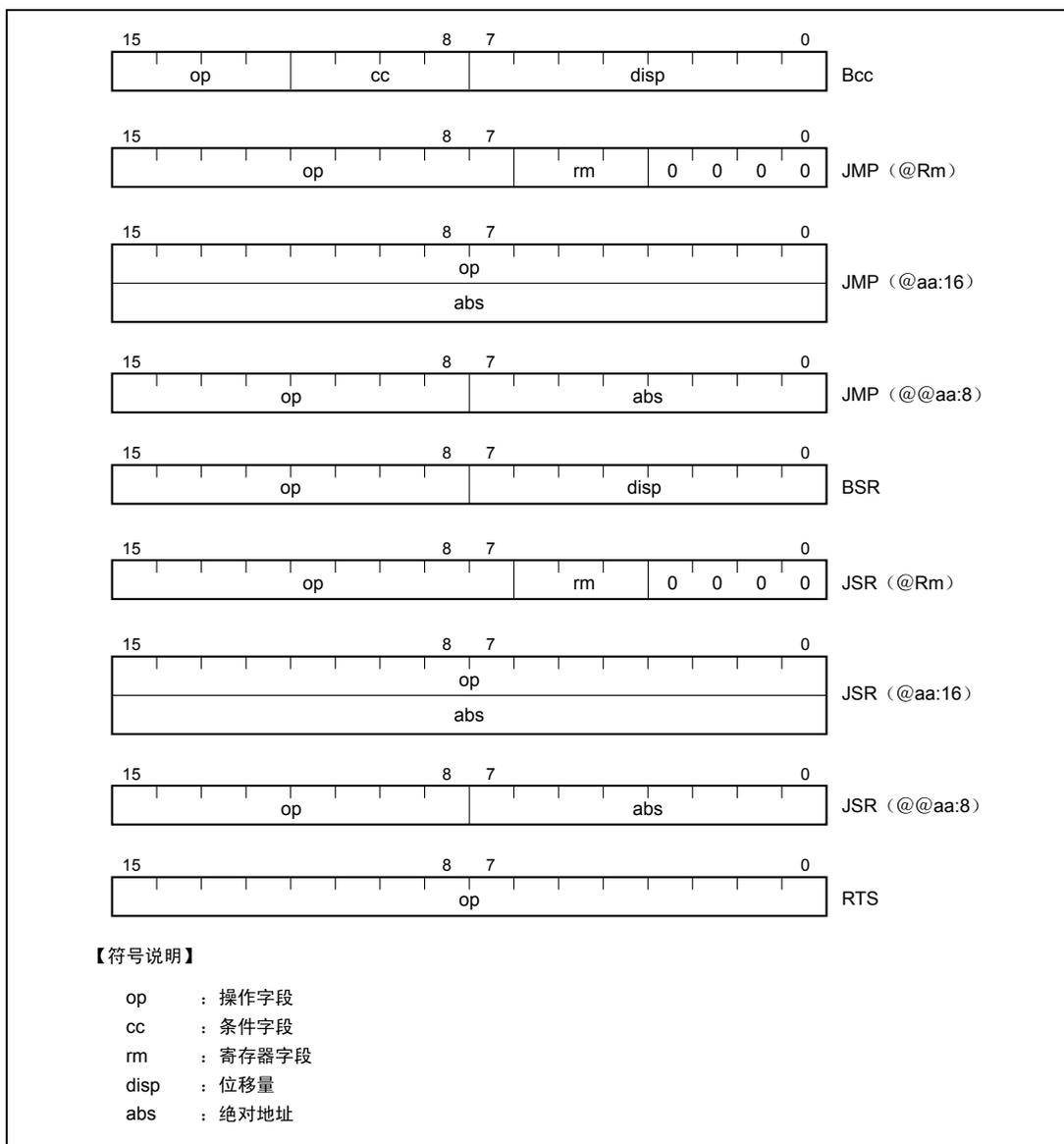


图 2.9 转移指令的指令格式

## 2.5.7 系统控制指令

系统控制指令的功能如表 2.9 所示。

表 2.9 系统控制指令

指令	长度*	功能
RTE	—	从中断处理程序返回。
SLEEP	—	如果在激活模式执行本指令，就转移到低功耗模式。 详细内容请参照“第 5 章 低功耗模式”。
LDC	B	$R_s \rightarrow CCR$ 、 $\#IMM \rightarrow CCR$ 将通用寄存器内容或者立即数传送到 CCR。
STC	B	$CCR \rightarrow R_d$ 将 CCR 的内容传送到通用寄存器。
ANDC	B	$CCR \wedge \#IMM \rightarrow CCR$ 取 CCR 和立即数的逻辑与。
ORC	B	$CCR \vee \#IMM \rightarrow CCR$ 取 CCR 和立即数的逻辑或。
XORC	B	$CCR \oplus \#IMM \rightarrow CCR$ 取 CCR 和立即数的逻辑异或。
NOP	—	$PC+2 \rightarrow PC$ 只使 PC 增量。

【注】\* 长度表示操作数的长度。

B: 字节

系统控制指令的指令格式如图 2.10 所示。

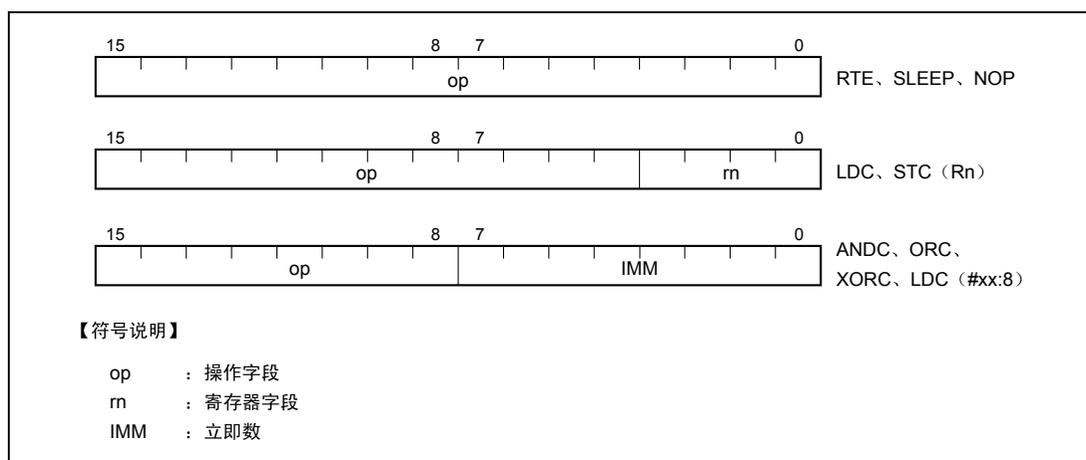


图 2.10 系统控制指令的指令格式

### 2.5.8 数据块传送指令

数据块传送指令的功能如表 2.10 所示。

表 2.10 数据块传送指令

指令	长度	功 能
EEPMOV		<pre>if R4L 0 then   Repeat @R5+ @R6+, R4L-1 R4L   Until R4L=0 else next;</pre> <p>块传送指令。从 R5 所示的地址开始，将 R4L 指定的字节数的数据传送到 R6 所示地址开始的位置。传送结束后执行下一条指令。</p>

使用 EEPMOV 指令时的注意事项，请参照“2.9.3 EEPMOV 指令”。

块传送指令的指令格式如图 2.11 所示。

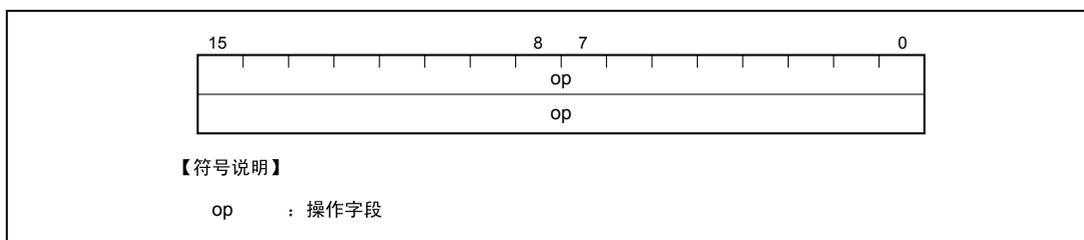


图 2.11 块传送指令的指令格式

## 2.6 寻址方式和有效地址

### 2.6.1 寻址方式

如表 2.11 所示，H8/300L CPU 支持 8 种寻址方式。各条指令能使用的寻址方式不同。

表 2.11 寻址方式一览表

No.	寻址方式	符号
(1)	寄存器直接	Rn
(2)	寄存器间接	@Rn
(3)	带位移量的寄存器间接	@(d:16, Rn)
(4)	后增寄存器间接	@Rn+
	先减寄存器间接	@-Rn
(5)	绝对地址	@aa:8/@aa:16
(6)	立即	#xx:8/#xx:16
(7)	程序计数器相对	@(d:8, PC)
(8)	存储器间接	@@aa:8

#### (1) 寄存器直接 Rn

指令码的寄存器字段所指定的寄存器（8 位或 16 位）为操作数。

使用 16 位寄存器的指令是 MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU（8 位×8 位）、DIVXU（16 位÷8 位）的各指令。

#### (2) 寄存器间接 @Rn

将指令码的寄存器字段所指定的寄存器（16 位）的内容作为地址，指定存储器上的操作数。

#### (3) 带位移量的寄存器间接 @(d:16, Rn)

将指令码的寄存器字段所指定的寄存器（16 位）的内容加上指令码的第 2 个字（第 3、第 4 字节）的 16 位位移量的内容作为地址，指定存储器上的操作数。

本寻址方式只能用于 MOV 指令。特别是在 MOV.W 指令，加法结果应为偶数。

(4) 后增寄存器间接 @Rn+ / 先减寄存器间接 @-Rn

- 后增寄存器间接 @Rn+

用在MOV (Load from) 指令。

将指令码的寄存器字段所指定的寄存器 (16位) 的内容作为地址, 指定存储器上的操作数。然后, 给寄存器的内容加1或者加2, 并将加法结果存入寄存器。MOV.B指令加1, MOV.W指令加2。在MOV.W指令, 寄存器的内容应为偶数。

- 先减寄存器间接 @-Rn

用在MOV (Store to) 指令。

将指令码的寄存器字段所指定的寄存器 (16位) 的内容减1或者减2后的内容作为地址, 指定存储器上的操作数。然后, 将减法结果存入寄存器。MOV.B指令减1, MOV.W指令减2。在MOV.W指令, 寄存器的内容应为偶数。

(5) 绝对地址 @aa:8/@aa:16

它是用包含在指令码中的绝对地址, 指定存储器上的操作数。

此时, 绝对地址为 8 位 (@aa: 8) 或 16 位 (@aa: 16), 8 位绝对地址用在 MOV.B 和位操作指令, 16 位绝对地址用在 MOV.B、MOV.W、JMP 和 JSR 的各指令。

为 8 位绝对地址时, 高 8 位全部为“1” (H'FF)。因此, 存取范围是 65280~65535 (H'FF00~H'FFFF) 地址。

(6) 立即 #xx:8/#xx:16

将指令码的第 2 字节 (#xx: 8) 或者第 3、第 4 字节 (#xx: 16) 作为直接操作数使用。  
#xx: 16 只能使用在 MOV.W 指令。

在 ADDS 和 SUBS 指令, 立即数(1 或者 2) 被隐含地包含在指令码中。在位操作指令, 为了指定位序号的 3 位立即数, 有时也被包含在指令码的第 2 或者第 4 字节中。

(7) 程序计数器相对 @(d:8, PC)

用在 Bcc、BSR 的各指令。

在给 PC 内容加上指令码的第 2 字节的 8 位位移量后, 生成转移地址。在加法运算时, 位移量被符号扩展成 16 位。另外, 由于被加的 PC 内容为下一条指令的起始地址, 因此转移指令可能转移的范围是-126~+128 字节 (-63~+64 字)。此时, 加法结果应为偶数。

(8) 存储器间接 @@aa:8

用在 JMP 和 JSR 指令。

用包含在指令码的第 2 字节中的 8 位绝对地址来指定存储器上的操作数, 作为转移地址进行转移。此时, 由于 8 位绝对地址的高 8 位已全部变为 0 (H'00), 因此可储存转移地址的范围为 0~255 (H'0000~H'00FF)。但是, 在 H8/300L 系列中, 请注意: 地址的低位地址和向量区共用。关于向量区的详细内容, 请参照“3.1 异常类型和向量地址”。

作为转移地址或者 MOV.W 指令的操作数地址，如果指定奇数地址，就将最低位视为 0，并且存取从前 1 个地址开始的字数据（请参照“2.4.2 存储器的数据格式”）。

## 2.6.2 有效地址的计算方法

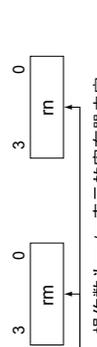
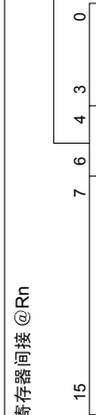
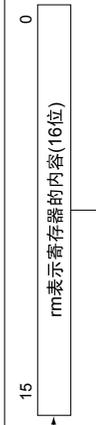
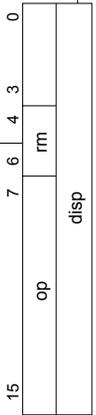
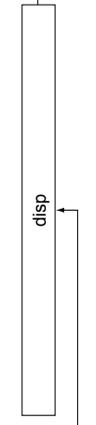
各寻址方式中有效地址（EA：Effective Address）的计算方法如表 2.12 所示。

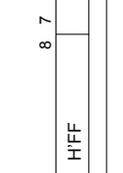
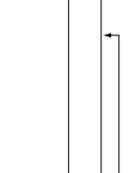
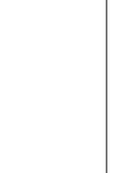
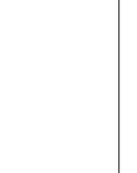
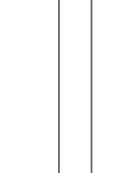
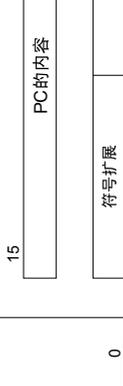
在运算指令中，使用（1）寄存器直接和（6）立即（ADD.B、ADDX、SUBX、CMP.B、AND、OR、XOR 的各指令）。

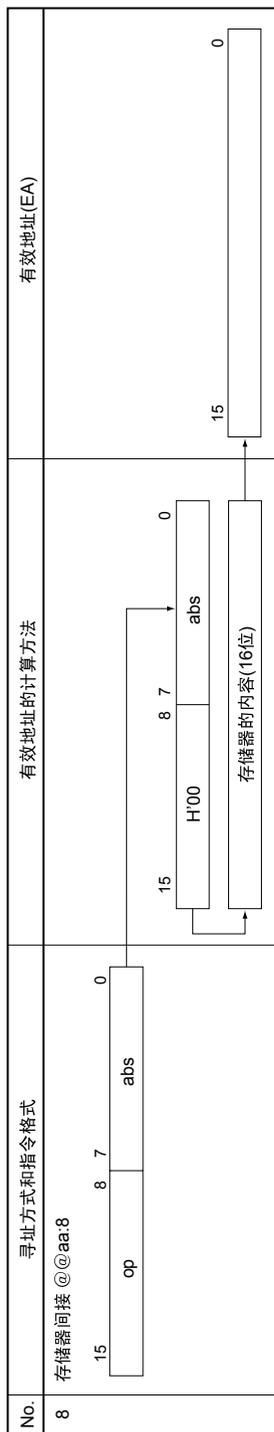
在传送指令中，除了（7）程序计数相对和（8）存储器间接，可以使用所有的寻址方式。

另外，在位操作指令中，对于指定操作数，可以使用（1）寄存器直接、（2）寄存器间接以及（5）绝对地址（8 位）；对于指定操作数中的位序号，可以独立使用（1）寄存器直接（BSET、BCLR、BNOT、BTST 的各指令）和（6）立即（3 位）。

表 2.12 有效地址的计算方法

No.	寻址方式和指令格式	有效地址的计算方法	有效地址(EA)
1	寄存器直接 Rn 		 <p>操作数为rm/m表示的寄存器内容。</p>
2	寄存器间接 @Rn 		
3	带位移量寄存器间接 @ (d;16, Rn) 		
4	后增寄存器间接/先减寄存器间接 <ul style="list-style-type: none"> <li>• 后增寄存器间接 @Rn+</li> <li>• 先减寄存器间接 @-Rn</li> </ul> 		 <p>操作数为字节时加减1，为字时加减2。</p>

No.	寻址方式和指令格式	有效地址的计算方法	有效地址(EA)
5	<p>绝对地址 @aa:8</p>  <p>@aa:16</p> 		 
6	<p>立即 #xx:8</p>  <p>#xx:16</p> 		<p>操作数为立即数的1或者2字节数据。</p>
7	<p>程序计数器相对 @(d:8, PC)</p> 		



【符号说明】

- rm、m : 寄存器字段
- op : 操作字段
- disp : 位移量
- IMM : 立即数
- abs : 绝对地址

## 2.7 基本总线时序

CPU 以系统时钟 ( $\phi$ ) 或者子时钟 ( $\phi_{SUB}$ ) 为基准运行。关于系统时钟  $\phi$  和子时钟  $\phi_{SUB}$  的定义请参照“第4章 时钟振荡器”。从  $\phi$  或者  $\phi_{SUB}$  的上升沿开始到下一个上升沿为止的 1 个单位称为 1 个状态。总线周期由 2 个状态或者 3 个状态构成，根据内部存储器和内部外围模块进行不同的存取。

### 2.7.1 内部存储器 (RAM、ROM)

内部存储器的存取以 2 个状态进行。此时，数据总线宽度为 16 位，可以进行字节长存取和字长存取。

内部存储器的存取周期如图 2.12 所示。

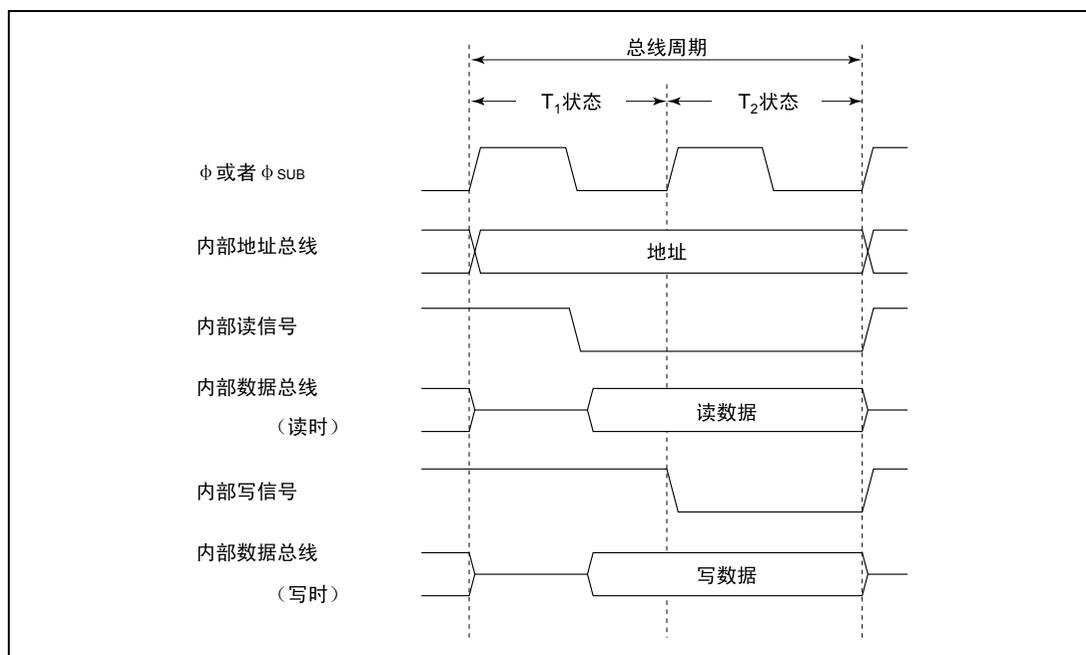


图 2.12 内部存储器的存取周期

### 2.7.2 内部外围模块

内部外围模块的存取以 2 个或者 3 个状态进行。此时，数据总线宽度为 8 位，只能进行字节长存取。因此，对于字数据，必须用 2 条指令进行存取。各寄存器的数据总总线宽度和存取状态数请参照“16.1 寄存器地址一览表（按地址顺序）”。

#### (1) 内部外围模块 2 个状态存取

以 2 个状态存取内部外围模块的运行时序如图 2.13 所示。

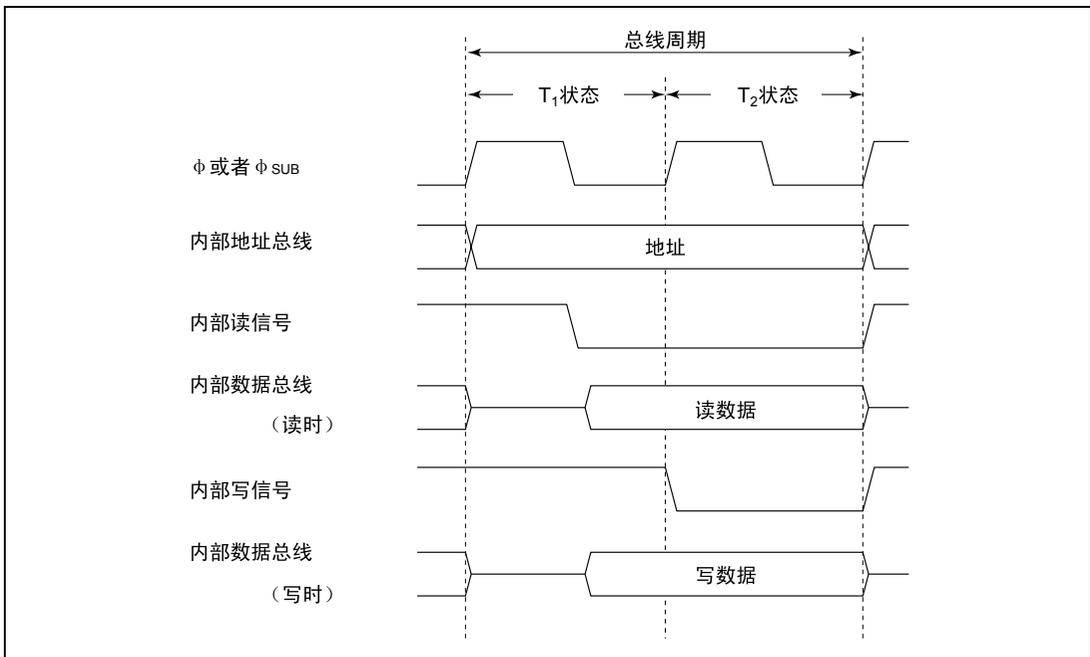


图 2.13 内部外围模块的存取周期（2 个状态的存取）

## (2) 内部外围模块 3 个状态的存取

以 3 个状态存取内部外围模块的运行时序如图 2.14 所示。

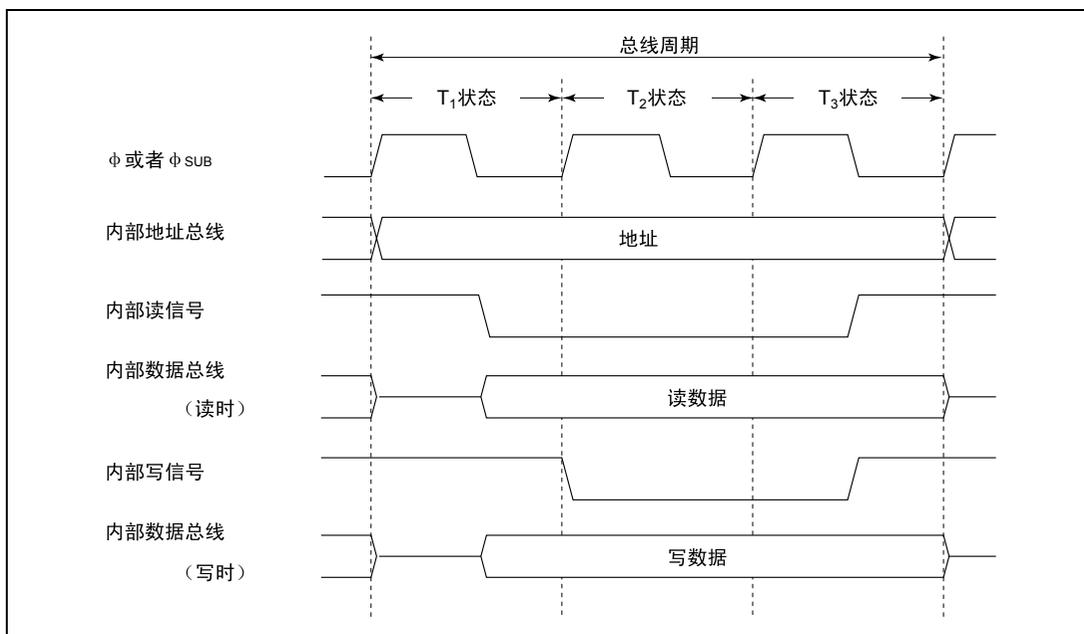


图 2.14 内部外围模块的存取周期 (3 个状态的存取)

## 2.8 CPU 的状态

CPU 有复位状态、程序执行状态、程序停止状态以及异常处理状态 4 种。程序执行状态有激活（高速、中速）模式和子激活模式，程序停止状态有睡眠（高速）模式、睡眠（中速）模式、待机模式、时钟模式以及子睡眠模式。

各状态的分类如图 2.15 所示，各状态之间的转移如图 2.16 所示。

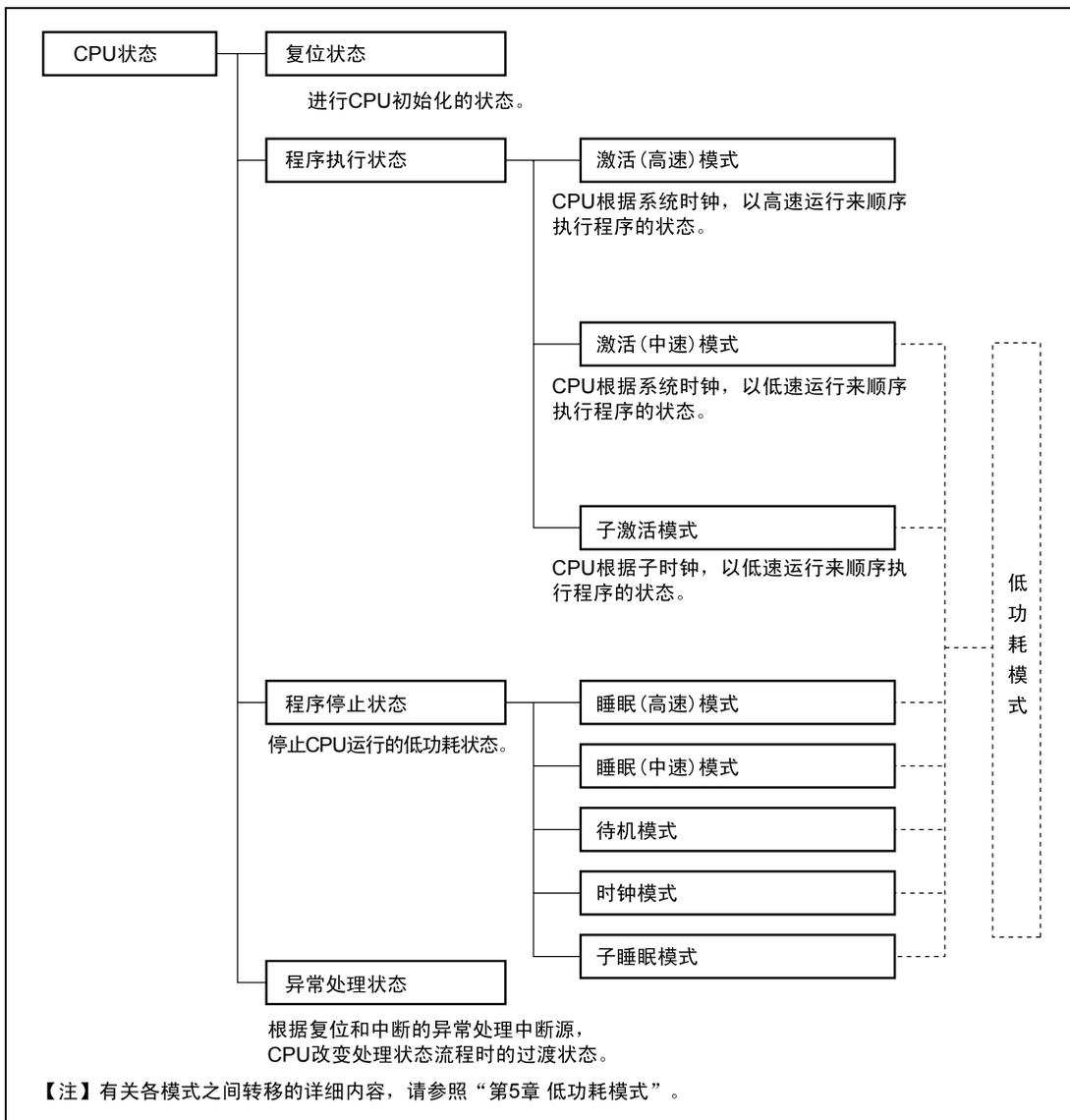


图 2.15 CPU 的状态分类

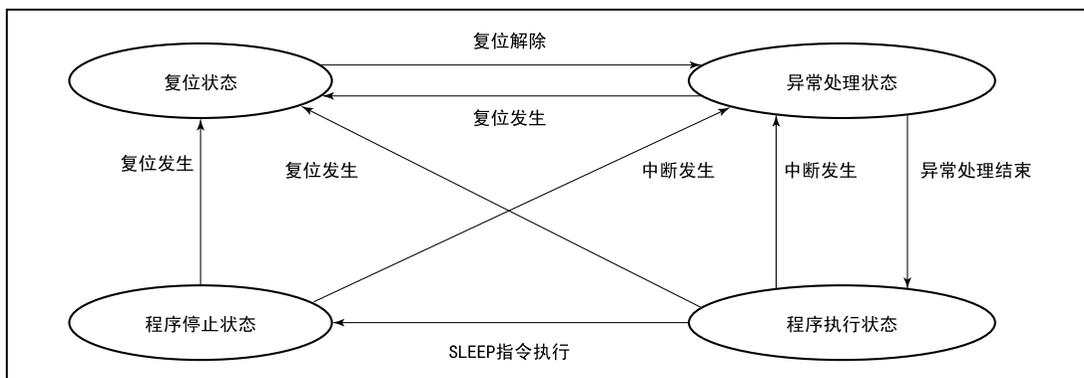


图 2.16 状态转移图

## 2.9 使用时的注意事项

### 2.9.1 空区域的数据存取

本 LSI 的地址空间除了开放给用户的 ROM、RAM 和内部 I/O 寄存器的区域以外，还有空区域。如果从 CPU 将数据传送给空区域，其传送数据就会丢失，导致 CPU 的误动作。从空区域传送数据到 CPU 的内容不被保证。

### 2.9.2 内部 I/O 寄存器的存取

除了内部 ROM 和 RAM 区以外的内部外围模块以 8 位长传送内部数据。如果对此区域进行字存取，就将进行以下的运行：

从 CPU 向 I/O 寄存器区进行字存取 高位字节：被写入 I/O 寄存器。 低位字节：传送数据被丢失。
从内部 I/O 寄存器向 CPU 进行字存取 高位字节：被写入 CPU 内部寄存器的高位。 低位字节：被写入 CPU 内部寄存器低位的数据不被保证。

因此，在和内部 ROM 与 RAM 区以外的 I/O 寄存器区进行数据传送时，必须使用字节长指令。

### 2.9.3 EEPMOV 指令

EEPMOV 指令是数据块传送指令，从 R5 的地址开始，把 R4L 表示的字节数的数据传送到 R6 的地址。设定 R4L 和 R6 时，不要使传送目标的最后地址 (R6+R4L 的值) 超过 H'FFFF (执行过程中，不能使 R6 的值 H'FFFF 变成 H'0000)。

## 2.9.4 位操作指令

BSET、BCLR、BNOT、BST 和 BIST 指令以字节单位读指定地址的数据，在操作对象位（1 位）后以字节单位写入同一地址。因此，如果 2 个寄存器被分配相同地址、含有写专用位的寄存器或者直接对端口使用位操作指令，位操作对象以外的数据就有被改写的可能，请注意。

### (1) 同地址被分配 2 个寄存器的位操作

#### 例1：定时器装入寄存器和定时器计数器的位操作

被分配成同一地址的 2 个寄存器的定时器的构成例子如图 2.17 所示。如果对定时器装入寄存器和定时器计数器执行位操作指令，由于定时器装入寄存器和定时器计数器地址共有，因此会产成以下动作：

1. 以字节单位读定时器计数器的数据。
2. CPU用位操作指令把对象位（1位）置位或者复位。
3. 以字节单位把处理后的数据写进定时器装入寄存器。

因为定时器计数器一直在计数，所以读出的数据与定时器装入寄存器的数据并不一定相等。因此在定时器计数器的操作对象位以外的数据被改写后，其改写后的数据被写进定时器装入寄存器。

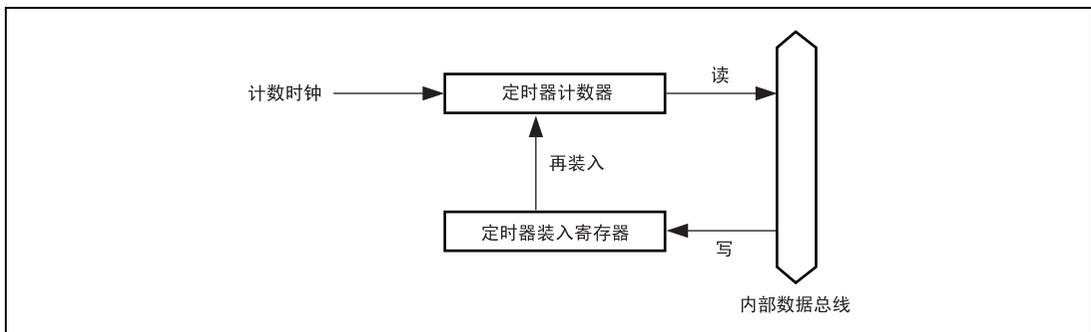


图 2.17 同地址被分配 2 个寄存器的定时器的构成例子

**例2：对端口3执行BSET指令的情况**

将 P37、P36 设定为输入管脚，分别输入低电平和高电平；将 P35~P31 设定为输出管脚，使它们分别处于低电平输出状态。

用 BSET 指令对 P31 进行高电平输出的例子如下所示：

**【执行 BSET 指令前】**

	P37	P36	P35	P34	P33	P32	P31	—
输入/输出	输入	输入	输出	输出	输出	输出	输出	—
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	—
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

**【执行 BSET 指令】**

BSET	#1,	@PDR3
------	-----	-------

对端口 3 执行 BSET 指令。

**【执行 BSET 指令后】**

	P37	P36	P35	P34	P33	P32	P31	—
输入/输出	输入	输入	输出	输出	输出	输出	输出	—
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	高电平	—
PCR3	0	0	1	1	1	1	1	1
PDR3	0	1	0	0	0	0	1	1

**【BSET 指令的运行说明】**

如果执行 BSET 指令，CPU 就先读端口 3。

由于 P37、P36 是输入管脚，CPU 将读管脚的状态（低电平和高电平输入）。由于 P35~P31 是输出管脚，CPU 将读 PDR3 的值。因此，在此例中，虽然 PDR3 是 H'81，但是 CPU 读到的数据却是 H'41。

然后，CPU 将读到的数据的位 1 置 1，数据变为 H'43。

最后，将此值（H'43）写到 PDR3，BSET 指令结束。

其结果，PDR3 的位 1 为 1，P31 成为高电平输出。但是，PDR3 的位 7 和位 6 发生了变化。

因此，必须将和 PDR3 相同的数据存入存储器的工作区，对工作区的数据进行位操作后，再将此数据写入 PDR3。

**【执行 BSET 指令前】**

```
MOV.B #81, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PDR3
```

将要写入 PDR3 的值 (H'81) 预先写到存储器的工作区 (RAM0) 和 PDR3。

	P37	P36	P35	P34	P33	P32	P31	—
输入/输出	输入	输入	输出	输出	输出	输出	输出	—
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	—
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

**【执行 BSET 指令】**

```
BSET #1, @RAM0
```

对 PDR3 的工作区 (RAM0) 执行 BSET 指令。

**【执行 BSET 指令后】**

```
MOV.B @RAM0, R0L
MOV.B R0L, @PDR3
```

将工作区 (RAM0) 的值写到 PDR3。

	P37	P36	P35	P34	P33	P32	P31	—
输入/输出	输入	输入	输出	输出	输出	输出	输出	—
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	高电平	—
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	1	1

RAM0	1	0	0	0	0	0	1	1
------	---	---	---	---	---	---	---	---

## (2) 含有写专用位的寄存器的位操作

## 例3: 对端口3的PCR3执行BCLR指令的情况

将 P37、P36 设定为输入管脚，分别输入低电平和高电平；将 P35~P31 设定为输出管脚，使它们分别处于低电平输出状态。

在这里，用 BCLR 指令将 P31 设定成输入端口的例子如下所示。设定为输入管脚的 P31 为高电平输入状态：

## 【执行 BCLR 指令前】

	P37	P36	P35	P34	P33	P32	P31	—
输入/输出	输入	输入	输出	输出	输出	输出	输出	—
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	—
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

## 【执行 BCLR 指令】

BCLR	#1, @PCR3
------	-----------

对 PCR3 执行 BCLR 指令。

## 【执行 BCLR 指令后】

	P37	P36	P35	P34	P33	P32	P31	—
输入/输出	输出	输出	输出	输出	输出	输出	输入	—
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	高电平	—
PCR3	1	1	1	1	1	1	0	1
PDR3	1	0	0	0	0	0	0	1

## 【BCLR 指令的运行说明】

如果执行 BCLR 指令，CPU 就先读 PCR3。由于 PCR3 是只写寄存器，CPU 将读到 H'FF。因此，在此例中，虽然 PCR3 是 H'3F，但是 CPU 读到的数据却是 H'FF。

然后，CPU 将读到的数据的位 1 清 0，数据将变为 H'FD。

最后，将此值 (H'FD) 写到 PCR3，BCLR 指令结束。

其结果，PCR3 的位 1 为 0，P31 变成输入端口。但是，PCR3 的位 7、位 6 为 1，原来的输入端口 P37 和 P36 变为输出端口。

因此，必须将和 PCR3 相同的数据存入存储器的工作区，对工作区的数据进行位操作后，再将此数据写到 PCR3。

**【执行 BCLR 指令前】**

```
MOV.B #3F, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PCR3
```

将要写入 PCR3 的值 (H'3F) 预先写到存储器的工作区 (RAM0) 和 PCR3。

	P37	P36	P35	P34	P33	P32	P31	—
输入/输出	输入	输入	输出	输出	输出	输出	输出	—
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	—
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

**【执行 BCLR 指令】**

```
BCLR #1, @RAM0
```

对 PCR3 的工作区 (RAM0) 执行 BCLR 指令。

**【执行 BCLR 指令后】**

```
MOV.B @RAM0, R0L
MOV.B R0L, @PCR3
```

将工作区 (RAM0) 的值写到 PCR3。

	P37	P36	P35	P34	P33	P32	P31	—
输入/输出	输入	输入	输出	输出	输出	输出	输出	—
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	高电平	—
PCR3	0	0	1	1	1	1	0	1
PDR3	1	0	0	0	0	0	0	1

RAM0	0	0	1	1	1	1	0	1
------	---	---	---	---	---	---	---	---

被分配在同一个地址的 2 个寄存器的一览表如表 2.13 所示，含有只写位的寄存器的一览表如表 2.14 所示。

表 2.13 被分配在同一个地址的 2 个寄存器的一览表

寄存器名	略称	地址
端口数据寄存器 3*	PDR3	H'FFD6
端口数据寄存器 4*	PDR4	H'FFD7
端口数据寄存器 5*	PDR5	H'FFD8
端口数据寄存器 6*	PDR6	H'FFD9
端口数据寄存器 7*	PDR7	H'FFDA
端口数据寄存器 8*	PDR8	H'FFDB
端口数据寄存器 A*	PDRA	H'FFDD

【注】\* 端口数据寄存器和管脚输入兼用。

表 2.14 含有只写位的寄存器一览表

寄存器名	略称	地址
端口控制寄存器 3	PCR3	H'FFE6
端口控制寄存器 4	PCR4	H'FFE7
端口控制寄存器 5	PCR5	H'FFE8
端口控制寄存器 6	PCR6	H'FFE9
端口控制寄存器 7	PCR7	H'FFEA
端口控制寄存器 8	PCR8	H'FFEB
端口控制寄存器 A	PCRA	H'FFED
定时器控制寄存器 F	TCRF	H'FFB6
PWM1 控制寄存器	PWCR1	H'FFD0
PWM1 数据寄存器 U	PWDRU1	H'FFD1
PWM1 数据寄存器 L	PWDRL1	H'FFD2
PWM2 控制寄存器	PWCR2	H'FFCD
PWM2 数据寄存器 U	PWDRU2	H'FFCE
PWM2 数据寄存器 L	PWDRL2	H'FFCF



## 第 3 章 异常处理

异常处理由复位和中断产生。

- 复位

复位是最高优先级的异常处理。一旦复位被 $\overline{\text{RES}}$ 管脚解除，就开始异常处理。也可通过监视定时器的溢出来复位，开始异常处理。两者的异常处理相同。

- 中断异常处理

由CCR的I位屏蔽外部中断请求和内部中断请求，并且在I位为1期间被保留。一旦发生中断请求，就在结束执行指令或者结束异常处理时开始异常处理。

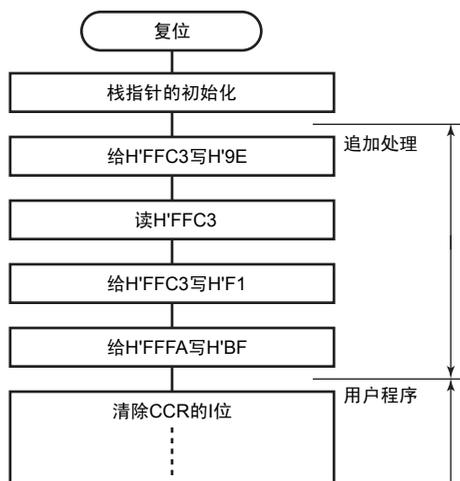
HD64F38004 有以下的注意事项：

- 发生的现象

根据接通电源时的电路状态，可能会发生向量No.17（系统保留用）的中断请求。如果将CCR的I位清0，就和其它的内部中断相同响应此中断。因此，尽管开始异常处理，但是由于没有清除该中断请求标志的手段，所以程序停止执行。

- 本现象的对应方法

作为本现象的对应方法，请在程序中追加以下的处理：



汇编程序的例子如下所示:

```
.ORG      H'0000
.DATA. W  INIT
.ORG      H'0100
INIT:
MOV.W     #H'FF80:16, SP

MOV.B     #H'9E:8, R0L
MOV.B     R0L, @H'FFC3:8
MOV.B     @H'FFC3:8, R0L
MOV.B     #H'F1:8, R0L
MOV.B     R0L, @H'FFC3:8
MOV.B     #H'BF:8, R0L
MOV.B     R0L, @H'FFFA:8

ANDC. B#H'7F:8, CCR                ;user program
```

C语言的例子如下所示:

```
void PowerON_Reset (void)
{
//-----
    unsigned char  dummy;
    *((volatile unsigned char *) 0xffc3) = 0x9e;
    dummy = * ((volatile unsigned char *) 0xffc3) ;
    *((volatile unsigned char *) 0xffc3) = 0xf1;
    *((volatile unsigned char *) 0xfffa) = 0xbf;
//-----
    set_imask_ccr (0) ;    // clear I bit
                          // user program
}
```

另外,对于掩模型ROM版,追加了本处理的程序不需任何更改或者将本处理的部分删除就能使用。

### 3.1 异常类型和向量地址

各种异常类型的向量地址和优先级如表 3.1 所示。在同时发生多个中断请求时，按优先级顺序从高到低进行处理。

表 3.1 异常类型和向量地址

发生源	异常类型	向量号	向量地址	优先级
RES 管脚 监视定时器	复位	0	H'0000~H'0001	 高
—	系统保留用	1~3	H'0002~H'0007	
外部中断管脚/低电压 检测电路*	IRQ0	4	H'0008~H'0009	
	低电压检测中断*			
	IRQ1	5	H'000A~H'000B	
	IRQAEC	6	H'000C~H'000D	
—	系统保留用	7、8	H'000E~H'0011	
外部中断管脚	WKP0	9	H'0012~H'0013	
	WKP1			
	WKP2			
	WKP3			
	WKP4			
	WKP5			
	WKP6			
	WKP7			
—	系统保留用	10	H'0014~H'0015	
定时器 A	定时器 A 溢出	11	H'0016~H'0017	
异步事件计数器	异步事件计数器溢出	12	H'0018~H'0019	
—	系统保留用	13	H'001A~H'001B	
定时器 F	定时器 FL 比较匹配	14	H'001C~H'001D	
	定时器 FL 溢出			
	定时器 FH 比较匹配	15	H'001E~H'001F	
	定时器 FH 溢出			
—	系统保留用	16、17	H'0020~H'0023	
SCI3	发送结束	18	H'0024~H'0025	
	发送数据空			
	接收数据满			
	接收错误			
A/D 转换器	A/D 转换结束	19	H'0026~H'0027	
CPU	由 SLEEP 指令的执行直接转移	20	H'0028~H'0029	低

【注】 \* 低电压检测电路和低电压检测中断只在 H8/38104 群时有效。

## 3.2 寄存器说明

控制中断的寄存器有：

- 中断边沿选择寄存器（IEGR）
- 中断允许寄存器1（IENR1）
- 中断允许寄存器2（IENR2）
- 中断请求寄存器1（IRR1）
- 中断请求寄存器2（IRR2）
- 唤醒中断请求寄存器（IWPR）
- 唤醒边沿选择寄存器（WEGR）

### 3.2.1 中断边沿选择寄存器（IEGR）

IEGR 用来选择  $\overline{\text{IRQ1}}$  和  $\overline{\text{IRQ0}}$  管脚发生中断请求的边沿方向。

位	位名	初始值	R/W	说 明
7~5	—	1	—	保留位。总是读出 1。
4~2	—	—	W	保留位。只能写 0。
1	IEG1	0	R/W	IRQ1 和 IRQ0 边沿选择 0: 检测 $\overline{\text{IRQn}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{IRQn}}$ 管脚输入的上升沿 (n=1、0)
0	IEG0	0	R/W	

### 3.2.2 中断允许寄存器 1 (IENR1)

IENR1 允许定时器和外部管脚的中断。

位	位名	初始值	R/W	说 明
7	IENTA	0	R/W	定时器 A 中断请求允许 控制控制定时器 A 溢出中断请求的允许/禁止。 0: 禁止定时器 A 的中断请求 1: 允许定时器 A 的中断请求
6	—	—	W	保留位。只能写 0。
5	IENWP	0	R/W	唤醒中断请求允许 控制 $\overline{WKP7} \sim \overline{WKP0}$ 中断请求的允许/禁止。 0: 禁止 $\overline{WKP7} \sim \overline{WKP0}$ 管脚的中断请求 1: 允许 $\overline{WKP7} \sim \overline{WKP0}$ 管脚的中断请求
4、3	—	—	W	保留位。只能写 0。
2	IENEC2	0	R/W	IRQAEC 中断请求允许 控制 IRQAEC 中断请求的允许/禁止。 0: 禁止 IRQAEC 管脚的中断请求 1: 允许 IRQAEC 管脚的中断请求
1	IEN1	0	R/W	IRQ1 和 IRQ0 中断请求允许
0	IEN0	0	R/W	控制 IRQ1 和 IRQ0 中断请求的允许/禁止。 0: 禁止 $\overline{IRQn}$ 管脚的中断请求 1: 允许 $\overline{IRQn}$ 管脚的中断请求 (n=1、0)

## 3.2.3 中断允许寄存器 2 (IENR2)

IENR2 允许直接转移、A/D 转换器和定时器的中断。

位	位名	初始值	R/W	说 明
7	IENDT	0	R/W	直接转移中断允许 控制直接转移中断请求的允许/禁止。 0: 禁止由直接转移产生的中断请求 1: 允许由直接转移产生的中断请求
6	IENAD	0	R/W	A/D 转换器中断允许 控制 A/D 转换结束中断请求的允许/禁止。 0: 禁止 A/D 转换器的中断请求 1: 允许 A/D 转换器的中断请求
5、4	—	—	W	保留位。只能写 0。
3	IENTFH	0	R/W	定时器 FH 中断允许 控制定时器 FH 比较匹配或者溢出中断请求的允许/禁止。 0: 禁止定时器 FH 的中断请求 1: 允许定时器 FH 的中断请求
2	IENTFL	0	R/W	定时器 FL 中断允许 控制定时器 FL 比较匹配或者溢出中断请求的允许/禁止。 0: 禁止定时器 FL 的中断请求 1: 允许定时器 FL 的中断请求
1	—	—	W	保留位。只能写 0。
0	IENEC	0	R/W	异步事件计数器中断允许 控制异步事件计数的允许/禁止。 0: 禁止异步事件计数器的中断请求 1: 允许异步事件计数器的中断请求

另外，有关 SCI3 的中断控制请参照“10.3.6 串行控制寄存器 3 (SCR3)”。

### 3.2.4 中断请求寄存器 1 (IRR1)

IRR1 为定时器 A、IRQAEC、IRQ1、IRQ0 中断请求状态标志寄存器。如果发生这些中断请求，对应的标志就被置 1。即使中断被接受，各标志也不自动清除。在清除各标志时，必须写 0 清除。

位	位名	初始值	R/W	说 明
7	IRRTA	0	R/W*	定时器 A 中断请求标志 [置位条件] • 定时器 A 的计数器值溢出时 [清除条件] • 在 1 的状态下写 0 时
6、4、3	—	—	W	保留位。只能写 0。
5	—	1	—	保留位。总是读出 1，写无效。
2	IRREC2	0	R/W*	IRQAEC 中断请求标志 [置位条件] • 将 IRQAEC 管脚设定为中断输入，并且检测到指定的边沿时 [清除条件] • 在 1 的状态下写 0 时
1 0	IRRI1 IRRI0	0 0	R/W* R/W*	IRQ1、IRQ0 中断请求标志 [置位条件] • 将 IRQn 管脚设定为中断输入，并且检测到指定的边沿时 (n=1、0) [清除条件] • 在 1 的状态下写 0 时

【注】\* 为了清除标志，只能写 0。

## 3.2.5 中断请求寄存器 2 (IRR2)

如果直接转移、A/D 转换器、定时器 FH、定时器 FL 以及异步事件计数器发生中断请求，IRR2 对应的标志就被置 1。即使中断被接受，各标志也不自动清除。在清除各标志时，必须写 0 清除。

位	位名	初始值	R/W	说 明
7	IRRDT	0	R/W*	直接转移中断请求标志 [置位条件] •在 DTON 置 1 的状态下执行睡眠指令进行直接转移时 [清除条件] •在 1 的状态下写 0 时
6	IRRAD	0	R/W*	A/D 转换器中断请求标志 [置位条件] •A/D 转换器转换结束，并且 ADSF 复位时 [清除条件] •在 1 的状态下写 0 时
5、4	—	—	W	保留位。只能写 0。
3	IRRTFH	0	R/W*	定时器 FH 中断请求标志 [置位条件] •在 8 位定时器模式 TCFH 和 OCRFH 一致时，或者在 16 位定时器模式 TCF (TCFL、TCFH) 和 OCRF (OCRFL、OCRFH) 一致时 [清除条件] •在 1 的状态下写 0 时
2	IRRTFL	0	R/W*	定时器 FL 中断请求标志 [置位条件] •在 8 位定时器模式 TCFL 和 OCRFL 一致时 [清除条件] •在 1 的状态下写 0 时
1	—	—	W	保留位。只能写 0。
0	IRREC	0	R/W*	异步事件计数中断请求标志 [置位条件] •在 16 位计数器模式 ECH 溢出时，或者在 8 位计数器模式 ECH 或者 ECL 溢出时 [清除条件] •在 1 的状态下写 0 时

【注】 \* 为了清除标志，只能写 0。

### 3.2.6 唤醒中断请求寄存器 (IWPR)

IWPR 为  $\overline{\text{WKP7}}\sim\overline{\text{WKP0}}$  管脚的中断请求状态标志寄存器。即使中断被接受，各标志也不自动清除。在清除各标志时，必须写 0 清除。

位	位名	初始值	R/W	说 明
7	IWPF7	0	R/W*	唤醒中断请求标志 7~0 [置位条件] •在将 $\overline{\text{WKPn}}$ 管脚设定为唤醒输入，并且检测到指定的边沿时 (n=7~0) [清除条件] •在 1 的状态下写 0 时
6	IWPF6	0	R/W*	
5	IWPF5	0	R/W*	
4	IWPF4	0	R/W*	
3	IWPF3	0	R/W*	
2	IWPF2	0	R/W*	
1	IWPF1	0	R/W*	
0	IWPF0	0	R/W*	

【注】\* 为了清除标志，只能写 0。

### 3.2.7 唤醒边沿选择寄存器 (WEGR)

WEGR 指定  $\overline{\text{WKPn}}$  管脚的上升沿或下降沿。

位	位名	初始值	R/W	说 明
7	WKEGS7	0	R/W	$\overline{\text{WKPn}}$ 边沿选择 7~0 选择 $\overline{\text{WKPn}}$ 管脚的输入边沿。 0: 检测到 $\overline{\text{WKPn}}$ 管脚的下降沿 1: 检测到 $\overline{\text{WKPn}}$ 管脚的上升沿 (n=7~0)
6	WKEGS6	0	R/W	
5	WKEGS5	0	R/W	
4	WKEGS4	0	R/W	
3	WKEGS3	0	R/W	
2	WKEGS2	0	R/W	
1	WKEGS1	0	R/W	
0	WKEGS0	0	R/W	

## 3.3 复位异常处理

当  $\overline{\text{RES}}$  管脚变为低电平时，停止全部执行中的处理，LSI 进入复位状态。通过复位，CPU 的内部状态和内部外围模块的各寄存器被初始化。在加入电源时为了确保本 LSI 的复位，必须将  $\overline{\text{RES}}$  管脚的低电平保持到时钟振荡器振荡稳定为止。如果在运行中复位， $\overline{\text{RES}}$  管脚必须至少保持 10 个系统时钟的低电平。当  $\overline{\text{RES}}$  管脚在保持一定时间的低电平后变为高电平，就开始复位异常处理。复位异常处理顺序如图 3.1 所示。复位异常处理的顺序如下，但是，对于内置加电复位的 H8/38104 群的复位顺序，请参照“14.3.1 加电复位电路”。

1. 设置条件码寄存器（CCR）的 I 位。
2. CPU 产生复位异常处理的向量地址（H'0000~H'0001），将该地址的数据作为起始地址传送到程序计数器（PC），并开始执行程序。

## 3.4 中断异常处理

### 3.4.1 外部中断请求

外部中断请求有 WKP7~WKP0、IRQ1、IRQ0 和 IRQAEC 中断请求。

#### (1) WKP7~WKP0 中断请求

通过  $\overline{\text{WKP7}}$ ~ $\overline{\text{WKP0}}$  管脚的输入边沿发生 WKP 中断请求。这些中断请求的向量地址相同。可用 IEGR2 的 WPEG7~WPEG0 单独选择各个管脚的检测的边沿方向。在通过 PMR5 将  $\overline{\text{WKP7}}$ ~ $\overline{\text{WKP0}}$  管脚设定成中断请求输入的状态下，如果检测出被指定的边沿，就将 IWPR 对应的位置 1，并向 CPU 请求中断。这些中断请求可通过 IENR1 的 IENWP 来禁止。

#### (2) IRQ1 和 IRQ0 中断请求

通过  $\overline{\text{IRQ1}}$  和  $\overline{\text{IRQ0}}$  管脚的输入边沿发生 IRQ1 和 IRQ0 中断请求。对这些中断请求分配不同的中断向量。可用 IEGR1 的 IEG1、IEG0 单独选择各个管脚的检测的边沿方向。在通过 PMRB 和 PMR2 将  $\overline{\text{IRQ1}}$  和  $\overline{\text{IRQ0}}$  管脚设定成中断请求输入的状态下，如果检测出被指定的边沿，就将 IRR1 对应的位置 1，并向 CPU 请求中断。这些中断请求可通过 IENR1 的 IEN1 和 IEN0 来禁止。

#### (3) IRQAEC 中断请求

通过 IRQAEC 管脚的输入边沿发生 IRQAEC 中断请求。可用 AEGSR 的 AIEGS1 和 AIEGS0 选择检测的边沿方向。在通过 IENR1 的 IENEC2 将 IRQAEC 管脚设定成中断请求输入的状态下，如果检测出被指定的边沿，就将 IRR1 对应的位置 1，并向 CPU 请求中断。

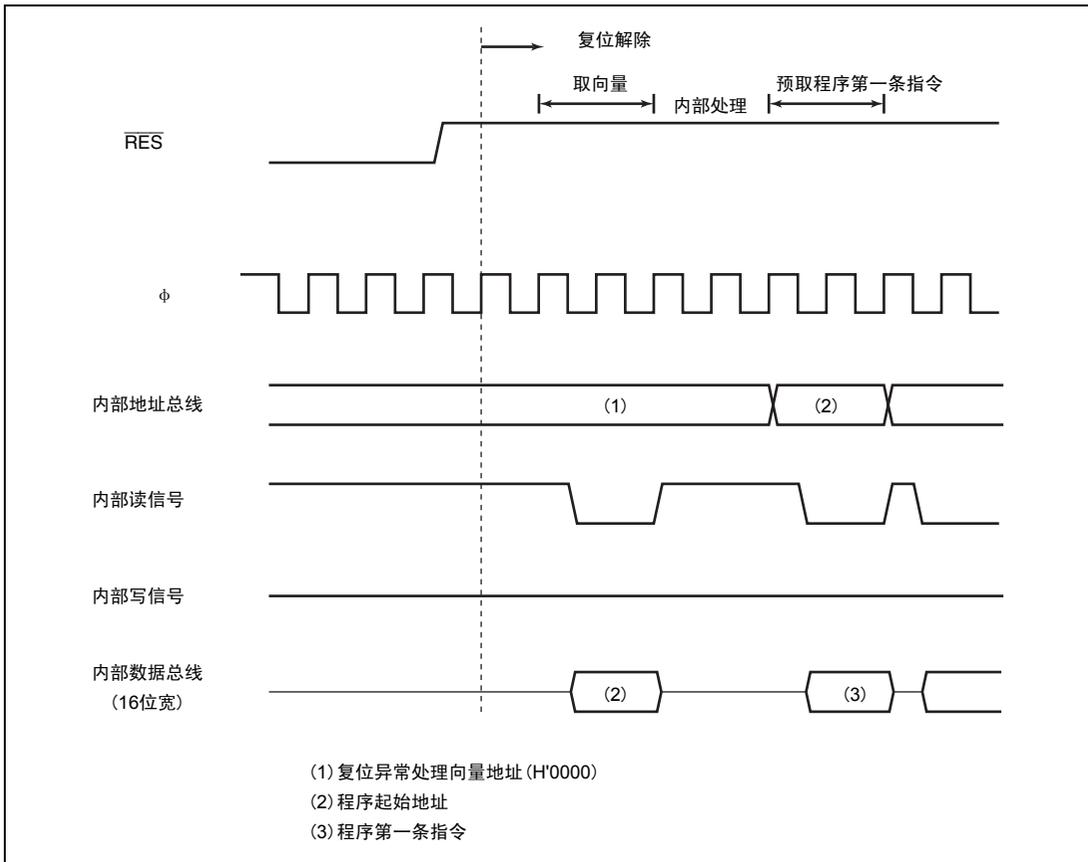


图 3.1 复位异常处理顺序

### 3.4.2 内部中断请求

各内部外围模块有中断请求状态标志和中断允许位。对于通过执行 SLEEP 指令产生的直接转移中断，上述位包含在 IRR1 和 IRR2 中。当发生内部外围模块的中断请求时，对应的中断请求状态标志被置 1，并向 CPU 请求中断。这些中断请求可通过对应的允许位清 0 来禁止。

### 3.4.3 中断处理顺序

中断请求由中断控制器进行控制。中断运行如下：

1. 如果在中断允许位被置1的状态下发生中断源，中断请求信号被传送到中断控制器。
2. 在发生多个中断请求时，中断控制器根据表3.1所示向CPU请求当时最高优先级的中断处理，保留其它的中断处理。
3. 如果CCR的I位被清0，中断请求就被接受。但是，在I位被置位期间一直保留。
4. 如果CPU接受中断请求，就在执行完执行中的指令后开始中断异常处理。首先，把PC和CCR的值压入堆栈区。此时堆栈的状态如图3.2所示。被压栈的PC值为返回后要执行的第一条指令的地址。
5. 其次，将CCR的I位置1，屏蔽中断请求，并且通过返回时的出栈，I位的值与CCR的其它位一起恢复成异常处理开始前的值。
6. 最后，CPU生成与接受的中断请求所对应的向量地址，然后把该地址作为中断处理程序的起始地址传送给PC，开始中断处理。

程序区在内部 ROM、堆栈区在内部 RAM 时的中断请求顺序如图 3.3 所示。

- 【注】**
1. 本 LSI 在通过清除中断允许寄存器来禁止中断时或者在清除中断请求寄存器时，必须在将中断屏蔽后的状态下 (I=1) 进行。
  2. 如果在 I=0 的状态下进行上述操作，在该操作指令的执行和该中断的发生出现竞争时，就执行对应于该操作指令执行结束时产生的中断请求的异常处理。

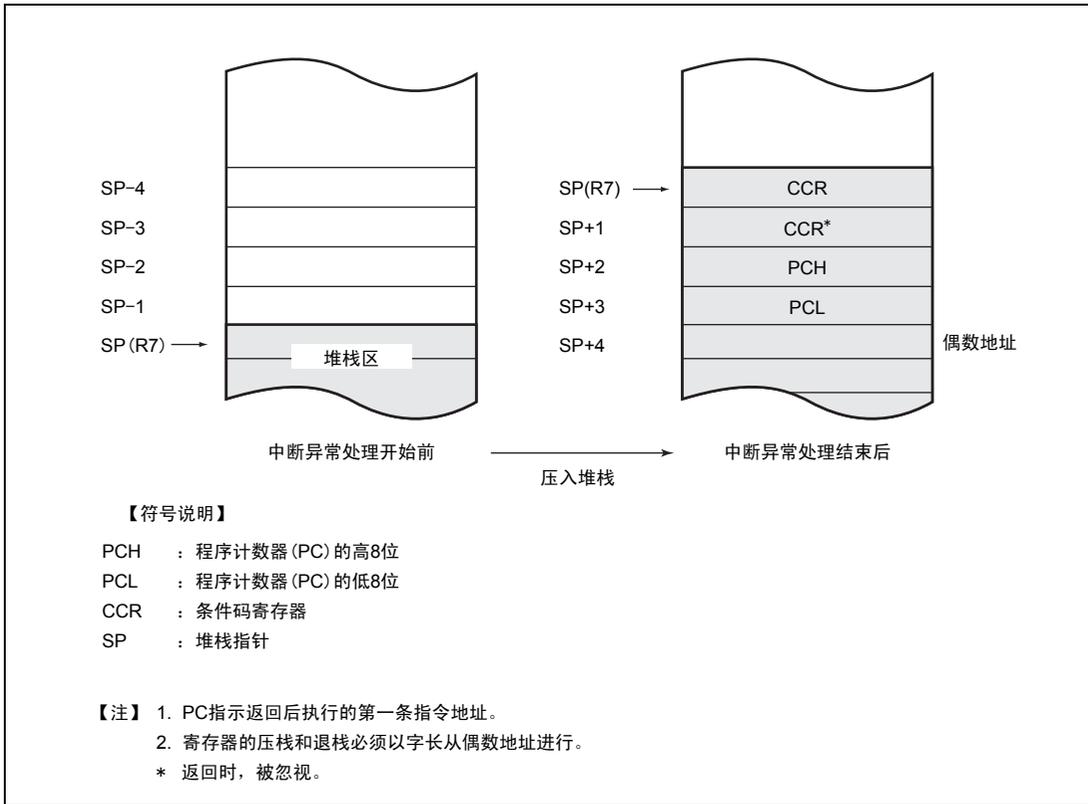


图 3.2 中断异常处理结束后的堆栈状态

### 3.4.4 中断响应时间

在从中断请求标志被置位后开始到执行中断请求处理程序的第一条指令为止的等待状态数如表 3.2 所示。

表 3.2 中断请求等待状态数

项 目	状态数	合计
执行中的指令结束时的等待时间*	1~13	15~27
PC、CCR 的入栈	4	
取向量	2	
取指令	4	
内部处理	4	

**【注】** \* EEPMOV 指令除外。

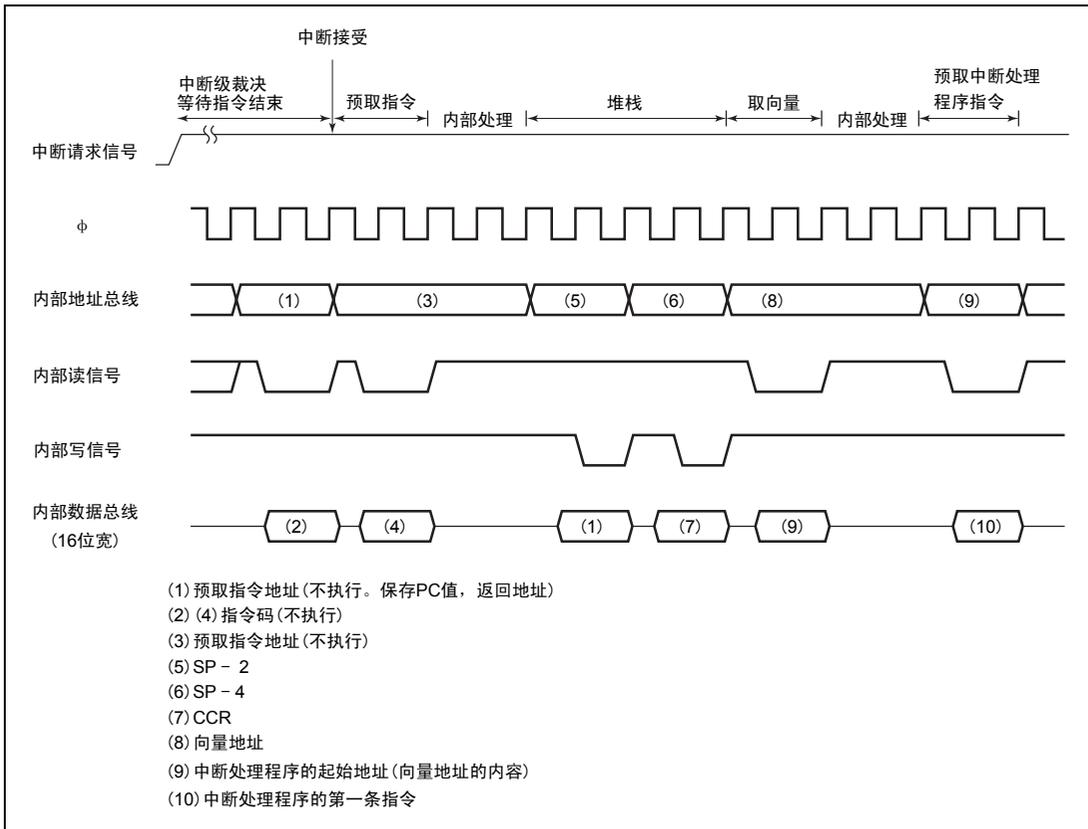


图 3.3 中断请求顺序

## 3.5 使用时的注意事项

### 3.5.1 复位后的中断请求

复位后，如果 CPU 在堆栈指针（SP）被初始化之前接受中断请求，就无法正确保存 PC 和 CCR，从而导致程序失控。为了预防这种情况，在复位异常处理后，立即禁止所有中断请求，并且一定执行程序的第 1 条指令，因此必须在程序的开头初始化 SP（例：MOV.W #xx:16, SP）。

### 3.5.2 堆栈区的存取

存取字数据时，地址的最低位被视作 0。因此在存取堆栈区时，必须进行字存取，以保持堆栈指针（SP: R7）为偶数。（例：“PUSH Rn (MOV.W Rn, @-SP)”或者“POP Rn (MOV.W @SP+, Rn)”）

### 3.5.3 中断请求标志的清除方法

清除中断请求寄存器（IRR1、IRR2、IWPR）的标志时，必须按下列的“（1）推荐方法”进行：

#### （1）推荐方法

用 1 条指令进行标志清除的处理。此指令能使用位操作指令和字节长的数据传送指令。“清除 IRR1I（IRR1 的位 1）”时的 2 个程序例子如下：

```
BCLR #1, @IRR1:8
MOV.B R1L, @IRR1:8 (将 R1L 的值设定成 B'11111101)
```

#### （2）误动作的例子

如果用多条指令进行标志清除的处理，就有可能在指令执行中清除其他被置位的标志，导致误动作。

以下是在“清除 IRR1I（IRR1 的位 1）”时 IRR10 被清除且中断变成无效的例子：

```
MOV.B @IRR1:8, R1L . . . . . 此时 IRR10=0
AND.B #B'11111101, R1L . . . . . 在这里 IRR10=1
MOV.B R1L, @IRR1:8 . . . . . 被清除, IRR10=0
```

以上的例子是假设在执行 AND.B 指令中发生了 IRQ0 中断的情况。原来只想清除 IRR1I，但是也清除了 IRR10，因此 IRQ0 中断无效。

### 3.5.4 改写端口模式寄存器时的注意事项

在改写端口模式寄存器以及改变外部中断请求管脚  $\overline{\text{IRQAEC}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$  和  $\overline{\text{WKP7}} \sim \overline{\text{WKP0}}$  的功能时，中断请求标志可能会被置 1。切换管脚功能时，必须在禁止中断请求的状态下改写端口模式寄存器，并且在至少执行一条指令（可以是 NOP 指令）后才能清除中断请求标志。被置 1 的中断请求标志及其条件如表 3.3 所示。

表 3.3 中断请求标志被置 1 的条件

被置 1 的中断请求标志		条件
IRR1	IRREC2	<ul style="list-style-type: none"> <li>在 IENR1 的 IENEC2 为 1 的状态下由 AEGSR 的 AIEGS1、0 指定的边沿被输入时</li> </ul>
	IRRI1	<ul style="list-style-type: none"> <li>在 <math>\overline{\text{IRQ1}}</math> 管脚为低电平且 IEGR 的 IEG1 为 0 的状态下将 PMRB 的 IRQ1 从 0 改写为 1 时</li> <li>在 <math>\overline{\text{IRQ1}}</math> 管脚为低电平且 IEGR 的 IEG1 为 1 的状态下将 PMRB 的 IRQ1 从 1 改写为 0 时</li> </ul>
	IRRI0	<ul style="list-style-type: none"> <li>在 <math>\overline{\text{IRQ0}}</math> 管脚为低电平且 IEGR 的 IEG0 为 0 的状态下将 PMR2 的 IRQ0 从 0 改写为 1 时</li> <li>在 <math>\overline{\text{IRQ0}}</math> 管脚为低电平且 IEGR 的 IEG0 为 1 的状态下将 PMR2 的 IRQ0 从 1 改写为 0 时</li> </ul>
IWPR	IWPF7	<ul style="list-style-type: none"> <li>在 <math>\overline{\text{WKP7}}</math> 管脚为低电平且 WEGR 的 WKEGS7 为 0 的状态下将 PMR5 的 WKP7 从 0 改写为 1 时</li> <li>在 <math>\overline{\text{WKP7}}</math> 管脚为低电平且 WEGR 的 WKEGS7 为 1 的状态下将 PMR5 的 WKP7 从 1 改写为 0 时</li> </ul>
	IWPF6	<ul style="list-style-type: none"> <li>在 <math>\overline{\text{WKP6}}</math> 管脚为低电平且 WEGR 的 WKEGS6 为 0 的状态下将 PMR5 的 WKP6 从 0 改写为 1 时</li> <li>在 <math>\overline{\text{WKP6}}</math> 管脚为低电平且 WEGR 的 WKEGS6 为 1 的状态下将 PMR5 的 WKP6 从 1 改写为 0 时</li> </ul>
	IWPF5	<ul style="list-style-type: none"> <li>在 <math>\overline{\text{WKP5}}</math> 管脚为低电平且 WEGR 的 WKEGS5 为 0 的状态下将 PMR5 的 WKP5 从 0 改写为 1 时</li> <li>在 <math>\overline{\text{WKP5}}</math> 管脚为低电平且 WEGR 的 WKEGS5 为 1 的状态下将 PMR5 的 WKP5 从 1 改写为 0 时</li> </ul>
	IWPF4	<ul style="list-style-type: none"> <li>在 <math>\overline{\text{WKP4}}</math> 管脚为低电平且 WEGR 的 WKEGS4 为 0 的状态下将 PMR5 的 WKP4 从 0 改写为 1 时</li> <li>在 <math>\overline{\text{WKP4}}</math> 管脚为低电平且 WEGR 的 WKEGS4 为 1 的状态下将 PMR5 的 WKP4 从 1 改写为 0 时</li> </ul>
	IWPF3	<ul style="list-style-type: none"> <li>在 <math>\overline{\text{WKP3}}</math> 管脚为低电平且 WEGR 的 WKEGS3 为 0 的状态下将 PMR5 的 WKP3 从 0 改写为 1 时</li> <li>在 <math>\overline{\text{WKP3}}</math> 管脚为低电平且 WEGR 的 WKEGS3 为 1 的状态下将 PMR5 的 WKP3 从 1 改写为 0 时</li> </ul>
	IWPF2	<ul style="list-style-type: none"> <li>在 <math>\overline{\text{WKP2}}</math> 管脚为低电平且 WEGR 的 WKEGS2 为 0 的状态下将 PMR5 的 WKP2 从 0 改写为 1 时</li> <li>在 <math>\overline{\text{WKP2}}</math> 管脚为低电平且 WEGR 的 WKEGS2 为 1 的状态下将 PMR5 的 WKP2 从 1 改写为 0 时</li> </ul>
	IWPF1	<ul style="list-style-type: none"> <li>在 <math>\overline{\text{WKP1}}</math> 管脚为低电平且 WEGR 的 WKEGS1 为 0 的状态下将 PMR5 的 WKP1 从 0 改写为 1 时</li> <li>在 <math>\overline{\text{WKP1}}</math> 管脚为低电平且 WEGR 的 WKEGS1 为 1 的状态下将 PMR5 的 WKP1 从 1 改写为 0 时</li> </ul>
	IWPF0	<ul style="list-style-type: none"> <li>在 <math>\overline{\text{WKP0}}</math> 管脚为低电平且 WEGR 的 WKEGS0 为 0 的状态下将 PMR5 的 WKP0 从 0 改写为 1 时</li> <li>在 <math>\overline{\text{WKP0}}</math> 管脚为低电平且 WEGR 的 WKEGS0 为 1 的状态下将 PMR5 的 WKP0 从 1 改写为 0 时</li> </ul>

端口模式寄存器的操作和中断请求标志的清除步骤如图 3.4 所示。

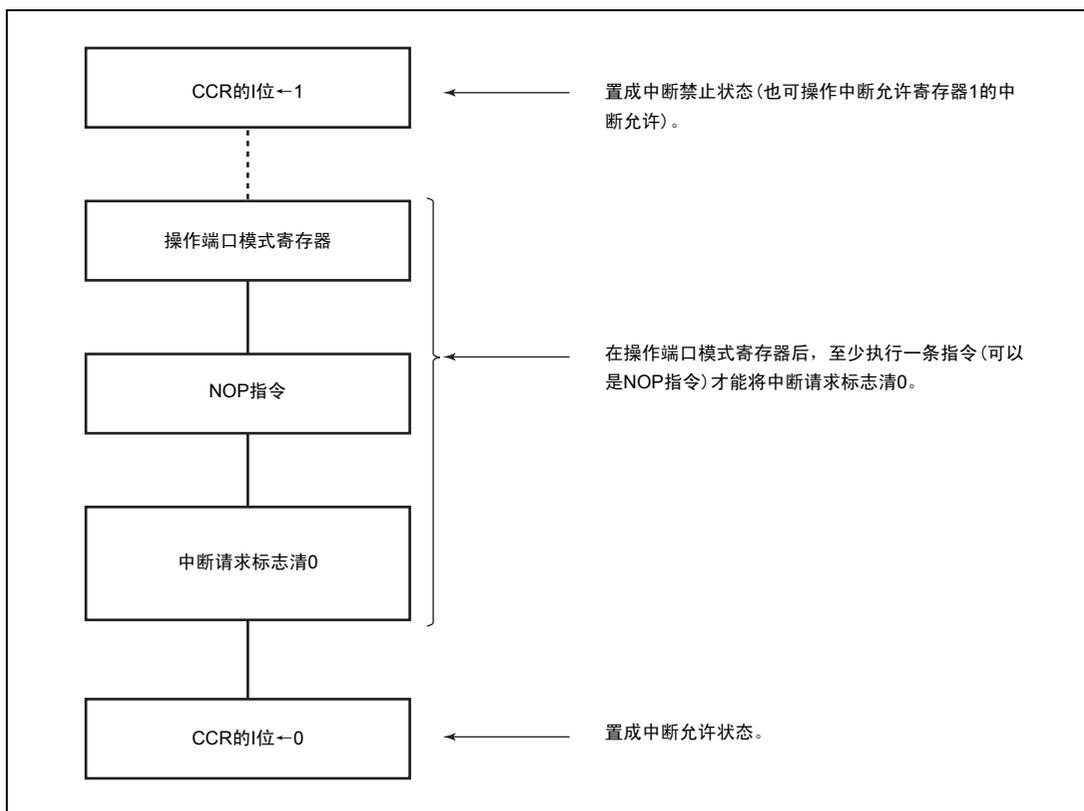


图 3.4 端口模式寄存器的操作和中断请求标志的清除步骤



## 第 4 章 时钟振荡器

### 4.1 特点

时钟发生电路由系统时钟振荡器、系统时钟分频器组成的系统时钟发生电路和由子时钟振荡器、子时钟分频器组成的子时钟发生电路构成。另外，H8/38104 群的系统时钟发生电路有内部振荡器。H8/3802、H8/38004 和 H8/38002S 群的时钟发生电路的框图如图 4.1 所示，H8/38104 群的时钟发生电路的框图如图 4.2 所示。

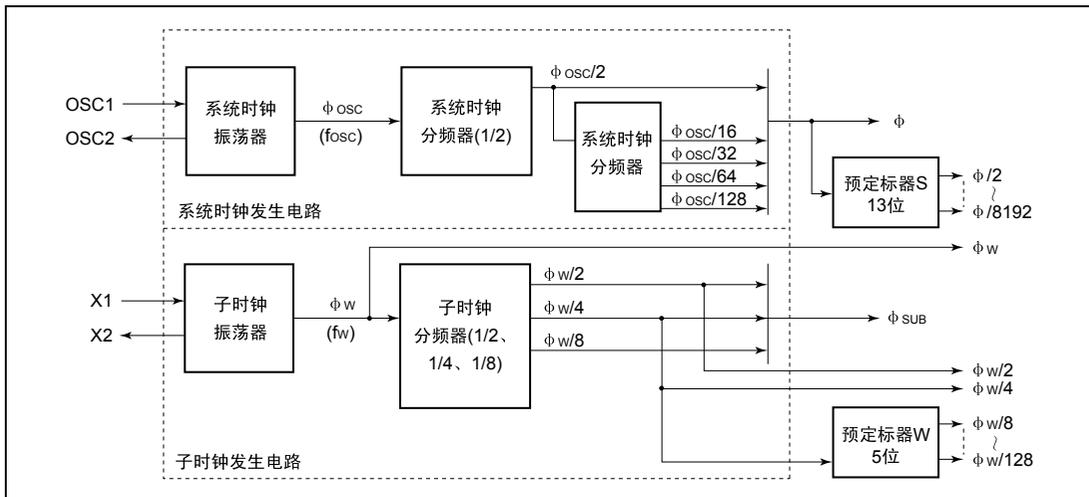


图 4.1 时钟发生电路的框图 (H8/3802、H8/38004 和 H8/38002S 群)

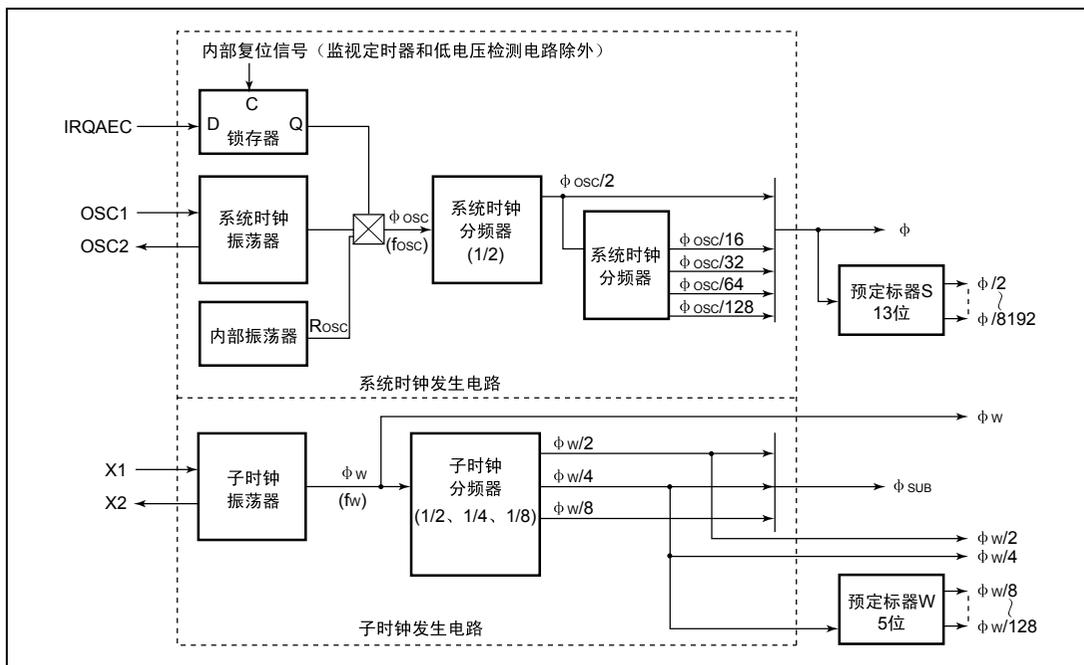


图 4.2 时钟发生电路的框图 (H8/38104 群)

系统时钟  $\phi$  和子时钟  $\phi_{SUB}$  是用于使 CPU 和外围功能运行的标准时钟。系统时钟由预定标器 S 分频成  $\phi/8192 \sim \phi/2$ ，子时钟由预定标器 W 分频成  $\phi w/128 \sim \phi w/8$ ，分别被提供给各外围模块。

## 4.2 寄存器说明

### 4.2.1 振荡器控制寄存器（OSCCR）（只限于 H8/38104 群）

OSCCR 是表示系统时钟振荡器和内部振荡器的选择状态的标志，表示在复位期间 IRQAEC 管脚的输入电平，控制子时钟振荡器的运行和停止。

位	位名	初始值	R/W	说 明
7	SUBSTP	0	R/W	子时钟振荡器停止控制 0: 子时钟振荡器运行 1: 子时钟振荡器停止 ※此位只在激活（高速/中速）模式时才能设定成 1。如果在子激活模式时将此位设定成 1，就停止 LSI 的运行。
6	—	0	R	保留位。总是读出 0。
5~3	—	全 0	R/W	保留位。能读写的保留位。
2	IRQAECF	—	R	IRQAEC 标志 表示在复位期间被设定的 IRQAEC 管脚输入电平。 0: 在复位期间将 IRQAEC 管脚设定成 GND 1: 在复位期间将 IRQAEC 管脚设定成 Vcc
1	OSCF	—	R	OSC 标志 表示系统时钟发生电路正在运行的振荡器。 0: 用系统时钟振荡器运行（内部振荡器停止） 1: 用内部振荡器运行（系统时钟振荡器停止）
0	—	0	R/W	保留位。为了避免误动作，不能写 1。

### 4.3 系统时钟振荡器

给系统时钟分频器提供时钟的方法有连接晶体谐振器或者陶瓷谐振器的方法和输入外部时钟的方法。系统时钟振荡器的框图如图 4.3 所示。

另外，如图 4.2 所示，H8/38104 群能选择系统时钟振荡器和内部振荡器。有关选择方法，请参照“4.3.4 选择内部振荡器的方法”。

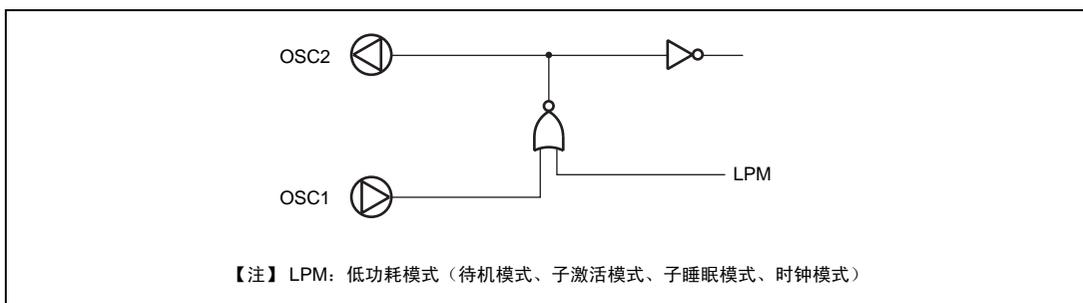


图 4.3 系统时钟振荡器的框图

#### 4.3.1 连接晶体谐振器的方法

H8/3802 群的晶体谐振器的连接例子如图 4.4(1)所示，H8/38004、H8/38002S 和 H8/38104 群的晶体谐振器的连接例子如图 4.4(2)所示。晶体谐振器的等效电路如图 4.5 所示。必须使用如表 4.1 中所示特性的谐振器。

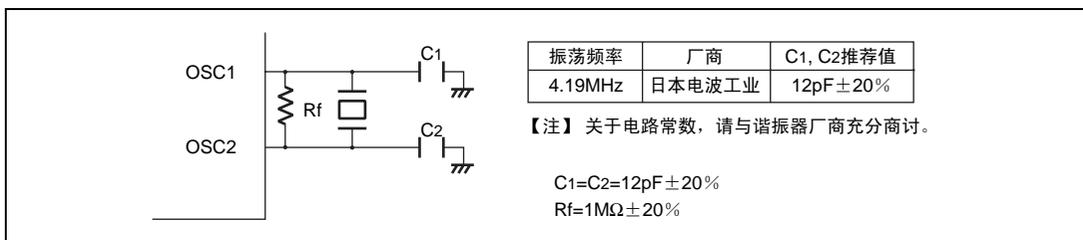


图 4.4 (1) 晶体谐振器的连接例子 (H8/3802 群)

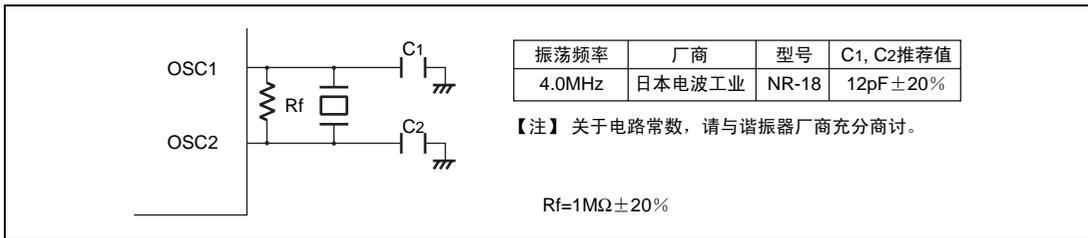


图 4.4 (2) 晶体谐振器的连接例子 (H8/38004、H8/38002S 和 H8/38104 群)

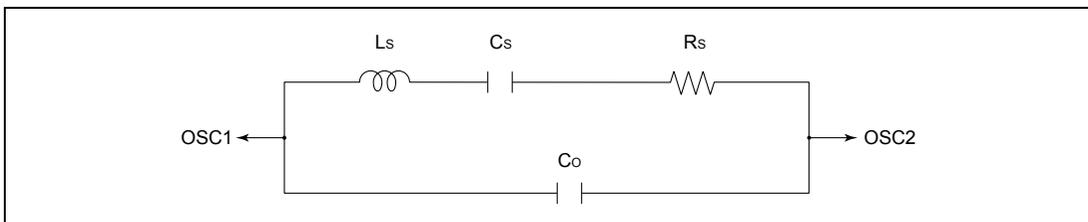


图 4.5 晶体谐振器的等效电路

表 4.1 晶体谐振器的参数

频率 (MHz)	4	4.193
R <sub>s</sub> (max)	100Ω	
C <sub>o</sub> (max)	7pF	

### 4.3.2 连接陶瓷谐振器的方法

H8/3802 群的陶瓷谐振器的连接例子如图 4.6(1)所示, H8/38004、H8/38002S 和 H8/38104 群的陶瓷谐振器的连接例子如图 4.6 (2) 所示。

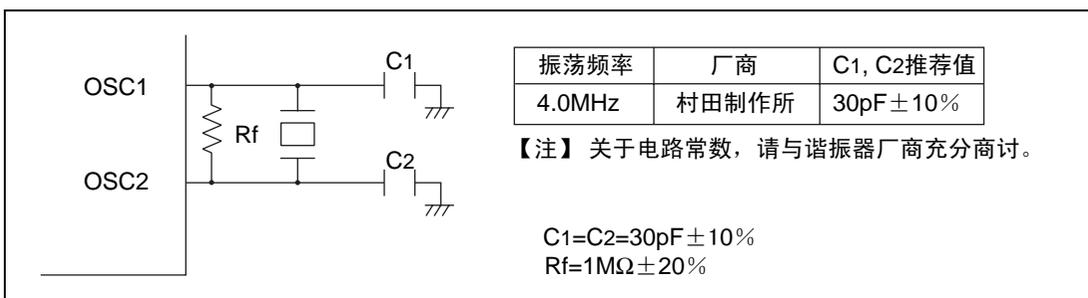


图 4.6 (1) 陶瓷谐振器的连接例子 (H8/3802 群)

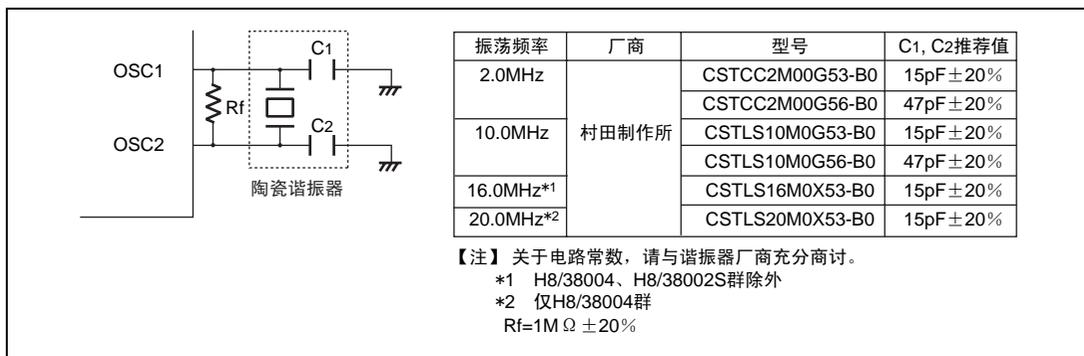


图 4.6 (2) 陶瓷谐振器的连接例子 (H8/38004、H8/38002S 和 H8/38104 群)

### 4.3.3 输入外部时钟的方法

将外部时钟输入到 OSC1 管脚，并且使 OSC2 管脚为开路状态。连接例子如图 4.7 所示。外部时钟的占空比必须为 45%~55%。

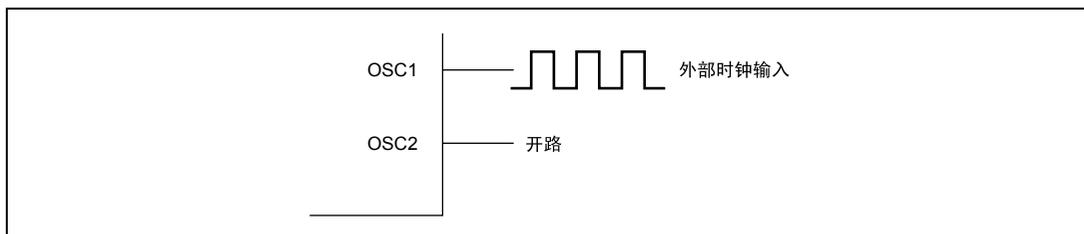


图 4.7 输入外部时钟时的连接例子

### 4.3.4 选择内部振荡器的方法 (只限于 H8/38104 群)

通过复位期间\*的 IRQAEC 管脚输入电平进行选择。

系统时钟振荡器和内部振荡器的选择方法如表 4.2 所示。

必须对应选择的振荡器，将复位期间的 IRQAEC 管脚输入电平固定成  $V_{CC}$  或者 GND。如果选择了内部振荡器，就没必要将谐振器连接到 OSC1 和 OSC2。此时，必须将 OSC1 管脚连接到  $V_{CC}$  或者 GND。

【注】当单板上编程等对快速擦写存储器进行写/擦除时，必须选择系统时钟振荡器。另外，在使用内部仿真器时，即使选择内部振荡器，也必须连接谐振器或者输入外部时钟。

\* 监视定时器和低电压检测电路除外。

表 4.2 系统时钟振荡器和内部振荡器的选择方法

IRQAEC 管脚输入电平 (在复位期间)	0	1
系统时钟振荡器	有效	无效
内部振荡器	无效	有效

## 4.4 子时钟振荡器

子时钟振荡器的框图如图 4.8 所示。另外，H8/38104 群可通过 OSCCR 寄存器的 SUBSTP 位用程序停止子时钟振荡器。

停止时必须在激活模式设定寄存器。在通过寄存器从停止状态再次恢复时，必须在经过充分的时间之前（typ: 8s）等待子时钟的使用。

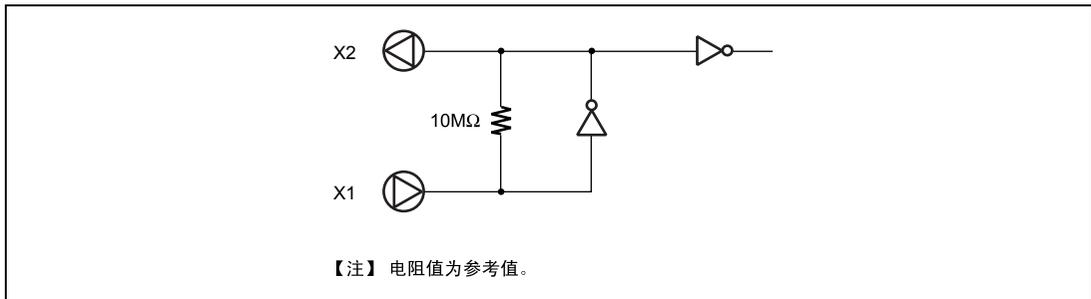


图 4.8 子时钟振荡器的框图

### 4.4.1 连接 32.768kHz/38.4 kHz 晶体谐振器的方法

为了给子时钟分频器提供时钟，如图 4.9 所示连接 32.768kHz 或者 38.4 kHz 的晶体谐振器。32.768kHz 或者 38.4kHz 晶体谐振器的等效电路如图 4.10 所示。

另外，H8/38104 群只保证 32.768kHz。

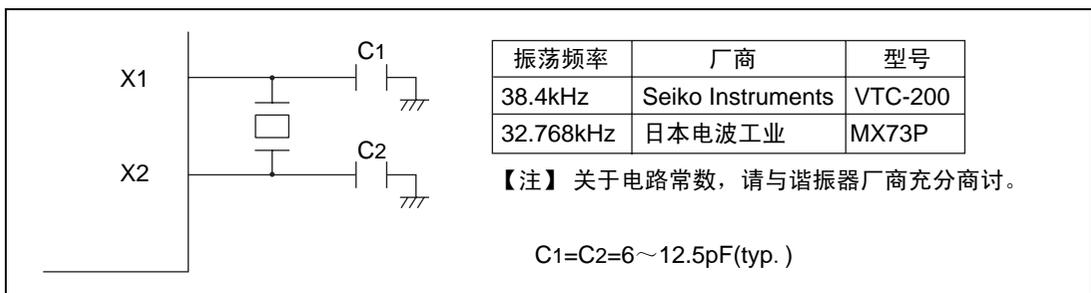


图 4.9 32.768kHz/38.4 kHz 晶体谐振器的连接例子

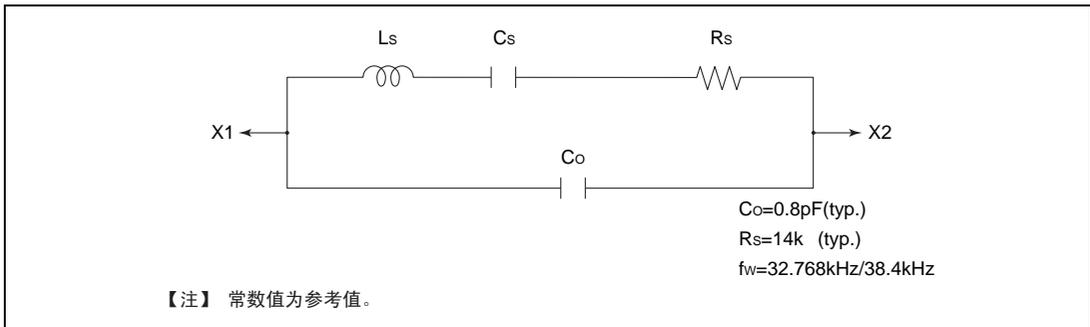


图 4.10 32.768kHz/38.4 kHz 晶体谐振器的等效电路

#### 4.4.2 不使用子时钟时的管脚处理

不需要子时钟时，如图 4.11 所示必须将 X1 管脚连接 GND，并且使 X2 管脚为开路状态。

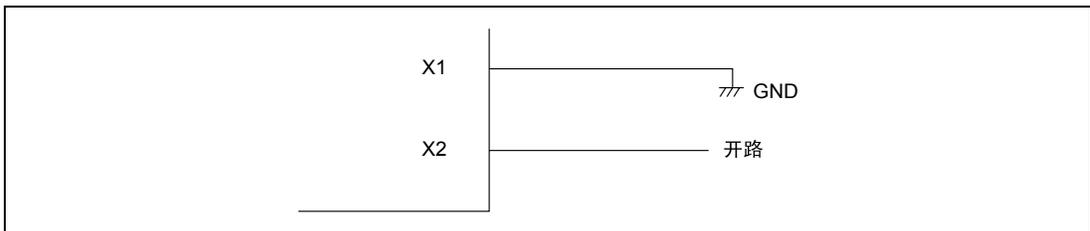


图 4.11 不需要子时钟时的管脚处理

#### 4.4.3 输入外部时钟的方法

将外部时钟输入到 X1 管脚，并且使 X2 管脚为开路状态。

连接例子如图 4.12 所示。

另外，H8/38104 群禁止输入外部时钟。

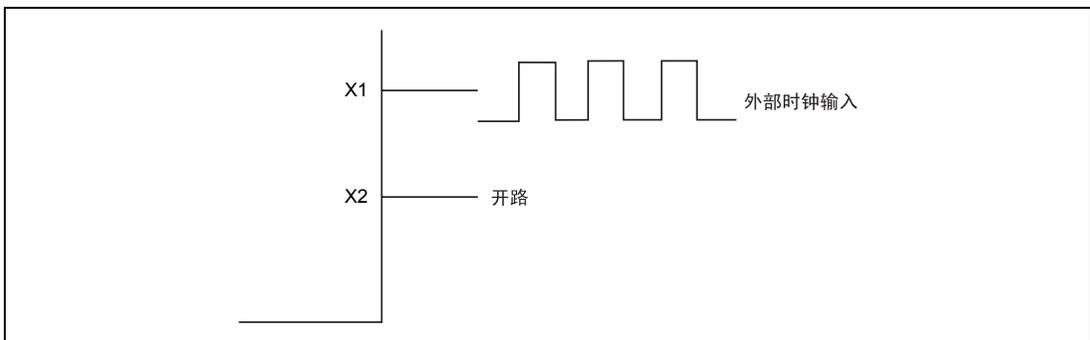


图 4.12 输入外部时钟时的连接例子

频率	子时钟 ( $\phi_w$ )
duty	45%~55%

## 4.5 预定标器

### 4.5.1 预定标器 S

预定标器 S 是以系统时钟 ( $\phi$ ) 作为输入时钟的 13 位计数器，将分频后的输出用作内部外围模块的内部时钟。在复位时，预定标器 S 被初始化成 H'0000。在复位解除后，开始累加计数。在待机模式、时钟模式、子激活模式以及子睡眠模式，由于系统时钟振荡器停止，预定标器 S 的运行也停止。此时，预定标器 S 被初始化成 H'0000。不能从 CPU 存取。

预定标器 S 的输出和各内部外围功能共用，并且分频比能由各内部外围功能单独设定。另外，在激活（中速）模式和睡眠模式，预定标器 S 的时钟输入变为由 SYSCR2 的 MA1 和 MA0 设定的分频比的系统时钟。

### 4.5.2 预定标器 W

预定标器 W 是以 32.768kHz 或者 38.4 kHz 的 4 分频时钟作为输入时钟的 5 位计数器。将分频后的输出用于定时器 A 的时钟时基。在复位时，预定标器 W 被初始化成 H'00。在复位解除后，开始累加计数，即使在待机模式、时钟模式、子激活模式以及子睡眠模式，也继续运行。预定标器 W 能通过将 TMA 的 TMA3 和 TMA2 置 1 来复位。

## 4.6 使用时的注意事项

### 4.6.1 有关谐振器的注意事项

因为，有关谐振器的各种特性密切关系到用户的电路板设计，所以希望用户参考本章介绍的谐振器的连接例子，经过充分评价后使用。由于振荡电路的电路常数取决于谐振器和安装电路的寄生电容等，因此必须与谐振器的厂家进行充分商讨后再作决定。设计时，外加在振荡管脚的电压不能超过最大额定值。

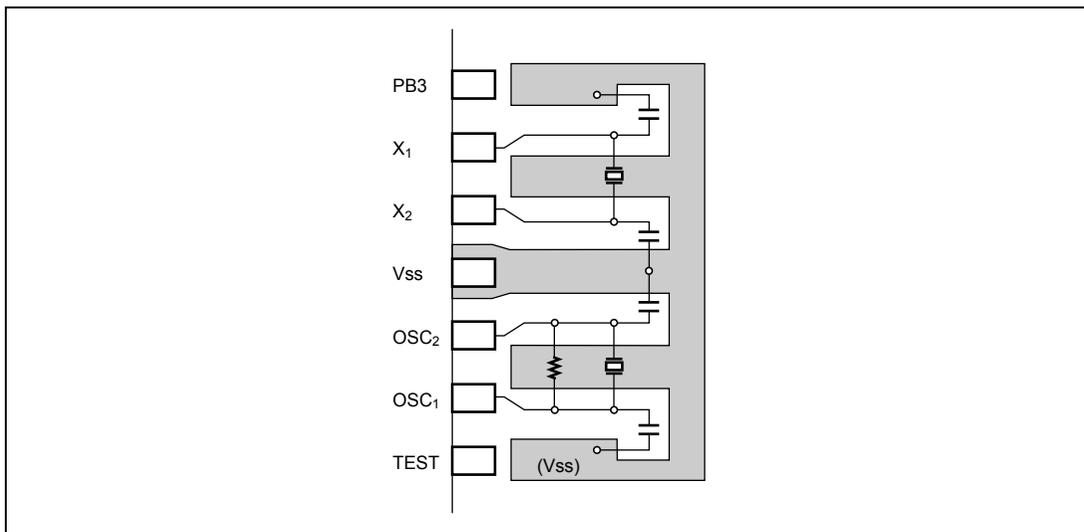


图 4.13 晶体、陶瓷谐振器的排列例子

图 4.14 (1) 是谐振器厂家推荐的负电阻的测试电路例子。必须注意：如果本电路的负电阻达不到谐振器厂家推荐的值，主振荡器可能不容易开始振荡。

在小于谐振器厂家推荐的负电阻值，并且发生不振荡现象时，必须按图 4.14 (2) ~ (4) 所示进行改变。另外，对于采用的改变方案，电容器的电容值必须根据负电阻和频率偏差等的评价结果决定。

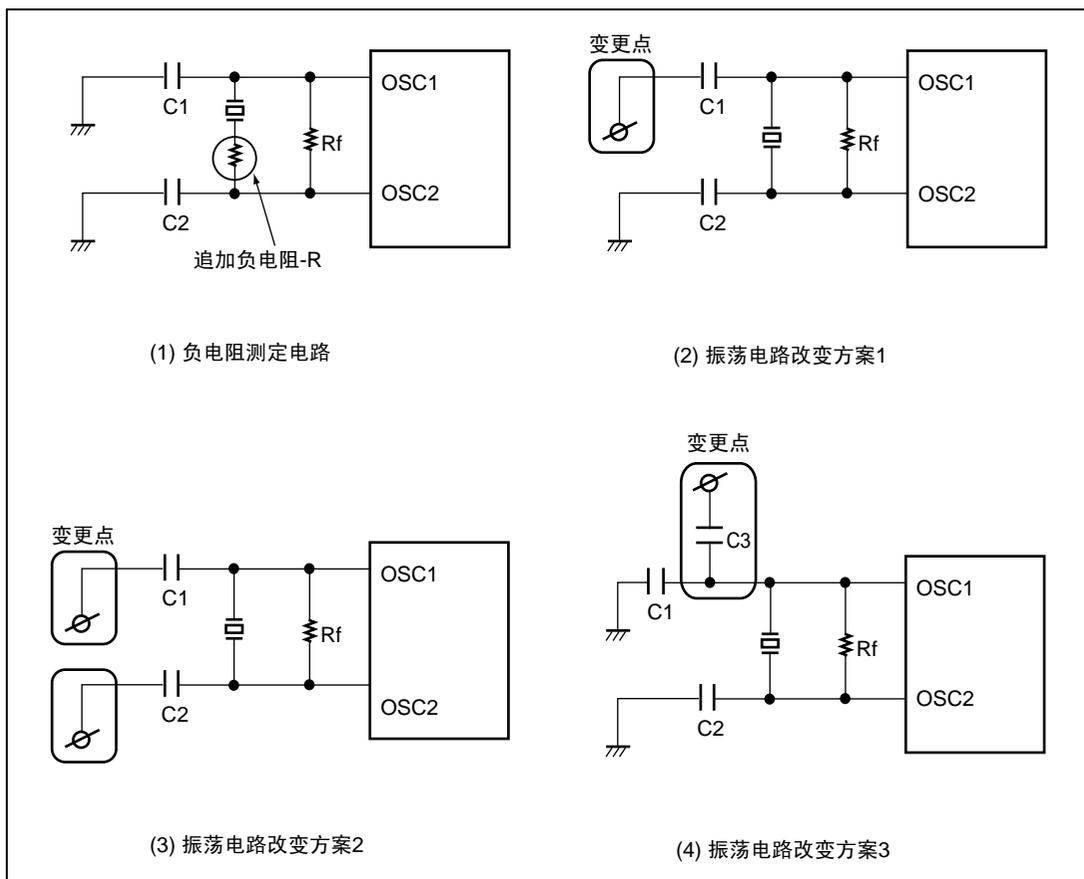


图 4.14 负电阻测定和电路改变方案

### 4.6.2 电路板设计时的注意事项

在使用晶体谐振器（陶瓷谐振器）时，尽量把谐振器和负载电容设置在 OSC1、OSC2 管脚附近。另外，在振荡电路附近不要让信号线通过（图 4.15）。否则，可能发生因感应而不能正常振荡的情况。

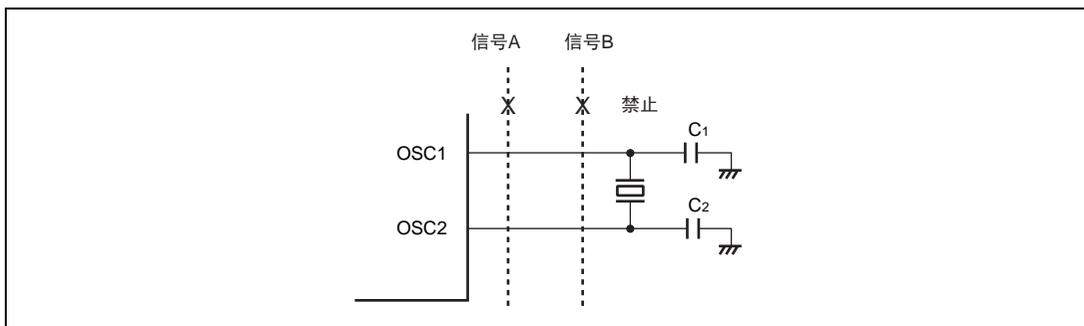


图 4.15 有关振荡电路的电路板设计的注意事项

### 4.6.3 振荡稳定待机时间的定义

在将谐振器和系统时钟振荡器连接时，从待机模式、时钟模式以及子激活模式转移到激活（高速、中速）模式时的振荡波形（OSC2）、系统时钟（ $\phi$ ）以及单片机的运行模式如图 4.16 所示。

如图 4.16 所示，在待机模式、时钟模式以及子激活模式，由于系统时钟振荡器处于停止状态，在转移到激活（高速、中速）模式时，需要下列 2 项（振荡稳定时间、待机时间）的合计时间：

#### （1）振荡稳定时间（ $t_{rc}$ ）

中断发生后，从系统时钟振荡器的振荡波形开始变化，到振荡波形的振幅增大并且振荡频率开始稳定为止的时间。

#### （2）待机时间

从振荡波形的频率和系统时钟稳定开始，到 CPU 和外围功能开始运行为止所需要的时间。

能通过待机定时器选择 2~0（STS2~0）（系统控制寄存器 1（SYSCR1）的位 6~4）的设定值，选择设定待机时间。

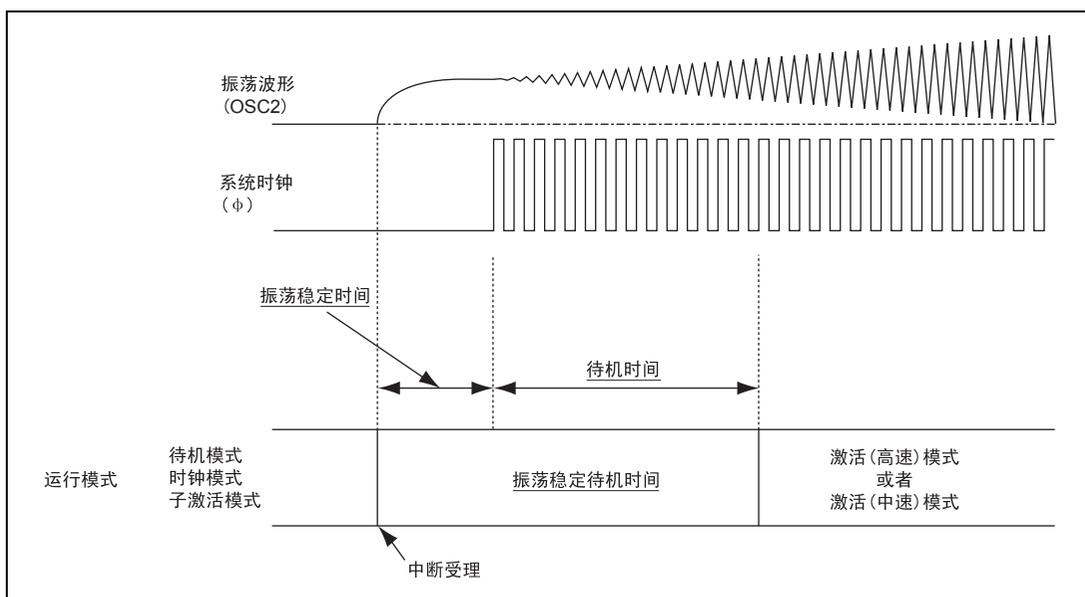


图 4.16 振荡稳定待机时间

在通过中断和复位，解除待机模式、时钟模式以及子激活模式，并转移到激活（高速、中速）模式时，振荡波形在中断被接受时开始变化。因此，对于待机模式、时钟模式以及子激活模式，在连接谐振器时，由于系统时钟振荡器处于停止状态，因此从该振荡波形开始变化，到振荡波形的振幅增大并且振荡频率开始稳定为止的时间，即需要振荡稳定时间。

该状态转移时的振荡稳定时间和电源接通时的振荡稳定时间（从电源电压达到规定的电压开始，到振荡稳定为止的时间）相同，并规定在 AC 特性的“振荡稳定时间  $t_{rc}$ ”中。

另外，一旦系统时钟停止，为了使 CPU 和外围设备正常运行，需要待机时间。

根据以上情况，从中断发生到 CPU 和外围设备开始运行为止所需要的时间，为上述的振荡稳定时间和待机时间的合计时间。该合计时间称为振荡稳定待机时间，用下面的（1）式表示。

$$\begin{aligned} \text{振荡稳定待机时间} &= \text{振荡稳定时间} + \text{待机时间} \\ &= t_{rc} + (8 \sim 16384 \text{ 个状态})^{*1} \cdot \cdot \cdot \cdot \cdot \cdot (1) \\ &\quad (\sim 131072 \text{ 个状态})^{*2} \end{aligned}$$

【注】 \*1 H8/3802 群、H8/38004 和 H8/38002S 群

\*2 H8/38104 群

因此，在将谐振器和系统时钟振荡器连接时，从待机模式、时钟模式以及子激活模式转移到激活（高速、中速）模式的情况下，必须在对安装电路进行充分评价后，再决定振荡稳定待机时间。特别是，由于振荡稳定时间取决于安装电路的常数和寄生电容等，因此必须与谐振器厂家商讨后再作决定。

### 4.6.4 使用谐振器时的注意事项

当单片机运行时，在和系统时钟同步后，内部的电源电位多少会发生变动。另外，根据谐振器本身的特点，在刚经过振荡稳定待机时间后，可能会发生振荡波形的振幅不显著增大的情况，振荡波形容易受到电源电位波动的影响。在此状态下，会发生振荡波形混乱的情况，系统时钟变得不稳定并导致单片机的误动作。

在发生误动作时，请改变待机定时器选择 2~0(STS2~0)（系统控制寄存器 1(SYSCR1) 的位 6~4) 的设定，将待机时间的设定进一步延长后再使用。

例如，在待机时间=16 个状态的设定时发生了误动作，请用待机时间=1,024\* 个状态以上的设定确认动作。

另外，如果在复位时发生和状态转移时相同的误动作，就必须延长保持  $\overline{\text{RES}}$  管脚为低电平的时间。

【注】\* 在 H8/3802、H8/38004、H8/38002S 群或者 H8/38104 群的情况下，为 8,192 个状态以上。

### 4.6.5 H8/38104 群的注意事项

在使用内部仿真器时，为了对快速擦写存储器进行写或者擦除，必须提高系统时钟的精度。而内部振荡器根据电压和温度条件，其频率会发生变化。因此，在使用内部仿真器时，即使选择内部振荡器，也必须将谐振器连接到 OSC1 和 OSC2 管脚或者供给外部时钟。此时，在执行用户程序时，用内部振荡器运行；在对快速擦写存储器进行写或者擦除时，用系统时钟振荡器运行。此控制由内部仿真器进行。

---

## 第 5 章 低功耗模式

---

复位解除后的运行模式除了通常的激活（高速）模式以外，还有显著降低功耗的 7 种低功耗模式。此外，还有选择性地停止内部模块功能、降低功耗的模块待机功能。

- 激活（中速）模式  
CPU和内部外围模块以系统时钟运行。系统时钟的频率可以从  $\phi_{osc}/16$ 、 $\phi_{osc}/32$ 、 $\phi_{osc}/64$ 和  $\phi_{osc}/128$ 中选择。
- 子激活模式  
CPU和内部外围模块以子时钟运行。子时钟的频率可以从  $\phi_w/2$ 、 $\phi_w/4$ 和  $\phi_w/8$ 中选择。
- 睡眠（高速）模式  
CPU停止运行，内部外围模块以系统时钟运行。
- 睡眠（中速）模式  
CPU停止运行，内部外围模块以系统时钟运行。系统时钟的频率可以从  $\phi_{osc}/16$ 、 $\phi_{osc}/32$ 、 $\phi_{osc}/64$ 和  $\phi_{osc}/128$ 中选择。
- 子睡眠模式  
CPU停止运行，定时器A、定时器F、SCI3、AEC和LCD控制器/驱动器以子时钟运行。子时钟的频率可以从  $\phi_w/2$ 、 $\phi_w/4$ 和  $\phi_w/8$ 中选择。
- 时钟模式  
CPU停止运行，定时器A的时钟功能、定时器F、AEC和LCD控制器/驱动器以子时钟运行。
- 待机模式  
CPU和所有内部外围模块停止运行。
- 模块待机功能  
独立于上述运行模式，可通过以模块为单位停止不使用的内部外围模块的运行，降低功耗。

**【注】** 本章将激活（高速）模式和激活（中速）模式统称为激活模式。

## 5.1 寄存器说明

和低功耗模式有关的寄存器有：

- 系统控制寄存器 1 (SYSCR1)
- 系统控制寄存器 2 (SYSCR2)
- 时钟停止寄存器 1、2 (CKSTPR1、CKSTPR2)

### 5.1.1 系统控制寄存器 1 (SYSCR1)

SYSCR1和SYSCR2一起进行低功耗模式的控制。

位	位名	初始值	R/W	说 明
7	SSBY	0	R/W	软件待机 选择执行 SLEEP 指令后的转移模式。 0: 转移到睡眠模式或者子睡眠模式 1: 转移到待机模式或者时钟模式 详细内容请参照表 5.2。
6	STS2	0	R/W	待机定时器选择 2~0
5	STS1	0	R/W	在从待机模式、子激活模式、子睡眠模式或者时钟模式转移到激活模式或者睡眠模式时, 设定系统时钟振荡器从开始振荡到供给时钟为止的待机状态数。必须按照运行频率设定振荡稳定时间以上的待机时间。设定值和待机状态数的关系如表 5.1 (1) 和 (2) 所示。 在使用外部时钟时, 推荐选择最小值 (STS2=1、STS1=0、STS0=1)。在 H8/38104 群使用内部振荡器时, 推荐 8,192 状态 (STS2=STS1=STS0=0)。推荐值以外的设定可能在待机时间结束前开始运行。
4	STS0	0	R/W	
3	LSON	0	R/W	在解除时钟模式后, 选择将 CPU 的运行时钟置成系统时钟 ( $\phi$ ) 还是置成子时钟 ( $\phi_{SUB}$ )。 0: CPU 的运行时钟为系统时钟 ( $\phi$ ) 1: CPU 的运行时钟为子时钟 ( $\phi_{SUB}$ )
2	—	1	—	保留位。总是读出 1, 写无效。
1	MA1	1	R/W	激活模式时钟选择 1、0
0	MA0	1	R/W	选择激活 (中速) 模式和睡眠 (中速) 模式的运行时钟。必须在激活 (高速) 模式或者子激活模式进行 MA1、MA0 的写操作。 00: $\phi_{osc}/16$ 01: $\phi_{osc}/32$ 10: $\phi_{osc}/64$ 11: $\phi_{osc}/128$

表 5.1 (1) 运行频率和待机时间 (H8/3802 群、H8/38004 群和 H8/38002S 群)

位			待机状态数	运行频率	
STS2	STS1	STS0		5MHz	2MHz
0	0	0	8,192 个状态	1.638	4.1
0	0	1	16,384 个状态	3.277	8.2
0	1	0	1,024 个状态	0.205	0.512
0	1	1	2,048 个状态	0.410	1.024
1	0	0	4,096 个状态	0.819	2.048
1	0	1	2 个状态 (外部时钟输入)	0.0004	0.001
1	1	0	8 个状态	0.002	0.004
1	1	1	16 个状态	0.003	0.008

表 5.1 (2) 运行频率和待机时间 (H8/38104 群)

位			待机状态数	运行频率	
STS2	STS1	STS0		5MHz	2MHz
0	0	0	8,192 个状态	1.638	4.1
0	0	1	16,384 个状态	3.277	8.2
0	1	0	32,768 个状态	6.554	16.4
0	1	1	65,536 个状态	13.108	32.8
1	0	0	131,072 个状态	26.216	65.5
1	0	1	2 个状态 (外部时钟输入)	0.0004	0.001
1	1	0	8 个状态	0.002	0.004
1	1	1	16 个状态	0.003	0.008

【注】 时间单位为 ms。

输入外部时钟时，必须在执行模式转移前将 STS2~STS0 设定成外部时钟输入模式。不使用外部时钟时，不能设定成外部时钟输入模式。

在 H8/38104 群使用内部振荡器时，推荐 8,192 个状态 (STS2=STS1=STS0=0)。

## 5.1.2 系统控制寄存器 2 (SYSCR2)

SYSCR2 和 SYSCR1 一起进行低功耗模式的控制。

位	位名	初始值	R/W	说 明
7~5	—	全 1	—	保留位。各位总是读出 1，写无效。
4	NESEL	1	R/W	<p>噪声消除采样频率选择</p> <p>子时钟振荡器生成钟表时钟 <math>\phi_w</math> 的频率，系统时钟振荡器生成 OSC 时钟 <math>\phi_{osc}</math>。此位选择采样钟表时钟 <math>\phi_w</math> 时的 OSC 时钟采样频率。在 <math>\phi_{osc}=2\sim 16\text{MHz}</math> 时，必须置 0。</p> <p>0: 以 <math>\phi_{osc}</math> 的 16 分频时钟采样</p> <p>1: 以 <math>\phi_{osc}</math> 的 4 分频时钟采样</p>
3	DTON	0	R/W	<p>直接转移 ON 标志</p> <p>此位与 SYSCR1 的 SSBY 和 LSON、SYSCR2 的 MSON、TMA 的 TMA3 一起选择 SLEEP 指令执行后的转移地址。详细内容请参照表 5.2。</p>
2	MSON	0	R/W	<p>中速 ON 标志</p> <p>在解除待机模式、时钟模式或者睡眠模式后，选择是在激活（高速）模式运行还是在激活（中速）模式运行。</p> <p>0: 激活（高速）模式</p> <p>1: 激活（中速）模式</p>
1	SA1	0	R/W	子激活模式时钟选择 1、0
0	SA0	0	R/W	<p>选择子激活模式和子睡眠模式的运行时钟频率。时钟在 SLEEP 指令执行后被切换到设定的频率</p> <p>00: <math>\phi_w/8</math></p> <p>01: <math>\phi_w/4</math></p> <p>1x: <math>\phi_w/2</math></p>

【符号说明】 X: Don't care

### 5.1.3 时钟停止寄存器 1、2 (CKSTPR1、CKSTPR2)

CKSTPR1、CKSTPR2 以模块为单位将内部外围模块设定成待机状态

#### • CKSTPR1

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。
6	—	1	—	
5	S32CKSTP	1	R/W	SCI 模块待机 此位为 0 时 SCI3 为待机状态。 <sup>*2</sup>
4	ADCKSTP	1	R/W	A/D 转换器模块待机 此位为 0 时 A/D 转换器为待机状态。
3	—	1	—	保留位。
2	TFCKSTP	1	R/W	定时器 F 模块待机 此位为 0 时定时器 F 为待机状态。
1	—	1	—	保留位。
0	TACKSTP	1	R/W	定时器 A 模块待机 <sup>*3</sup> 此位为 0 时定时器 A 为待机状态。

## • CKSTPR2

位	位名	初始值	R/W	说 明
7	LVDCKSTP	1	R/W	LVD 模块待机 此位为 0 时 LVD 为待机状态。 【注】在 H8/38104 群除外的情况下，和位 6、5 相同为保留位。
6、5	—	全 1	—	保留位。
4	PW2CKSTP	1	R/W* <sup>1</sup>	PWM2 模块待机 此位为 0 时 PWM2 为待机状态。
3	AECKSTP	1	R/W	异步事件计数器模块待机 此位为 0 时异步事件计数器为待机状态。
2	WDCKSTP	1	R/W* <sup>4</sup>	监视定时器模块待机 此位为 0 时监视定时器为待机状态。
1	PW1CKSTP	1	R/W	PWM1 模块待机 此位为 0 时 PWM1 为待机状态。
0	LDCKSTP	1	R/W	LCD 模块待机 此位为 0 时 LCD 控制器/驱动器为待机状态。

- 【注】 \*1 使用 H8/3802 群时不能读写。
- \*2 在设定成 SCI 模块待机后，SCI3 的全部寄存器成为复位状态。
- \*3 在设定成定时器 A 模块待机状态后，不能改写 TMA 的 TMA3 位。改写 TMA3 时，必须在将 CKSTPR1 的 TACKSTP 位置 1 后进行。
- \*4 使用 H8/3802 群时不能读写。WDCKSTP 在 TCSRW 的 WDON 为 0 时有效。如果在 WDON 为 1（监视定时器运行中）时将 WDCKSTP 设定成 0，尽管 WDCKSTP 被设定成 0，但是监视定时器不能进入模块待机模式而继续执行监视功能。在结束监视功能且用软件将 WDON 设定成 0 的同时，WDCKSTP 变为有效且监视定时器进入模块待机模式。

## 5.2 模式间转移和 LSI 状态

模式间可进行的转移如图 5.1 所示。通过 SLEEP 指令的执行进行从程序执行状态到程序停止状态的转移，通过中断从程序停止状态返回到程序执行状态。在程序执行状态的激活模式和子激活模式之间，能不停止程序的执行而直接转移。另外，能通过激活模式到激活模式的直接转移改变运行频率，能通过  $\overline{RES}$  输入进行从任意的模式到复位状态的转移。在执行 SLEEP 指令时向各模式的转移条件和由中断产生的返回地址如表 5.2 所示，LSI 在各运行模式的内部状态如表 5.3 所示。

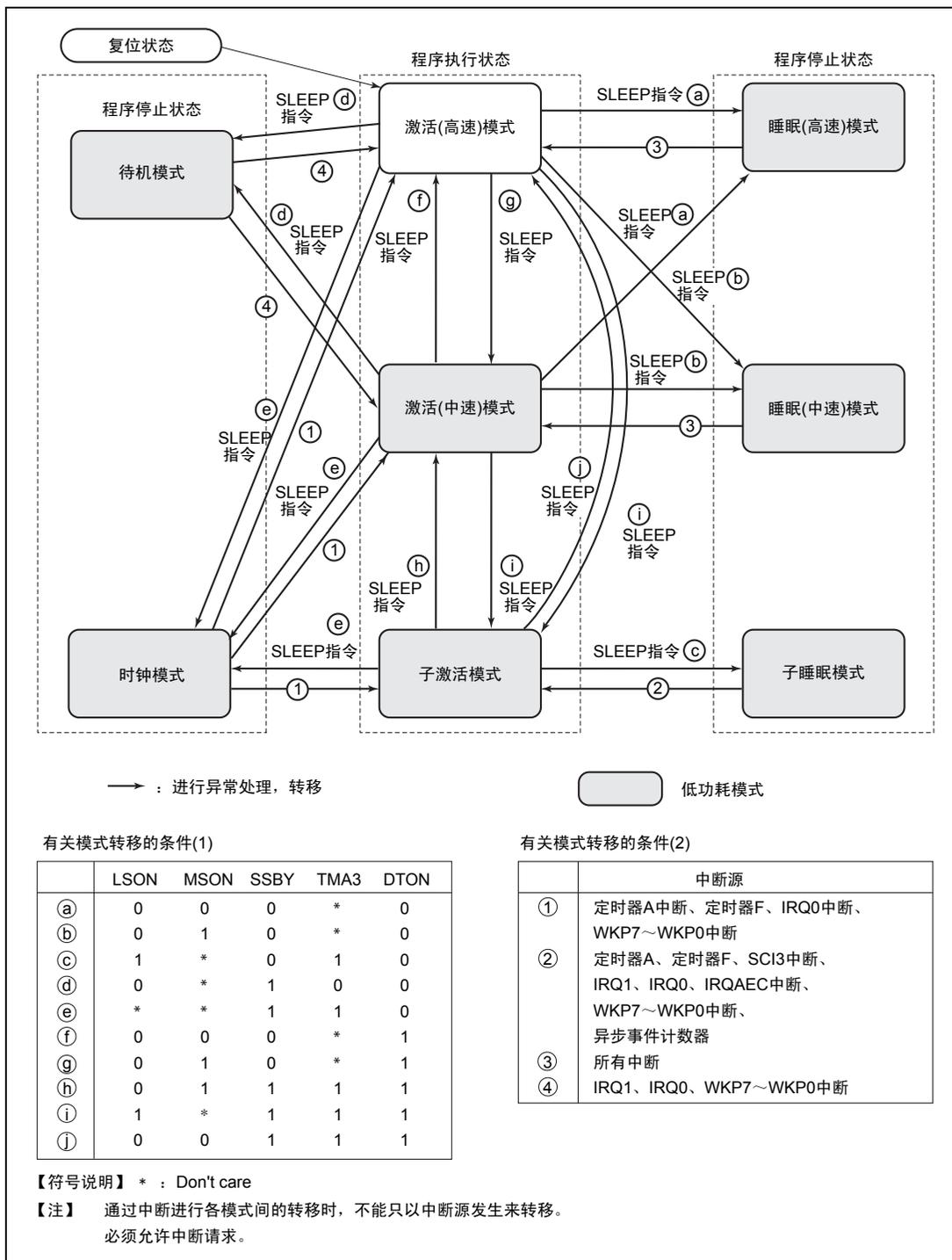


图 5.1 模式转移图

表 5.2 SLEEP 指令执行后的状态和由中断产生的返回模式

LSON	MSON	SSBY	TMA3	DTON	SLEEP 指令执行后的状态	由中断产生的返回模式
0	0	0	X	0	睡眠（高速）模式	激活（高速）模式
0	1	0	X	0	睡眠（中速）模式	激活（中速）模式
1	X	0	1	0	子睡眠模式	子激活模式
0	X	1	0	0	待机模式	激活模式
X	X	1	1	0	时钟模式	激活模式、子激活模式
0	0	0	X	1	激活（高速）模式	—
0	1	0	X	1	激活（中速）模式	—
0	1	1	1	1	激活（中速）模式	—
1	X	1	1	1	子激活模式（直接转移）	—
0	0	1	1	1	激活（高速）模式（直接转移）	—

【符号说明】 X: Don't care

表 5.3 各运行模式的 LSI 状态

功能		激活		睡眠		时钟	子激活	子睡眠	待机
		高速	中速	高速	中速				
系统时钟振荡器		运行	运行	运行	运行	停止	停止	停止	停止
子时钟振荡器		运行	运行	运行	运行	运行	运行	运行	运行
CPU	指令	运行	运行	停止	停止	停止	运行	停止	停止
	RAM			保持	保持	保持		保持	保持
	寄存器								
	I/O								
外部中断	IRQ0	运行	运行	运行	运行	运行	运行	运行	运行
	IRQ1								
	IRQAEC					保持*5			保持*5
	WKPO~WKP7					运行			运行
外围模块	定时器 A	运行	运行	运行	运行	运行*4	运行*4	运行*4	保持
	异步计数器					运行*6	运行	运行	运行*6
	定时器 F					运行/保持*7	运行/保持*7	运行/保持*7	保持
	WDT					运行/保持*9	运行/保持*8	运行/保持*9	运行/保持*10
	SCI3	运行	运行	运行	运行	复位	运行/保持*2	运行/保持*2	复位
	PWM	运行	运行	运行	运行	保持	保持	保持	保持
	A/D 转换器	运行	运行	运行	运行	保持	保持	保持	保持
	LCD	运行	运行	运行	运行	运行/保持*3	运行/保持*3	运行/保持*3	保持
LVD	运行	运行	运行	运行	运行	运行	运行	运行	

【注】 \*1 保持寄存器的内容，输出为高阻抗。

\*2 在选择  $\phi_w/2$  作为内部时钟时运行，否则停止后保持。

\*3 在选择  $\phi_w$ 、 $\phi_w/2$  或者  $\phi_w/4$  作为使用时钟时运行，否则停止后保持。

- \*4 在选择时钟时基功能时运行。
- \*5 外部中断请求被忽视。中断请求寄存器的内容不受影响。
- \*6 能累加计数，不能发生中断。
- \*7 在选择  $\phi_w/4$  作为内部时钟时运行，否则停止后保持。
- \*8 H8/38104 群在选择  $\phi_w/32$  或者内部振荡器作为内部时钟时运行，否则停止后保持。  
H8/38004、H8/38002S 群在选择  $\phi_w/32$  作为内部时钟时运行，否则停止后保持。
- \*9 H8/38104 群在选择  $\phi_w/32$  或者内部振荡器作为内部时钟时运行，否则停止后保持。  
H8/38004、H8/38002S 群停止后保持。
- \*10 H8/38104 群只在选择内部振荡器时运行，否则停止后保持。  
H8/38004、H8/38002S 群停止后保持

### 5.2.1 睡眠模式

在睡眠模式，虽然 CPU 停止运行，但是系统时钟振荡器、子时钟振荡器和内部外围模块运行。在睡眠（中速）模式，内部外围模块以 SYSCR1 的 MA1 和 MA0 设定的频率时钟运行。CPU 的寄存器内容保持不变。

睡眠模式由中断解除。如果发生中断请求，就解除睡眠模式，开始中断异常处理。在 CCR 的 I 位为 1 或者中断被中断允许位屏蔽时，不能解除睡眠模式。解除后的模式从睡眠（高速）模式转移到激活（高速）模式或者从睡眠（中速）模式转移到激活（中速）模式。如果在睡眠模式中将  $\overline{\text{RES}}$  管脚置为低电平，睡眠模式就被解除，转移到复位状态。另外，为了取得中断请求信号和系统时钟的同步，从发生中断请求信号到开始中断异常处理为止，有时会产生最大  $2/\phi$  (s) 的延迟。

在转移到睡眠（中速）模式时，可能会提前 1/2 个状态的时序运行。

### 5.2.2 待机模式

在待机模式，系统时钟振荡器停止振荡，CPU 和内部外围模块停止运行。只要提供规定的电压，CPU 的寄存器、一部分内部外围模块的内部寄存器以及内部 RAM 的数据就保持不变。另外，只要提供由 RAM 数据保持电压所规定的电压，就能保持内部 RAM 的数据。I/O 端口为高阻抗状态。

待机模式由中断解除。如果发生中断请求，系统时钟振荡器就开始振荡，在经过由 SYSCR1 的 STS2~STS0 设定的时间后解除待机模式，开始中断异常处理。解除后的模式 SYSCR2 的 MSON 决定转移到激活（高速）模式或者激活（中速）模式。根据在 CCR 的 I 位为 1 或者中断被中断允许位屏蔽时，不能解除待机模式。

在待机模式，如果将  $\overline{\text{RES}}$  管脚置为低电平，系统时钟振荡器就开始振荡。在系统时钟开始振荡的同时，系统时钟被供给整个 LSI。在系统时钟振荡稳定之前，必须保持  $\overline{\text{RES}}$  管脚为低电平。如果在经过振荡稳定时间后  $\overline{\text{RES}}$  管脚变为高电平，CPU 就开始复位异常处理。

### 5.2.3 时钟模式

在时钟模式，系统时钟振荡器和 CPU 停止运行，定时器 A、定时器 F、异步事件计数器、LCD 控制器/驱动器以外的内部外围模块停止运行。只要提供规定的电压，CPU 的寄存器、一部分内部外围模块的内部寄存器以及内部 RAM 的内容就保持不变，I/O 端口保持转移前的状态。

时钟模式由中断解除。如果发生中断请求，就解除时钟模式，开始中断异常处理，解除后的模式根据 SYSCR1 的 LSON 和 SYSCR2 的 MSON 的组合转移到激活（高速）模式、激活（中速）模式或者子激活模式。在转移到激活模式时，在经过由 SYSCR1 的 STS2~STS0 设定的时间后开始中断异常处理。另外，在 CCR 的 I 位为 1 或者该中断响应被中断允许位屏蔽时，不能解除时钟模式。

在时钟模式，如果将  $\overline{\text{RES}}$  管脚置为低电平，系统时钟振荡器就开始振荡。在系统时钟开始振荡的同时，系统时钟被供给整个 LSI。在系统时钟振荡稳定之前，必须保持  $\overline{\text{RES}}$  管脚为低电平。如果在经过振荡稳定时间后  $\overline{\text{RES}}$  管脚变为高电平，CPU 就开始复位异常处理。

### 5.2.4 子睡眠模式

在子睡眠模式，CPU 停止运行。A/D 转换器和 PWM 以外的内部外围模块运行。只要提供规定的电压，CPU 的寄存器、一部分内部外围模块的内部寄存器以及内部 RAM 的内容就保持不变，I/O 端口保持转移前的状态。

子睡眠模式由中断解除。如果发生中断请求，就解除子睡眠模式，开始中断异常处理，解除后的模式转移到子激活模式。另外，在 CCR 的 I 位为 1 或者该中断响应被中断允许位屏蔽时，不能解除子睡眠模式。

在子睡眠模式，如果将  $\overline{\text{RES}}$  管脚置为低电平，系统时钟振荡器就开始振荡。在系统时钟开始振荡的同时，系统时钟被供给整个 LSI。在系统时钟振荡稳定之前，必须保持  $\overline{\text{RES}}$  管脚为低电平。如果在经过振荡稳定时间后  $\overline{\text{RES}}$  管脚变为高电平，CPU 就开始复位异常处理。

### 5.2.5 子激活模式

在子激活模式，系统时钟振荡器停止运行。A/D 转换器和 PWM 以外的内部外围模块运行。只要提供规定的电压，一部分内部外围模块的内部寄存器就保持不变。

如果执行 SLEEP 指令，子激活模式就被解除，解除后的模式根据 SYSCR1 的 SSBY 和 LSON、SYSCR2 的 MSON 和 DTON 以及 TMA 的 TMA3 的组合转移到子睡眠模式、激活模式或者时钟模式。另外，在 CCR 的 I 位为 1 或者该中断响应被中断允许位屏蔽时，不能解除子激活模式。

在子激活模式，如果将  $\overline{\text{RES}}$  管脚置为低电平，系统时钟振荡器就开始振荡。在系统时钟开始振荡的同时，系统时钟被供给整个 LSI。在系统时钟振荡稳定之前，必须保持  $\overline{\text{RES}}$  管脚为低电平。如果在经过振荡稳定时间后  $\overline{\text{RES}}$  管脚变为高电平，CPU 就开始复位异常处理。

子激活模式的运行频率根据 SYSCR2 的 SA1 和 SA0 能从钟表时钟 ( $\phi_w$ ) 的 2 分频、4 分频、8 分频中选择。运行频率在 SLEEP 指令执行后切换到 SLEEP 指令执行前设定的频率。

### 5.2.6 激活（中速）模式

在激活（中速）模式，系统时钟振荡器、子时钟振荡器、CPU 以及内部外围模块运行。

如果执行 SLEEP 指令，激活（中速）模式就被解除，解除后的模式根据 SYSCR1 的 SSBY 和 LSON 及 TMA 的 TMA3 的组合转移到待机模式、根据 SYSCR1 的 SSBY 和 TMA 的 TMA3 的组合转移到时钟模式、根据 SYSCR1 的 SSBY 和 LSON 的组合转移到睡眠模式，并且通过直接转移，转移到激活（高速）模式或者子激活模式。另外，在 CCR 的 I 位为 1 或者该中断响应被中断允许位屏蔽时，不能转移到激活（中速）模式。如果在激活（中速）模式中将  $\overline{\text{RES}}$  管脚置为低电平，就解除激活（中速）模式，转移到复位状态。

在转移到睡眠（中速）模式时，可能会提前 1/2 个状态的时序运行。在激活（中速）模式，内部外围模块以 SYSCR1 的 MA1 和 MA0 设定的频率时钟运行。

## 5.3 直接转移

CPU 执行程序的运行模式有激活模式和子激活模式。在此 2 种运行模式之间不停止程序运行进行直接转移。如果将 SYSCR2 的 DTON 置 1 并执行 SLEEP 指令，就进行直接转移，可用于在激活模式或子激活模式改变运行频率的情况。转移后开始直接转移中断异常处理。当通过中断允许寄存器 2 禁止直接转移中断时，不直接转移而转移到睡眠模式或者时钟模式。另外，如果在 CCR 的 I 位为 1 的状态下直接转移，就转移到睡眠模式或者时钟模式，转移后的模式不能通过中断解除，必须注意。

### (1) 从激活（高速）模式向激活（中速）模式直接转移

在激活（高速）模式，如果在将 SYSCR1 的 SSBY 置 0 和将 LSON 置 0 以及将 SYSCR2 的 MSON 置 1 和将 DTON 置 1 的状态下执行 SLEEP 指令，就经由睡眠模式转移到激活（中速）模式。

### (2) 从激活（中速）模式向激活（高速）模式直接转移

在激活（中速）模式，如果在将 SYSCR1 的 SSBY 置 0 和将 LSON 置 0 以及将 SYSCR2 的 MSON 置 0 和将 DTON 置 1 的状态下执行 SLEEP 指令，就经由睡眠模式转移到激活（高速）模式。

### (3) 从激活（高速）模式向子激活模式直接转移

在激活（高速）模式，如果在将 SYSCR1 的 SSBY 置 1 和将 LSON 置 1 以及将 SYSCR2 的 DTON 置 1 和将 TMA 的 TMA3 置 1 的状态下执行 SLEEP 指令，就经由时钟模式转移到子激活模式。

### (4) 从子激活模式向激活（高速）模式直接转移

在子激活模式，如果在将 SYSCR1 的 SSBY 置 1 和将 LSON 置 0、将 SYSCR2 的 MSON 置 0 和将 DTON 置 1 以及将 TMA 的 TMA3 置 1 的状态下执行 SLEEP 指令，就经由时钟模式，经过由 SYSCR1 的 STS2~STS0 设定的时间后直接转移到激活（高速）模式。

### (5) 从激活（中速）模式向子激活模式直接转移

在激活（中速）模式，如果在将 SYSCR1 的 SSBY 置 1 和将 LSON 置 1、将 SYSCR2 的 DTON 置 1 以及将 TMA 的 TMA3 置 1 的状态下执行 SLEEP 指令，就经由时钟模式转移到子激活模式转移。

### (6) 从子激活模式向激活（中速）模式直接转移

在子激活模式，如果在将 SYSCR1 的 SSBY 置 1 和将 LSON 置 0、将 SYSCR2 的 MSON 置 1 和将 DTON 置 1 以及将 TMA 的 TMA3 置 1 的状态下执行 SLEEP 指令，就经由时钟模式，在经过由 SYSCR1 的 STS2~STS0 设定的时间后直接转移到激活（中速）模式。

### 5.3.1 关于从激活（高速）模式向激活（中速）模式直接转移时的时间

从 SLEEP 指令执行开始到中断异常处理结束为止的时间（直接转移时间）用 (1) 的计算式表示。

$$\begin{aligned} \text{直接转移时间} = & \{ (\text{SLEEP 指令执行状态数}) + (\text{内部处理状态数}) \} \\ & \times (\text{转移前的 } t_{\text{cyc}}) + (\text{中断异常处理执行状态数}) \\ & \times (\text{转移后的 } t_{\text{cyc}}) \cdots \cdots \cdots (1) \end{aligned}$$

〔例〕直接转移时间 =  $(2+1) \times 2t_{\text{osc}} + 14 \times 16 t_{\text{osc}} = 230 t_{\text{osc}}$   
 (CPU 运行时钟: 选择  $\phi/8$  时)

**【符号说明】**

$t_{\text{osc}}$  : OSC 时钟周期时间  
 $t_{\text{cyc}}$  : 系统时钟 ( $\phi$ ) 周期时间

### 5.3.2 关于从激活 (中速) 模式向激活 (高速) 模式直接转移时的时间

从 SLEEP 指令执行开始到中断异常处理结束为止的时间 (直接转移时间) 用 (2) 的计算式表示。

$$\begin{aligned} \text{直接转移时间} = & \{ (\text{SLEEP 指令执行状态数}) + (\text{内部处理状态数}) \} \\ & \times (\text{转移前的 } t_{\text{cyc}}) + (\text{中断异常处理执行状态数}) \\ & \times (\text{转移后的 } t_{\text{cyc}}) \cdots \cdots \cdots (2) \end{aligned}$$

〔例〕直接转移时间 =  $(2+1) \times 16 t_{\text{osc}} + 14 \times 2 t_{\text{osc}} = 76 t_{\text{osc}}$   
 (CPU 运行时钟: 选择  $\phi/8$  时)

**【符号说明】**

$t_{\text{osc}}$  : OSC 时钟周期时间  
 $t_{\text{cyc}}$  : 系统时钟 ( $\phi$ ) 周期时间

### 5.3.3 关于从子激活模式向激活 (高速) 模式直接转移时的时间

从 SLEEP 指令执行开始到中断异常处理结束为止的时间 (直接转移时间) 用 (3) 的计算式表示。

$$\begin{aligned} \text{直接转移时间} = & \{ (\text{SLEEP 指令执行状态数}) + (\text{内部处理状态数}) \} \\ & \times (\text{转移前的 } t_{\text{subcyc}}) + \{ (\text{以 STS2} \sim \text{STS0 设定的待机时间}) \\ & + (\text{中断异常处理执行状态数}) \} \times (\text{转移后的 } t_{\text{cyc}}) \cdots \cdots (3) \end{aligned}$$

〔例〕直接转移时间 =  $(2+1) \times 8t_{\text{w}} + (8192+14) \times 2t_{\text{osc}}$   
 $= 24t_{\text{w}} + 16412t_{\text{osc}}$   
 (CPU 运行时钟: 选择  $\phi w/8$ 、待机时间: 8192 个状态时)

**【符号说明】**

$t_{\text{osc}}$  : OSC 时钟周期时间  
 $t_{\text{w}}$  : 钟表时钟周期时间  
 $t_{\text{cyc}}$  : 系统时钟 ( $\phi$ ) 周期时间  
 $t_{\text{subcyc}}$  : 子时钟 ( $\phi_{\text{SUB}}$ ) 周期时间

### 5.3.4 关于从子激活模式向激活（中速）模式直接转移时的时间

从 SLEEP 指令执行开始到中断异常处理结束为止的时间（直接转移时间）用（4）的计算式表示。

$$\begin{aligned} \text{直接转移时间} = & \{ (\text{SLEEP 指令执行状态数}) + (\text{内部处理状态数}) \} \\ & \times (\text{转移前的 } t_{\text{subcyc}}) + \{ (\text{以 STS2} \sim \text{STS0 设定的待机时间}) \\ & + (\text{中断异常处理执行状态数}) \} \times (\text{转移后的 } t_{\text{cyc}}) \cdots \cdots (4) \end{aligned}$$

$$\begin{aligned} \text{〔例〕直接转移时间} = & (2+1) \times 8t_w + (8192+14) \times 16t_{\text{osc}} \\ = & 24t_w + 131296t_{\text{osc}} \end{aligned}$$

（CPU 运行时钟：选择  $\phi_w/8$  和  $\phi/8$ 、待机时间：8192 个状态时）

#### 【符号说明】

$t_{\text{osc}}$	: OSC 时钟周期时间
$t_w$	: 钟表时钟周期时间
$t_{\text{cyc}}$	: 系统时钟 ( $\phi$ ) 周期时间
$t_{\text{subcyc}}$	: 子时钟 ( $\phi_{\text{SUB}}$ ) 周期时间

### 5.3.5 在直接转移前后当外部输入信号变化时的注意事项

#### （1）从激活（高速）模式向子激活模式直接转移

由于经由时钟模式进行模式转移，因此请参照“5.5.2 在待机模式前后外部输入信号变化时的注意事项”。

#### （2）从激活（中速）模式向子激活模式的直接转移

由于经由时钟模式进行模式转移，因此请参照“5.5.2 在待机模式前后外部输入信号变化时的注意事项”。

#### （3）从子激活模式向激活（高速）模式直接转移

由于经由时钟模式进行模式转移，因此请参照“5.5.2 在待机模式前后外部输入信号变化时的注意事项”。

#### （4）从子激活模式向激活（中速）模式直接转移

由于经由时钟模式进行模式转移，因此请参照“5.5.2 在待机模式前后外部输入信号变化时的注意事项”。

## 5.4 模块待机功能

模块待机功能对所有外围模块进行设定。设定为模块待机状态的模块被停止供给时钟，进入低功耗状态。如果将对应 CKSTPR1 和 CKSTPR2 的各模块的位置 0，该模块就成为模块待机状态，如果置 1，该模块就被解除待机状态（请参照“5.1.3 时钟停止寄存器 1、2（CKSTPR1、CKSTPR2）”）。

## 5.5 使用时的注意事项

### 5.5.1 向待机模式的转移和管脚状态

在激活（高速）模式或者激活（中速）模式，如果在将 SYSCR1 的 SSBY 置 1 和将 LSON 置 0 以及将 TMA 的 TMA3 置 0 状态下执行 SLEEP 指令，就转移到待机模式。同时管脚变为高阻抗状态（上拉 MOS ON 设定管脚除外）。此时的时序如图 5.2 所示。

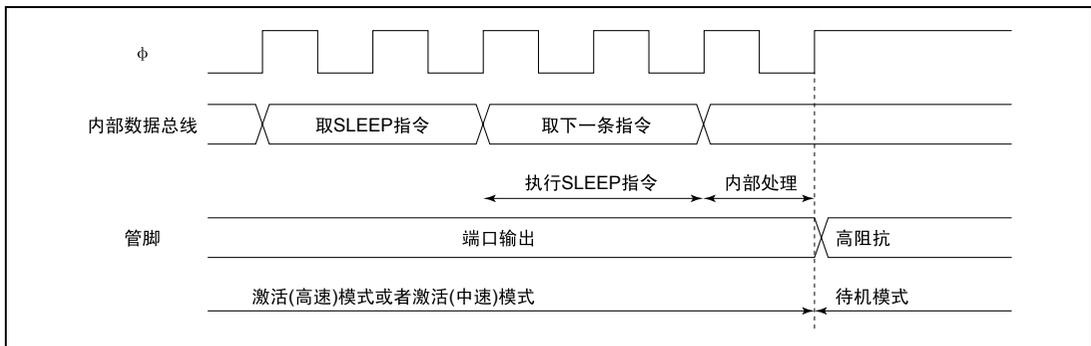


图 5.2 向待机模式的转移和管脚状态

### 5.5.2 在待机模式前后当外部输入信号变化时的注意事项

#### (1) 在待机模式和时钟模式前后外部输入信号变化的情况下

在输入  $\overline{\text{IRQ}}$ 、 $\overline{\text{WKP}}$ 、 $\overline{\text{IRQAEC}}$  等的外部输入信号时，无论是信号的高电平宽度还是低电平宽度，都需要在系统时钟  $\phi$  或者子时钟  $\phi_{\text{SUB}}$ （以下称为内部时钟）的 2 个周期以上。由于在待机模式和时钟模式，内部时钟停止，当经由这些运行模式时，外部输入信号必须符合“（3）推荐外部输入信号的时序”。

#### (2) 在由于内部时钟停止而不能取得外部输入信号的情况下

取得下降沿的情况如图 5.3 所示。

如“不能取得的情况”所示的那样，在通过该信号以外的中断开始振荡，并且在转移到激活（高速、中速）模式或者子激活模式后外部输入信号立即下降的情况下，如果此时的高电平宽度不到  $2t_{\text{cyc}}$ 、 $2t_{\text{subcyc}}$ ，就无法取得此外部信号。

#### (3) 推荐的外部输入信号时序

为了准确取得外部输入信号，应如“能取得的情况 1”所示的那样，在转移到待机模式和时钟模式前，必须保证输入信号的高电平和低电平的宽度为  $2t_{\text{cyc}}$ 、 $2t_{\text{subcyc}}$  以上。

另外，由于即使是“能取得的情况 2”“能取得的情况 3”的时序也能保证  $2t_{\text{cyc}}$ 、 $2t_{\text{subcyc}}$  的电平宽度，所以能取得外部输入信号。

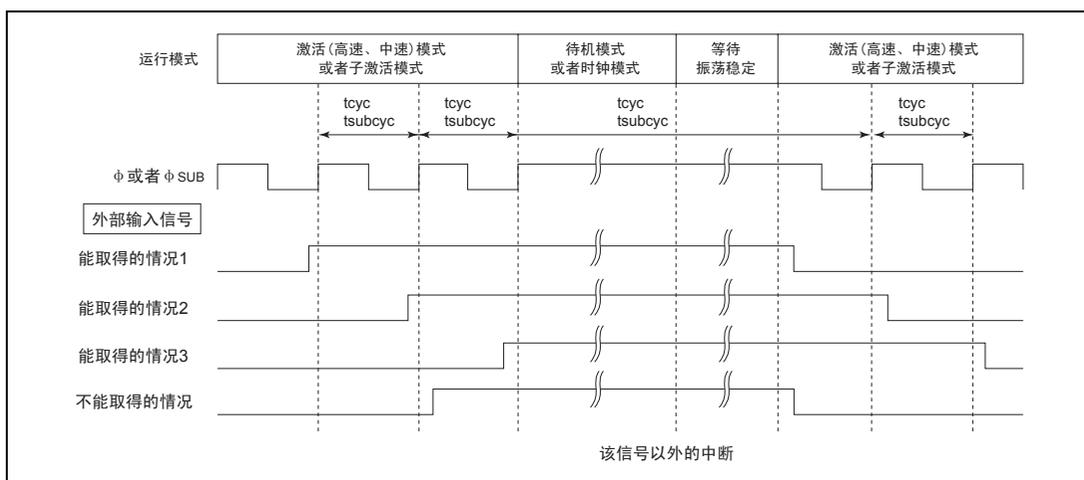


图 5.3 在待机模式和时钟模式前后外部输入信号变化时的注意事项

(4) 适用本注意事项的输入管脚

$\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{WKP7}} \sim \overline{\text{WKP0}}$ 、 $\overline{\text{IRQAEC}}$

## 第 6 章 ROM

H8/3802 内置 16K 字节、H8/3801 内置 12K 字节、H8/3800 内置 8K 字节的掩模型 ROM。另外，H8/38004 和 H8/38104 内置 32K 字节、H8/38003 和 H8/38103 内置 24K 字节、H8/38002、H8/38002S 和 H8/38102 内置 16K 字节、H8/38001、H8/38001S 和 H8/38101 内置 12K 字节、H8/38000、H8/38000S 和 H8/38100 内置 8K 字节的掩模型 ROM。ROM 用 16 位宽的数据总线与 CPU 连接，无论是字节数据还是字数据都可以进行 2 个状态的高速存取。H8/3802 有 ZTAT 版，具有 16K 字节的 PROM。H8/38004、H8/38002 和 H8/38104、H8/38102 有 F-ZTAT™ 版，分别具有 32K 字节和 16K 字节的快速擦写存储器。

### 6.1 框图

ROM 的框图如图 6.1 所示。

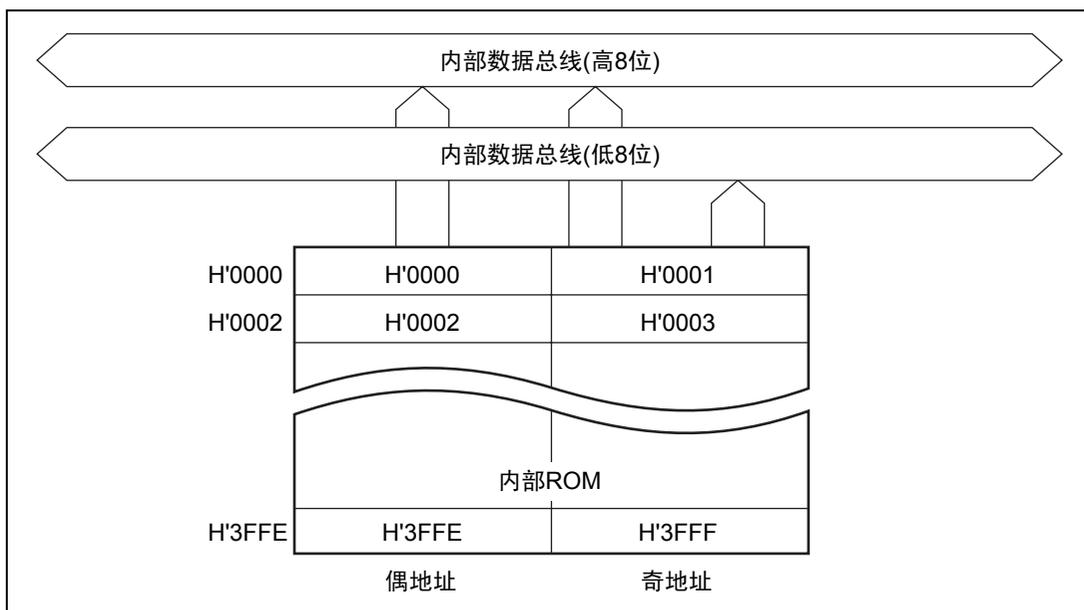


图 6.1 ROM 的框图 (H8/3802 的情况)

## 6.2 H8/3802 的 PROM 模式

### 6.2.1 PROM 模式的设定

如果在内部 ROM 为 PROM 的情况下设定成 PROM 模式，就停止单片机的功能，可使用和 HN27C101 相同的方法进行内部 PROM 的编程。但是，不支持页编程方式。

PROM 模式的设定方法如表 6.1 所示。

表 6.1 PROM 模式的设定

管脚名	设定
TEST 管脚	高电平
PB0/AN0 管脚	低电平
PB1/AN1 管脚	
PB2/AN2 管脚	高电平

### 6.2.2 插座适配器的管脚对应和存储器映像

PROM 的编程是装上对应封装的插座适配器，转换成 32 管脚，并使用通用 PROM 编程器进行编程。

插座适配器的管脚对应图如图 6.2 所示，存储器映像如图 6.3 所示。

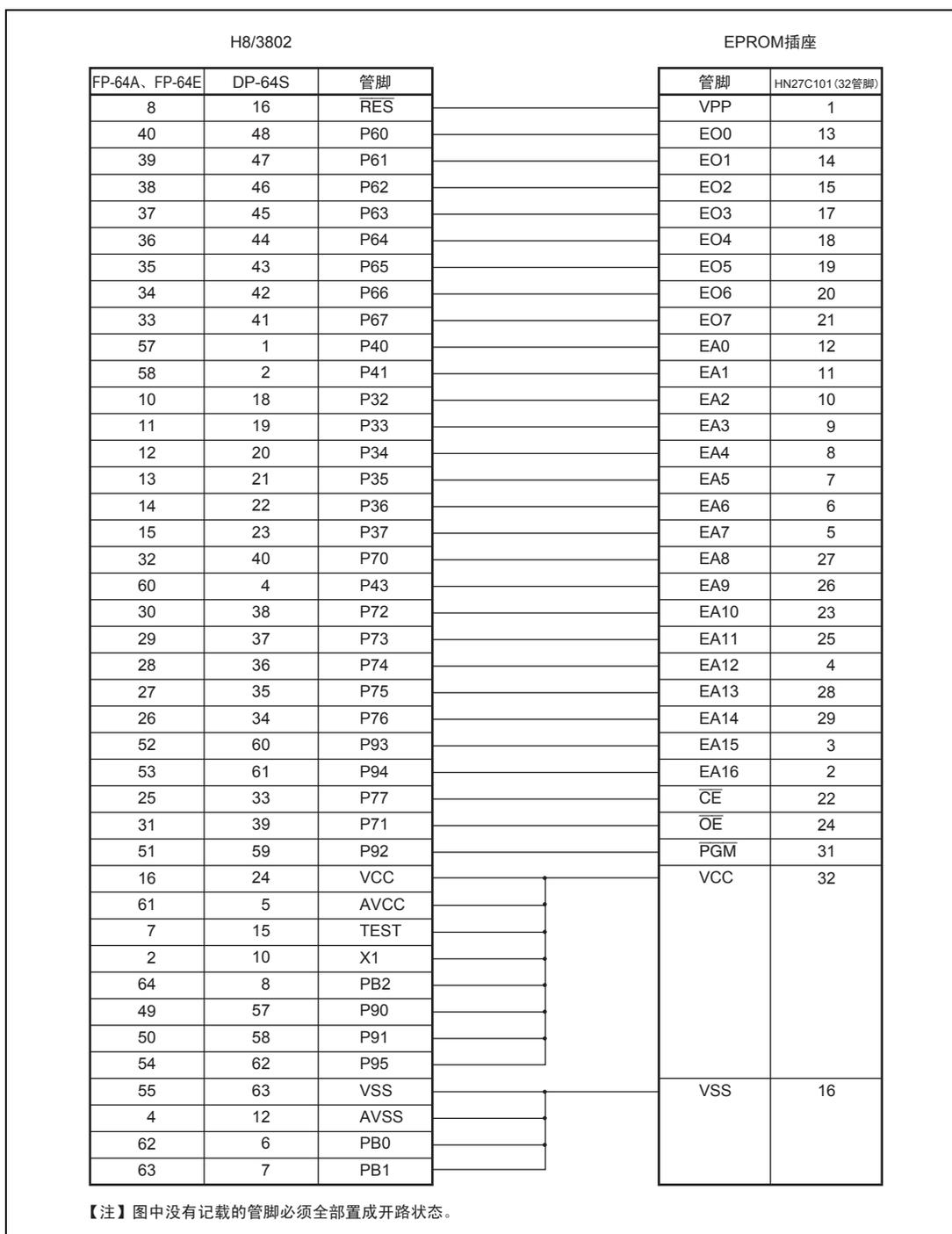


图 6.2 插座适配器的管脚对应图 (HN27C101)

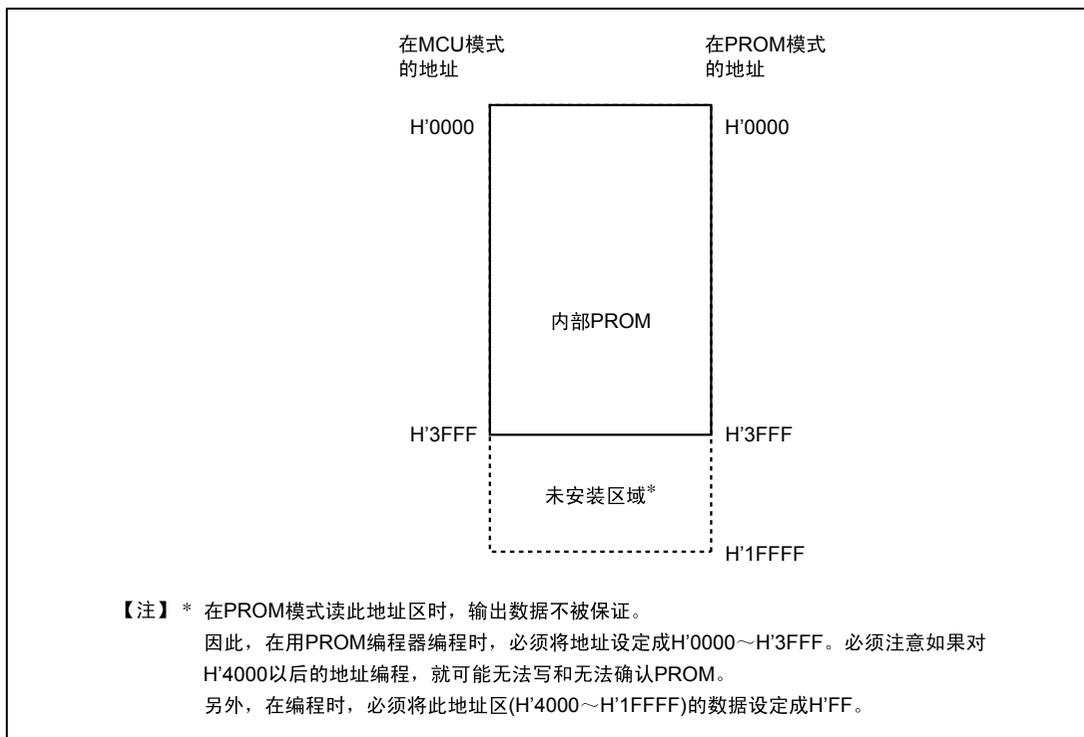


图 6.3 H8/3802 的 PROM 模式时的存储器映像

### 6.3 H8/3802 的编程

通过如表 6.2 表示的设定，选择 H8/3802 的 PROM 模式时的编程和验证等的模式。

表 6.2 ROM 模式时的编程模式的选择 (H8/3802)

模式	管脚						
	CE	OE	PGM	Vpp	Vcc	EO7~EO0	EA16~EA0
编程	L	H	L	Vpp	Vcc	数据输入	地址输入
验证	L	L	H	Vpp	Vcc	数据输出	地址输入
禁止编程	L	L	L	Vpp	Vcc	高阻抗	地址输入
	L	H	H				
	H	L	L				
	H	H	H				

**【符号说明】**

L : 低电平

H : 高电平

Vpp : Vpp 电平

Vcc : Vcc 电平

另外，写和读与标准 EPROM HN27C101 的规格相同。但是，由于它不支持页编程方式，因此不能设定成页编程模式。不能使用仅支持页编程模式的 PROM 编程器。在选择 PROM 编程器时，必须确认是否支持每一字节的高速高可靠性编程模式。另外，必须将地址设定为 H'0000~H'3FFF。

### 6.3.1 编程/验证

编程/验证能以高效率的高速高可靠性的编程方式进行。此方式能不给芯片施加过大的电压应力和不降低写数据的可靠性而进行高速编程。

高速、高可靠性的编程的基本流程如图 6.4 所示。

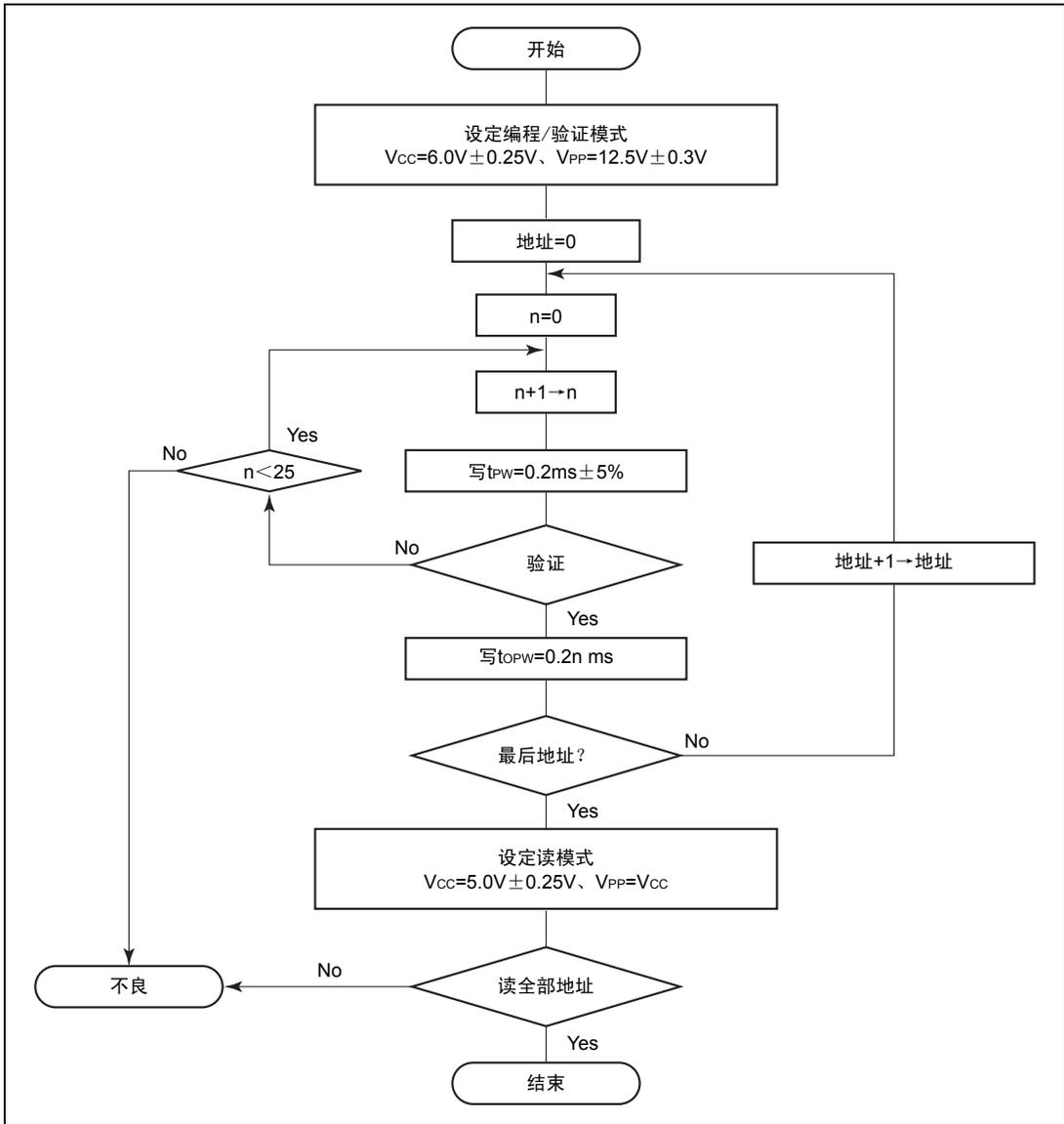


图 6.4 高速、高可靠性编程流程图

编程时的电特性如表 6.3、表 6.4 所示。

表 6.3 DC 特性

(条件:  $V_{CC}=6.0V\pm 0.25V$ 、 $V_{PP}=12.5V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^\circ C\pm 5^\circ C$ )

项目		符号	min	typ	max	单位	测定条件
输入高电平电压	EO7~EO0、EA16~EA0 $\overline{OE}$ 、 $\overline{CE}$ 、PGM	$V_{IH}$	2.4	—	$V_{CC}+0.3$	V	
输入低电平电压	EO7~EO0、EA16~EA0 $\overline{OE}$ 、 $\overline{CE}$ 、PGM	$V_{IL}$	-0.3	—	0.8	V	
输出高电平电压	EO7~EO0	$V_{OH}$	2.4	—	—	V	$I_{OH}=-200\mu A$
输出低电平电压	EO7~EO0	$V_{OL}$	—	—	0.45	V	$I_{OL}=0.8mA$
输入漏泄电流	EO7~EO0、EA16~EA0 $\overline{OE}$ 、 $\overline{CE}$ 、PGM	$ I_{LI} $	—	—	2	$\mu A$	$V_{in}=5.25V/0.5V$
$V_{CC}$ 电流		$I_{CC}$	—	—	40	mA	
$V_{PP}$ 电流		$I_{PP}$	—	—	40	mA	

表 6.4 AC 特性

(条件:  $V_{CC}=6.0V\pm 0.25V$ 、 $V_{PP}=12.5V\pm 0.3V$ 、 $T_a=25^\circ C\pm 5^\circ C$ )

项目	符号	min	typ	max	单位	测定条件
地址准备时间	$t_{AS}$	2	—	—	$\mu s$	图 6.5* <sup>1</sup>
$\overline{OE}$ 准备时间	$t_{OES}$	2	—	—	$\mu s$	
数据准备时间	$t_{DS}$	2	—	—	$\mu s$	
地址保持时间	$t_{AH}$	0	—	—	$\mu s$	
数据保持时间	$t_{DH}$	2	—	—	$\mu s$	
数据输出禁止时间	$t_{DF}^{*2}$	—	—	130	ns	
$V_{PP}$ 准备时间	$t_{VPS}$	2	—	—	$\mu s$	
编程脉冲宽度	$t_{PW}$	0.19	0.20	0.21	ms	
重新编程时的PGM脉冲宽度	$t_{OPW}^{*3}$	0.19	—	5.25	ms	
$V_{CC}$ 准备时间	$t_{VCS}$	2	—	—	$\mu s$	
$\overline{CE}$ 准备时间	$t_{CES}$	2	—	—	$\mu s$	
数据输出延迟时间	$t_{OE}$	0	—	200	ns	

【注】 \*1 输入脉冲电平: 0.45~2.4V

输入上升沿/下降沿时间 $\leq 20ns$

时序参照电平输入: 0.8V、2.0V

输出: 0.8V、2.0V

\*2 在  $t_{DF}$  的输出达到开放状态, 并且在不能参照输出电平时定义。

\*3  $t_{OPW}$  用在图 6.4 高速高可靠性编程流程图中记载的值定义。

PROM 的编程/验证时序如图 6.5 所示。

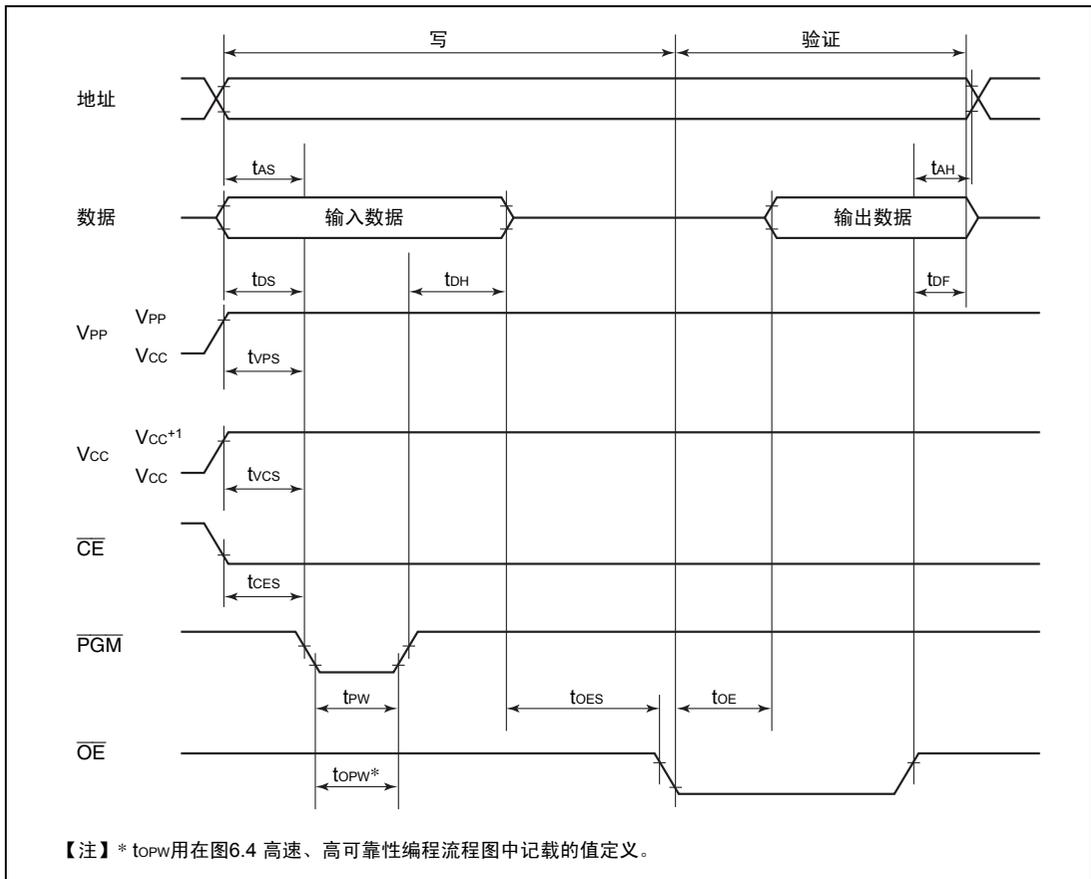


图 6.5 PROM 的编程/验证时序

### 6.3.2 编程时的注意事项

1. 必须按规定的电压、时序进行编程。

PROM模式时的编程电压（ $V_{pp}$ ）是12.5V。

必须注意：如果外加额定值以上的电压，就会对产品造成永久性的破坏。特别要注意的是PROM编程器的过冲量。

如果将PROM编程器置成HN27C101的瑞萨（原日立）规格， $V_{pp}$ 就为12.5V。

2. 如果PROM编程器的插座、插座适配器以及产品的各个索引标志不一致，就可能会由于过剩电流而破坏产品。因此在编程前，必须确认是否正确地安装在PROM编程器上。
3. 在编程过程中，请不要触摸插座适配器和产品。接触不良可能会导致编程错误。

4. 于编程模式不支持页编程方式，因此必须注意编程模式的设定。
5. 在使用 PROM 编程器编程时，必须将地址设定成 H'0000~H'3FFF。必须注意：如果对 H'4000 以后的地址编程，就可能无法编程和确认 PROM。另外，在编程时，必须将 H'4000~H'1FFFF 的地址区的数据设定为 H'FF。

## 6.4 编程后的可靠性

在写数据后，为了使数据更好地保持特性，通过 150°C 的高温放置进行筛选非常有效。高温放置是筛选的一种方法，能在短时间内排除 PROM 存储器单元的初始数据保持不良。推荐的筛选流程如图 6.6 所示。

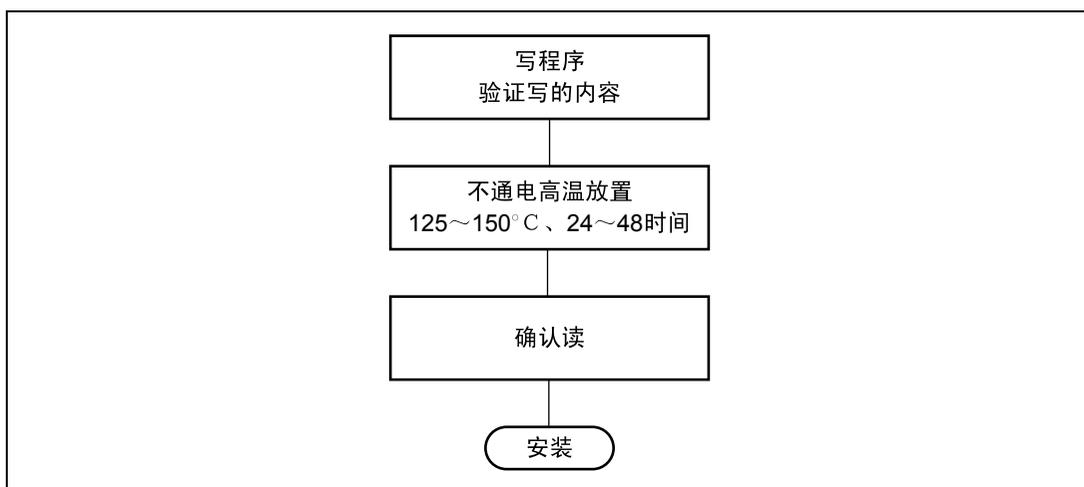


图 6.6 推荐筛选流程

在使用相同的 PROM 编程器进行编程中，当连续发生编程错误时，必须中止编程，确认 PROM 编程器、插座适配器等是否异常。

另外，如果在编程或者高温放置后的编程确认中发现异常，请和本公司的技术人员联系。

## 6.5 快速擦写存储器的概要

### 6.5.1 特点

快速擦写存储器版内置的 32K 字节或者 16K 字节快速擦写存储器有如下特点：

- 编程/擦除方式  
编程是128字节单位的同时编程方式。擦除以块为单位进行。HD64F38004和HD64F38104快将速擦写存储器分成1K字节×4块和28K字节×1块，HD64F38002和HD64F38102将速擦写存储器分成1K字节×4块和12K字节×1块。进行全部擦除时也必须按块分别擦除。
- 单板上编程  
通过启动内部引导程序，进行全部擦除或者编程的引导模式，可以进行单板上编程/擦除。此外，以通常的用户模式也可在单板上擦除和改写任意块。
- 编程器模式  
除单板上编程以外，还有使用PROM编程器进行编程/擦除的编程器模式。
- 位速率自动匹配  
在引导模式传送数据时，自动地匹配主机的传送位速率和本LSI的位速率。
- 编程/擦除保护  
通过软件能设定对快速擦写存储器的编程/擦除保护。
- 低功耗模式  
在子激活模式，能停止部分电源电路的运行，在低功耗模式读快速擦写存储器。

【注】在对 HD64F38104 和 HD64F38102 的快速擦写存储器执行编程/擦除时，必须使用系统时钟振荡器。

## 6.5.2 框图

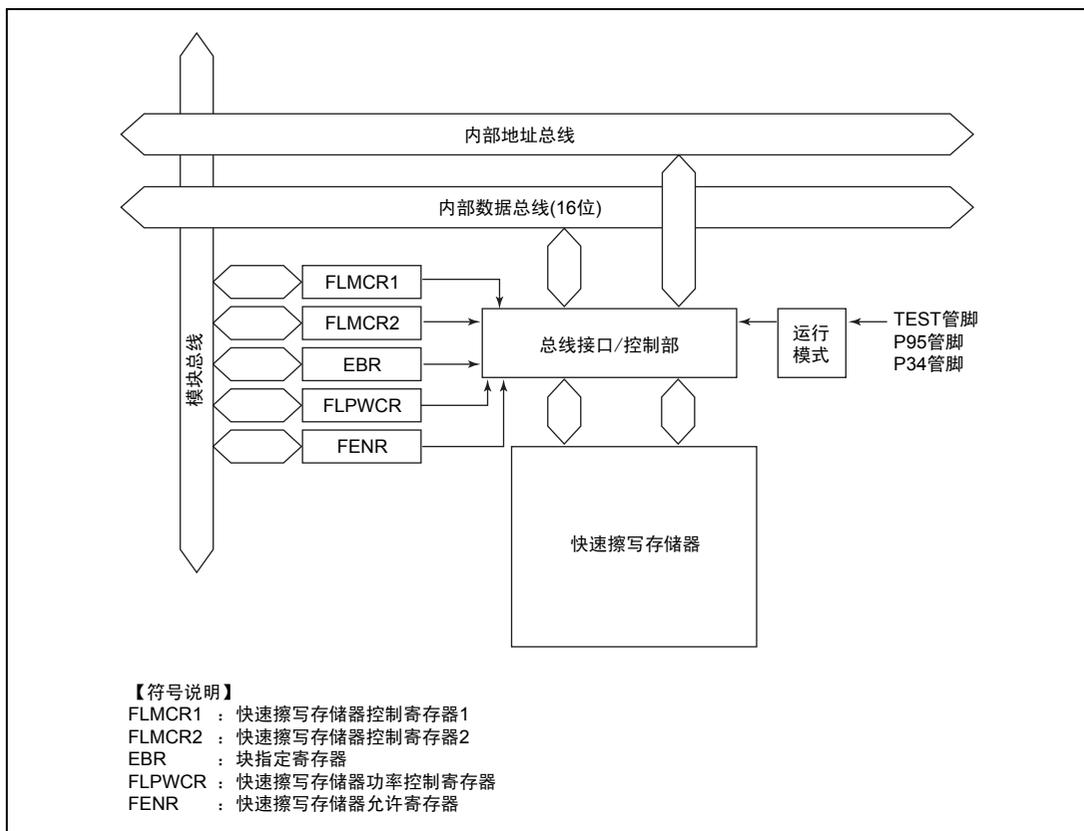


图 6.7 快速擦写存储器的框图

### 6.5.3 块结构

快速擦写存储器的块结构如图 6.8 所示。粗线框表示擦除块。细线框表示编程单位，框内的数值表示地址。32K 字节的快速擦写存储器被分成 1K 字节×4 块和 28K 字节×1 块，擦除以这两种单位进行。16K 字节的快速擦写存储器被分成 1K 字节×4 块和 12K 字节×1 块。以低位地址为 H'00 或者 H'80 开始的 128 字节单位进行编程。

擦除单位	H'0000	H'0001	H'0002	←编程单位128字节→	H'007F
	H'0080	H'0081	H'0082		H'00FF
1K字节					
擦除单位	H'0380	H'0381	H'0382		H'03FF
	H'0400	H'0401	H'0402	←编程单位128字节→	H'047F
1K字节					
擦除单位	H'0480	H'0481	H'0482		H'04FF
擦除单位	H'0780	H'0781	H'0782		H'07FF
	H'0800	H'0801	H'0802	←编程单位128字节→	H'087F
1K字节					
擦除单位	H'0880	H'0881	H'0882		H'08FF
擦除单位	H'0B80	H'0B81	H'0B82		H'0BFF
	H'0C00	H'0C01	H'0C02	←编程单位128字节→	H'0C7F
1K字节					
擦除单位	H'0C80	H'0C81	H'0C82		H'0CFF
擦除单位	H'0F80	H'0F81	H'0F82		H'0FFF
	H'1000	H'1001	H'1002	←编程单位128字节→	H'107F
28K字节					
擦除单位	H'1080	H'1081	H'1082		H'10FF
	H'7F80	H'7F81	H'7F82		H'7FFF

图 6.8 (1) 32K 字节快速擦写存储器的块结构

擦除单位	H'0000	H'0001	H'0002	←编程单位128字节→	H'007F
	H'0080	H'0081	H'0082		H'00FF
1K字节					
擦除单位	H'0380	H'0381	H'0382		H'03FF
	H'0400	H'0401	H'0402	←编程单位128字节→	H'047F
1K字节					
擦除单位	H'0480	H'0481	H'0482		H'04FF
擦除单位	H'0780	H'0781	H'0782		H'07FF
	H'0800	H'0801	H'0802	←编程单位128字节→	H'087F
1K字节					
擦除单位	H'0880	H'0881	H'0882		H'08FF
擦除单位	H'0B80	H'0B81	H'0B82		H'0BFF
	H'0C00	H'0C01	H'0C02	←编程单位128字节→	H'0C7F
1K字节					
擦除单位	H'0C80	H'0C81	H'0C82		H'0CFF
擦除单位	H'0F80	H'0F81	H'0F82		H'0FFF
	H'1000	H'1001	H'1002	←编程单位128字节→	H'107F
12K字节					
擦除单位	H'1080	H'1081	H'1082		H'10FF
	H'3F80	H'3F81	H'3F82		H'3FFF

图 6.8 (2) 16K 字节快速擦写存储器的块结构

## 6.6 寄存器说明

快速擦写存储器有以下寄存器：

- 快速擦写存储器控制寄存器 1 (FLMCR1)
- 快速擦写存储器控制寄存器 2 (FLMCR2)
- 块指定寄存器 (EBR)
- 快速擦写存储器功率控制寄存器 (FLPWCR)
- 快速擦写存储器允许寄存器 (FENR)

### 6.6.1 快速擦写存储器控制寄存器 1 (FLMCR1)

FLMCR1 使快速擦写存储器转移到编程模式、编程验证模式、擦除模式或者擦除验证模式。有关具体的设定方法，请参照“6.8 编程/擦除程序”。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。总是读出 0。
6	SWE	0	R/W	软件写允许 1: 允许编程/擦除快速擦写存储器。 0: 编程/擦除无效。FLMCR1 寄存器的其它位和 EBR 的各位不能置位。
5	ESU	0	R/W	擦除准备 1: 为擦除准备状态。 0: 解除准备状态。 必须在 FLMCR1 的 E 位置 1 前置位。
4	PSU	0	R/W	编程准备 1: 为编程准备状态。 0: 解除准备状态。 必须在 FLMCR1 的 P 位置 1 前置位。
3	EV	0	R/W	擦除验证 1: 转移到擦除验证模式。 0: 解除擦除验证模式。
2	PV	0	R/W	编程验证 1: 转移到编程验证模式。 0: 解除编程验证模式。
1	E	0	R/W	擦除 如果在 SWE=1、ESU=1 的状态下置 1，就转移到擦除模式。 0: 解除擦除模式。
0	P	0	R/W	编程 如果在 SWE=1、PSU=1 的状态下置 1，就转移到编程模式。 0: 解除编程模式。

【注】 不能同时设定 SWE、PSU、EV、PV、E、P 位。

### 6.6.2 快速擦写存储器控制寄存器 2 (FLMCR2)

FLMCR2 表示快速擦写存储器的编程/擦除状态。FLMCR2 是只读寄存器，不能写。

位	位名	初始值	R/W	说 明
7	FLER	0	R	在快速擦写存储器的编程/擦除过程中检测错误，在变为错误保护状态时，将该位置位。 详细内容请参照“6.9.3 错误保护”。
6~0	—	全 0	—	保留位。总是读出 0。

### 6.6.3 块指定寄存器 (EBR)

EBR 是指定快速擦写存储器擦除块的寄存器。当 FLMCR1 的 SWE 位是 0 时，EBR 被初始化为 H'00。该寄存器不可将 2 个以上的位同时设定为 1，否则，EBR 被自动清 0。

位	位名	初始值	R/W	说 明
7~5	—	全 0	—	保留位。总是读出 0。
4	EB4	0	R/W	为 1 时，在 HD64F38004 和 HD64F38104 的情况下，H'1000~H'7FFF 的 28K 字节为擦除对象。 为 1 时，在 HD64F38002 和 HD64F38102 的情况下，H'1000~H'3FFF 的 12K 字节为擦除对象。
3	EB3	0	R/W	为 1 时，H'0C00~H'0FFF 的 1K 字节为擦除对象。
2	EB2	0	R/W	为 1 时，H'0800~H'0BFF 的 1K 字节为擦除对象。
1	EB1	0	R/W	为 1 时，H'0400~H'07FF 的 1K 字节为擦除对象。
0	EB0	0	R/W	为 1 时，H'0000~H'03FF 的 1K 字节为擦除对象。

### 6.6.4 快速擦写存储器功率控制寄存器 (FLPWCR)

当 LSI 转移到子激活模式时，FLPWCR 选择是否将快速擦写存储器变为低功耗模式。有在低功耗模式停止快速擦写存储器的部分电源电路的运行但能对其读的模式和即使转移到子激活模式也保持快速擦写存储器的电源电路的运行并能对其读的模式。

位	位名	初始值	R/W	说 明
7	PDWND	0	R/W	掉电禁止 为 0 时，如果转移到子激活模式，快速擦写存储器就变为低功耗模式。 为 1 时，即使转移到子激活模式，快速擦写存储器也以通常模式运行。
6~0	—	全 0	—	保留位。总是读出 0。

### 6.6.5 快速擦写存储器允许寄存器 (FENR)

FENR 的位 7 (FLSHE) 设定是允许还是禁止 CPU 存取快速擦写存储器的控制寄存器 FLMCR1、FLMCR2、EBR 和 FLPWCR。

位	位名	初始值	R/W	说 明
7	FLSHE	0	R/W	快速擦写存储器控制寄存器允许 为 1 时, 可存取快速擦写存储器控制寄存器。 为 0 时, 不能存取控制寄存器。
6~0	—	全 0	—	保留位。总是读出 0。

## 6.7 单板上编程

作为进行快速擦写存储器编程/擦除的模式, 提供能进行单板上编程/擦除的引导模式和用 PROM 编程器进行编程/擦除的编程器模式。此外, 即使在用户模式也能进行单板上编程/擦除。如果从复位状态开始复位, 本 LSI 就根据 TEST 管脚、P95 管脚以及端口的输入电平转移到表 6.5 所示的不同模式。必须至少在解除复位的 4 个状态以前, 确定各管脚的输入电平。

如果转移到引导模式, 就启动 LSI 内部引导程序。引导程序经 SCI3 把编程控制程序从连接于外部的主机传送到内部 RAM, 在全部擦除快速擦写存储器后执行编程控制程序。能用于单板上状态的初次编程或者用于在用户模式无法进行编程/擦除时的强制恢复等。在用户模式, 可以通过转移到用户准备好的编程/擦除程序, 擦除并改写任意块。

表 6.5 编程模式的选择方法

TEST	P95	P34	PB0	PB1	PB2	解除复位后的 LSI 状态
0	1	X	X	X	X	用户模式
0	0	1	X	X	X	引导模式
1	X	X	0	0	0	编程器模式

【注】X: Don't care

### 6.7.1 引导模式

在引导模式，从复位解除开始转移到编程控制程序为止的运行如表 6.6 所示。

1. 在引导模式，主机侧需要预先准备好快速擦写存储器的编程控制程序。根据“6.8 编程/擦除程序”叙述的内容，准备编程控制程序。
2. 将SCI3设定为异步方式，发送和接收格式是：8位数据，1位停止位，无奇偶校验。因为由SPCR将TXD管脚和RXD管脚的反转功能设定成“不反转”，所以请在主机和本LSI之间不要插入反转电路。
3. 在引导程序启动时，测定从主机连续发送来的异步串行通信数据H'00的低电平宽度，计算位速率，将SCI3的位速率与主机的位速率匹配。必须在RXD管脚为高电平的状态下解除复位。根据需要，在电路板上将RXD管脚和TXD管脚上拉。从复位解除到能测定低电平宽度为止，需要大约100个状态。
4. 在位速率的匹配结束后，作为调整结束信号，发送1字节的H'00给主机。如果主机正常接收到调整结束信号，就必须发送1字节的H'55。如果不能正常接收，就必须通过复位再次启动引导模式。根据主机的位速率和本LSI的系统时钟频率的组合，会发生在容许范围内位速率不匹配的情况。因此，必须把主机的传送位速率和本LSI的系统时钟频率设定在表6.7的范围内。
5. 在引导模式，引导程序使用一部分的内部RAM。能存放从主机发送来的编程控制程序的区域是H'F780~H'FEFF。在程序的执行转移到编程控制程序之前，不能使用该引导程序的区域。
6. 虽然在转移到编程控制程序时，SCI3结束发送和接收（SCR3的RE=0、TE=0），但是，由于BRR仍然保持匹配的位速率的值，所以能继续用编程控制程序，与主机进行编程数据和验证数据的发送和接收。TXD管脚变为高电平输出状态（PCR42=1、P42=1）。在转移到编程控制程序后CPU的通用寄存器的内容不定。尤其是堆栈指针，由于被隐含地用于子程序调用等，因此必须在编程控制程序的开头初始化。
7. 引导模式能通过复位解除。必须使复位管脚置为低电平，在经过至少20个状态后设定TEST管脚和P95管脚解除复位。在WDT溢出复位发生时，引导模式也被解除。
8. 在引导模式，不能改变TEST管脚和P95管脚的输入电平。

表 6.6 引导模式的运行

项目	主机的运行	通信内容	本LSI的运行
	处理内容		处理内容
启动引导模式			<p>在开始复位后 转移到引导程序</p> <p style="text-align: center;">启动引导程序</p>
位传输率的匹配	<p>以规定的位传输率连续发送H'00</p> <p>↓</p> <p>如果正常接收到H'00，就发送H'55</p>	<p>H'00,H'00 ... H'00</p> <p>H'00</p> <p>H'55</p>	<ul style="list-style-type: none"> <li>测定接收数据H'00的低电平宽度</li> <li>计算位传输率，设定SCI3的BRR</li> <li>在位传输率的匹配结束后，给主机发送H'00</li> <li>接收H'55</li> </ul>
擦除快速擦写存储器	<p>引导程序擦除错误</p> <p>接收H'AA</p>	<p>H'FF</p> <p>H'AA</p>	<p>测试快速擦写存储器的数据，在已有写入数据的情况下，擦除全部块，并向主机发送H'AA</p> <p>(在不能擦除时，发送H'FF，停止运行)</p>
写控制程序的传送	<p>将传送的写控制程序的字节数(N)按高位字节、低位字节的顺序发送2个字节</p> <p>↓</p> <p>按1字节发送写控制程序(重复N次)</p> <p>↓</p> <p>接收H'AA</p>	<p>高位字节、低位字节</p> <p>回送</p> <p>H'XX</p> <p>回送</p> <p>H'AA</p>	<p>将接收到的2个字节数据回送给主机</p> <p>↓</p> <p>在将接收到的数据回送给主机的同时传送给RAM(重复N次)</p> <p>↓</p> <p>给主机发送H'AA</p>
			<p>转移到已被传送给内部RAM的写控制程序，开始执行</p>

表 6.7 可自动匹配位速率的振荡频率（fosc）

产品群	主机的位速率	LSI 的振荡频率范围（fosc）
H8/38004F 群	4800bps	8 ~ 10MHz
	2400bps	4 ~ 10MHz
	1200bps	2 ~ 10MHz
H8/38104F 群	19200bps	16 ~ 20MHz
	9600bps	8 ~ 20MHz
	4800bps	4 ~ 20MHz
	2400bps	2 ~ 20MHz
	1200bps	2 ~ 20MHz

### 6.7.2 用户模式的编程/擦除

用户模式是执行用户程序的状态。用户模式也能通过转移到用户准备的编程/擦除程序，对任意块进行单板上擦除或者改写。需要用户准备好转移条件的设定及单板上改写数据的手段，同时，必须根据需要事先将编程/擦除程序或者将用于从外部提供编程/擦除程序的程序写入部分快速擦写存储器。由于在编程/擦除过程中不能读快速擦写存储器，所以必须与引导模式相同，将编程/擦除程序传送到内部 RAM 后执行。用户模式的编程/擦除步骤的例子如图 6.9 所示。请根据“6.8 编程/擦除程序”叙述的内容准备编程/擦除程序。

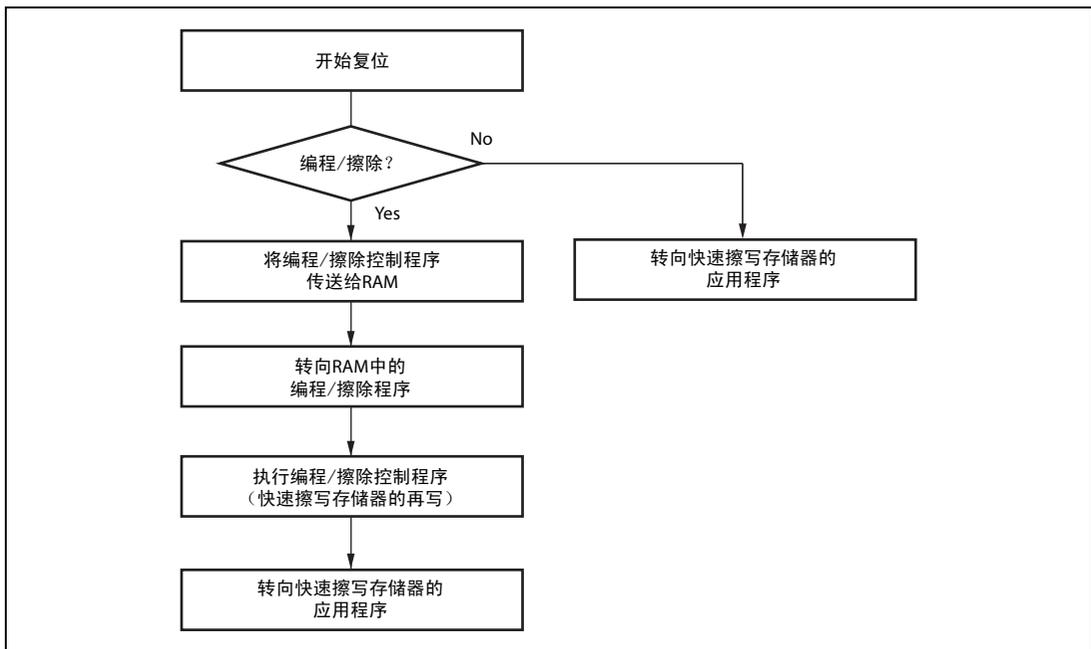


图 6.9 用户模式的编程/擦除例子

### 6.7.3 单板上编程的注意事项

1. 在对H8/38104F群的快速擦写存储器进行编程/擦除时，必须使用系统时钟振荡器，而不能使用内部振荡器。有关系统时钟振荡器和内部振荡器的切换方法，请参照“4.3.4 选择内部振荡器的方法”。
2. H8/38104F群在复位解除后，监视定时器运行。在用户模式执行用户准备的编程/擦除程序时，对监视定时器的溢出周期必须设定恰当的值。有关编程时的监视定时器的溢出周期，请参照“6.8.1 编程/编程验证”，有关擦除时的监视定时器的溢出周期，请参照“6.8.2 擦除/擦除验证”。

## 6.8 编程/擦除程序

采用软件方式，对单板上的快速擦写存储器进行编程/擦除。快速擦写存储器根据FLMCR1的设定，转移到编程模式、编程验证模式、擦除模式和擦除验证模式。在引导模式的编程控制程序 and 用户模式的编程/擦除程序中，结合这些模式进行编程/擦除。请按照“6.8.1 编程/编程验证”叙述的内容对快速擦写存储器进行编程，请按照“6.8.2 擦除/擦除验证”叙述的内容对快速擦写存储器进行擦除。

### 6.8.1 编程/编程验证

请按照图6.10所示的编程/编程验证流程图对快速擦写存储器进行编程。如果按照此流程进行编程，就能避免给芯片施加过分的电压应力和提高数据的信赖性。

1. 在擦除状态下进行编程，即已经被编成的地址不可再编程。
2. 以128字节为单位进行一次编程。即使写不满128字节的数据，也必须给快速擦写存储器传送128字节的数据。不需要的地址必须写H'FF。
3. 必须在RAM中确保128字节的编程数据区、128字节的再编程数据区和128字节的追加编程数据区。再编程数据的计算请按照表6.8进行，追加编程数据的计算请按照表6.9进行。
4. 必须以字节为单位，从再编程数据区或者追加编程数据区连续传送128字节到快速擦写存储器。程序地址和128字节数据被锁存在快速擦写存储器中。必须把快速擦写存储器的起始地址的低8位设定为H'00或者H'80。
5. P位置1的时间为编程时间。请按照表6.10设定编程时间。
6. 为了避免由于程序失控等的重复编程，设定监视定时器。溢出周期必须设定在6.6ms左右。
7. 为了给验证地址虚写，必须给低2位为b'00的地址写1字节的H'FF。能够从进行了虚写的地址开始以字或长字读验证数据。
8. 对同一位的编程/编程验证步骤的重复次数不可超过1000次。

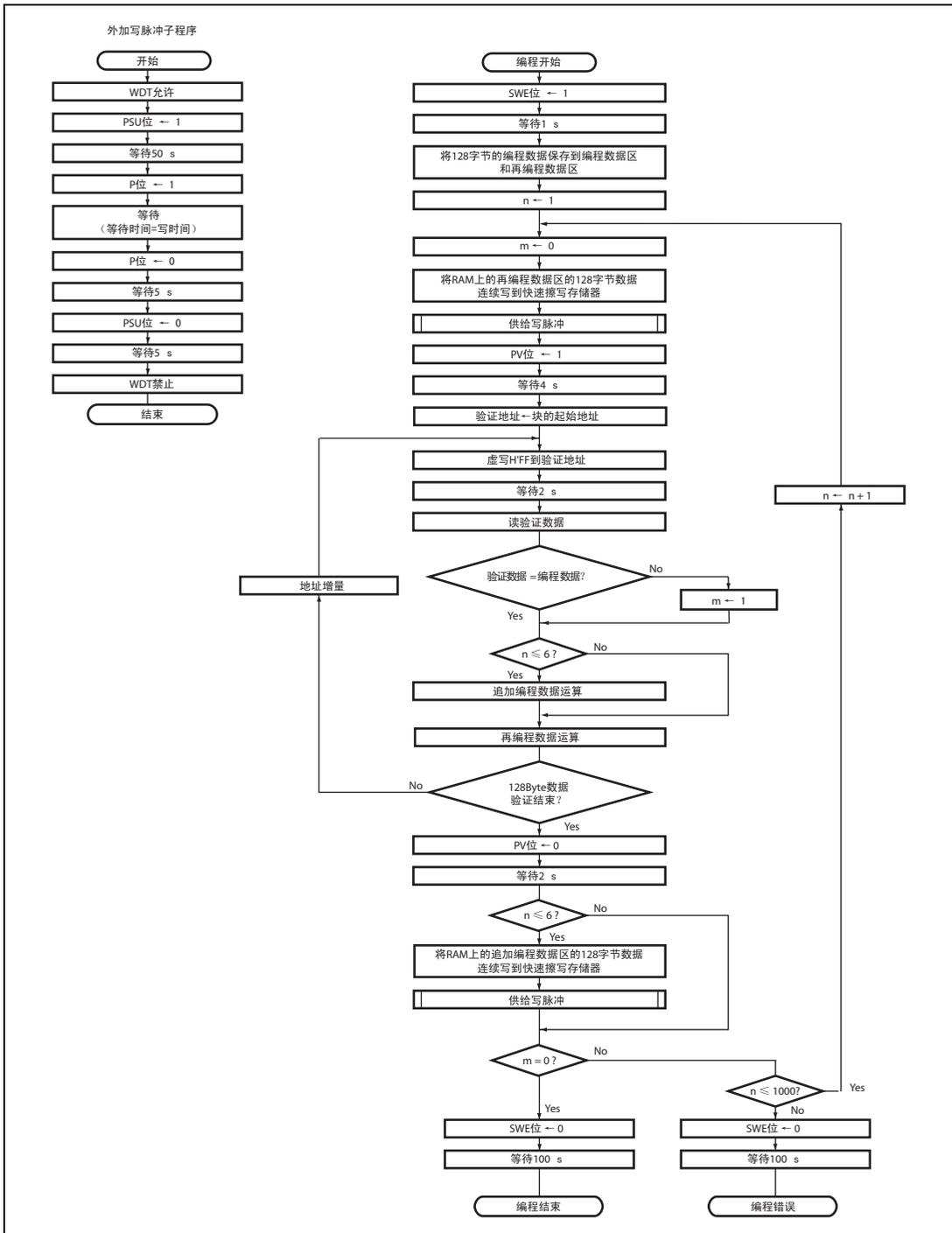


图 6.10 编程/编程验证流程图

表 6.8 再编程数据运算表

编程数据	验证数据	再编程数据	备 考
0	0	1	编程结束位
0	1	0	再编程位
1	0	1	
1	1	1	擦除状态

表 6.9 追加编程数据运算表

再编程数据	验证数据	追加编程数据	备 考
0	0	0	追加编程位
0	1	1	不进行追加编程
1	0	1	不进行追加编程
1	1	1	不进行追加编程

表 6.10 编程时间

n (编程次数)	编程时	追加编程时	备 考
1~6	30	10	
7~1,000	200	—	

【注】时间单位是 $\mu\text{s}$ 。

## 6.8.2 擦除/擦除验证

请按照图 6.11 的擦除/擦除验证流程图进行擦除。

1. 在擦除前不必进行前写入（将要擦除的存储器的所有数据全部置0）。
2. 以块单位进行擦除。必须通过块指定寄存器（EBR）选择要擦除的1块。擦除多个块时也必须按各块分别依次擦除。
3. E位置1的时间为擦除时间。
4. 为了避免由于程序失控等的重复擦除，设定监视定时器。溢出周期必须设定在19.8ms左右。
5. 为了给验证地址虚写，必须给低1位为b'0的地址写1字节H'FF。能够从进行了虚写的地址开始以字读验证数据。
6. 读出的数据为未擦除数据时，再次将其设定为擦除方式，重复擦除/擦除验证步骤，但是，重复次数不可超过100次。

## 6.8.3 快速擦写存储器的编程/擦除时的中断

在对快速擦写存储器进行编程/擦除操作中或者在执行引导程序过程中，由于以下的原因，必须禁止包括 NMI 的全部中断请求：

1. 在编程/擦除过程中，如果发生中断，就不能保证按编程/擦除算法正常运行。
2. 如果在写向量地址前或者在编程/擦除过程中开始中断异常处理，就不能正常地取得向量，导致CPU失控。
3. 在执行引导程序过程中，如果发生中断，就无法按照正常顺序执行引导模式。

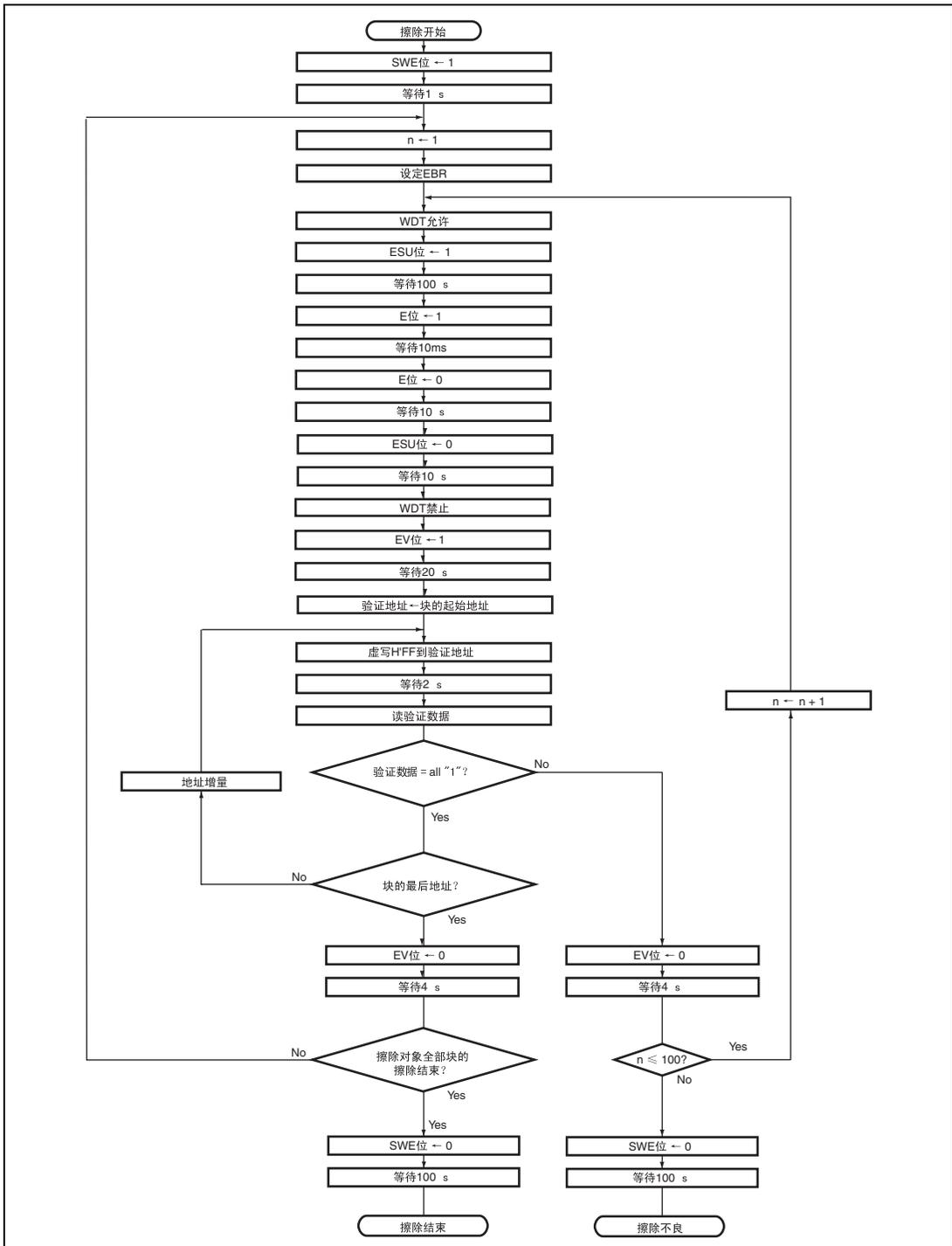


图 6.11 擦除/擦除验证流程图

## 6.9 编程/擦除保护

快速擦写存储器的编程/擦除保护状态有硬件保护、软件保护和错误保护 3 种状态。

### 6.9.1 硬件保护

硬件保护是指根据向复位、子激活模式、子睡眠模式或者待机模式的状态转移，对快速擦写存储器强制禁止和中断编程/擦除的状态。快速擦写存储器控制寄存器 1 (FLMCR1)、快速擦写存储器控制寄存器 2 (FLMCR2) 和块指定寄存器 (EBR) 被初始化。在由  $\overline{\text{RES}}$  管脚复位时，从加入电源到振荡稳定为止，如果不保持  $\overline{\text{RES}}$  管脚为低电平，就不能进入复位状态。另外，运行中的复位必须将  $\overline{\text{RES}}$  管脚的低电平保持在 AC 特性规定的  $\overline{\text{RES}}$  脉冲宽度之间。

### 6.9.2 软件保护

通过软件清除 FLMCR1 的 SWE 位，使全部块的编程/擦除变为保护状态。在此状态，即使 FLMCR1 的 P 位或者 E 位被置位，也不转移到编程模式或者擦除模式。另外，通过块指定寄存器 (EBR) 的设定能对各块进行擦除保护。如果设定 EBR 为 H'00，所有块就都变为擦除保护状态。

### 6.9.3 错误保护

错误保护是在快速擦写存储器的编程/擦除过程中，检测出 CPU 失控以及不按照编程/擦除算法的运行并强制中断编程/擦除运行的状态。通过中断编程/擦除运行，以防止因重复编程和重复擦除给快速擦写存储器带来的损坏。

在快速擦写存储器的编程/擦除过程中，如果检测出以下错误，FLMCR2 的 FLER 位就被置 1，变为错误保护状态：

- 在编程/擦除过程中，读快速擦写存储器（含读向量和取命令）
- 在编程/擦除过程中，开始复位以外的异常处理
- 在编程/擦除过程中，执行 SLEEP 命令

此时，虽然能保持 FLMCR1、FLMCR2 和 EBR 的内容，但是在检测出错误时，强制中断编程模式或者擦除模式。即使对 P 位和 E 位置位，也不转移到编程模式或擦除模式。但是，能将 PV 位和 EV 位置位且能转移到验证模式。错误保护状态只能通过复位解除。

## 6.10 编程器模式

在编程器模式，与单体快速擦写存储器相同，能通过插座适配器，用 PROM 编程器进行编程/擦除。请使用支持瑞萨（原日立）内置 64K 字节快速擦写存储器的单片机芯片型（FZTAT64V3）PROM 编程器。需要 10MHz 的输入时钟。转移到编程器模式的条件请参照表 6.5。

### 6.10.1 插座适配器

插座适配器把 HD64F38004、HD64F38002 和 HD64F38104、HD64F38102 的管脚排列转换成单体的快速擦写存储器 HN28F101 的管脚排列。此时，内部快速擦写存储器的地址为 H'0000~H'7FFF。HD64F38004、HD64F38002 的插座适配器的管脚对应图如图 6.12（1）所示，HD64F38104、HD64F38102 的插座适配器的管脚对应图如图 6.12（2）所示。

### 6.10.2 编程器模式的命令

在编程器模式支持如下命令：

- 存储器读
- 自动编程
- 自动擦除
- 状态读

自动编程、自动擦除以及状态读采用状态查询方式。另外，状态读输出在执行自动编程或者自动擦除后的详细内部信息。各命令的顺序如表 6.11 所示。自动编程由于同时写 128 字节的数据，因此命令写需要 129 个周期。存储器读周期根据写地址周期数变化。

表 6.11 编程器模式的命令顺序

命令名	周期数	第 1 周期			第 2 周期		
		模式	地址	数据	模式	地址	数据
存储器读	1+n	write	X	H'00	read	RA	Dout
自动编程	129	write	X	H'40	write	WA	Din
自动擦除	2	write	X	H'20	write	X	H'20
状态读	2	write	X	H'71	write	X	H'71

【注】n：地址写周期数



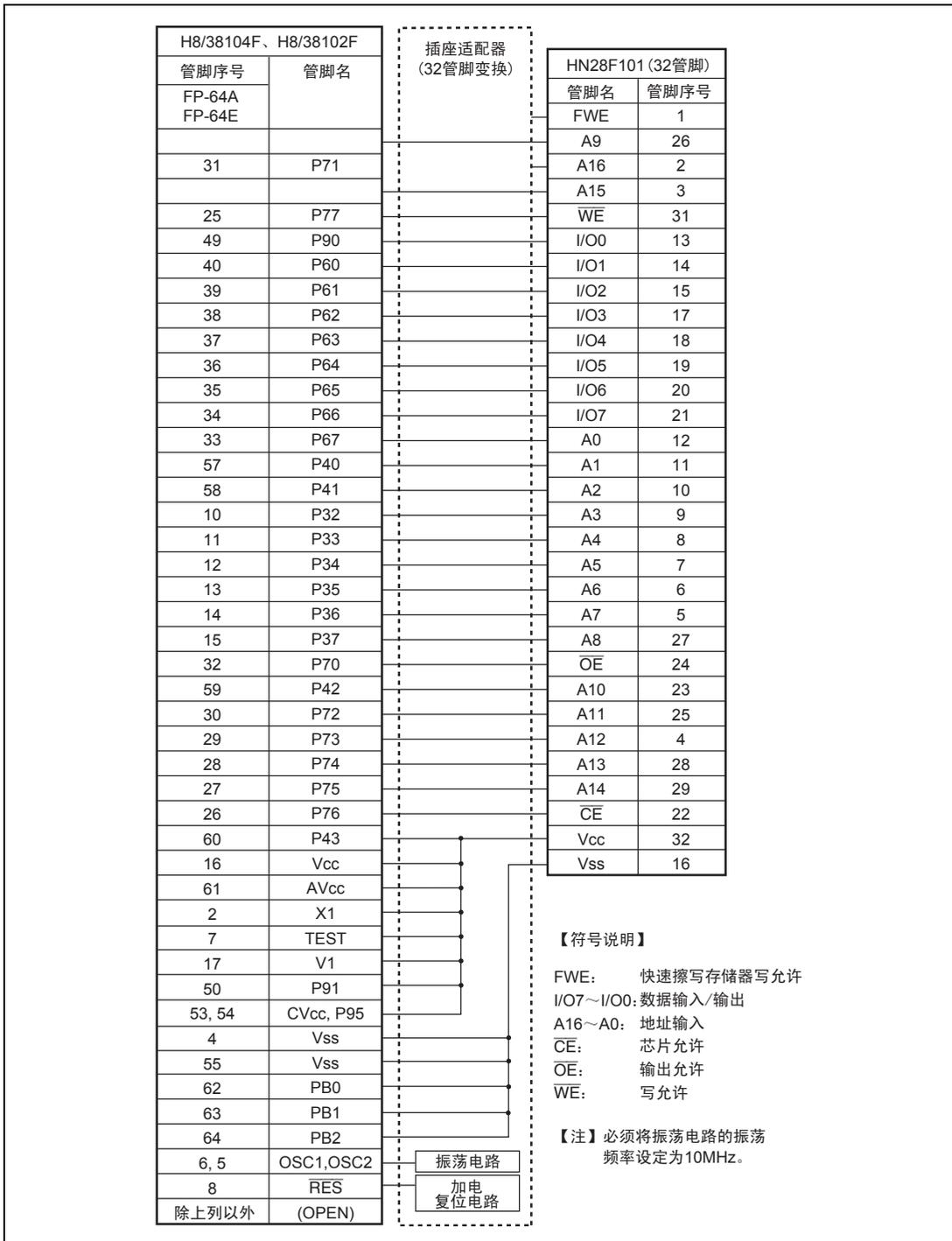


图 6.12 (2) 插座适配器的管脚对应图 (H8/38104F 和 H8/38102F)

### 6.10.3 存储器读

在自动编程、自动擦除或者状态读结束后，转移到命令等待状态。在读存储器内容时，必须通过写命令转移到存储器读模式。转移到存储器读模式后，就能连续读。

1. 存储器读模式与命令等待状态相同，能通过写命令转移到其它模式。
2. 在接通电源后，转移到存储器读模式。
3. AC特性如表6.12~表6.14所示。

表 6.12 存储器读第 1 周期的 AC 特性

条件:  $V_{cc}=3.3V\pm 0.3V$ 、 $V_{ss}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

项目	符号	MIN	MAX	单位	参照图
命令写周期	tnxtc	20	—	$\mu s$	图 6.13
CE 保持时间	tceh	0	—	ns	
$\overline{CE}$ 准备时间	tces	0	—	ns	
数据保持时间	tdh	50	—	ns	
数据准备时间	tds	50	—	ns	
写脉冲宽度	twep	70	—	ns	
WE 上升时间	tr	—	30	ns	
WE 下降时间	tf	—	30	ns	

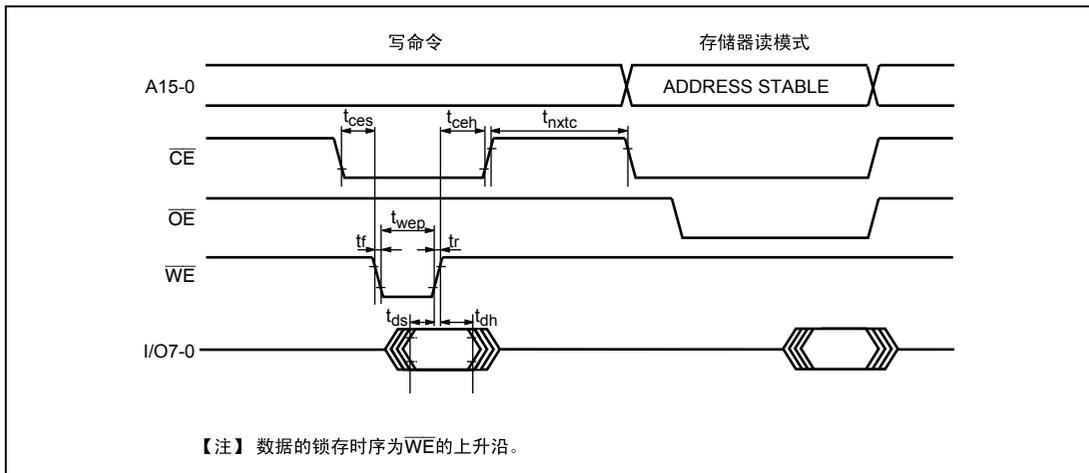


图 6.13 写命令后的存储器读时序波形

表 6.13 从存储器读转移到其它命令时的 AC 特性

条件:  $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$ 

项目	符号	MIN	MAX	单位	参照图
命令写周期	$t_{nxtc}$	20	—	$\mu s$	图 6.14
CE 保持时间	$t_{ceh}$	0	—	ns	
CE 准备时间	$t_{ces}$	0	—	ns	
数据保持时间	$t_{dh}$	50	—	ns	
数据准备时间	$t_{ds}$	50	—	ns	
写脉冲宽度	$t_{wep}$	70	—	ns	
WE 上升时间	$t_r$	—	30	ns	
WE 下降时间	$t_f$	—	30	ns	

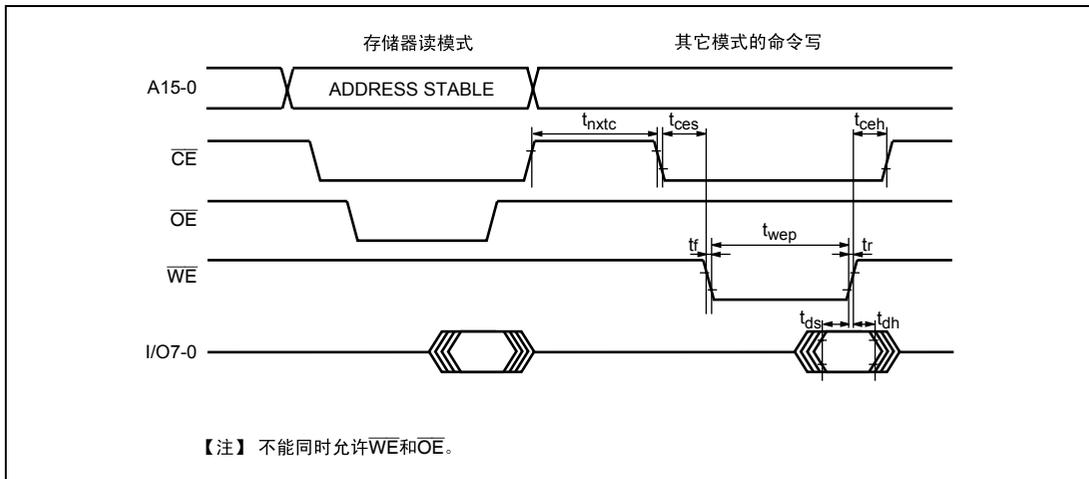


图 6.14 从存储器读模式转移到其它模式时的时序波形

表 6.14 存储器读时的 AC 特性

条件:  $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

项目	符号	MIN	MAX	单位	参照图
存取时间	$t_{acc}$	—	20	$\mu s$	图 6.15、图 6.16
$\overline{CE}$ 输出延迟时间	$t_{ce}$	—	150	ns	
$\overline{OE}$ 输出延迟时间	$t_{oe}$	—	150	ns	
输出禁止延迟时间	$t_{df}$	—	100	ns	
数据输出保持时间	$t_{oh}$	5	—	ns	

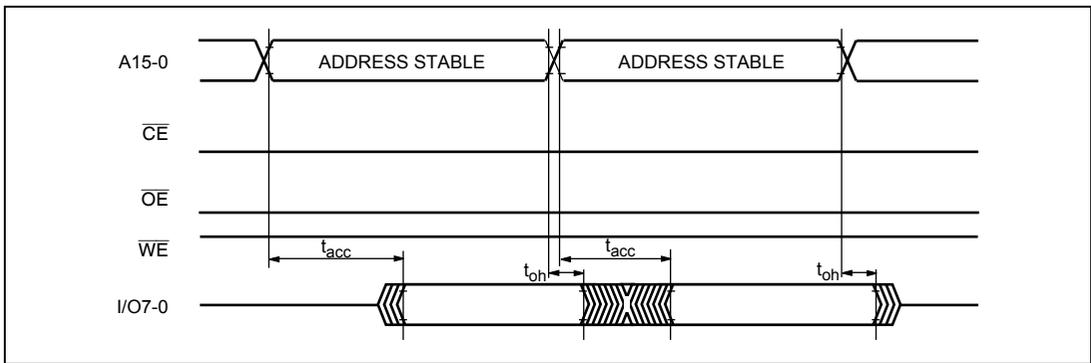


图 6.15  $\overline{CE}$ 、 $\overline{OE}$  允许状态读时的时序波形

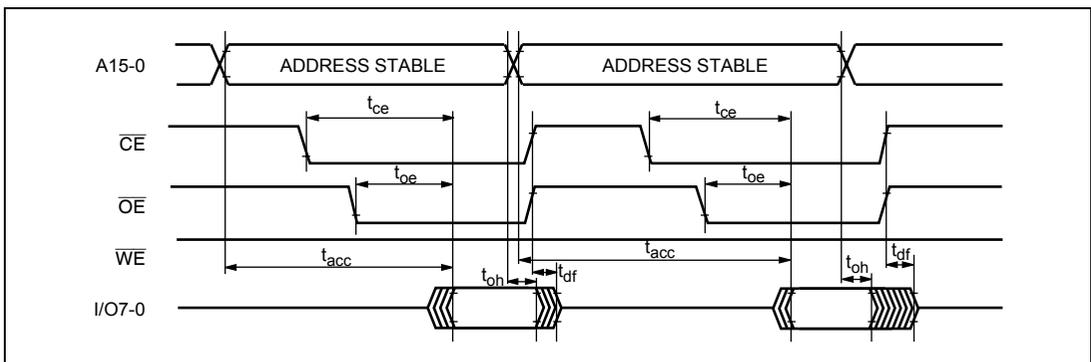


图 6.16  $\overline{CE}$ 、 $\overline{OE}$  时钟方式读时的时序波形

#### 6.10.4 自动编程

1. 对已编程的地址改写时，必须在自动擦除后自动编程。
2. 对同地址块，只能进行一次自动编程。对已编程的地址块不能追加编程。
3. 自动编程以128字节同时编程。将字节数据连续传送128次。即使少于128字节的编程也必须传送128字节的数据。不需写的地址必须传送数据H'FF。
4. 将传送地址的低7位置为低电平状态。在输入有效地址以外的情况下，虽然转移到存储器写运行，但变成写错误。
5. 在第2周期传送存储器地址（图6.17），不能在第3周期以后传送。
6. 不能在编程运行中进行命令写。
7. 对128字节单位的块，只能进行一次自动编程。已编程的地址块不能追加编程。
8. 通过检查I/O6管脚，确认自动编程是否正常结束。也能通过状态读来确认（I/O7管脚的状态查询是自动编程运行结束判定用管脚）。
9. I/O6和I/O7管脚的状态查询的信息被保持到写下一条命令为止。如果不进行写下一条命令，就可通过将CE和OE置成允许状态，进行读。
10. AC特性如表6.15所示。

表 6.15 自动编程时的 AC 特性

条件:  $V_{cc}=3.3V\pm 0.3V$ 、 $V_{ss}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

项目	符号	MIN	MAX	单位	参照图
命令写周期	tnxtc	20	—	$\mu s$	图 6.17
CE 保持时间	tceh	0	—	ns	
$\overline{CE}$ 准备时间	tces	0	—	ns	
数据保持时间	tdh	50	—	ns	
数据准备时间	tds	50	—	ns	
写脉冲宽度	twep	70	—	ns	
状态查询开始时间	twsts	1	—	ms	
状态查询存取时间	tspa	—	150	ns	
地址准备时间	tas	0	—	ns	
地址保持时间	tah	60	—	ns	
存储器写时间	twrite	1	3000	ms	
WE 上升时间	tr	—	30	ns	
WE 下降时间	tf	—	30	ns	

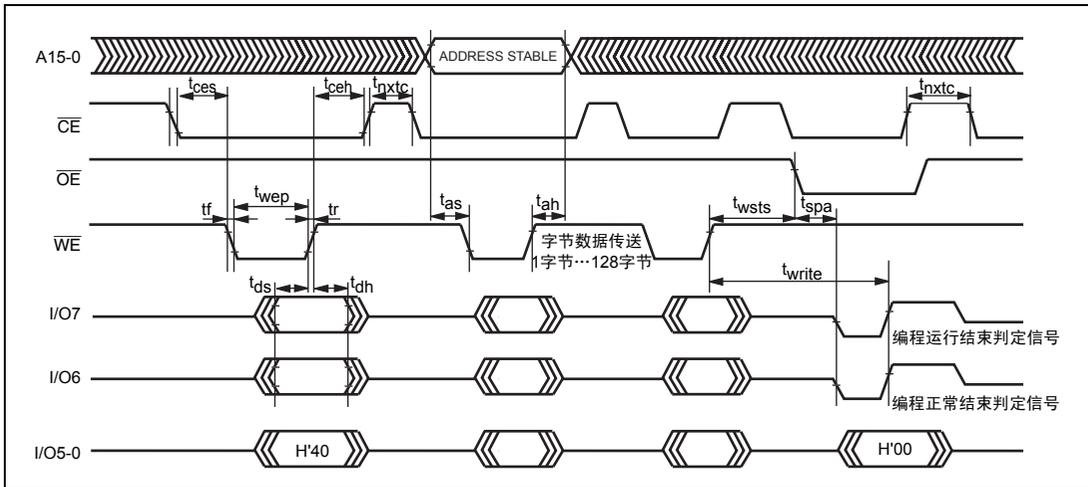


图 6.17 自动编程的时序波形

### 6.10.5 自动擦除

1. 自动擦除为擦除存储器的全部内容。
2. 在自动擦除中不能写命令。
3. 通过检查I/O6管脚，确认自动擦除是否正常结束。也能通过状态读来确认（I/O7管脚的状态查询是自动擦除运行结束判定用管脚）。
4. I/O6管脚和I/O7管脚的状态查询的信息被保持到写下一条命令为止。如果不进行写下一条命令，就可通过将 $\overline{CE}$ 和 $\overline{OE}$ 置成允许，进行读。
5. AC特性如表6.16所示。

表 6.16 自动擦除时的 AC 特性

条件:  $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

项目	符号	MIN	MAX	单位	参照图
命令写周期	tnxtc	20	—	$\mu s$	图 6.18
$\overline{CE}$ 保持时间	tceh	0	—	ns	
$\overline{CE}$ 准备时间	tces	0	—	ns	
数据保持时间	tdh	50	—	ns	
数据准备时间	tds	50	—	ns	
写脉冲宽度	twep	70	—	ns	
状态查询开始时间	tests	1	—	ms	
状态查询存取时间	tspa	—	150	ns	
存储器擦除时间	terase	100	40000	ms	
$\overline{WE}$ 上升时间	tr	—	30	ns	
$\overline{WE}$ 下降时间	tf	—	30	ns	

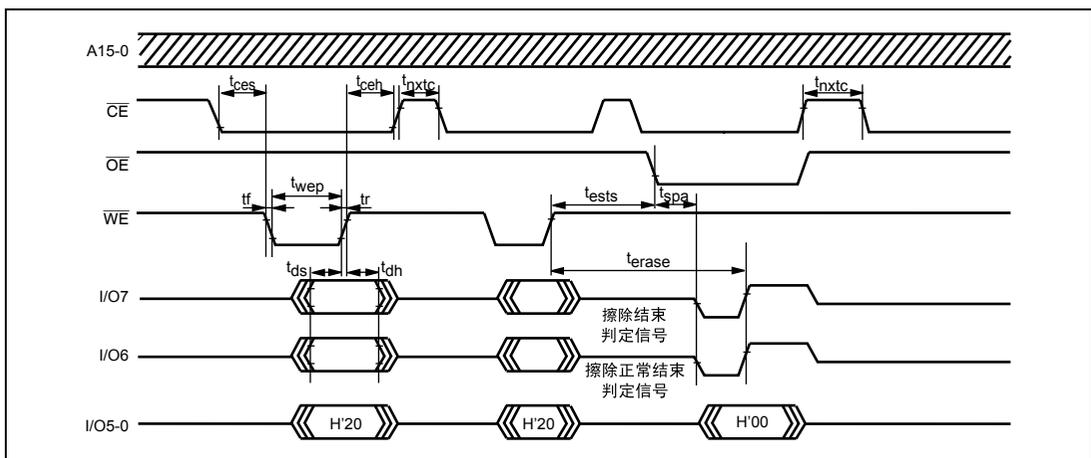


图 6.18 自动擦除的时序波形

### 6.10.6 状态读

1. 状态读用于判定异常结束的种类。请在自动编程/自动擦除发生异常结束的情况下使用。
2. 返回码被保持到进行状态读以外的命令写为止。
3. AC特性如表6.17所示，返回码如表6.18所示。

表 6.17 状态读时的 AC 特性

条件:  $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

项目	符号	MIN	MAX	单位	参照图
命令写周期	tnxtc	20	—	$\mu s$	图 6.19
$\overline{CE}$ 保持时间	tceh	0	—	ns	
$\overline{CE}$ 准备时间	tces	0	—	ns	
数据保持时间	tdh	50	—	ns	
数据准备时间	tds	50	—	ns	
写脉冲宽度	twep	70	—	ns	
$\overline{OE}$ 输出延迟时间	toe	—	150	ns	
禁止延迟时间	tdf	—	100	ns	
$\overline{CE}$ 输出延迟时间	tce	—	150	ns	
$\overline{WE}$ 上升时间	tr	—	30	ns	
$\overline{WE}$ 下降时间	tf	—	30	ns	

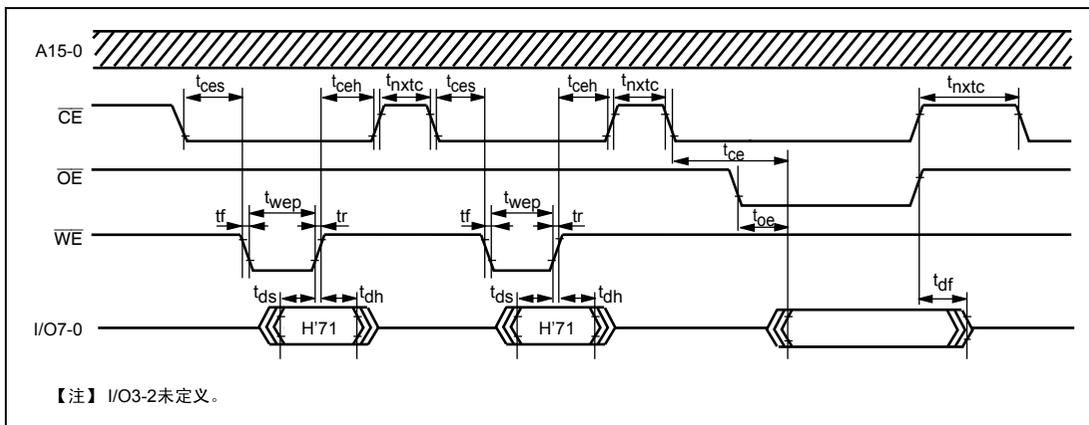


图 6.19 状态读的时序波形

表 6.18 状态读的返回码

管脚名	初始值	内 容
I/O7	0	1: 异常结束 0: 正常结束
I/O6	0	1: 命令错误 0: 其它
I/O5	0	1: 写错误 0: 其它
I/O4	0	1: 擦除错误 0: 其它
I/O3	0	未定义
I/O2	0	未定义
I/O1	0	1: 超过编程次数或者擦除次数 0: 其它
I/O0	0	1: 有效地址错误 0: 其它

### 6.10.7 状态查询

1. I/O7的状态查询标志表示在自动编程和自动擦除时的运行状态。
2. I/O6的状态查询标志表示在自动编程和自动擦除时的正常结束或者异常结束。

表 6.19 状态查询输出

I/O7	I/O6	I/O0~5	状态
0	0	0	正在内部运行中
1	0	0	异常结束
1	1	0	正常结束
0	1	0	—

### 6.10.8 编程器模式的转移时间

在振荡稳定时间内或者在编程器模式准备期间，不能接受命令。在编程器模式准备时间后，转移到存储器读。

表 6.20 到命令等待状态为止的转移时间规定

项目	符号	MIN	MAX	单位	参照图
振荡稳定时间（晶体谐振器）	tosc1	10	—	ms	图 6.20
振荡稳定时间（陶瓷谐振器）		5	—	ms	
编程器模式准备时间	tbmV	10	—	ms	
Vcc 保持时间	tdwn	0	—	ms	

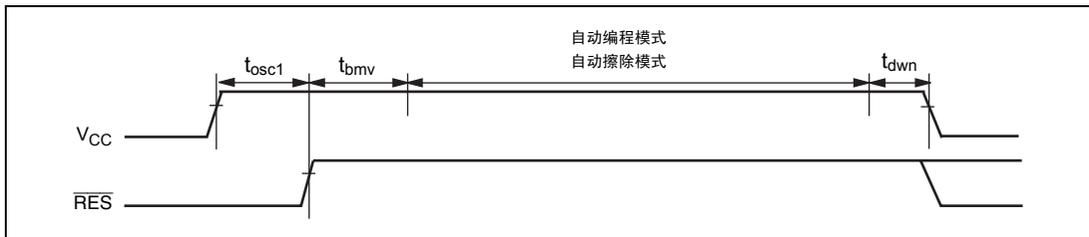


图 6.20 振荡稳定时间、编程器模式准备时间和 Vcc 保持时间的顺序

### 6.10.9 使用编程器模式时的注意事项

1. 在单板上编程模式中，对于已进行了编程/擦除的芯片，在用编程器模式改写的情况下，推荐在自动擦除后进行自动编程。
2. 瑞萨科技产品出货的初始状态是擦除状态。对除此以外的擦除履历不明的芯片，检查其是否为初始化（擦除）状态，如不为初始化状态，推荐实施自动擦除。

## 6.11 快速擦写存储器的低功耗运行

在用户模式，快速擦写存储器成为以下的一种状态：

- 通常运行状态  
可快速读取快速擦写存储器。
- 低功耗运行状态  
能停止快速擦写存储器的部分电源电路，在低功耗模式对其进行读操作。
- 待机状态  
停止快速擦写存储器的所有电路。

LSI 运行模式和快速擦写存储器状态的关系如表 6.21 所示。在子激活模式，通过 FLPWCR 的 PDWND 位能将快速擦写存储器设定为低功耗运行状态。快速擦写存储器从低功耗运行状态或者待机状态恢复到通常运行状态时，已停止的电源电路需要稳定时间。包括使用外部时钟的情况，必须设定 SYSCR1 的 STS2~STS0，使恢复通常运行模式时的待机时间保持在 20 $\mu$ s 以上。

表 6.21 快速擦写存储器的运行状态

LSI 的运行模式	快速擦写存储器的状态	
	PDWND=0 时 (初始值)	PDWND=1 时
激活模式	通常运行状态	通常运行状态
子激活模式	低功耗运行状态	通常运行状态
睡眠模式	通常运行状态	通常运行状态
子睡眠模式	待机状态	待机状态
待机模式	待机状态	待机状态
时钟模式	待机状态	待机状态



---

## 第 7 章 RAM

---

本产品群内置高速静态 RAM。RAM 以 16 位宽的数据总线与 CPU 连接，字节数据和字数据都是以 2 个状态进行存取。

产品类型	RAM 容量	RAM 地址	
快速擦写存储器版	H8/38004	1K 字节	H'FB80~H'FF7F
	H8/38002	1K 字节	H'FB80~H'FF7F
	H8/38104	1K 字节	H'FB80~H'FF7F
	H8/38102	1K 字节	H'FB80~H'FF7F
PROM 版	H8/3802	1K 字节	H'FB80~H'FF7F
掩模型 ROM 版	H8/3802	1K 字节	H'FB80~H'FF7F
	H8/3801	512 字节	H'FD80~H'FF7F
	H8/3800	512 字节	H'FD80~H'FF7F
	H8/38004	1K 字节	H'FB80~H'FF7F
	H8/38003	1K 字节	H'FB80~H'FF7F
	H8/38002	1K 字节	H'FB80~H'FF7F
	H8/38001	512 字节	H'FD80~H'FF7F
	H8/38000	512 字节	H'FD80~H'FF7F
	H8/38002S	512 字节	H'FD80~H'FF7F
	H8/38001S	512 字节	H'FD80~H'FF7F
	H8/38000S	512 字节	H'FD80~H'FF7F
	H8/38104	1K 字节	H'FB80~H'FF7F
	H8/38103	1K 字节	H'FB80~H'FF7F
	H8/38102	1K 字节	H'FB80~H'FF7F
	H8/38101	512 字节	H'FD80~H'FF7F
	H8/38100	512 字节	H'FD80~H'FF7F

## 7.1 框图

RAM 的框图如图 7.1 所示。

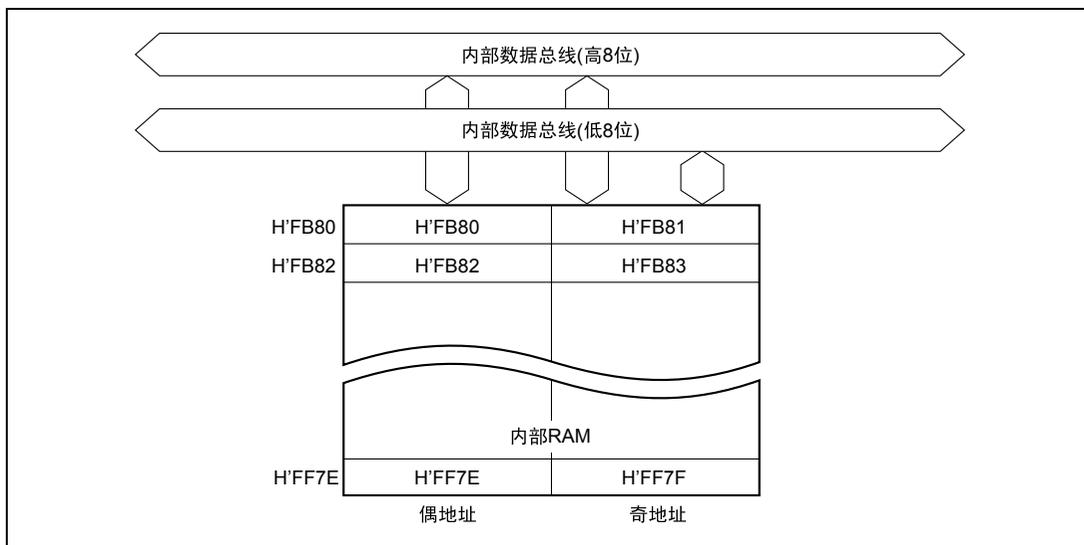


图 7.1 RAM 的框图 (H8/3802 的情况)

---

## 第 8 章 I/O 端口

---

本 LSI 具有 3 个 8 位输入/输出端口、1 个 7 位输入/输出端口、1 个 4 位输入/输出端口、1 个 3 位输入/输出端口、1 个 1 位输入/输出端口、1 个 4 位输入专用端口、1 个 1 位输入专用端口以及 1 个 6 位输出专用端口。

各端口由控制输入/输出的端口控制寄存器（PCR）和保存输出数据的端口数据寄存器（PDR）构成，能以位单位控制输入/输出。端口 5、6、7、8、A 和液晶显示用的段管脚、公共管脚兼用，能以 4 位为单位进行选择。

关于对 PCR 和 PDR 执行的位操作指令，请参照“2.9.4 位操作指令”。各端口的框图请参照“附录 B. I/O 端口框图”，各端口的功能一览表如表 8.1 所示。

表 8.1 端口的功能

端口	概要	管脚	兼用功能	功能切换控制寄存器
端口 3	<ul style="list-style-type: none"> <li>• 7 位输入/输出端口</li> <li>• 可选择输入上拉 MOS</li> <li>• 大电流端口*<sup>1</sup></li> </ul>	P37/AEVL P36/AEVH P35 P34 P33	异步事件计数器的事件输入管脚 AEVL、AEVH	PMR3
		P32/TMOFH P31/TMOFL	定时器 F 输出比较输出	PMR3
端口 4	<ul style="list-style-type: none"> <li>• 1 位输入专用端口</li> <li>• 3 位输入/输出端口</li> </ul>	P43/ $\overline{\text{IRQ0}}$	外部中断 0	PMR2
		P42/TXD32 P41/RXD32 P40/SCK32	SCI3 的数据输出 (TXD32)、 数据输入 (RXD32)、 时钟输入/输出 (SCK32)	SCR3 SMR
端口 5	<ul style="list-style-type: none"> <li>• 8 位输入/输出端口</li> <li>• 可选择输入上拉 MOS</li> </ul>	P57~P50/ $\overline{\text{WKP7}}\sim\overline{\text{WKP0}}/\text{SEG8}\sim\text{SEG1}$	唤醒输入 ( $\overline{\text{WKP7}}\sim\overline{\text{WKP0}}$ )、 段输出 (SEG8~SEG1)	PMR5 LPCR
端口 6	<ul style="list-style-type: none"> <li>• 8 位输入/输出端口</li> <li>• 可选择输入上拉 MOS</li> </ul>	P67~P60/ SEG16~SEG9	段输出 (SEG16~SEG9)	LPCR
端口 7	• 8 位输入/输出端口	P77~P70/ SEG24~SEG17	段输出 (SEG24~SEG17)	LPCR
端口 8	• 1 位输入/输出端口	P80/SEG25	段输出 (SEG25)	LPCR
端口 9	<ul style="list-style-type: none"> <li>• 6 位输出专用端口</li> <li>• 耐高压大电流端口*<sup>2</sup></li> </ul>	P95~P92 (P95、P92、 P93/Vref) * <sup>3</sup>	无 (LVD 基准电压外部输入管脚) * <sup>3</sup>	(LVDSR) * <sup>3</sup>
		P91、P90/ PWM2、PWM1	10 位 PWM 输出	PMR9
	• 耐高压输入端口* <sup>4</sup>	IRQAEC	无	
端口 A	• 4 位输入/输出端口	PA3~PA0/ COM4~COM1	公共输出 (COM4~COM1)	LPCR
端口 B	• 4 位输入专用端口	PB3/AN3/ $\overline{\text{IRQ1}}$	A/D 转换器的模拟输入 外部中断 1	AMR PMRB
		PB2/AN2	A/D 转换器的模拟输入	AMR
		PB1/AN1/(extU) * <sup>5</sup> PB0/AN0/(extD) * <sup>5</sup>	A/D 转换器的模拟输入 (LVD 检测电压外部输入管脚) * <sup>5</sup>	AMR (LVDCR) * <sup>5</sup>

【注】 \*<sup>1</sup> 适用于 H8/3802 群和 H8/38104 群。

\*<sup>2</sup> 仅适用于 H8/3802 群。H8/38004 群、H8/38002S 群和 H8/38104 群为标准耐压。

\*<sup>3</sup> 仅适用于 H8/38104 群。H8/38104 群没有 P94 管脚和功能。

\*<sup>4</sup> 仅适用于 H8/3802 群。H8/38004 群、H8/38002S 群和 H8/38104 群为输入端口。

\*<sup>5</sup> 仅适用于 H8/38104 群。

## 8.1 端口 3

端口 3 是与异步事件计数器输入管脚、定时器 F 输出管脚兼用的输入/输出端口。端口 3 的各管脚结构如图 8.1 所示。

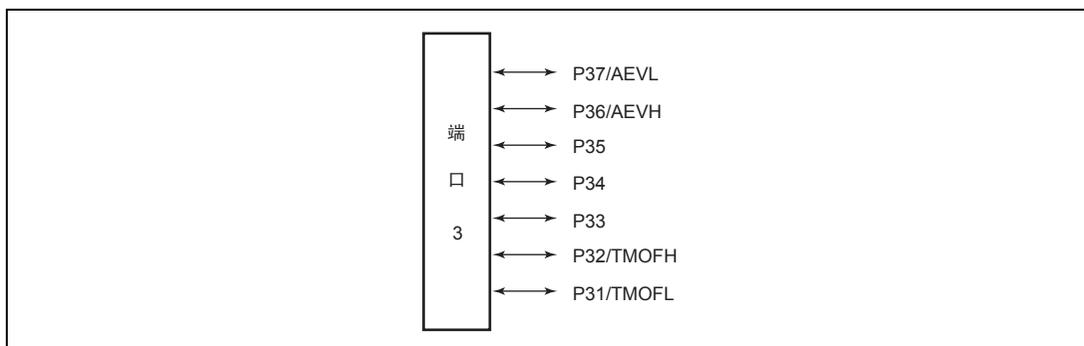


图 8.1 端口 3 的管脚结构

端口 3 有以下寄存器：

- 端口数据寄存器 3 (PDR3)
- 端口控制寄存器 3 (PCR3)
- 端口上拉控制寄存器 3 (PUCR3)
- 端口模式寄存器 3 (PMR3)
- 端口模式寄存器 2 (PMR2)

### 8.1.1 端口数据寄存器 3 (PDR3)

PDR3 是保存端口 3 数据的寄存器。

位	位名	初始值	R/W	说 明
7	P37	0	R/W	如果在 PCR3 为 1 时读端口 3，就直接读取 PDR3 的值。因此，不受管脚状态的影响。如果在 PCR3 为 0 时读端口 3，就读取管脚的状态。
6	P36	0	R/W	
5	P35	0	R/W	
4	P34	0	R/W	
3	P33	0	R/W	
2	P32	0	R/W	
1	P31	0	R/W	
0	—	—	—	保留位。

### 8.1.2 端口控制寄存器 3 (PCR3)

PCR3 按位控制端口 3 的输入/输出。

位	位名	初始值	R/W	说 明
7	PCR37	0	W	如果将 PCR3 置 1，对应的管脚就成为输出管脚，如果清 0，就成为输入管脚。在通过 PMR3 将有关管脚设定成通用输入/输出时，PCR3 和 PDR3 的设定有效。 本寄存器是只写寄存器，对于位 7~1，总是读出 1。
6	PCR36	0	W	
5	PCR35	0	W	
4	PCR34	0	W	
3	PCR33	0	W	
2	PCR32	0	W	
1	PCR31	0	W	
0	—	—	W	保留位。只能写 0。

### 8.1.3 端口上拉控制寄存器 3 (PUCR3)

PUCR3 按位控制端口 3 的上拉 MOS。

位	位名	初始值	R/W	说 明
7	PUCR37	0	R/W	如果在 PCR3 为 0 的状态下将 PUCR3 置 1，对应的上拉 MOS 就成为 ON 状态，如果清 0，就成为 OFF 状态。
6	PUCR36	0	R/W	
5	PUCR35	0	R/W	
4	PUCR34	0	R/W	
3	PUCR33	0	R/W	
2	PUCR32	0	R/W	
1	PUCR31	0	R/W	
0	—	—	W	保留位。只能写 0。

### 8.1.4 端口模式寄存器 3 (PMR3)

PMR3 切换端口 3 的各管脚功能。

位	位名	初始值	R/W	说 明
7	AEVL	0	R/W	P37/AEVL 管脚功能切换 设定 P37/AEVL 管脚是作为 P37 管脚使用还是作为 AEVL 管脚使用。 0: 作为 P37 输入/输出管脚功能 1: 作为 AEVL 输入管脚功能
6	AEVH	0	R/W	P36/AEVH 管脚功能切换 设定 P36/AEVH 管脚是作为 P36 管脚使用还是作为 AEVH 管脚使用。 0: 作为 P36 输入/输出管脚功能 1: 作为 AEVH 输入管脚功能
5~3	—	—	W	保留位。只能写 0。
2	TMOFH	0	R/W	P32/TMOFH 管脚功能切换 设定 P32/TMOFH 管脚是作为 P32 管脚使用是作为 TMOFH 管脚使用。 0: 作为 P32 输入/输出管脚功能 1: 作为 TMOFH 输出管脚功能
1	TMOFL	0	R/W	P31/TMOFL 管脚功能切换 设定 P31/TMOFL 管脚是作为 P31 管脚使用是作为 TMOFL 管脚使用。 0: 作为 P31 输入/输出管脚功能 1: 作为 TMOFL 输出管脚功能
0	—	—	W	保留位。只能写 0。

## 8.1.5 端口模式寄存器 2 (PMR2)

PMR2 控制 P35 管脚 PMOS 的 ON/OFF、切换 P43/ $\overline{\text{IRQ0}}$  管脚功能、选择监视定时器的时钟。

位	位名	初始值	R/W	说 明
7、6	—	1	—	保留位。总是读出 1，写无效。
5	POF1	0	R/W	P35 管脚 PMOS 控制 控制 P35 管脚输出缓冲的 PMOS 的 ON/OFF。 0: CMOS 输出 1: NMOS 漏极开路输出
4、3	—	1	—	保留位。总是读出 1，写无效。
2	WDCKS	0	R/W	监视定时器源时钟选择* 选择监视定时器的输入时钟。 但是，H8/38004 群、H8/38002S 群和 H8/38104 群不同，请注意。 H8/38004 和 H8/38002S 群 0: 选择 $\phi/8192$ 1: 选择 $\phi w/32$ H8/38104 群 0: 通过定时器模式寄存器 W (TMW) 的设定选择时钟 1: 选择 $\phi w/32$ 【注】H8/3802 群时，为保留位，只能写 0。
1	—	—	W	保留位。只能写 0。
0	IRQ0	0	R/W	P43/ $\overline{\text{IRQ0}}$ 管脚功能切换 设定 P43/ $\overline{\text{IRQ0}}$ 管脚是作为 P43 管脚使用还是作为 $\overline{\text{IRQ0}}$ 管脚使用。 0: 作为 P43 输入管脚功能 1: 作为 $\overline{\text{IRQ0}}$ 输入管脚功能

【注】 \* 详细内容请参照“9.5 监视定时器”。

### 8.1.6 管脚功能

表示端口 3 的管脚功能。

- P37/AEVL

通过 PMR3 的 AEVL 和 PCR3 和 PCR37 的组合进行以下的切换：

AEVL	0		1
PCR37	0	1	*
管脚功能	P37 输入管脚	P37 输出管脚	AEVL 输入管脚

【符号说明】\*：Don't care

- P36/AEVH

通过 PMR3 的 AEVH 和 PCR3 的 PCR36 的组合进行以下的切换：

AEVH	0		1
PCR36	0	1	*
管脚功能	P36 输入管脚	P36 输出管脚	AEVH 输入管脚

【符号说明】\*：Don't care

- P35~P33

通过 PCR3 的各位进行以下的切换：

(n=5~3)

PCR3n	0	1
管脚功能	P3n 输入管脚	P3n 输出管脚

- P32/TMOFH

通过 PMR3 的 TMOFH 和 PCR3 的 PCR32 的组合进行以下的切换：

TMOFH	0		1
PCR32	0	1	*
管脚功能	P32 输入管脚	P32 输出管脚	TMOFH 输出管脚

【符号说明】\*：Don't care

- P31/TMOFL

通过 PMR3 的 TMOFL 和 PCR3 的 PCR31 的组合进行以下的切换：

TMOFL	0		1
PCR31	0	1	*
管脚功能	P31 输入管脚	P31 输出管脚	TMOFL 输出管脚

【符号说明】\*：Don't care

### 8.1.7 输入上拉 MOS

端口 3 内置可由程序控制的输入上拉 MOS。如果在 PCR3 清 0 的状态下将 PUCR3 置 1，输入上拉 MOS 就变为 ON 状态。另外，输入上拉 MOS 在复位时变为 OFF 状态。

(n=7~1)

PCR3n	0		1
PUCR3n	0	1	*
输入上拉 MOS	OFF	ON	OFF

【符号说明】\*: Don't care

## 8.2 端口 4

端口 4 是与中断输入管脚、SCI3 输入/输出管脚兼用的输入/输出端口。端口 4 的各管脚结构如图 8.2 所示。

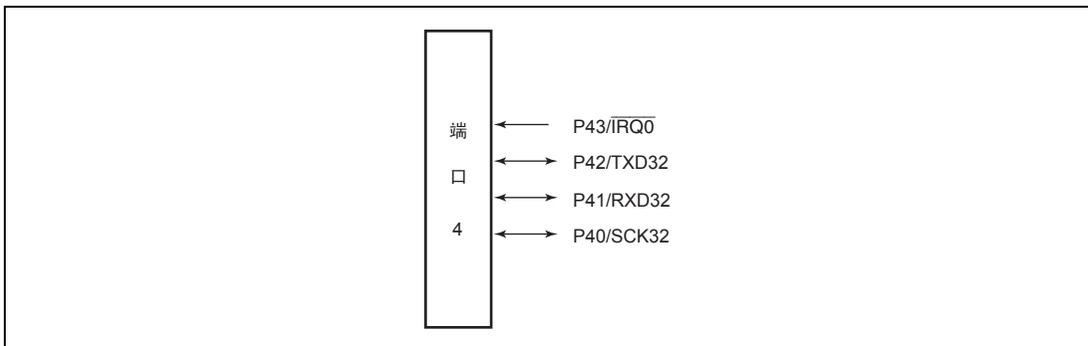


图 8.2 端口 4 的管脚结构

端口 4 有以下寄存器：

- 端口数据寄存器 4 (PDR4)
- 端口控制寄存器 4 (PCR4)
- 串行端口控制寄存器 (SPCR)

### 8.2.1 端口数据寄存器 4 (PDR4)

PDR4 是保存端口 4 数据的寄存器。

位	位名	初始值	R/W	说 明
7~4	—	1	—	保留位。总是读出 1。
3	P43	1	R	如果在 PCR4 为 1 时读端口 4，就直接读取 PDR4 的值。因此，不受管脚状态的影响。如果在 PCR4 为 0 时读端口 4，就读取管脚的状态。
2	P42	0	R/W	
1	P41	0	R/W	
0	P40	0	R/W	

### 8.2.2 端口控制寄存器 4 (PCR4)

PCR4 按位控制端口 4 的输入/输出。

位	位名	初始值	R/W	说 明
7~3	—	1	—	保留位。总是读出 1。
2	PCR42	0	W	如果将 PCR4 置 1，对应的 P42~P40 管脚就成为输出管脚，如果清 0，就成为输入管脚。在通过 PCR3 将有关管脚设定成通用输入/输出时，PCR4 和 PDR4 的设定有效。 本寄存器是只写寄存器，总是读出 1。
1	PCR41	0	W	
0	PCR40	0	W	

### 8.2.3 串行端口控制寄存器（SPCR）

SPCR 反转切换 RXD32 和 TXD32 管脚的输入/输出数据。其结构如图 8.3 所示。

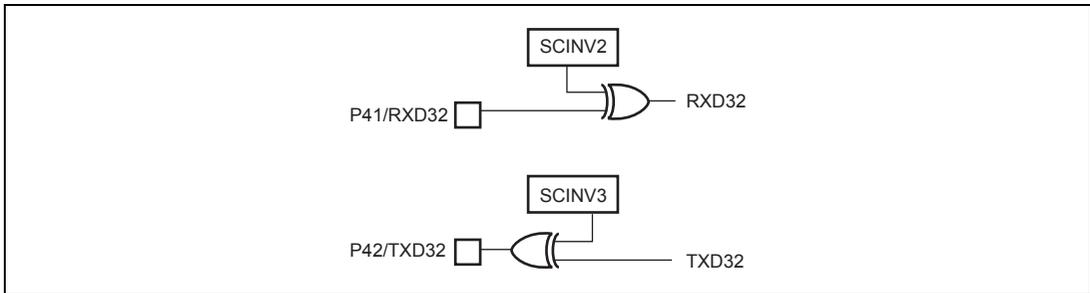


图 8.3 输入/输出数据的反转功能

位	位名	初始值	R/W	说 明
7、6	—	1	—	保留位。总是读出 1，写无效。
5	SPC32	0	R/W	P42/TXD32 管脚功能切换 设定 P42/TXD32 管脚是作为 P42 管脚使用还是作为 TXD32 管脚使用。 0: 作为 P42 输入/输出管脚功能 1: 作为 TXD32 输出管脚功能* 【注】 * 请在将本位设定成 1 后设定 SCR3 的 TE 位。
4	—	—	W	保留位。只能写 0。
3	SCINV3	0	R/W	TXD32 管脚输出数据反转切换 设定反转还是不反转 TXD32 管脚的输出数据的逻辑电平。 0: 不反转 TXD32 的输出数据 1: 反转 TXD32 的输出数据
2	SCINV2	0	R/W	RXD32 管脚输入数据反转切换 设定反转还是不反转 RXD32 管脚的输入数据的逻辑电平。 0: 不反转 RXD32 的输入数据 1: 反转 RXD32 的输入数据
1、0	—	—	W	保留位。只能写 0。

【注】 如果改写串行端口控制寄存器，现在为止被输入或者输出的数据在改写后立即被反转，非有效数据的变化被输入或者输出。在改写串行端口控制寄存器时必须在数据变化无效状态下进行。

## 8.2.4 管脚功能

表示端口 4 的管脚功能。

- P43/ $\overline{\text{IRQ0}}$

通过 PMR2 的 IRQ0 进行以下的切换：

IRQ0	0		1
管脚功能	P43 输入管脚		IRQ0 输入管脚

- P42/TXD32

通过 SCR3 的 TE、SPCR 的 SPC32 和 PCR4 的 PCR42 的组合进行以下的切换：

SPC32	0		1
TE	0		1
PCR42	0	1	*
管脚功能	P42 输入管脚	P42 输出管脚	TXD32 输出管脚

【符号说明】\*：Don't care

- P41/RXD32

通过 SCR3 的 RE 和 PCR4 的 PCR41 的组合进行以下的切换：

RE	0		1
PCR41	0	1	*
管脚功能	P41 输入管脚	P41 输出管脚	RXD32 输入管脚

【符号说明】\*：Don't care

- P40/SCK32

通过 SCR3 的 CKE1 和 CKE0、SMR 的 COM 以及 PCR4 的 PCR40 的组合进行以下的切换：

CKE1	0		1
CKE0	0		1
COM	0	1	*
PCR40	0	1	*
管脚功能	P40 输入管脚	P40 输出管脚	SCK32 输出管脚
			SCK32 输入管脚

【符号说明】\*：Don't care

## 8.3 端口 5

端口 5 是与唤醒中断输入管脚、LCD 段输出管脚兼用的输入/输出端口。端口 5 的各管脚结构如图 8.4 所示。

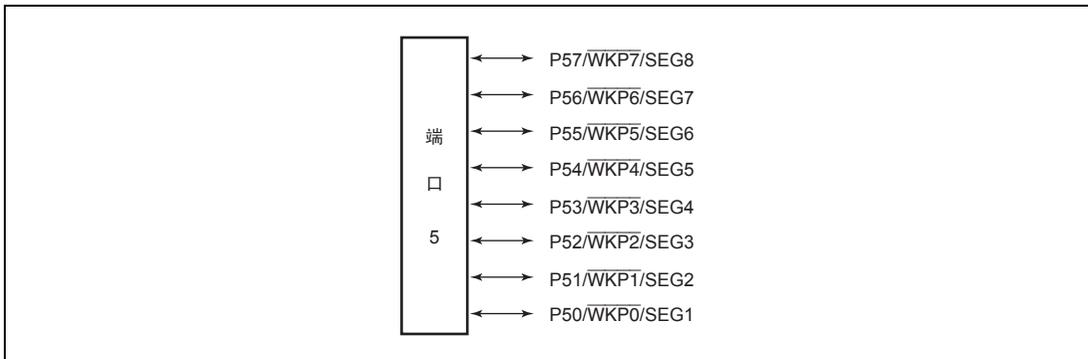


图 8.4 端口 5 的管脚结构

端口 5 有以下寄存器：

- 端口数据寄存器 5 (PDR5)
- 端口控制寄存器 5 (PCR5)
- 端口上拉控制寄存器 5 (PUCR5)
- 端口模式寄存器 5 (PMR5)

### 8.3.1 端口数据寄存器 5 (PDR5)

PDR5 是保存端口 5 数据的寄存器。

位	位名	初始值	R/W	说 明
7	P57	0	R/W	如果在 PCR5 为 1 时读端口 5，就直接读取 PDR5 的值。因此，不受管脚状态的影响。如果在 PCR5 为 0 时读端口 5，就读取管脚的状态。
6	P56	0	R/W	
5	P55	0	R/W	
4	P54	0	R/W	
3	P53	0	R/W	
2	P52	0	R/W	
1	P51	0	R/W	
0	P50	0	R/W	

### 8.3.2 端口控制寄存器 5 (PCR5)

PCR5 按位控制端口 5 的输入/输出。

位	位名	初始值	R/W	说 明
7	PCR57	0	W	如果将 PCR5 置 1，对应的 P57~P50 管脚就成为输出管脚，如果清 0，就成为输入管脚。在通过 PMR5 和 LPCR 的 SGS3~SGS0 将有关管脚设定成通用输入/输出时，PCR5 和 PDR5 的设定有效。 本寄存器是只写寄存器，总是读出 1。
6	PCR56	0	W	
5	PCR55	0	W	
4	PCR54	0	W	
3	PCR53	0	W	
2	PCR52	0	W	
1	PCR51	0	W	
0	PCR50	0	W	

### 8.3.3 端口上拉控制寄存器 5 (PUCR5)

PUCR5 按位控制端口 5 的上拉 MOS。

位	位名	初始值	R/W	说 明
7	PUCR57	0	R/W	如果在 PCR5 为 0 的状态下将 PUCR5 置 1，对应的上拉 MOS 就成为 ON 状态，如果清 0，就成为 OFF 状态。
6	PUCR56	0	R/W	
5	PUCR55	0	R/W	
4	PUCR54	0	R/W	
3	PUCR53	0	R/W	
2	PUCR52	0	R/W	
1	PUCR51	0	R/W	
0	PUCR50	0	R/W	

### 8.3.4 端口模式寄存器 5 (PMR5)

PMR5 切换端口 5 的管脚功能。

位	位名	初始值	R/W	说 明
7	WKP7	0	R/W	P5n/ $\overline{WKPn}$ /SEGn+1 管脚功能切换 在 P5n/ $\overline{WKPn}$ /SEGn+1 管脚不作为 SEGn+1 管脚使用时，设定是作为 P5n 管脚使用还是作为 $\overline{WKPn}$ 管脚使用。 0: 作为 P5n 输入/输出出力管脚功能 1: 作为 $\overline{WKPn}$ 输入管脚功能 (n=7~0)
6	WKP6	0	R/W	
5	WKP5	0	R/W	
4	WKP4	0	R/W	
3	WKP3	0	R/W	
2	WKP2	0	R/W	
1	WKP1	0	R/W	
0	WKP0	0	R/W	

【注】有关用作 SEGn+1 的详细内容请参照“13.3.1 LCD 端口控制寄存器 (LPCR)”。

### 8.3.5 管脚功能

表示端口 5 的管脚功能。

- P57/ $\overline{WKP7}/SEG8 \sim P54/\overline{WKP4}/SEG5$

通过 PMR5 的 WKP<sub>n</sub>、PCR5 的 PCR5<sub>n</sub> 和 LPCR 的 SGS3 $\sim$ SGS0 的组合进行以下的切换：  
(n=7 $\sim$ 4)

SGS3 $\sim$ SGS0	B'0010、B'0011、B'0100、B'0101、 B'0110、B'0111、B'1000、B'1001 以外			B'0010、B'0011、 B'0100、B'0101、 B'0110、B'0111、 B'1000、B'1001
WKP <sub>n</sub>	0	0	1	*
PCR5 <sub>n</sub>	0	1	*	*
管脚功能	P5n 输入管脚	P5n 输出管脚	WKP <sub>n</sub> 输入管脚	SEG <sub>n+1</sub> 输出管脚

【符号说明】\*: Don't care

- P53/ $\overline{WKP3}/SEG4 \sim P50/\overline{WKP0}/SEG1$

通过 PMR5 的 WKP<sub>m</sub>、PCR5 的 PCR5<sub>m</sub> 和 LPCR 的 SGS3 $\sim$ SGS0 的组合进行以下的切换：

(m=3 $\sim$ 0)

SGS3 $\sim$ SGS0	B'0001、B'0010、B'0011、B'0100、 B'0101、B'0110、B'0111、B'1000 以外			B'0001、B'0010、 B'0011、B'0100、 B'0101、B'0110、 B'0111、B'1000
WKP <sub>m</sub>	0	0	1	*
PCR5 <sub>m</sub>	0	1	*	*
管脚功能	P5m 输入管脚	P5m 输出管脚	WKP <sub>m</sub> 输入管脚	SEG <sub>m+1</sub> 输出管脚

【符号说明】\*: Don't care

### 8.3.6 输入上拉 MOS

端口 5 内置可由程序控制的输入上拉 MOS。如果在 PCR5 清 0 的状态下将 PUCR5 置 1，输入上拉 MOS 就变为 ON 状态。另外，输入上拉 MOS 在复位时变为 OFF 状态。

(n=7 $\sim$ 0)

PCR5 <sub>n</sub>	0		1
PUCR5 <sub>n</sub>	0	1	*
输入上拉 MOS	OFF	ON	OFF

【符号说明】\*: Don't care

## 8.4 端口 6

端口 6 是与 LCD 段输出管脚兼用的输入/输出端口。端口 6 的各管脚结构如图 8.5 所示。

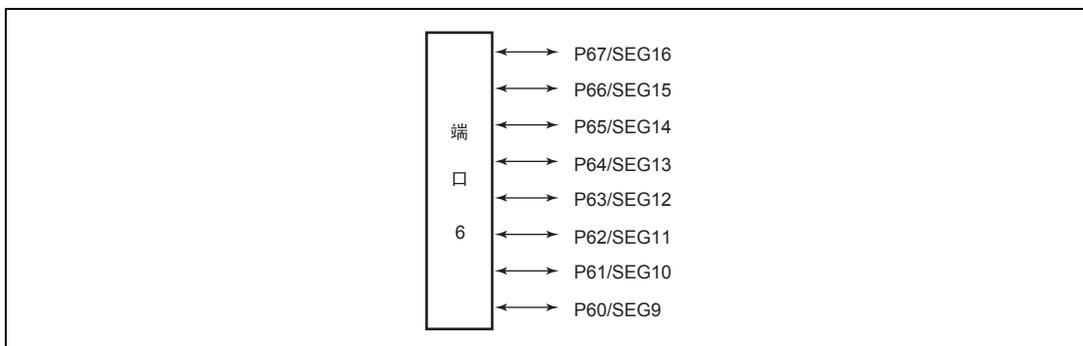


图 8.5 端口 6 的管脚结构

端口 6 有以下寄存器：

- 端口数据寄存器 6 (PDR6)
- 端口控制寄存器 6 (PCR6)
- 端口上拉控制寄存器 6 (PUCR6)

### 8.4.1 端口数据寄存器 6 (PDR6)

PDR6 是保存端口 6 数据的寄存器。

位	位名	初始值	R/W	说 明
7	P67	0	R/W	如果在 PCR6 为 1 时读端口 6，就直接读取 PDR6 的值。因此，不受管脚状态的影响。如果在 PCR6 为 0 时读端口 6，就读取管脚的状态。
6	P66	0	R/W	
5	P65	0	R/W	
4	P64	0	R/W	
3	P63	0	R/W	
2	P62	0	R/W	
1	P61	0	R/W	
0	P60	0	R/W	

### 8.4.2 端口控制寄存器 6 (PCR6)

PCR6 按位控制端口 6 的输入/输出。

位	位名	初始值	R/W	说 明
7	PCR67	0	W	如果将 PCR6 置 1，对应的 P67~P60 管脚就成为输出管脚，如果清 0，就成为输入管脚。在通过 LPCR 的 SGS3~SGS0 将有关管脚设定成通用输入/输出时，PCR6 和 PDR6 的设定有效。 本寄存器是只写寄存器，总是读出 1。
6	PCR66	0	W	
5	PCR65	0	W	
4	PCR64	0	W	
3	PCR63	0	W	
2	PCR62	0	W	
1	PCR61	0	W	
0	PCR60	0	W	

### 8.4.3 端口上拉控制寄存器 6 (PUCR6)

PUCR6 按位控制端口 6 的上拉 MOS。

位	位名	初始值	R/W	说 明
7	PUCR67	0	R/W	如果在 PCR6 为 0 的状态下将 PUCR6 置 1，对应的上拉 MOS 就成为 ON 状态，如果清 0，就成为 OFF 状态。
6	PUCR66	0	R/W	
5	PUCR65	0	R/W	
4	PUCR64	0	R/W	
3	PUCR63	0	R/W	
2	PUCR62	0	R/W	
1	PUCR61	0	R/W	
0	PUCR60	0	R/W	

### 8.4.4 管脚功能

表示端口 6 的管脚功能。

- P67/SEG16~P64/SEG13

通过 PCR6 的 PCR6n 和 LPCR 的 SGS3~SGS0 的组合进行以下的切换：

(n=7~4)

SGS3~SGS0	B'0100、B'0101、B'0110、B'0111、 B'1000、B'1001、B'1010、B'1011 以外		B'0100、B'0101、 B'0110、B'0111、 B'1000、B'1001、 B'1010、B'1011
PCR6n	0	1	*
管脚功能	P6n 输入管脚	P6n 输出管脚	SEGN+9 输出管脚

【符号说明】\*：Don't care

- P63/SEG12~P60/SEG9

通过 PCR6 的 PCR6m 和 LPCR 的 SGS3~SGS0 的组合进行以下的切换：

(m=3~0)

SGS3~SGS0	B'0011、B'0100、B'0101、B'0110、 B'0111、B'1000、B'1001、B'1010 以外		B'0011、B'0100、 B'0101、B'0110、 B'0111、B'1000、 B'1001、B'1010
PCR6m	0	1	*
管脚功能	P6m 输入管脚	P6m 输出管脚	SEGm+9 输出管脚

【符号说明】\*：Don't care

### 8.4.5 输入上拉 MOS

端口 6 内置可由程序控制的输入上拉 MOS。如果在 PCR6 清 0 的状态下将 PUCR6 置 1，输入上拉 MOS 就变为 ON 状态。另外，输入上拉 MOS 在复位时变为 OFF 状态。

(n=7~0)

PCR6n	0		1
PUCR6n	0	1	*
输入上拉 MOS	OFF	ON	OFF

【符号说明】\*：Don't care

## 8.5 端口 7

端口 7 是与 LCD 段输出管脚兼用的输入/输出端口。端口 7 的各管脚结构如图 8.6 所示。

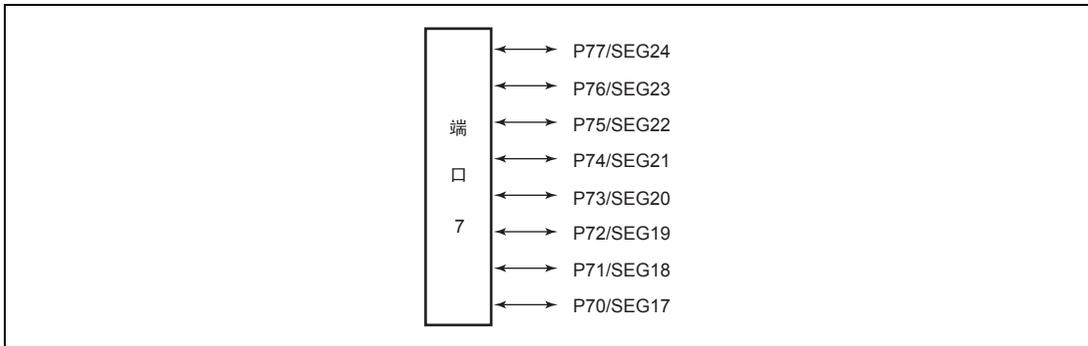


图 8.6 端口 7 的管脚结构

端口 7 有以下寄存器：

- 端口数据寄存器 7（PDR7）
- 端口控制寄存器 7（PCR7）

### 8.5.1 端口数据寄存器 7（PDR7）

PDR7 是保存端口 7 数据的寄存器。

位	位名	初始值	R/W	说 明
7	P77	0	R/W	如果在 PCR7 为 1 时读端口 7，就直接读取 PDR7 的值。因此，不受管脚状态的影响。如果在 PCR7 为 0 时读端口 7，就读取管脚的状态。
6	P76	0	R/W	
5	P75	0	R/W	
4	P74	0	R/W	
3	P73	0	R/W	
2	P72	0	R/W	
1	P71	0	R/W	
0	P70	0	R/W	

## 8.5.2 端口控制寄存器 7 (PCR7)

PCR7 按位控制端口 7 的输入/输出。

位	位名	初始值	R/W	说 明
7	PCR77	0	W	如果将 PCR7 置 1，对应的 P77~P70 管脚就成为输出管脚，如果清 0，就成为输入管脚。在通过 LPCR 的 SGS3~SGS0 将有关管脚设定成通用输入/输出时，PCR7 和 PDR7 的设定有效。 本寄存器是只写寄存器，总是读出 1。
6	PCR76	0	W	
5	PCR75	0	W	
4	PCR74	0	W	
3	PCR73	0	W	
2	PCR72	0	W	
1	PCR71	0	W	
0	PCR70	0	W	

## 8.5.3 管脚功能

表示端口 7 的管脚功能。

### • P77/SEG24~P74/SEG21

通过 PCR7 的 PCR7n 和 LPCR 的 SGS3~SGS0 的组合进行以下的切换：

(n=7~4)

SGS3~SGS0	B'0110、B'0111、B'1000、B'1001、 B'1010、B'1011、B'1100、B'1101 以外		B'0110、B'0111、 B'1000、B'1001、 B'1010、B'1011、 B'1100、B'1101
PCR7n	0	1	*
管脚功能	P7n 输入管脚	P7n 输出管脚	SEGN+17 输出管脚

【符号说明】\*: Don't care

### • P73/SEG20~P70/SEG17

通过 PCR7 的 PCR7m 和 LPCR 的 SGS3~SGS0 的组合进行以下的切换：

(m=3~0)

SGS3~SGS0	B'0101、B'0110、B'0111、B'1000、 B'1001、B'1010、B'1011、B'1100 以外		B'0101、B'0110、 B'0111、B'1000、 B'1001、B'1010、 B'1011、B'1100
PCR7m	0	1	*
管脚功能	P7m 输入管脚	P7m 输出管脚	SEGm+17 输出管脚

【符号说明】\*: Don't care

## 8.6 端口 8

端口 8 是与 LCD 段输出管脚兼用的输入/输出端口。端口 8 的各管脚结构如图 8.7 所示。

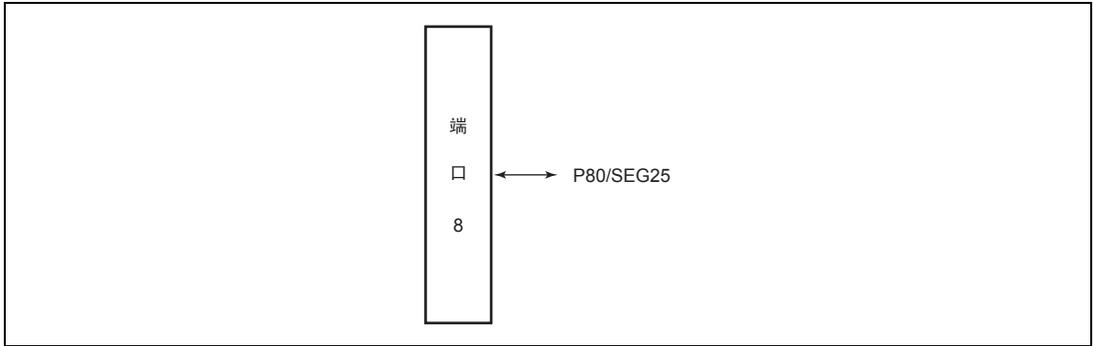


图 8.7 端口 8 的管脚结构

端口 8 有以下寄存器：

- 端口数据寄存器 8（PDR8）
- 端口控制寄存器 8（PCR8）

### 8.6.1 端口数据寄存器 8（PDR8）

PDR8 是保存端口 8 数据的寄存器。

位	位名	初始值	R/W	说 明
7~1	—	—	—	保留位。
0	P80	0	R/W	如果在 PCR8 为 1 时读端口 8，就直接读取 PDR8 的值。因此，不受管脚状态的影响。如果在 PCR8 为 0 时读端口 8，就读取管脚的状态。

## 8.6.2 端口控制寄存器 8 (PCR8)

PCR8 按位控制端口 8 的输入/输出。

位	位名	初始值	R/W	说 明
7~1	—	—	W	保留位。只能写 0。
0	PCR80	0	W	如果将 PCR8 置 1, 对应的 P80 管脚就成为输出管脚, 如果清 0, 就成为输入管脚。在通过 LPCR 的 SGS3~SGS0 将有关管脚设定成通用输入/输出时, PCR8 和 PDR8 的设定有效。 本寄存器是只写寄存器。

## 8.6.3 管脚功能

表示端口 8 的管脚功能。

### • P80/SEG25

通过 PCR8 的 PCR80 和 LPCR 的 SGS3~SGS0 的组合进行以下的切换:

SGS3~SGS0	B'0111、B'1000、B'1001、B'1010、 B'1011、B'1100、B'1101、B'1110 以外		B'0111、B'1000、 B'1001、B'1010、 B'1011、B'1100、 B'1101、B'1110
PCR80	0	1	*
管脚功能	P80 输入管脚	P80 输出管脚	SEG25 输出管脚

【符号说明】\*: Don't care

## 8.7 端口 9

端口 9 是与 PWM 输出管脚兼用的 NMOS 输出专用的大电流端口。端口 9 的各管脚结构如图 8.8 所示。

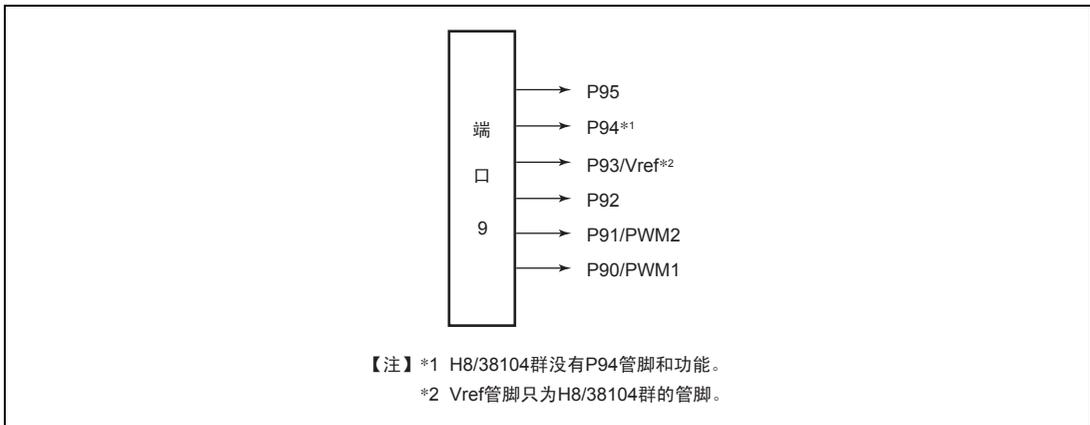


图 8.8 端口 9 的管脚结构

端口 9 有以下寄存器：

- 端口数据寄存器 9（PDR9）
- 端口模式寄存器 9（PMR9）

### 8.7.1 端口数据寄存器 9（PDR9）

PDR9 是保存端口 9 数据的寄存器。

位	位名	初始值	R/W	说 明
7、6	—	1	—	保留位。请不要改变初始值。
5	P95	1	R/W	如果读此寄存器，就总是直接读取 PDR9 的值。
4	P94*	1	R/W	
3	P93	1	R/W	
2	P92	1	R/W	
1	P91	1	R/W	
0	P90	1	R/W	

【注】\* H8/38104 群没有 P94 端子和功能，但是可进行寄存器的读写。

## 8.7.2 端口模式寄存器 9 (PMR9)

PMR9 切换 P90~P91 的管脚功能。

位	位名	初始值	R/W	说 明
7~4	—	1	—	保留位。请不要改变初始值。
3	PIOFF	0	R/W	P92~P90 升压电路控制 控制 P92~P90 的升压电路的 ON / OFF。 0: 将大电流端口的升压电路置成 ON 1: 将大电流端口的升压电路置成 OFF 【注】此位仅在 H8/3802 群时有效。在 H8/3802 群以外的情况下为可读写的保留位。
2	—	—	W	保留位。只能写 0。
1 0	PWM2 PWM1	0 0	R/W R/W	P9n/PWM 管脚功能切换 设定 P9n/PWMn+1 管脚是作为 P9n 管脚使用还是作为 PWMn+1 使用。(n=1、0) 0: 作为 P9n 输出管脚功能 1: 作为 PWMn+1 输出管脚功能

【注】在让升压电路 ON/OFF 时，必须在缓冲器的 NMOS 为 OFF（端口数据为 1）的状态下改写寄存器。

另外，在让升压电路 ON 时，必须先将 PIOFF 清 0，然后在经过 30 个系统时钟后将缓冲器的 NMOS 置成 ON（将端口数据置 0）。

如果不经过 30 个系统时钟，升压电路就不启动，导致大电流不能流过，工作不稳定。

## 8.7.3 管脚功能

表示端口 9 的管脚功能。

- P91/PWMn+1~P90/PWMn+1

(n=1、0)

PMR9n	0	1
管脚功能	P9n 输出管脚	PWMn+1 输出管脚

- P93/Vref

通过 LVDSR 的 VREFSEL 进行以下的切换。但是，仅适用于 H8/38104 群。

Vref 管脚为 LVD 的外部基准电压输入管脚。

VREFSEL	0	1
管脚功能	P93 输出管脚	Vref 输入管脚

## 8.8 端口 A

端口 A 是与 LCD 公共输出管脚兼用的输入/输出端口。端口 A 的各管脚结构如图 8.9 所示。

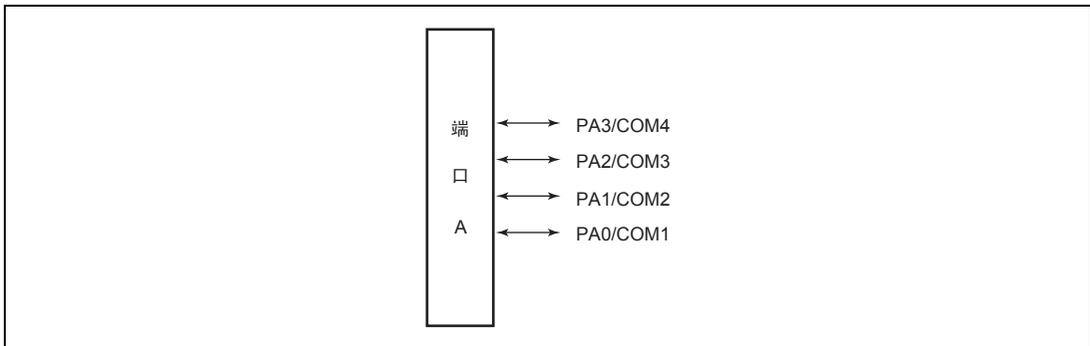


图 8.9 端口 A 的管脚结构

端口 A 有以下寄存器：

- 端口数据寄存器 A (PDRA)
- 端口控制寄存器 A (PCRA)

### 8.8.1 端口数据寄存器 A (PDRA)

PDRA 是保存端口 A 数据的寄存器。

位	位名	初始值	R/W	说 明
7~4	—	1	—	保留位。请不要改变初始值。
3	PA3	0	R/W	如果在 PCRA 为 1 时读端口 A，就直接读取 PDRA 的值。因此，不受管脚状态的影响。如果在 PCRA 为 0 时读端口 A，就读取管脚的状态。
2	PA2	0	R/W	
1	PA1	0	R/W	
0	PA0	0	R/W	

## 8.8.2 端口控制寄存器 A (PCRA)

PCRA 按位控制端口 A 的输入/输出。

位	位名	初始值	R/W	说 明
7~4	—	1	—	保留位。请不要改变初始值。
3	PCRA3	0	W	如果将 PCRA 置 1, 对应的 PA3~PA0 管脚就成为输出管脚, 如果清 0, 就成为输入管脚。在通过 LPCR 将有关管脚设定成通用输入/输出时, PCRA 和 PDRA 的设定有效。 本寄存器是只写寄存器, 总是读出 1。
2	PCRA2	0	W	
1	PCRA1	0	W	
0	PCRA0	0	W	

## 8.8.3 管脚功能

表示端口 A 的管脚功能。

### • PA3/COM4

通过 PCRA 的 PCRA3 和 SGS3~SGS0 的组合进行以下的切换:

SGS3~SGS0	B'0000	B'0000	B'0000 以外
PCRA3	0	1	*
管脚功能	PA3 输入管脚	PA3 输出管脚	COM4 输出管脚

【符号说明】\*: Don't care

### • PA2/COM3

通过 PCRA 的 PCRA2 和 SGS3~SGS0 的组合进行以下的切换:

SGS3~SGS0	B'0000	B'0000	B'0000 以外
PCRA2	0	1	*
管脚功能	PA2 输入管脚	PA2 输出管脚	COM3 输出管脚

【符号说明】\*: Don't care

### • PA1/COM2

通过 PCRA 的 PCRA1 和 SGS3~SGS0 的组合进行以下的切换:

SGS3~SGS0	B'0000	B'0000	B'0000 以外
PCRA1	0	1	*
管脚功能	PA1 输入管脚	PA1 输出管脚	COM2 输出管脚

【符号说明】\*: Don't care

• PA0/COM1

通过 PCRA 的 PCRA0 和 SGS3 ~ SGS0 的组合进行以下的切换:

SGS3~SGS0	B'0000	B'0000	B'0000 以外
PCRA0	0	1	*
管脚功能	PA0 输入管脚	PA0 输出管脚	COM1 输出管脚

【符号说明】\*: Don't care

## 8.9 端口 B

端口 B 是与中断输入管脚、模拟输入管脚兼用的输入专用端口。端口 B 的各管脚结构如图 8.10 所示。

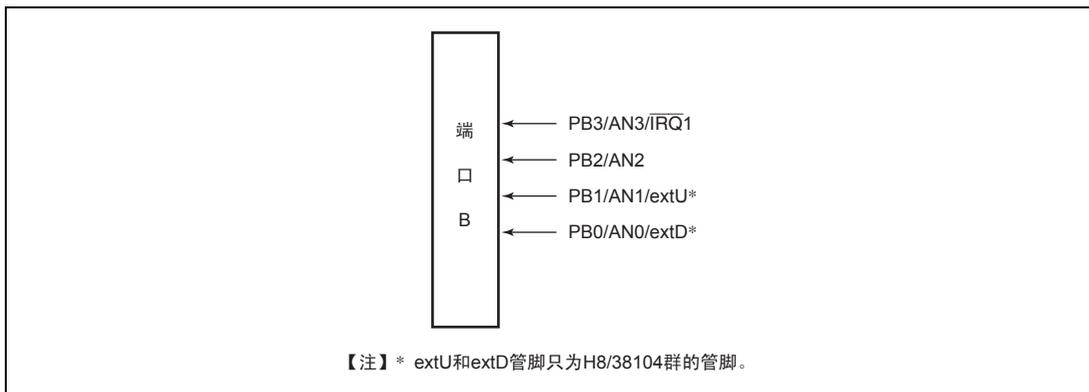


图 8.10 端口 B 的管脚结构

端口 B 有以下寄存器:

- 端口数据寄存器 B (PDRB)
- 端口模式寄存器 B (PMRB)

### 8.9.1 端口数据寄存器 B (PDRB)

PDRB 是保存端口 B 数据的寄存器。

位	位名	初始值	R/W	说 明
7~4	—	不定	—	保留位。
3	PB3	不定	R	如果读 PDRB, 就总是读出各管脚的状态。但是, 如果读取由 A/D 转换器的 AMR 的 CH3~CH0 选择的模拟输入通道的管脚, 就和输入电压无关而读出 0。
2	PB2		R	
1	PB1		R	
0	PB0		R	

## 8.9.2 端口模式寄存器 B (PMRB)

PMRB 切换 PB3 的管脚功能。

位	位名	初始值	R/W	说 明
7~4	—	1	—	保留位。总是读出 1，写无效。
3	IRQ1	0	R/W	PB3/AN3/ $\overline{\text{IRQ1}}$ 管脚功能切换 设定 PB3/AN3/ $\overline{\text{IRQ1}}$ 管脚是作为 PB3/AN3 管脚使用还是作为 $\overline{\text{IRQ1}}$ 管脚使用。 0: 作为 PB3/AN3 输入管脚功能 1: 作为 $\overline{\text{IRQ1}}$ 输入管脚功能
2~0	—	1	—	保留位。总是读出 1，写无效。

## 8.9.3 管脚功能

表示端口 B 的管脚功能。

### • PB3/AN3/ $\overline{\text{IRQ1}}$

通过 AMR 的 CH3 ~ CH0 和 PMRB 的 IRQ1 的组合进行以下的切换：

IRQ1	0		1
CH3~CH0	B'0111 以外	B'0111	*
管脚功能	PB3 输入管脚	AN3 输入管脚	$\overline{\text{IRQ1}}$ 输入管脚

【符号说明】\*: Don't care

### • PB2/AN2

通过 AMR 的 CH3 ~ CH0 进行以下的切换：

CH3~CH0	B'0110 以外	B'0110
管脚功能	PB2 输入管脚	AN2 输入管脚

### • PB1/AN1/extU

通过 AMR 的 CH3 ~ CH0 和 LVDCR 的 VINTUSEL 的组合进行以下的切换。

但是，extU 管脚和 VINTUSEL 只限于 H8/38104 群。

VINTUSEL	0		1
CH3~CH0	B'0101 以外	B'0101	*
管脚功能	PB1 输入管脚	AN1 输入管脚	extU 输入管脚

【符号说明】\*: Don't care

- PB0/AN0/extD

通过 AMR 的 CH3 ~ CH0 和 LVDCCR 的 VINTDSEL 的组合进行以下的切换。

但是，extD 管脚和 VINTDSEL 只限于 H8/38104 群。

VINTDSEL	0		1
CH3~CH0	B'0100 以外	B'0100	*
管脚功能	PB0 输入管脚	AN0 输入管脚	extD 输入管脚

【符号说明】\*: Don't care

## 8.10 使用时的注意事项

### 8.10.1 未使用管脚的处理

在由用户系统未使用的输入/输出管脚为浮动状态的情况下，必须将处于浮动状态的管脚上拉或者下拉。

- 将未使用管脚设定为输入时，必须进行下列的某一项设定：
  1. 通过内部上拉MOS将管脚上拉到Vcc
  2. 通过在外部附加100kΩ左右的电阻将管脚上拉到Vcc
  3. 通过在外部附加100kΩ左右的电阻将管脚下拉到Vss
  4. 将和A/D转换器兼用的管脚上拉到AVcc
- 将未使用管脚设定为输出时，必须进行下列的某一项设定：
  1. 将未使用的管脚设为高电平输出，并通过内部上拉MOS将管脚上拉到Vcc
  2. 将未使用的管脚设为高电平输出，并通过在外部附加100kΩ左右的电阻将管脚上拉到Vcc
  3. 将未使用的管脚设为低电平输出，并通过在外部附加100kΩ左右的电阻将管脚下拉到GND

## 第 9 章 定时器

### 9.1 概要

H8/3802 群内置 3 个定时器（定时器 A、F、异步事件计数器），H8/38004 群、H8/38002S 群和 H8/38104 群内置 4 个定时器（定时器 A、F、异步事件计数器、监视定时器）。

各定时器的功能概要如表 9.1 所示。

表 9.1 定时器的功能概要

定时器名称	功能	内部时钟	事件输入管脚	波形输出管脚	备考
定时器 A	<ul style="list-style-type: none"> <li>8 位定时器</li> <li>间隔功能</li> </ul>	$\phi/8 \sim \phi/8192$ (8 种)	—	—	
	<ul style="list-style-type: none"> <li>时钟时基功能</li> </ul>	$\phi_w/128$ (溢出周期可选择 4 种)			
定时器 F	<ul style="list-style-type: none"> <li>16 位定时器</li> <li>可用作 2 个独立的 8 位定时器</li> <li>输出比较的输出功能</li> </ul>	$\phi/4 \sim \phi/32$ 、 $\phi_w/4$ (4 种)	—	TMOFL TMOFH	
异步事件计数器	<ul style="list-style-type: none"> <li>16 位计数器</li> <li>可用作 2 个独立的 8 位定时器</li> <li>和 <math>\phi</math>、<math>\phi_w</math> 异步事件功能</li> <li>和单片机的内部时钟无关，能计数异步事件（上升/下降/两边沿）</li> </ul>	$\phi/2 \sim \phi/8$ (3 种)	AEVL AEVH IRQAEC	—	
监视定时器*	<ul style="list-style-type: none"> <li>通过 8 位计数器的溢出产生复位信号</li> </ul>	$\phi/8192$ $\phi_w/32$	—	—	H8/38004 和 H8/38002S 群
		$\phi/64 \sim \phi/8192$ $\phi_w/32$ 内部振荡器			H8/38104 群

【注】 \* H8/38004、H8/38002S 群和 H8/38104 群的监视定时器的功能不同。详细内容请参照“9.5 监视定时器”。

## 9.2 定时器 A

定时器 A 是内置间隔定时器/时钟时基功能的 8 位定时器。如果连接 32.768kHz 的晶体振荡器，就可以作为时钟时基使用。其框图如图 9.1 所示。

### 9.2.1 特点

- 定时器A可作为间隔定时器或者时钟时基设定
- 由计数器的溢出产生中断
- 通过模块待机模式，能在未使用时以单模块设定待机模式  
(详细内容请参照“5.4 模块待机功能”)

#### 间隔定时器

- 可选择8种内部时钟 ( $\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$ )

#### 时钟时基

- 可选择4种溢出周期 (1s、0.5s、0.25s、31.25ms) (使用32.768kHz的晶体振荡器时)

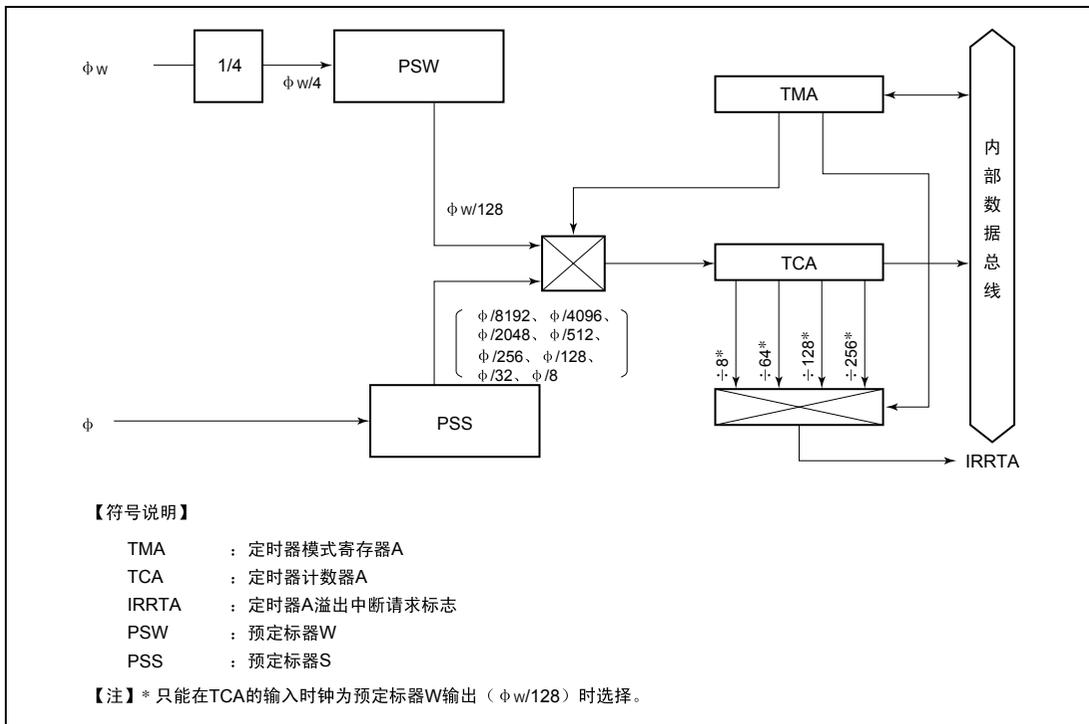


图 9.1 定时器 A 框图

## 9.2.2 寄存器说明

定时器 A 有以下寄存器：

- 定时器模式寄存器 A (TMA)
- 定时器计数器 A (TCA)

### (1) 定时器模式寄存器 A (TMA)

TMA 选择运行模式以及选择输出分频时钟和输入时钟。

位	位名	初始值	R/W	说 明
7	—	—	W	保留位。只能写 0。
6	—	—	W	
5	—	—	W	
4	—	1	—	保留位。总是读出 1。
3	TMA3	0	R/W	内部时钟选择 3 选择定时器 A 的运行模式。 0: 作为对预定标器 S 的输出进行计数的间隔定时器运行。 1: 作为对预定标器 W 的输出进行计数的时钟时基运行。
2	TMA2	0	R/W	内部时钟选择 2~0 TMA3=0 时, 选择输入给 TCA 的时钟。 000: $\phi/8192$ 001: $\phi/4096$ 010: $\phi/2048$ 011: $\phi/512$ 100: $\phi/256$ 101: $\phi/128$ 110: $\phi/32$ 111: $\phi/8$ TMA3=1 时, 选择溢出周期。 (作为 $\phi_w$ , 使用 32.768kHz 的晶体振荡器时) 000: 1s 001: 0.5s 010: 0.25s 011: 0.03125s 1XX: PSW 和 TCA 一起成为复位状态。
1	TMA1	0	R/W	
0	TMA0	0	R/W	

【符号说明】 X: Don't care

### (2) 定时器计数器 A (TCA)

TCA 为 8 位可读增量计数器，通过输入内部时钟进行累加计数。通过 TMA 的 TMA3~TMA0 选择输入时钟。在激活模式时，能从 CPU 读取 TCA 的值，但是在子激活模式时不能读 TCA。如果 TCA 溢出，中断请求寄存器 1 (IRR1) 的 IRRTA 就被置 1。可通过将 TMA 的 TMA3 和 TMA2 置成 B'11 来清除 TCA。TCA 的初始值为 H'00。

## 9.2.3 运行说明

### (1) 间隔运行

如果将 TMA 的 TMA3 置 0，定时器 A 就作为 8 位间隔定时器运行。

在复位时，由于 TCA 被清 H'00 且 TMA3 被清 0，因此在复位后立即作为间隔定时器，继续累加计数而不停止运行。定时器 A 的运行时钟可通过 TMA 的 TMA2~TMA0 选择预定标器 S 输出的 8 种内部时钟。

如果在 TCA 的计数器值变为 H'FF 后输入时钟，定时器 A 就溢出，并且 IRR1 的 IRRTA 被置 1，此时如果中断允许寄存器 1 (IENR1) 的 IENTA 为 1，就向 CPU 请求中断。如果溢出，TCA 的计数值就返回 H'00，重新开始累加计数。因此，每输入 256 个时钟，TCA 就作为发生溢出输出的间隔定时器运行。

### (2) 时钟用时基运行

如果将 TMA 的 TMA3 置 1，定时器 A 就对预定标器 W 的输出时钟进行计数，作为时钟时基运行。定时器 A 的溢出周期可通过 TMA 的 TMA1 和 TMA0 选择 4 种溢出周期。在时钟时基运行时 (TMA3=1)，如果将 TMA2 置 1，TCA 和预定标器 W 就都被清为 H'00。

## 9.2.4 定时器 A 的运行模式

定时器 A 的运行模式如表 9.2 所示。

表 9.2 定时器 A 的运行模式

运行模式		复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
TCA	间隔	复位	运行	运行	停止	停止	停止	停止	停止
	时钟时基	复位	运行*	运行*	运行	运行	运行	停止	停止
TMA		复位	运行	保持	保持	运行	保持	保持	保持

【注】\* 在激活模式或者睡眠模式时，如果选择时钟时基功能作为 TCA 的内部时钟，由于系统时钟和内部时钟不同步，因此用同步电路取得同步。结果计数周期会产生最大  $1/\phi$  (s) 的误差。

## 9.3 定时器 F

定时器 F 是内置输出比较功能的 16 位定时器。能通过比较匹配信号进行计数器的复位、中断请求、交替输出等作为多功能定时器进行各种应用。另外，也可作为 2 个独立的 8 位计数器（定时器 FH、定时器 FL）使用。定时器 F 的框图如图 9.2 所示。

### 9.3.1 特点

- 计数输入时钟：4种  
可选择4种内部时钟（ $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi_w/4$ ）。
- 交替输出功能  
通过1个比较匹配信号，向TMOFH管脚（TMOFL管脚）交替输出。  
可设定交替输出的初始值。
- 通过比较匹配信号进行计数器复位
- 中断源  
比较匹配 $\times 1$ 个中断源、溢出 $\times 1$ 个中断源
- 能通过TCRF的CKSH2~CKSH0位选择16位模式和8位模式
- 可在时钟模式、子激活模式、子睡眠模式运行  
作为内部时钟，如果选择 $\phi_w/4$ ，就能在时钟模式、子激活模式和子睡眠模式运行。
- 通过模块待机模式，能在未使用时以单模块设定待机模式（详细内容请参照“5.4 模块待机功能”）

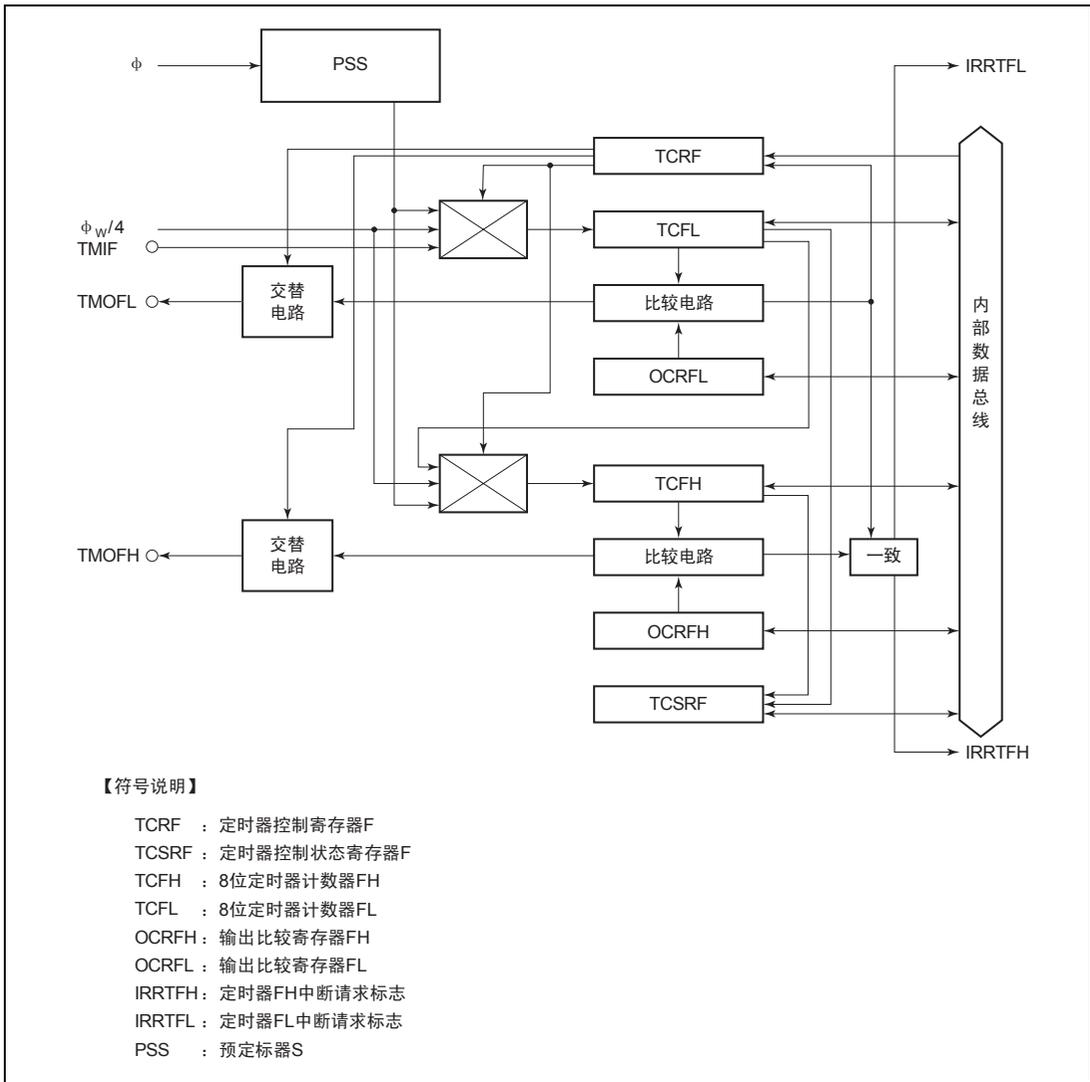


图 9.2 定时器 F 的框图

### 9.3.2 输入/输出管脚

定时器 F 的管脚构成如表 9.3 所示。

表 9.3 管脚构成

名称	略称	输入/输出	功能
定时器 FH 输出	TMOFH	输出	定时器 FH 交替输出管脚
定时器 FL 输出	TMOFL	输出	定时器 FL 交替输出管脚

### 9.3.3 寄存器说明

定时器 F 有以下的寄存器：

- 定时器计数器 FH、FL (TCFH、TCFL)
- 输出比较寄存器 FH、FL (OCR FH、OCR FL)
- 定时器控制寄存器 F (TCRF)
- 定时器控制状态寄存器 F (TCSR F)

#### (1) 定时器计数器 FH、FL (TCFH、TCFL)

TCF 为 16 位可读写增量计数器，由 8 位定时器计数器 (TCFH、TCFL) 的串联构成。除了可将高 8 位作为 TCFH、低 8 位作为 TCFL 的 16 位计数器使用之外，还可以将 TCFH 和 TCFL 作为 2 个独立的 8 位计数器使用。

虽然可从 CPU 读写 TCFH 和 TCFL，但是在 16 位模式使用时，通过暂存器 (TEMP) 进行和 CPU 之间的数据传送。关于 TEMP 的详细内容，请参照“9.3.4 和 CPU 的接口”。在复位时，TCFH 和 TCFL 都被初始化成 H'00。

#### • 16 位模式 (TCF)

如果将 TCRF 的 CKSH2 设定成 0, TCF 就作为 16 位计数器运行。通过 TCRF 的 CKSL2~CKSL0 选择 TCF 的输入时钟。

在比较匹配时，能通过 TCSR F 的 CCLR H 清除 TCF。

如果 TCF 溢出 (H'FFFF→H'0000), TCSR F 的 OV FH 就被置 1。此时如果 TCSR F 的 OV IEH 为 1，就将 IRR2 的 IRR TFH 置 1，并且如果 IENR2 的 IEN TFH 为 1，就向 CPU 请求中断。

#### • 8 位模式 (TCFL/TCFH)

如果将 TCRF 的 CKSH2 设定成 1, TCFH 和 TCFL 就作为 2 个独立的 8 位计数器运行。通过 TCRF 的 CKSH2~CKSH0 (CKSL2~CKSL0) 选择 TCFH (TCFL) 的输入时钟。

在比较匹配时，能通过 TCSR F 的 CCLR H (CCLR L) 清除 TCFH (TCFL)。

如果 TCFH (TCFL) 溢出 (H'FF→H'00)，TCSR F 的 OV FH (OV FL) 就被置 1。此时如果 TCSR F 的 OV IEH (OV IEL) 为 1，就将 IRR2 的 IRR TFH (IRR TFL) 置 1，并且如果 IENR2 的 IEN TFH (IEN TFL) 为 1，就向 CPU 请求中断。

### (2) 输出比较寄存器 FH、FL (OCRFH、OCRFL)

OCRF 由 2 个 16 位可读写寄存器(OCRFH、OCRFL)构成。除了可将其高 8 位作为 OCRFH、低 8 位作为 OCRFL 的 16 位寄存器使用之外,还可以将 OCRFH 和 OCRFL 作为 2 个独立的 8 位寄存器使用。

虽然可从 CPU 读写 OCRFH 和 OCRFL,但是在 16 位模式使用时,通过暂存器 (TEMP) 进行和 CPU 之间的数据传送。关于 TEMP 的详细内容,请参照“9.3.4 和 CPU 的接口”。在复位时,OCRFH 和 OCRFL 都被初始化为 H'FF。

#### • 16 位模式 (OCRF)

如果将 TCRF 的 CKSH2 设定成 0, OCRF 就作为 16 位寄存器运行。OCRF 的内容总是和 TCF 比较,如果两者的值一致, TCSRFB 的 CMFH 就被置 1,同时 IRR2 的 IRRTFH 也被置 1。此时如果 IENR2 的 IENTFH 为 1,就向 CPU 请求中断。

能从 TMOFH 管脚输出比较匹配的交替输出,还能通过 TCRF 的 TOLH 设定输出电平(高/低)。

#### • 8 位模式 (OCRFH/OCRFL)

如果将 TCRF 的 CKSH2 设定为 1, OCRF 就作为 2 个独立的 8 位寄存器运行。OCRFH 的内容和 TCFH、OCRFL 的内容和 TCFL 分别进行比较,如果 OCRFH (OCRFL) 和 TCFH (TCFL) 的值一致, TCSRFB 的 CMFH (CMFL) 就被置 1,同时 IRR2 的 IRRTFH (IRRFL) 也被置 1。此时如果 IENR2 的 IENTFH (IENTFL) 为 1,就向 CPU 请求中断。

能从 TMOFH 管脚 (TMOFL 管脚) 输出比较匹配的交替输出。还能通过 TCRF 的 TOLH (TOLL) 设定输出电平 (高/低)。

## (3) 定时器控制寄存器 F (TCRF)

TCRF 切换 16 位模式/8 位模式、选择内部时钟以及选择 TMOFH 管脚和 TMOFL 管脚的输出电平。

位	位名	初始值	R/W	说 明
7	TOLH	0	W	交替输出电平 H 设定 TMOFH 管脚的输出电平。 0: Low 电平 1: High 电平
6	CKSH2	0	W	时钟选择 H 从内部时钟或者 TCFL 的溢出中选择 TCFH 的输入时钟。 000: 为 16 位模式, 以 TCFL 的溢出信号计数 001: 为 16 位模式, 以 TCFL 的溢出信号计数 010: 为 16 位模式, 以 TCFL 的溢出信号计数 011: 禁止使用 100: 以内部时钟 $\phi/32$ 计数 101: 以内部时钟 $\phi/16$ 计数 110: 以内部时钟 $\phi/4$ 计数 111: 以内部时钟 $\phi/w/4$ 计数
5	CKSH1	0	W	
4	CKSH0	0	W	
3	TOLL	0	W	交替输出电平 L 设定 TMOFL 管脚的输出电平。 0: Low 电平 1: High 电平
2	CKSL2	0	W	时钟选择 L 从内部时钟或者外部事件中选择 TCFL 的输入时钟。 000: 不工作 001: 禁止使用 010: 禁止使用 011: 禁止使用 100: 以内部时钟 $\phi/32$ 计数 101: 以内部时钟 $\phi/16$ 计数 110: 以内部时钟 $\phi/4$ 计数 111: 以内部时钟 $\phi/w/4$ 计数
1	CKSL1	0	W	
0	CKSL0	0	W	

## (4) 定时器控制状态寄存器 F (TCSR F)

TCSR F 选择计数器清除、设置溢出标志和比较匹配标志、控制由溢出产生的中断请求的允许。

位	位名	初始值	R/W	说 明
7	OVFH	0	R/W*	定时器溢出标志 H 表示 TCFH 溢出的状态标志。 [置位条件] • 在 TCFH 的值从 H'FF 溢出成 H'00 时 [清除条件] • 在读到 1 的状态后给 OVFH 写 0 时
6	CMFH	0	R/W*	比较匹配标志 H 表示 TCFH 和 OCRFH 比较匹配的状态标志。 [置位条件] • 在 TCFH 的值和 OCRFH 的值比较匹配时 [清除条件] • 在读到 1 的状态后给 CMFH 写 0 时
5	OVIEH	0	R/W	定时器溢出中断允许 H 在 TCFH 的溢出发生时, 选择中断的允许或者禁止。 0: 禁止由 TCFH 溢出的中断请求 1: 允许由 TCFH 溢出的中断请求
4	CCLR H	0	R/W	计数器清除 H 在 16 位模式且 TCF 和 OCRF 比较匹配时, 选择是否清除 TCF。在 8 位模式且 TCFH 和 OCRFH 比较匹配时, 选择是否清除 TCFH。 16 位模式时 0: 禁止由比较匹配清除 TCF 1: 允许由比较匹配清除 TCF 8 位模式时 0: 禁止由比较匹配清除 TCFH 1: 允许由比较匹配清除 TCFH
3	OVFL	0	R/W*	定时器溢出标志 L 表示 TCFL 溢出的状态标志。 [置位条件] • 在 TCFL 的值从 H'FF 溢出成 H'00 时 [清除条件] • 在读到 1 的状态后给 OVFL 写 0 时

位	位名	初始值	R/W	说 明
2	CMFL	0	R/W*	比较匹配标志 L 表示 TCFL 和 OCRFL 比较匹配的状态标志。 [置位条件] • 在 TCFL 的值和 OCRFL 的值比较匹配时 [清除条件] • 在读到 1 的状态后给 CMFL 写 0 时
1	OVIEL	0	R/W	定时器溢出中断允许 L 在 TCFL 的溢出发生时，选择中断的允许或者禁止。 0: 禁止由 TCFL 溢出的中断请求 1: 允许由 TCFL 溢出的中断请求
0	CCLRL	0	R/W	计数器清除 L 在 TCFL 和 OCRFL 比较匹配时，选择是否清除 TCFL。 0: 禁止由比较匹配清除 TCFL 1: 允许由比较匹配清除 TCFL

【注】 \* 只能为了清除标志写 0。

### 9.3.4 和 CPU 的接口

TCF 和 OCRF 由 16 位可读写寄存器构成。由于 CPU 和内部外围模块之间的数据总线为 8 位宽的数据总线，因此在 CPU 存取 TCF 和 OCRF 时通过 8 位暂存器 (TEMP) 进行。

在 16 位模式，必须对整个 16 位寄存器（连续执行 2 条字节长的 MOV 指令）按照高位字节、低位字节的顺序进行 TCF 的读写和 OCRF 的写操作。在只对高位字节或者只对低位字节进行存取时，数据无法正确传送。另外，在 8 位模式，存取顺序没有特别限制。

#### (1) 写操作时的运行

通过写高位字节，高位字节数据被传送到 TEMP。

然后，通过写低位字节，TEMP 中的数据被写入高位字节的寄存器，低位字节数据被直接写入低位字节的寄存器。

在给 TCF 写 H'AA55 时 TCF 的写操作运行如图 9.3 所示。

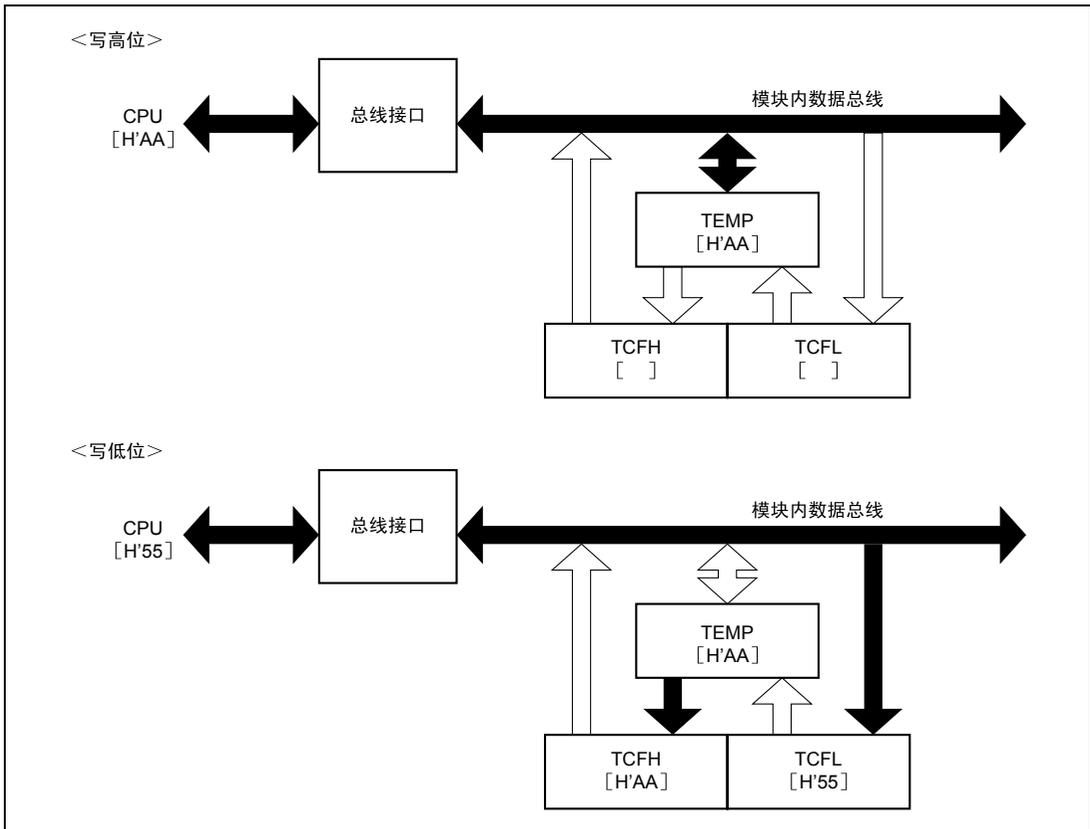


图 9.3 TCF 的写运行 (CPU→TCF)

### (2) 读操作时的运行

在 TCF 时，通过读取高位字节，高位字节数据被直接传送到 CPU，低位字节数据被传送到 TEMP。

然后，通过读取低位字节，TEMP 中的低位字节数据被传送到 CPU。

在 OCRF 时，通过读取高位字节，高位字节数据被直接传送到 CPU。通过读取低位字节，低位字节数据被直接传送到 CPU。

在读取 H'AAFF 的 TCF 时 TCF 的读运行如图 9.4 所示。

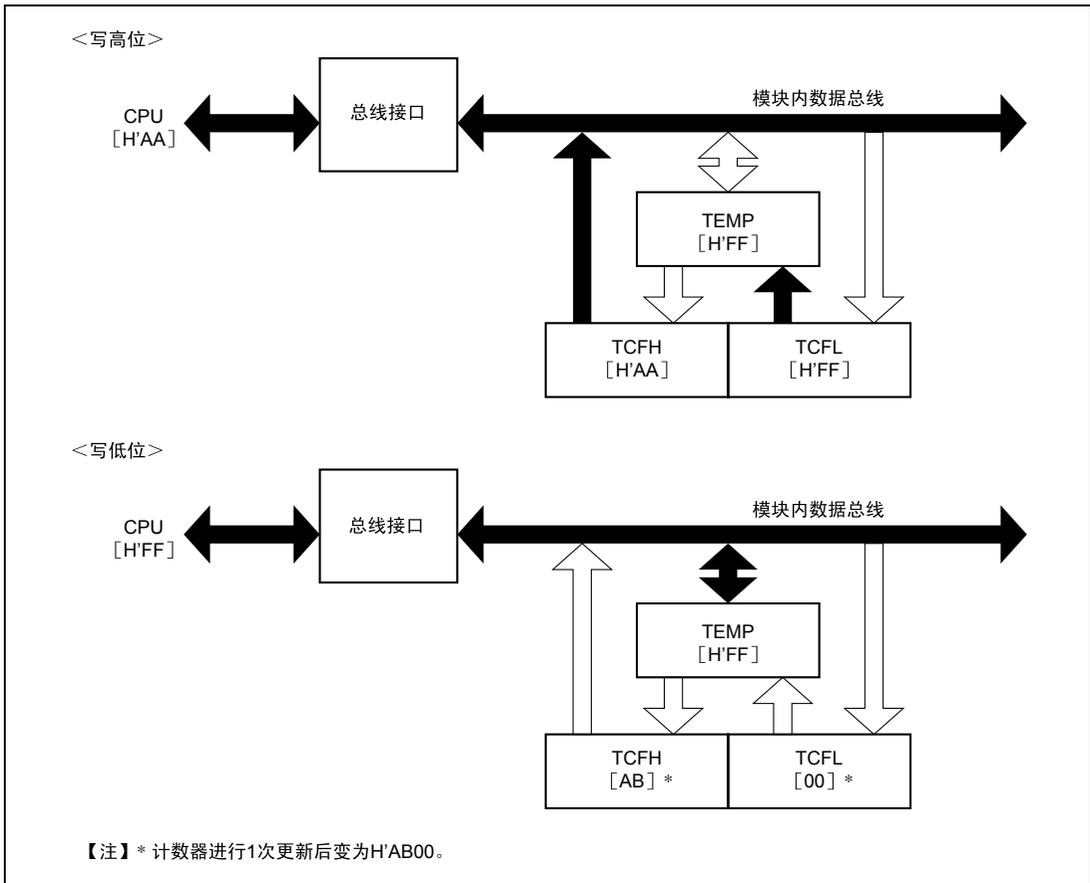


图 9.4 TCF 的读运行 (TCF→CPU)

### 9.3.5 运行说明

定时器 F 是在每个输入时钟脉冲进行累加计数的 16 位计数器，输出比较寄存器 F 中的设定值总是和定时器计数器 F 的值比较，能在比较一致时进行计数器的清除、中断请求以及端口的交替输出。另外，还能作为 2 个独立的 8 位定时器运行。

#### (a) 定时器 F 的运行

定时器 F 有 16 位定时器模式和 8 位定时器模式 2 种运行模式。

有关各模式的运行说明如下：

##### • 16 位定时器模式的运行

如果将定时器控制寄存器 F (TCRF) 的 CKSH2 位设定成 0，定时器 F 就作为 16 位定时器运行。

定时器 F 的运行时钟能通过 TCRF 的 CKSL2~CKSL0 位选择预定标器 S 输出的 3 种内部时钟。

TCF 总是和 OCRF 的内容比较，如果两者一致，TCSRf 的 CMFH 就被置 1。此时如果 IENR2 的 IENTFH 为 1，就向 CPU 请求中断，同时转换 TMOFH 管脚的输出。另外，如果 TCSRf 的 CCLR H 为 1，就清除 TCF。而且，能通过 TCRF 的 TOLH 设定 TMOFH 管脚的输出。

如果 TCF 溢出 (H'FFFF→H'0000)，TCSRf 的 OVFH 就被置位。此时，如果 TCSRf 的 OVIEH 和 IENR2 的 IENTFH 同时为 1，就向 CPU 请求中断。

##### • 8 位定时器模式的运行

如果将 TCRF 的 CKSH2 设定成 1，TCF 就作为 2 个独立的 8 位定时器 TCFH 和 TCFL 运行。通过 TCRF 的 CKSH2~CKSH0/CKSL2~CKSL0 选择 TCFH/TCFL 的输入时钟。

如果 OCRFH/OCRFL 和 TCFH/TCFL 的值一致，TCSRf 的 CMFH/CMFL 就被置 1。另外，如果 IENR2 的 IENTFH/IENTFL 为 1，就向 CPU 请求中断，同时转换 TMOFH 管脚/TMOFL 管脚的输出。另外，如果 TCSRf 的 CCLR H/CCLR L 为 1，就清除 TCFH/TCFL。而且，能通过 TCRF 的 TOLH/TOLL，设定 TMOFH 管脚/TMOFL 管脚的输出。

如果 TCFH/TCFL 溢出 (H'FF→H'00)，TCSRf 的 OVFH/OVFL 就被置 1。此时，如果 TCSRf 的 OVIEH/OVIEL 和 IENR2 的 IENTFH/IENTFL 同时为 1，就向 CPU 请求中断。

#### (b) TCF 的计数时序

TCF 通过输入时钟（内部时钟）进行累加计数。通过 TCRF 的 CKSH2~CKSH0 或者 CKSL2~CKSL0 的设定，能选择将系统时钟（ $\phi$  或者  $\phi_w$ ）分频后的 4 种内部时钟（ $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi_w/4$ ）。

## (c) TMOFH、TMOFL 的输出时序

虽然在 TMOFH 和 TMOFL 输出时输出由 TCRF 的 TOLH 和 TOLL 设定的值，但是当发生比较匹配时反转输出。

输出时序如图 9.5 所示。

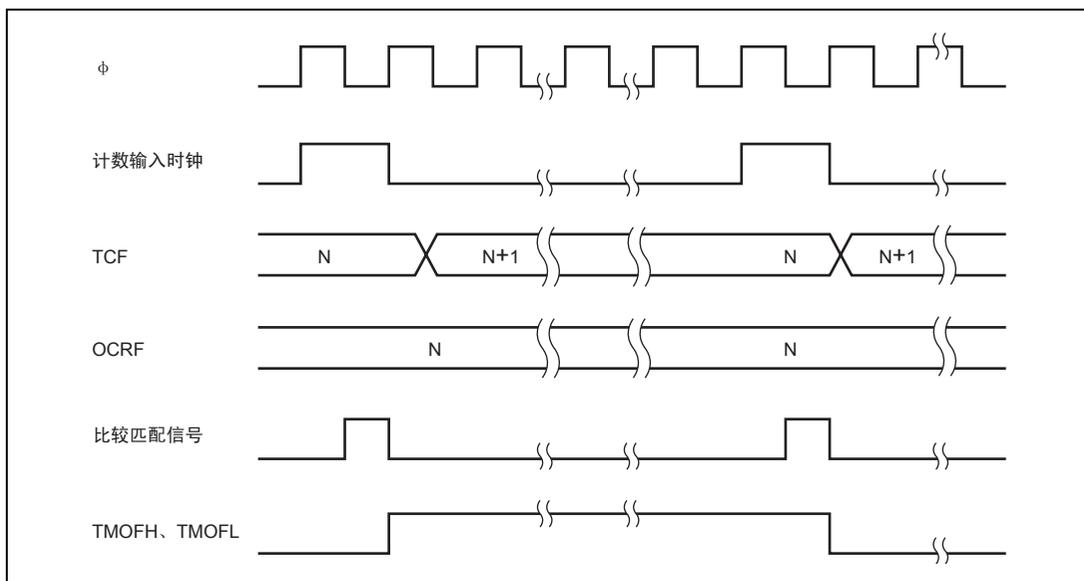


图 9.5 TMOFH、TMOFL 的输出时序

## (d) TCF 的清除时序

能在和 OCRF 比较匹配时清除 TCF。

## (e) 定时器溢出标志 (OVF) 的置位时序

在 TCF 溢出 (H'FFFF→H'0000) 时 OVF 被置 1。

## (f) 比较匹配标志的置位时序

在 TCF 和 OCRF 比较匹配时，比较匹配标志 (CMFH 或 CMFL) 被置 1。在值一致时的最后状态 (在 TCF 更新一致后的计数值时) 产生比较匹配信号。从 TCF 和 OCRF 一致后开始到发生累加计数时钟为止，不产生比较匹配信号。

### 9.3.6 定时器 F 的运行模式

定时器 F 的运行模式如表 9.4 所示。

表 9.4 定时器 F 的运行模式

运行模式	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
TCF	复位	运行*	运行*	运行/停止*	运行/停止*	运行/停止*	停止	停止
OCRf	复位	运行	保持	保持	运行	保持	保持	保持
TCRF	复位	运行	保持	保持	运行	保持	保持	保持
TCSRf	复位	运行	保持	保持	运行	保持	保持	保持

【注】\* 在激活模式或者睡眠模式时，如果选择  $\phi_w/4$  作为 TCF 的内部时钟，由于系统时钟和内部时钟不同步，因此用同步电路取得同步。结果计数周期会产生最大  $1/\phi$  (s) 的误差。

在子激活模式、时钟模式或者子睡眠模式，如果进行计数器运行，作为内部时钟就必须选择  $\phi_w/4$ 。如果选择其它内部时钟，计数器将不运行。

### 9.3.7 使用时的注意事项

必须注意：定时器 F 在运行过程中，会发生以下的竞争和运行：

#### (a) 16 位定时器模式

在 16 位全部一致并且产生比较匹配信号时，交替输出从 TMOFH 管脚输出。在通过 MOV 指令写 TCRF 和比较匹配信号同时发生时，作为 TCRF 写结果的 TOLH 数据被输出到 TMOFH 管脚。由于 TMOFL 管脚在 16 位模式时输出不定，请不要使用。请将 TMOFL 管脚作为端口使用。

在写 OCRfL 和产生比较匹配信号同时发生时，比较匹配信号无效。但是，如果写数据和计数器的值比较匹配，就立即产生比较匹配信号。由于比较匹配信号的输出与 TCFL 的时钟同步，因此在时钟停止时即使比较匹配也不产生比较匹配信号。

虽然在 16 位全部一致并且产生比较匹配信号时 CMFH 被置比较匹配标志。但是，如果满足低 8 位的置位条件，CMfL 也被置位。

如果 TCF 溢出，OVFH 就被置位。但是，在低 8 位发生溢出时，如果满足置位条件，OVfL 也被置位。当写 TCFL 和输出溢出信号同时发生时，不输出溢出信号。

## (b) 8 位定时器模式

## • TCFH、OCRFH

在比较匹配时，交替输出从 TMOFH 管脚输出。在通过 MOV 指令写 TCRF 和比较匹配信号的产生同时发生时，作为 TCRF 写结果的 TOLH 数据被输出到 TMOFH 管脚。

在写 OCRFH 和产生比较匹配信号同时发生时，比较匹配信号无效。但是，如果写数据和计数器的值比较匹配，就立即产生比较匹配信号。比较匹配信号的输出和 TCFH 的时钟同步。

当写 TCFH 和输出溢出信号同时发生时，不输出溢出信号。

## • TCFL、OCRFL

在比较匹配时，交替输出从 TMOFL 管脚输出。在通过 MOV 指令写 TCRF 和比较匹配信号的产生同时发生时，作为 TCRF 写结果的 TOLL 数据被输出到 TMOFL 管脚。

在写 OCRFL 和产生比较匹配信号同时发生时，比较匹配信号无效。但是，如果写数据和计数器的值比较匹配，就立即产生比较匹配信号。由于比较匹配信号的输出和 TCFL 的时钟同步，因此在时钟停止时即使比较匹配也不产生比较匹配信号。

当写 TCFL 和输出溢出信号同时发生时，不输出溢出信号。

## (c) 定时器 FH、定时器 FL 中断请求标志 (IRRTFH、IRRTFL)、定时器溢出标志 H、L (OVFH、OVFL) 以及比较匹配标志 H、L (CMFH、CMFL) 的清除

在作为内部时钟选择  $\phi_w/4$  时，由于“中断源产生信号”由  $\phi_w$  控制，所以此信号以  $\phi_w$  宽度输出。另外，由于“溢出信号”和“比较匹配信号”由 2 个  $\phi_w$  周期信号控制，所以这些信号以 2 个  $\phi_w$  周期宽度输出（图 9.6）。

对于激活（高速、中速）模式，在“中断源产生信号”的有效期间，即使清除中断请求标志，中断请求标志立即又被置位（图 9.6—①）。

另外，在“溢出信号”和“比较匹配信号”的有效期间，不能清除定时器溢出标志和比较匹配标志。

因为即使清除中断请求标志，中断请求标志又立即被置位，所以对于定时器 FH、定时器 FL 的 1 次中断，可能会进行多次中断处理（图 9.6—②）。

因此，在激活（高速、中速）模式中，为了正确清除中断请求标志，必须在经过用下列计算式 (1) 计算的时间后清除。另外，为了正确清除定时器溢出标志和比较匹配标志，必须在经过用下列计算式 (1) 计算的时间后，先读取定时器控制寄存器 F (TCSR F)，然后清除。

对计算式 (1) 的 ST，必须代入在使用的指令中执行状态数最大的指令执行状态数（当不使用 MULXU、DIVXU 指令时 RTE 指令为 10 个状态，使用 MULXU、DIVXU 指令时为 14 个状态）。

在子激活模式，对于中断请求标志、定时器溢出标志以及比较匹配标志的清除没有限制。

“中断源产生信号”的有效时间  
 = 1 个  $\phi_w$  周期 + 执行中的指令的执行结束等待时间 + (用  $\phi$  同步中断的时间)  
 =  $1 / \phi_w + ST \times (1 / \phi) + (2 / \phi)$  (秒) ······ (1)  
 ST: 执行中的指令的执行状态数

具体有如下方法，从时间的有效活用的角度，推荐（方法 1）。

• （方法 1）

在中断处理程序内禁止中断（将 IENFH 和 IENFL 设定为 0），在返回到通常处理后，等待不小于用计算式（1）计算的时间，然后清除中断请求标志（IRRTFH、IRRTFL），并且在读取定时器控制状态寄存器 F（TCSR）后，清除定时器溢出标志（OVFH、OVFL）和比较匹配标志（CMFH、CMFL），然后允许中断（将 IENFH 和 IENFL 设定为 1）。

• （方法 2）

将中断处理程序的处理时间设定成不小于用计算式（1）计算的时间，在中断处理程序的最后，清除中断请求标志（IRRTFH、IRRTFL），并且在读取定时器控制状态寄存器 F（TCSR）后，清除定时器溢出标志（OVFH、OVFL）和比较匹配标志（CMFH、CMFL）。

无论是 16 位模式还是 8 位模式，以上的注意事项都相同。

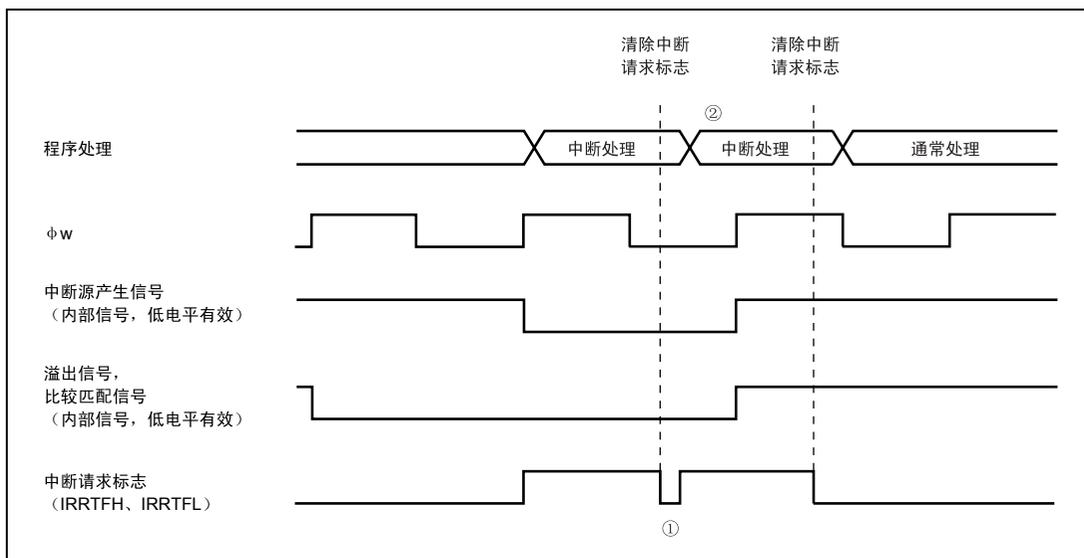


图 9.6 在中断源产生信号有效期间，进行中断请求标志清除的情况

**(d) 定时器计数器 (TCF) 的读写**

在激活（高速、中速）模式中，如果选择  $\phi_w/4$  作为内部时钟，就不能对 TCF 进行写操作。另外，由于在读操作时系统时钟和内部时钟不同步，因此用同步电路取得同步。结果读 TCF 的数据会产生最大  $\pm 1$  的误差。

如果在激活（高速、中速）模式需要读写 TCF，就必须在选择了  $\phi_w/4$  以外的时钟作为内部时钟后进行读写。

在子激活模式中，即使选择  $\phi_w/4$  作为内部时钟，也能正常读写 TCF。

## 9.4 异步事件计数器（AEC）

异步事件计数器（Asynchronous Event Counter）是每当输入外部事件时钟或者内部时钟就进行累加计数的事件计数器。

### 9.4.1 特点

- 能进行异步事件计数  
与系统时钟 $\phi$ 和 $\phi_{SUB}$ 的运行无关而能对外部事件进行计数。
- 也能作为2个通道的独立的8位事件计数器或者1个通道的独立的16位事件计数器使用
- 只有在IRQAEC为高电平或者事件计数器PWM输出（IECPWM）为高电平时，事件/时钟输入才有效
- 能在两边沿检测IRQAEC或者事件计数器PWM输出（IECPWM）中断。不使用异步计数器时能用作独立的中断功能
- 能使用事件计数器PWM以一定周期自动控制事件时钟输入的允许/禁止
- ECH和ECL的时钟源可用软件选择外部事件输入和预定标器的输出时钟。预定标器的输出时钟可从 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 中选择
- 可在两边沿对AEVL和AEVH计数
- 可通过软件复位计数器和停止累加计数功能
- 检测事件计数器溢出，自动产生中断
- 通过模块待机模式，能在未使用时以单模块设定待机模式  
（详细内容请参照“5.4 模块待机功能”）

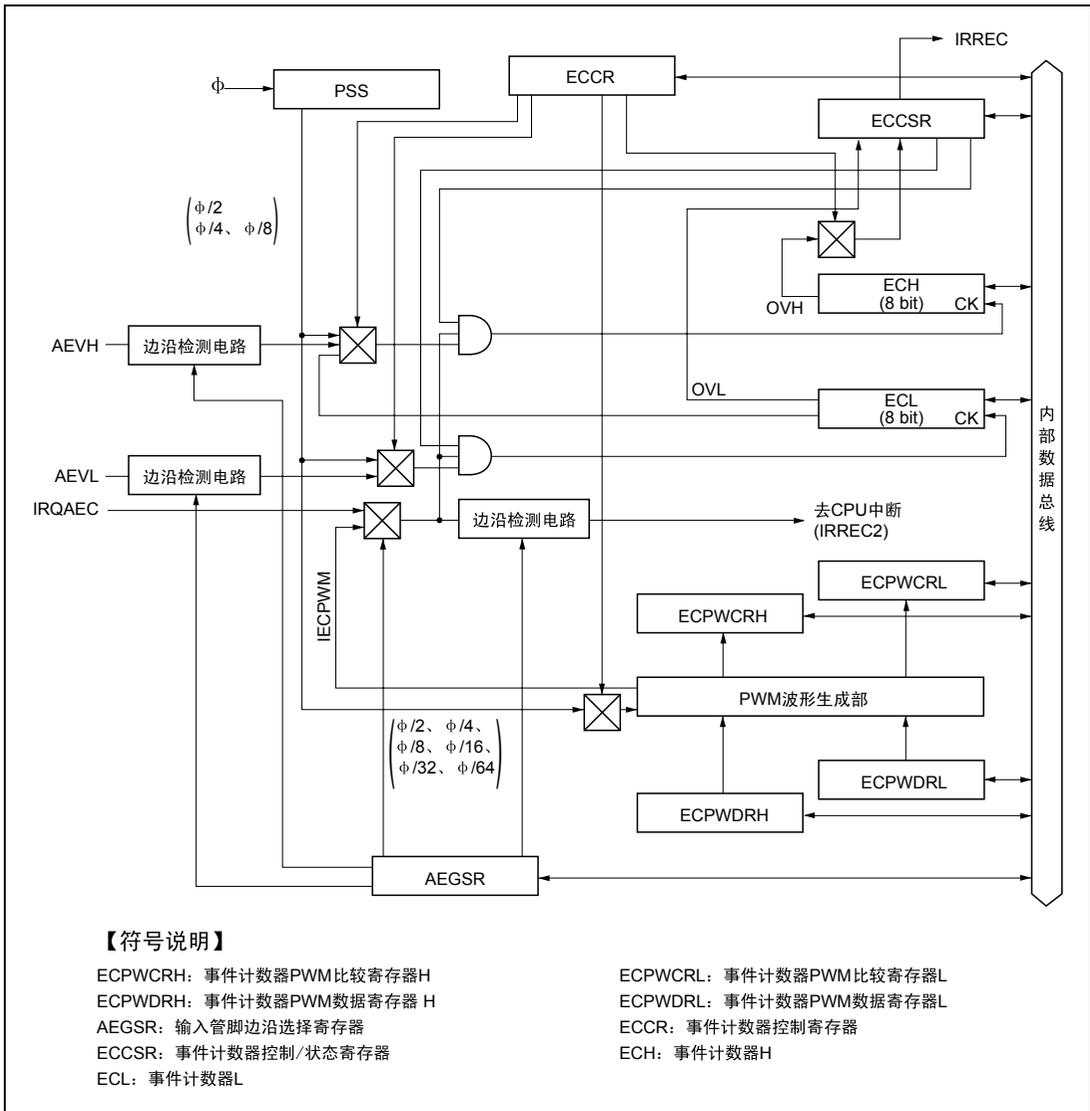


图 9.7 异步事件计数器的框图

### 9.4.2 输入/输出管脚

异步事件计数器的管脚构成如表 9.5 所示。

表 9.5 管脚构成

名称	略称	输入/输出	功能
异步事件输入 H	AEVH	输入	给事件计数器 H 输入的事件输入管脚
异步事件输入 L	AEVL	输入	给事件计数器 L 输入的事件输入管脚
事件输入允许中断输入	IRQAEC	输入	将事件输入置成有效的中断输入管脚

### 9.4.3 寄存器说明

异步事件计数器有以下的寄存器：

- 事件计数器PWM比较寄存器H (ECPWCRH)
- 事件计数器PWM比较寄存器L (ECPWCRL)
- 事件计数器PWM数据寄存器H (ECPWDRH)
- 事件计数器PWM数据寄存器L (ECPWDRL)
- 输入管脚边沿选择寄存器 (AEGSR)
- 事件计数器控制寄存器 (ECCR)
- 事件计数器控制/状态寄存器 (ECCSR)
- 事件计数器H (ECH)
- 事件计数器L (ECL)

#### (1) 事件计数器 PWM 比较寄存器 H (ECPWCRH)

ECPWCRH 设定事件计数器波形的 1 个转换周期。

位	位名	初始值	R/W	说 明
7	ECPWCRH7	1	R/W	事件计数器 PWM 波形的 1 个转换周期
6	ECPWCRH6	1	R/W	
5	ECPWCRH5	1	R/W	
4	ECPWCRH4	1	R/W	
3	ECPWCRH3	1	R/W	
2	ECPWCRH2	1	R/W	
1	ECPWCRH1	1	R/W	
0	ECPWCRH0	1	R/W	

**【注】** 由于在 AEGSR 的 ECPWME 为 1 时事件计数器 PWM 处于运行中，不能改写 ECPWCRH。  
在改变转换周期时，必须先将 AEGSR 的 ECPWME 置 0，停止事件计数器 PWM，然后进行改写。

## (2) 事件计数器 PWM 比较寄存器 L (ECPWCRL)

ECPWCRL 设定事件计数器 PWM 波形的 1 个转换周期。

位	位名	初始值	R/W	说 明
7	ECPWCRL7	1	R/W	事件计数器 PWM 波形的 1 个转换周期
6	ECPWCRL6	1	R/W	
5	ECPWCRL5	1	R/W	
4	ECPWCRL4	1	R/W	
3	ECPWCRL3	1	R/W	
2	ECPWCRL2	1	R/W	
1	ECPWCRL1	1	R/W	
0	ECPWCRL0	1	R/W	

【注】 由于在 AEGSR 的 ECPWME 为 1 时事件计数器 PWM 处于运行中，不能改写 ECPWCRL。  
在改变转换周期时，必须先将 AEGSR 的 ECPWME 置 0，停止事件计数器 PWM，然后进行改写。

## (3) 事件计数器 PWM 数据寄存器 H (ECPWDRH)

ECPWDRH 控制事件计数器 PWM 波形生成部的数据。

位	位名	初始值	R/W	说 明
7	ECPWDRH7	0	W	控制事件计数器 PWM 波形生成数据
6	ECPWDRH6	0	W	
5	ECPWDRH5	0	W	
4	ECPWDRH4	0	W	
3	ECPWDRH3	0	W	
2	ECPWDRH2	0	W	
1	ECPWDRH1	0	W	
0	ECPWDRH0	0	W	

【注】 由于在 AEGSR 的 ECPWME 为 1 时事件计数器 PWM 处于运行中，不能改写 ECPWDRH。  
在改变数据时，必须先将 AEGSR 的 ECPWME 置 0，停止事件计数器 PWM，然后进行改写。

## (4) 事件计数器 PWM 数据寄存器 L (ECPWDRL)

ECPWDRL 控制事件计数器 PWM 波形生成部的数据。

位	位名	初始值	R/W	说 明
7	ECPWDRL7	0	W	控制事件计数器 PWM 波形生成数据
6	ECPWDRL6	0	W	
5	ECPWDRL5	0	W	
4	ECPWDRL4	0	W	
3	ECPWDRL3	0	W	
2	ECPWDRL2	0	W	
1	ECPWDRL1	0	W	
0	ECPWDRL0	0	W	

【注】 由于在 AEGSR 的 ECPWME 为 1 时事件计数器 PWM 处于运行中，不能改写 ECPWDRL。  
在改变数据时，必须先将 AEGSR 的 ECPWME 置 0，停止事件计数器 PWM，然后进行改写。

## (5) 输入管脚边沿选择寄存器 (AEGSR)

AEGSR 选择 AEVH、AEVL 以及 IRQAEC 管脚的上升沿、下降沿或者两边沿。

位	位名	初始值	R/W	说 明
7	AHEGS1	0	R/W	AEC 边沿选择 H 选择 AEVH 管脚的检测。 00: 选择 AEVH 管脚的下降沿 01: 选择 AEVH 管脚的上升沿 10: 选择 AEVH 管脚的两边沿 11: 禁止设定
6	AHEGS0	0	R/W	
5	ALEGS1	0	R/W	AEC 边沿选择 L 选择 AEVL 管脚的检测。 00: 选择 AEVL 管脚的下降沿 01: 选择 AEVL 管脚的上升沿 10: 选择 AEVL 管脚的两边沿 11: 禁止设定
4	ALEGS0	0	R/W	
3	AIEGS1	0	R/W	IRQAEC 边沿选择 选择 IRQAEC 管脚的检测。 00: 选择 IRQAEC 管脚的下降沿 01: 选择 IRQAEC 管脚的上升沿 10: 选择 IRQAEC 管脚的两边沿 11: 禁止设定
2	AIEGS0	0	R/W	

位	位名	初始值	R/W	说 明
1	ECPWME	0	R/W	事件计数器 PWM 允许 控制事件计数器 PWM 的运行和 IRQAEC 的选择。 0: 停止用于 AEC 的 PWM 运行, 并且选择 IRQAEC 1: 允许用于 AEC 的 PWM 运行, 不选择 IRQAEC
0	—	0	R/W	保留位。可读写, 但是请不要置 1。

## (6) 事件计数器控制寄存器 (ECCR)

ECCR 控制计数器的输入时钟、IRQAEC/IECPWM。

位	位名	初始值	R/W	说 明
7	ACKH1	0	R/W	AEC 时钟选择 H 选择 ECH 侧使用的时钟。 00: AEVH 管脚输入 01: $\phi/2$ 10: $\phi/4$ 11: $\phi/8$
6	ACKH0	0	R/W	
5	ACKL1	0	R/W	AEC 时钟选择 L 选择 ECL 侧使用的时钟。 00: AEVL 管脚输入 01: $\phi/2$ 10: $\phi/4$ 11: $\phi/8$
4	ACKL0	0	R/W	
3	PWCK2	0	R/W	用于事件计数器的 PWM 的时钟选择 选择用于事件计数器的 PWM 的时钟。 000: $\phi/2$ 001: $\phi/4$ 010: $\phi/8$ 011: $\phi/16$ 1x0: $\phi/32$ 1x1: $\phi/64$
2	PWCK1	0	R/W	
1	PWCK0	0	R/W	
0	—	0	R/W	

【符号说明】x: Don't care

## (7) 事件计数器控制/状态寄存器 (ECCSR)

ECCSR 检测计数器溢出、进行计数器复位以及控制累加计数功能的停止。

位	位名	初始值	R/W	说 明
7	OVH	0	R/W*	计数器溢出 H 表示 ECH 溢出的状态标志。 [置位条件] • ECH 的值为 H'FF→H'00 时 [清除条件] • 在读到 1 的状态后写 0 时
6	OVL	0	R/W*	计数器溢出 L 表示 ECL 溢出的状态标志。 [置位条件] • ECL 的值为 H'FF→H'00 时 [清除条件] • 在读到 1 的状态后写 0 时
5	—	0	R/W	保留位。可读写，但是请不要改变初始值。
4	CH2	0	R/W	通道选择 选择 ECH 和 ECL 事件计数器的使用方法。 0: ECH 和 ECL 作为 1 通道的 16 位事件计数器使用 1: ECH 和 ECL 作为 2 通道的 8 位事件计数器使用
3	CUEH	0	R/W	累加计数允许 H 禁止或者允许给 ECH 输入事件时钟。 0: 禁止给 ECH 输入事件时钟 (保持 ECH 的值) 1: 允许给 ECH 输入事件时钟
2	CUEL	0	R/W	累加计数允许 L 禁止或者允许给 ECL 输入事件时钟。 0: 禁止给 ECL 输入事件时钟 (保持 ECL 的值) 1: 允许给 ECL 输入事件时钟
1	CRCH	0	R/W	计数器复位控制 H 控制 ECH 的复位。 0: 复位 ECH 1: 解除 ECH 的复位，允许累加计数功能
0	CRCL	0	R/W	计数器复位控制 L 控制 ECL 的复位。 0: 复位 ECL 1: 解除 ECL 的复位，允许累加计数功能

【注】 \* 为了标志清除，只能写 0。

### (8) 事件计数器 H (ECH)

ECH 为 8 位可读增量计数器，作为独立的 8 位事件计数器运行。或者通过和 ECL 一起使用作为 16 位事件计数器的高 8 位的增量计数器运行。

位	位名	初始值	R/W	说 明
7	ECH7	0	R	输入时钟可选择外部异步事件 AEVH 管脚、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 或者低 8 位计数器 ECL 的溢出信号。ECH 可通过软件清 H'00。
6	ECH6	0	R	
5	ECH5	0	R	
4	ECH4	0	R	
3	ECH3	0	R	
2	ECH2	0	R	
1	ECH1	0	R	
0	ECH0	0	R	

### (9) 事件计数器 L (ECL)

ECL 为 8 位可读增量计数器，作为独立的 8 位事件计数器运行。或者通过和 ECH 以起始用作为 16 位事件计数器的低 8 位的增量计数器运行。

位	位名	初始值	R/W	说 明
7	ECL7	0	R	输入时钟可使用外部异步事件 AEVL 管脚、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 或者低 8 位计数器 ECL 的溢出信号。ECL 可通过软件清 H'00。
6	ECL6	0	R	
5	ECL5	0	R	
4	ECL4	0	R	
3	ECL3	0	R	
2	ECL2	0	R	
1	ECL1	0	R	
0	ECL0	0	R	

## 9.4.4 运行说明

### (1) 16 位计数器的运行

如果将 ECCSR 的 CH2 清 0，ECH 和 ECL 就作为 16 位计数器运行。

此时的输入时钟源能通过 ECCR 的 ACKL1~0 从  $\phi/2$ 、 $\phi/4$ 、 $\phi/8$  以及 AEVL 管脚输入的 4 种时钟源中选择。

在选择 AEVL 管脚输入时，通过 ALEGS1~0 选择输入方向。

只有在 IRQAEC 为高电平或者 IECPWM 为高电平时，输入时钟有效。当 IRQAEC 为低电平或者 IECPWM 为低电平时，由于输入时钟没有被输入到计数器，因此计数器不运行。作为 16 位计数器使用时的软件例子如图 9.8 所示。

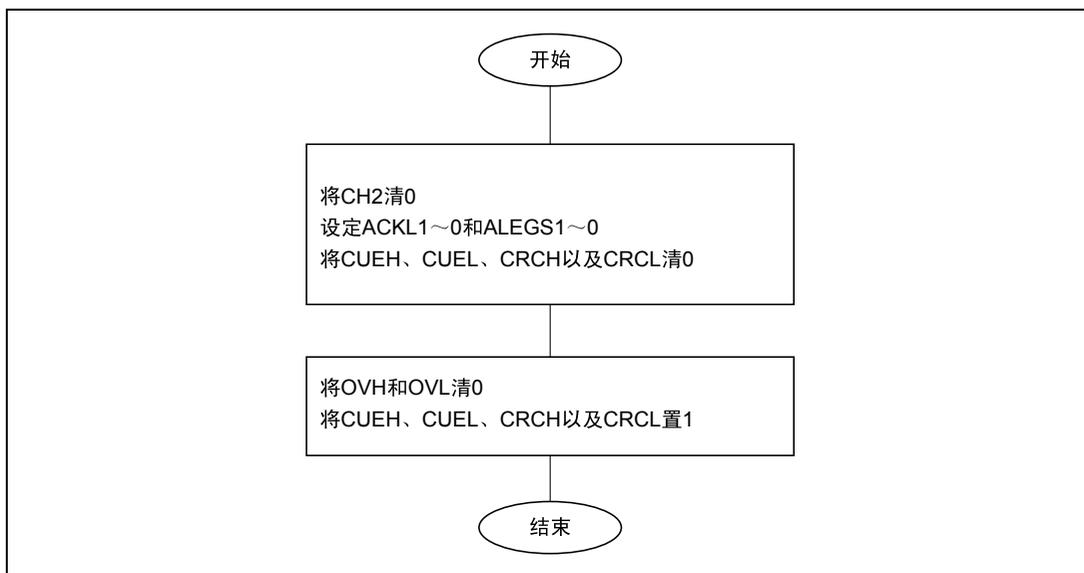


图 9.8 作为 16 位计数器使用时的软件例子

在复位时 CH2 被清 0，所以在复位后 ECH 和 ECL 作为 16 位计数器运行，由于 ACKL1~0 被清成 B'00，因此运行时钟变为来自 AEVL 管脚的异步事件输入，同时 AEVL 管脚的输入变为下降沿检测。

如果在 ECH 和 ECL 的计数值都变为 H'FF 后输入时钟，ECH 和 ECL 就溢出 (H'FFFF→H'0000)，ECCSR 的 OVH 标志被置 1，并且 ECH 和 ECL 的计数值都返回到 H'00，重新开始累加计数。在溢出发生时，IRR2 的 IRREC 被置 1。此时如果 IENR2 的 IENEC 为 1，就向 CPU 请求中断。

### (2) 8 位计数器的运行

如果将 ECCSR 的 CH2 置 1，ECH 和 ECL 就作为独立的 8 位计数器运行。

此时，作为输入时钟源，ECH 能通过 ECCR 的 ACKH1~0 从  $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、AEVH 管脚输入的 4 种时钟源中选择，而 ECL 能通过 ECCR 的 ACKL1~0 从  $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、AEVL 管脚输入的 4 种时钟源中选择。

在选择 AEVH 管脚输入时，通过 AHEGS1~0 选择输入方向；在选择 AEVL 管脚输入时，通过 ALEGS1~0 选择输入方向。

只有在 IRQAEC 为高电平或者 IECPWM 为高电平时输入时钟有效。当 IRQAEC 为低电平或者 IECPWM 为低电平时，由于输入时钟没有被输入到计数器，因此计数器不运行。作为 8 位计数器使用时的软件例子如图 9.9 所示。

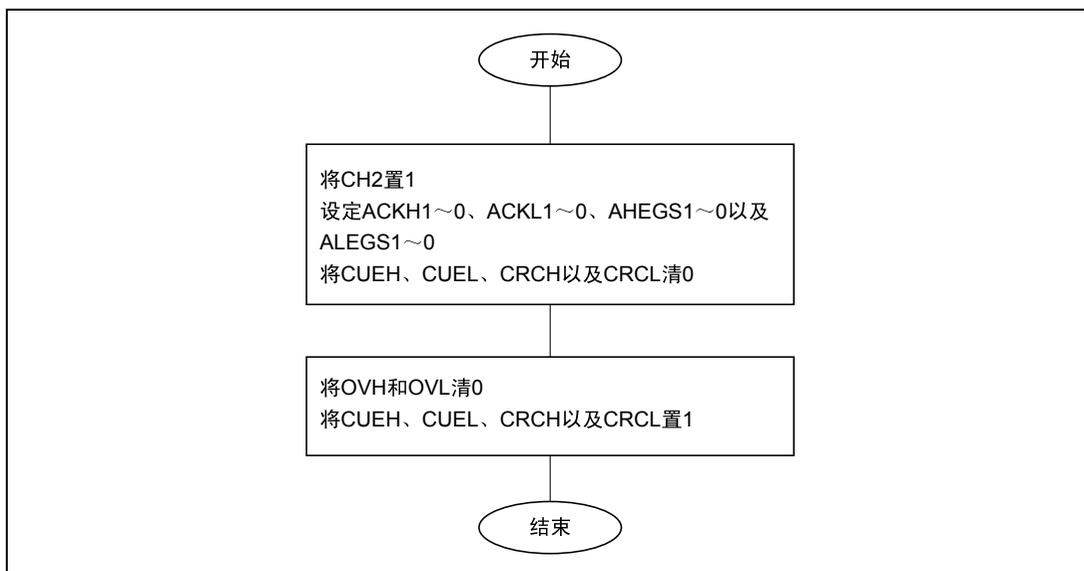


图 9.9 作为 8 位计数器使用时的软件例子

如果按照图 9.9 所示的例子使用，就能作为独立的 8 位计数器。如果在 ECH 的计数值变为 H'FF 后输入时钟，ECH 就溢出，ECCSR 的 OVH 标志被置 1，并且 ECH 的计数值返回到 H'00，重新开始累加计数。另外，如果在 ECL 的计数值变为 H'FF 后输入时钟，ECL 就溢出，ECCSR 的 OVL 标志被置 1，并且 ECL 的计数值返回到 H'00，重新开始累加计数。在溢出发生时，IRR2 的 IRREC 被置 1。此时如果 IENR2 的 IENEC 为 1，就向 CPU 请求中断。

### (3) IRQAEC 的运行

当 AEGSR 的 ECPWME 为 0 时，只有在 IRQAEC 为高电平时 ECH 和 ECL 的输入时钟才有效。当 IRQAEC 为低电平时，由于输入时钟不被输入到计数器，ECH 和 ECL 不进行计数。因此，通过控制 IRQAEC 能从外部控制 ECH 和 ECL 的计数运行。此时，不能分别控制 ECH 和 ECL。

IRQAEC 也可作为中断源运行。此时的向量号为 6，向量地址为 H'000C~H'000D。

通过 IENR1 的 IENEC2 控制中断允许。如果发生 IRQAEC 中断，IRR1 的中断请求标志 IRREC2 就被置 1。此时如果 IENR1 的 IENEC2 为 1，就向 CPU 请求中断。

IRQAEC 输入管脚的输入方向能通过 AEGSR 的 AIAGS1~0 选择上升沿、下降沿或者两边沿检测。

**【注】** 在 H8/38104 群，复位期间的系统时钟振荡器和内部振荡器的切换控制必须通过设定 IRQAEC 输入电平进行。详细内容请参照“4.4 子时钟振荡器”。

### (4) 事件计数器 PWM 的运行

当 AEGSR 的 ECPWME 为 1 时，只有在事件计数器 PWM 的输出 (IECPWM) 为高电平时 ECH 和 ECL 的输入时钟有效。当 IECPWM 为低电平时，由于输入时钟不被输入到计数器，

ECH 和 ECL 不进行计数。因此，通过控制事件计数器 PWM，能周期性地控制 ECH 和 ECL 的计数运行。此时，不能分别控制 ECH 和 ECL。

IECPWM 也可以作为中断源运行。此时的向量号为 6，向量地址为 H'000C~H'000D。

通过 IENR1 的 IENEC2 控制中断允许。如果发生 IECPWM 中断，IRR1 的中断请求标志 IRREC2 就被置 1。此时如果 IENR1 的 IENEC2 为 1，就向 CPU 请求中断。

IECPWM 中断方向能通过 AEGSR 的 AIAGS1~0 选择上升沿、下降沿或者两边沿检测。事件计数器 PWM 的运行例子如图 9.10 和表 9.6 所示。

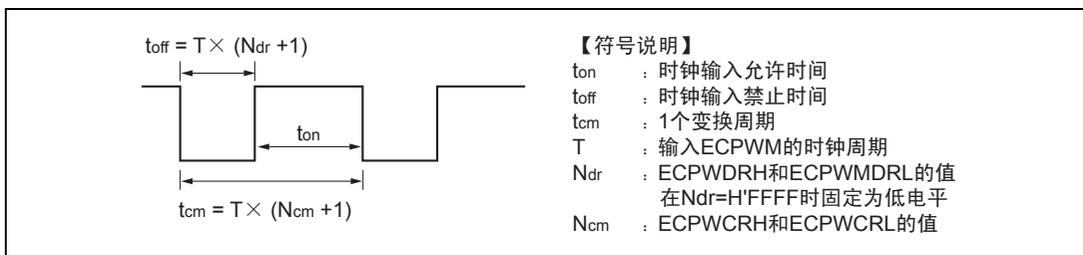


图 9.10 事件计数器的运行波形

【注】 必须用  $Ndr < Ncm$  的关系设定上述的 Ndr 和 Ncm。  
除此以外的设定时，不能将 AEGSR 的 ECPWME 置 1。

表 9.6 事件计数器 PWM 的运行例子

例) 为 fosc4MHz、 $f\phi$  2MHz、高速激活模式、ECPWCR 的值 (Ncm) = H'7A11、ECPWDR 的值 (Ndr) = H'16E3 的例子

时钟源选择	时钟源周期 (T) *	ECPWMCR 的值 (Ncm)	ECPWMDR 的值 (Ndr)	$toff = T \times (Ndr + 1)$	$tcm = T \times (Ncm + 1)$	$ton = tcm - toff$
$\phi/2$	1 $\mu$ s	H'7A11 D'31249	H'16E3 D'5859	5.86ms	31.25ms	25.39ms
$\phi/4$	2 $\mu$ s			11.72ms	62.5ms	50.78ms
$\phi/8$	4 $\mu$ s			23.44ms	125.0ms	101.56ms
$\phi/16$	8 $\mu$ s			46.88ms	250.0ms	203.12ms
$\phi/32$	16 $\mu$ s			93.76ms	500.0ms	406.24ms
$\phi/64$	32 $\mu$ s			187.52ms	1000.0ms	812.48ms

【注】\* toff 的最小宽度

#### (5) 时钟输入允许/禁止功能的运行

输入到事件计数器的时钟在 AEGSR 的 ECPWME 为 0 时，能通过 IRQAEC 管脚控制；在 AEGSR 的 ECPWME 为 1 时，能通过事件计数器 PWM 的输出 IECPWM 控制。由于此功能通过各信号强制停止输入时钟，因此通过 IRQAEC 的时序或者 IECPWM 的时序，最大产生 1 个计数分的误差。

其运行例子如图 9.11 所示。

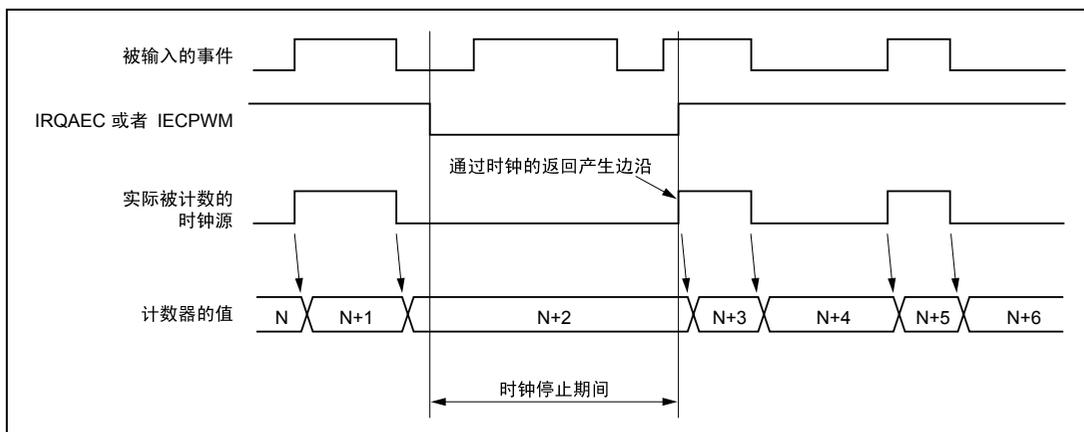


图 9.11 时钟控制运行例子

### 9.4.5 异步事件计数器的运行模式

异步事件计数器的运行模式如表 9.7 所示。

表 9.7 异步事件计数器的运行模式

运行模式	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
AECSR	复位	运行	运行	保持*1	运行	运行	保持*1	保持
ECCR	复位	运行	运行	保持*1	运行	运行	保持*1	保持
ECCSR	复位	运行	运行	保持*1	运行	运行	保持*1	保持
ECH	复位	运行	运行	运行*1*2	运行*2	运行*2	运行*1*2	停止
ECL	复位	运行	运行	运行*1*2	运行*2	运行*2	运行*1*2	停止
IRQAEC	复位	运行	运行	保持*3	运行	运行	保持*3	保持*4
事件计数器 PWM	复位	运行	运行	保持	保持	保持	保持	保持

【注】 \*1 如果输入异步外部事件，计数器就进行累加计数，但是计数器溢出 H/L 标志不受影响。

\*2 在选择异步外部事件时运行，否则，停止并保持。

\*3 虽然由 IRQAEC 进行时钟控制运行，但中断不运行。

\*4 在模块待机模式，由于时钟停止，因此不受 IRQAEC 的影响。

## 9.4.6 使用时的注意事项

1. 读取ECH和ECL的值时，必须在读前先将ECCSR的CUEH和CUEL清0（在作为8位计数器使用时）或者先将CUEL清0（作为16位计数器使用时），然后读取ECH和ECL。在读取过程中，如果事件计数器累加计数，就不能读到正确的值。
2. 输入到AEVH和AEVL管脚的时钟频率最大不能超过16MHz<sup>\*1</sup>，时钟的高电平和低电平的宽度最小不能低于OSC时钟周期时间的一半。如果满足高低电平的最小宽度，则对占空比无限制。

模 式	输入到 AEVL 和 AEVH 管脚的最大时钟频率
激活（高速）、睡眠（高速）	16MHz <sup>*1</sup>
激活（中速）、睡眠（中速）	$2 \cdot f_{osc}$ $f_{osc}$ $1/2 \cdot f_{osc}$ $1/4 \cdot f_{osc}$
$f_{osc} = 1\text{MHz} \sim 4\text{MHz}$	
时钟、子激活、子睡眠、待机	$1000\text{kHz}$ $500\text{kHz}$ $250\text{kHz}$
$\phi_w = 32.768\text{kHz}$ 或者 $38.4\text{kHz}$ <sup>*2</sup>	

【注】 \*1 H8/38004、H8/38002S 群最大为 10MHz。

\*2 H8/38104 群除外。

3. 在16位模式使用时，ECCSR的设定必须在CUEH置1后将CRCH置1，或者在将CUEH和CRCH同时置位后输入时钟。此后在16位模式使用过程中，不能改变CUEH的值。如果在设定16位模式的过程中改变CUEH，ECH就可能发生错误的累加计数。
4. 在AEGSR的ECPWME为1时，由于事件计数器PWM处于运行状态，所以不能改写ECPWCRH、ECPWCRL、ECPWDRH以及ECPWDRL。  
在改变数据时，必须先将AEGSR的ECPWME清0，在使事件计数器PWM停止后改写。
5. 必须以事件计数器PWM数据寄存器 < 事件计数器PWM比较寄存器的关系，设定事件计数器PWM数据寄存器和事件计数器PWM比较寄存器。  
在除此以外的设定时，不能将AEGSR的ECPWME置成1。
6. 由于IRQAEC在内部取得同步产生中断，到时钟停止和接受中断为止会发生最大1t<sub>cy</sub>的误差。

## 9.5 监视定时器

监视定时器为8位计数器，在由于系统失控等不能改写计数器的值而产生溢出时对LSI内部进行复位。但是，必须注意对于此功能，H8/38004、H8/38002S群和H8/38104群不同。监视定时器的框图如图9.12（1）、（2）所示。

### 9.5.1 特点

- H8/38004和H8/38002S群可选择2种内部时钟  
作为定时器的计数时钟可选择2种内部时钟（ $\phi/8192$ 或者 $\phi_w/32$ ）。
- H8/38104群可选择10种内部时钟  
作为定时器的计数时钟可选择10种内部时钟（ $\phi/64$ 、 $\phi/128$ 、 $\phi/256$ 、 $\phi/512$ 、 $\phi/1024$ 、 $\phi/2048$ 、 $\phi/4096$ 、 $\phi/8192$ 、 $\phi_w/32$ 或者用于监视定时器的内部振荡器）。
- 由计数器的溢出产生复位信号  
溢出周期能设定在选择时钟的1倍到256倍之间。
- 通过模块待机模式，能在未使用时以单模块设定待机模式  
（详细内容请参照“5.4 模块待机功能”）

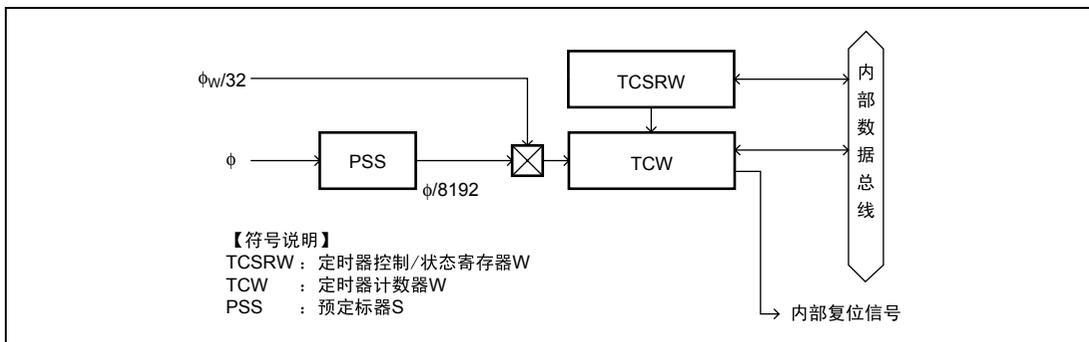


图 9.12（1） 监视定时器的框图（H8/38004 和 H8/38002S 群）

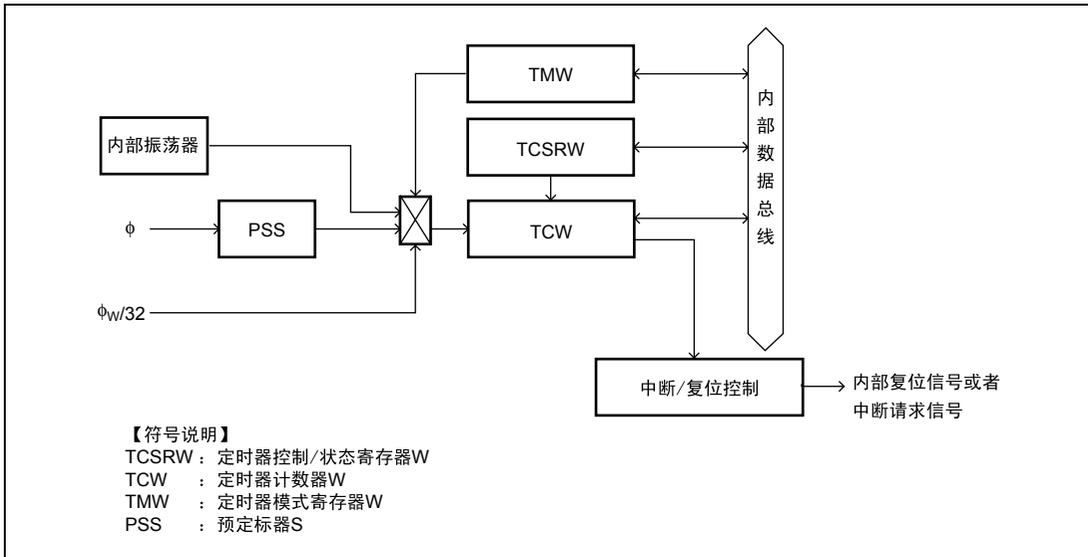


图 9.12 (2) 监视定时器的框图 (H8/38104 群)

## 9.5.2 寄存器说明

监视定时器以下的寄存器：

- 定时器控制/状态寄存器W (TCSRW)
- 定时器计数器W (TCW)
- 定时器模式寄存器 (TMW) \*

**【注】** \* 只为 H8/38104 群的寄存器。

## (1) 定时器控制/状态寄存器 W (TCSRW)

TCSRW 是控制 TCSRW 自身写和 TCW 写的寄存器。另外，具有监视定时器的运行控制和运行状态表示功能。不能用位操作指令改变设定值。

位	位名	初始值	R/W	说 明
7	B6WI	1	R	位 6 写禁止 此位为 0 时，本寄存器的位 6 的写有效。总是读出 1。
6	TCWE	0	R/(W)* <sup>1</sup>	定时器计数器写允许 此位为 1 时，允许写 TCW。在给此位写数据时，必须将位 7 的值置 0。
5	B4WI	1	R	位 4 写禁止 此位为 0 时，本寄存器的位 4 的写有效。总是读出 1。
4	TCSRWE	0	R/(W)* <sup>1</sup>	定时器控制/状态寄存器 W 写允许 此位为 1 时，允许写本寄存器的位 2 和位 0。在给此位写数据时，必须将位 5 的值置 0。
3	B2WI	1	R	位 2 写禁止 此位为 0 时，本寄存器的位 2 的写有效。总是读出 1。
2	WDON	0/1* <sup>2</sup>	R/(W)* <sup>1</sup>	监视定时器 ON 如果将此位置 1，TCW 就开始累加计数。如果清 0，TCW 就停止累加计数。 [清除条件] • 复位* <sup>3</sup> • 在 TCSRWE=1 的状态下给 B2WI 和 WDON 写 0 时 [置位条件] • 在 TCSRWE=1 的状态下给 B2WI 写 0、给 WDON 写 1 时
1	B0WI	1	R	位 0 写禁止 此位为 0 时，本寄存器的位 0 的写有效。总是读出 1。
0	WRST	0	R/(W)* <sup>1</sup>	监视定时器复位 [清除条件] • 由 RES 管脚复位 • 在 TCSRWE=1 的状态下给 B0WI 和 WRST 写 0 时 [置位条件] • TCW 溢出，发生内部复位信号时

【注】 \*1 只有在写条件成立时才能写。

\*2 H8/38004 和 H8/38002S 群的初始值为 0，H8/38104 群的初始值为 1。

\*3 复位时，H8/38004 和 H8/38002S 群被清 0，H8/38104 群被置 1。

(2) 定时器计数器 W (TCW)

TCW 为 8 位可读写的增量计数器。如果 TCW 溢出 (H'FF→H'00)，就产生内部复位信号，并且将 TCSRW 的 WRST 置 1。TCW 的初始值为 H'00。

(3) 定时器模式寄存器 W (TMW)

TMW 选择输入时钟。另外，本寄存器的时钟源选择在端口模式寄存器 2 (PMR2) 的 WDCKS 为 0 时有效。在 WDCKS 为 1 时，与本寄存器的设定值无关而选择  $\phi_w/32$  作为时钟源。

【注】 本寄存器只限于 H8/38104 群。

位	位名	初始值	R/W	说 明
7~4	—	全 1	—	保留位。总是读出 1。
3	CKS3	1	R/W	时钟选择 3~0
2	CKS2	1	R/W	选择输入给 TCWD 的时钟。
1	CKS1	1	R/W	1000: 对内部时钟 $\phi/64$ 进行计数
0	CKS0	1	R/W	1001: 对内部时钟 $\phi/128$ 进行计数
				1010: 对内部时钟 $\phi/256$ 进行计数
				1011: 对内部时钟 $\phi/512$ 进行计数
				1100: 对内部时钟 $\phi/1024$ 进行计数
				1101: 对内部时钟 $\phi/2048$ 进行计数
				1110: 对内部时钟 $\phi/4096$ 进行计数
				1111: 对内部时钟 $\phi/8192$ 进行计数
				0XXX: 内部振荡器
				对于由内部振荡器产生的溢出周期，请参照“第 17 章 电特性”。

【符号说明】 x: Don't care

### 9.5.3 运行说明

监视定时器具有 8 位累加计数器。通过端口模式寄存器 2 (PMR2)\* 的 WDCKS 选择输入时钟。在 H8/38004 和 H8/38002S 群的情况下，如果 WDCKS 为 0，就选择  $\phi/8192$ ；如果 WDCKS 为 1，就选择  $\phi_w/32$ 。在 H8/38104 群的情况下，如果 WDCKS 为 0，就根据定时器模式寄存器 W (TMW) 的设定选择时钟；如果 WDCKS 为 1，就选择  $\phi_w/32$ 。在 TCSRW 的 TCSRWE=1 的状态下，如果同时给 B2WI 写 0 和给 WDON 写 1，TCW 就开始累加计数（为了使监视定时器运行，必须对 TCSRW 进行 2 次写存取。但是，H8/38104 群在复位解除时，WDON 被设定成 1，因此即使不对 TCSRW 写存取，TCW 也能开始累加计数）。如果在 TCW 的计数值从 H'FF 溢出，就产生内部复位信号。内部复位信号的输出时间为 512 个  $\phi_{osc}$  时钟。由于 TCW 是可写计数器，所以如果给 TCW 设定值，就从该值开始累加计数。因此，能根据 TCW 的设定值在 1~256 个输入时钟的范围内设定溢出周期。监视定时器运行的例子如图 9.13 所示。

【注】 \* 详细内容请参照“8.1.5 端口模式寄存器 2 (PMR2)”。

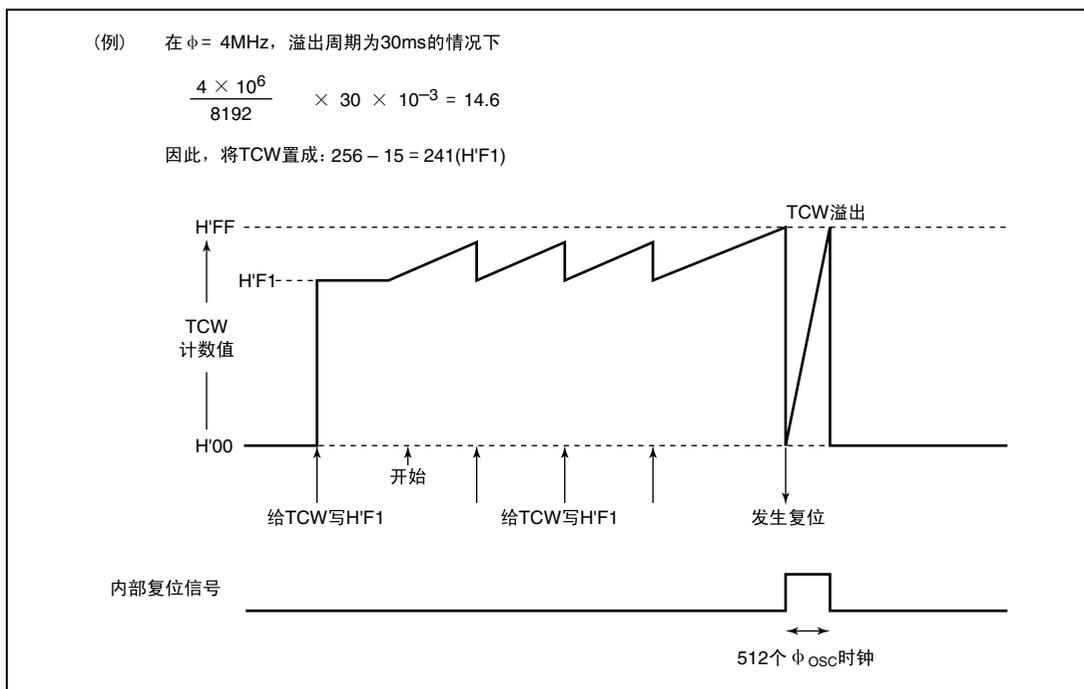


图 9.13 监视定时器运行的例子

### 9.5.4 监视定时器的运行模式

H8/38004、H8/38002S 群和 H8/38104 群的监视定时器的运行模式如表 9.8 (1)、(2) 所示。

表 9.8 (1) 监视定时器的运行模式 (H8/38004 和 H8/38002S 群)

运行模式	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
TCW	复位	运行	运行	停止	运行/停止*	停止	停止	停止
TCSRW	复位	运行	运行	保持	运行/停止*	保持	保持	保持

【注】\* 在给输入时钟选择  $\phi_w/32$  时运行。

表 9.8 (2) 监视定时器的运行模式 (H8/38104 群)

运行模式	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
TCW	复位	运行	运行	运行/停止*1	运行/停止*1	运行/停止*1	运行/停止*2	停止
TCSRW	复位	运行	运行	运行/保持*1	运行/停止*1	运行/保持*1	运行/保持*2	保持
TMW	复位	运行	运行	运行/保持*1	运行/停止*1	运行/保持*1	运行/保持*2	保持

【注】 \*1 作为内部时钟，在选择  $\phi_w/32$  或者内部振荡器时运行。

\*2 只在选择内部振荡器时运行。

---

## 第 10 章 串行通信接口 3 (SCI3)

---

SCI3 可进行异步和时钟同步 2 种模式的串行数据通信。在异步模式，能与 Universal Asynchronous Receiver/Transmitter (UART) 或者 Asynchronous Communication Interface Adapter (ACIA) 等标准异步通信 LSI 进行串行数据通信，并且具有多处理器间的串行数据通信功能（多处理器通信功能）。SCI3 的框图如图 10.1 所示。

### 10.1 特点

- 可以把串行数据通信格式设定为异步或者时钟同步
- 可以进行全双工通信  
因为具有独立的发送部和接收部，所以能同时发送和接收。另外，发送部和接收部都采用了双缓冲结构，可以连续发送和接收。
- 可通过内部波特率发生器选择任意的位速率
- 可以选择内部波特率发生器或者外部时钟作为发送和接收时钟源
- 6 种中断源  
有发送结束、发送数据空、接收数据满、溢出错误、帧错误和奇偶校验错误中断源。

**【注】** H8/38104 群在执行本功能时必须使用系统时钟振荡器。

#### 异步模式

- 数据长：可以选择 7 位/8 位/5 位
- 停止位长：可以选择 1 位/2 位
- 奇偶校验：可以选择偶校验/奇校验/无奇偶校验
- 检测接收错误：奇偶校验错误、溢出错误和帧错误
- 检测中止：当发生帧错误时，可以通过直接读 RXD32 管脚电平，检测中止

#### 时钟同步模式

- 数据长：8 位
- 检测接收错误：溢出错误

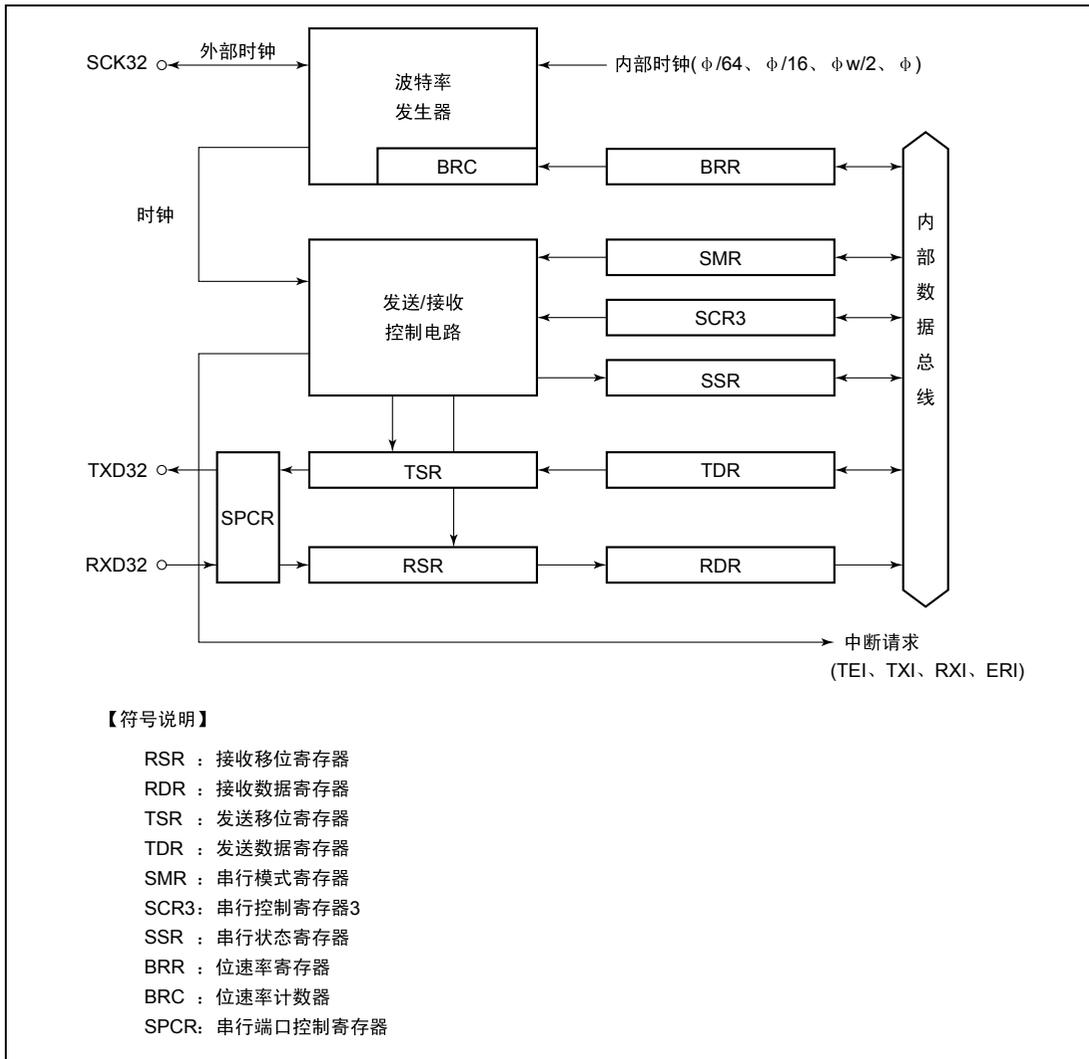


图 10.1 SCI3 的框图

## 10.2 输入/输出管脚

SCI3 管脚结构如表 10.1 所示。

表 10.1 管脚结构

名称	略称	输入/输出	功能
SCI3 时钟	SCK32	输入/输出	SCI3 的时钟输入/输出管脚
SCI3 接收数据输入	RXD32	输入	SCI3 的接收数据输入管脚
SCI3 发送数据输出	TXD32	输出	SCI3 的发送数据输出管脚

## 10.3 寄存器说明

SCI3 有以下寄存器：

- 接收移位寄存器 (RSR)
- 接收数据寄存器 (RDR)
- 发送移位寄存器 (TSR)
- 发送数据寄存器 (TDR)
- 串行模式寄存器 (SMR)
- 串行控制寄存器 3 (SCR3)
- 串行状态寄存器 (SSR)
- 位速率寄存器 (BRR)
- 串行端口控制寄存器 (SPCR)

### 10.3.1 接收移位寄存器 (RSR)

RSR 是用于将从 RXD32 管脚输入的串行数据并行转换的接收移位寄存器。如果接收到 1 帧数据，数据就自动传送到 RDR。不能从 CPU 直接存取 RSR。

### 10.3.2 接收数据寄存器 (RDR)

RDR 是用于存储接收数据的 8 位寄存器。如果接收到 1 帧数据，RSR 的接收数据就被传送到该寄存器，RSR 就可以接收下一个数据。由于 RSR 和 RDR 是双缓冲结构，因此可以连续接收。必须在确认 SSR 的 RDRF 已被置 1 后，对 RDR 进行 1 次读操作。不能从 CPU 写 RDR。RDR 的初始值是 H'00。在复位、待机模式、时钟模式以及模块待机模式时，RDR 被初始化成 H'00。

### 10.3.3 发送移位寄存器 (TSR)

TSR 是用于发送串行数据的移位寄存器。写到 TDR 的发送数据被自动传送给 TSR，通过从 LSB 顺序将 TSR 数据的各位传送到 TXD32 管脚，进行串行数据发送。但是，在数据还没被写到 TDR (TDRE 被置 1) 时，不进行从 TDR 到 TSR 的数据传送。不能从 CPU 直接存取 TSR。

### 10.3.4 发送数据寄存器 (TDR)

TDR 是用于存储发送数据的 8 位寄存器。如果检测出 TSR 为空，写到 TDR 的发送数据就被传送给 TSR，开始发送。由于 TDR 和 TSR 是双缓冲结构，因此可以连续发送。在发送完 1 帧数据时，如果下一个发送数据已被写到 TDR，就传送给 TSR，继续发送。为了正确进行串行发送，必须在确认 SSR 的 TDRE 已被置 1 后，只对 TDR 写 1 次发送数据。TDR 的初始值是 H'FF。在复位、待机模式、时钟模式或者模块待机模式时，TDR 被初始化成 H'FF。

## 10.3.5 串行模式寄存器 (SMR)

SMR 是用于选择串行数据通信格式和内部波特率发生器时钟源的寄存器。SMR 在复位、待机模式、时钟模式或者模块待机模式时被初始化成 H'00。

位	位名	初始值	R/W	说 明
7	COM	0	R/W	通信模式 0: 以异步模式运行。 1: 以时钟同步模式运行。
6	CHR	0	R/W	字符长度 (仅异步模式有效) 0: 以 8 位/5 位数据长的格式发送和接收。 1: 以 7 位/5 位数据长的格式发送和接收。 在选择 7 位数据时, 不发送 TDR 的 MSB (位 7)。 在选择 5 位数据时, 必须设定 PE=1、MP=1。 另外, 不发送 TDR 的 MSB (位 7、位 6、位 5)。在时钟同步模式中数据长与 CHR 的设定无关, 被固定为 8 位。
5	PE	0	R/W	奇偶校验允许 (仅异步模式有效) 当该位为 1 时, 发送时附加奇偶校验位, 接收时检测奇偶校验。 在时钟同步模式, 与 PE 的设定无关, 不附加和检测奇偶校验位。
4	PM	0	R/W	奇偶校验模式 (仅在异步模式 PE=1 时有效) 0: 以偶校验发送和接收。 1: 以奇校验发送和接收。 如果设定为偶校验, 就在发送时附加奇偶校验位, 使奇偶校验位和发送数据合在一起的 1 的个数的合计为偶数, 然后发送; 在接收时就检测奇偶校验位和接收数据合在一起的 1 的个数的合计是否为偶数。 如果设定为奇校验, 就在发送时附加奇偶校验位, 使奇偶校验位和发送数据合在一起的 1 的个数的合计为奇数, 然后发送; 在接收时就检测奇偶校验位和接收数据合在一起的 1 的个数的合计是否为奇数。另外, 如果在时钟同步模式或者异步模式时禁止附加和检测奇偶校验, PM 就无效。

位	位名	初始值	R/W	说 明
3	STOP	0	R/W	<p>停止位长度（仅异步模式有效） 选择发送时停止位的长度。</p> <p>0: 1 个停止位 1: 2 个停止位</p> <p>接收时，与该位的设定值无关，只检测停止位的第 1 位，在第 2 位是 0 时，视为下一个发送字符的起始位。</p>
2	MP	0	R/W	<p>多处理器模式</p> <p>在该位为 1 时，允许多处理器通信功能。PE 和 PM 位的设定值无效。 在时钟同步模式，必须将该位设定成 0。</p>
1 0	CKS1 CKS0	0 0	R/W R/W	<p>时钟选择 1~0</p> <p>选择内部波特率发生器的时钟源。</p> <p>00: <math>\phi</math> 时钟 (n=0) 01: <math>\phi w/2</math> 时钟/<math>\phi w</math> 时钟 (n=1) 10: <math>\phi/16</math> 时钟 (n=2) 11: <math>\phi/64</math> 时钟 (n=3)</p> <p>对于设定值 01，激活模式或者睡眠模式时为 <math>\phi w/2</math> 时钟，子激活模式或者子睡眠模式时为 <math>\phi w</math> 时钟，只有在 CPU 的运行时钟为 <math>\phi w/2</math> 时，才能使用 SCI3。</p> <p>关于该位的设定值和波特率的关系，请参照“10.3.8 位速率寄存器 (BRR)”。n 是用 10 进制表示的设定值，表示“10.3.8 位速率寄存器 (BRR)”中的 n 的值。</p>

## 10.3.6 串行控制寄存器 3 (SCR3)

SCR3 是用于进行发送和接收运行控制、中断控制以及发送和接收时钟源选择的寄存器。复位、待机模式、时钟模式或者模块待机模式时 SCR3 被初始化成 H'00。关于各中断请求参照“10.7 中断请求”。

位	位名	初始值	R/W	说 明
7	TIE	0	R/W	发送中断允许 如果该位置 1, 就允许 TXI 中断请求。 能通过将 TDRE 清 0 或者将 TIE 清 0 解除 TXI。
6	RIE	0	R/W	接收中断允许 如果该位置 1, 就允许 RXI 以及 ERI 中断请求。 能通过将 RDRF、FER、PER 或者 OER 的错误标志清 0 或者将 RIE 清 0 解除 RXI 和 ERI。
5	TE	0	R/W	发送允许 在该位为 1 时, 允许发送。 在 TE 为 0 的状态下, SSR 的 TDRE 被固定为 1。在 TE 为 1 的状态下, 如果给 TDR 写发送数据, SSR 的 TDRE 就被清 0, 开始串行数据的发送。另外, 必须在将 TE 置 1 前设定 SMR 和 SPCR 的 SPC32, 决定发送格式。
4	RE	0	R/W	接收允许 在该位为 1 时, 允许接收。 在此状态下, 如果在异步模式时检测到开始位或者在时钟同步模式时检测到同步时钟输入, 就开始接收串行数据。另外, 必须在将 RE 置 1 前设定 SMR, 决定接收格式。必须注意; 即使将 RE 清 0, SSR 的 RDRF、FER、PER、OER 的各标志也不受影响而累积付状态。
3	MPIE	0	R/W	多处理器中断允许 (在异步模式 SMR 的 MP=1 时有效) 如果该位置 1, 就跳过多处理器位为 0 的接收数据, 禁止对 SSR 的 RDRF、FER 和 OER 各状态标志置位。如果接收到多处理器位为 1 的数据, 该位就被自动清除, 返回到通常的接收运行状态。详细内容请参照“10.6 多处理器通信功能”。
2	TEIE	0	R/W	发送结束中断允许 如果该位置 1, 就允许 TEI 中断请求。 通过将 SSR 的 TDRE 清 0 和将 TEND 清 0 或者通过将 TEIE 清 0, 能解除 TEI。

位	位名	初始值	R/W	说 明
1	CKE1	0	R/W	时钟允许 1~0 选择时钟源。 异步的情况 00: 内部波特率发生器 01: 内部波特率发生器 (从 SCK32 管脚输出与位速率相同频率的时钟。) 10: 外部时钟 (必须从 SCK32 管脚输入频率为位速率的 16 倍的时钟。) 11: 保留 时钟同步的情况 00: 内部时钟 (SCK32 管脚功能变为时钟输出管脚。) 01: 保留 10: 外部时钟 (SCK32 管脚功能变为时钟输入管脚。) 11: 保留
0	CKE0	0	R/W	

## 10.3.7 串行状态寄存器 (SSR)

SSR 由 SCI3 状态标志、发送和接收多处理器位构成。TDRE、RDRF、OER、PER 和 FER 只能被清除。在复位、待机模式、模块待机模式或者时钟模式时，SSR 被初始化成 H'84。

位	位名	初始值	R/W	说 明
7	TDRE	1	R/W*	发送数据寄存器空 表示 TDR 内的发送数据是否存在。 [置位条件] <ul style="list-style-type: none"> <li>• SCR3 的 TE 为 0 时</li> <li>• 将数据从 TDR 传送到 TSR 时</li> </ul> [清除条件] <ul style="list-style-type: none"> <li>• 在读到 1 的状态后写 0 时</li> <li>• 给 TDR 写发送数据时</li> </ul>
6	RDRF	0	R/W*	接收数据寄存器满 表示 RDR 内的接收数据是否存在。 [置位条件] <ul style="list-style-type: none"> <li>• 接收正常结束并且将接收数据从 RSR 传送到 RDR 时</li> </ul> [清除条件] <ul style="list-style-type: none"> <li>• 在读到 1 的状态后写 0 时</li> <li>• 读 RDR 的数据时</li> </ul> 在接收中检测出错误时以及在将 SCR3 的 RE 清 0 时，RDR 和 RDRF 不受影响而保持原来的状态。必须注意：如果在 RDRF 置 1 的状态下结束数据接收，就会发生溢出错误 (OER)，丢失接收数据。
5	OER	0	R/W*	溢出错误 [置位条件] <ul style="list-style-type: none"> <li>• 在接收过程中发生溢出错误时</li> </ul> [清除条件] <ul style="list-style-type: none"> <li>• 在读到 1 的状态后写 0 时</li> </ul> 在将 SCR3 的 RE 清 0 时，OER 受影响而保持原来的状态。如果发生溢出错误，RDR 就保持发生溢出错误前的接收数据，丢失后来接收到的数据。另外，在 OER 置 1 的状态下，不能继续接收。在时钟同步模式，也不能继续发送。

位	位名	初始值	R/W	说 明
4	FER	0	R/W*	<p>帧错误</p> <p>[置位条件]</p> <ul style="list-style-type: none"> <li>在接收过程中发生帧错误时</li> </ul> <p>[清除条件]</p> <ul style="list-style-type: none"> <li>在读到了 1 的状态后写 0 时</li> </ul> <p>在将 SCR3 的 RE 清 0 时, FER 不受影响而保持原来的状态。必须注意: 在 2 个停止位模式时, 只判定第 1 位的停止位是否为 1, 而不检查第 2 位的停止位。另外, 虽然在发生帧错误时接收数据被传送到 RDR, 但是 RDRF 不被置位。特别是在 FER 被置 1 的状态下, 不能继续接收。在时钟同步模式, 如果 FER 被置 1, 就不能发送和接收。</p>
3	PER	0	R/W*	<p>奇偶校验错误</p> <p>[置位条件]</p> <ul style="list-style-type: none"> <li>在接收过程中发生奇偶校验错误时</li> </ul> <p>[清除条件]</p> <ul style="list-style-type: none"> <li>在读到 1 的状态后写 0 时</li> </ul> <p>在将 SCR3 的 RE 清 0 时, PER 不受影响而保持原来的状态。虽然发生奇偶校验错误时接收数据被传送到 RDR, 但是 RDRF 不被置位。另外, 在 PER 被置 1 的状态下, 不能继续接收。在时钟同步模式, 如果 PER 被置 1, 就不能发送和接收。</p>
2	TEND	1	R	<p>发送结束</p> <p>[置位条件]</p> <ul style="list-style-type: none"> <li>SCR3 的 TE 为 0 时</li> <li>在发送字符的最后一位被发送并且 TDRE 为 1 时</li> </ul> <p>[清除条件]</p> <ul style="list-style-type: none"> <li>在读到 TDRE=1 的状态后给 TDRE 写 0 时</li> <li>给 TDR 写发送数据时</li> </ul>
1	MPBR	0	R	<p>多处理器位接收</p> <p>存储接收字符中的多处理器位。在 SCR3 的 RE=0 时不变化。</p>
0	MPBT	0	R/W	<p>多处理器位传送</p> <p>指定附加在发送字符的多处理器位的值。</p>

【注】 \* 为了清除标志, 只能写 0。

### 10.3.8 位速率寄存器 (BRR)

BRR 是设定位速率的 8 位可读写寄存器。在复位、待机模式、模块待机模式或者时钟模式时，BRR 被初始化成 H'FF。在异步模式，设定 SMR 的 CKS1、CKS0 的值 n 和 BRR 的值 N 的例子如表 10.2 所示，异步模式的最大位速率如表 10.4 所示，无论哪个值都表示激活（高速）模式的值。在时钟同步模式，设定 SMR 的 CKS1、CKS0 的值 n 和 BRR 的值 N 的例子如表 10.5 所示。对于其他运行频率和位速率的组合，BRR 的设定值 N 和误差用下面的计算式计算：

（异步模式）

$$N = \frac{\phi}{32 \times 2^{2n} \times B} - 1$$

$$\text{误差(\%)} = \frac{B (\text{从 } n、N、\phi \text{ 计算出的位速率}) - R (\text{表10.2左栏的位速率})}{R (\text{表10.2左栏的位速率})} \times 100$$

B: 位速率 (bit/s)

N: 波特率发生器的 BRR 的设定值 ( $0 \leq N \leq 255$ )

$\phi$ : 工作频率 (Hz)

n: 波特率发生器的输入时钟的 No. (n=0、2、3)

(n 和时钟的关系请参照表 10.3)

表 10.2 对于位速率的 BRR 的设定例子 (异步模式) (1)

位速率 (bit/s)	$\phi=16.4\text{kHz}$			$\phi=19.2\text{kHz}$			$\phi=1\text{MHz}$			$\phi=1.2288\text{MHz}$		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	—	—	—	—	—	—	2	17	-1.36	2	21	-0.83
150	—	—	—	0	3	0	2	12	0.16	3	3	0
200	—	—	—	0	2	0	2	9	-2.34	3	2	0
250	0	1	2.5	—	—	—	3	1	-2.34	0	153	-0.26
300	—	—	—	0	1	0	0	103	0.16	3	1	0
600	—	—	—	0	0	0	0	51	0.16	3	0	0
1200				—	—	—	0	25	0.16	2	1	0
2400							0	12	0.16	2	0	0
4800							—	—	—	0	7	0
9600							—	—	—	0	3	0
19200							—	—	—	0	1	0
31250							0	0	0	—	—	—
38400							—	—	—	0	0	0

表 10.2 对于位速率的 BRR 的设定例子 (异步模式) (2)

位速率 (bit/s)	$\phi=2\text{MHz}$			$\phi=5\text{MHz}$			$\phi=8\text{MHz}$			$\phi=10\text{MHz}$		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	3	8	-1.36	3	21	0.88	3	35	-1.36	3	43	0.88
150	2	25	0.16	3	15	1.73	3	25	0.16	3	32	-1.36
200	3	4	-2.34	3	11	1.73	3	19	-2.34	3	23	1.73
250	2	15	-2.34	3	9	-2.34	3	15	-2.34	3	19	-2.34
300	2	12	0.16	3	7	1.73	3	12	0.16	3	15	1.73
600	0	103	0.16	3	3	1.73	2	25	0.16	3	7	1.73
1200	0	51	0.16	3	1	1.73	2	12	0.16	3	3	1.73
2400	0	25	0.16	3	0	1.73	0	103	0.16	3	1	1.73
4800	0	12	0.16	2	1	1.73	0	51	0.16	3	0	1.73
9600	—	—	—	2	0	1.73	0	25	0.16	2	1	1.73
19200	—	—	—	0	7	1.73	0	12	0.16	2	0	1.73
31250	0	1	0	0	4	0	0	7	0	0	9	0
38400	—	—	—	0	3	1.73	—	—	—	0	7	1.73

## 【符号说明】

空栏：不能设定

—：虽然可以设定，但是会出现误差。

表 10.3 n 和时钟的关系

n	时钟	SMR 的设定值	
		CKS1	CKS0
0	$\phi$	0	0
0	$\phi w/2^{*1} / \phi w^{*2}$	0	1
2	$\phi /16$	1	0
3	$\phi /64$	1	1

【注】 \*1 在激活（中速/高速）模式或者睡眠（中速/高速）模式时为  $\phi w/2$  时钟。

\*2 在子激活模式或者子睡眠模式时为  $\phi w$  时钟。另外，在子激活模式或者子睡眠模式时，只有在 CPU 运行时钟为  $\phi w/2$  时才能使用 SCI3。

表 10.4 各频率的最大位速率（异步模式）

OSC (MHz)	$\phi$ (MHz)	最大位速率 (bit/s)	设定值	
			n	N
0.0384*	0.0192	600	0	0
2	1	31250	0	0
2.4576	1.2288	38400	0	0
4	2	62500	0	0
10	5	156250	0	0
16	8	250000	0	0
20	10	312500	0	0

【注】 \* 在将 SMR 设定成 CKS1=0、CKS0=1 时

表 10.5 对于位速率的 BRR 的设定例子 (时钟同步模式) (1)

OSC 位速率 (bit/s)	19.2kHz			1MHz			2MHz		
	n	N	误差率	n	N	误差率	n	N	误差率
200	0	23	0	—	—	—	—	—	—
250	—	—	—	—	—	—	2	124	0
300	2	0	0	—	—	—	—	—	—
500				—	—	—	—	—	—
1K				0	249	0	—	—	—
2.5K				0	99	0	0	199	0
5K				0	49	0	0	99	0
10K				0	24	0	0	49	0
25K				0	9	0	0	19	0
50K				0	4	0	0	9	0
100K				—	—	—	0	4	0
250K				0	0	0	0	1	0
500K							0	0	0
1M									

表 10.5 对于位速率的 BRR 的设定例子 (时钟同步模式) (2)

OSC 位速率 (bit/s)	5MHz			8MHz			10MHz		
	n	N	误差率	n	N	误差率	n	N	误差率
200	—	—	—	—	—	—	0	12499	0
250	—	—	—	3	124	0	2	624	0
300	—	—	—	—	—	—	0	8332	0
500	—	—	—	2	249	0	0	4999	0
1K	—	—	—	2	124	0	0	2499	0
2.5K	—	—	—	2	49	0	0	999	0
5K	0	249	0	2	24	0	0	499	0
10K	0	124	0	0	199	0	0	249	0
25K	0	49	0	0	79	0	0	99	0
50K	0	24	0	0	39	0	0	49	0
100K	—	—	—	0	19	0	0	24	0
250K	0	4	0	0	7	0	0	9	0
500K	—	—	—	0	3	0	0	4	0
1M	—	—	—	0	1	0	—	—	—

## 【符号说明】

空栏 : 不能设定

— : 虽然可以设定, 但是会出现误差。

【注】 BRR 的设定值用下面的计算式计算:

$$N = \frac{\phi}{8 \times 2^{2n} \times B} - 1$$

B: 位速率 (bit/s)

N: 波特率发生器的 BRR 的设定值 ( $0 \leq N \leq 255$ )

$\phi$ : 工作频率 (Hz)

n: 波特率发生器的输入时钟的 No. (n=0、2、3)

(n 和时钟的关系请参照表 10.6)

表 10.6 n 和时钟的关系

n	时钟	SMR 的设定值	
		CKS1	CKS0
0	$\phi$	0	0
0	$\phi w/2^{*1} / \phi w^{*2}$	0	1
2	$\phi / 16$	1	0
3	$\phi / 64$	1	1

【注】 \*1 在激活 (中速/高速) 模式或者睡眠 (中速/高速) 模式时为  $\phi w/2$  时钟。

\*2 在子激活模式或者子睡眠模式时为  $\phi w$  时钟。另外, 在子激活模式或者子睡眠模式时, 只有在 CPU 运行时钟为  $\phi w/2$  时才能使用 SCI3。

### 10.3.9 串行端口控制寄存器 (SPCR)

SPCR 进行 RXD32 管脚和 TXD32 管脚的输入/输出数据的反转切换。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1，写无效。
6	—	1	—	
5	SPC32	0	R/W	P42/TXD32 管脚切换 选择 P42/TXD32 管脚是作为 P42 管脚使用还是作为 TXD32 管脚使用。 0: 作为 P42 输入/输出管脚使用 1: 作为 TXD32 输出管脚使用
4	—	—	W	保留位。总是读出 1，写无效。
3	SCINV3	0	R/W	TXD32 管脚输出数据的反转切换 选择是否反转 TXD32 管脚的输出数据的逻辑电平。 0: 不反转 TXD32 管脚的输出数据 1: 反转 TXD32 管脚的输出数据
2	SCINV2	0	R/W	RXD32 管脚输入数据的反转切换 选择是否反转 RXD32 管脚的输入数据的逻辑电平。 0: 不反转 RXD32 管脚的输入数据 1: 反转 RXD32 管脚的输入数据
1	—	—	W	保留位。总是读出 1，写无效。
0	—	—	W	

**【注】** 如果改写串行端口控制寄存器，就在改写后立即反转改写前被输入/输出的数据，并且无效数据的变化也被输入/输出。所以在改写串行端口控制寄存器时，必须在数据变化为无效状态下进行。

## 10.4 异步模式的运行说明

异步通信的通信数据的一般格式如图 10.2 所示。通信数据的一个字符或者一帧由起始位（低电平），发送/接收数据（LSB 优先）、奇偶校验位、停止位（高电平）的顺序构成。在异步模式，接收时通过停止位的下降沿取得同步。另外，因为在 1 位周期的 16 倍频率时钟的第 8 个脉冲采样数据，所以在各位的中央取得通信数据。由于 SCI3 内部发送部和接收部独立，因此能进行全双工通信。另外，由于发送部和接收部都采用双缓冲结构，所以可以通过在发送过程中写下一个发送数据或者在接收过程中读前一个接收数据，进行连续发送和接收。在异步模式能设定的发送/接收格式如表 10.7 所示。发送/接收格式有 16 种，能通过 SMR 的设置选择，如表 10.8 所示。



图 10.2 异步通信的数据格式

### 10.4.1 时钟

作为 SCI3 的发送和接收时钟源，能通过 SMR 的 COM 和 SCR3 的 CKE1、CKE0 的设置，选择内部波特率发生器生成的内部时钟或者从 SCK32 管脚输入的外部时钟。当使用外部时钟时，必须给 SCK32 管脚输入频率为 16 倍位速率的时钟。关于时钟源的选择，请参照表 10.9。当使用内部时钟时，能从 SCK32 管脚输出与位速率相同频率的时钟。输出时钟的相位如图 10.3 所示，在发送和接收数据的每一位的中央时钟上升。

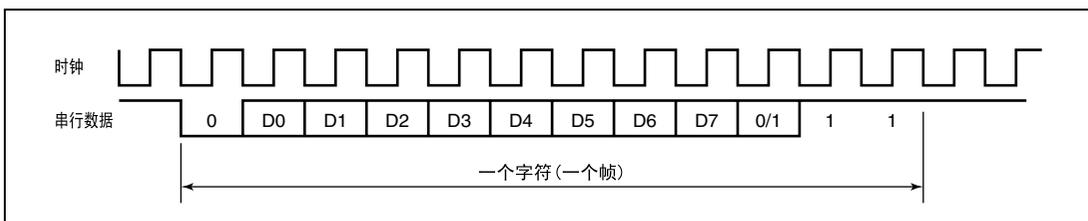


图 10.3 输出时钟和通信数据的相位关系（异步模式）  
（8 位数据/有奇偶校验/2 个停止位的例子）

表 10.7 通信格式 (异步模式)

SMR				串行通信格式和帧长													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	START	8位数据								STOP				
0	0	0	1	START	8位数据								STOP	STOP			
0	0	1	0	START	8位数据								MPB	STOP			
0	0	1	1	START	8位数据								MPB	STOP	STOP		
0	1	0	0	START	8位数据								P	STOP			
0	1	0	1	START	8位数据								P	STOP	STOP		
0	1	1	0	START	5位数据					STOP							
0	1	1	1	START	5位数据					STOP	STOP						
1	0	0	0	START	7位数据							STOP					
1	0	0	1	START	7位数据							STOP	STOP				
1	0	1	0	START	7位数据							MPB	STOP				
1	0	1	1	START	7位数据							MPB	STOP	STOP			
1	1	0	0	START	7位数据							P	STOP				
1	1	0	1	START	7位数据							P	STOP	STOP			
1	1	1	0	START	5位数据					P	STOP						
1	1	1	1	START	5位数据					P	STOP	STOP					

【符号说明】

- \* : Don't care
- START : 开始位
- STOP : 停止位
- P : 奇偶校验位
- MPB : 多处理器位

表 10.8 SMR 的设定值和发送/接收格式

SMR					模式	发送/接收格式							
位 7	位 6	位 2	位 5	位 3		数据长	多处理器位	奇偶校验位	停止位长				
COM	CHR	MP	PE	STOP									
0	0	0	0	0	0	异步模式	8 位数据	无	无	1			
				1	0					2			
			1	0	0					0	1		
					1					0	2		
			1	1	0					0	1		
					1					0	2		
	1	0	1	0	0		0	7 位数据	有	无	1		
					1		0				2		
				1	0		0				0	1	
							1				0	2	
		1	1	1	0		0	0	8 位数据	有	有	1	
							1	0				2	
					1		0	0				0	1
								1				0	2
1	*	0	*	*	时钟同步模式	8 位数据	无	无	无				

【符号说明】\*: Don't care

表 10.9 SMR 和 SCR3 的设定和时钟源的选择

SMR	SCR3		模式	发送/接收时钟	
	位 7	位 1		时钟源	SCK32 管脚的功能
	COM	CKE1			
0	0	0	异步模式	内部	输入/输出端口 (不使用 SCK32 管脚)
		1			输出和位速率相同频率的时钟
	1	0		外部	输入 16 倍位速率的频率时钟
1	0	0	时钟同步模式	内部	输出同步时钟
	1	0		外部	输入同步时钟
0	1	1	保留 (不能指定此组合)		
1	0	1			
1	1	1			

### 10.4.2 SCI3 的初始化

按照图 13.4 流程图的例子初始化。要注意的是，如果 TE 清 0，TDRE 就被置 1，即使 RE 清 0，RDRF、PER、FER 和 OER 的各标志以及 RDR 也不被初始化。在异步模式使用外部时钟的情况下，必须从初始化开始供给时钟。在时钟同步模式使用外部时钟时，在初始化运行过程中不能供给时钟。

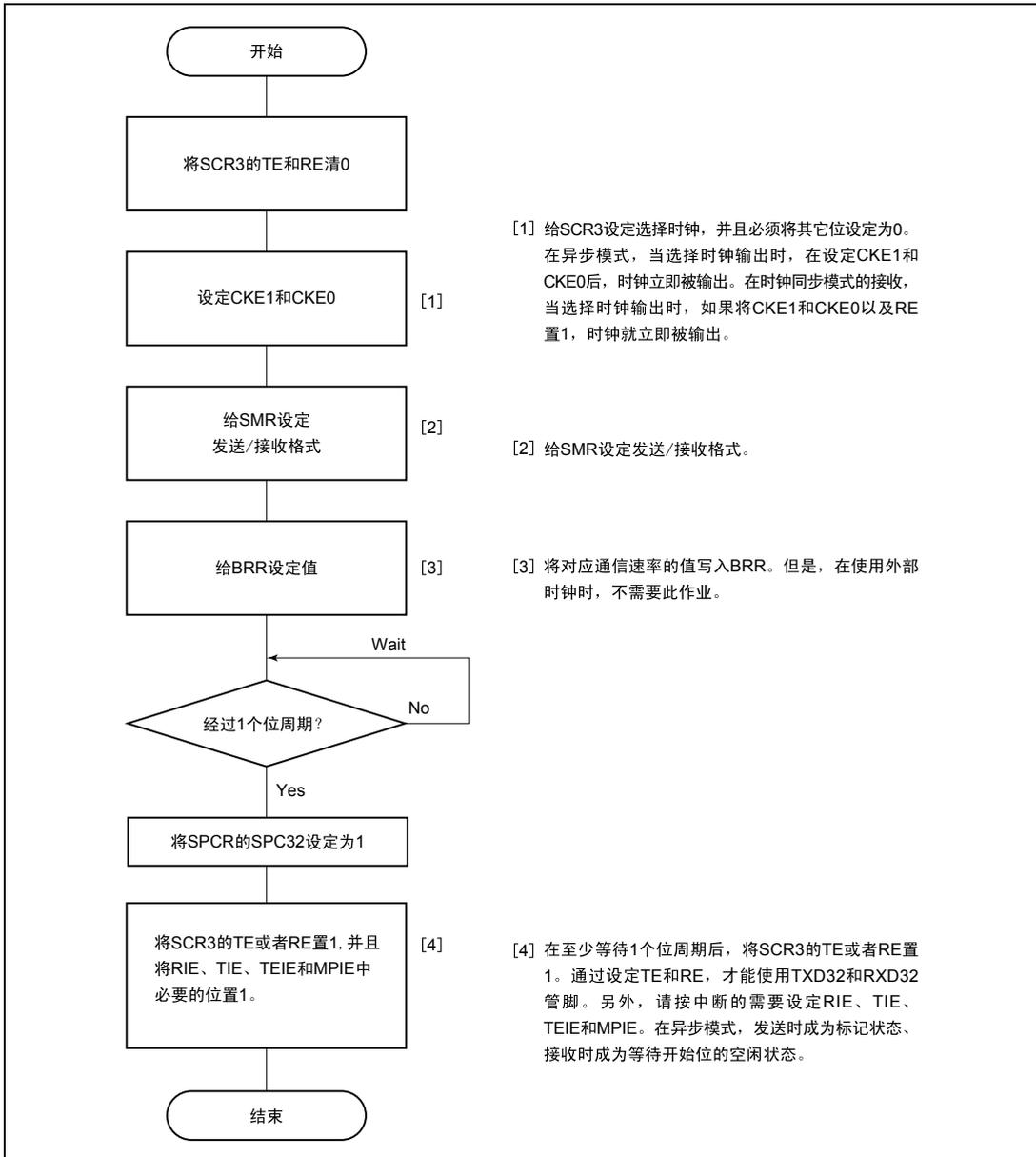


图 10.4 初始化 SCI3 时的流程图例子

### 10.4.3 数据发送

异步模式发送时的运行例子如图 10.5 所示。发送数据时的 SCI3 运行步骤如下：

1. 监视SSR的TDRE，如果是0，就被认为数据已写到TDR，将数据从TDR传送给TSR。
2. 在TDRE置1后开始发送。此时，如果SCR3的TIE被置1，就发生TXI中断请求。可以通过该TXI中断处理程序，在前一个被传送的数据发送结束之前，将下一个发送数据写到TDR，进行连续发送。
3. 在发送停止位的同时检测TDRE。
4. 如果TDRE是0，就将数据从TDR传送给TSR，并在发送停止位后开始发送下一帧。
5. 如果TDRE是1，就将SSR的TEND置1，并在发送停止位后输出1，成为标记状态。此时，如果SCR3的TEIE被置1，就发生TEI。
6. 发送数据的流程图例子如图10.6所示。

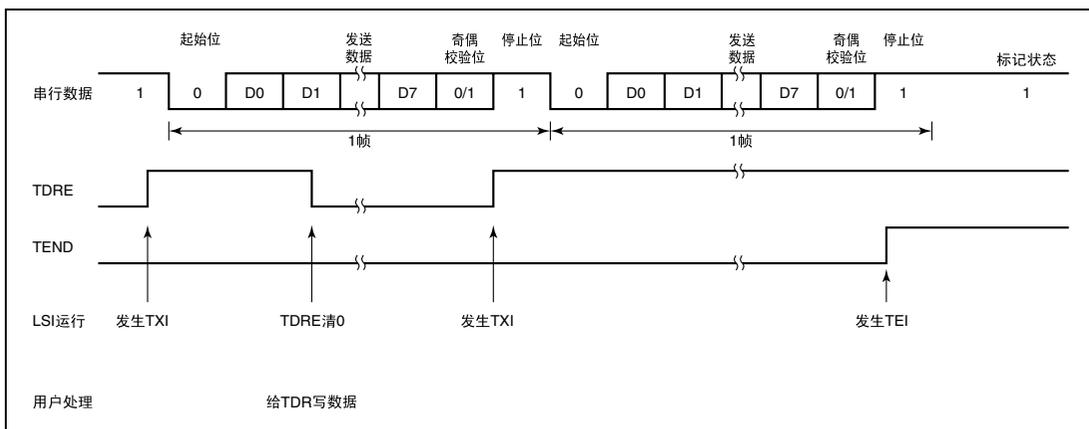


图 10.5 异步模式发送时的运行例子（8 位数据/有奇偶校验/1 个停止位的例子）

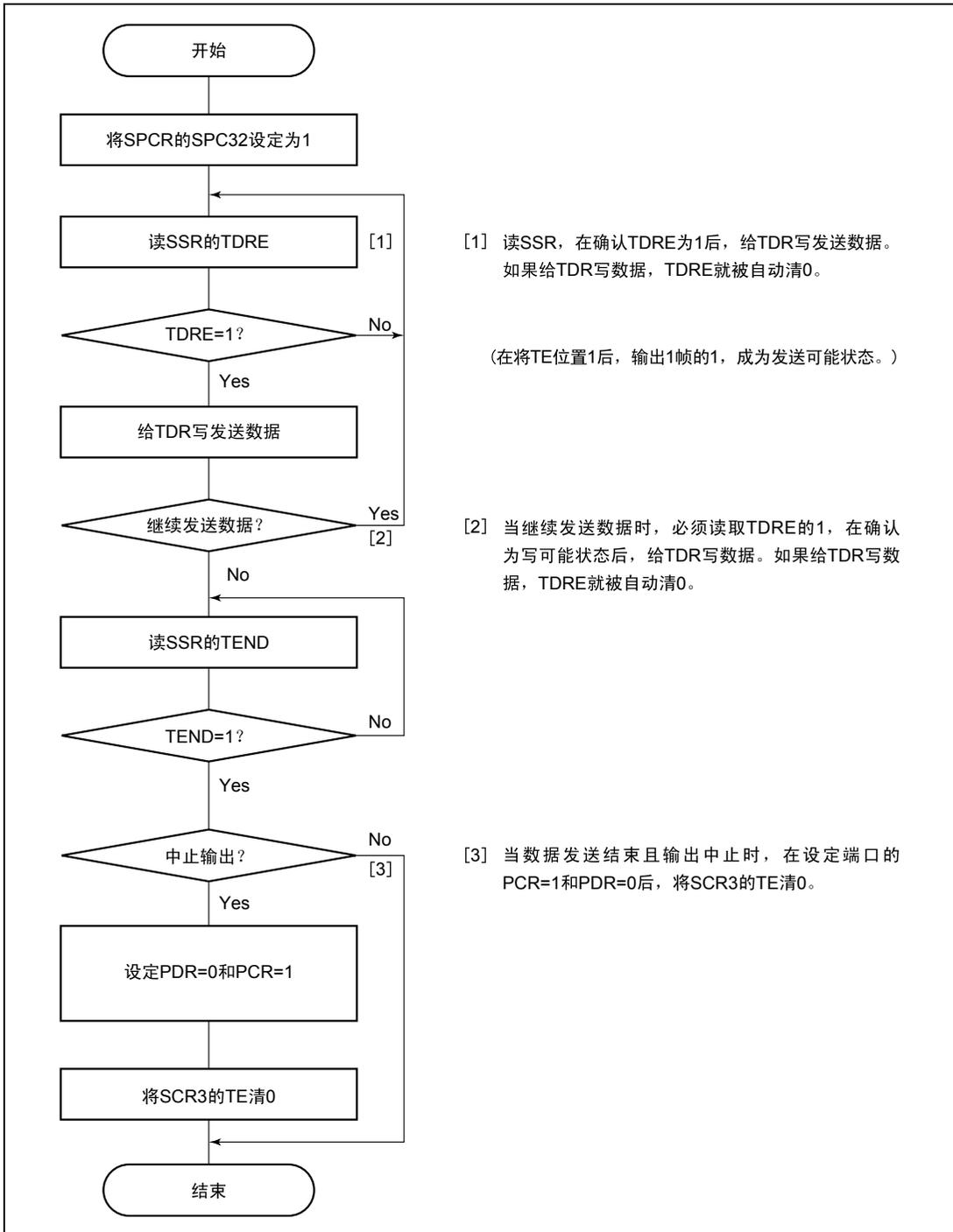


图 10.6 发送数据的流程图例子 (异步模式)

#### 10.4.4 数据接收

异步模式接收时的运行例子图 10.7 所示。SCI3 在接收时的运行步骤如下：

1. 监视通信线路，如果检测出起始位，就进行内部同步，将接收数据传送给RSR，并检测奇偶校验位和停止位。
  - 检查奇偶校验：  
检查接收数据的 1 的个数，检查它是否为由 SMR 的 PM 设定的偶数/奇数的奇偶校验。
  - 检查停止位：  
检查停止位是否为 1。但是，在 2 个停止位的情况下，只检查第 1 位的停止位。
  - 检查状态：  
检查RDRF是否为 0 并且是否处于能将接收数据从RSR传送到RDR的状态。
2. 当发生溢出错误时（在SSR的RDRF被置 1 的状态下，完成接收下一个数据时），SSR 的OER被置位。此时，如果SCR3的RIE被置 1，就发生ERI中断请求。接收数据不传送给RDR。
3. 在检测出奇偶校验错误时，SSR的PER被置位，并且将接收数据传送给RDR。此时，如果SCR3的RIE已被置 1，就发生ERI中断请求。
4. 在检测出帧错误（停止位是 0 的时候）时，SSR的FER被置位，并且将接收数据传送给RDR。此时，如果SCR3的RIE被置 1，就发生ERI中断请求。
5. 在正常接收时，SSR的RDRF被置位，并且将接收数据传送给RDR。此时，如果SCR3 的RIE被置 1，就发生RXI中断请求。可以通过该RXI中断处理程序，在下一个数据接收结束之前，读传送到RDR的接收数据，进行连续接收。

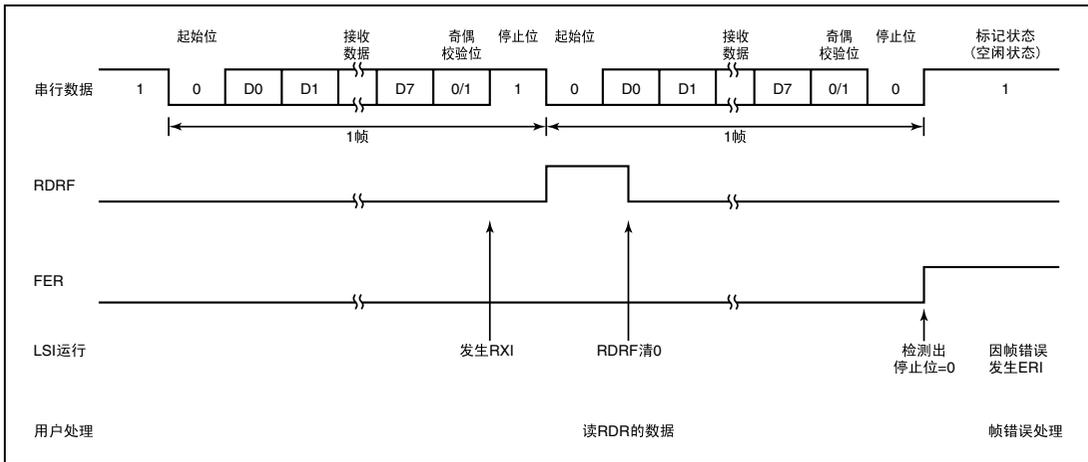


图 10.7 异步模式接收时的运行例子（8 位数据/有奇偶校验/1 个停止位的例子）

在检测出接收错误时，SSR 各状态标志的状态和接收数据的处理如表 10.10 所示。如果检测出接收错误，RDRF 就保持接收数据前的状态。在接收错误被置位的状态下，不能进行以后的接收运行。因此，在继续接收前，必须将 OER、FER、PER 和 RDRF 清 0。接收数据的流程图例子如图 10.8 所示。

表 10.10 SSR 状态标志的状态和接收数据的传送

SSR 状态标志				接收数据	接收错误的状态
RDRF*	OER	FER	PER		
1	1	0	0	丢失	溢出错误
0	0	1	0	传送给 RDR	帧错误
0	0	0	1	传送给 RDR	奇偶校验错误
1	1	1	0	丢失	溢出错误 + 帧错误
1	1	0	1	丢失	溢出错误 + 奇偶校验错误
0	0	1	1	传送给 RDR	帧错误 + 奇偶校验错误
1	1	1	1	丢失	溢出错误 + 帧错误 + 奇偶校验错误

【注】\* RDRF 保持数据接收前的状态。但是，请注意：如果延误了读取前帧接收数据，就发生溢出错误，此后，如果读取 RDR，RDRF 就被清 0。

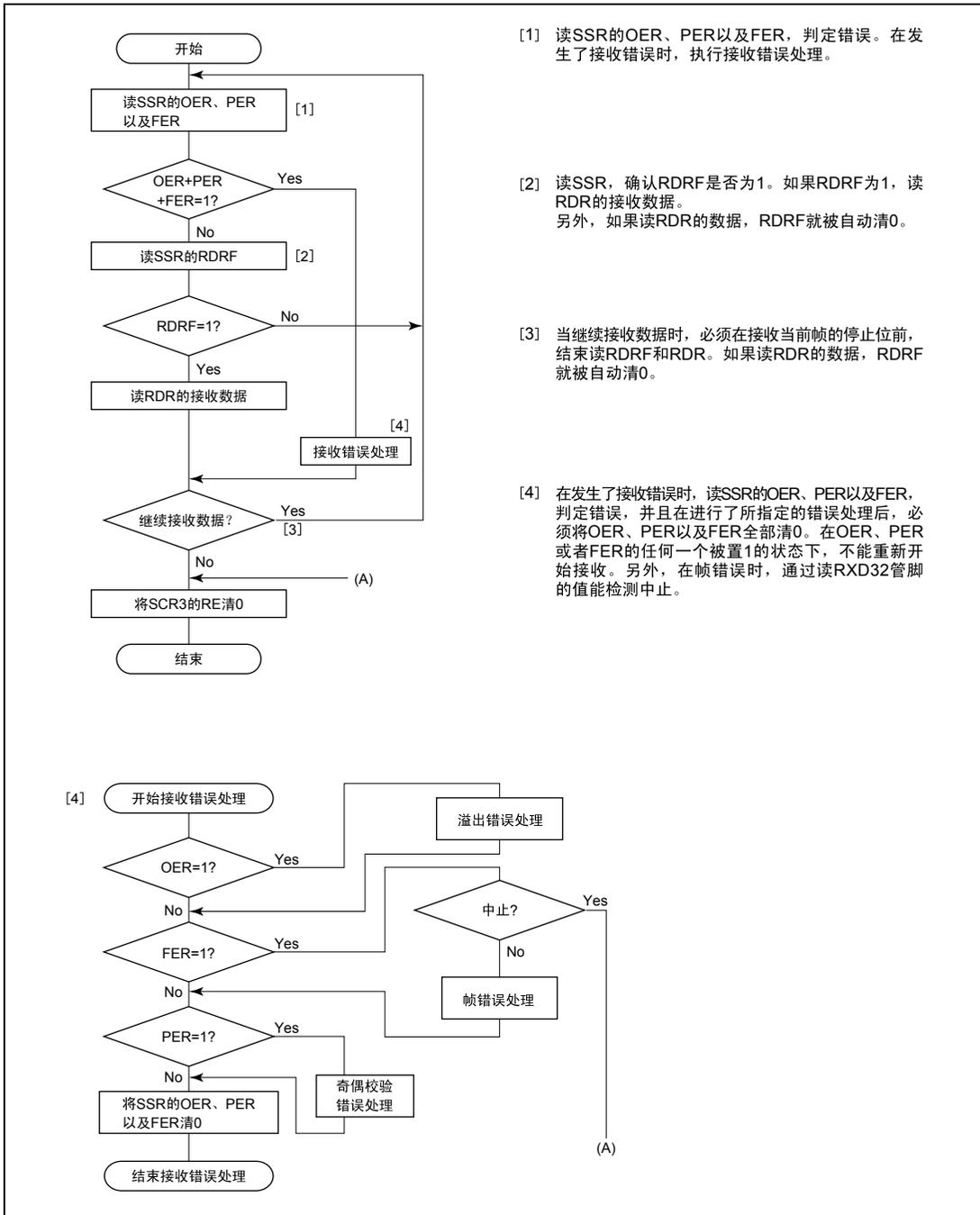


图 10.8 数据接收的流程图例子（异步模式）

## 10.5 时钟同步模式的运行说明

时钟同步通信的通信数据格式如图 10.9 所示。在时钟同步模式，与时钟脉冲同步发送和接收数据。通信数据的一个字符由 LSB 开始的 8 位数据构成。SCI3 在发送数据时，从同步时钟的一个下降沿开始到下一个下降沿为止输出数据。在接收数据时，与同步时钟的上升沿同步接收数据。MSB 输出后的通信线路保持 MSB 输出状态。在时钟同步模式，不能附加奇偶校验位和多处理器位。由于在 SCI3 内部发送部和接收部独立，因此能通过共享时钟进行全双工通信。由于发送部和接收部都采用了双缓冲结构，因此可以通过在发送中写下一个发送数据和在接收中读前一个接收数据，进行连续发送和接收。

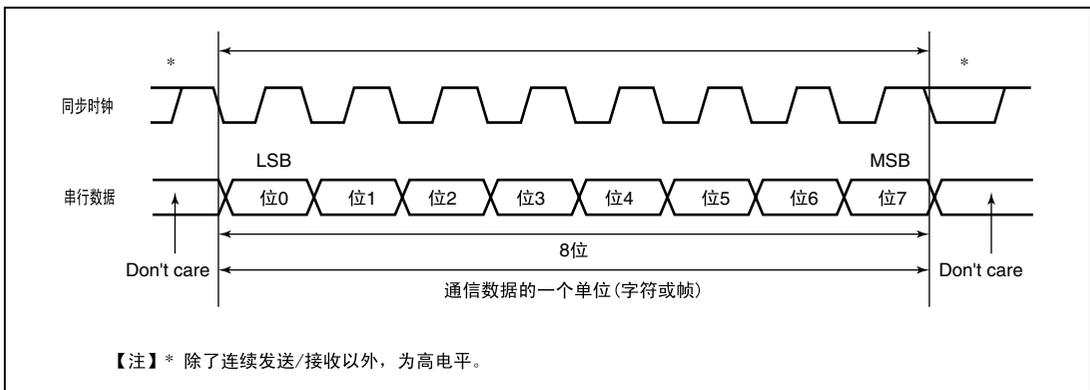


图 10.9 时钟同步通信的数据格式

### 10.5.1 时钟

通过设定 SMR 的 COM 和 SCR3 的 CKE1、CKE0，能选择内部波特率发生器生成的内部时钟或者选择从 SCK32 管脚输入的外部同步时钟。当以内部时钟运行时，从 SCK32 管脚输出同步时钟。在发送和接收 1 个字符时同步时钟输出 8 个脉冲，在不进行发送和接收时同步时钟被固定为高电平。

### 10.5.2 SCI3 的初始化

在发送和接收数据前，必须按照图 10.4 的流程图的例子初始化 SCI3。

### 10.5.3 数据发送

时钟同步模式发送时的运行例子如图 10.10 所示。发送数据时的 SCI3 运行步骤如下：

1. SCI3 监视 SSR 的 TDRE，如果是 0，就被认为数据已写到 TDR，将数据从 TDR 传送给 TSR。
2. 在 TDRE 置 1 后开始发送。此时，如果 SCR3 的 TIE 被置 1，就发生 TXI 中断请求。
3. 在设定为时钟输出模式时，SCI3 输出 8 个脉冲的同步时钟。在设定为外部时钟时，与输入时钟同步输出数据。串行数据由 LSB（位 0）开始按顺序从 TXD32 管脚被发送。
4. 在发送 MSB（位 7）的同时检测 TDRE。
5. 如果 TDRE 是 0，就将数据从 TDR 传送给 TSR，并开始发送下一帧。
6. 如果 TDRE 是 1，就给 SSR 的 TEND 置 1，并保持 MSB 输出状态。此时，如果 SCR3 的 TEIE 被置 1，就发生 TEI。
7. 在结束发送后 SCK3 管脚被固定为高电平。

发送数据的流程图例子如图 10.11 所示。由于在表示数据接收状态的错误标志（OER、FER、PER）被置 1 的状态下，不能进行发送，因此必须在发送前确认错误标志（OER、FER、PER）是否已被清 0。

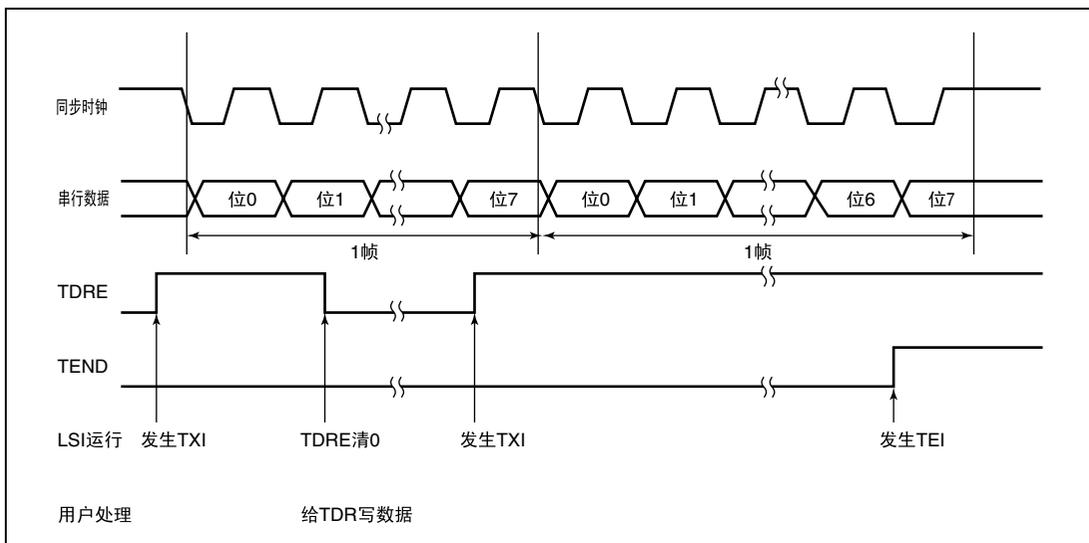


图 10.10 时钟同步模式发送时的运行例子

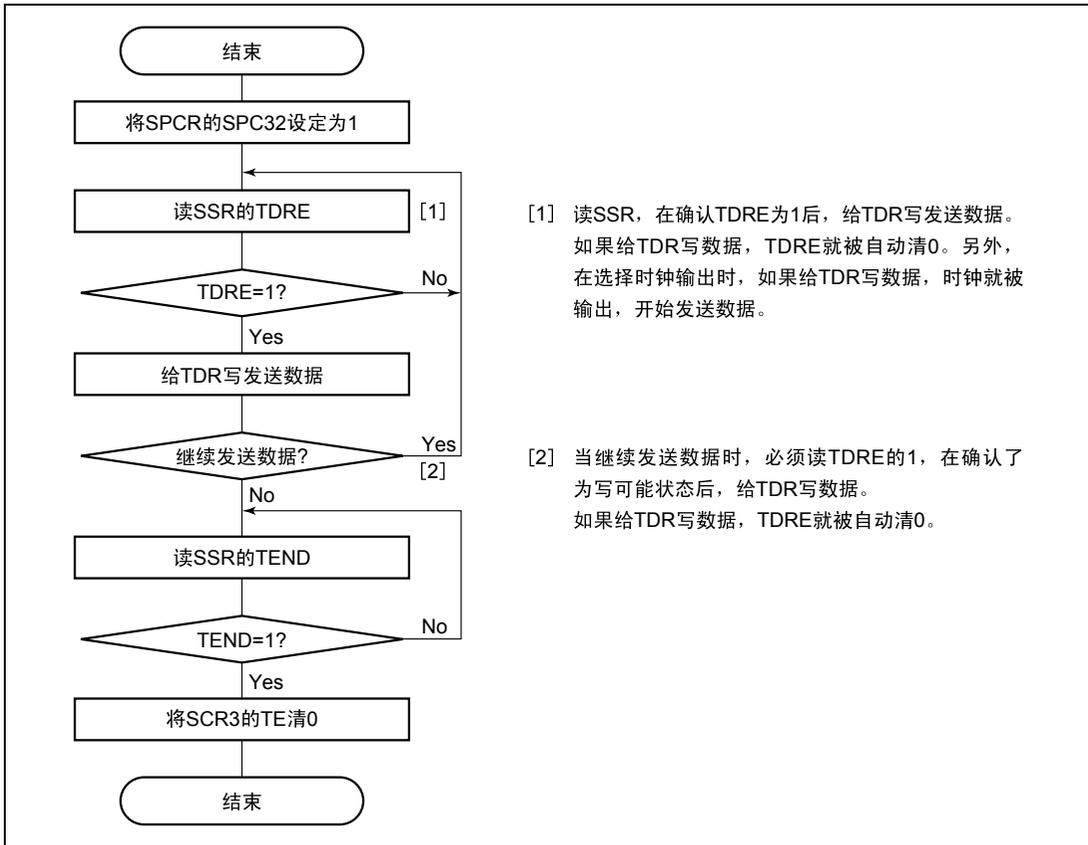


图 10.11 数据发送的流程图例子（时钟同步模式）

### 10.5.4 数据接收

时钟同步模式接收时的运行例子如图 10.12 所示。接收时的 SCI3 运行步骤如下：

1. SCI3与同步时钟的输入或者输出同步，进行内部初始化，然后开始接收。
2. 将接收的数据传送给RSR。
3. 当发生溢出错误时（在SSR的RDRF置1的状态下完成接收下一个数据时），SSR的OER被置位。此时，如果SCR3的RIE被置1，就发生ERI中断请求。接收数据不传送给RDR。保持RDRF置1的状态。
4. 正常接收时，将SSR的RDRF置位，并且将接收数据传送给RDR。此时，如果SCR3的RIE被置1，就发生RXI中断请求。

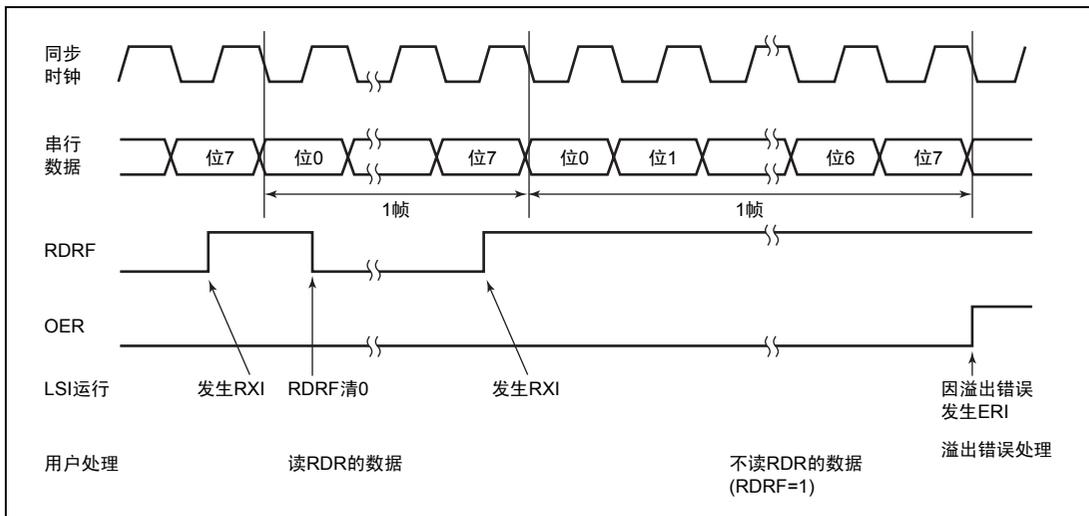


图 10.12 时钟同步模式接收时的运行例子

在接收错误被置位的状态下，不能进行以后的接收运行。因此，在继续接收前，必须将 OER、FER、PER 和 RDRF 清 0。接收数据的流程图例子如图 10.13 所示。

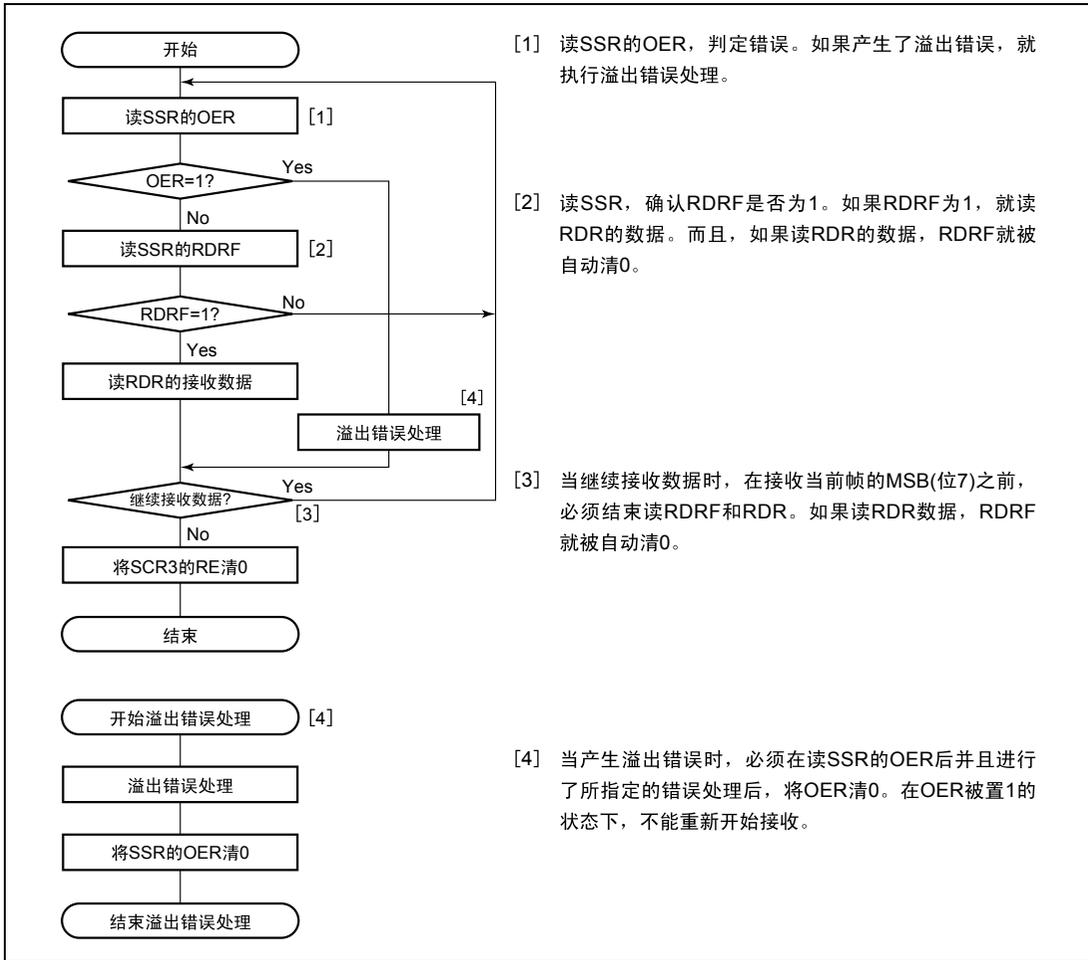


图 10.13 接收数据的流程图例子（时钟同步模式）

### 10.5.5 数据发送和接收同时运行

发送和接收数据同时运行的流程图例子如图 10.14 所示。发送和接收数据同时运行必须在 SCI3 初始化后按以下的步骤进行。从发送转换到同时发送和接收时，在确认 SCI3 是发送结束状态，并且 TDRE 和 TEND 被置 1 以后，将 TE 清 0，然后用一条指令将 TE 和 RE 同时置 1。从接收转换到同时发送和接收时，在确认 SCI3 是接收结束状态后，将 RE 清 0，然后在确认 RDRF 和错误标志 (OER、FER、PER) 被清 0 后，用一条指令将 TE 和 RE 同时置 1。

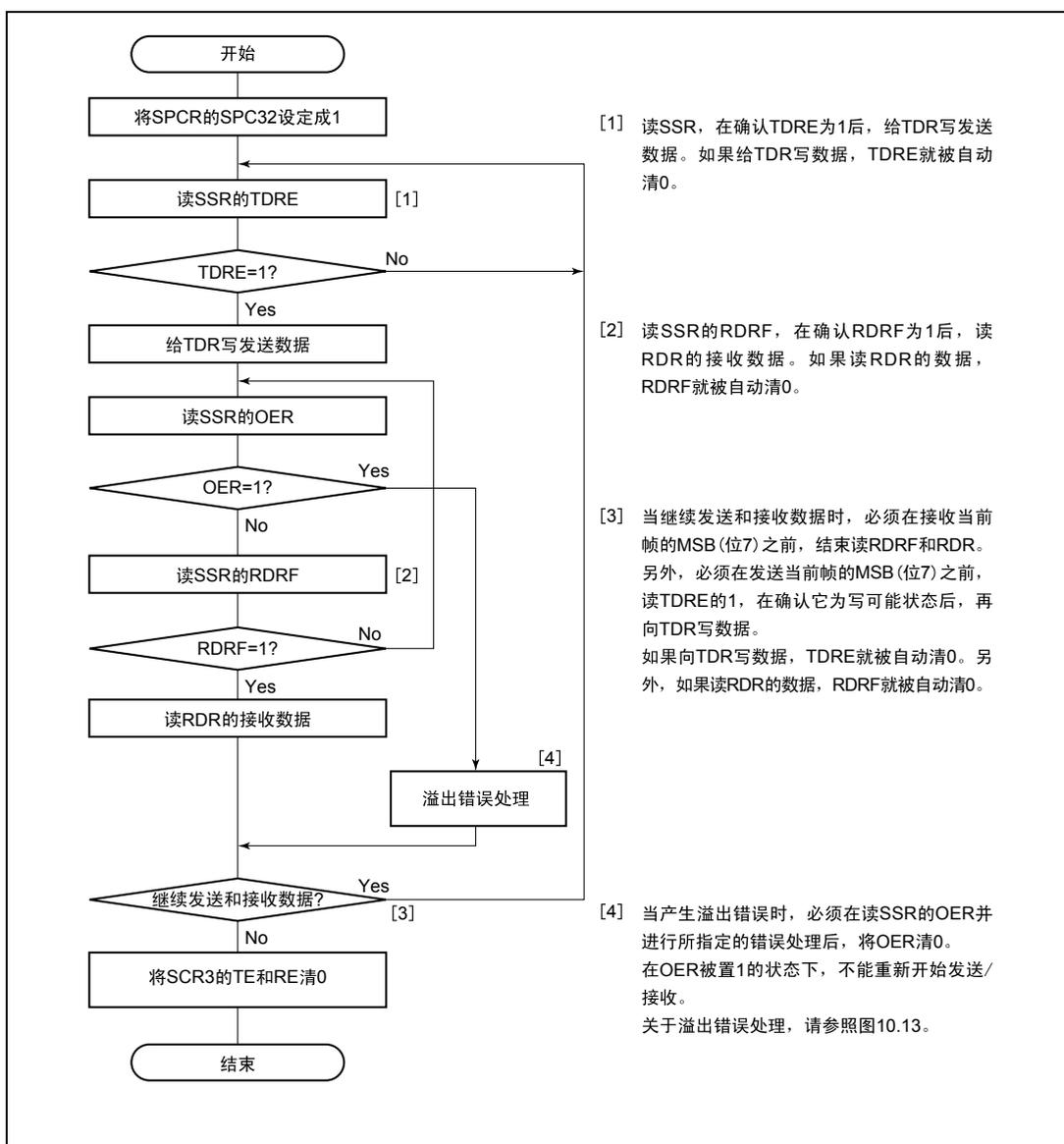


图 10.14 数据发送和接收同时运行的流程图例子 (时钟同步模式)

## 10.6 多处理器通信功能

如果使用多处理器通信功能，就能通过附加多处理器位的异步串行通信，在多处理器之间共用通信线路发送和接收数据。在多处理器通信时，给各接收站分配一个特有的 ID 码。由指定接收站的 ID 发送周期和对指定接收站的数据发送周期构成串行通信周期。由多处理器位区分 ID 发送周期和数据发送周期。当多处理器位是 1 时，为 ID 发送周期；当多处理器位是 0 时，为数据发送周期。使用多处理器格式的处理器之间的通信例子如图 10.15 所示。发送站首先发送将多处理器位为 1 的数据附加于接收站 ID 码的通信数据，然后发送将多处理器位为 0 的数据附加于发送数据的通信数据。接收站如果接收到多处理器位为 1 的通信数据，就与本站的 ID 比较。如果一致，就继续接收被发送的通信数据；如果不一致，就在再次接收到多处理器位是 1 的通信数据前，跳过通信数据。

SCI3 为了支持这个功能，在 SCR3 预备了 MPIE 位。如果将 MPIE 置 1，就在接收到多处理器位为 1 的数据前，禁止将接收数据从 RSR 传送到 RDR、禁止检测接收错误和禁止将 SSR 的 RDRF、FER 和 OER 各状态标志置位。如果接收到多处理器位为 1 的接收字符，就在将 SSR 的 MPBR 置 1 的同时，自动清除 MPIE，并返回通常的接收运行状态。此时，如果 SCR3 的 RIE 被置位，就发生 RXI 中断。

在指定了多处理器格式的情况下，奇偶校验位的指定为无效。除此以外，与通常的异步模式相同。进行多处理器通信时的时钟也和通常的异步模式相同。

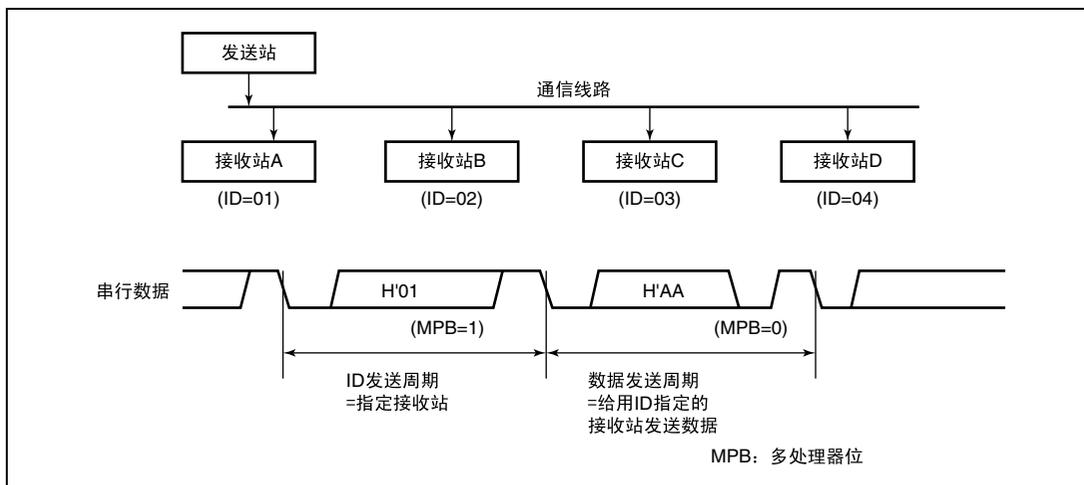


图 10.15 使用多处理器格式的处理器之间的通信例子  
(给接收站 A 发送数据 H'AA 的例子)

### 10.6.1 多处理器数据发送

多处理器数据发送的流程图例子如图 10.16 所示。在 ID 发送周期，必须在将 SSR 的 MPBT 置 1 后发送。在数据发送周期，必须在将 SSR 的 MPBT 清 0 后发送。其它运行和异步模式的运行相同。

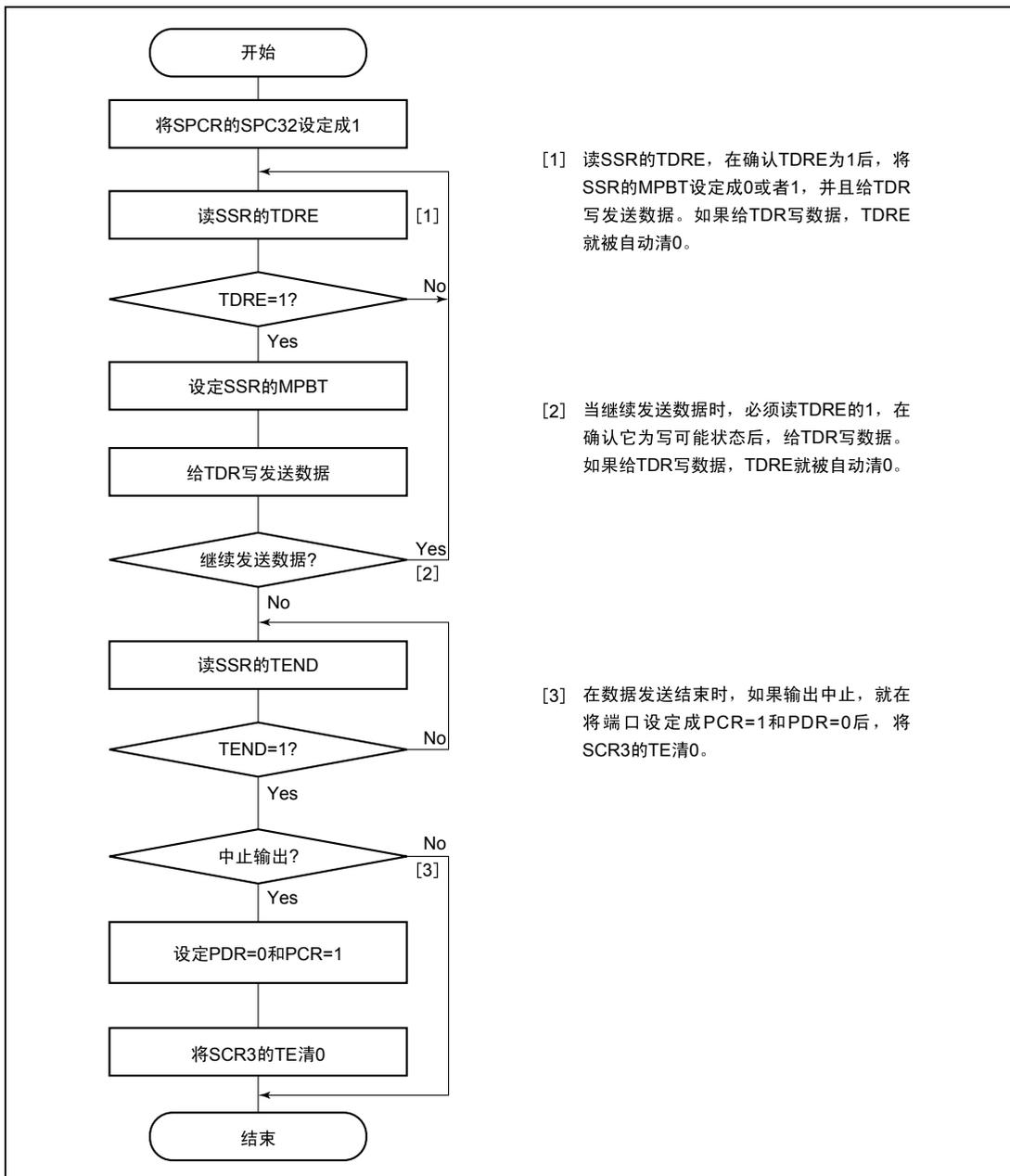


图 10.16 多处理器数据发送的流程图例子

### 10.6.2 多处理器数据接收

多处理器数据接收的流程图例子如图 10.17 所示。如果 SCR3 的 MPIE 置 1，就在接收到多处理器位是 1 的通信数据之前，跳过通信数据。如果接收到多处理器位是 1 的通信数据，就将接收数据传送给 RDR，此时，发生 RXI 中断请求。其它运行和异步模式的运行相同。接收时的运行例子如图 10.18 所示。

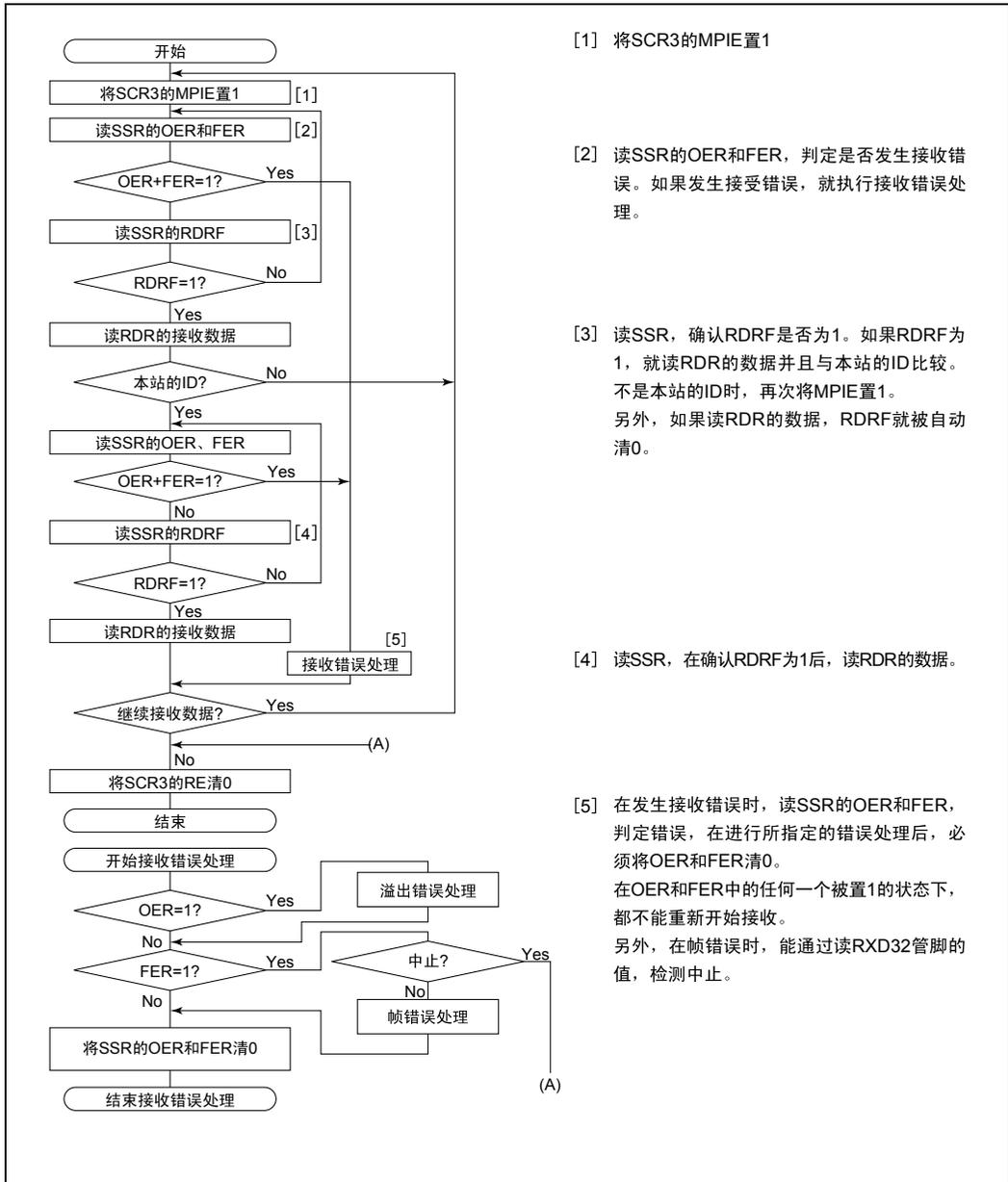


图 10.17 多处理器数据接收的流程图例子

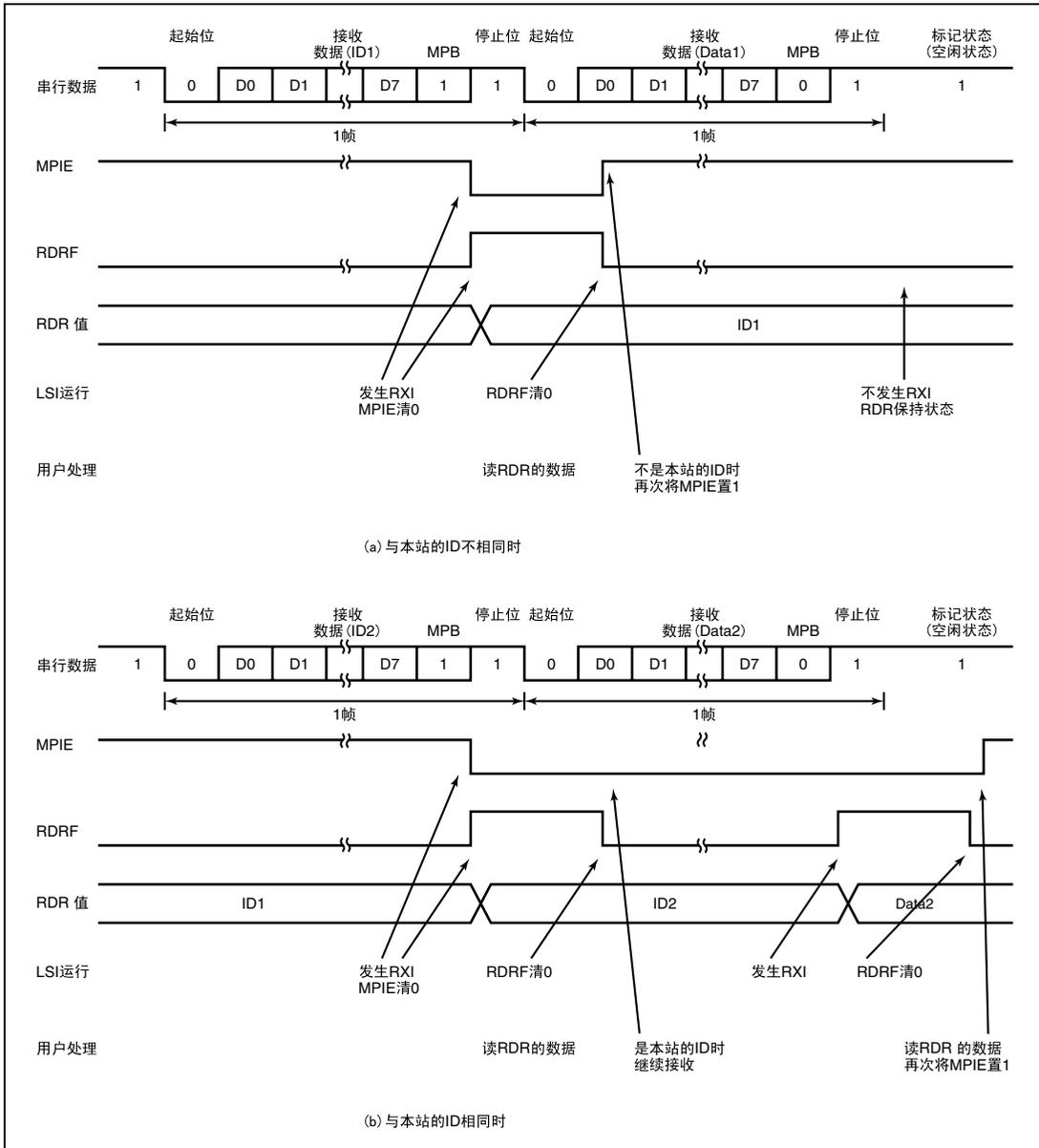


图 10.18 多处理器格式的接收时的运行例子 (8 位数据/有多处理器位/1 个停止位的例子)

## 10.7 中断请求

SCI3 生成的中断请求有 6 种：发送结束、发送数据空、接收数据满以及接收错误（溢出错误、帧错误和奇偶校验错误）。各中断请求的内容如表 10.11 所示。

表 10.11 SCI3 的中断请求

中断请求	略称	中断源	允许位
接收数据满	RXI	SSR 的 RDRF 置位	RIE
发送数据空	TXI	SSR 的 TDRE 置位	TIE
发送结束	TEI	SSR 的 TEND 置位	TEIE
接收错误	ERI	SSR 的 OER、FER 或者 PER 置位	RIE

能通过 SCR3 的 TIE、RIE 和 TEIE 允许/禁止各中断请求。

如果 SSR 的 TDRE 置 1，就产生 TXI。如果 SSR 的 TEND 置 1，就产生 TEI。这 2 个中断在发送时产生。

SSR 的 TDRE 的初始值为 1。因此，如果在给 TDR 传送发送数据前，将 SCR3 的 TIE 置 1，即使没准备好发送数据也发生 TXI。另外，SSR 的 TEND 的初始值为 1。如果在给 TDR 传送发送数据前，将 SCR3 的 TEIE 置 1，即使发送数据没被发送也发生 TEI。在中断处理程序中，通过给 TDR 传送发送数据的处理，能有效地利用这些中断请求。相反，为了防止发生这些中断请求（TXI、TEI），在给 TDR 传送发送数据后，必须将对应这些中断请求的允许位（TIE、TEIE）置 1。

如果 SSR 的 RDRF 被置 1，就产生 RXI。如果 OER、PER、FER 中的任何一个被置 1，就产生 ERI。这 2 个中断请求在接收时产生。

有关中断的详细内容，请参照“第 3 章 异常处理”。

SCI3 能使用 RXI 进行连续接收或者使用 TXI 进行连续发送。  
关于这些中断如表 10.12 所示。

表 10.12 发送/接收中断

中断	标志和允许位	产生中断的条件	备注
RXI	RDRF RIE	如果正常进行串行接收，并且将接收数据从 RSR 传送到 RDR，RDRF 就变为 1，此时如果 RIE 为 1，就允许 RXI 产生中断。 (参照图 10.19 (a))	在 RXI 的中断处理程序中，读取被传送到 RDR 的接收数据，并且将 RDRF 清 0。在下一个 RSR 的接收结束前，通过上述操作，就能连续接收。
TXI	TDRE TIE	如果检测出 TSR 空 (上一次的发送结束)，并且置于 TDR 的发送数据被传送到 TSR，TDRE 就被置 1。此时如果 TIE 为 1，就允许 TXI 产生中断。 (参照图 10.19 (b))	在 TXI 的中断处理程序中，将下一次的发送数据写入 TDR，并且将 TDRE 清 0。在传送给 TSR 的数据发送结束前，通过上述操作，能连续发送。
TEI	TEND TEIE	在将 TSR 的发送字符的最末位发送后，如果 TDRE 为 1，TEND 就被置 1。此时如果 TEIE 为 1，就允许 TEI 产生中断。 (参照图 10.19 (c))	TEI 表示在将 TSR 的发送字符的最末位发送后，下一个发送数据没有被写入 TDR。

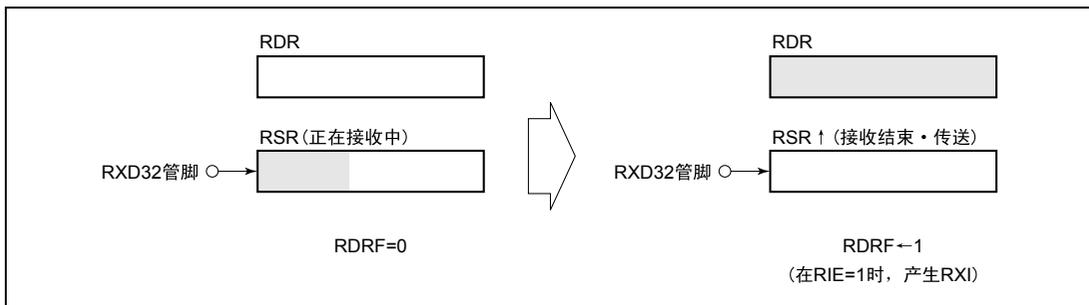


图 10.19 (a) RDRF 的置位和 RXI 的中断

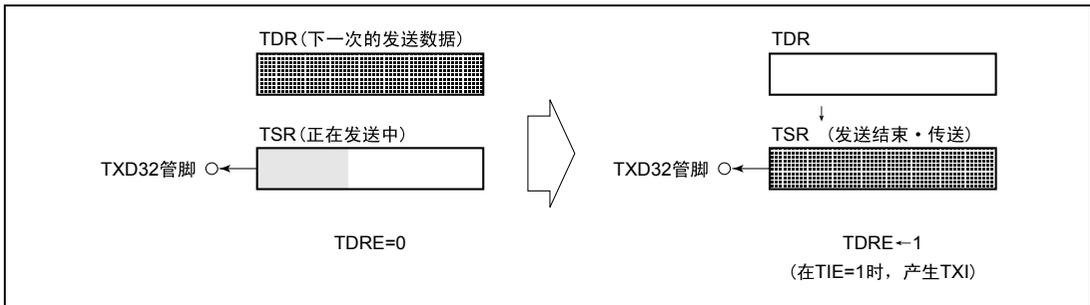


图 10.19 (b) TDRE 的置位和 TXI 的中断

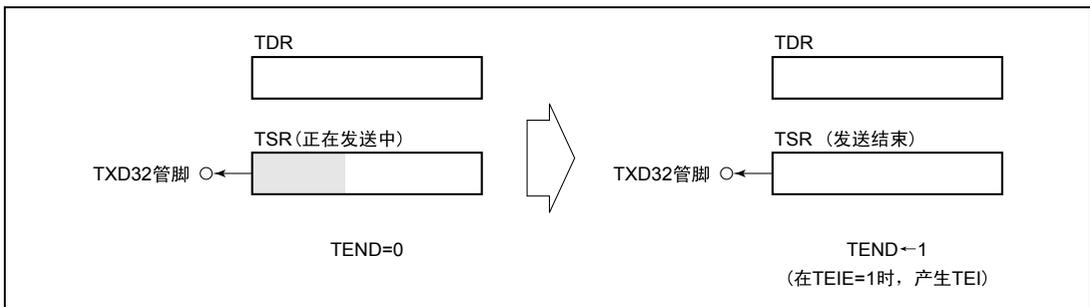


图 10.19 (c) TEND 的置位和 TEI 的中断

## 10.8 使用时的注意事项

### 10.8.1 有关中止的检测和处理

在检测帧错误时，能通过直接读 RXD32 管脚的值检测中止。因为，在中止期间 RXD32 管脚的输入全部为 0，所以 FER 被置位，而且 PER 也可能被置位。SCI3 在接收了中止以后还继续接收运行。因此，请注意，即使 FER 被清 0，也会再次被置 1。

### 10.8.2 标记状态和中止的发送

TE 是 0 时，TXD32 管脚成为由 PDR 和 PCR 决定输入/输出方向和电平的 I/O 端口。利用它可将 TXD32 管脚变为标记状态，或者在数据发送时，能发送中止。为了在将 TE 置 1 前使通信线路为标记状态（1 的状态），设定 PCR=1 和 PDR=1。这时，由于 TE 被清 0，因此 TXD32 管脚变为 I/O 端口，并且从 TXD32 管脚输出 1。另外，在数据发送时，如果要发送中止，就在设定 PCR=1 和 PDR=0 后将 TE 清 0。如果 TE 清 0，与现在的发送状态无关，发送部被初始化，TXD32 管脚变为 I/O 端口，并且从 TXD32 管脚输出 0。

### 10.8.3 有关接收错误标志和发送运行（只限于时钟同步模式）

在接收错误标志（OER、PER、FER）被置 1 的状态下，即使 TDRE 清 0，也不能开始发送。在开始发送时，必须将接收错误标志清 0。另外，请注意，即使 RE 清 0，也不能将接收错误标志清 0。

### 10.8.4 异步模式的接收数据采样时序和接收容限

在异步模式，SCI3 以频率为 16 倍传送率的基本时钟运行。在接收时，SCI3 用基本时钟采样起始位的下降沿使内部同步。另外，在基本时钟的第 8 个上升沿，将接收数据取到内部，如图 10.20 所示。

因此，在异步模式的接收容限能用式（1）表示。

$$M = \left\{ \left( 0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5) F \right\} \times 100 (\%) \quad \dots\dots \text{式 (1)}$$

N: 对于时钟的位速率的比率 (N=16)

D: 时钟的占空比 (D=0.5~1.0)

L: 帧长 (L=9~12)

F: 时钟频率的偏差绝对值

在式（1），假设 F（时钟频率的偏差绝对值）=0、D（时钟的占空比）=0.5，

$$M = \{ 0.5 - 1 / (2 \times 16) \} \times 100 (\%) = 46.875\%$$

但是，因为此值只是计算值，所以在系统设计时应留有 20~30% 的容限。

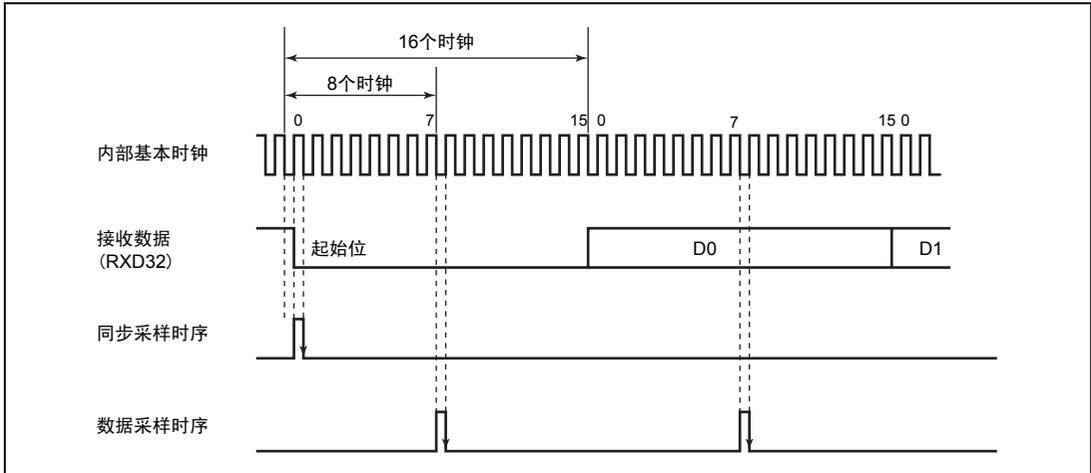


图 10.20 异步模式的接收数据的采样时序

### 10.8.5 有关 SCK32 管脚功能切换的注意事项

必须注意：在时钟同步模式使用 SCI3 后，如果将 SCK32 管脚的管脚功能从时钟输出切换到输入/输出端口，就在切换管脚功能的瞬间（系统时钟  $\phi$  的 1/2 周期）对 SCK32 管脚输出低电平。

防止此瞬间输出低电平的方法如下：

#### (a) 将 SCK32 管脚从时钟输出状态变为非输出状态的情况

在停止发送/接收时，必须在用 1 条指令将 SCR3 的 TE 位和 RE 位清 0 的同时，将 CKE1 位设定成 1，并且将 CKE0 位设定成 0。

此时，必须在 SMR 的 COM 位置 1 的状态下使用。因此，不能作为输入/输出端口使用。另外，为了不给 SCK32 管脚施加中间电压，必须将连接到 SCK32 管脚的线路通过电阻上拉到  $V_{CC}$  电位，或者从其它芯片给予输出。

#### (b) 将 SCK32 管脚的管脚功能从时钟输出状态切换到输入/输出端口的情况

在停止发送/接收时，

1. 首先，必须在用 1 条指令将 SCR3 的 TE 位和 RE 位都清 0 的同时，将 CKE1 位设定成 1，将 CKE0 位设定成 0。
2. 其次，必须将 SMR 的 COM 位清 0。
3. 最后，必须将 SCR3 的 CKE1 和 CKE0 位同时清 0。此时还必须注意：不要给 SCK32 管脚施加中间电压。

### 10.8.6 有关对 TDR 的写操作和 TDRE 的关系

SSR 的 TDRE 是表示没有给 TDR 准备好串行发送数据的状态标志。如果给 TDR 写数据，TDRE 就被自动清 0。如果 SCI3 将数据从 TDR 传送到 TSR，TDRE 就被置 1。

尽管能和 TDRE 的状态无关对 TDR 写数据，但是如果在 TDRE 为 0 的状态下将新数据写到 TDR，就会丢失保存在 TDR 中的还没被传送到 TSR 的旧数据。因此，为了正确进行串行发送，必须在确认 TDRE 被置 1 后只给 TDR 写 1 次发送数据（不能写 2 次以上）。

### 10.8.7 关于 RDR 的读和 RDRF 的关系

SCI3 在接收运行中边检查 RDRF 标志边运行。在 1 帧接收结束时，如果 RDRF 已被清 0，就结束通常的数据接收。另外，如果 RDRF 被置 1，就为溢出错误。

如果读 RDR 的内容，RDRF 就被自动清 0。因此，如果进行 2 次以上的 RDR 读操作，就在 RDRF 为 0 的状态下，进行第 2 次以后的读操作。必须注意：如果在 RDRF 为 0 的状态下读 RDR，在读操作和下一帧的接收结束时序重叠时，就可能会读到下一帧的数据。如图 10.21 所示。

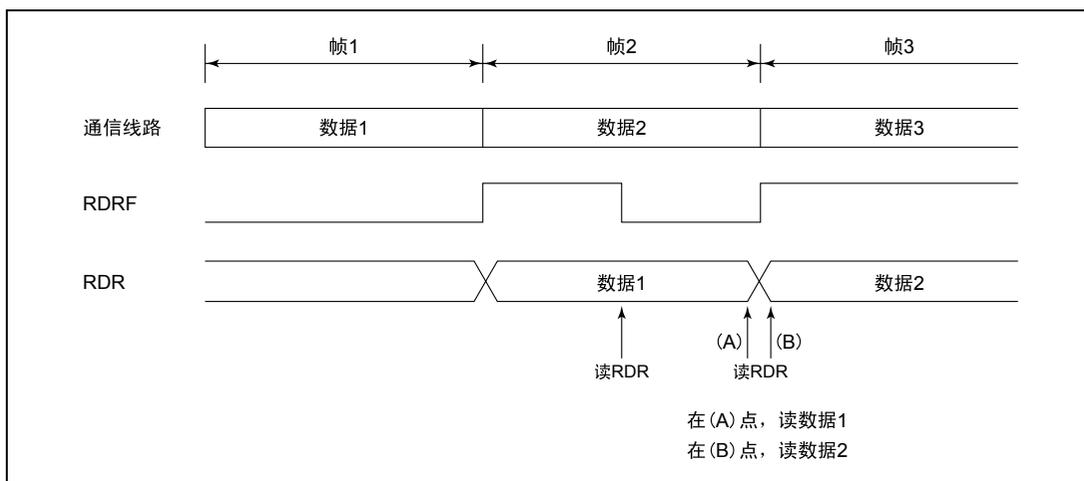


图 10.21 读 RDR 的时序和数据的关系

此时，必须在确认 RDRF 被置 1 后，只进行 1 次 RDR 的读操作（不能读 2 次以上）。如果进行 2 次以上的读操作，必须将第一次读到的数据传送到 RAM 等，并使用此内容。另外，在下一帧接收结束前，必须留有余地进行 RDR 的读操作。作为具体时序，在时钟同步模式时，必须在传送第 7 位前，结束 RDR 的读操作。而在异步模式时，必须在传送 STOP 位前，结束 RDR 的读操作。

### 10.8.8 有关状态转移时的发送和接收运行

状态转移处理必须在确认发送和接收运行完全结束后进行。

### 10.8.9 有关子激活模式和子睡眠模式时的设定

在子激活模式或者子睡眠模式时，只有在 CPU 的运行时钟为  $\phi_w/2$  时才能使用 SCI3。必须将 SYSCR2 的 SA1 位置 1。

### 10.8.10 关于在异步模式执行串行通信接口 3 时使用的振荡器（只限于 H8/38104 群）

在异步模式执行 H8/38104 群的串行通信接口 3 时，必须使用系统时钟振荡器，而不能使用内部振荡器。有关系统时钟振荡器和内部振荡器的切换方法，请参照“4.3.4 选择内部振荡器的方法”。



---

## 第 11 章 10 位 PWM

---

本 LSI 内置 2 通道的 10 位 PWM。通过给 PWM 连接低通滤波器，能用作 D/A 转换器。H8/3802 群、H8/38004 群和 H8/38002S 群的 10 位 PWM 的框图如图 11.1 (1) 所示，H8/38104 群的 10 位 PWM 的框图如图 11.1 (2) 所示。

### 11.1 特点

- 能选择4种转换周期

可选择如下转换周期：

1个转换周期 $4096/\phi$ 、最小调制宽度 $4/\phi$

1个转换周期 $2048/\phi$ 、最小调制宽度 $2/\phi$

1个转换周期 $1024/\phi$ 、最小调制宽度 $1/\phi$

1个转换周期 $512/\phi$ 、最小调制宽度 $1/2\phi$

- 减少波纹的脉冲分割方式
- 通过模块待机模式，能在未使用时以单模块设定待机模式（详细内容请参照“5.4 模块待机功能”）
- 对于H8/38104群，PWM输出能从10位PWM和事件计数器PWM（内置AEC的PWM）2种方式中选择（H8/3802群、H8/38004群和H8/38002S群的PWM输出只有10位PWM）。另外，有关事件计数器PWM，请参照“9.4 异步事件计数器”。

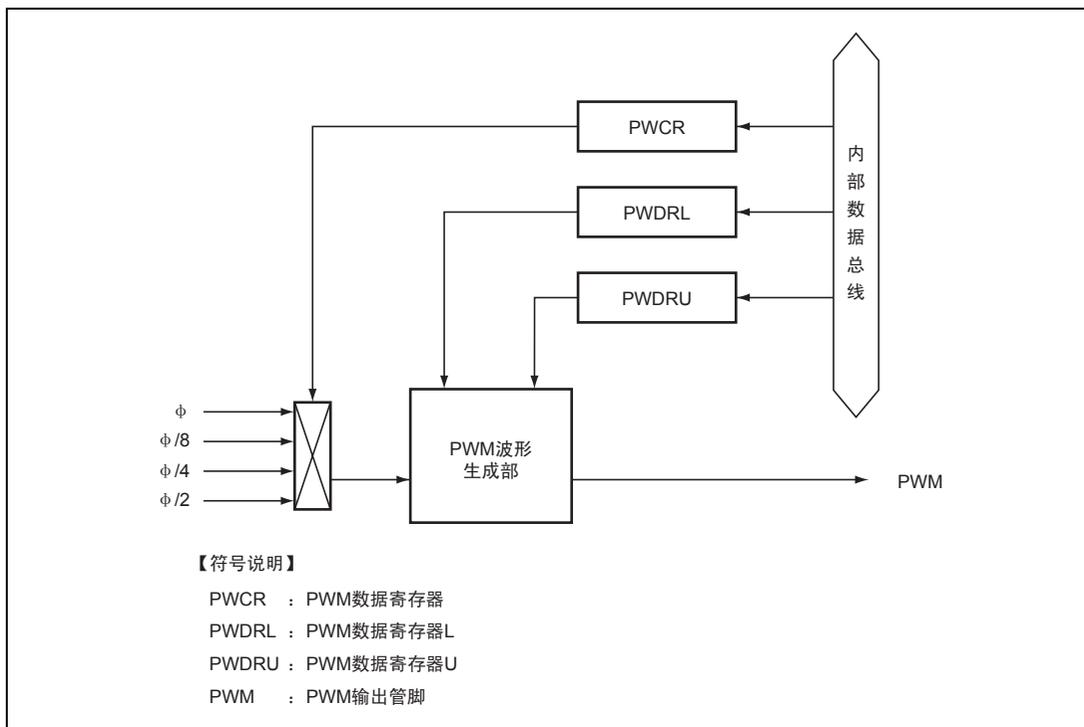


图 11.1 (1) 10 位 PWM 的框图 (H8/3802 群、H8/38004 群和 H8/38002S 群)

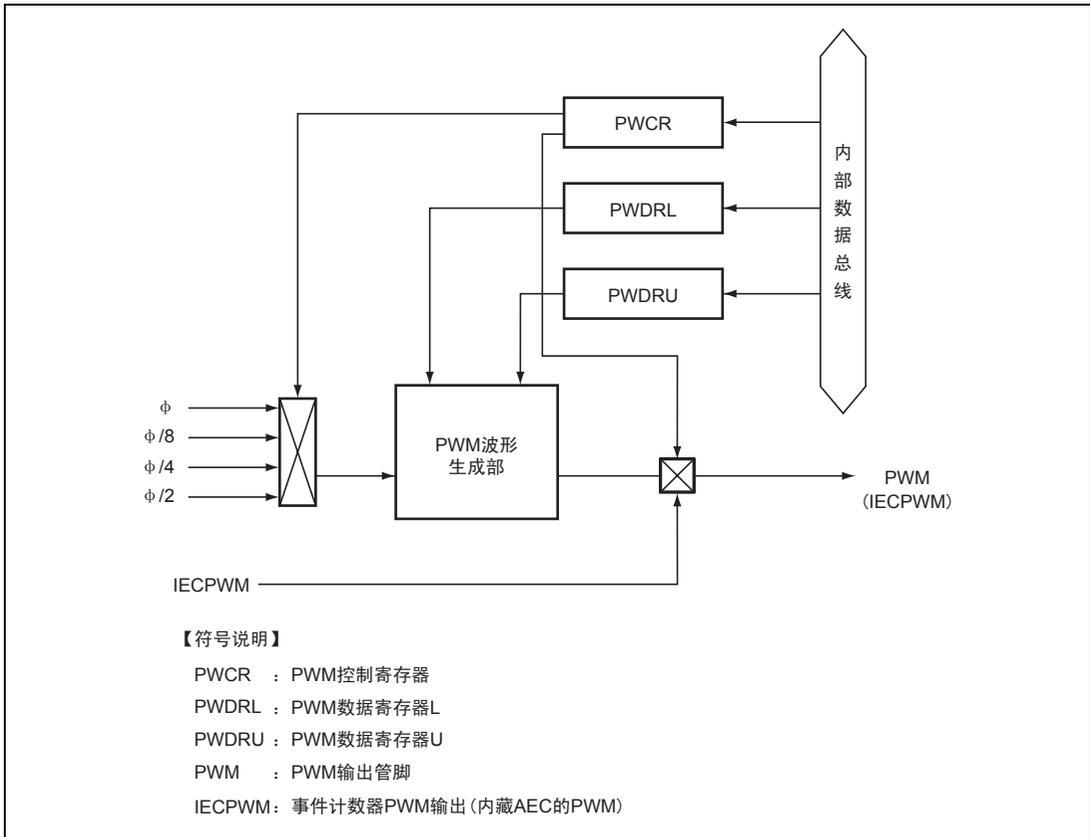


图 11.1 (2) 10 位 PWM 的框图 (H8/38104 群)

## 11.2 输入/输出管脚

10 位 PWM 的管脚构成如表 11.1 所示。

表 11.1 管脚构成

名称	略称	输入/输出	功能
10 位 PWM 方波输出 1	PWM1	输出	通道 1: 10 位 PWM 方波输出管脚/事件计数器 PWM 输出管脚*
10 位 PWM 方波输出 2	PWM2	输出	通道 2: 10 位 PWM 方波输出管脚/事件计数器 PWM 输出管脚*

【注】\* 事件计数器 PWM 输出管脚只在 H8/38104 群时有效

## 11.3 寄存器说明

10 位 PWM 有以下的寄存器：

- PWM控制寄存器（PWCR）
- PWM数据寄存器U（PWDRU）
- PWM数据寄存器L（PWDRL）

### 11.3.1 PWM 控制寄存器（PWCR）

H8/3802 群、H8/38004 群和 H8/38002S 群的 PWCR 选择转换周期。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1，写无效。
6	—	1	—	
5	—	1	—	
4	—	1	—	
3	—	1	—	
2	—	1	—	
1	PWCR1	0	W	时钟选择 1、0
0	PWCR0	0	W	
				00: 输入时钟为 $\phi$ ( $t\phi=1/\phi$ ) 生成 1 个转换周期 $512/\phi$ 、最小调制宽度 $1/2\phi$ 的 PWM 波形
				01: 输入时钟为 $\phi/2$ ( $t\phi=2/\phi$ ) 生成 1 个转换周期 $1024/\phi$ 、最小调制宽度 $1/\phi$ 的 PWM 波形
				10: 输入时钟为 $\phi/4$ ( $t\phi=4/\phi$ ) 生成 1 个转换周期 $2048/\phi$ 、最小调制宽度 $2/\phi$ 的 PWM 波形
				11: 输入时钟为 $\phi/8$ ( $t\phi=8/\phi$ ) 生成 1 个转换周期 $4096/\phi$ 、最小调制宽度 $4/\phi$ 的 PWM 波形

H8/38104 群的 PWCR 选择输出方式和转换周期。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1，写无效。
6	—	1	—	
5	—	1	—	
4	—	1	—	
3	—	1	—	
2	PWCR2	0	W	输出方式选择 0: 10 位 PWM 1: 事件计数器 PWM (内置 AEC 的 PWM)
1	PWCR1	0	W	时钟选择 1、0 00: 输入时钟为 $\phi$ ( $t\phi=1/\phi$ ) 生成 1 个转换周期 $512/\phi$ 、最小调制宽度 $1/2\phi$ 的 PWM 波形 01: 输入时钟为 $\phi/2$ ( $t\phi=2/\phi$ ) 生成 1 个转换周期 $1024/\phi$ 、最小调制宽度 $1/\phi$ 的 PWM 波形 10: 输入时钟为 $\phi/4$ ( $t\phi=4/\phi$ ) 生成 1 个转换周期 $2048/\phi$ 、最小调制宽度 $2/\phi$ 的 PWM 波形 11: 输入时钟为 $\phi/8$ ( $t\phi=8/\phi$ ) 生成 1 个转换周期 $4096/\phi$ 、最小调制宽度 $4/\phi$ 的 PWM 波形
0	PWCR0	0	W	

【符号说明】

$t\phi$ : PWM 输入时钟的周期

### 11.3.2 PWM 数据寄存器 U、L (PWDRU、PWDRL)

PWDRU 和 PWDRL 为 10 位只写寄存器,表示 PWM 波形 1 周期的高电平宽度。由 PWDRU 的高 2 位和 PWDRL 的低 8 位构成,总是读出 1。

PWDRU 和 PWDRL 都为字节存取专用寄存器,如果进行字存取,运行不被保证,请注意。如果对 PWDRU 和 PWDRL 读取合计的 10 位数据, PWDRU 和 PWDRL 的内容就被取到 PWM 的波形生成部,进行 PWM 波形生成的数据更新。另外,必须按 PWDRL→PWDRU 的顺序读取数据。

PWDRU 和 PWDRL 的初始值为 H'FC00。

## 11.4 运行说明

### 11.4.1 运行说明

使用 10 位 PWM 时,必须按以下的步骤设定寄存器:

1. 将端口模式寄存器9(PMR9)的PWM1和PWM2置1,将P91/PWM2管脚或者P90/PWM1管脚设定成PWM输出管脚。

2. 通过PWCR的PWCR1和PWCR0位选择1个转换周期。在H8/38104群时通过PWCR2位选择输出方式。另外，有关输出方式的事件计数器PWM（内置AEC的PWM）的设定方法，请参照“9.4 异步事件计数器”。
3. 给PWDRU和PWDRL设定输出波形数据。此时，必须按PWDRL、PWDRU的顺序以字节单位写数据。在对PWDRU写的同时，数据被取到PWM波形生成部，在与内部信号取得同步后进行PWM波形生成的更新。

如图 11.2 所示，1 个转换周期由 4 个脉冲构成，此 1 个转换周期中的高电平宽度的合计 ( $T_H$ ) 对应 PWDRUm 和 PWDRLm 的数据。此关系用以下的计算式表示：

$$T_H = (\text{PWDRU, PWDRL 的数值} + 4) \times t_{\phi} / 2$$

$t_{\phi}$  是 PWM 输入时钟的周期，为  $1/\phi$  (PWCR1=0、PWCR0=0)、 $2/\phi$  (PWCR1=0、PWCR0=1)、 $4/\phi$  (PWCR1=1、PWCR0=0) 或者  $8/\phi$  (PWCR1=1、PWCR0=1)。在 PWDRU 和 PWDRL 的数值 H'FFFC~H'FFFF，PWM 输出为高电平。H'FC3C 为  $T_H = 64 \times t_{\phi} / 2 = 32 \times t_{\phi}$ 。

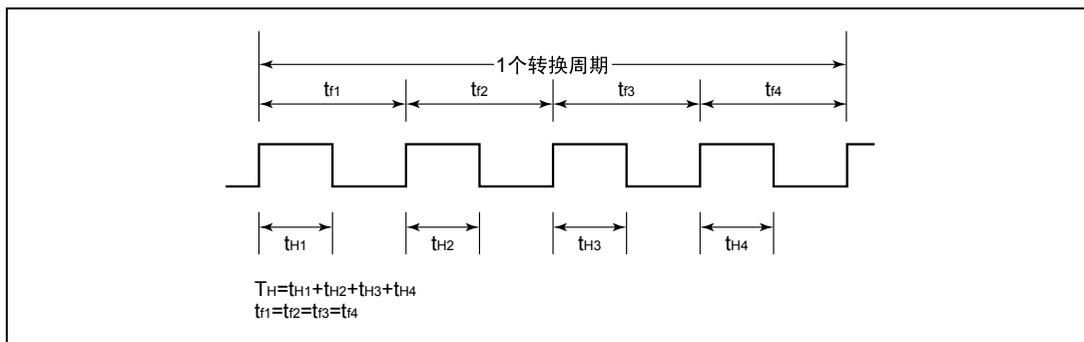


图 11.2 10 位 PWM 输出波形

### 11.4.2 PWM 的运行模式

PWM 的运行模式如表 11.2 所示。

表 11.2 PWM 的运行模式

运行模式	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
PWCR	复位	运行	运行	保持	保持	保持	保持	保持
PWDRU	复位	运行	运行	保持	保持	保持	保持	保持
PWDRL	复位	运行	运行	保持	保持	保持	保持	保持

---

## 第 12 章 A/D 转换器

---

是逐次逼近方式的 10 位 A/D 转换器，最多能转换 4 个通道的模拟输入。A/D 转换器的框图如图 12.1 所示。

### 12.1 特点

- 分辨率：10 位
- 输入通道：4 个通道
- 高速转换：每个通道 12.4 $\mu$ s（ $\phi$ =5MHz 时）/6.2 $\mu$ s（ $\phi$ =10MHz 时）\*
- 采样和保持功能
- 开始转换的方法  
可通过软件开始 A/D 转换
- 中断源  
能产生 A/D 转换结束的中断（ADI）请求。
- 通过模块待机模式，能在未使用时以单模块设定待机模式（详细内容请参照“5.4 模块待机功能”）

【注】 \* 仅为 H8/38104 群。

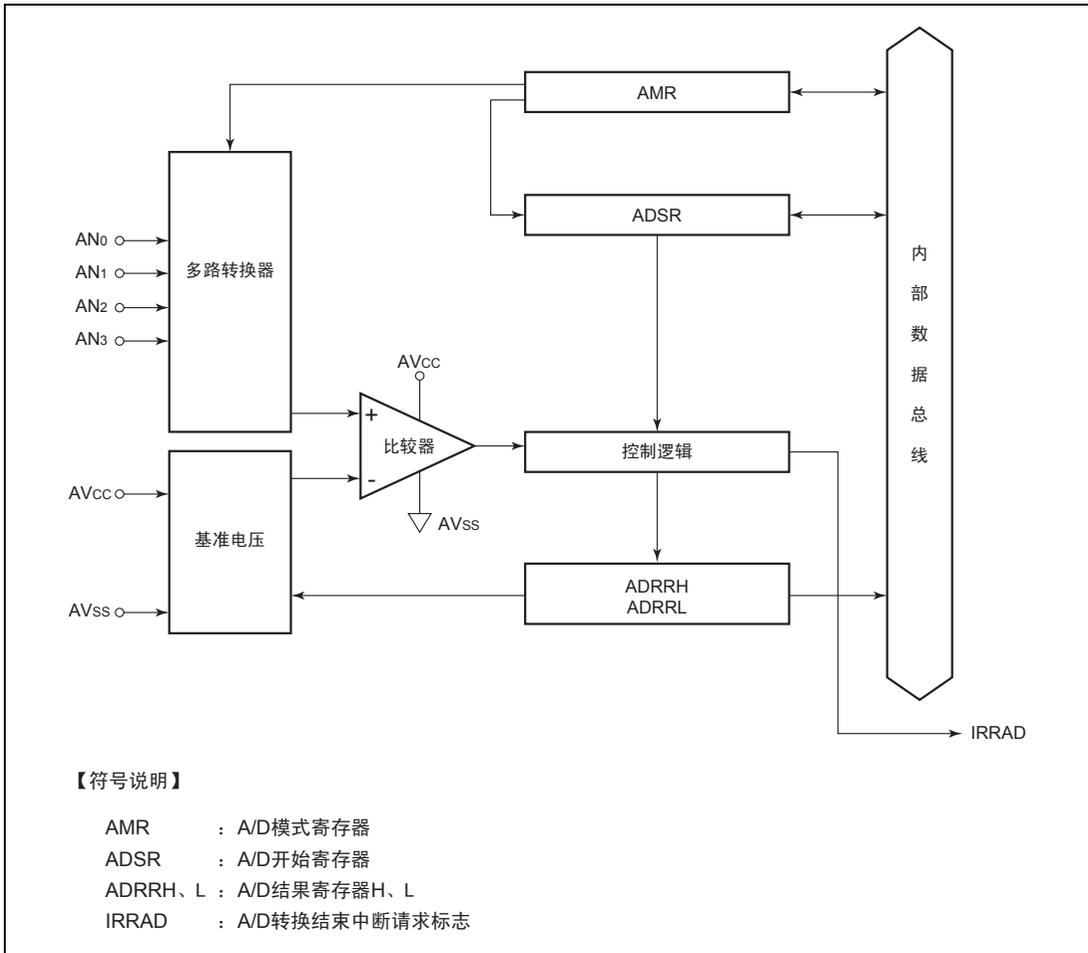


图 12.1 A/D 转换器的框图

## 12.2 输入/输出管脚

在 A/D 转换器中使用的管脚如表 12.1 所示。

表 12.1 管脚结构

管脚名称	略称	输入/输出	功能
模拟电源管脚	AVcc	输入	模拟部的电源管脚
模拟接地管脚	AVss	输入	模拟部的接地和基准电压
模拟输入管脚 0	AN0	输入	模拟输入管脚
模拟输入管脚 1	AN1	输入	
模拟输入管脚 2	AN2	输入	
模拟输入管脚 3	AN3	输入	

## 12.3 寄存器说明

A/D 转换器有以下寄存器：

- A/D 结果寄存器 H、L (ADRRH、ADRRL)
- A/D 模式寄存器 (AMR)
- A/D 开始寄存器 (ADSR)

### 12.3.1 A/D 结果寄存器 H、L (ADRRH、ADRRL)

AD 结果寄存器是用于保存 A/D 转换结果的 16 位只读寄存器。有 ADRRH 和 ADRRL。

高 8 位存入 ADRRH，低 2 位存入 ADRRL。总是能从 CPU 读取 ADRRH 和 ADRRL。在 A/D 转换过程中 ADRRH 和 ADRRL 的值不定。在 A/D 转换结束时转换结果的 10 位数据被保存，到开始下一次转换为止此数据被保持。ADRRH 和 ADRRL 的初始值不定。

### 12.3.2 A/D 模式寄存器 (AMR)

AMR 设定 A/D 转换器的转换时间、指定模拟输入管脚。

位	位名	初始值	R/W	说 明
7	CKS	0	R/W	时钟选择 设定 A/D 转换时间。 0: 转换时间=62 个状态 1: 转换时间=31 个状态
6	—	0	R/W	保留位。只能写 0。
5	—	1	—	保留位。总是读出 1，写无效。
4	—	1	—	
3 2 1 0	CH3 CH2 CH1 CH0	全 0	R/W	通道选择 3~0 选择模拟输入通道。 00xx: 没选择 0100: AN0 0101: AN1 0110: AN2 0111: AN3 1xxx: 禁止使用 必须在 ADSF=0 的状态下进行通道选择的切换。

【符号说明】x: Don't care

### 12.3.3 A/D 开始寄存器 (ADSR)

ADSR 设定 A/D 转换的开始或者停止。

位	位名	初始值	R/W	说 明
7	ADSF	0	R/W	如果将此位置 1, 就开始 A/D 转换。如果转换结束, 转换结果就被存入 ADRRH 和 ADRL。同时将此位清 0, 结束 A/D 转换。另外, 通过给此位写 0, 能强行结束 A/D 转换。
6~0	—	1	—	保留位。总是读出 1, 写无效。。

## 12.4 运行说明

A/D 转换器采用逐次逼近方式, 其分辨率为 10 位。为了避免误动作, 必须在 ADSF 清 0 的状态下切换转换时间和模拟输入通道。

### 12.4.1 A/D 转换运行

1. 如果通过软件将 ADSR 的 ADSF 位置 1, 就对选择通道开始 A/D 转换。ADSF 在 A/D 转换过程中保持 1, 在转换结束后, 被自动清 0。
2. 如果 A/D 转换结束, 就将 A/D 转换结果转送到 A/D 结果寄存器。
3. 在 A/D 转换结束时将 IRR2 的 IRRAD 置 1。此时, 如果 IENR2 的 IENAD 位已被置 1, 就产生 A/D 转换结束中断。
4. 在 A/D 转换过程中 ADSF 保持 1, 在转换结束后, 被自动清 0, A/D 转换器进入待机状态。

### 12.4.2 A/D 转换器的运行模式

A/D 转换器的运行模式如表 12.2 所示。

表 12.2 A/D 转换器的运行模式

运行模式	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
AMR	复位	运行	运行	保持	保持	保持	保持	保持
ADSR	复位	运行	运行	复位	复位	复位	复位	复位
ADRRH	保持*	运行	运行	保持	保持	保持	保持	保持
ADRL	保持*	运行	运行	保持	保持	保持	保持	保持

【注】\* 在加电复位时不定

## 12.5 使用例子

表示将通道 1 (AN1) 选择为模拟输入通道时的运行例子。运行时序如图 12.2 所示。

1. 将输入通道设定为 AN1 (将 AMR 的 CH3~CH0 设定成 0101) 并且设定 IENAD=1, 开始 A/D 转换 (ADSF=1)。
2. 如果 A/D 转换结束, 就将 IRRAD 置 1, A/D 转换结果保存到 ADRRH 和 ADRL。同时 ADSF 被清 0, 并且 A/D 转换器进入转换待机状态。
3. 由于 IENAD 为 1, 因此产生 A/D 转换结束中断请求。
4. 开始执行 A/D 中断处理程序。
5. 读取和处理 A/D 转换结果。
6. 结束执行 A/D 转换处理程序。

此后, 如果将 ADSF 置 1, 就开始 A/D 转换, 进行 2~6 的处理。

A/D 转换器的使用步骤的概念流程如图 12.3 和图 12.4 所示。

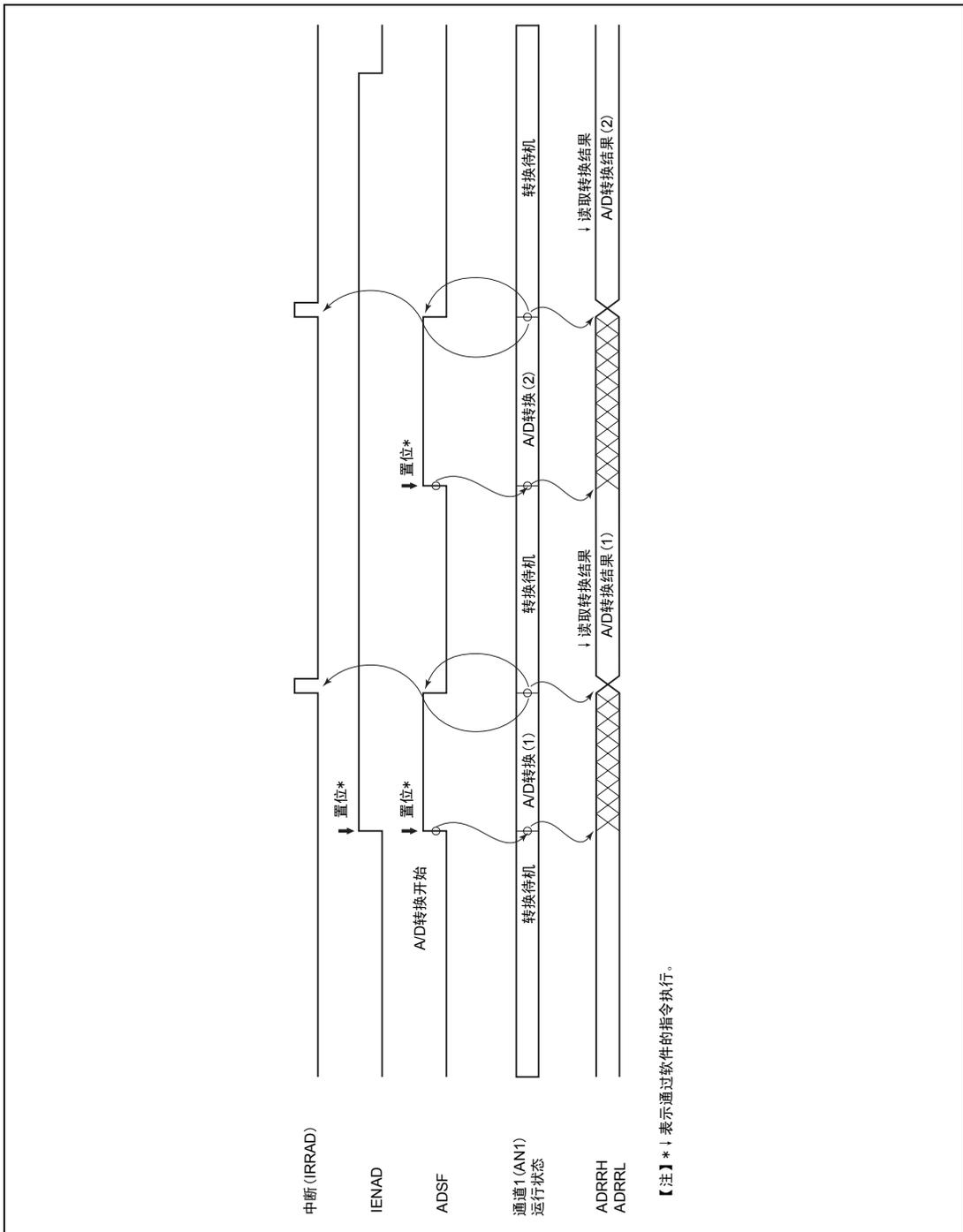


图 12.2 A/D 转换器的运行例子

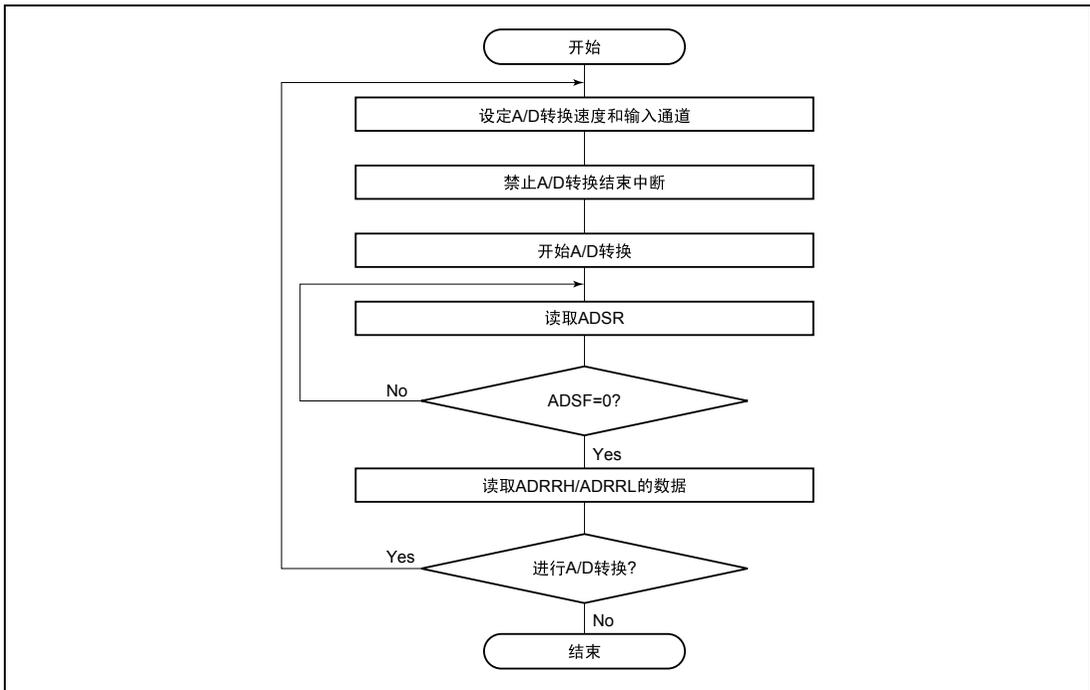


图 12.3 A/D 转换器的使用步骤的概念流程图（通过软件查询时）

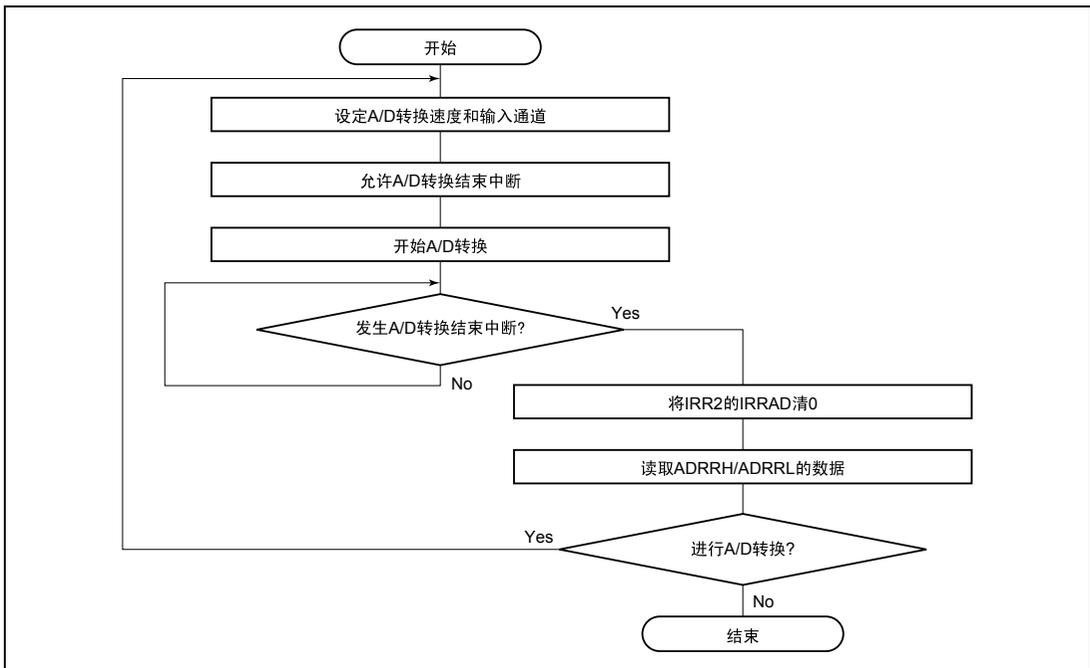


图 12.4 A/D 转换器的使用步骤的概念流程图（使用中断时）

## 12.6 A/D 转换精度的定义

本 LSI 的 A/D 转换精度的定义如下：

- 分辨率  
A/D转换器的数字输出码位数
- 量化误差  
A/D转换器固有的偏差，为 $1/2\text{LSB}$ （图12.5）。
- 偏移误差  
在数字输出从最小电压值000000000变化到000000001时，来自模拟输入电压值的理想A/D转换特性的偏差（图12.6）。
- 满刻度误差  
在数字输出从111111110变化到111111111时，来自模拟输入电压值的理想A/D转换特性的偏差（图12.6）。
- 非线性误差  
来自从零电压到满刻度电压之间的理想A/D转换特性的误差。但是，不含有偏移误差、满刻度误差和量化误差。
- 绝对精度  
数字值和模拟输入值的偏差。含有偏移误差、满刻度误差、量化误差和非线性误差。

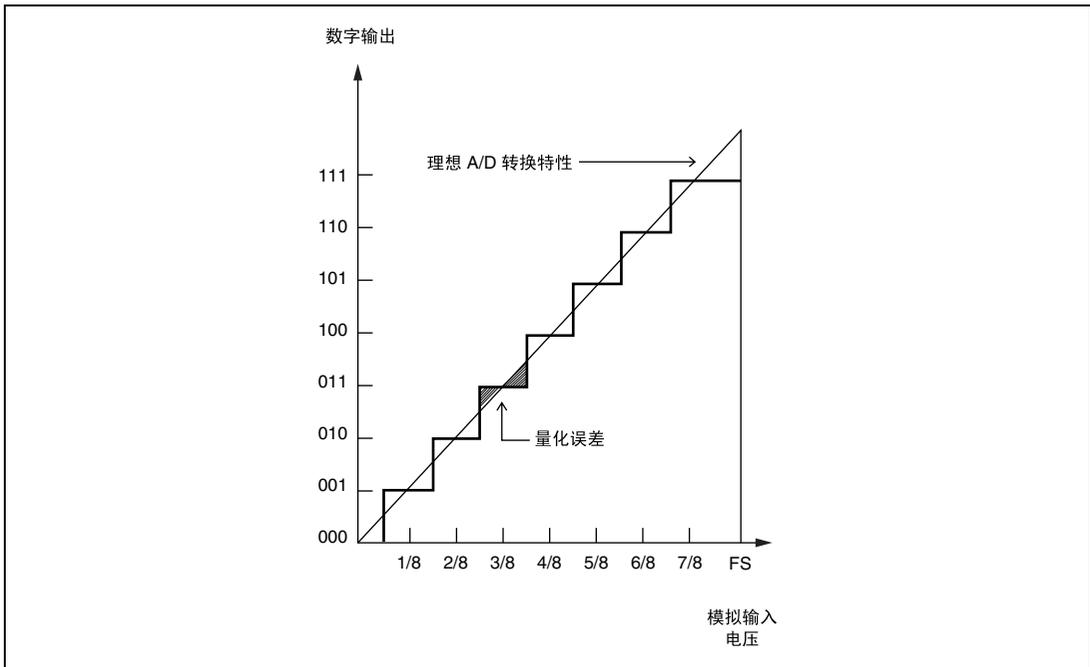


图 12.5 A/D 转换精度的定义 (1)

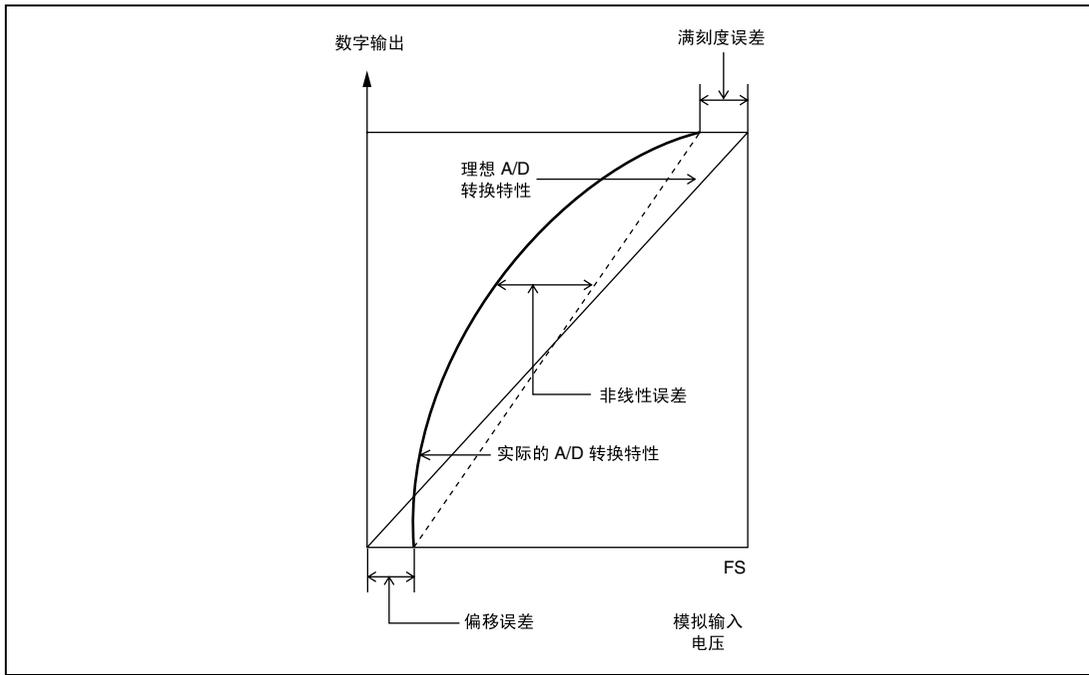


图 12.6 A/D 转换精度的定义 (2)

## 12.7 使用时的注意事项

### 12.7.1 有关容许信号源阻抗

本 LSI 的模拟输入对于信号源阻抗为  $10\text{k}\Omega$  以下的输入信号，保证其转换精度。这是为了在采样时间内，对 A/D 转换器的采样和保持电路的输入电容进行充电所制定的规格，在传感器的输出阻抗超过  $10\text{k}\Omega$  时，会发生充电不足和不能保证 A/D 转换精度的情况。

作为对策，在模拟输入管脚外部设置大电容，由于输入负载实际上仅变成了  $10\text{k}\Omega$  的内部输入电阻，因此可忽略信号源阻抗。此对策的缺点是此时根据信号源阻抗和外部电容形成了一个低通滤波器，可能无法跟踪大微分系数的模拟信号（如电压的变动率在  $5\text{mV}/\mu\text{s}$  以上）（图 12.7）。在转换高速模拟信号的情况下，必须插入一个低阻抗缓冲器。

### 12.7.2 有关对绝对精度的影响

由于附加电容会导致与 GND 的耦合，因此，如果在 GND 中有噪声，就有可能降低绝对精度。必须与电稳定的 GND 连接。同时，必须注意在安装电路板上滤波器电路不要干涉数字信号，也不要充当天线。

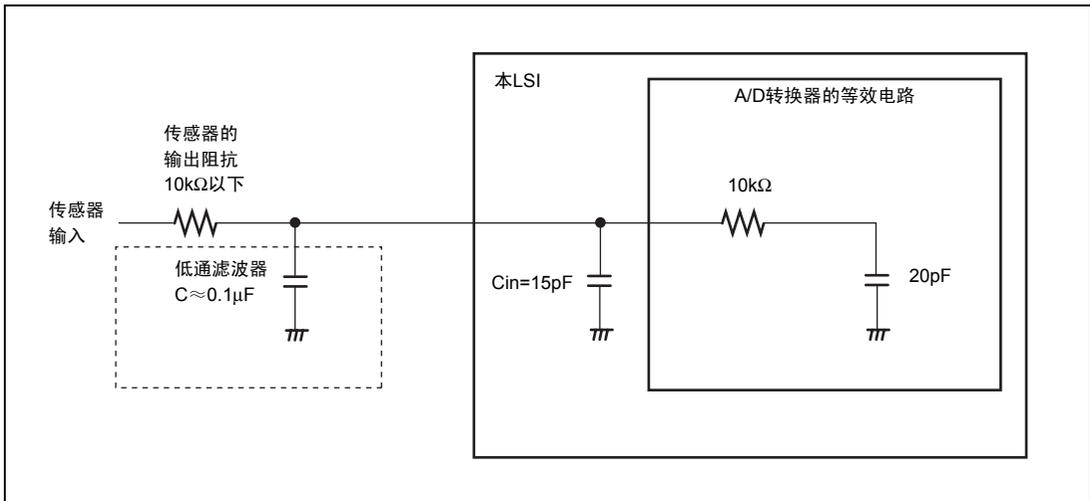


图 12.7 模拟输入电路的例子

### 12.7.3 其它注意事项

1. 必须在ADSR的ADSF位为0时读取ADRRH和ADRRL。
2. 如果在A/D转换过程中相邻管脚的数字输入信号发生变化，就会降低转换精度。
3. 如果在解除模块待机模式后开始A/D转换，必须在等待10个 $\phi$ 时钟后开始A/D转换。
4. 在激活模式和睡眠模式，即使A/D转换器处于待机状态，模拟电源电流也流向梯形电阻。因此在不使用A/D转换器时，建议将AVcc连接到系统电源，并将CKSTPR1的ADCKSTP位清0。

---

## 第 13 章 LCD 控制器/驱动器

---

本 LSI 内置段型 LCD 控制电路、LCD 驱动器和电源电路，能直接驱动 LCD 显示屏。

### 13.1 特点

- 显示容量

占空比	内部驱动器
静态	25SEG
1/2	25SEG
1/3	25SEG
1/4	25SEG

- LCD RAM容量  
8位×13字节（104位）
- 能字存取LCD RAM
- 能将段输出管脚作为端口使用  
能以4个管脚为单位将SEG24~SEG1管脚作为端口使用
- 能将不使用的公共输出管脚作为公共双缓冲器使用  
能以1/2占空比将COM1和COM2、COM3和COM4并连使用  
能以静态将COM1和COM2、COM3、COM4并连使用
- 能选择11种帧频率
- 能通过软件选择A波形或者B波形
- 内置电源分压电阻  
能通过软件进行分压电阻分离的控制。但是，只限于H8/38104群。
- 可在待机模式以外的运行模式显示
- 通过模块待机模式，能在未使用时以单模块设定待机模式（详细内容请参照“5.4 模块待机功能”）

LCD 控制器/驱动器的框图如图 13.1 (1)、(2) 所示。

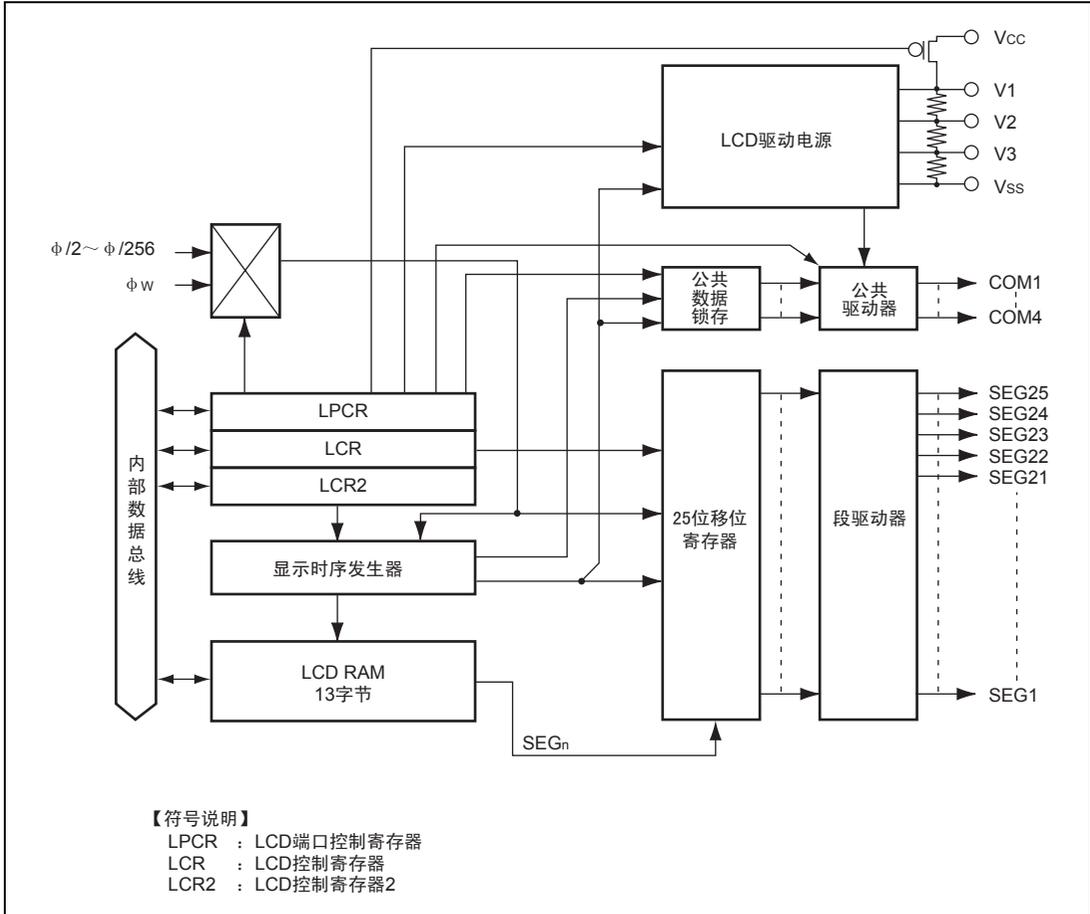


图 13.1 (1) H8/3802 群、H8/38004 群和 H8/38002S 群的 LCD 控制器/驱动器的框图

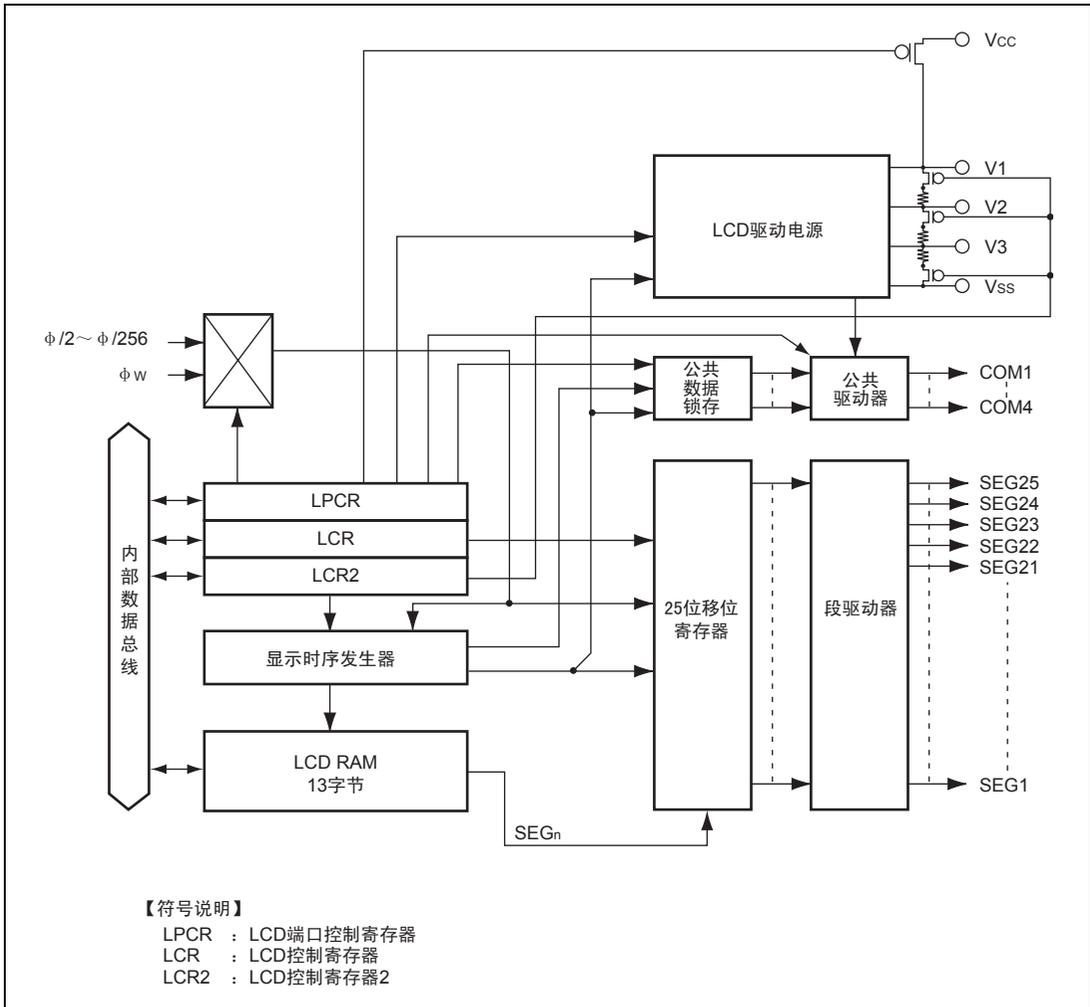


图 13.1 (2) H8/38104 群的 LCD 控制器/驱动器的框图

## 13.2 输入/输出管脚

LCD 控制器/驱动器的管脚构成如表 13.1 所示。

表 13.1 管脚构成

管脚名	符号	输入/输出	功能
段输出管脚	SEG25~SEG1	输出	液晶段驱动管脚 全部管脚和端口兼用，可编程设定
公共输出管脚	COM4~COM1	输出	液晶公共驱动管脚 在静态、1/2 占空比时管脚能并连
LCD 电源管脚	V1、V2、V3	—	在外接旁路电容器时或者在使用外部电源电路时使用

## 13.3 寄存器说明

LCD 控制器/驱动器有以下的寄存器：

- LCD 端口控制寄存器（LPCR）
- LCD 控制寄存器（LCR）
- LCD 控制寄存器2（LCR2）
- LCD RAM

### 13.3.1 LCD 端口控制寄存器（LPCR）

LPCR 选择占空比、LCD 驱动器以及管脚功能。

位	位名	初始值	R/W	说 明
7	DTS1	0	R/W	占空比选择 1、0
6	DTS0	0	R/W	公共功能选择
5	CMX	0	R/W	通过 DTS1 和 DTS0 的组合，选择静态和 1/2~1/4 占空比中的一个。 为了增大根据占空比而不使用的公共管脚的公共驱动能力，CMX 选择是否从多个管脚输出相同波形。 详细内容请参照表 13.2。
4	—	—	W	保留位。只能写 0。
3	SGS3	0	R/W	段驱动器选择 3~0
2	SGS2	0	R/W	选择使用的段驱动器。
1	SGS1	0	R/W	详细内容请参照表 13.3。
0	SGS0	0	R/W	

表 13.2 占空比和公共功能的选择

位 7	位 6	位 5	占空比	公共驱动器	补充说明
DTS1	DTS0	CMX			
0	0	0	静态	COM1	不能使用 COM4、COM3 和 COM2。
		1		COM4~COM1	COM4、COM3 和 COM2 输出相同于 COM1 的波形。
0	1	0	1/2 占空比	COM2~COM1	不能使用 COM4 和 COM3。
		1		COM4~COM1	COM4 输与 COM3 相同的波形，COM2 输出与 COM1 相同的波形。
1	0	0	1/3 占空比	COM3~COM1	不能使用 COM4
		1		COM4~COM1	不能使用 COM4
1	1	X	1/4 占空比	COM4~COM1	—

【符号说明】x: Don't care

表 13.3 段驱动器的选择

位 3	位 2	位 1	位 0	SEG25~SEG1 管脚的功能							
				SEG25	SEG24 ~ SEG21	SEG20 ~ SEG17	SEG16 ~ SEG13	SEG12 ~ SEG9	SEG8 ~ SEG5	SEG4 ~ SEG1	
0	0	0	0	端口	端口	端口	端口	端口	端口	端口	端口
0	0	0	1	端口	端口	端口	端口	端口	端口	端口	SEG
0	0	1	0	端口	端口	端口	端口	端口	端口	SEG	SEG
0	0	1	1	端口	端口	端口	端口	SEG	SEG	SEG	SEG
0	1	0	0	端口	端口	端口	SEG	SEG	SEG	SEG	SEG
0	1	0	1	端口	端口	SEG	SEG	SEG	SEG	SEG	SEG
0	1	1	0	端口	SEG	SEG	SEG	SEG	SEG	SEG	SEG
0	1	1	1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG
1	0	0	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG
1	0	0	1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	端口
1	0	1	0	SEG	SEG	SEG	SEG	SEG	SEG	端口	端口
1	0	1	1	SEG	SEG	SEG	SEG	端口	端口	端口	端口
1	1	0	0	SEG	SEG	SEG	端口	端口	端口	端口	端口
1	1	0	1	SEG	SEG	端口	端口	端口	端口	端口	端口
1	1	1	0	SEG	端口	端口	端口	端口	端口	端口	端口
1	1	1	1	端口	端口	端口	端口	端口	端口	端口	端口

## 13.3.2 LCD 控制寄存器 (LCR)

LCR 控制 LCD 驱动电源、控制显示数据以及选择帧频率。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1，写无效。
6	PSW	0	R/W	<p>LCD 驱动电源控制</p> <p>在低功耗模式不需要 LCD 显示或者使用外部电源时，能将 LCD 驱动电源从 Vcc 分离。当 ACT 为 0 或者在待机模式时，与此位无关，LCD 驱动电源从 Vcc 分离。</p> <p>0: 将 LCD 驱动电源从 Vcc 分离</p> <p>1: 将 LCD 驱动电源连接到 Vcc</p>
5	ACT	0	R/W	<p>显示功能开始</p> <p>选择是否使用 LCD 控制器/驱动器。通过将此位清 0，停止 LCD 控制器/驱动器的运行。另外，与 PSW 的值无关，LCD 驱动电源为 OFF 状态。但是保持寄存器的内容。</p> <p>0: LCD 控制器/驱动器运行停止</p> <p>1: LCD 控制器/驱动器运行</p>
4	DISP	0	R/W	<p>显示数据控制</p> <p>DISP 选择是显示 LCD RAM 的内容还是显示与 LCD RAM 内容无关的空白数据。</p> <p>0: 显示空白数据</p> <p>1: 显示 LCD RAM 数据</p>
3	CKS3	0	R/W	<p>帧频率选择 3~0</p> <p>选择使用时钟和帧频率。在子激活模式、时钟模式或者子睡眠模式，由于系统时钟 (<math>\phi</math>) 停止，因此在选择了 <math>\phi/2 \sim \phi/256</math> 时不进行显示运行。在这些模式进行 LCD 显示时，作为运行时钟，必须选择 <math>\phi_w</math>、<math>\phi_w/2</math> 或者 <math>\phi_w/4</math>。</p> <p>详细内容请参照表 13.4。</p>
2	CKS2	0	R/W	
1	CKS1	0	R/W	
0	CKS0	0	R/W	

表 13.4 帧频率的选择

位 3 CKS3	位 2 CKS2	位 1 CKS1	位 0 CKS0	使用时钟	帧频率* <sup>1</sup>	
					$\phi = 2\text{MHz}$	$\phi = 250\text{kHz}$ * <sup>3</sup>
0	x	0	0	$\phi w$	128Hz* <sup>2</sup>	
0	x	0	1	$\phi w/2$	64Hz* <sup>2</sup>	
0	x	1	X	$\phi w/4$	32Hz* <sup>2</sup>	
1	0	0	0	$\phi/2$	—	244Hz
1	0	0	1	$\phi/4$	977Hz	122Hz
1	0	1	0	$\phi/8$	488Hz	61Hz
1	0	1	1	$\phi/16$	244Hz	30.5Hz
1	1	0	0	$\phi/32$	122Hz	—
1	1	0	1	$\phi/64$	61Hz	—
1	1	1	0	$\phi/128$	30.5Hz	—
1	1	1	1	$\phi/256$	—	—

【符号说明】 x: Don't care

【注】 \*1 在选择 1/3 占空比时，帧频率为如表所示的值的 4/3 倍。

\*2 在  $\phi w=32.768\text{kHz}$  时的帧频率。

\*3 在  $\phi = 2\text{MHz}$  时的激活（中速  $\phi \text{ osc}/16$ ）模式的帧频率。

### 13.3.3 LCD 控制寄存器 2 (LCR2)

LCR2 控制 A 波形和 B 波形的切换、控制分压电阻的分离。但是，分压电阻的分离控制只限于 H8/38104 群进行。

位	位名	初始值	R/W	说 明
7	LCDAB	0	R/W	A 波形/B 波形切换控制 选择 LCD 的驱动波形是 A 波形还是 B 波形。 0: 用 A 波形驱动 1: 用 B 波形驱动
6、5	—	全 1	—	保留位。总是读出 1，写无效。
4	—	—	W	保留位。只能写 0。
3~0*	CDS3 CDS2 CDS1 CDS0	全 0	R/W	分压电阻分离控制 控制是分离还是连接分压电阻。 CDS3=0、CDS2=CDS1=CDS0=1: 分压电阻分离 上列以外: 连接

【注】 \* 只适用于 H8/38104 群。对于 H8/3802 群、H8/38004 群和 H8/38002S 群，是和位 4 相同的保留位。

## 13.4 运行说明

### 13.4.1 LCD 显示前的设置

为了进行 LCD 显示，对于硬件和软件的各项内容，必须事先决定以下的内容：

#### (1) 硬件设置

##### (a) 使用 1/2 占空比

在使用 1/2 占空比时，必须将 V2 管脚和 V3 管脚相连（如图 13.2 所示）。

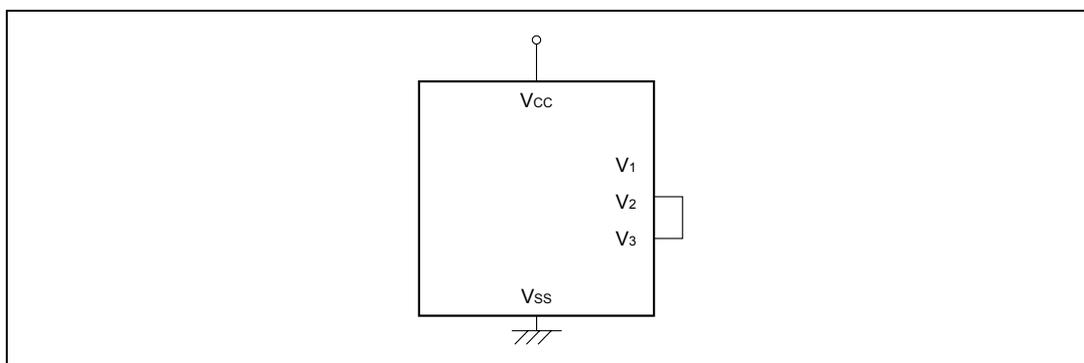


图 13.2 1/2 占空比时的 LCD 驱动电源的处理

##### (b) 大屏幕显示

由于内置的电源分压电阻的阻抗大，因此有不适合大显示屏驱动的情况。使用大屏幕且显示不清晰时，请参照“13.4.4 LCD 驱动电源的强化”。另外，在选择静态或者 1/2 占空比时，能增强公共输出的驱动能力。必须在选择占空比时将 CMX 设定为 1，此模式在静态时 COM4~COM1 管脚输出相同的波形，在 1/2 占空比时从 COM2 和 COM1 管脚输出 COM1 的波形、从 COM4 和 COM3 管脚输出 COM2 的波形。

##### (c) LCD 驱动电源的设定

作为 LCD 驱动电源，本 LSI 有使用内置的电源电路的方法和使用外部电源电路的方法。将外部电源电路用作 LCD 驱动电源时，必须将外部电源连接到 V1 管脚。

#### (2) 软件设置

##### (a) 选择占空比

占空比能通过 DTS1 和 DTS0 选择静态、1/2 占空、1/3 占空或者 1/4 占空。

##### (b) 选择段驱动器

能通过 SGS3~SGS0 选择使用的段驱动器。

(c) 选择帧频率

能通过设定 CKS3~CKS0 选择帧频率。必须根据 LCD 显示屏的规格选择帧频率。有关时钟模式、子激活模式或者子睡眠模式时的时钟选择方法，请参照“13.4.3 低功耗模式时的运行”。

(d) 选择 A 波形和 B 波形

能通过 LCDAB 选择使用的 LCD 波形是 A 波形还是 B 波形。

(e) LCD 驱动电源的选择

在使用外部电源电路时，必须通过 PSW 将 LCD 驱动电源设定成 OFF 状态。

### 13.4.2 LCD RAM 和显示的关系

LCD RAM 和显示段的关系取决于占空比。对应各占空比的 LCD RAM 的映像如图 13.3~图 13.6 所示。

在设定了显示所需要的寄存器群后，通过和通常的 RAM 相同的指令给对应占空比的部分写数据，如果显示为 ON 状态，就自动开始显示。对于 RAM 的设定能使用字/字节存取指令。

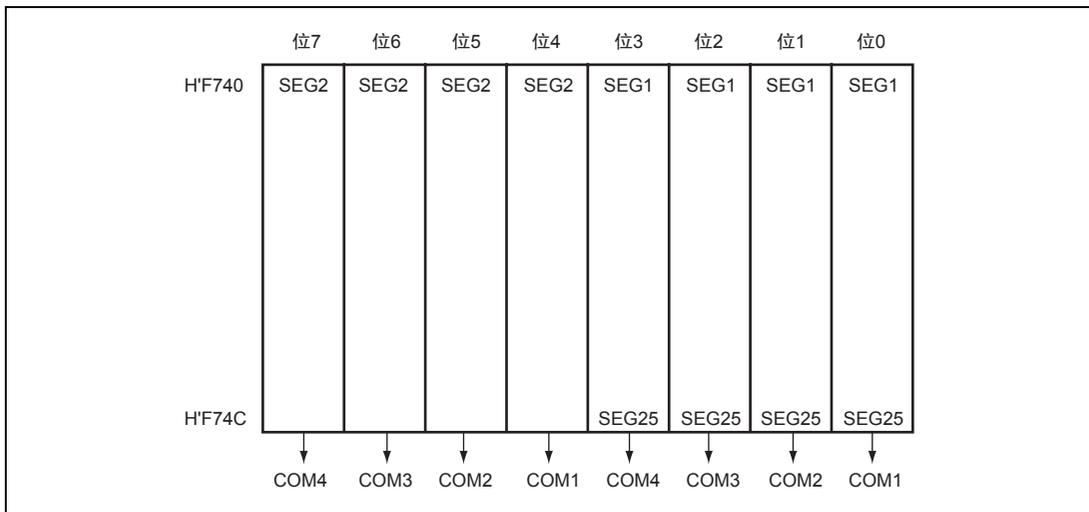


图 13.3 LCD RAM 映像 (1/4 占空比)

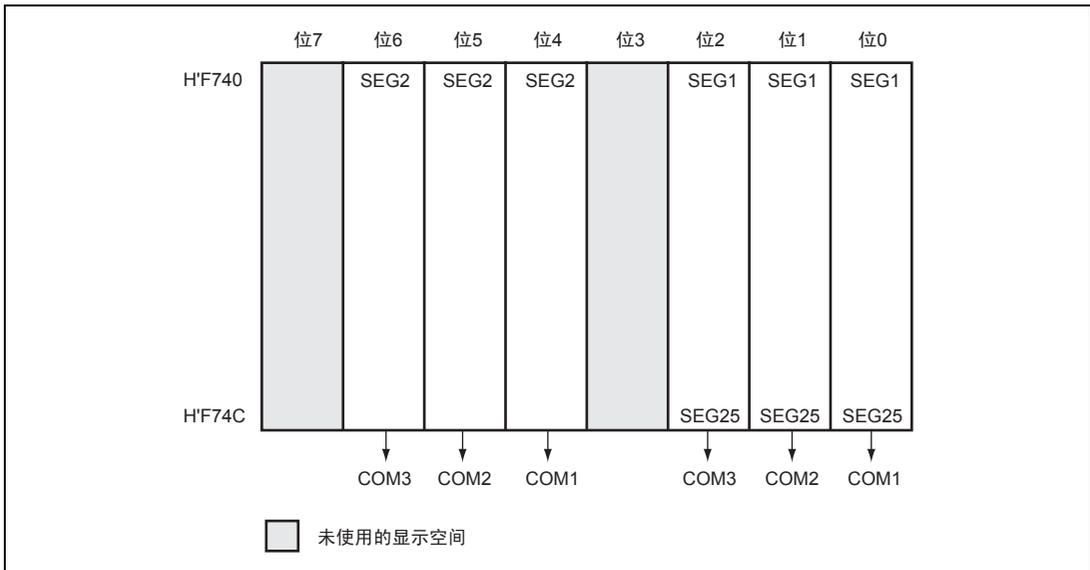


图 13.4 LCD RAM 映像 (1/3 占空比)

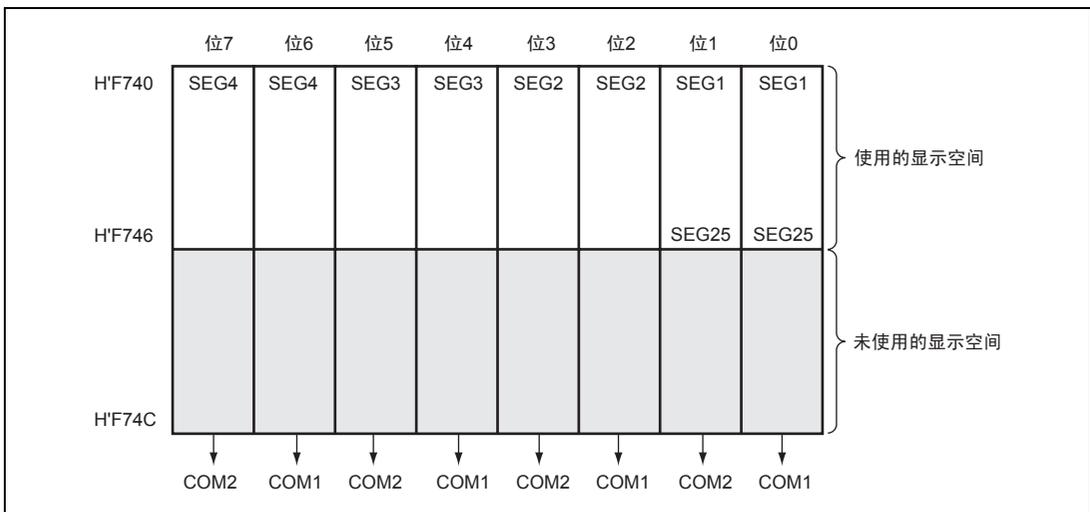


图 13.5 LCD RAM 映像 (1/2 占空比)

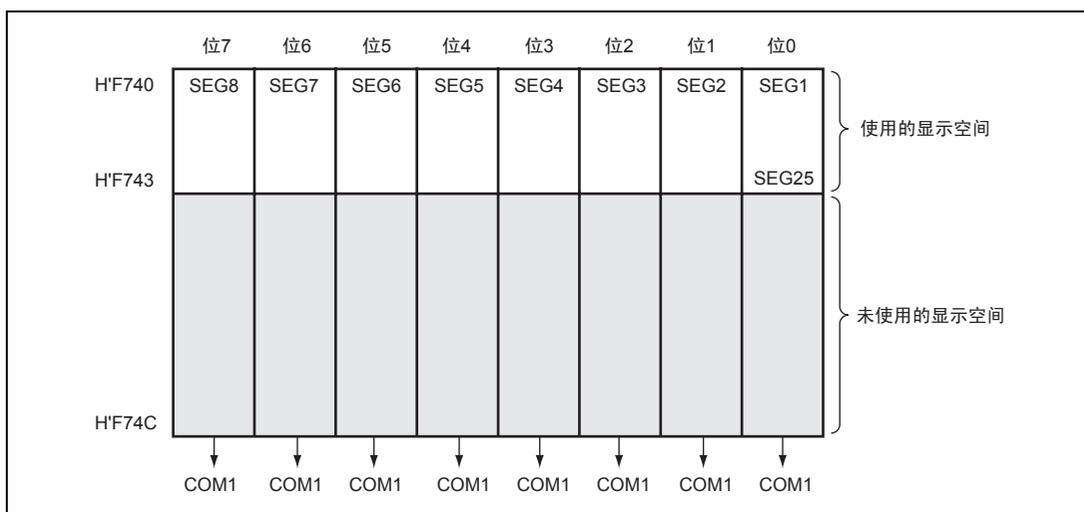


图 13.6 LCD RAM 映像 (静态)

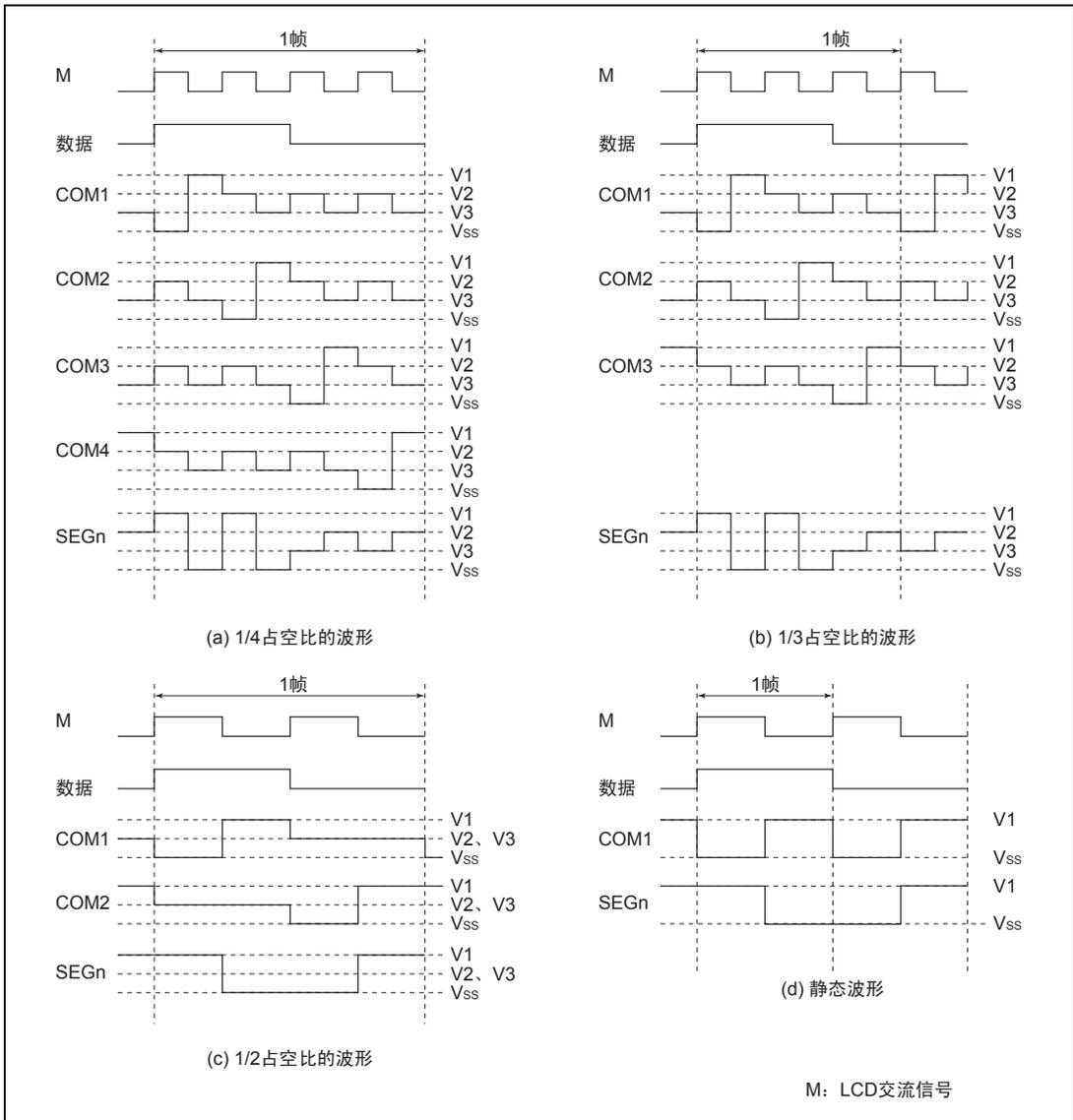


图 13.7 各占空比的输出波形（A 波形）

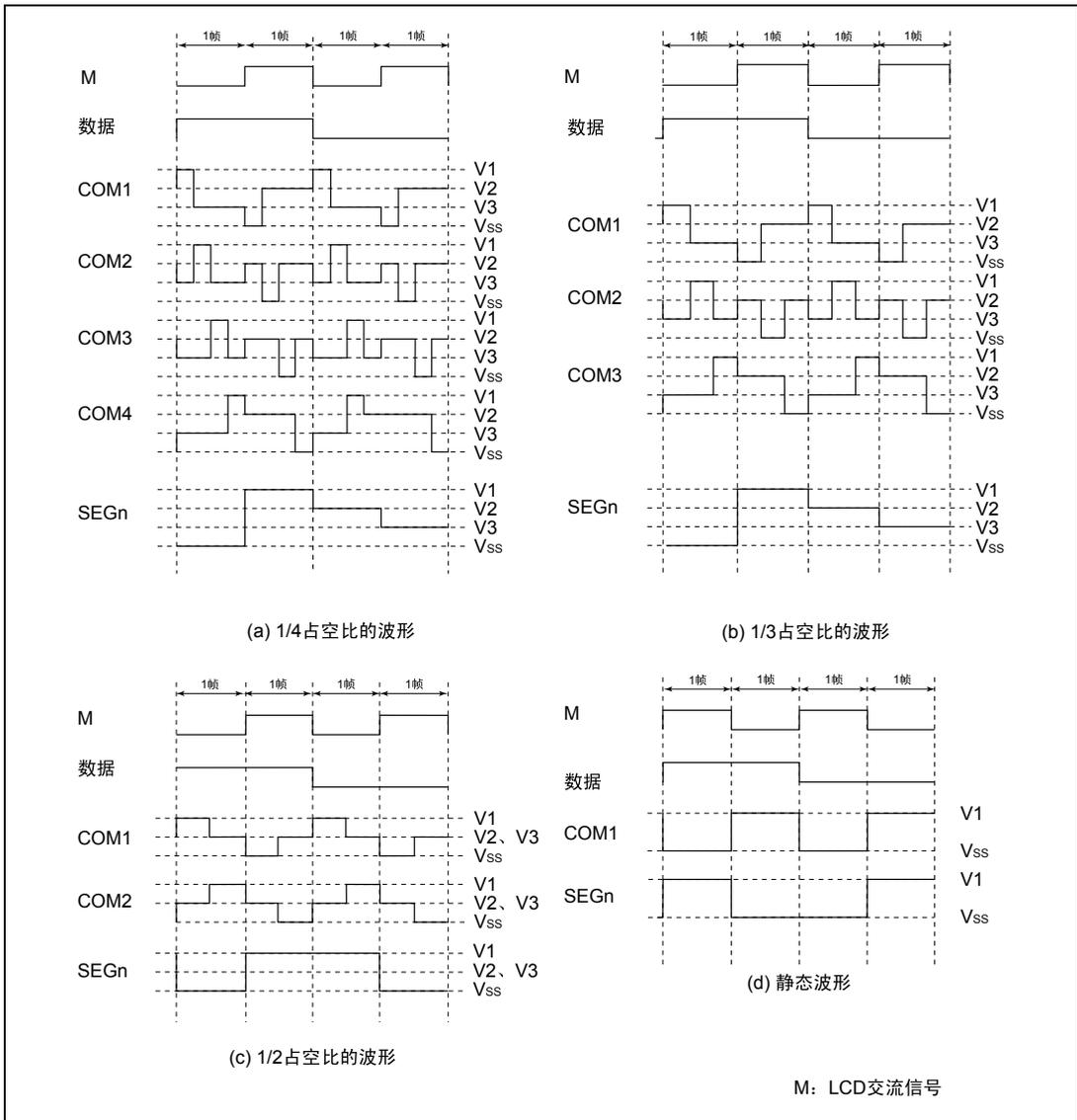


图 13.8 各占空比的输出波形 (B 波形)

表 13.5 输出电平的关系

数据		0	0	1	1
M		0	1	0	1
静态	公共输出	V1	VSS	V1	VSS
	段输出	V1	VSS	VSS	V1
1/2 占空比	公共输出	V2、V3	V2、V3	V1	VSS
	段输出	V1	VSS	VSS	V1
1/3 占空比	公共输出	V3	V2	V1	VSS
	段输出	V2	V3	VSS	V1
1/4 占空比	公共输出	V3	V2	V1	VSS
	段输出	V2	V3	VSS	V1

M: LCD 交流信号

### 13.4.3 低功耗模式时的运行

即使在低功耗模式，本 LSI 也能使 LCD 控制器/驱动器运行。低功耗模式时的 LCD 控制器/驱动器的运行状态如表 13.6 所示。

由于在子激活模式、时钟模式或者子睡眠模式，系统时钟振荡器停止振荡，因此如果不通过 CKS3~CKS0 选择  $\phi_w$ 、 $\phi_w/2$  或者  $\phi_w/4$ ，就不供给时钟，停止显示。此时，由于 LCD 显示屏还可能加有直流电压，因此必须选择  $\phi_w$ 、 $\phi_w/2$  或者  $\phi_w/4$ 。

在激活(中速)模式，系统时钟被切换，因此为了不让帧频率发生变化，必须改变 CKS3~CKS0。

表 13.6 低功耗模式和显示运行的关系

运行模式	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块待机
时钟	$\phi$	运行	运行	运行	停止	停止	停止	停止* <sup>4</sup>
	$\phi_w$	运行	运行	运行	运行	运行	运行	停止* <sup>1</sup>
显示运行	ACT=0	停止	停止	停止	停止	停止	停止	停止* <sup>2</sup>
	ACT=1	停止	显示	显示	显示* <sup>3</sup>	显示* <sup>3</sup>	显示* <sup>3</sup>	停止* <sup>2</sup>

【注】\*1 虽然子时钟振荡器不停止振荡，但是停止供给时钟。

\*2 与 PSW 无关，LCD 驱动电源 OFF。

\*3 对于使用时钟，如果不选择  $\phi_w$ 、 $\phi_w/2$  或者  $\phi_w/4$ ，就不进行显示运行。

\*4 停止供给 LCD 的时钟。

### 13.4.4 LCD 驱动电源的强化

在内置的电源容量达不到 LCD 显示屏的驱动能力时，需要降低电源的阻抗。作为对策，如图 13.9 所示，有给 V1~V3 管脚连接 0.1~0.3 $\mu$ F 左右的旁路电容器的方法和在外部重新增设分压电阻的方法。

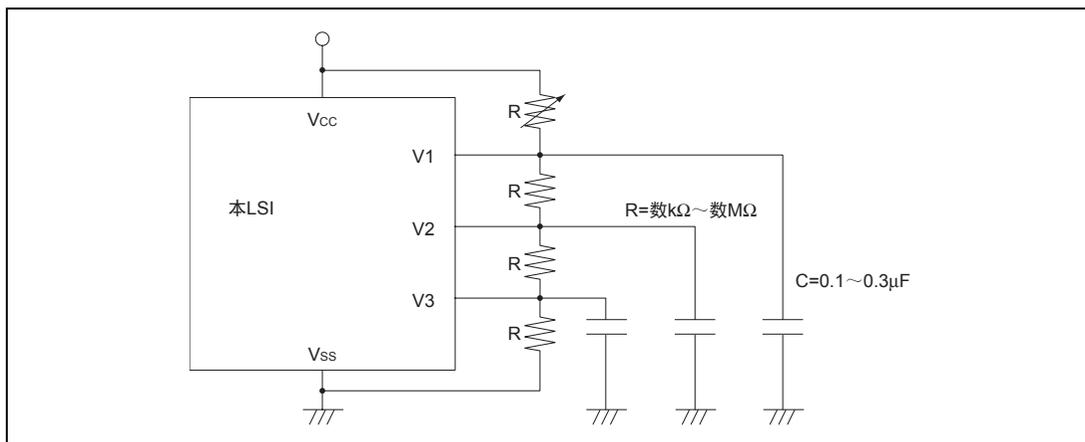


图 13.9 外部分压电阻的连接方法

---

## 第 14 章 加电复位和低电压检测电路 (只限于 H8/38104 群)

---

本 LSI 内置了加电复位电路和低电压检测电路。

低电压检测电路由低电压检测中断电路 (LVDI: Interrupt by Low Voltage Detect) 和低电压检测复位电路 (LVDR: Reset by Low Voltage Detect) 构成。

本电路是用于防止因电源电压下降而引起的本 LSI 异常运行 (失控) 以及在电源电压再次上升时再现电源电压下降前的状态的电路。

即使电源电压下降, 但是只要保持在运行保证电压以上且处于正常运行, 就能通过转移到待机模式\*, 消除电源电压下降到运行保证电压以下时的不稳定状态, 提高系统的安全性。同时, 在电源电压下降后自动转移到复位状态。如果电源电压再次上升, 就在保持一定时间的复位状态后自动转移到激活模式。

加电复位电路和低电压检测电路的框图如图 14.1 所示。

【注】 \* 待机模式的保持电压和 RAM 数据保持电压 ( $V_{RAM}$ ) 相同。有关 RAM 数据保持电压值请参照电特性的“17.6.2 DC 特性”。

### 14.1 特点

- 加电复位电路

通过外部连接电容, 在接通电源时产生内部复位信号。

- 低电压检测电路

低电压检测复位电路: 监视电源电压, 在一定电压以下时产生内部复位信号。

低电压检测中断电路: 监视电源电压, 在从一定电压下降或者上升时产生中断。

检测复位发生电压的电平能选择只使用低电压检测复位电路、同时使用低电压检测中断电路和低电压检测复位电路的两种情况。另外, 由于能从 LSI 外部输入电源上升/下降检测电压和基准电压, 所以能自由设定检测电压。

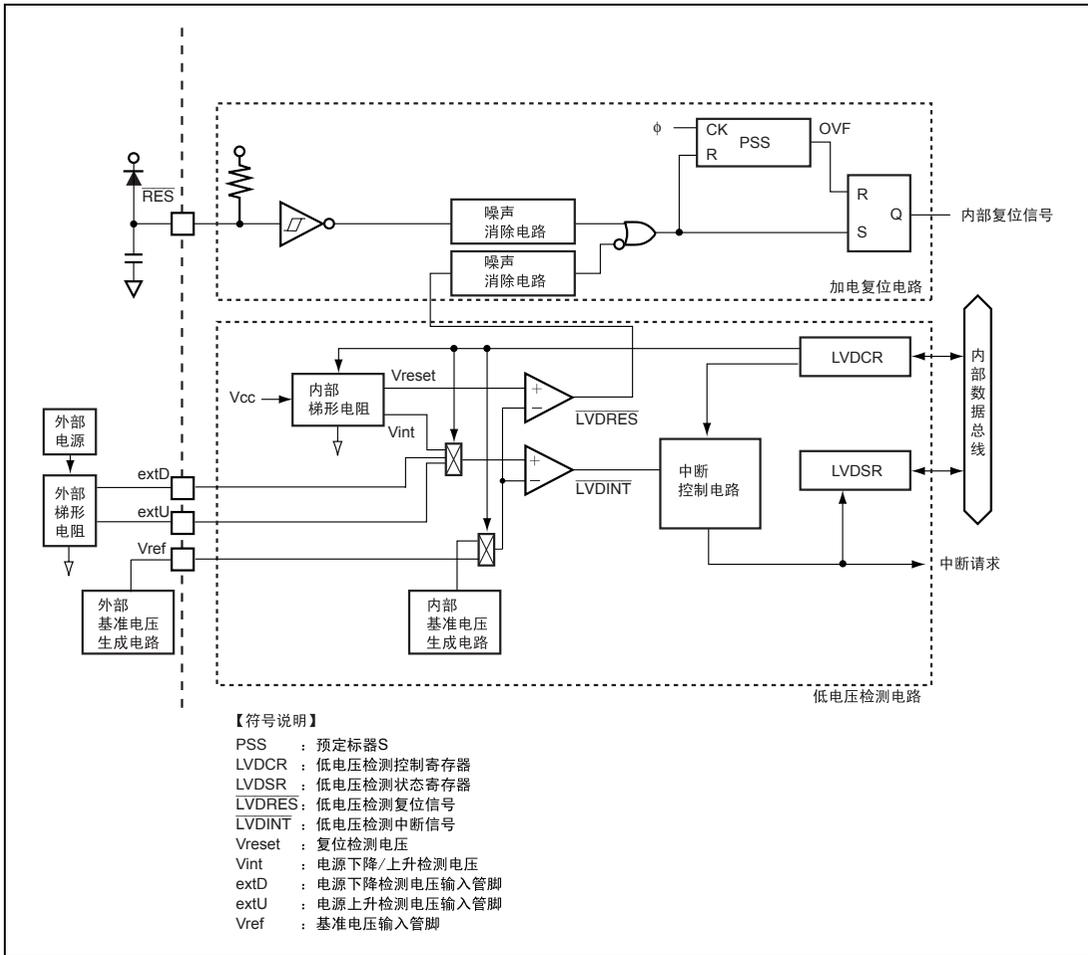


图 14.1 加电复位电路和低电压检测电路的框图

## 14.2 寄存器说明

低电压检测电路有以下寄存器：

- 低电压检测控制寄存器（LVDCR）
- 低电压检测状态寄存器（LVDSR）
- 低电压检测计数器（LVDCNT）

### 14.2.1 低电压检测控制寄存器（LVDCR）

LVDCR 控制是否使用低电压检测电路、控制设定电源电压下降/上升时的检测电平、设定 LVDR 检测电平、允许或禁止由低电压检测复位电路（LVDR）产生的复位、允许或禁止由电源电压下降/上升产生的中断。

LVDCR 的设定值和选择功能的关系如表 14.1 所示。必须按照表 14.1 设定 LVDCR。

位	位名	初始值	R/W	说 明
7	LVDE	0*	R/W	LVD 允许 0: 未使用低电压检测电路（待机状态） 1: 使用低电压检测电路
6	—	0	R/W	保留位。
5	VINTDSEL	0	R/W	电源电压下降（LVDD）检测电平外部输入选择 0: LVDD 检测电平通过内部梯形电阻生成 1: LVDD 检测电平为 extD 管脚输入
4	VINTUSEL	0	R/W	电源电压上升（LVDU）检测电平外部输入选择 0: LVDU 检测电平通过内部梯形电阻生成 1: LVDU 检测电平为 extU 管脚输入
3	LVDSSEL	0*	R/W	LVDR 检测电平选择 0: 复位检测电压 2.3V(typ.) 1: 复位检测电压 3.3V(typ.) 在使用下降电压检测和上升电压检测中断时，必须使用 2.3V(typ.)复位。 另外，在只使用复位检测时，必须使用 3.3V(typ.)复位。
2	LVDRE	0*	R/W	LVDR 允许 0: 禁止由 LVDR 产生的复位 1: 允许由 LVDR 产生的复位
1	LVDDE	0	R/W	电压下降时的中断允许 0: 禁止电压下降时的中断请求 1: 允许电压下降时的中断请求
0	LVDUE	0	R/W	电压上升时的中断允许 0: 禁止电压上升时的中断请求 1: 允许电压上升时的中断请求

【注】\* 在通过 LVDR 复位时不被初始化。在加电复位和监视定时器复位时被初始化。

表 14.1 LVDCR 的设定和选择功能

LVDCR 设定值					选择功能			
LVDE	LVDSSEL	LVDRE	LVDDE	LVDUE	加电 复位	低电压检测 复位	低电压检测 下降中断	低电压检测 上升中断
0	*	*	*	*	○	—	—	—
1	1	1	0	0	○	○	—	—
1	0	0	1	0	○	—	○	—
1	0	0	1	1	○	—	○	○
1	0	1	1	1	○	○	○	○

【注】\* 的设定值无效。

### 14.2.2 低电压检测状态寄存器 (LVDSR)

LVDSR 控制外部输入的选择、表示基准电压的稳定状态和电源电压处于从某一定电压开始下降或者上升的状态。

位	位名	初始值	R/W	说 明
7	OVF	0*	R/W	LVD 基准电压稳定标志 [置位条件] • 低电压检测计数器 (LVDCNT) 溢出时 [清除条件] • 在读到 1 的状态后写 0 时
6~4	—	0	R/W	可读写的保留位。
3	VREFSEL	0	R/W	基准电压外部输入选择 0: 基准电压使用内部电路 1: 从 Vref 外部输入基准电压
2	—	0	R	保留位。总是读出 0, 写无效。
1	LVDDF	0*	R/W	LVD 电源电压下降标志 [置位条件] • 电源电压下降到 Vint(D)以下时 [清除条件] • 在读到 1 的状态后写 0 时
0	LVDUF	0*	R/W	LVD 电源电压上升标志 [置位条件] • 在 LVDCR 的 LVDUE 位置 1 的状态下, 电源电压下降到 Vint(D)以下 并且在下降到 Vreset1 前上升到 Vint(U)以上时 [清除条件] • 在读到 1 的状态后写 0 时

【注】\* 在通过 LVDR 复位时被初始化。

### 14.2.3 低电压检测计数器 (LVDCNT)

LVDCNT 为只读累加计数器，如果给 LVDE 写 1，就开始计数。将  $\phi/4$  作为时钟源进行累加计数，如果从 H'FF 溢出到 H'00，就将 LVDSR 寄存器的 OVF 位置 1，表示内部基准电压生成电路处于稳定状态。在使用 LVD 功能时，必须等待本计数器的溢出。LVDCNT 的初始值为 H'00。

## 14.3 运行说明

### 14.3.1 加电复位电路

加电复位电路的运行时序如图 14.2 所示。由于电源电压上升，经过内部上拉电阻（typ. 100kΩ），逐渐对外接在  $\overline{\text{RES}}$  管脚的电容充电。此  $\overline{\text{RES}}$  管脚的状态传到内部，对预定标器 S 和整个芯片进行复位。如果  $\overline{\text{RES}}$  管脚电平上升到一定电平，就解除预定标器 S 的复位，开始累加计数。如果预定标器 S 对  $\phi$  进行 131,072 次计数，就产生 OVF 信号，解除内部复位信号。另外，为了避免由于  $\overline{\text{RES}}$  管脚的噪声而产生的误动作，芯片内部内置了约 100ns 的噪声消除电路。

为了使 LSI 稳定运行，必须使电源在规定的时间内上升。电源上升时间（ $t_{\text{PWON}}$ ）的最大值由振荡频率（ $f_{\text{OSC}}$ ）和连接到  $\overline{\text{RES}}$  管脚的电容（ $C_{\text{RES}}$ ）来定义。假设电源上升时间为达到电源电压的 90% 的时间，请设计满足下列计算式的电源电路：

$$t_{\text{PWON}}(\text{ms}) \leq 80 \times C_{\text{RES}}(\mu\text{F}) \pm 10/f_{\text{OSC}}(\text{MHz})$$

$$(t_{\text{PWON}} \leq 3000\text{ms}、C_{\text{RES}} \geq 0.22\mu\text{F}、2 \sim 10\text{MHz 时 } f_{\text{OSC}}=10)$$

但是，电源电压  $V_{\text{CC}}$  必定下降到  $V_{\text{POR}}=100\text{mV}$  以下，必须在充分释放  $\overline{\text{RES}}$  管脚的电荷后让使电源电压  $V_{\text{CC}}$  上升。为了释放  $\overline{\text{RES}}$  管脚的电荷，建议给  $V_{\text{CC}}$  侧外接二极管。如果电源电压  $V_{\text{CC}}$  从超过  $V_{\text{POR}}$  的电压开始上升，加电复位就可能不动作。

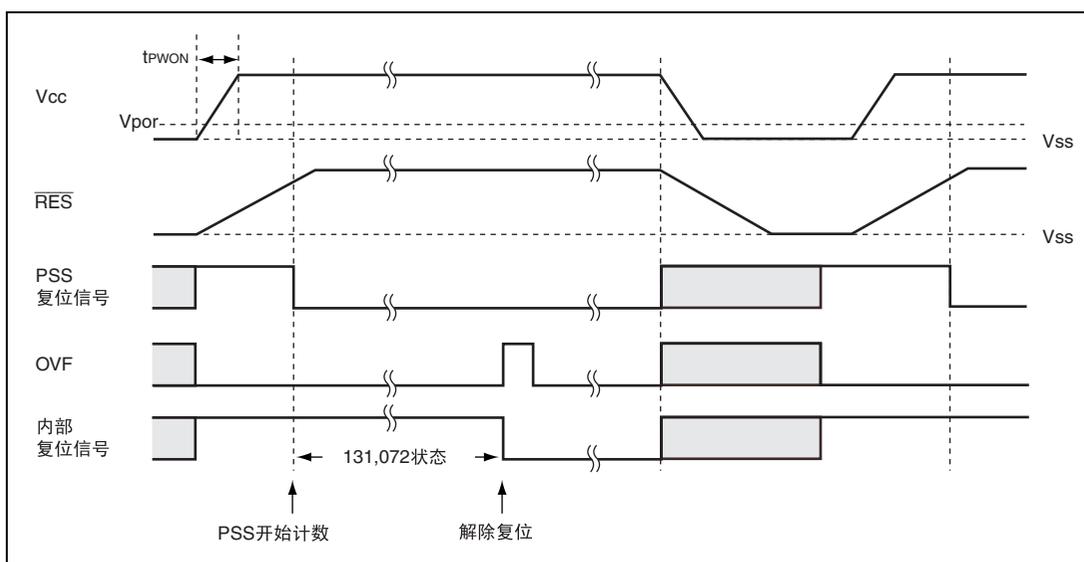


图 14.2 加电复位电路的运行时序

### 14.3.2 低电压检测电路

#### (1) 低电压检测复位电路 (LVDR)

LVDR 的运行时序如图 14.3 所示。在加电复位解除后, LVDR 变为模块待机状态。为了让 LVDR 运行, 将 LVDCR 的 LVDE 位置 1, 并且在通过 LVDCNT 的溢出等待基准电压和低电压检测电源稳定为止的时间  $t_{LVDRON}$  (150 $\mu$ s) 后, 将 LVDCR 的 LVDRE 位置 1。此后, 必须进行端口的输出设定。另外, 解除低电压检测电路时, 先将 LVDRE 位清 0, 然后将 LVDE 位清 0。为了避免误动作, 不能将 LVDE 位和 LVDRE 位同时清除。

如果电源电压下降到  $V_{reset}$  电压 (typ.=2.3V 或者 3.3V) 以下, LVDR 就使  $\overline{LVDRRES}$  信号变为 0, 并且复位预定标器 S。只要加电复位不动作, 就继续保持低电压检测复位状态。如果电源电压再次上升到  $V_{reset}$  电压以上, 预定标器 S 就开始累加计数, 对  $\phi$  进行 131,072 次计数, 解除内部复位信号。此时, LVDCR 的 LVDE 位、LVDSEL 位、LVDRE 位不被初始化。

但是, 在电源电压  $V_{cc}$  在下降到低于  $V_{LVDRmin}=1.0V$  后开始上升的情况下, 低电压检测复位可能不能进行, 必须充分评价。

另外, 如果电源电压  $V_{cc}$  下降到  $V_{por}=100mV$  以下, 本 LSI 就变为加电复位运行。

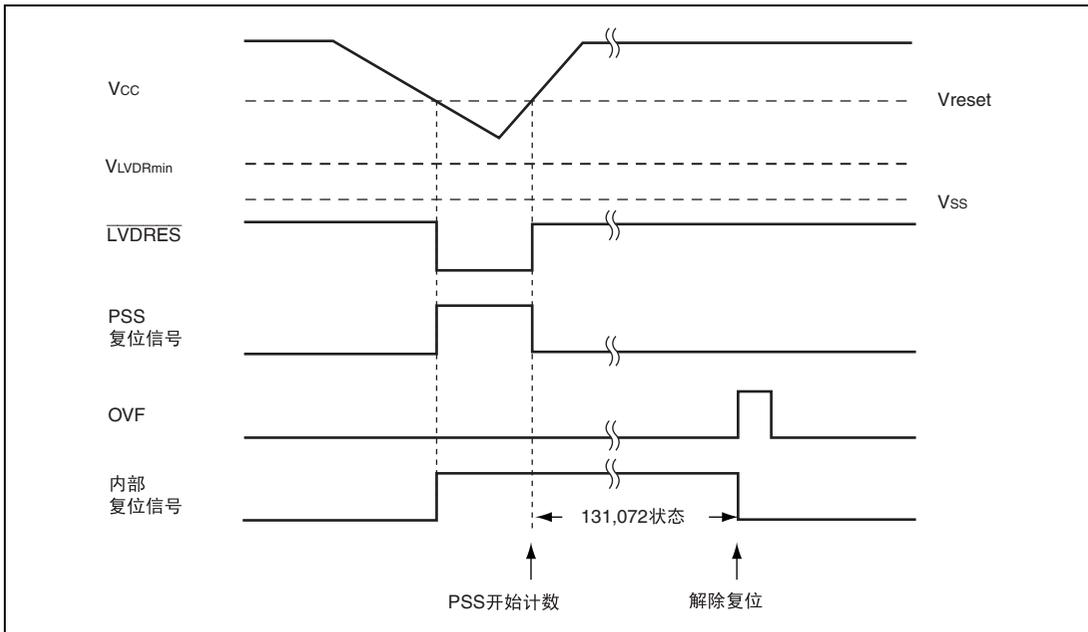


图 14.3 低电压检测复位电路的运行时序

(2) 低电压检测中断电路 (LVDI)

LVDI 的运行时序如图 14.4 所示。在解除加电复位后, LVDI 变为模块待机状态。为了让 LVDI 运行, 将 LVDCR 的 LVDE 位置 1, 并且在通过软件定时器等等等待基准电压和低电压检测电源稳定为止的时间  $t_{LVDON}$  (150 $\mu$ s) 后, 将 LVDCR 的 LVDDE 位和 LVDUE 位置 1。此后, 必须进行端口的输出设定。另外, 解除低电压检测电路时, 先将 LVDDE 位和 LVDUE 位全部清 0, 然后将 LVDE 位清 0。为了避免误动作, LVDE 位不能和 LVDDE 位、LVDUE 位同时清除。

如果电源电压下降到  $V_{int}(D)$  ( $typ.=3.7V$ ) 电压以下, LVDI 就使  $\overline{LVDINT}$  信号变为 0, 将 LVDSR 的 LVDDF 位置 1。如果 LVDDE 位是 1, 就发生 IRQ0 中断请求。此时, 必须将需要的数据保存到外接的 EEPROM 等, 并且转移到待机模式、时钟模式或者子睡眠模式。设计电源电路时, 必须在完成此处理之前, 将电源电压保持在保证运行的下限电压以上。

另外, 如果电源电压不下降到  $V_{reset1}$  ( $typ.=2.3V$ ) 电压就上升到  $V_{int}(U)$  ( $typ.=4.0V$ ) 电压以上,  $\overline{LVDINT}$  信号就变为 1, 此时, 如果 LVDUE 位是 1, LVDSR 的 LVDUF 位就被置 1, 同时发生 IRQ0 中断请求。

如果电源电压下降到  $V_{reset1}$  ( $typ.=2.3V$ ) 电压以下, 本 LSI 就变为低电压检测复位运行。

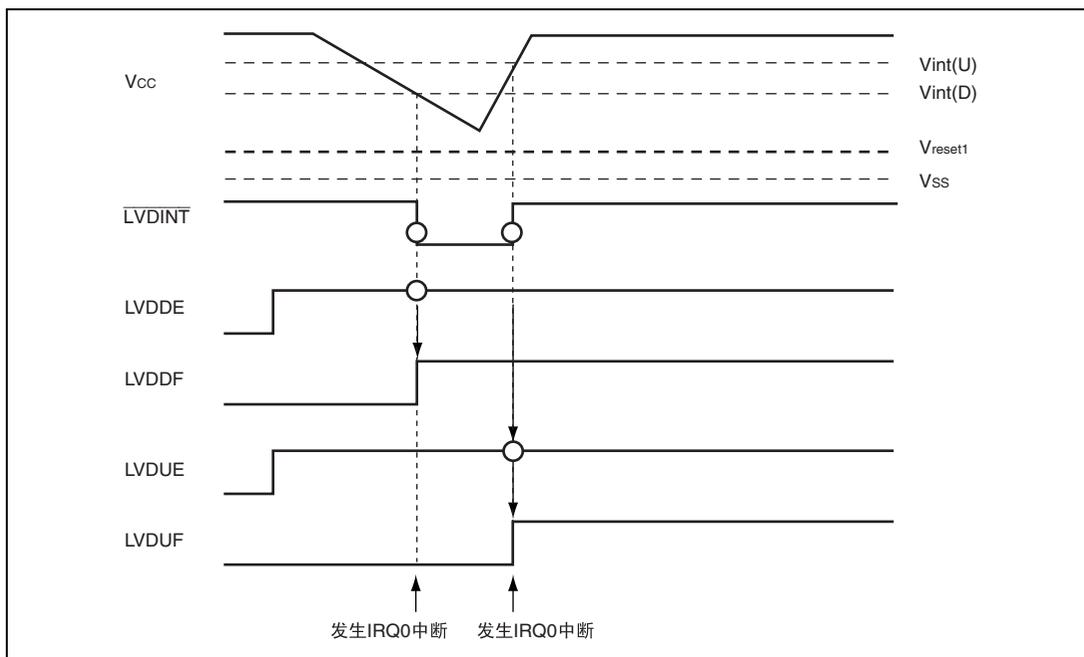


图 14.4 低电压检测中断电路的运行时序

本 LSI 能通过 Vref、extD、extU 管脚从 LSI 外部输入基准电压、电源电压下降检测电平以及电源电压上升检测电平。使用 Vref、extD、extU 管脚时的 LVDI 的运行时序如图 14.5 所示。

首先，(1) 将 extD/extU 管脚的输入电压设定成比中断检测电压 Vexd 高的电压。(2) 如果在初始设定后 extD 输入电压下降到 Vexd 以下，就产生电源下降中断。(3) 如果在发生电源下降中断后外部电源电压上升并且 extU 输入电压上升到 Vexd 以上，就产生电源上升中断。(4) 和使用内部电路时相同，在使用 LVDI 功能时必须和 LVDR (Vreset1) 一起使用。

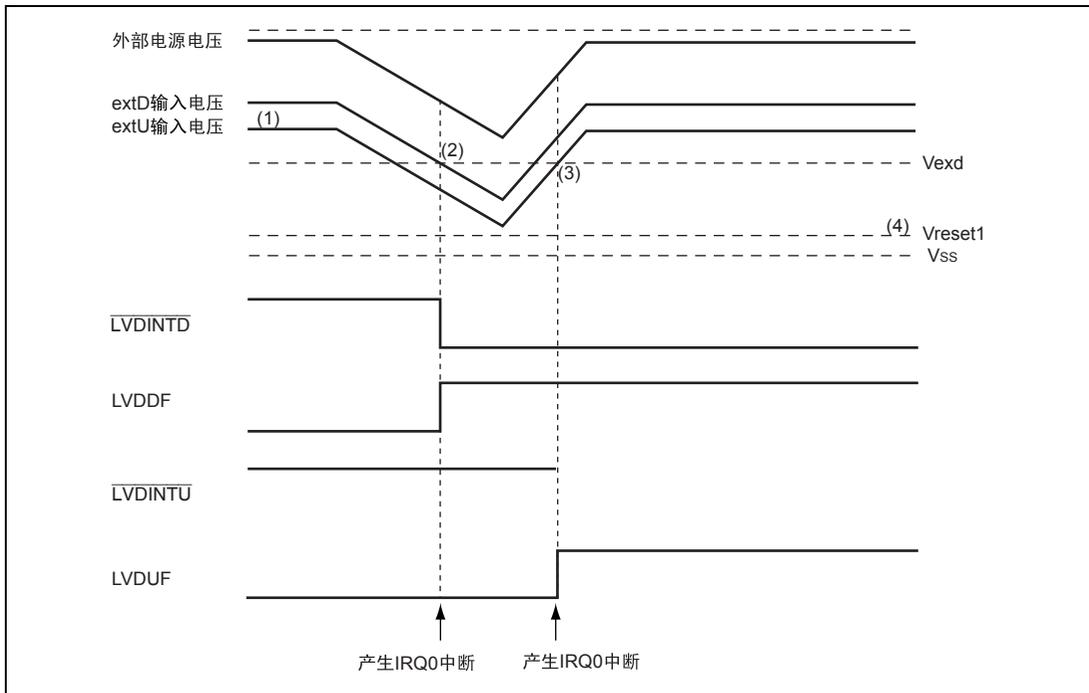


图 14.5 低电压检测中断电路的运行时序（在使用 Vref、extD/extU 管脚时）

使用 Vref、extD、extU 管脚时的 LVD 功能使用例子如图 14.6 所示。

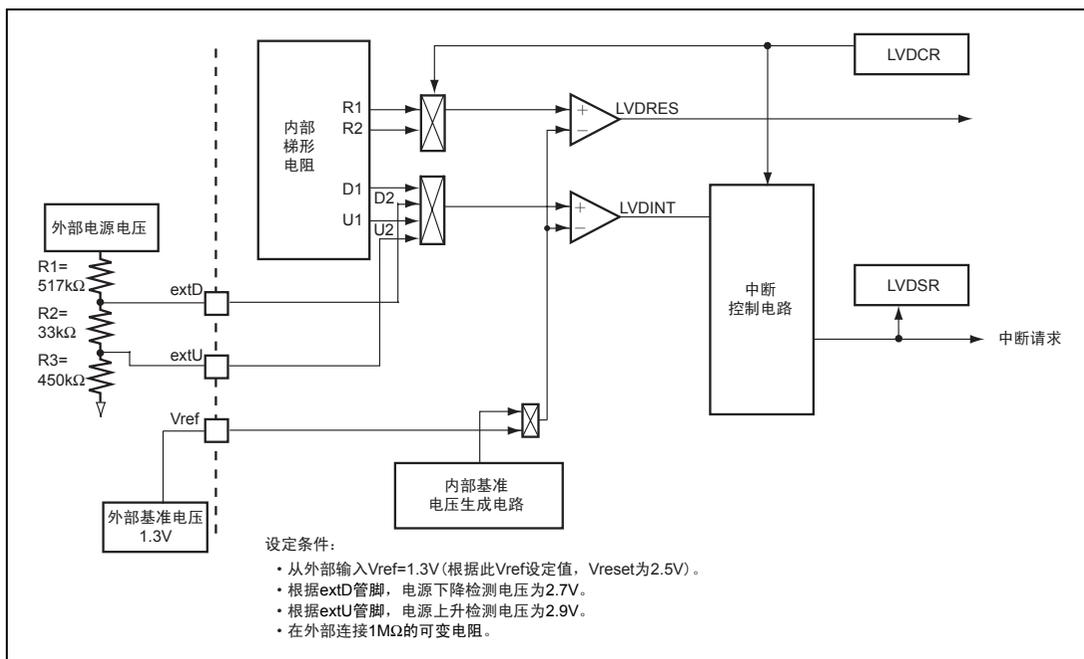


图 14.6 使用 Vref、extD、extU 管脚时的 LVD 功能使用例子

然后，利用 Vref、extD、extU 管脚，从 LSI 外部输入基准电压和检测电压时的外接电阻值的计算方法如下所示：

步骤：

1. 决定总电阻值R。根据R值，能决定电阻消耗的电流值。如果R变小，电流就变大；如果R变大，电流就变小。此R值取决于安装本LSI的系统构成。
2. 决定电源下降检测电压（Vint(D)）和电源上升检测电压（Vint(U)）。
3. 使用如下所示的电阻值计算表，从R、Vreset1、Vint(D)以及Vint(U)的值计算Vref、R1、R2以及R3的值。

电阻值计算表

EX. No	Vref(V)	R(kΩ)	Vreset1	Vint(D)	Vint(U)	R1(kΩ)	R2(kΩ)	R3(kΩ)
1	1.30	1000	2.5	2.7	2.9	517	33	450
2	1.41	1000	2.7	2.9	3	514	16	470
3	1.57	1000	3	3.2	3.5	511	42	447
4	2.09	1000	4	4.5	4.7	536	20	444

4. 通过如下所示的误差计算表，输入R1、R2、R3以及Vref的值，计算Vreset1、Vint(D)以及Vint(U)的误差。必须确认各值的max值和min值。

误差计算表

Vref (V)	R1 (kΩ)	R2 (kΩ)	R3 (kΩ)	电阻值的误差 (%)	比较器	Vreset1 (V)	Vint(D) (V)	Vint(U) (V)
				5	误差 (V)			
1.3	517	33	450	R1+Err, 2/R3-Err	0.1	2.59	2.94	3.15
					0	2.49	2.84	3.05
					-0.1	2.39	2.74	2.95
				R1-Err, 2/R3+Err	0.1	2.59	2.66	2.85
					0	2.49	2.56	2.75
					-0.1	2.39	2.46	2.65
				R1/R2/R3 NoErr	0.1	2.59	2.79	2.99
					0	2.49	2.69	2.89
					-0.1	2.39	2.59	2.79
				R1/R2+Err, 3-Err	0.1	2.59	2.93	3.16
					0	2.49	2.83	3.06
					-0.1	2.39	2.73	2.96
				R1/R2-Err, 3+Err	0.1	2.59	2.67	2.84
					0	2.49	2.57	2.74
					-0.1	2.39	2.47	2.64

### (3) 使用 LVDR、LVDI 时的运行/解除的设定步骤

为了正常运行或者解除低电压检测电路，必须按以下步骤设定。设定低电压检测电路运行和解除时的时序如图 14.7 所示。

1. 运行低电压检测电路时，首先将LVDCR的LVDE位置1。
2. 在通过LVDCNT的溢出等等等待到基准电压和低电压检测电源稳定为止的时间 ( $t_{LVDRON}=150\mu s$ ) 后，将LVDSR的LVDDF位和LVDUF位清0，根据需要将LVDCR的LVDRE位、LVDDE位以及LVDUE位置1。
3. 解除低电压检测电路时，先将LVDRE位、LVDDE位以及LVDUE位全部清0，然后将LVDE位清0。为了避免误动作，LVDE位不能和LVDRE位、LVDDE位、LVDUE位同时清除。

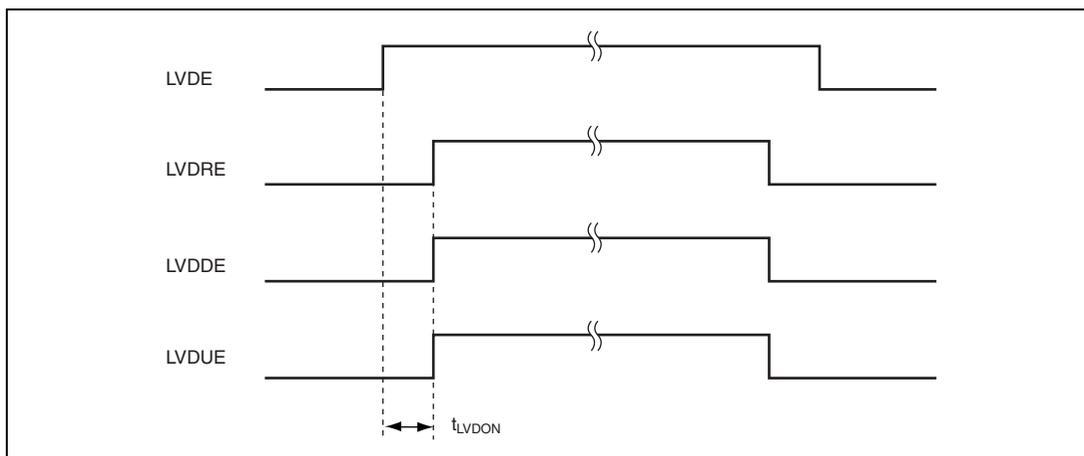


图 14.7 低电压检测电路运行/解除的设定时序

## 第 15 章 电源电路（只限于 H8/38104 群）

在本 LSI 内置内部电源降压电路。通过使用此内部电源降压电路，能不依靠连接到外部 Vcc 管脚的电源电压而将内部电源固定在 3.0V 左右。因此，能抑制使用 3.0V 以上的外部电源时的消费电流，使它与使用大约 3.0V 的外部电源时的消费电流基本相同。当外部电压低于 3.0V 时，内部电压与外部电压基本相同。也能不使用内部电源降压电路而将内部电源电压和外部电源电压同样地使用。

### 15.1 使用内部电源降压电路的情况

如图 15.1 所示，必须将外部电源连接到 Vcc 管脚，并且在 CVcc 和 Vss 之间连接一个大约 0.1 $\mu$ F 的电容。通过附加此外部电路使内部降压电路有效。外部电路的输入/输出电平以连接到 Vcc 的外部电源电压和连接到 Vss 的 GND 电位为基准。例如，端口的输入/输出电平的高电平以 Vcc 为基准，低电平以 Vss 为基准。A/D 转换器的模拟电源不受内部降压电路的影响。

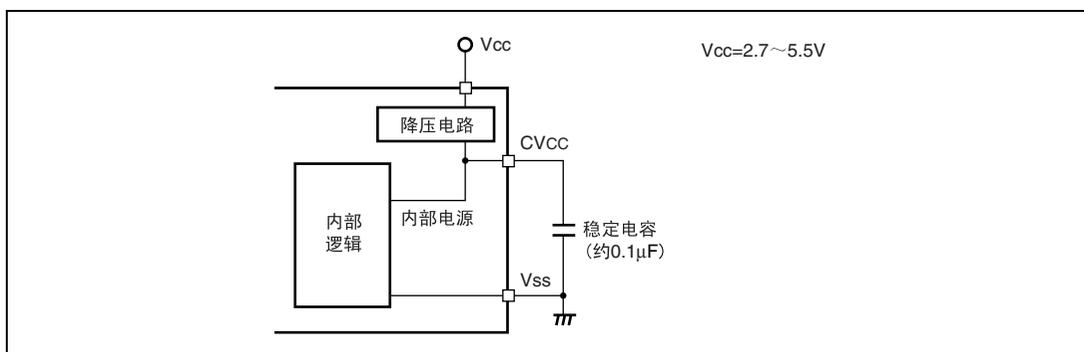


图 15.1 在使用内部电源降压电路的情况下的电源连接图

### 15.2 不使用内部电源降压电路的情况

如图 15.2 所示，必须将外部电源连接到 CVcc 和 Vcc 管脚。外部电源被直接提供给内部电源。可使用的电源电压为 2.7V~3.6V。在供给超过这个范围的电源的情况下，运行不被保证。

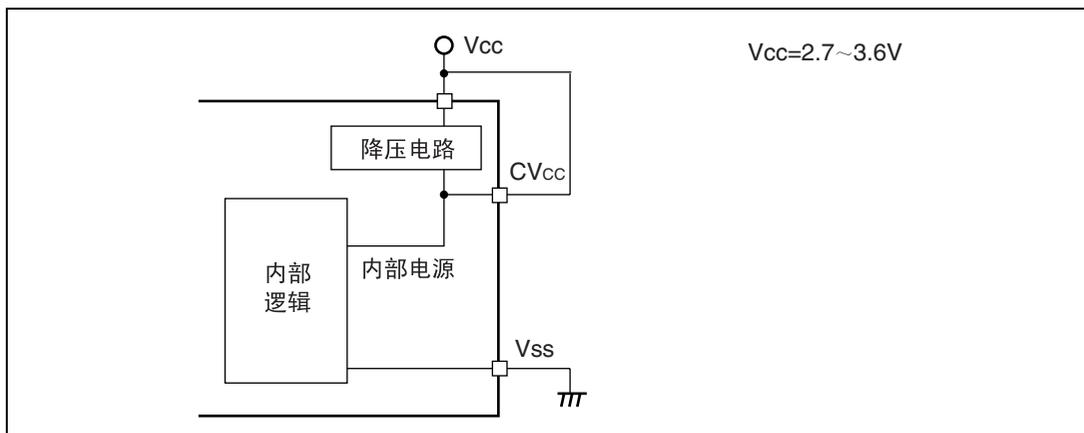


图 15.2 在不使用内部电源降压电路的情况下的电源连接图

---

## 第 16 章 寄存器一览表

---

在寄存器地址一览表中，汇总了有关内部寄存器地址、位结构以及各运行模式的状态的信息。表的记述方法如下：

### 1. 寄存器地址一览表(按地址顺序)

- 从分配的低地址寄存器开始顺序记载。
- 根据模块名称分类。
- 表示数据总线宽度。
- 表示存取状态数。

### 2. 寄存器位一览表

- 按“寄存器地址一览表(按地址顺序)”的顺序，记载位结构。
- 对于保留位，在位名称部用“—”表示。
- 16位寄存器的情况，从MSB侧的位开始记载。

### 3. 各运行模式的寄存器状态

- 按“寄存器地址一览表(按地址顺序)”的顺序，记载寄存器状态。
- 表示在基本运行模式的寄存器状态。在内部模块固有的复位等的情况下，请参照内部模块的章节。

## 16.1 寄存器地址一览表（按地址顺序）

数据总线宽度表示位数。

存取状态数表示指定的基准时钟的状态数。

寄存器名称	略称	位数	地址	模块	数据 总线宽度	存取 状态数
快速擦写存储器控制寄存器 1	FLMCR1	8	H'F020	ROM	8	2
快速擦写存储器控制寄存器 2	FLMCR2	8	H'F021	ROM	8	2
快速擦写存储器功率控制寄存器	FLPWCR	8	H'F022	ROM	8	2
块指定寄存器	EBR	8	H'F023	ROM	8	2
快速擦写存储器允许寄存器	FENR	8	H'F02B	ROM	8	2
低电压检测控制寄存器* <sup>4</sup>	LVDCR	8	H'FF86	低电压检测电路	8	2
低电压检测状态寄存器* <sup>4</sup>	LVDSR	8	H'FF87	低电压检测电路	8	2
事件计数器 PWM 比较寄存器 H	ECPWCRH	8	H'FF8C	AEC* <sup>1</sup>	8	2
事件计数器 PWM 比较寄存器 L	ECPWCRL	8	H'FF8D	AEC* <sup>1</sup>	8	2
事件计数器 PWM 数据寄存器 H	ECPWDRH	8	H'FF8E	AEC* <sup>1</sup>	8	2
事件计数器 PWM 数据寄存器 L	ECPWDRL	8	H'FF8F	AEC* <sup>1</sup>	8	2
唤醒边沿选择寄存器	WEGR	8	H'FF90	中断	8	2
串行端口控制寄存器	SPCR	8	H'FF91	SCI3	8	2
输入管脚边沿选择寄存器	AEGSR	8	H'FF92	AEC* <sup>1</sup>	8	2
事件计数器控制寄存器	ECCR	8	H'FF94	AEC* <sup>1</sup>	8	2
事件计数器控制/状态寄存器	ECCSR	8	H'FF95	AEC* <sup>1</sup>	8	2
事件计数器 H	ECH	8	H'FF96	AEC* <sup>1</sup>	8	2
事件计数器 L	ECL	8	H'FF97	AEC* <sup>1</sup>	8	2
串行模式寄存器	SMR	8	H'FFA8	SCI3	8	3
位传速率寄存器	BRR	8	H'FFA9	SCI3	8	3
串行控制寄存器 3	SCR3	8	H'FFAA	SCI3	8	3
发送数据寄存器	TDR	8	H'FFAB	SCI3	8	3
串行状态寄存器	SSR	8	H'FFAC	SCI3	8	3
接收数据寄存器	RDR	8	H'FFAD	SCI3	8	3
定时器模式寄存器 A	TMA	8	H'FFB0	定时器 A	8	2
定时器计数器 A	TCA	8	H'FFB1	定时器 A	8	2
定时器控制/状态寄存器 W	TCSRW	8	H'FFB2	WDT* <sup>2</sup>	8	2
定时器计数器 W	TCW	8	H'FFB3	WDT* <sup>2</sup>	8	2
定时器控制寄存器 F	TCRF	8	H'FFB6	定时器 F	8	2
定时器控制状态寄存器 F	TCSRF	8	H'FFB7	定时器 F	8	2

寄存器名称	略称	位数	地址	模块	数据 总线宽度	存取 状态数
8 位定时器计数器 FH	TCFH	8	H'FFB8	定时器 F	8	2
8 位定时器计数器 FL	TCFL	8	H'FFB9	定时器 F	8	2
输出比较寄存器 FH	OCRFH	8	H'FFBA	定时器 F	8	2
输出比较寄存器 FL	OCRFL	8	H'FFBB	定时器 F	8	2
LCD 端口控制寄存器	LPCR	8	H'FFC0	LCD* <sup>3</sup>	8	2
LCD 控制寄存器	LCR	8	H'FFC1	LCD* <sup>3</sup>	8	2
LCD 控制寄存器 2	LCR2	8	H'FFC2	LCD* <sup>3</sup>	8	2
低电压检测计数器* <sup>4</sup>	LVDCNT	8	H'FFC3	低电压检测电路	8	2
A/D 结果寄存器 H	ADRRH	8	H'FFC4	A/D 转换器	8	2
A/D 结果寄存器 L	ADRRL	8	H'FFC5	A/D 转换器	8	2
A/D 模式寄存器	AMR	8	H'FFC6	A/D 转换器	8	2
A/D 开始寄存器	ADSR	8	H'FFC7	A/D 转换器	8	2
端口模式寄存器 2	PMR2	8	H'FFC9	I/O 端口	8	2
端口模式寄存器 3	PMR3	8	H'FFCA	I/O 端口	8	2
端口模式寄存器 5	PMR5	8	H'FFCC	I/O 端口	8	2
PWM2 控制寄存器	PWCR2	8	H'FFCD	10 位 PWM	8	2
PWM2 数据寄存器 U	PWDRU2	8	H'FFCE	10 位 PWM	8	2
PWM2 数据寄存器 L	PWDRL2	8	H'FFCF	10 位 PWM	8	2
PWM1 控制寄存器	PWCR1	8	H'FFD0	10 位 PWM	8	2
PWM1 数据寄存器 U	PWDRU1	8	H'FFD1	10 位 PWM	8	2
PWM1 数据寄存器 L	PWDRL1	8	H'FFD2	10 位 PWM	8	2
端口数据寄存器 3	PDR3	8	H'FFD6	I/O 端口	8	2
端口数据寄存器 4	PDR4	8	H'FFD7	I/O 端口	8	2
端口数据寄存器 5	PDR5	8	H'FFD8	I/O 端口	8	2
端口数据寄存器 6	PDR6	8	H'FFD9	I/O 端口	8	2
端口数据寄存器 7	PDR7	8	H'FFDA	I/O 端口	8	2
端口数据寄存器 8	PDR8	8	H'FFDB	I/O 端口	8	2
端口数据寄存器 9	PDR9	8	H'FFDC	I/O 端口	8	2
端口数据寄存器 A	PDRA	8	H'FFDD	I/O 端口	8	2
端口数据寄存器 B	PDRB	8	H'FFDE	I/O 端口	8	2
端口上拉控制寄存器 3	PUCR3	8	H'FFE1	I/O 端口	8	2
端口上拉控制寄存器 5	PUCR5	8	H'FFE2	I/O 端口	8	2
端口上拉控制寄存器 6	PUCR6	8	H'FFE3	I/O 端口	8	2
端口控制寄存器 3	PCR3	8	H'FFE6	I/O 端口	8	2
端口控制寄存器 4	PCR4	8	H'FFE7	I/O 端口	8	2
端口控制寄存器 5	PCR5	8	H'FFE8	I/O 端口	8	2

## 第 16 章 寄存器一览表

寄存器名称	略称	位数	地址	模块	数据 总线宽度	存取 状态数
端口控制寄存器 6	PCR6	8	H'FFE9	I/O 端口	8	2
端口控制寄存器 7	PCR7	8	H'FFEA	I/O 端口	8	2
端口控制寄存器 8	PCR8	8	H'FFEB	I/O 端口	8	2
端口模式寄存器 9	PMR9	8	H'FFEC	I/O 端口	8	2
端口控制寄存器 A	PCRA	8	H'FFED	I/O 端口	8	2
端口模式寄存器 B	PMRB	8	H'FFEE	I/O 端口	8	2
系统控制寄存器 1	SYSCR1	8	H'FFF0	SYSTEM	8	2
系统控制寄存器 2	SYSCR2	8	H'FFF1	SYSTEM	8	2
IRQ 边沿选择寄存器	IEGR	8	H'FFF2	中断	8	2
中断允许寄存器 1	IENR1	8	H'FFF3	中断	8	2
中断允许寄存器 2	IENR2	8	H'FFF4	中断	8	2
振荡器控制寄存器* <sup>4</sup>	OSCCR	8	H'FFF5	时钟振荡器	8	2
中断请求寄存器 1	IRR1	8	H'FFF6	中断	8	2
中断请求寄存器 2	IRR2	8	H'FFF7	中断	8	2
定时器模式寄存器 W* <sup>4</sup>	TMW	8	H'FFF8	WDT* <sup>2</sup>	8	2
唤醒中断请求寄存器	IWPR	8	H'FFF9	中断	8	2
时钟停止寄存器 1	CKSTPR1	8	H'FFFA	SYSTEM	8	2
时钟停止寄存器 2	CKSTPR2	8	H'FFFB	SYSTEM	8	2

- 【注】 \*1 AEC: 异步事件计数器  
 \*2 WDT: 监视定时器  
 \*3 LCD: LCD 控制器/驱动器  
 \*4 只限于 H8/38104 群

## 16.2 寄存器位一览表

内部外围模块的寄存器位名如下所示：

寄存器 略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块
FLMCR1	—	SWE	ESU	PSU	EV	PV	E	P	ROM
FLMCR2	FLER	—	—	—	—	—	—	—	
FLPWCR	PDWND	—	—	—	—	—	—	—	
EBR	—	—	—	EB4	EB3	EB2	EB1	EB0	
FENR	FLSHE	—	—	—	—	—	—	—	
LVDCR* <sup>4</sup>	LVDE	—	VINTDSEL	VINTUSEL	LVDSEL	LVDRE	LVDDE	LVDVE	低电压检测电路
LVDSR* <sup>4</sup>	OVF	—	—	—	VREFSEL	—	LVDDF	LVDVF	
ECPWCRH	ECPWCRH7	ECPWCRH6	ECPWCRH5	ECPWCRH4	ECPWCRH3	ECPWCRH2	ECPWCRH1	ECPWCRH0	AEC* <sup>1</sup>
ECPWCRL	ECPWCRL7	ECPWCRL6	ECPWCRL5	ECPWCRL4	ECPWCRL3	ECPWCRL2	ECPWCRL1	ECPWCRL0	
ECPWDRH	ECPWDRH7	ECPWDRH6	ECPWDRH5	ECPWDRH4	ECPWDRH3	ECPWDRH2	ECPWDRH1	ECPWDRH0	
ECPWDRL	ECPWDRL7	ECPWDRL6	ECPWDRL5	ECPWDRL4	ECPWDRL3	ECPWDRL2	ECPWDRL1	ECPWDRL0	
WEGR	WKEGS7	WKEGS6	WKEGS5	WKEGS4	WKEGS3	WKEGS2	WKEGS1	WKEGS0	中断
SPCR	—	—	SPC32	—	SCINV3	SCINV2	—	—	SCI3
AEGSR	AHEGS1	AHEGS0	ALEGS1	ALEGS0	AIEGS1	AIEGS0	ECPWME	—	AEC* <sup>1</sup>
ECCR	ACKH1	ACKH0	ACKL1	ACKL0	PWCK2	PWCK1	PWCK0	—	
ECCSR	OVH	OVL	—	CH2	CUEH	CUEL	CRCH	CRCL	
ECH	ECH7	ECH6	ECH5	ECH4	ECH3	ECH2	ECH1	ECH0	
ECL	ECL7	ECL6	ECL5	ECL4	ECL3	ECL2	ECL1	ECL0	
SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3
BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
TMA	—	—	—	—	TMA3	TMA2	TMA1	TMA0	定时器 A
TCA	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	
TCSRW	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	BOWI	WRST	WDT* <sup>2</sup>
TCW	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0	

第 16 章 寄存器一览表

寄存器 略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块
TCRF	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0	定时器 F
TCSRF	OVFH	CMFH	OVIEH	CCLRH	OVFL	CMFL	OVIEL	CCLRL	
TCFH	TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0	
TCFL	TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0	
OCRFH	OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0	
OCRFL	OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0	
LPCR	DTS1	DTS0	CMX	—	SGS3	SGS2	SGS1	SGS0	LCD* <sup>3</sup>
LCR	—	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0	
LCR2	LCDAB	—	—	—	CDS3* <sup>4</sup>	CDS2* <sup>4</sup>	CDS1* <sup>4</sup>	CDS0* <sup>4</sup>	
LVDCNT* <sup>4</sup>	CNT7	CNT6	CNT5	CNT4	CNT3	CNT2	CNT1	CNT0	低电压检测电路
ADRRH	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	A/D 转换器
ADRRL	ADR1	ADR0	—	—	—	—	—	—	
AMR	CKS	—	—	—	CH3	CH2	CH1	CH0	
ADSR	ADSF	—	—	—	—	—	—	—	
PMR2	—	—	POF1	—	—	WDCKS	—	IRQ0	I/O 端口
PMR3	AEVL	AEVH	—	—	—	TMOFH	TMOFL	—	
PMR5	WKP7	WKP6	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0	10 位 PWM
PWCR2	—	—	—	—	—	PWCR22* <sup>4</sup>	PWCR21	PWCR20	
PWDRU2	—	—	—	—	—	—	PWDRU21	PWDRU20	
PWDRL2	PWDRL27	PWDRL26	PWDRL25	PWDRL24	PWDRL23	PWDRL22	PWDRL21	PWDRL20	
PWCR1	—	—	—	—	—	PWCR12* <sup>4</sup>	PWCR11	PWCR10	
PWDRU1	—	—	—	—	—	—	PWDRU11	PWDRU10	
PWDRL1	PWDRL17	PWDRL16	PWDRL15	PWDRL14	PWDRL13	PWDRL12	PWDRL11	PWDRL10	I/O 端口
PDR3	P37	P36	P35	P34	P33	P32	P31	—	
PDR4	—	—	—	—	P43	P42	P41	P40	
PDR5	P57	P56	P55	P54	P53	P52	P51	P50	
PDR6	P67	P66	P65	P64	P63	P62	P61	P60	
PDR7	P77	P76	P75	P74	P73	P72	P71	P70	
PDR8	—	—	—	—	—	—	—	P80	
PDR9	—	—	P95	P94	P93	P92	P91	P90	
PDRA	—	—	—	—	PA3	PA2	PA1	PA0	
PDRB	—	—	—	—	PB3	PB2	PB1	PB0	
PUCR3	PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	—	
PUCR5	PUCR57	PUCR56	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50	

寄存器 略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块
PUCR6	PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60	I/O 端口
PCR3	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	—	
PCR4	—	—	—	—	—	PCR42	PCR41	PCR40	
PCR5	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	
PCR6	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60	
PCR7	PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70	
PCR8	—	—	—	—	—	—	—	PCR80	
PMR9	—	—	—	—	PIOFF	—	PWM2	PWM1	
PCRA	—	—	—	—	PCRA3	PCRA2	PCRA1	PCRA0	
PMRB	—	—	—	—	IRQ1	—	—	—	
SYSCR1	SSBY	STS2	STS1	STS0	LSON	—	MA1	MA0	SYSTEM
SYSCR2	—	—	—	NESEL	DTON	MSON	SA1	SA0	
IEGR	—	—	—	—	—	—	IEG1	IEG0	中断
IENR1	IENTA	—	IENWP	—	—	IENEC2	IEN1	IEN0	
IENR2	IENDT	IENAD	—	—	IENTFH	IENTFL	—	IENEC	
OSCCR* <sup>4</sup>	SUBSTP	—	—	—	—	IRQAECF	OSCF	—	时钟振荡器
IRR1	IRRTA	—	—	—	—	IRREC2	IRRI1	IRRI0	中断
IRR2	IRRDT	IRRAD	—	—	IRRTFH	IRRTFL	—	IRREC	
TMW* <sup>4</sup>	—	—	—	—	CKS3	CKS2	CKS1	CKS0	WDT* <sup>2</sup>
IWPR	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	中断
CKSTPR1	—	—	S32CKSTP	ADCKSTP	—	TFCKSTP	—	TACKSTP	SYSTEM
CKSTPR2	LVDCKSTP* <sup>4</sup>	—	—	PW2CKSTP	AECKSTP	WDCKSTP	PW1CKSTP	LDCKSTP	

【注】 \*1 AEC: 异步事件计数器

\*2 WDT: 监视定时器

\*3 LCD: LCD 控制器/驱动器

\*4 只限于 H8/38104 群

## 16.3 各运行模式的寄存器状态

寄存器 略称	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块
FLMCR1	初始化	—	—	初始化	初始化	初始化	初始化	ROM
FLMCR2	初始化	—	—	—	—	—	—	
FLPWCR	初始化	—	—	—	—	—	—	
EBR	初始化	—	—	初始化	初始化	初始化	初始化	
FENR	初始化	—	—	—	—	—	—	
LVDCR* <sup>4</sup>	初始化	—	—	—	—	—	—	低电压检测电路
LVDSR* <sup>4</sup>	初始化	—	—	—	—	—	—	
ECPWCRH	初始化	—	—	—	—	—	—	AEC* <sup>1</sup>
ECPWCRL	初始化	—	—	—	—	—	—	
ECPWDRH	初始化	—	—	—	—	—	—	
ECPWDRL	初始化	—	—	—	—	—	—	
WEGR	初始化	—	—	—	—	—	—	中断
SPCR	初始化	—	—	—	—	—	—	SCI3
AEGSR	初始化	—	—	—	—	—	—	AEC* <sup>1</sup>
ECCR	初始化	—	—	—	—	—	—	
ECCSR	初始化	—	—	—	—	—	—	
ECH	初始化	—	—	—	—	—	—	
ECL	初始化	—	—	—	—	—	—	
SMR	初始化	—	—	初始化	—	—	初始化	SCI3
BRR	初始化	—	—	初始化	—	—	初始化	
SCR3	初始化	—	—	初始化	—	—	初始化	
TDR	初始化	—	—	初始化	—	—	初始化	
SSR	初始化	—	—	初始化	—	—	初始化	
RDR	初始化	—	—	初始化	—	—	初始化	
TMA	初始化	—	—	—	—	—	—	定时器 A
TCA	初始化	—	—	—	—	—	—	WDT* <sup>2</sup>
TCSRW	初始化	—	—	—	—	—	—	
TCW	初始化	—	—	—	—	—	—	定时器 F
TCRF	初始化	—	—	—	—	—	—	
TCSRFB	初始化	—	—	—	—	—	—	
TCFH	初始化	—	—	—	—	—	—	

寄存器	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块
TCFL	初始化	—	—	—	—	—	—	定时器 F
OCRFH	初始化	—	—	—	—	—	—	
OCRFL	初始化	—	—	—	—	—	—	
LPCR	初始化	—	—	—	—	—	—	LCD* <sup>3</sup>
LCR	初始化	—	—	—	—	—	—	
LCR2	初始化	—	—	—	—	—	—	
LVDCNT* <sup>4</sup>	初始化	—	—	—	—	—	—	低电压检测电路
ADRRH	—	—	—	—	—	—	—	A/D 转换器
ADRRL	—	—	—	—	—	—	—	
AMR	初始化	—	—	—	—	—	—	
ADSR	初始化	—	—	初始化	初始化	初始化	初始化	
PMR2	初始化	—	—	—	—	—	—	I/O 端口
PMR3	初始化	—	—	—	—	—	—	
PMR5	初始化	—	—	—	—	—	—	
PWCR2	初始化	—	—	—	—	—	—	10 位 PWM
PWDRU2	初始化	—	—	—	—	—	—	
PWDRL2	初始化	—	—	—	—	—	—	
PWCR1	初始化	—	—	—	—	—	—	
PWDRU1	初始化	—	—	—	—	—	—	
PWDRL1	初始化	—	—	—	—	—	—	
PDR3	初始化	—	—	—	—	—	—	I/O 端口
PDR4	初始化	—	—	—	—	—	—	
PDR5	初始化	—	—	—	—	—	—	
PDR6	初始化	—	—	—	—	—	—	
PDR7	初始化	—	—	—	—	—	—	
PDR8	初始化	—	—	—	—	—	—	
PDR9	初始化	—	—	—	—	—	—	
PDRA	初始化	—	—	—	—	—	—	
PDRB	初始化	—	—	—	—	—	—	
PUCR3	初始化	—	—	—	—	—	—	
PUCR5	初始化	—	—	—	—	—	—	

## 第 16 章 寄存器一览表

寄存器	复位	激活	睡眠	时钟	子激活	子睡眠	待机	模块
PUCR6	初始化	—	—	—	—	—	—	I/O 端口
PCR3	初始化	—	—	—	—	—	—	
PCR4	初始化	—	—	—	—	—	—	
PCR5	初始化	—	—	—	—	—	—	
PCR6	初始化	—	—	—	—	—	—	
PCR7	初始化	—	—	—	—	—	—	
PCR8	初始化	—	—	—	—	—	—	
PMR9	初始化	—	—	—	—	—	—	
PCRA	初始化	—	—	—	—	—	—	
PMRB	初始化	—	—	—	—	—	—	
SYSCR1	初始化	—	—	—	—	—	—	SYSTEM
SYSCR2	初始化	—	—	—	—	—	—	
IEGR	初始化	—	—	—	—	—	—	中断
IENR1	初始化	—	—	—	—	—	—	
IENR2	初始化	—	—	—	—	—	—	
OSCCR* <sup>4</sup>	初始化	—	—	—	—	—	—	时钟振荡器
IRR1	初始化	—	—	—	—	—	—	中断
IRR2	初始化	—	—	—	—	—	—	
TMW* <sup>4</sup>	初始化	—	—	—	—	—	—	WDT* <sup>2</sup>
IWPR	初始化	—	—	—	—	—	—	中断
CKSTPR1	初始化	—	—	—	—	—	—	SYSTEM
CKSTPR2	初始化	—	—	—	—	—	—	

【注】 —：表示不被初始化。

- \*1 AEC: 异步事件计数器
- \*2 WDT: 监视定时器
- \*3 LCD: LCD 控制器/驱动器
- \*4 只限于 H8/38104 群

## 第 17 章 电特性

### 17.1 H8/3802 群（ZTAT 版和掩模型 ROM 版）的绝对最大额定值

绝对最大额定值如表 17.1 所示。

表 17.1 绝对最大额定值

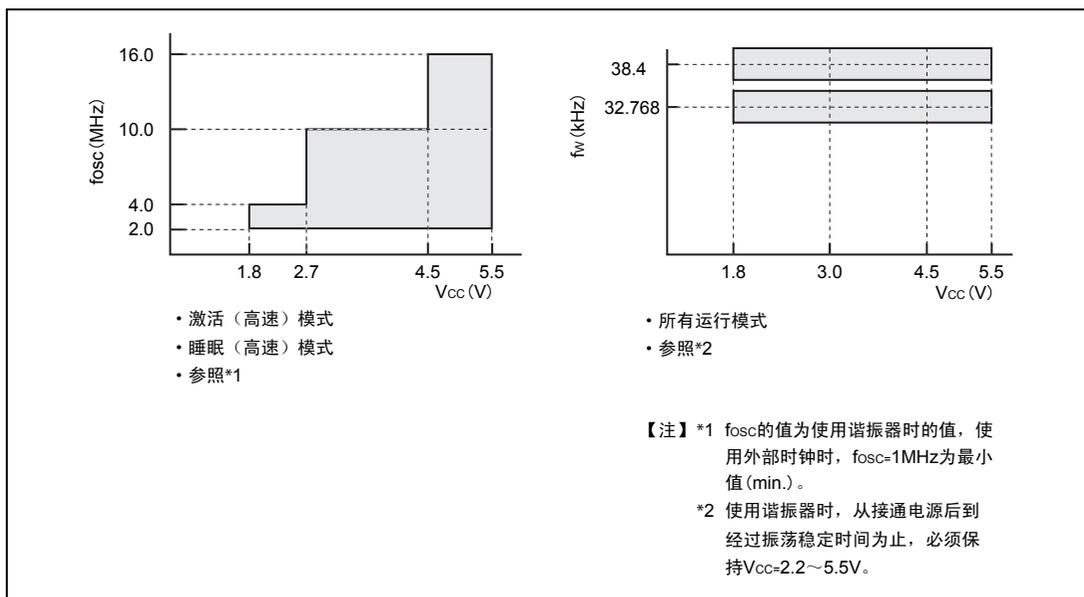
项目		符号	规格值	单位	备考
电源电压		$V_{CC}$	$-0.3 \sim +7.0$	V	*
模拟电源电压		$AV_{CC}$	$-0.3 \sim +7.0$	V	
编程电压		$V_{PP}$	$-0.3 \sim +13.0$	V	
输入电压	端口 B 和 IRQAEC 以外	$V_{in}$	$-0.3 \sim V_{CC} + 0.3$	V	
	端口 B	$AV_{in}$	$-0.3 \sim AV_{CC} + 0.3$	V	
	IRQAEC	$HV_{in}$	$-0.3 \sim +7.3$	V	
端口 9 管脚电压		$V_{P9}$	$-0.3 \sim +7.3$	V	
工作温度		$T_{opr}$	通常规格产品: $-20 \sim +75$	°C	
			温度范围扩大规格产品: $-40 \sim +85$		
保存温度		$T_{stg}$	$-55 \sim +125$	°C	

【注】\* 如果超过绝对最大额定值使用 LSI，就会引起 LSI 的永久损坏。另外，在通常运行下，请尽量在“电特性”的条件下使用，如果超过这些条件，就会引起 LSI 误动作，同时会给 LSI 的信赖性带来坏影响。

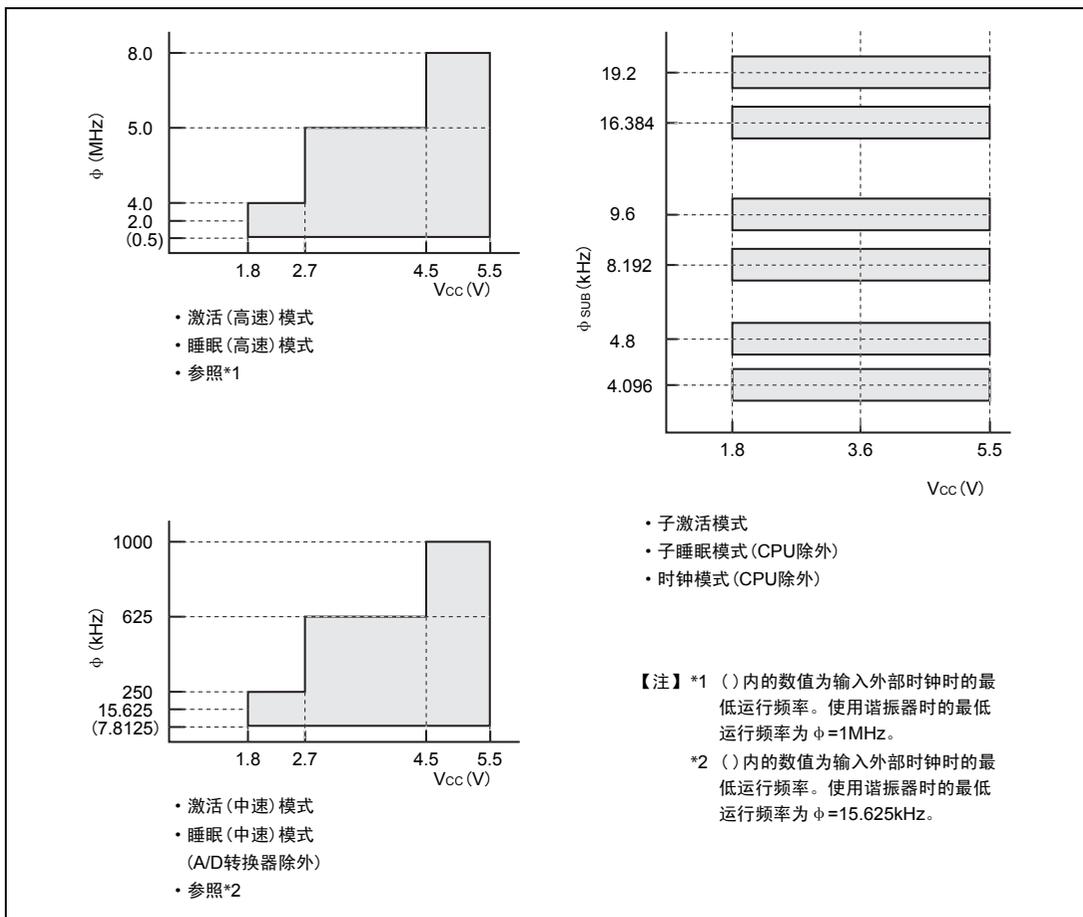
## 17.2 H8/3802 群 (ZTAT 版和掩模型 ROM 版) 的电特性

### 17.2.1 电源电压和工作范围

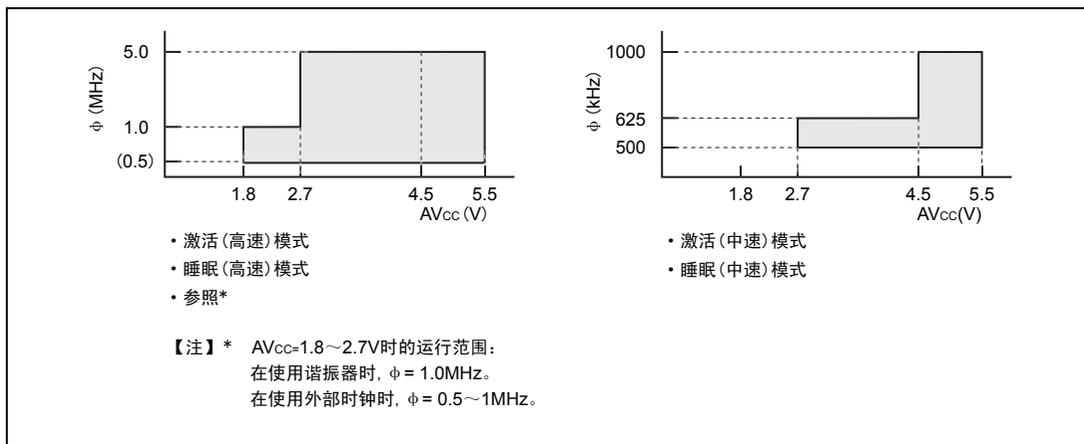
#### (1) 电源电压和振荡频率的范围



(2) 电源电压和工作频率的范围



(3) 模拟电源电压和 A/D 转换器的工作范围



## 17.2.2 DC 特性

DC 特性如表 17.2 所示。

表 17.2 DC 特性

(在没有特别记载的情况下,  $V_{CC}=1.8\sim 5.5V$ 、 $AV_{CC}=1.8\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、包括子激活模式  
 $T_a=-20\sim +75^\circ C$  (通常规格产品)、 $T_a=-40\sim +85^\circ C$  (温度范围扩大规格产品)、 $T_a=+75^\circ C$  (裸芯片产品))

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
输入高电平电压	$V_{IH}$	RES、 WKP0~WKP7、 IRQ0、IRQ1、 AEVL、AEVH、 SCK32	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
			上述以外	$0.9V_{CC}$	—	$V_{CC}+0.3$		
		RXD32	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$V_{CC}+0.3$	V	
			上述以外	$0.8V_{CC}$	—	$V_{CC}+0.3$		
		OSC1	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
			上述以外	$0.9V_{CC}$	—	$V_{CC}+0.3$		
		X1	$V_{CC}=1.8\sim 5.5V$	$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		P31~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$V_{CC}+0.3$	V	
			上述以外	$0.8V_{CC}$	—	$V_{CC}+0.3$		
		PB0~PB3	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$AV_{CC}+0.3$		
			上述以外	$0.8V_{CC}$	—	$AV_{CC}+0.3$		
		IRQAEC	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	7.3	V	
			上述以外	$0.9V_{CC}$	—	7.3		

【注】 TEST 管脚必须连接到  $V_{SS}$ 。

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
输入低电平电压	V <sub>IL</sub>	RES、 WKP0~WKP7、 IRQ0、IRQ1、 IRQAEC、 AEVL、AEVH、 SCK32	V <sub>CC</sub> =4.0~5.5V	-0.3	-	0.2V <sub>CC</sub>	V	
		上述以外	-0.3	-	0.1V <sub>CC</sub>			
		RXD32	V <sub>CC</sub> =4.0~5.5V	-0.3	-	0.3V <sub>CC</sub>	V	
		上述以外	-0.3	-	0.2V <sub>CC</sub>			
		OSC1	V <sub>CC</sub> =4.0~5.5V	-0.3	-	0.2V <sub>CC</sub>	V	
		上述以外	-0.3	-	0.1V <sub>CC</sub>			
		X1	V <sub>CC</sub> =1.8~5.5V	-0.3	-	0.1V <sub>CC</sub>	V	
		P31~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3 PB0~PB3	V <sub>CC</sub> =4.0~5.5V	-0.3	-	0.3V <sub>CC</sub>	V	
		上述以外	-0.3	-	0.2V <sub>CC</sub>			
		输出高电平电压	V <sub>OH</sub>	P31~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3	V <sub>CC</sub> =4.0~5.5V -I <sub>OH</sub> =1.0mA	V <sub>CC</sub> -1.0	-	-
	V <sub>CC</sub> =4.0~5.5V -I <sub>OH</sub> =0.5mA			V <sub>CC</sub> -0.5	-	-		
	-I <sub>OH</sub> =0.1mA			V <sub>CC</sub> -0.3	-	-		

项目	符号	适用管脚	测定条件	规格值			单位	备考		
				min.	typ.	max.				
输出低电平电压	V <sub>OL</sub>	P40~P42	V <sub>CC</sub> =4.0~5.5V I <sub>OL</sub> =1.6mA	—	—	0.6	V			
			I <sub>OL</sub> =0.4mA	—	—	0.5				
		P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3	I <sub>OL</sub> =0.4mA	—	—	0.5				
			P31~P37	V <sub>CC</sub> =4.0~5.5V I <sub>OL</sub> =10mA	—	—			1.5	
				V <sub>CC</sub> =4.0~5.5V I <sub>OL</sub> =1.6mA	—	—			0.6	
		I <sub>OL</sub> =0.4mA		—	—	0.5				
		P90~P92	V <sub>CC</sub> =2.2~5.5V I <sub>OL</sub> =25mA	—	—	0.5				*5
			I <sub>OL</sub> =15mA							*6
			I <sub>OL</sub> =10mA							
		P93~P95	I <sub>OL</sub> =10mA	—	—	0.5				
输入/输出漏泄电流	I <sub>IL</sub>	RES、P43	V <sub>IN</sub> =0.5V~V <sub>CC</sub> -0.5V	—	—	20.0	μA	*2		
			—	—	1.0	*1				
		OSC1、X1、 P31~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80、IRQAEC、 PA0~PA3、 P90~P95	V <sub>IN</sub> =0.5V~V <sub>CC</sub> -0.5V	—	—	1.0	μA			
			PB0~PB3	V <sub>IN</sub> =0.5V~AV <sub>CC</sub> -0.5V	—	—	1.0			
上拉 MOS 电流	-I <sub>p</sub>	P31~P37、	V <sub>CC</sub> =5V、V <sub>IN</sub> =0V	50.0	—	300.0	μA			
		P50~P57、 P60~P67	V <sub>CC</sub> =2.7V、V <sub>IN</sub> =0V	—	35.0	—	μA	参考值		

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
输入电容	C <sub>IN</sub>	电源、RES、P43、 IRQAEC、PB0~ PB3 管脚除外的 所有输入管脚	f=1MHz、 V <sub>IN</sub> =0V、 T <sub>a</sub> =25℃	—	—	15.0	pF	
		IRQAEC		—	—	30.0		
		RES		—	—	80.0		*2
				—	—	15.0		*1
		P43		—	—	50.0		*2
				—	—	15.0		*1
		PB0~PB3		—	—	15.0		
激活模式 消费电流	I <sub>OPE1</sub>	V <sub>CC</sub>	激活 (高速) 模式 V <sub>CC</sub> =5V、f <sub>OSC</sub> =10MHz	—	7.0	10.0	mA	*3 *4
	I <sub>OPE2</sub>	V <sub>CC</sub>	激活 (中速) 模式 V <sub>CC</sub> =5V、f <sub>OSC</sub> =10MHz φ <sub>osc</sub> /128 时	—	2.2	3.0		*3 *4
睡眠模式 消费电流	I <sub>SLEEP</sub>	V <sub>CC</sub>	V <sub>CC</sub> =5V、f <sub>OSC</sub> =10MHz	—	3.8	5.0	mA	*3 *4
子激活模式 消费电流	I <sub>SUB</sub>	V <sub>CC</sub>	V <sub>CC</sub> =2.7V、LCD 点灯 使用 32kHz 晶体谐振 器时 (φ <sub>SUB</sub> =φ <sub>W</sub> /2)	—	15.0	30.0	μA	*3 *4
			V <sub>CC</sub> =2.7V、LCD 点灯 使用 32kHz 晶体谐振 器时 (φ <sub>SUB</sub> =φ <sub>W</sub> /8)	—	8.0	—		μA
子睡眠模式 消费电流	I <sub>SUBSP</sub>	V <sub>CC</sub>	V <sub>CC</sub> =2.7V、LCD 点灯 使用 32kHz 晶体谐振 器时 (φ <sub>SUB</sub> =φ <sub>W</sub> /2)	—	7.5	16.0	μA	*3 *4
时钟模式 消费电流	I <sub>WATCH</sub>	V <sub>CC</sub>	V <sub>CC</sub> =2.7V、32kHz 使用晶体谐振器时 LCD 未使用	—	3.8	6.0	μA	*2 *3 *4
					2.8			*1 *3 *4
待机模式 消费电流	I <sub>STBY</sub>	V <sub>CC</sub>	未使用 32kHz 晶体谐 振器时	—	1.0	5.0	μA	*3 *4
RAM 数据 保持电压	V <sub>RAM</sub>	V <sub>CC</sub>		1.5	—	—	V	

项目	符号	适用管脚	测定条件	规格值			单位	备考	
				min.	typ.	max.			
输出低电平 容许电流 (每一个管脚)	$I_{OL}$	端口 3、9 除外的输出管脚	$V_{CC}=4.0V\sim 5.5V$	—	—	2.0	mA		
		端口 3	$V_{CC}=4.0V\sim 5.5V$	—	—	10.0			
		端口 9 除外的输出管脚		—	—	0.5			
		P90~P92	$V_{CC}=2.2V\sim 5.5V$	—	—	25.0			*5
				—	—	15.0			
				—	—	10.0			
P93~P95		—	—	10.0					
输出低电平 容许电流 (总计)	$\Sigma I_{OL}$	端口 3、9 除外的输出管脚	$V_{CC}=4.0V\sim 5.5V$	—	—	40.0	mA		
		端口 3	$V_{CC}=4.0V\sim 5.5V$	—	—	80.0			
		端口 9 除外的输出管脚		—	—	20.0			
		端口 9		—	—	80.0			
输出高电平 容许电流 (每一个管脚)	$-I_{OH}$	所有输出管脚	$V_{CC}=4.0V\sim 5.5V$	—	—	2.0	mA		
			上述以外	—	—	0.2			
输出高电平 容许电流 (总计)	$\Sigma -I_{OH}$	所有输出管脚	$V_{CC}=4.0V\sim 5.5V$	—	—	15.0	mA		
			上述以外	—	—	10.0			

- 【注】 \*1 适用于掩模型 ROM 产品。  
 \*2 适用于 HD6473802。  
 \*3 测定消费电流时的管脚状态，如下表所示。

模式	$\overline{\text{RES}}$ 管脚	内部状态	各管脚	LCD 电源	振荡管脚
激活 (高速) 模式 ( $I_{\text{OPE1}}$ )	$V_{\text{CC}}$	只有 CPU 运行	$V_{\text{CC}}$	停止	系统时钟振荡器: 晶体谐振器 子时钟振荡器: X1 管脚=GND
激活 (中速) 模式 ( $I_{\text{OPE2}}$ )					
睡眠模式	$V_{\text{CC}}$	只有定时器运行	$V_{\text{CC}}$	停止	系统时钟振荡器: 晶体谐振器 子时钟振荡器: 晶体谐振器
子激活模式	$V_{\text{CC}}$	只有 CPU 运行	$V_{\text{CC}}$	停止	
子睡眠模式	$V_{\text{CC}}$	只有定时器运行 CPU 停止	$V_{\text{CC}}$	停止	
时钟模式	$V_{\text{CC}}$	只有时钟时基运行 CPU 停止	$V_{\text{CC}}$	停止	
待机模式	$V_{\text{CC}}$	CPU 和定时器都停止	$V_{\text{CC}}$	停止	系统时钟振荡器: 晶体谐振器 子时钟振荡器: X1 管脚=GND

- \*4 流向上拉 MOS 或者输出缓冲器除外。  
 \*5 适用于端口模式寄存器 9 的 PIOFF 为 0 的情况。  
 \*6 适用于端口模式寄存器 9 的 PIOFF 为 1 的情况。

## 17.2.3 AC 特性

控制信号时序如表 17.3 所示，串行接口时序如表 17.4 所示。

表 17.3 控制信号时序

(在没有特别记载的情况下,  $V_{CC}=1.8\sim 5.5V$ 、 $AV_{CC}=1.8\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、包括子激活模式、 $T_a=-20\sim +75^{\circ}C$  (通常规格产品)、 $T_a=-40\sim +85^{\circ}C$  (温度范围扩大规格产品)、 $T_a=+75^{\circ}C$  (裸芯片产品))

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
系统时钟振荡器 振荡频率	$f_{OSC}$	OSC1、OSC2	$V_{CC}=4.5\sim 5.5V$	2.0	—	16.0	MHz	
			$V_{CC}=2.7\sim 5.5V$	2.0	—	10.0		
			上述以外	2.0	—	4.0		
OSC 时钟 ( $\phi_{OSC}$ ) 周期时间	$t_{OSC}$	OSC1、OSC2	$V_{CC}=4.5\sim 5.5V$	62.5	—	500	ns	图 17.1 *2
			(1000)					
			$V_{CC}=2.7\sim 5.5V$	100	—	500		
			(1000)					
上述以外	250	—	500					
(1000)								
系统时钟 ( $\phi$ ) 周期时间	$t_{cyc}$			2	—	128	$t_{OSC}$	
				—	—	128	$\mu s$	
子时钟振荡器 振荡频率	$f_W$	X1、X2		—	32.768 或 38.4	—	kHz	
钟表时钟 ( $\phi_W$ ) 周期时间	$t_W$	X1、X2		—	30.5 或 26.0	—	$\mu s$	图 17.1
子时钟 ( $\phi_{SUB}$ ) 周期时间	$t_{subcyc}$			2	—	8	$t_W$	*1
指令周期时间				2	—	—	$t_{cyc}$ $t_{subcyc}$	
振荡稳定时间	$t_{rc}$	OSC1、OSC2	图 17.7 的情况	—	20	45	$\mu s$	图 17.7
			$V_{CC}=2.2\sim 5.5V$					
		上述以外	—	—	50	ms		
		X1、X2	$V_{CC}=2.7\sim 5.5V$	—	—	2.0	s	
$V_{CC}=2.2\sim 5.5V$	—		—	10.0				

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
外部时钟 高电平宽度	$t_{CPH}$	OSC1	$V_{CC}=4.5\sim 5.5V$	25	—	—	ns	图 17.1
			$V_{CC}=2.7\sim 5.5V$	40	—	—		
			上述以外	100	—	—		
		X1	—	15.26 或 13.02	—	$\mu s$		
外部时钟 低电平宽度	$t_{CPL}$	OSC1	$V_{CC}=4.5\sim 5.5V$	25	—	—	ns	图 17.1
			$V_{CC}=2.7\sim 5.5V$	40	—	—		
			上述以外	100	—	—		
		X1	—	15.26 或 13.02	—	$\mu s$		
外部时钟 上升时间	$t_{CPr}$	OSC1	$V_{CC}=4.5\sim 5.5V$	—	—	6	ns	图 17.1
			$V_{CC}=2.7\sim 5.5V$	—	—	10		
			上述以外	—	—	25		
		X1	—	—	55.0	ns		
外部时钟 下降时间	$t_{CPf}$	OSC1	$V_{CC}=4.5\sim 5.5V$	—	—	6	ns	图 17.1
			$V_{CC}=2.7\sim 5.5V$	—	—	10		
			上述以外	—	—	25		
		X1	—	—	55.0	ns		
RES 管脚 低电平宽度	$t_{REL}$	RES		10	—	—	$t_{cyc}$	图 17.2
输入管脚 高电平宽度	$t_{IH}$	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $IRQAEC$ 、 $\overline{WKP0}\sim\overline{WKP7}$		2	—	—	$t_{cyc}$ $t_{subcyc}$	图 17.3
		AEVL、AEVH		0.5	—	—	$t_{osc}$	
输入管脚 低电平宽度	$t_{IL}$	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $IRQAEC$ 、 $\overline{WKP0}\sim\overline{WKP7}$		2	—	—	$t_{cyc}$ $t_{subcyc}$	图 17.3
		AEVL、AEVH		0.5	—	—	$t_{osc}$	

- 【注】 \*1 根据系统控制寄存器 2 (SYSCR2) 的 SA1 和 SA0 的设定决定。  
 \*2 ( ) 内的数值为使用外部时钟时的  $t_{osc}$  max.。  
 \*3 接通电源后到经过振荡稳定时间为止, 必须保持  $V_{CC}=2.2\sim 5.5V$ 。

表 17.4 串行接口 (SCI3) 时序

(在没有特别记载的情况下,  $V_{CC}=1.8\sim 5.5V$ 、 $AV_{CC}=1.8\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、包括子激活模式、  
 $T_a=-20\sim +75^{\circ}C$  (通常规格产品)、 $T_a=-40\sim +85^{\circ}C$  (温度范围扩大规格产品)、 $T_a=+75^{\circ}C$  (裸芯片产品))

项目	符号	测定条件	规格值			单位	参照图
			min.	typ.	max.		
输入时钟周期	异步	$t_{scyc}$	4	—	—	$t_{cyc}$ 或 $t_{subcyc}$	图 17.4
	时钟同步		6	—	—		
输入时钟脉冲宽度	$t_{SCKW}$		0.4	—	0.6	$t_{scyc}$	图 17.4
发送数据延迟时间 (时钟同步)	$t_{TXD}$	$V_{CC}=4.0\sim 5.5V$	—	—	1	$t_{cyc}$ 或 $t_{subcyc}$	图 17.5
		上述以外	—	—	1		
接收数据准备时间 (时钟同步)	$t_{RXS}$	$V_{CC}=4.0\sim 5.5V$	200.0	—	—	ns	图 17.5
		上述以外	400.0	—	—		
接收数据保持时间 (时钟同步)	$t_{RXH}$	$V_{CC}=4.0\sim 5.5V$	200.0	—	—	ns	图 17.5
		上述以外	400.0	—	—		

## 17.2.4 A/D 转换器特性

A/D 转换器特性如表 17.5 所示。

表 17.5 A/D 转换器特性

(在没有特别记载的情况下,  $V_{CC}=1.8\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$  (通常规格产品)、  
 $T_a=-40\sim +85^\circ C$  (温度范围扩大规格产品)、 $T_a=+75^\circ C$  (裸芯片产品))

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
模拟电源电压	$AV_{CC}$	$AV_{CC}$		1.8	—	5.5	V	* <sup>1</sup>
模拟输入电压	$AV_{IN}$	AN0~AN3		-0.3	—	$AV_{CC}+0.3$	V	
模拟电源电流	$AI_{OPE}$	$AV_{CC}$	$AV_{CC}=5.0V$	—	—	1.5	mA	
	$AI_{STOP1}$	$AV_{CC}$		—	600	—	$\mu A$	* <sup>2</sup> 参考值
	$AI_{STOP2}$	$AV_{CC}$		—	—	5	$\mu A$	* <sup>3</sup>
模拟输入电容	$C_{AIN}$	AN0~AN3		—	—	15.0	pF	
容许信号源阻抗	$R_{AIN}$			—	—	10.0	k $\Omega$	
分辨率 (数据长)				—	—	10	位	
非线性误差			$AV_{CC}=2.7\sim 5.5V$ $V_{CC}=2.7\sim 5.5V$	—	—	$\pm 2.5$	LSB	
			$AV_{CC}=2.0\sim 5.5V$ $V_{CC}=2.0\sim 5.5V$	—	—	$\pm 5.5$		
			上述以外	—	—	$\pm 7.5$		
				—	—	$\pm 0.5$	LSB	
绝对精度			$AV_{CC}=2.7\sim 5.5V$ $V_{CC}=2.7\sim 5.5V$	—	—	$\pm 3.0$	LSB	
			$AV_{CC}=2.0\sim 5.5V$ $V_{CC}=2.0\sim 5.5V$	—	—	$\pm 6.0$		
			上述以外	—	—	$\pm 8.0$		
				—	—	$\pm 8.0$		
转换时间			$AV_{CC}=2.7\sim 5.5V$ $V_{CC}=2.7\sim 5.5V$	12.4	—	124	$\mu s$	
			上述以外	62	—	124		
				—	—	—		

【注】 \*<sup>1</sup> 不使用 A/D 转换器的情况下, 必须使  $AV_{CC}=V_{CC}$ 。

\*<sup>2</sup>  $AI_{STOP1}$  是在激活模式或者睡眠模式的 A/D 转换待机时的电流值。

\*<sup>3</sup>  $AI_{STOP2}$  是在复位、待机模式、时钟模式、子激活模式以及子睡眠模式的 A/D 转换待机时的电流值。

\*<sup>4</sup> 转换时间 62 $\mu s$

## 17.2.5 LCD 特性

LCD 特性如表 17.6 所示。

表 17.6 LCD 特性

(在没有特别记载的情况下,  $V_{CC}=1.8\sim 5.5V$ 、 $AV_{CC}=1.8\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、包括子激活模式、  
 $T_a=-20\sim +75^{\circ}C$  (通常规格产品)、 $T_a=-40\sim +85^{\circ}C$  (温度范围扩大规格产品)、 $T_a=+75^{\circ}C$  (裸芯片产品))

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
段驱动器电压降	$V_{DS}$	SEG1~SEG25	$I_D=2\mu A$ $V_1=2.7\sim 5.5V$	—	—	0.6	V	*1
公共驱动器电压降	$V_{DC}$	COM1~COM4	$I_D=2\mu A$ $V_1=2.7\sim 5.5V$	—	—	0.3	V	*1
LCD 电源分压电阻	$R_{LCD}$		$V_1-V_{SS}$ 间	0.5	3.0	9.0	M $\Omega$	
液晶显示电压	$V_{LCD}$	V1		2.2	—	5.5	V	*2

【注】 \*1 是从电源管脚  $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_{SS}$  到各段管脚或者公共管脚的电压降。

\*2 在通过外部电源供给液晶显示电压时, 必须维持  $V_{CC}\geq V_1\geq V_2\geq V_3\geq V_{SS}$  的关系。

### 17.3 H8/38004 群 (F-ZTAT 版和掩模型 ROM 版) 和 H8/38002S 群 (掩模型 ROM 版) 的绝对最大额定值

绝对最大额定值如表 17.7 所示。

表 17.7 绝对最大额定值

项目	符号	规格值	单位	备考	
电源电压	$V_{CC}$	$-0.3 \sim +4.3$	V	*1	
模拟电源电压	$AV_{CC}$	$-0.3 \sim +4.3$	V		
输入电压	端口 B 以外	$V_{in}$	$-0.3 \sim V_{CC} + 0.3$		V
	端口 B	$AV_{in}$	$-0.3 \sim AV_{CC} + 0.3$		V
端口 9 管脚电压	$V_{P9}$	$-0.3 \sim V_{CC} + 0.3$	V		
工作温度	$T_{opr}$	通常规格产品: $-20 \sim +75^{*2}$	°C		
		温度范围扩大规格产品: $-40 \sim +85^{*3}$			
		裸芯片产品: $+75^{*4}$			
保存温度	$T_{stg}$	$-55 \sim +125$	°C		

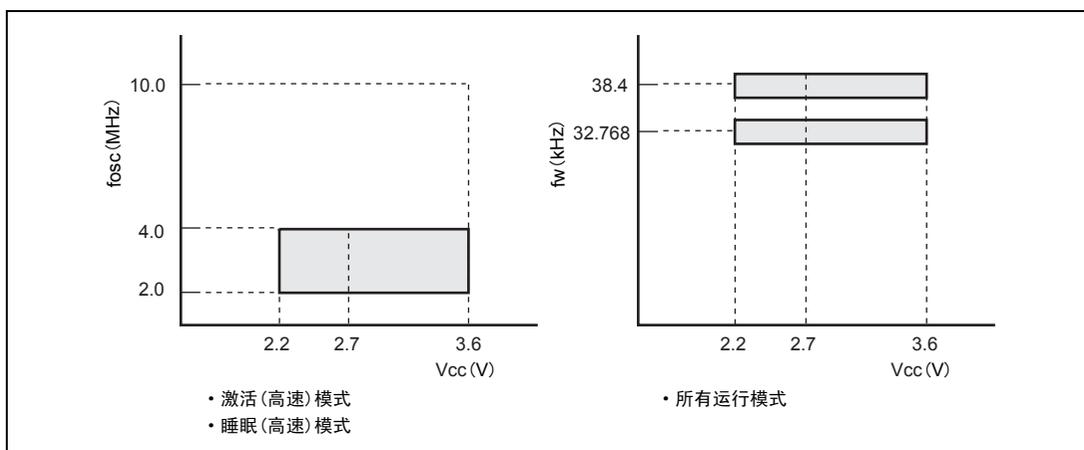
- 【注】 \*1 如果超过绝对最大额定值使用 LSI，就会引起 LSI 的永久损坏。另外，在通常运行下，请尽量在“电特性”的条件下使用，如果超过这些条件，就会引起 LSI 误动作，同时会给 LSI 的信赖性带来坏影响。
- \*2 如果读取快速擦写存储器时的工作电压为  $V_{CC}=2.7 \sim 3.6V$ ，编程/擦除时的工作温度范围就为  $T_a = -20 \sim +75^\circ C$ 。如果读取快速擦写存储器时的工作电压为  $V_{CC}=2.2 \sim 3.6V$ ，编程/擦除时的工作温度范围就为  $T_a = -20 \sim +50^\circ C$ 。
- \*3 编程/擦除快速擦写存储器时的工作温度范围为  $T_a = -20 \sim +75^\circ C$ 。
- \*4 可接通电源的温度为  $-20 \sim +75^\circ C$ 。

## 17.4 H8/38004 群 (F-ZTAT 版和掩模型 ROM 版) 和 H8/38002S 群 (掩模型 ROM 版) 的电特性

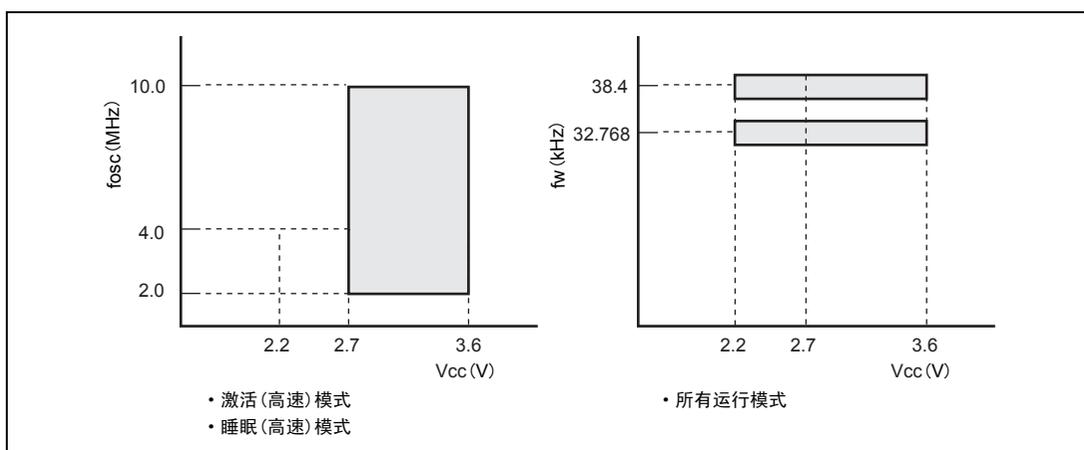
### 17.4.1 电源电压和工作范围

(1) 电源电压和振荡频率的范围 (F-ZTAT 版)

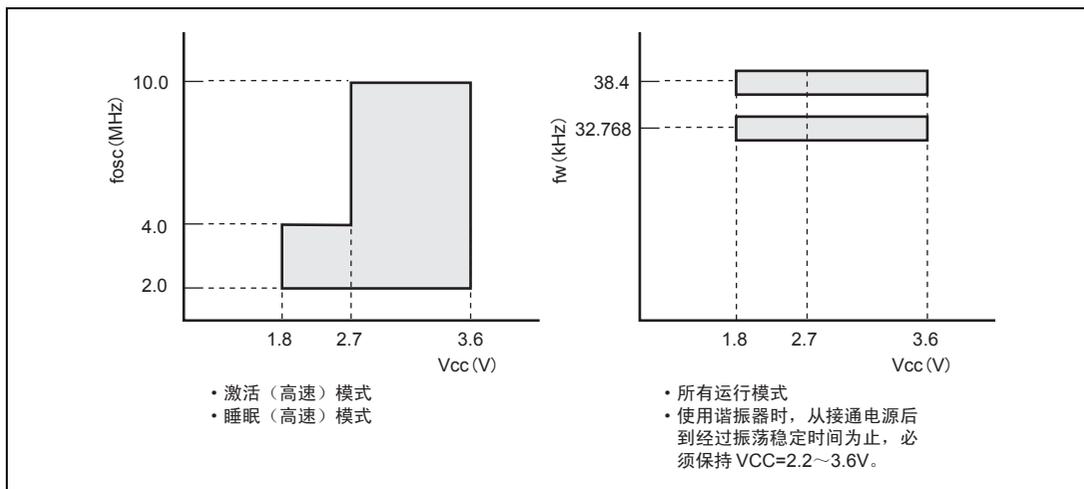
• 4MHz 产品



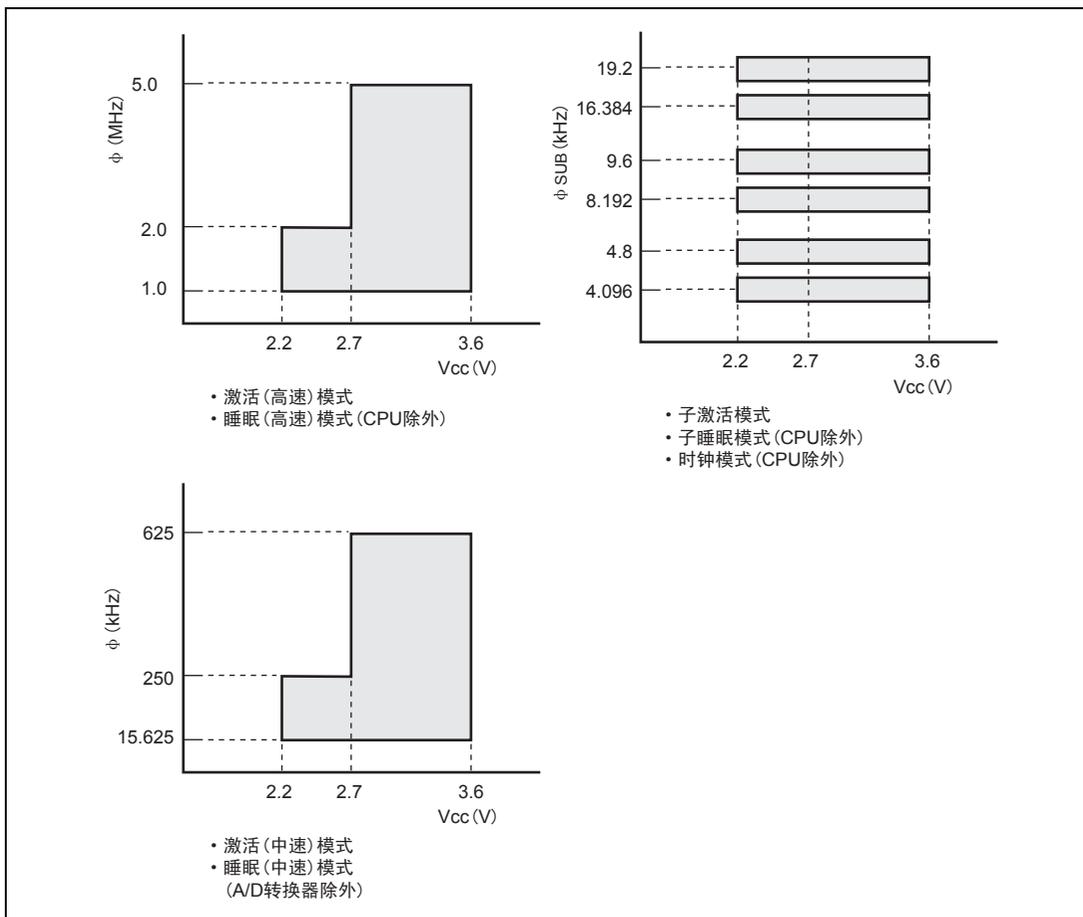
• 10MHz 产品



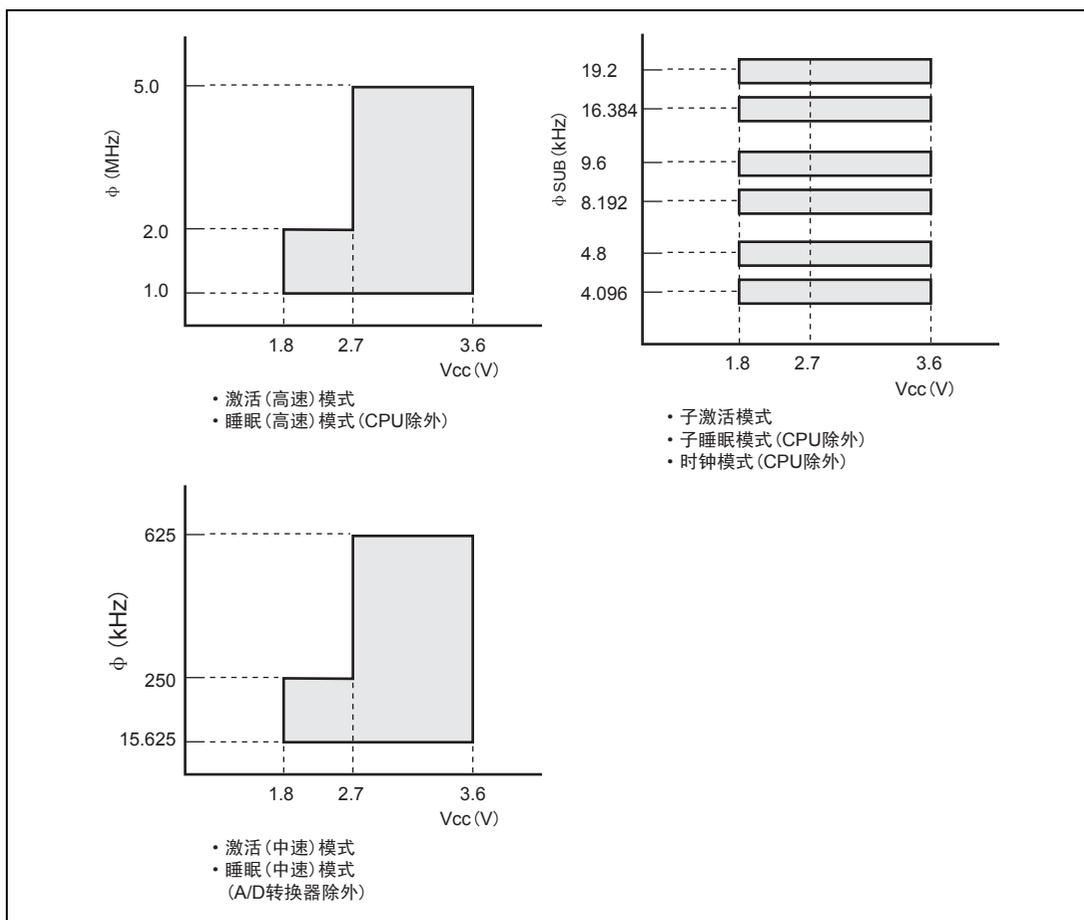
(2) 电源电压和振荡频率的范围 (掩模型 ROM 版)



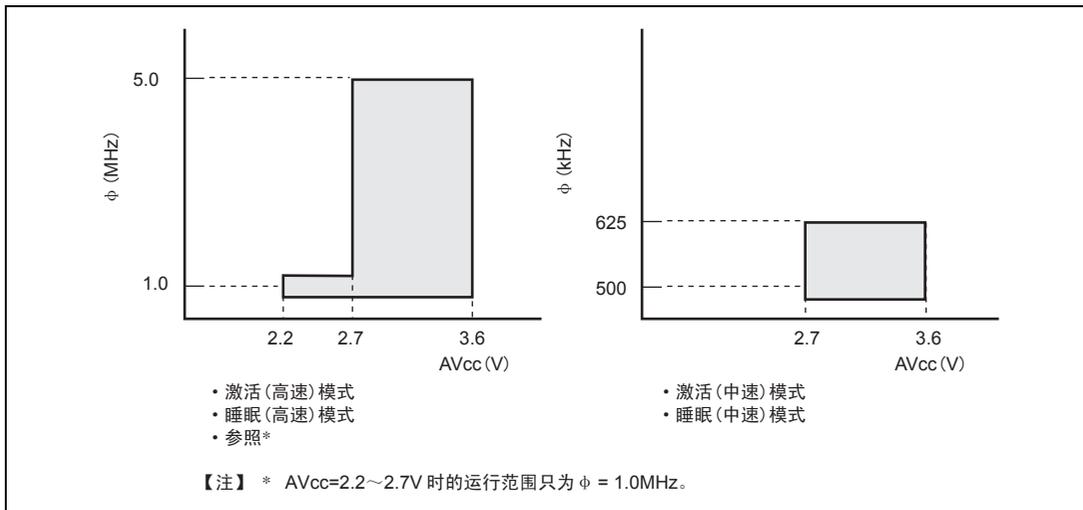
(3) 电源电压和工作频率的范围 (F-ZTAT 版)



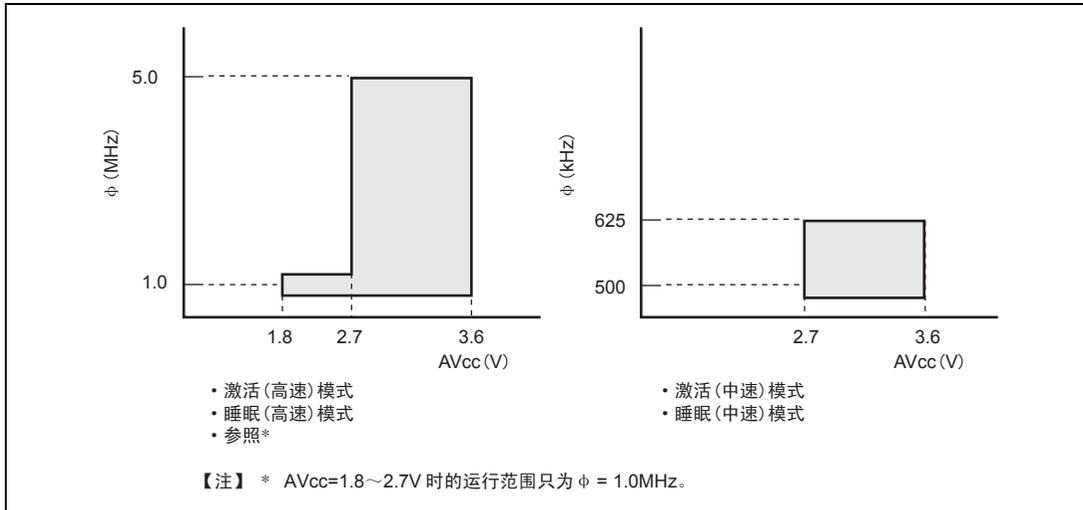
(4) 电源电压和工作频率的范围 (掩模型 ROM 版)



(5) 模拟电源电压和 A/D 转换器的工作范围 (F-ZTAT 版)



(6) 模拟电源电压和 A/D 转换器的工作范围 (掩模型 ROM 版)



## 17.4.2 DC 特性

DC 特性如表 17.8 所示。

表 17.8 DC 特性

在没有特别记载的情况下，为下列中的某个条件。

条件 A (F-ZTAT 版) :  $V_{CC}=2.7\sim 3.6V$ 、 $AV_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 B (F-ZTAT 版) :  $V_{CC}=2.2\sim 3.6V$ 、 $AV_{CC}=2.2\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 C (掩模型 ROM 版) :  $V_{CC}=1.8\sim 3.6V$ 、 $AV_{CC}=1.8\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
输入高电平电压	$V_{IH}$	RES、 WKP0~WKP7、 IRQ0、IRQ1、 AEVL、AEVH、 SCK32		$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		RXD32		$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
		OSC1		$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		X1	$V_{CC}=1.8\sim 5.5V$	$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		P31~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3		$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
		PB0~PB3		$0.8V_{CC}$	—	$AV_{CC}+0.3$		
		IRQAEC、P95* <sup>5</sup>		$0.9V_{CC}$	—	$V_{CC}+0.3$	V	

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
输入低电平电压	V <sub>IL</sub>	$\overline{\text{RES}}$ 、 $\overline{\text{WKP0}}\sim\overline{\text{WKP7}}$ 、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ 、 IRQAEC、P95* <sup>5</sup> 、 AEVL、AEVH、 SCK32		-0.3	—	0.1V <sub>CC</sub>	V	
		RXD32		-0.3	—	0.2V <sub>CC</sub>	V	
		OSC1		-0.3	—	0.1V <sub>CC</sub>	V	
		X1		-0.3	—	0.1V <sub>CC</sub>	V	
		P31~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3、 PB0~PB3		-0.3	—	0.2V <sub>CC</sub>	V	
输出高电平电压	V <sub>OH</sub>	P31~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3	V <sub>CC</sub> =2.7~3.6V -I <sub>OH</sub> =1.0mA	V <sub>CC</sub> -1.0	—	—	V	
			-I <sub>OH</sub> =0.1mA	V <sub>CC</sub> -0.3	—	—		

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
输出低电平电压	$V_{OL}$	P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3、 P31~P37	$I_{OL}=0.4mA$	—	—	0.5	V	
		P90~P95	$V_{CC}=2.2\sim 3.6V$ 、 $I_{OL}=10.0mA$	—	—	0.5		
			$V_{CC}=1.8\sim 3.6V$ 、 $I_{OL}=8.0mA$					
输入/输出漏泄电流	$ I_{IL} $	RES、P43、 OSC1、X1、 P31~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80、IRQAEC、 PA0~PA3、 P90~P95	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—	—	1.0	$\mu A$	
		PB0~PB3	$V_{IN}=0.5V\sim AV_{CC}-0.5V$	—	—	1.0		
上拉 MOS 电流	$-I_p$	P31~P37、 P50~P57、 P60~P67	$V_{CC}=3.0V$ 、 $V_{IN}=0V$	30	—	180	$\mu A$	

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
输入电容	C <sub>IN</sub>	电源管脚除外的所有输入管脚	f=1MHz、 V <sub>IN</sub> =0V、 T <sub>a</sub> =25°C	—	—	15.0	pF	
激活模式 消费电流	I <sub>OPE1</sub>	V <sub>CC</sub>	激活 (高速) 模式 V <sub>CC</sub> =1.8V、f <sub>OSC</sub> =2MHz	—	0.4	—	mA	*1*3*4 max 指标值=1.1×typ
			激活 (高速) 模式 V <sub>CC</sub> =3V、f <sub>OSC</sub> =2MHz	—	0.6	—		*1*3*4 max 指标值=1.1×typ
				—	1.0	—		*2*3*4 max 指标值=1.1×typ
			激活 (高速) 模式 V <sub>CC</sub> =3V、f <sub>OSC</sub> =4MHz	—	1.2	—		*1*3*4 max 指标值=1.1×typ
				—	1.6	2.8		*2*3*4 条件 B
			激活 (高速) 模式 V <sub>CC</sub> =3V、f <sub>OSC</sub> =10MHz	—	3.1	6.0		*1*3*4
		—	3.6	6.0	*2*3*4 条件 A			
	I <sub>OPE2</sub>	V <sub>CC</sub>	激活 (中速) 模式 V <sub>CC</sub> =1.8V、f <sub>OSC</sub> =2MHz φ <sub>osc</sub> /128 时	—	0.06	—	mA	*1*3*4 max 指标值=1.1×typ
			激活 (中速) 模式 V <sub>CC</sub> =3V、f <sub>OSC</sub> =2MHz φ <sub>osc</sub> /128 时	—	0.1	—		*1*3*4 max 指标值=1.1×typ
				—	0.5	—		*2*3*4 max 指标值=1.1×typ
			激活 (中速) 模式 V <sub>CC</sub> =3V、f <sub>OSC</sub> =4MHz φ <sub>osc</sub> /128 时	—	0.2	—		*1*3*4 max 指标值=1.1×typ
				—	0.7	1.3		*2*3*4 条件 B
激活 (中速) 模式 V <sub>CC</sub> =3V、f <sub>OSC</sub> =10MHz φ <sub>osc</sub> /128 时			—	0.6	1.8	*1*3*4		
	—	1.0	1.8	*2*3*4 条件 A				
睡眠模式 消费电流	I <sub>SLEEP</sub>	V <sub>CC</sub>	V <sub>CC</sub> =1.8V、f <sub>OSC</sub> =2MHz	—	0.16	—	mA	*1*3*4 max 指标值=1.1×typ
			V <sub>CC</sub> =3V、f <sub>OSC</sub> =2MHz	—	0.3	—		*1*3*4 max 指标值=1.1×typ
				—	0.6	—		*2*3*4 max 指标值=1.1×typ
			V <sub>CC</sub> =3V、f <sub>OSC</sub> =4MHz	—	0.5	—		*1*3*4 max 指标值=1.1×typ
				—	0.9	2.2		*2*3*4 条件 B
			V <sub>CC</sub> =3V、f <sub>OSC</sub> =10MHz	—	1.3	4.8		*1*3*4
	—	1.7	4.8	*2*3*4 条件 A				

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
子激活模式 消费电流	I <sub>SUB</sub>	V <sub>CC</sub>	V <sub>CC</sub> =1.8V、LCD 点灯 使用 32kHz 晶体谐振器时 ( $\phi_{SUB} = \phi_{W/2}$ )	—	6.2	—	μA	*1*3*4 参考值
			V <sub>CC</sub> =2.7V、LCD 点灯 使用 32kHz 晶体谐振器时 ( $\phi_{SUB} = \phi_{W/8}$ )	—	4.4	—		*1*3*4 参考值
				—	8.0	—		*2*3*4 参考值
			V <sub>CC</sub> =2.7V、LCD 点灯 使用 32kHz 晶体谐振器时 ( $\phi_{SUB} = \phi_{W/2}$ )	—	10	40		*1*3*4
				—	28	50		*2*3*4
子睡眠模式 消费电流	I <sub>SUBSP</sub>	V <sub>CC</sub>	V <sub>CC</sub> =2.7V、LCD 点灯 使用 32kHz 晶体谐振器时 ( $\phi_{SUB} = \phi_{W/2}$ )	—	4.6	16	μA	*3*4
时钟模式 消费电流	I <sub>WATCH</sub>	V <sub>CC</sub>	V <sub>CC</sub> =1.8V、Ta=25°C 使用 32kHz 晶体谐振器时 LCD 未使用	—	1.2	—	μA	*1*3*4 参考值
			V <sub>CC</sub> =2.7V、Ta=25°C 使用 32kHz 晶体谐振器时 LCD 未使用	—	2.0	—		*3*4 参考值
			V <sub>CC</sub> =2.7V 使用 32kHz 晶体谐振器时 LCD 未使用	—	2.0	6.0		*3*4
待机模式 消费电流	I <sub>STBY</sub>	V <sub>CC</sub>	V <sub>CC</sub> =1.8V、Ta=25°C 未使用 32kHz 晶体谐振器 时	—	0.1	—	μA	*1*3*4 参考值
			V <sub>CC</sub> =3.0V、 Ta=25°C 未使用 32kHz 晶体谐振器 时	—	0.3	—		*3*4 参考值
			未使用 32kHz 晶体谐振器 时	—	1.0	5.0		*3*4
RAM 数据 保持电压	V <sub>RAM</sub>	V <sub>CC</sub>		1.5	—	—	V	

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
输出低电平容许电流 (每一个管脚)	$I_{OL}$	端口 9 以外的输出管脚		—	—	0.5	mA	
		P90~P95	$V_{CC}=2.2\sim 3.6V$	—	—	10.0		
			上述以外	—	—	8.0		
输出低电平容许电流 (合计)	$\Sigma I_{OL}$	端口 9 以外的输出管脚		—	—	20.0	mA	
		端口 9		—	—	60.0		
输出高电平容许电流 (每一个管脚)	$-I_{OH}$	所有输出管脚	$V_{CC}=2.7\sim 3.6V$	—	—	2.0	mA	
			上述以外			0.2		
输出高电平容许电流 (合计)	$\Sigma -I_{OH}$	所有输出管脚		—	—	10.0	mA	

【注】 TEST 管脚必须连接到  $V_{SS}$ 。

- \*1 适用于掩模型 ROM 产品。
- \*2 适用于 F-ZTAT 产品。
- \*3 测定消费电流时的管脚状态，如下表所示。

模式	RES 管脚	内部状态	各管脚	LCD 电源	振荡管脚
激活 (高速) 模式 ( $I_{OPE1}$ ) 激活 (中速) 模式 ( $I_{OPE2}$ )	$V_{CC}$	只有 CPU 运行	$V_{CC}$	停止	系统时钟振荡器: 晶体谐振器 子时钟振荡器: X1 管脚=GND
睡眠模式	$V_{CC}$	内置的所有定时器运行	$V_{CC}$	停止	
子激活模式	$V_{CC}$	只有 CPU 运行	$V_{CC}$	停止	系统时钟振荡器: 晶体谐振器
子睡眠模式	$V_{CC}$	内置的所有定时器运行 CPU 停止	$V_{CC}$	停止	子时钟振荡器: 晶体谐振器
时钟模式	$V_{CC}$	只有时钟时基运行 CPU 停止	$V_{CC}$	停止	
待机模式	$V_{CC}$	CPU 和定时器都停止	$V_{CC}$	停止	系统时钟振荡器: 晶体谐振器 子时钟振荡器: X1 管脚=GND

- \*4 流向上拉 MOS 或者输出缓冲器的电流除外。
- \*5 对于 F-ZTAT 版，用于判定复位解除时的用户模式/引导模式。

## 17.4.3 AC 特性

控制信号时序如表 17.9 所示，串行接口时序如表 17.10 所示。

表 17.9 控制信号时序

在没有特别记载的情况下，为下列中的某个条件。

条件 A (F-ZTAT 版) :  $V_{CC}=2.7\sim 3.6V$ 、 $AV_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 B (F-ZTAT 版) :  $V_{CC}=2.2\sim 3.6V$ 、 $AV_{CC}=2.2\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 C (掩模型 ROM 版) :  $V_{CC}=1.8\sim 3.6V$ 、 $AV_{CC}=1.8\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
系统时钟 振荡器振荡频率	$f_{OSC}$	OSC1、 OSC2	条件 C 的 $V_{CC}=$ 2.7~3.6V 和条件 A	2.0	—	10.0	MHz	
			条件 C 的上述以外 的条件和条件 B	2.0	—	4.0		
OSC 时钟 ( $\phi_{OSC}$ ) 周期时间	$t_{OSC}$	OSC1、 OSC2	条件 C 的 $V_{CC}=$ 2.7~3.6V 和条件 A	100	—	500	ns	图 17.1
			条件 C 的上述以外 的条件和条件 B	250	—	500		
系统时钟 ( $\phi$ ) 周期时间	$t_{cyc}$			2	—	128	$t_{osc}$	
				—	—	64	$\mu s$	
子时钟振荡器 振荡频率	$f_W$	X1、X2		—	32.768 或 38.4	—	KHz	
钟表时钟 ( $\phi_W$ ) 周期时间	$t_W$	X1、X2		—	30.5 或 26.0	—	$\mu s$	图 17.1
子时钟 ( $\phi_{SUB}$ ) 周期时间	$t_{subcyc}$			2	—	8	$t_W$	*
指令周期时间				2	—	—	$t_{cyc}$ $t_{subcyc}$	
振荡稳定时间	$t_{rc}$	OSC1、 OSC2	图 17.8 的晶体谐振 器、 $V_{CC}=2.7\sim 3.6V$	—	0.8	2.0	ms	图 17.8
			图 17.8 的晶体谐振 器、条件 BC、 $V_{CC}=2.2\sim 3.6V$	—	1.2	3.0		
			图 17.8 的晶体谐振 器、条件 C 的上述 以外的条件	—	4.0	—		
			图 17.8 的陶瓷谐振 器、条件 AC、 $V_{CC}=2.7\sim 3.6V$	—	20	45	$\mu s$	
			图 17.8 的陶瓷谐振 器 (1)、条件 BC、 $V_{CC}=2.2\sim 3.6V$	—	20	45		

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
振荡稳定时间	$t_{rc}$	OSC1、 OSC2	图 17.8 的陶瓷谐振器 (1)、条件 C 的上述以外的条件	—	80	—	$\mu$ s	图 17.8
			上述以外	—	—	50	ms	
		X1、X2	$V_{cc}=2.7\sim 3.6V$	—	—	2.0	s	
			$V_{cc}=2.2\sim 3.6V$ 、 条件 BC	—	—	2.0		
条件 C 的上述以外的条件	—	4.0	—					
外部时钟 高电平宽度	$t_{cPH}$	OSC1	条件 C 的 $V_{cc}=2.7\sim 3.6V$ 和条件 A	40	—	—	ns	图 17.1
			条件 C 的上述以外的条件和条件 B	100	—	—		
		X1		—	15.26 或 13.02	—	$\mu$ s	
外部时钟 低电平宽度	$t_{cPL}$	OSC1	条件 C 的 $V_{cc}=2.7\sim 3.6V$ 和条件 A	40	—	—	ns	图 17.1
			条件 C 的上述以外的条件和条件 B	100	—	—		
		X1		—	15.26 或 13.02	—	$\mu$ s	
外部时钟 上升时间	$t_{cPr}$	OSC1	条件 C 的 $V_{cc}=2.7\sim 3.6V$ 和条件 A	—	—	10	ns	图 17.1
			条件 C 的上述以外的条件和条件 B	—	—	25		
		X1		—	—	55.0	ns	
外部时钟 下降时间	$t_{cPf}$	OSC1	条件 C 的 $V_{cc}=2.7\sim 3.6V$ 和条件 A	—	—	10	ns	图 17.1
			条件 C 的上述以外的条件和条件 B	—	—	25		
		X1		—	—	55.0	ns	
RES 管脚 低电平宽度	$t_{REL}$	RES		10	—	—	$t_{cyc}$	图 17.2

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
输入管脚 高电平宽度	$t_{IH}$	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQAEC}$ 、 $\overline{WKP0} \sim \overline{WKP7}$		2	—	—	$t_{cyc}$ $t_{subcyc}$	图 17.3
		AEVL、AEVH		0.5	—	—	$t_{osc}$	
输入管脚 低电平宽度	$t_{IL}$	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $\overline{IRQAEC}$ 、 $\overline{WKP0} \sim \overline{WKP7}$		2	—	—	$t_{cyc}$ $t_{subcyc}$	图 17.3
		AEVL、AEVH		0.5	—	—	$t_{osc}$	

【注】 \* 根据系统控制寄存器 2 (SYSCR2) 的 SA1 和 SA0 的设定决定。

表 17.10 串行接口 (SCI3) 时序

在没有特别记载的情况下，为下列中的某个条件。

条件 A (F-ZTAT 版) :  $V_{CC}=2.7 \sim 3.6V$ 、 $AV_{CC}=2.7 \sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 B (F-ZTAT 版) :  $V_{CC}=2.2 \sim 3.6V$ 、 $AV_{CC}=2.2 \sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 C (掩模型 ROM 版) :  $V_{CC}=1.8 \sim 3.6V$ 、 $AV_{CC}=1.8 \sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

项目	符号	测定条件	规格值			单位	参照图
			min.	typ.	max.		
输入时钟周期	异步	$t_{syc}$	4	—	—	$t_{cyc}$ 或	图 17.4
	时钟同步		6	—	—	$t_{subcyc}$	
输入时钟脉冲宽度	$t_{SCKW}$		0.4	—	0.6	$t_{syc}$	图 17.4
发送数据延迟时间 (时钟同步)	$t_{TXD}$		—	—	1	$t_{cyc}$ 或 $t_{subcyc}$	图 17.5
接收数据准备时间 (时钟同步)	$t_{RXS}$		400.0	—	—	ns	图 17.5
接收数据保持时间 (时钟同步)	$t_{RXH}$		400.0	—	—	ns	图 17.5

### 17.4.4 A/D 转换器特性

A/D 转换器特性如表 17.11 所示。

表 17.11 A/D 转换器特性

在没有特别记载的情况下，为下列中的某个条件。

条件 A (F-ZTAT 版) :  $V_{CC}=2.7\sim 3.6V$ 、 $AV_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 B (F-ZTAT 版) :  $V_{CC}=2.2\sim 3.6V$ 、 $AV_{CC}=2.2\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 C (掩模型 ROM 版) :  $V_{CC}=1.8\sim 3.6V$ 、 $AV_{CC}=1.8\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
模拟电源电压	$AV_{CC}$	$AV_{CC}$	条件 A	2.7	—	3.6	V	* <sup>1</sup>
			条件 B	2.2	—	3.6		
			条件 C	1.8	—	3.6		
模拟输入电压	$AV_{IN}$	$AN0\sim AN3$		-0.3	—	$AV_{CC}+0.3$	V	
模拟电源电流	$AI_{OPE}$	$AV_{CC}$	$AV_{CC}=3.0V$	—	—	1.0	mA	
	$AI_{STOP1}$	$AV_{CC}$		—	600	—	$\mu A$	* <sup>2</sup> 参考值
	$AI_{STOP2}$	$AV_{CC}$		—	—	5	$\mu A$	* <sup>3</sup>
模拟输入电容	$C_{AIN}$	$AN0\sim AN3$		—	—	15.0	pF	
容许信号源阻抗	$R_{AIN}$			—	—	10.0	k $\Omega$	
分辨率 (数据长)				—	—	10	位	
非线性误差			$AV_{CC}=2.7\sim 3.6V$	—	—	$\pm 3.5$	LSB	
			条件 B 的 $AV_{CC}=2.2\sim 3.6V$	—	—	$\pm 5.5$		
			条件 C 的 $AV_{CC}=2.0\sim 3.6V$	—	—	$\pm 5.5$		
			条件 C 的上述以 外的条件	—	—	$\pm 7.5$		* <sup>4</sup>
量化误差				—	—	$\pm 0.5$	LSB	
绝对精度			$AV_{CC}=2.7\sim 3.6V$	—	$\pm 2.0$	$\pm 4.0$	LSB	
			条件 B 的 $AV_{CC}=2.2\sim 3.6V$	—	$\pm 2.5$	$\pm 6.0$		
			条件 C 的 $AV_{CC}=2.0\sim 3.6V$	—	$\pm 2.5$	$\pm 6.0$		
			条件 C 的上述以 外的条件	—	$\pm 2.5$	$\pm 8.0$		* <sup>4</sup>
转换时间			$AV_{CC}=2.7\sim 3.6V$	12.4	—	124	$\mu s$	
			上述以外	62	—	124		

【注】 \*1 不使用 A/D 转换器的情况下，必须使  $AV_{CC}=V_{CC}$ 。

\*2  $AI_{STOP1}$  是在激活模式或者睡眠模式的 A/D 转换待机时的电流值。

\*3  $AI_{STOP2}$  是在复位、待机模式、时钟模式、子激活模式以及子睡眠模式的 A/D 转换待机时的电流值。

\*4 转换时间 62 $\mu s$

## 17.4.5 LCD 特性

LCD 特性如表 17.12 所示。

表 17.12 LCD 特性

在没有特别记载的情况下，为下列中的某个条件。

条件 A (F-ZTAT 版) :  $V_{CC}=2.7\sim 3.6V$ 、 $AV_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 B (F-ZTAT 版) :  $V_{CC}=2.2\sim 3.6V$ 、 $AV_{CC}=2.2\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 C (掩模型 ROM 版) :  $V_{CC}=1.8\sim 3.6V$ 、 $AV_{CC}=1.8\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
段驱动器 电压降	$V_{DS}$	SEG1~SEG25	$I_D=2\mu A$ $V_1=2.7\sim 3.6V$	—	—	0.6	V	* <sup>1</sup>
公共驱动器 电压降	$V_{DC}$	COM1~COM4	$I_D=2\mu A$ $V_1=2.7\sim 3.6V$	—	—	0.3	V	* <sup>1</sup>
LCD 电源 分压电阻	$R_{LCD}$		$V_1-V_{SS}$ 间	1.5	3.0	7.0	$M\Omega$	
液晶显示电压	$V_{LCD}$	V1		2.2	—	3.6	V	* <sup>2</sup>

【注】 \*1 是从电源管脚  $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_{SS}$  到各段管脚或者公共管脚的电压降。

\*2 在通过外部电源供给液晶显示电压时，必须维持  $V_{CC}\geq V_1\geq V_2\geq V_3\geq V_{SS}$  的关系。

## 17.4.6 快速擦写存储器特性

表 17.13 快速擦写存储器特性

条件 A:  $AV_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $V_{CC}=2.7\sim 3.6V$  (读时的工作电压范围)、 $V_{CC}=3.0\sim 3.6V$  (编程/擦除时的工作电压范围)、 $T_a=-20\sim +75^{\circ}C$  (编程/擦除时的工作温度范围: 通常规格产品、温度范围扩大规格产品、裸芯片产品)条件 B:  $AV_{CC}=2.2\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $V_{CC}=2.2\sim 3.6V$  (读时的工作电压范围)、 $V_{CC}=3.0\sim 3.6V$  (编程/擦除时的工作电压范围)、 $T_a=-20\sim +50^{\circ}C$  (编程/擦除时的工作温度范围: 通常规格产品)

项目		符号	测定条件	规格值			单位
				min.	typ.	max.	
编程时间 (每 128 字节) *1*2*4		$t_P$		—	7	200	ms
擦除时间 (每块) *1*3*5		$t_E$		—	100	1200	ms
改写次数		$N_{WEC}$		1000*8	10000*9	—	次
数据保持时间		$t_{DRP}$		10*10	—	—	年
编程时	SWE 位置位后的待机时间*1	x		1	—	—	$\mu s$
	PSU 位置位后的待机时间*1	y		50	—	—	$\mu s$
	P 位置位后的待机时间*1*4	z1	$1\leq n\leq 6$	28	30	32	$\mu s$
				198	200	202	$\mu s$
				8	10	12	$\mu s$
	P 位清除后的待机时间*1	$\alpha$		5	—	—	$\mu s$
				5	—	—	$\mu s$
				4	—	—	$\mu s$
	虚写后的待机时间*1	$\varepsilon$		2	—	—	$\mu s$
	PV 位清除后的待机时间*1	$\eta$		2	—	—	$\mu s$
	SWE 位清除后的待机时间*1	$\theta$		100	—	—	$\mu s$
最大编程次数*1*4*5	N		—	—	1000	次	
擦除时	SWE 位置位后的待机时间*1	x		1	—	—	$\mu s$
	ESU 位置位后的待机时间*1	y		100	—	—	$\mu s$
	E 位置位后的待机时间*1*6	z		10	—	100	ms
	E 位清除后的待机时间*1	$\alpha$		10	—	—	$\mu s$
	ESU 位清除后的待机时间*1	$\beta$		10	—	—	$\mu s$
	EV 位置位后的待机时间*1	$\gamma$		20	—	—	$\mu s$
	虚写后的待机时间*1	$\varepsilon$		2	—	—	$\mu s$
	EV 位清除后的待机时间*1	$\eta$		4	—	—	$\mu s$
	SWE 位清除后的待机时间*1	$\theta$		100	—	—	$\mu s$
	最大擦除次数*1*6*7	N		—	—	120	次

- 【注】 \*1 必须按照编程/擦除算法，设定各时间。
- \*2 每 128 字节的编程时间，表示将快速擦写存储器控制寄存器 1 (FLMCR1) 的 P 位置位的合计时间。不包含编程验证时间。
- \*3 擦除 1 块的时间，表示快速擦写存储器控制寄存器 1 (FLMCR1) 的 E 位置位的合计时间。不包含擦除验证时间。
- \*4 编程时间的最大值 ( $t_p(\text{MAX})$ ) = P 位置位后的待机时间(z) × 最大编程次数(N)
- \*5 必须对照实际的 z1、z2 和 z3 的设定值，使最大编程次数(N)不超过编程时间的最大值  $t_p(\text{MAX})$ 。另外，必须按下列所示，根据编程次数 (n) 的值，改变 P 位置位后的待机时间 (z1、z2)。

编程次数 n

$1 \leq n \leq 6$       z1 = 30 $\mu$ s

$7 \leq n \leq 1000$       z2 = 200 $\mu$ s

- \*6 擦除时间的最大值 ( $t_E(\text{MAX})$ ) = E 位置位后的待机时间(z) × 最大擦除次数(N)
- \*7 必须对照实际的(z)的设定值，使最大擦除次数 (N) 不超过擦除时间的最大值  $t_E(\text{MAX})$ 。
- \*8 是保证编程后的所有特性的 min 次数 (保证范围为 1~min 值的范围)。
- \*9 25℃时的参考值 (通常到此值为止是能进行正常改写的指标值)。
- \*10 在包含 min 值的规格范位内，进行改写时的数据保持特性。

## 17.5 H8/38104 群 (F-ZTAT 版和掩模型 ROM 版) 的绝对最大额定值

绝对最大额定值如表 17.14 所示。

表 17.14 绝对最大额定值

项目		符号	规格值	单位	备注
电源电压		$V_{CC}$	$-0.3 \sim +7.0$	V	*1
		$CV_{CC}$	$-0.3 \sim +4.3$	V	
模拟电源电压		$AV_{CC}$	$-0.3 \sim +7.0$	V	
输入电压	端口 B 以外	$V_{in}$	$-0.3 \sim V_{CC} + 0.3$	V	
	端口 B	$AV_{in}$	$-0.3 \sim AV_{CC} + 0.3$	V	
端口 9 管脚电压		$V_{Pg}$	$-0.3 \sim V_{CC} + 0.3$	V	
工作温度		$T_{opr}$	通常规格产品: $-20 \sim +75^{*2}$	°C	
			温度范围扩大规格产品: $-40 \sim +85^{*2}$		
保存温度		$T_{stg}$	$-55 \sim +125$	°C	

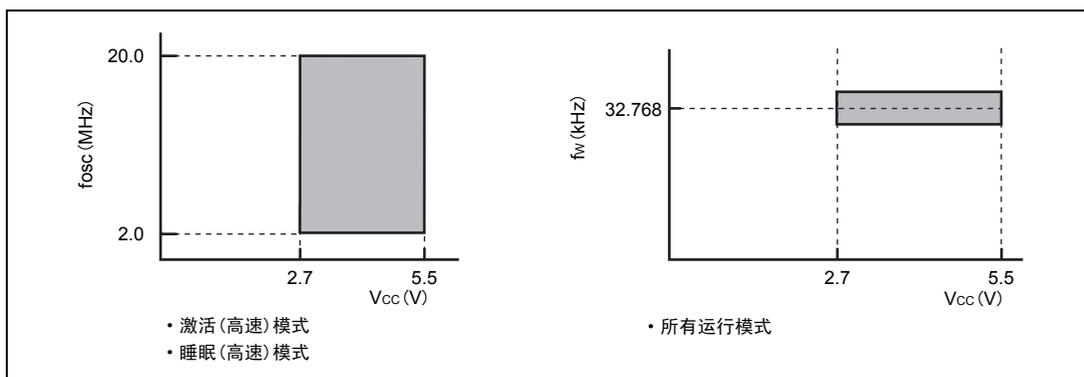
【注】 \*1 如果超过绝对最大额定值使用 LSI，就会引起 LSI 的永久损坏。另外，在通常运行下，请尽量在“电特性”的条件下使用，如果超过这些条件，就会引起 LSI 误动作，同时会给 LSI 的信赖性带来坏影响。

\*2 编程/擦除快速擦写存储器时的工作温度范围为  $T_a = -20 \sim +75^\circ\text{C}$ 。

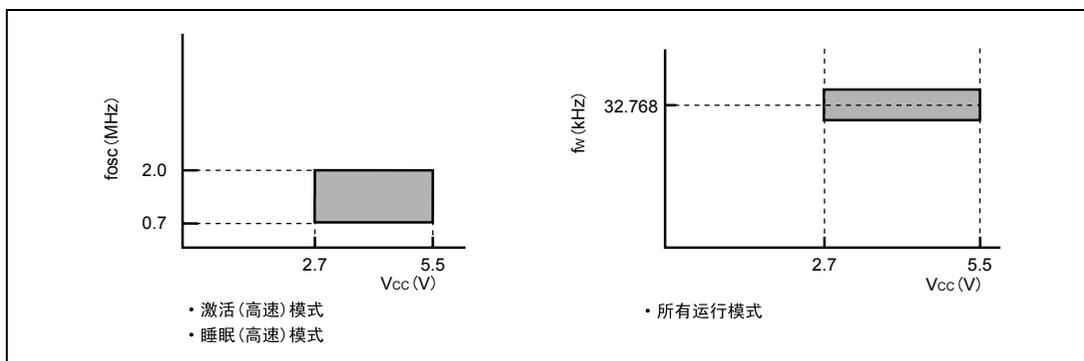
## 17.6 H8/38104 群 (F-ZTAT 版和掩模型 ROM 版) 的电特性

### 17.6.1 电源电压和工作范围

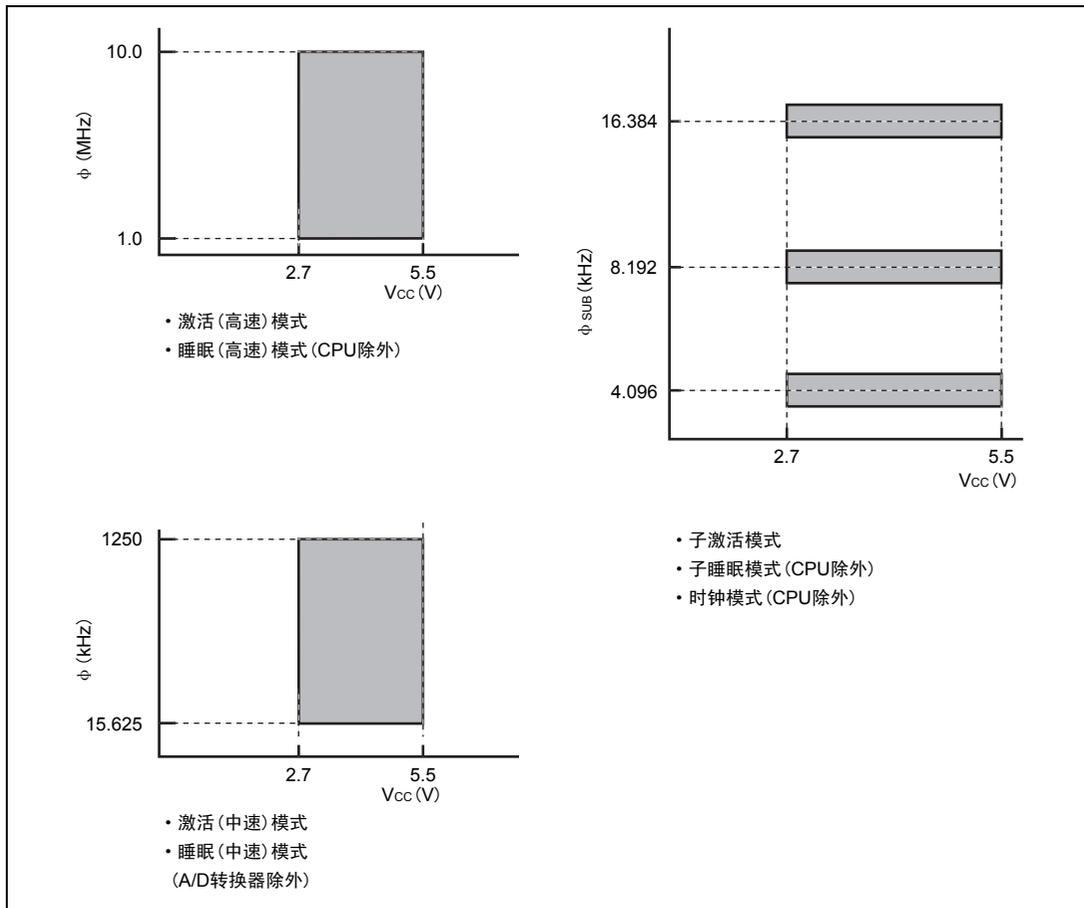
(1) 电源电压和振荡频率的范围 (选择系统时钟振荡器时)



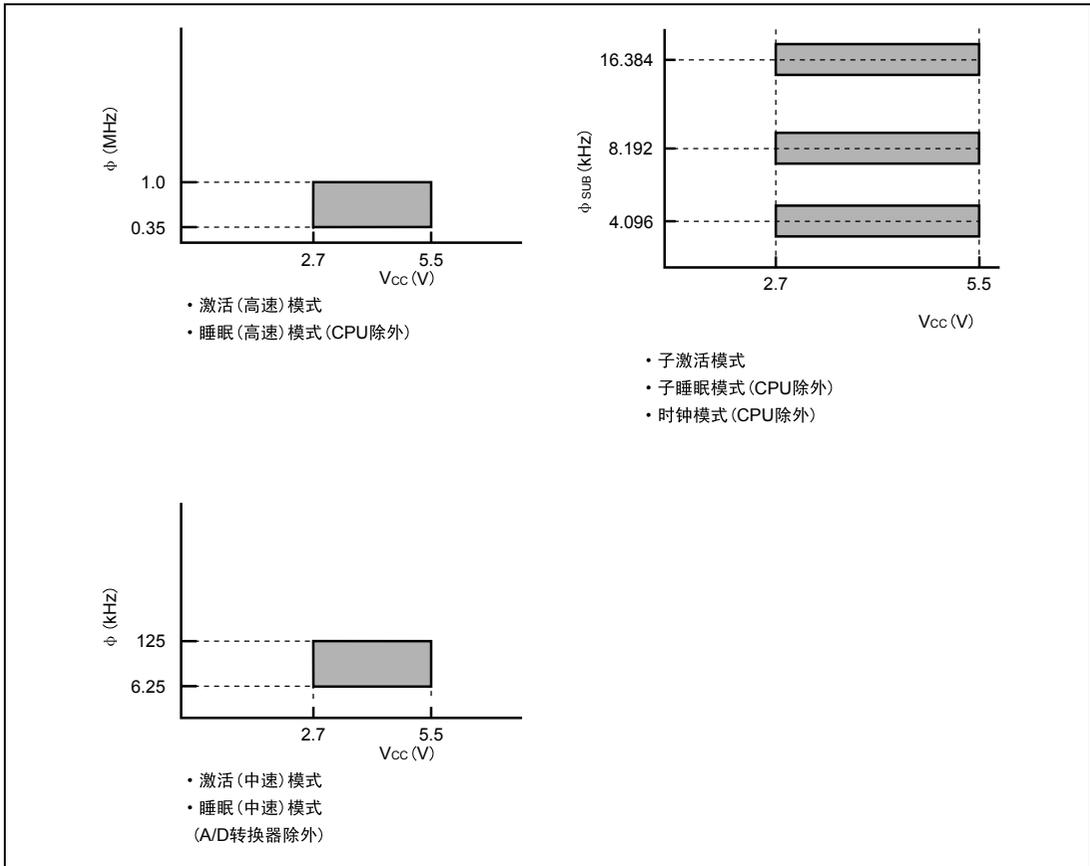
(2) 电源电压和振荡频率的范围 (选择内部振荡器时)



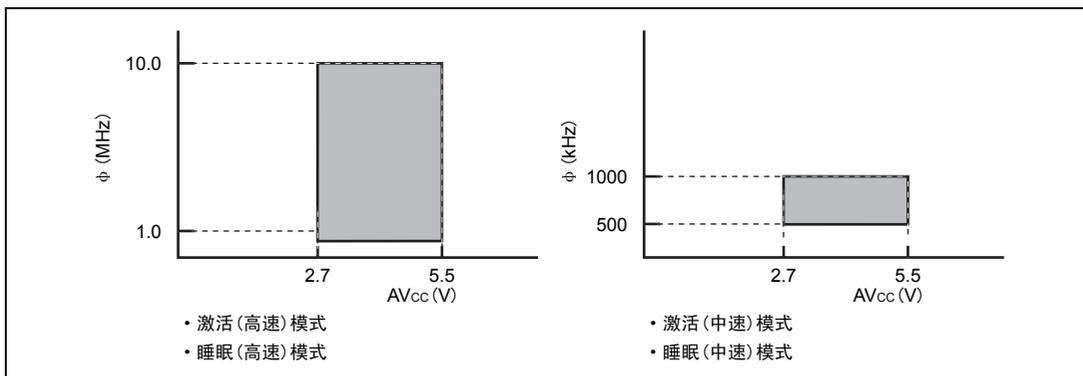
(3) 电源电压和工作频率的范围 (选择系统时钟振荡器时)



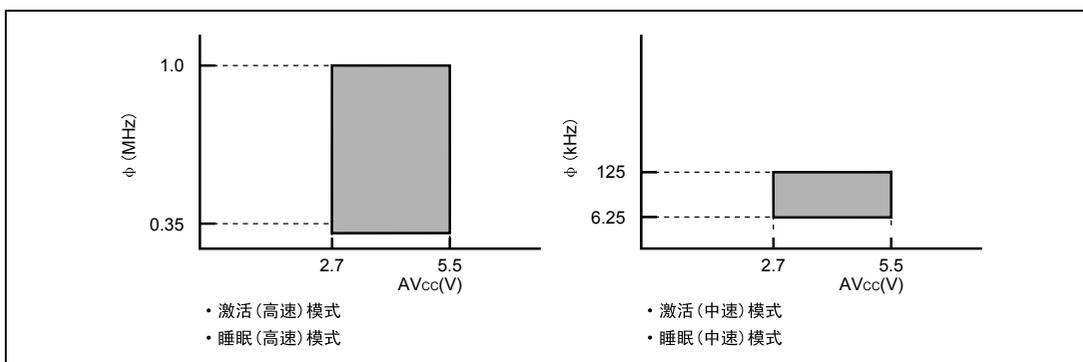
(4) 电源电压和工作频率的范围 (选择内部振荡器时)



(5) 模拟电源电压和 A/D 转换器的工作范围 (选择系统时钟振荡器时)



(6) 模拟电源电压和 A/D 转换器的工作范围 (选择内部振荡器时)



## 17.6.2 DC 特性

DC 特性如表 17.15 所示。

表 17.15 DC 特性

(在 没有特别记载的情况下,  $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ )

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
输入高电平电压	$V_{IH}$	RES、 $\overline{WKP0}\sim\overline{WKP7}$ 、 $\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 AEVL、AEVH、 SCK32	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
		上述以外	$0.9V_{CC}$	—	$V_{CC}+0.3$			
		RXD32	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$V_{CC}+0.3$	V	
		上述以外	$0.8V_{CC}$	—	$V_{CC}+0.3$			
		OSC1	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
		上述以外	$0.9V_{CC}$	—	$V_{CC}+0.3$			
		P31~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$V_{CC}+0.3$	V	
		上述以外	$0.8V_{CC}$	—	$V_{CC}+0.3$			
		PB0~PB3	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$AV_{CC}+0.3$		
		上述以外	$0.8V_{CC}$	—	$AV_{CC}+0.3$			
		IRQAEC、P95* <sup>5</sup>	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
		上述以外	$0.9V_{CC}$	—	$V_{CC}+0.3$			

【注】 TEST 管脚必须连接到  $V_{SS}$ 。

项目	符号	适用管脚	测定条件	规格值			单位	备考		
				min.	typ.	max.				
输入低电平 电压	V <sub>IL</sub>	RES、 WKP0~WKP7、 IRQ0、IRQ1、 IRQAEC、 P95* <sup>5</sup> 、 AEVL、AEVH、 SCK32	V <sub>CC</sub> =4.0~5.5V	-0.3	-	0.2V <sub>CC</sub>	V			
			上述以外	-0.3	-	0.1V <sub>CC</sub>				
		RXD32	V <sub>CC</sub> =4.0~5.5V	-0.3	-	0.3V <sub>CC</sub>	V			
			上述以外	-0.3	-	0.2V <sub>CC</sub>				
		OSC1	V <sub>CC</sub> =4.0~5.5V	-0.3	-	0.2V <sub>CC</sub>	V			
			上述以外	-0.3	-	0.1V <sub>CC</sub>				
		P31~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3、 PB0~PB3	V <sub>CC</sub> =4.0~5.5V	-0.3	-	0.3V <sub>CC</sub>	V			
			上述以外	-0.3	-	0.2V <sub>CC</sub>				
		输出高电平 电压	V <sub>OH</sub>	P31~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3	V <sub>CC</sub> =4.0~5.5V -I <sub>OH</sub> =1.0mA	V <sub>CC</sub> -1.0	-	-	V	
					V <sub>CC</sub> =4.0~5.5V -I <sub>OH</sub> =0.5mA	V <sub>CC</sub> -0.5	-	-		
-I <sub>OH</sub> =0.1mA	V <sub>CC</sub> -0.3				-	-				

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
输出低电平电压	$V_{OL}$	P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3	$V_{CC}=4.0\sim 5.5V$	—	—	0.6	V	
			$I_{OL}=1.6mA$	—	—	0.5		
			$I_{OL}=0.4mA$	—	—	0.5		
		P31~P37	$V_{CC}=4.0\sim 5.5V$	—	—	1.0		
			$I_{OL}=10mA$	—	—	0.6		
			$V_{CC}=4.0\sim 5.5V$	—	—	0.6		
		P90~P93、P95	$I_{OL}=0.4mA$	—	—	0.5		
			$V_{CC}=4.0\sim 5.5V$	—	—	1.5		
			$I_{OL}=15mA$	—	—	1.0		
			$V_{CC}=4.0\sim 5.5V$	—	—	0.8		
			$I_{OL}=10mA$	—	—	1.0		
			$V_{CC}=4.0\sim 5.5V$	—	—	0.6		
$I_{OL}=8mA$	—		—	0.5				
输入/输出漏泄电流	$ I_{IL} $	RES、P43、 OSC1、X1、 P31~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80、IRQAEC、 PA0~PA3、 P90~P93、P95	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—	—	1.0	$\mu A$	
			$V_{IN}=0.5V\sim AV_{CC}-0.5V$	—	—	1.0		
上拉 MOS 电流	$-I_p$	P31~P37、 P50~P57、 P60~P67	$V_{CC}=5V、V_{IN}=0V$	20	—	200	$\mu A$	参考值
			$V_{CC}=2.7V、V_{IN}=0V$	—	40	—	$\mu A$	

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
输入电容	C <sub>IN</sub>	电源管脚除外的所有输入管脚	f=1MHz、 V <sub>IN</sub> =0V、 T <sub>a</sub> =25°C	—	—	15.0	pF	
激活模式 消费电流	I <sub>OP1</sub>	V <sub>CC</sub>	激活（高速）模式 V <sub>CC</sub> =2.7V、f <sub>OSC</sub> =2MHz	—	0.6	—	mA	*1,*3,*4 max 指标值=1.1×typ
				—	1.0	—		*2,*3,*4 max 指标值=1.1×typ
			激活（高速）模式 V <sub>CC</sub> =5V、f <sub>OSC</sub> =2MHz	—	0.8	—		*1,*3,*4 max 指标值=1.1×typ
				—	1.5	—		*2,*3,*4 max 指标值=1.1×typ
			激活（高速）模式 V <sub>CC</sub> =5V、f <sub>OSC</sub> =4MHz	—	1.6	—		*1,*3,*4 max 指标值=1.1×typ
				—	2.0	—		*2,*3,*4 max 指标值=1.1×typ
	I <sub>OP2</sub>	V <sub>CC</sub>	激活（中速）模式 V <sub>CC</sub> =2.7V、f <sub>OSC</sub> =2MHz Φ <sub>osc</sub> /128 时	—	0.2	—	mA	*1,*3,*4 max 指标值=1.1×typ
				—	0.5	—		*2,*3,*4 max 指标值=1.1×typ
			激活（中速）模式 V <sub>CC</sub> =5V、f <sub>OSC</sub> =2MHz Φ <sub>osc</sub> /128 时	—	0.4	—		*1,*3,*4 max 指标值=1.1×typ
				—	0.8	—		*2,*3,*4 max 指标值=1.1×typ
			激活（中速）模式 V <sub>CC</sub> =5V、f <sub>OSC</sub> =4MHz Φ <sub>osc</sub> /128 时	—	0.6	—		*1,*3,*4 max 指标值=1.1×typ
				—	0.9	—		*2,*3,*4 max 指标值=1.1×typ
激活（中速）模式 V <sub>CC</sub> =5V、f <sub>OSC</sub> =10MHz Φ <sub>osc</sub> /128 时	—	0.9	3.0	*1,*3,*4				
	—	1.2	3.0	*2,*3,*4				
睡眠模式 消费电流	I <sub>SLEEP</sub>	V <sub>CC</sub>	V <sub>CC</sub> =2.7V、f <sub>OSC</sub> =2MHz	—	0.3	—	mA	*1,*3,*4 max 指标值=1.1×typ
				—	0.8	—		*2,*3,*4 max 指标值=1.1×typ
			V <sub>CC</sub> =5V、f <sub>OSC</sub> =2MHz	—	0.5	—		*1,*3,*4 max 指标值=1.1×typ
				—	0.9	—		*2,*3,*4 max 指标值=1.1×typ

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
睡眠模式 消费电流	I <sub>SLEEP</sub>	V <sub>CC</sub>	V <sub>CC</sub> =5V、f <sub>OSC</sub> =4MHz	—	0.9	—	mA	*1*3*4 max 指标值=1.1×typ
				—	1.3	—		*2*3*4 max 指标值=1.1×typ
			V <sub>CC</sub> =5V、f <sub>OSC</sub> =10MHz	—	1.5	5.0		*1*3*4
				—	2.2	5.0		*2*3*4
子激活模式 消费电流	I <sub>SUB</sub>	V <sub>CC</sub>	V <sub>CC</sub> =2.7V、LCD 点灯 使用 32kHz 晶体谐振器时 ( $\phi_{SUB} = \phi_{W/8}$ )	—	11.3	—	μA	*1*3*4 参考值
				—	12.7	—		*2*3*4 参考值
			V <sub>CC</sub> =2.7V、LCD 点灯 使用 32kHz 晶体谐振器时 ( $\phi_{SUB} = \phi_{W/2}$ )	—	16.3	50		*1*3*4
				—	30	50		*2*3*4
子睡眠模式 消费电流	I <sub>SUBSP</sub>	V <sub>CC</sub>	V <sub>CC</sub> =2.7V、LCD 点灯 使用 32kHz 晶体谐振器 时 ( $\phi_{SUB} = \phi_{W/2}$ )	—	4.0	16	μA	*3*4
时钟模式 消费电流	I <sub>WATCH</sub>	V <sub>CC</sub>	V <sub>CC</sub> =2.7V、Ta=25℃ 使用 32kHz 晶体谐振器时 LCD 未使用	—	1.4	—	μA	*1*3*4 参考值
				—	1.8	—		*2*3*4 参考值
			V <sub>CC</sub> =2.7V 使用 32kHz 晶体谐振器时 LCD 未使用	—	1.8	6.0		*3*4
待机模式 消费电流	I <sub>STBY</sub>	V <sub>CC</sub>	V <sub>CC</sub> =2.7V、Ta=25℃ 未使用 32kHz 晶体谐振器 时	—	0.3	—	μA	*1*3*4 参考值
				—	0.5	—		*2*3*4 参考值
			V <sub>CC</sub> =2.7V、Ta=25℃、 SUBSTP (振荡控制寄存 器) = "1" 设定时	—	0.05	—		*4 参考值
			V <sub>CC</sub> =5.0V、Ta=25℃ 未使用 32kHz 晶体谐振器 时	—	0.4	—		*1*3*4 参考值
				—	0.6	—		*2*3*4 参考值
			V <sub>CC</sub> =5.0V、Ta=25℃、 SUBSTP (振荡控制寄存 器) = "1" 设定时	—	0.16	—		*4 参考值
未使用 32kHz 晶体谐振器 时	—	1.0	5.0	*3*4				
RAM 数据 保持电压	V <sub>RAM</sub>	V <sub>CC</sub>		2.0	—	—	V	*6

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
输出低电平 容许电流 (每一个管脚)	$I_{OL}$	端口 3、9 以外的 输出管脚	$V_{CC}=4.0V\sim 5.5V$	—	—	2.0	mA	
		端口 3	$V_{CC}=4.0V\sim 5.5V$	—	—	10.0		
		端口 9 以外的输 出管脚		—	—	0.5		
		端口 9	$V_{CC}=4.0V\sim 5.5V$ 上述以外	—	—	15.0 5.0		
输出低电平 容许电流 (合计)	$\Sigma I_{OL}$	端口 3、9 以外的 输出管脚	$V_{CC}=4.0V\sim 5.5V$	—	—	40.0	mA	
		端口 3	$V_{CC}=4.0V\sim 5.5V$	—	—	80.0		
		端口 9 以外的输 出管脚		—	—	20.0		
		端口 9		—	—	80.0		
输出高电平 容许电流 (每一个管脚)	$-I_{OH}$	所有出管脚	$V_{CC}=4.0V\sim 5.5V$	—	—	2.0	mA	
			上述以外	—	—	0.2		
输出高电平 容许电流 (合计)	$\Sigma -I_{OH}$	所有输出管脚	$V_{CC}=4.0V\sim 5.5V$	—	—	15.0	mA	
			上述以外	—	—	10.0		

【注】 TEST 管脚必须连接到  $V_{SS}$ 。

- \*1 适用于掩模型 ROM 产品。
- \*2 适用于 F-ZTAT 产品。
- \*3 测定消费电流时的管脚状态，如下表所示。

模式	RES 管脚	内部状态	各管脚	LCD 电源	振荡管脚
激活 (高速) 模式 ( $I_{OPE1}$ ) 激活 (中速) 模式 ( $I_{OPE2}$ )	$V_{CC}$	只有 CPU 运行	$V_{CC}$	停止	系统时钟振荡器: 晶体谐振器 子时钟振荡器: X1 管脚 = GND
睡眠模式	$V_{CC}$	内置的所有定时器运行	$V_{CC}$	停止	
子激活模式	$V_{CC}$	只有 CPU 运行	$V_{CC}$	停止	系统时钟振荡器: 晶体谐振器
子睡眠模式	$V_{CC}$	内置的所有定时器运行 CPU 停止	$V_{CC}$	停止	子时钟振荡器: 晶体谐振器
时钟模式	$V_{CC}$	只有时钟时基运行 CPU 停止	$V_{CC}$	停止	
待机模式	$V_{CC}$	CPU 和定时器都停止	$V_{CC}$	停止	系统时钟振荡器: 晶体谐振器 子时钟振荡器: X1 管脚 = GND

- \*4 流向上拉 MOS 或者输出缓冲器的电流除外。
- \*5 对于 F-ZTAT 版，用于判定复位解除时的用户模式/引导模式。
- \*6 是待机模式的保持电压。

## 17.6.3 AC 特性

控制信号时序如表 17.16 所示，串行接口时序如表 17.17 所示。

表 17.16 控制信号时序

(在没有特别记载的情况下,  $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ )

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
系统时钟 振荡器振荡频率	$f_{OSC}$	OSC1、OSC2		2.0	—	20.0	MHz	* <sup>2</sup>
			选择内部振荡器时	0.7	—	2.0		
OSC 时钟 ( $\phi_{OSC}$ ) 周期时间	$t_{OSC}$	OSC1、OSC2		50.0	—	500	ns	图 17.1
			选择内部振荡器时	500	—	1429		
系统时钟 ( $\phi$ ) 周期时间	$t_{cyc}$			2	—	128	$t_{OSC}$	
				—	—	182	$\mu s$	
子时钟振荡器 振荡频率	$f_W$	X1、X2		—	32.768	—	kHz	
钟表时钟 ( $\phi_W$ ) 周期时间	$t_W$	X1、X2		—	30.5	—	$\mu s$	图 17.1
子时钟 ( $\phi_{SUB}$ ) 周期时间	$t_{subcyc}$			2	—	8	$t_W$	* <sup>1</sup>
指令周期时间				2	—	—	$t_{cyc}$ $t_{subcyc}$	
振荡稳定时间	$t_{rc}$	OSC1、OSC2		—	—	20	ms	
		X1、X2		—	—	2.0	s	
外部时钟 高电平宽度	$t_{CPH}$	OSC1		20	—	—	ns	图 17.1
外部时钟 低电平宽度	$t_{CPL}$	OSC1		20	—	—	ns	图 17.1
外部时钟 上升时间	$t_{CPr}$	OSC1		—	—	5	ns	图 17.1
外部时钟 下降时间	$t_{CPf}$	OSC1		—	—	5	ns	图 17.1
RES 管脚 低电平宽度	$t_{REL}$	RES		10	—	—	$t_{cyc}$	图 17.2
输入管脚 高电平宽度	$t_{IH}$	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 $IRQAEC$ 、 $WKP0\sim$ $WKP7$		2	—	—	$t_{cyc}$ $t_{subcyc}$	图 17.3
		AEVL、AEVH		0.5	—	—	$t_{OSC}$	

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
输入管脚 低电平宽度	t <sub>IL</sub>	IRQ0、IRQ1、 IRQAEC、 WKP0~ WKP7		2	—	—	t <sub>cyc</sub> t <sub>subcyc</sub>	图 17.3
		AEVL、AEVH		0.5	—	—	t <sub>osc</sub>	

【注】 \*1 根据系统控制寄存器 2 (SYSCR2) 的 SA1 和 SA0 的设置决定。

\*2 由于受温度、电源电压、产品批量的偏差等的影响，本特性为 min.~max.的范围值。请在系统设计时充分考虑 SPEC 范围。有关执行数据请参照本产品的网页。

表 17.17 串行接口 (SCI3) 时序

(在没有特别记载的情况下, V<sub>CC</sub>=2.7~5.5V、AV<sub>CC</sub>=2.7~5.5V、V<sub>SS</sub>=AV<sub>SS</sub>=0.0V)

项目	符号	测定条件	规格值			单位	参照图
			min.	typ.	max.		
输入时钟周期	异步	t <sub>scyc</sub>	4	—	—	t <sub>cyc</sub> 或	图 17.4
	时钟同步		6	—	—	t <sub>subcyc</sub>	
输入时钟脉冲宽度	t <sub>SCKW</sub>		0.4	—	0.6	t <sub>scyc</sub>	图 17.4
发送数据延迟时间 (时钟同步)	t <sub>TXD</sub>		—	—	1	t <sub>cyc</sub> 或 t <sub>subcyc</sub>	图 17.5
接收数据准备时间 (时钟同步)	t <sub>RXS</sub>		150.0	—	—	ns	图 17.5
接收数据保持时间 (时钟同步)	t <sub>RXH</sub>		150.0	—	—	ns	图 17.5

## 17.6.4 A/D 转换器特性

A/D 转换器特性如表 17.18 所示。

表 17.18 A/D 转换器特性

(在没有特别记载的情况下,  $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ )

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
模拟电源电压	$AV_{CC}$	$AV_{CC}$		2.7	—	5.5	V	* <sup>1</sup>
模拟输入电压	$AV_{IN}$	AN0~AN3		-0.3	—	$AV_{CC}+0.3$	V	
模拟电源电流	$AI_{OPE}$	$AV_{CC}$	$AV_{CC}=5.0V$	—	—	1.5	mA	
	$AI_{STOP1}$	$AV_{CC}$		—	600	—	$\mu A$	* <sup>2</sup> 参考值
	$AI_{STOP2}$	$AV_{CC}$		—	—	5	$\mu A$	* <sup>3</sup>
模拟输入电容	$C_{AIN}$	AN0~AN3		—	—	15.0	pF	
容许信号源阻抗	$R_{AIN}$			—	—	10.0	k $\Omega$	
分辨率 (数据长)				—	—	10	位	
非线性误差			$AV_{CC}=4.0\sim 5.5V$	—	—	$\pm 3.5$	LSB	
			$AV_{CC}=2.7\sim 5.5V$	—	—	$\pm 7.5$		
量化误差				—	—	$\pm 0.5$	LSB	
绝对精度			$AV_{CC}=4.0\sim 5.5V$	—	$\pm 2.0$	$\pm 4.0$	LSB	
			$AV_{CC}=2.7\sim 5.5V$	—	$\pm 2.0$	$\pm 8.0$		
转换时间				6.2	—	124	$\mu s$	

【注】 \*1 不使用 A/D 转换器的情况下, 必须使  $AV_{CC}=V_{CC}$ 。

\*2  $AI_{STOP1}$  是在激活模式或者睡眠模式的 A/D 转换待机时的电流值。

\*3  $AI_{STOP2}$  是在复位、待机模式、时钟模式、子激活模式以及子睡眠模式的 A/D 转换待机时的电流值。

## 17.6.5 LCD 特性

LCD 特性如表 17.19 所示。

表 17.19 LCD 特性

(在没有特别记载的情况下,  $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ )

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				min.	typ.	max.		
段驱动器 电压降	$V_{DS}$	SEG1~SEG25	$I_D=2\mu A$ $V1=2.7\sim 5.5V$	—	—	0.6	V	*1
公共驱动器 电压降	$V_{DC}$	COM1~COM4	$I_D=2\mu A$ $V1=2.7\sim 5.5V$	—	—	0.3	V	*1
LCD 电源分压电阻	$R_{LCD}$		V1— $V_{SS}$ 间	1.5	3.0	7.0	$M\Omega$	
液晶表示电压	$V_{LCD}$	V1		2.7	—	5.5	V	*2

【注】 \*1 是从电源管脚 V1、V2、V3、 $V_{SS}$  到各段管脚或者公共管脚的电压降。

\*2 在通过外部电源供给液晶显示电压时, 必须维持  $V_{CC}\geq V_1\geq V_2\geq V_3\geq V_{SS}$  的关系。

## 17.6.6 快速擦写存储器特性

表 17.20 快速擦写存储器特性

条件 A:  $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $V_{CC}=2.7\sim 5.5V$  (读时的工作电压范围)、 $V_{CC}=3.0\sim 5.5V$  (编程/擦除时的工作电压范围)、 $T_a=-20\sim +75^{\circ}C$  (编程/擦除时的工作温度范围: 通常规格产品、温度范围扩大规格产品)

项目	符号	测定条件	规定值			单位	
			min.	typ.	max.		
编程时间 (每 128 字节) *1*2*4	$t_P$		—	7	200	ms	
擦除时间 (每块) *1*3*5	$t_E$		—	100	1200	ms	
改写次数	$N_{WEC}$		1000*8	10000*9	—	次	
数据保持时间	$t_{DRP}$		$10^{*10}$	—	—	年	
编程时	SWE 位置位后的待机时间*1	x	1	—	—	$\mu s$	
	PSU 位置位后的待机时间*1	y	50	—	—	$\mu s$	
	P 位置位后的待机时间*1*4	z1	$1\leq n\leq 6$	28	30	32	$\mu s$
			$7\leq n\leq 1000$	198	200	202	$\mu s$
			追加编程	8	10	12	$\mu s$
	P 位清除后的待机时间*1	$\alpha$	5	—	—	$\mu s$	
	PSU 位清除后的待机时间*1	$\beta$	5	—	—	$\mu s$	
	PV 位置位后的待机时间*1	$\gamma$	4	—	—	$\mu s$	
	虚写后的待机时间*1	$\varepsilon$	2	—	—	$\mu s$	
	PV 位清除后的待机时间*1	$\eta$	2	—	—	$\mu s$	
	SWE 位清除后的待机时间*1	$\theta$	100	—	—	$\mu s$	
	最大编程次数*1*4*5	N	—	—	1000	次	
	擦除时	SWE 位置位后的待机时间*1	x	1	—	—	$\mu s$
ESU 位置位后的待机时间*1		y	100	—	—	$\mu s$	
E 位置位后的待机时间*1*6		z	10	—	100	ms	
E 位清除后的待机时间*1		$\alpha$	10	—	—	$\mu s$	
ESU 位清除后的待机时间*1		$\beta$	10	—	—	$\mu s$	
EV 位置位后的待机时间*1		$\gamma$	20	—	—	$\mu s$	
虚写后的待机时间*1		$\varepsilon$	2	—	—	$\mu s$	
EV 位清除后的待机时间*1		$\eta$	4	—	—	$\mu s$	
SWE 位清除后的待机时间*1		$\theta$	100	—	—	$\mu s$	
最大擦除次数*1*6*7		N	—	—	120	次	

【注】 \*1 必须按照编程/擦除算法, 设定各时间。

\*2 每 128 字节的编程时间, 表示将快速擦写存储器控制寄存器 1 (FLMCR1) 的 P 位置位的合计时间。不包含编程验证时间。

- \*3 擦除 1 块的时间，表示快速擦写存储器控制寄存器 1 (FLMCR1) 的 E 位置位的合计时间。不包含擦除验证时间。
- \*4 编程时间的最大值 ( $t_p(\text{MAX})$ ) = P 位置位后的待机时间(z) × 最大编程次数(N)
- \*5 必须对照实际的 z1、z2 和 z3 的设定值，使最大编程次数(N)不超过编程时间的最大值  $t_p(\text{MAX})$ 。另外，必须按下列所示，根据编程次数 (n) 的值，改变 P 位置位后的待机时间 (z1、z2)。

编程次数 n

$1 \leq n \leq 6$        $z1 = 30\mu\text{s}$

$7 \leq n \leq 1000$      $z2 = 200\mu\text{s}$

- \*6 擦除时间的最大值 ( $t_E(\text{MAX})$ ) = E 位置位后的待机时间(z) × 最大擦除次数(N)
- \*7 必须对照实际的(z)的设定值，使最大擦除次数 (N) 不超过擦除时间的最大值 ( $t_E(\text{MAX})$ )。
- \*8 是保证编程后的所有特性的 min 次数 (保证范围为 1~min 值的范围)。
- \*9 25°C 时的参考值 (通常到此值为止是能进行正常改写的指标值)。
- \*10 在包含 min 值的规格范位内，进行改写时的数据保持特性。

## 17.6.7 电源电压检测电路特性

表 17.21 电源电压检测电路特性 (1)

(在没有特别记载的情况下,  $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ )

项目	符号	测定条件	规格值			单位
			min.	typ.	max.	
LVDR 运行下限电压*1	$V_{LVDRmin}$		1.0	—	—	V
LVD 稳定时间	$T_{LVDon}$		150	—	—	$\mu s$
待机模式消费电流	ISTBY	LVDE=1 $V_{CC}=5.0V$ 未使用 32kHz 谐振器	—	—	100	$\mu A$

【注】 \*1 在电源电压  $V_{CC}$  下降到  $V_{LVDRmin}=1.0V$  以下后上升的情况下, 可能不进行复位, 必须进行充分的评价。

表 17.22 电源电压检测电路特性 (2)

使用内部基准电压和梯形电阻时 ( $VREFSEL=VINTDSEL=VINTUSEL=0$ )

项目	符号	测定条件	规格值			单位
			min.	typ.	max.	
电源下降检测电压	$V_{int(D)}^{*3}$	LVDSSEL=0	3.3	3.7	4.2	V
电源上升检测电压	$V_{int(U)}^{*3}$	LVDSSEL=0	3.6	4.0	4.5	V
复位检测电压 1*1	$V_{reset1}^{*3}$	LVDSSEL=0	2.0	2.3	2.7	V
复位检测电压 2*2	$V_{reset2}^{*3}$	LVDSSEL=1	2.7	3.3	3.9	V

【注】 \*1 必须在下降电压检测功能和上升电压检测功能并用时使用。

\*2 在只使用低电压检测复位时, 必须选择低电压复位 2。

\*3  $V_{int(D)}$ 、 $V_{int(U)}$ 以及  $V_{reset1/2}$  的值会发生相对变化。

(例) 在  $V_{int(D)}$  为 min 值时,  $V_{int(U)}$  和  $V_{reset1/2}$  的值也变为 min 值。

表 17.23 电源电压检测电路特性 (3)

使用内部基准电压和从外部输入检测电压时 ( $VREFSEL=0$ 、 $VINTDSEL$ 、 $VINTUSEL=1$ )

项目	符号	测定条件	规格值			Unit
			min.	typ.	max.	
extD/U 中断检测电平	$V_{exd}$		0.80	1.20	1.60	V
extD/U 管脚输入电压*2	$V_{extD}^{*1}$	$V_{CC}=2.7\sim 3.3V$	-0.3	—	$V_{CC}+0.3$ 或 $AV_{CC}+0.3$ 的低电压	V
	$V_{extU}^{*1}$	$V_{CC}=3.3\sim 5.5V$	-0.3	—	$3.6$ 或 $AV_{CC}+0.3$ 的低电压	V

【注】 \*1 必须总是维持  $V_{extD} > V_{extU}$  的电压关系。

\*2 extD/U 管脚的输入电压的 Max 值为 3.6V。

表 17.24 电源电压检测电路特性 (4)

使用外部基准电压和梯形电阻时 (VREFSEL=1、VINTDSEL=VINTUSEL=0)

项目	符号	测定条件	规格值			单位
			min.	typ.	max.	
电源下降检测电压	Vint (D) * <sup>1</sup>	LVDSEL=0	3.08* (Vref1-0.1)	3.08*Vref1	3.08* (Vref1+0.1)	V
Vref 输入电压(Vint(D))	Vref1* <sup>2</sup>	Vint (D)	0.98	—	1.68	V
电源上升检测电压	Vint (U) * <sup>1</sup>	LVDSEL=0	3.33* (Vref2-0.1)	3.33*Vref2	3.33* (Vref2+0.1)	V
Vref 输入电压(Vint(U))	Vref2* <sup>2</sup>	Vint (U)	0.91	—	1.55	V
复位检测电压 1	Vreset1* <sup>1</sup>	LVDSEL=0	1.91* (Vref3-0.1)	1.91*Vref3	1.91* (Vref3+0.1)	V
Vref 输入电压(Vreset1)	Vref3* <sup>2</sup>	Vreset1	0.89	—	2.77	V
复位检测电压 2	Vreset2* <sup>1</sup>	LVDSEL=1	2.76* (Vref4-0.1)	2.76*Vref4	2.76* (Vref4+0.1)	V
Vref 输入电压(Vreset2)	Vref4* <sup>2</sup>	Vreset2	1.08	—	1.89	V

【注】 \*1 Vint(D)、Vint(U)以及 Vreset1/2 的值会发生相对变化。

(例) 在 Vint(D)为 min 值时, Vint(U)和 Vreset1/2 的值也变为 min 值。

\*2 Vref 输入电压根据以下关系式:

$$2.7V (=V_{CC} \text{ min}) < Vint(D), Vint(U), Vreset2 < 5.5V (=V_{CC} \text{ max})$$

$$1.5V (\text{RAM 保持电压}) < Vreset1 < 5.5V (=V_{CC} \text{ max})$$

$$Vref1: 2.7 < 3.08 * (Vref1-0.1), 3.08 * (Vref1+0.1) < 5.5 \quad 0.98 < Vref1 < 1.68$$

$$Vref2: 2.7 < 3.33 * (Vref2-0.1), 3.33 * (Vref2+0.1) < 5.5 \quad 0.91 < Vref2 < 1.55$$

$$Vref3: 1.5 < 1.91 * (Vref3-0.1), 1.91 * (Vref3+0.1) < 5.5 \quad 0.89 < Vref3 < 2.77$$

$$Vref4: 2.7 < 2.76 * (Vref4-0.1), 2.76 * (Vref4+0.1) < 5.5 \quad 1.08 < Vref4 < 1.89$$

表 17.25 电源电压检测电路特性 (5)

使用外部基准电压和从外部输入检测电压时 (VREFSEL=VINTDSEL=VINTUSEL=1)

项目	符号	测定条件	规格值			Unit
			min.	typ.	max.	
比较器检测精度	Vcdl	VextU-Vref     VextD-Vref	0.1	—	—	V
extD/U 管脚输入电压	VextD* <sup>1</sup>	V <sub>CC</sub> =2.7~3.3V	-0.3	—	V <sub>CC</sub> +0.3 或 AV <sub>CC</sub> +0.3 的低电压	V
	VextU* <sup>1</sup>	V <sub>CC</sub> =3.3~5.5V	-0.3	—	3.6 或 AV <sub>CC</sub> +0.3 的低电压	V
Vref 管脚输入电压	Vref5	V <sub>CC</sub> =2.7~5.5V	0.8	—	2.8	V

【注】 \* 必须总是维持 VextD>VextU 的电压关系。

## 17.6.8 加电复位特性

表 17.26 加电复位特性

(在没有特别记载的情况下,  $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ )

项目	符号	测定条件	规格值			单位
			min.	typ.	max.	
RES 管脚上拉电阻	$R_{RES}$		65	100	—	$k\Omega$
加电复位启动电压	$V_{por}$		—	—	100	mV

【注】 电源电压  $V_{CC}$  必定下降到  $V_{por}=100mV$  以下, 必须在释放掉 RES 管脚的电荷后让电源电压  $V_{CC}$  上升。为了释放 RES 管脚的电荷, 建议给  $V_{CC}$  侧外接二极管。

如果电源电压  $V_{CC}$  从超过 100mV 的电压开始上升, 加电复位可能不动作。

## 17.6.9 监视定时器特性

表 17.27 监视定时器特性

(在没有特别记载的情况下,  $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ )

项目	符号	适用管脚	测定条件	规格值			单位	备考
				min.	typ.	max.		
内部振荡器溢出时间	$t_{OVF}$		$V_{CC}=5V$	0.2	0.4	—	s	*

【注】 \* 在选择用于监视定时器的内部振荡器的状态下, 表示从 0 开始累加计数 (0~255) 到产生内部复位为止的时间。

## 17.7 运行时序

运行时序如图 17.1~图 17.5 所示。

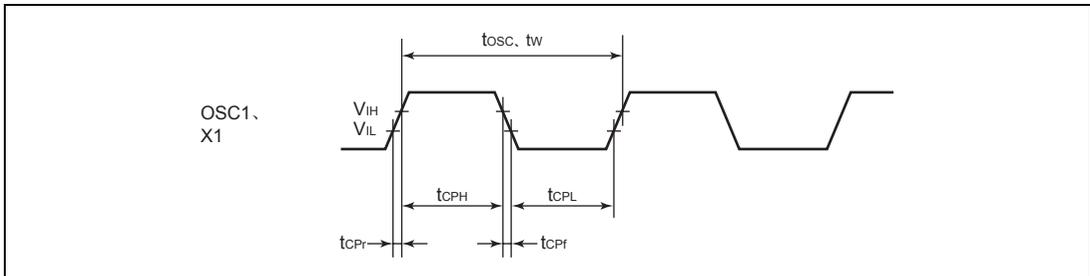


图 17.1 时钟输入时序

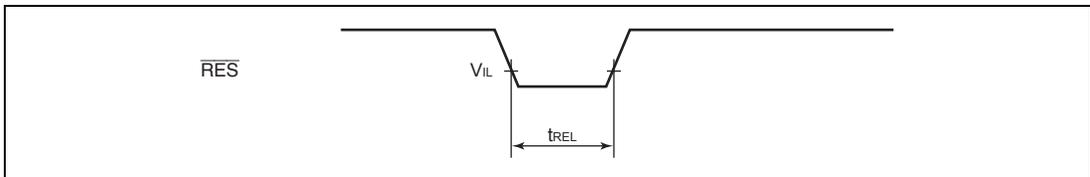


图 17.2  $\overline{RES}$  管脚低电平宽度时序

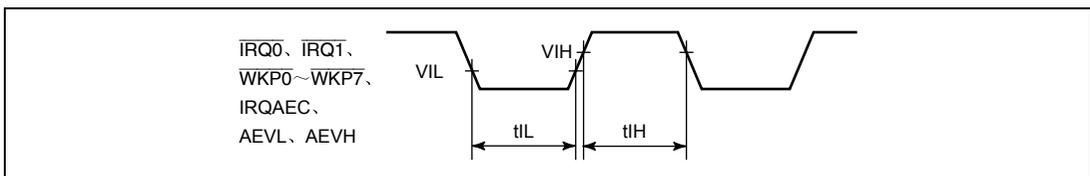


图 17.3 输入时序

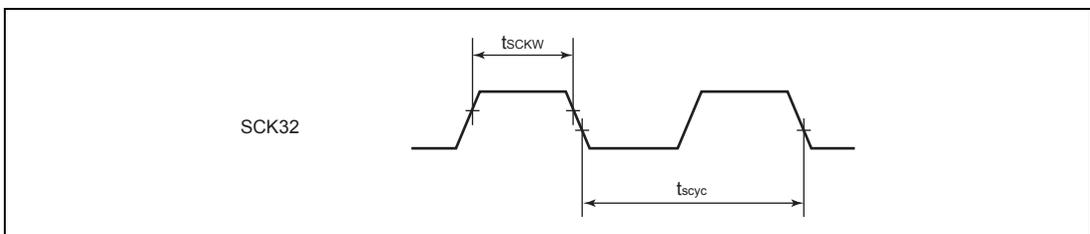


图 17.4 SCK3 输入时钟时序

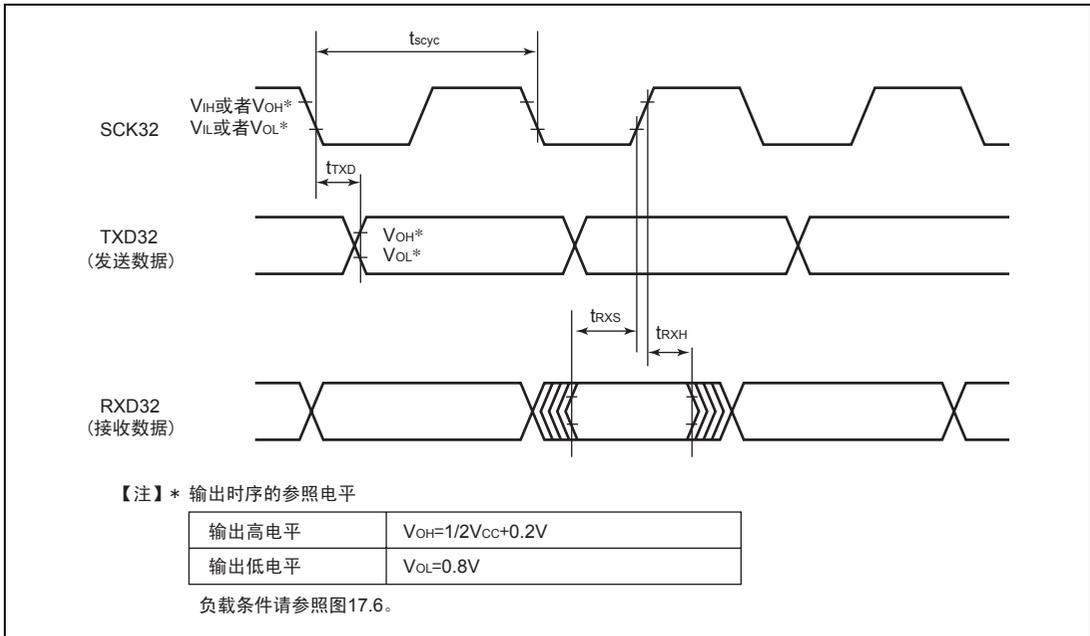


图 17.5 SCI3 时钟同步模式输入/输出时序

## 17.8 输出负载电路

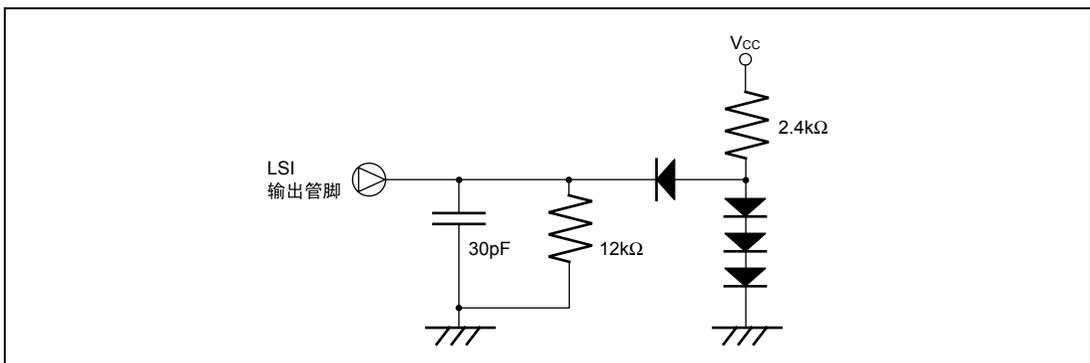


图 17.6 输出负载条件

## 17.9 谐振器的等效电路

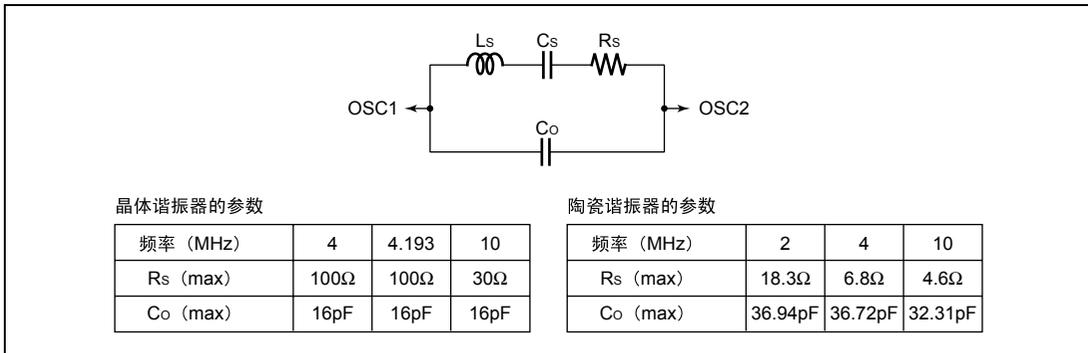


图 17.7 谐振器的等效电路

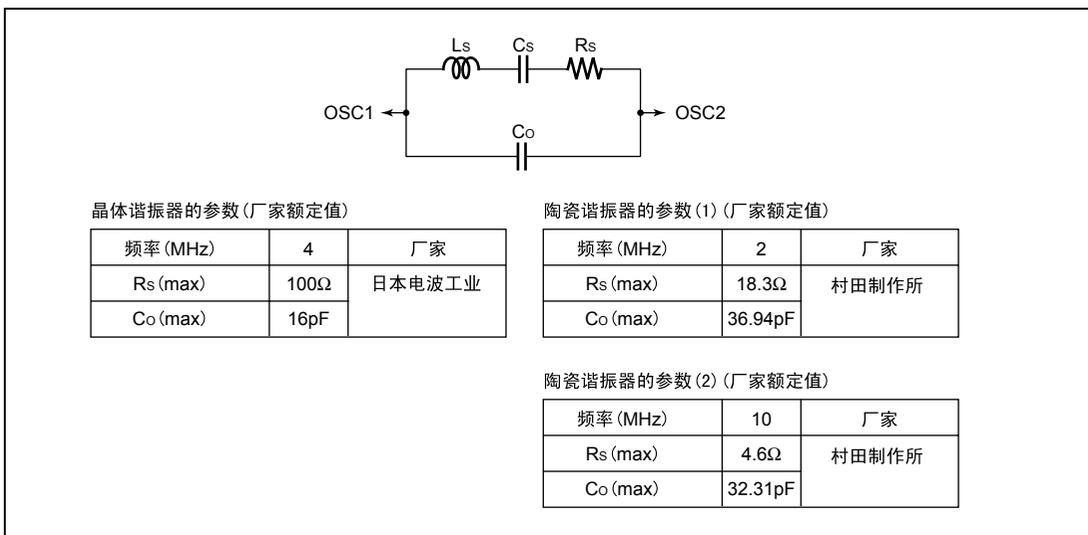


图 17.8 谐振器的等效电路

## 17.10 使用时的注意事项

虽然 ZTAT 版、F-ZTAT 版以及掩模型 ROM 版满足本章记载的电特性，但是由于制造工序、内部 ROM 以及布局形状等的不同，电特性的实际值、运行容限以及噪声容限等可能不同。在对使用 ZTAT 版或者 F-ZTAT 版的系统进行评价试验时，对于改换成掩模型 ROM 版时的掩模型 ROM 版系统，也必须进行同等的评价试验。

---

## 附录

---

### A. 指令

#### A.1 指令一览表

##### 《操作符号》

Rd8/16	通用寄存器（目标侧）8位/16位
Rs8/16	通用寄存器（源侧）8位/16位
Rn8/16	通用寄存器 8位/16位
CCR	条件码寄存器
N	CCR 的 N（负）标志位
Z	CCR 的 Z（零）标志位
V	CCR 的 V（溢出）标志位
C	CCR 的 C（进位）标志位
PC	程序计数器
SP	堆栈指针
#xx:3/8/16	立即数 3位/8位/16位
d:8/16	位移量 8位/16位
@aa:8/16	绝对地址 8/16位
+	加法
-	减法
×	乘法
÷	除法
∧	逻辑与
∨	逻辑或
⊕	逻辑异或
→	传送
—	非（逻辑补）

##### 《操作符号》

符号	
↕	表示根据执行结果而变化。
*	表示不定状态（不保证值）。
0	表示总是被清 0。
—	表示不受执行结果的影响。



助记符	长度	寻址方式/指令长 (字节)										操作	条件码						执行状态数						
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@Rn/@Rn+	@aa:8/16	@(d:8, PC)	@@aa	I	H		N	Z	V	C									
MOV	W					2													↑	↑	0	—	6		
MOV.W Rs, @aa:16	W									4															
POP Rd	W					2																			
PUSH Rs	W					2																			
ADD	B	2																							
ADD.B #xx:8, Rd	B		2																						
ADD.B Rs, Rd	B		2																						
ADD.W Rs, Rd	W		2																						
ADDX	B	2																							
ADDX.B #xx:8, Rd	B		2																						
ADDX.B Rs, Rd	B		2																						
ADDS	W		2																						
ADDS.W #1, Rd	W		2																						
ADDS.W #2, Rd	W		2																						
INC	B		2																						
INC.B Rd	B		2																						
DAA	B		2																*						
DAA.B Rd	B		2																						
SUB	B		2																						
SUB.B Rs, Rd	B		2																						
SUB.W Rs, Rd	W		2																						
SUBX	B	2																							
SUBX.B #xx:8, Rd	B		2																						
SUBX.B Rs, Rd	B		2																						





助记符	长度	寻址方式/指令长 (字节)						操作	条件码							执行状态数
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@Rn+ @Rn+@Rn+	@aa:8/16 @(d:8, PC)		@@aa	I	H	N	Z	V	C	
BSET	B					4		(#xx:3 of @aa:8) ← 1	—	—	—	—	—	—	8	
	B	2						(Rn8 of Rd8) ← 1	—	—	—	—	—	—	2	
	B		4					(Rn8 of @Rd16) ← 1	—	—	—	—	—	—	8	
	B					4		(Rn8 of @aa:8) ← 1	—	—	—	—	—	—	8	
BCLR	B	2						(#xx:3 of Rd8) ← 0	—	—	—	—	—	—	2	
	B		4					(#xx:3 of @Rd16) ← 0	—	—	—	—	—	—	8	
	B					4		(#xx:3 of @aa:8) ← 0	—	—	—	—	—	—	8	
	B	2						(Rn8 of Rd8) ← 0	—	—	—	—	—	—	2	
BNOT	B					4		(Rn8 of @Rd16) ← 0	—	—	—	—	—	—	8	
	B	2						(Rn8 of @aa:8) ← 0	—	—	—	—	—	—	8	
	B		4					(#xx:3 of Rd8) ← (#xx:3 of Rd8)	—	—	—	—	—	—	2	
	B							(#xx:3 of @Rd16) ← (#xx:3 of @Rd16)	—	—	—	—	—	—	8	
BTST	B					4		(#xx:3 of @aa:8)	—	—	—	—	—	—	8	
	B							(#xx:3 of @aa:8)	—	—	—	—	—	—	8	
	B	2						(Rn8 of Rd8) ← (Rn8 of Rd8)	—	—	—	—	—	—	2	
	B		4					(Rn8 of @Rd16) ← (Rn8 of @Rd16)	—	—	—	—	—	—	8	
BTST	B					4		(Rn8 of @aa:8) ← (Rn8 of @aa:8)	—	—	—	—	—	—	8	
	B							(#xx:3 of Rd8) → Z	—	—	—	↑	—	—	2	
	B		4					(#xx:3 of @Rd16) → Z	—	—	—	↑	—	—	6	
	B					4		(#xx:3 of @aa:8) → Z	—	—	—	↑	—	—	6	
BTST	B							(Rn8 of Rd8) → Z	—	—	—	↑	—	—	2	
	B	2						(Rn8 of Rd8) → Z	—	—	—	↑	—	—	2	

助记符	长度	寻址方式/指令长 (字节)						操作	条件码							执行状态数
		#xx8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@@aa	I	H	N	Z	V	
BTST	B		4					(Rn8 of @Rd16) → Z	—	—	—	↑	—	—	—	6
	B						4	(Rn8 of @aa:8) → Z	—	—	—	↑	—	—	—	6
BLD	B	2						(#xx:3 of Rd8) → C	—	—	—	—	—	—	↑	2
	B		4					(#xx:3 of @Rd16) → C	—	—	—	—	—	—	↑	6
BILD	B	2					4	(#xx:3 of @aa:8) → C	—	—	—	—	—	—	↑	6
	B		4					(#xx:3 of Rd8) → C	—	—	—	—	—	—	↑	2
BST	B		4				4	(#xx:3 of @aa:8) → C	—	—	—	—	—	—	↑	6
	B	2						C → (#xx:3 of Rd8)	—	—	—	—	—	—	—	2
BIST	B		4					C → (#xx:3 of @Rd16)	—	—	—	—	—	—	—	8
	B						4	C → (#xx:3 of @aa:8)	—	—	—	—	—	—	—	8
BAND	B	2						C̄ → (#xx:3 of Rd8)	—	—	—	—	—	—	—	2
	B		4					C̄ → (#xx:3 of @Rd16)	—	—	—	—	—	—	—	8
BIAND	B	2					4	C̄ → (#xx:3 of @aa:8)	—	—	—	—	—	—	—	2
	B		4					C̄ → (#xx:3 of Rd8) → C	—	—	—	—	—	—	—	8
BOR	B	2						C ∨ (#xx:3 of Rd8) → C	—	—	—	—	—	—	—	2
	B		4				4	C ∨ (#xx:3 of @aa:8) → C	—	—	—	—	—	—	—	8







## A.2 操作码映像

操作码映像如表 A.2 所示。表 A.2 只表示有关指令码的第 1 字节（第 1 字的位 15~8）。

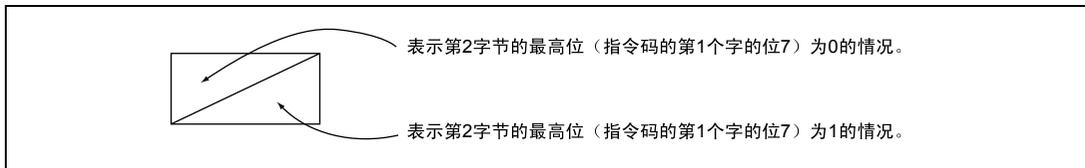


表 A.2 操作码映像

LO HI	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SLEEP	STC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	INC	ADDS	MOV	MOV	ADDX	DAA
1	<del>SHLL</del> <del>SHAL</del>	<del>SHLP</del> <del>SHAR</del>	<del>ROTXL</del> <del>ROTL</del>	<del>ROTXR</del> <del>ROTR</del>	OR	XOR	AND	NOT NEG	SUB	SUB	DEC	SUBS	CMP	CMP	SUBX	DAS
2	MOV															
3	MOV															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU			RTS	BSR	RTE				JMP				JSR	
6	BSET	BNOT	BCLR	BTST	<del>BOR</del> <del>BIOR</del>	<del>BXOR</del> <del>BIXOR</del>	<del>BAND</del> <del>BIAND</del>	<del>BST</del> <del>BIST</del>	<del>BLT</del> <del>BILD</del>	<del>BAND</del> <del>BAND</del>			MOV#			
7										MOV		EEPMOV				位操作指令
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

【注】\* PUSH、POP指令的机器语言和MOV指令相同。

### A.3 指令执行状态数

本章节说明有关 H8/300H CPU 各指令的执行状态（execution status）和执行状态数的计算方法。

作为指令的执行状态，在指令执行中进行的取指令、读数据和写数据等的周期数如表 A.4 所示，对于各周期所需要的状态数如表 A.3 所示。用如下的计算式计算指令的执行状态数：

$$\text{执行状态数} = I \times S_I + J \times S_J + K \times S_K + L \times S_L + M \times S_M + N \times S_N$$

• 执行状态数的计算例子

（例）从内部 ROM 取指令、存取内部 RAM 的情况

1. BSET #0, @FF00

根据表A.4

$$I=L=2、J=K=M=N=0$$

根据表A.3

$$S_I=2、S_L=2$$

$$\text{执行状态数} = 2 \times 2 + 2 \times 2 = 8$$

从内部ROM取指令、从内部ROM读转移地址、堆栈区为内部RAM的情况

2. JSR @@30

根据表A.4

$$I=2、J=K=1、L=M=N=0$$

根据表A.3

$$S_I=S_J=S_K=2$$

$$\text{执行状态数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表 A.3 执行状态（周期）所需要的状态数

执行状态（周期）	存取对象	
	内部存储器	内部外围模块
取指令 $S_I$	2	X
读转移地址 $S_J$		
堆栈操作 $S_K$		
存取字节数据 $S_L$		2 或者 3*
存取字数据 $S_M$		X
内部运行 $S_N$	1	

【注】\* 根据内部外围模块的不同而不同。详细内容请参照“16.1 寄存器地址一览表（按地址顺序）”。

表 A.4 指令执行状态（周期数）

指令	助记符	取指令	读转移地址	堆栈操作	存取 字节数据	存取字数据	内部运行
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W Rs, Rd	1					
ADDS	ADDS.W #1, Rd	1					
	ADDS.W #2, Rd	1					
ADDX	ADDX.B #xx:8, Rd	1					
	ADDX.B Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @Rd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
BLE d:8	2						
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @Rd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @Rd	2			2		
	BCLR Rn, @aa:8	2			2		

指令	助记符	取指令	读转移地址	堆栈操作	存取 字节数据	存取字数据	内部运行
		I	J	K	L	M	N
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @Rd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @Rd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @Rd	2			1		
	BIOR #xx:3, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @Rd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @Rd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @Rd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @Rd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @Rd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @Rd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @Rd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @Rd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			

指令	助记符	取指令	读转移地址	堆栈操作	存取 字节数据	存取字数据	内部运行
		I	J	K	L	M	N
BST	BST #xx:3, Rd	1					
	BST #xx:3, @Rd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @Rd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @Rd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @Rd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W Rs, Rd	1					
DAA	DAA.B Rd	1					
DAS	DAS.B Rd	1					
DEC	DEC.B Rd	1					
DIVXU	DIVXU.B Rs, Rd	1					12
EEMOV	EEMOV	2			2n+2*		1
INC	INC.B Rd	1					
JMP	JMP @Rn	2					
	JMP @aa:16	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @Rn	2		1			
	JSR @aa:16	2		1			2
	JSR @@aa:8	2	1	1			
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @Rs, Rd	1		1			
	MOV.B @(d:16, Rs), Rd	2		1			
	MOV.B @Rs+, Rd	1		1			2
	MOV.B @aa:8, Rd	1		1			
	MOV.B @aa:16, Rd	2		1			

指令	助记符	取指令	读转移地址	堆栈操作	存取 字节数据	存取字数据	内部运行
		I	J	K	L	M	N
MOV	MOV.B Rs, @Rd	1			1		2
	MOV.B Rs, @(d:16, Rd)	2			1		
	MOV.B Rs, @-Rd	1			1		
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.W #xx:16, Rd	2					2
	MOV.W Rs, Rd	1					
	MOV.W @Rs, Rd	1				1	
	MOV.W @(d:16, Rs), Rd	2				1	
	MOV.W @Rs+, Rd	1				1	
	MOV.W @aa:16, Rd	2				1	
	MOV.W Rs, @Rd	1				1	
	MOV.W Rs, @(d:16, Rd)	2				1	
	MOV.W Rs, @-Rd	1				1	
	MOV.W Rs, @aa:16	2				1	
MULXU	MULXU.B Rs, Rd	1					12
NEG	NEG.B Rd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
ORC	ORC #xx:8, CCR	1					
ROTL	ROTL.B Rd	1					
ROTR	ROTR.B Rd	1					
ROTXL	ROTXL.B Rd	1					
ROTXR	ROTXR.B Rd	1					
RTE	RTE	2		2			2
RTS	RTS	2		1			2
SHAL	SHAL.B Rd	1					
SHAR	SHAR.B Rd	1					
SHLL	SHLL.B Rd	1					
SHLR	SHLR.B Rd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					

指令	助记符	取指令	读转移地址	堆栈操作	存取 字节数据	存取字数据	内部运行
		I	J	K	L	M	N
SUB	SUB.B Rs, Rd	1					
	SUB.W Rs, Rd	1					
SUBS	SUBS.W #1, Rd	1					
	SUBS.W #2, Rd	1					
POP	POP Rd	1		1			2
PUSH	PUSH Rs	1		1			2
SUBX	SUBX.B #xx:8, Rd	1					
	SUBX.B Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
XORC	XORC #xx:8, CCR	1					

【注】\* n 为 R4L 的设定值。源侧和目标侧各进行 (n+1) 次存取。

## B. I/O 端口框图

### B.1 端口 3 框图

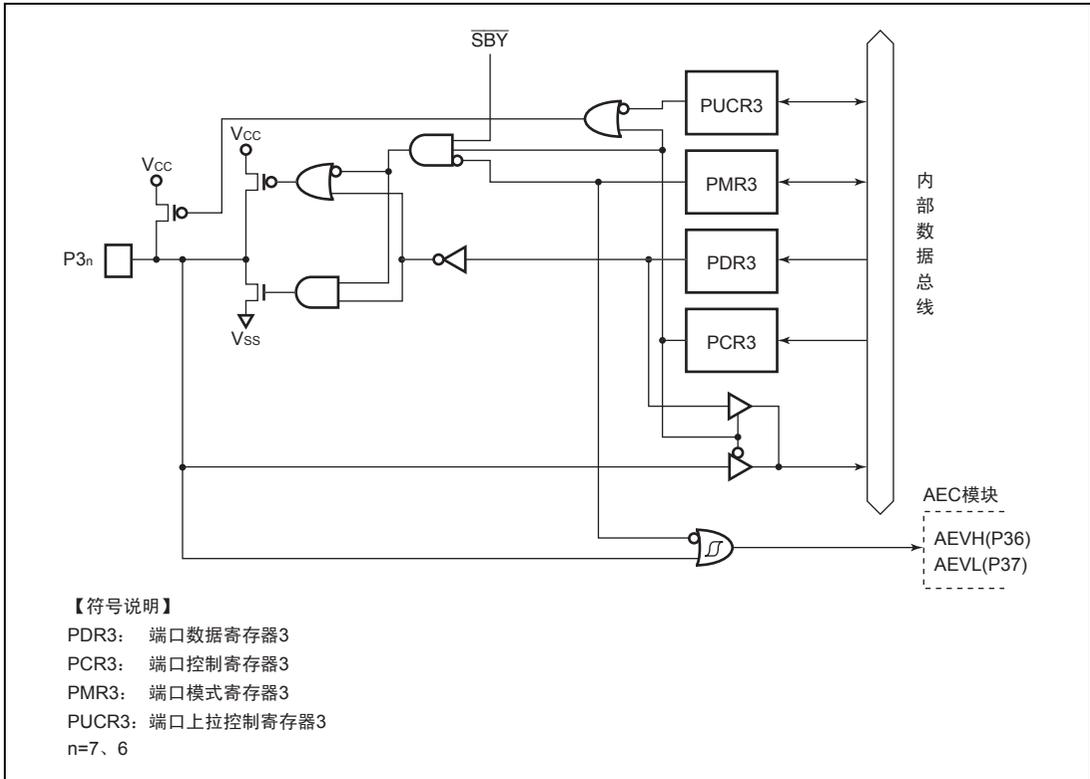


图 B.1 (a) 端口 3 框图 (P37、P36 管脚)

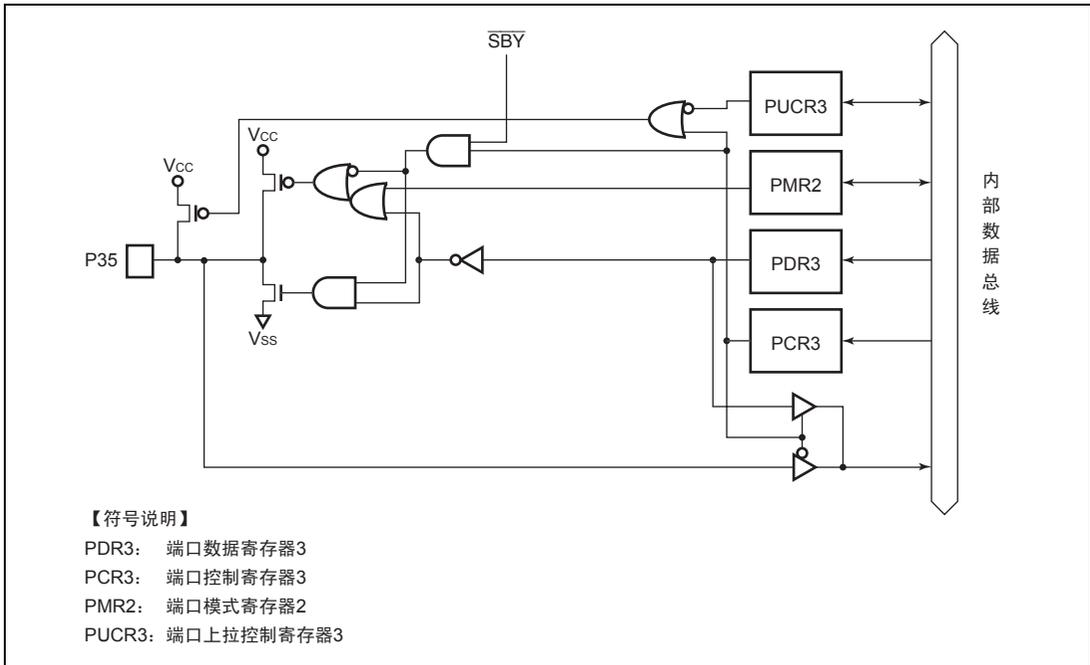


图 B.1 (b) 端口 3 框图 (P35 管脚)

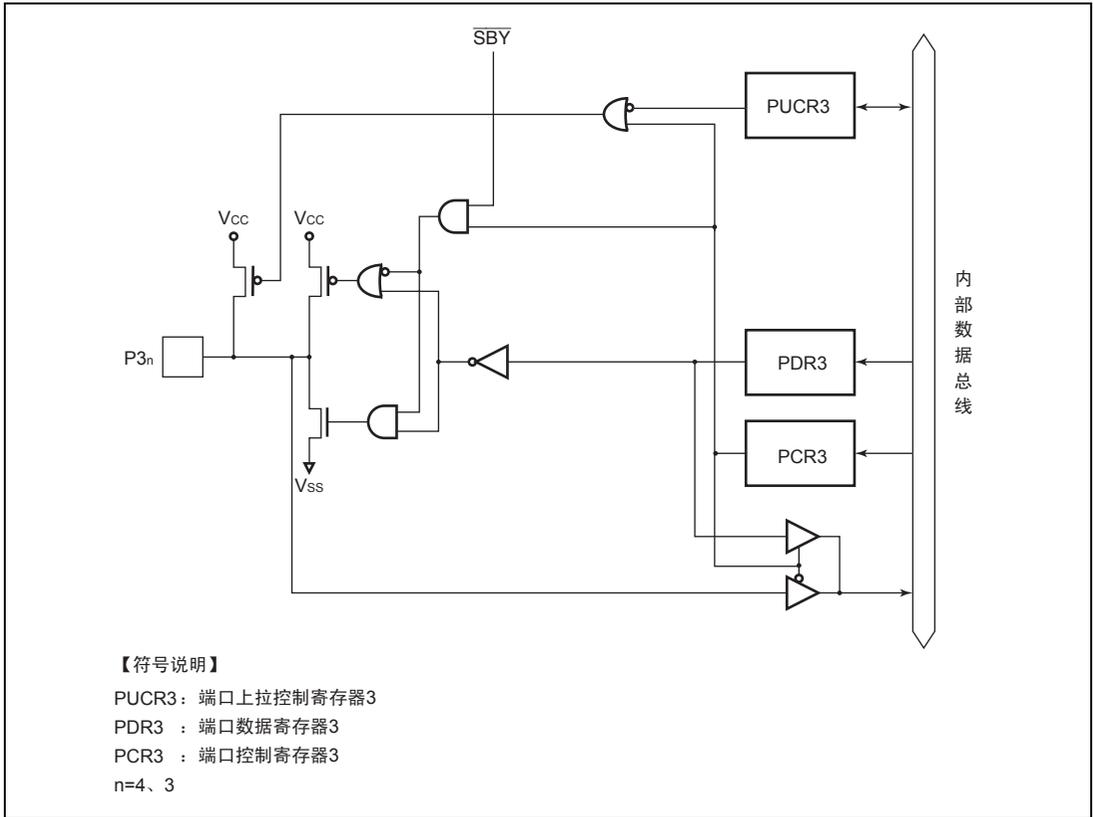


图 B.1 (c) 端口 3 框图 (P34、P33 管脚)

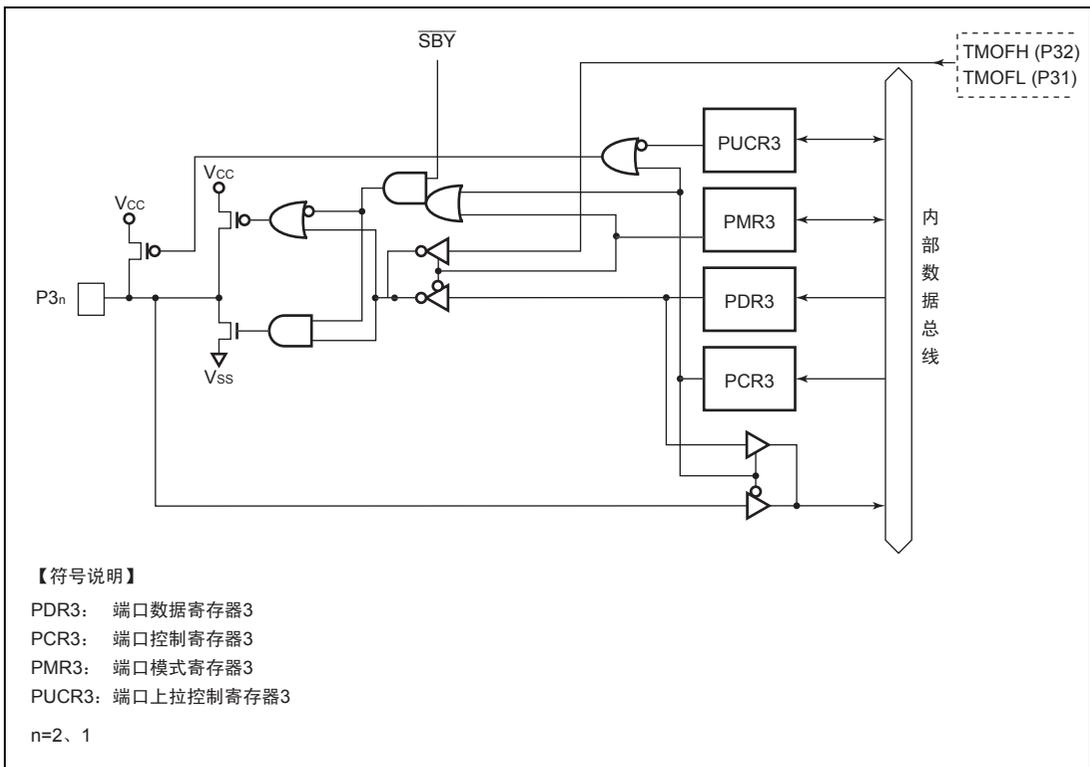


图 B.1 (d) 端口 3 框图 (P32、P31 管脚)

## B.2 端口 4 框图

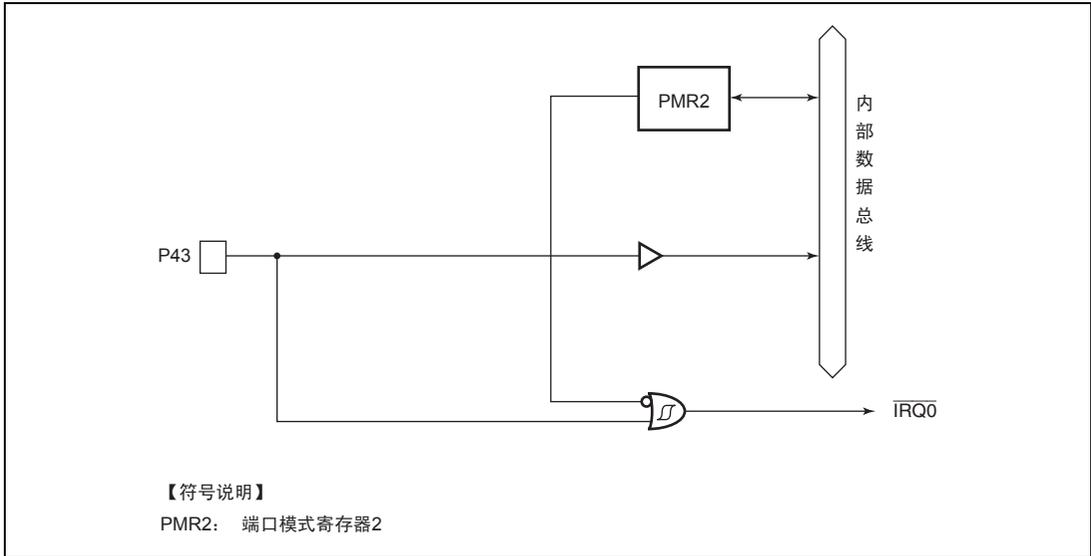


图 B.2 (a) 端口 4 框图 (P43 管脚)

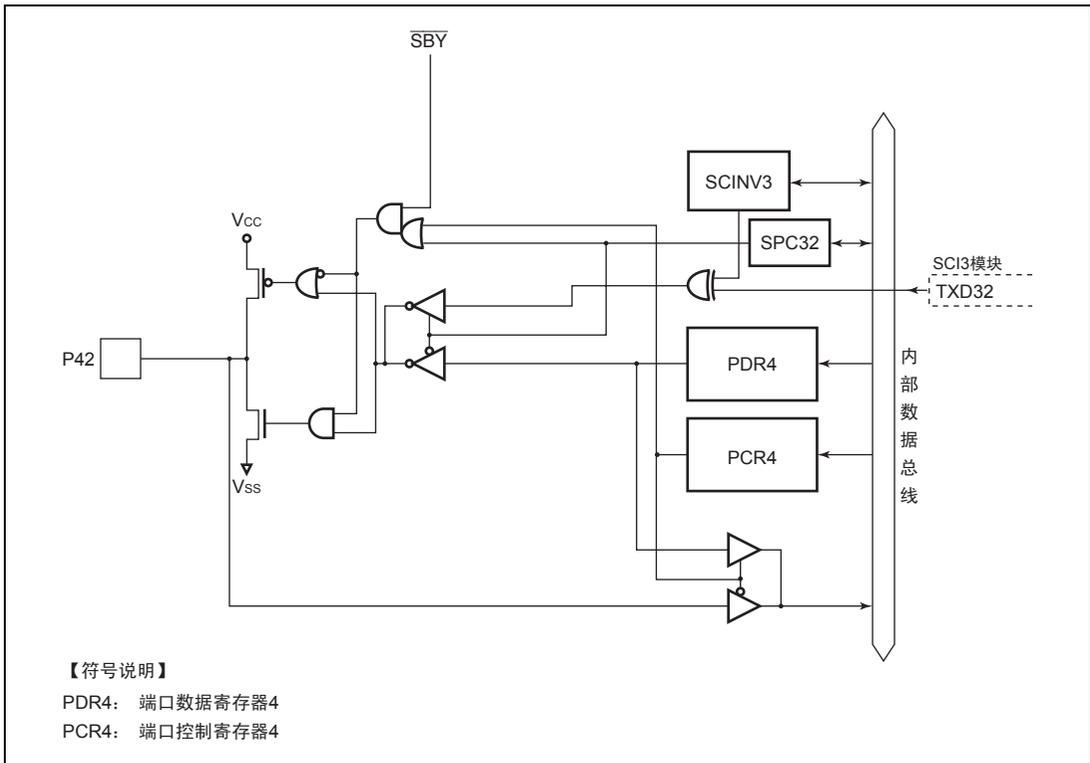


图 B.2 (b) 端口 4 框图 (P42 管脚)

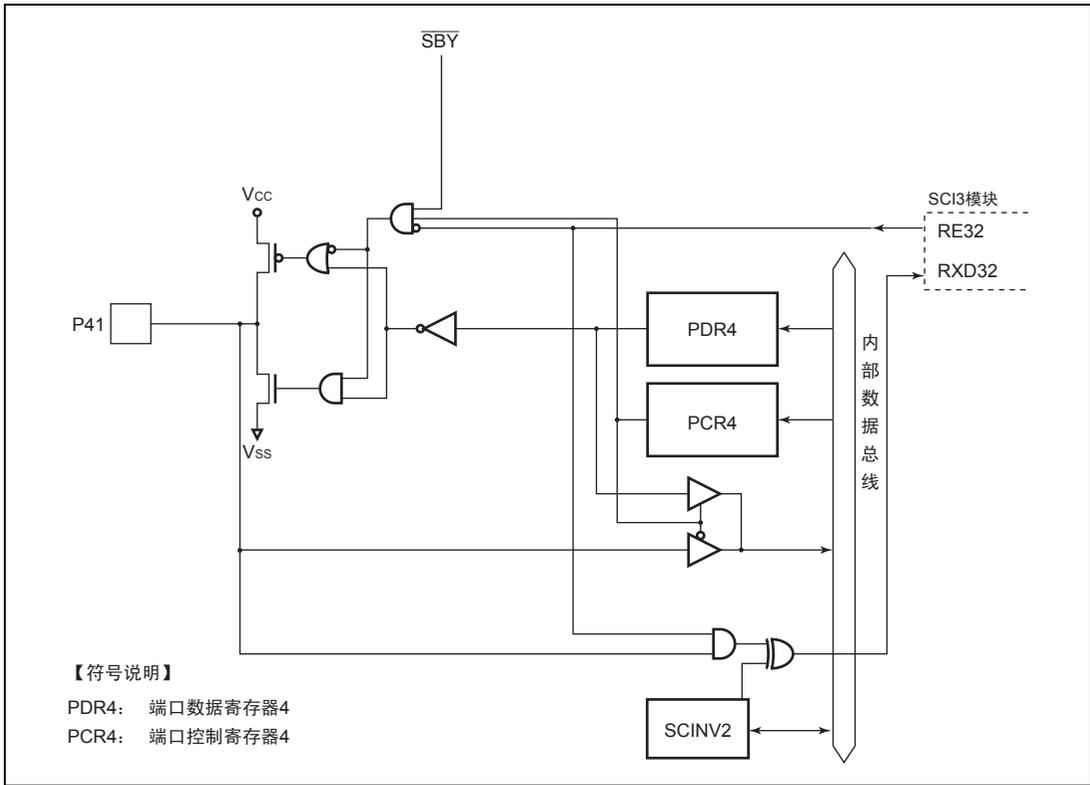


图 B.2 (c) 端口 4 框图 (P41 管脚)

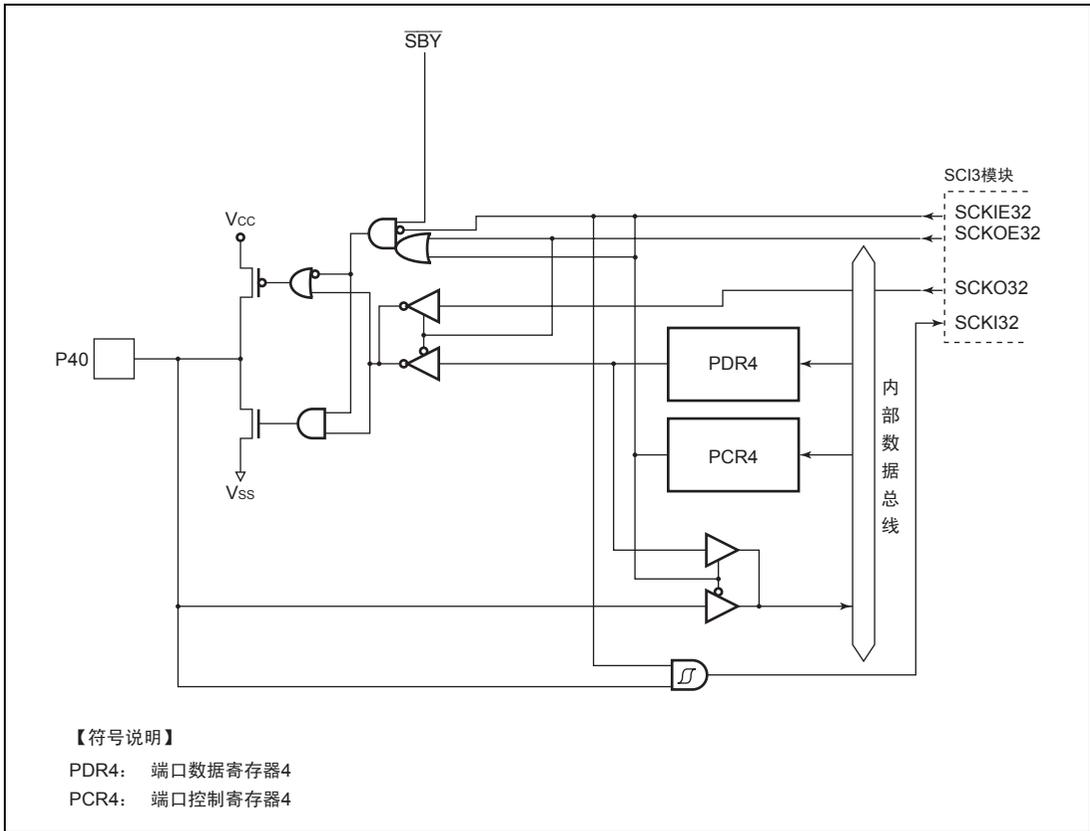


图 B.2 (d) 端口 4 框图 (P40 管脚)

## B.3 端口 5 框图

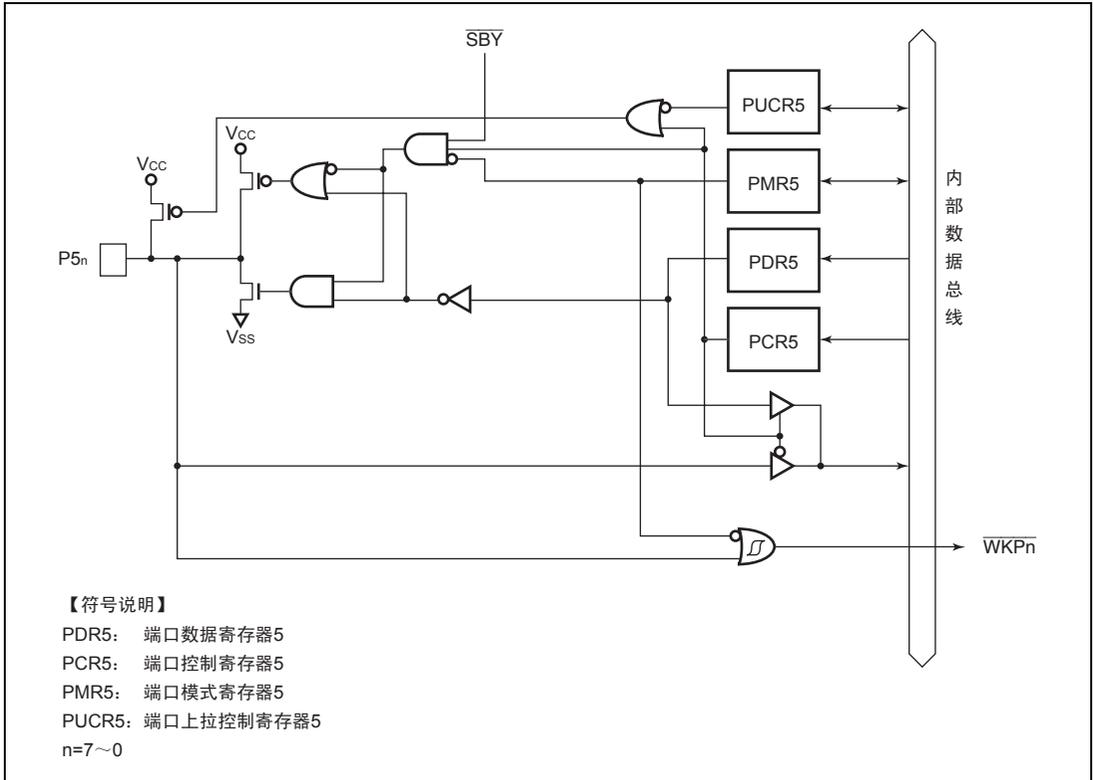


图 B.3 端口 5 框图

### B.4 端口 6 框图

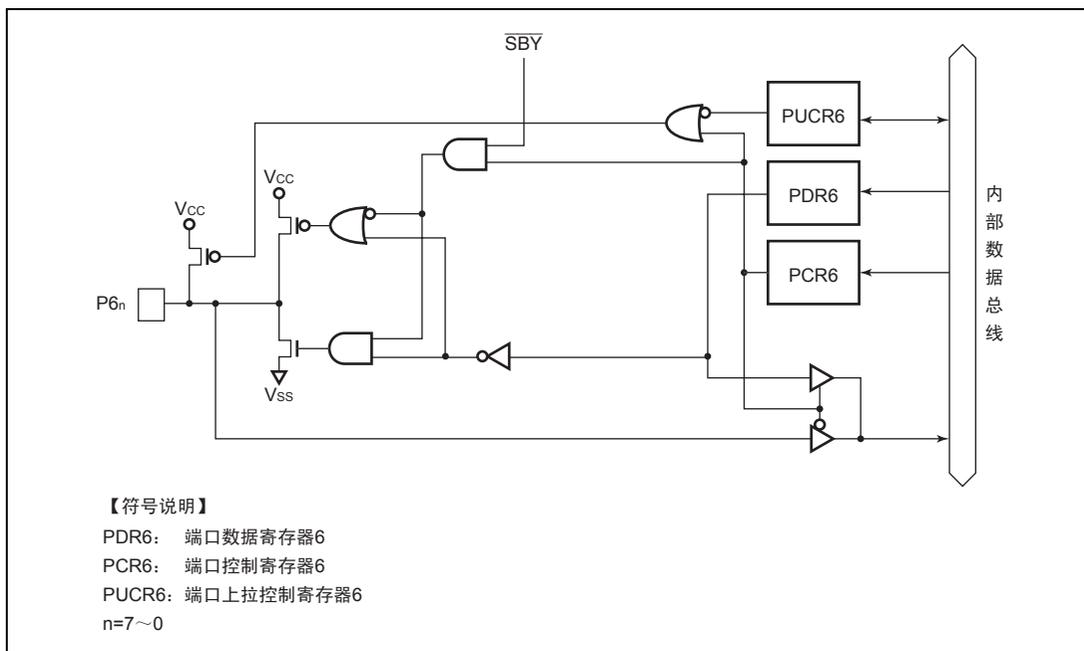


图 B.4 端口 6 框图

## B.5 端口 7 框图

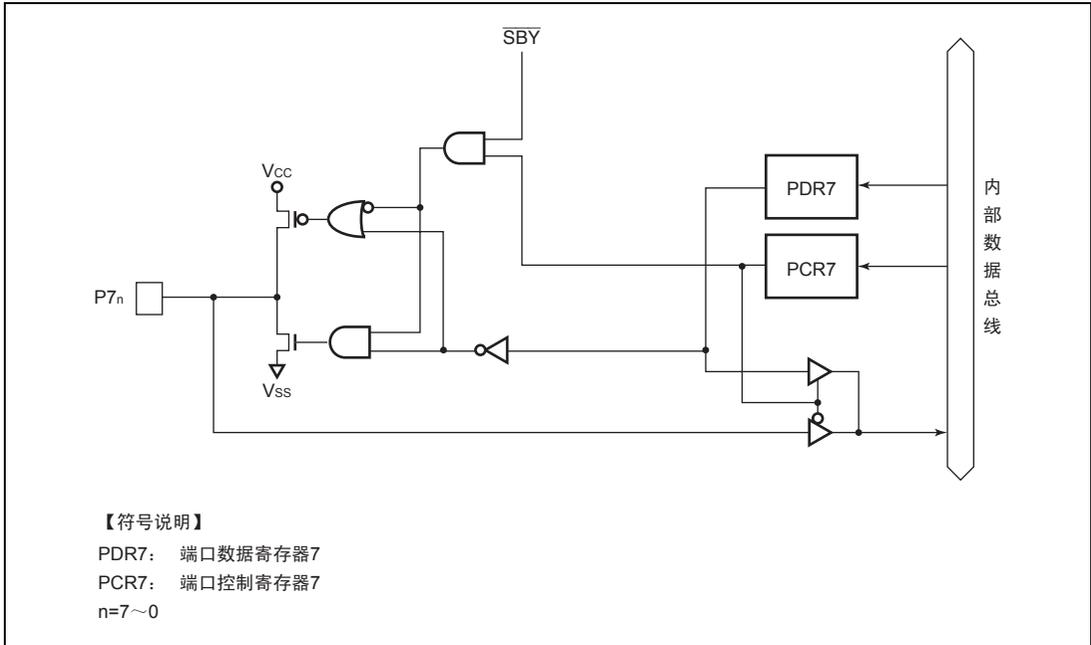


图 B.5 端口 7 框图

## B.6 端口 8 框图

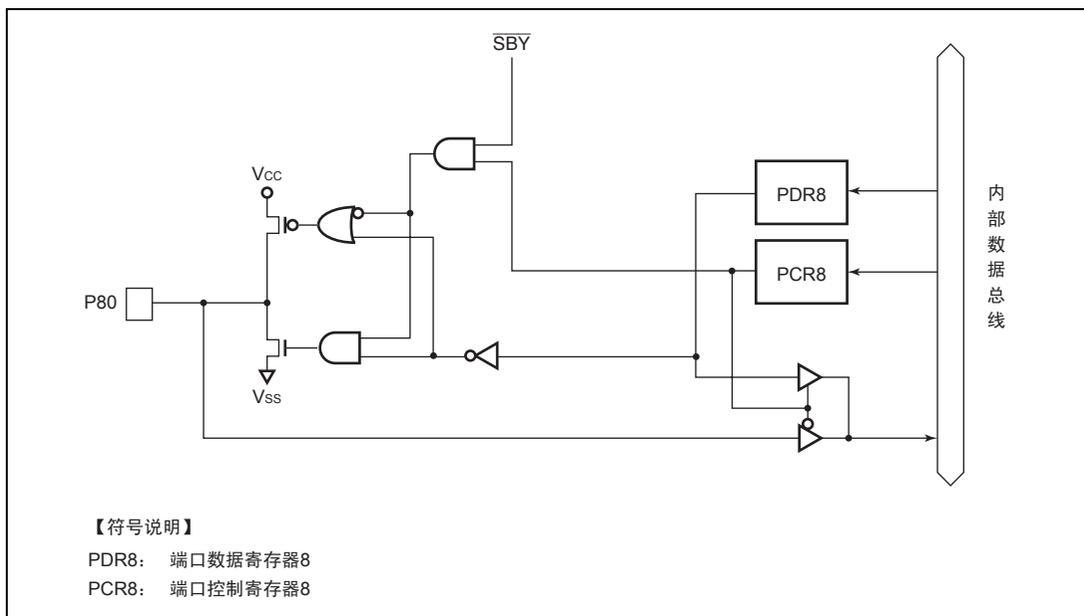


图 B.6 端口 8 框图

### B.7 端口 9 框图

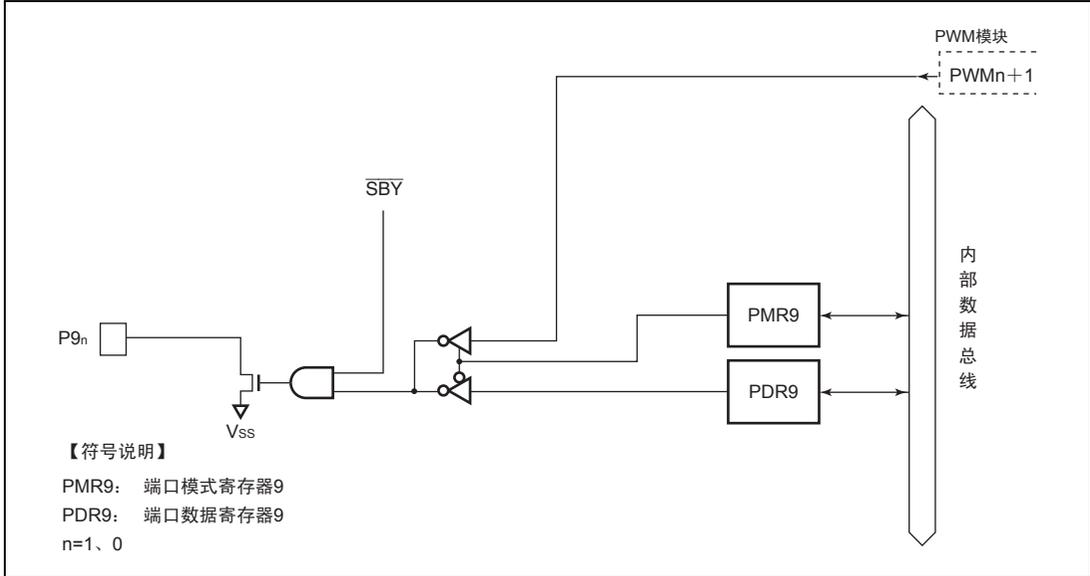


图 B.7 (a) 端口 9 框图 (P91、P90 管脚)

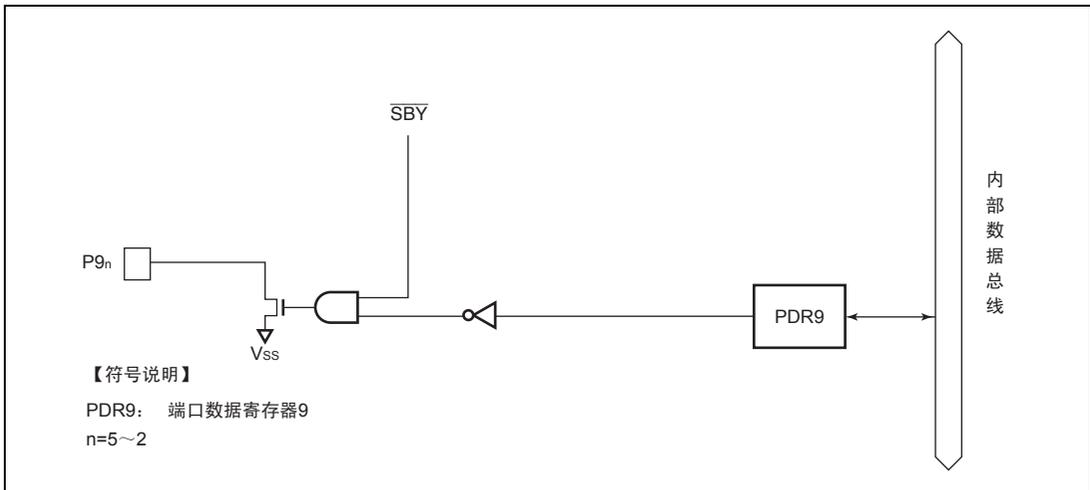


图 B.7 (b) 端口 9 框图 (P95~P92 管脚)

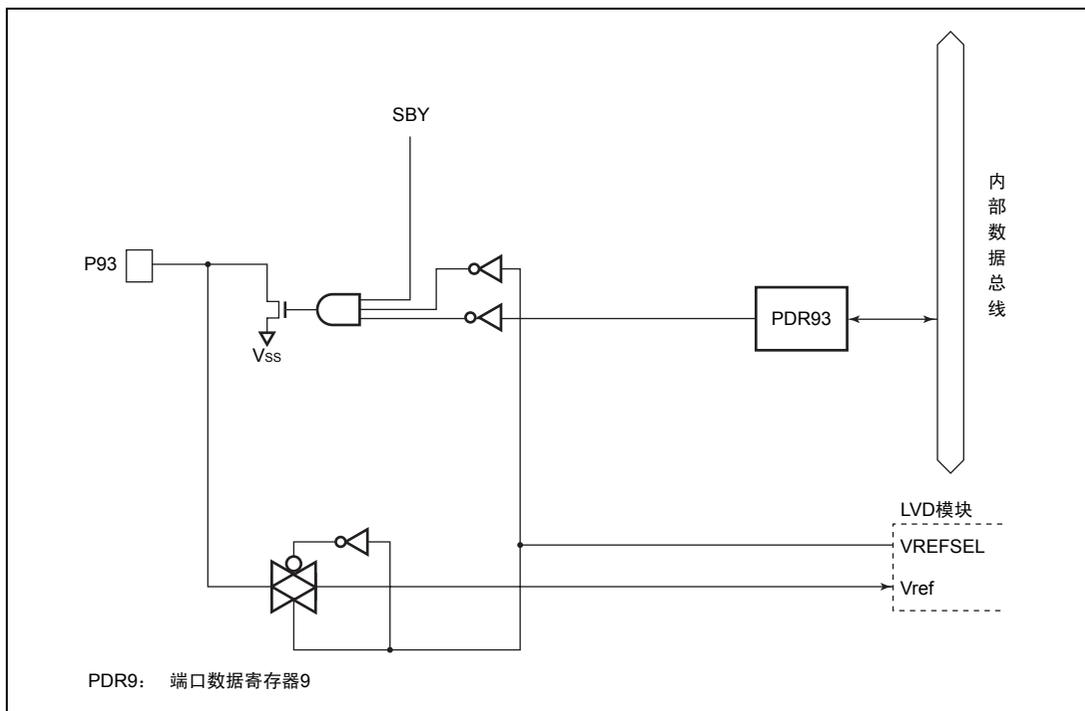


图 B.7 (c) 端口 9 框图 (P93 管脚, 只限于 H8/38104 群)

## B.8 端口 A 框图

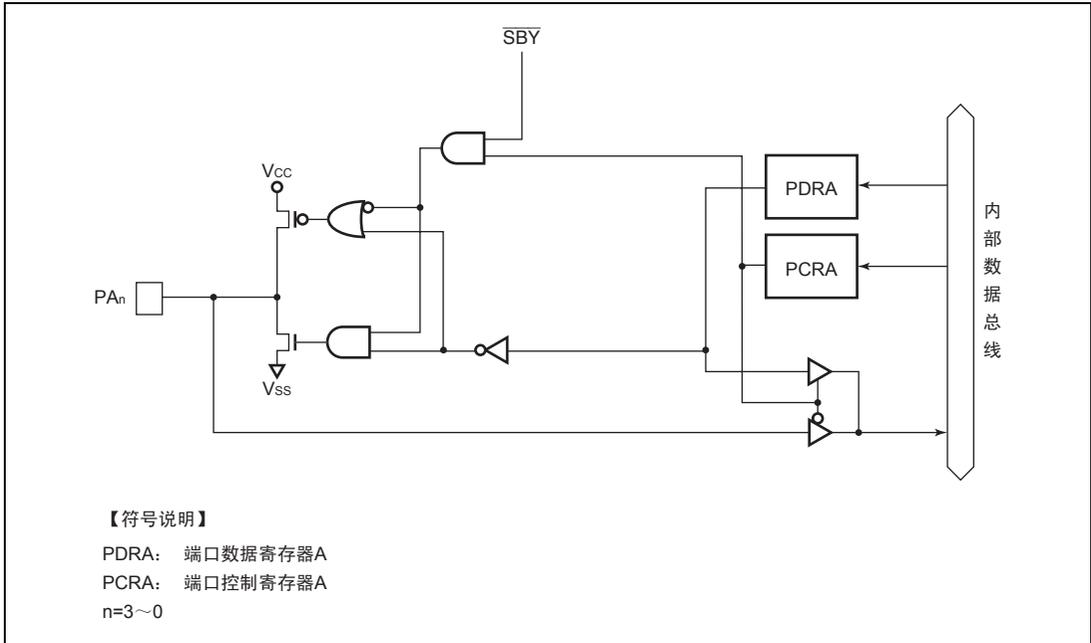


图 B.8 端口 A 框图



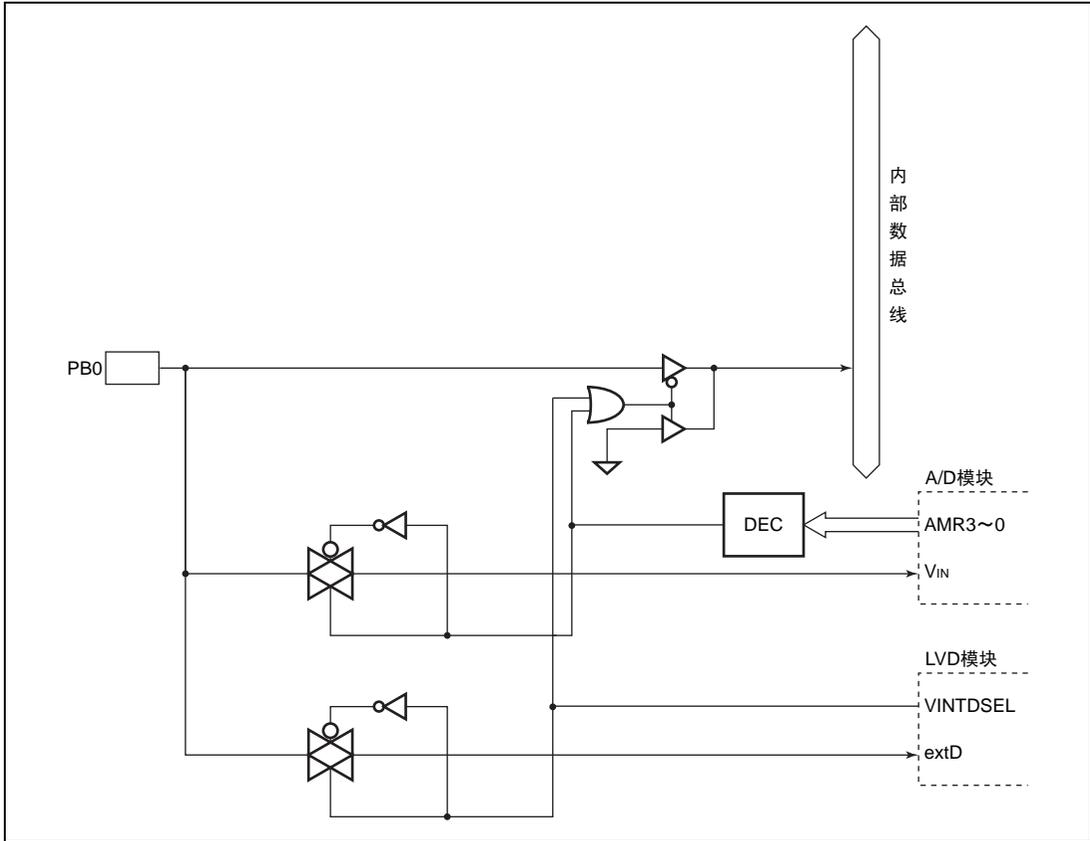


图 B.9 (b) 端口 B 框图 (PB0 管脚, 只限于 H8/38104 群)

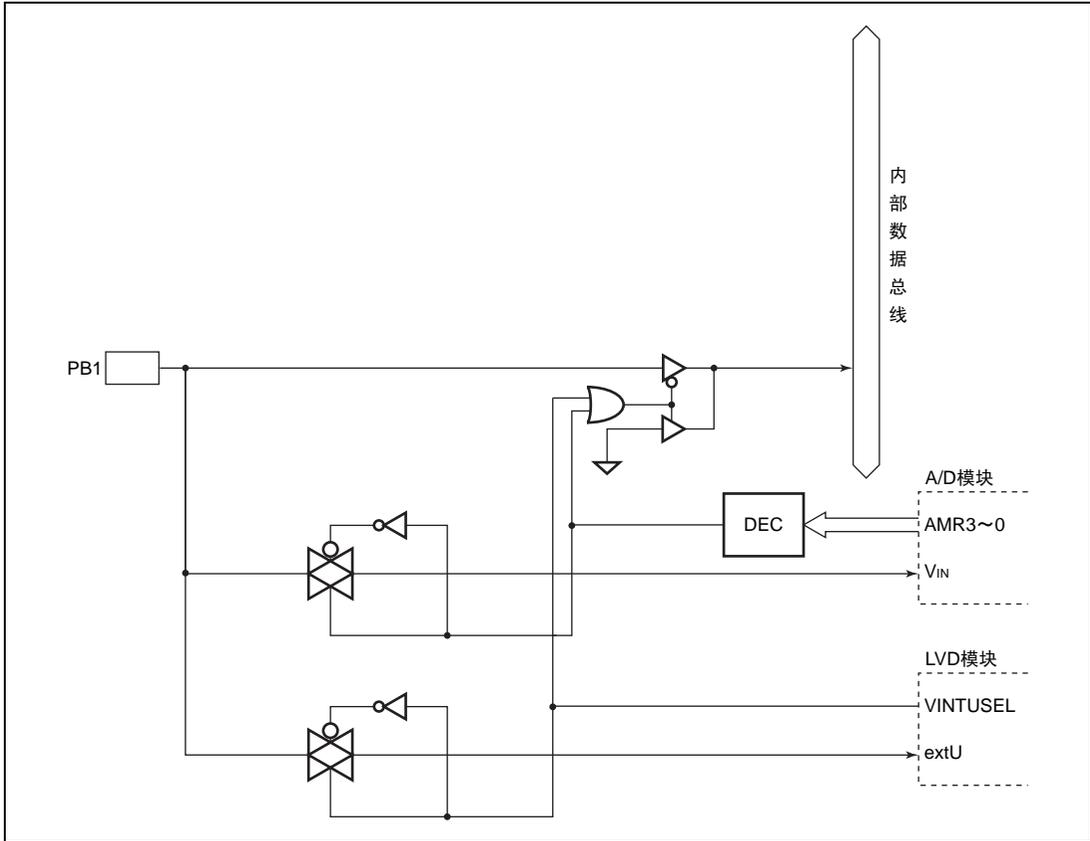


图 B.9 (c) 端口 B 框图 (PB1 管脚, 只限于 H8/38104 群)

## C. 各处理状态的端口状态

表 C.1 各端口的状态一览表

端口名	复位	睡眠	子睡眠	待机	时钟	子激活	激活
P37~P31	高阻抗	保持	保持	高阻抗*	保持	运行	运行
P43~P40	高阻抗	保持	保持	高阻抗	保持	运行	运行
P57~P50	高阻抗	保持	保持	高阻抗*	保持	运行	运行
P67~P60	高阻抗	保持	保持	高阻抗*	保持	运行	运行
P77~P70	高阻抗	保持	保持	高阻抗	保持	运行	运行
P80	高阻抗	保持	保持	高阻抗	保持	运行	运行
P95~P90	高阻抗	保持	保持	高阻抗	保持	运行	运行
PA3~PA0	高阻抗	保持	保持	高阻抗	保持	运行	运行
PB3~PB0	高阻抗	高阻抗	高阻抗	高阻抗	高阻抗	高阻抗	高阻抗

【注】 \* 在上拉 MOS 为 ON 状态下输出高电平。

## D. 产品型号一览表

表 D.1 H8/3802 群型号一览表

产品分类			产品型号	标记型号	封装 (封装代码)			
H8/3802	PROM 版	通常规格产品	HD6473802H	HD6473802H	64 管脚 QFP (FP-64A)			
			HD6473802FP	HD6473802FP	64 管脚 LQFP (FP-64E)			
			HD6473802P	HD6473802P	64 管脚 DILP (DP-64S)			
		温度范围扩大规格产品	HD6473802D	HD6473802H	64 管脚 QFP (FP-64A)			
			HD6473802FPI	HD6473802FP	64 管脚 LQFP (FP-64E)			
			HD6473802Q	HD6473802P	64 管脚 DILP (DP-64S)			
	掩模型 ROM 版	通常规格产品	HD6433802H	HD6433802 (***) H	64 管脚 QFP (FP-64A)			
			HD6433802FP	HD6433802 (***) FP	64 管脚 LQFP (FP-64E)			
			HD6433802P	HD6433802 (***) P	64 管脚 DILP (DP-64S)			
			HCD6433802	—	裸芯片			
		温度范围扩大规格产品	HD6433802D	HD6433802 (***) H	64 管脚 QFP (FP-64A)			
			HD6433802Q	HD6433802 (***) P	64 管脚 DILP (DP-64S)			
H8/3801	掩模型 ROM 版	通常规格产品	HD6433801H	HD6433801 (***) H	64 管脚 QFP (FP-64A)			
			HD6433801FP	HD6433801 (***) FP	64 管脚 LQFP (FP-64E)			
			HD6433801P	HD6433801 (***) P	64 管脚 DILP (DP-64S)			
			HCD6433801	—	裸芯片			
		温度范围扩大规格产品	HD6433801D	HD6433801 (***) H	64 管脚 QFP (FP-64A)			
			HD6433801FPI	HD6433801 (***) FP	64 管脚 LQFP (FP-64E)			
			HD6433801Q	HD6433801 (***) P	64 管脚 DILP (DP-64S)			
			H8/3800	掩模型 ROM 版	通常规格产品	HD6433800H	HD6433800 (***) H	64 管脚 QFP (FP-64A)
						HD6433800FP	HD6433800 (***) FP	64 管脚 LQFP (FP-64E)
HD6433800P	HD6433800 (***) P	64 管脚 DILP (DP-64S)						
HCD6433800	—	裸芯片						
温度范围扩大规格产品	HD6433800D	HD6433800 (***) H			64 管脚 QFP (FP-64A)			
	HD6433800Q	HD6433800 (***) P			64 管脚 DILP (DP-64S)			

【注】掩模型 ROM 版的 (\*\*\*) 为 ROM 代码。

表 D.2 H8/38004 群型号一览表

产品分类			产品型号	标记型号	封装 (封装代码)
H8/38004	快速擦写存储器版	通常规格产品 (2.7V)	HD64F38004H10	64F38004H10	64 管脚 QFP (FP-64A)
			HD64F38004FP10	F38004FP10	64 管脚 LQFP (FP-64E)
			HCD64F38004	—	裸芯片
		通常规格产品 (2.2V)	HD64F38004H4	64F38004H4	64 管脚 QFP (FP-64A)
			HD64F38004FP4	F38004FP4	64 管脚 LQFP (FP-64E)
			HCD64F38004C4	—	裸芯片
		温度范围扩大 规格产品 (2.7V)	HD64F38004H10W	64F38004H10	64 管脚 QFP (FP-64A)
			HD64F38004FP10W	F38004FP10	64 管脚 LQFP (FP-64E)
		掩模型 ROM 版	通常规格产品	HD64338004H	HD64338004H
	HD64338004FP			38004 (***) FP	64 管脚 LQFP (FP-64E)
	HCD64338004			—	裸芯片
	温度范围扩大 规格产品		HD64338004HW	HD64338004H	64 管脚 QFP (FP-64A)
HD64338004FPW		38004 (***) FP	64 管脚 LQFP (FP-64E)		
H8/38003	掩模型 ROM 版	通常规格产品	HD64338003H	HD64338003H	64 管脚 QFP (FP-64A)
			HD64338003FP	38003 (***) FP	64 管脚 LQFP (FP-64E)
			HCD64338003	—	裸芯片
		温度范围扩大 规格产品	HD64338003HW	HD64338003H	64 管脚 QFP (FP-64A)
			HD64338003FPW	38003 (***) FP	64 管脚 LQFP (FP-64E)
H8/38002	快速擦写存储器版	通常规格产品 (2.7V)	HD64F38002H10	64F38002H10	64 管脚 QFP (FP-64A)
			HD64F38002FP10	F38002FP10	64 管脚 LQFP (FP-64E)
			HCD64F38002	—	裸芯片
		通常规格产品 (2.2V)	HD64F38002H4	64F38002H4	64 管脚 QFP (FP-64A)
			HD64F38002FP4	F38002FP4	64 管脚 LQFP (FP-64E)
			HCD64F38002C4	—	裸芯片
		温度范围扩大 规格产品 (2.7V)	HD64F38002H10W	64F38002H10	64 管脚 QFP (FP-64A)
			HD64F38002FP10W	F38002FP10	64 管脚 LQFP (FP-64E)
		掩模型 ROM 版	通常规格产品	HD64338002H	HD64338002H
	HD64338002FP			38002 (***) FP	64 管脚 LQFP (FP-64E)
	HCD64338002			—	裸芯片
	温度范围扩大 规格产品		HD64338002HW	HD64338002H	64 管脚 QFP (FP-64A)
HD64338002FPW		38002 (***) FP	64 管脚 LQFP (FP-64E)		

产品分类			产品型号	标记型号	封装 (封装代码)
H8/38001	掩模型 ROM 版	通常规格产品	HD64338001H	HD64338001H	64 管脚 QFP (FP-64A)
			HD64338001FP	38001 (***) FP	64 管脚 LQFP (FP-64E)
			HCD64338001	—	裸芯片
		温度范围扩大规格产品	HD64338001HW	HD64338001H	64 管脚 QFP (FP-64A)
			HD64338001FPW	38001 (***) FP	64 管脚 LQFP (FP-64E)
H8/38000	掩模型 ROM 版	通常规格产品	HD64338000H	HD64338000H	64 管脚 QFP (FP-64A)
			HD64338000FP	38000 (***) FP	64 管脚 LQFP (FP-64E)
			HCD64338000	—	裸芯片
		温度范围扩大规格产品	HD64338000HW	HD64338000H	64 管脚 QFP (FP-64A)
			HD64338000FPW	38000 (***) FP	64 管脚 LQFP (FP-64E)

【注】掩模型 ROM 版的 (\*\*\*) 为 ROM 代码。

表 D.3 H8/38002S 群型号一览表

产品分类			产品型号	标记型号	封装 (封装代码)
H8/38002S	掩模型 ROM 版	通常规格产品	HD64338002SH	38002 (***) H	64 管脚 QFP (FP-64A)
			HD64338002SFZ	38002 (***)	64 管脚 LQFP (FP-64K)
		温度范围扩大规格产品	HD64338002SHW	38002 (***) H	64 管脚 QFP (FP-64A)
			HD64338002SFZW	38002 (***)	64 管脚 LQFP (FP-64K)
H8/38001S	掩模型 ROM 版	通常规格产品	HD64338001SH	38001 (***) H	64 管脚 QFP (FP-64A)
			HD64338001SFZ	38001 (***)	64 管脚 LQFP (FP-64K)
		温度范围扩大规格产品	HD64338001SHW	38001 (***) H	64 管脚 QFP (FP-64A)
			HD64338001SFZW	38001 (***)	64 管脚 LQFP (FP-64K)
H8/38000S	掩模型 ROM 版	通常规格产品	HD64338000SH	38000 (***) H	64 管脚 QFP (FP-64A)
			HD64338000SFZ	38000 (***)	64 管脚 LQFP (FP-64K)
		温度范围扩大规格产品	HD64338000SHW	38000 (***) H	64 管脚 QFP (FP-64A)
			HD64338000SFZW	38000 (***)	64 管脚 LQFP (FP-64K)

表 D.4 H8/38104 群型号一览表

产品分类			产品型号	标记型号	封装 (封装代码)
H8/38104	快速擦写存储器版	通常规格产品	HD64F38104H	F38104H	64 管脚 QFP (FP-64A)
			HD64F38104FP	F38104FP	64 管脚 LQFP (FP-64E)
		温度范围扩大规格产品	HD64F38104HW	F38104H	64 管脚 QFP (FP-64A)
			HD64F38104FPW	F38104FP	64 管脚 LQFP (FP-64E)
	掩模型 ROM 版	通常规格产品	HD64338104H	38104 (***) H	64 管脚 QFP (FP-64A)
			HD64338104FP	38104 (***)	64 管脚 LQFP (FP-64E)
		温度范围扩大规格产品	HD64338104HW	38104 (***) H	64 管脚 QFP (FP-64A)
			HD64338104FPW	38104 (***)	64 管脚 LQFP (FP-64E)
H8/38103	掩模型 ROM 版	通常规格产品	HD64338103H	38103 (***) H	64 管脚 QFP (FP-64A)
			HD64338103FP	38103 (***)	64 管脚 LQFP (FP-64E)
		温度范围扩大规格产品	HD64338103HW	38103 (***) H	64 管脚 QFP (FP-64A)
			HD64338103FPW	38103 (***)	64 管脚 LQFP (FP-64E)
H8/38102	快速擦写存储器版	通常规格产品	HD64F38102H	F38102H	64 管脚 QFP (FP-64A)
			HD64F38102FP	F38102FP	64 管脚 LQFP (FP-64E)
		温度范围扩大规格产品	HD64F38102HW	F38102H	64 管脚 QFP (FP-64A)
			HD64F38102FPW	F38102FP	64 管脚 LQFP (FP-64E)
	掩模型 ROM 版	通常规格产品	HD64338102H	38102 (***) H	64 管脚 QFP (FP-64A)
			HD64338102FP	38102 (***)	64 管脚 LQFP (FP-64E)
		温度范围扩大规格产品	HD64338102HW	38102 (***) H	64 管脚 QFP (FP-64A)
			HD64338102FPW	38102 (***)	64 管脚 LQFP (FP-64E)
H8/38101	掩模型 ROM 版	通常规格产品	HD64338101H	38101 (***) H	64 管脚 QFP (FP-64A)
			HD64338101FP	38101 (***)	64 管脚 LQFP (FP-64E)
		温度范围扩大规格产品	HD64338101HW	38101 (***) H	64 管脚 QFP (FP-64A)
			HD64338101FPW	38101 (***)	64 管脚 LQFP (FP-64E)
H8/38100	掩模型 ROM 版	通常规格产品	HD64338100H	38100 (***) H	64 管脚 QFP (FP-64A)
			HD64338100FP	38100 (***)	64 管脚 LQFP (FP-64E)
		温度范围扩大规格产品	HD64338100HW	38100 (***) H	64 管脚 QFP (FP-64A)
			HD64338100FPW	38100 (***)	64 管脚 LQFP (FP-64E)

## E. 外形尺寸图

FP-64A、FP-64E、FP-64K 和 DP-64S 外形尺寸图分别如图 E.1~图 E.4 所示。

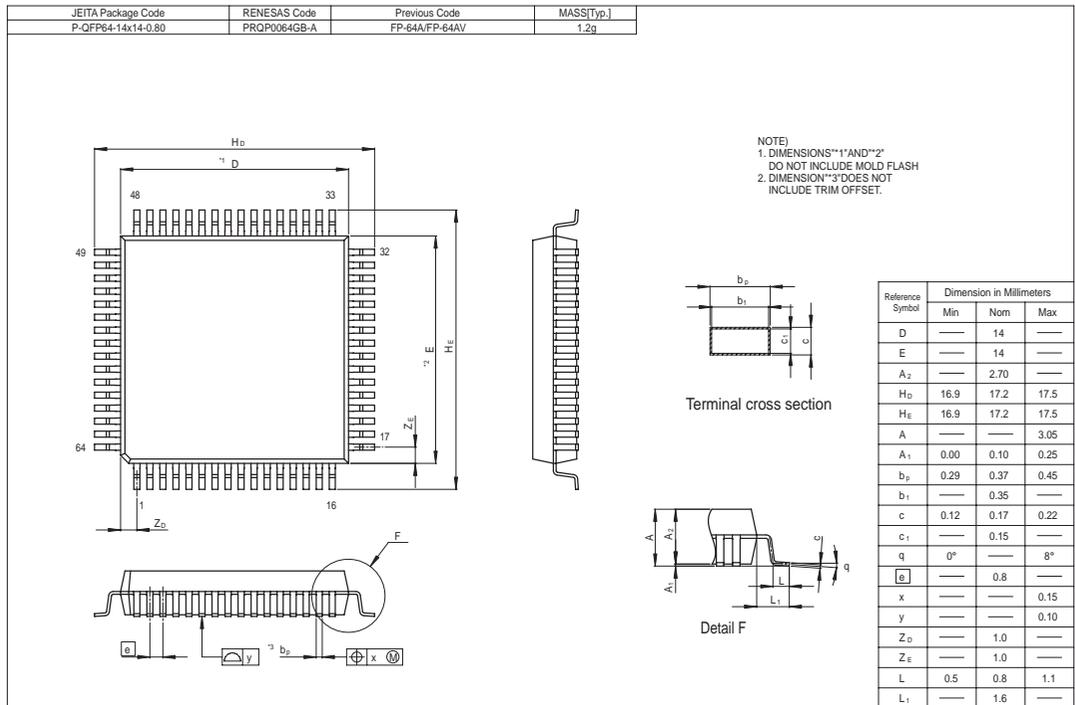


图 E.1 外形尺寸图 (FP-64A)

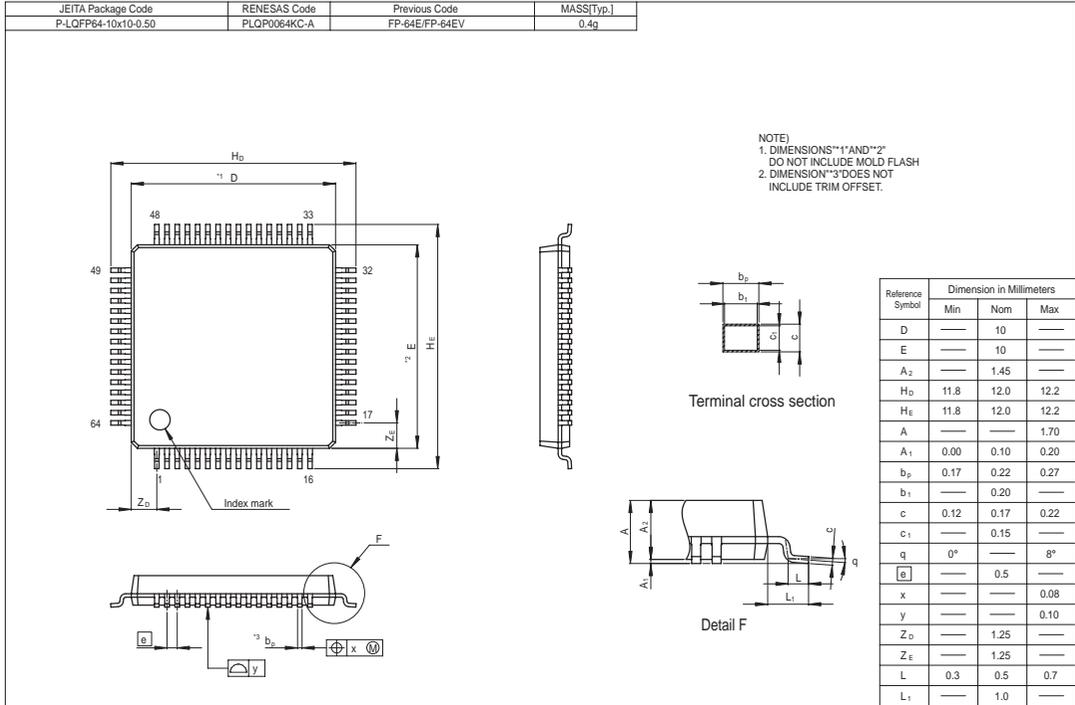


图 E.2 外形尺寸图 (FP-64E)



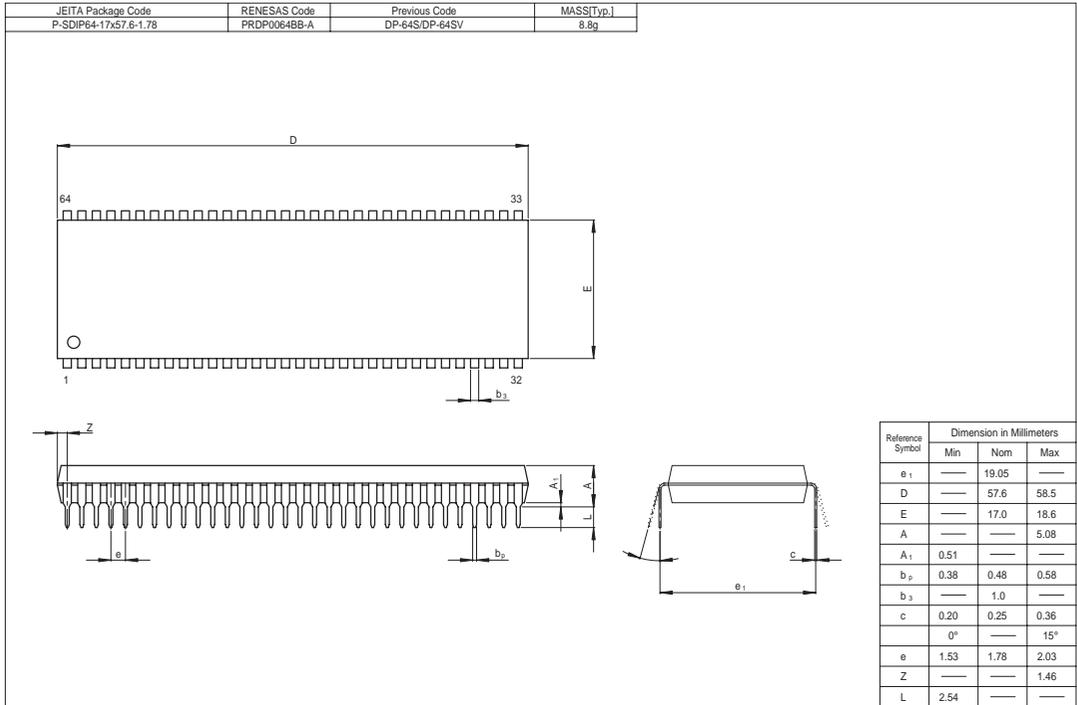


图 E.4 外形尺寸图 (DP-64S)

## F. 芯片形状规格图

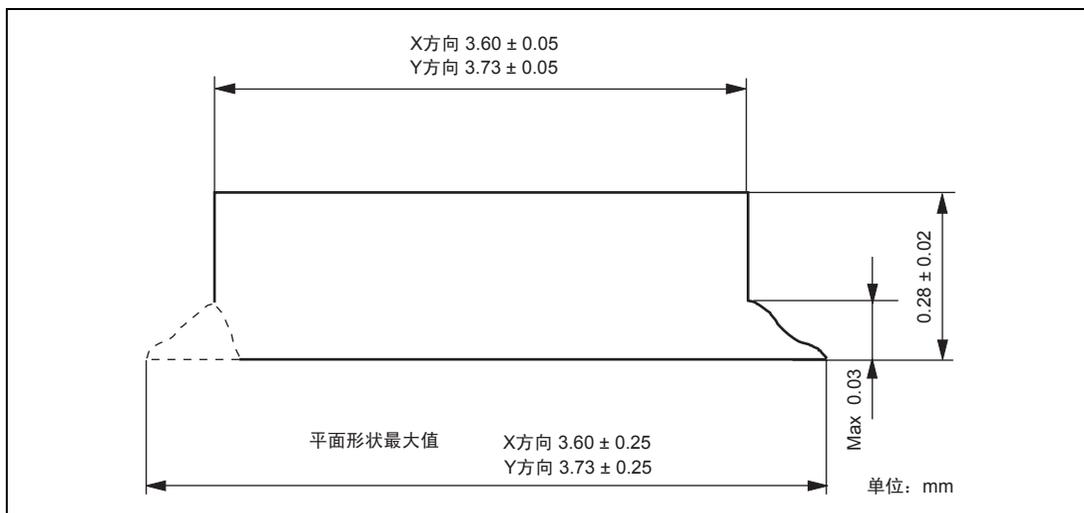


图 F.1 芯片断面图 (HCD6433802、HCD6433801、HCD6433800)

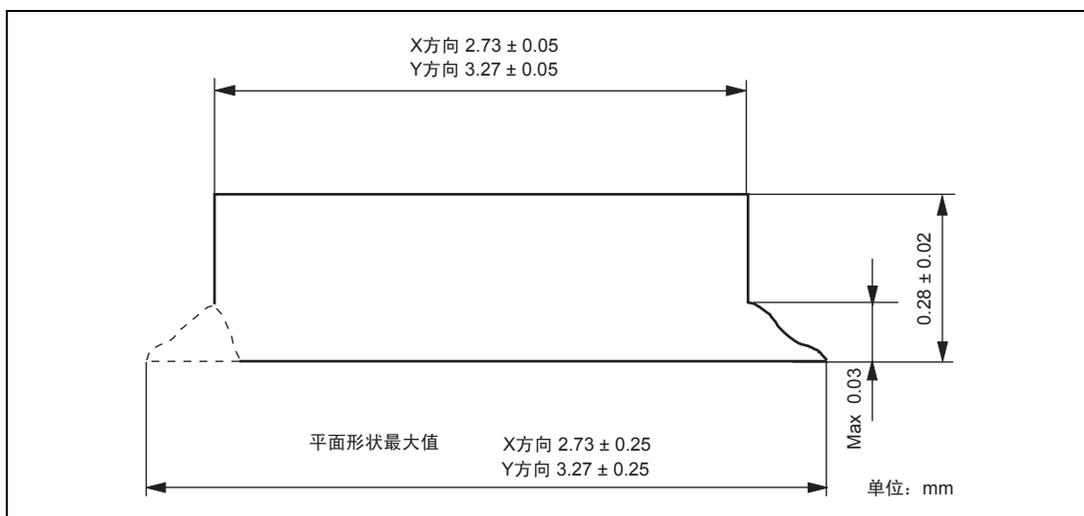


图 F.2 芯片断面图 (HCD6438004、HCD6438003、HCD6438002、HCD6438001、HCD6438000)

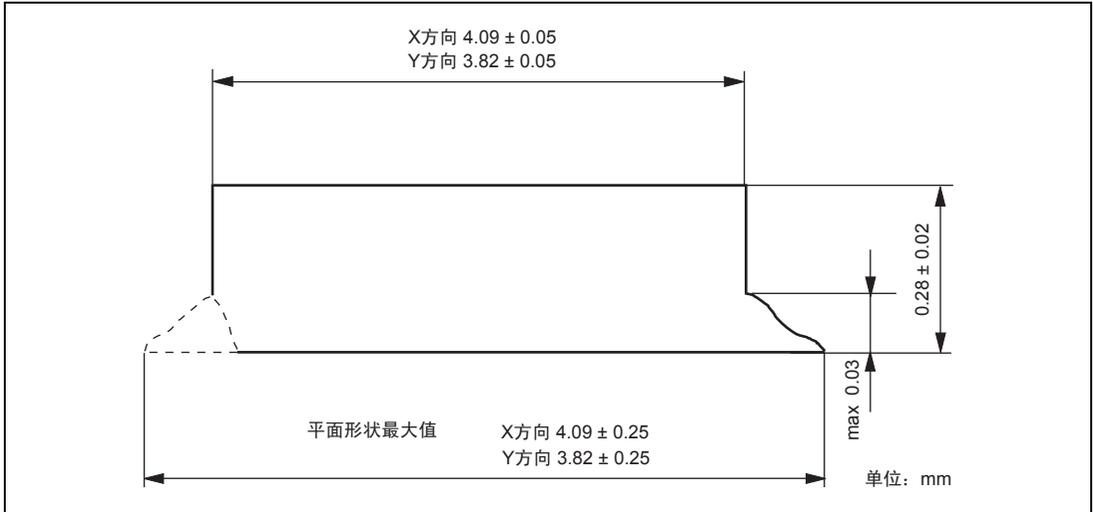


图 F.3 芯片断面图 (HCD64F38004、HCD64F38002)

### G. 焊接区形状图

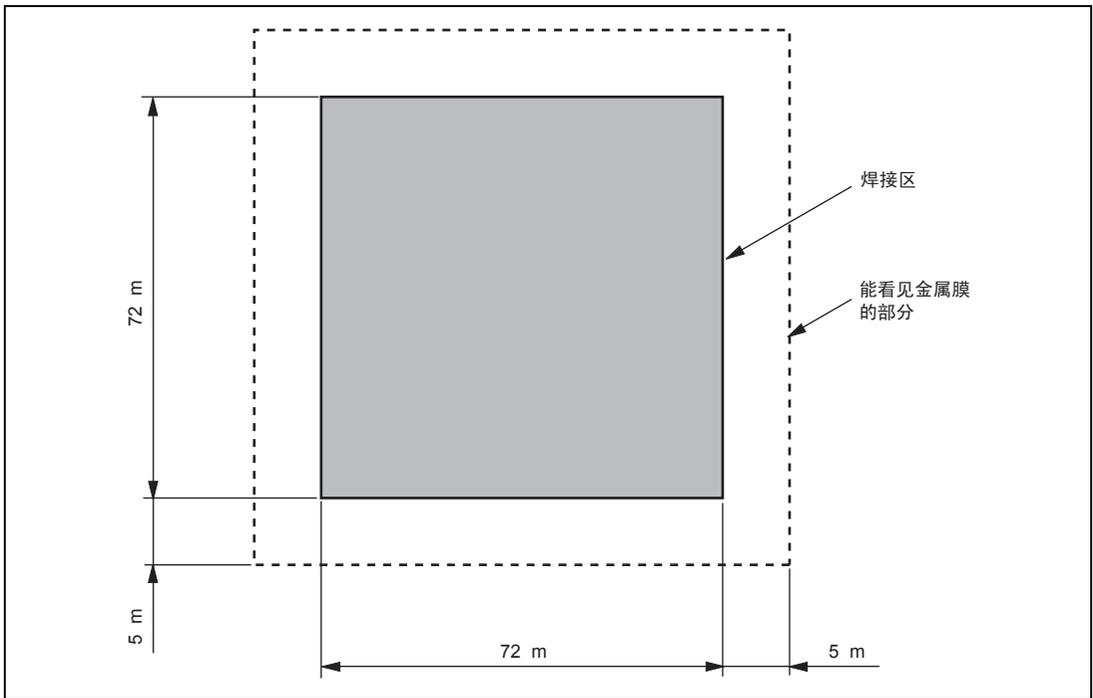


图 G.1 焊接区形状图 (HCD6433802、HCD6433801、HCD6433800、HCD64338004、HCD64338003、HCD64338002、HCD64338001、HCD64338000、HCD64F38004、HCD64F38002)

## H. 芯片托盘规格图

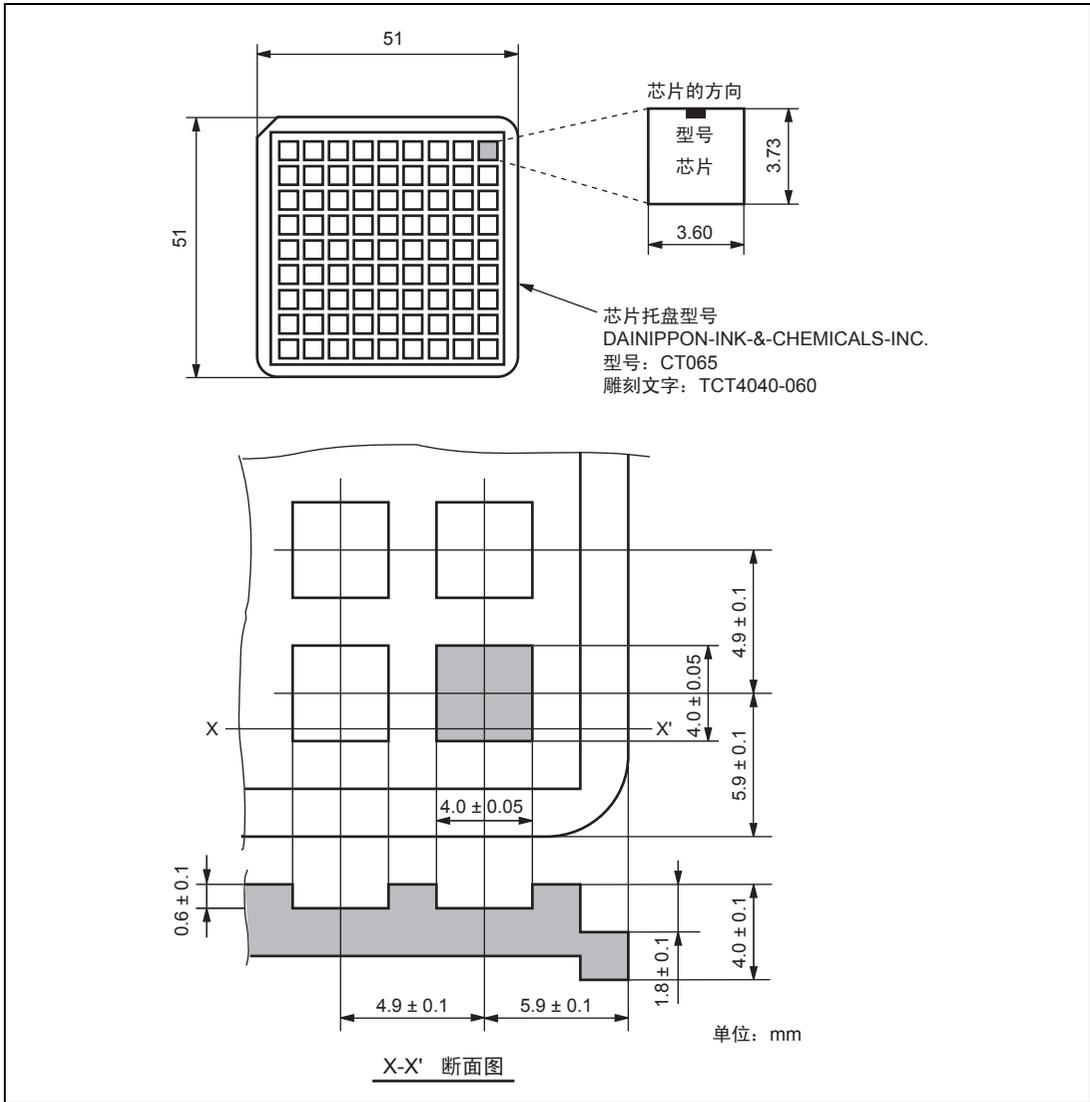


图 H.1 芯片托盘规格图 (HCD6433802、HCD6433801、HCD6433800)

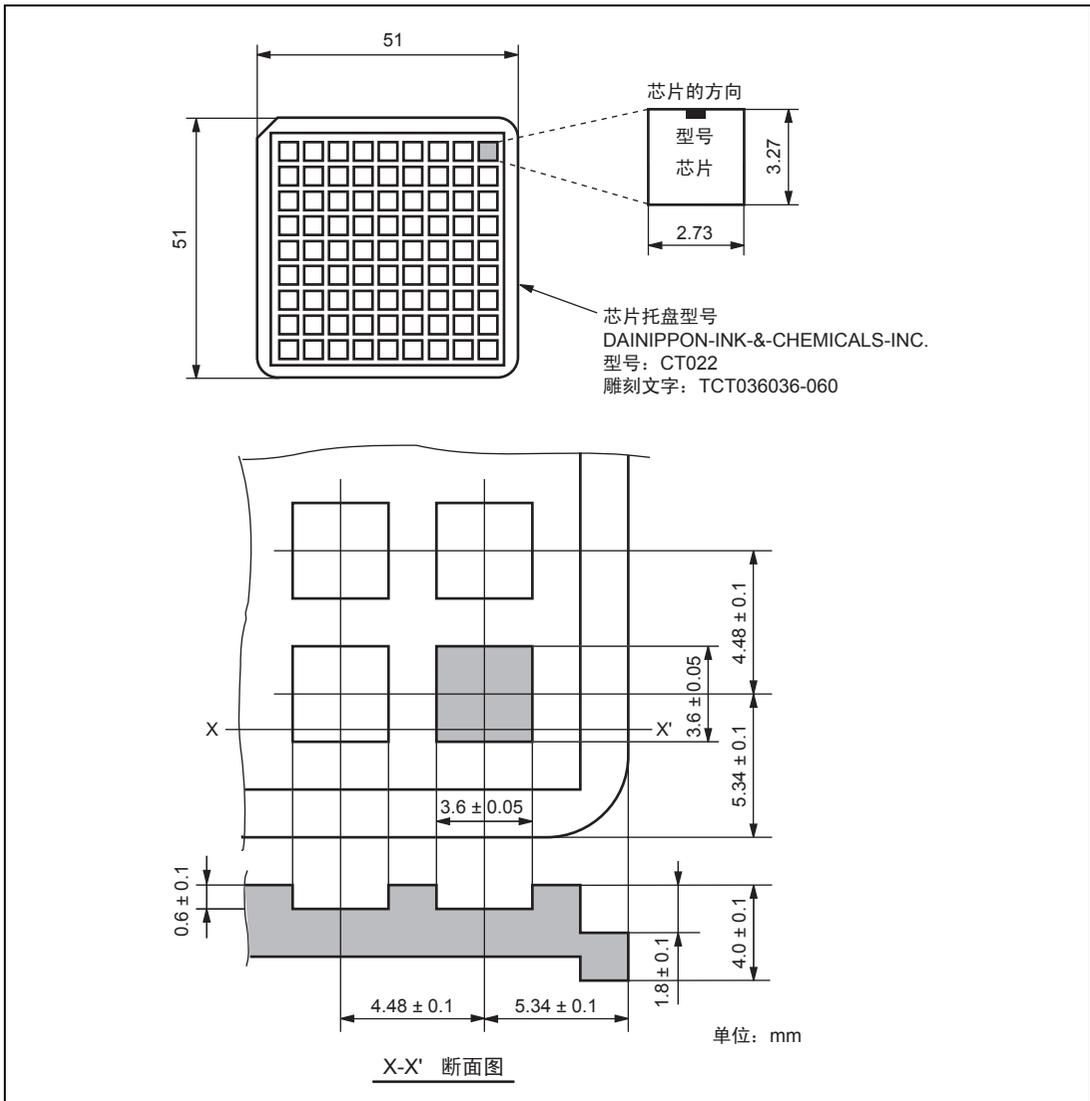


图 H.2 芯片托盘规格图 (HCD64338004、HCD64338003、HCD64338002、HCD64338001、HCD64338000)

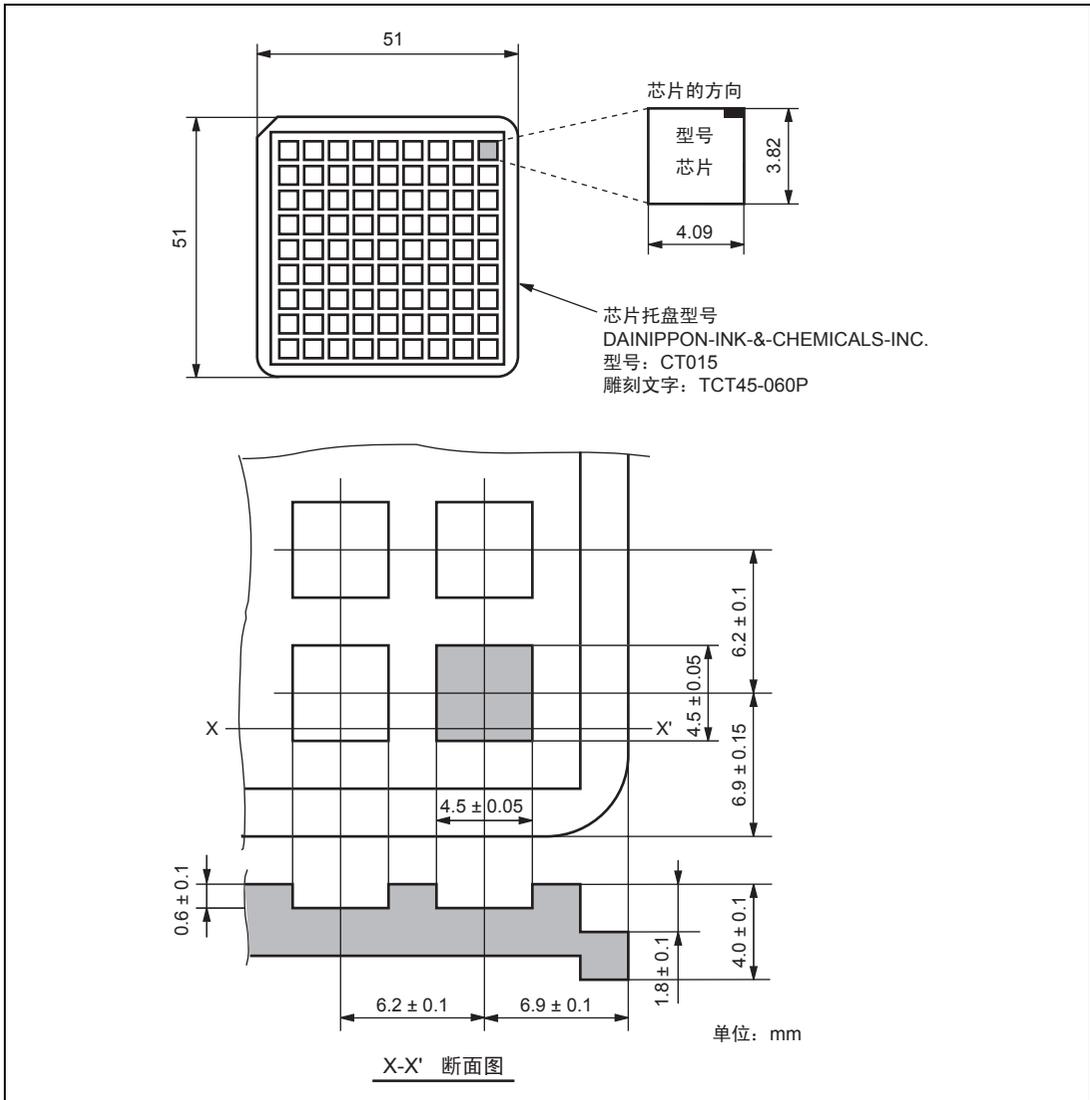


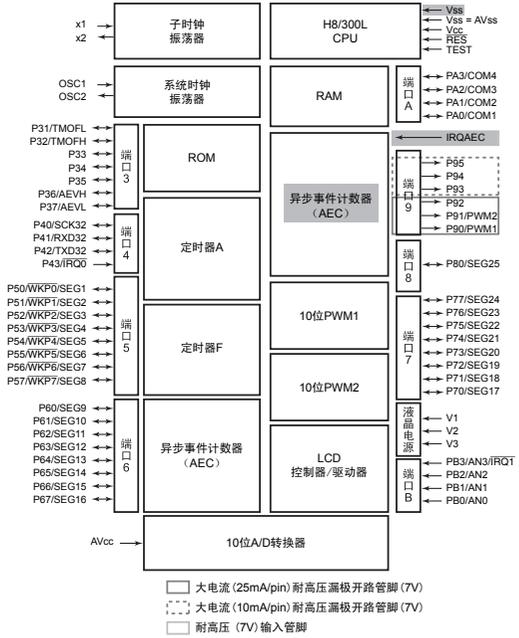
图 H.3 芯片托盘规格图 (HCD64F38004、HCD64F38002)

修订记录	H8/3802、H8/38004、H8/38002S、 H8/38104 群硬件手册
------	---

Rev.	发行日	修订内容																																																																																																																																																																																																																																															
		页	修订处																																																																																																																																																																																																																																														
1.00	2005.03.18	—	初版发行																																																																																																																																																																																																																																														
2.00	2006.02.23	全体	追加了“H8/38002S”。																																																																																																																																																																																																																																														
		前言	修改了表： <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th rowspan="2"></th> <th rowspan="2"></th> <th colspan="2">3802 群</th> <th colspan="2">38004 群</th> <th colspan="2">38002S 群</th> <th colspan="2">38104 群</th> </tr> <tr> <th>ZTAT</th> <th>掩模型 ROM</th> <th>Flash</th> <th>掩模型 ROM</th> <th>掩模型 ROM</th> <th>Flash</th> <th>掩模型 ROM</th> </tr> </thead> <tbody> <tr> <td rowspan="2">存储器</td> <td>ROM</td> <td>16k</td> <td>8k→16k</td> <td>16k/32k</td> <td>8k→32k</td> <td>8k→16k</td> <td>32k</td> <td>8k→32k</td> </tr> <tr> <td>RAM</td> <td>1k</td> <td>512 or 1k</td> <td>1k</td> <td>512 or 1k</td> <td>512</td> <td>1k</td> <td>512 or 1k</td> </tr> <tr> <td rowspan="5">工作电压和工作频率</td> <td>4.5~5.5V</td> <td>16MHz</td> <td>16MHz</td> <td>—</td> <td>—</td> <td>—</td> <td>16MHz</td> <td>16MHz</td> </tr> <tr> <td>2.7~5.5V</td> <td>10MHz</td> <td>10MHz</td> <td>—</td> <td>—</td> <td>—</td> <td>16MHz</td> <td>16MHz</td> </tr> <tr> <td>1.8~5.5V</td> <td>4MHz</td> <td>4MHz</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> <tr> <td>2.7~3.6V</td> <td>—</td> <td>—</td> <td>10MHz</td> <td>10MHz</td> <td>10MHz</td> <td>—</td> <td>—</td> </tr> <tr> <td>1.8~3.6V</td> <td>—</td> <td>—</td> <td>4MHz (2.2V~)</td> <td>4MHz</td> <td>4MHz</td> <td>—</td> <td>—</td> </tr> <tr> <td rowspan="3">I/O 端口</td> <td>输入</td> <td>9</td> <td>9</td> <td>9</td> <td>9</td> <td>9</td> <td>9</td> <td>9</td> </tr> <tr> <td>输出</td> <td>6</td> <td>6</td> <td>6</td> <td>6</td> <td>6</td> <td>5</td> <td>5</td> </tr> <tr> <td>输入/输出</td> <td>39</td> <td>39</td> <td>39</td> <td>39</td> <td>39</td> <td>39</td> <td>39</td> </tr> <tr> <td rowspan="5">定时器</td> <td>时钟用(定时器 A)</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>比较(定时器 F)</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>AEC</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>WDT</td> <td colspan="2" style="text-align: center;">/</td> <td>1</td> <td>1</td> <td>1</td> <td colspan="2" style="text-align: center;">/</td> </tr> <tr> <td>WDT(独立型)</td> <td colspan="2" style="text-align: center;">/</td> <td colspan="2" style="text-align: center;">/</td> <td colspan="2" style="text-align: center;">/</td> <td>1</td> <td>1</td> </tr> <tr> <td>SCI</td> <td>UART/时钟同步</td> <td>1ch</td> <td>1ch</td> <td>1ch</td> <td>1ch</td> <td>1ch</td> <td>1ch</td> <td>1ch</td> </tr> <tr> <td>A/D(分辨率×输入ch)</td> <td></td> <td>10位×4ch</td> <td>10位×4ch</td> <td>10位×4ch</td> <td>10位×4ch</td> <td>10位×4ch</td> <td>10位×4ch</td> <td>10位×4ch</td> </tr> <tr> <td rowspan="2">LCD</td> <td>seg</td> <td>25</td> <td>25</td> <td>25</td> <td>25</td> <td>25</td> <td>25</td> <td>25</td> </tr> <tr> <td>com</td> <td>4</td> <td>4</td> <td>4</td> <td>4</td> <td>4</td> <td>4</td> <td>4</td> </tr> <tr> <td>外部中断(内唤醒)</td> <td></td> <td>11(8)</td> <td>11(8)</td> <td>11(8)</td> <td>11(8)</td> <td>11(8)</td> <td>11(8)</td> <td>11(8)</td> </tr> <tr> <td>POR(加电复位)</td> <td></td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>1</td> <td>1</td> </tr> <tr> <td>LVD</td> <td></td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>1</td> <td>1</td> </tr> <tr> <td rowspan="3">封装</td> <td>FP-64A</td> <td>FP-64A</td> <td>FP-64A</td> <td>FP-64A</td> <td>FP-64A</td> <td>FP-64A</td> <td>FP-64A</td> <td>FP-64A</td> </tr> <tr> <td>FP-64E</td> <td>FP-64E</td> <td>FP-64E</td> <td>FP-64E</td> <td>FP-64E</td> <td>FP-64E</td> <td>FP-64E</td> <td>FP-64E</td> </tr> <tr> <td>DP-64S</td> <td>DP-64S</td> <td>裸芯片</td> <td>裸芯片</td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>工作温度</td> <td></td> <td colspan="7">标准规格: -20~75℃ WTR: -40~85℃</td> </tr> </tbody> </table> <p>【注】* 在开发中</p>			3802 群		38004 群		38002S 群		38104 群		ZTAT	掩模型 ROM	Flash	掩模型 ROM	掩模型 ROM	Flash	掩模型 ROM	存储器	ROM	16k	8k→16k	16k/32k	8k→32k	8k→16k	32k	8k→32k	RAM	1k	512 or 1k	1k	512 or 1k	512	1k	512 or 1k	工作电压和工作频率	4.5~5.5V	16MHz	16MHz	—	—	—	16MHz	16MHz	2.7~5.5V	10MHz	10MHz	—	—	—	16MHz	16MHz	1.8~5.5V	4MHz	4MHz	—	—	—	—	—	2.7~3.6V	—	—	10MHz	10MHz	10MHz	—	—	1.8~3.6V	—	—	4MHz (2.2V~)	4MHz	4MHz	—	—	I/O 端口	输入	9	9	9	9	9	9	9	输出	6	6	6	6	6	5	5	输入/输出	39	39	39	39	39	39	39	定时器	时钟用(定时器 A)	1	1	1	1	1	1	1	比较(定时器 F)	1	1	1	1	1	1	1	AEC	1	1	1	1	1	1	1	WDT	/		1	1	1	/		WDT(独立型)	/		/		/		1	1	SCI	UART/时钟同步	1ch	A/D(分辨率×输入ch)		10位×4ch	LCD	seg	25	25	25	25	25	25	25	com	4	4	4	4	4	4	4	外部中断(内唤醒)		11(8)	11(8)	11(8)	11(8)	11(8)	11(8)	11(8)	POR(加电复位)		—	—	—	—	—	1	1	LVD		—	—	—	—	—	1	1	封装	FP-64A	FP-64E	DP-64S	DP-64S	裸芯片	裸芯片					工作温度		标准规格: -20~75℃ WTR: -40~85℃																																
						3802 群		38004 群		38002S 群		38104 群																																																																																																																																																																																																																																					
ZTAT	掩模型 ROM			Flash	掩模型 ROM	掩模型 ROM	Flash	掩模型 ROM																																																																																																																																																																																																																																									
存储器	ROM	16k	8k→16k	16k/32k	8k→32k	8k→16k	32k	8k→32k																																																																																																																																																																																																																																									
	RAM	1k	512 or 1k	1k	512 or 1k	512	1k	512 or 1k																																																																																																																																																																																																																																									
工作电压和工作频率	4.5~5.5V	16MHz	16MHz	—	—	—	16MHz	16MHz																																																																																																																																																																																																																																									
	2.7~5.5V	10MHz	10MHz	—	—	—	16MHz	16MHz																																																																																																																																																																																																																																									
	1.8~5.5V	4MHz	4MHz	—	—	—	—	—																																																																																																																																																																																																																																									
	2.7~3.6V	—	—	10MHz	10MHz	10MHz	—	—																																																																																																																																																																																																																																									
	1.8~3.6V	—	—	4MHz (2.2V~)	4MHz	4MHz	—	—																																																																																																																																																																																																																																									
I/O 端口	输入	9	9	9	9	9	9	9																																																																																																																																																																																																																																									
	输出	6	6	6	6	6	5	5																																																																																																																																																																																																																																									
	输入/输出	39	39	39	39	39	39	39																																																																																																																																																																																																																																									
定时器	时钟用(定时器 A)	1	1	1	1	1	1	1																																																																																																																																																																																																																																									
	比较(定时器 F)	1	1	1	1	1	1	1																																																																																																																																																																																																																																									
	AEC	1	1	1	1	1	1	1																																																																																																																																																																																																																																									
	WDT	/		1	1	1	/																																																																																																																																																																																																																																										
	WDT(独立型)	/		/		/		1	1																																																																																																																																																																																																																																								
SCI	UART/时钟同步	1ch	1ch	1ch	1ch	1ch	1ch	1ch																																																																																																																																																																																																																																									
A/D(分辨率×输入ch)		10位×4ch	10位×4ch	10位×4ch	10位×4ch	10位×4ch	10位×4ch	10位×4ch																																																																																																																																																																																																																																									
LCD	seg	25	25	25	25	25	25	25																																																																																																																																																																																																																																									
	com	4	4	4	4	4	4	4																																																																																																																																																																																																																																									
外部中断(内唤醒)		11(8)	11(8)	11(8)	11(8)	11(8)	11(8)	11(8)																																																																																																																																																																																																																																									
POR(加电复位)		—	—	—	—	—	1	1																																																																																																																																																																																																																																									
LVD		—	—	—	—	—	1	1																																																																																																																																																																																																																																									
封装	FP-64A	FP-64A	FP-64A	FP-64A	FP-64A	FP-64A	FP-64A	FP-64A																																																																																																																																																																																																																																									
	FP-64E	FP-64E	FP-64E	FP-64E	FP-64E	FP-64E	FP-64E	FP-64E																																																																																																																																																																																																																																									
	DP-64S	DP-64S	裸芯片	裸芯片																																																																																																																																																																																																																																													
工作温度		标准规格: -20~75℃ WTR: -40~85℃																																																																																																																																																																																																																																															
1	修改了： “监视定时器（WDT）（只限于 H8/38004、H8/38002S 和 H8/38104 群）”																																																																																																																																																																																																																																																
2	修改了表： <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>产品类型</th> <th>产品型号</th> <th>ROM</th> <th>RAM</th> </tr> </thead> <tbody> <tr> <td>掩模型 ROM 版</td> <td>H8/38002S</td> <td>HD64338002S</td> <td>16K 字节 512 字节</td> </tr> <tr> <td></td> <td>H8/38001S</td> <td>HD64338001S</td> <td>12K 字节 512 字节</td> </tr> <tr> <td></td> <td>H8/38000S</td> <td>HD64338000S</td> <td>8K 字节 512 字节</td> </tr> </tbody> </table>	产品类型	产品型号	ROM	RAM	掩模型 ROM 版	H8/38002S	HD64338002S	16K 字节 512 字节		H8/38001S	HD64338001S	12K 字节 512 字节		H8/38000S	HD64338000S	8K 字节 512 字节																																																																																																																																																																																																																																
产品类型	产品型号	ROM	RAM																																																																																																																																																																																																																																														
掩模型 ROM 版	H8/38002S	HD64338002S	16K 字节 512 字节																																																																																																																																																																																																																																														
	H8/38001S	HD64338001S	12K 字节 512 字节																																																																																																																																																																																																																																														
	H8/38000S	HD64338000S	8K 字节 512 字节																																																																																																																																																																																																																																														
3	修改了表： <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th>封装</th> <th>代码</th> <th>尺寸</th> <th>管脚间距</th> </tr> </thead> <tbody> <tr> <td>LQFP-64</td> <td>FP-64K*</td> <td>10.0 × 10.0 mm</td> <td>0.5 mm</td> </tr> </tbody> </table> <p>追加了： 【注】* 在开发中。FP-64K 的外形尺寸与 FP-64E 不同，请参照“附录 E 外形尺寸图”。</p>	封装	代码	尺寸	管脚间距	LQFP-64	FP-64K*	10.0 × 10.0 mm	0.5 mm																																																																																																																																																																																																																																								
封装	代码	尺寸	管脚间距																																																																																																																																																																																																																																														
LQFP-64	FP-64K*	10.0 × 10.0 mm	0.5 mm																																																																																																																																																																																																																																														

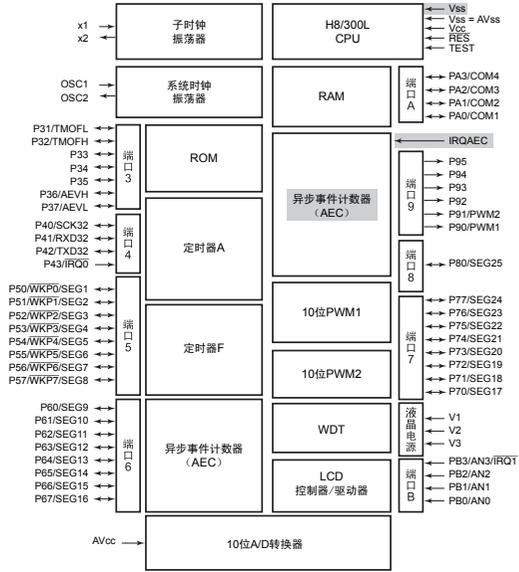
4

修改了图 1.1:



5

修改了图 1.2:



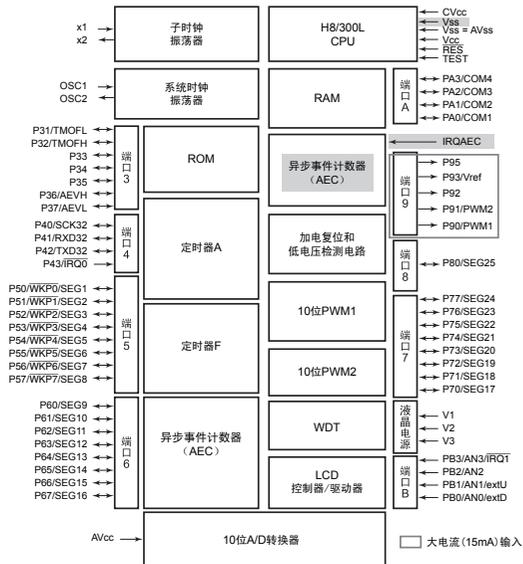
【注】 在使用内部仿真器时，由于P95、P33、P34、P35管脚被仿真器占用，用户不能使用。

修改了:

“图 1.2 H8/38004、H8/38002S 群的内部框图”

6

修改了图 1.3:



7

在图 1.4 中追加了“FP-64K”。

修改了:

“图 1.4 H8/3802 群、H8/38004 和 H8/38002S 群的管脚排列图 (FP-64A、FP-64E 和 FP-64K)”

16

修改了表 1.4:

类型	符号	管脚编号		焊接区 序号+“1”	焊接区 序号+“2”	输入/输出	功能
		FP-64A FP-64E FP-64K	DP-64S				
时钟	X1	2	10	2	2	输入	连接32.768kHz或者38.4kHz <sup>25</sup> 的晶体谐振器。
	X2	3	11	3	3	输出	有关连接例子请参考“第4章 时钟发生器”。

18

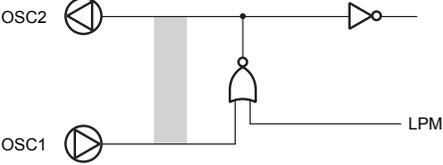
在【注】中追加了:  
“\*5 H8/38104 群除外”。

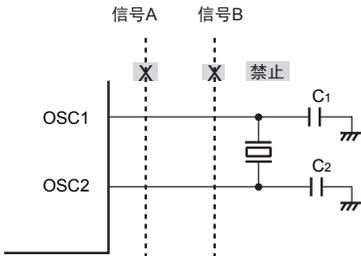
20

修改了:  
“H8/3802 群、H8/38004 群、H8/38002S 群和 H8/38104 群的地址空间为 64K 字节，包含程序区和数据区”。

25

在图 2.1 (6) 的【注】中追加了:  
“\*1 用户不能使用”。

		26	追加了图 2.1 (7)。										
		27~28	修改了图标。										
		73	修改了表: <table border="1" data-bbox="594 411 1189 537"> <thead> <tr> <th>位</th> <th>位名</th> <th>初始值</th> <th>R/W</th> <th>说 明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>IRRTA</td> <td>0</td> <td>R/W*</td> <td>           定时器A中断请求标志            [置位条件]            • 定时器A的计数器值溢出 ■ 时            [清除条件]            • 在1的状态下写0时         </td> </tr> </tbody> </table>	位	位名	初始值	R/W	说 明	7	IRRTA	0	R/W*	定时器A中断请求标志 [置位条件] • 定时器A的计数器值溢出 ■ 时 [清除条件] • 在1的状态下写0时
位	位名	初始值	R/W	说 明									
7	IRRTA	0	R/W*	定时器A中断请求标志 [置位条件] • 定时器A的计数器值溢出 ■ 时 [清除条件] • 在1的状态下写0时									
		81~83	将 3.5.3 和 3.5.4 进行了交换。										
		85	修改了: “H8/3802、H8/38004 和 H8/38002S 群的时钟发生电路的框图如图 4.1 所示”。  “图 4.1 时钟发生电路的框图 (H8/3802、H8/38004 和 H8/38002S 群)”。										
		88	修改了图 4.3:   修改了: “H8/38004、H8/38002S 和 H8/38104 群的晶体谐振器的连接例子如图 4.4 (2) 所示”。										
		89	修改了: “图 4.4 (2) 晶体谐振器的连接例子 (H8/38004、H8/38002S 和 H8/38104 群)”。  修改了表: <table border="1" data-bbox="594 1476 1156 1541"> <tbody> <tr> <td>频率 (MHz)</td> <td>4.0</td> <td>4.193</td> </tr> <tr> <td>Rs (max)</td> <td></td> <td>100Ω</td> </tr> <tr> <td>Co (max)</td> <td></td> <td>7pF</td> </tr> </tbody> </table>  修改了: “H8/38004、H8/38002S 和 H8/38104 群的陶瓷谐振器的连接例子如图 4.6 (2) 所示”。	频率 (MHz)	4.0	4.193	Rs (max)		100Ω	Co (max)		7pF	
频率 (MHz)	4.0	4.193											
Rs (max)		100Ω											
Co (max)		7pF											

		90	<p>修改了图 4.6 (2) :</p> <table border="1" data-bbox="605 272 1082 355"> <thead> <tr> <th>振荡频率</th> <th>厂商</th> <th>型号</th> <th>C<sub>1</sub>,C<sub>2</sub>推荐值</th> </tr> </thead> <tbody> <tr> <td>16.0MHz*1</td> <td></td> <td>CSTLS16M0X53-B0</td> <td>15pF±20%</td> </tr> <tr> <td>20.0MHz*2</td> <td></td> <td>CSTLS20M0X53-B0</td> <td>15pF±20%</td> </tr> </tbody> </table> <p>【注】关于电路常数, 请与谐振器厂商充分商讨。  *1 H8/38004、H8/38002S群除外  *2 仅H8/38104群</p>	振荡频率	厂商	型号	C <sub>1</sub> ,C <sub>2</sub> 推荐值	16.0MHz*1		CSTLS16M0X53-B0	15pF±20%	20.0MHz*2		CSTLS20M0X53-B0	15pF±20%
振荡频率	厂商	型号	C <sub>1</sub> ,C <sub>2</sub> 推荐值												
16.0MHz*1		CSTLS16M0X53-B0	15pF±20%												
20.0MHz*2		CSTLS20M0X53-B0	15pF±20%												
		90	<p>修改了:  “图 4.6 (2) 陶瓷谐振器的连接例子 (H8/38004、H8/38002S 和 H8/38104 群) ”。</p>												
		91	<p>修改了图 4.9:  C<sub>1</sub>=C<sub>2</sub>=6~12.5pF(typ.)</p>												
		92	<p>修改了图 4.10:  C<sub>0</sub>=0.8pF(typ.)</p>												
		96	<p>修改了图 4.15:</p> 												
		97	<p>修改了:  “另外, 一旦系统时钟停止, 为了使 CPU 和外围设备正常运行, 需要 待机时间。”</p> <p>“【注】*1 H8/3802、H8/38004 和 H8/38002S 群”</p>												
		98	<p>修改了:  “使用晶体谐振器时的注意事项”  “根据 谐振器本身的特点, ”  “【注】* 在 H8/3802、H8/38004、H8/38002S 群或者 H8/38104 群的情况下, ”</p>												
		101	<p>修改了:  “表 5.1 (1) 运行频率和待机时间 (H8/3802 群、H8/38004 群和 H8/38002S 群) ”。</p>												

		105	修改了图 5.1 中的注： “必须允许中断请求”。														
		107	修改了： “*8 H8/38104 群在选择 $\phi_w/32$ 或者内部振荡器作为内部时钟时运行，否则停止后保持。 H8/38004、H8/38002S 群在选择 $\phi_w/32$ 作为内部时钟时运行，否则停止后保持。” “*9 H8/38104 群在选择 $\phi_w/32$ 或者内部振荡器作为内部时钟时运行，否则停止后保持。 H8/38004、H8/38002S 群停止后保持。” “*10 H8/38104 群只在选择内部振荡器时运行，否则停止后保持。 H8/38004、H8/38002S 群停止后保持”														
		115	修改了： “另外，H8/38004 和 H8/38104 内置 32K 字节、H8/38003 和 H8/38103 内置 24K 字节、H8/38002、H8/38002S 和 H8/38102 内置 16K 字节、H8/38001、H8/38001S 和 H8/38101 内置 12K 字节、H8/38000、H8/38000S 和 H8/38100 内置 8K 字节的掩模型 ROM”														
		133	修改了表 6.7: <table border="1" data-bbox="594 1095 1168 1222"> <thead> <tr> <th>产品群</th> <th>主机的位速率</th> <th>LSI 的振荡频率范围 (fosc)</th> </tr> </thead> <tbody> <tr> <td rowspan="5">H8/38104F 群</td> <td>19200bps</td> <td>16 ~ 20MHz</td> </tr> <tr> <td>9600bps</td> <td>8 ~ 20MHz</td> </tr> <tr> <td>4800bps</td> <td>4 ~ 20MHz</td> </tr> <tr> <td>2400bps</td> <td>2 ~ 20MHz</td> </tr> <tr> <td>1200bps</td> <td>2 ~ 20MHz</td> </tr> </tbody> </table>	产品群	主机的位速率	LSI 的振荡频率范围 (fosc)	H8/38104F 群	19200bps	16 ~ 20MHz	9600bps	8 ~ 20MHz	4800bps	4 ~ 20MHz	2400bps	2 ~ 20MHz	1200bps	2 ~ 20MHz
产品群	主机的位速率	LSI 的振荡频率范围 (fosc)															
H8/38104F 群	19200bps	16 ~ 20MHz															
	9600bps	8 ~ 20MHz															
	4800bps	4 ~ 20MHz															
	2400bps	2 ~ 20MHz															
	1200bps	2 ~ 20MHz															
		155	修改了表： <table border="1" data-bbox="594 1302 1168 1383"> <thead> <tr> <th>产品类型</th> <th>RAM 容量</th> <th>RAM 地址</th> </tr> </thead> <tbody> <tr> <td rowspan="3">掩模型 ROM 版</td> <td>H8/38002S</td> <td>512 字节 HFD80~HFFF7F</td> </tr> <tr> <td>H8/38001S</td> <td>512 字节 HFD80~HFFF7F</td> </tr> <tr> <td>H8/38000S</td> <td>512 字节 HFD80~HFFF7F</td> </tr> </tbody> </table>	产品类型	RAM 容量	RAM 地址	掩模型 ROM 版	H8/38002S	512 字节 HFD80~HFFF7F	H8/38001S	512 字节 HFD80~HFFF7F	H8/38000S	512 字节 HFD80~HFFF7F				
产品类型	RAM 容量	RAM 地址															
掩模型 ROM 版	H8/38002S	512 字节 HFD80~HFFF7F															
	H8/38001S	512 字节 HFD80~HFFF7F															
	H8/38000S	512 字节 HFD80~HFFF7F															
		158	修改了： “*2 仅适用于 H8/3802 群。H8/38004 群、H8/38002S 群和 H8/38104 群为标准耐压。” “*4 仅适用于 H8/3802 群。H8/38004 群、H8/38002S 群和 H8/38104 群为输入端口。”														

		162	<p>修改了表：</p> <table border="1"> <thead> <tr> <th>位</th> <th>位名</th> <th>初始值</th> <th>R/W</th> <th>说 明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>WDCKS</td> <td>0</td> <td>R/W</td> <td>           监视定时器时钟选择*            选择监视定时器时钟。            但是，H8/38004群、H8/38002S群和H8/38104群不同，请注意。            H8/38004和H8/38002S群            0：选择φR/192            1：选择φw/32            H8/38104群            0：通过定时器模式寄存器W（TMW）的设置选择时钟            1：选择φw/32            【注】H8/3802群时，为保留位，只能写0。         </td> </tr> </tbody> </table>	位	位名	初始值	R/W	说 明	2	WDCKS	0	R/W	监视定时器时钟选择* 选择监视定时器时钟。 但是，H8/38004群、H8/38002S群和H8/38104群不同，请注意。 H8/38004和H8/38002S群 0：选择φR/192 1：选择φw/32 H8/38104群 0：通过定时器模式寄存器W（TMW）的设置选择时钟 1：选择φw/32 【注】H8/3802群时，为保留位，只能写0。								
位	位名	初始值	R/W	说 明																	
2	WDCKS	0	R/W	监视定时器时钟选择* 选择监视定时器时钟。 但是，H8/38004群、H8/38002S群和H8/38104群不同，请注意。 H8/38004和H8/38002S群 0：选择φR/192 1：选择φw/32 H8/38104群 0：通过定时器模式寄存器W（TMW）的设置选择时钟 1：选择φw/32 【注】H8/3802群时，为保留位，只能写0。																	
		166	<p>修改了表：</p> <table border="1"> <thead> <tr> <th colspan="2">说 明</th> </tr> </thead> <tbody> <tr> <td colspan="2">TXD32管脚输出数据反转切换</td> </tr> <tr> <td colspan="2">设定反转还是不反转TXD32管脚的输出数据的逻辑电平。</td> </tr> <tr> <td>0：</td> <td>不反转TXD32的输出数据</td> </tr> <tr> <td>1：</td> <td>反转TXD32的输出数据</td> </tr> <tr> <td colspan="2">RXD32管脚输入数据反转切换</td> </tr> <tr> <td colspan="2">设定反转还是不反转RXD32管脚的输入数据的逻辑电平。</td> </tr> <tr> <td>0：</td> <td>不反转RXD32的输出数据</td> </tr> <tr> <td>1：</td> <td>反转RXD32的输出数据</td> </tr> </tbody> </table>	说 明		TXD32管脚输出数据反转切换		设定反转还是不反转TXD32管脚的输出数据的逻辑电平。		0：	不反转TXD32的输出数据	1：	反转TXD32的输出数据	RXD32管脚输入数据反转切换		设定反转还是不反转RXD32管脚的输入数据的逻辑电平。		0：	不反转RXD32的输出数据	1：	反转RXD32的输出数据
说 明																					
TXD32管脚输出数据反转切换																					
设定反转还是不反转TXD32管脚的输出数据的逻辑电平。																					
0：	不反转TXD32的输出数据																				
1：	反转TXD32的输出数据																				
RXD32管脚输入数据反转切换																					
设定反转还是不反转RXD32管脚的输入数据的逻辑电平。																					
0：	不反转RXD32的输出数据																				
1：	反转RXD32的输出数据																				
		178	<p>修改了： “端口 9 是与 PWM 输出管脚兼用的 NMOS 输出专用的大电流端口”。</p>																		
		179	<p>修改了表：</p> <table border="1"> <thead> <tr> <th>位</th> <th>位名</th> <th>初始值</th> <th>R/W</th> <th>说 明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>P10FF</td> <td>0</td> <td>R/W</td> <td>           P92～P90升压电路控制            P92～P90的升压电路的ON / OFF。            0：将大电流端口的升压电路置成ON            1：将大电流端口的升压电路置成OFF            【注】此位仅在H8/380204群时有效。在和H8/3802104群以外的情况下为可读写的保留位。         </td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th>VREFSEL</th> <th>0</th> <th>1</th> </tr> </thead> <tbody> <tr> <td>管脚功能</td> <td>P93 输出管脚</td> <td>Vref 输入管脚</td> </tr> </tbody> </table> <p>修改了： “通过 LVDSR 的 VREFSEL 进行以下的切换”。</p>	位	位名	初始值	R/W	说 明	3	P10FF	0	R/W	P92～P90升压电路控制 P92～P90的升压电路的ON / OFF。 0：将大电流端口的升压电路置成ON 1：将大电流端口的升压电路置成OFF 【注】此位仅在H8/380204群时有效。在和H8/3802104群以外的情况下为可读写的保留位。	VREFSEL	0	1	管脚功能	P93 输出管脚	Vref 输入管脚		
位	位名	初始值	R/W	说 明																	
3	P10FF	0	R/W	P92～P90升压电路控制 P92～P90的升压电路的ON / OFF。 0：将大电流端口的升压电路置成ON 1：将大电流端口的升压电路置成OFF 【注】此位仅在H8/380204群时有效。在和H8/3802104群以外的情况下为可读写的保留位。																	
VREFSEL	0	1																			
管脚功能	P93 输出管脚	Vref 输入管脚																			
		183	<p>删除了注。</p>																		

		185	<p>修改了： “H8/38004 群、H8/38002S 群和 H8/38104 群内置 4 个定时器（定时器 A、F、异步事件计数器、监视定时器）。”</p> <p>修改了表和注：</p> <table border="1" data-bbox="594 446 1153 610"> <thead> <tr> <th>定时器名称</th> <th>功能</th> <th>内部时钟</th> <th>事件输入引脚</th> <th>波形输出引脚</th> <th>备注</th> </tr> </thead> <tbody> <tr> <td>监视定时器</td> <td>通过 8 位计数器的溢出产生复位信号</td> <td>φ/8192 φw/32</td> <td>—</td> <td>—</td> <td>H8/38004 和 H8/38002S 群</td> </tr> <tr> <td></td> <td></td> <td>φ/64 ~ φ/8192 φw/32 内部振荡器</td> <td></td> <td></td> <td>H8/38104 群</td> </tr> </tbody> </table> <p>【注】 H8/38004、H8/38002S 群和 H8/38104 群的监视定时器的功能不同。详细内容请参考“9.5 监视定时器”。</p>	定时器名称	功能	内部时钟	事件输入引脚	波形输出引脚	备注	监视定时器	通过 8 位计数器的溢出产生复位信号	φ/8192 φw/32	—	—	H8/38004 和 H8/38002S 群			φ/64 ~ φ/8192 φw/32 内部振荡器			H8/38104 群
定时器名称	功能	内部时钟	事件输入引脚	波形输出引脚	备注																
监视定时器	通过 8 位计数器的溢出产生复位信号	φ/8192 φw/32	—	—	H8/38004 和 H8/38002S 群																
		φ/64 ~ φ/8192 φw/32 内部振荡器			H8/38104 群																
		188	<p>修改了： “如果将 TMA 的 TMA3 置 1，定时器 A 就对预定标器 W 的输出时钟进行计数，作为时钟时基运行。 定时器 A 的溢出周期可通过 TMA 的 TMA1 和 TMA0 选择 4 种溢出周期。”</p>																		
		195	<p>修改了： “在 16 位模式，必须对整个 16 位寄存器（连续执行 2 条字节长的 MOV 指令）按照高位字节、低位字节的顺序进行 TCF 的读写和 OCRF 的写操作。”</p>																		
		198	<p>修改了： “如果将定时器控制寄存器 F（TCRF）的 CKSH2 位设定成 0，定时器 F 就作为 16 位定时器运行。 定时器 F 的运行时钟能通过 TCRF 的 CKSL2~CKSL0 位选择预定标器 S 输出的 3 种内部时钟。”</p>																		
		216	<p>修改了： “时钟的高电平和低电平的宽度最小不能低于 OSC 时钟周期时间的一半。如果满足高低电平的最小宽度，则对占空比无限制。”</p> <p>表中追加了“*2”。</p> <p>修改和追加了注： “【注】 *1 H8/3800、H8/38002S 群最大为 10MHz。 *2 H8/38104 群除外。”</p>																		

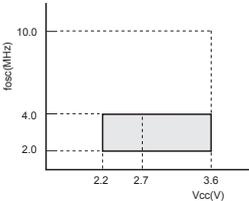
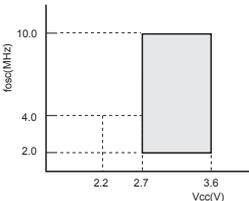
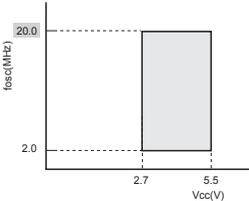
		217	<p>修改了：  “H8/38004、H8/38002S 群和 H8/38104 群不同。监视定时器的框图如图 9.12（1）、（2）所示。”</p> <p>“H8/38004 和 H8/38002S 群可选择 2 种内部时钟”</p> <p>“图 9.12（1） 监视定时器的框图（H8/38004 和 H8/38002S 群）”</p>
		219	<p>修改了：  “*2 H8/38004 和 H8/38002S 群的初始值为 0，H8/38104 群的初始值为 1。  *3 复位时，H8/38004 和 H8/38002S 群被清 0，H8/38104 群被置 1。”</p>
		220	<p>修改了：  “在 H8/38004 和 H8/38002S 群的情况下，如果 WDCKS 为 0，就选择 <math>\phi/8192</math>；”</p>
		221	<p>修改了：  “H8/38004、H8/38002S 群和 H8/38104 群的监视定时器的运行模式如表 9.8（1）、（2）所示。”</p> <p>“表 9.8（1） 监视定时器的运行模式（H8/38004 和 H8/38002S 群）”</p>
		232	<p>修改了：  “在时钟同步模式，设定 SMR 的 CKS1、CKS0 的值 n 和 BRR 的值 N 的例子如表 10.5 所示。对于其他运行频率和位速率的组合，BRR 的设定值 N 和误差用下面的计算式计算：”</p> <p>(异步模式)</p> $N = \frac{\phi}{32 \times 2^{2n} \times B} - 1$ <p>误差 (%) = <math>\frac{B \text{ (从 } n, N, \phi \text{ 计算出的位速率)} - R \text{ (表 10.2 左栏的位速率)}}{R \text{ (表 10.2 左栏的位速率)}} \times 100</math></p> <p>B: 位传输速率 (bit/s)  N: 波特率发生器的 BRR 的设定值 (0 ≤ N ≤ 255)  <math>\phi</math>: 工作频率 (Hz)  n: 波特率发生器的输入时钟的 No. (n=0,2,3)  (n 和时钟的关系请参照表 10.3)</p>

		233	<p>修改了表:</p> <table border="1"> <thead> <tr> <th rowspan="2">位速率 (bit/s)</th> <th colspan="3"><math>\phi = 10\text{MHz}</math></th> </tr> <tr> <th>n</th> <th>N</th> <th>误差 (%)</th> </tr> </thead> <tbody> <tr><td>110</td><td>3</td><td>43</td><td>0.88</td></tr> <tr><td>150</td><td>3</td><td>32</td><td>-1.36</td></tr> <tr><td>200</td><td>3</td><td>23</td><td>1.73</td></tr> <tr><td>250</td><td>3</td><td>19</td><td>-2.34</td></tr> <tr><td>300</td><td>3</td><td>15</td><td>1.73</td></tr> <tr><td>600</td><td>3</td><td>7</td><td>1.73</td></tr> <tr><td>1200</td><td>3</td><td>3</td><td>1.73</td></tr> <tr><td>2400</td><td>3</td><td>1</td><td>1.73</td></tr> <tr><td>4800</td><td>3</td><td>0</td><td>1.73</td></tr> <tr><td>9600</td><td>2</td><td>1</td><td>1.73</td></tr> <tr><td>19200</td><td>2</td><td>0</td><td>1.73</td></tr> <tr><td>31250</td><td>0</td><td>9</td><td>0</td></tr> <tr><td>38400</td><td>0</td><td>7</td><td>1.73</td></tr> </tbody> </table>	位速率 (bit/s)	$\phi = 10\text{MHz}$			n	N	误差 (%)	110	3	43	0.88	150	3	32	-1.36	200	3	23	1.73	250	3	19	-2.34	300	3	15	1.73	600	3	7	1.73	1200	3	3	1.73	2400	3	1	1.73	4800	3	0	1.73	9600	2	1	1.73	19200	2	0	1.73	31250	0	9	0	38400	0	7	1.73					
位速率 (bit/s)	$\phi = 10\text{MHz}$																																																																		
	n	N	误差 (%)																																																																
110	3	43	0.88																																																																
150	3	32	-1.36																																																																
200	3	23	1.73																																																																
250	3	19	-2.34																																																																
300	3	15	1.73																																																																
600	3	7	1.73																																																																
1200	3	3	1.73																																																																
2400	3	1	1.73																																																																
4800	3	0	1.73																																																																
9600	2	1	1.73																																																																
19200	2	0	1.73																																																																
31250	0	9	0																																																																
38400	0	7	1.73																																																																
		234	<p>修改了表:</p> <table border="1"> <thead> <tr> <th rowspan="2">OSC (MHz)</th> <th rowspan="2"><math>\phi</math> (MHz)</th> <th rowspan="2">最大位速率 (bit/s)</th> <th colspan="2">设定值</th> </tr> <tr> <th>n</th> <th>N</th> </tr> </thead> <tbody> <tr><td>0.0384*</td><td>0.0192</td><td>600</td><td>0</td><td>0</td></tr> <tr><td>2</td><td>1</td><td>31250</td><td>0</td><td>0</td></tr> <tr><td>2.4576</td><td>1.2288</td><td>38400</td><td>0</td><td>0</td></tr> <tr><td>4</td><td>2</td><td>62500</td><td>0</td><td>0</td></tr> <tr><td>10</td><td>5</td><td>156250</td><td>0</td><td>0</td></tr> <tr><td>16</td><td>8</td><td>250000</td><td>0</td><td>0</td></tr> <tr><td>20</td><td>10</td><td>312500</td><td>0</td><td>0</td></tr> </tbody> </table>	OSC (MHz)	$\phi$ (MHz)	最大位速率 (bit/s)	设定值		n	N	0.0384*	0.0192	600	0	0	2	1	31250	0	0	2.4576	1.2288	38400	0	0	4	2	62500	0	0	10	5	156250	0	0	16	8	250000	0	0	20	10	312500	0	0																						
OSC (MHz)	$\phi$ (MHz)	最大位速率 (bit/s)	设定值																																																																
			n	N																																																															
0.0384*	0.0192	600	0	0																																																															
2	1	31250	0	0																																																															
2.4576	1.2288	38400	0	0																																																															
4	2	62500	0	0																																																															
10	5	156250	0	0																																																															
16	8	250000	0	0																																																															
20	10	312500	0	0																																																															
		235	<p>修改了表:</p> <table border="1"> <thead> <tr> <th rowspan="2"><math>\phi</math></th> <th colspan="3">10MHz</th> </tr> <tr> <th>位速率 (bit/s)</th> <th>n</th> <th>N</th> <th>误差率</th> </tr> </thead> <tbody> <tr><td>200</td><td>0</td><td>12499</td><td>0</td></tr> <tr><td>250</td><td>2</td><td>624</td><td>0</td></tr> <tr><td>300</td><td>0</td><td>8332</td><td>0</td></tr> <tr><td>500</td><td>0</td><td>4999</td><td>0</td></tr> <tr><td>1K</td><td>0</td><td>2499</td><td>0</td></tr> <tr><td>2.5K</td><td>0</td><td>999</td><td>0</td></tr> <tr><td>5K</td><td>0</td><td>499</td><td>0</td></tr> <tr><td>10K</td><td>0</td><td>249</td><td>0</td></tr> <tr><td>25K</td><td>0</td><td>99</td><td>0</td></tr> <tr><td>50K</td><td>0</td><td>49</td><td>0</td></tr> <tr><td>100K</td><td>0</td><td>24</td><td>0</td></tr> <tr><td>250K</td><td>0</td><td>9</td><td>0</td></tr> <tr><td>500K</td><td>0</td><td>4</td><td>0</td></tr> <tr><td>1M</td><td>-</td><td>-</td><td>-</td></tr> </tbody> </table>	$\phi$	10MHz			位速率 (bit/s)	n	N	误差率	200	0	12499	0	250	2	624	0	300	0	8332	0	500	0	4999	0	1K	0	2499	0	2.5K	0	999	0	5K	0	499	0	10K	0	249	0	25K	0	99	0	50K	0	49	0	100K	0	24	0	250K	0	9	0	500K	0	4	0	1M	-	-	-
$\phi$	10MHz																																																																		
	位速率 (bit/s)	n	N	误差率																																																															
200	0	12499	0																																																																
250	2	624	0																																																																
300	0	8332	0																																																																
500	0	4999	0																																																																
1K	0	2499	0																																																																
2.5K	0	999	0																																																																
5K	0	499	0																																																																
10K	0	249	0																																																																
25K	0	99	0																																																																
50K	0	49	0																																																																
100K	0	24	0																																																																
250K	0	9	0																																																																
500K	0	4	0																																																																
1M	-	-	-																																																																

		236	<p>修改了：</p> <p><b>【注】</b> BRR 的设定值用下面的计算式计算：</p> $N = \frac{\Phi}{8 \times 2^{2n} \times B} - 1$ <p>B: 位速率 (bit/s)  N: 波特率发生器的 BRR 的设定值 (0 ≤ N ≤ 255)  Φ: 工作频率 (Hz)  n: 波特率发生器的输入时钟的 No. (n=0、2、3)  (n 和时钟的关系请参照表 10.6)</p>			
		237	<p>修改了表：</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">说 明</th> </tr> </thead> <tbody> <tr> <td style="border: 1px dashed black; padding: 5px;"> <p>TXD32管脚输出数据的反转切换</p> <p>选择是否反转TXD32管脚的输出数据的逻辑电平。</p> <p>0: 不反转TXD32管脚的输出数据</p> <p>1: 反转TXD32管脚的输出数据</p> </td> </tr> <tr> <td style="border: 1px dashed black; padding: 5px;"> <p>RXD32管脚输入数据的反转切换</p> <p>选择是否反转RXD32管脚的输入数据的逻辑电平。</p> <p>0: 不反转RXD32管脚的输入数据</p> <p>1: 反转RXD32管脚的输入数据</p> </td> </tr> </tbody> </table>	说 明	<p>TXD32管脚输出数据的反转切换</p> <p>选择是否反转TXD32管脚的输出数据的逻辑电平。</p> <p>0: 不反转TXD32管脚的输出数据</p> <p>1: 反转TXD32管脚的输出数据</p>	<p>RXD32管脚输入数据的反转切换</p> <p>选择是否反转RXD32管脚的输入数据的逻辑电平。</p> <p>0: 不反转RXD32管脚的输入数据</p> <p>1: 反转RXD32管脚的输入数据</p>
说 明						
<p>TXD32管脚输出数据的反转切换</p> <p>选择是否反转TXD32管脚的输出数据的逻辑电平。</p> <p>0: 不反转TXD32管脚的输出数据</p> <p>1: 反转TXD32管脚的输出数据</p>						
<p>RXD32管脚输入数据的反转切换</p> <p>选择是否反转RXD32管脚的输入数据的逻辑电平。</p> <p>0: 不反转RXD32管脚的输入数据</p> <p>1: 反转RXD32管脚的输入数据</p>						
		245	<p>修改了：</p> <p>“【注】 * RDRF 保持数据接收前的状态。但是，  <b>请注意：如果延误了读取前帧接收数据，就发生溢出错误，此后，如果读取 RDR，RDRF 就被清 0。</b>”</p>			
		250	<p>修改了图 10.12:</p> <p>同步时钟</p> <p>串行数据</p> <p>RDRF</p> <p>OER</p> <p>LSI运行</p> <p>用户处理</p> <p>发生RXI RDRF清0 发生RXI</p> <p>读RDR的数据</p> <p>因溢出错误发生ERI 溢出错误处理</p> <p>不读RDR的数据 (RDRF=1)</p>			

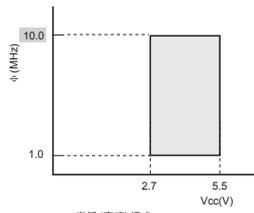
		257	<p>修改了表 10.11:</p> <table border="1" data-bbox="594 272 1181 382"> <thead> <tr> <th>中断请求</th> <th>简称</th> <th>中断源</th> <th>允许位</th> </tr> </thead> <tbody> <tr> <td>接收数据满</td> <td>RXI</td> <td>SSR 的 RDRF 置位</td> <td>RIE</td> </tr> <tr> <td>发送数据空</td> <td>TXI</td> <td>SSR 的 TDRE 置位</td> <td>TIE</td> </tr> <tr> <td>发送结束</td> <td>TEI</td> <td>SSR 的 TEND 置位</td> <td>TEIE</td> </tr> <tr> <td>接收错误</td> <td>ERI</td> <td>SSR 的 OER、FER 或者 PER 置位</td> <td>RIE</td> </tr> </tbody> </table> <p>“能通过 SCR3 的 TIE、RIE 和 TEIE 允许/禁止各中断请求。”</p>	中断请求	简称	中断源	允许位	接收数据满	RXI	SSR 的 RDRF 置位	RIE	发送数据空	TXI	SSR 的 TDRE 置位	TIE	发送结束	TEI	SSR 的 TEND 置位	TEIE	接收错误	ERI	SSR 的 OER、FER 或者 PER 置位	RIE
中断请求	简称	中断源	允许位																				
接收数据满	RXI	SSR 的 RDRF 置位	RIE																				
发送数据空	TXI	SSR 的 TDRE 置位	TIE																				
发送结束	TEI	SSR 的 TEND 置位	TEIE																				
接收错误	ERI	SSR 的 OER、FER 或者 PER 置位	RIE																				
		258	<p>修改了表 10.12 中的标头: “标志和允许位”</p>																				
		263	<p>修改了: “10.8.10 关于在异步模式执行串行通信接口 3 时使用的振荡器（只限于 H8/38104 群）”  “在异步模式执行 H8/38104 群的串行通信接口 3 时，”</p>																				
		267	<p>修改了: “H8/3802 群、H8/38004 群和 H8/38002S 群的 10 位 PWM 的框图如图 11.1（1）所示，”  “对于 H8/38104 群, PWM 输出能从 10 位 PWM 和事件计数器 PWM（内置 AEC 的 PWM）2 种方式中选择（H8/3802 群、H8/38004 群和 H8/38002S 群的 PWM 输出只有 10 位 PWM）。”</p>																				
		268	<p>修改了: “图 11.1（1） 10 位 PWM 的框图（H8/3802 群、H8/38004 群和 H8/38002S 群）”</p>																				
		270	<p>修改了: “【注】 * 事件计数器 PWM 输出管脚只在 H8/38104 群时有效”  “H8/3802 群、H8/38004 群和 H8/38002S 群的 PWCR 选择转换周期。”</p>																				
		271	<p>修改了: “1. 将端口模式寄存器 9（PMR9）的 PWM1 和 PWM2 置 1，将 P91/PWM2 管脚或者 P90/PWM1 管脚设定成 PWM 输出管脚。”</p>																				

		273	修改了： “•高速转换：每个通道 12.4 $\mu$ s ( $\phi$ =5MHz 时)/7.8 $\mu$ s ( $\phi$ =8MHz 时)*”
		282	修改了： “作为对策，在模拟输入管脚外部设置大电容，由于输入负载实际上仅变成了 10k $\Omega$ 的内部输入电阻，因此可忽略信号源阻抗。此对策的缺点是此时根据信号源阻抗和外部电容形成了一个低通滤波器，可能无法跟踪大微分系数的模拟信号（如电压的变动率在 5mV/ $\mu$ s 以上）（图 12.7）。”
		284	修改了： “12.7.3 其它注意事项”
		285	修改了： “•内藏电源分压电阻 能通过软件进行分压电阻分离的控制。但是，只限于 H8/38104 群。”
		286	修改了： “图 13.1（1） H8/3802 群、H8/38004 群和 H8/38002S 群的 LCD 控制器/驱动器的框图”
		291	修改了： “【注】* 只适用于 H8/38104 群。对于 H8/3802 群、H8/38004 群和 H8/38002S 群，是和位 4 相同的保留位。”
		325	修改了： “17.1 H8/3802 群（ZTAT 版和掩模型 ROM 版）的绝对最大额定值”
		326	修改了： “17.2 H8/3802 群（ZTAT 版和掩模型 ROM 版）的电特性”
		340	修改了： “17.3 H8/38004 群（F-ZTAT 版和掩模型 ROM 版）和 H8/38002S 群（掩模型 ROM 版）的绝对最大额定值”

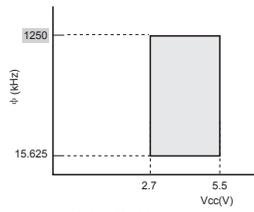
		341	<p>修改了： “17.4 H8/38004 群(F-ZTAT 版和掩模型 ROM 版)和 H8/38002S 群 (掩模型 ROM 版) 的电特性”</p> <p>• 4MHz 产品</p>  <p>• 10MHz 产品</p>  <p>• 激活 (高速) 模式 • 睡眠 (高速) 模式</p>
		342	<p>修改了： “ (2) 电源电压和振荡频率的范围 (掩模型 ROM 版) ”</p>
		360	<p>修改了： “17.5 H8/38104 群(F-ZTAT 版和掩模型 ROM 版) 的绝对最大额定值”</p>
		361	<p>修改了： “17.6 H8/38104 群(F-ZTAT 版和掩模型 ROM 版) 的电特性”</p>  <p>• 激活 (高速) 模式 • 睡眠 (高速) 模式</p> <p>“ (1) 电源电压和振荡频率的范围 (选择内部振荡器时) ”</p>

362

修改了:



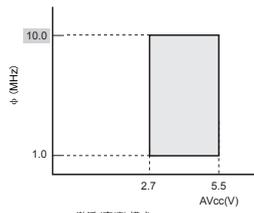
- 激活 (高速) 模式
- 睡眠 (高速) 模式 (CPU除外)



- 激活 (中速) 模式
- 睡眠 (中速) 模式 (A/D转换器除外)

364

修改了:



- 激活 (高速) 模式
- 睡眠 (高速) 模式

368

修改了表:

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
激活模式	$I_{DPM}$	$V_{CC}$	激活 (高速) 模式 $V_{CC} = 5V, f_{osc} = 2MHz$	—	0.8	—	mA	$1+2+4$ max规格值=1.1×typ
消耗电流				—	1.5	—		$2+3+4$ max规格值=1.1×typ

370

修改了表:

项目	符号	适用管脚	测定条件	规格值			单位	备注
				min.	typ.	max.		
输出低电平 容许电流 (每一个管脚)	$I_{OL}$	端口 9	$V_{CC} = 4.0V \sim 5.5V$ 上記以外	—	—	15.0	mA	
				—	—	5.0		

		372	<p>修改了表:</p> <table border="1"> <thead> <tr> <th rowspan="2">项目</th> <th rowspan="2">符号</th> <th rowspan="2">适用管脚</th> <th rowspan="2">测定条件</th> <th colspan="3">规格值</th> <th rowspan="2">单位</th> <th rowspan="2">参照图</th> </tr> <tr> <th>min.</th> <th>typ.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td>系统时钟 振荡器振荡频率</td> <td><math>f_{osc}</math></td> <td>OSC1, OSC2</td> <td></td> <td>2.0</td> <td>—</td> <td>20.0</td> <td>MHz</td> <td rowspan="2">*</td> </tr> <tr> <td></td> <td></td> <td></td> <td>选择内部振荡器时</td> <td>0.7</td> <td>—</td> <td>2.0</td> <td></td> </tr> <tr> <td>OSC 时钟 (<math>\phi_{osc}</math>) 周期时间</td> <td><math>t_{osc}</math></td> <td>OSC1, OSC2</td> <td></td> <td>50.0</td> <td>—</td> <td>500</td> <td>ns</td> <td>图 17.1</td> </tr> <tr> <td></td> <td></td> <td></td> <td>选择内部振荡器时</td> <td>500</td> <td>—</td> <td>1429</td> <td></td> <td></td> </tr> <tr> <td>外部时钟 高电平宽度</td> <td><math>t_{OH}</math></td> <td>OSC1</td> <td></td> <td>20</td> <td>—</td> <td>—</td> <td>ns</td> <td>图 17.1</td> </tr> <tr> <td>外部时钟 低电平宽度</td> <td><math>t_{OL}</math></td> <td>OSC1</td> <td></td> <td>20</td> <td>—</td> <td>—</td> <td>ns</td> <td>图 17.1</td> </tr> <tr> <td>外部时钟 上升时间</td> <td><math>t_{r}</math></td> <td>OSC1</td> <td></td> <td>—</td> <td>—</td> <td>5</td> <td>ns</td> <td>图 17.1</td> </tr> <tr> <td>外部时钟 下降时间</td> <td><math>t_{f}</math></td> <td>OSC1</td> <td></td> <td>—</td> <td>—</td> <td>5</td> <td>ns</td> <td>图 17.1</td> </tr> </tbody> </table>	项目	符号	适用管脚	测定条件	规格值			单位	参照图	min.	typ.	max.	系统时钟 振荡器振荡频率	$f_{osc}$	OSC1, OSC2		2.0	—	20.0	MHz	*				选择内部振荡器时	0.7	—	2.0		OSC 时钟 ( $\phi_{osc}$ ) 周期时间	$t_{osc}$	OSC1, OSC2		50.0	—	500	ns	图 17.1				选择内部振荡器时	500	—	1429			外部时钟 高电平宽度	$t_{OH}$	OSC1		20	—	—	ns	图 17.1	外部时钟 低电平宽度	$t_{OL}$	OSC1		20	—	—	ns	图 17.1	外部时钟 上升时间	$t_{r}$	OSC1		—	—	5	ns	图 17.1	外部时钟 下降时间	$t_{f}$	OSC1		—	—	5	ns	图 17.1
项目	符号	适用管脚	测定条件					规格值					单位	参照图																																																																								
				min.	typ.	max.																																																																																
系统时钟 振荡器振荡频率	$f_{osc}$	OSC1, OSC2		2.0	—	20.0	MHz	*																																																																														
			选择内部振荡器时	0.7	—	2.0																																																																																
OSC 时钟 ( $\phi_{osc}$ ) 周期时间	$t_{osc}$	OSC1, OSC2		50.0	—	500	ns	图 17.1																																																																														
			选择内部振荡器时	500	—	1429																																																																																
外部时钟 高电平宽度	$t_{OH}$	OSC1		20	—	—	ns	图 17.1																																																																														
外部时钟 低电平宽度	$t_{OL}$	OSC1		20	—	—	ns	图 17.1																																																																														
外部时钟 上升时间	$t_{r}$	OSC1		—	—	5	ns	图 17.1																																																																														
外部时钟 下降时间	$t_{f}$	OSC1		—	—	5	ns	图 17.1																																																																														
		373	<p>修改了表:</p> <table border="1"> <thead> <tr> <th rowspan="2">项目</th> <th rowspan="2">符号</th> <th rowspan="2">测定条件</th> <th colspan="3">规格值</th> <th rowspan="2">单位</th> <th rowspan="2">参照图</th> </tr> <tr> <th>min.</th> <th>typ.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td>接收数据准备时间 (时钟同步)</td> <td><math>t_{BUS}</math></td> <td></td> <td>150.0</td> <td>—</td> <td>—</td> <td>ns</td> <td>图 17.5</td> </tr> <tr> <td>接收数据保持时间 (时钟同步)</td> <td><math>t_{HOLD}</math></td> <td></td> <td>150.0</td> <td>—</td> <td>—</td> <td>ns</td> <td>图 17.5</td> </tr> </tbody> </table>	项目	符号	测定条件	规格值			单位	参照图	min.	typ.	max.	接收数据准备时间 (时钟同步)	$t_{BUS}$		150.0	—	—	ns	图 17.5	接收数据保持时间 (时钟同步)	$t_{HOLD}$		150.0	—	—	ns	图 17.5																																																								
项目	符号	测定条件	规格值				单位	参照图																																																																														
			min.	typ.	max.																																																																																	
接收数据准备时间 (时钟同步)	$t_{BUS}$		150.0	—	—	ns	图 17.5																																																																															
接收数据保持时间 (时钟同步)	$t_{HOLD}$		150.0	—	—	ns	图 17.5																																																																															
		374	<p>修改了表:</p> <table border="1"> <thead> <tr> <th rowspan="2">项目</th> <th rowspan="2">符号</th> <th rowspan="2">适用管脚</th> <th rowspan="2">测定条件</th> <th colspan="3">规格值</th> <th rowspan="2">单位</th> <th rowspan="2">参照图</th> </tr> <tr> <th>min.</th> <th>typ.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td>转换时间</td> <td></td> <td></td> <td></td> <td>6.2</td> <td>—</td> <td>124</td> <td><math>\mu</math>s</td> <td></td> </tr> </tbody> </table>	项目	符号	适用管脚	测定条件	规格值			单位	参照图	min.	typ.	max.	转换时间				6.2	—	124	$\mu$ s																																																															
项目	符号	适用管脚	测定条件					规格值					单位	参照图																																																																								
				min.	typ.	max.																																																																																
转换时间				6.2	—	124	$\mu$ s																																																																															
		380	<p>修改了表:</p> <table border="1"> <thead> <tr> <th rowspan="2">项目</th> <th rowspan="2">符号</th> <th rowspan="2">适用管脚</th> <th rowspan="2">测定条件</th> <th colspan="3">规格值</th> <th rowspan="2">单位</th> <th rowspan="2">备注</th> </tr> <tr> <th>min.</th> <th>typ.</th> <th>max.</th> </tr> </thead> <tbody> <tr> <td>内部振荡器退出时间</td> <td><math>t_{OFF}</math></td> <td></td> <td><math>V_{CC}=5V</math></td> <td>0.2</td> <td>0.4</td> <td>—</td> <td>s</td> <td>*</td> </tr> </tbody> </table>	项目	符号	适用管脚	测定条件	规格值			单位	备注	min.	typ.	max.	内部振荡器退出时间	$t_{OFF}$		$V_{CC}=5V$	0.2	0.4	—	s	*																																																														
项目	符号	适用管脚	测定条件					规格值					单位	备注																																																																								
				min.	typ.	max.																																																																																
内部振荡器退出时间	$t_{OFF}$		$V_{CC}=5V$	0.2	0.4	—	s	*																																																																														
		394	<p>修改了:</p> <p>“4. 当 R4L 的设定值为 n 时, 执行状态数为 <math>4n+9</math>, 当 H8/38004 群、H8/38002S 群和 H8/38104 群时, 执行状态数为 <math>4n+8</math>。”</p>																																																																																			
		416	<p>追加了图 B.7 (c) :</p> <p>“图 B.7 (c) 端口 9 框图 (P93 管脚, 只限于 H8/38104 群)”</p>																																																																																			
		419	<p>追加了 B.9 (b) :</p> <p>“图 B.9 (b) 端口 B 框图 (PB0 管脚, 只限于 H8/38104 群)”</p>																																																																																			
		420	<p>追加了 B.9 (c) :</p> <p>“图 B.9 (c) 端口 B 框图 (PB1 管脚, 只限于 H8/38104 群)”</p>																																																																																			

		424	追加了表 D.3: “表 D.3 H8/38002S 群型号一览表”
		426	修改了: “FP-64A、FP-64E、FP-64K 和 DP-64S 外形尺寸图分别如图 E.1~图 E.4 所示。”
		428	追加了图 E.3: “图 E.3 外形尺寸图 (FP-64K)”



---

## 索引

---

ADRR.....	275, 317, 320, 323	PDR6.....	171, 317, 320, 323
ADSR.....	276, 317, 320, 323	PDR7.....	174, 317, 320, 323
AECSR.....	208, 316, 319, 322	PDR8.....	176, 317, 320, 323
AMR.....	275, 317, 320, 323	PDR9.....	178, 317, 320, 323
BRR.....	232, 316, 319, 322	PDRA.....	180, 317, 320, 323
CKSTPR1.....	103, 318, 321, 324	PDRB.....	182, 317, 320, 323
CKSTPR2.....	103, 318, 321, 324	PMR2.....	162, 317, 320, 323
EBR.....	129, 316, 319, 322	PMR3.....	161, 317, 320, 323
ECCR.....	209, 316, 319, 322	PMR5.....	169, 317, 320, 323
ECCSR.....	210, 316, 319, 322	PMR9.....	179, 318, 321, 324
ECPWCR.....	206, 316, 319, 322	PMRB.....	183, 318, 321, 324
ECPWDR.....	207, 316, 319, 322	PUCR3.....	161, 317, 320, 323
FENR.....	130, 316, 319, 322	PUCR5.....	169, 317, 320, 323
FLMCR1.....	128, 316, 319, 322	PUCR6.....	172, 317, 321, 324
FLMCR2.....	129, 316, 319, 322	PWCR.....	270, 317, 320, 323
FLPWCR.....	129, 316, 319, 322	PWDR.....	271, 317, 320, 323
IEGR.....	70, 318, 321, 324	RDR.....	225, 316, 319, 322
IENR.....	71, 318, 321, 324	RSR.....	225
IRR.....	73, 318, 321, 324	SCR3.....	228, 316, 319, 322
IWPR.....	75, 318, 321, 324	SMR.....	226, 316, 319, 322
LCR.....	290, 317, 320, 323	SPCR.....	166, 316, 319, 322
LCR2.....	291, 317, 320, 323	SSR.....	230, 316, 319, 322
LPCR.....	288, 317, 320, 323	SYSCR1.....	100, 318, 321, 324
LVDCR.....	303	SYSCR2.....	102, 318, 321, 324
LVDSR.....	304	TCA.....	188, 316, 319, 322
OCR.....	192, 317, 320, 323	TCR.....	193, 316, 320, 322
PCR3.....	160, 317, 321, 324	TCSR.....	194, 316, 320, 322
PCR4.....	165, 317, 321, 324	TCSRW.....	219, 316, 319, 322
PCR5.....	169, 317, 321, 324	TCW.....	220, 316, 319, 322
PCR6.....	172, 318, 321, 324	TDR.....	225, 316, 319, 322
PCR7.....	175, 318, 321, 324	TMA.....	187, 316, 319, 322
PCR8.....	177, 318, 321, 324	TSR.....	225
PCRA.....	181, 318, 321, 324	WEGR.....	75, 316, 319, 322
PDR3.....	160, 317, 320, 323		
PDR4.....	165, 317, 320, 323		
PDR5.....	168, 317, 320, 323		



---

瑞萨8位单片机硬件手册  
H8/3802、H8/38004、H8/38002S、H8/38104群

Publication Date: 1st Edition, March, 2005  
Rev.2.00, February 23, 2006  
Published by: Sales Strategic Planning Div.  
Renesas Technology Corp.  
Edited by: Customer Support Department  
Global Strategic Communication Div.  
Renesas Solutions Corp.

Renesas Technology Corp. Sales Strategic Planning Div. Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan

---



**RENESAS SALES OFFICES**

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

**Renesas Technology America, Inc.**

450 Holger Way, San Jose, CA 95134-1368, U.S.A  
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

**Renesas Technology Europe Limited**

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.  
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

**Renesas Technology (Shanghai) Co., Ltd.**

Unit 204, 205, AZIACenter, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120  
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7898

**Renesas Technology Hong Kong Ltd.**

7th Floor, North Tower, World Finance Centre, Harbour City, 1 Canton Road, Tsimshatsui, Kowloon, Hong Kong  
Tel: <852> 2265-6688, Fax: <852> 2730-6071

**Renesas Technology Taiwan Co., Ltd.**

10th Floor, No.99, Fushing North Road, Taipei, Taiwan  
Tel: <886> (2) 2715-2888, Fax: <886> (2) 2713-2999

**Renesas Technology Singapore Pte. Ltd.**

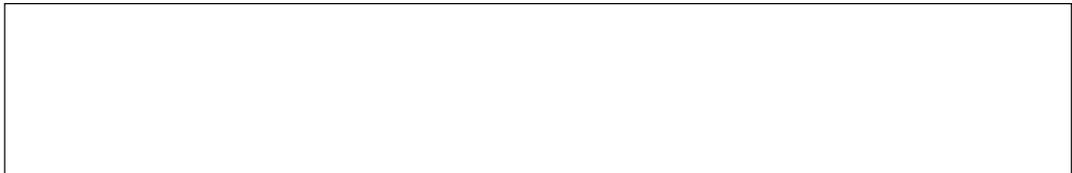
1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632  
Tel: <65> 6213-0200, Fax: <65> 6278-8001

**Renesas Technology Korea Co., Ltd.**

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea  
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

**Renesas Technology Malaysia Sdn. Bhd**

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jalan Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia  
Tel: <603> 7955-9390, Fax: <603> 7955-9510





H8/3802、 H8/38004、  
H8/38002S、 H8/38104 群

**RENESAS**

瑞萨电子株式会社

RCJ09B0009-0200