

本产品仅在中国大陆及香港地区销售

μPD79F7027, μPD79F7028

用户手册 硬件篇

16位 单片机

本资料所记载的内容，均为本资料发行时的信息，瑞萨电子对本资料所记载的产品或者规格可能会作改动，恕不另行通知。
请通过瑞萨电子的主页确认发布的最新信息。

Notice

1. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
2. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
3. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
4. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from such alteration, modification, copy or otherwise misappropriation of Renesas Electronics product.
5. Renesas Electronics products are classified according to the following two quality grades: "Standard" and "High Quality". The recommended applications for each Renesas Electronics product depends on the product's quality grade, as indicated below.

"Standard": Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots etc.

"High Quality": Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; and safety equipment etc.

Renesas Electronics products are neither intended nor authorized for use in products or systems that may pose a direct threat to human life or bodily injury (artificial life support devices or systems, surgical implantations etc.), or may cause serious property damages (nuclear reactor control systems, military equipment etc.). You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application for which it is not intended. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for which the product is not intended by Renesas Electronics.
6. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
7. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or systems manufactured by you.
8. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
9. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations. You should not use Renesas Electronics products or technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. When exporting the Renesas Electronics products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations.
10. It is the responsibility of the buyer or distributor of Renesas Electronics products, who distributes, disposes of, or otherwise places the product with a third party, to notify such third party in advance of the contents and conditions set forth in this document, Renesas Electronics assumes no responsibility for any losses incurred by you or third parties as a result of unauthorized use of Renesas Electronics products.
11. This document may not be reproduced or duplicated in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) "Renesas Electronics" as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) "Renesas Electronics product(s)" means any product developed or manufactured by or for Renesas Electronics.

注意事项

1. 本文档中所记载的关于电路、软件和其他相关信息仅用于说明半导体产品的操作和应用实例。用户如在设备设计中应用本文档中的电路、软件和相关信息，请自行负责。对于用户或第三方因使用上述电路、软件或信息而遭受的任何损失，瑞萨电子不承担任何责任。
2. 在准备本文档所记载的信息的过程中，瑞萨电子已尽量做到合理注意，但是，瑞萨电子并不保证这些信息都是准确无误的。用户因本文档中所记载的信息的错误或遗漏而遭受的任何损失，瑞萨电子不承担任何责任。
3. 对于因使用本文档中的瑞萨电子产品或技术信息而造成的侵权行为或因此而侵犯第三方的专利、版权或其他知识产权的行为，瑞萨电子不承担任何责任。本文档所记载的内容不应视为对瑞萨电子或其他人所有的专利、版权或其他知识产权作出任何明示、默示或其它方式的许可及授权。
4. 用户不得更改、修改、复制或以其他方式部分或全部地非法使用瑞萨电子的任何产品。对于用户或第三方因上述更改、修改、复制或以其他方式非法使用瑞萨电子产品的行为而遭受的任何损失，瑞萨电子不承担任何责任。
5. 瑞萨电子产品根据其质量等级分为两个等级：“标准等级”和“高质量等级”。每种瑞萨电子产品的推荐用途均取决于产品的质量等级，如下所示：

标准等级： 计算机、办公设备、通讯设备、测试和测量设备、视听设备、家用电器、机械工具、个人电子设备以及工业机器人等。

高质量等级： 运输设备（汽车、火车、轮船等）、交通控制系统、防灾系统、预防犯罪系统以及安全设备等。

瑞萨电子产品无意用于且未被授权用于可能对人类生命造成直接威胁的产品或系统及可能造成人身伤害的产品或系统（人工生命维持装置或系统、植埋于体内的装置等）中，或者可能造成重大财产损失的产品或系统（核反应堆控制系统、军用设备等）中。在将每种瑞萨电子产品用于某种特定应用之前，用户应先确认其质量等级。不得将瑞萨电子产品用于超出其设计用途之外的任何应用。对于用户或第三方因将瑞萨电子产品用于其设计用途之外而遭受的任何损害或损失，瑞萨电子不承担任何责任。

6. 使用本文档中记载的瑞萨电子产品时，应在瑞萨电子指定的范围内，特别是在最大额定值、电源工作电压范围、移动电源电压范围、热辐射特性、安装条件以及其他产品特性的范围内使用。对于在上述指定范围之外使用瑞萨电子产品而产生的故障或损失，瑞萨电子不承担任何责任。
7. 虽然瑞萨电子一直致力于提高瑞萨电子产品的质量和可靠性，但是，半导体产品有其自身的具体特性，如一定的故障发生率以及在某些使用条件下会发生故障等。此外，瑞萨电子产品均未进行防辐射设计。所以请采取安全保护措施，以避免当瑞萨电子产品在发生故障而造成火灾时导致人身事故、伤害或损害的事故。例如进行软硬件安全设计（包括但不限于冗余设计、防火控制以及故障预防等）、适当的老化处理或其他适当的措施等。由于难于对微机软件单独进行评估，所以请用用户自行对最终产品或系统进行安全评估。
8. 关于环境保护方面的详细内容，例如每种瑞萨电子产品的环境兼容性等，请与瑞萨电子的营业部门联系。使用瑞萨电子产品时，请遵守对管制物质的使用或含量进行管理的所有相应法律法规（包括但不限于《欧盟 RoHS 指令》）。对于因用户未遵守相应法律法规而导致的损害或损失，瑞萨电子不承担任何责任。
9. 不可将瑞萨电子产品和技术用于或者嵌入日本国内或海外相应的法律法规所禁止生产、使用及销售的任何产品或系统中。也不可将本文档中记载的瑞萨电子产品或技术用于与军事应用或者军事用途有关的任何目的（如大规模杀伤性武器的开发等）。在将本文档中记载的瑞萨电子产品或技术进行出口时，应当遵守相应的出口管制法律法规，并按照上述法律法规所规定的程序进行。
10. 向第三方分销或处分产品或以其他方式将产品置于第三方控制之下的瑞萨电子产品买方或分销商，有责任事先向上述第三方通知本文档规定的内容和条件；对于用户或第三方因非法使用瑞萨电子产品而遭受的任何损失，瑞萨电子不承担任何责任。
11. 在事先未得到瑞萨电子书面认可的情况下，不得以任何形式部分或全部转载或复制本文档。
12. 如果对本文档所记载的信息或瑞萨电子产品有任何疑问，或者用户有任何其他疑问，请向瑞萨电子的营业部门咨询。

（注 1） 瑞萨电子：在本文档中指瑞萨电子株式会社及其控股子公司。

（注 2） 瑞萨电子产品：指瑞萨电子开发或生产的任何产品。

关于 CMOS 器件的注意事项

① 输入引脚处的施加电压波形

输入噪声或由反射波引起的波形失真可能导致故障发生。如果由于噪声等影响，使CMOS器件的输入电压范围处于在 V_{IL} (MAX) 和 V_{IH} (MIN) 之间，器件可能发生故障。在输入电平固定时以及输入电平从 V_{IL} (MAX) 到 V_{IH} (MIN) 的过渡期间，要谨防颤振噪声进入器件。

② 未使用的输入引脚的处理

CMOS器件上未连接的输入端可能是故障源。如果一个输入引脚未被连接，则由于噪声等原因可能会产生内部输入电平，从而导致故障。CMOS器件的工作方式与双极性或NMOS器件不同。CMOS器件的输入电平必须借助上拉或下拉电路固定于高电平或低电平。每一个未使用引脚只要有可能成为输出引脚时，都应该通过附加电阻连接到 V_{DD} 或GND。对未使用引脚的处理因器件而异，必须遵循与器件相关的规格和说明。

③ ESD防护措施

如果MOS器件周围有强电场，将会击穿氧化栅极，降低器件的工作性能。因此必须采取措施，尽可能防止静电产生。一旦有静电，必须立即释放。环境必须控制适当。如果空气干燥，应当使用加湿器。建议避免使用容易产生静电的绝缘体。半导体器件的存放和运输必须使用抗静电容器、静电屏蔽袋或导电材料包装。所有包括工作台和工作面的测试和测量工具必须良好接地。操作员应当佩戴手腕带以保证良好接地。不能用手直接接触半导体器件。对装配有半导体器件的PW板也应采取类似的静电防范措施。

④ 初始化之前的状态

上电并不一定定义MOS器件的初始状态。刚接通电源时，具有复位功能的MOS器件并没有被初始化。因此上电不能保证输出引脚的电平、输入/输出设置和寄存器的内容。器件在收到复位信号后才进行初始化。具有复位功能的器件在上电后必须立即进行复位操作。

⑤ 电源上电/断电序列

器件内部工作和外部接口使用不同电源的情况下，原则上应先在接通内部电源之后再接通外部电源。当关闭电源时，原则上先关闭外部电源再关闭内部电源。如果电源开关顺序相反，可能会对器件的内部元件施加电压，从而由于异常电流的流过而造成故障和降低元件的性能。须视具体器件和支配器件的相关规格来单独决定正确的上电/断电序列。

⑥ 断电状态期间的信号输入

不要在器件断电时输入信号或输入/输出上拉电源。因为输入信号或提供输入/输出上拉电源将引起电流注入，从而引起器件的误操作，并且此时流过器件的异常电流引起内部元件性能劣化。须视具体器件和支配器件的相关规格来单独决定断电状态期间的信号输入。

本手册的使用方法

读者

本手册用于那些希望了解μPD79F7027, μPD79F7028的功能, 并使用这些产品设计开发应用系统、应用程序的用户工程师。

对象产品如下。

- 30引脚: μ PD79F7027MC, μ PD79F7028MC
- 32引脚: μ PD79F7027GA, μ PD79F7028GA

目的

本手册适用于帮助用户了解下述结构中所述的μPD79F7027, μPD79F7028功能。

结构

μPD79F7027, μPD79F7028手册分为两个部分：本手册和软件篇（RL78系列共通）。

| μPD79F7027, μPD79F7028 | RL78 系列 |
|------------------------|-------------|
| 用户手册 硬件篇 (本手册) | 用户手册 软件篇 |

| | |
|--|---|
| <ul style="list-style-type: none">• 引脚功能• 内部块功能• 中断功能• 其他片上外设功能• 电特性 | <ul style="list-style-type: none">• CPU 功能• 指令集• 各指令的说明 |
|--|---|

如何阅读本手册

假定本手册的读者具备电气工程、逻辑电路以及单片机领域的常识。

- 寄存器格式的说明：
 - 关于尖括 (<>) 内的位数，其名称在汇编程序中定义为保留字，并在编译器中使用 **#pragma sfr** 指令定义为 **sfr** 变量。
- 要了解 **μPD79F7027**, **μPD79F7028** 单片机指令功能的详细情况：
 - 参见单独文件 **RL78族 用户手册 软件篇 (R01US0015E)**。

| | | |
|----|----------|---|
| 惯例 | 数据有效位: | 高位在左, 低位在右 |
| | 有效低电平表示: | $\overline{\text{xxx}}$ (在引脚或信号名称上有上划线) |
| | 注: | 正文中使用“注”标记的脚注 |
| | 注意事项: | 需特别注意的信息 |
| | 备注: | 补充信息 |
| | 数字表示法: | 二进制xxxx 或 xxxxB 十进制xxxx 十六进制xxxxH |

相关文档 本手册中的相关文档可能包括初稿版本。但是，初稿版本并未特别标注。

设备相关文档

| 文档名称 | 文档编号 |
|---------------------------------|------------|
| μPD79F7027, μPD79F7028 用户手册 硬件篇 | 本手册 |
| RL78 族 用户手册 软件篇 | R01US0015E |

闪存编程器相关文档

| 文档名称 | 文档编号 |
|-------------------|------------|
| PG-FP5 闪存编程器 用户手册 | R20UT0008E |

注意事项 上述列出的文件随时可能被更改，恕不另行通知。设计时，请确保使用各个文件的最新版本。

其他文件

| 文件名称 | 文件编号 |
|--------------------|------------|
| 瑞萨微型计算机整体目录 | R01CS0001E |
| 半导体设备安装手册 | 注 |
| 预防静电放电(ESD)损坏半导体设备 | C11892E |

注 请参阅“半导体设备安装手册”网站 (<http://www.renesas.com/products/package/manual/index.jsp>).

注意事项 上述列出的文件随时可能被更改，恕不另行通知。设计时请确保使用各个文件的最新版本。

所有商标及注册商标分别归属于其所有者。

本用户手册仅为参考译文，对应的日文版和英文版具有正式效力。

目录

| | | |
|--------|---------------------------------------|----|
| 1. | 概述 | 1 |
| 1.1 | 特点 | 1 |
| 1.2 | 订购信息 | 3 |
| 1.3 | 引脚配置（顶视图） | 4 |
| 1.3.1 | 30引脚产品 | 4 |
| 1.3.2 | 32引脚产品 | 5 |
| 1.4 | 引脚名称 | 6 |
| 1.5 | 框图 | 7 |
| 1.5.1 | 30引脚产品 | 7 |
| 1.5.2 | 32引脚产品 | 8 |
| 1.6 | 功能概述 | 9 |
| 2. | 引脚功能 | 11 |
| 2.1 | 引脚功能列表 | 11 |
| 2.1.1 | 30引脚产品 | 12 |
| 2.1.2 | 32引脚产品 | 14 |
| 2.1.3 | 各产品的引脚（端口以外的引脚） | 16 |
| 2.2 | 引脚功能的描述 | 18 |
| 2.2.1 | P00、P01（端口0） | 18 |
| 2.2.2 | P10至P17（端口1） | 19 |
| 2.2.3 | P20至P23（端口2） | 20 |
| 2.2.4 | P30、P31（端口3） | 21 |
| 2.2.5 | P40（端口4） | 22 |
| 2.2.6 | P50、P51（端口5） | 23 |
| 2.2.7 | P60至P62（端口6） | 24 |
| 2.2.8 | P70（端口7） | 24 |
| 2.2.9 | P120至P122（端口12） | 25 |
| 2.2.10 | P137（端口13） | 25 |
| 2.2.11 | P147（端口14） | 26 |
| 2.2.12 | VDD, VSS | 26 |
| 2.2.13 | RESET | 26 |
| 2.2.14 | REGC | 26 |
| 2.3 | 引脚的输入/输出电路和未使用引脚的推荐连接 | 27 |
| 3. | CPU架构 | 30 |
| 3.1 | 存储空间 | 30 |
| 3.1.1 | 内部程序存储器空间 | 35 |
| 3.1.2 | 镜像区域 | 37 |
| 3.1.3 | 内部数据存储空间 | 39 |
| 3.1.4 | 特殊功能寄存器(SFR)区域 | 40 |
| 3.1.5 | 扩展特殊功能寄存器（2nd SFR: 第二特殊功能寄存器）区域 | 40 |
| 3.1.6 | 数据存储器寻址 | 41 |
| 3.2 | 处理器寄存器 | 44 |
| 3.2.1 | 控制寄存器 | 44 |
| 3.2.2 | 通用寄存器 | 47 |

| | | |
|--------|--------------------------------------|-----|
| 3.2.3 | ES和CS寄存器 | 49 |
| 3.2.4 | 特殊功能寄存器(SFR) | 50 |
| 3.2.5 | 扩展特殊功能寄存器 (2nd SFR: 第二特殊功能寄存器) | 54 |
| 3.3 | 指令地址寻址 | 60 |
| 3.3.1 | 相对寻址 | 60 |
| 3.3.2 | 立即寻址 | 60 |
| 3.3.3 | 表间接寻址 | 61 |
| 3.3.4 | 寄存器直接寻址 | 62 |
| 3.4 | 处理数据地址的寻址 | 63 |
| 3.4.1 | 隐含寻址 | 63 |
| 3.4.2 | 寄存器寻址 | 63 |
| 3.4.3 | 直接寻址 | 64 |
| 3.4.4 | 短直接寻址 | 65 |
| 3.4.5 | SFR寻址 | 66 |
| 3.4.6 | 寄存器间接寻址 | 67 |
| 3.4.7 | 基址寻址 | 68 |
| 3.4.8 | 基址变址寻址 | 71 |
| 3.4.9 | 堆栈寻址 | 72 |
| 4. | 端口功能 | 73 |
| 4.1 | 端口功能 | 73 |
| 4.2 | 端口配置 | 74 |
| 4.2.1 | 端口0 | 75 |
| 4.2.2 | 端口1 | 78 |
| 4.2.3 | 端口2 | 88 |
| 4.2.4 | 端口3 | 90 |
| 4.2.5 | 端口4 | 93 |
| 4.2.6 | 端口5 | 95 |
| 4.2.7 | 端口6 | 98 |
| 4.2.8 | 端口7 | 100 |
| 4.2.9 | 端口12 | 102 |
| 4.2.10 | 端口13 | 105 |
| 4.2.11 | 端口14 | 107 |
| 4.3 | 控制端口功能的寄存器 | 109 |
| 4.4 | 端口功能的操作 | 121 |
| 4.4.1 | 输入/输出端口的写入 | 121 |
| 4.4.2 | 输入/输出端口的读取 | 121 |
| 4.4.3 | 输入/输出端口的操作 | 121 |
| 4.4.4 | 与不同电位的外部器件 (2.5 V、3 V) 的连接方法 | 122 |
| 4.5 | 使用复用功能时的端口关联寄存器的设置 | 124 |
| 4.6 | 使用端口功能时的注意事项 | 128 |
| 4.6.1 | 端口寄存器n (Pn) 的位操作指令的注意事项 | 128 |
| 5. | 时钟发生电路 | 129 |
| 5.1 | 时钟发生电路的功能 | 129 |
| 5.2 | 时钟发生电路的配置 | 131 |
| 5.3 | 控制时钟发生电路的寄存器 | 133 |
| 5.4 | 系统时钟振荡电路 | 148 |
| 5.4.1 | X1振荡电路 | 148 |

| | | |
|-------|--------------------------------------|-----|
| 5.4.2 | 高速片上振荡器 | 151 |
| 5.4.3 | 低速片上振荡器 | 151 |
| 5.5 | 时钟发生电路的操作 | 152 |
| 5.6 | 控制时钟 | 154 |
| 5.6.1 | 高速片上振荡器的设置示例 | 154 |
| 5.6.2 | X1 振荡时钟的设置示例 | 156 |
| 5.6.3 | CPU 时钟状态转换图 | 157 |
| 5.6.4 | 转换 CPU 时钟之前的条件以及转换 CPU 时钟之后的处理 | 161 |
| 5.6.5 | 切换 CPU 时钟和切换主系统时钟所需要的时间 | 162 |
| 5.6.6 | 停止时钟振荡前的条件 | 163 |
| 5.7 | 操作经验证的谐振器和参考振荡器常数（截止到2012年6月） | 164 |
| 6. | 定时器阵列单元 | 167 |
| 6.1 | 定时器阵列单元功能 | 168 |
| 6.1.1 | 单通道操作功能 | 168 |
| 6.1.2 | 多通道联动操作功能 | 169 |
| 6.1.3 | 8位定时器操作功能（仅限通道1和3） | 170 |
| 6.2 | 定时器阵列单元的配置 | 171 |
| 6.3 | 控制定时器阵列单元的寄存器 | 177 |
| 6.4 | 定时器阵列单元的基本规则 | 200 |
| 6.4.1 | 多通道联动操作功能的基本规则 | 200 |
| 6.4.2 | 8位定时器操作功能的基本规则（仅限通道1和3） | 202 |
| 6.5 | 计数器的操作时序 | 203 |
| 6.5.1 | 计数时钟(f _{TCCLK}) | 203 |
| 6.5.2 | 计数器的开始时序 | 205 |
| 6.6 | 通道输出（TOMn 引脚）控制 | 211 |
| 6.6.1 | TOMn 引脚输出电路配置 | 211 |
| 6.6.2 | TOMn 引脚输出设置 | 212 |
| 6.6.3 | 通道输出操作的注意事项 | 213 |
| 6.6.4 | TOMn 位的集中操作 | 219 |
| 6.6.5 | 计数操作开始时的定时器中断和 TOMn 引脚输出 | 220 |
| 6.7 | 定时器阵列单元的单通道操作功能 | 221 |
| 6.7.1 | 作为间隔定时器/方波输出的操作 | 221 |
| 6.7.2 | 作为外部事件计数器操作 | 227 |
| 6.7.3 | 作为分频器的操作（仅限单元0的通道0） | 232 |
| 6.7.4 | 作为输入脉冲间隔测量的操作 | 236 |
| 6.7.5 | 输入信号高/低电平宽度测量的操作 | 240 |
| 6.7.6 | 作为延迟计数器的操作 | 244 |
| 6.8 | 定时器阵列单元的多通道联动操作功能 | 249 |
| 6.8.1 | 作为单触发脉冲输出功能操作 | 249 |
| 6.8.2 | 作为 PWM 功能的操作 | 256 |
| 6.8.3 | 作为多重 PWM 输出功能的操作 | 263 |
| 6.9 | 使用定时器阵列单元时的注意事项 | 271 |
| 6.9.1 | 使用定时器输出时的注意事项 | 271 |
| 7. | 定时器 RJ | 272 |
| 7.1 | 概述 | 272 |
| 7.2 | 输入/输出引脚 | 273 |
| 7.3 | 寄存器 | 274 |

| | | |
|--------|--|-----|
| 7.3.1 | 外围允许寄存器1 (PER1) | 275 |
| 7.3.2 | 操作速度模式控制寄存器 (OSMC) | 276 |
| 7.3.3 | 定时器RJ计数器寄存器0 (TRJ0), 定时器RJ重加载寄存器 | 277 |
| 7.3.4 | 定时器RJ控制寄存器0 (TRJCR0) | 278 |
| 7.3.5 | 定时器RJ输入/输出控制寄存器0 (TRJIOC0) | 280 |
| 7.3.6 | 定时器RJ模式寄存器0 (TRJMR0) | 282 |
| 7.3.7 | 定时器RJ事件引脚选择寄存器0 (TRJISR0) | 283 |
| 7.3.8 | 端口模式寄存器0、3 (PM0、PM3) | 284 |
| 7.4 | 操作 | 285 |
| 7.4.1 | 重加载寄存器和计数器的改写操作 | 285 |
| 7.4.2 | 定时器模式 | 286 |
| 7.4.3 | 脉冲输出模式 | 287 |
| 7.4.4 | 事件计数器模式 | 288 |
| 7.4.5 | 脉冲宽度测量模式 | 289 |
| 7.4.6 | 脉冲周期测量模式 | 290 |
| 7.4.7 | 与事件链接控制器(ELC)的协作 | 291 |
| 7.4.8 | 各模式的输出设置 | 291 |
| 7.5 | 定时器RJ使用上的注意事项 | 292 |
| 7.5.1 | 计数操作开始和停止控制 | 292 |
| 7.5.2 | 标志的存取 (TRJCR0寄存器中的TEDGF和TUNDF位) | 292 |
| 7.5.3 | 计数器寄存器的存取 | 292 |
| 7.5.4 | 更改模式时 | 292 |
| 7.5.5 | 引脚TRJ00和TRJIO0的设置步骤 | 293 |
| 7.5.6 | 当定时器RJ未使用时 | 293 |
| 7.5.7 | 当定时器RJ工作时钟停止时 | 293 |
| 7.5.8 | STOP模式的设置步骤 (事件计数器模式) | 293 |
| 7.5.9 | STOP模式下的功能限制 (仅限事件计数器模式) | 294 |
| 7.5.10 | 通过TSTOP位强行停止计数时 | 294 |
| 7.5.11 | 数字滤波器 | 294 |
| 7.5.12 | 将fIL选作计数源时 | 294 |
| 8. | 定时器RD | 295 |
| 8.1 | 概述 | 295 |
| 8.2 | 寄存器 | 297 |
| 8.2.1 | 外围允许寄存器1 (PER1) | 298 |
| 8.2.2 | 定时器RD ELC寄存器 (TRDELIC) | 299 |
| 8.2.3 | 定时器RD开始寄存器 (TRDSTR) | 300 |
| 8.2.4 | 定时器RD模式寄存器 (TRDMR) | 301 |
| 8.2.5 | 定时器RD PWM功能选择寄存器 (TRDPMR) | 302 |
| 8.2.6 | 定时器RD功能控制寄存器 (TRDFCR) | 303 |
| 8.2.7 | 定时器RD输出主允许寄存器1 (TRDOER1) | 305 |
| 8.2.8 | 定时器RD输出主允许寄存器2 (TRDOER2) | 306 |
| 8.2.9 | 定时器RD输出控制寄存器 (TRDOCR) | 307 |
| 8.2.10 | 定时器RD数字滤波器功能选择寄存器i (TRDDFi) (i = 0或1) | 310 |
| 8.2.11 | 定时器RD控制寄存器i (TRDCRi) (i = 0或1) | 312 |
| 8.2.12 | 定时器RD输入/输出控制寄存器Ai (TRDIORAi) (i = 0或1) | 317 |
| 8.2.13 | 定时器RD输入/输出控制寄存器Ci (TRDIORCi) (i = 0或1) | 319 |
| 8.2.14 | 定时器RD状态寄存器i (TRDSRi) (i = 0或1) | 321 |
| 8.2.15 | 定时器RD中断允许寄存器i (TRDIERi) (i = 0或1) | 325 |

| | | |
|--------|--|-----|
| 8.2.16 | 定时器RD PWM功能输出电平控制寄存器i (TRDPOCRi) (i = 0或1) | 326 |
| 8.2.17 | 定时器RD计数器i (TRDi) (i = 0或1) | 327 |
| 8.2.18 | 定时器RD通用寄存器Ai、Bi、Ci和Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi) (i = 0或1) [输入捕捉功能] | 329 |
| 8.2.19 | 端口模式寄存器 1 (PM1) | 338 |
| 8.3 | 操作 | 339 |
| 8.3.1 | 多种模式共有的项目 | 339 |
| 8.3.2 | 输入捕捉功能 | 347 |
| 8.3.3 | 输出比较功能 | 351 |
| 8.3.4 | PWM功能 | 356 |
| 8.3.5 | 复位同步PWM模式 | 360 |
| 8.3.6 | 互补PWM模式 | 363 |
| 8.3.7 | PWM3模式 | 367 |
| 8.4 | 定时器RD中断 | 370 |
| 8.5 | 定时器RD的注意事项 | 372 |
| 8.5.1 | SFR读/写存取 | 372 |
| 8.5.2 | 模式切换 | 372 |
| 8.5.3 | 计数源 | 373 |
| 8.5.4 | 输入捕捉功能 | 373 |
| 8.5.5 | 设置TRDIOAi、TRDIOBi、TRDIOCi和TRDIODi引脚的步骤 (i = 0或1) | 373 |
| 8.5.6 | 外接时钟TRDCLK | 374 |
| 8.5.7 | 复位同步PWM模式 | 374 |
| 8.5.8 | 互补PWM模式 | 374 |
| 9. | 12位间隔定时器 | 379 |
| 9.1 | 12位间隔定时器的功能 | 379 |
| 9.2 | 12位间隔定时器的配置 | 379 |
| 9.3 | 控制12位间隔定时器的寄存器 | 380 |
| 9.4 | 12位间隔定时器操作 | 383 |
| 10. | 时钟输出/蜂鸣器输出控制器 | 384 |
| 10.1 | 时钟输出/蜂鸣器输出控制器的功能 | 384 |
| 10.2 | 时钟输出/蜂鸣器输出控制器的配置 | 385 |
| 10.3 | 控制时钟输出/蜂鸣器输出控制器的寄存器 | 385 |
| 10.4 | 时钟输出/蜂鸣器输出控制器的操作 | 388 |
| 10.4.1 | 作为输出引脚的操作 | 388 |
| 10.5 | 时钟输出/蜂鸣器输出控制器的注意事项 | 388 |
| 11. | 看门狗定时器 | 389 |
| 11.1 | 看门狗定时器的功能 | 389 |
| 11.2 | 看门狗定时器的配置 | 390 |
| 11.3 | 控制看门狗定时器的寄存器 | 391 |
| 11.4 | 看门狗定时器的操作 | 392 |
| 11.4.1 | 控制看门狗定时器的操作 | 392 |
| 11.4.2 | 设置看门狗定时器的溢出时间 | 393 |
| 11.4.3 | 设置看门狗定时器的窗口开启期间 | 394 |
| 11.4.4 | 设置看门狗定时器的间隔中断 | 395 |

| | | |
|---------|--|-----|
| 12. | A/D 转换器 | 396 |
| 12.1 | A/D 转换器的功能 | 396 |
| 12.2 | A/D 转换器的配置 | 398 |
| 12.3 | A/D 转换器中使用的寄存器 | 400 |
| 12.4 | A/D 转换器的转换操作 | 423 |
| 12.5 | 输入电压和转换结果 | 425 |
| 12.6 | A/D 转换器的操作模式 | 426 |
| 12.6.1 | 软件触发模式（选择模式、连续转换模式） | 426 |
| 12.6.2 | 软件触发模式（选择模式、单次转换模式） | 427 |
| 12.6.3 | 软件触发模式（扫描模式、连续转换模式） | 428 |
| 12.6.4 | 软件触发模式（扫描模式、单次转换模式） | 429 |
| 12.6.5 | 硬件触发无等待模式（选择模式、连续转换模式） | 430 |
| 12.6.6 | 硬件触发无等待模式（选择模式、单次转换模式） | 431 |
| 12.6.7 | 硬件触发无等待模式（扫描模式、连续转换模式） | 432 |
| 12.6.8 | 硬件触发无等待模式（扫描模式、单次转换模式） | 433 |
| 12.6.9 | 硬件触发等待模式（选择模式、连续转换模式） | 434 |
| 12.6.10 | 硬件触发等待模式（选择模式、单次转换模式） | 435 |
| 12.6.11 | 硬件触发等待模式（扫描模式、连续转换模式） | 436 |
| 12.6.12 | 硬件触发等待模式（扫描模式、单次转换模式） | 437 |
| 12.7 | A/D 转换器的设置流程图 | 438 |
| 12.7.1 | 设置软件触发模式 | 439 |
| 12.7.2 | 设置硬件触发无等待模式 | 440 |
| 12.7.3 | 设置硬件触发等待模式 | 441 |
| 12.7.4 | 使用温度传感器时的设置（软件触发模式、单次转换模式下的示例） | 442 |
| 12.7.5 | 设置测试模式 | 443 |
| 12.8 | SNOOZE 模式功能 | 444 |
| 12.9 | 如何阅读 A/D 转换器特性表 | 447 |
| 12.10 | A/D 转换器的注意事项 | 449 |
| 13. | 串行阵列单元 | 453 |
| 13.1 | 串行阵列单元的功能 | 454 |
| 13.1.1 | 3 线串行输入/输出 (CSI00) | 454 |
| 13.1.2 | UART (UART0、UART1) | 455 |
| 13.1.3 | 简易 I ² C (IIC00) | 456 |
| 13.2 | 串行阵列单元的配置 | 457 |
| 13.3 | 控制串行阵列单元的寄存器 | 462 |
| 13.4 | 操作停止模式 | 488 |
| 13.4.1 | 以单元单位停止操作 | 489 |
| 13.4.2 | 以通道单位停止操作时 | 490 |
| 13.5 | 3 线串行输入/输出 (CSI00) 通信的操作 | 491 |
| 13.5.1 | 主发送 | 493 |
| 13.5.2 | 主接收 | 503 |
| 13.5.3 | 主发送/接收 | 512 |
| 13.5.4 | 从发送 | 521 |
| 13.5.5 | 从接收 | 530 |
| 13.5.6 | 从发送/接收 | 537 |
| 13.5.7 | SNOOZE 模式功能 | 547 |
| 13.5.8 | 计算传送时钟频率 | 551 |
| 13.5.9 | 3 线串行输入/输出 (CSI00) 通信过程中发生错误时的处理步骤 | 553 |

| | | |
|--------|---|-----|
| 13.6 | 具有从设备选择输入功能的时钟同步串行通信 | 554 |
| 13.6.1 | 从发送 | 557 |
| 13.6.2 | 从接收 | 567 |
| 13.6.3 | 从发送/接收 | 574 |
| 13.6.4 | 计算传送时钟频率 | 584 |
| 13.6.5 | 从设备选择输入功能通信过程中发生错误时的处理步骤 | 586 |
| 13.7 | UART (UART0、UART1) 通信的操作 | 587 |
| 13.7.1 | UART 发送 | 589 |
| 13.7.2 | UART 接收 | 599 |
| 13.7.3 | SNOOZE 模式功能 | 606 |
| 13.7.4 | 计算波特率 | 611 |
| 13.7.5 | UART (UART0、UART1) 通信期间发生错误时的处理步骤 | 615 |
| 13.8 | 简易 I ² C (IIC00) 通信的操作 | 616 |
| 13.8.1 | 地址字段发送 | 618 |
| 13.8.2 | 数据发送 | 624 |
| 13.8.3 | 数据接收 | 628 |
| 13.8.4 | 发送停止条件 | 633 |
| 13.8.5 | 计算传送速率 | 634 |
| 13.8.6 | 简易 I ² C (IIC00) 通信期间发生错误时的处理步骤 | 637 |
| 14. | 事件链接控制器(ELC) | 638 |
| 14.1 | 概述 | 638 |
| 14.2 | 寄存器 | 639 |
| 14.2.1 | 事件输出目标选择寄存器 n (ELSELRn) (n = 00 至 05、08 至 13、16 至 19) | 640 |
| 14.3 | 操作 | 643 |
| 15. | 中断功能 | 644 |
| 15.1 | 中断功能类型 | 644 |
| 15.2 | 中断源和配置 | 644 |
| 15.3 | 控制中断功能的寄存器 | 648 |
| 15.4 | 中断处理的操作 | 657 |
| 15.4.1 | 可屏蔽中断请求受理 | 657 |
| 15.4.2 | 软件中断请求受理 | 660 |
| 15.4.3 | 嵌套中断处理 | 660 |
| 15.4.4 | 除法指令中的中断处理 | 664 |
| 15.4.5 | 保留中断请求 | 665 |
| 16. | 待机功能 | 666 |
| 16.1 | 待机功能和构成 | 666 |
| 16.1.1 | 待机功能 | 666 |
| 16.1.2 | 控制待机功能的寄存器 | 667 |
| 16.2 | 待机功能操作 | 670 |
| 16.2.1 | HALT 模式 | 670 |
| 16.2.2 | STOP 模式 | 674 |
| 16.2.3 | SNOOZE 模式 | 679 |
| 17. | 复位功能 | 681 |
| 17.1 | 确认复位源的寄存器 | 691 |

| | | |
|--------|---|-----|
| 18. | 上电复位电路 | 693 |
| 18.1 | 上电复位电路的功能 | 693 |
| 18.2 | 上电复位电路的配置 | 694 |
| 18.3 | 上电复位电路的操作 | 694 |
| 18.4 | 上电复位电路的注意事项 | 697 |
| 19. | 电压检测电路 | 699 |
| 19.1 | 电压检测电路的功能 | 699 |
| 19.2 | 电压检测电路的配置 | 700 |
| 19.3 | 控制电压检测电路的寄存器 | 700 |
| 19.4 | 电压检测电路的操作 | 706 |
| 19.4.1 | 复位模式时的设置 | 706 |
| 19.4.2 | 中断模式时的设置 | 708 |
| 19.4.3 | 使用中断&复位模式时 | 710 |
| 19.5 | 电压检测电路的注意事项 | 716 |
| 20. | 安全功能 | 718 |
| 20.1 | 安全功能的概述 | 718 |
| 20.2 | 安全功能使用的寄存器 | 719 |
| 20.3 | 安全功能的操作 | 719 |
| 20.3.1 | 闪存CRC运算功能（高速CRC） | 719 |
| 20.3.2 | CRC运算功能（通用CRC） | 723 |
| 20.3.3 | RAM奇偶校验错误检测功能 | 725 |
| 20.3.4 | RAM保护功能 | 726 |
| 20.3.5 | SFR保护功能 | 727 |
| 20.3.6 | 无效存储器存取检测功能 | 728 |
| 20.3.7 | 频率检测功能 | 730 |
| 20.3.8 | A/D测试功能 | 732 |
| 20.3.9 | 输入/输出端口的数字输出信号电平检测功能 | 734 |
| 21. | 稳压器 | 735 |
| 21.1 | 稳压器的概述 | 735 |
| 22. | 选项字节 | 736 |
| 22.1 | 选项字节的功能 | 736 |
| 22.1.1 | 用户选项字节（000C0H至000C2H/010C0H至010C2H） | 736 |
| 22.1.2 | 片上调试选项字节(000C3H/ 010C3H) | 737 |
| 22.2 | 用户选项字节的格式 | 738 |
| 22.3 | 片上调试选项字节的格式 | 744 |
| 22.4 | 选项字节的设置 | 745 |
| 23. | 闪存 | 746 |
| 23.1 | 使用闪存编程器写入闪存 | 747 |
| 23.1.1 | 编程环境 | 748 |
| 23.1.2 | 通信模式 | 748 |
| 23.2 | 使用外部器件（内置UART）写入闪存 | 749 |
| 23.2.1 | 编程环境 | 749 |
| 23.2.2 | 通信模式 | 750 |

| | | |
|--------|--|-----|
| 23.3 | 板上引脚连接 | 751 |
| 23.3.1 | P40/TOOL0 引脚 | 751 |
| 23.3.2 | RESET 引脚 | 751 |
| 23.3.3 | 端口 | 752 |
| 23.3.4 | REGC 引脚 | 752 |
| 23.3.5 | X1 和 X2 引脚 | 752 |
| 23.3.6 | 电源 | 752 |
| 23.4 | 编程方法 | 753 |
| 23.4.1 | 闪存的控制 | 753 |
| 23.4.2 | 闪存的编程模式 | 754 |
| 23.4.3 | 通信模式 | 755 |
| 23.4.4 | 通信命令 | 756 |
| 23.4.5 | 签名数据的说明 | 757 |
| 23.5 | 安全设置 | 758 |
| 23.6 | 通过自编程对闪存编程 | 760 |
| 23.6.1 | 引导交换功能 | 762 |
| 23.6.2 | Flash 屏蔽窗口功能 | 764 |
| 24. | 片上调试功能 | 765 |
| 24.1 | 将 E1 片上调试仿真器连接至 μ PD79F7027, μ PD79F7028 | 765 |
| 24.2 | 片上调试安全 ID | 766 |
| 24.3 | 用户资源的确保 | 766 |
| 25. | 十进制调整电路 | 768 |
| 25.1 | 十进制调整电路的功能 | 768 |
| 25.2 | 十进制调整电路使用的寄存器 | 768 |
| 25.3 | 十进制调整电路的操作 | 769 |
| 26. | 指令集 | 771 |
| 26.1 | 应用操作表 | 772 |
| 26.1.1 | 操作标识符和指定方法 | 772 |
| 26.1.2 | 操作栏的说明 | 773 |
| 26.1.3 | 标志栏的说明 | 774 |
| 26.1.4 | PREFIX 指令 | 774 |
| 26.2 | 操作列表 | 775 |
| 27. | 电特性 | 793 |
| 27.1 | 配置的引脚（具体视产品而定） | 793 |
| 27.1.1 | 端口功能 | 793 |
| 27.1.2 | 无端口功能 | 793 |
| 27.2 | 最大绝对额定值 | 794 |
| 27.3 | 振荡器特性 | 796 |
| 27.3.1 | 主系统时钟振荡器特性 | 796 |
| 27.3.2 | 片上振荡器特性 | 797 |
| 27.4 | DC 特性 | 798 |
| 27.4.1 | 引脚特性 | 798 |
| 27.4.2 | 电源电流特性 | 803 |
| 27.5 | AC 特性 | 806 |
| 27.5.1 | 基本操作 | 806 |

| | | |
|--------|-------------------------------|-----|
| 27.6 | 外围功能特性 | 807 |
| 27.6.1 | 串行阵列单元 | 807 |
| 27.6.2 | 片上调试(UART) | 830 |
| 27.7 | 模拟特性 | 830 |
| 27.7.1 | A/D 转换器特性 | 830 |
| 27.7.2 | 温度传感器特性 | 834 |
| 27.7.3 | POR 电路特性 | 834 |
| 27.7.4 | LVD 电路特性 | 835 |
| 27.8 | 电源上升时间 | 837 |
| 27.9 | 数据存储器STOP 模式低电源电压数据保持特性 | 837 |
| 27.10 | 闪存编程特性 | 837 |
| 27.11 | 切换模式时的时序规格 | 838 |
| 28. | 封装尺寸图 | 839 |
| 28.1 | 30 引脚产品 | 839 |
| 28.2 | 32 引脚产品 | 840 |
| 附录 A | 修订记录 | 841 |
| A.1 | 修订记录 | 841 |

第 1 章 概述

1.1 特点

- 最短指令执行时间可在高速（0.04167 μs: @ 24 MHz 高速片上振荡器时钟运行时）至低速（1.0 μs: @ 1 MHz 高速片上振荡器时钟运行时）之间更改
- 通用寄存器: 8 位 × 32 个寄存器（8 位 × 8 个寄存器 × 4 组）
- ROM: 16 至 32 KB, RAM: 2.5 至 4.0 KB
- 高速片上振荡器时钟
 - 可从 48 MHz（典型值）、24 MHz（典型值）、16 MHz（典型值）、12 MHz（典型值）、8 MHz（典型值）、4 MHz（典型值）和 1 MHz（典型值）中选择
- 内置单电源闪存（具有禁止块擦除/写入功能）
- 自编程（具有引导交换功能/Flash 屏蔽窗口功能）
- 片上调试功能
- 内置上电复位(POR)电路和电压检测器(LVD)
- 内置看门狗定时器（可在专用低速片上振荡器时钟下运行）
- 支持乘法/除法/乘法累加和运算指令。
- 内置时钟输出/蜂鸣器输出控制器
- 内置BCD调整
- 输入/输出端口: 26 至 28（N沟开漏: 2 至 3）
- 定时器
 - 16 位定时器: 7 通道
(TAU: 4 通道, 定时器 RJ: 1 通道, 定时器 RD: 2 通道)
 - 看门狗定时器: 1 通道
 - 12 位间隔定时器: 1 通道
- 串行接口
 - CSI
 - UART
 - 简易 I²C
- 不同电位接口: 在 4.0 V 至 5.5 V 下运行时, 可以连接 2.5/3 V 运行的器件
- 8/10 位分辨率 A/D 转换器 (V_{DD} = 2.7 至 5.5 V): 8 通道
- 待机功能: HALT、STOP、SNOOZE 模式
- 内置事件链接控制器(ELC)
- 电源电压: V_{DD} = 2.7 至 5.5 V
- 运行环境温度: T_A = -40 至 + 85 °C

备注 安装的功能因产品而异。参阅 1.6 功能概述。

○ ROM、RAM 容量

| 闪存 ROM | RAM | μPD79F7027, μPD79F7028 | |
|--------|--------|------------------------|--------------|
| | | 30 个引脚 | 32 个引脚 |
| 32 KB | 4 KB | μPD79F7028MC | μPD79F7028GA |
| 16 KB | 2.5 KB | μPD79F7027MC | μPD79F7027GA |

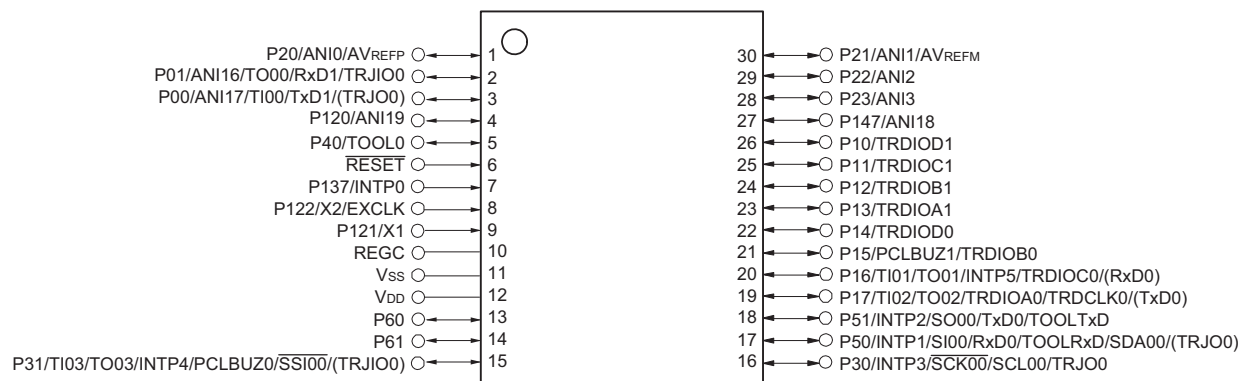
1.2 订购信息

| 引脚数量 | 封装 | 产品编号 |
|-------|-----------------------------|----------------------------|
| 30个引脚 | 30引脚塑封 SSOP (0.65 mm (300)) | μPD79F7028MC, μPD79F7027MC |
| 32个引脚 | 32引脚塑封 LQFP (7 × 7) | μPD79F7028GA, μPD79F7027GA |

1.3 引脚配置（顶视图）

1.3.1 30 引脚产品

- 30 引脚塑封 SSOP (0.65 mm (300))



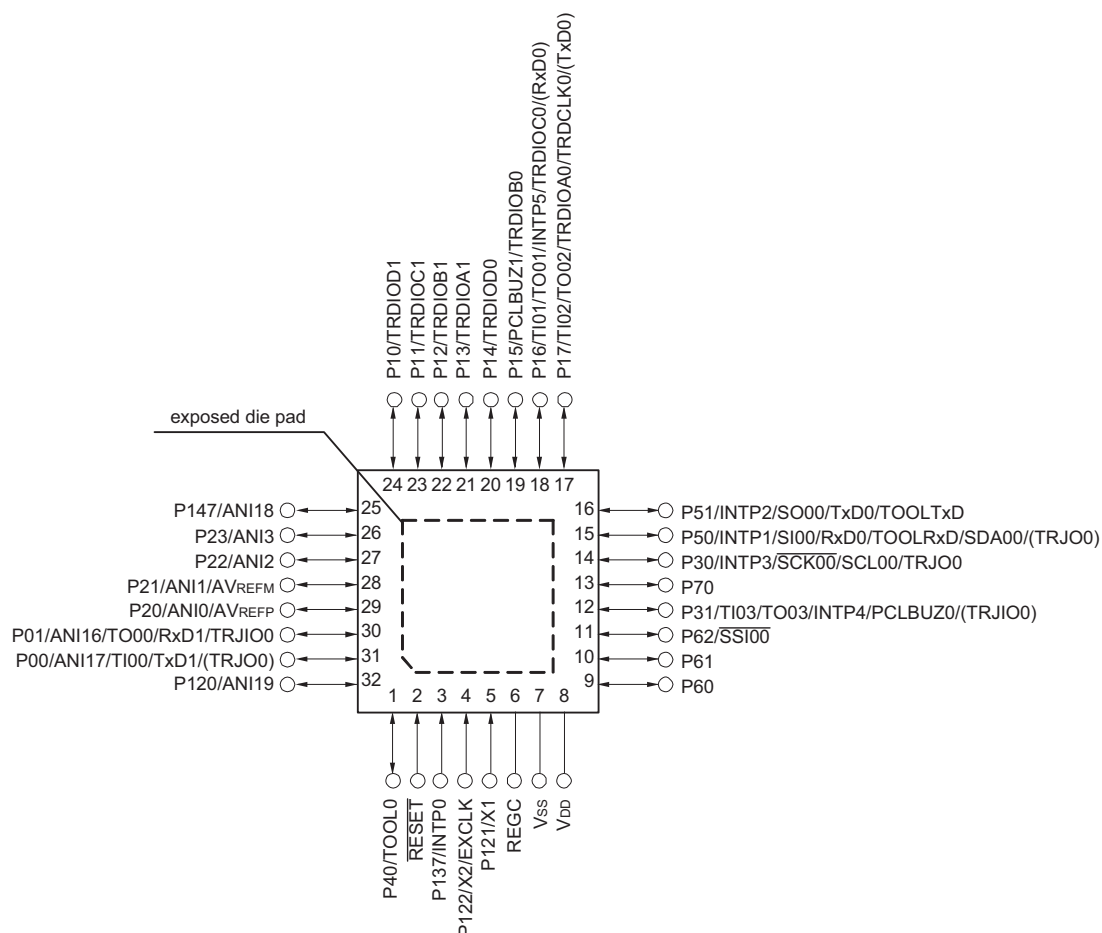
注意事项 通过一个电容（0.47 至 1μF）将 REGC 引脚连接至 Vss。

备注 1. 有关引脚名称，请参阅 1.4 引脚名称。

备注 2. 可以通过设置外围输入/输出重定向寄存器 0 和 1（PIOR0、PIOR1）来指定上图所示括号内的功能。

1.3.2 32引脚产品

- 32引脚塑封 LQFP (7 × 7)



注意事项 通过一个电容（0.47至1μF）将REGC引脚连接至Vss。

备注 1. 有关引脚名称，请参阅1.4 引脚名称。

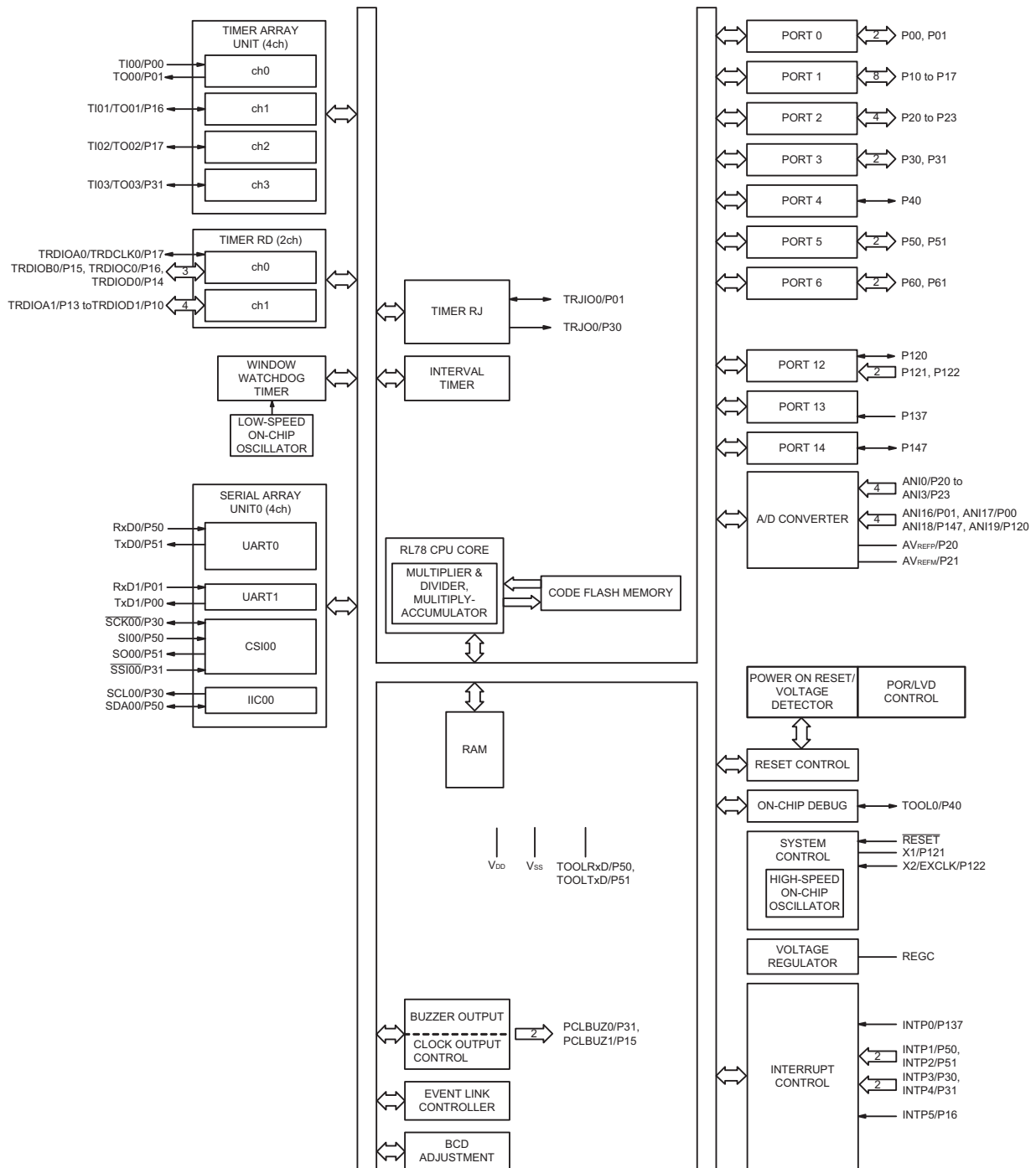
备注 2. 可以通过设置外围输入/输出重定向寄存器0和1（PIOR0、PIOR1）来指定上图所示括号内的功能。

1.4 引脚名称

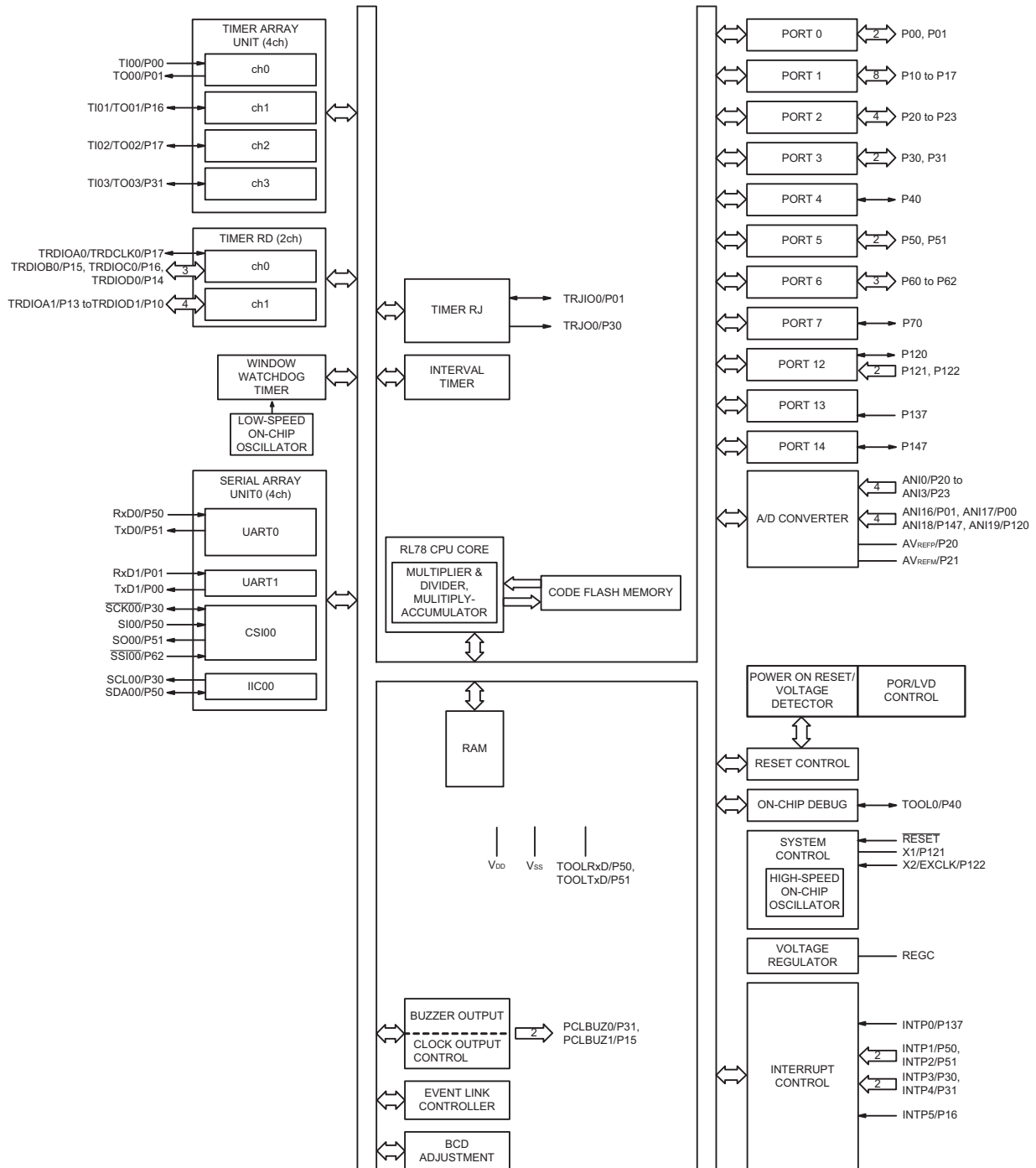
| | |
|--|--------------------|
| ANI0至ANI3, ANI16至ANI19: | 模拟输入 |
| AVREFM: | A/D转换器基准电位 (–极) 输入 |
| AVREFP: | A/D转换器基准电位 (+极) 输入 |
| EXCLK: | 外接时钟输入 (主系统时钟) |
| INTP0至INTP5: | 外部中断输入 |
| P00、P01: | 端口 0 |
| P10至P17: | 端口 1 |
| P20至P23: | 端口 2 |
| P30、P31: | 端口 3 |
| P40: | 端口 4 |
| P50、P51: | 端口 5 |
| P60至P62: | 端口 6 |
| P70: | 端口 7 |
| P120至P122: | 端口 12 |
| P137: | 端口 13 |
| P147: | 端口 14 |
| PCLBUZ0、PCLBUZ1: | 可编程的时钟输出/蜂鸣器输出 |
| REGC: | 稳压器电容 |
| RESET: | 复位 |
| RxD0、RxD1: | 接收数据 |
| SCK00: | 串行时钟输入/输出 |
| SCL00: | 串行时钟输出 |
| SDA00: | 串行数据输入/输出 |
| SI00: | 串行数据输入 |
| SO00: | 串行数据输出 |
| SSI00: | 串行接口芯片选择输入 |
| TI00至TI03: | 定时器输入 |
| TO00至TO03、TRJO0: | 定时器输出 |
| TOOL0: | 工具用数据输入/输出 |
| TOOLRxD、TOOLTxD: | 外部器件用数据输入/输出 |
| TRDCLK0: | 定时器外部输入时钟 |
| TRDIOA0、TRDIOB0、TRDIOC0、TRDIOD0: | 定时器输入/输出 |
| TRDIOA1、TRDIOB1、TRDIOC1、TRDIOD1、 TRJIO0 | |
| TxD0、TxD1: | 发送数据 |
| VDD: | 电源 |
| VSS: | 接地 |
| X1、X2: | 晶振 (主系统时钟) |

1.5 框图

1.5.1 30引脚产品



1.5.2 32引脚产品



1.6 功能概述

[30 引脚、32 引脚产品（代码闪存 16 KB 至 32 KB）]

注意事项 本概述描述将外围输入/输出重定向寄存器 0、1（PIOR0、1）设置为 00H 时的功能。

(1/2)

| 项目 | | 30 引脚 | 32 引脚 |
|-----------|------------------------------|---|----------------------------|
| | | μPD79F7027MC, μPD79F7028MC | μPD79F7027GA, μPD79F7028GA |
| 代码闪存 (KB) | | 16 至 32 | 16 至 32 |
| RAM (KB) | | 2.5 至 4.0 | 2.5 至 4.0 |
| 存储空间 | | 1 MB | |
| 主系统时钟 | 高速系统时钟 | X1（晶体/陶瓷）振荡，外部主系统时钟输入 (EXCLK) 1 至 20 MHz: $V_{DD} = 2.7$ 至 5.5 V | |
| | 高速片上振荡器时钟 (f _{IH}) | 高速操作: 1 至 24 MHz ($V_{DD} = 2.7$ 至 5.5 V) | |
| 低速片上振荡器时钟 | | 15 kHz（典型值）: $V_{DD} = 2.7$ 至 5.5 V | |
| 通用寄存器 | | 8 位 × 32 个寄存器（8 位 × 8 个寄存器 × 4 组） | |
| 最短指令执行时间 | | 0.04167 μs（高速片上振荡器时钟: f _{IH} = 24 MHz 运行时） | |
| | | 0.05 μs（高速系统时钟: f _{MX} = 20 MHz 运行时） | |
| 指令集 | | <ul style="list-style-type: none"> • 数据传送（8/16 位） • 加减法/逻辑运算（8/16 位） • 乘法（8 位 × 8 位，16 位 × 16 位），除法（16 位 ÷ 16 位，32 位 ÷ 32 位） • 乘法和累积运算（16 位 × 16 位 + 32 位） • 循环、桶式移位和位操作（置位、复位、测试和布尔运算）等 | |
| 输入/输出端口 | 总数 | 26 | 28 |
| | CMOS 输入/输出 | 21 | 22 |
| | CMOS 输入 | 3 | 3 |
| | CMOS 输出 | — | — |
| | N 沟开漏输出（6 V 耐压） | 2 | 3 |
| 定时器 | 16 位定时器 | 7 通道 （TAU: 4 通道，定时器 RJ: 1 通道，定时器 RD: 2 通道） | |
| | 看门狗定时器 | 1 通道 | |
| | 12 位间隔定时器 | 1 通道 | |
| | 定时器输出 | 15 （TAU: 4，定时器 RJ: 2，定时器 RD: 8） PWM 输出: 9（TAU: 3，定时器 RD: 6） | |

(2/2)

| 项目 | | 30 引脚 | 32 引脚 |
|-------------------|----|--|----------------------------|
| | | μPD79F7027MC, μPD79F7028MC | μPD79F7027GA, μPD79F7028GA |
| 时钟输出/蜂鸣器输出 | | 2 | 2 |
| | | <ul style="list-style-type: none"> • 2.44kHz、4.88kHz、9.76kHz、1.25MHz、2.5MHz、5MHz、10MHz （主系统时钟：f _{MAIN} = 20 MHz 运行时） | |
| 8/10 位分辨率 A/D 转换器 | | 8 通道 | 8 通道 |
| 串行接口 | | <ul style="list-style-type: none"> • CSI: 1 通道 / UART: 1 通道 / 简易 I²C: 1 通道 • UART: 1 通道 | |
| 事件链接控制器 (ELC) | | 事件输入: 16 事件触发输出: 6 | |
| 向量中断源 | 内部 | 18 | 18 |
| | 外部 | 6 | 6 |
| 复位 | | <ul style="list-style-type: none"> • 通过 RESET 引脚复位 • 通过看门狗定时器的内部复位 • 通过上电复位的内部复位 • 通过电压检测器的内部复位 • 通过执行非法指令注的内部复位 • 通过 RAM 奇偶校验错误的内部复位 • 通过存取非法存储器的内部复位 | |
| 上电复位电路 | | <ul style="list-style-type: none"> • 上电复位: 1.51 ±0.03 V • 掉电复位: 1.50 ±0.03 V | |
| 电压检测电路 | | 2.75 V 至 4.06 V （6 个级别） | |
| 片上调试功能 | | 有 | |
| 电源电压 | | V _{DD} = 2.7 至 5.5 V | |
| 运行环境温度 | | T _A = -40 至 +85 °C | |

注 执行指令代码 FFH 时，产生非法指令。

通过电路内置仿真器或片上调试仿真器进行仿真时，不发生通过执行非法指令的内部复位。

第 2 章 引脚功能

2.1 引脚功能列表

在所有产品中，引脚的输入/输出缓冲器由单电源供电。

表 2 - 1 各引脚的输入/输出缓冲器电源

30 引脚、32 引脚产品

| 电源 | 对应引脚 |
|-----|------|
| VDD | 所有引脚 |

2.1.1 30 引脚产品

(1/2)

| 功能名称 | 输入/输出 | 功能 | 复位后 | 复用功能 |
|------|-------|--|--------|--|
| P00 | 输入/输出 | 端口 0。 2 位输入/输出端口。 P01 的输入可被设置为 TTL 输入缓冲器。 P00 的输出可被设置为 N 沟开漏输出 (V _{DD} 耐压)。 P00 和 P01 可被设置为模拟输入。 可以以 1 位为单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。 | 模拟输入端口 | ANI17/TI00/TxD1/(TRJ00) |
| P01 | | | | ANI16/TO00/RxD1/TRJIO0 |
| P10 | 输入/输出 | 端口 1。 8 位输入/输出端口。 P10 和 P13 至 P17 的输入可被设置为 TTL 输入缓冲器。 P10、P11、P13 至 P15 和 P17 的输出可被设置为 N 沟开漏输出 (V _{DD} 耐压)。 可以以 1 位为单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。 | 输入端口 | TRDIOD1 |
| P11 | | | | TRDIOC1 |
| P12 | | | | TRDIOB1 |
| P13 | | | | TRDIOA1 |
| P14 | | | | TRDIOD0 |
| P15 | | | | PCLBUZ1/TRDIOB0 |
| P16 | | | | TI01/TO01/INTP5/TRDIOC0/(RxD0) |
| P17 | | | | TI02/TO02/TRDIOA0/TRDCLK0/(TxD0) |
| P20 | 输入/输出 | 端口 2。 4 位输入/输出端口。 可以以 1 位为单位指定为输入/输出。 | 模拟输入端口 | ANI0/AVREFP |
| P21 | | | | ANI1/AVREFM |
| P22 | | | | ANI2 |
| P23 | | | | ANI3 |
| P30 | 输入/输出 | 端口 3。 2 位输入/输出端口。 P30 的输入可被设置为 TTL 输入缓冲器。 P30 的输出可被设置为 N 沟开漏输出 (V _{DD} 耐压)。 可以以 1 位为单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。 | 输入端口 | INTP3/SCK00/SCL00/TRJ00 |
| P31 | | | | TI03/TO03/INTP4/PCLBUZ0/SSI00/(TRJIO0) |
| P40 | 输入/输出 | 端口 4。 1 位输入/输出端口。 可以指定为输入/输出。 可通过软件设置使用片上上拉电阻。 | 输入端口 | TOOL0 |

备注 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0、1) 来指定上图所示括号内的功能。

(2/2)

| 功能名称 | 输入/输出 | 功能 | 复位后 | 复用功能 |
|------|-------|---|--------|---|
| P50 | 输入/输出 | 端口 5。 2 位输入/输出端口。 P50 的输入可被设置为 TTL 输入缓冲器。 P50 和 P51 的输出可被设置为 N 沟开漏输出（V _{DD} 耐压）。 可以以 1 位为单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。 | 输入端口 | INTP1/SI00/RxD0/ TOOLRxD/SDA00/ (TRJ00) |
| P51 | | | | INTP2/SO00/TxD0/ TOOLTxD |
| P60 | 输入/输出 | 端口 6。 2 位输入/输出端口。 P60 和 P61 的输出可被设置为 N 沟开漏输出（6 V 耐压）。 可以以 1 位为单位指定为输入/输出。 | 输入端口 | — |
| P61 | | | | — |
| P120 | 输入/输出 | 端口 12。 1 位输入/输出端口和 2 位输入端口。 P120 可被设置为模拟输入。 仅限 P120 可以以 1 位为单位指定为输入/输出。 仅限 P120 可通过软件设置使用片上上拉电阻。 | 模拟输入端口 | ANI19 |
| P121 | 输入 | | 输入端口 | X1 |
| P122 | | | | X2/EXCLK |
| P137 | 输入 | 端口 13。 1 位输入端口。 | 输入端口 | INTP0 |
| P147 | 输入/输出 | 端口 14。 1 位输入/输出端口。 P147 可被设置为模拟输入。 可以指定为输入/输出。 可通过软件设置使用片上上拉电阻。 | 模拟输入端口 | ANI18 |

备注 可以通过设置外围输入/输出重定向寄存器 0、1（PIOR0、1）来指定上图所示括号内的功能。

2.1.2 32引脚产品

(1/2)

| 功能名称 | 输入/输出 | 功能 | 复位后 | 复用功能 |
|------|-------|---|--------|----------------------------------|
| P00 | 输入/输出 | 端口0。 2位输入/输出端口。 P01的输入可被设置为TTL输入缓冲器。 P00的输出可被设置为N沟开漏输出（V _{DD} 耐压）。 P00和P01可被设置为模拟输入。 可以以1位为单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。 | 模拟输入端口 | ANI17/TI00/TxD1/(TRJ00) |
| P01 | | | | ANI16/TO00/RxD1/TRJIO0 |
| P10 | 输入/输出 | 端口1。 8位输入/输出端口。 P10和P13至P17的输入可被设置为TTL输入缓冲器。 P10、P11、P13至P15和P17的输出可被设置为N沟开漏输出（V _{DD} 耐压）。 可以以1位为单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。 | 输入端口 | TRDIOD1 |
| P11 | | | | TRDIOC1 |
| P12 | | | | TRDIOB1 |
| P13 | | | | TRDIOA1 |
| P14 | | | | TRDIOD0 |
| P15 | | | | PCLBUZ1/TRDIOB0 |
| P16 | | | | TI01/TO01/INTP5/TRDIOC0/(RxD0) |
| P17 | | | | TI02/TO02/TRDIOA0/TRDCLK0/(TxD0) |
| P20 | 输入/输出 | 端口2。 4位输入/输出端口。 可以以1位为单位指定为输入/输出。 | 模拟输入端口 | ANI0/AVREFP |
| P21 | | | | ANI1/AVREFM |
| P22 | | | | ANI2 |
| P23 | | | | ANI3 |
| P30 | 输入/输出 | 端口3。 2位输入/输出端口。 P30的输入可被设置为TTL输入缓冲器。 P30的输出可被设置为N沟开漏输出（V _{DD} 耐压）。 可以以1位为单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。 | 输入端口 | INTP3/SCK00/SCL00/TRJ00 |
| P31 | | | | TI03/TO03/INTP4/PCLBUZ0/(TRJIO0) |
| P40 | 输入/输出 | 端口4。 1位输入/输出端口。 可以指定为输入/输出。 可通过软件设置使用片上上拉电阻。 | 输入端口 | TOOL0 |

备注 可以通过设置外围输入/输出重定向寄存器0、1（PIOR0、1）来指定上图所示括号内的功能。

(2/2)

| 功能名称 | 输入/输出 | 功能 | 复位后 | 复用功能 |
|------|-------|---|--------|---|
| P50 | 输入/输出 | 端口 5。 2 位输入/输出端口。 P50 的输入可被设置为 TTL 输入缓冲器。 P50 和 P51 的输出可被设置为 N 沟开漏输出（V _{DD} 耐压）。 可以以 1 位为单位指定为输入/输出。 可通过软件设置使用片上上拉电阻。 | 输入端口 | INTP1/SI00/RxD0/ TOOLRxD/SDA00/ (TRJ00) |
| P51 | | | | INTP2/SO00/TxD0/ TOOLTxD |
| P60 | 输入/输出 | 端口 6。 3 位输入/输出端口。 P60 至 P62 输出是 N 沟开漏输出（6 V 耐压）。 可以以 1 位为单位指定为输入/输出。 | 输入端口 | — |
| P61 | | | | — |
| P62 | | | | SSI00 |
| P70 | 输入/输出 | 端口 7。 1 位输入/输出端口。 可以指定为输入/输出。 可通过软件设置使用片上上拉电阻。 | 输入端口 | — |
| P120 | 输入/输出 | 端口 12。 1 位输入/输出端口和 2 位输入端口。 P120 可被设置为模拟输入。 仅限 P120 可以以 1 位为单位指定为输入/输出。 仅限 P120 可通过软件设置使用片上上拉电阻。 | 模拟输入端口 | ANI19 |
| P121 | 输入 | | 输入端口 | X1 |
| P122 | | | | X2/EXCLK |
| P137 | 输入 | 端口 13。 1 位输入端口。 | 输入端口 | INTP0 |
| P147 | 输入/输出 | 端口 14。 1 位输入/输出端口。 P147 可被设置为模拟输入。 可以指定为输入/输出。 可通过软件设置使用片上上拉电阻。 | 模拟输入端口 | ANI18 |

备注 可以通过设置外围输入/输出重定向寄存器 0、1（PIOR0、1）来指定上图所示括号内的功能。

2.1.3 各产品的引脚（端口以外的引脚）

(1/2)

| 功能名称 | 输入/输出 | 功能 | 32引脚 | 30引脚 |
|---------|-------|---|------|------|
| ANI0 | 输入 | A/D 转换器模拟输入 | √ | √ |
| ANI1 | | | √ | √ |
| ANI2 | | | √ | √ |
| ANI3 | | | √ | √ |
| ANI16 | | | √ | √ |
| ANI17 | | | √ | √ |
| ANI18 | | | √ | √ |
| ANI19 | | | √ | √ |
| INTP0 | 输入 | 外部中断请求输入 | √ | √ |
| INTP1 | | | √ | √ |
| INTP2 | | | √ | √ |
| INTP3 | | | √ | √ |
| INTP4 | | | √ | √ |
| INTP5 | | | √ | √ |
| PCLBUZ0 | 输出 | 时钟输出/蜂鸣器输出 | √ | √ |
| PCLBUZ1 | | | √ | √ |
| REGC | — | 连接用于内部工作用稳压器输出稳定的电容。 通过电容（0.47 至 1 μF）连接至 Vss。 | √ | √ |
| RESET | 输入 | 系统复位输入 | √ | √ |
| RxD0 | 输入 | 串行数据输入至 UART0 | √ | √ |
| RxD1 | | 串行数据输入至 UART1 | √ | √ |
| SCK00 | 输入/输出 | CSI00 的时钟输入/输出 | √ | √ |
| SCL00 | 输出 | 简易 I ² C 的时钟输出 | √ | √ |
| SDA00 | 输入/输出 | 简易 I ² C 的串行数据输入/输出 | √ | √ |
| SI00 | 输入 | 串行数据输入至 CSI00 | √ | √ |
| SO00 | 输出 | CSI00 的串行数据输出 | √ | √ |
| SSI00 | 输入 | 芯片选择输入至 CSI00 | √ | √ |
| TI00 | 输入 | 外部计数时钟输入至 16 位定时器 00 | √ | √ |
| TI01 | | 外部计数时钟输入至 16 位定时器 01 | √ | √ |
| TI02 | | 外部计数时钟输入至 16 位定时器 02 | √ | √ |
| TI03 | | 外部计数时钟输入至 16 位定时器 03 | √ | √ |
| TO00 | 输出 | 16 位定时器 00 输出 | √ | √ |
| TO01 | | 16 位定时器 01 输出 | √ | √ |
| TO02 | | 16 位定时器 02 输出 | √ | √ |
| TO03 | | 16 位定时器 03 输出 | √ | √ |
| TRJIO0 | 输入/输出 | 定时器 RJ 输入/输出 | √ | √ |
| TRJO0 | 输出 | 定时器 RJ 输出 | √ | √ |
| TRDCLK0 | 输入 | 定时器 RD 外接时钟输入 | √ | √ |

(2/2)

| 功能名称 | 输入/输出 | 功能 | 32 引脚 | 30 引脚 |
|---------|-------|-----------------------------|-------|-------|
| TRDIOA0 | 输入/输出 | 定时器 RD0 输入/输出 | √ | √ |
| TRDIOB0 | | 定时器 RD0 输入/输出 | √ | √ |
| TRDIOC0 | | 定时器 RD0 输入/输出 | √ | √ |
| TRDIOD0 | | 定时器 RD0 输入/输出 | √ | √ |
| TRDIOA1 | | 定时器 RD1 输入/输出 | √ | √ |
| TRDIOB1 | | 定时器 RD1 输入/输出 | √ | √ |
| TRDIOC1 | | 定时器 RD1 输入/输出 | √ | √ |
| TRDIOD1 | | 定时器 RD1 输入/输出 | √ | √ |
| TxD0 | 输出 | UART0 的串行数据输出 | √ | √ |
| TxD1 | | UART1 的串行数据输出 | √ | √ |
| X1 | — | 主系统时钟用谐振器连接 | √ | √ |
| X2 | — | | √ | √ |
| EXCLK | 输入 | 主系统时钟用外接时钟输入 | √ | √ |
| VDD | — | 所有引脚的正电源 | √ | √ |
| AVREFP | 输入 | A/D 转换器基准电位 (+ 极) 输入 | √ | √ |
| AVREFM | 输入 | A/D 转换基准电位 (- 极) 输入 | √ | √ |
| VSS | — | 所有引脚的接地电位 | √ | √ |
| TOOLRxD | 输入 | 闪存编程时, 用于连接外部器件的 UART 接收引脚。 | √ | √ |
| TOOLTxD | 输出 | 闪存编程时, 用于连接外部器件的 UART 发送引脚。 | √ | √ |
| TOOL0 | 输入/输出 | 闪存编程器/调试器用数据输入/输出 | √ | √ |

2.2 引脚功能的描述

备注 配置的引脚因产品而异。参阅 1.3 引脚配置（顶视图）和 2.1 引脚功能列表。

2.2.1 P00、P01（端口 0）

P00 和 P01 作为输入/输出端口。这些引脚也作为定时器输入/输出、A/D 转换器模拟输入、串行接口数据输入/输出和时钟输入/输出。

可以通过设置上拉电阻选择寄存器 0 (PU0) 来使用片上上拉电阻。

P01 引脚的输入，可使用端口输入模式寄存器 0 (PIM0) 以 1 位为单位指定为普通输入缓冲器或 TTL 输入缓冲器。

可以使用端口输出模式寄存器 0 (POM0)，将 P00 引脚的输出以 1 位为单位指定为正常 CMOS 输出或 N 沟开漏输出（VDD 耐压）。

下述引脚用于输入时，在端口模式控制寄存器 0

(PMC0) 中指定为数字或模拟。该寄存器可以以 1 位为单位指定。

- P00 和 P01 引脚

可以以 1 位为单位指定以下操作模式。

- (1) 端口模式

P00 和 P01 作为输入/输出端口。P00 和 P01 可以通过端口模式寄存器 0 (PM0) 以 1 位为单位设置为输入或输出端口。

- (2) 控制模式

P00 和 P01 作为定时器输入/输出、A/D 转换器模拟输入、串行接口数据输入/输出和时钟输入/输出。

- (a) ANI16、ANI17

作为 A/D 转换器的模拟输入引脚（ANI16、ANI17）。

作为模拟输入引脚使用时，请参阅 12.10 (5) 模拟输入 (ANIn) 引脚。

- (b) TI00

将外部计数时钟/捕捉触发输入至 16 位定时器 00 的引脚。

- (c) TO00

16 位定时器 00 的定时器输出引脚。

- (d) TxD1

串行接口 UART1 的串行数据输出引脚。

- (e) RxD1

串行接口 UART1 的串行数据输入引脚。

- (f) TRJIO0

定时器 RJ 的定时器输入/输出引脚。

2.2.2 P10至P17（端口1）

P10至P17作为输入/输出端口。这些引脚也作为串行接口数据输入/输出、时钟输入/输出、定时器输入/输出和外部中断请求输入。

可以通过设置上拉电阻选择寄存器1 (PU1)来使用片上上拉电阻。

可以通过设置端口输入模式寄存器1 (PIM1)，将P10和P14至P17引脚的输入以1位为单位指定为普通输入缓冲器或TTL输入缓冲器。

可以通过设置端口输出模式寄存器1 (POM1)，将P10、P11、P13至P15和P17引脚的输出以1位为单位指定为正常CMOS输出或N沟开漏输出（V_{DD}耐压）。

可以以1位为单位指定以下操作模式。

(1) 端口模式

P10至P17作为输入/输出端口。P10至P17可以通过端口模式寄存器1 (PM1)以1位为单位设置为输入或输出端口。

(2) 控制模式

P10至P17作为串行接口数据输入/输出、时钟输入/输出、定时器输入/输出和外部中断请求输入。

(a) INTP5

这是一个外部中断请求输入引脚，可指定有效边沿（上升沿、下降沿或上升沿与下降沿的双边沿）。

(b) TI01、TI02

将外部计数时钟/捕捉触发输入至16位定时器01和02的引脚。

(c) TO01、TO02

16位定时器01和02的定时器输出引脚。

(d) TRDIOA0、TRDIOB0、TRDI0C0、TRDI0D0、TRDIOA1、TRDIOB1、TRDI0C1、TRDI0D1

定时器RD的定时器输入/输出引脚。

(e) TRDCLK0

定时器RD的外接时钟输入引脚。

2.2.3 P20 至 P23（端口 2）

P20 至 P23 作为输入/输出端口。这些引脚也作为 A/D 转换器模拟输入和基准电压输入。

可以通过设置 A/D 端口配置寄存器 (ADPC) 来指定各个引脚为数字或模拟。

可以以 1 位为单位指定以下操作模式。

(1) 端口模式

P20 至 P23 作为输入/输出端口。P20 至 P23 可以通过端口模式寄存器 2 (PM2) 以 1 位为单位设置为输入或输出端口。

(2) 控制模式

P20 至 P23 作为 A/D 转换器模拟输入和基准电压输入。

(a) ANI0 至 ANI3

作为 A/D 转换器的模拟输入引脚 (ANI0 至 ANI3)。作为模拟输入引脚使用时, 请参阅 12.10 (5) 模拟输入 (ANIn) 引脚。

(b) AVREFP

A/D 转换器基准电位 (+ 极) 输入引脚。

(c) AVREFM

A/D 转换器基准电位 (- 极) 输入引脚。

2.2.4 P30、P31（端口 3）

P30和P31作为输入/输出端口。这些引脚也作为外部中断请求输入、串行接口时钟输入/输出和定时器输入/输出。可以通过设置上拉电阻选择寄存器 3 (PU3)来使用片上上拉电阻。

可以通过设置端口输入模式寄存器 3 (PIM3)，将P30引脚的输入以1位为单位指定为普通输入缓冲器或TTL输入缓冲器。

可以使用端口输出模式寄存器 3 (POM3)，将P30引脚的输出以1位为单位指定为正常CMOS输出或N沟开漏输出（VDD耐压）。

可以以1位为单位指定以下操作模式。

(1) 端口模式

P30和P31作为输入/输出端口。P30和P31可以通过端口模式寄存器 3 (PM3)以1位为单位设置为输入或输出端口。

(2) 控制模式

P30和P31作为外部中断请求输入、串行接口时钟输入/输出和定时器输入/输出。

(a) INTP3、INTP4

这些是外部中断请求输入引脚，可指定有效边沿（上升沿、下降沿或上升沿与下降沿的双方）。

(b) $\overline{\text{SCK00}}$

串行接口CSI00的串行时钟输入/输出引脚。

(c) SCL00

用于简易I²C的串行接口的串行时钟输出引脚。

(d) TI03

该引脚将外部计数时钟/捕捉触发输入至16位定时器03。

(e) TO03

16位定时器03的定时器输出引脚。

(f) TRJ00

定时器RJ输出引脚。

(g) $\overline{\text{SSI00}}$

串行接口CSI00的芯片选择输入引脚。

2.2.5 P40（端口 4）

P40 作为输入/输出端口。这些引脚还作为闪存编程/调试用数据输入/输出。

可以通过设置上拉电阻选择寄存器 4 (PU4) 来使用片上上拉电阻。

使用选项字节启动片上调试时，确保外部上拉电阻连接至 P40。

可以以 1 位为单位指定以下操作模式。

(1) 端口模式

P40 作为输入/输出端口。P40 可以通过端口模式寄存器 4 (PM4) 以 1 位为单位设置为输入或输出端口。

(2) 控制模式

P40 作为闪存编程/调试用数据输入/输出。

(a) TOOL0

闪存编程/调试用数据输入/输出引脚。

启动片上调试时（禁止下拉），确保从外部上拉该引脚。

注意事项 解除复位后，P40/TOOL0 和操作模式之间的关系如下所示。有关详情，请参阅 23.4 编程方法。

表 2 - 2 解除复位后 P40/TOOL0 和操作模式之间的关系

| P40/TOOL0 | 操作模式 |
|-----------------|--------|
| V _{DD} | 正常操作模式 |
| 0 V | 闪存编程模式 |

2.2.6 P50、P51（端口 5）

P50 至 P51 作为输入/输出端口。这些引脚也作为外部中断请求输入、串行接口数据输入/输出和编程 UART 输入/输出。

可以通过设置上拉电阻选择寄存器 5 (PU5) 来使用片上上拉电阻。

P50 引脚的输入，可使用端口输入模式寄存器 5 (PIM5) 以 1 位为单位指定为普通输入缓冲器或 TTL 输入缓冲器。

可以使用端口输出模式寄存器 5 (POM5)，将 P50、P51 引脚的输出以 1 位为单位指定为正常 CMOS 输出或 N 沟开漏输出（V_{DD} 耐压）。

可以以 1 位为单位指定以下操作模式。

(1) 端口模式

P50 至 P51 作为输入/输出端口。P50 和 P51 可以通过端口模式寄存器 5 (PM5) 以 1 位为单位设置为输入或输出端口。

(2) 控制模式

P50 和 P51 作为外部中断请求输入、串行接口数据输入/输出和编程 UART 输入/输出。

(a) SI00

串行接口 CSI00 的串行数据输入引脚。

(b) SO00

串行接口 CSI00 的串行数据输出引脚。

(c) SDA00

用于简易 I²C 的串行接口的串行数据输入/输出引脚。

(d) TxD0

串行数据接口 UART0 的串行数据输出引脚。

(e) RxD0

串行数据接口 UART0 的串行数据输入引脚。

(f) TOOLTxD

闪存编程时，用于连接外部器件的 UART 串行数据输出引脚。

(g) TOOLRxD

闪存编程时，用于连接外部器件的 UART 串行数据输入引脚。

2.2.7 P60 至 P62 （端口 6）

P60 至 P62 作为输入/输出端口。这些引脚也作为芯片选择输入。

P60 至 P62 可以通过端口模式寄存器 6 (PM6) 以 1 位为单位设置为输入或输出端口。

P60 至 P62 输出是 N 沟开漏输出（6 V 耐压）。

可以以 1 位为单位指定以下操作模式。

(1) 端口模式

P60 至 P62 作为输入/输出端口。

(2) 控制模式

P60 至 P62 作为芯片选择输入。

(a) $\overline{\text{SSI00}}$

串行接口 CSI00 的芯片选择输入引脚。

2.2.8 P70 （端口 7）

P70 作为输入/输出端口。

可以通过设置上拉电阻选择寄存器 7 (PU7) 来使用片上上拉电阻。

可以以 1 位为单位指定以下操作模式。

(1) 端口模式

P70 作为输入/输出端口。P70 可以通过端口模式寄存器 7 (PM7) 以 1 位为单位设为输入或输出端口。

2.2.9 P120至P122（端口12）

P120作为输入/输出端口，P121、P122作为输入端口。这些引脚也作为A/D转换器模拟输入、连接主系统时钟用谐振器和主系统时钟用外接时钟输入。

可以通过设置上拉电阻选择寄存器12 (PU12) 来指定使用片上上拉电阻。

可以通过端口模式控制寄存器12 (PMC12)，将P120引脚的输入以1位为单位指定为模拟输入或数字输入/输出。

可以以1位为单位指定以下操作模式。

(1) 端口模式

P120作为1位输入/输出端口。P120可通过端口模式寄存器12 (PM12) 设置为输入或输出端口。

P121和P122作为输入端口。

(2) 控制模式

P120至P122作为A/D转换器模拟输入、连接主系统时钟用谐振器和主系统时钟用外接时钟输入。

(a) ANI19

A/D转换器的模拟输入引脚。

作为模拟输入引脚使用时，请参阅12.10 (5) 模拟输入(ANIn)引脚。

(b) X1、X2

用来连接主系统时钟谐振器的引脚。

(c) EXCLK

主系统时钟用外接时钟的输入引脚。

2.2.10 P137（端口13）

P137作为1位输入专用端口。P137引脚也作为外部中断请求输入。

(1) 端口模式

P137作为1位输入专用端口。

(2) 控制模式

P137作为外部中断请求输入。

(a) INTP0

这是一个外部中断请求输入引脚，可指定有效边沿（上升沿、下降沿或上升沿与下降沿的双边沿）。

2.2.11 P147（端口 14）

P147 作为输入/输出端口。这些引脚也作为 A/D 转换器模拟输入。

可以通过设置上拉电阻选择寄存器 14 (PU14) 来使用片上上拉电阻。

可以通过端口模式控制寄存器 14 (PMC14)，将 P147 引脚的输入以 1 位为单位指定为模拟输入或数字输入/输出。

可以以 1 位为单位指定以下操作模式。

(1) 端口模式

P147 作为输入/输出端口。P147 可以通过端口模式寄存器 14 (PM14) 以 1 位为单位设置为输入或输出端口。

(2) 控制模式

P147 作为 A/D 转换器模拟输入。

(a) ANI18

A/D 转换器的模拟输入引脚。

作为模拟输入引脚使用时，请参阅 12.10 (5) 模拟输入 (ANIn) 引脚。

2.2.12 VDD, VSS

(1) VDD

VDD 为正电源引脚。

(2) VSS

VSS 为接地电位引脚。

备注 作为防止噪声和死锁的措施，请使用相对较粗的布线且以最短的距离，在 VDD 至 VSS 线路之间连接旁路电容（约为 0.1 μ F）。

2.2.13 RESET

低电平有效的系统复位输入引脚。

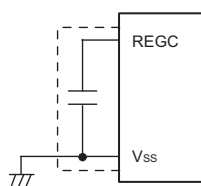
未使用外部复位引脚时，直接或通过电阻将该引脚连接至 VDD。

使用外部复位引脚时，以 VDD 为基准设计电路。

2.2.14 REGC

该引脚用于连接用于内部工作用稳压器输出稳定的电容。通过电容（0.47 至 1 μ F）将该引脚连接至 VSS。

由于其作用是稳定内部电压，因此，请使用优质电容。



注意事项 请尽可能缩短上图中虚线部分的布线长度。

2.3 引脚的输入/输出电路和未使用引脚的推荐连接

表 2 - 3 表示引脚的输入/输出电路的类型和未使用引脚的推荐连接。

表 2 - 3 未使用引脚的连接 (32 引脚产品)

| 引脚名称 | 输入/输出电路类型 | 输入/输出 | 未使用引脚的推荐连接 |
|---|-----------|-------|---------------------------------------|
| P00/ANI17/TI00/TxD1/ (TRJO0) | 8-R | 输入/输出 | 输入： 通过电阻单独连接至 VDD 或 VSS。 输出： 保持开路。 |
| P01/ANI16/TO00/RxD1/ TRJIO0 | 5-AN | | |
| P10/TRDIOD1 | 5-AN | | |
| P11/TRDIOC1 | 8-R | | |
| P12/TRDIOB1 | 8-R | | |
| P13/TRDIOA1 | 8-R | | |
| P14/TRDIOD0 | 5-AN | | |
| P15/PCLBUZ1/TRDIOB0 | | | |
| P16/TI01/TO01/INTP5/ TRDIOC0/(RxD0) | | | |
| P17/TI02/TO02/TRDIOA0/T RDCLK0/(TxD0) | | | |
| P20/ANI0/AVREFP | 11-T | | |
| P21/ANI1/AVREFM | | | |
| P22/ANI2 | 11-G | | |
| P23/ANI3 | | | |
| P30/INTP3/SCK00/SCL00/ TRJO0 | 5-AN | | |
| P31/TI03/TO03/INTP4/ PCLBUZ0/(TRJIO0) | | | |
| P40/TOOL0 | 8-R | | |
| P50/INTP1/SI00/RxD0/ TOOLRxD/SDA00/(TRJO0) | 5-AN | | |
| P51/INTP2/SO00/TxD0/ TOOLTxD | 8-R | | |
| P60 | 13-R | | |
| P61 | | | |
| P62/SSI00 | | | |
| P70 | 8-R | | |
| P120/ANI19 | 11-U | | |
| P121/X1 | 37-C | 输入 | 通过电阻单独连接至 VDD 或 VSS。 |
| P122/X2/EXCLK | | | |
| P137/INTP0 | | | |
| P137/INTP0 | 2 | | 通过电阻单独连接至 VDD 或 VSS。 |
| P147/ANI18 | 11-U | 输入/输出 | 输入： 通过电阻单独连接至 VDD 或 VSS。 输出： 保持开路。 |
| RESET | 2 | 输入 | 直接或通过电阻连接至 VDD。 |
| REGC | — | — | 通过电容（0.47 至 1 μF：目标）连接至 Vss。 |

图 2 - 1 各引脚的输入/输出电路列表 (1/2)

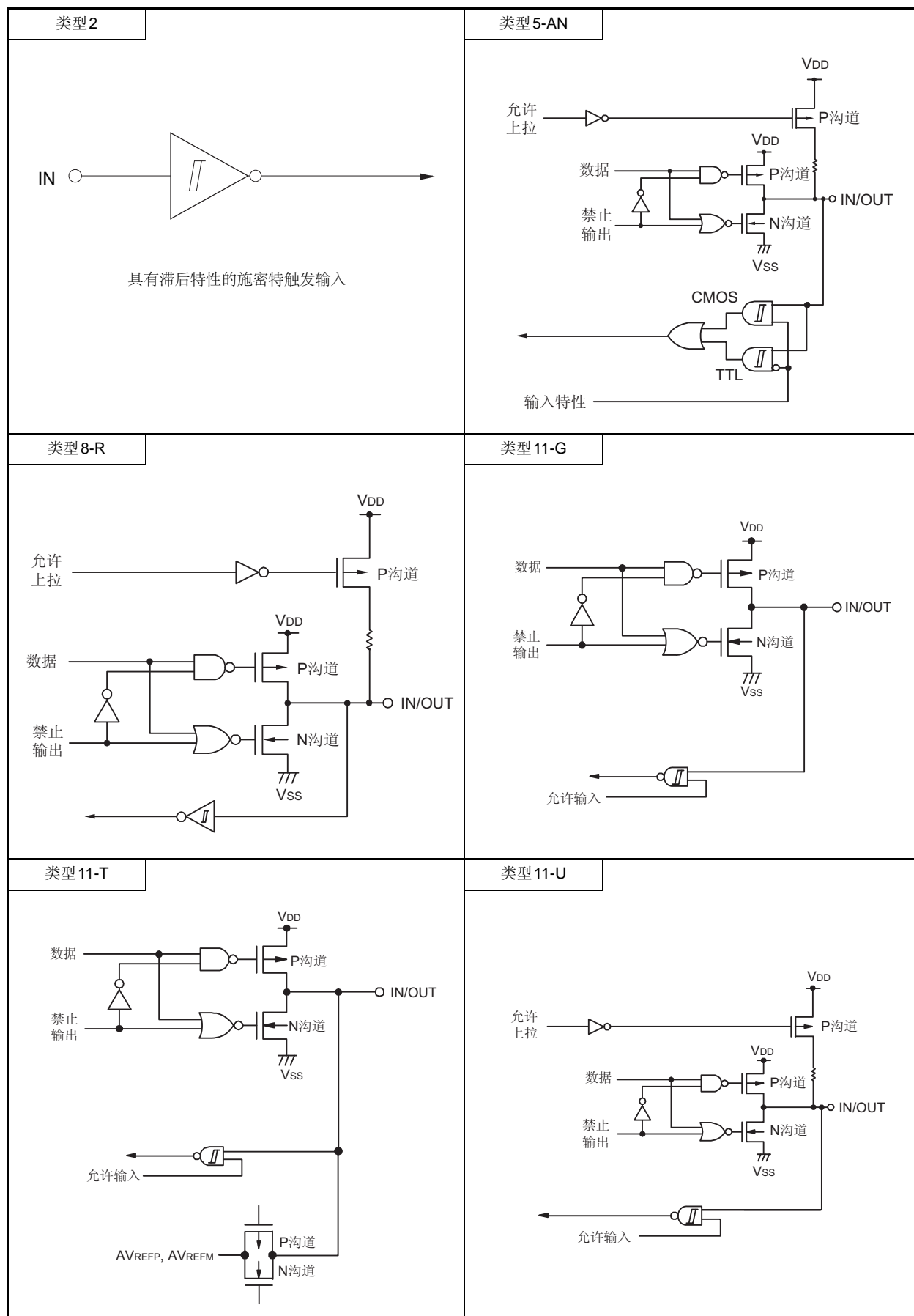
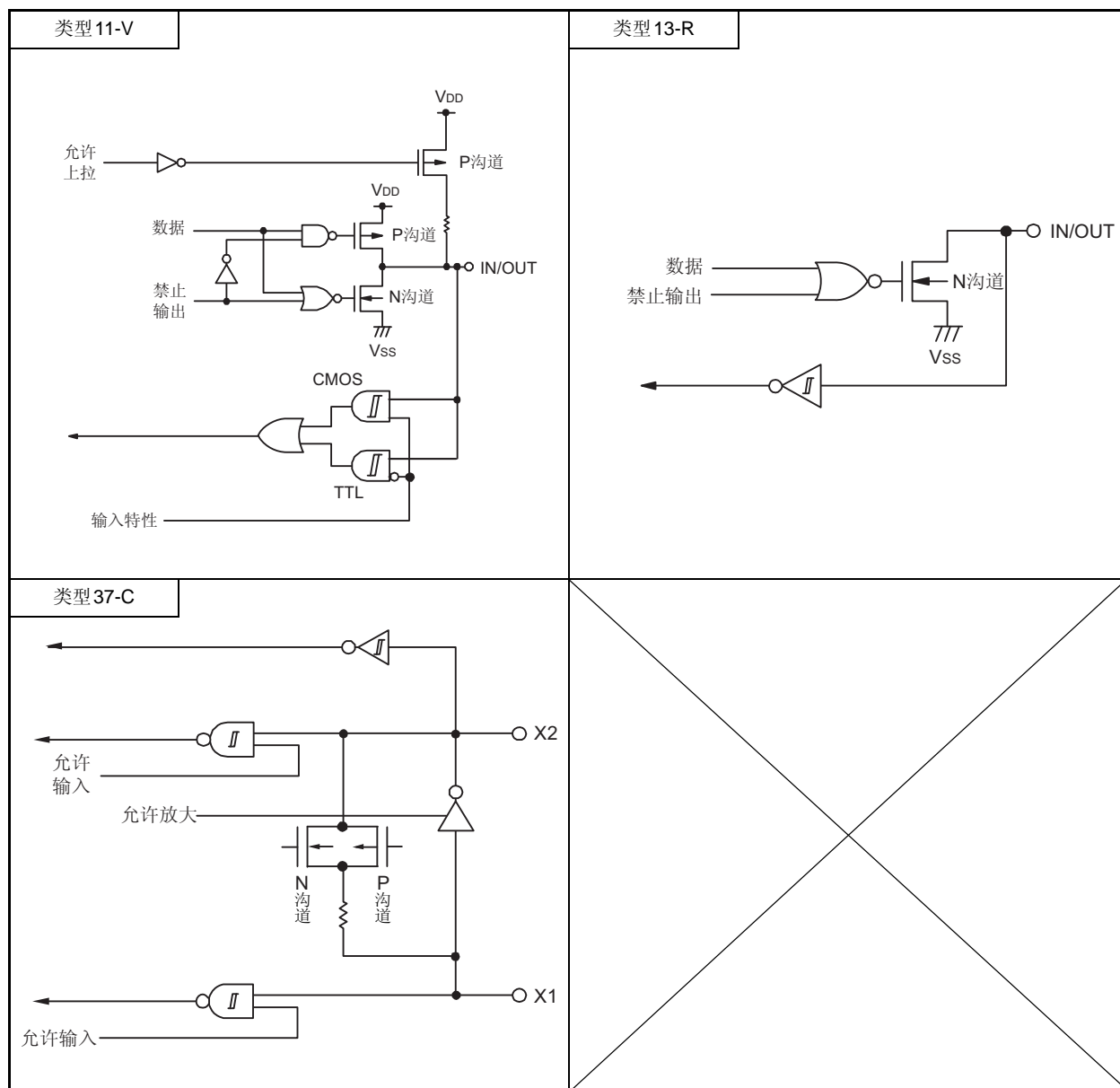


图 2 - 2 各引脚的输入/输出电路列表 (2/2)

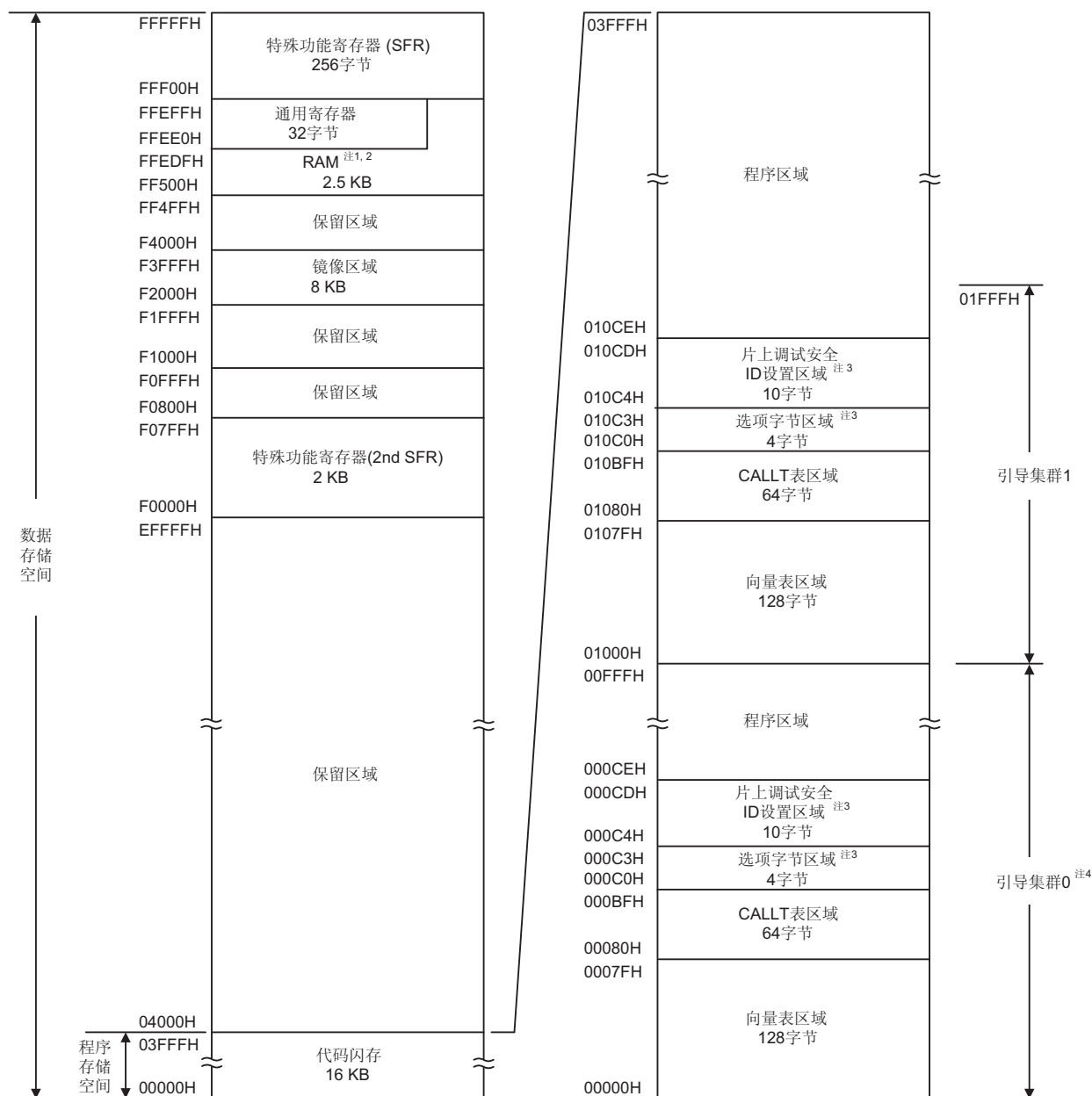


第 3 章 CPU 架构

3.1 存储空间

μPD79F7027, μPD79F7028 中的产品可以存取 1 MB 的地址空间。存储器映射图如图 3 - 1 和 3 - 2 所示。

图 3 - 1 存储器映射图 (μPD79F7027MC, μPD79F7027GA)



注 1. 使用自编程功能时，由于 FFE20H 至 FFEDFH 区域供自编程库使用，所以禁止使用该区域。

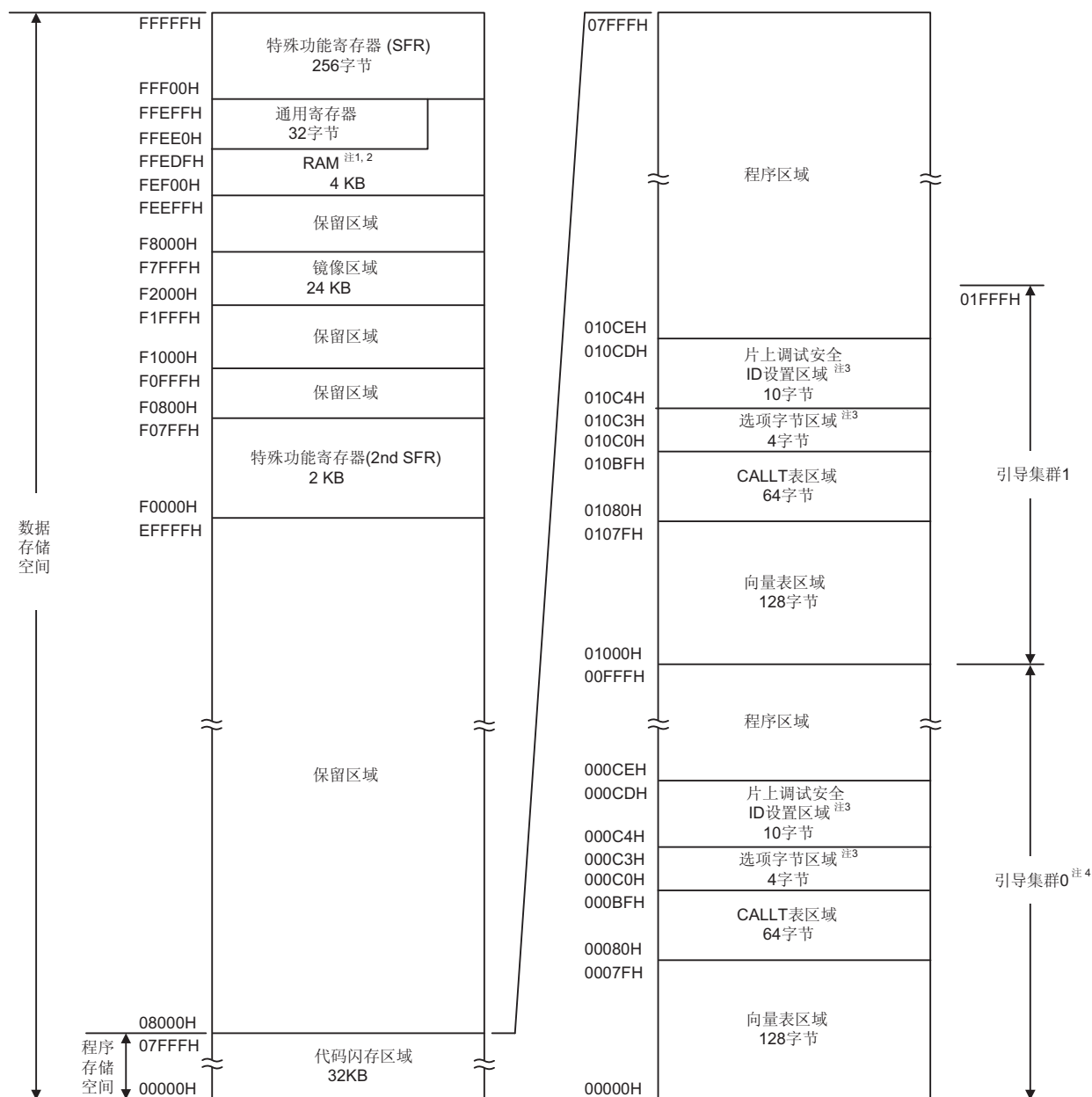
注 2. 可以在通用寄存器以外的 RAM 区域中执行指令。

注 3. 未使用引导交换功能时：将选项字节设于 000C0H 至 000C3H，片上调试安全 ID 设于 000C4H 至 000CDH。
使用引导交换功能时：将选项字节设于 000C0H 至 000C3H 和 010C0H 至 010C3H，片上调试安全 ID 设于 000C4H 至 000CDH 和 010C4H 至 010CDH。

注 4. 可以通过安全设置禁止写入引导集群 0（参阅 23.5 安全设置）。

注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误产生复位 (RPERDIS = 0) 的情况下，必须将所使用的 RAM 区域 + 10 字节的区域初始化。

图 3 - 2 存储器映射图 (μPD79F7028MC, μPD79F7028GA)



注 1. 使用自编程功能时，由于 FFE20H 至 FFEDFH 区域供自编程库使用，所以禁止使用该区域。

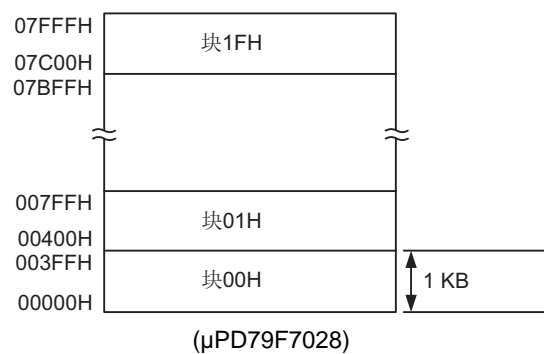
注 2. 可以在通用寄存器以外的 RAM 区域中执行指令。

注 3. 未使用引导交换功能时：将选项字节设于 000C0H 至 000C3H，片上调试安全 ID 设于 000C4H 至 000CDH。
使用引导交换功能时：将选项字节设于 000C0H 至 000C3H 和 010C0H 至 010C3H，片上调试安全 ID 设于 000C4H 至 000CDH 和 010C4H 至 010CDH。

注 4. 可以通过安全设置禁止写入引导集群 0（参阅 23.5 安全设置）。

注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误产生复位 (RPERDIS = 0) 的情况下，必须将所使用的 RAM 区域 + 10 字节的区域初始化。

备注 闪存分成块（1 个块= 1 KB）。关于地址值和块编号，请参阅表 3 - 1 闪存中地址值和块编号之间的对应。



闪存中地址值和块编号之间的对应如下所示。

表 3 - 1 闪存中地址值和块编号之间的对应

| 地址值 | 块编号 | 地址值 | 块编号 |
|---------------|-----|---------------|-----|
| 00000H至003FFH | 00H | 04000H至043FFH | 10H |
| 00400H至007FFH | 01H | 04400H至047FFH | 11H |
| 00800H至00BFFH | 02H | 04800H至04BFFH | 12H |
| 00C00H至00FFFH | 03H | 04C00H至04FFFH | 13H |
| 01000H至013FFH | 04H | 05000H至053FFH | 14H |
| 01400H至017FFH | 05H | 05400H至057FFH | 15H |
| 01800H至01BFFH | 06H | 05800H至05BFFH | 16H |
| 01C00H至01FFFH | 07H | 05C00H至05FFFH | 17H |
| 02000H至023FFH | 08H | 06000H至063FFH | 18H |
| 02400H至027FFH | 09H | 06400H至067FFH | 19H |
| 02800H至02BFFH | 0AH | 06800H至06BFFH | 1AH |
| 02C00H至02FFFH | 0BH | 06C00H至06FFFH | 1BH |
| 03000H至033FFH | 0CH | 07000H至073FFH | 1CH |
| 03400H至037FFH | 0DH | 07400H至077FFH | 1DH |
| 03800H至03BFFH | 0EH | 07800H至07BFFH | 1EH |
| 03C00H至03FFFH | 0FH | 07C00H至07FFFH | 1FH |

3.1.1 内部程序存储器空间

内部程序存储器空间中存储程序和数据表。
μPD79F7027, μPD79F7028 产品中内置的 ROM（闪存）如下所示。

表 3 - 2 ROM 容量

| 产品编号 | ROM | |
|------------|-----|------------------------------|
| | 结构 | 容量 |
| μPD79F7027 | 闪存 | 16384 × 8 位（00000H 至 03FFFH） |
| μPD79F7028 | | 32768 × 8 位（00000H 至 07FFFH） |

内部程序存储器空间分为以下区域。

- (1) 向量表区域
- 00000H 至 0007FH 的 128 字节区域作为向量表区域被保留。向量表区存放的是由于复位或各中断要求产生而进行转移时的程序的起始地址。另外，由于向量代码为 2 个字节，因此中断的跳转地址为 00000H 至 0FFFFH 的 64 K 地址。
- 在该 16 位地址中，低 8 位存储于偶数地址，高 8 位存储于奇数地址。
- 若要使用引导交换功能，同时要在 01000H 至 0107FH 区设置一个向量表。

表 3-3 向量表

| 向量表地址 | 中断源 | 32 引脚 | 30 引脚 |
|-------|--------------------------------|-------|-------|
| 0000H | RESET、POR、LVD、WDT、TRAP、IAW、RPE | √ | √ |
| 0004H | INTWDTI | √ | √ |
| 0006H | INTLVI | √ | √ |
| 0008H | INTP0 | √ | √ |
| 000AH | INTP1 | √ | √ |
| 000CH | INTP2 | √ | √ |
| 000EH | INTP3 | √ | √ |
| 0010H | INTP4 | √ | √ |
| 0012H | INTP5 | √ | √ |
| 001EH | INTST0/INTCSI00/INTIIC00 | √ | √ |
| 0020H | INTSR0 | √ | √ |
| 0022H | INTSRE0 | √ | √ |
| | INTTM01H | √ | √ |
| 0024H | INTST1 | √ | √ |
| 0026H | INTSR1 | √ | √ |
| 0028H | INTSRE1 | √ | √ |
| | INTTM03H | √ | √ |
| 002CH | INTTM00 | √ | √ |
| 002EH | INTTM01 | √ | √ |
| 0030H | INTTM02 | √ | √ |
| 0032H | INTTM03 | √ | √ |
| 0034H | INTAD | √ | √ |
| 0038H | INTIT | √ | √ |
| 0040H | INTTRJ0 | √ | √ |
| 0056H | INTTRD0 | √ | √ |
| 0058H | INTTRD1 | √ | √ |
| 0062H | INTFL | √ | √ |
| 007EH | BRK | √ | √ |

(2) CALLT 指令表区域

00080H 至 000BFH 的 64 字节区域可以存储 2 字节调用指令 (CALLT) 的子程序入口地址。将子程序入口地址设为 00000H 至 0FFFFH 范围内的一个值（因为地址代码为 2 个字节）。

若要使用引导交换功能，同时要在 01080H 至 010BFH 区设置一个 CALLT 指令表。

(3) 选项字节区域

000C0H 至 000C3H 的 4 字节区域可用作选项字节区域。使用引导交换功能时，在 010C0H 至 010C3H 中也设置选项字节。有关详情，请参阅第 22 章 选项字节。

(4) 片上调试安全 ID 设置区域

000C4H 至 000CDH 和 010C4H 至 010CDH 的 10 字节区域可用作片上调试安全 ID 设置区域。未使用引导交换功能时，将 10 字节的片上调试安全 ID 设于 000C4H 至 000CDH 区域；使用引导交换功能时，将其设于 000C4H 至 000CDH 以及 010C4H 至 010CDH 区域。有关详情，请参阅第 24 章 片上调试功能。

3.1.2 镜像区域

μPD79F7027, μPD79F7028 中， 00000H 至 07FFFH 的代码闪存区域被映射到 F0000H 至 FFFFFH 区域。

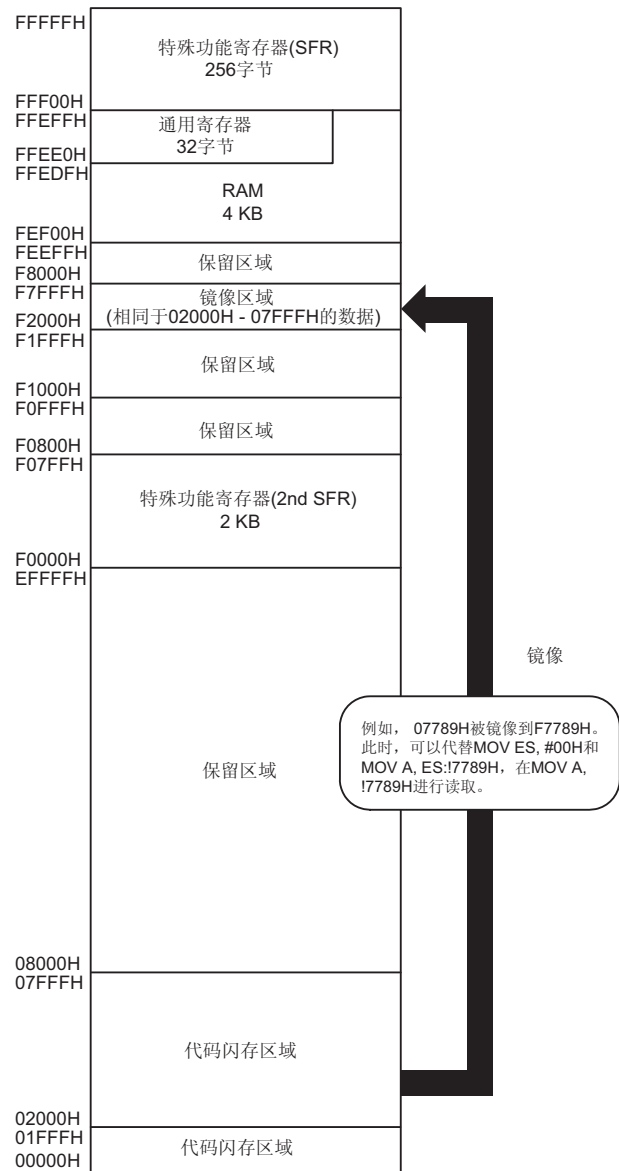
通过从 F0000H 至 FFFFFH 区域读取数据，可以使用不用 ES 寄存器作为操作数的指令，因此，能够用短代码读取代码闪存的内容。然而，不能将代码闪存区域映射到 SFR、扩展 SFR、RAM 和保留区域。

关于每种产品的镜像区域，请参阅 3.1 存储空间。

镜像区域为只读，不得从该区域取指令。

示例如下所示。

Example μPD79F7028（闪存：32 KB，RAM：4 KB）



PMC 寄存器如下所示。

- 处理器模式控制寄存器 (PMC)
该寄存器设置被镜像到F0000H至FFFFFH区域的闪存空间。
使用1位或8位存储器操作指令设置PMC寄存器。
产生复位信号后，该寄存器被清除为00H。

图 3 - 3 处理器模式控制寄存器 (PMC) 的格式

| | | | | | | | | |
|------------|-------------------------------|-----|---|---|---|---|---|-----|
| 地址: FFFFEH | 复位后: 00H | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | <0> |
| PMC | 0 | 0 | 0 | 0 | 0 | 0 | 0 | MAA |
| MAA | 设置镜像到F0000H至FFFFFH区域的闪存空间 | | | | | | | |
| 0 | 00000H至07FFFH镜像到F0000H至FFFFFH | | | | | | | |
| 1 | 禁止设置 | | | | | | | |

- 注意事项 1. 必须将该寄存器的位 0 (MAA)清除为0（初始值）。
- 注意事项 2. 设置PMC寄存器后，至少等待一条指令后才可以读取镜像区域。

3.1.3 内部数据存储空间

μPD79F7027, μPD79F7028 产品中内置了以下 RAM。

表 3 - 4 内部 RAM 容量

| 产品编号 | 内部 RAM |
|------------|------------------------------|
| μPD79F7027 | 2560 × 8 位 (FF500H 至 FFEFFH) |
| μPD79F7028 | 4096 × 8 位 (FEF00H 至 FFEFFH) |

内部 RAM 可以用作数据区域以及写入并执行指令的程序区域。每组由 8 个 8 位寄存器构成的四组通用寄存器被分配至内部 RAM 区域中的 FFEE0H 至 FFEFFH 的 32 位区域。然而，不能通过通用寄存器执行指令。

内部 RAM 可以用作堆栈存储器。

注意事项 1. 禁止使用通用寄存器 (FFEE0H 至 FFEFFH) 空间来获取指令，也不得将其用作堆栈区域。

注意事项 2. 使用自编程功能时，内部 RAM 的 FFE20H 至 FFEDFH 区域不能用作堆栈存储器。

3.1.4 特殊功能寄存器(SFR)区域

内置外围硬件的特殊功能寄存器(SFR)被分配到FFF00H至FFFFFH区域（参阅3.2.4 特殊功能寄存器(SFR)中的表 3 - 5至3 - 7）。

注意事项 不得存取未分配SFR的地址。

3.1.5 扩展特殊功能寄存器（2nd SFR：第二特殊功能寄存器）区域

内置外围硬件的特殊功能寄存器(2nd SFR)被分配到F0000H至F07FFH区域（参阅3.2.5 扩展特殊功能寄存器（2nd SFR：第二特殊功能寄存器）中的表 3 - 8至3 - 12）。

SFR区域（FFF00H至FFFFFH）以外的SFR被分配到该区域。存取扩展SFR区域的指令比存取SFR区域的指令长1个字节。

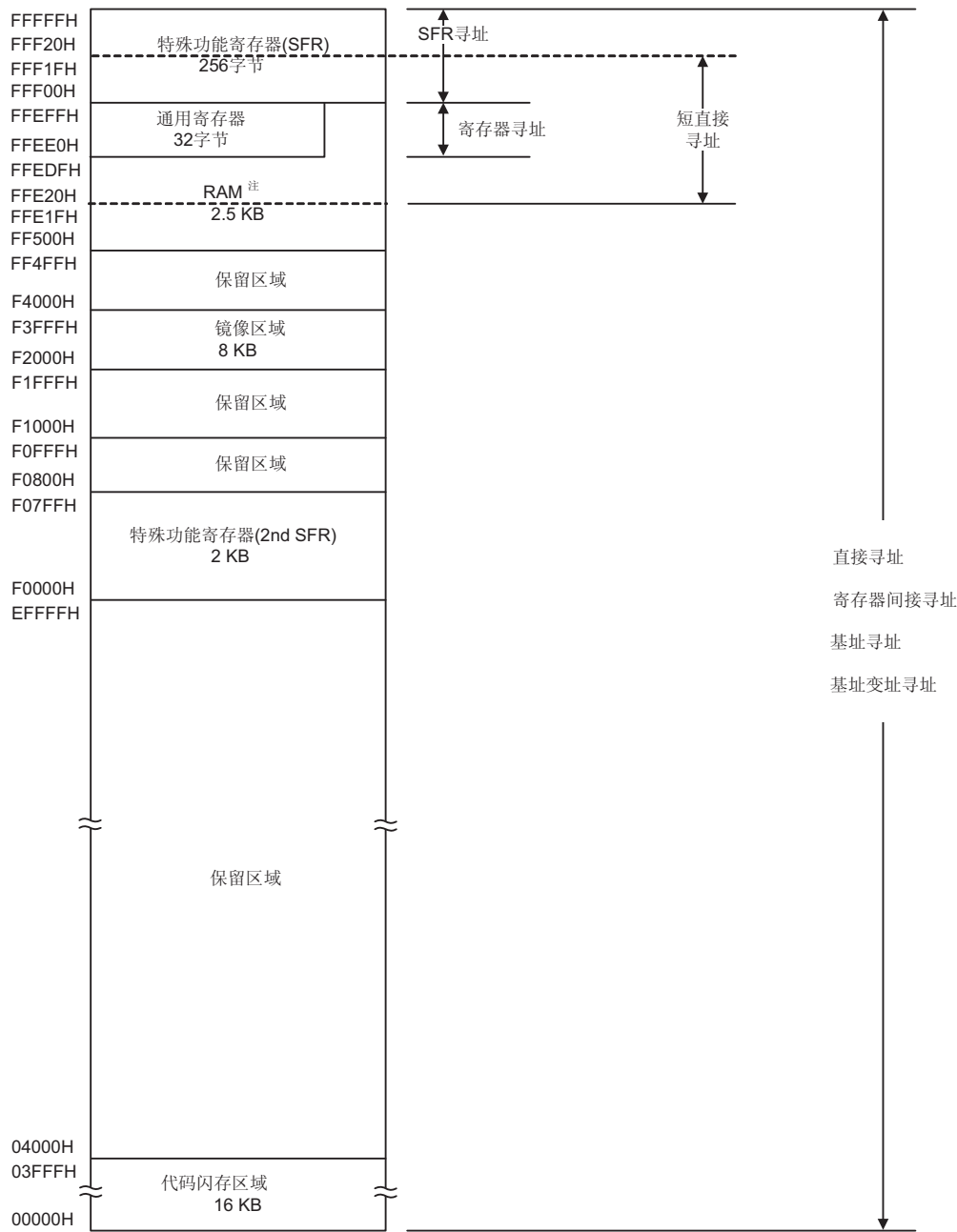
注意事项 不得存取未分配扩展SFR的地址。

3.1.6 数据存储器寻址

寻址是一种方法，用于指定下一步将执行的指令的地址，或者执行指令时相关的寄存器或存储器等的地址。

考虑到可操作性等，μPD79F7027, μPD79F7028 提供了丰富的寻址方式，用于寻址执行指令时作为操作对象的存储器。尤其在具有数据存储器的区域，可以使用配合特殊功能寄存器 (SFR) 和通用寄存器等的功能而设计的特殊的寻址方法。数据存储器寻址之间的对应如图 3 - 4 和 3 - 5 所示。每种寻址的详情请参阅 3.4 处理数据地址的寻址。

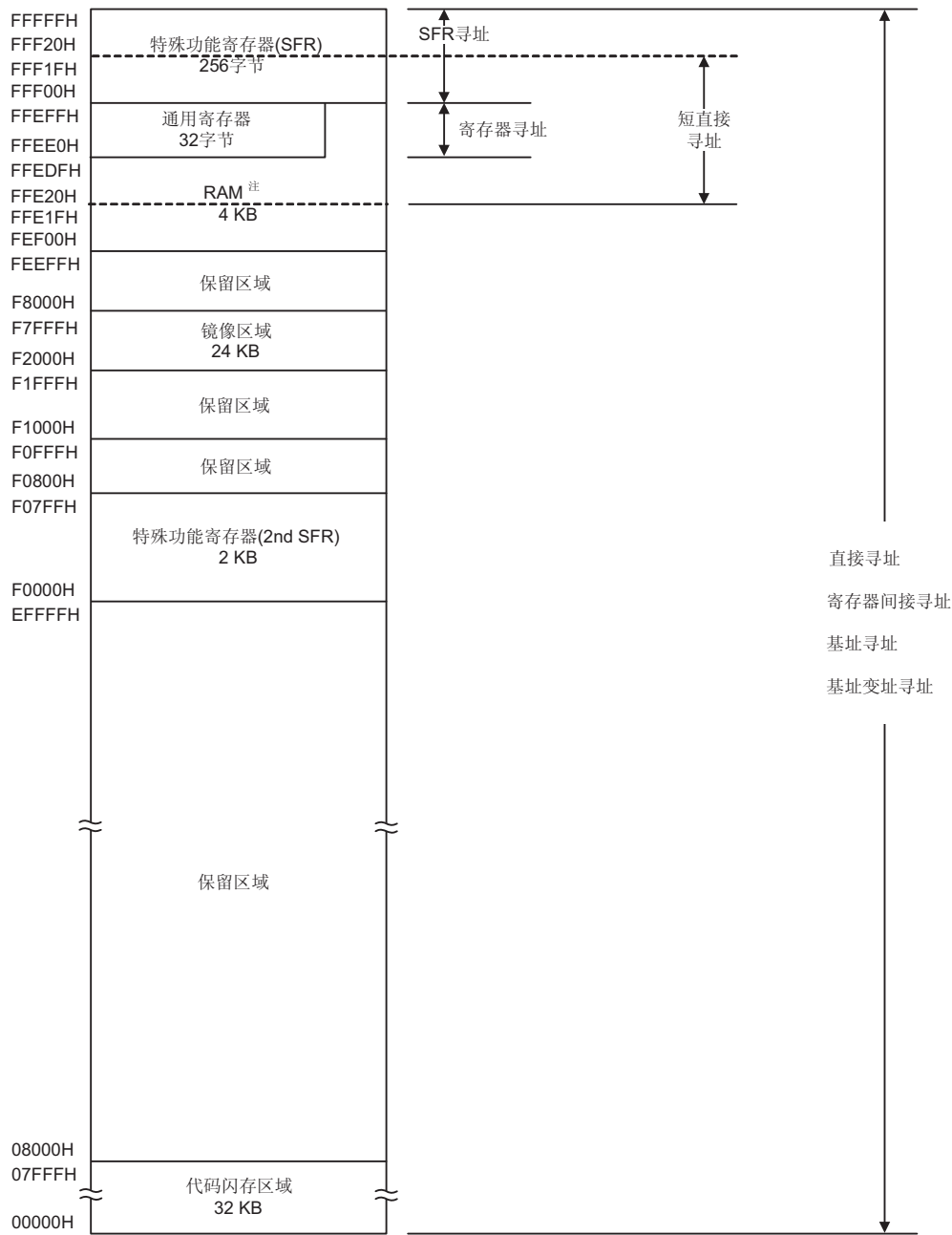
图 3 - 4 数据存储器和寻址之间的对应(μPD79F7027)



注 使用自编程功能时，由于 FFE20H 至 FFE1FH 区域供自编程库使用，所以禁止使用该区域。

注意事项 在 RAM 区域中执行指令且允许 RAM 奇偶校验错误产生复位 (RPERDIS = 0) 的情况下，必须将所使用的 RAM 区域 + 10 字节的区域初始化。

图 3 - 5 数据存储器和寻址之间的对应(μPD79F7028)



注 使用自编程功能时，由于FFE20H至FFEDFH区域供自编程库使用，所以禁止使用该区域。

注意事项 在RAM区域中执行指令且允许RAM奇偶校验错误产生复位(RPERDIS = 0)的情况下，必须将所使用的RAM区域 + 10字节的区域初始化。

3.2 处理器寄存器

μPD79F7027, μPD79F7028 产品中内置了以下处理器寄存器。

3.2.1 控制寄存器

控制寄存器用于控制程序时序、状态和堆栈存储器。控制寄存器由程序计数器 (PC)、程序状态字 (PSW) 和堆栈指针 (SP) 组成。

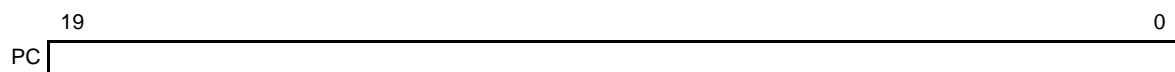
(1) 程序计数器 (PC)

程序计数器是一个 20 位寄存器，用于存储即将执行的下个程序的地址信息。

在通常操作中，PC 根据待获取的指令的字节数自动递增。执行分支指令时，设置立即数和寄存器内容。

产生复位信号后，地址 0000H 和 0001H 处的复位向量表的值被设置至程序计数器。

图 3 - 6 程序计数器的格式

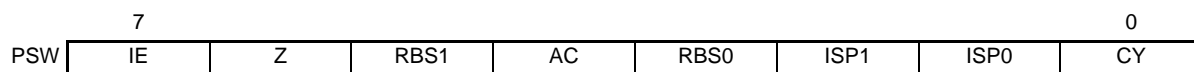


(2) 程序状态字 (PSW)

程序状态字为 8 位寄存器，由通过执行指令来置位/复位的多个标志组成。

程序状态字内容在发生受理向量中断请求或执行 PUSH PSW 指令时存储于堆栈区中，并在执行 RETB、RETI 和 POP PSW 指令时恢复。产生复位信号后，PSW 寄存器被设置为 06H。

图 3 - 7 程序状态字的格式



(a) 中断允许标志 (IE)

该标志控制 CPU 的中断请求受理操作。

当其为 0 时，IE 标志设置为中断禁止 (DI) 状态，禁止所有可屏蔽中断请求。

当其为 1 时，IE 标志设置为中断允许 (EI) 状态，通过受理中断的优先级标志 (ISP1、ISP0)、各中断源的中断屏蔽标志和优先级指定标志来控制中断请求的受理。

IE 标志在执行 DI 指令或中断受理时复位 (0)，在 EI 指令被执行时被置位 (1)。

(b) 零标志 (Z)

当运算结果为零时，该标志被置位 (1)。其他情况下复位 (0)。

(c) 寄存器组选择标志 (RBS0, RBS1)

用于从 4 个寄存器组中选出 1 个的 2 位标志。

通过执行 SEL RBn 指令而选择的寄存器组的 2 位信息存储于这些标志中。

(d) 辅助进位标志 (AC)

如果运算结果在位 3 进位或在位 3 借位，则该标志被置位 (1)。其他情况下被复位 (0)。

(e) 受理中断的优先级标志 (ISP1, ISP0)

可以受理的可屏蔽向量中断的优先级由该标志管理。优先级选择标志寄存器 (PRn0L、PRn0H、PRn1L、PRn1H、PRn2L、PRn2H) (参阅 15.3 (3)) 所指定的低于 ISP0 和 ISP1 标志值的向量中断请求禁止受理。实际上是否受理中断请求由中断允许标志 (IE) 控制。

备注 n = 0, 1

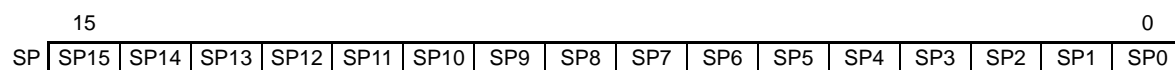
(f) 进位标志 (CY)

该标志存储执行加/减指令时的上溢和下溢。执行循环指令时存储移出值，执行位操作指令时用作位累加器。

(3) 堆栈指针 (SP)

该 16 位寄存器用于保存存储器堆栈区域的起始地址。仅限内部 RAM 区域可设为堆栈区域。

图 3 - 8 堆栈指针的格式



SP 在写入 (压栈) 堆栈存储器之前递减，在从堆栈存储器读取 (出栈) 之后递增。

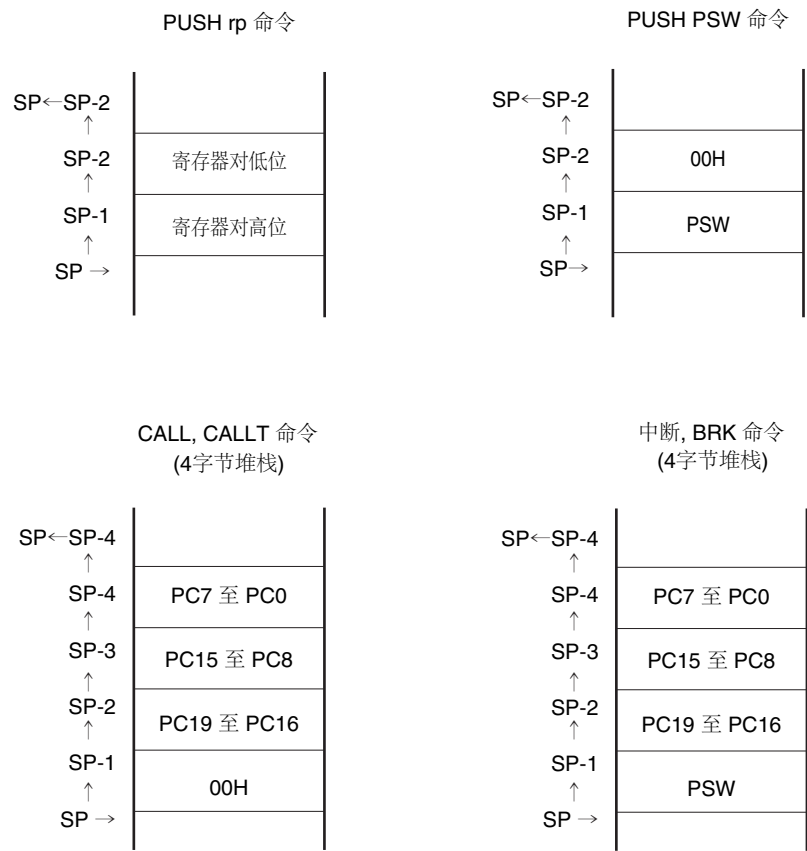
各堆栈操作所保存的数据如图 3 - 9 所示。

注意事项 1. 由于产生复位信号时会使 SP 的内容不定，因此必须在使用堆栈之前初始化 SP。

注意事项 2. 禁止将通用寄存器 (FFEE0H 至 FFEFFH) 空间用作堆栈区。

注意事项 3. 使用自编程功能时，内部 RAM 的 FFE20H 至 FFEDFH 区域不能用作堆栈存储器。

图 3 - 9 保存到堆栈存储器的数据



3.2.2 通用寄存器

通用寄存器被分配到数据存储器的特定地址（FFEE0H至FFEFFH）。通用寄存器由 4 组寄存器构成，每组包括 8 个 8 位寄存器（X、A、C、B、E、D、L 和 H）。

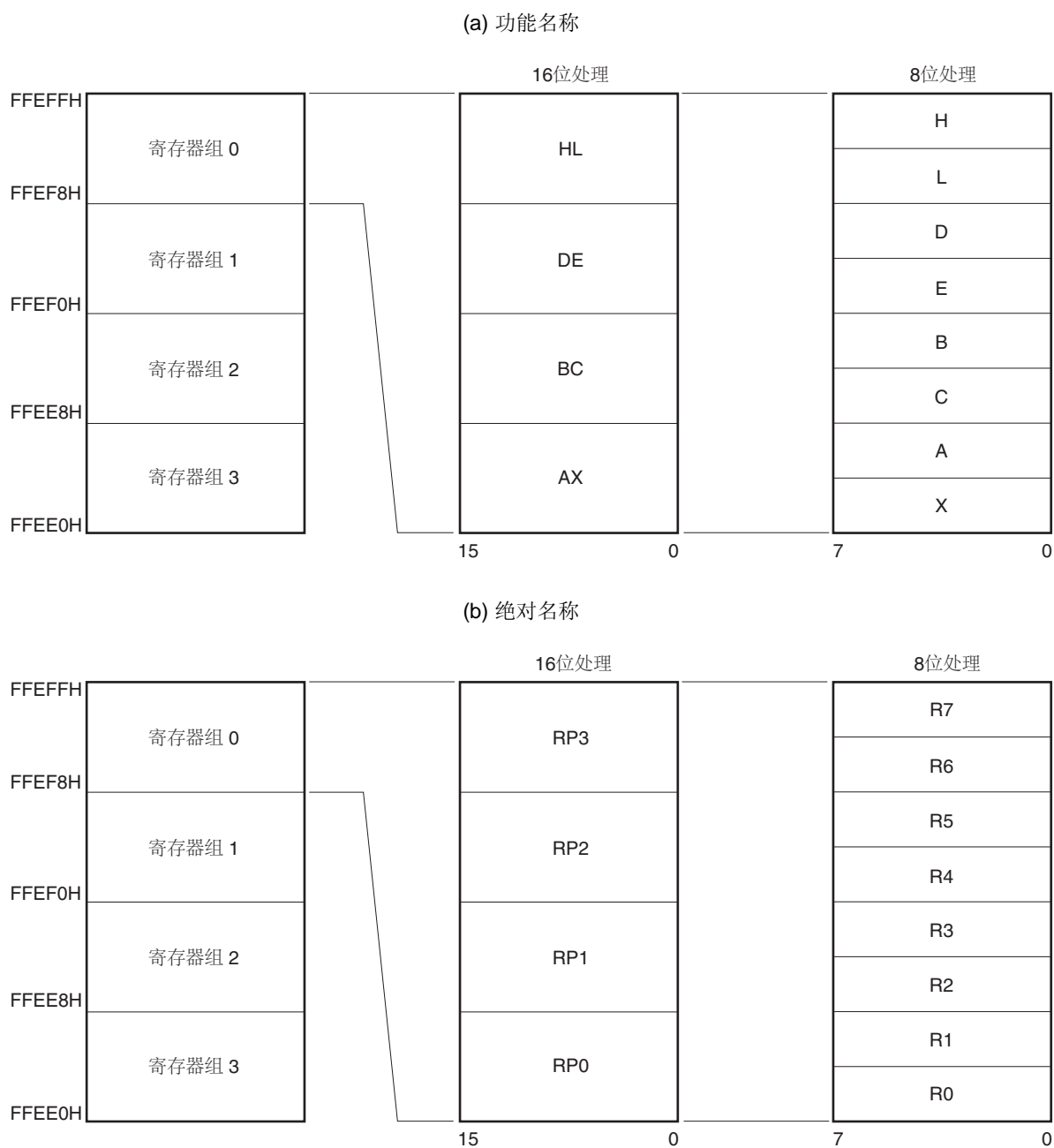
各寄存器可以作为 1 个 8 位寄存器使用，也可以将 2 个 8 位寄存器组合起来作为 1 个 16 位寄存器（AX、BC、DE 和 HL）使用。

这些寄存器可以用功能名称（X、A、C、B、E、D、L、H、AX、BC、DE 和 HL）以及绝对名称（R0 至 R7 及 RP0 至 RP3）来描述。

执行指令时所用的寄存器组通过 CPU 控制指令 (SEL RBn) 设置。由于其够成为 4 个寄存器组，可以将用于正常处理的寄存器和处理中断时所用的寄存器切换，从而创建高效率的程序。

注意事项 禁止使用通用寄存器（FFEE0H至FFEFFH）空间来获取指令，也不得将其用作堆栈区域。

图 3 - 10 通用寄存器的配置



3.2.3 ES 和 CS 寄存器

ES 寄存器用于数据存取，CS 寄存器用于在执行分支指令时指定高位地址。

ES 寄存器复位后的初始值为 0FH，CS 寄存器复位后的初始值为 00H。

图 3 - 11 ES 和 CS 寄存器的配置

| | | | | | | | | |
|----|---|---|---|---|-----|-----|-----|-----|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ES | 0 | 0 | 0 | 0 | ES3 | ES2 | ES1 | ES0 |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CS | 0 | 0 | 0 | 0 | CS3 | CP2 | CP1 | CP0 |

3.2.4 特殊功能寄存器 (SFR)

与通用寄存器不同，每个 SFR 都具有特殊功能。

SFR 空间被分配到 FFF00H 至 FFFFFH 区域。

通过运算、传送和位操作指令，可以像操作通用寄存器一样操作 SFR。可操作的单位（1、8、16）因 SFR 的不同而异。

操作单位的指定方法如下所示。

- 1 位操作
通过汇编程序的保留符号指定位操作指令的操作数 (sfr.bit)。
也可以为该操作指定地址。
- 8 位操作
通过汇编程序的保留符号指定 8 位操作指令的操作数 (sfr)。
也可以为该操作指定地址。
- 16 位操作
通过汇编程序的保留符号指定 16 位操作指令的操作数 (sfrp)。
当指定地址时，请描述为偶数地址。

表 3 - 5 至 3 - 7 为 SFR 的列表。表中所列项目的含义如下所示。

- 符号
此项表示特殊功能寄存器地址。在汇编程序中作为保留字，在编译程序中通过 #pragma sfr 指令被定义为 sfr 变量。
使用汇编程序、调试器和仿真器时，符号可以作为指令的操作数。
- R/W
此项表示相对应的 SFR 能否读取或写入。
R/W: 可读/写
R: 只读
W: 只写
- 可操作的单位
“√”表示可操作的单位（1、8、16）。“—”表示不可以操作的单位。
- 复位后
此项表示产生复位信号后各个寄存器的状态。

注意事项 不得存取未分配 SFR 的地址。

备注 关于扩展 SFR (2nd SFR)，请参阅 3.2.5 扩展特殊功能寄存器（2nd SFR: 第二特殊功能寄存器）。

表 3 - 5 SFR 列表 (1/3)

| 地址 | 特殊功能寄存器(SFR)名称 | 符号 | | R/W | 可操作位范围 | | | 复位后 |
|--------|-----------------|----------------|-------|-----|--------|----|-----|-------|
| | | | | | 1位 | 8位 | 16位 | |
| FFF00H | 端口寄存器 0 | P0 | | R/W | √ | √ | — | 00H |
| FFF01H | 端口寄存器 1 | P1 | | R/W | √ | √ | — | 00H |
| FFF02H | 端口寄存器 2 | P2 | | R/W | √ | √ | — | 00H |
| FFF03H | 端口寄存器 3 | P3 | | R/W | √ | √ | — | 00H |
| FFF04H | 端口寄存器 4 | P4 | | R/W | √ | √ | — | 00H |
| FFF05H | 端口寄存器 5 | P5 | | R/W | √ | √ | — | 00H |
| FFF06H | 端口寄存器 6 | P6 | | R/W | √ | √ | — | 00H |
| FFF07H | 端口寄存器 7 | P7 | | R/W | √ | √ | — | 00H |
| FFF0CH | 端口寄存器 12 | P12 | | R/W | √ | √ | — | 不定 |
| FFF0DH | 端口寄存器 13 | P13 | | R/W | √ | √ | — | 不定 |
| FFF0EH | 端口寄存器 14 | P14 | | R/W | √ | √ | — | 00H |
| FFF10H | 串行数据寄存器 00 | TXD0/ SIO00 | SDR00 | R/W | — | √ | √ | 0000H |
| FFF11H | | — | | | — | — | | |
| FFF12H | 串行数据寄存器 01 | RXD0/ SIO01 | SDR01 | R/W | — | √ | √ | 0000H |
| FFF13H | | — | | | — | — | | |
| FFF18H | 定时器数据寄存器 00 | TDR00 | | R/W | — | — | √ | 0000H |
| FFF19H | | | | | | | | |
| FFF1AH | 定时器数据寄存器 01 | TDR01L | TDR01 | R/W | — | √ | √ | 00H |
| FFF1BH | | TDR01H | | | — | √ | — | 00H |
| FFF1EH | 10位 A/D 转换结果寄存器 | ADCR | | R | — | — | √ | 0000H |
| FFF1FH | 8位 A/D 转换结果寄存器 | ADCRH | | R | — | √ | — | 00H |
| FFF20H | 端口模式寄存器 0 | PM0 | | R/W | √ | √ | — | FFH |
| FFF21H | 端口模式寄存器 1 | PM1 | | R/W | √ | √ | — | FFH |
| FFF22H | 端口模式寄存器 2 | PM2 | | R/W | √ | √ | — | FFH |
| FFF23H | 端口模式寄存器 3 | PM3 | | R/W | √ | √ | — | FFH |
| FFF24H | 端口模式寄存器 4 | PM4 | | R/W | √ | √ | — | FFH |
| FFF25H | 端口模式寄存器 5 | PM5 | | R/W | √ | √ | — | FFH |
| FFF26H | 端口模式寄存器 6 | PM6 | | R/W | √ | √ | — | FFH |
| FFF27H | 端口模式寄存器 7 | PM7 | | R/W | √ | √ | — | FFH |
| FFF2CH | 端口模式寄存器 12 | PM12 | | R/W | √ | √ | — | FFH |
| FFF2EH | 端口模式寄存器 14 | PM14 | | R/W | √ | √ | — | FFH |
| FFF30H | A/D 转换器模式寄存器 0 | ADM0 | | R/W | √ | √ | — | 00H |
| FFF31H | 模拟输入通道选择寄存器 | ADS | | R/W | √ | √ | — | 00H |
| FFF32H | A/D 转换器模式寄存器 1 | ADM1 | | R/W | √ | √ | — | 00H |
| FFF38H | 外部中断上升沿允许寄存器 0 | EGP0 | | R/W | √ | √ | — | 00H |
| FFF39H | 外部中断下降沿允许寄存器 0 | EGN0 | | R/W | √ | √ | — | 00H |

表 3 - 6 SFR 列表 (2/3)

| 地址 | 特殊功能寄存器(SFR)名称 | 符号 | | R/W | 可操作位范围 | | | 复位后 |
|--------|----------------|----------------|-------|-----|--------|----|-----|---------|
| | | | | | 1位 | 8位 | 16位 | |
| FFF44H | 串行数据寄存器 02 | TXD1/ SIO10 | SDR02 | R/W | — | √ | √ | 0000H |
| FFF45H | | — | | | — | — | | |
| FFF46H | 串行数据寄存器 03 | RXD1/ SIO11 | SDR03 | R/W | — | √ | √ | 0000H |
| FFF47H | | — | | | — | — | | |
| FFF58H | 定时器RD通用寄存器C0 | TRDGRC0 | | R/W | — | — | √ | FFFFH 注 |
| FFF59H | | | | | | | | |
| FFF5AH | 定时器RD通用寄存器D0 | TRDGRD0 | | R/W | — | — | √ | FFFFH 注 |
| FFF5BH | | | | | | | | |
| FFF5CH | 定时器RD通用寄存器 C1 | TRDGRC1 | | R/W | — | — | √ | FFFFH 注 |
| FFF5DH | | | | | | | | |
| FFF5EH | 定时器RD通用寄存器 D1 | TRDGRD1 | | R/W | — | — | √ | FFFFH 注 |
| FFF5FH | | | | | | | | |
| FFF64H | 定时器数据寄存器 02 | TDR02 | | R/W | — | — | √ | 0000H |
| FFF65H | | | | | | | | |
| FFF66H | 定时器数据寄存器 03 | TDR03L | TDR03 | R/W | — | √ | √ | 00H |
| FFF67H | | TDR03H | | | — | √ | √ | 00H |
| FFF90H | 12位间隔定时器控制寄存器 | ITMC | | R/W | — | — | √ | 0FFFH |
| FFF91H | | | | | | | | |
| FFFA0H | 时钟操作模式控制寄存器 | CMC | | R/W | — | √ | — | 00H |
| FFFA1H | 时钟操作状态控制寄存器 | CSC | | R/W | √ | √ | — | C0H |
| FFFA2H | 振荡稳定时间计数器状态寄存器 | OSTC | | R | √ | √ | — | 00H |
| FFFA3H | 振荡稳定时间选择寄存器 | OSTS | | R/W | — | √ | — | 07H |
| FFFA4H | 系统时钟控制寄存器 | CKC | | R/W | √ | √ | — | 00H |
| FFFA5H | 时钟输出选择寄存器0 | CKS0 | | R/W | √ | √ | — | 00H |
| FFFA6H | 时钟输出选择寄存器1 | CKS1 | | R/W | √ | √ | — | 00H |

注 当用户选项字节 (000C2H) 中的 FRQSEL4 = 1 并且 PER1 寄存器中的 TRD0EN = 0 时, 定时器 RD SFR 为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

表 3 - 7 SFR 列表 (3/3)

| 地址 | 特殊功能寄存器(SFR)名称 | 符号 | | R/W | 可操作位范围 | | | 复位后 |
|----------|----------------|-------|------|-----|--------|----|-----|--------------------|
| | | | | | 1位 | 8位 | 16位 | |
| FFFA8H | 复位控制标志寄存器 | RESF | | R | — | √ | — | 不定 注 1 |
| FFFA9H | 电压检测寄存器 | LVIM | | R/W | √ | √ | — | 00H 注 2 |
| FFFAAH | 电压检测电平寄存器 | LVIS | | R/W | √ | √ | — | 00H/01H/81H 注 3 |
| FFFABH | 看门狗定时器允许寄存器 | WDTE | | R/W | — | √ | — | 9AH/1AH 注 4 |
| FFFACH | CRC 输入寄存器 | CRCIN | | R/W | — | √ | — | 00H |
| FFFD1H | 中断请求标志寄存器 2H | IF2H | IF2 | R/W | √ | √ | √ | 00H |
| FFFD5H | 中断屏蔽标志寄存器 2H | MK2H | MK2 | R/W | √ | √ | √ | FFH |
| FFFD9H | 优先指定标志寄存器 02H | PR02H | PR02 | R/W | √ | √ | √ | FFH |
| FFFDDH | 优先指定标志寄存器 12H | PR12H | PR12 | R/W | √ | √ | √ | FFH |
| FFFE0H | 中断请求标志寄存器 0L | IF0L | IF0 | R/W | √ | √ | √ | 00H |
| FFFE1H | 中断请求标志寄存器 0H | IF0H | | R/W | √ | √ | | 00H |
| FFFE2H | 中断请求标志寄存器 1L | IF1L | IF1 | R/W | √ | √ | √ | 00H |
| FFFE3H | 中断请求标志寄存器 1H | IF1H | | R/W | √ | √ | | 00H |
| FFFE4H | 中断屏蔽标志寄存器 0L | MK0L | MK0 | R/W | √ | √ | √ | FFH |
| FFFE5H | 中断屏蔽标志寄存器 0H | MK0H | | R/W | √ | √ | | FFH |
| FFFE6H | 中断屏蔽标志寄存器 1L | MK1L | MK1 | R/W | √ | √ | √ | FFH |
| FFFE7H | 中断屏蔽标志寄存器 1H | MK1H | | R/W | √ | √ | | FFH |
| FFFE8H | 优先级选择标志寄存器 00L | PR00L | PR00 | R/W | √ | √ | √ | FFH |
| FFFE9H | 优先级选择标志寄存器 00H | PR00H | | R/W | √ | √ | | FFH |
| FFFEAH | 优先指定标志寄存器 01L | PR01L | PR01 | R/W | √ | √ | √ | FFH |
| FFFE BH | 优先指定标志寄存器 01H | PR01H | | R/W | √ | √ | | FFH |
| FFFECH | 优先指定标志寄存器 10L | PR10L | PR10 | R/W | √ | √ | √ | FFH |
| FF FEDH | 优先指定标志寄存器 10H | PR10H | | R/W | √ | √ | | FFH |
| FF FEEH | 优先指定标志寄存器 11L | PR11L | PR11 | R/W | √ | √ | √ | FFH |
| FF FE FH | 优先级选择标志寄存器 11H | PR11H | | R/W | √ | √ | | FFH |
| FFFF0H | 乘加寄存器 (L) | MACRL | | R/W | — | — | √ | 0000H |
| FFFF1H | | | | | | | | |
| FFFF2H | 乘加寄存器 (H) | MACRH | | R/W | — | — | √ | 0000H |
| FFFF3H | | | | | | | | |
| FF FEH | 处理器模式控制寄存器 | PMC | | R/W | √ | √ | — | 00H |

注 1. RESF 寄存器的复位值因复位源而异。

注 2. LVIM 寄存器的复位值因复位源而异。

注 3. LVIS 寄存器的复位值因复位源和选项字节的设置而异。

注 4. WDTE 寄存器的复位值决定于选项字节的设置。

备注 关于扩展 SFR (2nd SFR), 请参阅表 3 - 8 至 3 - 12 扩展 SFR (2nd SFR) 列表。

3.2.5 扩展特殊功能寄存器（2nd SFR：第二特殊功能寄存器）

与通用寄存器不同，每个扩展 SFR (2nd SFR) 都具有特殊功能。

扩展 SFR 被分配到 F0000H 至 F07FFH 区域。SFR 区域（FFF00H 至 FFFFFH 区）以外的 SFR 被分配到该区域。

存取扩展 SFR 区域的指令比存取 SFR 区域的指令长 1 个字节。

通过运算、传送和位操作指令，可以像操作通用寄存器一样操作扩展 SFR。可操作的单位（1、8、16）因 SFR 的不同而异。

操作单位的指定方法如下所示。

- 1 位操作

通过汇编程序的保留符号指定位操作指令的操作数(!addr16.bit)。也可以为该操作指定地址。

- 8 位操作

通过汇编程序的保留符号指定 8 位操作指令的操作数(!addr16)。也可以为该操作指定地址。

- 16 位操作

通过汇编程序的保留符号指定 16 位操作指令的操作数(!addr16)。当指定地址时，请描述为偶数地址。

表 3 - 8 至 3 - 12 为扩展 SFR 的列表。表中所列项目的含义如下所示。

- 符号

此项表示扩展 SFR 地址。在汇编程序中作为保留字，在编译程序中通过 #pragma sfr 指令被定义为 sfr 变量。使用汇编程序、调试器和仿真器时，符号可以作为指令的操作数。

- R/W

此项表示相对应的扩展 SFR 能否读取或写入。

R/W: 可读/写

R: 只读

W: 只写

- 可操作的单位

“√”表示可操作的单位（1、8、16）。“—”表示不可以操作的单位。

- 复位后

此项表示产生复位信号后各个寄存器的状态。

注意事项 不得存取未分配扩展 SFR 的地址。

备注 关于 SFR 区域中的 SFR，请参阅 3.2.4 特殊功能寄存器(SFR)。

表 3 - 8 扩展 SFR (2nd SFR) 列表 (1/5)

| 地址 | 特殊功能寄存器 (SFR) 名称 | 符号 | R/W | 可操作位范围 | | | 复位后 |
|--------|------------------|---------|-----|--------|-----|------|-----|
| | | | | 1 位 | 8 位 | 16 位 | |
| F0010H | A/D 转换器模式寄存器 2 | ADM2 | R/W | √ | √ | — | 00H |
| F0011H | 转换结果比较上限值设置寄存器 | ADUL | R/W | — | √ | — | FFH |
| F0012H | 转换结果比较下限值设置寄存器 | ADLL | R/W | — | √ | — | 00H |
| F0013H | A/D 测试寄存器 | ADTES | R/W | — | √ | — | 00H |
| F0030H | 上拉电阻选择寄存器 0 | PU0 | R/W | √ | √ | — | 00H |
| F0031H | 上拉电阻选择寄存器 1 | PU1 | R/W | √ | √ | — | 00H |
| F0033H | 上拉电阻选择寄存器 3 | PU3 | R/W | √ | √ | — | 00H |
| F0034H | 上拉电阻选择寄存器 4 | PU4 | R/W | √ | √ | — | 01H |
| F0035H | 上拉电阻选择寄存器 5 | PU5 | R/W | √ | √ | — | 00H |
| F0037H | 上拉电阻选择寄存器 7 | PU7 | R/W | √ | √ | — | 00H |
| F003CH | 上拉电阻选择寄存器 12 | PU12 | R/W | √ | √ | — | 00H |
| F003EH | 上拉电阻选择寄存器 14 | PU14 | R/W | √ | √ | — | 00H |
| F0040H | 端口输入模式寄存器 0 | PIM0 | R/W | √ | √ | — | 00H |
| F0041H | 端口输入模式寄存器 1 | PIM1 | R/W | √ | √ | — | 00H |
| F0043H | 端口输入模式寄存器 3 | PIM3 | R/W | √ | √ | — | 00H |
| F0045H | 端口输入模式寄存器 5 | PIM5 | R/W | √ | √ | — | 00H |
| F0050H | 端口输出模式寄存器 0 | POM0 | R/W | √ | √ | — | 00H |
| F0051H | 端口输出模式寄存器 1 | POM1 | R/W | √ | √ | — | 00H |
| F0053H | 端口输出模式寄存器 3 | POM3 | R/W | √ | √ | — | 00H |
| F0055H | 端口输出模式寄存器 5 | POM5 | R/W | √ | √ | — | 00H |
| F0060H | 端口模式控制寄存器 0 | PMC0 | R/W | √ | √ | — | FFH |
| F006CH | 端口模式控制寄存器 12 | PMC12 | R/W | √ | √ | — | FFH |
| F006EH | 端口模式控制寄存器 14 | PMC14 | R/W | √ | √ | — | FFH |
| F0070H | 噪声滤波器允许寄存器 0 | NFEN0 | R/W | √ | √ | — | 00H |
| F0071H | 噪声滤波器允许寄存器 1 | NFEN1 | R/W | √ | √ | — | 00H |
| F0073H | 输入切换控制寄存器 | ISC | R/W | √ | √ | — | 00H |
| F0074H | 定时器输入选择寄存器 0 | TIS0 | R/W | — | √ | — | 00H |
| F0076H | A/D 端口配置寄存器 | ADPC | R/W | — | √ | — | 00H |
| F0077H | 外围输入/输出重定向寄存器 0 | PIOR0 | R/W | — | √ | — | 00H |
| F0078H | 非法存储器存取检测控制寄存器 | IAWCTL | R/W | — | √ | — | 00H |
| F0079H | 外围输入/输出重定向寄存器 1 | PIOR1 | R/W | — | √ | — | 00H |
| F007AH | 外围允许寄存器 1 | PER1 | R/W | √ | √ | — | 00H |
| F007BH | 端口模式选择寄存器 | PMS | R/W | √ | √ | — | 00H |
| F00A0H | 高速片上振荡器调节寄存器 | HIOTRM | R/W | — | √ | — | 注 |
| F00A8H | 高速片上振荡器频率选择寄存器 | HOCODIV | R/W | — | √ | — | 不定 |

注 复位值因芯片而异。

表 3 - 9 扩展 SFR (2nd SFR) 列表 (2/5)

| 地址 | 特殊功能寄存器 (SFR) 名称 | 符号 | | R/W | 可操作位范围 | | | 复位后 |
|--------|------------------|--------|-------|-----|--------|-----|------|-------|
| | | | | | 1 位 | 8 位 | 16 位 | |
| F00F0H | 外围允许寄存器 0 | PER0 | | R/W | √ | √ | — | 00H |
| F00F3H | 操作速度模式控制寄存器 | OSMC | | R/W | — | √ | — | 00H |
| F00F5H | RAM 奇偶校验错误控制寄存器 | RPECTL | | R/W | √ | √ | — | 00H |
| F00FEH | BCD 修正结果寄存器 | BCDADJ | | R | — | √ | — | 不定 |
| F0100H | 串行状态寄存器 00 | SSR00L | SSR00 | R | — | √ | √ | 0000H |
| F0101H | | — | | | — | | | |
| F0102H | 串行状态寄存器 01 | SSR01L | SSR01 | R | — | √ | √ | 0000H |
| F0103H | | — | | | — | | | |
| F0104H | 串行状态寄存器 02 | SSR02L | SSR02 | R | — | √ | √ | 0000H |
| F0105H | | — | | | — | | | |
| F0106H | 串行状态寄存器 03 | SSR03L | SSR03 | R | — | √ | √ | 0000H |
| F0107H | | — | | | — | | | |
| F0108H | 串行标志清除触发寄存器 00 | SIR00L | SIR00 | R/W | — | √ | √ | 0000H |
| F0109H | | — | | | — | | | |
| F010AH | 串行标志清除触发寄存器 01 | SIR01L | SIR01 | R/W | — | √ | √ | 0000H |
| F010BH | | — | | | — | | | |
| F010CH | 串行标志清除触发寄存器 02 | SIR02L | SIR02 | R/W | — | √ | √ | 0000H |
| F010DH | | — | | | — | | | |
| F010EH | 串行标志清除触发寄存器 03 | SIR03L | SIR03 | R/W | — | √ | √ | 0000H |
| F010FH | | — | | | — | | | |
| F0110H | 串行模式寄存器 00 | SMR00 | | R/W | — | — | √ | 0020H |
| F0111H | | | | | | | | |
| F0112H | 串行模式寄存器 01 | SMR01 | | R/W | — | — | √ | 0020H |
| F0113H | | | | | | | | |
| F0114H | 串行模式寄存器 02 | SMR02 | | R/W | — | — | √ | 0020H |
| F0115H | | | | | | | | |
| F0116H | 串行模式寄存器 03 | SMR03 | | R/W | — | — | √ | 0020H |
| F0117H | | | | | | | | |
| F0118H | 串行通信操作设置寄存器 00 | SCR00 | | R/W | — | — | √ | 0087H |
| F0119H | | | | | | | | |
| F011AH | 串行通信操作设置寄存器 01 | SCR01 | | R/W | — | — | √ | 0087H |
| F011BH | | | | | | | | |
| F011CH | 串行通信操作设置寄存器 02 | SCR02 | | R/W | — | — | √ | 0087H |
| F011DH | | | | | | | | |
| F011EH | 串行通信操作设置寄存器 03 | SCR03 | | R/W | — | — | √ | 0087H |
| F011FH | | | | | | | | |

注 此值因产品而异。

表 3 - 10 扩展 SFR (2nd SFR) 列表 (3/5)

| 地址 | 特殊功能寄存器(SFR)名称 | 符号 | | R/W | 可操作位范围 | | | 复位后 |
|--------|----------------|--------|-------|-----|--------|----|-----|-------|
| | | | | | 1位 | 8位 | 16位 | |
| F0120H | 串行通道允许状态寄存器 0 | SE0L | SE0 | R | √ | √ | √ | 0000H |
| F0121H | | — | | | — | — | | |
| F0122H | 串行通道开始寄存器 0 | SS0L | SS0 | R/W | √ | √ | √ | 0000H |
| F0123H | | — | | | — | — | | |
| F0124H | 串行通道停止寄存器 0 | ST0L | ST0 | R/W | √ | √ | √ | 0000H |
| F0125H | | — | | | — | — | | |
| F0126H | 串行时钟选择寄存器 0 | SPS0L | SPS0 | R/W | — | √ | √ | 0000H |
| F0127H | | — | | | — | — | | |
| F0128H | 串行输出寄存器0 | SO0 | | R/W | — | — | √ | 0F0FH |
| F0129H | | | | | | | | |
| F012AH | 串行输出允许寄存器0 | SOE0L | SOE0 | R/W | √ | √ | √ | 0000H |
| F012BH | | — | | | — | — | | |
| F0134H | 串行输出电平寄存器 0 | SOL0L | SOL0 | R/W | — | √ | √ | 0000H |
| F0135H | | — | | | — | — | | |
| F0138H | 串行待机控制寄存器 0 | SSC0L | SSC0 | R/W | — | √ | √ | 0000H |
| | | — | | | — | — | | |
| F0180H | 定时器计数器寄存器 00 | TCR00 | | R | — | — | √ | FFFFH |
| F0181H | | | | | | | | |
| F0182H | 定时器计数器寄存器 01 | TCR01 | | R | — | — | √ | FFFFH |
| F0183H | | | | | | | | |
| F0184H | 定时器计数器寄存器 02 | TCR02 | | R | — | — | √ | FFFFH |
| F0185H | | | | | | | | |
| F0186H | 定时器计数器寄存器 03 | TCR03 | | R | — | — | √ | FFFFH |
| F0187H | | | | | | | | |
| F0190H | 定时器模式寄存器 00 | TMR00 | | R/W | — | — | √ | 0000H |
| F0191H | | | | | | | | |
| F0192H | 定时器模式寄存器 01 | TMR01 | | R/W | — | — | √ | 0000H |
| F0193H | | | | | | | | |
| F0194H | 定时器模式寄存器 02 | TMR02 | | R/W | — | — | √ | 0000H |
| F0195H | | | | | | | | |
| F0196H | 定时器模式寄存器 03 | TMR03 | | R/W | — | — | √ | 0000H |
| F0197H | | | | | | | | |
| F01A0H | 定时器状态寄存器 00 | TSR00L | TSR00 | R | — | √ | √ | 0000H |
| F01A1H | | — | | | — | — | | |
| F01A2H | 定时器状态寄存器 01 | TSR01L | TSR01 | R | — | √ | √ | 0000H |
| F01A3H | | — | | | — | — | | |
| F01A4H | 定时器状态寄存器 02 | TSR02L | TSR02 | R | — | √ | √ | 0000H |
| F01A5H | | — | | | — | — | | |
| F01A6H | 定时器状态寄存器 03 | TSR03L | TSR03 | R | — | √ | √ | 0000H |
| F01A7H | | — | | | — | — | | |

表 3 - 11 扩展 SFR (2nd SFR) 列表 (4/5)

| 地址 | 特殊功能寄存器 (SFR) 名称 | 符号 | | R/W | 可操作位范围 | | | 复位后 |
|--------|--------------------------|----------|------|-----|--------|-----|------|---------|
| | | | | | 1 位 | 8 位 | 16 位 | |
| F01B0H | 定时器通道允许状态寄存器 0 | TE0L | TE0 | R | √ | √ | √ | 0000H |
| F01B1H | | — | | | — | — | | |
| F01B2H | 定时器通道开始寄存器 0 | TS0L | TS0 | R/W | √ | √ | √ | 0000H |
| F01B3H | | — | | | — | — | | |
| F01B4H | 定时器通道停止寄存器 0 | TT0L | TT0 | R/W | √ | √ | √ | 0000H |
| F01B5H | | — | | | — | — | | |
| F01B6H | 定时器时钟选择寄存器 0 | TPS0 | | R/W | — | — | √ | 0000H |
| F01B7H | | | | | | | | |
| F01B8H | 定时器输出寄存器 0 | TO0L | TO0 | R/W | — | √ | √ | 0000H |
| F01B9H | | — | | | — | — | | |
| F01BAH | 定时器输出允许寄存器 0 | TOE0L | TOE0 | R/W | √ | √ | √ | 0000H |
| F01BBH | | — | | | — | — | | |
| F01BCH | 定时器输出电平寄存器 0 | TOL0L | TOL0 | R/W | — | √ | √ | 0000H |
| F01BDH | | — | | | — | — | | |
| F01BEH | 定时器输出模式寄存器 0 | TOM0L | TOM0 | R/W | — | √ | √ | 0000H |
| F01BFH | | — | | | — | — | | |
| F0240H | 定时器 RJ 控制寄存器 0 | TRJCR0 | | R/W | — | √ | — | 00H |
| F0241H | 定时器 RJ 输入/输出控制寄存器 0 | TRJIOC0 | | R/W | √ | √ | — | 00H |
| F0242H | 定时器 RJ 模式寄存器 0 | TRJMR0 | | R/W | √ | √ | — | 00H |
| F0243H | 定时器 RJ 事件引脚选择寄存器 0 | TRJISR0 | | R/W | √ | √ | — | 00H |
| F0260H | 定时器 RD ELC 寄存器 | TRDEL0 | | R/W | √ | √ | — | 00H 注 |
| F0263H | 定时器 RD 开始寄存器 | TRDSTR | | R/W | — | √ | — | 0CH 注 |
| F0264H | 定时器 RD 模式寄存器 | TRDMR | | R/W | √ | √ | — | 00H 注 |
| F0265H | 定时器 RD PWM 功能选择寄存器 | TRDPMR | | R/W | √ | √ | — | 00H 注 |
| F0266H | 定时器 RD 功能控制寄存器 | TRDFCR | | R/W | √ | √ | — | 80H 注 |
| F0267H | 定时器 RD 输出主允许寄存器 1 | TRDOER1 | | R/W | √ | √ | — | FFH 注 |
| F0268H | 定时器 RD 输出主允许寄存器 2 | TRDOER2 | | R/W | √ | √ | — | 00H 注 |
| F0269H | 定时器 RD 输出控制寄存器 | TRDOCR | | R/W | √ | √ | — | 00H 注 |
| F026AH | 定时器 RD 数字滤波器功能选择寄存器 0 | TRDDF0 | | R/W | √ | √ | — | 00H 注 |
| F026BH | 定时器 RD 数字滤波器功能选择寄存器 1 | TRDDF1 | | R/W | √ | √ | — | 00H 注 |
| F0270H | 定时器 RD 控制寄存器 0 | TRDCR0 | | R/W | √ | √ | — | 00H 注 |
| F0271H | 定时器 RD 输入/输出控制寄存器 A0 | TRDIORA0 | | R/W | √ | √ | — | 00H 注 |
| F0272H | 定时器 RD 输入/输出控制寄存器 C0 | TRDIORC0 | | R/W | √ | √ | — | 88H 注 |
| F0273H | 定时器 RD 状态寄存器 0 | TRDSR0 | | R/W | √ | √ | — | 00H 注 |
| F0274H | 定时器 RD 中断允许寄存器 0 | TRDIER0 | | R/W | √ | √ | — | 00H 注 |
| F0275H | 定时器 RD PWM 功能输出电平控制寄存器 0 | TRDPOCR0 | | R/W | √ | √ | — | 00H 注 |
| F0276H | 定时器 RD 计数器 0 | TRD0 | | R/W | — | — | √ | 0000H 注 |
| F0277H | | | | | | | | |

注 当用户选项字节 (000C2H) 中的 FRQSEL4 = 1 并且 PER1 寄存器中的 TRD0EN = 0 时, 定时器 RD SFR 为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

表 3 - 12 扩展 SFR (2nd SFR) 列表 (5/5)

| 地址 | 特殊功能寄存器 (SFR) 名称 | 符号 | R/W | 可操作位范围 | | | 复位后 |
|--------|--------------------------|----------|-----|--------|-----|------|---------|
| | | | | 1 位 | 8 位 | 16 位 | |
| F0278H | 定时器 RD 通用寄存器 A0 | TRDGRA0 | R/W | — | — | √ | FFFFH 注 |
| F0279H | | | | | | | |
| F027AH | 定时器 RD 通用寄存器 B0 | TRDGRB0 | R/W | — | — | √ | FFFFH 注 |
| F027BH | | | | | | | |
| F0280H | 定时器 RD 控制寄存器 1 | TRDCR1 | R/W | √ | √ | — | 00H 注 |
| F0281H | 定时器 RD 输入/输出控制寄存器 A1 | TRDIOA1 | R/W | √ | √ | — | 00H 注 |
| F0282H | 定时器 RD 输入/输出控制寄存器 C1 | TRDIORC1 | R/W | √ | √ | — | 88H 注 |
| F0283H | 定时器 RD 状态寄存器 1 | TRDSR1 | R/W | √ | √ | — | 00H 注 |
| F0284H | 定时器 RD 中断允许寄存器 1 | TRDIER1 | R/W | √ | √ | — | 00H 注 |
| F0285H | 定时器 RD PWM 功能输出电平控制寄存器 1 | TRDPOCR1 | R/W | √ | √ | — | 00H 注 |
| F0286H | 定时器 RD 计数器 1 | TRD1 | R/W | — | — | √ | 0000H 注 |
| F0287H | | | | | | | |
| F0288H | 定时器 RD 通用寄存器 A1 | TRDGRA1 | R/W | — | — | √ | FFFFH 注 |
| F0289H | | | | | | | |
| F028AH | 定时器 RD 通用寄存器 B1 | TRDGRB1 | R/W | — | — | √ | FFFFH 注 |
| F028BH | | | | | | | |
| F02F0H | 闪存 CRC 控制寄存器 | CRC0CTL | R/W | √ | √ | — | 00H |
| F02F2H | 闪存 CRC 运算结果寄存器 | PGCRCL | R/W | — | — | √ | 0000H |
| F02FAH | CRC 数据寄存器 | CRCD | R/W | — | — | √ | 0000H |
| F0300H | 事件输出目标选择寄存器 00 | ELSELR00 | R/W | √ | √ | — | 00H |
| F0301H | 事件输出目标选择寄存器 01 | ELSELR01 | R/W | √ | √ | — | 00H |
| F0302H | 事件输出目标选择寄存器 02 | ELSELR02 | R/W | √ | √ | — | 00H |
| F0303H | 事件输出目标选择寄存器 03 | ELSELR03 | R/W | √ | √ | — | 00H |
| F0304H | 事件输出目标选择寄存器 04 | ELSELR04 | R/W | √ | √ | — | 00H |
| F0305H | 事件输出目标选择寄存器 05 | ELSELR05 | R/W | √ | √ | — | 00H |
| F0308H | 事件输出目标选择寄存器 08 | ELSELR08 | R/W | √ | √ | — | 00H |
| F0309H | 事件输出目标选择寄存器 09 | ELSELR09 | R/W | √ | √ | — | 00H |
| F030AH | 事件输出目标选择寄存器 10 | ELSELR10 | R/W | √ | √ | — | 00H |
| F030BH | 事件输出目标选择寄存器 11 | ELSELR11 | R/W | √ | √ | — | 00H |
| F030CH | 事件输出目标选择寄存器 12 | ELSELR12 | R/W | √ | √ | — | 00H |
| F030DH | 事件输出目标选择寄存器 13 | ELSELR13 | R/W | √ | √ | — | 00H |
| F0310H | 事件输出目标选择寄存器 16 | ELSELR16 | R/W | √ | √ | — | 00H |
| F0311H | 事件输出目标选择寄存器 17 | ELSELR17 | R/W | √ | √ | — | 00H |
| F0312H | 事件输出目标选择寄存器 18 | ELSELR18 | R/W | √ | √ | — | 00H |
| F0313H | 事件输出目标选择寄存器 19 | ELSELR19 | R/W | √ | √ | — | 00H |
| F0500H | 定时器 RJ 计数器寄存器 0 | TRJ0 | R/W | — | — | √ | FFFFH |
| F0501H | | | | | | | |

注 当用户选项字节 (000C2H) 中的 FRQSEL4 = 1 并且 PER1 寄存器中的 TRD0EN = 0 时, 定时器 RD SFR 为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

备注 关于 SFR 区域中的 SFR, 请参阅表 3 - 5 至 3 - 7 SFR 列表。

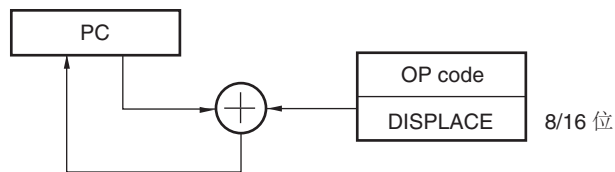
3.3 指令地址寻址

3.3.1 相对寻址

[功能]

相对寻址把指令字中的偏移量（有符号的补码数据：-128 至 +127 或 -32768 至 +32767）与程序计数器(PC) 的值（下一条指令的起始地址）之和存储在程序计数器(PC)中，指定分支目的地的程序地址。相对寻址仅用于分支指令。

图 3 - 12 相对寻址的图示



3.3.2 立即寻址

[功能]

立即寻址把指令字中的立即数存储于程序计数器中，指定分支目的地的程序地址。

在立即寻址中，使用 **CALL !!addr20** 或 **BR !!addr20** 指定 20 位地址，使用 **CALL !addr16** 或 **BR !addr16** 指定 16 位地址。指定 16 位地址时，高 4 位设为 0000。

图 3 - 13 **CALL !!addr20/BR !!addr20** 的示例

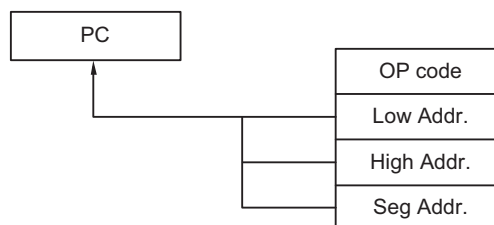
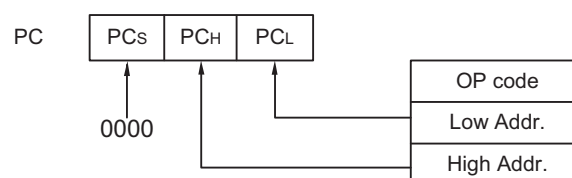


图 3 - 14 **CALL !addr16/BR !addr16** 的示例



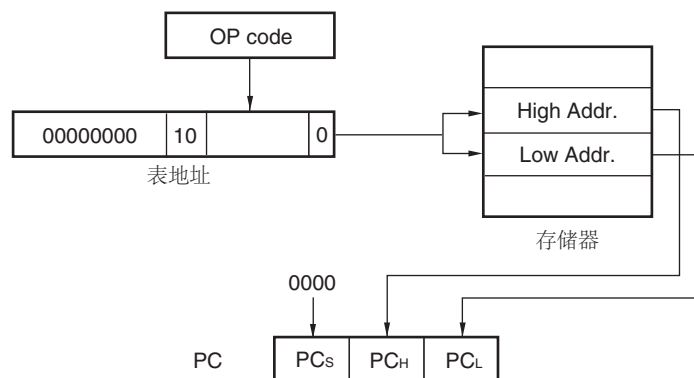
3.3.3 表间接寻址

[功能]

表间接寻址用指令字中的 5 位立即数在 CALLT 表区域（0080H 至 00BFH）中指定 1 个表地址，将表地址和下一个地址的内容以 16 位数据的形式存储在程序计数器(PC)中，指定程序地址。表间接寻址仅用于 CALLT 指令。

RL78 单片机中，仅在 00000H 至 0FFFFH 的 64KB 空间中允许分支。

图 3 - 15 表间接寻址的图示

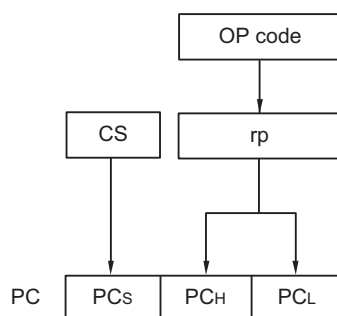


3.3.4 寄存器直接寻址

[功能]

寄存器直接寻址，是将指令字指定的当前寄存器组的通用寄存器对 (AX/BC/DE/HL) 和 CS 寄存器的内容，以 20 位数据的形式存储在程序计数器 (PC) 中，指定程序地址。寄存器直接寻址只适用于 CALL AX、BC、DE、HL 和 BR AX 指令。

图 3 - 16 寄存器直接寻址的图示



3.4 处理数据地址的寻址

3.4.1 隐含寻址

[功能]

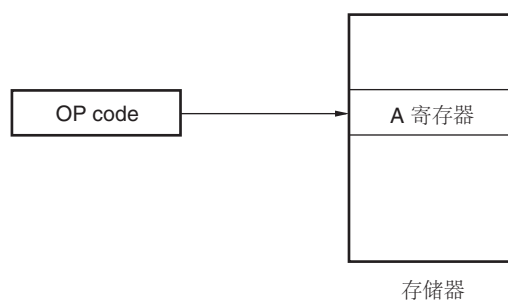
用于存取具有特殊功能的寄存器（例如累加器）的指令，可以通过指令字直接指定，而无需使用指令字中的任何寄存器指定字段。

[操作数格式]

隐含寻址可以通过指令来自动使用，因此不需要特殊的操作数格式。

隐含寻址只适用于MULU X。

图 3 - 17 隐含寻址的图示



3.4.2 寄存器寻址

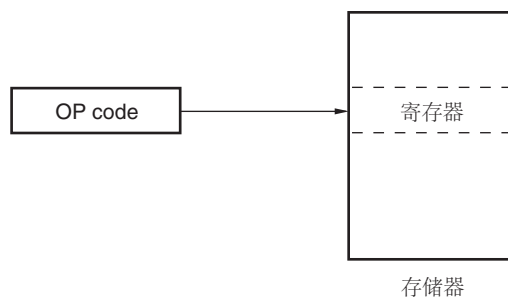
[功能]

寄存器寻址是将通用寄存器作为操作数来进行存取的一种寻址方式。通过 3 位的指令字选择 8 位寄存器，通过 2 位的指令字选择 16 位寄存器。

[操作数格式]

| 标识符 | 说明 |
|-----|-----------------|
| r | X、A、C、B、E、D、L、H |
| rp | AX、BC、DE、HL |

图 3 - 18 寄存器寻址的图示



3.4.3 直接寻址

[功能]

直接寻址是将指令字中的立即数作为操作数地址，从而直接指定目标地址。

[操作数格式]

| 标识符 | 说明 |
|------------|--|
| ADDR16 | 标号或 16 位立即数（仅可以指定 F0000H 至 FFFFFH 的空间） |
| ES: ADDR16 | 标号或 16 位立即数（高 4 位地址由 ES 寄存器指定） |

图 3 - 19 ADDR16 的示例

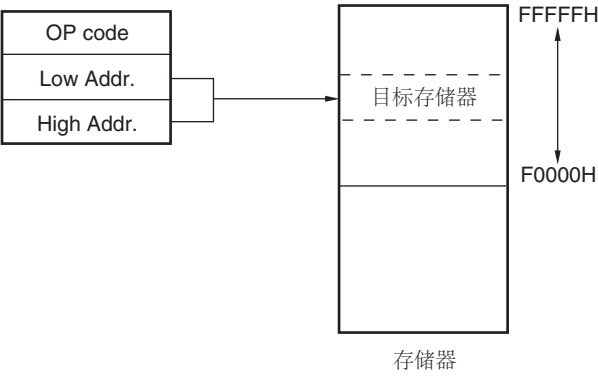
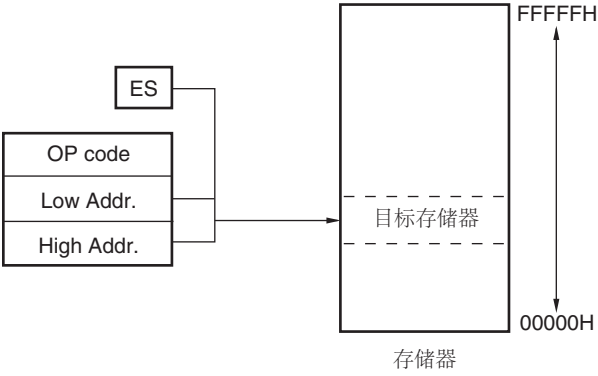


图 3 - 20 ES:ADDR16 的示例

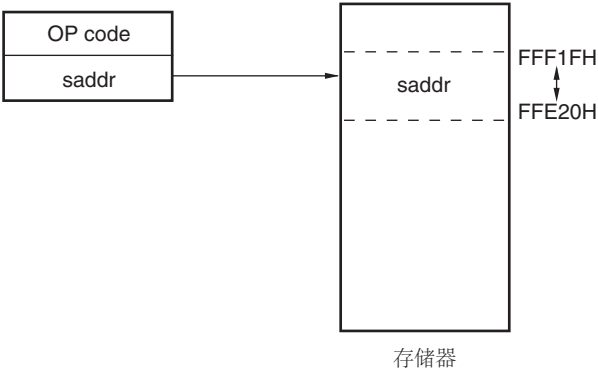


3.4.4 短直接寻址

- [功能]
- 短直接寻址使用指令字中的8位数据直接指定目标地址。这种寻址方式只适用于 FFE20H 至 FFF1FH 的空间。
- [操作数格式]

| 标识符 | 说明 |
|--------|--|
| SADDR | 标号、 FFE20H至 FFF1FH区的立即数或0FE20H至0FF1FH区的立即数 (仅可以指定 FFE20H至 FFF1FH的空间) |
| SADDRP | 标号、 FFE20H至 FFF1FH区的立即数或0FE20H至0FF1FH区的立即数 (仅限偶数地址) (仅可以指定 FFE20H至 FFF1FH的空间) |

图 3 - 21 短直接寻址的图示



备注

SADDR和SADDRP用于以16位立即数（省略了实际地址的高4位）描述FE20H至FF1FH地址的值，
或者以20位立即数描述FFE20H至FFF1FH地址的值。
无论采用SADDR还是SADDRP，均指定存储器中FFE20H至FFF1FH空间内的地址。

3.4.5 SFR 寻址

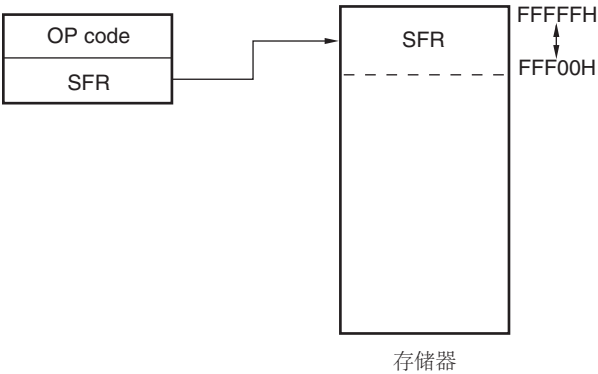
[功能]

SFR 寻址使用指令字中的8位数据直接指定目标SFR地址。这种寻址方式只适用于 FFF00H至 FFFFFH的空间。

[操作数格式]

| 标识符 | 说明 |
|------|---------------------|
| SFR | SFR 名称 |
| SFRP | 16位可操作SFR名称（仅限偶数地址） |

图 3 - 22 SFR 寻址的图示



3.4.6 寄存器间接寻址

[功能]

寄存器间接寻址是将指令字所指定的寄存器对的内容作为操作数地址，从而指定所对应的目标地址。

[操作数格式]

| 标识符 | 说明 |
|-----|--------------------------------------|
| — | [DE]、[HL]（仅可以指定 F0000H 至 FFFFFH 的空间） |
| — | ES:[DE]、ES:[HL]（高 4 位地址由 ES 寄存器指定） |

图 3 - 23 [DE]、[HL] 的示例

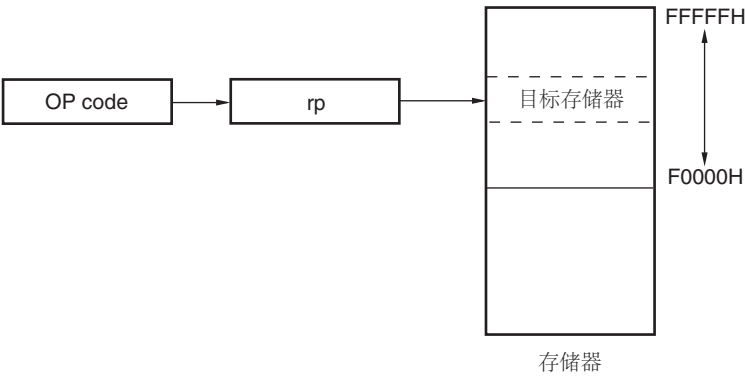
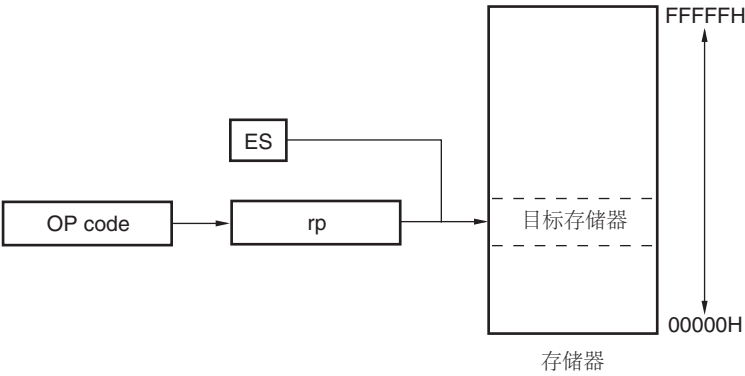


图 3 - 24 ES:[DE]、ES:[HL] 的示例



3.4.7 基址寻址

[功能]

基址寻址是将指令字所指定的寄存器对的内容作为基址，将 8 位立即数或 16 位立即数作为偏移量。并使用这些值之和指定目标地址。

[操作数格式]

| 标识符 | 说明 |
|-----|--|
| — | [HL + byte]、[DE + byte]、[SP + byte]（仅可以指定 F0000H 至 FFFFFH 的空间） |
| — | 字[B]、字[C]（仅可以指定 F0000H 至 FFFFFH 的空间） |
| — | 字[BC]（仅可以指定 F0000H 至 FFFFFH 的空间） |
| — | ES:[HL + byte]、ES:[DE + byte]（高 4 位地址由 ES 寄存器指定） |
| — | ES:字[B]、ES:字[C]（高 4 位地址由 ES 寄存器指定） |
| — | ES:字[BC]（高 4 位地址由 ES 寄存器指定） |

图 3 - 25 [SP+byte]的示例

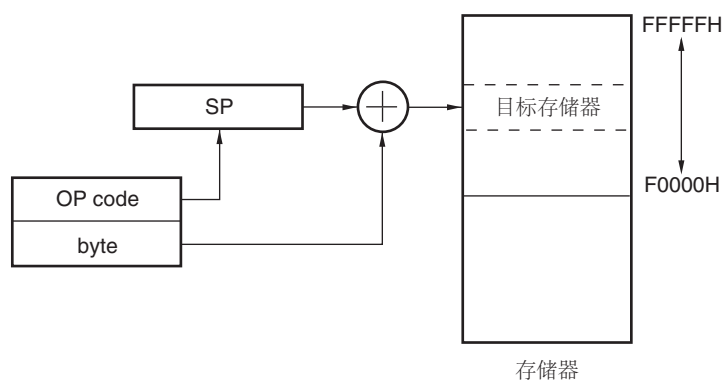


图 3 - 26 [HL + byte]、[DE + byte] 的示例

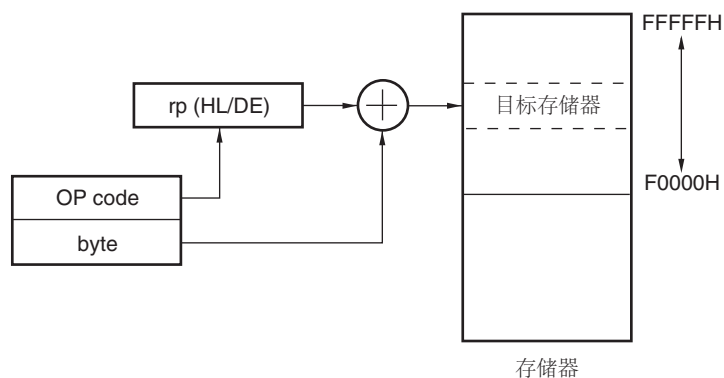


图 3 - 27 字[B]、字[C]的示例

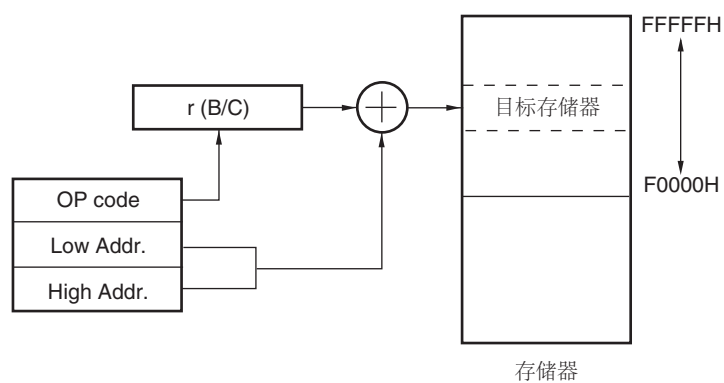


图 3 - 28 字[BC]的示例

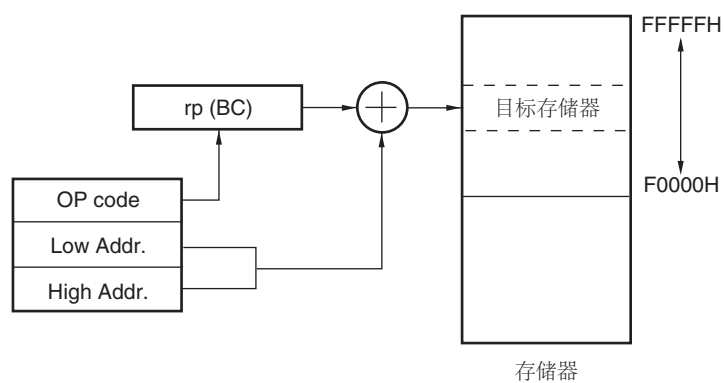


图 3 - 29 ES:[HL + byte]、ES:[DE + byte]的示例

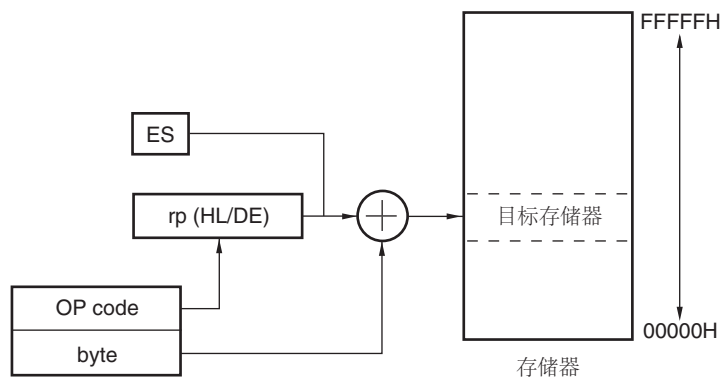


图 3 - 30 ES:字[B]、ES:字[C]的示例

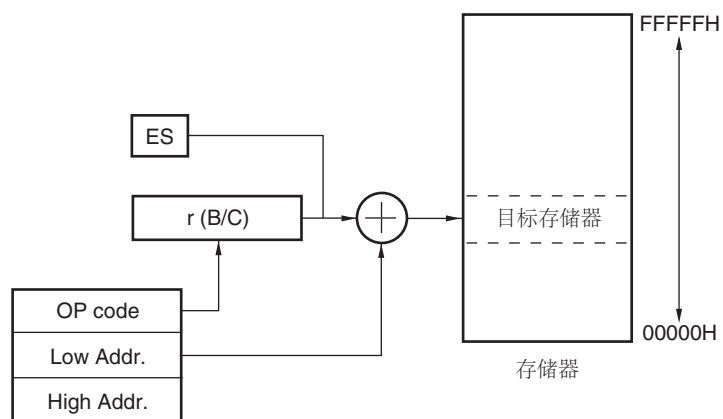
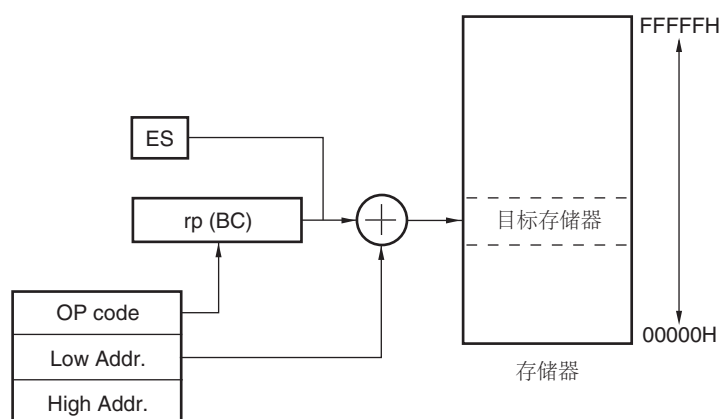


图 3 - 31 ES:字[BC]的示例



3.4.8 基址变址寻址

[功能]

基址变址寻址是指指令字所指定的寄存器对的内容作为基址，将同样通过指令字所指定的B寄存器或C寄存器的内容作为偏移地址。并使用这些值之和指定目标地址。

[操作数格式]

| 标识符 | 说明 |
|-----|--------------------------------------|
| — | [HL+B]、[HL+C]（仅可以指定F0000H至FFFFFH的空间） |
| — | ES:[HL+B]、ES:[HL+C]（高4位地址由ES寄存器指定） |

图 3 - 32 [HL+B]、[HL+C]的示例

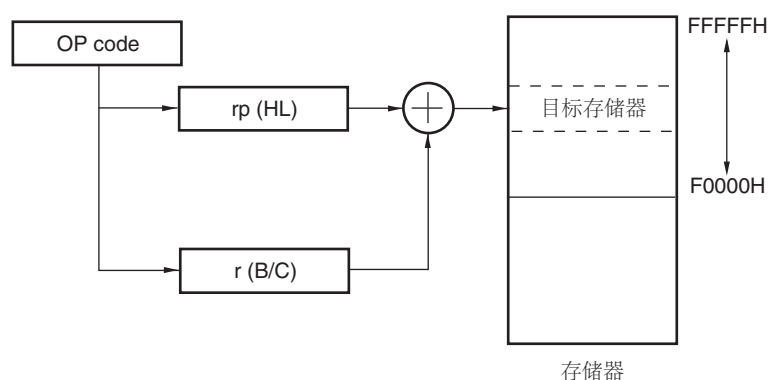
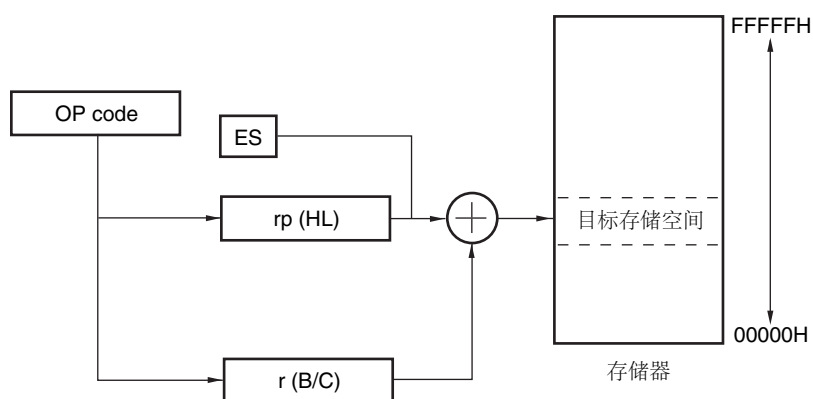


图 3 - 33 ES:[HL+B]、ES:[HL+C]的示例



3.4.9 堆栈寻址

[功能]

通过堆栈指针 (SP) 的内容对堆栈区域进行间接寻址。当执行 **PUSH**、**POP**、子程序调用和返回指令时，或者由于产生中断请求而保存/恢复寄存器时，将自动使用这种寻址方式。

堆栈寻址仅适用于内部 **RAM** 区域。

[操作数格式]

| 标识符 | 说明 |
|-----|---|
| — | PUSH AX/BC/DE/HL POP AX/BC/DE/HL CALL/CALLT RET BRK RETB (产生中断请求) RETI |

第 4 章 端口功能

4.1 端口功能

引脚的输入/输出缓冲器电源因产品而异。各个电源和引脚的关系如下所示。

表 4 - 1 各引脚的输入/输出缓冲器电源

30 引脚、32 引脚产品

| 电源 | 对应引脚 |
|-----|------|
| VDD | 所有引脚 |

μPD79F7027, μPD79F7028 单片机提供数字输入/输出端口，并支持多种控制操作。

除了作为数字输入/输出端口的功能以外，这些端口还具有多种复用功能。有关复用功能的详情，请参阅第 2 章 引脚功能。

4.2 端口配置

端口包括下列硬件。

表 4 - 2 端口配置

| 项目 | 配置 |
|-------|--|
| 控制寄存器 | 端口模式寄存器 (PM0-PM7、PM12、PM14) 端口寄存器 (P0-P7、P12-P14) 上拉电阻选择寄存器 (PU0、PU1、PU3-PU5、PU7、PU12、PU14) 端口输入模式寄存器 (PIM0、PIM1、PIM3、PIM5) 端口输出模式寄存器 (POM0、POM1、POM3、POM5) 端口模式控制寄存器 (PMC0、PMC12、PMC14) A/D 端口配置寄存器 (ADPC) 外围输入/输出重定向寄存器 (PIOR0、PIOR1) |
| 端口 | <ul style="list-style-type: none"> • 30 引脚产品 共计：26 (CMOS 输入/输出：21，CMOS 输入：3，N 沟开漏输出：2) • 32 引脚产品 共计：28 (CMOS 输入/输出：22，CMOS 输入：3，N 沟开漏输出：3) |
| 上拉电阻 | <ul style="list-style-type: none"> • 30 引脚产品 共计：17 • 32 引脚产品 共计：18 |

注意事项 本章的下述内容基本上是以外围输入/输出重定向寄存器0、1（PIOR0、1）设置为00H的32引脚产品为例进行说明的。

4.2.1 端口 0

端口 0 是具有输出锁存器的输入/输出端口。端口 0 可以通过端口模式寄存器 0 (PM0) 以 1 位为单位设为输入模式或输出模式。当 P00 和 P01 引脚用作输入端口时，可通过上拉电阻选择寄存器 0 (PU0) 以 1 位为单位指定使用片上上拉电阻。

P01 引脚的输入，可使用端口输入模式寄存器 0 (PIM0)，以 1 位为单位指定为普通输入缓冲器或 TTL 输入缓冲器。

P00 引脚的输出可使用端口输出模式寄存器 0 (POM0) 以 1 位为单位指定为 N 沟开漏输出（V_{DD} 耐压）。

P00 和 P01 引脚的输入，可使用端口模式控制寄存器 0 (PMC0) 以 1 位为单位指定为模拟输入或数字输入。

端口 0 也可以用作定时器输入/输出、A/D 转换器模拟输入和串行接口数据输入/输出。

产生复位信号时，将变为以下配置。

- 模拟输入

表 4-3 使用端口 0 时寄存器的设置

| 引脚名称 | | PM0 _x | PIM0 _x | POM0 _x | PMC0 _x | 复用功能设置 | 备注 |
|------|-------|------------------|-------------------|-------------------|-------------------|--------------------------------------|---------|
| 名称 | 输入/输出 | | | | | | |
| P00 | 输入 | 1 | — | x | 0 | x | |
| | 输出 | 0 | | 0 | 0 | TxD1 输出 = 1 注 1 | CMOS 输出 |
| | | 0 | | 1 | 0 | | N 沟开漏输出 |
| P01 | 输入 | 1 | 0 | — | 0 | x | CMOS 输入 |
| | | 1 | 1 | | 0 | x | TTL 输入 |
| | 输出 | 0 | x | | 0 | TO00 输出 = 0 注 2 TRJIO0 输出 = 1 注 3 | |

注 1. 将复用于串行阵列单元功能的引脚用作通用端口时，请将对应单元通道的串行输出寄存器 m (SOM) 的 SOMn 位、串行输出允许寄存器 m (SOEm) 的 SOEmn 位以及串行通道允许状态寄存器 m (SEm) 的 SEMn 位设置为与其初始状态相同的值。(mn = 02)

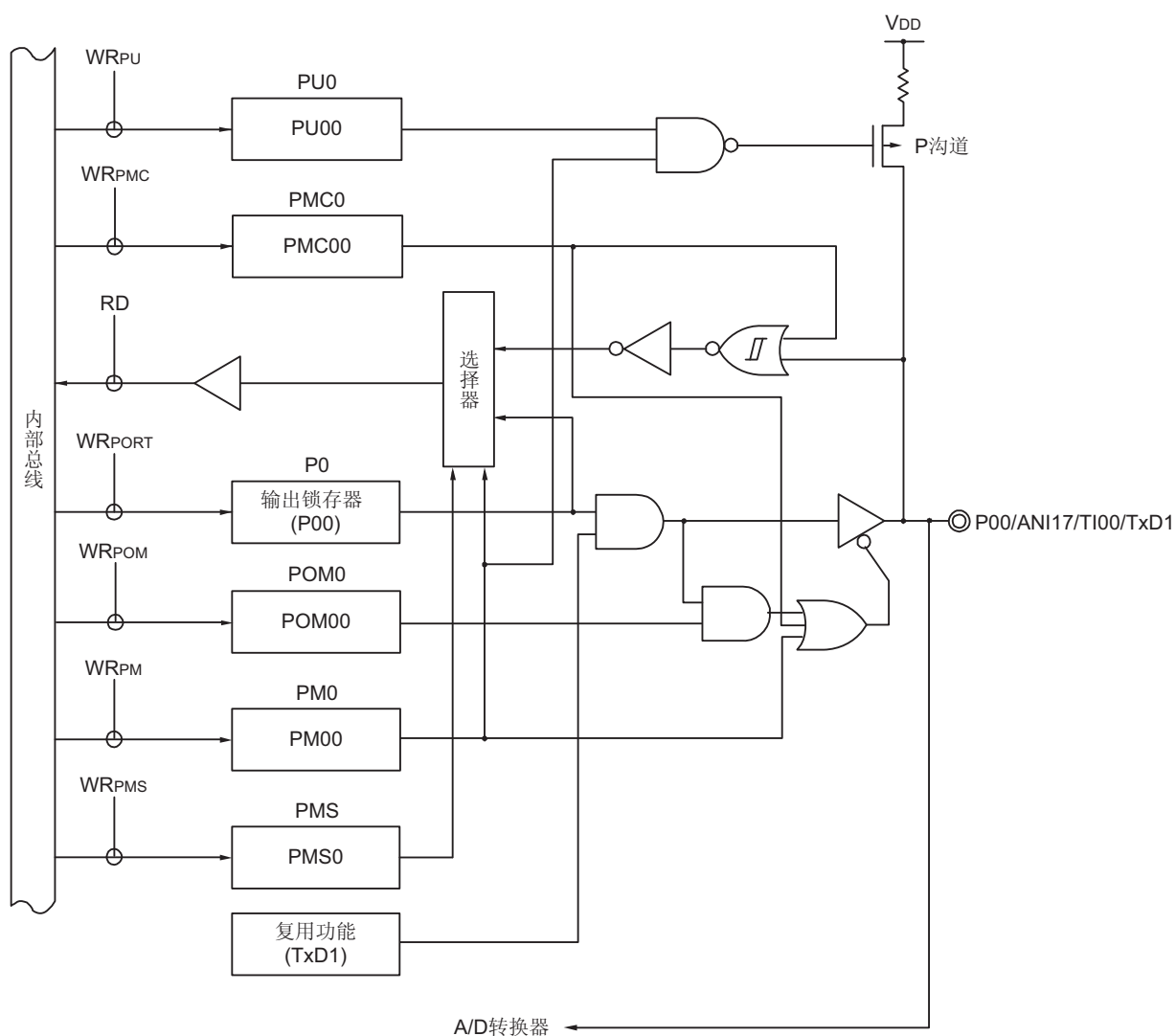
注 2. 将复用于定时器阵列单元的定时器输出功能的引脚用作通用端口时，请将对应单元通道的定时器输出寄存器 m (TOM) 的 TOMn 位和定时器输出允许寄存器 m (TOEm) 的 TOEmn 位设置为与其初始状态相同的值。(m = 0, n = 0)

注 3. 将复用于定时器 RJ 的定时器输入/输出功能的引脚用作通用端口时，请将定时器 RJ 模式寄存器 0 (TRJMR0) 的 TMOD2 至 TMOD0 位设置为与其初始状态相同的值或者 001B 以外的值。

备注 x: 忽略
PM0_x: 端口模式寄存器 0
PIM0_x: 端口输入模式寄存器 0
POM0_x: 端口输出模式寄存器 0
PMC0_x: 端口模式控制寄存器 0

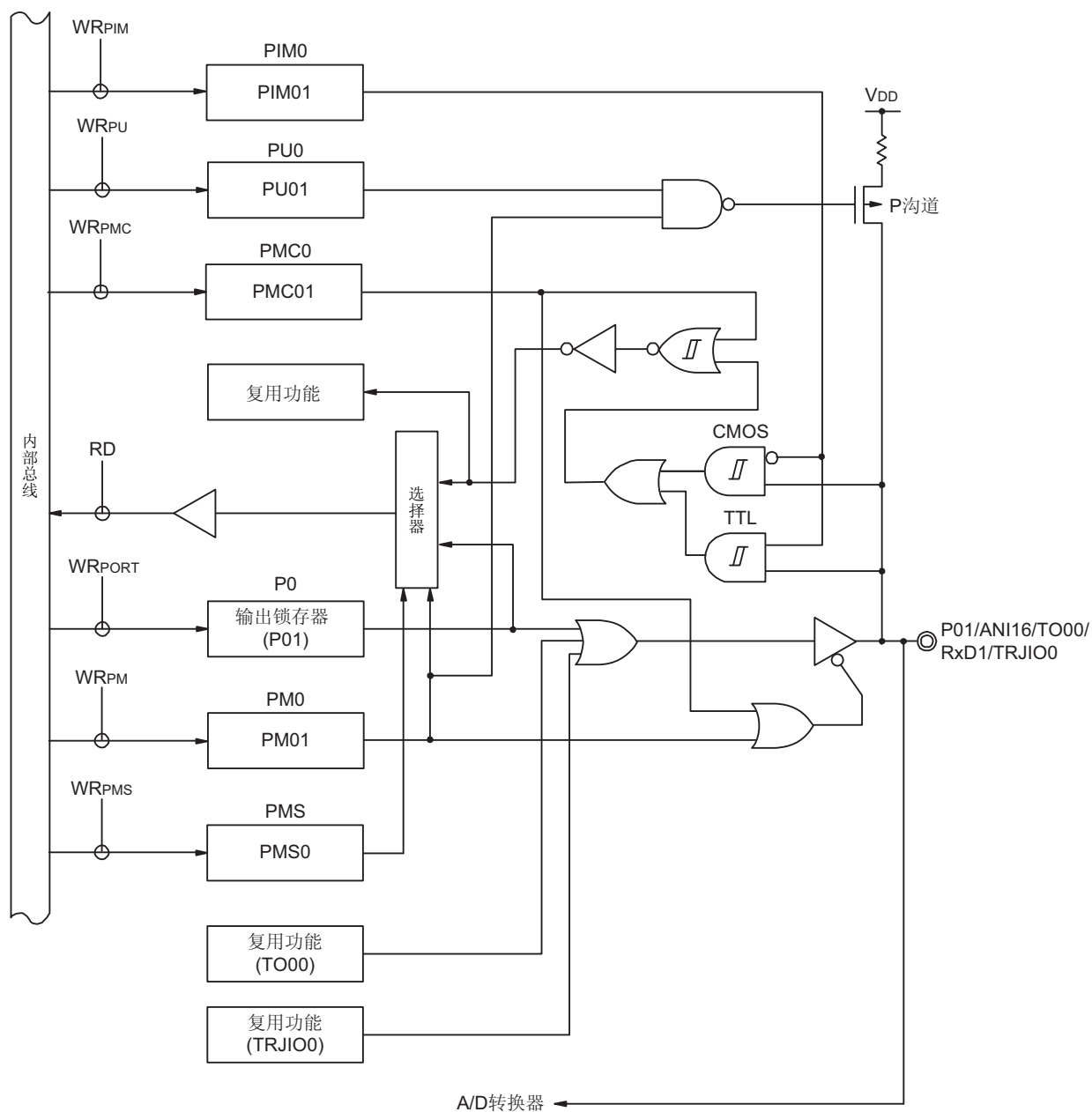
例如，PIOR0 = 00H、PIOR1 = 00H时32引脚产品中端口0的框图如图 4 - 1 和 4 - 2 所示。

图 4 - 1 P00 的框图



- P0: 端口寄存器0
- PU0: 上拉电阻选择寄存器0
- PM0: 端口模式寄存器0
- POM0: 端口输出模式寄存器0
- PMC0: 端口模式控制寄存器0
- PMS: 端口模式选择寄存器
- RD: 读取信号
- WRxx: 写入信号

图 4 - 2 P01 的框图



P0: 端口寄存器0
 PU0: 上拉电阻选择寄存器0
 PM0: 端口模式寄存器0
 PIM0: 端口输入模式寄存器0
 PMC0: 端口模式控制寄存器0
 PMS: 端口模式选择寄存器
 RD: 读取信号
 WRxx: 写入信号

4.2.2 端口 1

端口 1 是具有输出锁存器的输入/输出端口。端口 1 可以通过端口模式寄存器 1 (PM1) 以 1 位为单位设为输入模式或输出模式。当 P10 至 P17 引脚用作输入端口时, 可通过上拉电阻选择寄存器 1 (PU1) 以 1 位为单位指定使用片上上拉电阻。

P10 和 P14 至 P17 引脚的输入, 可使用端口输入模式寄存器 1 (PIM1) 以 1 位为单位指定为普通输入缓冲器或 TTL 输入缓冲器。

P10、P11、P13 至 P15 和 P17 引脚的输出可使用端口输出模式寄存器 1 (POM1) 以 1 位为单位指定为 N 沟开漏输出 (VDD 耐压)。

端口 1 也可以用作时钟输入/输出、定时器输入/输出、外部中断请求输入、时钟/蜂鸣器输出。

产生复位信号后, 端口 1 被设置为输入模式。

表 4-4 使用端口 1 时寄存器的设置 (1/2)

| 引脚名称 | | PM1× | PIM1× | POM1× | 复用功能设置注 5 | 备注 |
|------|-------|------|-------|-------|--------------------|---------|
| 名称 | 输入/输出 | | | | | |
| P10 | 输入 | 1 | 0 | × | × | CMOS 输入 |
| | | 1 | 1 | × | × | TTL 输入 |
| | 输出 | 0 | × | 0 | TRDIOD1 输出 = 0 注 1 | CMOS 输出 |
| | | 0 | × | 1 | | N 沟开漏输出 |
| P11 | 输入 | 1 | — | × | × | |
| | 输出 | 0 | | 0 | TRDIOD1 输出 = 0 注 1 | CMOS 输出 |
| | | 0 | | 1 | | N 沟开漏输出 |
| P12 | 输入 | 1 | — | — | × | |
| | 输出 | 0 | | | TRDIOD1 输出 = 0 注 1 | |
| P13 | 输入 | 1 | — | × | × | |
| | 输出 | 0 | | 0 | TRDIOD1 输出 = 0 注 1 | CMOS 输出 |
| | | 0 | | 1 | | N 沟开漏输出 |
| P14 | 输入 | 1 | 0 | × | × | CMOS 输入 |
| | | 1 | 1 | × | × | TTL 输入 |
| | 输出 | 0 | × | 0 | TRDIOD0 输出 = 0 注 1 | CMOS 输出 |
| | | 0 | × | 1 | | N 沟开漏输出 |
| P15 | 输入 | 1 | 0 | × | × | CMOS 输入 |
| | | 1 | 1 | × | × | TTL 输入 |
| | 输出 | 0 | × | 0 | PCLBUZ1 输出 = 0 注 2 | CMOS 输出 |
| | | 0 | × | 1 | TRDIOD0 输出 = 0 注 1 | N 沟开漏输出 |

表 4-5 使用端口 1 时寄存器的设置 (2/2)

| 引脚名称 | | PM1x | PIM1x | POM1x | 复用功能设置注 5 | 备注 |
|------|-------|------|-------|-------|--|---------|
| 名称 | 输入/输出 | | | | | |
| P16 | 输入 | 1 | 0 | — | × | CMOS 输入 |
| | | 1 | 1 | | × | TTL 输入 |
| | 输出 | 0 | × | | TO01 输出 = 0 注 3 TRDIOC0 输出 = 0 注 1 | |
| P17 | 输入 | 1 | 0 | × | × | CMOS 输入 |
| | | 1 | 1 | × | × | TTL 输入 |
| | 输出 | 0 | × | 0 | TO02 输出 = 0 注 3 TRDIOA0 输出 = 0 注 1 (TxD0 输出 = 1 注 4) | CMOS 输出 |
| | | 0 | × | 1 | | N 沟开漏输出 |

注 1. 将复用于定时器 RD 功能的引脚用作通用端口时，请将定时器 RD 输出主允许寄存器 1 (TRDOER1) 中对应于 TRDIOj 引脚的输出控制位设置为与其初始状态相同的值。(i = A、B、C、D, j = 0、1)

注 2. 将复用于时钟/蜂鸣器输出功能的引脚用作通用端口时，请将时钟输出选择寄存器 i (CKSi) 的 PCLOEi 位设置为与其初始状态相同的值。(i = 1)

注 3. 将复用于定时器阵列单元的定时器输出功能的引脚用作通用端口时，请将对应单元通道的定时器输出寄存器 m (TOm) 的 TOmn 位和定时器输出允许寄存器 m (TOEm) 的 TOEmn 位设置为与其初始状态相同的值。(m = 0, n = 1、2)

注 4. 当外围输入/输出重定向寄存器 0 (PIOR0) 的 PIOR01 位为 1，且将复用于串行阵列单元功能的引脚用作通用端口时，请将对应单元通道的串行输出寄存器 m (SOM) 的 SOMn 位、串行输出允许寄存器 m (SOEm) 的 SOEmn 位以及串行通道允许状态寄存器 m (SEm) 的 SEmn 位设置为与其初始状态相同的值。(mn = 00)

注 5. 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR0、1) 来指定上表括号内的功能。

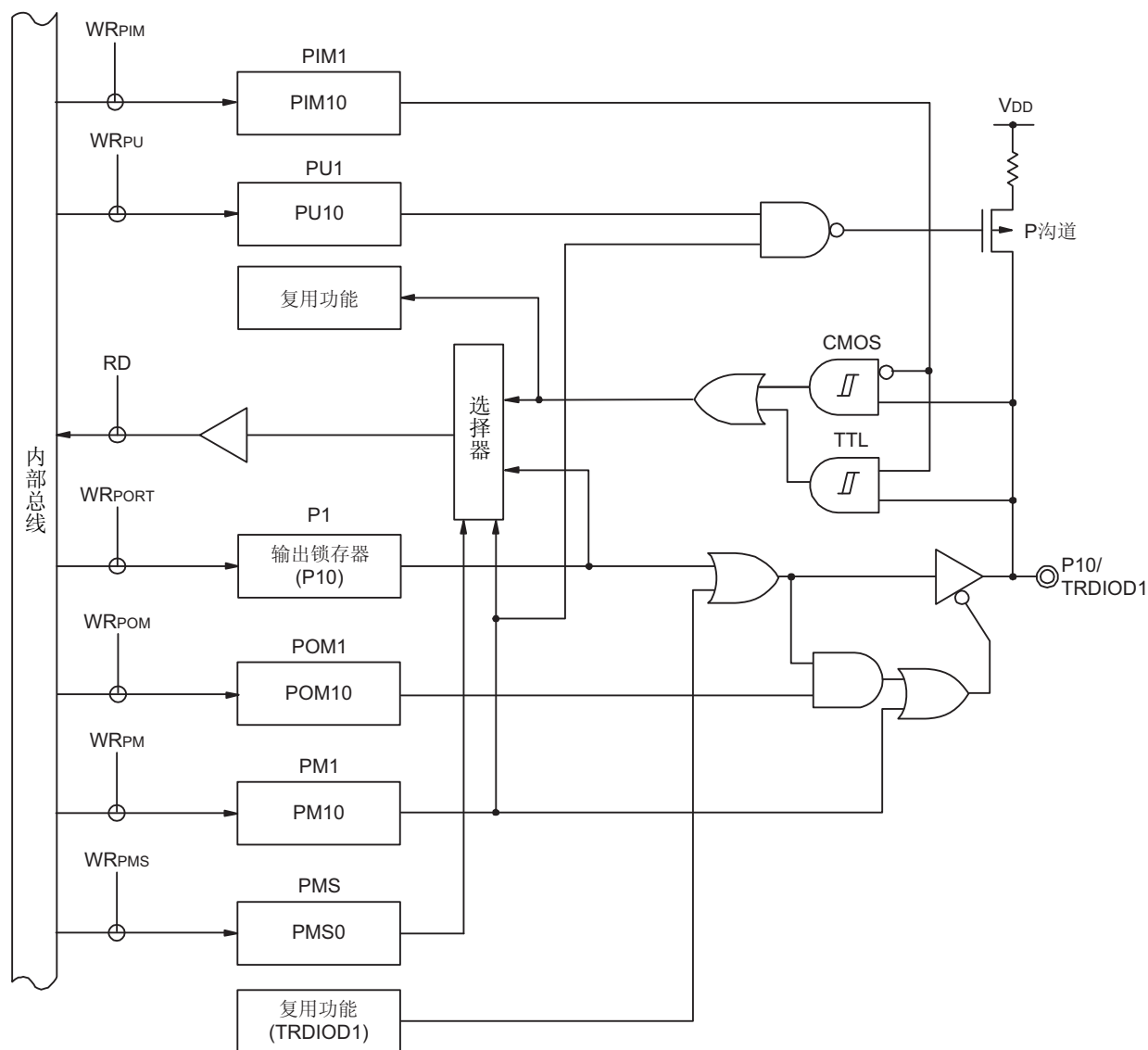
备注 ×: 忽略

PM1x: 端口模式寄存器 1

PIM1x: 端口输入模式寄存器 1

POM1x: 端口输出模式寄存器 1

图 4 - 3 P10 的框图



P1: 端口寄存器1

PU1: 上拉电阻选择寄存器1

PM1: 端口模式寄存器1

PIM1: 端口输入模式寄存器1

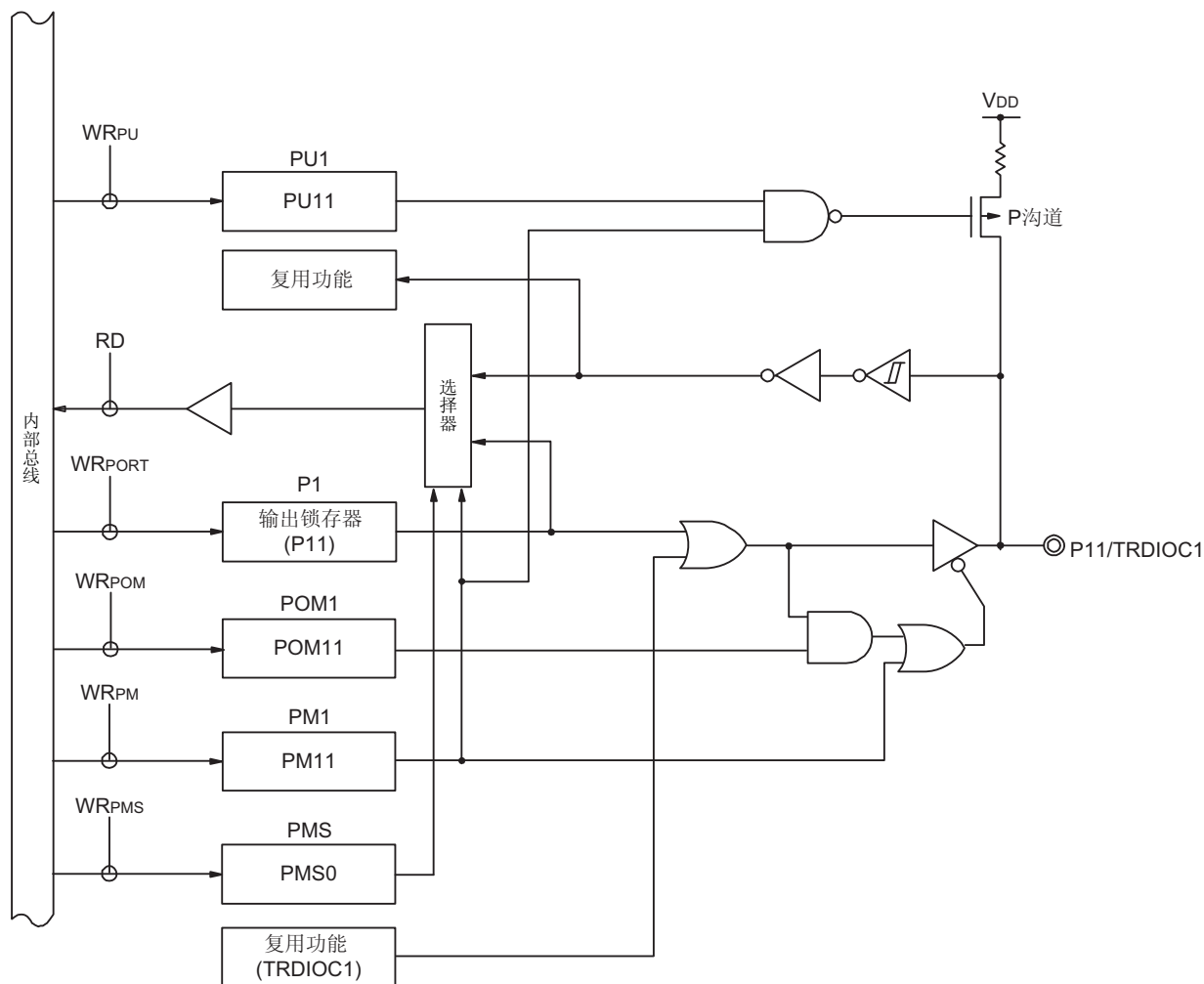
POM1: 端口输出模式寄存器1

PMS: 端口模式选择寄存器

RD: 读取信号

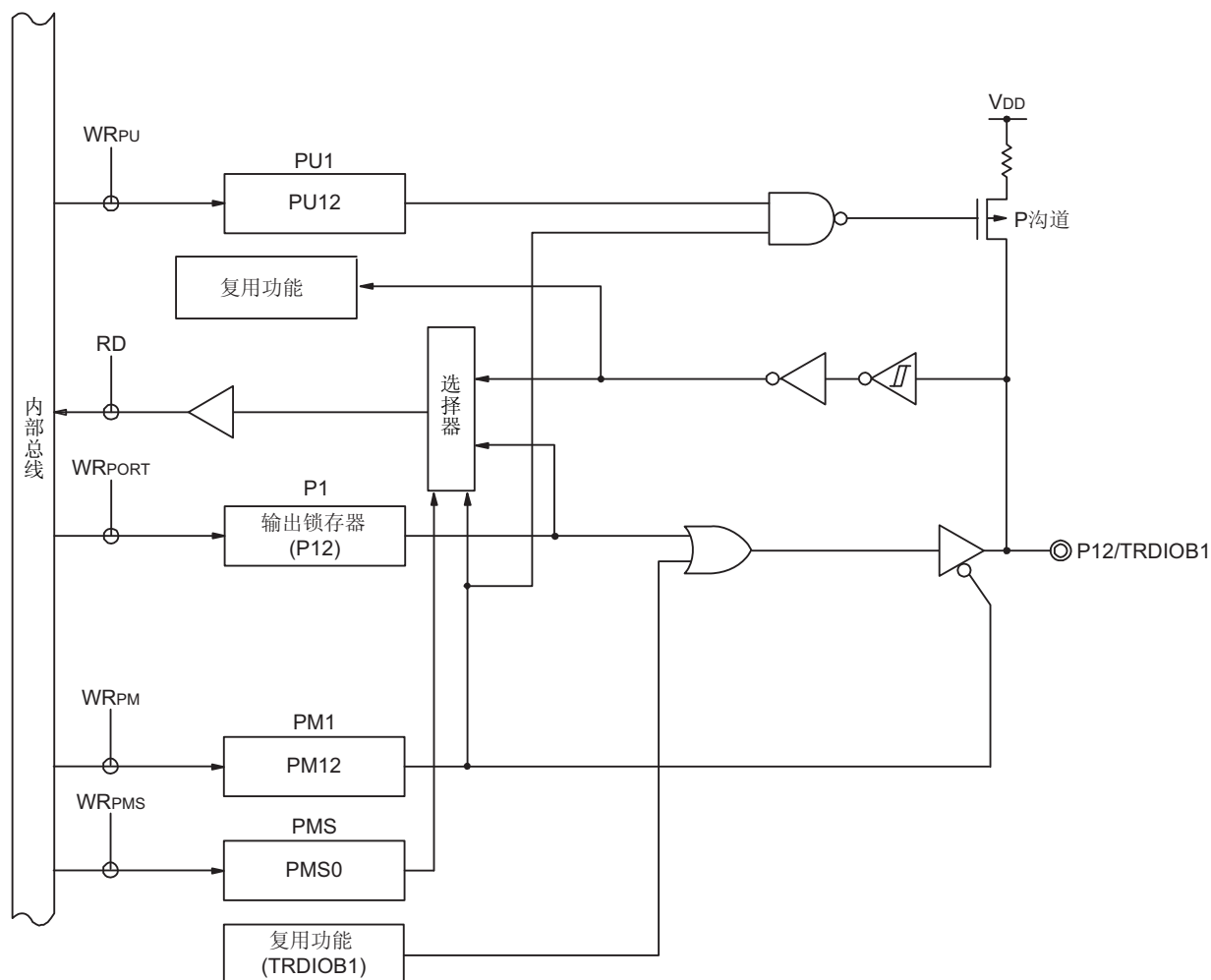
WRxx: 写入信号

图 4 - 4 P11 的框图



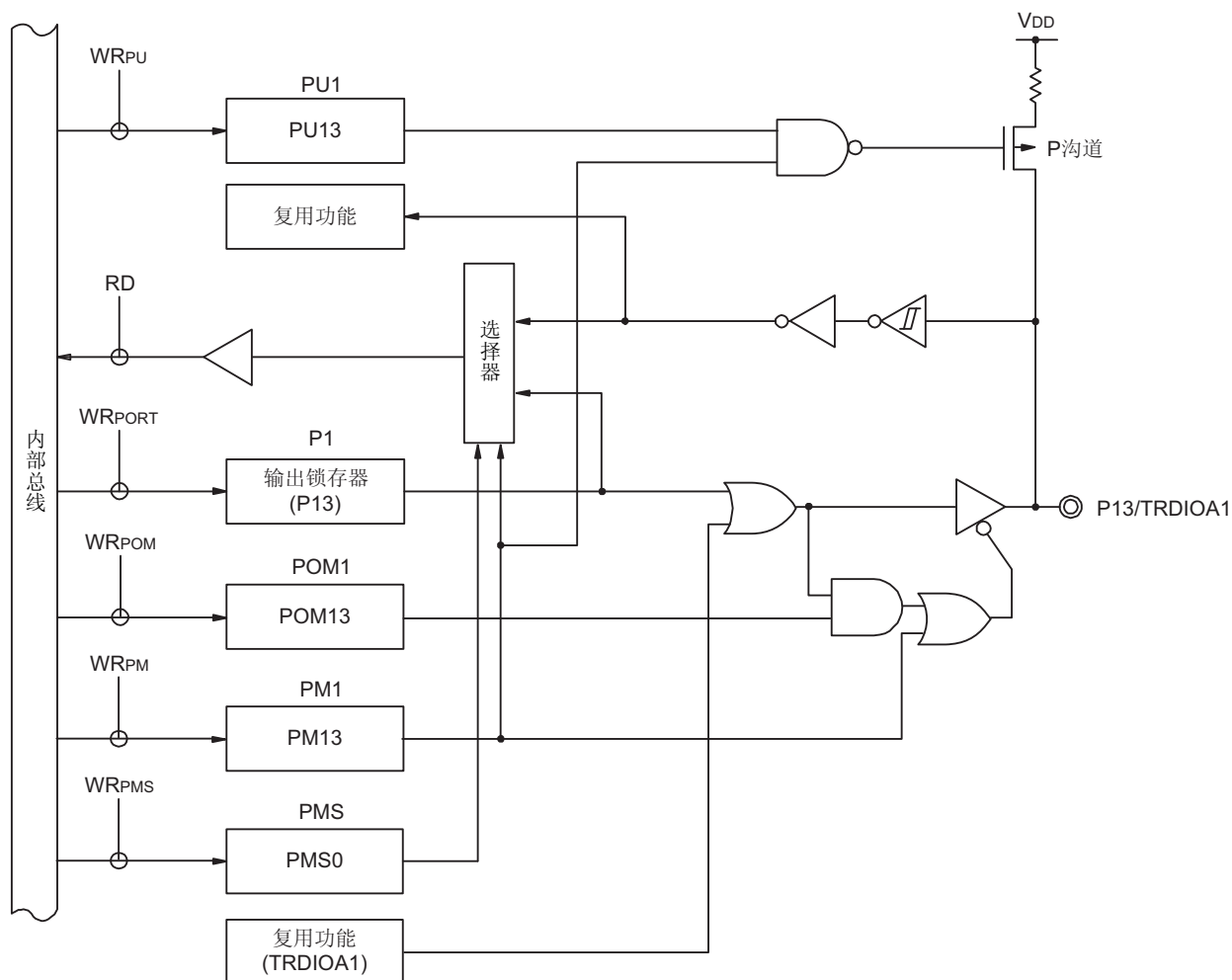
- P1: 端口寄存器1
 PU1: 上拉电阻选择寄存器1
 PM1: 端口模式寄存器1
 POM1: 端口输出模式寄存器1
 PMS: 端口模式选择寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4 - 5 P12 的框图



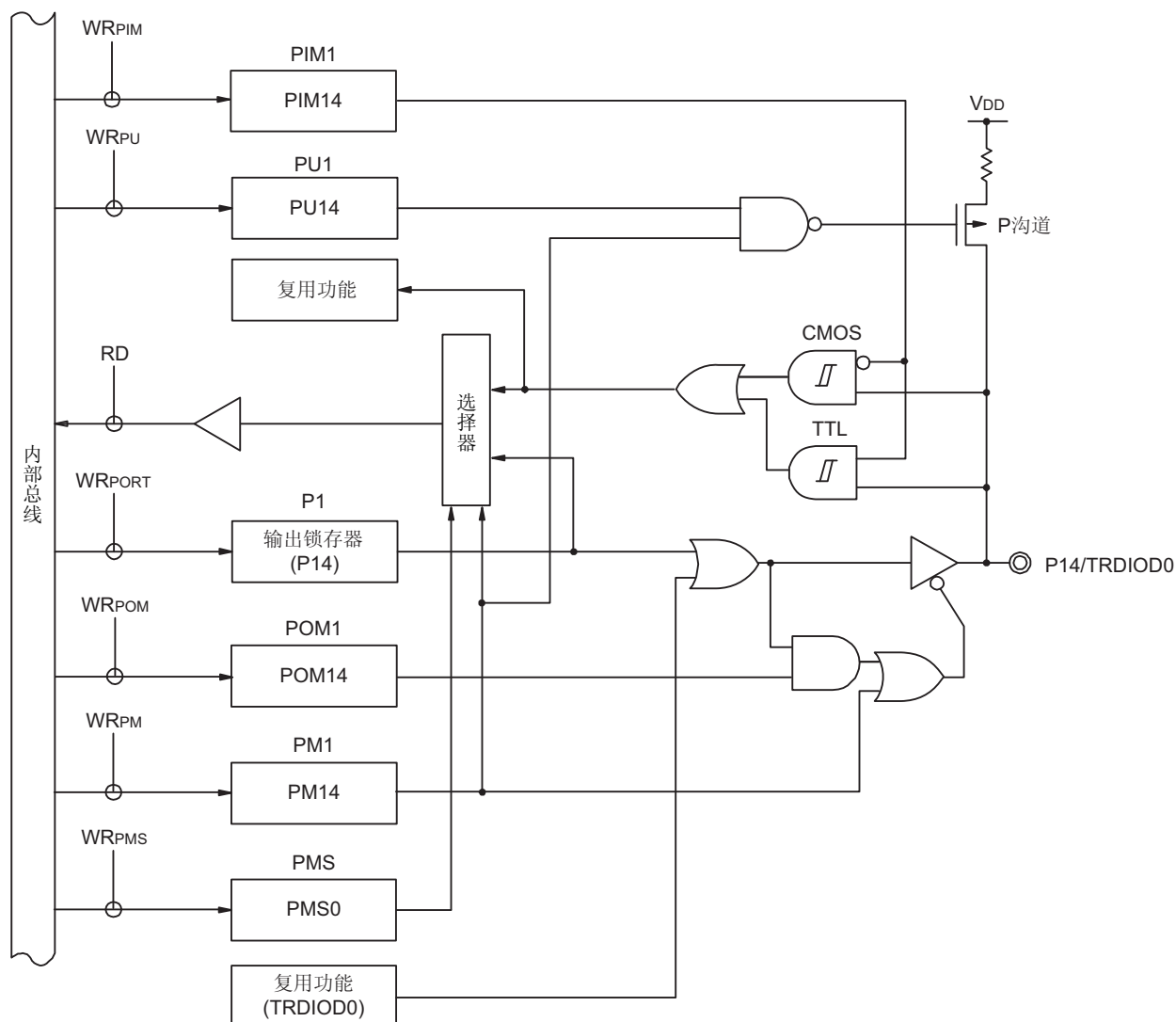
- P1: 端口寄存器 1
 PU1: 上拉电阻选择寄存器 1
 PM1: 端口模式寄存器 1
 PMS: 端口模式选择寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4 - 6 P13 的框图



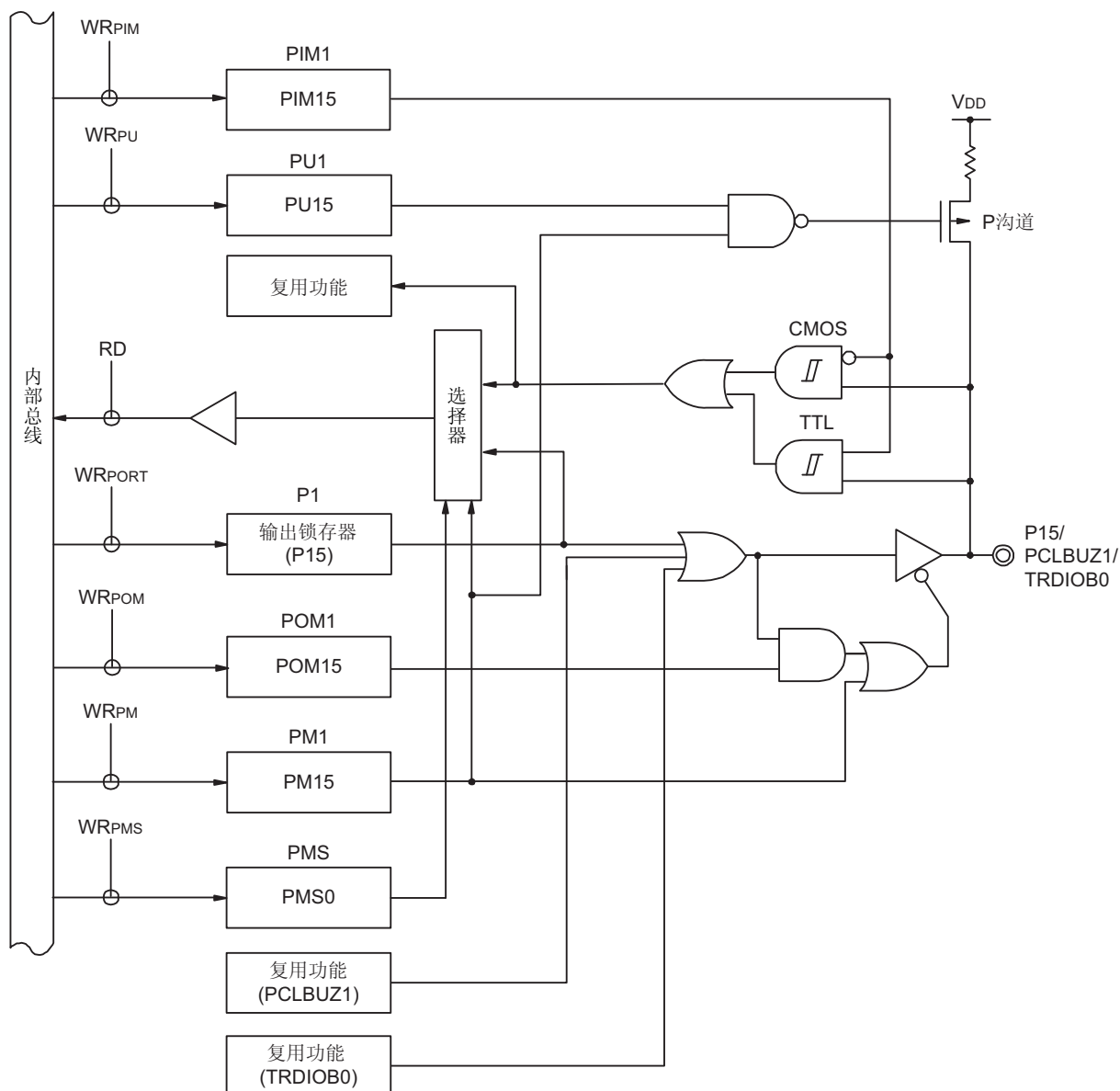
- P1: 端口寄存器 1
 PU1: 上拉电阻选择寄存器 1
 PM1: 端口模式寄存器 1
 PIM1: 端口输入模式寄存器 1
 POM1: 端口输出模式寄存器 1
 PMS: 端口模式选择寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4 - 7 P14 的框图



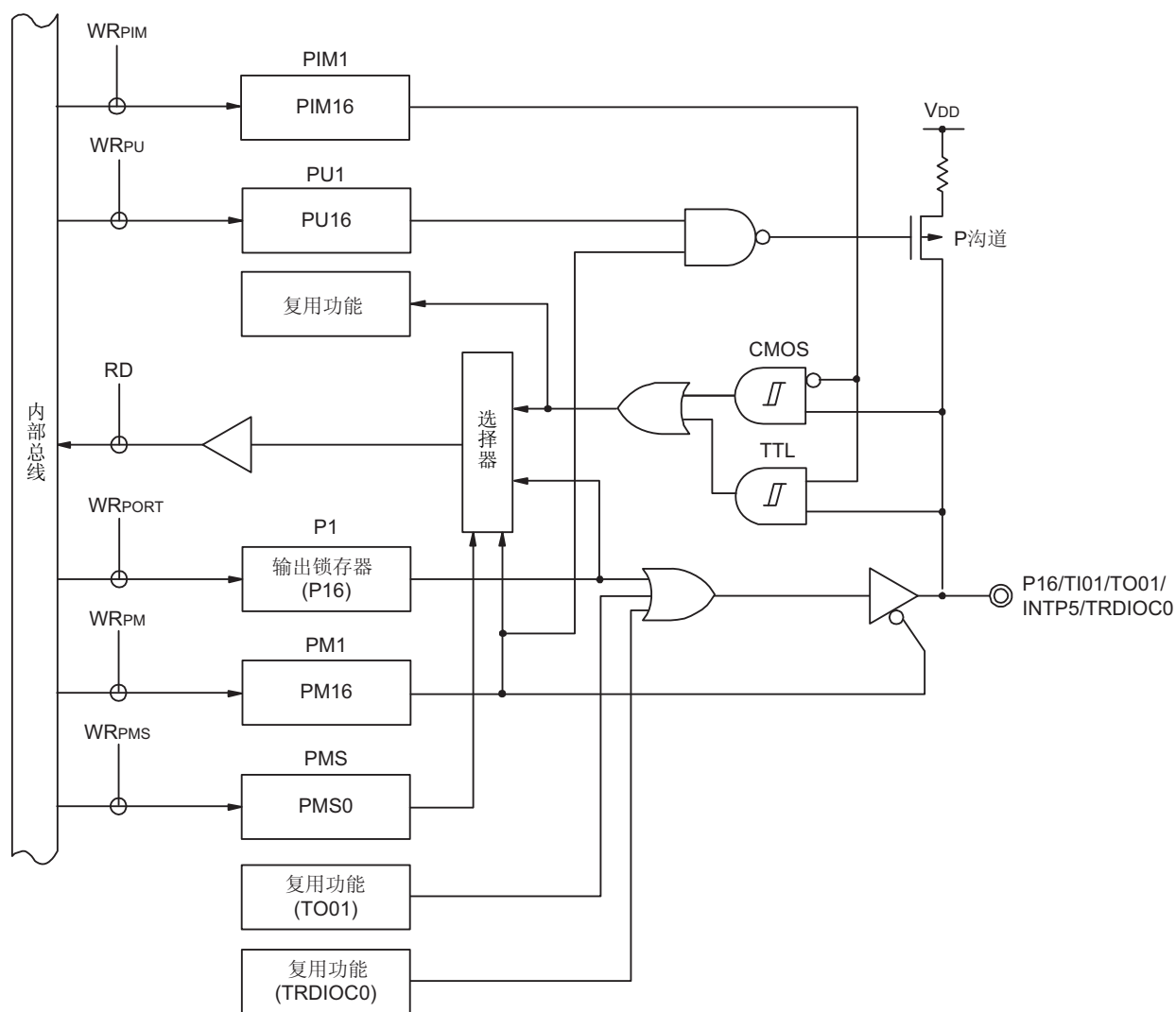
P1: 端口寄存器 1
 PU1: 上拉电阻选择寄存器 1
 PM1: 端口模式寄存器 1
 PIM1: 端口输入模式寄存器 1
 POM1: 端口输出模式寄存器 1
 PMS: 端口模式选择寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4 - 8 P15 的框图



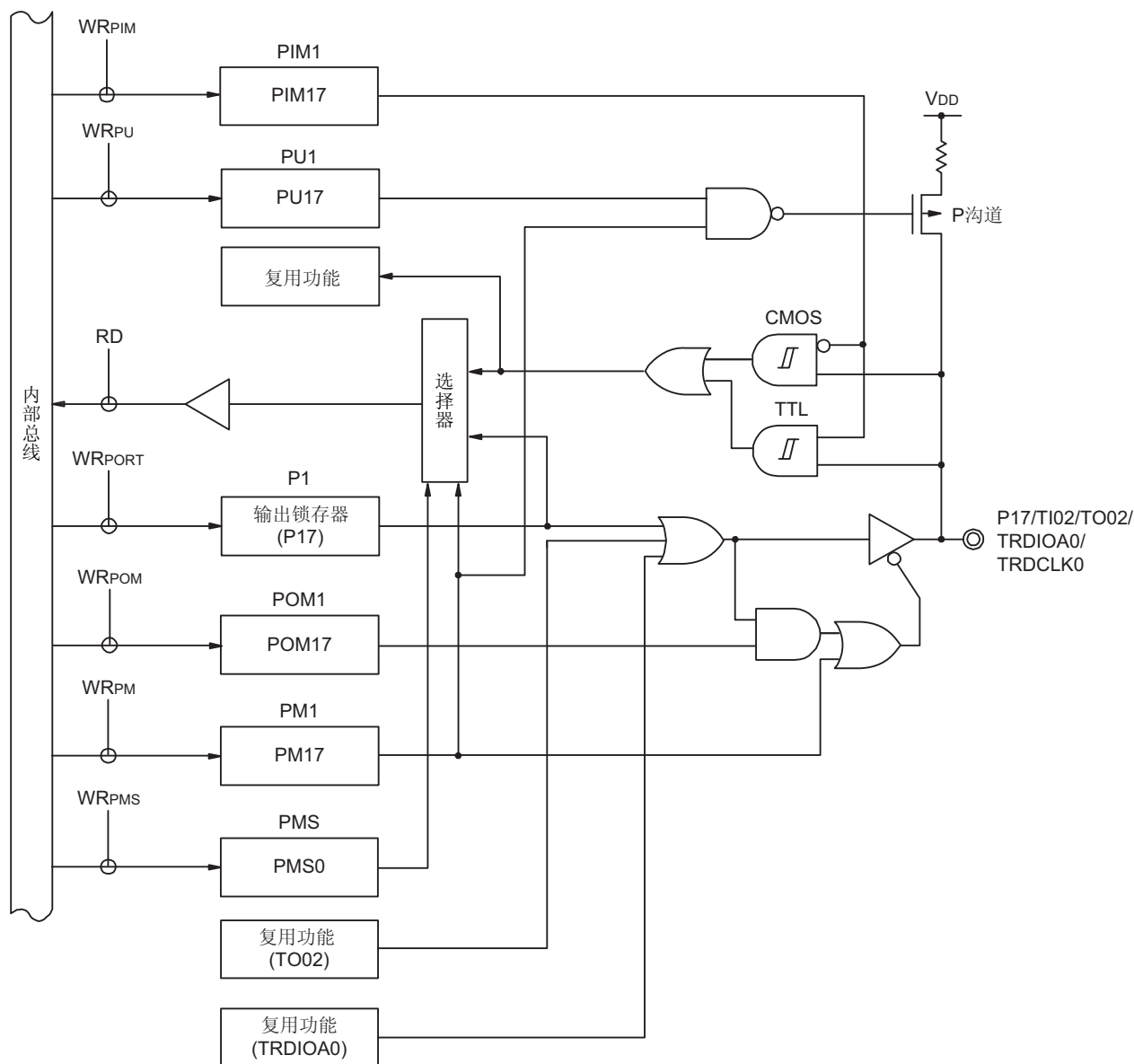
- P1: 端口寄存器 1
 PU1: 上拉电阻选择寄存器 1
 PM1: 端口模式寄存器 1
 PIM1: 端口输入模式寄存器 1
 POM1: 端口输出模式寄存器 1
 PMS: 端口模式选择寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4 - 9 P16 的框图



P1: 端口寄存器1
 PU1: 上拉电阻选择寄存器1
 PM1: 端口模式寄存器1
 PIM1: 端口输入模式寄存器1
 PMS: 端口模式选择寄存器
 RD: 读取信号
 WRxx: 写入信号

图 4 - 10 P17的框图



- P1: 端口寄存器1
 PU1: 上拉电阻选择寄存器1
 PM1: 端口模式寄存器1
 PIM1: 端口输入模式寄存器1
 POM1: 端口输出模式寄存器1
 PMS: 端口模式选择寄存器
 RD: 读取信号
 WRxx: 写入信号

4.2.3 端口 2

端口 2 是具有输出锁存器的输入/输出端口。端口 2 可以通过端口模式寄存器 2 (PM2) 以 1 位为单位设为输入模式或输出模式。

端口 2 也可以用作 A/D 转换器模拟输入以及 (+ 极和-极) 基准电压输入。

将 P20/ANI0/AVREFP、P21/ANI1/AVREFM、P22/ANI2、P23/ANI3 用作数字输入引脚时，通过 A/D 端口配置寄存器 (ADPC) 将其设置为数字输入/输出模式，并通过 PM2 寄存器将其设置为输入模式。从高位开始使用这些引脚。

将 P20/ANI0/AVREFP、P21/ANI1/AVREFM、P22/ANI2、P23/ANI3 用作数字输出引脚时，通过 ADPC 寄存器将其设置为数字输入/输出模式，并通过 PM2 寄存器将其设置为输出模式。

将 P20/ANI0/AVREFP、P21/ANI1/AVREFM、P22/ANI2、P23/ANI3 用作模拟输入/输出引脚时，通过 A/D 端口配置寄存器 (ADPC) 将其设置为模拟输入/输出模式，并通过 PM2 寄存器将其设置为输入模式。从低位开始使用这些引脚。

表 4 - 6 使用端口 2 时寄存器的设置

| 引脚名称 | | PM2 _x | ADPC | 复用功能设置 | 备注 |
|------|-------|------------------|-----------|--------|--------------------------|
| 名称 | 输入/输出 | | | | |
| P2n | 输入 | 1 | 01 至 n+1H | — | 将 P2n 用作端口时，从高位开始使用这些引脚。 |
| | 输出 | 0 | 01 至 n+1H | | |

备注 1. PM2_x: 端口模式寄存器 2
ADPC: A/D 端口配置寄存器

备注 2. n = 0 至 3

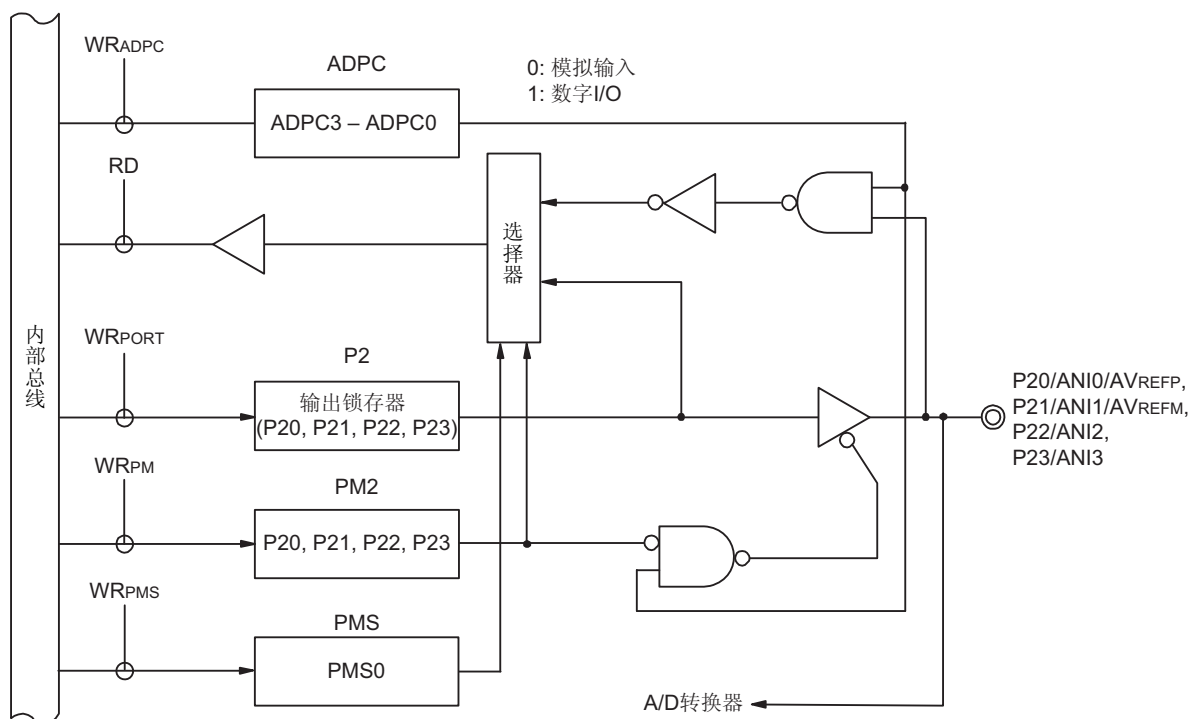
表 4 - 7 P20/ANI0 至 P23/ANI3 引脚功能的设置

| ADPC 寄存器 | PM2 寄存器 | ADS 寄存器 | P20/ANI0 至 P23/ANI3 引脚 |
|----------|---------|---------|------------------------|
| 数字输入/输出 | 输入模式 | — | 数字输入 |
| | 输出模式 | — | 数字输出 |
| 模拟输入 | 输入模式 | 选择 ANI | 模拟输入 (被转换) |
| | | 不选择 ANI | 模拟输入 (不被转换) |
| | 输出模式 | 选择 ANI | 禁止设置 |
| | | 不选择 ANI | |

产生复位信号后，P20/ANI0 至 P23/ANI3 的所有引脚被设置为模拟输入模式。

例如，32引脚产品中端口2的框图如图 4 - 11 所示。

图 4 - 11 P20、P21、P22、P23 的框图



P2: 端口寄存器2
 PM2: 端口模式寄存器2
 PMS: 端口模式选择寄存器
 RD: 读取信号
 WRxx: 写入信号

4.2.4 端口 3

端口 3 是具有输出锁存器的输入/输出端口。端口 3 可以通过端口模式寄存器 3 (PM3) 以 1 位为单位设为输入模式或输出模式。当 P30 和 P31 引脚用作输入端口时，可通过上拉电阻选择寄存器 3 (PU3) 以 1 位为单位指定使用片上上拉电阻。

P30 引脚的输入，可使用端口输入模式寄存器 3 (PIM3) 以 1 位为单位指定为普通输入缓冲器或 TTL 输入缓冲器。

P30 引脚的输出可使用端口输出模式寄存器 3 (POM3) 以 1 位为单位指定为 N 沟开漏输出 (V_{DD} 耐压)。

端口 3 也可以用作外部中断请求输入、时钟/蜂鸣器输出、串行接口时钟输入/输出和定时器输入/输出。

产生复位信号后，端口 3 被设置为输入模式。

端口 3 的框图如图 4 - 12 和 4 - 13 所示。

表 4 - 8 使用端口 3 时寄存器的设置

| 引脚名称 | | PM3 _x | PIM3 _x | POM3 _x | 复用功能设置注 6 | 备注 |
|------|-------|------------------|-------------------|-------------------|--|---------|
| 名称 | 输入/输出 | | | | | |
| P30 | 输入 | 1 | 0 | × | × | CMOS 输入 |
| | | 1 | 1 | × | × | TTL 输入 |
| | 输出 | 0 | × | 0 | $\overline{\text{SCK00/SCL00}} \text{ 输出} = 0$ 注 1 | CMOS 输出 |
| | | 0 | × | 1 | TRJ00 输出 = 0 注 2 | N 沟开漏输出 |
| P31 | 输入 | 1 | — | — | × | CMOS 输入 |
| | 输出 | 0 | — | — | TO03 输出 = 0 注 3 PCLBUZ0 输出 = 0 注 4 (TRJIO0 输出 = 0 注 5) | |

注 1. 将复用于串行阵列单元功能的引脚用作通用端口时，请将对应单元通道的串行输出寄存器 m (SOM) 的 CKO_{mn} 位、串行输出允许寄存器 m (SOEm) 的 SOE_{mn} 位以及串行通道允许状态寄存器 m (SEm) 的 SE_{mn} 位设置为与其初始状态相同的值。(mn = 00)

注 2. 将复用于定时器 RJ 的输出功能的引脚用作通用端口时，请将定时器 RJ 输入/输出控制寄存器 0 (TRJIOC0) 的位 2 (TOENA) 设置为与其初始状态相同的值。

注 3. 将复用于定时器阵列单元的定时器输出功能的引脚用作通用端口时，请将对应单元通道的定时器输出寄存器 m (TOM) 的 TO_{mn} 位和定时器输出允许寄存器 m (TOEm) 的 TOE_{mn} 位设置为与其初始状态相同的值。(m = 0, n = 4)

注 4. 将复用于时钟/蜂鸣器输出功能的引脚用作通用端口时，请将时钟输出选择寄存器 i (CKSi) 的 PCLOE_i 位设置为与其初始状态相同的值。(i = 0)

注 5. 当外围输入/输出重定向寄存器 1 (PIOR1) 的 PIOR₁₁ 位和 PIOR₁₀ 位为 01B，且将复用于定时器 RJ 的定时器输入/输出功能的引脚用作通用端口时，请将定时器 RJ 模式寄存器 0 (TRJMR0) 的 TMOD₂ 至 TMOD₀ 位设置为与其初始状态相同的值或者 001B 以外的值。

注 6. 可以通过设置外围输入/输出重定向寄存器 0、1 (PIOR₀、1) 来指定上表括号内的功能。

备注 x: 忽略

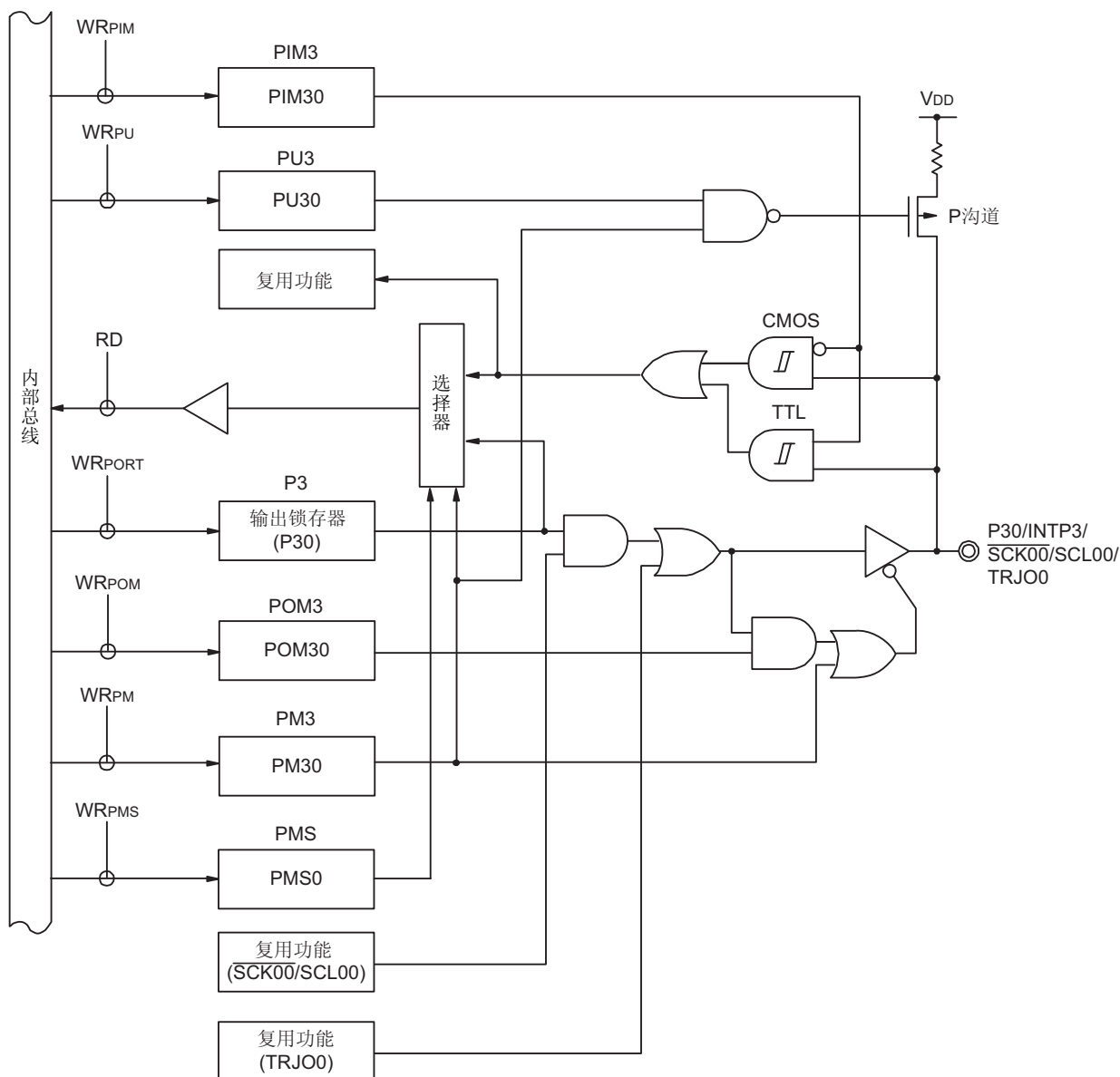
PM3_x: 端口模式寄存器 3

PIM3_x: 端口输入模式寄存器 3

POM3_x: 端口输出模式寄存器 3

例如，PIOR1 = 00H时 32 引脚产品中端口 3 的框图如所图 4 - 12 和 4 - 13 示。

图 4 - 12 P30 的框图



P3: 端口寄存器3

PU3: 上拉电阻选择寄存器3

PM3: 端口模式寄存器3

PIM3: 端口输入模式寄存器3

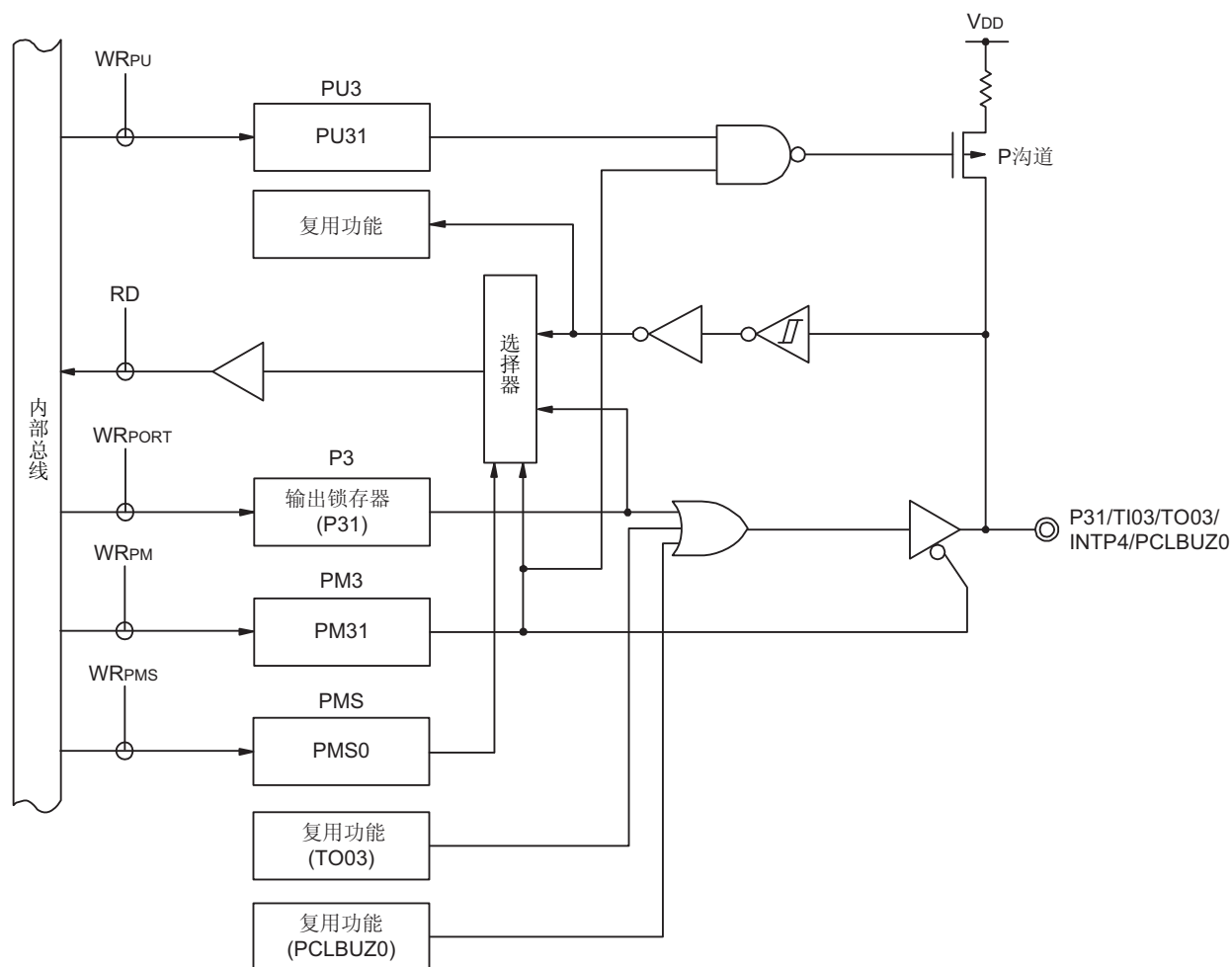
POM3: 端口输出模式寄存器3

PMS: 端口模式选择寄存器

RD: 读取信号

WRxx: 写入信号

图 4 - 13 P31 的框图



P3: 端口寄存器3

PU3: 上拉电阻选择寄存器3

PM3: 端口模式寄存器3

PIM3: 端口输入模式寄存器3

PMS: 端口模式选择寄存器

RD: 读取信号

WRxx: 写入信号

4.2.5 端口 4

端口 4 是具有输出锁存器的输入/输出端口。端口 4 可以通过端口模式寄存器 4 (PM4) 以 1 位为单位设为输入模式或输出模式。当 P4 引脚用作输入端口时，可通过上拉电阻选择寄存器 4 (PU4) 以 1 位为单位指定使用片上上拉电阻。端口 4 也可以用作闪存编程器/调试用的数据输入/输出、时钟输入/输出和外部中断请求输入。产生复位信号后，端口 4 被设置为输入模式。

表 4 - 9 使用端口 4 时寄存器的设置

| 引脚名称 | | PM4x | PIM4x | POM4x | 复用功能设置 | 备注 |
|------|-------|------|-------|-------|--------|----|
| 名称 | 输入/输出 | | | | | |
| P40 | 输入 | 1 | — | — | × | |
| | 输出 | 0 | | | × | |

注意事项 连接工具时，P40 引脚不能用作端口。

备注

×: 忽略

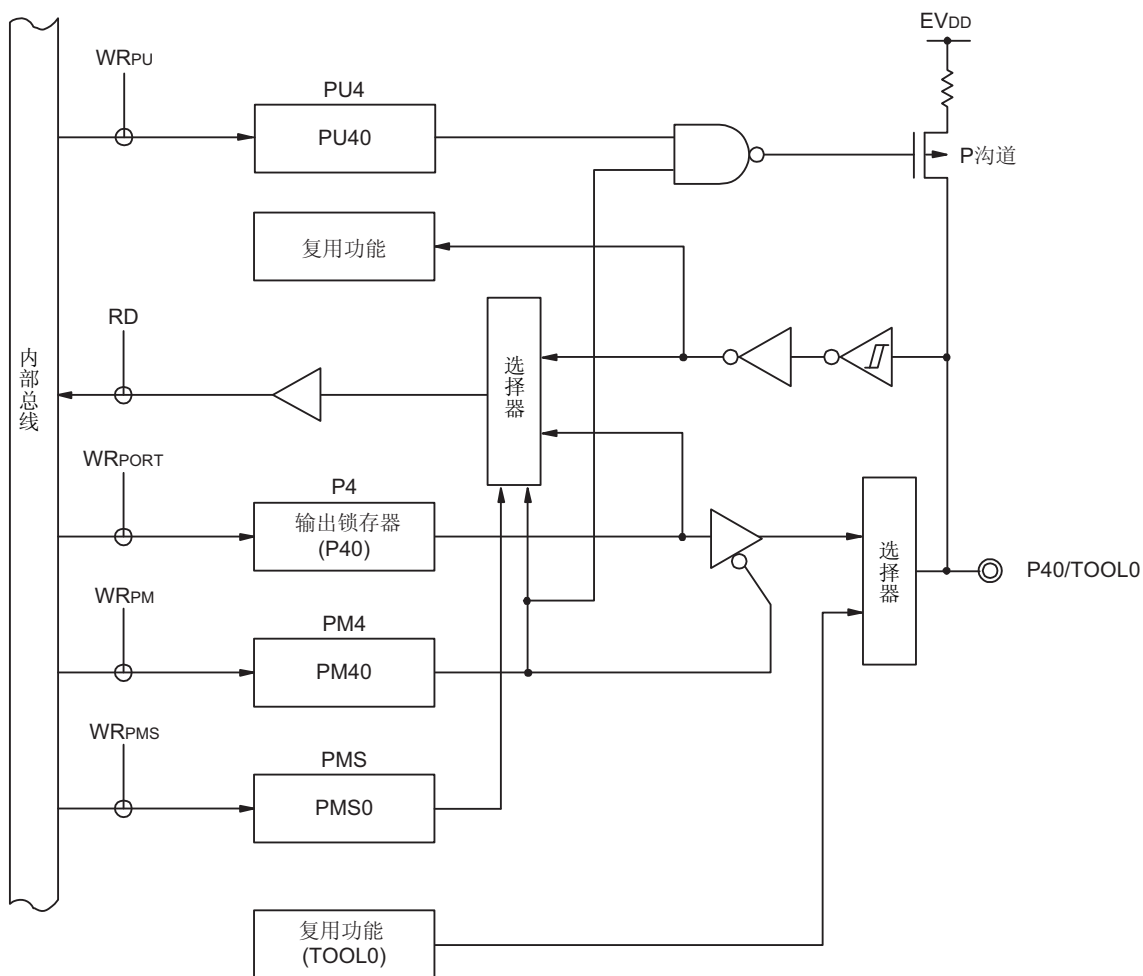
PM4x: 端口模式寄存器 4

PIM4x: 端口输入模式寄存器 4

POM4x: 端口输出模式寄存器 4

例如，32引脚产品中端口4的框图如图 4 - 14所示。

图 4 - 14 P40的框图



- P4: 端口寄存器4
- PU4: 上拉电阻选择寄存器4
- PM4: 端口模式寄存器4
- PMS: 端口模式选择寄存器
- RD: 读取信号
- WRxx: 写入信号

4.2.6 端口 5

端口 5 是具有输出锁存器的输入/输出端口。端口 5 可以通过端口模式寄存器 5 (PM5) 以 1 位为单位设为输入模式或输出模式。当 P50 和 P51 引脚用作输入端口时，可通过上拉电阻选择寄存器 5 (PU5) 以 1 位为单位指定使用片上上拉电阻。

P50 引脚的输入，可使用端口输入模式寄存器 5 (PIM5) 以 1 位为单位指定为普通输入缓冲器或 TTL 输入缓冲器。

P50 和 P51 引脚的输出可使用端口输出模式寄存器 5 (POM5) 以 1 位为单位指定为 N 沟开漏输出（V_{DD} 耐压）。

端口 5 也可以用作外部中断请求输入、串行接口数据输入/输出和编程 UART 发送/接收。

产生复位信号后，端口 5 被设置为输入模式。

表 4-10 使用端口 5 时寄存器的设置

| 引脚名称 | | PM5 _x | PIM5 _x | POM5 _x | 复用功能设置 | 备注 |
|------|-------|------------------|-------------------|-------------------|----------------------|---------|
| 名称 | 输入/输出 | | | | | |
| P50 | 输入 | 1 | 0 | × | × | CMOS 输入 |
| | | 1 | 1 | × | × | TTL 输入 |
| | 输出 | 0 | × | 0 | SDA00 输出 = 1 注 1 | CMOS 输出 |
| | | 0 | × | 1 | | N 沟开漏输出 |
| P51 | 输入 | 1 | — | × | × | |
| | 输出 | 0 | | 0 | SO00/TxD0 输出 = 1 注 2 | CMOS 输出 |
| | | 0 | | 1 | | N 沟开漏输出 |

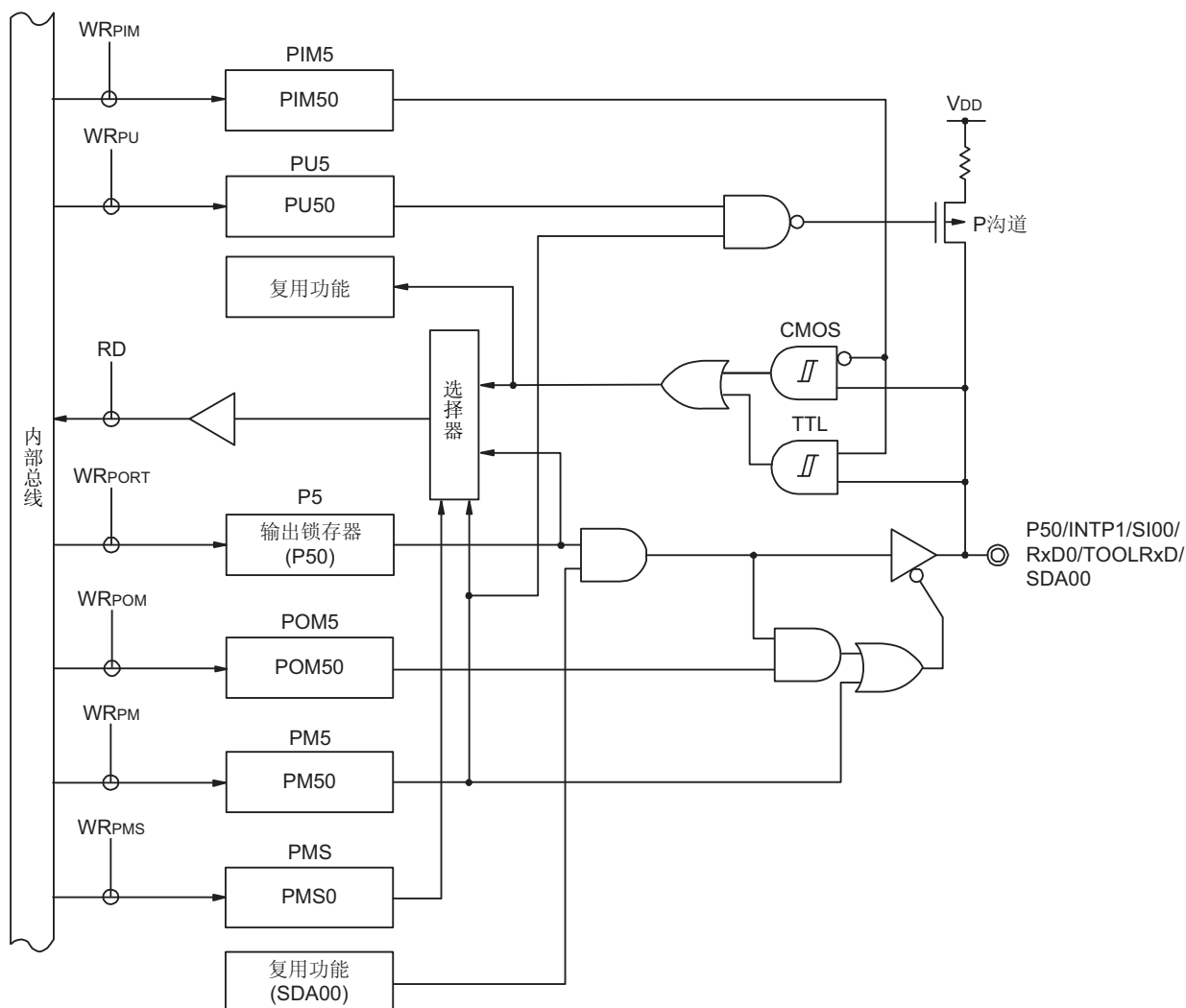
注 1. 将复用于串行阵列单元功能的引脚用作通用端口时，请将对应单元通道的串行输出寄存器 m (SOM) 的 CKO_{mn} 位、串行输出允许寄存器 m (SOEm) 的 SOE_{mn} 位以及串行通道允许状态寄存器 m (SEm) 的 SE_{mn} 位设置为与其初始状态相同的值。(mn = 00)

注 2. 将复用于串行阵列单元功能的引脚用作通用端口时，请将对应单元通道的串行输出寄存器 m (SOM) 的 SO_{mn} 位、串行输出允许寄存器 m (SOEm) 的 SOE_{mn} 位以及串行通道允许状态寄存器 m (SEm) 的 SE_{mn} 位设置为与其初始状态相同的值。(mn = 00)

备注
 ×: 忽略
 PM5_x: 端口模式寄存器 5
 PIM5_x: 端口输入模式寄存器 5
 POM5_x: 端口输出模式寄存器 5

例如，PIOR0 = 00H 时 32 引脚产品中端口 5 的框图如所图 4 - 15 和 4 - 16 示。

图 4 - 15 P50 的框图



P5: 端口寄存器 5

PU5: 上拉电阻选择寄存器 5

PM5: 端口模式寄存器 5

PIM5: 端口输入模式寄存器 5

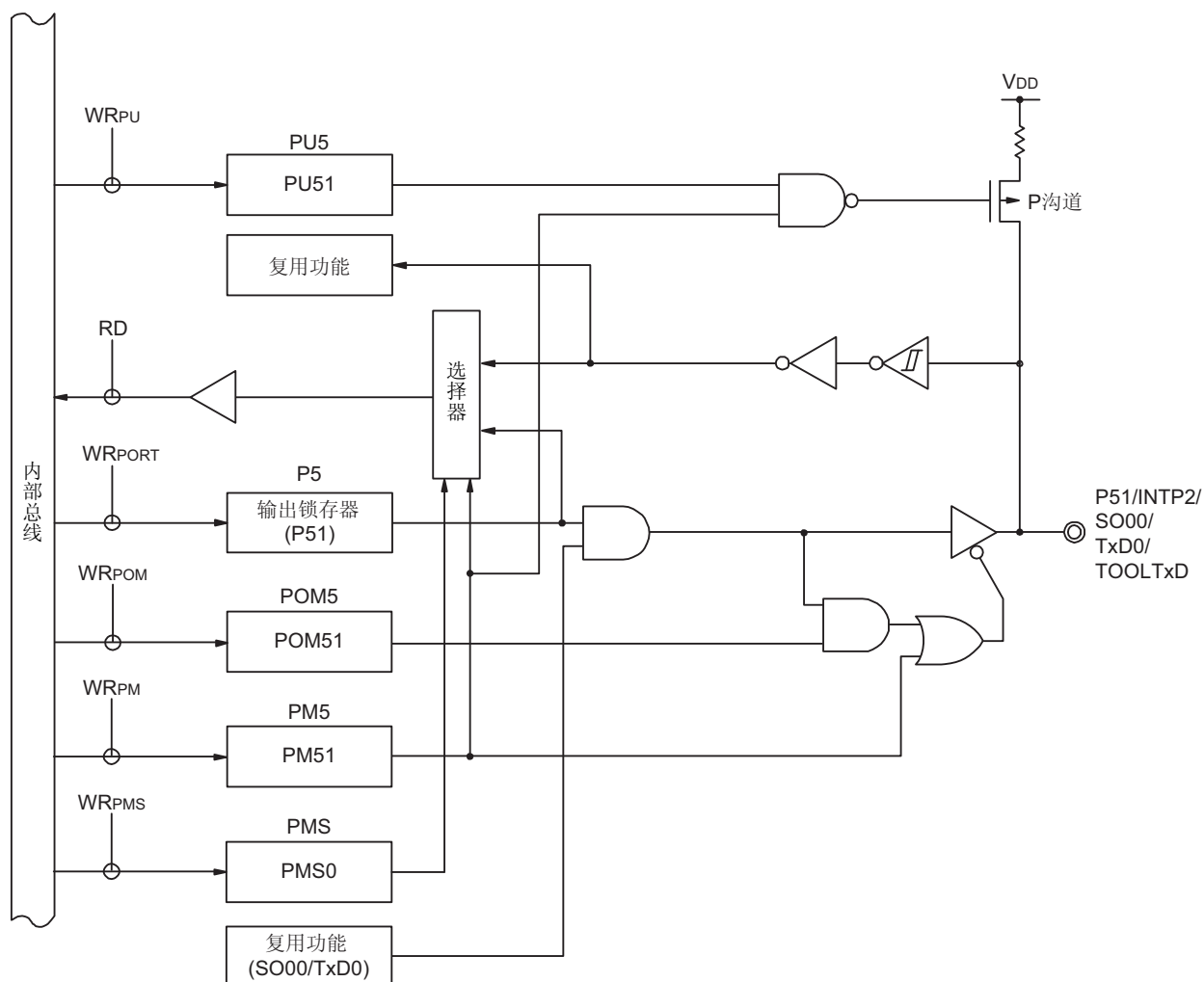
POM5: 端口输出模式寄存器 5

PMS: 端口模式选择寄存器

RD: 读取信号

WRxx: 写入信号

图 4 - 16 P51 的框图



P5: 端口寄存器5

PU5: 上拉电阻选择寄存器5

PM5: 端口模式寄存器5

POM5: 端口输出模式寄存器5

PMS: 端口模式选择寄存器

RD: 读取信号

WRxx: 写入信号

4.2.7 端口 6

端口 6 是具有输出锁存器的输入/输出端口。端口 6 可以通过端口模式寄存器 6 (PM6) 以 1 位为单位设为输入模式或输出模式。

P60 至 P62 引脚的输出为 N 沟开漏输出（6 V 耐压）。

端口 6 也可以用作芯片选择输入。

产生复位信号后，端口 6 被设置为输入模式。

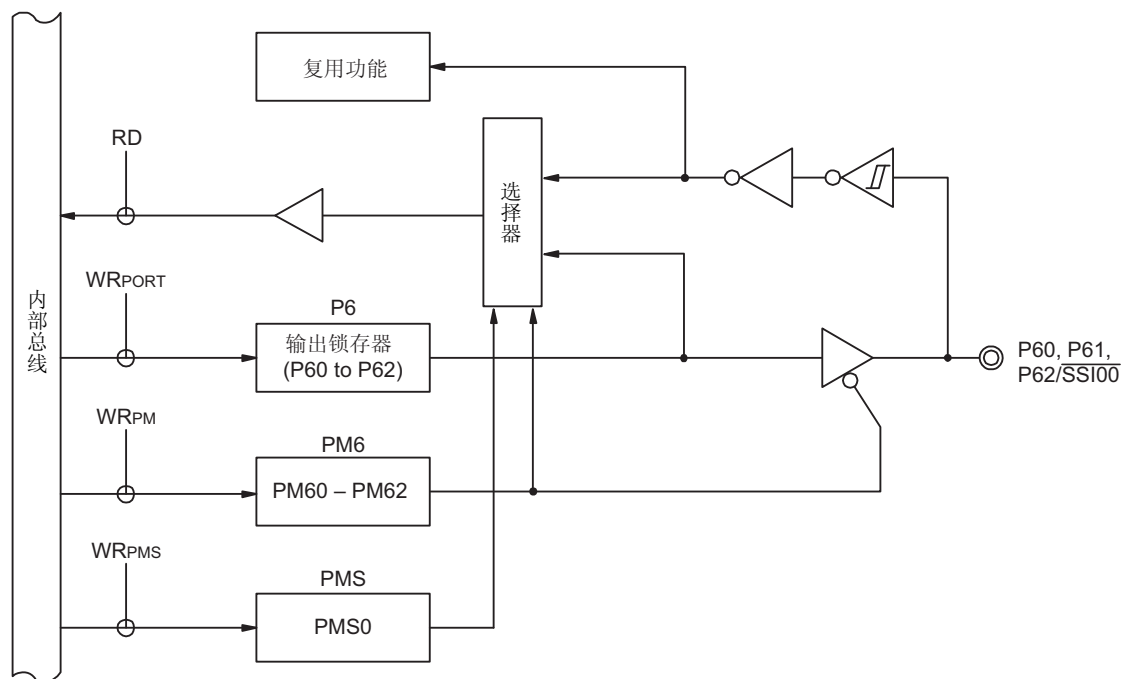
表 4 - 11 使用端口 6 时寄存器的设置

| 引脚名称 | | PM6x | 复用功能设置 | 备注 |
|------|-------|------|--------|----|
| 名称 | 输入/输出 | | | |
| P60 | 输入 | 1 | × | |
| | 输出 | 0 | × | |
| P61 | 输入 | 1 | × | |
| | 输出 | 0 | × | |
| P62 | 输入 | 1 | × | |
| | 输出 | 0 | × | |

备注 ×: 忽略
 PM6x: 端口模式寄存器 6

例如，32引脚产品中端口6的框图如图 4 - 17所示。

图 4 - 17 P60至 P62的框图



P6: 端口寄存器6
 PM6: 端口模式寄存器6
 PMS: 端口模式选择寄存器
 RD: 读取信号
 WRxx: 写入信号

4.2.8 端口 7

端口 7 是具有输出锁存器的输入/输出端口。端口 7 可以通过端口模式寄存器 7 (PM7) 以 1 位为单位设为输入模式或输出模式。当用作输入端口时，可通过上拉电阻选择寄存器 7 (PU7) 以 1 位为单位指定使用片上上拉电阻。
产生复位信号后，端口 7 被设置为输入模式。

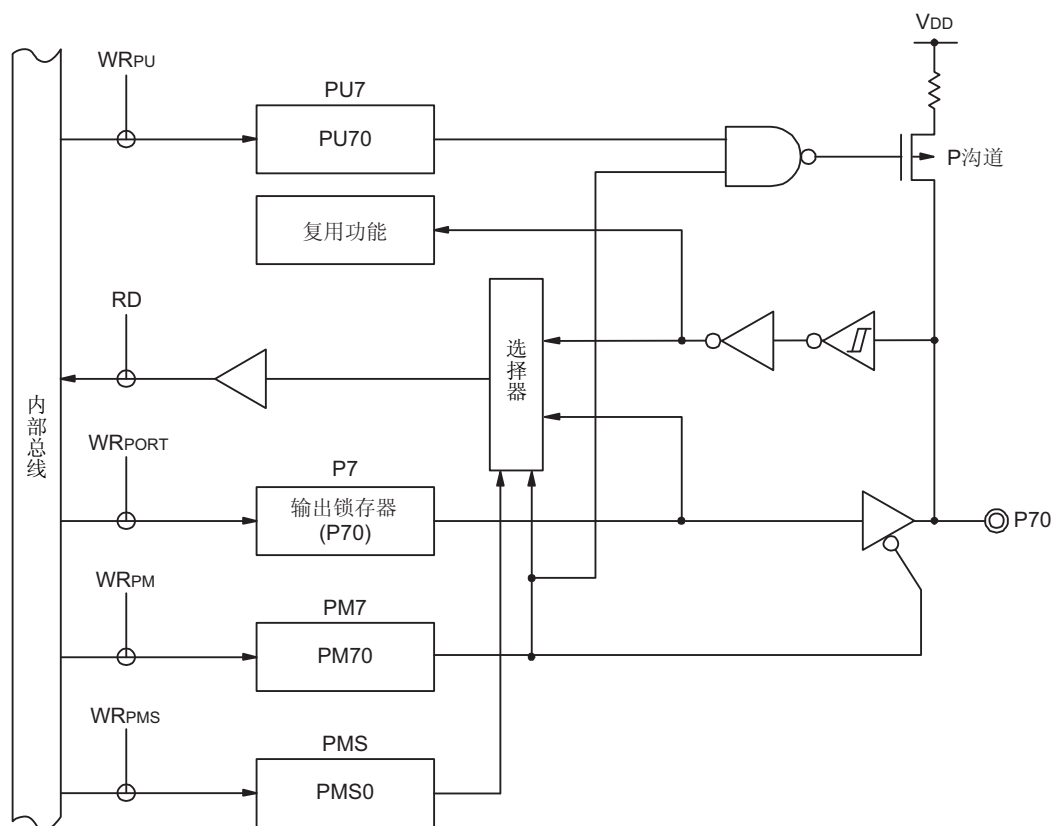
表 4 - 12 使用端口 7 时寄存器的设置

| 引脚名称 | | PM7 | POM7× | 复用功能设置 | 备注 |
|------|-------|-----|-------|--------|----|
| 名称 | 输入/输出 | | | | |
| P70 | 输入 | 1 | × | × | |
| | 输出 | 0 | 0 | × | |

备注 ×: 忽略
PM7×: 端口模式寄存器 7
POM7×: 端口输出模式寄存器 7

例如，32引脚产品中端口7的框图如图 4 - 18所示。

图 4 - 18 P70的框图



- P7: 端口寄存器7
- PU7: 上拉电阻选择寄存器7
- PM7: 端口模式寄存器7
- PMS: 端口模式选择寄存器
- RD: 读取信号
- WRxx: 写入信号

4.2.9 端口 12

P120是具有输出锁存器的1位输入/输出端口。端口12可以通过端口模式寄存器12 (PM12)以1位为单位设为输入模式或输出模式。当用作输入端口时，可通过上拉电阻选择寄存器12 (PU12)指定使用片上上拉电阻。

P121和P122是2位输入端口。

P120引脚的输入，可使用端口模式控制寄存器12 (PMC12)以1位为单位指定为模拟输入或数字输入。

端口12也可以用作A/D转换器模拟输入、连接主系统时钟用谐振器和主系统时钟用外接时钟输入。

产生复位信号后，P120被设置为模拟输入，并且P121和P122被设置为输入模式。

表 4 - 13 使用端口 12时寄存器的设置

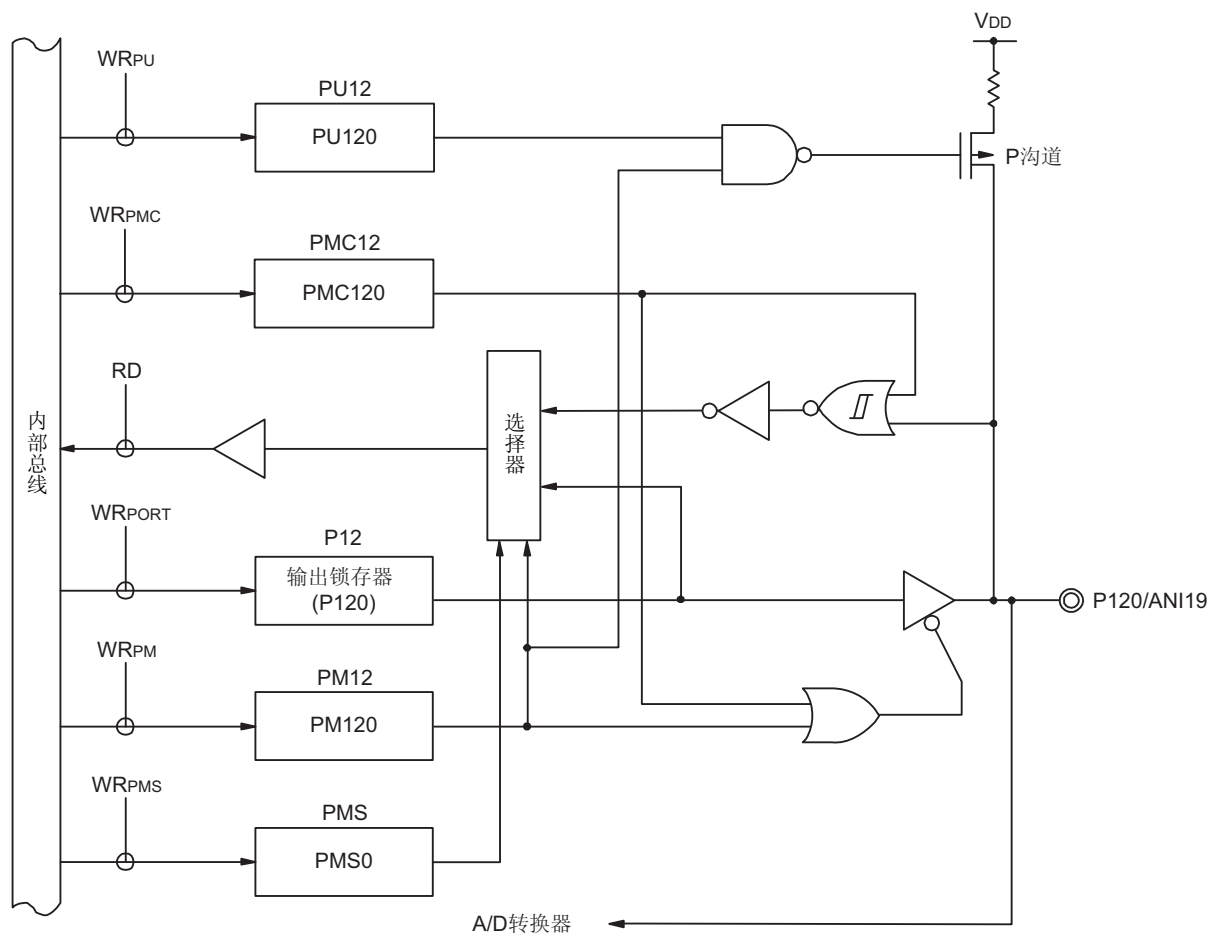
| 引脚名称 | | PM12 | PMC12x | 复用功能设置 | 备注 |
|------|-------|------|--------|-----------------------------------|----|
| 名称 | 输入/输出 | | | | |
| P120 | 输入 | 1 | 0 | × | |
| | 输出 | 0 | 0 | × | |
| P121 | 输入 | — | — | CMC寄存器的OSCSEL位 = 0 或EXCLK位 = 1 | |
| P122 | 输入 | — | — | CMC寄存器的OSCSEL位 = 0 | |

注意事项 P121和P122的功能仅可在解除复位后设置一次。设置为连接谐振器/振荡器的端口时，除非复位，否则不可用作输入端口。

备注 ×: 忽略
PM12x: 端口模式寄存器12
PMC12x: 端口模式控制寄存器12

例如，32引脚产品中端口12的框图如图4-19和4-20所示。

图 4 - 19 P120 的框图



P12: 端口寄存器12

PU12: 上拉电阻选择寄存器12

PM12: 端口模式寄存器12

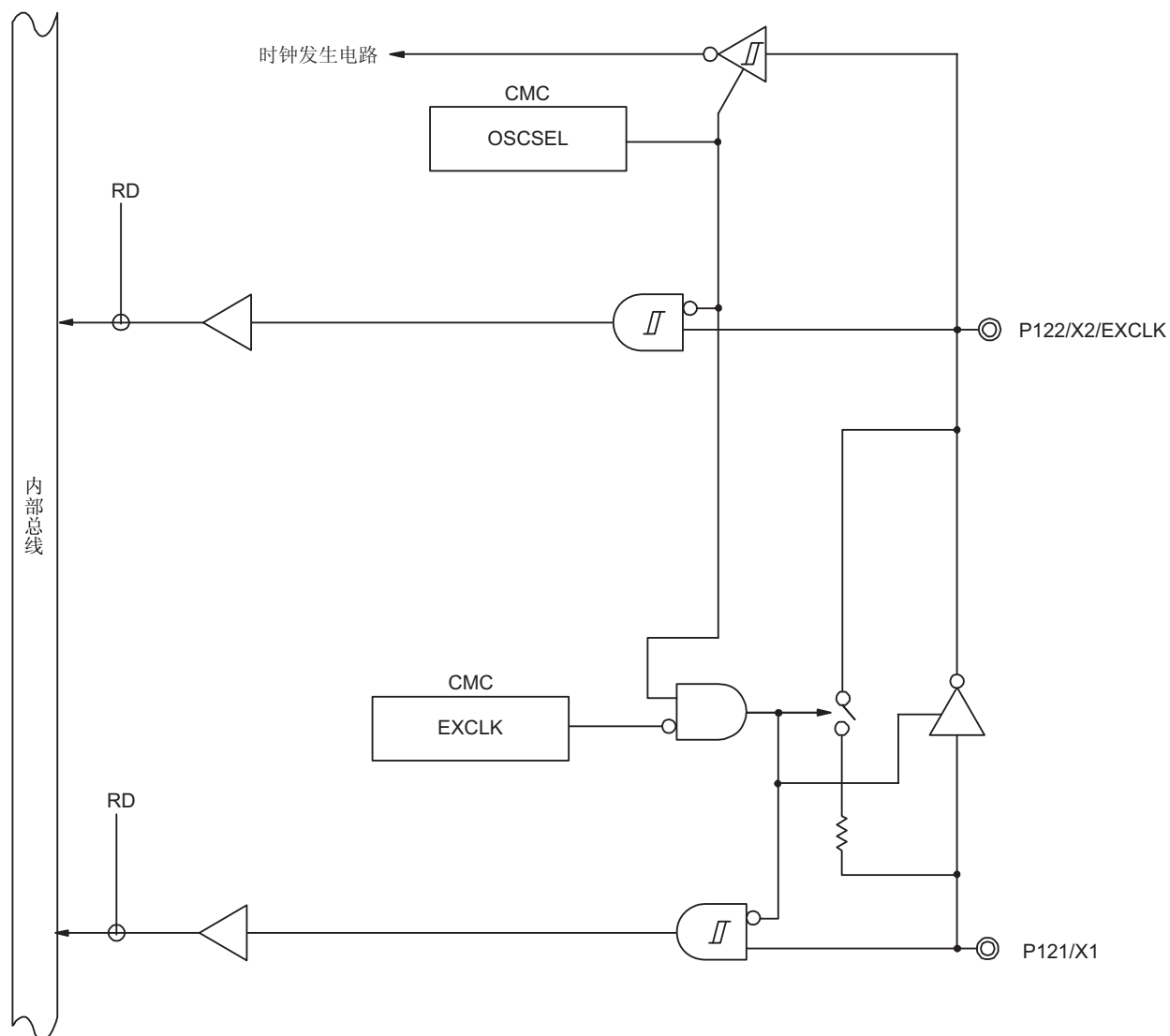
PMC12: 端口模式控制寄存器12

PMS: 端口模式选择寄存器

RD: 读取信号

WRxx: 写入信号

图 4 - 20 P121 和 P122 的框图



CMC: 时钟操作模式控制寄存器

RD: 读取信号

4.2.10 端口 13

P137 是 1 位输入专用端口。
P137 被固定为输入端口。
端口 13 也可以用作外部中断请求输入。

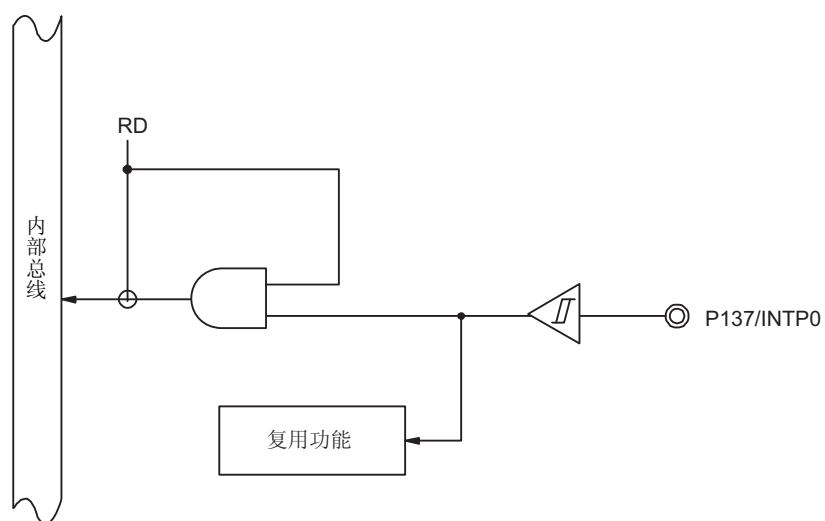
表 4 - 14 使用端口 13 时寄存器的设置

| 引脚名称 | | 复用功能设置 | 备注 |
|------|-------|--------|----|
| 名称 | 输入/输出 | | |
| P137 | 输入 | × | |

备注 ×: 忽略

例如，32 引脚产品中端口 13 的框图如图 4 - 21 所示。

图 4 - 21 P137 的框图



RD: 读取信号

4.2.11 端口 14

端口 14是具有输出锁存器的输入/输出端口。端口 14可以通过端口模式寄存器 14 (PM14)以 1 位为单位设为输入模式或输出模式。当 P147 引脚用作输入端口时，可通过上拉电阻选择寄存器 14 (PU14)以 1 位为单位指定使用片上上拉电阻。

P147引脚的输入，可使用端口模式控制寄存器 14 (PMC14)以 1 位为单位指定为模拟输入或数字输入。

端口 14也可以用作 A/D 转换器模拟输入。

产生复位信号后，P147被设置为模拟输入模式。

表 4 - 15 使用端口 14时寄存器的设置

| 引脚名称 | | PM14× | PIM14× | POM14× | PMC14× | 复用功能设置 | 备注 |
|------|-------|-------|--------|--------|--------|--------|----|
| 名称 | 输入/输出 | | | | | | |
| P147 | 输入 | 1 | — | — | 0 | × | |
| | 输出 | 0 | | | 0 | × | |

备注 ×: 忽略

PM14×: 端口模式寄存器 14

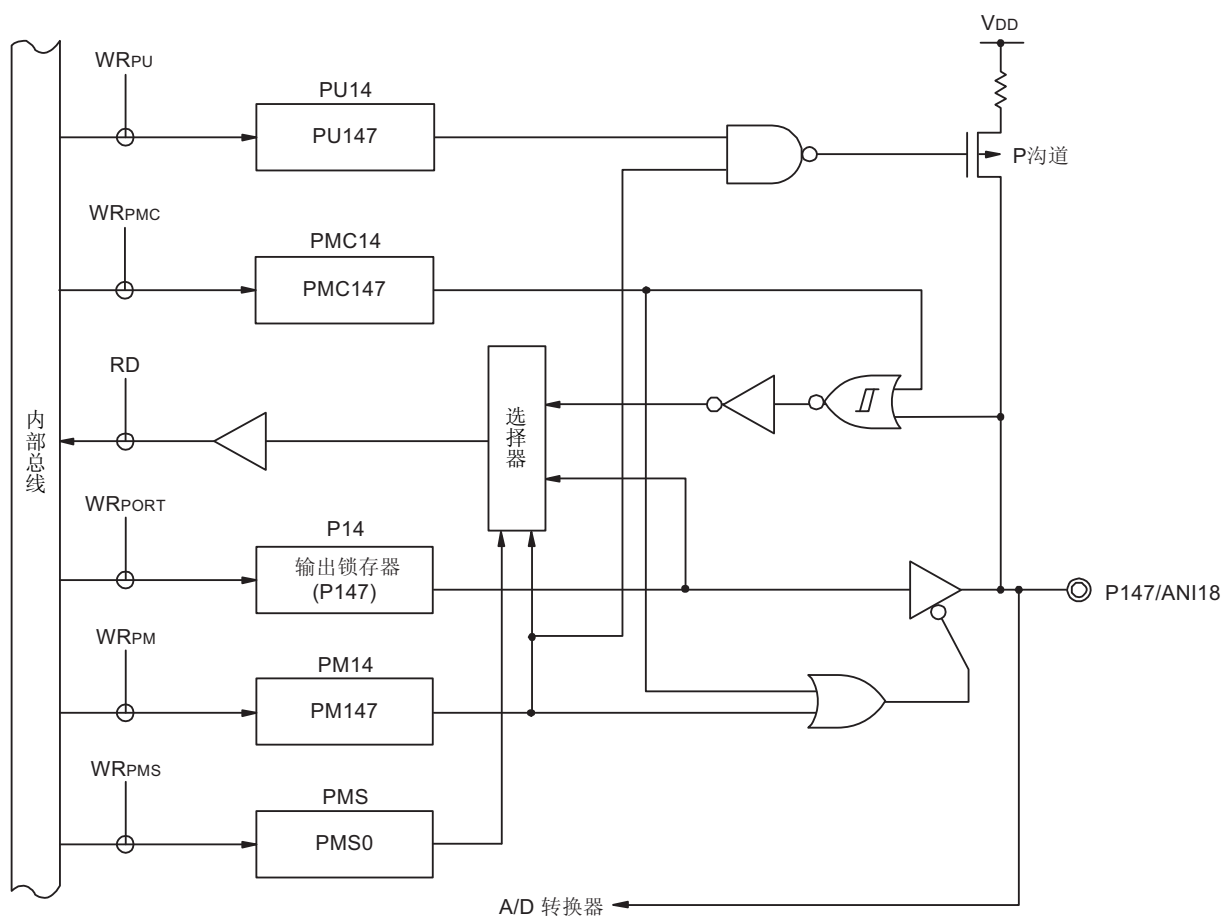
PIM14×: 端口输入模式寄存器 14

POM14×: 端口输出模式寄存器 14

PMC14×: 端口模式控制寄存器 14

例如，32引脚产品中端口 14 的框图如图 4 - 22 所示。

图 4 - 22 P147 的框图



P14: 端口寄存器 14

PU14: 上拉电阻选择寄存器 14

PM14: 端口模式寄存器 14

PMC14: 端口模式控制寄存器 14

PMS: 端口模式选择寄存器

RD: 读取信号

WR_{xx}: 写入信号

4.3 控制端口功能的寄存器

使用以下寄存器控制端口功能。

- 端口模式寄存器 (PMxx)
- 端口寄存器 (Pxx)
- 上拉电阻选择寄存器 (PUxx)
- 端口输入模式寄存器 (PIMxx)
- 端口输出模式寄存器 (POMxx)
- 端口模式控制寄存器 (PMCxx)
- A/D 端口配置寄存器 (ADPC)
- 外围输入/输出重定向寄存器 0, 1 (PIOR0, PIOR1)

注意事项 各寄存器的未定义位因产品而异，须在初始值状态下使用。

表 4 - 16 配置在各个产品上的 PMxx、Pxx、PUxx、PIMxx、POMxx、PMCxx 寄存器和及其对应的位
(30 引脚产品和 32 引脚产品) (1/3)

| 端口 | | 位名称 | | | | | | 32 引 脚 | 30 引 脚 |
|------|---|----------|---------|----------|-----------|-----------|-----------|-----------|-----------|
| | | PMxx 寄存器 | Pxx 寄存器 | PUxx 寄存器 | PIMxx 寄存器 | POMxx 寄存器 | PMCxx 寄存器 | | |
| 端口 0 | 0 | PM00 | P00 | PU00 | — | POM00 | PMC00 | √ | √ |
| | 1 | PM01 | P01 | PU01 | PIM01 | — | PMC01 | √ | √ |
| | 2 | — | — | — | — | — | — | — | — |
| | 3 | — | — | — | — | — | — | — | — |
| | 4 | — | — | — | — | — | — | — | — |
| | 5 | — | — | — | — | — | — | — | — |
| | 6 | — | — | — | — | — | — | — | — |
| | 7 | — | — | — | — | — | — | — | — |
| 端口 1 | 0 | PM10 | P10 | PU10 | PIM10 | POM10 | — | √ | √ |
| | 1 | PM11 | P11 | PU11 | — | POM11 | — | √ | √ |
| | 2 | PM12 | P12 | PU12 | — | — | — | √ | √ |
| | 3 | PM13 | P13 | PU13 | — | POM13 | — | √ | √ |
| | 4 | PM14 | P14 | PU14 | PIM14 | POM14 | — | √ | √ |
| | 5 | PM15 | P15 | PU15 | PIM15 | POM15 | — | √ | √ |
| | 6 | PM16 | P16 | PU16 | PIM16 | — | — | √ | √ |
| | 7 | PM17 | P17 | PU17 | PIM17 | POM17 | — | √ | √ |
| 端口 2 | 0 | PM20 | P20 | — | — | — | — | √ | √ |
| | 1 | PM21 | P21 | — | — | — | — | √ | √ |
| | 2 | PM22 | P22 | — | — | — | — | √ | √ |
| | 3 | PM23 | P23 | — | — | — | — | √ | √ |
| | 4 | — | — | — | — | — | — | — | — |
| | 5 | — | — | — | — | — | — | — | — |
| | 6 | — | — | — | — | — | — | — | — |
| | 7 | — | — | — | — | — | — | — | — |

表 4-17 配置在各个产品上的PMxx、Pxx、PUxx、PIMxx、POMxx、PMCxx寄存器及其对应的位
(30引脚产品和32引脚产品) (2/3)

| 端口 | | 位名称 | | | | | | 32引 脚 | 30引 脚 |
|------|---|----------|---------|----------|-----------|-----------|-----------|----------|----------|
| | | PMxx 寄存器 | Pxx 寄存器 | PUxx 寄存器 | PIMxx 寄存器 | POMxx 寄存器 | PMCxx 寄存器 | | |
| 端口 3 | 0 | PM30 | P30 | PU30 | PIM30 | POM30 | — | √ | √ |
| | 1 | PM31 | P31 | PU31 | — | — | — | √ | √ |
| | 2 | — | — | — | — | — | — | — | — |
| | 3 | — | — | — | — | — | — | — | — |
| | 4 | — | — | — | — | — | — | — | — |
| | 5 | — | — | — | — | — | — | — | — |
| | 6 | — | — | — | — | — | — | — | — |
| | 7 | — | — | — | — | — | — | — | — |
| 端口 4 | 0 | PM40 | P40 | PU40 | — | — | — | √ | √ |
| | 1 | — | — | — | — | — | — | — | — |
| | 2 | — | — | — | — | — | — | — | — |
| | 3 | — | — | — | — | — | — | — | — |
| | 4 | — | — | — | — | — | — | — | — |
| | 5 | — | — | — | — | — | — | — | — |
| | 6 | — | — | — | — | — | — | — | — |
| | 7 | — | — | — | — | — | — | — | — |
| 端口 5 | 0 | PM50 | P50 | PU50 | PIM50 | POM50 | — | √ | √ |
| | 1 | PM51 | P51 | PU51 | — | POM51 | — | √ | √ |
| | 2 | — | — | — | — | — | — | — | — |
| | 3 | — | — | — | — | — | — | — | — |
| | 4 | — | — | — | — | — | — | — | — |
| | 5 | — | — | — | — | — | — | — | — |
| | 6 | — | — | — | — | — | — | — | — |
| | 7 | — | — | — | — | — | — | — | — |
| 端口 6 | 0 | PM60 | P60 | — | — | — | — | √ | √ |
| | 1 | PM61 | P61 | — | — | — | — | √ | √ |
| | 2 | PM62 | P62 | — | — | — | — | √ | — |
| | 3 | — | — | — | — | — | — | — | — |
| | 4 | — | — | — | — | — | — | — | — |
| | 5 | — | — | — | — | — | — | — | — |
| | 6 | — | — | — | — | — | — | — | — |
| | 7 | — | — | — | — | — | — | — | — |
| 端口 7 | 0 | PM70 | P70 | PU70 | — | — | — | √ | — |
| | 1 | — | — | — | — | — | — | — | — |
| | 2 | — | — | — | — | — | — | — | — |
| | 3 | — | — | — | — | — | — | — | — |
| | 4 | — | — | — | — | — | — | — | — |
| | 5 | — | — | — | — | — | — | — | — |
| | 6 | — | — | — | — | — | — | — | — |
| | 7 | — | — | — | — | — | — | — | — |

表 4 - 18 配置在各个产品上的PMxx、Pxx、PUxx、PIMxx、POMxx、PMCxx寄存器及其对应的位
(30引脚产品和32引脚产品) (3/3)

| 端口 | | 位名称 | | | | | | 32引 脚 | 30引 脚 |
|-------|---|----------|---------|----------|-----------|-----------|-----------|----------|----------|
| | | PMxx 寄存器 | Pxx 寄存器 | PUxx 寄存器 | PIMxx 寄存器 | POMxx 寄存器 | PMCxx 寄存器 | | |
| 端口 12 | 0 | PM120 | P120 | PU120 | — | — | PMC120 | √ | √ |
| | 1 | — | P121 | — | — | — | — | √ | √ |
| | 2 | — | P122 | — | — | — | — | √ | √ |
| | 3 | — | — | — | — | — | — | — | — |
| | 4 | — | — | — | — | — | — | — | — |
| | 5 | — | — | — | — | — | — | — | — |
| | 6 | — | — | — | — | — | — | — | — |
| | 7 | — | — | — | — | — | — | — | — |
| 端口 13 | 0 | — | — | — | — | — | — | — | — |
| | 1 | — | — | — | — | — | — | — | — |
| | 2 | — | — | — | — | — | — | — | — |
| | 3 | — | — | — | — | — | — | — | — |
| | 4 | — | — | — | — | — | — | — | — |
| | 5 | — | — | — | — | — | — | — | — |
| | 6 | — | — | — | — | — | — | — | — |
| | 7 | — | P137 | — | — | — | — | √ | √ |
| 端口 14 | 0 | — | — | — | — | — | — | — | — |
| | 1 | — | — | — | — | — | — | — | — |
| | 2 | — | — | — | — | — | — | — | — |
| | 3 | — | — | — | — | — | — | — | — |
| | 4 | — | — | — | — | — | — | — | — |
| | 5 | — | — | — | — | — | — | — | — |
| | 6 | — | — | — | — | — | — | — | — |
| | 7 | PM147 | P147 | PU147 | — | — | PMC147 | √ | √ |

各寄存器的格式如下所述。在此以 32 引脚产品为例进行描述。

关于 32 引脚以外产品上所配置的寄存器，请参阅表 4 - 4 至 4 - 6。

(1) 端口模式寄存器(PMxx)

该寄存器以 1 位为单位指定端口的输入模式或输出模式。

使用 1 位或 8 位存储器操作指令设置该寄存器。

产生复位信号后，该寄存器被设置为 FFH。

当端口用作复用功能的引脚时，端口模式寄存器的设置请参阅 4.5 使用复用功能时的端口关联寄存器的设置。

图 4 - 23 端口模式寄存器的格式（32 引脚产品）

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 地址 | 复位后 | R/W |
|------|---|------|------|------|------|------|------|-------|--------|-----|-----|
| PM0 | 1 | 1 | 1 | 1 | 1 | 1 | PM01 | PM00 | FFF20H | FFH | R/W |
| PM1 | PM17 | PM16 | PM15 | PM14 | PM13 | PM12 | PM11 | PM10 | FFF21H | FFH | R/W |
| PM2 | 1 | 1 | 1 | 1 | PM23 | PM22 | PM21 | PM20 | FFF22H | FFH | R/W |
| PM3 | 1 | 1 | 1 | 1 | 1 | 1 | PM31 | PM30 | FFF23H | FFH | R/W |
| PM4 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | PM40 | FFF24H | FFH | R/W |
| PM5 | 1 | 1 | 1 | 1 | 1 | 1 | PM51 | PM50 | FFF25H | FFH | R/W |
| PM6 | 1 | 1 | 1 | 1 | 1 | PM62 | PM61 | PM60 | FFF26H | FFH | R/W |
| PM7 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | PM70 | FFF27H | FFH | R/W |
| PM12 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | PM120 | FFF2CH | FFH | R/W |
| PM14 | PM147 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | FFF2EH | FFH | R/W |
| PMmn | Pmn 引脚输入/输出模式的选择 (m = 0 至 7、12、14；n = 0 至 7) | | | | | | | | | | |
| 0 | 输出模式（输出缓冲器启用） | | | | | | | | | | |
| 1 | 输入模式（输出缓冲器关闭） | | | | | | | | | | |

注意事项 必须将 PM0 寄存器的位 2 至 7、PM2 寄存器的位 4 至 7、PM3 寄存器的位 2 至 7、PM4 寄存器的位 1 至 7、PM5 寄存器的位 2 至 7、PM6 寄存器的位 3 至 7、PM7 寄存器的位 1 至 7、PM12 寄存器的位 1 至 7 和 PM15 寄存器的位 0 至 6 设置为“1”。

(2) 端口寄存器(Pxx)

该寄存器设置端口的输出锁存器的值。

如果输入模式时读取数据，将得到引脚电平。如果输出模式时读取，将会得到输出锁存器的值^注。

使用 1 位或 8 位存储器操作指令设置该寄存器。

产生复位信号后，该寄存器被清除为 00H。

注 P00、P01、P20 至 P23、P120 和 P147 被设置为 A/D 转换器的模拟输入，在输入模式下读取某个端口时，将始终返回 0 而非引脚电平。

图 4 - 24 端口寄存器的格式 (32 引脚产品)

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 地址 | 复位后 | R/W |
|-----|------|-----|-----|-----|-----|------|------|------|--------|-------------|-------|
| P0 | 0 | 0 | 0 | 0 | 0 | 0 | P01 | P00 | FFF00H | 00H (输出锁存器) | R/W |
| P1 | P17 | P16 | P15 | P14 | P13 | P12 | P11 | P10 | FFF01H | 00H (输出锁存器) | R/W |
| P2 | 0 | 0 | 0 | 0 | P23 | P22 | P21 | P20 | FFF02H | 00H (输出锁存器) | R/W |
| P3 | 0 | 0 | 0 | 0 | 0 | 0 | P31 | P30 | FFF03H | 00H (输出锁存器) | R/W |
| P4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | P40 | FFF04H | 00H (输出锁存器) | R/W |
| P5 | 0 | 0 | 0 | 0 | 0 | 0 | P51 | P50 | FFF05H | 00H (输出锁存器) | R/W |
| P6 | 0 | 0 | 0 | 0 | 0 | P62 | P61 | P60 | FFF06H | 00H (输出锁存器) | R/W |
| P7 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | P70 | FFF07H | 00H (输出锁存器) | R/W |
| P12 | 0 | 0 | 0 | 0 | 0 | P122 | P121 | P120 | FFF0CH | 不定 | R/W 注 |
| P13 | P137 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | FFF0DH | 不定 | R/W 注 |
| P14 | P147 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | FFF0EH | 00H (输出锁存器) | R/W |

| Pmn | m = 0 至 7、12 至 14；n = 0 至 7 | |
|-----|-----------------------------|----------------|
| | 输出数据控制 (输出模式时) | 输入数据读取 (输入模式时) |
| 0 | 输出 0 | 输入低电平 |
| 1 | 输出 1 | 输入高电平 |

注 P121、P122 和 P137 为只读。

(3) 上拉电阻选择寄存器(PUxx)

该寄存器指定是否使用片上上拉电阻。在这些寄存器中指定使用片上上拉电阻的引脚，仅在设置为引脚输入模式的位才能以1位为单位使用片上上拉电阻。无论该寄存器如何设置，片上上拉电阻不会连接至设为输出模式的位。作为复用功能的输出引脚使用时也是同样如此。

使用1位或8位存储器操作指令设置该寄存器。

产生复位信号后，该寄存器被清除为00H（仅PU4为01H）。

图 4 - 25 上拉电阻选择寄存器的格式（32引脚产品）

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 地址 | 复位后 | R/W |
|------|-------|------|------|------|------|------|------|-------|--------|-----|-----|
| PU0 | 0 | 0 | 0 | 0 | 0 | 0 | PU01 | PU00 | F0030H | 00H | R/W |
| PU1 | PU17 | PU16 | PU15 | PU14 | PU13 | PU12 | PU11 | PU10 | F0031H | 00H | R/W |
| PU3 | 0 | 0 | 0 | 0 | 0 | 0 | PU31 | PU30 | F0033H | 00H | R/W |
| PU4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PU40 | F0034H | 01H | R/W |
| PU5 | 0 | 0 | 0 | 0 | 0 | 0 | PU51 | PU50 | F0035H | 00H | R/W |
| PU7 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PU70 | F0037H | 00H | R/W |
| PU12 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PU120 | F003CH | 00H | R/W |
| PU14 | PU147 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | F003EH | 00H | R/W |

| | |
|------|--|
| PUmn | 选择Pmn引脚片上上拉电阻 (m = 0、1、3至5、7、12、14；n = 0至7) |
| 0 | 不连接片上上拉电阻 |
| 1 | 连接片上上拉电阻 |

- (4) 端口输入模式寄存器（PIM0、PIM1、PIM3、PIM5）
- 该寄存器以 1 位为单位设置 P01、P10、P13 至 P17、P30 和 P50 的输入缓冲器。
- 可以在与电位不同的外部器件进行串行通信期间选择 TTL 输入缓冲器。
- 使用 1 位或 8 位存储器操作指令设置该寄存器。
- 产生复位信号后，该寄存器被清除为 00H。

图 4 - 26 端口输入模式寄存器的格式（32 引脚产品）

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 地址 | 复位后 | R/W |
|------|-------|-------|-------|-------|---|---|-------|-------|--------|-----|-----|
| PIM0 | 0 | 0 | 0 | 0 | 0 | 0 | PIM01 | 0 | F0040H | 00H | R/W |
| PIM1 | PIM17 | PIM16 | PIM15 | PIM14 | 0 | 0 | 0 | PIM10 | F0041H | 00H | R/W |
| PIM3 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PIM30 | F0043H | 00H | R/W |
| PIM5 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PIM50 | F0045H | 00H | R/W |

| PIMmn | Pmn 引脚输入缓冲器的选择 (m = 0、1、3、5；n = 0、1、3 至 7) |
|-------|---|
| 0 | 普通输入缓冲器 |
| 1 | TTL 输入缓冲器 |

(5) 端口输出模式寄存器 (POM0、POM1、POM3、POM5)

该寄存器以 1 位为单位设置 P00、P10、P11、P13 至 P15、P17、P30、P50 和 P51 的输出模式。

可以在与电位不同的外部器件进行串行通信时，以及在与电位相同的外部器件进行简易 I²C 通信时，为 SDA00 引脚选择 N 沟开漏输出 (V_{DD} 耐压) 模式。

使用 1 位或 8 位存储器操作指令设置该寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 4 - 27 端口输出模式寄存器的格式 (32 引脚产品)

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 地址 | 复位后 | R/W |
|------|-------|---|-------|-------|-------|---|-------|-------|--------|-----|-----|
| POM0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | POM00 | F0050H | 00H | R/W |
| POM1 | POM17 | 0 | POM15 | POM14 | POM13 | 0 | POM11 | POM10 | F0051H | 00H | R/W |
| POM3 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | POM30 | F0053H | 00H | R/W |
| POM5 | 0 | 0 | 0 | 0 | 0 | 0 | POM51 | POM50 | F0055H | 00H | R/W |

| POMmn | Pmn 引脚输出模式的选择 (m = 0、1、3、5；n = 0、1、3 至 5、7) |
|-------|--|
| 0 | 普通输出模式 |
| 1 | N 沟开漏输出 (V _{DD} 耐压) 模式 |

(6) 端口模式控制寄存器（PMC0、PMC12、PMC14）

这些寄存器以1位为单位设置P00、P01、P120和P147数字输入/输出或模拟输入。

使用1位或8位存储器操作指令设置该寄存器。

产生复位信号后，该寄存器被设置为FFH。

图 4 - 28 端口模式控制寄存器的格式（32引脚产品）

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | 地址 | 复位后 | R/W |
|-------|--------|---|---|---|---|---|-------|--------|--------|-----|-----|
| PMC0 | 1 | 1 | 1 | 1 | 1 | 1 | PMC01 | PMC00 | F0060H | FFH | R/W |
| PMC12 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | PMC120 | F006CH | FFH | R/W |
| PMC14 | PMC147 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | F006EH | FFH | R/W |

| PMCmn | Pmn引脚数字输入/输出/模拟输入的选择 (m = 0、12、14； n = 0、1、7) |
|-------|--|
| 0 | 数字输入/输出（模拟输入以外的复用功能） |
| 1 | 模拟输入 |

(7) A/D 端口配置寄存器 (ADPC)

该寄存器用于将 P20/ANI0、P21/ANI1、P22/ANI2 和 P23/ANI3 引脚在端口的数字输入/输出或者 A/D 转换器的模拟输入之间进行切换。

使用 8 位存储器操作指令设置 ADPC 寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 4 - 29 A/D 端口配置寄存器 (ADPC) 的格式

地址: F0076H 复位后: 00H R/W

| | | | | | | | | |
|------|---|---|---|---|-------|-------|-------|-------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADPC | 0 | 0 | 0 | 0 | ADPC3 | ADPC2 | ADPC1 | ADPC0 |

| ADPC3 | ADPC2 | ADPC1 | ADPC0 | 模拟输入/输出 (A)/ 数字输入/输出 (D) 的切换 | | | |
|-------|-------|-------|-------|------------------------------|----------|----------|----------|
| | | | | ANI3/P23 | ANI2/P22 | ANI1/P21 | ANI0/P20 |
| 0 | 0 | 0 | 0 | A | A | A | A |
| 0 | 0 | 0 | 1 | D | D | D | D |
| 0 | 0 | 1 | 0 | D | D | D | A |
| 0 | 0 | 1 | 1 | D | D | A | A |
| 0 | 1 | 0 | 0 | D | A | A | A |
| 0 | 1 | 0 | 1 | A | A | A | A |
| 0 | 1 | 1 | 0 | A | A | A | A |
| 0 | 1 | 1 | 1 | A | A | A | A |
| 1 | 0 | 0 | 0 | A | A | A | A |
| 1 | 0 | 0 | 1 | A | A | A | A |
| 1 | 0 | 1 | 0 | A | A | A | A |
| 1 | 0 | 1 | 1 | A | A | A | A |
| 1 | 1 | 0 | 0 | A | A | A | A |
| 1 | 1 | 0 | 1 | A | A | A | A |
| 1 | 1 | 1 | 0 | A | A | A | A |
| 1 | 1 | 1 | 1 | A | A | A | A |
| 其他 | | | | 禁止设置 | | | |

注意事项 1. 通过端口模式寄存器 2 (PM2) 将用于 A/D 转换的通道设置为输入模式。

注意事项 2. 对由 ADPC 寄存器设置为数字输入/输出的引脚，不要使用模拟输入通道选择寄存器 (ADS) 对其进行设置。

- (8) 外围输入/输出重定向寄存器0 (PIOR0)
- 该寄存器用于指定是否允许或禁止外围输入/输出重定向功能。
- 该功能用于切换被指定了复用功能的端口。
- 使用8位存储器操作指令设置PIOR0寄存器。
- 产生复位信号后，该寄存器被清除为00H。

图 4 - 30 外围输入/输出重定向寄存器0 (PIOR0)的格式

| 地址: F0077H | 复位后: 00H | R/W | | | | | | | | |
|------------|----------|----------|---|---|---|-----|--------|---|--|--|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| PIOR0 | 0 | 0 | 0 | 0 | 0 | 0 | PIOR01 | 0 | | |
| 位 | 功能 | 32/30 引脚 | | | | 设置值 | | | | |
| | | | | | | | | | | |
| | | 0 | | | | 1 | | | | |
| PIOR01 | TxD0 | P51 | | | | P17 | | | | |
| | RxD0 | P50 | | | | P16 | | | | |
| | SCL00 | P30 | | | | — | | | | |
| | SDA00 | P50 | | | | — | | | | |
| | SI00 | — | | | | — | | | | |
| | SO00 | — | | | | — | | | | |
| | SCK00 | P30 | | | | — | | | | |

- (9) 外围输入/输出重定向寄存器 1 (PIOR1)
- 该寄存器用于指定是否允许或禁止外围输入/输出重定向功能。
- 该功能用于切换被指定了复用功能的端口。
- 使用 8 位存储器操作指令设置 PIOR1 寄存器。
- 产生复位信号后，该寄存器被清除 00H。

图 4 - 31 外围输入/输出重定向寄存器 1 (PIOR1) 的格式

地址: F0079H

复位后: 00H

R/W

| | | | | | | | | |
|-------|---|---|---|---|--------|--------|--------|--------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PIOR1 | 0 | 0 | 0 | 0 | PIOR13 | PIOR12 | PIOR11 | PIOR10 |

| | | |
|--------|--------|---------------------------------------|
| PIOR13 | PIOR12 | 定时器RJ TRJO0 引脚选择 |
| 0 | 0 | 复用为 P30/INTP3/SCK00/SCL00 |
| 0 | 1 | 复用为 P50/INTP1/SI00/RxD0/TOOLRxD/SDA00 |
| 1 | 0 | 复用为 P00/ANI17/TI00/TxD1 |
| 1 | 1 | 禁止设置 |

| | | |
|--------|--------|---------------------------------|
| PIOR11 | PIOR10 | 定时器RJ TRJIO0 引脚选择 |
| 0 | 0 | 复用为 P01/ANI16/TO00/RxD1 |
| 0 | 1 | 复用为 P31/TI03/TO03/INTP4/PCLBUZ0 |
| 1 | 0 | 禁止设置 |
| 1 | 1 | |

4.4 端口功能的操作

[如下所示，端口的操作因输入/输出模式设置的不同而异。]

4.4.1 输入/输出端口的写入

(1) 输出模式

通过传送指令向输出锁存器写入值，输出锁存器的内容则从引脚输出。

写入输出锁存器的数据被一直保留，直到再次有数据被写入输出锁存器。

产生复位信号后，输出锁存器的数据被清除。

(2) 输入模式

通过传送指令向输出锁存器写入值，但由于输出缓冲器关闭，引脚状态不发生变化。

写入输出锁存器的数据被一直保留，直到再次有数据被写入输出锁存器。

产生复位信号后，输出锁存器的数据被清除。对于既包含输入又包含输出的端口，可以使用字节写入

4.4.2 输入/输出端口的读取

(1) 输出模式

通过传送指令读取输出锁存器的内容。输出锁存器的内容不发生变化。

(2) 输入模式

通过传送指令读取引脚状态。输出锁存器的内容不发生变化。

4.4.3 输入/输出端口的操作

(1) 输出模式

对输出锁存器内容进行运算，结果写入输出锁存器。输出锁存器的内容从引脚输出。

写入输出锁存器的数据被一直保留，直到再次有数据被写入输出锁存器。

产生复位信号后，输出锁存器的数据被清除。

(2) 输入模式

读取引脚电平，并对其内容进行运算。运算结果写入输出锁存器，但由于输出缓冲器关闭，引脚状态不发生变化。

产生复位信号后，输出锁存器的数据被清除。

4.4.4 与不同电位的外部器件（2.5 V、3 V）的连接方法

通过更改V_{DD}使其符合连接器件的电源要求，从而可以连接到电位不同的外部器件（2.5 V或3 V）。

当系统工作于V_{DD} = 4.0 V至5.5 V时，仍然可以通过串行接口用端口0、1、4和5与工作于2.5 V或3 V的外部器件实现输入/输出连接。

| 外部器件 | V _{DD} |
|-------|---------------------------------|
| 3 V | 4.0 V ≤ V _{DD} ≤ 5.5 V |
| 2.5 V | 3.3 V ≤ V _{DD} ≤ 4.0 V |

关于输入，可通过端口输入模式寄存器（PIM0、PIM1、PIM3和PIM5）按位进行CMOS/TTL切换。

另外，关于输出，通过使用端口输出模式寄存器（POM0、POM1、POM3和POM5）将输出缓冲器切换至N沟开漏（V_{DD}耐压），可以实现对不同电位的支持。

(1) 使用UART0、UART1和CSI00功能的输入/输出引脚时的设置步骤

(a) 作为2.5 V、3 V的输入端口使用时

<1> 如需上拉，从外部上拉待使用的引脚（不能使用片上上拉电阻）。

UART0的情况下： P50 (P16)
 UART1的情况下： P01
 CSI00的情况下： P30、P50 (P16)

备注 可以通过外围输入/输出重定向寄存器(PIOR0)中的设置来指定括号内的功能。

<2> 解除复位后，端口模式为输入模式(Hi-Z)。

<3> 将PIM0、PIM1、PIM3和PIM5寄存器的对应位设置为1，切换至TTL输入缓冲器。

<4> V_{IH}/V_{IL}以2.5 V、3 V的工作电压工作。

(b) 作为2.5 V、3 V的输出端口使用时

<1> 从外部上拉待使用的引脚（不能使用片上上拉电阻）。

UART0的情况下： P51 (P17)
 UART1的情况下： P00
 CSI00的情况下： P30、P51 (P17)

备注 可以通过外围输入/输出重定向寄存器(PIOR0)中的设置来指定括号内的功能。

<2> 解除复位后，端口模式为输入模式(Hi-Z)。

<3> 将对应端口的输出锁存器设置为1。

<4> 将POM0、POM1、POM3和POM5寄存器的对应位设置为1，从而设置N沟开漏输出（V_{DD}耐压）模式。

<5> 操作PM0、PM1、PM3和PM5寄存器设置输出模式。

此时，输出数据为高电平，因而引脚处于Hi-Z状态。

<6> 可通过设置串行阵列单元实现通信。

(2) 使用简易 IIC00 功能的输入/输出引脚时的设置步骤

<1> 从外部上拉待使用的引脚（不能使用片上上拉电阻）。

简易 IIC00 的情况下： P30、P50

<2> 解除复位后，端口模式为输入模式 (Hi-Z)。

<3> 将对应端口的输出锁存器设置为 1。

<4> 将 POM3 和 POM5 寄存器的对应位设置为 1，从而设置 N 沟开漏输出（VDD 耐压）模式。

<5> 将 PM3 和 PM5 寄存器的对应位设置为输出模式（输出模式下可实现数据输入/输出）。

此时，输出数据为高电平，因而引脚处于 Hi-Z 状态。

<6> 允许操作串行阵列单元，并将模式设置为简易 IIC 模式。

4.5 使用复用功能时的端口关联寄存器的设置

使用端口的复用功能时，请按照表 4-19 至 4-21 所列内容设置端口模式寄存器和输出锁存器。

注意事项 如果复用输出功能指定至一个已用于输出的引脚，需要把不使用的复用功能的输出设置为与初始状态相同的值。

表 4-19 使用复用功能时端口模式寄存器和输出锁存器的设置 (1/3)

| 引脚名称 | 复用功能 | | PIOR _{xx} | POM _{xx} | PMC _{xx} | PM _{xx} | P _{xx} |
|------|----------------------|-------|---------------------|-------------------|-------------------|------------------|-----------------|
| | 功能名称 | 输入/输出 | | | | | |
| P00 | ANI17 ^{注 1} | 输入 | × | × | 1 | 1 | × |
| | TI00 | 输入 | × | × | 0 | 1 | × |
| | TxD1 | 输出 | × | 0/1 | 0 | 0 | 1 |
| | (TRJO0) | 输出 | PIOR13、PIOR12 = 10B | 0 | 0 | 0 | 0 |
| P01 | ANI16 ^{注 1} | 输入 | × | × | 1 | 1 | × |
| | TO00 | 输出 | × | — | 0 | 0 | 0 |
| | RxD1 | 输入 | × | × | 0 | 1 | × |
| | TRJIO0 | 输入 | PIOR13、PIOR12 = 00B | — | 0 | 1 | × |
| | | 输出 | PIOR13、PIOR12 = 00B | — | 0 | 0 | 0 |
| P10 | TRDIOD1 | 输入 | × | × | — | 1 | × |
| | | 输出 | × | 0 | — | 0 | 0 |
| P11 | TRDIOC1 | 输入 | × | × | — | 1 | × |
| | | 输出 | × | 0 | — | 0 | 0 |
| P12 | TRDIOB1 | 输入 | × | — | — | 1 | × |
| | | 输出 | × | — | — | 0 | 0 |
| P13 | TRDIOA1 | 输入 | × | × | — | 1 | × |
| | | 输出 | × | 0 | — | 0 | 0 |
| P14 | TRDIOD0 | 输入 | × | × | — | 1 | × |
| | | 输出 | × | 0 | — | 0 | 0 |
| P15 | PCLBUZ1 | 输出 | × | × | — | 0 | 0 |
| | TRDIOB0 | 输入 | × | × | — | 1 | × |
| | | 输出 | × | 0 | — | 0 | 0 |
| P16 | TI01 | 输入 | × | — | — | 1 | × |
| | TO01 | 输出 | × | — | — | 0 | 0 |
| | INTP5 | 输入 | × | — | — | 1 | × |
| | TRDIOC0 | 输入 | × | — | — | 1 | × |
| | | 输出 | × | — | — | 0 | 0 |
| | (RxD0) | 输入 | PIOR01 = 1 | — | — | 1 | × |

备注 1. ×: 忽略
 PIOR_{xx}: 外围输入/输出重定向寄存器
 POM_{xx}: 端口输出模式寄存器
 PMC_{xx}: 端口模式控制寄存器
 PM_{xx}: 端口模式寄存器
 P_{xx}: 端口输出锁存器

备注 2. 上表显示了在使用 32 引脚产品时引脚与功能之间的关系。对于其他产品，复用功能可能指定至不同的引脚，但即使这样，PIOR_{xx}、POM_{xx}、PMC_{xx}、PM_{xx} 和 P_{xx} 的设置仍保持相同。

备注 3. 可以通过设置外围输入/输出重定向寄存器 0、1（PIOR0、1）来指定上表括号内的功能。

（“注”如最末尾的表后所示。）

表 4-20 使用复用功能时端口模式寄存器和输出锁存器的设置 (2/3)

| 引脚名称 | 复用功能 | | PIOR _{xx} | POM _{xx} | PMC _{xx} | PM _{xx} | P _{xx} |
|------|---------------------|-------|---------------------|-------------------|-------------------|------------------|-----------------|
| | 功能名称 | 输入/输出 | | | | | |
| P17 | TI02 | 输入 | × | × | — | 1 | × |
| | TO02 | 输出 | × | 0 | — | 0 | 0 |
| | TRDIOA0 | 输入 | × | × | — | 1 | × |
| | | 输出 | × | 0 | — | 0 | 0 |
| | TRDCLK0 | 输入 | × | × | — | 1 | × |
| | (TxD0) | 输出 | PIOR01 = 1 | 0/1 | — | 0 | 1 |
| P20 | ANI0 ^{注 2} | 输入 | × | — | — | 1 | × |
| | AVREFP | 输入 | × | — | — | 1 | × |
| P21 | ANI1 ^{注 2} | 输入 | × | — | — | 1 | × |
| | AVREFM | 输入 | × | — | — | 1 | × |
| P22 | ANI2 ^{注 2} | 输入 | × | — | — | 1 | × |
| P23 | ANI3 ^{注 2} | 输入 | × | — | — | 1 | × |
| P30 | INTP3 | 输入 | × | × | — | 1 | × |
| | SCK00 | 输入 | PIOR01 = 0 | × | — | 1 | × |
| | | 输出 | PIOR01 = 0 | 0/1 | — | 0 | 1 |
| | SCL00 | 输出 | PIOR01 = 0 | 0/1 | — | 0 | 1 |
| | TRJO0 | 输出 | PIOR13、PIOR12 = 00B | 0 | — | 0 | 0 |
| P31 | TI03 | 输入 | × | — | — | 1 | × |
| | TO03 | 输出 | × | — | — | 0 | 0 |
| | INTP4 | 输入 | × | — | — | 1 | × |
| | (TRJIO0) | 输入 | PIOR13、PIOR12 = 01B | — | — | 1 | × |
| | | 输出 | PIOR13、PIOR12 = 01B | — | — | 0 | 0 |
| P40 | TOOL0 | 输入/输出 | × | — | — | × | × |

备注 1. ×: 忽略
PIOR_{xx}: 外围输入/输出重定向寄存器
POM_{xx}: 端口输出模式寄存器
PMC_{xx}: 端口模式控制寄存器
PM_{xx}: 端口模式寄存器
P_{xx}: 端口输出锁存器

备注 2. 上表显示了在使用 32 引脚产品时引脚与功能之间的关系。对于其他产品，复用功能可能指定至不同的引脚，但即使这样，PIOR_{xx}、POM_{xx}、PMC_{xx}、PM_{xx} 和 P_{xx} 的设置仍保持相同。

备注 3. 可以通过设置外围输入/输出重定向寄存器 0、1（PIOR0、1）来指定上表括号内的功能。

（“注”如最末尾的表后所示。）

表 4-21 使用复用功能时端口模式寄存器和输出锁存器的设置(3/3)

| 引脚名称 | 复用功能 | | PIOR _{xx} | POM _{xx} | PMC _{xx} | PM _{xx} | P _{xx} |
|------|----------------------|-------|---------------------|-------------------|-------------------|------------------|-----------------|
| | 功能名称 | 输入/输出 | | | | | |
| P50 | INTP1 | 输入 | × | — | — | 1 | × |
| | SI00 | 输入 | PIOR01 = 0 | × | — | 1 | × |
| | RxD0 | 输入 | PIOR01 = 0 | × | — | 1 | × |
| | TOOLRxD | 输入 | × | × | — | 1 | × |
| | SDA00 | 输入/输出 | PIOR01 = 0 | 1 | — | 0 | 1 |
| | (TRJ00) | 输出 | PIOR13、PIOR12 = 01B | 0 | — | 0 | 0 |
| P51 | INTP2 | 输入 | × | — | — | 1 | × |
| | SO00 | 输出 | PIOR01 = 0 | 0/1 | — | 0 | 1 |
| | TxD0 | 输出 | PIOR01 = 0 | 0/1 | — | 0 | 1 |
| | TOOLTxD | 输出 | × | 0/1 | — | 0 | 1 |
| P62 | SSI00 | 输入 | × | — | — | 1 | × |
| P120 | ANI19 ^{注 1} | 输入 | × | — | 1 | 1 | × |
| P137 | INTP0 | 输入 | × | — | — | — | × |
| P147 | ANI18 ^{注 1} | 输入 | × | — | 1 | 1 | × |

备注 1. ×: 忽略

PIOR_{xx}: 外围输入/输出重定向寄存器

POM_{xx}: 端口输出模式寄存器

PMC_{xx}: 端口模式控制寄存器

PM_{xx}: 端口模式寄存器

P_{xx}: 端口输出锁存器

备注 2. 上表显示了在使用 32 引脚产品时引脚与功能之间的关系。对于其他产品，复用功能可能指定至不同的引脚，但即使这样，PIOR_{xx}、POM_{xx}、PMC_{xx}、PM_{xx} 和 P_{xx} 的设置仍保持相同。

备注 3. 可以通过设置外围输入/输出重定向寄存器 0、1（PIOR0、1）来指定上表括号内的功能。

（“注”如最末尾的表后所示。）

注 1. ANI16/P01、ANI17/P00、ANI18/P147 和 ANI19/P120 引脚的功能可通过端口模式控制寄存器 0、12、14 (PMC0、PMC12、PMC14)、模拟输入通道选择寄存器 (ADS) 和端口模式寄存器 0、12、14 (PM0、PM12、PM14) 选择。

表 4 - 22 ANI16/P01、ANI17/P00、ANI18/P147 和 ANI19/P120 引脚功能的设置

| PMC0、PMC12、PMC14 寄存器 | PM0、PM12、PM14 寄存器 | ADS 寄存器 | ANI16/P01、ANI17/P00、 ANI18/P147、ANI19/P120 引脚 |
|-------------------------|-------------------|---------|--|
| 数字输入/输出 | 输入模式 | — | 数字输入 |
| | 输出模式 | — | 数字输出 |
| 模拟输入/输出 | 输入模式 | 选择 ANI | 模拟输入 (被转换) |
| | | 不选择 ANI | 模拟输入 (不被转换) |
| | 输出模式 | 选择 ANI | 禁止设置 |
| | | 不选择 ANI | |

注 2. P20/ANI0、P21/ANI1、P22/ANI2、P23/ANI3 引脚的功能可通过 A/D 端口配置寄存器 (ADPC)、模拟输入通道选择寄存器 (ADS) 和端口模式寄存器 2 (PM2) 选择。

表 4 - 23 P20/ANI0、P21/ANI1、P22/ANI2 和 P23/ANI3 引脚功能的设置

| ADPC 寄存器 | PM2 寄存器 | ADS 寄存器 | P20/ANI0、P21/ANI1、P22/ANI2、P23/ANI3 引脚 |
|----------|---------|---------|--|
| 数字输入/输出 | 输入模式 | — | 数字输入 |
| | 输出模式 | — | 数字输出 |
| 模拟输入/输出 | 输入模式 | 选择 ANI | 模拟输入 (被转换) |
| | | 不选择 ANI | 模拟输入 (不被转换) |
| | 输出模式 | 选择 ANI | 禁止设置 |
| | | 不选择 ANI | |

4.6 使用端口功能时的注意事项

4.6.1 端口寄存器 n (Pn) 的位操作指令的注意事项

对同时具有输入和输出功能的端口执行位操作指令时，除了操作目标位以外，非操作对象的输入端口的输出锁存器值也可能被改写。

因此，将端口由输入模式切换为输出模式前，建议重写输出锁存器。

<示例> 当P10为输出端口，P11至P17为输入端口（所有引脚状态均为高电平）且端口1的输出锁存器值为00H时，通过位操作指令将输出端口P10的输出从低电平改为高电平，则端口1的输出锁存器值变为FFH。

说明： PMnm位为1的端口，其写入或读取Pn寄存器的对象分别是输出锁存器和引脚状态。
在μPD79F7027, μPD79F7028 中，位操作指令按以下顺序执行。

<1> 以8位为单位读取Pn寄存器。

<2> 操作目标位。

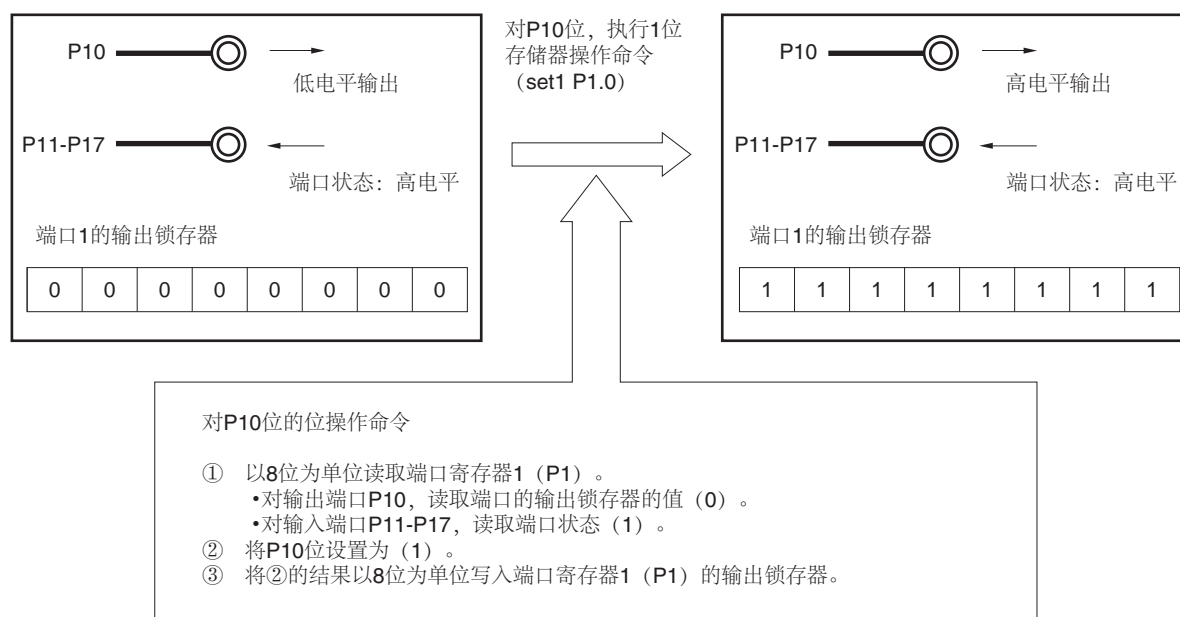
<3> 以8位为单位写入Pn寄存器。

在步骤<1>中，输出端口P10的输出锁存器值0被读取，同时，输入端口P11至P17的引脚状态也被读取。如果P11至P17的引脚状态此时为高电平，则读取值为FEH。

步骤<2>的操作使该值变为FFH。

步骤<3>的操作将FFH写入输出锁存器。

图 4 - 32 位操作指令 (P10)



第 5 章 时钟发生电路

主系统时钟连接谐振器引脚和主系统时钟外接时钟输入引脚的有无因产品而异。

| | 30、32 引脚产品 |
|----------|------------|
| X1、X2 引脚 | √ |
| EXCLK 引脚 | √ |

5.1 时钟发生电路的功能

时钟发生电路产生用于 CPU 和外围硬件的时钟。

可以选择以下三种系统时钟和时钟振荡器。

(1) 主系统时钟

<1> X1 振荡电路

该电路通过将谐振器连接至 X1 和 X2 来产生 $f_x = 1$ 至 20 MHz 的振荡时钟。

可以通过执行 STOP 指令或设置 MSTOP 位（时钟操作状态控制寄存器(CSC)的位 7）来停止振荡。

<2> 高速片上振荡器（高速 OCO）

通过选项字节(000C2H)可从以下范围内选择振荡频率： $f_{HOCO} = 48、24、16、12、8、4$ 或 1 MHz（典型值）。当将 48 MHz 选作 f_{HOCO} 时， f_{IH} 设置为 24 MHz。当将 24 MHz 或更低值选作 f_{HOCO} 时， f_{IH} 不被分频，并设置为与 f_{HOCO} 相同的频率。在解除复位后，CPU 始终使用此高速片上振荡器时钟开始工作注。可以通过执行 STOP 指令或设置 HIOSTOP 位（CSC 寄存器的位 0）来停止振荡。

还可以通过 EXCLK/X2/P122 引脚供应外部主系统时钟（ $f_{EX} = 1$ 至 20 MHz）。通过执行 STOP 指令或设置 MSTOP 位可以禁止外部主系统时钟输入。

可以通过设置 MCM0 位（系统时钟控制寄存器(CKC)的位 4）来选择高速系统时钟（X1 时钟或外部主系统时钟）或高速片上振荡器时钟作为主系统时钟。

注 选择 48 MHz 时，所选时钟(f_{HOCO})被供应至定时器 RD。
然而，将 f_{HOCO} 进行二分频得到的 24 MHz 被供应至其他功能（包括 CPU）。将 48 MHz 供应至定时器 RD 时，须将 f_{CLK} 设置为 f_{IH} 。

(2) 低速片上振荡器（低速 OCO）

该电路产生 $f_{IL} = 15 \text{ kHz}$ （典型值）的振荡时钟。

低速片上振荡器时钟不能用作 CPU 时钟。

仅限以下外围硬件使用低速片上振荡器时钟工作。

- 看门狗定时器
- 12 位间隔定时器
- 定时器 RJ

当选项字节 (000C0H) 的位 4 (WDTON) 或操作速度模式控制寄存器 (OSMC) 的位 4 (WUTMMCK0) 或者两者同时设置为 1 时，该时钟工作。

然而，当 $WDTON = 1$ 、 $WUTMMCK0 = 0$ 且选项字节 (000C0H) 的位 0 (WDSTBYON) 为 0 时，执行 HALT 或 STOP 指令后低速片上振荡器停止振荡。

| | | |
|----|--------------|-------------------------|
| 备注 | f_x : | X1 时钟振荡频率 |
| | f_{HOCO} : | 高速片上振荡器时钟频率（最大 48 MHz） |
| | f_{IH} : | 高速片上振荡器时钟频率（最大 24 MHz）注 |
| | f_{EX} : | 外部主系统时钟频率 |
| | f_{IL} : | 低速片上振荡器频率 |

注 当 f_{HOCO} 设置为 48 MHz 时，通过硬件将 f_{IH} 设置为 f_{HOCO} 的 2 分频；当 f_{HOCO} 设置为 24 MHz 或更低时，则设置与 f_{HOCO} 相同的时钟频率。将 48 MHz 供应至定时器 RD 时，须将 f_{CLK} 设置为 f_{IH} 。

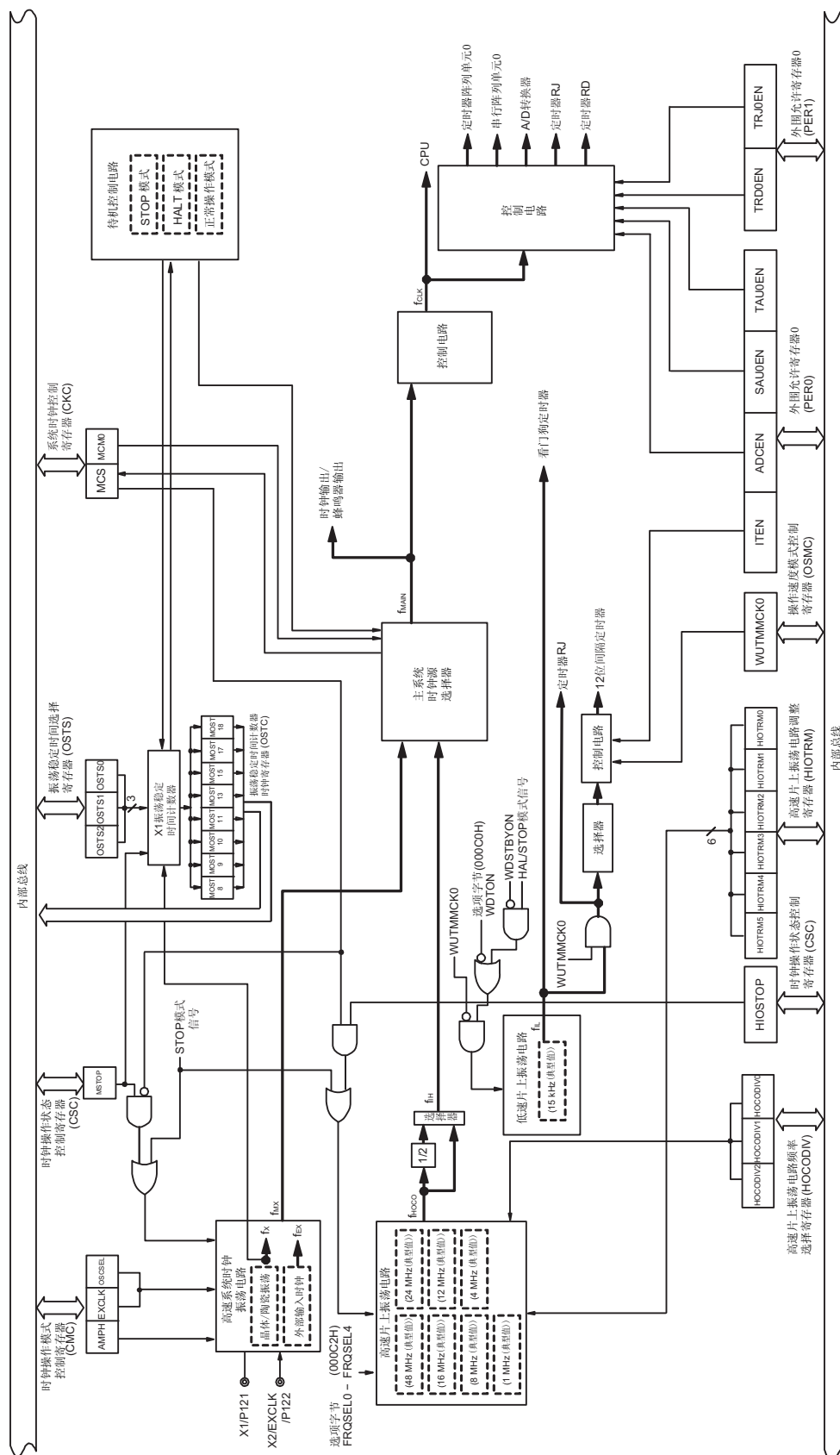
5.2 时钟发生电路的配置

时钟发生电路包括以下硬件。

表 5 - 1 时钟发生电路的配置

| 项目 | 配置 |
|-------|---|
| 控制寄存器 | 时钟操作模式控制寄存器 (CMC) 系统时钟控制寄存器 (CKC) 时钟操作状态控制寄存器 (CSC) 振荡稳定时间计数器状态寄存器 (OSTC) 振荡稳定时间选择寄存器 (OSTS) 外围允许寄存器0、1 (PER0、PER1) 操作速度模式控制寄存器 (OSMC) 高速片上振荡器频率选择寄存器 (HOCODIV) 高速片上振荡器调节寄存器 (HIOTRM) |
| 振荡器 | X1 振荡电路 高速片上振荡器时钟 低速片上振荡器时钟 |

图 5-1 时钟发生电路的框图



| | | |
|----|--------|-------------------------|
| 备注 | fx: | X1 时钟振荡频率 |
| | fHOCO: | 高速片上振荡器时钟频率（最大 48 MHz） |
| | fIH: | 高速片上振荡器时钟频率（最大 24 MHz）注 |
| | fEX: | 外部主系统时钟频率 |
| | fMX: | 高速系统时钟频率 |
| | fMAIN: | 主系统时钟频率 |
| | fCLK: | CPU/外围硬件时钟频率 |
| | fIL: | 低速片上振荡器时钟频率 |

注 当 fHOCO 设置为 48 MHz 时，通过硬件将 fIH 设置为 fHOCO 的 2 分频；当 fHOCO 设置为 24MHz 或更低时，则设置与 fHOCO 相同的时钟频率。将 48 MHz 供应至定时器 RD 时，须将 fCLK 设置为 fIH。

5.3 控制时钟发生电路的寄存器

由以下寄存器来控制时钟发生电路。

- 时钟操作模式控制寄存器 (CMC)
- 系统时钟控制寄存器 (CKC)
- 时钟操作状态控制寄存器 (CSC)
- 振荡稳定时间计数器状态寄存器 (OSTC)
- 振荡稳定时间选择寄存器 (OSTS)
- 外围允许寄存器 0、1 (PER0、PER1)
- 操作速度模式控制寄存器 (OSMC)
- 高速片上振荡器频率选择寄存器 (HOCODIV)
- 高速片上振荡器调节寄存器 (HIOTRM)

(1) 时钟操作模式控制寄存器 (CMC)

该寄存器用于设置 X1/P121、X2/EXCLK/P122 的操作模式，以及选择振荡电路的增益。

解除复位后，只能通过 8 位存储器操作指令写入 CMC 寄存器一次。使用 8 位存储器操作指令可以读取该寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 5 - 2 时钟操作模式控制寄存器 (CMC) 的格式

地址: FFFA0H

复位后: 00H

R/W

| | | | | | | | | |
|-----|-------|--------|---|---|---|---|---|------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CMC | EXCLK | OSCSEL | 0 | 0 | 0 | 0 | 0 | AMPH |

| | | | | |
|-------|--------|--------------|------------|------------------|
| EXCLK | OSCSEL | 高速系统时钟引脚操作模式 | X1/P121 引脚 | X2/EXCLK/P122 引脚 |
| 0 | 0 | 输入端口模式 | 输入端口 | |
| 0 | 1 | X1 振荡模式 | 晶体/陶瓷谐振器连接 | |
| 1 | 0 | 输入端口模式 | 输入端口 | |
| 1 | 1 | 外接时钟输入模式 | 输入端口 | 外接时钟输入 |

| | |
|------|----------------------|
| AMPH | X1 时钟振荡频率的控制 |
| 0 | 1 MHz ≤ fx ≤ 10 MHz |
| 1 | 10 MHz < fx ≤ 20 MHz |

- 注意事项 1. 只能在解除复位后通过 8 位存储器操作指令写入 CMC 寄存器一次。使用设置为初始值(00H)的 CMC 寄存器时，必须在复位后将该寄存器设置为 00H，以防止程序失控时的误动作。
- 注意事项 2. 解除复位后，通过时钟操作状态控制寄存器(CSC)的设置，在 X1 振荡开始之前设置 CMC 寄存器。
- 注意事项 3. 当 X1 时钟振荡频率超过 10 MHz 时，必须将 AMPH 位设置为 1。
- 注意事项 4. 在复位结束后（fCLK 切换为 fmx 之前），fih 被选择作为 fCLK 时，指定 AMPH、AMPHS1 和 AMPHS0 位的设置。
- 注意事项 5. 尽管最大系统时钟频率是 24 MHz，但 X1 振荡电路的最大频率是 20 MHz。
- 备注 fx: X1 时钟频率

(2) 系统时钟控制寄存器 (CKC)

该寄存器用于选择CPU/外围硬件时钟和主系统时钟。
使用1位或8位存储器操作指令设置CKC寄存器。
产生复位信号后，该寄存器被清除为00H。

图 5 - 3 系统时钟控制寄存器 (CKC) 的格式

| | | | | | | | | |
|---------------------|-----------------------------------|--------------------|-----|---------------------|---|---|---|---|
| 地址: FFFA4H | 复位后: 00H | R/W ^{注 1} | | | | | | |
| 符号 | 7 | 6 | <5> | <4> | 3 | 2 | 1 | 0 |
| CKC | 0 | 0 | MCS | MCM0 ^{注 2} | 0 | 0 | 0 | 0 |
| MCS | 主系统时钟 (fMAIN) 的状态 | | | | | | | |
| 0 | 高速片上振荡器时钟 (fIH) | | | | | | | |
| 1 | 高速系统时钟 (fMX) | | | | | | | |
| MCM0 ^{注 2} | 主系统时钟 (fMAIN) 操作控制 | | | | | | | |
| 0 | 选择高速片上振荡器时钟 (fIH) 作为主系统时钟 (fMAIN) | | | | | | | |
| 1 | 选择高速系统时钟 (fMX) 作为主系统时钟 (fMAIN) | | | | | | | |

- 注 1.

位5为只读位。
- 注 2.

CSS位设置为1时，禁止改变MCM0位的值。
- 备注

fHOCO: 高速片上振荡器时钟频率（最大48 MHz）
fIH: 高速片上振荡器时钟频率（最大24 MHz）^注
fMX: 高速系统时钟频率
fMAIN: 主系统时钟频率
- 注

当fHOCO设置为48 MHz时，通过硬件将fIH设置为fHOCO的2分频；当fHOCO设置为24MHz或更低时，则设置与fHOCO相同的时钟频率。将48 MHz供应至定时器RD时，须将fCLK设置为fIH。

（注意事项如下页所示。）

注意事项 1. 必须将 **CKC** 寄存器的位 **0** 至 **3**、**6** 和 **7** 清除为 **0**。

注意事项 2. 因此，如果 **CPU** 时钟改变，供应至外围硬件的时钟（**12** 位间隔定时器、时钟输出/蜂鸣器输出和看门狗定时器除外）也同时改变。因此，要改变 **CPU**/外围硬件时钟时必须停止各外围功能。

注意事项 3. 在将 **fHOCO** 选作定时器 **RD** 的计数源时，在设置外围允许寄存器 **1 (PER1)** 的位 **4 (TRD0EN)** 之前，要把 **fCLK** 设置为 **fIH**。在将 **fCLK** 更改为 **fIH** 以外的时钟时，要在更改前清除外围允许寄存器 **1 (PER1)** 的位 **4 (TRD0EN)**。

(3) 时钟操作状态控制寄存器 (CSC)

该寄存器用于控制高速系统时钟和高速片上振荡器时钟（低速片上振荡器时钟除外）的操作。
使用1位或8位存储器操作指令设置CSC寄存器。
产生复位信号后，该寄存器被设置为C0H。

图 5 - 4 时钟操作状态控制寄存器 (CSC) 的格式

地址: FFFA1H

复位后: C0H

R/W

| | | | | | | | | |
|-----|-------|---|---|---|---|---|---|---------|
| 符号 | <7> | 6 | 5 | 4 | 3 | 2 | 1 | <0> |
| CSC | MSTOP | 1 | 0 | 0 | 0 | 0 | 0 | HIOSTOP |

| | | | |
|-------|-------------|----------------|--------|
| MSTOP | 高速系统时钟的操作控制 | | |
| | X1 振荡模式 | 外接时钟输入模式 | 输入端口模式 |
| 0 | X1 振荡电路工作 | EXCLK引脚的外接时钟有效 | 输入端口 |
| 1 | X1 振荡电路停止 | EXCLK引脚的外接时钟无效 | |

| | |
|---------|----------------|
| HIOSTOP | 高速片上振荡器时钟的操作控制 |
| 0 | 高速片上振荡器工作 |
| 1 | 高速片上振荡器停止 |

- 注意事项 1. 解除复位后，设置CSC寄存器之前，先设置时钟操作模式控制寄存器(CMC)。
- 注意事项 2. 解除复位后，若需更改振荡稳定时间选择寄存器(OSTS)的值，请在MSTOP位设置为0之前设置。注意，使用保持初始值的OSTS寄存器时，无需设置OSTS寄存器。
- 注意事项 3. 通过设置MSTOP位来启动X1振荡时，使用振荡稳定时间计数器状态寄存器(OSTC)来确认X1时钟的振荡稳定时间。
- 注意事项 4. 对于CPU/外围硬件时钟(fclk)所选择的时钟，请不要在OSC寄存器使其停止。
- 注意事项 5. 关于用于停止时钟振荡（使外接时钟输入无效）的寄存器标志的设置以及停止时钟振荡前的条件，请参阅表5 - 2。

表 5-2 停止时钟前的条件和标志设置

| 时钟 | 停止时钟前的条件 (使外接时钟输入无效) | CSC 寄存器标志的设置 |
|-----------|--|--------------|
| X1 时钟 | CPU 和外围硬件工作于高速系统时钟以外的时钟。 (MCS = 0) | MSTOP = 1 |
| 外部主系统时钟 | | |
| 高速片上振荡器时钟 | CPU 和外围硬件工作于高速片上振荡器时钟以外的时钟。 (MCS = 1) | HIOSTOP = 1 |

(4) 振荡稳定时间计数器状态寄存器 (OSTC)

该寄存器用于表示 X1 时钟振荡稳定时间计数器的计数状态。

在下列情况下可以确认 X1 时钟振荡稳定时间：

- 高速片上振荡器时钟用作 CPU 时钟时，X1 时钟开始振荡。
- 高速片上振荡器时钟用作 CPU 时钟且 X1 时钟振荡时，进入 STOP 模式然后解除 STOP 模式。

使用 1 位或 8 位存储器操作指令可以读取 OSTC 寄存器。

由于复位信号的产生，STOP 指令或 MSTOP 位（时钟操作状态控制寄存器 (CSC) 的位 7）= 1，将清除 OSTC 寄存器为 00H。

备注 下列情况下，振荡稳定时间计数器开始计数。

- 当 X1 时钟开始振荡（EXCLK、OSCSEL = 0、1 → MSTOP = 0）
- 当解除 STOP 模式

图 5 - 5 振荡稳定时间计数器状态寄存器 (OSTC) 的格式

地址: FFFA2H

复位后: 00H

R

符号

7

6

5

4

3

2

1

0

OSTC

| | | | | | | | |
|-------|-------|--------|--------|--------|--------|--------|--------|
| MOST8 | MOST9 | MOST10 | MOST11 | MOST13 | MOST15 | MOST17 | MOST18 |
|-------|-------|--------|--------|--------|--------|--------|--------|

| MOST8 | MOST9 | MOST10 | MOST11 | MOST13 | MOST15 | MOST17 | MOST18 | 振荡稳定时间状态 | | |
|-------|-------|--------|--------|--------|--------|--------|--------|------------------------------|-------------------|-------------------|
| | | | | | | | | | fx = 10 MHz | fx = 20 MHz |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 2 ⁸ /fx (最大值) | 25.6 μs (最大值) | 12.8 μs (最大值) |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 2 ⁸ /fx (最小值) | 25.6 μs (最小值) | 12.8 μs (最小值) |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 2 ⁹ /fx (最小值) | 51.2 μs (最小值) | 25.6 μs (最小值) |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 2 ¹⁰ /fx (最小值) | 102.4 μs (最小值) | 51.2 μs (最小值) |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 2 ¹¹ /fx (最小值) | 204.8 μs (最小值) | 102.4 μs (最小值) |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 2 ¹³ /fx (最小值) | 819.2 μs (最小值) | 409.6 μs (最小值) |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 2 ¹⁵ /fx (最小值) | 3.27 ms (最小值) | 1.64 ms (最小值) |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 2 ¹⁷ /fx (最小值) | 13.11 ms (最小值) | 6.55 ms (最小值) |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 2 ¹⁸ /fx (最小值) | 26.21 ms (最小值) | 13.11 ms (最小值) |

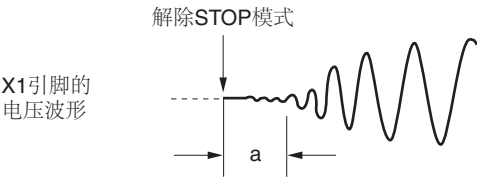
注意事项 1. 经过上述时间后，从 **MOST8** 位开始逐位依次变为 **1** 并保持 **1** 不变。

注意事项 2. 振荡稳定时间计数器仅在振荡稳定时间选择寄存器 (**OSTS**) 所设置的振荡稳定时间内计数。

下列情况下，将 **OSTS** 寄存器的振荡稳定时间设置为大于使用 **OSTC** 寄存器进行确认的计数值。

- 高速片上振荡器时钟用作 **CPU** 时钟时，**X1** 时钟开始振荡。
- 高速片上振荡器时钟用作 **CPU** 时钟且 **X1** 时钟振荡时，进入 **STOP** 模式然后解除 **STOP** 模式。
(注意，解除 **STOP** 模式后，只有 **OSTS** 寄存器所设置的振荡稳定时间内的状态被设置至 **OSTC** 寄存器。)

注意事项 3. **X1** 时钟振荡稳定等待时间不包括开始时钟振荡前的时间（下图“a”）



备注 fx: X1 时钟振荡频率

(5) 振荡稳定时间选择寄存器 (OSTS)

该寄存器用于选择解除 STOP 模式时的 X1 时钟振荡稳定等待时间。

当选用 X1 时钟作为 CPU 时钟时，解除 STOP 模式后，会自动等待 OSTS 寄存器设置的时间。

当选用高速片上振荡器时钟作为 CPU 时钟时，解除 STOP 模式后，请通过振荡稳定时间计数器状态寄存器 (OSTC) 确认所需振荡稳定时间已过。在 OSTS 寄存器预先设置的时间范围内都可以通过 OSTC 寄存器进行确认。

使用 8 位存储器操作指令设置 OSTS 寄存器。

产生复位信号后，OSTS 寄存器被设置为 07H。

图 5 - 6 振荡稳定时间选择寄存器 (OSTS) 的格式

地址: FFFA3H

复位后: 07H

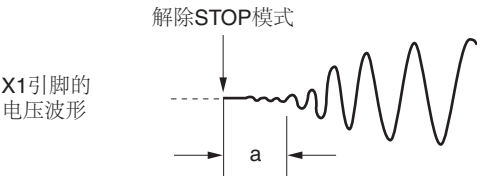
R/W

| | | | | | | | | |
|------|---|---|---|---|---|-------|-------|-------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OSTS | 0 | 0 | 0 | 0 | 0 | OSTS2 | OSTS1 | OSTS0 |

| OSTS2 | OSTS1 | OSTS0 | | 选择振荡稳定时间 | |
|-------|-------|-------|--------------|-------------|-------------|
| | | | | fx = 10 MHz | fx = 20 MHz |
| 0 | 0 | 0 | $2^8/f_x$ | 25.6 μs | 12.8 μs |
| 0 | 0 | 1 | $2^9/f_x$ | 51.2 μs | 25.6 μs |
| 0 | 1 | 0 | $2^{10}/f_x$ | 102.4 μs | 51.2 μs |
| 0 | 1 | 1 | $2^{11}/f_x$ | 204.8 μs | 102.4 μs |
| 1 | 0 | 0 | $2^{13}/f_x$ | 819.2 μs | 409.6 μs |
| 1 | 0 | 1 | $2^{15}/f_x$ | 3.27 ms | 1.64 ms |
| 1 | 1 | 0 | $2^{17}/f_x$ | 13.11 ms | 6.55 ms |
| 1 | 1 | 1 | $2^{18}/f_x$ | 26.21 ms | 13.11 ms |

- 注意事项 1. 用 X1 时钟作为 CPU 时钟并进入 STOP 模式时，执行 STOP 指令之前须设置好 OSTS 寄存器。
- 注意事项 2. 将时钟操作状态控制寄存器 (CSC) 的 MSTOP 位设置为 0 之前，改变 OSTS 寄存器的设置。
- 注意事项 3. X1 时钟振荡稳定时间期间不要更改 OSTS 寄存器的值。
- 注意事项 4. 振荡稳定时间计数器仅在 OSTS 寄存器设置的振荡稳定时间内计数。
- 下列情况下，将 OSTS 寄存器的振荡稳定时间设定为大于开始振荡后将通过 OSTC 寄存器确认的值。
- 高速片上振荡器时钟用作 CPU 时钟时，X1 时钟开始振荡。
 - 高速片上振荡器时钟用作 CPU 时钟且 X1 时钟振荡时，进入 STOP 模式然后解除 STOP 模式。（注意，解除 STOP 模式后，只有 OSTS 寄存器所设置的振荡稳定时间内的状态被设置至 OSTC 寄存器。）

注意事项 5. X1 时钟振荡稳定等待时间不包括开始时钟振荡前的时间（下图“a”）



备注 fx: X1 时钟振荡频率

(6) 外围允许寄存器0、1 (PER0、PER1)

该寄存器用于允许或禁止向外围硬件供应时钟。通过停止向未使用的硬件供应时钟，可以降低功耗和噪声。
使用由该寄存器控制的下列外围功能时，进行外围功能初始设置之前须将对应于各功能的位置位(1)。

- 12位间隔定时器
- A/D转换器
- 串行阵列单元0
- 定时器阵列单元0
- 定时器RD
- 定时器RJ

使用1位或8位存储器操作指令设置PER0和PER1寄存器。

产生复位信号后，该寄存器被清除为00H。

图 5 - 7 外围允许寄存器 0 (PER0) 的格式

| | | | | | | | | |
|------------|--|-----|-------|---|---|--------|---|--------|
| 地址: F00F0H | 复位后: 00H | R/W | | | | | | |
| 符号 | <7> | 6 | <5> | 4 | 3 | <2> | 1 | <0> |
| PER0 | ITEN | 0 | ADCEN | 0 | 0 | SAU0EN | 0 | TAU0EN |
| ITEN | 12 位间隔定时器输入时钟供应的控制 | | | | | | | |
| 0 | 停止输入时钟供应。 • 不可写入用于 12 位间隔定时器的 SFR。 • 12 位间隔定时器处于复位状态。 | | | | | | | |
| 1 | 允许输入时钟供应。 • 可以读取和写入用于 12 位间隔定时器的 SFR。 | | | | | | | |
| ADCEN | A/D 转换器输入时钟供应的控制 | | | | | | | |
| 0 | 停止输入时钟供应。 • 不可写入用于 A/D 转换器的 SFR。 • A/D 转换器处于复位状态。 | | | | | | | |
| 1 | 允许输入时钟供应。 • 可以读取和写入用于 A/D 转换器的 SFR。 | | | | | | | |
| SAU0EN | 串行阵列单元 0 输入时钟供应的控制 | | | | | | | |
| 0 | 停止输入时钟供应。 • 不可写入用于串行阵列单元 0 的 SFR。 • 串行阵列单元 0 处于复位状态。 | | | | | | | |
| 1 | 允许输入时钟供应。 • 可以读取和写入用于串行阵列单元 0 的 SFR。 | | | | | | | |
| TAU0EN | 定时器阵列单元 0 输入时钟供应的控制 | | | | | | | |
| 0 | 停止输入时钟供应。 • 不可写入用于定时器阵列单元 0 的 SFR。 • 定时器阵列单元 0 处于复位状态。 | | | | | | | |
| 1 | 允许输入时钟供应。 • 可以读取和写入用于定时器阵列单元 0 的 SFR。 | | | | | | | |

注意事项 必须将以下位清除为 0。
必须将 PER0 寄存器的位 1、3、4、6 设置为 0。

图 5 - 8 外围允许寄存器 1 (PER1) 的格式

地址: F007AH

复位后: 00H

R/W

| | | | | | | | | |
|------|---|---|---|-----------------------|---|---|---|--------|
| 符号 | 7 | 6 | 5 | <4> | 3 | 2 | 1 | <0> |
| PER1 | 0 | 0 | 0 | TRD0EN ^{注 1} | 0 | 0 | 0 | TRJ0EN |

| | |
|-----------------------|---|
| TRD0EN ^{注 1} | 定时器RD输入时钟供应的控制 |
| 0 | 停止输入时钟供应。 • 不可写入用于定时器RD的SFR。 • 定时器RD处于复位状态。 |
| 1 | 允许输入时钟供应。 • 可以读取和写入用于定时器RD的SFR。 |

| | |
|--------|---|
| TRJ0EN | 定时器RJ0输入时钟供应的控制 |
| 0 | 停止输入时钟供应。 • 不可写入用于定时器RJ0的SFR。 • 定时器RJ0处于复位状态。 |
| 1 | 允许输入时钟供应。 • 可以读取和写入用于定时器RJ0的SFR。 |

注 1. 当用户选项字节 (000C2H) 被设置为 FRQSEL4 = 1 时，在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前，要把 fCLK 设置为 fIH。在将 fCLK 更改为 fIH 以外的时钟时，要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

注意事项 必须将以下位清除为 0。
必须将 PER1 寄存器的位 1 至 3、5 至 7 设置为 0。

(7) 操作速度模式控制寄存器 (OSMC)

该寄存器是通过停止不必要的时钟功能来降低功耗的目的。

OSMC 寄存器用于选择 12 位间隔定时器的工作时钟。

使用 8 位存储器操作指令设置 OSMC 寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 5 - 9 操作速度模式控制寄存器 (OSMC) 的格式

| | | | | | | | | |
|------------|---------------------------|-----|---|----------|---|---|---|---|
| 地址: F00F3H | 复位后: 00H | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OSMC | 0 | 0 | 0 | WUTMMCK0 | 0 | 0 | 0 | 0 |
| WUTMMCK0 | 选择 12 位间隔定时器和定时器 RJ 的工作时钟 | | | | | | | |
| 0 | 禁止设置 | | | | | | | |
| 1 | 低速片上振荡器时钟 (fil) | | | | | | | |

(8) 高速片上振荡器频率选择寄存器 (HOCODIV)

通过高速片上振荡器频率选择寄存器(HOCODIV)，可以改变由选项字节(000C2H)设置的高速片上振荡器的频率。然而，可以选择的频率因选项字节(000C2H)的FRQSEL4和FRQSEL3位而异。

使用8位存储器操作指令设置HOCODIV寄存器。

产生复位信号后，该寄存器被清除为初始值（不定）。

图 5 - 10 高速片上振荡器频率选择寄存器 (HOCODIV) 的格式

| | | | | | | | | |
|------------|---------|-----|---|---|---|----------|----------|----------|
| 地址: F00A8H | 复位后: 不定 | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| HOCODIV | 0 | 0 | 0 | 0 | 0 | HOCODIV2 | HOCODIV1 | HOCODIV0 |

| HOCODIV2 | HOCODIV1 | HOCODIV0 | 高速片上振荡器时钟频率选择 | | |
|----------|----------|----------|--------------------------|--------------------------|--|
| | | | FRQSEL4 = 0 | | FRQSEL4 = 1 |
| | | | FRQSEL3 = 0 | FRQSEL3 = 1 | FRQSEL3 = 0 |
| 0 | 0 | 0 | f _{IH} = 24 MHz | 禁止设置 | f _{IH} = 24 MHz f _{HOCO} = 48 MHz |
| 0 | 0 | 1 | f _{IH} = 12 MHz | f _{IH} = 16 MHz | f _{IH} = 12 MHz f _{HOCO} = 24 MHz |
| 0 | 1 | 0 | f _{IH} = 6 MHz | f _{IH} = 8 MHz | f _{IH} = 6 MHz f _{HOCO} = 12 MHz |
| 0 | 1 | 1 | f _{IH} = 3 MHz | f _{IH} = 4 MHz | f _{IH} = 3 MHz f _{HOCO} = 6 MHz |
| 1 | 0 | 0 | 禁止设置 | f _{IH} = 2 MHz | 禁止设置 |
| 1 | 0 | 1 | 禁止设置 | f _{IH} = 1 MHz | 禁止设置 |
| 其他 | | | 禁止设置 | | |

注意事项 1. 在更改频率之前和之后，在可操作电压范围内设置**HOCODIV**寄存器。

注意事项 2. 即使在使用**HOCODIV**寄存器改变频率之后，也要使器件工作于选项字节(000C2H)设置的**flash**操作模式电压范围之内。

| 选项字节(000C2H)值 | | Flash操作模式 | 工作频率范围 | 工作电压范围 |
|---------------|--------|-----------|----------|-----------|
| CMODE1 | CMODE2 | | | |
| 1 | 0 | LS（低速主）模式 | 1至8 MHz | 2.7至5.5 V |
| 1 | 1 | HS（高速主）模式 | 1至24 MHz | 2.7至5.5 V |
| 禁止设置 | | 其他 | | |

注意事项 3. 通过**HOCODIV**寄存器更改频率值后，器件在**3**个时钟内以设置前的频率工作。将高速片上振荡器时钟设为系统时钟时，还无需**3**分钟的时钟振荡稳定等待。


注意事项 4. 为更改**X1**振荡、外部振荡输入时的高速片上振荡器的频率，通过设置**CSC**寄存器的位**0** (**HIOSTOP**)为**1**来停止高速片上振荡器，然后更改频率。

(9) 高速片上振荡器调节寄存器 (HIOTRM)

该寄存器用于调节高速片上振荡器的精度。
通过采用了高精度外接时钟输入的定时器等来对高速片上振荡器的频率进行自我测量，从而调节精度。
使用8位存储器操作指令设置HIOTRM寄存器。

注意事项 调节精度后如果温度和 VDD 引脚电压发生改变，则频率也会有所变化。温度和 VDD 电压发生变化的情况下，必须定期或在需要高精度频率之前执行精度调节。

图 5 - 11 高速片上振荡器调节寄存器 (HIOTRM) 的格式

| | | | | | | | | |
|------------|---------|---------|---------|---------|---------|---------|--|---------|
| 地址: F00A0H | 复位后: 注 | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| HIOTRM | 0 | 0 | HIOTRM5 | HIOTRM4 | HIOTRM3 | HIOTRM2 | HIOTRM1 | HIOTRM0 |
| | HIOTRM5 | HIOTRM4 | HIOTRM3 | HIOTRM2 | HIOTRM1 | HIOTRM0 | 高速片上振荡器 | |
| | 0 | 0 | 0 | 0 | 0 | 0 | 最低速度 | |
| | 0 | 0 | 0 | 0 | 0 | 1 |  | |
| | 0 | 0 | 0 | 0 | 1 | 0 | | |
| | 0 | 0 | 0 | 0 | 1 | 1 | | |
| | 0 | 0 | 0 | 1 | 0 | 0 | | |
| | | | | | | | | |
| | | | • | | | | | |
| | | | • | | | | | |
| | | | • | | | | | |
| | 1 | 1 | 1 | 1 | 1 | 0 | | |
| | 1 | 1 | 1 | 1 | 1 | 1 | 最高速度 | |

注 复位值因芯片而异。

5.4 系统时钟振荡电路

5.4.1 X1 振荡电路

X1 振荡电路是通过连接至 X1 和 X2 引脚的晶体谐振器或陶瓷谐振器（1 至 20 MHz）发生振荡。

也可输入外接时钟。此时，将时钟信号输入至 EXCLK 引脚。

要使用 X1 振荡电路，须将时钟操作模式控制寄存器(CMC)的位 7 和位 6（EXCLK、OSCSEL）设置如下。

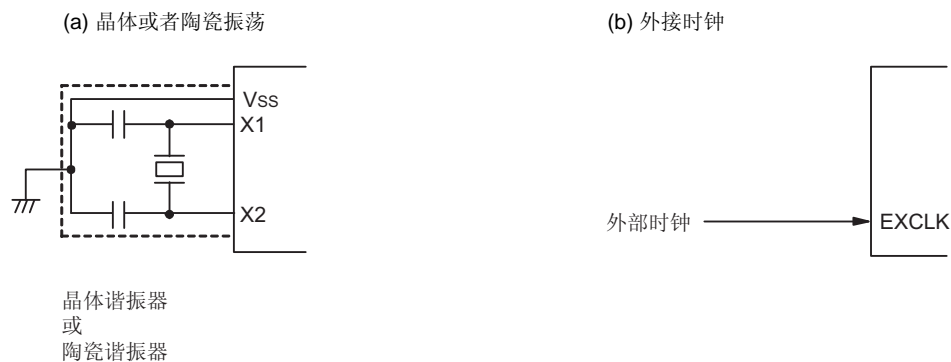
- 晶体或者陶瓷振荡：EXCLK、OSCSEL = 0, 1
- 外接时钟输入：EXCLK、OSCSEL = 1, 1

不使用 X1 振荡电路时，设置为输入端口模式（EXCLK、OSCSEL = 0、0）。

当引脚也不用作输入端口时，请参阅表 2-3 未使用引脚的连接。

X1 振荡电路的外接电路示例如图 5-12 所示。

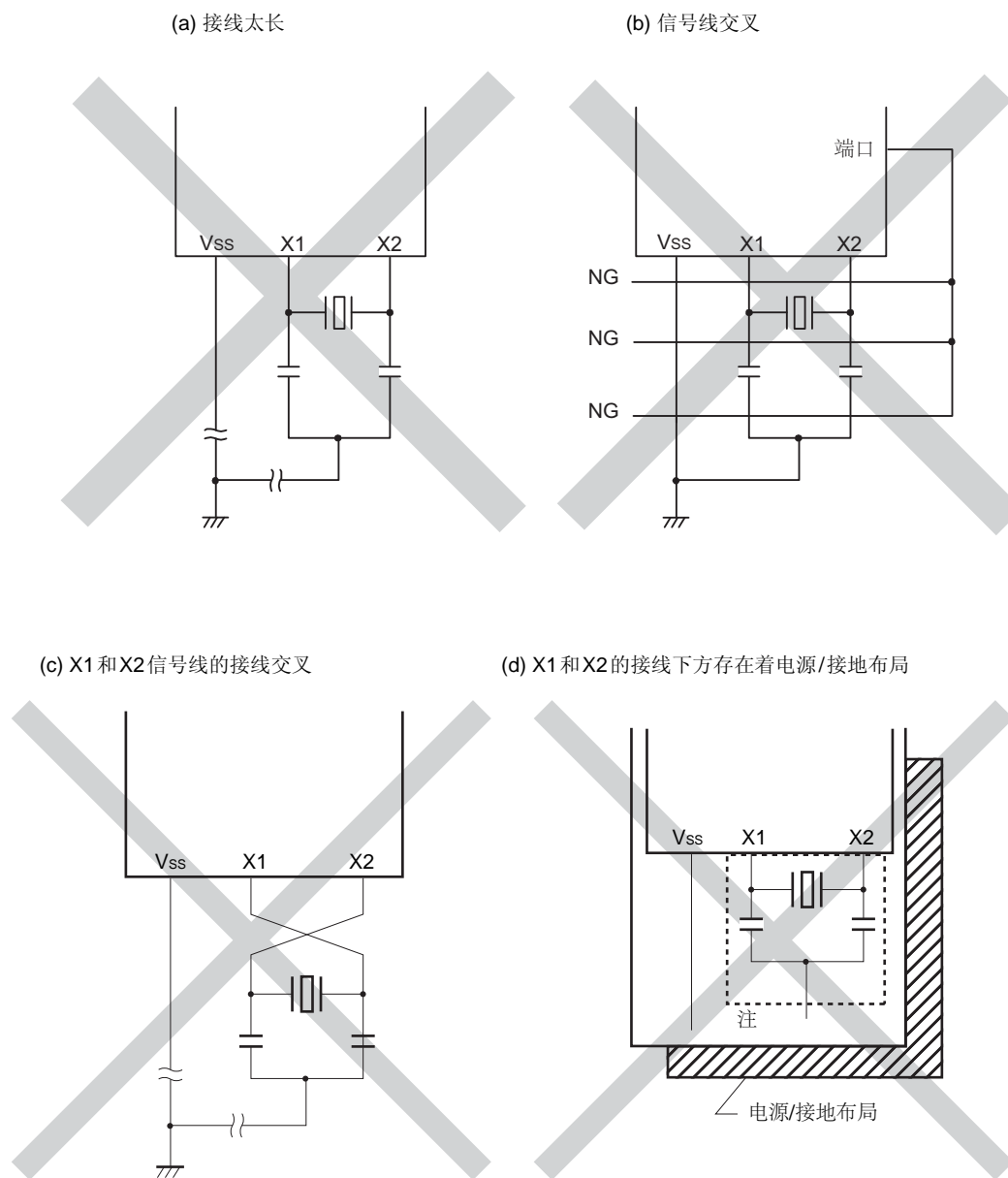
图 5-12 X1 振荡电路的外接电路示例



注意事项如下页所示。

图 5 - 13 为不正确的谐振器连接示例。

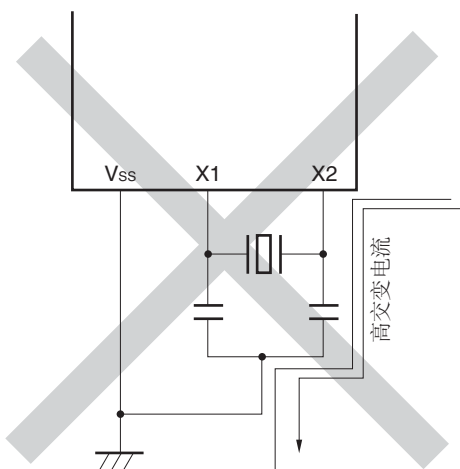
图 5 - 13 不正确的谐振器连接示例(1/2)



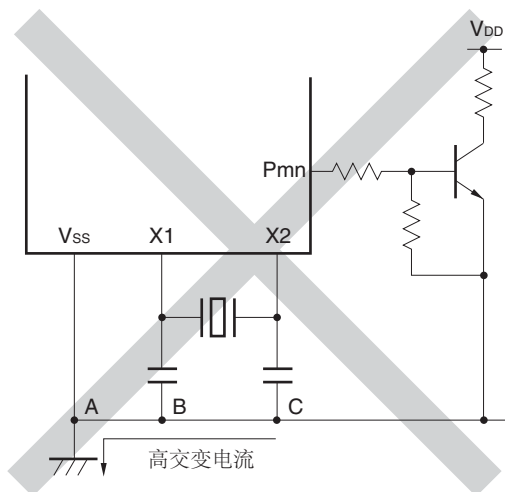
注 在多层板或双面板中，不得在 X1 和 X2 引脚以及谐振器的布线区（图中虚线围住的区域）设置电源/接地布局。不得配置会形成电容效应并影响振荡特性的布局。

图 5-14 不正确的谐振器连接示例 (2/2)

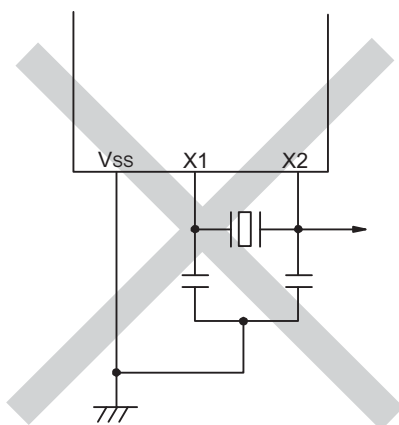
(e) 在高交变电流的附近接线



(f) 电流通过振荡器的接地线



(g) 信号提取



5.4.2 高速片上振荡器

μPD79F7027, μPD79F7028 内置有高速片上振荡器。通过选项字节 (000C2H) 可从以下范围中选择频率: 48、24、16、12、8、4 或 1MHz。当选择 48 MHz 时, 所选时钟的二频分被供应至 CPU 时钟。可以通过时钟操作状态控制寄存器 (CSC) 的位 0 (HIOSTOP) 来控制振荡。

解除复位后高速片上振荡器自动开始振荡。

5.4.3 低速片上振荡器

μPD79F7027, μPD79F7028 内置有低速片上振荡器。

低速片上振荡器时钟只能用作看门狗定时器、12 位间隔定时器和定时器 RJ 的时钟。低速片上振荡器时钟不能用作 CPU 时钟。

当选项字节 (000C0H) 的位 4 (WDTON) 或操作速度模式控制寄存器 (OSMC) 的位 4 (WUTMMCK0) 或者两者同时设置为 1 时, 该时钟工作。

除非看门狗定时器停止工作且 WUTMMCK0 的值为零, 否则低速片上振荡器将持续振荡。当看门狗定时器运行时, 即使程序失控低速片上振荡器时钟也不会停止。

5.5 时钟发生电路的操作

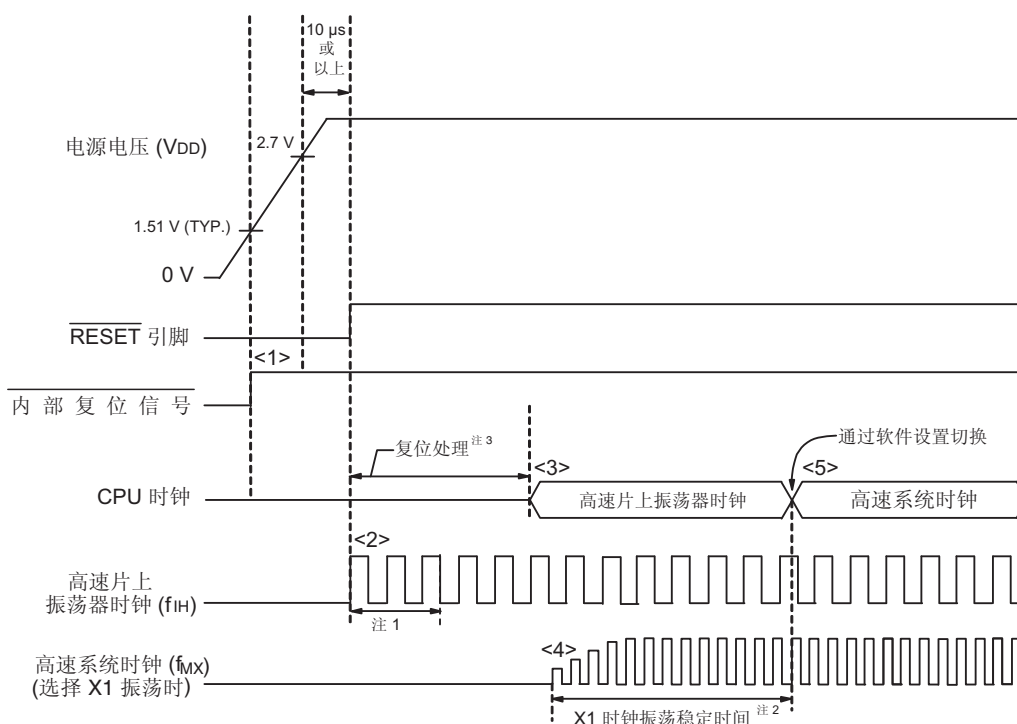
时钟发生电路产生如下所示时钟，并控制例如待机模式等 CPU 的操作模式（参阅图 5 - 1）。

- 主系统时钟 fMAIN
 - 高速系统时钟 fMX
 - X1 时钟 fx
 - 外部主系统时钟 fEX
 - 高速片上振荡器时钟 fiH
- 低速片上振荡器时钟 fiL
- CPU/外围硬件时钟 fCLK

在 μPD79F7027, μPD79F7028 中，解除复位后，CPU 将在高速片上振荡器开始输出后开始工作。

电源电压投入时，时钟发生电路的操作如图 5 - 15 所示。

图 5 - 15 电源投入时时钟发生电路的操作



- <1> 投入电源后，上电复位(POR)电路产生内部复位信号。但使用电压检测功能或复位引脚保持复位状态，直到电压达到保证操作的最小电压（上图显示了在使用复位引脚时的示例）。
- <2> 当复位被解除时，高速片上振荡器自动开始振荡。
- <3> 解除复位并执行例如等待电源电压或稳压器稳定之类的复位处理后，CPU以高速片上振荡器时钟开始运行。
- <4> 通过软件启动X1的振荡（参阅5.6.2 X1振荡时钟的设置示例）。
- <5> 将CPU时钟切换为X1时，等时钟振荡稳定后，通过软件设置切换（参阅5.6.2 X1振荡时钟的设置示例）。

注 1. 内部复位处理时间包括高速片上振荡器时钟的振荡精度稳定等待时间。

注 2. 解除复位时，通过振荡稳定时间计数器状态寄存器(OSTC)确认X1时钟的振荡稳定时间。

注意事项 使用来自EXCLK引脚的外接时钟输入时，不必等待振荡稳定时间。

5.6 控制时钟

5.6.1 高速片上振荡器的设置示例

解除复位后，CPU/外围硬件时钟(fCLK)总是开始工作于高速片上振荡器时钟。通过选项字节(000C2H)的FRQSEL0至FRQSEL4，可从以下范围内选择高速片上振荡器的频率：48、24、16、12、8、4和1 MHz。另外，可以通过高速片上振荡器频率选择寄存器(HOCODIV)来更改频率。

[选项字节设置]

地址：000C2H

| | | | | | | | | |
|------------------|---------------|---------------|---|----------------|----------------|----------------|----------------|----------------|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| 选项字节 (000C2H) | CMODE1 0/1 | CMODE0 0/1 | 1 | FRQSEL4 0/1 | FRQSEL3 0/1 | FRQSEL2 0/1 | FRQSEL1 0/1 | FRQSEL0 0/1 |

| | | | | | | | | |
|--------|--------|--------------|--|--|--|--|--|--|
| CMODE1 | CMODE0 | Flash操作模式的设置 | | | | | | |
| 1 | 0 | LS（低速主）模式 | | | | | | |

[高速片上振荡器频率选择寄存器(HOCODIV)设置]

地址: F00A8H

| | | | | | | | | |
|---------|---|---|---|---|---|----------|----------|----------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| HOCODIV | 0 | 0 | 0 | 0 | 0 | HOCODIV2 | HOCODIV1 | HOCODIV0 |

| HOCODIV2 | HOCODIV1 | HOCODIV0 | 高速片上振荡器时钟频率选择 | | |
|----------|----------|----------|--------------------------|--------------------------|--|
| | | | FRQSEL4 = 0 | | FRQSEL4 = 1 |
| | | | FRQSEL3 = 0 | FRQSEL3 = 1 | FRQSEL3 = 0 |
| 0 | 0 | 0 | f _{IH} = 24 MHz | 禁止设置 | f _{IH} = 24 MHz f _{HOCO} = 48 MHz |
| 0 | 0 | 1 | f _{IH} = 12 MHz | f _{IH} = 16 MHz | f _{IH} = 12 MHz f _{HOCO} = 24 MHz |
| 0 | 1 | 0 | f _{IH} = 6 MHz | f _{IH} = 8 MHz | f _{IH} = 6 MHz f _{HOCO} = 12 MHz |
| 0 | 1 | 1 | f _{IH} = 3 MHz | f _{IH} = 4 MHz | f _{IH} = 3 MHz f _{HOCO} = 6 MHz |
| 1 | 0 | 0 | 禁止设置 | f _{IH} = 2 MHz | 禁止设置 |
| 1 | 0 | 1 | 禁止设置 | f _{IH} = 1 MHz | 禁止设置 |
| 其他 | | | 禁止设置 | | |

5.6.2 X1 振荡时钟的设置示例

解除复位后，CPU/外围硬件时钟(fCLK)总是开始工作于高速片上振荡器时钟。之后，要将时钟切换为X1振荡时钟时，须使用振荡稳定时间选择寄存器(OSTS)、时钟操作模式控制寄存器(CMC)和时钟操作状态控制寄存器(CSC)设置振荡器以及控制振荡的开始，并通过振荡稳定时间计数器状态寄存器(OSTC)等待振荡稳定。振荡稳定后，使用系统时钟控制寄存器(CKC)将X1振荡时钟设置为fCLK。

[寄存器设置] 按照如下<1>至<5>的顺序设置寄存器。

<1> 将CMC寄存器的OSCSEL位置位(1)，在fx等于或大于10 MHz时，将AMPH位置位(1)，使X1振荡电路开始工作。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|------------|-------------|-------------|--------------|---|-------------|-------------|-----------|
| CMC | EXCLK 0 | OSCSEL 1 | EXCLKS 0 | OSCSELS 0 | 0 | AMPHS1 0 | AMPHS0 0 | AMPH 1 |

AMPH位：当X1振荡时钟等于或小于10 MHz时，将该位设置为0。

<2> 解除STOP模式时，使用OSTS寄存器选择X1振荡电路的振荡稳定时间。

示例：当基于10 MHz谐振器设置至少等待102.4 μs时，设置为以下值。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|---|---|---|---|------------|------------|------------|
| OSTS | 0 | 0 | 0 | 0 | 0 | OSTS2 0 | OSTS1 1 | OSTS0 0 |

<3> 清除CSC寄存器的MSTOP位为0，使X1振荡电路开始振荡。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|------------|-------------|---|---|---|---|---|--------------|
| CSC | MSTOP 0 | XTSTOP 1 | 0 | 0 | 0 | 0 | 0 | HIOSTOP 0 |

<4> 通过OSTC寄存器等待X1振荡电路的振荡稳定。

示例：当基于10 MHz谐振器设置至少等待102.4 μs时，须等到各个位成为以下的值为止。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|------------|------------|-------------|-------------|-------------|-------------|-------------|-------------|
| OSTC | MOST8 1 | MOST9 1 | MOST10 1 | MOST11 0 | MOST13 0 | MOST15 0 | MOST17 0 | MOST18 0 |

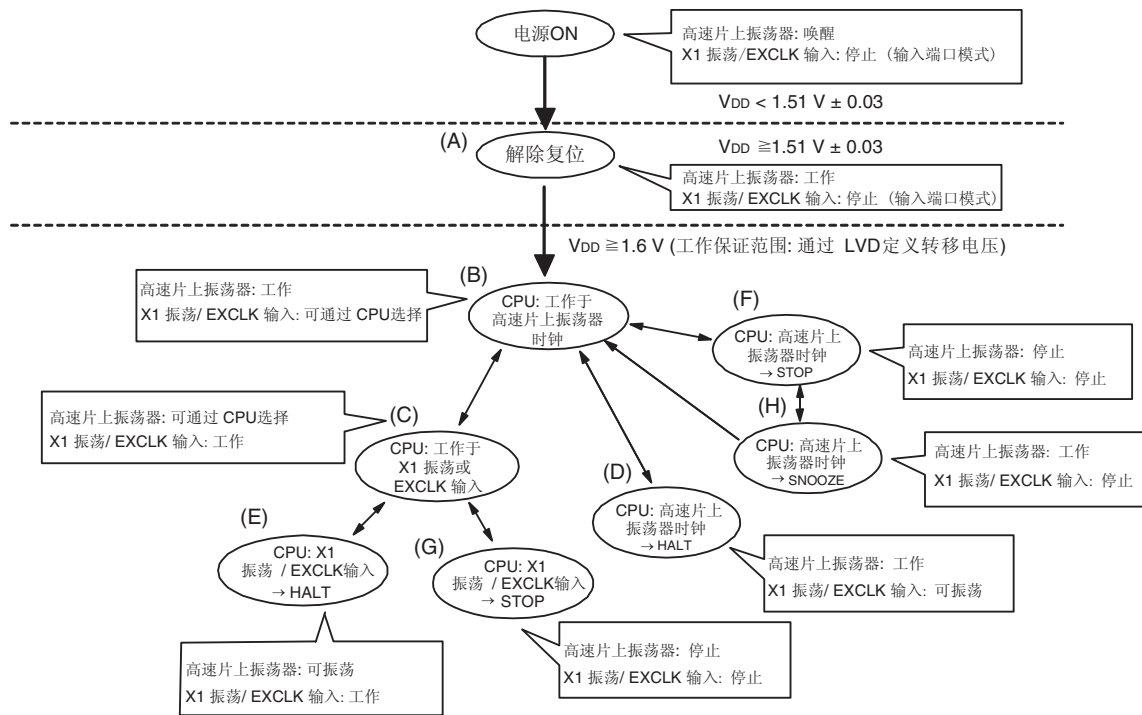
<5> 使用CKC寄存器的MCM0位将X1振荡时钟指定为CPU/外围硬件时钟。

| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|----------|----------|----------|-----------|---|---|---|---|
| CKC | CLS 0 | CSS 0 | MCS 0 | MCM0 1 | 0 | 0 | 0 | 0 |

5.6.3 CPU时钟状态转换图

本产品的CPU时钟状态转换图如图 5 - 16所示。

图 5 - 16 CPU时钟状态转换图



CPU时钟转换和SFR寄存器的设置示例如所表 5 - 3至5 - 5示。

表 5 - 3 CPU时钟转换和SFR寄存器的设置示例 (1/3)

(1) 解除复位(A)后，CPU工作于高速片上振荡器时钟(B)

| 状态转换 | SFR 寄存器设置 |
|-----------|-------------------------|
| (A) → (B) | 无需设置SFR寄存器（解除复位后的初始状态）。 |

(2) 解除复位(A)后，CPU工作于高速系统时钟(C)
(CPU在解除复位(B)后立即工作于高速片上振荡器时钟。)

| (SFR寄存器的设置顺序) → | | | | | | | |
|---|------------|--------|------|----------|---------|----------|---------|
| 状态转换 | CMC 寄存器注 1 | | | OSTS 寄存器 | CSC 寄存器 | OSTC 寄存器 | CKC 寄存器 |
| | EXCLK | OSCSEL | AMPH | | MSTOP | | MCM0 |
| (A) → (B) → (C) (X1时钟: 1 MHz ≤ f _x ≤ 10 MHz) | 0 | 1 | 0 | 注 2 | 0 | 需确认 | 1 |
| (A) → (B) → (C) (X1时钟: 10 MHz < f _x ≤ 20 MHz) | 0 | 1 | 1 | 注 2 | 0 | 需确认 | 1 |
| (A) → (B) → (C) (外部主时钟) | 1 | 1 | × | 注 2 | 0 | 不需确认 | 1 |

- 注 1. 只能在解除复位后通过8位存储器操作指令写入时钟操作模式控制寄存器(CMC)一次。
- 注 2. 按下述方式设置振荡稳定时间。
 - 振荡稳定时间计数器状态寄存器(OSTC)所需的振荡稳定时间 ≤ 振荡稳定时间选择寄存器(OSTS)设置的振荡稳定时间

注意事项 当电源电压达到待设置时钟的可操作电压之后，再设置该时钟（参阅第 27 章 电特性）。

- 备注 1. ×: 忽略
- 备注 2. 表 5 - 3至5 - 5中的(A)至(H)对应于图 5 - 16中的(A)至(H)。

表 5 - 4 CPU时钟转换和SFR寄存器的设置示例(2/3)

(3) CPU时钟从高速片上振荡器时钟(B)改变为高速系统时钟(C)

(SFR寄存器的设置顺序) →

| SFR寄存器的设置标志 状态转换 | CMC寄存器 ^{注1} | | | OSTS 寄存器 | CSC 寄存器 | OSTC 寄存器 | CKC 寄存器 |
|---|----------------------|--------|------|-------------|------------|-------------|------------|
| | EXCLK | OSCSEL | AMPH | | MSTOP | | |
| (B) → (C) (X1时钟: 1 MHz ≤ f _x ≤ 10 MHz) | 0 | 1 | 0 | 注 2 | 0 | 需确认 | 1 |
| (B) → (C) (X1时钟: 10 MHz < f _x ≤ 20 MHz) | 0 | 1 | 1 | 注 2 | 0 | 需确认 | 1 |
| (B) → (C) (外部主时钟) | 1 | 1 | × | 注 2 | 0 | 不需确认 | 1 |

曾经设置完毕则无必要

高速系统时钟振荡中则
无必要

注 1. 解除复位后，只能更改时钟操作模式控制寄存器(CMC)一次。已经设置完毕的情况下不需要再次设置。

注 2. 按下述方式设置振荡稳定时间。

- 振荡稳定时间计数器状态寄存器(OSTC)所需的振荡稳定时间 ≤ 振荡稳定时间选择寄存器(OSTS)设置的振荡稳定时间

注意事项 当电源电压达到待设置时钟的可操作电压之后设置该时钟（参阅第 27 章 电特性）。

备注 1. ×: 忽略

备注 2. 表 5 - 3至5 - 5中的(A)至(H)对应于图 5 - 16中的(A)至(H)。

(4) CPU时钟从高速系统时钟(C)改变为高速片上振荡器时钟(B)

(SFR寄存器的设置顺序) →

| SFR寄存器的设置标志 状态转换 | CSC寄存器 | 振荡精确度稳定时间 | CKC寄存器 |
|---------------------|---------|-----------|--------|
| | HIOSTOP | | MCM0 |
| (C) → (B) | 0 | 30 μs | 0 |

高速片上振荡器时钟振荡中则无必要

备注 表 5 - 3至5 - 5中的(A)至(H)对应于图 5 - 16中的(A)至(H)。

表 5 - 5 CPU 时钟转换和SFR 寄存器的设置示例 (3/3)

- (5) • 当CPU工作于高速片上振荡器时钟(B)时切换为HALT(D)
- 当CPU工作于高速系统时钟(C)时切换为HALT 模式(E)

| 状态转换 | 设置 |
|------------------------|------------|
| (B) → (D) (C) → (E) | 执行 HALT 指令 |

备注 表 5 - 3至5 - 5中的(A)至(H)对应于图 5 - 16中的(A)至(H)。

- (6) • 当CPU工作于高速片上振荡器时钟(B)时切换为STOP 模式(F)
- 当CPU工作于高速系统时钟(C)时切换为STOP 模式(G)

(设置顺序) →

| 状态转换 | | 设置 | | |
|-----------|----------|--------------------------|-------------|------------|
| (B) → (F) | | 停止无法工作于 STOP 模式 的外围功能 | — | 执行 STOP 指令 |
| (C) → (G) | 在 X1 振荡时 | | 设置 OSTS 寄存器 | |
| | 外部主系统时钟 | | — | |

- (7) CPU 从 STOP 模式(H) 切换至 SNOOZE 模式(H)
- 关于从STOP 模式切换至 SNOOZE 模式的设置详情，请参阅 12.8 SNOOZE 模式功能、13.5.7 SNOOZE 模式功能和 13.7.3 SNOOZE 模式功能。

备注 表 5 - 3至5 - 5中的(A)至(H)对应于图 5 - 16中的(A)至(H)。

5.6.4 转换 CPU 时钟之前的条件以及转换 CPU 时钟之后的处理

转换 CPU 时钟之前的条件以及转换 CPU 时钟之后的处理如下所示。

表 5 - 6 转换 CPU 时钟

| CPU 时钟 | | 转换前的条件 | 转换后的处理 |
|-----------|-----------|--|-------------------------------------|
| 转换前 | 转换后 | | |
| 高速片上振荡器时钟 | X1 时钟 | X1 振荡稳定 • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 经过了振荡稳定时间 | 通过停止高速片上振荡器 (HIOSTOP = 1) 可以减小操作电流。 |
| | 外部主系统时钟 | 使 EXCLK 引脚的外接时钟输入有效 • OSCSEL = 1, EXCLK = 1, MSTOP = 0 | |
| X1 时钟 | 高速片上振荡器时钟 | 高速片上振荡器振荡中 • HIOSTOP = 0 | 可以停止 X1 振荡 (MSTOP = 1)。 |
| | 外部主系统时钟 | 不可以转换 | — |
| 外部主系统时钟 | 高速片上振荡器时钟 | 高速片上振荡器振荡中 • HIOSTOP = 0 | 可以禁止外部主系统时钟输入 (MSTOP = 1)。 |
| | X1 时钟 | • 不可以转换 • 经过了振荡稳定时间 | — |

5.6.5 切换 CPU 时钟和切换主系统时钟所需要的时间

通过设置系统时钟控制寄存器(CKC)的位4 (MCM0)，可以切换主系统时钟（在高速片上振荡器时钟与高速系统时钟之间）。

改写 CKC 寄存器之后，并不立即进行实际切换；将以切换前的时钟继续操作数个时钟周期（参阅表 5 - 7 和 5 - 8）。

通过 CKC 寄存器的位5 (MCS) 来确认主系统时钟是工作于高速系统时钟还是高速片上振荡器时钟。

切换 CPU 时钟时，外围硬件时钟也同时被切换。

表 5 - 7 切换主系统时钟需要的最长时间

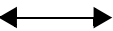
| 时钟 A | 切换方向 | 时钟 B | 备注 |
|-----------------|---|-----------------|-----------|
| f _{IH} |  | f _{MX} | 参阅表 5 - 8 |

表 5 - 8 f_{IH} ↔ f_{MX}需要的最大时钟数

| 切换前的设置值 | | 切换后的设置值 | |
|---|-----------------------------------|---|---|
| MCM0 | | MCM0 | |
| | | 0 (f _{MAIN} = f _{IH}) | 1 (f _{MAIN} = f _{MX}) |
| 0 (f _{MAIN} = f _{IH}) | f _{MX} ≥ f _{IH} | | 2 个时钟 |
| | f _{MX} < f _{IH} | | 1 + f _{IH} /f _{MX} 时钟 |
| 1 (f _{MAIN} = f _{IH}) | f _{MX} ≥ f _{IH} | 2f _{MX} /f _{IH} 时钟 | |
| | f _{MX} < f _{IH} | 2 个时钟 | |

- 备注 1. 表 5 - 8 中列出的时钟数是切换前的 CPU 时钟数。
- 备注 2. 计算表 5 - 8 中列出的时钟数时去掉小数部分。
- 示例 当主系统时钟从高速系统时钟切换至高速片上振荡器时钟（@ 振荡频率 f_{IH} = 8 MHz， f_{MX} = 10 MHz）
2f_{MX}/f_{IH} = 2 (10/8) = 2.5 → 3 个时钟

5.6.6 停止时钟振荡前的条件

用于停止时钟振荡（禁止外接时钟输入）的寄存器标志设置以及停止时钟振荡之前的条件如下所示。

表 5 - 9 停止时钟振荡前的条件和标志设置

| 时钟 | 停止时钟振荡前的条件 (禁止外接时钟输入) | SFR 寄存器的标志设置 |
|-----------|-------------------------------------|--------------|
| 高速片上振荡器时钟 | MCS = 1 (CPU 工作于高速片上振荡器时钟以外的时钟。) | HIOSTOP = 1 |
| X1 时钟 | MCS = 0 (CPU 工作于高速系统时钟以外的时钟。) | MSTOP = 1 |
| 外部主系统时钟 | | |

5.7 经操作验证的谐振器和参考振荡电路常数（截止到2012年6月）

经操作验证的谐振器及其参考振荡电路常数如下所示。

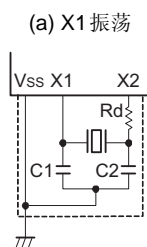
这些振荡电路常数是以谐振器制造商在具体环境中进行的评估为基础的，仅供参考。

在实际应用中，如果需要优化谐振器的特性参数，请向谐振器制造商提出针对应用电路的评估申请。

振荡电压和振荡频率只表示振荡器特性。

使用 μ PD79F7027, μ PD79F7028时，要使内部操作条件符合DC 和AC特性规范。

图 5 - 17 外部电路的示例



(1) X1 振荡

| 制造商 | 谐振器 | 产品编号 | SMD/ 铅 | 频率(MHz) | Flash操作 模式注 1 | 电路常数（参考）注 2 | | | 电压范围(V) | |
|-----------------------------|-------|-----------------|-----------|---------|------------------|-------------|------------|------------|---------|-----|
| | | | | | | C1 (pF) | C2 (pF) | Rd (kΩ) | 最小值 | 最大值 |
| 村田制作所 | 陶瓷谐振器 | CSTCR4M00G55-R0 | SMD | 4.0 | LS | (39) | (39) | 0 | 2.7 | 5.5 |
| | | CSTLS4M00G53-B0 | 铅 | | | (15) | (15) | 0 | | |
| | | CSTCR5M00G53-R0 | SMD | 5.0 | | (15) | (15) | 0 | | |
| | | CSTLS5M00G53-B0 | 铅 | | | (15) | (15) | 0 | | |
| | | CSTCR6M00G53-R0 | SMD | 6.0 | | (15) | (15) | 0 | | |
| | | CSTLS6M00G53-B0 | 铅 | | | (15) | (15) | 0 | | |
| | | CSTCE8M00G52-R0 | SMD | 8.0 | | (10) | (10) | 0 | | |
| | | CSTLS8M00G53-B0 | 铅 | | | (15) | (15) | 0 | | |
| | | CSTCR5M00G53-R0 | SMD | 5.0 | HS | (15) | (15) | 0 | 2.7 | 5.5 |
| | | CSTLS5M00G53-B0 | 铅 | | | (15) | (15) | 0 | | |
| | | CSTCR6M00G53-R0 | SMD | 6.0 | | (15) | (15) | 0 | | |
| | | CSTLS6M00G53-B0 | 铅 | | | (15) | (15) | 0 | | |
| | | CSTCE8M00G52-R0 | SMD | 8.0 | | (10) | (10) | 0 | | |
| | | CSTLS8M00G53-B0 | 铅 | | | (15) | (15) | 0 | | |
| | | CSTCE10M0G52-R0 | SMD | 10.0 | | (10) | (10) | 0 | | |
| | | CSTLS10M0G53-B0 | 铅 | | | (15) | (15) | 0 | | |
| | | CSTCE16M0V53-R0 | SMD | 16.0 | | (15) | (15) | 0 | | |
| | | CSTLS16M0X51-B0 | 铅 | | | (5) | (5) | 0 | | |
| | | CSTCE20M0V51-R0 | SMD | 20.0 | HS | (5) | (5) | 0 | 2.7 | 5.5 |
| | | CSTLS20M0X51-B0 | 铅 | | | (5) | (5) | 0 | | |
| Nihon Dempa Kogyo Co., Ltd. | 陶瓷谐振器 | NX3225HA 注 3 | SMD | 20 | HS | 注 3 | | | 2.7 | 5.5 |

注 1. 通过选项字节 (000C2H) 的 CMODE1 和 CMODE0 位设置 flash 操作模式。

注 2. C1 和 C2 栏括号中的值表示内部电容。

注 3. 在使用这些谐振器时, 请联系 Nihon Dempa Kogyo Co., Ltd (<http://www.ndk.com/en>), 以了解有关匹配的详情。

(注意事项如下页所示。)

注意事项 1. 以上所示经操作验证的谐振器的参数和参考振荡电路常数仅为参考值，其以谐振器制造商提供的信息为基础。瑞萨电子公司不对这些值作任何担保。

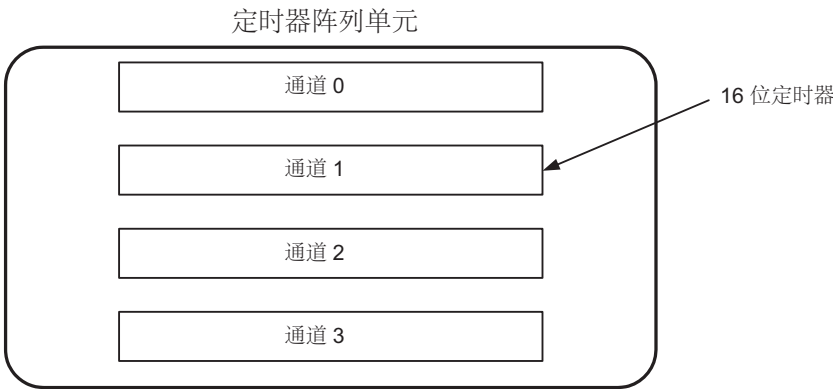
参考振荡电路常数为谐振器制造商在特定操作条件下进行测试的结果。实际系统中的值可能有所不同。有关适用于您的系统的最佳振荡电路常数，请与谐振器制造商联系，以对实际电路进行评估。另外，以上条件为连接至 **MCU** 的谐振器发生振荡的条件，并不表示 **MCU** 的操作条件。请在符合 **DC** 和 **AC** 特性规范的操作条件下使用 **MCU**。

注意事项 2. 因反馈电阻内置于 **MCU** 之中，故留空。

第 6 章 定时器阵列单元

定时器阵列单元具有4个16位定时器。

每个16位定时器被称为一个通道，可用作独立的定时器。另外，两个或更多“通道”可用来构建一个高精度的定时器。



关于每个功能的详情，请参阅下表。

| 单通道操作功能 | 多通道联动操作功能 |
|--|--|
| <ul style="list-style-type: none">• 间隔定时器（→ 参阅 6.7.1）• 方波输出（→ 参阅 6.7.1）• 外部事件计数器（→ 参阅 6.7.2）• 分频器功能注（→ 参阅 6.7.3）• 输入脉冲间隔测量（→ 参阅 6.7.4）• 输入信号的高/低电平宽度的测量（→ 参阅 6.7.5）• 延迟计数器（→ 参阅 6.7.6） | <ul style="list-style-type: none">• 单触发脉冲输出（→ 参阅 6.8.1）• PWM 输出（→ 参阅 6.8.2）• 多重 PWM 输出（→ 参阅 6.8.3） |

注 仅限定时器阵列单元0的通道0。

可以将单元0的通道1和通道3的16位定时器用作两个8位定时器（高位和低位）。将通道1和通道3用作8位定时器时可用的功能如下：

- 间隔定时器
- 外部事件计数器（仅限低8位定时器）
- 延迟计数器（仅限低8位定时器）

6.1 定时器阵列单元功能

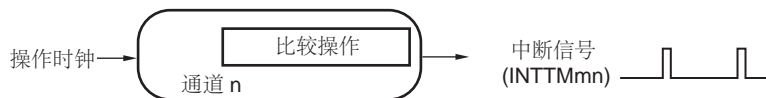
定时器阵列单元具有以下功能：

6.1.1 单通道操作功能

通过单独操作一个通道，从而不受其他通道操作模式影响地达到以下目的。

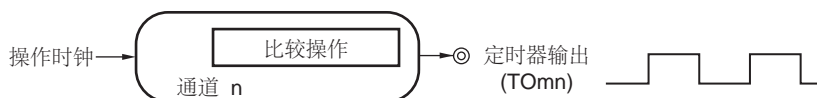
(1) 间隔定时器

单元中的各个定时器都可用作按照固定间隔产生中断(INTTMmn)的基准定时器。



(2) 方波输出

每当产生INTTMmn中断时执行交替操作，并从定时器输出引脚(TOm_n)输出占空比为50%的方波。



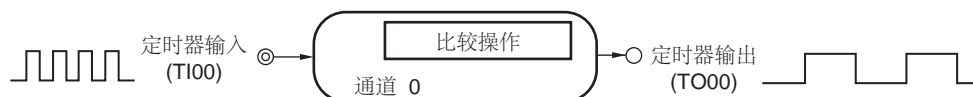
(3) 外部事件计数器

单元中的各个定时器可以用作事件计数器，当输入至定时器输入引脚(TIm_n)的信号的有效边沿数达到指定值时，产生一个中断。



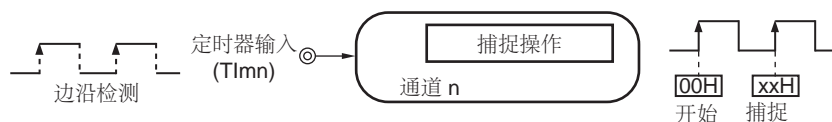
(4) 分频器功能（仅限通道0）

将从定时器输入引脚(TI00)输入的时钟分频，并从输出引脚(TOm0)输出。



(5) 输入脉冲间隔测量

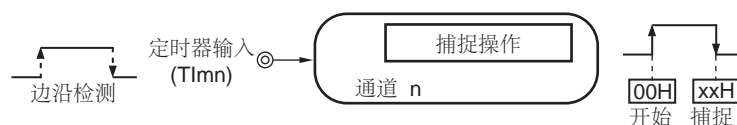
从定时器输入引脚(TIm_n)输入的脉冲信号的有效边沿开始计数。并且在下一个脉冲的有效边沿捕捉定时器的计数值。从而测量输入脉冲的间隔。



（注、注意事项和备注如下页所示。）

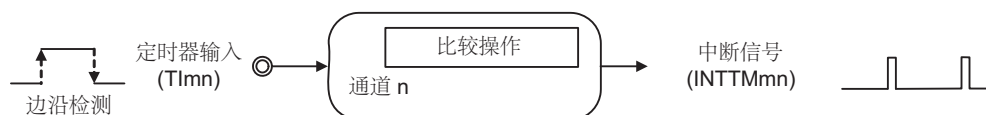
(6) 输入信号的高/低电平宽度的测量

从定时器输入引脚(TImn)输入的信号的一个边沿开始计数，在另一个边沿捕捉计数值。从而测量输入信号的高电平或低电平宽度。



(7) 延迟计数器

从定时器输入引脚(TImn)输入的信号的有效边沿开始计数，并在经过任意延迟期间后产生中断。



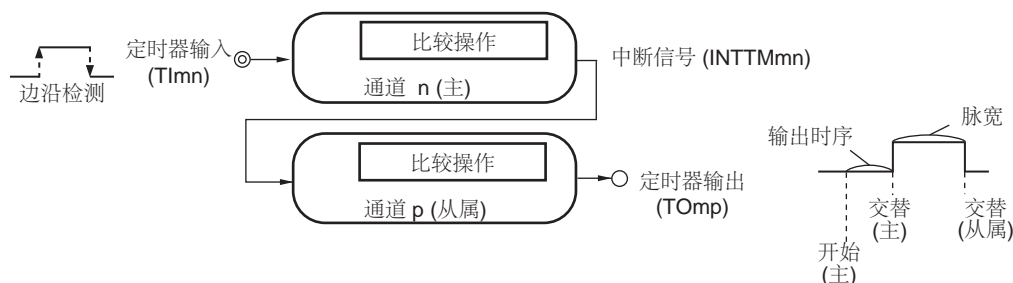
备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

6.1.2 多通道联动操作功能

通过联合使用主通道（主要用于控制周期的基准定时器）和从属通道（以主通道为基准而工作的定时器），来实现以下功能。

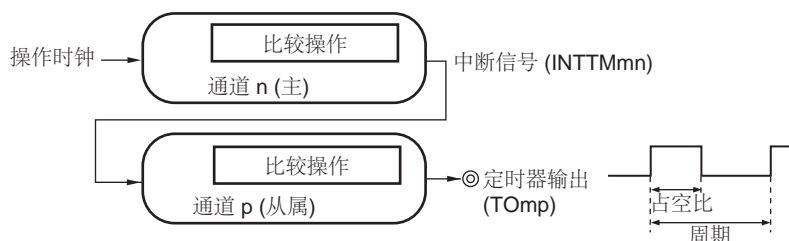
(1) 单触发脉冲输出

将两个通道成组使用，生成可任意设置输出时序和脉冲宽度的单触发脉冲。



(2) PWM（脉冲宽度调制）输出

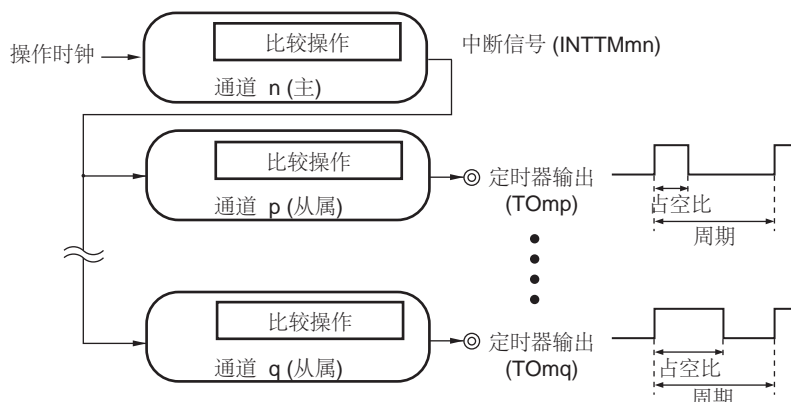
将两个通道成组使用，生成可任意设置周期和占空比的脉冲。



(注意事项如下页所示。)

(3) 多重PWM（脉冲宽度调制）输出

通过扩展PWM功能，并使用一个主通道和两个或更多的从属通道，从而生成最多三种具有指定周期且指定占空比的PWM信号。



注意事项 联合使用多通道时须遵守以下规则。

- 主通道仅能设置偶数通道（通道0、2）。
- 从属通道仅能设置主通道的低位通道（可以设置多个从属通道）。

有关多通道联动操作功能规则的详情，请参阅6.4.1 多通道联动操作功能的基本规则。

备注 m: 单元编号 ($m = 0$)，n: 通道编号 ($n = 0$ 至 3)，
p、q: 从属通道编号 ($n < p < q \leq 3$)

6.1.3 8位定时器操作功能（仅限通道1和3）

通过8位定时器操作功能，可以将16位定时器通道作为包括两个8位定时器通道的构造来使用。该功能仅用于通道1和通道3。

注意事项 使用8位定时器操作功能时须遵守以下规则。

有关详情，请参阅6.4.2 8位定时器操作功能的基本规则（仅限通道1和3）。

6.2 定时器阵列单元的配置

定时器阵列单元包含以下硬件。

表 6 - 1 定时器阵列单元的配置

| 项目 | 配置 |
|---------|--|
| 定时器/计数器 | 定时器计数寄存器mn (TCRmn) |
| 寄存器 | 定时器数据寄存器mn (TDRmn) |
| 定时器输入 | TI00至TI03 |
| 定时器输出 | TO00至TO03, 输出控制器 |
| 控制寄存器 | <div> <div><单元设置块的寄存器></div> <ul style="list-style-type: none"> • 外围允许寄存器0 (PER0) • 定时器时钟选择寄存器m (TPSm) • 定时器通道允许状态寄存器m (TEm) • 定时器通道开始寄存器m (TSM) • 定时器通道停止寄存器m (TTm) • 定时器输入选择寄存器0 (TIS0) • 定时器输出允许寄存器m (TOEm) • 定时器输出寄存器m (TOM) • 定时器输出电平寄存器m (TOLm) • 定时器输出模式寄存器m (TOMm) </div> <div> <div><各通道的寄存器></div> <ul style="list-style-type: none"> • 定时器模式寄存器mn (TMRmn) • 定时器状态寄存器mn (TSRmn) • 噪声滤波器允许寄存器1 (NFEN1) • 端口模式寄存器(PMxx) 注 2 • 端口寄存器(Pxx) 注 2 </div> |

注 1. 有关详情, 请参阅表 6 - 2 每种产品中提供的定时器输入/输出引脚。

注 2. 参阅6.3 (14) 端口模式寄存器0、1、3 (PM0、PM1、PM3)。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0至3)

各定时器阵列单元通道的定时器输入/输出引脚的存在与否因产品而异。

表 6 - 2 每种产品中配置的定时器输入/输出引脚

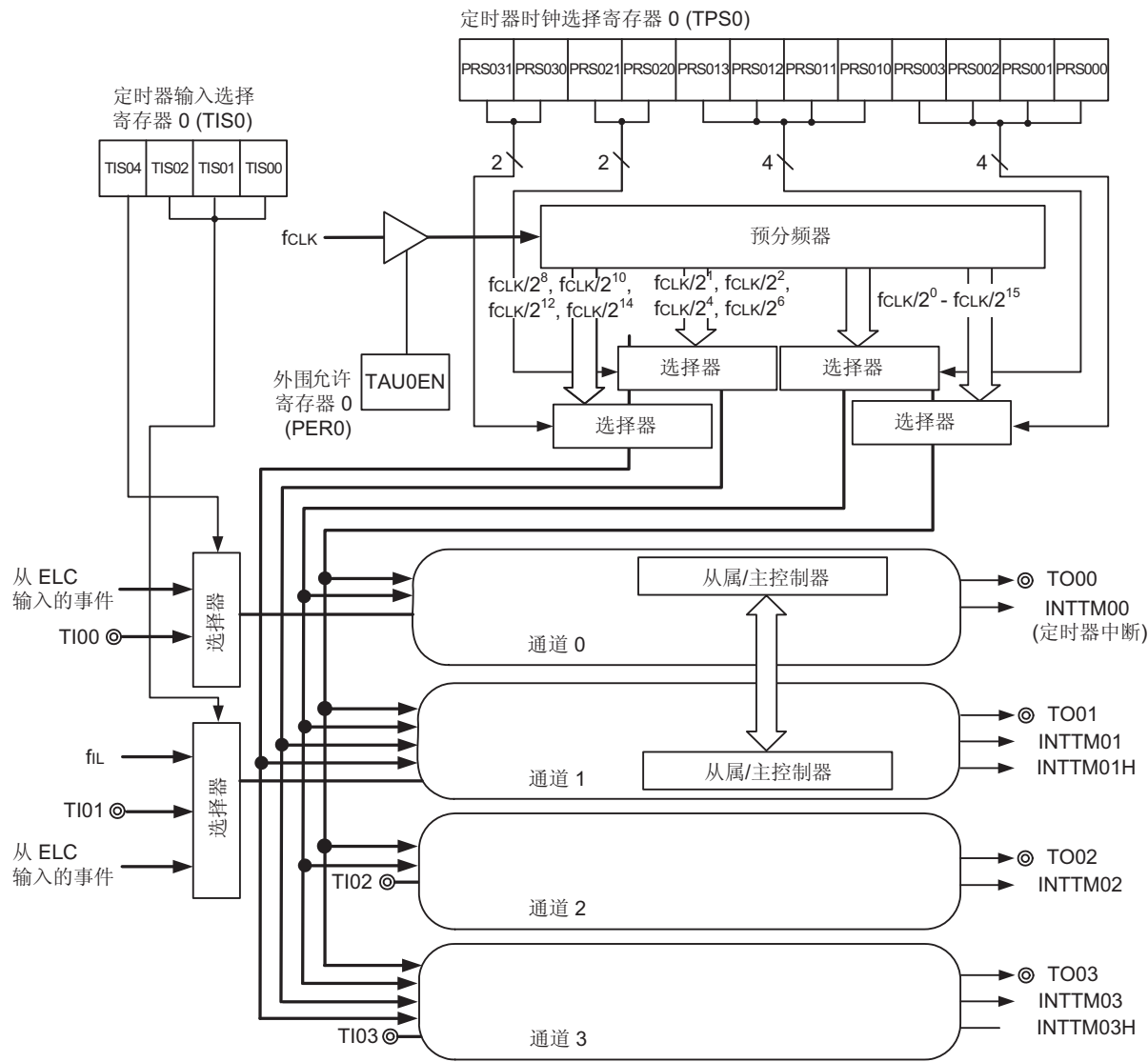
| 定时器阵列单元通道 | | 每种产品的输入/输出引脚 |
|-----------|------|-------------------|
| | | 30、32 引脚 |
| 单元 0 | 通道 0 | P00/TI00、P01/TO00 |
| | 通道 1 | P16/TI01/TO01 |
| | 通道 2 | P17/TI02/TO02 |
| | 通道 3 | P31/TI03/TO03 |

备注 当定时器输入和定时器输出共用同一引脚时，仅可以使用定时器输入或定时器输出。

x

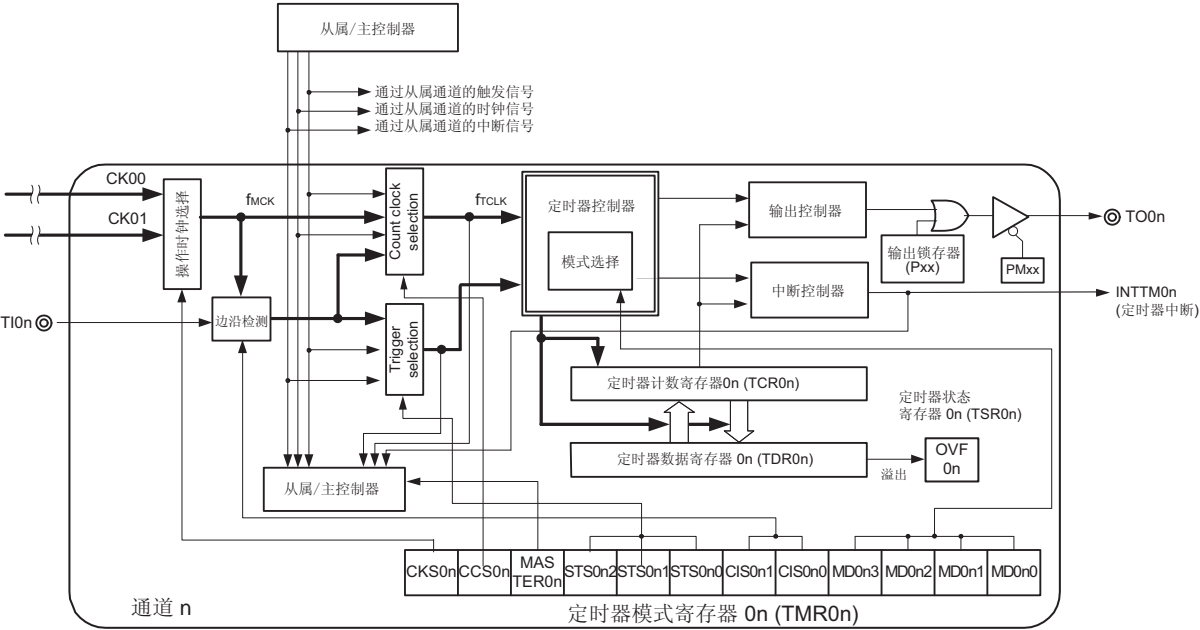
定时器阵列单元的框图如表 6 - 1 和 6 - 2 所示。

图 6 - 1 定时器阵列单元0的整体配置



备注 **fIL**: 低速片上振荡器时钟频率

图 6 - 2 定时器阵列单元0的通道内部框图



备注 n = 0, 2

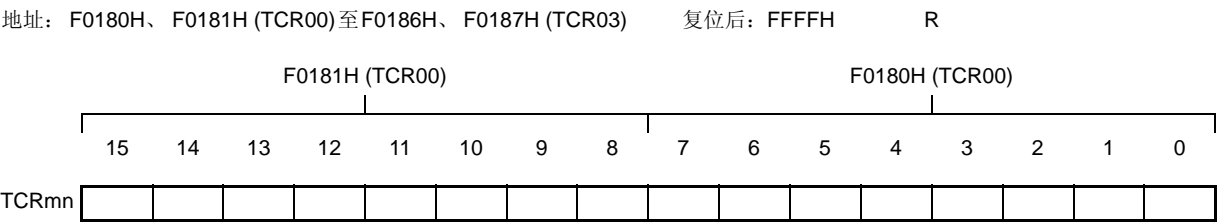
(1) 定时器计数寄存器mn (TCRmn)

TCRmn 寄存器是 16 位只读寄存器，用于对时钟进行计数。

与计数时钟的上升沿同步，进行递增或递减计数。

通过定时器模式寄存器 mn (TMRmn) 的 MDmn3 位至 MDmn0 位来选择操作模式，从而切换至递增或递减（参阅 6.3 (3) 定时器模式寄存器 mn (TMRmn)）。

图 6 - 3 定时器计数寄存器mn (TCRmn) 的格式



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

可以通过读取定时器计数寄存器mn (TCRmn)来读取计数值。

下列情况中计数值被设置为 FFFFH。

- 产生复位信号后
- 外围允许寄存器0 (PER0)的TAUmEN位被清除为0时
- 在PWM输出模式下完成从属通道计数时
- 在延迟计数模式下完成从属通道计数时
- 在单触发脉冲输出模式下完成主/从属通道计数时
- 在多重PWM输出模式下完成从属通道计数时

下列情况中计数值被清除为 0000H。

- 在捕捉模式下输入开始触发时
- 在捕捉模式下完成捕捉时

注意事项 即使在TCRmn寄存器被读取时，也不会将计数值捕捉至定时器数据寄存器mn (TDRmn)。

如下所示，TCRmn寄存器读取值因操作模式变化和操作状态而异。

表 6 - 3 各种操作模式下定时器计数寄存器mn (TCRmn)的读取值

| 操作模式 | 计数模式 | 定时器计数寄存器mn (TCRmn) 读取值注 | | | |
|------------|------|-------------------------|--------------------------------------|------------------------------------|----------------------|
| | | 解除复位后操作模式 发生变化时的值 | 暂停计数操作后 (TTmn = 1)操作模式 发生变化时的值 | 暂停计数操作后 (TTmn = 1)重新开始 操作时的值 | 一次计数后等待开始 触发时的值 |
| 间隔定时器模式 | 递减计数 | FFFFH | 不定 | 停止时的值 | — |
| 捕捉模式 | 递增计数 | 0000H | 不定 | 停止时的值 | — |
| 事件计数器模式 | 递减计数 | FFFFH | 不定 | 停止时的值 | — |
| 单计数模式 | 递减计数 | FFFFH | 不定 | 停止时的值 | FFFFH |
| 捕捉 & 单计数模式 | 递增计数 | 0000H | 不定 | 停止时的值 | TDRmn寄存器的捕 捉值 + 1 |

注 表示当通道n为定时器操作停止状态 (TEmn = 0) 且计数操作刚被允许 (TSmn = 1) 时 TCRmn 寄存器的读取值。直到开始计数操作为止，该值被保持在 TCRmn 寄存器中。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0至3)

(2) 定时器数据寄存器mn (TDRmn)

可以在捕捉功能和比较功能中使用的 16 位寄存器。

使用定时器模式寄存器mn (TMRmn)的MDmn3位至MDmn0位来选择操作模式，从而切换至捕捉功能或比较功能。

TDRmn 寄存器的值可以随时更改。

可以以 16 位为单位读取或写入。

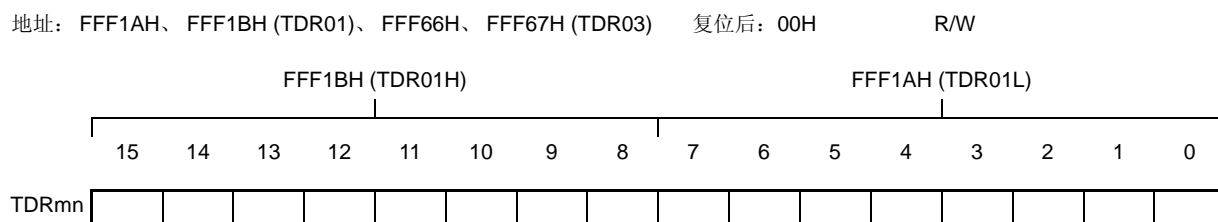
另外，对于TDRm1和TDRm3寄存器，当处于8位定时器模式时（定时器模式寄存器01和03（TMRm1、TMRm3）的SPLIT位为1时），可以以8位为单位改写数据，其中，TDRm1H和TDRm3H用作高8位，TDRm1L和TDRm3L用作低8位。然而，只能以 16 位为单位读取。

产生复位信号后，该寄存器被清除为0000H。

图 6 - 4 定时器数据寄存器mn (TDRmn)的格式（n = 0、2）



图 6 - 5 定时器数据寄存器mn (TDRmn)的格式（n = 1、3）



(i) 使用定时器数据寄存器mn (TDRmn)作为比较寄存器时

从设置到 TDRmn 寄存器的值开始递减计数。当计数值达到0000H时，产生中断信号(INTTmnn)。直到改写为止 TDRmn 寄存器将保持其值。

注意事项 当设置为比较功能时，即使输入捕捉触发，TDRmn 寄存器也不会执行捕捉操作。

(ii) 使用定时器数据寄存器mn (TDRmn)作为捕捉寄存器时

输入捕捉触发时，定时器计数寄存器mn (TCRmn)的计数值将被捕捉至TDRmn寄存器。

可以通过定时器模式寄存器mn (TMRmn)来选择选择Timn引脚的有效边沿作为捕捉触发。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

6.3 控制定时器阵列单元的寄存器

下列寄存器控制着定时器阵列单元。

- 外围允许寄存器 0 (PER0)
- 定时器时钟选择寄存器 m (TPSm)
- 定时器模式寄存器 mn (TMRmn)
- 定时器状态寄存器 mn (TSRmn)
- 定时器通道允许状态寄存器 m (TEm)
- 定时器通道开始寄存器 m (TSM)
- 定时器通道停止寄存器 m (TTm)
- 定时器输入选择寄存器 0 (TIS0)
- 定时器输出允许寄存器 m (TOEm)
- 定时器输出寄存器 m (TOM)
- 定时器输出电平寄存器 m (TOLm)
- 定时器输出模式寄存器 m (TOMm)
- 噪声滤波器允许寄存器 1 (NFEN1)
- 端口模式寄存器 (PMxx) 注
- 端口寄存器 (Pxx) 注

注 有关详情，请参阅 6.3 (14) 端口模式寄存器 0、1、3 (PM0、PM1、PM3)。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

(1) 外围允许寄存器0 (PER0)

该寄存器用于允许或禁止向外围硬件供应时钟。通过停止向未使用的硬件供应时钟，可以降低功耗和噪声。

使用定时器阵列单元0时，必须将该寄存器的位0 (TAU0EN) 设置为1。

使用1位或8位存储器操作指令设置PER0寄存器。

产生复位信号后，该寄存器被清除为00H。

图 6 - 6 外围允许寄存器0 (PER0) 的格式

| | | | | | | | | |
|------------|----------|---|-------|---|---|--------|---|--------|
| 地址: F00F0H | 复位后: 00H | R/W | | | | | | |
| 符号 | <7> | 6 | <5> | 4 | 3 | <2> | 1 | <0> |
| PER0 | INTEN | 0 | ADCEN | 0 | 0 | SAU0EN | 0 | TAU0EN |
| | TAU0EN | 定时器阵列单元0输入时钟的控制 | | | | | | |
| | 0 | 停止输入时钟的供应。 • 不可以写入用于定时器阵列单元0的SFR。 • 定时器阵列单元0处于复位状态。 | | | | | | |
| | 1 | 允许输入时钟的供应。 • 可以读取/写入用于定时器阵列单元0的SFR。 | | | | | | |

注意事项 1. 设置定时器阵列单元时，必须先将 **TAUmEN** 位设置为1。如果 **TAUmEN = 0**，向定时器阵列单元的控制寄存器进行的写入操作无效，而且所有读取值均为初始值（定时器输入选择寄存器**0 (TIS0)**、噪声滤波器允许寄存器**1 (NFEN1)**、端口模式寄存器**0、12、14 (PM0、PM12、PM14)**和端口寄存器**0、1、3 (P0、P1、P3)**除外）。

注意事项 2. 必须将以下位清除为**0**。

位**1、3、4、6**

(2) 定时器时钟选择寄存器 m (TPSm)

TPSm 寄存器为 16 位寄存器，用于选择由外部预分频器通用地供应至各通道共通的两种或四种工作时钟 (CKm0、CKm1)。通过 TPSm 寄存器的位 7 至位 4 选择 CKm1，通过位 3 至位 0 选择 CKm0。另外，通道 1 和通道 3 中，通过 TPSm 寄存器的位 9 和位 8 选择 CKm2，通过位 13 和位 12 选择 CKm3。

只有在以下情况下才可以在定时器操作期间改写 TPSm 寄存器。

如果需要改写 PRSm00 至 PRSm03 位 (n = 0 至 3)：

选择 CKm0 作为工作时钟 (CKSmn1、CKSmn0 = 0、0) 的所有通道停止 (TEmn = 0)。

如果需要改写 PRSm10 至 PRSm13 位 (n = 0 至 3)：

选择 CKm2 作为工作时钟 (CKSmn1、CKSmn0 = 0、1) 的所有通道停止 (TEmn = 0)。

如果需要改写 PRSm20 至 PRSm21 位 (n = 1、3)：

选择 CKm1 作为工作时钟 (CKSmn1、CKSmn0 = 1、0) 的所有通道停止 (TEmn = 0)。

如果需要改写 PRSm30 和 PRSm31 位 (n = 1、3)：

选择 CKm3 作为工作时钟 (CKSmn1、CKSmn0 = 1、1) 的所有通道停止 (TEmn = 0)。

使用 16 位存储器操作指令设置 TPSm 寄存器。

产生复位信号后，该寄存器被清除为 0000H。

图 6-7 定时器时钟选择寄存器 **m** (TPSm) 的格式 (1/2)

地址: F01B6H、F01B7H (TPS0)

复位后: 0000H

R/W

符号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

| | | | | | | | | | | | | | | | | |
|------|---|---|------------|------------|---|---|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| TPSm | 0 | 0 | PRSm 31 | PRSm 30 | 0 | 0 | PRSm 21 | PRSm 20 | PRSm 13 | PRSm 12 | PRSm 11 | PRSm 10 | PRSm 03 | PRSm 02 | PRSm 01 | PRSm 00 |
|------|---|---|------------|------------|---|---|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|

| PRSmk3 | PRSmk2 | PRSmk1 | PRSmk0 | 工作时钟(CKmk)的选择注 (k = 0、1) | | | | |
|--------|--------|--------|--------|--------------------------|-----------------|-----------------|------------------|------------------|
| | | | | | fCLK = 2 MHz | fCLK = 5 MHz | fCLK = 10 MHz | fCLK = 20 MHz |
| 0 | 0 | 0 | 0 | fCLK | 2 MHz | 5 MHz | 10 MHz | 20 MHz |
| 0 | 0 | 0 | 1 | fCLK/2 | 1 MHz | 2.5 MHz | 5 MHz | 10 MHz |
| 0 | 0 | 1 | 0 | fCLK/2 ² | 500 kHz | 1.25 MHz | 2.5 MHz | 5 MHz |
| 0 | 0 | 1 | 1 | fCLK/2 ³ | 250 kHz | 625 kHz | 1.25 MHz | 2.5 MHz |
| 0 | 1 | 0 | 0 | fCLK/2 ⁴ | 125 kHz | 312.5 kHz | 625 kHz | 1.25 MHz |
| 0 | 1 | 0 | 1 | fCLK/2 ⁵ | 62.5 kHz | 156.2 kHz | 312.5 kHz | 625 kHz |
| 0 | 1 | 1 | 0 | fCLK/2 ⁶ | 31.25 kHz | 78.1 kHz | 156.2 kHz | 312.5 kHz |
| 0 | 1 | 1 | 1 | fCLK/2 ⁷ | 15.62 kHz | 39.1 kHz | 78.1 kHz | 156.2 kHz |
| 1 | 0 | 0 | 0 | fCLK/2 ⁸ | 7.81 kHz | 19.5 kHz | 39.1 kHz | 78.1 kHz |
| 1 | 0 | 0 | 1 | fCLK/2 ⁹ | 3.91 kHz | 9.76 kHz | 19.5 kHz | 39.1 kHz |
| 1 | 0 | 1 | 0 | fCLK/2 ¹⁰ | 1.95 kHz | 4.88 kHz | 9.76 kHz | 19.5 kHz |
| 1 | 0 | 1 | 1 | fCLK/2 ¹¹ | 976 Hz | 2.44 kHz | 4.88 kHz | 9.76 kHz |
| 1 | 1 | 0 | 0 | fCLK/2 ¹² | 488 Hz | 1.22 kHz | 2.44 kHz | 4.88 kHz |
| 1 | 1 | 0 | 1 | fCLK/2 ¹³ | 244 Hz | 610 Hz | 1.22 kHz | 2.44 kHz |
| 1 | 1 | 1 | 0 | fCLK/2 ¹⁴ | 122 Hz | 305 Hz | 610 Hz | 1.22 kHz |
| 1 | 1 | 1 | 1 | fCLK/2 ¹⁵ | 61 Hz | 153 Hz | 305 Hz | 610 Hz |

注 要更改被选作 fCLK 的时钟 (通过更改系统时钟控制寄存器 (CKC) 的值) 时, 须停止定时器阵列单元 (TTm = 000FH)。

注意事项 1. 必须将位 15、14、11、10 清除为 0。

注意事项 2. 如果 fCLK (不分频) 被选择作为工作时钟 (CKmk) 且将 TDRnm 设置为 0000H (m = 0 至 3), 则不能检测来自定时器阵列单元的中断请求输出。

备注 1. fCLK: CPU/外围硬件时钟频率

备注 2. 通过 TPS0 寄存器选择的时钟波形从上升沿开始的 fCLK 的仅 1 个周期为高电平。详情请参阅 6.5.1 计数时钟 (fCLK)。

图 6 - 8 定时器时钟选择寄存器 m (TPSm) 的格式 (2/2)

地址: F01B6H、F01B7H (TPS0)

复位后: 0000H

R/W

| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----|----|------------|------------|----|----|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| TPSm | 0 | 0 | PRSm 31 | PRSm 30 | 0 | 0 | PRSm 21 | PRSm 20 | PRSm 13 | PRSm 12 | PRSm 11 | PRSm 10 | PRSm 03 | PRSm 02 | PRSm 01 | PRSm 00 |

| PRSm21 | PRSm20 | 工作时钟 (CKm2) 的选择 ^注 | | | | |
|--------|--------|------------------------------|--------------|--------------|---------------|---------------|
| | | | fCLK = 2 MHz | fCLK = 5 MHz | fCLK = 10 MHz | fCLK = 20 MHz |
| 0 | 0 | fCLK/2 | 1 MHz | 2.5 MHz | 5 MHz | 10 MHz |
| 0 | 1 | fCLK/2 ² | 500 kHz | 1.25 MHz | 2.5 MHz | 5 MHz |
| 1 | 0 | fCLK/2 ⁴ | 125 kHz | 312.5 kHz | 625 kHz | 1.25 MHz |
| 1 | 1 | fCLK/2 ⁶ | 31.25 kHz | 78.1 kHz | 156.2 kHz | 312.5 kHz |

| PRSm31 | PRSm30 | 工作时钟 (CKm3) 的选择 ^注 | | | | |
|--------|--------|------------------------------|--------------|--------------|---------------|---------------|
| | | | fCLK = 2 MHz | fCLK = 5 MHz | fCLK = 10 MHz | fCLK = 20 MHz |
| 0 | 0 | fCLK/2 ⁸ | 7.81 kHz | 19.5 kHz | 39.1 kHz | 78.1 kHz |
| 0 | 1 | fCLK/2 ¹⁰ | 1.95 kHz | 4.88 kHz | 9.76 kHz | 19.5 kHz |
| 1 | 0 | fCLK/2 ¹² | 488 Hz | 1.22 kHz | 2.44 kHz | 4.88 kHz |
| 1 | 1 | fCLK/2 ¹⁴ | 122 Hz | 305 Hz | 610 Hz | 1.22 kHz |

注 要更改被选作 fCLK 的时钟（通过更改系统时钟控制寄存器 (CKC) 的值）时，须停止定时器阵列单元 (TTm = 000FH)。

注意事项 必须将位 15、14、11、10 清除为 0。

通过将通道 1 和通道 3 用作 8 位定时器模式，并将 CKm2 或 CKm3 指定为工作时钟，可以使用间隔定时器功能实现如表 6 - 4 所示间隔时间。

表 6 - 4 对于工作时钟 CKSm2 或者 CKSm3 可用的间隔时间

| 时钟 | | 间隔时间 (fCLK = 20 MHz) | | | |
|------|----------------------|----------------------|--------|--------|-------|
| | | 16 μs | 160 μs | 1.6 ms | 16 ms |
| CKm2 | fCLK/2 | √ | — | — | — |
| | fCLK/2 ² | √ | — | — | — |
| | fCLK/2 ⁴ | √ | √ | — | — |
| | fCLK/2 ⁶ | √ | √ | — | — |
| CKm3 | fCLK/2 ⁸ | — | √ | √ | — |
| | fCLK/2 ¹⁰ | — | √ | √ | — |
| | fCLK/2 ¹² | — | — | √ | √ |
| | fCLK/2 ¹⁴ | — | — | √ | √ |

注 包含 5% 以内的误差。

备注 1. fCLK: CPU/外围硬件时钟频率

备注 2. 关于通过 TPSm 寄存器选择的信号 fCLK/2^r 的详情，请参阅 6.5.1 计数时钟 (fTCLK)。

(3) 定时器模式寄存器mn (TMRmn)

MRmn 寄存器用于设置通道 n 的操作模式。该寄存器用于选择工作时钟 (fmck)，选择计数时钟，选择主/从属，选择 16 位或 8 位定时器（仅限通道 1 和通道 3），设置开始触发和捕捉触发，选择计数器输入的有效边沿，以及设置操作模式（间隔、捕捉、事件计数器、单计数、或者捕捉 & 单计数）。

当定时器通道运行 (TEmn = 1) 时，禁止改写 TMRmn 寄存器。然而，即使寄存器的某些功能正在运行 (TEmn = 1) 时，也可改写位 7 和位 6 (CISmn1、CISmn0)（详情请参阅 6.7 定时器阵列单元的单通道操作功能和 6.8 定时器阵列单元的多通道联动操作功能）。

使用 16 位存储器操作指令设置 TMRmn 寄存器。

产生复位信号后，该寄存器被清除为 0000H。

注意事项 TMRmn 寄存器的位 11 所安装的位因通道而异。

TMRm2: MASTERmn 位 (n = 2)

TMRm1、TMRm3: SPLITmn 位 (n = 1、3)

TMRm0: 固定为 0

图 6 - 9 定时器模式寄存器mn (TMRmn)的格式(1/4)

地址: F0190H、 F0191H (TMR00)至F0196H、 F0197H (TMR03), 复位后: 0000H R/W

| | | | | | | | | | | | | | | | | |
|------------------|------------|------------|----|-----------|--------------|------------|------------|------------|------------|------------|---|---|-----------|-----------|-----------|-----------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMRmn (n = 2) | CKSm n1 | CKSm n0 | 0 | CCSm n | MAST ERmn | STSm n2 | STSm n1 | STSm n0 | CISmn 1 | CISmn 0 | 0 | 0 | MDmn 3 | MDmn 2 | MDmn 1 | MDmn 0 |

| | | | | | | | | | | | | | | | | |
|------------------------|------------|------------|----|-----------|-------------|------------|------------|------------|------------|------------|---|---|-----------|-----------|-----------|-----------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMRmn (n = 1、 3) | CKSm n1 | CKSm n0 | 0 | CCSm n | SPLIT mn | STSm n2 | STSm n1 | STSm n0 | CISmn 1 | CISmn 0 | 0 | 0 | MDmn 3 | MDmn 2 | MDmn 1 | MDmn 0 |

| | | | | | | | | | | | | | | | | |
|------------------|------------|------------|----|-----------|----------|------------|------------|------------|------------|------------|---|---|-----------|-----------|-----------|-----------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMRmn (n = 0) | CKSm n1 | CKSm n0 | 0 | CCSm n | 0 注 1 | STSm n2 | STSm n1 | STSm n0 | CISmn 1 | CISmn 0 | 0 | 0 | MDmn 3 | MDmn 2 | MDmn 1 | MDmn 0 |

| | | |
|------------|------------|-------------------------------|
| CKS mn1 | CKS mn0 | 通道n工作时钟(fmck)的选择 |
| 0 | 0 | 定时器时钟选择寄存器m (TPSm)设置的工作时钟CKm0 |
| 0 | 1 | 定时器时钟选择寄存器m (TPSm)设置的工作时钟CKm2 |
| 1 | 0 | 定时器时钟选择寄存器m (TPSm)设置的工作时钟CKm1 |
| 1 | 1 | 定时器时钟选择寄存器m (TPSm)设置的工作时钟CKm3 |

边沿检测电路所使用的工作时钟(fmck)。通过设置CCSmn位来产生计数时钟(ftclk)和采样时钟。
仅限通道1和通道3可以选择工作时钟CKm2和CKm3。

| | |
|-------|-------------------------------|
| CCSmn | 通道n计数时钟(ftclk)的选择 |
| 0 | 由CKSmn0位和CKSmn1位指定的工作时钟(fmck) |
| 1 | Tlmn引脚的输入信号的有效边沿 |

计数时钟(ftclk)用于定时器/计数器，输出控制器和中断控制电路。

注 1. 位11被固定在只读的0处，忽略写入。

注意事项 1. 必须将位13、5和4清除为0。

注意事项 2. 要更改被选作fclk的时钟（通过更改系统时钟控制寄存器(CKC)的值）时，无论是在通过CKSmn0和CKSmn1位指定的工作时钟(fmck)和Tlmn引脚信号输入的有效边沿的两者中选择哪个作为计数时钟(ftclk)时，都须停止定时器阵列单元(TTm = 00FFH)。

备注 m: 单元编号(m = 0), n: 通道编号 (n = 0至3)

图 6 - 10 定时器模式寄存器mn (TMRmn)的格式 (2/4)

地址: F0190H、F0191H (TMR00)至F0196H、F0197H (TMR03), 复位后: 0000H R/W

| | | | | | | | | | | | | | | | | |
|------------------|------------|------------|----|-----------|--------------|------------|------------|------------|------------|------------|---|---|-----------|-----------|-----------|-----------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMRmn (n = 2) | CKSm n1 | CKSm n0 | 0 | CCSm n | MAST ERmn | STSm n2 | STSm n1 | STSm n0 | CISmn 1 | CISmn 0 | 0 | 0 | MDmn 3 | MDmn 2 | MDmn 1 | MDmn 0 |

| | | | | | | | | | | | | | | | | |
|------------------------|------------|------------|----|-----------|-------------|------------|------------|------------|------------|------------|---|---|-----------|-----------|-----------|-----------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMRmn (n = 1、 3) | CKSm n1 | CKSm n0 | 0 | CCSm n | SPLIT mn | STSm n2 | STSm n1 | STSm n0 | CISmn 1 | CISmn 0 | 0 | 0 | MDmn 3 | MDmn 2 | MDmn 1 | MDmn 0 |

| | | | | | | | | | | | | | | | | |
|------------------|------------|------------|----|-----------|----------|------------|------------|------------|------------|------------|---|---|-----------|-----------|-----------|-----------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMRmn (n = 0) | CKSm n1 | CKSm n0 | 0 | CCSm n | 0 注 1 | STSm n2 | STSm n1 | STSm n0 | CISmn 1 | CISmn 0 | 0 | 0 | MDmn 3 | MDmn 2 | MDmn 1 | MDmn 0 |

(TMRmn的位 11 (n = 2))

| | |
|---|---|
| MASTERmn | 选择对通道n进行单独操作或 与另一个通道 (作为从属或主) 一起进行联动操作 |
| 0 | 单通道操作功能, 或者作为从属通道的联动通道操作功能。 |
| 1 | 作为主通道的联动通道操作功能。 |
| 仅可以设置通道2为主通道(MASTERmn = 1)。 通道0固定为0 (由于通道0为最高位通道, 因此不会因此位的设置而变, 作为主通道操作)。 通道用于单通道操作功能时, 将MASTERmn位清除为0。 | |

(TMRmn的位 11 (n = 1、3))

| | |
|---------|--|
| SPLITmn | 用于通道1和3的8或者16位定时器操作的选择 |
| 0 | 作为16位定时器动作。 (单通道操作功能, 或者作为从属通道的联动通道操作功能。) |
| 1 | 作为8位定时器动作。 |

| | | | |
|--------|--------|--------|------------------------------------|
| STSmn2 | STSmn1 | STSmn0 | 通道n的开始触发或者捕捉触发的设置 |
| 0 | 0 | 0 | 仅限软件触发开始有效 (其他触发源不可选)。 |
| 0 | 0 | 1 | Tlmm脚输入的有效边沿被同时用作开始触发和捕捉触发。 |
| 0 | 1 | 0 | Tlmm引脚的双边沿分别被用作开始触发和捕捉触发。 |
| 1 | 0 | 0 | 使用主通道的中断信号 (当该通道用作联动通道操作功能时的从属通道)。 |
| 其他 | | | 禁止设置 |

注 1. 位 11 被固定在只读的0处, 忽略写入。

备注 m: 单元编号(m = 0), n: 通道编号 (n = 0至3)

图 6 - 11 定时器模式寄存器 mn (TMRmn) 的格式 (3/4)

地址: F0190H、F0191H (TMR00)至F0196H、F0197H (TMR03), 复位后: 0000H R/W

| | | | | | | | | | | | | | | | | |
|------------------|------------|------------|----|-----------|--------------|------------|------------|------------|------------|------------|---|---|-----------|-----------|-----------|-----------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMRmn (n = 2) | CKSm n1 | CKSm n0 | 0 | CCSm n | MAST ERmn | STSm n2 | STSm n1 | STSm n0 | CISmn 1 | CISmn 0 | 0 | 0 | MDmn 3 | MDmn 2 | MDmn 1 | MDmn 0 |

| | | | | | | | | | | | | | | | | |
|------------------------|------------|------------|----|-----------|-------------|------------|------------|------------|------------|------------|---|---|-----------|-----------|-----------|-----------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMRmn (n = 1、 3) | CKSm n1 | CKSm n0 | 0 | CCSm n | SPLIT mn | STSm n2 | STSm n1 | STSm n0 | CISmn 1 | CISmn 0 | 0 | 0 | MDmn 3 | MDmn 2 | MDmn 1 | MDmn 0 |

| | | | | | | | | | | | | | | | | |
|------------------|------------|------------|----|-----------|----------|------------|------------|------------|------------|------------|---|---|-----------|-----------|-----------|-----------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMRmn (n = 0) | CKSm n1 | CKSm n0 | 0 | CCSm n | 0 注 1 | STSm n2 | STSm n1 | STSm n0 | CISmn 1 | CISmn 0 | 0 | 0 | MDmn 3 | MDmn 2 | MDmn 1 | MDmn 0 |

| CIS mn1 | CIS mn0 | Tlmn 引脚输入有效边沿的选择 |
|--|------------|--|
| 0 | 0 | 下降沿 |
| 0 | 1 | 上升沿 |
| 1 | 0 | 双边沿 (测量低电平宽度时) 开始触发: 下降沿, 捕捉触发: 上升沿 |
| 1 | 1 | 双边沿 (测量高电平宽度时) 开始触发: 上升沿, 捕捉触发: 下降沿 |
| 当 STSmn2 至 STSmn0 位的值不为 010B 且指定双边沿时, 请将 CISmn1 至 CISmn0 位设置为 10B。 | | |

| MD mn3 | MD mn2 | MD mn1 | MD mn0 | 通道 n 的操作模式 | 对应功能 | TCR 的计数操作 |
|---------------------------------------|-----------|-----------|-----------|------------|---------------------------------|-----------|
| 0 | 0 | 0 | 1/0 | 间隔定时器模式 | 间隔定时器/方波输出/分频器功能/ PWM 输出 (主) | 递减计数 |
| 0 | 1 | 0 | 1/0 | 捕捉模式 | 输入脉冲间隔测量 | 递增计数 |
| 0 | 1 | 1 | 0 | 事件计数器模式 | 外部事件计数器 | 递减计数 |
| 1 | 0 | 0 | 1/0 | 单计数模式 | 延迟计数器/单触发脉冲输出/ PWM 输出 (从属) | 递减计数 |
| 1 | 1 | 0 | 0 | 捕捉 & 单计数模式 | 输入信号的高/低电平宽度的测量 | 递增计数 |
| 其他 | | | | 禁止设置 | | |
| MDmn0 位的操作根据操作模式不同而有所差异 (参阅图 6 - 12)。 | | | | | | |

注 1. 位 11 被固定在只读的 0 处, 忽略写入。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

图 6 - 12 定时器模式寄存器mn (TMRmn)的格式 (4/4)

地址: F0190H、 F0191H (TMR00)至F0196H、 F0197H (TMR03), 复位后: 0000H R/W

| | | | | | | | | | | | | | | | | |
|------------------|------------|------------|----|-----------|--------------|------------|------------|------------|------------|------------|---|---|-----------|-----------|-----------|-----------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMRmn (n = 2) | CKSm n1 | CKSm n0 | 0 | CCSm n | MAST ERmn | STSm n2 | STSm n1 | STSm n0 | CISmn 1 | CISmn 0 | 0 | 0 | MDmn 3 | MDmn 2 | MDmn 1 | MDmn 0 |

| | | | | | | | | | | | | | | | | |
|------------------------|------------|------------|----|-----------|-------------|------------|------------|------------|------------|------------|---|---|-----------|-----------|-----------|-----------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMRmn (n = 1、 3) | CKSm n1 | CKSm n0 | 0 | CCSm n | SPLIT mn | STSm n2 | STSm n1 | STSm n0 | CISmn 1 | CISmn 0 | 0 | 0 | MDmn 3 | MDmn 2 | MDmn 1 | MDmn 0 |

| | | | | | | | | | | | | | | | | |
|------------------|------------|------------|----|-----------|----------|------------|------------|------------|------------|------------|---|---|-----------|-----------|-----------|-----------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TMRmn (n = 0) | CKSm n1 | CKSm n0 | 0 | CCSm n | 0 注 1 | STSm n2 | STSm n1 | STSm n0 | CISmn 1 | CISmn 0 | 0 | 0 | MDmn 3 | MDmn 2 | MDmn 1 | MDmn 0 |

| 操作模式 (由 MDmn3 至 MDmn1 位设置值 (参阅图 6 - 11)) | MDm n0 | 开始计数和中断的设置 |
|---|-----------|--|
| <ul style="list-style-type: none"> 间隔定时器模式 (0、0、0) 捕捉模式 (0、1、0) | 0 | 开始计数时不发生定时器中断 (定时器输出也不发生变化)。 |
| | 1 | 开始计数时发生定时器中断 (定时器输出也会发生变化)。 |
| <ul style="list-style-type: none"> 事件计数器模式 (0、1、1) | 0 | 开始计数时不发生定时器中断 (定时器输出也不发生变化)。 |
| <ul style="list-style-type: none"> 单计数模式注 2 (1、0、0) | 0 | 计数操作中的开始触发为无效。 同时, 也不产生中断。 |
| | 1 | 计数操作中的开始触发为有效注 3。 同时, 也产生中断。 |
| <ul style="list-style-type: none"> 捕捉&单计数模式 (1、1、0) | 0 | 开始计数时不发生定时器中断 (定时器输出也不发生变化)。 计数操作中的开始触发为无效。 同时, 也不产生中断。 |
| 其他 | | 禁止设置 |

注 1. 位 11 被固定在只读的 0 处, 忽略写入。

注 2. 单计数模式下, 不控制开始计数操作时的中断输出 (INTTmn) 和 TOMn 输出。

注 3. 操作过程中执行开始触发 (TSmn = 1) 后, 计数器将被初始化, 产生中断, 同时重新开始计数。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

(4) 定时器状态寄存器mn (TSRmn)

TSRmn 寄存器表示通道 n 的计数器的溢出状态。

TSRmn 寄存器仅在捕捉模式 (MDmn3 至 MDmn1 = 010B) 和捕捉 & 单计数模式 (MDmn3 至 MDmn1 = 110B) 下有效。关于 OVF 位在各种操作模式下的操作以及设置/清除条件, 请参阅表 6-5。

使用 16 位存储器操作指令读取 TSRmn 寄存器。

可以通过 TSRmnL 寄存器用 8 位存储器操作指令设置 TSRmn 寄存器的低 8 位。

产生复位信号后, 该寄存器被清除为 0000H。

图 6-13 定时器状态寄存器mn (TSRmn)的格式

| | | | | | | | | | | | | | | | | |
|---|-------------|----|----|----|----|----|---|---|---|------------|---|---|---|---|---|-----|
| 地址: F01A0H, F01A1H (TSR00)至F01A6H, F01A7H (TSR03) | | | | | | | | | | 复位后: 0000H | | R | | | | |
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TSRmn | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | OVF |
| OVF | 通道n的计数器溢出状态 | | | | | | | | | | | | | | | |
| 0 | 没有发生溢出。 | | | | | | | | | | | | | | | |
| 1 | 发生溢出。 | | | | | | | | | | | | | | | |
| 当OVF = 1, 捕捉到下一个值而不产生溢出时, 该标志被清除 (OVF = 0)。 | | | | | | | | | | | | | | | | |

备注 m: 单元编号(m = 0), n: 通道编号 (n = 0至3)

表 6-5 每种操作模式下的 OVF 位操作和设置/清除条件

| 定时器操作模式 | OVF 位 | 设置/清除条件 |
|------------|-------|---------------|
| • 捕捉模式 | 清除 | 捕捉时没有发生溢出的情况下 |
| • 捕捉&单计数模式 | 设置 | 捕捉时发生溢出的情况下 |
| • 间隔定时器模式 | 清除 | — (禁止使用) |
| • 事件计数器模式 | 设置 | |
| • 单计数模式 | | |

备注 计数器溢出后 OVF 位不会立即改变, 而是在随后的捕捉后改变。

(5) 定时器通道允许状态寄存器m (TEm)

TEm 寄存器用于表示各通道的允许或停止定时器操作的状态。

TEm 寄存器的每个位对应于定时器通道开始寄存器m (TSm) 以及定时器通道停止寄存器m (TTm) 的每个位。当设置 TSm 寄存器的某一位为 1 时，该寄存器的对应位也被设置为 1。当设置 TTm 寄存器的某一位为 1 时，该寄存器的对应位被清除为 0。

使用 16 位存储器操作指令读取 TEm 寄存器。

可以通过 TEmI 寄存器用 1 位或 8 位存储器操作指令设置 TEm 寄存器的低 8 位。

产生复位信号后，该寄存器被清除为 0000H。

图 6 - 14 定时器通道允许状态寄存器m (TEm) 的格式

地址： F01B0H、 F01B1H (TE0)

复位后： 0000H

R

| | | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|-----------|----|-----------|---|---|---|---|---|---|------|------|------|------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| TEm | 0 | 0 | 0 | 0 | TEHm 3 | 0 | TEHm 1 | 0 | 0 | 0 | 0 | 0 | 0 | TEm3 | TEm2 | TEm1 | TEm0 |

| | |
|-----------|-----------------------------------|
| TEH m3 | 当通道3处于8位定时器模式时，表示高8位定时器的操作允许或停止状态 |
| 0 | 停止操作状态。 |
| 1 | 允许操作。 |

| | |
|-----------|-----------------------------------|
| TEH m1 | 当通道1处于8位定时器模式时，表示高8位定时器的操作允许或停止状态 |
| 0 | 停止操作状态。 |
| 1 | 允许操作。 |

| | |
|--|-----------------|
| TEm n | 表示通道n的操作允许或停止状态 |
| 0 | 停止操作状态。 |
| 1 | 允许操作。 |
| 当通道1或3处于8位定时器模式时，该位表示TEm1和TEm3的低8位定时器的操作允许或停止状态。 | |

备注 m: 单元编号(m = 0)， n: 通道编号 （n = 0至3）

(6) 定时器通道开始寄存器 m (TSm)

TSm 寄存器是触发寄存器，用于初始化定时器计数寄存器 mn (TCRmn) 并开始各通道的计数操作。

当设置该寄存器的某一位为 1，定时器通道允许状态寄存器 m (TEm) 的对应位也被设置为 1。因为 TSmn、TSHm1、TSHm3 位是触发位，允许操作 (TEmn、TEHm1、TEHm3 = 1) 后立即被清除。

使用 16 位存储器操作指令设置 TSm 寄存器。

可以通过 TSmI 用 1 位或 8 位存储器操作指令设置 TSm 寄存器的低 8 位。

产生复位信号后，该寄存器被清除为 0000H。

图 6 - 15 定时器通道开始寄存器 m (TSm) 的格式

地址: F01B2H、F01B3H (TS0)

复位后: 0000H

R/W

| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|----|----|----|----|-------|----|-------|---|---|---|---|---|------|------|------|------|
| TSm | 0 | 0 | 0 | 0 | TSHm3 | 0 | TSHm1 | 0 | 0 | 0 | 0 | 0 | TSm3 | TSm2 | TSm1 | TSm0 |

| TSHm3 | 当通道 3 处于 8 位定时器模式时，允许（开始）高 8 位定时器操作的触发 |
|-------|---|
| 0 | 无触发操作。 |
| 1 | 将 TEHm3 位设置为 1 并允许计数操作。 计数操作允许状态下，在间隔定时器模式时 TCRm3 寄存器开始计数操作（参阅 6.5.2 计数器的开始时序中的表 6 - 6）。 |

| TSHm1 | 当通道 1 处于 8 位定时器模式时，允许（开始）高 8 位定时器操作的触发 |
|-------|---|
| 0 | 无触发操作。 |
| 1 | 将 TEHm1 位设置为 1 并允许计数操作。 计数操作允许状态下，在间隔定时器模式时 TCRm1 寄存器开始计数操作（参阅 6.5.2 计数器的开始时序中的表 6 - 6）。 |

| TSmn | 允许（开始）通道 n 操作的触发 |
|------|---|
| 0 | 无触发操作。 |
| 1 | 将 TEmn 位设置为 1 并允许计数操作。 计数操作允许状态下，TCRmn 寄存器的计数操作的开始因操作模式而异（参阅 6.5.2 计数器的开始时序中的表 6 - 6）。 当通道 1 或 3 处于 8 位定时器模式时，TSm1 和 TSm3 为允许（开始）低 8 位定时器操作的触发。 |

注意事项 1. 必须将位 15 至 12、10、8 至 4 清除为 0

注意事项 2. 从不使用 TImn 引脚输入的功能切换到使用 TImn 引脚输入的功能的情况下，从设置定时器模式寄存器 mn (TMRmn) 后，到 TSmn (TSHm1、TSHm3) 位被设置为 1 为止，需要等待以下期间。

当允许 TImn 引脚噪声滤波器 (TNFENmn = 1) 时: 四个工作时钟 (fmck) 周期

当禁止 TImn 引脚噪声滤波器 (TNFENmn = 0) 时: 两个工作时钟 (fmck) 周期

备注 1. TSm 寄存器的读取值总是为 0。

备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

(7) 定时器通道停止寄存器m (TTm)

TTm 寄存器为用于停止各通道的计数操作的触发寄存器。

当设置该寄存器的某一位为 1，定时器通道允许状态寄存器 m(TEm) 的对应位被清除为 0。因为 TTmn、TTHm1、TTHm3 位是触发位，停止操作（TEmn、TEHm1、TEHm3 = 0）后立即被清除。

使用 16 位存储器操作指令设置 TTm 寄存器。

可以通过 TTml 用 1 位或 8 位存储器操作指令设置 TTm 寄存器的低 8 位。

产生复位信号后，该寄存器被清除为 0000H。

图 6 - 16 定时器通道停止寄存器m (TTm)的格式

地址： F01B4H、F01B5H (TT0)

复位后： 0000H

R/W

| | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|-----------|----|-----------|---|---|---|---|---|------|------|------|------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TTm | 0 | 0 | 0 | 0 | TTHm 3 | 0 | TTHm 1 | 0 | 0 | 0 | 0 | 0 | TTm3 | TTm2 | TTm1 | TTm0 |

| | |
|-------|------------------------------|
| TTHm3 | 当通道3处于8位定时器模式时，停止高8位定时器操作的触发 |
| 0 | 无触发操作。 |
| 1 | 操作停止（产生停止触发）。 |

| | |
|-------|------------------------------|
| TTHm1 | 当通道1处于8位定时器模式时，停止高8位定时器操作的触发 |
| 0 | 无触发操作。 |
| 1 | 操作停止（产生停止触发）。 |

| | |
|------|--|
| TTmn | 通道n的操作停止触发 |
| 0 | 无触发操作。 |
| 1 | 操作停止（产生停止触发）。 当通道1或3处于8位定时器模式时，TTm1和TTm3为停止低8位定时器操作的触发。 |

注意事项 必须将 TTm 寄存器的位 15 至 12、10、8 至 4 清除为 0。

- 备注 1. TTm 寄存器的读取值总是为 0。
- 备注 2. m: 单元编号 (m = 0)，n: 通道编号 (n = 0 至 3)

- (8) 定时器输入选择寄存器0 (TIS0)
- TIS0 寄存器用于选择通道0和1的定时器输入。
- 使用8位存储器操作指令设置TIS0寄存器。
- 产生复位信号后，该寄存器被清除为00H。

图 6 - 17 定时器输入选择寄存器 0 (TIS0) 的格式

地址: F0074H

复位后: 00H

R/W

| | | | | | | | | |
|------|---|---|---|-------|---|-------|-------|-------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TIS0 | 0 | 0 | 0 | TIS04 | 0 | TIS02 | TIS01 | TIS00 |

| | | | |
|-------|--------------------|--|--|
| TIS04 | 选择通道0使用的定时器输入 | | |
| 0 | 定时器输入引脚(TI00)的输入信号 | | |
| 1 | ELC的事件输入信号 | | |

| | | | |
|-------|-------|-------|-----------------------------|
| TIS02 | TIS01 | TIS00 | 选择通道1使用的定时器输入 |
| 0 | 0 | 0 | 定时器输入引脚(TI01)的输入信号 |
| 0 | 0 | 1 | ELC的事件输入信号 |
| 0 | 1 | 0 | 定时器输入引脚(TI01)的输入信号 |
| 0 | 1 | 1 | |
| 1 | 0 | 0 | 低速片上振荡器时钟(f _{IL}) |
| 其他 | | | 禁止设置 |

- 注意事项 1. 为要选择的定时器输入高电平宽度和低电平宽度输入 $1/f_{mck} + 10\text{ ns}$ 或更多。
- 注意事项 2. 在用定时器输入选择寄存器 0 (TIS0) 从 ELC 中选择事件输入信号时，要用定时器时钟选择寄存器 0 (TPS0) 选择 f_{CLK}。

(9) 定时器输出允许寄存器 m (TOEm)

TOEm 寄存器用于允许或禁止各通道的定时器输出。

对于已经允许定时器输出的通道 n，不能通过软件改写下文所述的定时器输出寄存器 m (TOm) 的 TOmn 位的值，同时，通过计数操作从定时器输出引脚 (TOmn) 输出定时器输出功能反映的值。

使用 16 位存储器操作指令设置 TOEm 寄存器。

可以通过 TOEmI 用 1 位或 8 位存储器操作指令设置 TOEm 寄存器的低 8 位。

产生复位信号后，该寄存器被清除为 0000H。

图 6 - 18 定时器输出允许寄存器 m (TOEm) 的格式

| | | | | | | | | | | | | | | | | | | | | |
|---------------------------|---|----|----|----|----|----|---|---|---|---|---|---|------------|-----------|-----------|-----------|-----|--|--|--|
| 地址: F01BAH、 F01BBH (TOE0) | | | | | | | | | | | | | 复位后: 0000H | | | | R/W | | | |
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | |
| TOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TOEm 3 | TOEm 2 | TOEm 1 | TOEm 0 | | | | |
| TOE mn | 允许/禁止通道n的定时器输出 | | | | | | | | | | | | | | | | | | | |
| 0 | 禁止定时器输出。 对于TOMn位不进行定时器操作，且输出固定。 允许写入TOMn位。 | | | | | | | | | | | | | | | | | | | |
| 1 | 允许定时器输出。 对于TOMn位不进行定时器操作，且产生输出波形。 对于TOMn位的写入无效。 | | | | | | | | | | | | | | | | | | | |

注意事项 必须将位 15 至 4 清除为 0。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

(10) 定时器输出寄存器m (TOM)

TOM寄存器是各通道的定时器输出的缓冲器寄存器。

该寄存器的各个位的值从各通道的定时器输出引脚(TOMn)输出。

仅限禁止定时器输出 (TOEmn = 0)时可以用软件改写该寄存器的TOMn位。当允许定时器输出 (TOEmn = 1)时，用软件改写该寄存器无效，且仅能通过定时器操作改变其值。

要把P00/TI00、P01/TO00、P16/TI01/TO01、P17/TI02/TO02、P31/TI03/TO03引脚用作端口功能引脚，须将相应的TOMn位设置为0。

使用16位存储器操作指令设置TOM寄存器。

可以通过TOMl用8位存储器操作指令设置TOM寄存器的低8位。

产生复位信号后，该寄存器被清除为0000H。

图 6 - 19 定时器输出寄存器m (TOM) 的格式

| | | | | | | | | | | | | | | | | | | | | |
|--------------------------|-------------|----|----|----|----|----|---|---|---|---|---|---|------------|------|------|------|-----|--|--|--|
| 地址: F01B8H、 F01B9H (TO0) | | | | | | | | | | | | | 复位后: 0000H | | | | R/W | | | |
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | |
| TOm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TOm3 | TOm2 | TOm1 | TOm0 | | | | |
| TOm n | 通道n的定时器输出 | | | | | | | | | | | | | | | | | | | |
| 0 | 定时器输出值为0。 | | | | | | | | | | | | | | | | | | | |
| 1 | 定时器输出值为“1”。 | | | | | | | | | | | | | | | | | | | |

注意事项 必须将位15至4清除为0。

备注 m: 单元编号(m = 0)， n: 通道编号 (n = 0至3)

(11) 定时器输出电平寄存器m (TOLm)

TOLm 寄存器是用于控制各通道定时器输出电平的寄存器。

当在从属通道输出模式 (TOMmn = 1) 下允许定时器输出 (TOEmn = 1) 时，该寄存器对通道n的反相设置，可以通过定时器输出信号置位复位的时序来反映。主通道输出模式 (TOMmn = 0) 时，对该寄存器的设置无效。

使用 16 位存储器操作指令设置 TOLm 寄存器。

可以通过 TOLml 用 8 位存储器操作指令设置 TOLm 寄存器的低 8 位。

产生复位信号后，该寄存器被清除为 0000H。

图 6 - 20 定时器输出电平寄存器m (TOLm) 的格式

| | | | | | | | | | | | | | | | | | | |
|---------------------------|---------------|----|----|----|----|----|---|---|---|---|---|---|------------|-----------|-----------|---|-----|--|
| 地址： F01BCH、 F01BDH (TOL0) | | | | | | | | | | | | | 复位后： 0000H | | | | R/W | |
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| TOLm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TOLm 3 | TOLm 2 | TOLm 1 | 0 | | |
| TOLmn | 通道n定时器输出电平的控制 | | | | | | | | | | | | | | | | | |
| 0 | 正逻辑输出 （高电平有效） | | | | | | | | | | | | | | | | | |
| 1 | 负逻辑输出 （低电平有效） | | | | | | | | | | | | | | | | | |

- 注意事项 必须将位 15 至 4 以及 0 清除为 0。
- 备注 1. 如果在定时器操作过程中改写该寄存器的值，定时器输出逻辑反相发生在下一个定时器输出信号改变时，而不是在改写之后立即反相。
- 备注 2. m: 单元编号 (m = 0)， n: 通道编号 (n = 0 至 3)

(12) 定时器输出模式寄存器 m (TOMm)

TOMm 寄存器用于控制各通道的定时器输出模式。

某个通道作为单通道操作功能使用时，将使用通道的对应位设置为 0。

某个通道作为多通道联动操作功能（PWM 输出、单触发脉冲输出或多重 PWM 输出）使用时，将主通道的对应位设置为 0，将从属通道的对应位设置为 1。

当允许定时器输出 (TOEmn = 1) 时，该寄存器对各通道 n 的设置可以通过定时器输出信号置位复位的时序来反映。

使用 16 位存储器操作指令设置 TOMm 寄存器。

可以通过 TOMml 用 8 位存储器操作指令设置 TOMm 寄存器的低 8 位。

产生复位信号后，该寄存器被清除为 0000H。

图 6 - 21 定时器输出模式寄存器 m (TOMm) 的格式

| | | | | | | | | | | | | | | | | | | |
|--------------------------|--|----|----|----|----|----|---|---|---|---|---|---|------------|-----------|-----------|---|-----|--|
| 地址: F01BEH、F01BFH (TOM0) | | | | | | | | | | | | | 复位后: 0000H | | | | R/W | |
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| TOMm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TOMm 3 | TOMm 2 | TOMm 1 | 0 | | |
| | | | | | | | | | | | | | | | | | | |
| TOMmn | 通道n定时器输出模式的控制 | | | | | | | | | | | | | | | | | |
| 0 | 主通道输出模式（通过定时器中断请求信号 (INTTMmn) 产生交替输出） | | | | | | | | | | | | | | | | | |
| 1 | 从属通道输出模式（输出由主通道的定时器中断请求信号 (INTTMmn) 置位，由从属通道的定时器中断请求信号 (INTTM0p) 复位） | | | | | | | | | | | | | | | | | |

注意事项 必须将位 15 至 4 以及 0 清除为 0。

备注 m: 单元编号 (m = 0)
n: 通道编号
n = 0 至 3（主通道时 n = 0、2）
p: 从属通道编号
n = 0, p = 1、2、3
n = 2, p = 3
(关于主通道和从属通道之间关系的详情，请参阅 6.4.1 多通道联动操作功能的基本规则)

(13) 噪声滤波器允许寄存器 1 (NFEN1)

NFEN1 寄存器用于设置是否能将噪声滤波器用于输入各通道的定时器输入信号。

将需要消除噪声的引脚的对应位设置为 1，允许噪声滤波器。

允许噪声滤波器时，对 CPU/ 外围硬件时钟 (fMCK) 执行双时钟一致检测以及同步。关闭噪声滤波器时，只对 CPU/ 外围硬件时钟 (fMCK) 执行同步注。

使用 1 位或 8 位存储器操作指令设置 NFEN1 寄存器。

产生复位信号后，该寄存器被清除为 00H。

注 有关详情，请参阅 6.5.1 (2) 选择 TImn 引脚输入信号的有效边沿时 (CCSmn = 1) 和 6.5.2 计数器的开始时序。

图 6 - 22 噪声滤波器允许寄存器 1 (NFEN1) 的格式

地址: F0071H

复位后: 00H

R/W

| | | | | | | | | |
|-------|---|---|---|---|---------|---------|---------|---------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| NFEN1 | 0 | 0 | 0 | 0 | TNFEN03 | TNFEN02 | TNFEN01 | TNFEN00 |

| | |
|---------|------------------------------------|
| TNFEN03 | TI03/TO03/P31 引脚输入信号的噪声滤波器的允许/禁止使用 |
| 0 | 噪声滤波器关闭 |
| 1 | 噪声滤波器启用 |

| | |
|---------|------------------------------------|
| TNFEN02 | TI02/TO02/P17 引脚输入信号的噪声滤波器的允许/禁止使用 |
| 0 | 噪声滤波器关闭 |
| 1 | 噪声滤波器启用 |

| | |
|---------|-----------------------------------|
| TNFEN01 | TI01/P01/P16 引脚输入信号的噪声滤波器的允许/禁止使用 |
| 0 | 噪声滤波器关闭 |
| 1 | 噪声滤波器启用 |

| | |
|---------|-------------------------------|
| TNFEN00 | TI00/P00 引脚输入信号的噪声滤波器的允许/禁止使用 |
| 0 | 噪声滤波器关闭 |
| 1 | 噪声滤波器启用 |

(14) 端口模式寄存器0、1、3 (PM0、PM1、PM3)

这些寄存器以1位为单位设置端口0、1、3的输入/输出。

在将与定时器输出引脚共用的端口（如 P01/TO00 和 P17/TO02/TI02 等）用作定时器输出时，须将对应于各端口的端口模式控制寄存器 (PMCxx) 的位、端口模式寄存器 (PMxx) 的位和端口寄存器 (Pxx) 的位设置为 0。

示例 将 P17/TO02/TI02 用作定时器输出时。
 将端口模式寄存器 1 的 PM17 位设置为 0。
 将端口寄存器 1 的 P17 位设置为 0。

在将与定时器输出引脚共用的端口（如 P00/TI00 和 P17/TO02/TI02）用作定时器输入时，须将对应于各端口的端口模式控制寄存器 (PMCxx) 的位和端口模式寄存器 (PMxx) 的位设置为 1。此时，端口寄存器 (Pxx) 的位可以是 0 或 1。

示例 将 P17/TO02/TI02 用作定时器输入时。
 将端口模式寄存器 1 的 PM17 位设置为 1。
 将端口寄存器的 P17 位设置为 0 或 1。

使用 1 位或 8 位存储器操作指令设置 PM0、PM1、PM3 寄存器。
产生复位信号后，该寄存器被设置为 FFH。

图 6 - 23 端口模式寄存器0、1、3（PM0、PM1、PM3）的格式（32引脚产品）

| | | | | | | | | |
|-----------|-----------------------------------|------|------|------|------|------|------|------|
| 地址：FFF20H | 复位后：FFH | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PM0 | 1 | 1 | 1 | 1 | 1 | 1 | PM01 | PM00 |
| | | | | | | | | |
| 地址：FFF21H | 复位后：FFH | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PM1 | PM17 | PM16 | PM15 | PM14 | PM13 | PM12 | PM11 | PM10 |
| | | | | | | | | |
| 地址：FFF23H | 复位后：FFH | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PM3 | 1 | 1 | 1 | 1 | 1 | 1 | PM31 | PM30 |
| | | | | | | | | |
| PMmn | Pmn引脚输入/输出模式选择（m = 0、1、3；n = 0至7） | | | | | | | |
| 0 | 输出模式（输出缓冲器启用） | | | | | | | |
| 1 | 输入模式（输出缓冲器关闭） | | | | | | | |

6.4 定时器阵列单元的基本规则

6.4.1 多通道联动操作功能的基本规则

使用多通道联动操作功能，即联合使用主通道（主要用于对周期进行计数的基准定时器）和从属通道（以主通道为基准而工作的定时器）时，须遵守以下规则。

- (1) 只能将偶数通道（通道0、2）设置为主通道。
- (2) 通道0以外的任何通道均可以设置为从属通道。
- (3) 从属通道的编号必须高于主通道。

示例 设置通道0为主通道时，可以将通道1或之后的通道（通道1、2、3）设置为从属通道。

- (4) 对一个主通道可以设置两个或更多从属通道。
- (5) 使用两个或更多主通道时，从属于一个主通道的从属通道之间不能间隔其他的主通道。

示例 如果将通道0和通道2设置为主通道，则可以将通道1设置为主通道0的从属通道。而不能将通道3设置为主通道0的从属通道。

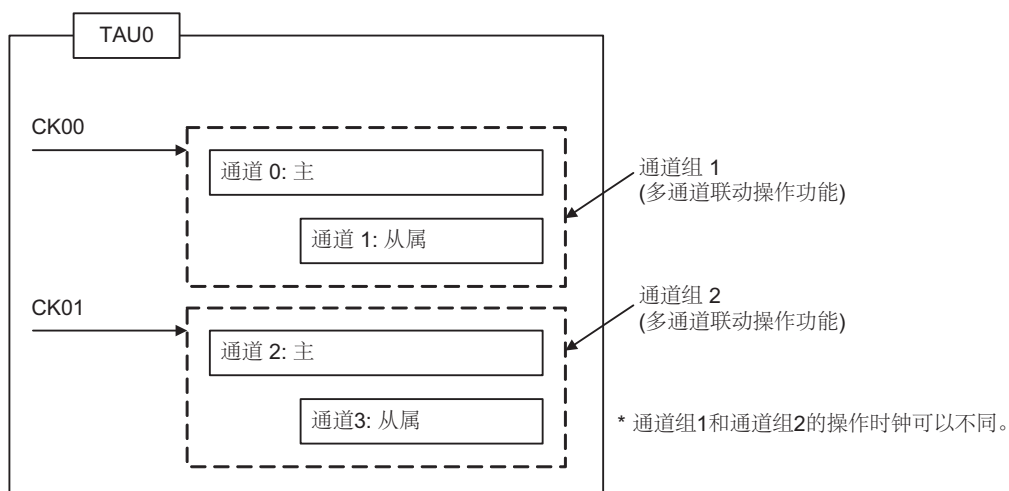
- (6) 与某个主通道联动的从属通道的工作时钟必须与该主通道时钟相同。与主通道联动操作的从属通道的CKSmn0、CKSmn1位（定时器模式寄存器mn (TMRmn)的位15、14）的值必须与主通道的相同。
- (7) 主通道可以向更高的通道发送INTTMmn（中断）、开始软件触发和计数时钟。
- (8) 从属通道可以将主通道的INTTMmn（中断）、开始软件触发或计数时钟用作源时钟，但不能将自己的INTTMmn（中断）、开始软件触发或计数时钟发送至更高编号的通道。
- (9) 主通道不能将更低的主通道的INTTMmn（中断）、开始软件触发或计数时钟用作源时钟。
- (10) 要同时启用联动操作的通道，因此必须同时设置联动通道的通道开始触发位(TSmn)。
- (11) 在计数操作时，可以仅设置主通道的 TSmn 位或者联动操作的所有通道的 TSmn 位。不能仅设置从属通道的 TSmn 位。
- (12) 要同时停止联动操作的通道，必须同时设置联动通道的通道停止触发位(TTmn)。
- (13) 操作联动通道时，须保持主通道和从属通道的工作时钟同步，因此不能选择CKm2/CKm3。
- (14) 定时器模式寄存器m0 (TMRm0)中没有主从设置位（固定为0）。然而，由于通道0是最低通道，因此联动操作时可以将通道0用作主通道。

多通道联动操作功能的基本规则在通道组（一个实现多通道联动功能的主通道和从属通道的集合）内适用。

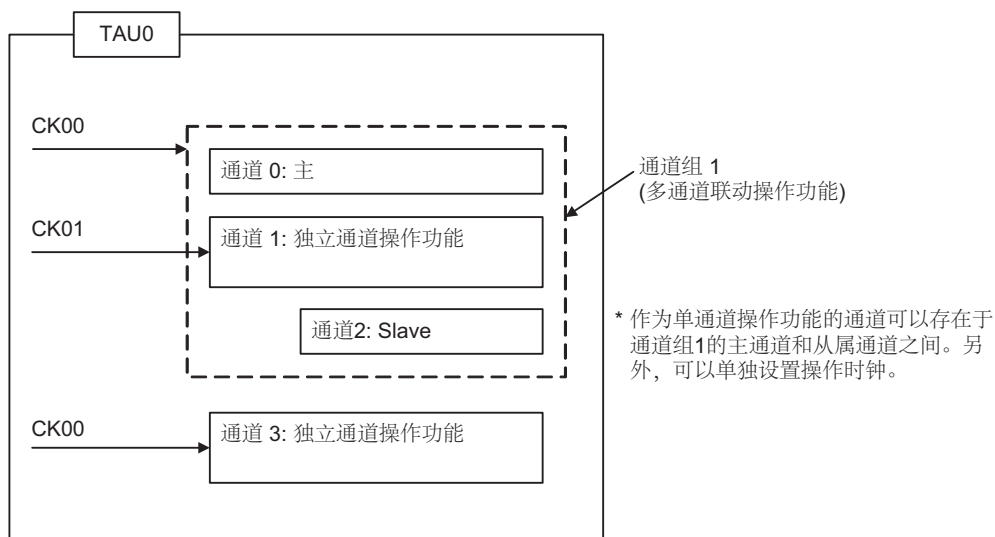
如果指定两个或更多的彼此间不联动操作的通道组，则通道组之间不适用 6.4.1 多通道联动操作功能的基本规则中所述的规则。

备注 m: 单元编号(m = 0), n: 通道编号 (n = 0至3)

示例 1



示例 2



6.4.2 8位定时器操作功能的基本规则（仅限通道1和3）

通过8位定时器操作功能，可以将16位定时器通道作为包括两个8位定时器通道的构造来使用。

该功能仅用于通道1和通道3，并须遵守一些规则。

该功能的基本规则如下所示：

- (1) 8位定时器操作功能仅适用于通道1和通道3。
- (2) 作为8位定时器使用时，将定时器模式寄存器mn (TMRmn)的SPLIT位设置为1。
- (3) 高8位定时器可以用作间隔定时器功能。
- (4) 开始操作时，高8位输出INTTMm1H/INTTMm3H（中断）（执行与设置MDmn0为1时相同的操作）。
- (5) 高8位定时器的工作时钟的选择须根据低位TMRmn寄存器的CKSmn1和CKSmn0位进行操作。
- (6) 对高8位定时器，通过操作TSHm1/TSHm3位来开始通道操作，通过操作TTHm1/TTHm3位来停止通道操作。
可以使用TEHm1/TEHm3位来确认通道状态。
- (7) 低8位定时器依据TMRmn寄存器的设置工作。以下三种功能支持低8位定时器操作：
 - 间隔定时器功能
 - 外部事件计数器功能
 - 延迟计数功能
- (8) 对低8位定时器，通过操作TSm1/TSm3位来开始通道操作，通过操作TTm1/TTm3位来停止通道操作。可以使用TEm1/TEm3位来确认通道状态。
- (9) 在16位定时器操作中，对TSHm1、TSHm3、TTHm1和TTHm3位进行的操作无效。通过操作TSm1、TSm3、TTm1和TTm3位来操作通道1和通道3。TEHm3位和TEHm1位不变。
- (10) 在使用8位定时器功能时，不能使用联动操作功能（单触发脉冲、PWM和多重PWM）。

备注 m: 单元编号(m = 0)， n: 通道编号 (n = 1、3)

6.5 计数器的操作时序

6.5.1 计数时钟(fTCLK)

定时器阵列单元的计数时钟(fTCLK)可以通过定时器模式寄存器mn (TMRmn)的CCSmn位从以下两者之中选择。

- 由CKSmn0位和CKSmn1位指定的工作时钟(fMCK)
- TImn引脚的输入信号的有效边沿

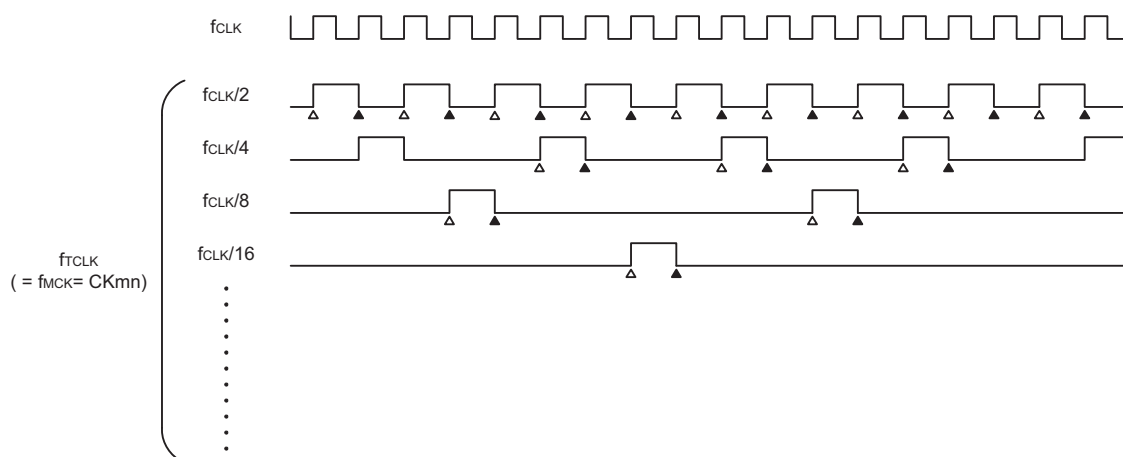
由于定时器阵列单元被设计为与fCLK同步操作，计数时钟(fTCLK)的时序如下所示。

(1) 选择由CKSmn0位和CKSmn1位指定的工作时钟(fMCK)时(CCSmn = 0)

根据定时器时钟选择寄存器m (TPSm)的设置，计数时钟(fTCLK)在fCLK与fCLK/2¹⁵之间进行选择。然而，当选择为fCLK的分频时，由TPSmn寄存器选择的时钟变成了每个上升沿后只保持1个fCLK周期的高电平的信号。选择为fCLK时，固定在高电平。

为了与fCLK保持同步，定时器计数寄存器mn (TCRmn)是在计数时钟的上升沿等待1个fCLK时钟周期后开始计数。出于方便，将其称为“在计数时钟的上升沿计数”。

图 6 - 24 fCLK和计数时钟(fTCLK)的时序 (CCSmn = 0时)

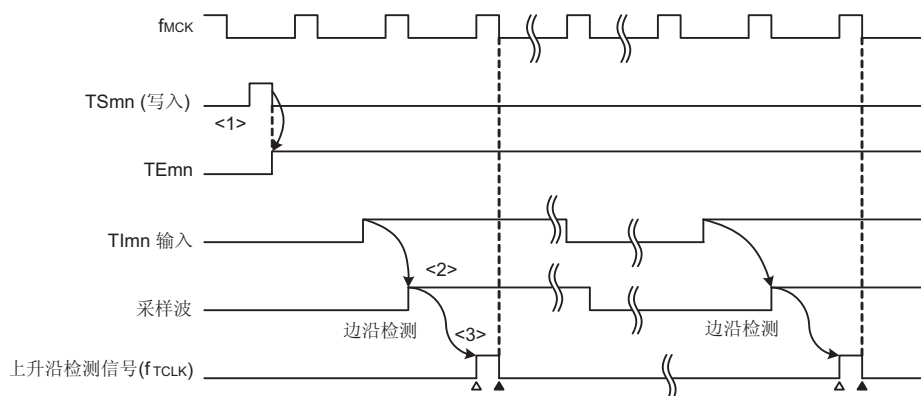


- 备注 1. △：计数时钟的上升沿
 ▲：同步、计数器的递增/递减
- 备注 2. fCLK：CPU/外围硬件时钟

(2) 选择 TImn 引脚输入信号的有效边沿时 (CCSmn = 1)

计数时钟 (f_{TCLK}) 为检测 TImn 引脚输入信号的有效边沿并同步至下一个 f_{MCK} 上升沿的信号。计数时钟 (f_{TCLK}) 比实际上的 TImn 引脚的输入信号延迟了 1 至 2 个 f_{MCK} 时钟周期 (使用噪声滤波器时, 延迟 3 至 4 个时钟周期)。为了与 f_{CLK} 保持同步, 定时器计数寄存器 mn (TCRmn) 是在计数时钟的上升沿等待 1 个 f_{CLK} 时钟周期后开始计数。出于方便, 将其称为 “在 TImn 引脚输入信号的有效边沿计数”。

图 6 - 25 f_{CLK} 和计数时钟 (f_{TCLK}) 的时序 (CCSmn = 1, 未使用噪声滤波器时)



<1> 设置 TSmn 位为 1 以启动定时器, 并成为等待 TImn 引脚输入信号的有效边沿的状态。

<2> f_{MCK} 对 TImn 引脚输入信号的上升沿进行采样。

<3> 在采样信号的上升沿检测边沿, 并输出检测信号 (计数时钟)。

备注 1. △: 计数时钟的上升沿

▲: 同步、计数器的递增/递减

备注 2. f_{CLK}: CPU/外围硬件时钟

f_{MCK}: 通道 n 的工作时钟

备注 3. 输入脉冲间隔测量、输入信号高/低电平的测量、延迟计数器以及单触发脉冲输出功能的 TImn 引脚输入信号具有相同的波形, 如图 6 - 25 所示。

6.5.2 计数器的开始时序

通过设置定时器通道开始寄存器m (TSMn)的 TSMn位, 可以允许操作定时器计数寄存器mn (TCRmn)。

从计数操作允许状态到定时器计数寄存器mn (TCRmn)计数开始为止的操作如表 6 - 6所示。

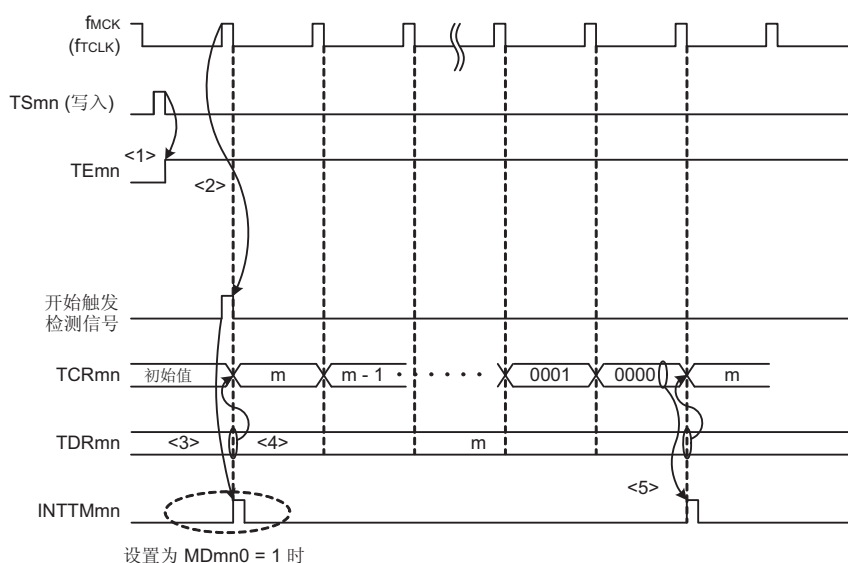
表 6 - 6 从计数操作允许状态到定时器计数寄存器mn (TCRmn)计数开始为止的操作

| 定时器操作模式 | 设置为 TSMn = 1 时的操作 |
|------------|---|
| • 间隔定时器模式 | 从检测到开始触发(TSMn=1)直到产生计数时钟为止不执行任何操作。 在第一个计数时钟将 TDRmn 寄存器的值载入 TCRmn 寄存器, 在之后的计数时钟执行递减计数操作 (参阅 6.5.2 (a) 间隔定时器模式下的开始时序)。 |
| • 事件计数器模式 | 向 TSMn 位写入 1, 把 TDRmn 寄存器的值载入 TCRmn 寄存器。 后续计数时钟执行递减计数操作。 由 TMRmn 寄存器的 STSMn2 位至 STSMn0 位选择的外部触发检测不会启动计数操作 (参阅 6.5.2 (b) 事件计数器模式下的开始时序)。 |
| • 捕捉模式 | 从检测到开始触发直到产生计数时钟为止不执行任何操作。 在第一个计数时钟将 0000H 载入 TCRmn 寄存器, 在之后的计数时钟执行递增计数操作 (参阅 6.5.2 (c) 捕捉模式下的开始时序)。 |
| • 单计数模式 | 在定时器停止(TEmn = 0)状态下, 向 TSMn 位写入 1 以进入等待开始触发状态。 从检测到开始触发直到产生计数时钟为止不执行任何操作。 在第一个计数时钟将 TDRmn 寄存器的值载入 TCRmn 寄存器, 在之后的计数时钟执行递减计数操作 (参阅 6.5.2 (d) 单计数模式下的开始时序)。 |
| • 捕捉&单计数模式 | 在定时器停止(TEmn = 0)状态下, 向 TSMn 位写入 1 以进入等待开始触发状态。 从检测到开始触发直到产生计数时钟为止不执行任何操作。 在第一个计数时钟将 0000H 载入 TCRmn 寄存器, 在之后的计数时钟执行递增计数操作 (参阅 6.5.2 (e) 捕捉&单计数模式下的开始时序 (当测量到高电平宽度))。 |

(a) 间隔定时器模式下的开始时序

- <1> 通过向 **TSmn** 位写入 1 允许定时器操作 (**TEmn** = 1)。直到产生计数时钟为止定时器计数寄存器 **mn** (**TCRmn**) 将保持初始值。
- <2> 允许操作时, 在第一个计数时钟产生开始触发信号。
- <3> 设置 **MDmn0** 位为 1 时, 开始触发信号将产生 **INTTMmn**。
- <4> 在允许操作后的第一个计数时钟, 定时器数据寄存器 **mn** (**TDRmn**) 的值被载入 **TCRmn** 寄存器, 并在间隔定时器模式下开始计数。
- <5> 当 **TCRmn** 寄存器递减计数至其计数值为 0000H 时, 产生 **INTTMmn**, 并将定时器数据寄存器 **mn** (**TDRmn**) 的值载入 **TCRmn** 寄存器, 继续计数。

图 6 - 26 开始时序 (间隔定时器模式下)



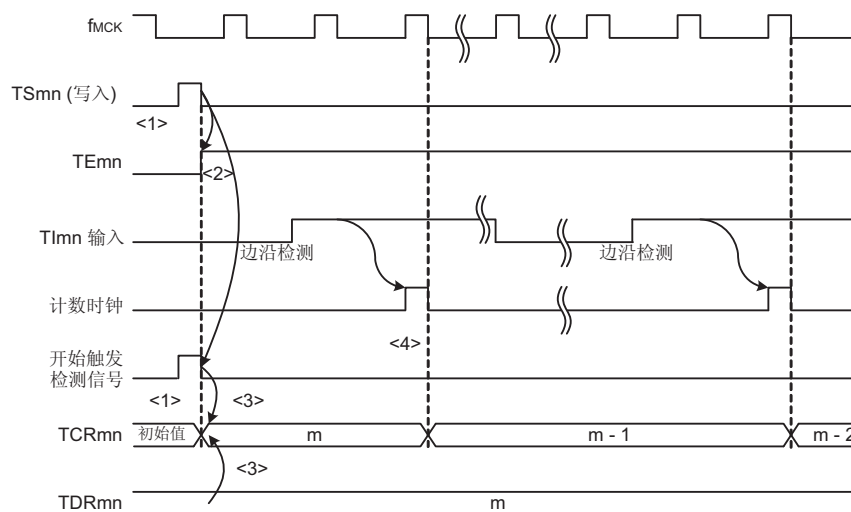
备注 f_{MCK} 、开始触发检测信号和 **INTTMmn** 与 f_{CLK} 同步后, 在一个时钟周期之内被激活。

注意事项 在计数时钟的第一个周期操作中, 写 **TSmn** 位之后到产生计数时钟为止会发生开始计数的延迟, 将产生最大为一个时钟周期的误差。需要获得开始计数时序信息时, 可以通过设置 **MDmn0 = 1** 在开始计数时产生中断。

(b) 事件计数器模式下的开始时序

- <1> 停止操作 ($TE_{mn} = 0$) 时, 定时器计数寄存器 mn (TCR_{mn}) 保持初始值。
- <2> 通过向 TS_{mn} 位写入 1 允许定时器操作 ($TE_{mn} = 1$)。
- <3> 向 TS_{mn} 位写入 1 并且 TE_{mn} 位被设置为 1 后, 立即将定时器数据寄存器 mn (TDR_{mn}) 的值载入 TCR_{mn} 寄存器并开始计数。
- <4> 此后, 依据 TI_{mn} 输入的有效边沿的计数时钟对 TCR_{mn} 寄存器值进行递减计数。

图 6 - 27 开始时序 (事件计数器模式下)

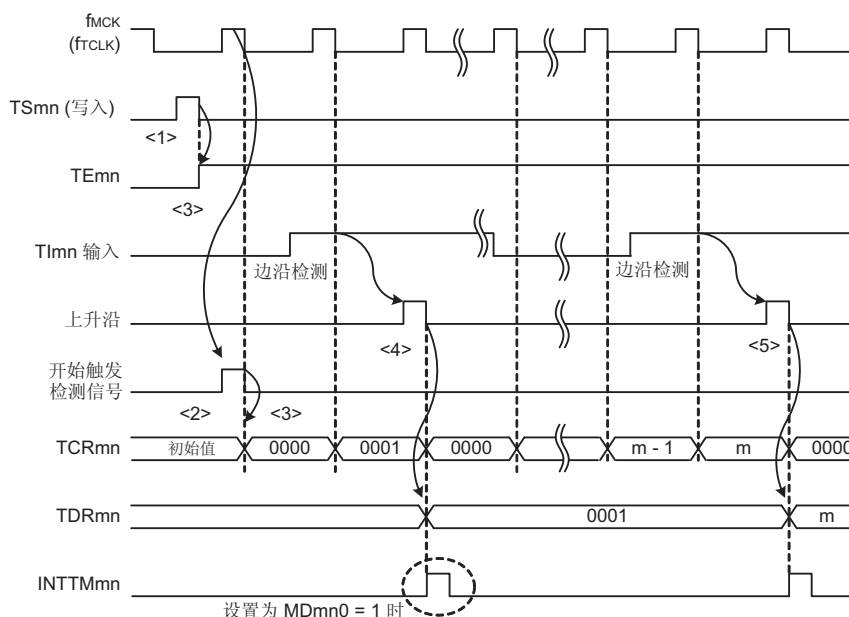


备注 不使用噪声滤波器时的时序如图 6 - 26 所示。启用噪声滤波器时, 边沿检测将比 TI_{mn} 输入再晚 2 个 f_{MCK} 周期 (合计 3 至 4 个周期)。

(c) 捕捉模式下的开始时序

- <1> 通过向 **TSmn** 位写入 1 允许定时器操作 (**TEmn** = 1)。
- <2> 直到产生计数时钟为止定时器计数寄存器 **mn** (**TCRmn**) 将保持初始值。
- <3> 允许操作时, 在第一个计数时钟产生开始触发信号。将 0000H 载入 **TCRmn** 寄存器并以捕捉模式开始计数。(设置 **MDmn0** 位为 1 时, 开始触发信号将产生 **INTTMmn**。)
- <4> 检测到 **TIln** 输入的有效边沿时, 将 **TCRmn** 寄存器的值捕捉至定时器数据寄存器 **mn** (**TDRmn**), 并产生 **INTTMmn**。此时捕捉值没有意义。**TCRmn** 寄存器从 0000H 开始继续计数。
- <5> 下一次检测到 **TIln** 输入的有效边沿时, 将 **TCRmn** 寄存器的值捕捉至定时器数据寄存器 **mn** (**TDRmn**), 并产生 **INTTMmn**。

图 6 - 28 开始时序 (捕捉模式下)



备注 不使用噪声滤波器时的时序如图 6 - 27 所示。启用噪声滤波器时, 边沿检测将比 **TIln** 输入再晚 2 个 f_{MCK} 周期 (合计 3 至 4 个周期)。

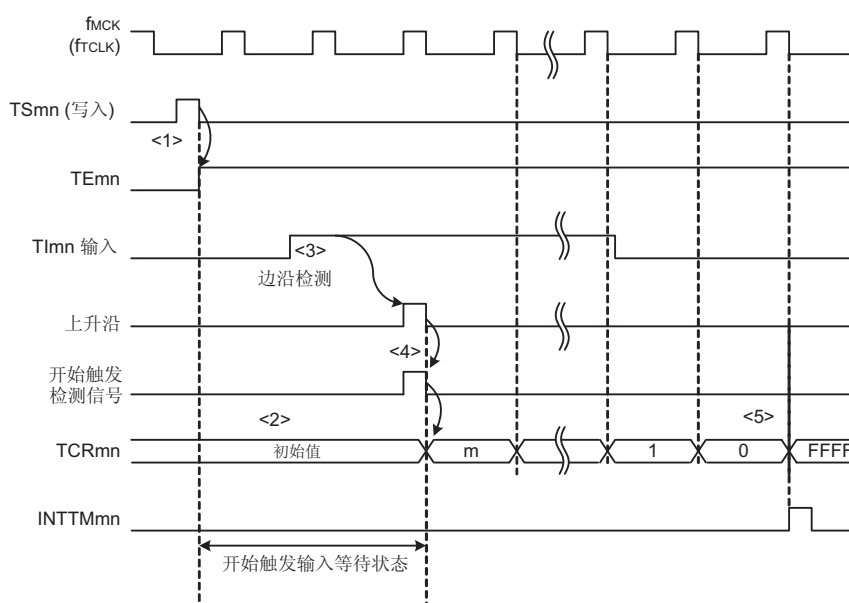
由于计数的开始与 **TIln** 输入的时序不同步, 第一个捕捉值 (图 6 - 26 中的 <4>) 与脉冲间隔并无关系。请忽略第一个捕捉值。

注意事项 在计数时钟的第一个周期操作中, 写 **TSmn** 位之后到产生计数时钟为止会发生开始计数的延迟, 将产生最大为一个时钟周期的误差。需要获得开始计数时序信息时, 可以通过设置 **MDmn0** = 1 在开始计数时产生中断。

(d) 单计数模式下的开始时序

- <1> 通过向 TSmn 位写入 1 允许定时器操作 (TEmn = 1)。
- <2> 直到产生开始触发信号为止定时器计数寄存器 mn (TCRmn) 将保持初始值。
- <3> 检测到 TImn 输入的上升沿。
- <4> 检测到开始触发信号时，将定时器数据寄存器 mn (TDRmn) 的值载入 TCRmn 寄存器并开始计数。
- <5> 当 TCRmn 寄存器递减计数至其计数值为 0000H 时，产生 INTTMmn，TCRmn 寄存器的值变成 FFFFH 并停止计数。

图 6 - 29 开始时序（单计数模式下）



备注 不使用噪声滤波器时的时序如图 6 - 28 所示。启用噪声滤波器时，边沿检测将比 TImn 输入再晚 2 个 fMCK 周期（合计 3 至 4 个周期）。1 个周期的误差来源于 TImn 输入与计数时钟 (fMCK) 的周期之间的不同步。

(e) 捕捉&单计数模式下的开始时序（当测量到高电平宽度）

<1> 通过向定时器通道开始寄存器m (TSm)的TSmn位写入1以允许操作(TEmn = 1)。

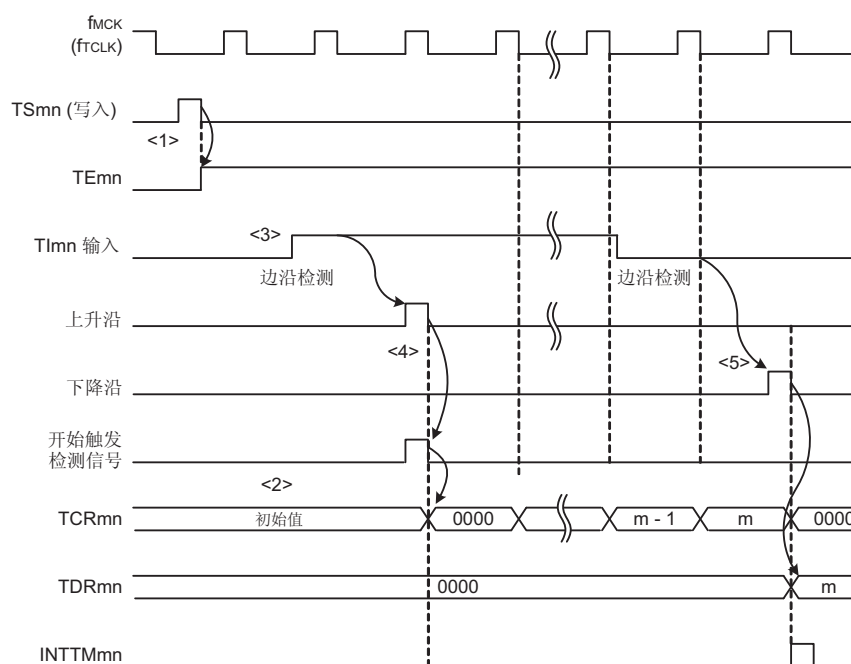
<2> 直到产生开始触发信号为止定时器计数寄存器mn (TCRmn)将保持初始值。

<3> 检测到TImn输入的上升沿。

<4> 检测到开始触发信号时，将0000H值载入TCRmn寄存器并开始计数。

<5> 检测到TImn输入的下降沿时，将TCRmn寄存器的值捕捉至定时器数据寄存器mn (TDRmn)，并产生INTTMmn。

图 6 - 30 开始时序（在捕捉&单计数模式下）

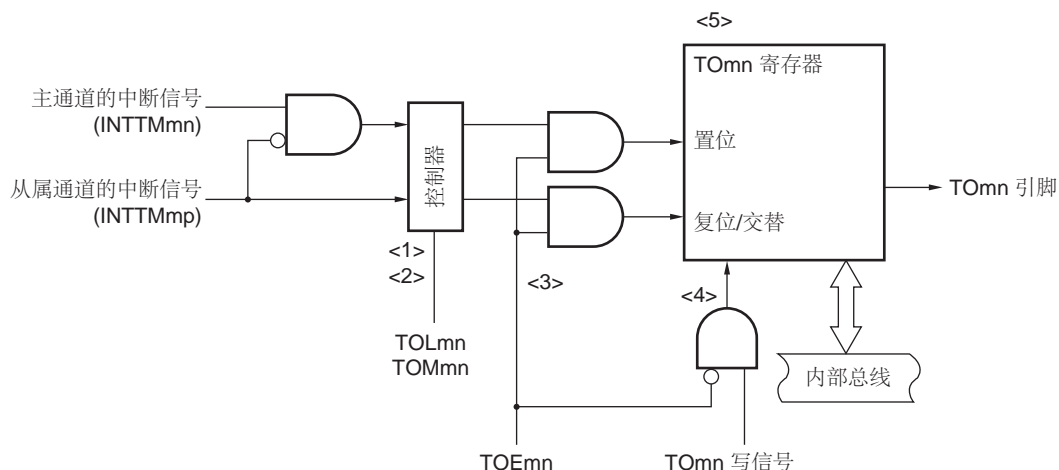


备注 不使用噪声滤波器时的时序如图 6 - 29 所示。启用噪声滤波器时，边沿检测将比 $TImn$ 输入再晚 2 个 f_{MCK} 周期（合计 3 至 4 个周期）。

6.6 通道输出（TOMn引脚）控制

6.6.1 TOMn引脚输出电路配置

图 6 - 31 输出电路配置



下面介绍 TOMn 引脚输出电路。

<1> 当 TOMmn = 0（主通道输出模式）时，定时器输出电平寄存器 m (TOLm) 的设定值无效，仅将 INTTM0p（从属通道定时器中断）发送至定时器输出寄存器 m (TOM)。

<2> 当 TOMmn = 1（从属通道输出模式）时，将 INTTMmn（主通道定时器中断）和 INTTM0p（从属通道定时器中断）的双方都发送至 TOM 寄存器。

此时，TOLm 寄存器变为有效，并按以下方式控制信号：

TOLmn = 0 时：正向操作（INTTMmn → 设置、INTTM0p → 复位）

TOLmn = 1 时：反向操作（INTTMmn → 复位、INTTM0p → 设置）

当同时产生 INTTMmn 和 INTTM0p（占空比为 0% 的 PWM 波形被输出）时，INTTM0p（复位信号）优先，INTTMmn（置位信号）被屏蔽。

<3> 当允许定时器输出 (TOMmn = 1) 时，将 INTTMmn（主通道定时器中断）和 INTTM0p（从属通道定时器中断）的双方都发送至 TOM 寄存器。向 TOM 寄存器的写入（TOMn 写信号）无效。

当 TOEmn = 1 时，中断信号以外的信号不会改变 TOMn 引脚输出。

初始化 TOMn 引脚输出电平时，需要设置为停止定时器操作 (TOEmn = 0) 并向 TOM 寄存器写入值。

<4> 当禁止定时器输出 (TOEmn = 0) 时，对目标通道的 TOMn 位的写入操作（TOMn 写信号）有效。当禁止定时器输出 (TOEmn = 0) 时，不将 INTTMmn（主通道定时器中断）和 INTTM0p（从属通道定时器中断）的任意一方发送至 TOM 寄存器。

<5> 任何时候均可读取 TOM 寄存器，确认 TOMn 引脚输出电平。

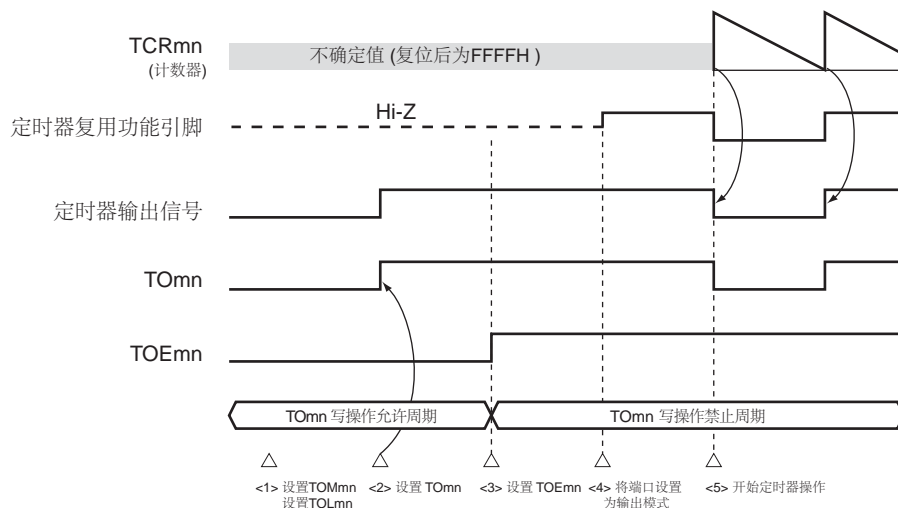
备注

- m: 单元编号 (m = 0)
- n: 通道编号
- n = 0 至 3（主通道时 n = 0、2）
- p: 从属通道编号
- n = 0: p = 1、2、3
- n = 2: p = 3

6.6.2 T_{Omn}引脚输出设置

从T_{Omn}输出引脚的初始设置到开始定时器操作为止的步骤和状态变化如下图所示。

图 6 - 32 从定时器输出设置到操作开始的状态转换



<1> 设置定时器输出的操作模式。

- T_{Om}m 位 (0: 主通道输出模式, 1: 从属通道输出模式)
- T_{OL}m 位 (0: 正逻辑输出, 1: 负逻辑输出)

<2> 通过设置定时器输出寄存器m (T_{Om})将定时器输出信号设置为初始状态。

<3> 向T_{OEmn}位写入1以允许定时器输出操作 (禁止写入T_{Om}寄存器)。

<4> 将端口输入/输出设置设为输出 (参阅 6.3 (14) 端口模式寄存器0、1、3 (PM0、PM1、PM3))。

<5> 允许定时器操作(T_Smn = 1)。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

6.6.3 通道输出操作的注意事项

(1) 在定时器操作时TOM、TOEm、TOLm和TOMm寄存器的设置值的变化

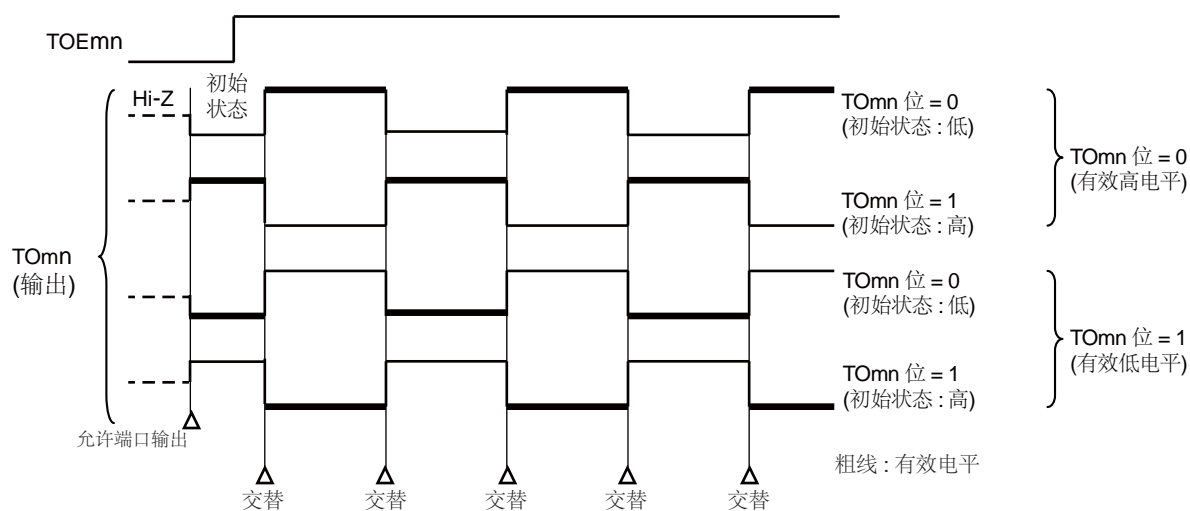
由于定时器操作（定时器计数寄存器(TCRmn)和定时器数据寄存器mn(TDRmn)的操作）独立于TOMn输出电路，更改定时器输出寄存器m(TOm)、定时器输出允许寄存器m(TOEm)、定时器输出电平寄存器m(TOLm)以及定时器输出模式寄存器m(TOMm)的设置值不会影响定时器操作，在定时器操作期间可以更改这些值。然而，各个定时器操作时若要从TOMn引脚输出预期波形的话，须将TOM、TOEm、TOLm和TOMm寄存器设置为如6.7和6.8所示各个操作时寄存器设置内容示例的值。

如果在接近各通道定时器中断(INTTMmn)发生时更改TOEm、TOLm和TOMm寄存器（TOM寄存器除外）的设置值，根据更改的执行是在定时器中断(INTTMmn)发生前还是发生后，输出至TOMn引脚的波形可能不同。

备注 m: 单元编号(m = 0), n: 通道编号 (n = 0至3)

- (2) **TOmn**引脚的初始电平和开始定时器操作后的输出电平
- 在允许端口输出之前，禁止定时器输出(**TOEmn** = 0)的状态下，写入定时器输出寄存器 **m** (**TOm**)更改初始电平后，设置为允许定时器输出(**TOEmn** = 1)时，**TOmn**引脚输出电平的变化如下所示。
- (a) 在主通道输出模式(**TOMmn** = 0)设置下开始操作时
- 主通道输出模式(**TOMmn** = 0)时，定时器输出电平寄存器 **m** (**TOLm**)的设置无效。设置初始电平后开始定时器操作时，产生交替信号使**TOmn**引脚的输出电平反相。

图 6 - 33 交替输出(**TOMmn** = 0)时的**TOmn**引脚输出状态



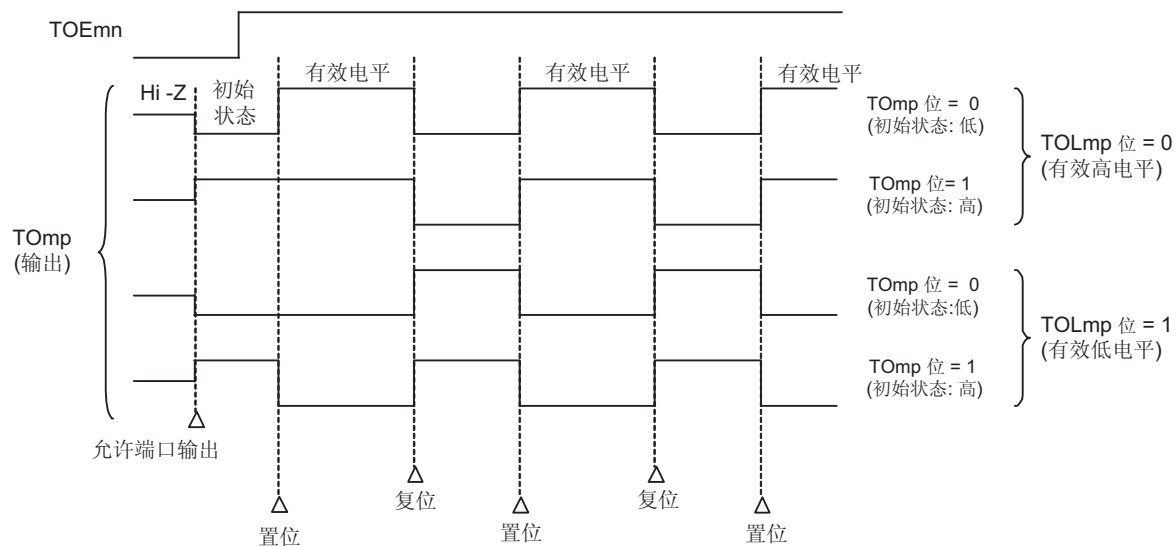
备注 1. 交替: **TOmn**引脚输出状态反相

备注 2. **m**: 单元编号 (**m** = 0), **n**: 通道编号 (**n** = 0至3)

- (b) 从属通道输出模式 (TOMmn = 1) 设置下开始操作时 (PWM 输出)

从属通道输出模式(TOMmn = 1)时,有效电平取决于定时器输出电平寄存器m(TOLm)的设置。

图 6-34 PWM 输出时 (TOMmn = 1) 的 TOMn 引脚输出状态



备注 1. 置位: T0mn引脚的输出信号从无效电平变为有效电平。

复位: TOmn引脚的输出信号从有效电平变为无效电平。

备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

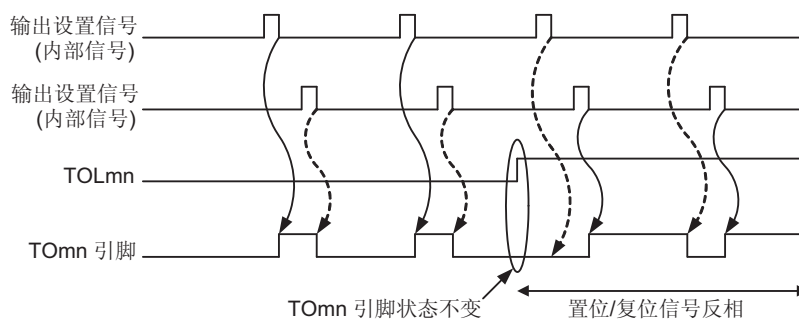
(3) 在从属通道输出模式 ($TOMmn = 1$) 下 $TOmn$ 引脚的操作

(a) 在定时器操作期间改变定时器输出电平寄存器 m ($TOLm$) 设置时

定时器操作期间更改 $TOLm$ 寄存器的设置时，在 $TOmn$ 引脚变更条件的产生时序设置生效。改写 $TOLm$ 寄存器不会立刻改变 $TOmn$ 引脚的输出电平。

当 $TOMmn$ 被设置为 1，在操作定时器 ($TEmn = 1$) 期间更改 $TOLm$ 寄存器的值时的操作如下所示。

图 6 - 35 在定时器操作期间改变 $TOLm$ 寄存器时的操作



备注 1. 置位: $TOmn$ 引脚的输出信号从无效电平变为有效电平。

复位: $TOmn$ 引脚的输出信号从有效电平变为无效电平。

备注 2. m : 单元编号 ($m = 0$), n : 通道编号 ($n = 0$ 至 3)

(b) 置位/复位时序

为了在PWM输出时实现0%/100%输出，使用从属通道，将产生主通道定时器中断(INTTMmn)时TOMn引脚/TOMn位的设置时序延迟1个计数时钟周期。

同时产生设置条件和复位条件时，后者优先。

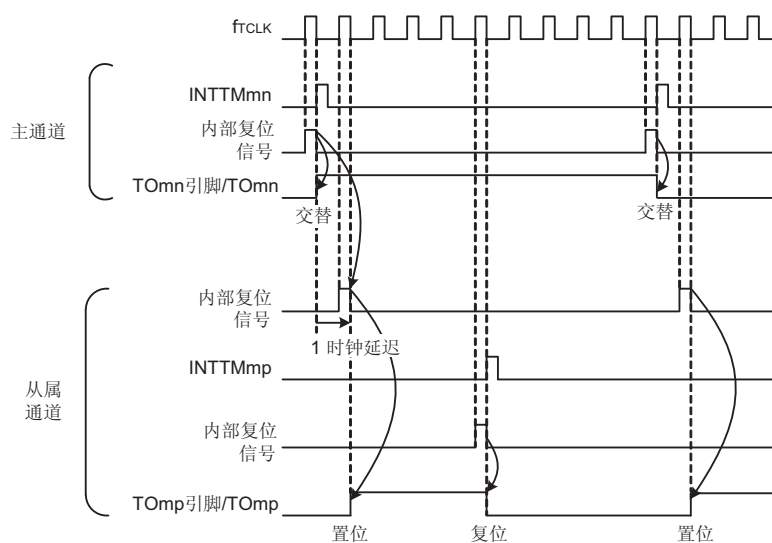
按以下方式设置主/从属通道时，置位/复位操作状态如图 6 - 36所示。

主通道：TOEmn = 1, TOMmn = 0, TOLmn = 0

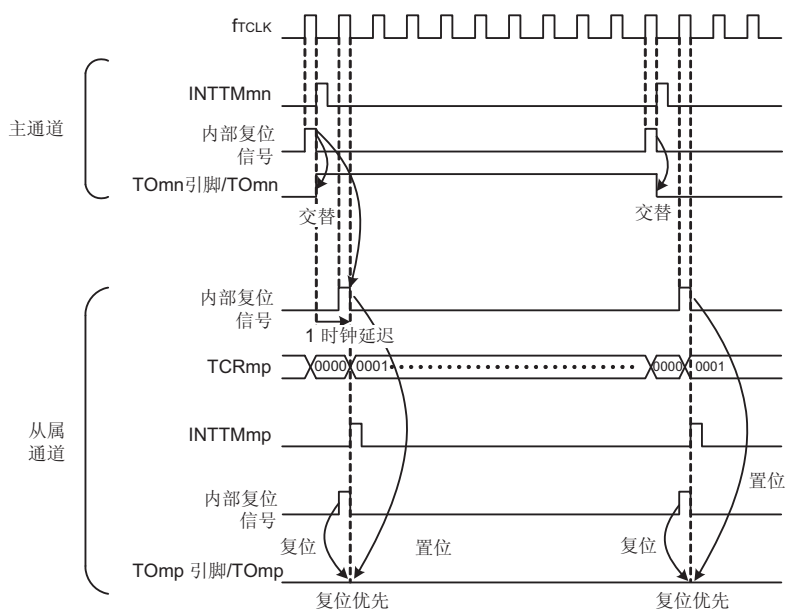
从属通道：TOEmp = 1, TOMmp = 1, TOLmp = 0

图 6-36 置位/复位时序操作状态

(1) 基本操作时序



(2) 0% 占空时的操作时序



备注 1. 内部复位信号: TOn 引脚复位/交替信号

内部置位信号: TOn 引脚置位信号

备注 2. m: 单元编号 (m = 0)

n: 通道编号

n = 0 至 3 (主通道时 n = 0、2)

p: 从属通道编号

n = 0: p = 1、2、3

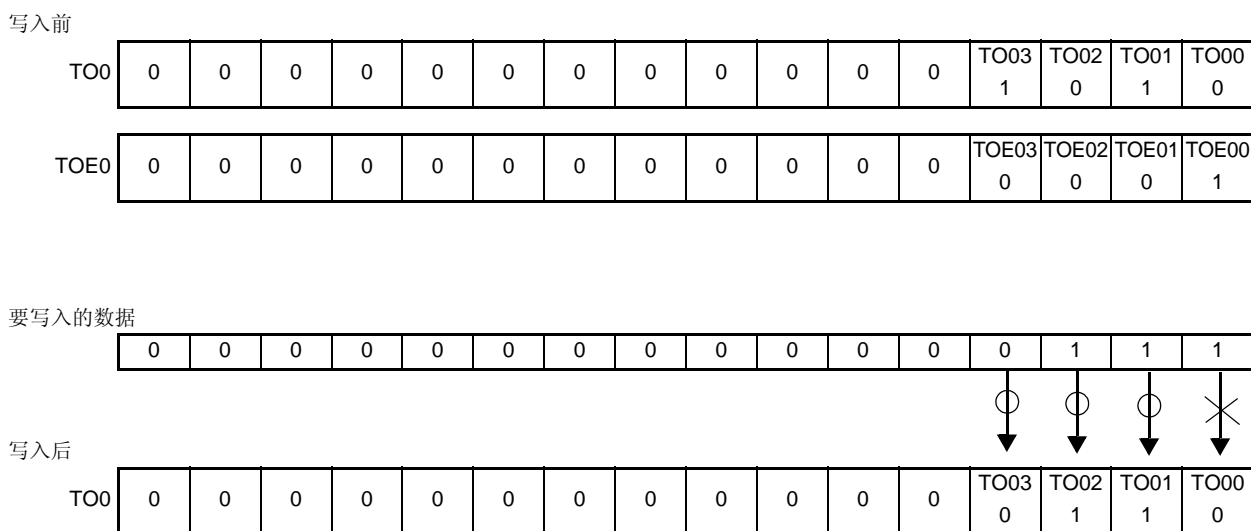
n = 2: p = 3

6.6.4 TOmn位的集中操作

在定时器输出寄存器 **m** (TOm) 中, 采用与定时器通道开始寄存器 **m** (TSm) 相同的形式, 在一个寄存器中配置有所有通道的设置位。因此, 可以集中操作所有通道的 TOmn 位。

而且因为可以对只想要作为操作对象的通道输出 (TOmn) 的 TOmn 进行写入 (TOEmn = 0), 所以对该寄存器的任意位都可以进行独立操作。

图 6 - 37 集中操作 TO0n 位的示例



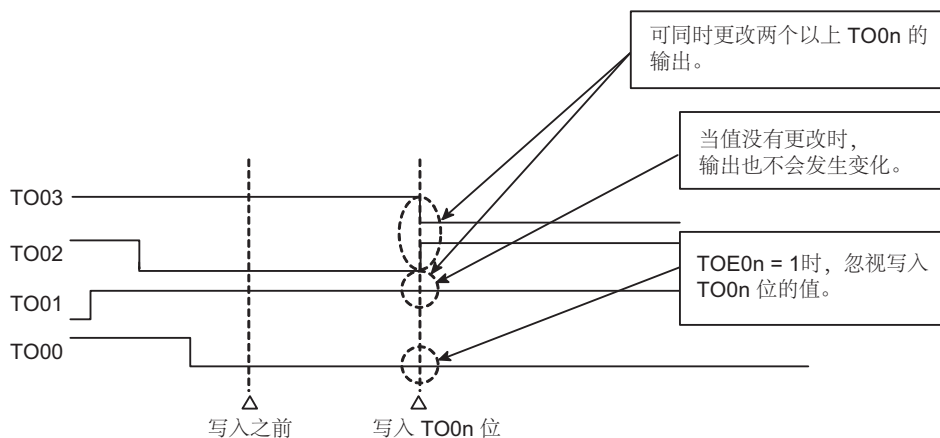
仅写入 TOEmn = 0 的 TOmn 位, 向 TOEmn = 1 的 TOmn 位的写入无效。

设置为 TOEmn = 1 的 TOmn (通道输出) 不受写操作影响。即使对 TOmn 位执行写操作也会无效, 定时器操作导致的输出改变被正常执行。

注意事项 允许定时器输出 (TOEmn = 1) 时, 即使各个通道的定时器中断 (INTTMmn) 所导致的输出与向 TOmn 位的写入相冲突, 也正常执行 TOmn 引脚的输出。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

图 6 - 38 集中操作 TO0n 位时 TO0n 引脚的状态



(注意事项和备注如下页所示。)

注意事项 允许定时器输出(**TOEmn = 1**)时,即使各个通道的定时器中断(**INTTMmn**)所导致的输出与向**TOmn**位的写入相冲突,也正常执行**TOmn**引脚的输出。

备注 m: 单元编号 (m = 0、1), n: 通道编号 (n = 0至7)

6.6.5 计数操作开始时的定时器中断和**TOmn**引脚输出

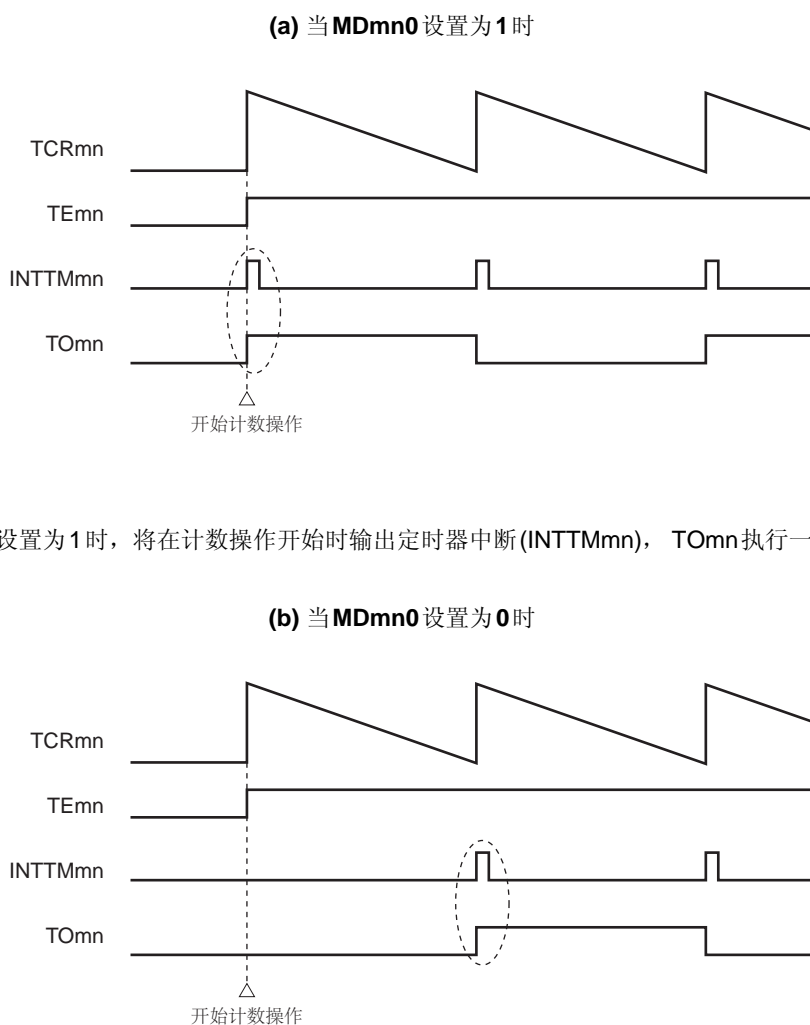
在间隔定时器模式或捕捉模式下,定时器模式寄存器mn (**TMRmn**)的**MDmn0**位用于设置是否在开始计数时产生定时器中断。

当**MDmn0**被设置为1时,可以通过定时器中断(**INTTMmn**)的产生来获知计数操作开始时序。

在其他模式下,不控制计数操作开始时的定时器中断和**TOmn**输出。

设置为间隔定时器模式 (**TOEmn = 1**、**TOMmn = 0**)时的操作示例如图 6 - 39所示。

图 6 - 39 计数操作开始时定时器中断和**TOmn**输出的操作示例



当**MDmn0**被设置为1时,将在计数操作开始时输出定时器中断(**INTTMmn**), **TOmn**执行一次交替操作。

当**MDmn0**被设置为0时,不在计数操作开始时输出定时器中断(**INTTMmn**), **TOmn**也不改变。在计数一个周期之后,输出**INTTMmn**, **TOmn**执行一次交替操作。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0至3)

6.7 定时器阵列单元的单通道操作功能

6.7.1 作为间隔定时器/方波输出的操作

(1) 间隔定时器

定时器阵列单元可用作以固定间隔产生INTTMmn（定时器中断）的基准定时器。
中断产生周期可以用下述表达式计算。

$$\text{INTTMmn (定时器中断) 的产生周期} = \text{计数时钟的周期} \times (\text{TDRmn 的设置值} + 1)$$

(2) 作为方波输出的操作

TOmn将在产生INTTMmn时执行一次交替操作，并输出占空比为50%的方波。
从TOmn输出方波的周期和频率可以用下述表达式计算。

$$\bullet \text{ 从TOmn输出的方波周期} = \text{计数时钟的周期} \times (\text{TDRmn 的设置值} + 1) \times 2$$

$$\bullet \text{ 从TOmn输出的方波频率} = \text{计数时钟的频率} / \{ (\text{TDRmn 的设置值} + 1) \times 2 \}$$

定时器计数寄存器mn (TCRmn) 充当间隔定时器模式时的递减计数器。

在定时器通道开始寄存器m (TSM)的通道开始触发位 (TSMn、TSHm1、TSHm3) 被设置为1之后的第一个计数时钟时，将定时器数据寄存器mn (TDRmn) 的值载入TCRmn寄存器。如果定时器模式寄存器mn (TMRmn)的MDmn0位在此时被设置为0，则不输出INTTMmn，TOmn输出也不会交替。如果TMRmn寄存器的MDmn0位为1，则输出INTTMmn，并交替TOmn输出。

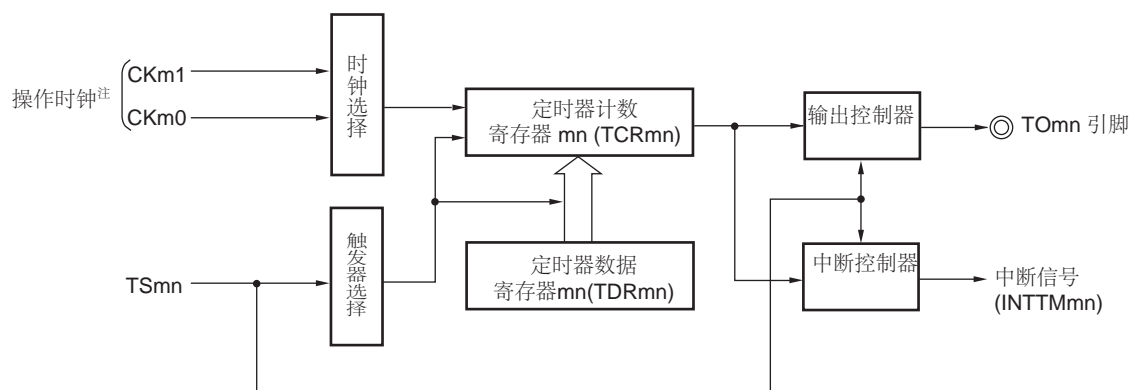
此后，TCRmn寄存器与计数时钟同步并进行递减计数。

当TCRmn = 0000H时，在下一个计数时钟输出INTTMmn，并交替TOmn输出。同时，将TDRmn寄存器的值再次载入TCRmn。之后重复同样的操作。

可以随时改写TDRmn寄存器。从下一个周期开始TDRmn寄存器的新值有效。

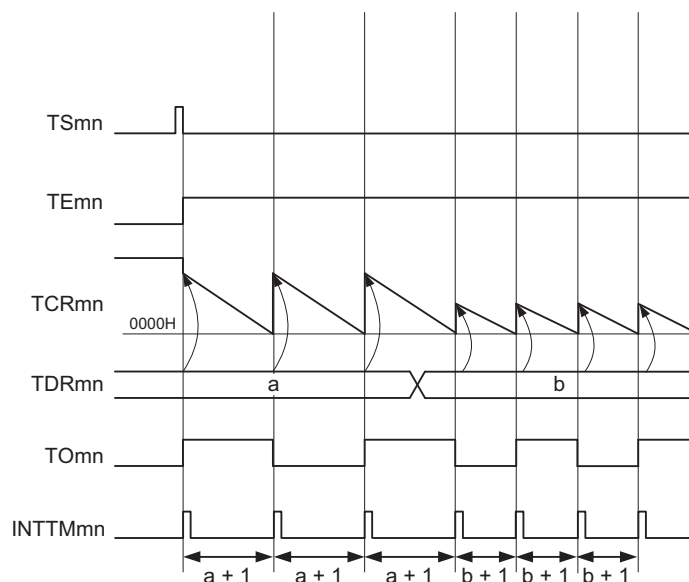
备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0至3)

图 6 - 40 作为间隔定时器/方波输出的操作框图



注 对通道 1 和 3，可从 CKm0、CKm1、CKm2 和 CKm3 中选择时钟。

图 6 - 41 作为间隔定时器/方波输出的操作基本时序示例 (MDmn0 = 1)



备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

备注 2. TSmn: 定时器通道开始寄存器 m (TSm) 的位 n

TEmn: 定时器通道允许状态寄存器 m (TEm) 的位 n

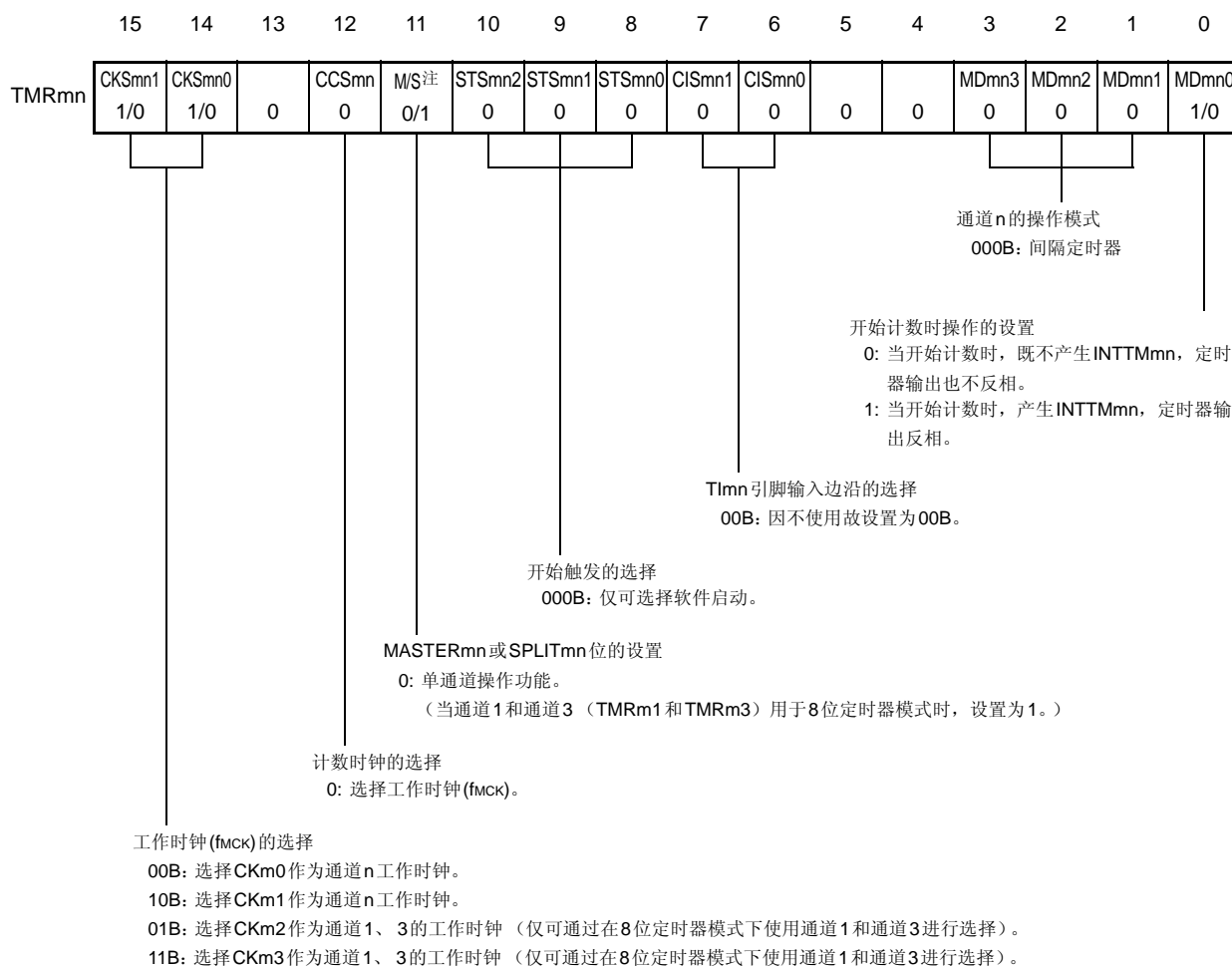
TCRmn: 定时器计数寄存器 mn (TCRmn)

TDRmn: 定时器数据寄存器 mn (TDRmn)

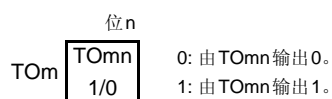
T0mn: T0mn 引脚输出信号

图 6-42 间隔定时器/方波输出时的寄存器设置内容示例(1/2)

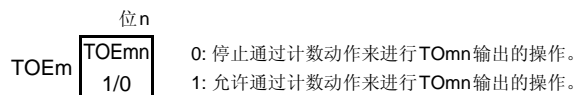
(a) 定时器模式寄存器 mn (TMRmn)



(b) 定时器输出寄存器 m (TOM)



(c) 定时器输出允许寄存器 m (TOEm)



注 TMRm2: MASTERmn位
 TMRm1、TMRm3: SPLITmn位
 TMRm0: 固定为0

备注 m: 单元编号(m = 0), n: 通道编号 (n = 0至3)

图 6 - 43 间隔定时器/方波输出时的寄存器设置内容示例 (2/2)

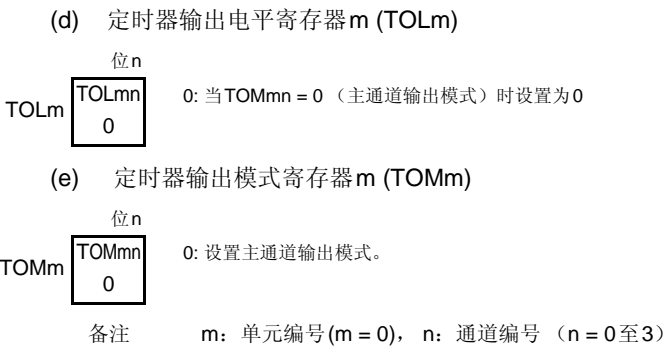


图 6-44 间隔定时器/方波输出功能时的操作步骤 (1/2)

| | 软件操作 | 硬件状态 |
|----------|---|--|
| TAU 初始设置 | 将外围有效寄存器 0 (PER0) 的 TAUmEN 位设置为 1。 | 断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。) |
| | 设置定时器时钟选择寄存器 m (TPSm)。决定 CKm0 和 CKm1 (或者使用 8 位定时器模式时为 CKm2 和 CKm3) 的时钟频率。 | 上电状态 (开始时钟供应, 允许写入各寄存器。) |
| 通道初始设置 | 设置定时器模式寄存器 mn (TMRmn) (决定通道的操作模式)。 | 通道处于停止操作状态。 (供应时钟, 并产生一定的功耗。) |
| | 将间隔 (周期) 值设置到定时器数据寄存器 mn (TDRmn)。 | |
| | 使用 TOMn 输出时 将定时器输出模式寄存器 m (TOMm) 的 TOMmn 位设置为 0 (主通道输出模式)。 将 TOLmn 位清除为 0。 | TOMn 引脚处于 Hi-Z 输出状态。 |
| | 设置 TOMn 位并决定 TOMn 输出的初始电平。 | 当端口模式寄存器处于输出模式且端口寄存器为 0 时, 输出 TOMn 的初始设置电平。 |
| 开始操作 | 将 TOEmn 位设置为 1, 并允许操作 TOMn。 | 因为操作通道处于停止状态, 所以 TOMn 不会变化。 |
| | 将端口寄存器和端口模式寄存器设置为 0。 | TOMn 引脚输出 TOMn 设置电平。 |
| | (仅当使用 TOMn 输出并恢复操作时, 将 TOEmn 位设置为 1。) | |
| | 将 TSmn (TSHm1、TSHm3) 位设置为 1。 TSmn (TSHm1、TSHm3) 位是触发位, 将自动返回为 0。 | TEmn (TEHm1、TEHm3) = 1, 并且开始计数操作。 在输入计数时钟时, 将 TDRmn 寄存器的值载入定时器计数寄存器 mn (TCRmn)。如果 TMRmn 寄存器的 MDmn0 位被设置为 1, 将产生 INTTMmn, 同时, TOMn 执行交替操作。 |
| 操作期间 | 不能更改 TMRmn 寄存器、TOMmn 和 TOLmn 位的设置值。 可以任意更改 TDRmn 寄存器的设置值。 可以任意读取 TCRmn 寄存器。 不使用 TSRmn 寄存器。 可以更改 TOM 和 TOEm 寄存器的设置值。 | 计数器 (TCRmn) 递减计数。当计数值达到 0000H 时, TDRmn 寄存器的值再次被载入 TCRmn 寄存器, 继续计数操作。检测到 TCRmn = 0000H 时, 产生 INTTMmn, TOMn 执行交替操作。 之后重复以上操作。 |
| 停止操作 | 将 TTmn (TTHm1、TTHm3) 位设置为 1。 TTmn (TTHm1、TTHm3) 位是触发位, 将自动返回为 0。 | TEmn (TEHm1、TEHm3) = 0, 并且停止计数操作。 TCRmn 寄存器保持计数值并停止计数操作。 TOMn 输出不被初始化, 而是保持当前状态。 |
| | 将 TOEmn 位清除为 0, 并对 TOMn 位设置。 | TOMn 引脚输出 TOMn 位的设置电平。 |

(备注如下页所示。)

图 6 - 45 间隔定时器/方波输出功能时的操作步骤 (2/2)

| | 软件操作 | 硬件状态 |
|-------------|---|---|
| TAU stop | 保持TOMn引脚输出电平时 将希望保持的值设置到端口寄存器后，将TOMn位清除为0。————→ | TOMn引脚输出电平由端口功能保持。 |
| | 不需要保持TOMn引脚输出电平时 不要求设置。 ----- 将PER0寄存器的TAUmEN位设置为0。————→ | 断电状态 初始化所有电路，同时初始化各通道的SFR。 (TOMn位变为0，并且TOMn引脚变为端口功能。) |

备注 m: 单元编号 (m = 0)， n: 通道编号 (n = 0至3)

6.7.2 作为外部事件计数器操作

定时器阵列单元作为外部事件计数器使用时，用于对检测到的TImn引脚输入有效边沿（外部事件）的次数进行计数。达到指定计数次数时，事件计数器产生中断。指定的计数次数可以用下述表达式计算。

$$\text{指定计数次数} = \text{TDRmn 的设置值} + 1$$

定时器计数寄存器mn (TCRmn)在事件计数器模式下用作递减计数器。

通过将定时器通道开始寄存器m (TSm)的任意通道开始触发位（TSmn、TSHm1、TSHm3）设置为1，可以把定时器数据寄存器mn (TDRmn)的值载入TCRmn寄存器。

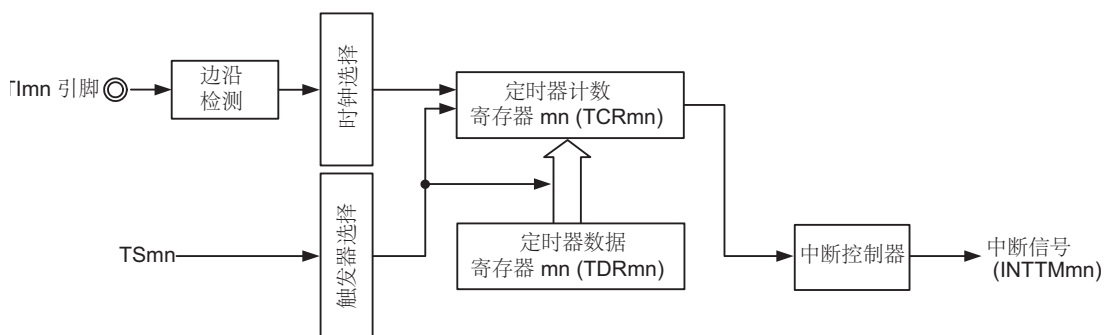
每当检测到TImn引脚的有效输入边沿时，TCRmn寄存器都会递减计数。当TCRmn = 0000H时，TCRmn寄存器将再次载入TDRmn寄存器的值，并输出INTTMmn。

之后重复以上操作。

TOmn引脚会根据外部事件而输出不规则的波形。所以请将定时器输出允许寄存器m (TOEm)的TOEmn位设置为0以停止输出。

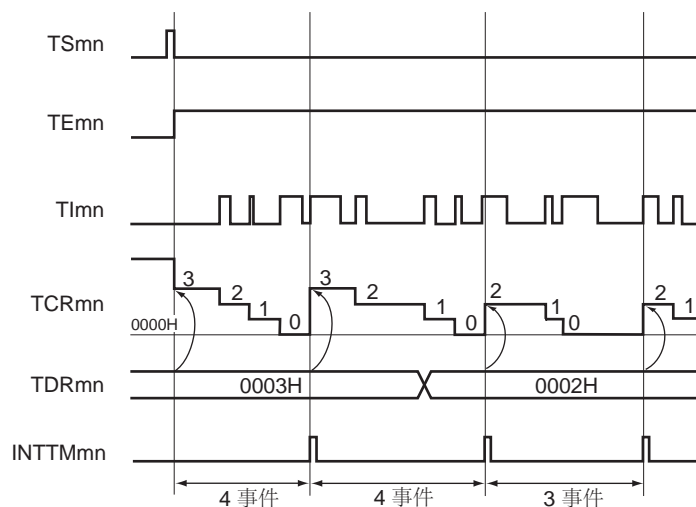
可以随时改写TDRmn寄存器。从下一个计数周期开始TDRmn寄存器的新值有效。

图 6 - 46 作为外部事件计数器的操作框图



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

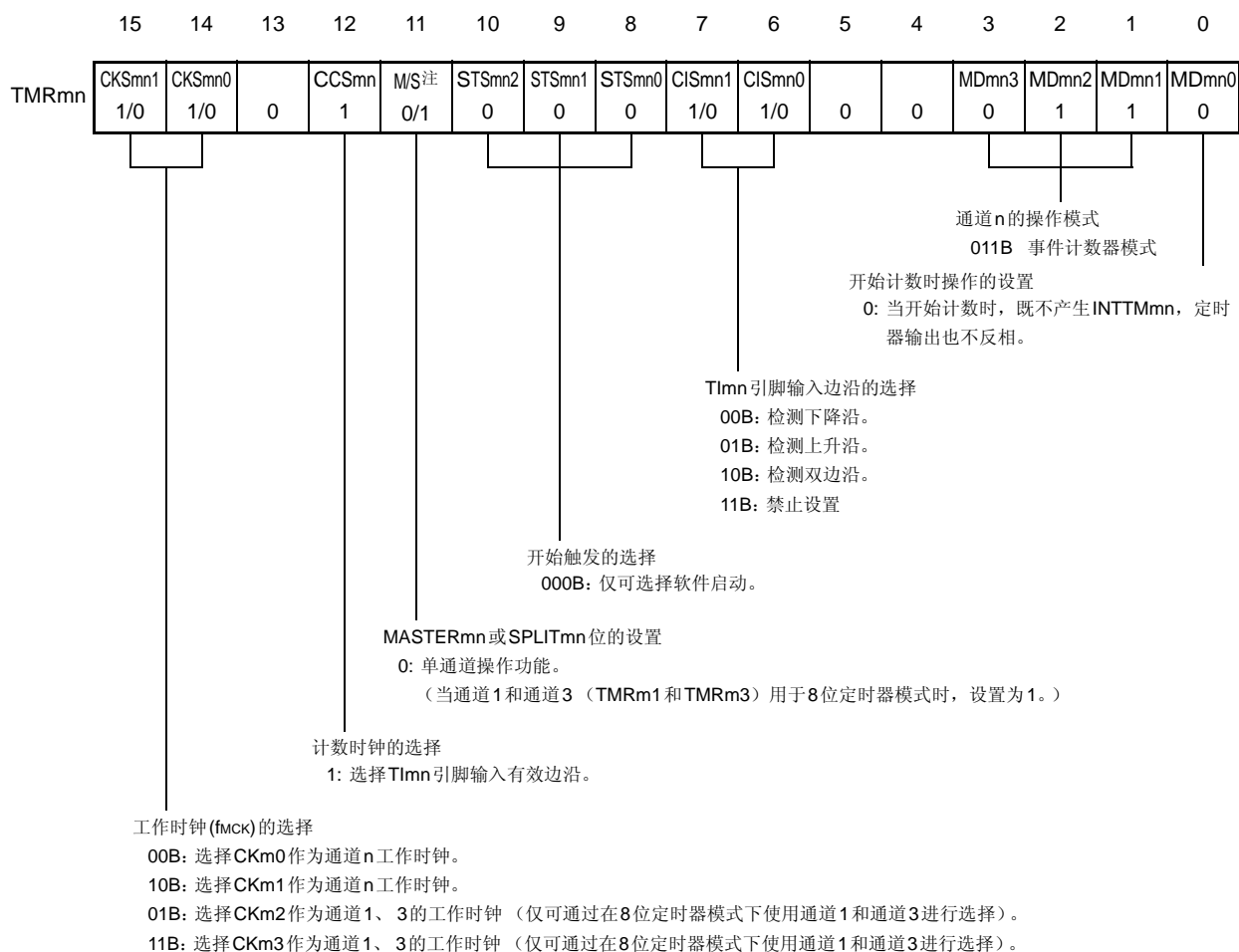
图 6 - 47 作为外部事件计数器的操作基本时序示例



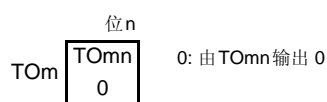
- 备注 1. m : 单元编号 ($m = 0$), n : 通道编号 ($n = 0$ 至 3)
- 备注 2. TSmn: 定时器通道开始寄存器 m (TSM) 的位 n
 TE mn: 定时器通道允许状态寄存器 m (TEM) 的位 n
 TImn: TImn 引脚输入信号
 TCRmn: 定时器计数寄存器 mn (TCRmn)
 TDRmn: 定时器数据寄存器 mn (TDRmn)

图 6 - 48 外部事件计数器模式时的寄存器设置内容示例 (1/2)

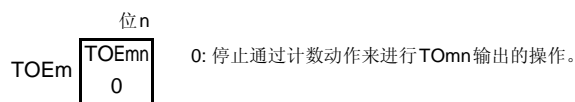
(a) 定时器模式寄存器 mn (TMRmn)



(b) 定时器输出寄存器 m (TOM)



(c) 定时器输出允许寄存器 m (TOEm)



注

| | |
|-------------|------------|
| TMRm2: | MASTERmn 位 |
| TMRm1、TMRm3 | SPLITmn 位 |
| TMRm0: | 固定为 0 |

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

图 6 - 49 外部事件计数器模式时的寄存器设置内容示例 (2/2)

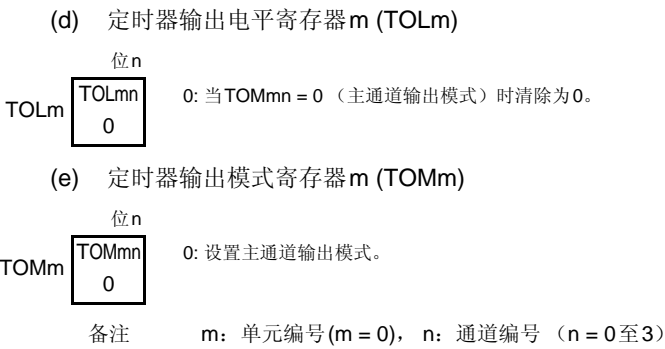


图 6 - 50 使用外部事件计数器功能时的操作步骤

| | 软件操作 | 硬件状态 |
|----------|--|---|
| TAU 初始设置 | 将外围有效寄存器 0 (PER0) 的 TAUmEN 位设置为 1。→ 设置定时器时钟选择寄存器 m (TPSm)。 决定 CKm0 和 CKm1 (或者使用 8 位定时器模式时为 CKm2 和 CKm3) 的时钟频率。 | 断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。) 上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。) |
| 通道初始设置 | 设置定时器模式寄存器 mn (TMRmn) (决定通道的操作模式)。 将计数次数设置到定时器数据寄存器 mn (TDRmn)。 将定时器输出允许寄存器 m (TOEm) 的 TOEmn 位设置为 0。 | 通道处于停止操作状态。 (供应时钟, 并产生一定的功耗。) |
| 开始操作 | 将 TSmn 位设置为 1。→ TSmn 位是触发位, 将自动返回为 0。 | TEmn = 1, 并且开始计数操作。 TDRmn 寄存器的值被载入定时器计数寄存器 mn (TCRmn), 进入 TImn 引脚输入边沿的等待检测状态。 |
| 操作期间 | 可以任意更改 TDRmn 寄存器的设置值。 可以任意读取 TCRmn 寄存器。 不使用 TSRmn 寄存器。 不可更改 TMRmn 寄存器、TOMmn、TOLmn、TOMn 和 TOEmn 位的设置值。 | 每当检测到 TImn 引脚的输入边沿时, 计数器 (TCRmn) 都会递减计数。当计数值达到 0000H 时, TDRmn 寄存器的值将被再次载入 TCRmn 寄存器, 并且继续计数操作。检测到 TCRmn = 0000H 时输出 INTTMmn。之后重复以上操作。 |
| 停止操作 | 将 TTmn 位设置为 1。→ TTmn 位是触发位, 将自动返回为 0。 | TEmn = 0, 并且停止计数操作。 TCRmn 寄存器保持计数值并停止计数操作。 |
| TAU stop | 将 PER0 寄存器的 TAUmEN 位设置为 0。→ | 断电状态 初始化所有电路, 同时初始化各通道的 SFR。 |

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

6.7.3 作为分频器的操作（仅限单元0的通道0）

定时器阵列单元可用作分频器，将输入至TI00引脚的时钟进行分频，并从TO00引脚输出结果。
从TO00输出的分频时钟频率可使用下列表达式来计算。

- 当选择上升沿/下降沿时：
分频时钟频率 = 输入时钟频率 / { (TDR00的设置值 + 1) × 2 }
- 当选择双边沿时：
分频时钟频率 ≅ 输入时钟频率 / (TDR00的设置值 + 1)

定时器计数寄存器00 (TCR00) 在间隔定时器模式时充当递减计数器。

将定时器通道开始寄存器0 (TS0) 的通道开始触发位(TS00) 设置为1之后，TCR00寄存器将在检测到TI00有效边沿时载入定时器数据寄存器00 (TDR00) 的值。

如果定时器模式寄存器00 (TMR00) 的MD000位在此时被设置为0，则不输出INTTM00，也不交替TO00。如果定时器模式寄存器00 (TMR00) 的MD000位被设置为1，则输出INTTM00，并交替TO00。

此后，TCR00寄存器在TI00引脚的有效边沿处递减计数。当TCR00 = 0000H时，交替TO00。同时，TCR00寄存器再次载入TDR00寄存器的值并继续计数。

如果选择检测TI00引脚的双边沿，则输入时钟的占空比误差将影响TO00输出的分频时钟周期。

TO00输出时钟的周期包含1个工作时钟周期的采样误差。

TO00输出的时钟周期 = 理想的TO00输出时钟周期 ± 工作时钟周期（误差）

可以随时改写TDR00寄存器。从下一个计数周期开始TDR00寄存器的新值有效。

图 6 - 51 作为分频器的操作框图

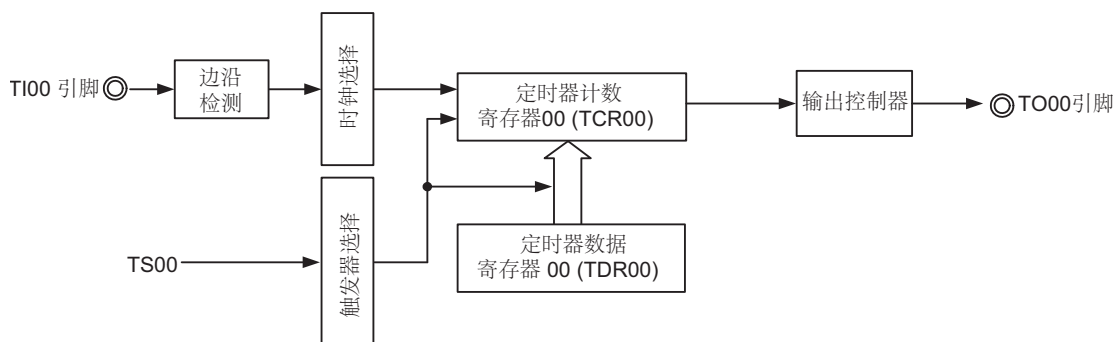
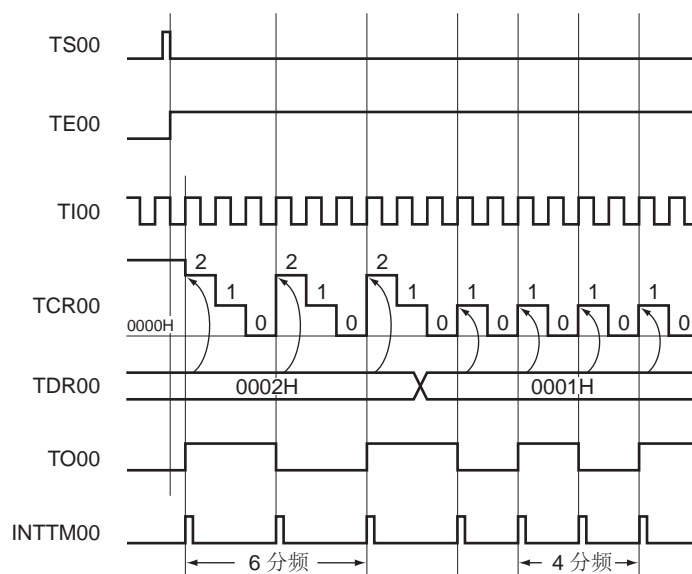


图 6 - 52 作为分频器的操作基本时序示例 (MD000 = 1)



备注

TS00: 定时器通道开始寄存器0 (TS0)的位n

TE00: 定时器通道允许状态寄存器0 (TE0)的位n

TI00: TI00引脚输入信号

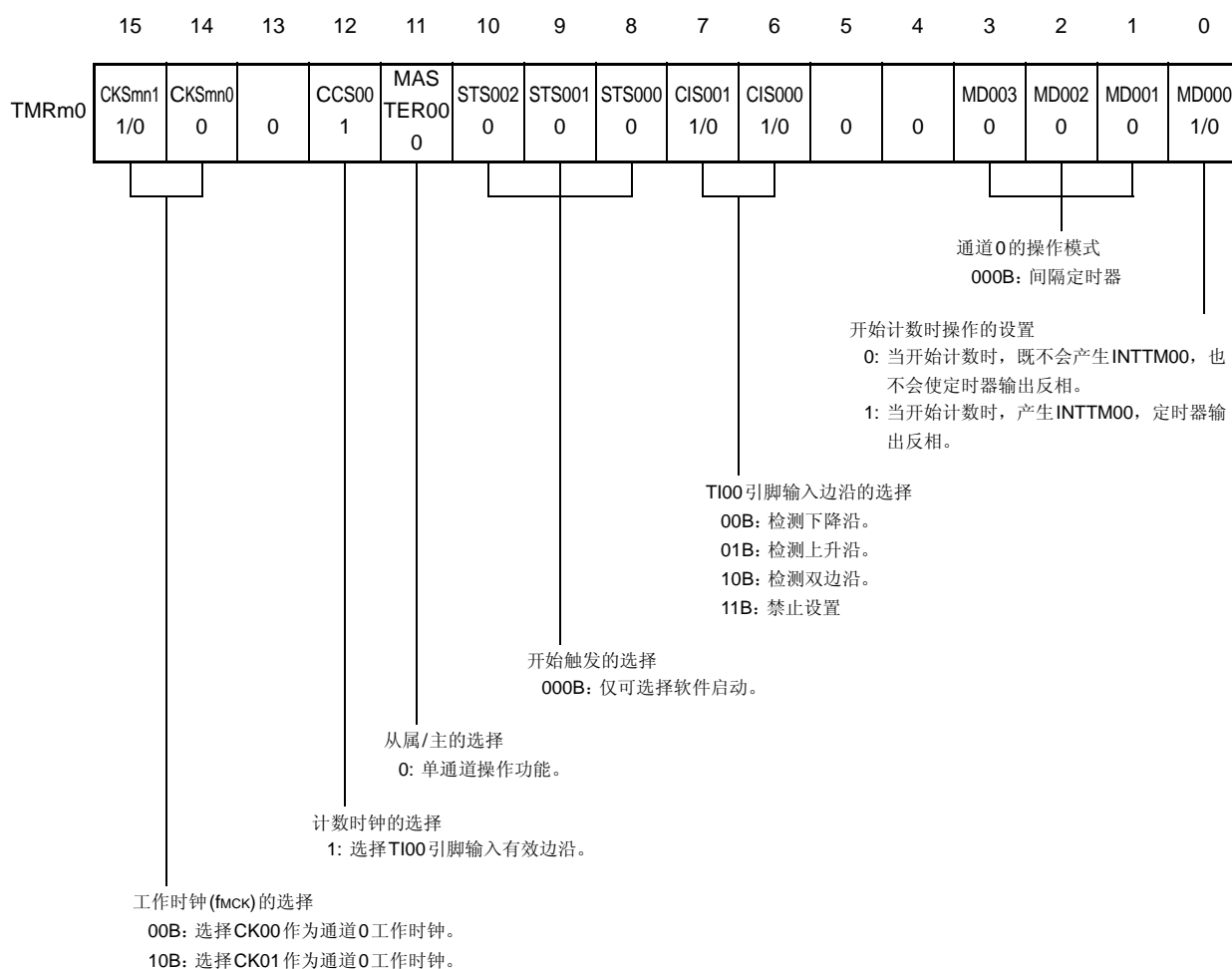
TCR00: 定时器计数寄存器00 (TCR00)

TDR00: 定时器数据寄存器00 (TDR00)

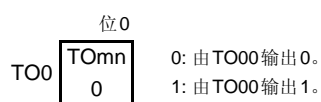
TO00: TO00引脚输出信号

图 6 - 53 作为分频器操作时的寄存器设置内容示例

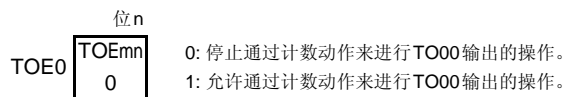
(a) 定时器模式寄存器 00 (TMR00)



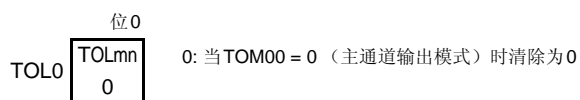
(b) 定时器输出寄存器 0 (TO0)



(c) 定时器输出允许寄存器 0 (TOE0)



(d) 定时器输出电平寄存器 0 (TOL0)



(e) 定时器输出模式寄存器 0 (TOM0)

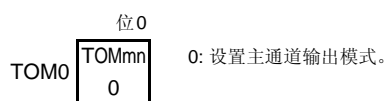


图 6 - 54 使用分频器功能时的操作步骤

| | 软件操作 | 硬件状态 |
|----------|---|--|
| TAU 初始设置 | 将外围有效寄存器 0 (PER0) 的 TAU0EN 位设置为 1。 | 断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。) |
| | 设置定时器时钟选择寄存器 0 (TPS0)。 决定 CK00 和 CK01 的时钟频率。 | 上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。) |
| 通道初始设置 | 设置定时器模式寄存器 0n (TMR0n) (决定通道的操作模式, 并选择检测边沿)。 | 通道处于停止操作状态。 (供应时钟, 并产生一定的功耗。) |
| | 将间隔 (周期) 值设置到定时器数据寄存器 00 (TDR00)。 | |
| | 将定时器输出模式寄存器 0 (TOM0) 的 TOM00 位设置为 0 (主通道输出模式)。 | TO00 引脚处于 Hi-Z 输出状态。 |
| | 将 TOL00 位清除为 0。 设置 TO00 位并决定 TO00 输出的初始电平。 | 当端口模式寄存器处于输出模式且端口寄存器为 0 时, 输出 TO00 的初始设置电平。 |
| 开始操作 | 将 TOE00 位设置为 1, 并允许操作 TO00。 | 因为操作通道处于停止状态, 所以 TO00 不会变化。 |
| | 将端口寄存器和端口模式寄存器设置为 0。 | TO00 引脚输出 TO00 的设置电平。 |
| 操作期间 | 将 TOE00 位设置为 1 (仅限恢复操作时)。 | TE00 = 1, 并且开始计数操作。 |
| | 将 TS00 位设置为 1。 TS00 位是触发位, 将自动返回为 0。 | 输入计数时钟时, TDR00 寄存器的值被载入定时器计数寄存器 00 (TCR00)。如果 TMR00 寄存器的 MD000 位被设置为 1, 将产生 INTTM00, 同时, TO00 执行交替操作。 |
| 停止操作 | 可以任意更改 TDR00 寄存器的设置值。 可以任意读取 TCR00 寄存器。 不使用 TSR00 寄存器。 可以更改 TO0 和 TOE0 寄存器的设置值。 不能更改 TMR00 寄存器、TOM00 和 TOL00 位的设置值。 | 计数器 (TCR00) 递减计数。当计数值达到 0000H 时, TDR00 寄存器的值将被再次载入 TCR00 寄存器, 并继续计数操作。检测到 TCR00 = 0000H 时, 产生 INTTM00, TO00 执行交替操作。 之后重复以上操作。 |
| | 将 TT00 位设置为 1。 TT00 位是触发位, 将自动返回为 0。 | TE00 = 0, 并且停止计数操作。 TCR00 寄存器保持计数值并停止计数操作。 TO00 输出不被初始化, 而是保持当前状态。 |
| TAU stop | 将 TOE00 清除为 0, 并给 TO00 位设置值。 | TO00 引脚输出 TO00 的设置电平。 |
| | 保持 TO00 引脚输出电平时 将希望保持的值设置到端口寄存器后, 将 TO00 位清除为 0。 不需要保持 TO00 引脚输出电平时 不要求设置。 | TO00 引脚输出电平由端口功能保持。 |
| | 将 PER0 寄存器的 TAU0EN 位设置为 0。 | 断电状态 初始化所有电路, 同时初始化各通道的 SFR。 (TO00 位清除为 0, TO00 引脚被设置为端口模式)。 |

操作恢复。

6.7.4 作为输入脉冲间隔测量的操作

可以在 TImn 有效边沿捕捉计数值，并可测量输入 TImn 的脉冲的间隔。

脉冲间隔可以用下述表达式计算。

$$\text{TImn 输入脉冲间隔} = \text{计数时钟的周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmn 的捕捉值} + 1))$$

注意事项 使用定时器模式寄存器 mn (TMRmn) 的 CKSmn 位选择的工作时钟对于 TImn 引脚输入进行采样，因此会发生最大为一个工作时钟周期的误差。

定时器计数寄存器 mn (TCRmn) 在捕捉模式下充当递增计数器。

当定时器通道开始寄存器 m (TSM) 的通道开始触发位 (TSmn) 被设置为 1 时，TCRmn 寄存器与计数时钟同步且从 0000H 开始递增计数。

检测到 TImn 引脚输入有效边沿时，TCRmn 寄存器的计数值被传送（捕捉）至定时器数据寄存器 mn (TDRmn)，同时，TCRmn 寄存器被清除为 0000H，并输出 INTTmn。此时如果计数器溢出，则定时器状态寄存器 mn (TSRmn) 的 OVF 位被设置为 1。如果计数器不溢出，则 OVF 位被清除。之后重复以上操作。

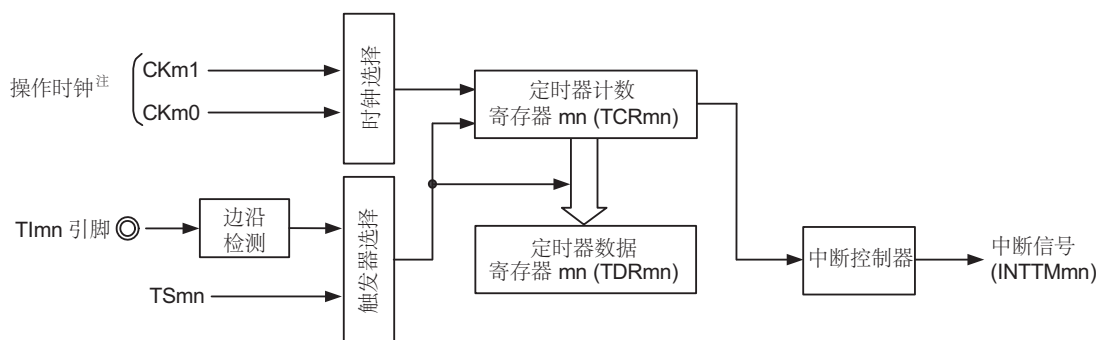
计数值被捕捉至 TDRmn 寄存器时，依据测量期间计数器是否发生溢出，TSRmn 寄存器的 OVF 位将被更新。从而可以确认捕捉值的溢出状态。

如果计数器进行了两个以上周期的完整计数，也能发生溢出，TSRmn 寄存器的 OVF 位可被设置为 1。然而，在发生两次以上溢出时，不能通过 OVF 位测量出正常间隔值。

将 TMRmn 寄存器的 STSmn2 至 STSmn0 位设置为 001B，将 TImn 的有效边沿用作开始触发和捕捉触发。

当 TEmn = 1 时，可以使用软件操作 (TSmn = 1) 来代替 TImn 引脚输入作为捕捉触发。

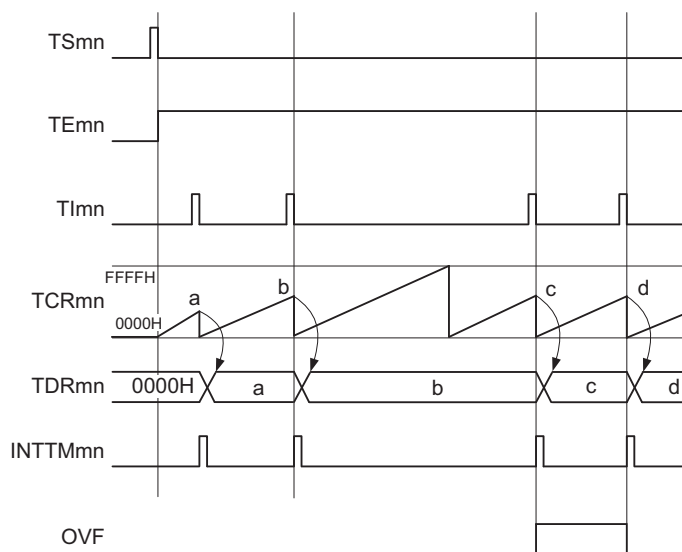
图 6 - 55 作为输入脉冲间隔测量的操作框图



注 对通道 1 和 3，可从 CKm0、CKm1、CKm2 和 CKm3 中选择时钟。

备注 m: 单元编号 (m = 0)，n: 通道编号 (n = 0 至 3)

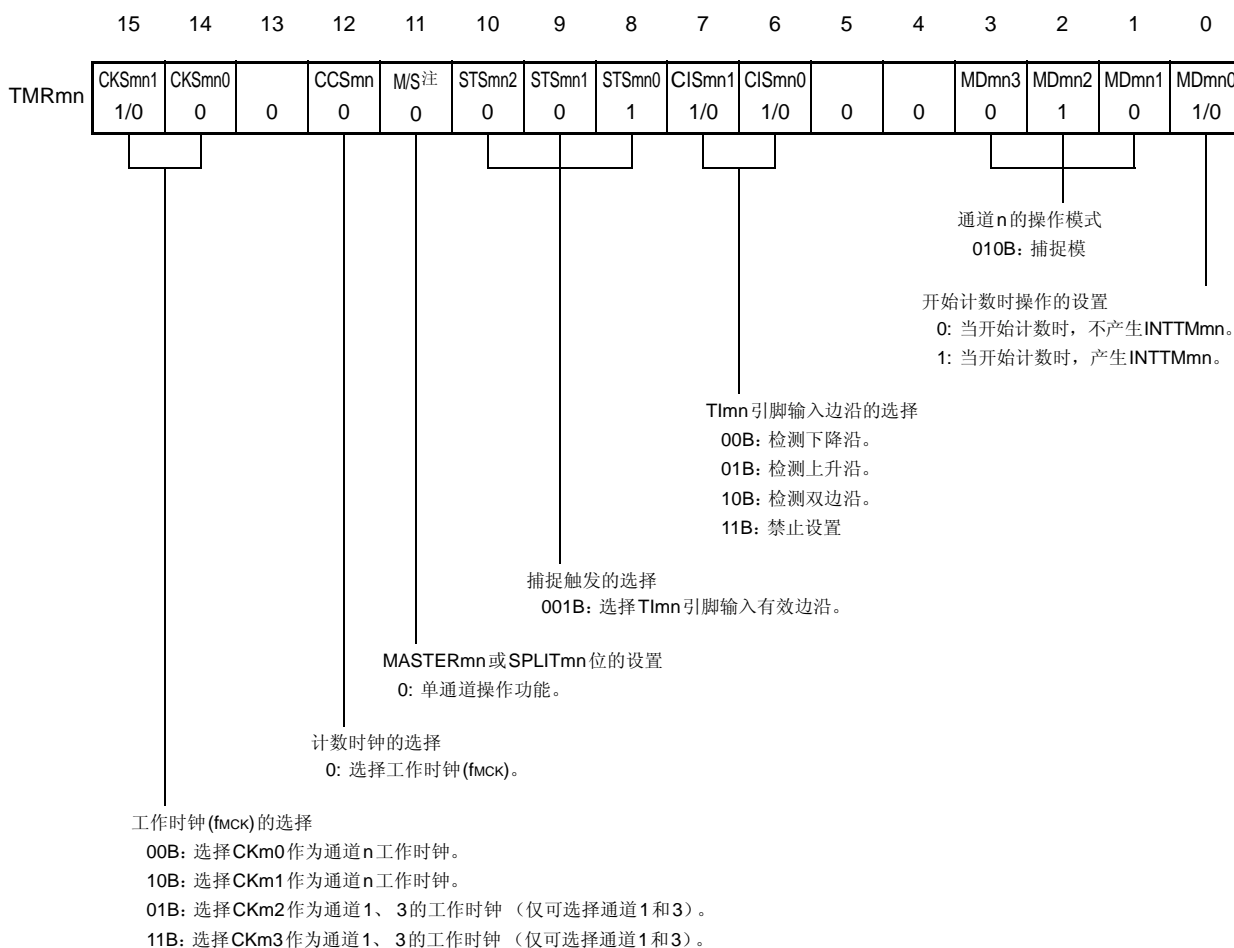
图 6 - 56 作为输入脉冲间隔测量的操作基本时序示例 (MDmn0 = 0)



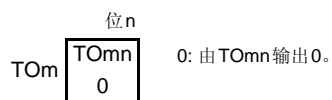
- 备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)
- 备注 2. TSmn: 定时器通道开始寄存器 m (TSM) 的位 n
 TEmn: 定时器通道允许状态寄存器 m (TEM) 的位 n
 TImn: TImn 引脚输入信号
 TCRmn: 定时器计数寄存器 mn (TCRmn)
 TDRmn: 定时器数据寄存器 mn (TDRmn)
 OVF: 定时器状态寄存器 mn (TSRmn) 的位 0

图 6-57 输入脉冲间隔测量时的寄存器设置内容示例

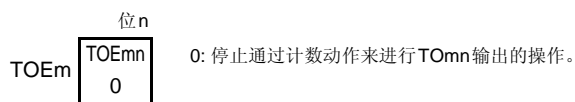
(a) 定时器模式寄存器 mn (TMRmn)



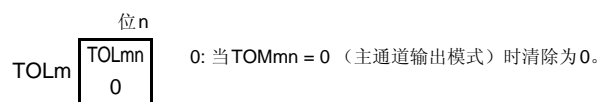
(b) 定时器输出寄存器 m (TOM)



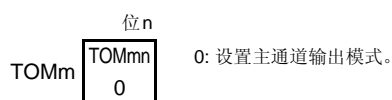
(c) 定时器输出允许寄存器 m (TOEm)



(d) 定时器输出电平寄存器 m (TOLm)



(e) 定时器输出模式寄存器 m (TOMm)



注

| | |
|--------------|------------|
| TMRm2: | MASTERmn 位 |
| TMRm1、TMRm3: | SPLITmn 位 |
| TMRm0: | 固定为 0 |

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

图 6 - 58 使用输入脉冲间隔测量功能时的操作步骤

| | 软件操作 | 硬件状态 |
|----------|---|---|
| TAU 初始设置 | 将外围有效寄存器 0 (PER0) 的 TAUmEN 位设置为 1。 设置定时器时钟选择寄存器 m (TPSm)。 决定 CKm0 和 CKm1 的时钟频率。 | 断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。) 上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。) |
| 通道初始设置 | 设置定时器模式寄存器 mn (TMRmn) (决定通道的操作模式)。 | 通道处于停止操作状态。 (供应时钟, 并产生一定的功耗。) |
| 开始操作 | 将 TSmn 位设置为 1。 TSmn 位是触发位, 将自动返回为 0。 | TEmn = 1, 并且开始计数操作。 输入计数时钟时, 定时器计数寄存器 mn (TCRmn) 被清除为 0000H。 当 TMRmn 寄存器的 MDmn0 位为 1 时, 产生 INTTMmn。 |
| 操作期间 | 可以任意更改 TMRmn 寄存器的 CISmn1 和 CISmn0 位的设置值。 可以任意读取 TDRmn 寄存器。 可以任意读取 TCRmn 寄存器。 可以任意读取 TSRmn 寄存器。 不能更改 TOMmn、TOLmn、TOMn 和 TOEmn 位的设置值。 | 计数器 (TCRmn) 从 0000H 开始递增计数。当检测到 TImn 引脚输入有效边沿时, 计数值被传送 (捕捉) 至定时器数据寄存器 mn (TDRmn)。同时, TCRmn 寄存器被清除为 0000H, 并产生 INTTMmn 信号。 此时如果发生溢出, 则定时器状态寄存器 mn (TSRmn) 的 OVF 位被设置; 如果不发生溢出, 则 OVF 位被清除。 之后重复以上操作。 |
| 停止操作 | 将 TTmn 位设置为 1。 TTmn 位是触发位, 将自动返回为 0。 | TEmn = 0, 并且停止计数操作。 TCRmn 寄存器保持计数值并停止计数操作。 同时保持 TSRmn 寄存器的 OVF 位。 |
| TAU stop | 将 PER0 寄存器的 TAUmEN 位设置为 0。 | 断电状态 初始化所有电路, 同时初始化各通道的 SFR。 |

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

6.7.5 输入信号高/低电平宽度测量的操作

通过在 TImn 引脚输入的一个边沿开始计数，在另一个边沿捕捉计数次数，可以测量 TImn 的信号宽度（高电平宽度/低电平宽度）。TImn 的信号宽度可用下述表达式计算。

$$\text{TImn 输入的信号宽度} = \text{计数时钟的周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmn 的捕捉值} + 1))$$

注意事项 使用定时器模式寄存器 mn (TMRmn) 的 CKSmn 位选择的工作时钟对于 TImn 引脚输入进行采样，因此会发生一个工作时钟周期的误差。

定时器计数寄存器 mn (TCRmn) 在捕捉 & 单计数模式时用作递增计数器。

当定时器通道开始寄存器 m (TSM) 的通道开始触发位 (TSmn) 被设置为 1 时，TEmn 位将被设置为 1，同时 TImn 引脚被设置为开始边沿检测等待状态。

当检测到 TImn 引脚输入开始边沿（测量高电平宽度时为 TImn 引脚输入的上升沿）时，计数器与计数时钟同步并从 0000H 开始递增计数。之后检测到有效捕捉边沿（测量高电平宽度时为 TImn 引脚输入的下降沿）时，计数值被传送至定时器数据寄存器 mn (TDRmn)，同时输出 INTTMmn。此时如果计数器溢出，则定时器状态寄存器 mn (TSRmn) 的 OVF 位被设置为 1。如果计数器不溢出，则 OVF 位被清除。当值达到“传送至 TDRmn 寄存器的值 + 1”时，停止 TCRmn 寄存器，同时设置为 TImn 引脚开始边沿检测等待状态。之后重复以上操作。

计数值被捕捉至 TDRmn 寄存器时，依据测量期间计数器是否发生溢出，TSRmn 寄存器的 OVF 位将被更新。从而可以确认捕捉值的溢出状态。

如果计数器进行了两个以上周期的完整计数，也能发生溢出，TSRmn 寄存器的 OVF 位可被设置为 1。然而，在发生两次以上溢出时，不能通过 OVF 位测量出正常间隔值。

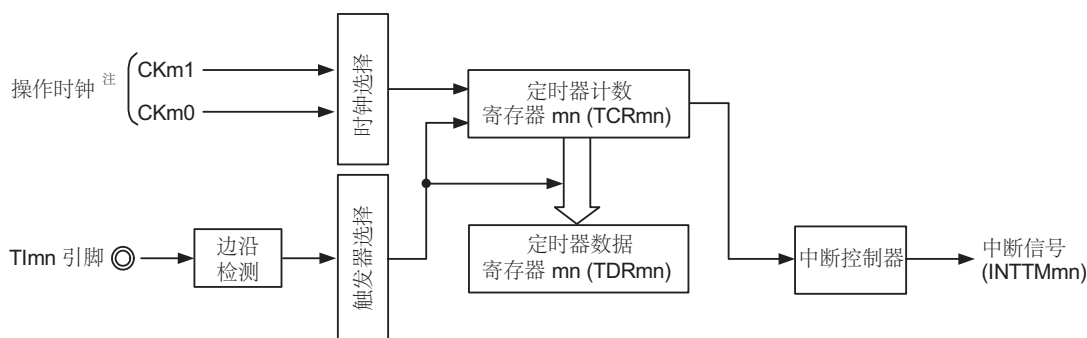
可以通过 TMRmn 寄存器的 CISmn1 和 CISmn0 位来选择测量 TImn 引脚的高电平宽度或低电平宽度。

由于该功能用于测量 TImn 引脚输入的信号宽度，因此，在 TE mn 位为 1 时，不能将 TSmn 位设置为 1。

TMRmn 寄存器的 CISmn1、CISmn0 = 10B：测量低电平宽度。

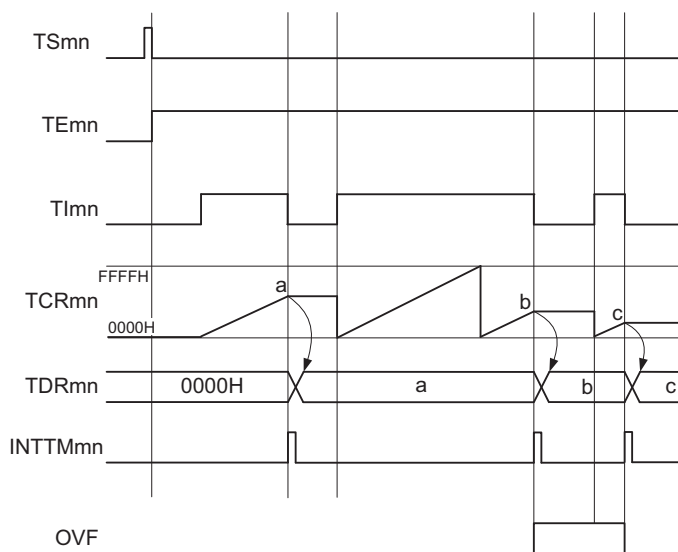
TMRmn 寄存器的 CISmn1、CISmn0 = 11B：测量高电平宽度。

图 6-59 作为输入信号的高/低电平宽度测量的操作框图



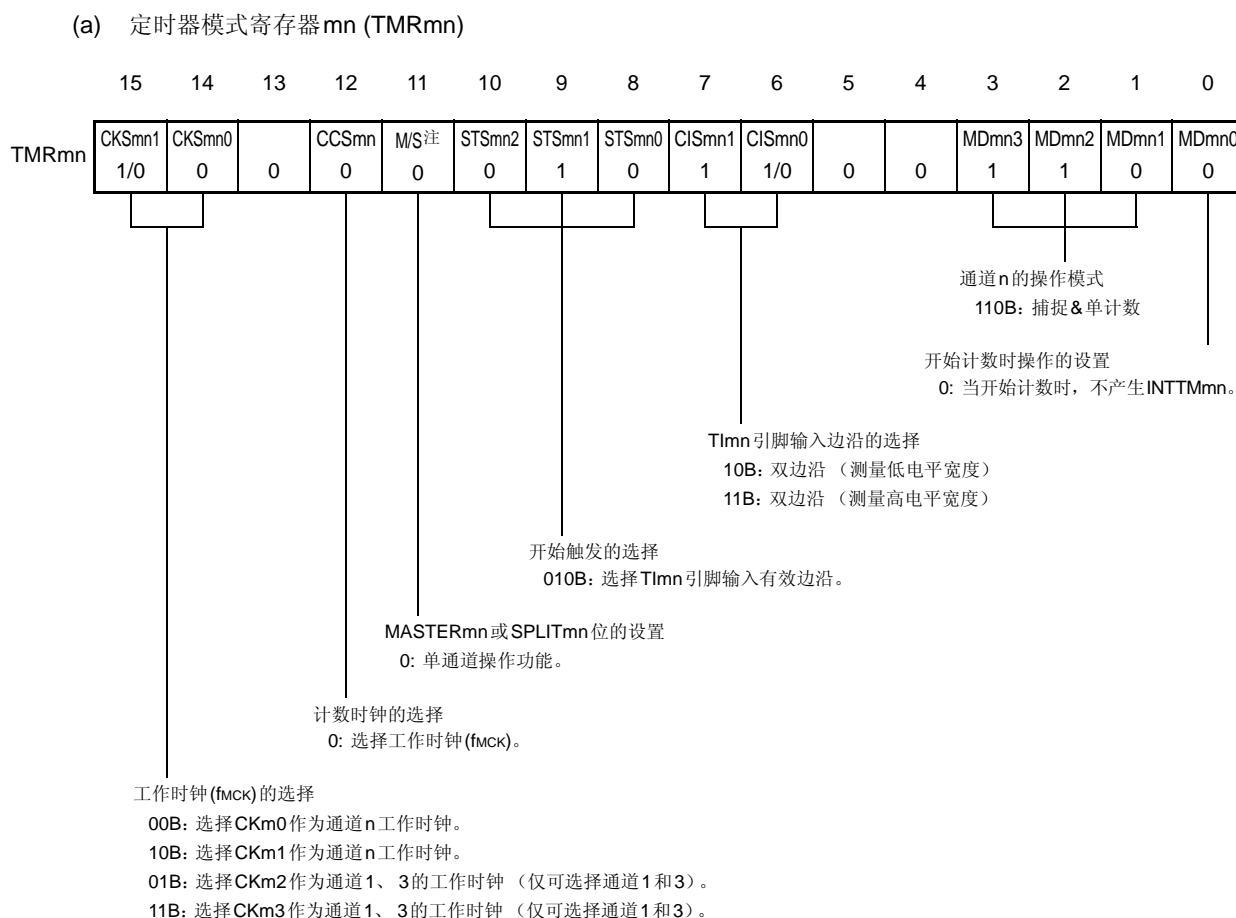
注 对通道 1 和 3，可从 CKm0、CKm1、CKm2 和 CKm3 中选择时钟。

图 6 - 60 作为输入信号的高/低电平宽度测量的操作基本时序示例

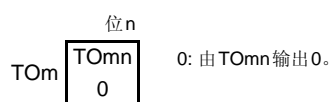


- 备注 1. m : 单元编号 ($m = 0$), n : 通道编号 ($n = 0$ 至 3)
- 备注 2. $TSmn$: 定时器通道开始寄存器 m (TSm) 的位 n
 $TEmn$: 定时器通道允许状态寄存器 m (TEm) 的位 n
 $TImn$: $TImn$ 引脚输入信号
 $TCRmn$: 定时器计数寄存器 mn ($TCRmn$)
 $TDRmn$: 定时器数据寄存器 mn ($TDRmn$)
 OVf : 定时器状态寄存器 mn ($TSRmn$) 的位 0

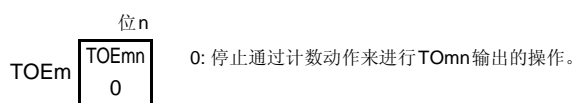
图 6 - 61 输入信号的高/低电平宽度测量时的寄存器设置内容示例



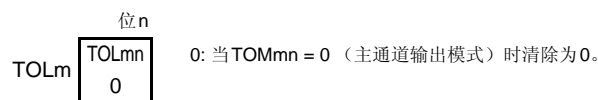
(b) 定时器输出寄存器 m (TOM)



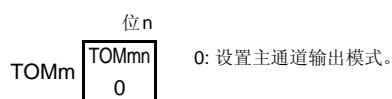
(c) 定时器输出允许寄存器 m (TOEm)



(d) 定时器输出电平寄存器 m (TOLm)



(e) 定时器输出模式寄存器 m (TOMm)



注

| | |
|--------------|------------|
| TMRm2: | MASTERmn 位 |
| TMRm1、TMRm3: | SPLITmn 位 |
| TMRm0: | 固定为 0 |

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

图 6 - 62 使用输入信号高/低电平宽度测量功能时的操作步骤

| | 软件操作 | 硬件状态 |
|----------|--|--|
| TAU 初始设置 | 将外围有效寄存器 0 (PER0) 的 TAUmEN 位设置为 1。→ 设置定时器时钟选择寄存器 m (TPSm)。决定 CKm0 和 CKm1 的时钟频率。 | 断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。) 上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。) |
| 通道初始设置 | 设置定时器模式寄存器 mn (TMRmn) (决定通道的操作模式)。 将 TOEmn 位设置为 0, 并且停止操作 TOMn。 | 通道处于停止操作状态。 (供应时钟, 并产生一定的功耗。) |
| 开始操作 | 将 TSmn 位设置为 1。→ TSmn 位是触发位, 将自动返回为 0。 检测 TImn 引脚输入计数开始有效边沿。→ | TEMn = 1, 变为 TImn 引脚开始边沿检测等待状态。 将定时器计数寄存器 mn (TCRmn) 清除为 0000H 并开始递增计数。 |
| 操作期间 | 可以任意更改 TDRmn 寄存器的设置值。 可以任意读取 TCRmn 寄存器。 不使用 TSRmn 寄存器。 不可更改 TMRmn 寄存器、TOMmn、TOLmn、TOMn 和 TOEmn 位的设置值。 | 当检测到 TImn 引脚开始边沿时, 计数器 (TCRmn) 从 0000H 开始递增计数。如果检测到 TImn 引脚的捕捉边沿, 则计数值将被传送到定时器数据寄存器 mn (TDRmn), 并产生 INTTMmn。 此时如果发生溢出, 则定时器状态寄存器 mn (TSRmn) 的 OVF 位被设置; 如果不发生溢出, 则 OVF 位被清除。停止 TCRmn 寄存器计数操作, 直至检测到下一个 TImn 引脚开始边沿为止。 |
| 停止操作 | 将 TTmn 位设置为 1。→ TTmn 位是触发位, 将自动返回为 0。 | TEMn = 0, 并且停止计数操作。 TCRmn 寄存器保持计数值并停止计数操作。 同时保持 TSRmn 寄存器的 OVF 位。 |
| TAU stop | 将 PER0 寄存器的 TAUmEN 位设置为 0。→ | 断电状态 初始化所有电路, 同时初始化各通道的 SFR。 |

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

6.7.6 作为延迟计数器的操作

当检测到Tl_{mn}引脚输入的有效边沿（外部事件）时，可以开始递减计数，并在任意指定间隔后产生INTTM_{mn}（定时器中断）。

也可通过软件设置TS_{mn} = 1，以任意间隔产生INTTM_{mn}（定时器中断），并在TE_{mn} = 1期间开始递减计数。中断产生周期可以用下述表达式计算。

$$\text{INTTM}_{mn} \text{（定时器中断）的产生周期} = \text{计数时钟的周期} \times (\text{TDR}_{mn} \text{的设置值} + 1)$$

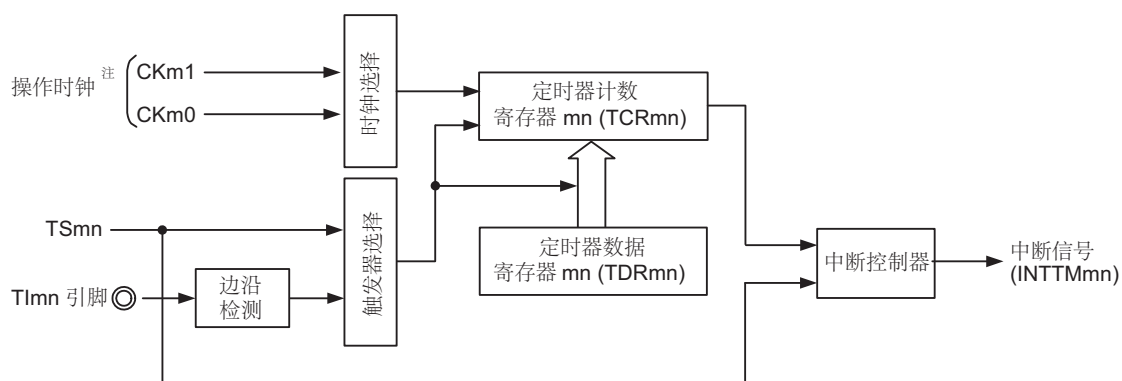
定时器计数寄存器mn (TCR_{mn}) 在单计数模式时用作递减计数器。

当定时器通道开始寄存器m (TS_m) 的通道开始触发位 (TS_{mn}、TSH_{m1}、TSH_{m3}) 被设置为1时，TE_{mn}、TEH_{m1}、TEH_{m3}位将被设置为1，同时设置为Tl_{mn}引脚输入有效边沿检测等待状态。

检测到Tl_{mn} 引脚输入有效边沿时定时器计数寄存器mn (TCR_{mn}) 开始动作，并载入定时器数据寄存器mn (TDR_{mn}) 的值。TCR_{mn} 寄存器与计数时钟同步，从载入的TDR_{mn} 寄存器的值开始递减计数。当TCR_{mn} = 0000H 时，输出INTTM_{mn} 并停止计数，直至检测到下一个Tl_{mn} 引脚输入有效边沿为止。

可以随时改写TDR_{mn} 寄存器。从下一个周期开始TDR_{mn} 寄存器的新值有效。

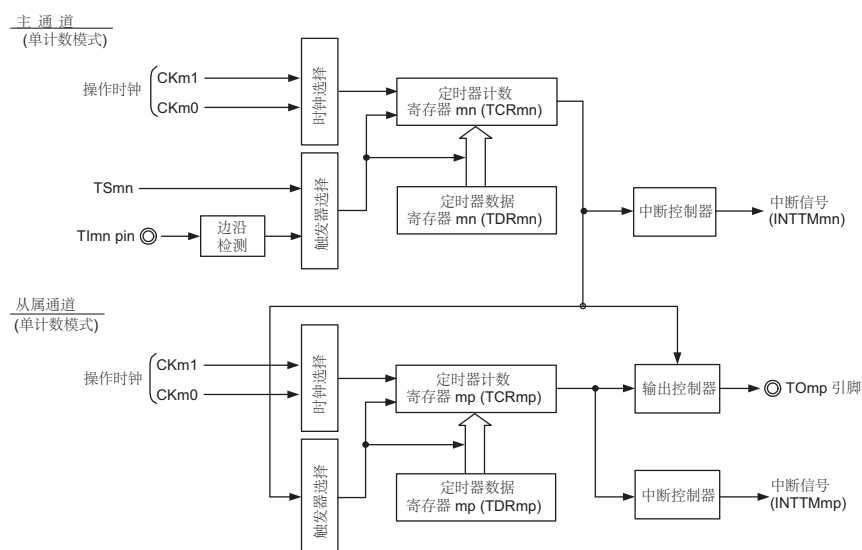
图 6 - 63 作为延迟计数器的操作框图



注 使用通道1和3时，可从CKm0、CKm1、CKm2和CKm3中选择时钟。

备注 m: 单元编号 (m = 0)，n: 通道编号 (n = 0至3)

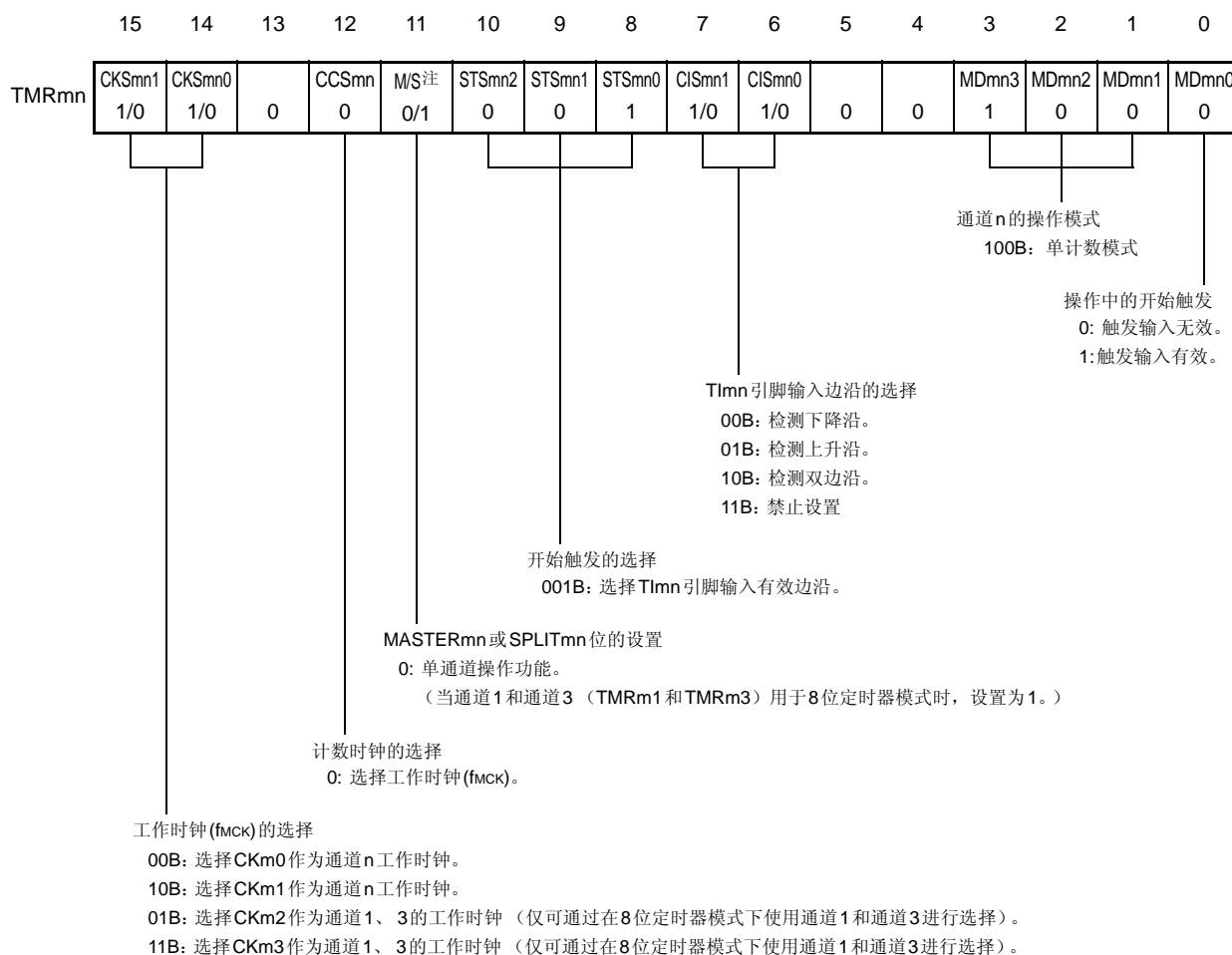
图 6 - 64 作为延迟计数器的操作基本时序示例



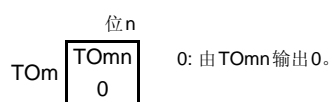
- 备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)
- 备注 2. TSmn: 定时器通道开始寄存器 m (TSM) 的位 n
TEmn: 定时器通道允许状态寄存器 m (TEM) 的位 n
TImn: TImn 引脚输入信号
TCRmn: 定时器计数寄存器 mn (TCRmn)
TDRmn: 定时器数据寄存器 mn (TDRmn)

图 6 - 65 使用延迟计数器功能时的寄存器设置内容示例 (1/2)

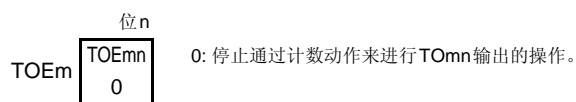
(a) 定时器模式寄存器 mn (TMRmn)



(b) 定时器输出寄存器 m (TOM)



(c) 定时器输出允许寄存器 m (TOEm)



注

| | |
|--------------|------------|
| TMRm2: | MASTERmn 位 |
| TMRm1、TMRm3: | SPLITmn 位 |
| TMRm0: | 固定为 0 |

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

图 6 - 66 使用延迟计数器功能时的寄存器设置内容示例 (2/2)

(d) 定时器输出电平寄存器m (TOLm)

位 n

TOLmn

0

0: 当TOMmn = 0 (主通道输出模式) 时清除为0。

(e) 定时器输出模式寄存器m (TOMm)

位 n

TOMmn

0

0: 设置主通道输出模式。

备注

m: 单元编号 (m = 0), n: 通道编号 (n = 0至3)

图 6 - 67 使用延迟计数器功能时的操作步骤

| | 软件操作 | 硬件状态 |
|----------|--|---|
| TAU 初始设置 | <p>将外围有效寄存器 0 (PER0) 的 TAUmEN 位设置为 1。→</p> <p>设置定时器时钟选择寄存器 m (TPSm)。 决定 CKm0 和 CKm1 (或者使用 8 位定时器模式时为 CKm2 和 CKm3) 的时钟频率。</p> | <p>断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。)</p> <p>上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。)</p> |
| 通道初始设置 | <p>设置定时器模式寄存器 mn (TMRmn) (决定通道的操作模式)。 将 INTTMmn 输出延迟设置到定时器数据寄存器 mn (TDRmn)。 将 TOEmn 位设置为 0, 并且停止操作 T0mn。</p> | <p>通道处于停止操作状态。 (供应时钟, 并产生一定的功耗。)</p> |
| 开始操作 | <p>将 TSmn 位设置为 1。→</p> <p>TSmn 位是触发位, 将自动返回为 0。</p> <p>检测 TImn 引脚输入有效边沿。→</p> | <p>TEmn = 1, 设置为 TImn 引脚输入有效边沿检测等待状态。</p> <p>将 TDRmn 寄存器的值载入定时器计数寄存器 mn (TCRmn)。</p> |
| 操作期间 | <p>可以任意更改 TDRmn 寄存器的设置值。 可以任意读取 TCRmn 寄存器。 不使用 TSRmn 寄存器。</p> | <p>计数器 (TCRmn) 递减计数。当 TCRmn 递减计数至 0000H 时, 输出 INTTMmn 并停止计数 (使 TCRmn 保持 0000H) 直到下一个 TImn 引脚输入为止。</p> |
| 停止操作 | <p>将 TTmn 位设置为 1。→</p> <p>TTmn 位是触发位, 将自动返回为 0。</p> | <p>TEmn = 0, 并且停止计数操作。 TCRmn 寄存器保持计数值并停止计数操作。</p> |
| TAU stop | <p>将 PER0 寄存器的 TAUmEN 位设置为 0。→</p> | <p>断电状态 初始化所有电路, 同时初始化各通道的 SFR。</p> |

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

6.8 定时器阵列单元的多通道联动操作功能

6.8.1 作为单触发脉冲输出功能操作

通过组合使用两个通道，可以从输入 **TI_{mn}** 引脚的信号产生一个任意延迟脉冲宽度的单触发脉冲。
延迟时间和脉冲宽度可用下述表达式计算。

$$\begin{aligned} \text{延迟时间} &= \{\text{TDR}_{mn} \text{ (主) 的设置值} + 2\} \times \text{计数时钟周期} \\ \text{脉冲宽度} &= \{\text{TDR}_{mp} \text{ (从属) 的设置值}\} \times \text{计数时钟周期} \end{aligned}$$

主通道工作于单计数模式，并对延迟计数。主通道的定时器计数寄存器 **mn** (**TCR_{mn}**) 在检测到开始触发信号时开始动作，并载入定时器数据寄存器 **mn** (**TDR_{mn}**) 的值。

TCR_{mn} 寄存器与计数时钟同步，从载入的 **TDR_{mn}** 寄存器的值开始递减计数。当 **TCR_{mn}** = 0000H 时，输出 **INTTM_{mn}** 并停止计数直至检测到下一个开始触发为止。

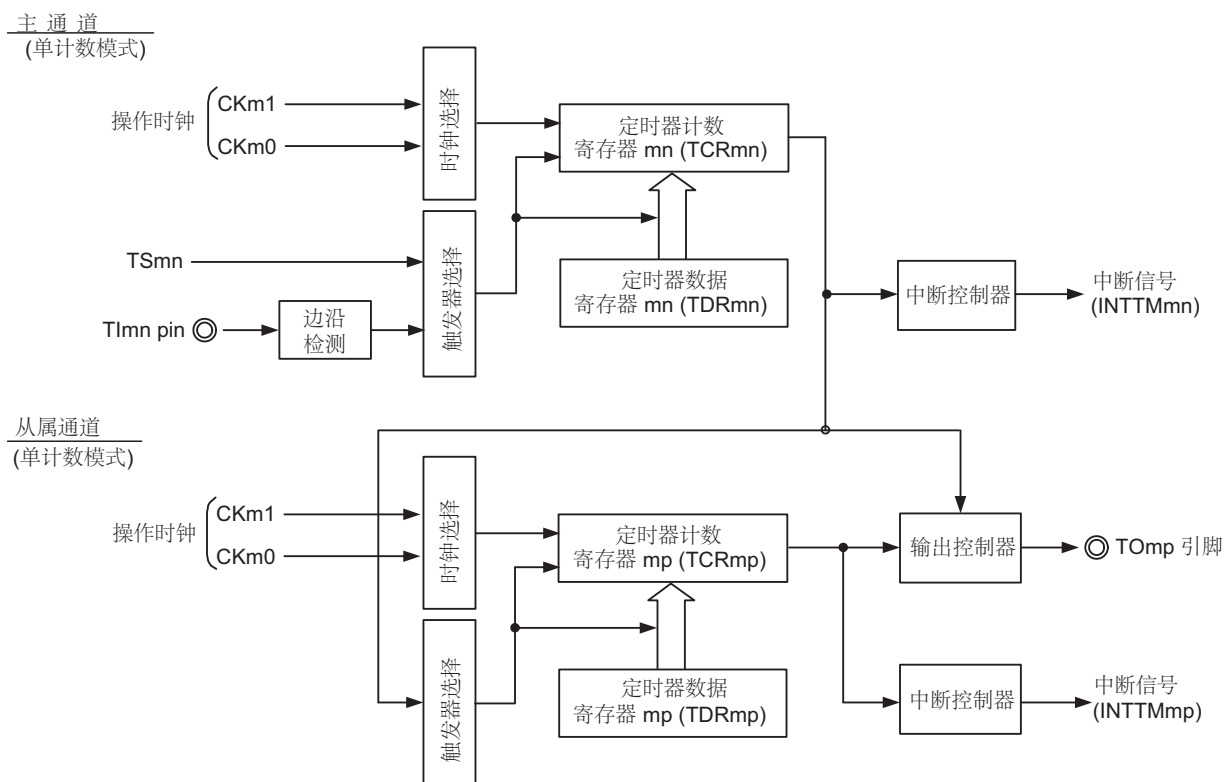
从属通道工作于单计数模式，并对脉冲宽度计数。将主通道的 **INTTM_{mn}** 作为开始触发，从属通道的 **TCR_{mp}** 寄存器开始动作，并载入 **TDR_{mp}** 寄存器的值。**TCR_{mp}** 寄存器与计数时钟同步，从载入的 **TDR_{mp}** 寄存器值开始递减计数。当计数值 = 0000H 时，将输出 **INTTM_{mn}** 并停止计数，直至检测到下一个开始触发（主通道的 **INTTM_{mn}**）为止。从主通道产生 **INTTM_{mn}** 并经过一个计数时钟后 **TO_{mp}** 的输出电平成为有效电平，当 **TCR_{mp}** = 0000H 时成为无效电平。

也可以不使用 **TI_{mn}** 引脚输入，用软件操作 (**TS_{mn}** = 1) 作为开始触发来输出单触发脉冲。

注意事项 主通道定时器数据寄存器 **mn** (**TDR_{mn}**) 与从属通道 **TDR_{mp}** 寄存器的载入时序不同。如果在操作过程中改写 **TDR_{mn}** 和 **TDR_{mp}** 寄存器，则会输出非法波形。请在产生 **INTTM_{mn}** 后改写 **TDR_{mn}** 寄存器，在产生 **INTTM_{mp}** 后改写 **TDR_{mp}** 寄存器。

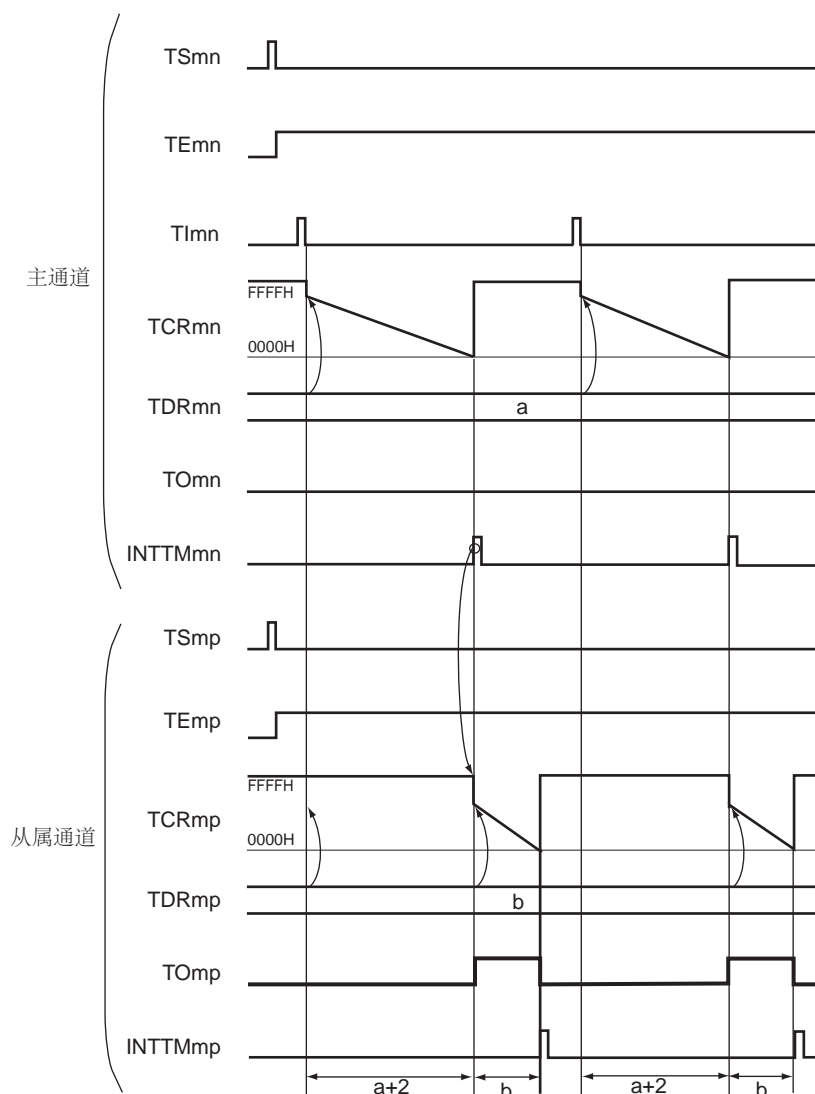
备注 **m**: 单元编号 (**m** = 0), **n**: 通道编号 (**n** = 0、2)
 p: 从属通道编号 (**n** = 0: **p** = 1、2、3, **n** = 2: **p** = 3)

图 6 - 68 作为单触发脉冲输出功能的操作框图



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0、2)
p: 从属通道编号 (n = 0: p = 1、2、3, n = 2: p = 3)

图 6 - 69 作为单触发脉冲输出功能的操作基本时序示例



备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0、2)

p: 从属通道编号 (n = 0: p = 1、2、3, n = 2: p = 3)

备注 2. TSmn、TSmp: 定时器通道开始寄存器 m (TSm) 的位 n、p

TE mn、TE mp: 定时器通道允许状态寄存器 m (TE m) 的位 n、p

TImn、TImp: TImn 和 TImp 引脚输入信号

TCRmn、TCRmp: 定时器计数寄存器 mn、mp (TCRmn、TCRmp)

TDRmn、TDRmp: 定时器数据寄存器 mn、mp (TDRmn、TDRmp)

TOmn、TOmp: TOmn 和 TOmp 引脚输出信号

图 6-70 使用单触发脉冲输出功能（主通道）时的寄存器设置内容示例

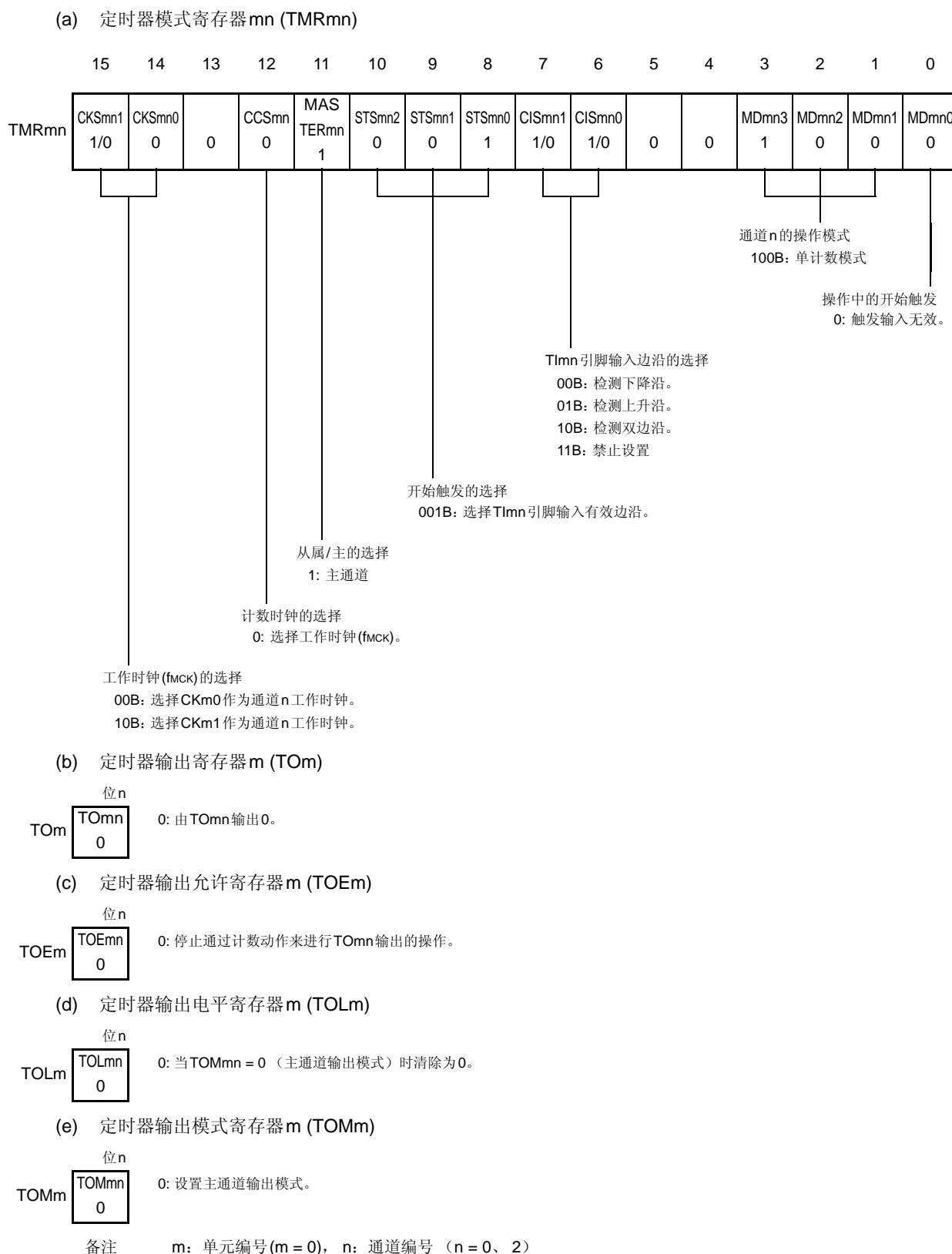


图 6 - 71 使用单触发脉冲输出功能（从属通道）时的寄存器设置内容示例

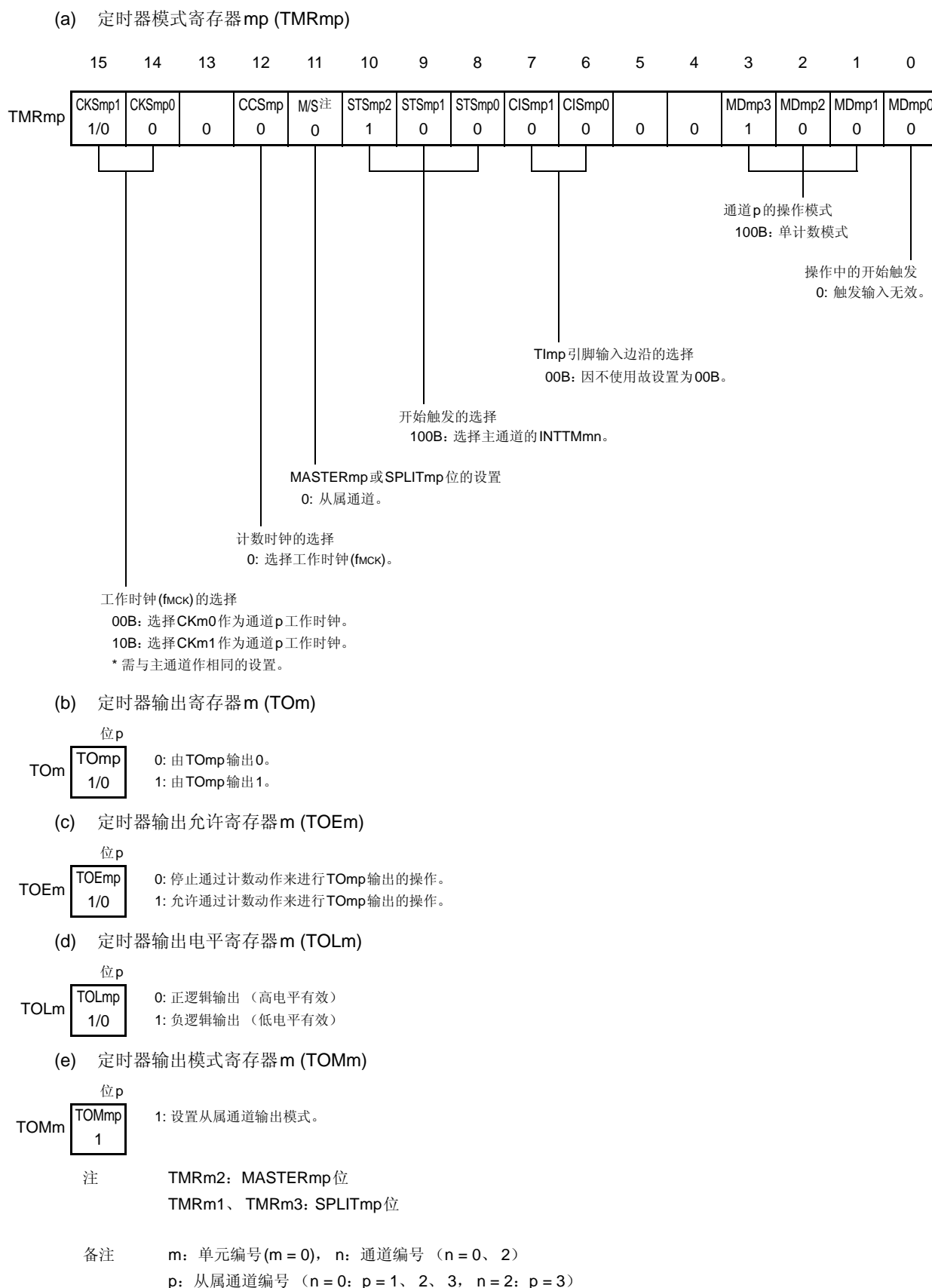


图 6 - 72 单触发脉冲输出功能的操作步骤 (1/2)

| | 软件操作 | 硬件状态 |
|-------------|--|--|
| TAU 初始设置 | 将外围有效寄存器 0 (PER0) 的 TAUmEN 位设置为 1。→ | 断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。) |
| | 设置定时器时钟选择寄存器 m (TPSm)。 决定 CKm0 和 CKm1 的时钟频率。 | 上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。) |
| 通道初始 设置 | 设置即将使用的两个通道的定时器模式寄存器 mn、mp (TMRmn、TMRmp) (决定通道的操作模式)。 向主通道定时器数据寄存器 mn (TDRmn) 设置输出延迟, 并向从属通道 TDRmp 寄存器设置脉冲宽度。 | 通道处于停止操作状态。 (供应时钟, 并产生一定的功耗。) |
| | 设置从属通道。 设置定时器输出模式寄存器 m (TOMm) 的 TOMmp 位 设置为 1 (从属通道输出模式)。 设置 TOLmp 位。 设置 TOmp 位并决定 TOmp 输出的初始电平。→ 设置 TOEmp 位为 1, 并允许操作 TOEmp。→ 将端口寄存器和端口模式寄存器设置为 0。→ | TOmp 引脚处于 Hi-Z 输出状态。 当端口模式寄存器处于输出模式且端口寄存器为 0 时, 输出 TOmp 的初始设置电平。 因为操作通道处于停止状态, 所以 TOmp 不会变化。 由 TOmp 引脚输出 TOmp 设置电平。 |

(“注”和“备注”如下页所示。)

图 6 - 73 单触发脉冲输出功能的操作步骤 (2/2)

| | 软件操作 | 硬件状态 |
|-------|--|--|
| 操作恢复。 | 开始操作 将 TOEmp 位 (从属) 设置为 1 (仅限恢复操作时)。 同时将定时器通道开始寄存器 m (TSm) 的 TSmn (主) 和 TSmp (从属) 位设置为 1。——→ TSmn 和 TSmp 位是触发位, 将自动返回为 0。 检测主通道的 TImn 引脚输入有效边沿。——→ | TEmn 和 TEm p 位被设置为 1, 主通道进入 TImn 输入边沿检测等待状态。 计数器停止操作。 主通道开始计数。 |
| | 操作期间 可以任意更改 TMRmn 寄存器的 CISmn1 和 CISmn0 位的设置值。 不能更改 TMRmp、TDRmn、TDRmp 寄存器、TOMmn、TOMmp、TOLmn 和 TOLmp 位的设置值。 可以任意读取 TCRmn 和 TCRmp 寄存器。 不使用 TSRmn 和 TSRmp 寄存器。 可以更改 Tom 和 TOEm 寄存器的设置值。 | 主通道在检测到 TImn 引脚有效输入边沿时, 将 TDRmn 寄存器的值载入定时器计数寄存器 mn (TCRmn), 计数器开始递减计数。当计数值达到 TCRmn = 0000H 时, 产生输出 INTTMmn 并停止计数, 直至 TImn 引脚输入下一个有效边沿为止。 从属通道 (由主通道的 INTTMmn 触发) 将 TDRmp 寄存器的值载入 TCRmp 寄存器, 计数器开始递减计数。TOmp 的输出电平在从主通道产生 INTTMmn 并经过一个计数时钟之后成为有效电平。当 TCRmp = 0000H 时成为无效电平, 停止计数操作。 之后重复以上操作。 |
| | 停止操作 同时将 TTmn (主) 和 TTmp (从属) 位设置为 1。——→ 同时将 TTmn (主) 和 TTmp (从属) 位设置为 1。 将主通道的 TOEmp 位清除为 0, 并给 TOmp 位设置值。——→ | TEmn、TEmp = 0, 并且停止计数操作。 TCRmn 和 TCRmp 寄存器保持计数值并停止计数操作。 TOmp 输出不被初始化, 而是保持当前状态。 由 TOmp 引脚输出 TOmp 设置电平。 |
| | TAU stop 保持 TOmp 引脚输出电平时 将希望保持的值设置到端口寄存器后, 将 TOmp 位清除为 0。——→ 不需要保持 TOmp 引脚输出电平时不要求设置。 将 PER0 寄存器的 TAUmEN 位设置为 0。——→ | TOmp 引脚输出电平由端口功能保持。 断电状态 初始化所有电路, 同时初始化各通道的 SFR。 (TOmp 位清除为 0, TOmp 引脚被设置为端口模式。) |

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0、2)
 p: 从属通道编号 (n = 0: p = 1、2、3, n = 2: p = 3)

6.8.2 作为 PWM 功能的操作

可以使用两个通道作为一组，来产生任意周期和占空比的脉冲。
输出脉冲的周期和占空比可用下述表达式计算。

脉冲周期 = {TDRmn (主) 的设置值 + 1} × 计数时钟周期
 占空比 [%] = {TDRmp (从属) 的设置值} / {TDRmn (主) 的设置值 + 1} × 100
 0% 输出: TDRmp (从属) 的设置值 = 0000H
 100% 输出: TDRmp (从属) 的设置值 ≥ {TDRmn (主) 的设置值 + 1}

备注 如果 TDRmp (从属) 的设置值 > (TDRmn (主) 的设置值 + 1)，则占空比将超过 100%，而合为 100% 输出。

主通道工作于间隔定时器模式。如果定时器通道开始寄存器 m (TSm) 的通道开始触发位 (TSmn) 被设置为 1，则输出中断 (INTTMmn)，定时器数据寄存器 mn (TDRmn) 的设置值被载入定时器计数寄存器 mn (TCRmn)，计数器与计数时钟同步并递减计数。当计数器达到 0000H 时，输出 INTTMmn 中断，再次将 TDRmn 寄存器的值载入 TCRmn 寄存器，计数器递减计数。重复该操作直到定时器通道停止寄存器 m (TTm) 的通道停止触发位 (TTmn) 被设置为 1 为止。

如果用两个通道来输出一个 PWM 波形，直到主通道递减计数至 0000H 为止的周期为 PWM 输出 (TOmp) 周期。

从属通道工作于单计数模式。通过将主通道的 INTTMmn 中断用作开始触发，TCRmp 寄存器载入 TDRmp 寄存器的值，计数器递减计数至 0000H。当计数器达到 0000H 时，输出 INTTMmp 中断并等待直到产生下一个开始触发（主通道的 INTTMmn 中断）为止。

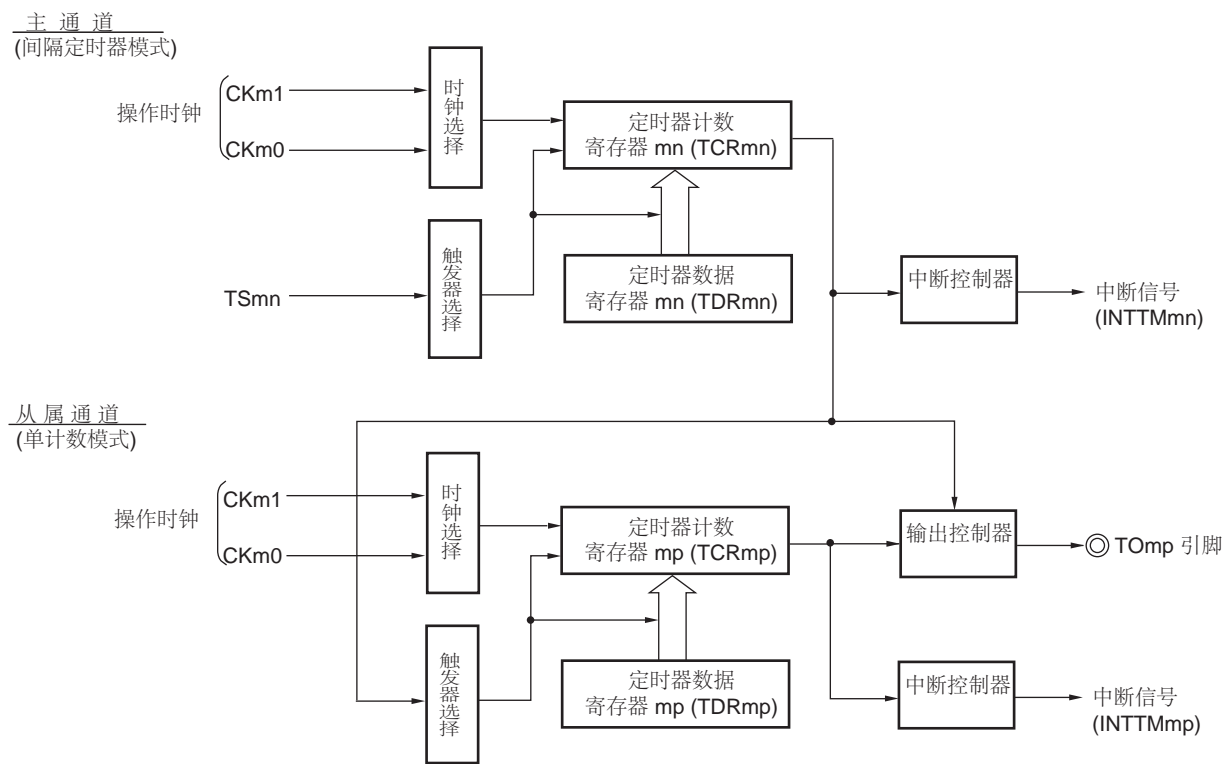
如果用两个通道来输出一个 PWM 波形，直到从属通道递减计数至 0000H 为止的期间为 PWM 输出 (TOmp) 占空。

PWM 输出 (TOmp) 在主通道产生 INTTMmn 中断并经过一个时钟之后成为有效电平，当从属通道的 TCRmp 寄存器变成 0000H 时成为无效电平。

注意事项 要同时改写主通道定时器数据寄存器 mn (TDRmn) 和从属通道的 TDRmp 寄存器，则需执行两次写操作。TDRmn 和 TDRmp 寄存器的值载入至 TCRmn 和 TCRmp 寄存器的时序为主通道 INTTMmn 发生的时候。因此，当在主通道 INTTMmn 发生前和发生后分开执行改写时，TOmp 引脚将不能输出预期波形。将主的 TDRmn 寄存器和从属的 TDRmp 寄存器的双方都改写时，必须要在主通道产生 INTTMmn 之后立即改写这两个寄存器。

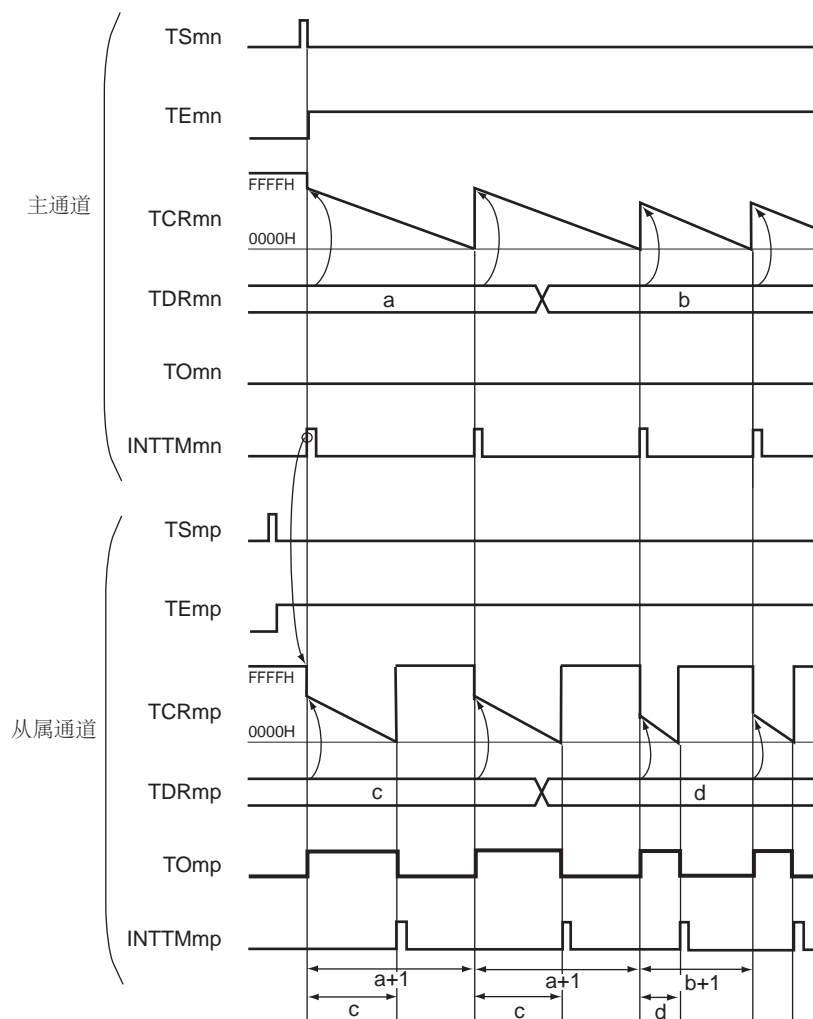
备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0、2)
 p: 从属通道编号 (n = 0: p = 1、2、3, n = 2: p = 3)

图 6 - 74 作为 PWM 功能的操作框图



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0、2)
 p: 从属通道编号 (n = 0: p = 1、2、3, n = 2: p = 3)

图 6 - 75 作为 PWM 功能的操作基本时序示例



备注 1. m: 单元编号 ($m = 0$), n: 通道编号 ($n = 0、2$)

p: 从属通道编号 ($n = 0: p = 1、2、3, n = 2: p = 3$)

备注 2. TSmn、TSmp: 定时器通道开始寄存器 m (TSm) 的位 n、p

TEmn、TEmp: 定时器通道允许状态寄存器 m (TEm) 的位 n、p

TCRmn、TCRmp: 定时器计数寄存器 mn、mp (TCRmn、TCRmp)

TDRmn、TDRmp: 定时器数据寄存器 mn、mp (TDRmn、TDRmp)

TOn、TOmp: TOn 和 TOmp 引脚输出信号

图 6-76 使用 PWM 功能（主通道）时的寄存器设置内容示例

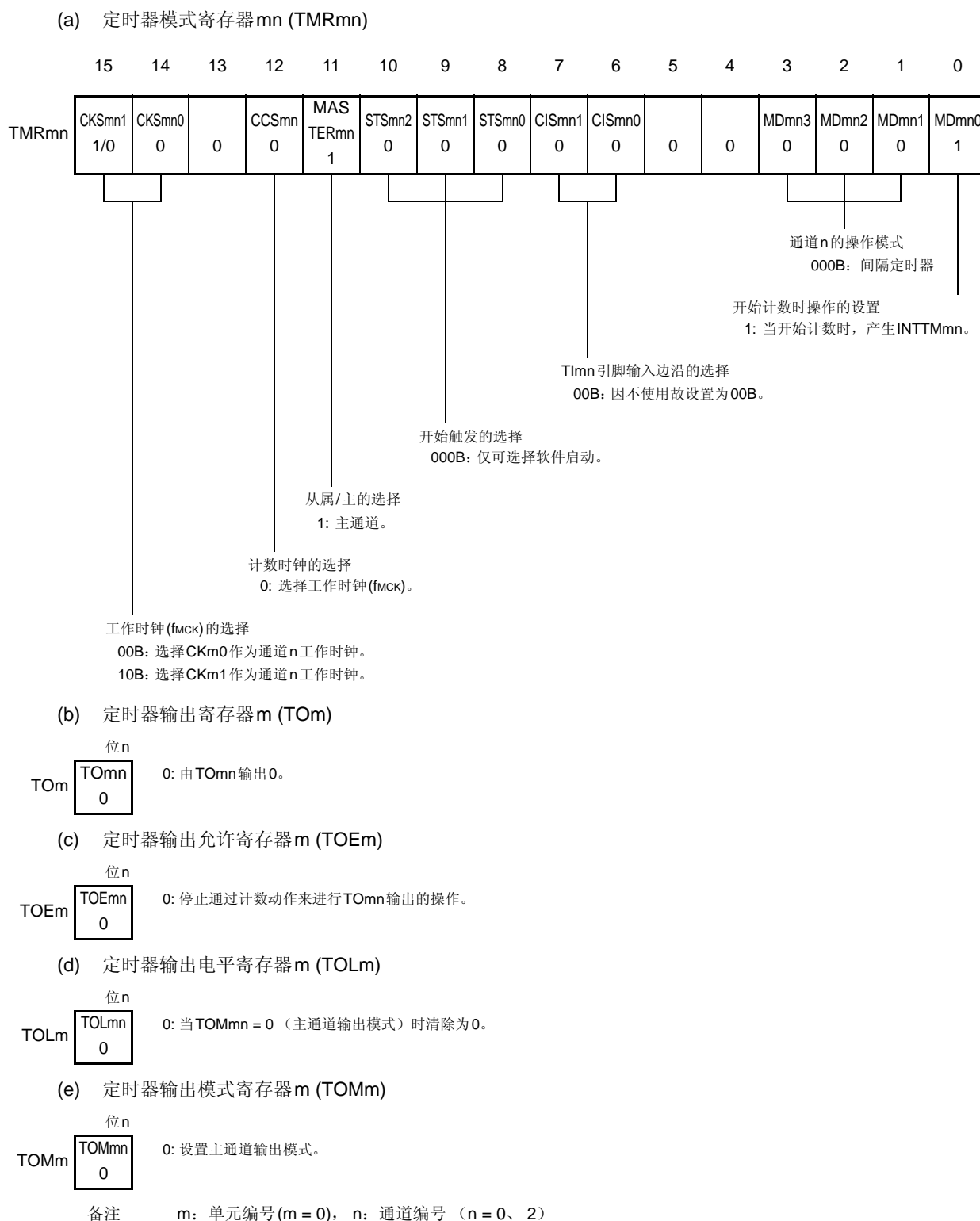


图 6-77 使用 PWM 功能（从属通道）时的寄存器设置内容示例

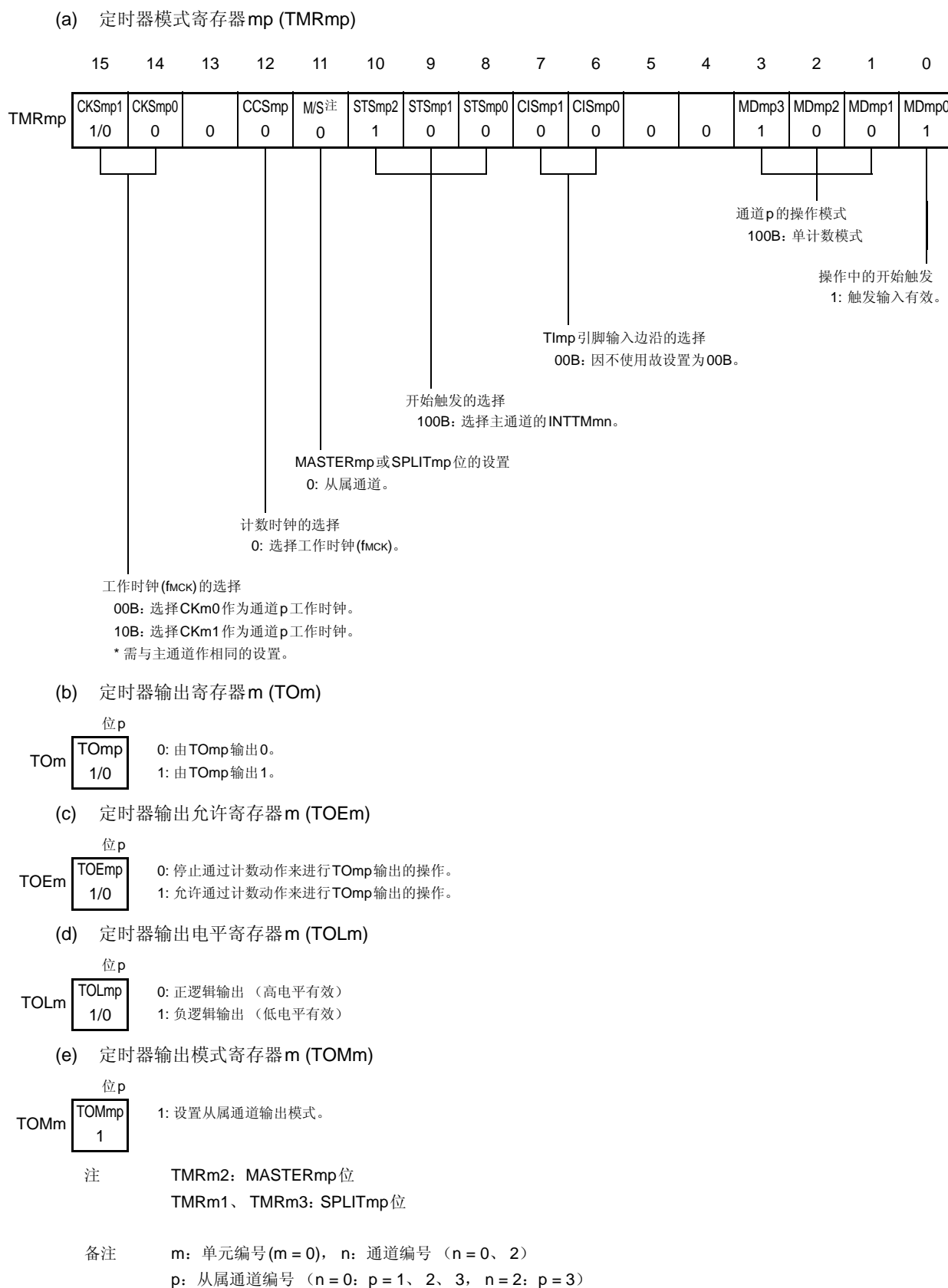


图 6 - 78 使用 PWM 功能时的操作步骤 (1/2)

| | 软件操作 | 硬件状态 |
|-------------|--|--|
| TAU 初始设置 | 将外围有效寄存器 0 (PER0) 的 TAUmEN 位设置为 1。→ | 断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。) |
| | 设置定时器时钟选择寄存器 m (TPSm)。 决定 CKm0 和 CKm1 的时钟频率。 | 上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。) |
| 通道初始 设置 | 设置即将使用的两个通道的定时器模式寄存器 mn、mp (TMRmn、TMRmp) (决定通道的操作模式)。 向主通道的定时器数据寄存器 mn (TDRmn) 设置间隔 (周 期) 值, 并向从属通道的 TDRmp 寄存器设置占空比。 | 通道处于停止操作状态。 (供应时钟, 并产生一定的功耗。) |
| | 设置从属通道。 设置定时器输出模式寄存器 m (TOMm) 的 TOMmp 位 设置为 1 (从属通道输出模式)。 设置 TOLmp 位。 设置 TOmp 位并决定 TOmp 输出的初始电平。→ 设置 TOEmp 位为 1, 并允许操作 TOEmp。→ 将端口寄存器和端口模式寄存器设置为 0。→ | TOmp 引脚处于 Hi-Z 输出状态。 当端口模式寄存器处于输出模式且端口寄存器为 0 时, 输 出 TOmp 的初始设置电平。 因为操作通道处于停止状态, 所以 TOmp 不会变化。 由 TOmp 引脚输出 TOmp 设置电平。 |

(“注”和“备注”如下页所示。)

图 6 - 79 使用 PWM 功能时的操作步骤 (2/2)

| | 软件操作 | 硬件状态 |
|-------|--|--|
| 操作恢复。 | 开始操作 将 TOEmp 位（从属）设置为 1（仅限恢复操作时）。 同时将定时器通道开始寄存器 m (TSm) 的 TSmn（主）和 TSmp（从属）位设置为 1。 TSmn 和 TSmp 位是触发位，将自动返回为 0。 | TEmn = 1, TEmp = 1 主通道开始计数时，产生 INTTMmn 中断。通过该中断触发，从属通道也开始计数。 |
| | 操作期间 不能更改 TMRmn 和 TMRmp 寄存器、TOMmn、TOMmp、TOLmn 和 TOLmp 位的设置值。 产生主通道 INTTMmn 之后，可以更改 TDRmn 和 TDRmp 寄存器的设置值。 可以任意读取 TCRmn 和 TCRmp 寄存器。 不使用 TSRmn 和 TSRmp 寄存器。 | 主通道的计数器将 TDRmn 寄存器值载入定时器计数寄存器 mn (TCRmn)，并递减计数。当计数值达到 TCRmn = 0000H 时，产生 INTTMmn 输出。同时，TDRmn 寄存器的值将被载入 TCRmn 寄存器，计数器再次开始递减计数。 在从属通道，TDRmp 寄存器的值载入 TCRmp 寄存器（由主通道的 INTTMmn 触发），计数器开始递减计数。TOmp 的输出电平在主通道输出 INTTMmn 并经过一个计数时钟之后成为有效电平。当 TCRmp = 0000H 时成为无效电平，停止计数操作。 之后重复以上操作。 |
| | 停止操作 同时将 TTmn（主）和 TTmp（从属）位设置为 1。 TTmn 和 TTmp 位是触发位，将自动返回为 0。 | TEmn、TEmp = 0，并且停止计数操作。 TCRmn 和 TCRmp 寄存器保持计数值并停止计数操作。 TOmp 输出不被初始化，而是保持当前状态。 |
| | 将从属通道的 TOEmp 位清除为 0，并给 TOmp 位设置值。 | 由 TOmp 引脚输出 TOmp 设置电平。 |
| | TAU stop 保持 TOmp 引脚输出电平时 将希望保持的值设置到端口寄存器后，将 TOmp 位清除为 0。 不需要保持 TOmp 引脚输出电平时 不要求设置。 将 PER0 寄存器的 TAUmEN 位设置为 0。 | TOmp 引脚输出电平由端口功能保持。 断电状态 初始化所有电路，同时初始化各通道的 SFR。 (TOmp 位清除为 0，TOmp 引脚被设置为端口模式。) |

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0、2)
 p: 从属通道编号 (n = 0: p = 1、2、3, n = 2: p = 3)

6.8.3 作为多重 PWM 输出功能的操作

通过扩展 PWM 功能并使用多个从属通道，可以输出具有不同占空比的多个 PWM 波形。

例如，使用两个从属通道时，输出脉冲的周期和占空比可用下述表达式计算。

$$\begin{aligned}\text{脉冲周期} &= \{\text{TDRmn (主) 的设置值} + 1\} \times \text{计数时钟周期} \\ \text{占空比 1 [\%]} &= \{\text{TDRmp (从属 1) 的设置值}\} / \{\text{TDRmn (主) 的设置值} + 1\} \times 100 \\ \text{占空比 2 [\%]} &= \{\text{TDRmq (从属 2) 的设置值}\} / \{\text{TDRmn (主) 的设置值} + 1\} \times 100\end{aligned}$$

备注 如果 TDRmp (从属 1) 的设置值 > {TDRmn (主) 的设置值 + 1}，或者 {TDRmq (从属 2) 的设置值} > {TDRmn (主) 的设置值 + 1}，则占空比将超过 100%，而合为 100% 输出。

主通道的定时器计数寄存器 mn (TCRmn) 工作于间隔定时器模式，对周期进行计数。

从属通道 1 的 TCRmp 寄存器工作于单计数模式，对占空比进行计数，并从 TOmp 引脚输出 PWM 波形。将主通道的 INTTMmn 用作开始触发，TCRmp 寄存器载入定时器数据寄存器 mp (TDRmp) 的值，并开始递减计数。当 TCRmp = 0000H 时，TCRmp 将输出 INTTMmn 中断并停止计数，直到输入下一个开始触发（主通道的 INTTMmn）为止。从主通道产生 INTTMmn 并经过一个计数时钟后 TOmp 的输出电平成为有效电平，当 TCRmp = 0000H 时成为无效电平。

采用与从属通道 1 的 TCRmp 寄存器一样的方式，从属通道 2 的 TCRmq 寄存器工作于单计数模式，对占空比进行计数，并从 TOmq 引脚输出 PWM 波形。将主通道的 INTTMmn 用作开始触发，TCRmq 寄存器载入 TDRmq 寄存器的值，并开始递减计数。当 TCRmq = 0000H 时，TCRmq 寄存器输出 INTTMmq 并停止计数，直到输入下一个开始触发（主通道的 INTTMmn）为止。从主通道产生 INTTMmn 并经过一个计数时钟后 TOmq 的输出电平成为有效电平，当 TCRmq = 0000H 时成为无效电平。

当通道 0 被用作上述主通道时，最多可以同时输出三种 PWM 信号。

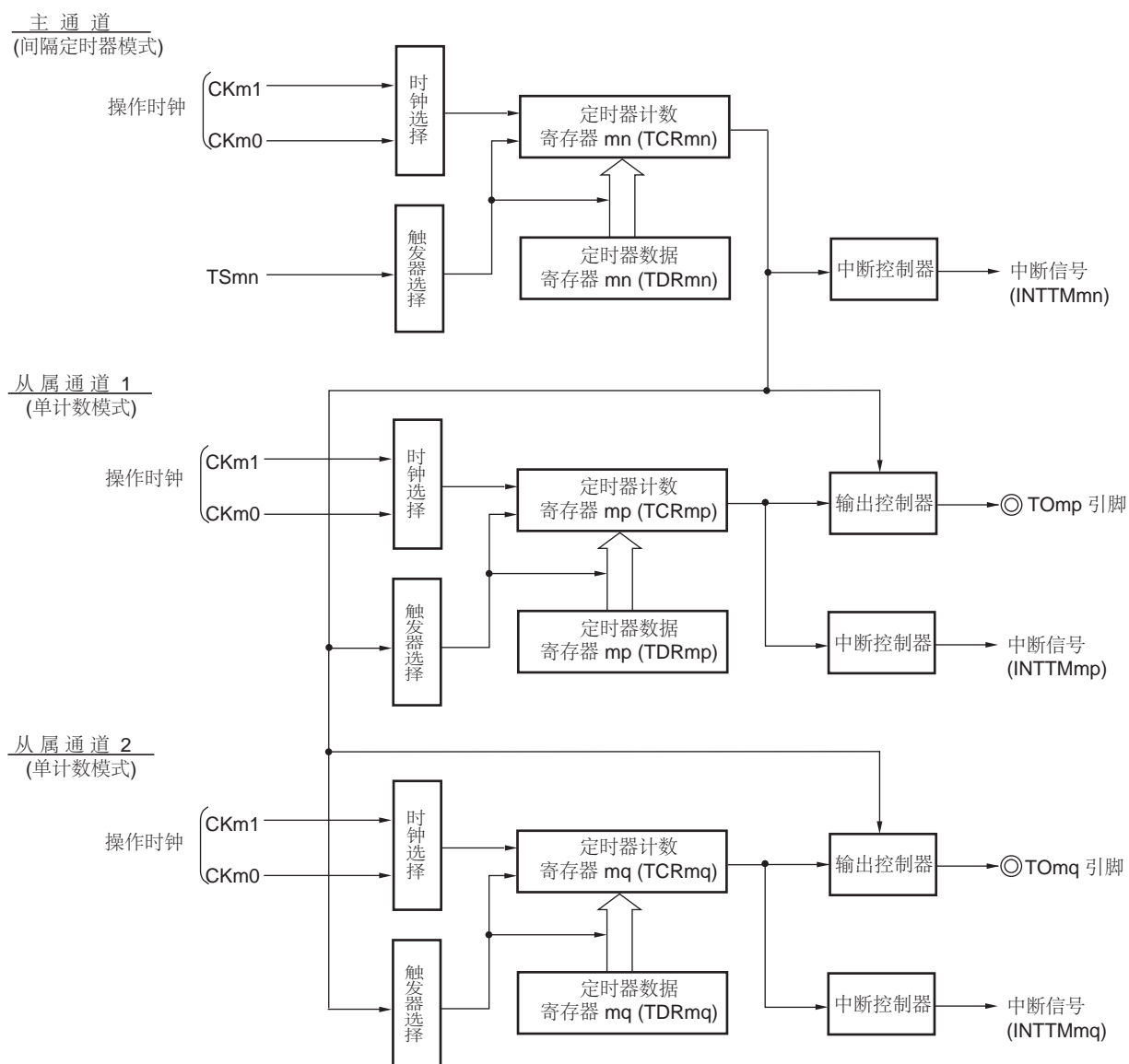
注意事项 要同时改写主通道定时器数据寄存器 mn (TDRmn) 和从属通道 1 的 TDRmp 寄存器，至少需要执行两次写操作。由于 TDRmn 和 TDRmp 寄存器的值是在主通道产生 INTTMmn 之后被载入 TCRmn 和 TCRmp 寄存器的，因此，如果在从主通道产生 INTTMmn 之前和之后分别执行改写，则 TOmp 引脚不能输出预期波形。改写主的 TDRmn 寄存器和从属的 TDRmp 寄存器时，必须要在主通道产生 INTTMmn 之后立即改写这两个寄存器（同样适用于从属通道 2 的 TDRmq 寄存器）。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0)

p: 从属通道编号 1, q: 从属通道编号 2

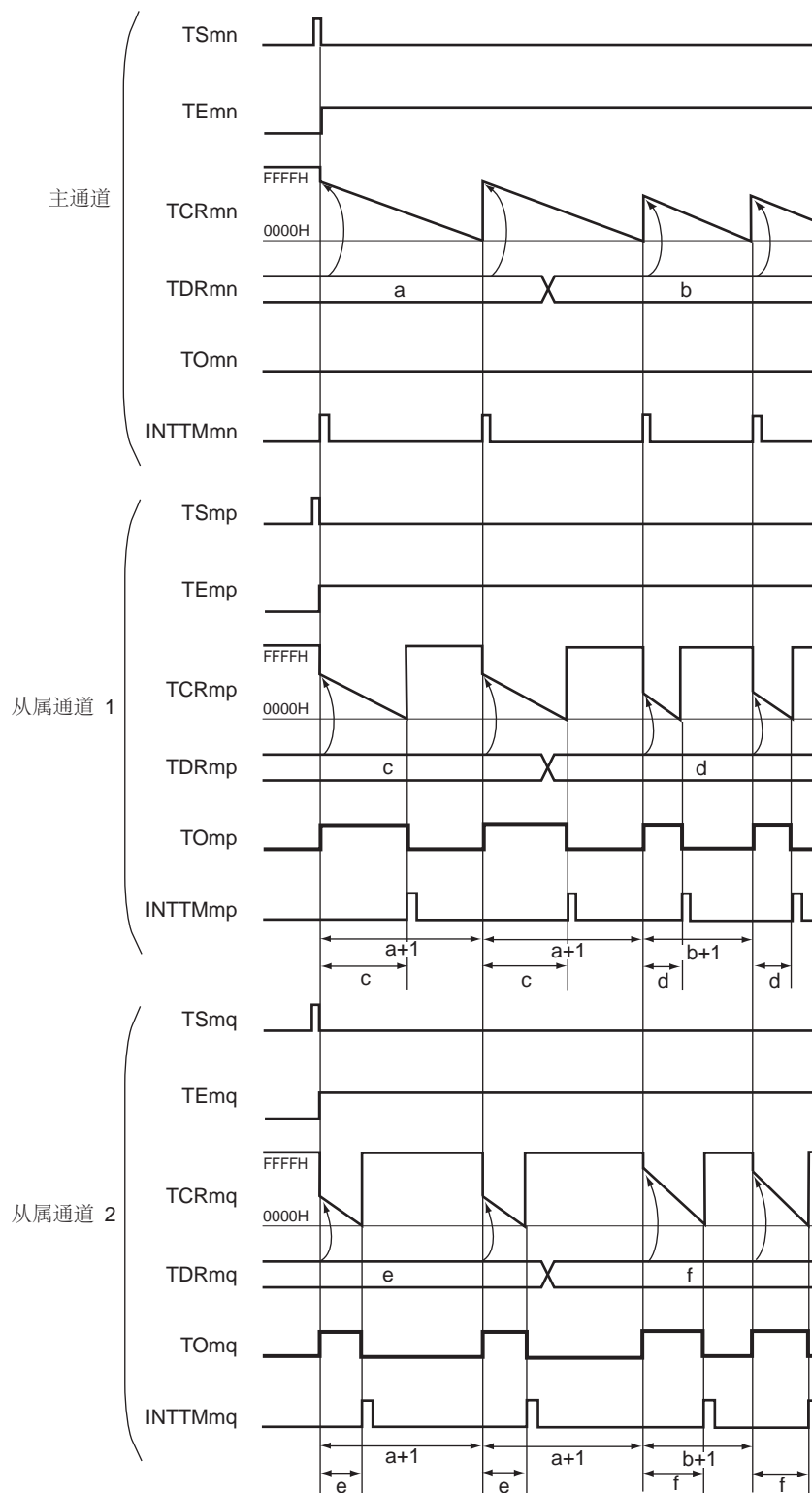
$n < p < q \leq 3$ (p 和 q 为大于 n 的整数)

图 6 - 80 作为多重 PWM 输出功能的操作框图（输出两种 PWM）



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0)
 p: 从属通道编号 1, q: 从属通道编号 2
 n < p < q ≤ 3 (p 和 q 为大于 n 的整数)

图 6-81 作为多重 PWM 输出功能的操作基本时序示例
(输出两种 PWM) (1/2)



(备注如下页所示。)

备注 1. m: 单元编号 ($m = 0$), n: 通道编号 ($n = 0$)

p: 从属通道编号 1, q: 从属通道编号 2

$n < p < q \leq 3$ (p 和 q 为大于 n 的整数)

备注 2. TS_{mn}、TS_{mp}、TS_{mq}: 定时器通道开始寄存器 m (TS_m) 的位 n、p、q

TE_{mn}、TE_{mp}、TE_{mq}: 定时器通道允许状态寄存器 m (TE_m) 的位 n、p、q

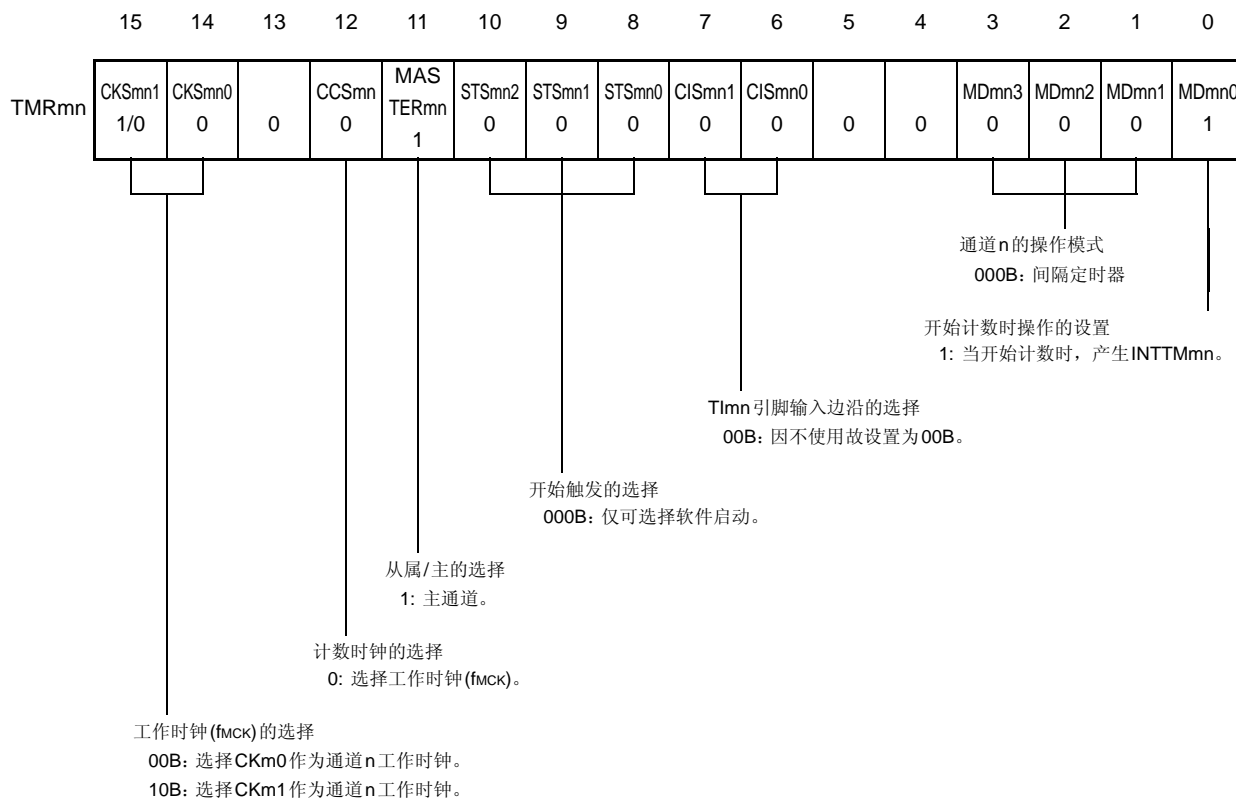
TCR_{mn}、TCR_{mp}、TCR_{mq}: 定时器计数寄存器 mn、mp、mq (TCR_{mn}、TCR_{mp}、TCR_{mq})

TDR_{mn}、TDR_{mp}、TDR_{mq}: 定时器数据寄存器 mn、mp、mq (TDR_{mn}、TDR_{mp}、TDR_{mq})

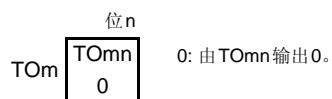
TO_{mn}、TO_{mp}、TO_{mq}: TO_{mn}、TO_{mp} 和 TO_{mq} 引脚输出信号

图 6 - 82 使用多重 PWM 输出功能（主通道）
时的寄存器设置内容示例

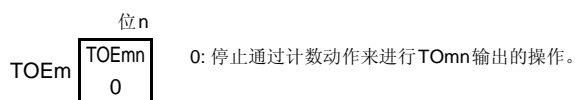
(a) 定时器模式寄存器 mn (TMRmn)



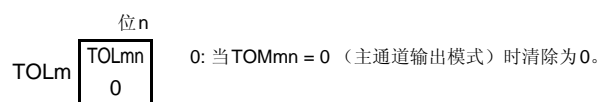
(b) 定时器输出寄存器 m (TOM)



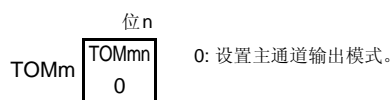
(c) 定时器输出允许寄存器 m (TOEm)



(d) 定时器输出电平寄存器 m (TOLm)



(e) 定时器输出模式寄存器 m (TOMm)



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0)

图 6-83 使用多重PWM输出功能（从属通道）

时的寄存器设置内容示例（输出两种PWM）

(a) 定时器模式寄存器mp、mq (TMRmp、TMRmq)

TMRmp

| | | | | | | | | | | | | | | | |
|--------|--------|----|-------|------|--------|--------|--------|--------|--------|---|---|-------|-------|-------|-------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CKSmp1 | CKSmp0 | | CCSmp | M/S注 | STSmp2 | STSmp1 | STSmp0 | CISmp1 | CISmp0 | | | MDmp3 | MDmp2 | MDmp1 | MDmp0 |
| 1/0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |

TMRmq

| | | | | | | | | | | | | | | | |
|--------|--------|----|-------|------|--------|--------|--------|--------|--------|---|---|-------|-------|-------|-------|
| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CKSmq1 | CKSmq0 | | CCSmq | M/S注 | STSmq2 | STSmq1 | STSmq0 | CISmq1 | CISmq0 | | | MDmq3 | MDmq2 | MDmq1 | MDmq0 |
| 1/0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |

工作时钟 (f_{mck}) 的选择
 00B: 选择 CKm0 作为通道 p、q 工作时钟。
 10B: 选择 CKm1 作为通道 p、q 工作时钟。
 * 需与主通道作相同的设置。

计数时钟的选择
 0: 选择工作时钟 (f_{mck})。

MASTERmp、MASTERmq 或 SPLITmp、SPLITmq 位的设置
 0: 从属通道。

开始触发的选择
 100B: 选择主通道的 INTTmn。

TImp 和 TImq 引脚输入边沿的选择
 00B: 因不使用故设置为 00B。

通道 p、q 的操作模式
 100B: 单计数模式

操作中的开始触发
 1: 触发输入有效。

(b) 定时器输出寄存器m (TOM)

| | | 位 q | 位 p |
|-----|------|------|--|
| T0m | T0mq | T0mp | 0: 由T0mp或者T0mq输出0。 1: 由T0mp或者T0mq输出1。 |
| | 1/0 | 1/0 | |

(c) 定时器输出允许寄存器m (TOEm)

| | 位q | 位p |
|------|-------|-------|
| TOEm | TOEmq | TOEmp |
| | 1/0 | 1/0 |

0: 通过计数操作停止TOmp或TOmq输出操作。
1: 通过计数操作允许TOmp或TOmq输出操作。

(d) 定时器输出电平寄存器m (TOLm)

| | | | |
|------|---------|-------|------------------|
| | 位 q 位 p | | |
| TOLm | TOLmq | TOLmp | 0: 正逻辑输出 (高电平有效) |
| | 1/0 | 1/0 | 1: 负逻辑输出 (低电平有效) |

(e) 定时器输出模式寄存器m (TOMm)

| | | | |
|------|-------|-------|----------------|
| | 位q | 位p | |
| TOMm | TOMmq | TOMmp | 1: 设置从属通道输出模式。 |
| | 1 | 1 | |

注 TMRm2: MASTERmp、MASTERmq位
TMRm1、TMRm3: SPLITmp、SPLITmq位

备注 m: 单元编号(m=0), n: 通道编号(n=0)
p: 从属通道编号1, q: 从属通道编号2
 $n < p < q \leq 3$ (p和q为大于n的整数)

图 6 - 84 使用多重 PWM 输出功能时的操作步骤（输出两种 PWM）（1/2）

| | 软件操作 | 硬件状态 |
|-------------|--|---|
| TAU 初始设置 | 将外围有效寄存器 0 (PER0) 的 TAUmEN 位设置为 1。→ | 断电状态 (时钟供应被停止, 向各寄存器的写操作被禁止。) |
| | 设置定时器时钟选择寄存器 m (TPSm)。 决定 CKm0 和 CKm1 的时钟频率。 | 上电状态。每个通道处于停止操作状态。 (开始时钟供应, 允许写入各寄存器。) |
| 通道初始 设置 | 设置即将使用的各个通道的定时器模式寄存器 mn、mp、mq (TMRmn、TMRmp、TMRmq) (决定通道的操作模式)。 向主通道定时器数据寄存器 mn (TDRmn) 设置间隔 (周期) 值, 并向从属通道的 TDRmp 和 TDRmq 寄存器设置占空比。 | 通道处于停止操作状态。 (供应时钟, 并产生一定的功耗。) |
| | 设置从属通道。 将定时器输出模式寄存器 m (TOMm) 的 TOMmp 和 TOMmq 位设置为 1 (从属通道输出模式)。 将 TOLmp 和 TOLmq 位清除为 0。 设置 TOmp 和 TOmq 位, 并决定 TOmp 和 TOmq 输出的初始电平。→ 将 TOEmp 和 TOEmq 位设置为 1, 并允许操作 TOmp 和 TOmq。→ 将端口寄存器和端口模式寄存器设置为 0。→ | TOmp 和 TOmq 引脚进入 Hi-Z 输出状态。 当端口模式寄存器处于输出模式且端口寄存器为 0 时, 输出 TOmp 和 TOmq 的初始设置电平。 因为操作通道处于停止状态, 所以 TOmp 和 TOmq 不会变化。 由 TOmp 和 TOmq 引脚输出 TOmp 和 TOmq 设置电平。 |

（“注”和“备注”如下页所示。）

图 6 - 85 使用多重 PWM 输出功能时的操作步骤（输出两种 PWM）(2/2)

| | 软件操作 | 硬件状态 |
|----------|---|--|
| 操作恢复。 | 开始操作 (仅限恢复操作时将 TOEmp 和 TOEmq (从属) 位设置为 1。) 同时将定时器通道开始寄存器 m (TSm) 的 TSmn (主) 和 TSmp (从属) 位设置为 1。——→ TSmn、TSmp 和 TSmq 位是触发位, 将自动返回为 0。 | TEmn = 1, TEmq、TEmq = 1 主通道开始计数时, 产生 INTTMmn 中断。通过该中断触发, 从属通道也开始计数。 |
| | 操作期间 不能更改 TMRmn、TMRmp、TMRmq 寄存器、TOMmn、TOMmp、TOMmq、TOLmn、TOLmp 和 TOLmq 位的设置值。 产生主通道 INTTMmn 之后, 可以更改 TDRmn、TDRmp 和 TDRmq 寄存器的设置值。 可以任意读取 TCRmn、TCRmp 和 TCRmq 寄存器。 不使用 TSRmn、TSRmp 和 TSRmq 寄存器。 | 主通道的计数器将 TDRmn 寄存器值载入定时器计数寄存器 mn (TCRmn), 并递减计数。当计数值达到 TCRmn = 0000H 时, 产生 INTTMmn 输出。同时, TDRmn 寄存器的值将被载入 TCRmn 寄存器, 计数器再次开始递减计数。 在从属通道 1, TDRmp 寄存器的值被传送到 TCRmp 寄存器 (由主通道的 INTTMmn 触发), 计数器开始递减计数。 TOmp 的输出电平在主通道输出 INTTMmn 并经过一个计数时钟之后成为有效电平。当 TCRmp = 0000H 时成为无效电平, 停止计数操作。 在从属通道 2, TDRmq 寄存器的值被传送到 TCRmq 寄存器 (由主通道的 INTTMmn 触发), 计数器开始递减计数。 TOmq 的输出电平在主通道输出 INTTMmn 且经过一个计数时钟之后成为有效电平。当 TCRmq = 0000H 时成为无效电平, 停止计数操作。 之后重复以上操作。 |
| | 停止操作 同时将 TTmn 位 (主)、TTmp 和 TTmq (从属) 位设置为 1。——→ TTmn、TTmp 和 TTmq 位是触发位, 将自动返回为 0。 | TEmn、TEmq、TEmq = 0, 并且停止计数操作。 TCRmn、TCRmp 和 TCRmq 寄存器保持计数值并停止计数操作。 TOmp 和 TOmq 输出不被初始化, 而是保持当前状态。 |
| | 清除从属通道的 TOEmp 和 TOEmq 位为 0, 并设置 TOmp 和 TOmq 位的值。——→ | 由 TOmp 和 TOmq 引脚输出 TOmp 和 TOmq 设置电平。 |
| TAU stop | 保持 TOmp 和 TOmq 引脚输出电平时 将希望保持的值设置到端口寄存器之后, 将 TOmp 和 TOmq 位清除为 0。——→ 不需要保持 TOmp 和 TOmq 引脚输出电平时不要求设置 将 PER0 寄存器的 TAUmEN 位设置为 0。——→ | TOmp 和 TOmq 引脚输出电平由端口功能保持。 ----- 断电状态 初始化所有电路, 同时初始化各通道的 SFR。 (TOmp 和 TOmq 位被清除为 0, TOmp 和 TOmq 引脚被设置为端口模式。) |

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0)
 p: 从属通道编号, q: 从属通道编号
 n < p < q ≤ 3 (p 和 q 为大于 n 的整数)

6.9 使用定时器阵列单元时的注意事项

6.9.1 使用定时器输出时的注意事项

一些产品中存在同时指定有定时器输出以及其他复用功能的引脚。这种情况下，必须将其他复用功能的输出设置为与其初始状态相同的值。

(1) 使用 30 至 32 引脚产品中指定给 P31 的 TO03 输出时

为了让复用 PCLBUZ0 输出成为 0，不但要将端口模式寄存器（PM31 位）和端口寄存器（P31 位）设置为 0，而且要以与初始状态相同的设定来设置时钟输出选择寄存器 0 (CKS0) 的位 7。

第 7 章 定时器RJ

定时器RJ是一款16位定时器，用于脉冲输出、外部脉冲宽度或周期测量以及对外部事件进行计数。

7.1 概述

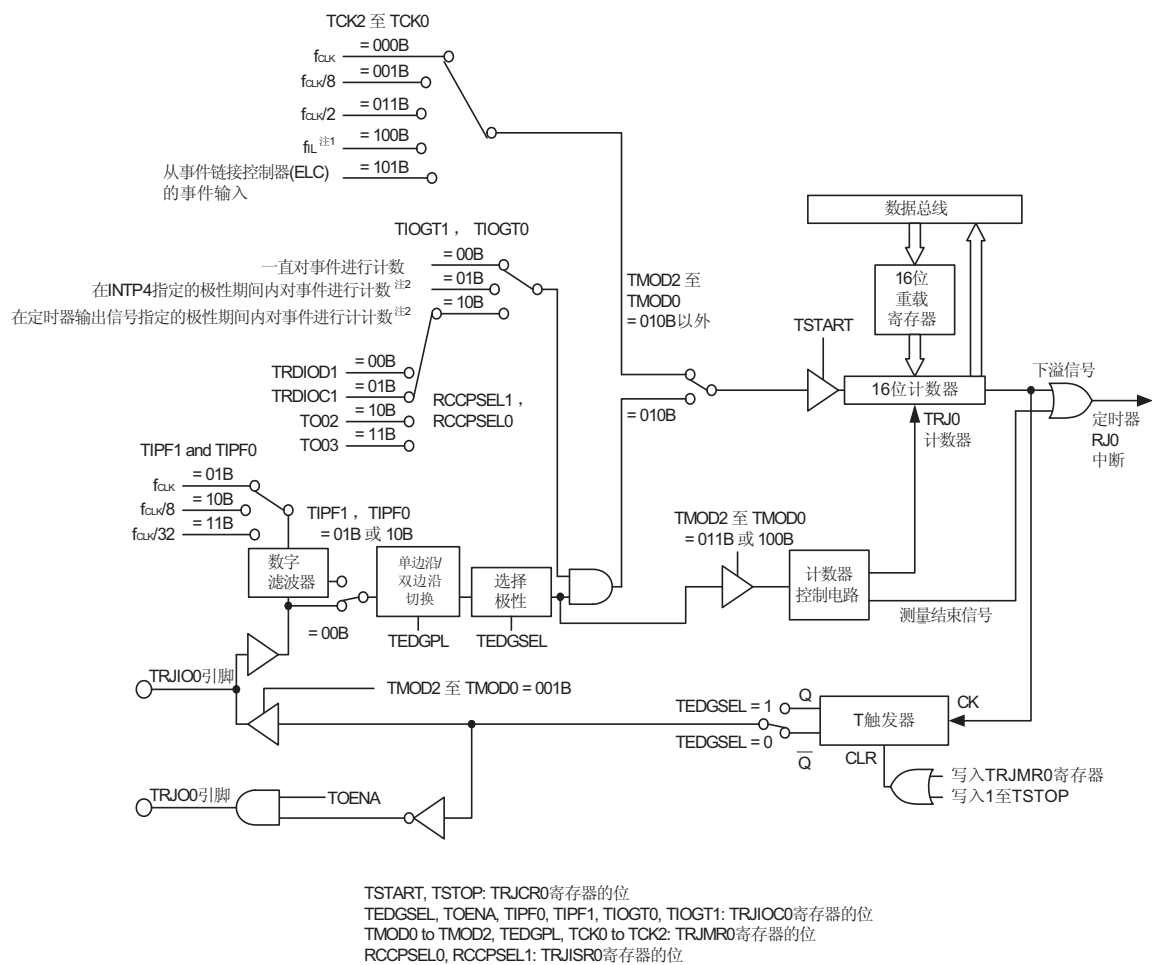
该16位定时器由一个重加载寄存器和一个递减计数器构成。重加载寄存器和递减计数器分配至同一地址，可通过存取TRJ0寄存器进行存取。

定时器RJ的规格如表 7 - 1所示。定时器RJ的框图如图 7 - 1所示。

表 7 - 1 定时器RJ的规格

| 项目 | | 说明 |
|-----------|----------|--|
| 操作模式 | 定时器模式 | 对计数源计数。 |
| | 脉冲输出模式 | 每当定时器发生下溢时，对计数源计数并使输出反相。 |
| | 事件计数器模式 | 对外部事件计数。 支持STOP模式下的操作。 |
| | 脉冲宽度测量模式 | 测量外部脉冲宽度。 |
| | 脉冲周期测量模式 | 测量外部输入的脉冲周期。 |
| 计数源（工作时钟） | | 可选fCLK、fCLK/2、fCLK/8、fIL或来自事件链接控制器(ELC)的事件输入 |
| 中断 | | <ul style="list-style-type: none">当计数器发生下溢时。当外部输入(TRJIO0)有效宽度的测量在脉冲宽度测量模式下完成时。当外部输入(TRJIO0)的设定边沿在脉冲周期测量模式下输入时。 |
| 可选择功能 | | <ul style="list-style-type: none">与事件链接控制器(ELC)的协作。 可选择从ELC的事件输入作为计数源。 |

图 7 - 1 定时器 RJ 的框图



- 注 1. 将fil选为计数源时，将操作速度模式控制寄存器(OSMC)中的WUTMMCK0位设置为1。
- 注 2. 可以通过TRJISR0寄存器的RCCPSEL2位选择极性。

7.2 输入/输出引脚

定时器RJ的引脚配置如表 7 - 2所示。

表 7 - 2 定时器 RJ 的引脚配置

| 引脚名称 | 输入/输出 | 功能 |
|----------|-------|---------------------|
| INTP4 | 输入 | 定时器 RJ 的外部输入 |
| TRJIO0 注 | 输入/输出 | 定时器 RJ 的外部事件输入和脉冲输出 |
| TRJO0 注 | 输出 | 定时器 RJ 的脉冲输出 |

注 可以通过PIOR1寄存器的PIOR12和PIOR13位选择TRJIO0引脚的分配。可以通过PIOR1寄存器的PIOR10和PIOR11位选择TRJO0引脚的分配。有关详情，请参阅第 4 章 端口功能。

7.3 寄存器

定时器 RJ 的寄存器配置如表 7 - 3 所示。

表 7 - 3 定时器 RJ 的寄存器配置

| 寄存器名称 | 符号 | 复位后 | 地址 | 存取大小 |
|---------------------|---------|-------|--------|------|
| 外围输入/输出重定向寄存器 1 | PIOR1 | 00H | F0079H | 8 |
| 外围允许寄存器 1 | PER1 | 00H | F007AH | 8 |
| 操作速度模式控制寄存器 | OSMC | 00H | F00F3H | 8 |
| 定时器 RJ 计数器寄存器 0 注 | TRJ0 | FFFFH | F0500H | 16 |
| 定时器 RJ 控制寄存器 0 | TRJCR0 | 00H | F0240H | 8 |
| 定时器 RJ 输入/输出控制寄存器 0 | TRJIOC0 | 00H | F0241H | 8 |
| 定时器 RJ 模式寄存器 0 | TRJMR0 | 00H | F0242H | 8 |
| 定时器 RJ 事件引脚选择寄存器 0 | TRJISR0 | 00H | F0243H | 8 |
| 端口寄存器 0 | P0 | 00H | FFF00H | 8 |
| 端口寄存器 3 | P3 | 00H | FFF03H | 8 |
| 端口寄存器 4 | P4 | 00H | FFF04H | 8 |
| 端口寄存器 5 | P5 | 00H | FFF05H | 8 |
| 端口模式寄存器 0 | PM0 | FFH | FFF20H | 8 |
| 端口模式寄存器 3 | PM3 | FFH | FFF23H | 8 |
| 端口模式寄存器 4 | PM4 | FFH | FFF24H | 8 |
| 端口模式寄存器 5 | PM5 | FFH | FFF25H | 8 |

注 当存取 TRJ0 寄存器时，CPU 就不会开始下一条指令的处理，而是进入 CPU 处理的等待状态。因此，当发生这种等待状态时，执行指令所需的时钟数就会增长等待时钟数。存取 TRJ0 寄存器的读写等待时钟数都是一个时钟。

7.3.1 外围允许寄存器 1 (PER1)

PER1 寄存器用于允许或禁止向外围硬件供应时钟。通过停止向未使用的硬件供应时钟，可以降低功耗和噪声。
要使用定时器 RJ，必须将位 0 (TRJ0EN) 清 “1”。

PER1 寄存器可使用一条 1 位或 8 位存储器操作指令进行设置。
产生复位信号后，该寄存器被清除为 00H。

图 7 - 2 外围允许寄存器 1 (PER1) 的格式

| | | | | | | | | |
|------------|---|--|---|--------|---|---|---|--------|
| 地址: F007AH | | 复位后: 00H | | R/W | | | | |
| 符号 | 7 | 6 | 5 | <4> | 3 | 2 | 1 | <0> |
| PER1 | 0 | 0 | 0 | TRD0EN | 0 | 0 | 0 | TRJ0EN |
| TRJ0EN | | 定时器 RJ0 输入时钟供应的控制 | | | | | | |
| 0 | | 停止输入时钟供应。 • 不可写入用于定时器 RJ0 的 SFR。 • 定时器 RJ0 处于复位状态。 | | | | | | |
| 1 | | 允许输入时钟供应。 • 可以读取和写入用于定时器 RJ0 的 SFR。 | | | | | | |

- 注意事项 1. 要设置定时器 RJ，必须首先将 TRJ0EN 位设置为 1。若 TRJ0EN = 0 时，写入到定时器 RJ 的控制寄存器会无效，并且所有的读取值均变为初始值（除端口模式寄存器 0、3 (PM0、PM3) 和端口寄存器 0、3 (P0、P3) 以外）。
- 注意事项 2. 必须将下述的位设置为 0:
位 1 至 3 和 5 至 7

7.3.2 操作速度模式控制寄存器 (OSMC)

WUTMMCK0 位用于选择定时器 RJ 的工作时钟。
使用 8 位存储器操作指令设置 OSMC 寄存器。
产生复位信号后，该寄存器被清除为 00H。

图 7 - 3 操作速度模式控制寄存器 (OSMC) 的格式

| | | | | | | | | |
|------------|---|---|---|----------|---|---|---|---|
| 地址: F00F3H | | 复位后: 00H | | R/W | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OSMC | 0 | 0 | 0 | WUTMMCK0 | 0 | 0 | 0 | 0 |
| | | | | | | | | |
| WUTMMCK0 | | 选择 12 位间隔定时器和定时器 RJ 的工作时钟 (f _{RTC}) | | | | | | |
| 0 | | 禁止设置 | | | | | | |
| 1 | | 低速片上振荡器时钟 (f _{IL}) | | | | | | |

7.3.3 定时器 RJ 计数器寄存器 0 (TRJ0)，定时器 RJ 重加载寄存器

TRJ0 是 16 位寄存器。写入值被写入重加载寄存器，读取值则从计数器中读取。

重加载寄存器和计数器的状态根据 TRJCR0 寄存器中的 TSTART 位变化。有关详情，请参阅 7.4.1 重加载寄存器和计数器的改写操作。

图 7 - 4 定时器 RJ 计数器寄存器 0 (TRJ0) 的格式，定时器 RJ 重加载寄存器

地址: F0500H 复位后: FFFFH

| | | | | | | | | | | | | | | | | |
|------|----------|-----------------------|----|----|----|----|---|---|---|---|---|---|---|---------------|-----|---|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRJ0 | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | — | 功能 | | | | | | | | | | | | 设置范围 | R/W | |
| | 位 15 至 0 | 16 位计数器和重加载寄存器注 1、2、3 | | | | | | | | | | | | 0000H 至 FFFFH | R/W | |

- 注 1.
- 注 2.
- 注 3.
- 当向 TRJCR0 寄存器的 TSTOP 位写入 1 时，16 位计数器将强行停止，并设置为 FFFFH。
- 必须以 16 位为单位存取 TRJ0 寄存器。不要以 8 位为单位存取该寄存器。
- 当 TRJMR0 寄存器中的 TCK2 至 TCK0 位的设置不是 001B (fCLK/8) 或 011B (fCLK/2) 时，如果 TRJ0 寄存器被设置为 0000H，则在计数开始后，立即只产生一次至事件链接控制器 (ELC) 的请求信号。然而，TRJO0 和 TRJIO0 输出被跳转。
- 当在事件计数器模式下将 TRJ0 寄存器设置为 0000H 时，无论 TCK2 位至 TCK0 位的值是什么，向 ELC 发出的请求信号仅在计数开始后立即产生一次。
- 另外，即使在指定的计数周期以外，TRJO0 输出将被跳转。
- 当 TRJ0 寄存器被设置为 0000H 或者更大值时，每当 TRJ 发生下溢都将产生一个请求信号。

注意事项

当存取 TRJ0 寄存器时，CPU 就不会开始下一条指令的处理，而是进入 CPU 处理的等待状态。因此，当发生这种等待状态时，执行指令所需的时钟数就会增长等待时钟数。存取 TRJ0 寄存器的读写等待时钟数都是一个时钟。

7.3.4 定时器 RJ 控制寄存器 0 (TRJCR0)

图 7-5 定时器 RJ 控制寄存器 0 (TRJCR0) 的格式

地址: F0240H 复位后: 00H

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|----------------|---|-------|-------|---|-------|-------|--------|
| TRJCR0 | — | — | TUNDF | TEDGF | — | TSTOP | TCSTF | TSTART |
| | | | | | | | | |
| 位 7 至 6 | 没有任何配置 | | | | | | | R/W |
| — | 写入值必须为0。读取值为0。 | | | | | | | R |
| | | | | | | | | |
| TUNDF | 定时器RJ下溢标志注 1 | | | | | | | R/W |
| 0 | 无下溢 | | | | | | | R/W |
| 1 | 有下溢 | | | | | | | |
| [置0条件] • 当通过程序向该位写入0时。 [置1条件] • 当计数器发生下溢时。 | | | | | | | | |
| | | | | | | | | |
| TEDGF | 有效边沿判断标志注 1 | | | | | | | R/W |
| 0 | 没有接收有效边沿 | | | | | | | R/W |
| 1 | 有接收有效边沿 | | | | | | | |
| [置0条件] • 当通过程序向该位写入0时。 [置1条件] • 当外部输入(TRJIO)有效宽度的测量在脉冲宽度测量模式下完成时。 • 当外部输入(TRJIO)的设定边沿在脉冲周期测量模式下输入时。 | | | | | | | | |
| | | | | | | | | |
| 位 3 | 没有任何配置 | | | | | | | R/W |
| — | 写入值必须为0。读取值为0。 | | | | | | | R |
| | | | | | | | | |
| TSTOP | 强制停止定时器RJ计数注 2 | | | | | | | R/W |
| 此位写入为1时，强制停止计数。读取值为0。 | | | | | | | W | |
| | | | | | | | | |
| TCSTF | 定时器RJ计数状态标志注 3 | | | | | | | R/W |
| 0 | 停止计数 | | | | | | | R |
| 1 | 正在计数 | | | | | | | |
| [置0条件] • 当将0写入TSTART位时（与计数源同步后，TCSTF位设置为0）。 • 当将1写入TSTOP位时。 [置1条件] • 当将1写入TSTART位时（与计数源同步后，TCSTF位设置为1）。 | | | | | | | | |

| | | |
|--|--------------|-----|
| TSTART | 定时器RJ计数开始注 3 | R/W |
| 0 | 停止计数 | R/W |
| 1 | 开始计数 | |
| 将1写入TSTART位，可开始计数操作，写入0则可停止计数操作。当将TSTART位设置为1（计数开始）时，与计数源同步地TCSTF位被设置为1（计数处理中）。另外，在将0写入TSTART位之后，与计数源同步地TCSTF位被设置为0（计数停止）。有关详情，请参阅7.5.1 计数操作开始和停止控制。 | | |

- 注 1.
- TRJCR0 寄存器可使用 8 位存储器操作指令进行设置。
- 注 2.
- 当 1（强制停止计数）写入 TSTOP 位时，TSTART 和 TCSTF 位将被同时初始化。脉冲输出电平也会被初始化。
- 注 3.
- 有关 TSTART 和 TCSTF 位的使用上的注意事项，参阅 7.5.1 计数操作开始和停止控制。

7.3.5 定时器 RJ 输入/输出控制寄存器 0 (TRJIOC0)

图 7-6 定时器 RJ 输入/输出控制寄存器 0 (TRJIOC0) 的格式

地址: F0241H 复位后: 00H

| | | | | | | | | |
|---------|--------|--------|-------|-------|---|-------|---|---------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRJIOC0 | TIOGT1 | TIOGT0 | TIPF1 | TIPF0 | — | TOENA | — | TEDGSEL |

| TIOGT1 | TIOGT0 | TRJIO 计数控制 ^{注 1、2} | R/W |
|--------|--------|-----------------------------|-----|
| 0 | 0 | 总是计数事件 | R/W |
| 0 | 1 | 在为 INTP4 指定的极性周期期间对事件进行计数 | |
| 1 | 0 | 在为定时器输出信号指定的极性周期期间对事件进行计数 | |
| 1 | 1 | 不要设置。 | |

注 1. 使用 INTP4 或定时器输出信号时，计数事件的极性可以通过 TRJISR0 寄存器的 RCCPSEL2 位进行选择。

注 2. TIOGT0 和 TIOGT1 位仅限事件计数器模式时有效。

| TIPF1 | TIPF0 | 选择 TRJIO 输入滤波器 | R/W |
|---|-------|-----------------|-----|
| 0 | 0 | 无滤波器 | R/W |
| 0 | 1 | 滤波器在 fCLK 采样 | |
| 1 | 0 | 滤波器在 fCLK/8 采样 | |
| 1 | 1 | 滤波器在 fCLK/32 采样 | |
| 这些位用于指定 TRJIO 输入滤波器的采样频率。如果对 TRJIO0 引脚的输入进行采样，且值连续匹配三次，则该值将作为输入值。 | | | |

| 位 3 | 没有任何配置 | R/W |
|-----|------------------|-----|
| — | 写入值必须为 0。读取值为 0。 | R |

| TOENA | 允许 TRJO 输出 | R/W |
|-------|----------------|-----|
| 0 | 禁止 TRJO 输出（端口） | R/W |
| 1 | 允许 TRJO 输出 | |

| 位 1 | 没有任何配置 | R/W |
|-----|------------------|-----|
| — | 写入值必须为 0。读取值为 0。 | R |

| TEDGSEL | 输入/输出极性切换 | R/W |
|---|-----------|-----|
| 功能因操作模式而异（参阅表 7-4 和 7-5）。TEDGSEL 位用于切换 TRJO 输出极性及 TRJIO 输入/输出边沿和极性。在脉冲输出模式下，只控制跳转触发器的反相/同相。当写入 TRJMR0 寄存器时，或者将 1 写入 TRJCR0 寄存器的 TSTOP 位时，跳转触发器被初始化。 | | R/W |

表 7 - 4 TRJIO 输入/输出边沿和极性切换

| 操作模式 | 功能 |
|----------|--|
| 定时器模式 | 不使用（输入/输出端口） |
| 脉冲输出模式 | 0: 从高开始输出（初始化电平：高） 1: 从低开始输出（初始化电平：低） |
| 事件计数器模式 | 0: 在上升沿计数 1: 在下降沿计数 |
| 脉冲宽度测量模式 | 0: 测量低电平宽度 1: 测量高电平宽度 |
| 脉冲周期测量模式 | 0: 从一个上升沿测量至下一个上升沿 1: 从一个下降沿测量至下一个下降沿 |

表 7 - 5 TRJO 输出极性切换

| 操作模式 | 功能 |
|------|--|
| 所有模式 | 0: 从低开始输出（初始化电平：低） 1: 从高开始输出（初始化电平：高） |

7.3.6 定时器 RJ 模式寄存器 0 (TRJMR0)

图 7-7 定时器 RJ 模式寄存器 0 (TRJMR0) 的格式

地址: F0242H 复位后: 00H

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|----------------|-------|-------------------|------|--------|-------|-------|-------|
| TRJMR0 | — | TCK2 | TCK1 | TCK0 | TEDGPL | TMOD2 | TMOD1 | TMOD0 |
| | | | | | | | | |
| 位7 | 没有任何配置 | | | | | | | R/W |
| — | 写入值必须为0。读取值为0。 | | | | | | | R |
| | | | | | | | | |
| TCK2 | TCK1 | TCK0 | 定时器RJ计数源选择注1、2 | | | | R/W | |
| 0 | 0 | 0 | fCLK | | | | R/W | |
| 0 | 0 | 1 | fCLK/8 | | | | | |
| 0 | 1 | 1 | fCLK/2 | | | | | |
| 1 | 0 | 0 | fIL注4 | | | | | |
| 1 | 0 | 1 | 从事件链接控制器(ELC)输入事件 | | | | | |
| 1 | 1 | 0 | 不要设置。 | | | | | |
| 其他 | | | 禁止设置 | | | | | |
| | | | | | | | | |
| TEDGPL | TRJIO边沿极性选择注5 | | | | | | | R/W |
| 0 | 单边沿 | | | | | | | R/W |
| 1 | 双边沿 | | | | | | | |
| | | | | | | | | |
| TMOD2 | TMOD1 | TMOD0 | 定时器RJ操作模式选择注3 | | | | R/W | |
| 0 | 0 | 0 | 定时器模式 | | | | R/W | |
| 0 | 0 | 1 | 脉冲输出模式 | | | | | |
| 0 | 1 | 0 | 事件计数器模式 | | | | | |
| 0 | 1 | 1 | 脉冲宽度测量模式 | | | | | |
| 1 | 0 | 0 | 脉冲周期测量模式 | | | | | |
| 其他 | | | 禁止设置 | | | | | |

注 1. 当选择事件计数器模式时，无论 TCK0 至 TCK2 位的设置如何，外部输入 (TRJIO) 被选为计数源。

注 2. 在计数操作期间不要切换计数源。当 TRJCR0 寄存器中的 TSTART 和 TCSTF 位都为 0 时（计数停止），应切换计数源。

注 3. TRJCR0 寄存器中的 TSTART 和 TCSTF 位都被设置为 0（计数停止）的情况下，仅当计数停止时，才可更改操作模式。在计数操作期间不可更改操作模式。

注 4. 将 fIL 选为计数源时，将操作速度模式寄存器 (OSMC) 中的 WUTMMCK0 位设置为 1。

注 5. TEDGPL 位仅在事件计数器模式下有效。

注 6. 对 TRJMR0 寄存器进行写存取操作将使定时器 RJ 的 TRJO0 和 TRJIO0 引脚的输出初始化。

有关初始化时输出电平的详情，请参阅图 7-6 定时器 RJ 输入 / 输出控制寄存器 0 (TRJIOC0) 的格式下方的描述。

7.3.7 定时器 RJ 事件引脚选择寄存器 0 (TRJISR0)

图 7 - 8 定时器 RJ 事件引脚选择寄存器 0 (TRJISR0) 的格式

地址: F0243H 复位后: 00H

| | | | | | | | | |
|-----------------------|-----------------------|-----------|---|---|---|-----------------------|-----------------------|-----------------------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRJISR0 | — | — | — | — | — | RCCPSEL2 ^注 | RCCPSEL1 ^注 | RCCPSEL0 ^注 |
| | | | | | | | | |
| 位7至3 | 没有任何配置 | | | | | | | R/W |
| — | 写入值必须为0。读取值为0。 | | | | | | | R |
| | | | | | | | | |
| RCCPSEL2 ^注 | 定时器输出信号和INTP4极性选择 | | | | | | | R/W |
| 0 | 在低电平周期期间对事件计数 | | | | | | | R/W |
| 1 | 在高电平周期期间对事件计数 | | | | | | | |
| | | | | | | | | |
| RCCPSEL1 ^注 | RCCPSEL0 ^注 | 选择定时器输出信号 | | | | | R/W | |
| 0 | 0 | TRDIOD1 | | | | | R/W | |
| 0 | 1 | TRDIOC1 | | | | | | |
| 1 | 0 | TO02 | | | | | | |
| 1 | 1 | TO03 | | | | | | |

注 RCCPSEL0 至 RCCPSEL2 位仅在事件计数器模式下有效。

7.3.8 端口模式寄存器 0、3（PM0、PM3）

这些寄存器以 1 位为单位设置端口 0、3、4、5 的输入/输出。

在将与定时器输出引脚共用的端口（如 P01/TRJIO0 和 P30/TRJO0 等）用作定时器输出时，须将对应于各端口的端口模式寄存器 (PMxx) 位和端口寄存器 (Pxx) 位设为 0。

示例： 当将 P01/TRJIO0 用作定时器输出时
将端口模式寄存器 0 的 PM01 位设置为 0。
将端口寄存器 0 的 P01 位设置为 0。

在将与定时器输入引脚共用的端口（如 P01/TRJIO0 等）用作定时器输入时，须将对应于各端口的端口模式寄存器 (PMxx) 位设为 1。此时，端口寄存器 (Pxx) 位可以是 0 或 1。

示例： 当将 P01/TRJIO0 用作定时器输入时
将端口模式寄存器 0 的 PM01 位设置为 1。
将端口寄存器 0 的 P01 位设置为 0 或 1。

用 1 位或 8 位存储器操作指令设置 PM0、PM3 寄存器。

产生复位信号后，该寄存器被设置为 FFH。

图 7 - 9 端口模式寄存器 0、3（PM0、PM3）的格式

| | | | | | | | | | | |
|------------|----------|-----|---|---|---|---|------|------|--|--|
| 地址: FFF20H | 复位后: FFH | R/W | | | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| PM0 | 1 | 1 | 1 | 1 | 1 | 1 | PM01 | PM00 | | |

| | | | | | | | | | | |
|------------|----------|-----|---|---|---|---|------|------|--|--|
| 地址: FFF23H | 复位后: FFH | R/W | | | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| PM3 | 1 | 1 | 1 | 1 | 1 | 1 | PM31 | PM30 | | |

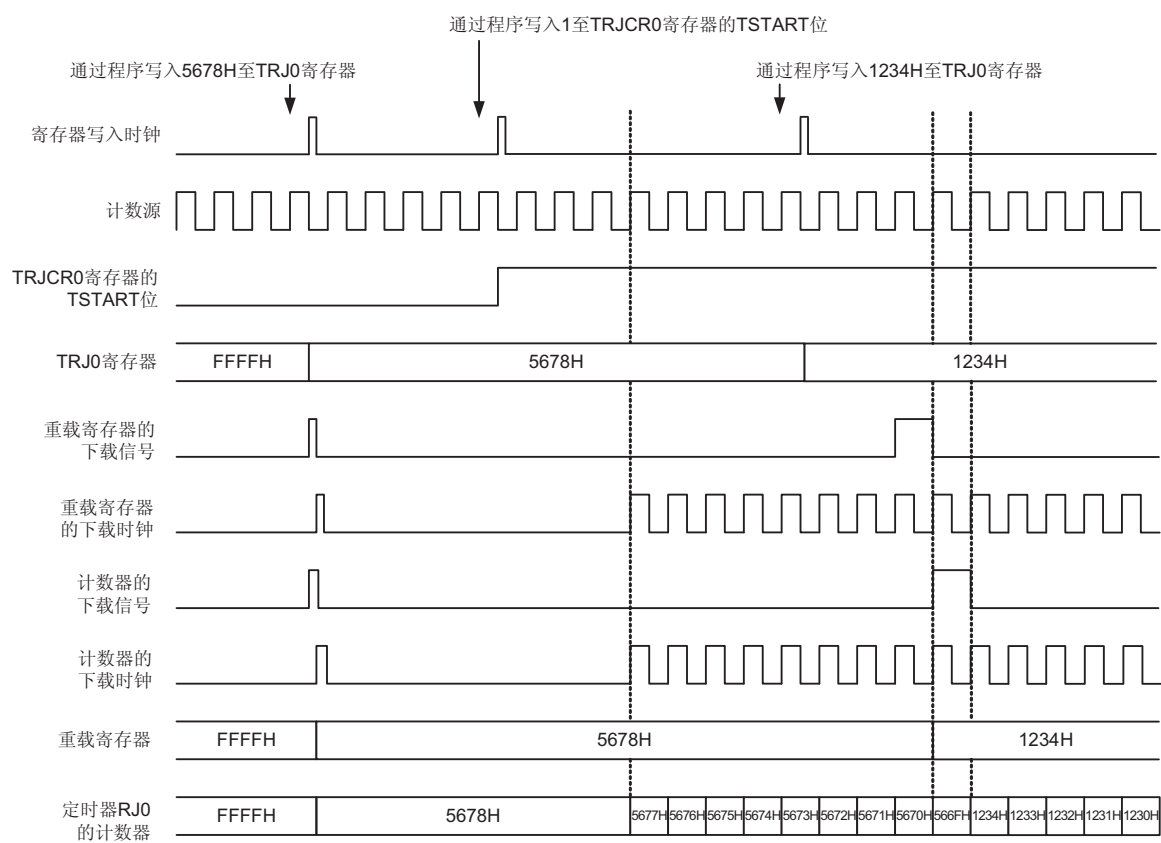
| | |
|------|------------------------------------|
| PMmn | Pmn 引脚输入/输出模式选择 (m = 0、3; n = 0、1) |
| 0 | 输出模式 (输出缓冲器启用) |
| 1 | 输入模式 (输出缓冲器关闭) |

7.4 操作

7.4.1 重加载寄存器和计数器的改写操作

无论在哪种操作模式下，向重加载寄存器和计数器进行改写操作的时序都不一样，具体取决于 TRJCR0 寄存器中的 TSTART 位的值。当 TSTART 位为 0（计数停止）时，计数值将被直接写入重加载寄存器和计数器。当 TSTART 位为 1（计数开始）时，该值与计数源同步地被写入重加载寄存器，然后与下一个计数源同步地写入计数器。使用 TSTART 位的值进行改写操作的时序如图 7 - 10 所示。

图 7 - 10 使用 TSTART 位的值进行改写操作的时序



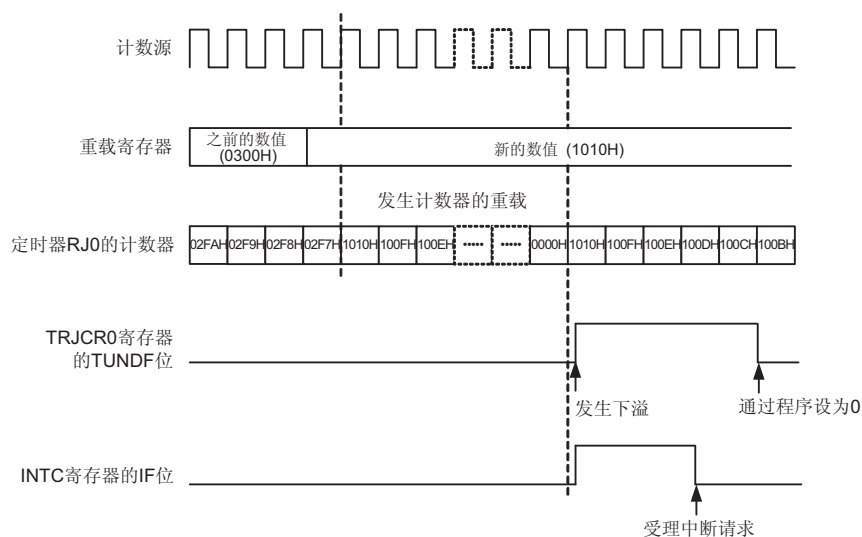
7.4.2 定时器模式

在该模式下，计数器按照通过 TRJMR0 寄存器中的 TCK0 至 TCK2 位选择的计数源递减。

在定时器模式下，每输入一次计数源时，计数值递减 1。在计数值达到 0000H 且输入下一个计数源时，将发生下溢，并产生一个中断请求。

定时器模式下的操作示例如图 7 - 11 所示。

图 7 - 11 定时器模式下的操作示例



7.4.3 脉冲输出模式

在该模式下，计数器按照通过 TRJMR0 寄存器中的 TCK0 至 TCK2 位选择的计数源递减，每当发生下溢时，TRJIO 和 TRJO 引脚的输出电平将反相。

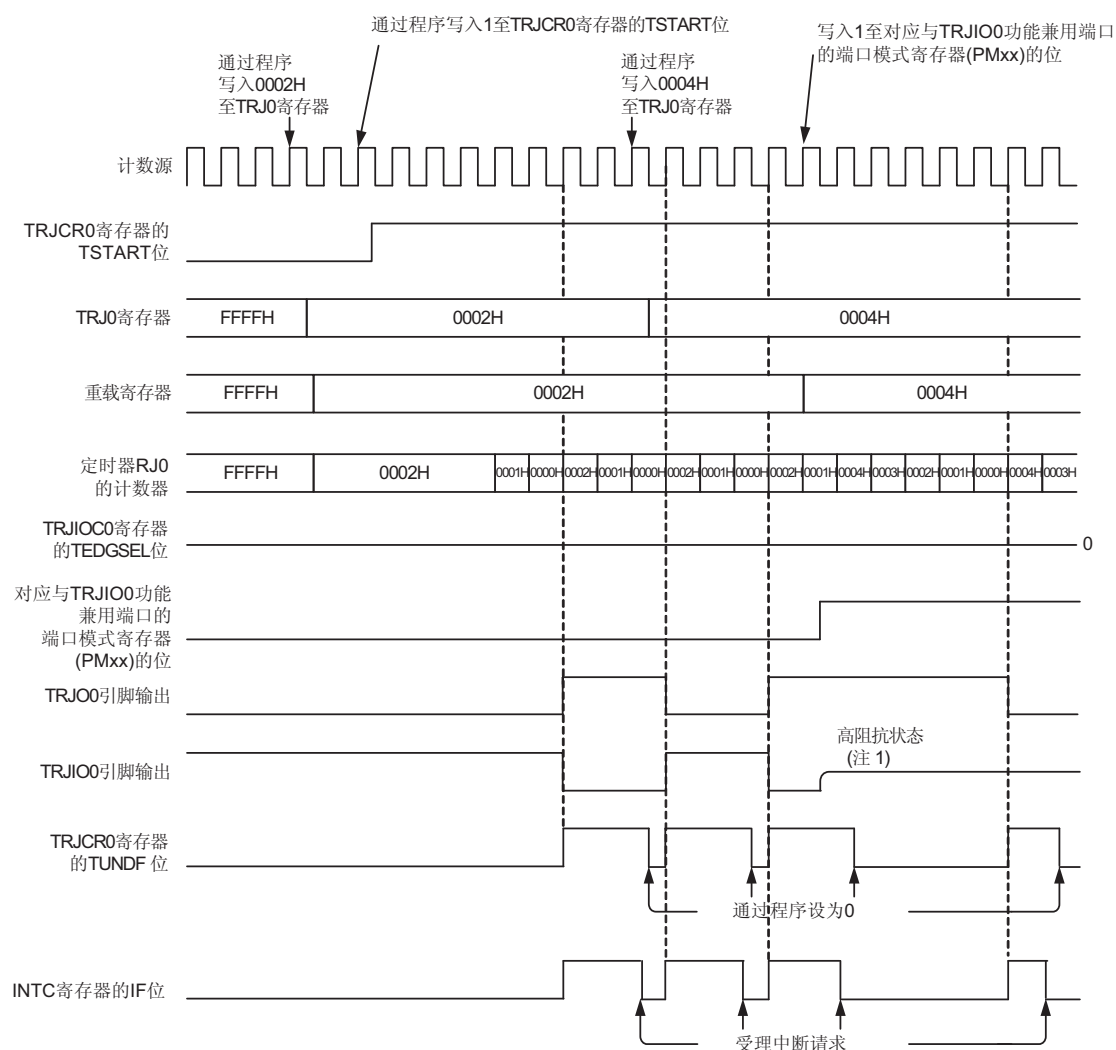
在脉冲输出模式下，每输入一次计数源时，计数值递减 1。在计数值达到 0000H 且输入下一个计数源时，将发生下溢，并产生一个中断请求。

另外，可以从 TRJIO0 和 TRJO0 引脚输出脉冲。每当发生下溢时，输出电平将反相。可以通过 TRJIOC0 寄存器中的 TOENA 位停止 TRJO0 引脚的脉冲输出。

另外，可以通过 TRJIOC0 寄存器的 TEDGSEL 位选择输出电平。

脉冲输出模式下的操作示例如图 7 - 12 所示。

图 7 - 12 脉冲输出模式下的操作示例



注1: 因作为 TRJIO0 功能而选择的端口的输出允许控制，变为高阻抗状态。

7.4.4 事件计数器模式

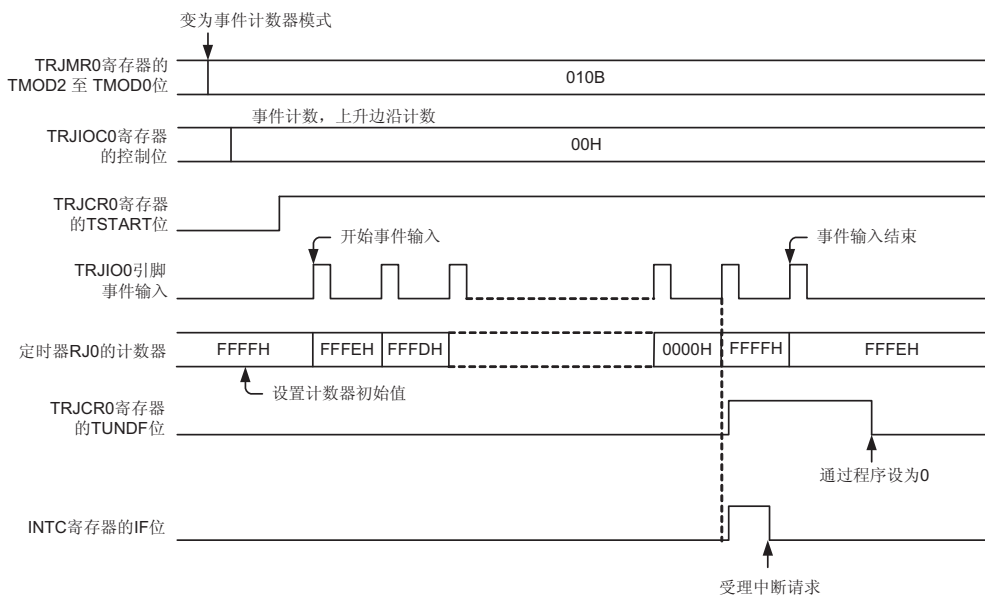
在该模式下，计数器按照输入 TRJIO0 引脚的外部事件信号（计数源）递减。可以通过 TRJIOC0 寄存器和 TRJISR0 寄存器中的 TIOGT0 和 TIOGT1 位设置多种计数事件周期。另外，可以通过 TRJIOC0 寄存器中的 TIPF0 和 TIPF1 位指定 TRJIO0 输入的滤波器功能。

同时，即使在事件计数器模式下，也可以跳转 TRJO0 引脚的输出。

使用事件计数器模式时，请参阅 7.5.5 引脚 TRJO0 和 TRJIO0 的设置步骤。

事件计数器模式下的操作示例 1 如图 7 - 13 所示。

图 7 - 13 事件计数器模式下的操作示例 1

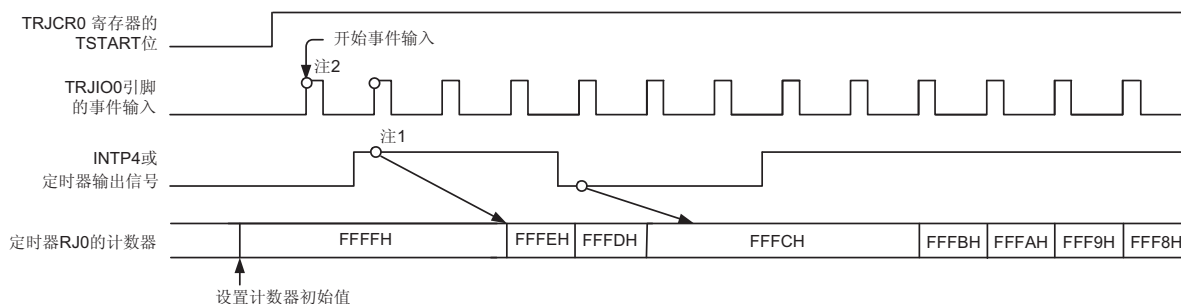


事件计数器模式（TRJIO0 寄存器中的 TIOGT1 和 TIOGT0 位设置为 01B 或 10B）下，指定期间的计数操作示例如图 7 - 14 所示。

图 7 - 14 事件计数器模式下的操作示例 2

下述情况下的工作模式设置的时序示例：

TRJMR0 寄存器: TMOD2, 1, 0 = 010B (事件计数器模式)
 TRJIOC0 寄存器: TIOGT1, 0 = 01B (在外部中断引脚的指定期间对事件计数)
 TIPF1, 0 = 00B (无滤波器)
 TEDGSEL = 0 (在上升边沿计数)
 TRJISR0 寄存器: RCCPSEL2 = 1 (H期间计数)



对于事件计数模式下的操作模式设置，仅当 TRJIOC0 寄存器中的 TIOGT1 和 TIOGT0 位为 01B 或 10B 时，以下注解才适用。

注 1. 为控制同步，在计数操作受到影响之前有两个计数源周期的延迟。

注 2. 在计数开始之后可能立即执行两个计数源周期的计数操作，具体取决于计数停止之前的原来状态。

要禁止在计数开始后立即执行的两个周期的计数，可将 1 写入 TRJCR0 寄存器的 TSTOP 位，以初始化内部电路，然后在开始计数操作之前进行操作设置。

7.4.5 脉冲宽度测量模式

在该模式下，将测量输入 TRJIO0 引脚的外部信号的脉冲宽度。

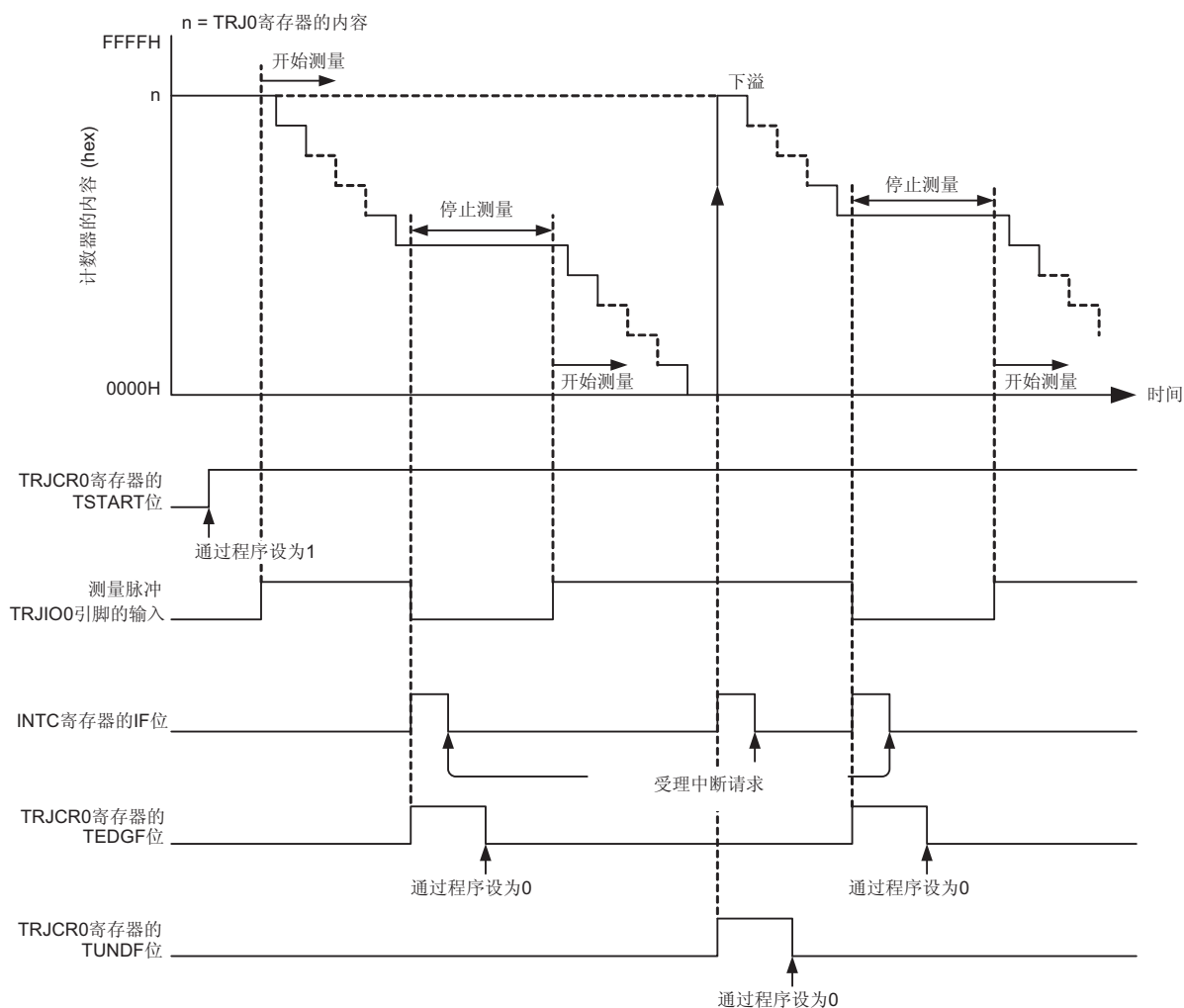
当由 TRJIOC0 寄存器中的 TEDGSEL 位指定的电平输入 TRJIO0 引脚时，将按照所选计数源开始递减。当 TRJIO0 引脚上的指定电平结束时，计数器停止，TRJCR0 寄存器中的 TEDGF 位被设置为 1（接收有效边沿），并且产生一个中断请求。通过在计数器停止时读取计数值来执行脉冲宽度数据的测量。另外，测量过程中当计数器下溢时，TRJCR0 寄存器中的 TUNDF 位被设置为 1（下溢），并且产生一个中断请求。

脉冲宽度测量模式下的操作示例如图 7 - 15 所示。

在存取 TRJCR0 寄存器中的 TEDGF 和 TUNDF 位时，请参阅 7.5.2 标志的存取（TRJCR0 寄存器中的 TEDGF 和 TUNDF 位）。

图 7 - 15 脉冲宽度测量模式下的操作示例

测量了测量脉冲的高电位宽度时的示例 (TRJIOC0 寄存器的 TEDGSEL 位 = 1)



7.4.6 脉冲周期测量模式

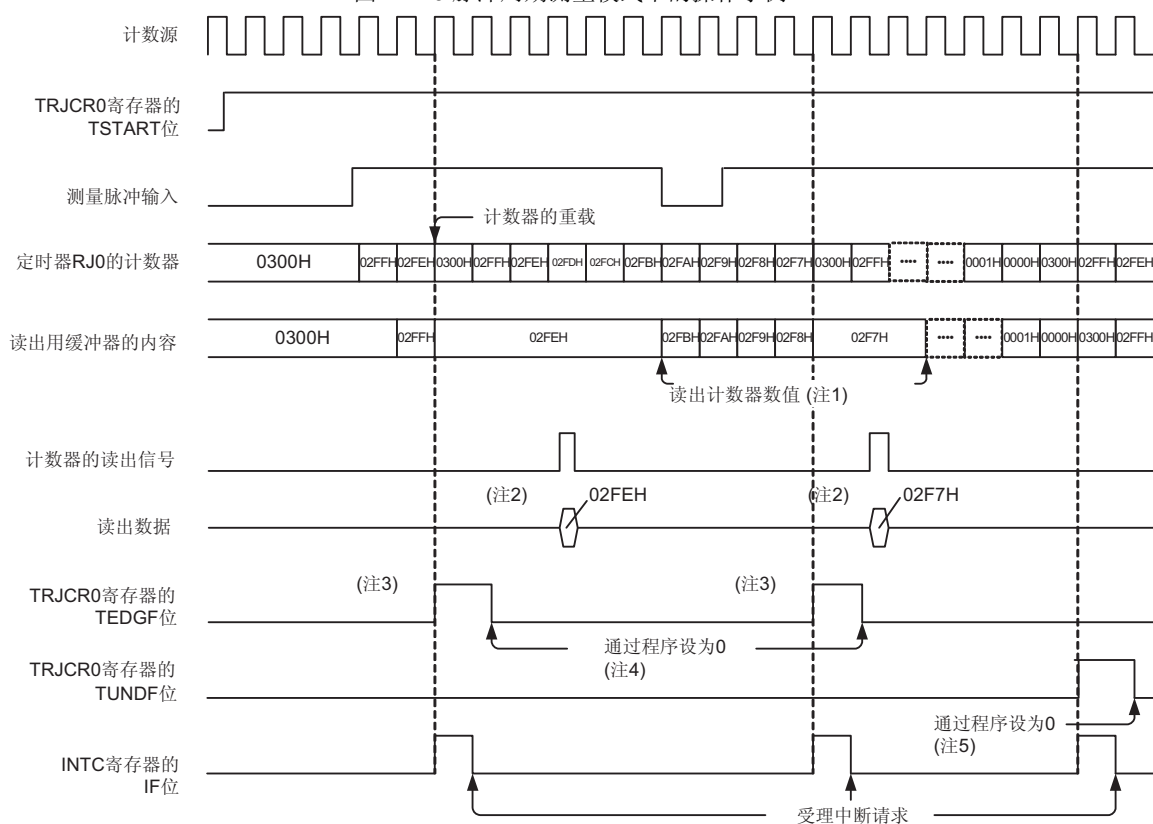
在该模式下，将测量输入 TRJIO0 引脚的外部信号的脉冲周期。

计数器按照通过 TRJMR0 寄存器中的 TCK0 至 TCK2 位选择的计数源递减。当由 TRJIOC0 寄存器中的 TEDGSEL 位指定周期的脉冲输入 TRJIO0 引脚时，计数值将在计数源的上升边沿被传送至读取缓冲器。重加载寄存器中的值将在下一个上升边沿载入计数器。同时，TRJCR0 寄存器的 TEDGF 位被设置为 1（接收有效边沿），并且产生一个中断请求。此时，读取缓冲器（TRJ0 寄存器）将被读取，其与重加载值之差为输入脉冲的周期数据。该周期数据将被保留至读取缓冲器被读取为止。当计数器下溢时，TRJCR0 寄存器的 TUNDF 位被置为 1（下溢），并且产生一个中断请求。

脉冲周期测量模式下的操作示例如图 7-16 所示。

只能输入周期大于计数源周期两倍的脉冲。另外，低电平和电平宽度都必须大于计数源的周期。如果输入的脉冲周期小于这些条件，则输入可能无效。

图 7-16 脉冲周期测量模式下的操作示例



当 TRJ0 寄存器的初始值被设置为 0300H，TRJIOC0 寄存器中的 TEDGSEL 位被设置为 0，且测量从测量脉冲的一个上升沿至下一个边沿的周期时，此示例适用。

- 注 1. 从 TEDGF 位被设置为 1（接收有效边沿）起，直到输入下一个有效边沿为止，此期间必须执行从 TRJ0 寄存器读取的操作。读取缓冲器的内容被保留至 TRJ0 缓冲器被读取为止。如果在有效边沿输入之前未被读取，则保留上一周期的测量结果。
- 注 2. 当在脉冲周期测量模式下读取 TRJ0 寄存器时，对读取缓冲器的内容进行读取。
- 注 3. 当输入测量脉冲的有效边沿，然后输入外部脉冲的设定边时，TRJCR0 寄存器中的 TEDGF 位被设置为 1（接收有效边沿）。
- 注 4. 要通过程序设置为 0，则使用 8 位存储器操作指令将 0 写入 TRJCR0 寄存器中的 TEDGF 位。
- 注 5. 要通过程序设置为 0，则使用 8 位存储器操作指令将 0 写入 TRJCR0 寄存器中的 TUNDF 位。

7.4.7 与事件链接控制器(ELC)的协作

配合 ELC，可将来自 ELC 的事件输入设置为计数源。TRJMR0 寄存器中的 TCK0 至 TCK2 位在来自 ELC 的事件输入的上升沿进行计数。然而，ELC 输入在事件计数器模式下无效。

ELC 设置步骤如下所示。

- 开始操作的步骤

- (1) 为事件链接控制器(ELC)设置事件输出目的地选择寄存器(ELSELRn)。
- (2) 为事件发生源设置操作模式。
- (3) 为定时器 RJ 设置模式。
- (4) 启动定时器 RJ 的计数操作。
- (5) 启动事件发生源的操作。

- 停止操作的步骤

- (1) 停止事件发生源的操作。
- (2) 停止定时器 RJ 的计数操作。
- (3) 将事件链接控制器(ELC)的事件输出目的地选择寄存器(ELSELRn)设置为 0。

7.4.8 各模式的输出设置

表 7 - 6 和表 7 - 7 列出了 TRJ00 和 TRJIO0 引脚在各种模式下的状态。

表 7 - 6 TRJ00 引脚设置

| 操作模式 | TRJIOC0 寄存器 | | TRJ00 引脚输出 |
|------|-------------|-----------|------------|
| | TOENA 位 | TEDGSEL 位 | |
| 所有模式 | 1 | 1 | 反转输出 |
| | | 0 | 标准输出 |
| | 0 | 0 或 1 | 输出禁止 |

表 7 - 7 TRJIO0 引脚设置

| 操作模式 | TRJIOC0 寄存器 | | TRJIO0 引脚输入/输出 |
|----------|---------------------|-----------|----------------|
| | PMXX 位 ^注 | TEDGSEL 位 | |
| 定时器模式 | 0 或 1 | 0 或 1 | 输入（不使用） |
| 脉冲输出模式 | 1 | 0 或 1 | 禁止输出（Hi-z 输出） |
| | 0 | 1 | 标准输出 |
| | | 0 | 反转输出 |
| 事件计数器模式 | 1 | 0 或 1 | 输入 |
| 脉冲宽度测量模式 | | | |
| 脉冲周期测量模式 | | | |

注 与复用于 TRJIO0 功能的端口相对应的端口模式寄存器(PMxx)位。

7.5 定时器 RJ 使用上的注意事项

7.5.1 计数操作开始和停止控制

- 将事件计数模式或计数源设置为与 ELC 不同时

计数停止过程中，在把 1（计数开始）写入 TRJCR0 寄存器中的 TSTART 位之后，TRJCR0 寄存器中的 TCSTF 位将在计数源的三个周期内保持为 0（计数停止）。不要存取与定时器 RJ^注相关的除 TCSTF 位以外的寄存器，直到该位被设置为 1（计数进行中）为止。

计数操作期间，在将 0（计数停止）写入 TSTART 位之后，TCSTF 位将在计数源的三个周期内保持为 1。此位写入为 0 时，强制停止计数。不要存取与定时器 RJ^注相关的除 TCSTF 位以外的寄存器，直到该位被设置为 0 为止。

在将 TATART 位从 0 改为 1 之前，要清除中断寄存器。详情请参阅第 15 章 中断功能。

注 与定时器 RJ 相关的寄存器：TRJ0、TRJCR0、TRJIOC0、TRJMR0 和 TRJISR0

- 将事件计数模式或计数源设置为 ELC 时

计数停止过程中，在把 1（计数开始）写入 TRJCR0 寄存器中的 TSTART 位之后，TRJCR0 寄存器中的 TCSTF 位将在 CPU 时钟的两个周期内保持为 0（计数停止）。不要存取与定时器 RJ^注相关的除 TCSTF 位以外的寄存器，直到该位被设置为 1（计数进行中）为止。

计数操作期间，在将 0（计数停止）写入 TSTART 位之后，TCSTF 位将在 CPU 时钟的两个周期内保持为 1。此位写入为 0 时，强制停止计数。不要存取与定时器 RJ^注相关的除 TCSTF 位以外的寄存器，直到该位被设置为 0 为止。

在将 TATART 位从 0 改为 1 之前，要清除中断寄存器。详情请参阅第 15 章 中断功能。

注 与定时器 RJ 相关的寄存器：TRJ0、TRJCR0、TRJIOC0、TRJMR0 和 TRJISR0

7.5.2 标志的存取（TRJCR0 寄存器中的 TEDGF 和 TUNDF 位）

通过程序写入 0 来将 TRJCR0 寄存器中的 TEDGF 和 TUNDF 位设置为 0，但向这些位写入 1 是无效的。如果用读取-修改-写入指令来设置 TRJCR0 寄存器，在指令执行过程中，即使 TEDGF 位被设置为 1（接收有效边沿）且 TUNDF 位被设置为 1（下溢），依据时序，TEDGF 和 TUNDF 位有可能被错误地设置为 0。使用 8 位存储器操作指令存取 TRJCR0 寄存器。

7.5.3 计数器寄存器的存取

当 TRJCR0 寄存器中的 TSTART 和 TCSTF 位都为 1（计数开始）时，在连续写入 TRJ0 寄存器时，写操作之间至少要间隔三个计数源周期。

7.5.4 更改模式时

仅当停止计数且 TSTART 和 TCSTF 位都被设置为 0（计数停止）时，才可更改与定时器 RJ 操作模式相关的寄存器（TRJIOC0、TRJMR0 和 TRJISR0）。在计数操作期间不要更改这些寄存器。

当与定时器 RJ 相关的寄存器的操作模式被更改时，TSTART 和 TCSTF 位的值将为不定状态。在开始计数前，将 0（没有接收有效边沿）写入 TEDGF 位，同时将 0（无下溢）写入 TUNDF 位。

7.5.5 引脚 TRJO0 和 TRJIO0 的设置步骤

复位后，复用于 TRJO0 和 TRJIO0 引脚的输入/输出端口将充当输入端口。

从 TRJO0 和 TRJIO0 引脚输出时，使用以下的设置步骤：

更改步骤

- (1) 设置模式。
- (2) 设置初始值/输出允许。
- (3) 设置对应 TRJO0 和 TRJIO0 引脚的端口寄存器位为 0。
- (4) 设置对应 TRJO0 和 TRJIO0 引脚的端口模式寄存器位为输出模式。
(从 TRJO0 和 TRJIO0 引脚开始输出)
- (5) 开始计数 (TRJCR0 寄存器的 TSTART = 1)。

从 TRJO0 引脚输出时，使用以下的设置步骤：

- (1) 设置模式。
- (2) 设置初始值/选择的边沿。
- (3) 设置对应 TRJIO0 引脚的端口模式寄存器位为输入模式。
(从 TRJIO0 引脚开始输入)
- (4) 开始计数 (TRJMR0 寄存器的 TSTART = 1)。
- (5) 等待直到 TRJCR0 寄存器的 TCSTF 位设置为 1 (计数正在进行)。
(仅在事件计数器模式下)
- (6) 从 TRJIO0 引脚输入一个外部事件。
- (7) 在第一次测量结束时进行的处理无效 (第二次及以后的测量值有效)。(仅限脉冲宽度测量模式和脉冲周期测量模式)

7.5.6 当定时器 RJ 未使用时

当定时器 RJ 未使用时，设置 TRJMR0 寄存器的 TMOD2 至 TMOD0 位为 000B (定时器模式)，设置 TRJIOC0 寄存器的 TOENA 位为 0 (TRJO 输出禁止)。

7.5.7 当定时器 RJ 工作时钟停止时

通过 PER1 寄存器的 TRJOEN 位控制定时器 RJ 时钟的提供或停止。注意当定时器 RJ 时钟停止时，以下的 SFRs 不能存取。存取任何一个寄存器前，请确认提供了定时器 RJ 时钟。

寄存器 TRJO、TRJCR0、TRJMR0、TRJIOC0 和 TRJISR0。

7.5.8 STOP 模式的设置步骤 (事件计数器模式)

要在 STOP 模式中执行事件计数器模式操作，首先提供定时器 RJ 时钟，然后使用以下的步骤进入 STOP 模式。

设置步骤

- (1) 设置操作模式。
- (2) 开始计数 (TSTART = 1、TCSTF = 1)。
- (3) 停止提供定时器 RJ 时钟。

要在 STOP 模式中停止事件计数器模式操作，使用以下的步骤停止操作。

- (1) 提供定时器 RJ 时钟。
- (2) 停止计数 (TSTART = 0、TCSTF = 0)

7.5.9 STOP 模式下的功能限制（仅限事件计数器模式）

STOP 模式期间，在执行事件计数器模式操作时，数字滤波器功能不可用。

7.5.10 通过 TSTOP 位强行停止计数时

通过 TRJCR0 寄存器的 TSTOP 位强行停止计数器后，计数源的一个周期内不要存取以下的 SFR。

寄存器 TRJ0、TRJCR0 和 TRJMR0。

7.5.11 数字滤波器

在使用数字滤波器时，在设置 TPF1 和 TPF0 位之后的五个数字滤波器时钟周期内，不要开始定时器操作。

另外，在使用数字滤波器期间，如果 TRJIOC 寄存器中的 TEDGSEL 位被更改，则在五个数字滤波器时钟周期内不要开始定时器操作。

7.5.12 将 fil 选作计数源时

将 fil 选为计数源时，将操作速度模式控制寄存器 (OSMC) 中的 WUTMMCK0 位设置为 1。

第 8 章 定时器 RD

定时器 RD 内置两个 16 位定时器（定时器 RD0 和定时器 RD1）。

8.1 概述

定时器 RD0 和定时器 RD1 有四个输入/输出引脚。

定时器 RD 的工作时钟是 fCLK 或 fHOCO。

定时器 RD 的框图如图 8 - 1 所示，定时器 RD 引脚配置如表 8 - 1 所示。

定时器 RD 有四个模式：

- 定时器模式
 - 输入捕捉功能 以外部信号为触发，将计数器值传送至寄存器
 - 输出比较功能 检测寄存器的值和计数器匹配（检测时可改变引脚输出）
 - PWM 功能 连续输出任何宽度的脉冲

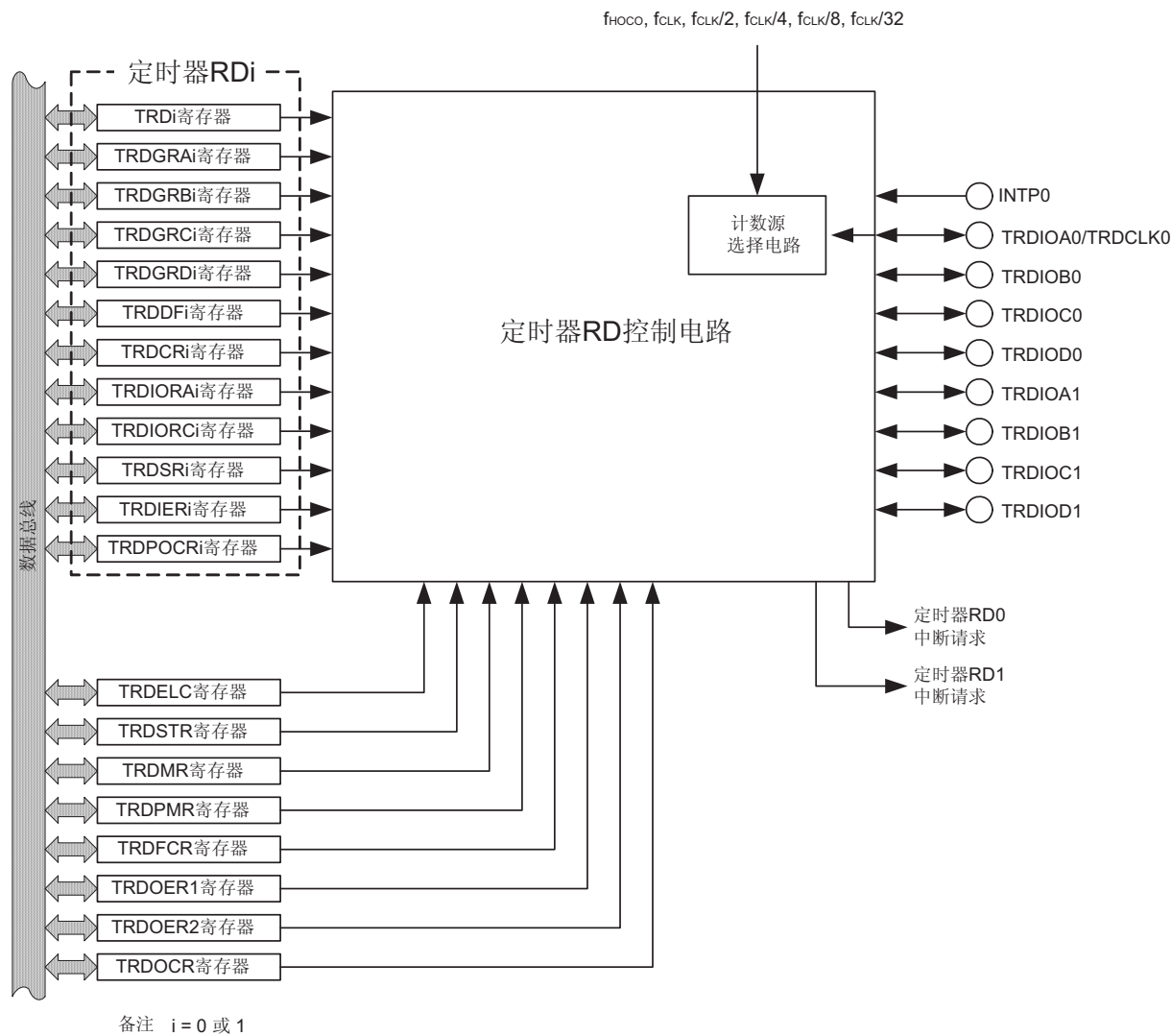
以下三种模式使用 PWM 功能：

- 复位同步 PWM 模式 输出三相波形 (6)，无锯齿波调制和死区时间
- 互补 PWM 模式 输出三相波形 (6)，有三角波调制和死区时间
- PWM3 模式 输出 PWM 波形 (2)，有固定周期

定时器模式输入捕捉功能、输出比较功能和 PWM 功能具有和定时器 RD0、定时器 RD1 同样的功能，这些功能可就每个引脚分别选择。而且，在定时器 RD0 和定时器 RD1 中这些功能可组合使用。

复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式中，通过组合定时器 RD0 和定时器 RD1 的计数器和寄存器输出方波。引脚功能根据模式来决定。

图 8 - 1 定时器RD 的框图



备注 i = 0 或 1

表 8 - 1 定时器RD 引脚配置

| 引脚名称 | 配置引脚 | 输入/输出 | 功能 |
|-----------------|------|-------|-----------------------------|
| TRDIOA0/TRDCLK0 | P17 | 输入/输出 | 功能根据模式而异。 有关详情，参阅各模式的说明。 |
| TRDIOB0 | P15 | 输入/输出 | |
| TRDIOC0 | P16 | 输入/输出 | |
| TRDIOD0 | P14 | 输入/输出 | |
| TRDIOA1 | P13 | 输入/输出 | |
| TRDIOB1 | P12 | 输入/输出 | |
| TRDIOC1 | P11 | 输入/输出 | |
| TRDIOD1 | P10 | 输入/输出 | |

8.2 寄存器

定时器 RD 寄存器配置如表 8 - 2 所示。

表 8 - 2 定时器 RD 寄存器配置

| 寄存器名称 | 符号 | 复位后 | 地址 | 存取大小 |
|--------------------------|----------|---------|--------|------|
| 外围允许寄存器 1 | PER1 | 00H | F007AH | 8 |
| 定时器 RD ELC 寄存器 | TRDELC | 00H 注 | F0260H | 8 |
| 定时器 RD 开始寄存器 | TRDSTR | 0CH 注 | F0263H | 8 |
| 定时器 RD 模式寄存器 | TRDMR | 00H 注 | F0264H | 8 |
| 定时器 RD PWM 功能选择寄存器 | TRDPMR | 00H 注 | F0265H | 8 |
| 定时器 RD 功能控制寄存器 | TRDFCR | 80H 注 | F0266H | 8 |
| 定时器 RD 输出主允许寄存器 1 | TRDOER1 | FFH 注 | F0267H | 8 |
| 定时器 RD 输出主允许寄存器 2 | TRDOER2 | 00H 注 | F0268H | 8 |
| 定时器 RD 输出控制寄存器 | TRDOCR | 00H 注 | F0269H | 8 |
| 定时器 RD 数字滤波器功能选择寄存器 0 | TRDDF0 | 00H 注 | F026AH | 8 |
| 定时器 RD 数字滤波器功能选择寄存器 1 | TRDDF1 | 00H 注 | F026BH | 8 |
| 定时器 RD 控制寄存器 0 | TRDCR0 | 00H 注 | F0270H | 8 |
| 定时器 RD 输入/输出控制寄存器 A0 | TRDIORA0 | 00H 注 | F0271H | 8 |
| 定时器 RD 输入/输出控制寄存器 C0 | TRDIORC0 | 88H 注 | F0272H | 8 |
| 定时器 RD 状态寄存器 0 | TRDSR0 | 00H 注 | F0273H | 8 |
| 定时器 RD 中断允许寄存器 0 | TRDIER0 | 00H 注 | F0274H | 8 |
| 定时器 RD PWM 功能输出电平控制寄存器 0 | TRDPOCR0 | 00H 注 | F0275H | 8 |
| 定时器 RD 计数器 0 | TRD0 | 0000H 注 | F0276H | 16 |
| 定时器 RD 通用寄存器 A0 | TRDGRA0 | FFFFH 注 | F0278H | 16 |
| 定时器 RD 通用寄存器 B0 | TRDGRB0 | FFFFH 注 | F027AH | 16 |
| 定时器 RD 通用寄存器 C0 | TRDGRC0 | FFFFH 注 | FFF58H | 16 |
| 定时器 RD 通用寄存器 D0 | TRDGRD0 | FFFFH 注 | FFF5AH | 16 |
| 定时器 RD 控制寄存器 1 | TRDCR1 | 00H 注 | F0280H | 8 |
| 定时器 RD 输入/输出控制寄存器 A1 | TRDIORA1 | 00H 注 | F0281H | 8 |
| 定时器 RD 输入/输出控制寄存器 C1 | TRDIORC1 | 88H 注 | F0282H | 8 |
| 定时器 RD 状态寄存器 1 | TRDSR1 | 00H 注 | F0283H | 8 |
| 定时器 RD 中断允许寄存器 1 | TRDIER1 | 00H 注 | F0284H | 8 |
| 定时器 RD PWM 功能输出电平控制寄存器 1 | TRDPOCR1 | 00H 注 | F0285H | 8 |
| 定时器 RD 计数器 1 | TRD1 | 0000H 注 | F0286H | 16 |
| 定时器 RD 通用寄存器 A1 | TRDGRA1 | FFFFH 注 | F0288H | 16 |
| 定时器 RD 通用寄存器 B1 | TRDGRB1 | FFFFH 注 | F028AH | 16 |
| 定时器 RD 通用寄存器 C1 | TRDGRC1 | FFFFH 注 | FFF5CH | 16 |
| 定时器 RD 通用寄存器 D1 | TRDGRD1 | FFFFH 注 | FFF5EH | 16 |
| 端口寄存器 1 | P1 | 00H | FFF01H | 8 |
| 端口模式寄存器 1 | PM1 | FFH | FFF21H | 8 |

注 当用户选项字节(000C2H)中的 FRQSEL4 = 1 并且 PER1 寄存器中的 TRD0EN = 0 时, 定时器 RD SFR 为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

8.2.1 外围允许寄存器 1 (PER1)

PER1 寄存器用于允许或禁止向外围硬件供应时钟。通过停止向未使用的硬件供应时钟，可以降低功耗和噪声。

要使用定时器 RD，必须将第 4 位 (TRD0EN) 清 “1”。

PER1 寄存器可使用一条 1 位或 8 位存储器操作指令进行设置。

产生复位信号后，该寄存器被清除为 00H。

图 8 - 2 外围允许寄存器 1 (PER1) 的格式

| | | | | | | | | |
|------------|-------------------------|--|---|--------|---|---|---|--------|
| 地址: F007AH | 复位后: 00H | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | <4> | 3 | 2 | 1 | <0> |
| PER1 | 0 | 0 | 0 | TRD0EN | 0 | 0 | 0 | TRJ0EN |
| | TRD0EN 定时器 RD 输入时钟供应的控制 | | | | | | | |
| | 0 | 停止输入时钟供应。 • 不可写入用于定时器 RD 的 SFR。 • 定时器 RD 处于复位状态。 | | | | | | |
| | 1 | 允许输入时钟供应。 • 可以读取和写入用于定时器 RD 的 SFR。 | | | | | | |

- 注意事项 1. 要设置定时器 RD，必须首先将 TRD0EN 位置 “1”。如果 TRD0EN = 0，则对定时器 RJ 的控制寄存器进行的写操作无效，所有读取值均为初始值（端口模式寄存器 1 (PM1) 和端口寄存器 1 (P1) 除外）。
- 注意事项 2. 必须将下述的位设置为 0：
位 1 至 3 和 5 至 7
- 注意事项 3. 在将 fhoco 选作定时器 RD 的计数源时，在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前，要把 fclk 设置为 fih。在将 fclk 更改为 fih 以外的时钟时，要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

8.2.2 定时器 RD ELC 寄存器 (TRDELIC)

图 8-3 定时器 RD ELC 寄存器 (TRDELIC) 的格式

地址: F0260H 复位后: 00H 注

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----------------------------------|---|---------|---------|---|---|---------|---------|
| TRDELIC | — | — | ELCOBE1 | ELCICE1 | — | — | ELCOBE0 | ELCICE0 |
| 位7至6 | 没有任何配置 | | | | | | R/W | |
| — | 写入值必须为0。读取值为0。 | | | | | | R | |
| ELCOBE1 | 允许 ELC 事件输入 1 (用于定时器 RD 脉冲输出强行截止) | | | | | | R/W | |
| 0 | 禁止强行截止 | | | | | | R/W | |
| 1 | 允许强行截止 | | | | | | | |
| ELCICE1 | 选择 ELC 事件输入 1 (用于定时器 RD 输入捕捉 D1) | | | | | | R/W | |
| 0 | 选择输入捕捉 D1 | | | | | | R/W | |
| 1 | 选择来自事件链接控制器 (ELC) 的事件输入 1 | | | | | | | |
| 位3至2 | 没有任何配置 | | | | | | R/W | |
| — | 写入值必须为0。读取值为0。 | | | | | | R | |
| ELCOBE0 | 允许 ELC 事件输入 0 (用于定时器 RD 脉冲输出强行截止) | | | | | | R/W | |
| 0 | 禁止强行截止 | | | | | | R/W | |
| 1 | 允许强行截止 | | | | | | | |
| ELCICE0 | 选择 ELC 事件输入 0 (用于定时器 RD 输入捕捉 D0) | | | | | | R/W | |
| 0 | 选择输入捕捉 D0 | | | | | | R/W | |
| 1 | 选择来自事件链接控制器 (ELC) 的事件输入 0 | | | | | | | |

注 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

8.2.3 定时器 RD 开始寄存器 (TRDSTR)

使用 8 位存储器操作指令设置 TRDSTR 寄存器。参阅定时器 RD 使用注意事项中的 8.5.1 (1) TRDSTR 寄存器。

图 8 - 4 定时器 RD 开始寄存器 (TRDSTR) 的格式

地址: F0263H 复位后: 0CH 注 1

| | | | | | | | | |
|---------|---|--------------------------------------|---|---|-------|-------|---------|---------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDSTR | — | — | — | — | CSEL1 | CSEL0 | TSTART1 | TSTART0 |
| 位7至4 | | 没有任何配置 | | | | | | R/W |
| — | | 写入值必须为0。读取值为0。 | | | | | | R |
| CSEL1 | | TRD1 计数操作选择 ^{注 2} | | | | | | R/W |
| 0 | | 与TRDGRA1 寄存器比较匹配时停止计数 | | | | | | R/W |
| 1 | | 与TRDGRA1 寄存器比较匹配时继续计数 ^{注 3} | | | | | | |
| CSEL0 | | TRD0 计数操作选择 | | | | | | R/W |
| 0 | | 与TRDGRA0 寄存器比较匹配时停止计数 | | | | | | R/W |
| 1 | | 与TRDGRA0 寄存器比较匹配时继续计数 ^{注 3} | | | | | | |
| TSTART1 | | TRD1 计数开始标志 ^{注 4、 5} | | | | | | R/W |
| 0 | | 停止计数 | | | | | | R/W |
| 1 | | 开始计数 | | | | | | |
| TSTART0 | | TRD0 计数开始标志 ^{注 6、 7} | | | | | | R/W |
| 0 | | 停止计数 | | | | | | R/W |
| 1 | | 开始计数 | | | | | | |

- 注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如需读取初始值，在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。
- 注 2. 不要在 PWM3 模式下使用。
- 注 3. 在输入捕捉功能中设置为 1。
- 注 4. 当 CSEL1 位置 1 时，向 TSTART1 位写入 0。
- 注 5. 当 CSEL1 位为 0，产生一个比较匹配信号 (TRDIOA1)，此标志设置为 0（停止计数）。
- 注 6. 当 CSEL0 位置 1 时，向 TSTART0 位写入 0。
- 注 7. 当 CSEL0 位为 0，产生一个比较匹配信号 (TRDIOA0)，此标志设置为 0（停止计数）。

8.2.4 定时器 RD 模式寄存器 (TRDMR)

图 8 - 5 定时器 RD 模式寄存器 (TRDMR) 的格式

地址: F0264H 复位后: 00H 注 1

| 符号 | <7> | <6> | <5> | <4> | 3 | 2 | 1 | <0> |
|-------|---------|----------------------|---------|---------|---|---|---|---------|
| TRDMR | TRDBFD1 | TRDBFC1 | TRDBFD0 | TRDBFC0 | 0 | 0 | 0 | TRDSYNC |
| | TRDBFD1 | TRDGRD1 寄存器功能选择注 2 | | | | | | R/W |
| | 0 | 通用寄存器 | | | | | | R/W |
| | 1 | TRDGRB1 寄存器的缓冲寄存器 | | | | | | |
| | TRDBFC1 | TRDGRC1 寄存器功能选择注 2 | | | | | | R/W |
| | 0 | 通用寄存器 | | | | | | R/W |
| | 1 | TRDGRA1 寄存器的缓冲寄存器 | | | | | | |
| | TRDBFD0 | TRDGRD0 寄存器功能选择注 2 | | | | | | R/W |
| | 0 | 通用寄存器 | | | | | | R/W |
| | 1 | TRDGRB0 寄存器的缓冲寄存器 | | | | | | |
| | TRDBFC0 | TRDGRC0 寄存器功能选择注 2、3 | | | | | | R/W |
| | 0 | 通用寄存器 | | | | | | R/W |
| | 1 | TRDGRA0 寄存器的缓冲寄存器 | | | | | | |
| | 位 3 至 1 | 没有任何配置 | | | | | | R/W |
| | — | 写入值必须为 0。读取值为 0。 | | | | | | R |
| | TRDSYNC | 定时器 RD 同步注 4 | | | | | | R/W |
| | 0 | TRD0 和 TRD1 独立工作 | | | | | | R/W |
| | 1 | TRD0 和 TRD1 同步工作 | | | | | | |

注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

注 2. 在输出比较功能中, 如果为 TRDIORCi (i = 0 或 1) 寄存器中的 IOj3 (j = C 或 D) 位选择 0 (TRDGRji 寄存器输出引脚被更改), 则将 TRDMR 寄存器中的 TRDBFji 位设置为 0。

注 3. 互补 PWM 模式中设置为 0 (通用寄存器)。

注 4. 复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式中设置为 0 (TRD0 和 TRD1 独立工作)。

8.2.5 定时器 RD PWM 功能选择寄存器 (TRDPMR)

图 8 - 6 定时器 RD PWM 功能选择寄存器 (TRDPMR) [定时器模式] 的格式

地址: F0265H 复位后: 00H 注

| 符号 | 7 | <6> | <5> | <4> | 3 | <2> | <1> | <0> |
|----------|------------------|----------|----------|----------|---|----------|----------|----------|
| TRDPMR | 0 | TRDPWMD1 | TRDPWMC1 | TRDPWMB1 | 0 | TRDPWMD0 | TRDPWMC0 | TRDPWMB0 |
| 位 7 | 没有任何配置 | | | | | | | R/W |
| — | 写入值必须为 0。读取值为 0。 | | | | | | | R |
| TRDPWMD1 | TRDIOD1 PWM 功能选择 | | | | | | | R/W |
| 0 | 输入捕捉功能或输出比较功能 | | | | | | | R/W |
| 1 | PWM 功能 | | | | | | | |
| TRDPWMC1 | TRDIOC1 PWM 功能选择 | | | | | | | R/W |
| 0 | 输入捕捉功能或输出比较功能 | | | | | | | R/W |
| 1 | PWM 功能 | | | | | | | |
| TRDPWMB1 | TRDIOB1 PWM 功能选择 | | | | | | | R/W |
| 0 | 输入捕捉功能或输出比较功能 | | | | | | | R/W |
| 1 | PWM 功能 | | | | | | | |
| 位 3 | 没有任何配置 | | | | | | | R/W |
| — | 写入值必须为 0。读取值为 0。 | | | | | | | R |
| TRDPWMD0 | TRDIOD0 PWM 功能选择 | | | | | | | R/W |
| 0 | 输入捕捉功能或输出比较功能 | | | | | | | R/W |
| 1 | PWM 功能 | | | | | | | |
| TRDPWMC0 | TRDIOC0 PWM 功能选择 | | | | | | | R/W |
| 0 | 输入捕捉功能或输出比较功能 | | | | | | | R/W |
| 1 | PWM 功能 | | | | | | | |
| TRDPWMB0 | TRDIOB0 PWM 功能选择 | | | | | | | R/W |
| 0 | 输入捕捉功能或输出比较功能 | | | | | | | R/W |
| 1 | PWM 功能 | | | | | | | |

注 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如需读取初始值，在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

8.2.6 定时器 RD 功能控制寄存器 (TRDFCR)

图 8 - 7 定时器 RD 功能控制寄存器 (TRDFCR) 的格式

地址: F0266H 复位后: 80H 注 1

| | | | | | | | | |
|--------|--|---|---|---|------|------|------|------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDFCR | PWM3 | STCLK | 0 | 0 | OLS1 | OLS0 | CMD1 | CMD0 |
| | PWM3 | PWM3 模式选择注 2 | | | | | | R/W |
| | <ul style="list-style-type: none"> • 定时器模式下设置为 1（PWM3 模式以外）。 • PWM3 模式下，设置为 0（PWM3 模式）。 • 复位同步模式和互补 PWM 模式中无效。 | | | | | | | R/W |
| | STCLK | 外接时钟输入选择 | | | | | | R/W |
| | <ul style="list-style-type: none"> • 定时器模式、复位同步 PWM 模式和互补 PWM 模式下 0: 外接时钟输入无效 1: 外接时钟输入有效 <ul style="list-style-type: none"> • PWM3 模式下，设置为 0（外接时钟输入无效）。 | | | | | | | R/W |
| | 位 5 至 4 | 保留 | | | | | | R/W |
| | 0 | 设置为 0。 | | | | | | R/W |
| | OLS1 | 计数器相位输出电平选择 （复位同步 PWM 模式或互补 PWM 模式下） | | | | | | R/W |
| | <ul style="list-style-type: none"> • 复位同步 PWM 模式和互补 PWM 模式下 0: 高初始输出和低有效电平 1: 低初始输出和高有效电平 <ul style="list-style-type: none"> • 在定时器模式和 PWM3 模式下无效。 | | | | | | | R/W |
| | OLS0 | 相位输出电平选择 （复位同步 PWM 模式或互补 PWM 模式下） | | | | | | R/W |
| | <ul style="list-style-type: none"> • 复位同步 PWM 模式和互补 PWM 模式下 0: 高初始输出和低有效电平 1: 低初始输出和高有效电平 <ul style="list-style-type: none"> • 在定时器模式和 PWM3 模式下无效。 | | | | | | | R/W |

| CMD1 | CMD0 | 选择组合模式注3、4 | R/W |
|--|------|------------|-----|
| <div><ul style="list-style-type: none">• 定时器和PWM3模式下，设置为00B（定时器模式或PWM3模式）。• 复位同步PWM模式下设置为01B（复位同步PWM模式）。• 互补PWM模式下， CMD1 CMD0 1 0: 互补PWM模式（当TRD1发生下溢时，从缓冲寄存器传送至通用寄存器） 1 1: 互补PWM模式（当TRD0和TRDGRA0寄存器比较匹配时，从缓冲寄存器传送至通用寄存器） 上述以外：不要设置。</div> | | | R/W |

- 注 1.
- 当用户选项字节(000C2H)的FRQSEL4 = 1和PER1寄存器的TRD0EN = 0时，复位后的值变为不定。如需读取初始值，在读取之前设置fCLK至fIH且TRD0EN = 1。
- 注 2.
- 当CMD1和CMD0位设置为00B（定时器模式或PWM3模式）时，PWM3位的设置有效。
- 注 3.
- 当TRDSTR寄存器的TSTART0和TSTART1位均被设置为0（停止计数）时，设置CMD0和CMD1位。
- 注 4.
- 当CMD1和CMD0位设置为01B、10B或11B时，MCU进入复位同步PWM模式或互补PWM模式，与TRDPMR寄存器的设置无关。

8.2.7 定时器 RD 输出主允许寄存器 1 (TRDOER1)

图 8-8 定时器 RD 输出主允许寄存器 1 (TRDOER1) 的格式
[输出比较功能、PWM 功能、复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式]

地址: F0267H 复位后: FFH 注 1

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|-----|-------------------------------|-----|-----|-----|-----|-----|-----|
| TRDOER1 | ED1 | EC1 | EB1 | EA1 | ED0 | EC0 | EB0 | EA0 |
| | ED1 | TRDIOD1 输出禁止注 2 | | | | | | R/W |
| | 0 | 输出允许 | | | | | | R/W |
| | 1 | 输出禁止 (TRDIOD1 引脚功能作为输入/输出端口。) | | | | | | |
| | EC1 | TRDIOC1 输出禁止注 2 | | | | | | R/W |
| | 0 | 输出允许 | | | | | | R/W |
| | 1 | 输出禁止 (TRDIOC1 引脚功能作为输入/输出端口。) | | | | | | |
| | EB1 | TRDIOB1 输出禁止注 2 | | | | | | R/W |
| | 0 | 输出允许 | | | | | | R/W |
| | 1 | 输出禁止 (TRDIOB1 引脚功能作为输入/输出端口。) | | | | | | |
| | EA1 | TRDIOA1 输出禁止注 2、3 | | | | | | R/W |
| | 0 | 输出允许 | | | | | | R/W |
| | 1 | 输出禁止 (TRDIOA1 引脚功能作为输入/输出端口。) | | | | | | |
| | ED0 | TRDIOD0 输出禁止注 2 | | | | | | R/W |
| | 0 | 输出允许 | | | | | | R/W |
| | 1 | 输出禁止 (TRDIOD0 引脚功能作为输入/输出端口。) | | | | | | |
| | EC0 | TRDIOC0 输出禁止注 2 | | | | | | R/W |
| | 0 | 输出允许 | | | | | | R/W |
| | 1 | 输出禁止 (TRDIOC0 引脚功能作为输入/输出端口。) | | | | | | |
| | EB0 | TRDIOB0 输出禁止 | | | | | | R/W |
| | 0 | 输出允许 | | | | | | R/W |
| | 1 | 输出禁止 (TRDIOB0 引脚功能作为输入/输出端口。) | | | | | | |
| | EA0 | TRDIOA0 输出禁止注 3、4 | | | | | | R/W |
| | 0 | 输出允许 | | | | | | R/W |
| | 1 | 输出禁止 (TRDIOA0 引脚功能作为输入/输出端口。) | | | | | | |

- 注 1. 当用户选项字节(000C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。
- 注 2. 在 PWM3 模式下设置为 1。
- 注 3. 在 PWM 功能中设置为 1。
- 注 4. 复位同步 PWM 模式和互补 PWM 模式中设置为 1。

8.2.8 定时器 RD 输出主允许寄存器 2 (TRDOER2)

图 8 - 9 定时器 RD 输出主允许寄存器 2 (TRDOER2) 的格式
[PWM 功能、复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式]

地址: F0268H

复位后: 00H 注 1

| | | | | | | | | |
|---|--|---|---|---|---|---|---|----------|
| 符号 | <7> | 6 | 5 | 4 | 3 | 2 | 1 | <0> |
| TRDOER2 | TRDPTO | 0 | 0 | 0 | 0 | 0 | 0 | TRDSHUTS |
| | | | | | | | | |
| TRDPTO | 脉冲输出强行截止信号输入INTP0有效注 2 | | | | | | | R/W |
| 0 | 脉冲输出强行截止输入有效 | | | | | | | R/W |
| 1 | 脉冲输出强行截止输入无效 (当将低电平施加于INTP0引脚时， TRDSHUTS位被设为1。) | | | | | | | |
| | | | | | | | | |
| 位6至1 | 没有任何配置 | | | | | | | R/W |
| — | 写入值必须为0。读取值为0。 | | | | | | | R |
| | | | | | | | | |
| TRDSHUTS | 强行截止标志 | | | | | | | R/W |
| 0 | 不强行截止 | | | | | | | R/W |
| 1 | 强行截止 | | | | | | | |
| 当INTP0或ELC输入事件导致脉冲强行截止时，该位被设置为1。该位不自动清除。要停止脉冲强行截止，须在停止计数期间向该位写入0 (TSTARTi = 0)。当在允许模式下将1写入TRDSHUTS位时，脉冲也会被强行截止。 | | | | | | | | |

注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

注 2. 参阅 8.3.1 (4) 脉冲输出强行截止。

8.2.9 定时器 RD 输出控制寄存器 (TRDOCR)

当 TRDSTR 寄存器的 TSTART0 和 TSTART1 位均被设置为 0（停止计数）时，写入 TRDOCR 寄存器。

图 8 - 10 定时器 RD 输出控制寄存器 (TRDOCR) [输出比较功能] 的格式

地址: F0269H

复位后: 00H 注 1

| | | | | | | | | |
|--------|------|---------------------|------|------|------|------|------|------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDOCR | TOD1 | TOC1 | TOB1 | TOA1 | TOD0 | TOC0 | TOB0 | TOA0 |
| | TOD1 | TRDIOD1 初始输出电平选择注 2 | | | | | | R/W |
| | 0 | 低初始输出 | | | | | | R/W |
| | 1 | 高初始输出 | | | | | | |
| | TOC1 | TRDIOC1 初始输出电平选择注 2 | | | | | | R/W |
| | 0 | 低初始输出 | | | | | | R/W |
| | 1 | 高初始输出 | | | | | | |
| | TOB1 | TRDIOB1 初始输出电平选择注 2 | | | | | | R/W |
| | 0 | 低初始输出 | | | | | | R/W |
| | 1 | 高初始输出 | | | | | | |
| | TOA1 | TRDIOA1 初始输出电平选择 | | | | | | R/W |
| | 0 | 低初始输出 | | | | | | R/W |
| | 1 | 高初始输出 | | | | | | |
| | TOD0 | TRDIOD0 初始输出电平选择注 2 | | | | | | R/W |
| | 0 | 低初始输出 | | | | | | R/W |
| | 1 | 高初始输出 | | | | | | |
| | TOC0 | TRDIOC0 初始输出电平选择注 2 | | | | | | R/W |
| | 0 | 低初始输出 | | | | | | R/W |
| | 1 | 高初始输出 | | | | | | |
| | TOB0 | TRDIOB0 初始输出电平选择注 2 | | | | | | R/W |
| | 0 | 低初始输出 | | | | | | R/W |
| | 1 | 高初始输出 | | | | | | |
| | TOA0 | TRDIOA0 初始输出电平选择 | | | | | | R/W |
| | 0 | 低初始输出 | | | | | | R/W |
| | 1 | 高初始输出 | | | | | | |

注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如需读取初始值，在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

注 2. 如果引脚功能设置为波形输出，则当 TRDOCR 寄存器被设置时，将输出初始输出电平。

图 8 - 11 定时器 RD 输出控制寄存器 (TRDOCR) [PWM 功能] 的格式

地址: F0269H 复位后: 00H 注 1

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|--------|--------------------|---------------------|------|------|------|------|------|------|
| TRDOCR | TOD1 | TOC1 | TOB1 | TOA1 | TOD0 | TOC0 | TOB0 | TOA0 |
| | TOD1 | TRDIOD1 初始输出电平选择注 2 | | | | | | R/W |
| | 0 | 初始输出不是有效电平 | | | | | | R/W |
| | 1 | 初始输出是有效电平 | | | | | | |
| | TOC1 | TRDIOC1 初始输出电平选择注 2 | | | | | | R/W |
| | 0 | 初始输出不是有效电平 | | | | | | R/W |
| | 1 | 初始输出是有效电平 | | | | | | |
| | TOB1 | TRDIOB1 初始输出电平选择注 2 | | | | | | R/W |
| | 0 | 初始输出不是有效电平 | | | | | | R/W |
| | 1 | 初始输出是有效电平 | | | | | | |
| | TOA1 | TRDIOA1 初始输出电平选择 | | | | | | R/W |
| | 设置为 0。 | | | | | | | R/W |
| | TOD0 | TRDIOD0 初始输出电平选择注 2 | | | | | | R/W |
| | 0 | 初始输出不是有效电平 | | | | | | R/W |
| | 1 | 初始输出是有效电平 | | | | | | |
| | TOC0 | TRDIOC0 初始输出电平选择注 2 | | | | | | R/W |
| | 0 | 初始输出不是有效电平 | | | | | | R/W |
| | 1 | 初始输出是有效电平 | | | | | | |
| | 复位同步和互补 PWM 模式时有效。 | | | | | | | |
| | TOB0 | TRDIOB0 初始输出电平选择注 2 | | | | | | R/W |
| | 0 | 初始输出不是有效电平 | | | | | | R/W |
| | 1 | 初始输出是有效电平 | | | | | | |
| | TOA0 | TRDIOA0 初始输出电平选择 | | | | | | R/W |
| | 设置为 0。 | | | | | | | R/W |

注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

注 2. 如果引脚功能设置为波形输出, 则当 TRDOCR 寄存器被设置时, 将输出初始输出电平。

图 8 - 12 定时器RD输出控制寄存器 (TRDOCR) [PWM3模式]的格式

| | | | | | | | | |
|------------|-------------|--|------|------|------|------|------|------|
| 地址: F0269H | | 复位后: 00H 注 1 | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDOCR | TOD1 | TOC1 | TOB1 | TOA1 | TOD0 | TOC0 | TOB0 | TOA0 |
| | TOD1 | TRDIOD1 初始输出电平选择 | | | | | | R/W |
| | PWM3 模式下无效。 | | | | | | | R/W |
| | TOC1 | TRDIOC1 初始输出电平选择 | | | | | | R/W |
| | PWM3 模式下无效。 | | | | | | | R/W |
| | TOB1 | TRDIOB1 初始输出电平选择 | | | | | | R/W |
| | PWM3 模式下无效。 | | | | | | | R/W |
| | TOA1 | TRDIOA1 初始输出电平选择 | | | | | | R/W |
| | PWM3 模式下无效。 | | | | | | | R/W |
| | TOD0 | TRDIOD0 初始输出电平选择 | | | | | | R/W |
| | PWM3 模式下无效。 | | | | | | | R/W |
| | TOC0 | TRDIOC0 初始输出电平选择 | | | | | | R/W |
| | PWM3 模式下无效。 | | | | | | | R/W |
| | TOB0 | TRDIOB0 初始输出电平选择注 2 | | | | | | R/W |
| | 0 | 低初始输出, 高有效电平, TRDGRB1 比较匹配时为高输出, TRDGRB0 比较匹配时为低输出 | | | | | | R/W |
| | 1 | 高初始输出, 低有效电平, TRDGRB1 比较匹配时为低输出, TRDGRB0 比较匹配时为低输出 | | | | | | |
| | TOA0 | TRDIOA0 初始输出电平选择 | | | | | | R/W |
| | 0 | 低初始输出, 高有效电平, TRDGRA1 比较匹配时为高输出, TRDGRA0 比较匹配时为低输出 | | | | | | R/W |
| | 1 | 高初始输出, 低有效电平, TRDGRA1 比较匹配时为低输出, TRDGRA0 比较匹配时为低输出 | | | | | | |

注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

注 2. 如果引脚功能设置为波形输出, 则当 TRDOCR 寄存器被设置时, 将输出初始输出电平。

8.2.10 定时器 RD 数字滤波器功能选择寄存器 i (TRDDFi) (i = 0 或 1)

图 8-13 定时器 RD 数字滤波器功能选择寄存器 i (TRDDFi) (i = 0 或 1) 的格式
【输入捕捉功能】

地址: F026AH (TRDDF0)、F026BH (TRDDF1) 复位后: 00H 注 1

| | | | | | | | | |
|--------------------------------------|-------|--------------------|----------------------------------|-------|-----|-----|-----|-----|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDDFi | DFCK1 | DFCK0 | PENB1 | PENB0 | DFD | DFC | DFB | DFA |
| | | | | | | | | |
| | DFCK1 | DFCK0 | 数字滤波器功能的时钟选择注 2 | | | | | R/W |
| | 0 | 0 | fCLK/32 注 3 | | | | | R/W |
| | 0 | 1 | fCLK/8 注 3 | | | | | |
| | 1 | 0 | fCLK 注 3 | | | | | |
| | 1 | 1 | 计数源（通过TRDCRi寄存器的TCK0至TCK2位选择的时钟） | | | | | |
| | | | | | | | | |
| | PENB1 | PENB0 | TRDIOB引脚脉冲强制截止控制 | | | | | R/W |
| | 0 | 0 | 设置为00B。 | | | | | R/W |
| | | | | | | | | |
| | DFD | TRDIODi引脚数字滤波器功能选择 | | | | | | R/W |
| | 0 | 禁止数字滤波器功能 | | | | | | R/W |
| | 1 | 允许数字滤波器功能 | | | | | | |
| 当允许数字滤波器时，经过最多5个数字滤波器采样时钟周期后，执行边沿检测。 | | | | | | | | |
| | | | | | | | | |
| | DFC | TRDIOCi引脚数字滤波器功能选择 | | | | | | R/W |
| | 0 | 禁止数字滤波器功能 | | | | | | R/W |
| | 1 | 允许数字滤波器功能 | | | | | | |
| 当允许数字滤波器时，经过最多5个数字滤波器采样时钟周期后，执行边沿检测。 | | | | | | | | |
| | | | | | | | | |
| | DFB | TRDIOBi引脚数字滤波器功能选择 | | | | | | R/W |
| | 0 | 禁止数字滤波器功能 | | | | | | R/W |
| | 1 | 允许数字滤波器功能 | | | | | | |
| 当允许数字滤波器时，经过最多5个数字滤波器采样时钟周期后，执行边沿检测。 | | | | | | | | |
| | | | | | | | | |
| | DFA | TRDIOAi引脚数字滤波器功能选择 | | | | | | R/W |
| | 0 | 禁止数字滤波器功能 | | | | | | R/W |
| | 1 | 允许数字滤波器功能 | | | | | | |
| 当允许数字滤波器时，经过最多5个数字滤波器采样时钟周期后，执行边沿检测。 | | | | | | | | |

注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

注 2. 开始计数操作前, 设置 DFCK0 和 DFCK1 位。

注 3. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 时, fCLK/32、fCLK/8 和 fCLK 各自设置为 fHOCO/32、fHOCO/8 和 fHOCO。

图 8 - 14 定时器 RD 数字滤波器功能选择寄存器 i (TRDDFi) (i = 0 或 1) 的格式
[PWM 功能、复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式]

地址: F026AH (TRDDF0)、F026BH (TRDDF1) 复位后: 00H 注

| | | | | | | | | |
|--------|---|-------|-------------------|-------|-----|-----|-----|-----|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDDFi | DFCK1 | DFCK0 | PENB1 | PENB0 | DFD | DFC | DFB | DFA |
| | | | | | | | | |
| | DFCK1 | DFCK0 | TRDIOA 引脚脉冲强制截止控制 | | | | | R/W |
| | 0 | 0 | 禁止强行截止 | | | | | R/W |
| | 0 | 1 | 高阻抗输出 | | | | | |
| | 1 | 0 | 低输出 | | | | | |
| | 1 | 1 | 高输出 | | | | | |
| | 如果在这些模式下，未将对应引脚用作定时器 RD 输出端口，则须将这些位设置为 00B（禁止强行截止）。另外，停止计数时设置这些位。 | | | | | | | |
| | | | | | | | | |
| | PENB1 | PENB0 | TRDIOB 引脚脉冲强制截止控制 | | | | | R/W |
| | 0 | 0 | 禁止强行截止 | | | | | R/W |
| | 0 | 1 | 高阻抗输出 | | | | | |
| | 1 | 0 | 低输出 | | | | | |
| | 1 | 1 | 高输出 | | | | | |
| | 如果在这些模式下，未将对应引脚用作定时器 RD 输出端口，则须将这些位设置为 00B（禁止强行截止）。另外，停止计数时设置这些位。 | | | | | | | |
| | | | | | | | | |
| | DFD | DFC | TRDIOC 引脚脉冲强制截止控制 | | | | | R/W |
| | 0 | 0 | 禁止强行截止 | | | | | R/W |
| | 0 | 1 | 高阻抗输出 | | | | | |
| | 1 | 0 | 低输出 | | | | | |
| | 1 | 1 | 高输出 | | | | | |
| | 如果在这些模式下，未将对应引脚用作定时器 RD 输出端口，则须将这些位设置为 00B（禁止强行截止）。另外，停止计数时设置这些位。 | | | | | | | |
| | | | | | | | | |
| | DFB | DFA | TRDIOD 引脚脉冲强制截止控制 | | | | | R/W |
| | 0 | 0 | 禁止强行截止 | | | | | R/W |
| | 0 | 1 | 高阻抗输出 | | | | | |
| | 1 | 0 | 低输出 | | | | | |
| | 1 | 1 | 高输出 | | | | | |
| | 如果在这些模式下，未将对应引脚用作定时器 RD 输出端口，则须将这些位设置为 00B（禁止强行截止）。另外，停止计数时设置这些位。 | | | | | | | |

注 当用户选项字节(000C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

8.2.11 定时器 RD 控制寄存器 i (TRDCRi) (i = 0 或 1)

在复位同步 PWM 模式或 PWM3 模式下不使用 TRDCR1 寄存器。

图 8-15 定时器 RD 控制寄存器 i (TRDCRi) (i = 0 或 1) 的格式

【输入捕捉功能和输出比较功能】

地址: F0270H (TRDCR0)、F0280H (TRDCR1)

复位后: 00H 注 1

| | | | | | | | | |
|--------|-------|-------|-------|-------|-------|------|------|------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDCRi | CCLR2 | CCLR1 | CCLR0 | CKEG1 | CKEG0 | TCK2 | TCK1 | TCK0 |

| CCLR2 | CCLR1 | CCLR0 | TRDi 计数器清除选择 | R/W |
|-------|-------|-------|-------------------------------|-----|
| 0 | 0 | 0 | 禁止清除 (自由运行操作) | R/W |
| 0 | 0 | 1 | 输入捕捉/与 TRDGRAi 比较匹配时清除 | |
| 0 | 1 | 0 | 输入捕捉/与 TRDGRBi 比较匹配时清除 | |
| 0 | 1 | 1 | 同步清除 (与其他定时器 RDi 计数器同时清除) 注 2 | |
| 1 | 0 | 0 | 不要设置。 | |
| 1 | 0 | 1 | 输入捕捉/与 TRDGRCi 比较匹配时清除 | |
| 1 | 1 | 0 | 输入捕捉/与 TRDGRDi 比较匹配时清除 | |
| 1 | 1 | 1 | 不要设置。 | |

| CKEG1 | CKEG0 | 外接时钟沿选择注 3 | R/W |
|-------|-------|------------|-----|
| 0 | 0 | 在上升沿计数 | R/W |
| 0 | 1 | 在下降沿计数 | |
| 1 | 0 | 在两个沿计数 | |
| 1 | 1 | 不要设置。 | |

| TCK2 | TCK1 | TCK0 | 计数源选择 | R/W |
|------|------|------|----------------|-----|
| 0 | 0 | 0 | fCLK、fHOCO 注 4 | R/W |
| 0 | 0 | 1 | fCLK/2 注 5 | |
| 0 | 1 | 0 | fCLK/4 注 5 | |
| 0 | 1 | 1 | fCLK/8 注 5 | |
| 1 | 0 | 0 | fCLK/32 注 5 | |
| 1 | 0 | 1 | TRDCLK 输入注 6 | |
| 1 | 1 | 0 | 不要设置。 | |
| 1 | 1 | 1 | 不要设置。 | |

注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

注 2. 当设置 TRDMR 寄存器中的 TRDSYNC 位为 1 (TRD0 和 TRD1 同步操作) 时被启用。

注 3. 当 TCK2 至 TCK0 位被设置为 101B (TRDCLK 输入) 且 STCLK 位设置为 1 (允许外接时钟输入) 时有效。

注 4. 当 FRQSEL4 = 0 时, 选择 fCLK, 当用户选项字节 (000C2H) 中的 FRQSEL4 = 1 时, 则选择 fHOCO。在将 fHOCO 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前, 要把 fCLK 设置为 fIH。在将 fCLK 更改为 fIH 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

注 5. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 时, 不要设置此值。

注 6. 当 TRDFCR 寄存器中的 STCLK 位被设置为 1 (启用外接时钟输入) 时有效。

图 8 - 16 定时器 RD 控制寄存器 i (TRDCRi) (i = 0 或 1) [PWM 模式] 的格式

地址: F0270H (TRDCR0)、F0280H (TRDCR1) 复位后: 00H 注 1

| | | | | | | | | |
|--------------------------------------|-------|-------|------------|----------------|-------|------|------|------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDCRi | CCLR2 | CCLR1 | CCLR0 | CKEG1 | CKEG0 | TCK2 | TCK1 | TCK0 |
| | | | | | | | | |
| | CCLR2 | CCLR1 | CCLR0 | TRDi计数器清除选择 | | | | R/W |
| 设置为001B（与TRDGRAi寄存器比较匹配时TRDi寄存器被清除）。 | | | | | | | | R/W |
| | | | | | | | | |
| | CKEG1 | CKEG0 | 外接时钟沿选择注 2 | | | | | R/W |
| | 0 | 0 | 在上升沿计数 | | | | | R/W |
| | 0 | 1 | 在下降沿计数 | | | | | |
| | 1 | 0 | 在两个沿计数 | | | | | |
| | 1 | 1 | 不要设置。 | | | | | |
| | | | | | | | | |
| | TCK2 | TCK1 | TCK0 | 计数源选择 | | | | R/W |
| | 0 | 0 | 0 | fCLK、fHOCO 注 3 | | | | R/W |
| | 0 | 0 | 1 | fCLK/2 注 4 | | | | |
| | 0 | 1 | 0 | fCLK/4 注 4 | | | | |
| | 0 | 1 | 1 | fCLK/8 注 4 | | | | |
| | 1 | 0 | 0 | fCLK/32 注 4 | | | | |
| | 1 | 0 | 1 | TRDCLK输入注 5 | | | | |
| | 1 | 1 | 0 | 不要设置。 | | | | |
| | 1 | 1 | 1 | 不要设置。 | | | | |

- 注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。
- 注 2. 当 TCK2 至 TCK0 位被设置为 101B (TRDCLK 输入) 且 STCLK 位设置为 1 (允许外接时钟输入) 时有效。
- 注 3. 当 FRQSEL4 = 0 时, 选择 fCLK, 当用户选项字节 (000C2H) 中的 FRQSEL4 = 1 时, 则选择 fHOCO。在将 fHOCO 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前, 要把 fCLK 设置为 fIH。在将 fCLK 更改为 fIH 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。
- 注 4. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 时, 不要设置此值。
- 注 5. 当 TRDFCR 寄存器中的 STCLK 位被设置为 1 (启用外接时钟输入) 时有效。

图 8 - 17 定时器 RD 控制寄存器 0 (TRDCR0) [复位同步 PWM 模式] 的格式

地址: F0270H 复位后: 00H 注 1

| | | | | | | | | |
|--------|-------|-------|-------|-------|-------|------|------|------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDCR0 | CCLR2 | CCLR1 | CCLR0 | CKEG1 | CKEG0 | TCK2 | TCK1 | TCK0 |

| | | | | |
|---|-------|-------|--------------|-----|
| CCLR2 | CCLR1 | CCLR0 | TRD0 计数器清除选择 | R/W |
| 设置为 001B（与 TRDGRA0 寄存器比较匹配时 TRD0 寄存器被清除）。 | | | | R/W |

| | | | |
|-------|-------|------------|-----|
| CKEG1 | CKEG0 | 外接时钟沿选择注 2 | R/W |
| 0 | 0 | 在上升沿计数 | R/W |
| 0 | 1 | 在下降沿计数 | |
| 1 | 0 | 在两个沿计数 | |
| 1 | 1 | 不要设置。 | |

| | | | | |
|------|------|------|----------------|-----|
| TCK2 | TCK1 | TCK0 | 计数源选择 | R/W |
| 0 | 0 | 0 | fCLK、fHOCO 注 3 | R/W |
| 0 | 0 | 1 | fCLK/2 注 4 | |
| 0 | 1 | 0 | fCLK/4 注 4 | |
| 0 | 1 | 1 | fCLK/8 注 4 | |
| 1 | 0 | 0 | fCLK/32 注 4 | |
| 1 | 0 | 1 | TRDCLK 输入注 5 | |
| 1 | 1 | 0 | 不要设置。 | |
| 1 | 1 | 1 | 不要设置。 | |

- 注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fH 且 TRD0EN = 1。
- 注 2. 当 TCK2 至 TCK0 位被设置为 101B (TRDCLK 输入) 且 STCLK 位设置为 1 (允许外接时钟输入) 时有效。
- 注 3. 当 FRQSEL4 = 0 时, 选择 fCLK, 当用户选项字节 (000C2H) 中的 FRQSEL4 = 1 时, 则选择 fHOCO。在将 fHOCO 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前, 要把 fCLK 设置为 fH。在将 fCLK 更改为 fH 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。
- 注 4. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 时, 不要设置此值。
- 注 5. 当 TRDFCR 寄存器中的 STCLK 位被设置为 1 (启用外接时钟输入) 时有效。

图 8 - 18 定时器 RD 控制寄存器 0 (TRDCR0) [互补 PWM 模式] 的格式

地址: F0270H

复位后: 00H 注 1

| | | | | | | | | |
|--------|-------|-------|-------|-------|-------|------|------|------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDCR0 | CCLR2 | CCLR1 | CCLR0 | CKEG1 | CKEG0 | TCK2 | TCK1 | TCK0 |

| | | | | |
|-------------------------|-------|-------|--------------|-----|
| CCLR2 | CCLR1 | CCLR0 | TRD0 计数器清除选择 | R/W |
| 设置为 000B（禁止清除（自由运行操作））。 | | | | R/W |

| | | | |
|-------|-------|--------------|-----|
| CKEG1 | CKEG0 | 外接时钟沿选择注 2、3 | R/W |
| 0 | 0 | 在上升沿计数 | R/W |
| 0 | 1 | 在下降沿计数 | |
| 1 | 0 | 在两个沿计数 | |
| 1 | 1 | 不要设置。 | |

| | | | | |
|------|------|------|----------------|-----|
| TCK2 | TCK1 | TCK0 | 计数源选择 | R/W |
| 0 | 0 | 0 | fCLK、fHOCO 注 4 | R/W |
| 0 | 0 | 1 | fCLK/2 注 5 | |
| 0 | 1 | 0 | fCLK/4 注 5 | |
| 0 | 1 | 1 | fCLK/8 注 5 | |
| 1 | 0 | 0 | fCLK/32 注 5 | |
| 1 | 0 | 1 | TRDCLK 输入注 6 | |
| 1 | 1 | 0 | 不要设置。 | |
| 1 | 1 | 1 | 不要设置。 | |

- 注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。
- 注 2. 当 TCK2 至 TCK0 位被设置为 101B (TRDCLK 输入) 且 STCLK 位设置为 1 (允许外接时钟输入) 时有效。
- 注 3. 将同一值设置至 TRDCR0 和 TRDCR1 寄存器中的 TCK0 至 TCK2、CKEG0 和 CKEG1。
- 注 4. 当 FRQSEL4 = 0 时, 选择 fCLK, 当用户选项字节 (000C2H) 中的 FRQSEL4 = 1 时, 则选择 fHOCO。在将 fHOCO 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前, 要把 fCLK 设置为 fIH。在将 fCLK 更改为 fIH 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。
- 注 5. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 时, 不要设置此值。
- 注 6. 当 TRDFCR 寄存器中的 STCLK 位被设置为 1 (启用外接时钟输入) 时有效。

图 8 - 19 定时器RD控制寄存器 0 (TRDCR0) [PWM3模式] 的格式

地址： F0270H 复位后： 00H 注 1

| | | | | | | | | |
|---|-------|-------|---------|----------------|-------|------|------|------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDCR0 | CCLR2 | CCLR1 | CCLR0 | CKEG1 | CKEG0 | TCK2 | TCK1 | TCK0 |
| | | | | | | | | |
| | CCLR2 | CCLR1 | CCLR0 | TRD0 计数器清除选择 | | | | R/W |
| 设置为 001B（与 TRDGRA0 寄存器比较匹配时 TRD0 寄存器被清除）。 | | | | | | | | R/W |
| | | | | | | | | |
| | CKEG1 | CKEG0 | 外接时钟沿选择 | | | | R/W | |
| PWM3 模式下无效。 | | | | | | | | R/W |
| | | | | | | | | |
| | TCK2 | TCK1 | TCK0 | 计数源选择 | | | | R/W |
| | 0 | 0 | 0 | fCLK、fHOCO 注 2 | | | | R/W |
| | 0 | 0 | 1 | fCLK/2 注 3 | | | | |
| | 0 | 1 | 0 | fCLK/4 注 3 | | | | |
| | 0 | 1 | 1 | fCLK/8 注 3 | | | | |
| | 1 | 0 | 0 | fCLK/32 注 3 | | | | |
| | 1 | 0 | 1 | 不要设置。 | | | | |
| | 1 | 1 | 0 | 不要设置。 | | | | |
| | 1 | 1 | 1 | 不要设置。 | | | | |

- 注 1.
- 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如需读取初始值，在读取之前设置 fCLK 至 fH 且 TRD0EN = 1。
- 注 2.
- 当 FRQSEL4 = 0 时，选择 fCLK，当用户选项字节 (000C2H) 中的 FRQSEL4 = 1 时，则选择 fHOCO。将 fHOCO 选为计数源时，要在开始定时器计数操作之前，将 fH 选作 fCLK。
- 注 3.
- 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 时，不要设置此值。

8.2.12 定时器 RD 输入/输出控制寄存器 Ai (TRDIORAi) (i = 0 或 1)

图 8 - 20 定时器 RD 输入/输出控制寄存器 Ai (TRDIORAi) (i = 0 或 1) [输入捕捉功能]的格式

地址: F0271H (TRDIORA0)、F0281H (TRDIORA1) 复位后: 00H 注 1

| | | | | | | | | |
|----------------------|------------------|-------------------------------------|------|------|---|------|------|------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDIORA _i | — | IOB2 | IOB1 | IOB0 | 0 | IOA2 | IOA1 | IOA0 |
| | | | | | | | | |
| 位 7 | 没有任何配置 | | | | | | | R/W |
| — | 写入值必须为 0。读取值为 0。 | | | | | | | R |
| | | | | | | | | |
| IOB2 | TRDGRB 模式选择注 2 | | | | | | | R/W |
| 输入捕捉功能中设置为 1（输入捕捉）。 | | | | | | | R/W | |
| | | | | | | | | |
| IOB1 | IOB0 | TRDGRB 控制 | | | | | | R/W |
| 0 | 0 | 在上升沿输入捕捉至 TRDGRB _i | | | | | | R/W |
| 0 | 1 | 在下降沿输入捕捉至 TRDGRB _i | | | | | | |
| 1 | 0 | 在上升沿和下降沿都将输入捕捉至 TRDGRB _i | | | | | | |
| 1 | 1 | 不要设置。 | | | | | | |
| | | | | | | | | |
| 位 3 | 保留 | | | | | | | R/W |
| 0 | 设置为 0。 | | | | | | | R/W |
| | | | | | | | | |
| IOA2 | TRDGRA 模式选择注 3 | | | | | | | R/W |
| 输入捕捉功能中设置为 1（输入捕捉）。 | | | | | | | R/W | |
| | | | | | | | | |
| IOA1 | IOA0 | TRDGRA 控制 | | | | | | R/W |
| 0 | 0 | 在上升沿输入捕捉至 TRDGRA _i | | | | | | R/W |
| 0 | 1 | 在下降沿输入捕捉至 TRDGRA _i | | | | | | |
| 1 | 0 | 在上升沿和下降沿都将输入捕捉至 TRDGRA _i | | | | | | |
| 1 | 1 | 不要设置。 | | | | | | |

注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

注 2. 如果为 TRDMR 寄存器中的 TRDBFDi 位选择 1 (TRDGRBi 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIORAi 寄存器中的 IOB2 位和 TRDIORCi 寄存器中的 IOD2 位。

注 3. 如果为 TRDMR 寄存器中的 TRDBFCi 位选择 1 (TRDGRAi 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIORAi 寄存器中的 IOA2 位和 TRDIORCi 寄存器中的 IOC2 位。

图 8 - 21 定时器 RD 输入/输出控制寄存器 Ai (TRDIORAi) (i = 0 或 1) 【输出比较功能】的格式

地址: F0271H (TRDIORA0)、F0281H (TRDIORA1) 复位后: 00H 注 1

| | | | | | | | | |
|--------------------|----------------|---------------------------------|------|------|---|------|------|------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDIORAi | — | IOB2 | IOB1 | IOB0 | 0 | IOA2 | IOA1 | IOA0 |
| | | | | | | | | |
| 位7 | 没有任何配置 | | | | | | | R/W |
| — | 写入值必须为0。读取值为0。 | | | | | | | R |
| | | | | | | | | |
| IOB2 | TRDGRB 模式选择注 2 | | | | | | | R/W |
| 输出比较功能中设置为0（输出比较）。 | | | | | | | R/W | |
| | | | | | | | | |
| IOB1 | IOB0 | TRDGRB 控制 | | | | | | R/W |
| 0 | 0 | 禁止比较匹配引脚输出（TRDIOBi 引脚充当输入/输出端口） | | | | | | R/W |
| 0 | 1 | 与 TRDGRBi 比较匹配则低输出 | | | | | | |
| 1 | 0 | 与 TRDGRBi 比较匹配则高输出 | | | | | | |
| 1 | 1 | 与 TRDGRBi 比较匹配则交替输出 | | | | | | |
| | | | | | | | | |
| 位3 | 保留 | | | | | | | R/W |
| 0 | 设置为0。 | | | | | | | R/W |
| | | | | | | | | |
| IOA2 | TRDGRA 模式选择注 3 | | | | | | | R/W |
| 输出比较功能中设置为0（输出比较）。 | | | | | | | R/W | |
| | | | | | | | | |
| IOA1 | IOA0 | TRDGRA 控制 | | | | | | R/W |
| 0 | 0 | 禁止比较匹配引脚输出（TRDIOAi 引脚充当输入/输出端口） | | | | | | R/W |
| 0 | 1 | 与 TRDGRAi 比较匹配则低输出 | | | | | | |
| 1 | 0 | 与 TRDGRAi 比较匹配则高输出 | | | | | | |
| 1 | 1 | 与 TRDGRAi 比较匹配则交替输出 | | | | | | |

注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

注 2. 如果为 TRDMR 寄存器中的 TRDBFDi 位选择 1 (TRDGRBi 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIORAi 寄存器中的 IOB2 位和 TRDIORCi 寄存器中的 IOD2 位。

注 3. 如果为 TRDMR 寄存器中的 TRDBFCi 位选择 1 (TRDGRAi 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIORAi 寄存器中的 IOA2 位和 TRDIORCi 寄存器中的 IOC2 位。

8.2.13 定时器 RD 输入/输出控制寄存器 Ci (TRDIORCi) (i = 0 或 1)

图 8 - 22 定时器 RD 输入/输出控制寄存器 Ci (TRDIORCi) [输入捕捉功能] 的格式

地址: F0272H (TRDIORC0)、F0282H (TRDIORC1) 复位后: 88H 注 1

| | | | | | | | | |
|-----------------------------|------|----------------|-------------------------|------|------|------|------|------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDIORCi | IOD3 | IOD2 | IOD1 | IOD0 | IOC3 | IOC2 | IOC1 | IOC0 |
| | | | | | | | | |
| | IOD3 | TRDGRD 寄存器功能选择 | | | | | | R/W |
| 在输入捕捉功能中设置为 1 （通用寄存器或缓冲寄存器） | | | | | | | | R/W |
| | | | | | | | | |
| | IOD2 | TRDGRD 模式选择注 2 | | | | | | R/W |
| 输入捕捉功能中设置为 1 （输入捕捉）。 | | | | | | | | R/W |
| | | | | | | | | |
| | IOD1 | IOD0 | TRDGRD 控制 | | | | | R/W |
| | 0 | 0 | 在上升沿输入捕捉至 TRDGRDi | | | | | R/W |
| | 0 | 1 | 在下降沿输入捕捉至 TRDGRDi | | | | | |
| | 1 | 0 | 在上升沿和下降沿都将输入捕捉至 TRDGRDi | | | | | |
| | 1 | 1 | 不要设置。 | | | | | |
| | | | | | | | | |
| | IOC3 | TRDGR 寄存器功能选择 | | | | | | R/W |
| 在输入捕捉功能中设置为 1 （通用寄存器或缓冲寄存器） | | | | | | | | R/W |
| | | | | | | | | |
| | IOC2 | TRDGRC 模式选择注 3 | | | | | | R/W |
| 输入捕捉功能中设置为 1 （输入捕捉）。 | | | | | | | | R/W |
| | | | | | | | | |
| | IOC1 | IOC0 | TRDGRC 控制 | | | | | R/W |
| | 0 | 0 | 在上升沿输入捕捉至 TRDGRCi | | | | | R/W |
| | 0 | 1 | 在下降沿输入捕捉至 TRDGRCi | | | | | |
| | 1 | 0 | 在上升沿和下降沿都将输入捕捉至 TRDGRCi | | | | | |
| | 1 | 1 | 不要设置。 | | | | | |

注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

注 2. 如果为 TRDMR 寄存器中的 TRDBFDi 位选择 1 (TRDGRBi 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIORAi 寄存器中的 IOB2 位和 TRDIORCi 寄存器中的 IOD2 位。

注 3. 如果为 TRDMR 寄存器中的 TRDBFCi 位选择 1 (TRDGRAi 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIORAi 寄存器中的 IOA2 位和 TRDIORCi 寄存器中的 IOC2 位。

图 8 - 23 定时器 RD 输入/输出控制寄存器 Ci (TRDIORCi) (i = 0 或 1) 【输出比较功能】的格式

地址: F0272H (TRDIORC0)、F0282H (TRDIORC1) 复位后: 88H 注 1

| | | | | | | | | |
|----------------------|--|---------------------|------|------|------|------|------|------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDIORCi | IOD3 | IOD2 | IOD1 | IOD0 | IOC3 | IOC2 | IOC1 | IOC0 |
| | | | | | | | | |
| IOD3 | TRDGRD 寄存器功能选择 | | | | | | | R/W |
| 0 | TRDIOB 输出寄存器 (参阅 8.3.3 (2) 更改 TRDGRCi (i = 0 或 1) 和 TRDGRDi 寄存器的输出引脚) | | | | | | | R/W |
| 1 | 通用寄存器或缓冲寄存器 | | | | | | | |
| | | | | | | | | |
| IOD2 | TRDGRD 模式选择注 2 | | | | | | | R/W |
| 输出比较功能中设置为 0 (输出比较)。 | | | | | | | R/W | |
| | | | | | | | | |
| IOD1 | IOD0 | TRDGRD 控制 | | | | | R/W | |
| 0 | 0 | 禁止比较匹配引脚输出 | | | | | R/W | |
| 0 | 1 | 与 TRDGRDi 比较匹配则低输出 | | | | | | |
| 1 | 0 | 与 TRDGRDi 比较匹配则高输出 | | | | | | |
| 1 | 1 | 与 TRDGRDi 比较匹配则交替输出 | | | | | | |
| | | | | | | | | |
| IOC3 | TRDGR 寄存器功能选择 | | | | | | | R/W |
| 0 | TRDIOA 输出寄存器 (参阅 8.3.3 (2) 更改 TRDGRCi (i = 0 或 1) 和 TRDGRDi 寄存器的输出引脚) | | | | | | | R/W |
| 1 | 通用寄存器或缓冲寄存器 | | | | | | | |
| | | | | | | | | |
| IOC2 | TRDGRC 模式选择注 3 | | | | | | | R/W |
| 输出比较功能中设置为 0 (输出比较)。 | | | | | | | R/W | |
| | | | | | | | | |
| IOC1 | IOC0 | TRDGRC 控制 | | | | | R/W | |
| 0 | 0 | 禁止比较匹配引脚输出 | | | | | R/W | |
| 0 | 1 | 与 TRDGRCi 比较匹配则低输出 | | | | | | |
| 1 | 0 | 与 TRDGRCi 比较匹配则高输出 | | | | | | |
| 1 | 1 | 与 TRDGRCi 比较匹配则交替输出 | | | | | | |

- 注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。
- 注 2. 如果为 TRDMR 寄存器中的 TRDBFDi 位选择 1 (TRDGRBi 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIORAi 寄存器中的 IOB2 位和 TRDIORCi 寄存器中的 IOD2 位。
- 注 3. 如果为 TRDMR 寄存器中的 TRDBFCi 位选择 1 (TRDGRAi 寄存器的缓冲寄存器), 则把相同的值设置至 TRDIORAi 寄存器中的 IOA2 位和 TRDIORCi 寄存器中的 IOC2 位。

8.2.14 定时器 RD 状态寄存器 i (TRDSRi) (i = 0 或 1)

图 8 - 24 定时器 RD 状态寄存器 i (TRDSRi) (i = 0 或 1) [输入捕捉功能] 的格式

地址: F0273H (TRDSR0)、F0283H (TRDSR1) 复位后: 00H 注 1

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---------------------|---|-----|-----|------|------|------|------|
| TRDSRi | — | — | UDF | OVF | IMFD | IMFC | IMFB | IMFA |
| | | | | | | | | |
| 位7至6 | 没有任何配置 | | | | | | | R/W |
| — | 写入值必须为0。读取值为0。 | | | | | | | R |
| | | | | | | | | |
| UDF | 下溢标志 ^{注 2} | | | | | | | R/W |
| 输入捕捉功能中无效。 | | | | | | | R/W | |
| | | | | | | | | |
| OVF | 溢出标志 ^{注 3} | | | | | | | R/W |
| [置0的源] 读取后写入0。 ^{注 4} [置1的源] 当TRDi寄存器发生溢出时 | | | | | | | R/W | |
| | | | | | | | | |
| IMFD | 输入捕捉/比较匹配标志 D | | | | | | | R/W |
| [置0的源] 读取后写入0。 ^{注 4} [置1的源] TRDIODi引脚的输入边沿 ^{注 5} | | | | | | | R/W | |
| | | | | | | | | |
| IMFC | 输入捕捉/比较匹配标志 C | | | | | | | R/W |
| [置0的源] 读取后写入0。 ^{注 4} [置1的源] TRDIOCi引脚的输入边沿 ^{注 5} | | | | | | | R/W | |
| | | | | | | | | |
| IMFB | 输入捕捉/比较匹配标志 B | | | | | | | R/W |
| [置0的源] 读取后写入0。 ^{注 4} [置1的源] TRDIOBi引脚的输入边沿 ^{注 6} | | | | | | | R/W | |
| | | | | | | | | |
| IMFA | 输入捕捉/比较匹配标志 A | | | | | | | R/W |
| [置0的源] 读取后写入0。 ^{注 4} [置1的源] TRDIOAi引脚的输入边沿 ^{注 6} | | | | | | | R/W | |

- 注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。
- 注 2. 不分配值到 TRDSR0 寄存器的位 5。位 5 的写入值必须为 0。读取值为 0。
- 注 3. 当定时器 RD_i 的计数器值从 FFFFH 变为 0000H 时, 溢出标志被设置为 1。同时, 如果根据 TRDCR_i 寄存器中的 CCLR0 至 CCLR2 位的设置, 定时器 RD_i 计数器值因在操作过程中的输入捕捉 / 比较匹配而从 FFFFH 变为 0000H, 则溢出标志被设置为 1。
- 注 4. 写入结果如下:
- 如果读取值为 1, 将 0 写入该位将其设置为 0。如果必须将 TRDIER_i 寄存器禁止的中断的中断源标志清除为 0, 则必须要使用以下方法之一将标志清除为 0。
 - (i) 当 TRDIER_i 寄存器允许的中断的中断源状态都为 0 时, 将 TRDIER_i 寄存器禁止的中断的中断源标志清除为 0。
 - (ii) 在 TRDIER_i 寄存器允许的中断的中断源状态被设置为 1 期间, 将 TRDIER_i 寄存器禁止的中断的中断源标志清除为 0 时, 应将 TRDIER_i 寄存器允许的中断的中断源状态清除为 0, 同时将 TRDIER_i 寄存器禁止的中断的中断源标志清除为 0。
 - (iii) 在禁止所有中断之后, 将 TRDIER_i 寄存器设置为 00H, 并将中断源标志清除为 0。
 - 如果读取值为 0, 即使将 0 写入该位, 其也保持不变。(即使在读取后该位从 0 变为 1 然后写入 0, 该位仍将保持 1。)
 - 写入 1 的操作无效。
- 注 5. 由 TRDIORC_i 寄存器中的 IOk1 和 IOk0 位 (k = C 或 D) 选择的边沿。
包括当 TRDMR 寄存器的 TRDBFk_i 位为 1 时 (TRDGRk_i 为缓冲寄存器)。
- 注 6. 由 TRDIORAI 寄存器中的 IOj1 和 IOj0 位 (j = A 或 B) 选择的边沿。

图 8 - 25 定时器 RD 状态寄存器 i (TRDSRi) (i = 0 或 1) 的格式

【输入捕捉功能以外的功能】

地址: F0273H (TRDSR0)、F0283H (TRDSR1) 复位后: 00H 注 1

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|------------------|---|-----|-----|------|------|------|------|
| TRDSRi | — | — | UDF | OVF | IMFD | IMFC | IMFB | IMFA |
| 位 7 至 6 | 没有任何配置 | | | | | | | R/W |
| — | 写入值必须为 0。读取值为 0。 | | | | | | | R |
| UDF | 下溢标志注 2 | | | | | | | R/W |
| 互补 PWM 模式中 [置 0 的源] 读取后写入 0。注 3 [置 1 的源] 当 TRDi 发生下溢时。 仅在互补 PWM 模式下有效。 | | | | | | | R/W | |
| OVF | 溢出标志注 4 | | | | | | | R/W |
| [置 0 的源] 读取后写入 0。注 3 [置 1 的源] 当 TRDi 寄存器发生溢出时 | | | | | | | R/W | |
| IMFD | 输入捕捉/比较匹配标志 D | | | | | | | R/W |
| [置 0 的源] 读取后写入 0。注 3 [置 1 的源] 当 TRDi 和 TRDGRDi 的值匹配时。注 5 | | | | | | | R/W | |
| IMFC | 输入捕捉/比较匹配标志 C | | | | | | | R/W |
| [置 0 的源] 读取后写入 0。注 3 [置 1 的源] 当 TRDi 和 TRDGRCi 的值匹配时。注 5 | | | | | | | R/W | |
| IMFB | 输入捕捉/比较匹配标志 B | | | | | | | R/W |
| [置 0 的源] 读取后写入 0。注 3 [置 1 的源] 当 TRDi 和 TRDGRBi 的值匹配时。 | | | | | | | R/W | |
| IMFA | 输入捕捉/比较匹配标志 A | | | | | | | R/W |
| [置 0 的源] 读取后写入 0。注 3 [置 1 的源] 当 TRDi 和 TRDGRAi 的值匹配时。 | | | | | | | R/W | |

- 注 1. 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。
- 注 2. 不分配值到 TRDSR0 寄存器的位 5。位 5 的写入值必须为 0。读取值为 0。
- 注 3. 写入结果如下:
- 如果读取值为 1, 将 0 写入该位将其设置为 0。如果必须将 TRDIERi 寄存器禁止的中断的中断源标志清除为 0, 则必须要使用以下方法之一将标志清除为 0。
 - (i) 当 TRDIERi 寄存器允许的中断的中断源状态都为 0 时, 将 TRDIERi 寄存器禁止的中断的中断源标志清除为 0。
 - (ii) 在 TRDIERi 寄存器允许的中断的中断源状态被设置为 1 期间, 将 TRDIERi 寄存器禁止的中断的中断源标志清除为 0 时, 应将 TRDIERi 寄存器允许的中断的中断源状态清除为 0, 同时将 TRDIERi 寄存器禁止的中断的中断源标志清除为 0。
 - (iii) 在禁止所有中断之后, 将 TRDIERi 寄存器设置为 00H, 并将中断源标志清除为 0。
 - 如果读取值为 0, 即使将 0 写入该位, 其也保持不变。(即使在读取后该位从 0 变为 1 然后写入 0, 该位仍将保持 1。)
 - 写入 1 的操作无效。
- 注 4. 当定时器 RD_i 的计数器值从 FFFFH 变为 0000H 时, 溢出标志被设置为 1。同时, 如果根据 TRDCR_i 寄存器中的 CCLR0 至 CCLR2 位的设置, 定时器 RD_i 计数器值因在操作过程中的输入捕捉 / 比较匹配而从 FFFFH 变为 0000H, 则溢出标志被设置为 1。
- 注 5. 包括当 TRDMR 寄存器的 TRDBF_ki 位 (k = C 或 D) 被设置为 1 时 (TRDGRK_i 为缓冲寄存器)。

8.2.15 定时器 RD 中断允许寄存器 i (TRDIERi) (i = 0 或 1)

图 8 - 26 定时器 RD 中断允许寄存器 i (TRDIERi) (i = 0 或 1) 的格式

地址: F0274H (TRDIER0)、F0284H (TRDIER1) 复位后: 00H 注

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----------------------|---|---|------|-------|-------|-------|-------|
| TRDIERi | — | — | — | OVIE | IMIED | IMIEC | IMIEB | IMIEA |
| | | | | | | | | |
| 位7至5 | 没有任何配置 | | | | | | | R/W |
| — | 写入值必须为0。读取值为0。 | | | | | | | R |
| | | | | | | | | |
| OVIE | 溢出/下溢中断允许 | | | | | | | R/W |
| 0 | 禁止通过OVF和UDF位的中断(OVI) | | | | | | | R/W |
| 1 | 允许通过OVF和UDF位的中断(OVI) | | | | | | | |
| | | | | | | | | |
| IMIED | 输入捕捉/比较匹配中断允许D | | | | | | | R/W |
| 0 | 禁止通过IMFD位的中断(IMID) | | | | | | | R/W |
| 1 | 允许通过IMFD位的中断(IMID) | | | | | | | |
| | | | | | | | | |
| IMIEC | 输入捕捉/比较匹配中断允许C | | | | | | | R/W |
| 0 | 禁止通过IMFC位的中断(IMIC) | | | | | | | R/W |
| 1 | 允许通过IMFC位的中断(IMIC) | | | | | | | |
| | | | | | | | | |
| IMIEB | 输入捕捉/比较匹配中断允许B | | | | | | | R/W |
| 0 | 禁止通过IMFB位的中断(IMIB) | | | | | | | R/W |
| 1 | 允许通过IMFB位的中断(IMIB) | | | | | | | |
| | | | | | | | | |
| IMIEA | 输入捕捉/比较匹配中断允许A | | | | | | | R/W |
| 0 | 禁止通过IMFA位的中断(IMIA) | | | | | | | R/W |
| 1 | 允许通过IMFA位的中断(IMIA) | | | | | | | |

注 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如需读取初始值，在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

8.2.16 定时器 RD PWM 功能输出电平控制寄存器 i (TRDPOCRi) (i = 0 或 1)

仅在 PWM 功能中才允许设置 TRDPOCRi 寄存器。当不在 PWM 功能中时禁止设置这些寄存器。

图 8 - 27 定时器 RD PWM 功能输出电平控制寄存器 i (TRDPOCRi) (i = 0 或 1) 的格式
[PWM 功能]

地址： F0275H (TRDPOCR0)、 F0285H (TRDPOCR1)

复位后： 00H ^注

| | | | | | | | | |
|----------|-----------------|---|---|---|---|------|------|------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDPOCRi | — | — | — | — | — | POLD | POLC | POLB |
| | | | | | | | | |
| 位7至3 | 没有任何配置 | | | | | | R/W | |
| — | 写入值必须为0。读取值为0。 | | | | | | R | |
| | | | | | | | | |
| POLD | PWM功能输出电平控制D | | | | | | R/W | |
| 0 | TRDIODi输出电平为低有效 | | | | | | R/W | |
| 1 | TRDIODi输出电平为高有效 | | | | | | | |
| | | | | | | | | |
| POLC | PWM功能输出电平控制C | | | | | | R/W | |
| 0 | TRDIOCi输出电平为低有效 | | | | | | R/W | |
| 1 | TRDIOCi输出电平为高有效 | | | | | | | |
| | | | | | | | | |
| POLB | PWM功能输出电平控制B | | | | | | R/W | |
| 0 | TRDIOBi输出电平为低有效 | | | | | | R/W | |
| 1 | TRDIOBi输出电平为高有效 | | | | | | | |

注 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如需读取初始值，在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

8.2.17 定时器 RD 计数器 i (TRDi) (i = 0 或 1)

[定时器模式]

以 16 位为单位存取 TRDi 寄存器。不要以 8 位为单位存取该寄存器。

[复位同步 PWM 模式和 PWM3 模式]

以 16 位为单位存取 TRD0 寄存器。不要以 8 位为单位存取该寄存器。在复位同步 PWM 模式和 PWM3 模式下不使用 TRD1 寄存器。

[互补 PWM 模式 (TRD0)]

以 16 位为单位存取 TRD0 寄存器。不要以 8 位为单位存取该寄存器。

[互补 PWM 模式 (TRD1)]

以 16 位为单位存取 TRD1 寄存器。不要以 8 位为单位存取该寄存器。

图 8 - 28 定时器 RD 计数器 i (TRDi) (i = 0 或 1) [定时器模式] 的格式

地址: F0276H (TRD0)、F0286H (TRD1)

复位后: 0000H 注

| | | | | | | | | | | | | | | | | |
|-----------|---|----|----|----|----|----|---|---|---|---|---|-------------|------|-----|---|---|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDi | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | | | | | | | | | | | | | | | | |
| | — | 功能 | | | | | | | | | | | 设置范围 | R/W | | |
| 位 15至0 | 计数计数源。计数工作递增。 当发生溢出时，TRDSRi寄存器的OVF位会置为1。 | | | | | | | | | | | 0000H至FFFFH | R/W | | | |

注 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

图 8 - 29 定时器 RD 计数器 i (TRDi) (i = 0 或 1) [复位同步 PWM 模式和 PWM3 模式] 的格式

地址: F0276H (TRD0)、F0286H (TRD1)

复位后: 0000H 注

| | | | | | | | | | | | | | | | | |
|-----------|---|----|----|----|----|----|---|---|---|---|---|-------------|------|-----|---|---|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDi | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| | | | | | | | | | | | | | | | | |
| | — | 功能 | | | | | | | | | | | 设置范围 | R/W | | |
| 位 15至0 | 计数计数源。计数工作递增。 当发生溢出时，TRDSR0寄存器的OVF位会置为1。 | | | | | | | | | | | 0000H至FFFFH | R/W | | | |

注 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

图 8 - 30 定时器RD 计数器*i* (TRDi) (*i* = 0 或 1) [互补 PWM 模式 (TRD0)] 的格式

地址: F0276H (TRD0)、F0286H (TRD1)

复位后: 0000H 注

| | | | | | | | | | | | | | | | | |
|-----------|---|----|----|----|----|----|---|---|---|---|---|---|-------------|-----|---|---|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDi | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| — | 功能 | | | | | | | | | | | | 设置范围 | R/W | | |
| 位 15至0 | 必须设置防止短路时间。 计数计数源。计数工作递增或递减。 当发生溢出时， TRDSR0 寄存器的OVF 位会置为 1。 | | | | | | | | | | | | 0001H至FFFFH | R/W | | |

注 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如需读取初始值，在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

图 8 - 31 定时器RD 计数器*i* (TRDi) (*i* = 0 或 1) [互补 PWM 模式 (TRD1)] 的格式

地址: F0276H (TRD0)、F0286H (TRD1)

复位后: 0000H 注

| | | | | | | | | | | | | | | | | |
|-----------|--|----|----|----|----|----|---|---|---|---|---|---|-------------|-----|---|---|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDi | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| — | 功能 | | | | | | | | | | | | 设置范围 | R/W | | |
| 位 15至0 | 设置为 0000H。 计数计数源。计数工作递增或递减。 当发生溢出时， TRDSR1 寄存器的UDF 位会置为 1。 | | | | | | | | | | | | 0000H至FFFFH | R/W | | |

注 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如需读取初始值，在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

8.2.18 定时器 RD 通用寄存器 Ai、Bi、Ci 和 Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi) (i = 0 或 1) [输入捕捉功能]

以 16 位为单位存取 TRDGRAi 至 TRDGRDi 寄存器。不要以 8 位为单位存取这些寄存器。

输入捕捉功能中以下的寄存器无效：

TRDOER1、TRDOER2、TRDOCR、TRDPOCR0 和 TRDPOCR1

当不使用数字滤波器时 (TRDDFi 寄存器中的 DFj 位为 0)，将施加于 TRDIOji 引脚的输入捕捉信号的脉冲宽度设为定时器 RD 工作时钟 (fCLK) 的三个或更多周期。

[输出比较功能]

以 16 位为单位存取 TRDGRAi 至 TRDGRDi 寄存器。不要以 8 位为单位存取这些寄存器。

输出比较功能中以下的寄存器无效：

TRDDF0、TRDDF1、TRDPOCR0 和 TRDPOCR1

[PWM 功能]

以 16 位为单位存取 TRDGRAi 至 TRDGRDi 寄存器。不要以 8 位为单位存取这些寄存器。

PWM 功能中以下的寄存器无效：

TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDIORA1 和 TRDIORC1

[复位同步 PWM 模式]

以 16 位为单位存取 TRDGRAi 至 TRDGRDi 寄存器。不要以 8 位为单位存取这些寄存器。

复位同步 PWM 模式中以下的寄存器无效：

TRDPMR、TRDOCR 注、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1 和 TRDPOCR1

注 在复位同步 PWM 模式和互补 PWM 模式下，TRDOCR 寄存器中的 TOC0 位被启用为 TRDIORC0 的初始输出设置。

[互补 PWM 模式]

以 16 位为单位存取 TRDGRAi 至 TRDGRDi 寄存器。不要以 8 位为单位存取这些寄存器。

互补 PWM 模式下不使用 TRDGRC0 寄存器。

互补 PWM 模式中以下的寄存器无效：

TRDPMR、TRDOCR 注、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1 和 TRDPOCR1

注 在复位同步 PWM 模式和互补 PWM 模式下，TRDOCR 寄存器中的 TOC0 位被启用为 TRDIORC0 的初始输出设置。

由于在计数操作开始后无法将值直接写入 TRDGRB0、TRDGRA1 或 TRDGRB1 寄存器（禁止项目），因此将 TRDGRD0、TRDGRC1 或 TRDGRD1 寄存器用作缓冲寄存器。

然而，要将数据写入 TRDGRD0、TRDGRC1 或 TRDGRD1 寄存器，则须将 TRDBFD0、TRDBFC1 和 TRDBFD1 位设置为 0（通用寄存器）。之后，TRDBFD0、TRDBFC1 和 TRDBFD1 可以设置为 1（缓冲寄存器）。

[PWM3 模式]

以 16 位为单位存取 TRDGRAi 至 TRDGRDi 寄存器。不要以 8 位为单位存取这些寄存器。

PWM3 模式中以下的寄存器无效：

TRDPMR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1 和 TRDPOCR1

PWM3 模式下，不使用 TRDGRC0、TRDGRC1、TRDGRD0 和 TRDGRD1 寄存器。要将这些寄存器当作缓冲寄存器来使用时，设置 TRDBFC0、TRDBFC1、TRDBFD0 和 TRDBFD1 位为 0（通用寄存器），向 TRDGRC0、TRDGRC1、TRDGRD0 或 TRDGRD1 寄存器写入一个值。之后，TRDBFC0、TRDBFC1、TRDBFD0 和 TRDBFD1 可能设置为 1（缓冲寄存器）。

图 8 - 32 定时器 RD 通用寄存器 Ai、Bi、Ci 和 Di（TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi）的格式
(i = 0 或 1) 【输入捕捉功能】

地址：F0278H (TRDGRA0)、F027AH (TRDGRB0)， 复位后：FFFFH 注
FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
F0288H (TRDGRA1), F028AH (TRDGRB1),
FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| TRDGRAi | | | | | | | | | | | | | | | | |
| TRDGRBi | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| TRDGRCi | | | | | | | | | | | | | | | | |
| TRDGRDi | | | | | | | | | | | | | | | | |

| | | |
|-------------|-----------------------------------|-----|
| — | 功能 | R/W |
| 位 15 至 0 | 参阅表 8 - 3 输入捕捉功能中的 TRDGRji 寄存器功能。 | R/W |

注 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如需读取初始值，在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

表 8 - 3 输入捕捉功能中的 TRDGRji 寄存器功能

| 寄存器 | 设置 | 寄存器功能 | 输入 - 捕捉输入引脚 |
|---------|-------------|--|-------------|
| TRDGRAi | — | 通用寄存器。TRDi 寄存器的值可以在输入捕捉时读取。 | TRDIOAi |
| TRDGRBi | | | TRDIOBi |
| TRDGRCi | TRDBFCi = 0 | 通用寄存器。TRDi 寄存器的值可以在输入捕捉时读取。 | TRDIOCi |
| TRDGRDi | TRDBFDi = 0 | | TRDIODi |
| TRDGRCi | TRDBFCi = 1 | 缓冲寄存器。TRDi 寄存器的值可以在输入捕捉时读取（参阅 8.3.1 (2) 缓冲操作）。 | TRDIOAi |
| TRDGRDi | TRDBFDi = 1 | | TRDIOBi |

备注 i = 0 或 1, j = A、B、C 或 D
TRDBFCi、TRDBFDi: TRDMR 寄存器中的位

图 8 - 33 定时器 RD 通用寄存器 Ai、Bi、Ci 和 Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi) 的格式
(i = 0 或 1) [输出比较功能]

地址: F0278H (TRDGRA0)、F027AH (TRDGRB0), 复位后: FFFFH 注
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| TRDGRAi | | | | | | | | | | | | | | | | |
| TRDGRBi | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| TRDGRCi | | | | | | | | | | | | | | | | |
| TRDGRDi | | | | | | | | | | | | | | | | |

| | | | | | | | | | | | | | | | | |
|-----------|-----------------------------------|--|--|--|--|--|--|--|--|--|--|--|--|--|--|-----|
| — | 功能 | | | | | | | | | | | | | | | R/W |
| 位 15至0 | 参阅表 8 - 4 输出比较功能中的 TRDGRji 寄存器功能。 | | | | | | | | | | | | | | | R/W |

注 当用户选项字节(000C2H)的FRQSEL4 = 1和PER1寄存器的TRD0EN = 0时, 复位后的值变为不定。如需读取初始值, 在读取之前设置fCLK至fIH且TRD0EN = 1。

表 8 - 4 输出比较功能中的 TRDGRji 寄存器功能

| 寄存器 | 设置 | | 寄存器功能 | 输出 - 比较输出引脚 |
|---------|---------|------|--|-------------|
| | TRDBFji | IOj3 | | |
| TRDGRAi | — | — | 通用寄存器。写入比较值。 | TRDIOAi |
| TRDGRBi | | | | TRDIOBi |
| TRDGRCi | 0 | 1 | 通用寄存器。写入比较值。 | TRDIOCi |
| TRDGRDi | | | | TRDIODi |
| TRDGRCi | 1 | 1 | 缓冲寄存器。写入下一个比较值 (参阅 8.3.1 (2) 缓冲操作)。 | TRDIOAi |
| TRDGRDi | | | | TRDIOBi |
| TRDGRCi | 0 | 0 | TRDIOAi 输出控制 | TRDIOAi |
| TRDGRDi | | | TRDIOBi 输出控制 | TRDIOBi |

注意事项 当 TRDCRi 寄存器中的 TCK2 至 TCK0 位为 000B (fCLK、fHOCO) 且比较值被设置为 0000H 时, 仅在计数开始后, 立即只产生一次至事件链接控制器(ELC)的请求信号。当比较值为 0001H 或更大值时, 每次发生比较匹配时都产生一个请求信号。

备注 i = 0 或 1, j = A、B、C 或 D
 TRDBFji: TRDMR 寄存器中的位, IOj3: TRDIORCi 寄存器中的位

图 8 - 34 定时器 RD 通用寄存器 Ai、Bi、Ci 和 Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi) 的格式
(i = 0 或 1) [PWM 模式]

地址: F0278H (TRDGRA0)、F027AH (TRDGRB0), 复位后: FFFFH 注
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| TRDGRAi | | | | | | | | | | | | | | | | |
| TRDGRBi | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| TRDGRCi | | | | | | | | | | | | | | | | |
| TRDGRDi | | | | | | | | | | | | | | | | |

| | | | | | | | | | | | | | | | | |
|-----------|-----------------------------------|--|--|--|--|--|--|--|--|--|--|--|--|--|--|-----|
| — | 功能 | | | | | | | | | | | | | | | R/W |
| 位 15至0 | 参阅表 8 - 5 PWM 功能中的 TRDGRji 寄存器功能。 | | | | | | | | | | | | | | | R/W |

注 当用户选项字节(000C2H)的FRQSEL4 = 1和PER1寄存器的TRD0EN = 0时, 复位后的值变为不定。如需读取初始值, 在读取之前设置fCLK至fIH且TRD0EN = 1。

表 8 - 5 PWM 功能中的 TRDGRji 寄存器功能

| 寄存器 | 设置 | 寄存器功能 | PWM 输出引脚 |
|---------|-------------|---|----------|
| TRDGRAi | — | 通用寄存器。设置 PWM 周期。 | — |
| TRDGRBi | — | 通用寄存器。设置 PWM 输出的变更点。 | TRDIOBi |
| TRDGRCi | TRDBFCi = 0 | 通用寄存器。设置 PWM 输出的变更点。 | TRDIOCi |
| TRDGRDi | TRDBFDi = 0 | | TRDIODi |
| TRDGRCi | TRDBFCi = 1 | 缓冲寄存器。设置下一个 PWM 周期 (参阅 8.3.1 (2) 缓冲操作)。 | — |
| TRDGRDi | TRDBFDi = 1 | 缓冲寄存器。设置下一个 PWM 输出的变更点。 (参阅 8.3.1 (2) 缓冲操作)。 | TRDIOBi |

注意事项 当 TRDCRi 寄存器中的 TCK2 至 TCK0 位为 000B (fCLK、fHOCO) 且比较值被设置为 0000H 时, 仅在计数开始后, 立即只产生一次至事件链接控制器(ELC)的请求信号。当比较值为 0001H 或更大值时, 每次发生比较匹配时都产生一个请求信号。

备注 i = 0 或 1, j = A、B、C 或 D
 TRDBFCi、TRDBFDi: TRDMR 寄存器中的位

图 8 - 35 定时器 RD 通用寄存器 Ai、Bi、Ci 和 Di (TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi) 的格式
(i = 0 或 1) [复位同步 PWM 模式]

地址: F0278H (TRDGRA0)、F027AH (TRDGRB0), 复位后: FFFFH 注
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| TRDGRAi | | | | | | | | | | | | | | | | |
| TRDGRBi | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| TRDGRCi | | | | | | | | | | | | | | | | |
| TRDGRDi | | | | | | | | | | | | | | | | |

| | | |
|-----------|--|-----|
| — | 功能 | R/W |
| 位 15至0 | 参阅表 8 - 6 复位同步 PWM 模式下的 TRDGRji 寄存器功能。 | R/W |

注 当用户选项字节(000C2H)的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时, 复位后的值变为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

表 8 - 6 复位同步 PWM 模式下的 TRDGRji 寄存器功能

| 寄存器 | 设置 | 寄存器功能 | PWM 输出引脚 |
|---------|-------------|--|-----------------------------|
| TRDGRA0 | — | 通用寄存器。设置 PWM 周期。 | (TRDIOC0, 每个 PWM 周期输出翻转) |
| TRDGRB0 | — | 通用寄存器。设置 PWM1 输出的变更点。 | TRDIOB0 TRDIOD0 |
| TRDGRC0 | TRDBFC0 = 0 | (复位同步 PWM 模式下不使用。) | — |
| TRDGRD0 | TRDBFD0 = 0 | | |
| TRDGRA1 | — | 通用寄存器。设置 PWM2 输出的变更点。 | TRDIOA1 TRDIOC1 |
| TRDGRB1 | — | 通用寄存器。设置 PWM3 输出的变更点。 | TRDIOB1 TRDIOD1 |
| TRDGRC1 | TRDBFC1 = 0 | (复位同步 PWM 模式下不使用。) | — |
| TRDGRD1 | TRDBFD1 = 0 | | |
| TRDGRC0 | TRDBFC0 = 1 | 缓冲寄存器。设置下一个 PWM 周期 (参阅 8.3.1 (2) 缓冲操作)。 | (TRDIOC0, 每个 PWM 周期输出翻转) |
| TRDGRD0 | TRDBFD0 = 1 | 缓冲寄存器。设置下一个 PWM1 的变更点 (参阅 8.3.1 (2) 缓冲操作)。 | TRDIOB0 TRDIOD0 |
| TRDGRC1 | TRDBFC1 = 1 | 缓冲寄存器。设置下一个 PWM2 的变更点 (参阅 8.3.1 (2) 缓冲操作)。 | TRDIOA1 TRDIOC1 |
| TRDGRD1 | TRDBFD1 = 1 | 缓冲寄存器。设置下一个 PWM3 的变更点。 (参阅 8.3.1 (2) 缓冲操作)。 | TRDIOB1 TRDIOD1 |

注意事项 当 TRDCR0 寄存器中的 TCK2 至 TCK0 位为 000B (fCLK、fHOCO) 且比较值被设置为 0000H 时, 仅在计数开始后, 立即只产生一次至事件链接控制器(ELC)的请求信号。当比较值为 0001H 或更大值时, 每次发生比较匹配时都产生一个请求信号。

备注 i = 0 或 1, j = A、B、C 或 D
 TRDBFC0、TRDBFD0、TRDBFC1、TRDBFD1: TRDMR 寄存器中的位

图 8 - 36 定时器RD通用寄存器Ai、Bi、Ci和Di（TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi）的格式
(i = 0或1) [互补PWM模式]

地址: F0278H (TRDGRA0)、F027AH (TRDGRB0), 复位后: FFFFH 注
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| TRDGRAi | | | | | | | | | | | | | | | | |
| TRDGRBi | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| TRDGRCi | | | | | | | | | | | | | | | | |
| TRDGRDi | | | | | | | | | | | | | | | | |

| | | |
|-----------|----------------------------------|-----|
| — | 功能 | R/W |
| 位 15至0 | 参阅表 8 - 7 互补PWM模式下的TRDGRji寄存器功能。 | R/W |

注 当用户选项字节(000C2H)的FRQSEL4 = 1和PER1寄存器的TRD0EN = 0时，复位后的值变为不定。如需读取初始值，在读取之前设置fCLK至fIH且TRD0EN = 1。

表 8-7 互补 PWM 模式下的 TRDGRji 寄存器功能

| 寄存器 | 设置 | 寄存器功能 | PWM 输出引脚 |
|---------|-------------|---|-----------------------------|
| TRDGRA0 | — | 通用寄存器。初始设置时设置 PWM 周期。 设置范围: \geq TRD0 寄存器的设置值 \leq FFFFh - TRD0 寄存器的设置值 当 TRDSTR 寄存器中的位 TSTART0 和 TSTART1 设置为 1 时, 不要向该寄存器写入 (开始计数)。 | (TRDIOC0, 每半个周期 输出翻转) |
| TRDGRB0 | — | 通用寄存器。初始设置时设置 PWM1 输出的变更点。 设置范围: \geq TRD0 寄存器的设置值 \leq TRDGRA0 寄存器的设置值 - TRD0 寄存器的设置值 当 TRDSTR 寄存器中的位 TSTART0 和 TSTART1 设置为 1 时, 不要向该寄存器写入 (开始计数)。 | TRDIOB0 TRDIOD0 |
| TRDGRA1 | — | 通用寄存器。初始设置时设置 PWM2 输出的变更点。 设置范围: \geq TRD0 寄存器的设置值 \leq TRDGRA0 寄存器的设置值 - TRD0 寄存器的设置值 当 TRDSTR 寄存器中的位 TSTART0 和 TSTART1 设置为 1 时, 不要向该寄存器写入 (开始计数)。 | TRDIOA1 TRDIOC1 |
| TRDGRB1 | — | 通用寄存器。初始设置时设置 PWM3 输出的变更点。 设置范围: \geq TRD0 寄存器的设置值 \leq TRDGRA0 寄存器的设置值 - TRD0 寄存器的设置值 当 TRDSTR 寄存器中的位 TSTART0 和 TSTART1 设置为 1 时, 不要向该寄存器写入 (开始计数)。 | TRDIOB1 TRDIOD1 |
| TRDGRC0 | — | (互补 PWM 模式下不使用。) | — |
| TRDGRD0 | TRDBFD0 = 1 | 缓冲寄存器。设置下一个 PWM1 输出的变更点 (参阅 8.3.1 (2) 缓冲操作)。 设置范围: \geq TRD0 寄存器的设置值 \leq TRDGRA0 寄存器的设置值 - TRD0 寄存器的设置值 将该寄存器设置为与用于初始化的 TRDGRB0 寄存器相同的值。 | TRDIOB0 TRDIOD0 |
| TRDGRC1 | TRDBFC1 = 1 | 缓冲寄存器。设置下一个 PWM2 输出的变更点 (参阅 8.3.1 (2) 缓冲操作)。 设置范围: \geq TRD0 寄存器的设置值 \leq TRDGRA0 寄存器的设置值 - TRD0 寄存器的设置值 将该寄存器设置为与用于初始化的 TRDGRA1 寄存器相同的值。 | TRDIOA1 TRDIOC1 |
| TRDGRD1 | TRDBFD1 = 1 | 缓冲寄存器。设置下一个 PWM3 输出的变更点 (参阅 8.3.1 (2) 缓冲操作)。 设置范围: \geq TRD0 寄存器的设置值 \leq TRDGRA0 寄存器的设置值 - TRD0 寄存器的设置值 将该寄存器设置为与用于初始化的 TRDGRB1 寄存器相同的值。 | TRDIOB1 TRDIOD1 |

注意事项 当 TRDCRi 寄存器中的 TCK2 至 TCK0 位为 000B (fCLK、fHoco) 且比较值被设置为 0000H 时, 仅在计数开始后, 立即只产生一次至事件链接控制器(ELC)的请求信号。当比较值为 0001H 或更大值时, 每次发生比较匹配时都产生一个请求信号。

备注 i = 0 或 1, j = A、B、C 或 D
TRDBFD0、TRDBFC1、TRDBFD1: TRDMR 寄存器中的位

图 8 - 37 定时器RD通用寄存器Ai、Bi、Ci和Di（TRDGRAi、TRDGRBi、TRDGRCi、TRDGRDi）的格式
(i = 0或1) [PWM3模式]

地址: F0278H (TRDGRA0)、F027AH (TRDGRB0), 复位后: FFFFH 注
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

| | | | | | | | | | | | | | | | | |
|---------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TRDGRAi | | | | | | | | | | | | | | | | |
| TRDGRBi | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — | — |
| TRDGRCi | | | | | | | | | | | | | | | | |
| TRDGRDi | | | | | | | | | | | | | | | | |

| | | |
|----------|------------------------------------|-----|
| — | 功能 | R/W |
| 位 15 至 0 | 参阅表 8 - 8 PWM3 模式中的 TRDGRji 寄存器功能。 | R/W |

注 当用户选项字节 (000C2H) 的 FRQSEL4 = 1 和 PER1 寄存器的 TRD0EN = 0 时，复位后的值变为不定。如需读取初始值，在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

表 8 - 8 PWM3模式中的TRDGRji寄存器功能

| 寄存器 | 设置 | 寄存器功能 | PWM输出引脚 |
|---------|-------------|---|---------|
| TRDGRA0 | — | 通用寄存器。设置PWM周期。 设置范围: \geq TRDGRA1寄存器的设置值 | TRDIOA0 |
| TRDGRA1 | | 通用寄存器。设置PWM输出的变更点 (有效电平时序) 设置范围: \leq TRDGRA0寄存器的设置值 | |
| TRDGRB0 | | 通用寄存器。设置PWM输出的变更点 (返回到初始输出电平的时序)。 设置范围: \geq TRDGRB1寄存器的设置值且 \leq TRDGRA0寄存器的设置值 | TRDIOB0 |
| TRDGRB1 | | 通用寄存器。设置PWM输出的变更点 (有效电平时序) 设置范围: \leq TRDGRB0寄存器的设置值 | |
| TRDGRC0 | TRDBFC0 = 0 | (PWM3模式下不使用。) | — |
| TRDGRC1 | TRDBFC1 = 0 | | |
| TRDGRD0 | TRDBFD0 = 0 | | |
| TRDGRD1 | TRDBFD1 = 0 | | |
| TRDGRC0 | TRDBFC0 = 1 | 缓冲寄存器。设置下一个PWM周期 (参阅8.3.1 (2) 缓冲操作)。 设置范围: \leq TRDGRC1寄存器的设置值 | TRDIOA0 |
| TRDGRC1 | TRDBFC1 = 1 | 缓冲寄存器。设置下一个PWM输出的变更点 (参阅8.3.1 (2) 缓冲操作)。 设置范围: \leq TRDGRC0寄存器的设置值 | |
| TRDGRD0 | TRDBFD0 = 1 | 缓冲寄存器。设置下一个PWM输出的变更点 (参阅8.3.1 (2) 缓冲操作)。 设置范围: \geq TRDGRD1寄存器的设置值且 \leq TRDGRC0寄存器的设置值 | TRDIOB0 |
| TRDGRD1 | TRDBFD1 = 1 | 缓冲寄存器。设置下一个PWM输出的变更点 (参阅8.3.1 (2) 缓冲操作)。 设置范围: \leq TRDGRD0寄存器的设置值 | |

注意事项 当TRDCR0寄存器中的TCK2至TCK0位为000B (fCLK、fHOCO) 且比较值被设置为0000H时, 仅在计数开始后, 立即只产生一次至事件链接控制器(ELC)的请求信号。当比较值为0001H或更大值时, 每次发生比较匹配时都产生一个请求信号。

备注 i = 0或1, j = A、B、C或D
TRDBFC0、TRDBFD0、TRDBFC1、TRDBFD1: TRDMR寄存器中的位

8.2.19 端口模式寄存器 1 (PM1)

该寄存器以1位为单位设置端口1的输入/输出。

在将与定时器输出引脚共用的端口（如P10/TRDIOD1、P11/TRDIOC1等）用作定时器输出时，须将对应于各端口的端口模式寄存器(PMxx)位和端口寄存器(Pxx)位设为0。

示例 当将P10/TRDIOD1用作定时器输出时
 将端口模式寄存器1的PM10位设为0。
 将端口寄存器1的P10位设为0。

在将与定时器输入引脚共用的端口（如P10/TRDIOD1、P11/TRDIOC1等）用作定时器输入时，须将对应于各端口的端口模式寄存器(PMxx)位设为1。此时，端口寄存器(Pxx)位可以是0或1。

示例 当将P10/TRDIOD1用作定时器输入时
 将端口模式寄存器1的PM10位设为1。
 将端口寄存器1的P10位设为0或1。

使用1位或8位存储器操作指令设置PM1寄存器。
产生复位信号后，该寄存器被设置为FFH。

图 8 - 38 端口模式寄存器 1 (PM1)的格式（100引脚产品）

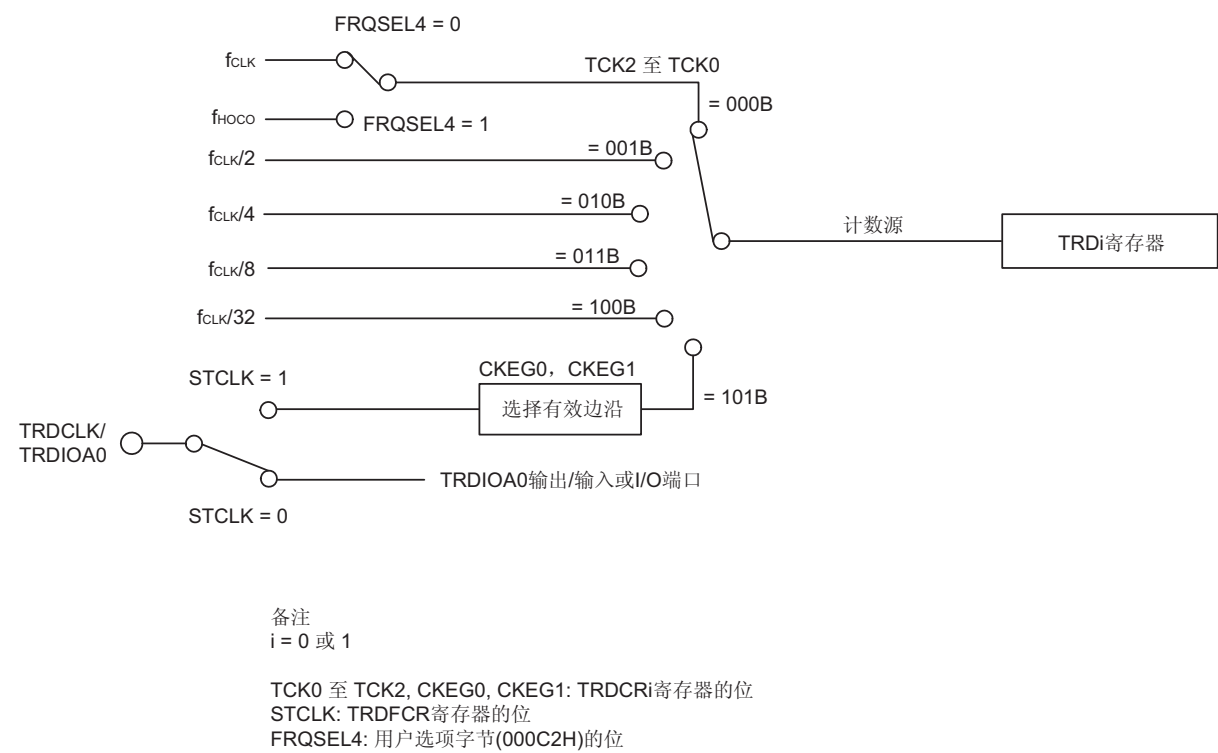
| | | | | | | | | |
|------------|----------|---------------------------------|------|------|------|------|------|------|
| 地址: FFF21H | 复位后: FFH | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PM1 | PM17 | PM16 | PM15 | PM14 | PM13 | PM12 | PM11 | PM10 |
| | | | | | | | | |
| PMmn | | Pmn引脚的输入/输出模式选择（m = 1; n = 0至7） | | | | | | |
| 0 | | 输出模式（输出缓冲器启用） | | | | | | |
| 1 | | 输入模式（输出缓冲器关闭） | | | | | | |

8.3 操作

8.3.1 多种模式共有的项目

- (1) 计数源
- 所有模式下的计数源选择方法均相同。但是，在PWM3模式下不能选择外接时钟。
- 表 8 - 9 计数源的选择
- | 计数源 | 选择 |
|---|---|
| fCLK、fHOCO 注、fCLK/2、fCLK/4、fCLK/8、fCLK/32 | 通过 TRDCRi 寄存器的 TCK2 至 TCK0 位可选择计数源。 |
| 输入到 TRDCLK 引脚的外部信号 | 将 TRDFCR 寄存器的 STCLK 位设置为 1（外接时钟输入有效）。 将 TRDCRi 寄存器的 TCK2 至 TCK0 位设置为 101B（计数源：外接时钟）。 通过 TRDCRi 寄存器中的 CKEG1 和 CKEG0 位来选择有效边沿。 复用作 TRDCLK 引脚的输入/输出端口的端口模式寄存器位被设置为 1（输入模式）。 |
- 备注i = 0 或 1
- 注当 FRQSEL4 = 0 时，选择 fCLK，当用户选项字节(000C2H)中的 FRQSEL4 = 1 时，则选择 fHOCO。在将 fHOCO 选作定时器 RD 的计数源时，在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前，要把 fCLK 设置为 fIH。在将 fCLK 更改为 fIH 以外的时钟时，要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

图 8 - 39 计数源框图



设置施加到 TRDCLK 引脚的外接时钟的脉冲宽度为三个或三个以上定时器 RD 工作时钟(fCLK)周期。

(2) 缓冲操作

通过TRDMR寄存器中的TRDBFCi和TRDBFDi位，TRDGRCi寄存器（i = 0或1）可用作TRDGRAi寄存器的缓冲寄存器，TRDGRDi寄存器可用作TRDGRBi寄存器的缓冲寄存器。

- TRDGRAi缓冲寄存器： TRDGRCi寄存器
- TRDGRBi缓冲寄存器： TRDGRDi寄存器

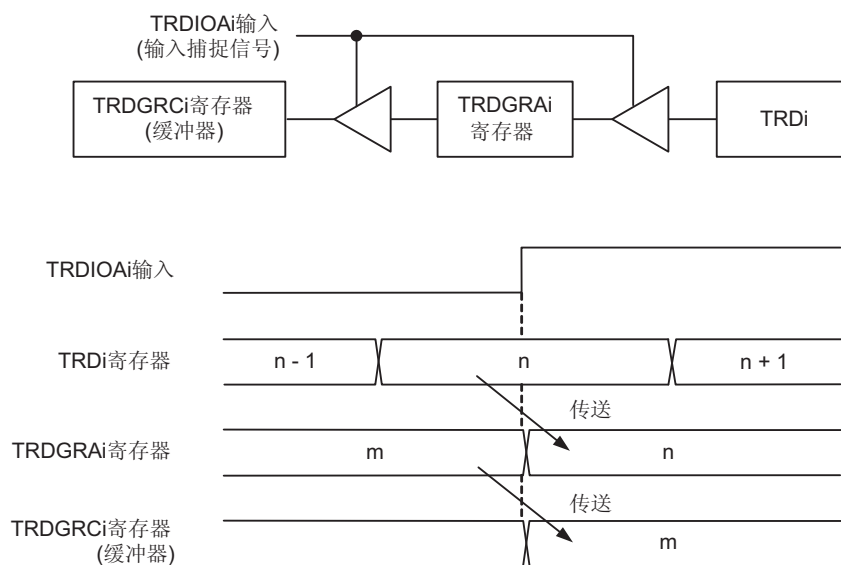
缓冲操作因模式而异。各种模式下的缓冲操作如表 8 - 10所示。

表 8 - 10 各种模式下的缓冲操作

| 功能和模式 | | 传送时序 | 传送寄存器 |
|-----------|--------|--|---|
| 定时器模式 | 输入捕捉功能 | 输入捕捉信号输入 | 向缓冲寄存器传送 TRDGRAi (TRDGRBi) 寄存器的内容 |
| | 输出比较功能 | 与 TRDi 寄存器和 TRDGRAi (TRDGRBi) 寄存器的比较匹配 | 向 TRDGRAi (TRDGRBi) 寄存器传送缓冲寄存器的内容 |
| | PWM功能 | | |
| 复位同步PWM模式 | | 与 TRD0 寄存器和 TRDGRA0 寄存器的比较匹配 | 向 TRDGRAi (TRDGRBi) 寄存器传送缓冲寄存器的内容 |
| 互补PWM模式 | | 与 TRD0 寄存器和 TRDGRA0 寄存器的比较匹配 TRD1 寄存器下溢 | 向 TRDGRB0、TRDGRA1 和 TRDGRB1 寄存器传送缓冲寄存器的内容 |
| PWM3模式 | | 与 TRD0 寄存器和 TRDGRA0 寄存器的比较匹配 | 向 TRDGRAi (TRDGRBi) 寄存器传送缓冲寄存器的内容 |

备注 i = 0或1

图 8 - 40 输入捕捉功能的缓冲操作

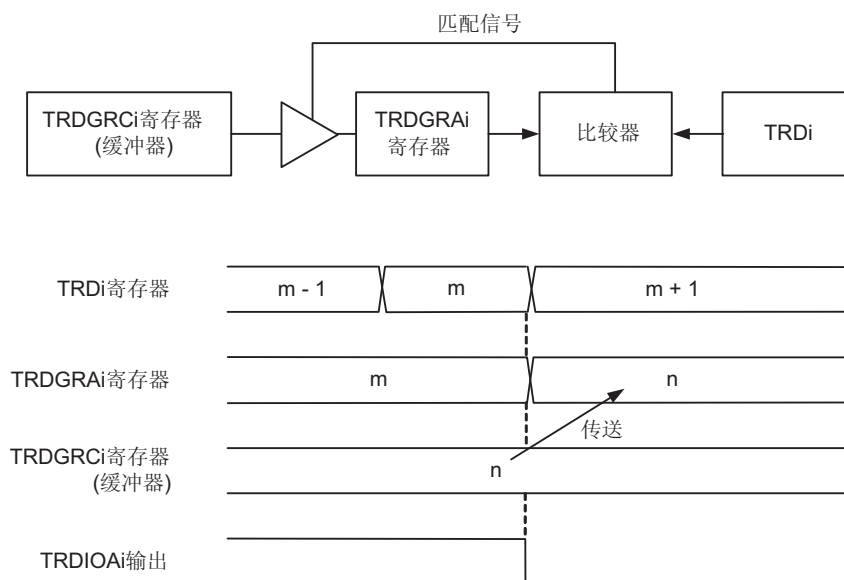


备注 i = 0 或 1

上图是在如下条件下:

- TRDMR寄存器的TRDBFCi位为1 (TRDGRCi寄存器为TRDGRAi寄存器的缓冲寄存器)
- TRDIORAi寄存器的IOA2 至 IOA0位设为100B (在上升边沿进行输入捕捉)

图 8 - 41 输出比较功能的缓冲操作



备注 i = 0 或 1

上图是在如下条件下:

- TRDMR寄存器的TRDBFCi位为1 (TRDGRCi寄存器为TRDGRAi寄存器的缓冲寄存器)
- TRDIORAi寄存器的IOA2 至 IOA0位设为001B (在上升边沿进行输入捕捉)

在定时器模式下执行以下各项（输入捕捉和输出比较功能）。

将 TRDGRCi（i = 0 或 1）寄存器用作 TRDGRAi 寄存器的缓冲寄存器时

- 将 TRDIORCi 寄存器的 IOC3 位设置为 1（通用寄存器或缓冲寄存器）。
- 将 TRDIORCi 寄存器的 IOC2 位设置为与 TRDIORAi 寄存器的 IOA2 位的相同值。

将 TRDGRDi 寄存器用作 TRDGRBi 寄存器的缓冲寄存器时

- 将 TRDIORCi 寄存器的 IOD3 位设置为 1（通用寄存器或缓冲寄存器）。
- 将 TRDIORCi 寄存器的 IOD2 位设置为与 TRDIORAi 寄存器的 IOB2 位的相同值。

在输入捕捉功能下，当 TRDGRCi 寄存器或 TRDGRDi 寄存器用作缓冲寄存器时，TRDSRi 寄存器中的 IMFC 位或 IMFD 位在 TRDIOCi 引脚或 TRDIODi 引脚的输入边沿被设置为 1。

当同时将寄存器 TRDGRCi 和 TRDGRDi 用作输出比较功能、PWM 功能、复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式的缓冲寄存器时，TRDSRi 寄存器中的 IMFC 和 IMFD 位在与 TRDi 寄存器比较匹配时被设置为 1。

(3) 同步操作

TRD1 寄存器与 TRD0 寄存器同步。

• 同步预设

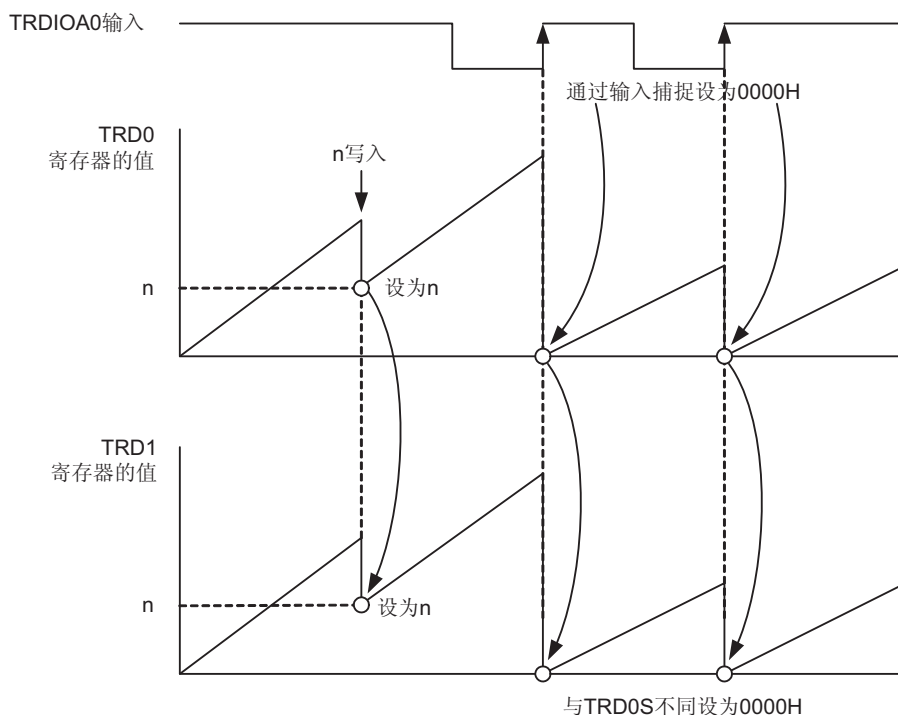
当 TRDMR 寄存器中的 TRDSYNC 位被设置为 1（同步操作）时，在写入 TRDi 寄存器之后，数据被写入 TRD0 和 TRD1 寄存器。

• 同步清除

当 TRDSYNC 位为 1 且 TRDCR0 寄存器中的 CCLR2 至 CCLR0 位为 011B 时（同步清除），TRD0 寄存器将在 TRD1 寄存器被设置为 0000H 的同时被设置为 0000H。

另外，当 TRDSYNC 位为 1 且 CCLR2 至 CCLR0 位为 011B 时（同步清除），TRD1 寄存器将在 TRD0 寄存器被设置为 0000H 的同时被设置为 0000H。

图 8 - 42 同步操作



上图是在如下条件下:

- TRDMR寄存器的TRDSYNC位为1 (同步操作)
 - TRDCR0寄存器的CCLR2 至 CCLR0位为001B (通过输入捕捉将TRD0设为0000H)
 - TRDCR1寄存器的CCLR2 至 CCLR0位为011B (与TRD0同步, 将TRD1设为0000H)
 - TRDIOA0寄存器的IOA2 至 IOA0位为100B
 - TRDFCR寄存器的CMD1 至 CMD0位为00B
 - TRDFCR寄存器的PWM3位为1
- (在TRDIOA0输入的上升边沿进行输入捕捉)

(4) 脉冲输出强行截止

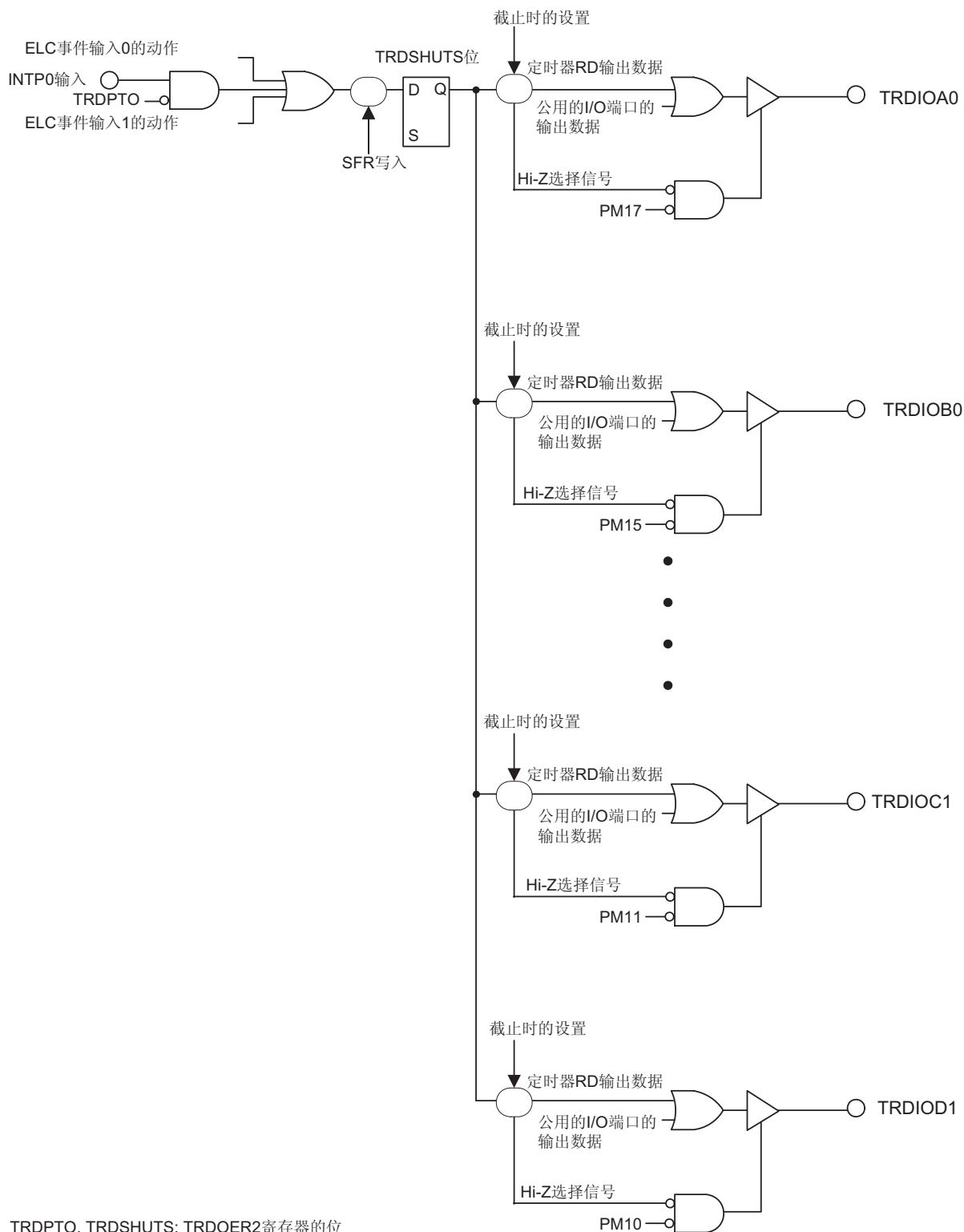
在 PWM 功能、复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式下，TRDIO_{ji} 输出引脚（ $i = 0$ 或 1 ， $j = A、B、C$ 或 D ）可由 INTP0 引脚输入强制设置为输入/输出端口，并可截止脉冲输出。

当 TRDOER1 寄存器中的对应位被设置为 0（定时器 RD 输出被启用）时，在这些功能或模式下用于输出的引脚可以用作定时器 RD 的输出引脚。当 TRDOER2 寄存器的 TRDPTO 位为 1 时（脉冲输出强行截止信号输入 INTP0 有效），用作定时器 RD 输出端口的输出引脚将输出由 TRDDF0 或 TRDDF1 寄存器中的 DFCK1、DFCK0、PENB1、PENB0、DFD、DFC、DFB 或 DFA 位设置的输出值。

要使用该功能须进行以下设置：

- 当脉冲输出被强制截止（高阻抗、低输出或高输出）时，用 TRDDFi 设置引脚状态。
- 参阅 8.3.1 (5) 从事件链接控制器(ELC)的事件输入，了解有关 ELC 事件输入脉冲强制截止的详情。
- 当脉冲输出被强制截止时，TRDOER2 寄存器中的 TRDSHUTS 位被设置为 1。要暂停脉冲输出的强行截止操作，须在停止计数期间向 TRDSHUTS 位写入 0 (TSTART_i = 0)。
- 将 TRDOER2 寄存器的 TRDPTO 位设置为 1（脉冲输出强行截止信号输入 INTP0 有效）。

图 8 - 43 脉冲输出强行截止



TRDPTO, TRDSHUTS: TRDOER2寄存器的位
PM10, PM11, PM15, PM17: PM1寄存器的位

(5) 从事件链接控制器(ELC)的事件输入

通过从 ELC 的事件输入，定时器 RD 有以下 2 种操作。

(a) 输入捕捉操作 D0/D1

定时器 RD 在 ELC 输入事件时执行输入捕捉操作 D0/D1。此时，TRDSRi 寄存器中的 IMFD 位被设置为 1。要使用该功能，在定时器模式下选择输入捕捉功能，并将 TRDELIC 寄存器中的 ELCICE0 或 ELCICE1 位设置为 1。在任何其他模式下，该功能均被禁止（定时器模式下的输出比较功能、PWM 功能、复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式时）。

(b) 脉冲输出强制截止操作注

由 ELC 的事件输入来强制截止脉冲输出。要使用该功能，须选择脉冲输出模式（PWM 功能、复位同步 PWM 模式、互补 PWM 模式或 PWM3 模式）并将 ELCOCBE0 或 ELCOCBE1 位设置为 1。对于定时器模式下的输入捕捉功能，该功能被禁止。

注 对于来自 INTPO 引脚的强制截止，脉冲输出在低输入期间被截止，但对于 ELC 事件的强制截止，来自 ELC 的单个事件输入会使脉冲输出截止一次。

[设置步骤]

(1) 设置定时器 RD 作为 ELC 事件连接的目标。

(2) 设置 TRDELIC 寄存器的 ELCICEi (i = 0 或 1) 和 ELCOCBEi (i = 0 或 1) 为 1。

(6) 向事件链接控制器(ELC)的事件输出

定时器 RD 模式和向 ELC 的事件输出如表 8 - 11 所示。

表 8 - 11 定时器 RD 模式和向 ELC 的事件输出

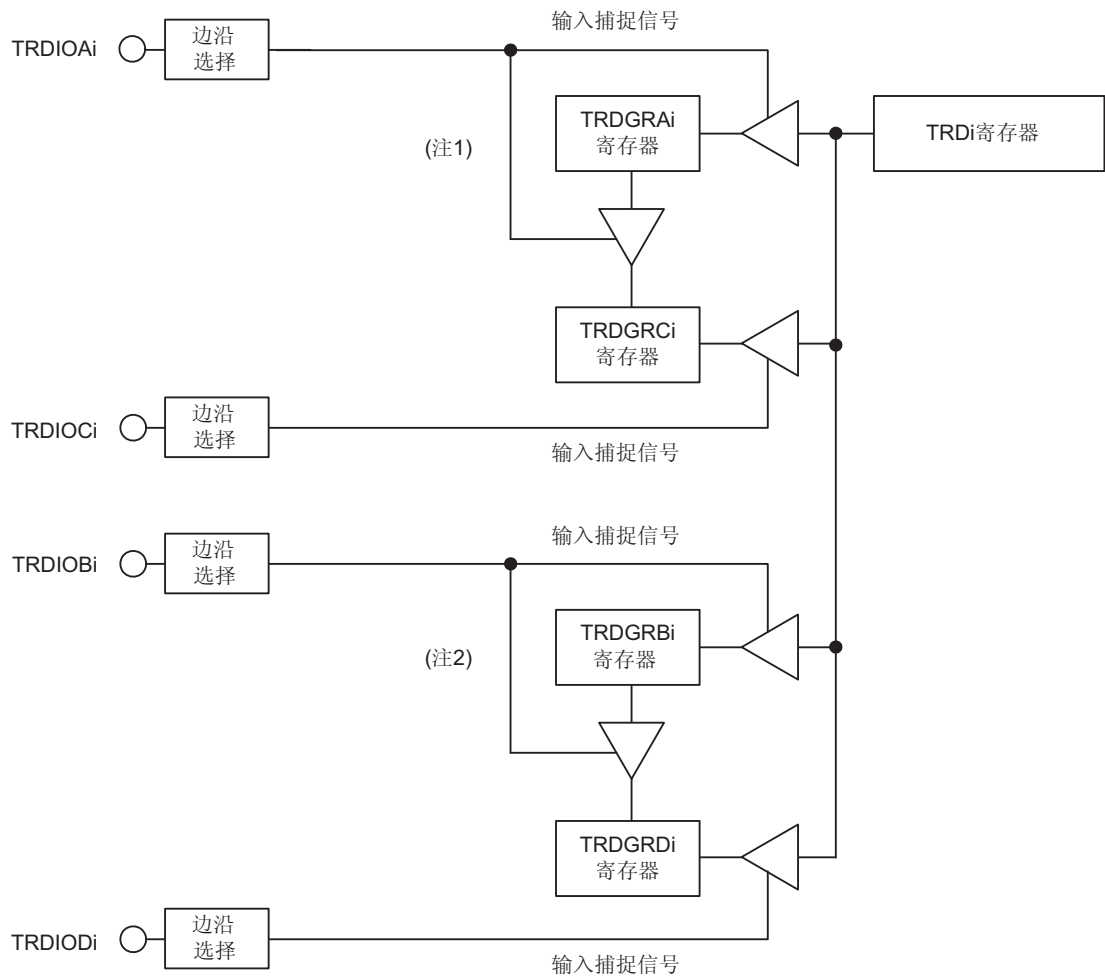
| 使用模式 | 输出源 | ELC |
|--|---|-----|
| 输入捕捉功能 | 通过 TRDIORA0 寄存器的 IOA1 和 IOA0 位设置的 TRDIOA0 的边沿检测 | 可对应 |
| | 通过 TRDIORA0 寄存器的 IOB1 和 IOB0 位设置的 TRDIOB0 的边沿检测 | 可对应 |
| | 通过 TRDIORC0 寄存器的 IOC1 和 IOC0 位设置的 TRDIOC0 的边沿检测 | 可对应 |
| | 通过 TRDIORD0 寄存器的 IOD1 和 IOD0 位设置的 TRDIOD0 的边沿检测 | 可对应 |
| | 通过 TRDIORA1 寄存器的 IOA1 和 IOA0 位设置的 TRDIOA1 的边沿检测 | 可对应 |
| | 通过 TRDIORA1 寄存器的 IOB1 和 IOB0 位设置的 TRDIOB1 的边沿检测 | 可对应 |
| | 通过 TRDIORC1 寄存器的 IOC1 和 IOC0 位设置的 TRDIOC1 的边沿检测 | 可对应 |
| | 通过 TRDIORD1 寄存器的 IOD1 和 IOD0 位设置的 TRDIOD1 的边沿检测 | 可对应 |
| 输出比较功能、PWM 功能、复位同步 PWM 模式、互补 PWM 模式和 PWM3 模式 | TRD0 寄存器与 TRDGRA0 寄存器的比较匹配 | 可对应 |
| | TRD0 寄存器与 TRDGRB0 寄存器的比较匹配 | 可对应 |
| | TRD0 寄存器与 TRDGRC0 寄存器的比较匹配 | 可对应 |
| | TRD0 寄存器与 TRDGRD0 寄存器的比较匹配 | 可对应 |
| | TRD1 寄存器与 TRDGRA1 寄存器的比较匹配 | 可对应 |
| | TRD1 寄存器与 TRDGRB1 寄存器的比较匹配 | 可对应 |
| | TRD1 寄存器与 TRDGRC1 寄存器的比较匹配 | 可对应 |
| | TRD1 寄存器与 TRDGRD1 寄存器的比较匹配 | 可对应 |
| 互补 PWM 模式 | TRD1 寄存器下溢 | 可对应 |

8.3.2 输入捕捉功能

输入捕捉功能测量外部信号宽度和周期。以TRDIOj_i引脚（i = 0或1，j = A、B、C或D）外部信号作为触发，将TRDi寄存器（计数器）的内容传送至TRDGRj_i寄存器（输入捕捉）。由于通过组合TRDIOj_i引脚和TRDGRj_i寄存器来使用该功能，因此可为各个引脚选择输入捕捉功能或任何其他模式或功能。

输入捕捉功能的框图如图 8 - 44所示，输入捕捉功能的规格如表 8 - 12所示，输入捕捉功能的操作示例如图 8 - 45所示。

图 8 - 44 输入捕捉功能的框图



备注
i = 0 或 1

- 注 1. 当TRDMR寄存器的TRDBFCi位设置为1时（TRDGRCi寄存器是TRDGRAi寄存器的缓冲寄存器）。
- 注 2. 当TRDMR寄存器的TRDBFDi位设置为1时（TRDGRDi寄存器是TRDGRBi寄存器的缓冲寄存器）。

表 8 - 12 输入捕捉功能的规格

| 项目 | 规格 |
|---|---|
| 计数源 | fHOCO 注、fCLK、fCLK/2、fCLK/4、fCLK/8、fCLK/32 输入到 TRDCLK 引脚的外部信号（通过程序选择有效沿） |
| 计数操作 | 递增 |
| 计数周期 | 当 TRDCRi 寄存器的 CCLR2 至 CCLR0 位设置为 000B（自由运行操作）。 $1/fk \times 65536$ fk: 计数源的频率 |
| 计数开始条件 | 向 TRDSTR 寄存器的 TSTARTi 位写入 1（开始计数）。 |
| 计数停止条件 | 当 TRDSTR 寄存器的 CSELi 位设置为 1 时，向 TRDSTR 寄存器的 TSTARTi 位写入 0（停止计数）。 |
| 中断请求发生时序 | <ul style="list-style-type: none"> • 输入捕捉（TRDIOji 输入的有效沿） • TRDi 寄存器溢出 |
| TRDIOA0 引脚功能 | 输入/输出端口、输入-捕捉输入或 TRDCLK（外接时钟）输入 |
| TRDIOB0、TRDIOC0、 TRDIOD0、TRDIOA1 至 TRDIOD1 引脚功能 | 输入/输出端口或输入-捕捉输入（每个引脚可分别选择） |
| INTP0 引脚功能 | 不使用（输入/输出端口或 INTP0 中断输入） |
| 从定时器读取 | 通过读取 TRDi 寄存器可读取计数值。 |
| 写入到定时器 | <ul style="list-style-type: none"> • 当 TRDMR 寄存器的 TRDSYNC 位为 0（定时器 RD0 和定时器 RD1 分别操作）时。 数据可写入 TRDi 寄存器。 • 当 TRDMR 寄存器的 TRDSYNC 位为 1（定时器 RD0 和定时器 RD1 同步操作）时。 通过写入 TRDi 寄存器，数据可写入到 TRD0 和 TRD1 寄存器。 |
| 可选择功能 | <ul style="list-style-type: none"> • 输入-捕捉输入引脚选择 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚中的一个或多个。 • 输入-捕捉输入的有效沿选择 上升沿、下降沿或上升下降沿双方 • 设置 TRDi 寄存器为 0000H 的时序。 溢出或输入捕捉 • 缓冲操作（参阅 8.3.1 (2) 缓冲操作） • 同步操作（参阅 8.3.1 (3) 同步操作） • 数字滤波器。 TRDIOji 输入被采样，当采样的输入电平匹配了三次时就被视为确定。 • 通过来自事件链接控制器(ELC)的事件输入信号的输入捕捉操作。 |

注 仅当用户选项字节(000C2H)的 FRQSEL4 = 1 时，才选择 fHOCO。在将 fHOCO 选作定时器 RD 的计数源时，在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前，要把 fCLK 设置为 fIH。在将 fCLK 更改为 fIH 以外的时钟时，要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

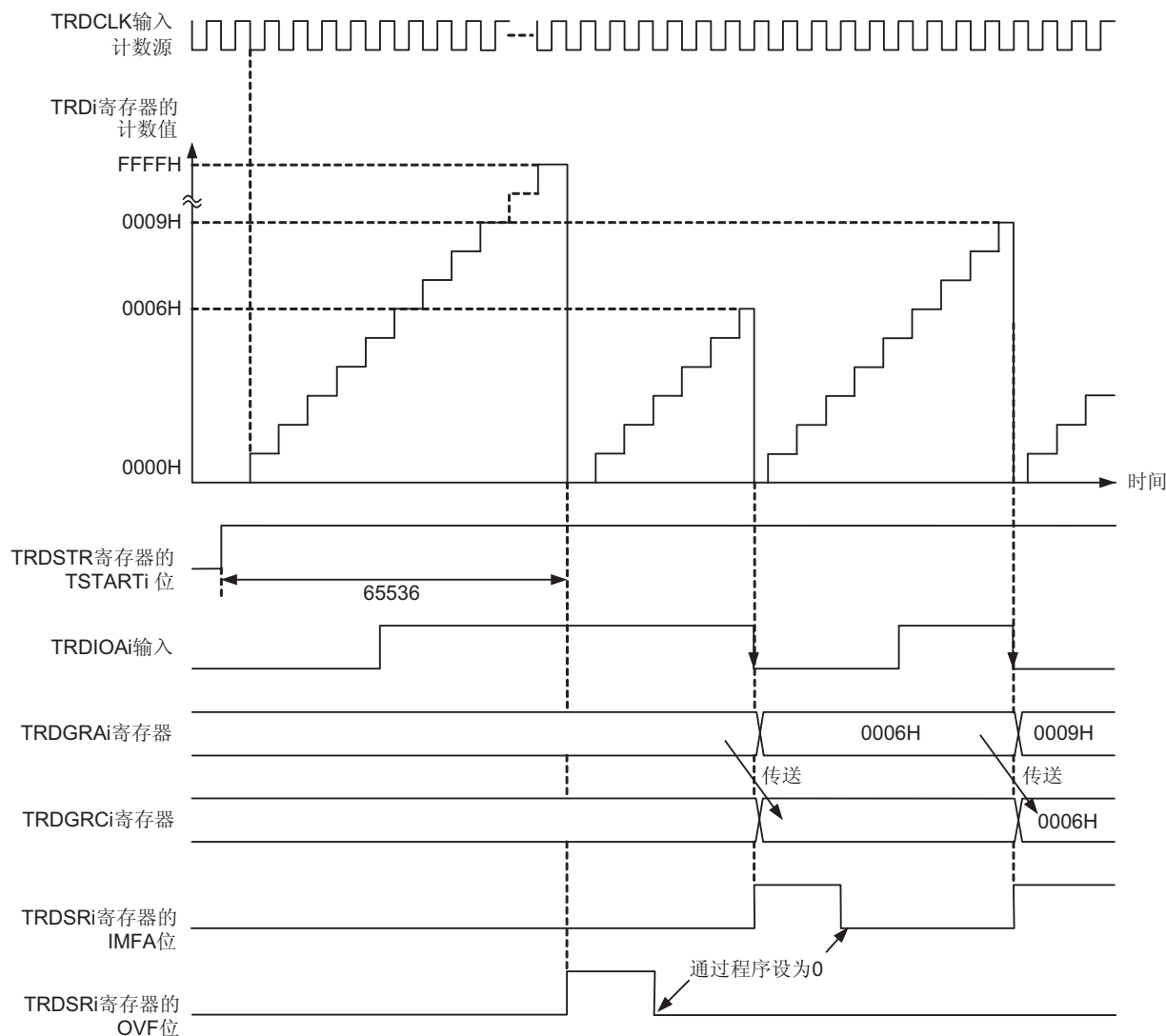
备注 i = 0 或 1, j = A、B、C 或 D

(1) 操作示例

通过设置 TRDCRi 寄存器中的 CCLR0 至 CCLR2 位 ($i = 0$ 或 1)，定时器 RD i 计数器值在输入捕捉/比较匹配时被复位。图 8 - 45 显示 CCLR2 至 CCLR0 位被设置为 001B 时的操作示例。

如果已将输入捕捉操作设置为在操作期间清除计数并在定时器计数值为 FFFFH 时执行，依据计数源与输入捕捉操作的时序，可以同时为 TRDSRi 寄存器中的 IMFA 至 IMFD 位和 OVF 位设置为 1。

图 8 - 45 输入捕捉功能的操作示例



备注
 $i = 0$ 或 1

上图是在如下条件下:

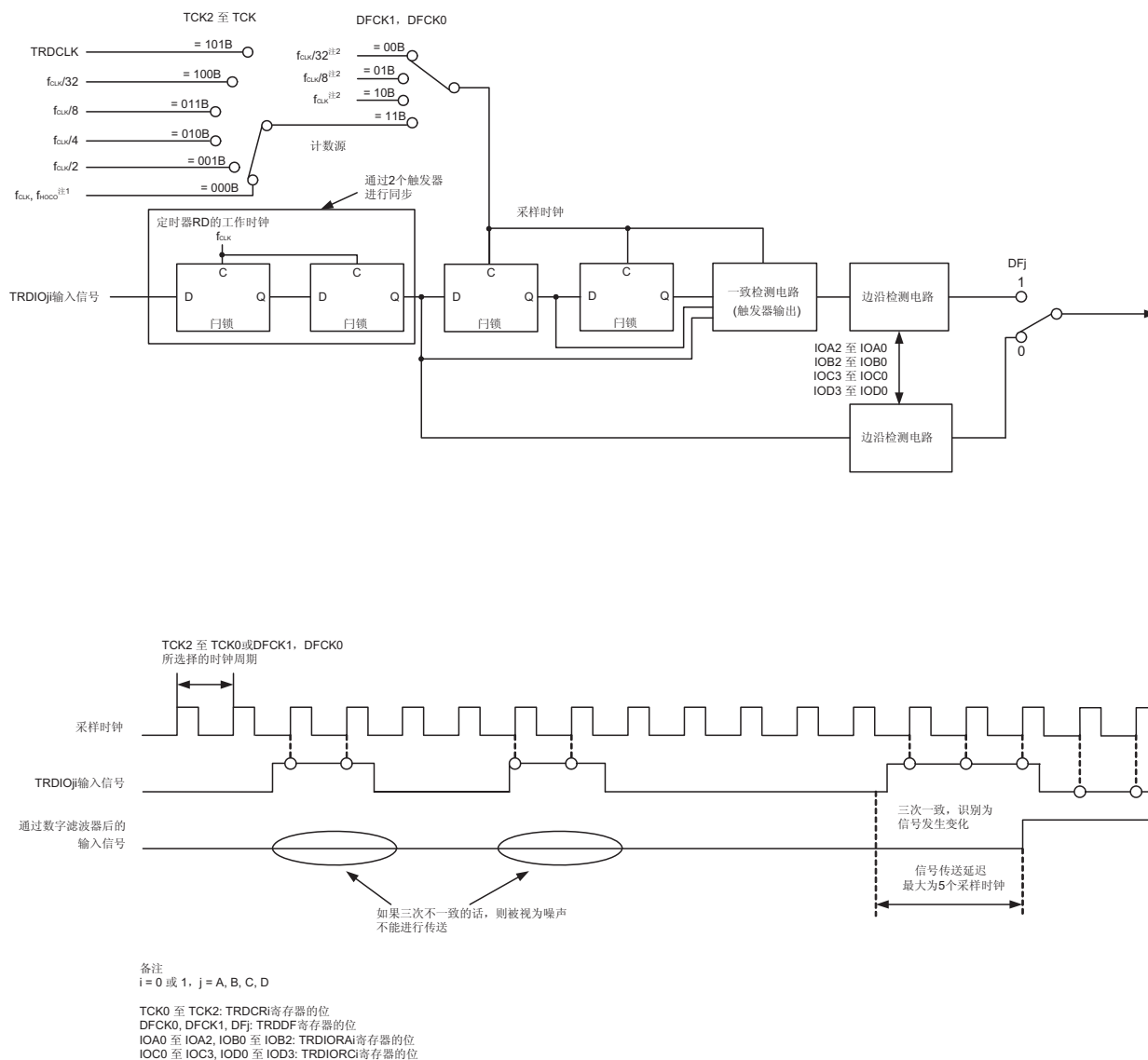
- TRDCRi 寄存器的 CCLR2 至 CCLR0 位为 001B (通过 TRDGRAi 的输入捕捉将 TRDi 设为 0000H)
- TRDCRi 寄存器的 TCK2 至 TCK0 位为 101B (计数源为 RDCLK 输入)
- TRDCRi 寄存器的 CKEG1, CKEG0 位为 01B (在下降时对计数源计数)
- TRDIORai 寄存器的 IOA2 至 IOA0 位为 101B (在 TRDIOAi 输入的下降边沿进行输入捕捉)
- TRDMR 寄存器的 TRDBFCi 位为 1 (TRDGRCi 寄存器为 TRDGRAi 寄存器的缓冲寄存器)

(2) 数字滤波器

对于TRDIO_ji输入（i = 0或1，j = A、B、C或D）进行采样，当采样的输入电平匹配三次时就被视为电平确定。使用TRDDFi寄存器来选择数字滤波器功能和采样时钟。

数字滤波器的框图如图 8 - 46所示。

图 8 - 46 数字滤波器的框图



注 1. 当FRQSEL4 = 0时，选择fclk，当用户选项字节(000C2H)中的FRQSEL4 = 1时，则选择fhoco。

注 2. 当用户选项字节(000C2H)的FRQSEL4 = 1时，fclk/32、fclk/8和fclk各自设置为fhoco/32、fhoco/8和fhoco。

8.3.3 输出比较功能

该功能检测 TRDGR_ji 寄存器 (j = A、B、C 或 D) 的内容与 TRDi 寄存器 (计数器) (i = 0 或 1) 的内容的匹配情况 (比较匹配)。当内容匹配时, 将从 TRDIO_ji 引脚输出任意电平。由于通过组合 TRDIO_ji 引脚和 TRDGR_ji 寄存器来使用该功能, 因此可为各个引脚选择输出比较功能或任何其他模式或功能。

输出比较功能的框图如图 8-47 所示, 输出比较功能的规格如表 8-13 所示, 输出比较功能的操作示例如图 8-48 所示。

图 8-47 输出比较功能的框图

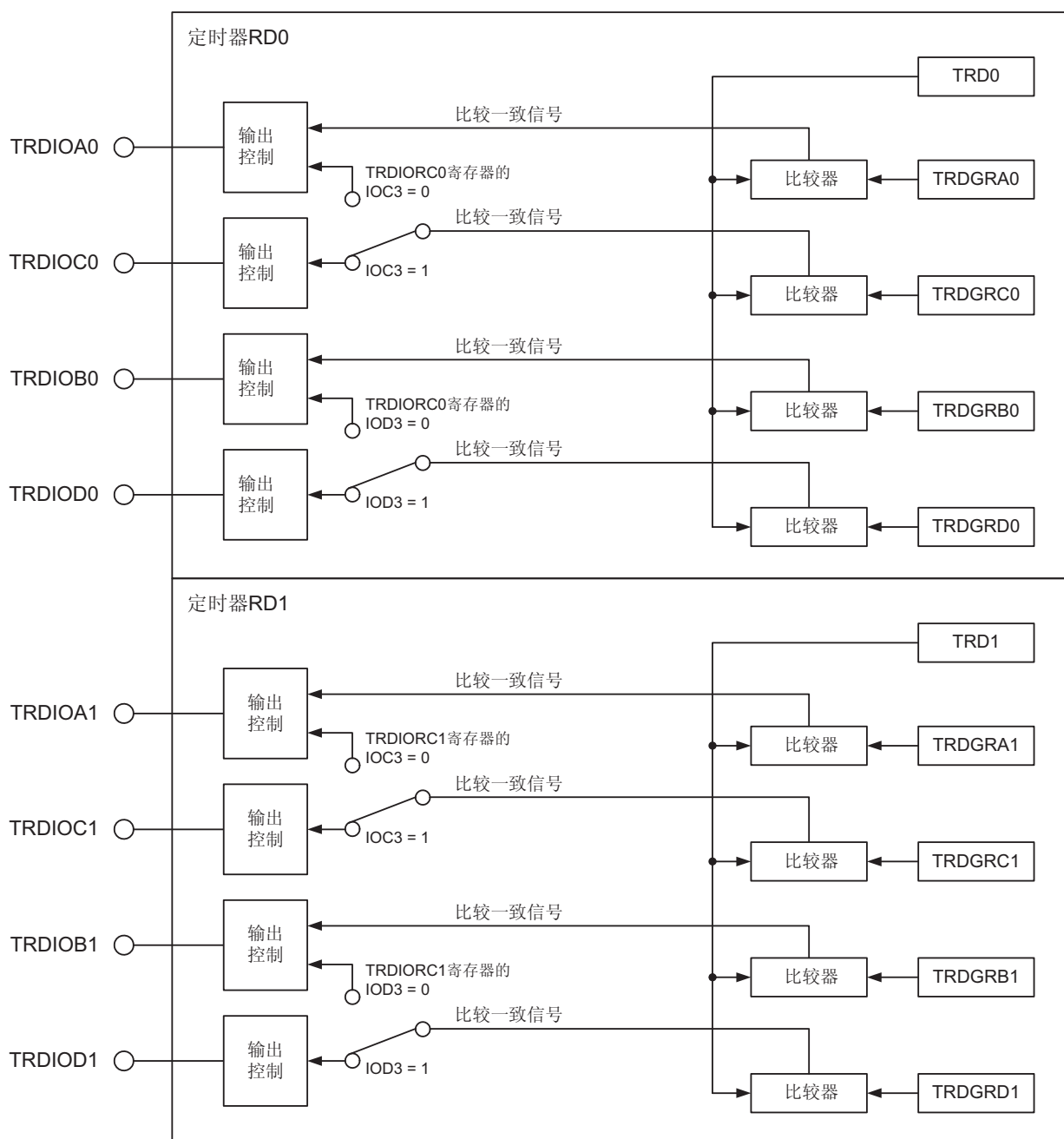


表 8 - 13 输出比较功能的规格

| 项目 | 规格 |
|--|--|
| 计数源 | fHOCO 注、fCLK、fCLK/2、fCLK/4、fCLK/8、fCLK/32 输入到 TRDCLK 引脚的外部信号（通过程序选择有效沿） |
| 计数操作 | 递增 |
| 计数周期 | <ul style="list-style-type: none"> 当 TRDCRi 寄存器的 CCLR2 至 CCLR0 位设置为 000B（自由运行操作）。 $1/fk \times 65536$ fk: 计数源的频率 当 TRDCRi 寄存器的 CCLR1 和 CCLR0 位设置为 01B 或 10B （与 TRDGRji 寄存器比较匹配时 TRDi 寄存器被设置为 0000H）。 $1/fk \times (n + 1)$ n: TRDGRji 寄存器的设置值 |
| 波形输出时序 | 比较匹配（匹配 TRDi 和 TRDGRji 寄存器的内容） |
| 计数开始条件 | 向 TRDSTR 寄存器的 TSTARTi 位写入 1（开始计数）。 |
| 计数停止条件 | <ul style="list-style-type: none"> 当 TRDSTR 寄存器的 CSELi 位设置为 1 时，向 TRDSTR 寄存器的 TSTARTi 位写入 0（停止计数）。 输出比较输出引脚保持计数停止前的输出电平。 当 TRDSTR 寄存器中的 CSELi 位被设置为 0 时，计数将在与 TRDGRAi 寄存器比较匹配时停止。 因比较匹配导致输出变化之后，输出比较输出引脚保持电平。 |
| 中断请求发生时序 | <ul style="list-style-type: none"> 比较匹配（匹配 TRDi 和 TRDGRji 寄存器的内容） TRDi 寄存器溢出 |
| TRDIOA0 引脚功能 | 输入/输出端口、输出-比较输出或 TRDCLK（外接时钟）输入 |
| TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 至 TRDIOD1 引脚功能 | 输入/输出端口或输出-比较输出（每个引脚可分别选择） |
| INTP0 引脚功能 | 输入/输出端口或 INTP0 中断输入 |
| 从定时器读取 | 通过读取 TRDi 寄存器可读取计数值。 |
| 写入到定时器 | <ul style="list-style-type: none"> 当 TRDMR 寄存器的 TRDSYNC 位被设置为 0（定时器 RD0 和定时器 RD1 分别操作）时。数据可写入 TRDi 寄存器。 当 TRDMR 寄存器的 TRDSYNC 位被设置为 1（定时器 RD0 和定时器 RD1 同步操作）时。通过写入 TRDi 寄存器，数据可写入到 TRD0 和 TRD1 寄存器。 |
| 可选择功能 | <ul style="list-style-type: none"> 选择输出比较输出引脚 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚中的一个或多个。 比较匹配时的输出电位选择 低输出、高输出或输出电位反转 初始输出电平选择 可为从开始计数到比较匹配为止的时间段设置电平。 设置 TRDi 寄存器为 0000H 的时序 TRDGRAi 寄存器中的溢出或比较匹配 缓冲操作（参阅 8.3.1 (2) 缓冲操作） 同步操作（参阅 8.3.1 (3) 同步操作） 更改 TRDGRCi 和 TRDGRDi 寄存器的输出引脚 TRDGRCi 寄存器可用作 TRDIOAi 引脚的输出控制，TRDGRDi 寄存器可用作 TRDIOBi 引脚的输出控制。 脉冲输出强行截止信号输入（参阅 8.3.1 (4) 脉冲输出强行截止） 因不输出，定时器 RD 可作为内部定时器使用。 |

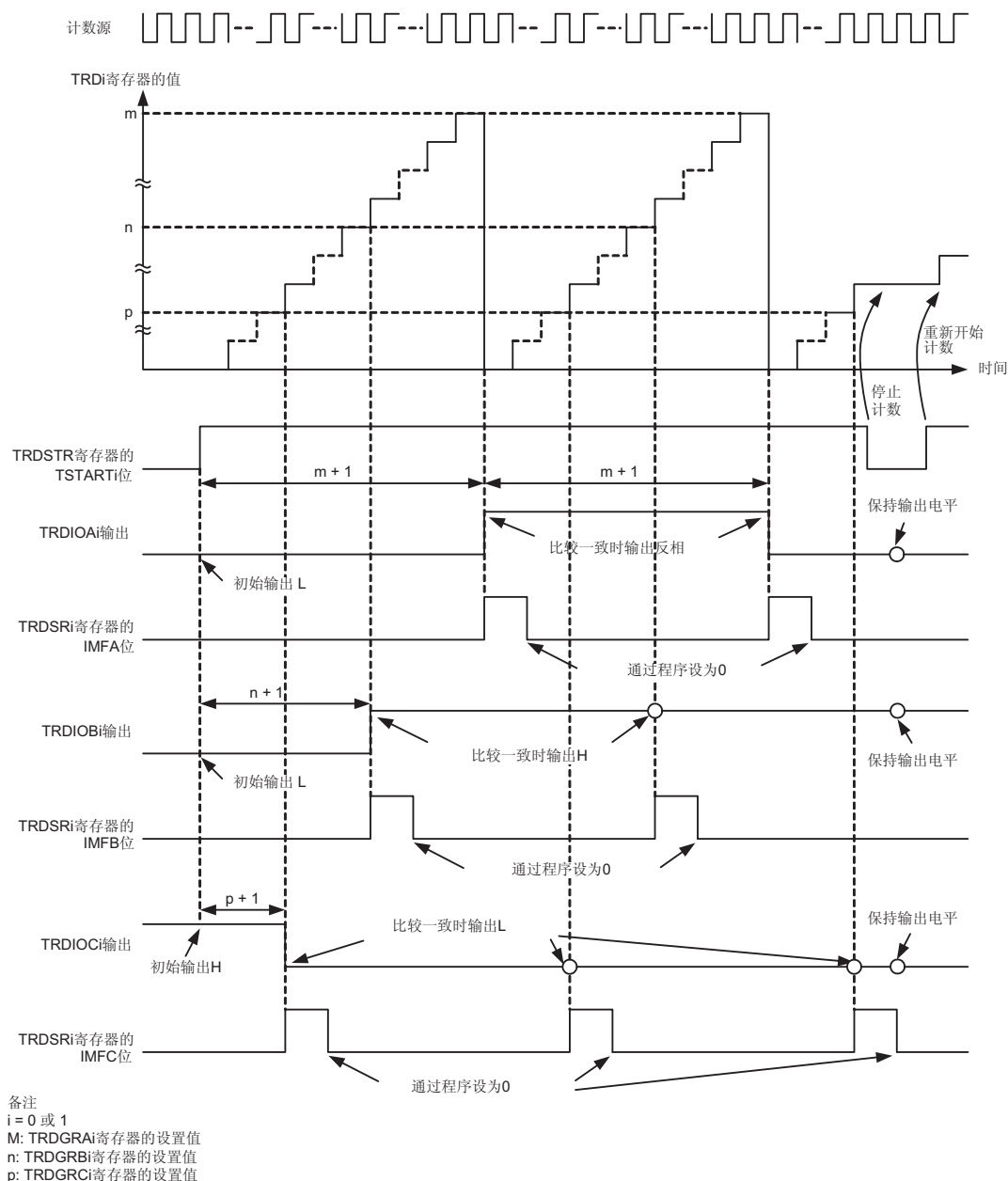
注 仅当用户选项字节(000C2H)的 FRQSEL4 = 1 时，才选择 fHOCO。在将 fHOCO 选作定时器 RD 的计数源时，在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前，要把 fCLK 设置为 fIH。在将 fCLK 更改为 fIH 以外的时钟时，要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

备注 i = 0 或 1, j = A、B、C 或 D

(1) 操作示例

通过设置 TRDCR_i 寄存器中的 CCLR0 至 CCLR2 位 ($i = 0$ 或 1)，定时器 RD_i 计数器值在输入捕捉/比较匹配时被复位。如果此时的预期比较值为 FFFFH，FFFFH 将变为 0000H，与溢出操作相同，溢出标志被设置为 1。

图 8 - 48 输出比较功能的操作示例



上图是在如下条件下:

TRDSTR寄存器的CSELi位为1 (TRDi 在比较一致时也不停止)

TRDMR寄存器的TRDBFCi, TRDBFDi位为0 (TRDGRCi, TRDGRDi 缓冲器不工作)

TRDOER1寄存器的EAI, EBi, ECi位为0 (允许TRDIOAi, TRDIOBi和TRDIOCi输出)

TRDCRi寄存器的CCLR2 至 CCLR0位为001B (在TRDGRA_i的比较一致时将TRDi设为0000H)

TRDOCR寄存器的TOAi, TOBi位为0 (到比较一致为止初始输出L), TOCi 位为 1 (到比较一致为止初始输出H)

TRDIOA_i寄存器的IOA2 至 IOA0位为011B (在TRDGRA_i的比较一致时, TRDIOAi输出反相)

TRDIOB_i寄存器的IOB2 至 IOB0位为010B (在TRDGRB_i的比较一致时, TRDIOBi输出H)

TRDIORC_i寄存器的IOC3 至 IOC0位为1001B (在TRDGRC_i的比较一致时, TRDIOCi输出L)

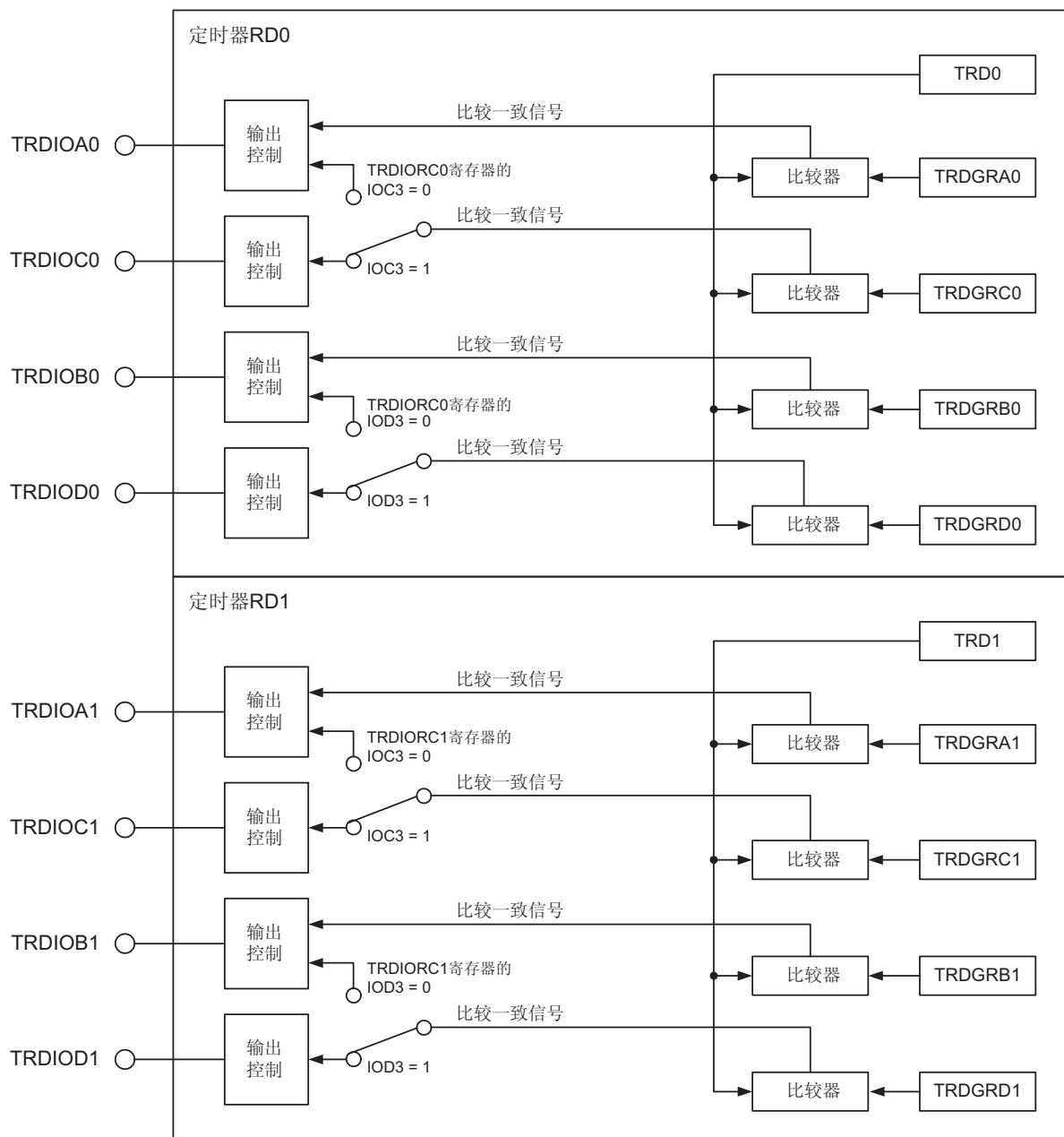
TRDIORC_i寄存器的IOD3 至 IOD0位为1000B (TRDGRDi寄存器不控制TRDIOBi引脚输出。禁止通过比较一致的引脚输出)

(2) 更改 TRDGRC_i (i = 0 或 1) 和 TRDGRD_i 寄存器的输出引脚

TRDGRC_i 寄存器可用来进行 TRDIOA_i 引脚的输出控制, TRDGRD_i 寄存器可用来进行 TRDIOB_i 引脚的输出控制。因此, 每个引脚输出可通过以下的方法来控制:

- TRDIOA_i 输出由 TRDGRA_i 和 TRDGRC_i 寄存器的值来控制。
- TRDIOB_i 输出由 TRDGRB_i 和 TRDGRD_i 寄存器的值来控制。

图 8 - 49 更改 TRDGRC_i 和 TRDGRD_i 寄存器的输出引脚

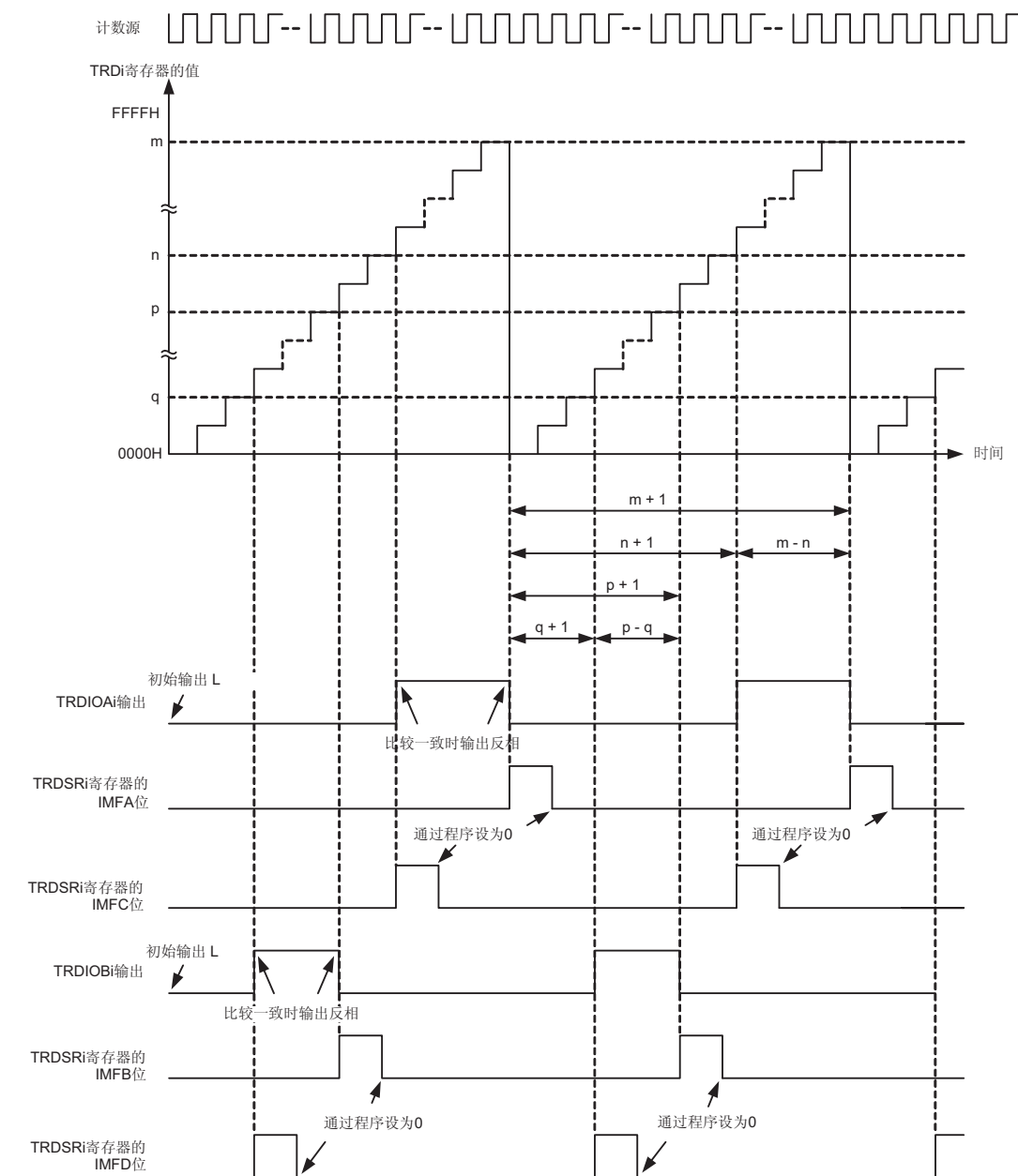


更改 TRDGRC_i 和 TRDGRD_i 寄存器的输出引脚时, 可按照以下方法来设置:

- 使用 TRDIORC_i 寄存器的 IOj3 (j = C 或 D) 位选择 0 (更改 TRDGR_j 寄存器输出引脚)。
- 设置 TRDMR 寄存器的 TRDBF_j 位为 0 (通用寄存器)。
- TRDGRC_i 和 TRDGRA_i 寄存器中设置不同值。并且, TRDGRD_i 和 TRDGRB_i 寄存器中设置不同值。

TRDGRCi 寄存器用作 TRDIOAi 引脚的输出控制 且 TRDGRDi 寄存器用作 TRDIOBi 引脚的输出控制的操作示例如图 8 - 50 所示。

图 8 - 50 TRDGRCi 寄存器用作 TRDIOAi 引脚的输出控制
且 TRDGRDi 寄存器用作 TRDIOBi 引脚的输出控制的操作示例



备注

i = 0 或 1

m: TRDGRAi 寄存器的设置值

n: TRDGRCi 寄存器的设置值

p: TRDGRBi 寄存器的设置值

q: TRDGRDi 寄存器的设置值

上图是在如下条件下:

TRDSTR寄存器的CSELi位为1 (TRDi 在比较一致时也不停止)

TRDMR寄存器的TRBFCi, TRBFDi位为0 (TRDGRCi, TRDGRDi 缓冲器不工作)

TRDOER1寄存器的EAI, EBi位为0 (允许TRDIOAi, TRDIOBi输出)

TRDCRi寄存器的CCLR2 至 CCLR0位为001B (在TRDGRAi的比较一致时将TRDi设为0000H)

TRDOCR寄存器的TOAi, TOBi位为0 (到比较一致为止初始输出L), TOCi 位为 1 (到比较一致为止初始输出H)

TRDIORAi寄存器的IOA2 至 IOA0位为011B (在TRDGRAi的比较一致时, TRDIOAi输出反相)

TRDIOBRCi寄存器的IOB2 至 IOB0位为010B (在TRDGRBi的比较一致时, TRDIOBi输出反相)

TRDIORCi寄存器的IOC3 至 IOC0位为0011B (在TRDGRCi的比较一致时, TRDIOAi输出反相)

TRDIORCi寄存器的IOD3 至 IOD0位为0011B (在TRDGRDi的比较一致时, TRDIOBi输出反相)

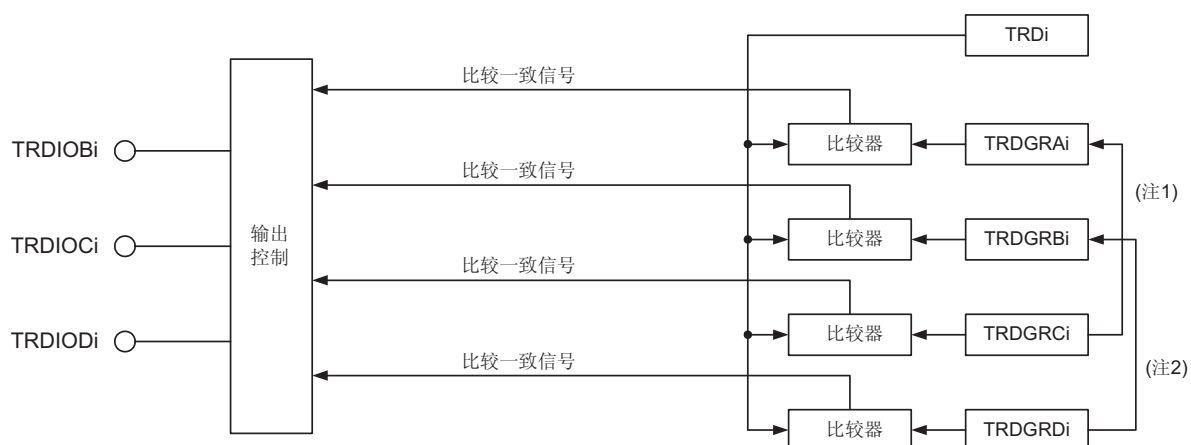
8.3.4 PWM 功能

在 PWM 功能中，将输出 PWM 波形。定时器 RD_i (i = 0 或 1) 最多可以输出三个周期相同的 PWM 波形。另外，同时定时器 RD0 和定时器 RD1 最多可以输出六个周期相同的 PWM 波形。

由于该模式通过 TRDIO_j 引脚 (i = 0 或 1, j = B、C 或 D) 和 TRDGR_ji 寄存器的组合发生作用，因此可为各个引脚选择 PWM 功能或任何其他模式或功能。（然而，由于在将任何引脚用于 PWM 功能时使用 TRDGRA_i 寄存器，因此，TRDGRA_i 寄存器不能用于其他模式。）

PWM 功能的框图如图 8 - 51 所示，PWM 模式的规格如表 8 - 14 所示，PWM 功能的操作示例如图 8 - 52 和图 8 - 53 所示。

图 8 - 51 PWM 功能的框图

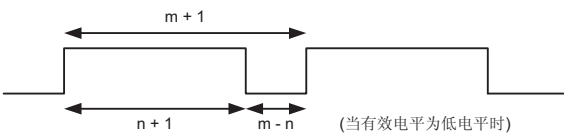


备注
i = 0 或 1

注 1. 当 TRDMR 寄存器的 TRDBFC_i 位设置为 1 时 (TRDGRC_i 寄存器是 TRDGRA_i 寄存器的缓冲寄存器)。

注 2. 当 TRDMR 寄存器的 TRDBFD_i 位设置为 1 时 (TRDGRD_i 寄存器是 TRDGRB_i 寄存器的缓冲寄存器)。

表 8 - 14 PWM 模式的规格

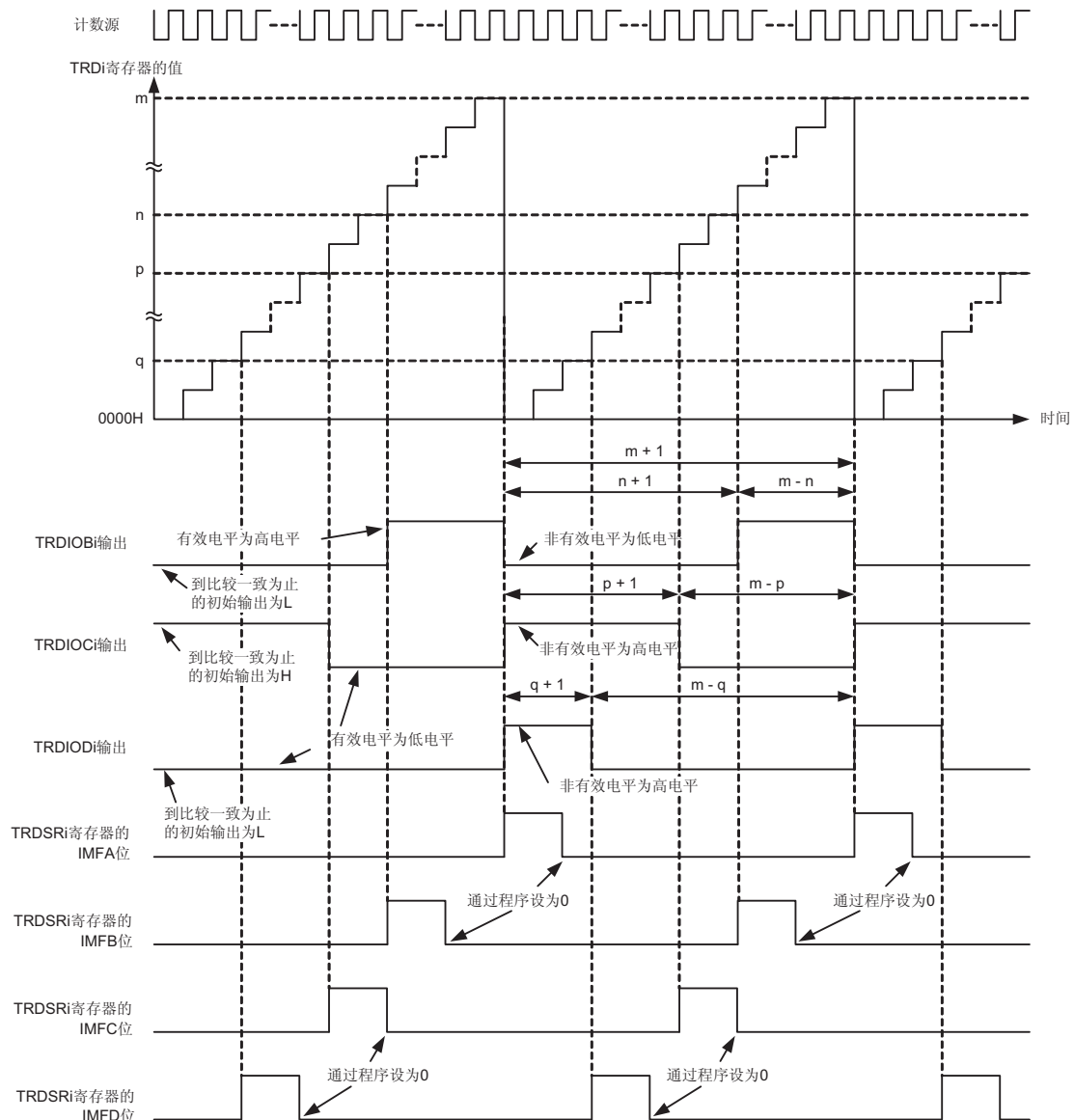
| 项目 | 规格 |
|---|---|
| 计数源 | fHOCO 注、fCLK、fCLK/2、fCLK/4、fCLK/8、fCLK/32 输入到 TRDCLK 引脚的外部信号（通过程序选择有效沿） |
| 计数操作 | 递增 |
| PWM 波形 | <p>PWM 周期: $1/fk \times (m + 1)$ 有效电平宽度: $1/fk \times (m - n)$ 无效电平宽度: $1/fk \times (n + 1)$ fk: 计数源的频率 m: TRDGRAi 寄存器的设置值 n: TRDGRj 寄存器的设置值</p>  <p>(当有效电平为低电平时)</p> |
| 计数开始条件 | 向 TRDSTR 寄存器的 TSTARTi 位写入 1（开始计数）。 |
| 计数停止条件 | <ul style="list-style-type: none"> 当 TRDSTR 寄存器的 CSELi 位设置为 1 时，向 TRDSTR 寄存器的 TSTARTi 位写入 0（停止计数）。 PWM 输出引脚保持计数停止前的输出电平。 当 TRDSTR 寄存器中的 CSELi 位被设置为 0 时，计数将在与 TRDGRAi 寄存器比较匹配时停止。 因比较匹配导致输出变化之后，PWM 输出引脚保持电平。 |
| 中断请求发生时序 | <ul style="list-style-type: none"> 比较匹配（TRDi 寄存器的内容匹配 TRDGRhi 寄存器的内容） TRDi 寄存器溢出 |
| TRDIOA0 引脚功能 | 输入/输出端口或 TRDCLK（外接时钟）输入 |
| TRDIOA1 引脚功能 | 输入/输出端口 |
| TRDIOB0、TRDIOC0、 TRDIOD0、 TRDIOB1、TRDIOC1、TRDIOD1 引脚功能 | 输入/输出端口或脉冲输出（每个引脚可分别选择） |
| INTP0 引脚功能 | 脉冲输出强行截止信号输出（输入/输出端口或 INTP0 中断输入） |
| 从定时器读取 | 通过读取 TRDi 寄存器可读取计数值。 |
| 写入到定时器 | 此值可写入 TRDi 寄存器。 |
| 可选择功能 | <ul style="list-style-type: none"> 通过定时器 RDi 选择 1 至 3 个的 PWM 输出引脚可选择 TRDIOBi、TRDIOCi 和 TRDIODi 中的任意一个引脚或多个引脚。 可为各引脚选择有效电平。 可为各引脚选择初始输出电平。 同步操作（参阅 8.3.1 (3) 同步操作） 缓冲操作（参阅 8.3.1 (2) 缓冲操作） 脉冲输出强行截止信号输入（参阅 8.3.1 (4) 脉冲输出强行截止） |

注 仅当用户选项字节(000C2H)的 FRQSEL4 = 1 时，才选择 fHOCO。在将 fHOCO 选作定时器 RD 的计数源时，在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前，要把 fCLK 设置为 fIH。在将 fCLK 更改为 fIH 以外的时钟时，要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

备注 i = 0 或 1, j = B、C 或 D, h = A、B、C 或 D

(1) 操作示例

图 8-52 PWM 功能的操作示例



备注
i = 0 或 1

m: TRDGRAi寄存器的设置值
n: TRDGRBi寄存器的设置值
p: TRDGRCi寄存器的设置值
q: TRDGRDi寄存器的设置值

上图是在如下条件下:

TRDMR寄存器的TRDBFCi, TRDBFDi位为0 (TRDGRCi, TRDGRDi 缓冲器不工作)

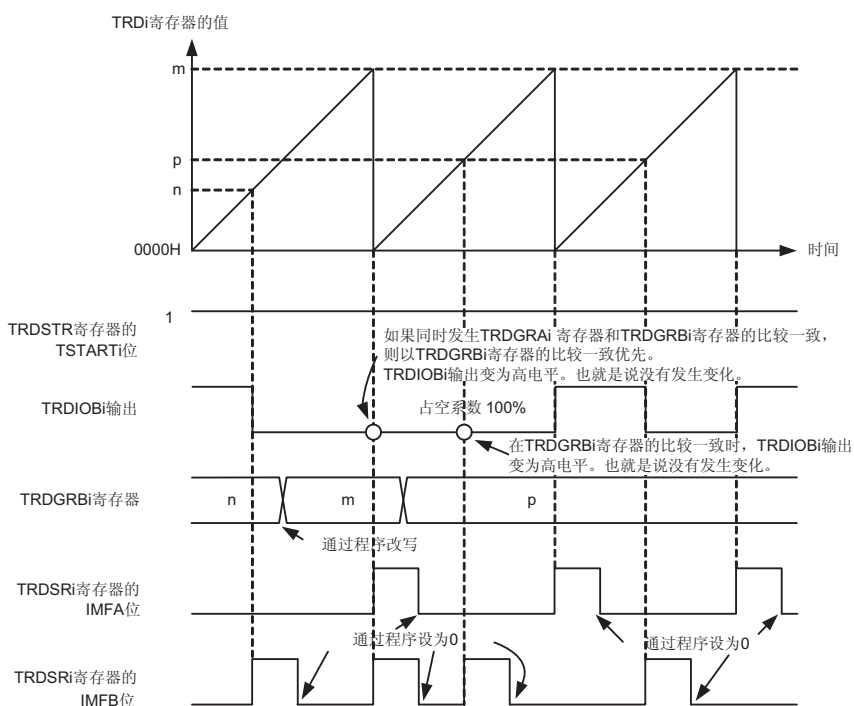
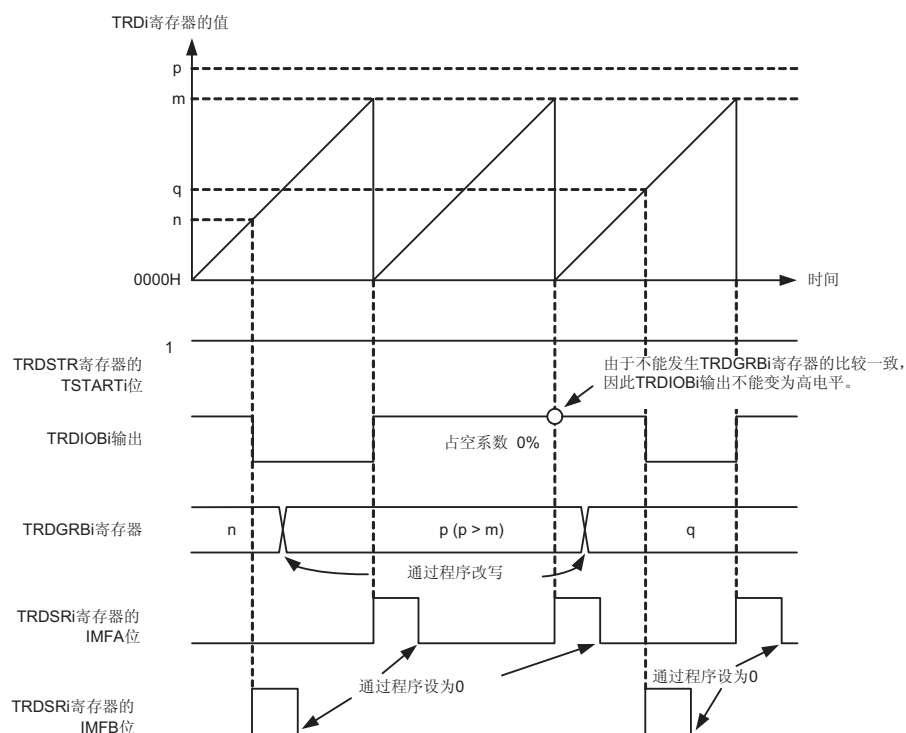
TRDIOER1寄存器的EBi, ECi, EDI位为0 (允许TRDIOBi, TRDIOCi和TRDIODi输出)

TRDOCR寄存器的TOBi, TOCi位为0 (非有效电平), TODi 位为1 (有效电平)

TRDPOCRi寄存器的POLB位为1 (有效电平为高电平), POLC和POLD位为0 (有效电平为低电平)

).

图 8 - 53 PWM 功能的操作示例（占空周期 0%，占空周期 100%）



备注
i = 0 或 1
m: TRDGRAi 寄存器的设置值

上图是在如下条件下：
TRDOER1 寄存器的 EBi 位为 0 (允许 TRDIOBi 输出)
TRDPOCRi 寄存器的 POLB 位为 0 (有效电平为高电平)

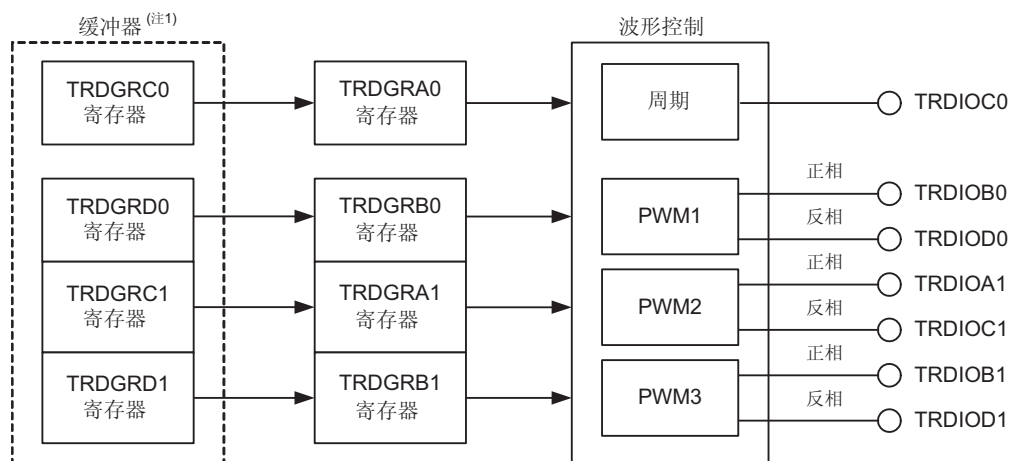
8.3.5 复位同步 PWM 模式

在该模式下，将以相同周期输出三个正相和三个逆相的 PWM 波形（三相、锯齿波调制且无死区时间）。

复位同步 PWM 模式的框图如图 8 - 54 所示，复位同步 PWM 模式的规格如表 8 - 15 所示，复位同步 PWM 模式下的操作示例如图 8 - 55 所示。

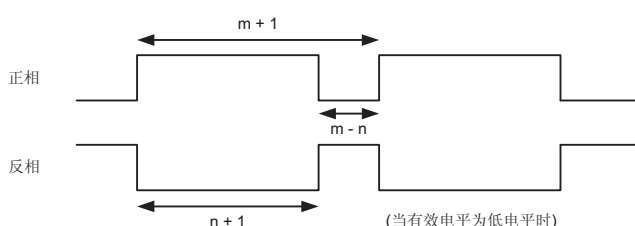
关于 PWM 模式下，占空周期 0% 以及占空周期 100% 的操作示例，请参阅图 8 - 53 PWM 功能的操作示例（占空周期 0%，占空周期 100%）。

图 8 - 54 复位同步 PWM 模式的框图



注 当 TRDMR 寄存器中的 TRDBFC0、TRDBFD0、TRDBFC1 和 TRDBFD1 位设置为 1（缓冲寄存器）时。

表 8 - 15 复位同步 PWM 模式的规格

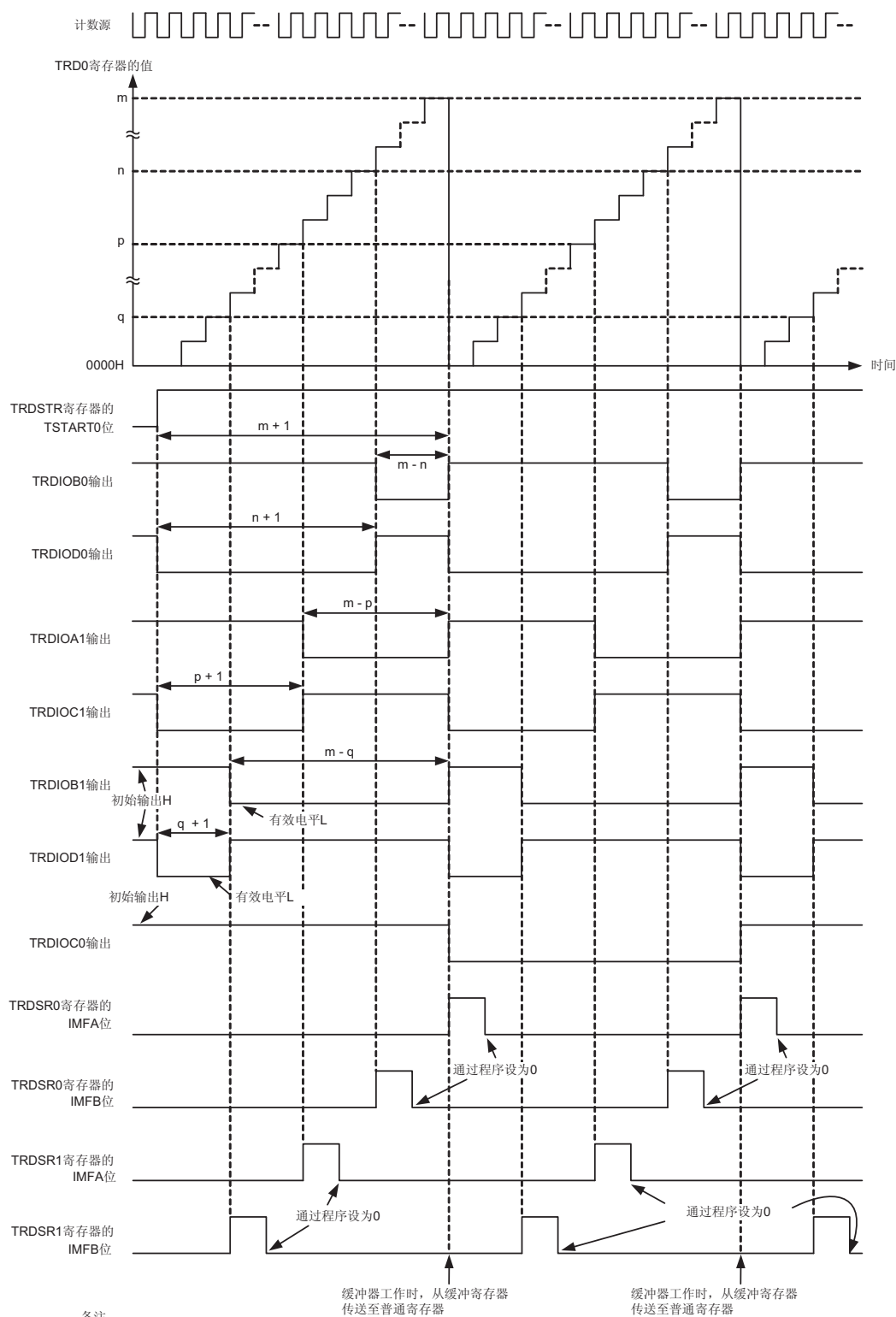
| 项目 | 规格 |
|--------------|---|
| 计数源 | fHOCO 注、fCLK、fCLK/2、fCLK/4、fCLK/8、fCLK/32 输入到 TRDCLK 引脚的外部信号（通过程序选择有效沿） |
| 计数操作 | TRD0 寄存器递增（TRD1 寄存器不使用）。 |
| PWM 波形 | <p>PWM 周期: $1/fk \times (m + 1)$ 正相有效电平: $1/fk \times (m - n)$ 逆相无效电平: $1/fk \times (n + 1)$</p> <p>fk: 计数源的频率 m: TRDGRA0 寄存器的设置值 n: TRDGRB0 寄存器的设置值（PWM1 输出） TRDGRA1 寄存器的设置值（PWM2 输出） TRDGRB1 寄存器的设置值（PWM3 输出）</p>  <p>(当有效电平为低电平时)</p> |
| 计数开始条件 | 向 TRDSTR 寄存器的 TSTART0 位写入 1（开始计数）。 |
| 计数停止条件 | <ul style="list-style-type: none"> 当 TRDSTR 寄存器的 CSEL0 位设置为 1 时，向 TSTART0 位写入 0（停止计数）。 PWM 输出引脚输出 TRDFCR 寄存器的 OLS0 和 OLS1 位选择的初始输出电平。 当 TRDSTR 寄存器的 CSEL0 位设置为 0 时，在 TRDGRA0 寄存器比较匹配时停止计数。 PWM 输出引脚输出 TRDFCR 寄存器的 OLS0 和 OLS1 位选择的初始输出电平。 |
| 中断请求发生时序 | <ul style="list-style-type: none"> 比较匹配（TRD0 寄存器的内容匹配 TRDGRj0、TRDGRA1 和 TRDGRB1 寄存器的内容） TRD0 寄存器溢出 |
| TRDIOA0 引脚功能 | 输入/输出端口或 TRDCLK（外接时钟）输入 |
| TRDIOB0 引脚功能 | PWM1 输出正相输出 |
| TRDIOD0 引脚功能 | PWM1 输出逆相输出 |
| TRDIOA1 引脚功能 | PWM2 输出正相输出 |
| TRDIOC1 引脚功能 | PWM2 输出逆相输出 |
| TRDIOB1 引脚功能 | PWM3 输出正相输出 |
| TRDIOD1 引脚功能 | PWM3 输出逆相输出 |
| TRDIOC0 引脚功能 | 每个 PWM 周期输出翻转 |
| INTP0 引脚功能 | 脉冲输出强行截止信号输出（输入/输出端口或 INTP0 中断输入） |
| 从定时器读取 | 通过读取 TRD0 寄存器可读取计数值。 |
| 写入到定时器 | 此值可写入 TRD0 寄存器。 |
| 可选择功能 | <ul style="list-style-type: none"> 分别选择正相和逆相有效电平以及初始输出电平。 缓冲操作（参阅 8.3.1 (2) 缓冲操作） 脉冲输出强行截止信号输入（参阅 8.3.1 (4) 脉冲输出强行截止） |

注 仅当用户选项字节(000C2H)的 FRQSEL4 = 1 时，才选择 fHOCO。在将 fHOCO 选作定时器 RD 的计数源时，在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前，要把 fCLK 设置为 fH。在将 fCLK 更改为 fH 以外的时钟时，要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

备注 j = A、B、C 或 D

(1) 操作示例

图 8-55 复位同步PWM模式下的操作示例



备注
 $i = 0$ 或 1
 m : TRDGRA0 寄存器的设置值
 n : TRDGRB0 寄存器的设置值
 p : TRDGRA1 寄存器的设置值
 q : TRDGRB1 寄存器的设置值
 上图是在如下条件下:
 TRDFCR 寄存器的OLS1, OLS0位为0 (初始输出电平H, 有效电平L)

8.3.6 互补 PWM 模式

在该模式下，将以相同周期输出三个正相和三个逆相的 PWM 波形（三相、三角波调制且有死区时间）。

互补 PWM 模式的框图如图 8 - 56 所示，互补 PWM 模式的规格如表 8 - 16 所示，互补 PWM 模式的输出模式如图 8 - 57 所示，互补 PWM 模式下的操作示例如图 8 - 58 所示。

图 8 - 56 互补 PWM 模式的框图

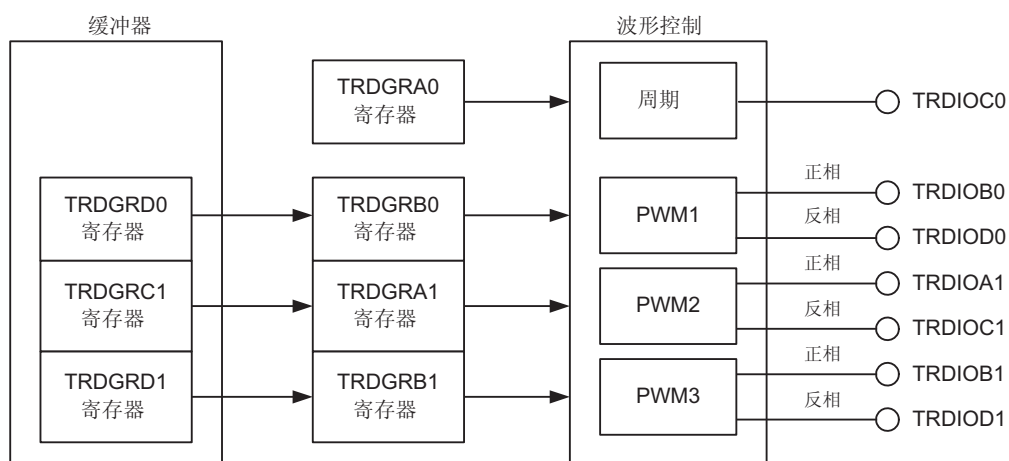


表 8 - 16 互补 PWM 模式的规格

| 项目 | 规格 |
|--------------|---|
| 计数源 | fHOCO 注 1、fCLK、fCLK/2、fCLK/4、fCLK/8、fCLK/32 输入到 TRDCLK 引脚的外部信号（通过程序选择有效沿） 将 TRDCR1 寄存器的 TCK2 至 TCK0 位设置为与 TRDCR0 寄存器的 TCK2 至 TCK0 位相同值（同一计数源）。 |
| 计数操作 | 递增或递减。 在递增操作期间，寄存器 TRD0 和 TRD1 在与寄存器 TRD0 和 TRDGRA0 比较匹配时将递减。在递减操作期间，当 TRD1 寄存器从 0000H 变成 FFFFH 且寄存器 TRD0 和 TRD1 递增时。 |
| PWM 操作 | <p>PWM 周期: $1/fk \times (m + 2 - p) \times 2$ 注 2 防止短路时间: p 正相有效电平宽度: $1/fk \times (m - n - p + 1) \times 2$ 逆相有效电平宽度: $1/fk \times (n + 1 - p) \times 2$ fk: 计数源的频率 m: TRDGRA0 寄存器的设置值 n: TRDGRB0 寄存器的设置值（PWM1 输出） TRDGRA1 寄存器的设置值（PWM2 输出） TRDGRB1 寄存器的设置值（PWM3 输出） p: TRD0 寄存器的设置值</p> <p>(当有效电平为低电平时)</p> |
| 计数开始条件 | 向 TRDSTR 寄存器的 TSTART0 和 TSTART1 位写入 1（开始计数）。 |
| 计数停止条件 | 当 TRDSTR 寄存器的 CSEL0 位设置为 1 时，向 TRDSTR 寄存器的 TSTART0 和 TSTART1 位写入 0（停止计数）（PWM 输出引脚输出 TRDFCR 寄存器的 OLS0 和 OLS1 位选择的初始输出电平。） |
| 中断请求发生时序 | <ul style="list-style-type: none"> 比较匹配（TRDi 寄存器的内容匹配 TRDGRji 寄存器的内容） TRD1 寄存器下溢 |
| TRDIOA0 引脚功能 | 输入/输出端口或 TRDCLK（外接时钟）输入 |
| TRDIOB0 引脚功能 | PWM1 输出正相输出 |
| TRDIOD0 引脚功能 | PWM1 输出逆相输出 |
| TRDIOA1 引脚功能 | PWM2 输出正相输出 |
| TRDIOC1 引脚功能 | PWM2 输出逆相输出 |
| TRDIOB1 引脚功能 | PWM3 输出正相输出 |
| TRDIOD1 引脚功能 | PWM3 输出逆相输出 |
| TRDIOC0 引脚功能 | 每 PWM1/2 周期输出翻转 |
| INTP0 引脚功能 | 脉冲输出强行截止信号输出（输入/输出端口或 INTP0 中断输入） |
| 从定时器读取 | 通过读取 TRDi 寄存器可读取计数值。 |
| 写入到定时器 | 此值可写入 TRDi 寄存器。 |
| 可选择功能 | <ul style="list-style-type: none"> 脉冲输出强行截止信号输入（参阅 8.3.1 (4) 脉冲输出强行截止） 分别选择正相和逆相有效电平以及初始输出电平。 缓冲寄存器传送时序选择 |

注 1. 仅当用户选项字节(000C2H)的 FRQSEL4 = 1 时，才选择 fHOCO。在将 fHOCO 选作定时器 RD 的计数源时，在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前，要把 fCLK 设置为 fIH。在将 fCLK 更改为 fIH 以外的时钟时，要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

注 2. 计数开始后，PWM 周期被固定。

备注 i = 0 或 1, j = A、B、C 或 D

(1) 操作示例

图 8 - 57 互补 PWM 模式的输出模式

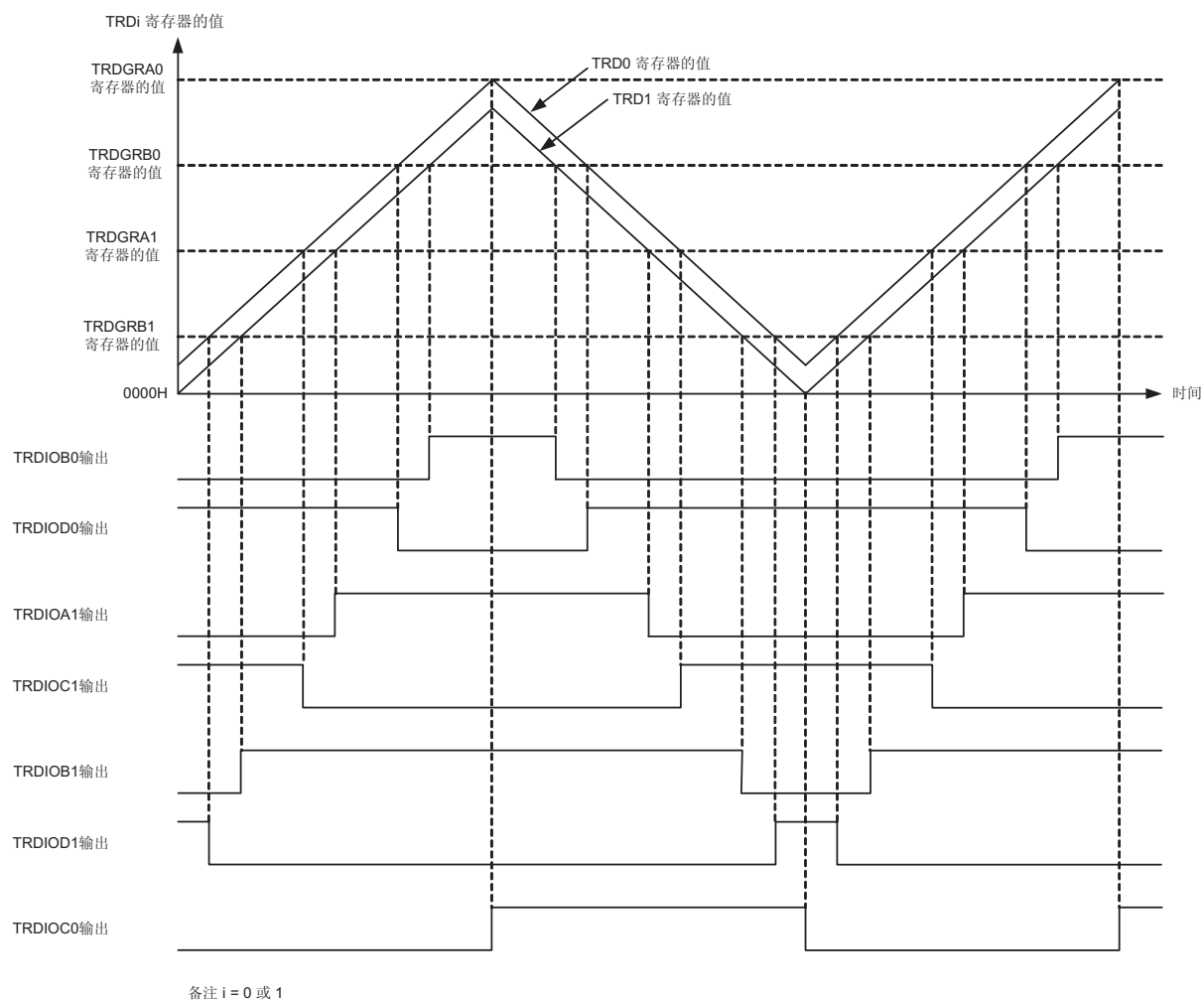
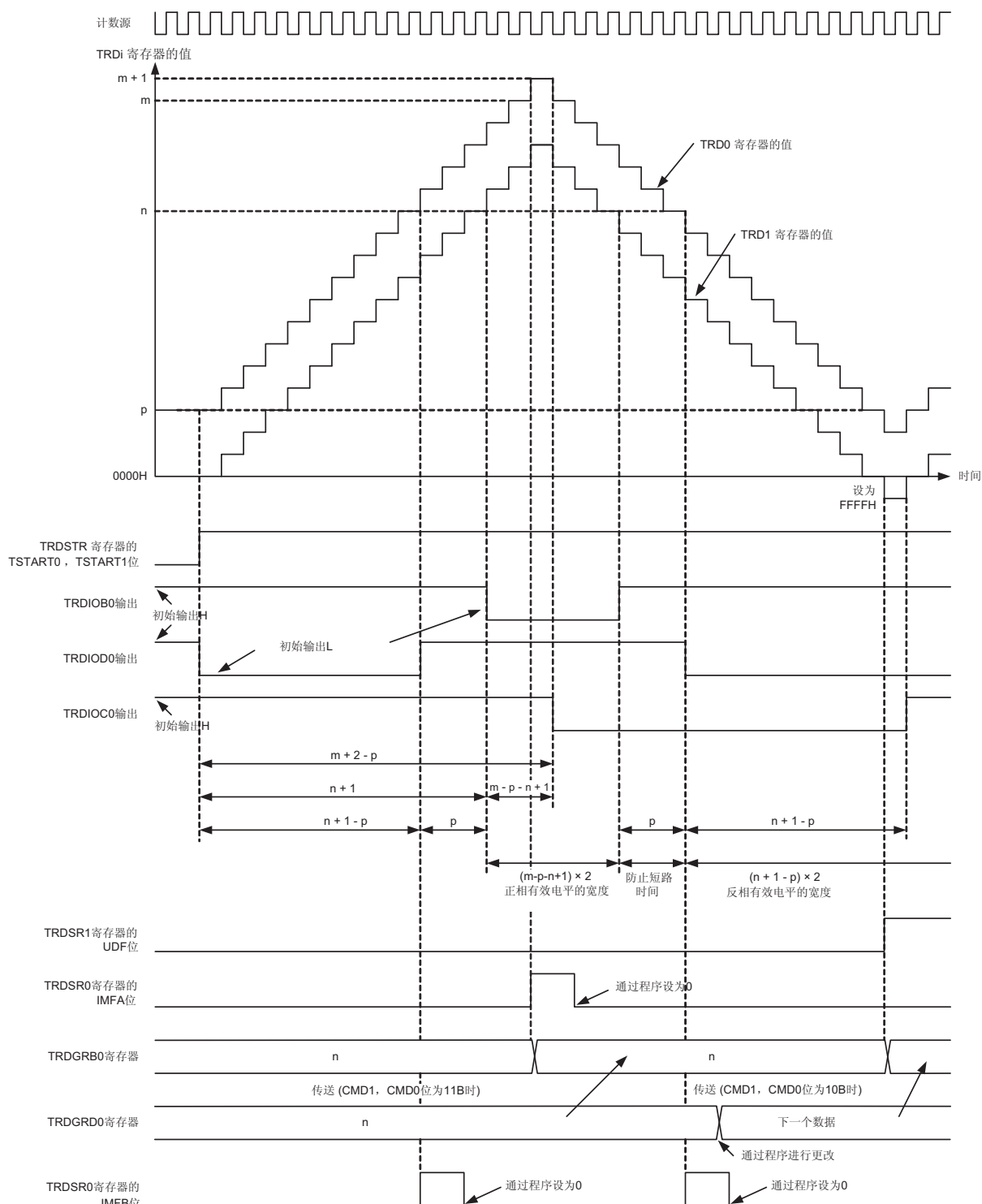


图 8 - 58 互补 PWM 模式下的操作示例



备注
 CMD0, CMD1: TRDFCR 寄存器的位
 $i = 0$ 或 1
 m : TRDGRA0 寄存器的设置值
 n : TRDGRB0 寄存器的设置值
 p : TRD0 寄存器的设置值

上图是在如下条件下:
 TRDFCR 寄存器的 OLS1, OLS0 位为 0 (正相和反相均为初始输出 H, 有效电平 L)

(2) 从缓冲寄存器传送时序

- 从 TRDGRD0、TRDGRC1 或 TRDGRD1 寄存器向 TRDGRB0、TRDGRA1 或 TRDGRB1 寄存器传送。
当 TRDFCR 寄存器的 CMD1 和 CMD0 位设置为 10B 时，如果 TRD1 寄存器下溢，内容被传送。
当 CMD1 和 CMD0 位设置为 11B 时，内容在 TRD0 和 TRDGRA0 寄存器比较匹配时被传送。

8.3.7 PWM3 模式

此模式下，输出两个同样周期的 PWM 波形。

PWM3 模式下的框图如图 8 - 59 所示，PWM3 模式下的规格如表 8 - 17 所示，PWM3 模式下的操作示例如图 8 - 60 所示。

图 8 - 59 PWM3 模式下的框图

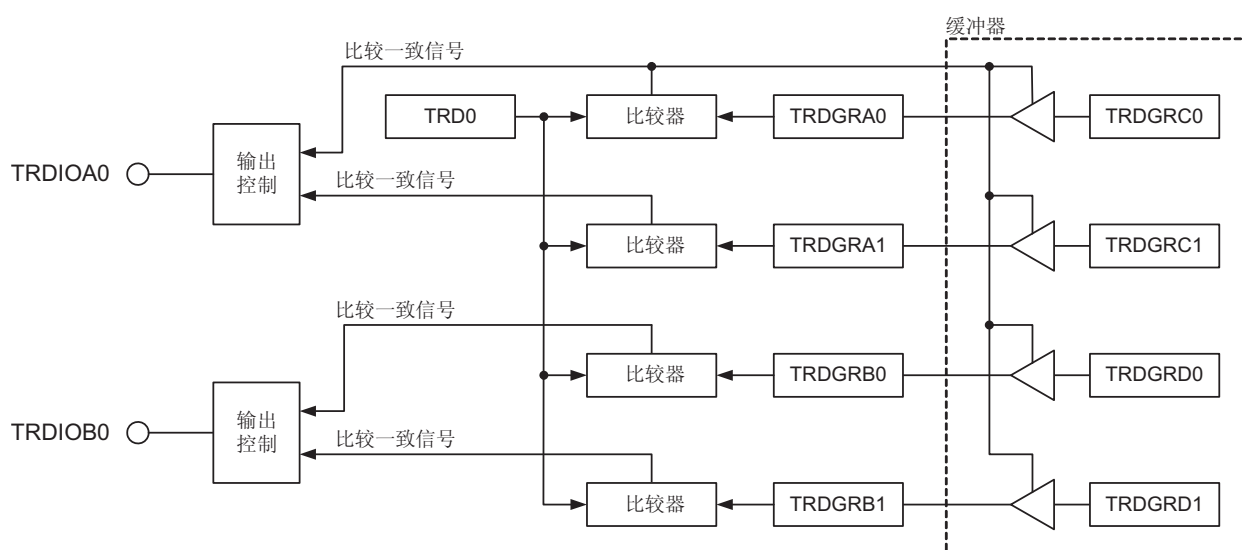
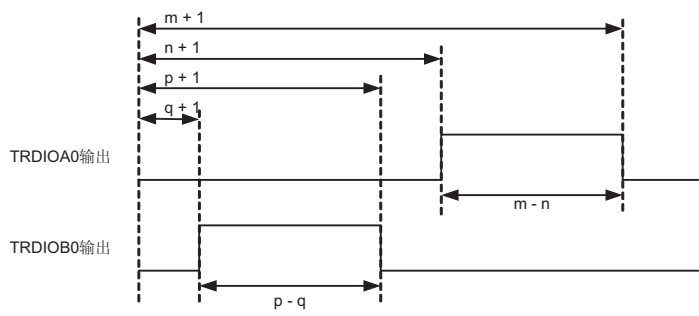


表 8 - 17 PWM3模式下的规格

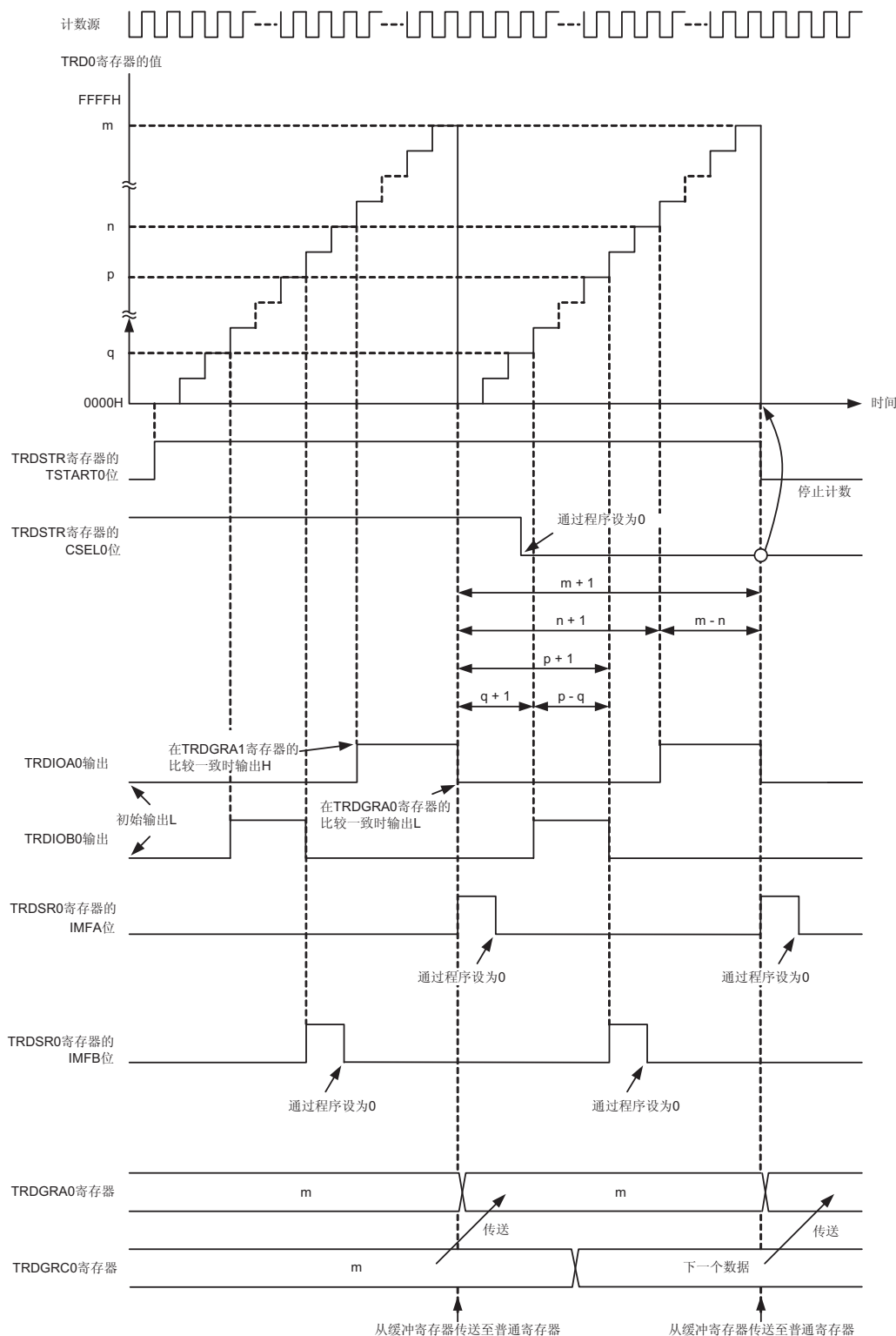
| 项目 | 规格 |
|--|---|
| 计数源 | fHOCO 注、fCLK、fCLK/2、fCLK/4、fCLK/8、fCLK/32 |
| 计数操作 | TRD0 寄存器递增（TRD1 寄存器不使用）。 |
| PWM 波形 | <p>PWM 周期: $1/fk \times (m + 1)$ TRDIOA0 输出的有效电平宽度: $1/fk \times (m - n)$ TRDIOB0 输出的有效电平宽度: $1/fk \times (p - q)$</p> <p>fk: 计数源的频率 m: TRDGRA0 寄存器的设置值 n: TRDGRA1 寄存器的设置值 p: TRDGRB0 寄存器的设置值 q: TRDGRB1 寄存器的设置值</p>  <p>(当有效电平为高电平时)</p> |
| 计数开始条件 | 向 TRDSTR 寄存器的 TSTART0 位写入 1（开始计数）。 |
| 计数停止条件 | <ul style="list-style-type: none"> 当 TRDSTR 寄存器的 CSEL0 位设置为 1 时，向 TRDSTR 寄存器的 TSTART0 位写入 0（停止计数）。PWM 输出引脚保持计数停止前的输出电平。 当 TRDSTR 寄存器中的 CSEL0 位被设置为 0 时，计数将在与 TRDGRA0 寄存器比较匹配时停止。因比较匹配导致输出变化之后，PWM 输出引脚保持电平。 |
| 中断请求发生时序 | <ul style="list-style-type: none"> 比较匹配（TRDi 寄存器的内容匹配 TRDGRji 寄存器的内容） TRD0 寄存器溢出 |
| TRDIOA0、TRDIOB0 引脚功能 | PWM 输出 |
| TRDIOA0、TRDIOD0 和 TRDIOA1 至 TRDIOD1 引脚功能 | 输入/输出端口 |
| INTP0 引脚功能 | 脉冲输出强行截止信号输出（输入/输出端口或 INTP0 中断输入） |
| 从定时器读取 | 通过读取 TRD0 寄存器可读取计数值。 |
| 写入到定时器 | 此值可写入 TRD0 寄存器。 |
| 可选择功能 | <ul style="list-style-type: none"> 脉冲输出强行截止信号输入（参阅 8.3.1 (4) 脉冲输出强行截止） 可为各引脚选择有效电平 缓冲操作（参阅 8.3.1 (2) 缓冲操作） |

注 仅当用户选项字节(000C2H)的 FRQSEL4 = 1 时，才选择 fHOCO。在将 fHOCO 选作定时器 RD 的计数源时，在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前，要把 fCLK 设置为 fIH。在将 fCLK 更改为 fIH 以外的时钟时，要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

备注 i = 0 或 1, j = A、B、C 或 D

(1) 操作示例

图 8 - 60 PWM3模式下的操作示例



备注
j = A 或 B
m: TRDGRA0寄存器的设置值
n: TRDGRA1寄存器的设置值
p: TRDGRB0寄存器的设置值
q: TRDGRB1寄存器的设置值

上图是在如下条件下:

- TRDOCR寄存器的TOA0, TOB0位为0 (初始输出L, 在TRDGRj1寄存器的比较一致时输出H, 在TRDGRj0寄存器的比较一致时输出L)
- TRDMR寄存器的RDBFC0位为1 (TRDGR0寄存器为TRDGRA0寄存器的缓冲寄存器)

8.4 定时器 RD 中断

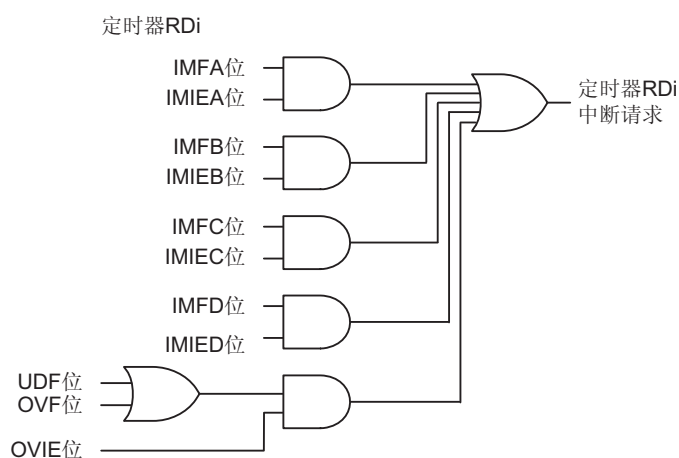
定时器 RD 可按每个定时器 RD0 和定时器 RD1 分为 6 个源，并从其产生定时器 RD_i ($i = 0$ 至 1) 中断请求。

与定时器 RD 中断相关的寄存器如表 8 - 18 所示，定时器 RD 中断的框图如图 8 - 61 所示。

表 8 - 18 与定时器 RD 中断相关的寄存器

| | 定时器 RD 状态 寄存器 | 定时器 RD 中断允许 寄存器 | 中断请求标志 (寄存器) | 中断屏蔽标志 (寄存器) | 优先指定标志 (寄存器) |
|---------|------------------|--------------------|-----------------|-----------------|------------------------------------|
| 定时器 RD0 | TRDSR0 | TRDIER0 | TRDIF0 (IF2H) | TRDMK0 (MK2H) | TRDPR00 (PR02H) TRDPR10 (PR12H) |
| 定时器 RD1 | TRDSR1 | TRDIER1 | TRDIF1 (IF2H) | TRDMK1 (MK2H) | TRDPR01 (PR02H) TRDPR11 (PR12H) |

图 8 - 61 定时器 RD 中断的框图



$i = 0$ 至 1

IMFA、IMFB、IMFC、IMFD、OVF、UDF：TRDSR_i 寄存器位

IMIEA、IMIEB、IMIEC、IMIED、OVIE：TRDIER_i 寄存器位

由于中断源（定时器 RD 中断）由定时器 RD 的多个中断请求源的组合产生，因而适用下述与其他可屏蔽中断的差异：

- 当 TRDSR_i 寄存器的位为 1，TRDIER_i 寄存器的对应位为 1（中断允许）时，IF2H 寄存器的 TRDIF_i 位设置为 1（中断请求）。
- 如果 TRDIER_i 寄存器中的多个位被设置为 1，则用 TRDSR_i 寄存器来确定中断请求源。
- 由于即使中断被受理，TRDSR_i 寄存器中的位也不会自动设置为 0，因此，须在中断程序中将对应的位设置为 0。
- 当 TRDIER_i 寄存器中的多个位被设置为 1 时，如果第一请求源得到满足且 TRDIF_i 位被设置为 1，然后下一个请求源得到满足，则在中断被受理时，TRDIF_i 位将清除为 0。

然而，如果前面满足的请求源被清除为 0，则 TRDIF_i 位将通过下一个产生的请求源设置为 1。

- 如果必须将TRDIERi寄存器禁止的中断的中断源标志清除为0，则必须要使用以下方法之一将标志清除为0。
 - (i) 当TRDIERi寄存器允许的中断的中断源状态都为0时，将TRDIERi寄存器禁止的中断的中断源标志清除为0。
 - (ii) 在TRDIERi寄存器允许的中断的中断源状态被设置为1期间，将TRDIERi寄存器禁止的中断的中断源标志清除为0时，应将TRDIERi寄存器允许的中断的中断源状态清除为0，同时将TRDIERi寄存器禁止的中断的中断源标志清除为0。
 - (iii) 在禁止所有中断之后，将TRDIERi寄存器设置为00H，并将中断源标志清除为0。

8.5 定时器 RD 的注意事项

8.5.1 SFR 读/写存取

当用户选项字节 (000C2H) 中的 FRQSEL4 = 1 并且 PER1 寄存器中的 TRD0EN = 0 时, 定时器 RD SFR 为不定。如需读取初始值, 在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

在设置定时器 RD 时, 要首先将 PER1 寄存器的 TRD0EN 位设置为 1。如果 TRD0EN 位为 0, 向定时器 RD 控制寄存器的写入操作无效, 且所有读取值均为初始值 (端口寄存器和端口模式寄存器除外)。

计数操作时, 以下的寄存器为禁止改写的寄存器:

TRDOER2、TRDDFi、TRDCRi、TRDIORAi、TRDIORCi、TRDPOCRi 中的 TRDELc、TRDMR、TRDPMR、TRDFCR、TRDOER1、TRDPTO 位

(1) TRDSTR 寄存器

- 使用 8 位存储器操作指令设置 TRDSTR 寄存器。
- 当 TRDSTR 寄存器中的 CSELi 位 (i = 0 或 1) 被设置为 0 (在寄存器 TRDi 和 TRDGRAi 比较匹配时停止计数) 时, 即使 0 (停止计数) 被写入 TSTARTi 位, 也不停止计数且 TSTARTi 位保持不变。
仅当与 TRDGRAi 寄存器比较匹配时, TSTARTi 位才被设置为 0 (停止计数)。
改写 TRDSTR 寄存器时如果 CSELi 位为 0, 将 0 写入 TSTARTi 位以使 CSELi 位变成 1 而不影响计数操作。
如果在计数器停止期间将 1 写入 TSTARTi 位, 则可开始计数。
要通过程序停止计数, 须在将 CSELi 位设置为 1 之后设置 TSTARTi 位。即使将 1 写入 CSELi 位且同时将 0 写入 TSTARTi 位 (使用一条指令), 也不能停止计数。
- 表 8 - 19 列出了停止计数时的 TRDIOji (j = A、B、C 或 D) 引脚输出电平, 其中, TRDIOji (j = A、B、C 或 D) 引脚被用于定时器 RD 输出。

表 8 - 19 计数停止时的 TRDIOji (j = A、B、C 或 D) 引脚输出电平

| 停止计数 | 计数停止时的 TRDIOji 引脚输出 |
|--|---|
| CSELi 位设置为 1 时, 向 TSTARTi 位写入 0, 计数停止。 | 引脚保持计数停止前的输出电平。(在定时器 RD 互补和复位同步 PWM 模式下, 引脚输出由 TRDFCR 寄存器中的 OLS0 和 OLS1 位选择的初始输出电平。) |
| CSELi 位设置为 0 时, 与 TRDi 和 TRDGRAi 寄存器比较匹配时计数停止。 | 因比较匹配导致输出变化之后, 引脚保持输出电平。(在定时器 RD 互补和复位同步 PWM 模式下, 引脚输出由 TRDFCR 寄存器中的 OLS0 和 OLS1 位选择的初始输出电平。) |

备注 i = 0 或 1, j = A、B、C 或 D

(2) TRDDFi 寄存器 (i = 0 或 1)

设置 TRDDFi 寄存器的 DFCK0 和 DFCK1 位后, 开始计数操作。

8.5.2 模式切换

- 在操作过程中, 将计数设置为在切换模式之前停止工作 (将 TSTART0 和 TSTART1 位设置为 0)。
- 在将 TSTART0 和 TSTART1 位从 0 改变为 1 之前, 将 TRDIF0 和 TRDIF1 位设置为 0。详情参阅第 15 章 中断功能。

8.5.3 计数源

- 停止计数后切换计数源。

[更改步骤]

- (1) 将 TRDSTR 寄存器中的 TSTARTi 位 ($i = 0$ 或 1) 设置为 0 (停止计数)。
 - (2) 更改 TRDCRi 寄存器中的 TCK0 至 TCK2 位。
- 在将 f_{HOCO} (48 MHz) 选作定时器 RD 的计数源时, 在设置外围允许寄存器 1 (PER1) 的位 4 (TRD0EN) 之前, 要把 f_{CLK} 设置为 f_{IH} 。在将 f_{CLK} 更改为 f_{IH} 以外的时钟时, 要在更改前清除外围允许寄存器 1 (PER1) 的位 4 (TRD0EN)。

8.5.4 输入捕捉功能

- 输入捕捉信号的脉冲宽度设置为定时器 RD 工作时钟的三个或三个以上周期。
- 在将输入捕捉信号施加于 TRDIOji 引脚 ($i = 0$ 或 1 , $j = A、B、C$ 或 D) 之后 (当不使用数字滤波器时), TRDi 寄存器的值将在两个或三个定时器 RD 工作时钟 (f_{CLK}) 周期后被传送至 TRDGRji 寄存器。
- 在输入捕捉模式下, 如果由 TRDIORji 寄存器中的 TRDIOj0 和 TRDIOj1 位选择的边沿被输入 TRDIOji 引脚 ($i = 0$ 或 1 ; $j = A、B、C$ 或 D), 则当 TRDSTR 寄存器中的 TRDTSTARTi 位为 0 时 (停止计数), 也将在 TRDIOji 输入有效边沿处产生输入捕捉中断请求。

8.5.5 设置 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚的步骤 ($i = 0$ 或 1)

复位后, 复用于 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚的输入/输出端口将充当输入端口。

- 从 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚输出时, 使用以下的设置步骤:

更改步骤

- (1) 设置模式和初始值。
 - (2) 允许 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚的输出 (TRDOER1 寄存器)。
 - (3) 设置与引脚 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 相对应的端口寄存器的位为 0 。
 - (4) 设置与引脚 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 相对应的端口模式寄存器的位为输出模式。(输出从引脚 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 开始)
 - (5) 开始计数 (设置 TSTART0 和 TSTART1 位为 1)。
- 要从输出模式改变与引脚 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 相对应的端口模式寄存器的位到输入模式时, 使用以下的设置步骤:

更改步骤

- (1) 设置与引脚 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 相对应的端口模式寄存器的位到输入模式 (从 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚开始输入)。
 - (2) 设置为输入捕捉功能。
 - (3) 开始计数 (设置 TSTART0 和 TSTART1 位为 1)。
- 当从输出模式切换 TRDIOAi、TRDIOBi、TRDIOCi 和 TRDIODi 引脚直输入模式时, 可能根据引脚的状态执行输入捕捉操作。数字滤波器不使用时, 经过工作时钟的两个周期或两个周期以上后, 执行沿检测。使用数字滤波器时, 经过最多 5 个采样时钟周期后, 执行边沿检测。

8.5.6 外接时钟 TRDCLK

设置施加到 TRDCLK 引脚的外接时钟的脉冲宽度为定时器 RD 工作时钟的三个或三个以上周期。

8.5.7 复位同步 PWM 模式

- 当复位同步 PWM 模式使用为发动机控制时，确认 OLS0 = OLS1。
- 通过以下的步骤设置为复位同步 PWM 模式：

[更改步骤]

- (1) 设置 TRDSTR 寄存器的 TSTART0 位为 0（停止计数）。
- (2) 设置 TRDFCR 寄存器的 CMD1 和 CMD0 位为 00B（定时器模式、PWM 模式和 PWM3 模式）。
- (3) 设置 CMD1 和 CMD0 位为 01B（复位同步 PWM 模式）。
- (4) 再次设置与定时器 RD 协作的其他寄存器。

8.5.8 互补 PWM 模式

- 当互补 PWM 模式使用为发动机控制时，确认 OLS0 = OLS1。
- 通过以下的步骤设置更改 TRDFCR 寄存器的 CMD0 和 CMD1 位。

更改步骤：当设置为互补 PWM 模式（包括重设），或在互补 PWM 模式下更改从缓冲寄存器到通用寄存器的传送时序时。

- (1) 设置 TRDSTR 寄存器的 TSTART0 和 TSTART1 的位为 0（计数停止）。
- (2) 设置 TRDFCR 寄存器的 CMD1 和 CMD0 位为 00B（定时器模式、PWM 模式和 PWM3 模式）。
- (3) 设置 CMD1 和 CMD0 位为 10B 或 11B（互补 PWM 模式）。
- (4) 再次设置与其他定时器 RD 协作的寄存器。

更改步骤：当停止互补 PWM 模式时

- (1) 设置 TRDSTR 寄存器的 TSTART0 和 TSTART1 的位为 0（计数停止）。
- (2) 设置 CMD1 至 CMD0 位为 00B（定时器模式、PWM 模式和 PWM3 模式）。

- 操作过程中不要向 TRDGRA0、TRDGRB0、TRDGRA1 或 TRDGRB1 寄存器写入。

更改 PWM 方波时，使用缓冲操作将写入到 TRDGRD0、TRDGRD1 寄存器的值传送到 TRDGRB0、TRDGRA1 和 TRDGRB1 寄存器。

然而，要将数据写入 TRDGRD0、TRDGRD1 寄存器，则须将 TRDBFD0、TRDBFC1 和 TRDBFD1 位设置为 0（通用寄存器）。之后，TRDBFD0、TRDBFC1 和 TRDBFD1 可以设置为 1（缓冲寄存器）。

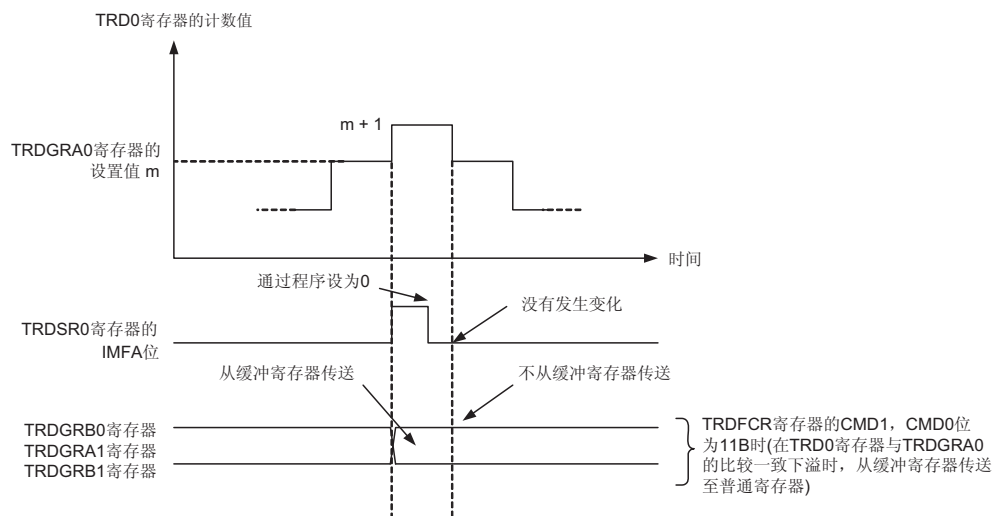
不能更改 PWM 周期。

- 如果假设 TRDGRA0 寄存器的设置值为 m ，则 TRD0 寄存器从递增转为递减时，以 $m - 1$ 、 m 、 $m + 1$ 、 m 、 $m - 1$ 的顺序来计数。

从 m 更改为 $m + 1$ 时，TRDSRi 寄存器的 IMFA 位设置为 1，并且 TRDFCR 寄存器的 CMD1 和 CMD0 位设置为 11B（互补 PWM 模式下，缓冲数据在寄存器 TRD0 和 TRDGRA0 的比较匹配时传送），缓冲寄存器（TRDGRD0、TRDGRD1 和 TRDGRD1）的内容被传送到通用寄存器（TRDGRB0、TRDGRA1 和 TRDGRB1）。

在 $m + 1$ 、 m 和 $m - 1$ 的操作过程，IMFA 位保持不变，数据不会传送到 TRDGRA0 等寄存器上。

图 8 - 62 互补 PWM 模式下，TRD0 和 TRDGRA0 寄存器比较匹配时的操作



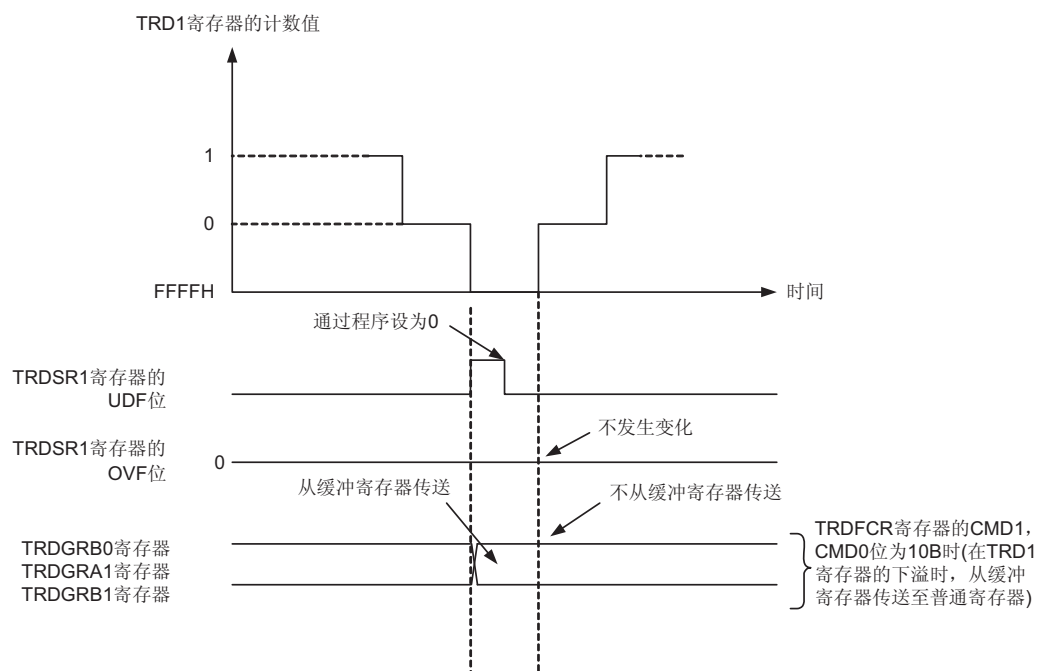
当TRD1寄存器从递减改变到递增操作时，以1、0、FFFFH、0、1的顺序来计数。

从1至0至FFFFH使TRDSR_i寄存器的UDF位设置为1。并且，当TRDFCR寄存器的CMD1和CMD0位被设置为10B时（互补PWM模式下，缓冲数据在TRD1寄存器下溢时传送），缓冲寄存器的内容（TRDGRD0、TRDGRC1和TRDGRD1）被传送到通用寄存器（TRDGRB0、TRDGRA1和TRDGRB1）。

在FFFFH、0和1的操作过程中，数据不会传送到TRDGRB0等寄存器上。

并且，此时TRDSR_i寄存器的OVF位保持不变。

图 8 - 63 互补 PWM 模式下，TRD1 寄存器下溢时的操作



- 从缓冲寄存器到通用寄存器的数据传送时序，应该使用TRDFCR寄存器的CMD0和CMD1位进行选择。但是，不管CMD0和CMD1的设置值如何，当占空比周期为0%和100%，按以下的时序来传送。

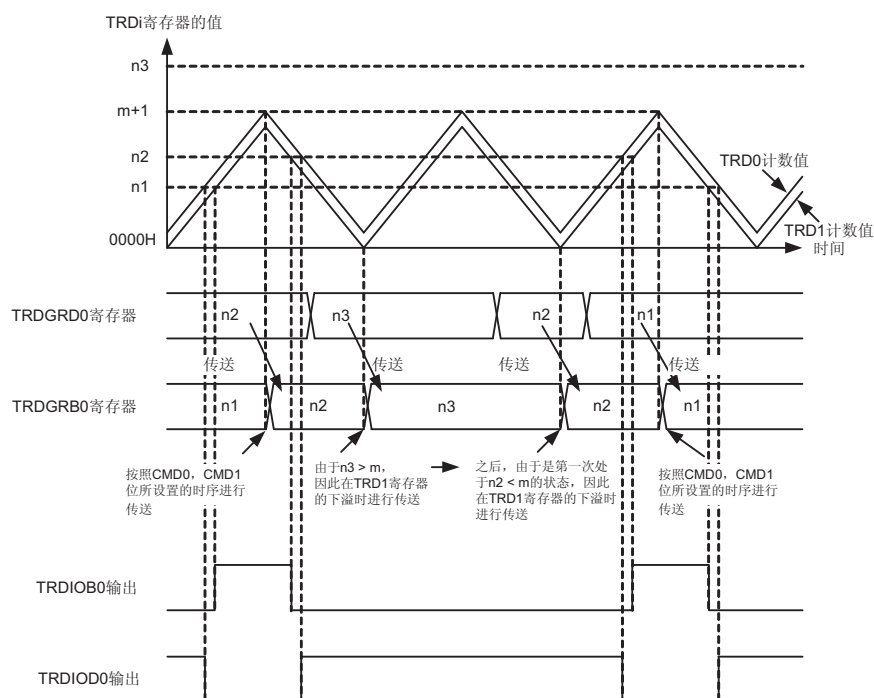
缓冲寄存器的值 \geq TRDGRA0寄存器的值（占空比为0%）：

传送发生在TRD1寄存器的下溢。

此后，当缓冲寄存器被设置为大于等于0001H且小于TRDGRA0寄存器的值时，并且TRD1寄存器在设置后首次发生下溢，该值将被传送至通用寄存器。之后，该值将在由CMD1和CMD0位选择的时间被传送。

但是，当缓冲寄存器的初始值是FFFFH时，不能产生占空比0%的方波。要产生占空比0%的方波，通过写入到缓冲寄存器，设置缓冲寄存器的值 \geq TRDGRA0。

图 8 - 64 互补 PWM 模式下缓冲寄存器的值 \geq TRDGRA0 寄存器的值时的操作



备注
m: TRDGRA0寄存器的设置值

上图是在如下条件下:

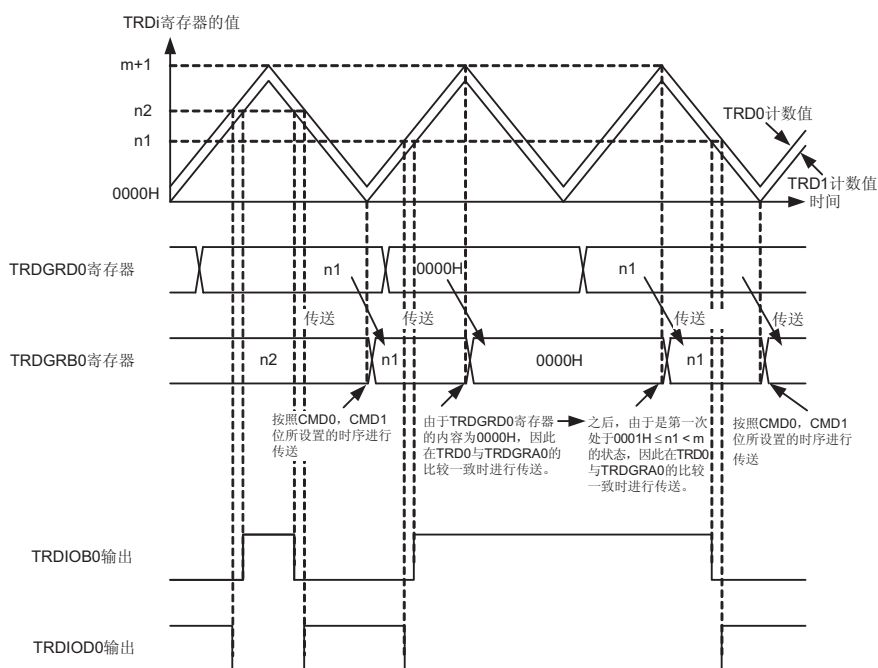
- TRDFCR寄存器的CMD1, CMD0位为11B
(在相位补偿PWM模式, TRD0寄存器与TRDGRA0寄存器的比较一致时, 传送缓冲寄存器的数据)
- TRDFCR寄存器的OSL0, OLS1位为 1 (无论正相还是反相, 均为高电平)

当缓冲寄存器的值设置为 0000H 时（占空比是 100%）：

传出发生在 TRD0 和 TRDGRA0 寄存器的比较匹配时。

此后，当缓冲寄存器被设置为大于等于 0001H 且小于 TRDGRA0 寄存器的值时，并且寄存器 TRD0 和 TRDGRA0 在设置后首次发生比较匹配，该值将被传送至通用寄存器。之后，该值将在由 CMD0 和 CMD1 位选择的时间被传送。

图 8 - 65 互补 PWM 模式下缓冲寄存器的值设置为 0000H 的操作



备注

m: TRDGRA0寄存器的设置值

上图是在如下条件下:

- TRDFCR寄存器的CMD1, CMD0位为10B (在相位补偿PWM模式, TRD1寄存器的下溢时, 传送缓冲寄存器的数据)
- TRDFCR寄存器的OLS0, OLS1位为1 (无论正相还是反相, 均为高电平)

第 9 章 12 位间隔定时器

9.1 12 位间隔定时器的功能

可按照预先设置的任意的时间间隔产生中断(INTIT)。用于从 STOP 模式的唤醒，以及 A/D 转换器的 SNOOZE 模式的触发。

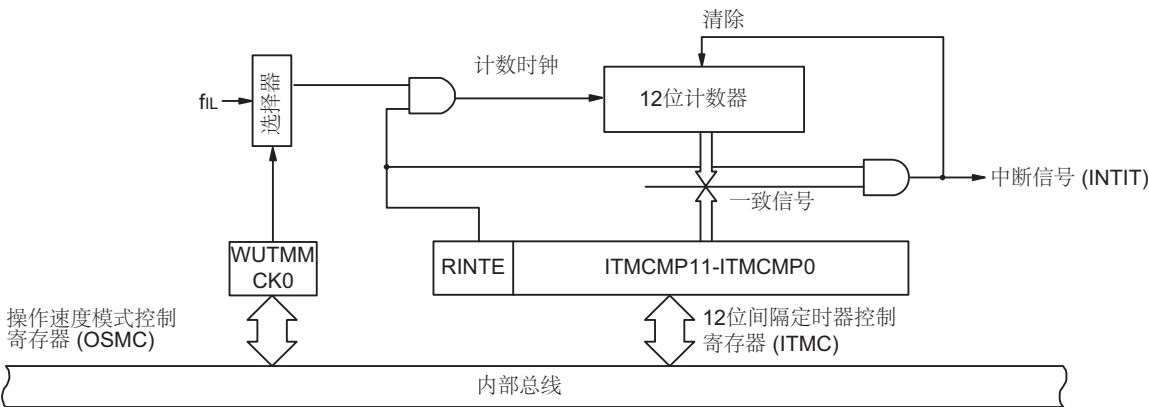
9.2 12 位间隔定时器的配置

12 位间隔定时器包含以下硬件。

表 9 - 1 12 位间隔定时器的配置

| 项目 | 配置 |
|-------|-----------------------|
| 计数器 | 12 位计数器 |
| 控制寄存器 | 外围允许寄存器 0 (PER0) |
| | 操作速度模式控制寄存器 (OSMC) |
| | 12 位间隔定时器控制寄存器 (ITMC) |

图 9 - 1 12 位间隔定时器的框图



9.3 控制12位间隔定时器的寄存器

12位间隔定时器由下列寄存器控制。

- 外围允许寄存器0 (PER0)
- 操作速度模式控制寄存器 (OSMC)
- 12位间隔定时器控制寄存器 (ITMC)

(1) 外围允许寄存器0 (PER0)

该寄存器用于允许或禁止向外围硬件供应时钟。通过停止向未使用的硬件供应时钟，可以降低功耗和噪声。

使用12位间隔定时器时，必须将该寄存器的位7 (ITEN) 设置为1。

使用1位或8位存储器操作指令设置PER0寄存器。

产生复位信号后，该寄存器被清除为00H。

图 9 - 2 外围允许寄存器 0 (PER0) 的格式

| | | | | | | | | |
|------------|----------|---|-------|---|---|--------|---|--------|
| 地址: F00F0H | 复位后: 00H | R/W | | | | | | |
| 符号 | <7> | 6 | <5> | 4 | 3 | <2> | 1 | <0> |
| PER0 | ITEN | 0 | ADCEN | 0 | 0 | SAU0EN | 0 | TAU0EN |
| | | | | | | | | |
| ITEN | | 12位间隔定时器的输入时钟供应的控制 | | | | | | |
| 0 | | 停止输入时钟供应。 • 不可写入用于12位间隔定时器的SFR。 • 12位间隔定时器处于复位状态。 | | | | | | |
| 1 | | 允许输入时钟供应。 • 可以读取/写入用于12位间隔定时器的SFR。 | | | | | | |

注意事项 1.使用12位间隔定时器时，首先要设置ITEN = 1。如果ITEN = 0，则对12位间隔定时器的控制寄存器的写操作无效，所有读取值均为初始值（操作速度模式控制寄存器(OSMC)除外）。

注意事项 2.必须将以下位清除为0。

位1、3、4、6

- (2) 操作速度模式控制寄存器 (OSMC)
- WUTMMCK0 位可以用于选择 12 位间隔定时器的工作时钟。
- 使用 8 位存储器操作指令设置 OSMC 寄存器。
- 产生复位信号后，该寄存器被清除为 00H。

图 9 - 3 操作速度模式控制寄存器 (OSMC) 的格式

| | | | | | | | | |
|------------|----------------------------|----------|---|----------|---|---|---|---|
| 地址: F00F3H | | 复位后: 00H | | R/W | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OSMC | 0 | 0 | 0 | WUTMMCK0 | 0 | 0 | 0 | 0 |
| | | | | | | | | |
| WUTMMCK0 | 选择 12 位间隔定时器和定时器 RJ 的工作时钟。 | | | | | | | |
| 0 | 禁止设置 | | | | | | | |
| 1 | 低速片上振荡器时钟 (fIL) | | | | | | | |

- (3) 12 位间隔定时器控制寄存器 (ITMC)
- 该寄存器用于设置 12 位间隔定时器的开始和停止，以及指定定时器比较值。
- 使用 16 位存储器操作指令设置 ITMC 寄存器。
- 产生复位信号后，该寄存器被清除为 0FFFH。

图 9 - 4 12 位间隔定时器控制寄存器 (ITMC) 的格式

地址：FFF90H

复位后：0FFFH

R/W

符号

15

14

13

12

11至0

ITMC

| | | | | |
|-------|---|---|---|----------------|
| RINTE | 0 | 0 | 0 | ITCMP11至ITCMP0 |
|-------|---|---|---|----------------|

| | |
|-------|---------------|
| RINTE | 12位间隔定时器的操作控制 |
| 0 | 停止计数操作（计数清除） |
| 1 | 开始计数操作 |

| | |
|----------------|---------------------------------------|
| ITCMP11至ITCMP0 | 12位间隔定时器的比较值设置 |
| 001H | 这些位以固定周期（计数时钟周期 x（ITCMP 设置 + 1））产生中断。 |
| • | |
| • | |
| • | |
| FFFH | |

当ITCMP11至ITCMP0被设置为001H或FFFH时的中断周期示例

- ITCMP11至ITCMP0 = 001H，计数时钟：f_{IL} = 15 kHz
1/15 [kHz] × (1 + 1) = 0.133333...[ms] ≅ 133.33 [μs]
- ITCMP11至ITCMP0 = FFFH，计数时钟：f_{IL} = 15 kHz
1/15 [kHz] × (4095 + 1) = 273.066...[ms] ≅ 273.07 [ms]

- 注意事项 1. 将 RINTE 位从 1 更改为 0 之前，先用中断屏蔽标志寄存器来禁止处理 INTIT 中断。另外，在改写改位的值以后，清除 ITIF 标志，然后允许处理中断。
- 注意事项 2. 设置 RINTE 位并经过一个计数时钟周期后，才能从 RINTE 位读取到值。
- 当进入 HALT 模式或 STOP 模式时，进入之前请确认 RINTE 位的写入值可以被读取。
- 注意事项 3. 在从待机模式返回并再次进入待机模式之后，在设置 RINTE 位时，要确认 RINTE 位的写入值可以被读取，或者在从待机模式返回之后等待大于 1 个计数时钟，再进入待机模式。
- 注意事项 4. 仅当 RINTE = 0 时，才能更改 ITCMP11 至 ITCMP0 位的设置。
- 然而，可以在将 RINTE 从 0 更改为 1 或者从 1 更改为 0 的同时，更改 ITCMP11 至 ITCMP0 位的设置。

9.4 12 位间隔定时器操作

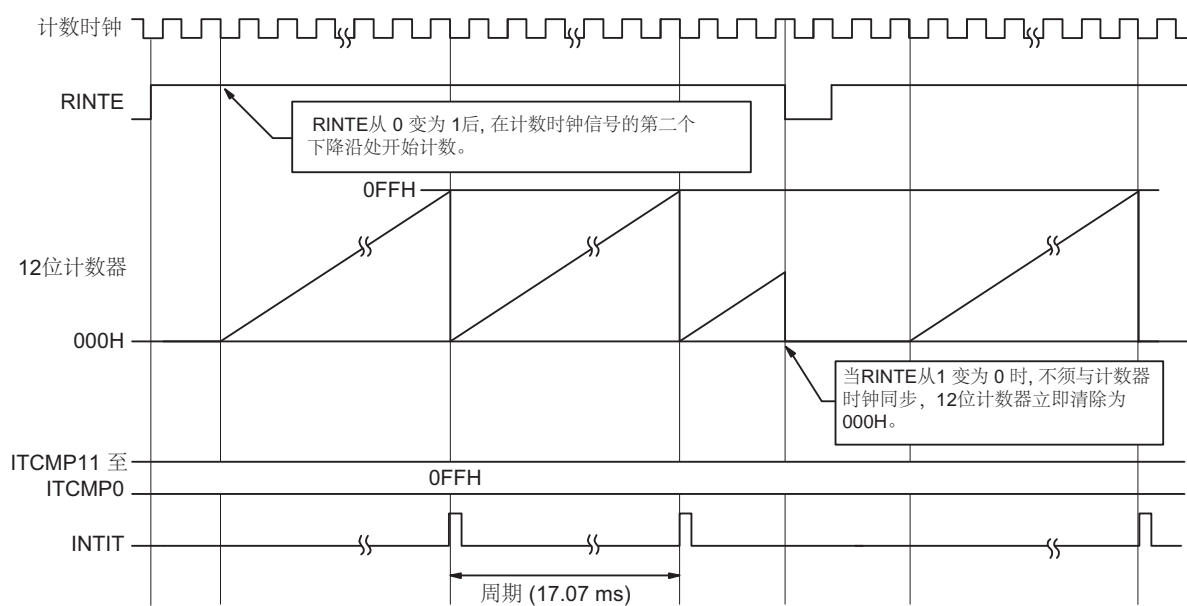
作为间隔定时器操作，将 ITCMP11 至 ITCMP0 位的指定计数值作为间隔，操作 12 位以重复产生中断请求 (INTIT)。

当 RINTE 位被设置为 1 时，12 位计数器开始计数。

当 12 位计数器的值和 ITCMP11 至 ITCMP0 位的指定值一致时，清除 12 位计数器至 0，继续计数，同时产生中断请求信号 (INTIT)。

12 位间隔定时器的基本操作如下所示。

图 9 - 5 12 位间隔定时器操作时序 (ITCMP11 至 ITCMP0 = 0FFH, 计数时钟: f_{IL} = 15 kHz)



第 10 章 时钟输出/蜂鸣器输出控制器

10.1 时钟输出/蜂鸣器输出控制器的功能

时钟输出控制器用于遥控发送时的载波输出以及供应至外围 IC 的时钟输出。

蜂鸣器输出功能用于输出蜂鸣器频率的方波。

一个引脚可选用为时钟输出用或蜂鸣器输出用。

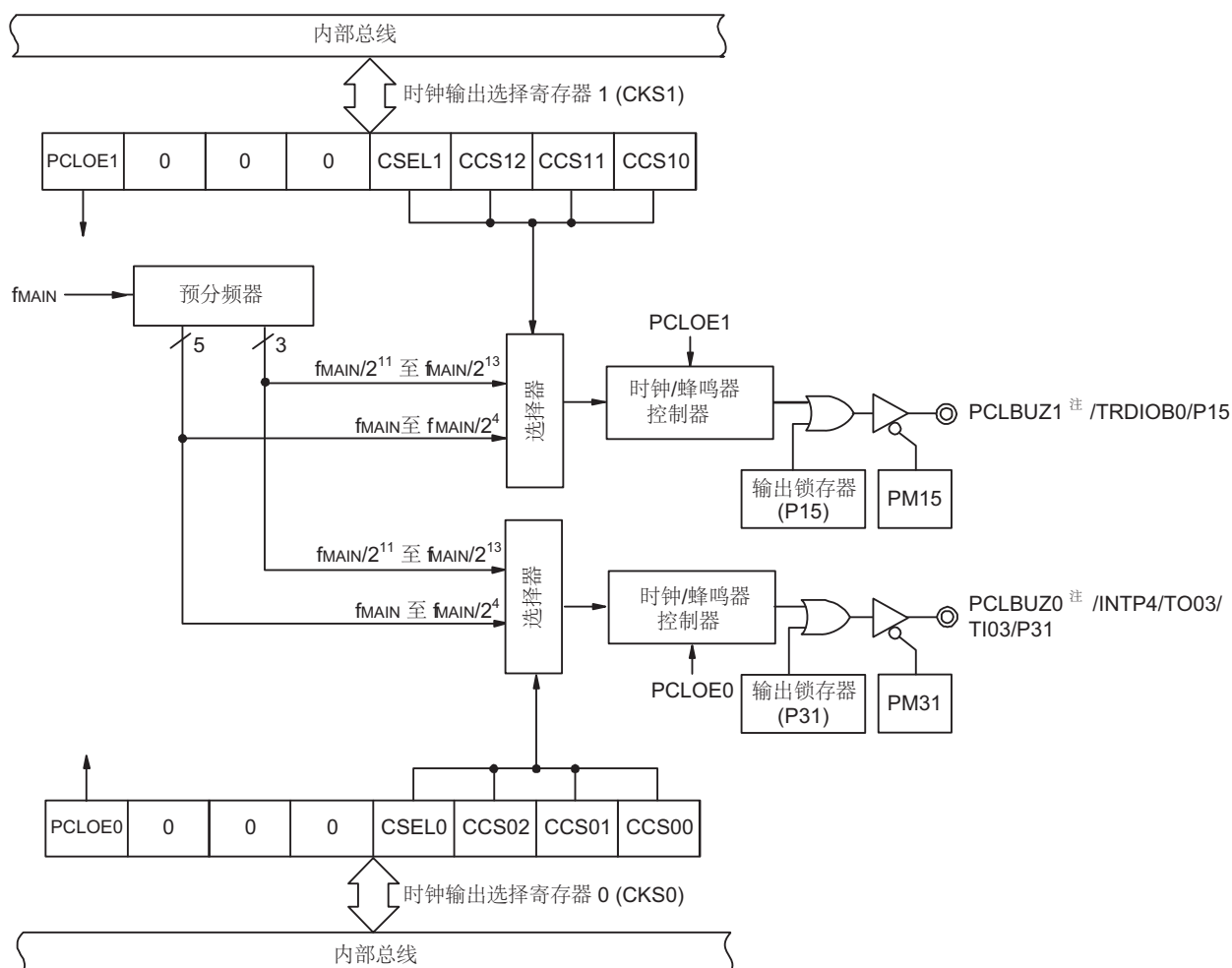
两个输出引脚，PCLBUZ0 和 PCLBUZ1 均可用。

PCLBUZn 引脚可以输出由时钟输出选择寄存器 (CKSn) 所选择的时钟。

时钟输出/蜂鸣器输出控制器的框图如图 10 - 1 所示。

备注 n = 0、1

图 10 - 1 时钟输出/蜂鸣器输出控制器的框图



注 有关可从 PCLBUZ0 和 PCLBUZ1 输出的频率，请参阅 27.5 AC 特性。

10.2 时钟输出/蜂鸣器输出控制器的配置

时钟输出/蜂鸣器输出控制器包含以下硬件。

表 10 - 1 时钟输出/蜂鸣器输出控制器的配置

| 项目 | 配置 |
|-------|--|
| 控制寄存器 | 时钟输出选择寄存器 n (CKSn) 端口模式寄存器 1、3 (PM1、PM3) 端口寄存器 1、3 (P1、P3) |

10.3 控制时钟输出/蜂鸣器输出控制器的寄存器

以下三个寄存器用于控制时钟输出/蜂鸣器输出控制器。

- 时钟输出选择寄存器 n (CKSn)
- 端口模式寄存器 1、3 (PM1、PM3)

(1) 时钟输出选择寄存器 n (CKSn)

该寄存器设置时钟输出或蜂鸣器频率输出引脚(PCLBUZn)的输出允许/禁止，并设置输出时钟。

使用CKSn寄存器选择从PCLBUZn引脚输出的时钟。

使用1位或8位存储器操作指令设置CKSn寄存器。

产生复位信号后，该寄存器被清除为00H。

图 10 - 2 时钟输出选择寄存器 n (CKSn) 的格式

地址: FFFA5H (CKS0)、FFFA6H (CKS1) 复位后: 00H R/W

| | | | | | | | | |
|------|--------|---|---|---|-------|-------|-------|-------|
| 符号 | <7> | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CKSn | PCLOEn | 0 | 0 | 0 | CSELn | CCSn2 | CCSn1 | CCSn0 |

| | |
|--------|-----------------------|
| PCLOEn | PCLBUZn 引脚的输出允许/禁止的指定 |
| 0 | 禁止输出 (默认) |
| 1 | 允许输出 |

| CSELn | CCSn2 | CCSn1 | CCSn0 | | PCLBUZn 引脚输出时钟选择 | | | |
|-------|-------|-------|-------|-----------------------|------------------|-------------------|-------------------|-------------------|
| | | | | | fMAIN = 5 MHz | fMAIN = 10 MHz | fMAIN = 20 MHz | fMAIN = 24 MHz |
| 0 | 0 | 0 | 0 | fMAIN | 5 MHz | 10 MHz 注 | 禁止设置注 | 禁止设置注 |
| 0 | 0 | 0 | 1 | fMAIN/2 | 2.5 MHz | 5 MHz | 10 MHz 注 | 12 MHz 注 |
| 0 | 0 | 1 | 0 | fMAIN/2 ² | 1.25 MHz | 2.5 MHz | 5 MHz | 6 MHz |
| 0 | 0 | 1 | 1 | fMAIN/2 ³ | 625 kHz | 1.25 MHz | 2.5 MHz | 3 MHz |
| 0 | 1 | 0 | 0 | fMAIN/2 ⁴ | 312.5 kHz | 625 kHz | 1.25 MHz | 1.5 MHz |
| 0 | 1 | 0 | 1 | fMAIN/2 ¹¹ | 2.44 kHz | 4.88 kHz | 9.77 kHz | 11.72 kHz |
| 0 | 1 | 1 | 0 | fMAIN/2 ¹² | 1.22 kHz | 2.44 kHz | 4.88 kHz | 5.86 kHz |
| 0 | 1 | 1 | 1 | fMAIN/2 ¹³ | 610 Hz | 1.22 kHz | 2.44 kHz | 2.93 kHz |
| 其他 | | | | 禁止设置 | | | | |

注 在 12 MHz 的范围内使用输出时钟。另外，当 2.7 V ≤ VDD < 4.0 V 时，只能在 8 MHz 的范围内使用输出时钟。
有关详情，请参阅 27.5 AC 特性。

注意事项 1. 设置为禁止时钟输出 (PCLOEn = 0) 后，才可以更改输出时钟。
注意事项 2. 当选择主系统时钟 (CSELn = 0) 时，若要切换至 STOP 模式，则须在执行 STOP 指令之前将 PCLOEn 设置为 0。

备注 1. n = 0、1
备注 2. fMAIN: 主系统时钟频率

(2) 端口模式寄存器 1、3（PM1、PM3）

这些寄存器以 1 位为单位设置端口 1 和端口 3 的输入/输出。

将 P31/TI03/TO03/INTP4/PCLBUZ0、P15/TRDIOB0/PCLBUZ1 引脚用于时钟输出和蜂鸣器输出时，将 PM31 和 PM15 位以及 P31、P15 的输出锁存器清除为 0。

用 1 位或 8 位存储器操作指令设置 PM1 和 PM3 寄存器。

产生复位信号后，该寄存器被设置为 FFH。

图 10-3 端口模式寄存器 1、3（PM1、PM3）的格式

地址: FFF21H

复位后: FFH

R/W

符号

7

6

5

4

3

2

1

0

PM14

| | | | | | | | |
|------|------|------|------|------|------|------|------|
| PM17 | PM16 | PM15 | PM14 | PM13 | PM12 | PM11 | PM10 |
|------|------|------|------|------|------|------|------|

地址: FFF23H

复位后: FFH

R/W

符号

7

6

5

4

3

2

1

0

PM3

| | | | | | | | |
|---|---|---|---|---|---|------|------|
| 1 | 1 | 1 | 1 | 1 | 1 | PM31 | PM30 |
|---|---|---|---|---|---|------|------|

| | |
|------|-----------------------------------|
| PMmn | Pmn引脚输入/输出模式的选择（mn = 1、3；n = 0至7） |
| 0 | 输出模式（输出缓冲器启用） |
| 1 | 输入模式（输出缓冲器关闭） |

10.4 时钟输出/蜂鸣器输出控制器的操作

一个引脚可选用为时钟输出用或蜂鸣器输出用。

PCLBUZ0 引脚输出使用时钟输出选择寄存器 0 (CKS0) 选择的时钟/蜂鸣器。

PCLBUZ1 引脚输出使用时钟输出选择寄存器 1 (CKS1) 选择的时钟/蜂鸣器。

10.4.1 作为输出引脚的操作

PCLBUZn 引脚按照以下步骤输出。

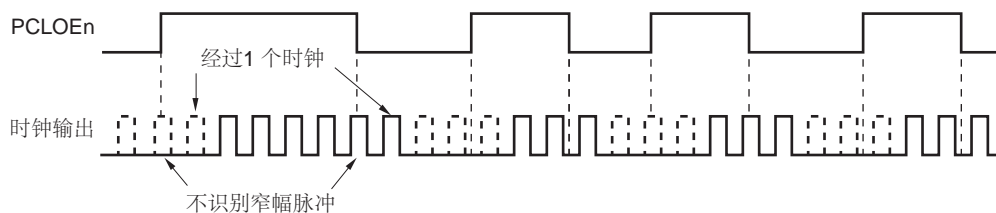
<1> 使用 PCLBUZn 引脚的时钟输出选择寄存器 (CKSn) 的位 0 至位 3 (CCSn0 至 CCSn2、CSELn) 选择输出频率 (输出禁止状态)。

<2> 将 CKSn 寄存器的位 7 (PCLOEn) 设置为 1, 以允许时钟/蜂鸣器输出。

备注 1. 切换为允许或禁止时钟输出 (PCLOEn 位) 且经过一个时钟之后, 用于输出时钟的控制电路开始或停止输出时钟。此时不输出窄幅脉冲。使用 PCLOEn 位允许或停止输出以及输出时钟的时序如图 10 - 4 所示。

备注 2. n = 0、1

图 10 - 4 遥控输出应用程序示例



10.5 时钟输出/蜂鸣器输出控制器的注意事项

当主系统时钟选择用作 PCLBUZn 输出 (CSELn = 0) 时, 如果在输出禁止 (PCLOEn = 0) 后的 1.5 个主系统时钟周期中, 进入 STOP 或 HALT 模式, PCLBUZn 的输出宽度会变短。

第 11 章 看门狗定时器

11.1 看门狗定时器的功能

看门狗定时器工作于低速片上振荡器时钟。

看门狗定时器用于检测程序失控。检测到程序失控时产生内部复位信号。

下述情况时检测到程序失控。

- 当看门狗定时器发生溢出时
- 对看门狗定时器允许寄存器(WDTE)执行位操作指令时
- 将“ACH”以外的数据写入WDTE寄存器时
- 在窗口关闭期间将数据写入WDTE寄存器时

由于看门狗定时器而产生复位时，复位控制标志寄存器(RESF)的位 4 (WDTRF) 被设置为 1。关于 RESF 寄存器的详情，请参阅第 17 章 复位功能。

达到 $75\% + 1/2f_{IL}$ 的溢出时间时，可以产生间隔中断。

11.2 看门狗定时器的配置

看门狗定时器包括以下硬件。

表 11 - 1 看门狗定时器的配置

| 项目 | 配置 |
|-------|--------------------|
| 控制寄存器 | 看门狗定时器允许寄存器 (WDTE) |

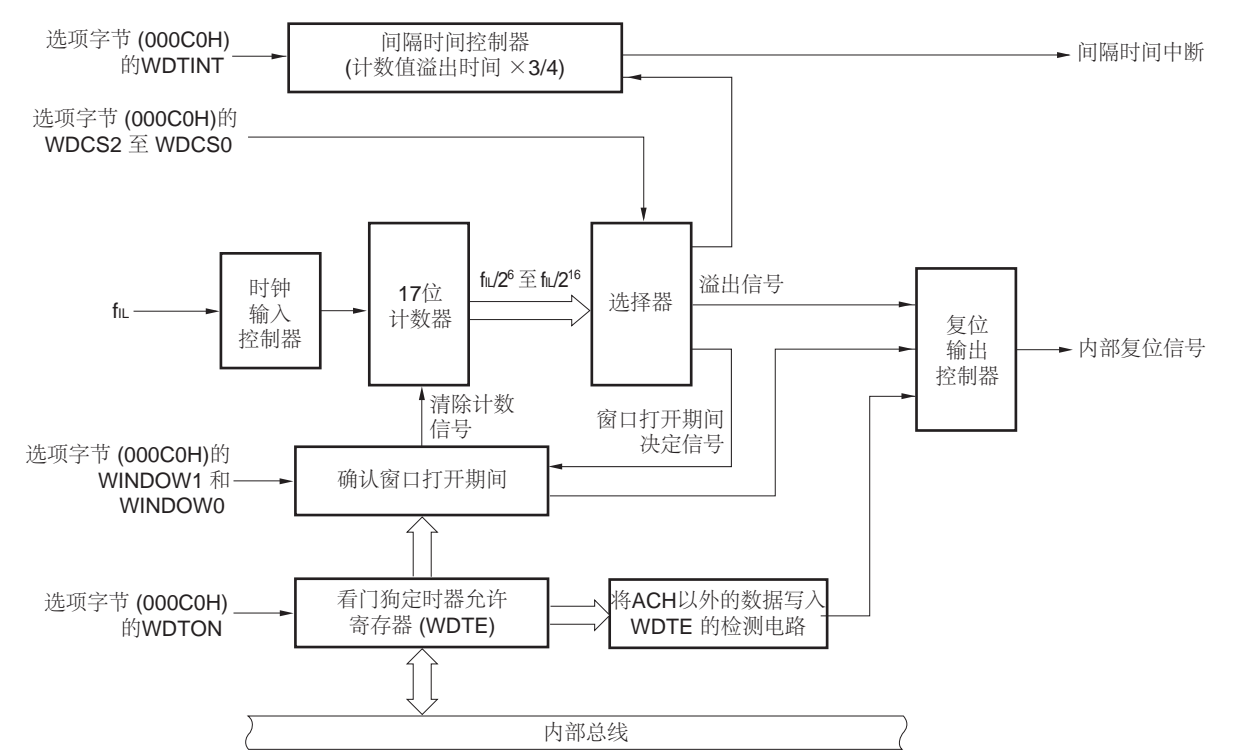
使用选项字节设置计数器工作方式、看门狗定时器的溢出时间、窗口开启期间以及间隔中断。

表 11 - 2 选项字节和看门狗定时器的设置

| 看门狗定时器的设置 | 选项字节 (000C0H) |
|---------------------------------|---------------------------|
| 看门狗定时器间隔中断 | 位 7 (WDTINT) |
| 窗口开启期间 | 位 6 和 5 (WINDOW1、WINDOW0) |
| 看门狗定时器的计数器操作的控制 | 位 4 (WDTON) |
| 看门狗定时器的溢出时间 | 位 3 至 1 (WDCS2 至 WDCS0) |
| 看门狗定时器的计数器操作的控制 (HALT/STOP 模式下) | 位 0 (WDSTBYON) |

备注 有关选项字节，请参阅第 22 章 选项字节。

图 11 - 1 看门狗定时器的框图



11.3 控制看门狗定时器的寄存器

可使用看门狗定时器允许寄存器 (WDTE) 控制看门狗定时器。

(1) 看门狗定时器允许寄存器 (WDTE)

当选项字节 (000C0H) 的 WDTON 位为 1 时，向 WDTE 寄存器写入 “ACH” 可以清除看门狗定时器计数器，并且再次开始计数。

使用 8 位存储器操作指令设置该寄存器。

产生复位信号后，该寄存器被设置为 9AH 或 1AH 注。

图 11 - 2 看门狗定时器允许寄存器 (WDTE) 的格式

| | | | | | | | | |
|------------|---------------------------|---|---|-----|---|---|---|---|
| 地址: FFFABH | 复位后: 9AH/1AH ^注 | | | R/W | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| WDTE | | | | | | | | |

注 WDTE 寄存器复位值因选项字节 (000C0H) 的 WDTON 位的设置值而异。将 WDTON 位设置为 1 以启动看门狗定时器。

| WDTON 位设置值 | WDTE 寄存器复位值 |
|------------------|-------------|
| 0（禁止看门狗定时器的计数操作） | 1AH |
| 1（允许看门狗定时器的计数操作） | 9AH |

- 注意事项 1. 当选项字节 (000C0H) 的 WDTON 位为 1 时，将 “ACH” 以外的值写入 WDTE 寄存器会产生内部复位信号。
- 注意事项 2. 当选项字节 (000C0H) 的 WDTON 位为 1 时，对 WDTE 寄存器执行位操作指令会产生内部复位信号。
- 注意事项 3. WDTE 寄存器的读取值为 9AH/1AH（与写入值 (ACH) 不同）。

11.4 看门狗定时器的操作

11.4.1 控制看门狗定时器的操作

1. 使用看门狗定时器时，下列操作由选项字节(000C0H)指定。

- 将选项字节(000C0H)的位 4 (WDTON) 设置为 1 以允许看门狗定时器的计数操作（解除复位后计数器开始操作）（详情请参阅第 22 章）。

| WDTON | 看门狗定时器计数器 |
|-------|------------------|
| 0 | 禁止计数器操作（复位后停止计数） |
| 1 | 允许计数器操作（复位后开始计数） |

- 使用选项字节(000C0H)的位 3 至 1（WDCS2 至 WDCS0）设置溢出时间（详情请参阅 11.4.2 和第 22 章）。
- 使用选项字节(000C0H)的位 6、5（WINDOW1、WINDOW0）设置窗口开启期间（详情请参阅 11.4.3 和第 22 章）。

2. 解除复位后，看门狗定时器开始计数。
3. 在看门狗定时器开始计数之后到选项字节设置的溢出时间之前，通过向看门狗定时器允许寄存器 (WDTE) 写入“ACH”，清除当前计数，看门狗定时器重新开始计数。
4. 此后，解除复位后对 WDTE 寄存器的第二次及之后的的写入操作须在窗口开启期间执行。如果在窗口关闭期间写入 WDTE 寄存器，将产生内部复位信号。
5. 如果超过溢出时间前未将“ACH”写入 WDTE 寄存器，将产生内部复位信号。
下列情况下产生内部复位信号。

- 对 WDTE 寄存器执行位操作指令时
- 将“ACH”以外的数据写入 WDTE 寄存器时

注意事项 1. 解除复位后首次向看门狗定时器允许寄存器(WDTE)写入数据时，与窗口开启时间无关，在溢出时间之前任何时序写入 WDTE，看门狗定时器都被清除，且看门狗定时器再次开始计数。

注意事项 2. 通过向 WDTE 寄存器写入“ACH”来清除看门狗定时器时，实际溢出时间与选项字节设置的溢出时间可能具有最大 2/f_{IL} 秒的差异。

注意事项 3. 直到计数值溢出之前，都可以清除看门狗定时器。

注意事项 4.如下所示，看门狗定时器在**HALT**和**STOP**模式下的操作因选项字节(000C0H)的位0 (**WDSTBYON**)的设置值而异。

| | WDSTBYON = 0 | WDSTBYON = 1 |
|------------|--------------|--------------|
| HALT 模式时 | 停止看门狗定时器操作。 | 继续看门狗定时器操作。 |
| STOP 模式时 | | |
| SNOOZE 模式时 | | |

如果 **WDSTBYON = 0**，解除 **HALT** 或 **STOP** 模式后看门狗定时器恢复计数。此时，计数器被清除为 **0** 并开始计数。

解除 **STOP** 模式后工作于 **X1** 振荡时钟时，经过振荡稳定时间后 **CPU** 开始工作。

因此，如果从解除 **STOP** 模式到看门狗定时器溢出为止的时间较短，则会在振荡稳定时间内发生看门狗溢出而导致复位。

所以，通过间隔中断解除 **STOP** 模式后 **CPU** 工作在 **X1** 振荡时钟时，必须经过振荡稳定时间才能清除看门狗定时器，设置看门狗溢出时间时要考虑到这一点。

11.4.2 设置看门狗定时器的溢出时间

用选项字节(000C0H)的位3至位1（**WDCS2**至**WDCS0**）设置看门狗定时器的溢出时间。

如果发生溢出，则产生内部复位信号。在溢出时间之前的窗口开启期间，通过向看门狗定时器允许寄存器(**WDTE**)写入“**ACH**”，清除当前计数，看门狗定时器重新开始计数。

可设置的溢出时间如下所示。

表 11 - 3 设置看门狗定时器的溢出时间

| WDCS2 | WDCS1 | WDCS0 | 看门狗定时器的溢出时间 (f _{IL} = 17.25 kHz（最大值）) |
|-------|-------|-------|---|
| 0 | 0 | 0 | 2 ⁶ /f _{IL} (3.71 ms) |
| 0 | 0 | 1 | 2 ⁷ /f _{IL} (7.42 ms) |
| 0 | 1 | 0 | 2 ⁸ /f _{IL} (14.84 ms) |
| 0 | 1 | 1 | 2 ⁹ /f _{IL} (29.68 ms) |
| 1 | 0 | 0 | 2 ¹¹ /f _{IL} (118.72 ms) |
| 1 | 0 | 1 | 2 ¹³ /f _{IL} (474.90 ms) |
| 1 | 1 | 0 | 2 ¹⁴ /f _{IL} (949.80 ms) |
| 1 | 1 | 1 | 2 ¹⁶ /f _{IL} (3799.19 ms) |

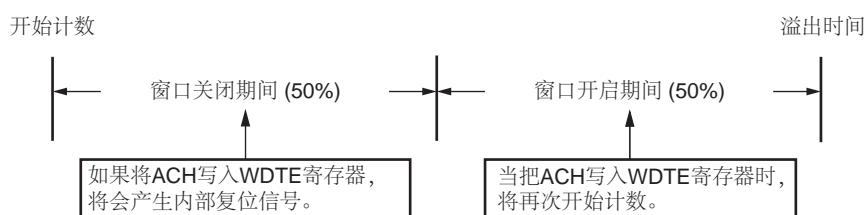
备注 f_{IL}: 低速片上振荡器时钟频率

11.4.3 设置看门狗定时器的窗口开启期间

用选项字节(000C0H)的位6和位5 (WINDOW1、WINDOW0) 设置看门狗定时器的窗口开启期间。窗口概要如下所示。

- 如果在窗口开启期间将“ACH”写入看门狗定时器允许寄存器(WDTE)，则看门狗定时器被清除，并再次开始计数。
- 在窗口关闭期间即使将“ACH”写入WDTE寄存器，也会检测到异常并产生内部复位信号。

示例：窗口开启期间为50%时



注意事项 解除复位后首次向WDTE寄存器写入数据时，与窗口开启时间无关，在溢出时间之前任何时序写入WDTE，看门狗定时器都被清除，且看门狗定时器再次开始计数。

可设置的窗口开启期间如下所示。

表 11 - 4 设置看门狗定时器的窗口开启期间

| WINDOW1 | WINDOW0 | 看门狗定时器的窗口开启期间 |
|---------|---------|---------------|
| 0 | 0 | 禁止设置 |
| 0 | 1 | 50% |
| 1 | 0 | 75% |
| 1 | 1 | 100% |

注意事项 当选项字节(000C0H)的位0 (WDSTBYON) = 0时，不论WINDOW1和WINDOW0位的值被设置为多少，窗口开启期间都为100%。

备注 溢出时间设置为 $2^9/f_{IL}$ 时的窗口关闭时间和开启时间如下所示。

| | 窗口开启期间的设置 | | |
|--------|------------------|------------------|--------------|
| | 50% | 75% | 100% |
| 窗口关闭时间 | 0 至 20.08 ms | 0 至 10.04 ms | 无 |
| 窗口开启期间 | 20.08 至 29.68 ms | 10.04 至 29.68 ms | 0 至 29.68 ms |

<窗口开启期间为 50% 时>

- 溢出时间:
 $2^9/f_{IL}$ (最大值) = $2^9/17.25 \text{ kHz}$ (最大值) = 29.68 ms
- 窗口关闭时间:
 $0 \text{ 至 } 2^9/f_{IL}$ (最小值) $\times (1 - 0.5) = 0 \text{ 至 } 2^9/12.75 \text{ kHz} \times 0.5 = 0 \text{ 至 } 20.08 \text{ ms}$
- 窗口开启期间:
 $2^9/f_{IL}$ (最小值) $\times (1 - 0.5)$ 至 $2^9/f_{IL}$ (最大值) = $2^9/12.75 \text{ kHz} \times 0.5 \text{ 至 } 2^9/17.25 \text{ kHz} = 20.08 \text{ 至 } 29.68 \text{ ms}$

11.4.4 设置看门狗定时器的间隔中断

根据选项字节 (000C0H) 的位 7 (WDTINT) 的设置, 当达到溢出时间的 75% 时, 可以产生间隔中断 (INTWDTI)。

表 11 - 5 看门狗定时器间隔中断的设置

| WDTINT | 看门狗定时器间隔中断的使用 |
|--------|-----------------------|
| 0 | 不使用间隔中断。 |
| 1 | 当达到溢出时间的 75% 时产生间隔中断。 |

注意事项 解除 STOP 模式后操作于 X1 振荡时钟时, 经过振荡稳定时间后 CPU 开始操作。

因此, 如果从解除 STOP 模式到看门狗定时器溢出为止的时间较短, 则会在振荡稳定时间内发生看门狗溢出而导致复位。所以, 通过间隔中断解除 STOP 模式后 CPU 工作在 X1 振荡时钟时, 必须经过振荡稳定时间才能清, 则会在振荡稳定时间内发生看门狗溢出而导致除看门狗定时器, 设置看门狗溢出时间时要考虑到这一点。

备注 即使在产生 INTWDTI 之后, 看门狗定时器也会继续计数 (直到将 ACH 写入看门狗定时器允许寄存器 (WDTE) 为止)。如果未在溢出时间之前将 “ACH” 写入 WDTE 寄存器, 则会产生内部复位信号。

第 12 章 A/D 转换器

A/D 转换器的模拟输入通道数因产品而异。

| | |
|--------|--------------------------------|
| | 30、32 引脚 |
| 模拟输入通道 | 8 通道（AN10 至 AN13， AN16 至 AN19） |

12.1 A/D 转换器的功能

A/D 转换器是 10 位分辨率^注转换器，用于将模拟输入信号转换为数字值，配置了可控制的最多为 8 个通道的 A/D 转换器模拟输入（AN10 至 AN13 和 AN16 至 AN19）。

A/D 转换器具有以下功能。

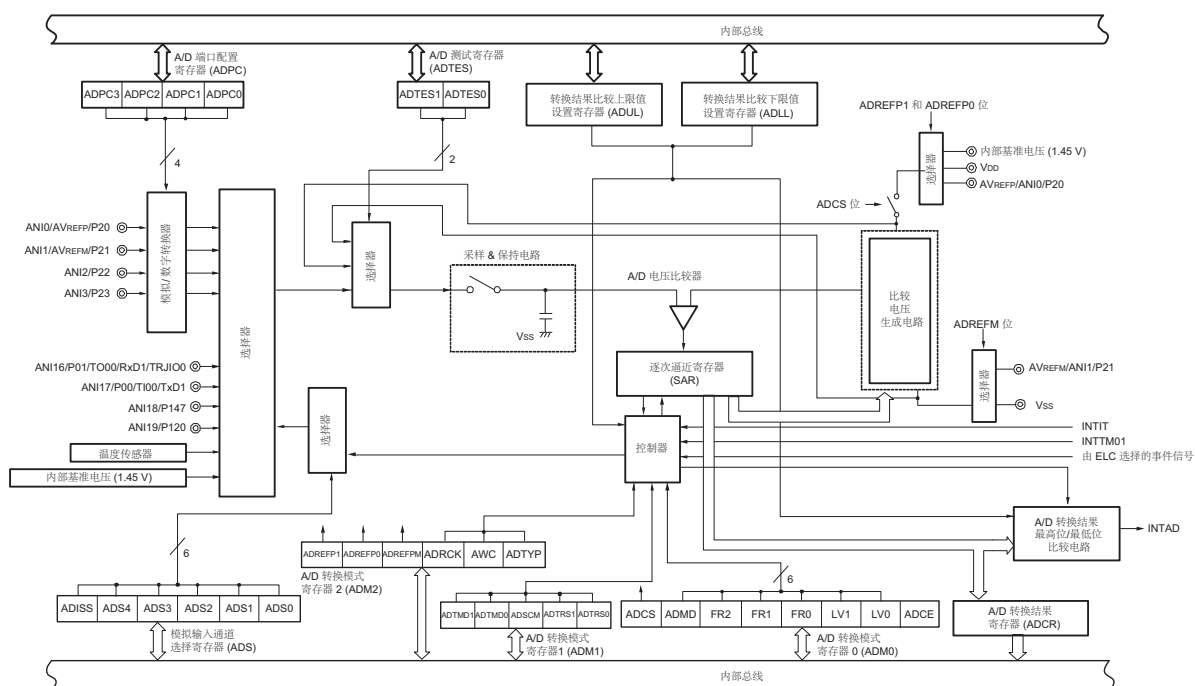
- 10 位分辨率 A/D 转换^注
对选自 AN10 至 AN13 以及 AN16 至 AN19 的其中一个模拟输入通道重复执行 10 位分辨率 A/D 转换。每结束一次 A/D 转换时，产生一个中断请求 (INTAD)（处于选择模式时）。

注 可以使用 A/D 转换器模式寄存器 2 (ADM2) 的 ADTYP 位来选择 8 位分辨率。

通过下述的模式组合，可以设置各种 A/D 转换器模式。

| 触发模式 | 通道选择模式 | 转换操作模式 |
|---|---|--|
| <ul style="list-style-type: none">• 软件触发 通过软件设置出发来开始转换。• 硬件触发无等待模式 通过检测硬件触发来开始转换。• 硬件触发等待模式 电源关闭且处于转换待机状态时，通过检测硬件触发来打开电源，然后，当经过稳定等待时间后自动开始转换。 | <ul style="list-style-type: none">• 选择模式 对一个通道的模拟输入执行 A/D 转换。• 扫描模式 对四个通道的模拟输入依次执行 A/D 转换。 | <ul style="list-style-type: none">• 单次转换模式 对选择的通道执行一次 A/D 转换。• 连续转换模式 对选择的通道连续执行 A/D 转换，直到通过软件停止为止。 |

图 12-1 A/D 转换器的框图



12.2 A/D 转换器的配置

A/D 转换器包括以下硬件。

(1) ANI0 至 ANI3 和 ANI16 至 ANI19 引脚

这些是 A/D 转换器的 8 个通道的模拟输入引脚。它们用于输入模拟信号以转换成数字信号。被选为模拟输入引脚以外的其他引脚可以用作输入/输出端口。

(2) 采样 & 保持电路

采样 & 保持电路对来自输入电路的各个模拟输入电压依序进行采样，并将其发送至 A/D 电压比较器。在 A/D 转换期间，该电路保持采样得到的模拟输入电压。

(3) A/D 电压比较器

A/D 电压比较器将比较电压生成电路产生的分接电压与模拟输入电压进行比较。对于比较结果，如果模拟输入电压大于基准电压 ($1/2 AV_{REF}$)，则置位逐次逼近寄存器 (SAR) 的最高有效位 (MSB)。如果模拟输入电压小于基准电压 ($1/2 AV_{REF}$)，则将 SAR 寄存器的 MSB 位复位。

然后，SAR 寄存器的位 8 被自动置 1，并进行下一次比较。依据位 9 的设置结果值，选择比较电压生成电路的分接电压。

位 9 = 0: ($1/4 AV_{REF}$)

位 9 = 1: ($3/4 AV_{REF}$)

将比较电压生成电路的分接电压与模拟输入电压进行比较，并根据比较结果，对 SAR 寄存器的位 8 进行操作。

模拟输入电压 \geq 比较电压生成电路的分接电压：位 8 = 1

模拟输入电压 \leq 比较电压生成电路的分接电压：位 8 = 0

继续进行比较，直到 SAR 寄存器的位 0 为止。

当以 8 位分辨率执行 A/D 转换时，继续进行比较直到 SAR 寄存器的位 2 为止。

备注 AV_{REF} : A/D 转换器的 + 侧基准电压。可以选自 AV_{REFP} 、内部基准电压 (1.45 V) 以及 V_{DD} 。

(4) 比较电压生成电路

比较电压生成电路用于生成从模拟输入引脚输入的电压的比较电压。

(5) 逐次逼近寄存器(SAR)

SAR 寄存器从最高有效位 (MSB) 开始按顺序在每位设置分接电压数据, 该数据为与模拟输入引脚的电压值匹配的来自比较电压生成电路的分接电压值。

当设置到了 SAR 寄存器的最低有效位 (LSB) (A/D 转换结束), 则 SAR 寄存器中的内容 (转换结果) 将保持在 A/D 转换结果寄存器 (ADCR) 中。当所有指定的 A/D 转换都结束时, 产生 A/D 转换结束中断请求信号 (INTAD)。

(6) 10 位 A/D 转换结果寄存器 (ADCR)

每次 A/D 转换完成时, A/D 转换结果将从逐次逼近寄存器被载入至该寄存器, ADCR 寄存器将 A/D 转换结果保持在其高 10 位 (低 6 位固定为 0)。

(7) 8 位 A/D 转换结果寄存器 (ADCRH)

每次 A/D 转换完成时, A/D 转换结果将从逐次逼近寄存器被载入至该寄存器, ADCRH 寄存器存储 A/D 转换结果的高 8 位。

(8) 控制电路

该电路用于控制将被转换为数字信号的模拟输入的转换时间, 并用于开始或停止转换操作。当 A/D 转换完成时, 该控制电路产生 INTAD 信号。

(9) AVREFP 引脚

该引脚用于输入外部基准电压 (AVREFP)。

如果将 AVREFP 用作 A/D 转换器的 + 侧基准电压, 须将 A/D 转换器模式寄存器 2 (ADM2) 的 ADREFP1 和 ADREFP0 位分别设置为 0 和 1。

根据施加在 AVREFP 和 - 侧基准电压 (AVREFM/VSS) 之间的电压, 将输入到 ANI0 至 ANI3 和 ANI16 至 ANI19 的模拟信号转化为数字信号。

除了 AVREFP 以外, 可以选择 VDD 或内部基准电压 (1.45 V) 作为 A/D 转换器的 + 侧基准电压。

(10) AVREFM 引脚

该引脚用于输入外部基准电压 (AVREFM)。如果将 AVREFM 用作 A/D 转换器的 - 侧基准电压, 须将 ADM2 寄存器的 ADREFM 位设置为 1。

除了 AVREFM 以外, 可以选择 VSS 作为 A/D 转换器的 - 侧基准电压。

12.3 A/D 转换器中使用的寄存器

A/D 转换器使用以下寄存器。

- 外围允许寄存器0 (PER0)
- A/D 转换模式寄存器0 (ADM0)
- A/D 转换模式寄存器1 (ADM1)
- A/D 转换模式寄存器2 (ADM2)
- 10 位 A/D 转换结果寄存器 (ADCR)
- 8 位 A/D 转换结果寄存器 (ADCRH)
- 模拟输入通道选择寄存器 (ADS)
- 转换结果比较上限值设置寄存器 (ADUL)
- 转换结果比较下限值设置寄存器 (ADLL)
- A/D 测试寄存器 (ADTES)
- A/D 端口配置寄存器 (ADPC)
- 端口模式控制寄存器0、12 和 14 (PMC0、PMC12、PMC14)
- 端口模式寄存器0、2、12 和 14 (PM0、PM2、PM12、PM14)

(1) 外围允许寄存器0 (PER0)

该寄存器用于允许或禁止向外围硬件供应时钟。通过停止向未使用的硬件供应时钟，可以降低功耗和噪声。
使用A/D转换器时，必须将该寄存器的位5(ADCEN)设置为1。
使用1位或8位存储器操作指令设置PER0寄存器。
产生复位信号后，该寄存器被清除为00H。

图 12 - 2 外围允许寄存器0 (PER0)的格式

| | | | | | | | | |
|------------|----------|---|-------|---|---|--------|---|--------|
| 地址: F00F0H | 复位后: 00H | R/W | | | | | | |
| 符号 | <7> | 6 | <5> | 4 | 3 | <2> | 1 | <0> |
| PER0 | ITEN | 0 | ADCEN | 0 | 0 | SAU0EN | 0 | TAU0EN |
| ADCEN | | A/D 转换器输入时钟供应的控制 | | | | | | |
| 0 | | 停止输入时钟供应。 • 不可写入用于 A/D 转换器的 SFR。 • A/D 转换器处于复位状态。 | | | | | | |
| 1 | | 允许输入时钟供应。 • 可以读取/写入用于 A/D 转换器的 SFR。 | | | | | | |

注意事项 1. 设置A/D转换器时，必须先将ADCEN位设置为1。如果ADCEN = 0，对于A/D转换器的控制寄存器进行的写操作无效，而且该寄存器的读取值总为初始值（端口模式寄存器0、2、12和14（PM0、PM2、PM12、PM14）、端口模式控制寄存器0、12和14（PMC0、PMC12、PMC14）和A/D端口配置寄存器（ADPC）除外）。

注意事项 2. 必须将以下位清除为0。
位1、3、4、6

(2) A/D 转换模式寄存器 0 (ADM0)

该寄存器用于设置进行 A/D 转换的模拟输入的转换时间，并开始/停止转换。
使用 1 位或 8 位存储器操作指令设置 ADM0 寄存器。
产生复位信号后，该寄存器被清除为 00H。

图 12 - 3 A/D 转换模式寄存器 0 (ADM0) 的格式

| | | | | | | | | |
|------------|----------|---|---------|---------|---------|---------|---------|------|
| 地址: FFF30H | 复位后: 00H | R/W | | | | | | |
| 符号 | <7> | 6 | 5 | 4 | 3 | 2 | 1 | <0> |
| ADM0 | ADCS | ADMD | FR2 注 1 | FR1 注 1 | FR0 注 1 | LV1 注 1 | LV0 注 1 | ADCE |
| | ADCS | A/D 转换操作控制 | | | | | | |
| | 0 | 停止转换操作 [读取时] 转换停止/待机状态 | | | | | | |
| | 1 | 允许转换操作 [读取时] 当处于软件触发模式时: 转换操作状态 当处于硬件触发等待模式: 稳定等待状态 + 转换操作状态 | | | | | | |
| | ADMD | A/D 转换通道选择模式的规格 | | | | | | |
| | 0 | 选择模式 | | | | | | |
| | 1 | 扫描模式 | | | | | | |
| | ADCE | A/D 电压比较器操作控制注 2 | | | | | | |
| | 0 | 停止 A/D 电压比较器操作 | | | | | | |
| | 1 | 允许 A/D 电压比较器操作 | | | | | | |

- 注 1. 关于 FR2 至 FR0、LV1、LV0 位和 A/D 转换的详情，请参阅表 12 - 3 至 12 - 6 A/D 转换时间的选择。
- 注 2. 当处于软件触发模式或硬件触发无等待模式时，A/D 电压比较器的操作由 ADCS 和 ADCE 位控制，从操作开始到操作稳定需要 1 μs。因此，在 ADCE 位被设置为 1 且经过 1 μs 或更长时间之后，将 ADCS 位设置为 1，则此时的转换结果相对于初次转换结果是有效的。否则忽略初次转换结果。

- 注意事项 1. 请在转换处于停止或者待机 (ADCS = 0) 状态时更改 ADMD、FR2 至 FR0、LV1、LV0 和 ADCE 位。
- 注意事项 2. 请不要在 ADCE 和 ADCS 位等于 0 时使用 8 位操作指令将 ADCE 和 ADCS 位设置为 1。必须按 12.7 A/D 转换器的设置流程图所述的顺序设置这些位。

表 12 - 1 ADCS 和 ADCE 位的设置

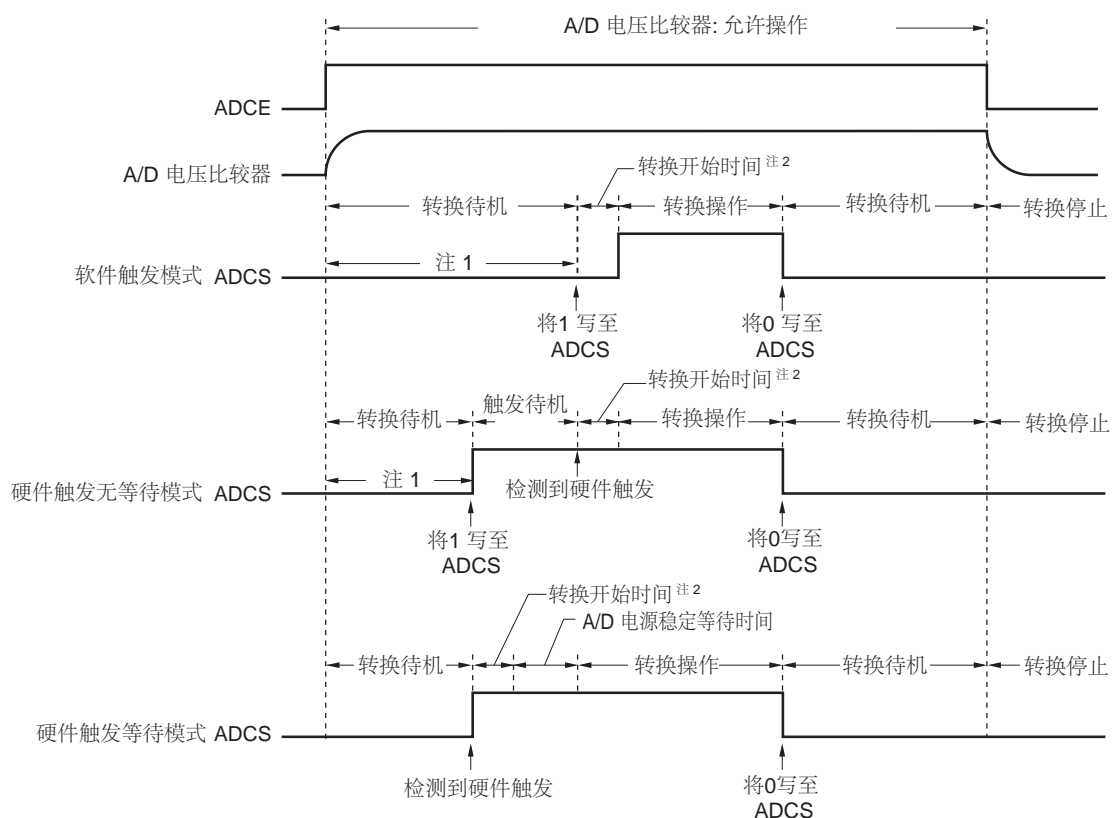
| ADCS | ADCE | A/D 转换操作 |
|------|------|--------------------------|
| 0 | 0 | 停止状态（不存在 DC 功耗路径） |
| 0 | 1 | 转换待机模式（仅 A/D 电压比较器消耗功率）注 |
| 1 | 0 | 禁止设置 |
| 1 | 1 | 转换模式（A/D 电压比较器：允许操作） |

注 硬件触发等待模式时，即使在转换待机模式下也没有 DC 功耗路径。

表 12 - 2 ADCS 位的置位和清除条件

| A/D 转换模式 | | | 置位条件 | 清除条件 |
|-----------|------|--------|--------------|---|
| 软件触发 | 选择模式 | 连续转换模式 | 当 1 被写入 ADCS | 当 0 被写入 ADCS |
| | | 单次转换模式 | | <ul style="list-style-type: none"> 当 0 被写入 ADCS A/D 转换结束时，该位自动清除为 0。 |
| | 扫描模式 | 连续转换模式 | | 当 0 被写入 ADCS |
| | | 单次转换模式 | | <ul style="list-style-type: none"> 当 0 被写入 ADCS 所设定的四个通道的转换结束时，该位自动清除为 0。 |
| 硬件触发无等待模式 | 选择模式 | 连续转换模式 | 当 0 被写入 ADCS | 当 0 被写入 ADCS |
| | | 单次转换模式 | | 当 0 被写入 ADCS |
| | 扫描模式 | 连续转换模式 | | 当 0 被写入 ADCS |
| | | 单次转换模式 | | 当 0 被写入 ADCS |
| 硬件触发等待模式 | 选择模式 | 连续转换模式 | 当硬件触发被输入 | 当 0 被写入 ADCS |
| | | 单次转换模式 | | <ul style="list-style-type: none"> 当 0 被写入 ADCS A/D 转换结束时，该位自动清除为 0。 |
| | 扫描模式 | 连续转换模式 | | 当 0 被写入 ADCS |
| | | 单次转换模式 | | <ul style="list-style-type: none"> 当 0 被写入 ADCS 所设定的四个通道的转换结束时，该位自动清除为 0。 |

图 12 - 4 使用 A/D 电压比较器时的时序图



注 1. 当处于软件触发模式或硬件触发无等待模式时，从ADCE位上升到ADCS位下降的时间必须为 1 μs 或更长，以使内部电路稳定。

注 2. 启动转换所需的最长时间如下所示。

| ADM0 | | | 转换时钟 (f _{AD}) | 转换开始时间 (f _{CLK} 时钟个数) | |
|------|-----|-----|----------------------------|--------------------------------|----------|
| FR2 | FR1 | FR0 | | 软件触发模式/ 硬件触发无等待模式 | 硬件触发等待模式 |
| 0 | 0 | 0 | f _{CLK} /64 | 63 | 1 |
| 0 | 0 | 1 | f _{CLK} /32 | 31 | |
| 0 | 1 | 0 | f _{CLK} /16 | 15 | |
| 0 | 1 | 1 | f _{CLK} /8 | 7 | |
| 1 | 0 | 0 | f _{CLK} /6 | 5 | |
| 1 | 0 | 1 | f _{CLK} /5 | 4 | |
| 1 | 1 | 0 | f _{CLK} /4 | 3 | |
| 1 | 1 | 1 | f _{CLK} /2 | 1 | |

备注 f_{CLK}: CPU/外围硬件时钟频率

(注意事项如下页所示。)

注意事项 1. 如果使用硬件触发等待模式，禁止将 **ADCS** 位设置为 **1**（但当检测到硬件触发信号时，该位自动切换至 **1**）。然而，可以将 **ADCS** 位清除为 **0**，以设置 **A/D** 转换待机模式。

注意事项 2. 当处于硬件触发无等待模式的单次转换模式时，**ADCS** 标志不会在 **A/D** 转换结束时自动清除为 **0**。相反，将继续保持为 **1**。

注意事项 3. 仅在 **ADCS = 0** 时（当处于转换停止/转换待机状态时）对 **ADCE** 位的值进行改写。

注意事项 4. 要完成 **A/D** 转换，设置如下所示的时间或更长时间为硬件触发间隔时间：

硬件触发无等待模式： $2 f_{CLK}$ 时钟 + **A/D** 转换时间

硬件触发等待模式： $2 f_{CLK}$ 时钟 + 稳定等待时间 + **A/D** 转换时间

表 12 - 3 A/D 转换时间的选择 (1/4)

(1) $3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$

无稳定等待时间（软件触发模式/硬件触发无等待模式）

| A/D 转换模式寄存器 0 (ADM0) | | | | | 模式 | 转换时间的选择 | | | | | | 转换时钟 (fAD) | |
|-------------------------|-----|-----|-----|-----|-------|-----------------|-----------------|-----------------|-----------------|------------------|------------------|---------------|--------|
| FR2 | FR1 | FR0 | LV1 | LV0 | | fCLK = 1 MHz | fCLK = 2 MHz | fCLK = 4 MHz | fCLK = 8 MHz | fCLK = 16 MHz | fCLK = 24 MHz | | |
| 0 | 0 | 0 | 0 | 0 | 低电压 1 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | fCLK/64 | |
| 0 | 0 | 1 | | | | | | | 38 μs | 25.33 μs | fCLK/32 | | |
| 0 | 1 | 0 | | | | | | | 38 μs | 19 μs | 12.67 μs | fCLK/16 | |
| 0 | 1 | 1 | | | | | | 38 μs | 19 μs | 9.5 μs | 6.33 μs | fCLK/8 | |
| 1 | 0 | 0 | | | | | | 28.5 μs | 14.25 μs | 7.125 μs | 4.75 μs | fCLK/6 | |
| 1 | 0 | 1 | | | | | | 23.75 μs | 11.875 μs | 5.938 μs | 3.96 μs | fCLK/5 | |
| 1 | 1 | 0 | | | | | | 38 μs | 19 μs | 9.5 μs | 4.75 μs | 3.17 μs | fCLK/4 |
| 1 | 1 | 1 | | | | | | 38 μs | 19 μs | 9.5 μs | 4.75 μs | 2.375 μs | 禁止设置 |
| 0 | 0 | 0 | 0 | 1 | 低电压 2 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | fCLK/64 | |
| 0 | 0 | 1 | | | | | | | 34 μs | 22.67 μs | fCLK/32 | | |
| 0 | 1 | 0 | | | | | | | 34 μs | 17 μs | 11.33 μs | fCLK/16 | |
| 0 | 1 | 1 | | | | | | 34 μs | 17 μs | 8.5 μs | 5.67 μs | fCLK/8 | |
| 1 | 0 | 0 | | | | | | 25.5 μs | 12.75 μs | 6.375 μs | 4.25 μs | fCLK/6 | |
| 1 | 0 | 1 | | | | | | 21.25 μs | 10.625 μs | 5.3125 μs | 3.54 μs | fCLK/5 | |
| 1 | 1 | 0 | | | | | | 34 μs | 17 μs | 8.5 μs | 4.25 μs | 2.83 μs | fCLK/4 |
| 1 | 1 | 1 | | | | | | 34 μs | 17 μs | 8.5 μs | 4.25 μs | 2.125 μs | 禁止设置 |
| × | × | × | 1 | 0 | 低电压 1 | 禁止设置 | | | | | | — | |
| × | × | × | 1 | 1 | 低电压 2 | 禁止设置 | | | | | | — | |

注意事项 1. 暂停 A/D 转换 (ADCS = 0) 之后再 FR2 至 FR0、LV1 以及 LV0 位改写为不同数据。

注意事项 2. 上述转换时间不包括时钟频率误差。选择转换时间时要考虑到时钟频率误差。

备注 fCLK: CPU/外围硬件时钟频率

表 12 - 4 A/D 转换时间的选择 (2/4)

(2) $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$, 无稳定等待时间 (软件触发模式/硬件触发无等待模式)

| A/D 转换模式寄存器 0 (ADM0) | | | | | 模式 | 转换时间的选择 | | | | | | 转换时钟 (fAD) |
|----------------------|-----|-----|-----|-----|-------|--------------|--------------|--------------|--------------|---------------|---------------|------------|
| FR2 | FR1 | FR0 | LV1 | LV0 | | fCLK = 1 MHz | fCLK = 2 MHz | fCLK = 4 MHz | fCLK = 8 MHz | fCLK = 16 MHz | fCLK = 24 MHz | |
| 0 | 0 | 0 | 0 | 0 | 低电压 1 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | fCLK/64 |
| 0 | 0 | 1 | | | | | | | | 38 μs | 25.33 μs | fCLK/32 |
| 0 | 1 | 0 | | | | | | | 38 μs | 19 μs | 12.67 μs | fCLK/16 |
| 0 | 1 | 1 | | | | | | 38 μs | 19 μs | 9.5 μs | 6.33 μs | fCLK/8 |
| 1 | 0 | 0 | | | | | | 28.5 μs | 14.25 μs | 7.125 μs | 4.75 μs | fCLK/6 |
| 1 | 0 | 1 | | | | | | 23.75 μs | 11.875 μs | 5.938 μs | 43.95 μs | fCLK/5 |
| 1 | 1 | 0 | | | | | 38 μs | 19 μs | 9.5 μs | 4.75 μs | 禁止设置 | fCLK/4 |
| 1 | 1 | 1 | | | | 38 μs | 19 μs | 9.5 μs | 4.75 μs | 禁止设置 | | fCLK/2 |
| 0 | 0 | 0 | 0 | 1 | 低电压 2 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | fCLK/64 |
| 0 | 0 | 1 | | | | | | | | 34 μs | 22.67 μs | fCLK/32 |
| 0 | 1 | 0 | | | | | | | 34 μs | 17 μs | 11.33 μs | fCLK/16 |
| 0 | 1 | 1 | | | | | | 34 μs | 17 μs | 8.5 μs | 5.67 μs | fCLK/8 |
| 1 | 0 | 0 | | | | | | 25.5 μs | 12.75 μs | 6.375 μs | 4.25 μs | fCLK/6 |
| 1 | 0 | 1 | | | | | | 21.25 μs | 10.625 μs | 5.3125 μs | 3.54 μs | fCLK/5 |
| 1 | 1 | 0 | | | | | 34 μs | 17 μs | 8.5 μs | 4.25 μs | 禁止设置 | fCLK/4 |
| 1 | 1 | 1 | | | | 34 μs | 17 μs | 8.5 μs | 4.25 μs | 禁止设置 | | fCLK/2 |
| 0 | 0 | 0 | 1 | 0 | 低电压 1 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | fCLK/64 |
| 0 | 0 | 1 | | | | | | | | 38 μs | 25.33 μs | fCLK/32 |
| 0 | 1 | 0 | | | | | | | 38 μs | 19 μs | 禁止设置 | fCLK/16 |
| 0 | 1 | 1 | | | | | | 38 μs | 19 μs | 禁止设置 | | fCLK/8 |
| 1 | 0 | 0 | | | | | | 28.5 μs | 禁止设置 | | | fCLK/6 |
| 1 | 0 | 1 | | | | | | 23.75 μs | | | | fCLK/5 |
| 1 | 1 | 0 | | | | | 38 μs | 19 μs | | | | fCLK/4 |
| 1 | 1 | 1 | | | | 38 μs | 19 μs | 禁止设置 | | | | fCLK/2 |
| 0 | 0 | 0 | 1 | 1 | 低电压 2 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | fCLK/64 |
| 0 | 0 | 1 | | | | | | | | 34 μs | 22.67 μs | fCLK/32 |
| 0 | 1 | 0 | | | | | | | 34 μs | 17 μs | 禁止设置 | fCLK/16 |
| 0 | 1 | 1 | | | | | | 34 μs | 17 μs | 禁止设置 | | fCLK/8 |
| 1 | 0 | 0 | | | | | | 25.5 μs | 禁止设置 | | | fCLK/6 |
| 1 | 0 | 1 | | | | | | 21.25 μs | | | | fCLK/5 |
| 1 | 1 | 0 | | | | | 34 μs | 17 μs | | | | fCLK/4 |
| 1 | 1 | 1 | | | | 34 μs | 17 μs | 禁止设置 | | | | fCLK/2 |

注意事项 1. 暂停 A/D 转换 (ADCS = 0) 之后再 FR2 至 FR0、LV1 以及 LV0 位改写为不同数据。

注意事项 2. 上述转换时间不包括时钟频率误差。选择转换时间时要考虑到时钟频率误差。

备注 fCLK: CPU/外围硬件时钟频率

表 12 - 5 A/D 转换时间的选择 (3/4)

(3) $3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, 有稳定等待时间 (硬件触发等待模式)

| A/D 转换模式寄存器 0 (ADM0) | | | | | 模式 | 转换时间的选择 | | | | | | 转换时钟 (fAD) |
|----------------------|-----|-----|-----|-----|-------|--------------|--------------|--------------|--------------|---------------|---------------|------------|
| FR2 | FR1 | FR0 | LV1 | LV0 | | fCLK = 1 MHz | fCLK = 2 MHz | fCLK = 4 MHz | fCLK = 8 MHz | fCLK = 16 MHz | fCLK = 24 MHz | |
| 0 | 0 | 0 | 0 | 0 | 低电压 1 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | fCLK/64 |
| 0 | 0 | 1 | | | | | | | | 54 μs | 36 μs | fCLK/32 |
| 0 | 1 | 0 | | | | | | | | 54 μs | 27 μs | fCLK/16 |
| 0 | 1 | 1 | | | | | | 54 μs | 27 μs | 13.5 μs | 9 μs | fCLK/8 |
| 1 | 0 | 0 | | | | | | 40.5 μs | 20.25 μs | 10.125 μs | 6.75 μs | fCLK/6 |
| 1 | 0 | 1 | | | | | | 33.75 μs | 16.875 μs | 8.4375 μs | 5.63 μs | fCLK/5 |
| 1 | 1 | 0 | | | | | 54 μs | 27 μs | 13.5 μs | 6.75 μs | 4.5 μs | fCLK/4 |
| 1 | 1 | 1 | | | | 54 μs | 27 μs | 13.5 μs | 6.75 μs | 3.375 μs | 禁止设置 | fCLK/2 |
| 0 | 0 | 0 | 0 | 1 | 低电压 2 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | fCLK/64 |
| 0 | 0 | 1 | | | | | | | | 50 μs | 33.33 μs | fCLK/32 |
| 0 | 1 | 0 | | | | | | | | 50 μs | 25 μs | fCLK/16 |
| 0 | 1 | 1 | | | | | | 50 μs | 25 μs | 12.5 μs | 8.33 μs | fCLK/8 |
| 1 | 0 | 0 | | | | | | 37.5 μs | 18.75 μs | 9.375 μs | 6.25 μs | fCLK/6 |
| 1 | 0 | 1 | | | | | | 31.25 μs | 15.625 μs | 7.8125 μs | 5.21 μs | fCLK/5 |
| 1 | 1 | 0 | | | | | 50 μs | 25 μs | 12.5 μs | 6.25 μs | 4.17 μs | fCLK/4 |
| 1 | 1 | 1 | | | | 50 μs | 25 μs | 12.5 μs | 6.25 μs | 3.125 μs | 禁止设置 | fCLK/2 |
| × | × | × | 1 | 0 | 低电压 1 | 禁止设置 | | | | | | — |
| × | × | × | 1 | 1 | 低电压 2 | 禁止设置 | | | | | | — |

注意事项 1. 暂停 A/D 转换 (ADCS = 0) 之后再 将 FR2 至 FR0、LV1 以及 LV0 位改写为不同数据。

注意事项 2. 上述转换时间不包括时钟频率误差。选择转换时间时要考虑到时钟频率误差。

注意事项 3. 当处于硬件触发等待模式时，转换时间包括检测到硬件触发之后等待稳定所用的时间。

备注 fCLK: CPU/外围硬件时钟频率

表 12 - 6 A/D 转换时间的选择 (4/4)

(4) $2.7 \leq V_{DD} < 3.6 \text{ V}$, 有稳定等待时间 (硬件触发等待模式)

| A/D 转换模式寄存器 0 (ADM0) | | | | | 模式 | 转换时间的选择 | | | | | | 转换时钟 (f _{CLK}) |
|----------------------|-----|-----|-----|-----|-------|--------------------------|--------------------------|--------------------------|--------------------------|---------------------------|---------------------------|--------------------------|
| FR2 | FR1 | FR0 | LV1 | LV0 | | f _{CLK} = 1 MHz | f _{CLK} = 2 MHz | f _{CLK} = 4 MHz | f _{CLK} = 8 MHz | f _{CLK} = 16 MHz | f _{CLK} = 24 MHz | |
| 0 | 0 | 0 | 0 | 0 | 低电压 1 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | f _{CLK} /64 |
| 0 | 0 | 1 | | | | | | | | 54 μs | 36 μs | f _{CLK} /32 |
| 0 | 1 | 0 | | | | | | | | 54 μs | 27 μs | f _{CLK} /16 |
| 0 | 1 | 1 | | | | | | 54 μs | 27 μs | 13.5 μs | 9 μs | f _{CLK} /8 |
| 1 | 0 | 0 | | | | | | 40.5 μs | 20.25 μs | 10.125 μs | 6.75 μs | f _{CLK} /6 |
| 1 | 0 | 1 | | | | | | 33.75 μs | 16.875 μs | 8.4375 μs | 5.63 μs | f _{CLK} /5 |
| 1 | 1 | 0 | | | | | 54 μs | 27 μs | 13.5 μs | 6.75 μs | 禁止设置 | f _{CLK} /4 |
| 1 | 1 | 1 | | | | 54 μs | 27 μs | 13.5 μs | 6.75 μs | 禁止设置 | | f _{CLK} /2 |
| 0 | 0 | 0 | 0 | 1 | 低电压 2 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | f _{CLK} /64 |
| 0 | 0 | 1 | | | | | | | | 50 μs | 33.33 μs | f _{CLK} /32 |
| 0 | 1 | 0 | | | | | | | | 50 μs | 25 μs | f _{CLK} /16 |
| 0 | 1 | 1 | | | | | | 50 μs | 25 μs | 12.5 μs | 8.33 μs | f _{CLK} /8 |
| 1 | 0 | 0 | | | | | | 37.5 μs | 18.75 μs | 9.375 μs | 6.25 μs | f _{CLK} /6 |
| 1 | 0 | 1 | | | | | | 31.25 μs | 15.625 μs | 7.8125 μs | 5.21 μs | f _{CLK} /5 |
| 1 | 1 | 0 | | | | | 50 μs | 25 μs | 12.5 μs | 6.25 μs | 禁止设置 | f _{CLK} /4 |
| 1 | 1 | 1 | | | | 50 μs | 25 μs | 12.5 μs | 6.25 μs | 禁止设置 | | f _{CLK} /2 |
| 0 | 0 | 0 | 1 | 0 | 低电压 1 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | f _{CLK} /64 |
| 0 | 0 | 1 | | | | | | | | 54 μs | 36 μs | f _{CLK} /32 |
| 0 | 1 | 0 | | | | | | | | 54 μs | 27 μs | f _{CLK} /16 |
| 0 | 1 | 1 | | | | | | 54 μs | 27 μs | 禁止设置 | | f _{CLK} /8 |
| 1 | 0 | 0 | | | | | | 40.5 μs | 禁止设置 | | | f _{CLK} /6 |
| 1 | 0 | 1 | | | | | | 33.75 μs | | | | f _{CLK} /5 |
| 1 | 1 | 0 | | | | | 54 μs | 27 μs | | | | f _{CLK} /4 |
| 1 | 1 | 1 | | | | 54 μs | 27 μs | 禁止设置 | | | | f _{CLK} /2 |
| 0 | 0 | 0 | 1 | 1 | 低电压 2 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | 禁止设置 | f _{CLK} /64 |
| 0 | 0 | 1 | | | | | | | | 50 μs | 33.33 μs | f _{CLK} /32 |
| 0 | 1 | 0 | | | | | | | | 50 μs | 25 μs | f _{CLK} /16 |
| 0 | 1 | 1 | | | | | | 50 μs | 25 μs | 禁止设置 | | f _{CLK} /8 |
| 1 | 0 | 0 | | | | | | 37.5 μs | 禁止设置 | | | f _{CLK} /6 |
| 1 | 0 | 1 | | | | | | 31.25 μs | | | | f _{CLK} /5 |
| 1 | 1 | 0 | | | | | 50 μs | 25 μs | | | | f _{CLK} /4 |
| 1 | 1 | 1 | | | | 50 μs | 25 μs | 禁止设置 | | | | f _{CLK} /2 |

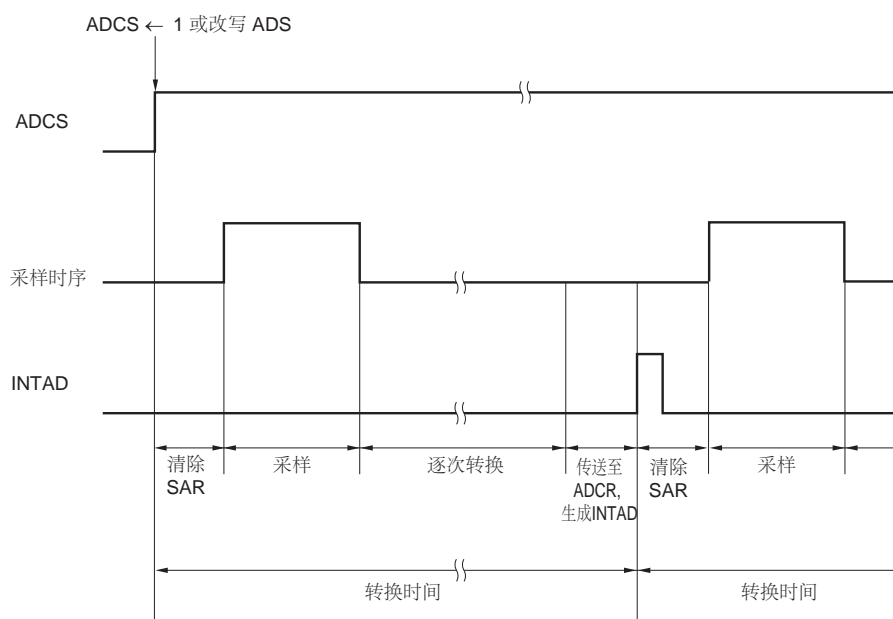
注意事项 1. 暂停 A/D 转换 (ADCS = 0) 之后再 FR2 至 FR0、LV1 以及 LV0 位改写为不同数据。

注意事项 2. 上述转换时间不包括时钟频率误差。选择转换时间时要考虑到时钟频率误差。

注意事项 3. 当处于硬件触发等待模式时, 转换时间包括检测到硬件触发之后等待稳定所用的时间。

备注 f_{CLK}: CPU/外围硬件时钟频率

图 12 - 5 A/D 转换器采样和 A/D 转换的时序（以软件触发模式为例）



- (3) A/D 转换模式寄存器 1 (ADM1)
- 该寄存器用于设置 A/D 转换触发、转换模式和硬件触发信号。
- 使用 1 位或 8 位存储器操作指令设置 ADM1 寄存器。
- 产生复位信号后，该寄存器被清除为 00H。

图 12 - 6 A/D 转换模式寄存器 1 (ADM1) 的格式

| | | | | | | | | |
|------------|--------|-------------|----------------------------------|-----|---|---|--------|--------|
| 地址: FFF32H | | 复位后: 00H | | R/W | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADM1 | ADTMD1 | ADTMD0 | ADSCM | 0 | 0 | 0 | ADTRS1 | ADTRS0 |
| | | | | | | | | |
| ADTMD1 | | ADTMD0 | A/D 转换触发模式的选择 | | | | | |
| 0 | | 0 | 软件触发模式 | | | | | |
| 0 | | 1 | | | | | | |
| 1 | | 0 | 硬件触发无等待模式 | | | | | |
| 1 | | 1 | 硬件触发等待模式 | | | | | |
| | | | | | | | | |
| ADSCM | | A/D 转换模式的设置 | | | | | | |
| 0 | | 连续转换模式 | | | | | | |
| 1 | | 单次转换模式 | | | | | | |
| | | | | | | | | |
| ADTRS1 | | ADTRS0 | 硬件触发信号的选择 | | | | | |
| 0 | | 0 | 定时器通道 1 的计数结束或捕捉结束中断信号 (INTTM01) | | | | | |
| 0 | | 1 | 由 ELC 选择的事件信号 | | | | | |
| 1 | | 1 | 12 位间隔定时器中断信号 (INTIT) | | | | | |
| 其他 | | | 禁止设置 | | | | | |

- 注意事项 1. 仅在停止转换操作时改写 ADM1 寄存器的值（即 A/D 转换器模式寄存器 0 (ADM0) 的 ADCS 位为 0 时）。
- 注意事项 2. 要完成 A/D 转换，设置如下所示的时间或更长时间为硬件触发间隔时间：硬件触发无等待模式：2 fCLK 时钟 + A/D 转换时间
硬件触发等待模式：2 fCLK 时钟 + 稳定等待时间 + A/D 转换时间
- 注意事项 3. SNOOZE 模式外的模式中，在 INTRTC 或 INTIT 输入后的最大四个 fCLK 周期中，下一个 INTRTC 或 INTIT 不作为有效硬件触发被识别。
- 备注 fCLK: CPU/外围硬件时钟频率

(4) A/D 转换模式寄存器 2 (ADM2)

该寄存器用于选择 A/D 转换器基准电压，检验 A/D 转换结果的上限值和下限值，选择分辨率，并设置是否使用 SNOOZE 模式。

使用 1 位或 8 位存储器操作指令设置 ADM2 寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 12 - 7 A/D 转换模式寄存器 2 (ADM2) 的格式 (1/2)

地址: F0010H 复位后: 00H R/W

符号 7 6 5 4 <3> <2> 1 <0>

| | | | | | | | | |
|------|---------|---------|--------|---|-------|-----|---|-------|
| ADM2 | ADREFP1 | ADREFP0 | ADREFM | 0 | ADRCK | AWC | 0 | ADTYP |
|------|---------|---------|--------|---|-------|-----|---|-------|

| ADREFP1 | ADREFP0 | A/D 转换器的 + 侧的基准电压源的选择 |
|---------|---------|----------------------------------|
| 0 | 0 | 由 V _{DD} 提供 |
| 0 | 1 | 由 P20/AVREFP/ANI0 提供 |
| 1 | 0 | 由内部基准电压 (1.45 V) 提供 ^注 |
| 1 | 1 | 禁止设置 |

• 改写 ADREFP1 和 ADREFP0 时，必须按照以下步骤进行设置：

(1) 设置 ADCE = 0

(2) 更改 ADREFP1 和 ADREFP0 的值

(3) 稳定等待时间 (A)

(4) 设置 ADCE = 1

(5) 稳定等待时间 (B)

当 ADREFP1 和 ADREFP0 被设置为 1 和 0 时，A = 1 μs，B = 5 μs。

当 ADREFP1 和 ADREFP0 被设置为 0 和 0 或者 0 和 1 时，A 不需等待，而且 B = 1 μs。

• 当 ADREFP1 和 ADREFP0 分别被设置为 1 和 0，则不能对于温度传感器输出执行 A/D 转换。

当 ADISS = 0 时，必须执行 A/D 转换。

| ADREFM | A/D 转换器的 - 侧的基准电压源的选择 |
|--------|-----------------------|
| 0 | 由 V _{SS} 提供 |
| 1 | 由 P21/AVREFM/ANI1 提供 |

| ADRCK | 校验转换结果的上限值和下限值 |
|---|---|
| 0 | 当 ADLL 寄存器 ≤ ADCR 寄存器 ≤ ADUL 寄存器 (<1>) 时，输出中断信号 (INTAD)。 |
| 1 | 当 ADCR 寄存器 < ADLL 寄存器 (<2>) 或 ADUL 寄存器 < ADCR 寄存器 (<3>) 时，输出中断信号 (INTAD)。 |
| <1> 至 <3> 的中断信号 (INTAD) 产生范围如图 12 - 9 所示。 | |

注 仅限在 HS（高速主）模式下可以操作。

注意事项 1. 仅在停止转换操作时（即 A/D 转换器模式寄存器 0 (ADM0) 的 ADCS 位为 0 时）改写 ADM2 寄存器的值。

注意事项 2. 如果进入 STOP 模式，不得将 ADREFP1 设置为 1。当选择内部基准电压时（ADREFP1、ADREFP0 = 1、0），将增加 27.4.2 电源电流特性中所示 A/D 转换器基准电压电流 (I_{ADREF}) 的当前值。

图 12 - 8 A/D 转换模式寄存器 2 (ADM2) 的格式 (2/2)

地址: F0010H

复位后: 00H

R/W

| | | | | | | | | |
|------|---------|---------|--------|---|-------|-----|---|-------|
| 符号 | 7 | 6 | 5 | 4 | <3> | <2> | 1 | <0> |
| ADM2 | ADREFP1 | ADREFP0 | ADREFM | 0 | ADRCK | AWC | 0 | ADTYP |

| | |
|-----|------------------|
| AWC | SNOOZE 模式的设置 |
| 0 | 不使用 SNOOZE 模式功能。 |
| 1 | 使用 SNOOZE 模式功能。 |

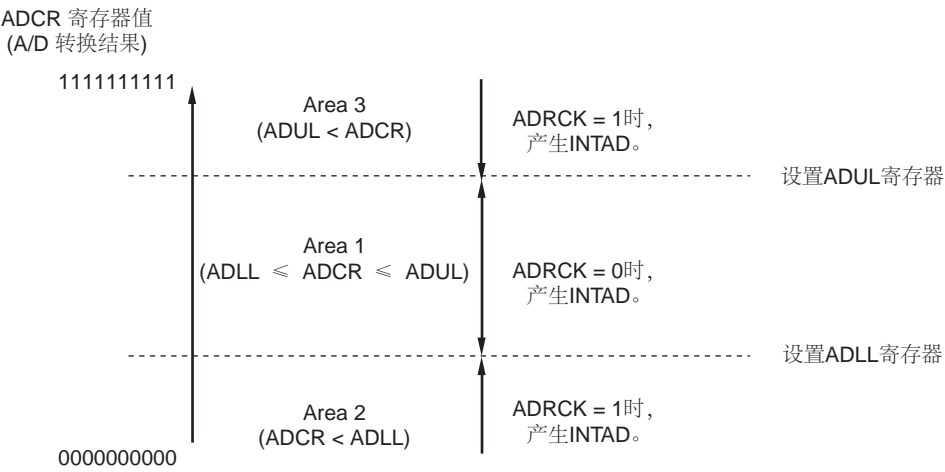
通过 STOP 模式下的硬件触发信号，退出 STOP 模式，并且在不操作 CPU 的情况下执行 A/D 转换（SNOOZE 模式）。

- 仅在选择高速片上振荡器时钟作为 CPU/ 外围硬件时钟 (fclk) 时可以选择 SNOOZE 模式功能。如果选用任何其他时钟，则禁止选择该模式。
- 禁止在软件触发模式或硬件触发无等待模式时使用 SNOOZE 模式功能。
- 禁止在连续转换模式下使用 SNOOZE 模式功能。
- 使用 SNOOZE 模式功能时，须设置硬件触发间隔为表 12 - 3 至 12 - 6 中所示的“有稳定等待时间的 A/D 转换时间”或更长时间。

| | |
|-------|--------------|
| ADTYP | A/D 转换分辨率的选择 |
| 0 | 10 位分辨率 |
| 1 | 8 位分辨率 |

注意事项 仅在停止转换操作时 (即 A/D 转换器模式寄存器 0 (ADM0) 的 ADCS 位为 0 时) 改写 ADM2 寄存器的值。

图 12 - 9 ADRCK 位中断信号产生范围



(5) 10 位 A/D 转换结果寄存器 (ADCR)

该寄存器是 16 位寄存器，存储选择模式时的 A/D 转换结果。低 6 位固定为 0。每次 A/D 转换结束后，从逐次逼近寄存器 (SAR) 载入转换结果。转换结果的高 8 位存储于 FFF1FH，低 2 位存储于 FFF1EH 的高 2 位^注。

使用 16 位存储器操作指令读取 ADCR 寄存器。

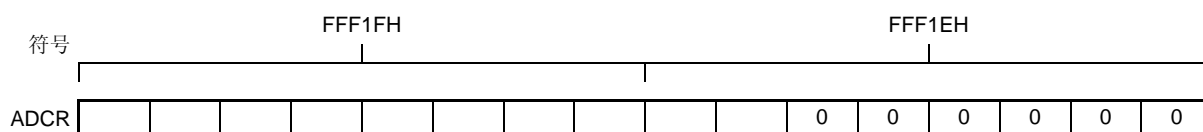
产生复位信号后，该寄存器被清除为 0000H。

注 如果 A/D 转换结果在 A/D 转换结果比较功能（通过 ADM2 寄存器的 ADRCK 位和 ADUL/ADLL 寄存器设置，请参阅图 12 - 9）设置的范围外时，则不存储其结果。

图 12 - 10 10 位 A/D 转换结果寄存器 (ADCR) 的格式

地址：FFF1FH、FFF1EH

复位后：0000H R



注意事项 1. 写入 A/D 转换器模式寄存器 0 (ADM0)、模拟输入通道选择寄存器 (ADS) 以及 A/D 端口配置寄存器 (ADPC) 之后，ADCR 寄存器的内容可能变成不定。在转换完成后，写入 ADM0、ADS 和 ADPC 寄存器之前读取转换结果。如果不在上述时序进行，则可能读取错误的转换结果。

注意事项 2. 当选择 8 位分辨率 A/D 转换（即当 A/D 转换器模式寄存器 2 (ADM2) 的 ADTYP 位为 1 时）且读取 ADCR 寄存器时，从低 2 位（ADCR1 和 ADCR0）读取 0。

注意事项 3. 当以 16 位为单位存取 ADCR 寄存器时，可从位 15 开始依次读取转换结果的高 10 位。

(6) 8 位 A/D 转换结果寄存器 (ADCRH)

该寄存器是存储 A/D 转换结果的 8 位寄存器。10 位分辨率时存储其高 8 位^注。

使用 8 位存储器操作指令读取 ADCRH 寄存器。

产生复位信号后，该寄存器被清除为 00H。

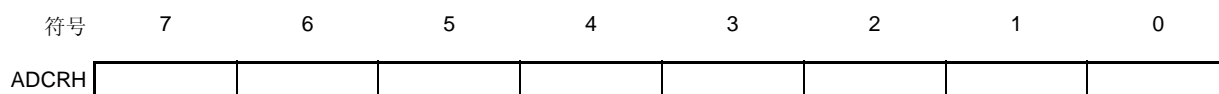
注 如果 A/D 转换结果在 A/D 转换结果比较功能（通过 ADM2 寄存器的 ADRCK 位和 ADUL/ADLL 寄存器设置，请参阅图 12 - 9）设置的范围外时，则不存储其结果。

图 12 - 11 8 位 A/D 转换结果寄存器 (ADCRH) 的格式

地址：FFF1FH

复位后：00H

R



注意事项 写入 A/D 转换模式寄存器 0 (ADM0)、模拟输入通道选择寄存器 (ADS) 和 A/D 端口配置寄存器 (ADPC) 之后，ADCRH 寄存器的内容可能变成不定。在转换完成后，写入 ADM0、ADS 和 ADPC 寄存器之前读取转换结果。如果不在上述时序进行，则可能读取错误的转换结果。

(7) 模拟输入通道选择寄存器 (ADS)

该寄存器用于指定执行 A/D 转换的模拟电压的输入通道。

使用 1 位或 8 位存储器操作指令设置 ADS 寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 12 - 12 模拟输入通道选择寄存器 (ADS) 的格式 (1/2)

地址: FFF31H 复位后: 00H R/W

符号 7 6 5 4 3 2 1 0

| | | | | | | | | |
|-----|-------|---|---|------|------|------|------|------|
| ADS | ADISS | 0 | 0 | ADS4 | ADS3 | ADS2 | ADS1 | ADS0 |
|-----|-------|---|---|------|------|------|------|------|

• 选择模式 (ADMD = 0)

| ADISS | ADS4 | ADS3 | ADS2 | ADS1 | ADS0 | 模拟输入通道 | 输入源 |
|-------|------|------|------|------|------|--------|--------------------|
| 0 | 0 | 0 | 0 | 0 | 0 | ANI0 | P20/ANI0/AVREFP 引脚 |
| 0 | 0 | 0 | 0 | 0 | 1 | ANI1 | P21/ANI1/AVREFM 引脚 |
| 0 | 0 | 0 | 0 | 1 | 0 | ANI2 | P22/ANI2 引脚 |
| 0 | 0 | 0 | 0 | 1 | 1 | ANI3 | P23/ANI3 引脚 |
| 0 | 1 | 0 | 0 | 0 | 0 | ANI16 | P01/ANI16 引脚 |
| 0 | 1 | 0 | 0 | 0 | 1 | ANI17 | P00/ANI17 引脚 |
| 0 | 1 | 0 | 0 | 1 | 0 | ANI18 | P147/ANI18 引脚 |
| 0 | 1 | 0 | 0 | 1 | 1 | ANI19 | P120/ANI19 引脚 |
| 1 | 0 | 0 | 0 | 0 | 0 | — | 温度传感器的输出 |
| 1 | 0 | 0 | 0 | 0 | 1 | — | 内部基准电压输出 (1.45 V) |
| 其他 | | | | | | 禁止设置 | |

(注意事项和备注如下页所示。)

图 12 - 13 模拟输入通道选择寄存器 (ADS) 的格式 (2/2)

地址: FFF31H 复位后: 00H R/W

| | | | | | | | | |
|-----|-------|---|---|------|------|------|------|------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADS | ADISS | 0 | 0 | ADS4 | ADS3 | ADS2 | ADS1 | ADS0 |

• 扫描模式 (ADMD = 1)

| ADISS | ADS4 | ADS3 | ADS2 | ADS1 | ADS0 | 模拟输入通道 | | | |
|-------|------|------|------|------|------|--------|------|------|------|
| | | | | | | 扫描0 | 扫描1 | 扫描2 | 扫描3 |
| 0 | 0 | 0 | 0 | 0 | 0 | ANI0 | ANI1 | ANI2 | ANI3 |
| 其他 | | | | | | 禁止设置 | | | |

注意事项 1. 必须将位 5 和位 6 清除为 0。

注意事项 2. 通过使用端口模式寄存器 0、2、12 和 14 (PM0、PM2、PM12、PM14) 将用于 A/D 转换的通道设为输入模式。

注意事项 3. 不要用 ADS 寄存器设置已经由 A/D 端口配置寄存器 (ADPC) 设置为数字输入/输出的引脚。

注意事项 4. 不要用 ADS 寄存器设置已经由端口模式控制寄存器 0、12 和 14 (PMC0、PMC12、PMC14) 设置为数字输入/输出的引脚。

注意事项 5. 仅在停止转换操作时 (即 A/D 转换模式寄存器 0 (ADM0) 的 ADCE 位为 0 时) 改写 ADISS 位的值。

注意事项 6. 如果使用 AVREFF 作为 A/D 转换器的 + 侧基准电压源, 则不得选择 ANI0 作为 A/D 转换通道。

注意事项 7. 如果使用 AVREFM 作为 A/D 转换器的 - 侧基准电压源, 则不得选择 ANI1 作为 A/D 转换通道。

注意事项 8. 如果将 ADISS 设置为 1, 则不得将内部基准电压 (1.45 V) 用作 + 侧基准电压源。

注意事项 9. 如果进入 STOP 模式, 不得将 ADISS 设置为 1。当设置 ADISS 为 1 时, 将增加 27.4.2 电源电流特性中所示 A/D 转换器基准电压电流 (IADREF) 的当前值。

(8) 转换结果比较上限值设置寄存器 (ADUL)

该寄存器用于设置检验 A/D 转换结果的上限值。

将 A/D 转换结果与 ADUL 寄存器值进行比较，在 A/D 转换模式寄存器 2 (ADM2) 的 ADRCK 位设置的范围内（如图 12-9 所示），控制中断信号 (INTAD) 的产生。

使用 8 位存储器操作指令设置 ADUL 寄存器。

产生复位信号后，该寄存器被设置为 FFH。

注意事项 选择 10 位分辨率 A/D 转换时，将 10 位 A/D 转换结果寄存器 (ADCR) 的高 8 位与 ADUL 寄存器进行比较。

图 12-14 转换结果比较上限值设置寄存器 (ADUL) 的格式

| | | | | | | | | |
|------------|----------|-------|-------|-------|-------|-------|-------|-------|
| 地址: F0011H | 复位后: FFH | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADUL | ADUL7 | ADUL6 | ADUL5 | ADUL4 | ADUL3 | ADUL2 | ADUL1 | ADUL0 |

(9) 转换结果比较下限值设置寄存器 (ADLL)

该寄存器用于设置检验 A/D 转换结果的下限值。

将 A/D 转换结果与 ADLL 寄存器值进行比较，在 A/D 转换模式寄存器 2 (ADM2) 的 ADRCK 位设置的范围内（如图 12-9 所示），控制中断信号 (INTAD) 的产生。

使用 8 位存储器操作指令设置 ADLL 寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 12-15 转换结果比较下限值设置寄存器 (ADLL) 的格式

| | | | | | | | | |
|------------|----------|-------|-------|-------|-------|-------|-------|-------|
| 地址: F0012H | 复位后: 00H | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADLL | ADLL7 | ADLL6 | ADLL5 | ADLL4 | ADLL3 | ADLL2 | ADLL1 | ADLL0 |

注意事项 选择 10 位分辨率 A/D 转换时，将 10 位 A/D 转换结果寄存器 (ADCR) 的高 8 位与 ADLL 寄存器进行比较。

(10) A/D 测试寄存器 (ADTES)

在 A/D 测试功能中，该寄存器用于选择 A/D 转换器的 + 侧基准电压 (AVREFP)、- 侧基准电压 (AVREFM)、或者模拟输入通道 (ANLxx) 作为 A/D 转换目标。

使用 8 位存储器操作指令设置 ADTES 寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 12 - 16 A/D 测试寄存器 (ADTES) 的格式

| | | | | | | | | |
|------------|---|----------|---|-------------------------------|---|---|--------|--------|
| 地址: F0013H | | 复位后: 00H | | R/W | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ADTES | 0 | 0 | 0 | 0 | 0 | 0 | ADTES1 | ADTES0 |
| | | | | | | | | |
| ADTES1 | | ADTES0 | | A/D 转换目标 | | | | |
| 0 | | 0 | | ANLxx （由模拟输入通道选择寄存器(ADS) 设置。） | | | | |
| 1 | | 0 | | AVREFM | | | | |
| 1 | | 1 | | AVREFP | | | | |
| 其他 | | | | 禁止设置 | | | | |

(11) A/D 端口配置寄存器 (ADPC)

使用该寄存器将 ANI0/P20 至 ANI3/P23 引脚在 A/D 转换器的模拟输入或者端口的数字输入/输出之间进行相互切换。

使用 8 位存储器操作指令设置 ADPC 寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 12 - 17 A/D 端口配置寄存器 (ADPC) 的格式

地址: F0076H 复位后: 00H R/W

| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|---|---|---|---|-------|-------|-------|-------|
| ADPC | 0 | 0 | 0 | 0 | ADPC3 | ADPC2 | ADPC1 | ADPC0 |

| ADPC3 | ADPC2 | ADPC1 | ADPC0 | 模拟输入 (A)/ 数字输入/输出 (D) 切换 | | | |
|-------|-------|-------|-------|--------------------------|----------|----------|----------|
| | | | | ANI3/P23 | ANI2/P22 | ANI1/P21 | ANI0/P20 |
| 0 | 0 | 0 | 0 | A | A | A | A |
| 0 | 0 | 0 | 1 | D | D | D | D |
| 0 | 0 | 1 | 0 | D | D | D | A |
| 0 | 0 | 1 | 1 | D | D | A | A |
| 0 | 1 | 0 | 0 | D | A | A | A |
| 0 | 1 | 0 | 1 | A | A | A | A |
| 0 | 1 | 1 | 0 | A | A | A | A |
| 0 | 1 | 1 | 1 | A | A | A | A |
| 1 | 0 | 0 | 0 | A | A | A | A |
| 1 | 0 | 0 | 1 | A | A | A | A |
| 1 | 0 | 1 | 0 | A | A | A | A |
| 1 | 0 | 1 | 1 | A | A | A | A |
| 1 | 1 | 0 | 0 | A | A | A | A |
| 1 | 1 | 0 | 1 | A | A | A | A |
| 1 | 1 | 1 | 0 | A | A | A | A |
| 1 | 1 | 1 | 1 | A | A | A | A |

注意事项 1. 通过端口模式寄存器 2 (PM2) 将用于 A/D 转换的端口设置为输入模式。

注意事项 2. 不要用模拟输入通道选择寄存器 (ADS) 设置已经由 ADPC 寄存器设置为数字输入/输出的引脚。

注意事项 3. 使用 AVREFP 和 AVREFM 时，设置 ANI0 和 ANI1 作为模拟输入，使用端口模式寄存器设置它们为输入模式。

(12) 端口模式控制寄存器0、12和14（PMC0、PMC12、PMC14）

使用该寄存器以1位为单位设置端口0、12或14的数字输入/输出或模拟输入。

使用P01/ANI16/TO00/RxD1/TRJIO0、P00/ANI17/TI00/TxD1、P147/ANI18或P120/ANI19引脚作为模拟输入引脚时，将PMC01、PMC00、PMC147或PMC120位设置为1。

使用1位或8位存储器操作指令设置PMC0、PMC12和PMC14寄存器。

产生复位信号后，该寄存器被设置为FFH。

图 12 - 18 端口模式控制寄存器0、12和14（PMC0、PMC12、PMC14）的格式

地址：F0060H

复位后：FFH

R/W

符号

7

6

5

4

3

2

1

0

PMC0

| | | | | | | | |
|---|---|---|---|---|---|-------|-------|
| 1 | 1 | 1 | 1 | 1 | 1 | PMC01 | PMC00 |
|---|---|---|---|---|---|-------|-------|

地址：F006CH

复位后：FFH

R/W

符号

7

6

5

4

3

2

1

0

PMC12

| | | | | | | | |
|---|---|---|---|---|---|---|--------|
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | PMC120 |
|---|---|---|---|---|---|---|--------|

地址：F006EH

复位后：FFH

R/W

符号

7

6

5

4

3

2

1

0

PMC14

| | | | | | | | |
|--------|---|---|---|---|---|---|---|
| PMC147 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
|--------|---|---|---|---|---|---|---|

| | |
|-------|---|
| PMCMn | Pmn引脚数字输入/输出/模拟输入的选择（m = 0、12、14；n = 0、2、3、7） |
| 0 | 数字输入/输出（模拟输入以外的复用功能） |
| 1 | 模拟输入 |

通过端口模式寄存器x (PMx)将由PMC寄存器设置为模拟输入的端口设置为输入模式。

(13) 端口模式寄存器0、2、12和14（PM0、PM2、PM12、PM14）

使用 ANI0/AVREFP/P20、ANI1/AVREFM/P21、ANI2/P22、ANI3/P23、ANI16/TO00/RxD1/TRJIO0/P01、ANI17/TI00/TxD1/P00、ANI18/P147 或 ANI19/P120 引脚作为模拟输入端口时，将 PM20 至 PM23、PM01、PM00、PM147 或 PM120 位设置为 1。此时 P20 至 P23、P01、P00、P147 和 P120 的输出锁存器可以为 0 或 1。

如果 PM20 至 PM23、PM01、PM00、PM147 和 PM120 位被设置为 0，则其不能用作模拟输入端口。

使用 1 位或 8 位存储器操作指令设置 PM0、PM2、PM12 和 PM14 寄存器。

产生复位信号后，该寄存器被设置为 FFH。

注意事项 如果一个引脚被设置为模拟输入端口，则读取的始终不是引脚电平而是 0。

图 12 - 19 端口模式寄存器0、2、12和14（PM0、PM2、PM12、PM14）的格式

地址: FFF20H 复位后: FFH R/W

符号 7 6 5 4 3 2 1 0

PM0

| | | | | | | | |
|---|---|---|---|---|---|------|------|
| 1 | 1 | 1 | 1 | 1 | 1 | PM01 | PM00 |
|---|---|---|---|---|---|------|------|

地址: FFF22H 复位后: FFH R/W

符号 7 6 5 4 3 2 1 0

PM2

| | | | | | | | |
|---|---|---|---|------|------|------|------|
| 1 | 1 | 1 | 1 | PM23 | PM22 | PM21 | PM20 |
|---|---|---|---|------|------|------|------|

地址: FFF2CH 复位后: FFH R/W

符号 7 6 5 4 3 2 1 0

PM12

| | | | | | | | |
|---|---|---|---|---|---|---|-------|
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | PM120 |
|---|---|---|---|---|---|---|-------|

地址: FFF2EH 复位后: FFH R/W

符号 7 6 5 4 3 2 1 0

PM14

| | | | | | | | |
|-------|---|---|---|---|---|---|---|
| PM147 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
|-------|---|---|---|---|---|---|---|

| | |
|------|--|
| PMmn | Pmn 引脚输入/输出模式选择 （m = 0、2、12、14； n = 0至3、7） |
| 0 | 输出模式 （输出缓冲器启用） |
| 1 | 输入模式 （输出缓冲器关闭） |

注意事项 使用 AVREFP 和 AVREFM 时，设置 ANI0 和 ANI1 为模拟输入，使用端口模式寄存器设置它们为输入模式。

如下所示，ANI0/P20 至 ANI3/P23 引脚的功能因 A/D 端口配置寄存器 (ADPC)、模拟输入通道选择寄存器 (ADS) 和 PM2 寄存器的设置而异。

表 12 - 7 ANI0/P20 至 ANI3/P23 引脚功能的设置

| ADPC | PM2 | ADS | ANI0/P20 至 ANI3/P23 引脚 |
|-----------|------|----------|------------------------|
| 数字输入/输出选择 | 输入模式 | — | 数字输入 |
| | 输出模式 | — | 数字输出 |
| 模拟输入选择 | 输入模式 | 选择 ANI。 | 模拟输入（将被转换） |
| | | 不选择 ANI。 | 模拟输入（不被转换） |
| | 输出模式 | 选择 ANI。 | 禁止设置 |
| | | 不选择 ANI。 | |

如下所示，ANI16/P01、ANI17/P00、ANI18/P147 和 ANI19/P120 引脚的功能因端口模式控制寄存器 0、12 和 14（PMC0、PMC12、PMC14）、模拟输入通道选择寄存器 (ADS)、PM0、PM12 和 PM14 寄存器的设置而异。

表 12 - 8 ANI16/P01、ANI17/P00、ANI18/P147 和 ANI19/P120 引脚功能的设置

| PMC0、PMC12 和 PMC14 | PM0、PM12 和 PM14 | ADS | ANI16/P01、ANI17/P00、ANI18/P147 和 ANI19/P120 引脚 |
|--------------------|-----------------|----------|--|
| 数字输入/输出选择 | 输入模式 | — | 数字输入 |
| | 输出模式 | — | 数字输出 |
| 模拟输入选择 | 输入模式 | 选择 ANI。 | 模拟输入（将被转换） |
| | | 不选择 ANI。 | 模拟输入（不被转换） |
| | 输出模式 | 选择 ANI。 | 禁止设置 |
| | | 不选择 ANI。 | |

12.4 A/D 转换器的转换操作

A/D 转换器的转换操作如下所示。

- <1> 通过采样 & 保持电路对选择的模拟输入通道的输入电压进行采样。
- <2> 当采样进行一定时间时，采样 & 保持电路被置于保持状态且保持采样电压，直到 A/D 转换操作结束为止。
- <3> 置位逐次逼近寄存器 (SAR) 的位 9。通过分接选择器将串联电阻串的分接电压设置为 $(1/2) AV_{REF}$ 。
- <4> 使用电压比较器对串联电阻串的分接电压与采样电压之间的电压差进行比较。如果模拟输入大于 $(1/2) AV_{REF}$ ，SAR 寄存器的 MSB 位保持为 1。如果模拟输入小于 $(1/2) AV_{REF}$ ，MSB 位复位为 0。
- <5> 接着，自动将 SAR 寄存器的位 8 设置为 1，并进行下一次比较。
根据下述位 9 的当前设置值选择串联电阻串的分接电压。
 - 位 9 = 1: $(3/4) AV_{REF}$
 - 位 9 = 0: $(1/4) AV_{REF}$
 对分接电压与采样电压进行比较，并对 SAR 寄存器的位 8 进行如下操作：
 - 采样电压 \geq 分接电压：位 8 = 1
 - 采样电压 $<$ 分接电压：位 8 = 0
- <6> 照此继续进行比较，直到 SAR 寄存器的位 0 为止。
- <7> 完成 10 位的比较时，一个有效数字结果值将保持于 SAR 寄存器之中，该结果值被传送至 A/D 转换结果寄存器 (ADCR、ADCRH)，并被锁存^{注 1}。
同时，产生 A/D 转换结束中断请求 (INTAD)。
- <8> 重复步骤 <1> 至 <7>，直到 ADCS 位被清除为 0^{注 2}。
将 ADCS 位清除为 0 以停止 A/D 转换器。

注 1. 如果 A/D 转换结果在 ADRCK 位和 ADUL、ADLL 寄存器（参阅图 12-9）指定的范围以外时，则不产生 A/D 转换结果中断请求信号，A/D 转换结果不存储在 ADCR 和 ADCRH 寄存器。

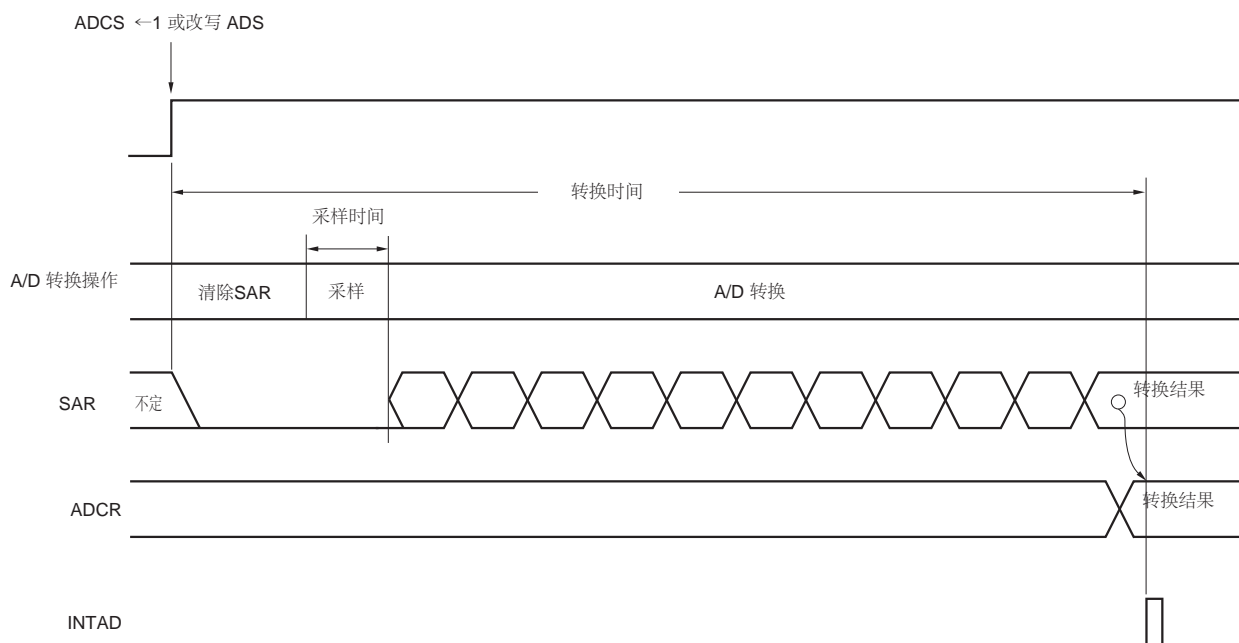
注 2. 连续转换模式时，不会自动将 ADCS 标志清除为 0。硬件触发无等待模式的单次转换模式时，也不会自动将该标志清除为 0。相反，将继续保持为 1。

备注 1. 有两种 A/D 转换结果寄存器。

- ADCR 寄存器（16 位）：存储 10 位的 A/D 转换值
- ADCRH 寄存器（8 位）：存储 8 位的 A/D 转换值

备注 2. AV_{REF} ：A/D 转换器的 + 侧基准电压。可以选自 AV_{REFP} 、内部基准电压 (1.45 V) 以及 V_{DD} 。

图 12 - 20 A/D 转换器的转换操作（软件触发模式时）



A/D 转换操作持续进行，直到 A/D 转换器模式寄存器 (ADM) 的位 7 (ADCS) 被软件复位 (0) 为止。

如果在 A/D 转换操作过程中对模拟输入通道选择寄存器 (ADS) 执行写操作，则会初始化转换操作。如果 ADCS 位被置位 (1)，则会再次从头开始转换。

产生复位信号后，A/D 转换结果寄存器 (ADCR、ADCRH) 被清除为 0000H 或 00H。

12.5 输入电压和转换结果

输入至模拟输入引脚（ANI0至ANI3、ANI16至ANI19）的模拟输入电压与理论A/D转换结果（存储于10位A/D转换结果寄存器(ADCR)中）之间的关系可用以下表达式表示。

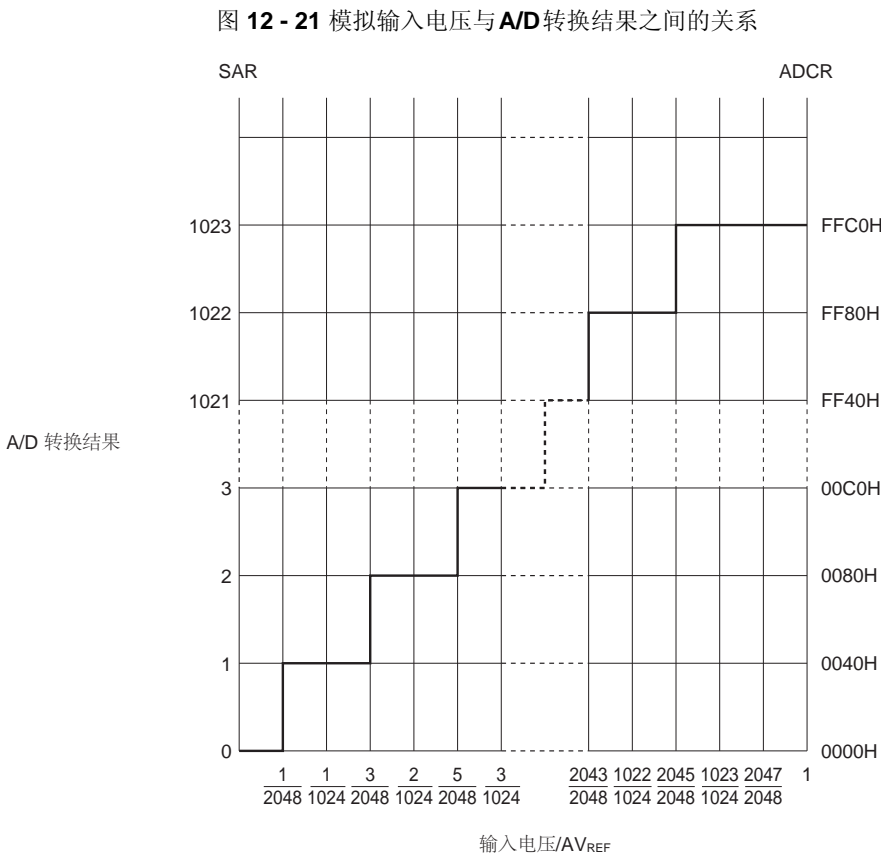
$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$
$$\text{ADCR} = \text{SAR} \times 64$$

或

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{V_{\text{REF}}}{1024} \leq V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{V_{\text{REF}}}{1024}$$

- 其中， INT(): 返回括号中数值的整数部分的函数
- VAIN: 模拟输入电压
- AVREF: AVREF引脚电压
- ADCR: A/D转换结果寄存器(ADCR)的值
- SAR: 逐次逼近寄存器

模拟输入电压与A/D转换结果之间的关系如图 12 - 21所示。



备注 AVREF: A/D转换器的+侧基准电压。可以选自AVREFP、内部基准电压(1.45 V)以及VDD。

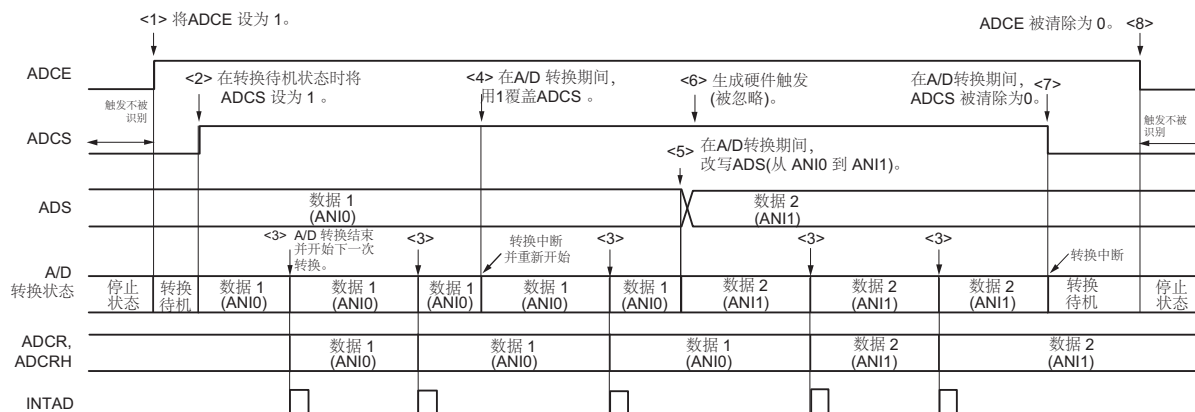
12.6 A/D 转换器的操作模式

A/D 转换器的各模式的操作如下所示。另外，各模式的设置步骤请参阅 12.7 A/D 转换器的设置流程图。

12.6.1 软件触发模式（选择模式、连续转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0 (ADM0) 的 ADCE 位被设置为 1，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <2> 软件计数至稳定等待时间 (1 μs) 之后，ADM0 寄存器的 ADCS 位被设置为 1，以执行由模拟输入通道选择寄存器 (ADS) 指定的模拟输入的 A/D 转换。
- <3> A/D 转换结束时，转换结果存储于 A/D 转换结果寄存器 (ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号 (INTAD)。A/D 转换结束后，立即开始下一个 A/D 转换。
- <4> 转换操作过程中用 1 重写 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <5> 转换操作过程中改写或重写 ADS 寄存器的值时，当前 A/D 转换中断，并对 ADS 寄存器重新指定的模拟输入执行 A/D 转换。转换至中途的数据被丢弃。
- <6> 转换操作过程中，即使输入硬件触发也不开始 A/D 转换。
- <7> 转换操作过程中将 ADCS 清除为 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <8> 在 A/D 转换待机状态下，当 ADCE 被清除为 0 时，A/D 转换器进入停止状态。当 ADCE = 0 时，将 ADCS 设置为 1 的操作无效，不开始 A/D 转换。

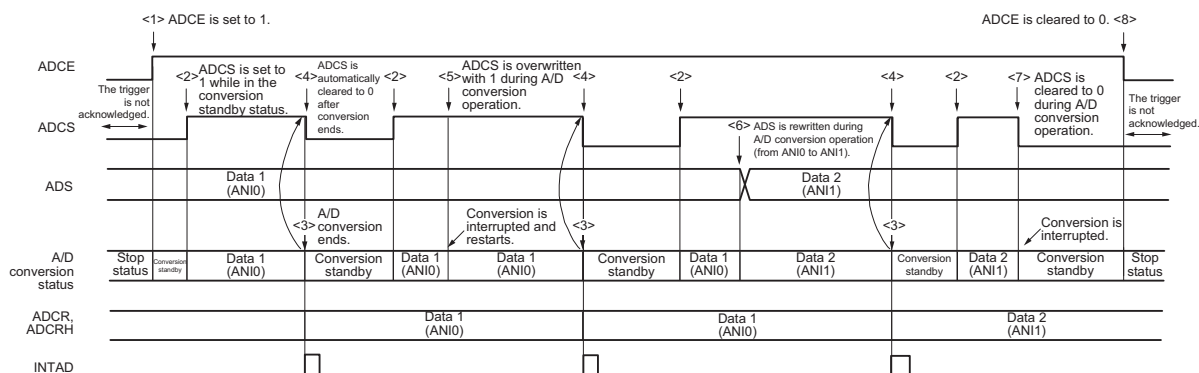
图 12-22 软件触发模式（选择模式、连续转换模式）操作时序的示例



12.6.2 软件触发模式（选择模式、单次转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0 (ADM0) 的 ADCE 位被设置为 1，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <2> 软件计数至稳定等待时间 (1 μs) 之后，ADM0 寄存器的 ADCS 位被设置为 1，以执行由模拟输入通道选择寄存器 (ADS) 指定的模拟输入的 A/D 转换。
- <3> A/D 转换结束时，转换结果存储于 A/D 转换结果寄存器 (ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号 (INTAD)。
- <4> A/D 转换结束后，ADCS 位将被自动清除为 0，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <5> 转换操作过程中用 1 重写 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <6> 转换操作过程中改写或重写 ADS 寄存器的值时，当前 A/D 转换中断，并对 ADS 寄存器重新指定的模拟输入执行 A/D 转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中将 ADCS 清除为 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <8> 在 A/D 转换待机状态下，当 ADCE 被清除为 0 时，A/D 转换器进入停止状态。当 ADCE = 0 时，将 ADCS 设置为 1 的操作无效，不开始 A/D 转换。另外，即使在 A/D 转换待机状态时输入硬件触发，也不开始 A/D 转换。

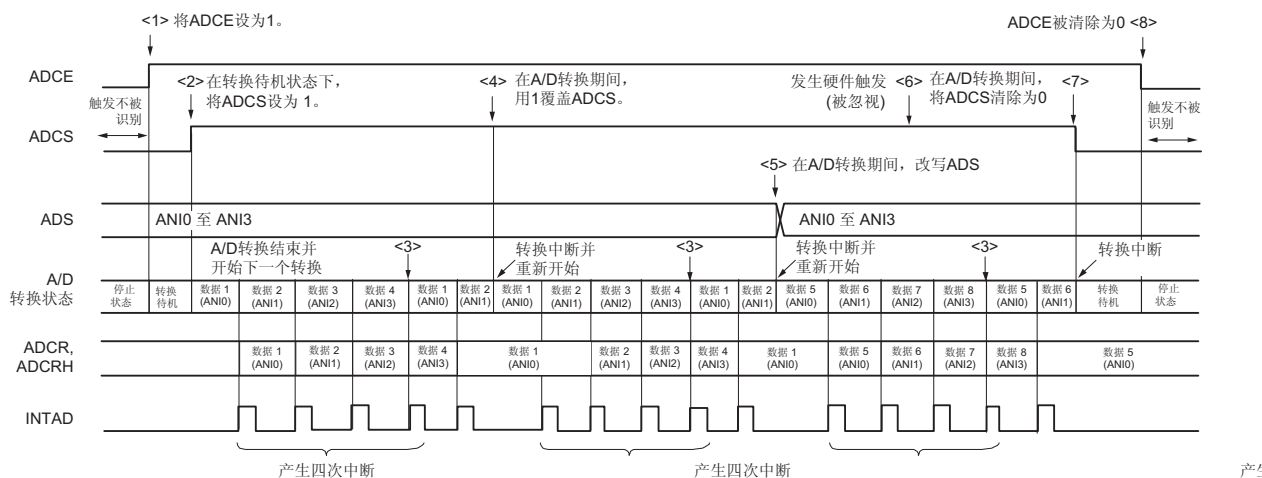
图 12-23 软件触发模式（选择模式、单次转换模式）操作时序的示例



12.6.3 软件触发模式（扫描模式、连续转换模式）

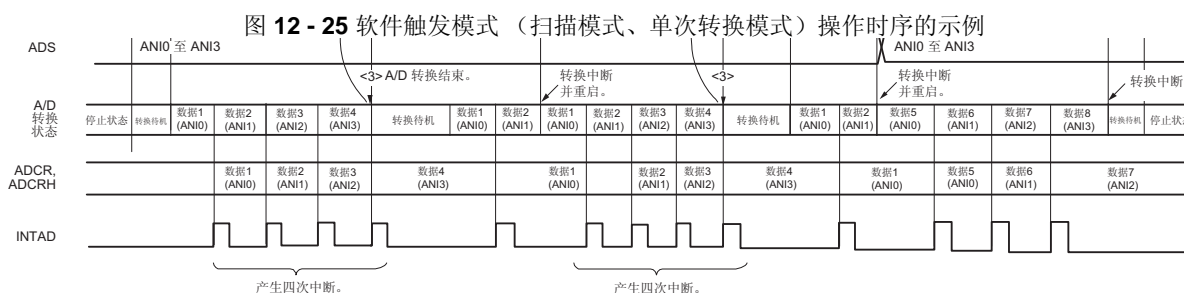
- <1> 在停止状态下，A/D 转换器模式寄存器 0 (ADM0) 的 ADCE 位被设置为 1，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <2> 软件计数至稳定等待时间 (1 μs) 之后，ADM0 寄存器的 ADCS 位被设置为 1，对由模拟输入通道选择寄存器 (ADS) 指定的扫描 0 至扫描 3 的四个模拟输入通道执行 A/D 转换。从扫描 0 指定的通道开始，依次对模拟输入通道执行 A/D 转换。
- <3> 依次对四个模拟输入通道执行 A/D 转换，每次转换结束时，将转换结果存储于 A/D 转换结果寄存器 (ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号 (INTAD)。当四个通道的 A/D 转换结束时，立即自动开始指定通道的下一次 A/D 转换（直到四个通道全部完成为止）。
- <4> 在转换操作过程中用 1 重写 ADCS 时，当前 A/D 转换中断，从第一个通道重新开始转换。转换至中途的数据被丢弃。
- <5> 转换操作过程中重写 ADS 寄存器的值时，当前 A/D 转换中断，并从 ADS 寄存器重新指定的第一个通道开始执行 A/D 转换。转换至中途的数据被丢弃。
- <6> 转换操作过程中，即使输入硬件触发也不开始 A/D 转换。
- <7> 转换操作过程中将 ADCS 清除为 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <8> 在 A/D 转换待机状态下，当 ADCE 被清除为 0 时，A/D 转换器进入停止状态。当 ADCE = 0 时，将 ADCS 设置为 1 的操作无效，不开始 A/D 转换。

图 12-24 软件触发模式（扫描模式、连续转换模式）操作时序的示例



12.6.4 软件触发模式（扫描模式、单次转换模式）

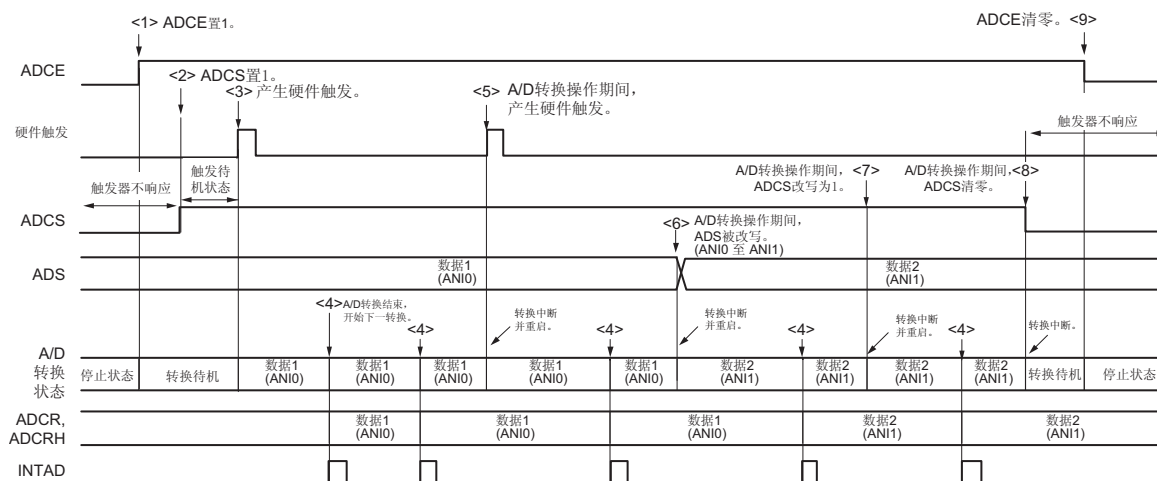
- <1> 在停止状态下，A/D 转换器模式寄存器 0 (ADM0) 的 ADCE 位被设置为 1，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <2> 软件计数至稳定等待时间 (1 μs) 之后，ADM0 寄存器的 ADCS 位被设置为 1，对由模拟输入通道选择寄存器 (ADS) 指定的从扫描 0 至扫描 3 的四个模拟输入通道执行 A/D 转换。从扫描 0 指定的通道开始，依次对模拟输入通道执行 A/D 转换。
- <3> 依次对四个模拟输入通道执行 A/D 转换，每次转换结束时，将转换结果存储于 A/D 转换结果寄存器 (ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号 (INTAD)。
- <4> 四个通道的 A/D 转换结束后，ADCS 位被自动清除为 0，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <5> 在转换操作过程中用 1 重写 ADCS 时，当前 A/D 转换中断，从第一个通道重新开始转换。转换至中途的数据被丢弃。
- <6> 转换操作过程中重写 ADS 寄存器的值时，当前 A/D 转换中断，并从 ADS 寄存器重新指定的第一个通道开始执行 A/D 转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中将 ADCS 清除为 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <8> 在 A/D 转换待机状态下，当 ADCE 被清除为 0 时，A/D 转换器进入停止状态。当 ADCE = 0 时，将 ADCS 设置为 1 的操作无效，不开始 A/D 转换。另外，即使在 A/D 转换待机状态时输入硬件触发，也不开始 A/D 转换。



12.6.5 硬件触发无等待模式（选择模式、连续转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0 (ADM0) 的 ADCE 位被设置为 1，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <2> 软件计数至稳定等待时间 (1 μs) 之后，ADM0 寄存器的 ADCS 位被设置为 1，以使系统处于硬件触发待机状态（此时不开始转换）。请注意，处于该状态时，即使将 ADCS 设置为 1，也不开始 A/D 转换。
- <3> 如果 ADCS = 1 时输入硬件触发，则对模拟输入通道选择寄存器 (ADS) 指定的模拟输入执行 A/D 转换。
- <4> A/D 转换结束时，转换结果存储于 A/D 转换结果寄存器 (ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号 (INTAD)。A/D 转换结束后，立即开始下一个 A/D 转换。
- <5> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，重新开始转换。转换至中途的数据被丢弃。
- <6> 转换操作过程中改写或重写 ADS 寄存器的值时，当前 A/D 转换中断，并对 ADS 寄存器重新指定的模拟输入执行 A/D 转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中用 1 重写 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <8> 转换操作过程中将 ADCS 清除为 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。然而，该状态下 A/D 转换器不进入停止状态。
- <9> 在 A/D 转换待机状态下，当 ADCE 被清除为 0 时，A/D 转换器进入停止状态。当 ADCS = 0 时，输入硬件触发的操作无效，不开始 A/D 转换。

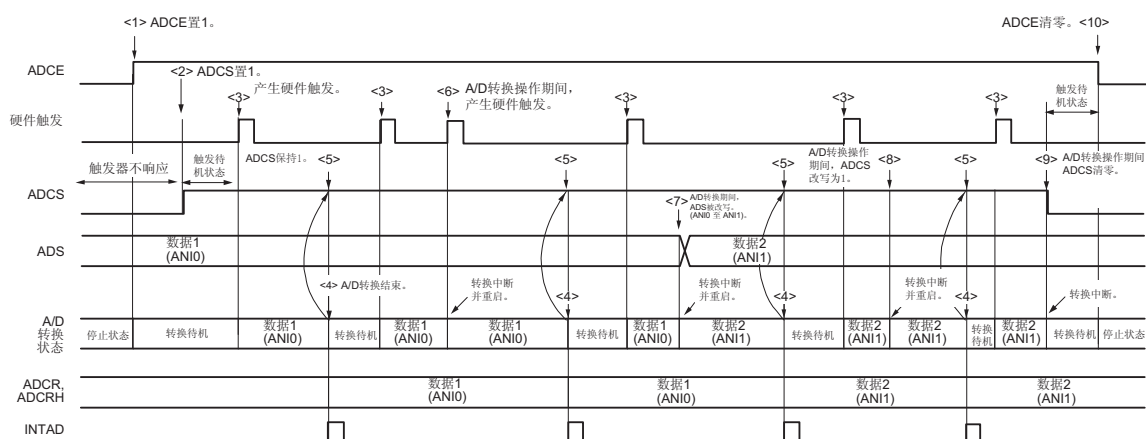
图 12 - 26 硬件触发无等待模式（选择模式、连续转换模式）操作时序的示例



12.6.6 硬件触发无等待模式（选择模式、单次转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0 (ADM0) 的 ADCE 位被设置为 1，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <2> 软件计数至稳定等待时间 (1 μs) 之后，ADM0 寄存器的 ADCS 位被设置为 1，以使系统处于硬件触发待机状态（此时不开始转换）。请注意，处于该状态时，即使将 ADCS 设置为 1，也不开始 A/D 转换。
- <3> 如果 ADCS = 1 时输入硬件触发，则对模拟输入通道选择寄存器 (ADS) 指定的模拟输入执行 A/D 转换。
- <4> A/D 转换结束时，转换结果存储于 A/D 转换结果寄存器 (ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号 (INTAD)。
- <5> A/D 转换结束后，ADCS 位保持 1，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <6> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，重新开始转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中改写或重写 ADS 寄存器的值时，当前 A/D 转换中断，并对 ADS 寄存器重新指定的模拟输入执行 A/D 转换。转换至中途的数据被丢弃。
- <8> 转换操作过程中用 1 重写 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <9> 转换操作过程中将 ADCS 清除为 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。然而，该状态下 A/D 转换器不进入停止状态。
- <10> 在 A/D 转换待机状态下，当 ADCE 被清除为 0 时，A/D 转换器进入停止状态。当 ADCS = 0 时，输入硬件触发的操作无效，不开始 A/D 转换。

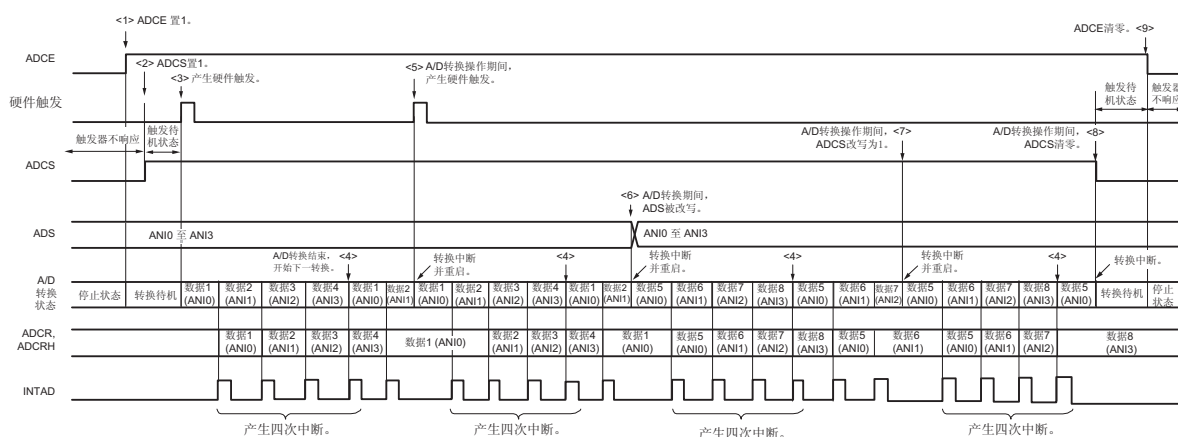
图 12 - 27 硬件触发无等待模式（选择模式、单次转换模式）操作时序的示例



12.6.7 硬件触发无等待模式（扫描模式、连续转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0 (ADM0) 的 ADCE 位被设置为 1，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <2> 软件计数至稳定等待时间 (1 μs) 之后，ADM0 寄存器的 ADCS 位被设置为 1，以使系统处于硬件触发待机状态（此时不开始转换）。请注意，处于该状态时，即使将 ADCS 设置为 1，也不开始 A/D 转换。
- <3> 如果 ADCS = 1 时输入硬件触发，则对由模拟输入通道选择寄存器 (ADS) 指定的从扫描 0 至扫描 3 的四个模拟输入通道执行 A/D 转换。从扫描 0 指定的通道开始，依次对模拟输入通道执行 A/D 转换。
- <4> 依次对四个模拟输入通道执行 A/D 转换，每次转换结束时，将转换结果存储于 A/D 转换结果寄存器 (ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号 (INTAD)。四个通道的 A/D 转换结束时，立即自动开始指定通道的下一次 A/D 转换。
- <5> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，从第一个通道重新开始转换。转换至中途的数据被丢弃。
- <6> 转换操作过程中重写 ADS 寄存器的值时，当前 A/D 转换中断，并从 ADS 寄存器重新指定的第一个通道开始执行 A/D 转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中用 1 重写 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <8> 转换操作过程中将 ADCS 清除为 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。然而，该状态下 A/D 转换器不进入停止状态。
- <9> 在 A/D 转换待机状态下，当 ADCE 被清除为 0 时，A/D 转换器进入停止状态。当 ADCE = 0 时，将 ADCS 设置为 1 的操作无效，不开始 A/D 转换。

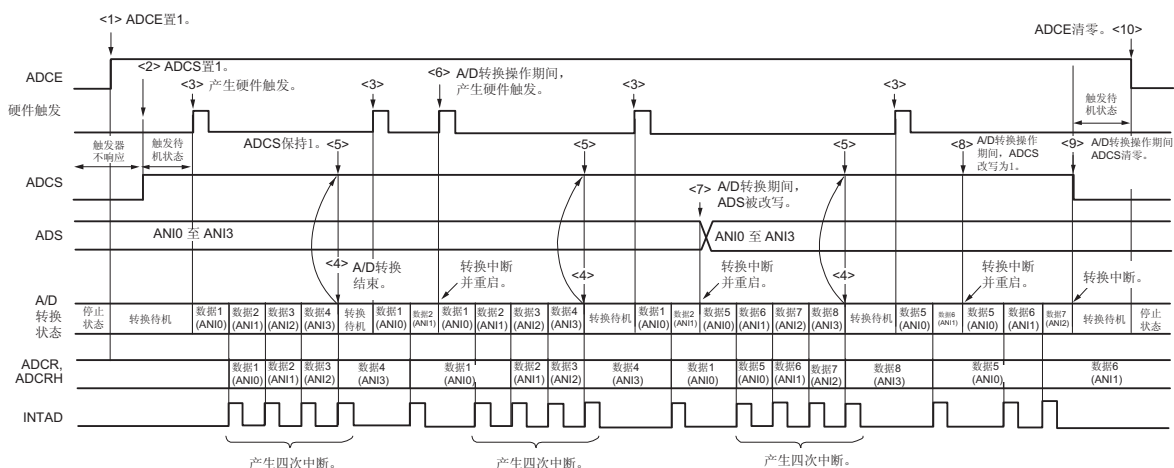
图 12 - 28 硬件触发无等待模式（扫描模式、连续转换模式）操作时序的示例



12.6.8 硬件触发无等待模式（扫描模式、单次转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0 (ADM0) 的 ADCE 位被设置为 1，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <2> 软件计数至稳定等待时间 (1 μs) 之后，ADM0 寄存器的 ADCS 位被设置为 1，以使系统处于硬件触发待机状态（此时不开始转换）。请注意，处于该状态时，即使将 ADCS 设置为 1，也不开始 A/D 转换。
- <3> 如果 ADCS = 1 时输入硬件触发，则对由模拟输入通道选择寄存器 (ADS) 指定的从扫描 0 至扫描 3 的四个模拟输入通道执行 A/D 转换。从扫描 0 指定的通道开始，依次对模拟输入通道执行 A/D 转换。
- <4> 依次对四个模拟输入通道执行 A/D 转换，每次转换结束时，将转换结果存储于 A/D 转换结果寄存器 (ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号 (INTAD)。
- <5> 当四个通道的 A/D 转换结束后，ADCS 位保持 1，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <6> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，从第一个通道重新开始转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中重写 ADS 寄存器的值时，当前 A/D 转换中断，并从 ADS 寄存器重新指定的第一个通道开始执行 A/D 转换。转换至中途的数据被丢弃。
- <8> 在转换操作过程中用 1 重写 ADCS 时，当前 A/D 转换中断，从第一个通道重新开始转换。转换至中途的数据被丢弃。
- <9> 转换操作过程中将 ADCS 清除为 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。然而，该状态下 A/D 转换器不进入停止状态。
- <10> 在 A/D 转换待机状态下，当 ADCE 被清除为 0 时，A/D 转换器进入停止状态。当 ADCS = 0 时，输入硬件触发的操作无效，不开始 A/D 转换。

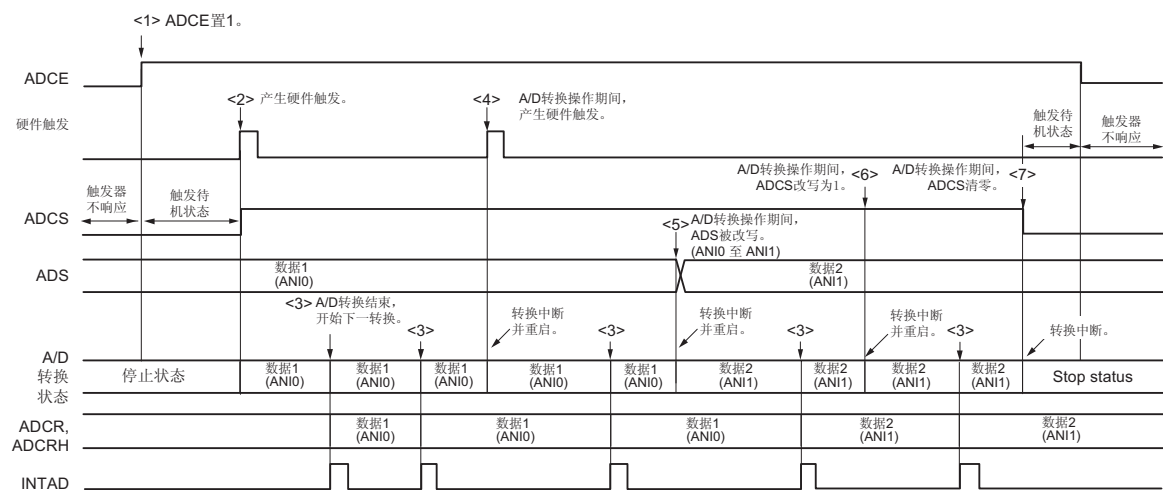
图 12-29 硬件触发无等待模式（扫描模式、单次转换模式）操作时序的示例



12.6.9 硬件触发等待模式（选择模式、连续转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器0 (ADM0)的ADCE 位被设置为 1，系统进入硬件触发待机状态。
- <2> 如果在硬件触发待机状态时输入硬件触发，则对模拟输入通道选择寄存器 (ADS) 指定的模拟输入执行 A/D 转换。随着硬件触发输入，ADM0 寄存器的ADCS 位自动被设置为 1。
- <3> A/D 转换结束时，转换结果存储于 A/D 转换结果寄存器（ADCR、ADCRH），并产生 A/D 转换结束中断请求信号 (INTAD)。A/D 转换结束后，立即开始下一个 A/D 转换。（此时不需要硬件触发。）
- <4> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，重新开始转换。转换至中途的数据被丢弃。
- <5> 转换操作过程中改写或重写 ADS 寄存器的值时，当前 A/D 转换中断，并对 ADS 寄存器重新指定的模拟输入执行 A/D 转换。转换至中途的数据被丢弃。
- <6> 转换操作过程中用 1 重写 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <7> 转换操作过程中 ADCS 被清除为 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。当 ADCE= 0 时，输入硬件触发的操作无效，不开始 A/D 转换。

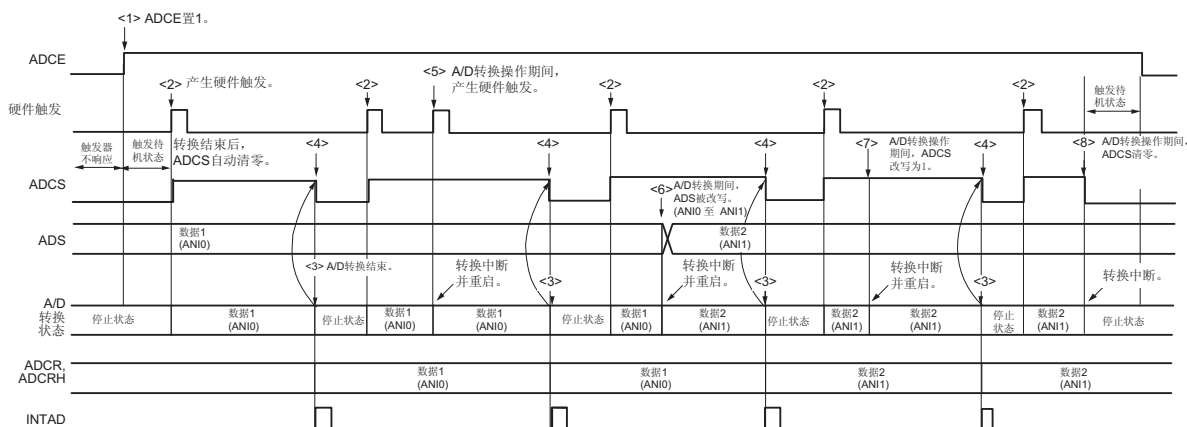
图 12 - 30 硬件触发等待模式（选择模式、连续转换模式）操作时序的示例



12.6.10 硬件触发等待模式（选择模式、单次转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0 (ADM0) 的 ADCE 位被设置为 1，系统进入硬件触发待机状态。
- <2> 如果在硬件触发待机状态时输入硬件触发，则对模拟输入通道选择寄存器 (ADS) 指定的模拟输入执行 A/D 转换。随着硬件触发输入，ADM0 寄存器的 ADCS 位自动被设置为 1。
- <3> A/D 转换结束时，转换结果存储于 A/D 转换结果寄存器 (ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号 (INTAD)。
- <4> A/D 转换结束后，ADCS 位被自动清除为 0，A/D 转换器进入停止状态。
- <5> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，重新开始转换。转换至中途的数据被丢弃。
- <6> 转换操作过程中改写或重写 ADS 寄存器的值时，当前 A/D 转换中断，并对 ADS 寄存器重新指定的模拟输入执行 A/D 转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中用 1 重写 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被初始化。
- <8> 转换操作过程中 ADCS 被清除为 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。当 ADCE = 0 时，输入硬件触发的操作无效，不开始 A/D 转换。

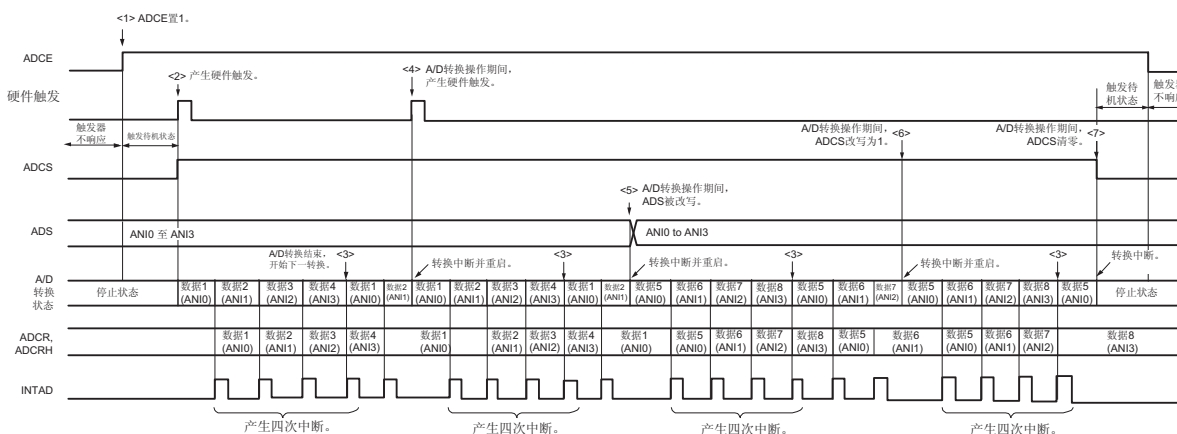
图 12-31 硬件触发等待模式（选择模式、单次转换模式）操作时序的示例



12.6.11 硬件触发等待模式（扫描模式、连续转换模式）

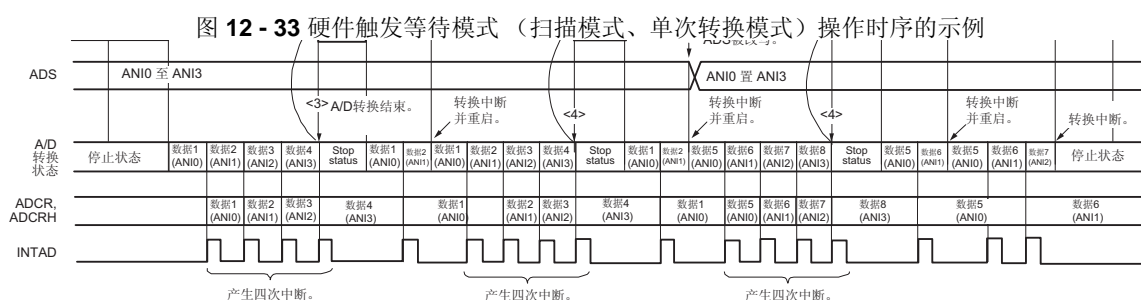
- <1> 在停止状态下，A/D 转换器模式寄存器 0 (ADM0) 的 ADCE 位被设置为 1，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <2> 如果在硬件触发待机状态下输入硬件触发，则对于由第 0 至第 3 次扫描（由模拟输入通道选择寄存器 (ADS) 指定）指定的四个模拟输入通道执行 A/D 转换。随着硬件触发输入，ADM0 寄存器的 ADCS 位自动被设置为 1。从扫描 0 指定的通道开始，依次对模拟输入通道执行 A/D 转换。
- <3> 依次对四个模拟输入通道执行 A/D 转换，每次转换结束时，将转换结果存储于 A/D 转换结果寄存器 (ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号 (INTAD)。四个通道的 A/D 转换结束时，立即自动开始指定通道的下一次 A/D 转换。
- <4> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，从第一个通道重新开始转换。转换至中途的数据被丢弃。
- <5> 转换操作过程中重写 ADS 寄存器的值时，当前 A/D 转换中断，并从 ADS 寄存器重新指定的第一个通道开始执行 A/D 转换。转换至中途的数据被丢弃。
- <6> 转换操作过程中用 1 重写 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <7> 转换操作过程中 ADCS 被清除为 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。当 ADCE = 0 时，输入硬件触发的操作无效，不开始 A/D 转换。

图 12-32 硬件触发等待模式（扫描模式、连续转换模式）操作时序的示例



12.6.12 硬件触发等待模式（扫描模式、单次转换模式）

- <1> 在停止状态下，A/D 转换器模式寄存器 0 (ADM0) 的 ADCE 位被设置为 1，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。
- <2> 如果在硬件触发待机状态下输入硬件触发，则对于由第 0 至第 3 次扫描（由模拟输入通道选择寄存器 (ADS) 指定）指定的四个模拟输入通道执行 A/D 转换。随着硬件触发输入，ADM0 寄存器的 ADCS 位自动被设置为 1。从扫描 0 指定的通道开始，依次对模拟输入通道执行 A/D 转换。
- <3> 依次对四个模拟输入通道执行 A/D 转换，每次转换结束时，将转换结果存储于 A/D 转换结果寄存器 (ADCR、ADCRH)，并产生 A/D 转换结束中断请求信号 (INTAD)。
- <4> A/D 转换结束后，ADCS 位被自动清除为 0，A/D 转换器进入停止状态。
- <5> 在转换操作过程中输入硬件触发时，当前 A/D 转换中断，从第一个通道重新开始转换。转换至中途的数据被丢弃。
- <6> 转换操作过程中重写 ADS 寄存器的值时，当前 A/D 转换中断，并从 ADS 寄存器重新指定的第一个通道开始执行 A/D 转换。转换至中途的数据被丢弃。
- <7> 转换操作过程中用 1 重写 ADCS 时，当前 A/D 转换中断，转换重新开始。转换至中途的数据被丢弃。
- <8> 转换操作过程中 ADCS 被清除为 0 时，当前 A/D 转换中断，系统进入硬件触发待机状态，而且 A/D 转换器进入停止状态。当 ADCE=0 时，输入硬件触发的操作无效，不开始 A/D 转换。



12.7 A/D 转换器的设置流程图

各操作模式时的 A/D 转换器的设置流程图如下所示。

12.7.1 设置软件触发模式

图 12-34 设置软件触发模式



注 根据ADRCK位和ADUL/ADLL寄存器的设置，有可能不产生中断信号。这种情况下，结果不存储于ADCR、ADCRH寄存器。

12.7.2 设置硬件触发无等待模式

图 12 - 35 设置硬件触发无等待模式



注 根据ADRCK位和ADUL/ADLL寄存器的设置，有可能不产生中断信号。这种情况下，结果不存储于ADCR、ADCRH寄存器。

12.7.3 设置硬件触发等待模式

图 12 - 36 设置硬件触发等待模式



注 根据ADRCK位和ADUL/ADLL寄存器的设置，有可能不产生中断信号。这种情况下，结果不存储于ADCR、ADCRH寄存器。

12.7.4 使用温度传感器时的设置（软件触发模式、单次转换模式下的示例）

图 12 - 37 使用温度传感器时的设置



注 根据ADRCCK位和ADUL/ADLL寄存器的设置，有可能不产生中断信号。这种情况下，结果不存储于ADCR、ADCRH寄存器。

12.7.5 设置测试模式

图 12 - 38 设置测试触发模式



注 根据ADRCK位和ADUL/ADLL寄存器的设置，有可能不产生中断信号。这种情况下，结果不存储于ADCR、ADCRH寄存器。

12.8 SNOOZE 模式功能

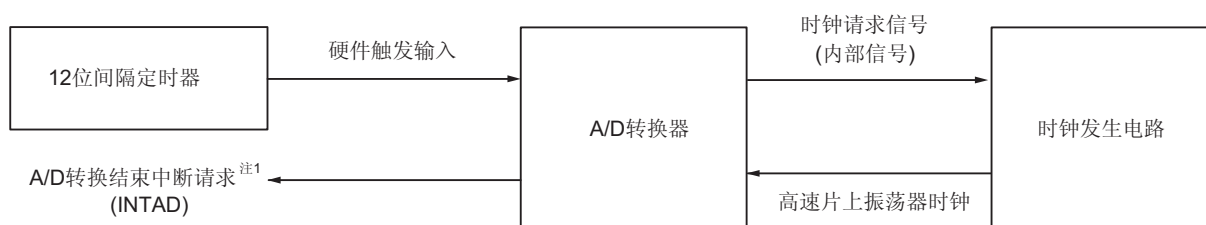
SNOOZE 模式时，通过在 STOP 模式下输入硬件触发来触发 A/D 转换。正常情况下，在 STOP 模式时停止 A/D 转换，但是，在 SNOOZE 模式时，可以在不操作 CPU 的情况下通过输入硬件触发执行 A/D 转换。这样可以有效减少操作电流。如果在 SNOOZE 模式中使用 ADUL 和 ADLL 寄存器指定 A/D 转换结果范围，每过一段时间就可判断出 A/D 的转换结果。使用此功能，可启动电源电压监视和根据 A/D 输入进行输入按键判断。

SNOOZE 模式时，仅能使用以下两种转换模式：

- 硬件触发等待模式（选择模式、单次转换模式）
- 硬件触发等待模式（扫描模式、单次转换模式）

注意事项 仅在选用高速片上振荡器时钟作为 f_{CLK} 时可以使用 SNOOZE 模式。

图 12 - 39 使用 SNOOZE 模式功能时的框图



使用 SNOOZE 模式功能时，在切换至 STOP 模式之前进行各寄存器的初始设置。（有关这些设置的详情，请参阅 12.7.3 设置硬件触发等待模式 注 2。）此时，A/D 转换器模式寄存器 2 (ADM2) 的位 2 (AWC) 被设置为 1。初始设置完成后，设置 A/D 转换器模式寄存器 0 (ADM0) 的位 0 (ADCE) 为 1。

如果在切换至 STOP 模式之后输入硬件触发，则向 A/D 转换器供应高速片上振荡器时钟。供应该时钟之后，系统将自动递增计数至稳定等待时间，然后开始 A/D 转换。

A/D 转换结束后的 SNOOZE 模式操作因是否产生中断信号而有所不同 注 1。

注 1. 根据 A/D 转换结果比较功能的设置（ADRCK 位、ADUL/ADLL 寄存器），有可能不产生中断请求信号。

注 2. 必须将 ADM1 寄存器设置为 E1H、E2H 或 E3H。

备注 硬件触发为由 ELC 或 INTIT 选择的事件。
通过 A/D 转换器模式寄存器 1 (ADM1) 设置硬件触发。

(1) A/D 转换结束后产生中断时

如果 A/D 转换结果值处于 A/D 转换结果比较功能设置的值的范围之内（通过 ADRCK 位和 ADUL/ADLL 寄存器设置），则产生 A/D 转换结束中断请求信号 (INTAD)。

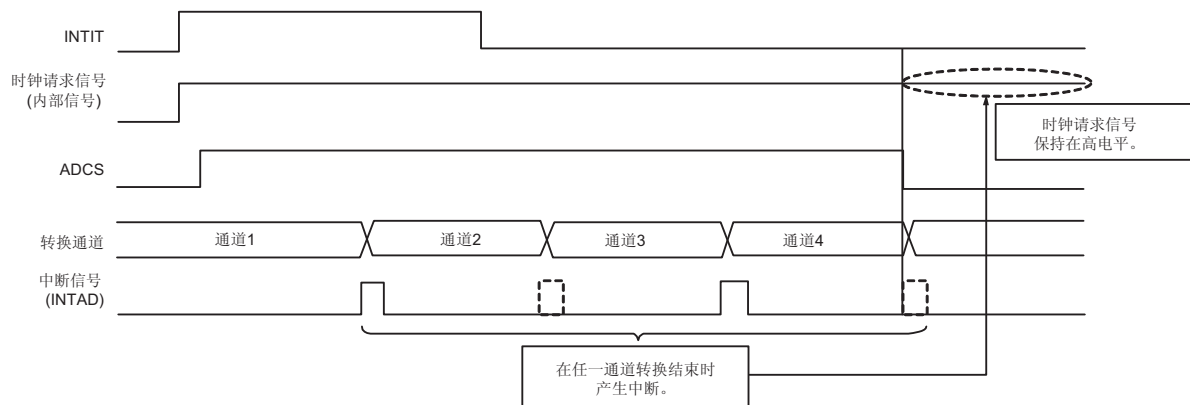
• 当处于选择模式时

在 A/D 转换结束且产生 A/D 转换结束中断请求信号 (INTAD) 之后，A/D 转换器从 SNOOZE 模式切换至正常操作模式。此时，必须将 A/D 转换器模式寄存器 2 (ADM2) 的位 2 (AWC = 0: SNOOZE 模式解除) 清除。如果 AWC 位保持 1，不管在之后的 SNOOZE 模式下或者在正常操作模式下 A/D 转换都不会正常启动。

• 当处于扫描模式时

在四个通道的 A/D 转换过程中即使产生一个 A/D 转换结束中断请求信号 (INTAD)，时钟请求信号也保持高电平，A/D 转换器将从 SNOOZE 模式切换至正常操作模式。此时，必须将 A/D 转换器模式寄存器 2 (ADM2) 的位 2 (AWC = 0: SNOOZE 模式解除) 清除为 0。如果 AWC 位保持 1，不管在之后的 SNOOZE 模式下或者在正常操作模式下 A/D 转换都不会正常启动。

图 12 - 40 A/D 转换结束后产生中断时的操作示例（扫描模式下）



(2) A/D 转换结束后不产生中断时

如果 A/D 转换结果值处于 A/D 转换结果比较功能设置的值的范围之外（通过 ADRCK 位和 ADUL/ADLL 寄存器设置），则不产生 A/D 转换结束中断请求信号 (INTAD)。

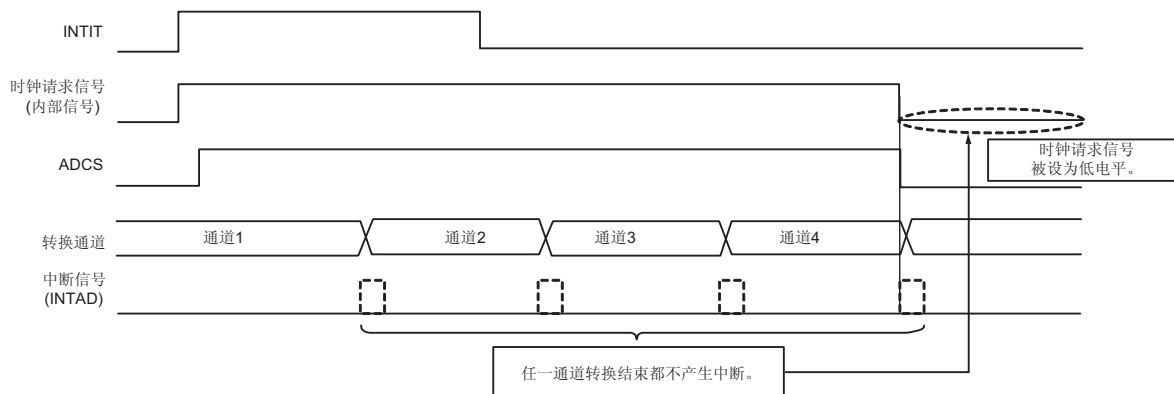
- 当处于选择模式时

如果 A/D 转换结束后未产生 A/D 转换结束中断请求信号 (INTAD)，时钟请求信号（内部信号）将被自动设置为低电平，并停止供应高速片上振荡器时钟。之后，如果输入硬件触发，则会再次在 SNOOZE 模式下执行 A/D 转换。

- 当处于扫描模式时

如果未在四个通道的 A/D 转换过程中产生 A/D 转换结束中断请求信号 (INTAD)，则时钟请求信号（内部信号）将在四个通道的 A/D 转换结束后被自动设置为低电平，并停止供应高速片上振荡器时钟。之后，如果输入硬件触发，则会再次在 SNOOZE 模式下执行 A/D 转换。

图 12 - 41 A/D 转换结束后不产生中断时的操作示例（扫描模式下）



12.9 如何阅读 A/D 转换器特性表

以下将介绍 A/D 转换器的专用术语。

(1) 分辨率

可以分辨的最低模拟输入电压。即是说，每位数字输出中模拟输入电压的百分比被称为 **1LSB**（最低有效位）。**1LSB** 对满刻度的比率被表示为 **%FSR**（满标度量程）。

当分辨率为 10 位时，**1LSB** 表示如下：

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098\% \text{FSR} \end{aligned}$$

精度与分辨率无关，而是取决于总误差。

(2) 总误差

总误差是实际测量值和理论值之间的最大误差值。

将零刻度误差、满刻度误差、积分线性误差和微分线性误差以及这些组合所产生的误差综合起来，即为总误差。

请注意，总误差特性表中不包括量化误差。

(3) 量化误差

当模拟值被转换为数字值时，必然会出现 $\pm 1/2\text{LSB}$ 的误差。在 A/D 转换器中， $\pm 1/2\text{LSB}$ 范围内的模拟输入电压被转换成同样的数字代码，因此量化误差不可避免。

请注意，量化误差不包括在特性表中的总误差、零刻度误差、满刻度误差、积分线性误差和微分线性误差之中。

图 12-42 总误差

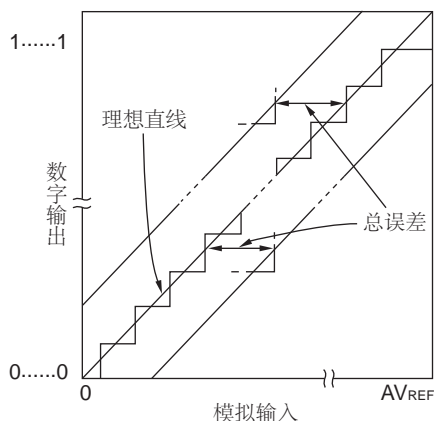
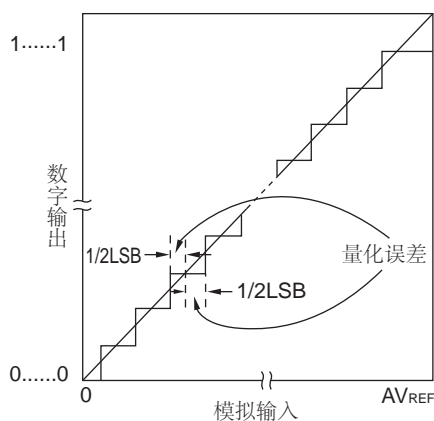


图 12-43 量化误差



(4) 零刻度误差

零刻度误差是指当数字输出从 0.....000 变为 0.....001 时，模拟输入电压的实际测量值和理论值 ($1/2\text{LSB}$) 之间的差值。

如果实际测量值大于理论值，则表示当数字输出从 0.....001 变为 0.....010 时，模拟输入电压的实际测量值和理论值 ($3/2\text{LSB}$) 之间的差值。

(5) 满刻度误差

满刻度误差是当数字输出从1.....110变为1.....111时，模拟输入电压的实际测量值和理论值（满刻度 - 3/2LSB）之间的差值。

(6) 积分线性误差

积分线性误差说明了转换特性偏离理想线性关系的程度。它表示当零刻度误差和满刻度误差均为0时，实际测量值和理想直线之间的最大误差。

(7) 微分线性误差

微分线性误差是指，输出代码的理想宽度为1LSB时，某个代码输出宽度的实际测量值与理想值之间的差值。

图 12 - 44 零刻度误差

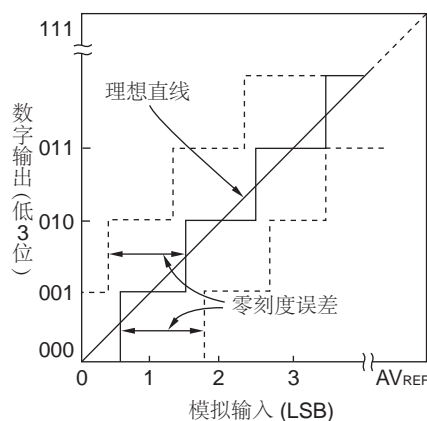


图 12 - 46 积分线性误差

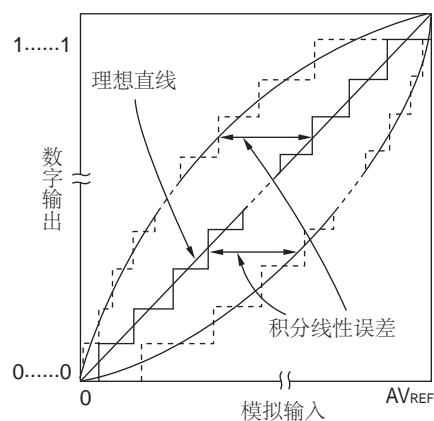


图 12 - 45 满刻度误差

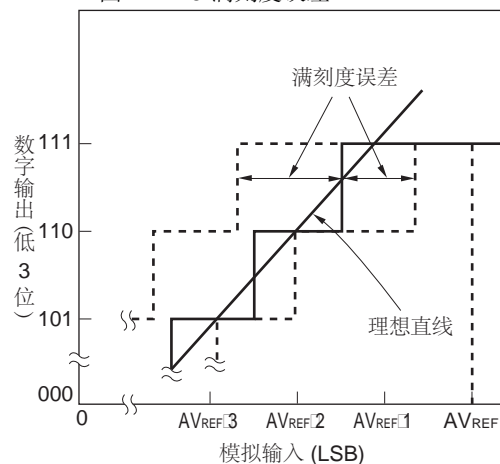
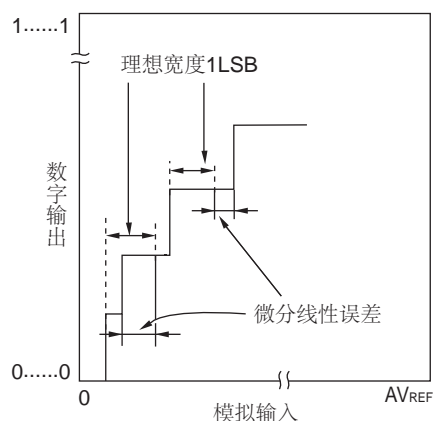


图 12 - 47 微分线性误差

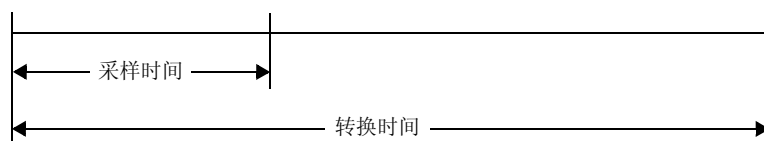


(8) 转换时间

转换时间是指从开始采样到获得数字输出的时间。
特性表中的转换时间包括采样时间。

(9) 采样时间

采样时间是指为了将模拟电压载入采样&保持电路而打开模拟开关的时间。



12.10 A/D 转换器的注意事项

(1) STOP 模式下的操作电流

停止 A/D 转换器（将 A/D 转换器模式寄存器 0 (ADM0) 的位 7 (ADCS) 设置为 0）之后切换至 STOP 模式。同时，可通过将 ADM0 寄存器的位 0 (ADCE) 设置为 0 来减少操作电流。

从待机状态重启时，将中断请求标志寄存器 1H (IF1H) 的位 0 (ADIF) 清除为 0 之后再开始操作。

(2) ANI0 至 ANI3 和 ANI16 至 ANI19 引脚的输入范围

请遵守 ANI0 至 ANI3 以及 ANI16 至 ANI19 引脚输入电压的额定范围。如果向模拟输入通道输入大于或等于 V_{DD} 和 AV_{REFP} 或者小于或等于 V_{SS} 和 AV_{REFM} 的电压（即使在绝对最大额定范围内），则该通道的转换值将不定。另外，也可能影响到其他通道的转换值。

选择内部基准电压 (1.45 V) 作为 A/D 转换器+侧的基准电压源时，不得向 ADS 寄存器选择的引脚输入大于或等于内部基准电压的电压。然而，可以向 ADS 寄存器选择的引脚以外的引脚输入大于或等于内部基准电压的电压。

注意事项 仅在 HS（高速主）模式中可使用内部基准电压 (1.45 V)。

(3) 冲突操作

<1> 转换结束时，对 A/D 转换结果寄存器 (ADCR、ADCRH) 的写入与通过指令对 ADCR 或 ADCRH 寄存器的读取之间的冲突

对 ADCR 或 ADCRH 寄存器的读取优先。读取操作之后，新转换结果被写入 ADCR 或 ADCRH 寄存器。

<2> 转换结束时，对 ADCR 或 ADCRH 寄存器的写入、对 A/D 转换器模式寄存器 0 (ADM0) 的写入、对模拟输入通道选择寄存器 (ADS) 或 A/D 端口配置寄存器 (ADPC) 的写入之间的冲突

对 ADM0、ADS 或 ADPC 寄存器的写入优先。不执行对 ADCR 或 ADCRH 寄存器的写入，也不产生转换结束中断信号 (INTAD)。

(4) 噪声对策

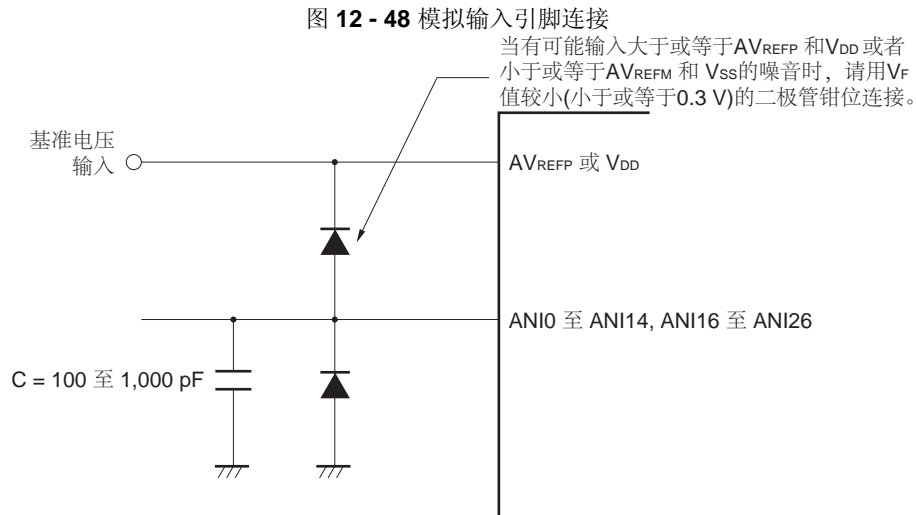
为了保持 10 位分辨率，必须注意输入至 AV_{REFP}、V_{DD}、ANI0 至 ANI3 和 ANI16 至 ANI19 引脚的噪声。

<1> 连接到电源的电容器请使用具备等效电阻低且频率响应良好的电容器。

<2> 模拟输入源的输出阻抗越高，影响越大。如图 12 - 48 所示，建议外接 C 以减少噪声。

<3> 转换过程中，不要切换引脚。

<4> 转换开始后立即设置为 HALT 模式可以提高精度。



(5) 模拟输入 (ANIn) 引脚

- <1> 模拟输入引脚 (ANIO 至 ANI3、ANI16 至 ANI19) 也用作输入端口 (P20 至 P23、P01、P00、P147、P120)。选择 ANIO 至 ANI3 和 ANI16 至 ANI19 引脚中的任意一个引脚并对其执行 A/D 转换时, 不要在转换过程中更改 P20 至 P23、P01、P00、P147 和 P120 的输出值; 否则, 可能导致转换分辨率下降。
- <2> 如果将正在执行 A/D 转换的引脚相邻的引脚用作数字输入/输出端口的话, 由于耦合噪声的影响, 可能会取得和预期不同的 A/D 转换值。因此, 请不要输入或输出这样的脉冲。

(6) 模拟输入 (ANIn) 引脚的输入阻抗

A/D 转换器在采样时间对内部的采样电容充电, 并进行采样。

因此, 不进行采样时仅通过漏电流, 采样时还通过对电容充电的电流。所以输入阻抗将依据是否进行采样而产生波动。

然而, 为了保证采样有效, 建议将模拟输入源的输出阻抗保持在 1 kΩ 以内, 并且将大约 100 pF 的电容连接至 ANIO 至 ANI3 以及 ANI16 至 ANI19 引脚 (参阅图 12 - 48)。

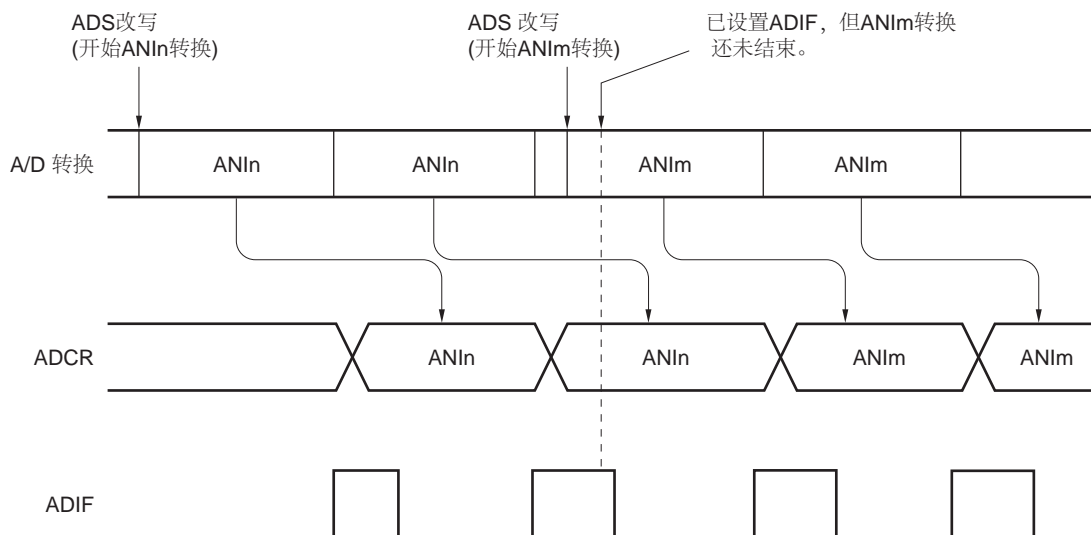
(7) 中断请求标志 (ADIF)

即使更改模拟输入通道选择寄存器 (ADS)，中断请求标志 (ADIF) 也不会被清除。

因此，A/D 转换过程中更改模拟输入引脚时，改写 ADS 寄存器之前，变更前的模拟输入的 A/D 转换结果和 ADIF 标志有被设置的可能。因此，改写 ADS 寄存器之后立即读取 ADIF 标志时，要注意即使变更后的模拟输入的 A/D 转换尚未结束 ADIF 标志也会被置位。

另外，暂停 A/D 转换后又重新开始时，须在重新开始 A/D 转换之前清除 ADIF 标志。

图 12 - 49 产生 A/D 转换结束中断请求的时序



(8) A/D 转换开始后的初次转换结果

当在软件触发模式或硬件触发无等待模式时，如果在 ADCE 位设置为 1 之后的 1 μs 内将 ADCS 位设置为 1，则开始 A/D 转换操作后初次产生的 A/D 转换值可能不在额定范围内。须采取例如轮询 A/D 转换结束中断请求 (INTAD) 以舍弃初次的转换结果等措施。

(9) A/D 转换结果寄存器 (ADCR、ADCRH) 的读取操作

对 A/D 转换器模式寄存器 0 (ADM0)、模拟输入通道选择寄存器 (ADS)、A/D 端口配置寄存器 (ADPC) 以及端口模式控制寄存器 (PMC) 执行写操作时，ADCR 和 ADCRH 寄存器的内容可能不定。转换操作结束后，对 ADM0、ADS、ADPC 或 PMC 寄存器执行写操作之前读取转换结果。如果不在上述时序执行，则可能读取错误的转换结果。

(10) 内部等效电路

模拟输入模块的等效电路如下所示。

图 12 - 50 ANIn 引脚的内部等效电路

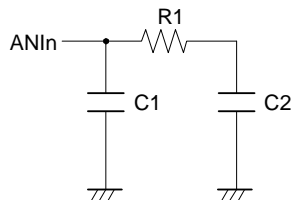


表 12 - 9 等效电路的电阻和电容值（参考值）

| AVREFP、VDD | ANIn 引脚 | R1 [kΩ] | C1 [pF] | C2 [pF] |
|--|---------------|---------|---------|---------|
| $3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | ANI0 至 ANI3 | 14 | 8 | 2.5 |
| | ANI16 至 ANI19 | 18 | 8 | 7.0 |
| $2.7\text{ V} \leq V_{DD} < 3.6\text{ V}$ | ANI0 至 ANI3 | 39 | 8 | 2.5 |
| | ANI16 至 ANI19 | 53 | 8 | 7.0 |

备注 表 12 - 9 所示电阻和电容值均非保证值。

(11) 开始 A/D 转换器的操作

在 AVREFP 和 VDD 的电压稳定后，开始进行 A/D 转换器的操作。

第 13 章 串行阵列单元

串行阵列单元有四个串行通道。所有通道都可以实现UART，只有通道0可以实现3线串行(CSI)和简易I2C。
μPD79F7027, μPD79F7028中支持的各通道的功能分配如下所示。

• 30、32引脚产品

| 单元 | 通道 | 用作CSI | 用作UART | 用作简易I2C |
|----|----|------------------------|--------|---------|
| 0 | 0 | CSI00 (支持从设备选择输入功能) | UART0 | IIC00 |
| | 1 | — | | — |
| | 2 | — | UART1 | — |
| | 3 | — | | — |

在单元0的通道0和1使用“UART0”时，不能使用CSI00。

注意事项 本章的下述内容基本上是以32引脚产品的单元和通道为例进行说明的。

13.1 串行阵列单元的功能

μPD79F7027, μPD79F7028 中支持的各个串行接口均具有如下特点。

13.1.1 3线串行输入/输出(CSI00)

与主通道输出的串行时钟($\overline{\text{SCK}}$)同步后执行数据的发送或接收。

3线串行通信为时钟同步式通信功能, 通过三条通信线路实现: 一条用于串行时钟($\overline{\text{SCK}}$)、一条用于发送串行数据(SO)、一条用于接收串行数据(SI)。

有关这些设置的详情, 请参阅 13.5 3线串行输入/输出(CSI00)通信的操作。

[数据的发送/接收]

- 数据长度为7或8位
- 发送/接收数据的相控制
- MSB/LSB的选择
- 发送/接收数据的电平设置

[时钟控制]

- 主/从的选择
- 输入/输出时钟的相控制
- 通过预分频器和通道内部计数器设置传送周期
- 最大传送速率

主通信时(CSI00): 最大 $f_{\text{MCK}}/2$ 注1、2

从通信时: 最大 $f_{\text{MCK}}/6$ 注2

[中断功能]

- 传送结束中断/缓冲器空中断

[错误检测标志]

- 溢出错误

以下通道的CSI支持SNOOZE模式。当在STOP模式下检测到 $\overline{\text{SCK}}$ 输入时, 借助SNOOZE模式, 不需要CPU动作就可以接收数据。异步接收只能指定以下CSI。

- CSI00

另外, CSI00支持从设备选择输入功能。

注 1. 主通信(CSI00)模式下, 满足以下条件时最大传送速率为 $f_{\text{MCK}}/2$ 。

- $2.7\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$
- $f_{\text{MCK}} \leq 24\text{ MHz}$
- $\text{PIOR1} = 0$

其他情况下的最大传送速率为 $f_{\text{MCK}}/4$ 。

注 2. 在满足 $\overline{\text{SCK}}$ 周期时间(t_{KCY})特性的范围内使用时钟 (参阅第 27 章 电特性)。

13.1.2 UART (UART0、UART1)

这是一个使用两线：串行数据发送线(TxD)和串行数据接收线(RxD)的异步通信功能。使用这两条通信线路，各数据帧（由一个起始位、数据、奇偶校验位和停止位构成）在单片机与其他通信方之间（以内部波特率）异步传送。全双工UART通信可以使用一个发送专用通道（偶数通道）和一个接收专用通道（奇数通道）来实现。

[数据的发送/接收]

- 数据长度为7、8或9位
- 选择MSB/LSB优先
- 发送/接收数据的电平设置及反相选择
- 附加奇偶校验位和奇偶校验功能
- 附加停止位

[中断功能]

- 传送结束中断/缓冲器空中断
- 出现帧错误、奇偶检验错误或溢出错误时的错误中断

[错误检测标志]

- 帧错误、奇偶校验错误、溢出错误

另外，以下通道的UART支持SNOOZE模式。当在STOP模式下检测到RxD输入时，借助SNOOZE模式，不需要CPU动作就可以接收数据。异步接收只能指定以下UART。

- UART0

13.1.3 简易 I²C (IIC00)

这是一种时钟通信功能，通过两条线路：串行时钟线(SCL)和串行数据线(SDA)与两个或更多器件进行通信。这个简易 I²C 用于和 EEPROM、闪存以及 A/D 转换器等器件进行单一通信，因此，它只能作为主设备使用。

使用软件处理开始条件和停止条件，操作控制寄存器时，请遵守 AC 特性规范。

有关这些设置的详情，请参阅 13.8 简易 I²C (IIC00) 通信的操作。

[数据的发送/接收]

- 主发送、主接收（仅限单一主的功能）
- ACK 输出功能^注和 ACK 检测功能
- 数据长度为 8 位（发送地址时，该地址由高 7 位指定，最低有效位用于 R/W 控制。）
- 手动发送开始条件和停止条件

[中断功能]

- 传送结束中断

[错误检测标志]

- 奇偶校验错误（ACK 错误）或溢出错误

* [简易 I²C 不支持的功能]

- 从发送、从接收
- 仲裁失败检测功能
- 等待检测功能

注 接收最后的数据时，如果将 0 写入 SOEmn 位（串行输出允许寄存器 m (SOEm)）并停止串行通信数据输出，则不输出 ACK。详情请参阅 13.8.3 (2) 的处理流程。

备注 m: 单元编号 (m = 0),
n: 通道编号 (n = 0)

13.2 串行阵列单元的配置

定时器阵列单元包含以下硬件。

表 13 - 1 串行阵列单元的配置

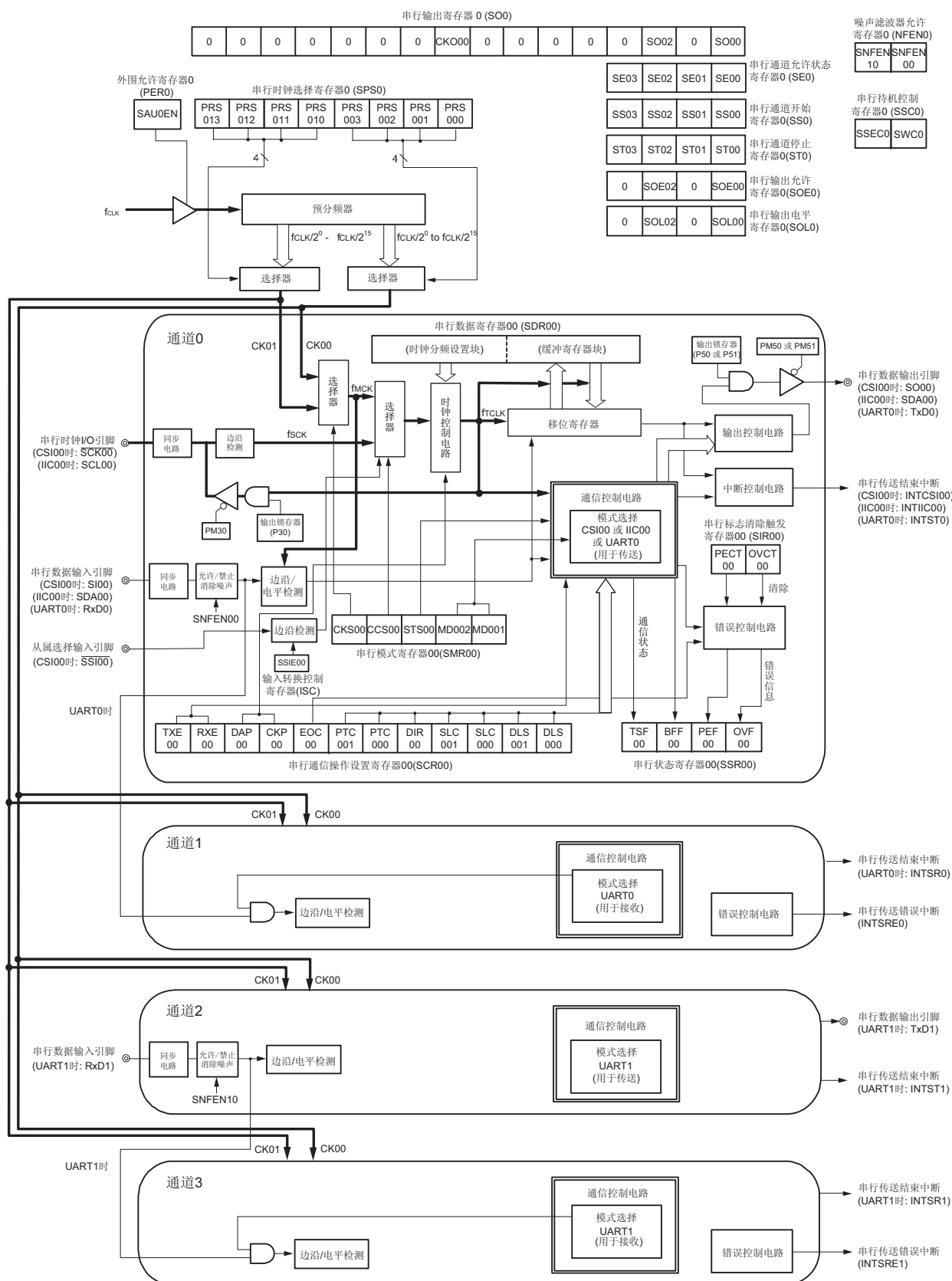
| 项目 | 配置 |
|-----------|---|
| 移位寄存器 | 8位或9位 ^{注1} |
| 缓冲寄存器 | 串行数据寄存器mn (SDRmn) ^{注1、2} 的低8位或9位 |
| 串行时钟输入/输出 | SCK00引脚（用作3线串行输入/输出），SCL00引脚（用作简易I ² C） |
| 串行数据输入 | SI00引脚（用作3线串行输入/输出）、RxD0引脚、RxD1引脚 |
| 串行数据输出 | SO00引脚（用作3线串行输入/输出）、TxD0引脚、TxD1引脚、输出控制器 |
| 串行数据输入/输出 | SDA00引脚（用作简易I ² C） |
| 从设备选择输入 | SSI00引脚（用于从设备选择输入功能） |
| 控制寄存器 | <div> <div><单元设置块的寄存器></div> <ul style="list-style-type: none"> • 外围允许寄存器0 (PER0) • 串行时钟选择寄存器m (SPSm) • 串行通道允许状态寄存器m (SEm) • 串行通道开始寄存器m (SSm) • 串行通道停止寄存器m (STm) • 串行输出允许寄存器m (SOEm) • 串行输出寄存器m (SOM) • 串行输出电平寄存器m (SOLm) • 串行待机控制寄存器m (SSCm) • 输入切换控制寄存器 (ISC) • 噪声滤波器允许寄存器0 (NFEN0) <div><各通道的寄存器></div> <ul style="list-style-type: none"> • 串行数据寄存器mn (SDRmn) • 串行模式寄存器mn (SMRmn) • 串行通信操作设置寄存器mn (SCRmn) • 串行状态寄存器mn (SSRmn) • 串行标志清除触发寄存器mn (SIRmn) <ul style="list-style-type: none"> • 端口输入模式寄存器0、3、5 (PIM0、PIM3、PIM5) • 端口输出模式寄存器0、3、5 (POM0、POM3、POM5) • 端口模式寄存器0、3、5、6 (PM0、PM3、PM5、PM6) • 端口寄存器0、3、5、6 (P0、P3、P5、P6) </div> |

（“注”和“备注”如下页所示。）

- 注 1. 用于移位寄存器和缓冲寄存器的位数因单元和通道而异。
- 30、32 引脚产品和 mn = 00、01: 低 9 位
 - 其他: 低 8 位
- 注 2. 依据通信模式, 串行数据寄存器 mn (SDRmn) 的低 8 位可以按以下 SFR 名称读取或写入。
- CSIp 通信..... SIOp (CSIp 数据寄存器)
 - UARTq 接收..... RXDq (UARTq 接收数据寄存器)
 - UARTq 发送..... TXDq (UARTq 发送数据寄存器)
 - IICr 通信..... SIOr (IICr 数据寄存器)
- 备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00), q: UART 编号 (q = 0、1), r: IIC 编号 (r = 00)

串行阵列单元0的框图如图 13 - 1 所示。

图 13 - 1 串行阵列单元0的框图



(1) 移位寄存器

这是一种9位寄存器，可将并行数据转换为串行数据，反之亦然。

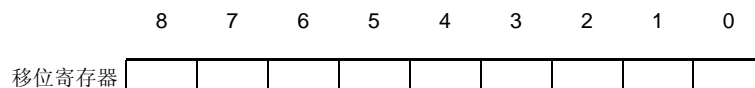
在9位数据UART通信的情况下，将使用9位（位0至位8）注1。

接收期间，将输入至串行输入引脚的数据转换为并行数据。

发送数据时，将设置到该寄存器的值转换为串行数据从串行输出引脚输出。

移位寄存器不能直接通过程序操作。

使用串行数据寄存器mn (SDRmn)的低8/9位读取或写入移位寄存器。



(2) 串行数据寄存器mn (SDRmn)的低8/9位

SDRmn寄存器是通道n的发送/接收数据寄存器（16位）。位8至位0（低9位）注1或位7至位0（低8位）作为发送/接收缓冲寄存器，位15至位9作为设置工作时钟（fMCK、fSCK）分频比的寄存器。

接收数据时，由移位寄存器转换的并行数据被存储于低8/9位。发送数据时，把传送至移位寄存器的发送值设置到低8/9位。

依据串行通信操作设置寄存器mn (SCRmn)位0和位1（DLSmn0、DLSmn1）的设置，存储于该寄存器低8/9位的数据的情况如下所示（与数据输出顺序无关）：

- 7位数据长度（存储于SDRmn寄存器的位0至位6）
- 8位数据长度（存储于SDRmn寄存器的位0至位7）
- 9位数据长度（存储于SDRmn寄存器的位0至位8）注1

SDRmn寄存器可以以16位为单位进行读取或写入。

依据通信模式，SDRmn寄存器的低8/9位可以按以下SFR名称读取或写入注2。

- CSIp通信 SIOp（CSIp数据寄存器）
- UARTq接收 RXDq（UARTq接收数据寄存器）
- UARTq发送 TXDq（UARTq发送数据寄存器）
- IICr通信 SIOr（IICr数据寄存器）

产生复位信号后，SDRmn寄存器被清除为0000H。

注 1. 仅限以下UART可以设定9位的数据长度。

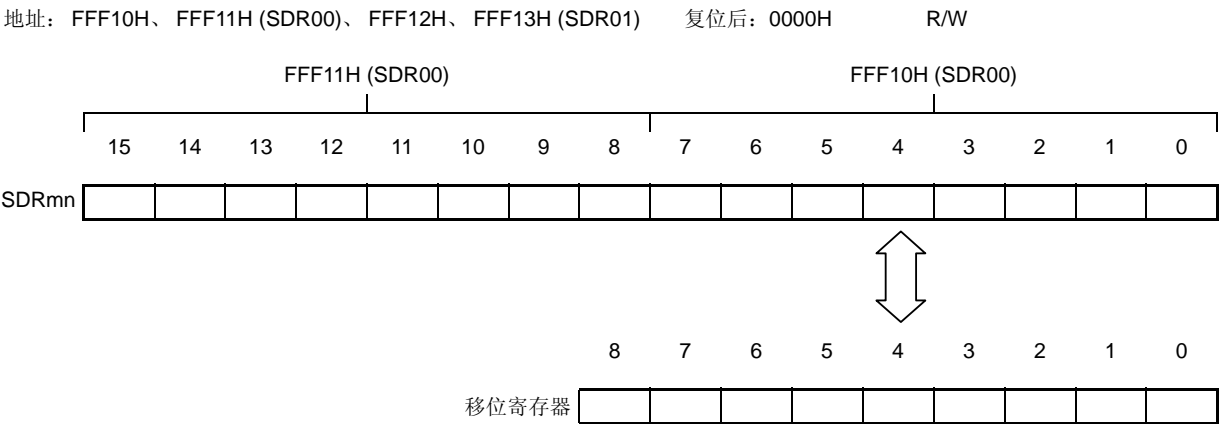
- 30、32引脚产品：UART0

注 2. 停止操作(SEmn = 0)时，禁止以8位为单位写入。

备注 1. 数据接收完成后，0将存储于位0至位8中超过数据长度部分的位。

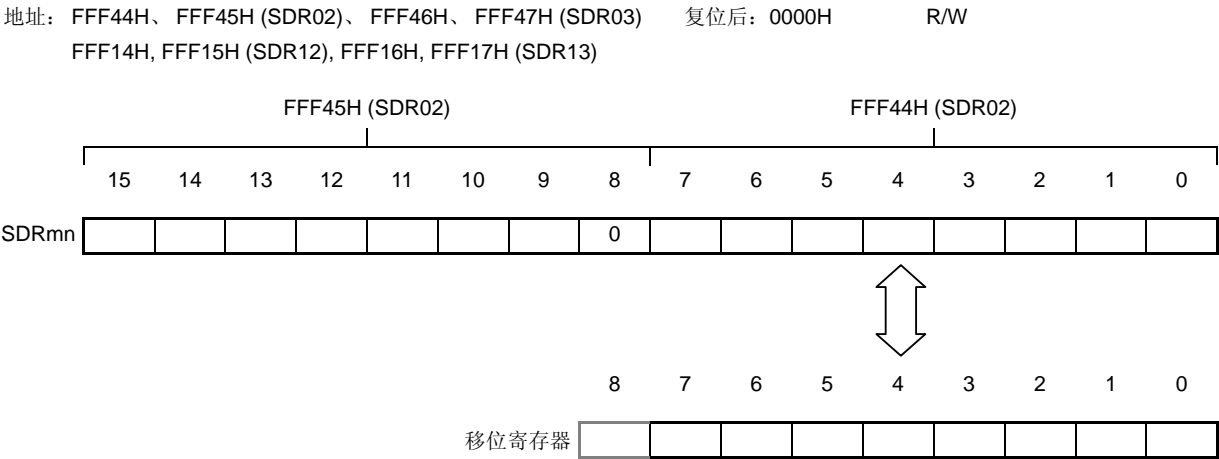
备注 2. m: 单元编号(m = 0), n: 通道编号(n = 0至3), p: CSI编号(p = 00), q: UART编号(q = 0、1),
r: IIC编号(r = 00)

图 13 - 2 串行数据寄存器mn (SDRmn)的格式 (mn = 00、01)



备注 关于SDRmn寄存器的高7位功能，请参阅13.3 控制串行阵列单元的寄存器。

图 13 - 3 串行数据寄存器mn (SDRmn)的格式 (mn = 02、03)



注意事项 必须将位8清除为0。

备注 关于SDRmn寄存器的高7位功能，请参阅13.3 控制串行阵列单元的寄存器。

13.3 控制串行阵列单元的寄存器

串行阵列单元由下列寄存器控制。

- 外围允许寄存器0 (PER0)
- 串行时钟选择寄存器m (SPSm)
- 串行模式寄存器mn (SMRmn)
- 串行通信操作设置寄存器mn (SCRmn)
- 串行数据寄存器mn (SDRmn)
- 串行标志清除触发寄存器mn (SIRmn)
- 串行状态寄存器mn (SSRmn)
- 串行通道开始寄存器m (SSm)
- 串行通道停止寄存器m (STm)
- 串行通道允许状态寄存器m (SEm)
- 串行输出允许寄存器m (SOEm)
- 串行输出电平寄存器m (SOLm)
- 串行输出寄存器m (SOM)
- 串行待机控制寄存器m (SSCm)
- 输入切换控制寄存器 (ISC)
- 噪声滤波器允许寄存器0 (NFEN0)
- 端口输入模式寄存器0、3、5 (PIM0、PIM3、PIM5)
- 端口输出模式寄存器0、3、5 (POM0、POM3、POM5)
- 端口模式寄存器0、3、5、6 (PM0、PM3、PM5、PM6)
- 端口寄存器0、3、5、6 (P0、P3、P5、P6)

备注 m: 单元编号(m = 0), n: 通道编号 (n = 0至3)

(1) 外围允许寄存器0 (PER0)

PER0用于允许或禁止向外围硬件供应时钟。通过停止向未使用的硬件供应时钟，可以降低功耗和噪声。

使用串行阵列单元0时，必须将该寄存器的位2 (SAU0EN) 设置为1。

使用1位或8位存储器操作指令设置PER0寄存器。

产生复位信号后，PER0寄存器被清除为00H。

图 13 - 4 外围允许寄存器0 (PER0) 的格式

地址: F00F0H 复位后: 00H R/W

符号 <7> 6 <5> 4 3 <2> 1 <0>

| | | | | | | | | |
|------|-------|---|-------|---|---|--------|---|--------|
| PER0 | INTEN | 0 | ADCEN | 0 | 0 | SAU0EN | 0 | TAU0EN |
|------|-------|---|-------|---|---|--------|---|--------|

| SAUmEN | 串行阵列单元m的输入时钟供应的控制 |
|--------|---|
| 0 | 停止输入时钟的供应。 <ul style="list-style-type: none"> 不可写入用于串行阵列单元m的SFR。 串行阵列单元m处于复位状态。 |
| 1 | 允许输入时钟供应。 <ul style="list-style-type: none"> 可以读取和写入用于串行阵列单元m的SFR。 |

注意事项 1. 在设置串行阵列单元m时，必须先将SAUmEN位设置为1。如果SAUmEN = 0，对串行阵列单元m的控制寄存器进行的写入操作无效，而且该寄存器的读取值总为初始值（输入切换控制寄存器 (ISC)、噪声滤波器允许寄存器0 (NFEN0)、端口输入模式寄存器0、3、5 (PIM0、PIM3、PIM5)、端口输出模式寄存器0、3、5 (POM0、POM3、POM5)、端口模式寄存器0、3、5、6 (PM0、PM3、PM5、PM6)、端口模式控制寄存器0、12、14 (PMC0、PMC12、PMC14) 和端口寄存器0、3、5、6 (P0、P3、P5、P6) 除外)。

注意事项 2. 在将SAUmEN位设置为1后，需经过fCLK的4个或更多时钟后才可以设置串行时钟选择寄存器m (SPSm)。

注意事项 3. 必须将以下位清除为0。

位1、3、4、6

(2) 串行时钟选择寄存器m (SPSm)

SPSm 寄存器为 16 位寄存器，用于选择供应给各个通道共通的两种工作时钟（CKm0、CKm1）。通过 SPSm 寄存器的位 7 至位 4 选择 CKm1，位 3 至位 0 选择 CKm0。

当寄存器在运行（SEmn = 1）时，禁止改写 SPSm 寄存器。

使用 16 位存储器操作指令设置 SPSm 寄存器。

通过 SPSmL 使用 8 位存储器操作指令设置 SPSm 寄存器的低 8 位。

产生复位信号后，SPSm 寄存器被清除为 0000H。

图 13 - 5 串行时钟选择寄存器 m (SPSm) 的格式

地址: F0126H、 F0127H (SPS0)

复位后: 0000H

R/W

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|------------|------------|------------|------------|------------|------------|------------|------------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SPSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PRS m13 | PRS m12 | PRS m11 | PRS m10 | PRS m03 | PRS m02 | PRS m01 | PRS m00 |

| PRS mk3 | PRS mk2 | PRS mk1 | PRS mk0 | 工作时钟(CKmk)注的选择 | | | | |
|------------|------------|------------|------------|----------------------|-----------------|-----------------|------------------|------------------|
| | | | | | fCLK = 2 MHz | fCLK = 5 MHz | fCLK = 10 MHz | fCLK = 20 MHz |
| 0 | 0 | 0 | 0 | fCLK | 2 MHz | 5 MHz | 10 MHz | 20 MHz |
| 0 | 0 | 0 | 1 | fCLK/2 | 1 MHz | 2.5 MHz | 5 MHz | 10 MHz |
| 0 | 0 | 1 | 0 | fCLK/2 ² | 500 kHz | 1.25 MHz | 2.5 MHz | 5 MHz |
| 0 | 0 | 1 | 1 | fCLK/2 ³ | 250 kHz | 625 kHz | 1.25 MHz | 2.5 MHz |
| 0 | 1 | 0 | 0 | fCLK/2 ⁴ | 125 kHz | 313 kHz | 625 kHz | 1.25 MHz |
| 0 | 1 | 0 | 1 | fCLK/2 ⁵ | 62.5 kHz | 156 kHz | 313 kHz | 625 kHz |
| 0 | 1 | 1 | 0 | fCLK/2 ⁶ | 31.3 kHz | 78.1 kHz | 156 kHz | 313 kHz |
| 0 | 1 | 1 | 1 | fCLK/2 ⁷ | 15.6 kHz | 39.1 kHz | 78.1 kHz | 156 kHz |
| 1 | 0 | 0 | 0 | fCLK/2 ⁸ | 7.81 kHz | 19.5 kHz | 39.1 kHz | 78.1 kHz |
| 1 | 0 | 0 | 1 | fCLK/2 ⁹ | 3.91 kHz | 9.77 kHz | 19.5 kHz | 39.1 kHz |
| 1 | 0 | 1 | 0 | fCLK/2 ¹⁰ | 1.95 kHz | 4.88 kHz | 9.77 kHz | 19.5 kHz |
| 1 | 0 | 1 | 1 | fCLK/2 ¹¹ | 977 Hz | 2.44 kHz | 4.88 kHz | 9.77 kHz |
| 1 | 1 | 0 | 0 | fCLK/2 ¹² | 488 Hz | 1.22 kHz | 2.44 kHz | 4.88 kHz |
| 1 | 1 | 0 | 1 | fCLK/2 ¹³ | 244 Hz | 610 Hz | 1.22 kHz | 2.44 kHz |
| 1 | 1 | 1 | 0 | fCLK/2 ¹⁴ | 122 Hz | 305 Hz | 610 Hz | 1.22 kHz |
| 1 | 1 | 1 | 1 | fCLK/2 ¹⁵ | 61 Hz | 153 Hz | 305 Hz | 610 Hz |

注 要更改fCLK的时钟选择时（通过更改系统时钟控制寄存器(CKC)的值），必须在停止串行阵列单元(SAU)操作（串行通道停止寄存器 m (STm) = 000FH）之后才可以执行。

注意事项 必须将位15至8清除为0。

- 备注 1. fCLK: CPU/外围硬件时钟频率
- 备注 2. m: 单元编号(m = 0)
- 备注 3. k = 0、1

(3) 串行模式寄存器mn (SMRmn)

SMRmn 寄存器用于设置通道n的操作模式。也用于选择工作时钟(fmck)，指定是否可以输入串行时钟(fsck)，设置开始触发、操作模式（CSI、UART或I²C）和中断源。该寄存器还用于仅在UART模式下反相接收数据的电平。禁止向操作中（SEmn = 1时）的SMRmn寄存器进行改写。但是，可以在操作过程中改写MDmn0位。

使用16位存储器操作指令设置SMRmn寄存器。

产生复位信号后，SMRmn寄存器被设置为0020H。

图 13 - 6 串行模式寄存器 mn (SMRmn) 的格式 (1/2)

| | | | | | | | | | | | | | | | | | | | | |
|---|---|---|----|----|----|----|---|----------------|---|-----------------|---|---|---|-----------|-----------|-----------|------------|--|-----|--|
| 地址: F0110H, F0111H (SMR00)至F0116H, F0117H (SMR03) | | | | | | | | | | | | | | | | | 复位后: 0020H | | R/W | |
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | |
| SMRmn | CKS mn | CCS mn | 0 | 0 | 0 | 0 | 0 | STS mn 注 | 0 | SIS mn0 注 | 1 | 0 | 0 | MD mn2 | MD mn1 | MD mn0 | | | | |
| | CKS mn | 通道n工作时钟(fmck)的选择 | | | | | | | | | | | | | | | | | | |
| | 0 | 由SPSm寄存器设置的工作时钟CKm0 | | | | | | | | | | | | | | | | | | |
| | 1 | 由SPSm寄存器设置的工作时钟CKm1 | | | | | | | | | | | | | | | | | | |
| 边沿检测电路所使用的工作时钟(fmck)。此外，根据SDRmn寄存器的CCSmn位和高7位的设置，产生传送时钟(ftclk)。 | | | | | | | | | | | | | | | | | | | | |
| CCS mn | 通道n的传送时钟(ftclk)的选择 | | | | | | | | | | | | | | | | | | | |
| | 0 | 由CKSmn位指定的分频工作时钟fmck | | | | | | | | | | | | | | | | | | |
| | 1 | 从SCKp引脚的输入时钟fsck（CSI模式的从传送） | | | | | | | | | | | | | | | | | | |
| | 传送时钟ftclk用于移位寄存器、通信控制电路、输出控制器、中断控制电路和错误控制电路。当CCSmn = 0时，使用SDRmn寄存器的高7位设置工作时钟(fmck)的分频比。 | | | | | | | | | | | | | | | | | | | |
| STS mn 注 | 开始触发源的选择 | | | | | | | | | | | | | | | | | | | |
| | 0 | 仅限软件触发有效（CSI、UART发送和简易I ² C时选择）。 | | | | | | | | | | | | | | | | | | |
| | 1 | RxDq引脚的有效沿（UART接收时选择）。 | | | | | | | | | | | | | | | | | | |
| | 将SSm寄存器设置为1并且满足以上条件时，开始传送。 | | | | | | | | | | | | | | | | | | | |

注 仅限SMR01和SMR03寄存器。

注意事项 必须将位13至9、7、4和3（或者SMR00或SMR02寄存器的位13至6、4和3）清除为0。必须将位5设置为“1”。

备注 m: 单元编号(m = 0), n: 通道编号 (n = 0至3), p: CSI编号(p = 00), q: UART编号 (q = 0、1), r: IIC编号(r = 00)

图 13 - 7 串行模式寄存器mn (SMRmn)的格式 (2/2)

地址: F0110H, F0111H (SMR00)至F0116H, F0117H (SMR03) 复位后: 0020H R/W

| | | | | | | | | | | | | | | | | |
|--|------------------------------------|------------|----|----|----|----|---|----------------|---|-----------------|---|---|---|-----------|-----------|-----------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SMRmn | CKS mn | CCS mn | 0 | 0 | 0 | 0 | 0 | STS mn 注 | 0 | SIS mn0 注 | 1 | 0 | 0 | MD mn2 | MD mn1 | MD mn0 |
| | | | | | | | | | | | | | | | | |
| SIS mn0 注 | UART 模式下，通道n接收数据的电平反相的控制 | | | | | | | | | | | | | | | |
| 0 | 下降沿被检测为起始位。 按原样捕捉被输入的通信数据。 | | | | | | | | | | | | | | | |
| 1 | 上升沿被检测为起始位。 将被输入的通信数据反相并捕捉。 | | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | |
| MD mn2 | MD mn1 | 通道n操作模式的设置 | | | | | | | | | | | | | | |
| 0 | 0 | CSI 模式 | | | | | | | | | | | | | | |
| 0 | 1 | UART 模式 | | | | | | | | | | | | | | |
| 1 | 0 | 简易 I2C 模式 | | | | | | | | | | | | | | |
| 1 | 1 | 禁止设置 | | | | | | | | | | | | | | |
| | | | | | | | | | | | | | | | | |
| MD mn0 | 通道n中断源的选择 | | | | | | | | | | | | | | | |
| 0 | 传送结束中断 | | | | | | | | | | | | | | | |
| 1 | 缓冲器空中断 (当从 SDRmn 寄存器传送到移位寄存器时。) | | | | | | | | | | | | | | | |
| 连续发送时，将 MDmn0 位设置为 1，并且在 SDRmn 的数据为空时，写入下一个发送数据。 | | | | | | | | | | | | | | | | |

注 仅限 SMR01 和 SMR03 寄存器。

注意事项 必须将位13至9、7、4和3 (或者 SMR00 或 SMR02 寄存器的位13至6、4和3) 清除为0。必须将位5 设置为“1”。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00), q: UART 编号 (q = 0、1),
 r: IIC 编号 (r = 00)

(4) 串行通信操作设置寄存器mn (SCRmn)

SCRmn 寄存器是通道n的通信操作设置寄存器。该寄存器用于设置数据发送/接收模式、数据和时钟相位、是否屏蔽错误信号、奇偶检验位、起始位、停止位和数据长度。

当寄存器在运行时 (SEmn = 1 时), 禁止改写 SCRmn 寄存器。

使用 16 位存储器操作指令设置 SCRmn 寄存器。

产生复位信号后, SCRmn 寄存器被设置为 0087H。

图 13 - 8 串行通信操作设置寄存器mn (SCRmn)的格式 (1/2)

地址: F0118H, F0119H (SCR00)至F011EH, F011FH (SCR03) 复位后: 0087H R/W

| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-------|-----------|-----------|-----------|-----------|----|-----------|------------|------------|-----------|---|-------------------|------------|---|---|-------------------|------------|
| SCRmn | TXE mn | RXE mn | DAP mn | CKP mn | 0 | EOC mn | PTC mn1 | PTC mn0 | DIR mn | 0 | SLCm n1 注 1 | SLC mn0 | 0 | 1 | DLSm n1 注 2 | DLS mn0 |

| TXE mn | RXE mn | 通道n操作模式的设置 |
|-----------|-----------|------------|
| 0 | 0 | 禁止通信 |
| 0 | 1 | 仅接收 |
| 1 | 0 | 仅发送 |
| 1 | 1 | 发送/接收 |

| DAP mn | CKP mn | CSI模式下数据和时钟相位的选择 | 类型 |
|---|-----------|------------------|----|
| 0 | 0 | | 1 |
| 0 | 1 | | 2 |
| 1 | 0 | | 3 |
| 1 | 1 | | 4 |
| UART 模式和简易 I ² C 模式下必须设置为 DAPmn、CKPmn = 0、0。 | | | |

| EOC mn | 选择是否屏蔽错误中断信号 (INTSREx (x = 0、1)) |
|--|---------------------------------------|
| 0 | 屏蔽错误中断INTSREx (不屏蔽INTSRx)。 |
| 1 | 允许产生错误中断INTSREx (如果出现错误, INTSRx将被屏蔽)。 |
| CSI 模式、简易 I ² C 模式和 UART 发送注 3 期间设置为 EOCmn = 0。 | |

注 1. 仅限 SCR00 和 SCR02 寄存器。

注 2. 仅限 SCR00 和 SCR01 寄存器。

其余固定为 1。

注 3. EOCmn 不为 0 时使用 CSImn 的情况下, 有可能产生错误中断INTSREn。

注意事项 必须将位 3、6 和 11 清除为 0。(将 SCR01 或 SCR03 寄存器的位 5 也清除为 0, 同时将 SCR02 或 SCR03 寄存器的位 1 也清除为 0)。必须将位 2 设置为 “1”。

备注 m: 单元编号(m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号(p = 00)

图 13 - 9 串行通信操作设置寄存器 mn (SCRmn) 的格式 (2/2)

地址: F0118H, F0119H (SCR00)至F011EH, F011FH (SCR03) 复位后: 0087H R/W

| | | | | | | | | | | | | | | | | |
|-------|-----------|-----------|-----------|-----------|----|-----------|------------|------------|-----------|---|-------------------|------------|---|---|-------------------|------------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SCRmn | TXE mn | RXE mn | DAP mn | CKP mn | 0 | EOC mn | PTC mn1 | PTC mn0 | DIR mn | 0 | SLCm n1 注 1 | SLC mn0 | 0 | 1 | DLSm n1 注 2 | DLS mn0 |

| PTC mn1 | PTC mn0 | UART 模式下奇偶校验位的设置 | |
|--|---------|------------------|-----------|
| | | 发送 | 接收 |
| 0 | 0 | 不输出奇偶校验位。 | 无奇偶校验的接收。 |
| 0 | 1 | 输出 0 奇偶校验注 3。 | 无奇偶校验判断。 |
| 1 | 0 | 输出偶数校验。 | 偶数校验判断。 |
| 1 | 1 | 输出奇数校验。 | 奇数校验判断。 |
| CSI 模式和简易 I ² C 模式下必须设置为 PTCmn1、PTCmn0 = 0、0。 | | | |

| DIR mn | CSI 和 UART 模式下数据传送序列的选择 |
|---|-------------------------|
| 0 | MSB 优先的输入/输出数据。 |
| 1 | LSB 优先的输入/输出数据 |
| 简易 I ² C 模式下必须清除为 DIRmn = 0。 | |

| SLCmn1 注 1 | SLC mn0 | UART 模式下停止位的设置 |
|---|---------|-----------------------------|
| 0 | 0 | 无停止位 |
| 0 | 1 | 停止位长度 = 1 位 |
| 1 | 0 | 停止位长度 = 2 位 (仅限 mn = 00、02) |
| 1 | 1 | 禁止设置 |
| 选择传送结束中断时, 传送完所有停止位时产生中断。 UART 接收时以及简易 I ² C 模式时设置为 1 位 (SLCmn1、SLCmn0 = 0、1)。 CSI 模式时设置为无停止位 (SLCmn1、SLCmn0 = 0、0)。 | | |

| DLSmn1 注 2 | DLS mn0 | CSI 和 UART 模式下数据长度的设置 |
|---|---------|---|
| 0 | 1 | 9 位数据长度 (存储于 SDRmn 寄存器的位 0 至位 8) (仅限 UART 模式下可设置) |
| 1 | 0 | 7 位数据长度 (存储于 SDRmn 寄存器的位 0 至位 6) |
| 1 | 1 | 8 位数据长度 (存储于 SDRmn 寄存器的位 0 至位 7) |
| 其他 | | 禁止设置 |
| 简易 I ² C 模式下必须设置为 DLSmn1、DLSmn0 = 1、1。 | | |

注 1. 仅限 SCR00 和 SCR02 寄存器。

注 2. 仅限 SCR00 和 SCR01 寄存器。
其余固定为 1。

注 3. 不论数据内容如何, 始终附加 0。

注意事项 必须将位 3、6 和 11 清除为 0。(将 SCR01 或 SCR03 寄存器的位 5 也清除为 0, 同时将 SCR02 或 SCR03 寄存器的位 1 也清除为 0。)。必须将位 2 设置为 “1”。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00)

(5) 串行数据寄存器mn (SDRmn)的高7位

SDRmn 寄存器为通道n的发送/接收数据寄存器（16位）。SDR00和SDR01的位8至位0（低9位）或SDR02和SDR03的位7至位0（低8位）作为发送/接收缓冲寄存器，位15至位9作为设置工作时钟（fMCK、fSCK）分频比的寄存器。

将串行模式寄存器 mn (SMRmn) 的 CCSmn 位清除为 0 时，通过 SDRmn 寄存器的高 7 位设置工作时钟的分频率作为传送时钟。

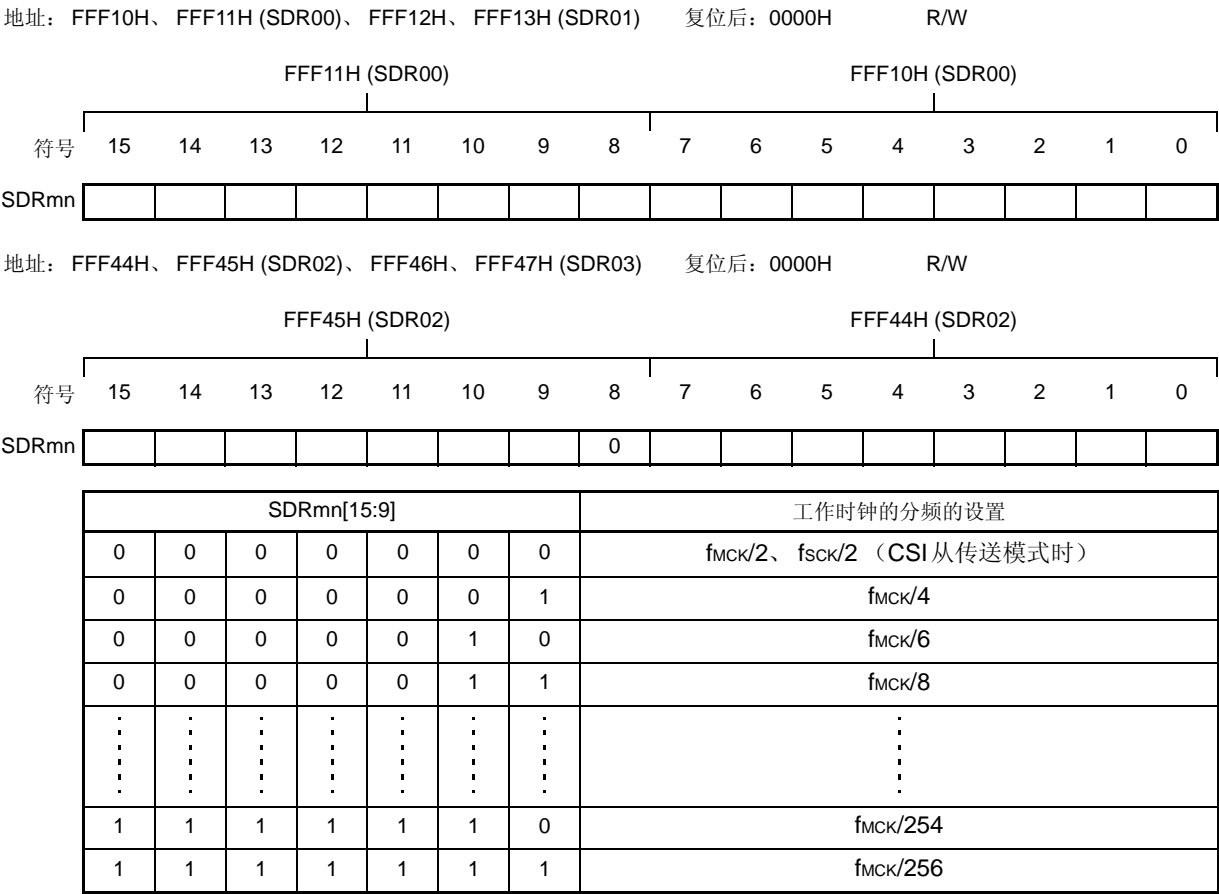
SDRmn 寄存器的低 8/9 位用作发送/接收缓冲寄存器。接收过程中，由移位寄存器转换的并行数据将存储于低 8/9 位中，在发送过程中，发送至移位寄存器的数据将被设置到低 8/9 位。

SDRmn 寄存器可以以 16 位为单位进行读取或写入。

但是，仅当停止操作 (SEmn = 0) 时，才可写入或读取高 7 位。操作过程中 (SEmn = 1)，仅向 SDRmn 寄存器的低 8/9 位写入值。操作过程中 SDRmn 寄存器的读取值始终为 0。

产生复位信号后，SDRmn 寄存器被清除为 0000H。

图 13 - 10 串行数据寄存器mn (SDRmn)的格式



(注意事项和备注如下页所示。)

注意事项 1. 必须将 **SDR02** 或 **SDR03** 寄存器的位 8 清除为 0。

注意事项 2. 使用 **UART** 时，禁止设置为 **SDRmn[15:9] = (0000000B, 0000001B)**。

注意事项 3. 使用简易 **I²C** 时，禁止设置为 **SDRmn[15:9] = 0000000B**。将 **SDRmn[15:9]** 设置为 **0000001B** 或更大。

注意事项 4. 停止操作 (**SEmn = 0**) 时，不要向低 8 位执行 8 位写入。（如果写入这些位，高 7 位将被清除为 0。）

备注 1. 关于 **SDRmn** 寄存器的低 8/9 位功能，请参阅 **13.2** 串行阵列单元的配置。

备注 2. m: 单元编号 (m = 0)， n: 通道编号 (n = 0 至 3)

(6) 串行标志清除触发寄存器mn (SIRmn)

SIRmn 寄存器是用于清除通道n各个错误标志的触发寄存器。

当该寄存器的各位 (FECTmn、PECTmn、OVCTmn) 被设置为 1 时，串行状态寄存器mn的相应位 (FEFmn、PEFmn、OVFmn) 将被清除为 0。由于 SIRmn 寄存器是一种触发寄存器，当 SSRmn 寄存器的相应位被清零时，它们会被立即清零。

使用 16 位存储器操作指令设置 SIRmn 寄存器。

通过 SIRmnL 使用 8 位存储器操作指令设置 SIRmn 寄存器的低 8 位。

产生复位信号后，SIRmn 寄存器被清除为 0000H。

图 13 - 11 串行标志清除触发寄存器mn (SIRmn) 的格式

| | | | | | | | | | | | | | | | | | | | | |
|--|---------------------------|----|----|----|----|----|---|---|---|---|---|---|---|-----------------|------------|------------|------------|--|-----|--|
| 地址: F0108H, F0109H (SIR00)至 F010EH, F010FH (SIR03) | | | | | | | | | | | | | | | | | 复位后: 0000H | | R/W | |
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | |
| SIRmn | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | FEC Tmn 注 | PEC Tmn | OVC Tmn | | | | |
| FEC Tmn 注 | 通道n的帧错误标志的清除触发 | | | | | | | | | | | | | | | | | | | |
| 0 | 不清除 | | | | | | | | | | | | | | | | | | | |
| 1 | 将 SSRmn 寄存器的 FEFmn 位清除为0。 | | | | | | | | | | | | | | | | | | | |
| PEC Tmn | 通道n的奇偶校验错误标志的清除触发 | | | | | | | | | | | | | | | | | | | |
| 0 | 不清除 | | | | | | | | | | | | | | | | | | | |
| 1 | 将 SSRmn 寄存器的 PEFmn 位清除为0。 | | | | | | | | | | | | | | | | | | | |
| OVC Tmn | 通道n的溢出错误标志的清除触发 | | | | | | | | | | | | | | | | | | | |
| 0 | 不清除 | | | | | | | | | | | | | | | | | | | |
| 1 | 将 SSRmn 寄存器的 OVFmn 位清除为0。 | | | | | | | | | | | | | | | | | | | |

注 仅限 SIR01 和 SIR03 寄存器。

注意事项 必须将位 15 至 3 (或者 SIR00 或 SIR02 寄存器的位 15 至 2) 清除为 0。

备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

备注 2. SIRmn 寄存器的读取值总是为 0000H。

(7) 串行状态寄存器mn (SSRmn)

SSRmn 寄存器用于指示通道 n 的通信状态和错误发生状态。该寄存器指示的错误为帧错误、奇偶校验错误和溢出错误。

使用 16 位存储器操作指令读取 SSRmn 寄存器。

通过 SSRmnL 使用 8 位存储器操作指令设置 SSRmn 寄存器的低 8 位。

产生复位信号后，SSRmn 寄存器被清除为 0000H。

图 13 - 12 串行状态寄存器mn (SSRmn)的格式(1/2)

地址：F0100H， F0101H (SSR00)至F0106H， F0107H (SSR03)

复位后：0000H

R

| | | | | | | | | | | | | | | | | |
|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|

SSRmn

| | | | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|--------------|--------------|---|---|--------------|--------------|--------------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TSF mn注 3 | BFF mn注 3 | 0 | 0 | FEF mn注 1 | PEF mn注 2 | OVF mn注 2 |
|---|---|---|---|---|---|---|---|---|---|--------------|--------------|---|---|--------------|--------------|--------------|

| | | | | | | | | | | | | | | | | |
|---|--------------|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|
| TSF mn注 3 | 通道n的通信状态显示标志 | | | | | | | | | | | | | | | |
| 0 | 通信停止或暂停。 | | | | | | | | | | | | | | | |
| 1 | 通信正在进行。 | | | | | | | | | | | | | | | |
| <清除条件> | | | | | | | | | | | | | | | | |
| • STm寄存器的STmn位被设置为1（通信停止）或者SSm寄存器的SSmn位被设置为1（通信暂停）。 | | | | | | | | | | | | | | | | |
| • 通信结束。 | | | | | | | | | | | | | | | | |
| <设置条件> | | | | | | | | | | | | | | | | |
| • 通信开始。 | | | | | | | | | | | | | | | | |

| | | | | | | | | | | | | | | | | |
|--|---------------------|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|
| BFF mn注 3 | 通道n的缓冲寄存器状态显示标志 | | | | | | | | | | | | | | | |
| 0 | 有效数据没有保存在SDRmn寄存器中。 | | | | | | | | | | | | | | | |
| 1 | 有效数据保存在SDRmn寄存器中。 | | | | | | | | | | | | | | | |
| <清除条件> | | | | | | | | | | | | | | | | |
| • 发送时，从SDRmn寄存器至移位寄存器的发送数据的传送结束。 | | | | | | | | | | | | | | | | |
| • 接收时，来自SDRmn寄存器的接收数据的读取结束。 | | | | | | | | | | | | | | | | |
| • STm寄存器的STmn位被设置为1（通信停止）或者SSm寄存器的SSmn位被设置为1（允许通信）。 | | | | | | | | | | | | | | | | |
| <设置条件> | | | | | | | | | | | | | | | | |
| • 当SCRmn寄存器的TXEmn位被设置为1（各种通信模式下的发送或者发送和接收模式）时，发送数据被写入SDRmn寄存器。 | | | | | | | | | | | | | | | | |
| • 当SCRmn寄存器的RXEmn位被设置为1（各种通信模式下的发送或者发送和接收模式）时，接收数据被存储于SDRmn寄存器中。 | | | | | | | | | | | | | | | | |
| • 发生接收错误。 | | | | | | | | | | | | | | | | |

注 1. 仅限 SSR01 和 SSR03 寄存器。

注 2. 仅限 SSR00、SSR02 和 SSR03 寄存器。

注 3. 仅限 SSR00 和 SSR02 寄存器。

注意事项 如果在 BFFmn = 1 时将数据写入 SDRmn 寄存器，存储于该寄存器中的发送/接收数据将被丢弃，并检测到溢出错误(OVEmn = 1)。

备注 m: 单元编号(m = 0), n: 通道编号 (n = 0至3)

图 13 - 13 串行状态寄存器 mn (SSRmn) 的格式 (2/2)

地址: F0100H, F0101H (SSR00)至F0106H, F0107H (SSR03) 复位后: 0000H R

| | | | | | | | | | | | | | | | | |
|-------|----|----|----|----|----|----|---|---|---|--------------|--------------|---|---|--------------|--------------|--------------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SSRmn | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | TSF mn注 3 | BFF mn注 3 | 0 | 0 | FEF mn注 1 | PEF mn注 2 | OVF mn注 2 |

| | |
|---|-------------------|
| FEF mn注 1 | 通道n的帧错误检测标志 |
| 0 | 无错误发生。 |
| 1 | 错误发生 (UART 接收期间)。 |
| <清除条件> • 将 1 写入 SIRmn 寄存器的 FECTmn 位。 <设置条件> • 当 UART 接收结束时未检测到停止位。 | |

| | |
|---|---|
| PEF mn注 2 | 通道n的奇偶校验错误检测标志 |
| 0 | 无错误发生。 |
| 1 | 错误发生 (UART 接收期间) 或未检测到 ACK (I ² C 发送期间)。 |
| <清除条件> • 将 1 写入 SIRmn 寄存器的 PECTmn 位。 <设置条件> • 当 UART 接收结束时, 发送数据的奇偶校验和奇偶校验位不匹配 (奇偶校验错误)。 • I ² C 发送过程中, 在 ACK 接收时序, 从通道没有返回 ACK 信号 (未检测到 ACK)。 | |

| | |
|--|--------------|
| OVF mn注 2 | 通道n的溢出错误检测标志 |
| 0 | 无错误发生。 |
| 1 | 错误发生。 |
| <清除条件> • 将 1 写入 SIRmn 寄存器的 OVCTmn 位。 <设置条件> • 当 SCRmn 寄存器的 RXEmn 位被设置为 1 (各种通信模式下的接收或者发送和接收模式) 时, 即使接收数据存储于 SDRmn 寄存器中, 也不会读取这些数据, 而是写入发送数据或写入下一接收数据。 • CSI 模式的从发送或者发送和接收时, 尚未准备好发送数据。 | |

- 注 1. 仅限 SSR01 和 SSR03 寄存器。
 注 2. 仅限 SSR00、SSR02 和 SSR03 寄存器。
 注 3. 仅限 SSR00 和 SSR02 寄存器。
 备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

(8) 串行通道开始寄存器m (SSm)

SSm 寄存器是对各个通道进行设置以允许开始通信/计数的触发寄存器。

当将 1 写入该寄存器 (SSmn) 的一位时，串行通道允许状态寄存器 m (SEm) 的对应位 (SEmn) 将被设置为 1（允许操作）。由于 SSmn 位为触发位，所以当 SEmn = 1 时，该位将立即被清除为 0。

使用 16 位存储器操作指令设置 SSm 寄存器。

通过 SSmL 使用 1 位或 8 位存储器操作指令设置 SSm 寄存器的低 8 位。

产生复位信号后，SSm 寄存器被清除为 0000H。

图 13 - 14 串行通道开始寄存器m (SSm)的格式

| | | | | | | | | | | | | | | | | | | |
|-------------------------|-----------------------|----|----|----|----|----|---|---|---|---|---|---|------|------------|------|------|-----|--|
| 地址: F0122H、F0123H (SS0) | | | | | | | | | | | | | | 复位后: 0000H | | | R/W | |
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| SS0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SS03 | SS02 | SS01 | SS00 | | |
| SSm n | 通道n的操作开始触发 | | | | | | | | | | | | | | | | | |
| 0 | 无触发操作。 | | | | | | | | | | | | | | | | | |
| 1 | 将SEmn位设置为1，进入通信等待状态注。 | | | | | | | | | | | | | | | | | |

注 如果在通信操作中设置SSmn = 1，则会停止通信进入等待状态。
 此时保持控制寄存器和移位寄存器、SCKmn和SOMn引脚、以及FEFmn、PEFmn、OVFmn标志的状态值。

注意事项 1. 必须将SS0寄存器的位15至4清除为0。

注意事项 2. 对于UART接收，将SCRmn寄存器的RXEmn位设置为1，然后确保在经过4个或更多fmck时钟之后将SSmn设置为1。

备注 1. m: 单元编号(m = 0)， n: 通道编号（n = 0至3）

备注 2. SSm寄存器的读取值总是为0000H。

(9) 串行通道停止寄存器m (STm)

STm 寄存器是对各个通道进行设置以允许停止通信/计数的触发寄存器。

当将 1 写入该寄存器 (SSmn) 的一位时，串行通道允许状态寄存器 m (SEm) 的对应位 (SEmn) 将被清除为 0（停止操作）。由于 STmn 位为触发位，所以当 SEmn = 0 时，该位将立即被清除为 0。

使用 16 位存储器操作指令写入 STm 寄存器。

通过 STmL 使用 1 位或 8 位存储器操作指令设置 STm 寄存器的低 8 位。

产生复位信号后，STm 寄存器被清除为 0000H。

图 13 - 15 串行通道停止寄存器m (STm)的格式

| | | | | | | | | | | | | | | | | | |
|------------------------|---------------------|----|----|----|----|----|---|---|---|---|---|---|------|-----------|------|------|--|
| 地址：F0124H、F0125H (ST0) | | | | | | | | | | | | | | 复位后：0000H | | R/W | |
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| ST0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | ST03 | ST02 | ST01 | ST00 | |
| STm n | 通道n的操作停止触发 | | | | | | | | | | | | | | | | |
| 0 | 无触发操作。 | | | | | | | | | | | | | | | | |
| 1 | 将SEmn位清除为0，停止通信操作注。 | | | | | | | | | | | | | | | | |

注 保持控制寄存器和移位寄存器，SCKmn和SOMn引脚，以及FEFmn、PEFmn、OVFmn标志的状态值。

注意事项 必须将ST0寄存器的位15至4清除为0。

备注 1. m: 单元编号(m = 0)，n: 通道编号（n = 0至3）

备注 2. STm寄存器的读取值总是为0000H。

(10) 串行通道允许状态寄存器 m (SEm)

SEm 寄存器用于确认各个通道的串行发送/接收操作处于允许或停止状态。

当将 1 写入串行通道开始寄存器 m (SSm) 的一个位时，该寄存器的对应位将被设置为 1。

当将 1 写入串行通道停止寄存器 m (STm) 的一个位时，对应位将被清除为 0。

对于允许操作的通道 n，不能通过软件改写串行输出寄存器 m (SOM)（描述见后文）的 CKOmn 位的值（通道 n 的串行时钟输出），通信操作反映的值由串行时钟引脚输出。

对于停止操作的通道 n，可以通过软件设置 SOM 寄存器的 CKOmn 位的值，并从串行时钟引脚输出该值。这样，任何波形（如开始条件/停止条件的波形）均可由软件创建。

使用 16 位存储器操作指令读取 SEm 寄存器。

通过 SEmL 使用 1 位或 8 位存储器操作指令设置 SEm 寄存器的低 8 位。

产生复位信号后，SEm 寄存器被清除为 0000H。

图 13 - 16 串行通道允许状态寄存器 m (SEm) 的格式

| | | | | | | | | | | | | | | | | | | | | | |
|-------------------------|-----------------|----|----|----|----|----|---|---|---|---|---|---|------|------------|------|------|--|---|--|--|--|
| 地址: F0120H、F0121H (SE0) | | | | | | | | | | | | | | 复位后: 0000H | | | | R | | | |
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | | | | |
| SE0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SE03 | SE02 | SE01 | SE00 | | | | | |
| SEm n | 表示通道n的操作允许或停止状态 | | | | | | | | | | | | | | | | | | | | |
| 0 | 停止操作。 | | | | | | | | | | | | | | | | | | | | |
| 1 | 允许操作。 | | | | | | | | | | | | | | | | | | | | |

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0至3)

(11) 串行输出允许寄存器 m (SOEm)

SOEm 寄存器用于设置是否允许或停止各个通道的串行通信操作的输出。

对于允许输出的通道 n，将不能通过软件改写串行输出寄存器 m (SOM)（描述见后文）的 SOMn 位的值，同时从串行数据输出引脚输出一个由通信操作所反映的值。

对于停止输出的通道 n，可以通过软件设置 SOM 寄存器的 SOMn 位的值，并从串行数据输出引脚输出该值。这样，开始条件/停止条件的任何波形均可由软件创建。

使用 16 位存储器操作指令设置 SOEm 寄存器。

通过 SOEmL 使用 1 位或 8 位存储器操作指令设置 SOEm 寄存器的低 8 位。

产生复位信号后，SOEm 寄存器被清除为 0000H。

图 13 - 17 串行输出允许寄存器 m (SOEm) 的格式

| | | | | | | | | | | | | | | | | |
|--------------------|---------------|----|----|------------|----|----|---|-----|---|---|---|---|---|-------|---|-------|
| 地址: F012AH、 F012BH | | | | 复位后: 0000H | | | | R/W | | | | | | | | |
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOE0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOE02 | 0 | SOE00 |
| SOE mn | 通道n的串行输出允许/停止 | | | | | | | | | | | | | | | |
| 0 | 停止串行通信操作输出。 | | | | | | | | | | | | | | | |
| 1 | 允许串行通信操作输出。 | | | | | | | | | | | | | | | |

注意事项 必须将 SOE0 寄存器的位 15 至 3 以及 1 清除为 0。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

(12) 串行输出寄存器 m (SOm)

SOm 寄存器是用于各个通道串行输出的缓冲寄存器。

该寄存器的 SOm_n 位的值从通道 n 的串行数据输出引脚输出。

该寄存器的 CKOm_n 位的值从通道 n 的串行时钟输出引脚输出。

该寄存器的 SOm_n 位只有在串行输出被禁止时 (SOEm_n = 0) 才可用软件改写。当允许串行输出 (SOEm_n = 1) 时，用软件改写无效，且该寄存器的值只能通过串行通信操作更改。

该寄存器的 CKOm_n 位只有在停止通道操作时 (SEm_n = 0) 才可用软件改写。当允许通道操作 (SEm_n = 1) 时，用软件改写无效，且该 CKOm_n 位的值只能通过串行通信操作更改。

要将串行接口引脚用作端口功能引脚，须将相应的 CKOm_n 和 SOm_n 位设置为 “1”。

使用 16 位存储器操作指令设置 SOm 寄存器。

产生复位信号后，SOm 寄存器被设置为 0F0FH。

图 13 - 18 串行输出寄存器 m (SOm) 的格式

| | | | | | | | | | | | | | | | | |
|--------------------|---------------|------------|----|----|----|-----|---|-------|---|---|---|---|---|------|---|------|
| 地址: F0128H、 F0129H | | 复位后: 0F0FH | | | | R/W | | | | | | | | | | |
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SO0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | CKO00 | 0 | 0 | 0 | 0 | 0 | SO02 | 0 | SO00 |
| CKOmn | 通道n的串行时钟输出 | | | | | | | | | | | | | | | |
| 0 | 串行时钟输出值为0。 | | | | | | | | | | | | | | | |
| 1 | 串行时钟输出值为 “1”。 | | | | | | | | | | | | | | | |
| SOmn | 通道n的串行数据输出 | | | | | | | | | | | | | | | |
| 0 | 串行数据输出值为0。 | | | | | | | | | | | | | | | |
| 1 | 串行数据输出值为 “1”。 | | | | | | | | | | | | | | | |

注意事项 必须将 SOm 寄存器的位 15 至 9、7 至 3 以及 1 清除为 0。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

(13) 串行输出电平寄存器m (SOLm)

SOLm 寄存器是用于设置各个通道数据输出电平反相的寄存器。

仅限UART模式时可以设置该寄存器。CSI模式和简易I²C模式时，必须将对应位设置为0。

仅当允许串行输出时(SOEmn = 1)，通过该寄存器对通道n所作的反相设置才会体现在引脚输出上。当串行输出被禁止时(SOEmn = 0)， SOmn位的值将按原样输出。

当寄存器在运行（SEmn = 1 时）时，禁止改写 SOLm 寄存器。

使用 16 位存储器操作指令设置 SOLm 寄存器。

通过 SOLmL 使用 8 位存储器操作指令设置 SOLm 寄存器的低 8 位。

产生复位信号后， SOLm 寄存器被清除为 0000H。

图 13 - 19 串行输出电平寄存器 m (SOLm) 的格式

| | | | | | | | | | | | | | | | | | |
|--------------------------|-------------------------|----|----|----|----|----|---|---|---|---|---|---|---|------------|---|-----------|--|
| 地址: F0134H、F0135H (SOL0) | | | | | | | | | | | | | | 复位后: 0000H | | R/W | |
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| SOL0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOL 02 | 0 | SOL 00 | |
| | | | | | | | | | | | | | | | | | |
| SOL mn | UART模式时，通道n的发送数据电平反相的选择 | | | | | | | | | | | | | | | | |
| 0 | 通信数据按原样输出。 | | | | | | | | | | | | | | | | |
| 1 | 通信数据反相并输出。 | | | | | | | | | | | | | | | | |

注意事项 必须将 SOL0 寄存器的位 15 至 3 以及 1 清除为 0。

备注 m: 单元编号(m = 0)， n: 通道编号 (n = 0至3)

(14) 串行待机控制寄存器 m (SSCm)

SSC0 寄存器可通过接收 CSI00 或 UART0 的串行数据，来控制在 STOP 模式下启动接收（SNOOZE 模式）。
使用 16 位存储器操作指令设置 SSCm 寄存器。
通过 SSCmL 使用 8 位存储器操作指令设置 SSCm 寄存器的低 8 位。
产生复位信号后，SSCm 寄存器被清除为 0000H。

注意事项 SNOOZE 模式下的最大传送速率如下所示。

- 使用 CSI00 时：1 Mbps
- 使用 UART0 时：9600 bps

图 13 - 20 串行待机控制寄存器 m (SSCm) 的格式

地址: F0138H (SSC0)

复位后: 0000H

R/W

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|-------|------|
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SSCm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSECm | SWCm |

| | |
|-------|--|
| SSECm | 允许或停止产生传送结束中断的选择 |
| 0 | 允许产生错误中断(INTSRE0)。 以下情况下，时钟发生器的时钟请求信号（内部信号）也将被清除： <ul style="list-style-type: none">• SWC 位被清除为0• 当误测到 UART 接收起始位时 |
| 1 | 停止产生错误中断(INTSRE0)。 以下情况下，时钟发生器的时钟请求信号（内部信号）也将被清除： <ul style="list-style-type: none">• SWCm 位被清除为0• 当误测到 UART 接收起始位时• 由于奇偶检验错误或帧错误而产生传送结束中断的时序 |

| | |
|---|------------------|
| SWCm | SNOOZE 模式的设置 |
| 0 | 不使用 SNOOZE 模式功能。 |
| 1 | 使用 SNOOZE 模式功能。 |
| <ul style="list-style-type: none">• 由于 STOP 模式下的硬件触发信号，退出 STOP 模式，并且在不操作 CPU 的情况下执行 A/D 转换（SNOOZE 模式）。• 仅在选择高速片上振荡器时钟作为 CPU/外围硬件时钟(fclk)时可以使用 SNOOZE 模式功能。如果选用任何其他时钟，则禁止指定该模式。• 使用 SNOOZE 模式时，请在正常操作模式中设置 SWCm 位为0，并且在切换至 STOP 模式之前将 AWC 位更改为1。此外，从 STOP 模式恢复到正常操作模式前，请清除 SWCm 位为0用来设置噪声滤波器是否可用于各通道串行数据输入引脚的输入信号。 | |

注意事项 禁止设置为 SSECm、SWCm = 1、0。

(15) 输入切换控制寄存器 (ISC)

当进行 CSI00 通信且处于从模式时，SSIE0 位作为控制通道 0 的 $\overline{\text{SSI00}}$ 引脚输入的位。

在高电平输入到 $\overline{\text{SSI00}}$ 引脚期间，即使串行时钟输入也不能进行接收/传送操作。在低电平输入到 $\overline{\text{SSI00}}$ 引脚期间，若串行时钟输入则按照各种模式的设置进行接收/传送操作。

使用 1 位或 8 位存储器操作指令设置 ISC 寄存器。

产生复位信号后，ISC 寄存器被清除为 00H。

图 13 - 21 输入切换控制寄存器 (ISC) 的格式

| | | | | | | | | |
|------------|--|-----|---|---|---|---|---|---|
| 地址: F0073H | 复位后: 00H | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ISC | SSIE00 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | | | | | | | | |
| SSIE00 | 在 CSI 通信和从模式时，通道0的 $\overline{\text{SSI00}}$ 输入的设置 | | | | | | | |
| 0 | 禁止 $\overline{\text{SSI00}}$ 引脚输入。 | | | | | | | |
| 1 | 允许 $\overline{\text{SSI00}}$ 引脚输入。 | | | | | | | |

注意事项 必须将位 6 至 0 清除为 0。

(16) 噪声滤波器允许寄存器0 (NFEN0)

NFEN0 寄存器用来设置噪声滤波器是否可用于各通道串行数据输入引脚的输入信号。

用于 CSI 或简易 I²C 通信的引脚中，将该寄存器的对应位清除为 0，禁止使用噪声滤波器。

用于 UART 通信的引脚中，将该寄存器的对应位设置为 1，允许使用噪声滤波器。

允许噪声滤波器时，对 CPU/ 外围硬件时钟 (fCLK) 执行两个时钟一致检测以及同步。关闭噪声滤波器时，只与 CPU/ 外围硬件时钟 (fMCK) 执行同步注。

使用 1 位或 8 位存储器操作指令设置 NFEN0 寄存器。

产生复位信号后，NFEN0 寄存器被清除为 00H。

注 有关详情，请参阅 6.5.1 (2) 选择 Tl_{mn} 引脚输入信号的有效边沿时 (CCSmn = 1) 和 6.5.2 计数器的开始时序。

图 13 - 22 噪声滤波器允许寄存器 0 (NFEN0) 的格式

地址: F0070H

复位后: 00H

R/W

| | | | | | | | | |
|-------|---|---|---|---|---|---------|---|---------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| NFEN0 | 0 | 0 | 0 | 0 | 0 | SNFEN10 | 0 | SNFEN00 |

| | | | | | | | |
|-----------------------------------|------------------|--|--|--|--|--|--|
| SNFEN10 | RxD1 引脚的噪声滤波器的使用 | | | | | | |
| 0 | 噪声滤波器关闭 | | | | | | |
| 1 | 噪声滤波器启用 | | | | | | |
| 作为 RxD1 引脚使用时，请设置 SNFEN10 设为 1。 | | | | | | | |
| 作为 RxD1 引脚以外使用时，请将 SNFEN10 清除为 0。 | | | | | | | |

| | | | | | | | |
|-----------------------------------|------------------|--|--|--|--|--|--|
| SNFEN00 | RxD0 引脚的噪声滤波器的使用 | | | | | | |
| 0 | 噪声滤波器关闭 | | | | | | |
| 1 | 噪声滤波器启用 | | | | | | |
| 作为 RxD0 引脚使用时，请设置 SNFEN00 位设为 1。 | | | | | | | |
| 作为 RxD0 引脚以外使用时，请将 SNFEN00 清除为 0。 | | | | | | | |

注意事项 必须将位 7 至 3 以及 1 清除为 0。

(17) 端口输入模式寄存器0、3、5（PIM0、PIM3、PIM5）

该寄存器以1位为单位设置端口0、3和5的输入缓冲。

使用1位或8位存储器操作指令设置PIM0、PIM3和PIM5寄存器。

产生复位信号后，PIM0、PIM3和PIM5寄存器被清除为00H。

图 13 - 23 端口输入模式寄存器0、1、3、5（PIM0、PIM1、PIM3、PIM5）的格式

地址: F0040H

复位后: 00H

R/W

符号

7

6

5

4

3

2

1

0

PIM0

0

0

0

0

0

0

PIM01

0

地址 F0043H

复位后: 00H

R/W

符号

7

6

5

4

3

2

1

0

PIM3

0

0

0

0

0

0

0

PIM30

地址 F0045H

复位后: 00H

R/W

符号

7

6

5

4

3

2

1

0

PIM5

0

0

0

0

0

0

0

PIM50

PIMmn

Pmn引脚输入缓冲器的选择（m = 0、3、5； n = 0、1）

0

普通输入缓冲器

1

TTL 输入缓冲器

- (18) 端口输出模式寄存器0、3、5（POM0、POM3、POM5）
- 该寄存器以1位为单位设置端口0、3和5的输出模式。
- 使用1位或8位存储器操作指令设置POM0、POM3和POM5寄存器。
- 产生复位信号后，POM0、POM3和POM5寄存器被清除为00H。

图 13 - 24 端口输出模式寄存器0、3、5（POM0、POM3、POM5）的格式

地址: F0050H

复位后: 00H

R/W

符号

7

6

5

4

3

2

1

0

POM0

| | | | | | | | |
|---|---|---|---|---|---|---|-------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | POM00 |
|---|---|---|---|---|---|---|-------|

地址: F0053H

复位后: 00H

R/W

符号

7

6

5

4

3

2

1

0

POM3

| | | | | | | | |
|---|---|---|---|---|---|---|-------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | PIM30 |
|---|---|---|---|---|---|---|-------|

地址: F0055H

复位后: 00H

R/W

符号

7

6

5

4

3

2

1

0

POM5

| | | | | | | | |
|---|---|---|---|---|---|-------|-------|
| 0 | 0 | 0 | 0 | 0 | 0 | POM51 | POM50 |
|---|---|---|---|---|---|-------|-------|

| POMmn | Pmn引脚输出缓冲器的选择（m = 0、3、5； n = 0、1） |
|-------|--|
| 0 | 普通输出模式 输入时，允许PUmn位。 |
| 1 | N沟开漏输出（V _{DD} 耐压）模式 输入时，禁止PUmn位。 |

(19) 端口模式寄存器0、3、5、6 (PM0、PM3、PM5、PM6)

这些寄存器以1位为单位设置端口0、3、5、6的输入/输出。

将复用于串行数据输出引脚或串行时钟输出引脚的端口（例如

P00/ANI17/TI00/TxD1、P30/INTP3/ $\overline{\text{SCK00}}$ /SCL00/TRJO0），用作串行数据输出或串行时钟输出时，将与各端口对应的端口模式寄存器 (PMxx) 位和端口模式控制寄存器 (PMCxx) 位设置为 0。此时将与各端口对应的端口寄存器 (Pxx) 位设置为 1。

示例 将 P00/ANI17/TI00/TxD1 用于串行数据输出或串行时钟输出时
将端口模式寄存器 0 的 PM00 位设为 0。
将端口寄存器 0 的 P00 位设为 1。

将复用于串行数据输入引脚或串行时钟输入引脚的端口（例如 P30/INTP3/ $\overline{\text{SCK00}}$ /SCL00/TRJO0、P50/INTP1/SI00/RxD0/TOOLRxD/SDA00），用作串行数据输入或串行时钟输入时，将与各端口对应的端口模式寄存器 (PMxx) 位设置为 1。这时可以将端口寄存器 (Pxx) 位设置为 0 或 1。

示例 将 P50/INTP1/SI00/RxD0/TOOLRxD/SDA00 用于串行数据输入或串行时钟输入时
将端口模式寄存器 5 的 PM50 位设置为 1。
将端口寄存器 5 的 P50 位设为 0 或 1。

使用 1 位或 8 位存储器操作指令设置 PM0、PM3、PM5、PM6 寄存器。
产生复位信号后，PM0、PM3、PM5、PM6 寄存器被设置为 FFH。

图 13 - 25 端口模式寄存器0、3、5、6（PM0、PM3、PM5、PM6）的格式

| | | | | | | | | |
|------------|-------------------------------------|-----|---|---|---|------|------|------|
| 地址: FFF20H | 复位后: FFH | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PM0 | 1 | 1 | 1 | 1 | 1 | 1 | PM01 | PM00 |
| 地址: FFF23H | 复位后: FFH | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PM3 | 1 | 1 | 1 | 1 | 1 | 1 | PM31 | PM30 |
| 地址: FFF25H | 复位后: FFH | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PM5 | 1 | 1 | 1 | 1 | 1 | 1 | PM51 | PM50 |
| 地址: FFF26H | 复位后: FFH | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PM6 | 1 | 1 | 1 | 1 | 1 | PM62 | PM61 | PM60 |
| PMmn | Pmn引脚输入/输出模式选择（m = 0、3、5、6；n = 0至2） | | | | | | | |
| 0 | 输出模式（输出缓冲器启用） | | | | | | | |
| 1 | 输入模式（输出缓冲器关闭） | | | | | | | |

13.4 操作停止模式

串行阵列单元的各串行接口均有操作停止模式。

在此模式下，不能执行串行通信，因而可降低功耗。

另外，在该模式下，用于串行接口的引脚可用作端口功能引脚。

13.4.1 以单元单位停止操作

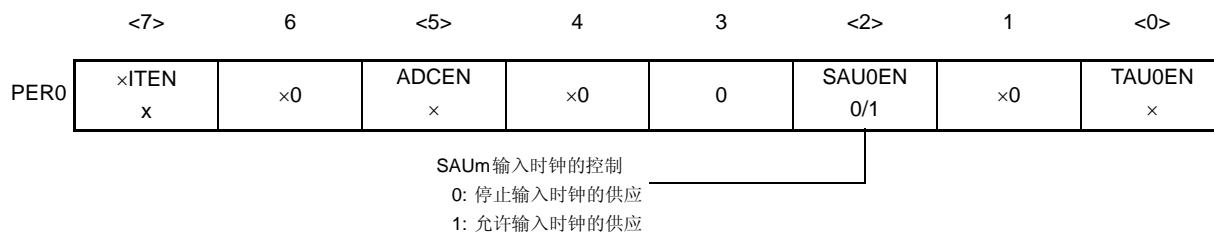
使用外围允许寄存器0 (PER0) 设置按照单元单位停止操作。

PER0 寄存器用于允许或禁止向外围硬件供应时钟。通过停止向未使用的硬件供应时钟，可以降低功耗和噪声。

将位2 (SAU0EN) 设置为0以停止操作串行阵列单元0。

图 13 - 26 以单元单位停止操作时外围允许寄存器0 (PER0) 的设置

(a) 外围允许寄存器0 (PER0)... 仅将要停止的SAUm的位设置为0。



注意事项 1. 如果 **SAUmEN = 0**，对串行阵列单元 **m** 的控制寄存器进行的写入操作无效，而且该寄存器的读取值总为初始值

但如下的寄存器除外：

- 输入切换控制寄存器 (ISC)
- 噪声滤波器允许寄存器0 (NFEN0)
- 端口输入模式寄存器0、3、5 (PIM0、PIM3、PIM5)
- 端口输出模式寄存器0、3、5 (POM0、POM3、POM5)
- 端口模式寄存器0、3、5、6 (PM0、PM3、PM5、PM6)
- 端口寄存器0、3、5、6 (P0、P3、P5、P6)

注意事项 2. 必须将以下位清除为0。

位1、3、4、6

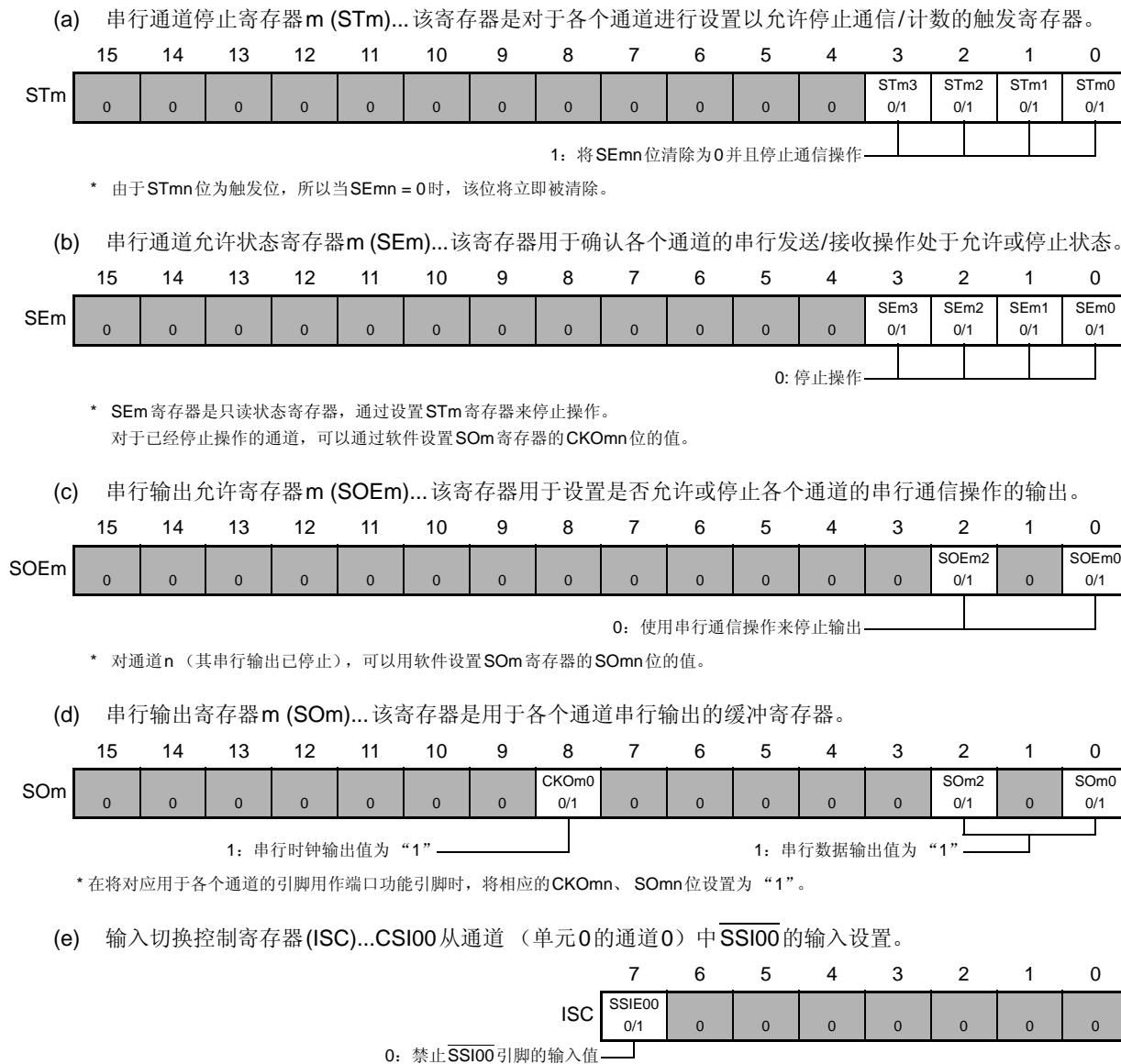
备注 ×：串行阵列单元未使用的位（取决于其他外围功能的设置）

0/1：可根据用户的用途设为0或1

13.4.2 以通道单位停止操作

使用以下各种寄存器设置通道单位停止操作。

图 13 - 27 以通道单位停止操作时各寄存器的设置



备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3)

备注 2. : 禁止设置 (设置为初始值)
0/1: 可根据用户的用途设为 0 或 1

13.5 3线串行输入/输出(CSI00)通信的操作

这是一种采用三条线路的时钟同步式通信功能：串行时钟线($\overline{\text{SCK}}$)和串行数据线（SI和SO）。

[数据的发送/接收]

- 数据长度为7或8位
- 发送/接收数据的相控制
- MSB/LSB的选择
- 发送/接收数据的电平设置

[时钟控制]

- 主/从的选择
- 输入/输出时钟的相控制
- 通过预分频器和通道内部计数器设置传送周期
- 最大传送速率

主通信时(CSI00)：最大 $f_{\text{CLK}}/2$ 注1、2

从通信时：最大 $f_{\text{MCK}}/6$ 注2

[中断功能]

- 传送结束中断/缓冲器空中断

[错误检测标志]

- 溢出错误

以下通道的CSI支持SNOOZE模式。当在STOP模式下检测到 $\overline{\text{SCK}}$ 输入时，借助SNOOZE模式，不需要CPU动作就可以接收数据。异步接收只能指定以下CSI。

- CSI00

另外，CSI00支持从设备选择输入功能。有关详情，请参阅13.6 具有从设备选择输入功能的时钟同步串行通信。

注 1. 主通信(CSI00)模式下，满足以下条件时最大传送速率为 $f_{\text{MCK}}/2$ 。

- $2.7\text{ V} \leq V_{\text{DD}} \leq 5.5\text{ V}$
- $f_{\text{MCK}} \leq 24\text{ MHz}$
- $\text{PIOR1} = 0$

其他情况下的最大传送速率为 $f_{\text{MCK}}/4$ 。

注 2. 在满足 $\overline{\text{SCK}}$ 周期时间(t_{KCY})特性的范围内使用时钟（参阅第27章 电特性）。

支持3线串行输入/输出(CSI00)的通道为SAU0的通道0至2。

• 30、32引脚产品

| 单元 | 通道 | 用作CSI | 用作UART | 用作简易I ² C |
|----|----|------------------------|--------|----------------------|
| 0 | 0 | CSI00 (支持从设备选择输入功能) | UART0 | IIC00 |
| | 1 | — | | — |
| | 2 | — | UART1 | — |
| | 3 | — | | — |

3线串行输入/输出(CSI00)具有如下七种类型的通信操作。

- 主发送 (参阅 13.5.1。)
- 主接收 (参阅 13.5.2。)
- 主发送/接收 (参阅 13.5.3。)
- 从发送 (参阅 13.5.4。)
- 从接收 (参阅 13.5.5。)
- 从发送/接收 (参阅 13.5.6。)
- SNOOZE 模式功能 (仅限 CSI00) (参阅 13.5.7。)

13.5.1 主发送

主发送指μPD79F7027, μPD79F7028输出传送时钟，并将数据发送至另一个器件。

| | |
|-----------|---|
| 3线串行输入/输出 | CSI00 |
| 目标通道 | SAU0的通道0 |
| 使用引脚 | SCK00、SO00 |
| 中断 | INTCSI00 可选择传送结束中断（单发送模式时）或缓冲器空中断（连续发送模式时）。 |
| 错误检测标志 | 无 |
| 传送数据长度 | 7或8位 |
| 传送速率 | 最大 $f_{MCK}/2$ [Hz] (CSI00) 最小 $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz] 注 f_{CLK} : 系统时钟频率 |
| 数据相位 | 可通过SCRmn寄存器的DAPmn位选择 <ul style="list-style-type: none"> • DAPmn = 0: 从开始串行时钟操作时开始数据输出。 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输出。 |
| 时钟相位 | 可通过SCRmn寄存器的CKPmn位选择 <ul style="list-style-type: none"> • CKPmn = 0: 正相 • CKPmn = 1: 反相 |
| 数据方向 | MSB或LSB优先 |

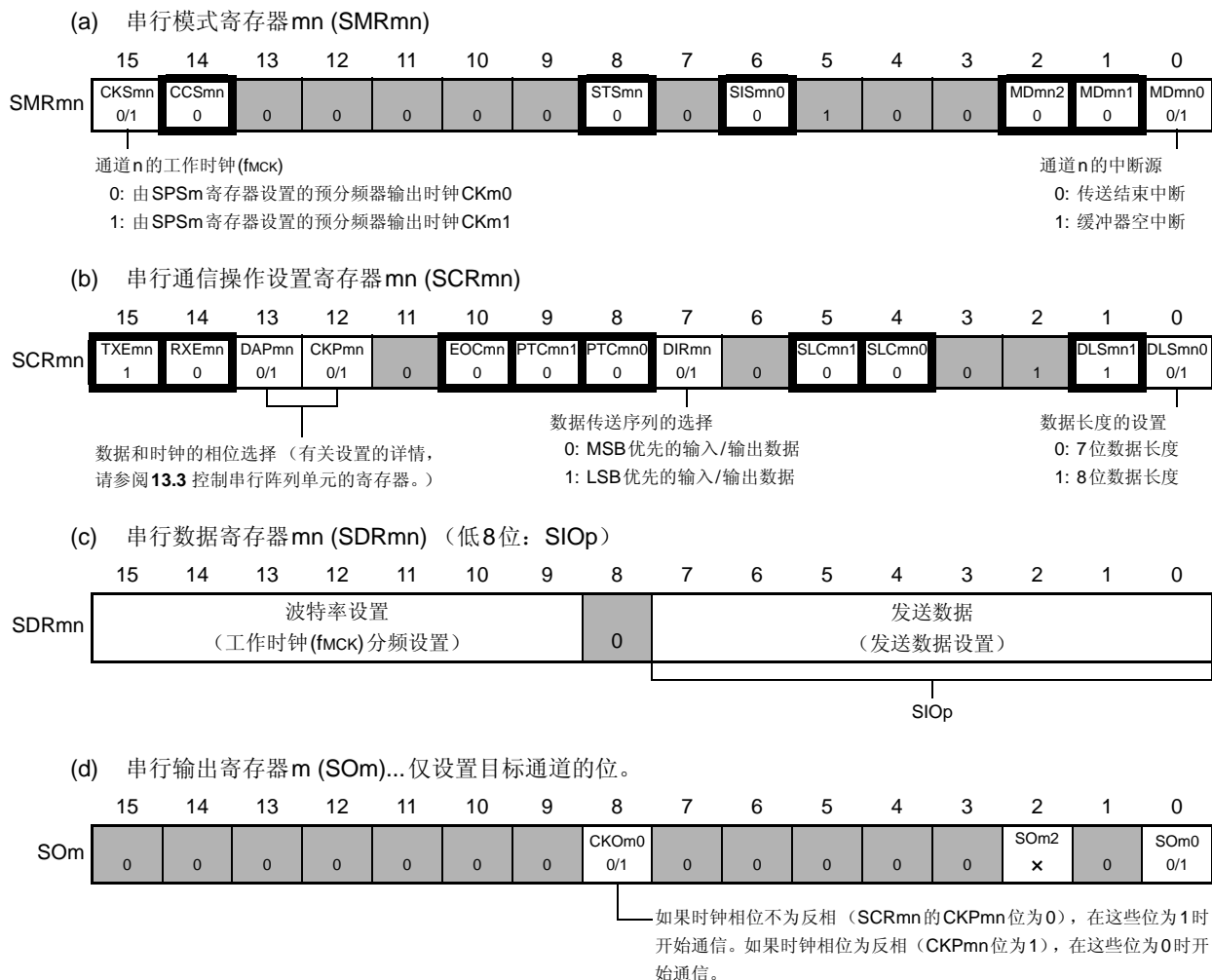
注 在满足以上条件及电特性中的AC特性（参阅第 27 章 电特性）的范围内使用此操作。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0至3), mn = 00至03

(1) 寄存器设置

图 13 - 28 3线串行输入/输出(CSI00)的主发送时的寄存器设置

内容示例(1/2)



备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00)
 mn = 00 至 03

备注 2. ■: 设置固定于 CSI 主发送模式,
■: 禁止设置 (设置为初始值)
 x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
 0/1: 可根据用户的用途设为 0 或 1


图 13 - 29 3线串行输入/输出(CSI00)的主发送时的寄存器设置
内容示例(2/2)

(e) 串行输出允许寄存器m (SOEm)... 仅将目标通道的位设置为 1。

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|-----------|---|--------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOm2 x | 0 | SOEm0 0/1 |

(f) 串行通道开始寄存器m (SSm)... 仅将目标通道的位设置为 1。

| | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|-----------|-----------|-----------|-------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 x | SSm2 x | SSm1 x | SSm0 0/1 |

- 备注 1. m: 单元编号(m = 0), n: 通道编号 (n = 0至3), p: CSI编号(p = 00)
mn = 00至03
- 备注 2. : 禁止设置 (设置为初始值)
x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
0/1: 可根据用户的用途设为0或1

(2) 操作步骤

图 13 - 30 主发送的初始设置步骤

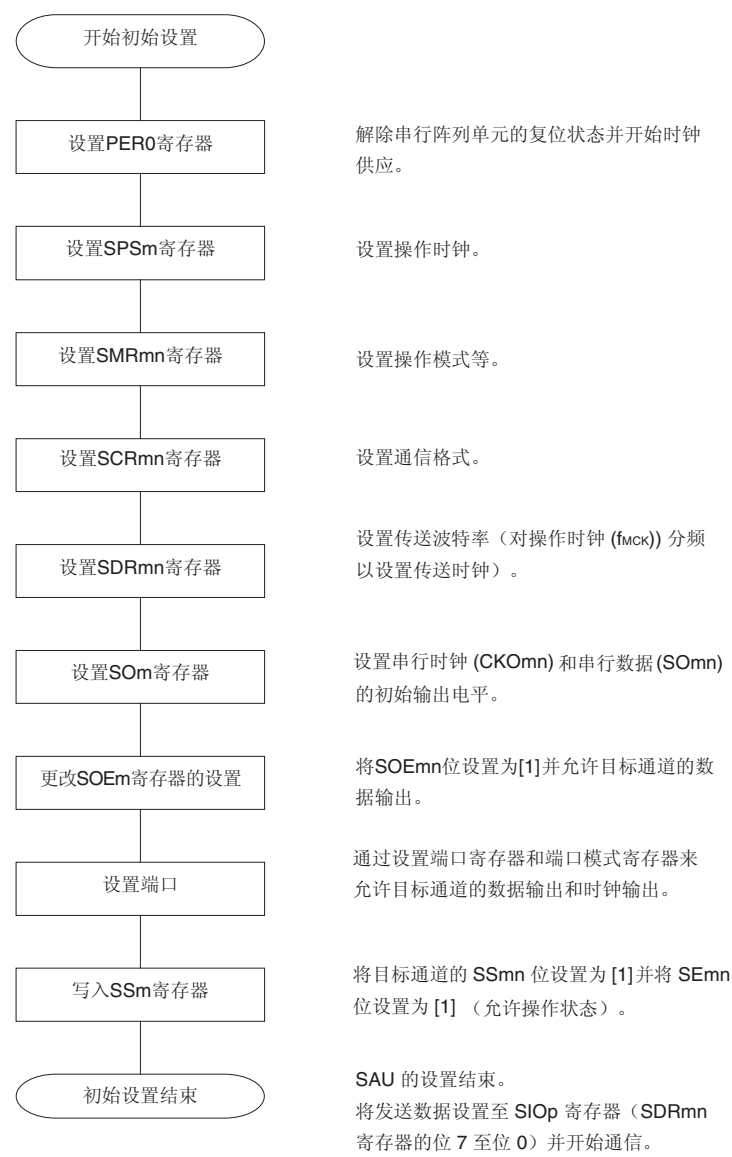


图 13 - 31 停止主发送的步骤

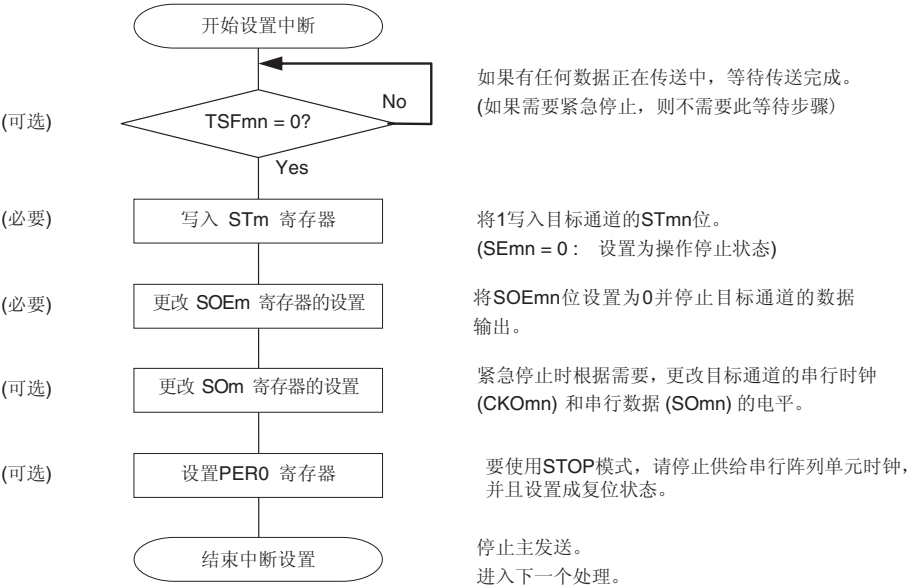
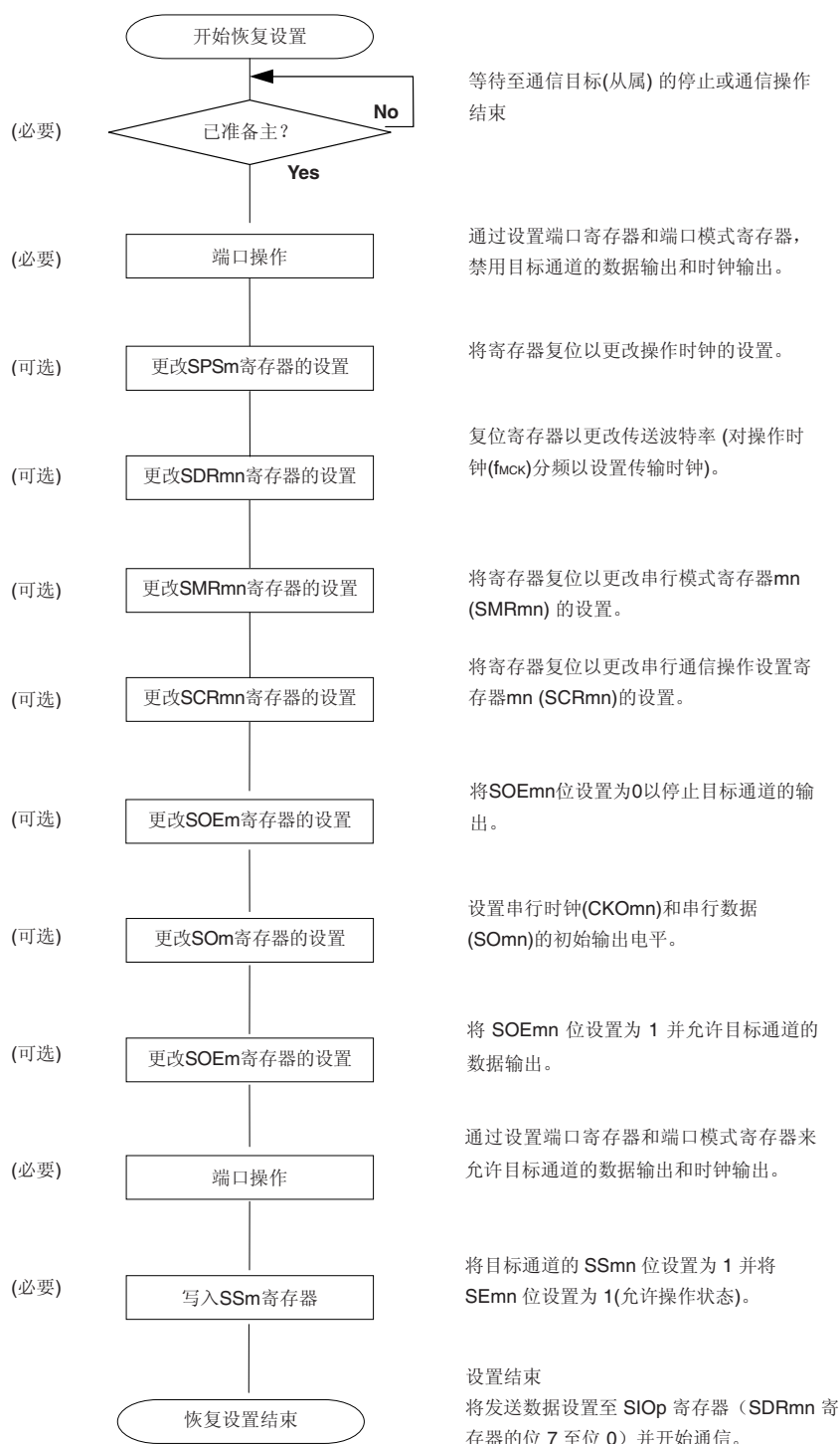


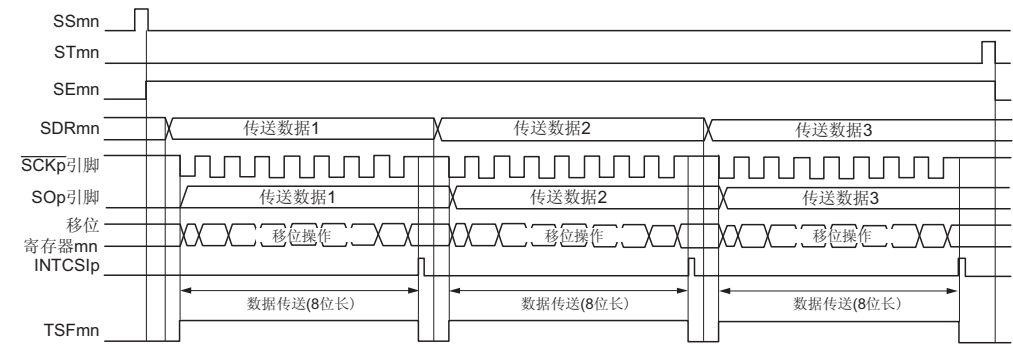
图 13 - 32 恢复主发送的步骤



备注 中断主发送时如果 PER0 被改写，且停止了时钟供给时，请等待至发送目标（从设备）停止或发送结束，然后执行初始设置，而不是重传设置。

(3) 处理流程（单发送模式时）

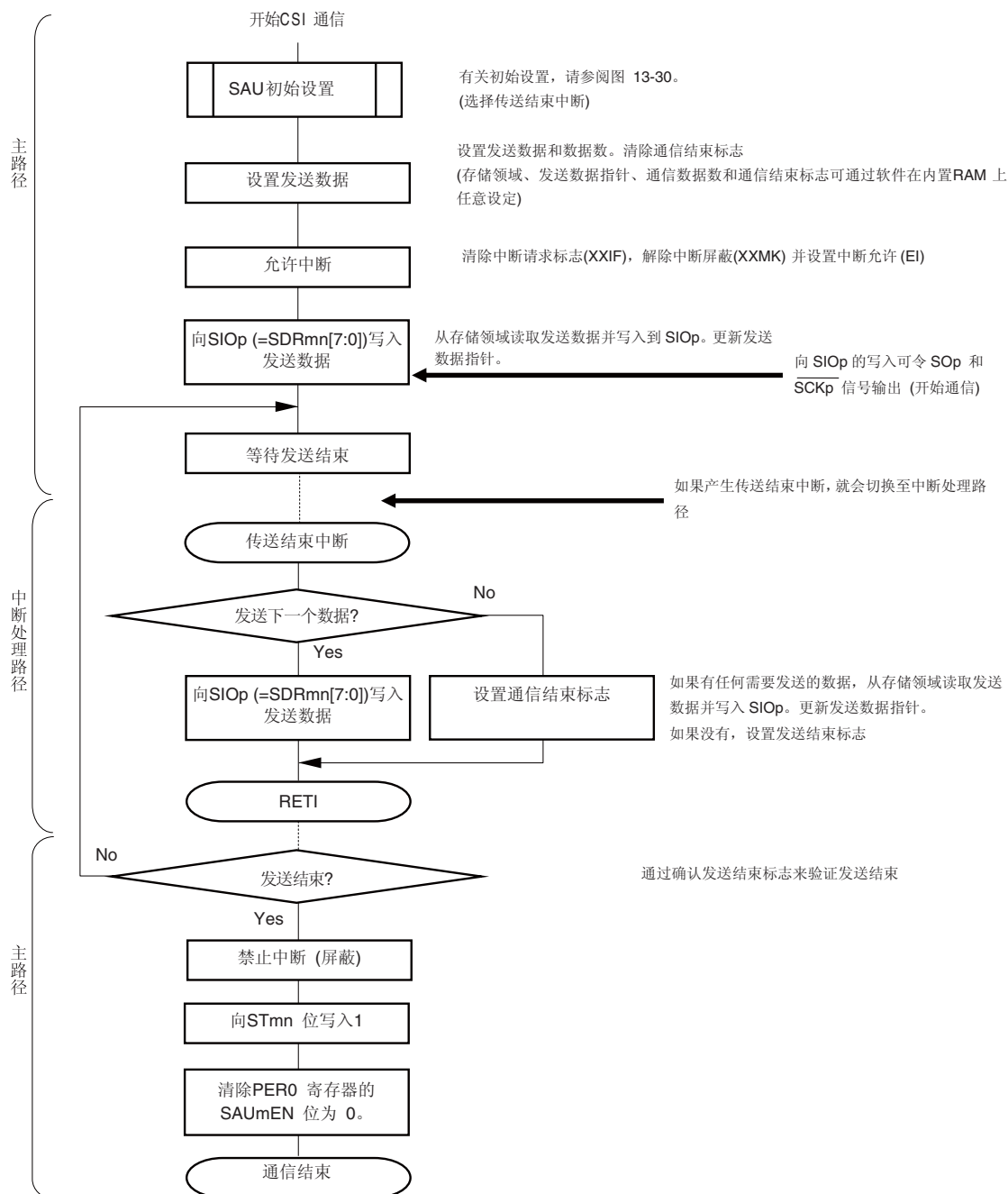
图 13 - 33 主发送（单发送模式时）的时序图
（类型 1: DAPmn = 0、CKPmn = 0）



备注 m: 单元号 (m = 0), n: 通道号 (n = 0 至 3), p: CSI号 (p = 00)
mn = 00 - 03

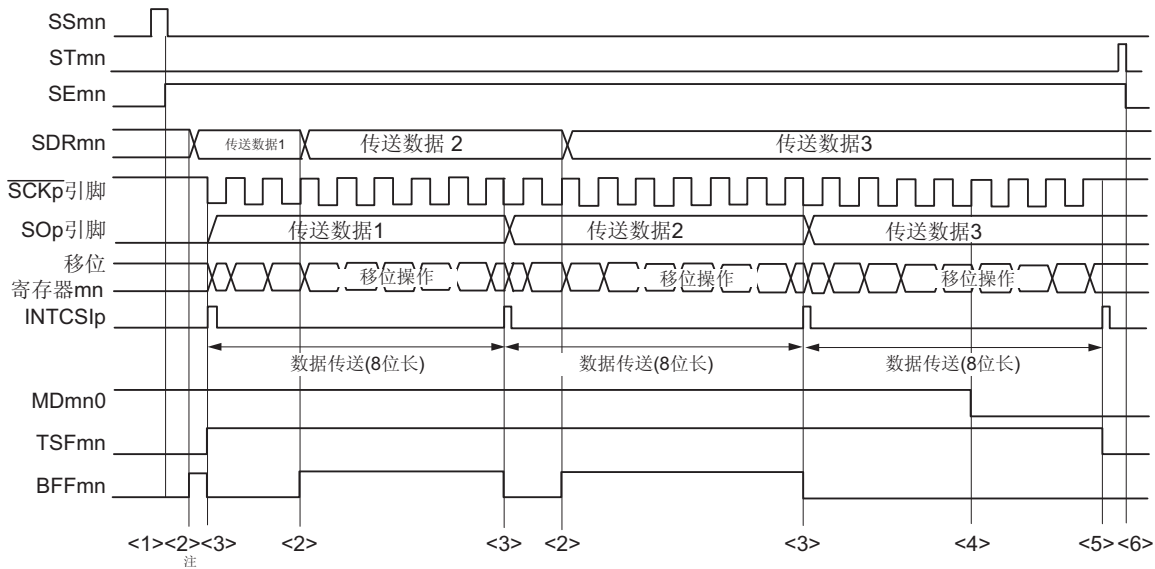
备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI编号 (p = 00)
mn = 00 至 03

图 13-34 主发送（单发送模式时）的流程图



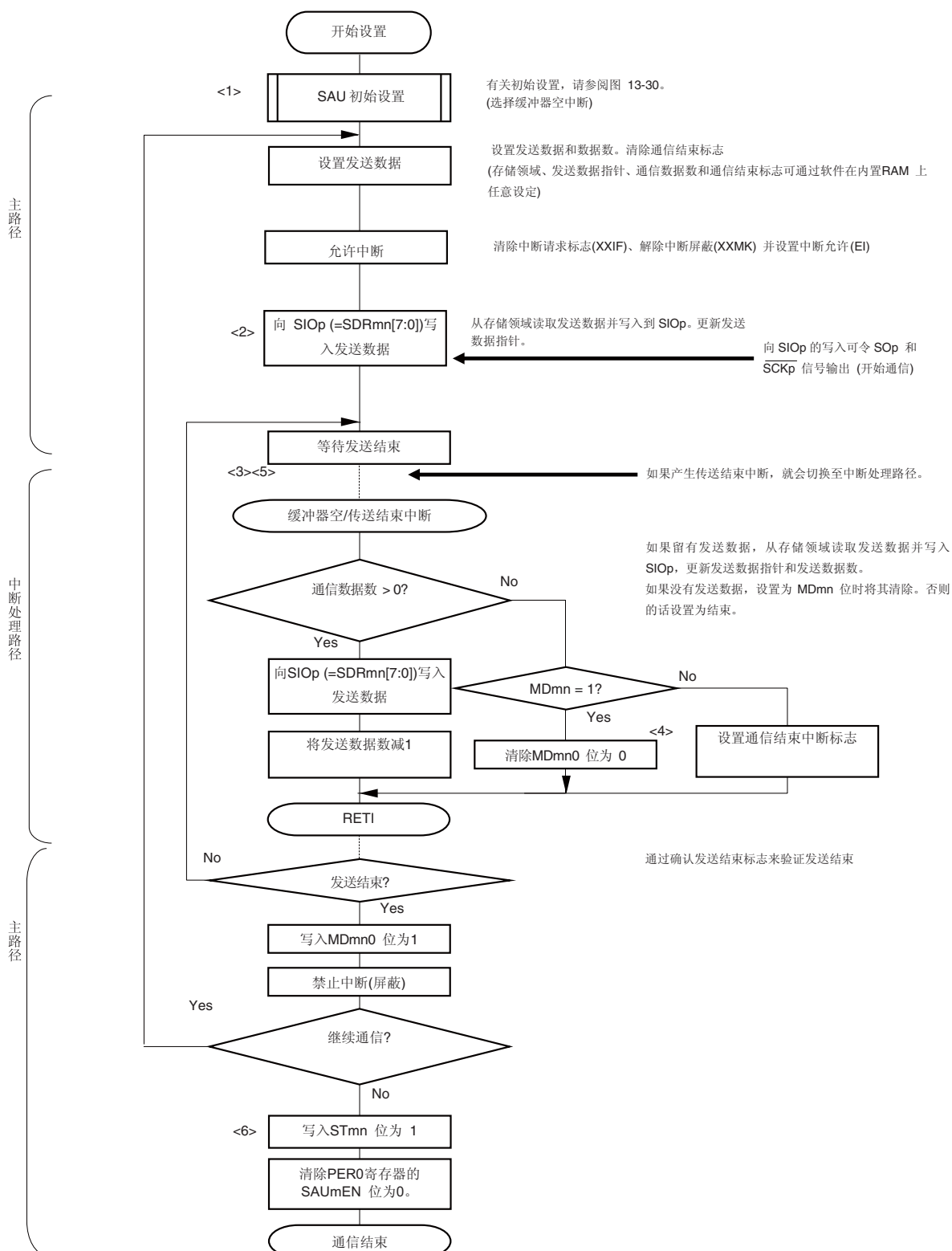
(4) 处理流程（连续发送模式时）

图 13 - 35 主发送（连续发送模式时）的时序图
（类型 1: DAPmn = 0、CKPmn = 0）



- 注 如果在串行状态寄存器mn (SSRmn)的BFFmn位为1时将发送数据写入SDRmn寄存器（将有效数据存储于串行数据寄存器mn (SDRmn)中），则发送数据将被重写。
- 注意事项 即使在操作过程中，也可改写串行模式寄存器mn (SMRmn)的MDmn0位。
但是必须在开始传送最后一位之前改写，这样才能在最后发送数据的传送结束中断前完成改写。
- 备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0至3), p: CSI编号 (p = 00)
mn = 00至03

图 13 - 36 主发送（连续发送模式时）的流程图



备注 图中的 <1> 至 <6> 对应图 13 - 35 主发送（连续发送模式时）的时序图（类型 1: DAPmn = 0、CKPmn = 0）中的 <1> 至 <6>。

13.5.2 主接收

主接收指μPD79F7027, μPD79F7028输出传送时钟，并从其他器件接收数据。

| | |
|-----------|---|
| 3线串行输入/输出 | CSI00 |
| 目标通道 | SAU0的通道0 |
| 使用引脚 | SCK00、SI00 |
| 中断 | INTCSI00 可选择传送结束中断（单发送模式时）或缓冲器空中断（连续发送模式时）。 |
| 错误检测标志 | 仅限溢出错误检测标志(OVFmn) |
| 传送数据长度 | 7或8位 |
| 传送速率 | 最大fmck/2 [Hz] (CSI00) 最小fclk/(2 × 2 ¹⁵ × 128) [Hz] 注 fclk: 系统时钟频率 |
| 数据相位 | 可通过SCRmn寄存器的DAPmn位选择 • DAPmn = 0: 从开始串行时钟操作时开始数据输入。 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输入。 |
| 时钟相位 | 可通过SCRmn寄存器的CKPmn位选择 • CKPmn = 0: 正相 • CKPmn = 1: 反相 |
| 数据方向 | MSB或LSB优先 |

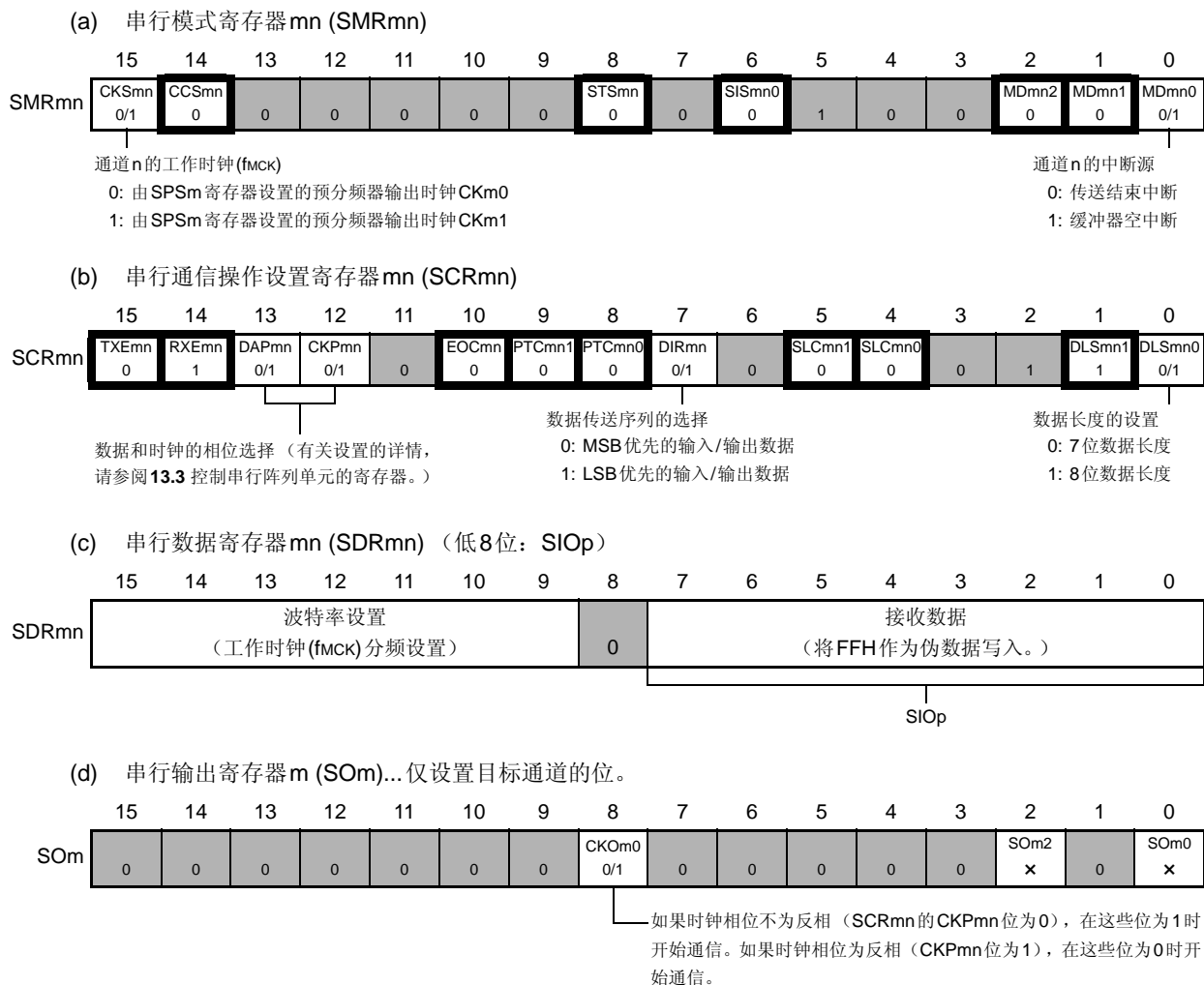
注 在满足以上条件及电特性中的AC特性（参阅第 27 章 电特性）的范围内使用此操作。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0至3), mn = 00至03

(1) 寄存器设置

图 13 - 37 3线串行输入/输出(CSI00)的主接收时的寄存器设置

内容示例(1/2)



备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00)
 mn = 00 至 03

备注 2. : 设置固定于 CSI 主接收模式,
 : 禁止设置 (设置为初始值)
 x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
 0/1: 可根据用户的用途设为 0 或 1

图 13 - 38 3线串行输入/输出(CSI00)的主接收时的寄存器设置
内容示例(2/2)

(e) 串行输出允许寄存器m (SOEm)...此模式下不使用的寄存器。

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|------------|---|------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm2 × | 0 | SOEm0 × |

(f) 串行通道开始寄存器m (SSm)...仅将目标通道的位设置为1。

| | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|-----------|-----------|-----------|-------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 × | SSm2 × | SSm1 × | SSm0 0/1 |

备注 1. m: 单元编号(m = 0), n: 通道编号 (n = 0至3), p: CSI编号(p = 00)
mn = 00至03

备注 2. : 禁止设置 (设置为初始值)
x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
0/1: 可根据用户的用途设为0或1

(2) 操作步骤

图 13 - 39 主接收的初始设置步骤

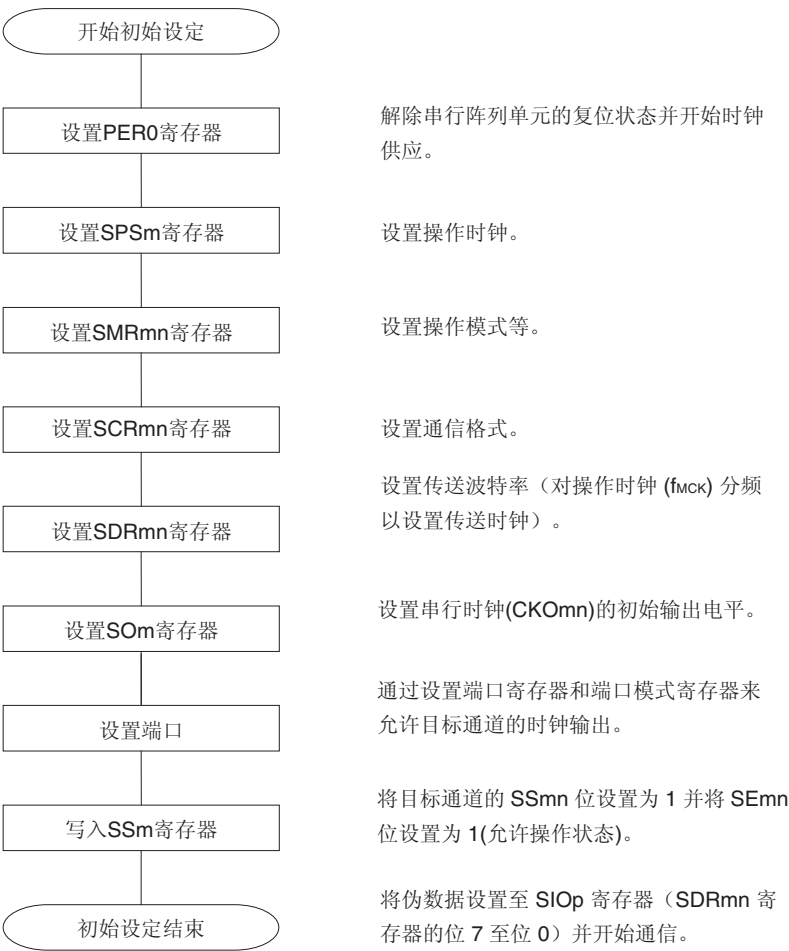


图 13 - 40 停止主接收的步骤

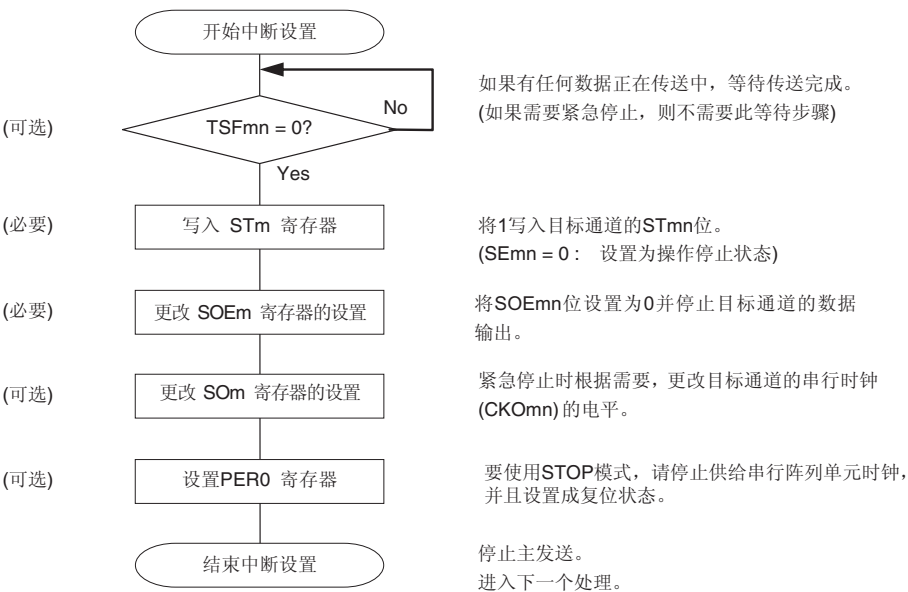
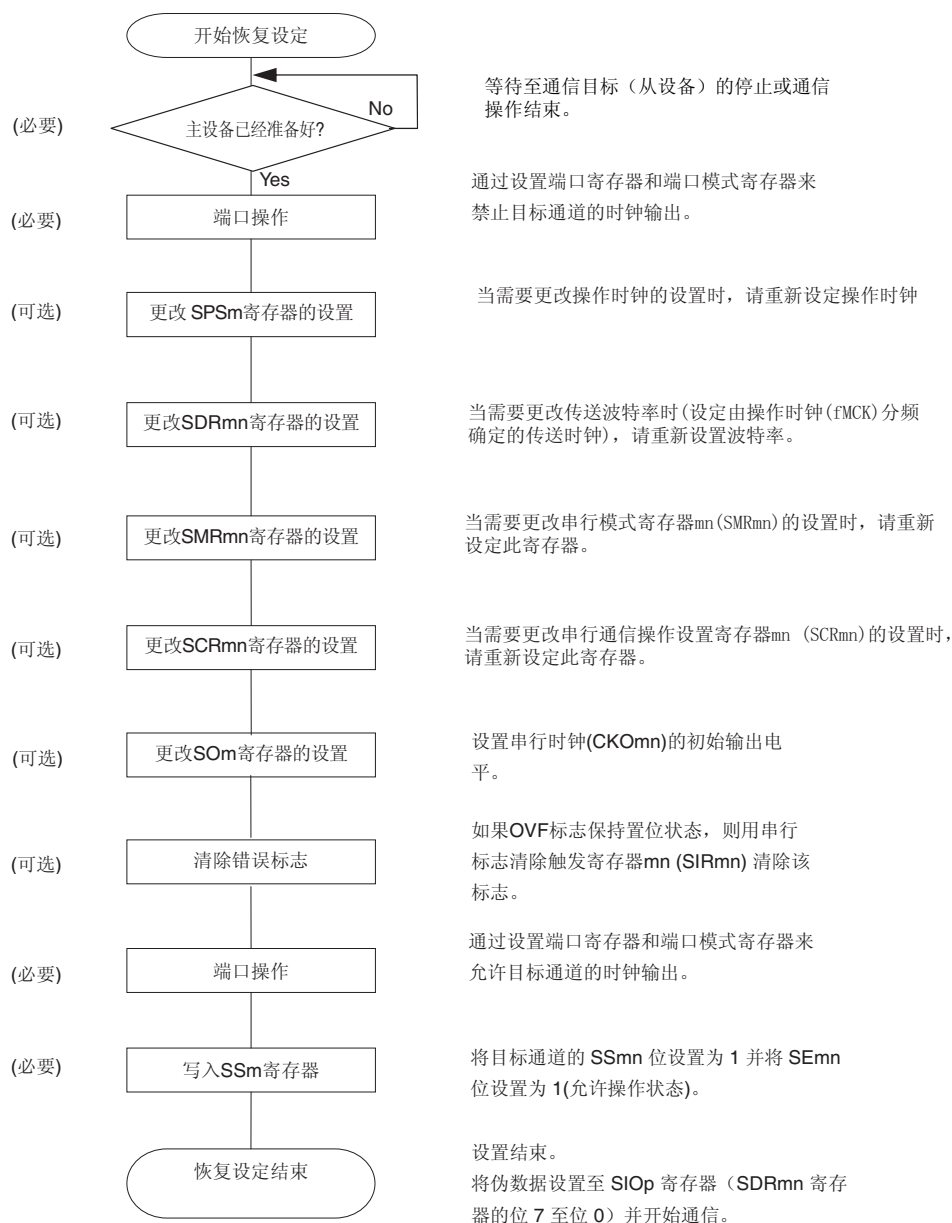


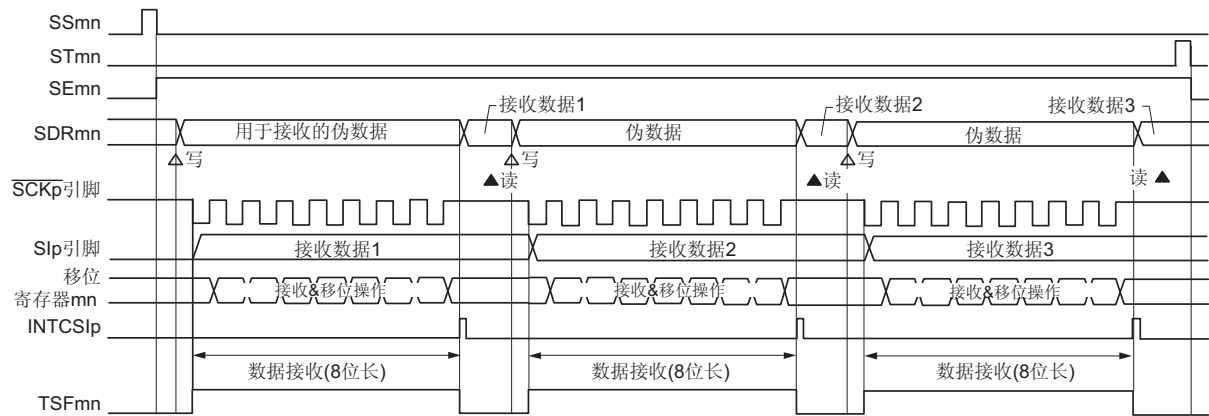
图 13 - 41 恢复主接收的步骤



备注 中断主发送时如果PER0被改写，且停止了时钟供给时，请等待至发送目标（从设备）停止或发送结束，然后执行初始设置，而不是重传设置。

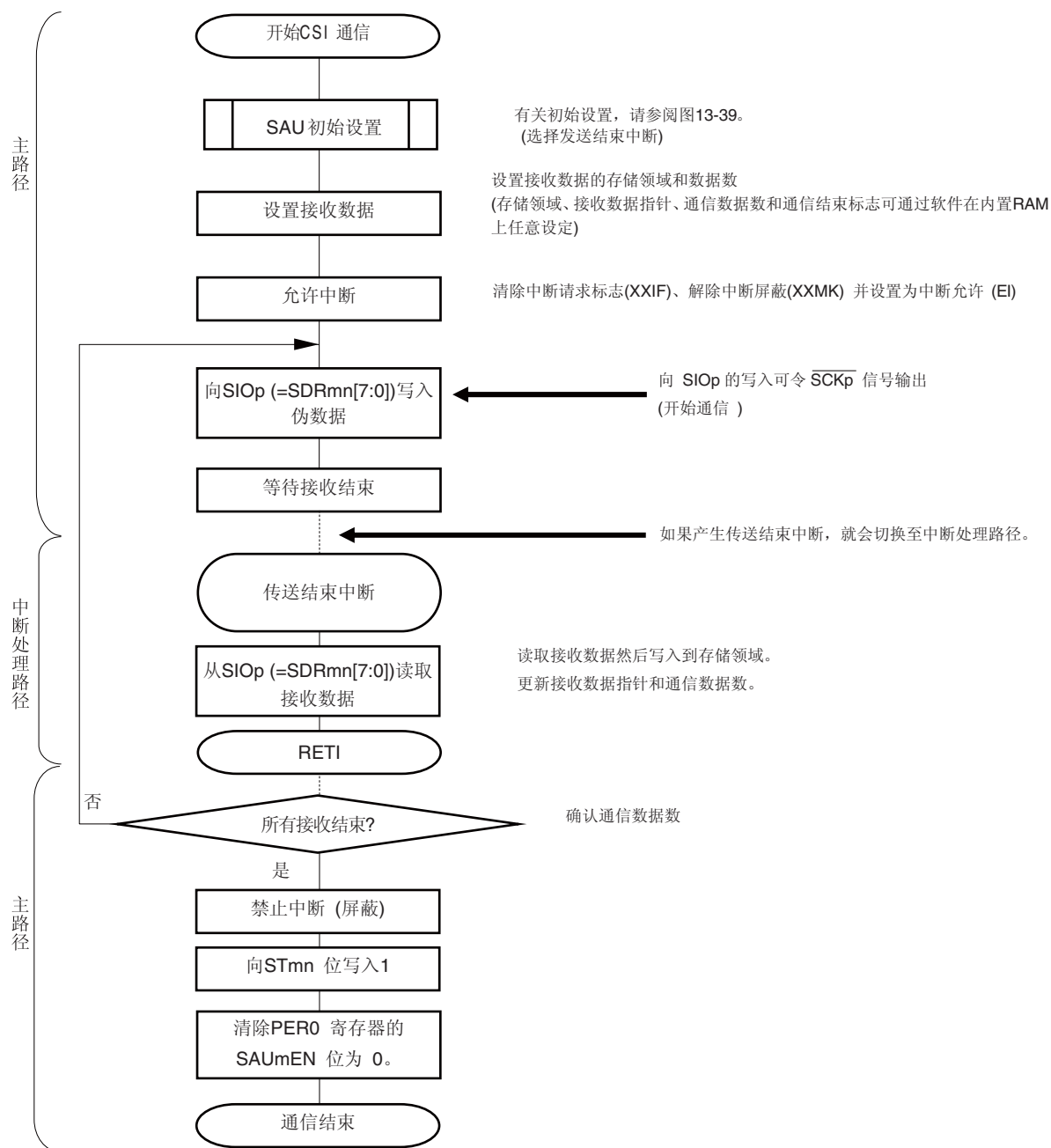
(3) 处理流程（单接收模式时）

图 13 - 42 主接收（单接收模式时）的时序图
（类型 1: DAPmn = 0、CKPmn = 0）



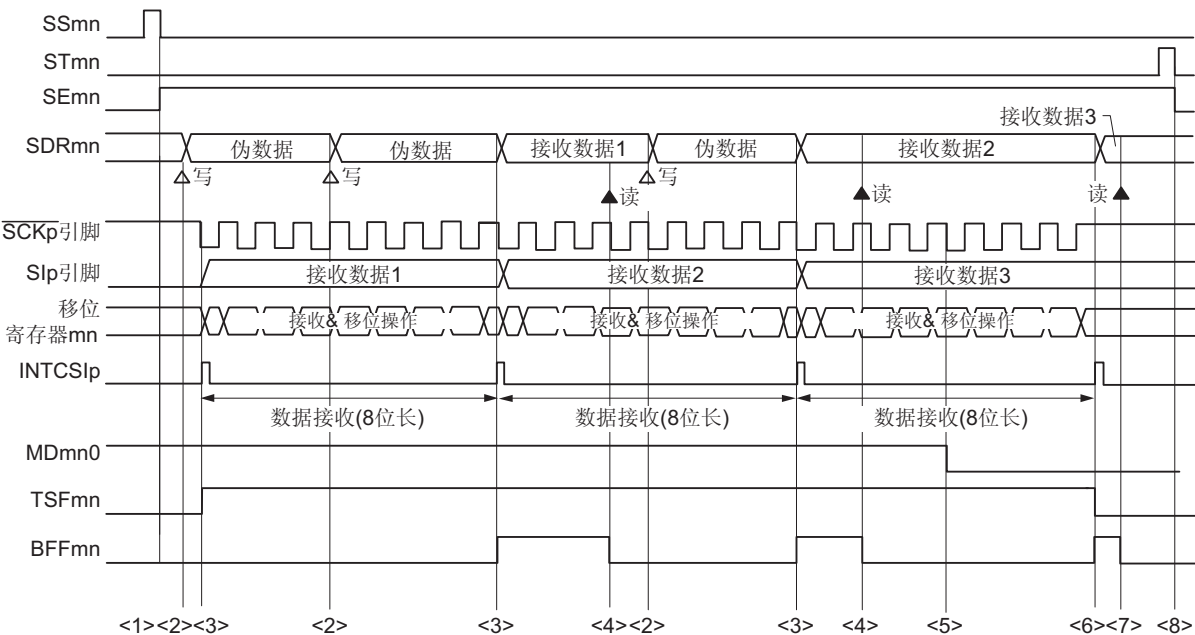
备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00)
mn = 00 至 03

图 13 - 43 主接收（单接收模式时）的流程图



(4) 处理流程（连续接收模式时）

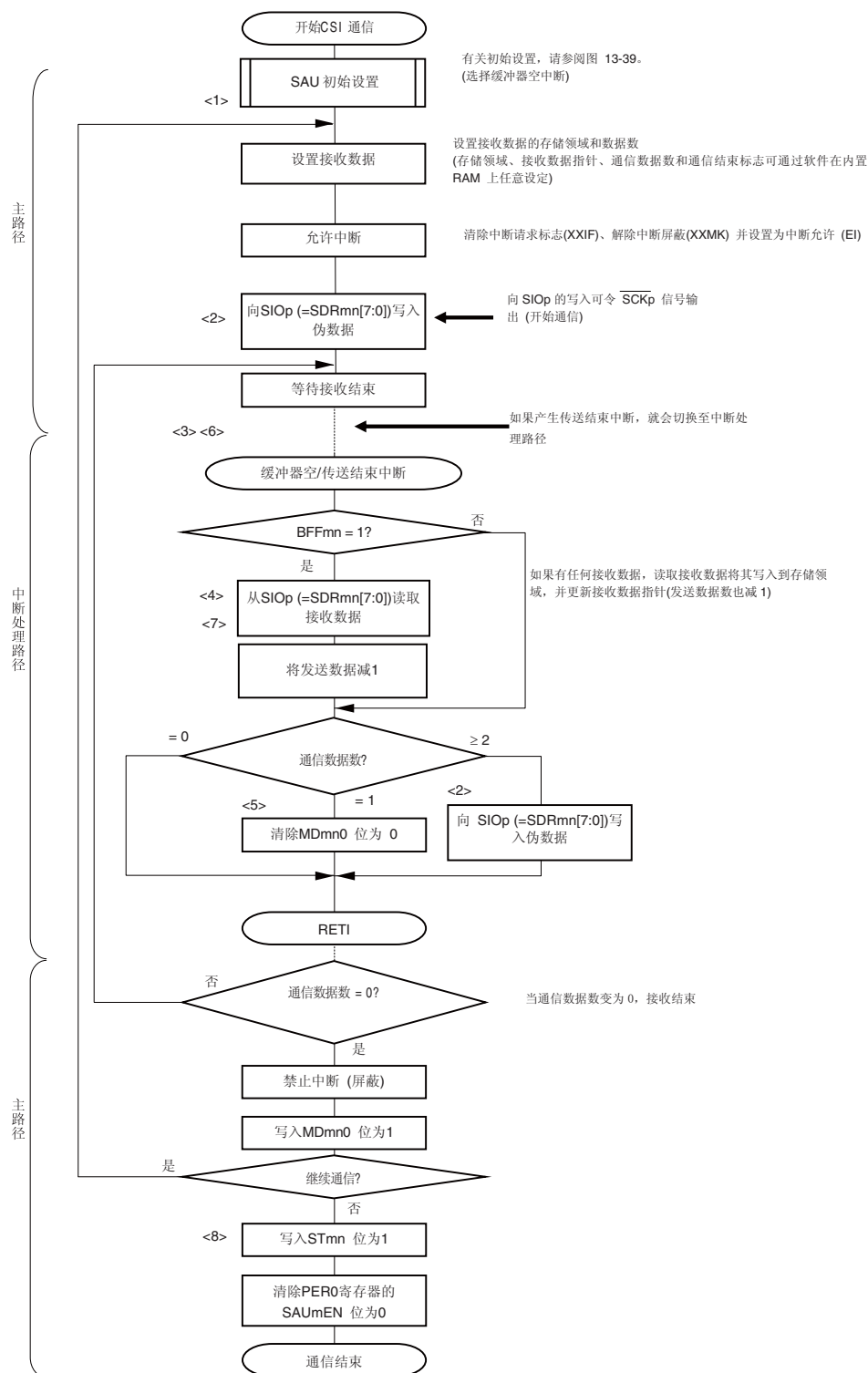
图 13 - 44 主接收（连续接收模式时）的时序图
（类型 1: DAPmn = 0、CKPmn = 0）



注意事项 即使在操作过程中也可改写 **MDmn0** 位。
但是必须在开始接收最后一位之前改写，以便在最后接收数据的传送结束中断之前完成改写。

- 备注 1. 图中的 <1> 至 <8> 对应图 13 - 45 主接收（连续接收模式时）的流程图中的 <1> 至 <8>。
备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00)
mn = 00 至 03

图 13 - 45 主接收（连续接收模式时）的流程图



备注 图中的<1>至<8>对应图 13 - 44 主接收（连续接收模式时）的时序图（类型 1: DAPmn = 0、CKPmn = 0）中的<1>至<8>。

13.5.3 主发送/接收

主发送/接收指μPD79F7027, μPD79F7028输出传送时钟，并将数据发送至其他器件或从其他器件接收数据。

| | |
|-----------|---|
| 3线串行输入/输出 | CSI00 |
| 目标通道 | SAU0的通道0 |
| 使用引脚 | SCK00、SI00、SO00 |
| 中断 | INTCSI00 可选择传送结束中断（单发送模式时）或缓冲器空中断（连续发送模式时）。 |
| 错误检测标志 | 仅限溢出错误检测标志(OVFmn) |
| 传送数据长度 | 7或8位 |
| 传送速率 | 最大fmck2 [Hz] (CSI00) 最小fclk/(2 × 2 ¹⁵ × 128) [Hz] 注 fclk: 系统时钟频率 |
| 数据相位 | 可通过SCRmn寄存器的DAPmn位选择 <ul style="list-style-type: none">• DAPmn = 0: 从开始串行时钟操作时开始数据输入/输出。• DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输入/输出。 |
| 时钟相位 | 可通过SCRmn寄存器的CKPmn位选择 <ul style="list-style-type: none">• CKPmn = 0: 正相• CKPmn = 1: 反相 |
| 数据方向 | MSB或LSB优先 |

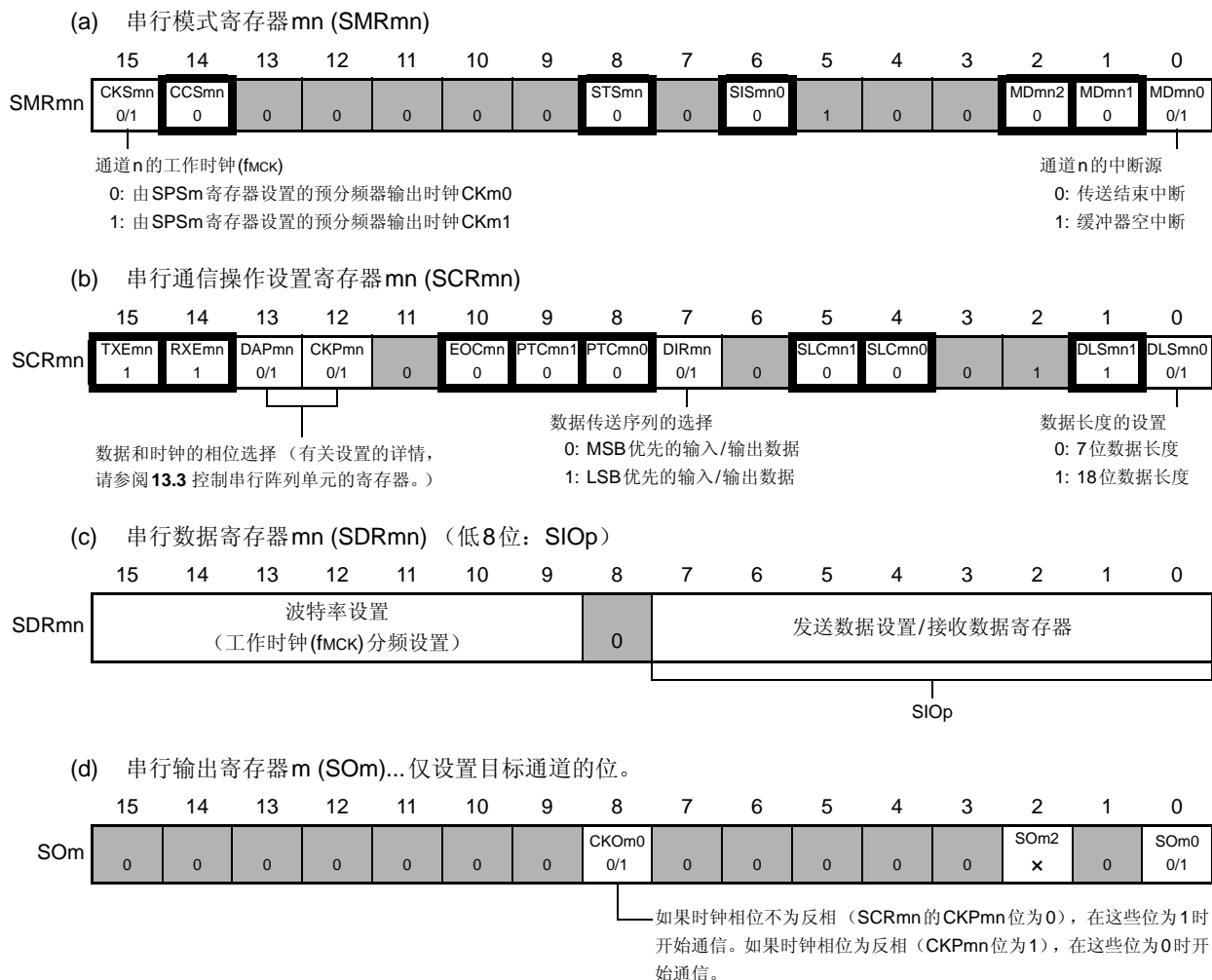
注 在满足以上条件及电特性中的AC特性（参阅第 27 章 电特性）的范围内使用此操作。

备注 m: 单元编号 (m = 0)， n: 通道编号（n = 0至3）， mn = 00至03

(1) 寄存器设置

图 13 - 46 3线串行输入/输出(CSI00)的主发送/接收时的寄存器设置

内容示例(1/2)



备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00)
 mn = 00 至 03

备注 2. ■: 设置固定于 CSI 主发送/接收模式,
■: 禁止设置 (设置为初始值)
 x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
 0/1: 可根据用户的用途设为 0 或 1

图 13 - 47 3线串行输入/输出(CSI00)的主发送/接收时的寄存器设置
内容示例(2/2)


(e) 串行输出允许寄存器m (SOEm)... 仅将目标通道的位设置为 1。

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|------------|---|--------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm2 x | 0 | SOEm0 0/1 |

(f) 串行通道开始寄存器m (SSm)... 仅将目标通道的位设置为 1。

| | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|-----------|-----------|-----------|-------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 x | SSm2 x | SSm1 x | SSm0 0/1 |

备注 1. m: 单元编号(m = 0), n: 通道编号 (n = 0至3), p: CSI编号(p = 00)
mn = 00至03

备注 2. : 禁止设置 (设置为初始值)
x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
0/1: 可根据用户的用途设为0或1

(2) 操作步骤

图 13 - 48 主发送/接收的初始设置步骤

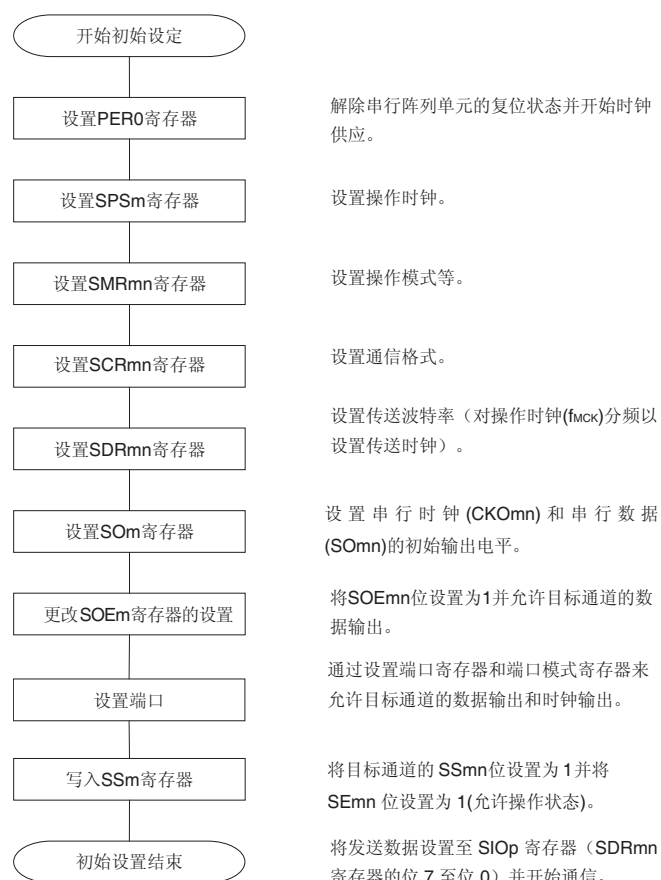


图 13 - 49 停止主发送/接收的步骤

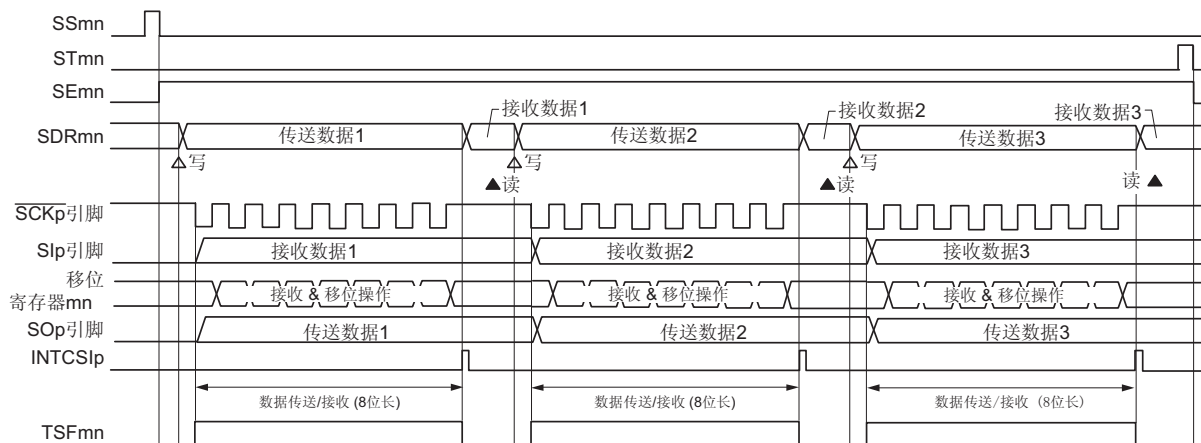


图 13 - 50 恢复主发送/接收的步骤



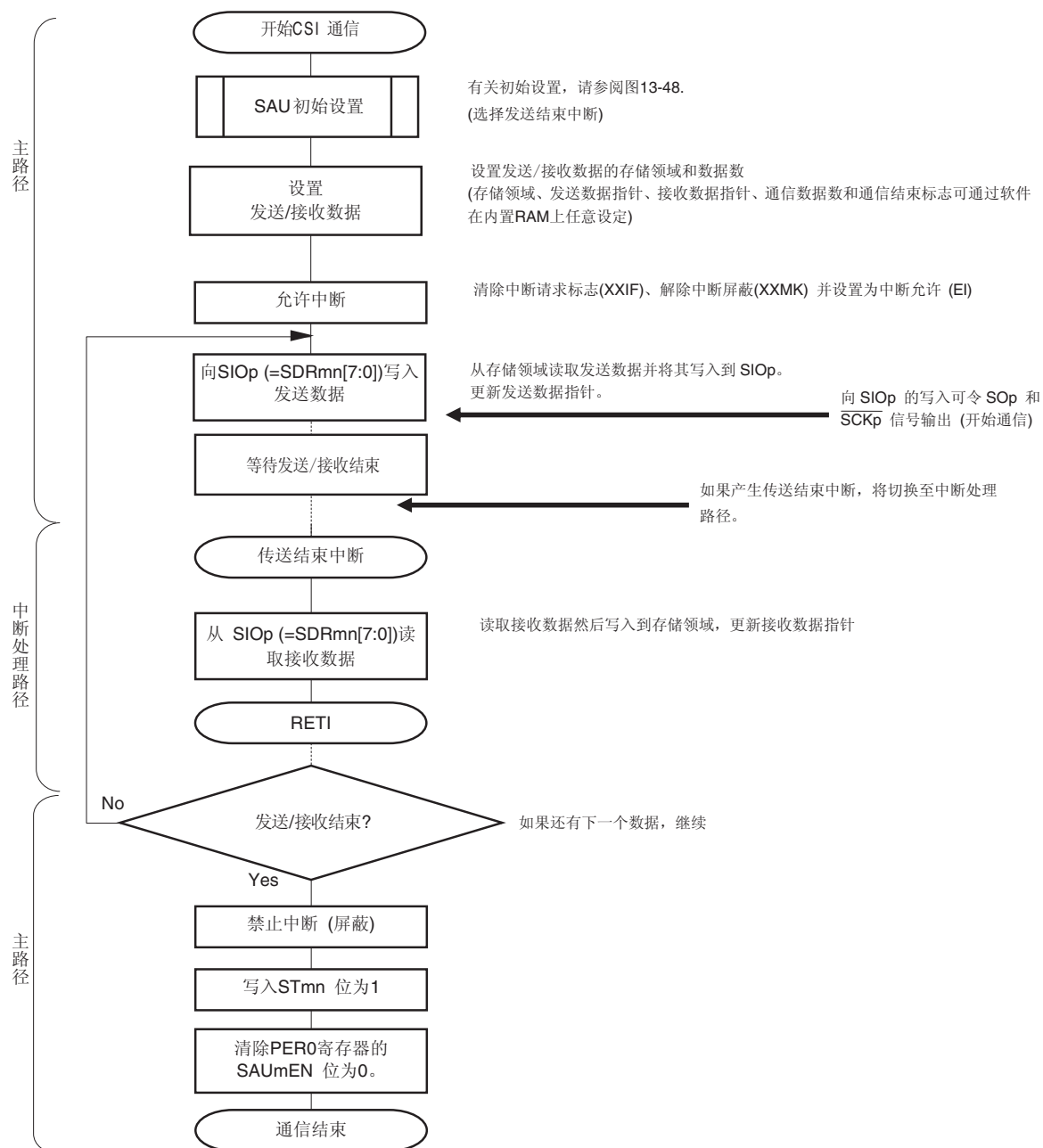
(3) 处理流程（单发送/接收模式时）

图 13 - 51 主发送/接收（单发送/接收模式时）的时序图
（类型 1: DAPmn = 0、CKPmn = 0）



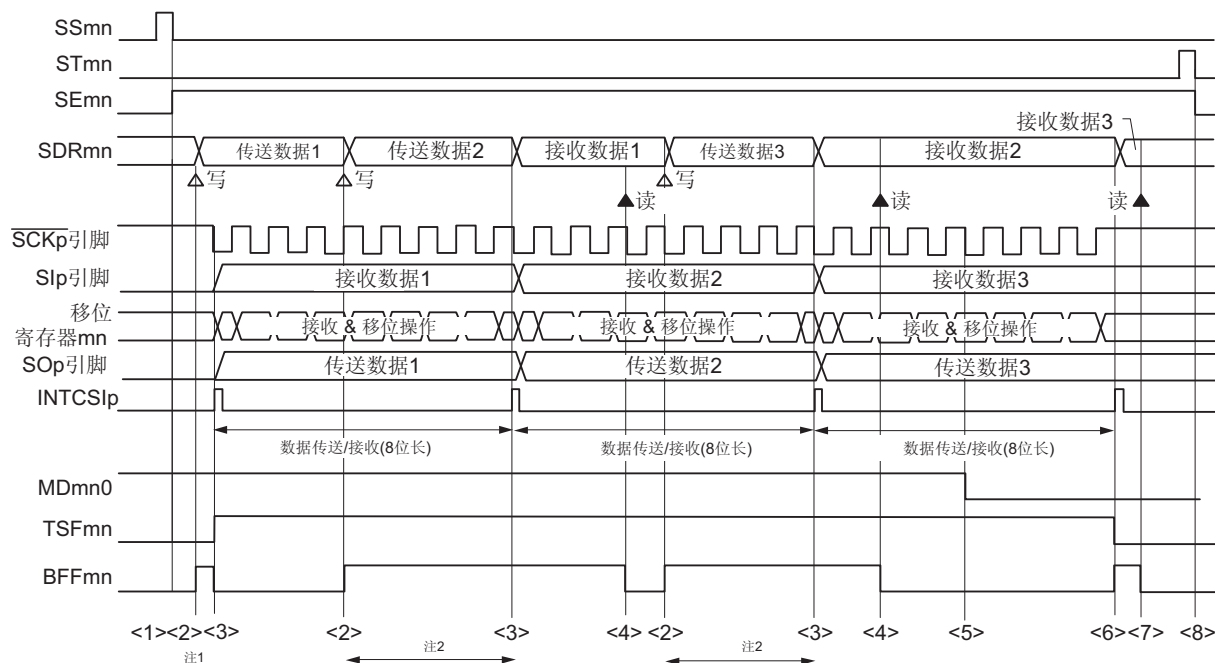
备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00)
mn = 00 至 03

图 13 - 52 主发送/接收（单发送/接收模式时）的流程图



(4) 处理流程（连续发送/接收模式时）

图 13 - 53 主发送/接收（连续发送/接收模式时）的时序图
（类型 1: DAPmn = 0、CKPmn = 0）



注 1. 如果在串行状态寄存器mn (SSRmn)的BFFmn位为1时将发送数据写入SDRmn寄存器（将有效数据存储于串行数据寄存器mn (SDRmn)中），则发送数据将被重写。

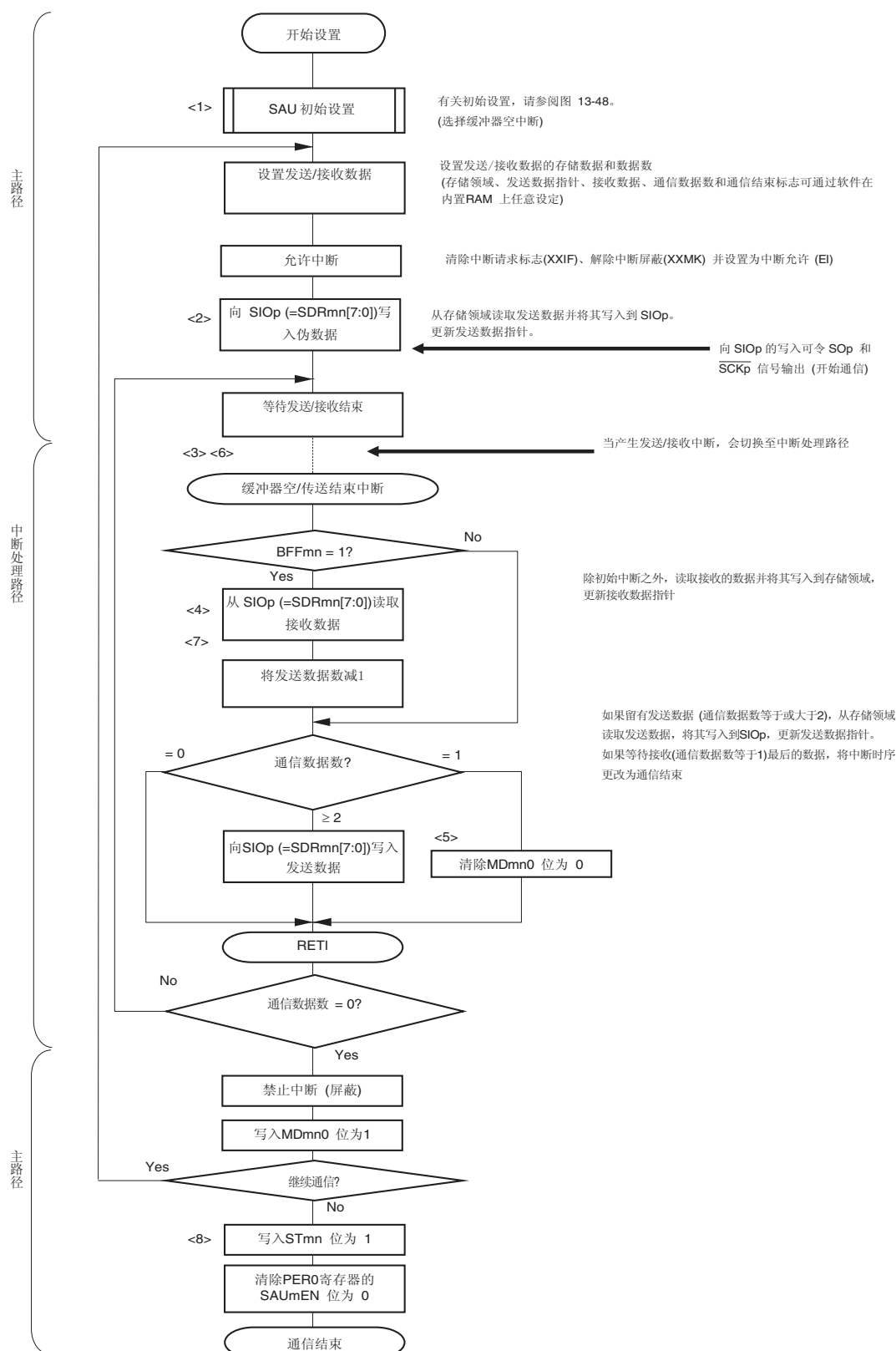
注 2. 在此过程中可以通过读取SDRmn寄存器来读取发送数据。此时，传送操作不受影响。

注意事项 即使在操作过程中，也可改写串行模式寄存器mn (SMRmn)的MDmn0位。
但是必须在开始传送最后一位之前改写，以便在最后发送数据的传送结束中断之前完成改写。

备注 1. 图中的<1>至<8>对应图 13 - 54 主发送/接收（连续发送/接收模式时）的流程图中的<1>至<8>。

备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00)
mn = 00 至 03

图 13 - 54 主发送/接收（连续发送/接收模式时）的流程图



备注 图中的<1>至<8>对应图 13 - 53 主发送/接收（连续发送/接收模式时）的时序图（类型1：DAPmn = 0、CKPmn = 0）中的<1>至<8>。

13.5.4 从发送

从发送是指，当接收来自另一个器件的传送时钟输入时，μPD79F7027, μPD79F7028 将数据发送至其他器件。

| 3线串行输入/输出 | CSI00 |
|-----------|---|
| 目标通道 | SAU0 的通道0 |
| 使用引脚 | SCK00、SO00 |
| 中断 | INTCSI00 可选择传送结束中断（单发送模式时）或缓冲器空中断（连续发送模式时）。 |
| 错误检测标志 | 仅限溢出错误检测标志(OVFmn) |
| 传送数据长度 | 7 或 8 位 |
| 传送速率 | 最大 $f_{MCK}/6$ [Hz] 注1、2。 |
| 数据相位 | 可通过 SCRmn 寄存器的 DAPmn 位选择 <ul style="list-style-type: none"> • DAPmn = 0: 从开始串行时钟操作时开始数据输出。 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输出。 |
| 时钟相位 | 可通过 SCRmn 寄存器的 CKPmn 位选择 <ul style="list-style-type: none"> • CKPmn = 0: 正相 • CKPmn = 1: 反相 |
| 数据方向 | MSB 或 LSB 优先 |

注1. 输入至 SCK00 引脚的外部串行时钟是在内部通过采样使用，因此最大传送速率为 $f_{MCK}/6$ [Hz]。设置 SPSm 寄存器时，要使此外接时钟最少在由 SDRmn 寄存器设置的 $f_{SCK}/2$ 以上。

注2. 在满足以上条件及电特性中的 AC 特性（参阅第 27 章 电特性）的范围内使用此操作。

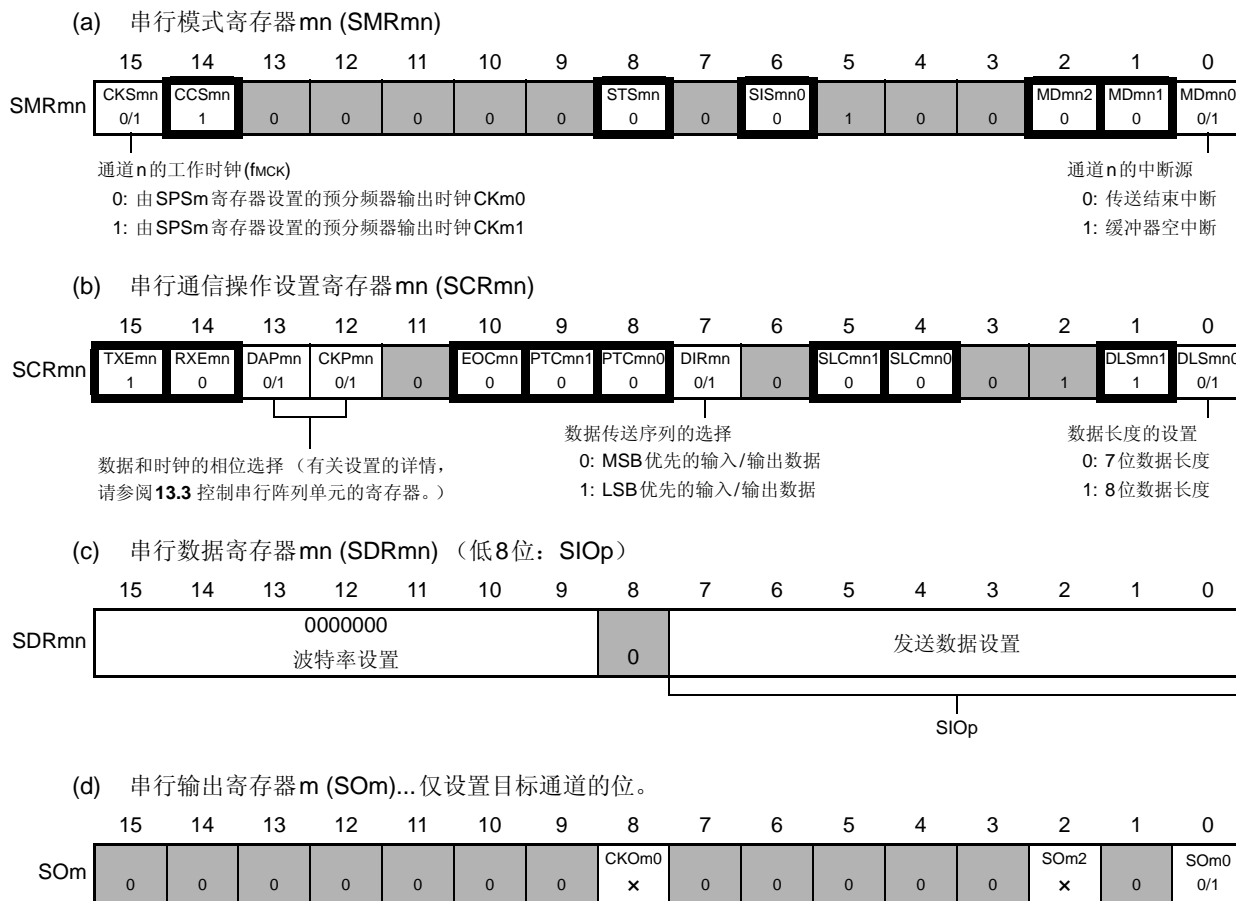
备注 1. f_{MCK} : 目标通道的工作时钟频率

备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), mn = 00 至 03

(1) 寄存器设置

图 13 - 55 3 线串行输入/输出(CSI00)的从发送时的寄存器设置

内容示例(1/2)



- 备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00)
 mn = 00 至 03
- 备注 2. : 设置固定于 CSI 从发送模式,
: 禁止设置 (设置为初始值)
 x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
 0/1: 可根据用户的用途设为 0 或 1

图 13 - 56 3线串行输入/输出(CSI00)的从发送时的寄存器设置
内容示例(2/2)

(e) 串行输出允许寄存器m (SOEm)... 仅将目标通道的位设置为 1。

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|------------|---|--------------|
| SOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm2 x | 0 | SOEm0 0/1 |

(f) 串行通道开始寄存器m (SSm)... 仅将目标通道的位设置为 1。

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|-----------|-----------|-----------|-------------|
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 x | SSm2 x | SSm1 x | SSm0 0/1 |

备注 1. m: 单元编号(m = 0), n: 通道编号 (n = 0至3), p: CSI编号(p = 00)
mn = 00至03

备注 2. : 禁止设置 (设置为初始值)
x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
0/1: 可根据用户的用途设为0或1

(2) 操作步骤

图 13 - 57 从发送的初始设置步骤

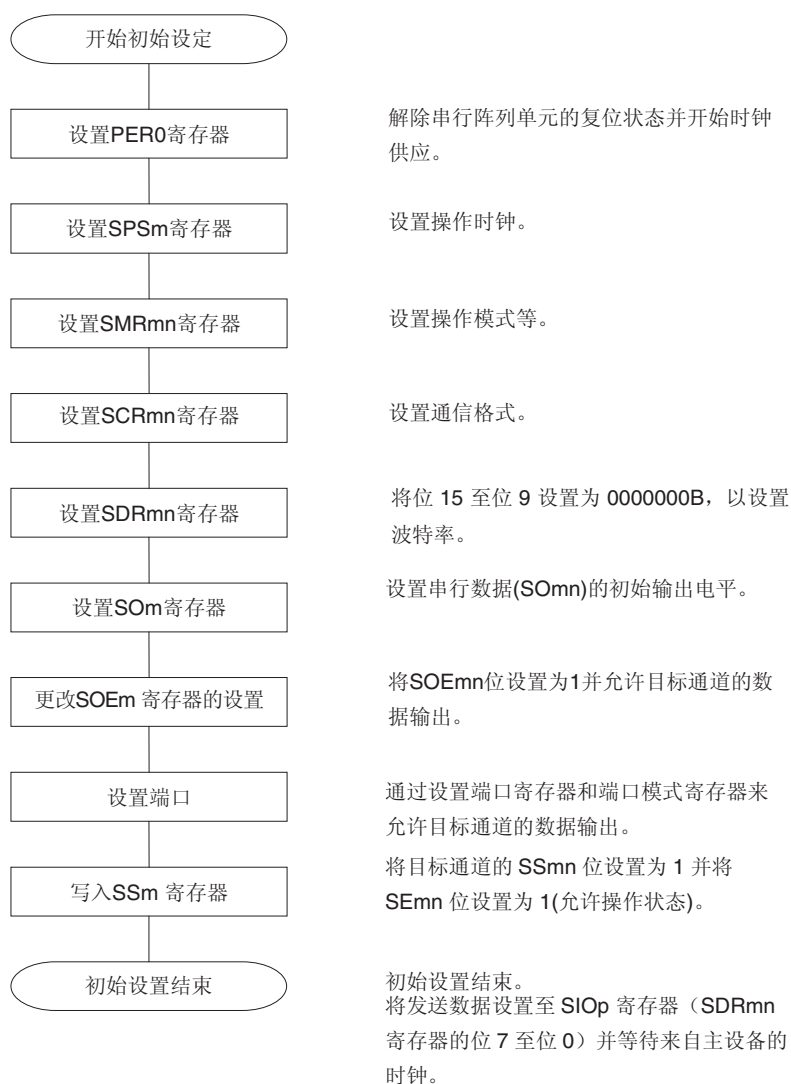
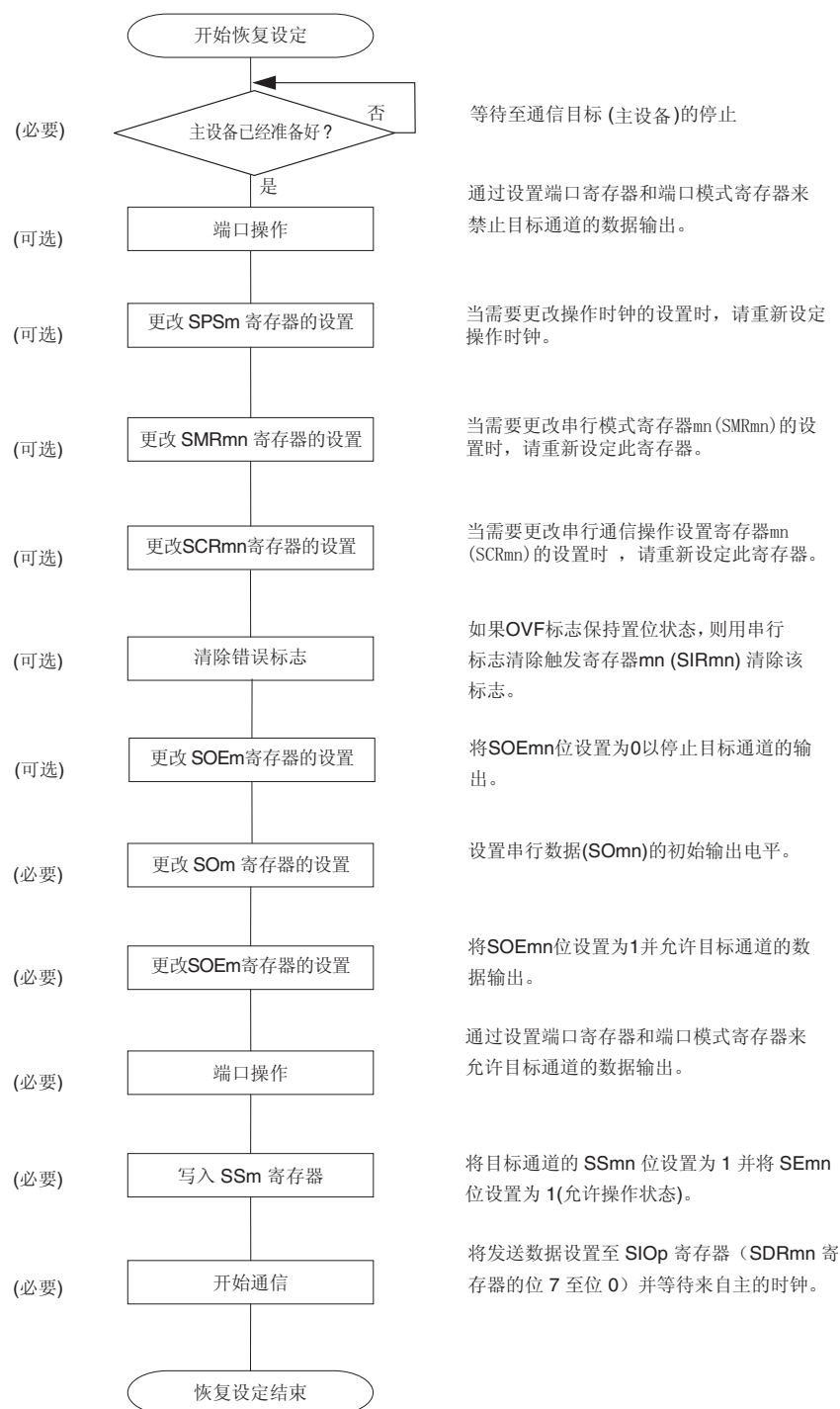


图 13 - 58 停止从发送的步骤



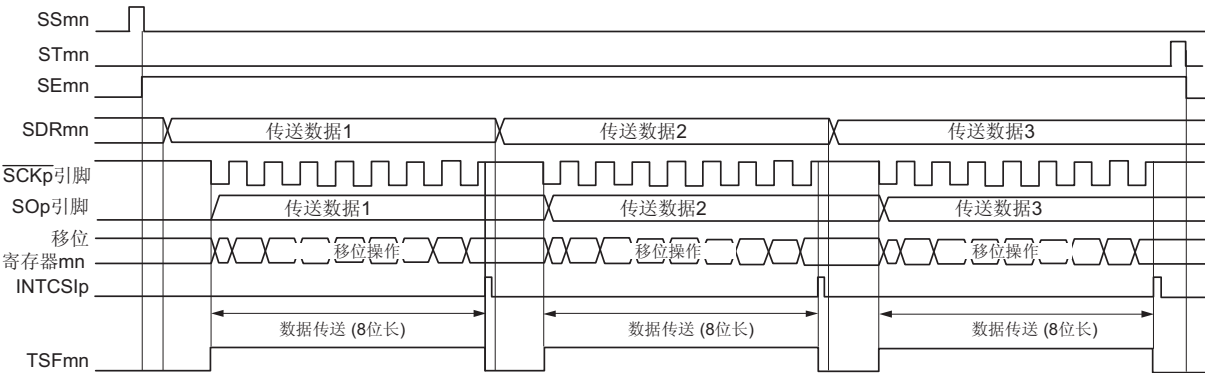
图 13 - 59 恢复从发送的步骤



备注 中断主发送时如果 PER0 被改写, 且停止了时钟供给时, 请等待至发送目标 (主设备) 停止或发送结束, 然后执行初始设置, 而不是重传设置。

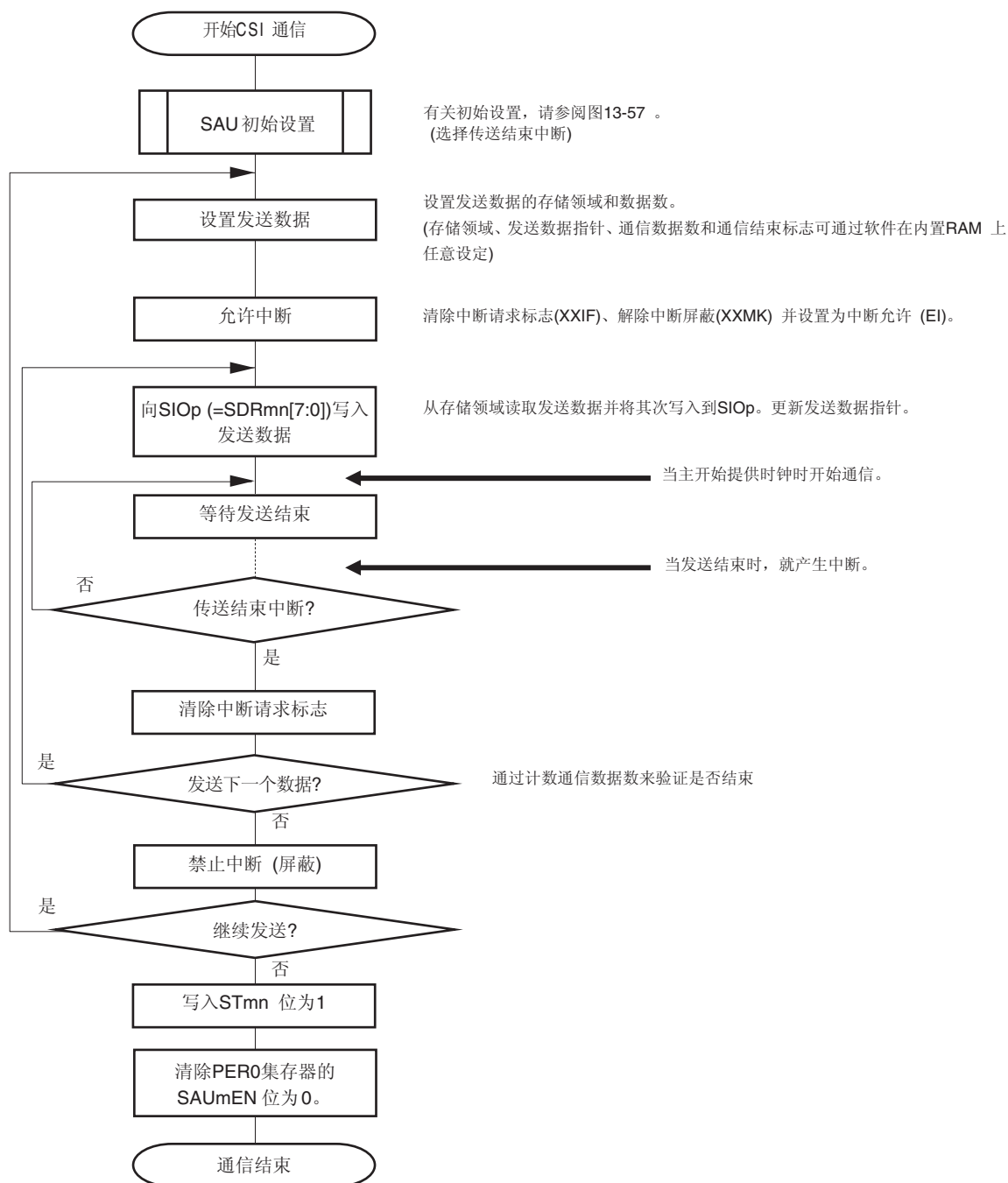
(3) 处理流程（单发送模式时）

图 13 - 60 从发送（单发送模式时）的时序图
（类型 1: DAPmn = 0、CKPmn = 0）



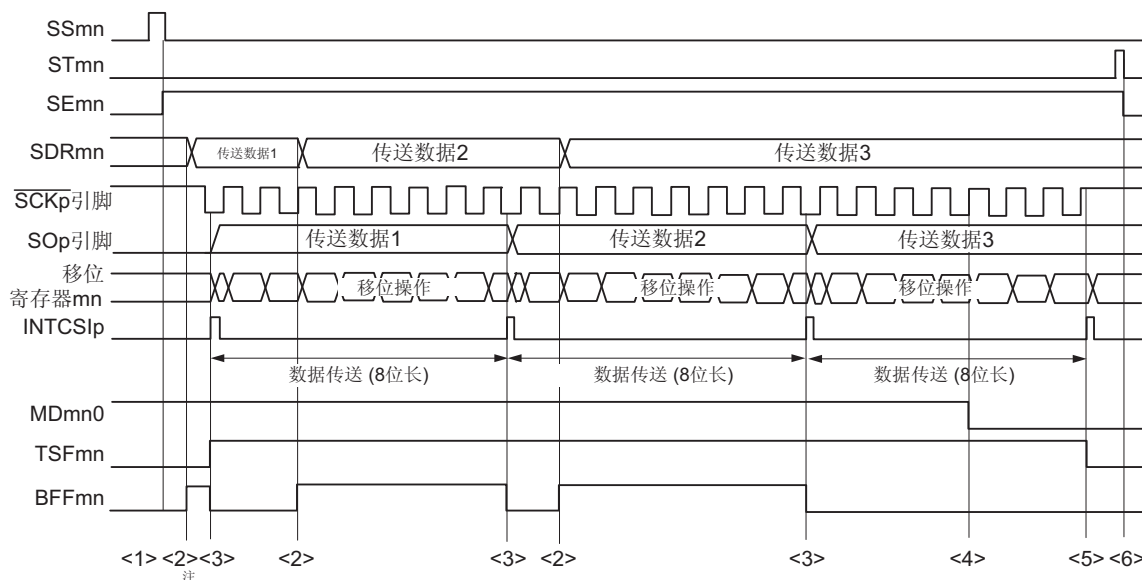
备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00)
 mn = 00 至 03

图 13 - 61 从发送（单发送模式时）的流程图



(4) 处理流程（连续发送模式时）

图 13 - 62 从发送（连续发送模式时）的时序图
（类型 1: **DAPmn = 0**、**CKPmn = 0**）

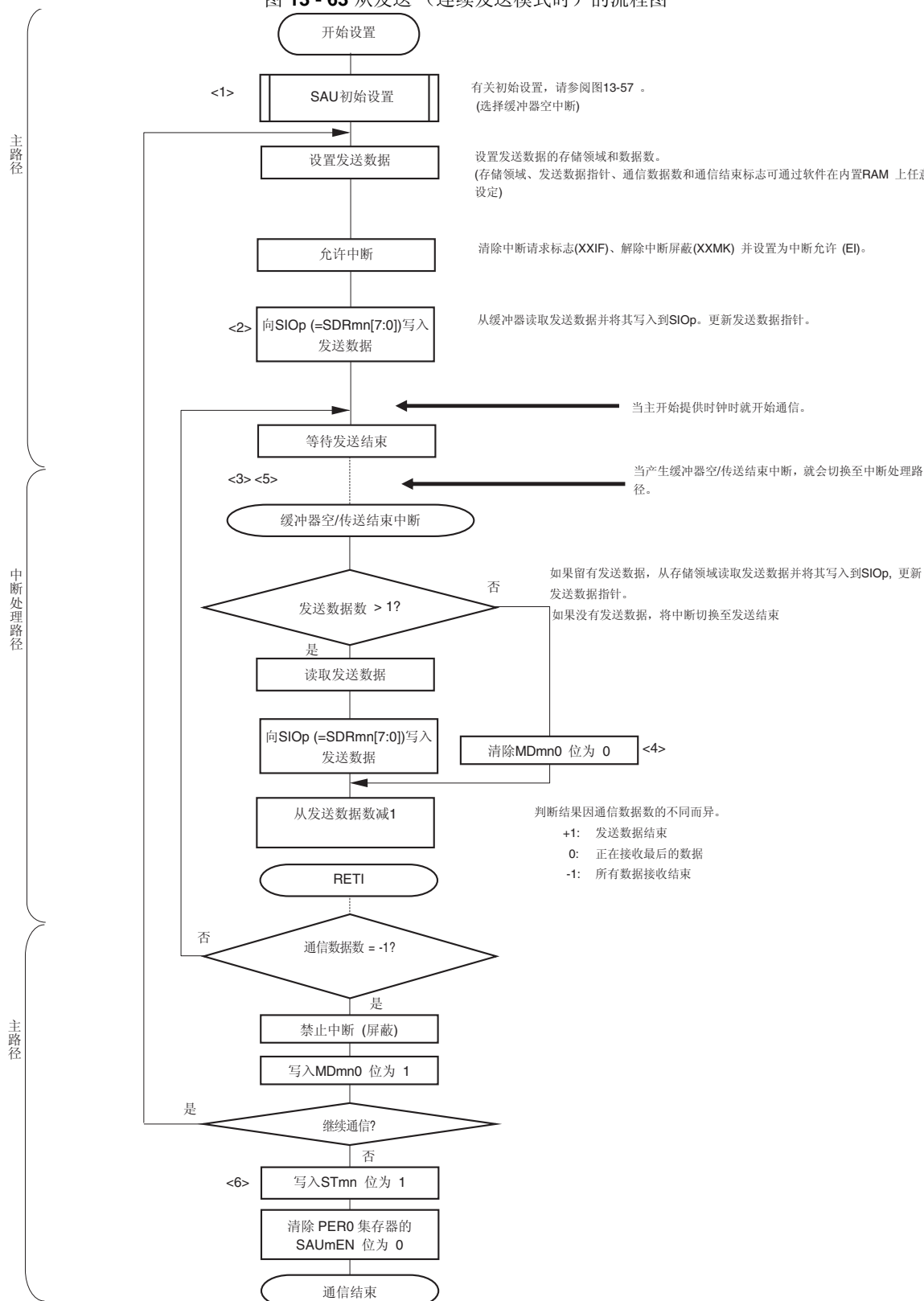


注 如果在串行状态寄存器mn (SSRmn)的BFFmn位为1时将发送数据写入SDRmn寄存器（将有效数据存储于串行数据寄存器mn (SDRmn)中），则发送数据将被重写。

注意事项 即使在操作过程中，也可改写串行模式寄存器mn (SMRmn)的MDmn0位。但是，要在开始传送最后一位之前改写。

备注 m: 单元编号(m = 0)， n: 通道编号 (n = 0至3)， p: CSI编号(p = 00)
mn = 00至03

图 13 - 63 从发送（连续发送模式时）的流程图



备注 图中的<1>至<6>对应图 13 - 62 从发送（连续发送模式时）的时序图（类型1: DAPmn = 0、CKPmn = 0）中的<1>至<6>。

13.5.5 从接收

从接收是指，当接收来自另一个器件的传送时钟输入时，μPD79F7027, μPD79F7028 从其他器件接收数据。

| 3线串行输入/输出 | CSI00 |
|-----------|---|
| 目标通道 | SAU0 的通道0 |
| 使用引脚 | SCK00、SI00 |
| 中断 | INTCSI00 仅限传送结束中断（禁止设置缓冲器空中断） |
| 错误检测标志 | 仅限溢出错误检测标志 (OVFmn) |
| 传送数据长度 | 7 或 8 位 |
| 传送速率 | 最大 $f_{MCK}/6$ [Hz] 注1、2 |
| 数据相位 | 可通过 SCRmn 寄存器的 DAPmn 位选择 <ul style="list-style-type: none"> • DAPmn = 0: 从开始串行时钟操作时开始数据输入。 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输入。 |
| 时钟相位 | 可通过 SCRmn 寄存器的 CKPmn 位选择 <ul style="list-style-type: none"> • CKPmn = 0: 正相 • CKPmn = 1: 反相 |
| 数据方向 | MSB 或 LSB 优先 |

注 1. 输入至 SCK00 引脚的外部串行时钟是在内部通过采样使用，因此最大传送速率为 $f_{MCK}/6$ [Hz]。设置 SPSm 寄存器时，要使此外接时钟最少在由 SDRmn 寄存器设置的 $f_{SCK}/2$ 以上。

注 2. 在满足以上条件及电特性中的 AC 特性（参阅第 27 章 电特性）的范围内使用此操作。

备注 1. f_{MCK} : 目标通道的工作时钟频率

备注 2. m: 单元编号 ($m = 0$)，n: 通道编号 ($n = 0$ 至 3)，mn = 00 至 03

(1) 寄存器设置

图 13 - 64 3 线串行输入/输出(CSI00)的从接收时的寄存器设置
内容示例(1/2)

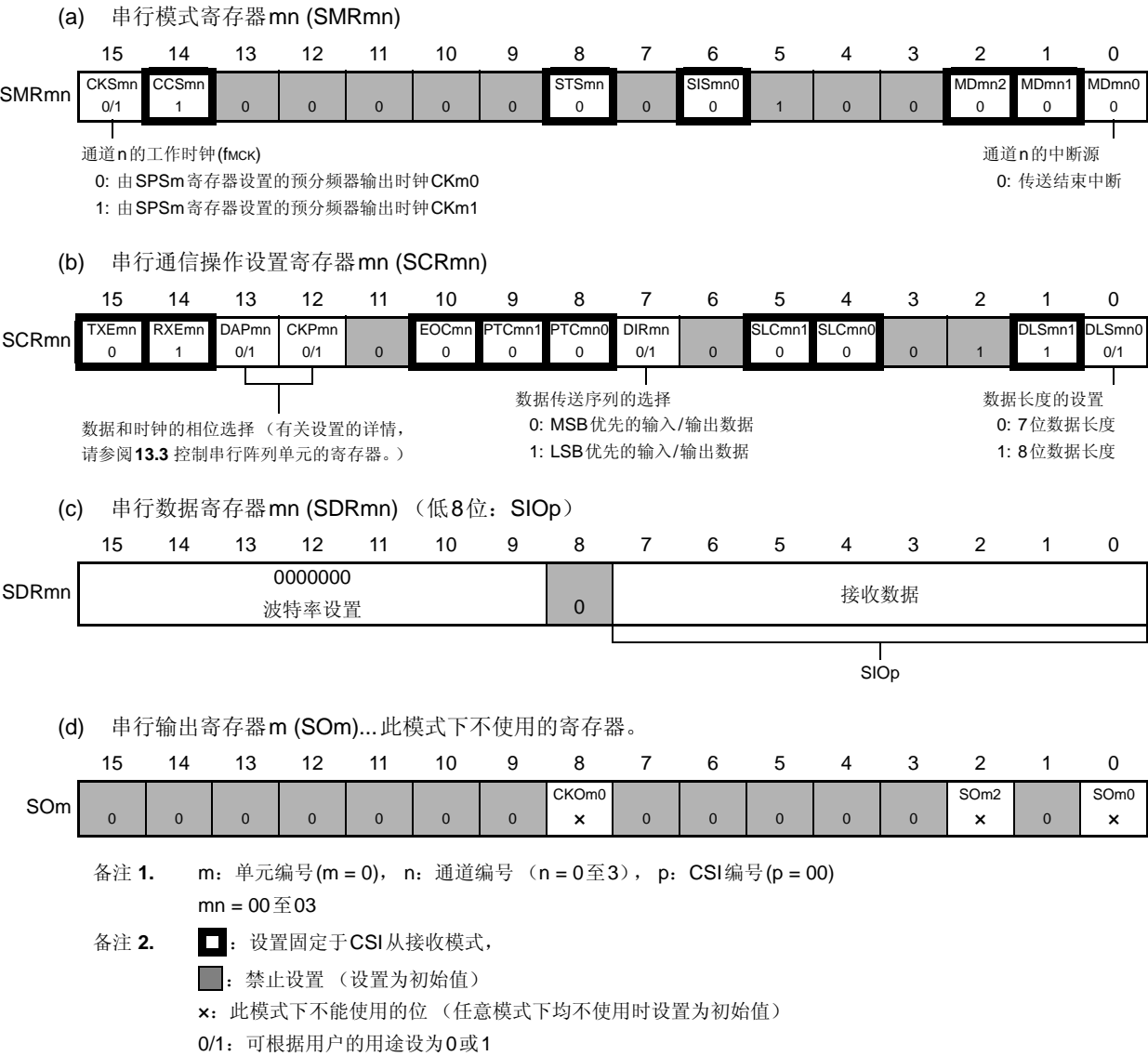


图 13 - 65 3线串行输入/输出 (CSI00) 的从接收时的寄存器设置内容示例 (2/2)

(e) 串行输出允许寄存器 m (SOEm)...此模式下不使用的寄存器。

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|------------|---|------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm2 × | 0 | SOEm0 × |

(f) 串行通道开始寄存器 m (SSm)... 仅将目标通道的位设置为 1。

| | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|-----------|-----------|-----------|-------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 × | SSm2 × | SSm1 × | SSm0 0/1 |

备注 1. m: 单元编号(m = 0)， n: 通道编号 (n = 0至3)， p: CSI编号(p = 00)
 mn = 00至03

备注 2. ■: 禁止设置 (设置为初始值)
 ×: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
 0/1: 可根据用户的用途设为0或1

(2) 操作步骤

图 13 - 66 从接收的初始设置步骤

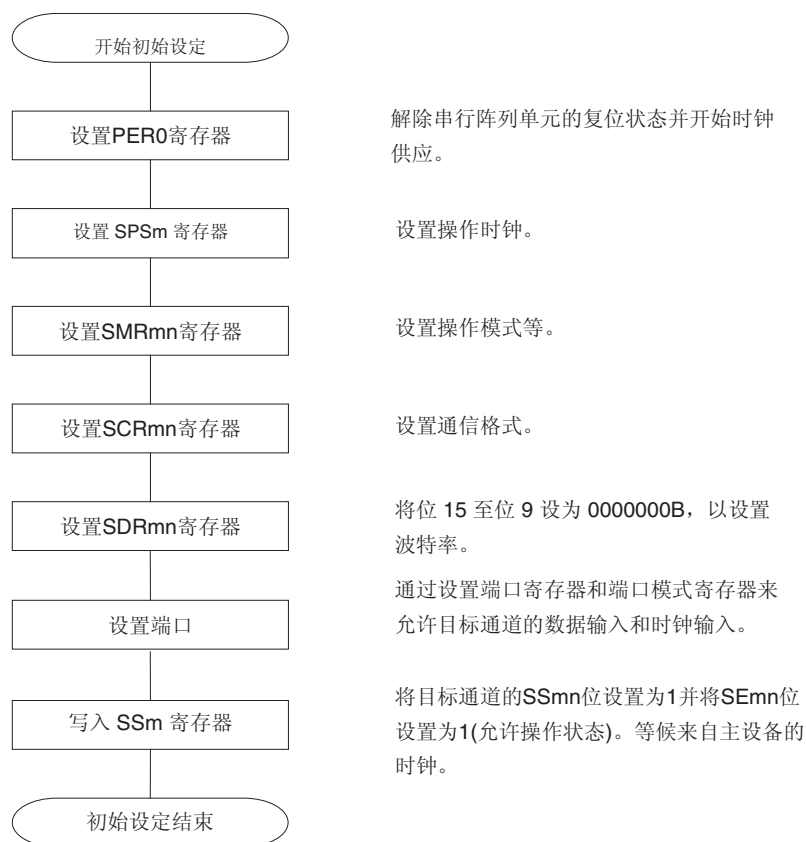


图 13 - 67 停止从接收的步骤

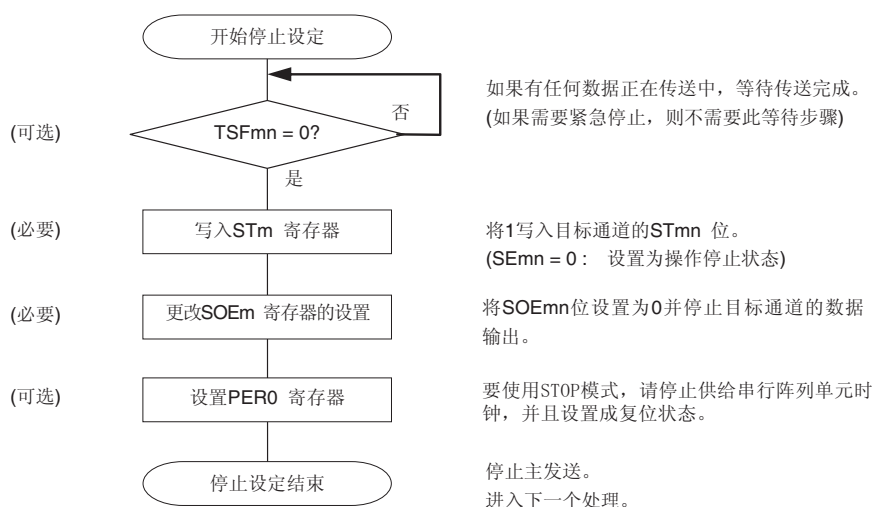
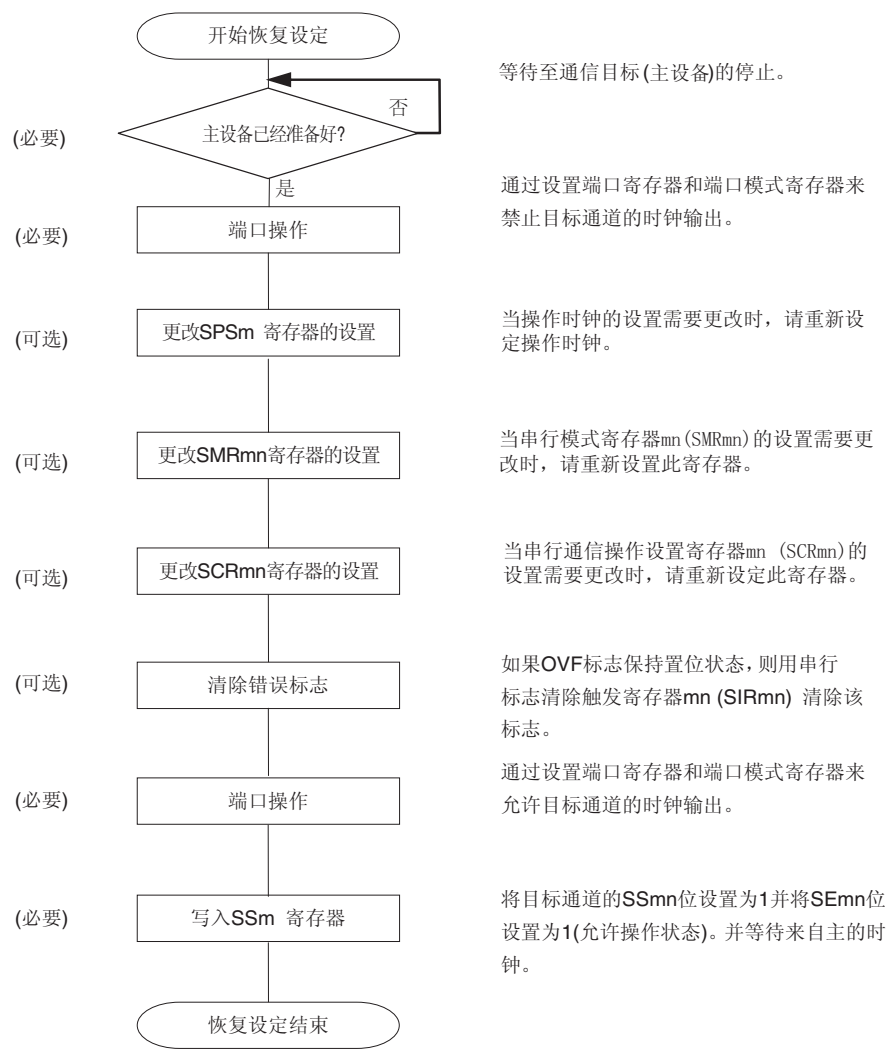


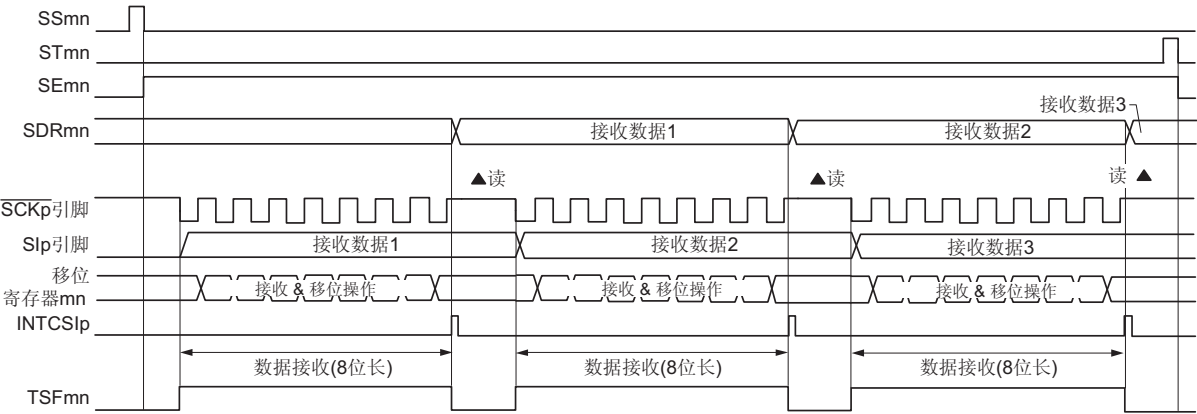
图 13 - 68 恢复从接收的步骤



备注 中断主发送时如果PER0被改写，且停止了时钟供给时，请等待至发送目标（主设备）停止或发送结束，然后执行初始设置，而不是重传设置。

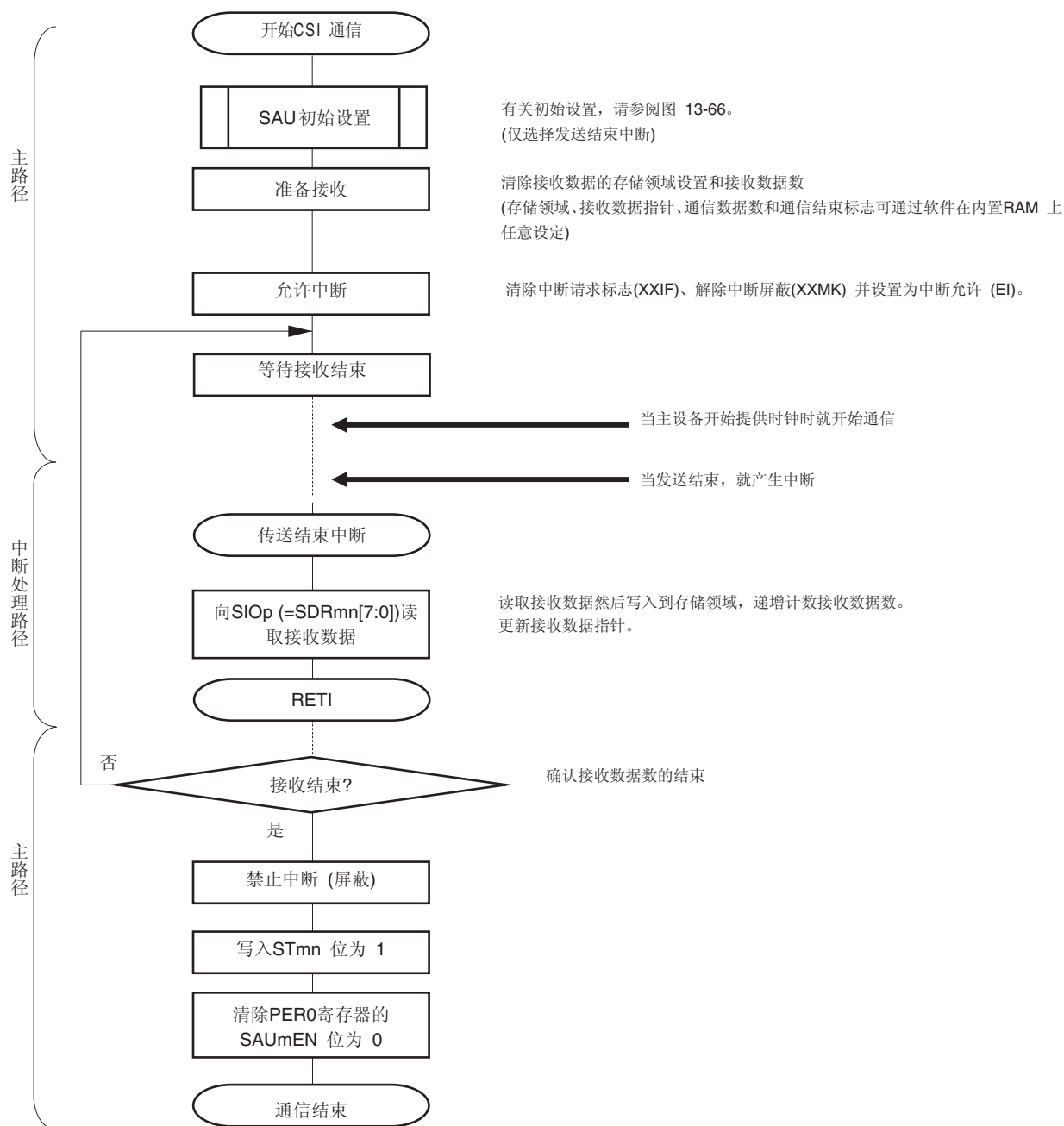
(3) 处理流程（单接收模式时）

图 13 - 69 从接收（单接收模式时）的时序图
（类型 1: DAPmn = 0、CKPmn = 0）



备注 m: 单元编号(m = 0), n: 通道编号 (n = 0至3), p: CSI编号(p = 00)
mn = 00至03

图 13 - 70 从接收（单接收模式时）的流程图



13.5.6 从发送/接收

从发送/接收是指，当接收来自另一个器件的传送时钟输入时，μPD79F7027, μPD79F7028 发送数据至其他器件或者从其他器件接收数据。

| 3线串行输入/输出 | CSI00 |
|-----------|---|
| 目标通道 | SAU0的通道0 |
| 使用引脚 | SCK00、SI00、SO00 |
| 中断 | INTCSI00 可选择传送结束中断（单发送模式时）或缓冲器空中断（连续发送模式时）。 |
| 错误检测标志 | 仅限溢出错误检测标志(OVFmn) |
| 传送数据长度 | 7或8位 |
| 传送速率 | 最大fmck/6 [Hz] 注1、2。 |
| 数据相位 | 可通过SCRmn寄存器的DAPmn位选择 <ul style="list-style-type: none"> • DAPmn = 0: 从开始串行时钟操作时开始数据输入/输出 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输入/输出。 |
| 时钟相位 | 可通过SCRmn寄存器的CKPmn位选择 <ul style="list-style-type: none"> • CKPmn = 0: 正相 • CKPmn = 1: 反相 |
| 数据方向 | MSB或LSB优先 |

注 1. 输入至SCK00引脚的外部串行时钟是在内部通过采样使用，因此最大传送速率为fmck/6 [Hz]。设置SPSm寄存器时，要使此外接时钟最少在由SDRmn寄存器设置的fsck/2以上。

注 2. 在满足以上条件及电特性中的AC特性（参阅第 27 章 电特性）的范围内使用此操作。

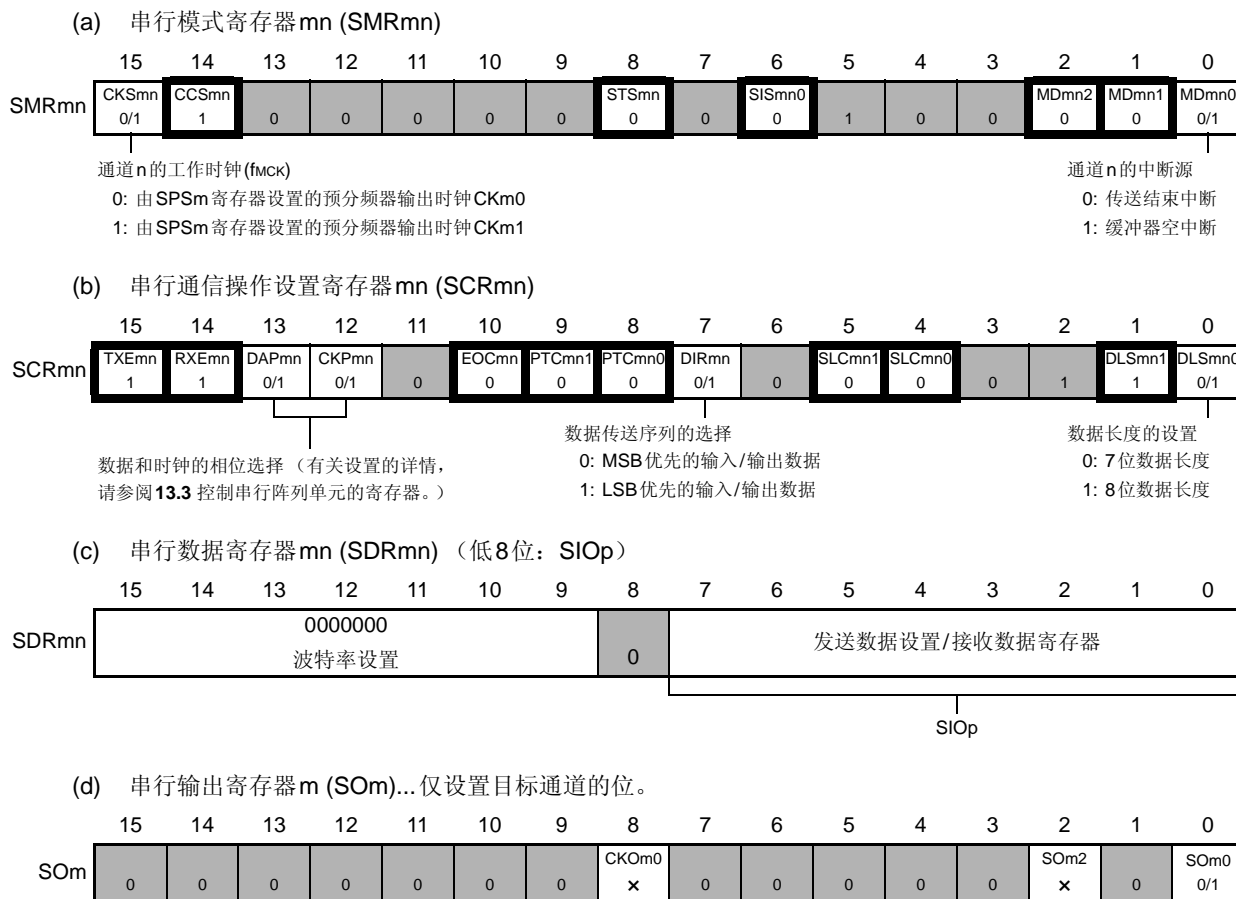
备注 1. fmck: 目标通道的工作时钟频率

备注 2. m: 单元编号(m = 0), n: 通道编号 (n = 0至3), mn = 00至03

(1) 寄存器设置

图 13 - 71 3线串行输入/输出(CSI00)的从发送/接收时的寄存器设置

内容示例(1/2)



注意事项 必须在主时钟启动之前, 把发送数据设置至 SIOp 寄存器。

备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00)
 mn = 00 至 03

备注 2. : 设置固定于 CSI 主发送/接收模式

 : 禁止设置 (设置为初始值)

x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)

0/1: 可根据用户的用途设为 0 或 1

图 13 - 72 3线串行输入/输出(CSI00)的从发送/接收时的寄存器设置
内容示例(2/2)


(e) 串行输出允许寄存器m (SOEm)... 仅将目标通道的位设置为 1。

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|------------|---|--------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm2 × | 0 | SOEm0 0/1 |

(f) 串行通道开始寄存器m (SSm)... 仅将目标通道的位设置为 1。

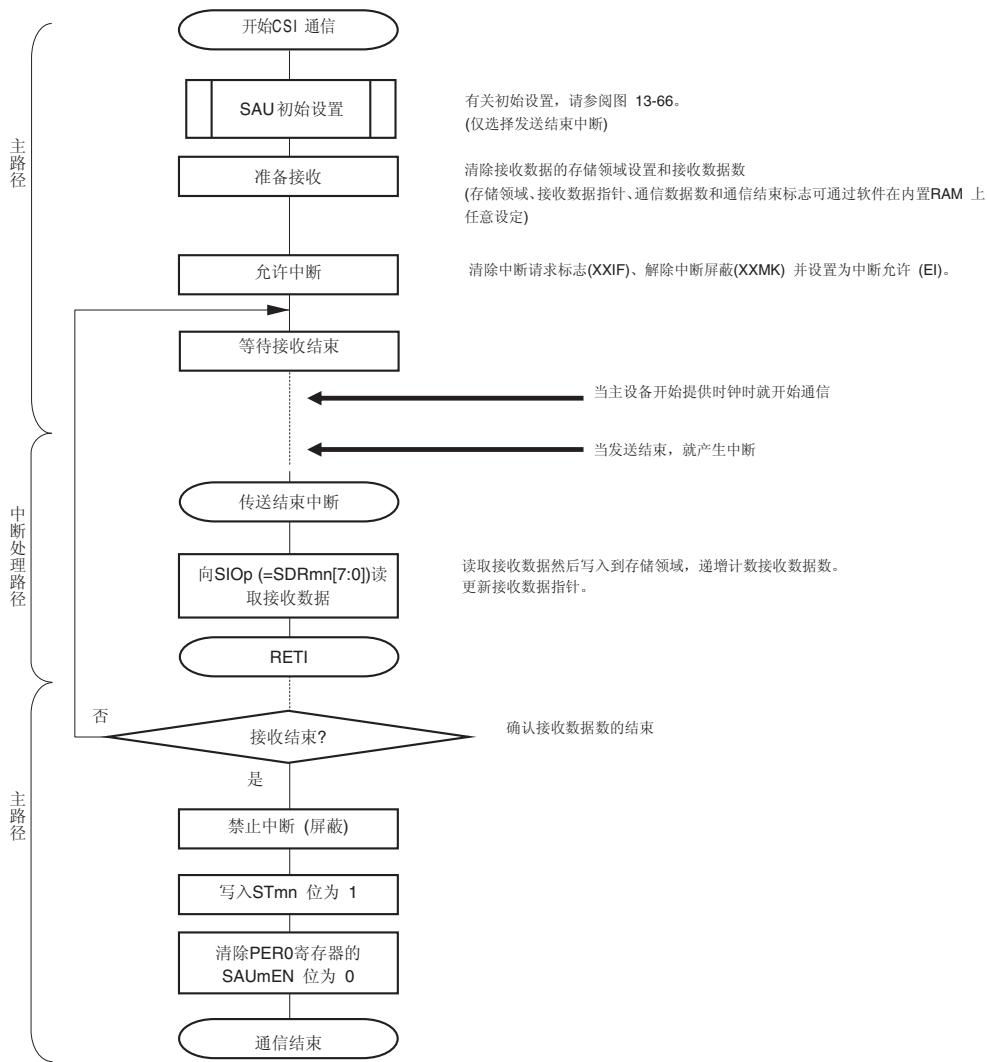
| | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|-----------|-----------|-----------|-------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 × | SSm2 × | SSm1 × | SSm0 0/1 |

备注 1. m: 单元编号(m = 0), n: 通道编号 (n = 0至3), p: CSI编号(p = 00)
mn = 00至03

备注 2. : 禁止设置 (设置为初始值)
0/1: 可根据用户的用途设为0或1

(2) 操作步骤

图 13 - 73 从发送/接收的初始设置步骤



注意事项 必须在主时钟启动之前，把发送数据设置至 **SIOp** 寄存器。

图 13 - 74 停止从发送/接收的步骤

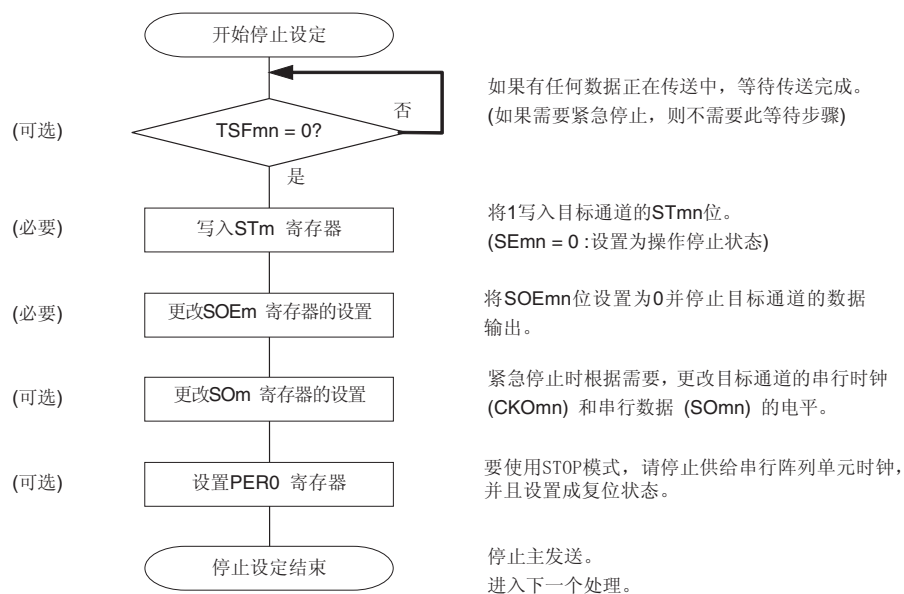
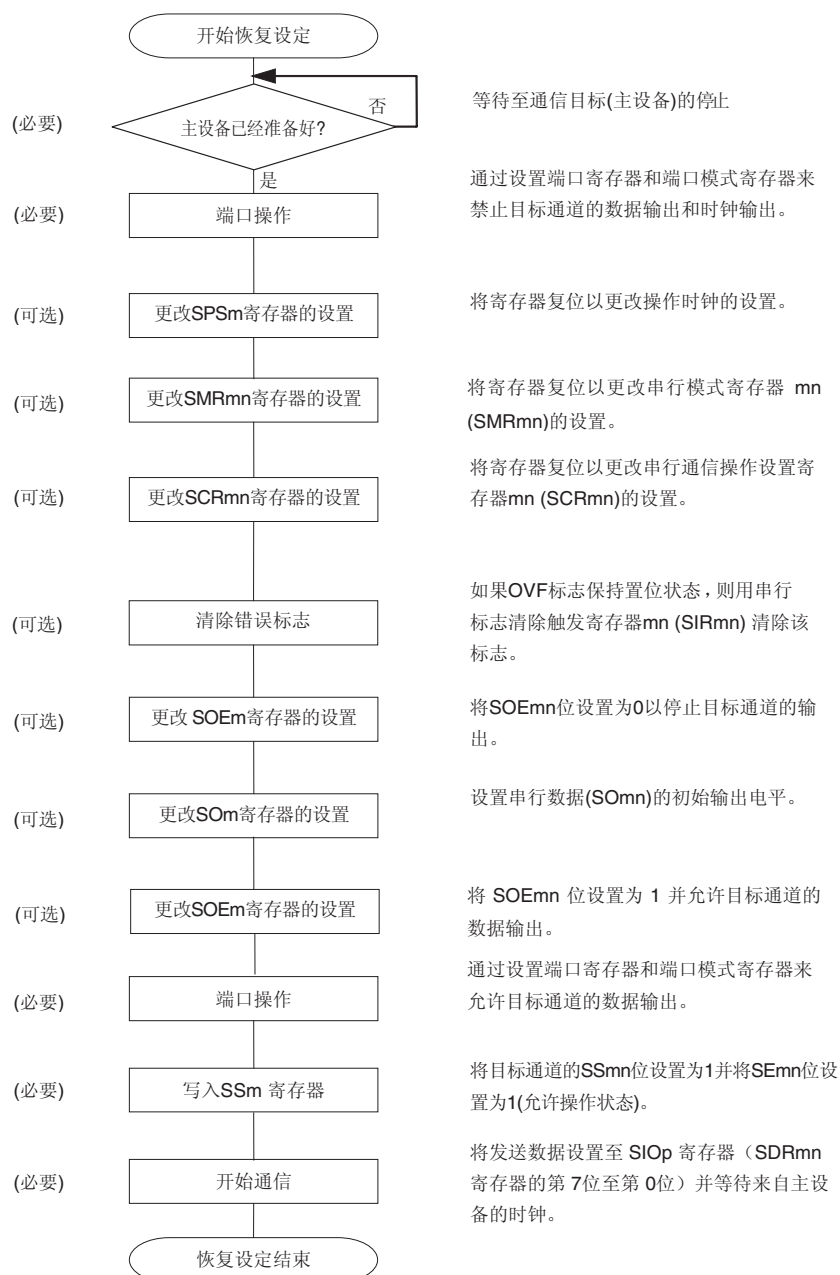


图 13 - 75 恢复从发送/接收的步骤

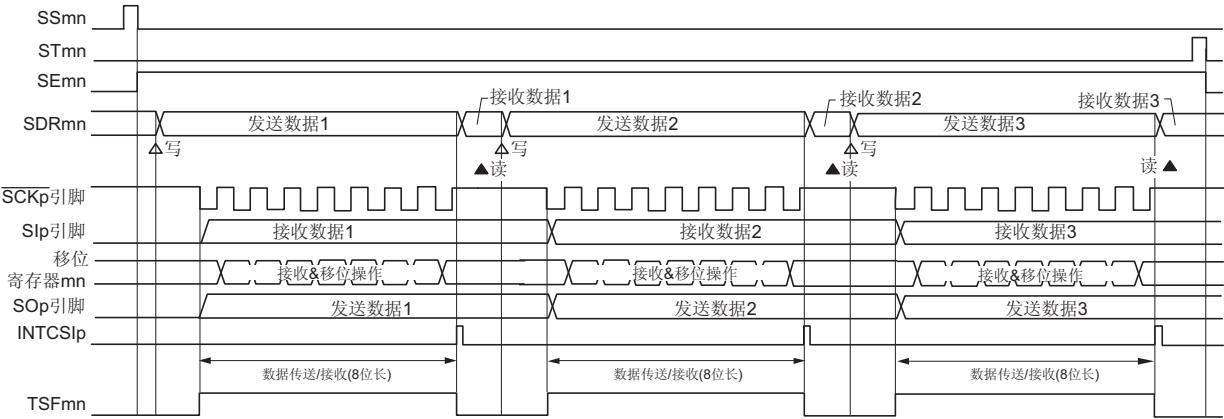


注意事项 1. 必须在主时钟启动之前, 把发送数据设置至SIOp 寄存器。

注意事项 2. 中断主发送时如果PER0被改写, 且停止了时钟供给时, 请等待至发送目标 (主设备) 停止或发送结束, 然后执行初始设置, 而不是重传设置。

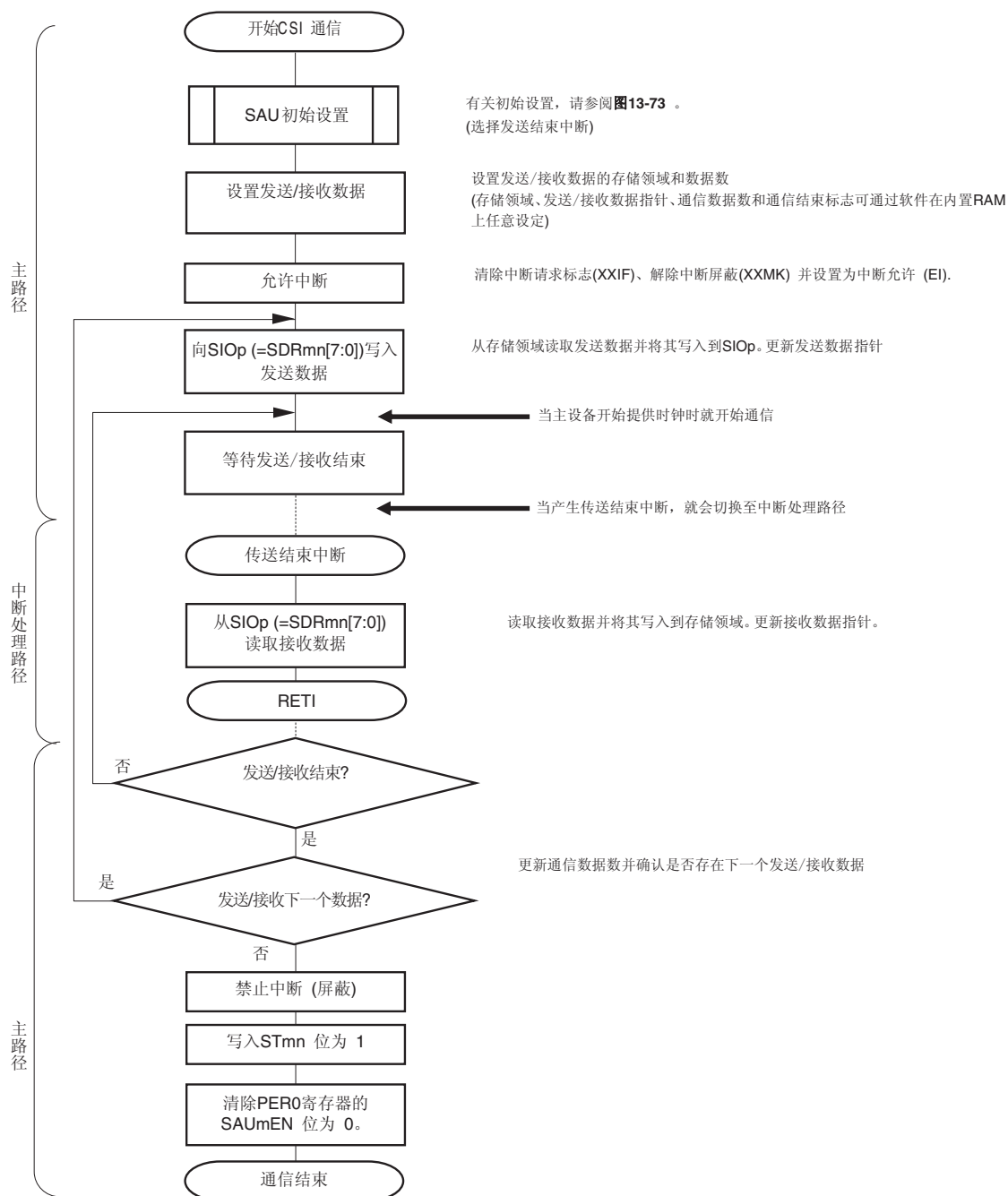
(3) 处理流程（单发送/接收模式时）

图 13 - 76 从发送/接收（单发送/接收模式时）的时序图
（类型 1: DAPmn = 0、CKPmn = 0）



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), p: CSI 编号 (p = 00)
mn = 00 至 03

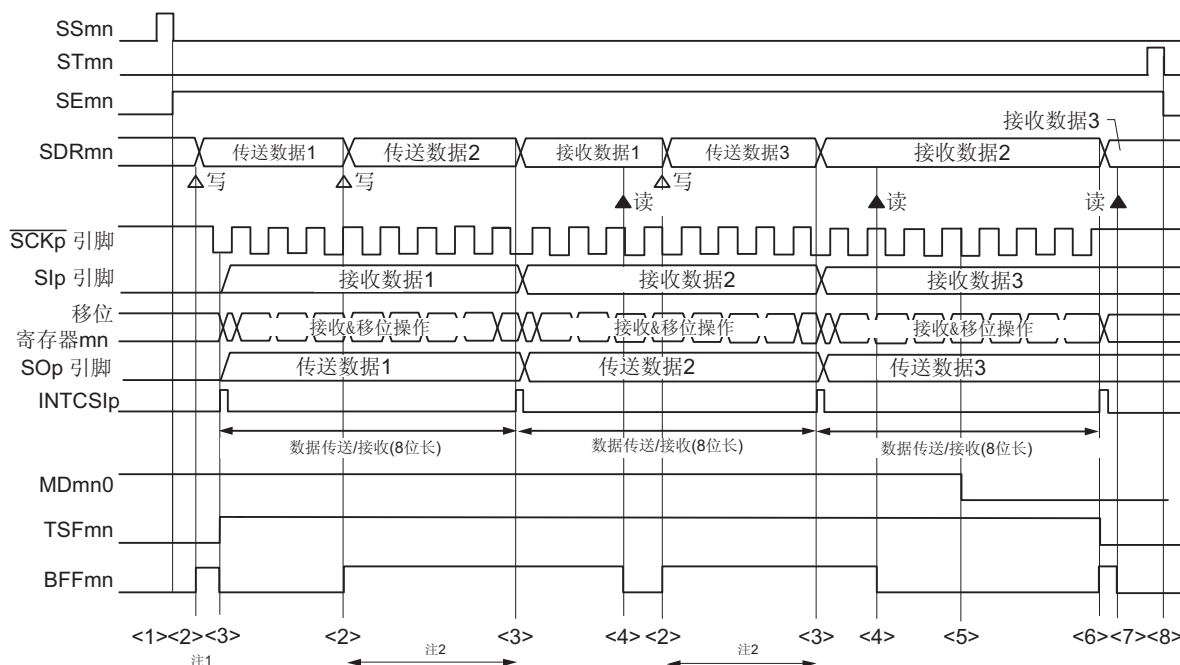
图 13 - 77 从发送/接收（单发送/接收模式时）的流程图



注意事项 必须在主时钟启动之前，把发送数据设置至 **SIOp** 寄存器。

(4) 处理流程（连续发送/接收模式时）

图 13 - 78 从发送/接收（连续发送/接收模式时）的时序图
（类型 1: DAPmn = 0、CKPmn = 0）



注 1. 如果在串行状态寄存器mn (SSRmn)的BFFmn位为1时将发送数据写入SDRmn寄存器（将有效数据存储于串行数据寄存器mn (SDRmn)中），则发送数据将被重写。

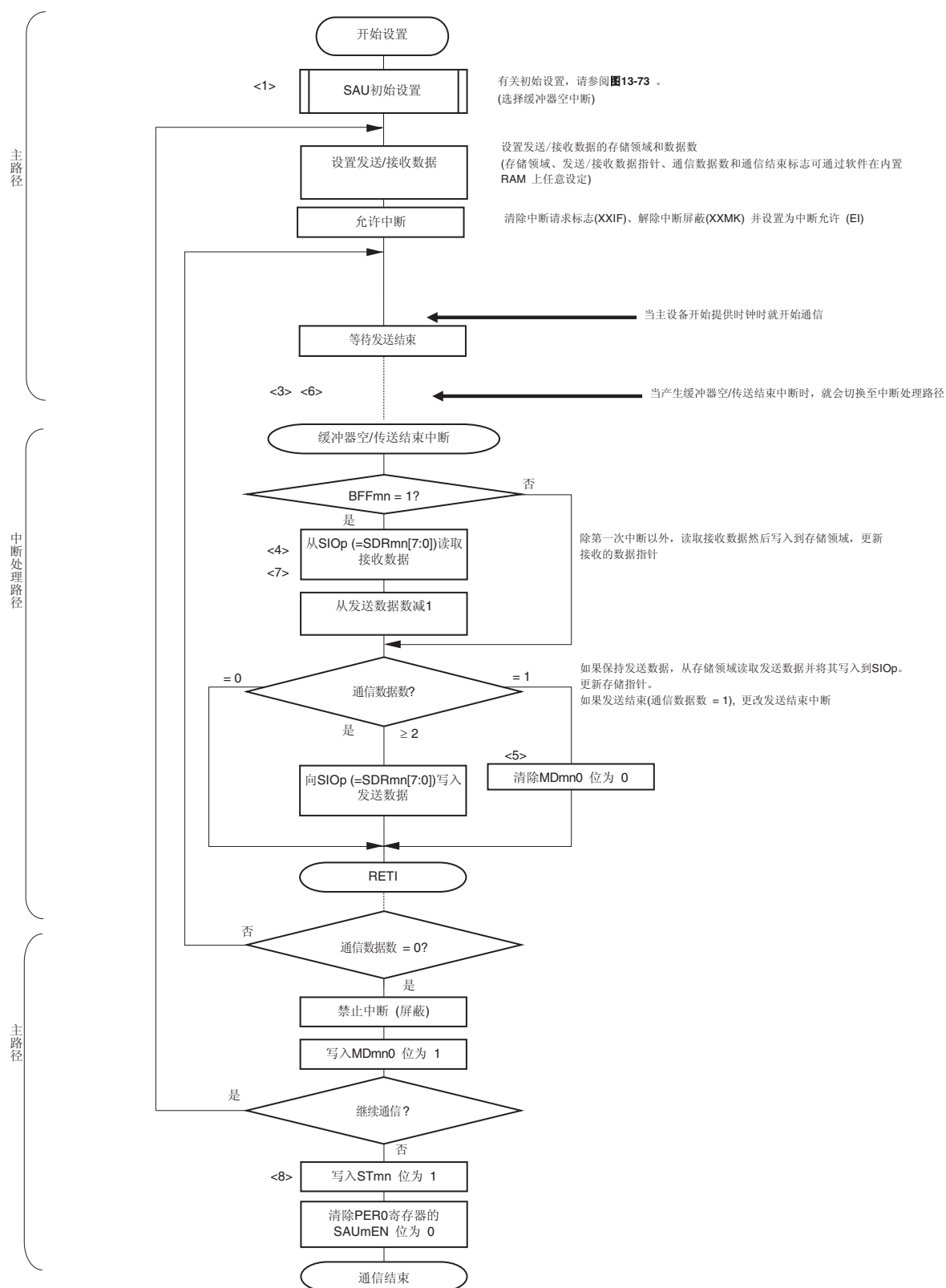
注 2. 在此过程中可以通过读取 SDRmn 寄存器来读取发送数据。此时，发送操作不受影响。

注意事项 即使在操作过程中，也可改写串行模式寄存器mn (SMRmn)的MDmn0位。
但是必须在开始传送最后一位之前改写，以便在最后发送数据的传送结束中断之前完成改写。

备注 1. 图中的<1>至<8>对应图 13 - 79 从发送/接收（连续发送/接收模式时）的流程图中的<1>至<8>。

备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0至3), p: CSI编号 (p = 00)
mn = 00至03

图 13 - 79 从发送/接收（连续发送/接收模式时）的流程图



13.5.7 SNOOZE 模式功能

使用 SNOOZE 模式，在 STOP 模式下检测到 $\overline{\text{SCKp}}$ 引脚输入时可以执行 CSI 接收操作。通常在 STOP 模式下 CSI 停止通信。但是，使用 SNOOZE 模式，可以在检测到 $\overline{\text{SCKp}}$ 引脚输入时不启动 CPU 执行 CSI 接收。仅以下通道可以设置为 SNOOZE 模式。

- CSI00

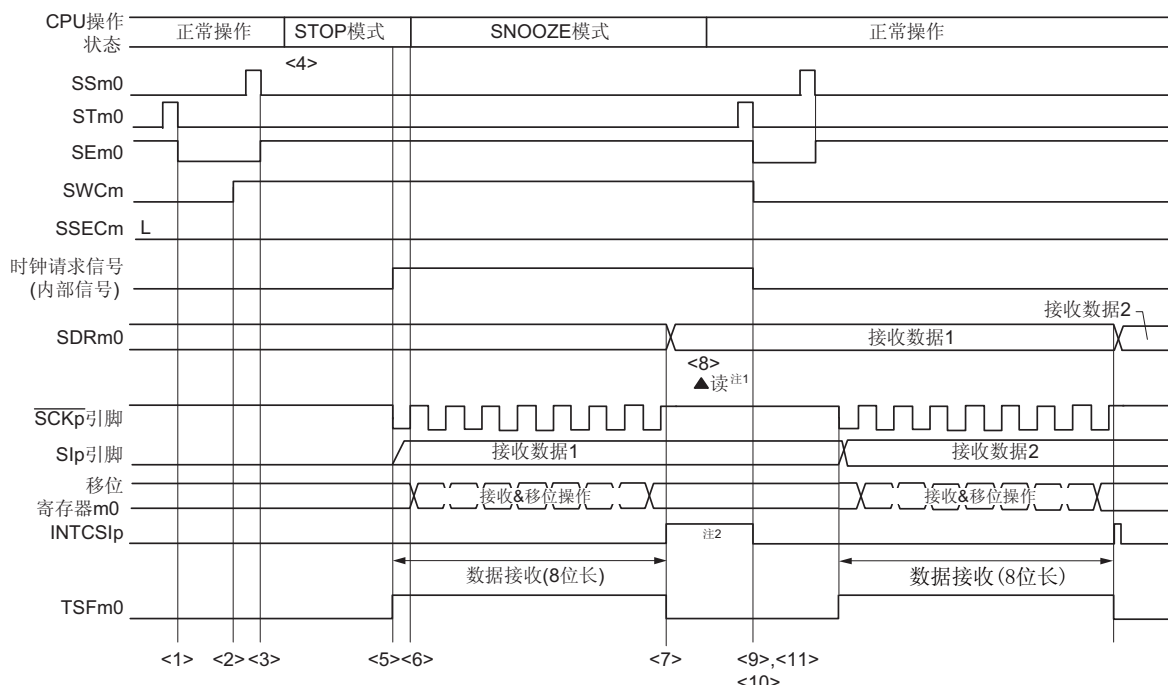
使用 SNOOZE 模式功能时，须在切换至 STOP 模式之前将串行待机控制寄存器 m (SSCm) 的 SWCm 位设置为 1。

注意事项 1. 仅在选用高速片上振荡器时钟作为 fCLK 时可以使用 SNOOZE 模式。

注意事项 2. 在 SNOOZE 模式下使用 CSIp 时的最大传送速率为 1 Mbps。

(1) SNOOZE 模式操作（一次启动）

图 13 - 80 SNOOZE 模式操作（一次启动）时的时序图（类型 1：DAPmn = 0、CKPmn = 0）



注 1. 仅当 SWCm = 1 且检测到 $\overline{\text{SCKp}}$ 引脚输入的下一个边沿之前，读取接收的数据。

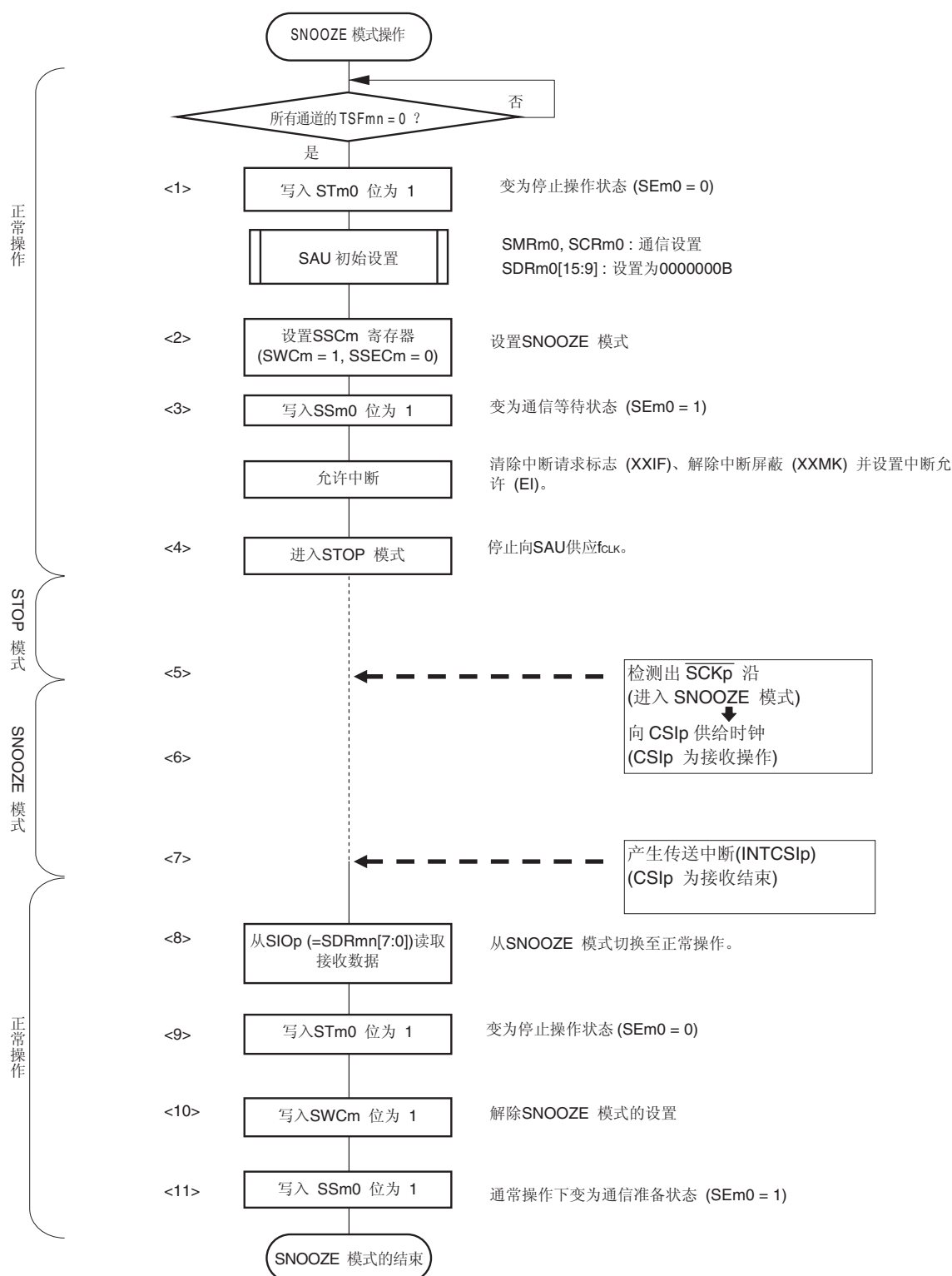
注 2. 在 SWCm 被清除为 0 时或者检测到 $\overline{\text{SCKp}}$ 引脚输入的下一个边沿时，传送结束中断 (INTCSIp) 将被清除。

注意事项 在切换至 SNOOZE 模式之前，或者在 SNOOZE 模式下的接收操作完成之后，必须将 STm0 位设为 1（清除 SEm0 位，并停止操作）。并且在完成接收操作之后，将 SWCm 位清除为 0（释放 SNOOZE 模式）。

备注 1. 图中的 <1> 至 <11> 对应图 13 - 81 SNOOZE 模式操作（一次启动）的流程图中的 <1> 至 <11>。

备注 2. m = 0; p = 00

图 13 - 81 SNOOZE 模式操作（一次启动）的流程图

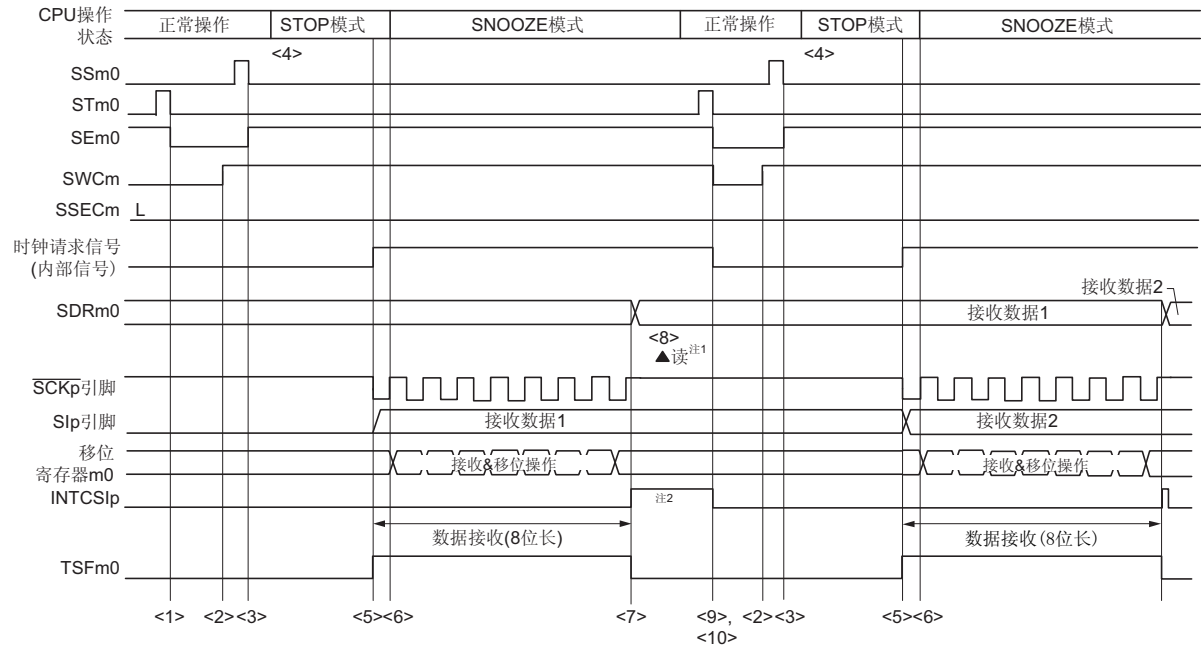


备注 1. 图中的<1>至<11>对应图 13 - 80 SNOOZE 模式操作（一次启动）时的时序图（类型1：DAPmn = 0、CKPmn = 0）中的<1>至<11>。

备注 2. m = 0; p = 00

(2) SNOOZE 模式操作（连续启动）

图 13 - 82 SNOOZE 模式操作（连续启动）时的时序图（类型 1: DAPmn = 0、CKPmn = 0）



注 1. 仅当SWCm = 1且检测到SCKp引脚输入的下一个边沿之前，读取接收的数据。

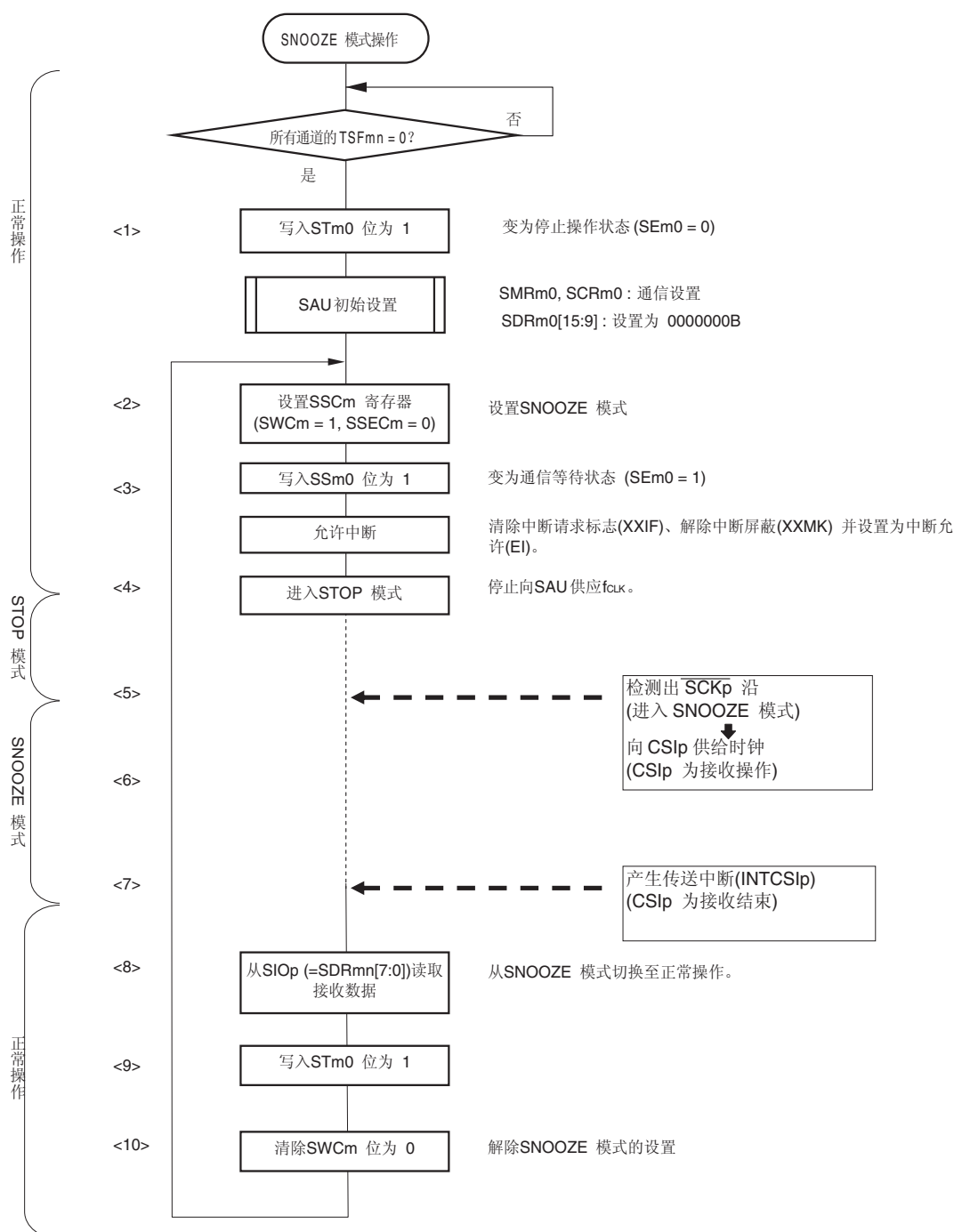
注 2. 在SWCm被清除为0时或者检测到SCKp引脚输入的下一个边沿时，传送结束中断(INTCSlp)将被清除。

注意事项 在切换至SNOOZE模式之前，或者在SNOOZE模式下的接收操作完成之后，必须将STm0位设为1（清除SEm0位，并停止操作）。并且在完成接收操作之后，将SWCm位清除为0（释放SNOOZE模式）。

备注 1. 图中的<1>至<10>对应图 13 - 83 SNOOZE 模式操作（连续启动）的流程图中的<1>至<10>。

备注 2. m = 0; p = 00

图 13 - 83 SNOOZE 模式操作（连续启动）的流程图



备注 1. 图中的<1>至<10>对应图 13 - 82 SNOOZE 模式操作（连续启动）时的时序图（类型 1：DAPmn = 0、CKPmn = 0）中的<1>至<10>。

备注 2. m = 0; p = 00

13.5.8 计算传送时钟频率

三线串行输入/输出(CSI00)通信的传送时钟频率可以通过以下表达式计算。

(1) 主设备

$$(\text{传送时钟频率}) = \{ \text{目标通道的工作时钟 (fMCK) 频率} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) 从设备

$$(\text{传送时钟频率}) = \{ \text{由主设备提供的串行时钟 (SCK) 频率} \} \text{ 注 [Hz]}$$

注 允许的最大传送时钟频率为 $f_{MCK}/6$ 。

备注 SDRmn[15:9]的值为串行数据寄存器mn (SDRmn)的位15至位9的值(0000000B至1111111B),即0至127。

工作时钟(fMCK)取决于串行时钟选择寄存器m (SPSm)以及串行模式寄存器mn (SMRmn)的位15 (CKSmn)。

表 13-2 用于 3 线串行输入/输出的工作时钟的选择

| SMRmn 寄存器 | SPSm 寄存器 | | | | | | | | 工作时钟 (f _{CLK}) 注 | |
|--------------|------------|------------|------------|------------|------------|------------|------------|------------|-----------------------------------|---------------------------|
| CKSmn | PRS m13 | PRS m12 | PRS m11 | PRS m10 | PRS m03 | PRS m02 | PRS m01 | PRS m00 | | f _{CLK} = 24 MHz |
| 0 | x | x | x | x | 0 | 0 | 0 | 0 | f _{CLK} | 24 MHz |
| | x | x | x | x | 0 | 0 | 0 | 1 | f _{CLK} /2 | 12 MHz |
| | x | x | x | x | 0 | 0 | 1 | 0 | f _{CLK} /2 ² | 6 MHz |
| | x | x | x | x | 0 | 0 | 1 | 1 | f _{CLK} /2 ³ | 3 MHz |
| | x | x | x | x | 0 | 1 | 0 | 0 | f _{CLK} /2 ⁴ | 1.5 MHz |
| | x | x | x | x | 0 | 1 | 0 | 1 | f _{CLK} /2 ⁵ | 750 kHz |
| | x | x | x | x | 0 | 1 | 1 | 0 | f _{CLK} /2 ⁶ | 375 kHz |
| | x | x | x | x | 0 | 1 | 1 | 1 | f _{CLK} /2 ⁷ | 187.5 kHz |
| | x | x | x | x | 1 | 0 | 0 | 0 | f _{CLK} /2 ⁸ | 93.75 kHz |
| | x | x | x | x | 1 | 0 | 0 | 1 | f _{CLK} /2 ⁹ | 46.88 kHz |
| | x | x | x | x | 1 | 0 | 1 | 0 | f _{CLK} /2 ¹⁰ | 23.44 kHz |
| | x | x | x | x | 1 | 0 | 1 | 1 | f _{CLK} /2 ¹¹ | 11.72 kHz |
| | x | x | x | x | 1 | 1 | 0 | 0 | f _{CLK} /2 ¹² | 5.86 kHz |
| | x | x | x | x | 1 | 1 | 0 | 1 | f _{CLK} /2 ¹³ | 2.93 kHz |
| | x | x | x | x | 1 | 1 | 1 | 0 | f _{CLK} /2 ¹⁴ | 1.46 kHz |
| | x | x | x | x | 1 | 1 | 1 | 1 | f _{CLK} /2 ¹⁵ | 732 Hz |
| 1 | 0 | 0 | 0 | 0 | x | x | x | x | f _{CLK} | 24 MHz |
| | 0 | 0 | 0 | 1 | x | x | x | x | f _{CLK} /2 | 12 MHz |
| | 0 | 0 | 1 | 0 | x | x | x | x | f _{CLK} /2 ² | 6 MHz |
| | 0 | 0 | 1 | 1 | x | x | x | x | f _{CLK} /2 ³ | 3 MHz |
| | 0 | 1 | 0 | 0 | x | x | x | x | f _{CLK} /2 ⁴ | 1.5 MHz |
| | 0 | 1 | 0 | 1 | x | x | x | x | f _{CLK} /2 ⁵ | 750 kHz |
| | 0 | 1 | 1 | 0 | x | x | x | x | f _{CLK} /2 ⁶ | 375 kHz |
| | 0 | 1 | 1 | 1 | x | x | x | x | f _{CLK} /2 ⁷ | 187.5 kHz |
| | 1 | 0 | 0 | 0 | x | x | x | x | f _{CLK} /2 ⁸ | 93.75 kHz |
| | 1 | 0 | 0 | 1 | x | x | x | x | f _{CLK} /2 ⁹ | 46.88 kHz |
| | 1 | 0 | 1 | 0 | x | x | x | x | f _{CLK} /2 ¹⁰ | 23.44 kHz |
| | 1 | 0 | 1 | 1 | x | x | x | x | f _{CLK} /2 ¹¹ | 11.72 kHz |
| | 1 | 1 | 0 | 0 | x | x | x | x | f _{CLK} /2 ¹² | 5.86 kHz |
| | 1 | 1 | 0 | 1 | x | x | x | x | f _{CLK} /2 ¹³ | 2.93 kHz |
| | 1 | 1 | 1 | 0 | x | x | x | x | f _{CLK} /2 ¹⁴ | 1.46 kHz |
| | 1 | 1 | 1 | 1 | x | x | x | x | f _{CLK} /2 ¹⁵ | 732 Hz |

注 要更改 f_{CLK} 的时钟选择时 (通过更改系统时钟控制寄存器 (CKC) 的值), 必须在停止串行阵列单元 (SAU) 操作 (串行通道停止寄存器 m (STm) = 000FH) 之后才可以执行。

备注 1. x: 忽略

备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), mn = 00 至 03

13.5.9 3线串行输入/输出(CSI00)通信过程中发生错误时的处理步骤

在3线串行输入/输出(CSI00)通信过程中发生错误时的处理步骤如图 13 - 84所示。

图 13 - 84 发生溢出错误时的处理步骤

| 软件操作 | 硬件状态 | 备注 |
|----------------------------|----------------------------------|--|
| 读取串行数据寄存器mn (SDRmn)。→ | SSRmn寄存器的BFFmn位被清除为0，并允许通道n接收数据。 | 这是为了防止在处理错误的过程中完成了下一次接收时所发生的溢出错误。 |
| 读取串行状态寄存器mn (SSRmn)。 | | 识别出错误类型，并用读取值来清除错误标志。 |
| 将1写入串行标志清除触发寄存器mn (SIRmn)。 | 错误标志被清除。 | 将SSRmn寄存器的读取值直接写入SIRmn寄存器，从而可以只清除读取时的错误。 |

备注 m: 单元编号 (m = 0)， n: 通道编号 (n = 0至3)， mn = 00至03

13.6 具有从设备选择输入功能的时钟同步串行通信

SAU0 的通道 0 对应于具有从设备选择输入功能的时钟同步串行通信。

[数据的发送/接收]

- 数据长度为 7 或 8 位
- 发送/接收数据的相控制
- MSB/LSB 的选择
- 发送/接收数据的电平设置

[时钟控制]

- 输入/输出时钟的相控制
- 通过预分频器和通道内部计数器设置传送周期
- 最大传送速率

主通信时 (CSI00): 最大 $f_{MCK}/2$ 注 1、2

从通信时: 最大 $f_{MCK}/6$ 注 2

[中断功能]

- 传送结束中断/缓冲器空中断

[错误检测标志]

- 溢出错误

[扩展功能]

- 从设备选择功能

注 1. 主通信 (CSI00) 模式下, 满足以下条件时最大传送速率为 $f_{MCK}/2$ 。

- $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$
- $f_{MCK} \leq 24\text{ MHz}$
- $PIOR1 = 0$

其他情况下的最大传送速率为 $f_{MCK}/4$ 。

注 2. 在满足以上条件及电特性中的 AC 特性 (参阅第 27 章 电特性) 的范围内使用此操作。

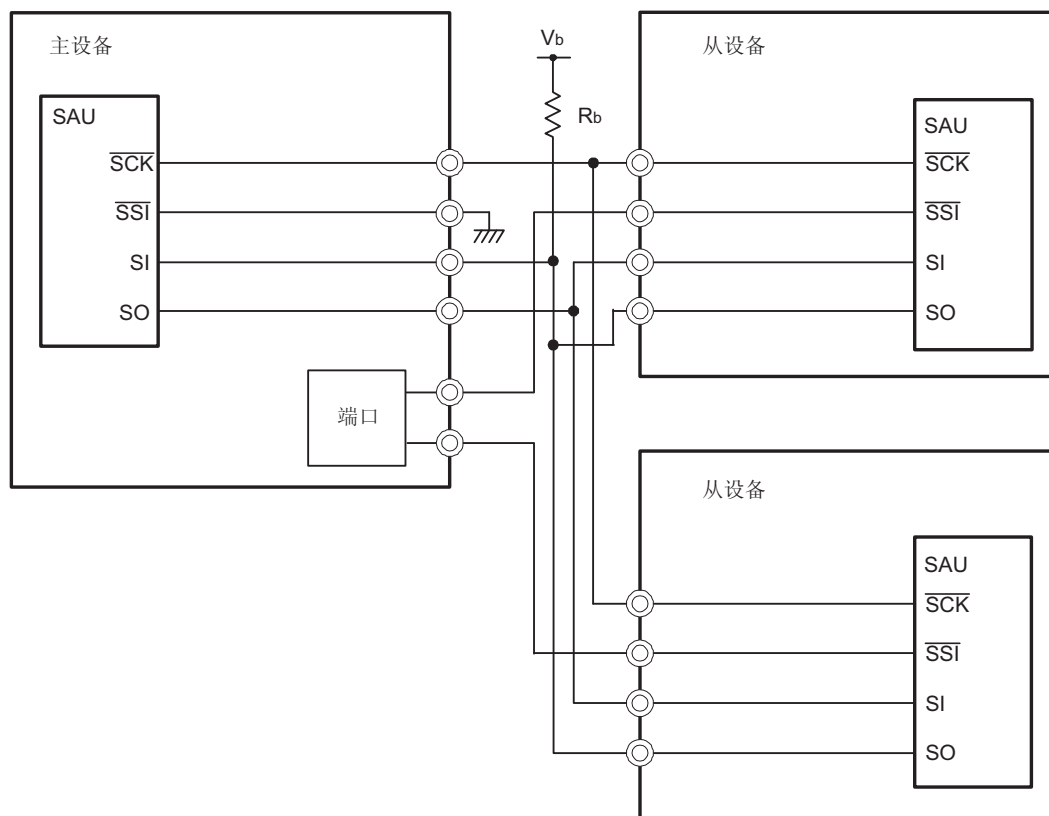
- 30、32 引脚产品

| 单元 | 通道 | 用作 CSI | 用作 UART | 用作简易 I ² C |
|----|----|------------------------|---------|-----------------------|
| 0 | 0 | CSI00 (支持从设备选择输入功能) | UART0 | IIC00 |
| | 1 | — | UART1 | — |
| | 2 | — | | — |
| | 3 | — | | — |

可以将多个从设备连接至一个主设备，并可用从设备选择输入功能进行通信。主设备输出一个从设备选择信号至作为通信另一方的从设备（1个），各个从设备判断是否被选为通信的另一方，并控制SO引脚输出。当一个从设备被选中时，可以从SO引脚至主设备执行发送数据的通信。未被选中的从设备的SO引脚被设置为高电平输出。因此，在连接有多个从设备的环境中，须将SO引脚设置为N沟开漏并上拉该节点。另外，对于未被选中的从设备，即使从主设备输入串行时钟，也不执行发送/接收操作。

注意事项 使用端口操作来输出从设备选择信号。

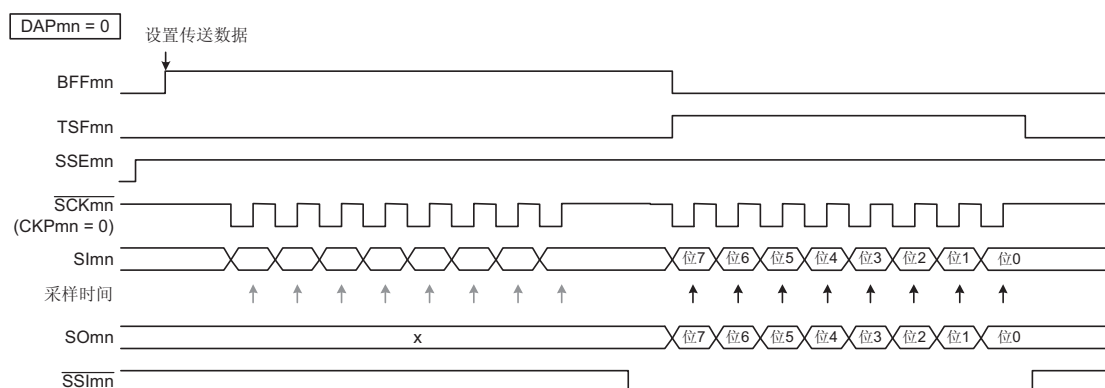
图 13 - 85 从设备选择输入功能的配置示例



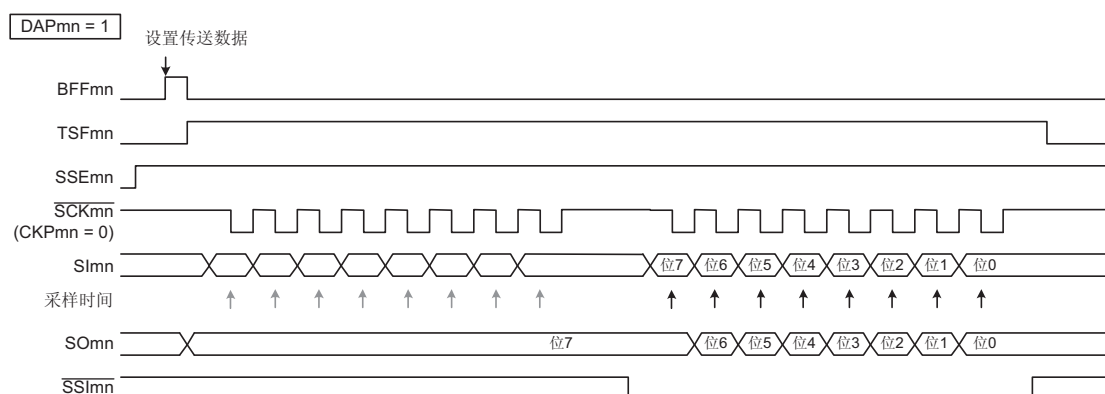
注意事项 确保 $V_{DD} \geq V_b$ 。

将SO00引脚选作N沟开漏输出（ V_{DD} 耐压）模式。

图 13 - 86 从设备选择输入功能的时序图



SSImn 为高电平期间，即使 到达 SCKmn (串行时钟) 的下降沿，也不执行传送操作。
而且，在上升沿也不同步执行接收数据的采样。
SSImn 为低电平期间，在串行时钟的下降沿同步输出（移位）数据，在上升沿同步执行接收操作。



若 DAPmn = 1, 则在 SSImn 为高电平期间传送数据被设置时，输出最初数据（位 7）给数据输出。
但是，在 SCKmn (串行时钟) 的上升沿不执行移位操作，在下降沿也不同步执行接收数据的采样。
在 SSImn 为低电平期间，在下一个上升沿同步输出（移位）数据，在下降沿同步执行接收操作。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0)

13.6.1 从发送

从发送是指，当接收来自另一个器件的传送时钟输入时，μPD79F7027, μPD79F7028 将数据发送至其他器件。

| 从设备选择输入功能 | CSI00 |
|-----------|---|
| 目标通道 | SAU0 的通道 0 |
| 使用引脚 | SCK00、SO00、SSI00 |
| 中断 | INTCSI00 可选择传送结束中断（单发送模式时）或缓冲器空中断（连续发送模式时）。 |
| 错误检测标志 | 仅限溢出错误检测标志 (OVFmn) |
| 传送数据长度 | 7 或 8 位 |
| 传送速率 | 最大 $f_{MCK}/6$ [Hz] 注 1、2 |
| 数据相位 | 可通过 SCRmn 寄存器的 DAPmn 位选择 <ul style="list-style-type: none"> • DAPmn = 0: 从开始串行时钟操作时开始数据输出。 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输出。 |
| 时钟相位 | 可通过 SCRmn 寄存器的 CKPmn 位选择 <ul style="list-style-type: none"> • CKPmn = 0: 正相 • CKPmn = 1: 反相 |
| 数据方向 | MSB 或 LSB 优先 |
| 从设备选择输入功能 | 可选择从设备选择输入功能操作 |

注 1. 输入至 SCK00 引脚的外部串行时钟是在内部通过采样使用，因此最大传送速率为 $f_{MCK}/6$ [Hz]。

注 2. 在满足以上条件及电特性中的 AC 特性（参阅第 27 章 电特性）的范围内使用此操作。

备注 1. f_{MCK} : 目标通道的工作时钟频率

备注 2. m: 单元编号 ($m = 0$), n: 通道编号 ($n = 0$)

(1) 寄存器设置

图 13 - 87 从设备选择输入功能(CSI00)的从发送时的寄存器设置
内容示例(1/2)

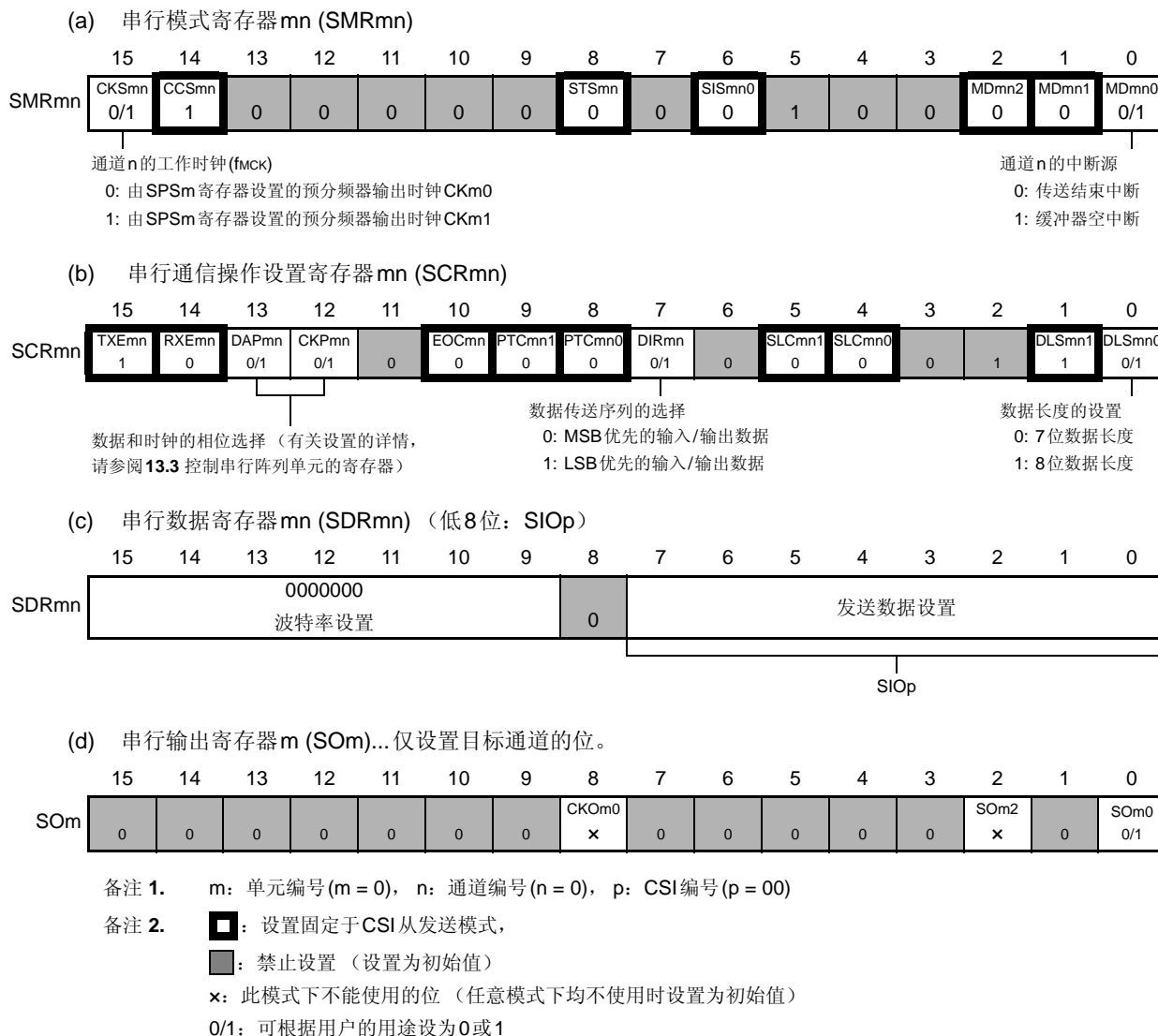


图 13 - 88 从设备选择输入功能(CSI00)的从发送时的寄存器设置
内容示例(2/2)

(e) 串行输出允许寄存器m (SOEm)... 仅将目标通道的位设置为 1。

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|------------|---|--------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm2 x | 0 | SOEm0 0/1 |

(f) 串行通道开始寄存器m (SSm)... 仅将目标通道的位设置为 1。

| | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|-----------|-----------|-----------|-------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 x | SSm2 x | SSm1 x | SSm0 0/1 |

(g) 输入切换控制寄存器(ISC)...CSI00从通道 (单元0的通道0) 中 $\overline{SSI00}$ 的输入设置。

| | | | | | | | | |
|-----|---------------|---|---|---|---|---|---|---|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ISC | SSIE00 0/1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

0: 禁止 $\overline{SSI00}$ 引脚的输入值
1: 允许 $\overline{SSI00}$ 引脚的输入值

备注 1. m: 单元编号(m = 0), n: 通道编号(n = 0), p: CSI编号(p = 00)

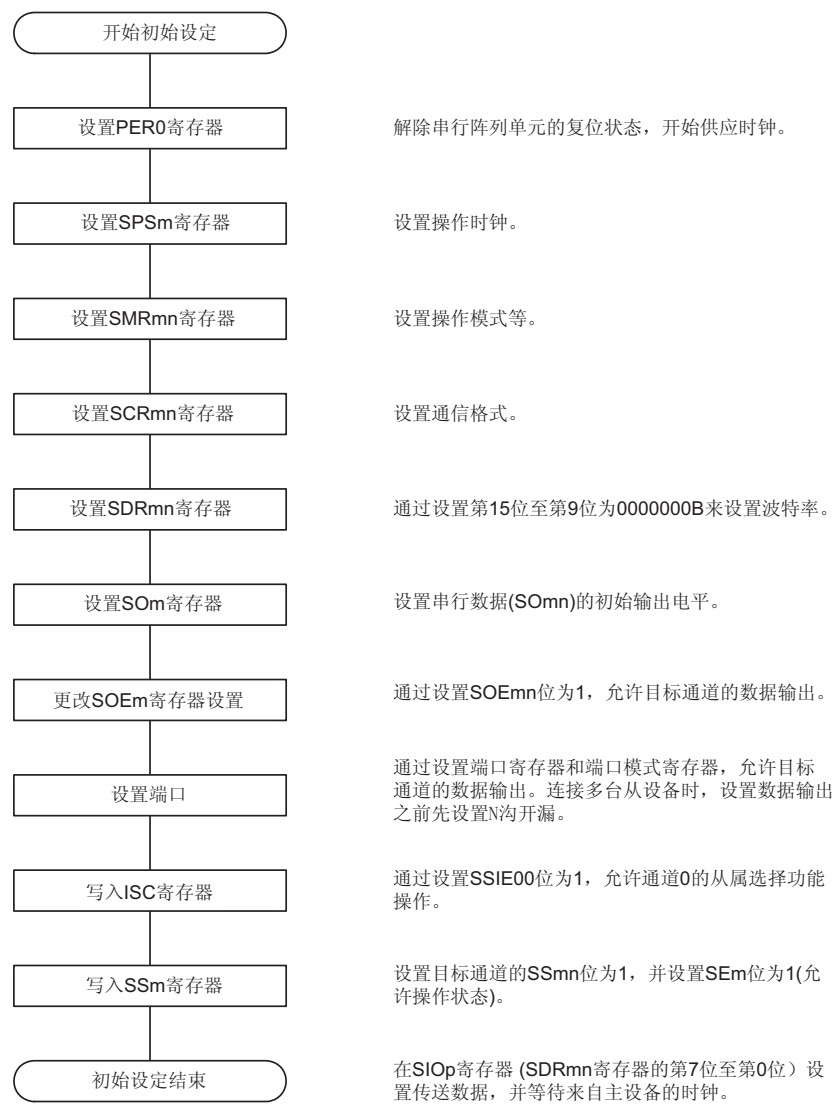
备注 2. ■: 禁止设置 (设置为初始值)

x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)

0/1: 可根据用户的用途设为0或1

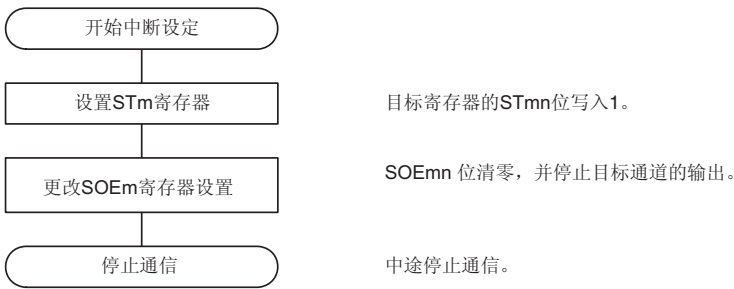
(2) 操作步骤

图 13 - 89 从发送的初始设置步骤



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI编号 (p = 00)

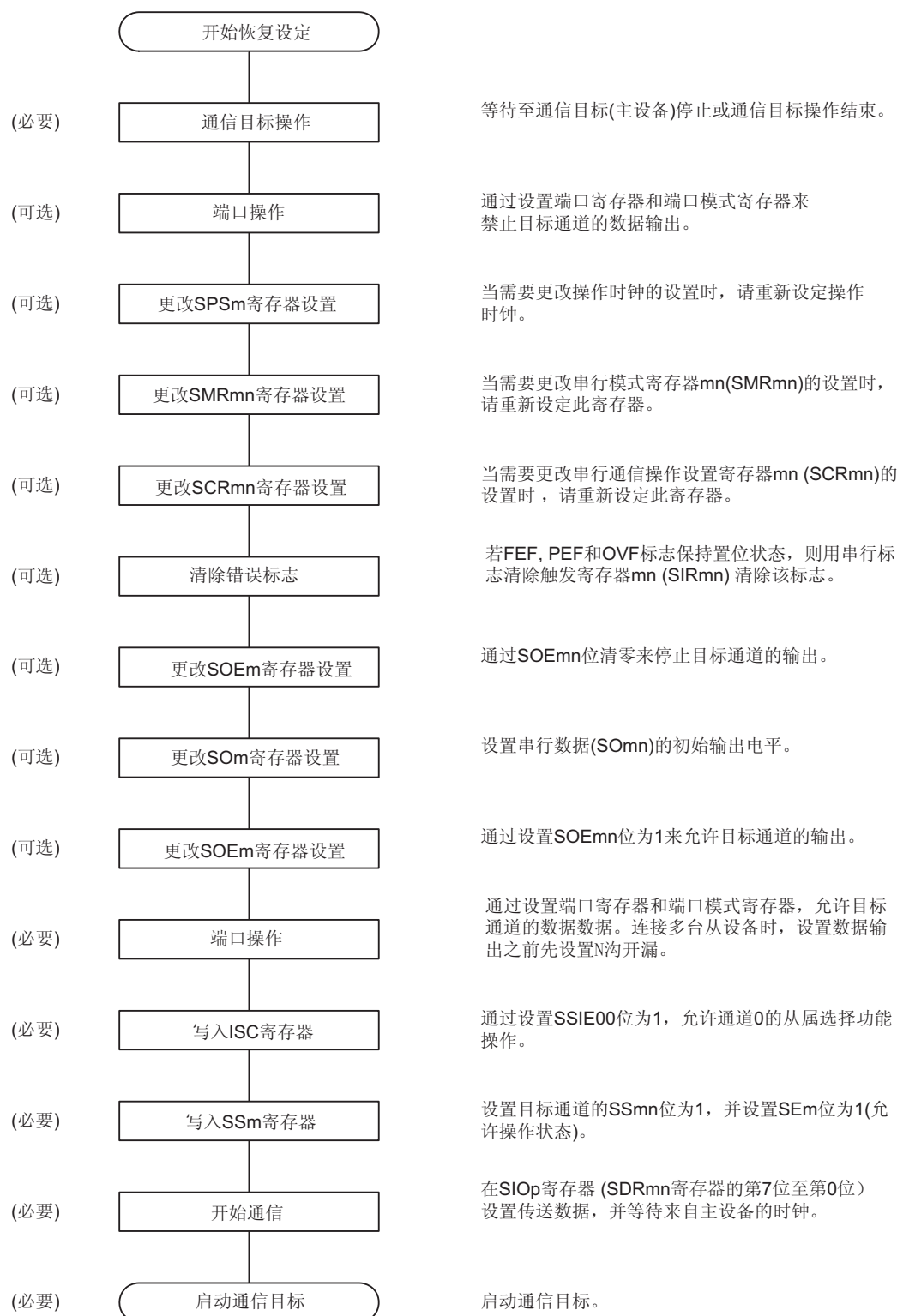
图 13 - 90 停止从发送的步骤



备注 1. 即使在停止通信之后也保持引脚电平。将SOM寄存器复位，以恢复操作（参阅图 13 - 91 恢复从发送的步骤）。

备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI编号 (p = 00)

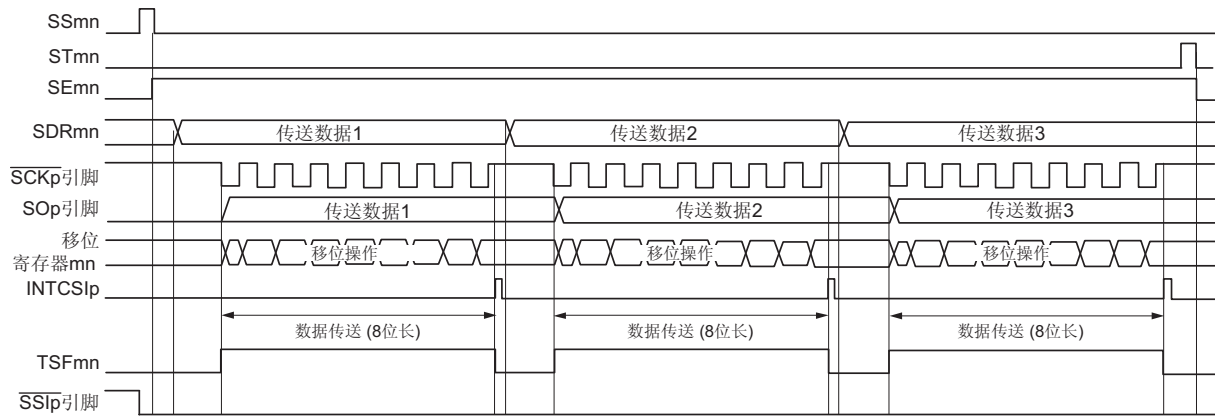
图 13 - 91 恢复从发送的步骤



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI编号 (p = 00)

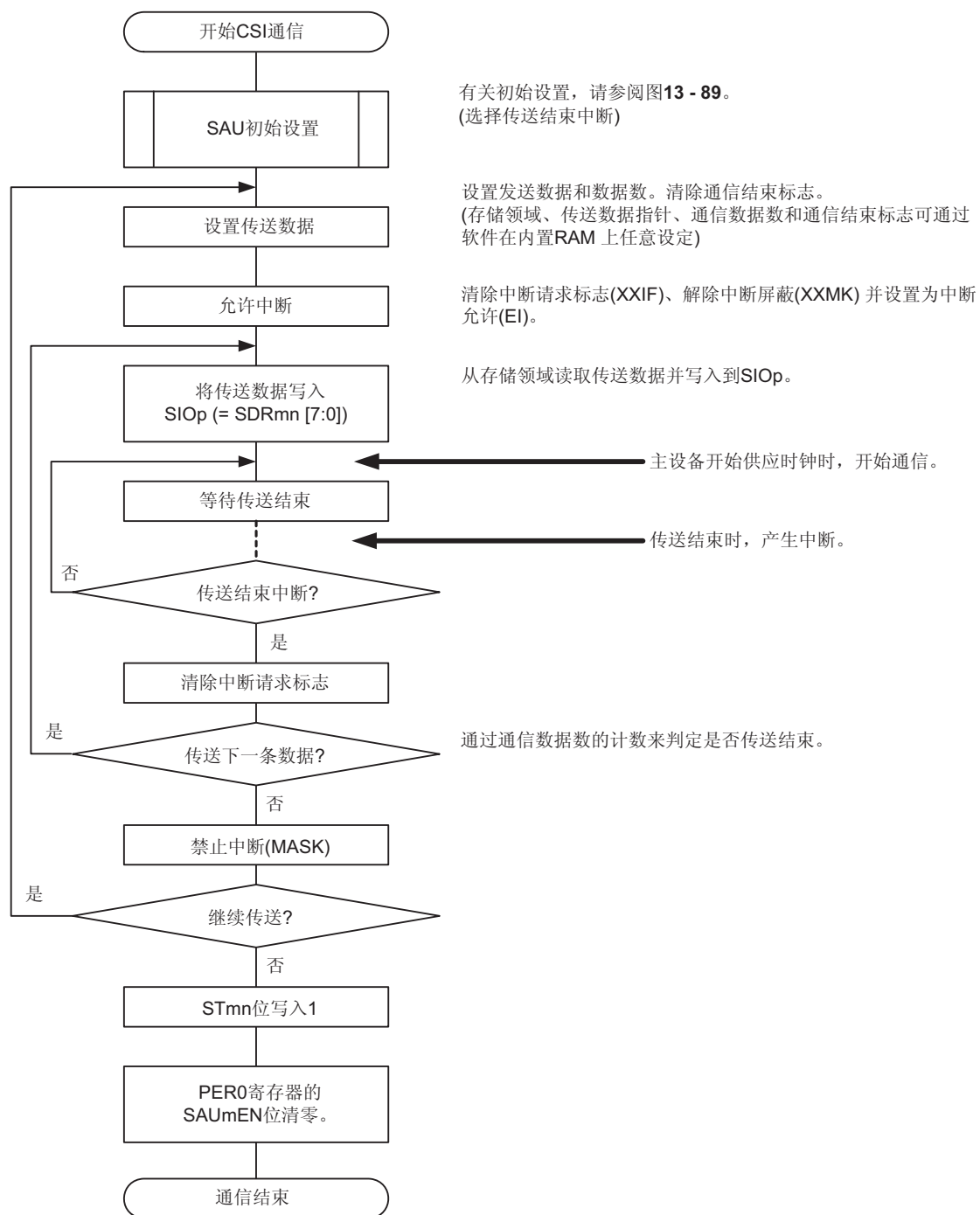
(3) 处理流程（单发送模式时）

图 13 - 92 从发送（单发送模式时）的时序图
（类型 1: DAPmn = 0、CKPmn = 0）



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

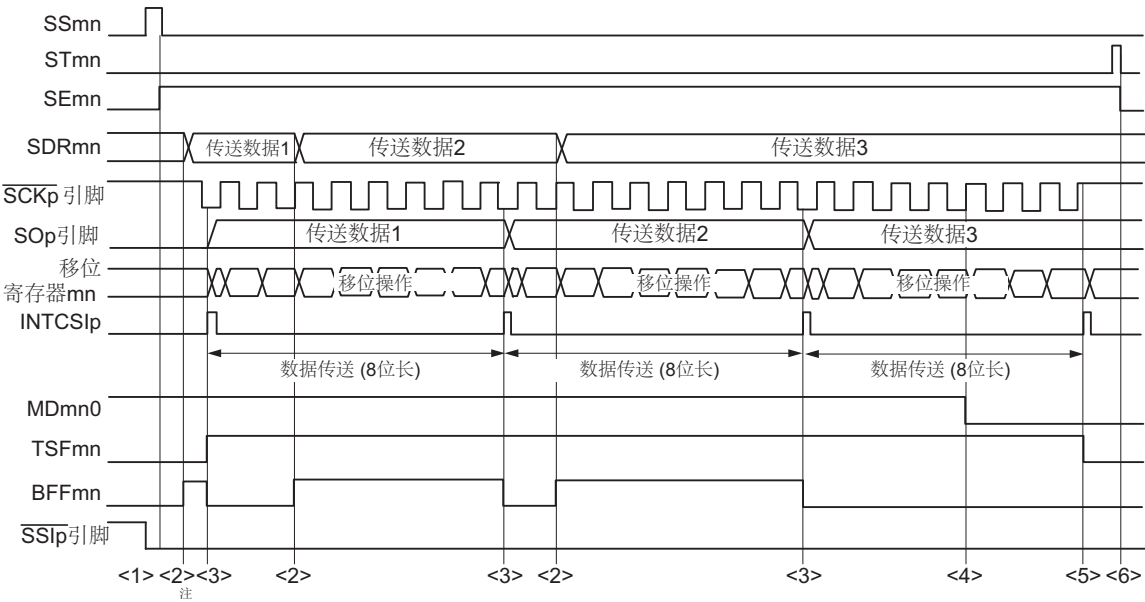
图 13 - 93 从发送（单发送模式时）的流程图



备注 m: 单元编号(m = 0), n: 通道编号(n = 0), p: CSI编号(p = 00)

(4) 处理流程（连续发送模式时）

图 13 - 94 从发送（连续发送模式时）的时序图
（类型 1: DAPmn = 0、CKPmn = 0）

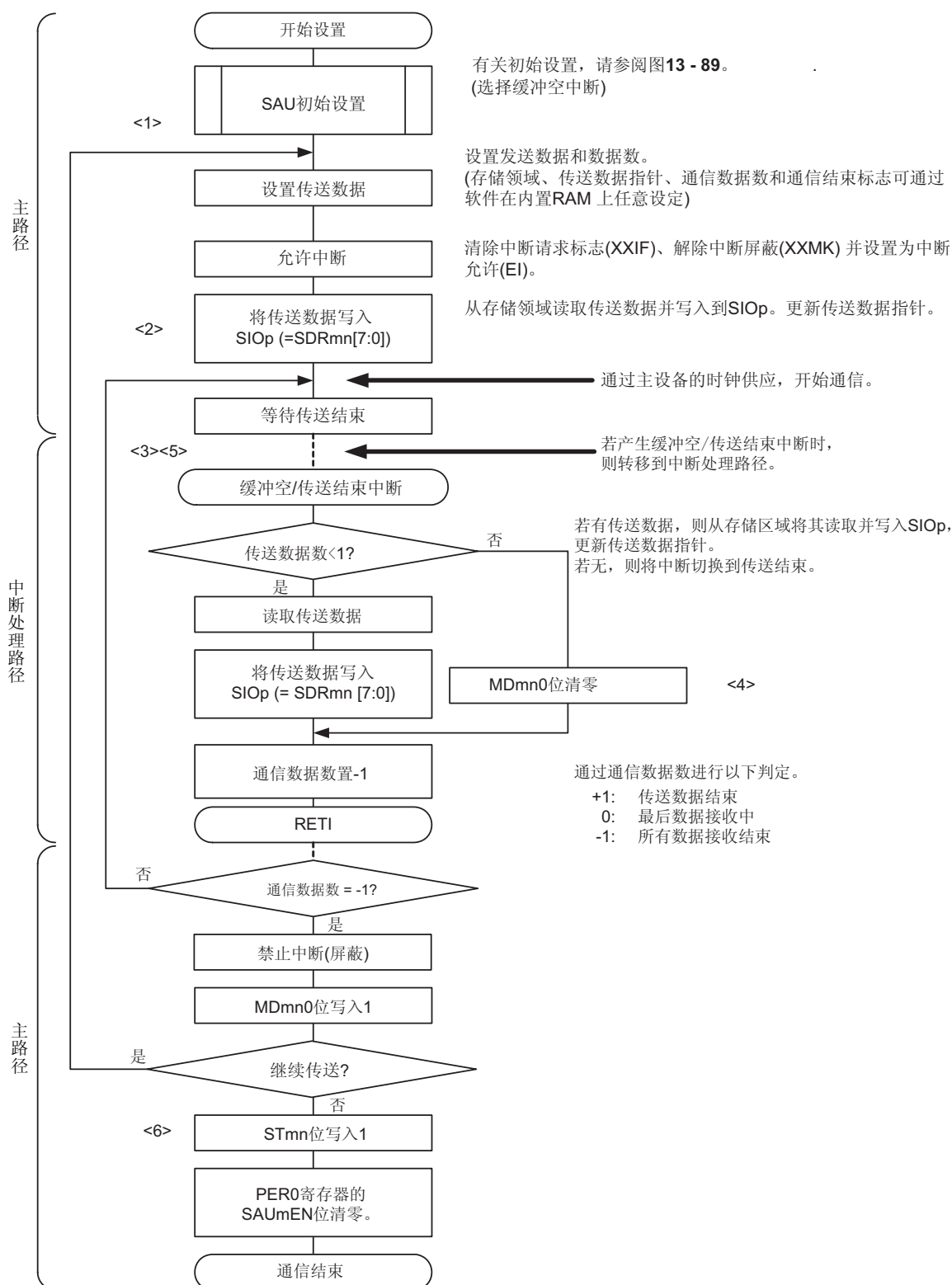


注 如果在串行状态寄存器mn (SSRmn) 的BFFmn位为1时将发送数据写入SDRmn寄存器（将有效数据存储于串行数据寄存器mn (SDRmn) 中），则发送数据将被重写。

注意事项 即使在操作过程中，也可改写串行模式寄存器mn (SMRmn) 的MDmn0位。但是，要在开始传送最后一位之前改写。

备注 m: 单元编号 (m = 0)， n: 通道编号 (n = 0)， p: CSI 编号 (p = 00)

图 13 - 95 从发送（连续发送模式时）的流程图



注意事项 1. 图中的<1>至<6>对应图 13 - 94 从发送（连续发送模式时）的时序图（类型 1: DAPmn = 0、CKPmn = 0）中的<1>至<6>。
 注意事项 2. m: 单元编号(m = 0), n: 通道编号(n = 0), p: CSI编号(p = 00)

13.6.2 从接收

从接收是指，当接收来自另一个器件的传送时钟输入时，μPD79F7027, μPD79F7028 从其他器件接收数据。

| 从设备选择输入功能 | CSI00 |
|-----------|---|
| 目标通道 | SAU0 的通道 0 |
| 使用引脚 | SCK00、SI00、SSI00 |
| 中断 | INTCSI00 仅限传送结束中断（禁止设置缓冲器空中断） |
| 错误检测标志 | 仅限溢出错误检测标志 (OVFmn) |
| 传送数据长度 | 7 或 8 位 |
| 传送速率 | 最大 $f_{MCK}/6$ [Hz] 注 1、2 |
| 数据相位 | 可通过 SCRmn 寄存器的 DAPmn 位选择 <ul style="list-style-type: none"> • DAPmn = 0: 从开始串行时钟操作时开始数据输入。 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输入。 |
| 时钟相位 | 可通过 SCRmn 寄存器的 CKPmn 位选择 <ul style="list-style-type: none"> • CKPmn = 0: 正相 • CKPmn = 1: 反相 |
| 数据方向 | MSB 或 LSB 优先 |
| 从设备选择输入功能 | 可选择从设备选择输入功能操作 |

注 1. 输入至 SCK00 引脚的外部串行时钟是在内部通过采样使用，因此最大传送速率为 $f_{MCK}/6$ [Hz]。

注 2. 在满足以上条件及电特性中的 AC 特性（参阅第 27 章 电特性）的范围内使用此操作。

备注 1. f_{MCK} : 目标通道的工作时钟频率

备注 2. m: 单元编号 ($m = 0$), n: 通道编号 ($n = 0$)

(1) 寄存器设置

图 13 - 96 从设备选择输入功能(CSI00)的从接收时的寄存器内容示例(1/2)

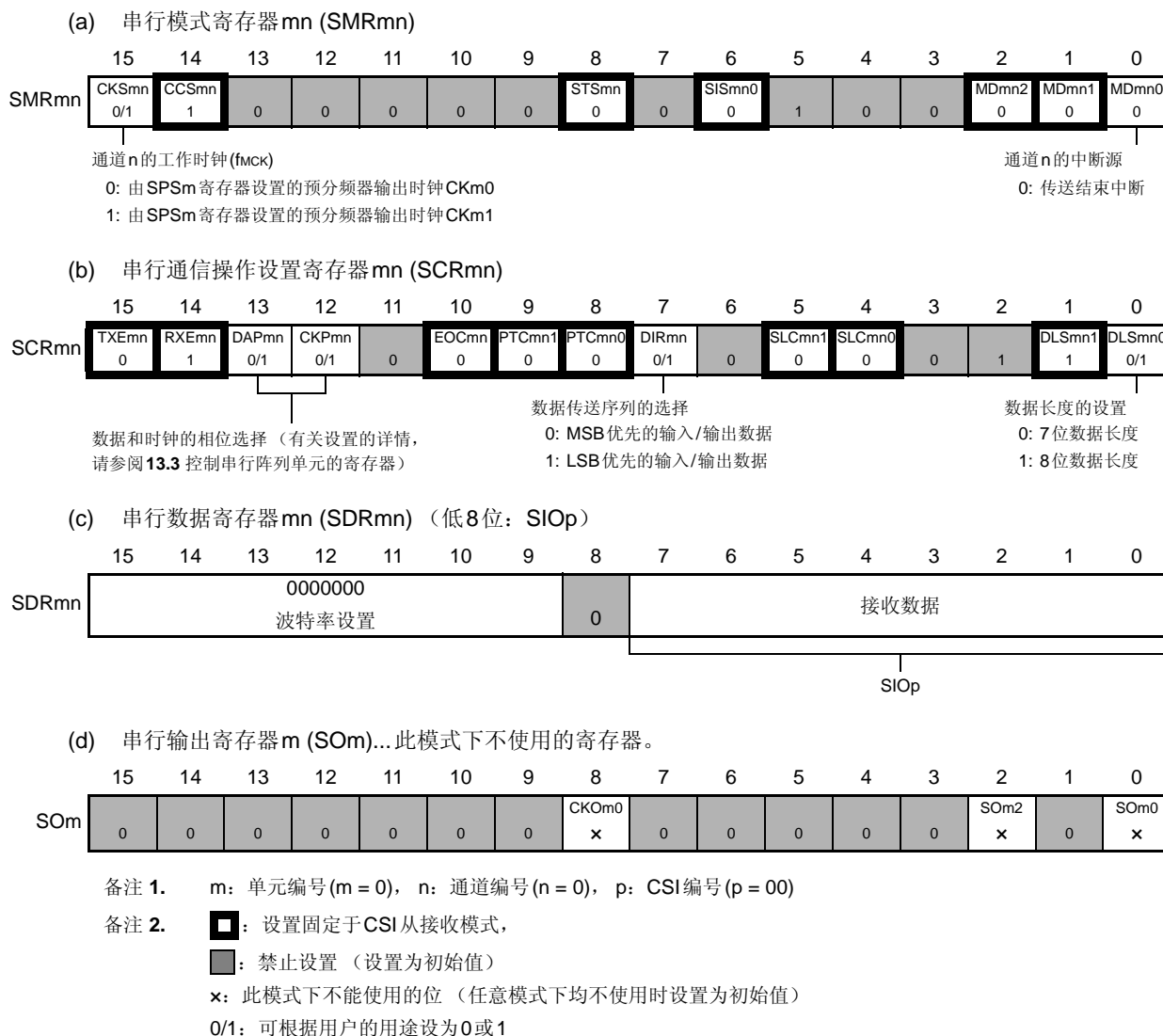


图 13 - 97 从设备选择输入功能(CSI00)的从接收时的寄存器内容示例 (2/2)

(e) 串行输出允许寄存器m (SOEm)...此模式下不使用的寄存器。

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|------------|---|------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm2 x | 0 | SOEm0 x |

(f) 串行通道开始寄存器m (SSm)... 仅将目标通道的位设置为 1。

| | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|-----------|-----------|-----------|-------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 x | SSm2 x | SSm1 x | SSm0 0/1 |

(g) 输入切换控制寄存器(ISC)...CSI00从通道（单元0的通道0）中SSi00的输入设置。

| | | | | | | | | |
|-----|---------------|---|---|---|---|---|---|---|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ISC | SSiE00 0/1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

0: 禁止SSi00引脚的输入值
1: 允许SSi00引脚的输入值

备注 1. m: 单元编号(m = 0), n: 通道编号(n = 0), p: CSI 编号(p = 00)

备注 2.

禁止设置（设置为初始值）

x: 此模式下不能使用的位（任意模式下均不使用时设置为初始值）

0/1: 可根据用户的用途设为0或1

(2) 操作步骤

图 13 - 98 从接收的初始设置步骤

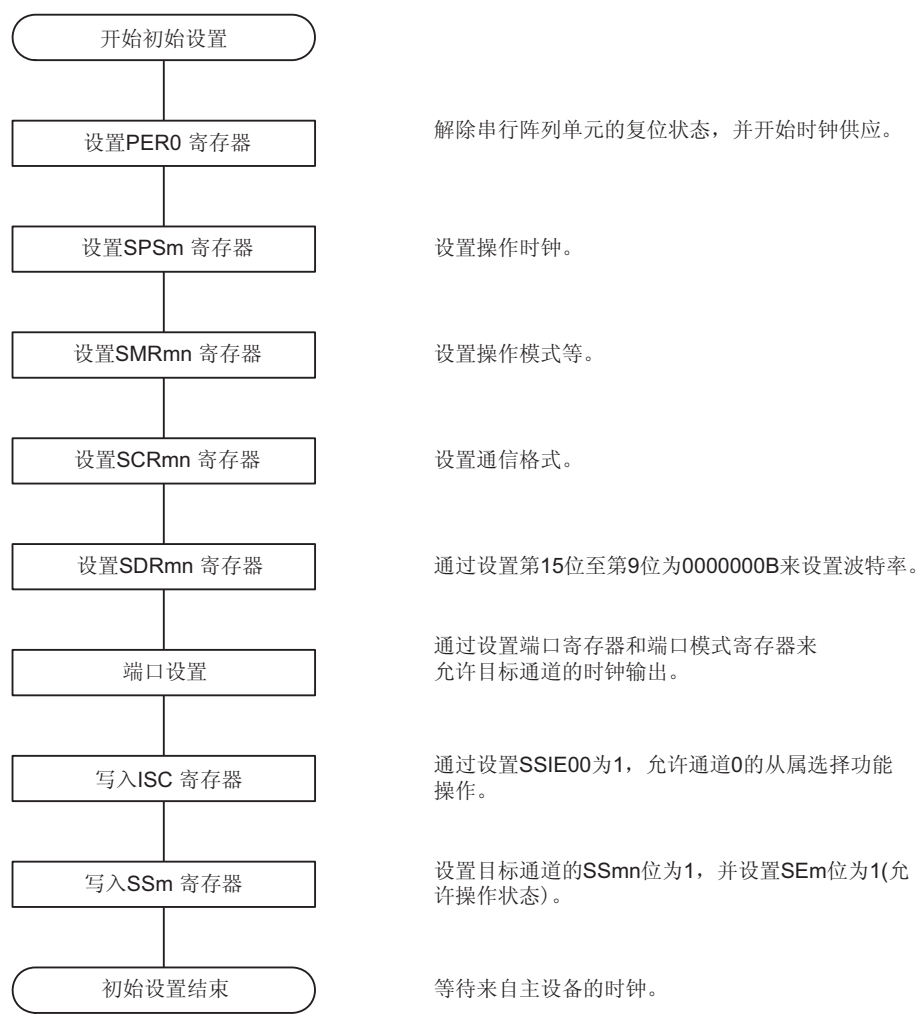
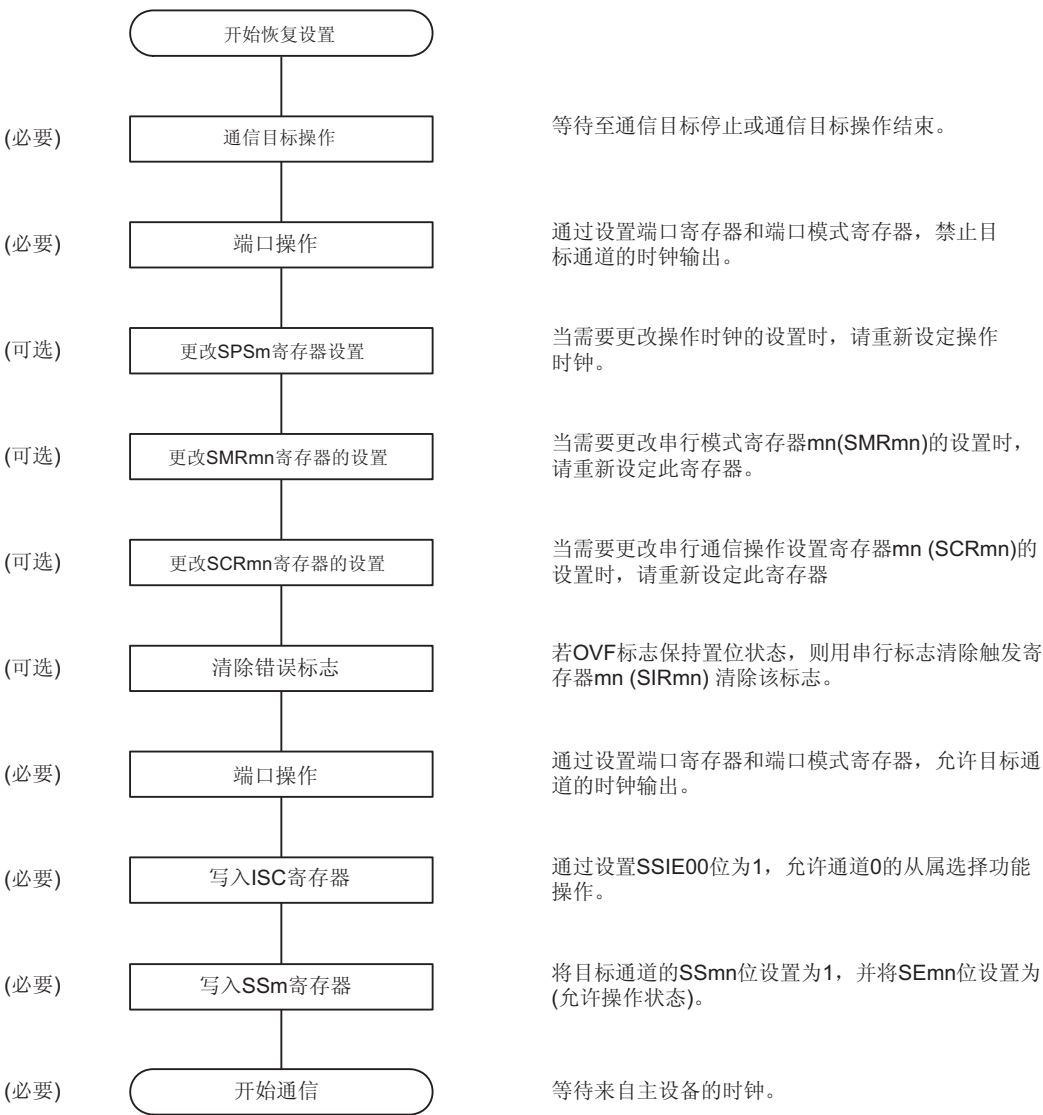


图 13 - 99 停止从接收的步骤



备注 m: 单元编号 (m = 0)， n: 通道编号 (n = 0)， p: CSI编号 (p = 00)

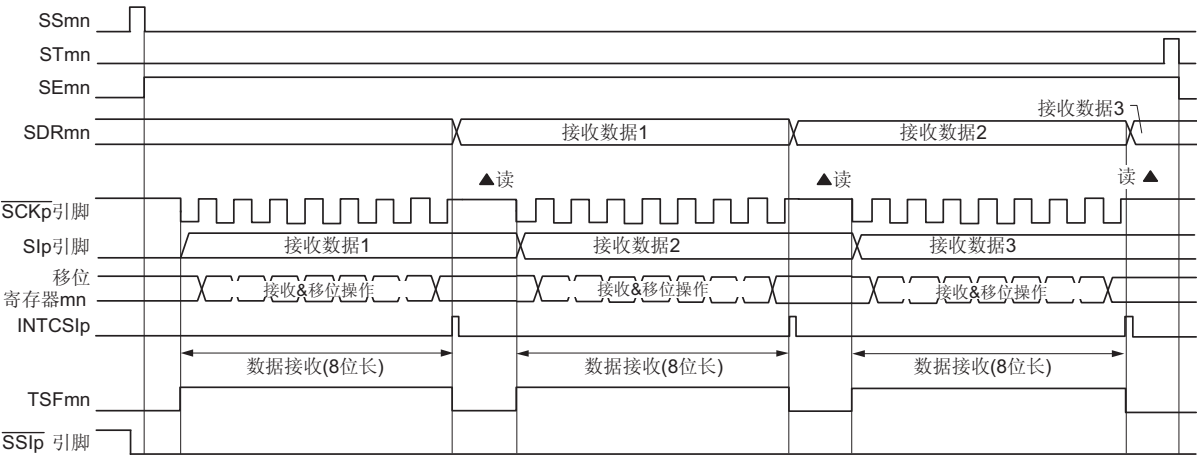
图 13 - 100 恢复从接收的步骤



备注 m: 单元编号(m = 0)， n: 通道编号(n = 0)， p: CSI编号(p = 00)

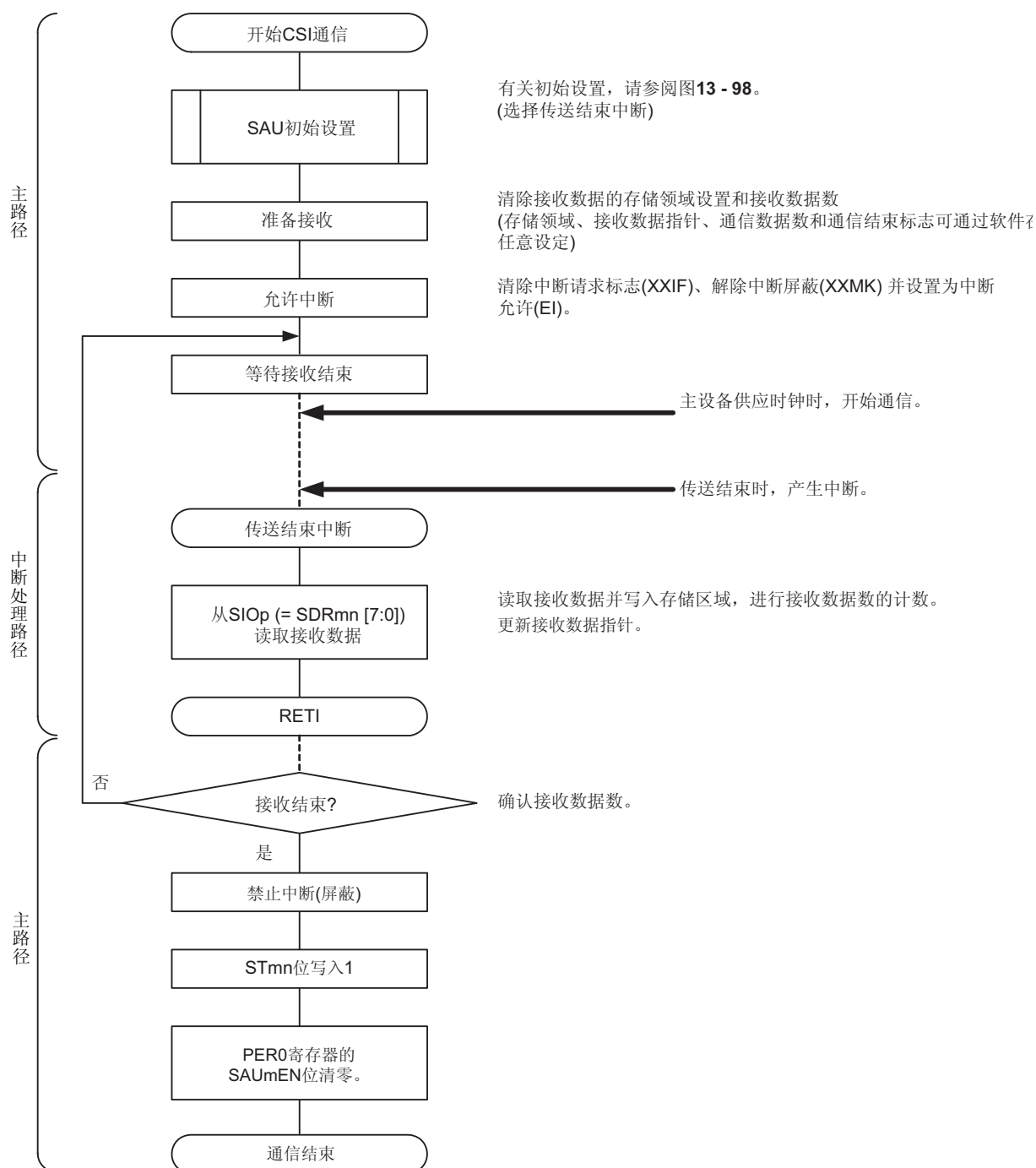
(3) 处理流程（单接收模式时）

图 13 - 101 从接收（单接收模式时）的时序图
（类型 1: DAPmn = 0、CKPmn = 0）



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

图 13 - 102 从接收（单接收模式时）的流程图



备注 在设置外围允许寄存器 0 (PER0) 的 SAUmEN 位为 1 后，必须在经过 4 个或更多 fCLK 时钟后设置串行时钟选择寄存器 m (SPSm)。

13.6.3 从发送/接收

从发送/接收是指，当接收来自另一个器件的传送时钟输入时，μPD79F7027, μPD79F7028 发送数据至其他器件或者从其他器件接收数据。

| 从设备选择输入功能 | CSI00 |
|-----------|--|
| 目标通道 | SAU0 的通道 0 |
| 使用引脚 | SCK00、SI00、SO00、SSI00 |
| 中断 | INTCSI00 可选择传送结束中断（单发送模式时）或缓冲器空中断（连续发送模式时）。 |
| 错误检测标志 | 仅限溢出错误检测标志 (OVFmn) |
| 传送数据长度 | 7 或 8 位 |
| 传送速率 | 最大 $f_{MCK}/6$ [Hz] 注 1、2 |
| 数据相位 | 可通过 SCRmn 寄存器的 DAPmn 位选择 <ul style="list-style-type: none"> • DAPmn = 0: 从开始串行时钟操作时开始数据输入/输出 • DAPmn = 1: 从开始串行时钟操作的半个时钟前开始数据输入/输出。 |
| 时钟相位 | 可通过 SCRmn 寄存器的 CKPmn 位选择 <ul style="list-style-type: none"> • CKPmn = 0: 正相 • CKPmn = 1: 反相 |
| 数据方向 | MSB 或 LSB 优先 |
| 从设备选择输入功能 | 可选择从设备选择输入功能操作 |

注 1. 输入至 SCK00 引脚的外部串行时钟是在内部通过采样使用，因此最大传送速率为 $f_{MCK}/6$ [Hz]。

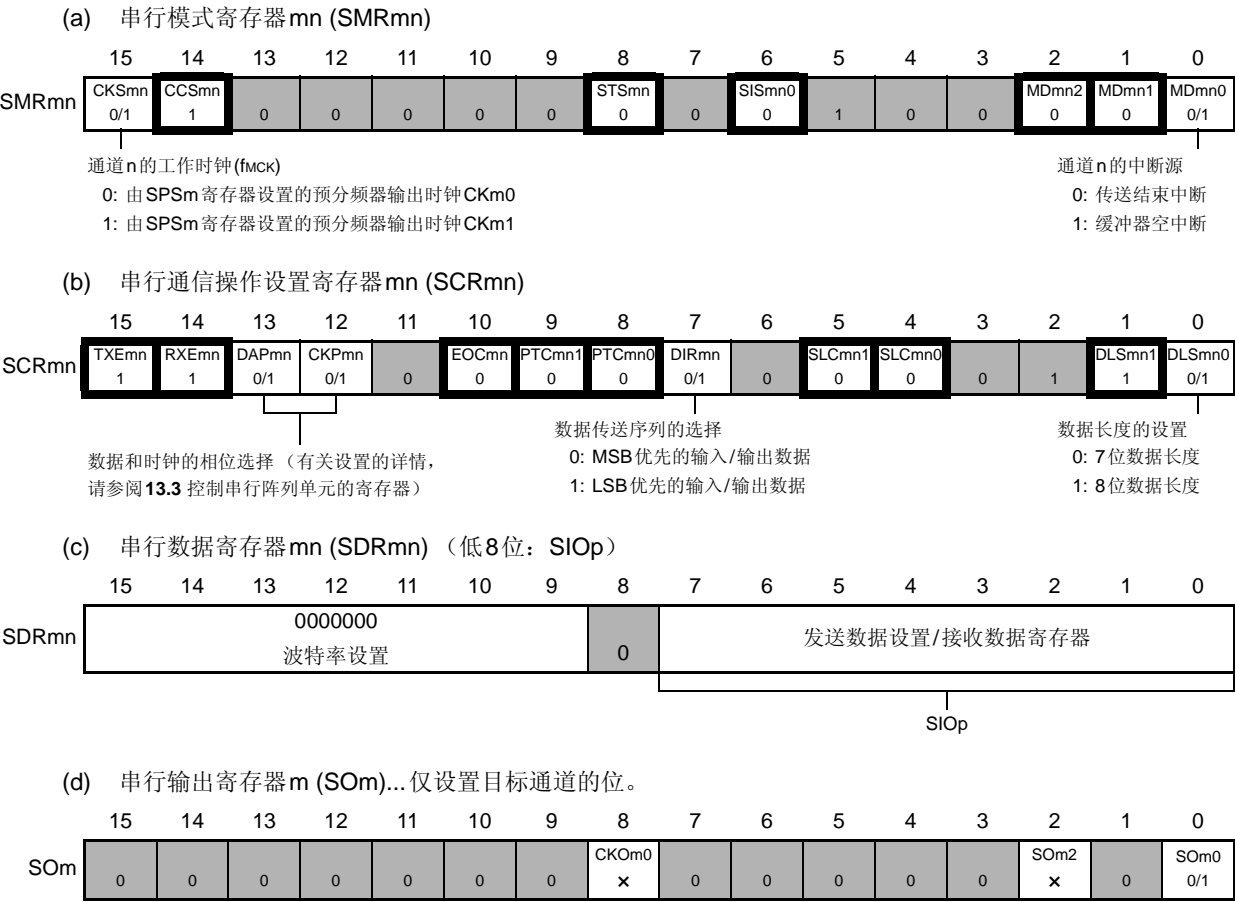
注 2. 在满足以上条件及电特性中的 AC 特性（参阅第 27 章 电特性）的范围内使用此操作。

备注 1. f_{MCK} : 目标通道的工作时钟频率

备注 2. m: 单元编号 ($m = 0$), n: 通道编号 ($n = 0$)

(1) 寄存器设置

图 13 - 103 从设备选择输入功能(CSI00)的从发送/接收时的寄存器
内容示例(1/2)



注意事项 必须在主时钟启动之前, 把发送数据设置至 SIOp 寄存器。

备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

备注 2. : 设置固定于 CSI 从发送/接收模式

: 禁止设置 (设置为初始值)

x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)

0/1: 可根据用户的用途设为 0 或 1

图 13 - 104 从设备选择输入功能(CSI00)的从发送/接收时的寄存器
内容示例(2/2)

(e) 串行输出允许寄存器m (SOEm)... 仅将目标通道的位设置为 1。

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|------------|---|--------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm2 x | 0 | SOEm0 0/1 |

(f) 串行通道开始寄存器m (SSm)... 仅将目标通道的位设置为 1。

| | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|-----------|-----------|-----------|-------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 x | SSm2 x | SSm1 x | SSm0 0/1 |

(g) 输入切换控制寄存器(ISC)...CSI00从通道（单元0的通道0）中SSi00的输入设置。

| | | | | | | | | |
|-----|---------------|---|---|---|---|---|---|---|
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ISC | SSiE00 0/1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

0: 禁止SSi00引脚的输入值
1: 允许SSi00引脚的输入值

备注 1. m: 单元编号(m = 0), n: 通道编号(n = 0), p: CSI 编号(p = 00)

备注 2.

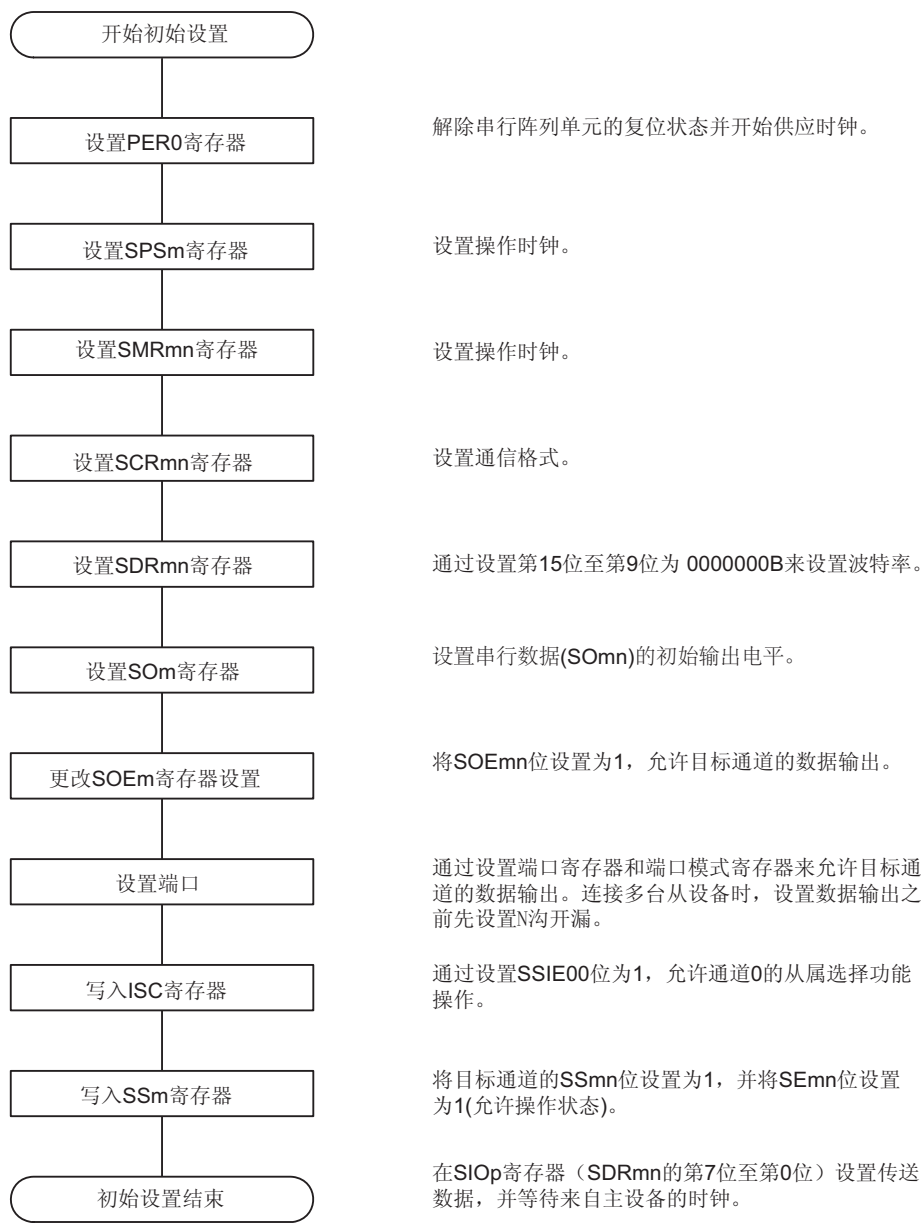
禁止设置（设置为初始值）

x: 此模式下不能使用的位（任意模式下均不使用时设置为初始值）

0/1: 可根据用户的用途设为0或1

(2) 操作步骤

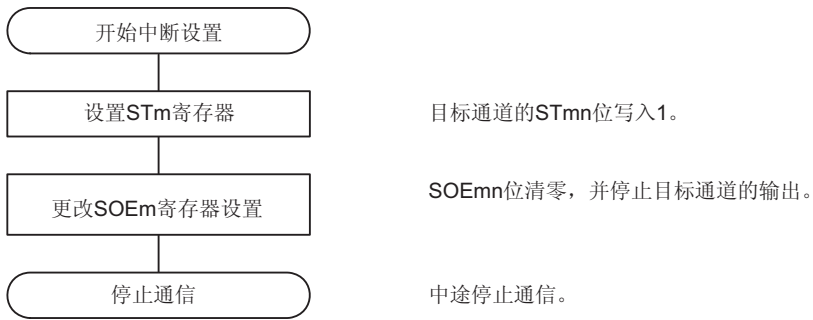
图 13 - 105 从发送/接收的初始设置步骤



注意事项 必须在主时钟启动之前，把发送数据设置至 **SIOp** 寄存器。

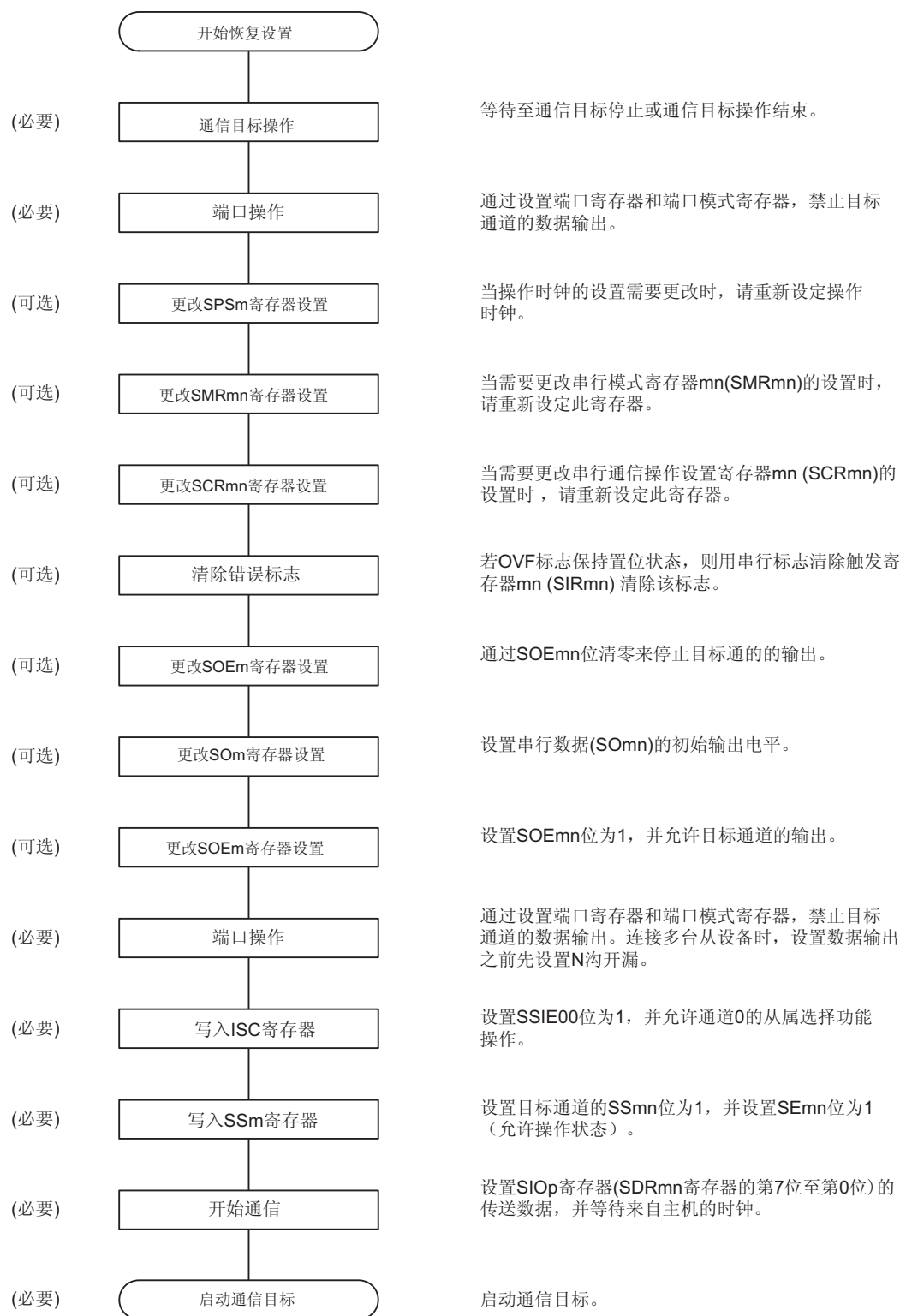
备注 m: 单元编号 (m = 0)， n: 通道编号 (n = 0)， p: CSI 编号 (p = 00)

图 13 - 106 停止从发送/接收的步骤



- 备注 1. 即使在停止通信之后也保持引脚电平。将串行输出寄存器m (SOm)复位，以恢复操作（参阅图 13 - 107 恢复从发送/接收的步骤）。
- 备注 2. m: 单元编号 (m = 0)， n: 通道编号 (n = 0)， p: CSI编号 (p = 00)

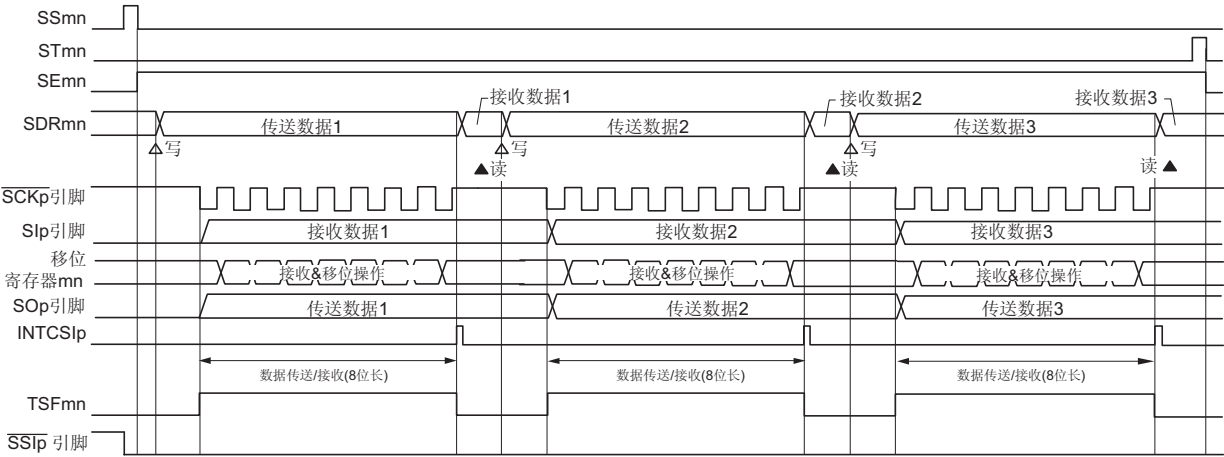
图 13 - 107 恢复从发送/接收的步骤



注意事项 必须在主时钟启动之前，把发送数据设置至SIOp寄存器。

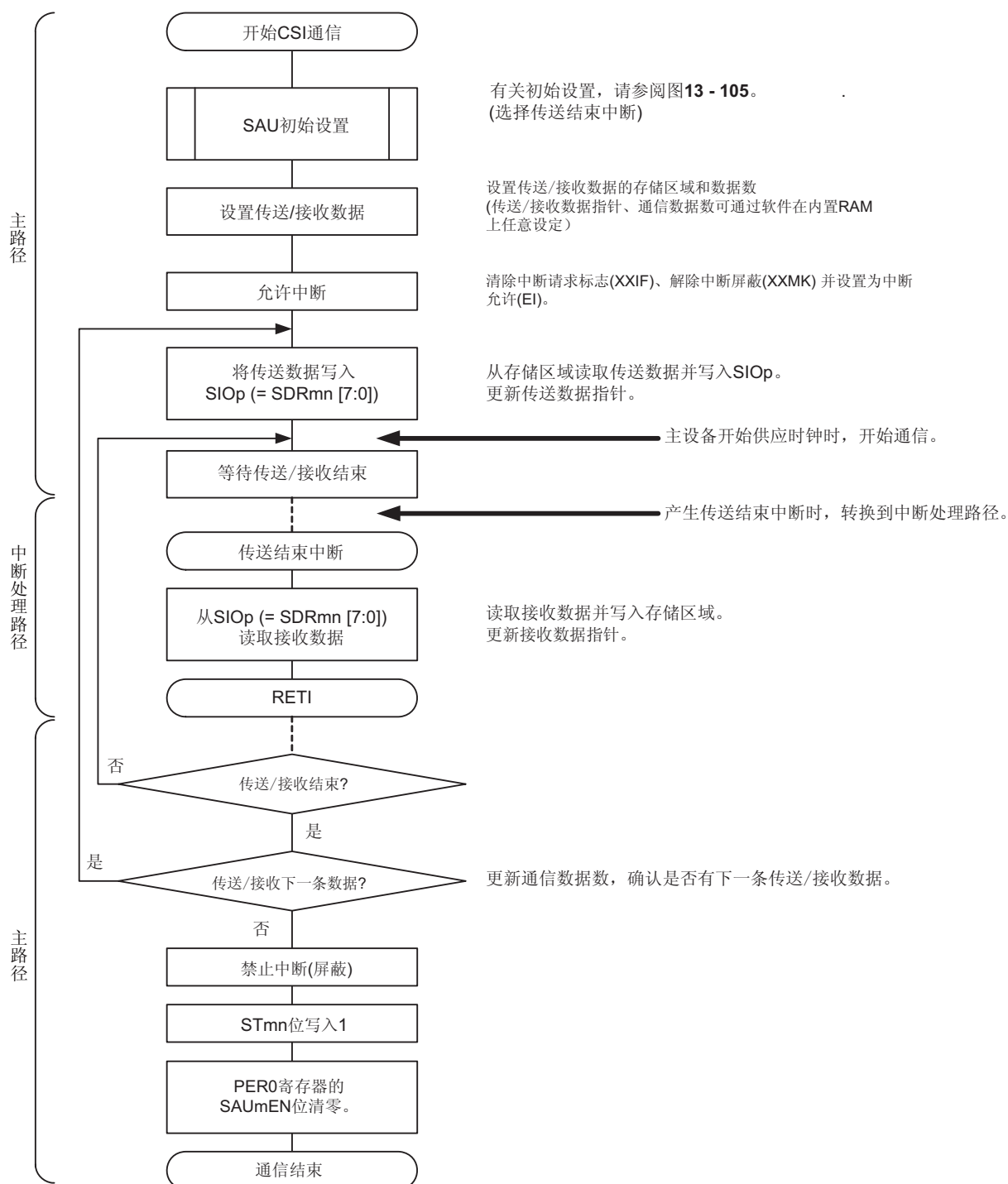
(3) 处理流程（单发送/接收模式时）

图 13 - 108 从发送/接收（单发送/接收模式时）的时序图
（类型 1: DAPmn = 0、CKPmn = 0）



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

图 13 - 109 从发送/接收（单发送/接收模式时）的流程图

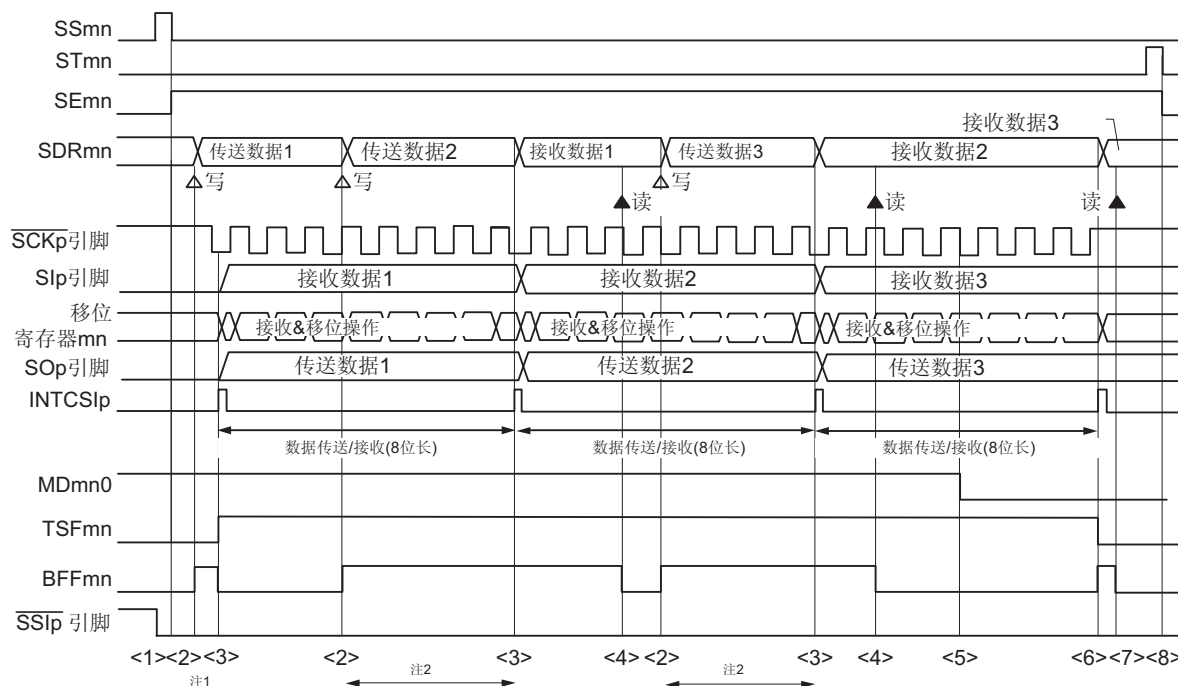


注意事项 必须在主时钟启动之前，把发送数据设置至 **SIOp** 寄存器。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

(4) 处理流程（连续发送/接收模式时）

图 13 - 110 从发送/接收（连续发送/接收模式时）的时序图（类型 1: DAPmn = 0、CKPmn = 0）



注 1. 如果在串行状态寄存器mn (SSRmn)的BFFmn位为1时将发送数据写入SDRmn寄存器（将有效数据存储于串行数据寄存器mn (SDRmn)中），则发送数据将被重写。

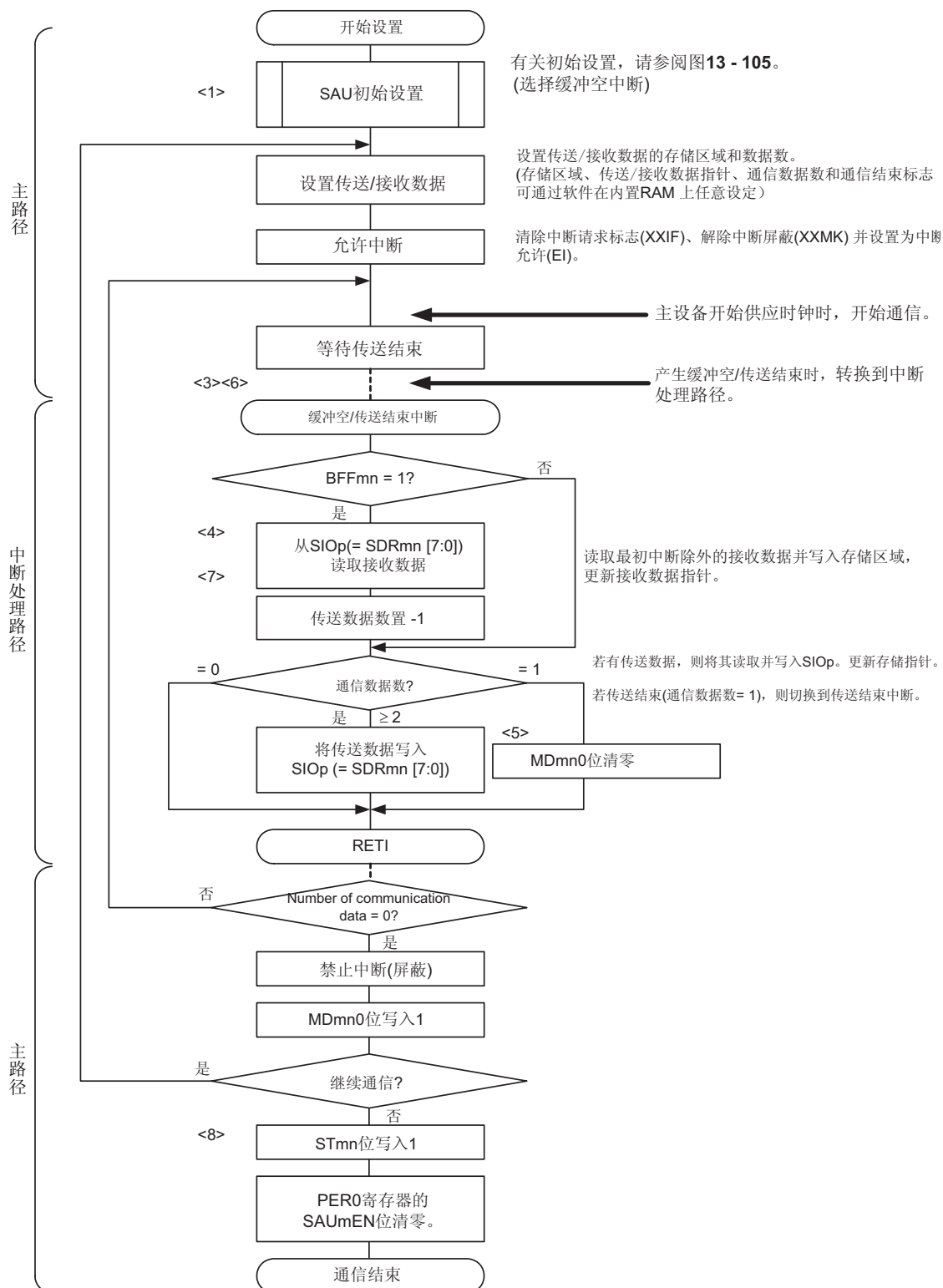
注 2. 在此过程中可以通过读取SDRmn寄存器来读取发送数据。此时，传送操作不受影响。

注意事项 即使在操作过程中，也可改写串行模式寄存器mn (SMRmn)的MDmn0位。
但是必须在开始传送最后一位之前改写，以便在最后发送数据的传送结束中断之前完成改写。

备注 1. 图中的<1>至<8>对应图 13 - 111 从发送/接收（连续发送/接收模式时）的流程图中的<1>至<8>。

备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

图 13 - 111 从发送/接收（连续发送/接收模式时）的流程图



注意事项 必须在主时钟启动之前，把发送数据设置至 **SIOp** 寄存器。

注意事项 1. 图中的 <1> 至 <8> 对应图 13 - 110 从发送/接收（连续发送/接收模式时）的时序图（类型1: DAPmn = 0、CKPmn = 0）中的 <1> 至 <8>。

注意事项 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0), p: CSI 编号 (p = 00)

13.6.4 计算传送时钟频率

从设备选择输入功能 (CSI00) 通信的传送时钟频率可以通过以下表达式计算。

(1) 主设备

$$(\text{传送时钟频率}) = \{ \text{目标通道的工作时钟 (fmck) 频率} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) 从设备

$$(\text{传送时钟频率}) = \{ \text{由主设备提供的串行时钟 (SCK) 频率} \} \text{ 注 [Hz]}$$

注 允许的最大传送时钟频率为 $\text{fmck}/6$ 。

备注 SDRmn[15:9] 的值为串行数据寄存器 mn (SDRmn) 的位 15 至位 9 的值 (0000000B 至 1111111B)，即 0 至 127。

工作时钟 (fmck) 取决于串行时钟选择寄存器 m (SPSm) 以及串行模式寄存器 mn (SMRmn) 的位 15 (CKSmn)。

备注 m: 单元编号 ($m = 0$), n: 通道编号 ($n = 0$), p: CSI 编号 ($p = 00$)

表 13 - 3 用于从设备选择输入功能的工作时钟的选择

| SMRmn 寄存器 | SPSm 寄存器 | | | | | | | | 工作时钟 (f _{CLK}) 注 | |
|--------------|------------|------------|------------|------------|------------|------------|------------|------------|-----------------------------------|---------------------------|
| CKSmn | PRS m13 | PRS m12 | PRS m11 | PRS m10 | PRS m03 | PRS m02 | PRS m01 | PRS m00 | | f _{CLK} = 24 MHz |
| 0 | x | x | x | x | 0 | 0 | 0 | 0 | f _{CLK} | 24 MHz |
| | x | x | x | x | 0 | 0 | 0 | 1 | f _{CLK} /2 | 12 MHz |
| | x | x | x | x | 0 | 0 | 1 | 0 | f _{CLK} /2 ² | 6 MHz |
| | x | x | x | x | 0 | 0 | 1 | 1 | f _{CLK} /2 ³ | 3 MHz |
| | x | x | x | x | 0 | 1 | 0 | 0 | f _{CLK} /2 ⁴ | 1.5 MHz |
| | x | x | x | x | 0 | 1 | 0 | 1 | f _{CLK} /2 ⁵ | 750 kHz |
| | x | x | x | x | 0 | 1 | 1 | 0 | f _{CLK} /2 ⁶ | 375 kHz |
| | x | x | x | x | 0 | 1 | 1 | 1 | f _{CLK} /2 ⁷ | 187.5 kHz |
| | x | x | x | x | 1 | 0 | 0 | 0 | f _{CLK} /2 ⁸ | 93.75 kHz |
| | x | x | x | x | 1 | 0 | 0 | 1 | f _{CLK} /2 ⁹ | 46.88 kHz |
| | x | x | x | x | 1 | 0 | 1 | 0 | f _{CLK} /2 ¹⁰ | 23.44 kHz |
| | x | x | x | x | 1 | 0 | 1 | 1 | f _{CLK} /2 ¹¹ | 11.72 kHz |
| | x | x | x | x | 1 | 1 | 0 | 0 | f _{CLK} /2 ¹² | 5.86 kHz |
| | x | x | x | x | 1 | 1 | 0 | 1 | f _{CLK} /2 ¹³ | 2.93 kHz |
| | x | x | x | x | 1 | 1 | 1 | 0 | f _{CLK} /2 ¹⁴ | 1.46 kHz |
| | x | x | x | x | 1 | 1 | 1 | 1 | f _{CLK} /2 ¹⁵ | 732 Hz |

注 要更改 f_{CLK} 的时钟选择时（通过更改系统时钟控制寄存器 (CKC) 的值），必须在停止串行阵列单元 (SAU) 操作（串行通道停止寄存器 m (STm) = 000FH）之后才可以执行。

备注 1. x: 忽略

备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0)

13.6.5 从设备选择输入功能通信过程中发生错误时的处理步骤

从设备选择输入功能通信过程中发生错误时的处理步骤如图 13 - 112所示。

图 13 - 112 发生溢出错误时的处理步骤

| 软件操作 | 硬件状态 | 备注 |
|----------------------------|----------------------------------|--|
| 读取串行数据寄存器mn (SDRmn)。→ | SSRmn寄存器的BFFmn位被清除为0，并允许通道n接收数据。 | 这是为了防止在处理错误的过程中完成了下一次接收时所发生的溢出错误。 |
| 读取串行状态寄存器mn (SSRmn)。 | | 识别出错误类型，并用读取值来清除错误标志。 |
| 将1写入串行标志清除触发寄存器mn (SIRmn)。 | 错误标志被清除。 | 将SSRmn寄存器的读取值直接写入SIRmn寄存器，从而可以只清除读取时的错误。 |

备注 m: 单元编号 (m = 0)， n: 通道编号 (n = 0)

13.7 UART (UART0、UART1) 通信的操作

这是一种异步功能，采用两条线路：串行数据发送线(TxD)和串行数据接收线(RxD)。使用这两条通信线路，各数据帧（由一个起始位、数据、奇偶校验位和停止位构成）在单片机与其他通信方之间（以内部波特率）异步传送。全双工 UART 通信可以使用一个发送专用通道（偶数通道）和一个接收专用通道（奇数通道）来实现。

[数据的发送/接收]

- 数据长度为 7、8 或 9 位^注
- 选择 MSB/LSB 优先
- 发送/接收数据的电平设置及反相选择
- 附加奇偶校验位和奇偶校验功能
- 附加停止位

[中断功能]

- 传送结束中断/缓冲器空中断
- 出现帧错误、奇偶检验错误或溢出错误时的错误中断

[错误检测标志]

- 帧错误、奇偶校验错误、溢出错误

另外，以下通道的 UART 支持 SNOOZE 模式。当在 STOP 模式下检测到 RxD 输入时，借助 SNOOZE 模式，不需要 CPU 动作就可以接收数据。异步接收只能指定以下 UART。

- UART0

注 仅限以下 UART 可以设定 9 位的数据长度。

- UART0

UART0 使用 SAU0 的通道 0 和 1。
UART1 使用 SAU0 的通道 2 和 3。

• 30、32 引脚产品

| 单元 | 通道 | 用作 CSI | 用作 UART | 用作简易 I ² C |
|----|----|------------------------|---------|-----------------------|
| 0 | 0 | CSI00 (支持从设备选择输入功能) | UART0 | IIC00 |
| | 1 | — | | — |
| | 2 | — | UART1 | — |
| | 3 | — | | — |

注意事项 可以对每个通道选择任何一个功能。但是，仅限所选的功能有效。例如，对于单元 0 的通道 0 和 1，如果选择 **UART0**，则这些通道就不能用于 **CSI00** 和 **IIC00**。
同时，同一单元的通道 0、1 或其他通道可以使用 **UART1** 以外的功能（例如 **CSI00**、**UART0** 和 **IIC00**）。

UART 执行以下四种类型的通信操作。

- UART 发送 (参阅 13.7.1。)
- UART 接收 (参阅 13.7.2。)

13.7.1 UART 发送

UART 发送操作用于将数据从 μPD79F7027, μPD79F7028 异步发送至另一器件（调步同期）。
在用于 UART 的两个通道中，偶数通道用于 UART 发送。

| UART | UART0 | UART1 |
|--------|---|------------|
| 目标通道 | SAU0 的通道 0 | SAU0 的通道 2 |
| 使用引脚 | TxD0 | TxD1 |
| 中断 | INTST0 | INTST1 |
| | 可选择传送结束中断（单发送模式时）或缓冲器空中断（连续发送模式时）。 | |
| 错误检测标志 | 无 | |
| 传送数据长度 | 7、8 或 9 位注 1 | |
| 传送速率 | 最大 fmck/6 [bps]（SDRmn [15:9] = 2 或更多），最小 fclk/(2 × 2 ¹⁵ × 128) [bps] 注 2 | |
| 数据相位 | 正相输出（默认：高电平） 反相输出（默认：低电平） | |
| 奇偶校验位 | 以下可选 • 无奇偶校验位 • 附加零校验 • 附加偶校验 • 附加奇校验 | |
| 停止位 | 以下可选 • 附加 1 位 • 附加 2 位 | |
| 数据方向 | MSB 或 LSB 优先 | |

注 1. 仅限以下 UART 可以设定 9 位的数据长度。
• UART0

注 2. 在满足以上条件及电特性中的 AC 特性（参阅第 27 章 电特性）的范围内使用此操作。

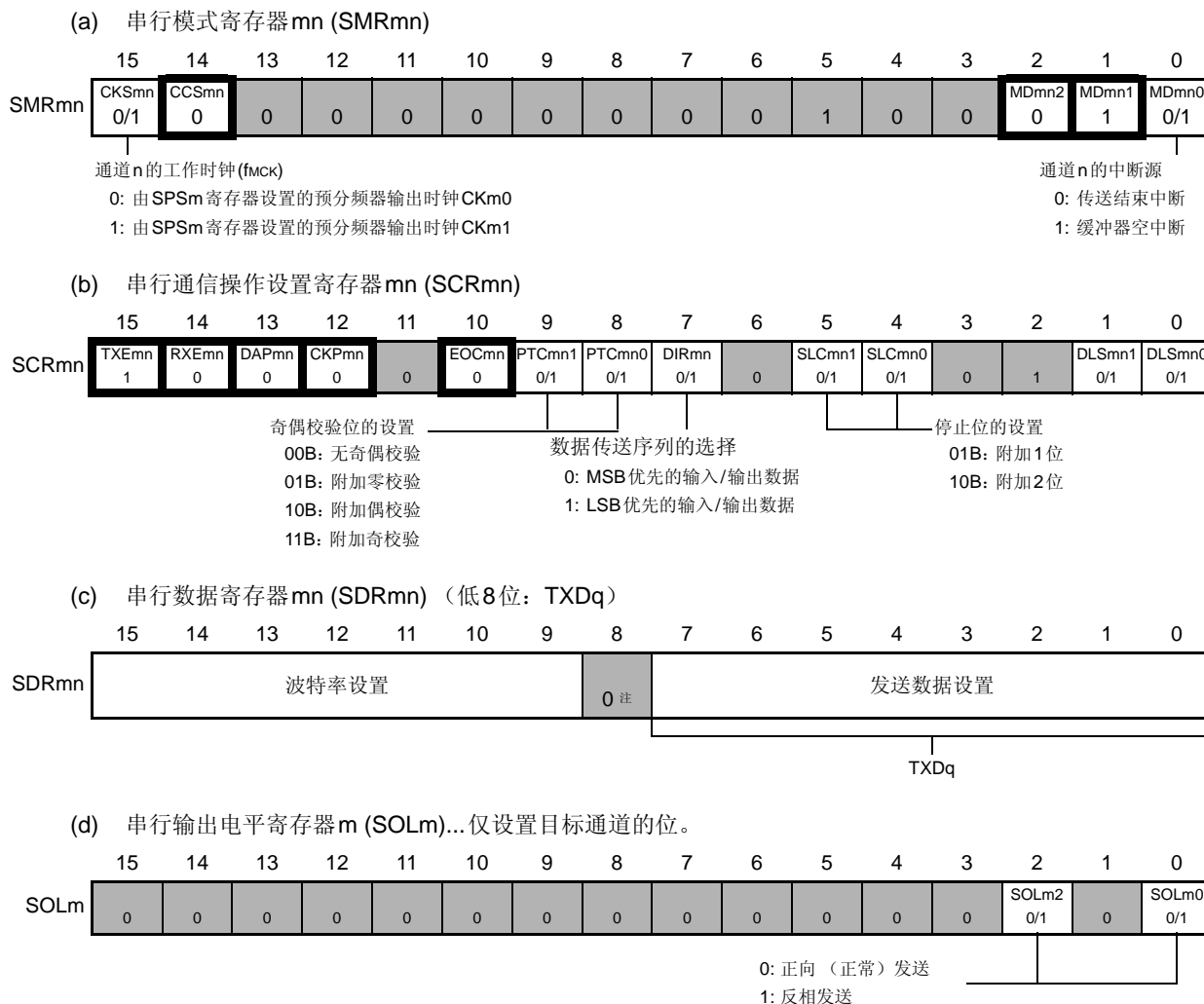
备注 1. fmck: 目标通道的工作时钟频率
fclk: 系统时钟频率

备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0、2), mn = 00、02

(1) 寄存器设置

图 13 - 113 UART (UART0、UART1) 的 UART 发送时的寄存器设置

内容示例 (1/2)



注 当执行 9 位通信时, SDRm0 寄存器的位 0 至 8 用于指定发送数据。

• UART0

备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0、2), q: UART 编号 (q = 0、1), mn = 00、02

备注 2. : 设置固定于 UART 发送模式,

 : 禁止设置 (设置为初始值)

x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)

0/1: 可根据用户的用途设为 0 或 1

图 13 - 114 UART (UART0、UART1) 的 UART 发送时的寄存器设置

内容示例 (2/2)

(e) 串行输出寄存器 m (SOm)... 仅设置目标通道的位。

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|----|----|----|----|----|----|---|------------|---|---|---|---|---|---------------|---|---------------|
| SOm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | CKOm0 x | 0 | 0 | 0 | 0 | 0 | SOm2 0/1 注 | 0 | SOm0 0/1 注 |

0: 串行数据输出值为 00
1: 串行数据输出值为 “1”

(f) 串行输出允许寄存器 m (SOEm)... 仅将目标通道的位设置为 1。

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|--------------|---|--------------|
| SOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm2 0/1 | 0 | SOEm0 0/1 |

(g) 串行通道开始寄存器 m (SSm)... 仅将目标通道的位设置为 1。

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|-----------|-------------|-----------|-------------|
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 x | SSm2 0/1 | SSm1 x | SSm0 0/1 |

注 开始发送前，当目标通道的 SOLmn 位为 0 时，必须设置为 1，当目标通道的 SOLmn 位为 1 时，必须清除为 0。
在通信操作过程中，该值因通信数据而异。

备注 1. m: 单元编号 (m = 0)，n: 通道编号 (n = 0、2)，q: UART 编号 (q = 0、1)
mn = 00、02

备注 2. : 禁止设置 (设置为初始值)
x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
0/1: 可根据用户的用途设为 0 或 1

(2) 操作步骤

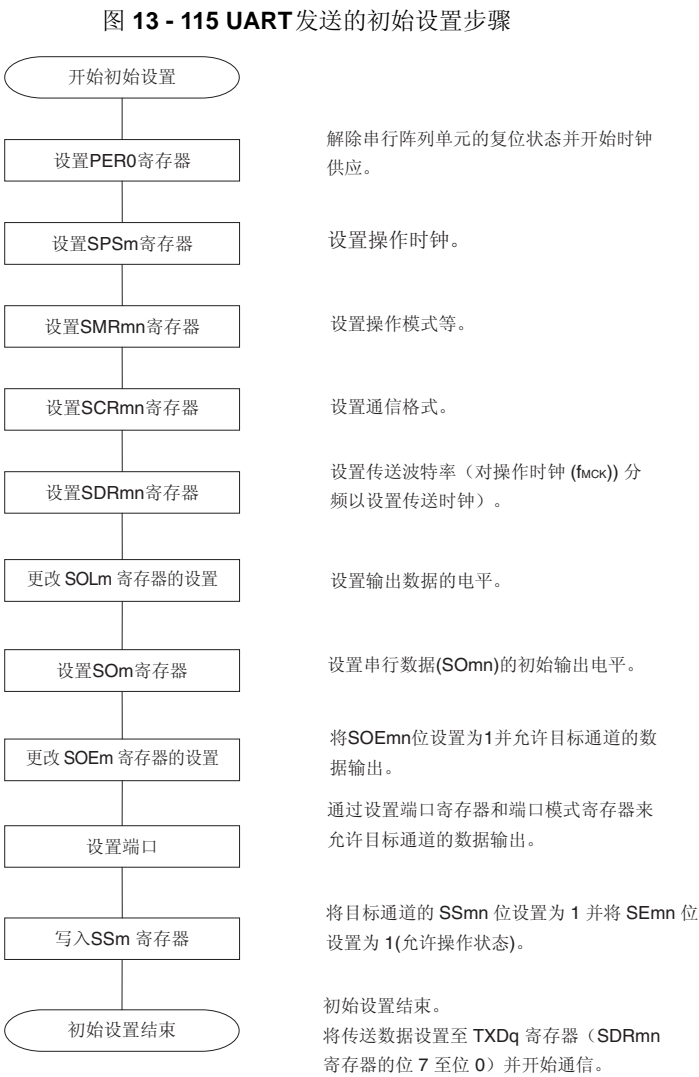


图 13 - 116 停止 UART 发送的步骤

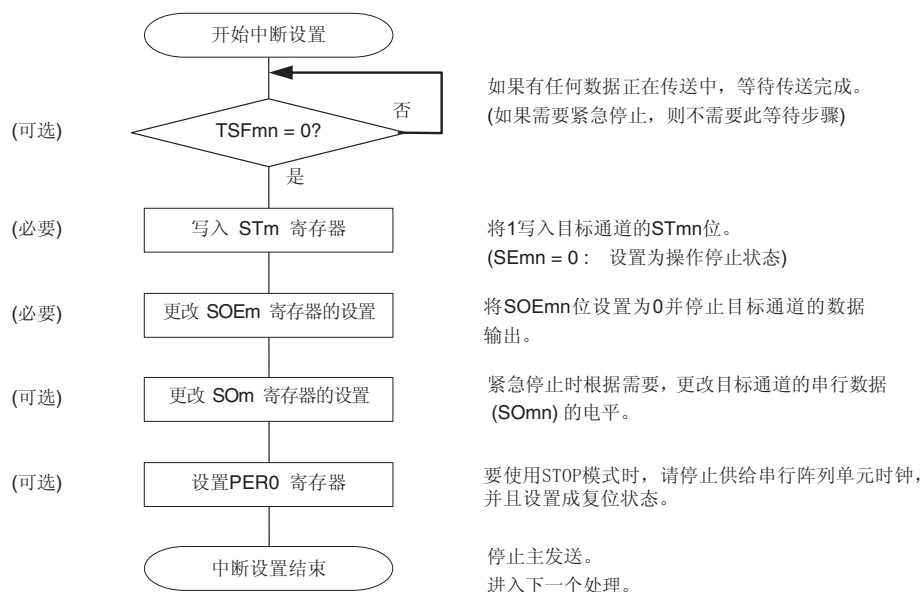
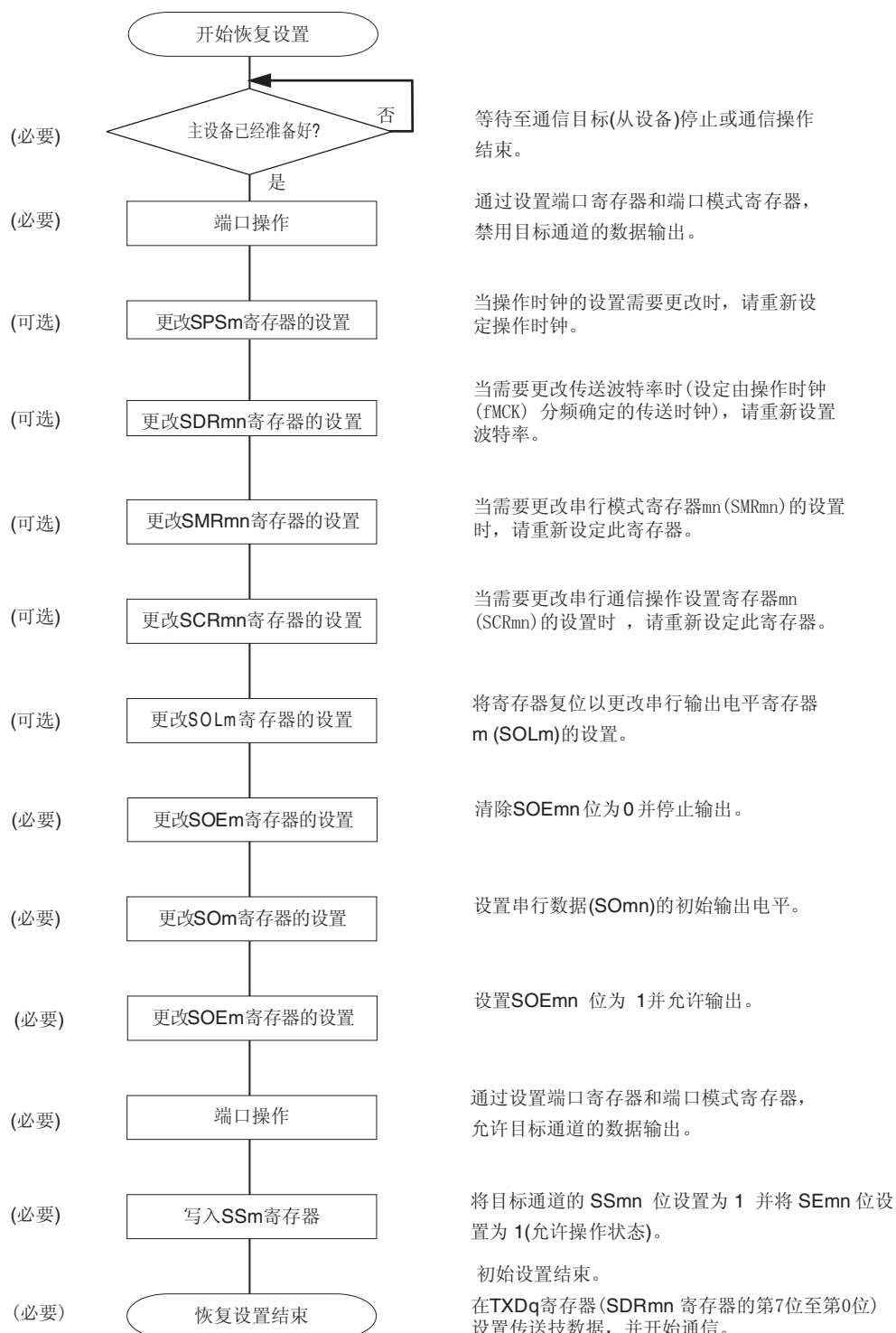


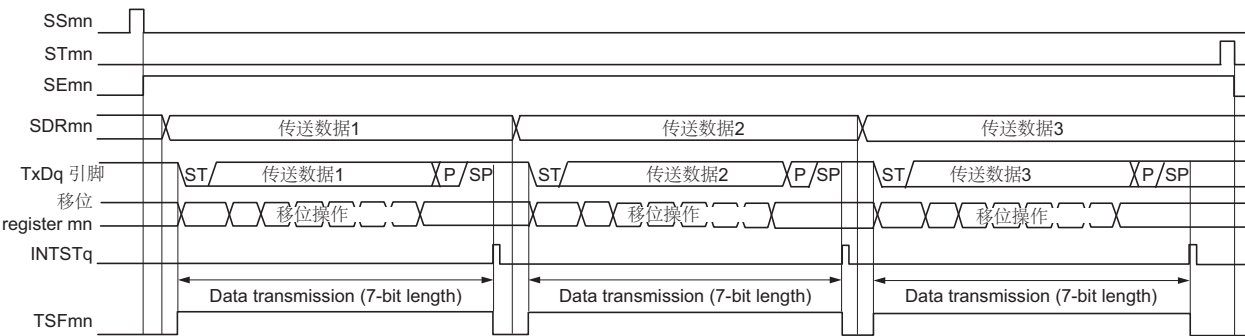
图 13 - 117 恢复UART发送的步骤



备注 在停止主发送的步骤中改写PER0而停止时钟供应时，请等待通信目标停止或者通信结束，然后执行初始设置，而不是重传设置。

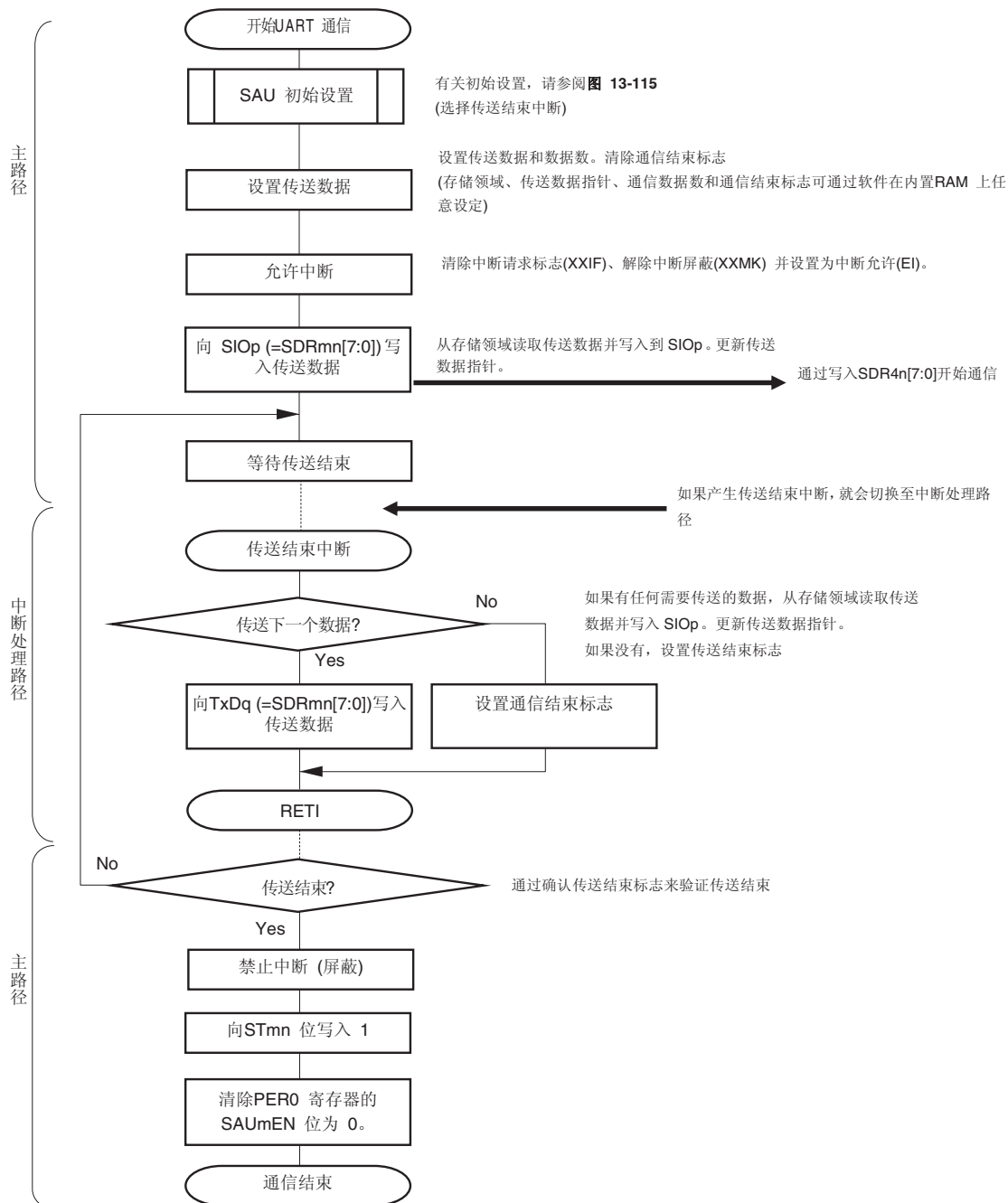
(3) 处理流程（单发送模式时）

图 13 - 118 UART发送（单发送模式时）的时序图



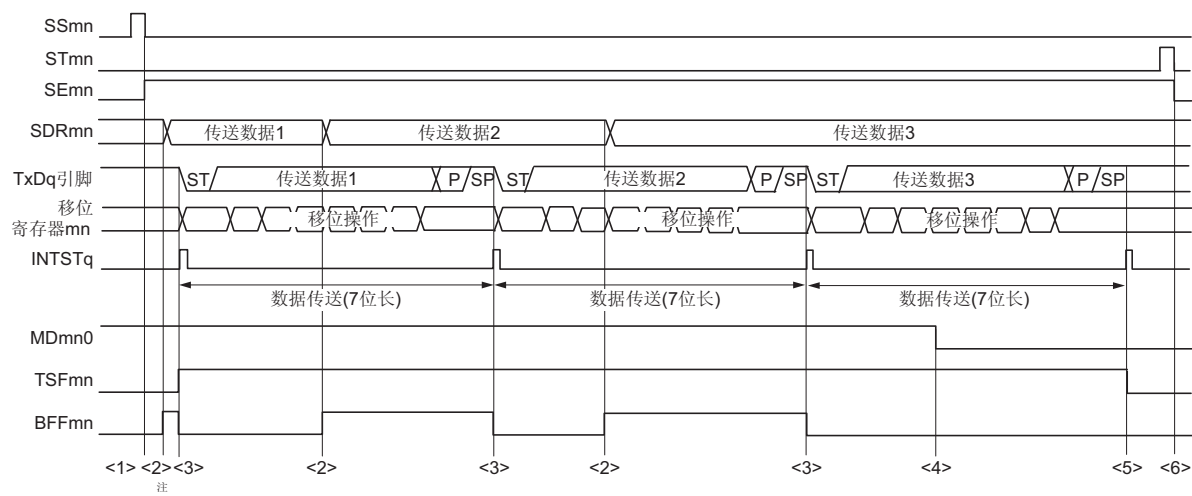
备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0、2), q: UART 编号 (q = 0、1)
 mn = 00、02

图 13 - 119 UART 发送（单发送模式时）的流程图



(4) 处理流程（连续发送模式时）

图 13 - 120 UART 发送（连续发送模式时）的时序图

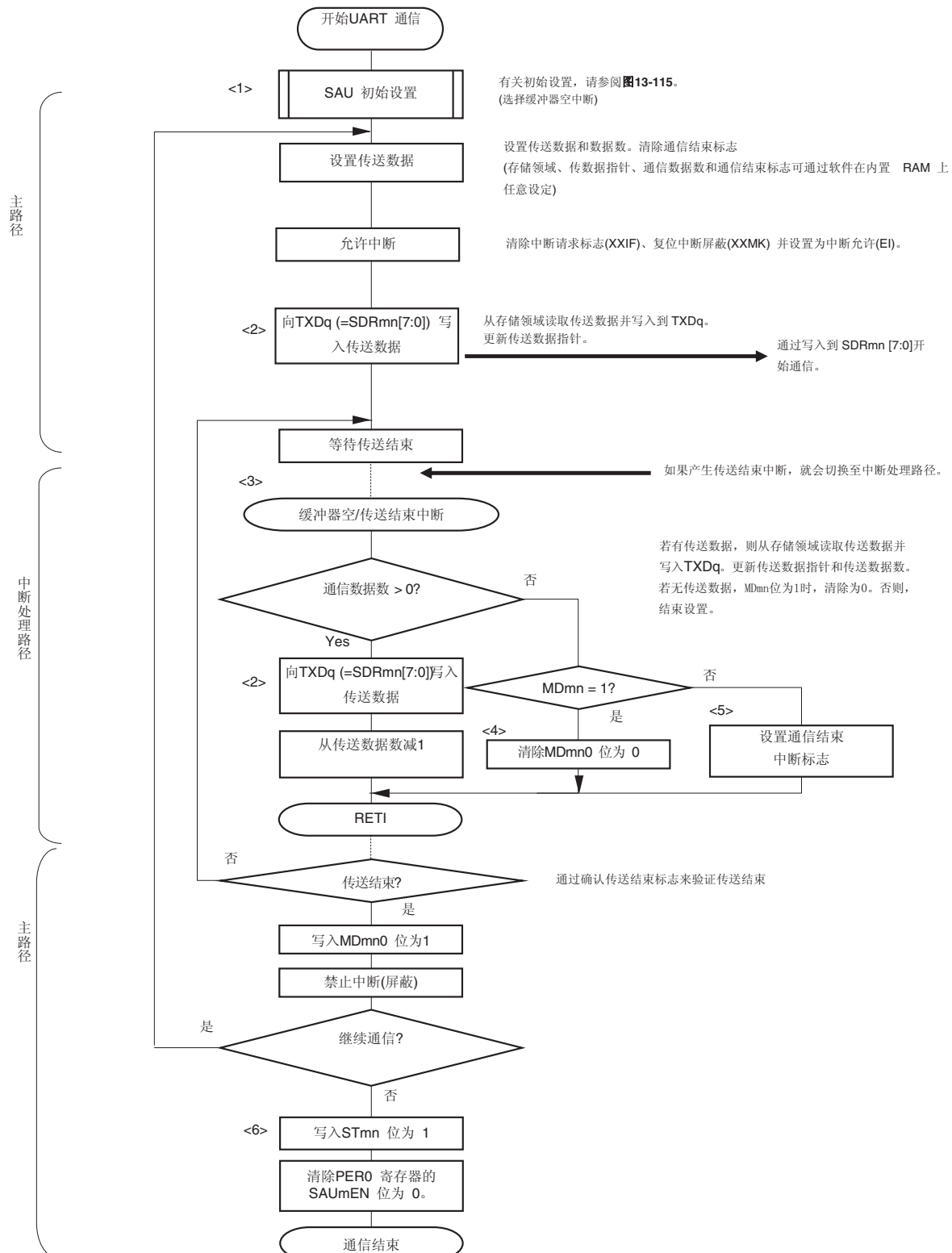


注 如果在串行状态寄存器mn (SSRmn)的BFFmn位为1时将发送数据写入SDRmn寄存器（将有效数据存储于串行数据寄存器mn (SDRmn)中），则发送数据将被重写。

注意事项 即使在操作过程中，也可改写串行模式寄存器mn (SSRmn)的MDmn0位。但是必须在开始传送最后一位之前改写，这样才能在最后发送数据的传送结束中断前完成改写。

备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0、2), q: UART 编号 (q = 0、1)
mn = 00、02

图 13-121 UART 发送（连续发送模式时）的流程图



备注 图中的<1>至<6>对应图 13 - 120 UART发送（连续发送模式时）的时序图中的<1>至<6>。

13.7.2 UART 接收

UART 接收操作指 μPD79F7027, μPD79F7028 从另一器件异步接收数据（调步同期）。

用于 UART 的两个通道中的奇数通道被用作 UART 接收。必须设置奇数和偶数通道的 SMR 寄存器。

| UART | UART0 | UART1 |
|--------|--|------------|
| 目标通道 | SAU0 的通道 1 | SAU0 的通道 3 |
| 使用引脚 | RxD0 | RxD1 |
| 中断 | INTST0 | INTST1 |
| | 仅限传送结束中断（禁止设置缓冲器空中断） | |
| 错误中断 | INTSRE0 | INTSRE1 |
| 错误检测标志 | <ul style="list-style-type: none"> • 帧错误检测标志 (FEFmn) • 奇偶校验错误检测标志 (PEFmn) • 溢出错误检测标志 (OVFmn) | |
| 传送数据长度 | 7、8 或 9 位 ^{注 1} | |
| 传送速率 | 最大 $f_{MCK}/6$ [bps] ($SDR_{mn}[15:9] = 2$ 或更多)，最小 $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] ^{注 2} | |
| 数据相位 | 正相输出（默认：高电平） 反相输出（默认：低电平） | |
| 奇偶校验位 | 以下可选 <ul style="list-style-type: none"> • 无奇偶校验位（无奇偶校验） • 附加零校验（无奇偶校验） • 附加偶校验 • 附加奇校验 | |
| 停止位 | 附加 1 位 | |
| 数据方向 | MSB 或 LSB 优先 | |

注 1. 仅限以下 UART 可以设定 9 位的数据长度。

- UART0

注 2. 在满足以上条件及电特性中的 AC 特性（参阅第 27 章 电特性）的范围内使用此操作。

备注 1. f_{MCK} : 目标通道的工作时钟频率

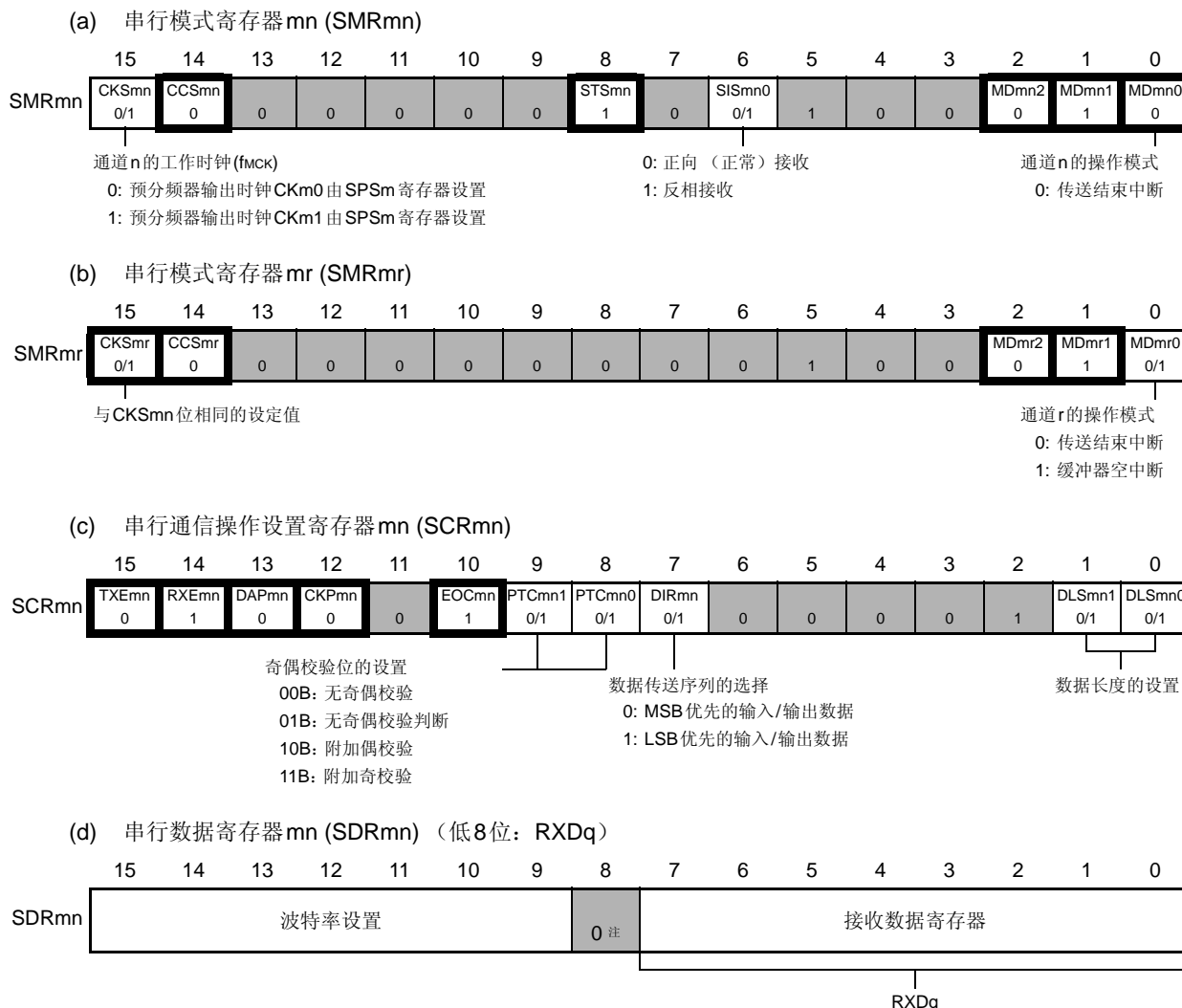
f_{CLK} : 系统时钟频率

备注 2. m: 单元编号 ($m = 0$)，n: 通道编号 ($n = 1、3$)，mn = 01、03

(1) 寄存器设置

图 13 - 122 UART (UART0、UART1) 的 UART 发送时的寄存器设置

内容示例 (1/2)



注 当执行 9 位通信时, SDRm1 寄存器的位 0 至位 8 用于指定发送数据。

• UART0

注意事项 对于 UART 接收, 必须设置通道 r 的 SMRmr 寄存器, 使其与通道 n 配对。

备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 1、3), mn = 01、03

r: 通道编号 (r = n - 1), q: UART 编号 (q = 0、1)

备注 2. ■: 设置固定于 UART 接收模式,

■: 禁止设置 (设置为初始值)

x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)

0/1: 可根据用户的用途设为 0 或 1

图 13 - 123 UART（UART0、UART1）的UART发送时的寄存器设置
内容示例(2/2)

(e) 串行输出寄存器m (SOM)...此模式下不使用的寄存器。

| | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|----|---|------------|---|---|---|---|---|-----------|---|-----------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOM | 0 | 0 | 0 | 0 | 0 | 0 | 0 | CKOm0 x | 0 | 0 | 0 | 0 | 0 | SOM2 x | 0 | SOM0 x |


(f) 串行输出允许寄存器m (SOEm)...此模式下不使用的寄存器。

| | | | | | | | | | | | | | | | | |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|------------|---|------------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SOEm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SOEm2 x | 0 | SOEm0 x |

(g) 串行通道开始寄存器m (SSm)...仅将目标通道的位设置为1。

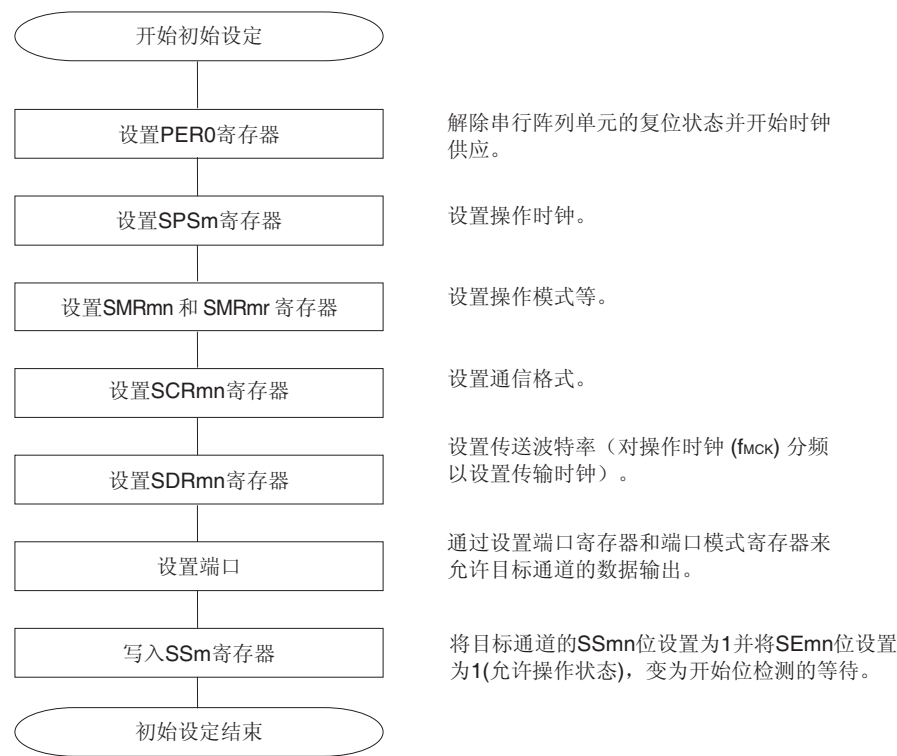
| | | | | | | | | | | | | | | | | |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|-------------|-----------|-------------|-----------|
| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 0/1 | SSm2 x | SSm1 0/1 | SSm0 x |

注意事项 对于UART接收，必须设置通道r的SMRmr寄存器，使其与通道n配对。

- 备注 1. m: 单元编号(m = 0)， n: 通道编号（n = 1、3）， mn = 01、03
r: 通道编号(r = n - 1)， q: UART编号（q = 0、1）
- 备注 2. : 禁止设置（设置为初始值）
x: 此模式下不能使用的位（任意模式下均不使用时设置为初始值）
0/1: 可根据用户的用途设为0或1

(2) 操作步骤

图 13 - 124 UART接收的初始设置步骤



注意事项 将SCRmn寄存器的RXEmn位设置为1，然后确保在经过4个或更多f_{mck}时钟之后将SSmn设置为1。

图 13 - 125 停止UART接收的步骤

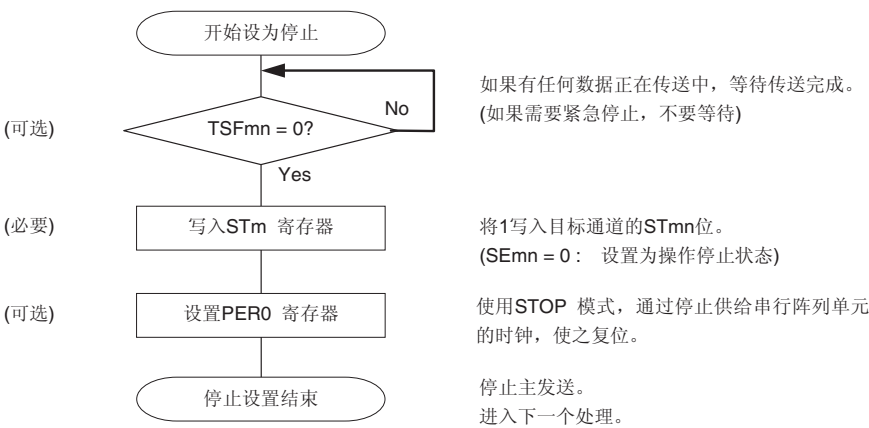
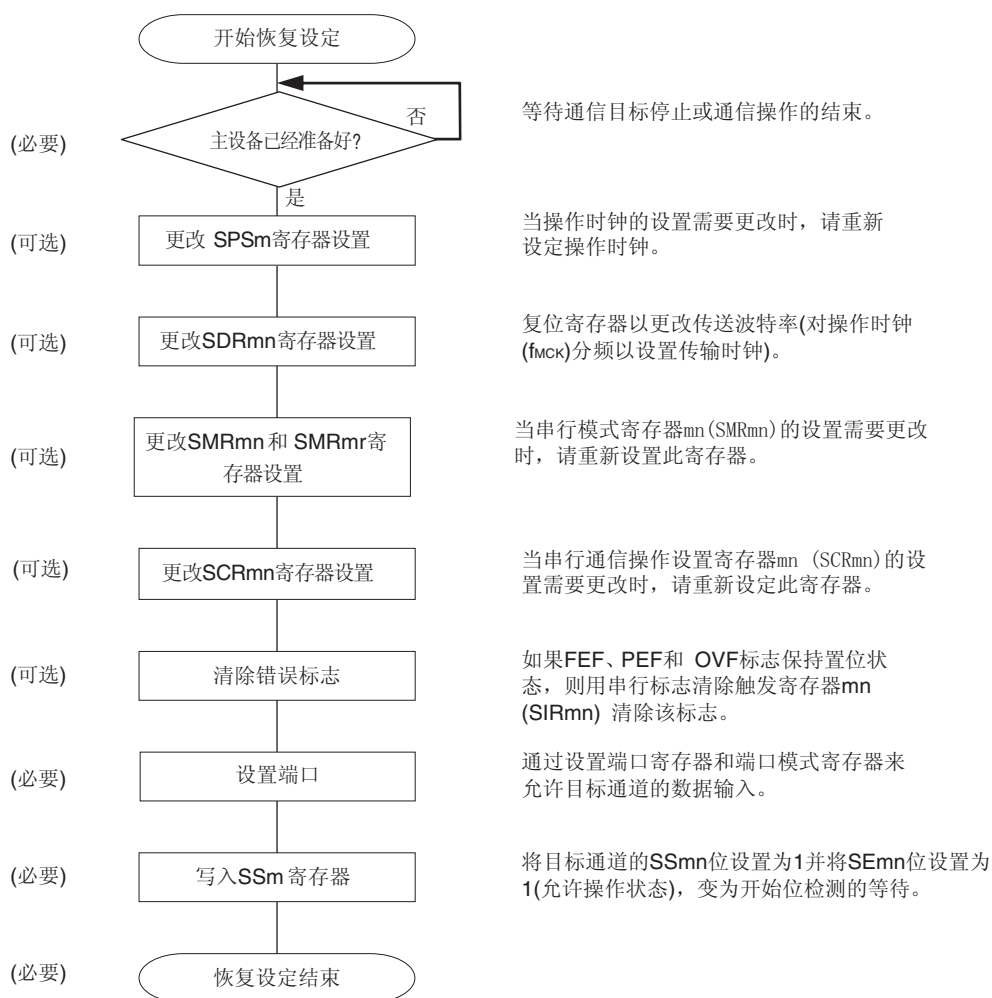


图 13 - 126 恢复 UART 接收的步骤

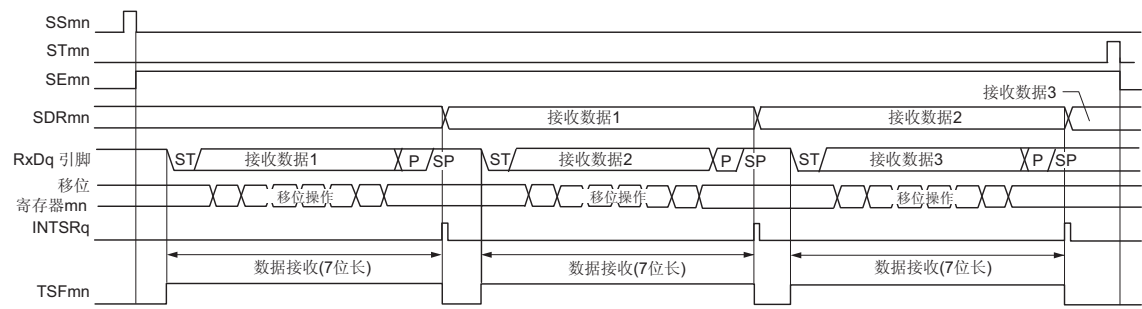


注意事项 将 SCRmn 寄存器的 RXEmn 位设置为 1 后，等待至少 4 个 f_{MCK} 时钟的间隔后再设置 SSmn = 1。

备注 停止通信目标时如果 PER0 被改写，且停止了时钟供给时，请等待至通信目标停止或通信结束，然后执行初始设置，而不是重新启动通信。

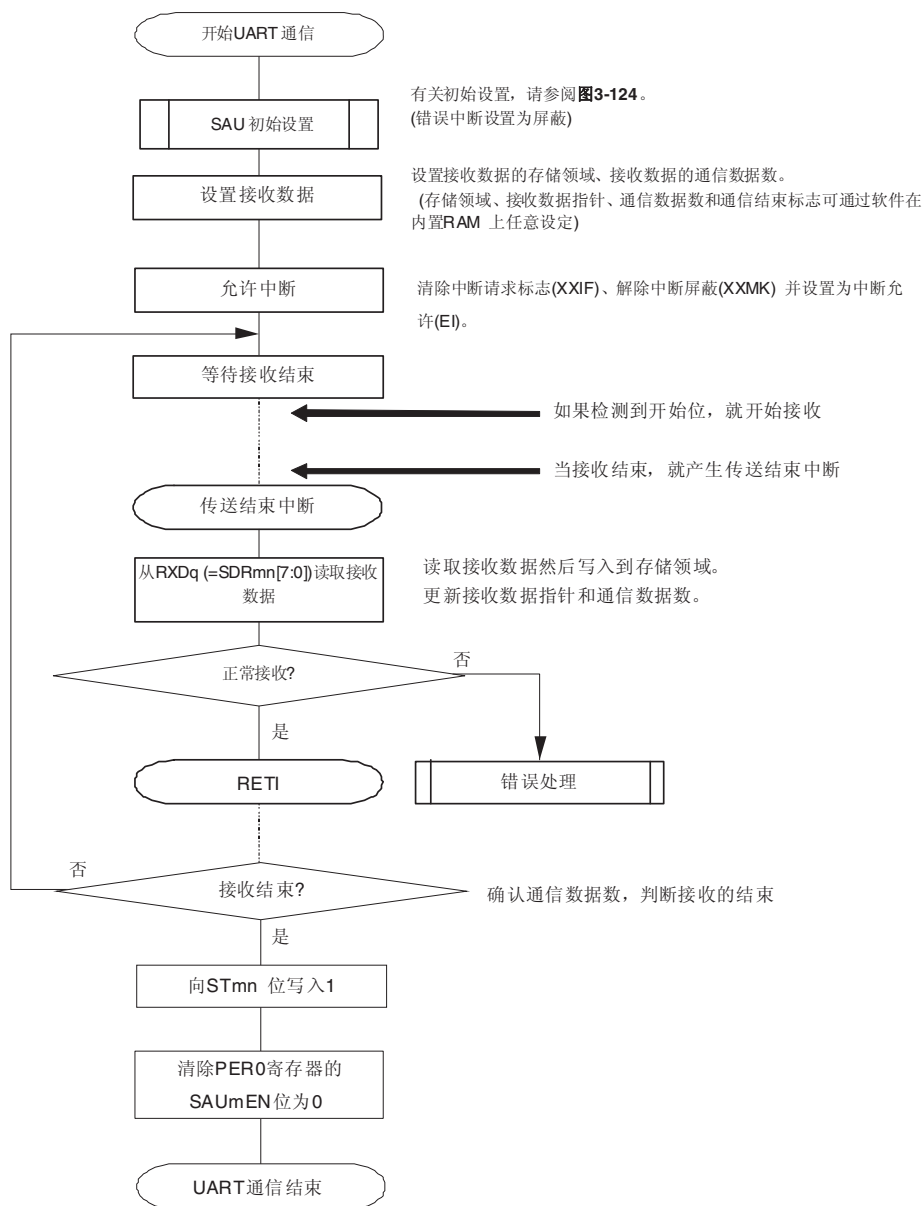
(3) 处理流程

图 13 - 127 UART 接收的时序图



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 1、3), mn = 01、03
 r: 通道编号 (r = n - 1), q: UART 编号 (q = 0、1)

图 13 - 128 UART接收的流程图



13.7.3 SNOOZE 模式功能

使用 SNOOZE 模式，在 STOP 模式下检测到 RxDq 引脚输入时可以执行 UART 接收操作。通常在 STOP 模式下 UART 停止通信。但是，使用 SNOOZE 模式，可以在检测到 RxDq 引脚输入时不启动 CPU 就可以执行 UART 接收。仅以下通道可以设置为 SNOOZE 模式。

• UART0

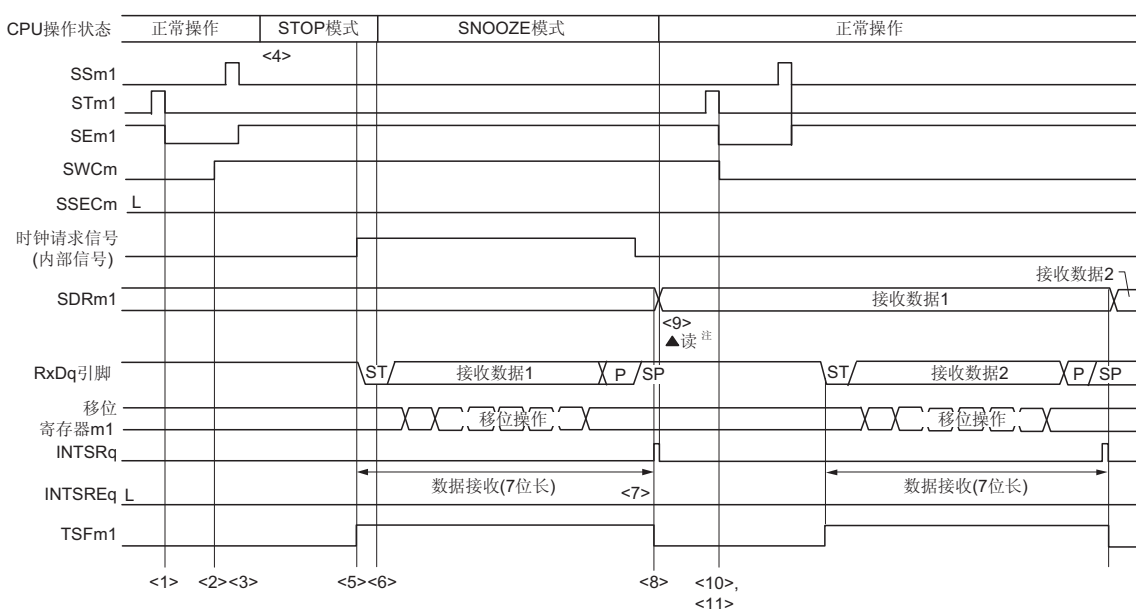
使用 SNOOZE 模式功能时，须在切换至 STOP 模式之前将串行待机控制寄存器 m (SSCm) 的 SWCm 位设置为 1。

注意事项 1. 仅在选用高速片上振荡器时钟作为 fCLK 时可以使用 SNOOZE 模式。

注意事项 2. 在 SNOOZE 模式下使用 UARTq 时的最大传送速率为 9600 bps。

(1) SNOOZE 模式操作（正常操作）

图 13 - 129 SNOOZE 模式操作（正常操作）的时序图



注 当 SWCm 为 1 时读取接收的数据。

注意事项 在切换至 SNOOZE 模式之前，或者在 SNOOZE 模式下的接收操作完成之后，必须将 STm1 位设为 1（清除 SEm1 位，并停止操作）。并且在完成接收操作之后，将 SWCm 位清除为 0（释放 SNOOZE 模式）。

备注 1. 图中的 <1> 至 <11> 对应图 13 - 131 SNOOZE 模式操作（正常操作/异常操作 <1>）的流程图中的 <1> 至 <11>。

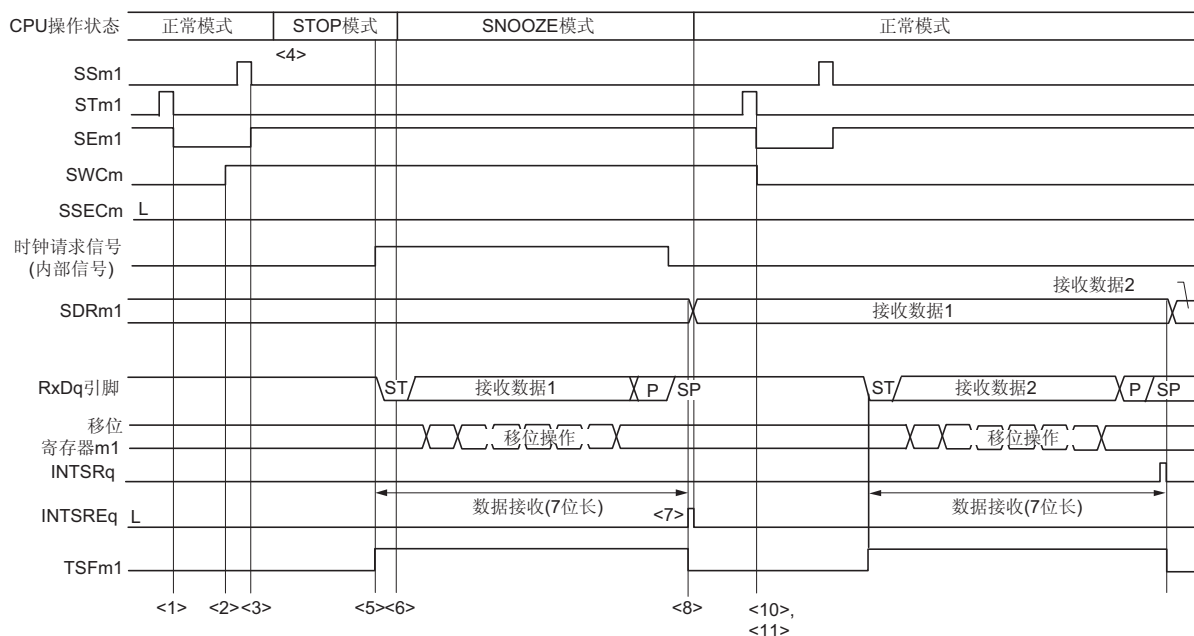
备注 2. m = 0; q = 0

(2) SNOOZE 模式操作（异常操作<1>）

异常操作<1>指在SSECM = 0的情况下发生通信错误时执行的操作。

由于SSECM = 0，所以在发生通信错误时将产生错误中断(INTSREQ)。

图 13 - 130 SNOOZE 模式操作（异常操作<1>）的时序图

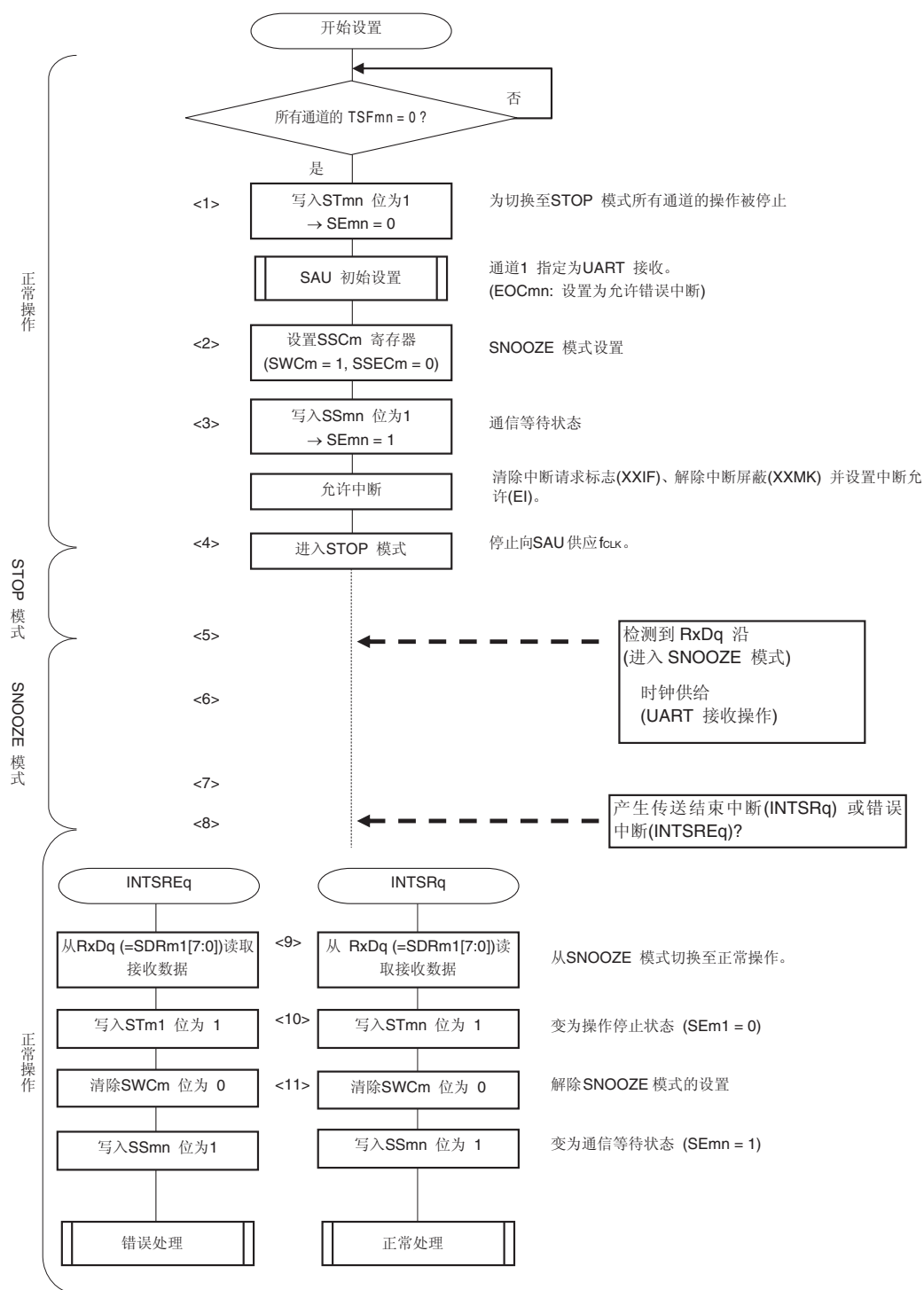


注意事项 在切换至**SNOOZE**模式之前，或者在**SNOOZE**模式下的接收操作完成之后，必须将**STm1**位设为**1**（清除**SEm1**位，并停止操作）。并且在完成接收操作之后，将**SWCm**位清除为**0**（释放**SNOOZE**模式）。

备注 1. 图中的<1>至<11>对应图 13 - 131 SNOOZE 模式操作（正常操作/异常操作<1>）的流程图中的<1>至<11>。

备注 2. m = 0; q = 0

图 13 - 131 SNOOZE 模式操作（正常操作/异常操作<1>）的流程图



备注 1. 图中的<1>至<11>对应图 13 - 129 SNOOZE 模式操作（正常操作）的时序图和图 13 - 130 SNOOZE 模式操作（异常操作<1>）的时序图中的<1>至<11>。

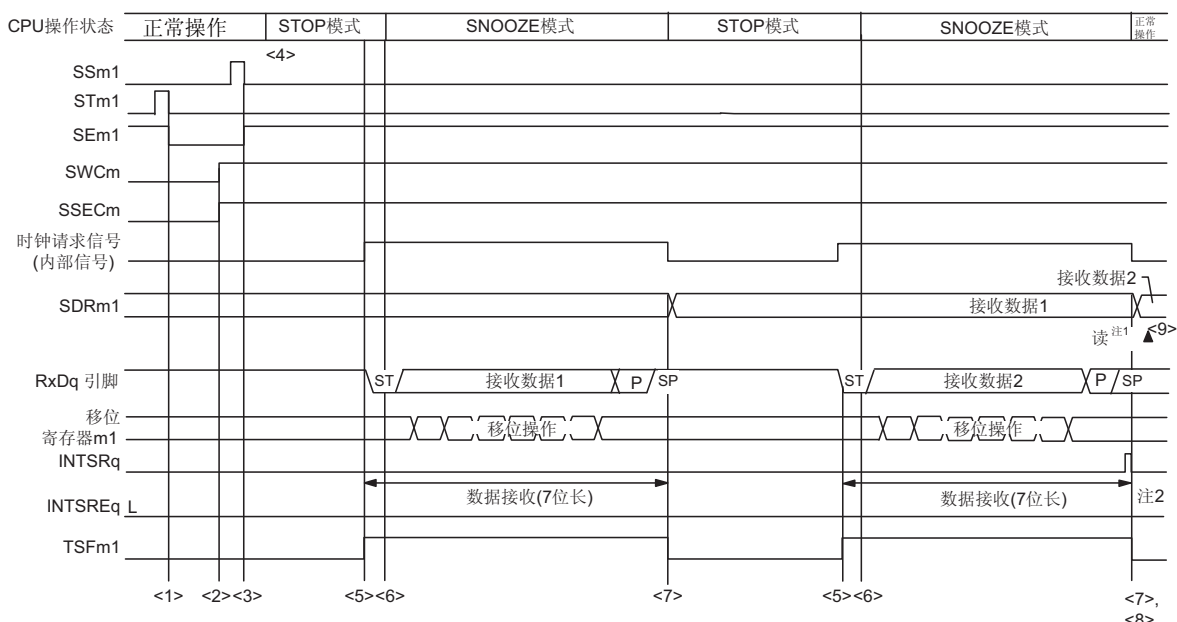
备注 2. m = 0; q = 0

(3) SNOOZE 模式操作（异常操作<2>）

异常操作<2>指在 $SSECm = 1$ 的情况下发生通信错误时执行的操作。

由于 $SSECm = 1$ ，所以在发生通信错误时将产生错误中断(INTSREq)。

图 13 - 132 SNOOZE 模式操作（异常操作<2>）的时序图



注 1. 仅当 $SWCm = 1$ 时才读取接收的数据。

注 2. SNOOZE 模式下当 $UARTq$ 成功完成接收时，不需要更改设置就可以继续执行正常的接收操作，但是，由于 $SSECm = 1$ ，因此，即使发生帧错误或奇偶校验错误， $PEFm1$ 和 $FEFm1$ 位也不会被设置。另外，也不会产生错误中断(INTSREq)。

注意事项 1. 在切换至 SNOOZE 模式之前，或者在 SNOOZE 模式下的接收操作完成之后，必须将 $STm1$ 位设为 1（清除 $SEm1$ 位，并停止操作）。

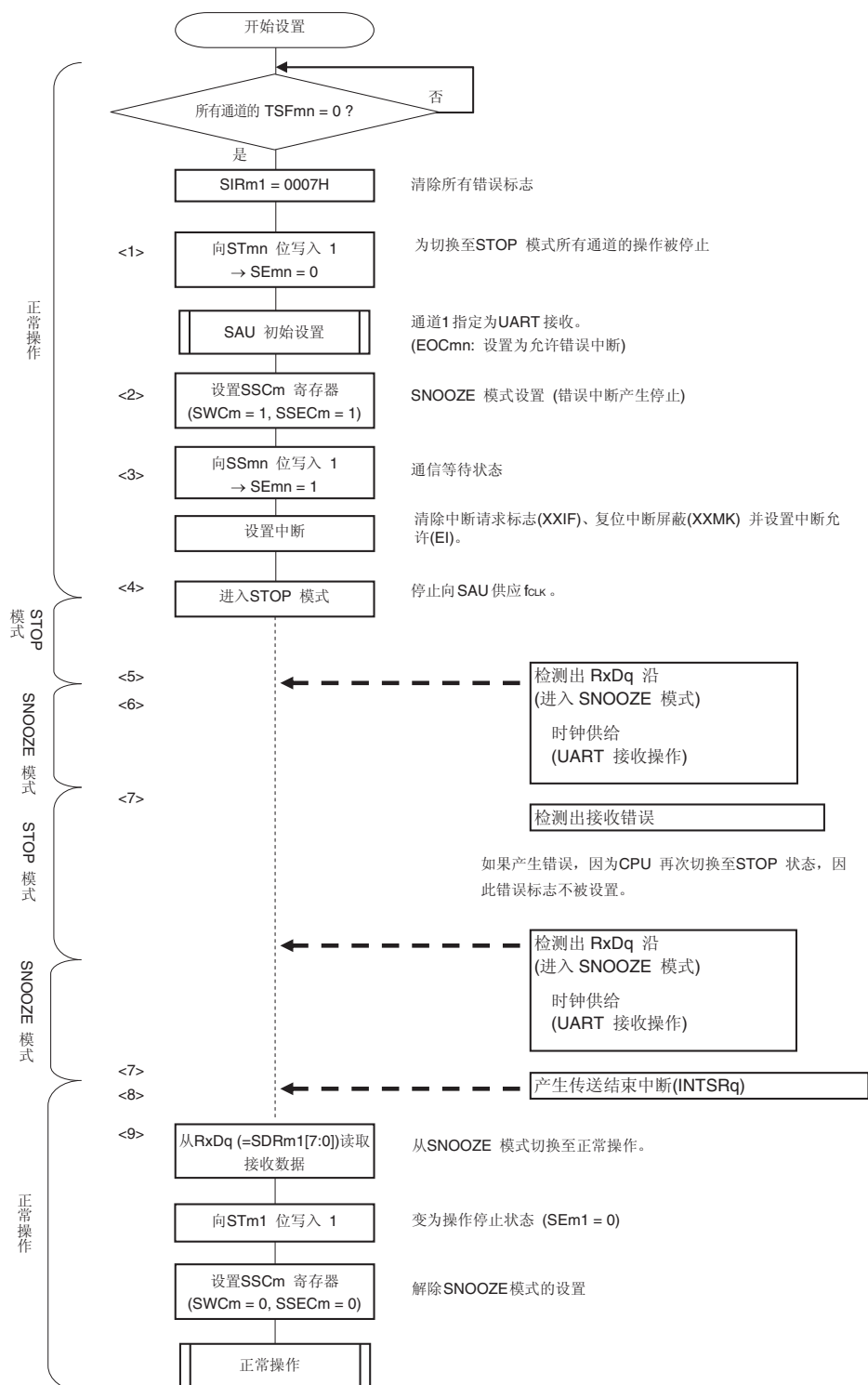
并且在完成接收操作之后，将 $SWCm$ 位清除为 0（释放 SNOOZE 模式）。

注意事项 2. 当在 $SSECm$ 被设置为 1 的情况下使用 SNOOZE 模式时，不会发生溢出错误。因此，使用 SNOOZE 模式时，要在切换至 STOP 模式之前读取 $SDRm1$ 寄存器的位 7 至位 0 ($RxDq$)。

备注 1. 图中的 <1> 至 <9> 对应图 13 - 133 SNOOZE 模式操作（异常操作<2>）的流程图中的 <1> 至 <9>。

备注 2. $m = 0$ ； $q = 0$

图 13 - 133 SNOOZE 模式操作（异常操作<2>）的流程图



注意事项 当在 **SSECm** 被设置为 **1** 的情况下使用 **SNOOZE** 模式时，不会发生溢出错误。因此，使用 **SNOOZE** 模式时，要在切换至 **STOP** 模式之前读取 **SDRm1** 寄存器的位 **7** 至位 **0** (**RxDq**)。

备注 1. 图中的<1>至<9>对应图 13 - 132 SNOOZE 模式操作（异常操作<2>）的时序图中的<1>至<9>。

备注 2. m = 0; q = 0

13.7.4 计算波特率

(1) 波特率计算公式

用于 UART (UART0、UART1) 通信的波特率可以通过以下表达式计算。

$$(\text{波特率}) = \{ \text{目标通道的工作时钟 (fMCK) 频率} \} \div (\text{SDRmn}[15:9] + 1) \div 2 [\text{bps}]$$

注意事项 禁止将串行数据寄存器 mn (SDRmn) 设置为 **SDRmn[15:9] = (0000000B, 0000001B)**。

备注 1. 使用 UART 时, SDRmn[15:9] 的值为 SDRmn 寄存器位 15 至位 9 的值 (0000010B 至 1111111B), 即 2 至 127。

备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), mn = 00 至 03

工作时钟 (fMCK) 取决于串行时钟选择寄存器 m (SPSm) 以及串行模式寄存器 mn (SMRmn) 的位 15 (CKSmn)。

表 13-4 UART 工作时钟的选择

| SMRmn 寄存器 | SPSm 寄存器 | | | | | | | | 工作时钟 (f _{CLK}) 注 | |
|--------------|------------|------------|------------|------------|------------|------------|------------|------------|-----------------------------------|---------------------------|
| CKSmn | PRS m13 | PRS m12 | PRS m11 | PRS m10 | PRS m03 | PRS m02 | PRS m01 | PRS m00 | | f _{CLK} = 24 MHz |
| 0 | x | x | x | x | 0 | 0 | 0 | 0 | f _{CLK} | 24 MHz |
| | x | x | x | x | 0 | 0 | 0 | 1 | f _{CLK} /2 | 12 MHz |
| | x | x | x | x | 0 | 0 | 1 | 0 | f _{CLK} /2 ² | 6 MHz |
| | x | x | x | x | 0 | 0 | 1 | 1 | f _{CLK} /2 ³ | 3 MHz |
| | x | x | x | x | 0 | 1 | 0 | 0 | f _{CLK} /2 ⁴ | 1.5 MHz |
| | x | x | x | x | 0 | 1 | 0 | 1 | f _{CLK} /2 ⁵ | 750 kHz |
| | x | x | x | x | 0 | 1 | 1 | 0 | f _{CLK} /2 ⁶ | 375 kHz |
| | x | x | x | x | 0 | 1 | 1 | 1 | f _{CLK} /2 ⁷ | 187.5 kHz |
| | x | x | x | x | 1 | 0 | 0 | 0 | f _{CLK} /2 ⁸ | 93.75 kHz |
| | x | x | x | x | 1 | 0 | 0 | 1 | f _{CLK} /2 ⁹ | 46.88 kHz |
| | x | x | x | x | 1 | 0 | 1 | 0 | f _{CLK} /2 ¹⁰ | 23.44 kHz |
| | x | x | x | x | 1 | 0 | 1 | 1 | f _{CLK} /2 ¹¹ | 11.72 kHz |
| | x | x | x | x | 1 | 1 | 0 | 0 | f _{CLK} /2 ¹² | 5.86 kHz |
| | x | x | x | x | 1 | 1 | 0 | 1 | f _{CLK} /2 ¹³ | 2.93 kHz |
| | x | x | x | x | 1 | 1 | 1 | 0 | f _{CLK} /2 ¹⁴ | 1.46 kHz |
| | x | x | x | x | 1 | 1 | 1 | 1 | f _{CLK} /2 ¹⁵ | 732 Hz |
| 1 | 0 | 0 | 0 | 0 | x | x | x | x | f _{CLK} | 24 MHz |
| | 0 | 0 | 0 | 1 | x | x | x | x | f _{CLK} /2 | 12 MHz |
| | 0 | 0 | 1 | 0 | x | x | x | x | f _{CLK} /2 ² | 6 MHz |
| | 0 | 0 | 1 | 1 | x | x | x | x | f _{CLK} /2 ³ | 3 MHz |
| | 0 | 1 | 0 | 0 | x | x | x | x | f _{CLK} /2 ⁴ | 1.5 MHz |
| | 0 | 1 | 0 | 1 | x | x | x | x | f _{CLK} /2 ⁵ | 750 kHz |
| | 0 | 1 | 1 | 0 | x | x | x | x | f _{CLK} /2 ⁶ | 375 kHz |
| | 0 | 1 | 1 | 1 | x | x | x | x | f _{CLK} /2 ⁷ | 187.5 kHz |
| | 1 | 0 | 0 | 0 | x | x | x | x | f _{CLK} /2 ⁸ | 93.75 kHz |
| | 1 | 0 | 0 | 1 | x | x | x | x | f _{CLK} /2 ⁹ | 46.88 kHz |
| | 1 | 0 | 1 | 0 | x | x | x | x | f _{CLK} /2 ¹⁰ | 23.44 kHz |
| | 1 | 0 | 1 | 1 | x | x | x | x | f _{CLK} /2 ¹¹ | 11.72 kHz |
| | 1 | 1 | 0 | 0 | x | x | x | x | f _{CLK} /2 ¹² | 5.86 kHz |
| | 1 | 1 | 0 | 1 | x | x | x | x | f _{CLK} /2 ¹³ | 2.93 kHz |
| | 1 | 1 | 1 | 0 | x | x | x | x | f _{CLK} /2 ¹⁴ | 1.46 kHz |
| | 1 | 1 | 1 | 1 | x | x | x | x | f _{CLK} /2 ¹⁵ | 732 Hz |

注 要更改 f_{CLK} 的时钟选择时 (通过更改系统时钟控制寄存器 (CKC) 的值), 必须在停止串行阵列单元 (SAU) 操作 (串行通道停止寄存器 m (STm) = 000FH) 之后才可以执行。

备注 1. x: 忽略

备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), mn = 00 至 03

(2) 发送期间的波特率误差

发送过程中UART（UART0、UART1）通信的波特率误差可以用以下计算式算出。确保发送侧的波特率处于接收侧允许的波特率范围之内。

(波特率误差) = (计算波特率值) ÷ (目标波特率) × 100 - 100 [%]

fCLK = 20 MHz时的UART波特率的设置示例如下所示。

| UART 波特率 (目标波特率) | fCLK = 20 MHz | | | |
|---------------------|---------------------|-------------|-------------|-------------|
| | 工作时钟 (fMCK) | SDRmn[15:9] | 计算波特率 | 与目标波特率之间的误差 |
| 300 bps | fCLK/2 ⁹ | 64 | 300.48 bps | +0.16% |
| 600 bps | fCLK/2 ⁸ | 64 | 600.96 bps | +0.16% |
| 1200 bps | fCLK/2 ⁷ | 64 | 1201.92 bps | +0.16% |
| 2400 bps | fCLK/2 ⁶ | 64 | 2403.85 bps | +0.16% |
| 4800 bps | fCLK/2 ⁵ | 64 | 4807.69 bps | +0.16% |
| 9600 bps | fCLK/2 ⁴ | 64 | 9615.38 bps | +0.16% |
| 19200 bps | fCLK/2 ³ | 64 | 19230.8 bps | +0.16% |
| 31250 bps | fCLK/2 ³ | 39 | 31250.0 bps | ±0.0% |
| 38400 bps | fCLK/2 ² | 64 | 38461.5 bps | +0.16% |
| 76800 bps | fCLK/2 | 64 | 76923.1 bps | +0.16% |
| 153600 bps | fCLK | 64 | 153846 bps | +0.16% |
| 312500 bps | fCLK | 31 | 312500 bps | ±0.0% |

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0、2), mn = 00、02

(3) 接收时的波特率允许范围

UART (UART0、UART1) 通信过程中允许接收的波特率范围可以用以下计算式算出。确保发送侧的波特率处于接收侧允许的波特率范围之内。

$$(\text{最大可接收波特率}) = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$(\text{最小可接收波特率}) = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate: 接收方的计算波特率值 (参阅 13.7.4 (1) 波特率计算公式。)

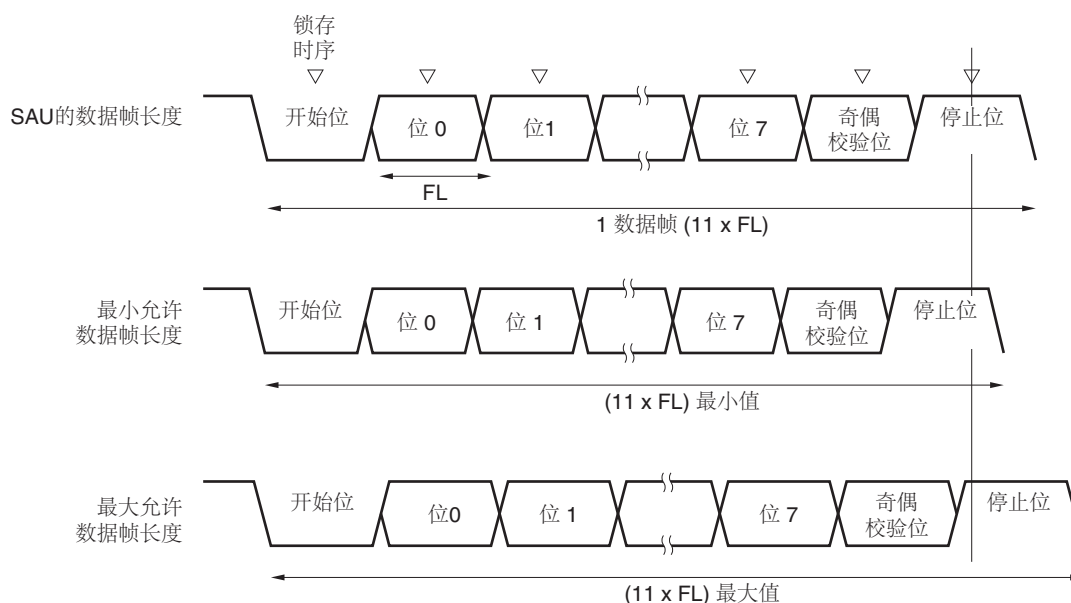
k: SDRmn[15:9] + 1

Nfr: 1 数据帧长度[位]

= (开始位) + (数据长度) + (奇偶校验位) + (停止位)

备注 m: 单元编号(m = 0), n: 通道编号 (n = 1、3), mn = 01、03

图 13 - 134 接收时的允许波特率范围 (1 数据帧长度 = 11 位时)



如图 13 - 134 所示, 接收数据的锁存时序取决于检测到起始位之后由串行数据寄存器 mn (SDRmn) 的位 15 至位 9 设置的分频比。如果在该锁存时间之前收到最后数据 (停止位), 则可以正常进行接收。

13.7.5 UART（UART0、UART1）通信期间发生错误时的处理步骤

在 UART（UART0、UART1）通信过程中发生错误的处理步骤如图 13 - 135 和 13 - 136 所示。

图 13 - 135 发生奇偶校验错误或溢出错误时的处理步骤

| 软件操作 | 硬件状态 | 备注 |
|-------------------------------|--|--|
| 读取串行数据寄存器 mn (SDRmn) → | SSRmn 寄存器的 BFFmn 位被清除为 0，并允许通道 n 接收数据。 | 这是为了防止在处理错误的过程中完成了下一次接收时所发生的溢出错误。 |
| 读取串行状态寄存器 mn (SSRmn)。 | | 识别出错误类型，并用读取值来清除错误标志。 |
| 将 1 写入串行标志清除触发寄存器 mn (SIRmn)。 | 错误标志被清除。 | 将 SSRmn 寄存器的读取值直接写入 SIRmn 寄存器，从而可以只清除读取时的错误。 |

图 13 - 136 发生帧错误时的处理步骤

| 软件操作 | 硬件状态 | 备注 |
|-----------------------------------|---|--|
| 读取串行数据寄存器 mn (SDRmn) → | SSRmn 寄存器的 BFFmn 位被清除为 0，并允许通道 n 接收数据。 | 这是为了防止在处理错误的过程中完成了下一次接收时所发生的溢出错误。 |
| 读取串行状态寄存器 mn (SSRmn)。 | | 识别出错误类型，并用读取值来清除错误标志。 |
| 写入串行标志清除触发寄存器 mn (SIRmn)。 | 错误标志被清除。 | 将 SSRmn 寄存器的读取值直接写入 SIRmn 寄存器，从而可以只清除读取时的错误。 |
| 将串行通道停止寄存器 m (STm) 的 STmn 位设置为 1。 | 串行通道允许状态寄存器 m (SEm) 的 SEMn 位被清除为 0，通道 n 停止工作。 | |
| 与其他通信方同步 | | 起始位的偏移会使系统判断为出现了帧错误，因此需要重建与其他通信方的同步并恢复通信。 |
| 将串行通道开始寄存器 m (SSm) 的 SSmn 位设置为 1。 | 串行通道允许状态寄存器 m (SEm) 的 SEMn 位被设置为 1，并允许操作通道 n。 | |

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3), mn = 00 至 03

13.8 简易 I²C (IIC00) 通信的操作

这是一种时钟同步通信功能，通过两线：串行时钟 (SCL) 和串行数据 (SDA) 与两个或更多器件进行通信。该通信功能用于和 EEPROM、闪存以及 A/D 转换器等器件进行单一通信，因此，它只能作为主设备使用。

使用软件处理开始条件和停止条件，操作控制寄存器时，请遵守 AC 特性规范。

[数据的发送/接收]

- 主发送、主接收（仅限单一通信的主功能）
- ACK 输出功能^注和 ACK 检测功能
- 数据长度为 8 位
（发送地址时，该地址由高 7 位指定，最低有效位用于 R/W 控制。）
- 手动发送开始条件和停止条件

[中断功能]

- 传送结束中断

[错误检测标志]

- 溢出错误
- 奇偶校验错误（ACK 错误）

* [简易 I²C 不支持的功能]

- 从发送、从接收
- 仲裁失败检测功能
- 等待检测功能

注 接收最后的数据时，如果将 0 写入 SOEmn 位（SOEm 寄存器）并停止串行通信数据输出，则不输出 ACK。
详情请参阅 13.8.3 (2) 的处理流程。

备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), mn = 00

支持简易 I²C (IIC00) 的通道为 SAU0 的通道 0。

• 30、32 引脚产品

| 单元 | 通道 | 用作 CSI | 用作 UART | 用作简易 I ² C |
|----|----|-------------------|---------|-----------------------|
| 0 | 0 | CSI00 (支持从设备选择输入) | UART0 | IIC00 |
| | 1 | — | | — |
| | 2 | — | UART1 | — |
| | 3 | — | | — |

简易 I²C (IIC00) 执行以下四种类型的通信操作。

- 地址字段发送 (参阅 13.8.1。)
- 数据发送 (参阅 13.8.2。)
- 数据接收 (参阅 13.8.3。)
- 发送停止条件 (参阅 13.8.4。)

13.8.1 地址字段发送

地址字段传送操作是，为了识别传送目标（从设备），在 I²C 通信时最先执行的发送操作。发送开始条件后，以一帧发送地址（7 位）和传送方向（1 位）。

| 简易 I ² C | IIC00 |
|---------------------|---|
| 目标通道 | SAU0 的通道 0 |
| 使用引脚 | SCL00、SDA00 注 |
| 中断 | INTIIC00 仅限传送结束中断（禁止设置缓冲器空中断） |
| 错误检测标志 | ACK 错误检测标志 (PEFmn) |
| 传送数据长度 | 8 位（发送时，将高 7 位指定为地址，最低有效位指定为 R/W 控制） |
| 传送速率 | 最大 f _{MCK} /4 [Hz]（SDRmn[15:9] = 1 或更多） f _{MCK} : 目标通道的工作时钟频率 但是，在各种 I ² C 模式时必须满足以下条件。 <ul style="list-style-type: none">• 最大 400 kHz（最初模式）• 最大 100 kHz（标准模式） |
| 数据电平 | 正相输出（默认：高电平） |
| 奇偶校验位 | 无奇偶校验位 |
| 停止位 | 附加 1 位（用于 ACK 接收时序） |
| 数据方向 | MSB 优先 |

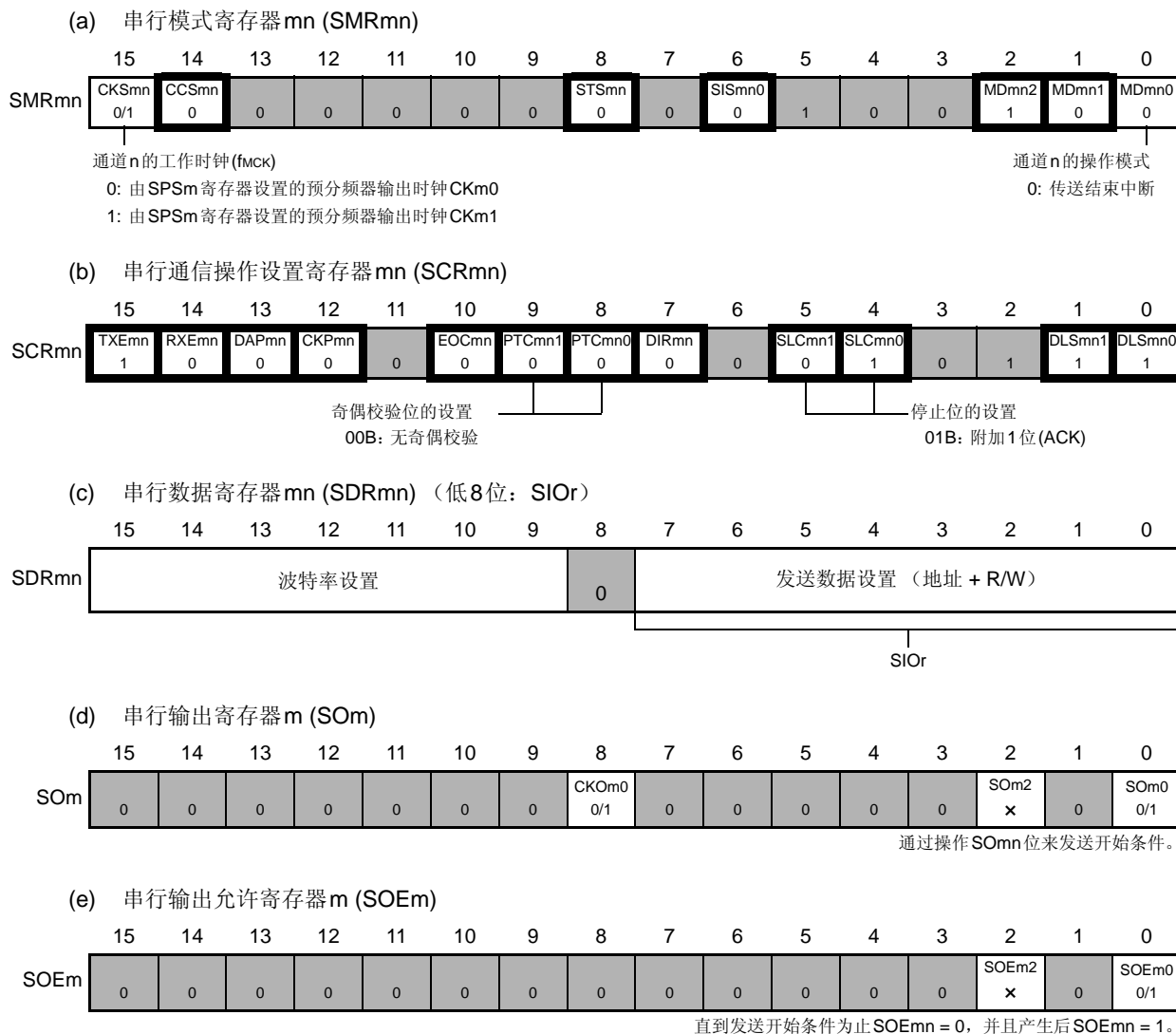
注 进行简易 I²C 通信时，通过端口输出模式寄存器（POM3、POM5）设置为 N 沟开漏输出（V_{DD} 耐压）模式 (POM50 = 1)（详情请参阅 4.3 控制端口功能的寄存器）。使用 IIC00 与不同电位的外部器件通信时，同样将时钟输入/输出引脚 (SCL00) 设置为 N 沟开漏输出（V_{DD} 耐压）模式 (POM30 = 1)（详情请参阅 4.4.4 与不同电位的外部器件（2.5 V、3 V）的连接方法）。

备注 m: 单元编号 (m = 0)， n: 通道编号 (n = 0)， mn = 00

(1) 寄存器设置

图 13 - 137 简易 I²C (IIC00) 的地址字段发送时的寄存器设置

内容示例 (1/2)



备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0), r: IIC 编号 (r = 00)

mn = 00

备注 2. : 设置固定于 IIC 模式,

: 禁止设置 (设置为初始值)

x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)

0/1: 可根据用户的用途设为 0 或 1

图 13 - 138 简易 I²C (IIC00) 的地址字段发送时的寄存器设置内容示例 (2/2)

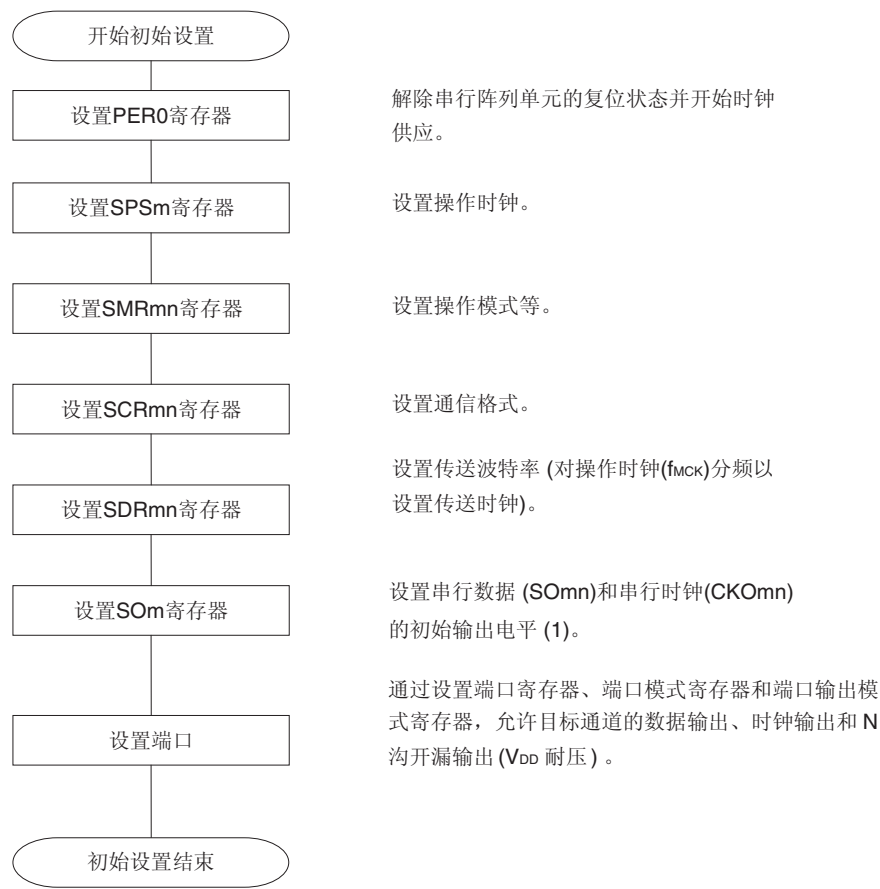
(f) 串行通道开始寄存器 m (SSm)... 仅将目标通道的位设置为 1。

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|-----------|-----------|-----------|-------------|
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 × | SSm2 × | SSm1 × | SSm0 0/1 |

- 备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0), r: IIC 编号 (r = 00)
 mn = 00
- 备注 2. ■: 禁止设置 (设置为初始值)
 ×: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
 0/1: 可根据用户的用途设为 0 或 1

(2) 操作步骤

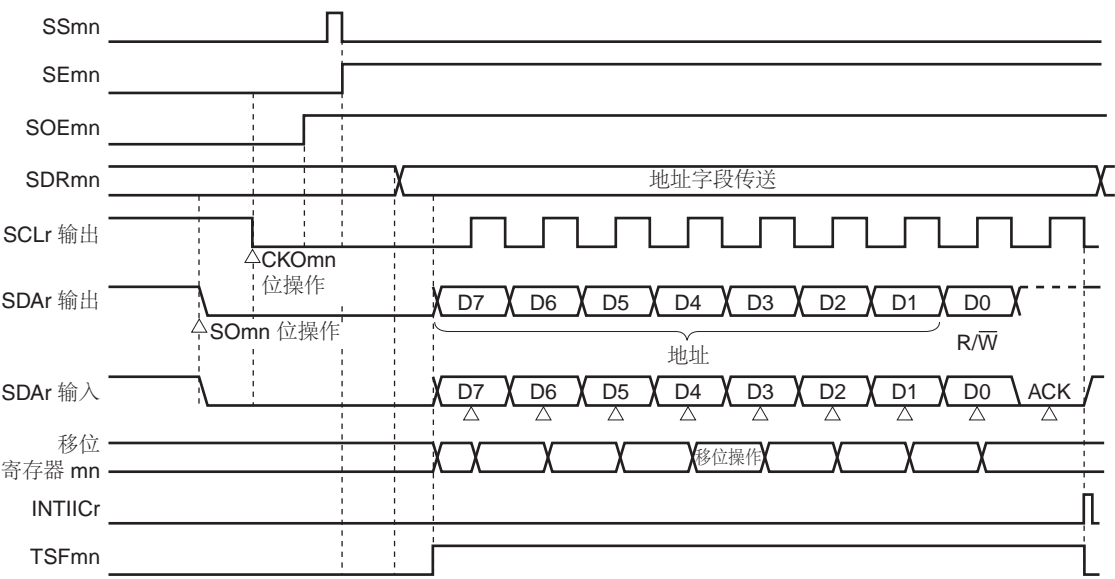
图 13 - 139 地址字段发送的初始设置步骤



备注 初始设置结束后，简易 I²C (IIC00)必须被设置为禁止输出、停止操作。

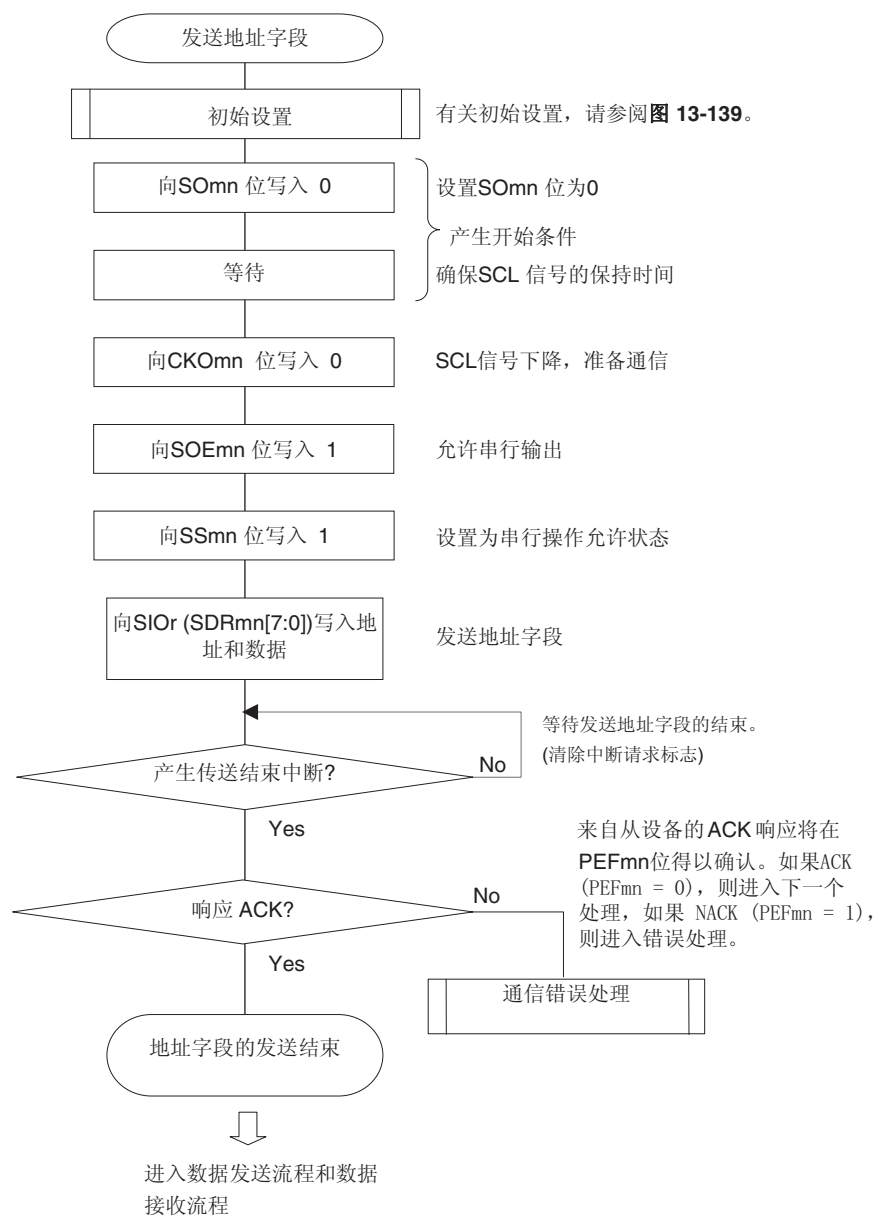
(3) 处理流程

图 13 - 140 地址字段发送的时序图



备注 m: 单元编号 (m = 0), n: 通道编号 (n = 0), r: IIC 编号 (r = 00)
mn = 00

图 13 - 141 地址字段发送的流程图



13.8.2 数据发送

数据发送操作是用于在发送完地址字段之后将数据发送至传送目标（从设备）。将所有数据发送至从设备后，发送停止条件并释放总线。

| 简易 I ² C | IIC00 |
|---------------------|---|
| 目标通道 | SAU0 的通道 0 |
| 使用引脚 | SCL00、SDA00 注 |
| 中断 | INTIIC00 仅限传送结束中断（禁止设置缓冲器空中断） |
| 错误检测标志 | ACK 错误标志 (PEFmn) |
| 传送数据长度 | 8 位 |
| 传送速率 | 最大 fmck/4 [Hz]（SDRmn[15:9] = 1 或更多） fmck: 目标通道的工作时钟频率 但是，在各种 I ² C 模式时必须满足以下条件。 <ul style="list-style-type: none">• 最大 400 kHz（最初模式）• 最大 100 kHz（标准模式） |
| 数据电平 | 正相输出（默认：高电平） |
| 奇偶校验位 | 无奇偶校验位 |
| 停止位 | 附加 1 位（用于 ACK 接收时序） |
| 数据方向 | MSB 优先 |

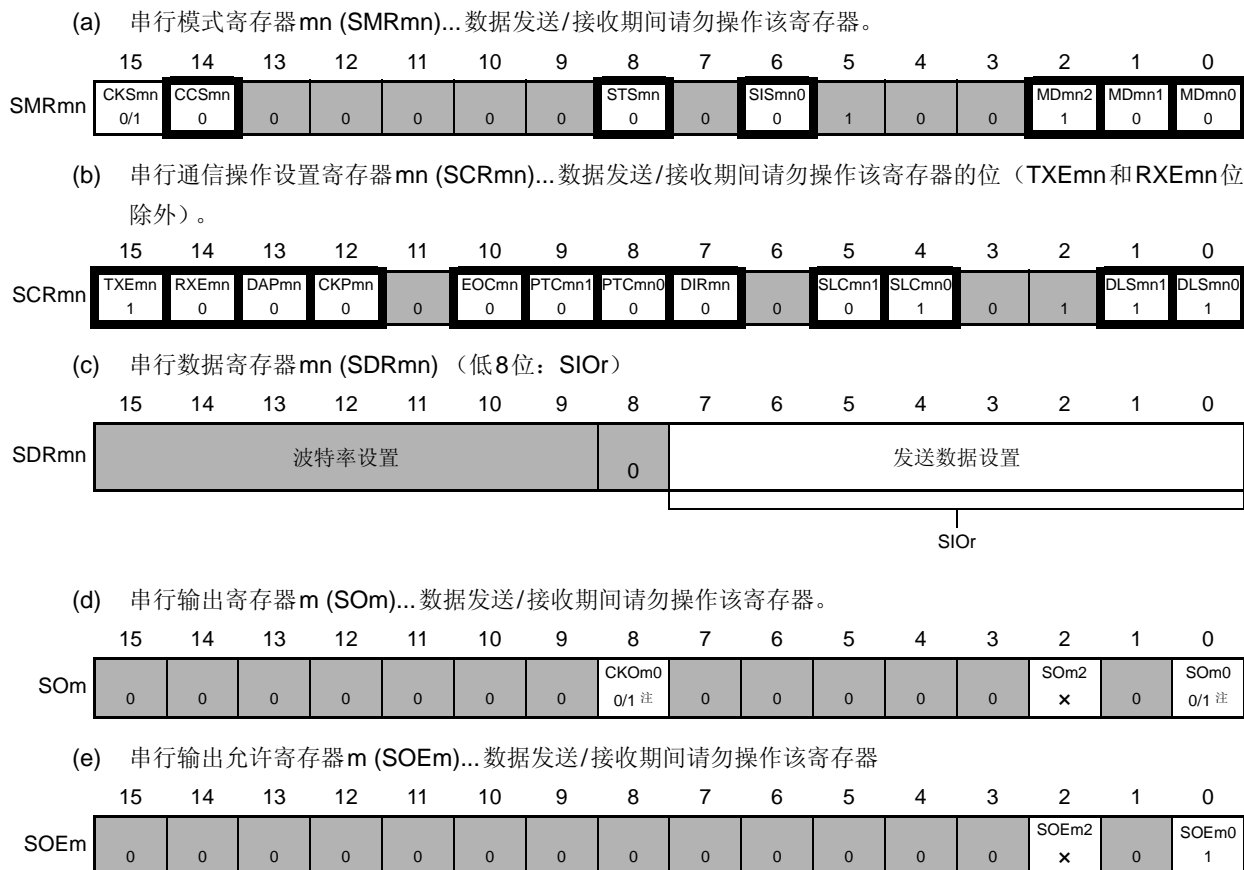
注 进行简易 I²C 通信时，通过端口输出模式寄存器 (POM5) 设置为 N 沟开漏输出（V_{DD} 耐压）模式 (POM50 = 1)（详情请参阅 4.3 控制端口功能的寄存器）。使用 IIC00 与不同电位的外部器件通信时，同样将时钟输入/输出引脚 (SCL00) 设置为 N 沟开漏输出（V_{DD} 耐压）模式 (POM30 = 1)（详情请参阅 4.4.4 与不同电位的外部器件（2.5 V、3 V）的连接方法）。

备注 m: 单元编号 (m = 0)， n: 通道编号 (n = 0)， mn = 00

(1) 寄存器设置

图 13 - 142 简易 I²C (IIC00) 的数据发送时的寄存器设置

内容示例 (1/2)



注 在通信操作过程中, 该值因通信数据而异。

备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0), r: IIC 编号 (r = 00)
mn = 00

备注 2. : 设置固定于 IIC 模式,
: 禁止设置 (设置为初始值)
x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
0/1: 可根据用户的用途设为 0 或 1

图 13 - 143 简易 I²C (IIC00) 的数据发送时的寄存器设置内容示例 (2/2)

(f) 串行通道开始寄存器 m (SSm)... 数据发送/接收期间请勿操作该寄存器。

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|-----------|-----------|-----------|-------------|
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 × | SSm2 × | SSm1 × | SSm0 0/1 |

- 备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0), r: IIC 编号 (r = 00)
 mn = 00
- 备注 2. ■: 禁止设置 (设置为初始值)
 ×: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
 0/1: 可根据用户的用途设为 0 或 1

(2) 处理流程

图 13 - 144 数据发送的时序图

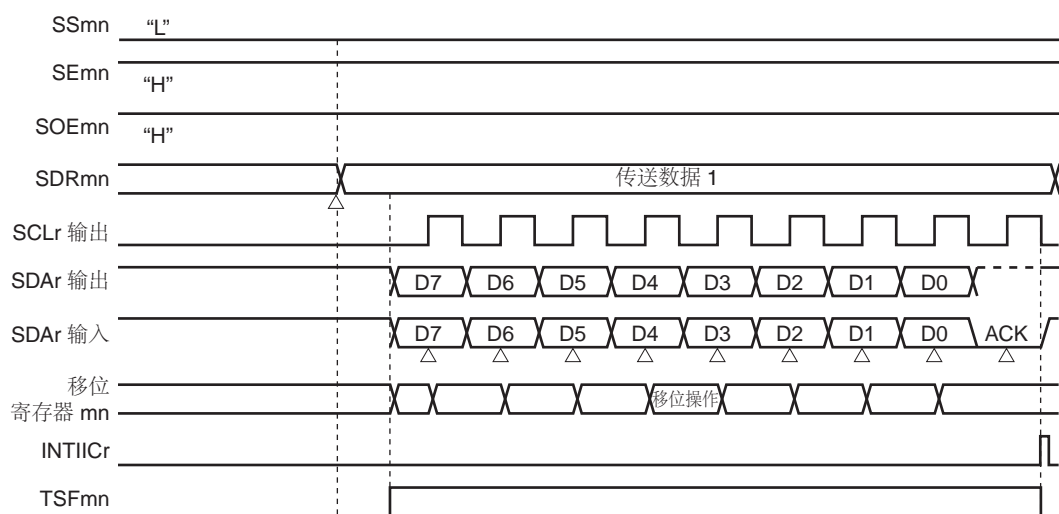
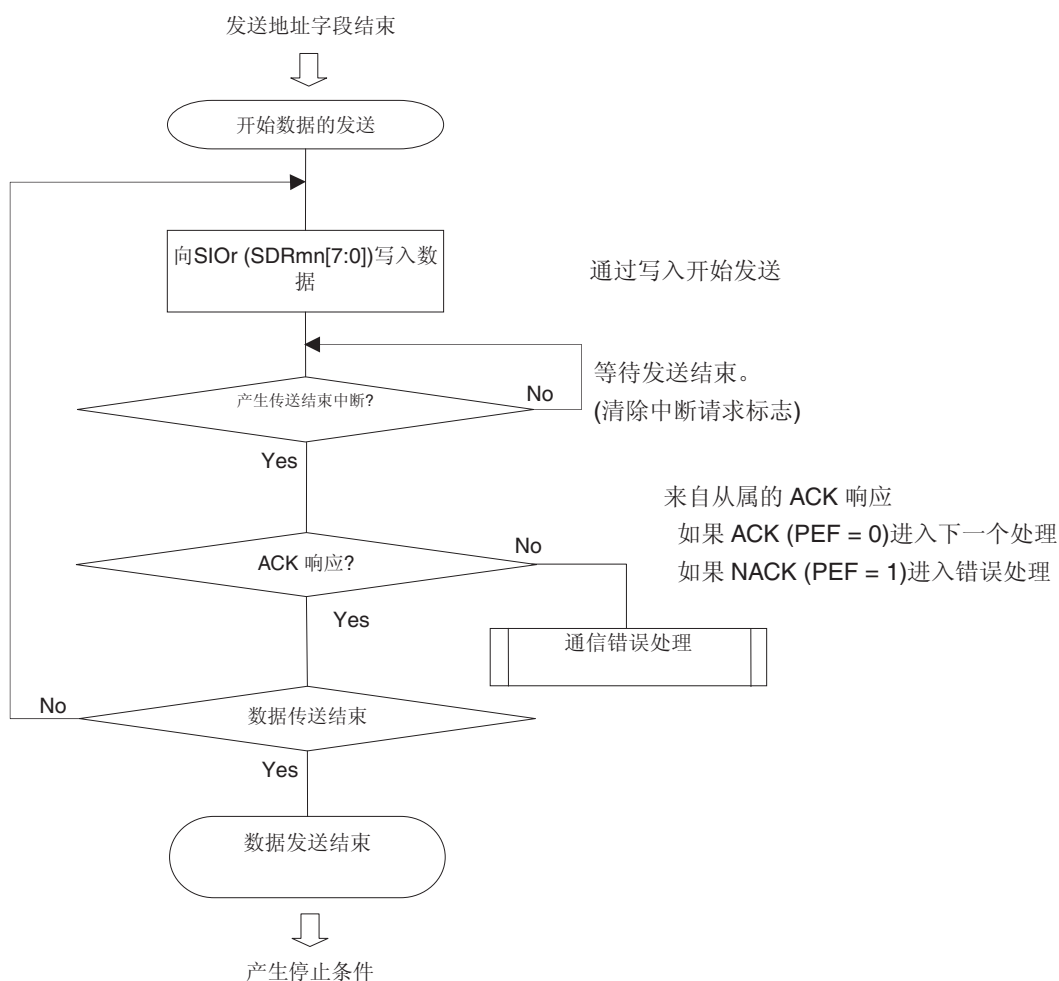


图 13 - 145 数据发送的流程图



13.8.3 数据接收

数据接收操作是用于在发送完地址字段之后将数据接收至传送目标（从设备）。将所有数据接收至从设备后，发送停止条件并释放总线。

| 简易 I ² C | IIC00 |
|---------------------|--|
| 目标通道 | SAU0 的通道 0 |
| 使用引脚 | SCL00、SDA00 注 |
| 中断 | INTIIC00 仅限传送结束中断（禁止设置缓冲器空中断） |
| 错误检测标志 | 仅限溢出错误检测标志 (OVFmn) |
| 传送数据长度 | 8 位 |
| 传送速率 | 最大 $f_{MCK}/4$ [Hz]（ $SDRmn[15:9] = 1$ 或更多） f_{MCK} ：目标通道的工作时钟频率 但是，在各种 I ² C 模式时必须满足以下条件。 <ul style="list-style-type: none"> • 最大 400 kHz（最初模式） • 最大 100 kHz（标准模式） |
| 数据电平 | 正相输出（默认：高电平） |
| 奇偶校验位 | 无奇偶校验位 |
| 停止位 | 附加 1 位（ACK 发送） |
| 数据方向 | MSB 优先 |

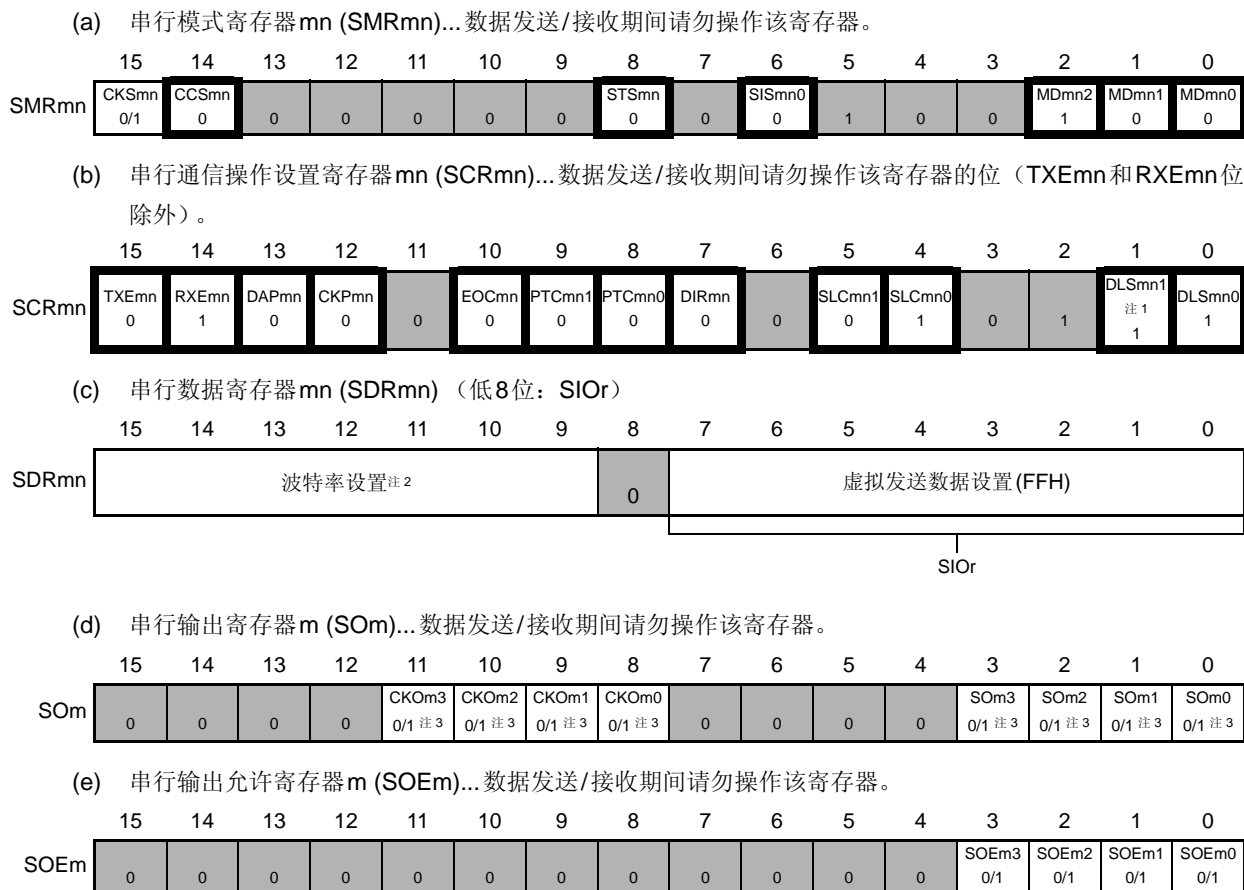
注 进行简易 I²C 通信时，通过端口输出模式寄存器 (POM5) 设置为 N 沟开漏输出（V_{DD} 耐压）模式 (POM50 = 1)（详情请参阅 4.3 控制端口功能的寄存器）。使用 IIC00 与不同电位的外部器件通信时，同样将时钟输入/输出引脚 (SCL00) 设置为 N 沟开漏输出（V_{DD} 耐压）模式 (POM30 = 1)（详情请参阅 4.4.4 与不同电位的外部器件（2.5 V、3 V）的连接方法）。

备注 m：单元编号 (m = 0)，n：通道编号 (n = 0)，mn = 00

(1) 寄存器设置

图 13 - 146 简易 I²C (IIC00) 的数据接收时的寄存器设置

内容示例 (1/2)



注 1. 仅限 SCR00 和 SCR01 寄存器以及 80 至 128 引脚产品的 SCR10 和 SCR11 寄存器提供。其他寄存器的该位固定为 1。

注 2. 不需要进行波特率设置，因为波特率已经在发送地址字段时进行了设置。

注 3. 在通信操作过程中，该值因通信数据而异。


备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0), r: IIC 编号 (r = 00)
mn = 00

备注 2. : 设置固定于 IIC 模式,
: 禁止设置 (设置为初始值)
 x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
 0/1: 可根据用户的用途设为 0 或 1

图 13 - 147 简易 I²C (IIC00) 的数据接收时的寄存器设置
内容示例 (2/2)

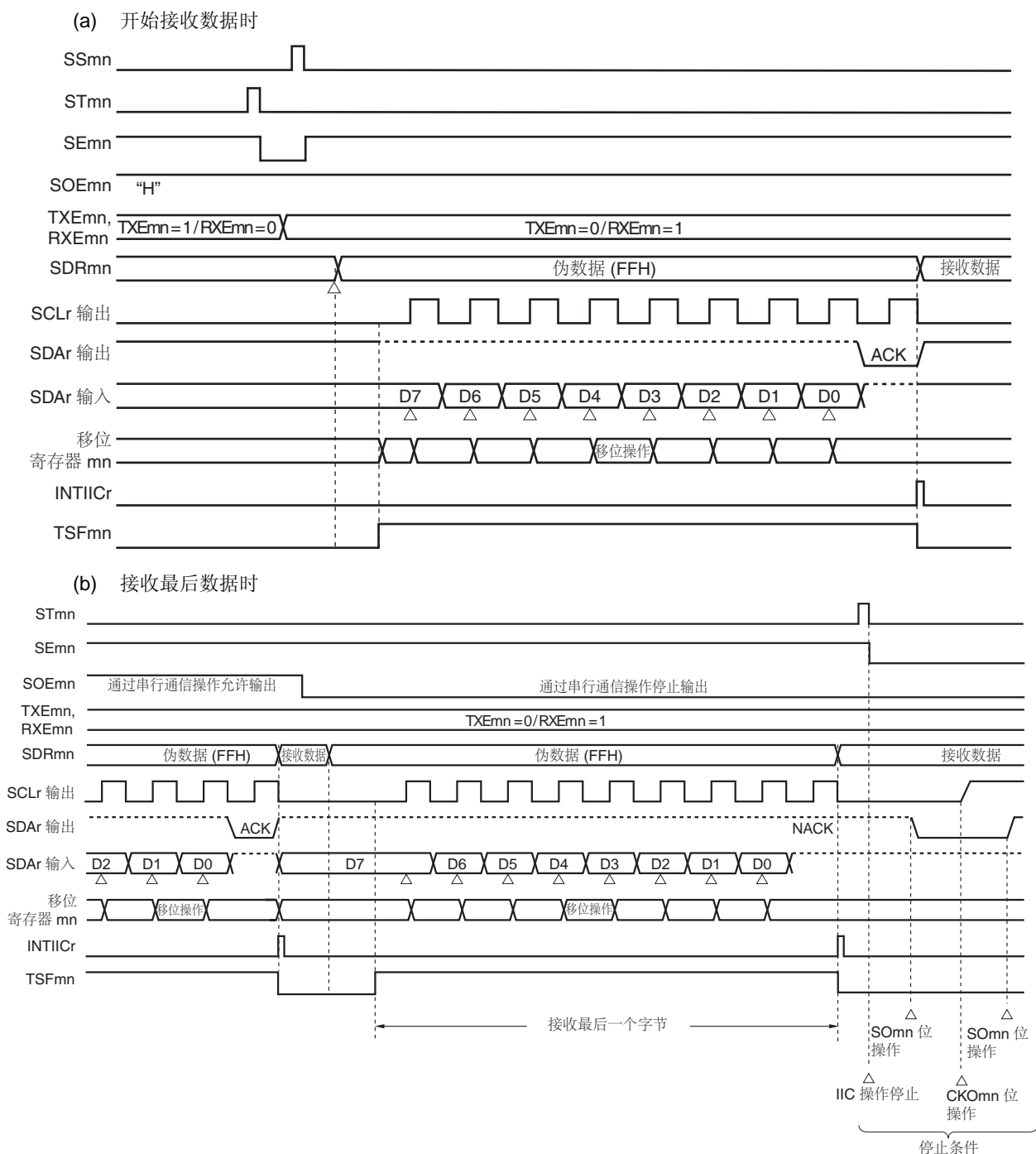
(f) 串行通道开始寄存器m (SSm)... 数据发送/接收期间请勿操作该寄存器。

| | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|-----|----|----|----|----|----|----|---|---|---|---|---|---|-------------|-------------|-------------|-------------|
| SSm | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | SSm3 0/1 | SSm2 0/1 | SSm1 0/1 | SSm0 0/1 |

- 备注 1. m: 单元编号 (m = 0), n: 通道编号 (n = 0), r: IIC 编号 (r = 00)
mn = 00
- 备注 2. : 禁止设置 (设置为初始值)
x: 此模式下不能使用的位 (任意模式下均不使用时设置为初始值)
0/1: 可根据用户的用途设为0或1

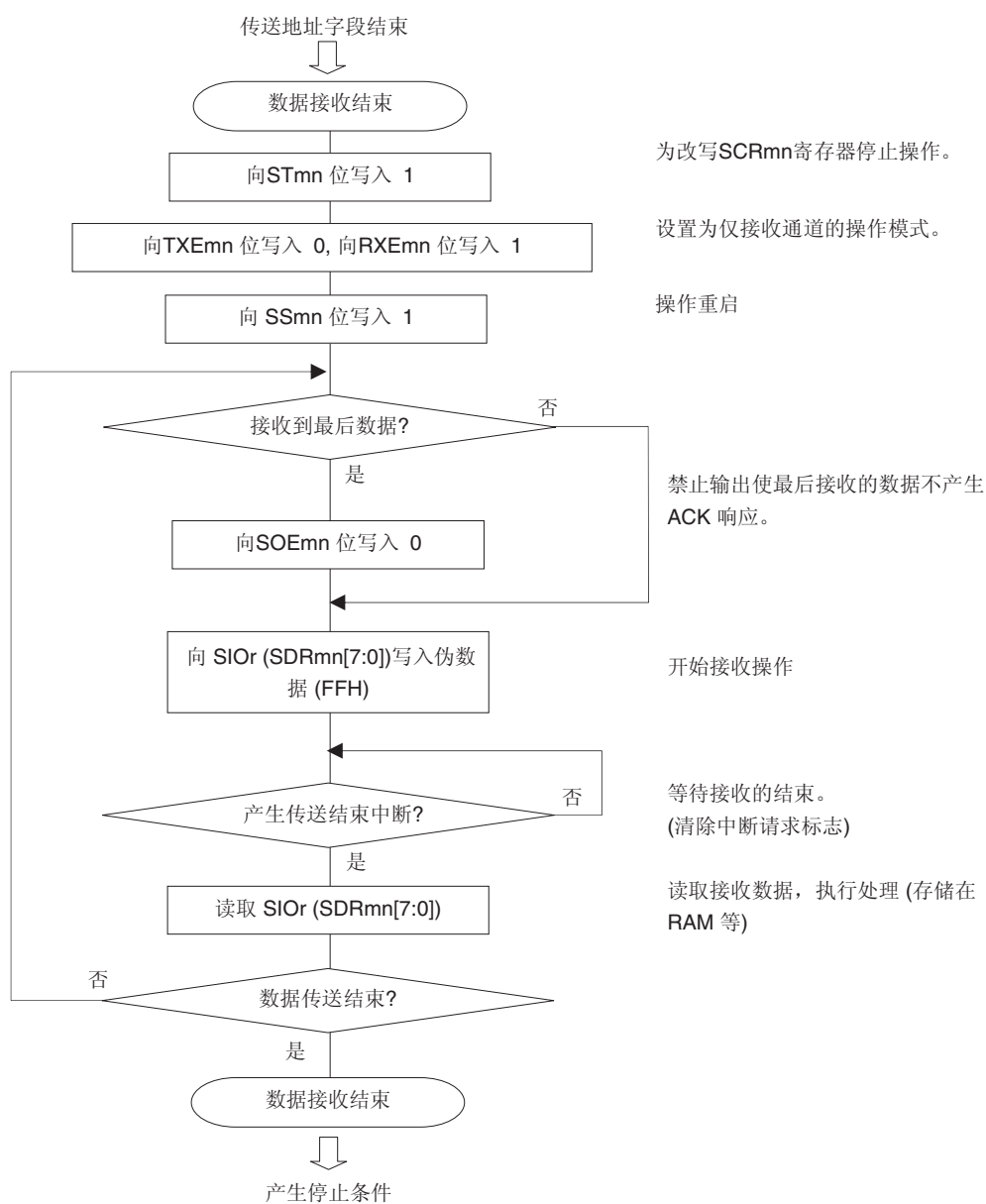
(2) 处理流程

图 13-148 数据接收的时序图



备注 m: 单元编号(m=0), n: 通道编号(n=0), r: IIC 编号(r=00)
mn=00

图 13 - 149 数据接收的流程图



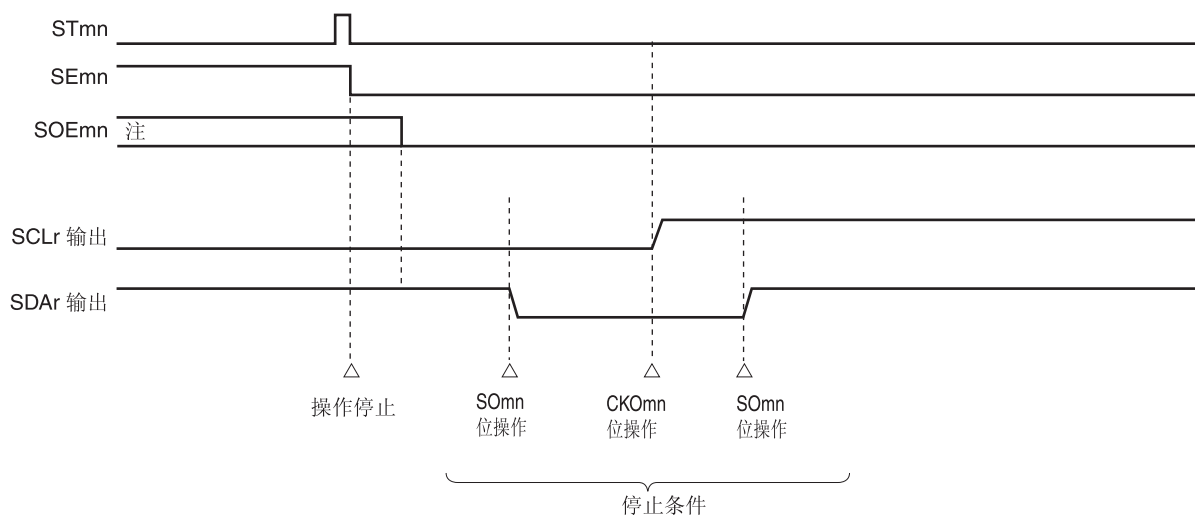
注意事项 接收到最后数据时不输出 **ACK (NACK)**。将串行通道停止寄存器 **m (STm)** 的 **STmn** 位设置为 “1”，以停止操作并发送停止条件，从而完成通信。

13.8.4 发送停止条件

将所有数据发送/接收至目标从设备之后，发送停止条件并释放总线。

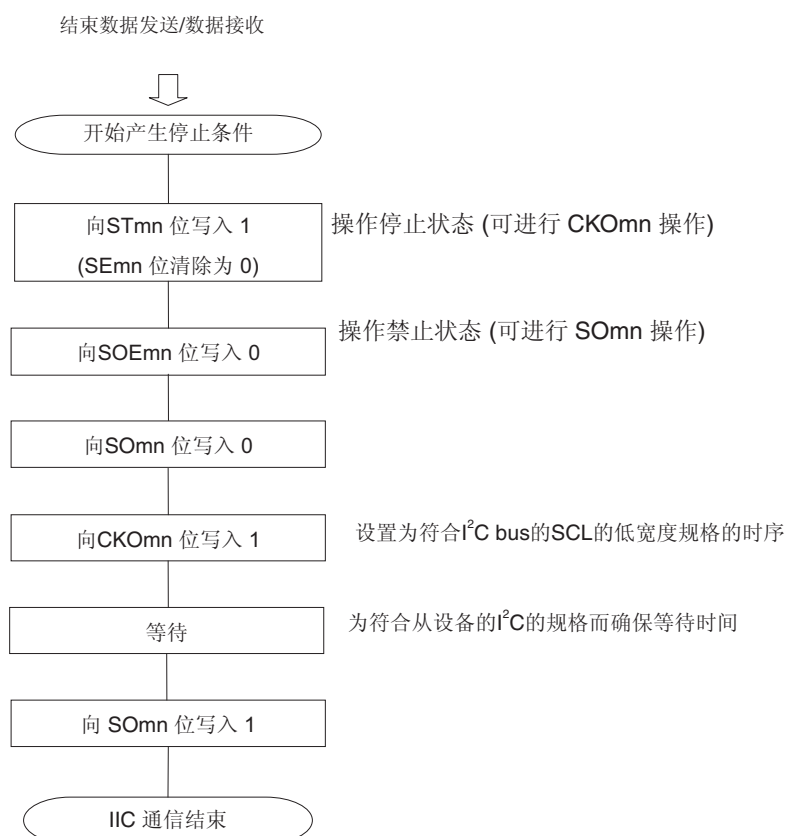
(1) 处理流程

图 13 - 150 发送停止条件的时序图



注 接收操作过程中，在接收到最后数据之前，将串行输出允许寄存器m (SOEm)的SOEmn位设置为0。

图 13 - 151 发送停止条件的流程图



13.8.5 计算传送速率

简易 I²C (IIC00) 通信的传送速率可以通过以下表达式计算。

$$(\text{传送速率}) = \{ \text{目标通道的工作时钟 (fMCK) 频率} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意事项 禁止设置 **SDRmn[15:9] = 00000000B**。将 **SDRmn[15:9]** 设置为大于或等于 **00000001B**。简易 I²C 输出的 **SCL** 信号的占空比为 **50%**。I²C 总线规范定义为 **SCL** 信号的低电平宽度比高电平宽度长。因此，如果指定 **400 kbps**（快速模式），**SCL** 输出信号的低电平宽度会变得比 I²C 总线规范中指定的值短。请务必将 **SDRmn[15:9]** 设定为符合 I²C 总线规范的值。

备注 1. SDRmn[15:9] 的值为 SDRmn 寄存器位 15 至位 9 的值（0000001B 至 1111111B），即 1 至 127。

备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0), mn = 00

工作时钟 (fMCK) 取决于串行时钟选择寄存器 m (SPSm) 以及串行模式寄存器 mn (SMRmn) 的位 15 (CKSmn)。

表 13-5 简易 I²C 工作时钟的选择

| SMRmn 寄存器 | SPSm 寄存器 | | | | | | | | 工作时钟 (f _{CLK}) 注 | |
|--------------|------------|------------|------------|------------|------------|------------|------------|------------|-----------------------------------|---------------------------|
| CKSmn | PRS m13 | PRS m12 | PRS m11 | PRS m10 | PRS m03 | PRS m02 | PRS m01 | PRS m00 | | f _{CLK} = 24 MHz |
| 0 | x | x | x | x | 0 | 0 | 0 | 0 | f _{CLK} | 24 MHz |
| | x | x | x | x | 0 | 0 | 0 | 1 | f _{CLK} /2 | 12 MHz |
| | x | x | x | x | 0 | 0 | 1 | 0 | f _{CLK} /2 ² | 6 MHz |
| | x | x | x | x | 0 | 0 | 1 | 1 | f _{CLK} /2 ³ | 3 MHz |
| | x | x | x | x | 0 | 1 | 0 | 0 | f _{CLK} /2 ⁴ | 1.5 MHz |
| | x | x | x | x | 0 | 1 | 0 | 1 | f _{CLK} /2 ⁵ | 750 kHz |
| | x | x | x | x | 0 | 1 | 1 | 0 | f _{CLK} /2 ⁶ | 375 kHz |
| | x | x | x | x | 0 | 1 | 1 | 1 | f _{CLK} /2 ⁷ | 187.5 kHz |
| | x | x | x | x | 1 | 0 | 0 | 0 | f _{CLK} /2 ⁸ | 93.75 kHz |
| | x | x | x | x | 1 | 0 | 0 | 1 | f _{CLK} /2 ⁹ | 46.88 kHz |
| | x | x | x | x | 1 | 0 | 1 | 0 | f _{CLK} /2 ¹⁰ | 23.44 kHz |
| | x | x | x | x | 1 | 0 | 1 | 1 | f _{CLK} /2 ¹¹ | 11.72 kHz |
| | x | x | x | x | 1 | 1 | 0 | 0 | f _{CLK} /2 ¹² | 5.86 kHz |
| | x | x | x | x | 1 | 1 | 0 | 1 | f _{CLK} /2 ¹³ | 2.93 kHz |
| | x | x | x | x | 1 | 1 | 1 | 0 | f _{CLK} /2 ¹⁴ | 1.46 kHz |
| | x | x | x | x | 1 | 1 | 1 | 1 | f _{CLK} /2 ¹⁵ | 732 Hz |
| 1 | 0 | 0 | 0 | 0 | x | x | x | x | f _{CLK} | 24 MHz |
| | 0 | 0 | 0 | 1 | x | x | x | x | f _{CLK} /2 | 12 MHz |
| | 0 | 0 | 1 | 0 | x | x | x | x | f _{CLK} /2 ² | 6 MHz |
| | 0 | 0 | 1 | 1 | x | x | x | x | f _{CLK} /2 ³ | 3 MHz |
| | 0 | 1 | 0 | 0 | x | x | x | x | f _{CLK} /2 ⁴ | 1.5 MHz |
| | 0 | 1 | 0 | 1 | x | x | x | x | f _{CLK} /2 ⁵ | 750 kHz |
| | 0 | 1 | 1 | 0 | x | x | x | x | f _{CLK} /2 ⁶ | 375 kHz |
| | 0 | 1 | 1 | 1 | x | x | x | x | f _{CLK} /2 ⁷ | 187.5 kHz |
| | 1 | 0 | 0 | 0 | x | x | x | x | f _{CLK} /2 ⁸ | 93.75 kHz |
| | 1 | 0 | 0 | 1 | x | x | x | x | f _{CLK} /2 ⁹ | 46.88 kHz |
| | 1 | 0 | 1 | 0 | x | x | x | x | f _{CLK} /2 ¹⁰ | 23.44 kHz |
| | 1 | 0 | 1 | 1 | x | x | x | x | f _{CLK} /2 ¹¹ | 11.72 kHz |
| | 1 | 1 | 0 | 0 | x | x | x | x | f _{CLK} /2 ¹² | 5.86 kHz |
| | 1 | 1 | 0 | 1 | x | x | x | x | f _{CLK} /2 ¹³ | 2.93 kHz |
| | 1 | 1 | 1 | 0 | x | x | x | x | f _{CLK} /2 ¹⁴ | 1.46 kHz |
| | 1 | 1 | 1 | 1 | x | x | x | x | f _{CLK} /2 ¹⁵ | 732 Hz |

注 要更改 f_{CLK} 的时钟选择时（通过更改系统时钟控制寄存器 (CKC) 的值），必须在停止串行阵列单元 (SAU) 操作（串行通道停止寄存器 m (STm) = 000FH）之后才可以执行。

备注 1. x: 忽略

备注 2. m: 单元编号 (m = 0), n: 通道编号 (n = 0), mn = 00

下面是设置 I²C 传送速率的示例，其中 f_{MCK} = f_{CLK} = 20 MHz。

| I ² C 传送模式 (希望传送速率) | f _{CLK} = 20 MHz | | | |
|-----------------------------------|---------------------------|-------------|-----------|--------------|
| | 工作时钟 (f _{MCK}) | SDRmn[15:9] | 计算传送速率 | 与希望传送速率之间的误差 |
| 100 kHz | f _{CLK} /2 | 49 | 100 kHz | 0.0% |
| 400 kHz | f _{CLK} | 24 | 384.6 kHz | 3.8% 注 |

注 因为 SCL 信号的占空比为 50%，所以误差不能设置为 0% 左右。

13.8.6 简易 I²C (IIC00) 通信期间发生错误时的处理步骤

简易 I²C (IIC00) 通信期间发生错误时的处理步骤如图 13 - 152 和 13 - 153 所示。

图 13 - 152 发生溢出错误时的处理步骤

| 软件操作 | 硬件状态 | 备注 |
|-------------------------------|--|--|
| 读取串行数据寄存器 mn (SDRmn) → | SSRmn 寄存器的 BFFmn 位被清除为 0，并允许通道 n 接收数据。 | 这是为了防止在处理错误的过程中完成了下一次接收时所发生的溢出错误。 |
| 读取串行状态寄存器 mn (SSRmn)。 | | 识别出错误类型，并用读取值来清除错误标志。 |
| 将 1 写入串行标志清除触发寄存器 mn (SIRmn)。 | 错误标志被清除。 | 将 SSRmn 寄存器的读取值直接写入 SIRmn 寄存器，从而可以只清除读取时的错误。 |

图 13 - 153 发生简易 I²C 模式奇偶校验错误 (ACK 错误) 时的处理步骤

| 软件操作 | 硬件状态 | 备注 |
|-----------------------------------|---|---|
| 读取串行数据寄存器 mn (SDRmn) → | SSRmn 寄存器的 BFFmn 位被清除为 0，并允许通道 n 接收数据。 | 这是为了防止在处理错误的过程中完成了下一次接收时所发生的溢出错误。 |
| 读取串行状态寄存器 mn (SSRmn)。 | | 识别出错误类型，并用读取值来清除错误标志。 |
| 写入串行标志清除触发寄存器 mn (SIRmn)。 | 错误标志被清除。 | 将 SSRmn 寄存器的读取值直接写入 SIRmn 寄存器，从而可以只清除读取时的错误。 |
| 将串行通道停止寄存器 m (STm) 的 STmn 位设置为 1。 | 串行通道允许状态寄存器 m (SEm) 的 SEMn 位被清除为 0，通道 n 停止工作。 | 因为没有返回 ACK，所以从设备没有做好接收的准备。因此，创建停止条件并释放总线，再一次从开始条件起开始通信。或者也可以产生重启条件，从地址发送开始重新执行发送。 |
| 创建停止条件。 | | |
| 创建开始条件。 | | |
| 将串行通道开始寄存器 m (SSm) 的 SSmn 位设置为 1。 | 串行通道允许状态寄存器 m (SEm) 的 SEMn 位被设置为 1，并允许操作通道 n。 | |

备注 m: 单元编号 (m = 0)， n: 通道编号 (n = 0)， r: IIC 编号 (r = 00)
mn = 00

第 14 章 事件链接控制器(ELC)

事件链接控制器(ELC)将从各个外围功能输出的事件相互连接（链接）起来。通过链接事件，可以在外围功能之间直接协调操作，而无需通过CPU。

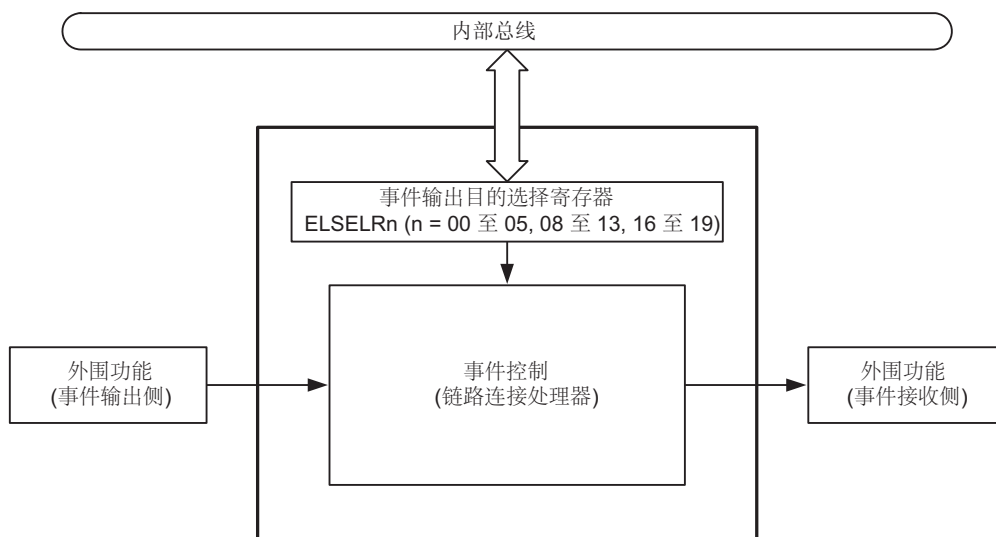
14.1 概述

ELC具有以下功能。

- 能够直接将事件信号从 16 个类型（30 和 32 引脚产品）的外围功能链接到指定的外围功能
- 事件信号可以用作操作 6 种（30 和 32 引脚产品）外围功能中任何一种的启动源

事件链接控制器框图如图 14 - 1 所示。

图 14 - 1 事件链接控制器框图



14.2 寄存器

ELC 寄存器配置如表 14 - 1 所示。

表 14 - 1 ELC 寄存器配置

| 寄存器名称 | 符号 | 复位后 | 地址 | 存取大小 |
|---------------|----------|-----|--------|------|
| 事件输出目标选择寄存器00 | ELSELR00 | 00H | F0300H | 8 |
| 事件输出目标选择寄存器01 | ELSELR01 | 00H | F0301H | 8 |
| 事件输出目标选择寄存器02 | ELSELR02 | 00H | F0302H | 8 |
| 事件输出目标选择寄存器03 | ELSELR03 | 00H | F0303H | 8 |
| 事件输出目标选择寄存器04 | ELSELR04 | 00H | F0304H | 8 |
| 事件输出目标选择寄存器05 | ELSELR05 | 00H | F0305H | 8 |
| 事件输出目标选择寄存器08 | ELSELR08 | 00H | F0308H | 8 |
| 事件输出目标选择寄存器09 | ELSELR09 | 00H | F0309H | 8 |
| 事件输出目标选择寄存器10 | ELSELR10 | 00H | F030AH | 8 |
| 事件输出目标选择寄存器11 | ELSELR11 | 00H | F030BH | 8 |
| 事件输出目标选择寄存器12 | ELSELR12 | 00H | F030CH | 8 |
| 事件输出目标选择寄存器13 | ELSELR13 | 00H | F030DH | 8 |
| 事件输出目标选择寄存器16 | ELSELR16 | 00H | F0310H | 8 |
| 事件输出目标选择寄存器17 | ELSELR17 | 00H | F0311H | 8 |
| 事件输出目标选择寄存器18 | ELSELR18 | 00H | F0312H | 8 |
| 事件输出目标选择寄存器19 | ELSELR19 | 00H | F0313H | 8 |

14.2.1 事件输出目标选择寄存器 n (ELSELRn) (n = 00 至 05、08 至 13、16 至 19)

ELSELRn 寄存器将各事件信号链接至事件接收外围功能（链接目标外围功能）在接收后的某个操作。

不得向同一事件输出目标（事件接收方）设置多个事件输入。事件接收外围功能的操作将变成不定，而且可能无法正确接收事件信号。另外，不得将事件链接发生源与事件链接输出目标设置至同一功能。

在没有事件输出外围功能产生事件信号时，设置 ELSELRn 寄存器。

ELSELRn (n = 00 至 05、08 至 13、16 至 19) 寄存器和外围功能之间的对应关系如表 14 - 2 所示，设置至 ELSELRn (n = 00 至 05、08 至 13、16 至 19) 寄存器的值和 链接目标外围功能在接收时的操作之间的对应关系如表 14 - 3 所示。

地址：F0300H (ELSELR00)至F0305H (ELSELR05)、ELSELR08 (ELSELR08)至F030DH (ELSELR13)，复位后：00H
F0310H (ELSELR16)至F0313H (ELSELR19)

| | | | | | | | | |
|---------|--------|--------|--------|------------------|---|--------|--------|--------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ELSELRn | — | — | — | — | — | ELSEL2 | ELSEL1 | ELSEL0 |
| | | | | | | | | |
| 位7至3 | 保留 | | | | | | | R/W |
| — | 读取值为0。 | | | | | | | R |
| | | | | | | | | |
| ELSEL3 | ELSEL2 | ELSEL1 | ELSEL0 | 事件链接选择 | | | | R/W |
| 0 | 0 | 0 | 0 | 禁止事件链接 | | | | R/W |
| 0 | 0 | 0 | 1 | 选择外围功能的操作以链接注意事项 | | | | |
| 0 | 0 | 1 | 0 | 选择外围功能的操作以链接注意事项 | | | | |
| 0 | 0 | 1 | 1 | 选择外围功能的操作以链接注意事项 | | | | |
| 0 | 1 | 0 | 0 | 选择外围功能的操作以链接注意事项 | | | | |
| 0 | 1 | 0 | 1 | 选择外围功能的操作以链接注意事项 | | | | |
| 其他 | | | | 禁止设置 | | | | |

注意事项 参阅表 14 - 3 设置至 ELSELRn (n = 00 至 05、08 至 13、16 至 19) 寄存器的值和 链接目标外围功能在接收时的操作之间的对应关系。

表 14 - 2 ELSELRn (n = 00至05、08至13、16至19) 寄存器和外围功能之间的对应关系

| 寄存器名称 | 事件发生器 (事件输入n的输出源) | 事件说明 |
|----------|-------------------|----------|
| ELSELR00 | 外部中断边沿检测0 | INTP0 |
| ELSELR01 | 外部中断边沿检测1 | INTP1 |
| ELSELR02 | 外部中断边沿检测2 | INTP2 |
| ELSELR03 | 外部中断边沿检测3 | INTP3 |
| ELSELR04 | 外部中断边沿检测4 | INTP4 |
| ELSELR05 | 外部中断边沿检测5 | INTP5 |
| ELSELR08 | 定时器RD0输入捕捉A/比较匹配A | INTTRD0 |
| ELSELR09 | 定时器RD0输入捕捉B/比较匹配B | INTTRD0 |
| ELSELR10 | 定时器RD1输入捕捉A/比较匹配A | INTTRD1 |
| ELSELR11 | 定时器RD1输入捕捉B/比较匹配B | INTTRD1 |
| ELSELR12 | 定时器RD1下溢 | TRD1下溢信号 |
| ELSELR13 | 定时器RJ0下溢 | INTTRJ0 |
| ELSELR16 | TAU通道00的计数结束/捕捉结束 | INTTM00 |
| ELSELR17 | TAU通道01的计数结束/捕捉结束 | INTTM01 |
| ELSELR18 | TAU通道02的计数结束/捕捉结束 | INTTM02 |
| ELSELR19 | TAU通道03的计数结束/捕捉结束 | INTTM03 |

表 14 - 3 设置至 **ELSELRn** (**n = 00至05、08至13、16至19**) 寄存器的值和
链接目标外围功能在接收时的操作之间的对应关系

| ELSELRn 寄存器中的 位 ELSEL3 至 ELSEL0 | 链接目标外围功能 | 接收事件时的操作 |
|------------------------------------|------------------------------|------------------------|
| 0001B | A/D 转换器 | 开始 A/D 转换 |
| 0010B | 定时器阵列单元 0 通道 0 的 定时器输入注 1 | 延迟计数器、输入脉冲间隔测量、外部事件计数器 |
| 0011B | 定时器阵列单元 0 通道 1 的 定时器输入注 2 | 延迟计数器、输入脉冲间隔测量、外部事件计数器 |
| 0100B | 定时器 RJ0 | 计数源 |
| 0110B | 定时器 RD0 | TRDIOD0 输入捕捉、脉冲输出强制截止 |
| 0111B | 定时器 RD1 | TRDIOD1 输入捕捉、脉冲输出强制截止 |

- 注 1. 要将定时器阵列单元 0 通道 0 的定时器输入选为链接目标外围功能，则先用定时器时钟选择寄存器 0 (TPS0) 将通道 0 的工作时钟设置为 fCLK，然后用定时器输入选择寄存器 0 (TIS0) 将用于通道 0 的定时器输出设为来自 ELC 的事件输入信号。
- 注 2. 要将定时器阵列单元 0 通道 1 的定时器输入选为链接目标外围功能，则要用定时器时钟选择寄存器 0 (TPS0) 将通道 1 工作时钟设置为 fCLK，然后用定时器输入选择寄存器 0 (TIS0) 将用于通道 1 的定时器输出设为来自 ELC 的事件输入信号。

14.3 操作

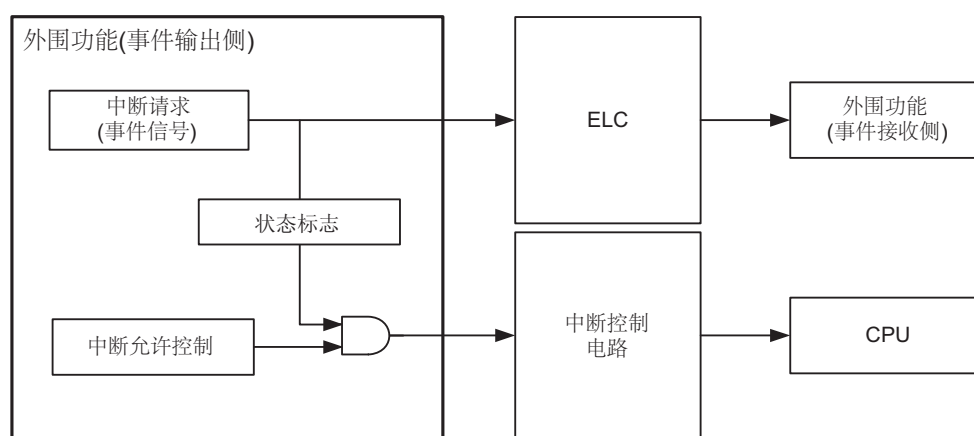
将外围功能产生的事件信号用作中断控制电路的中断请求的路径，是独立于将其用作ELC事件的路径的。因此，可以将各个事件信号用作操作事件接收外围功能的事件信号，不受中断控制的影响。

另外，可以执行事件链接操作，而不受有无CPU时钟供给的影响。然而，需要供应外围功能的工作时钟并使其保持为可操作状态。

中断处理与ELC之间的关系如图 14 - 2所示。该图显示中断请求状态标志和具有允许位的外围功能的示例，该允许位控制着此类中断的允许/禁止。

从ELC接收事件的外围功能将在收到事件后，执行对应于事件接收外围功能的操作（参阅表 14 - 3 设置至 **ELSELRn**（**n = 00至05、08至13、16至19**）寄存器的值和 链接目标外围功能在接收时的操作之间的对应关系）。

图 14 - 2 中断处理与ELC之间的关系



第 15 章 中断功能

用于临时切换程序流的功能。

中断源的数量如下所示。

| | | 30、32 引脚 |
|-------|----|----------|
| 可屏蔽中断 | 外部 | 6 |
| | 内部 | 18 |

15.1 中断功能的类型

中断功能有以下两种。

(1) 可屏蔽中断

接受屏蔽控制的中断。通过设置优先级选择标志寄存器（PR00L、PR00H、PR01L、PR01H、PR02H、PR10L、PR10H、PR11L、PR11H、PR12H），可以将可屏蔽中断的优先级分成四组。

发生高优先级中断时，对低优先级中断可以执行嵌套中断处理。如果同时产生优先级相同的两个或多个中断请求，则根据向量中断处理的默认优先级进行处理。关于默认优先级，请参阅表 15 - 1 至 15 - 2。

产生待机解除信号，解除 STOP、HALT 和 SNOOZE 模式。

可屏蔽中断分为外部中断请求和内部中断请求。

(2) 软件中断

这是通过执行 BRK 指令而产生的向量中断。即使在禁止中断时也能得到受理。软件中断不受中断优先级控制。

15.2 中断源和配置

中断源包括可屏蔽中断和软件中断。另外，还有最多可达五种的复位源（参阅表 15 - 1 至 15 - 2）。当因产生复位或各种中断请求而分支时，存储着程序起始地址的向量代码各为两个字节，因此，中断跳转目标的地址为 00000H 至 0FFFFH 的 64 K 地址。

表 15 - 1 中断源列表 (1/2)

| 中断类型 | 默认优先级注 1 | 中断源 | | 内部/外部 | 向量表地址 | 基本配置类型注 2 | 32 引脚 | 30 引脚 |
|------|----------|----------------------------------|--|-------|-------|-----------|-------|-------|
| | | 名称 | 触发 | | | | | |
| 可屏蔽 | 0 | INTWDTI | 看门狗定时器间隔注 3 (溢出时间的 75% + 1/2f _{IL}) | 内部 | 0004H | (A) | √ | √ |
| | 1 | INTLVI | 电压检测注 4 | | 0006H | | √ | √ |
| | 2 | INTP0 | 检测引脚输入边沿 | 外部 | 0008H | (B) | √ | √ |
| | 3 | INTP1 | | | 000AH | | √ | √ |
| | 4 | INTP2 | | | 000CH | | √ | √ |
| | 5 | INTP3 | | | 000EH | | √ | √ |
| | 6 | INTP4 | | | 0010H | | √ | √ |
| | 7 | INTP5 | | | 0012H | | √ | √ |
| | 11 | INTST0/ INTCSI00/ INTIIC00 | UART0 发送的传送结束或缓冲器空中断 /CSI00 的传送结束或 缓冲器空中断/IIC00 的传送结束 | 内部 | 001EH | (A) | √ | √ |
| | 12 | INTSR0 | UART0接收传送结束 | | 0020H | | √ | √ |
| | 13 | INTSRE0 | 发生 UART0接收通信错误 | | 0022H | | √ | √ |
| | | INTTM01H | 定时器通道 1 的计数或捕捉结束（8 位定时器动作时） | | | | √ | √ |
| | 14 | INTST1 | UART1 发送的传送结束或缓冲器空中断 | | 0024H | | √ | √ |
| | 15 | INTSR1 | UART1 接收传送结束 | | 0026H | | √ | √ |
| | 16 | INTSRE1 | 发生 UART1接收通信错误 | | 0028H | | √ | √ |
| | | INTTM03H | 定时器通道 3 的计数或捕捉结束（8 位定时器动作时） | | | | √ | √ |
| | 18 | INTTM00 | 定时器通道 0 的计数或捕捉结束 | | 002CH | | √ | √ |
| | 19 | INTTM01 | 定时器通道 1 的计数或捕捉结束 | | 002EH | | √ | √ |
| | 20 | INTTM02 | 定时器通道 2 的计数或捕捉结束 | | 0030H | | √ | √ |
| | 21 | INTTM03 | 定时器通道 3 的计数或捕捉结束 | | 0032H | | √ | √ |
| | 22 | INTAD | A/D 转换结束 | | 0034H | | √ | √ |
| | 24 | INTIT | 检测间隔信号 | | 0038H | | √ | √ |
| | 28 | INTTRJ0 | 定时器 RJ 下溢 | | 0040H | | √ | √ |
| | 39 | INTTRD0 | 定时器 RD0 输入捕捉、比较匹配、溢出、下溢中断 | | 0056H | | √ | √ |
| | 40 | INTTRD1 | 定时器 RD1 输入捕捉、比较匹配、溢出、下溢中断 | | 0058H | | √ | √ |
| | 44 | INTFL | 定序器结束中断注 5 | | 0062H | | √ | √ |

注 1. 如果同时发生两个或更多可屏蔽中断，默认优先级将决定中断的顺序。0 表示最高优先级，44 表示最低优先级。

注 2. 基本配置类型 (A) 至 (D) 对应于图 15 - 1 中的 (A) 至 (D)。

注 3. 当选项字节 (000C0H) 的位 7 (WDTINT) 被设置为 1 时。

注 4. 当电压检测电平寄存器 (LVIS) 的位 7 (LVIMD) 被清除为 0 时。

注 5. 仅限于自编程库使用。

表 15 - 2 中断源列表 (2/2)

| 中断类型 | 默认优先级注 1 | 中断源 | | 内部/外部 | 向量表地址 | 基本配置类型注 2 | 32 引脚 | 30 引脚 |
|------|----------|-------|------------|-------|-------|-----------|-------|-------|
| | | 名称 | 触发 | | | | | |
| 软件 | — | BRK | 执行 BRK 指令 | — | 007EH | (D) | √ | √ |
| 复位 | — | RESET | RESET 引脚输入 | — | 0000H | — | √ | √ |
| | | POR | 上电复位 | | | | √ | √ |
| | | LVD | 电压检测注 3 | | | | √ | √ |
| | | WDT | 看门狗定时器的溢出 | | | | √ | √ |
| | | TRAP | 执行非法指令注 4 | | | | √ | √ |
| | | IAW | 存取非法存储器 | | | | √ | √ |
| | | RPE | RAM 奇偶校验错误 | | | | √ | √ |

注 1. 如果同时发生两个或更多可屏蔽中断，默认优先级将决定中断的顺序。0 表示最高优先级，44 表示最低优先级。

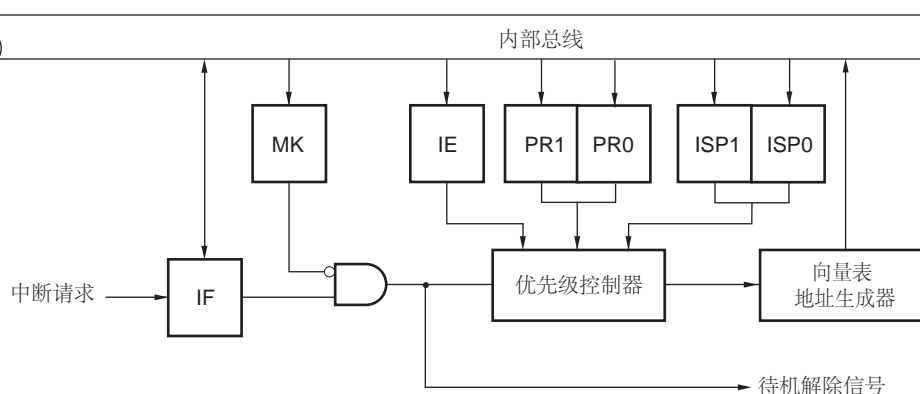
注 2. 基本配置类型 (A) 至 (D) 对应于图 15 - 1 中的 (A) 至 (D)。

注 3. 当电压检测电平寄存器 (LVIS) 的位 7 (LVIMD) 被设置为 1 时。

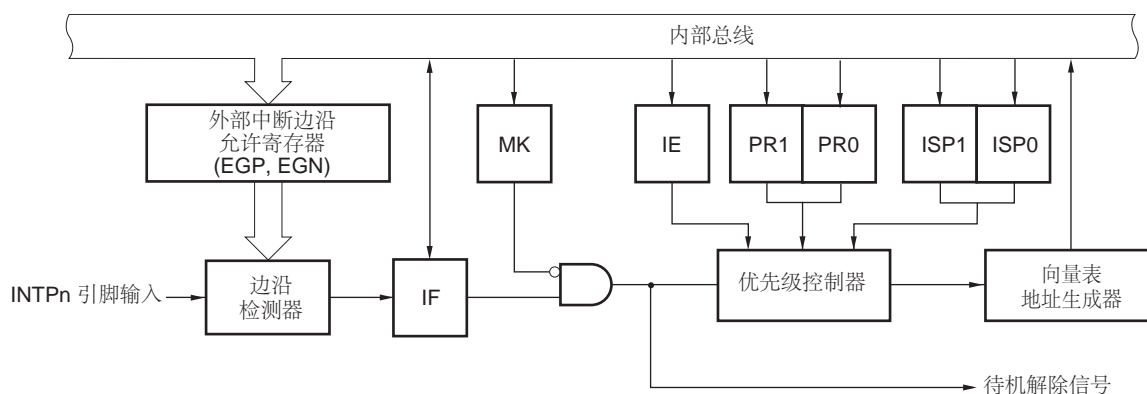
注 4. 执行指令码 FFH 时发生。
在线仿真器或片上调试仿真器的仿真过程中，不发生执行非法指令所引起的复位。

图 15 - 1 中断功能的基本配置

(A) 内部可屏蔽中断



(B) 外部可屏蔽中断(INTPn)



- IF: 中断请求标志
 IE: 中断允许标志
 ISP0: 受理中断的优先级标志 0
 ISP1: 受理中断的优先级标志 1
 MK: 中断屏蔽标志
 PR0: 优先级指定标志 0
 PR1: 优先级指定标志 1

备注 n = 0 至 5

15.3 控制中断功能的寄存器

以下6种寄存器用于控制中断功能。

- 中断请求标志寄存器 (IF0L、IF0H、IF1L、IF1H、IF2H)
- 中断屏蔽标志寄存器 (MK0L、MK0H、MK1L、MK1H、MK2H)
- 优先级选择标志寄存器 (PR00L、PR00H、PR01L、PR01H、PR02H、PR10L、PR10H、PR11L、PR11H、PR12H)
- 外部中断上升沿允许寄存器(EGP0)
- 外部中断下降沿允许寄存器(EGN0)
- 程序状态字(PSW)

各中断请求源对应的中断请求标志、中断屏蔽标志和优先级指定标志如表 15 - 3所示。

表 15-3 中断请求源对应的标志

| 中断源 | 中断请求标志 | | 中断屏蔽标志 | | 优先指定标志 | | 30、32 引脚 |
|--------------|-------------|------|-------------|------|-----------------------|-----------------|-------------|
| | | 寄存器 | | 寄存器 | | 寄存器 | |
| INTWDTI | WDTIIF | IF0L | WDTIMK | MK0L | WDTIPR0、WDTIPR1 | PR00L、 PR10L | √ |
| INTLVI | LVIIIF | | LVIMK | | LVIPR0、LVIPR1 | | √ |
| INTP0 | PIF0 | | PMK0 | | PPR00、PPR10 | | √ |
| INTP1 | PIF1 | | PMK1 | | PPR01、PPR11 | | √ |
| INTP2 | PIF2 | | PMK2 | | PPR02、PPR12 | | √ |
| INTP3 | PIF3 | | PMK3 | | PPR03、PPR13 | | √ |
| INTP4 | PIF4 | | PMK4 | | PPR04、PPR14 | | √ |
| INTP5 | PIF5 | | PMK5 | | PPR05、PPR15 | | √ |
| INTST0 注 1 | STIF0 注 1 | IF0H | STMK0 注 1 | MK0H | STPR00、STPR10 注 1 | PR00H、 PR10H | √ |
| INTCSI00 注 1 | CSIIF00 注 1 | | CSIMK00 注 1 | | CSIPR000、CSIPR100 注 1 | | √ |
| INTIIC00 注 1 | IICIF00 注 1 | | IICMK00 注 1 | | IICPR000、IICPR100 注 1 | | √ |
| INTSR0 | SRIF0 | | SRMK0 | | SRPR00、SRPR10 | | √ |
| INTSRE0 注 2 | SREIF0 注 2 | | SREMK0 注 2 | | SREPR00、SREPR10 注 2 | | √ |
| INTTM01H 注 2 | TMIF01H 注 2 | | TMMK01H 注 2 | | TMPR001H、TMPR101H 注 2 | | √ |
| INTST1 | STIF1 | IF1L | STMK1 | MK1L | STPR01、STPR11 | PR01L、 PR11L | √ |
| INTSR1 | SRIF1 | | SRMK1 | | SRPR01、SRPR11 | | √ |
| INTSRE1 注 3 | SREIF1 注 3 | | SREMK1 注 3 | | SREPR01、SREPR11 注 3 | | √ |
| INTTM03H 注 3 | TMIF03H 注 3 | | TMMK03H 注 3 | | TMPR003H、TMPR103H 注 3 | | √ |
| INTTM00 | TMIF00 | | TMMK00 | | TMPR000、TMPR100 | | √ |
| INTTM01 | TMIF01 | | TMMK01 | | TMPR001、TMPR101 | | √ |
| INTTM02 | TMIF02 | | TMMK02 | | TMPR002、TMPR102 | | √ |
| INTTM03 | TMIF03 | | TMMK03 | | TMPR003、TMPR103 | | √ |
| INTAD | ADIF | IF1H | ADMK | MK1H | ADPR0、ADPR1 | PR01H、 PR11H | √ |
| INTIT | ITIF | | ITMK | | ITPR0、ITPR1 | | √ |
| INTTRJ0 | TRJIF0 | | TRJMK0 | | TRJPR00、TRJPR10 | | √ |
| INTTRD0 | TRDIF0 | IF2H | TRDMK0 | MK2H | TRDPR00、TRDPR10 | PR02H、 PR12H | √ |
| INTTRD1 | TRDIF1 | | TRDMK1 | | TRDPR01、TRDPR11 | | √ |
| INTFL | FLIF | | FLMK | | FLPR0、FLPR1 | | √ |

注 1. 由于 UART0、CSI00 和 IIC00 共用中断请求源对应的标志，所以不要同时使用。三个中断源 INTST0、INTCSI00 和 INTIIC00 中，如果产生任意一个，则 IF0H 寄存器的位 5 将被设置为 1。MK0H、PR00H 和 PR10H 寄存器的位 5 控制这三种中断源。

注 2. 由于 UART0 和 TAU0 的通道 1（8 位定时器动作时）共用中断请求源对应的各标志，所以不要同时使用。两个中断源 INTSRE0 和 INTTM01H 中，如果产生任意一个，则 IF0H 寄存器的位 7 将被设置为 1。MK0H、PR00H 和 PR10H 寄存器的位 7 控制这两种中断源。

注 3. 由于 UART1 和 TAU0 的通道 3（8 位定时器动作时）共用中断请求源标志，所以不要同时使用。两个中断源 INTSRE1 和 INTTM03H 中，如果产生任意一个，则 IF1L 寄存器的位 2 将被设置为 1。MK1L、PR01L 和 PR11L 寄存器的位 2 控制这两种中断源。

- (1) 中断请求标志寄存器（IF0L、IF0H、IF1L、IF1H、IF2H）
- 在产生相应的中断请求或者执行指令时，中断请求标志被设置为1。受理中断请求时，产生复位信号或执行指令，该寄存器被清除为0。
- 当一个中断被受理时，中断请求标志将自动清零，然后进行中断处理。
- 使用1位或8位存储器操作指令设置IIF0L、IF0H、IF1L、IF1H和IF2H寄存器。当把IF0L和IF0H寄存器、IF1L和IF1H寄存器组合构成16位寄存器IF0和IF1时，可以用16位存储器操作指令进行设置。
- 产生复位信号后，这些寄存器被清除为00H。
- 备注 执行向该寄存器写入数据的指令时，该指令执行时钟数将增加2个时钟。

图 15 - 2 中断请求标志寄存器（IF0L、IF0H、IF1L、IF1H、IF2H）的格式(1/2)

| | | | | | | | | |
|------------|----------|------|------|------|------|------|--------|--------|
| 地址: FFFE0H | 复位后: 00H | R/W | | | | | | |
| 符号 | <7> | <6> | <5> | <4> | <3> | <2> | <1> | <0> |
| IF0L | PIF5 | PIF4 | PIF3 | PIF2 | PIF1 | PIF0 | LVIIIF | WDTIIF |

| | | | | | | | | |
|------------|-------------------|-------|-----------------------------|---|---|---|---|---|
| 地址: FFFE1H | 复位后: 00H | R/W | | | | | | |
| 符号 | <7> | <6> | <5> | 4 | 3 | 2 | 1 | 0 |
| IF0H | SREIF0 TMIF01H | SRIF0 | STIF0 CSIIF00 IICIF00 | 0 | 0 | 0 | 0 | 0 |

| | | | | | | | | |
|------------|----------|--------|--------|--------|---|-------------------|-------|-------|
| 地址: FFFE2H | 复位后: 00H | R/W | | | | | | |
| 符号 | <7> | <6> | <5> | <4> | 3 | <2> | <1> | <0> |
| IF1L | TMIF03 | TMIF02 | TMIF01 | TMIF00 | 0 | SREIF1 TMIF03H | SRIF1 | STIF1 |

| | | | | | | | | |
|------------|----------|--------|---|---|---|------|---|------|
| 地址: FFFE3H | 复位后: 00H | R/W | | | | | | |
| 符号 | 7 | <6> | 5 | 4 | 3 | <2> | 1 | <0> |
| IF1H | 0 | TRJIF0 | 0 | 0 | 0 | ITIF | 0 | ADIF |

图 15 - 3 中断请求标志寄存器（IF0L、IF0H、IF1L、IF1H、IF2H）的格式 (2/2)

| | | | | | | | | |
|------------|----------|------------------|---|---|---|--------|--------|---|
| 地址: FFFD1H | 复位后: 00H | R/W | | | | | | |
| 符号 | <7> | 6 | 5 | 4 | 3 | <2> | <1> | 0 |
| IF2H | FLIF | 0 | 0 | 0 | 0 | TRDIF1 | TRDIF0 | 0 |
| | | | | | | | | |
| XXIFX | | 中断请求标志 | | | | | | |
| 0 | | 不产生中断请求信号 | | | | | | |
| 1 | | 产生中断请求, 处于中断请求状态 | | | | | | |

注意事项 1. 必须将未配置的位清除为0。

注意事项 2. 在操作中中断请求标志寄存器的标志时, 要使用位操作指令(CLR1)。当使用C语言描述时, 由于编译后的汇编程序必须为位操作指令(CLR1), 所以要使用位操作指令, 如 “IF0L.0 = 0;” 或 “_asm (“clr1 IF0L, 0”);” 进行操作。

如果使用8位存储器操作指令 (如 “IF0L &= 0xfe;”) 以C语言描述程序并进行编译, 则将成为有三条指令的汇编程序。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

在这种情况下, 即使在 “mov a, IF0L” 与 “mov IF0L, a” 之间将同一中断请求标志寄存器 (IF0L) 的另一位的请求标志设置为1, 该标志也会在 “mov IF0L, a” 时清除为0。因此, 在以C语言使用8位存储器操作指令时, 必须多加注意。

(2) 中断屏蔽标志寄存器（MK0L、MK0H、MK1L、MK1H、MK2H）

中断屏蔽标志用于允许/禁止相应的可屏蔽中断处理。

使用1位或8位存储器操作指令设置MK0L、MK0H、MK1L、MK1H和MK2H寄存器。当把MK0L和MK0H寄存器、MK1L和MK1H寄存器组合构成16位寄存器MK0和MK1时, 可以用16位存储器操作指令进行设置。

产生复位信号后, 该寄存器被设置为FFH。

备注 执行向该寄存器写入数据的指令时, 该指令执行时钟数将增加2个时钟。

图 15 - 4 中断屏蔽标志寄存器（MK0L、MK0H、MK1L、MK1H、MK2H）的格式

| | | | | | | | | |
|------------|-------------------|---------|-----------------------------|--------|------|-------------------|--------|--------|
| 地址: FFFE4H | 复位后: FFH | R/W | | | | | | |
| 符号 | <7> | <6> | <5> | <4> | <3> | <2> | <1> | <0> |
| MK0L | PMK5 | PMK4 | PMK3 | PMK2 | PMK1 | PMK0 | LVIMK | WDTIMK |
| 地址: FFFE5H | 复位后: FFH | R/W | | | | | | |
| 符号 | <7> | <6> | <5> | 4 | 3 | 2 | 1 | 0 |
| MK0H | SREMK0 TMMK01H | SRMK0 | STMK0 CSIMK00 IICMK00 | 1 | 1 | 1 | 1 | 1 |
| 地址: FFFE6H | 复位后: FFH | R/W | | | | | | |
| 符号 | <7> | <6> | <5> | <4> | 3 | <2> | <1> | <0> |
| MK1L | TMMK03 | TMMK02 | TMMK01 | TMMK00 | 1 | SREMK1 TMMK03H | SRMK1 | STMK1 |
| 地址: FFFE7H | 复位后: FFH | R/W | | | | | | |
| 符号 | 7 | <6> | 5 | 4 | 3 | <2> | 1 | <0> |
| MK1H | 1 | TRJMK0 | 1 | 1 | 1 | ITMK | 1 | ADMK |
| 地址: FFFD5H | 复位后: FFH | R/W | | | | | | |
| 符号 | <7> | 6 | 5 | 4 | 3 | <2> | <1> | 0 |
| MK2H | FLMK | 1 | 1 | 1 | 1 | TRDMK1 | TRDMK0 | 1 |
| | | | | | | | | |
| XXMKX | | 中断处理的控制 | | | | | | |
| 0 | | 允许中断处理 | | | | | | |
| 1 | | 禁止中断处理 | | | | | | |

注意事项 必须将未配置的位设置为1。

(3) 优先级选择标志寄存器 (PR00L、PR00H、PR01L、PR01H、PR02H、PR10L、PR10H、PR11L、PR11H、PR12H)

优先级选择标志寄存器用于设置相应的可屏蔽中断的优先级。

通过组合使用PR0xy和PR1xy寄存器 (xy = 0L、0H、1L、1H或2H) 来设置优先级。

使用1位或8位存储器操作指令设置PR00L、PR00H、PR01L、PR01H、PR02H、PR10L、PR10H、PR11L、PR11H和PR12H寄存器。当把PR00L和PR00H寄存器、PR01L和PR01H寄存器、PR10L和PR10H寄存器、PR11L和PR11H寄存器组合构成16位寄存器PR00、PR01、PR02、PR10和PR11时, 则可以用16位存储器操作指令进行设置。

产生复位信号后, 该寄存器被设置为FFH。

备注 执行向该寄存器写入数据的指令时, 该指令执行时钟数将增加2个时钟。

图 15 - 5 优先级选择标志寄存器 (PR00L、PR00H、PR01L、PR01H、PR02H、PR10L、PR10H、PR11L、PR11H、PR12H) 的格式(1/2)

| | | | | | | | | |
|------------|-------|----------|-------|-------|-------|-------|--------|---------|
| 地址: FFFE8H | | 复位后: FFH | | R/W | | | | |
| 符号 | <7> | <6> | <5> | <4> | <3> | <2> | <1> | <0> |
| PR00L | PPR05 | PPR04 | PPR03 | PPR02 | PPR01 | PPR00 | LVIPR0 | WDTIPR0 |

| | | | | | | | | |
|------------|-------|----------|-------|-------|-------|-------|--------|---------|
| 地址: FFFECH | | 复位后: FFH | | R/W | | | | |
| 符号 | <7> | <6> | <5> | <4> | <3> | <2> | <1> | <0> |
| PR10L | PPR15 | PPR14 | PPR13 | PPR12 | PPR11 | PPR10 | LVIPR1 | WDTIPR1 |

| | | | | | | | | |
|------------|---------------------|----------|--------------------------------|-----|---|---|---|---|
| 地址: FFFE9H | | 复位后: FFH | | R/W | | | | |
| 符号 | <7> | <6> | <5> | 4 | 3 | 2 | 1 | 0 |
| PR00H | SREPR00 TMPR001H | SRPR00 | STPR00 CSIPR000 IICPR000 | 1 | 1 | 1 | 1 | 1 |

| | | | | | | | | |
|------------|---------------------|----------|--------------------------------|-----|---|---|---|---|
| 地址: FFFEDH | | 复位后: FFH | | R/W | | | | |
| 符号 | <7> | <6> | <5> | 4 | 3 | 2 | 1 | 0 |
| PR10H | SREPR10 TMPR101H | SRPR10 | STPR10 CSIPR100 IICPR100 | 1 | 1 | 1 | 1 | 1 |

| | | | | | | | | |
|------------|---------|----------|---------|---------|---|---------------------|--------|--------|
| 地址: FFFEAH | | 复位后: FFH | | R/W | | | | |
| 符号 | <7> | <6> | <5> | <4> | 3 | <2> | <1> | <0> |
| PR01L | TMPR003 | TMPR002 | TMPR001 | TMPR000 | 1 | SREPR01 TMPR003H | SRPR01 | STPR01 |

| | | | | | | | | |
|------------|---------|----------|---------|---------|---|---------------------|--------|--------|
| 地址: FFFEEH | | 复位后: FFH | | R/W | | | | |
| 符号 | <7> | <6> | <5> | <4> | 3 | <2> | <1> | <0> |
| PR11L | TMPR103 | TMPR102 | TMPR101 | TMPR100 | 1 | SREPR11 TMPR103H | SRPR11 | STPR11 |

图 15 - 6 优先级选择标志寄存器（PR00L、PR00H、PR01L、PR01H、PR02H、PR10L、PR10H、PR11L、PR11H、PR12H）的格式(2/2)

| | | | | | | | | |
|------------|----------|---------------|---|---|---|---------|---------|-------|
| 地址: FFFEBH | 复位后: FFH | R/W | | | | | | |
| 符号 | 7 | <6> | 5 | 4 | 3 | <2> | 1 | <0> |
| PR01H | 1 | TRJPR00 | 1 | 1 | 1 | ITPR0 | 1 | ADPR0 |
| 地址: FFFE7H | 复位后: FFH | R/W | | | | | | |
| 符号 | 7 | <6> | 5 | 4 | 3 | <2> | 1 | <0> |
| PR11H | | TRJPR10 | 1 | 1 | 1 | ITPR1 | 1 | ADPR1 |
| 地址: FFFD9H | 复位后: FFH | R/W | | | | | | |
| 符号 | <7> | 6 | 5 | 4 | 3 | <2> | <1> | 0 |
| PR02H | FLPR0 | 1 | 1 | 1 | 1 | TRDPR01 | TRDPR00 | 1 |
| 地址: FFFDDH | 复位后: FFH | R/W | | | | | | |
| 符号 | <7> | 6 | 5 | 4 | 3 | <2> | <1> | 0 |
| PR12H | FLPR1 | 1 | 1 | 1 | 1 | TRDPR11 | TRDPR10 | 1 |
| | | | | | | | | |
| XXPR1X | XXPR0X | 选择优先等级 | | | | | | |
| 0 | 0 | 指定等级 0（高优先等级） | | | | | | |
| 0 | 1 | 指定等级 1 | | | | | | |
| 1 | 0 | 指定等级 2 | | | | | | |
| 1 | 1 | 指定等级 3（低优先等级） | | | | | | |

注意事项 必须将未配置的位设置为1。

(4) 外部中断上升沿允许寄存器(EGP0)，外部中断下降沿允许寄存器(EGN0)

该寄存器用于设置INTP0至INTP5的有效边沿。
使用1位或8位存储器操作指令设置EGP0和EGN0寄存器。
产生复位信号后，这些寄存器被清除为00H。

图 15 - 7 外部中断上升沿允许寄存器(EGP0)和外部中断下降沿允许寄存器(EGN0)的格式

| | | | | | | | | | | |
|------------|----------|-----|------|------|------|------|------|------|--|--|
| 地址: FFF38H | 复位后: 00H | R/W | | | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| EGP0 | 0 | 0 | EGP5 | EGP4 | EGP3 | EGP2 | EGP1 | EGP0 | | |

| | | | | | | | | | | |
|------------|----------|-----|------|------|------|------|------|------|--|--|
| 地址: FFF39H | 复位后: 00H | R/W | | | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | | |
| EGN0 | 0 | 0 | EGN5 | EGN4 | EGN3 | EGN2 | EGN1 | EGN0 | | |

| | | |
|------|------|--------------------------|
| EGPn | EGNn | 选择INTPn引脚的有效边沿 (n = 0至5) |
| 0 | 0 | 禁止检测边沿 |
| 0 | 1 | 下降沿 |
| 1 | 0 | 上升沿 |
| 1 | 1 | 上升和下降沿 |

对应于EGPn和EGNn位的端口如表 15 - 4所示。

表 15 - 4 对应于EGPn和EGNn位的端口

| 检测允许位 | | 边沿检测端口 | 中断请求信号 | 30、32引脚 |
|-------|------|--------|--------|---------|
| EGP0 | EGN0 | P137 | INTP0 | √ |
| EGP1 | EGN1 | P50 | INTP1 | √ |
| EGP2 | EGN2 | P51 | INTP2 | √ |
| EGP3 | EGN3 | P30 | INTP3 | √ |
| EGP4 | EGN4 | P31 | INTP4 | √ |
| EGP5 | EGN5 | P16 | INTP5 | √ |

备注 n = 0至5

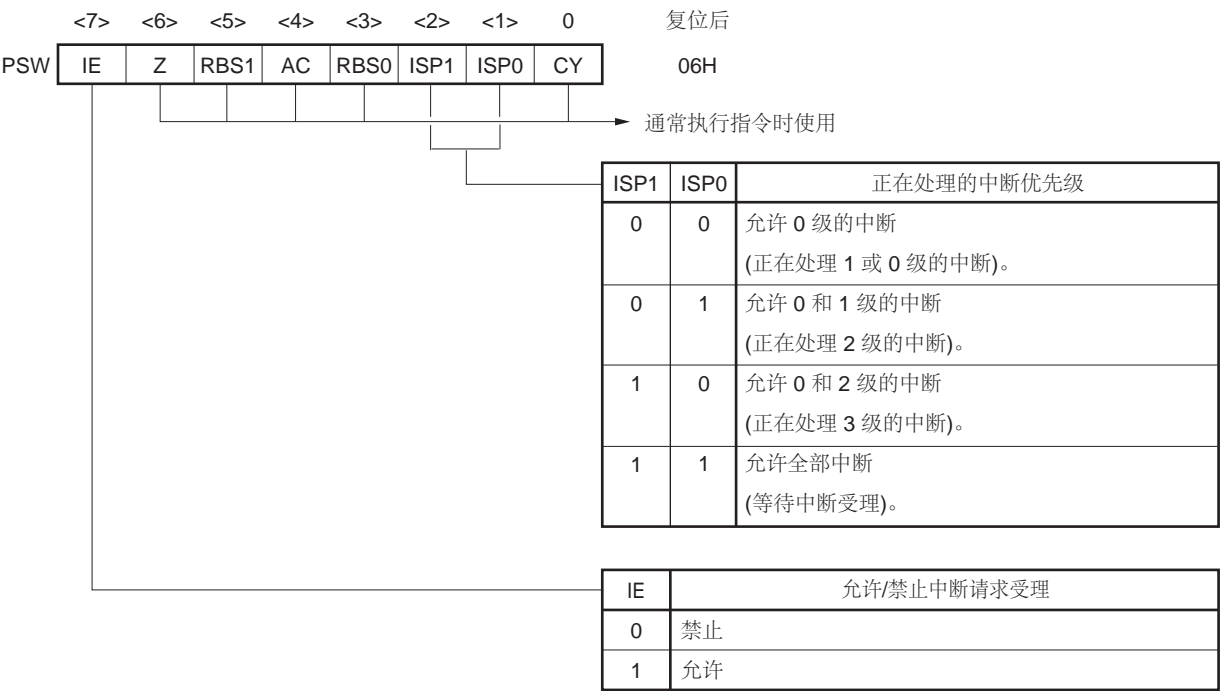
(5) 程序状态字 (PSW)

程序状态字为用于保存指令执行结果和中断请求当前状态的寄存器。设置允许/禁止可屏蔽中断的 IE 标志以及控制嵌套中断处理的 ISP0 和 ISP1 标志被映射至 PSW。

除 8 位读/写以外，该寄存器还可以使用位操作指令和专用指令（EI 和 DI）来执行操作。此外，受理向量中断请求及执行 BRK 指令时，PSW 的内容将被自动保存至堆栈，且 IE 标志复位至 0。如果可屏蔽中断请求被受理，则被受理中断的优先级指定标志的内容将被传送至 ISP0 和 ISP1 标志。PSW 的内容也通过 PUSH PSW 指令保存至堆栈。这些内容可用 RETI、RETB 和 POP PSW 指令从堆栈中恢复。

产生复位信号后，PSW 被设置为 06H。

图 15 - 8 程序状态字的配置



15.4 中断处理的操作

15.4.1 可屏蔽中断请求受理

当中断请求标志被设置为 1 且与该中断请求对应的屏蔽(MK)标志被清除为 0 时，该可屏蔽中断可被受理。在中断允许状态（当 IE 标志被设置为 1）下，向量中断请求被受理。然而，在处理较高优先级中断请求期间，不受理低优先级中断请求。

从产生可屏蔽中断请求到执行向量中断处理的时间如下面的表 15 - 5 所示。

关于中断请求受理时序，请参阅图 15 - 10 和 15 - 11。

表 15 - 5 从产生可屏蔽中断到处理的时间

| | 最短时间 | 最长时间注 |
|------|-------|--------|
| 处理时间 | 9 个时钟 | 16 个时钟 |

注 执行内部RAM区的指令时，不适用以上的处理时间。

备注 1 个时钟：1/fCLK（fCLK：CPU 时钟）

如果同时产生两个或更多可屏蔽中断请求，则优先级指定标志所指定的优先级较高的请求将被首先受理。如果两个或更多重中断请求优先级相同，则默认优先级最高的请求被首先受理。

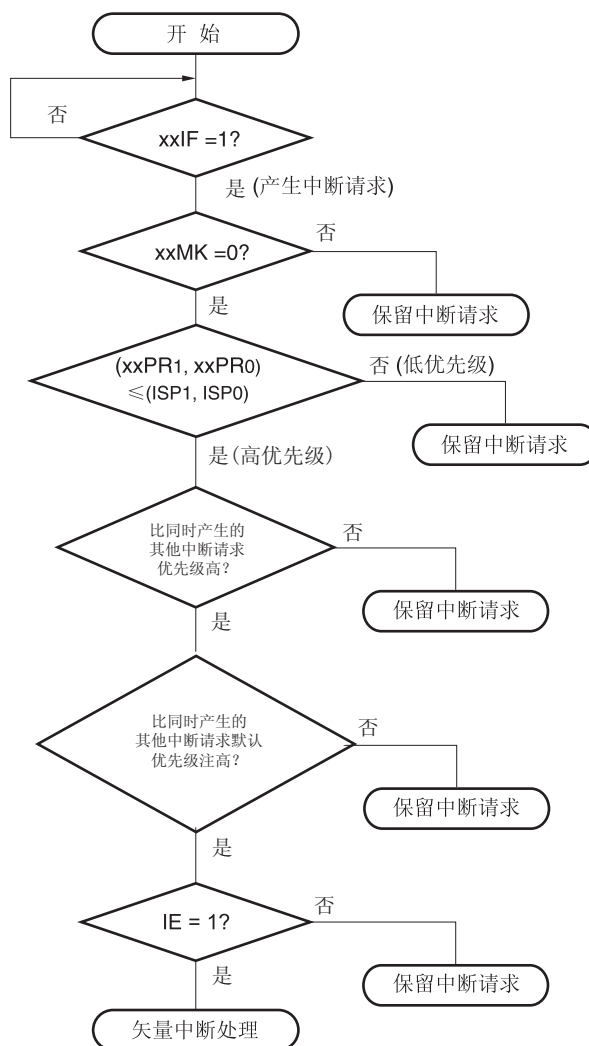
被保留的中断请求将在可以受理时被受理。

中断请求受理处理算法如图 15 - 9 所示。

如果可屏蔽中断请求被受理，则将按先 PSW 后 PC 的顺序，其内容被保存至堆栈之中，IE 标志被复位为 (0)，与已受理中断对应的优先级指定标志的内容被传送至 ISP1 和 ISP0 标志。各中断请求确定的向量表数据将载入 PC 并分支。

可使用 RETI 指令从中断恢复。

图 15 - 9 中断请求受理处理流程



xxIF: 中断请求标志

xxMK: 中断屏蔽标志

xxPR0: 优先级指定标志 0

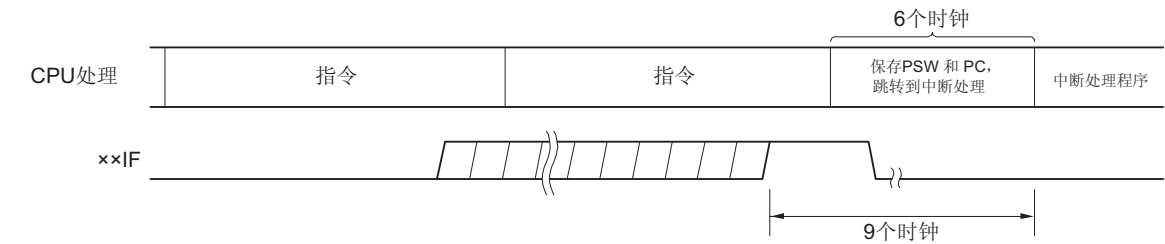
xxPR1: 优先级指定标志 1

IE: 用于控制可屏蔽中断请求的受理的标志 (1 = 允许, 0 = 禁止)

ISP0、ISP1: 表示正在处理的中断的优先级的标志 (参阅图 15 - 8)

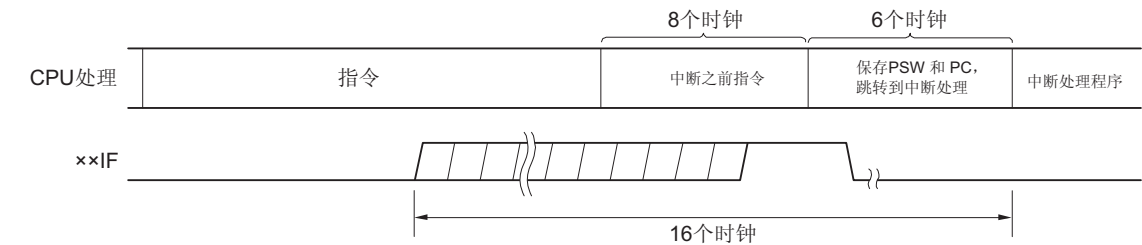
注 关于默认优先级, 请参阅表 15 - 1 至 15 - 2 中断源列表。

图 15 - 10 中断请求受理时序（最短时间）



备注 1 个时钟: 1/fCLK (fCLK: CPU时钟)

图 15 - 11 中断请求受理时序（最长时间）



备注 1 个时钟: 1/fCLK (fCLK: CPU时钟)

15.4.2 软件中断请求受理

通过执行 **BRK** 指令受理软件中断请求。不能禁止软件中断。

如果软件中断请求被受理，则内容将按先程序状态字 (**PSW**) 后程序计数器 (**PC**) 的顺序保存至堆栈之中，**IE** 标志复位 (**0**)，将向量表 (**0007EH**、**0007FH**) 的内容载入 **PC** 并分支。

可使用 **RETB** 指令从软件中断恢复。

注意事项 不能使用 **RETI** 指令从软件中断恢复。

15.4.3 嵌套中断处理

当在执行一个中断的过程中受理了另一个中断请求时，发生嵌套中断处理。

除非选择中断请求受理允许状态 (**IE = 1**)，否则不会发生嵌套中断处理。当某个中断请求被受理时，禁止中断请求受理 (**IE = 0**)。因此，若要允许嵌套中断处理，则须在中断处理期间用 **EI** 指令将 **IE** 标志设置为 (**1**)，以允许中断受理。

另外，即使允许中断，也可能不允许嵌套中断处理，这取决于中断优先级控制。可使用两种优先级控制：默认优先级控制和可编程优先级控制。可编程优先级控制用于嵌套中断处理。

在中断允许状态下，如果产生的中断请求的优先级高于正在处理的中断的优先级，则受理嵌套中断处理。如果在中断处理期间产生的中断的优先级等于或低于正在处理的中断的优先级，则不受理嵌套中断处理。然而，在 **0** 级中断期间将 **IE** 标志设为 **1** 时，可以允许其他 **0** 级中断。

因中断处于中断禁止状态或者优先级较低而不启用的中断请求将被保留。在当前中断的处理结束时，被保留的中断请求将在执行至少一条主处理指令之后被受理。

表 15 - 6 显示了中断处理期间允许嵌套中断处理的中断请求之间的关系，图 15 - 12 和 15 - 13 显示了嵌套中断处理示例。

表 15 - 6 中断处理期间允许嵌套中断处理的中断请求之间的关系

| 正在处理的中断 | | 多重中断请求 | | | | | | | | 可屏蔽中断请求 | | | | | | | | 软件中断请求 | | |
|---------|--|----------------------|---|--------|---|-------------------|---|--------|---|-------------------|---|--------|---|-------------------|---|--------|---|--------|---|--|
| | | 优先级0 (PR = 00) | | | | 优先级1 (PR = 01) | | | | 优先级2 (PR = 10) | | | | 优先级3 (PR = 11) | | | | | | |
| | | IE = 1 | | IE = 0 | | IE = 1 | | IE = 0 | | IE = 1 | | IE = 0 | | IE = 1 | | IE = 0 | | | | |
| 可屏蔽中断 | | ISP1 = 0 ISP0 = 0 | √ | | × | | × | | × | | × | | × | | × | | × | | √ | |
| | | ISP1 = 0 ISP0 = 1 | √ | | × | | √ | | × | | × | | × | | × | | × | | √ | |
| | | ISP1 = 1 ISP0 = 0 | √ | | × | | √ | | × | | √ | | × | | × | | × | | √ | |
| | | ISP1 = 1 ISP0 = 1 | √ | | × | | √ | | × | | √ | | × | | √ | | × | | √ | |
| 软件中断 | | √ | | × | | √ | | × | | √ | | × | | √ | | × | | √ | | |

备注 1. √: 允许嵌套中断处理

备注 2. ×: 禁止嵌套中断处理

备注 3. ISP0、ISP1 和 IE 为包含在 PSW 中的标志。

ISP1 = 0、ISP0 = 0: 正在处理等级 1 或等级 0 的中断。

ISP1 = 0、ISP0 = 1: 正在处理等级 2 的中断。

ISP1 = 1、ISP0 = 0: 正在处理等级 3 的中断。

ISP1 = 1、ISP0 = 1: 等待中断受理。

IE = 0: 禁止中断请求受理。

IE = 1: 允许中断请求受理。

备注 4. PR 为包含在 PR00L、PR00H、PR01L、PR01H、PR02H、PR10L、PR10H、PR11L、PR11H 和 PR12H 寄存器中的标志。

PR = 00: 指定等级 0, 且 $\times\times PR1\times = 0$ 、 $\times\times PR0\times = 0$ (较高优先级)

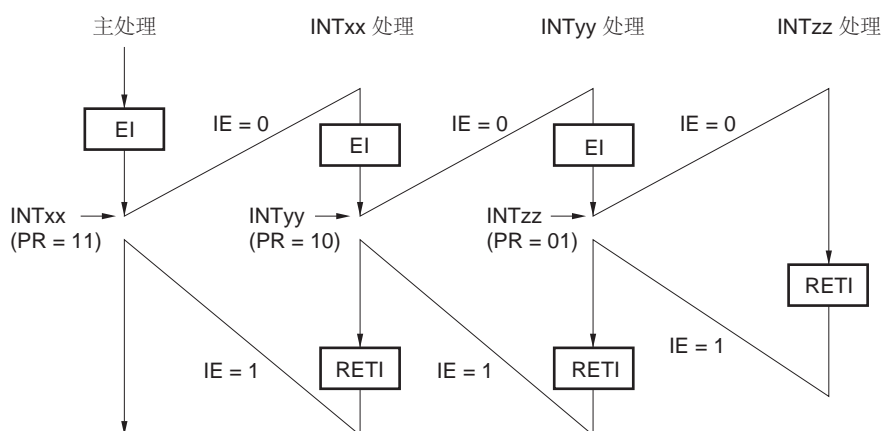
PR = 01: 指定等级 1, 且 $\times\times PR1\times = 0$ 、 $\times\times PR0\times = 1$

PR = 10: 指定等级 2, 且 $\times\times PR1\times = 1$ 、 $\times\times PR0\times = 0$

PR = 11: 指定等级 3, 且 $\times\times PR1\times = 1$ 、 $\times\times PR0\times = 1$ (较低优先级)

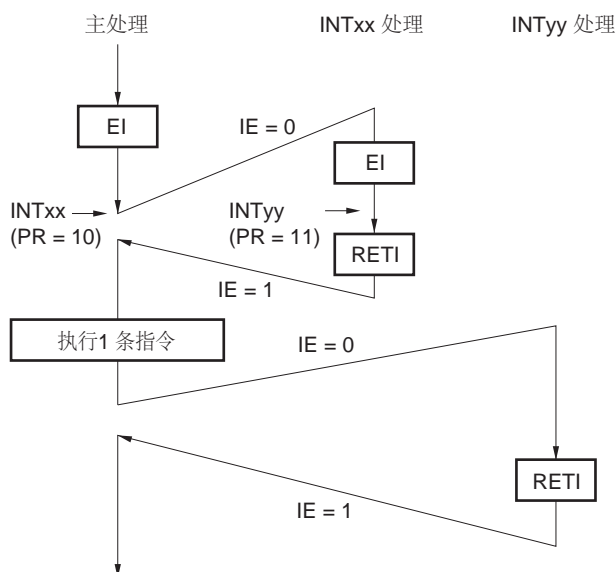
图 15 - 12 嵌套中断处理示例(1/2)

示例 1. 发生两次嵌套中断处理



在处理中断 INTxx 时，受理 INTyy 和 INTzz 这两个中断请求，发生嵌套中断处理。在受理各中断请求之前，必须总执行 EI 指令以允许中断请求受理。

示例 2. 由于优先级控制，不发生嵌套中断处理

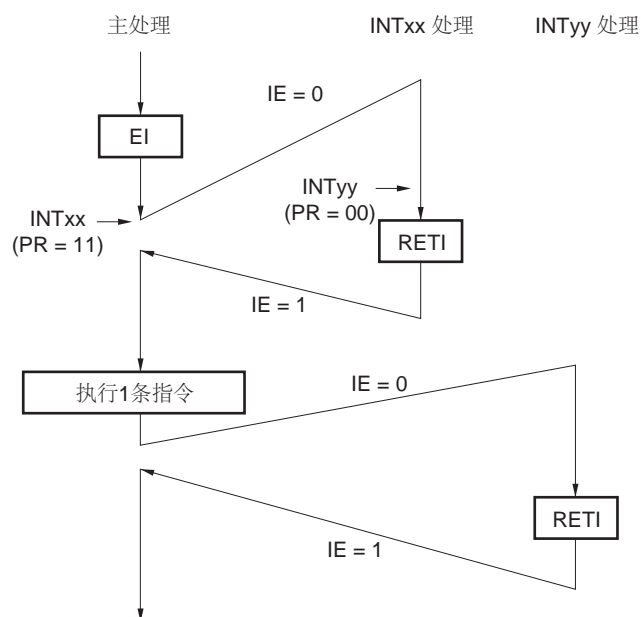


在处理中断 INTxx 时产生的中断请求 INTyy 不被受理，因为其优先级低于 INTxx，不发生嵌套中断处理。INTyy 中断请求被保留，并在执行了一条主处理指令之后被受理。

- PR = 00: 指定等级 0，且 xxPR1x = 0、xxPR0x = 0（较高优先级）
- PR = 01: 指定等级 1，且 xxPR1x = 0、xxPR0x = 1
- PR = 10: 指定等级 2，且 xxPR1x = 1、xxPR0x = 0
- PR = 11: 指定等级 3，且 xxPR1x = 1、xxPR0x = 1（较低优先级）
- IE = 0: 禁止中断请求受理
- IE = 1: 允许中断请求受理。

图 15 - 13 嵌套中断处理示例 (2/2)

示例3. 因为不允许中断，所以不发生嵌套中断处理



在处理中断 INTxx 时因为不允许中断（未使用 EI 指令），所以中断请求 INTyy 不被受理，不发生嵌套中断处理。INTyy 中断请求被保留，并在执行了一条主处理指令之后被受理。

PR = 00: 指定等级0，且xxPR1x = 0、xxPR0x = 0（较高优先级）

PR = 01: 指定等级1，且xxPR1x = 0、xxPR0x = 1

PR = 10: 指定等级2，且xxPR1x = 1、xxPR0x = 0

PR = 11: 指定等级3，且xxPR1x = 1、xxPR0x = 1（较低优先级）

IE = 0: 禁止中断请求受理

IE = 1: 允许中断请求受理。

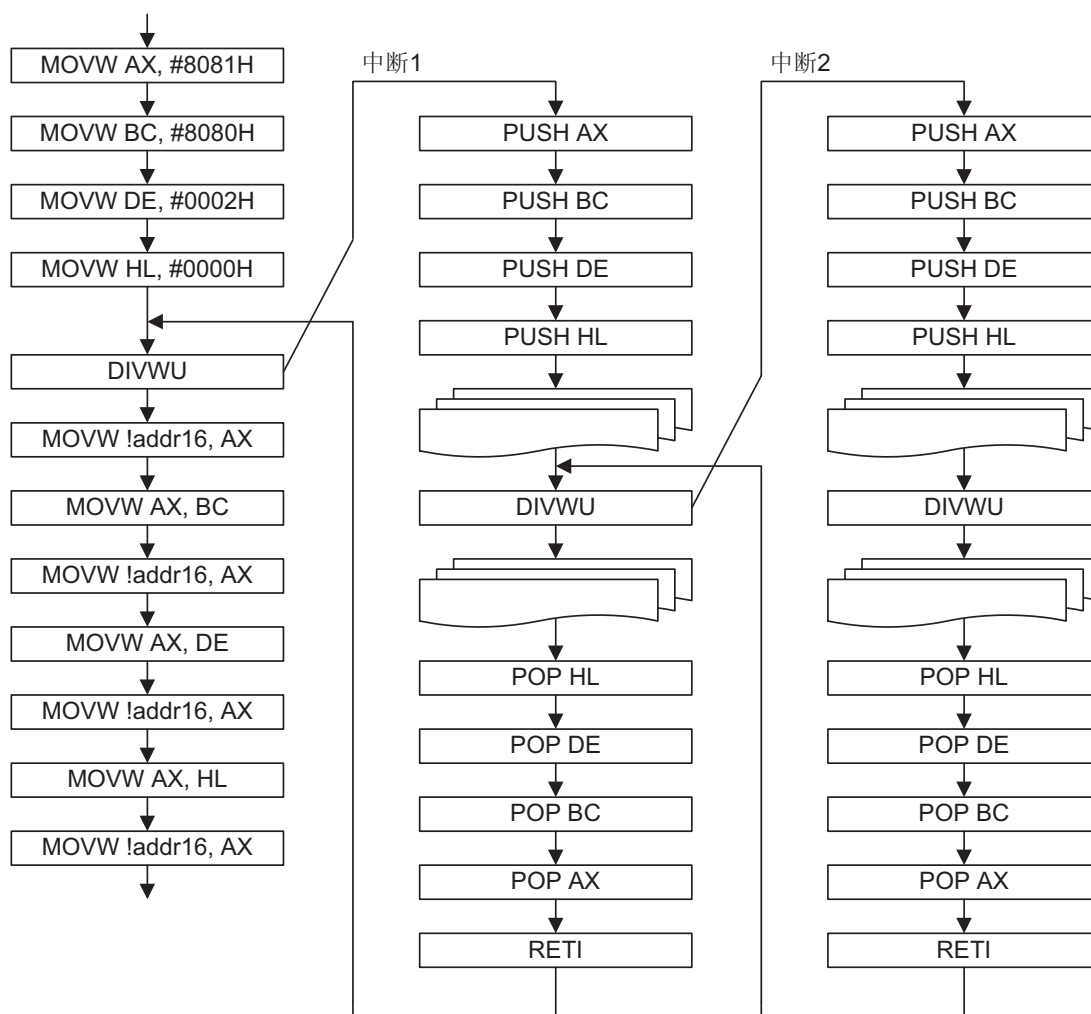
15.4.4 除法指令中的中断处理

μPD79F7027, μPD79F7028 在 DIVHU/DIVWU 指令期间处理中断，以增强执行除法指令时的中断响应。

- 在 DIVHU/DIVWU 指令执行期间产生中断时，该指令将被暂停
- 指令被暂停后，PC 将指示 DIVHU/DIVWU 之后的下一条指令
- 下一条指令将产生中断
- PC-3 被堆叠起来，以再次执行 DIVHU/DIVWU 指令

| 正常中断 | 执行 DIVHU/DIVWU 指令时的中断 |
|----------------|-----------------------|
| (SP-1) ← PSW | (SP-1) ← PSW |
| (SP-2) ← (PC)s | (SP-2) ← (PC-3)s |
| (SP-3) ← (PC)H | (SP-3) ← (PC-3)H |
| (SP-4) ← (PC)L | (SP-4) ← (PC-3)L |
| PCs ← 0000 | PCs ← 0000 |
| PCH ← (向量) | PCH ← (向量) |
| PCL ← (向量) | PCL ← (向量) |
| SP ← SP-4 | SP ← SP-4 |
| IE ← 0 | IE ← 0 |

AX、BC、DE 和 HL 寄存器用于 DIVHU/DIVWU。通过堆叠使用这些寄存器，以进行中断处理。



15.4.5 保留中断请求

有些指令，即使在执行指令期间产生了中断请求，中断请求受理也会被保留，直到下一条指令执行完成为止。这些指令（中断请求保留指令）如下所示。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- 针对 IF0L、IF0H、IF1L、IF1H、IF2H、MK0L、MK0H、MK1L、MK1H、MK2H、PR00L、PR00H、PR01L、PR01H、PR02H、PR10L、PR10H、PR11L、PR11H 和 PR12H 的各个寄存器的操作指令

保留中断请求的时序如图 15 - 14 所示。

图 15 - 14 保留中断请求



备注 1. 指令N: 中断请求保留指令

备注 2. 指令M: 中断请求保留指令以外的指令

第 16 章 待机功能

16.1 待机功能和构成

16.1.1 待机功能

待机功能可以降低系统的操作电流，有以下三种模式可供选择。

(1) **HALT 模式**

通过执行 **HALT** 指令设置为 **HALT** 模式。在 **HALT** 模式下，停止 CPU 工作时钟。如果在设置 **HALT** 模式之前，高速系统时钟振荡电路或高速片上振荡器正在工作，则各时钟的振荡将继续。在该模式下，操作电流降低幅度不如 **STOP** 模式，但 **HALT** 模式在产生中断请求时立即重启操作以及经常执行间歇操作方面非常有效。

(2) **STOP 模式**

通过执行 **STOP** 指令设置为 **STOP** 模式。在 **STOP** 模式下，高速系统时钟振荡电路和高速片上振荡器停止工作，并停止整个系统，从而大幅降低 CPU 操作电流。

由于可以通过中断请求解除该模式，因而可以执行间歇操作。然而，由于在选择 **X1** 时钟的情况下在解除 **STOP** 模式之后，需要一定的等待时间以确保振荡稳定时间，因此，如果需要在产生中断请求时立即开始处理，请选择 **HALT** 模式。

(3) **SNOOZE 模式**

当存在 **CSIp** 或 **UARTq** 数据接收以及定时器触发信号（中断请求信号 **INTIT** 或 **ELC** 事件输入）发出的 A/D 转换请求时，退出 **STOP** 模式，接收 **CSIp** 或 **UARTq** 数据而不操作 CPU，并执行 A/D 转换。仅当选择高速片上振荡电路作为 CPU/外围硬件时钟 (**fCLK**) 时可以指定该模式。

在以上任何一种模式下，设置待机模式之前寄存器、标志和数据存储器的所有内容将被保持。同时还保持输入/输出端口输出锁存器和输出缓冲器状态。

注意事项 1. 仅当 CPU 工作于主系统时钟时，才可使用 **STOP** 模式。

注意事项 2. 切换至 **STOP** 模式时，必须在执行 **STOP** 指令（除 **SNOOZE** 模式设置单元外）之前，停止按主系统时钟工作的外围硬件。

注意事项 3. 当将 **CSIp**、**UARTq** 或 A/D 转换器用于 **SNOOZE** 模式时，须在切换至 **STOP** 模式之前，设置串行待机控制寄存器 **m (SSCm)** 和 A/D 转换器模式寄存器 **2 (ADM2)**。有关详情，请参阅 13.3 控制串行阵列单元的寄存器和 12.3 A/D 转换器中使用的寄存器。

注意事项 4.使用待机功能时，建议通过以下步骤降低 A/D 转换器的功耗：先将 A/D 转换器模式寄存器 0 (ADM0) 的位 7 (ADCS) 和位 0 (ADCE) 清除为 0，以停止 A/D 转换操作，然后执行 STOP 指令。

注意事项 5.可通过选项字节选择是让低速片上振荡电路继续振荡，还是停止于 HALT 或 STOP 模式。有关详情，请参阅第 22 章 选项字节。

备注 p = 00; q = 0; m = 0

16.1.2 控制待机功能的寄存器

待机功能由以下两个寄存器控制。

- 振荡稳定时间计数器状态寄存器 (OSTC)
- 振荡稳定时间选择寄存器 (OSTS)

备注 关于启动、停止或选择时钟的寄存器，请参阅第 5 章 时钟发生电路。

(1) 振荡稳定时间计数器状态寄存器 (OSTC)

该寄存器显示X1时钟振荡稳定时间计数器的计数状态。

在以下情况下，可以确认X1时钟振荡稳定时间。

- 高速片上振荡器时钟用作CPU时钟时，X1时钟开始振荡。
- 高速片上振荡器时钟用作CPU时钟且X1时钟振荡时，进入STOP模式然后解除STOP模式。

使用1位或8位存储器操作指令读取OSTC寄存器。

在解除复位后（由RESET输入、POR、LVD、WDT，以及执行非法指令引起复位），STOP指令和MSTOP位（时钟操作状态控制寄存器(CSC)的位7）= 1将该寄存器清除为00H。

图 16 - 1 振荡稳定时间计数器状态寄存器 (OSTC) 的格式

地址: FFFA2H 复位后: 00H R

| | | | | | | | | |
|------|-----------|-----------|------------|------------|------------|------------|------------|------------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OSTC | MOST 8 | MOST 9 | MOST 10 | MOST 11 | MOST 13 | MOST 15 | MOST 17 | MOST 18 |

| MOST 8 | MOST 9 | MOST 10 | MOST 11 | MOST 13 | MOST 15 | MOST 17 | MOST 18 | 振荡稳定时间状态 | | |
|-----------|-----------|------------|------------|------------|------------|------------|------------|----------------------|-------------------|-------------------|
| | | | | | | | | | fx = 10 MHz | fx = 20 MHz |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | $2^8/fx$ (最大值) | 25.6 μs (最大值) | 12.8 μs (最大值) |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | $2^8/fx$ (最小值) | 25.6 μs (最小值) | 12.8 μs (最小值) |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | $2^9/fx$ (最小值) | 51.2 μs (最小值) | 25.6 μs (最小值) |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | $2^{10}/fx$ (最小值) | 102.4 μs (最小值) | 51.2 μs (最小值) |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | $2^{11}/fx$ (最小值) | 204.8 μs (最小值) | 102.4 μs (最小值) |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | $2^{13}/fx$ (最小值) | 819.2 μs (最小值) | 409.6 μs (最小值) |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | $2^{15}/fx$ (最小值) | 3.27 ms (最小值) | 1.64 ms (最小值) |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | $2^{17}/fx$ (最小值) | 13.11 ms (最小值) | 6.55 ms (最小值) |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | $2^{18}/fx$ (最小值) | 26.21 ms (最小值) | 13.11 ms (最小值) |

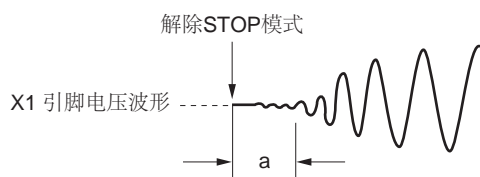
注意事项 1. 经过上述时间后，从MOST8位开始逐位依次变为1并保持1不变。

注意事项 2. 振荡稳定时间计数器仅在振荡稳定时间选择寄存器 (OSTS) 所设置的振荡稳定时间内计数。如果在高速片上振荡器时钟用作CPU时钟时切换至STOP模式然后解除该模式，则按以下方式设置振荡稳定时间。

- 需要的OSTC寄存器振荡稳定时间 ≤ 由OSTS寄存器设置的振荡稳定时间

注意，解除STOP模式后，只有OSTS寄存器所设置的振荡稳定时间内的状态被设置至OSTC寄存器。

注意事项 3. X1时钟振荡稳定等待时间不包括开始时钟振荡前的时间（下图“a”）



备注 fx: X1时钟振荡频率

(2) 振荡稳定时间选择寄存器 (OSTS)

该寄存器用于选择解除STOP模式时的X1时钟振荡稳定等待时间。

当X1时钟被用作CPU时钟时，在解除STOP模式后，系统等待由OSTS寄存器设置的时间。

当选用高速片上振荡器时钟作为CPU时钟时，解除STOP模式后，请通过振荡稳定时间计数器状态寄存器(OSTC)确认所需振荡稳定时间已过。在OSTS寄存器预先设置的时间范围内都可以通过OSTC寄存器进行确认。

使用8位存储器操作指令设置OSTS寄存器。

产生复位信号后，该寄存器被设置为07H。

图 16 - 2 振荡稳定时间选择寄存器 (OSTS) 的格式

地址: FFFA3H

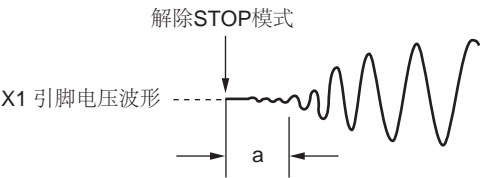
复位后: 07H

R/W

| | | | | | | | | |
|------|---|---|---|---|---|-------|-------|-------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OSTS | 0 | 0 | 0 | 0 | 0 | OSTS2 | OSTS1 | OSTS0 |

| OSTS2 | OSTS1 | OSTS0 | 选择振荡稳定时间 | | |
|-------|-------|-------|--------------|-------------|-------------|
| | | | | fx = 10 MHz | fx = 20 MHz |
| 0 | 0 | 0 | $2^8/f_x$ | 25.6 μs | 12.8 μs |
| 0 | 0 | 1 | $2^9/f_x$ | 51.2 μs | 25.6 μs |
| 0 | 1 | 0 | $2^{10}/f_x$ | 102.4 μs | 51.2 μs |
| 0 | 1 | 1 | $2^{11}/f_x$ | 204.8 μs | 102.4 μs |
| 1 | 0 | 0 | $2^{13}/f_x$ | 819.2 μs | 409.6 μs |
| 1 | 0 | 1 | $2^{15}/f_x$ | 3.27 ms | 1.64 ms |
| 1 | 1 | 0 | $2^{17}/f_x$ | 13.11 ms | 6.55 ms |
| 1 | 1 | 1 | $2^{18}/f_x$ | 26.21 ms | 13.11 ms |

- 注意事项 1. 用X1时钟作为CPU时钟并进入STOP模式时，执行STOP指令之前须设置好OSTS寄存器。
- 注意事项 2. 在更改OSTS寄存器的设置之前，须确认OSTC寄存器的计数操作已完成。
- 注意事项 3. X1时钟振荡稳定时间期间不要更改OSTS寄存器的值。
- 注意事项 4. 振荡稳定时间计数器仅在OSTS寄存器设置的振荡稳定时间内计数。如果在高速片上振荡器时钟用作CPU时钟时切换至STOP模式然后解除该模式，则按以下方式设置振荡稳定时间。
- 需要的OSTC寄存器振荡稳定时间 ≤ 由OSTS寄存器设置的振荡稳定时间
- 注意，解除STOP模式后，只有OSTS寄存器所设置的振荡稳定时间内的状态被设置至OSTC寄存器。
- 注意事项 5. X1时钟振荡稳定等待时间不包括开始时钟振荡前的时间（下图“a”）



备注 fx: X1时钟振荡频率

16.2 待机功能操作

16.2.1 HALT 模式

(1) HALT 模式

通过执行 HALT 指令来设置 HALT 模式。无论设置之前的 CPU 时钟为高速系统时钟还是高速片上振荡电路时钟，均可设置 HALT 模式。

HALT 模式时的操作状态如下所示。

表 16 - 1 HALT 模式时的操作状态

| 项目 | | HALT 模式设置 | 当 CPU 工作于主系统时钟，执行 HALT 指令时 | | |
|----------------|-----------------|-----------------|---|--|---|
| | | | 当 CPU 工作于高速片上 振荡器时钟 (f _{IH}) 时 | 当 CPU 工作于 X1 时钟 (f _X) 时 | 当 CPU 工作于 外部主系统时钟 (f _{EX}) 时 |
| 系统时钟 | | | 停止向 CPU 供应时钟。 | | |
| 主系统时钟 | f _{IH} | f _{IH} | 继续操作 (不可以停止) | 禁止操作 | |
| | | f _X | 禁止操作 | 继续操作 (不可以停止) | 不可以操作 |
| | | f _{EX} | | 不可以操作 | 继续操作 (不可以停止) |
| | f _{IL} | | 使用选项字节 (000C0H) 的位 0 (WDSTBYON) 和 4 (WDTON)，以及操作速度模式控制寄存器 (OSMC) 的 WUTMMCK0 位进行设置 <ul style="list-style-type: none"> • WUTMMCK0 = 1: 振荡 • WUTMMCK0 = 0 和 WDTON = 0: 停止 • WUTMMCK0 = 0、WDTON = 1 和 WDSTBYON = 1: 振荡 • WUTMMCK0 = 0、WDTON = 1 和 WDSTBYON = 0: 停止 | | |
| CPU | | | 停止工作 | | |
| 代码闪存 | | | | | |
| RAM | | | 停止工作 | | |
| 端口 (锁存器) | | | 保持设置为 HALT 模式前的状态 | | |
| 定时器阵列单元 | | | 可以操作 | | |
| 12 位间隔定时器 | | | | | |
| 看门狗定时器 | | | 参阅第 11 章 看门狗定时器。 | | |
| 定时器 RJ | | | 可以操作 | | |
| 定时器 RD | | | | | |
| 时钟输出/蜂鸣器输出 | | | | | |
| A/D 转换器 | | | | | |
| 串行阵列单元 (SAU) | | | | | |
| ELC | | | 可以链接可操作功能模块 | | |
| 上电复位功能 | | | 可以操作 | | |
| 电压检测功能 | | | | | |
| 外部中断 | | | | | |
| CRC 操作功能 | 高速 CRC | | | | |
| | 通用 CRC | | 停止工作 | | |
| 非法存储器存取检测功能 | | | 停止工作 | | |
| RAM 奇偶校验错误检测功能 | | | | | |
| RAM 保护功能 | | | | | |
| SFR 保护功能 | | | | | |

备注 停止工作: 在切换到 HALT 模式时自动停止操作。
 禁止操作: 在切换到 HALT 模式前使操作停止。
 f_{IH}: 高速片上振荡器时钟 f_{IL}: 低速片上振荡器时钟
 f_X: X1 时钟 f_{EX}: 外部主系统时钟

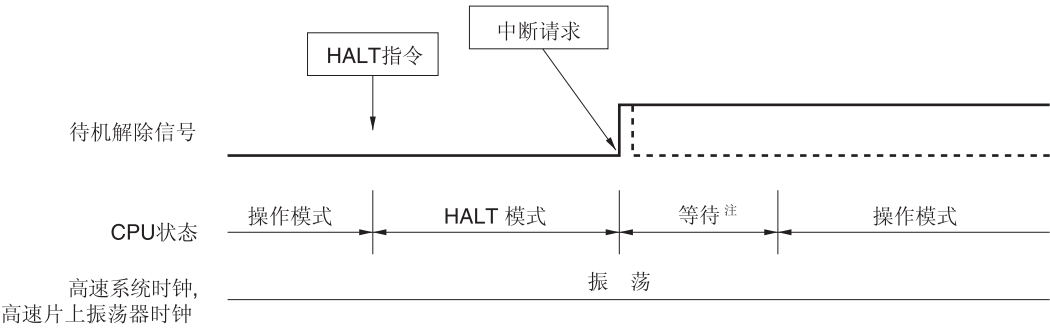
(2) 解除 HALT 模式

可使用以下两种源解除 HALT 模式。

(a) 通过未屏蔽中断请求的解除

当产生一个未屏蔽中断请求时，HALT 模式被解除。如果允许受理中断，则执行向量中断处理。如果不允许受理中断，则执行下一个地址指令。

图 16 - 3 通过产生中断请求解除 HALT 模式



- 注 解除 HALT 模式的等待时间
- 执行向量中断处理时：15 至 16 个时钟
 - 不执行向量中断处理时：9 至 10 个时钟

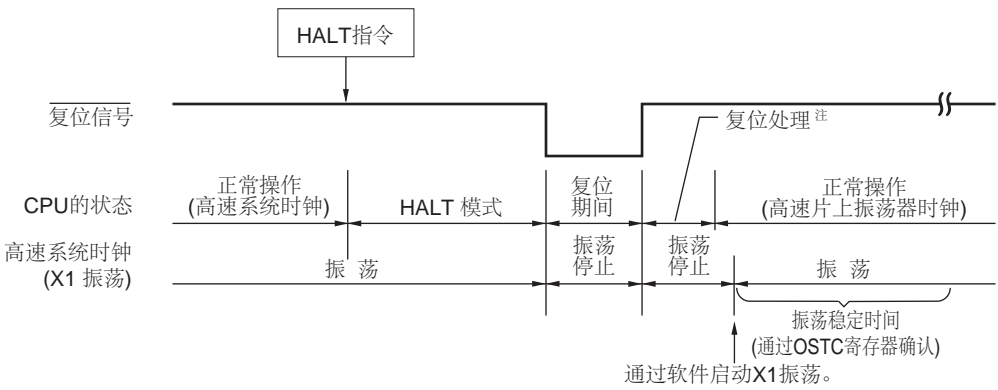
注意事项 参阅图 15 - 1 中断功能的基本配置。

备注 虚线表示导致待机模式解除的中断请求被受理时的情况。

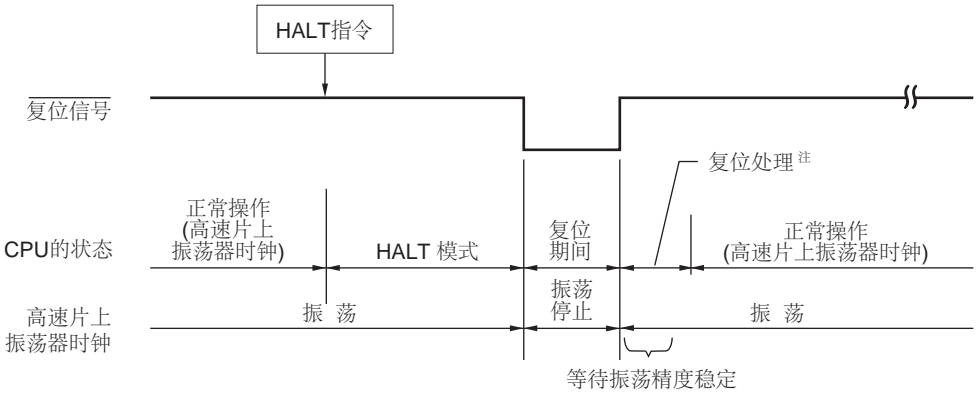
- (b) 通过产生复位信号的解除
- 当产生复位信号时，HALT 模式被解除，然后，就如正常复位操作一样，在分支至复位向量地址之后执行程序。

图 16 - 4 通过复位解除 HALT 模式

(1) 当 CPU 时钟使用高速系统时钟时



(2) 当 CPU 时钟使用高速片上振荡器时钟时



注 复位处理时间: 388至673 μs (LVD启用时)
 156至360 μs (LVD关闭时)

16.2.2 STOP 模式

(1) STOP 模式设置和操作状态

通过执行 **STOP** 指令设置 **STOP** 模式，仅限在设置之前 **CPU** 时钟为高速片上振荡器时钟、**X1** 时钟或外部主系统时钟时，可以设置该模式。

注意事项 1. 由于中断请求信号用于清除 **STOP** 模式，因此，如果有一个中断请求标志已设置且中断屏蔽标志已复位的中断源，则 **STOP** 模式将立即被清除（若已设置）。因此，**STOP** 模式将在执行 **STOP** 指令之后立即复位至 **HALT** 模式，系统将在经过用振荡稳定时间选择寄存器 (**OSTS**) 设置的等待时间之后返回操作模式。

注意事项 2. 当将 **CSIp**、**UARTq** 或 **A/D** 转换器用于 **SNOOZE** 模式时，须在切换至 **STOP** 模式之前，设置串行待机控制寄存器 **m (SSCm)** 和 **A/D** 转换器模式寄存器 **2 (ADM2)**。有关详情，请参阅 13.3 控制串行阵列单元的寄存器和 12.3 **A/D** 转换器中使用的寄存器。

备注 $p = 00$ ； $q = 0$ ； $m = 0$

STOP 模式时的操作状态如下所示。

表 16 - 2 STOP 模式时的操作状态

| STOP 模式设置 | | | 当CPU工作于主系统时钟，执行STOP指令时 | | |
|---------------|-----------------|--|--|-------------------------------------|--|
| | | | 当CPU工作于高速片上 振荡器时钟(f _{IH}) 时 | 当CPU工作于 X1 时钟(f _X) 时 | 当CPU工作于 外部主系统时钟(f _{EX}) 时 |
| 项目 | | | | | |
| 系统时钟 | | | 停止向CPU供应时钟。 | | |
| | 主系统时钟 | f _{IH} | 停止 | | |
| | | f _X | | | |
| | | f _{EX} | | | |
| | f _{IL} | 使用选项字节(000C0H)的位0 (WDSTBYON)和4 (WDTON)，以及操作速度模式控制寄存器(OSMC)的WUTMMCK0位进行设置 | | | |
| | | | • WUTMMCK0 = 1：振荡 | | |
| | | | • WUTMMCK0 = 0和WDTON = 0：停止 | | |
| | | | • WUTMMCK0 = 0、WDTON = 1和WDSTBYON = 1：振荡 | | |
| | | | • WUTMMCK0 = 0、WDTON = 1和WDSTBYON = 0：停止 | | |
| CPU | | | 停止工作 | | |
| 代码闪存 | | | | | |
| RAM | | | 停止工作 | | |
| 端口（锁存器） | | | 保持设置为STOP模式前的状态 | | |
| 定时器阵列单元 | | | 禁止操作 | | |
| 12位间隔定时器 | | | 可以操作 | | |
| 看门狗定时器 | | | 参阅第 11 章 看门狗定时器。 | | |
| 定时器RJ | | | 可以操作使用事件计数模式的唤醒 | | |
| 定时器RD | | | 禁止操作 | | |
| 时钟输出/蜂鸣器输出 | | | 禁止操作 | | |
| A/D转换器 | | | 允许唤醒操作（切换至SNOOZE模式） | | |
| 串行阵列单元(SAU) | | | 仅对CSIp和UARTq允许唤醒操作（切换至SNOOZE模式） 禁止除了CSIp和UARTq以外的所有操作 | | |
| ELC | | | 可以链接可操作功能模块 | | |
| 上电复位功能 | | | 可以操作 | | |
| 电压检测功能 | | | | | |
| 外部中断 | | | | | |
| CRC操作功能 | | | | | |
| | | 高速CRC | 停止工作 | | |
| | | 通用CRC | | | |
| 非法存储器存取检测功能 | | | | | |
| RAM奇偶校验错误检测功能 | | | | | |
| RAM保护功能 | | | | | |
| SFR保护功能 | | | | | |

(“注意事项”和“备注”如下页所示。)

备注 1. 停止工作：在切换到STOP模式时自动停止操作。

禁止操作：在切换到**STOP**模式前使操作停止。

f1H: 高速片上振荡器时钟

fil: 低速片上振荡器时钟

fx: X1时钟

fEX: 外部主系统时钟

备注2. $p = 00; q = 0$

注意事项 1. 解除**STOP**模式后, 若要使用在**STOP**模式时停止操作的外围硬件或选用了停止振荡的时钟的外围硬件, 须重启外围硬件。

注意事项 2.若要使低速片上振荡器时钟停止于 **STOP** 模式，必须预先设置选项字节使看门狗定时器操作停止于 **HALT/STOP** 模式（**000C0H** 的位 **0 (WDSTBYON) = 0**）。

注意事项 3. 当 CPU 工作于高速系统时钟（X1 振荡）时，要在解除 STOP 模式之后缩短振荡稳定时间，须在执行 STOP 指令之前临时将 CPU 时钟切换到高速片上振荡器时钟。在解除 STOP 模式之后，在将 CPU 时钟从高速片上振荡器时钟更改为高速系统时钟（X1 振荡）之前，须用振荡稳定时间计数器状态寄存器 (OSTC) 确认振荡稳定时间。

(2) 解除STOP模式

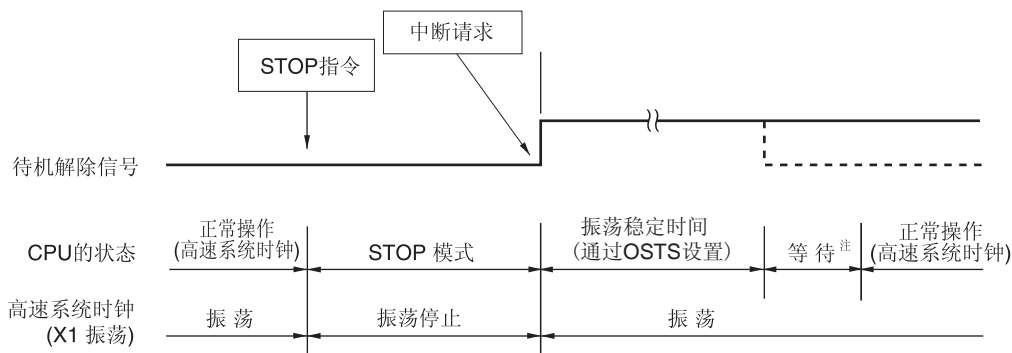
可使用以下两种源解除STOP模式。

(a) 通过未屏蔽中断请求的解除

当产生一个未屏蔽中断请求时，**STOP**模式被解除。经过振荡稳定时间之后，如果允许受理中断，则执行向量中断处理。如果不允许受理中断，则执行下一个地址指令。

图 16-5 通过产生中断请求解除 STOP 模式 (1/2)

(1) 当CPU时钟使用高速系统时钟（X1振荡）时



注 STOP模式解除时间

停止供应时钟: 18.96 μ s至“28.95 μ s与振荡稳定时间（由OSTS设置）中的较长者”等待

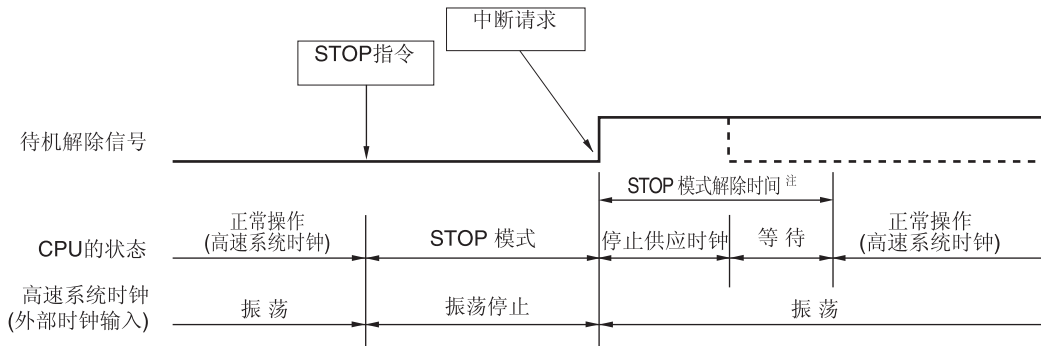
- 执行向量中断处理时：10至11个时钟
- 不执行向量中断处理时：4至5个时钟

注意事项 参阅图 15-1 中断功能的基本配置。

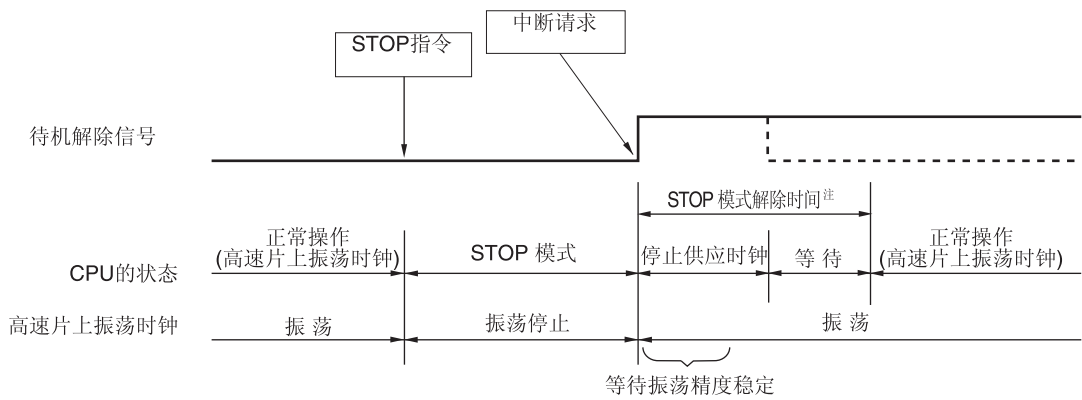
备注 虚线表示导致待机模式解除的中断请求被受理时的情况。

图 16 - 6 通过产生中断请求解除 STOP 模式 (2/2)

(2) 当 CPU 时钟使用高速系统时钟（外接时钟输入）时



(3) 当 CPU 时钟使用高速片上振荡器时钟时



注 STOP 模式解除时间
停止供应时钟：18.96 μs 至 “28.95 μs 与振荡稳定时间（由 OSTS 设置）中的较长者” 等待

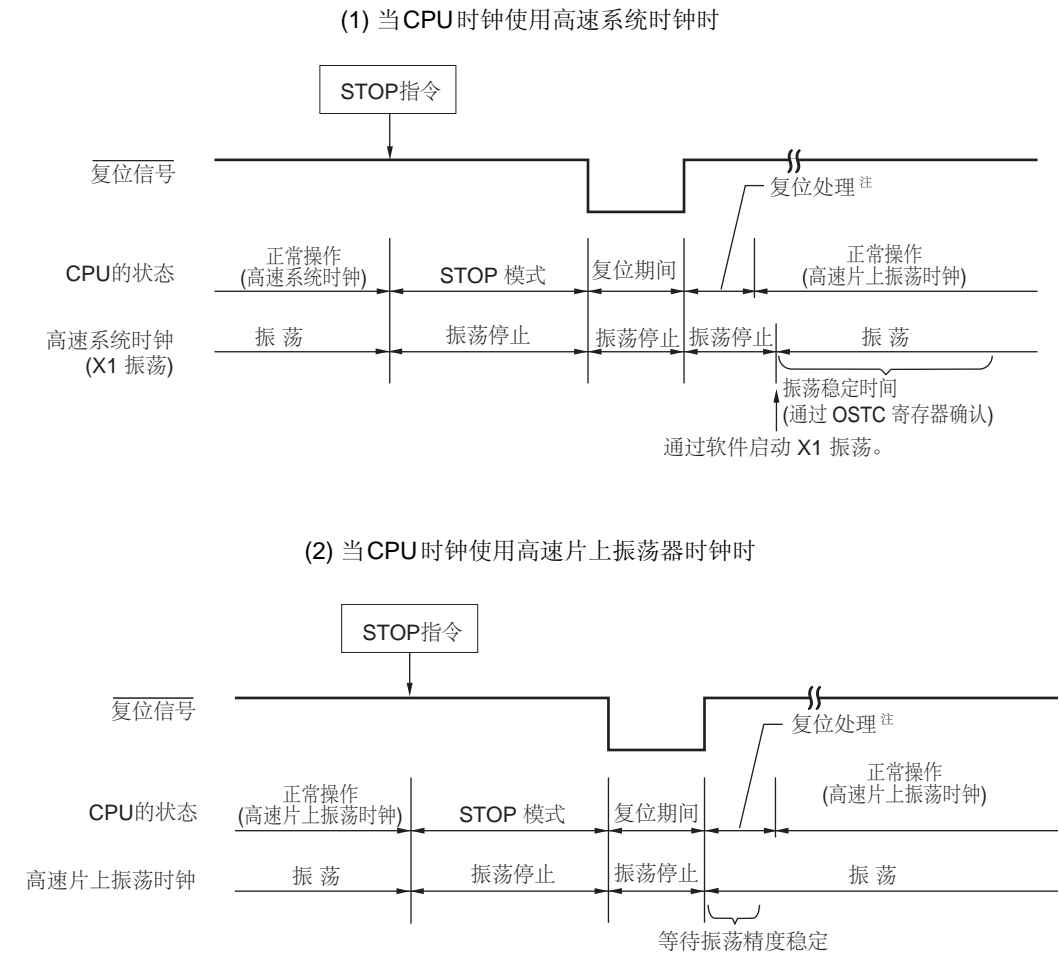
- 执行向量中断处理时：10 至 11 个时钟
- 不执行向量中断处理时：4 至 5 个时钟

注意事项 参阅图 15 - 1 中断功能的基本配置。

备注 虚线表示导致待机模式解除的中断请求被受理时的情况。

- (b) 通过产生复位信号的解除
- 当产生复位信号时，STOP 模式被解除，然后，就如正常复位操作一样，在分支至复位向量地址之后执行程序。

图 16 - 7 通过复位解除STOP模式



注

复位处理时间：

388至673 μs （LVD启用时）
156至360 μs （LVD关闭时）

16.2.3 SNOOZE 模式

(1) SNOOZE 模式设置和操作状态

只能为 CSIp、UARTq 或 A/D 转换器使用 SNOOZE 模式。请注意，仅当 CPU 时钟为高速片上振荡器时钟时，才可指定该模式。

将 CSIp 或 UARTq 用于 SNOOZE 模式时，须在切换至 STOP 模式之前设置串行待机控制寄存器 m (SSCm)。

有关详情，请参阅 13.3 控制串行阵列单元的寄存器。

在 SNOOZE 模式下使用 A/D 转换器时，须在切换至 STOP 模式之前，设置 A/D 转换器模式寄存器 2 (ADM2)。

有关详情，请参阅 12.3 A/D 转换器中使用的寄存器。

备注 $p = 00; q = 0; m = 0$

SNOOZE 模式切换时，仅在以下时间内成为等待状态。

从 STOP 至 SNOOZE

HS（高速主）模式：18.96 至 28.95 μs

LS（低速主）模式：20.24 至 28.95 μs

从 SNOOZE 至正常操作

- 执行向量中断处理时：

HS（高速主）模式：6.79 至 12.4 μs + 7 个时钟

LS（低速主）模式：2.58 至 7.8 μs + 7 个时钟

- 不执行向量中断处理时：

HS（高速主）模式：6.79 至 12.4 μs + 1 个时钟

LS（低速主）模式：2.58 至 7.8 μs + 1 个时钟

SNOOZE 模式时的操作状态如下所示。

表 16 - 3 SNOOZE 模式下的操作状态

| STOP 模式设置 | | 在 STOP 模式下，从 CSIp 和 UARTq 接收数据信号，以及通过中断将定时器触发信号输入 A/D 转换器 | |
|----------------|-----------------|--|--|
| | | 当 CPU 工作于高速片上振荡器时钟 (f _{IH}) 时 | |
| 系统时钟 | | 停止向 CPU 供应时钟。 | |
| 主系统时钟 | f _{IH} | 开始工作 | |
| | f _X | 停止 | |
| | f _{EX} | | |
| | f _{IL} | 使用选项字节 (000C0H) 的位 0 (WDSTBYON) 和 4 (WDTON)，以及操作速度模式控制寄存器 (OSMC) 的 WUTMMCK0 位进行设置 | |
| | | <ul style="list-style-type: none"> • WUTMMCK0 = 1: 振荡 • WUTMMCK0 = 0 和 WDTON = 0: 停止 • WUTMMCK0 = 0、WDTON = 1 和 WDSTBYON = 1: 振荡 • WUTMMCK0 = 0、WDTON = 1 和 WDSTBYON = 0: 停止 | |
| CPU | | 停止工作 | |
| 代码闪存 | | | |
| RAM | | 停止工作 | |
| 端口 (锁存器) | | 继续保持 STOP 模式中的状态 | |
| 定时器阵列单元 | | 禁止操作 | |
| 12 位间隔定时器 | | | |
| 看门狗定时器 | | 参阅第 11 章 看门狗定时器。 | |
| 定时器 RJ | | 禁止操作 | |
| 定时器 RD | | | |
| 时钟输出/蜂鸣器输出 | | 禁止操作 | |
| A/D 转换器 | | 可以操作 | |
| 串行阵列单元 (SAU) | | 仅对 CSIp 和 UARTq 可以操作 禁止除了 CSIp 和 UARTq 以外的所有操作 | |
| ELC | | 可以链接可操作功能模块 | |
| 上电复位功能 | | 可以操作 | |
| 电压检测功能 | | | |
| 外部中断 | | | |
| CRC 操作功能 | 高速 CRC | 停止工作 | |
| | 通用 CRC | | |
| 非法存储器存取检测功能 | | | |
| RAM 奇偶校验错误检测功能 | | | |
| RAM 保护功能 | | | |
| SFR 保护功能 | | | |

备注 1. 停止工作：在切换到 STOP 模式时自动停止操作。

禁止操作：在切换到 STOP 模式前使操作停止。

f_{IH}: 高速片上振荡器时钟

f_{IL}: 低速片上振荡器时钟

f_X: X1 时钟

f_{EX}: 外部主系统时钟

备注 2. p = 00; q = 0

第 17 章 复位功能

以下七种操作方法能够产生复位信号。

- (1) 经由 $\overline{\text{RESET}}$ 引脚输入外部复位
- (2) 通过看门狗定时器的程序失控检测的内部复位
- (3) 通过比较上电复位 (POR) 电路的电源电压与检测电压的内部复位
- (4) 通过比较电压检测电路 (LVD) 的电源电压和检测电压的内部复位
- (5) 通过执行非法指令的内部复位^注
- (6) 通过 RAM 奇偶校验错误的内部复位
- (7) 通过存取非法存储器的内部复位

在产生复位信号时，外部和内部复位从地址 0000H 和 0001H 处开始执行程序。

当向 $\overline{\text{RESET}}$ 引脚输入低电平时、当看门狗定时器溢出时、或者通过检测 POR 和 LVD 电路电压、执行非法指令^注，发生 RAM 奇偶检验错误或非法存储器存取时，复位生效，硬件的各个项目被设置为如表 17 - 1 所示状态。

向 $\overline{\text{RESET}}$ 引脚输入低电平时，器件复位。当向 $\overline{\text{RESET}}$ 引脚输入高电平时，复位状态解除，并在复位处理之后以高速片上振荡器时钟开始执行程序。由看门狗定时器引起的复位自动解除，并在复位处理之后以高速片上振荡器时钟开始执行程序（参阅图 17 - 2 至 17 - 4）。在复位后，当 $V_{DD} \geq V_{LVD}$ 时，检测 POR 和 LVD 电路的电源电压所引起的复位自动解除，并在复位处理之后，以高速片上振荡器时钟开始执行程序（参阅第 18 章 上电复位电路和第 19 章 电压检测电路）。

注 执行指令代码 FFH 时，产生非法指令。
在线仿真器或片上调试仿真器的仿真过程中，不发生执行非法指令所引起的复位。

注意事项 1. 向 $\overline{\text{RESET}}$ 引脚输入一个 10 μs 或以上的低电平，以执行外部复位。

若要在上电时执行外部复位，必须在电源电压处于工作电压范围之内时保持至少 10 μs 的低电平。

工作电压范围由用户选项字节 (000C2H) 的设置而定。

工作电压范围如下所示。

HS（高速主）模式： $V_{DD} = 2.7$ 至 $5.5\text{ V}@1\text{ MHz}$ 至 24 MHz

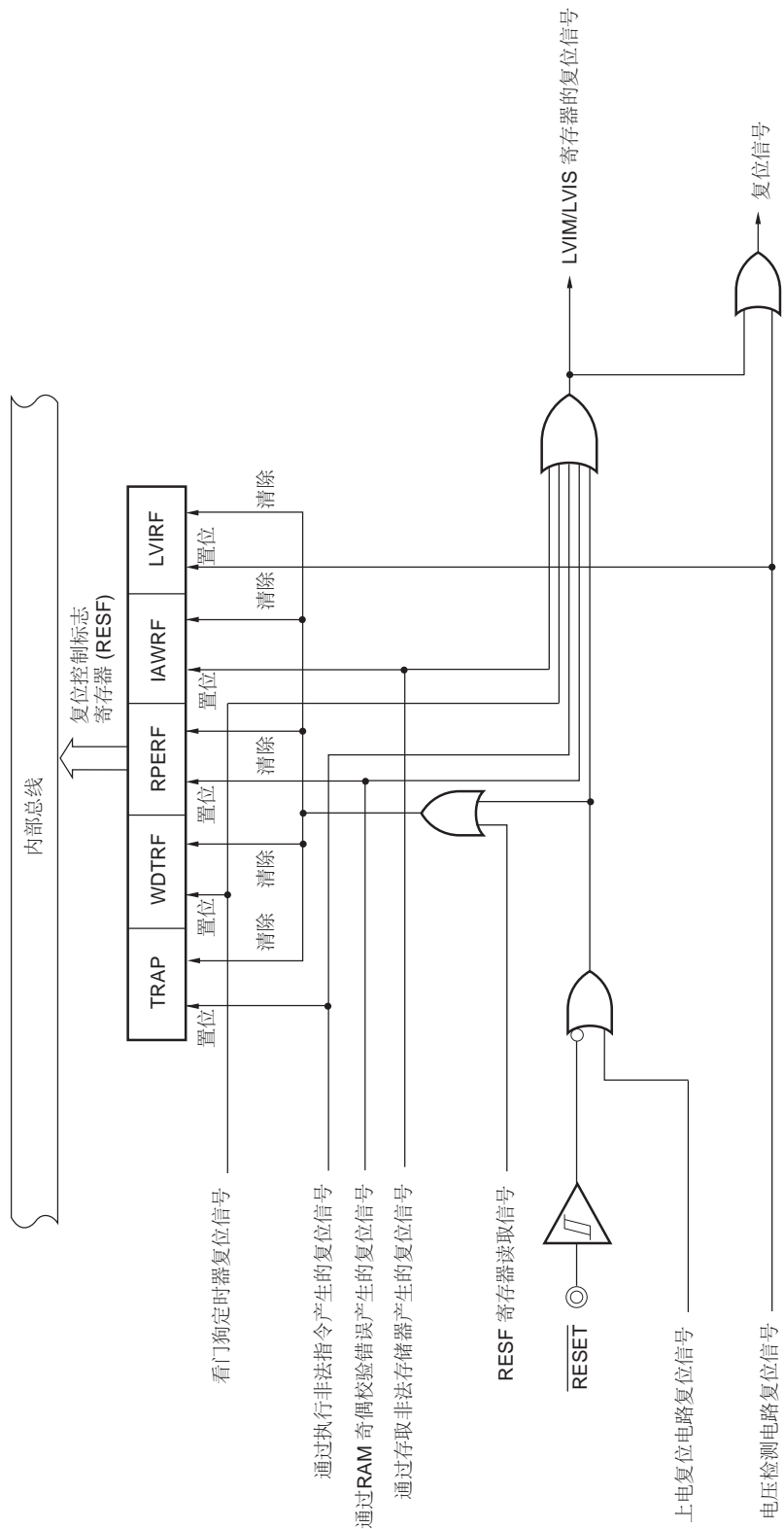
LS（低速主）模式： $V_{DD} = 2.7$ 至 $5.5\text{ V}@1\text{ MHz}$ 至 8 MHz

注意事项 2. 产生复位信号时，X1 时钟、高速片上振荡器时钟和低速片上振荡器时钟振荡。外部主系统时钟输入无效。

注意事项 3. 复位生效时，因为各个 SFR 和 2nd SFR 被初始化，所以端口成为高阻抗。

备注 VPOR: POR 电源上升检测电压

图 17 - 1 复位功能的框图



注意事项 发生LVD电路的内部复位时， LVD 电路不复位。

- 备注 1. LVIM: 电压检测寄存器
备注 2. LVIS: 电压检测电平寄存器

图 17-2 通过 **RESET** 输入的复位时序

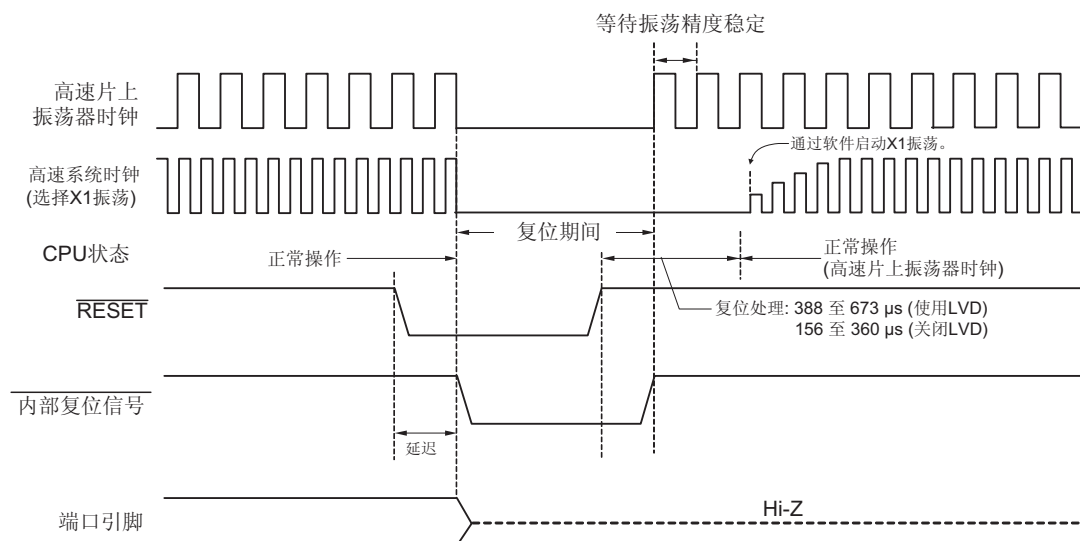
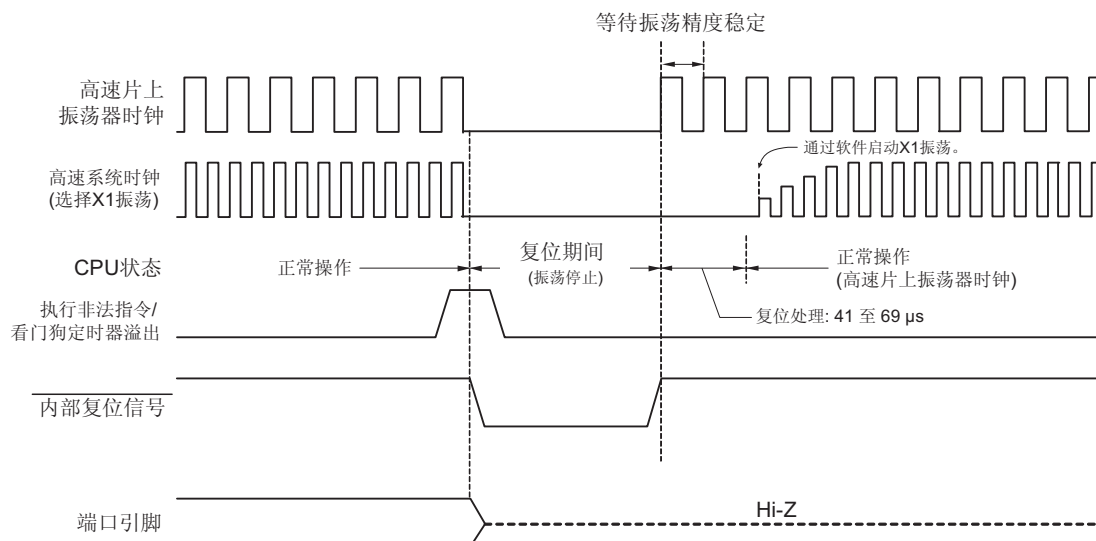
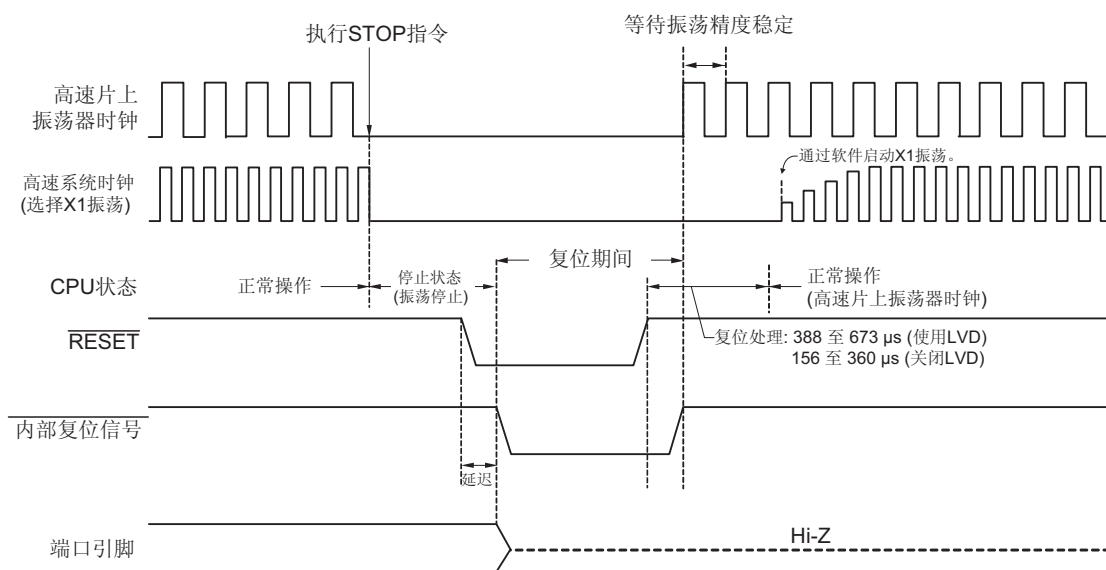


图 17-3 通过执行非法指令或看门狗定时器溢出的复位时序



注意事项 看门狗定时器的内部复位使看门狗定时器复位。

图 17 - 4 STOP 模式时通过输入 **RESET** 的复位时序



备注 关于上电复位电路和电压检测电路的复位时序，请参阅第 18 章 上电复位电路和第 19 章 电压检测电路。

表 17 - 1 复位期间的操作状态

| 项目 | | 复位期间 | |
|---------------|-----------------|------------------------------------|---------|
| 系统时钟 | | 停止向CPU供应时钟。 | |
| 主系统时钟 | f _{IH} | 停止工作 | |
| | f _x | 停止工作（X1和X2引脚处于输入端口模式） | |
| | f _{EX} | 时钟输入无效（该引脚处于输入端口模式） | |
| | f _{IL} | 停止工作 | |
| CPU | | | |
| 代码闪存 | | 停止工作 | |
| RAM | | 停止工作 | |
| 端口（锁存器） | | 高阻抗 在引脚复位或POR以外的复位之后，设置P40为高电平。 | |
| 定时器阵列单元 | | 停止工作 | |
| 定时器RJ | | | |
| 定时器RD | | | |
| 12位间隔定时器 | | | |
| 看门狗定时器 | | | |
| 时钟输出/蜂鸣器输出 | | | |
| A/D转换器 | | | |
| 串行阵列单元(SAU) | | | |
| 上电复位功能 | | | 可进行检测操作 |
| 电压检测功能 | | | 停止工作 |
| 外部中断 | | 停止工作 | |
| CRC操作功能 | 高速CRC | | |
| | 通用CRC | | |
| 非法存储器存取检测功能 | | | |
| RAM奇偶校验错误检测功能 | | | |
| RAM保护功能 | | | |
| SFR保护功能 | | | |

备注 f_{IH}: 高速片上振荡器时钟
 f_{EX}: 外部主系统时钟
 f_{IL}: 低速片上振荡器时钟

fx: X1 振荡时钟

表 17-2 受理复位后各硬件的状态 (1/4)

| 硬件 | | 受理复位后注 1 |
|---|------------------------------|-----------------------------|
| 程序计数器(PC) | | 复位向量表 (0000H、0001H) 的内容被设置。 |
| 堆栈指针(SP) | | 不定 |
| 程序状态字(PSW) | | 06H |
| 乘除法器 and 乘加器 | 乘加寄存器(L) (MACRL) | 0000H |
| | 乘加寄存器(H) (MACRH) | 0000H |
| RAM | 数据存储器 | 不定注 2 |
| | 通用寄存器 | 不定注 2 |
| 处理器模式控制寄存器(PMC) | | 00H |
| 端口寄存器 (P0至P7、P14) (输出锁存器) | | 00H |
| 端口寄存器 (P12、P13) (输出锁存器) | | 不定 |
| 端口模式寄存器 (PM0至PM7、PM12、PM14) | | FFH |
| 端口模式控制寄存器0、12、14 (PMC0、PMC12、PMC14) | | FFH |
| 端口输入模式寄存器0、1、3、5 (PIM0、PIM1、PIM3、PIM5) | | 00H |
| 端口输出模式寄存器0、1、3、5 (POM0、POM1、POM3、POM5) | | 00H |
| 上拉电阻选择寄存器 (PU0、PU1、PU3至PU5、PU7、PU12、PU14) | | 00H (PU4为01H) |
| 外围输入/输出重定向寄存器0、1 (PIOR0、PIOR1) | | 00H |
| 端口模式选择寄存器(PMS) | | 00H |
| 时钟操作模式控制寄存器(CMC) | | 00H |
| 时钟操作状态控制寄存器(CSC) | | C0H |
| 系统时钟控制寄存器(CKC) | | 00H |
| 振荡稳定时间计数器状态寄存器(OSTC) | | 00H |
| 振荡稳定时间选择寄存器(OSTS) | | 07H |
| 噪声滤波器允许寄存器0、1 (NFEN0、NFEN1) | | 00H |
| 外围允许寄存器0 (PER0) | | 00H |
| 高速片上振荡器频率选择寄存器(HOCODIV) | | 不定 |
| 高速片上振荡器调节寄存器(HIOTRM) | | 注 2 |
| 操作速度模式控制寄存器(OSMC) | | 00H |
| 定时器阵列单元 | 定时器数据寄存器00至03 (TDR00至TDR03) | 0000H |
| | 定时器模式寄存器00至03 (TMR00至TMR03) | 0000H |
| | 定时器状态寄存器00至03 (TSR00至TSR03) | 0000H |
| | 定时器输入选择寄存器0 (TIS0) | 00H |
| | 定时器计数器寄存器00至03 (TCR00至TCR03) | FFFFH |
| | 定时器通道允许状态寄存器0 (TE0) | 0000H |
| | 定时器通道开始寄存器0 (TS0) | 0000H |
| | 定时器通道停止寄存器0 (TT0) | 0000H |
| | 定时器时钟选择寄存器0 (TPS0) | 0000H |
| | 定时器输出寄存器0 (TO0) | 0000H |
| | 定时器输出允许寄存器0 (TOE0) | 0000H |
| | 定时器输出电平寄存器0 (TOLO) | 0000H |
| | 定时器输出模式寄存器0 (TOM0) | 0000H |

注 1. 在产生复位信号时或者等待振荡稳定时间时，硬件状态中，仅有PC的内容成为不定。其他的硬件状态在复位后也保持不变。

注 2. 复位值因芯片而异。

备注 所安装的特殊功能寄存器(SFR)因产品而异。参阅3.1.4 特殊功能寄存器(SFR)区域和3.1.5 扩展特殊功能寄存器 (2nd SFR: 第二特殊功能寄存器) 区域。

表 17-3 受理复位后各硬件的状态 (2/4)

| 硬件 | | 受理复位后的状态 ^{注 1} |
|--------|--|-------------------------|
| 定时器 RJ | 定时器 RJ 计数寄存器 0 (TRJ0) | FFFFH |
| | 定时器 RJ 控制寄存器 0 (TRJCR0) | 00H |
| | 定时器 RJ 输入/输出控制寄存器 0 (TRJIOC0) | 00H |
| | 定时器 RJ 模式寄存器 0 (TRJMR0) | 00H |
| | 定时器 RJ 事件引脚选择寄存器 0 (TRJISR0) | 00H |
| 定时器 RD | 定时器 RD ELC 寄存器 (TRDEL0) | 00H ^{注 2} |
| | 定时器 RD 开始寄存器 (TRDSTR) | 0CH ^{注 2} |
| | 定时器 RD 模式寄存器 (TRDMR) | 00H ^{注 2} |
| | 定时器 RD PWM 功能选择寄存器 (TRDPMR) | 00H ^{注 2} |
| | 定时器 RD 功能控制寄存器 (TRDFCR) | 80H ^{注 2} |
| | 定时器 RD 输出主允许寄存器 1 (TRDOER1) | FFH ^{注 2} |
| | 定时器 RD 输出主允许寄存器 2 (TRDOER2) | 00H ^{注 2} |
| | 定时器 RD 输出控制寄存器 (TRDOCR) | 00H ^{注 2} |
| | 定时器 RD 数字滤波器功能选择寄存器 0、1 (TRDDF0、TRDDF1) | 00H ^{注 2} |
| | 定时器 RD 控制寄存器 0、1 (TRDCR0、TRDCR1) | 00H ^{注 2} |
| | 定时器 RD 输入/输出控制寄存器 A0、A1 (TRDIORA0、TRDIORA1) | 00H ^{注 2} |
| | 定时器 RD 输入/输出控制寄存器 C0、C1 (TRDIORC0、TRDIORC1) | 88H ^{注 2} |
| | 定时器 RD 状态寄存器 0、1 (TRDSR0、TRDSR1) | 00H ^{注 2} |
| | 定时器 RD 中断允许寄存器 0、1 (TRDIER0、TRDIER1) | 00H ^{注 2} |
| | 定时器 RD PWM 功能输出电平控制寄存器 0、1 (TRDPOCR0、TRDPOCR1) | 00H ^{注 2} |
| | 定时器 RD 计数器 0、1 (TRD0、TRD1) | 0000H ^{注 2} |
| | 定时器 RD 通用寄存器 A0、A1、B0、B1、C0、C1、D0、D1 (TRDGRA0、TRDGRA1、TRDGRB0、TRDGRB1、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1) | FFFFH ^{注 2} |

注 1. 在产生复位信号时或者等待振荡稳定时间时，硬件状态中，仅有 PC 的内容成为不定。其他的硬件状态在复位后也保持不变。

注 2. 当用户选项字节 (000C2H) 中的 FRQSEL4 = 1 并且 PER1 寄存器中的 TRD0EN = 0 时，定时器 RD SFR 为不定。如需读取初始值，在读取之前设置 fCLK 至 fIH 且 TRD0EN = 1。

备注 所安装的特殊功能寄存器 (SFR) 因产品而异。参阅 3.1.4 特殊功能寄存器 (SFR) 区域和 3.1.5 扩展特殊功能寄存器 (2nd SFR: 第二特殊功能寄存器) 区域。

表 17 - 4 受理复位后各硬件的状态 (3/4)

| 硬件 | | 受理复位后的状态 ^{注 1} |
|---------------|--------------------------------|-------------------------|
| 12位间隔定时器 | 控制寄存器(ITMC) | 0FFFH |
| 时钟输出/蜂鸣器输出控制器 | 时钟输出选择寄存器0、1 (CKS0、CKS1) | 00H |
| 看门狗定时器 | 允许寄存器(WDTE) | 1AH/9AH ^{注 2} |
| A/D转换器 | 10位A/D转换结果寄存器(ADCR) | 0000H |
| | 8位A/D转换结果寄存器(ADCRH) | 00H |
| | 模式寄存器0至2 (ADM0至ADM2) | 00H |
| | 转换结果比较上限值设置寄存器(ADUL) | FFH |
| | 转换结果比较下限值设置寄存器(ADLL) | 00H |
| | A/D测试寄存器(ADTES) | 00H |
| | 模拟输入通道选择寄存器(ADS) | 00H |
| | A/D端口配置寄存器(ADPC) | 00H |
| 串行阵列单元(SAU) | 串行数据寄存器00至03 (SDR00至SDR03) | 0000H |
| | 串行状态寄存器00至03 (SSR00至SSR03) | 0000H |
| | 串行标志清除触发寄存器00至03 (SIR00至SIR03) | 0000H |
| | 串行模式寄存器00至03 (SMR00至SMR03) | 0020H |
| | 串行通信操作设置寄存器00至03 (SCR00至SCR03) | 0087H |
| | 串行通道允许状态寄存器0 (SE0) | 0000H |
| | 串行通道开始寄存器0 (SS0) | 0000H |
| | 串行通道停止寄存器0 (ST0) | 0000H |
| | 串行时钟选择寄存器0 (SPS0) | 0000H |
| | 串行输出寄存器0 (SO0) | 0F0FH |
| | 串行输出允许寄存器0 (SOE0) | 0000H |
| | 串行输出电平寄存器0 (SOL0) | 0000H |
| | 串行待机控制寄存器0 (SSC0) | 0000H |
| | 输入切换控制寄存器(ISC) | 00H |

注 1. 在产生复位信号时或者等待振荡稳定时间时，硬件状态中，仅有PC的内容成为不定。其他的硬件状态在复位后也保持不变。

注 2. WDTE的复位值取决于选项字节的设置。

备注 所安装的特殊功能寄存器(SFR)因产品而异。参阅3.1.4 特殊功能寄存器(SFR)区域和3.1.5 扩展特殊功能寄存器(2nd SFR: 第二特殊功能寄存器)区域。

表 17 - 5 受理复位后各硬件的状态 (4/4)

| 硬件 | | 受理复位后的状态 ^{注 1} |
|----------------|--|------------------------------|
| ELC | 事件输出目标选择寄存器 00 至 05、08 至 13、16 至 19 (ELSELR00 至 ELSELR05、ELSELR08 至 ELSELR13、ELSELR16 至 ELSELR19) | 00H |
| 复位功能 | 复位控制标志寄存器 (RESF) | 不定 ^{注 2} |
| 电压检测电路 | 电压检测寄存器 (LVIM) | 00H ^{注 2} |
| | 电压检测电平寄存器 (LVIS) | 00H/01H/81H ^{注 2、3} |
| 中断 | 请求标志寄存器 0L、0H、1L、1H、2H (IF0L、IF0H、IF1L、IF1H、IF2H) | 00H |
| | 屏蔽标志寄存器 0L、0H、1L、1H、2H (MK0L、MK0H、MK1L、MK1H、MK2H) | FFH |
| | 优先级选择标志寄存器 00L、00H、01L、01H、02H、10L、10H、11L、11H、12H (PR00L、PR00H、PR01L、PR01H、PR10L、PR10H、PR11L、PR11H、PR02H、PR12H) | FFH |
| | 外部中断上升沿允许寄存器 0 (EGP0) | 00H |
| | 外部中断下降沿允许寄存器 0 (EGN0) | 00H |
| 安全功能 | 闪存 CRC 控制寄存器 (CRC0CTL) | 00H |
| | 闪存 CRC 运算结果寄存器 (PGCRCL) | 0000H |
| | CRC 输入寄存器 (CRCIN) | 00H |
| | CRC 数据寄存器 (CRCD) | 0000H |
| | 非法存储器存取检测控制寄存器 (IAWCTL) | 00H |
| | RAM 奇偶校验错误控制寄存器 (RPECTL) | 00H |
| 十进制调整 (BCD) 电路 | BCD 校正结果寄存器 (BCDADJ) | 不定 |

备注 所安装的特殊功能寄存器 (SFR) 因产品而异。参阅 3.1.4 特殊功能寄存器 (SFR) 区域和 3.1.5 扩展特殊功能寄存器 (2nd SFR: 第二特殊功能寄存器) 区域。

(“注”如下页所示。)

- 注 1. 在产生复位信号时或者等待振荡稳定时间时，硬件状态中，仅有PC的内容成为不定。其他的硬件状态在复位后也保持不变。
- 注 2. 这些值因复位源而异。

| 复位源 寄存器 | | RESET输入 | 通过POR的 复位 | 通过执行非法 指令的复位 | 通过WDT的 复位 | 通过RAM奇 偶校验错误的 复位 | 通过存取非法 存储器的复位 | 通过LVD的 复位 |
|------------|--------|---------------------|---------------------|---------------------|---------------------|------------------------|---------------------|--------------|
| RESF | TRAP位 | 清除(0) | 清除(0) | 置位(1) | 保持 | 保持 | 保持 | 保持 |
| | WDTRF位 | | | 保持 | 置位(1) | 保持 | 保持 | 保持 |
| | RPERF位 | | | 保持 | 保持 | 置位(1) | 保持 | 保持 |
| | IAWRF位 | | | 保持 | 保持 | 保持 | 置位(1) | 保持 |
| | LVIRF位 | | | 保持 | 保持 | 保持 | 保持 | 置位(1) |
| LVIM | | 清除(0) | 清除(0) | 清除(0) | 清除(0) | 清除(0) | 清除(0) | 保持 |
| LVIS | | 清除 (00H/01H/81H) | 清除 (00H/01H/81H) | 清除 (00H/01H/81H) | 清除 (00H/01H/81H) | 清除 (00H/01H/81H) | 清除 (00H/01H/81H) | 保持 |

- 注 3. LVD复位以外的复位信号生成时，设置如下。
- 选项字节LVIMDS1、LVIMDS0 = 1、0时：00H
 - 选项字节LVIMDS1、LVIMDS0 = 1、1时：81H
 - 选项字节LVIMDS1、LVIMDS0 = 0、1时：01H

17.1 确认复位源的寄存器

μPD79F7027, μPD79F7028 中存在着多种内部复位产生源。复位控制标志寄存器 (RESF) 用于存储产生了复位请求的源。
使用 8 位存储器操作指令读取 RESF 寄存器。
通过 RESET 输入、由上电复位 (POR) 电路引起复位、以及读取 RESF 寄存器, 可清除 TRAP、WDTRF、RPERF、IAWRF 和 LVIRF 标志。

图 17 - 5 复位控制标志寄存器 (RESF) 的格式

| | | | | | | | | |
|------------|---------------------------|---|---|-------|---|-------|-------|-------|
| 地址: FFFA8H | 复位后: 不定 注 1 | R | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| RESF | TRAP | 0 | 0 | WDTRF | 0 | RPERF | IAWRF | LVIRF |
| TRAP | 通过执行非法指令的内部复位请求注 2 | | | | | | | |
| 0 | 不产生内部复位请求, 或 RESF 寄存器被清除。 | | | | | | | |
| 1 | 产生内部复位请求。 | | | | | | | |
| WDTRF | 看门狗定时器 (WDT) 的内部复位请求 | | | | | | | |
| 0 | 不产生内部复位请求, 或 RESF 寄存器被清除。 | | | | | | | |
| 1 | 产生内部复位请求。 | | | | | | | |
| RPERF | RAM 奇偶校验的内部复位请求 | | | | | | | |
| 0 | 不产生内部复位请求, 或 RESF 寄存器被清除。 | | | | | | | |
| 1 | 产生内部复位请求。 | | | | | | | |
| IAWRF | 非法存储器存取的内部复位请求 | | | | | | | |
| 0 | 不产生内部复位请求, 或 RESF 寄存器被清除。 | | | | | | | |
| 1 | 产生内部复位请求。 | | | | | | | |
| LVIRF | 电压检测电路 (LVD) 的内部复位请求 | | | | | | | |
| 0 | 不产生内部复位请求, 或 RESF 寄存器被清除。 | | | | | | | |
| 1 | 产生内部复位请求。 | | | | | | | |

注 1. 复位后的值因复位源而异。
注 2. 执行指令代码 FFH 时, 产生非法指令。
在线仿真器或片上调试仿真器的仿真过程中, 不发生执行非法指令所引起的复位。

注意事项 1. 不要用位操作指令读取数据。
注意事项 2. 从 RAM 获取的指令代码, 在执行过程中不受奇偶校验错误检测的影响。然而, 由于 RAM 获取指令代码而引起的 RAM 数据读取要接受奇偶校验错误检测。
注意事项 3. 由于执行流水操作, CPU 会执行预取, 所以 CPU 可能读取分配至所用 RAM 之外的未初始化的 RAM 区域, 以至于产生 RAM 奇偶校验错误。因此, 允许产生 RAM 奇偶校验错误复位 (RPERDIS = 0) 时, 必须对所用 RAM 区域 + 10 字节的区域进行初始化。

产生复位请求时 RESF 寄存器的状态如表 17 - 6 所示。

表 17 - 6 产生复位请求时 RESF 寄存器的状态

| 复位源 标志 | RESET 输入 | 通过POR的 复位 | 通过执行非法 指令的复位 | 通过WDT的 复位 | 通过RAM奇 偶校验错误的 复位 | 通过存取非法 存储器的复位 | 通过LVD的 复位 |
|-----------|----------|--------------|-----------------|--------------|------------------------|------------------|--------------|
| TRAP 位 | 清除 (0) | 清除 (0) | 置位 (1) | 保持 | 保持 | 保持 | 保持 |
| WDTRF 位 | | | 保持 | 置位 (1) | 保持 | 保持 | 保持 |
| RPERF 位 | | | 保持 | 保持 | 置位 (1) | 保持 | 保持 |
| IAWRF 位 | | | 保持 | 保持 | 保持 | 置位 (1) | 保持 |
| LVIRF 位 | | | 保持 | 保持 | 保持 | 保持 | 置位 (1) |

第 18 章 上电复位电路

18.1 上电复位电路的功能

上电复位电路(POR)具有以下功能。

- 上电时产生内部复位信号。

当电源电压(VDD)超过 $1.51\text{ V} \pm 0.03\text{ V}$ 时解除复位。但使用电压检测功能或外部复位引脚保持复位状态，直到电压达到 27.5 AC 特性中所示的操作电压范围。

- 比较电源电压(VDD)和检测电压($V_{PDR} = 1.50\text{ V} \pm 0.03\text{ V}$)，在 $V_{DD} < V_{PDR}$ 时产生内部复位信号。但在操作电压下降时，要在电压下降到低于 27.5 AC 特性中所示的操作电压范围之前，进入 STOP 模式，或者使用电压检测功能或外部复位引脚允许复位状态。重启操作时，确认电源电压已经返回到操作电压范围。

注意事项 如果 POR 电路中产生内部复位信号，则复位控制标志寄存器(RESF)的 TRAP、WDTRF、RPERF、IAWRF 和 LVIRF 标志将被清除为(00H)。

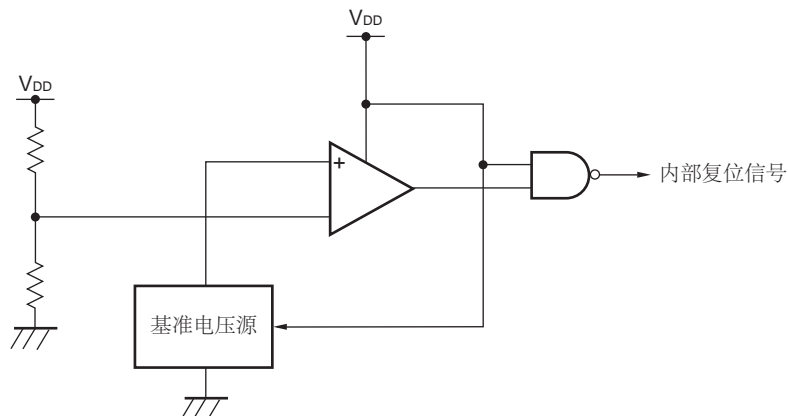
备注 本产品含有能产生内部复位信号的多个硬件功能。由于看门狗定时器(WDT)、电压检测电路(LVD)、执行非法指令、RAM 奇偶校验错误或存取非法存储器而产生内部复位信号时，用于指示复位源的标志位于复位控制标志寄存器(RESF)中。由于看门狗定时器(WDT)、电压检测电路(LVD)、执行非法指令、RAM 奇偶校验错误或存取非法存储器而产生内部复位信号时，RESF 寄存器不会被清除为 00H，同时标志被设置为 1。

有关 RESF 寄存器的详情，请参阅第 17 章 复位功能。

18.2 上电复位电路的配置

上电复位电路的框图如图 18 - 1 所示。

图 18 - 1 上电复位电路的框图



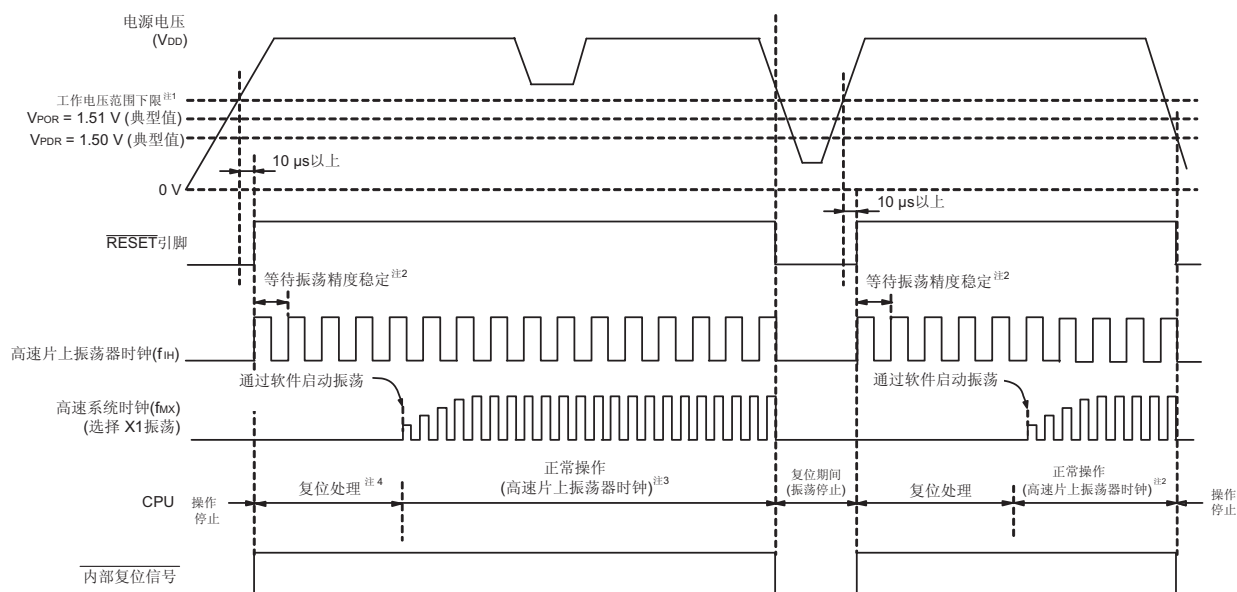
18.3 上电复位电路的操作

- 上电时产生内部复位信号。当电源电压 (V_{DD}) 超过检测电压 ($V_{POR} = 1.51\text{ V} \pm 0.03\text{ V}$) 时解除复位。但使用电压检测功能或外部复位引脚保持复位状态，直到电压达到 27.5 AC 特性中所示的操作电压范围。
- 比较电源电压 (V_{DD}) 和检测电压 ($V_{PDR} = 1.50\text{ V} \pm 0.03\text{ V}$)。当 $V_{DD} < V_{PDR}$ 时，则会产生内部复位信号。重启操作时，确认电源电压已经返回到操作电压范围。但在操作电压下降时，要在电压下降到低于 27.5 AC 特性中所示的操作电压范围之前，进入 STOP 模式，或者使用电压检测功能或外部复位引脚允许复位状态。

上电复位电路和电压检测电路产生的内部复位信号的时序如下所示。

图 18 - 2 上电复位电路和电压检测电路产生的内部复位信号的时序 (1/2)

(1) 当LVD关闭时（选项字节000C1H: VPOC2 = 1B）



注 1. 工作电压范围由用户选项字节 (000C2H) 的设置而定。在电源电压下降时，要将低于工作电压范围设为复位状态，可以使用电压检测电路的复位功能，或者将低电平输入 RESET 引脚。

工作电压范围如下所示。

HS（高速主）模式： V_{DD} = 2.7 至 5.5 V @ 1 MHz 至 24 MHz

LS（低速主）模式 V_{DD} = 2.7 至 5.5 V @ 1 MHz 至 8 MHz

注 2. 内部复位处理时间包括高速片上振荡器时钟的振荡精度稳定等待时间。

注 3. 可以将高速片上振荡器时钟和高速系统时钟选作 CPU 时钟。如要使用 X1 时钟，须使用振荡稳定时间计数器状态寄存器 (OSTC) 确认振荡稳定时间之后再切换。

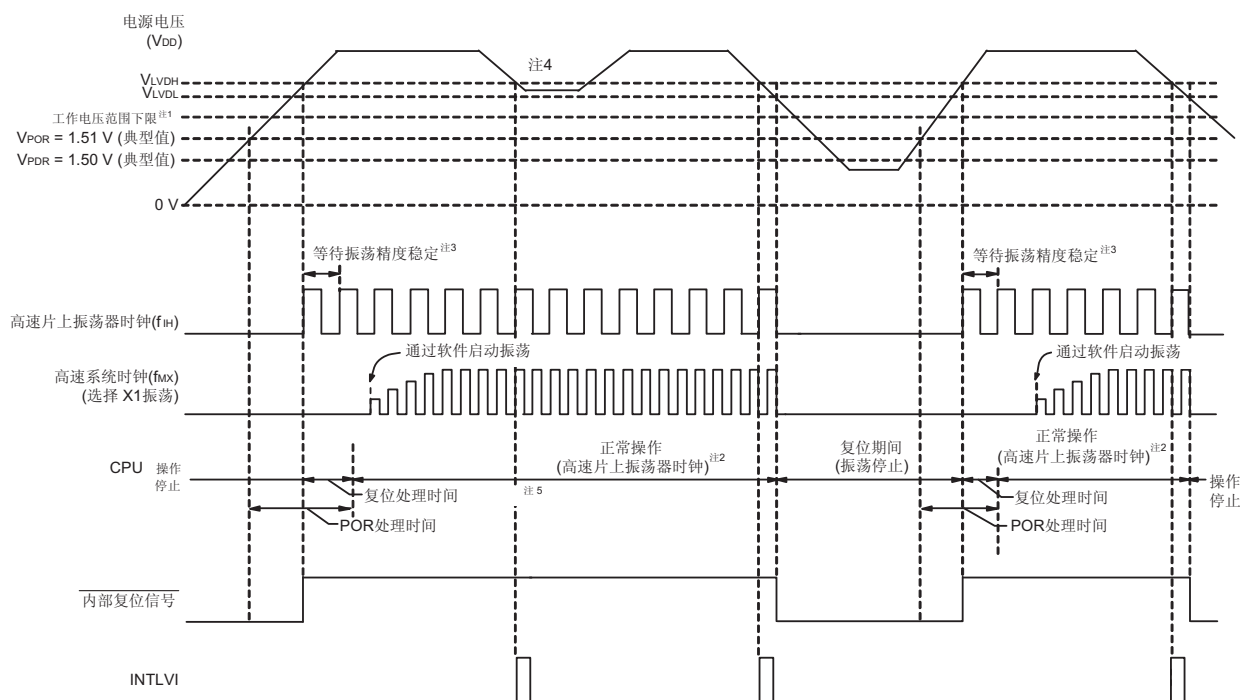
注 4. 复位处理时间：265 至 407 μs

备注 V_{POR}：POR 电源上升检测电压

V_{PDR}：POR 电源下降检测电压

图 18 - 3 上电复位电路和电压检测电路产生的内部复位信号的时序 (2/2)

(2) 当LVD为中断&复位模式时（选项字节000C1：LVIMDS1、LVIMDS0 = 1、0）



注 1. 工作电压范围由用户选项字节(000C2H)的设置而定。在电源电压下降时，要将低于工作电压范围设为复位状态，可以使用电压检测电路的复位功能，或者将低电平输入RESET引脚。

工作电压范围如下所示。

HS（高速主）模式：VDD = 2.7 至 5.5 V@1 MHz 至 24 MHz

LS（低速主）模式 VDD = 2.7 至 5.5 V@1 MHz 至 8 MHz

注 2. 可以将高速片上振荡器时钟和高速系统时钟选作 CPU 时钟。如要使用 X1 时钟，须使用振荡稳定时间计数器状态寄存器(OSTC)确认振荡稳定时间之后再切换。

注 3. 内部复位处理时间包括高速片上振荡器时钟的振荡精度稳定等待时间。

注 4. 在产生第一个中断请求信号(INTLVI)之后，电压检测电平寄存器(LVIS)的LVILV和LVIMD位将被自动设置为1。如果工作电压不低于电压检测电平(V_LVDL)而是返回V_LVDH或更高值，在产生INTLVI之后，须进行必要的保留处理，然后使用软件指定初始设置（参阅图 19 - 9 中断&复位模式的初始设置）。

注 5. 复位处理时间：387 至 720 μs。

备注 V_LVDH、V_LVDL：LVD 检测电压
V_POR：POR 电源上升检测电压
V_PDR：POR 电源下降检测电压

18.4 上电复位电路的注意事项

构成PDR检测电压（VPOR、VPDR）附近的电源电压(VDD)在一定期间内波动的系统中，可能重复地进入复位状态/解除复位状态。通过以下方法，可以任意设置从解除复位到开始操作单片机为止的时间：

<处置>
解除复位后，通过基于定时器的软件计数器，等待各系统不同的电压波动期间结束，然后初始化端口。

图 18 - 4 复位解除后的软件处理示例 (1/2)

- 当POR检测电压附近的电源电压波动在50 ms以内时

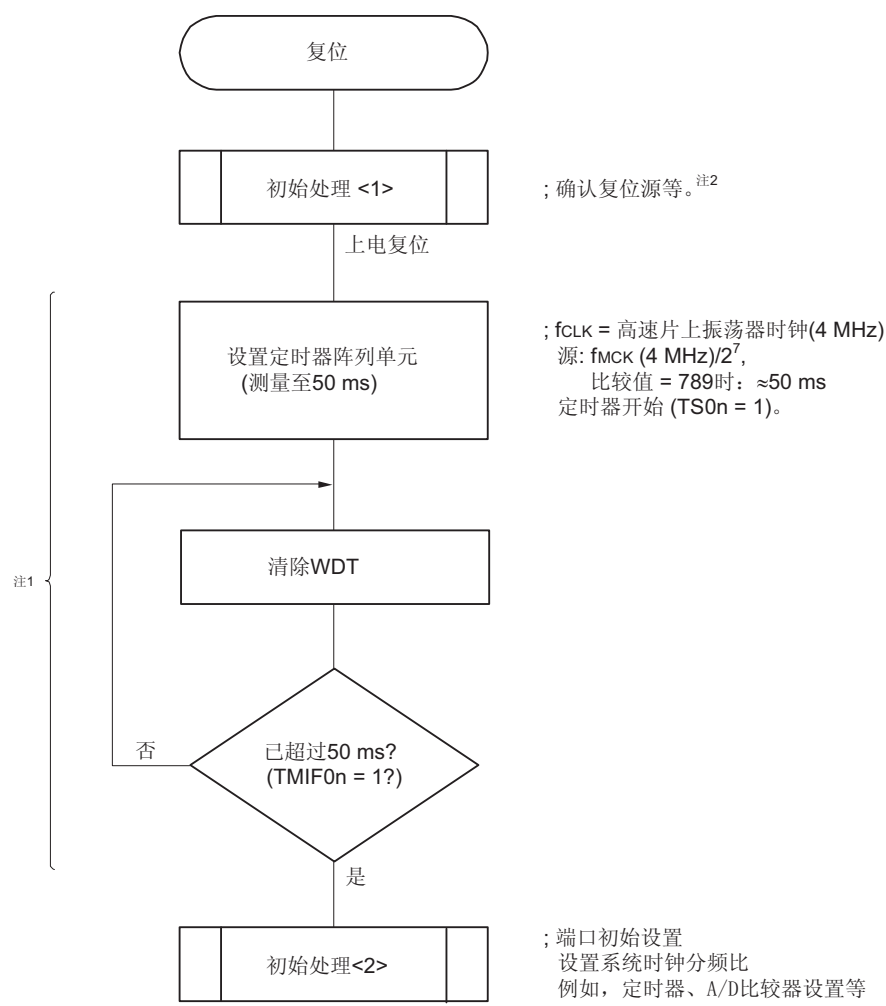
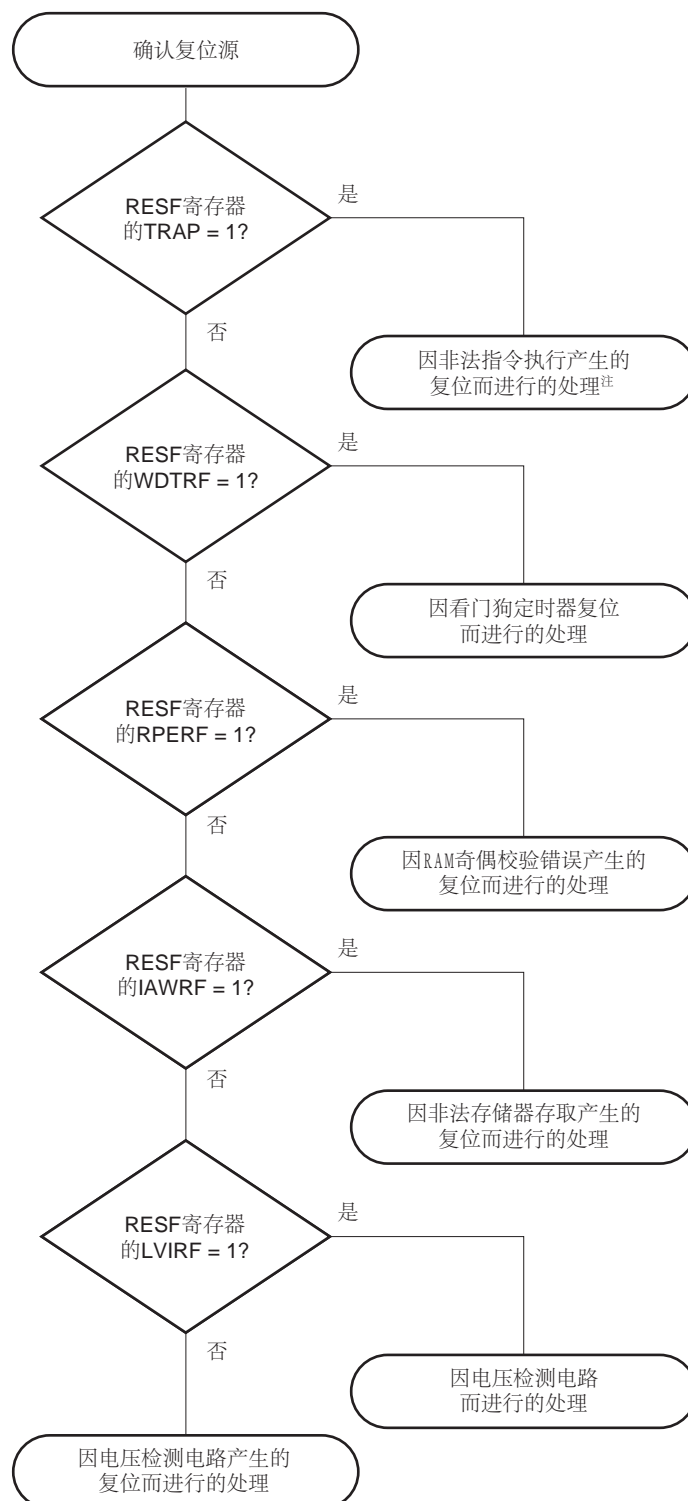


图 18-5 复位解除后的软件处理示例 (2/2)

• 确认复位源



注 执行指令代码FFH时，产生非法指令。
 在线仿真器或片上调试仿真器的仿真过程中，不发生执行非法指令所引起的复位。

第 19 章 电压检测电路

19.1 电压检测电路的功能

电压检测(LVD)电路具有如下的功能。

- 比较电源电压(V_{DD})和检测电压 (V_{LVDH} 、 V_{LVDL})，并产生内部复位或内部中断信号。
- 电源电压的检测电压 (V_{LVDH} 、 V_{LVDL})，可使用选项字节根据检测电平从14阶段中选择（详情参阅第 22 章 选项字节）。
- 可在STOP模式下操作。
- 使用选项字节时可选择如下三种的操作模式。

(a) 中断&复位模式（选项字节LVIMDS1、LVIMDS0 = 1、0）

对于由选项字节 000C1H 选择的两个检测电压，高电压检测电平 (V_{LVDH}) 用于发生中断和结束复位，低电压检测电平 (V_{LVDL}) 用于触发复位。

(b) 复位模式（选项字节LVIMDS1、LVIMDS0 = 1、1）

在选项字节 000C1H 选择的检测电压 (V_{LVD})，可用来触发和结束复位。

(c) 中断模式（选项字节LVIMDS1、LVIMDS0 = 0、1）

在选项字节 000C1H 选择的检测电压 (V_{LVD})，可用来发生中断/解除复位。

在中断&复位模式下可设置两个检测电压 (V_{LVDH} 、 V_{LVDL})，在复位模式和中断模式下可指定一个检测电压 (V_{LVD})。可通过选项字节 (LVIMDS0、LVIMDS1) 的选择，触发如下的复位和中断信号。

| 中断&复位模式 (LVIMDS1、LVIMDS0 = 1、0) | 复位模式 (LVIMDS1、LVIMDS0 = 1、1) | 中断模式 (LVIMDS1、LVIMDS0 = 0、1) |
|---|--|---|
| 当 $V_{DD} < V_{LVDH}$ 时，产生内部中断信号，当 $V_{DD} < V_{LVDL}$ 时，则产生内部复位信号。 当 $V_{DD} \geq V_{LVDH}$ 时，解除复位信号。 | 当 $V_{DD} < V_{LVD}$ 时，产生内部复位信号，当 $V_{DD} \geq V_{LVD}$ 时，则解除复位信号。 | 当 V_{DD} 降至 V_{LVD} 以下时 ($V_{DD} < V_{LVD}$) 或者当 V_{DD} 变成 V_{LVD} 或以上时 ($V_{DD} \geq V_{LVD}$)，产生内部中断信号。 上电时若 $V_{DD} \geq V_{LVD}$ ，则解除复位信号。 |

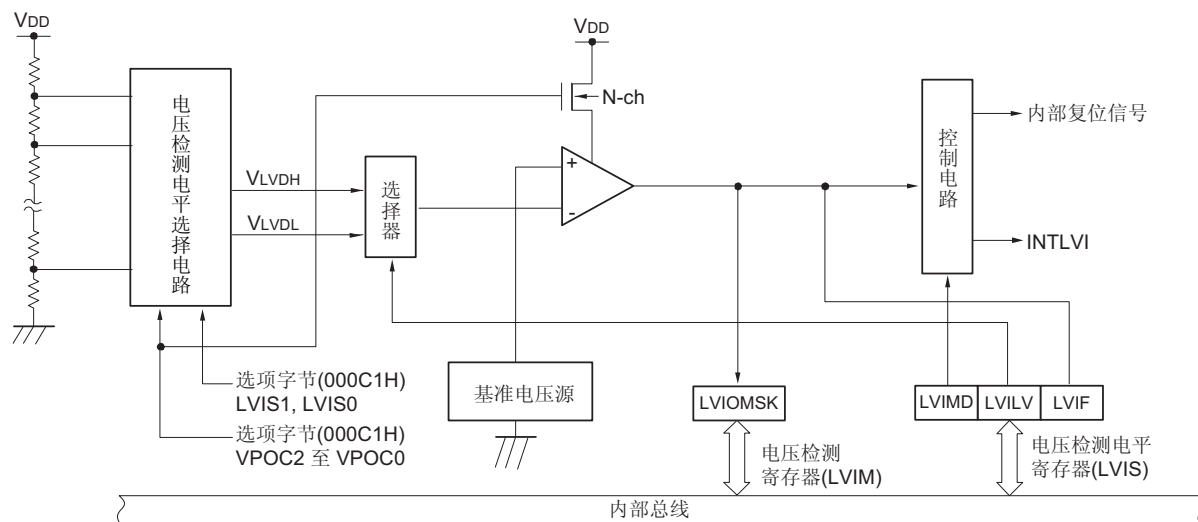
在电压检测电路工作时，可以通过读取电压检测标志 (LVIF: 电压检测寄存器 (LVIM) 的位 0)，来检验电源电压是大于还是小于检测电平。

如果产生复位，则复位控制标志寄存器 (RESF) 的位 0 (LVIRF) 将被设为 1。有关 RESF 寄存器的详情，请参阅第 17 章 复位功能。

19.2 电压检测电路的配置

电压检测电路的框图如图 19 - 1 所示。

图 19 - 1 电压检测电路的框图



19.3 控制电压检测电路的寄存器

使用如下的寄存器控制电压检测电路。

- 电压检测寄存器 (LVIM)
- 电压检测电平寄存器 (LVIS)

(1) 电压检测寄存器 (LVIM)

该寄存器用来设置电压检测电平寄存器(LVIS)的允许/禁止改写，确认LVD输出的屏蔽状态。
使用1位或8位存储器操作指令设置该寄存器。
产生复位信号后，该寄存器被清除为 00H。

图 19 - 2 电压检测寄存器 (LVIM) 的格式

| | | | | | | | | |
|------------|--|---------|---|---|---|---|---------|------|
| 地址: FFFA9H | 复位后: 00H 注 1 | R/W 注 2 | | | | | | |
| 符号 | <7> | 6 | 5 | 4 | 3 | 2 | <1> | <0> |
| LVIM | LVISEN | 0 | 0 | 0 | 0 | 0 | LVIOMSK | LVIF |
| LVISEN | 电压检测电平寄存器(LVIS)的允许/禁止改写的设置 | | | | | | | |
| 0 | 禁止改写 | | | | | | | |
| 1 | 允许改写注 3 | | | | | | | |
| LVIOMSK | LVD输出的屏蔽状态标志 | | | | | | | |
| 0 | 屏蔽无效 | | | | | | | |
| 1 | 屏蔽有效注 4 | | | | | | | |
| LVIF | 电压检测标志 | | | | | | | |
| 0 | 电源电压 (VDD) ≥ 检测电压 (VLVD) 或当 LVD 操作被禁止时 | | | | | | | |
| 1 | 电源电压 (VDD) < 检测电压 (VLVD) | | | | | | | |

- 注 1.
- 复位值因复位源而异。
如果通过 LVD 使 LVIS 寄存器复位，则其不被复位而是保持当前值。如果通过 LVD 以外进行的复位受到影响，则该寄存器的值会被复位为 “00H”。
- 注 2.
- 位 0 和位 1 为只读位。
- 注 3.
- 仅在通过选项字节设置 LVIMDS1 和 LVIMDS0 为 1 和 0（中断&复位模式）时可以设置（其他模式中无效）。
- 注 4.
- 在以下期间内，LVIOMSK 位被自动设置为 “1”，由 LVD 引起的复位或中断被屏蔽。
 - LVISEN = 1 的期间
 - 从发生 LVD 中断开始到 LVD 检测电压稳定为止的等待时间
 - 从 LVILV 位的值发生变化到 LVD 检测电压稳定为止的等待时间

- (2) 电压检测电平寄存器 (LVIS)
- 该寄存器用来选择电压检测电平。
- 使用 1 位或 8 位存储器操作指令设置该寄存器。
- 产生复位信号后，该寄存器被设置为 00H/01H/81H 注 1。

图 19 - 3 电压检测电平寄存器 (LVIS) 的格式

地址: FFFAAH 复位后: 00H/01H/81H 注 1R/W

| | | | | | | | | |
|------|-----------|---|---|---|---|---|---|-----------|
| 符号 | <7> | 6 | 5 | 4 | 3 | 2 | 1 | <0> |
| LVIS | LVIMD 注 2 | 0 | 0 | 0 | 0 | 0 | 0 | LVILV 注 2 |

| | |
|-----------|-----------|
| LVIMD 注 2 | 电压检测的操作模式 |
| 0 | 中断模式 |
| 1 | 复位模式 |

| | |
|-----------|------------------------|
| LVILV 注 2 | LVD 检测电平 |
| 0 | 高电压检测电平 (VLVDH) |
| 1 | 低电压检测电平 (VLVDL 或 VLVD) |

- 注 1. 复位值因复位源和选项字节的设置而异。
- LVD 复位时，该寄存器不被清除 (00H)。
- LVD 复位以外的复位信号生成时，设置如下。
- 选项字节 LVIMDS1、LVIMDS0 = 1、0 时：00H
 - 选项字节 LVIMDS1、LVIMDS0 = 1、1 时：81H
 - 选项字节 LVIMDS1、LVIMDS0 = 0、1 时：01H
- 注 2. 仅当 LVIMDS1 和 LVIMDS0 由选项字节设为 1 和 0（中断 & 复位模式）时，才可写入 0。在其他情况下不允许写入操作，通过产生复位或中断来自动切换值。

注意事项 1. 改写 LVIS 寄存器时，请先将 LVISEN 位（LVIM 寄存器的位 7）设置为 1 后再进行。

注意事项 2. 可使用选项字节 (000C1H) 指定 LVD 操作模式和检测电压（VLVDH、VLVDL）。选项字节 (000C1H) 的设置如表 19 - 1 所示。有关选项字节的详情，请参阅第 22 章 选项字节。

表 19 - 1 用户选项字节(000C1H/010C1H) 设置 LVD 操作模式和检测电压

• 中断&复位模式时的设置

| 检测电压 | | | 选项字节设置值 | | | | | | |
|--------|--------|--------|---------|---------|-------|-------|-------|-------|-------|
| VLVDH | | VLVDL | LVIMDS1 | LVIMDS0 | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 |
| 上升沿 | 下降沿 | 下降沿 | | | | | | | |
| 2.92 V | 2.86 V | 2.75 V | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 3.02 V | 2.96 V | | | | | | | 0 | 1 |
| 4.06 V | 3.98 V | | | | | | | 0 | 0 |
| 其他 | | | 禁止设置 | | | | | | |

注意事项 请在工作电压范围内设置检测电压(VLVDL)。工作电压范围由用户选项字节(000C2H)的设置而定。工作电压范围如下所示。

HS（高速主）模式： VDD = 2.7 至 5.5 V@1 MHz 至 24 MHz
LS（低速主）模式： VDD = 2.7 至 5.5 V@1 MHz 至 8 MHz

• 复位模式时的设置

| 检测电压 | | 选项字节设置值 | | | | | | |
|--------|--------|---------|---------|-------|-------|-------|-------|-------|
| VLVD | | LVIMDS1 | LVIMDS0 | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 |
| 上升沿 | 下降沿 | | | | | | | |
| 2.81 V | 2.75 V | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 2.92 V | 2.86 V | | | 0 | 1 | 1 | 1 | 0 |
| 3.02 V | 2.96 V | | | 0 | 1 | 1 | 0 | 1 |
| 3.13 V | 3.06 V | | | 0 | 0 | 1 | 0 | 0 |
| 3.75 V | 3.67 V | | | 0 | 1 | 0 | 0 | 0 |
| 4.06 V | 3.98 V | | | 0 | 1 | 1 | 0 | 0 |
| 其他 | | | 禁止设置 | | | | | |

注意事项 请在工作电压范围内设置检测电压 (VLVD)。工作电压范围由用户选项字节 (000C2H) 的设置而定。工作电压范围如下所示。

- HS（高速主）模式：

VDD = 2.7 至 5.5 V@1 MHz 至 24 MHz
- LS（低速主）模式：

VDD = 2.7 至 5.5 V@1 MHz 至 8 MHz

• 中断模式时的设置

| 检测电压 | | 选项字节设置值 | | | | | | |
|--------|--------|---------|---------|-------|-------|-------|-------|-------|
| VLvd | | LVIMDS1 | LVIMDS0 | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 |
| 上升沿 | 下降沿 | | | | | | | |
| 2.81 V | 2.75 V | 0 | 1 | 0 | 1 | 1 | 1 | 1 |
| 2.92 V | 2.86 V | | | 0 | 1 | 1 | 1 | 0 |
| 3.02 V | 2.96 V | | | 0 | 1 | 1 | 0 | 1 |
| 3.13 V | 3.06 V | | | 0 | 0 | 1 | 0 | 0 |
| 3.75 V | 3.67 V | | | 0 | 1 | 0 | 0 | 0 |
| 4.06 V | 3.98 V | | | 0 | 1 | 1 | 0 | 0 |
| 其他 | | 禁止设置 | | | | | | |

注意事项 请在工作电压范围内设置检测电压(VLVD)。工作电压范围由用户选项字节(000C2H)的设置而定。工作电压范围如下所示。

HS (高速主) 模式: **VDD = 2.7 至 5.5 V@1 MHz 至 24 MHz**

LS (低速主) 模式: **VDD = 2.7 至 5.5 V@1 MHz 至 8 MHz**

• LVD 关闭时

| 检测电压 | | 选项字节设置值 | | | | | | |
|------|-----|---------|---------|-------|-------|-------|-------|-------|
| VLVD | | LVIMDS1 | LVIMDS0 | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 |
| 上升沿 | 下降沿 | | | | | | | |
| — | — | 0/1 | 1 | 1 | × | × | × | × |
| 其他 | | 禁止设置 | | | | | | |

注意事项 当LVD关闭时,须执行外部复位。向RESET引脚输入一个10 μs或以上的低电平,以执行外部复位。要在上电时执行外部复位,则须在上电前向RESET引脚输入一个低电平,并在电源电压处于工作电压范围内的期间,使该低电平保持至少10 μs,然后输入一个高电平。上电后,在电源电压不处于工作电压范围内的期间,不得向RESET引脚输入高电平。工作电压范围由用户选项字节(000C2H)的设置而定。工作电压范围如下所示。

HS (高速主) 模式: **VDD = 2.7 至 5.5 V@1 MHz 至 24 MHz**

LS (低速主) 模式: **VDD = 2.7 至 5.5 V@1 MHz 至 8 MHz**

备注 ×: 忽略

19.4 电压检测电路的操作

19.4.1 复位模式时的设置

- 开始操作时

在如下的初始设置的状态下开始。

可使用选项字节 000C1H 指定操作模式（复位模式（LVIMDS1、LVIMDS0 = 1、1））和检测电压 (VLVD)。

请在工作电压范围内设置检测电压 (VLVD)。工作电压范围由用户选项字节 (000C2H) 的设置而定。工作电压范围如下所示。

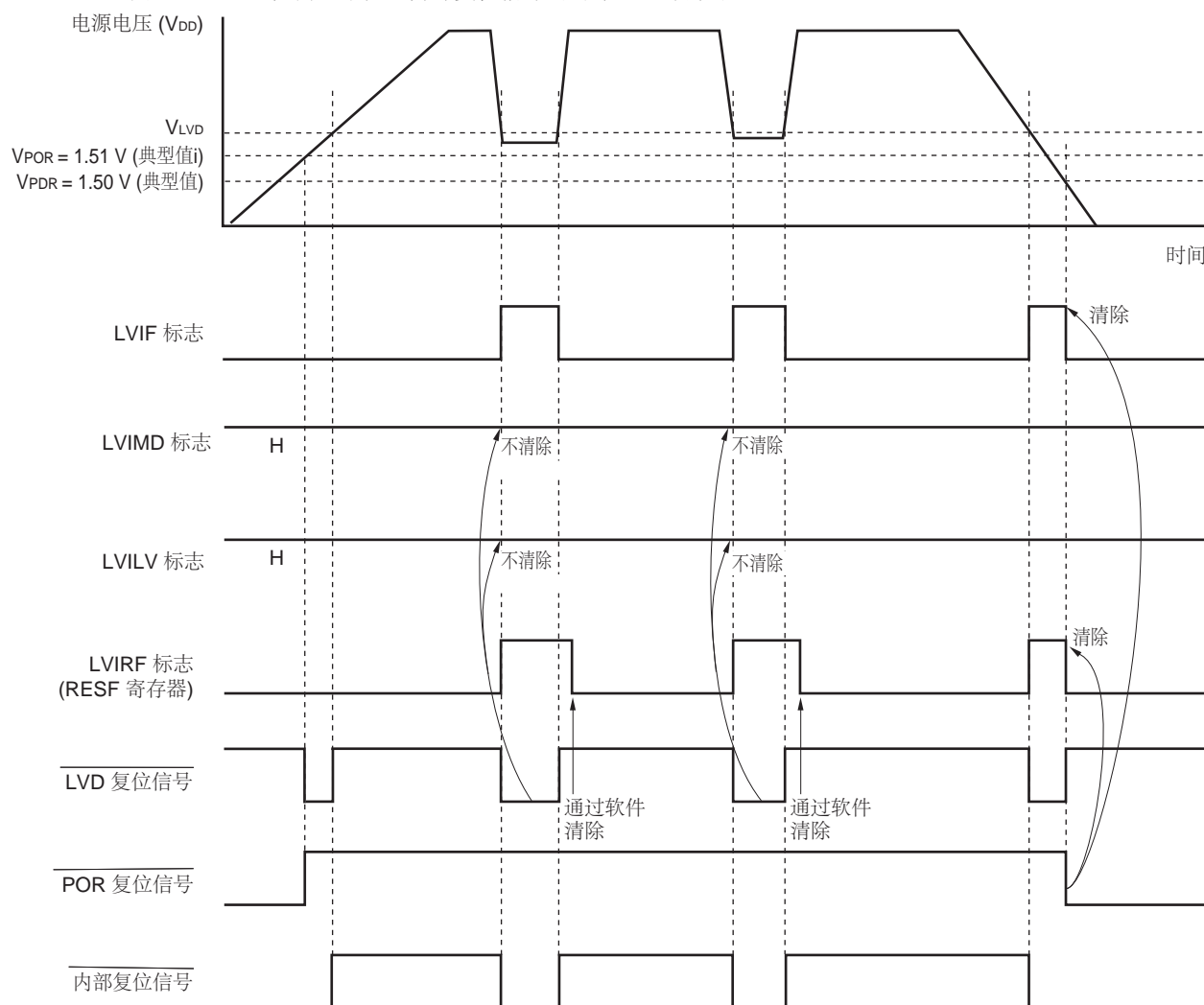
HS（高速主）模式： $V_{DD} = 2.7$ 至 5.5 V @ 1 MHz 至 24 MHz

LS（低速主）模式： $V_{DD} = 2.7$ 至 5.5 V @ 1 MHz 至 8 MHz

- 设置电压检测寄存器 (LVIM) 的位 7 (LVISEN) 为 0（禁止电压检测电平寄存器 (LVIS) 的改写）。
- 当选项字节 LVIMDS1 和 LVIMDS0 被设为 1 时，LVIS 寄存器的初始值被设为 81H。
 - 位 7 (LVIMD) 为 1（复位模式）。
 - 位 0 (LVILV) 为 1（低电压检测电平：VLVD）。

电压检测电路发生内部复位信号的时序如图 19 - 4 所示。

图 19 - 4 电压检测电路发生内部复位信号的时序（选项字节 LVIMDS1、LVIMDS0 = 1、1）



备注

V_{POR} : POR 电源上升检测电压

V_{PDR} : POR 电源下降检测电压

19.4.2 中断模式时的设置

- 开始操作时

可使用选项字节 000C1H 指定操作模式（中断模式（LVIMDS1、LVIMDS0 = 0、1））和检测电压 (VLVD)。

在电源电压不处于工作电压范围内的期间，不得向 $\overline{\text{RESET}}$ 引脚输入高电平。

请在工作电压范围内设置检测电压 (VLVD)。工作电压范围由用户选项字节 (000C2H) 的设置而定。工作电压范围如下所示。

HS（高速主）模式： VDD = 2.7 至 5.5 V @ 1 MHz 至 24 MHz

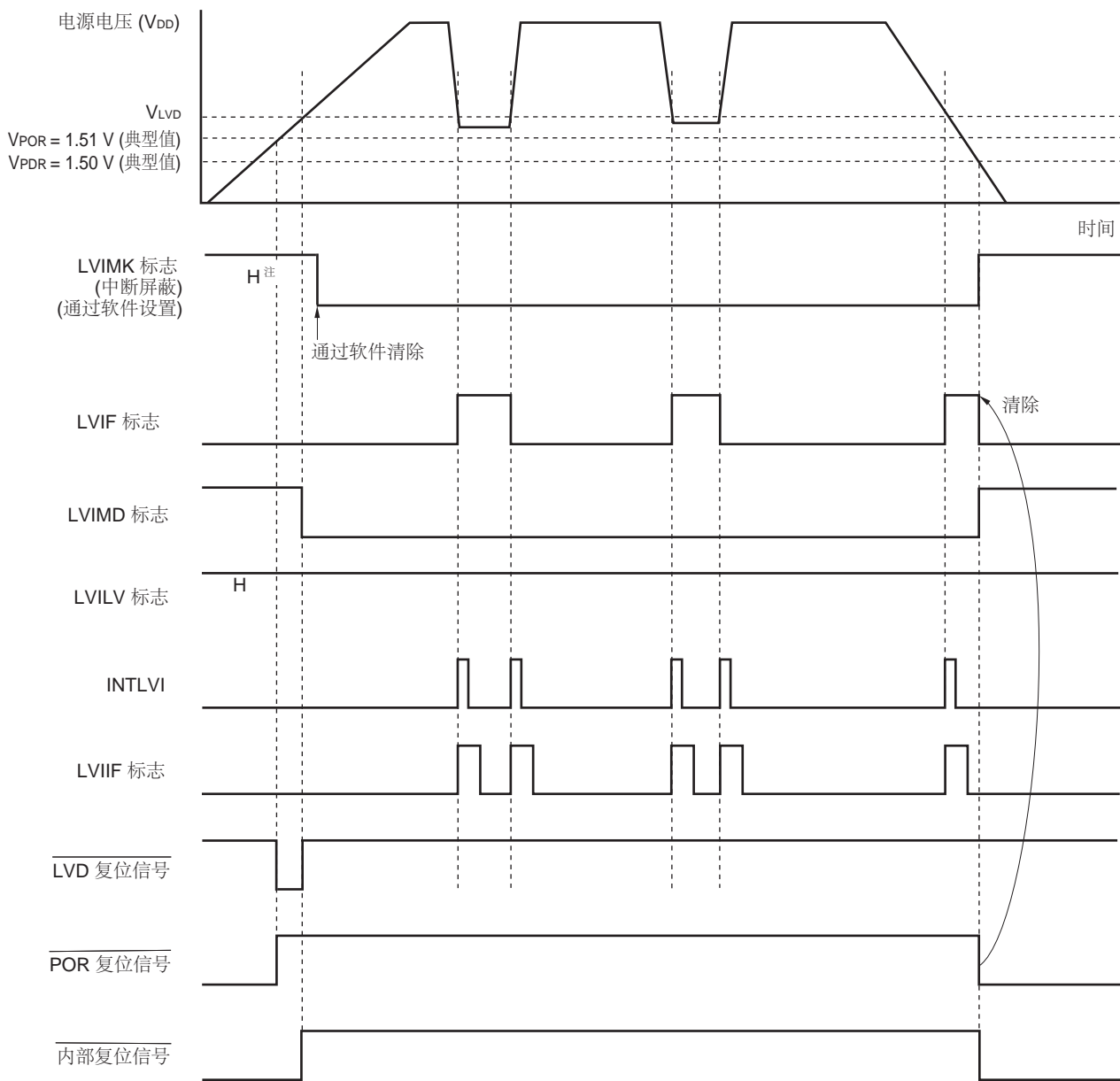
LS（低速主）模式： VDD = 2.7 至 5.5 V @ 1 MHz 至 8 MHz

在如下的初始设置的状态下开始。

- 设置电压检测寄存器 (LVIM) 的位 7 (LVISEN) 为 0（禁止电压检测电平寄存器 (LVIS) 的改写）。
- 当选项字节 LVIMDS1 清除为 0 且 LVIMDS0 被设为 1 时，LVIS 寄存器的初始值被设为 01H。
 - 位 7 (LVIMD) 为 0（中断模式）。
 - 位 0 (LVILV) 为 1（低电压检测电平：VLVD）。

电压检测电路发生内部中断信号的时序如图 19 - 5 所示。

图 19 - 5 电压检测电路发生内部中断信号的时序
(选项字节LVIMDS1、LVIMDS0 = 0、1)



注 通过产生复位信号，LVIMK标志被设为“1”。

备注 V_{POR}: POR电源上升检测电压
V_{PDR}: POR电源下降检测电压

19.4.3 使用中断 & 复位模式时

- 开始操作时

可使用选项字节 000C1H/010C1H 指定操作模式（中断和复位（LVIMDS1、LVIMDS0 = 1、0））和检测电压（VLVDH、VLVDL）。

请在工作电压范围内设置检测电压(VLVDL)。工作电压范围由用户选项字节(000C2H)的设置而定。工作电压范围如下所示。

HS（高速主）模式： VDD = 2.7 至 5.5 V@1 MHz 至 24 MHz

LS（低速主）模式 VDD = 2.7 至 5.5 V@1 MHz 至 8 MHz

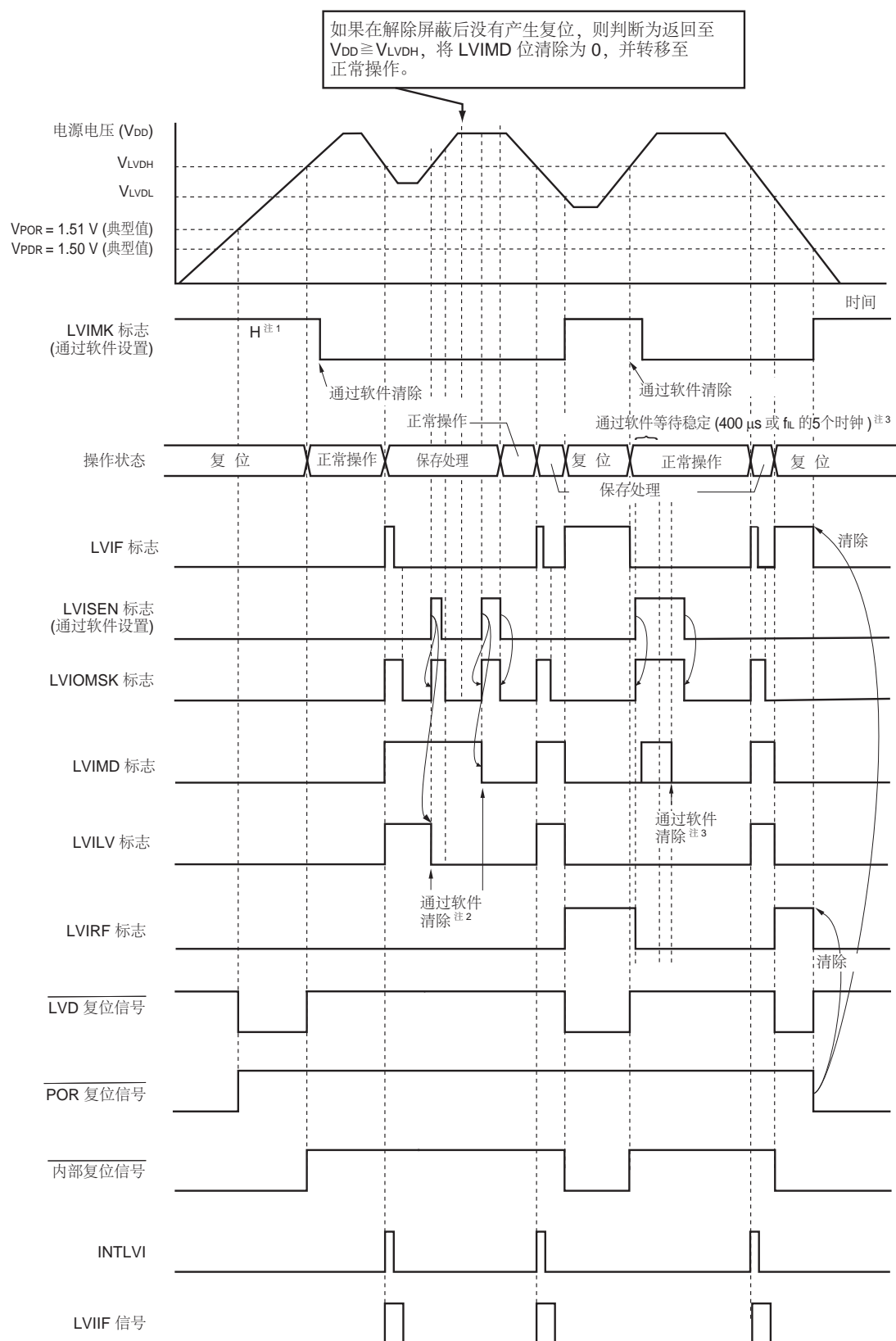
在如下的初始设置的状态下开始。

- 设置电压检测寄存器(LVIM)的位7(LVISEN)为0（禁止电压检测电平寄存器(LVIS)的改写）。
- 当选项字节LVIMDS1被设为1且LVIMDS0清除为0时，LVIS寄存器的初始值被设为00H。
 - 位7(LVIMD)为0（中断模式）。
 - 位0(LVILV)为0（高电压检测电平：VLVDH）。

电压检测电路产生复位信号和中断信号的时序如图 19 - 6 至 19 - 7 所示。

请按照图 19 - 8 发生中断后的处理步骤和图 19 - 9 中断&复位模式的初始设置所示的流程图的步骤执行。

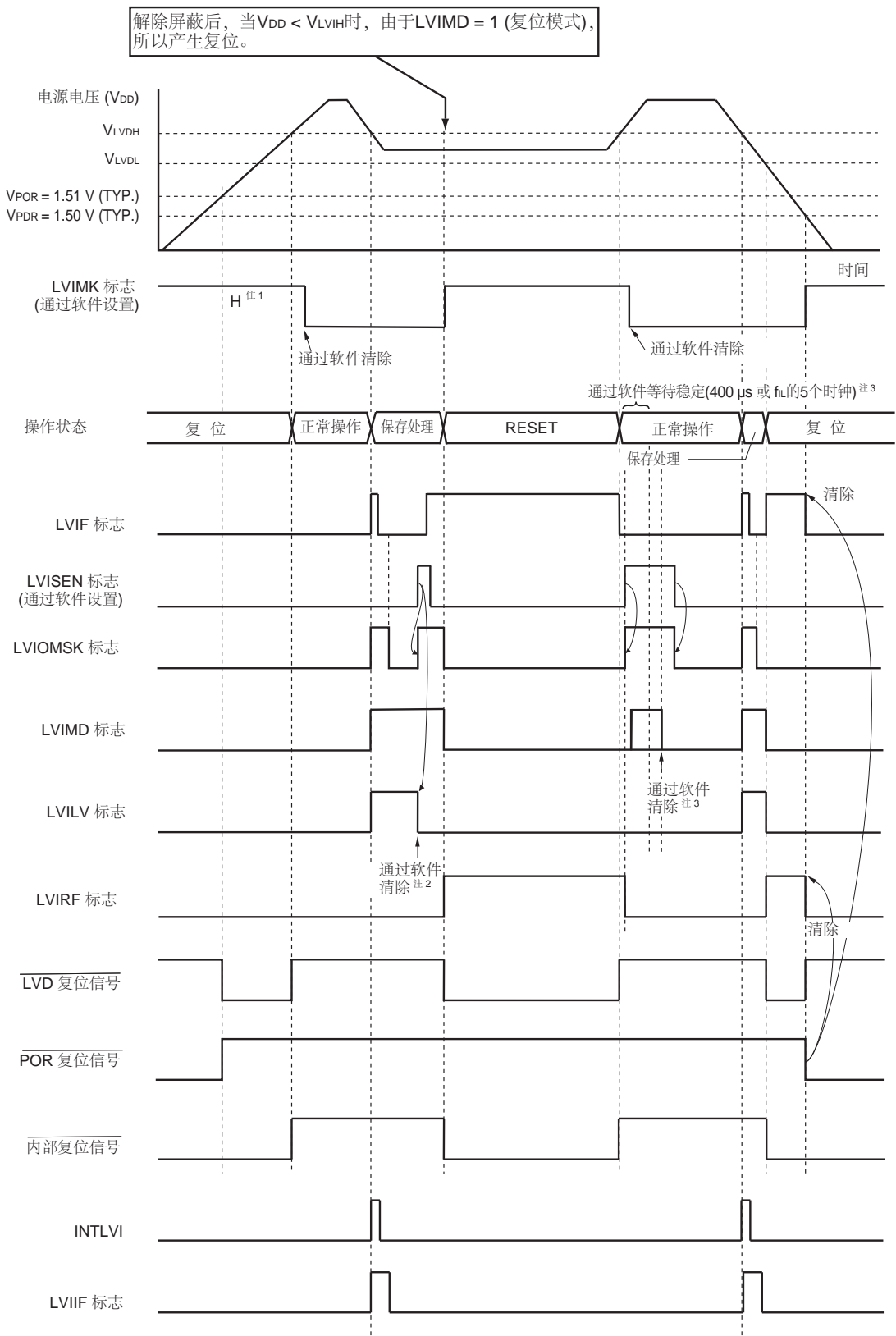
图 19 - 6 电压检测电路产生复位信号和中断信号的时序
(选项字节 LVIMDS1、LVIMDS0 = 1、0) (1/2)



(“注”和“备注”如下页所示。)

- 注 1. 通过产生复位信号，LVIMK 标志被设为“1”。
- 注 2. 产生中断后，在中断&复位模式下根据图 19-8 发生中断后的处理步骤进行处理。
- 注 3. 解除复位后，在中断&复位模式下根据图 19-9 中断&复位模式的初始设置进行处理。
- 备注 VPOR: POR 电源上升检测电压
VPOR: POR 电源下降检测电压

图 19 - 7 电压检测电路产生复位信号和中断信号的时序
(选项字节 LVIMDS1、LVIMDS0 = 1、0) (2/2)

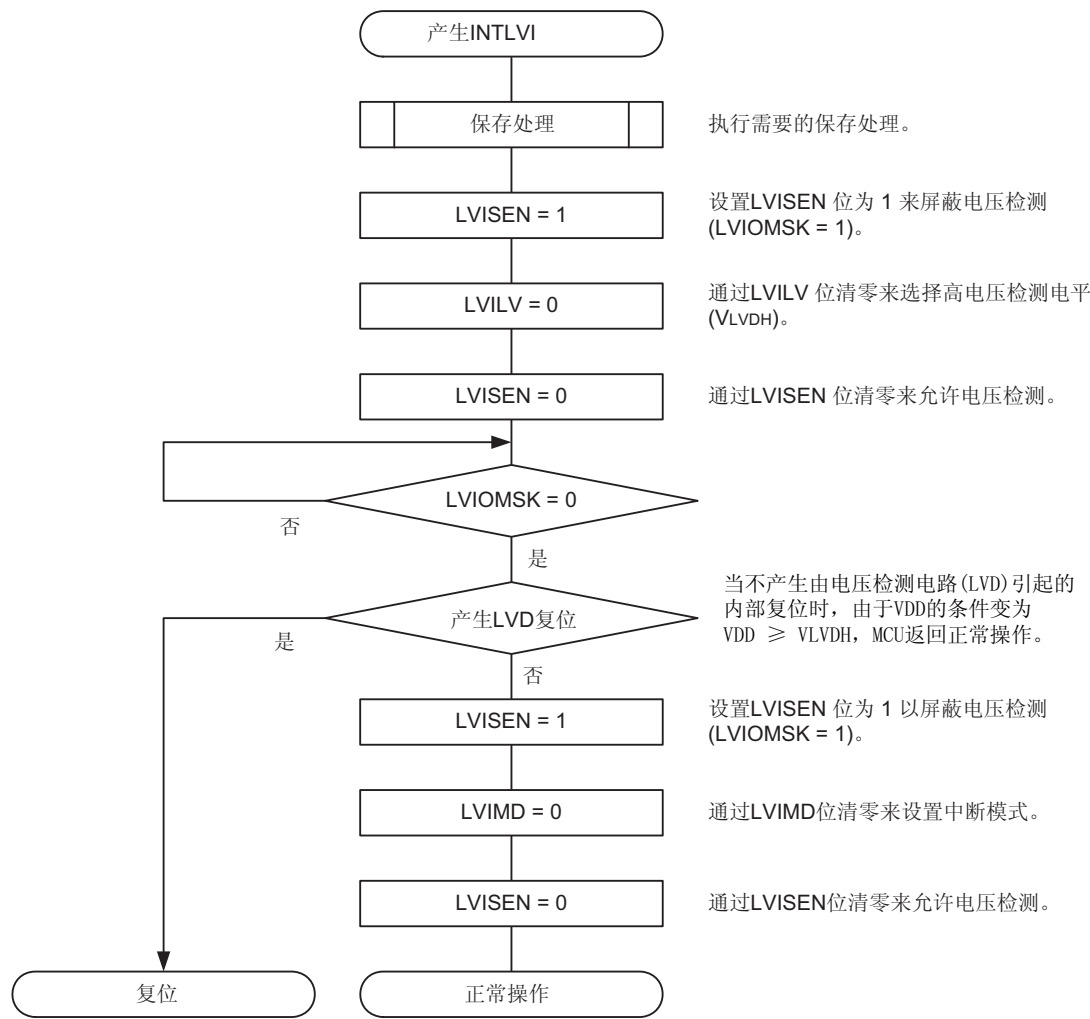


(“注”和“备注”如下页所示。)

- 注 1. 通过产生复位信号，LVIMK标志被设为“1”。
- 注 2. 产生中断后，在中断&复位模式下根据图 19 - 8 发生中断后的处理步骤进行处理。
- 注 3. 解除复位后，在中断&复位模式下根据图 19 - 9 中断&复位模式的初始设置进行处理。

备注 VPOR: POR 电源上升检测电压
VPDR: POR 电源下降检测电压

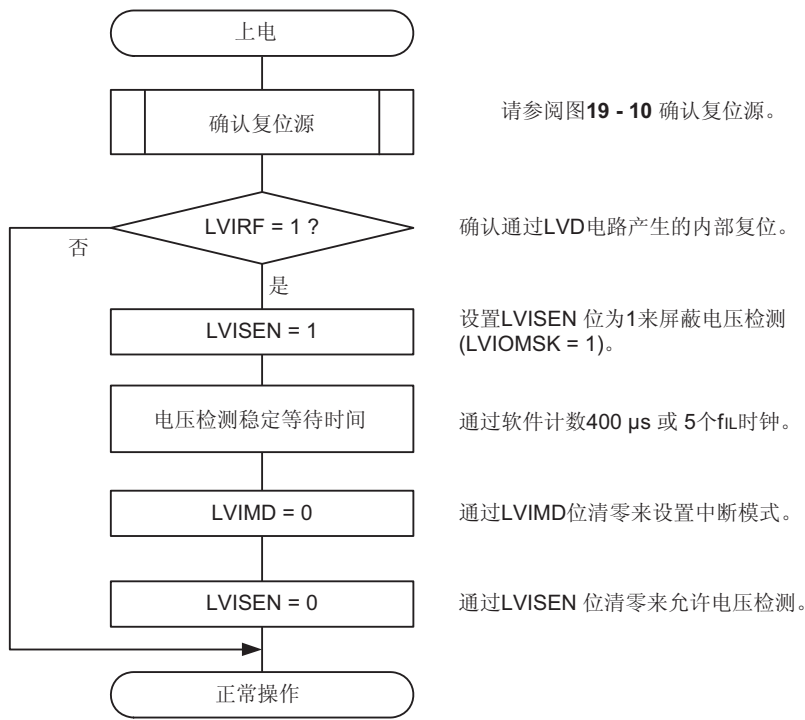
图 19 - 8 发生中断后的处理步骤



当设置中断&复位模式（LVIMDS1、LVIMDS0 = 1、0）时，在解除LVD复位之后(LVIRF = 1)，须有400 μs或5个fIL时钟的电压检测稳定等待时间。等到电压检测稳定之后，以(0)清除LVIMD位，使其初始化。当对电压检测稳定等待时间进行计数且改写LVIMD位之后，将LVISEN设置为1，以屏蔽LVD引起的复位或中断发生。

中断&复位模式的初始设置的步骤如图 19 - 9所示。

图 19 - 9 中断 & 复位模式的初始设置



备注 fIL：低速片上振荡器时钟频率

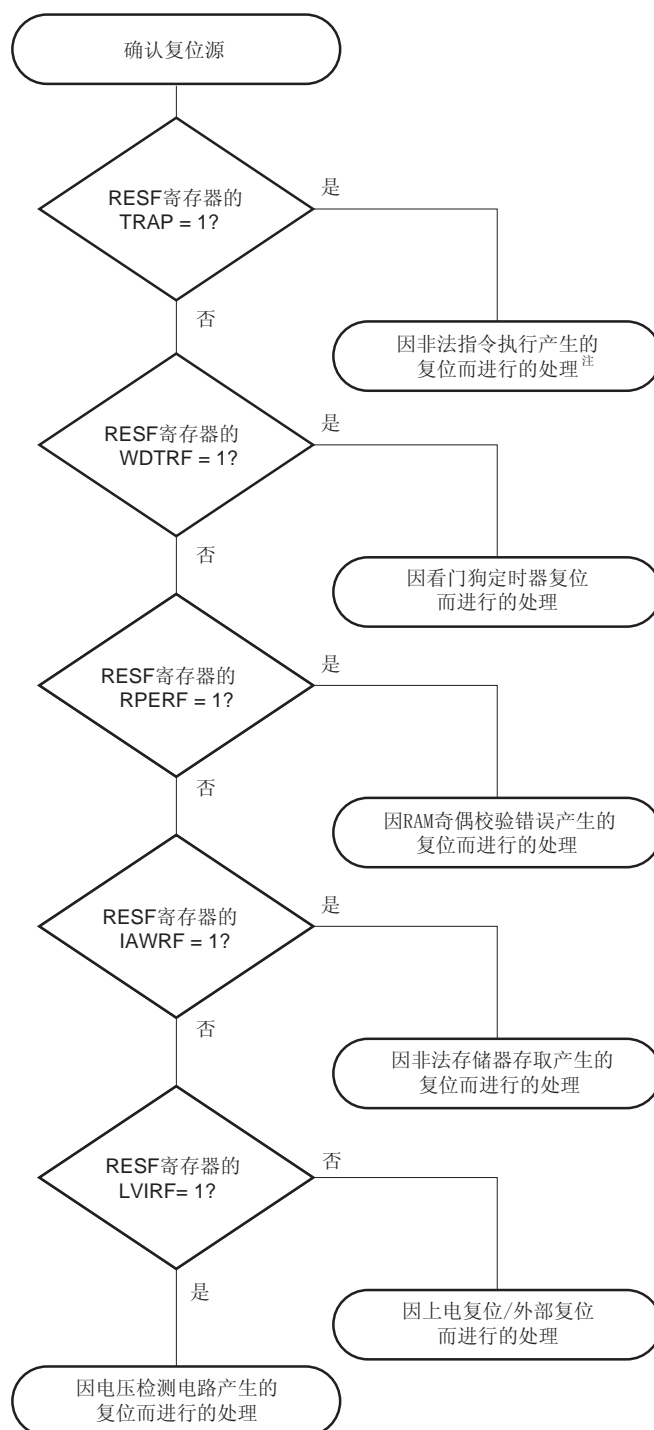
备注 fIL：低速片上振荡器时钟频率

19.5 电压检测电路的注意事项

(1) 确认复位源

当产生复位时，通过以下方法确认复位源。

图 19 - 10 确认复位源



注

当执行指令代码FFH时。

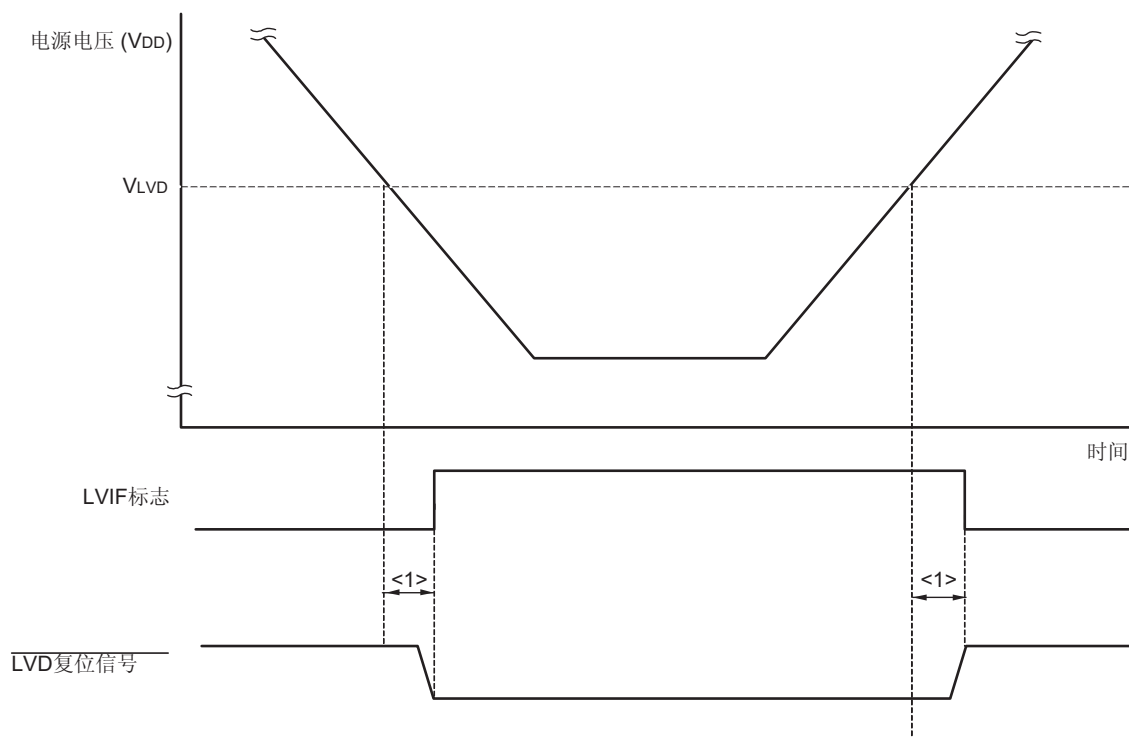
在线仿真器或片上调试仿真器的仿真过程中，不发生执行非法指令所引起的复位。

(2) 从产生 LVD 复位源到产生或解除 LVD 复位为止的时间内的延迟

从电源电压 (V_{DD}) < LVD 检测电压 (V_{LVD}) 到产生 LVD 复位的时间内有一定的延迟。

同理，从 LVD 检测电压 (V_{LVD}) ≤ 电源电压 (V_{DD}) 到解除 LVD 复位的时间内也有一定的延迟（参阅图 19 - 11）。

图 19 - 11 从产生 LVD 复位源到产生或解除 LVD 复位为止的时间内的延迟



$<1>$: 检测延迟 (300 μ s (最大值))

第 20 章 安全功能

20.1 安全功能的概述

μPD79F7027, μPD79F7028 提供以下安全功能，符合 IEC60730 和 IEC61508 安全标准。

借助这些功能，单片机可以自行诊断异常问题，并在检测到异常时停止工作。

(1) 闪存 CRC 运算功能（高速 CRC、通用 CRC）

通过执行 CRC 运算检测闪存中的数据错误。

μPD79F7027, μPD79F7028 提供了两个 CRC 功能，可根据应用或用途加以使用。

- 高速 CRC：在初始化程序执行过程中，可以停止 CPU，并在整个代码闪存区域执行高速检验。
- 通用 CRC：在 CPU 运行期间，可以使用该功能检验代码闪存区域以外的各种数据。

(2) RAM 奇偶校验错误检测功能

当作为数据读取 RAM 时，检测奇偶校验错误。

(3) RAM 保护功能

防止当 CPU 失控时 RAM 数据被改写。

(4) SFR 保护功能

防止当 CPU 失控时 SFR 被改写。

(5) 无效存储器存取检测功能

检测非法存取非法存储器区域（诸如不存在存储器和被限存取的区域）。

(6) 频率检测功能

使用 TAU 可以检测振荡频率。

(7) A/D 测试功能

用于通过对内部基准电压执行 A/D 转换，从而对 A/D 转换执行自检。

(8) 输入/输出端口的数字输出信号电平检测功能

当输入/输出端口为输出模式（端口模式寄存器 (PMm) 的 PMm 位为 0）时，可以读取引脚的输出电平。

备注 m = 0 至 7、12、14, n = 0 至 7

20.2 安全功能使用的寄存器

安全功能的各种功能使用如下的寄存器。

| 寄存器 | 安全功能的各种功能 |
|---|----------------------|
| <ul style="list-style-type: none"> 闪存CRC控制寄存器 (CRC0CTL) 闪存CRC运算结果寄存器 (PGCRCL) | 闪存CRC运算功能（高速CRC） |
| <ul style="list-style-type: none"> CRC输入寄存器 (CRCIN) CRC数据寄存器 (CRCD) | CRC运算功能（通用CRC） |
| <ul style="list-style-type: none"> RAM奇偶校验错误控制寄存器 (RPECTL) | RAM奇偶校验错误检测功能 |
| <ul style="list-style-type: none"> 非法存储器存取检测控制寄存器 (IAWCTL) | RAM保护功能 |
| | SFR保护功能 |
| | 无效存储器存取检测功能 |
| <ul style="list-style-type: none"> 定时器输入选择寄存器 0 (TIS0) | 频率检测功能 |
| <ul style="list-style-type: none"> A/D测试寄存器 (ADTES) | A/D测试功能 |
| <ul style="list-style-type: none"> 端口模式选择寄存器 (PMS) | 输入/输出端口的数字输出信号电平检测功能 |

各个寄存器的内容如 20.3 安全功能的操作中所述。

20.3 安全功能的操作

20.3.1 闪存CRC运算功能（高速CRC）

IEC60730 标准要求对闪存中的数据进行检查，并建议使用CRC来实现。μPD79F7027, μPD79F7028 提供的高速CRC用于在初始化程序执行过程中，检验整个代码闪存区域。仅限通过RAM上的程序供应主系统时钟的HALT模式时，才可执行高速CRC。

所用的生成CRC的多项式符合CRC-16-CCITT的“ $X^{16} + X^{12} + X^5 + 1$ ”。

高速CRC优先从MSB的位31到位0开始执行。

注意事项 片上调试时，配置有监视程序，因此会出现不同的CRC运算结果。

备注 高速CRC与通用CRC的操作结果是不一样的，因为通用CRC是优先从LSB开始执行的。

<控制寄存器>

(1) 闪存CRC控制寄存器 (CRC0CTL)

该寄存器用于控制高速CRC ALU的操作，同时用于指定操作范围。

使用1位或8位存储器操作指令设置CRC0CTL寄存器。

产生复位信号后，该寄存器被清除为00H。

图 20 - 1 闪存CRC控制寄存器 (CRC0CTL)的格式

| | | | | | | | | |
|------------|----------|------------------|------|------|------|------|------------------------|------|
| 地址: F02F0H | 复位后: 00H | R/W | | | | | | |
| 符号 | <7> | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CRC0CTL | CRC0EN | 0 | FEA5 | FEA4 | FEA3 | FEA2 | FEA1 | FEA0 |
| | CRC0EN | 高速CRC ALU的操作控制 | | | | | | |
| | 0 | 停止操作。 | | | | | | |
| | 1 | 根据HALT命令的执行开始操作。 | | | | | | |
| | FEA5 | FEA4 | FEA3 | FEA2 | FEA1 | FEA0 | 高速CRC运算范围 | |
| | 0 | 0 | 0 | 0 | 0 | 0 | 00000H至3FFBH（16 K至4字节） | |
| | 0 | 0 | 0 | 0 | 0 | 1 | 00000H至7FFBH（32 K至4字节） | |
| | 其他 | | | | | | 禁止设置 | |

备注 将用于比较的预期CRC运算结果值输入闪存的最低4个字节。注意，运算范围将因此减少4个字节。

(2) 闪存CRC运算结果寄存器 (PGCRCL)

该寄存器用来存储高速CRC运算结果。
使用16位存储器操作指令设置PGCRCL寄存器。
产生复位信号后，该寄存器被清除为0000H。

图 20 - 2 闪存CRC运算结果寄存器 (PGCRCL) 的格式

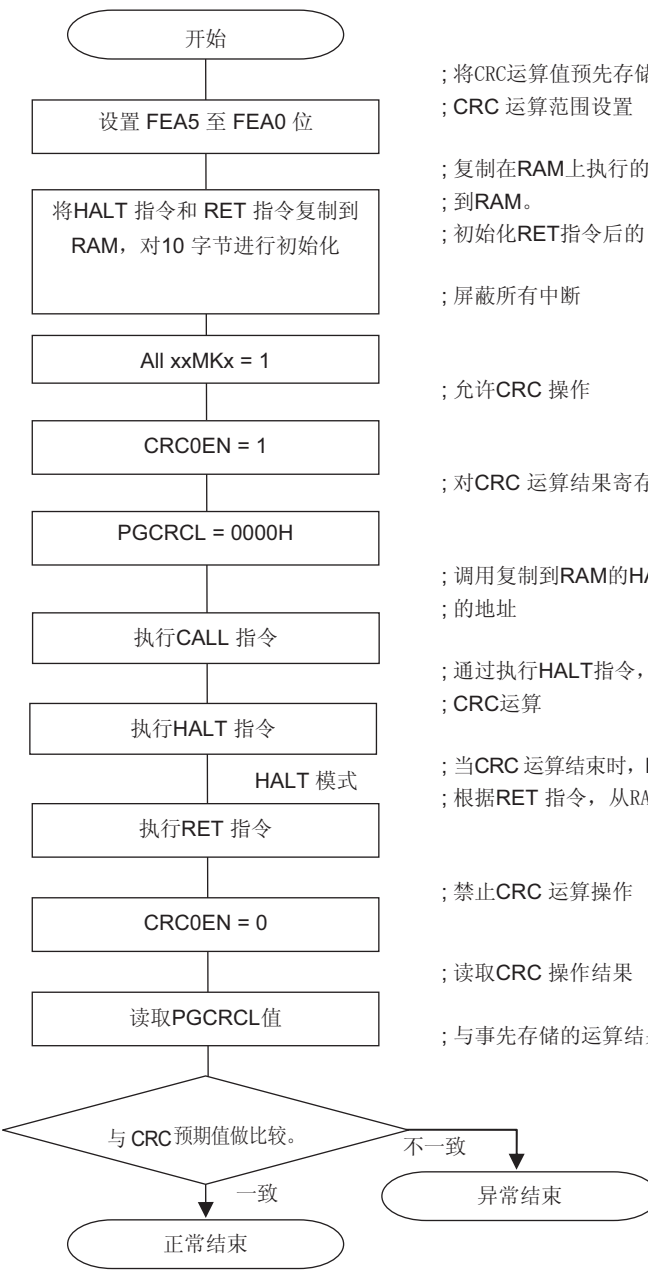
| | | | | | | | | |
|------------|-------------|------------|-------------|---------|---------|---------|--------|--------|
| 地址: F02F2H | | 复位后: 0000H | | R/W | | | | |
| 符号 | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
| PGCRCL | PGCRC15 | PGCRC14 | PGCRC13 | PGCRC12 | PGCRC11 | PGCRC10 | PGCRC9 | PGCRC8 |
| | | | | | | | | |
| | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| | PGCRC7 | PGCRC6 | PGCRC5 | PGCRC4 | PGCRC3 | PGCRC2 | PGCRC1 | PGCRC0 |
| | PGCRC15至0 | | 高速CRC运算结果 | | | | | |
| | 0000H至FFFFH | | 存储高速CRC运算结果 | | | | | |

注意事项 当CRC0EN（CRC0CTL寄存器的位7）= 1时，才可对PGCRCL寄存器执行写入操作。

闪存CRC运算功能（高速CRC）的流程图如图 20 - 3所示。

<操作流程>

图 20 - 3 闪存CRC运算功能（高速CRC）的流程图



- 注意事项 1. 仅对代码闪存执行CRC运算。
- 注意事项 2. 将预期CRC运算值存储于代码闪存内运算范围以后的区域。
- 注意事项 3. 在执行CRC运算时，不会执行引导交换。
- 注意事项 4. 通过在RAM区域执行HALT指令，CRC运算才能变为有效。
- 必须在RAM区域执行HALT指令。

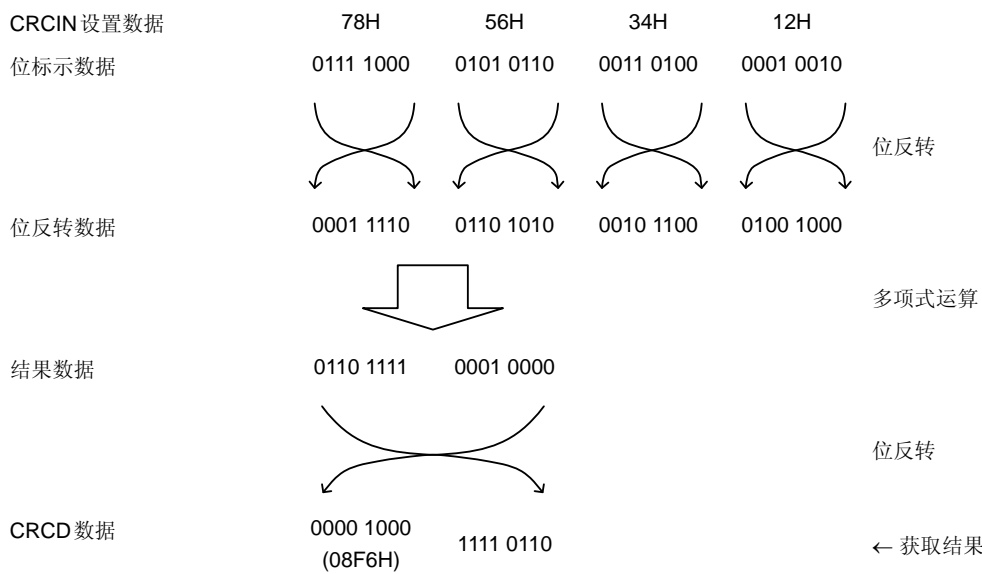
预期CRC值可以使用CubeSuite+开发环境等的工具来进行计算。（有关详情，请参阅CubeSuite+用户手册。）

20.3.2 CRC 运算功能（通用 CRC）

为了保证操作过程中的安全，即使在 CPU 运行时 IEC61508 标准也要求检验数据。

在 μPD79F7027, μPD79F7028 中，可以在 CPU 运行时，把通用 CRC 运算当作外围功能来执行。通用 CRC 用于检验代码闪存区域以外的各种数据。待检验的数据可通过软件（用户创建的程序）来指定。

所用的生成 CRC 的多项式为 CRC-16-CCITT 的“ $X^{16} + X^{12} + X^5 + 1$ ”。待输入的数据按位反转，然后进行计算以支持 LSB 优先的通信。例如，如果从 LSB 发送数据 12345678H，则写入 CRCIN 寄存器的值的顺序为 78H、56H、34H 和 12H，结果可从 CRCD 寄存器获取值 08F6H。这是针对将数据 12345678H 的位的排序反转后的位行（如下所示）执行 CRC 运算所获得的结果。



<控制寄存器>

(1) CRC 输入寄存器 (CRCIN)

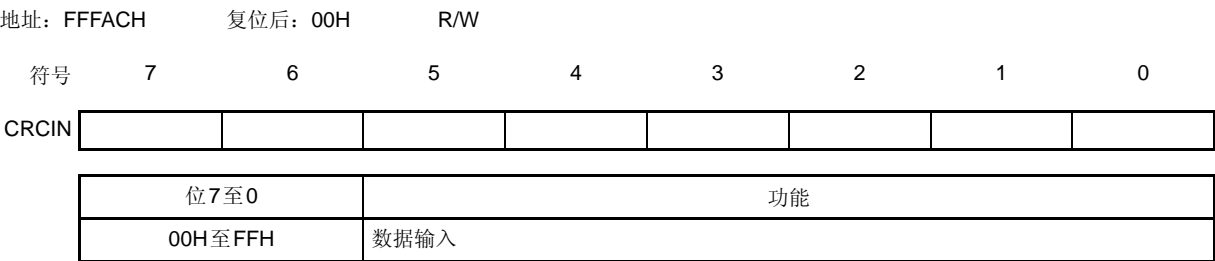
CRCIN 寄存器是设置通用 CRC 的 CRC 计算数据的 8 位寄存器。

可设置的范围为 00H 至 FFH。

使用 8 位存储器操作指令设置 CRCIN 寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 20 - 4 CRC 输入寄存器 (CRCIN) 的格式



(2) CRC 数据寄存器 (CRCD)

该寄存器用来存储通用CRC运算结果。

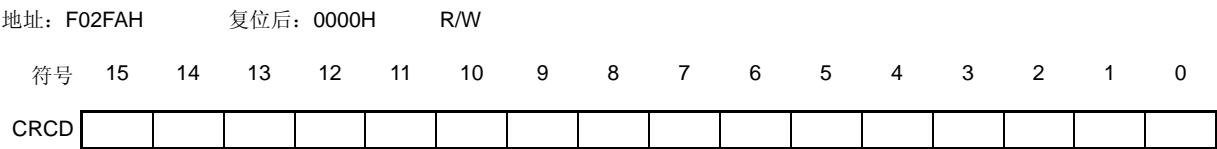
可设置的范围为 0000H 至 FFFFH。

从对 CRCIN 寄存器执行写入操作的时间开始经过 1 个 CPU/外围硬件时钟(fCLK)的时钟周期之后，CRC 运算结果存储到 CRCD 寄存器中。

使用 16 位存储器操作指令设置 CRCD 寄存器。

产生复位信号后，该寄存器被清除为 0000H。

图 20 - 5 CRC 数据寄存器 (CRCD) 的格式

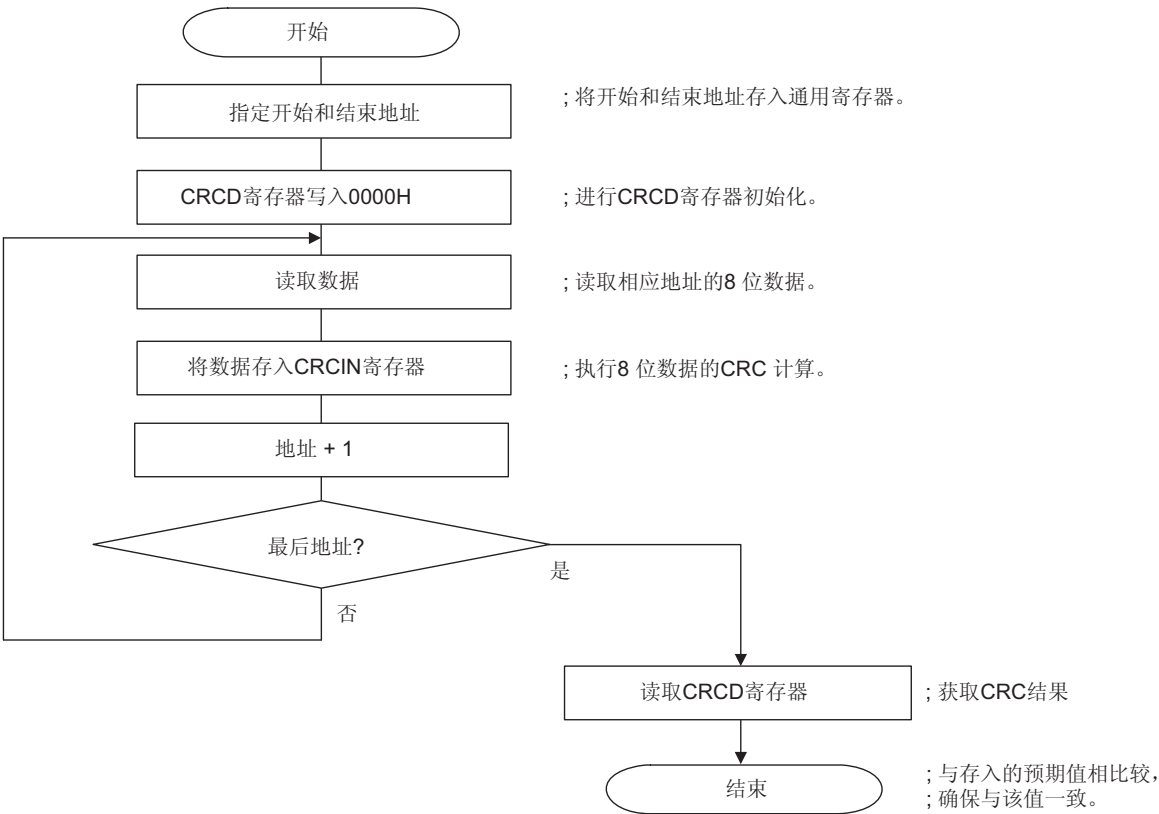


注意事项 1. 在写入 **CRCIN** 寄存器之前，须读取写入 **CRCD** 寄存器的值。

注意事项 2. 如果向 **CRCD** 寄存器进行写入和存储运算结果发生冲突，则写入操作无效。

<操作流程>

图 20 - 6 CRC 运算功能（通用CRC）



20.3.3 RAM 奇偶校验错误检测功能

IEC60730 标准要求对 RAM 数据进行检验。因而，对 μPD79F7027, μPD79F7028 的 RAM 中的所有 8 位数据，都会添加由一个位构成的奇偶校验位。使用这个 RAM 奇偶校验错误检测功能，该奇偶校验位在写入数据时将被附加上去，并在读取数据时对该奇偶检验位进行检验。这个功能可以在发生奇偶校验错误时引起复位。

<控制寄存器>

• RAM 奇偶校验错误控制寄存器 (RPECTL)

该寄存器用来控制奇偶校验错误的发生检查位和因奇偶校验错误而导致的产生复位。

使用 1 位或 8 位存储器操作指令设置 RPECTL 寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 20 - 7 RAM 奇偶校验错误控制寄存器 (RPECTL) 的格式

| | | | | | | | | |
|------------|----------|--------------|---|---|---|---|---|------|
| 地址: F00F5H | 复位后: 00H | R/W | | | | | | |
| 符号 | <7> | 6 | 5 | 4 | 3 | 2 | 1 | <0> |
| RPECTL | RPERDIS | 0 | 0 | 0 | 0 | 0 | 0 | RPEF |
| | RPERDIS | 奇偶校验错误复位屏蔽标志 | | | | | | |
| | 0 | 允许奇偶校验错误产生复位 | | | | | | |
| | 1 | 禁止奇偶校验错误产生复位 | | | | | | |
| | RPEF | 奇偶校验错误状态标志 | | | | | | |
| | 0 | 没有发生奇偶校验错误 | | | | | | |
| | 1 | 已发生奇偶校验错误 | | | | | | |

注意事项 由于执行流水操作，CPU 会执行预取，所以 CPU 可能读取分配至所用 RAM 之外的未初始化的 RAM 区域，以至于产生 RAM 奇偶校验错误。

因此，允许产生 RAM 奇偶校验错误复位 (RPERDIS = 0) 时，必须对所用 RAM 区域 + 10 字节的区域进行初始化。当允许 RAM 奇偶校验错误复位 (RPERDIS = 0)，且使用自编程功能时，必须在重写前对“待重写的 RAM 区域 + 10 字节”的区域进行初始化。

通过指令读取的数据受奇偶校验错误检测的影响。

备注 1. RAM 奇偶校验一直启用，并且可通过检查 RPEF 标志来确认其结果。

备注 2. 初始状态下允许奇偶校验错误产生复位 (RPERDIS = 0)。

即使设置为禁止奇偶校验错误产生复位 (RPERDIS = 1)，发生奇偶校验错误时 RPEF 标志会被置位 (1)。

备注 3. 因 RAM 奇偶校验错误 RPEF 标志被置位 (1)，并通过写入 0 或任何复位源清零 (0)。

当 RPEF = 1 时，即使读取的是未发生奇偶校验错误的 RAM，也会保留值。

20.3.4 RAM 保护功能

为了保证操作过程中的安全，即使在 CPU 停止运行时 IEC61508 标准也要求保护存储于 RAM 的重要数据。
这个 RAM 保护功能用来保护指定的存储器空间的数据。
若设为 RAM 保护功能，则写入指定的 RAM 空间变为无效，但可以照常从此空间读出。

- <控制寄存器>
- 非法存储器存取检测控制寄存器 (IAWCTL)
该寄存器用来控制非法存储器存取的检测和 RAM/SFR 保护功能。
RAM 保护功能使用 GRAM1 和 GRAM0 位。
使用 8 位存储器操作指令设置 IAWCTL 寄存器。
产生复位信号后，该寄存器被清除为 00H。

图 20 - 8 非法存储器存取检测控制寄存器 (IAWCTL) 的格式

| | | | | | | | | |
|------------|----------|-------|---------------------|-------|---|-------|------|------|
| 地址: F0078H | 复位后: 00H | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| IAWCTL | IAWEN | 0 | GRAM1 | GRAM0 | 0 | GPORT | GINT | GCSC |
| | GRAM1 | GRAM0 | RAM 保护空间注 | | | | | |
| | 0 | 0 | 无效。可以写入 RAM。 | | | | | |
| | 0 | 1 | 从低 RAM 地址开始的 128 字节 | | | | | |
| | 1 | 0 | 从低 RAM 地址开始的 256 字节 | | | | | |
| | 1 | 1 | 从低 RAM 地址开始的 512 字节 | | | | | |

注 RAM 的起始地址因所用产品装载的 RAM 大小而异。（请参阅图 20 - 10）。
通用寄存器区（FFEE0H 至 FFEFFH）将不受保护。

20.3.5 SFR 保护功能

为了保证操作过程中的安全，即使在 CPU 停止运行时 IEC61508 标准也要求保护重要的 SFR，使其免遭重写。
SFR 保护功能用来保护端口功能，中断功能，时钟控制功能，电压检测电路和 RAM 奇偶校验错误检测功能的控制寄存器的数据。
若设为 SFR 保护功能，则写入被保护的 SFR 变为无效，但可以照常进行读出。

- <控制寄存器>
- 非法存储器存取检测控制寄存器 (IAWCTL)
该寄存器用来控制非法存储器存取的检测和 RAM/SFR 保护功能。
SFR 保护功能使用 GPORT、GINT 和 GCSC 位。
使用 8 位存储器操作指令设置 IAWCTL 寄存器。
产生复位信号后，该寄存器被清除为 00H。

图 20 - 9 非法存储器存取检测控制寄存器 (IAWCTL) 的格式

地址: F0078H

复位后: 00H

R/W

| | | | | | | | | |
|--------|-------|---|-------|-------|---|-------|------|---------------------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| IAWCTL | IAWEN | 0 | GRAM1 | GRAM0 | 0 | GPORT | GINT | GCSC ^{注 2} |

| | |
|-------|---|
| GPORT | 端口功能的控制寄存器的保护 |
| 0 | 无效。可读出或写入端口功能的控制寄存器。 |
| 1 | 有效。写入端口功能的控制寄存器为无效。读出为有效。 [被保护的SFR] PMxx、PUxx、PIMxx、POMxx、PMCxx、ADPC、PIOR ^{注 1} |

| | |
|------|---|
| GINT | 中断功能的寄存器的保护 |
| 0 | 无效。可读出或写入中断功能的寄存器。 |
| 1 | 有效。写入中断功能的寄存器为无效。读出为有效。 [被保护的SFR] IFxx、MKxx、PRxx、EGPx、EGNx |

| | |
|---------------------|---|
| GCSC ^{注 2} | 时钟控制功能，电压检测电路和RAM奇偶校验错误检测功能的控制寄存器的保护 |
| 0 | 无效。可读出或写入时钟控制功能、电压检测电路和RAM奇偶校验错误检测功能的控制寄存器。 |
| 1 | 有效。写入时钟控制功能、电压检测电路和RAM奇偶校验错误检测功能的控制寄存器为无效。读出为有效。 [被保护的SFR] CMC、CSC、OSTS、CKC、PERx、OSMC、LVIM、LVIS、RPECTL |

注 1. Pxx（端口寄存器）不被保护。
注 2. 在自编程时，清除 GCSC 位为 0。

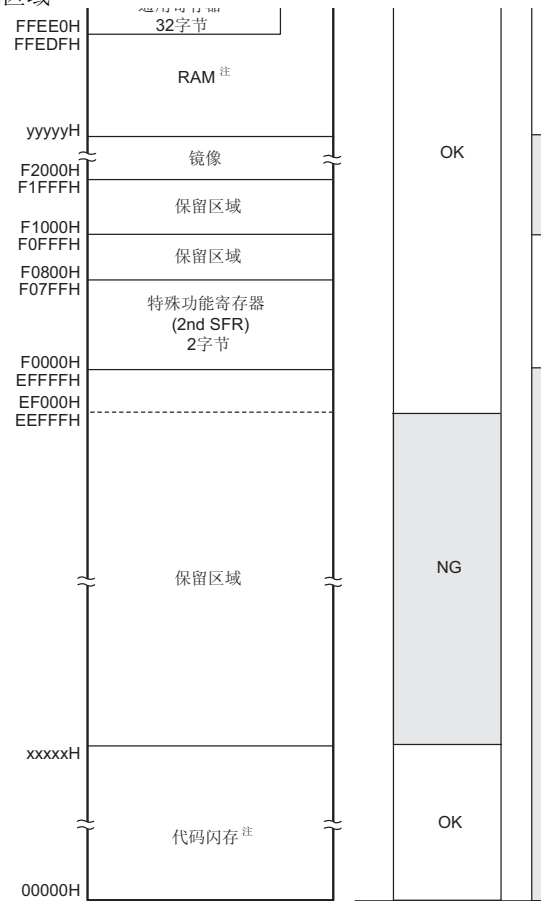
20.3.6 无效存储器存取检测功能

IEC60730标准要求检验CPU和中断均工作正常。

如果对指定为禁止存取的存储器空间进行存取，则非法存储器存取检测功能将触发复位。

非法存储器存取检测功能适用于图 20 - 10中表示为NG的区域。

图 20 - 10 非法存取检测区域



注 各产品的代码闪存和RAM地址如下所示。

| 产品 | 代码闪存 (00000H至xxxxxH) | RAM (yyyyyH至FFEFFH) |
|------------|-----------------------------|---------------------------|
| μPD79F7027 | 16384 × 8位 (00000H至03FFFFH) | 2560 × 8位 (FF500H至FFEFFH) |
| μPD79F7028 | 32768 × 8位 (00000H至07FFFFH) | 4096 × 8位 (FEF00H至FFEFFH) |

- <控制寄存器>
- 非法存储器存取检测控制寄存器 (IAWCTL)
该寄存器用来控制非法存储器存取的检测和RAM/SFR保护功能。
非法存储器存取检测功能使用IAWEN位。
使用8位存储器操作指令设置IAWCTL寄存器。
产生复位信号后，该寄存器被清除为00H。

图 20 - 11 非法存储器存取检测控制寄存器 (IAWCTL) 的格式

| | | | | | | | | |
|------------|--------------------|--------------|-------|-------|---|-------|------|------|
| 地址: F0078H | 复位后: 00H | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| IAWCTL | IAWEN ^注 | 0 | GRAM1 | GRAM0 | 0 | GPORT | GINT | GCSC |
| | IAWEN ^注 | 非法存储器存取的检测控制 | | | | | | |
| | 0 | 非法存储器存取的检测无效 | | | | | | |
| | 1 | 非法存储器存取的检测有效 | | | | | | |

注 只能向IAWEN位写入1，而不是在将其设为1之后向其写入0。

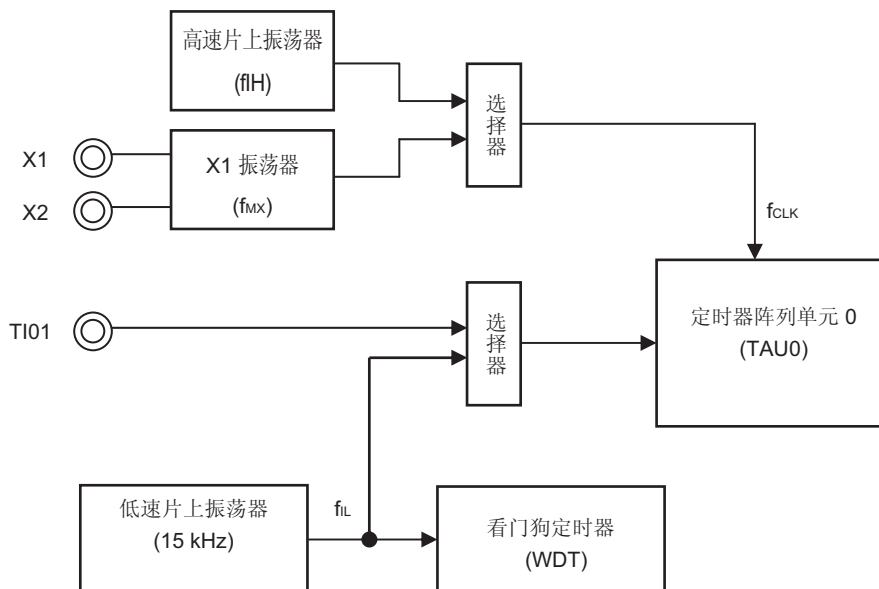
备注 若将选项字节指定为WDTON = 1，则将始终启用非法存储器存取功能，不受IAWEN位的设置的影响。（有关详情，请参阅第 22 章 选项字节。）

20.3.7 频率检测功能

IEC60730 标准要求检验振荡频率正常。

频率检测功能可以检测时钟的工作频率是否异常，方法是将高速片上振荡器时钟或外部 X1 振荡电路时钟与低速片上振荡器时钟 (15 kHz) 进行比较。

图 20 - 12 频率检测功能的配置



<操作概述>

可以通过在以下条件下测量脉冲宽度来判断时钟频率是否正确：

- 高速片上振荡器时钟 (fIH) 或外部 X1 振荡电路时钟 (fMX) 选为 CPU/外围硬件时钟 (fCLK)。
- 将低速片上振荡电路时钟 (fIL: 15 kHz) 选为定时器阵列单元 0 (TAU0) 通道 1 的定时器输入。

如果脉冲宽度测量得到异常值，则可得出结论认为，时钟频率异常。

若要了解如何执行脉冲宽度测量，请参阅 6.7.4 作为输入脉冲间隔测量的操作。

<控制寄存器>

• 定时器输入选择寄存器0 (TIS0)

该寄存器用于选择通道1的定时器输入。

通过将低速片上振荡器时钟选为定时器输入，则可测量其脉冲宽度，以确定低速片上振荡器时钟与定时器工作时钟之间的比例关系是否正确。

使用8位存储器操作指令设置TIS0寄存器。

产生复位信号后，该寄存器被清除为00H。

图 20 - 13 定时器输入选择寄存器0 (TIS0) 的格式

地址: F0074H

复位后: 00H

R/W

| | | | | | | | | |
|------|---|---|---|-------|---|-------|-------|-------|
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| TIS0 | 0 | 0 | 0 | TIS04 | 0 | TIS02 | TIS01 | TIS00 |

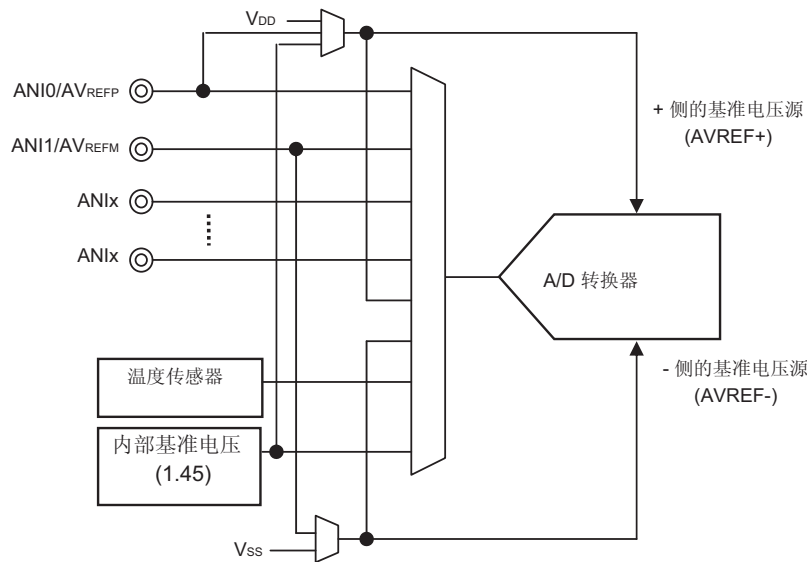
| | |
|-------|--------------------|
| TIS04 | 选择通道0使用的定时器输入 |
| 0 | 定时器输入引脚(TI00)的输入信号 |
| 1 | ELC的事件输入信号 |

| | | | |
|-------|-------|-------|--------------------|
| TIS02 | TIS01 | TIS00 | 选择通道1使用的定时器输入 |
| 0 | 0 | 0 | 定时器输入引脚(TI01)的输入信号 |
| 0 | 0 | 1 | ELC的事件输入信号 |
| 0 | 1 | 0 | 定时器输入引脚(TI01)的输入信号 |
| 0 | 1 | 1 | |
| 1 | 0 | 0 | 低速片上振荡器时钟(fIL) |
| 其他 | | | 禁止设置 |

20.3.8 A/D 测试功能

IEC60730 标准要求对 A/D 转换器进行测试。A/D 测试功能用于检验 A/D 转换器是否工作正常，方法是对 0V 内部电压、AVREF 电压和内部基准电压 (1.45 V) 执行 A/D 转换。

图 20 - 14 A/D 测试功能的配置



<控制寄存器>

(1) A/D 测试寄存器 (ADTES)

该寄存器用于将 A/D 转换器的 + 端的基准电压 AVREFP、A/D 转换器的 - 端的基准电压 AVREFM 或模拟输入通道 (ANIxx) 选为 A/D 转换的目标。

使用 A/D 测试功能时，指定以下的设置：

- 在转换内部 0 V 电压时，将 AVREFM 选为 A/D 转换的目标。
- 在转换 AVREF 时，将 AVREFP 选为 A/D 转换的目标。

使用 8 位存储器操作指令设置 ADTES 寄存器。

产生复位信号后，该寄存器被清除为 00H。

图 20 - 15 A/D 测试寄存器 (ADTES) 的格式

| | | | | | | | | | |
|-----------|---|---------|---|--|---|---|--------|--------|--|
| 地址：F0013H | | 复位后：00H | | R/W | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 | |
| ADTES | 0 | 0 | 0 | 0 | 0 | 0 | ADTES1 | ADTES0 | |
| | | | | | | | | | |
| ADTES1 | | ADTES0 | | A/D转换目标 | | | | | |
| 0 | | 0 | | ANlxx/温度传感器输出注/内部基准电压(1.45 V) 注 (由模拟输入通道选择寄存器(ADS)来指定。) | | | | | |
| 1 | | 0 | | AVREFM | | | | | |
| 1 | | 1 | | AVREFP | | | | | |
| 其他 | | 禁止设置 | | | | | | | |

注 温度传感器输出/内部基准电压 (1.45 V) 仅限在 HS（高速主）模式下使用。

(2) 模拟输入通道选择寄存器 (ADS)

该寄存器用于指定即将执行 A/D 转换的模拟电压的输入通道。

测量 ANI_{xx}/温度传感器输出/内部基准电压 (1.45 V) 时, 将 A/D 测试寄存器 (ADTES) 设置为 00H。

使用 1 位或 8 位存储器操作指令设置 ADS 寄存器。

产生复位信号后, 该寄存器被清除为 00H。

图 20 - 16 模拟输入通道选择寄存器 (ADS) 的格式

地址: FFF31H 复位后: 00H R/W

符号 7 6 5 4 3 2 1 0

| | | | | | | | | |
|-----|-------|---|---|------|------|------|------|------|
| ADS | ADISS | 0 | 0 | ADS4 | ADS3 | ADS2 | ADS1 | ADS0 |
|-----|-------|---|---|------|------|------|------|------|

○选择模式 (ADMD = 0)

| ADISS | ADS4 | ADS3 | ADS2 | ADS1 | ADS0 | 模拟输入通道 | 输入源 |
|-------|------|------|------|------|------|--------|--------------------------------|
| 0 | 0 | 0 | 0 | 0 | 0 | ANI0 | P20/ANI0/AVREFP 引脚 |
| 0 | 0 | 0 | 0 | 0 | 1 | ANI1 | P21/ANI1/AVREFM 引脚 |
| 0 | 0 | 0 | 0 | 1 | 0 | ANI2 | P22/ANI2 引脚 |
| 0 | 0 | 0 | 0 | 1 | 1 | ANI3 | P23/ANI3 引脚 |
| 0 | 1 | 0 | 0 | 0 | 0 | ANI16 | P01/ANI16 引脚 |
| 0 | 1 | 0 | 0 | 0 | 1 | ANI17 | P00/ANI17 引脚 |
| 0 | 1 | 0 | 0 | 1 | 0 | ANI18 | P147/ANI18 引脚 |
| 0 | 1 | 0 | 0 | 1 | 1 | ANI19 | P120/ANI19 引脚 |
| 1 | 0 | 0 | 0 | 0 | 0 | — | 温度传感器的输出 ^注 |
| 1 | 0 | 0 | 0 | 0 | 1 | — | 内部基准电压输出 (1.45 V) ^注 |
| 其他 | | | | | | 禁止设置 | |

注 此设置仅能在 HS (高速主) 模式下使用。

注意事项 1. 必须将位 5 和位 6 清除为 0。

注意事项 2. 仅在停止 A/D 电压比较器操作时 (即当 A/D 转换器模式寄存器 0 (ADM0) 的 ADCE 位为 0 时) 可以改写 ADISS 位的值。

注意事项 3. 如果使用 AVREFP 作为 A/D 转换器的 + 侧基准电压源, 则不得选择 ANI0 作为 A/D 转换通道。

注意事项 4. 如果使用 AVREFM 作为 A/D 转换器的 - 侧基准电压源, 则不得选择 ANI1 作为 A/D 转换通道。

注意事项 5. 如果将 ADISS 设置为 1, 则不得将内部基准电压 (1.45 V) 用作 + 侧基准电压源。

20.3.9 输入/输出端口的数字输出信号电平检测功能

在 IEC60730 中，必须确认输入/输出功能正确运行。

通过使用输入/输出端口的数字输出信号电平检测功能，可以在端口被设置为输出模式（端口模式寄存器(PMm)中的 PMmn 位为 0）时读取该引脚的数字输出电平。

- <控制寄存器>
- 端口模式选择寄存器 (PMS)
- 该寄存器用于在端口为输出模式（端口模式寄存器(PMm)中的 PMmn 位为 0）时从输出锁存器电平或引脚输出电平中选择输出电平。
- 使用 1 位或 8 位存储器操作指令设置该寄存器。
- 产生复位信号后，这些寄存器被清除为 00H。

图 20 - 17 端口模式选择寄存器 (PMS) 的格式

| | | | | | | | | |
|------------|----------------------------------|-----|---|---|---|---|---|------|
| 地址: F007BH | 复位后: 00H | R/W | | | | | | |
| 符号 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| PMS | 0 | 0 | 0 | 0 | 0 | 0 | 0 | PMS0 |
| PMS0 | 选择端口为输出模式 (PMmn = 0) 时读取的输出电平的方法 | | | | | | | |
| 0 | 读取 Pmn 寄存器的值。 | | | | | | | |
| 1 | 读取引脚的数字输出电平 | | | | | | | |
| 备注 | m = 0 至 7、12、14 n = 0 至 7 | | | | | | | |

第 21 章 稳压器

21.1 稳压器的概述

μPD79F7027, μPD79F7028 内置了一个可使器件内部以恒定电压操作的电路。此时，为了稳定稳压器输出电压，须通过一个电容（0.47 至 1 μF）将 REGC 引脚连接至 Vss。由于其作用是稳定内部电压，因此，请使用优质电容。

稳压器输出电压，请参阅表 21 - 1。

表 21 - 1 稳压器输出电压条件

| 模式 | 输出电压 | 条件 |
|-----------|-------|-------------------|
| LS（低速主）模式 | 1.8 V | — |
| HS（高速主）模式 | 1.8 V | STOP 模式时 |
| | 2.1 V | 上述以外（包括 OCD 模式时）注 |

注 当在片上调试期间，切换至 STOP 模式时，稳压器输出电压保持于 2.1 V（不会下降至 1.8 V）。

第 22 章 选项字节

22.1 选项字节的功能

μPD79F7027, μPD79F7028 的闪存的地址 000C0H 至 000C3H 为选项字节区域。

选项字节由用户选项字节 (000C0H 至 000C2H) 和片上调试选项字节 (000C3H) 构成。

上电或从复位的启动时, 将自动以一个选项字节为基准并设置指定的功能。在使用本产品时, 必须使用选项字节来设置以下功能。

若要在自编程过程中使用引导交换操作时, 由 010C0H 至 010C3H 与 000C0H 至 000C3H 替换。因此, 须将 010C0H 至 010C3H 设置为与 000C0H 至 000C3H 相同的值。

22.1.1 用户选项字节 (000C0H 至 000C2H/010C0H 至 010C2H)

(1) 000C0H/010C0H

- 看门狗定时器的操作
 - HALT 或 STOP 模式时的操作停止或启用
- 看门狗定时器的间隔时间的设置
- 看门狗定时器的操作
 - 操作停止或启用。
- 看门狗定时器的窗口开启期间的设置
- 看门狗定时器的间隔中断的设置
 - 使用或不使用

注意事项 在使用引导交换操作时, 由于 000C0H 与 010C0H 替换, 须将 010C0H 设置为与 000C0H 相同的值。

(2) 000C1H/010C1H

- 设置 LVD 操作模式
 - 中断 & 复位模式
 - 复位模式
 - 中断模式
- 设置 LVD 检测电平 (VLVDH、VLVDL、VLVD)

注意事项 在使用引导交换操作时, 由于 000C1H 与 010C1H 替换, 须将 000C1H 设置为与 010C1H 相同的值。

(3) 000C2H/010C2H

- Flash操作模式的设置
 - LS（低速主）模式
 - HS（高速主）模式
- 设置高速片上振荡电路的频率
 - 可从 1 MHz、4 MHz、8 MHz、12 MHz、16 MHz、24 MHz 和 48 MHz 中选择。

注意事项 使用引导交换操作时，由于**000C2H**与**010C2H**切换，须将**000C2H**设置为与**010C2H**相同的值。

22.1.2 片上调试选项字节(000C3H/ 010C3H)

- 片上调试操作控制
 - 禁止/允许片上调试操作
- 在片上调试安全ID验证失败时处理闪存数据
 - 在片上调试安全ID验证失败时闪存的数据将被擦除或不被擦除。

注意事项 在使用引导交换操作时，由于**000C3H**与**010C3H**切换，须将**000C3H**设置为与**010C3H**相同的值。

22.2 用户选项字节的格式

用户选项字节的格式如下所示。

图 22 - 1 用户选项字节(000C0H/010C0H)的格式

地址: 000C0H/010C0H^{注 1}

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|----------|--|------------------------------|---|-------|-------|-------|----------|
| WDTINT | WINDOW1 | WINDOW0 | WDTON | WDCS2 | WDCS1 | WDCS0 | WDSTBYON |
| | | | | | | | |
| WDTINT | 使用看门狗定时器的间隔中断 | | | | | | |
| 0 | 不使用间隔中断。 | | | | | | |
| 1 | 当达到溢出时间的 75% + 1/2f _{IL} 时产生间隔中断。 | | | | | | |
| | | | | | | | |
| WINDOW1 | WINDOW0 | 看门狗定时器的窗口开启期间 ^{注 2} | | | | | |
| 0 | 0 | 禁止设置 | | | | | |
| 0 | 1 | 50% | | | | | |
| 1 | 0 | 75% | | | | | |
| 1 | 1 | 100% | | | | | |
| | | | | | | | |
| WDTON | 看门狗定时器的计数器的操作控制 | | | | | | |
| 0 | 禁止计数器操作（复位后停止计数） | | | | | | |
| 1 | 允许计数器操作（复位后开始计数） | | | | | | |
| | | | | | | | |
| WDCS2 | WDCS1 | WDCS0 | 看门狗定时器的溢出时间 (f _{IL} = 17.25 kHz（最大值）) | | | | |
| 0 | 0 | 0 | 2 ⁶ /f _{IL} (3.71 ms) | | | | |
| 0 | 0 | 1 | 2 ⁷ /f _{IL} (7.42 ms) | | | | |
| 0 | 1 | 0 | 2 ⁸ /f _{IL} (14.84 ms) | | | | |
| 0 | 1 | 1 | 2 ⁹ /f _{IL} (29.68 ms) | | | | |
| 1 | 0 | 0 | 2 ¹¹ /f _{IL} (118.72 ms) | | | | |
| 1 | 0 | 1 | 2 ¹³ /f _{IL} (474.90 ms) | | | | |
| 1 | 1 | 0 | 2 ¹⁴ /f _{IL} (949.80 ms) | | | | |
| 1 | 1 | 1 | 2 ¹⁶ /f _{IL} (3799.19 ms) | | | | |
| | | | | | | | |
| WDSTBYON | 看门狗定时器的计数器的操作控制（HALT/STOP 模式） | | | | | | |
| 0 | HALT/STOP 模式时，停止计数器操作 ^{注 2} | | | | | | |
| 1 | HALT/STOP 模式时，允许计数器操作 | | | | | | |

注 1. 在使用引导交换操作时, 由于 000C0H 与 010C0H 替换, 须将 010C0H 设置为与 000C0H 相同的值。

注 2. 当 WDSTBYON = 0 时, 窗口开启周期为 100%, 与 WINDOW1 和 WINDOW0 位的值无关。

备注 _{fil}: 低速片上振荡器时钟频率

图 22 - 2 用户选项字节 (000C1H/010C1H) 的格式 (1/4)

地址：000C1H/010C1H^注

| | | | | | | | |
|-------|-------|-------|---|-------|-------|---------|---------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| VPOC2 | VPOC1 | VPOC0 | 1 | LVIS1 | LVIS0 | LVIMDS1 | LVIMDS0 |

• 中断&复位模式时的设置

| 检测电压 | | | 选项字节设置值 | | | | | | |
|--------|--------|--------|---------|---------|-------|-------|-------|-------|-------|
| VLVDH | | VLVDL | LVIMDS1 | LVIMDS0 | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 |
| 上升沿 | 下降沿 | 下降沿 | | | | | | | |
| 2.92 V | 2.86 V | 2.75 V | | | | | | | |
| 3.02 V | 2.96 V | | | | | | | | |
| 4.06 V | 3.98 V | | | | | | | | |
| 其他 | | | 禁止设置 | | | | | | |

注 在使用引导交换操作时，由于 000C1H 与 010C1H 替换，须将 000C1H 设置为与 010C1H 相同的值。

注意事项 1. 必须将位 4 设置为 “1”。

注意事项 2. 请在工作电压范围内设置检测电压 (VLVDL)。工作电压范围由选项字节 (000C2H/010C2H) 的设置而定。工作电压范围如下所示。

- HS（高速主）模式： VDD = 2.7 至 5.5 V@1 MHz 至 24 MHz
- LS（低速主）模式： VDD = 2.7 至 5.5 V@1 MHz 至 8 MHz

图 22 - 3 用户选项字节 (000C1H/010C1H) 的格式 (2/4)

地址：000C1H/010C1H注

| | | | | | | | |
|-------|-------|-------|---|-------|-------|---------|---------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| VPOC2 | VPOC1 | VPOC0 | 1 | LVIS1 | LVIS0 | LVIMDS1 | LVIMDS0 |

• 复位模式时的设置

| 检测电压 | | 选项字节设置值 | | | | | | |
|--------|--------|---------|---------|-------|-------|-------|-------|-------|
| VLVD | | LVIMDS1 | LVIMDS0 | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 |
| 上升沿 | 下降沿 | | | | | | | |
| 2.81 V | 2.75 V | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 2.92 V | 2.86 V | | | 0 | 1 | 1 | 1 | 0 |
| 3.02 V | 2.96 V | | | 0 | 1 | 1 | 0 | 1 |
| 3.13 V | 3.06 V | | | 0 | 0 | 1 | 0 | 0 |
| 3.75 V | 3.67 V | | | 0 | 1 | 0 | 0 | 0 |
| 4.06 V | 3.98 V | | | 0 | 1 | 1 | 0 | 0 |
| 其他 | | | 禁止设置 | | | | | |

注 在使用引导交换操作时，由于000C1H与010C1H替换，须将000C1H设置为与010C1H相同的值。

注意事项 1. 必须将位4设置为“1”。

注意事项 2. 请在工作电压范围内设置检测电压 (VLvD)。工作电压范围由选项字节 (000C2H/010C2H) 的设置而定。工作电压范围如下所示。

- HS（高速主）模式：VDD = 2.7 至 5.5 V@1 MHz至 24 MHz
- LS（低速主）模式：VDD = 2.7 至 5.5 V@1 MHz至 8 MHz

图 22 - 4 用户选项字节 (000C1H/010C1H) 的格式 (3/4)

地址：000C1H/010C1H^注

| | | | | | | | |
|-------|-------|-------|---|-------|-------|---------|---------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| VPOC2 | VPOC1 | VPOC0 | 1 | LVIS1 | LVIS0 | LVIMDS1 | LVIMDS0 |

• 中断模式时的设置

| 检测电压 | | 选项字节设置值 | | | | | | |
|--------|--------|---------|---------|-------|-------|-------|-------|-------|
| VLVD | | LVIMDS1 | LVIMDS0 | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 |
| 上升沿 | 下降沿 | | | | | | | |
| 2.81 V | 2.75 V | 0 | 1 | 0 | 1 | 1 | 1 | 1 |
| 2.92 V | 2.86 V | | | 0 | 1 | 1 | 1 | 0 |
| 3.02 V | 2.96 V | | | 0 | 1 | 1 | 0 | 1 |
| 3.13 V | 3.06 V | | | 0 | 0 | 1 | 0 | 0 |
| 3.75 V | 3.67 V | | | 0 | 1 | 0 | 0 | 0 |
| 4.06 V | 3.98 V | | | 0 | 1 | 1 | 0 | 0 |
| 其他 | | 禁止设置 | | | | | | |

注 在使用引导交换操作时，由于000C1H与010C1H替换，须将000C1H设置为与010C1H相同的值。

注意事项 1. 必须将位4设置为“1”。

注意事项 2. 请在工作电压范围内设置检测电压 (VLVD)。工作电压范围由选项字节 (000C2H/010C2H) 的设置而定。工作电压范围如下所示。

HS（高速主）模式： VDD = 2.7 至 5.5 V@1 MHz 至 24 MHz
LS（低速主）模式： VDD = 2.7 至 5.5 V@1 MHz 至 8 MHz

图 22 - 5 用户选项字节 (000C1H/010C1H) 的格式 (4/4)

地址: 000C1H/010C1H^注

| | | | | | | | |
|-------|-------|-------|---|-------|-------|---------|---------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| VPOC2 | VPOC1 | VPOC0 | 1 | LVIS1 | LVIS0 | LVIMDS1 | LVIMDS0 |

• LVD 关闭时

| 检测电压 | | 选项字节设置值 | | | | | | |
|------|-----|---------|---------|-------|-------|-------|-------|-------|
| VLVD | | LVIMDS1 | LVIMDS0 | VPOC2 | VPOC1 | VPOC0 | LVIS1 | LVIS0 |
| 上升沿 | 下降沿 | | | | | | | |
| — | — | 0/1 | 1 | 1 | × | × | × | × |
| 其他 | | 禁止设置 | | | | | | |

注 在使用引导交换操作时，由于 000C1H 与 010C1H 替换，须将 000C1H 设置为与 010C1H 相同的值。

注意事项 1. 必须将位 4 设置为 “1”。

注意事项 2. 当 LVD 关闭时，须执行外部复位。向 **RESET** 引脚输入一个 10 μs 或以上的低电平，以执行外部复位。要上电时执行外部复位，则须在上电前向 **RESET** 引脚输入一个低电平，并在电源电压处于工作电压范围内的期间，使该低电平保持至少 10 μs，然后输入一个高电平。上电后，在电源电压不处于工作电压范围内的期间，不得向 **RESET** 引脚输入高电平。工作电压范围由选项字节 (000C2H/010C2H) 的设置而定。工作电压范围如下所示。

HS（高速主）模式： VDD = 2.7 至 5.5 V@1 MHz 至 24 MHz
LS（低速主）模式： VDD = 2.7 至 5.5 V@1 MHz 至 8 MHz

备注 ×: 忽略

图 22 - 6 选项字节 (000C2H/010C2H) 的格式

地址：000C2H/010C2H^注

| | | | | | | | |
|--------|--------|---|---------|---------|---------|---------|---------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| CMODE1 | CMODE0 | 1 | FRQSEL4 | FRQSEL3 | FRQSEL2 | FRQSEL1 | FRQSEL0 |

| CMODE1 | CMODE0 | Flash 操作模式的设置 | | |
|--------|--------|---------------|------------|-------------|
| | | | 工作 频率范围 | 工作电压范围 |
| 1 | 0 | LS（低速主）模式 | 1 至 8 MHz | 2.7 至 5.5 V |
| 1 | 0 | HS（高速主）模式 | 1 至 24 MHz | 2.7 至 5.5 V |
| 其他 | | 禁止设置 | | |

| FRQSEL4 | FRQSEL3 | FRQSEL2 | FRQSEL1 | FRQSEL0 | 高速片上振荡器时钟的频率 | |
|---------|---------|---------|---------|---------|--------------|--------|
| | | | | | fHOCO | fIH |
| 1 | 0 | 0 | 0 | 0 | 48 MHz | 24 MHz |
| 0 | 0 | 0 | 0 | 0 | 24 MHz | 24 MHz |
| 0 | 1 | 0 | 0 | 1 | 16 MHz | 16 MHz |
| 0 | 0 | 0 | 0 | 1 | 12 MHz | 12 MHz |
| 0 | 1 | 0 | 1 | 0 | 8 MHz | 8 MHz |
| 0 | 1 | 0 | 1 | 1 | 4 MHz | 4 MHz |
| 0 | 1 | 1 | 0 | 1 | 1 MHz | 1 MHz |
| 其他 | | | | | 禁止设置 | |

注 使用引导交换操作时，由于 000C2H 与 010C2H 切换，须将 010C2H 设置为与 000C2H 相同的值。

22.3 片上调试选项字节的格式

片上调试选项字节的格式如下所示。

图 22 - 7 片上调试选项字节 (000C3H/010C3H) 的格式

地址：000C3H/010C3H^注

| | | | | | | | |
|----------|---|---|---|---|---|---|---------|
| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| OCDENSET | 0 | 0 | 0 | 0 | 1 | 0 | OCDERSD |

| | | |
|----------|---------|-------------------------------------|
| OCDENSET | OCDERSD | 片上调试操作控制 |
| 0 | 0 | 禁止片上调试操作 |
| 0 | 1 | 禁止设置 |
| 1 | 0 | 允许片上调试操作。 在片上调试安全ID验证失败时擦除闪存数据。 |
| 1 | 1 | 允许片上调试操作。 在片上调试安全ID验证失败时不擦除闪存数据。 |

注 在使用引导交换操作时，由于000C3H与010C3H切换，须将010C3H设置为与000C3H相同的值。

注意事项 仅限位7和0（OCDENSET和OCDERSD），可以指定值。
 必须将位6至位1设置为000010B。

备注 位3至位1的值在使用片上调试功能时将被重写，因此在设置后将变得不稳定。
 然而，请确保在设置时将位3至位1设为默认值（0、1和0）。

22.4 选项字节的设置

除通过描述源以外，用户选项字节和片上调试选项字节也可以通过编译器的连接器选项进行设置。设置时，使用连接器选项进行设置的内容优先，即使源中存在描述也是如此，如下所示。

以下为选项字节设置的软件描述示例。

| OPT | CSEG | OPT_BYTE | |
|-----|------|----------|--|
| | DB | 36H | ; 不使用看门狗定时器的间隔中断， ; 允许看门狗定时器操作， ; 看门狗定时器的窗口开启期间为50%， ; 看门狗定时器的溢出时间为 $2^9/f_{IL}$ ， ; HALT/STOP模式时，停止看门狗定时器操作 |
| | DB | 7AH | ; 给VLVDL选择2.75 V ; 给VLVDH选择2.92 V/2.86 V ; LVD操作模式选择中断&复位模式 |
| | DB | ADH | ; Flash操作模式选择LS（低速主）模式 高速片上振荡器频率选择1 MHz |
| | DB | 85H | ; 允许片上调试操作，不擦除闪存 数据（当安全ID验证失败时） |

当在自编程过程中使用引导交换功能时，由于000C0H至000C3H与010C0H至010C3H替换。因此，须按以下方式将010C0H至010C3H设置为与000C0H至000C3H相同的值。

| OPT2 | CSEG | 010C0H | |
|------|------|--------|--|
| | DB | 36H | ; 不使用看门狗定时器的间隔中断， ; 允许看门狗定时器操作， ; 看门狗定时器的窗口开启期间为50%， ; 看门狗定时器的溢出时间为 $2^9/f_{IL}$ ， ; HALT/STOP模式时，停止看门狗定时器操作 |
| | DB | 7AH | ; 给VLVDL选择2.75 V ; 给VLVDH选择2.92 V/2.86 V ; LVD操作模式选择中断&复位模式 |
| | DB | ADH | ; Flash操作模式选择LS（低速主）模式 高速片上振荡器频率选择1 MHz |
| | DB | 85H | ; 允许片上调试操作，不擦除闪存 数据（当安全ID验证失败时） |

注意事项 用汇编语言指定选项字节，将OPT_BYTE用作CSEG伪指令的重定位属性。若要将选项字节指定给010C0H至010C3H以使用引导交换功能，须使用重定位属性AT来指定一个绝对地址。

第 23 章 闪存

μPD79F7027, μPD79F7028 内置闪存，安装在电路板上时可对其执行程序的写入、擦除和重写。



- 闪存区域的编程方法，共有如下 3 种：
- 使用闪存编程器写入闪存（参阅 23.1）
 - 使用外部器件写入闪存（内置的 UART）（参阅 23.2）
 - 自编程（参阅 23.6）

23.1 使用闪存编程器写入闪存

下列专用闪存编程器用于将数据写入 μPD79F7027, μPD79F7028 的内部闪存。

- PG-FP5、FL-PR5
- E1 内部调试仿真器

通过专用的闪存编程器，可以板上或板外向闪存写入数据。

(1) 板上编程

闪存的内容可以在将 μPD79F7027, μPD79F7028 安装在目标系统之后改写。连接专用闪存编程器的连接器必须安装在目标系统中。

(2) 板外编程

在将 μPD79F7027, μPD79F7028 安装到目标系统之前，可以用一个专用编程适配器（FA 系列）将数据写入闪存。

备注 FL-PR5 和 FA 系列是 Naito Densei Machida Mfg.Co., Ltd 的产品。

表 23 - 1 μPD79F7027, μPD79F7028 和专用闪存编程器的连线表

| 专用闪存编程器的引脚配置 | | | | 引脚名称 | 引脚编号 | |
|-------------------|--------------|-------|-------------------|---------------|-------|-----------|
| | | | | | 30 引脚 | 32 引脚 |
| 信号名称 | | 输入/输出 | 引脚功能 | | SSOP | QFP (7x7) |
| PG-FP5、 FL-PR5 | E1 内部调试仿真器 | | | | | |
| — | TOOL0 | 输入/输出 | 发送/接收信号 | TOOL0/ P40 | 5 | 1 |
| SI/RxD | — | 输入/输出 | 发送/接收信号 | | | |
| SCK | — | 输出 | — | — | — | — |
| CLK | — | 输出 | — | — | — | — |
| — | <u>RESET</u> | 输出 | 复位信号 | <u>RESET</u> | 6 | 2 |
| /RESET | — | 输出 | | | | |
| FLMD0 | — | 输出 | 模式信号 | — | — | — |
| VDD | | 输入/输出 | VDD 电压生成/ 电源监视 | VDD | 12 | 8 |
| GND | | — | 接地 | VSS | 11 | 7 |
| | | | | REGC 注 | 10 | 6 |
| EMVDD | | — | TOOL0 引脚驱动电源 | VDD | 12 | 8 |

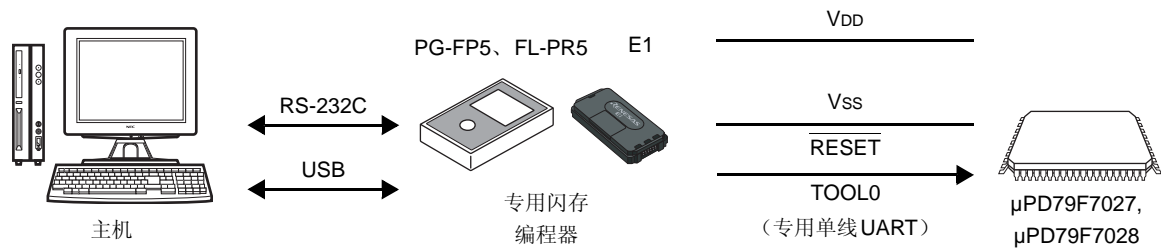
注 通过一个电容（默认：0.47 μF）将 REGC 引脚接地。

备注 在使用闪存编程器进行闪存编程时，上表未列出的引脚可以保持开路。

23.1.1 编程环境

将程序写入μPD79F7027, μPD79F7028 的闪存时所需环境如下所示。

图 23 - 1 将程序写入闪存时所需环境



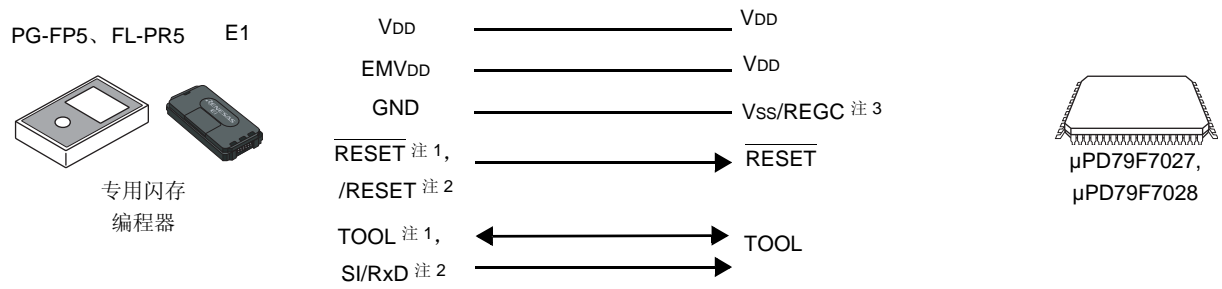
需要一台主机来控制专用闪存编程器。
作为专用闪存编程器与 μPD79F7027, μPD79F7028 之间的接口，通过专用的单线 UART 使用 TOOL0 引脚执行写入、擦除等操作。要板外写入闪存，需要用一个专用编程适配器（FA 系列）。

23.1.2 通信模式

专用闪存编程器与 μPD79F7027, μPD79F7028 之间的通信是使用 TOOL0 引脚通过 μPD79F7027, μPD79F7028 的专用单线 UART 以串行通信方式实现。

传送速率：1 M、500 k、250 k、115.2 kbps

图 23 - 2 与专用闪存编程器的通信



注 1. 使用 E1 片上调试仿真器时。
注 2. 使用 PG-FP5 或 FL-PR5 时。
注 3. 通过一个电容（默认：0.47 μF）将 REGC 引脚接地。

专用闪存编程器为 μPD79F7027, μPD79F7028 产生以下信号。有关详情，请参阅 PG-FP5、FL-PR5 或 E1 内部调试仿真器的手册。

表 23 - 2 引脚连接

| 专用闪存编程器 | | | | μPD79F7027, μPD79F7028 | |
|-------------------|---------------------------|-------|---------------|---------------------------|----|
| 信号名称 | | 输入/输出 | 引脚功能 | 引脚名称 | 连接 |
| PG-FP5、 FL-PR5 | E1 内部调试仿真器 | | | | |
| FLMD0 | — | 输出 | 模式信号 | — | × |
| VDD | | 输入/输出 | VDD 电压生成/电源监视 | VbD | ⊙ |
| GND | | — | 接地 | Vss, REGC 注 1 | ⊙ |
| EMVDD | | — | TOOL0 引脚驱动电源 | VDD | ⊙ |
| CLK | — | 输出 | 时钟输出 | — | × |
| /RESET | — | 输出 | 复位信号 | $\overline{\text{RESET}}$ | ⊙ |
| — | $\overline{\text{RESET}}$ | 输出 | | | |
| — | TOOL0 | 输入/输出 | 发送/接收信号 | TOOL0 | ⊙ |
| SI/RxD | — | 输入/输出 | 发送/接收信号 | | |
| SCK | — | 输出 | 传送时钟 | — | × |

注 1. 通过一个电容（默认：0.47 μF）将 REGC 引脚接地。

备注 ⊙：请务必连接此引脚。
 ×：不需要连接此引脚。

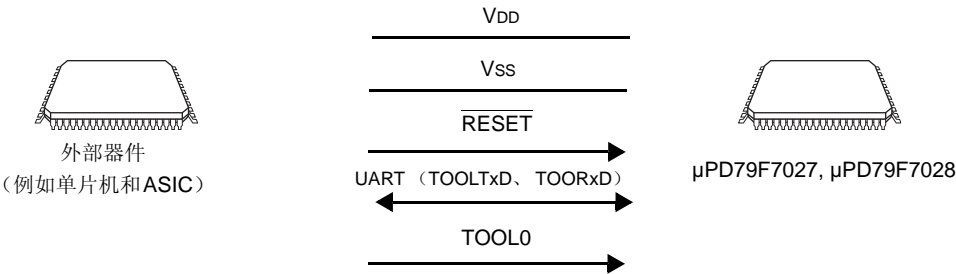
23.2 使用外部器件（内置 **UART**）写入闪存

使用 μPD79F7027, μPD79F7028 以及连接至 **UART** 的外部器件（单片机或 ASIC）可以实现对内部闪存的板上数据写操作。

23.2.1 编程环境

将程序写入 μPD79F7027, μPD79F7028 的闪存时所需环境如下所示。

图 23 - 3 将程序写入闪存时所需环境

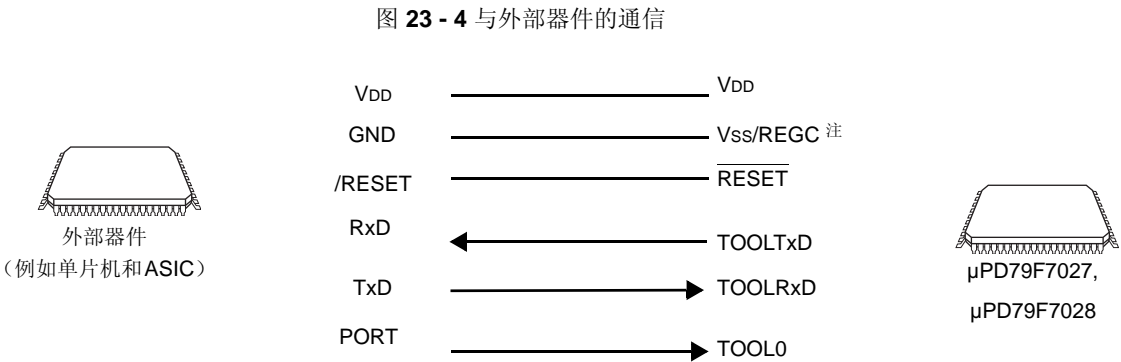


使用外部器件向 μPD79F7027, μPD79F7028 写入数据或从其中删除数据的处理是板上进行的。不能板外写入。

23.2.2 通信模式

外部器件与 μPD79F7027, μPD79F7028 之间的通信是使用 TOOLTxD 和 TOOLRxD 引脚通过 μPD79F7027, μPD79F7028 的专用 UART 以串行通信方式实现。

传送速率：1 M、500 k、250 k、115.2 kbps



注 通过一个电容（默认：0.47 μF）将 REGC 引脚接地。

外部器件针对 μPD79F7027, μPD79F7028 生成如下的信号。

表 23 - 3 引脚连接

| 外部器件 | | | μPD79F7027, μPD79F7028 | 连接 |
|----------|-------|---------------|------------------------|----|
| 信号名称 | 输入/输出 | 引脚功能 | 引脚名称 | |
| VDD | 输入/输出 | VDD 电压生成/电源监视 | VDD | ◎ |
| GND | — | 接地 | Vss, REGC 注 | ◎ |
| CLK | 输出 | 时钟输出 | — | × |
| RESETOUT | 输出 | 复位信号输出 | RESET | ◎ |
| RxD | 输入 | 接收信号 | TOOLTxD | ◎ |
| TxD | 输出 | 发送信号 | TOOLRxD | ◎ |
| PORT | 输出 | 模式信号 | TOOL0 | ◎ |
| SCK | 输出 | 传送时钟 | — | × |

注 通过一个电容（默认：0.47 μF）将 REGC 引脚接地。

备注 ◎：请必须连接此引脚。
×：不需要连接此引脚。

23.3 板上引脚连接

若要使用闪存编程器板上写入闪存，则目标系统上必须提供连接着专用闪存编程器的连接器。首先，电路板上要提供用于选择正常操作模式或闪存编程模式的功能。

当设置为闪存编程模式时，所有在闪存编程过程中未使用的引脚，其状态与复位后的瞬时状态相同。因此，如果外部器件未能在复位后立即识别出该状态，则必须按以下方式处理这些引脚。

23.3.1 P40/TOOL0 引脚

在闪存编程模式下，通过一个外部 1 kΩ 上拉电阻将该引脚连接至专用闪存编程器。

当该引脚用作端口时，须按以下方式使用该引脚。

用作输入引脚时：在引脚复位解除后，在 1 ms 之内禁止输入低电平。另外，当通过下拉电阻使用该引脚时，须使用 500 kΩ 或更大的电阻。

用作输出引脚时：当通过下拉电阻使用该引脚时，须使用 500 kΩ 或更大的电阻。

备注 SAU 引脚不用于 μPD79F7027, μPD79F7028 和专用闪存编程器之间的通信，因为使用的是单线 UART (TOOL0 引脚)。

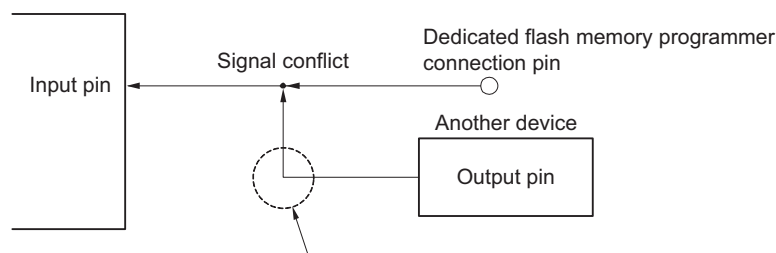
23.3.2 RESET 引脚

如果将专用闪存编程器和外部器件的复位信号连接至 $\overline{\text{RESET}}$ 引脚，而该引脚已经和板上的复位信号发生电路相连时，发生信号冲突。为避免这种冲突，须用复位信号发生电路隔离该连接。

在设置为闪存编程模式时，如果从用户系统输入复位信号，则不能对于闪存进行正确编程。不要输入专用闪存编程器和外部器件的复位信号之外的任何信号。

图 23 - 5 信号冲突 ($\overline{\text{RESET}}$ 引脚)

μPD79F7027, μPD79F7028



In the flash memory programming mode, a signal output by another device will conflict with the signal output by the dedicated flash memory programmer. Therefore, isolate the signal of another device.

23.3.3 端口

示例 在设置为闪存编程模式时，所有在闪存编程过程中未使用的引脚将进入与复位后的瞬时状态相同的状态。如果连接至端口的外部器件未能在复位后立即识别出端口状态，则必须通过一个电阻将端口连接至VDD或VSS。

23.3.4 REGC引脚

按照和正常操作相同的方式通过一个电容（0.47 至 1 μF）将 REGC 引脚连接至 GND。由于其作用是稳定内部电压，因此，请使用优质电容。

23.3.5 X1和X2引脚

和正常操作模式时相同的状态下连接X1和X2。

备注 在闪存编程模式下，使用高速片上振荡电路时钟(f_{IH})。

23.3.6 电源

若要使用闪存编程器的电源电压输出，须将VDD引脚连接至闪存编程器的VDD，并将VSS引脚连接至闪存编程器的GND。

若要使用板上电源电压，则须按正常操作模式连接。

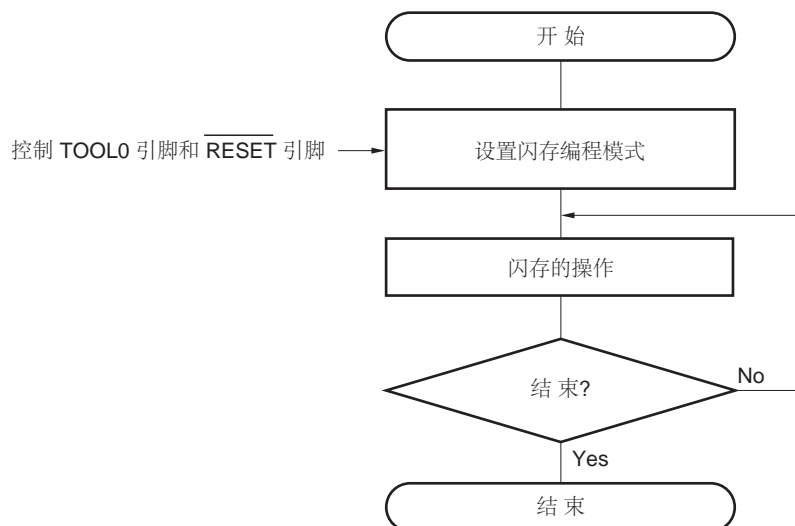
然而，在使用闪存编程器向闪存进行写操作，并采用板上电源电压时，必须将VDD和VSS引脚连接至闪存编程器的VDD和GND，以在闪存编程器上使用电源监控功能。

23.4 编程方法

23.4.1 闪存的控制

操作闪存的步骤，如下图所示。

图 23 - 6 闪存的操作步骤



23.4.2 闪存的编程模式

若要改写闪存的内容，须将 μPD79F7027, μPD79F7028 设置为闪存编程模式。若要进入该模式，须按以下方式设置。

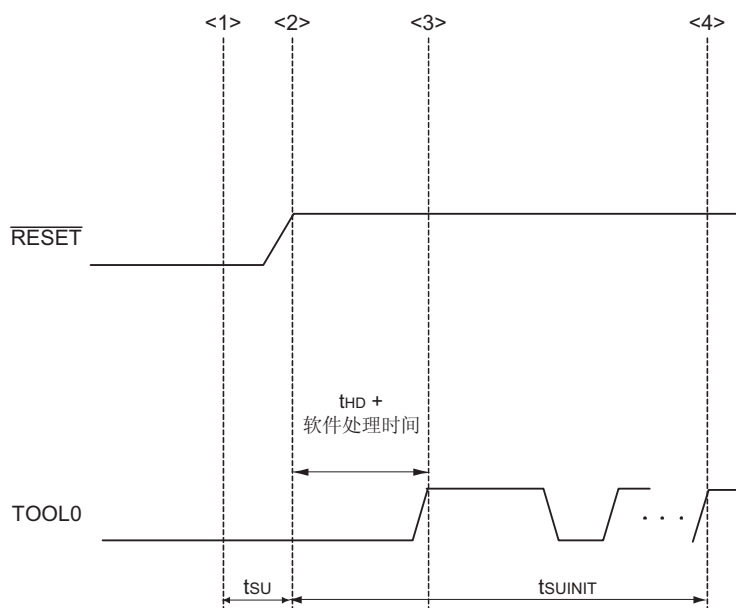
<使用专用闪存编程器进行编程时>

执行来自专用闪存编程器的通信，以自动切换到闪存编程模式。

<使用外部器件进行编程时>

将 TOOL0 引脚设置为低电平，然后解除复位。从复位结束到 1 ms + 软件处理结束的这段时间内，使 TOOL0 引脚保持低电平，然后使用 UART 通信发送来自外部器件的数据“00H”。在复位结束后的 100 ms 内完成 UART 通信。

图 23 - 7 设置闪存编程模式



<1>低电位输入到 TOOL0 引脚。

<2>引脚复位结束（必须在结束引脚复位之前结束 POR 和 LVD 复位）。

<3>将 TOOL0 引脚设置为高电位。

<4>通过 UART 接收设置闪存编程模式，并完成波特率设置。

备注 tsuINIT: 该段表示在解除外部和内部复位后须在 100 ms 内完成初始通信设置的指定。
 tsu: 从 TOOL0 引脚被设置为低电平到解除引脚复位的时间。
 tHD: 解除外部和内部复位后将 TOOL0 引脚保持为低电平的时间。

表 23 - 4 解除复位后 **TOOL0** 引脚和操作模式之间的关系

| TOOL0 | 操作模式 |
|-----------------|--------|
| V _{DD} | 正常操作模式 |
| 0 V | 闪存编程模式 |

有两种闪存编程模式，其可以写入、擦除或校验数据的电压范围不同。

表 23 - 5 编程模式和可以写入、擦除或校验数据的电压

| 模式 | 可以写入、擦除或校验数据的电压 |
|-------------------|-----------------|
| 全速模式 ^注 | 2.7 V 至 5.5 V |

注 仅限选项字节 000C2H 的 **CMODE1** 和 **CMODE0** 位等于 1 时，可以进行指定。

指定与写入数据所需电压范围相对应的模式。在使用专用闪存编程器编程时，依据 **GUI** 的电压设置自动选择模式。

备注 1. 同时使用宽电压模式和全速模式不会对写入、删除或验证形成限制。

备注 2. 有关通信命令的详情，请参阅 23.4.4 通信命令。

23.4.3 通信模式

μPD79F7027, μPD79F7028 的通信模式如下所示。

表 23 - 6 通信模式

| 通信模式 | 标准设置 ^{注 1} | | | | 使用引脚 |
|--------------------|---------------------|---|----|-----|----------------------|
| | 端口 | 速度 ^{注 2} | 频率 | 乘法率 | |
| 单线模式 (使用闪存编程器时) | UART | 115200 bps、 250000 bps、 500000 bps、 1 Mbps | — | — | TOOL0 |
| UART0 (使用外部器件时) | UART | 115200 bps、 250000 bps、 500000 bps、 1 Mbps | — | — | TOOLTxD、 TOOLRx D |

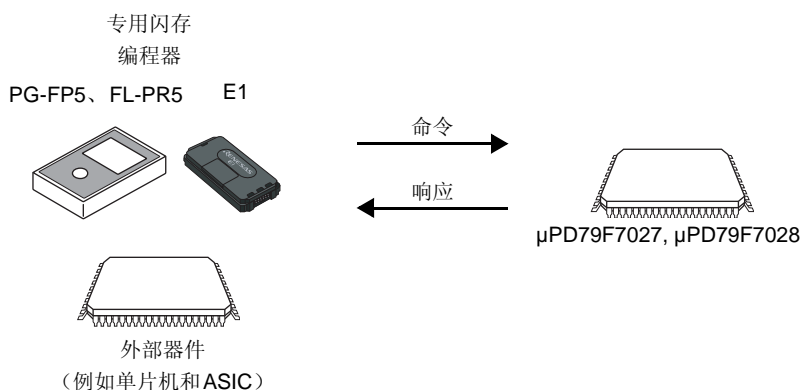
注 1. 闪存编程器的 **GUI** 标准设置的选择项目。

注 2. 由于波特率误差之外的因素（如信号波形失真）也会影响 **UART** 通信，因此要彻底评估失真和波特率误差。

23.4.4 通信命令

μPD79F7027, μPD79F7028 通过命令与专用闪存编程器或外部器件进行通信。从闪存编程器或外部器件发送至 μPD79F7027, μPD79F7028 的信号称为命令，从 μPD79F7027, μPD79F7028 发送至专用闪存编程器或外部器件的信号称为响应。

图 23 - 8 通信命令



μPD79F7027, μPD79F7028 的闪存控制命令列于下表之中。所有这些命令都来自编程器或外部器件，μPD79F7027, μPD79F7028 执行与各命令相对应的处理。

表 23 - 7 闪存控制命令

| 分类 | 命令名称 | 功能 |
|------|-------|--|
| 验证 | 验证 | 比较闪存中指定区域的内容和编程器发送的数据。 |
| 擦除 | 块擦除 | 擦除闪存的指定区域。 |
| 空白检查 | 块空白检查 | 检查闪存的指定块是否已被正确擦除 |
| 写入 | 编程 | 将数据写入闪存的指定区域。 |
| 获取信息 | 硅签字 | 获取 μPD79F7027, μPD79F7028 的信息（例如产品编号、闪存配置和编程固件版本）。 |
| | 校验和 | 获取指定区域的校验和数据。 |
| 安全 | 安全设置 | 设置安全信息。 |
| | 安全获取 | 获取安全信息。 |
| | 安全解除 | 解除写入禁止设置。 |
| 其他 | 复位 | 用于检测通信同步状态。 |
| | 波特率设置 | 选择 UART 通信模式时用于设置波特率。 |

对于专用闪存编程器或外部器件发出的命令，μPD79F7027, μPD79F7028 返回一个响应。从 μPD79F7027, μPD79F7028 发送出的响应名称如下表所示。

表 23 - 8 响应名称

| 响应名称 | 功能 |
|------|-------------|
| ACK | 确认命令/数据。 |
| NAK | 确认非法的命令/数据。 |

23.4.5 签名数据的说明

执行“硅签字”命令时，可以获取μPD79F7027, μPD79F7028信息（如产品编号、闪存配置、编程用固件版本）。

表 23 - 9 和 30-10 列出了签名数据列表和签名数据列表示例。

表 23 - 9 签名数据列表

| 字段名称 | 说明 | 传送数据的数量 |
|------------|---|---------|
| 器件代码 | 分配给该器件的序列号 | 3 字节 |
| 器件名称 | 器件名称（ASCII 码） | 10 字节 |
| 代码闪存区域最后地址 | 代码闪存区域的最后地址 （从低位地址发送。 示例：00000H 至 0FFFFH (64 KB) → FFH、1FH、00H） | 3 字节 |
| 数据闪存区域最后地址 | 数据闪存区域的最后地址 （从低位地址发送。 示例：F1000H 至 F1FFFH (4 KB) → FFH、1FH、0FH） | 3 字节 |
| 固件版本 | 编程固件版本信息 （从高位地址发送。 示例：从版本 1.23 → 01H、02H、03H） | 3 字节 |

表 23 - 10 签名数据列表

| 字段名称 | 说明 | 传送数据的数量 | 数据（十六进制） |
|------------|-----------------------------------|---------|--|
| 器件代码 | 序列号 | 3 字节 | 10 00 03 |
| 器件名称 | D79F7028 | 10 字节 | 44 = “D” 37 = “7” 39 = “9” 46 = “F” 37 = “7” 30 = “0” 32 = “2” 38 = “8” 20 = “ ” 20 = “ ” |
| 代码闪存区域最后地址 | 代码闪存区域 00000H 至 07FFFH (32 KB) | 3 字节 | FF 7F 00 |
| 数据闪存区域最后地址 | 数据闪存区域 无效 (0 KB) | 3 字节 | 00 00 00 |
| 固件版本 | 版本 1.23 | 3 字节 | 01 02 03 |

23.5 安全设置

μPD79F7027, μPD79F7028 支持安全功能，可以禁止对已经写入内部闪存的用户程序进行改写，因此，未经授权者不能更改程序。

以下所示操作可以使用安全设置命令来执行。安全设置在下个模式设置为编程模式时有效。

- 禁止块擦除

板上/板外编程过程中，禁止对闪存中指定块执行块擦除命令。然而，可以通过自编程方式擦除块。

- 禁止写入

板上/板外编程过程中，禁止对闪存的所有块执行写命令。然而，可以通过自编程方式写入块。

- 禁止改写引导群集0

在这种设置下，禁用对闪存的引导群集0（00000H至00FFFH）执行块擦除命令和写命令。

在闪存出厂时，默认允许块擦除、写命令和改写引导群集0。安全性可以通过板上/板外编程和自编程设置。各种安全设置均可组合使用。

表 23 - 11 显示了在允许μPD79F7027, μPD79F7028 安全功能时擦除命令与写命令之间的关系。

备注 若要在自编程过程中禁止写和擦除，须使用Flash屏蔽窗口功能（详情参阅23.6.2）。

表 23 - 11 允许安全功能与命令之间的关系

(1) 板上/板外编程时

| 有效的安全 | 执行的命令 | |
|-----------|------------|------------|
| | 块擦除 | 写入 |
| 禁止块擦除 | 不能擦除块。 | 可以执行。注 |
| 禁止写入 | 可以擦除块。 | 不能执行。 |
| 禁止改写引导群集0 | 不能擦除引导群集0。 | 不能写入引导群集0。 |

注 确认未向写区域写入数据。由于在禁用块擦除之后无法擦除数据，因此，如果尚未擦除数据，则不要写入数据。

(2) 自编程时

| 有效的安全 | 执行的命令 | |
|-----------|------------|------------|
| | 块擦除 | 写入 |
| 禁止块擦除 | 可以擦除块。 | 可以执行。 |
| 禁止写入 | | |
| 禁止改写引导群集0 | 不能擦除引导群集0。 | 不能写入引导群集0。 |

备注 若要在自编程过程中禁止写和擦除，须使用 Flash 屏蔽窗口功能（详情参阅 23.6.2）。

表 23 - 12 各编程模式下的安全设置

(1) 板上/板外编程

| 安全 | 安全设置 | 如何使安全设置无效 |
|-----------|---------------------|-------------|
| 禁止块擦除 | 使用专用闪存编程器的 GUI 等设置。 | 设置后无法设置为无效。 |
| 禁止写入 | | 执行安全解除命令。 |
| 禁止改写引导群集0 | | 设置后无法设置为无效。 |

注意事项 仅当安全设置为禁止块擦除、禁止改写引导群集0，且代码闪存区为空时，才可应用解除安全命令。

(2) 自编程

| 安全 | 安全设置 | 如何使安全设置无效 |
|-----------|-------------|---------------------------------|
| 禁止块擦除 | 使用闪存自编程库设置。 | 设置后无法设置为无效。 |
| 禁止写入 | | 在板上/板外编程时执行安全解除命令（自编程时无法设置为无效）。 |
| 禁止改写引导群集0 | | 设置后无法设置为无效。 |

23.6 通过自编程对闪存编程

μPD79F7027, μPD79F7028 支持自编程功能，用于通过用户程序改写闪存。由于该功能允许用户应用程序通过 μPD79F7027, μPD79F7028 自编程库改写闪存，因此可用该功能来现场升级程序。

注意事项 1.若要禁止在自编程过程中产生中断，就如正常操作模式一样，在 **IE** 标志由 **DI** 指令清除为 **(0)** 的状态下执行自编程库。若要允许中断，须将中断屏蔽标志清除为 **(0)**，使其处于 **IE** 标志由 **EI** 指令设置为 **(1)** 的状态，然后执行自编程库。

注意事项 2.当允许 **RAM** 奇偶校验错误复位 (**RPERDIS = 0**) 时，必须在重写前对所用 **RAM** 区 + **10** 字节的区域进行初始化。

备注 1. 有关自编程功能和μPD79F7027, μPD79F7028 自编程库的详情，请参阅**RL78**单片机自编程库**01**类用户手册 (**R01AN0350E**)。

备注 2. 有关执行自编程所需时间的详情，请参阅随闪存自编程库工具一起提供的使用笔记。

与使用闪存编程器写入数据时一样，有两种闪存编程模式，其可以写入、擦除或校验数据的电压范围不同。

表 23 - 13 编程模式和可以写入、擦除或校验数据的电压

| 模式 | 可以写入、擦除或校验数据的电压 | 写入时钟频率 |
|-------------------|-----------------|-------------|
| 全速模式 ^注 | 2.7 V至5.5 V | 16 MHz（最大值） |
| | 2.7 V至5.5 V | 24 MHz（最大值） |

注 仅限选项字节 000C2H 的 **CMODE1** 和 **CMODE0** 位等于 1 时，可以进行指定。

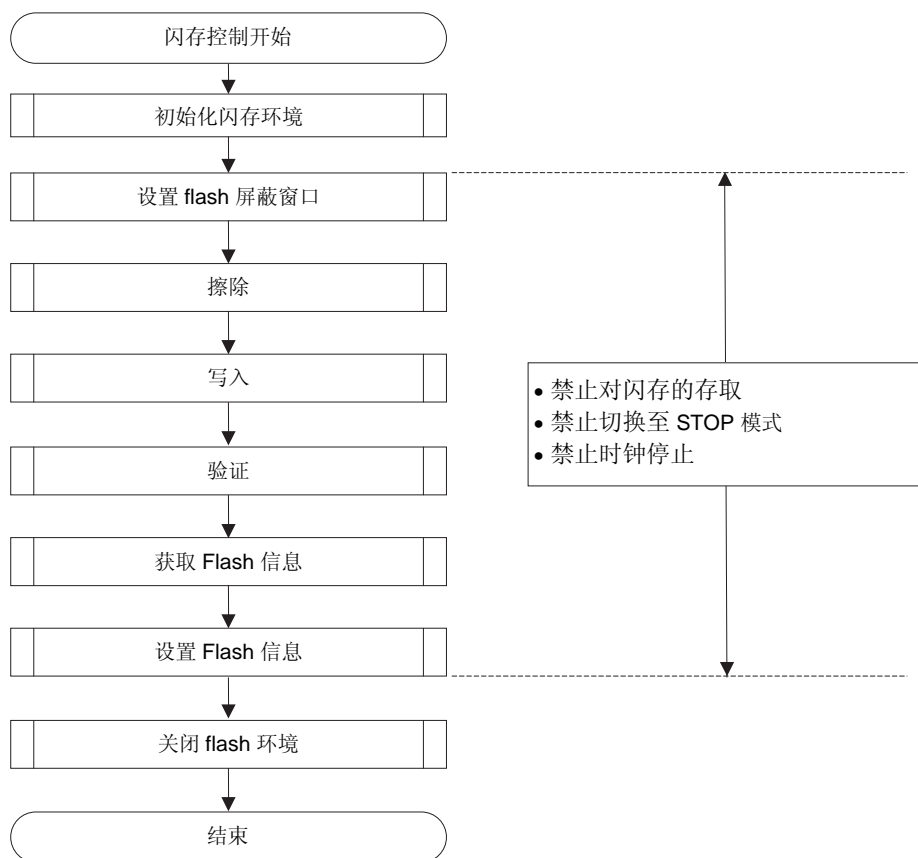
指定与写入数据所需电压范围相对应的模式。在执行瑞萨电子提供的自编程库的 **FSL_Init** 功能时，如果自变量 **fsl_flash_voltage_u08** 不为 00H，则指定宽电压模式。如果自变量为 00H，则指定全速模式。

备注 1. 同时使用宽电压模式和全速模式不会对写入、删除或验证形成限制。

备注 2. 有关自编程功能和μPD79F7027, μPD79F7028 自编程库的详情，请参阅**RL78**单片机自编程库**01**类用户手册 (**R01AN0350E**)。

使用自编程库改写闪存的流程如下图所示。

图 23 - 9 自编程流程（改写闪存）



23.6.1 引导交换功能

如果因临时断电或其他原因导致改写引导区失败，以至于引导区数据遭到破坏，则通过复位或重写来重启程序的功能将被禁用。

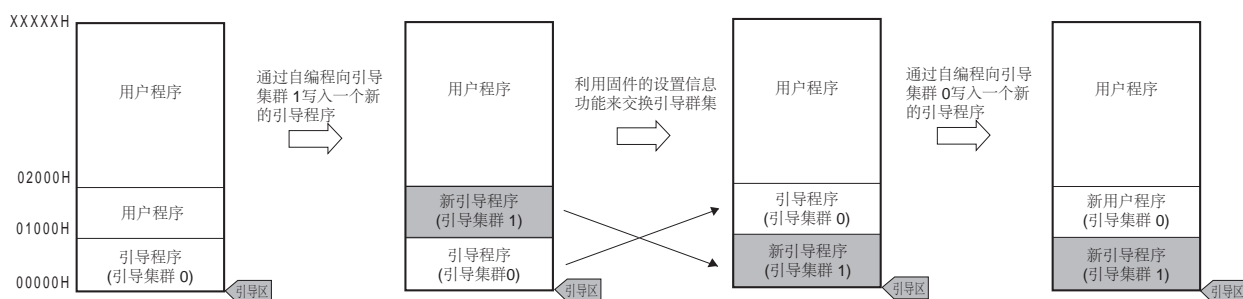
引导交换功能用于避免该问题。

在擦除引导集群0^注（为一引导程序区）之前，提前通过自编程向引导集群1写入一个新的引导程序。当程序已被正确写入引导集群1时，使用μPD79F7027, μPD79F7028固件的设置信息功能来交换引导集群1和引导集群0，以使引导集群1被用作引导区。此后，擦除或写入原始引导程序区，即引导集群0。

结果，即使在改写引导编程区的过程中断电，也能够正确执行程序，因为当程序被复位并接着启动时，是从将被交换的引导集群1进行的引导。

注 引导集群是一个4 KB的区域，通过引导交换功能来交换引导集群0和1。

图 23 - 10 引导交换功能

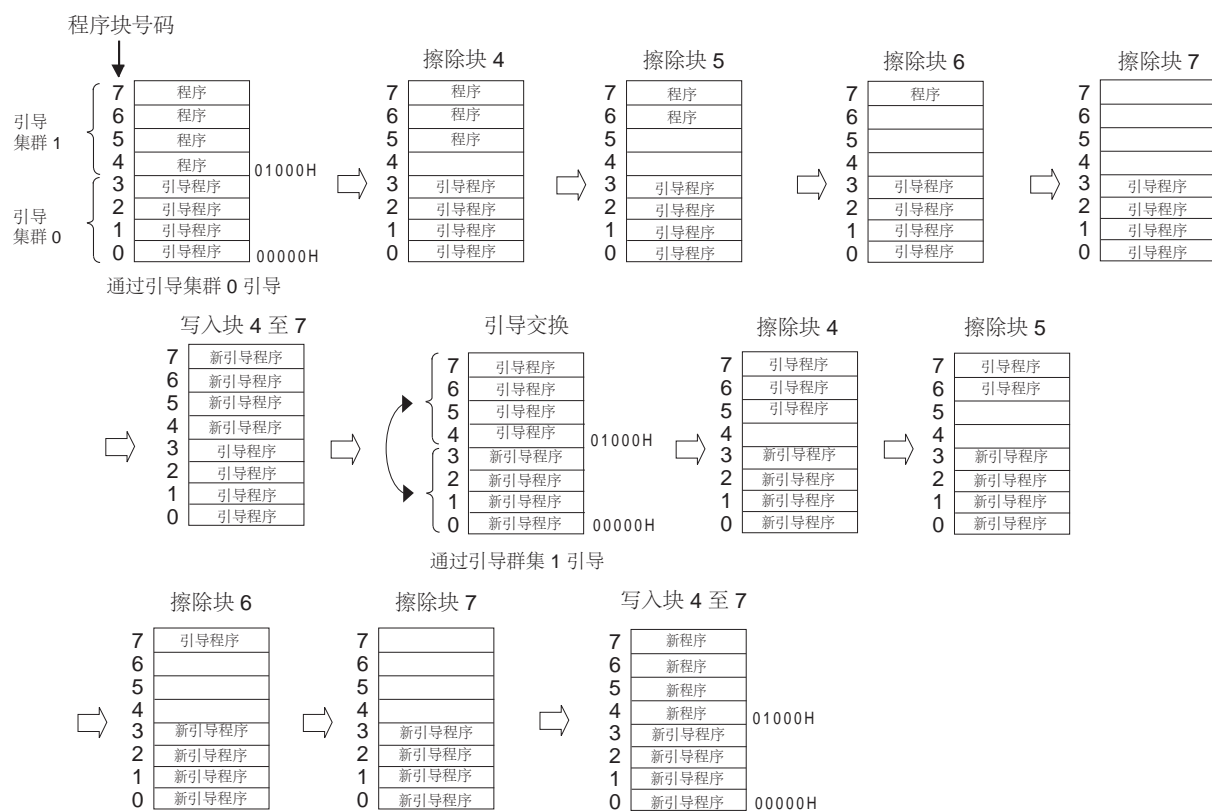


图的示例如下所示。

引导集群0：引导交换前的引导程序区

引导集群1：引导交换后的引导程序区

图 23 - 11 执行引导交换的示例



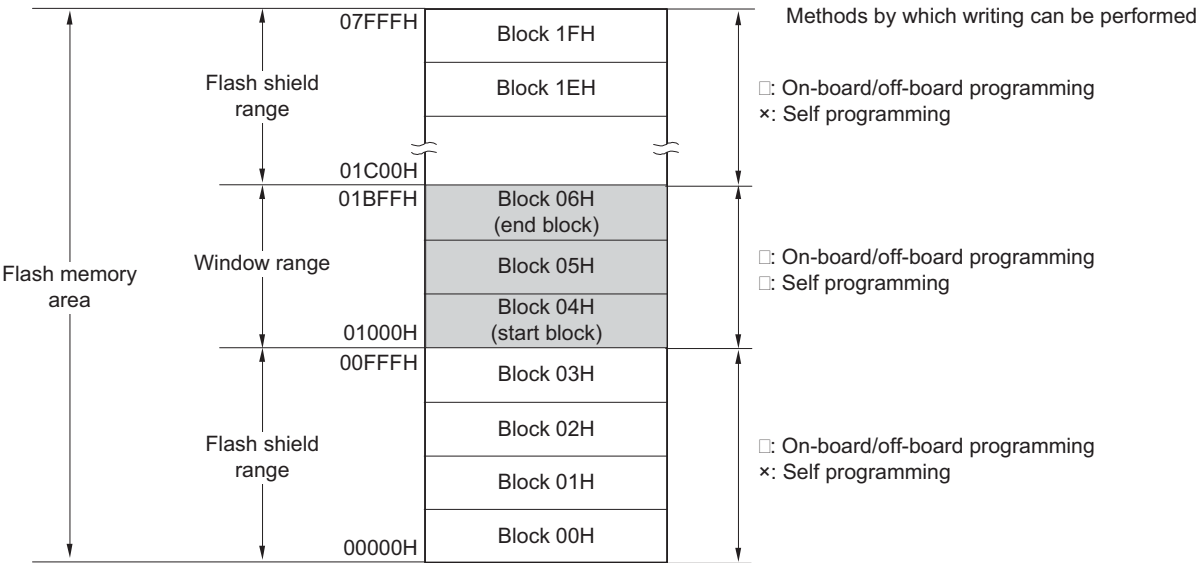
23.6.2 Flash屏蔽窗口功能

Flash屏蔽窗口功能被提供作为自编程的一种安全功能。该功能仅在自编程过程中，禁止写入和擦除被指定为窗口的范围之外的区域。

窗口范围可通过指定起始块和结束块来设置。可以在板上/板外编程和自编程过程中设置或更改窗口范围。

在自编程过程中，禁止写入和擦除窗口范围之外的区域。然而，板上/板外编程期间，可以写入和擦除被指定为窗口的范围之外的区域。

图 23 - 12 Flash屏蔽窗口设置示例
(对象器件: μPD79F7028, 开始块: 04H, 结束块: 06H)



注意事项 1. 如果引导群集0的禁止改写区与Flash屏蔽窗口范围重叠，则优先禁止改写引导群集0。

注意事项 2. Flash屏蔽窗口只能用作代码闪存。

表 23 - 14 Flash屏蔽窗口功能设置/更改方法和命令之间的关系

| 编程条件 | 窗口范围设置/ 更改方法 | 执行的命令 | |
|---------|---------------------------|---------------|--------------|
| | | 块擦除 | 写入 |
| 自编程 | 通过闪存自编程库指定起始和结束块。 | 仅在窗口范围内允许块擦除。 | 仅在窗口范围内允许写入。 |
| 板上/板外编程 | 通过专用闪存编程器的 GUI 等指定起始和结束块。 | 在窗口范围外也允许块擦除。 | 在窗口范围外也允许写入。 |

备注 要想禁止板上/板外编程时的写入/擦除时，请参阅23.5 安全设置。

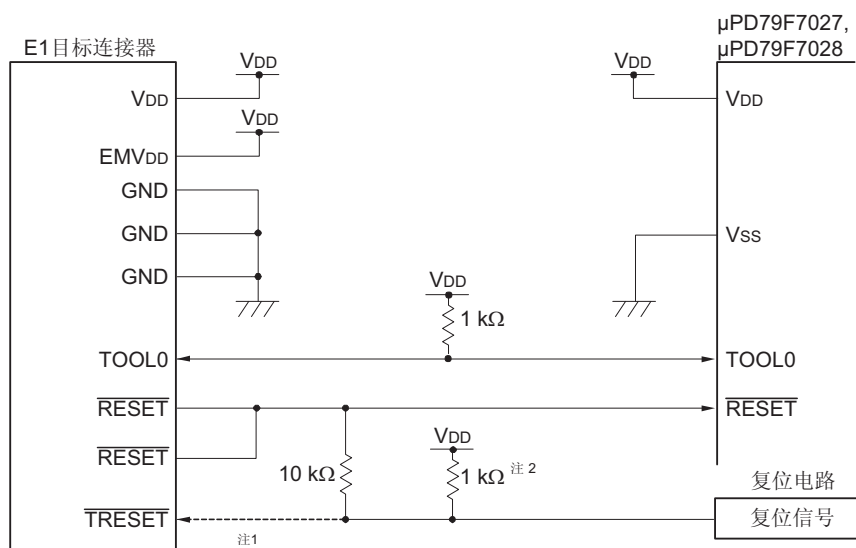
第 24 章 片上调试功能

24.1 将 E1 片上调试仿真器连接至 μPD79F7027, μPD79F7028

μPD79F7027, μPD79F7028 使用 V_{DD}、 $\overline{\text{RESET}}$ 、TOOL0 和 V_{SS} 引脚通过 E1 片上调试仿真器与主机进行通信。通过使用 TOOL0 引脚的单线 UART 实现串行通信。

注意事项 μPD79F7027, μPD79F7028 提供用于开发和评估的片上调试功能。对于量产类产品，不得使用片上调试功能，因为在使用该功能时，可能会超过闪存的担保可改写次数，因而会使产品可靠性失去保障。对于使用片上调试功能时发生的问题，瑞萨电子不承担任何责任。

图 24 - 1 E1 片上调试仿真器和 μPD79F7027, μPD79F7028 的连接示例



注 1. 在闪存编程期间，不需要连接虚线。

注 2. 如果目标系统中的复位电路不具有缓冲器并且只能通过电阻和电容产生复位信号，则没有必要使用该上拉电阻。

注意事项 该电路图假定从 N 沟道 O.D. 缓冲器输出复位信号（输出电阻：100 Ω 或更低）

24.2 片上调试安全ID

μPD79F7027, μPD79F7028在闪存 000C3H 处有一个片上调试操作控制位（参阅第 22 章 选项字节），并在 000C4H 至 000CDH 处有一个片上调试安全ID 设置区，用于防止第三方读取存储器内容。

在使用引导交换功能时，要提前设置一个与 010C3H 和 010C4H 至 010CDH 相同的值，因为 000C3H、000C4H 至 000CDH 和 010C3H，以及 010C4H 至 010CDH 被切换。

表 24 - 1 片上调试安全ID

| 地址 | 片上调试安全ID |
|-----------------|-----------------|
| 000C4H 至 000CDH | 任意 10 个字节的 ID 码 |
| 010C4H 至 010CDH | |

24.3 用户资源的确保

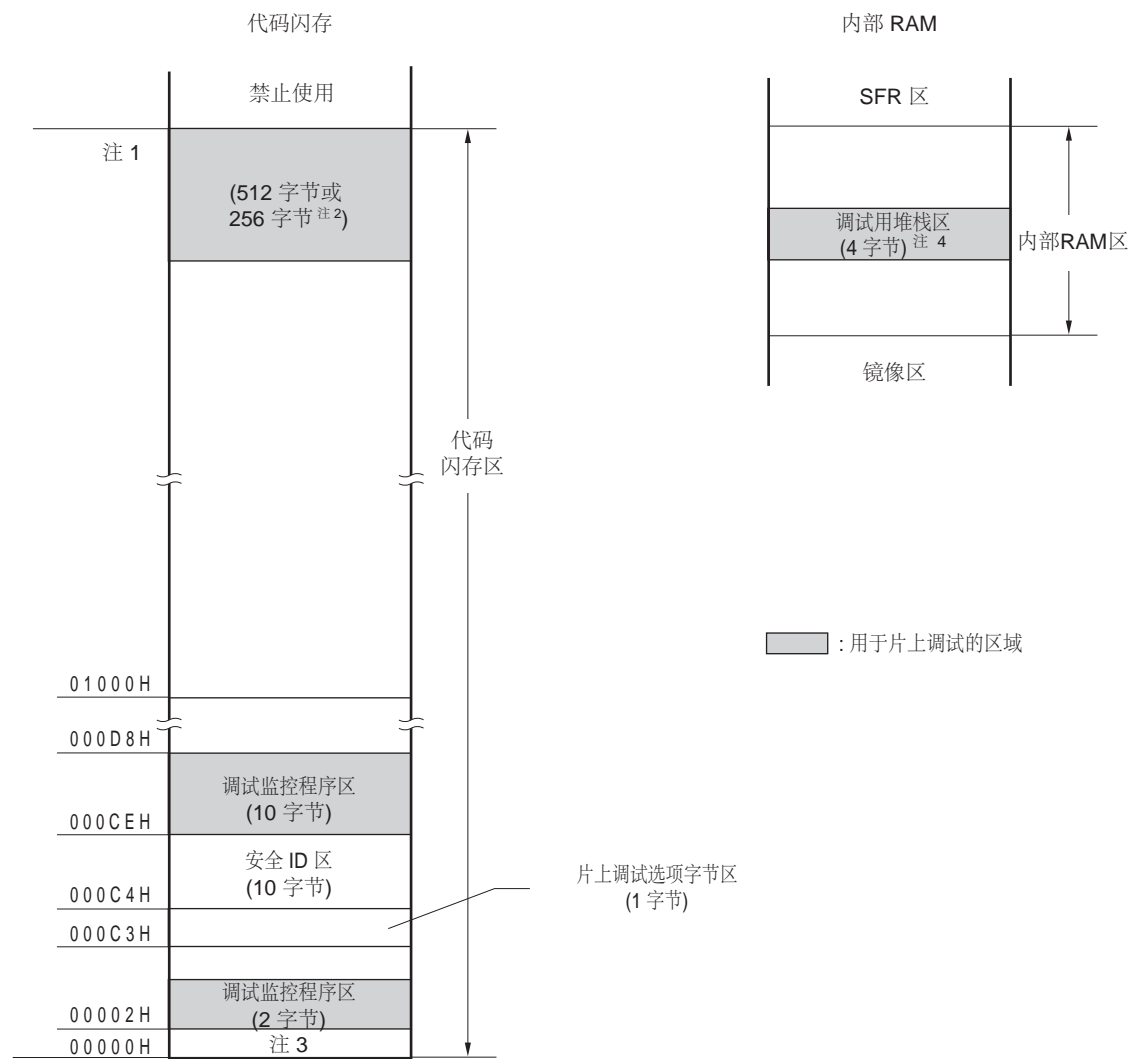
要实现 μPD79F7027, μPD79F7028 与 E1 片上调试仿真器之间的通信以及各调试功能，需提前确保存储器区空间。

如果使用瑞萨电子的编译器，则可通过连接器选项来进行设置。

(1) 存储器空间的确保

图 24 - 2 中的阴影部分是预留区，用于放置调试监控程序，因此不能将用户程序或数据分配在该空间。在使用片上调试功能时，必须保证这些空间不被用户程序使用。另外，禁止通过用户程序改写该区域。

图 24 - 2 调试监控程序的内存空间分配



注 1. 如下所示，地址因产品而异。

| 产品（代码闪存容量） | 注 1. 的地址 |
|------------|----------|
| μPD79F7027 | 03FFFFH |
| μPD79F7028 | 07FFFFH |

- 注 2. 未使用实时 RAM 监控 (RRM) 功能和动态存储器修改 (DMM) 功能时，为 256 字节。
- 注 3. 在调试中，复位向量被改写至分配给监控程序的地址。
- 注 4. 由于该区域刚好被分配在堆栈区之下，因此，该区域的地址随着堆栈的增减而变化。即，所用堆栈区将额外占用 4 字节。使用自编程时，所用堆栈区将额外占用 12 字节。

第 25 章 十进制调整电路

25.1 十进制调整电路的功能

可以通过该电路以BCD码格式获得BCD码（二进制编码的十进制）的加/减结果和BCD码。

通过执行以A寄存器为操作数的加/减运算，并对BCD修正结果寄存器(BCDADJ)执行加/减运算，来获得十进制校正运算结果。

25.2 十进制调整电路使用的寄存器

十进制调整电路使用如下的寄存器。

- BCD修正结果寄存器 (BCDADJ)

(1) BCD修正结果寄存器 (BCDADJ)

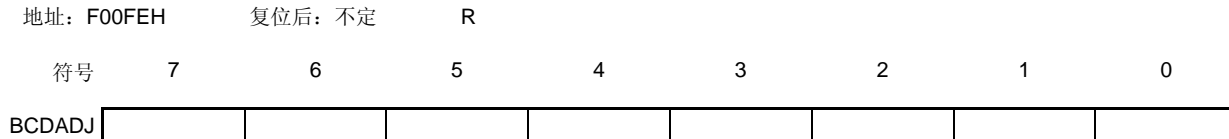
通过以A寄存器为操作数的加/减指令，获得BCD码的加/减结果所需要的校正值被存储于BCDADJ寄存器。

BCDADJ寄存器的读取值因读取时A寄存器以及CY和AC标志的值而异。

使用8位存储器操作指令读取BCDADJ寄存器。

输入复位后，该寄存器被设置为不定值。

图 25 - 1 BCD修正结果寄存器 (BCDADJ) 的格式



25.3 十进制调整电路的操作

十进制调整电路的基本操作如下所示。

(1) 加法：以BCD码值计算出BCD码值与另一个BCD码值相加的结果

<1> 被执行加法运算的BCD码值存储于A寄存器中。

<2> 通过将A寄存器的值与第二个操作数（被加的另一个BCD码的值）在二进制格式下相加，二进制运算结果将存储于A寄存器中，校正值存储于BCD校正结果寄存器(BCDADJ)中。

<3> 通过在二进制格式下将A寄存器的值（二进制的加法运算结果）与BCDADJ寄存器（校正值）相加来实现十进制校正运算，校正结果存储于A寄存器和CY标志中。

注意事项 BCDADJ寄存器的读取值因读取时A寄存器以及CY和AC标志的值而异。因此，在执行指令<2>之后，应该先执行指令<3>再执行其他指令。若要在中断允许状态下执行BCD校正，则须在执行中断功能的过程中保留和恢复A寄存器。通过RETI指令来恢复PSW（CY标志和AC标志）。

示例如下所示。

示例 1: $99 + 89 = 188$

| 指令 | A 寄存器 | CY 标志 | AC 标志 | BCDADJ 寄存器 |
|----------------------|-------|-------|-------|------------|
| MOV A, #99H ; <1> | 99H | — | — | — |
| ADD A, #89H ; <2> | 22H | 1 | 1 | 66H |
| ADD A, !BCDADJ ; <3> | 88H | 1 | 0 | — |

示例 2: $85 + 15 = 100$

| 指令 | A 寄存器 | CY 标志 | AC 标志 | BCDADJ 寄存器 |
|----------------------|-------|-------|-------|------------|
| MOV A, #85H ; <1> | 85H | — | — | — |
| ADD A, #15H ; <2> | 9AH | 0 | 0 | 66H |
| ADD A, !BCDADJ ; <3> | 00H | 1 | 1 | — |

示例 3: $80 + 80 = 160$

| 指令 | A 寄存器 | CY 标志 | AC 标志 | BCDADJ 寄存器 |
|----------------------|-------|-------|-------|------------|
| MOV A, #80H ; <1> | 80H | — | — | — |
| ADD A, #80H ; <2> | 00H | 1 | 0 | 60H |
| ADD A, !BCDADJ ; <3> | 60H | 1 | 0 | — |

- (2) 减法：以BCD码值计算出从BCD码值减去另一个BCD码值的结果
- <1> 被执行减法运算的BCD码值存储于A寄存器中。
 - <2> 在二进制格式下通过从A寄存器减去第二个操作数（被减的BCD码的值），二进制的运算结果将存储于A寄存器中，校正值存储于BCD校正结果寄存器(BCDADJ)中。
 - <3> 通过在二进制格式下从A寄存器（二进制的减运算结果）减去BCDADJ寄存器的值（校正值）来实现十进制校正运算，校正结果存储于A寄存器和CY标志中。

注意事项 BCDADJ寄存器的读取值因读取时A寄存器以及CY和AC标志的值而异。因此，在执行指令<2>之后，应该先执行指令<3>再执行其他指令。若要在中断允许状态下执行BCD校正，则须在执行中断功能的过程中保留和恢复A寄存器。通过RETI指令来恢复PSW（CY标志和AC标志）。

示例如下所示。

示例：91 – 52 = 39

| 指令 | | | A 寄存器 | CY 标志 | AC 标志 | BCDADJ 寄存器 |
|-----|------------|-------|-------|-------|-------|------------|
| MOV | A, #91H | ; <1> | 91H | — | — | — |
| SUB | A, #52H | ; <2> | 3FH | 0 | 1 | 06H |
| SUB | A, !BCDADJ | ; <3> | 39H | 0 | 0 | — |

第 26 章 指令集

本章列出 **RL78** 单片机指令集中的指令。有关各操作和指令码的详情，请参阅独立文档 **RL78** 系列用户手册：软件。

26.1 应用操作表

26.1.1 操作标识符和指定方法

操作数列于各指令的“操作数”一栏中，遵循指令操作数标识符的标识方法（详见编译器规范）。当存在两种或更多的标识方法时，选其一。大写字母以及#、!、!!、\$、\$!、[]和ES:符号为关键字，描述时将保持原样。每个符号的含义如下。

- #: 立即数指定
- !: 16位绝对地址指定
- !!: 20位绝对地址指定
- \$: 8位相对地址指定
- \$!: 16位相对地址指定
- []: 间接地址指定
- ES: 扩展地址指定

对于立即数，描述一个相应的数值或标签。使用标签时，也必须描述#、!、!!、\$、\$!、[]和ES:符号。
对于操作数的寄存器标识符r和rp，可使用功能名称（X、A、C等）或绝对名称（下表括号中名称，R0、R1、R2等）进行描述。

表 26 - 1 操作标识符和指定方法

| 标识符 | 描述方法 |
|--------|---|
| r | X (R0)、A (R1)、C (R2)、B (R3)、E (R4)、D (R5)、L (R6)、H (R7) |
| rp | AX (RP0)、BC (RP1)、DE (RP2)、HL (RP3) |
| sfr | 特殊功能寄存器符号（SFR符号）FFF00H至FFFFFH |
| sfrp | 特殊功能寄存器符号（16位可操作SFR符号。仅用于偶数地址 ^注 ）FFF00H至FFFFFH |
| saddr | FFE20H至FFF1FH立即数或标号 |
| saddrp | FFE20H至FF1FH立即数或标号（仅用于偶数地址 ^注 ） |
| addr20 | 00000H至FFFFFH立即数或标号 |
| addr16 | 0000H至FFFFH立即数或标号（16位数据时仅用于偶数地址 ^注 ） |
| addr5 | 0080H至00BFH立即数或标号（仅用于偶数地址） |
| word | 16位立即数或标号 |
| byte | 8位立即数或标号 |
| bit | 3位立即数或标号 |
| RBn | RB0至RB3 |

注 指定为奇数地址时位0 = 0。

备注 对于操作数sfr，能以符号描述特殊功能寄存器。关于特殊功能寄存器的符号，请参阅表 3 - 5至3 - 7 SFR列表。对于操作数!addr16，能以符号描述扩展特殊功能寄存器。关于扩展特殊功能寄存器的符号，请参阅表 3 - 8至3 - 12 扩展SFR (2nd SFR)列表。

26.1.2 操作栏的说明

使用以下符号将执行指令时的操作列于“操作”栏中。

表 26 - 2 “操作” 栏的符号

| 符号 | 功能 |
|----------|--|
| A | A 寄存器; 8 位累加器 |
| X | X 寄存器 |
| B | B 寄存器 |
| C | C 寄存器 |
| D | D 寄存器 |
| E | E 寄存器 |
| H | H 寄存器 |
| L | L 寄存器 |
| ES | ES 寄存器 |
| CS | CS 寄存器 |
| AX | AX 寄存器对; 16 位累加器 |
| BC | BC 寄存器对 |
| DE | DE 寄存器对 |
| HL | HL 寄存器对 |
| PC | 程序计数器 |
| SP | 堆栈指针 |
| PSW | 程序状态字 |
| CY | 进位标志 |
| AC | 辅助进位标志 |
| Z | 零标志 |
| RBS | 寄存器组选择标志 |
| IE | 中断要求允许标志 |
| () | () 内的地址或寄存器的内容所指示的存储器的内容 |
| XH、XL | 16 位寄存器: XH = 高 8 位, XL = 低 8 位 |
| Xs、XH、XL | 20 位寄存器: Xs = (位 19 至 16), XH = (位 15 至 8), XL = (位 7 至 0) |
| ^ | 逻辑 (乘) 积 (AND) |
| ∨ | 逻辑和 (OR) |
| ⊕ | “异 (或)” (exclusive OR) |
| — | 反转数据 |
| addr5 | 16 位立即数 (仅限 0080H 至 00BFH 的偶数地址) |
| addr16 | 16 位立即数 |
| addr20 | 20 位立即数 |
| jdisp8 | 有符号的 8 位数据 (位移值) |
| jdisp16 | 有符号的 16 位数据 (位移值) |

26.1.3 标志栏的说明

执行指令时标志值的变化使用以下符号列于“标志”栏中。

表 26 - 3 “标志”栏的符号

| 符号 | 标志值的变化 |
|-----|-------------|
| (空) | 无变化 |
| 0 | 清除为0 |
| 1 | 设置为1 |
| x | 根据结果设置/清除为0 |
| R | 恢复以前保存的值 |

26.1.4 PREFIX指令

通过把一个 PREFIX 指令码作为具有“ES:”的指令的前缀，可以将可存取数据区域从 64 KB 空间（F0000H 至 FFFFFH）扩展至添加了 ES 寄存器值的 1 MB 空间（00000H 至 FFFFFH）。当将一个 PREFIX 指令码作为前缀附加到目标指令上时，只有正好位于 PREFIX 指令码之后的一条指令按照添加了 ES 寄存器值的地址被执行。在 PREFIX 指令代码与紧随其后的指令之间，不受理中断。

表 26 - 4 PREFIX 指令码使用示例

| 指令 | 指令码 | | | | |
|-----------------------|-----|---------|---------|-------|-------|
| | 1 | 2 | 3 | 4 | 5 |
| MOV !addr16, #byte | CFH | !addr16 | | #byte | — |
| MOV ES:!addr16, #byte | 11H | CFH | !addr16 | | #byte |
| MOV A, [HL] | 8BH | — | — | — | — |
| MOV A, ES: [HL] | 11H | 8BH | — | — | — |

注意事项 在执行 PREFIX 指令之前，以 MOV ES、A 等设置 ES 寄存器值。

26.2 操作列表

表 26 - 5 操作列表 (1/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|------------|-----|---------------------|----|----|----|---|----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 8位数据 传送 | MOV | r, #byte | 2 | 1 | — | $r \leftarrow \text{byte}$ | | | |
| | | PSW, #byte | 3 | 3 | — | $\text{PSW} \leftarrow \text{byte}$ | x | x | x |
| | | CS, #byte | 3 | 1 | — | $\text{CS} \leftarrow \text{byte}$ | | | |
| | | ES, #byte | 2 | 1 | — | $\text{ES} \leftarrow \text{byte}$ | | | |
| | | !addr16, #byte | 4 | 1 | — | $(\text{addr16}) \leftarrow \text{byte}$ | | | |
| | | ES:!addr16, #byte | 5 | 2 | — | $(\text{ES}, \text{addr16}) \leftarrow \text{byte}$ | | | |
| | | saddr, #byte | 3 | 1 | — | $(\text{saddr}) \leftarrow \text{byte}$ | | | |
| | | sfr, #byte | 3 | 1 | — | $\text{sfr} \leftarrow \text{byte}$ | | | |
| | | [DE+byte], #byte | 3 | 1 | — | $(\text{DE} + \text{byte}) \leftarrow \text{byte}$ | | | |
| | | ES:[DE+byte], #byte | 4 | 2 | — | $((\text{ES}, \text{DE}) + \text{byte}) \leftarrow \text{byte}$ | | | |
| | | [HL+byte], #byte | 3 | 1 | — | $(\text{HL} + \text{byte}) \leftarrow \text{byte}$ | | | |
| | | ES:[HL+byte], #byte | 4 | 2 | — | $((\text{ES}, \text{HL}) + \text{byte}) \leftarrow \text{byte}$ | | | |
| | | [SP+byte], #byte | 3 | 1 | — | $(\text{SP} + \text{byte}) \leftarrow \text{byte}$ | | | |
| | | word[B], #byte | 4 | 1 | — | $(\text{B} + \text{word}) \leftarrow \text{byte}$ | | | |
| | | ES:word[B], #byte | 5 | 2 | — | $((\text{ES}, \text{B}) + \text{word}) \leftarrow \text{byte}$ | | | |
| | | word[C], #byte | 4 | 1 | — | $(\text{C} + \text{word}) \leftarrow \text{byte}$ | | | |
| | | ES:word[C], #byte | 5 | 2 | — | $((\text{ES}, \text{C}) + \text{word}) \leftarrow \text{byte}$ | | | |
| | | word[BC], #byte | 4 | 1 | — | $(\text{BC} + \text{word}) \leftarrow \text{byte}$ | | | |
| | | ES:word[BC], #byte | 5 | 2 | — | $((\text{ES}, \text{BC}) + \text{word}) \leftarrow \text{byte}$ | | | |
| | | A, r 注3 | 1 | 1 | — | $\text{A} \leftarrow r$ | | | |
| | | r, A 注3 | 1 | 1 | — | $r \leftarrow \text{A}$ | | | |
| | | A, PSW | 2 | 1 | — | $\text{A} \leftarrow \text{PSW}$ | | | |
| | | PSW, A | 2 | 3 | — | $\text{PSW} \leftarrow \text{A}$ | x | x | x |
| | | A, CS | 2 | 1 | — | $\text{A} \leftarrow \text{CS}$ | | | |
| | | CS, A | 2 | 1 | — | $\text{CS} \leftarrow \text{A}$ | | | |
| | | A, ES | 2 | 1 | — | $\text{A} \leftarrow \text{ES}$ | | | |
| | | ES, A | 2 | 1 | — | $\text{ES} \leftarrow \text{A}$ | | | |
| | | A, !addr16 | 3 | 1 | 4 | $\text{A} \leftarrow (\text{addr16})$ | | | |
| | | A, ES:!addr16 | 4 | 2 | 5 | $\text{A} \leftarrow (\text{ES}, \text{addr16})$ | | | |
| | | !addr16, A | 3 | 1 | — | $(\text{addr16}) \leftarrow \text{A}$ | | | |
| | | ES:!addr16, A | 4 | 2 | — | $(\text{ES}, \text{addr16}) \leftarrow \text{A}$ | | | |
| | | A, saddr | 2 | 1 | — | $\text{A} \leftarrow (\text{saddr})$ | | | |
| | | saddr, A | 2 | 1 | — | $(\text{saddr}) \leftarrow \text{A}$ | | | |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fCLK)。

注 2. 程序存储器区域被存取时的CPU时钟数(fCLK)。

注 3. 除 r = A 以外

备注 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

表 26 - 6 操作列表 (2/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|-------------|-----|-----------------|----|-----|-----|---|----|----|----|
| | | | | 注 1 | 注 2 | | Z | AC | CY |
| 8 位数据 传送 | MOV | A, sfr | 2 | 1 | — | $A \leftarrow \text{sfr}$ | | | |
| | | sfr, A | 2 | 1 | — | $\text{sfr} \leftarrow A$ | | | |
| | | A, [DE] | 1 | 1 | 4 | $A \leftarrow (\text{DE})$ | | | |
| | | [DE], A | 1 | 1 | — | $(\text{DE}) \leftarrow A$ | | | |
| | | A, ES:[DE] | 2 | 2 | 5 | $A \leftarrow (\text{ES}, \text{DE})$ | | | |
| | | ES:[DE], A | 2 | 2 | — | $(\text{ES}, \text{DE}) \leftarrow A$ | | | |
| | | A, [HL] | 1 | 1 | 4 | $A \leftarrow (\text{HL})$ | | | |
| | | [HL], A | 1 | 1 | — | $(\text{HL}) \leftarrow A$ | | | |
| | | A, ES:[HL] | 2 | 2 | 5 | $A \leftarrow (\text{ES}, \text{HL})$ | | | |
| | | ES:[HL], A | 2 | 2 | — | $(\text{ES}, \text{HL}) \leftarrow A$ | | | |
| | | A, [DE+byte] | 2 | 1 | 4 | $A \leftarrow (\text{DE} + \text{byte})$ | | | |
| | | [DE+byte], A | 2 | 1 | — | $(\text{DE} + \text{byte}) \leftarrow A$ | | | |
| | | A, ES:[DE+byte] | 3 | 2 | 5 | $A \leftarrow ((\text{ES}, \text{DE}) + \text{byte})$ | | | |
| | | ES:[DE+byte], A | 3 | 2 | — | $((\text{ES}, \text{DE}) + \text{byte}) \leftarrow A$ | | | |
| | | A, [HL+byte] | 2 | 1 | 4 | $A \leftarrow (\text{HL} + \text{byte})$ | | | |
| | | [HL+byte], A | 2 | 1 | — | $(\text{HL} + \text{byte}) \leftarrow A$ | | | |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | $A \leftarrow ((\text{ES}, \text{HL}) + \text{byte})$ | | | |
| | | ES:[HL+byte], A | 3 | 2 | — | $((\text{ES}, \text{HL}) + \text{byte}) \leftarrow A$ | | | |
| | | A, [SP+byte] | 2 | 1 | — | $A \leftarrow (\text{SP} + \text{byte})$ | | | |
| | | [SP+byte], A | 2 | 1 | — | $(\text{SP} + \text{byte}) \leftarrow A$ | | | |
| | | A, word[B] | 3 | 1 | 4 | $A \leftarrow (\text{B} + \text{word})$ | | | |
| | | word[B], A | 3 | 1 | — | $(\text{B} + \text{word}) \leftarrow A$ | | | |
| | | A, ES:word[B] | 4 | 2 | 5 | $A \leftarrow ((\text{ES}, \text{B}) + \text{word})$ | | | |
| | | ES:word[B], A | 4 | 2 | — | $((\text{ES}, \text{B}) + \text{word}) \leftarrow A$ | | | |
| | | A, word[C] | 3 | 1 | 4 | $A \leftarrow (\text{C} + \text{word})$ | | | |
| | | word[C], A | 3 | 1 | — | $(\text{C} + \text{word}) \leftarrow A$ | | | |
| | | A, ES:word[C] | 4 | 2 | 5 | $A \leftarrow ((\text{ES}, \text{C}) + \text{word})$ | | | |
| | | ES:word[C], A | 4 | 2 | — | $((\text{ES}, \text{C}) + \text{word}) \leftarrow A$ | | | |
| | | A, word[BC] | 3 | 1 | 4 | $A \leftarrow (\text{BC} + \text{word})$ | | | |
| | | word[BC], A | 3 | 1 | — | $(\text{BC} + \text{word}) \leftarrow A$ | | | |
| | | A, ES:word[BC] | 4 | 2 | 5 | $A \leftarrow ((\text{ES}, \text{BC}) + \text{word})$ | | | |
| | | ES:word[BC], A | 4 | 2 | — | $((\text{ES}, \text{BC}) + \text{word}) \leftarrow A$ | | | |

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数 (fCLK)。

注 2. 程序存储器区域被存取时的 CPU 时钟数 (fCLK)。

备注 时钟数是指程序存在于 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表 26 - 7 操作列表(3/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|------------|-----|-----------------|------------------------------|-----|-----|--|----|----|----|
| | | | | 注 1 | 注 2 | | Z | AC | CY |
| 8位数据 传送 | MOV | A, [HL+B] | 2 | 1 | 4 | $A \leftarrow (HL + B)$ | | | |
| | | [HL+B], A | 2 | 1 | — | $(HL + B) \leftarrow A$ | | | |
| | | A, ES:[HL+B] | 3 | 2 | 5 | $A \leftarrow ((ES, HL) + B)$ | | | |
| | | ES:[HL+B], A | 3 | 2 | — | $((ES, HL) + B) \leftarrow A$ | | | |
| | | A, [HL+C] | 2 | 1 | 4 | $A \leftarrow (HL + C)$ | | | |
| | | [HL+C], A | 2 | 1 | — | $(HL + C) \leftarrow A$ | | | |
| | | A, ES:[HL+C] | 3 | 2 | 5 | $A \leftarrow ((ES, HL) + C)$ | | | |
| | | ES:[HL+C], A | 3 | 2 | — | $((ES, HL) + C) \leftarrow A$ | | | |
| | | X, !addr16 | 3 | 1 | 4 | $X \leftarrow (addr16)$ | | | |
| | | X, ES:!addr16 | 4 | 2 | 5 | $X \leftarrow (ES, addr16)$ | | | |
| | | X, saddr | 2 | 1 | — | $X \leftarrow (saddr)$ | | | |
| | | B, !addr16 | 3 | 1 | 4 | $B \leftarrow (addr16)$ | | | |
| | | B, ES:!addr16 | 4 | 2 | 5 | $B \leftarrow (ES, addr16)$ | | | |
| | | B, saddr | 2 | 1 | — | $B \leftarrow (saddr)$ | | | |
| | | C, !addr16 | 3 | 1 | 4 | $C \leftarrow (addr16)$ | | | |
| | | C, ES:!addr16 | 4 | 2 | 5 | $C \leftarrow (ES, addr16)$ | | | |
| | | C, saddr | 2 | 1 | — | $C \leftarrow (saddr)$ | | | |
| | | ES, saddr | 3 | 1 | — | $ES \leftarrow (saddr)$ | | | |
| | XCH | A, r 注 3 | 1 (r = X) 2 (r = X 以外) | 1 | — | $A \leftrightarrow r$ | | | |
| | | A, !addr16 | 4 | 2 | — | $A \leftrightarrow (addr16)$ | | | |
| | | A, ES:!addr16 | 5 | 3 | — | $A \leftrightarrow (ES, addr16)$ | | | |
| | | A, saddr | 3 | 2 | — | $A \leftrightarrow (saddr)$ | | | |
| | | A, sfr | 3 | 2 | — | $A \leftrightarrow sfr$ | | | |
| | | A, [DE] | 2 | 2 | — | $A \leftrightarrow (DE)$ | | | |
| | | A, ES:[DE] | 3 | 3 | — | $A \leftrightarrow (ES, DE)$ | | | |
| | | A, [HL] | 2 | 2 | — | $A \leftrightarrow (HL)$ | | | |
| | | A, ES:[HL] | 3 | 3 | — | $A \leftrightarrow (ES, HL)$ | | | |
| | | A, [DE+byte] | 3 | 2 | — | $A \leftrightarrow (DE + \text{byte})$ | | | |
| | | A, ES:[DE+byte] | 4 | 3 | — | $A \leftrightarrow ((ES, DE) + \text{byte})$ | | | |
| | | A, [HL+byte] | 3 | 2 | — | $A \leftrightarrow (HL + \text{byte})$ | | | |
| | | A, ES:[HL+byte] | 4 | 3 | — | $A \leftrightarrow ((ES, HL) + \text{byte})$ | | | |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fCLK)。

注 2. 程序存储器区域被存取时的CPU时钟数(fCLK)。

注 3. 除 r = A 以外

备注 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

表 26 - 8 操作列表(4/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|--------------|------|-----------------|----|-----|-----|--|----|----|----|
| | | | | 注 1 | 注 2 | | Z | AC | CY |
| 8 位数据 传送 | XCH | A, [HL+B] | 2 | 2 | — | $A \longleftrightarrow (HL + B)$ | | | |
| | | A, ES:[HL+B] | 3 | 3 | — | $A \longleftrightarrow ((ES, HL) + B)$ | | | |
| | | A, [HL+C] | 2 | 2 | — | $A \longleftrightarrow (HL + C)$ | | | |
| | | A, ES:[HL+C] | 3 | 3 | — | $A \longleftrightarrow ((ES, HL) + C)$ | | | |
| | ONEB | A | 1 | 1 | — | $A \leftarrow 01H$ | | | |
| | | X | 1 | 1 | — | $X \leftarrow 01H$ | | | |
| | | B | 1 | 1 | — | $B \leftarrow 01H$ | | | |
| | | C | 1 | 1 | — | $C \leftarrow 01H$ | | | |
| | | !addr16 | 3 | 1 | — | $(addr16) \leftarrow 01H$ | | | |
| | | ES:!addr16 | 4 | 2 | — | $(ES, addr16) \leftarrow 01H$ | | | |
| | | saddr | 2 | 1 | — | $(saddr) \leftarrow 01H$ | | | |
| | CLRB | A | 1 | 1 | — | $A \leftarrow 00H$ | | | |
| | | X | 1 | 1 | — | $X \leftarrow 00H$ | | | |
| | | B | 1 | 1 | — | $B \leftarrow 00H$ | | | |
| | | C | 1 | 1 | — | $C \leftarrow 00H$ | | | |
| | | !addr16 | 3 | 1 | — | $(addr16) \leftarrow 00H$ | | | |
| | | ES:!addr16 | 4 | 2 | — | $(ES, addr16) \leftarrow 00H$ | | | |
| | | saddr | 2 | 1 | — | $(saddr) \leftarrow 00H$ | | | |
| | MOVS | [HL+byte], X | 3 | 1 | — | $(HL + byte) \leftarrow X$ | × | | × |
| | | ES:[HL+byte], X | 4 | 2 | — | $(ES, HL + byte) \leftarrow X$ | × | | × |
| 16 位数据 传送 | MOVW | rp, #word | 3 | 1 | — | $rp \leftarrow word$ | | | |
| | | saddrp, #word | 4 | 1 | — | $(saddrp) \leftarrow word$ | | | |
| | | sfrp, #word | 4 | 1 | — | $sfrp \leftarrow word$ | | | |
| | | AX, rp 注 3 | 1 | 1 | — | $AX \leftarrow rp$ | | | |
| | | rp, AX 注 3 | 1 | 1 | — | $rp \leftarrow AX$ | | | |
| | | AX, !addr16 | 3 | 1 | 4 | $AX \leftarrow (addr16)$ | | | |
| | | !addr16, AX | 3 | 1 | — | $(addr16) \leftarrow AX$ | | | |
| | | AX, ES:!addr16 | 4 | 2 | 5 | $AX \leftarrow (ES, addr16)$ | | | |
| | | ES:!addr16, AX | 4 | 2 | — | $(ES, addr16) \leftarrow AX$ | | | |
| | | AX, saddrp | 2 | 1 | — | $AX \leftarrow (saddrp)$ | | | |
| | | saddrp, AX | 2 | 1 | — | $(saddrp) \leftarrow AX$ | | | |
| | | AX, sfrp | 2 | 1 | — | $AX \leftarrow sfrp$ | | | |
| | | sfrp, AX | 2 | 1 | — | $sfrp \leftarrow AX$ | | | |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fCLK)。

注 2. 程序存储器区域被存取时的CPU时钟数(fCLK)。

注 3. 除 rp = AX 以外

备注 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

表 26 - 9 操作列表(5/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|--------------|------|------------------|----|-----|-----|------------------------|----|----|----|
| | | | | 注 1 | 注 2 | | Z | AC | CY |
| 16 位数据 传送 | MOVW | AX, [DE] | 1 | 1 | 4 | AX ← (DE) | | | |
| | | [DE], AX | 1 | 1 | — | (DE) ← AX | | | |
| | | AX, ES:[DE] | 2 | 2 | 5 | AX ← (ES, DE) | | | |
| | | ES:[DE], AX | 2 | 2 | — | (ES, DE) ← AX | | | |
| | | AX, [HL] | 1 | 1 | 4 | AX ← (HL) | | | |
| | | [HL], AX | 1 | 1 | — | (HL) ← AX | | | |
| | | AX, ES:[HL] | 2 | 2 | 5 | AX ← (ES, HL) | | | |
| | | ES:[HL], AX | 2 | 2 | — | (ES, HL) ← AX | | | |
| | | AX, [DE+byte] | 2 | 1 | 4 | AX ← (DE + byte) | | | |
| | | [DE+byte], AX | 2 | 1 | — | (DE + byte) ← AX | | | |
| | | AX, ES:[DE+byte] | 3 | 2 | 5 | AX ← ((ES, DE) + byte) | | | |
| | | ES:[DE+byte], AX | 3 | 2 | — | ((ES, DE) + byte) ← AX | | | |
| | | AX, [HL+byte] | 2 | 1 | 4 | AX ← (HL + byte) | | | |
| | | [HL+byte], AX | 2 | 1 | — | (HL + byte) ← AX | | | |
| | | AX, ES:[HL+byte] | 3 | 2 | 5 | AX ← ((ES, HL) + byte) | | | |
| | | ES:[HL+byte], AX | 3 | 2 | — | ((ES, HL) + byte) ← AX | | | |
| | | AX, [SP+byte] | 2 | 1 | — | AX ← (SP + byte) | | | |
| | | [SP+byte], AX | 2 | 1 | — | (SP + byte) ← AX | | | |
| | | AX, word[B] | 3 | 1 | 4 | AX ← (B + word) | | | |
| | | word[B], AX | 3 | 1 | — | (B + word) ← AX | | | |
| | | AX, ES:word[B] | 4 | 2 | 5 | AX ← ((ES, B) + word) | | | |
| | | ES:word[B], AX | 4 | 2 | — | ((ES, B) + word) ← AX | | | |
| | | AX, word[C] | 3 | 1 | 4 | AX ← (C + word) | | | |
| | | word[C], AX | 3 | 1 | — | (C + word) ← AX | | | |
| | | AX, ES:word[C] | 4 | 2 | 5 | AX ← ((ES, C) + word) | | | |
| | | ES:word[C], AX | 4 | 2 | — | ((ES, C) + word) ← AX | | | |
| | | AX, word[BC] | 3 | 1 | 4 | AX ← (BC + word) | | | |
| | | word[BC], AX | 3 | 1 | — | (BC + word) ← AX | | | |
| | | AX, ES:word[BC] | 4 | 2 | 5 | AX ← ((ES, BC) + word) | | | |
| | | ES:word[BC], AX | 4 | 2 | — | ((ES, BC) + word) ← AX | | | |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fCLK)。

注 2. 程序存储器区域被存取时的CPU时钟数(fCLK)。

备注 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

表 26 - 10 操作列表(6/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|--------------|------|-----------------|----|-----|-----|-------------------------------|----|----|----|
| | | | | 注 1 | 注 2 | | Z | AC | CY |
| 16 位数据 传送 | MOVW | BC, !addr16 | 3 | 1 | 4 | BC ← (addr16) | | | |
| | | BC, ES:!addr16 | 4 | 2 | 5 | BC ← (ES, addr16) | | | |
| | | DE, !addr16 | 3 | 1 | 4 | DE ← (addr16) | | | |
| | | DE, ES:!addr16 | 4 | 2 | 5 | DE ← (ES, addr16) | | | |
| | | HL, !addr16 | 3 | 1 | 4 | HL ← (addr16) | | | |
| | | HL, ES:!addr16 | 4 | 2 | 5 | HL ← (ES, addr16) | | | |
| | | BC, saddrp | 2 | 1 | — | BC ← (saddrp) | | | |
| | | DE, saddrp | 2 | 1 | — | DE ← (saddrp) | | | |
| | | HL, saddrp | 2 | 1 | — | HL ← (saddrp) | | | |
| | XCHW | AX, rp 注 3 | 1 | 1 | — | AX ↔ rp | | | |
| | ONEW | AX | 1 | 1 | — | AX ← 0001H | | | |
| | | BC | 1 | 1 | — | BC ← 0001H | | | |
| | CLRW | AX | 1 | 1 | — | AX ← 0000H | | | |
| | | BC | 1 | 1 | — | BC ← 0000H | | | |
| 8 位操作 | ADD | A, #byte | 2 | 1 | — | A, CY ← A + byte | x | x | x |
| | | saddr, #byte | 3 | 2 | — | (saddr), CY ← (saddr) + byte | x | x | x |
| | | A, r 注 4 | 2 | 1 | — | A, CY ← A + r | x | x | x |
| | | r, A | 2 | 1 | — | r, CY ← r + A | x | x | x |
| | | A, !addr16 | 3 | 1 | 4 | A, CY ← A + (addr16) | x | x | x |
| | | A, ES:!addr16 | 4 | 2 | 5 | A, CY ← A + (ES, addr16) | x | x | x |
| | | A, saddr | 2 | 1 | — | A, C ← A + (saddr) | x | x | x |
| | | A, [HL] | 1 | 1 | 4 | A, CY ← A + (HL) | x | x | x |
| | | A, ES:[HL] | 2 | 2 | 5 | A, CY ← A + (ES, HL) | x | x | x |
| | | A, [HL+byte] | 2 | 1 | 4 | A, CY ← A + (HL + byte) | x | x | x |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A, CY ← A + ((ES, HL) + byte) | x | x | x |
| | | A, [HL+B] | 2 | 1 | 4 | A, CY ← A + (HL + B) | x | x | x |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A, CY ← A + ((ES, HL) + B) | x | x | x |
| | | A, [HL+C] | 2 | 1 | 4 | A, CY ← A + (HL + C) | x | x | x |
| | | A, ES:[HL+C] | 3 | 2 | 5 | A, CY ← A + ((ES, HL) + C) | x | x | x |

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数 (fCLK)。

注 2. 程序存储器区域被存取时的 CPU 时钟数 (fCLK)。

注 3. 除 rp = AX 以外

注 4. 除 r = A 以外

备注 时钟数是指程序存在于 ROM（闪存）区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

表 26 - 11 操作列表 (7/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|------|------|-----------------|----|-----|-----|--|----|----|----|
| | | | | 注 1 | 注 2 | | Z | AC | CY |
| 8位操作 | ADDC | A, #byte | 2 | 1 | — | $A, CY \leftarrow A + \text{byte} + CY$ | × | × | × |
| | | saddr, #byte | 3 | 2 | — | $(saddr), CY \leftarrow (saddr) + \text{byte} + CY$ | × | × | × |
| | | A, r 注 3 | 2 | 1 | — | $A, CY \leftarrow A + r + CY$ | × | × | × |
| | | r, A | 2 | 1 | — | $r, CY \leftarrow r + A + CY$ | × | × | × |
| | | A, !addr16 | 3 | 1 | 4 | $A, CY \leftarrow A + (\text{addr16}) + CY$ | × | × | × |
| | | A, ES:!addr16 | 4 | 2 | 5 | $A, CY \leftarrow A + (ES, \text{addr16}) + CY$ | × | × | × |
| | | A, saddr | 2 | 1 | — | $A, CY \leftarrow A + (saddr) + CY$ | × | × | × |
| | | A, [HL] | 1 | 1 | 4 | $A, CY \leftarrow A + (HL) + CY$ | × | × | × |
| | | A, ES:[HL] | 2 | 2 | 5 | $A, CY \leftarrow A + (ES, HL) + CY$ | × | × | × |
| | | A, [HL+byte] | 2 | 1 | 4 | $A, CY \leftarrow A + (HL + \text{byte}) + CY$ | × | × | × |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | $A, CY \leftarrow A + ((ES, HL) + \text{byte}) + CY$ | × | × | × |
| | | A, [HL+B] | 2 | 1 | 4 | $A, CY \leftarrow A + (HL + B) + CY$ | × | × | × |
| | | A, ES:[HL+B] | 3 | 2 | 5 | $A, CY \leftarrow A + ((ES, HL) + B) + CY$ | × | × | × |
| | | A, [HL+C] | 2 | 1 | 4 | $A, CY \leftarrow A + (HL + C) + CY$ | × | × | × |
| | | A, ES:[HL+C] | 3 | 2 | 5 | $A, CY \leftarrow A + ((ES, HL) + C) + CY$ | × | × | × |
| | SUB | A, #byte | 2 | 1 | — | $A, CY \leftarrow A - \text{byte}$ | × | × | × |
| | | saddr, #byte | 3 | 2 | — | $(saddr), CY \leftarrow (saddr) - \text{byte}$ | × | × | × |
| | | A, r 注 3 | 2 | 1 | — | $A, CY \leftarrow A - r$ | × | × | × |
| | | r, A | 2 | 1 | — | $r, CY \leftarrow r - A$ | × | × | × |
| | | A, !addr16 | 3 | 1 | 4 | $A, CY \leftarrow A - (\text{addr16})$ | × | × | × |
| | | A, ES:!addr16 | 4 | 2 | 5 | $A, CY \leftarrow A - (ES, \text{addr16})$ | × | × | × |
| | | A, saddr | 2 | 1 | — | $A, CY \leftarrow A - (saddr)$ | × | × | × |
| | | A, [HL] | 1 | 1 | 4 | $A, CY \leftarrow A - (HL)$ | × | × | × |
| | | A, ES:[HL] | 2 | 2 | 5 | $A, CY \leftarrow A - (ES, HL)$ | × | × | × |
| | | A, [HL+byte] | 2 | 1 | 4 | $A, CY \leftarrow A - (HL + \text{byte})$ | × | × | × |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | $A, CY \leftarrow A - ((ES, HL) + \text{byte})$ | × | × | × |
| | | A, [HL+B] | 2 | 1 | 4 | $A, CY \leftarrow A - (HL + B)$ | × | × | × |
| | | A, ES:[HL+B] | 3 | 2 | 5 | $A, CY \leftarrow A - ((ES, HL) + B)$ | × | × | × |
| | | A, [HL+C] | 2 | 1 | 4 | $A, CY \leftarrow A - (HL + C)$ | × | × | × |
| | | A, ES:[HL+C] | 3 | 2 | 5 | $A, CY \leftarrow A - ((ES, HL) + C)$ | × | × | × |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fCLK)。

注 2. 程序存储器区域被存取时的CPU时钟数(fCLK)。

注 3. 除 r = A 以外

备注 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

表 26 - 12 操作列表 (8/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|------|------|-----------------|----|-----|-----|--|----|----|----|
| | | | | 注 1 | 注 2 | | Z | AC | CY |
| 8位操作 | SUBC | A, #byte | 2 | 1 | — | $A, CY \leftarrow A - \text{byte} - CY$ | x | x | x |
| | | saddr, #byte | 3 | 2 | — | $(saddr), CY \leftarrow (saddr) - \text{byte} - CY$ | x | x | x |
| | | A, r 注 3 | 2 | 1 | — | $A, CY \leftarrow A - r - CY$ | x | x | x |
| | | r, A | 2 | 1 | — | $r, CY \leftarrow r - A - CY$ | x | x | x |
| | | A, !addr16 | 3 | 1 | 4 | $A, CY \leftarrow A - (\text{addr16}) - CY$ | x | x | x |
| | | A, ES:!addr16 | 4 | 2 | 5 | $A, CY \leftarrow A - (ES, \text{addr16}) - CY$ | x | x | x |
| | | A, saddr | 2 | 1 | — | $A, CY \leftarrow A - (saddr) - CY$ | x | x | x |
| | | A, [HL] | 1 | 1 | 4 | $A, CY \leftarrow A - (HL) - CY$ | x | x | x |
| | | A, ES:[HL] | 2 | 2 | 5 | $A, CY \leftarrow A - (ES, HL) - CY$ | x | x | x |
| | | A, [HL+byte] | 2 | 1 | 4 | $A, CY \leftarrow A - (HL + \text{byte}) - CY$ | x | x | x |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | $A, CY \leftarrow A - ((ES, HL) + \text{byte}) - CY$ | x | x | x |
| | | A, [HL+B] | 2 | 1 | 4 | $A, CY \leftarrow A - (HL + B) - CY$ | x | x | x |
| | | A, ES:[HL+B] | 3 | 2 | 5 | $A, CY \leftarrow A - ((ES, HL) + B) - CY$ | x | x | x |
| | | A, [HL+C] | 2 | 1 | 4 | $A, CY \leftarrow A - (HL + C) - CY$ | x | x | x |
| | | A, ES:[HL+C] | 3 | 2 | 5 | $A, CY \leftarrow A - ((ES, HL) + C) - CY$ | x | x | x |
| | AND | A, #byte | 2 | 1 | — | $A \leftarrow A \wedge \text{byte}$ | x | | |
| | | saddr, #byte | 3 | 2 | — | $(saddr) \leftarrow (saddr) \wedge \text{byte}$ | x | | |
| | | A, r 注 3 | 2 | 1 | — | $A \leftarrow A \wedge r$ | x | | |
| | | r, A | 2 | 1 | — | $R \leftarrow r \wedge A$ | x | | |
| | | A, !addr16 | 3 | 1 | 4 | $A \leftarrow A \wedge (\text{addr16})$ | x | | |
| | | A, ES:!addr16 | 4 | 2 | 5 | $A \leftarrow A \wedge (ES:\text{addr16})$ | x | | |
| | | A, saddr | 2 | 1 | — | $A \leftarrow A \wedge (saddr)$ | x | | |
| | | A, [HL] | 1 | 1 | 4 | $A \leftarrow A \wedge (HL)$ | x | | |
| | | A, ES:[HL] | 2 | 2 | 5 | $A \leftarrow A \wedge (ES:HL)$ | x | | |
| | | A, [HL+byte] | 2 | 1 | 4 | $A \leftarrow A \wedge (HL + \text{byte})$ | x | | |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | $A \leftarrow A \wedge ((ES:HL) + \text{byte})$ | x | | |
| | | A, [HL+B] | 2 | 1 | 4 | $A \leftarrow A \wedge (HL + B)$ | x | | |
| | | A, ES:[HL+B] | 3 | 2 | 5 | $A \leftarrow A \wedge ((ES:HL) + B)$ | x | | |
| | | A, [HL+C] | 2 | 1 | 4 | $A \leftarrow A \wedge (HL + C)$ | x | | |
| | | A, ES:[HL+C] | 3 | 2 | 5 | $A \leftarrow A \wedge ((ES:HL) + C)$ | x | | |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fCLK)。

注 2. 程序存储器区域被存取时的CPU时钟数(fCLK)。

注 3. 除 r = A 以外

备注 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

表 26 - 13 操作列表 (9/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|------|-----|-----------------|----|-----|-----|---|----|----|----|
| | | | | 注 1 | 注 2 | | Z | AC | CY |
| 8位操作 | OR | A, #byte | 2 | 1 | — | $A \leftarrow A \vee \text{byte}$ | × | | |
| | | saddr, #byte | 3 | 2 | — | $(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$ | × | | |
| | | A, r 注 3 | 2 | 1 | — | $A \leftarrow A \vee r$ | × | | |
| | | r, A | 2 | 1 | — | $r \leftarrow r \vee A$ | × | | |
| | | A, !addr16 | 3 | 1 | 4 | $A \leftarrow A \vee (\text{addr16})$ | × | | |
| | | A, ES:!addr16 | 4 | 2 | 5 | $A \leftarrow A \vee (\text{ES:addr16})$ | × | | |
| | | A, saddr | 2 | 1 | — | $A \leftarrow A \vee (\text{saddr})$ | × | | |
| | | A, [HL] | 1 | 1 | 4 | $A \leftarrow A \vee (\text{HL})$ | × | | |
| | | A, ES:[HL] | 2 | 2 | 5 | $A \leftarrow A \vee (\text{ES:HL})$ | × | | |
| | | A, [HL+byte] | 2 | 1 | 4 | $A \leftarrow A \vee (\text{HL} + \text{byte})$ | × | | |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | $A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$ | × | | |
| | | A, [HL+B] | 2 | 1 | 4 | $A \leftarrow A \vee (\text{HL} + B)$ | × | | |
| | | A, ES:[HL+B] | 3 | 2 | 5 | $A \leftarrow A \vee ((\text{ES:HL}) + B)$ | × | | |
| | | A, [HL+C] | 2 | 1 | 4 | $A \leftarrow A \vee (\text{HL} + C)$ | × | | |
| | | A, ES:[HL+C] | 3 | 2 | 5 | $A \leftarrow A \vee ((\text{ES:HL}) + C)$ | × | | |
| | XOR | A, #byte | 2 | 1 | — | $A \leftarrow A \nabla \text{byte}$ | × | | |
| | | saddr, #byte | 3 | 2 | — | $(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$ | × | | |
| | | A, r 注 3 | 2 | 1 | — | $A \leftarrow A \nabla r$ | × | | |
| | | r, A | 2 | 1 | — | $r \leftarrow r \nabla A$ | × | | |
| | | A, !addr16 | 3 | 1 | 4 | $A \leftarrow A \nabla (\text{addr16})$ | × | | |
| | | A, ES:!addr16 | 4 | 2 | 5 | $A \leftarrow A \nabla (\text{ES:addr16})$ | × | | |
| | | A, saddr | 2 | 1 | — | $A \leftarrow A \nabla (\text{saddr})$ | × | | |
| | | A, [HL] | 1 | 1 | 4 | $A \leftarrow A \nabla (\text{HL})$ | × | | |
| | | A, ES:[HL] | 2 | 2 | 5 | $A \leftarrow A \nabla (\text{ES:HL})$ | × | | |
| | | A, [HL+byte] | 2 | 1 | 4 | $A \leftarrow A \nabla (\text{HL} + \text{byte})$ | × | | |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | $A \leftarrow A \nabla ((\text{ES:HL}) + \text{byte})$ | × | | |
| | | A, [HL+B] | 2 | 1 | 4 | $A \leftarrow A \nabla (\text{HL} + B)$ | × | | |
| | | A, ES:[HL+B] | 3 | 2 | 5 | $A \leftarrow A \nabla ((\text{ES:HL}) + B)$ | × | | |
| | | A, [HL+C] | 2 | 1 | 4 | $A \leftarrow A \nabla (\text{HL} + C)$ | × | | |
| | | A, ES:[HL+C] | 3 | 2 | 5 | $A \leftarrow A \nabla ((\text{ES:HL}) + C)$ | × | | |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fCLK)。

注 2. 程序存储器区域被存取时的CPU时钟数(fCLK)。

注 3. 除 r = A 以外

备注 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

表 26 - 14 操作列表(10/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|------|------|-------------------|----|-----|-----|----------------------|----|----|----|
| | | | | 注 1 | 注 2 | | Z | AC | CY |
| 8位操作 | CMP | A, #byte | 2 | 1 | — | A - byte | x | x | x |
| | | !addr16, #byte | 4 | 1 | 4 | (addr16) - byte | x | x | x |
| | | ES:!addr16, #byte | 5 | 2 | 5 | (ES:addr16) - byte | x | x | x |
| | | saddr, #byte | 3 | 1 | — | (saddr) - byte | x | x | x |
| | | A, r 注 3 | 2 | 1 | — | A - r | x | x | x |
| | | r, A | 2 | 1 | — | r - A | x | x | x |
| | | A, !addr16 | 3 | 1 | 4 | A - (addr16) | x | x | x |
| | | A, ES:!addr16 | 4 | 2 | 5 | A - (ES:addr16) | x | x | x |
| | | A, saddr | 2 | 1 | — | A - (saddr) | x | x | x |
| | | A, [HL] | 1 | 1 | 4 | A - (HL) | x | x | x |
| | | A, ES:[HL] | 2 | 2 | 5 | A - (ES:HL) | x | x | x |
| | | A, [HL+byte] | 2 | 1 | 4 | A - (HL + byte) | x | x | x |
| | | A, ES:[HL+byte] | 3 | 2 | 5 | A - ((ES:HL) + byte) | x | x | x |
| | | A, [HL+B] | 2 | 1 | 4 | A - (HL + B) | x | x | x |
| | | A, ES:[HL+B] | 3 | 2 | 5 | A - ((ES:HL) + B) | x | x | x |
| | | A, [HL+C] | 2 | 1 | 4 | A - (HL + C) | x | x | x |
| | | A, ES:[HL+C] | 3 | 2 | 5 | A - ((ES:HL) + C) | x | x | x |
| | CMP0 | A | 1 | 1 | — | A - 00H | x | x | x |
| | | X | 1 | 1 | — | X - 00H | x | x | x |
| | | B | 1 | 1 | — | B - 00H | x | x | x |
| | | C | 1 | 1 | — | C - 00H | x | x | x |
| | | !addr16 | 3 | 1 | 4 | (addr16) - 00H | x | x | x |
| | | ES:!addr16 | 4 | 2 | 5 | (ES:addr16) - 00H | x | x | x |
| | | saddr | 2 | 1 | — | (saddr) - 00H | x | x | x |
| | CMPS | X, [HL+byte] | 3 | 1 | 4 | X - (HL + byte) | x | x | x |
| | | X, ES:[HL+byte] | 4 | 2 | 5 | X - ((ES:HL) + byte) | x | x | x |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fclk)。

注 2. 程序存储器区域被存取时的CPU时钟数(fclk)。

注 3. 除 r = A 以外

备注 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

表 26 - 15 操作列表(11/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|--------|------|-------------------|----|----|----|---|----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 16 位操作 | ADDW | AX, #word | 3 | 1 | — | $AX, CY \leftarrow AX + word$ | x | x | x |
| | | AX, AX | 1 | 1 | — | $AX, CY \leftarrow AX + AX$ | x | x | x |
| | | AX, BC | 1 | 1 | — | $AX, CY \leftarrow AX + BC$ | x | x | x |
| | | AX, DE | 1 | 1 | — | $AX, CY \leftarrow AX + DE$ | x | x | x |
| | | AX, HL | 1 | 1 | — | $AX, CY \leftarrow AX + HL$ | x | x | x |
| | | AX, !addr16 | 3 | 1 | 4 | $AX, CY \leftarrow AX + (addr16)$ | x | x | x |
| | | AX, ES:!addr16 | 4 | 2 | 5 | $AX, CY \leftarrow AX + (ES:addr16)$ | x | x | x |
| | | AX, saddrp | 2 | 1 | — | $AX, CY \leftarrow AX + (saddrp)$ | x | x | x |
| | | AX, [HL+byte] | 3 | 1 | 4 | $AX, CY \leftarrow AX + (HL + byte)$ | x | x | x |
| | | AX, ES: [HL+byte] | 4 | 2 | 5 | $AX, CY \leftarrow AX + ((ES:HL) + byte)$ | x | x | x |
| | SUBW | AX, #word | 3 | 1 | — | $AX, CY \leftarrow AX - word$ | x | x | x |
| | | AX, BC | 1 | 1 | — | $AX, CY \leftarrow AX - BC$ | x | x | x |
| | | AX, DE | 1 | 1 | — | $AX, CY \leftarrow AX - DE$ | x | x | x |
| | | AX, HL | 1 | 1 | — | $AX, CY \leftarrow AX - HL$ | x | x | x |
| | | AX, !addr16 | 3 | 1 | 4 | $AX, CY \leftarrow AX - (addr16)$ | x | x | x |
| | | AX, ES:!addr16 | 4 | 2 | 5 | $AX, CY \leftarrow AX - (ES:addr16)$ | x | x | x |
| | | AX, saddrp | 2 | 1 | — | $AX, CY \leftarrow AX - (saddrp)$ | x | x | x |
| | | AX, [HL+byte] | 3 | 1 | 4 | $AX, CY \leftarrow AX - (HL + byte)$ | x | x | x |
| | | AX, ES: [HL+byte] | 4 | 2 | 5 | $AX, CY \leftarrow AX - ((ES:HL) + byte)$ | x | x | x |
| | CMPW | AX, #word | 3 | 1 | — | $AX - word$ | x | x | x |
| | | AX, BC | 1 | 1 | — | $AX - BC$ | x | x | x |
| | | AX, DE | 1 | 1 | — | $AX - DE$ | x | x | x |
| | | AX, HL | 1 | 1 | — | $AX - HL$ | x | x | x |
| | | AX, !addr16 | 3 | 1 | 4 | $AX - (addr16)$ | x | x | x |
| | | AX, ES:!addr16 | 4 | 2 | 5 | $AX - (ES:addr16)$ | x | x | x |
| | | AX, saddrp | 2 | 1 | — | $AX - (saddrp)$ | x | x | x |
| | | AX, [HL+byte] | 3 | 1 | 4 | $AX - (HL + byte)$ | x | x | x |
| | | AX, ES: [HL+byte] | 4 | 2 | 5 | $AX - ((ES:HL) + byte)$ | x | x | x |
| 乘 | MULU | X | 1 | 1 | — | $AX \leftarrow A \times X$ | | | |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fCLK)。

注 2. 程序存储器区域被存取时的CPU时钟数(fCLK)。

备注 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

表 26 - 16 操作列表(12/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|---------------|-------|-----|----|----|----|---|----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 乘法、除法、乘法累加和运算 | MULU | X | 1 | 1 | — | $AX \leftarrow A \times X$ | | | |
| | MULHU | | 3 | 2 | — | $BCAX \leftarrow AX \times BC$ (无符号) | | | |
| | MULH | | 3 | 2 | — | $BCAX \leftarrow AX \times BC$ (有符号) | | | |
| | DIVHU | | 3 | 9 | — | AX (商), DE (余数) $\leftarrow AX \div DE$ (无符号) | | | |
| | DIVWU | | 3 | 17 | — | $BCAX$ (商), $HLDE$ (余数) $\leftarrow BCAX \div HLDE$ (无符号) | | | |
| | MACHU | | 3 | 3 | — | $MACR \leftarrow MACR + AX \times BC$ (无符号) | | × | × |
| | MACH | | 3 | 3 | — | $MACR \leftarrow MACR + AX \times BC$ (有符号) | | × | × |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fCLK)。

注 2. 程序存储器区域被存取时的CPU时钟数(fCLK)。

备注 1. 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

备注 2. MACR: 乘法累加运算寄存器（MACRH、MACRL）。

表 26 - 17 操作列表(13/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|-----------|------|---------------|----|-----|-----|---|----|----|----|
| | | | | 注 1 | 注 2 | | Z | AC | CY |
| 递增/ 递减 | INC | r | 1 | 1 | — | $r \leftarrow r + 1$ | × | × | |
| | | !addr16 | 3 | 2 | — | $(addr16) \leftarrow (addr16) + 1$ | × | × | |
| | | ES:!addr16 | 4 | 3 | — | $(ES, addr16) \leftarrow (ES, addr16) + 1$ | × | × | |
| | | saddr | 2 | 2 | — | $(saddr) \leftarrow (saddr) + 1$ | × | × | |
| | | [HL+byte] | 3 | 2 | — | $(HL + byte) \leftarrow (HL + byte) + 1$ | × | × | |
| | | ES: [HL+byte] | 4 | 3 | — | $((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$ | × | × | |
| | DEC | r | 1 | 1 | — | $r \leftarrow r - 1$ | × | × | |
| | | !addr16 | 3 | 2 | — | $(addr16) \leftarrow (addr16) - 1$ | × | × | |
| | | ES:!addr16 | 4 | 3 | — | $(ES, addr16) \leftarrow (ES, addr16) - 1$ | × | × | |
| | | saddr | 2 | 2 | — | $(saddr) \leftarrow (saddr) - 1$ | × | × | |
| | | [HL+byte] | 3 | 2 | — | $(HL + byte) \leftarrow (HL + byte) - 1$ | × | × | |
| | | ES: [HL+byte] | 4 | 3 | — | $((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$ | × | × | |
| | INCW | rp | 1 | 1 | — | $rp \leftarrow rp + 1$ | | | |
| | | !addr16 | 3 | 2 | — | $(addr16) \leftarrow (addr16) + 1$ | | | |
| | | ES:!addr16 | 4 | 3 | — | $(ES, addr16) \leftarrow (ES, addr16) + 1$ | | | |
| | | saddrp | 2 | 2 | — | $(saddrp) \leftarrow (saddrp) + 1$ | | | |
| | | [HL+byte] | 3 | 2 | — | $(HL + byte) \leftarrow (HL + byte) + 1$ | | | |
| | | ES: [HL+byte] | 4 | 3 | — | $((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$ | | | |
| | DECW | rp | 1 | 1 | — | $rp \leftarrow rp - 1$ | | | |
| | | !addr16 | 3 | 2 | — | $(addr16) \leftarrow (addr16) - 1$ | | | |
| | | ES:!addr16 | 4 | 3 | — | $(ES, addr16) \leftarrow (ES, addr16) - 1$ | | | |
| | | saddrp | 2 | 2 | — | $(saddrp) \leftarrow (saddrp) - 1$ | | | |
| | | [HL+byte] | 3 | 2 | — | $(HL + byte) \leftarrow (HL + byte) - 1$ | | | |
| | | ES: [HL+byte] | 4 | 3 | — | $((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$ | | | |
| 移位 | SHR | A, cnt | 2 | 1 | — | $(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow 0) \times cnt$ | | | × |
| | SHRW | AX, cnt | 2 | 1 | — | $(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$ | | | × |
| | SHL | A, cnt | 2 | 1 | — | $(CY \leftarrow A_7, A_m \leftarrow A_{m-1}, A_0 \leftarrow 0) \times cnt$ | | | × |
| | | B, cnt | 2 | 1 | — | $(CY \leftarrow B_7, B_m \leftarrow B_{m-1}, B_0 \leftarrow 0) \times cnt$ | | | × |
| | | C, cnt | 2 | 1 | — | $(CY \leftarrow C_7, C_m \leftarrow C_{m-1}, C_0 \leftarrow 0) \times cnt$ | | | × |
| | SHLW | AX, cnt | 2 | 1 | — | $(CY \leftarrow AX_{15}, AX_m \leftarrow AX_{m-1}, AX_0 \leftarrow 0) \times cnt$ | | | × |
| | | BC, cnt | 2 | 1 | — | $(CY \leftarrow BC_{15}, BC_m \leftarrow BC_{m-1}, BC_0 \leftarrow 0) \times cnt$ | | | × |
| | SAR | A, cnt | 2 | 1 | — | $(CY \leftarrow A_0, A_{m-1} \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$ | | | × |
| | SARW | AX, cnt | 2 | 1 | — | $(CY \leftarrow AX_0, AX_{m-1} \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$ | | | × |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fCLK)。

注 2. 程序存储器区域被存取时的CPU时钟数(fCLK)。

备注 1. 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

备注 2. cnt为位移位数。

表 26 - 18 操作列表(14/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|------|-------|-----------------|----|----|----|--|----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 循环运算 | ROR | A, 1 | 2 | 1 | — | $(CY, A7 \leftarrow A0, A_{m-1} \leftarrow A_m) \times 1$ | | | × |
| | ROL | A, 1 | 2 | 1 | — | $(CY, A0 \leftarrow A7, A_{m+1} \leftarrow A_m) \times 1$ | | | × |
| | RORC | A, 1 | 2 | 1 | — | $(CY \leftarrow A0, A7 \leftarrow CY, A_{m-1} \leftarrow A_m) \times 1$ | | | × |
| | ROLC | A, 1 | 2 | 1 | — | $(CY \leftarrow A7, A0 \leftarrow CY, A_{m+1} \leftarrow A_m) \times 1$ | | | × |
| | ROLWC | AX,1 | 2 | 1 | — | $(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_{m+1} \leftarrow AX_m) \times 1$ | | | × |
| | | BC,1 | 2 | 1 | — | $(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_{m+1} \leftarrow BC_m) \times 1$ | | | × |
| 位操作 | MOV1 | CY, A.bit | 2 | 1 | — | $CY \leftarrow A.bit$ | | | × |
| | | A.bit, CY | 2 | 1 | — | $A.bit \leftarrow CY$ | | | |
| | | CY, PSW.bit | 3 | 1 | — | $CY \leftarrow PSW.bit$ | | | × |
| | | PSW.bit, CY | 3 | 4 | — | $PSW.bit \leftarrow CY$ | × | × | |
| | | CY, saddr.bit | 3 | 1 | — | $CY \leftarrow (saddr).bit$ | | | × |
| | | saddr.bit, CY | 3 | 2 | — | $(saddr).bit \leftarrow CY$ | | | |
| | | CY, sfr.bit | 3 | 1 | — | $CY \leftarrow sfr.bit$ | | | × |
| | | sfr.bit, CY | 3 | 2 | — | $sfr.bit \leftarrow CY$ | | | |
| | | CY,[HL].bit | 2 | 1 | 4 | $CY \leftarrow (HL).bit$ | | | × |
| | | [HL].bit, CY | 2 | 2 | — | $(HL).bit \leftarrow CY$ | | | |
| | | CY, ES:[HL].bit | 3 | 2 | 5 | $CY \leftarrow (ES, HL).bit$ | | | × |
| | | ES:[HL].bit, CY | 3 | 3 | — | $(ES, HL).bit \leftarrow CY$ | | | |
| | AND1 | CY, A.bit | 2 | 1 | — | $CY \leftarrow CY \wedge A.bit$ | | | × |
| | | CY, PSW.bit | 3 | 1 | — | $CY \leftarrow CY \wedge PSW.bit$ | | | × |
| | | CY, saddr.bit | 3 | 1 | — | $CY \leftarrow CY \wedge (saddr).bit$ | | | × |
| | | CY, sfr.bit | 3 | 1 | — | $CY \leftarrow CY \wedge sfr.bit$ | | | × |
| | | CY,[HL].bit | 2 | 1 | 4 | $CY \leftarrow CY \wedge (HL).bit$ | | | × |
| | | CY, ES:[HL].bit | 3 | 2 | 5 | $CY \leftarrow CY \wedge (ES, HL).bit$ | | | × |
| | OR1 | CY, A.bit | 2 | 1 | — | $CY \leftarrow CY \vee A.bit$ | | | × |
| | | CY, PSW.bit | 3 | 1 | — | $CY \leftarrow CY \vee PSW.bit$ | | | × |
| | | CY, saddr.bit | 3 | 1 | — | $CY \leftarrow CY \vee (saddr).bit$ | | | × |
| | | CY, sfr.bit | 3 | 1 | — | $CY \leftarrow CY \vee sfr.bit$ | | | × |
| | | CY, [HL].bit | 2 | 1 | 4 | $CY \leftarrow CY \vee (HL).bit$ | | | × |
| | | CY, ES:[HL].bit | 3 | 2 | 5 | $CY \leftarrow CY \vee (ES, HL).bit$ | | | × |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fCLK)。

注 2. 程序存储器区域被存取时的CPU时钟数(fCLK)。

备注 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

表 26 - 19 操作列表(15/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|-----|------|-----------------|----|-----|-----|---|----|----|----|
| | | | | 注 1 | 注 2 | | Z | AC | CY |
| 位操作 | XOR1 | CY, A.bit | 2 | 1 | — | $CY \leftarrow CY \nabla \text{bit}$ | | | × |
| | | CY, PSW.bit | 3 | 1 | — | $CY \leftarrow CY \nabla \text{PSW.bit}$ | | | × |
| | | CY, saddr.bit | 3 | 1 | — | $CY \leftarrow CY \nabla (\text{saddr}).\text{bit}$ | | | × |
| | | CY, sfr.bit | 3 | 1 | — | $CY \leftarrow CY \nabla \text{sfr.bit}$ | | | × |
| | | CY, [HL].bit | 2 | 1 | 4 | $CY \leftarrow CY \nabla (\text{HL}).\text{bit}$ | | | × |
| | | CY, ES:[HL].bit | 3 | 2 | 5 | $CY \leftarrow CY \nabla (\text{ES}, \text{HL}).\text{bit}$ | | | × |
| | SET1 | A.bit | 2 | 1 | — | $A.\text{bit} \leftarrow 1$ | | | |
| | | PSW.bit | 3 | 4 | — | $\text{PSW.bit} \leftarrow 1$ | × | × | × |
| | | laddr16.bit | 4 | 2 | — | $(\text{addr16}).\text{bit} \leftarrow 1$ | | | |
| | | ES:laddr16.bit | 5 | 3 | — | $(\text{ES}, \text{addr16}).\text{bit} \leftarrow 1$ | | | |
| | | saddr.bit | 3 | 2 | — | $(\text{saddr}).\text{bit} \leftarrow 1$ | | | |
| | | sfr.bit | 3 | 2 | — | $\text{sfr.bit} \leftarrow 1$ | | | |
| | | [HL].bit | 2 | 2 | — | $(\text{HL}).\text{bit} \leftarrow 1$ | | | |
| | | ES:[HL].bit | 3 | 3 | — | $(\text{ES}, \text{HL}).\text{bit} \leftarrow 1$ | | | |
| | CLR1 | A.bit | 2 | 1 | — | $A.\text{bit} \leftarrow 0$ | | | |
| | | PSW.bit | 3 | 4 | — | $\text{PSW.bit} \leftarrow 0$ | × | × | × |
| | | laddr16.bit | 4 | 2 | — | $(\text{addr16}).\text{bit} \leftarrow 0$ | | | |
| | | ES:laddr16.bit | 5 | 3 | — | $(\text{ES}, \text{addr16}).\text{bit} \leftarrow 0$ | | | |
| | | saddr.bit | 3 | 2 | — | $(\text{saddr}).\text{bit} \leftarrow 0$ | | | |
| | | sfr.bit | 3 | 2 | — | $\text{sfr.bit} \leftarrow 0$ | | | |
| | | [HL].bit | 2 | 2 | — | $(\text{HL}).\text{bit} \leftarrow 0$ | | | |
| | | ES:[HL].bit | 3 | 3 | — | $(\text{ES}, \text{HL}).\text{bit} \leftarrow 0$ | | | |
| | SET1 | CY | 2 | 1 | — | $CY \leftarrow 1$ | | | 1 |
| | CLR1 | CY | 2 | 1 | — | $CY \leftarrow 0$ | | | 0 |
| | NOT1 | CY | 2 | 1 | — | $CY \leftarrow \neg CY$ | | | × |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fCLK)

注 2. 程序存储器区域被存取时的CPU时钟数(fCLK)。

备注 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

表 26 - 20 操作列表(16/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|-------|-------|-----------|----|----|----|--|----|----|----|
| | | | | 注1 | 注2 | | Z | AC | CY |
| 调用/返回 | CALL | rp | 2 | 3 | — | (SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC ← CS, rp, SP ← SP - 4 | | | |
| | | \$!addr20 | 3 | 3 | — | (SP - 2) ← (PC + 3) _s , (SP - 3) ← (PC + 3) _H , (SP - 4) ← (PC + 3) _L , PC ← PC + 3 + jdisp16, SP ← SP - 4 | | | |
| | | !addr16 | 3 | 3 | — | (SP - 2) ← (PC + 3) _s , (SP - 3) ← (PC + 3) _H , (SP - 4) ← (PC + 3) _L , PC ← 0000, addr16, SP ← SP - 4 | | | |
| | | !!addr20 | 4 | 3 | — | (SP - 2) ← (PC + 4) _s , (SP - 3) ← (PC + 4) _H , (SP - 4) ← (PC + 4) _L , PC ← addr20, SP ← SP - 4 | | | |
| | CALLT | [addr5] | 2 | 5 | — | (SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC _s ← 0000, PC _H ← (0000, addr5 + 1), PC _L ← (0000, addr5), SP ← SP - 4 | | | |
| | BRK | — | 2 | 5 | — | (SP - 1) ← PSW, (SP - 2) ← (PC + 2) _s , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC _s ← 0000, PC _H ← (0007FH), PC _L ← (0007EH), SP ← SP - 4, IE ← 0 | | | |
| | RET | — | 1 | 6 | — | PC _L ← (SP), PC _H ← (SP + 1), PC _s ← (SP + 2), SP ← SP + 4 | | | |
| | RETI | — | 2 | 6 | — | PC _L ← (SP), PC _H ← (SP + 1), PC _s ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4 | R | R | R |
| | RETB | — | 2 | 6 | — | PC _L ← (SP), PC _H ← (SP + 1), PC _s ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4 | R | R | R |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fCLK)。

注 2. 程序存储器区域被存取时的CPU时钟数(fCLK)。

备注 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

表 26 - 21 操作列表(17/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|-------|------|-----------------------|----|---------|-----|---|----|----|----|
| | | | | 注 1 | 注 2 | | Z | AC | CY |
| 堆栈操作 | PUSH | PSW | 2 | 1 | — | $(SP - 1) \leftarrow PSW, (SP - 2) \leftarrow 00H,$ $SP \leftarrow SP - 2$ | | | |
| | | rp | 1 | 1 | — | $(SP - 1) \leftarrow rpH, (SP - 2) \leftarrow rpL,$ $SP \leftarrow SP - 2$ | | | |
| | POP | PSW | 2 | 3 | — | $PSW \leftarrow (SP + 1), SP \leftarrow SP + 2$ | R | R | R |
| | | rp | 1 | 1 | — | $rpL \leftarrow (SP), rpH \leftarrow (SP + 1), SP \leftarrow SP + 2$ | | | |
| | MOVW | SP, #word | 4 | 1 | — | $SP \leftarrow word$ | | | |
| | | SP, AX | 2 | 1 | — | $SP \leftarrow AX$ | | | |
| | | AX, SP | 2 | 1 | — | $AX \leftarrow SP$ | | | |
| | | HL, SP | 3 | 1 | — | $HL \leftarrow SP$ | | | |
| | | BC, SP | 3 | 1 | — | $BC \leftarrow SP$ | | | |
| | | DE, SP | 3 | 1 | — | $DE \leftarrow SP$ | | | |
| | ADDW | SP, #byte | 2 | 1 | — | $SP \leftarrow SP + byte$ | | | |
| | SUBW | SP, #byte | 2 | 1 | — | $SP \leftarrow SP - byte$ | | | |
| 无条件分支 | BR | AX | 2 | 3 | — | $PC \leftarrow CS, AX$ | | | |
| | | \$addr20 | 2 | 3 | — | $PC \leftarrow PC + 2 + jdisp8$ | | | |
| | | \$laddr20 | 3 | 3 | — | $PC \leftarrow PC + 3 + jdisp16$ | | | |
| | | !addr16 | 3 | 3 | — | $PC \leftarrow 0000, addr16$ | | | |
| | | !!addr20 | 4 | 3 | — | $PC \leftarrow addr20$ | | | |
| 有条件分支 | BC | \$addr20 | 2 | 2/4 注 3 | — | $PC \leftarrow PC + 2 + jdisp8$ if CY = 1 | | | |
| | BNC | \$addr20 | 2 | 2/4 注 3 | — | $PC \leftarrow PC + 2 + jdisp8$ if CY = 0 | | | |
| | BZ | \$addr20 | 2 | 2/4 注 3 | — | $PC \leftarrow PC + 2 + jdisp8$ if Z = 1 | | | |
| | BNZ | \$addr20 | 2 | 2/4 注 3 | — | $PC \leftarrow PC + 2 + jdisp8$ if Z = 0 | | | |
| | BH | \$addr20 | 3 | 2/4 注 3 | — | $PC \leftarrow PC + 3 + jdisp8$ if $(Z \vee CY) = 0$ | | | |
| | BNH | \$addr20 | 3 | 2/4 注 3 | — | $PC \leftarrow PC + 3 + jdisp8$ if $(Z \vee CY) = 1$ | | | |
| | BT | saddr.bit, \$addr20 | 4 | 3/5 注 3 | — | $PC \leftarrow PC + 4 + jdisp8$ if (saddr).bit = 1 | | | |
| | | sfr.bit, \$addr20 | 4 | 3/5 注 3 | — | $PC \leftarrow PC + 4 + jdisp8$ if sfr.bit = 1 | | | |
| | | A.bit, \$addr20 | 3 | 3/5 注 3 | — | $PC \leftarrow PC + 3 + jdisp8$ if A.bit = 1 | | | |
| | | PSW.bit, \$addr20 | 4 | 3/5 注 3 | — | $PC \leftarrow PC + 4 + jdisp8$ if PSW.bit = 1 | | | |
| | | [HL].bit, \$addr20 | 3 | 3/5 注 3 | 6/7 | $PC \leftarrow PC + 3 + jdisp8$ if (HL).bit = 1 | | | |
| | | ES:[HL].bit, \$addr20 | 4 | 4/6 注 3 | 7/8 | $PC \leftarrow PC + 4 + jdisp8$ if (ES, HL).bit = 1 | | | |

注 1. 内部RAM区域、SFR区域或扩展SFR区域被存取，或者未存取数据时的CPU时钟数(fCLK)。

注 2. 程序存储器区域被存取时的CPU时钟数(fCLK)。

注 3. 表示“当不符合条件/符合条件时”的时钟数。

备注 时钟数是指程序存在于ROM（闪存）区域中的时间。如果从内部RAM区域获取指令，该数最大为两倍加3个时钟。

表 26 - 22 操作列表(18/18)

| 指令组 | 助记符 | 操作数 | 字节 | 时钟 | | 时钟 | 标志 | | |
|-------|---------|-----------------------|----|---------|-----|--|----|----|----|
| | | | | 注 1 | 注 2 | | Z | AC | CY |
| 有条件分支 | BF | saddr.bit, \$addr20 | 4 | 3/5 注 3 | — | $PC \leftarrow PC + 4 + jdisp8$ if (saddr).bit = 0 | | | |
| | | sfr.bit, \$addr20 | 4 | 3/5 注 3 | — | $PC \leftarrow PC + 4 + jdisp8$ if sfr.bit = 0 | | | |
| | | A.bit, \$addr20 | 3 | 3/5 注 3 | — | $PC \leftarrow PC + 3 + jdisp8$ if A.bit = 0 | | | |
| | | PSW.bit, \$addr20 | 4 | 3/5 注 3 | — | $PC \leftarrow PC + 4 + jdisp8$ if PSW.bit = 0 | | | |
| | | [HL].bit, \$addr20 | 3 | 3/5 注 3 | 6/7 | $PC \leftarrow PC + 3 + jdisp8$ if (HL).bit = 0 | | | |
| | | ES:[HL].bit, \$addr20 | 4 | 4/6 注 3 | 7/8 | $PC \leftarrow PC + 4 + jdisp8$ if (ES, HL).bit = 0 | | | |
| | BTCLR | saddr.bit, \$addr20 | 4 | 3/5 注 3 | — | $PC \leftarrow PC + 4 + jdisp8$ if (saddr).bit = 1 然后复位 (saddr).bit | | | |
| | | sfr.bit, \$addr20 | 4 | 3/5 注 3 | — | $PC \leftarrow PC + 4 + jdisp8$ if sfr.bit = 1 然后复位 sfr.bit | | | |
| | | A.bit, \$addr20 | 3 | 3/5 注 3 | — | $PC \leftarrow PC + 3 + jdisp8$ if A.bit = 1 然后复位 A.bit | | | |
| | | PSW.bit, \$addr20 | 4 | 3/5 注 3 | — | $PC \leftarrow PC + 4 + jdisp8$ if PSW.bit = 1 然后复位 PSW.bit | × | × | × |
| | | [HL].bit, \$addr20 | 3 | 3/5 注 3 | — | $PC \leftarrow PC + 3 + jdisp8$ if (HL).bit = 1 然后复位 (HL).bit | | | |
| | | ES:[HL].bit, \$addr20 | 4 | 4/6 注 3 | — | $PC \leftarrow PC + 4 + jdisp8$ if (ES, HL).bit = 1 然后复位 (ES, HL).bit | | | |
| 有条件跳过 | SKC | — | 2 | 1 | — | 如果 CY = 1, 跳过下一条指令 | | | |
| | SKNC | — | 2 | 1 | — | 如果 CY = 0, 跳过下一条指令 | | | |
| | SKZ | — | 2 | 1 | — | 如果 Z = 1, 跳过下一条指令 | | | |
| | SKNZ | — | 2 | 1 | — | 如果 Z = 0, 跳过下一条指令 | | | |
| | SKH | — | 2 | 1 | — | 如果 $(Z \vee CY) = 0$, 跳过下一条指令 | | | |
| | SKNH | — | 2 | 1 | — | 如果 $(Z \vee CY) = 1$, 跳过下一条指令 | | | |
| CP 控制 | SEL 注 4 | RBn | 2 | 1 | — | $RBS[1:0] \leftarrow n$ | | | |
| | NOP | — | 1 | 1 | — | 无操作 | | | |
| | EI | — | 3 | 4 | — | $IE \leftarrow 1$ (允许中断) | | | |
| | DI | — | 3 | 4 | — | $IE \leftarrow 0$ (禁止中断) | | | |
| | HALT | — | 2 | 3 | — | 设置 HALT 模式 | | | |
| | STOP | — | 2 | 3 | — | 设置 STOP 模式 | | | |

注 1. 内部 RAM 区域、SFR 区域或扩展 SFR 区域被存取，或者未存取数据时的 CPU 时钟数 (fCLK)。

注 2. 程序存储器区域被存取时的 CPU 时钟数 (fCLK)。

注 3. 表示“当不符合条件/符合条件时”的时钟数。

注 4. n 为寄存器组编号 (n = 0 至 3)

备注 时钟数是指程序存在于 ROM (闪存) 区域中的时间。如果从内部 RAM 区域获取指令，该数最大为两倍加 3 个时钟。

第 27 章 电特性

注意事项 1. μPD79F7027, μPD79F7028 提供用于开发和评估的片上调试功能。对于量产类产品，不得使用片上调试功能，因为在使用该功能时，可能会超过闪存的担保可改写次数，因而会使产品可靠性失去保障。对于使用片上调试功能时发生的问题，瑞萨电子不承担任何责任。

注意事项 2. 如下所示，配置的引脚视具体产品而定。

27.1 配置的引脚（具体视产品而定）

27.1.1 端口功能

请参阅 2.1.1 30 引脚产品和 2.1.2 32 引脚产品。

27.1.2 无端口功能

请参阅 2.1.3 各产品的引脚（端口以外的引脚）。

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

27.2 最大绝对额定值

最大绝对额定值

(1/2)

| 参数 | 符号 | 条件 | 额定值 | 单元 |
|-------------|---------------------|---|---|----|
| 电源电压 | V _{DD} | | -0.5 至 +6.5 | V |
| | V _{SS} | | -0.5 至 +0.3 | V |
| REGC 引脚输入电压 | V _I REGC | REGC | -0.3 至 +2.8 和 -0.3 至 V _{DD} + 0.3 注 1 | V |
| 输入电压 | V _{I1} | P00、P01、P10 至 P17、P30、P31、P40、P50、P51、P70、P120、P147 | -0.3 至 V _{DD} + 0.3 注 2 | V |
| | V _{I2} | P60 至 P62（N 沟开漏） | -0.3 至 +6.5 | V |
| | V _{I3} | P20 至 P23、P121、P122、P137、EXCLK、RESET | -0.3 至 V _{DD} + 0.3 注 2 | V |
| 输出电压 | V _{O1} | P00、P01、P10 至 P17、P30、P31、P40、P50、P51、P60 至 P62、P70、P120、P147 | -0.3 至 V _{DD} + 0.3 注 2 | V |
| | V _{O2} | P20 至 P23 | -0.3 至 V _{DD} + 0.3 | V |
| 模拟输入电压 | V _{AI1} | ANI16 至 ANI19 | -0.3 至 V _{DD} + 0.3 注 2、3 | V |
| | V _{AI2} | ANI0 至 ANI3 | -0.3 至 V _{DD} + 0.3 注 2、3 | V |

注 1. 通过一个电容（0.47 至 1 μF）将 REGC 引脚连接至 V_{SS}。该值调节 REGC 引脚的最大绝对额定值。不得在施加电压时使用该引脚。

注 2. 必须为 6.5 V 或更低。

注 3. A/D 转换目标引脚不可超过 AV_{REF} (+) + 0.3 V。

注意事项 任何参数如果超过最大额定值，即使只有一瞬间超过也可能损坏产品质量。也就是说，最大绝对额定值是对产品造成物理损坏的临界值，因此必须确保在不超过最大绝对额定值下使用产品。

备注 1. 除非另有说明，否则复用功能引脚的特性与端口的特性相同。

备注 2. AV_{REF} (+): A/D 转换器的 + 侧基准电压。

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、 2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

最大绝对额定值

(2/2)

| 参数 | 符号 | 条件 | | 额定值 | 单元 |
|----------|------|-----------------------|---|----------|----|
| 输出电流，高电位 | IOH1 | 每个引脚 | P00、P01、P10至P17、P30、P31、P40、P50、P51、P70、P120、P147 | -40 | mA |
| | | 所有引脚 共计 -170 mA | P00、P01、P40、P120 | -70 | mA |
| | | | P10至P17、P30、P31、P50、P51、P70、P147 | -100 | mA |
| | IOH2 | 每个引脚 | P20至P23 | -0.5 | mA |
| | | 所有引脚 共计 | | -2 | mA |
| 输出电流，低电位 | IOL1 | 每个引脚 | P00、P01、P10至P17、P30、P31、P40、P50、P51、P60至P62、P70、P120、P147 | 40 | mA |
| | | 所有引脚 共计 170 mA | P00、P01、P40、P120 | 70 | mA |
| | | | P10至P17、P30、P31、P50、P51、P60至P62、P70、P147 | 100 | mA |
| | IOL2 | 每个引脚 | P20至P23 | 1 | mA |
| | | 所有引脚 共计 | | 5 | mA |
| 运行环境温度 | TA | 在正常操作模式下 | | -40至+85 | °C |
| | | 在内存编程模式下 | | | |
| 存储温度 | Tstg | | | -65至+150 | °C |

注意事项 任何参数如果超过最大额定值，即使只有一瞬间超过也可能损坏产品质量。也就是说，最大绝对额定值是对产品造成物理损坏的临界值，因此必须确保在不超过最大绝对额定值下使用产品。

备注 除非另有说明，否则复用功能引脚的特性与端口的特性相同。

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、 2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

27.3 振荡器特性

27.3.1 主系统时钟振荡器特性

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 谐振器 | 推荐电路 | 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|-------|------|---------------------|--|-----|-----|------|-----|
| 陶瓷谐振器 | | X1时钟振荡频率(f_x) 注 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 1.0 | | 20.0 | MHz |
| 晶体谐振器 | | X1时钟振荡频率(f_x) 注 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 1.0 | | 20.0 | MHz |

注 仅表示振荡器特性。关于指令执行时间，请参阅AC特性。

注意事项1. 使用X1振荡电路时，按照下面的要求在上图中虚线框起来的区域进行布线，从而避免布线电容的副作用。

- 布线要保证尽可能短。
- 振荡器布线不要和其他的信号线互相交叉。
- 请勿将振荡器的布线靠近通过大波动电流的信号线。
- 始终保持振荡电路电容的接地点与Vss具有相同电位。
- 请勿将电容的接地点连接到通过大电流的接地布局。
- 请勿从振荡电路提取信号。

注意事项2. 解除复位后，使用高速片上振荡器时钟来启动CPU，因此，用户须通过振荡稳定时间计数器状态寄存器(OSTC)来确认X1时钟振荡稳定时间。使用谐振器对于振荡稳定时间进行充分评估后，确定OSTC寄存器和振荡稳定时间选择寄存器(OSTS)的振荡稳定时间。

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、 2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

27.3.2 片上振荡器特性

(TA = -40 至 +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

| 振荡器 | 参数 | 条件 | | 最小值 | 典型值 | 最大值 | 单元 |
|------------------|-----------------|--------------|---------------------|-----|-----|-----|-----|
| 高速片上振荡器时钟频率注 1 | f _{IH} | | | 1 | | 24 | MHz |
| 高速片上振荡器时钟频率精度注 2 | | -20 至 +85 °C | 2.7 V ≤ VDD ≤ 5.5 V | 2 | | 2 | % |
| | | -40 至 -20 °C | 2.7 V ≤ VDD < 5.5 V | 2 | | 2 | % |
| 低速片上振荡器时钟频率 | f _{IL} | | | | 15 | | kHz |
| 低速片上振荡器时钟频率精度 | | | | -15 | | +15 | % |

- 注 1. 可通过选项字节(000C2H)的位0至4和HOCODIV寄存器的位0至2来选择高速片上振荡器频率。
- 注 2. 仅表示振荡器特性。关于指令执行时间，请参阅AC特性。

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

27.4 DC特性

27.4.1 引脚特性

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 项目 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|-------------------------|------|---|--|-----|---------------------|----|
| 输出电流, 高电位 ^{注1} | IOH1 | P00、P01、P10 至 P17、P30、P31、P40、P50、P51、P70、P120、P147 的每个引脚 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | -10.0 ^{注2} | mA |
| | | P00、P01、P40、P120 共计 (当占空比为70%时 ^{注3}) | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | -55.0 | mA |
| | | | $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ | | -10.0 | mA |
| | | P10 至 P17、P30、P31、P50、P51、P70、P147 共计 (当占空比为70%时 ^{注3}) | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | -80.0 | mA |
| | | | $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ | | -19.0 | mA |
| | | 所有引脚共计 (当占空比为70%时 ^{注3}) | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | -135.0 | mA |
| | IOH2 | P20 至 P23 的每个引脚 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | -0.1 ^{注2} | mA |
| | | 所有引脚共计 (当占空比为70%时 ^{注3}) | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | -1.5 | mA |

注 1. 即使电流从VDD引脚流向输出引脚时也可保证器件正常工作的电流值。

注 2. 但不得超过总电流值。

注 3. 占空比为70%的条件下的规格。

改变了占空比的输出电流值可以用以下表达式算出（使占空比从70%变成n%时）。

• 所有引脚的输出电流共计 = $(I_{OH} \times 0.7)/(n \times 0.01)$

<示例> 当n = 50%和IOH = -10.0 mA时

所有引脚的输出电流共计 = $(-10.0 \times 0.7)/(50 \times 0.01) = -14.0\text{ mA}$

然而，允许流进引脚的电流并不因占空比而变化。高于最大绝对额定值的电流不得流入引脚。

注意事项 在N沟开漏模式下，P00、P10、P11、P13至P15、P17、P30、P50、P51不能输出高电平。

备注 除非另有说明，否则复用功能引脚的特性与端口的特性相同。

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、 2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

(Ta = -40 至 +85 °C, 2.7 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

| 项目 | 符号 | 条件 | | 最小值 | 典型值 | 最大值 | 单元 |
|--------------|------|---|---------------------|-----|-----|-------------|----|
| 输出电流, 低电位注 1 | IOL1 | P00、P01、P10 至 P17、P30、P31、P40、P50、P51、P70、P120、P147 的每个引脚 | | | | 20.0 注 2 | mA |
| | | P60 至 P62 的每个引脚 | | | | 15.0 注 2 | mA |
| | | P00、P01、P40、P120 共计 (当占空比为 70% 时注 3) | 4.0 V ≤ VDD ≤ 5.5 V | | | 70.0 | mA |
| | | | 2.7 V ≤ VDD < 4.0 V | | | 15.0 | mA |
| | | P10 至 P17、P30、P31、P50、P51、P60 至 P62、P70、P147 共计 (当占空比为 70% 时注 3) | 4.0 V ≤ VDD ≤ 5.5 V | | | 80.0 | mA |
| | | | 2.7 V ≤ VDD < 4.0 V | | | 35.0 | mA |
| | | 所有引脚共计 (当占空比为 70% 时注 3) | | | | 150.0 | mA |
| | IOL2 | P20 至 P23 的每个引脚 | | | | 0.4 注 2 | mA |
| | | 所有引脚共计 (当占空比为 70% 时注 3) | 2.7 V ≤ VDD ≤ 5.5 V | | | 5.0 | mA |

- 注 1. 即使电流从输出引脚流向VSS引脚时也可保证器件正常工作的电流值。
- 注 2. 但不得超过总电流值。
- 注 3. 占空比为 70% 的条件下的规格。
改变了占空比的输出电流值可以用以下表达式算出（使占空比从 70% 变成 n% 时）。
 - 所有引脚的输出电流共计 = (IOL × 0.7)/(n × 0.01)
<示例> 当 n = 50% 和 IOL = 10.0 mA 时
所有引脚的输出电流共计 = (10.0 × 0.7)/(50 × 0.01) = 14.0 mA然而，允许流进引脚的电流并不因占空比而变化。高于最大绝对额定值的电流不得流入引脚。

备注 除非另有说明，否则复用功能引脚的特性与端口的特性相同。

注意事项 配置的引脚因产品而异。请参阅**2.1.1 30**引脚产品、**2.1.2 32**引脚产品和**2.1.3** 各产品的引脚（端口以外的引脚）。

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 项目 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|-----------|-----------|---|--|--------------|--------------|----|
| 输入电压, 高电位 | V_{IH1} | P00、P01、P10至P17、P30、P31、P40、P50、P51、P70、P120、P147 | 普通输入缓冲器 | $0.8 V_{DD}$ | V_{DD} | V |
| | V_{IH2} | P01、P10、P14至P17、P30、P31、P50 | TTL输入缓冲器 $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 2.2 | V_{DD} | V |
| | | | TTL输入缓冲器 $3.3\text{ V} \leq V_{DD} < 4.0\text{ V}$ | 2.0 | V_{DD} | V |
| | | | TTL输入缓冲器 $2.7\text{ V} \leq V_{DD} < 3.3\text{ V}$ | 1.50 | V_{DD} | V |
| | V_{IH3} | P20至P23 | $0.7 V_{DD}$ | | V_{DD} | V |
| | V_{IH4} | P60至P62 | $0.7 V_{DD}$ | | 6.0 | V |
| | V_{IH5} | P121至P123、P137、EXCLK、 $\overline{\text{RESET}}$ | $0.8 V_{DD}$ | | V_{DD} | V |
| 输入电压, 低电位 | V_{IL1} | P00、P01、P10至P17、P30、P31、P40、P50、P51、P70、P120、P147 | 普通输入缓冲器 | 0 | $0.2 V_{DD}$ | V |
| | V_{IL2} | P01、P10、P14至P17、P30、P31、P50 | TTL输入缓冲器 $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 0 | 0.8 | V |
| | | | TTL输入缓冲器 $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ | 0 | 0.5 | V |
| | V_{IL3} | P20至P23 | 0 | | $0.3 V_{DD}$ | V |
| | V_{IL4} | P60至P62 | 0 | | $0.3 V_{DD}$ | V |
| | V_{IL5} | P121、P122、P137、EXCLK、 $\overline{\text{RESET}}$ | 0 | | $0.2 V_{DD}$ | V |

注意事项 即使在N沟开漏模式下，P00、P10、P11、P13至P15、P17、P30、P50和P51引脚的 V_{IH} 的最大值为 V_{DD} 。

备注 除非另有说明，否则复用功能引脚的特性与端口的特性相同。

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、 2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 项目 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|-----------|------|---|---|----------------|-----|----|
| 输出电压, 高电位 | VOH1 | P00、P01、P10至P17、P30、P31、P40、P50、P51、P70、P120、P147 | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OH1} = -10.0\text{ mA}$ | $V_{DD} - 1.5$ | | V |
| | | | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OH1} = -3.0\text{ mA}$ | $V_{DD} - 0.7$ | | V |
| | | | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OH1} = -1.5\text{ mA}$ | $V_{DD} - 0.5$ | | V |
| | VOH2 | P20至P23 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OH2} = -100\text{ }\mu\text{A}$ | $V_{DD} - 0.5$ | | V |
| 输出电压, 低电位 | VOL1 | P00、P01、P10至P17、P30、P31、P40、P50、P51、P70、P120、P147 | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL1} = 20.0\text{ mA}$ | | 1.3 | V |
| | | | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL1} = 8.5\text{ mA}$ | | 0.7 | V |
| | | | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL1} = 4.0\text{ mA}$ | | 0.4 | V |
| | | | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL1} = 1.5\text{ mA}$ | | 0.4 | V |
| | | | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL1} = 0.6\text{ mA}$ | | 0.4 | V |
| | VOL2 | P20至P23 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL2} = 400\text{ }\mu\text{A}$ | | 0.4 | V |
| | VOL3 | P60至P62 | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL3} = 15.0\text{ mA}$ | | 2.0 | V |
| | | | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL3} = 5.0\text{ mA}$ | | 0.4 | V |
| | | | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL3} = 3.0\text{ mA}$ | | 0.4 | V |
| | | | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL3} = 2.0\text{ mA}$ | | 0.4 | V |
| | | | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $I_{OL3} = 1.0\text{ mA}$ | | 0.4 | V |

注意事项 在N沟开漏模式下, P00、P10、P11、P13至P15、P17、P30、P50和P51不输出高电平。

备注 除非另有说明, 否则复用功能引脚的特性与端口的特性相同。

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 项目 | 符号 | 条件 | | 最小值 | 典型值 | 最大值 | 单元 | | |
|---------------|-------|---|----------|-------------------|-----|-----|----|-----|----|
| 输入漏电流， 高电位 | IIH1 | P00、P01、P10 至 P17、P30、P31、P40、P50、P51、P70、P120、P147 | | VI = VDD | | 1 | μA | | |
| | IIH2 | P20 至 P23、P137、RESET | | VI = VDD | | 1 | μA | | |
| | IIH3 | P121、P122 (X1、X2、EXCLK) | VI = VDD | 在输入端口或 外接时钟输入时 | 1 | μA | | | |
| | | | | 在谐振器连接时 | 10 | μA | | | |
| 输入漏电流， 低电位 | ILIL1 | P00、P01、P10 至 P17、P30、P31、P40、P50、P51、P70、P120、P147 | | VI = Vss | | -1 | μA | | |
| | ILIL2 | P20 至 P23、P137、RESET | | VI = Vss | | -1 | μA | | |
| | ILIL3 | P121、P122 (X1、X2、EXCLK) | VI = Vss | 在输入端口或 外接时钟输入时 | -1 | μA | | | |
| | | | | 在谐振器连接时 | -10 | μA | | | |
| 片上上拉电阻 | RU | P00、P01、P10 至 P17、P30、P31、P40、P50、P51、P70、P120、P147 | | VI = Vss, 在输入端口 | | 10 | 20 | 100 | kΩ |

备注 除非另有说明，否则复用功能引脚的特性与端口的特性相同。

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

27.4.2 电源电流特性

(1) 30 至 32 引脚产品中闪存 ROM 为 16 至 32 KB 的产品

($T_A = -40$ 至 $+85$ °C, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

(1/2)

| 参数 | 符号 | 条件 | | | | | 最小值 | 典型值 | 最大值 | 单元 |
|-------------|------|------|-----------|--|------|-------------------------|-----|-----|-----|----|
| 电源电流 注 1 | IDD1 | 操作模式 | 高速操作注 3、5 | $f_{HOCO} = 48\text{ MHz}$, $f_{IH} = 24\text{ MHz}$ | 基本操作 | $V_{DD} = 5.0\text{ V}$ | | 2.4 | | mA |
| | | | | | | $V_{DD} = 3.0\text{ V}$ | | 2.4 | | |
| | | | | $f_{HOCO} = 24\text{ MHz}$, $f_{IH} = 24\text{ MHz}$ | 基本操作 | $V_{DD} = 5.0\text{ V}$ | | 2.1 | | |
| | | | | | | $V_{DD} = 3.0\text{ V}$ | | 2.1 | | |
| | | | 高速操作注 3、5 | $f_{HOCO} = 48\text{ MHz}$, $f_{IH} = 24\text{ MHz}$ | 正常操作 | $V_{DD} = 5.0\text{ V}$ | | 4.1 | 6.9 | mA |
| | | | | | | $V_{DD} = 3.0\text{ V}$ | | 4.1 | 6.9 | |
| | | | | $f_{HOCO} = 24\text{ MHz}$, $f_{IH} = 24\text{ MHz}$ | 正常操作 | $V_{DD} = 5.0\text{ V}$ | | 3.8 | 6.3 | |
| | | | | | | $V_{DD} = 3.0\text{ V}$ | | 3.8 | 6.3 | |
| | | | | $f_{HOCO} = 16\text{ MHz}$, $f_{IH} = 16\text{ MHz}$ | 正常操作 | $V_{DD} = 5.0\text{ V}$ | | 2.8 | 4.6 | mA |
| | | | | | | $V_{DD} = 3.0\text{ V}$ | | 2.8 | 4.6 | |
| | | | 高速操作注 2、5 | $f_{MX} = 20\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ | 正常操作 | 方波输入 | | 3.3 | 5.3 | mA |
| | | | | | | 谐振器连接 | | 3.5 | 5.5 | |
| | | | | $f_{MX} = 20\text{ MHz}$, $V_{DD} = 3.0\text{ V}$ | 正常操作 | 方波输入 | | 3.3 | 5.3 | |
| | | | | | | 谐振器连接 | | 3.5 | 5.5 | |
| | | | | $f_{MX} = 10\text{ MHz}$, $V_{DD} = 5.0\text{ V}$ | 正常操作 | 方波输入 | | 2.0 | 3.1 | |
| | | | | | | 谐振器连接 | | 2.1 | 3.2 | |
| | | | | $f_{MX} = 10\text{ MHz}$, $V_{DD} = 3.0\text{ V}$ | 正常操作 | 方波输入 | | 2.0 | 3.1 | |
| | | | | | | 谐振器连接 | | 2.1 | 3.2 | |

注 1. 流入 V_{DD} 的总电流，包括输入引脚电平固定至 V_{DD} 或 V_{SS} 时的输入漏电流。最大值栏下方的值包括外围操作电流（后台操作(BGO)除外）。然而，不包括流入 A/D 转换器、LVD 电路、输入/输出端口和片上上拉/下拉电阻的电流。

注 2. 当高速片上振荡器停止工作时。

注 3. 当高速系统时钟停止工作时。

注 4. 当高速片上振荡器和高速系统时钟停止工作时。当看门狗定时器停止工作时。当 $AMPHS1 = 1$ 时（超低功耗振荡）。

注 5. 工作电压宽度、CPU 工作频率和操作模式之间的关系如下所示。

高速操作: $V_{DD} = 2.7\text{ V}$ 至 5.5 V @ 1 MHz 至 24 MHz

低速操作: $V_{DD} = 2.7\text{ V}$ 至 5.5 V @ 1 MHz 至 8 MHz

备注 1. f_{MX} : 高速系统时钟频率（X1 时钟振荡频率或外部主系统时钟频率）

备注 2. f_{HOCO} : 高速片上振荡器时钟频率（最大 48 MHz）

备注 3. f_{IH} : 高速片上振荡器时钟频率（最大 24 MHz）注

备注 4. 典型值的温度条件为 $T_A = 25^\circ\text{C}$

注 当 f_{HOCO} 设置为 48 MHz 时，通过硬件将 f_{IH} 设置为 f_{HOCO} 的 2 分频；当 f_{HOCO} 设置为 24 MHz 或更低时，则设置与 f_{HOCO} 相同的时钟频率。将 48 MHz 供应至定时器 RD 时，须将 f_{CLK} 设置为 f_{IH} 。

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

(1) 30至64引脚产品中闪存ROM为16至64 KB的产品

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

(2/2)

| 参数 | 符号 | 条件 | | | | 最小值 | 典型值 | 最大值 | 单元 | |
|-------------|-------------|----------------|-------------|---------------------------------|-------------|-----|------|------|------|----|
| 电源电流 注 1 | IDD2 注 2 | HALT 模式 | 高速操作注4、 6 | fHOCO = 48 MHz, fIH = 24 MHz | VDD = 5.0 V | | 0.62 | 2.40 | mA | |
| | | | | | VDD = 3.0 V | | 0.62 | 2.40 | | |
| | | | | fHOCO = 24 MHz, fIH = 24 MHz | VDD = 5.0 V | | 0.44 | 1.83 | | |
| | | | | | VDD = 3.0 V | | 0.44 | 1.83 | | |
| | | | | fHOCO = 16 MHz, fIH = 16 MHz | VDD = 5.0 V | | 0.40 | 1.38 | | |
| | | | | | VDD = 3.0 V | | 0.40 | 1.38 | | |
| | | | 高速操作注3、 6 | fMX = 20 MHz, VDD = 5.0 V | 方波输入 | | 0.28 | 1.55 | mA | |
| | | | | | 谐振器连接 | | 0.53 | 1.74 | | |
| | | | | fMX = 20 MHz, VDD = 3.0 V | 方波输入 | | 0.28 | 1.55 | | |
| | | | | | 谐振器连接 | | 0.49 | 1.74 | | |
| | | | | fMX = 10 MHz, VDD = 5.0 V | 方波输入 | | 0.19 | 0.86 | | |
| | | | | | 谐振器连接 | | 0.30 | 0.93 | | |
| | | | | fMX = 10 MHz, VDD = 3.0 V | 方波输入 | | 0.19 | 0.86 | | |
| | | | | | 谐振器连接 | | 0.30 | 0.93 | | |
| | IDD3 | STOP 模式 注 5 | TA = -40 °C | | | | | 0.18 | | μA |
| | | | TA = +25 °C | | | | | 0.24 | 0.51 | |
| | | | TA = +50 °C | | | | | 0.29 | 1.10 | |
| | | | TA = +70 °C | | | | | 0.41 | 1.90 | |
| | | | TA = +85 °C | | | | | 0.90 | 3.30 | |

注 1. 流入 V_{DD} 的总电流，包括输入引脚电平固定至 V_{DD} 或 V_{SS} 时的输入漏电流。最大值栏下方的值包括外围操作电流。然而，不包括流入A/D转换器、LVD电路、输入/输出端口和片上上拉/下拉电阻的电流。

注 2. 通过闪存执行HALT指令时。

注 3. 当高速片上振荡器停止工作时。

注 4. 当高速系统时钟停止工作时。

注 5. 当高速片上振荡器和高速系统时钟停止工作时。当看门狗定时器停止工作时。最大值栏下方的值包括漏电流。

注 6. 工作电压宽度、CPU工作频率和操作模式之间的关系如下所示。

高速操作： $V_{DD} = 2.7\text{ V}$ 至 5.5 V @1 MHz至24 MHz

低速操作： $V_{DD} = 2.7\text{ V}$ 至 5.5 V @1 MHz至8 MHz

备注 1. f_{MX} ：高速系统时钟频率（X1时钟振荡频率或外部主系统时钟频率）

备注 2. f_{HOCO} ：高速片上振荡器时钟频率（最大48 MHz）

备注 3. f_{IH} ：高速片上振荡器时钟频率（最大24 MHz）注

备注 4. 典型值的温度条件为 $T_A = 25\text{ }^{\circ}\text{C}$

注 当 f_{HOCO} 设置为48 MHz时，通过硬件将 f_{IH} 设置为 f_{HOCO} 的2分频；当 f_{HOCO} 设置为24 MHz或更低时，则设置与 f_{HOCO} 相同的时钟频率。将48 MHz供应至定时器RD时，须将 f_{CLK} 设置为 f_{IH} 。

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

(2) μPD79F7027, μPD79F7028 所有产品共同

($T_A = -40$ 至 $+85$ °C, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 参数 | 符号 | 条件 | | 最小值 | 典型值 | 最大值 | 单元 |
|-------------------|---------------------------|--------------------------|--|-----|------|-------|----|
| 看门狗定时器 操作电流 | I _{WDT} 注 1、2 | f _{IL} = 15 kHz | | | 0.22 | | μA |
| A/D 转换器操作电流 | I _{ADC} 注 3 | 最高速转换时 | 标准模式, $AV_{REFP} = V_{DD} = 5.0\text{ V}$ | | 1.3 | 1.7 | mA |
| | | | 低电压模式, $AV_{REFP} = V_{DD} = 3.0\text{ V}$ | | 0.5 | 0.7 | mA |
| A/D 转换器 基准电压电流 | I _{ADREF} | | | | 75 | | μA |
| 温度传感器操作电流 | I _{TMP} | | | | 75 | | μA |
| LVD 操作电流 | I _{LVI} 注 4 | | | | 0.08 | | μA |
| BGO 操作电流 | I _{BGO} 注 5 | | | | 2.50 | 12.20 | mA |

注 1. 当高速片上振荡器和高速系统时钟停止工作时。

注 2. 仅流入看门狗定时器的电流（包括低速片上振荡电路的操作电流）。

当看门狗定时器工作于 STOP 模式时, μPD79F7027, μPD79F7028 的电流值为 I_{DD1}、I_{DD2} 或 I_{DD3} 与 I_{WDT} 之和。

注 3. 仅流入 A/D 转换器的电流。当 A/D 转换器工作于操作模式或 HALT 模式时, μPD79F7027, μPD79F7028 的电流值为 I_{DD1} 或 I_{DD2} 与 I_{ADC} 之和。

注 4. 仅流入 LVD 电路的电流。当 LVD 电路工作于操作、HALT 或 STOP 模式时, μPD79F7027, μPD79F7028 的电流值为 I_{DD1}、I_{DD2} 或 I_{DD3} 和 I_{LVI} 之和。

注 5. 仅流入 BGO 的电流。当 BGO 工作于操作模式时, μPD79F7027, μPD79F7028 的电流值为 I_{DD1} 或 I_{DD2} 与 I_{BGO} 之和。

备注 1. f_{IL}: 低速片上振荡器时钟频率

备注 2. f_{CLK}: CPU/外围硬件时钟频率

备注 3. 典型值的温度条件为 $T_A = 25$ °C

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

27.5 AC 特性

27.5.1 基本操作

($T_A = -40$ 至 $+85$ °C, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 项目 | 符号 | 条件 | | 最小值 | 典型值 | 最大值 | 单元 | |
|---|--|----------------------------------|-------|---------------------------------|-------------------------|-----|------|-----|
| 指令周期 (最短指令执行时间) | T _{CY} | 主系统时钟 (f _{MAIN}) 操作 | 高速主模式 | 2.7 V ≤ V _{DD} ≤ 5.5 V | 0.03125 | | 1 | μs |
| | | | 低速主模式 | 2.7 V ≤ V _{DD} ≤ 5.5 V | 0.125 | | 1 | μs |
| | | 自编程模式 | 高速主模式 | 2.7 V ≤ V _{DD} ≤ 5.5 V | 0.03125 | | 1 | μs |
| | | | 低速主模式 | 2.7 V ≤ V _{DD} ≤ 5.5 V | 0.125 | | 1 | μs |
| 外部主系统时钟频率 | f _{EX} | 2.7 V ≤ V _{DD} ≤ 5.5 V | | | 1.0 | | 20.0 | MHz |
| 外部主系统时钟输入高电位, 低电位宽幅 | t _{EXH} 、 t _{EXL} | 2.7 V ≤ V _{DD} ≤ 5.5 V | | | 24 | | | ns |
| TI00至TI03输入高电位, 低电位宽幅 | t _{TIH} 、t _{TIL} | | | | 1/f _{MCK} + 10 | | | ns |
| 定时器RJ输入周期 | f _C | TRJIO | | 2.7 V ≤ V _{DD} ≤ 5.5 V | 100 | | | ns |
| 定时器RJ输入高电位, 低电位宽幅 | f _{WH} 、f _{WL} | TRJIO | | 2.7 V ≤ V _{DD} ≤ 5.5 V | 40 | | | ns |
| TO00至TO03、TRJIO0、 TRJO、TRDIOA0/1、 TRDIOB0/1、TRDIOC0/1、 TRDIOD0/1输出频率 | f _{TO} | 高速主模式 | | 4.0 V ≤ V _{DD} ≤ 5.5 V | | | 16 | MHz |
| | | | | 2.7 V ≤ V _{DD} < 4.0 V | | | 8 | MHz |
| | | 低速主模式 | | 2.7 V ≤ V _{DD} ≤ 5.5 V | | | 4 | MHz |
| PCLBUZ0、PCLBUZ1输出 频率 | f _{PCL} | 高速主模式 | | 4.0 V ≤ V _{DD} ≤ 5.5 V | | | 16 | MHz |
| | | | | 2.7 V ≤ V _{DD} < 4.0 V | | | 8 | MHz |
| | | 低速主模式 | | 2.7 V ≤ V _{DD} ≤ 5.5 V | | | 4 | MHz |
| 中断输入高电位, 低电位宽幅 | t _{INTH} 、 t _{INTL} | INTP0 | | 2.7 V ≤ V _{DD} ≤ 5.5 V | 1 | | | μs |
| | | INTP1至INTP5 | | 2.7 V ≤ V _{DD} ≤ 5.5 V | 1 | | | μs |
| RESET低电位宽幅 | t _{RSL} | | | | 10 | | | μs |

备注 f_{MCK}: 定时器阵列单元的工作时钟频率

(由定时器模式寄存器 mn (TMRmn) 的 CKSmn 位设置的工作时钟。m: 单元编号 (m = 0), n: 通道编号 (n = 0 至 3))

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、 2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

27.6 外围功能特性

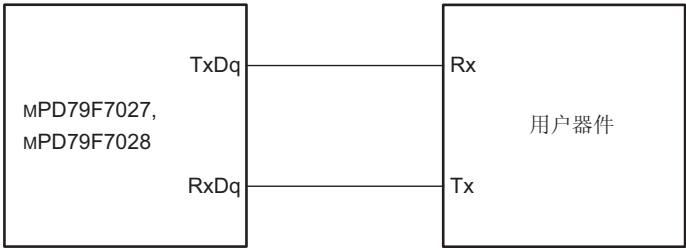
27.6.1 串行阵列单元

(1) 相同电位通信时（UART 模式）（专用波特率生成器输出）

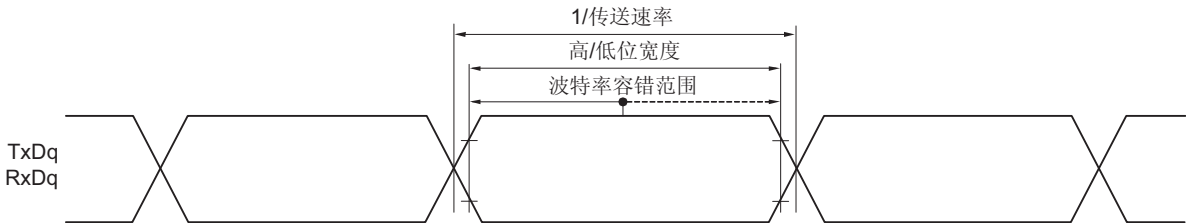
（TA = -40至+85 °C， 2.7 V ≤ 5.5 V， Vss = 0 V）

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|-------|----|--|-----|-----|--------|------|
| 传送速率注 | | | | | fMCK/6 | bps |
| | | 最大传送速率的理论值 fCLK = 24 MHz， fMCK = fCLK | | | 4.0 | Mbps |

UART 模式连接图（相同电位通信时）



UART 模式位宽度（相同电位通信时）（参考）



注 SNOOZE 模式下的传送速率为最大值9600 bps，最小值4800 bps。

注意事项 使用端口输入模式寄存器g (PIMg)和端口输出模式寄存器g (POMg)，RxDq引脚选择普通输入缓冲器，TxDq引脚选择普通输出模式。

备注 1. q: UART编号（q = 0、1），g: PIM和POM编号（g = 0、5）

备注 2. fMCK: 串行阵列单元的工作时钟频率
（由串行模式寄存器mn (SMRmn)的CKSmn位设置的工作时钟。m: 单元编号，n: 通道编号（mn = 00至03））

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

(2) 相同电位通信时（CSI 模式）（主模式(fmck/2)， $\overline{\text{SCKp}}$... 内部时钟输出）

($T_A = -40$ 至 $+85\text{ }^\circ\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|---|---------------|--|--------------|-----|-----|----|
| $\overline{\text{SCKp}}$ 周期 | tkCY1 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 83.3 注 1 | | | ns |
| $\overline{\text{SCKp}}$ 高电位/低电位宽幅 | tkH1、 tkL1 | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | tkCY1/2 - 7 | | | ns |
| | | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | tkCY1/2 - 10 | | | ns |
| Slp 建立时间（至 $\overline{\text{SCKp}}\uparrow$ ）注 2 | tSIK1 | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 23 | | | ns |
| | | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 33 | | | ns |
| Slp 保持时间（自 $\overline{\text{SCKp}}\uparrow$ ）注 3 | tKSI1 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 10 | | | ns |
| 从 $\overline{\text{SCKp}}\downarrow$ 至 SOp 输出的迟延时间注 4 | tKSO1 | $C = 20\text{ pF}$ 注 5 | | | 10 | ns |

注 1. 且需设定为 2/fCLK 或更高的值。

注 2. 当 DAPmn = 0 和 CKPmn = 0，或 DAPmn = 1 和 CKPmn = 1 时。DAPmn = 0 和 CKPmn = 1，或 DAPmn = 1 和 CKPmn = 0 时，Slp 建立时间变为“至 $\overline{\text{SCKp}}\downarrow$ ”。

注 3. 当 DAPmn = 0 和 CKPmn = 0，或 DAPmn = 1 和 CKPmn = 1 时。DAPmn = 0 和 CKPmn = 1，或 DAPmn = 1 和 CKPmn = 0 时，Slp 保持时间变为“从 $\overline{\text{SCKp}}\downarrow$ ”。

注 4. 当 DAPmn = 0 和 CKPmn = 0，或 DAPmn = 1 和 CKPmn = 1 时。DAPmn = 0 和 CKPmn = 1，或 DAPmn = 1 和 CKPmn = 0 时，SOp 输出的迟延时间变为“从 $\overline{\text{SCKp}}\uparrow$ ”。

注 5. C 为 $\overline{\text{SCKp}}$ 和 SOp 输出线路的负载电容。

注意事项 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 g (POMg)，Slp 引脚选择普通输入缓冲器，SOp 引脚和 $\overline{\text{SCKp}}$ 引脚选择普通输出模式。

备注 1. 仅当未使用 CSI00 的外围输入/输出重定向功能时，该规格才有效。

备注 2. p: CSI 编号 (p = 00)，m: 单元编号 (m = 0)，n: 通道编号 (n = 0)，g: PIM 和 POM 编号 (g = 1)

备注 3. fmck: 串行阵列单元的工作时钟频率

（由串行模式寄存器 mn (SMRmn) 的 CKSmn 位设置的工作时钟。m: 单元编号，n: 通道编号 (mn = 00)）

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

(3) 相同电位通信时（CSI 模式）（主模式（fMCK/4）， $\overline{\text{SCKp}}$... 内部时钟输出）
（ $T_A = -40$ 至 $+85$ °C， $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ， $V_{SS} = 0\text{ V}$ ）

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|---|--|--|---------------------------|-----|-----|----|
| $\overline{\text{SCKp}}$ 周期 | t _{KCY1} | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 167 注 1 | | | ns |
| | | $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 250 注 1 | | | ns |
| $\overline{\text{SCKp}}$ 高电位/低电位宽幅 | t _{KH1} 、 t _{KL1} | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | t _{KCY1} /2 - 12 | | | ns |
| | | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | t _{KCY1} /2 - 18 | | | ns |
| Slp 建立时间（至 $\overline{\text{SCKp}}\uparrow$ ）注 2 | t _{SIK1} | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 44 | | | ns |
| | | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 44 | | | ns |
| Slp 保持时间（自 $\overline{\text{SCKp}}\uparrow$ ）注 3 | t _{KSI1} | | 19 | | | ns |
| 从 $\overline{\text{SCKp}}\downarrow$ 至 SOp 输出的迟延时间注 4 | t _{KSO1} | C = 30 pF 注 5 | | | 25 | ns |

注 1. 且需设定为 4/fCLK 或更高的值。

注 2. 当 DAPmn = 0 和 CKPmn = 0，或 DAPmn = 1 和 CKPmn = 1 时。DAPmn = 0 和 CKPmn = 1，或 DAPmn = 1 和 CKPmn = 0 时，Slp 建立时间变为“至 $\overline{\text{SCKp}}\downarrow$ ”。

注 3. 当 DAPmn = 0 和 CKPmn = 0，或 DAPmn = 1 和 CKPmn = 1 时。DAPmn = 0 和 CKPmn = 1，或 DAPmn = 1 和 CKPmn = 0 时，Slp 保持时间变为“从 $\overline{\text{SCKp}}\downarrow$ ”。

注 4. 当 DAPmn = 0 和 CKPmn = 0，或 DAPmn = 1 和 CKPmn = 1 时。DAPmn = 0 和 CKPmn = 1，或 DAPmn = 1 和 CKPmn = 0 时，SOp 输出的迟延时间变为“从 $\overline{\text{SCKp}}\uparrow$ ”。

注 5. C 为 $\overline{\text{SCKp}}$ 和 SOp 输出线路的负载电容。

注意事项 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 g (POMg)，Slp 引脚选择普通输入缓冲器，SOp 引脚和 $\overline{\text{SCKp}}$ 引脚选择普通输出模式。

备注 1. p: CSI 编号 (p = 00)，m: 单元编号 (m = 0)，n: 通道编号 (n = 0)，g: PIM 编号 (g = 3、5)

备注 2. fMCK: 串行阵列单元的工作时钟频率
(由串行模式寄存器 mn (SMRmn) 的 CKSmn 位设置的工作时钟。m: 单元编号，n: 通道编号 (mn = 00))

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

(4) 相同电位通信时（CSI模式）（从模式， $\overline{\text{SCKp}}$...外接时钟输入）

($T_A = -40$ 至 $+85\text{ }^\circ\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 参数 | 符号 | 条件 | | 最小值 | 典型值 | 最大值 | 单元 |
|---|---------------|--|--|-------------------|-----|------------------|----|
| $\overline{\text{SCKp}}$ 周期注 5 | tkCY2 | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | $20\text{ MHz} < f_{MCK}$ | $8/f_{MCK}$ | | | ns |
| | | | $f_{MCK} \leq 20\text{ MHz}$ | $6/f_{MCK}$ | | | ns |
| | | $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ | $16\text{ MHz} < f_{MCK}$ | $8/f_{MCK}$ | | | ns |
| | | | $f_{MCK} \leq 16\text{ MHz}$ | $6/f_{MCK}$ | | | ns |
| $\overline{\text{SCKp}}$ 高电位/低电位宽幅 | tkH2、 tkL2 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | tkCY2/2 | | | ns |
| Slp建立时间 (至 $\overline{\text{SCKp}}\uparrow$)注 1 | tSIK2 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | $1/f_{MCK} + 20$ | | | ns |
| Slp保持时间 (从 $\overline{\text{SCKp}}\uparrow$)注 2 | tkSI2 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | $1/f_{MCK} + 31$ | | | ns |
| 从 $\overline{\text{SCKp}}\downarrow$ 至SOp输出的延迟时间注 3 | tkSO2 | C = 30 pF 注 4 | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | | $2/f_{MCK} + 44$ | ns |
| | | | $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ | | | $2/f_{MCK} + 44$ | ns |
| SSI00建立时间 | tSSI | DAPmn = 0 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 120 | | | ns |
| | | DAPmn = 1 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | $1/f_{MCK} + 120$ | | | ns |
| SSI00保持时间 | tkSSI | DAPmn = 0 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | $1/f_{MCK} + 120$ | | | ns |
| | | DAPmn = 1 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 120 | | | ns |

注 1. 当 DAPmn = 0 和 CKPmn = 0, 或 DAPmn = 1 和 CKPmn = 1 时。DAPmn = 0 和 CKPmn = 1, 或 DAPmn = 1 和 CKPmn = 0 时, Slp建立时间变为“至 $\overline{\text{SCKp}}\downarrow$ ”。

注 2. 当 DAPmn = 0 和 CKPmn = 0, 或 DAPmn = 1 和 CKPmn = 1 时。DAPmn = 0 和 CKPmn = 1, 或 DAPmn = 1 和 CKPmn = 0 时, Slp保持时间变为“从 $\overline{\text{SCKp}}\downarrow$ ”。

注 3. 当 DAPmn = 0 和 CKPmn = 0, 或 DAPmn = 1 和 CKPmn = 1 时。DAPmn = 0 和 CKPmn = 1, 或 DAPmn = 1 和 CKPmn = 0 时, SOp输出的延迟时间变为“从 $\overline{\text{SCKp}}\uparrow$ ”。

注 4. C 为 SOp 输出线路的负载电容。

注 5. SNOOZE 模式下的传送速率为最大值 1 Mbps。

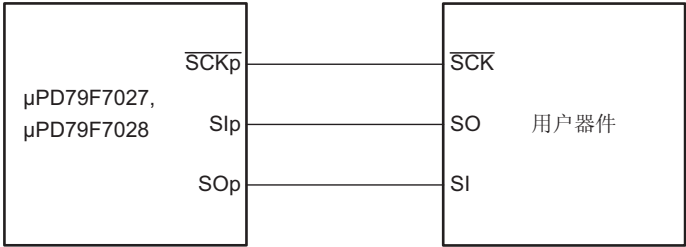
注意事项 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 g (POMg), Slp 引脚和 $\overline{\text{SCKp}}$ 引脚选择 TTL 输入缓冲器, SOp 引脚选择普通输出模式。

备注 1. p: CSI 编号 (p = 00), m: 单元编号 (m = 0), n: 通道编号 (n = 0), g: PIM 编号 (g = 3、5)

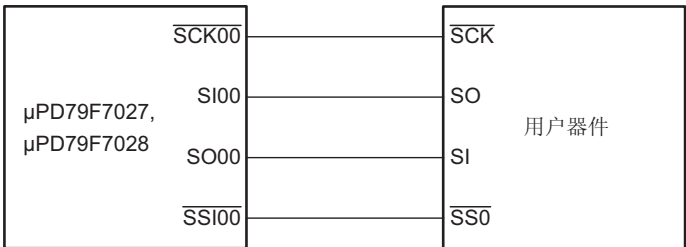
备注 2. fMCK: 串行阵列单元的工作时钟频率
(由串行模式寄存器 mn (SMRmn) 的 CKSmn 位设置的工作时钟。m: 单元编号, n: 通道编号 (mn = 00))

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、 2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

CSI 模式连接图（相同电位通信时）



CSI 模式连接图（相同电位通信时）
（从设备选择输入功能 (CSI00) 的从属传送）

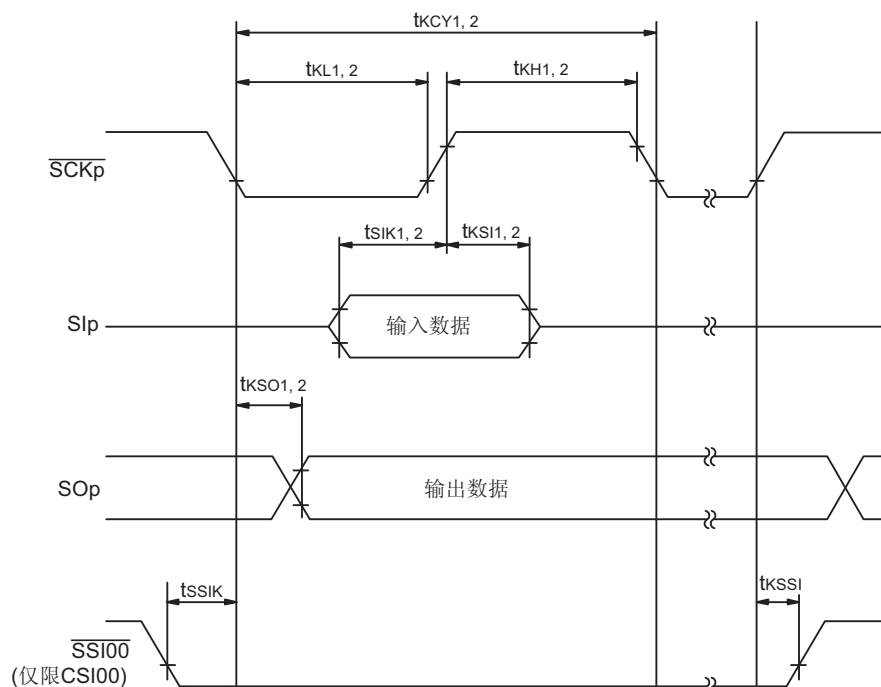


备注 1. p: CSI 编号 (p = 00)
备注 2. m: 单元编号, n: 通道编号 (mn = 00)

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

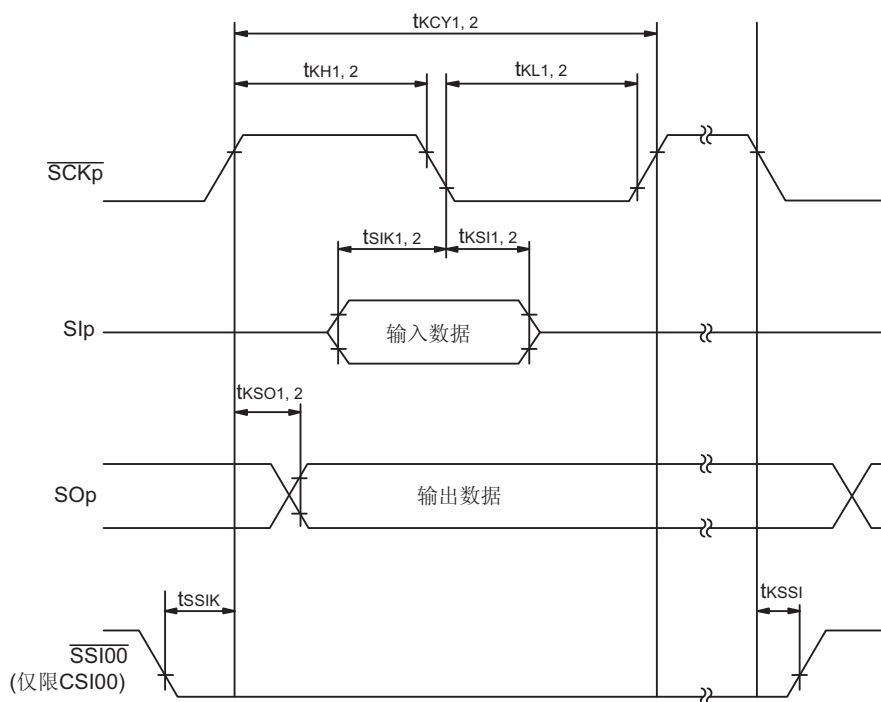
CSI 模式串行传送时序（相同电位通信时）

（DAPmn = 0 和 CKPmn = 0，或 DAPmn = 1 和 CKPmn = 1 时）



CSI 模式串行传送时序（相同电位通信时）

（DAPmn = 0 和 CKPmn = 1，或 DAPmn = 1 和 CKPmn = 0 时）



备注 1. p: CSI 编号 (p = 00)

备注 2. m: 单元编号, n: 通道编号 (mn = 00)

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

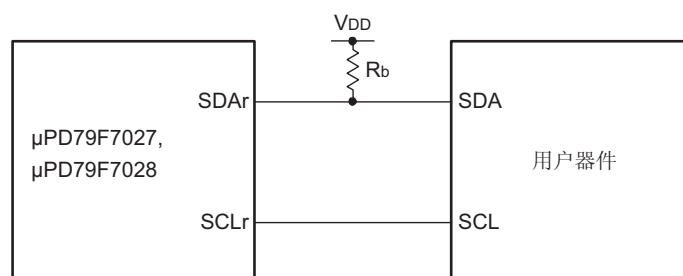
(5) 相同电位通信时（简易 I²C 模式）

(T_A = -40 至 +85 °C, 2.7 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

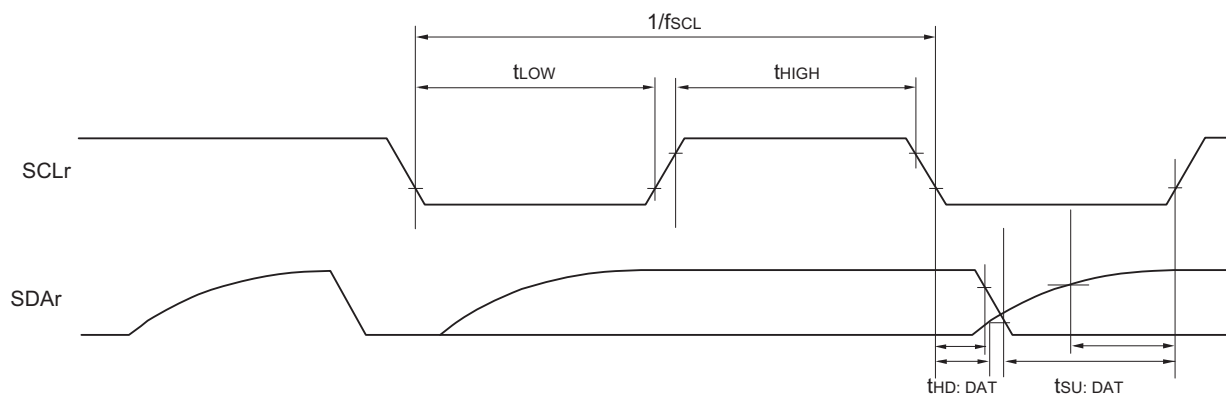
| 参数 | 符号 | 条件 | 最小值 | 最大值 | 单元 |
|-------------------|---------------------|---|----------------------------|-----|-----|
| SCLr 时钟频率 | f _{SCL} | 2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 5 kΩ | | 400 | kHz |
| SCLr = “L” 时的保持时间 | t _{LOW} | 2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 5 kΩ | 1150 | | ns |
| SCLr = “H” 时的保持时间 | t _{HIGH} | 2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 5 kΩ | 1150 | | ns |
| 数据建立时间（接收） | t _{SU:DAT} | 2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 5 kΩ | 1/f _{MCK} + 145 注 | | ns |
| 数据保持时间（传送） | t _{HD:DAT} | 2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 5 kΩ | 0 | 355 | ns |

注 请将 f_{MCK} 值设定为不超过 SCLr = “L” 和 SCLr = “H” 的保持时间的数值。

简易 I²C 模式连接图（相同电位通信时）



简易 I²C 模式串行传送时序（相同电位通信时）



注意事项 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 h (POMh)，为 SDAr 引脚选择 TTL 输入缓冲器和 N 沟开漏输出（V_{DD} 耐压）模式，SCLr 引脚选择 N 沟开漏输出（V_{DD} 耐压）模式。

备注 1. R_b[Ω]: 通信线路 (SDAr) 上拉电阻, C_b[F]: 通信线路 (SDAr, SCLr) 负载电容

备注 2. r: IIC 编号 (r = 00), g: PIM 编号 (g = 3、5), h: POM 编号 (h = 3、5)

备注 3. f_{MCK}: 串行阵列单元的工作时钟频率

（由串行模式寄存器 mn (SMRmn) 的 CKSmn 位设置的工作时钟。m: 单元编号 (m = 0), n: 通道编号 (n = 0), mn = 00)

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

(6) 不同电位（2.5 V、3 V）通信时（UART模式）（专用波特率生成器输出）

（ $T_A = -40$ 至 $+85$ °C， $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ， $V_{SS} = 0\text{ V}$ ）

(1/2)

| 参数 | 符号 | 条件 | | 最小值 | 典型值 | 最大值 | 单元 |
|--------------|----|----|---|---|-----|----------------|------|
| 传送速率 注1、2 | | 接收 | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$ | | | $f_{MCK}/6$ 注1 | bps |
| | | | | 最大传送速率理论值 $f_{CLK} = 24\text{ MHz}$, $f_{MCK} = f_{CLK}$ | | 4.0 | Mbps |
| | | | $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ | | | $f_{MCK}/6$ 注1 | bps |
| | | | | 最大传送速率理论值 $f_{CLK} = 24\text{ MHz}$, $f_{MCK} = f_{CLK}$ | | 4.0 | Mbps |

注 1. SNOOZE 模式下的传送速率为最大值9600 bps，最小值4800 bps

注 2. 请在 $V_{DD} \geq V_b$ 下使用。

注意事项 使用端口输入模式寄存器g (PIMg)和端口输出模式寄存器g (POMg)，RxDq引脚选择TTL输入缓冲器，TxDq引脚选择N沟开漏输出（ V_{DD} 耐压）模式。

备注 1. $V_b[V]$: 通信线路电压

备注 2. q: UART编号（q = 0、1），g: PIM和POM编号（g = 0、5）

备注 3. f_{MCK} : 串行阵列单元的工作时钟频率

（由串行模式寄存器mn (SMRmn)的CKSmn位设置的工作时钟。m: 单元编号，n: 通道编号（mn = 00至03）

备注 4. 下面的 V_{IH} 和 V_{IL} 为串行阵列单元在UART模式下以不同电位通信时的AC特性的观察点。

$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ， $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$: $V_{IH} = 2.2\text{ V}$ ， $V_{IL} = 0.8\text{ V}$

$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ ， $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$: $V_{IH} = 2.0\text{ V}$ ， $V_{IL} = 0.5\text{ V}$

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

(6) 不同电位（2.5 V、3 V）通信时（UART 模式）（专用波特率生成器输出）

（ $T_A = -40$ 至 $+85$ °C， $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ， $V_{SS} = 0\text{ V}$ ）

(2/2)

| 参数 | 符号 | 条件 | | 最小值 | 典型值 | 最大值 | 单元 |
|------|----|----|--|-----|-----|------------|------|
| 传送速率 | | 发送 | 4.0 V \leq V _{DD} \leq 5.5 V, 2.7 V \leq V _b \leq 4.0 V | | | 注 1、2 | bps |
| | | | 最大传送速率理论值 C _b = 50 pF, R _b = 1.4 kΩ, V _b = 2.7 V | | | 2.8 注 3 | Mbps |
| | | | 2.7 V \leq V _{DD} < 4.0 V, 2.3 V \leq V _b \leq 2.7 V | | | 注 2、4 | bps |
| | | | 最大传送速率理论值 C _b = 50 pF, R _b = 2.7 kΩ, V _b = 2.3 V | | | 1.2 注 5 | Mbps |

注 1. 使用 f_{MCK}/6 或以下表达式得到的较小的最大传送速率为有效的最大传送速率。

当 4.0 V \leq V_{DD} \leq 5.5 V，2.7 V \leq V_b \leq 4.0 V 时的传送速率计算公式示例

$$\text{最大传送速率} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{波特率误差 (理论值)} = \frac{\frac{1}{\text{传送速率} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{传送速率}}) \times \text{传送位数}} \times 100 \text{ [%]}$$

* 该值为发送端与接收端之间的理论相对差值。

注 2. SNOOZE 模式下的传送速率为最大值 9600 bps，最小值 4800 bps

注 3. 举例来说，在“条件”栏中所列条件得到满足时计算该值。

请参阅上面的注 1，以了解如何在自定义条件下计算最大传送速率。

注 4. 使用 f_{MCK}/6 或以下表达式得到的较小的最大传送速率为有效的最大传送速率。

当 2.7 V \leq V_{DD} < 4.0 V，2.3 V \leq V_b \leq 2.7 V 时的传送速率计算公式示例

$$\text{最大传送速率} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{波特率误差 (理论值)} = \frac{\frac{1}{\text{传送速率} - 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{传送速率}}) \times \text{传送位数}} \times 100 \text{ [%]}$$

* 该值为发送端与接收端之间的理论相对差值。

注 5. 举例来说，在“条件”栏中所列条件得到满足时计算该值。

请参阅上面的注 4，以了解如何在自定义条件下计算最大传送速率。

注 6. 请在 V_{DD} \geq V_b 下使用。

注意事项 使用端口输入模式寄存器 **g** (PIMg) 和端口输出模式寄存器 **g** (POMg), **RxDq** 引脚选择 **TTL** 输入缓冲器, **TxDq** 引脚选择 **N** 沟开漏输出 (**V_{DD}** 耐压) 模式。

备注 1. **R_b**[Ω]: 通信线路 (**TxDq**) 上拉电阻,

C_b[F]: 通信线路 (**TxDq**) 负载电容, **V_b**[V]: 通信线路电压

备注 2. **q**: UART 编号 (**q** = 0、1), **g**: PIM 和 POM 编号 (**g** = 0、5)

备注 3. **f_{MCK}**: 串行阵列单元的工作时钟频率

(由串行模式寄存器 **mn** (**SMRmn**) 的 **CKSmn** 位设置的工作时钟。

m: 单元编号, **n**: 通道编号 (**mn** = 00 至 03))

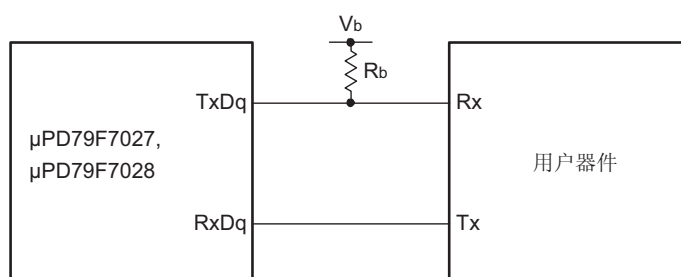
备注 4. 下面的 **V_{IH}** 和 **V_{IL}** 为串行阵列单元在 **UART** 模式下以不同电位通信时的 **AC** 特性的观察点。

4.0 V ≤ **V_{DD}** ≤ 5.5 V, 2.7 V ≤ **V_b** ≤ 4.0 V: **V_{IH}** = 2.2 V, **V_{IL}** = 0.8 V

2.7 V ≤ **V_{DD}** < 4.0 V, 2.3 V ≤ **V_b** ≤ 2.7 V: **V_{IH}** = 2.0 V, **V_{IL}** = 0.5 V

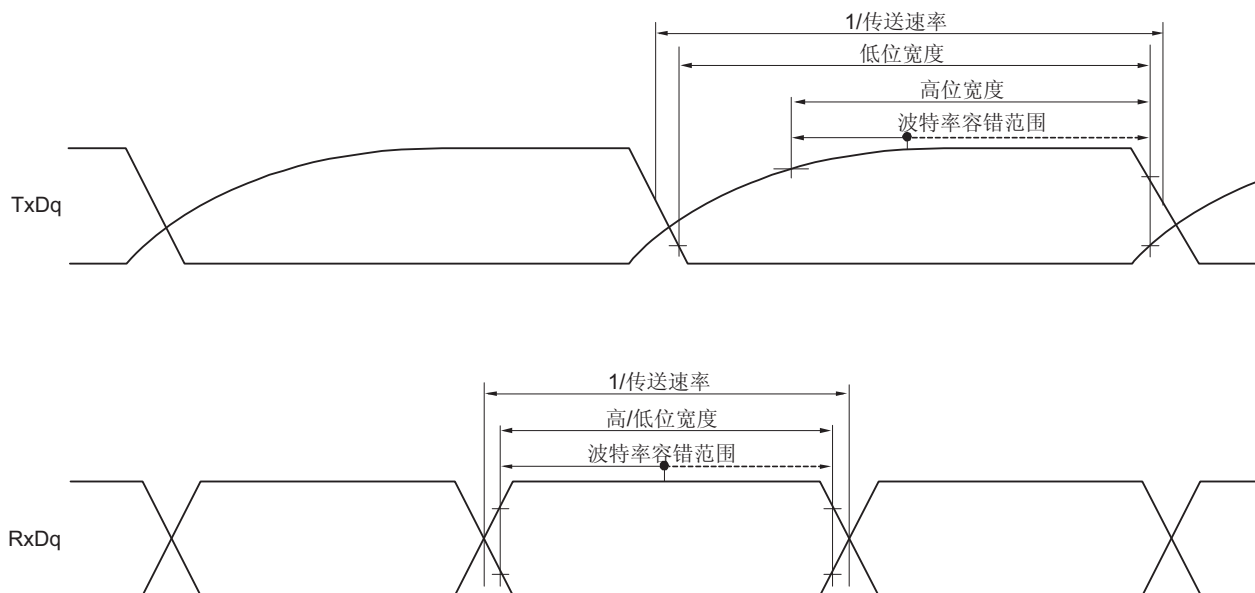
2.7 V ≤ **V_{DD}** < 3.3 V, 1.6 V ≤ **V_b** ≤ 2.0 V: **V_{IH}** = 1.50 V, **V_{IL}** = 0.32 V

UART 模式连接图 (不同电位通信时)



注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

UART 模式位宽度（不同电位通信时）（参考）



注意事项 使用端口输入模式寄存器 **g** (PIMg) 和端口输出模式寄存器 **g** (POMg)，**RxDq** 引脚选择 **TTL** 输入缓冲器，**TxDq** 引脚选择 **N** 沟开漏输出（**V_{DD}** 耐压）模式。

备注 1. $R_b[\Omega]$: 通信线路 (TxDq) 上拉电阻， $V_b[V]$: 通信线路电压

备注 2. q: UART 编号 (q = 0、1)，g: PIM 和 POM 编号 (g = 0、5)

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

(7) 不同电位（2.5 V、3 V）(f_{mck}/2)通信时（CSI 模式）（主模式， $\overline{\text{SCKp}}$... 内部时钟输出）

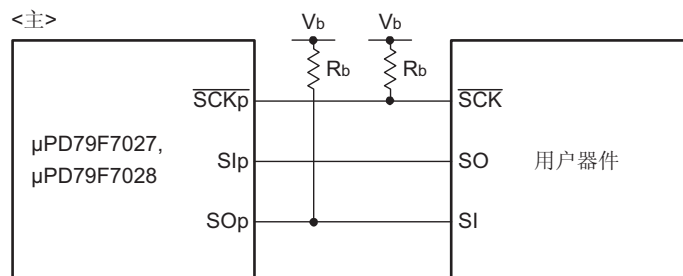
(T_A = -40 至 +85 °C, 2.7 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|---|-------------------|--|----------------------------|-----|-----|----|
| SCKp 周期 | t _{KCY1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ | 200 注 1 | | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ | 300 注 1 | | | ns |
| SCKp 高电位宽幅 | t _{KH1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ | t _{KCY1} /2 - 50 | | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ | t _{KCY1} /2 - 120 | | | ns |
| SCKp 低电位宽幅 | t _{KL1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ | t _{KCY1} /2 - 7 | | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ | t _{KCY1} /2 - 10 | | | ns |
| Slp 建立时间 (至 $\overline{\text{SCKp}}\uparrow$) 注 2 | t _{SIK1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ | 58 | | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ | 121 | | | ns |
| Slp 保持时间 (从 $\overline{\text{SCKp}}\uparrow$) 注 2 | t _{KSI1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ | 10 | | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ | 10 | | | ns |
| 从 $\overline{\text{SCKp}}\downarrow$ 至 SOp 输出的迟延时间 注 2 | t _{KSO1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ | | | 60 | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ | | | 130 | ns |
| Slp 建立时间 (至 $\overline{\text{SCKp}}\downarrow$) 注 3 | t _{SIK1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ | 23 | | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ | 33 | | | ns |
| Slp 保持时间 (从 $\overline{\text{SCKp}}\downarrow$) 注 3 | t _{KSI1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ | 10 | | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ | 10 | | | ns |
| 从 $\overline{\text{SCKp}}\uparrow$ 至 SOp 输出的迟延时间 注 3 | t _{KSO1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 20 pF, R _b = 1.4 kΩ | | | 10 | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 20 pF, R _b = 2.7 kΩ | | | 10 | ns |

(注、注意事项和备注如下页所示。)

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

CSI 模式连接图（不同电位通信时）



- 注 1. 且需设定为 $2/f_{CLK}$ 或更高的值。
- 注 2. $DAPmn = 0$ 和 $CKPmn = 0$ ，或 $DAPmn = 1$ 和 $CKPmn = 1$ 时。
- 注 3. $DAPmn = 0$ 和 $CKPmn = 1$ ，或 $DAPmn = 1$ 和 $CKPmn = 0$ 时。

注意事项 使用端口输入模式寄存器 **g** (PIMg) 和端口输出模式寄存器 **g** (POMg)，Slp 引脚选择 TTL 输入缓冲器，SOp 引脚和 SCKp 引脚选择 N 沟开漏输出（V_{DD} 耐压）模式。

- 备注 1. $R_b[\Omega]$: 通信线路（SCKp、SOp）上拉电阻， $C_b[F]$: 通信线路（SCKp、SOp）负载电容， $V_b[V]$: 通信线路电压
- 备注 2. p: CSI 编号 ($p = 00$)，m: 单元编号 ($m = 0$)，n: 通道编号 ($n = 0$)，g: PIM 和 POM 编号 ($g = 3、5$)
- 备注 3. 下面的 V_{IH} 和 V_{IL} 为串行阵列单元在 CSI 模式下以不同电位通信时的 AC 特性的观察点。
 $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ， $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$: $V_{IH} = 2.2\text{ V}$ ， $V_{IL} = 0.8\text{ V}$
 $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ ， $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$: $V_{IH} = 2.0\text{ V}$ ， $V_{IL} = 0.5\text{ V}$
- 备注 4. 仅当未使用 CSI00 的外围输入/输出重定向功能时，该规格才有效。

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、 2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

(8) 不同电位（2.5 V、3 V）(f_{MCK}/4)通信时（CSI模式）（主模式， $\overline{\text{SCKp}}$...内部时钟输出）
(T_A = -40至+85 °C, 2.7 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V) (1/2)

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|--------------------------------|-------------------|--|----------------------------|-----|-----|----|
| $\overline{\text{SCKp}}$ 周期 | t _{KCY1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ | 300 注 | | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ | 500 注 | | | ns |
| $\overline{\text{SCKp}}$ 高电位宽幅 | t _{KH1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ | t _{KCY1} /2 - 75 | | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ | t _{KCY1} /2 - 170 | | | ns |
| $\overline{\text{SCKp}}$ 低电位宽幅 | t _{KL1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ | t _{KCY1} /2 - 12 | | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ | t _{KCY1} /2 - 18 | | | ns |

注 1. 且需设定为4/f_{CLK}或更高的值。

注意事项1. 使用端口输入模式寄存器g (PIMg)和端口输出模式寄存器g (POMg), S_{lp}引脚选择TTL输入缓冲器, S_{Op}引脚和 $\overline{\text{SCKp}}$ 引脚选择N沟开漏输出（V_{DD}耐压）模式。

注意事项2. 请在V_{DD} ≥ V_b下使用。

- 备注 1. R_b[Ω]: 通信线路（ $\overline{\text{SCKp}}$ 、S_{Op}）上拉电阻, C_b[F]: 通信线路（ $\overline{\text{SCKp}}$ 、S_{Op}）负载电容, V_b[V]: 通信线路电压
- 备注 2. p: CSI编号(p = 00), m: 单元编号(m = 0), n: 通道编号(n = 0), g: PIM和POM编号（g = 3、5）
- 备注 3. 下面的V_{IH}和V_{IL}为串行阵列单元在CSI模式下以不同电位通信时的AC特性的观察点。
- 4.0 V ≤ V_{DD} ≤ 5.5 V, 2.7 V ≤ V_b ≤ 4.0 V: V_{IH} = 2.2 V, V_{IL} = 0.8 V
- 2.7 V ≤ V_{DD} < 4.0 V, 2.3 V ≤ V_b ≤ 2.7 V: V_{IH} = 2.0 V, V_{IL} = 0.5 V

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

(8) 不同电位（2.5 V、3 V）(f_{MCK}/4)通信时（CSI 模式）（主模式， $\overline{\text{SCKp}}$... 内部时钟输出）

(T_A = -40 至 +85 °C, 2.7 V ≤ V_{DD} ≤ 5.5 V, V_{SS} = 0 V)

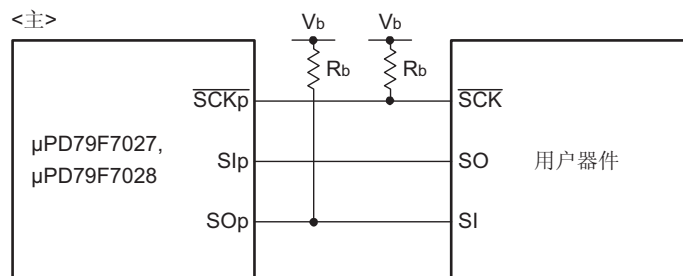
(2/2)

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|---|-------------------|---|-----|-----|-----|----|
| Slp 建立时间 (至 $\overline{\text{SCKp}}\uparrow$) 注 1 | t _{SIK1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ | 81 | | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ | 177 | | | ns |
| Slp 保持时间 (从 $\overline{\text{SCKp}}\uparrow$) 注 1 | t _{KSI1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ | 19 | | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ | 19 | | | ns |
| 从 $\overline{\text{SCKp}}\downarrow$ 至 SOp 输出的迟延时间 注 1 | t _{KSO1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ | | | 100 | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ | | | 195 | ns |
| Slp 建立时间 (至 $\overline{\text{SCKp}}\downarrow$) 注 2 | t _{SIK1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ | 44 | | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ | 44 | | | ns |
| Slp 保持时间 (从 $\overline{\text{SCKp}}\downarrow$) 注 2 | t _{KSI1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ | 19 | | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ | 19 | | | ns |
| 从 $\overline{\text{SCKp}}\uparrow$ 至 SOp 输出的迟延时间 注 2 | t _{KSO1} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 30 pF, R _b = 1.4 kΩ | | | 25 | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 30 pF, R _b = 2.7 kΩ | | | 25 | ns |

(注、注意事项和备注如下页所示。)

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

CSI 模式连接图（不同电位通信时）



注 1. DAPmn = 0 和 CKPmn = 0，或 DAPmn = 1 和 CKPmn = 1 时。

注 2. DAPmn = 0 和 CKPmn = 1，或 DAPmn = 1 和 CKPmn = 0 时。

注意事项 1. 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 g (POMg)，Slp 引脚选择 TTL 输入缓冲器，SOp 引脚和 SCKp 引脚选择 N 沟开漏输出（VDD 耐压）模式。

注意事项 2. 请在 $V_{DD} \geq V_b$ 下使用。

备注 1. $R_b[\Omega]$: 通信线路（SCKp、SOp）上拉电阻， $C_b[F]$: 通信线路（SCKp、SOp）负载电容， $V_b[V]$: 通信线路电压

备注 2. p: CSI 编号 (p = 00)，m: 单元编号 (m = 0)，n: 通道编号 (n = 0)，g: PIM 和 POM 编号 (g = 3、5)

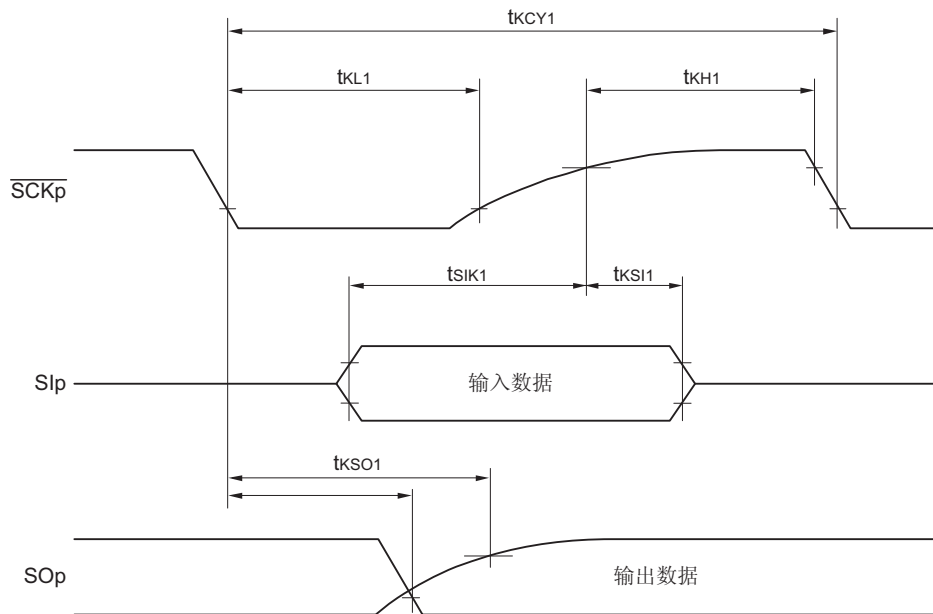
备注 3. 下面的 V_{IH} 和 V_{IL} 为串行阵列单元在 CSI 模式下以不同电位通信时的 AC 特性的观察点。

$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ， $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$: $V_{IH} = 2.2\text{ V}$ ， $V_{IL} = 0.8\text{ V}$

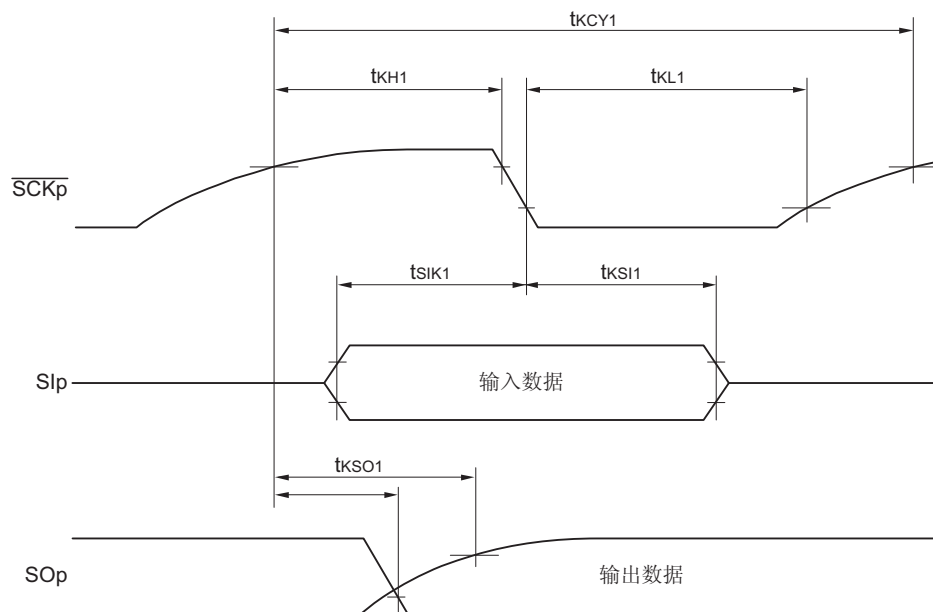
$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ ， $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$: $V_{IH} = 2.0\text{ V}$ ， $V_{IL} = 0.5\text{ V}$

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

CSI 模式串行传送时序（主模式）（不同电位通信时）
 （DAPmn = 0 和 CKPmn = 0，或 DAPmn = 1 和 CKPmn = 1 时）



CSI 模式串行传送时序（主模式）（不同电位通信时）
 （DAPmn = 0 和 CKPmn = 1，或 DAPmn = 1 和 CKPmn = 0 时）



注意事项 使用端口输入模式寄存器 **g** (PIMg) 和端口输出模式寄存器 **g** (POMg)，Slp 引脚选择 TTL 输入缓冲器，SOp 引脚和 SCKp 引脚选择 N 沟开漏输出（VDD 耐压）模式。

备注 p: CSI 编号 (p = 00)，m: 单元编号 (m = 0)，n: 通道编号 (n = 0)，g: PIM 和 POM 编号 (g = 3、5)

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

(9) 不同电位（2.5 V、3 V）通信时（CSI 模式）（从模式， $\overline{\text{SCKp}}$... 外接时钟输入）

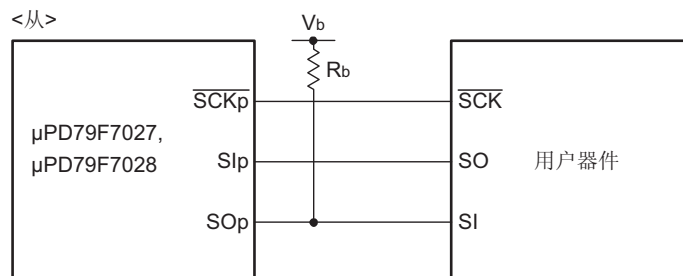
（ $T_A = -40$ 至 $+85$ °C， $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ， $V_{SS} = 0\text{ V}$ ）

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|---|---------------|---|--|---------|--------------|----|
| $\overline{\text{SCKp}}$ 周期注 1 | tKCY2 | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$ | $24\text{ MHz} \leq f_{MCK}$ | 14/fMCK | | ns |
| | | | $20\text{ MHz} < f_{MCK} \leq 24\text{ MHz}$ | 12/fMCK | | ns |
| | | | $8\text{ MHz} < f_{MCK} \leq 20\text{ MHz}$ | 10/fMCK | | ns |
| | | | $4\text{ MHz} < f_{MCK} \leq 8\text{ MHz}$ | 8/fMCK | | ns |
| | | | $f_{MCK} \leq 4\text{ MHz}$ | 6/fMCK | | ns |
| | | $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ | $24\text{ MHz} < f_{MCK}$ | 20/fMCK | | ns |
| | | | $20\text{ MHz} < f_{MCK} \leq 24\text{ MHz}$ | 16/fMCK | | ns |
| | | | $16\text{ MHz} < f_{MCK} \leq 20\text{ MHz}$ | 14/fMCK | | ns |
| | | | $8\text{ MHz} < f_{MCK} \leq 16\text{ MHz}$ | 12/fMCK | | ns |
| | | | $4\text{ MHz} < f_{MCK} \leq 8\text{ MHz}$ | 8/fMCK | | ns |
| | | | $f_{MCK} \leq 4\text{ MHz}$ | 6/fMCK | | ns |
| $\overline{\text{SCKp}}$ 高电位/ 低电位宽幅 | tKH2、 tKL2 | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$ | tKCY2/2 - 12 | | | ns |
| | | $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$ | tKCY2/2 - 18 | | | ns |
| Slp 建立时间 （至 $\overline{\text{SCKp}}\uparrow$ ）注 3 | tSIK2 | $2.7\text{ V} \leq V_{DD} < 5.5\text{ V}$ | 1/fMCK + 20 | | | ns |
| | | $2.7\text{ V} \leq V_{DD} < 3.3\text{ V}$ | 1/fMCK + 30 | | | ns |
| Slp 保持时间 （从 $\overline{\text{SCKp}}\uparrow$ ）注 4 | tKSI2 | | 1/fMCK + 31 | | | ns |
| 从 $\overline{\text{SCKp}}\downarrow$ 至 SOp 输出的 延迟时间注 5 | tKSO2 | $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}\Omega$ | 1/fMCK + 250 | | 2/fMCK + 120 | ns |
| | | $2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$, $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}\Omega$ | | | 2/fMCK + 214 | ns |

（注、注意事项和备注如下页所示。）

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

CSI 模式连接图（不同电位通信时）



注 1. SNOOZE 模式下的传送速率为最大值 1 Mbps

注 2. 请在 $V_{DD} \geq V_b$ 下使用。

注 3. 当 $DAPmn = 0$ 和 $CKPmn = 0$ ，或 $DAPmn = 1$ 和 $CKPmn = 1$ 时。 $DAPmn = 0$ 和 $CKPmn = 1$ ，或 $DAPmn = 1$ 和 $CKPmn = 0$ 时， Slp 建立时间变为 “至 $\overline{SCKp}\downarrow$ ”。

注 4. 当 $DAPmn = 0$ 和 $CKPmn = 0$ ，或 $DAPmn = 1$ 和 $CKPmn = 1$ 时。 $DAPmn = 0$ 和 $CKPmn = 1$ ，或 $DAPmn = 1$ 和 $CKPmn = 0$ 时， Slp 保持时间变为 “从 $\overline{SCKp}\downarrow$ ”。

注 5. 当 $DAPmn = 0$ 和 $CKPmn = 0$ ，或 $DAPmn = 1$ 和 $CKPmn = 1$ 时。 $DAPmn = 0$ 和 $CKPmn = 1$ ，或 $DAPmn = 1$ 和 $CKPmn = 0$ 时， SOp 输出的迟延时间变为 “从 $\overline{SCKp}\uparrow$ ”。

注意事项 使用端口输入模式寄存器 **g (PIMg)** 和端口输出模式寄存器 **g (POMg)**， Slp 引脚和 \overline{SCKp} 引脚选择 **TTL** 输入缓冲器， SOp 引脚选择 **N** 沟开漏输出（ V_{DD} 耐压）模式。

备注 1. $R_b[\Omega]$: 通信线路 (SOp) 上拉电阻， $C_b[F]$: 通信线路 (SOp) 负载电容，
 $V_b[V]$: 通信线路电压

备注 2. p : CSI 编号 ($p = 00$)， m : 单元编号 ($m = 0$)， n : 通道编号 ($n = 0$)， g : PIM 和 POM 编号 ($g = 3、5$)

备注 3. f_{MCK} : 串行阵列单元的工作时钟频率
(由串行模式寄存器 mn ($SMRmn$) 的 $CKSmn$ 位设置的工作时钟。
 m : 单元编号， n : 通道编号 ($mn = 00$)

备注 4. 下面的 V_{IH} 和 V_{IL} 为串行阵列单元在 CSI 模式下以不同电位通信时的 AC 特性的观察点。

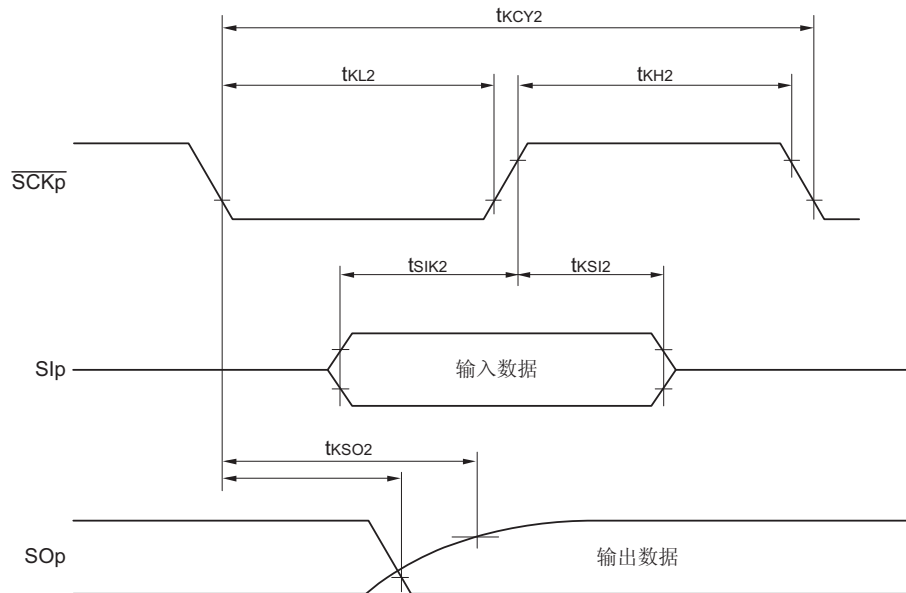
$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ， $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$: $V_{IH} = 2.2\text{ V}$ ， $V_{IL} = 0.8\text{ V}$

$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ ， $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$: $V_{IH} = 2.0\text{ V}$ ， $V_{IL} = 0.5\text{ V}$

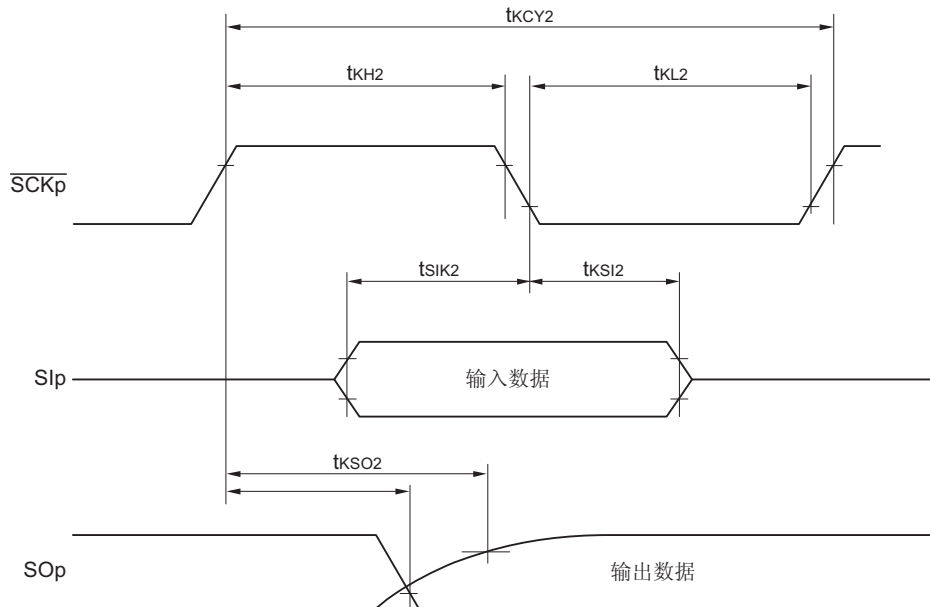
备注 5. 带有从设备选择功能的时钟同步串行通信时，不能以不同电位通信。

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

CSI 模式串行传送时序（从模式）（不同电位通信时）
（DAPmn = 0 和 CKPmn = 0，或 DAPmn = 1 和 CKPmn = 1 时）



CSI 模式串行传送时序（从模式）（不同电位通信时）
（DAPmn = 0 和 CKPmn = 1，或 DAPmn = 1 和 CKPmn = 0 时）



注意事项 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 g (POMg)，Slp 引脚和 SCKp 引脚选择 TTL 输入缓冲器，SOp 引脚选择 N 沟开漏输出（VDD 耐压）模式。

备注 1. p: CSI 编号 (p = 00)，m: 单元编号 (m = 0)，n: 通道编号 (n = 0)，g: PIM 和 POM 编号 (g = 3、5)

备注 2. 带有从设备选择功能的时钟同步串行通信时，不能以不同电位通信。

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

(10) 不同电位（2.5 V、3 V）通信时（简易I²C模式）

（T_A = -40至+85 °C，2.7 V ≤ V_{DD} ≤ 5.5 V，V_{SS} = 0 V）

(1/2)

| 参数 | 符号 | 条件 | 最小值 | 最大值 | 单元 |
|-------------------|-------------------|---|------|------|-----|
| SCLr时钟频率 | f _{SCL} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ | | 1000 | kHz |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ | | 1000 | kHz |
| | | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ | | 400 | kHz |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ | | 400 | kHz |
| SCLr = “L” 时的保持时间 | t _{LOW} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ | 475 | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ | 475 | | ns |
| | | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ | 1150 | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ | 1150 | | ns |
| SCLr = “H” 时的保持时间 | t _{HIGH} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ | 245 | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ | 200 | | ns |
| | | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ | 675 | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ | 600 | | ns |

（注、注意事项和备注如下页所示。）

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

(10) 不同电位（2.5 V、3 V）通信时（简易I²C模式）

（T_A = -40 至 +85 °C，2.7 V ≤ V_{DD} ≤ 5.5 V，V_{SS} = 0 V）

(2/2)

| 参数 | 符号 | 条件 | 最小值 | 最大值 | 单元 |
|------------|---------------------|---|---------------------------------|-----|----|
| 数据建立时间（接收） | t _{SU:DAT} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ | 1/f _{MCK} + 135 注 2 | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ | 1/f _{MCK} + 135 注 2 | | ns |
| | | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ | 1/f _{MCK} + 190 注 2 | | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ | 1/f _{MCK} + 190 注 2 | | ns |
| 数据保持时间（传送） | t _{HD:DAT} | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ | 0 | 305 | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ | 0 | 305 | ns |
| | | 4.0 V ≤ V _{DD} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ | 0 | 355 | ns |
| | | 2.7 V ≤ V _{DD} < 4.0 V, 2.3 V ≤ V _b < 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ | 0 | 355 | ns |

注 1. 请在 V_{DD} ≥ V_b 下使用。

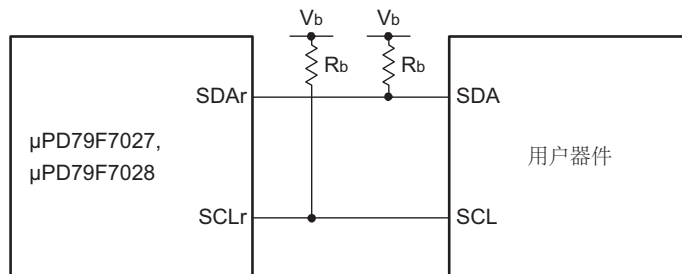
注 2. 请将 f_{MCK} 值设定为不超过 SCLr = “L” 和 SCLr = “H” 的保持时间的数值。

注意事项 使用端口输入模式寄存器 g (PIMg) 和端口输出模式寄存器 g (POMg)，为 SDAr 引脚选择 TTL 输入缓冲器和 N 沟开漏输出（V_{DD} 耐压）模式，SCLr 引脚选择 N 沟开漏输出（V_{DD} 耐压）模式。

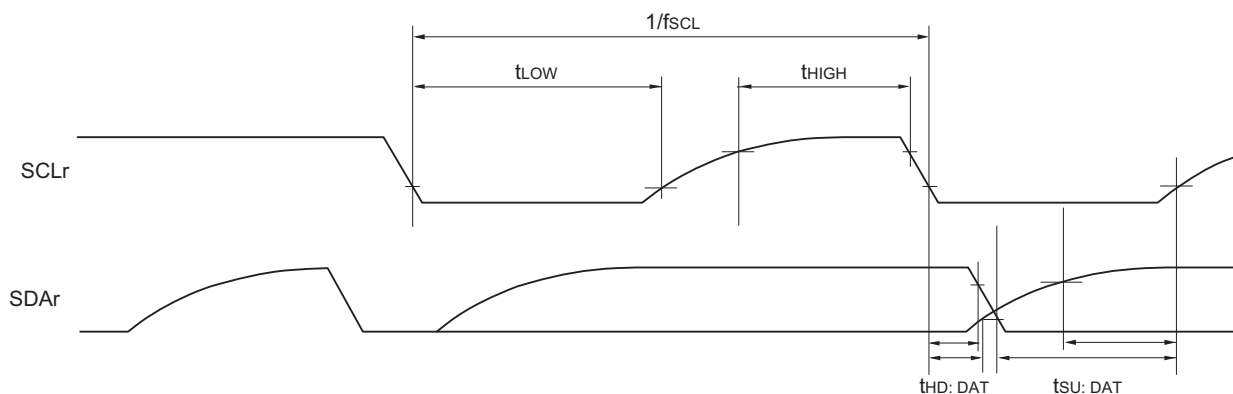
（备注如下页所示。）

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

简易 I²C 模式连接图（不同电位通信时）



简易 I²C 模式串行传送时序（不同电位通信时）



注意事项 使用端口输入模式寄存器 **g (PIMg)** 和端口输出模式寄存器 **g (POMg)**，为 **SDAr** 引脚选择 **TTL** 输入缓冲器和 **N** 沟开漏输出（**V_{DD}** 耐压）模式，**SCLr** 引脚选择 **N** 沟开漏输出（**V_{DD}** 耐压）模式。

备注 1. $R_b[\Omega]$: 通信线路（SDAr、SCLr）上拉电阻， $C_b[F]$: 通信线路（SDAr、SCLr）负载电容， $V_b[V]$: 通信线路电压

备注 2. r : IIC 编号 ($r = 00$)， g : PIM、POM 编号 ($g = 3、5$)

备注 3. f_{MCK} : 串行阵列单元的工作时钟频率

（由串行模式寄存器 mn (SMRmn) 的 $CKSmn$ 位设置的工作时钟。 m : 单元编号 ($m = 0$)， n : 通道编号 ($n = 0$)， $mn = 00$)

备注 4. 下面的 V_{IH} 和 V_{IL} 为串行阵列单元在简易 I²C 模式下以不同电位通信时的 AC 特性的观察点。

$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ， $2.7\text{ V} \leq V_b \leq 4.0\text{ V}$: $V_{IH} = 2.2\text{ V}$ ， $V_{IL} = 0.8\text{ V}$

$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ ， $2.3\text{ V} \leq V_b \leq 2.7\text{ V}$: $V_{IH} = 2.0\text{ V}$ ， $V_{IL} = 0.5\text{ V}$

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

27.6.2 片上调试(UART)

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|------|----|----|---------|-----|-----|-----|
| 传送速率 | | | 115.2 k | | 1 M | bps |

27.7 模拟特性

27.7.1 A/D 转换器特性

(1) 选择 $AV_{REF}(+) = AV_{REFP}/ANI0$ ($ADREFP1 = 0$ 、 $ADREFP0 = 1$)， $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 时，对象 ANI 引脚：ANI2、ANI3

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, 基准电压(+) = AV_{REFP} , 基准电压(-) = $AV_{REFM} = 0\text{ V}$)

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|------------|-------------|--|--|--------|-------------|---------------|
| 分辨率 | RES | | 8 | | 10 | 位 |
| 总误差注 1 | AINL | 10 位分辨率 $AV_{REFP} = V_{DD}$ | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 1.2 | ± 3.5 | LSB |
| 转换时间 | tCONV | 10 位分辨率 $AV_{REFP} = V_{DD}$ | $3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 2.125 | 39 | μs |
| | | | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 3.1875 | 39 | μs |
| 零刻度误差注 1、2 | EZS | 10 位分辨率 $AV_{REFP} = V_{DD}$ | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | ± 0.25 | % FSR |
| 满刻度误差注 1、2 | EFS | 10 位分辨率 $AV_{REFP} = V_{DD}$ | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | ± 0.25 | % FSR |
| 积分线性误差注 1 | ILE | 10 位分辨率 $AV_{REFP} = V_{DD}$ | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | ± 2.5 | LSB |
| 微分线性误差注 1 | DLE | 10 位分辨率 $AV_{REFP} = V_{DD}$ | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | ± 1.5 | LSB |
| 基准电压(+) | AV_{REFP} | | 1.6 | | V_{DD} | V |
| 模拟输入电压 | V_{AIN} | | 0 | | AV_{REFP} | V |
| | V_{BGR} | 选择内部基准电压输出， $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ， HS（高速主）模式 | 1.38 | 1.45 | 1.5 | V |

注 1. 不包括量化误差 ($\pm 1/2$ LSB)。

注 2. 该值表示针对满刻度值的比率(% FSR)。

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

- (2) 选择 $AV_{REF}(+) = AV_{REFP}/ANI0$ ($ADREFP1 = 0$ 、 $ADREFP0 = 1$)， $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 时，对象 ANI 引脚：ANI16 至 ANI19

($T_A = -40$ 至 $+85$ °C, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, 基准电压(+) = AV_{REFP} , 基准电压(-) = $AV_{REFM} = 0\text{ V}$)

| 参数 | 符号 | 条件 | | 最小值 | 典型值 | 最大值 | 单元 |
|------------|-------------|--|--|--------|------|---------------------------|-------|
| 分辨率 | RES | | | 8 | | 10 | 位 |
| 总误差注 1 | AINL | 10 位分辨率 $AV_{REFP} = V_{DD}$ | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | 1.2 | ± 5.0 | LSB |
| 转换时间 | tCONV | 10 位分辨率 $AV_{REFP} = V_{DD}$ | $3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 2.125 | | 39 | μs |
| | | | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 3.1875 | | 39 | μs |
| 零刻度误差注 1、2 | EZS | 10 位分辨率 $AV_{REFP} = V_{DD}$ | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | | ± 0.35 | % FSR |
| 满刻度误差注 1、2 | EFS | 10 位分辨率 $AV_{REFP} = V_{DD}$ | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | | ± 0.35 | % FSR |
| 积分线性误差注 1 | ILE | 10 位分辨率 $AV_{REFP} = V_{DD}$ | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | | ± 3.5 | LSB |
| 微分线性误差注 1 | DLE | 10 位分辨率 $AV_{REFP} = V_{DD}$ | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | | ± 2.0 | LSB |
| 基准电压(+) | AV_{REFP} | | | 1.6 | | V_{DD} | V |
| 模拟输入电压 | V_{AIN} | | | 0 | | AV_{REFP} 和 V_{DD} | V |
| | V_{BGR} | 选择内部基准电压输出， $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ， HS（高速主）模式 | | 1.38 | 1.45 | 1.5 | V |

注 1. 不包括量化误差 ($\pm 1/2$ LSB)。

注 2. 该值表示针对满刻度值的比率 (% FSR)。

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

- (3) 选择 $AV_{REF}(+) = V_{DD}$ ($ADREFP1 = 0$ 、 $ADREFP0 = 0$)， $AV_{REF}(-) = V_{SS}$ ($ADREFM = 0$) 时，
对象 ANI 引脚：ANI0 至 ANI3，ANI16 至 ANI19

($T_A = -40$ 至 $+85$ °C, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, 基准电压(+) = V_{DD} , 基准电压(-) = V_{SS})

| 参数 | 符号 | 条件 | | 最小值 | 典型值 | 最大值 | 单元 |
|------------|-------|--|--|--------|------|------------|-------|
| 分辨率 | RES | | | 8 | | 10 | 位 |
| 总误差注 1 | AINL | 10 位分辨率 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | 1.2 | ± 7.0 | LSB |
| 转换时间 | tCONV | 10 位分辨率 | $3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 2.125 | | 39 | μs |
| | | | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 3.1875 | | 39 | μs |
| 零刻度误差注 1、2 | EZS | 10 位分辨率 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | | ± 0.60 | % FSR |
| 满刻度误差注 1、2 | EFS | 10 位分辨率 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | | ± 0.60 | % FSR |
| 积分线性误差注 1 | ILE | 10 位分辨率 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | | ± 4.0 | LSB |
| 微分线性误差注 1 | DLE | 10 位分辨率 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | | ± 2.0 | LSB |
| 模拟输入电压 | VAIN | ANI0 至 ANI3 | | 0 | | V_{DD} | V |
| | | ANI16 至 ANI19 | | 0 | | V_{DD} | V |
| | VBGR | 选择内部基准电压输出， $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ， HS（高速主）模式 | | 1.38 | 1.45 | 1.5 | V |

注 1. 不包括量化误差 ($\pm 1/2$ LSB)。

注 2. 该值表示针对满刻度值的比率 (% FSR)。

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

- (4) 选择 $AV_{REF}(+) =$ 内部基准电压 ($ADREFP1 = 1$ 、 $ADREFP0 = 0$)， $AV_{REF}(-) = AV_{REFM}/ANI1$ ($ADREFM = 1$) 时，对象 ANI 引脚：ANI0 至 ANI3，ANI16 至 ANI19

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$ ， $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ， $V_{SS} = 0\text{ V}$ ，基准电压 $(+) = V_{BGR}$ ，基准电压 $(-) = AV_{REFM} = 0\text{ V}$ ，

HS（高速主）模式）

| 参数 | 符号 | 条件 | | 最小值 | 典型值 | 最大值 | 单元 |
|------------|--------------------|--------|--|-----------------|------|------------------|-------|
| 分辨率 | RES | | | 8 | | | 位 |
| 转换时间 | tCONV | 8 位分辨率 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 17 | | 39 | μs |
| 零刻度误差注 1、2 | EZS | 8 位分辨率 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | | ±0.60 | % FSR |
| 积分线性误差注 1 | ILE | 8 位分辨率 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | | ±2.0 | LSB |
| 微分线性误差注 1 | DLE | 8 位分辨率 | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | | | ±1.0 | LSB |
| 基准电压 (+) | V _{BGR} | | | 1.38 | 1.45 | 1.5 | V |
| 基准电压 (-) | AV _{REFM} | | | V _{SS} | | | V |
| 模拟输入电压 | V _{AIN} | | | 0 | | V _{BGR} | V |

注 1. 不包括量化误差 ($\pm 1/2$ LSB)。

注 2. 该值表示针对满刻度值的比率 (% FSR)。

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

27.7.2 温度传感器特性

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$, HS (高速主) 模式)

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|-----------|---------|---|------|------|-----|------|
| 温度传感器输出电压 | VTMPS25 | 设置 ADS 寄存器 = 80H, $T_A = +25\text{ }^{\circ}\text{C}$ | | 1.05 | | V |
| 参考输出电压 | VCONST | 设置 ADS 寄存器 = 81H | 1.38 | 1.45 | 1.5 | V |
| 温度系数 | FVTMPS | 取决于温度传感器电压的温度 | | -3.6 | | mV/C |
| 操作稳定等待时间 | tAMP | | | | 5 | μs |

27.7.3 POR 电路特性

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$, $V_{SS} = 0\text{ V}$)

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|------|------|--------|-----|------|------|----|
| 检测电压 | VPOR | 电源上升时间 | | 1.51 | 1.54 | V |
| | VPDR | 电源下降时间 | | 1.50 | 1.53 | V |

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

27.7.4 LVD 电路特性

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$, $V_{PDR} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 参数 | | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|--------|--------|-------|--------|------|------|------|----|
| 检测电压 | 电源电压电位 | VLVD0 | 电源上升时间 | 3.98 | 4.06 | 4.14 | V |
| | | | 电源下降时间 | 3.90 | 3.98 | 4.06 | V |
| | | VLVD1 | 电源上升时间 | 3.68 | 3.75 | 3.82 | V |
| | | | 电源下降时间 | 3.60 | 3.67 | 3.74 | V |
| | | VLVD2 | 电源上升时间 | 3.07 | 3.13 | 3.19 | V |
| | | | 电源下降时间 | 3.00 | 3.06 | 3.12 | V |
| | | VLVD3 | 电源上升时间 | 2.96 | 3.02 | 3.08 | V |
| | | | 电源下降时间 | 2.90 | 2.96 | 3.02 | V |
| | | VLVD4 | 电源上升时间 | 2.86 | 2.92 | 2.97 | V |
| | | | 电源下降时间 | 2.80 | 2.86 | 2.91 | V |
| | | VLVD5 | 电源上升时间 | 2.76 | 2.81 | 2.87 | V |
| | | | 电源下降时间 | 2.70 | 2.75 | 2.81 | V |
| 最小脉冲宽幅 | | tLW | | 300 | | | μs |
| 检测迟延时间 | | tLD | | | | 300 | μs |

注意事项 请在工作电压范围内设置检测电压 (VLVD)。工作电压范围由用户选项字节 (000C2H) 的设置而定。工作电压范围如下所示。

HS (高速主) 模式: $V_{DD} = 2.7$ 至 $5.5\text{ V}@1\text{ MHz}$ 至 24 MHz

LS (低速主) 模式: $V_{DD} = 2.7$ 至 $5.5\text{ V}@1\text{ MHz}$ 至 8 MHz

备注 $VLVD(n-1) > VLVDn$: $n = 1$ 至 5

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、 2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

中断请求和复位模式的 LVD 检测电压

($T_A = -40$ 至 $+85$ °C, $V_{PDR} \leq V_{DD} \leq 5.5$ V, $V_{SS} = 0$ V)

| 参数 | 符号 | 条件 | | 最小值 | 典型值 | 最大值 | 单元 |
|---------|-------|--|----------|------|------|------|----|
| 中断&复位模式 | VLVD5 | VPOC2、VPOC1、VPOC0 = 0、1、1，下降复位电压：2.7 V | | 2.70 | 2.75 | 2.81 | V |
| | VLVD4 | LVIS0、LVIS1 = 1、0 (+0.1 V) | 上升复位解除电压 | 2.86 | 2.92 | 2.97 | V |
| | | | 下降中断电压 | 2.80 | 2.86 | 2.91 | V |
| | VLVD3 | LVIS0、LVIS1 = 0、1 (+0.2 V) | 上升复位解除电压 | 2.96 | 3.02 | 3.08 | V |
| | | | 下降中断电压 | 2.90 | 2.96 | 3.02 | V |
| | VLVD0 | LVIS0、LVIS1 = 0、0 (+1.2 V) | 上升复位解除电压 | 3.98 | 4.06 | 4.14 | V |
| | | | 下降中断电压 | 3.90 | 3.98 | 4.06 | V |

注意事项 配置的引脚因产品而异。请参阅 2.1.1 30 引脚产品、2.1.2 32 引脚产品和 2.1.3 各产品的引脚（端口以外的引脚）。

27.8 电源上升时间

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$, $V_{SS} = 0\text{ V}$)

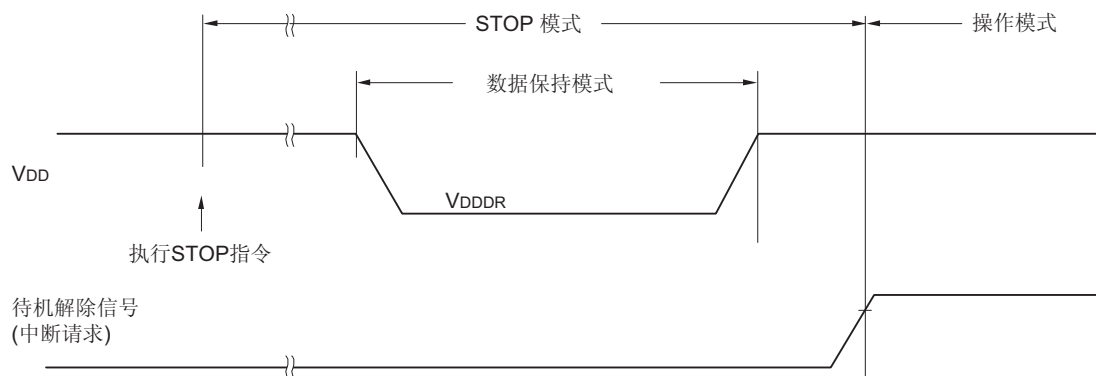
| 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|----------------------|------------------|-----|-----|------|------|
| V _{DD} 上升斜率 | SV _{DD} | | | 53.0 | V/ms |

27.9 数据存储器 STOP 模式低电源电压数据保持特性

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$)

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|----------|-------------------|----|-------|-----|-----|----|
| 数据保持电源电压 | V _{DDDR} | | 1.5 注 | | 5.5 | V |

注 取决于 POR 检测电压。当电压下降时，在 POR 复位生效前，数据被保持，但当 POR 复位生效后，则数据不被保持。



27.10 闪存编程特性

($T_A = -40$ 至 $+85\text{ }^{\circ}\text{C}$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|--------------|-------------------|---|-------|-----|-----|-----|
| CPU/外围硬件时钟频率 | fCLK | $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ | 1 | | 24 | MHz |
| 代码闪存改写次数 | C _{erwr} | 1次擦除 + 擦除后写入1次被认为是1次改写。 保持年限为改写之后到下次改写为止的间隔。 | 1,000 | | | 次 |

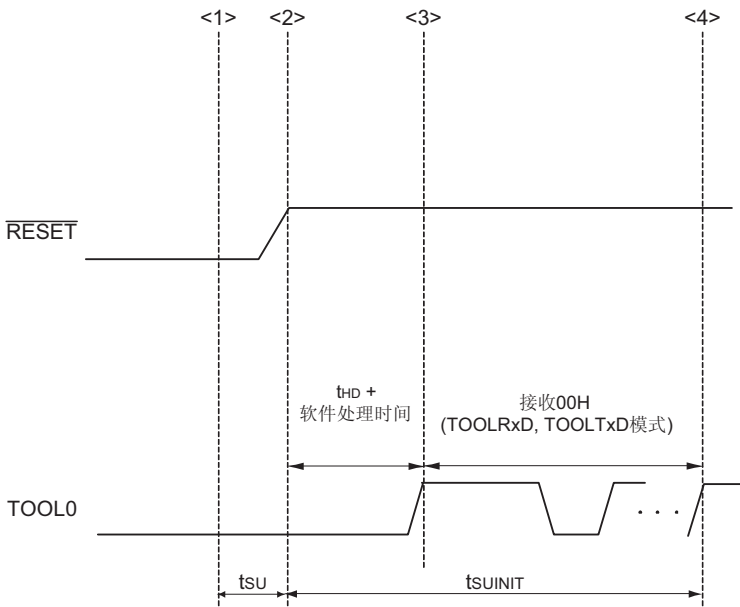
注 使用闪存编程器和瑞萨电子自编程库时。

备注 在多次更新数据时，请将闪存用于数据的更新。

注意事项 配置的引脚因产品而异。请参阅2.1.1 30引脚产品、 2.1.2 32引脚产品和2.1.3 各产品的引脚（端口以外的引脚）。

27.11 切换模式时的时序规格

| 参数 | 符号 | 条件 | 最小值 | 典型值 | 最大值 | 单元 |
|----------------------------------|---------|-------------------------|-----|-----|-----|----|
| 从解除引脚复位到指定初始通信设置为止的时间 | tsuINIT | 必须在结束引脚复位之前结束POR和LVD复位。 | | | 100 | ms |
| 从TOOL0引脚被设置为低电平到解除引脚复位的时间 | tsu | 必须在结束引脚复位之前结束POR和LVD复位。 | 10 | | | μs |
| 解除复位后TOOL0引脚必须保持低电平的时间（软件处理时间除外） | tHD | 必须在结束引脚复位之前结束POR和LVD复位。 | 1 | | | ms |



- <1>低电位输入到TOOL0引脚。
- <2>引脚复位结束（必须在结束引脚复位之前结束POR和LVD复位）。
- <3>将TOOL0引脚设置为高电位。
- <4>通过UART接收设置闪存编程模式，并完成波特率设置。

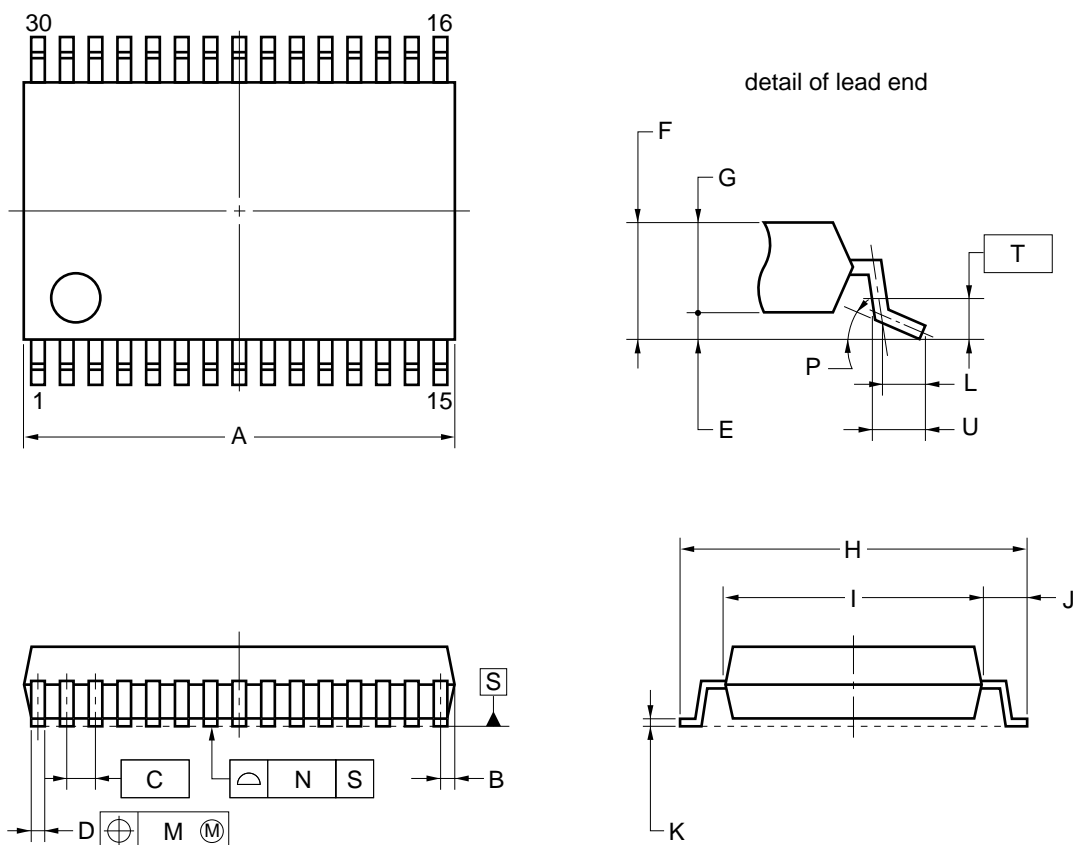
备注 tsuINIT: 该段表示在解除外部和内部复位后须在 100 ms 内完成初始通信设置的指定。
tsu: 从TOOL0引脚被设置为低电平到解除引脚复位的时间。
tHD: 解除外部和内部复位后将TOOL0引脚保持为低电平的时间。

第 28 章 封装尺寸图

28.1 30 引脚产品

μPD79F7027MC, μPD79F7028MC

30-PIN PLASTIC SSOP (7.62 mm (300))



NOTE

Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

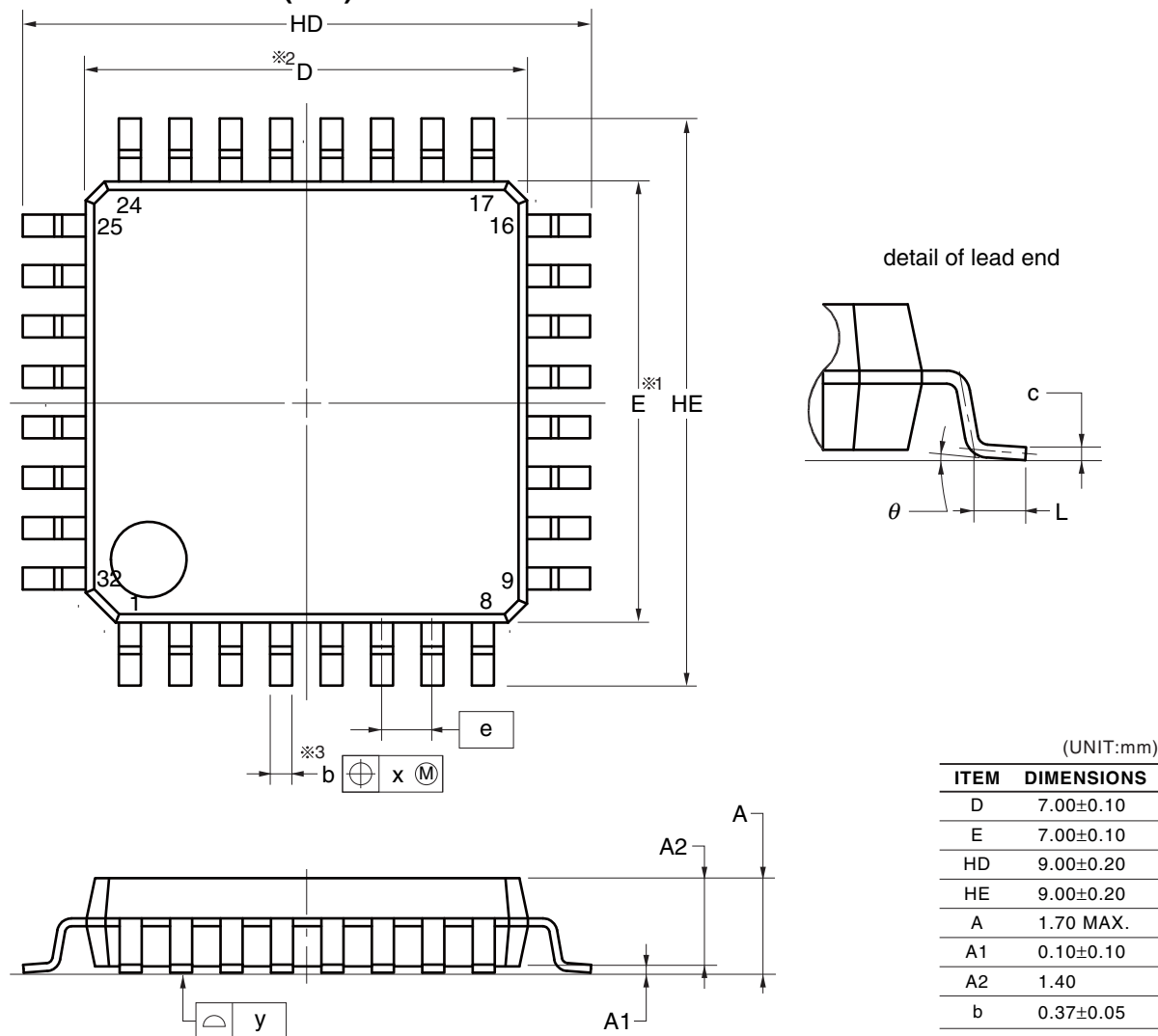
| ITEM | MILLIMETERS |
|------|--|
| A | 9.85±0.15 |
| B | 0.45 MAX. |
| C | 0.65 (T.P.) |
| D | 0.24 ^{+0.08} _{-0.07} |
| E | 0.1±0.05 |
| F | 1.3±0.1 |
| G | 1.2 |
| H | 8.1±0.2 |
| I | 6.1±0.2 |
| J | 1.0±0.2 |
| K | 0.17±0.03 |
| L | 0.5 |
| M | 0.13 |
| N | 0.10 |
| P | 3° ^{+5°} _{-3°} |
| T | 0.25 |
| U | 0.6±0.15 |

S30MC-65-5A4-2

28.2 32 引脚产品

μPD79F7027GA, μPD79F7028GA

32-PIN PLASTIC LQFP(7x7)



NOTE

1. Dimensions "※1" and "※2" do not include mold flash.
2. Dimension "※3" does not include trim offset.

附录 A 修订记录

A.1 修订记录

| 版本 | 说明 | 章 |
|----------|-----------------|---|
| Rev.1.00 | 初次制作 2012.09.20 | |

[Memo]

μPD79F7027, μPD79F7028 用户手册 硬件篇

Publication Date: Rev. 1.00 2012.09.20

Published by: Renesas Electronics Corporation



SALES OFFICES

Renesas Electronics Corporation

<http://www.renesas.com>

Refer to "<http://www.renesas.com/>" for the latest and detailed information.

Renesas Electronics America Inc.

2880 Scott Boulevard Santa Clara, CA 95050-2554, U.S.A.
Tel: +1-408-588-6000, Fax: +1-408-588-6130

Renesas Electronics Canada Limited

1101 Nicholson Road, Newmarket, Ontario L3Y 9C3, Canada
Tel: +1-905-898-5441, Fax: +1-905-898-3220

Renesas Electronics Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: +44-1628-651-700, Fax: +44-1628-651-804

Renesas Electronics Europe GmbH

Arcadiastrasse 10, 40472 Düsseldorf, Germany
Tel: +49-211-65030, Fax: +49-211-6503-1327

Renesas Electronics (China) Co., Ltd.

7th Floor, Quantum Plaza, No.27 ZhiChunLu Haidian District, Beijing 100083, P.R.China
Tel: +86-10-8235-1155, Fax: +86-10-8235-7679

Renesas Electronics (Shanghai) Co., Ltd.

Unit 204, 205, AZIA Center, No.1233 Lujiazui Ring Rd., Pudong District, Shanghai 200120, China
Tel: +86-21-5877-1818, Fax: +86-21-6887-7858 / -7898

Renesas Electronics Hong Kong Limited

Unit 1601-1613, 16/F., Tower 2, Grand Century Place, 193 Prince Edward Road West, Mongkok, Kowloon, Hong Kong
Tel: +852-2886-9318, Fax: +852 2886-9022/9044

Renesas Electronics Taiwan Co., Ltd.

13F, No. 363, Fu Shing North Road, Taipei, Taiwan
Tel: +886-2-8175-9600, Fax: +886 2-8175-9670

Renesas Electronics Singapore Pte. Ltd.

80 Bendemeer Road, Unit #06-02 Hyflux Innovation Centre Singapore 339949
Tel: +65-6213-0200, Fax: +65-6213-0300

Renesas Electronics Malaysia Sdn.Bhd.

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No. 18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: +60-3-7955-9390, Fax: +60-3-7955-9510

Renesas Electronics Korea Co., Ltd.

11F., Samik Lavied' or Bldg., 720-2 Yeoksam-Dong, Kangnam-Ku, Seoul 135-080, Korea
Tel: +82-2-558-3737, Fax: +82-2-558-5141

μPD79F7027, μPD79F7028



瑞萨电子株式会社

R01UH0326CJ0100