

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RA*-A0097A/J	Rev.	第1版
題名	CoreSight ROM テーブルに関するユーザーズマニュアルの誤記修正		情報分類	技術情報	
適用製品	RA2A1 グループ RA2L1 グループ RA2E1 グループ RA2E2 グループ	対象ロット等  すべて	関連資料	Renesas RA2A1 グループ ユーザーズ マニュアル ハードウェア編 R01UH0888JJ0110 Rev.1.10 Renesas RA2L1 グループ ユーザーズ マニュアル ハードウェア編 R01UH0853JJ0130 Rev.1.30 Renesas RA2E1 グループ ユーザーズ マニュアル ハードウェア編 R01UH0852JJ0130 Rev.1.30 Renesas RA2E2 グループ ユーザーズ マニュアル ハードウェア編 R01UH0919JJ0120 Rev.1.20	

CPU 章の CoreSight ROM テーブルに関するユーザーズマニュアルの誤記修正。

詳細は次ページ以降を参照。

RA2A1 グループ

2. CPU

修正前

- (1) 2.6.4.1 ROM エントリの説明、および表 2.7 のタイトル「CoreSight ROM テーブル」。

2.6.4.1 ROM エントリ

表 2.7 に、CoreSight ROM テーブル内の ROM エントリを示します。OCD エミュレータは、本 ROM エントリを使用して、システムに実装されているコンポーネントを識別できます。詳細は、[参考資料 4](#) を参照してください。

表 2.7 CoreSight ROM テーブル

#	アドレス	アクセスサイズ	R/W	値	対象モジュールポインタ
0	4001 A000h	32ビット	R	9FFF 4003h	SCS
1	4001 A004h	32ビット	R	9FFE 7003h	DWT
2	4001 A008h	32ビット	R	9FFE 8003h	FPB
3	4001 A00Ch	32ビット	R	FFFF F003h	MTB
4	4001 A010h	32ビット	R	0000 0000h	エントリ終了

- (2) 表 2.8 の名前、アドレス

表 2.8 CoreSight ROM テーブルのCoreSight コンポーネントレジスタ

名前	アドレス	アクセスサイズ	R/W	初期値
DEVTYPE	E00F FFCCh	32ビット	R	0000 0001h
PID4	E00F FFD0h	32ビット	R	0000 0004h
PID5	E00F FFD4h	32ビット	R	0000 0000h
PID6	E00F FFD8h	32ビット	R	0000 0000h
PID7	E00F FFDCh	32ビット	R	0000 0000h
PID0	E00F FFE0h	32ビット	R	0000 001Bh
PID1	E00F FFE4h	32ビット	R	0000 0030h
PID2	E00F FFE8h	32ビット	R	0000 000Ah
PID3	E00F FFECh	32ビット	R	0000 0000h
CID0	E00F FFF0h	32ビット	R	0000 000Dh
CID1	E00F FFF4h	32ビット	R	0000 0010h
CID2	E00F FFF8h	32ビット	R	0000 0005h
CID3	E00F FFFCh	32ビット	R	0000 00B1h

修正後

- (1) 2.6.4.1 ROM エントリの文中「CoreSight ROM テーブル内の」を削除、および表 2.7 のタイトルを「ROM エントリ」に修正。

2.6.4.1 ROM エントリ

表 2.7 にROM エントリを示します。OCD エミュレータは、本 ROM エントリを使用して、システムに実装されているコンポーネントを識別できます。詳細は、[参考資料 4](#) を参照してください。

表 2.7 ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象モジュールポインタ
0	4001 A000h	32ビット	R	9FFF 4003h	SCS
1	4001 A004h	32ビット	R	9FFE 7003h	DWT
2	4001 A008h	32ビット	R	9FFE 8003h	FPB
3	4001 A00Ch	32ビット	R	FFFF F003h	MTB
4	4001 A010h	32ビット	R	0000 0000h	エントリ終了

- (2) 表 2.8 の名前、アドレスを下記のように修正。

表 2.8 CoreSight ROM テーブルのCoreSight コンポーネントレジスタ

名前	アドレス	アクセスサイズ	R/W	初期値
MEMTYPE	0x4001_AFCC	32ビット	R	0000 0001h
PIDR4	0x4001_AFD0	32ビット	R	0000 0004h
PIDR5	0x4001_AFD4	32ビット	R	0000 0000h
PIDR6	0x4001_AFD8	32ビット	R	0000 0000h
PIDR7	0x4001_AFDC	32ビット	R	0000 0000h
PIDR0	0x4001_AFE0	32ビット	R	0000 001Bh
PIDR1	0x4001_AFE4	32ビット	R	0000 0030h
PIDR2	0x4001_AFE8	32ビット	R	0000 000Ah
PIDR3	0x4001_AFEC	32ビット	R	0000 0000h
CIDR0	0x4001_AFF0	32ビット	R	0000 000Dh
CIDR1	0x4001_AFF4	32ビット	R	0000 0010h
CIDR2	0x4001_AFF8	32ビット	R	0000 0005h
CIDR3	0x4001_AFFC	32ビット	R	0000 00B1h

(3) 表 2.10 の名前

表 2.10 DBGREG CoreSight コンポーネントレジスタ

名前	アドレス	アクセスサイズ	R/W	初期値
PID4	4001 BFD0h	32ビット	R	0000 0004h
PID5	4001 BFD4h	32ビット	R	0000 0000h
PID6	4001 BFD8h	32ビット	R	0000 0000h
PID7	4001 BFDCh	32ビット	R	0000 0000h
PID0	4001 BFE0h	32ビット	R	0000 0005h
PID1	4001 BFE4h	32ビット	R	0000 0030h
PID2	4001 BFE8h	32ビット	R	0000 001Ah
PID3	4001 BFECCh	32ビット	R	0000 0000h
CID0	4001 BFF0h	32ビット	R	0000 000Dh
CID1	4001 BFF4h	32ビット	R	0000 00F0h
CID2	4001 BFF8h	32ビット	R	0000 0005h
CID3	4001 BFFCh	32ビット	R	0000 00B1h

(3) 表 2.12 の名前

表 2.12 OCDREG CoreSight コンポーネントレジスタ

名前	アドレス	アクセスサイズ	R/W	初期値
PID4	8000 0FD0h	32ビット	R	0000 0004h
PID5	8000 0FD4h	32ビット	R	0000 0000h
PID6	8000 0FD8h	32ビット	R	0000 0000h
PID7	8000 0FDCh	32ビット	R	0000 0000h
PID0	8000 0FE0h	32ビット	R	0000 0004h
PID1	8000 0FE4h	32ビット	R	0000 0030h
PID2	8000 0FE8h	32ビット	R	0000 000Ah
PID3	8000 0FECCh	32ビット	R	0000 0000h
CID0	8000 0FF0h	32ビット	R	0000 000Dh
CID1	8000 0FF4h	32ビット	R	0000 00F0h
CID2	8000 0FF8h	32ビット	R	0000 0005h
CID3	8000 0FFCh	32ビット	R	0000 00B1h

(3) 表 2.10 の名前を下記のように修正。

表 2.10 DBGREG CoreSight コンポーネントレジスタ

名前	アドレス	アクセスサイズ	R/W	初期値
<b>PIDR4</b>	4001 BFD0h	32ビット	R	0000 0004h
<b>PIDR5</b>	4001 BFD4h	32ビット	R	0000 0000h
<b>PIDR6</b>	4001 BFD8h	32ビット	R	0000 0000h
<b>PIDR7</b>	4001 BFDCh	32ビット	R	0000 0000h
<b>PIDR0</b>	4001 BFE0h	32ビット	R	0000 0005h
<b>PIDR1</b>	4001 BFE4h	32ビット	R	0000 0030h
<b>PIDR2</b>	4001 BFE8h	32ビット	R	0000 001Ah
<b>PIDR3</b>	4001 BFECCh	32ビット	R	0000 0000h
<b>CIDR0</b>	4001 BFF0h	32ビット	R	0000 000Dh
<b>CIDR1</b>	4001 BFF4h	32ビット	R	0000 00F0h
<b>CIDR2</b>	4001 BFF8h	32ビット	R	0000 0005h
<b>CIDR3</b>	4001 BFFCh	32ビット	R	0000 00B1h

(4) 表 2.12 の名前を以下のように修正。

表 2.12 OCDREG CoreSight コンポーネントレジスタ

名前	アドレス	アクセスサイズ	R/W	初期値
<b>PIDR4</b>	8000 0FD0h	32ビット	R	0000 0004h
<b>PIDR5</b>	8000 0FD4h	32ビット	R	0000 0000h
<b>PIDR6</b>	8000 0FD8h	32ビット	R	0000 0000h
<b>PIDR7</b>	8000 0FDCh	32ビット	R	0000 0000h
<b>PIDR0</b>	8000 0FE0h	32ビット	R	0000 0004h
<b>PIDR1</b>	8000 0FE4h	32ビット	R	0000 0030h
<b>PIDR2</b>	8000 0FE8h	32ビット	R	0000 000Ah
<b>PIDR3</b>	8000 0FECCh	32ビット	R	0000 0000h
<b>CIDR0</b>	8000 0FF0h	32ビット	R	0000 000Dh
<b>CIDR1</b>	8000 0FF4h	32ビット	R	0000 00F0h
<b>CIDR2</b>	8000 0FF8h	32ビット	R	0000 0005h
<b>CIDR3</b>	8000 0FFCh	32ビット	R	0000 00B1h

RA2L1 グループ

2. CPU

修正前

(1) 2.5.4.1 ROM エントリの説明、および表 2.7 のタイトル「CoreSight ROM テーブル」。

2.5.4.1 ROM エントリ

表 2.7 に CoreSight ROM テーブルの ROM エントリを示します。エミュレータはどのコンポーネントがシステムに実装されているかを判定するために、ROM エントリを使用できます。詳細は、参考資料 4.を参照してください。

表 2.7 CoreSight ROM テーブル

#	アドレス	アクセスサイズ	R/W	値	対象コンポーネント
0	0x4001_A000	32 ビット	R	0x9FFF4003	SCS
1	0x4001_A004	32 ビット	R	0x9FFE7003	DWT
2	0x4001_A008	32 ビット	R	0x9FFE8003	FPB
3	0x4001_A00C	32 ビット	R	0xFFFFF003	MTB
4	0x4001_A010	32 ビット	R	0x00000000	(ROM テーブルの終了マーカ)

(2) 表 2.8 の名称、アドレス

表 2.8 CoreSight ROM テーブルの CoreSight レジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
DEVTYPE	0xE00F_FFCC	32 ビット	R	0x00000001
PID4	0xE00F_FFD0	32 ビット	R	0x00000004
PID5	0xE00F_FFD4	32 ビット	R	0x00000000
PID6	0xE00F_FFD8	32 ビット	R	0x00000000
PID7	0xE00F_FFDC	32 ビット	R	0x00000000
PID0	0xE00F_FFE0	32 ビット	R	0x0000002F
PID1	0xE00F_FFE4	32 ビット	R	0x00000030
PID2	0xE00F_FFE8	32 ビット	R	0x0000000A
PID3	0xE00F_FFEC	32 ビット	R	0x00000000
CID0	0xE00F_FFF0	32 ビット	R	0x0000000D
CID1	0xE00F_FFF4	32 ビット	R	0x00000010
CID2	0xE00F_FFF8	32 ビット	R	0x00000005
CID3	0xE00F_FFFC	32 ビット	R	0x000000B1

修正後

(1) 2.5.4.1 ROM エントリの文中「CoreSight ROM テーブル内の」を削除、および表 2.7 のタイトルを「ROM エントリ」に修正。

2.5.4.1 ROM エントリ

表 2.7 に ROM エントリを示します。エミュレータはどのコンポーネントがシステムに実装されているかを判定するために、ROM エントリを使用できます。詳細は、参考資料 4.を参照してください。

表 2.7 ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象コンポーネント
0	0x4001_A000	32 ビット	R	0x9FFF4003	SCS
1	0x4001_A004	32 ビット	R	0x9FFE7003	DWT
2	0x4001_A008	32 ビット	R	0x9FFE8003	FPB
3	0x4001_A00C	32 ビット	R	0xFFFFF003	MTB
4	0x4001_A010	32 ビット	R	0x00000000	(ROM テーブルの終了マーカ)

(2) 表 2.8 の名称、アドレスを下記の様に修正。

表 2.8 CoreSight ROM テーブルの CoreSight レジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
MEMTYPE	0x4001_AFCC	32 ビット	R	0x00000001
PIDR4	0x4001_AFD0	32 ビット	R	0x00000004
PIDR5	0x4001_AFD4	32 ビット	R	0x00000000
PIDR6	0x4001_AFD8	32 ビット	R	0x00000000
PIDR7	0x4001_AFDC	32 ビット	R	0x00000000
PIDR0	0x4001_AFE0	32 ビット	R	0x0000002F
PIDR1	0x4001_AFE4	32 ビット	R	0x00000030
PIDR2	0x4001_AFE8	32 ビット	R	0x0000000A
PIDR3	0x4001_AFEC	32 ビット	R	0x00000000
CIDR0	0x4001_AFF0	32 ビット	R	0x0000000D
CIDR1	0x4001_AFF4	32 ビット	R	0x00000010
CIDR2	0x4001_AFF8	32 ビット	R	0x00000005
CIDR3	0x4001_AFFC	32 ビット	R	0x000000B1

(3) 表 2.10 の名称

表 2.10 DBGREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0x4001_BFD0	32 ビット	R	0x00000004
PID5	0x4001_BFD4	32 ビット	R	0x00000000
PID6	0x4001_BFD8	32 ビット	R	0x00000000
PID7	0x4001_BFDC	32 ビット	R	0x00000000
PID0	0x4001_BFE0	32 ビット	R	0x00000005
PID1	0x4001_BFE4	32 ビット	R	0x00000030
PID2	0x4001_BFE8	32 ビット	R	0x0000001A
PID3	0x4001_BFEC	32 ビット	R	0x00000000
CID0	0x4001_BFF0	32 ビット	R	0x0000000D
CID1	0x4001_BFF4	32 ビット	R	0x000000F0
CID2	0x4001_BFF8	32 ビット	R	0x00000005
CID3	0x4001_BFFC	32 ビット	R	0x000000B1

(4) 表 2.12 の名称

表 2.12 OCDREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0x8000_0FD0	32 ビット	R	0x00000004
PID5	0x8000_0FD4	32 ビット	R	0x00000000
PID6	0x8000_0FD8	32 ビット	R	0x00000000
PID7	0x8000_0FDC	32 ビット	R	0x00000000
PID0	0x8000_0FE0	32 ビット	R	0x00000004
PID1	0x8000_0FE4	32 ビット	R	0x00000030
PID2	0x8000_0FE8	32 ビット	R	0x0000000A
PID3	0x8000_0FEC	32 ビット	R	0x00000000
CID0	0x8000_0FF0	32 ビット	R	0x0000000D
CID1	0x8000_0FF4	32 ビット	R	0x000000F0
CID2	0x8000_0FF8	32 ビット	R	0x00000005
CID3	0x8000_0FFC	32 ビット	R	0x000000B1

(3) 表 2.10 の名称を下記のように修正。

表 2.10 DBGREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x4001_BFD0	32 ビット	R	0x00000004
PIDR5	0x4001_BFD4	32 ビット	R	0x00000000
PIDR6	0x4001_BFD8	32 ビット	R	0x00000000
PIDR7	0x4001_BFDC	32 ビット	R	0x00000000
PIDR0	0x4001_BFE0	32 ビット	R	0x00000005
PIDR1	0x4001_BFE4	32 ビット	R	0x00000030
PIDR2	0x4001_BFE8	32 ビット	R	0x0000001A
PIDR3	0x4001_BFEC	32 ビット	R	0x00000000
CIDR0	0x4001_BFF0	32 ビット	R	0x0000000D
CIDR1	0x4001_BFF4	32 ビット	R	0x000000F0
CIDR2	0x4001_BFF8	32 ビット	R	0x00000005
CIDR3	0x4001_BFFC	32 ビット	R	0x000000B1

(4) 表 2.12 の名称を以下のように修正。

表 2.12 OCDREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x8000_0FD0	32 ビット	R	0x00000004
PIDR5	0x8000_0FD4	32 ビット	R	0x00000000
PIDR6	0x8000_0FD8	32 ビット	R	0x00000000
PIDR7	0x8000_0FDC	32 ビット	R	0x00000000
PIDR0	0x8000_0FE0	32 ビット	R	0x00000004
PIDR1	0x8000_0FE4	32 ビット	R	0x00000030
PIDR2	0x8000_0FE8	32 ビット	R	0x0000000A
PIDR3	0x8000_0FEC	32 ビット	R	0x00000000
CIDR0	0x8000_0FF0	32 ビット	R	0x0000000D
CIDR1	0x8000_0FF4	32 ビット	R	0x000000F0
CIDR2	0x8000_0FF8	32 ビット	R	0x00000005
CIDR3	0x8000_0FFC	32 ビット	R	0x000000B1

RA2E1 グループ

2. CPU

修正前

(1) 2.5.4.1 ROM エントリの説明、および表 2.7 のタイトル「CoreSight ROM テーブル」。

2.5.4.1 ROM エントリ

表 2.7 に CoreSight ROM テーブルの ROM エントリを示します。エミュレータはどのコンポーネントがシステムに実装されているかを判定するために、ROM エントリを使用できます。詳細は、参考資料 4.を参照してください。

表 2.7 CoreSight ROM テーブル

#	アドレス	アクセスサイズ	R/W	値	対象コンポーネント
0	0x4001_A000	32 ビット	R	0x9FFF4003	SCS
1	0x4001_A004	32 ビット	R	0x9FFE7003	DWT
2	0x4001_A008	32 ビット	R	0x9FFE8003	FPB
3	0x4001_A00C	32 ビット	R	0xFFFFF003	MTB
4	0x4001_A010	32 ビット	R	0x00000000	(ROM テーブルの終了マーカ)

(2) 表 2.8 の名称、アドレス

表 2.8 CoreSight ROM テーブルの CoreSight レジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
DEVTYPE	0xE00F_FFCC	32 ビット	R	0x00000001
PID4	0xE00F_FFD0	32 ビット	R	0x00000004
PID5	0xE00F_FFD4	32 ビット	R	0x00000000
PID6	0xE00F_FFD8	32 ビット	R	0x00000000
PID7	0xE00F_FFDC	32 ビット	R	0x00000000
PID0	0xE00F_FFE0	32 ビット	R	0x00000039
PID1	0xE00F_FFE4	32 ビット	R	0x00000030
PID2	0xE00F_FFE8	32 ビット	R	0x0000000A
PID3	0xE00F_FFEC	32 ビット	R	0x00000000
CID0	0xE00F_FFF0	32 ビット	R	0x0000000D
CID1	0xE00F_FFF4	32 ビット	R	0x00000010
CID2	0xE00F_FFF8	32 ビット	R	0x00000005
CID3	0xE00F_FFFC	32 ビット	R	0x000000B1

修正後

(1) 2.5.4.1 ROM エントリの文中「CoreSight ROM テーブル内の」を削除、および表 2.7 のタイトルを「ROM エントリ」に修正。

2.5.4.1 ROM エントリ

表 2.7 に ROM エントリを示します。エミュレータはどのコンポーネントがシステムに実装されているかを判定するために、ROM エントリを使用できます。詳細は、参考資料 4.を参照してください。

表 2.7 ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象コンポーネント
0	0x4001_A000	32 ビット	R	0x9FFF4003	SCS
1	0x4001_A004	32 ビット	R	0x9FFE7003	DWT
2	0x4001_A008	32 ビット	R	0x9FFE8003	FPB
3	0x4001_A00C	32 ビット	R	0xFFFFF003	MTB
4	0x4001_A010	32 ビット	R	0x00000000	(ROM テーブルの終了マーカ)

(2) 表 2.8 の名称、アドレスを下記の様に修正。

表 2.8 CoreSight ROM テーブルの CoreSight レジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
MEMTYPE	0x4001_AFCC	32 ビット	R	0x00000001
PIDR4	0x4001_AFD0	32 ビット	R	0x00000004
PIDR5	0x4001_AFD4	32 ビット	R	0x00000000
PIDR6	0x4001_AFD8	32 ビット	R	0x00000000
PIDR7	0x4001_AFDC	32 ビット	R	0x00000000
PIDR0	0x4001_AFE0	32 ビット	R	0x00000039
PIDR1	0x4001_AFE4	32 ビット	R	0x00000030
PIDR2	0x4001_AFE8	32 ビット	R	0x0000000A
PIDR3	0x4001_AFEC	32 ビット	R	0x00000000
CIDR0	0x4001_AFF0	32 ビット	R	0x0000000D
CIDR1	0x4001_AFF4	32 ビット	R	0x00000010
CIDR2	0x4001_AFF8	32 ビット	R	0x00000005
CIDR3	0x4001_AFFC	32 ビット	R	0x000000B1

(3) 表 2.10 の名称

表 2.10 DBGREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0x4001_BFD0	32 ビット	R	0x00000004
PID5	0x4001_BFD4	32 ビット	R	0x00000000
PID6	0x4001_BFD8	32 ビット	R	0x00000000
PID7	0x4001_BFDC	32 ビット	R	0x00000000
PID0	0x4001_BFE0	32 ビット	R	0x00000005
PID1	0x4001_BFE4	32 ビット	R	0x00000030
PID2	0x4001_BFE8	32 ビット	R	0x0000001A
PID3	0x4001_BFEC	32 ビット	R	0x00000000
CID0	0x4001_BFF0	32 ビット	R	0x0000000D
CID1	0x4001_BFF4	32 ビット	R	0x000000F0
CID2	0x4001_BFF8	32 ビット	R	0x00000005
CID3	0x4001_BFFC	32 ビット	R	0x000000B1

(4) 表 2.12 の名称

表 2.12 OCDREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0x8000_OFD0	32 ビット	R	0x00000004
PID5	0x8000_OFD4	32 ビット	R	0x00000000
PID6	0x8000_OFD8	32 ビット	R	0x00000000
PID7	0x8000_OFDC	32 ビット	R	0x00000000
PID0	0x8000_OFE0	32 ビット	R	0x00000004
PID1	0x8000_OFE4	32 ビット	R	0x00000030
PID2	0x8000_OFE8	32 ビット	R	0x0000000A
PID3	0x8000_OFEC	32 ビット	R	0x00000000
CID0	0x8000_OFF0	32 ビット	R	0x0000000D
CID1	0x8000_OFF4	32 ビット	R	0x000000F0
CID2	0x8000_OFF8	32 ビット	R	0x00000005
CID3	0x8000_OFFC	32 ビット	R	0x000000B1

(3) 表 2.10 の名称を下記のように修正。

表 2.10 DBGREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x4001_BFD0	32 ビット	R	0x00000004
PIDR5	0x4001_BFD4	32 ビット	R	0x00000000
PIDR6	0x4001_BFD8	32 ビット	R	0x00000000
PIDR7	0x4001_BFDC	32 ビット	R	0x00000000
PIDR0	0x4001_BFE0	32 ビット	R	0x00000005
PIDR1	0x4001_BFE4	32 ビット	R	0x00000030
PIDR2	0x4001_BFE8	32 ビット	R	0x0000001A
PIDR3	0x4001_BFEC	32 ビット	R	0x00000000
CIDR0	0x4001_BFF0	32 ビット	R	0x0000000D
CIDR1	0x4001_BFF4	32 ビット	R	0x000000F0
CIDR2	0x4001_BFF8	32 ビット	R	0x00000005
CIDR3	0x4001_BFFC	32 ビット	R	0x000000B1

(4) 表 2.12 の名称を以下のように修正。

表 2.12 OCDREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x8000_OFD0	32 ビット	R	0x00000004
PIDR5	0x8000_OFD4	32 ビット	R	0x00000000
PIDR6	0x8000_OFD8	32 ビット	R	0x00000000
PIDR7	0x8000_OFDC	32 ビット	R	0x00000000
PIDR0	0x8000_OFE0	32 ビット	R	0x00000004
PIDR1	0x8000_OFE4	32 ビット	R	0x00000030
PIDR2	0x8000_OFE8	32 ビット	R	0x0000000A
PIDR3	0x8000_OFEC	32 ビット	R	0x00000000
CIDR0	0x8000_OFF0	32 ビット	R	0x0000000D
CIDR1	0x8000_OFF4	32 ビット	R	0x000000F0
CIDR2	0x8000_OFF8	32 ビット	R	0x00000005
CIDR3	0x8000_OFFC	32 ビット	R	0x000000B1

RA2E2 グループ

2. CPU

修正前

(1) 2.5.4.1 ROM エントリの説明、および表 2.7 のタイトル「CoreSight ROM テーブル」。

2.5.4.1 ROM エントリ

表 2.7 に CoreSight ROM テーブルの ROM エントリを示します。エミュレータはどのコンポーネントがシステムに実装されているかを判定するために、ROM エントリを使用できます。詳細は、参考資料 4.を参照してください。

表 2.7 CoreSight ROM テーブル

#	アドレス	アクセスサイズ	R/W	値	対象コンポーネント
0	0x4001_A000	32 ビット	R	0x9FFF4003	SCS
1	0x4001_A004	32 ビット	R	0x9FFE7003	DWT
2	0x4001_A008	32 ビット	R	0x9FFE8003	FPB
3	0x4001_A00C	32 ビット	R	0xFFFFF003	MTB
4	0x4001_A010	32 ビット	R	0x00000000	(ROM テーブルの終了マーカ)

(2) 表 2.8 の名称、アドレス

表 2.8 CoreSight ROM テーブルの CoreSight レジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
DEVTYPE	0xE00F_FFCC	32 ビット	R	0x00000001
PID4	0xE00F_FFD0	32 ビット	R	0x00000004
PID5	0xE00F_FFD4	32 ビット	R	0x00000000
PID6	0xE00F_FFD8	32 ビット	R	0x00000000
PID7	0xE00F_FFDC	32 ビット	R	0x00000000
PID0	0xE00F_FFE0	32 ビット	R	0x0000003D
PID1	0xE00F_FFE4	32 ビット	R	0x00000030
PID2	0xE00F_FFE8	32 ビット	R	0x0000000A
PID3	0xE00F_FFEC	32 ビット	R	0x00000000
CID0	0xE00F_FFF0	32 ビット	R	0x0000000D
CID1	0xE00F_FFF4	32 ビット	R	0x00000010
CID2	0xE00F_FFF8	32 ビット	R	0x00000005
CID3	0xE00F_FFFC	32 ビット	R	0x000000B1

修正後

(1) 2.5.4.1 ROM エントリの文中「CoreSight ROM テーブル内の」を削除、および表 2.7 のタイトルを「ROM エントリ」に修正。

2.5.4.1 ROM エントリ

表 2.7 に ROM エントリを示します。エミュレータはどのコンポーネントがシステムに実装されているかを判定するために、ROM エントリを使用できます。詳細は、参考資料 4.を参照してください。

表 2.7 ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象コンポーネント
0	0x4001_A000	32 ビット	R	0x9FFF4003	SCS
1	0x4001_A004	32 ビット	R	0x9FFE7003	DWT
2	0x4001_A008	32 ビット	R	0x9FFE8003	FPB
3	0x4001_A00C	32 ビット	R	0xFFFFF003	MTB
4	0x4001_A010	32 ビット	R	0x00000000	(ROM テーブルの終了マーカ)

(2) 表 2.8 の名称、アドレスを下記の様に修正。

表 2.8 CoreSight ROM テーブルの CoreSight レジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
MEMTYPE	0x4001_AFCC	32 ビット	R	0x00000001
PIDR4	0x4001_AFD0	32 ビット	R	0x00000004
PIDR5	0x4001_AFD4	32 ビット	R	0x00000000
PIDR6	0x4001_AFD8	32 ビット	R	0x00000000
PIDR7	0x4001_AFDC	32 ビット	R	0x00000000
PIDR0	0x4001_AFE0	32 ビット	R	0x0000003D
PIDR1	0x4001_AFE4	32 ビット	R	0x00000030
PIDR2	0x4001_AFE8	32 ビット	R	0x0000000A
PIDR3	0x4001_AFEC	32 ビット	R	0x00000000
CIDR0	0x4001_AFF0	32 ビット	R	0x0000000D
CIDR1	0x4001_AFF4	32 ビット	R	0x00000010
CIDR2	0x4001_AFF8	32 ビット	R	0x00000005
CIDR3	0x4001_AFFC	32 ビット	R	0x000000B1

(3) 表 2.10 の名称

表 2.10 DBGREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0x4001_BFD0	32 ビット	R	0x00000004
PID5	0x4001_BFD4	32 ビット	R	0x00000000
PID6	0x4001_BFD8	32 ビット	R	0x00000000
PID7	0x4001_BFDC	32 ビット	R	0x00000000
PID0	0x4001_BFE0	32 ビット	R	0x00000005
PID1	0x4001_BFE4	32 ビット	R	0x00000030
PID2	0x4001_BFE8	32 ビット	R	0x0000001A
PID3	0x4001_BFEC	32 ビット	R	0x00000000
CID0	0x4001_BFF0	32 ビット	R	0x0000000D
CID1	0x4001_BFF4	32 ビット	R	0x000000F0
CID2	0x4001_BFF8	32 ビット	R	0x00000005
CID3	0x4001_BFFC	32 ビット	R	0x000000B1

(4) 表 2.12 の名称

表 2.12 OCDREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0x8000_0FD0	32 ビット	R	0x00000004
PID5	0x8000_0FD4	32 ビット	R	0x00000000
PID6	0x8000_0FD8	32 ビット	R	0x00000000
PID7	0x8000_0FDC	32 ビット	R	0x00000000
PID0	0x8000_0FE0	32 ビット	R	0x00000004
PID1	0x8000_0FE4	32 ビット	R	0x00000030
PID2	0x8000_0FE8	32 ビット	R	0x0000000A
PID3	0x8000_0FEC	32 ビット	R	0x00000000
CID0	0x8000_0FF0	32 ビット	R	0x0000000D
CID1	0x8000_0FF4	32 ビット	R	0x000000F0
CID2	0x8000_0FF8	32 ビット	R	0x00000005
CID3	0x8000_0FFC	32 ビット	R	0x000000B1

(3) 表 2.10 の名称を下記のように修正。

表 2.10 DBGREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x4001_BFD0	32 ビット	R	0x00000004
PIDR5	0x4001_BFD4	32 ビット	R	0x00000000
PIDR6	0x4001_BFD8	32 ビット	R	0x00000000
PIDR7	0x4001_BFDC	32 ビット	R	0x00000000
PIDR0	0x4001_BFE0	32 ビット	R	0x00000005
PIDR1	0x4001_BFE4	32 ビット	R	0x00000030
PIDR2	0x4001_BFE8	32 ビット	R	0x0000001A
PIDR3	0x4001_BFEC	32 ビット	R	0x00000000
CIDR0	0x4001_BFF0	32 ビット	R	0x0000000D
CIDR1	0x4001_BFF4	32 ビット	R	0x000000F0
CIDR2	0x4001_BFF8	32 ビット	R	0x00000005
CIDR3	0x4001_BFFC	32 ビット	R	0x000000B1

(4) 表 2.12 の名称を以下のように修正。

表 2.12 OCDREG の CoreSight コンポーネントレジスタ一覧

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x8000_0FD0	32 ビット	R	0x00000004
PIDR5	0x8000_0FD4	32 ビット	R	0x00000000
PIDR6	0x8000_0FD8	32 ビット	R	0x00000000
PIDR7	0x8000_0FDC	32 ビット	R	0x00000000
PIDR0	0x8000_0FE0	32 ビット	R	0x00000004
PIDR1	0x8000_0FE4	32 ビット	R	0x00000030
PIDR2	0x8000_0FE8	32 ビット	R	0x0000000A
PIDR3	0x8000_0FEC	32 ビット	R	0x00000000
CIDR0	0x8000_0FF0	32 ビット	R	0x0000000D
CIDR1	0x8000_0FF4	32 ビット	R	0x000000F0
CIDR2	0x8000_0FF8	32 ビット	R	0x00000005
CIDR3	0x8000_0FFC	32 ビット	R	0x000000B1