

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24

豊洲フォレシア

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A0128A/J	Rev.	第1版
題名	誤記訂正通知 RL78/G24 ユーザーズマニュアル Rev.1.00 の記載変更		情報分類	技術情報	
適用製品	RL78/G24 グループ	対象ロット等	関連資料	RL78/G24 ユーザーズマニュアル ハードウェア編 Rev.1.00 R01UH0961JJ0100 (2023.04.28)	
		全ロット			

RL78/G24 ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0961JJ0100) において、下記訂正がございます。

今回通知する訂正内容

訂正箇所	該当ページ	内容
12.2 タイマRD2の構成	p.566	誤記訂正
12.3.4 タイマRDタイマKB PWM出力ゲートモード制御レジスタ (TRDBCR)	p. 572	誤記訂正
12.6 タイマRD2割り込み	p. 716	誤記訂正
16.4.6 リアルタイム・クロックの時計誤差補正例	p. 1051	誤記訂正
20.3.4 A/Dコンバータ・モード・レジスタ1 (ADM1)	p. 1133	誤記訂正
20.3.10 アナログ入力チャネル指定レジスタn (アドバンスド) (ADSn) (n = 0-3)	p. 1145	注意追加
20.3.15 A/D変換サンプリング・モード指定レジスタ (ADSPMOD)	p. 1150	注意追加
25.5.16 通信動作	p. 1478	誤記訂正
43.3.2 電源電流特性 周辺機能 (全製品共通)	p.1912	誤記訂正
44.3.2 電源電流特性 周辺機能 (全製品共通)	p.1992	
43.6.1 A/Dコンバータ特性 (1) 標準モード1, 2	p.1956	誤記訂正

ドキュメント改善計画

本訂正内容については、次回ユーザーズマニュアル改版時に修正を行います。

ユーザーズマニュアルの訂正一覧

No	訂正内容と該当箇所			本通知での 該当ページ
	ドキュメント No.	和文	R01UH0961JJ0100	
1	12.2	タイマRD2の構成	p.566	p.3
2	12.3.4	タイマRDタイマKB PWM出力ゲートモード制御レジスタ (TRDBCR)	p. 572	p.4
3	12.6	タイマRD2割り込み	p. 716	p.5
4	16.4.6	リアルタイム・クロックの時計誤差補正例	p. 1051	p.6
5	20.3.4	A/Dコンバータ・モード・レジスタ1 (ADM1)	p. 1133	p.7
6	20.3.10	アナログ入力チャネル指定レジスタn (アドバンスド) (ADS _n) (n = 0-3)	p. 1145	p.8
7	20.3.15	A/D変換サンプリング・モード指定レジスタ (ADSPMOD)	p. 1150	p.9
8	25.5.16	通信動作	p. 1478	p. 10
9	43.3.2 44.3.2	電源電流特性 周辺機能 (全製品共通) 電源電流特性 周辺機能 (全製品共通)	p.1912, p.1992	p. 11
10	43.6.1	A/Dコンバータ特性 (1) 標準モード1, 2	p.1956	p. 12

誤記訂正の該当箇所は、誤太字下線、正グレー・ハッチングで記載します。

発行文書履歴

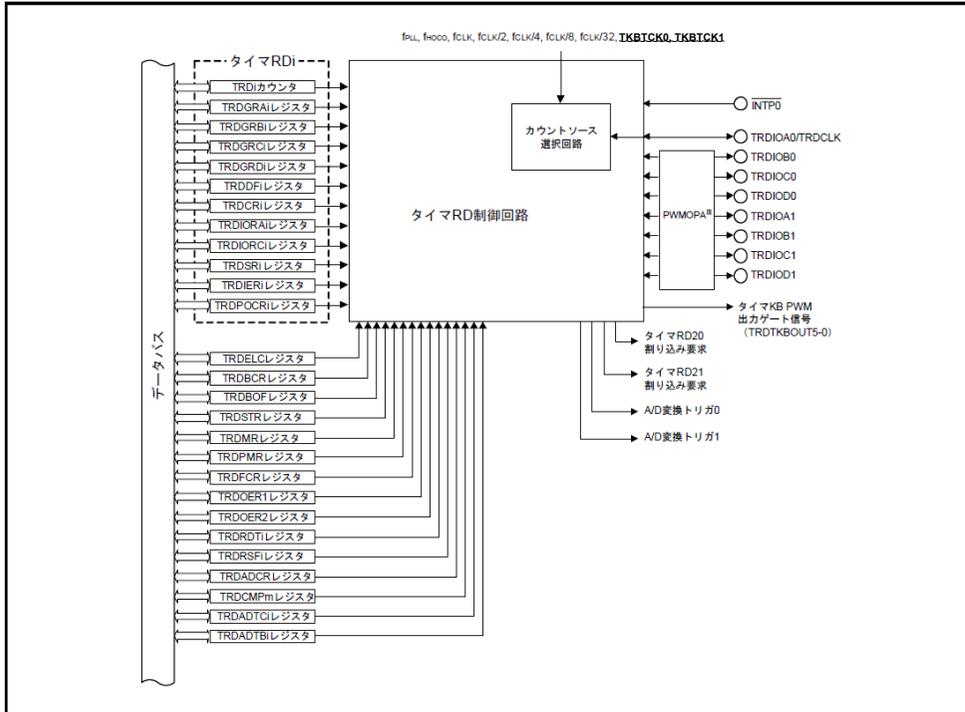
RL78/G24 ユーザーズマニュアル Rev.1.00 誤記訂正通知 発行文書履歴

文書番号	発行日	記事
TN-RL*-A0128A/J	2023年10月31日	初版発行 訂正一覧の No.1 ~ No.10 の誤記訂正 (本通知です。)

1. 12.2 タイマ RD2 の構成 (p. 556)

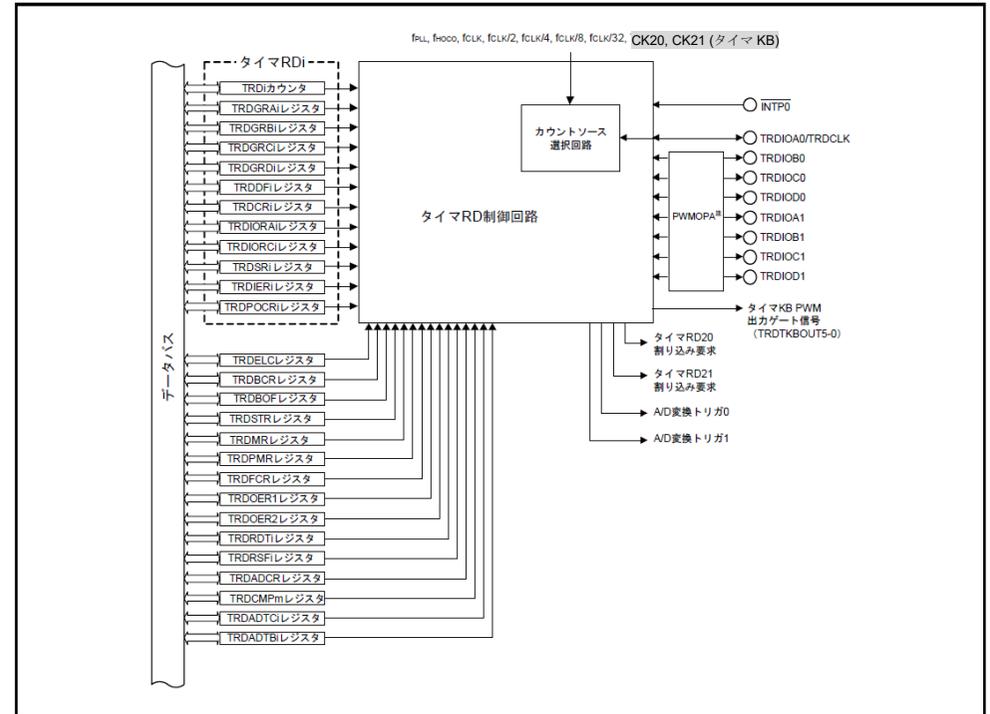
誤)

図 12-1 タイマ RD2 のブロック図



正)

図 12-1 タイマ RD2 のブロック図



2. 12.3.4 タイマ RD タイマ KB PWM 出カゲートモード制御レジスタ

(TRDBCR) (p. 572)

誤)

12.3.4 タイマRDタイマKB PWM出カゲートモード制御レジスタ (TRDBCR)

図12-5 タイマRDタイマKB PWM出カゲートモード制御レジスタ (TRDBCR) のフォーマット

アドレス : F0391H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDBCR	GCE	0	0	GCKS	0	0	0	GMD
GCE	タイマKB PWM出カゲートモード有効							
0	タイマKB PWM出カゲートモード無効							
1	タイマKB PWM出カゲートモード有効							
GCKS	タイマKB PWM出カゲートモードカウントソース選択							
0	TKBTCK0 を選択							
1	TKBTCK1 を選択							

正)

12.3.4 タイマRDタイマKB PWM出カゲートモード制御レジスタ (TRDBCR)

図12-5 タイマRDタイマKB PWM出カゲートモード制御レジスタ (TRDBCR) のフォーマット

アドレス : F0391H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
TRDBCR	GCE	0	0	GCKS	0	0	0	GMD
GCE	タイマKB PWM出カゲートモード有効							
0	タイマKB PWM出カゲートモード無効							
1	タイマKB PWM出カゲートモード有効							
GCKS	タイマKB PWM出カゲートモードカウントソース選択							
0	タイマ KB3 の動作クロック CK20 を選択							
1	タイマ KB3 の動作クロック CK21 を選択							

3. 12.6 タイマ RD2 割り込み (p. 716)

誤)

12.6 タイマ RD2 割り込み

タイマ RD2 の拡張相補 PWM モード、タイマ KB PWM 出力ゲートモード以外の動作モードを設定した場合は、タイマ RD20 とタイマ RD21 ごとに 6 つの要因からタイマ RD2i (i = 0, 1) 割り込み要求が発生します。表 12 - 28 にタイマ RD2 割り込み関連レジスタ、図 12 - 109 にタイマ RD2 割り込みのブロック図を示します。

表12-28 タイマRD2割り込み関連レジスタ

	タイマRD ステータス レジスタ	タイマRD 割り込み許可 レジスタ	割り込み要求フラグ (レジスタ)	割り込みマスク・ フラグ (レジスタ)	優先順位指定フラグ (レジスタ)
タイマ RD20	TRDSR0	TRDIER0	TRDIF0 (IF2H)	TRDMK0 (MK2H)	TRDPR00 (PR02H) TRDPR10 (PR12H)
タイマ RD21	TRDSR1	TRDIER1	TRDIF1 (IF2H)	TRDMK1 (MK2H)	TRDPR01 (PR02H) TRDPR11 (PR12H)

正)

12.6 タイマ RD2 割り込み

タイマ RD2 の拡張相補 PWM モード、タイマ KB PWM 出力ゲートモード以外の動作モードを設定した場合は、タイマ RD20 とタイマ RD21 ごとに 6 つの要因からタイマ RD2i (i = 0, 1) 割り込み要求が発生します。表 12 - 28 にタイマ RD2 割り込み関連レジスタ、図 12 - 109 にタイマ RD2 割り込みのブロック図を示します。

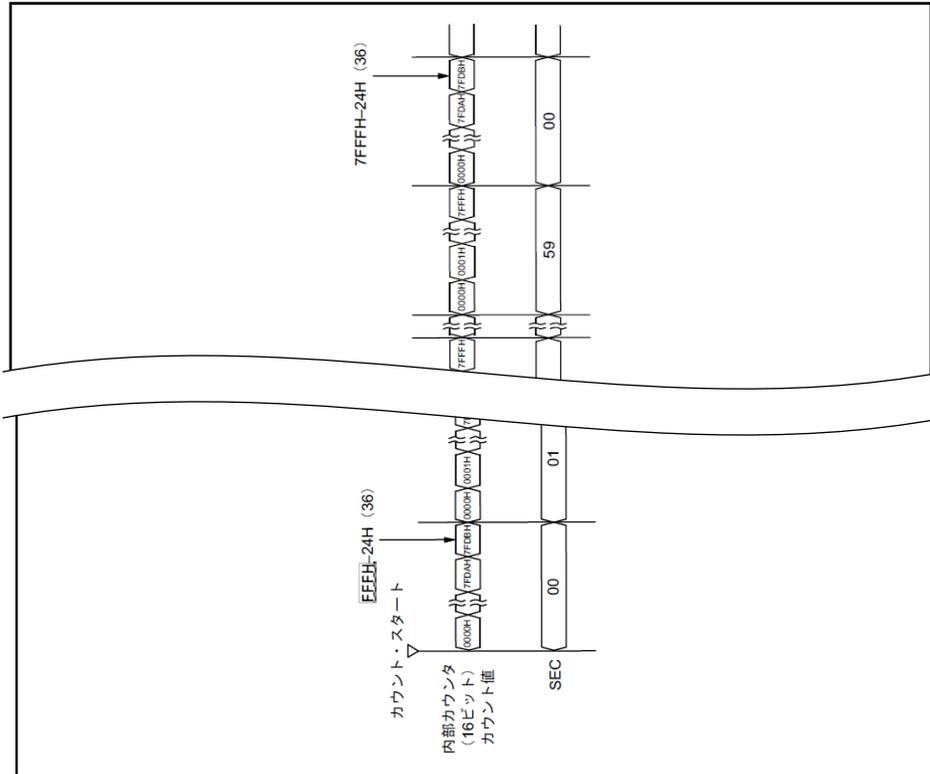
表12-28 タイマRD2割り込み関連レジスタ

	タイマRD ステータス レジスタ	タイマRD 割り込み許可 レジスタ	割り込み要求フラグ (レジスタ)	割り込みマスク・ フラグ (レジスタ)	優先順位指定フラグ (レジスタ)
タイマ RD20	TRDSR0	TRDIER0	TRDIF0 (IF1H)	TRDMK0 (MK1H)	TRDPR00 (PR01H) TRDPR10 (PR11H)
タイマ RD21	TRDSR1	TRDIER1	TRDIF1 (IF1H)	TRDMK1 (MK1H)	TRDPR01 (PR01H) TRDPR11 (PR11H)

4. 16.4.6 リアルタイム・クロックの時計誤差補正例 (p. 1051)

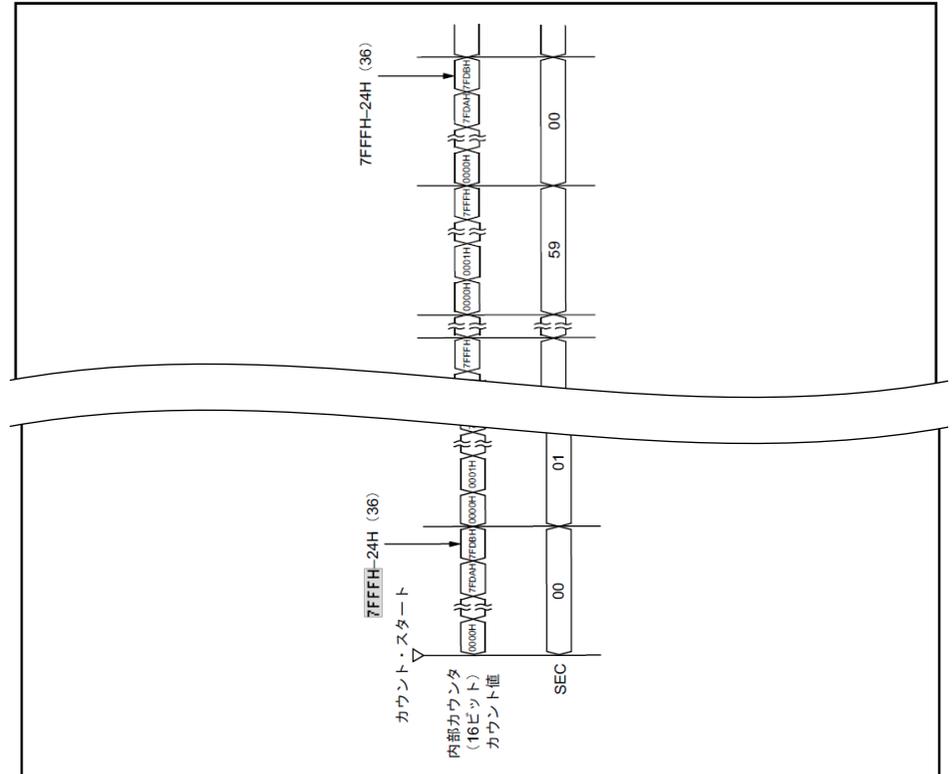
誤)

図16-26 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の補正動作



正)

図16-26 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の補正動作



5. 20.3.4 A/Dコンバータ・モード・レジスタ1 (ADM1) (p. 1133)

誤)

図20-7 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット

アドレス : FFF32H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	ADLSP	ADTRS2	ADTRS1	ADTRS0
ADTMD1	ADTMD0	A/D変換トリガ・モードの選択						
0	x	ソフトウェア・トリガ・ノーウェイト・モード、ソフトウェア・トリガ・ウェイト・モード						
1	0	ハードウェア・トリガ・ノーウェイト・モード						
1	1	ハードウェア・トリガ・ウェイト・モード						
ADLSP	fCLKの入力周波数設定							
0	4 MHz < fCLK ≤ 48 MHz							
1	1 MHz ≤ fCLK ≤ 4 MHz							
ADSCM	A/D変換動作モードの設定							
0	連続変換モード							
1	ワンショット変換モード							
ADTRS2	ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択					
0	0	0	タイマ・アレイ・ユニットのチャネル01のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)					
0	1	0	リアルタイム・クロック割り込み信号 (INTRTC)					
0	1	1	32ビット・インターバル・タイマチャネル0割り込み信号 (ELCITL0)					
1	0	0	ELCからのイベント入力 ^注					
上記以外			設定禁止					

注 SNOOZEモード使用時は、ELCからのイベント入力を使用できません。

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

...

注意4. ADTMD[1:0]ビットとADTRS[2:0]ビットはアドバンスド・モードOFFのときのみ有効です。

アドバンスド・モードONのときは、初期値から変更しないでください。

注意5. アドバンスド・モードONのときは、連続モード設定は禁止です。ADSCMビットは初期値(ワンショット変換モード)から変更しないでください。

備考1. x : don't care

備考2. fCLK : CPU/周辺ハードウェア・クロック周波数

正)

図20-7 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット

アドレス : FFF32H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	ADLSP	ADTRS2	ADTRS1	ADTRS0
ADTMD1	ADTMD0	A/D変換トリガ・モードの選択						
0	x	ソフトウェア・トリガ・ノーウェイト・モード、ソフトウェア・トリガ・ウェイト・モード						
1	0	ハードウェア・トリガ・ノーウェイト・モード						
1	1	ハードウェア・トリガ・ウェイト・モード						
ADLSP	fCLKの入力周波数設定							
0	4 MHz < fCLK ≤ 48 MHz							
1	1 MHz ≤ fCLK ≤ 4 MHz							
ADSCM	A/D変換動作モードの設定 ^{注1}							
0	連続変換モード							
1	ワンショット変換モード							
ADTRS2	ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択					
0	0	0	タイマ・アレイ・ユニットのチャネル01のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)					
0	1	0	リアルタイム・クロック割り込み信号 (INTRTC)					
0	1	1	32ビット・インターバル・タイマチャネル0割り込み信号 (ELCITL0)					
1	0	0	ELCからのイベント入力 ^{注2}					
上記以外			設定禁止					

注1. アドバンスド・モードONのときは、連続モード設定は禁止です。ADSCMビットは1(ワンショット変換モード)に設定してください。

注2. SNOOZEモード使用時は、ELCからのイベント入力を使用できません。

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウェイト・モード時 : fCLKの2クロック+変換起動時間+A/D変換時間

ハードウェア・トリガ・ウェイト・モード時 : fCLKの2クロック+変換起動時間+A/D電源安定待ち時間+A/D変換時間

6. 20.3.10 アナログ入力チャネル指定レジスタ n (アドバンスド) (ADS_n)

(n = 0-3) (p. 1145)

誤)

- 注意1. ADSPSCn[1:0] = 10Bまたは11Bの場合、ADISSn, ADSn[4:0]ビットの指定は初期値から変更しないでください。
- 注意2. ADSPSCn[1:0]ビットはADS0-3レジスタ間で00B以外の重複設定は禁止です。
また、同時サンプリングを実施しない場合は、00Bに設定してください。
- 注意3. ADISSnビット、ADSPSCn[1:0]ビットを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。
- 注意4. ADSn[4:0]ビットは、変換中にレジスタ書き換えを行わないでください。書き換えを行う場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに実施してください。
- 注意5. ポート・モード・コントロールA・レジスタxx (PMCAxx) でアナログ入力に設定したポートは、対応するポート・モード・レジスタxx (PMxx) で入力モードに設定してください。

正)

- 注意1. ADSPSCn[1:0] = 10Bまたは11Bの場合、ADISSn, ADSn[4:0]ビットの指定は初期値から変更しないでください。
- 注意2. ADSPSCn[1:0]ビットはADS0-3レジスタ間で00B以外の重複設定は禁止です。
また、同時サンプリングを実施しない場合は、00Bに設定してください。
- 注意3. ADSn レジスタを書き換える場合、対応するハードウェアトリガを停止させるなど、A/D 変換のトリガが入らないように処置してから書き換えを行ってください。
又は書き換え後に発生した一回目の変換結果を破棄してください。その後の変換結果は使用可能です。
- 注意5. ポート・モード・コントロールA・レジスタxx (PMCAxx) でアナログ入力に設定したポートは、対応するポート・モード・レジスタxx (PMxx) で入力モードに設定してください。

7. 20.3.15 A/D 変換サンプリング・モード指定レジスタ (ADSPMOD)

(p. 1150)

誤)

- 注
- ・標準1モードの場合のみ設定できます。
 - ・ADSCCTL レジスタで有効に設定されている ADSn レジスタに、以下のアナログ入力チャンネルが設定されている場合は、ADSPMOD[1:0] = 01B に設定しないでください。
 - ANI16-ANI30
 - PGA 出力
 - 温度センサ出力電圧
 - 内部基準電圧

注意 ADSPMOD レジスタの書き換えは、変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

正)

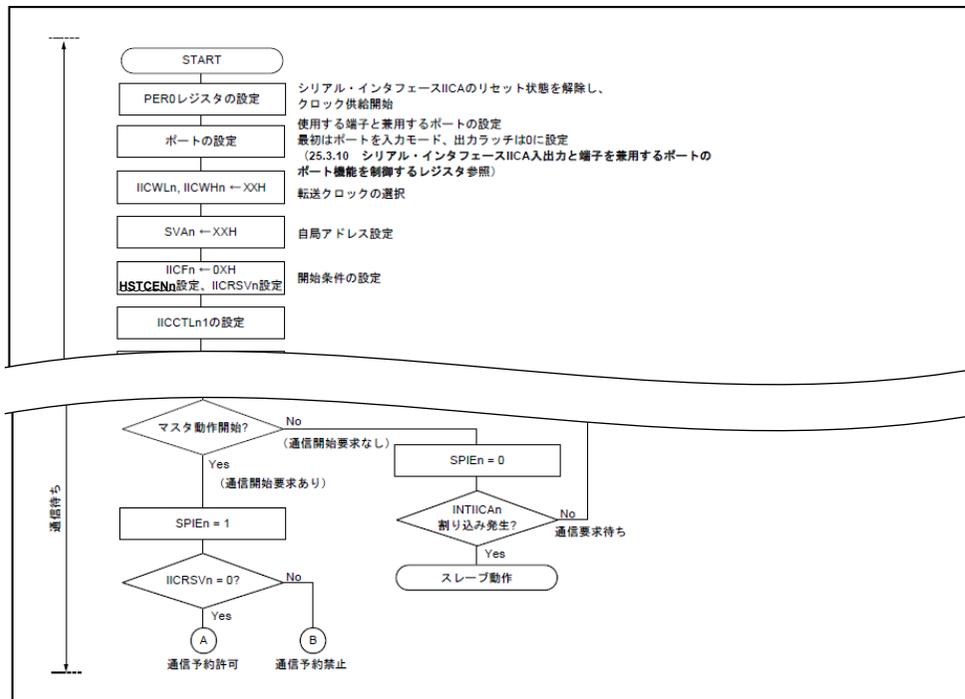
- 注
- ・標準1モードの場合のみ設定できます。
 - ・ADSCCTL レジスタで有効に設定されている ADSn レジスタに、以下のアナログ入力チャンネルが設定されている場合は、ADSPMOD[1:0] = 01B に設定しないでください。
 - ANI16-ANI30
 - PGA 出力
 - 温度センサ出力電圧
 - 内部基準電圧

注意 ADSPMOD レジスタは A/D 変換動作中に書き換えを行わないでください。書き換える場合は、トリガ待機状態において、ハードウェアトリガを停止させるなど、A/D 変換のトリガが入らないように処置してから書き換えを行ってください。

8. 25.5.16 通信動作 (p. 1478)

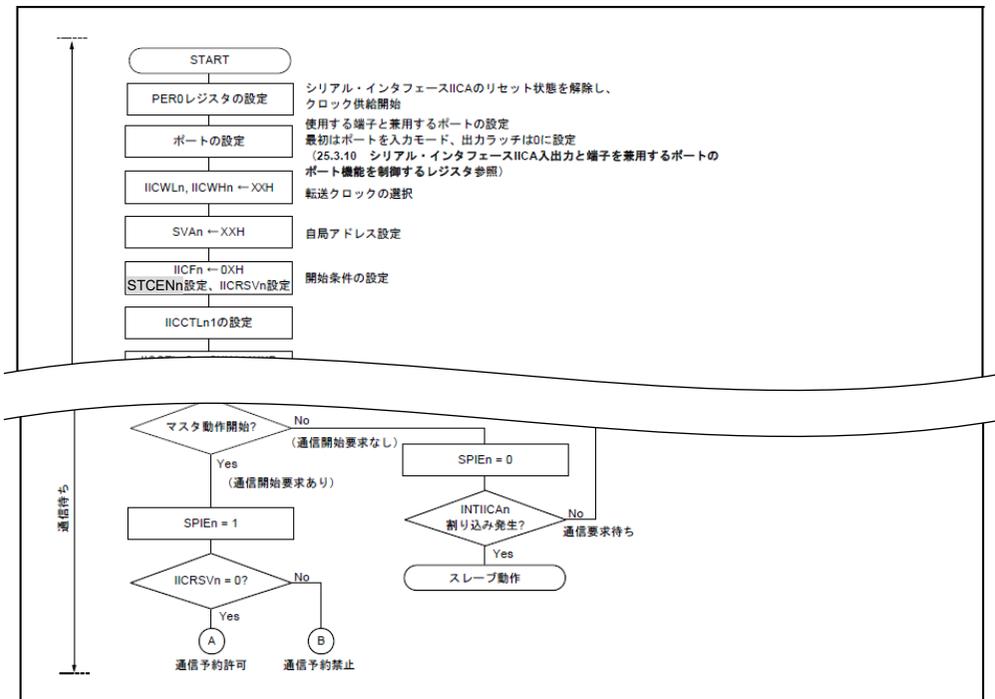
誤)

図 25 - 30 マルチマスタ・システムでのマスタ動作 (1/3)



正)

図 25 - 30 マルチマスタ・システムでのマスタ動作 (1/3)



9. 43.3.2 電源電流特性_周辺機能 (全製品共通) (p. 1912)

44.3.2 電源電流特性_周辺機能 (全製品共通) (p. 1992)

誤)

項目	略号	条件	Min.	Typ.	Max.	単位
高速オンチップ・オシレータ動作電流	IFIH注1	HIPREC = 0		380	—	μA
		HIPREC = 1		240	—	μA
中速オンチップ・オシレータ動作電流	IFIM注1			20	—	μA
低速オンチップ・オシレータ動作電流	IFIL注1			0.3	—	μA
RTC動作電流	IRTC注1, 2, 3	fRTCCLK = 32.768 kHz		0.005	—	μA
		fRTCCLK = 128 Hz		0.002	—	μA
32ビット・インターバル・タイマ動作電流	IIT注1, 2, 4			0.04	—	μA
ウォッチドッグ・タイマ動作電流	IWDT注1, 2, 5	fil = 32.768 kHz (typ.)		0.32	—	μA
A/Dコンバータ動作電流	IADC注1, 6	最高速変換時 標準モード、AVREFF = VDD = 5.0 V		0.95	1.6	mA
		低電圧モード、AVREFF = VDD = 3.0 V		0.54	0.81	mA
AVREFF電流	IADREF注7	AVREFF = 5.0 V		60	—	μA
A/Dコンバータ内部基準電圧電流	IADREF注1			114	—	μA
温度センサ動作電流	ITMPS注1			110	—	μA
D/Aコンバータ動作電流	IDAC注1, 8	1チャンネルあたり 10bitDAC, VDD = 5.0 V		223	—	μA
		8bitDAC, VDD = 5.0 V		120	—	μA
コンパレータ動作電流	ICMP注1, 9	1チャンネルあたり		100	—	μA
PGA動作電流	IPGA注1, 10			460	—	mA
S&H動作電流	ISH注1, 11	1チャンネルあたり		800	—	μA
LVD動作電流	ILVDO注1, 12			0.03	—	μA
				0.03	—	μA
FAA動作電流	IFAA注1, 13	fCLK = 48 MHz		11.0	—	mA
		fCLK = 32 MHz		7.3	—	mA

正)

項目	略号	条件	Min.	Typ.	Max.	単位
高速オンチップ・オシレータ動作電流	IFIH注1	HIPREC = 0		380	—	μA
		HIPREC = 1		240	—	μA
中速オンチップ・オシレータ動作電流	IFIM注1			20	—	μA
低速オンチップ・オシレータ動作電流	IFIL注1			0.3	—	μA
RTC動作電流	IRTC注1, 2, 3	fRTCCLK = 32.768 kHz		0.005	—	μA
		fRTCCLK = 128 Hz		0.002	—	μA
32ビット・インターバル・タイマ動作電流	IIT注1, 2, 4			0.04	—	μA
ウォッチドッグ・タイマ動作電流	IWDT注1, 2, 5	fil = 32.768 kHz (typ.)		0.32	—	μA
A/Dコンバータ動作電流	IADC注1, 6	最高速変換時 標準モード、AVREFF = VDD = 5.0 V		0.95	1.6	mA
		低電圧モード、AVREFF = VDD = 3.0 V		0.54	0.81	mA
AVREFF電流	IADREF注7	AVREFF = 5.0 V		60	—	μA
A/Dコンバータ内部基準電圧電流	IADREF注1			114	—	μA
温度センサ動作電流	ITMPS注1			110	—	μA
D/Aコンバータ動作電流	IDAC注1, 8	1チャンネルあたり 10bitDAC, VDD = 5.0 V		223	—	μA
		8bitDAC, VDD = 5.0 V		120	—	μA
コンパレータ動作電流	ICMP注1, 9	1チャンネルあたり		100	—	μA
PGA動作電流	IPGA注1, 10			460	—	μA
S&H動作電流	ISH注1, 11	1チャンネルあたり		800	—	μA
LVD動作電流	ILVDO注1, 12			0.03	—	μA
				0.03	—	μA
FAA動作電流	IFAA注1, 13	fCLK = 48 MHz		11.0	—	mA
		fCLK = 32 MHz		7.3	—	mA

10. 43.6.1 A/Dコンバータ特性 (1) 標準モード1, 2 (p. 1956)

誤)

43.6 アナログ特性

43.6.1 A/Dコンバータ特性

(1) 標準モード1, 2

(TA = -40 ~ +105°C, 2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V, fCLK ≤ 32 MHz,
基準電圧 (+) = AVREFP (ADREFP[1:0] = 01B), 基準電圧 (-) = AVREFM (ADREFM = 1),
変換対象: ANI2-ANI7, ANI16-ANI30, 内部基準電圧, 温度センサ出力電圧)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		32	MHz
総合誤差注1, 3, 4, 5	AINL	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±7.5	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
変換時間注6	tCONV	ADM3.ADVMOD=0 4.5 V ≤ AVREFP = VDD ≤ 5.5 V	2			μs
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V	2			μs
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V	2			μs
	ADM3.ADVMOD=1	4.5 V ≤ AVREFP = VDD ≤ 5.5 V	1			μs
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V	1			μs
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V	1			μs
ゼロスケール誤差注1, 2, 3, 4, 5	EzS	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
フルスケール誤差注1, 2, 3, 4, 5	Efs	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
積分直線性誤差注1, 4, 5	ILE	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
微分直線性誤差注1	DLE	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

(注は次ページに続きます)

正)

43.6.1 A/Dコンバータ特性

(1) 標準モード1, 2

(TA = -40 ~ +105°C, 2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V, fCLK ≤ 32 MHz,
基準電圧 (+) = AVREFP (ADREFP[1:0] = 01B), 基準電圧 (-) = AVREFM (ADREFM = 1),
変換対象: ANI2-ANI7, ANI16-ANI30, 内部基準電圧, 温度センサ出力電圧)

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES		8		12	bit
変換クロック	fAD		1		32	MHz
総合誤差注1, 3, 4, 5	AINL	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±7.5	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±9.0	LSB
変換時間注6	tCONV	4.5 V ≤ AVREFP = VDD ≤ 5.5 V	2			μs
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V	2			μs
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V	2			μs
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V	2			μs
ゼロスケール誤差注1, 2, 3, 4, 5	EzS	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
フルスケール誤差注1, 2, 3, 4, 5	Efs	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±0.17	%FSR
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±0.21	%FSR
積分直線性誤差注1, 4, 5	ILE	4.5 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V			±3.0	LSB
微分直線性誤差注1	DLE	4.5 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
		2.7 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
		2.4 V ≤ AVREFP = VDD ≤ 5.5 V		±1.0		LSB
アナログ入力電圧	VAIN		0		AVREFP	V

(注は次ページに続きます)