RA6T2 グループ
ルネサスマイクロコントローラ

R01DS0400JJ0130
Rev.1.30
Aug 26, 2022

高性能な 240 MHz Arm Cortex-M33 コア、バックグラウンド動作の最大 512 KB のコードフラッシュメモリ、16 KB のデータフラッシュメモリ、ECC を備えた 64 KB の SRAM。同時サンプリングが可能なチャネル専用サンプル＆ホールド回路とシングルエンド／疑似差動入力対応アンプを備えた統合 A/D コンバータ。200 MHz 動作および高分解能の統合汎用 PWM タイマ。Arm TrustZone と協調して動作する暗号化アクセラレータおよび鍵管理サポートを備え、セキュア要素機能を有機的に結ぶ統合セキュア暗号エンジン。

特長

■ Arm® Cortex®-M33 コア
- Armv8-M アーキテクチャ（メイン拡張）
- 最高動作周波数：240 MHz
- Arm メモリプロテクションユニット (Arm MPU)
  - 保護メモリシステムアーキテクチャ (PMSAv8)
  - セキュア MPU (MPU_S)：8 領域
  - 非セキュア MPU (MPU_NS)：8 領域
- SysTick タイマ
  - 2 個の SysTick タイマ：セキュア、および非セキュアインスタンス
  - LOCO 駆動またはシステムクロック
- CoreSight™ ETM-M33

■ メモリ
- 最大 512 KB のコードフラッシュメモリ
- 16 KB データフラッシュメモリ（125,000 回のプログラム／イレース (P/E) サイクル）
- 64-KB SRAM

■ 接続性
- シリアルコミュニケーションインタフェース (SCI) × 6
  - 調歩同期式インタフェース
  - 8 ビットクロック同期式インタフェース
  - スマートカードインタフェース
  - 簡易 IIC
  - 簡易 SPI
  - 簡易 LIN
  - マンチェスタコード
- I^2C バスインタフェース (IIC) × 2
  - 最大 3.2 Mpbs の転送（High-speed モード）
- シリアルペリフェラルインタフェース (SPI) × 2
- CAN フレキシブルデータレート (CANFD)

■ アナログ
- A/D コンバータ (ADC) × 2
  - 最大 16 ビットの分解能
  - 最大 6.25 Msps
  - チャネル専用サンプル&ホールド回路 × 6
  - プログラマブルゲインアンプ (PGA) × 4
- 高速アナログコンパレータ (ACMPHS) × 4
- 12 ビット D/A コンバータ (DAC12) × 4
- 温度センサ (TSN)

■ タイマ
- 32 ビット高分解能汎用 PWM タイマ (GPT32) × 4
  - 200 MHz 時 156 ps の分解能
- 32 ビット汎用 PWM タイマ (GPT32) × 6
- 非同期汎用タイマ (AGT) × 2

■ セキュリティおよび暗号化
- セキュア暗号エンジン (SCE5)
  - 対称暗号方式：AES
  - ハッシュ値生成： GHASH
  - 128 ビットのユニーク ID
- Arm® TrustZone®
  - コードフラッシュ用領域：最大 3 領域
  - データフラッシュ用領域：最大 2 領域
  - SRAM 用領域：最大 3 領域
  - 各ペリフェラルに対して個別のセキュアまたは非セキュアのセキュリティ属性
- デバイスライフサイクルの管理

■ システムおよび電源管理
- 低消費電力モード
- イベントリンクコントローラ (ELC)
- データ転送コントローラ (DTC)
- DMA コントローラ (DMAC) × 8
- パワーオンリセット
- 低電圧検出 (LVD)（電圧設定）
- ウォッチドッグタイマ (WDT)
- 独立ウォッチドッグタイマ (IWDT)
- キー割り込み機能 (KINT)

■ データ処理アクセラレータ
- 三角関数ユニット (TFU)
- IIR フィルタアクセラレータ (IIRFA)

■ マルチクロックソース
- メインクロック発振器 (MOSC) (8～24 MHz)
- 高速オンチップオシレータ (HOCO) (16/18/20 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- IWDT 専用オンチップオシレータ (15 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- PLL/PLL2
- クロックアウトのサポート

■ 汎用入出力ポート
- 5 V トレラント、オープンドレイン、入力プルアップ、切り替え可能駆動能力

■ 動作電圧
- VCC: 2.7～3.6 V

■ 動作温度およびパッケージ
- Ta = –40°C～+105°C
  - 100 ピン LQFP（14mm×14mm、0.5mm ピッチ）
  - 64 ピン LQFP（10mm×10mm、0.5mm ピッチ）
  - 48 ピン LQFP（7mm×7mm、0.5mm ピッチ）
  - 64 ピン QFN（8mm×8mm、0.4mm ピッチ）
  - 48 ピン QFN（7mm×7mm、0.5mm ピッチ）

1. 概要

本 MCU は、さまざまなシリーズのソフトウェアと互換性のある Arm®ベースの 32 ビットコアで構成されています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本シリーズの MCU は最高 240 MHz で動作する高性能な Arm Cortex®-M33 コアを内蔵しており、以下の特長があります。

- 最大 512 KB のコードフラッシュメモリ
- 64 KB SRAM
- 汎用 PWM タイマ（GPT）- 拡張高分解能
- アナログ周辺機能
- セキュリティ&セーフティ機能

1.1 機能の概要

表 1.1 CPU

機能	機能の説明
Arm Cortex-M33 コア	● 最高動作周波数 : 240 MHz ● Arm Cortex-M33 コア : – Armv8-M アーキテクチャ（セキュリティ拡張機能付き） – リビジョン : r0p4-00rel0 ● Arm メモリプロテクションユニット (Arm MPU) – 保護メモリシステムアーキテクチャ (PMSAv8) – セキュア MPU (MPU_S) : 8 領域 – 非セキュア MPU (MPU_NS) : 8 領域 ● SysTick タイマ – 2 個の SysTick タイマ : セキュア、および非セキュアインスタンス – SysTick タイマクロック (SYSTICCLK) またはシステムクロック (ICLK) による駆動 ● CoreSight™ ETM-M33

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 512 KB のコードフラッシュメモリ。
データフラッシュメモリ	16 KB のデータフラッシュメモリ
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。
SRAM	誤り訂正コード (ECC) を備えた高速 SRAM を内蔵しています。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2 種類の動作モード : ● シングルチップモード ● SCI ブートモード
リセット	本 MCU は、14 種類のリセットをサポートしています。
低電圧検出回路 (LVD)	低電圧検出モジュール (LVD) は、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD は、3 つの独立した電圧監視回路（LVD0、LVD1、LVD2）で構成され、LVD0、LVD1、LVD2 は VCC 端子への入力電圧レベルを監視します。LVD のレジスタを設定することにより、さまざまな電圧しきい値で VCC 端子への入力電圧の変動を監視できます。
クロック	● メインクロック発振器 (MOSC) ● 高速オンチップオシレータ (HOCO) ● 中速オンチップオシレータ (MOCO) ● 低速オンチップオシレータ (LOCO) ● IWDT 専用オンチップオシレータ ● PLL/PLL2 ● クロックアウトのサポート

表 1.3 システム (2/2)

機能	機能の説明
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にない時、割り込み要求を発生します。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。
キー割り込み機能 (KINT)	キー割り込み機能 (KINT) は、キー割り込み入力端子の立ち上がりエッジまたは立ち下がりエッジが検出されると、キー割り込みを生成します。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。
メモリプロテクションユニット (MPU)	本 MCU は、1 つのメモリプロテクションユニットを備えています。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。
DMA コントローラ (DMAC)	本 MCU は、8 チャネルの DMA コントローラ (DMAC) を内蔵しており、CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。

表 1.6 タイマ

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT32 ×10 チャネルの 32 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーター制御用の PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。
PWM 遅延生成回路 (PDG)	PWM 遅延生成回路 (PDG) には、GPT に接続可能な 4 つのチャネル遅延回路があります。PDG は、GPT320～GPT323 が生成する PWM 波形の両エッジのタイミングを制御できます。
GPT 用のポートアウトプットイネーブル (POEG)	POEG は汎用 PWM タイマ (GPT) の出力端子からの出力を停止する要求を発行します。出力を停止するための検出方法を下記から選択します。
非同期汎用タイマ (AGT)	非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットすることができます。さらに、ノンマスカブル割り込みやアンダーフロー割り込み、を発生させるためにも使用できます。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、システム暴走時に MCU をリセットすることができます。IWDT は、MCU をリセットする機能や、カウンタのアンダーフロー発生時に、割り込み／ノンマスカブル割り込みを発生させることが可能です。

表 1.7　通信インタフェース

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 6 チャネルには調歩同期式および同期式のシリアルインタフェースがあります。 ● 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)） ● 8 ビットクロック同期式インタフェース ● 簡易 IIC（マスタのみ） ● 簡易 SPI ● 簡易 LIN ● スマートカードインタフェース ● マンチェスタインタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCIn (n = 0～4、9) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。
I^2C バスインタフェース (IIC)	I^2C バスインタフェース (IIC) には 2 チャネルあります。IIC は、NXP 社の I^2C (Inter-Integrated Circuit) に準拠しており、それらのサブセット機能を備えています。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) には 2 チャネルあります。SPI によって、複数のプロセッサや周辺デバイスとの高速な全二重同期式シリアル通信が可能です。
CAN フレキシブルデータレート (CANFD)	CAN フレキシブルデータレート (CANFD) モジュールは、旧来の CAN フレームと ISO 11898-1 規格に準拠する CAN-FD フレームの両方を取り扱うことができます。 このモジュールは 4 個の送信バッファと 32 個の受信バッファをサポートしています。

表 1.8　アナログ機能

機能	機能の説明
A/D コンバータ (ADC)	A/D コンバータ (ADC) は、2 ユニットのノイズシェーピング SAR 型の A/D コンバータで構成されています。 ● 逐次変換レジスタ型とデルタ-シグマ変調型の特長を結び付けたハイブリッドアーキテクチャ ● 最大 16 ビットの分解能 ● 最大 6.25 Msps ● 最大 29 本のアナログ入力チャネル ● シングルエンド入力または差動入力をサポート ● チャネル専用サンプル&ホールド回路 (SH) を内蔵 ● プログラマブルゲインアンプ (PGA) を内蔵 ● 変換には温度センサ出力、内部基準電圧、および D/A コンバータ出力を選択可能
12 ビット D/A コンバータ (DAC12)	12 ビットの D/A コンバータ (DAC12) を内蔵しています。
高速アナログコンパレータ (ACMPHS)	高速アナログコンパレータ (ACMPHS) はテスト電圧と基準電圧を比較し、変換結果に基づいてデジタル出力を生成します。テスト電圧と基準電圧はともに、DAC12 出力や内蔵 PGA 出力などの内部電圧源、および外部電圧源からコンパレータに供給できます。このような柔軟性は、必ずしも A/D 変換を必要とせずにアナログ信号に対して実行／中止の比較を行う必要があるアプリケーションに有効です。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC で変換されてから、末端の応用機器で使用できます。

表 1.9　データ処理

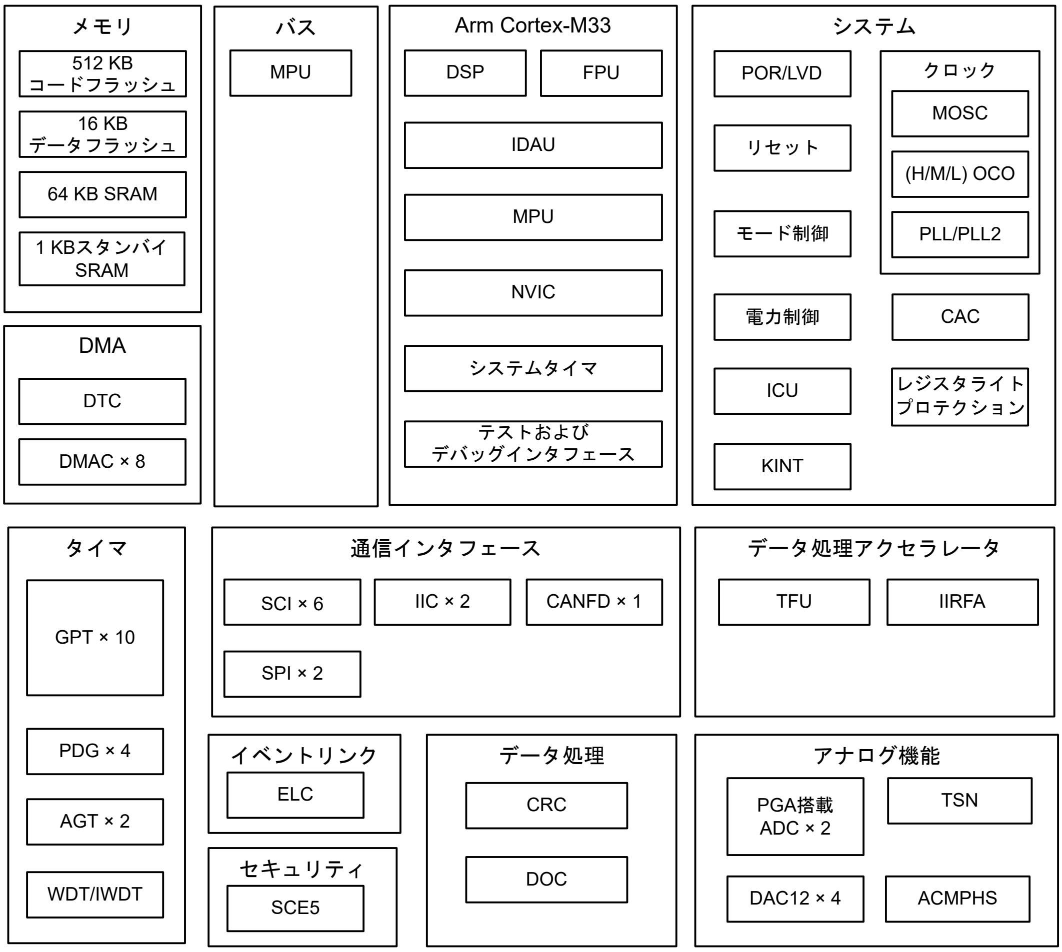
機能	機能の説明
巡回冗長検査 (CRC)	巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対するアクセスをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットまたは 32 ビットのデータの比較、加算、および減算に使用します。割り込み要求は以下の条件が当てはまる場合に生成できます。 ● 16 ビットまたは 32 ビットの比較値が検出条件に一致した場合 ● 16 ビットまたは 32 ビットのデータ加算結果がオーバーフローした場合 ● 16 ビットまたは 32 ビットのデータ減算結果がアンダーフローした場合

表 1.10　データ処理アクセラレータ

機能	機能説明
三角関数ユニット (TFU)	正弦、余弦、逆正接、および hypot_k ($\sqrt{x^2+y^2}/k$) ● 正弦と余弦は同時に計算できます。 ● 逆正接と hypot_k は同時に計算できます。
IIR フィルタアクセラレータ (IIRFA)	● 16 チャネルの双 2 次 IIR フィルタ ● カスケード接続された双 2 次フィルタ（最大 32 段） ● 単精度浮動小数点数を使用して動作

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。



注. すべての製品が利用できるわけではありません。

図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.11 に、製品一覧表を示します。

R7 F A 6T 2 A D 3 C FP # A A 0

- 0: 製造IDコード
- A: 端子材料（鉛フリー）
  A: Sn（スズ）のみ
- A: パッキング
  A：トレイ
  B：トレイ（フルカートン）
- FP: パッケージタイプ
  FP: LQFP 100ピン
  FM: LQFP 64ピン
  FL: LQFP 48ピン
  NB: QFN 64ピン
  NE: QFN 48ピン
- C: 品質水準
- 3: 動作周囲温度
  3: -40˚C～105˚C
- D: コードフラッシュメモリ容量
  D: 512 KB
  B: 256 KB
- A: 機能セット
  A: CAN-FD非サポート
  B: CAN-FDサポート
- 2: グループ名
- 6T: シリーズ名
- A: RAファミリ
- F: フラッシュメモリ
- R7: Renesasマイクロコントローラ

注. #の後の有効な記号については、Renesasウェブサイトの各製品のオーダー画面を確認してください。

図 1.2 型名の読み方

表 1.11 製品一覧

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	CAN-FD	動作温度
R7FA6T2AD3CFP	PLQP0100KB-B	512 KB	16 KB	64 KB	対応しない	–40～+105°C
R7FA6T2AD3CFM	PLQP0064KB-C					
R7FA6T2AD3CFL	PLQP0048KB-B					
R7FA6T2AD3CNB	PWQN0064LB-A					
R7FA6T2AD3CNE	PWQN0048KC-A					
R7FA6T2AB3CFP	PLQP0100KB-B	256 KB				
R7FA6T2AB3CFM	PLQP0064KB-C					
R7FA6T2AB3CFL	PLQP0048KB-B					
R7FA6T2AB3CNB	PWQN0064LB-A					
R7FA6T2AB3CNE	PWQN0048KC-A					
R7FA6T2BD3CFP	PLQP0100KB-B	512 KB	16 KB	64 KB	対応	–40～+105°C
R7FA6T2BD3CFM	PLQP0064KB-C					
R7FA6T2BD3CFL	PLQP0048KB-B					
R7FA6T2BD3CNB	PWQN0064LB-A					
R7FA6T2BD3CNE	PWQN0048KC-A					
R7FA6T2BB3CFP	PLQP0100KB-B	256 KB				
R7FA6T2BB3CFM	PLQP0064KB-C					
R7FA6T2BB3CFL	PLQP0048KB-B					
R7FA6T2BB3CNB	PWQN0064LB-A					
R7FA6T2BB3CNE	PWQN0048KC-A					

1.4 機能の比較

表 1.12 機能の比較

型名		R7FA6T2XX3CFP	R7FA6T2XX3CFM	R7FA6T2XX3CFL	R7FA6T2XX3CNB	R7FA6T2XX3CNE
端子総数		100	64	48	64	48
パッケージ		LQFP			QFN	
コードフラッシュメモリ		512 KB、256 KB				
データフラッシュメモリ		16 KB				
SRAM	ECC	64 KB				
スタンバイ SRAM	パリティ	1 KB				
DMA	DTC	あり				
	DMAC	8				
システム	CPU クロック	最高 240 MHz				
	CPU クロックソース	MOSC、HOCO、MOCO、LOCO、PLL				
	CAC	あり				
	WDT/IWDT	あり				
	KINT	あり				
通信	SCI	6				
	IIC	2[注2]				
	SPI	2				
	CANFD	1				
タイマ	GPT[注1]	10				
	AGT[注1]	2				
アナログ機能	ADC	ユニット 0：12 + 9[注3]、ユニット 1： 8 + 9[注3]	ユニット 0：10、ユニット 1：8	ユニット 0：6、ユニット 1：4	ユニット 0：10、ユニット 1：8	ユニット 0：6、ユニット 1：4
	DAC12	4		2	4	2
	ACMPHS	4		3	4	3
	PGA	4		3	4	3
	TSN	あり				
データ処理	CRC	あり				
	DOC	あり				
イベントコントロール	ELC	あり				
アクセラレータ	TFU	あり				
	IIRFA	あり				
セキュリティ		SCE5、TrustZone、ライフサイクルマネジメント				

注. 製品型名は、メモリサイズと CAN-FD のサポートによって異なります。「1.3. 型名」を参照してください。
注 1. 使用できる端子はピン数によります。詳細は、「1.7. 端子一覧」を参照してください。
注 2. Fm+および Hs モードは、IIC のチャネル IIC0 でのみ利用できます。
注 3. ユニット 0 とユニット 1 の共有端子。

1.5 端子機能

表 1.13 端子機能一覧 (1/3)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μF のコンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	EXTAL	入力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	XTAL	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップエミュレータ	TMS	入力	オンチップエミュレータ用またはバウンダリスキャン用端子
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TCLK	出力	トレースデータと同期をとるためのクロックを出力します。
	TDATA0～TDATA3	出力	トレースデータ出力
	SWO	出力	シリアルワイヤトレース出力端子
	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQn	入力	マスカブル割り込み要求端子
	IRQn-DS	入力	マスカブル割り込み要求端子は、ディープソフトウェアスタンバイモード時も使用できます。
KINT	KR00～KR07	入力	キー割り込み入力端子

表 1.13　端子機能一覧 (2/3)

機能	端子名	入出力	説明
GPT	GTETRGA、GTETRGB、GTETRGC、GTETRGD	入力	外部トリガ入力端子
	GTIOCnA、GTIOCnB	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTADSM0, GTADSM1	出力	A/D 変換開始要求モニタリング出力端子
	GTCPPO0～GTCPPO4, GTCPPO7	出力	PWM 同期トグル出力
	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター—制御用 3 相 PWM 出力（正相 U 相）
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 U 相）
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 V 相）
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 V 相）
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 W 相）
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 W 相）
AGT	AGTEEn	入力	外部イベント入力イネーブル信号
	AGTIOn	入出力	外部イベント入力およびパルス出力端子
	AGTOn	出力	パルス出力端子
	AGTOAn	出力	出力コンペアマッチ A 出力端子
	AGTOBn	出力	出力コンペアマッチ B 出力端子
SCI	SCKn	入出力	クロック用の入出力端子（クロック同期式モード）
	RXDn	入力	受信データ用の入力端子（調歩同期式モード／クロック同期式モード）
	TXDn	出力	送信データ用の出力端子（調歩同期式モード／クロック同期式モード）
	CTSn_RTSn	入出力	送受信の開始制御用の入出力端子（調歩同期式モード／クロック同期式モード）、アクティブ Low
	CTSn	入力	送信の開始用の入力端子
	DEn	出力	ドライバ許可信号用出力端子
	SCLn	入出力	IIC クロック用の入出力端子（簡易 IIC モード）
	SDAn	入出力	IIC データ用の入出力端子（簡易 IIC モード）
	SCKn	入出力	クロック用の入出力端子（簡易 SPI モード）
	MISOn	入出力	データのスレーブ送信用の入出力端子（簡易 SPI モード）
	MOSIn	入出力	データのマスタ送信用の入出力端子（簡易 SPI モード）
	SSn	入力	チップセレクト入力端子（簡易 SPI モード）、アクティブ Low
IIC	SCLn	入出力	クロック入出力端子
	SDAn	入出力	データ用の入出力端子
SPI	RSPCKA、RSPCKB	入出力	クロック入出力端子
	MOSIA、MOSIB	入出力	マスタからの出力データ用の入出力端子
	MISOA、MISOB	入出力	スレーブからの出力データ用の入出力端子
	SSLA0、SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1～SSLA3、SSLB1～SSLB3	出力	スレーブ選択用の出力端子

表 1.13　端子機能一覧 (3/3)

機能	端子名	入出力	説明
CANFD	CRX0	入力	受信データ
	CTX0	出力	送信データ
アナログ電源	AVCC0	入力	アナログ電源端子。それぞれのモジュールのアナログ電源端子として使用されます。この端子には VCC 端子と同じ電圧を供給してください。
	AVSS0	入力	アナロググランド端子。それぞれのモジュールのアナロググランド端子として使用されます。この端子には VSS 端子と同じ電圧を供給してください。
	VREFH0	入力	ADC 用のアナログ基準電圧端子。ADC を使用しない場合は AVCC0 に接続してください。
	VREFL0	入力	ADC 用のアナログ基準グランド端子。ADC を使用しない場合は AVSS0 に接続してください。
ADC	AN000～AN028	入力	A/D コンバータで処理されるアナログ信号用の入力端子
	PGAIN0～PGAIN3	入力	プログラマブルゲインアンプの擬似差動入力端子（信号ソース側）
	PGAVSS0～PGAVSS3	入力	プログラマブルゲインアンプの擬似差動入力端子（基準グランド側）
	PGAOUT0～PGAOUT3	出力	プログラマブルゲインアンプのモニタ出力端子
	ADTRGm	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
DAC12	DAn	出力	D/A コンバータで処理されるアナログ信号用の出力端子
ACMPHS	VCOUT	出力	コンパレータ出力端子（全ユニットの OR 出力）
	CMPOUTm	出力	コンパレータ出力端子（m：ユニット番号）
	CMPOUT012	出力	コンパレータ出力端子（ユニット 0、1、2 の OR 出力）
	IVREF0, IVREF1	入力	コンパレータ用基準電圧入力端子
	IVCMPm0, IVCMPm2, IVCMPm3	入力	コンパレータ用アナログ電圧入力端子（m：ユニット番号）
I/O ポート	P201、P212、P213、PA08～PA15、PB03～PB10、PB12～PB15、PC06～PC12、PC14、PC15、PD00～PD15、PE00～PE06、PE08～PE15	入出力	汎用入出力端子
	P000、P001、P002、PA00～PA07、PB00～PB02、PC00～PC05、PC13	入力	汎用入力端子

1.6 ピン配置図

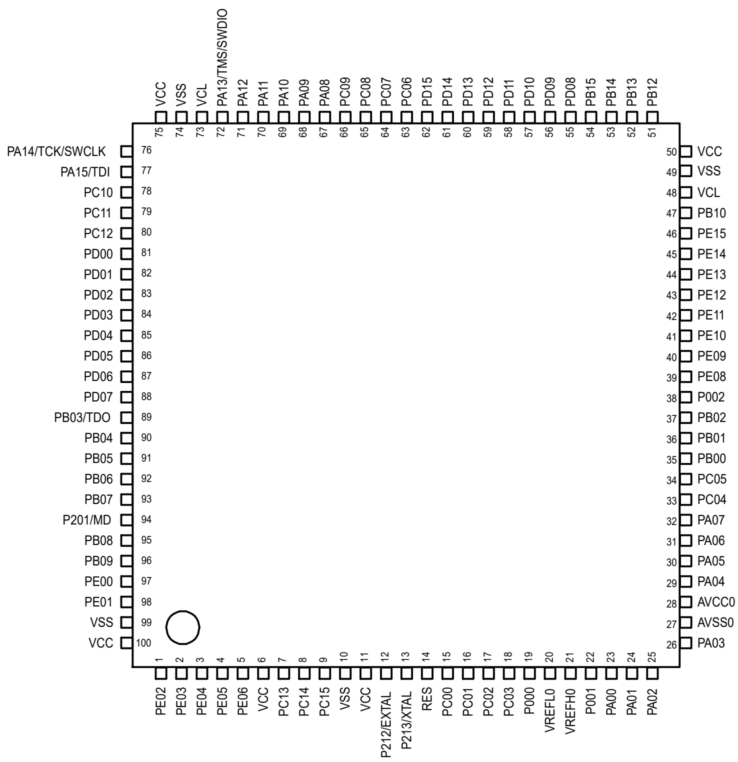


図 1.3 100 ピン LQFP のピン配置

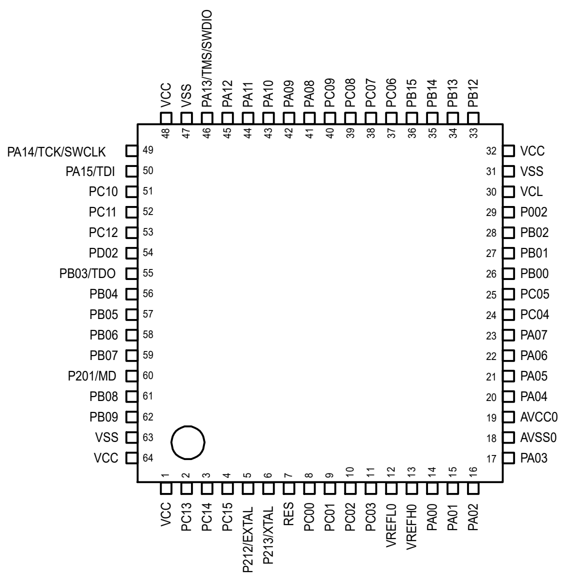


図 1.4 64 ピン LQFP のピン配置

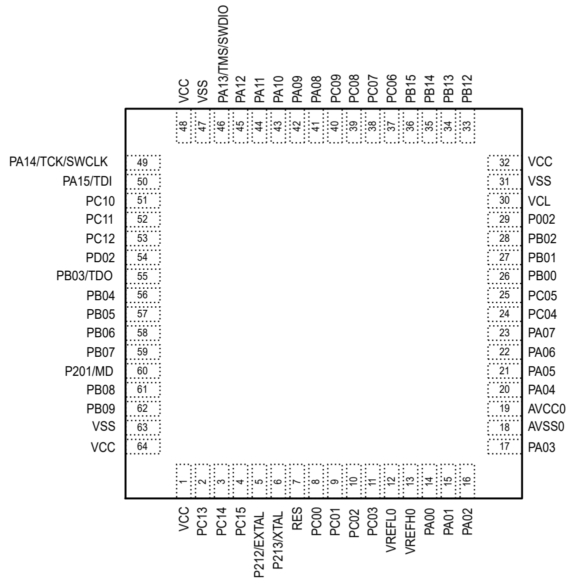


図 1.5　　64 ピン QFN のピン配置

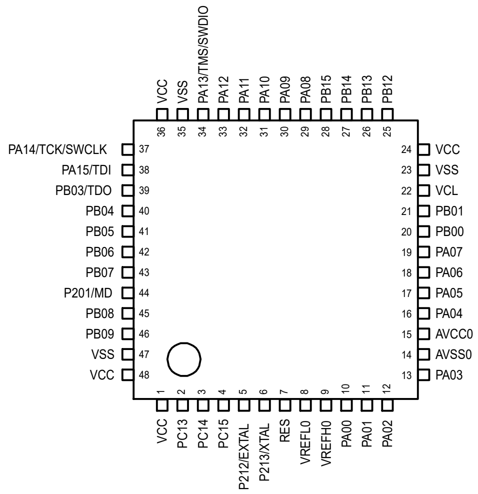


図 1.6　　48 ピン LQFP のピン配置

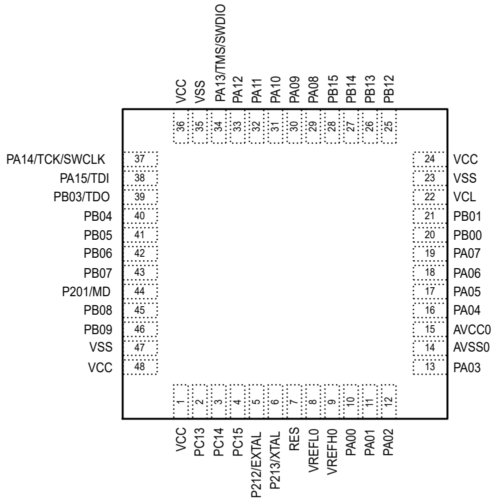


図 1.7 48 ピン QFN のピン配置

1.7 端子一覧

表 1.14 端子一覧 (1/3)

LQFP100	LQFP64, QFN64	LQFP48, QFN48	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み／KINT	SCI/IIC/SPI/CANFD	GPT/AGT	ADC/DAC12/ACMPHS
1	—	—	CLKOUT/TCLK	PE02	—	SCK0_B/DE0/SCK3_A/DE3/RSPCKB_C	GTOVLO/GTIOC7B/GTIOC8A	CMPOUT0
2	—	—	TDATA0	PE03	—	RXD0_B/MISO0_B/SCL0/CTS3_A/SSLB0_C	GTOWLO/GTIOC8A/GTIOC9A	CMPOUT1
3	—	—	TDATA1	PE04	—	TXD0_B/MOSI0_B/SDA0/CTS3_RTS3/SS3_A/DE3/SSLB1_C	GTOUUP/GTIOC8B/GTIOC7B	CMPOUT2
4	—	—	TDATA2	PE05	—	CTS0_RTS0/SS0_B/DE0/RXD3_A/MISO3_A/SCL3/MISOB_C	GTOVUP/GTIOC9A/GTIOC8B/GTCPPO2	CMPOUT3
5	—	—	TDATA3	PE06	—	CTS0_B/TXD3_A/MOSI3_A/SDA3/MOSIB_C	GTOWUP/GTIOC9B/GTCPPO3	—
6	1	1	VCC	—	—	—	—	—
7	2	2	—	PC13	NMI	—	GTETRGD	—
8	3	3	—	PC14	IRQ14	—	GTETRGA/GTIOC3A/GTCPPO0/GTADSM0/GTCPPO4/AGTIO0	ADTRG0/CMPOUT012
9	4	4	—	PC15	IRQ15	—	GTETRGB/GTIOC3B/GTCPPO1/GTADSM1/GTCPPO7/AGTIO1	ADTRG1/CMPOUT3
10	—	—	VSS	—	—	—	—	—
11	—	—	VCC	—	—	—	—	—
12	5	5	EXTAL	P212	—	—	—	—
13	6	6	XTAL	P213	IRQ0	—	—	—
14	7	7	RES	—	—	—	—	—
15	8	—	—	PC00	IRQ11-DS	—	—	AN012/PGAOUT0/IVCMP00
16	9	—	—	PC01	IRQ12-DS	—	—	AN013/PGAOUT1/IVCMP10
17	10	—	—	PC02	IRQ13-DS	—	—	AN014/PGAOUT2/IVCMP20
18	11	—	—	PC03	IRQ14-DS	—	—	AN015/PGAOUT3/IVCMP30
19	—	—	—	P000	IRQ0	—	—	AN016/IVREF0
20	12	8	VREFL0	—	—	—	—	—
21	13	9	VREFH0	—	—	—	—	—
22	—	—	—	P001	IRQ2	—	—	AN017/IVREF1
23	14	10	—	PA00	IRQ0-DS	—	—	AN000/PGAIN0/IVCMP02/IVCMP03
24	15	11	—	PA01	IRQ1	—	—	AN001/PGAVSS0
25	16	12	—	PA02	IRQ2	—	—	AN002/PGAIN1/IVCMP12/IVCMP13
26	17	13	—	PA03	IRQ3	—	—	AN003/PGAVSS1
27	18	14	AVSS0	—	—	—	—	—
28	19	15	AVCC0	—	—	—	—	—
29	20	16	—	PA04	IRQ4	—	—	AN004/PGAIN2/IVCMP22/IVCMP23
30	21	17	—	PA05	IRQ5	—	—	AN005/PGAVSS2
31	22	18	—	PA06	IRQ6	—	—	AN006/DA0
32	23	19	—	PA07	IRQ7	—	—	AN007/DA1
33	24	—	—	PC04	IRQ10	—	—	AN010/DA2
34	25	—	—	PC05	IRQ11	—	—	AN011/DA3
35	26	20	—	PB00	IRQ0	—	—	AN008/PGAOUT0/PGAOUT2
36	27	21	—	PB01	IRQ1	—	—	AN009/PGAOUT1/PGAOUT3
37	28	—	—	PB02	IRQ15-DS	—	—	AN018/PGAIN3/IVCMP32/IVCMP33
38	29	—	—	P002	—	—	—	AN019/PGAVSS3
39	—	—	—	PE08	KR00	SSLA3_C	GTIV/GTIOC3A/GTETRGC/GTADSM0	AN020/ADTRG0/CMPOUT012
40	—	—	CACREF	PE09	KR01	SSLA2_C	GTIW/GTIOC3B/GTETRGD/GTADSM1	AN021/ADTRG1/CMPOUT3
41	—	—	—	PE10	KR02	SSLA1_C	GTOULO/GTIOC2A/GTIOC4A/GTIOC7A	AN022

表 1.14 端子一覧 (2/3)

LQFP100	LQFP64, QFN64	LQFP48, QFN48	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み／KINT	SCI/IIC/SPI/CANFD	GPT/AGT	ADC/DAC12/ACMPHS
42	—	—	—	PE11	KR03	SSLA0_C	GTOUUP/GTIOC2B/GTIOC5A/GTIOC8A	AN023
43	—	—	—	PE12	KR04	RSPCKA_C	GTOVLO/GTIOC1A/GTIOC6A/GTIOC9A	AN024
44	—	—	—	PE13	KR05	MISOA_C	GTOVUP/GTIOC1B/GTIOC4B/GTIOC7B	AN025
45	—	—	—	PE14	KR06	MOSIA_C	GTOWLO/GTIOC0A/GTIOC5B/GTIOC8B	AN026
46	—	—	—	PE15	KR07	RXD4_A/MISO4_A/SCL4	GTOWUP/GTIOC0B/GTIOC6B/GTIOC9B	AN027
47	—	—	CACREF/VCOUT	PB10	IRQ10-DS	TXD4_A/MOSI4_A/SDA4/CTS3_B	GTIU/GTETRGA/GTETRGB/GTCPPO4/GTCPPO7	AN028
48	30	22	VCL	—	—	—	—	—
49	31	23	VSS	—	—	—	—	—
50	32	24	VCC	—	—	—	—	—
51	33	25	—	PB12	IRQ2	SCK4_A/DE4/RXD3_B/MISO3_B/SCL3/SSLB0_A/CRX0	GTETRGA/GTIOC0A/GTIOC4A	ADTRG0
52	34	26	—	PB13	IRQ3	CTS4_A/TXD3_B/MOSI3_B/SDA3/RSPCKB_A/CTX0	GTOULO/GTIOC0B/GTIOC7A/GTIOC5A	—
53	35	27	—	PB14	IRQ4	CTS4_RTS4/SS4_A/DE4/SCK3_B/DE3/SDA0_C/MISOB_A	GTOVLO/GTIOC1A/GTIOC8A/GTIOC6A	—
54	36	28	—	PB15	IRQ5	RXD4_A/MISO4_A/SCL4/CTS3_RTS3/SS3_B/DE3/SCL0_C/MOSIB_A	GTOWLO/GTIOC1B/GTIOC9A/GTIOC4B	—
55	—	—	—	PD08	KR00	CTS2_B/TXD1_A/MOSI1_A/SDA1/SSLB1_A	GTIOC2A	—
56	—	—	—	PD09	KR01	CTS2_RTS2/SS2_B/DE2/RXD1_A/MISO1_A/SCL1/SSLB2_A	GTIOC2B	—
57	—	—	—	PD10	KR02	SCK2_C/DE2/SCK1_A/DE1/SSLB3_A	GTETRGC/GTIOC3A	—
58	—	—	—	PD11	KR03	RXD2_C/MISO2_C/SCL2/CTS1_A	GTIOC3B	—
59	—	—	—	PD12	IRQ12/KR04	TXD2_C/MOSI2_C/SDA2/CTS1_RTS1/SS1_A/DE1/SCL1_D	GTIOC4A	—
60	—	—	—	PD13	IRQ13/KR05	SCK4_C/DE4/SCK9_C/DE9/SDA1_D	GTIOC4B	—
61	—	—	—	PD14	IRQ14/KR06	RXD4_C/MISO4_C/SCL4/RXD9_C/MISO9_C/SCL9/SCL0_F	GTIOC5A	—
62	—	—	—	PD15	IRQ15/KR07	TXD4_C/MOSI4_C/SDA4/TXD9_C/MOSI9_C/SDA9/DE9/SDA0_F	GTIOC5B	—
63	37	—	—	PC06	IRQ6	TXD2_B/MOSI2_B/SDA2/CTS9_RTS9/SS9_C/DE9/SCL1_E	GTETRGD/GTIOC6A/GTIOC5B/AGTO0	—
64	38	—	—	PC07	IRQ7	RXD2_B/MISO2_B/SCL2/CTS9_C/SDA1_E	GTETRGA/GTIOC6B/AGTEE0	—
65	39	—	CACREF	PC08	IRQ8	SCK2_B/DE2/CTS3_RTS3/SS3_C/DE3/SCL0_E/SSLA3_B	GTIV/GTIOC7A/AGTOA0	—
66	40	—	CLKOUT	PC09	IRQ9	CTS2_RTS2/SS2_B/DE2/CTS3_C/SDA0_D/SDA0_E/SSLA2_B	GTIW/GTIOC7B/GTIOC8A/AGTOB0	—
67	41	29	CLKOUT	PA08	IRQ8/KR00	SCK0_A/DE0/SCK1_C/DE1/SCL0_D/SSLA1_B	GTOUUP/GTIOC8A/GTIOC7B/GTIOC2A/GTIOC9A/AGTIO0	CMPOUT2
68	42	30	—	PA09	IRQ9/KR01	TXD0_A/MOSI0_A/SDA0/SCL1_C/SSLA0_B	GTOVUP/GTIOC8B/GTIOC8B/GTIOC2B/GTIOC7B	CMPOUT3
69	43	31	—	PA10	IRQ10/KR02	RXD0_A/MISO0_A/SCL0/SDA1_C/RSPCKA_B	GTOWUP/GTIOC9A/GTIOC9B/GTIOC3A/GTIOC8B	CMPOUT0
70	44	32	—	PA11	IRQ11/KR03	CTS0_A/RXD1_C/MISO1_C/SCL1/MOSIA_B/CTX0	GTETRGD/GTIOC9B/GTETRGC/GTIOC3B	CMPOUT1
71	45	33	CACREF	PA12	IRQ12/KR04	CTS0_RTS0/SS0_A/DE0/TXD1_C/MOSI1_C/SDA1/MISOA_B/CRX0	GTETRGB/GTCPPO0/GTCPPO2/GTADSM0/GTCPPO7	ADTRG1
72	46	34	TMS/SWDIO	PA13	—	SCK0_C/DE0/CTS1_RTS1/SS1_C/DE1	AGTO0	—
73	—	—	VCL	—	—	—	—	—
74	47	35	VSS	—	—	—	—	—
75	48	36	VCC	—	—	—	—	—
76	49	37	TCK/SWCLK	PA14	—	TXD0_C/MOSI0_C/SDA0/SCK9_B/DE9	AGTO1	—
77	50	38	TDI	PA15	IRQ1/KR02	RXD0_C/MISO0_C/SCL0/RXD9_B/MISO9_B/SCL9/SSLA0_A	GTETRGB/GTADSM1/GTCPPO4	ADTRG0/CMPOUT012
78	51	—	—	PC10	IRQ6-DS/KR05	TXD1_B/MOSI1_B/SDA1/SCL0_B/RSPCKB_B	AGTIO1	CMPOUT0

表 1.14 端子一覧 (3/3)

LQFP100	LQFP64, QFN64	LQFP48, QFN48	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み／KINT	SCI/IIC/SPI/CANFD	GPT/AGT	ADC/DAC12/ACMPHS
79	52	—	—	PC11	IRQ7-DS/KR06	RXD1_B/MISO1_B/SCL1/SDA0_B/MISOB_B	AGTOA1	CMPOUT1
80	53	—	—	PC12	IRQ8-DS/KR07	TXD4_B/MOSI4_B/SDA4/SCK1_B/DE1/MOSIB_B	AGTOB1	CMPOUT2
81	—	—	—	PD00	KR00	CTS2_A/RXD3_C/MISO3_C/SCL3/SSLB0_B/CRX0	GTADSM0/GTCPPO4	—
82	—	—	—	PD01	KR01	CTS2_RTS2/SS2_A/DE2/TXD3_C/MOSI3_C/SDA3/SSLB1_B/CTX0	GTADSM1/GTCPPO7	—
83	54	—	CLKOUT	PD02	IRQ9-DS/KR02	RXD4_B/MISO4_B/SCL4/SCK3_C/DE3	GTCPPO0/GTCPPO2/AGTEE1	CMPOUT3
84	—	—	—	PD03	KR03	SCK4_B/DE4/CTS9_A/SSLB2_B	GTCPPO0	CMPOUT0
85	—	—	—	PD04	KR04	CTS4_RTS4/SS4_B/DE4/CTS9_RTS9/SS9_A/DE9/SSLB3_B	GTCPPO1	CMPOUT1
86	—	—	—	PD05	KR05	TXD9_A/MOSI9_A/SDA9/SDA1_B/SSLA3_A	GTADSM0/GTCPPO3	—
87	—	—	—	PD06	KR06	RXD9_A/MISO9_A/SCL9/SCL1_B/SSLA2_A	GTCPPO4	—
88	—	—	—	PD07	KR07	SCK9_A/DE9/SSLA1_A	GTADSM1/GTCPPO7	—
89	55	39	TDO/SWO	PB03	IRQ0/KR03	TXD2_A/MOSI2_A/SDA2/TXD9_B/MOSI9_B/SDA9/RSPCKA_A/CRX0	GTIOC4A/GTCPPO1/GTCPPO3/AGTO1	ADTRG1/CMPOUT3
90	56	40	CACREF/VCOUT	PB04	IRQ13/KR04	RXD2_A/MISO2_A/SCL2/RXD3_D/MISO3_D/SCL3/MISOA_A/CTX0	GTIOC4A/GTIOC5A/GTIOC0A/AGTOA0	—
91	57	41	—	PB05	IRQ3-DS/KR05	SCK2_A/DE2/TXD3_D/MOSI3_D/SDA3/MOSIA_A/CRX0	GTIU/GTIOC4B/GTIOC6A/GTIOC0B/AGTOB0	—
92	58	42	—	PB06	IRQ4-DS/KR06	TXD0_D/MOSI0_D/SDA0/CTS3_RTS3/SS3_D/DE3/SCL0_A/CTX0	GTIV/GTIOC5A/GTIOC4B/GTIOC1A/AGTOA1	—
93	59	43	—	PB07	IRQ5-DS/KR07	RXD0_D/MISO0_D/SCL0/CTS1_RTS1/SS1_D/DE1/SDA0_A	GTIW/GTIOC5B/GTETRGC/GTIOC1B/AGTOB1	—
94	60	44	MD	P201	—	—	—	—
95	61	45	—	PB08	IRQ1-DS/KR00	RXD4/MISO4_C/SCL4/RXD1_D/MISO1_D/SCL1/SCL1_A/CRX0	GTIOC6A/GTIOC5B/GTIOC2A/AGTIO0	—
96	62	46	—	PB09	IRQ2-DS/KR01	TXD4/MOSI4_C/SDA4/TXD1_D/MOSI1_D/SDA1/SDA1_A/CTX0	GTIOC6B/GTIOC2B/AGTIO1	—
97	—	—	CACREF	PE00	—	TXD0_E/MOSI0_E/SDA0/TXD9_D/MOSI9_D/SDA9/SSLB3_C	GTETRGA/GTIOC4A/GTADSM0/AGTEE0	ADTRG0
98	—	—	—	PE01	—	RXD0_E/MISO0_E/SCL0/RXD9_D/MISO9_D/SCL9/SSLB2_C	GTOULO/GTIOC7A/GTIOC4B/GTADSM1/AGTEE1	ADTRG1
99	63	47	VSS	—	—	—	—	—
100	64	48	VCC	—	—	—	—	—

注. いくつかの端子名には、_A, _B, _C, _D, _E、および_F という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

2. 電気的特性

他に指定がなければ、最小値と最大値は設計シミュレーション、特性結果、または製品テストのいずれかにより保証されます。

サポートする周辺機能と端子は、製品型名によって異なります。

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- VCC = AVCC0 = 2.7～3.6 V
- 2.7 V ≦ VREFH0 ≦ AVCC0
- VSS = AVSS0 = VREFL0 = 0 V
- $T_a = T_{opr}$

図 2.1 は、タイミング条件を示しています。

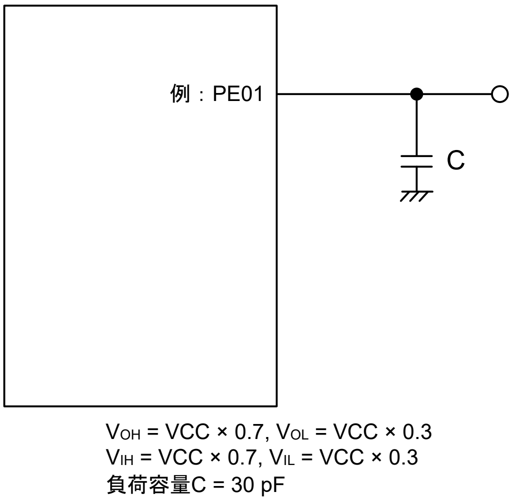


図 2.1　入出力タイミング計測条件

提供される各周辺モジュールのタイミング仕様の推奨計測条件は、最適な周辺動作に対するものです。ただし、ユーザー条件に合うように、各端子の駆動能力を調整してください。

2.1 絶対最大定格

表 2.1　絶対最大定格 (1/2)

項目	シンボル	値	単位
電源電圧	VCC	-0.3～+4.0	V
入力電圧（5 V トレラントポートを除く(注1))	V_{in}	–0.3～VCC + 0.3	V
入力電圧（5 V トレラントポート(注1))	V_{in}	–0.3～VCC + 4.0（最大 5.8）	V
リファレンス電源電圧	VREFH0	–0.3～VCC + 0.3	V
アナログ電源電圧	AVCC0(注2)	-0.3～+4.0	V
アナログ入力電圧（PA00～PA05, PB02, P002 を除く）	V_{AN}	–0.3～AVCC0 + 0.3	V
PGA の差動入力が禁止されている場合のアナログ入力電圧（PA00～PA05, PB02, P002）	V_{AN}	–0.3～AVCC0 + 0.3	V
PGA の差動入力が許可されている場合のアナログ入力電圧 (PA00, PA02, PA04, PB02)	V_{AN}	–1.3～AVCC0 + 0.3	V
PGA の差動入力が許可されている場合のアナログ入力電圧 (PA01, PA03, PA05, P002)	V_{AN}	–0.8～AVCC0 + 0.3	V

表 2.1　絶対最大定格 (2/2)

項目	シンボル	値	単位
動作温度(注3) (注4)	T_{opr}	-40～+105	℃
保存温度	T_{stg}	-55～+125	℃

注 1.　ポート PA12～PA15、PB03、PB05～PB09、PC10～PC12、PC14、PC15、PD00～PD07、PE00、PE01 は 5 V トレラント対応です。
注 2.　AVCC0 と VCC を接続してください。
注 3.　「2.2.1. Tj/Ta の定義」を参照してください。
注 4.　Ta = +85℃～+105℃の場合のディレーティング動作については、弊社営業窓口までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

表 2.2　推奨動作条件

項目	シンボル	Min	Typ	Max	単位
電源電圧	VCC	2.7	—	3.6	V
	VSS	—	0	—	V
アナログ電源電圧	AVCC0(注1)	—	VCC	—	V
	AVSS0	—	0	—	V

注 1.　AVCC0 を VCC に接続してください。A/D コンバータおよび D/A コンバータを使用していない場合、AVCC0 端子、VREFH0 端子、AVSS0 端子および VREFL0 端子を開放したままにしないでください。AVCC0 端子および VREFH0 端子を VCC に、AVSS0 端子および VREFL0 端子を VSS にそれぞれ接続してください。

2.2　DC 特性

2.2.1　Tj/Ta の定義

表 2.3　DC 特性

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	T_j	—	125	°C	High-speed モード Low-speed モード

注.　$T_j = T_a + θja ×$ 総消費電力 (W) となるようにしてください。このとき、総消費電力 = $(VCC - V_{OH}) × ΣI_{OH} + V_{OL} × ΣI_{OL} + I_{CC}max ×$ VCC です。

2.2.2 I/O V_{IH}, V_{IL}

表 2.4 I/O V_{IH}, V_{IL}

項目			シンボル	Min	Typ	Max	単位
入力電圧（シュミットトリガ入力端子を除く）	周辺機能端子	EXTAL（外部クロック入力）、SPI（RSPCK を除く）	V_{IH}	VCC × 0.8	—	—	V
			V_{IL}	—	—	VCC × 0.2	
		IIC (SMBus)(注1)	V_{IH}	2.1	—	—	
			V_{IL}	—	—	0.8	
		IIC (SMBus)(注2)	V_{IH}	2.1	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	0.8	
シュミットトリガ入力電圧	周辺機能端子	IIC（SMBus を除く）(注1)	V_{IH}	VCC × 0.7	—	—	
			V_{IL}	—	—	VCC × 0.3	
			ΔV_T	VCC × 0.05	—	—	
		IIC（SMBus を除く）(注2)	V_{IH}	VCC × 0.7	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	VCC × 0.3	
			ΔV_T	VCC × 0.05	—	—	
		5 V トレラントポート(注3)(注7)	V_{IH}	VCC × 0.8	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
		その他の入力端子(注4)	V_{IH}	VCC × 0.8	—	—	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
	ポート	5 V トレラントポート(注5)(注7)	V_{IH}	VCC × 0.8	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
		その他の入力端子(注6)	V_{IH}	VCC × 0.8	—	—	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	

注 1. SCL0_C, SDA0_C, SCL0_D, SDA0_D, SCL0_E, SDA0_E, SCL0_F, SDA0_F, SCL1_C, SDA1_C, SCL1_D, SDA1_D, SCL1_E, SDA1_E（合計 14 端子）。これは IIC 機能が選択されているときの値です。
注 2. SCL0_A, SDA0_A, SCL0_B, SDA0_B, SCL1_A, SDA1_A, SCL1_B, SDA1_B（合計 8 端子）。これは IIC 機能が選択されているときの値です。
注 3. RES および PA12～PA15, PB03, PB05～PB09, PC10～PC12, PC14, PC15, PD00～PD07, PE00, PE01 に関連する周辺機能端子（合計 26 端子）。
注 4. 表で説明した周辺機能端子を除くすべての入力端子。
注 5. PA12～PA15, PB03, PB05～PB09, PC10～PC12, PC14, PC15, PD00～PD07, PE00, PE01（合計 25 端子）。
注 6. 表で説明したポートを除くすべての入力端子。
注 7. VCC が 2.7 V 未満の場合、5 V トレラントポートの入力電圧は、3.6 V 未満としてください。このようにしないと、絶縁破壊が発生する可能性があります。5 V トレラントポートは耐圧違反を防止するように電気的に制御されるためです。

2.2.3 I/O I_{OH}, I_{OL}

表 2.5 I/O I_{OH}, I_{OL}

項目			シンボル	Min	Typ	Max	単位
許容出力電流（端子ごとの平均値）	IIC 端子	スタンダードモード(注1)	I_{OL}	—	—	3.0	mA
		ファストモード(注1)	I_{OL}	—	—	6.0	mA
		ファストモードプラス(注2)	I_{OL}	—	—	20	mA
		High-speed モード(注2)	I_{OL}	—	—	3.0	mA
	その他の出力端子(注3)	低駆動(注4)	I_{OH}	—	—	-2.0	mA
			I_{OL}	—	—	2.0	mA
		中駆動(注5)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		高駆動(注6)	I_{OH}	—	—	-10	mA
			I_{OL}	—	—	10	mA
		高速高駆動(注7)	I_{OH}	—	—	-10	mA
			I_{OL}	—	—	10	mA
		高電流駆動(注8)	I_{OH}	—	—	-10	mA
			I_{OL}	—	—	20	mA
許容出力電流（端子ごとの最大値）	IIC 端子	スタンダードモード(注1)	I_{OL}	—	—	3.0	mA
		ファストモード(注1)	I_{OL}	—	—	6.0	mA
		ファストモードプラス(注2)	I_{OL}	—	—	20	mA
		High-speed モード(注2)	I_{OL}	—	—	3.0	mA
	その他の出力端子(注3)	低駆動(注4)	I_{OH}	—	—	-2.0	mA
			I_{OL}	—	—	2.0	mA
		中駆動(注5)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		高駆動(注6)	I_{OH}	—	—	-16	mA
			I_{OL}	—	—	16	mA
		高速高駆動(注7)	I_{OH}	—	—	-16	mA
			I_{OL}	—	—	16	mA
		高電流駆動(注8)	I_{OH}	—	—	-16	mA
			I_{OL}	—	—	20	mA
許容出力電流（全端子の最大値）	全出力端子の最大値		ΣI_{OH} (max)	—	—	-80	mA
			ΣI_{OL} (max)	—	—	80	mA

注 1. SCL0_A, SDA0_A, SCL1_A, SDA1_A（合計 4 端子）。これは IIC 機能が選択されているときの値です。
注 2. SCL0_A, SDA0_A（合計 2 端子）。これは IIC 機能が選択されているときの値です。
注 3. 入力ポートである P000～P002, PA00～PA07, PB00～PB02, PC00～PC05, PC13 を除きます。
注 4. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 5. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。

注 6. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 7. PmnPFS レジスタのポート駆動能力ビットで高速高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 8. PmnPFS レジスタのポート駆動能力ビットで高電流駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。

【使用上の注意】MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 µs の間に計測した電流の平均値を意味します。

2.2.4 I/O V_{OH}、V_{OL}、その他の特性

表 2.6 I/O V_{OH}、V_{OL}、その他の特性

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	IIC(注1)	V_{OL}	—	—	0.4	V	I_{OL} = 3.0 mA
		V_{OL}	—	—	0.6		I_{OL} = 6.0 mA
	IIC(注2)	V_{OL}	—	—	0.4		I_{OL} = 15.0 mA (BFCTL.FMPE = 1)
		V_{OL}	—	0.4	—		I_{OL} = 20.0 mA (BFCTL.FMPE = 1)
		V_{OL}	—	—	0.4		I_{OL} = 3.0 mA (BFCTL.HSME = 1)
	ポート PA08～PA11、PB12～PB15、PC06～PC09、PD08～PD15、PE10～PE15(注3)	V_{OH}	VCC – 0.5	—	—		I_{OH} = -1.0 mA
		V_{OL}	—	—	0.6		I_{OL} = 20 mA
	その他の出力端子	V_{OH}	VCC – 0.5	—	—		I_{OH} = -1.0 mA
		V_{OL}	—	—	0.5		I_{OL} = 1.0 mA
入力リーク電流	RES	$\lvert I_{in}\rvert$	—	—	5.0	µA	V_{in} = 0 V V_{in} = 5.5 V
	ポート P000、P001、PA06、PA07、PB00、PB01、PC00～PC05、PC13		—	—	1.0		V_{in} = 0 V V_{in} = VCC
	ポート PA00、PA02、PA04、PB02（PGA 入力端子）		—	—	1.0		V_{in} = 0 V V_{in} = VCC
	ポート PA01、PA03、PA05、P002（PGAVSS 端子）(注4)		—	—	1.0		V_{in} = 0 V V_{in} = VCC
スリーステートリーク電流（オフ状態）	5 V トレラントポート	$\lvert I_{TSI}\rvert$	—	—	5.0	µA	V_{in} = 0 V V_{in} = 5.5 V
	その他のポート（入力ポートを除く）		—	—	1.0		V_{in} = 0 V V_{in} = VCC
入力プルアップ MOS 電流	ポート P0、P2、PA～PE（ポート P002、PA00～PA05、PB02 を除く）	I_p	-300	—	-10	µA	VCC = 2.7～3.6 V V_{in} = 0 V
SCL 電流源として機能するプルアップ電流	IIC(注5)	I_{CS}	3	—	12	mA	VCC = 3.0～3.6 V V_{in} = 0.3 × VCC～0.7 × VCC
入力容量	すべての入力端子	C_{in}	—	—	8	pF	Vbias = 0 V Vamp = 20 mV f = 1 MHz Ta = 25℃

注 1. SCL0_A, SDA0_A, SCL1_A, SDA1_A（合計 4 端子）。これは IIC 機能が選択されているときの値です。
注 2. SCL0_A, SDA0_A（合計 2 端子）。これは IIC 機能が選択されているときの値です。
注 3. PmnPFS レジスタのポート駆動能力ビットで高電流駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 4. PGAn 端子の疑似差動入力が禁止されている場合の値です（シングルエンド入力）。

注 5.　SCL0_A（1 端子）。IIC High-speed モードが選択されている場合の値です。

2.2.5　動作電流とスタンバイ電流

表 2.7　動作電流とスタンバイ電流

項目				シンボル	Min	Typ	Max	単位	測定条件
消費電流(注1)	High-speed モード	最大動作(注2)		I_{CC}(注3)	—	—	150	mA	ICLK = 240 MHz PCLKA = 120 MHz PCLKB = 60 MHz PCLKC = 60 MHz PCLKD = 120 MHz FCLK = 60 MHz
		CoreMark®(注5) (注6)			—	34	—		
		ノーマルモード	すべての周辺クロックが有効、(1) コードはフラッシュから実行(注4)		—	44	—		
			すべての周辺クロックが無効、(1) コードはフラッシュから実行(注5) (注6)		—	28	—		
		スリープモード(注5) (注6)			—	13	78		
		BGO 動作時の増加分	データフラッシュ P/E		—	6	—		
			コードフラッシュ P/E		—	8	—		
	Low-speed モード(注5) (注10)				—	5	—		ICLK = 1 MHz
	ソフトウェアスタンバイモード		SNZCR.RXDREQEN = 1		—	—	63		ICLK = 32.768 kHz
			SNZCR.RXDREQEN = 0		—	5.1	—		—
	ディープソフトウェアスタンバイモード	スタンバイ SRAM に電源を供給			—	22.7	60	μA	—
		SRAM に電源が供給されていない	パワーオンリセット回路、低消費電力機能無効		—	11.3	30		—
			パワーオンリセット回路、低消費電力機能有効		—	4.4	20		—
	ディープソフトウェアスタンバイからの復帰時のインラッシュカレント		インラッシュカレント(注7)	I_{RUSH}	—	160	—	mA	—
			インラッシュカレントのエネルギー(注7)	E_{RUSH}	—	1.0	—	μC	—
アナログ電源電流	A/D 変換中（1 ユニット）		SH なし	AI_{CC}	—	4.9	6.0	mA	—
			SH あり		—	8.4	11.5	mA	—
	PGA（1 チャネル）				—	1	3	mA	—
	ACMPHS（1 ユニット）				—	0.1	0.2	mA	—
	温度センサ				—	0.1	0.2	mA	—
	D/A 変換中（1 チャネル）(注8)		AMP 出力なし		—	0.2	0.3	mA	—
			AMP 出力あり		—	0.8	1.3	mA	—
	A/D、D/A 変換待機時（全ユニット）				—	3.8	4.5	mA	—
	スタンバイモードの ADC、DAC12（全ユニット）(注9)				—	0.7	10	μA	—
リファレンス電源電流 (VREFH0)	A/D 変換中（1 ユニット）		SAR モード	AI_{REFH0}	—	21	50	μA	—
			オーバーサンプリングモードとハイブリッドモード		—	100	160	μA	—
	A/D 変換待機時（全ユニット）				—	18	50	μA	—
	スタンバイモードの ADC（全ユニット）(注9)				—	0.03	1	μA	—

注 1.　消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
注 2.　周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3.　I_{CC} は、下記の式にしたがって f (ICLK) に依存します。
I_{CC} Max. = 0.34 × f + 67（High-speed モードでの最大動作時）
I_{CC} Typ. = 0.095 × f + 4.7（High-speed モードでの通常動作時、すべての周辺クロックが無効）

I_{CC} Typ. = 0.9 × f + 4.1（Low-speed モード）
I_{CC} Max. = 0.045 × f + 67（スリープモード）

注 4.　BGO 動作は含まれません。
注 5.　この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 6.　FCLK、PCLKA、PCLKB、PCLKC、PCLKD は、64 分周 (3.75 MHz) に設定されています。
注 7.　基準値
注 8.　DAC12 にはアナログ電源電流に基準電流が含まれています。
注 9.　本 MCU がソフトウェアスタンバイモードの場合または MSTPCRD.MSTPD16（A/D コンバータモジュールストップビット）がモジュールストップ状態の場合
注 10.　FCLK、PCLKA、PCLKB、PCLKC、PCLKD は、64 分周 (15.6 kHz) に設定されています。

表 2.8　　Coremark およびノーマルモード電流

項目			シンボル	Typ	単位	測定条件
消費電流(注1)	Coremark 動作		I_{CC}	139	μA/MHz	ICLK = 240 MHz PCLKA = PCLKB = PCLKC = PCLKD = FCLK = 3.75 MHz
	通常モード	すべての周辺クロックが無効、キャッシュはオン、(1) コードはフラッシュから実行(注2)		139		
		すべての周辺クロックが無効、キャッシュはオフ、(1) コードはフラッシュから実行(注2)		115		

注 1.　消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
注 2.　この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

2.2.6　　VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 2.9　　VCC 立ち上がり／立ち下がり勾配の特性

項目		シンボル	Min	Typ	Max	単位	測定条件
VCC 立ち上がり勾配	起動時電圧モニタ 0 リセット無効	SrVCC	0.0084	—	20	ms/V	—
	起動時電圧モニタ 0 リセット有効		0.0084	—	—		—
	SCI ブートモード(注1)		0.0084	—	20		—
VCC 立ち下がり勾配		SfVCC	0.0084	—	—	ms/V	—

注 1.　ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧モニタ 0 からのリセットは無効です。

表 2.10　　VCC 立ち上がり／立ち下がり勾配とリップル周波数特性

リップル電圧は、VCC 上限 (3.6 V) と下限 (2.7 V) の範囲内で、許容リップル周波数 $f_{r\,(VCC)}$を満たす必要があります。VCC 変動が VCC±10% を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 dt/dVCC を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r\,(VCC)}$	—	—	10	kHz	図 2.2 $V_{r\,(VCC)}$ ≦ VCC × 0.2
		—	—	1	MHz	図 2.2 $V_{r\,(VCC)}$ ≦ VCC × 0.08
		—	—	10	MHz	図 2.2 $V_{r\,(VCC)}$ ≦ VCC × 0.06
許容電圧変動立ち上がり／立ち下がり勾配	dt/dVCC	1.0	—	—	ms/V	VCC 変動が VCC ±10%を超える場合

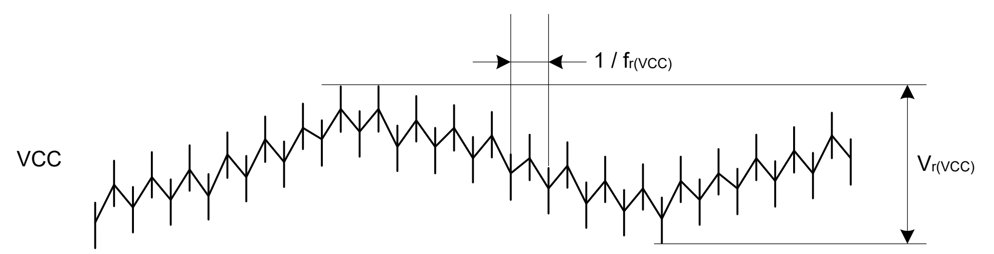


図 2.2　　リップル波形

2.2.7　熱特性

ジャンクション温度 (Tj) の最大値は、「2.2.1. Tj/Ta の定義」の値を超えないようにしてください。

Tj は、以下のいずれかの式で計算されます。

- Tj = Ta + θja × 総消費電力
- Tj = Tt + Ψjt × 総消費電力
  - Tj：ジャンクション温度（℃）
  - Ta：周囲温度（℃）
  - Tt：ケース上面中央部温度（℃）
  - θja：「ジャンクション」-「周囲」間の熱抵抗（℃/W）
  - Ψjt：「ジャンクション」-「ケース上面中央部」間の熱抵抗（℃/W）
- 総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)
- IO のリーク電流 = $\Sigma (I_{OL} \times V_{OL})$ / 電圧 + $\Sigma (|I_{OH}| \times |VCC - V_{OH}|)$ / 電圧
- IO のダイナミック電流 = Σ IO $(C_{in} + C_{load})$ × IO のスイッチング周波数 × 電圧
  - C_{in}：入力容量
  - C_{load}：出力容量

θja と Ψjt については、表 2.11 を参照してください。

表 2.11　　熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	100 ピン LQFP (PLQP0100KB-B)	θja	36	°C/W	JESD 51-2 および 51-7 準拠
	64 ピン LQFP (PLQP0064KB-C)		39		
	64 ピン QFN (PWQN0064LB-A)		26		
	48 ピン LQFP (PLQP0048KB-B)		60		
	48 ピン QFN (PWQN0048KC-A)		28		
	100 ピン LQFP (PLQP0100KB-B)	Ψjt	0.65	°C/W	JESD 51-2 および 51-7 準拠
	64 ピン LQFP (PLQP0064KB-C)		0.69		
	64 ピン QFN (PWQN0064LB-A)		0.15		
	48 ピン LQFP (PLQP0048KB-B)		2.01		
	48 ピン QFN (PWQN0048KC-A)		0.17		

注 1.　値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

2.2.7.1　ICCmax の計算ガイド

各ユニットの消費電力を表 2.12 に示します。

表 2.12　各ユニットの消費電力

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	周波数 [MHz]	電流 [uA/MHz]	電流(注1) [mA]
リーク電流	アナログ	LDO およびリーク(注2)	Ta = 75 °C(注3)	—	—	37.8
			Ta = 85 °C(注3)	—	—	46.4
			Ta = 95 °C(注3)	—	—	56.1
			Ta = 105 °C(注3)	—	—	68.0
ダイナミック電流	CPU	フラッシュおよび SRAM 動作	Coremark 動作	240	105.324	25.28
	周辺ユニット	タイマ	GPT32 (10ch)(注4)	120	29.697	3.56
			POEG (4 Groups)(注4)	60	1.483	0.09
			AGT (2ch)(注4)	60	3.09	0.19
			WDT	60	0.641	0.04
			IWDT	60	0.225	0.01
		通信インタフェース	SCI (6ch)(注4)	120	27.683	3.32
			IIC (2ch)(注4)	120	5.304	0.64
			CANFD	60	5.763	0.35
			SPI (2ch)(注4)	120	5.738	0.69
		データ処理アクセラレータ	TFU	240	1.188	0.03
			IIRFA	240	34.252	8.22
		データ処理	DOC	120	0.221	0.03
			CRC	120	0.508	0.06
		アナログ	ADC (2 Units)(注4)	60	172.958	10.38
			DAC12 (4ch)(注4)	120	1.097	0.13
			ACMPHS (4ch)(注4)	60	0.641	0.04
			TSN	60	0.111	0.01
		イベントリンク	ELC	60	1.852	0.11
		セキュリティ	SCE5	120	68.404	8.21
		システム	CAC	60	0.63	0.04
			KINT	60	0.072	0.004
		DMA	DMAC	240	5.073	1.22
			DTC	240	4.18	1

注 1.　値は設計によって保証されています。
注 2.　LDO およびリークは、内部電圧レギュレータの電流と、MCU のリーク電流です。
　　　これは、Ta の温度に従って選択されます。
注 3.　電流測定のため、Δ(Tj-Ta) = 20℃とみなされます。
注 4.　チャネルごとまたはユニットごとの消費電流を求めるには、電流[mA]をチャネル数、グループ数、またはユニット数で割ります。

表 2.13　各ユニットの動作の概要 (1/2)

周辺デバイス	動作の概要
GPT	動作モードが、のこぎり波 PWM モードに設定されています。 GPT が PCLKD で動作しています。

表 2.13　各ユニットの動作の概要 (2/2)

周辺デバイス	動作の概要
POEG	モジュールストップビットのクリアのみを行います。
AGT	AGT が PCLKB で動作しています。
WDT	WDT が PCLKB で動作しています。
IWDT	IWDT が IWDTCLK で動作しています。
SCI	SCI がクロック同期式モードでデータを送信しています。
IIC	通信フォーマットが I2C バスフォーマットに設定されています。 IIC がマスタモードでデータを送信しています。
CANFD	CANFD がセルフテストモード 1 でデータを送受信しています。
SPI	SPI モードが SPI 動作（4 線式）に設定されています。 SPI マスタ／スレーブモードがマスタモードに設定されています。 SPI が 8 ビット幅のデータを送信しています。
TFU	正弦および余弦演算をしています。
IIRFA	チャネル 0 で 32 ステージのチャネル処理をしています。
DOC	DOC がデータ加算モードで動作しています。
CRC	CRC が 32 ビット CRC32-C 多項式を使用して CRC コードを生成しています。
ADC	分解能は 12 ビット精度に設定されます。 A/D 変換データ操作コントロール B レジスタは、16 回変換平均モードに設定されています。 ADC がアナログ入力を連続スキャンモードで変換しています。 ADC が PCLKC で動作しています。
DAC12	DAC12 が変換結果の出力とデータレジスタ値の更新を行っています。
ACMPHS	IVCMP2 と IVREF0 の比較とコンペア出力をしています。
TSN	TSN が動作しています。
ELC	モジュールストップビットのクリアのみを行います。
SCE5	SCE5 がビルトインセルフテストを実行しています。
DMAC	転送データのビット長が 32 ビットに設定されています。 転送モードがブロック転送モードに設定されています。 DMAC が SRAM0 から SRAM0 にデータを転送しています。
DTC	転送データのビット長が 32 ビットに設定されています。 転送モードがブロック転送モードに設定されています。 DMAC が SRAM0 から SRAM0 にデータを転送しています。
CAC	測定対象クロックが PCLKB に設定されています。 測定基準クロックが PCLKB に設定されています。 CAC がクロック周波数精度を測定しています。
KINT	モジュールストップビットのクリアのみを行います。

2.2.7.2　Tj の計算例

前提事項：

- パッケージ 100 ピン LQFP: θja = 36.0 °C/W
- Ta = 100 °C
- I_{CC}max = 80 mA
- VCC = 3.5 V (VCC = AVCC0)
- I_{OH} = 1 mA、V_{OH} = VCC – 0.5 V、12 出力
- I_{OL} = 20 mA、V_{OL} = 1.0 V、8 出力
- I_{OL} = 1 mA、V_{OL} = 0.5 V、12 出力
- C_{in} = 8 pF、16 ピン、入力周波数 = 10 MHz

- C_{load} = 30 pF、16 ピン、出力周波数 = 10 MHz

IO リーク電流 $= \Sigma (V_{OL} \times I_{OL})$ / 電圧 + $\Sigma ((VCC - V_{OH}) \times I_{OH})$ / 電圧

= (20 mA × 1 V) × 8 / 3.5 V + (1 mA × 0.5 V) × 12 / 3.5 V + ((VCC - (VCC - 0.5 V)) × 1 mA) × 12 / 3.5 V

= 45.7 mA + 1.71 mA + 1.71 mA

= 49.1 mA

IO のダイナミック電流 = Σ IO (C_{in} + C_{load}) × IO のスイッチング周波数 × 電圧

= ((8 pF × 16) × 10 MHz + (30 pF × 16) × 10 MHz) × 3.5 V

= 21.3 mA

総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)

= (80 mA × 3.5 V) + (49.1 mA + 21.3 mA) × 3.5 V

= 526 mW (0.526 W)

Tj = Ta + θja × 総消費電力

= 100 °C + 36.0 °C/W × 0.526W

= 118.9 °C

2.3 AC 特性

2.3.1 周波数

表 2.14 High-speed モードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)	f	—	—	240	MHz
	周辺モジュールクロック (PCLKA)		—	—	120	
	周辺モジュールクロック (PCLKB)		—	—	60	
	周辺モジュールクロック (PCLKC)		—(注2)	—	60	
	周辺モジュールクロック (PCLKD)		—	—	120	
	フラッシュインタフェースクロック (FCLK)		—(注1)	—	60	

注 1. フラッシュメモリのプログラミング／イレース中、FCLK は 4 MHz 以上の周波数で実行する必要があります。
注 2. ADC 使用時、PCLKC 周波数は 1 MHz 以上でなければなりません。

表 2.15 Low-speed モードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)	f	—	—	1	MHz
	周辺モジュールクロック (PCLKA)		—	—	1	
	周辺モジュールクロック (PCLKB)		—	—	1	
	周辺モジュールクロック (PCLKC)(注2)		—(注2)	—	1	
	周辺モジュールクロック (PCLKD)		—	—	1	
	フラッシュインタフェースクロック (FCLK)(注1)		—	—	1	

注 1. フラッシュメモリのプログラム／イレースは、Low-speed モードでは許可されていません。
注 2. ADC 使用時、PCLKC 周波数は 1 MHz 以上でなければなりません。

2.3.2 クロックタイミング

表 2.16 クロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	t_{EXcyc}	41.66	—	—	ns	図 2.3
EXTAL 外部クロック入力 High レベルパルス幅	t_{EXH}	15.83	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅	t_{EXL}	15.83	—	—	ns	
EXTAL 外部クロック立ち上がり時間	t_{EXr}	—	—	5.0	ns	
EXTAL 外部クロック立ち下がり時間	t_{EXf}	—	—	5.0	ns	
メインクロック発振器周波数	f_{MAIN}	8	—	24	MHz	—
メインクロック発振安定待機時間（水晶）(注1)	$t_{MAINOSCWT}$	—	—	—(注1)	ms	図 2.4
LOCO クロック発振周波数	f_{LOCO}	29.4912	32.768	36.0448	kHz	—
LOCO クロック発振安定待機時間	t_{LOCOWT}	—	—	60.4	µs	図 2.5
ILOCO クロック発振周波数	f_{ILOCO}	13.5	15	16.5	kHz	—
MOCO クロック発振周波数	F_{MOCO}	6.8	8	9.2	MHz	—
MOCO クロック発振安定待機時間	t_{MOCOWT}	—	—	15.0	µs	—
HOCO クロック発振器発振周波数	f_{HOCO16}	15.78	16	16.22	MHz	–20 ≦ Ta ≦ 105℃
	f_{HOCO18}	17.75	18	18.25		
	f_{HOCO20}	19.72	20	20.28		
	f_{HOCO16}	15.71	16	16.29		-40 ≦ Ta ≦ -20℃
	f_{HOCO18}	17.68	18	18.32		
	f_{HOCO20}	19.64	20	20.36		
HOCO クロック発振安定待機時間(注2)	t_{HOCOWT}	—	—	64.7	µs	—
HOCO ピリオドジッタ	—	—	±85	—	ps	—
PLL クロック周波数	f_{PLL}	120	—	240	MHz	—
PLL2 クロック周波数	f_{PLL2}	120	—	240	MHz	—
PLL/PLL2 クロック発振安定待機時間	t_{PLLWT}	—	—	174.9	µs	図 2.6
PLL/PLL2 ピリオドジッタ	—	—	±100	—	ps	—
PLL/PLL2 ロングタームジッタ	—	—	±300	—	ps	期間：1 µs, 10 µs

注 1. メインクロック発振器を設定する場合、発振器メーカに発振評価を確認し、その結果を推奨発振安定時間として使用してください。MOSCWTCR レジスタを、推奨値以上に設定してください。
メインクロック動作を開始するために MOSCCR.MOSTP ビット設定を変更したら、OSCSF.MOSCSF フラグが 1 であることを確認してからメインクロック発振器の使用を開始してください。

注 2. リセット状態の解除から HOCO 発振周波数 (f_{HOCO}) が動作保証範囲に達するまでの時間です。

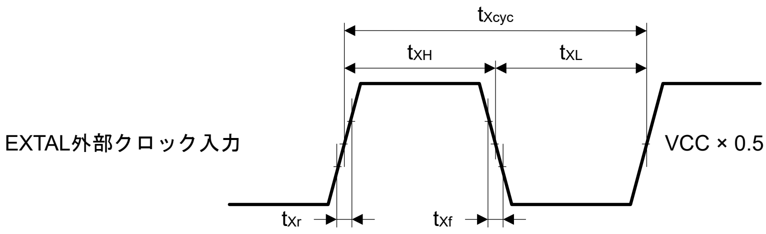


図 2.3 EXTAL 外部クロック入力タイミング

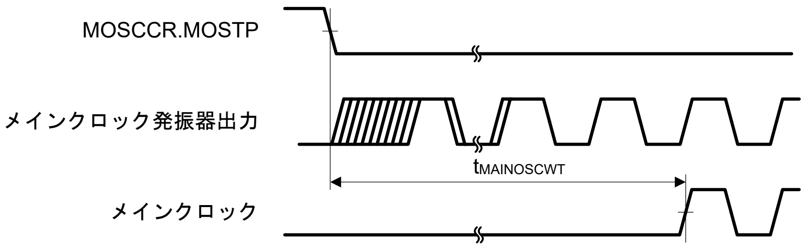


図 2.4 メインクロック発振開始タイミング

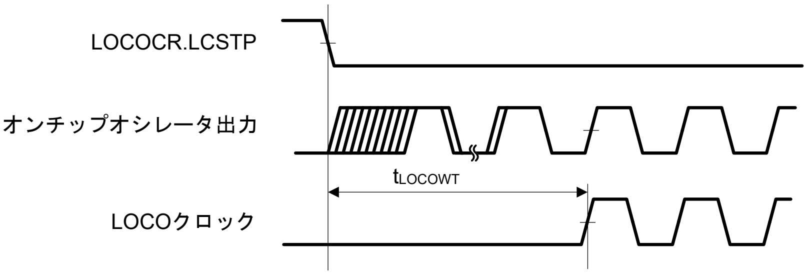


図 2.5 LOCO クロック発振開始タイミング

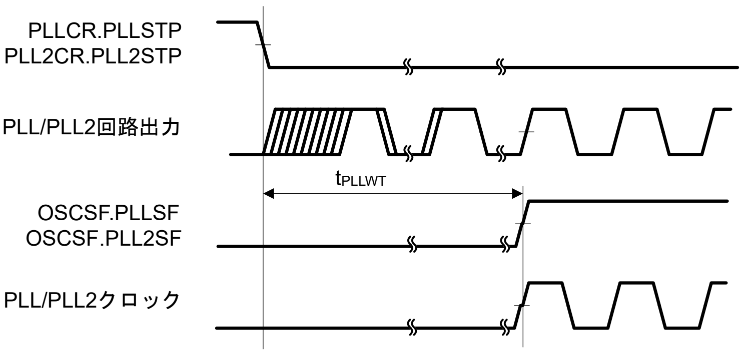


図 2.6 PLL/PLL2 クロック発振開始タイミング

2.3.3 リセットタイミング

表 2.17 リセットタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	パワーオン	t_{RESWP}	0.7	—	—	ms	図 2.7
	ディープソフトウェアスタンバイモード	t_{RESWD}	0.6	—	—	ms	図 2.8
	ソフトウェアスタンバイモード	t_{RESWS}	0.3	—	—	ms	
	上記以外	t_{RESW}	200	—	—	μs	
RES 解除後の待機時間		t_{RESWT}	—	37.3	41.2	μs	図 2.7
内部リセット解除後の待機時間 （IWDT リセット、WDT リセット、ソフトウェアリセット、SRAM パリティエラーリセット、バスマスタ MPU エラーリセット、TrustZone エラーリセット、キャッシュパリティエラーリセット）		t_{RESW2}	—	324	397.7	μs	—

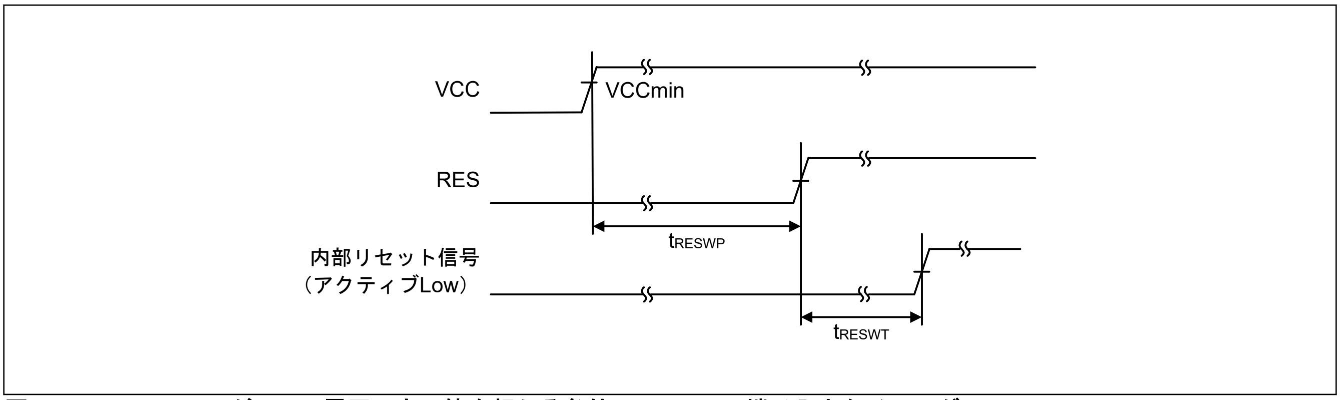


図 2.7 VCC が V_{POR} 電圧しきい値を超える条件下での RES 端子入力タイミング

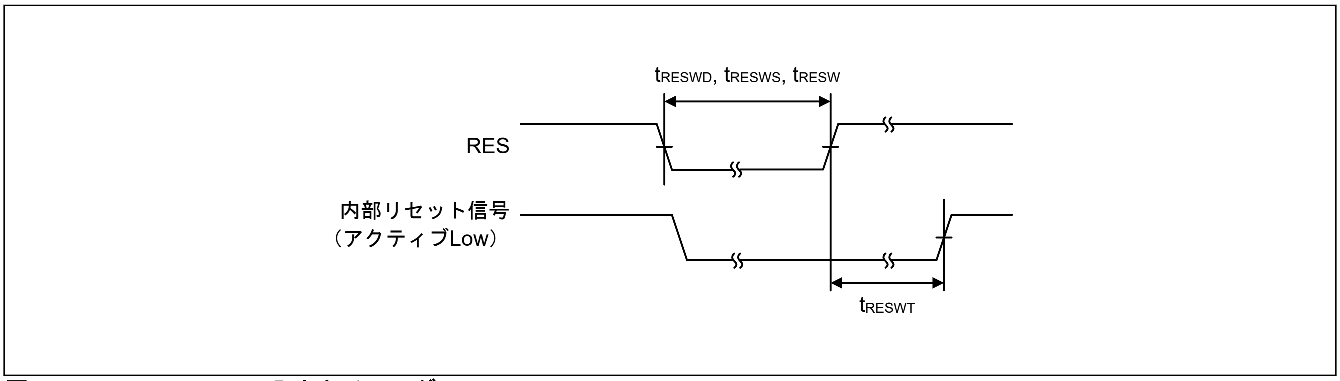


図 2.8 リセット入力タイミング

2.3.4 ウェイクアップタイミング

表 2.18 低消費電力モードからの復帰タイミング

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間[注1]	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器[注2]	t_{SBYMC}[注11]	—	2.1	2.4	ms	図 2.9 全発振器の分周比は 1 です。
		システムクロックソースはメインクロック発振器を使用した PLL[注3]	t_{SBYPC}[注11]	—	2.2	2.6	ms	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器[注4]	t_{SBYEX}[注11]	—	45	125	μs	
		システムクロックソースはメインクロック発振器を使用した PLL[注5]	t_{SBYPE}[注11]	—	170	255	μs	
	システムクロックソースは LOCO [注6]		t_{SBYLO}[注11]	—	0.7	0.9	ms	
	システムクロックソースは HOCO クロック発振器[注7]		t_{SBYHO}[注11]	—	55	130	μs	
	システムクロックソースは HOCO を使用した PLL[注8]		t_{SBYPH}[注11]	—	175	265	μs	
	システムクロックソースは MOCO クロック発振器[注9]		t_{SBYMO}[注11]	—	35	65	μs	
ディープソフトウェアスタンバイモードからの復帰時間	DPSBYCR.DEEPCUT[1] = 0 および DPSWCR.WTSTS[5:0] = 0x0E		t_{DSBY}	—	0.38	0.54	ms	図 2.10
	DPSBYCR.DEEPCUT[1] = 1 および DPSWCR.WTSTS[5:0] = 0x19		t_{DSBY}	—	0.55	0.73	ms	
ディープソフトウェアスタンバイモード解除後待機時間			t_{DSBYWT}	56	—	57	t_{cyc}	
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	システムクロックソースが HOCO (20 MHz) の場合の High-speed モード		t_{SNZ}	—	35[注10]	70[注10]	μs	図 2.11
	システムクロックソースが MOCO (8 MHz) の場合の High-speed モード		t_{SNZ}	—	11[注10]	14[注10]	μs	

注 1. 復帰時間は、システムクロックソースにより決定されます。複数の発振器が起動している場合、復帰時間は以下の計算式で決定します。
総復帰時間 = システムクロックソースとしての発振器の復帰時間 + アクティブな発振器の最長 tSBYOSCWT - システムクロックの tSBYOSCWT + 2 LOCO サイクル（LOCO が動作している場合）
注 2. 水晶の周波数が 24 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05）で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 3. PLL の周波数が 240 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05）で、かつ内部クロックの分周設定のうち最大値が 4 の場合
注 4. 外部クロックの周波数が 24 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00）で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 5. PLL の周波数が 240 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00）で、かつ内部クロックの分周設定のうち最大値が 4 の場合
注 6. LOCO 周波数が 32.768 kHz で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 7. HOCO 周波数が 20 MHz で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 8. PLL 周波数が 240 MHz で、かつ内部クロックの分周設定のうち最大値が 4 の場合
注 9. MOCO 周波数が 8 MHz で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 10. SNZCR.RXDREQEN ビットが 0 のとき、以下の時間が電源復帰時間として追加されます。16 μs (Typ.)、48 μs (Max)
注 11. 復帰時間は、tSBYOSCWT + tSBYSEQ の式で計算できます。これらは、次の値と式で決定できます。n は内部クロックの分周設定の内、最大値が選択されます。

ウェイクアップ時間	Typ		Max		単位
	tSBYOSCWT	tSBYSEQ	tSBYOSCWT	tSBYSEQ	
tSBYMC	(MSTS[7:0]*32 + 3) / 0.262	35 + 18 / fICLK + 4n / fMAIN	(MSTS[7:0]*32 + 14) / 0.236	62 + 18 / fICLK + 4n / fMAIN	μs
tSBYPC	(MSTS[7:0]*32 + 34) / 0.262	35 + 18 / fICLK + 4n / fPLL	(MSTS[7:0]*32 + 45) / 0.236	62 + 18 / fICLK + 4n / fPLL	μs
tSBYEX	10	35 + 18 / fICLK + 4n / fEXMAIN	62	62 + 18 / fICLK + 4n / fEXMAIN	μs

ウェイクアップ時間	Typ		Max		単位
	tSBYOSCWT	tSBYSEQ	tSBYOSCWT	tSBYSEQ	
tSBYPE	135	35 + 18 / fICLK + 4n / fPLL	192	62 + 18 / fICLK + 4n / fPLL	μs
tSBYLO	0	35 + 18 / fICLK + 4n / fLOCO	0	62 + 18 / fICLK + 4n / fLOCO	μs
tSBYHO	20	35 + 18 / fICLK + 4n / fHOCO	67	62 + 18 / fICLK + 4n / fHOCO	μs
tSBYPH	140	35 + 18 / fICLK + 4n / fPLL	202	62 + 18 / fICLK + 4n / fPLL	μs
tSBYMO	0	35 + 18 / fICLK + 4n / fMOCO	0	62 + 18 / fICLK + 4n / fMOCO	μs

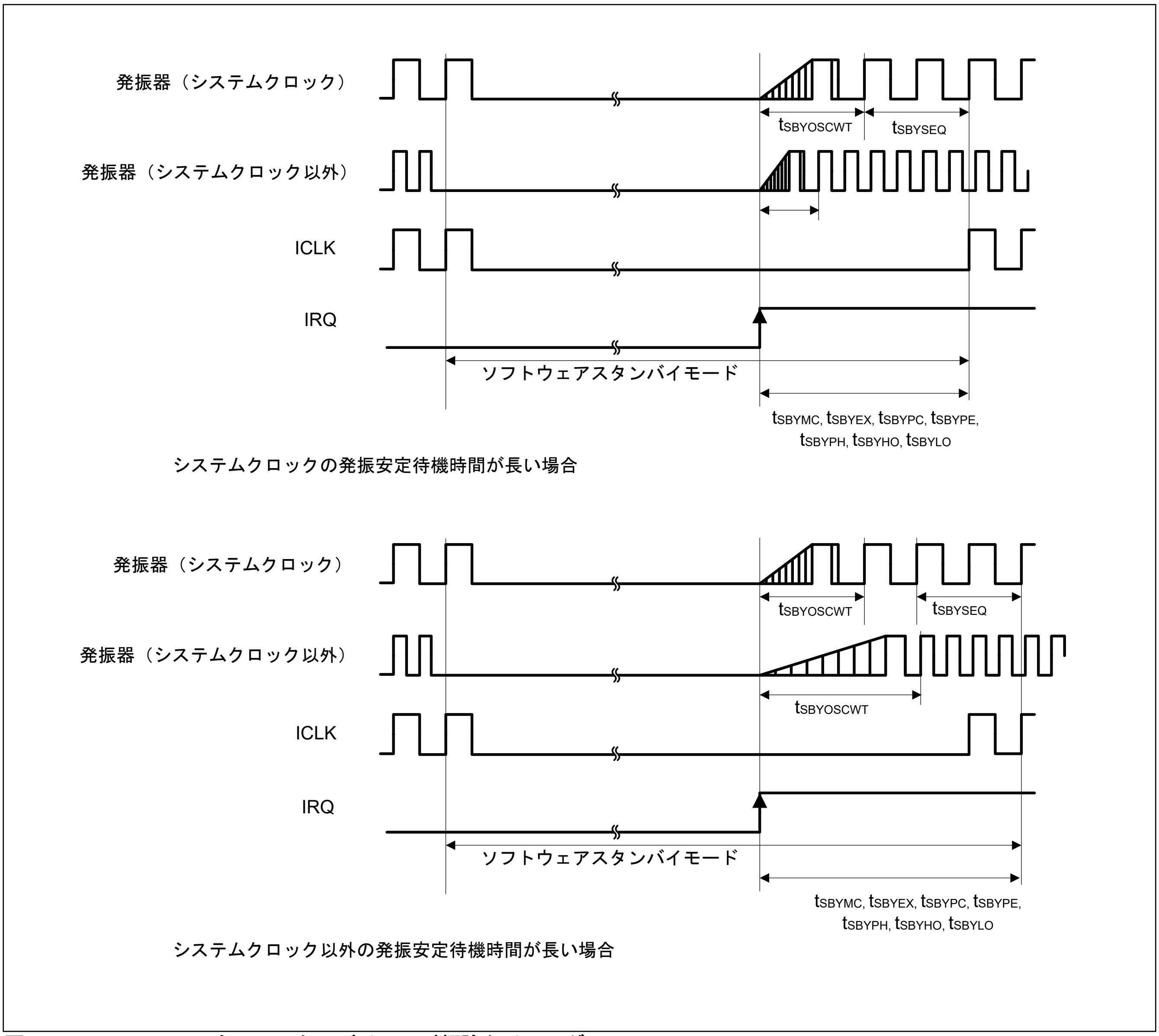


図 2.9　　ソフトウェアスタンバイモード解除タイミング

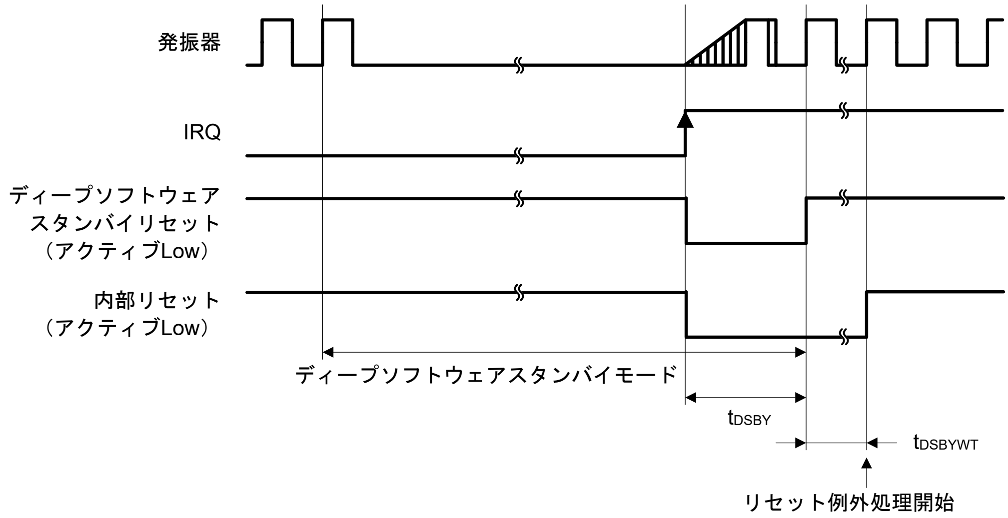
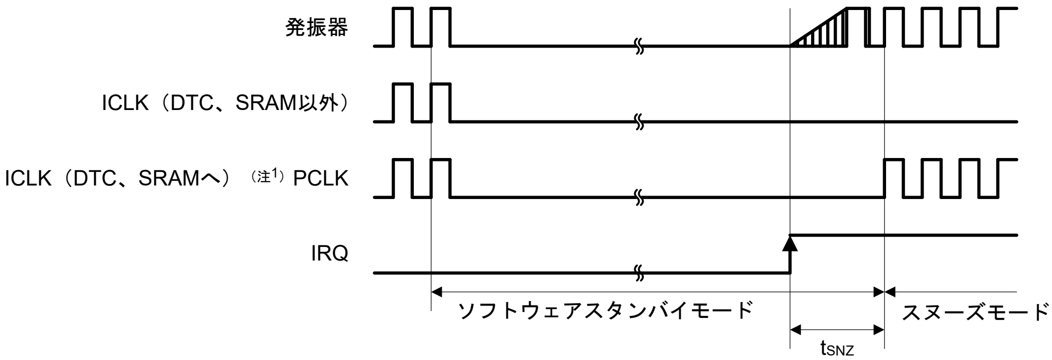


図 2.10　　ディープソフトウェアスタンバイモード解除タイミング



注 1.　SNZCR.SNZDTCEN ビットが 1 の時、ICLK が DTC と SRAM に供給されます。

図 2.11　　ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

2.3.5　NMI/IRQ ノイズフィルタ

表 2.19　NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200$ ns
		$t_{Pcyc} \times 2$(注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leqq 200$ ns
		$t_{NMICK} \times 3.5$(注2)	—	—			$t_{NMICK} \times 3 > 200$ ns
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200$ ns
		$t_{Pcyc} \times 2$(注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leqq 200$ ns
		$t_{IRQCK} \times 3.5$(注3)	—	—			$t_{IRQCK} \times 3 > 200$ ns

注.　ソフトウェアスタンバイモード時は最小 200 ns です。
注.　クロックソースを切り替える場合、切り替えるソースの 4 クロックサイクルを足します。

注 1.　t_{Pcyc} は PCLKB の周期を示します。
注 2.　t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を示します。
注 3.　t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を示します。

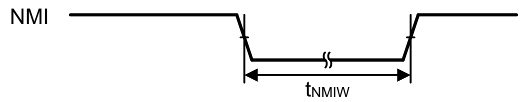


図 2.12　NMI 割り込み入力タイミング

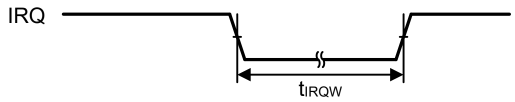


図 2.13　IRQ 割り込み入力タイミング

2.3.6 I/O ポート、POEG、GPT、AGT、KINT、ADC のトリガタイミング

表 2.20　I/O ポート、POEG、GPT、AGT、KINT、ADC のトリガタイミング (1/3)

GPT 条件：
PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Typ	Max	単位	測定条件
I/O ポート	入力データパルス幅	t_{PRW}	1.5	—	—	t_{Icyc}	図 2.14

表 2.20　I/O ポート、POEG、GPT、AGT、KINT、ADC のトリガタイミング (2/3)

GPT 条件：
PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Typ	Max	単位	測定条件
POEG	GTETRGn 入力パルス幅		t_{POEW}	1.5	—	—	t_{Pcyc}	図 2.15
	出力禁止時間	GTETRGn 端子の入力レベル検出（フラグ経由）	t_{POEGDI}	—	—	3 PCLKB + 0.34	μs	図 2.16 デジタルノイズフィルタを使用していない場合 (POEGGn.NFEN = 0 (n = A〜D))
		GPT からの出力停止信号の検出（デッドタイムエラー、同時 High 出力、または同時 Low 出力）	t_{POEGDE}	—	—	0.5	μs	図 2.17
		コンパレータからのエッジ検出信号	t_{POEGDC}	—	—	4 PCLKB + 0.5	μs	図 2.18 ACMPHS 用ノイズフィルタを使用しておらず (CMPCTL.CDFS[1:0] = 00)、ACMPHS による検出時間を除外する場合の時間
		レジスタ設定	t_{POEGDS}	—	—	1 PCLKB + 0.3	μs	図 2.19 レジスタへのアクセス時間を含まない。
		発振停止検出(注3)	$t_{POEGDOS}$	—	≦ 1	—	μs	図 2.20
		GTETRGn 端子の入力レベル検出（ダイレクトパス）	$t_{POEGDDI}$	—	—	2 PCLKB + 1 PCLKD + 0.34	μs	図 2.21
		コンパレータからのレベル検出信号	$t_{POEGDDC}$	—	—	3 PCLKD + 0.3	μs	図 2.22 ACMPHS 用ノイズフィルタを使用しておらず (CMPCTL.CDFS[1:0] = 00)、ACMPHS による検出時間を除外する場合の時間

表 2.20　I/O ポート、POEG、GPT、AGT、KINT、ADC のトリガタイミング (3/3)

GPT 条件：
PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目				シンボル	Min	Typ	Max	単位	測定条件
GPT	インプットキャプチャパルス幅	単エッジ		t_{GTICW}	1.5	—	—	t_{PDcyc}	図 2.23
		両エッジ			2.5	—	—		
	GTIOCxY 出力スキュー（x = 0～3、Y = A または B）	中駆動バッファ		t_{GTISK} (注1)	—	—	4	ns	図 2.24
		高駆動バッファ			—	—	4		
		高電流出力バッファ			—	—	4		
	GTIOCxY 出力スキュー（x = 4～6、Y = A または B）	中駆動バッファ			—	—	4		
		高駆動バッファ			—	—	4		
		高電流出力バッファ			—	—	4		
	GTIOCxY 出力スキュー（x = 7～9、Y = A または B）	中駆動バッファ			—	—	4		
		高駆動バッファ			—	—	4		
		高電流出力バッファ			—	—	4		
	GTIOCxY 出力スキュー（x = 0～9、Y = A または B）	中駆動バッファ			—	—	6		
		高駆動バッファ			—	—	6		
		高電流出力バッファ			—	—	6		
	OPS 出力スキュー GTOUUP、GTOULO、GTOVUP、GTOVLO、GTOWUP、GTOWLO			t_{GTOSK}	—	—	5	ns	図 2.25
	外部トリガ入力パルス幅	同期クロック	単エッジ指定	t_{GTEW}	1.5	—	—	t_{Pcyc}	図 2.26
			両エッジ指定		2.5	—	—		
		非同期クロック	単エッジ指定		2.5	—	—		
			両エッジ指定		3.5	—	—		
	タイマクロックパルス幅	同期クロック	単エッジ指定	t_{GTCKWH}、t_{GTCKWL}	1.5	—	—	t_{Pcyc}	図 2.27
			両エッジ指定		2.5	—	—		
		非同期クロック	単エッジ指定		2.5	—	—		
			両エッジ指定		3.5	—	—		
GPT（PWM 遅延生成回路）	GTIOCxY_Z スキュー（x = 0～3、Y = A または B、Z = A～D）			t_{HRSK}(注2)	—	—	4.0	ns	図 2.28
AGT	AGTIO、AGTEE 入力サイクル			t_{ACYC}(注2)	50	—	—	ns	図 2.29
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅			t_{ACKWH}, t_{ACKWL}	20	—	—	ns	
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル			t_{ACYC2}	33.3	—	—	ns	
KINT	KRn（n = 00～07）パルス幅			t_{KR}	250	—	—	ns	図 2.30
ADC	ADC トリガ入力パルス幅			t_{TRGW}	1.5	—	—	t_{ADcyc}	図 2.31

注.　t_{Icyc}: ICLK の周期、t_{Pcyc}: PCLKB の周期、t_{PDcyc}: GTCLK の周期、t_{ADcyc}: ADCLK の周期
注 1.　このスキューは、同じドライバ I/O が使用されている場合に適用されます。中駆動ドライバと高駆動ドライバの I/O が混在する場合、動作は保証されません。
注 2.　入力サイクルの制限：

ソースクロックを切り替えない場合：$t_{Pcyc} \times 2 < t_{ACYC}$ を満たす必要があります。
ソースクロックを切り替える場合：$t_{Pcyc} \times 6 < t_{ACYC}$ を満たす必要があります。

注 3. 基準値

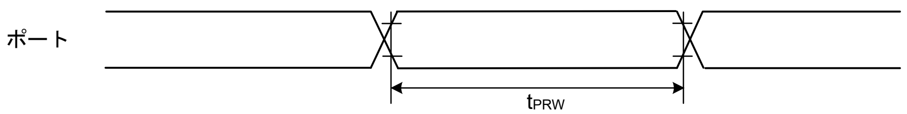


図 2.14 I/O ポート入力タイミング

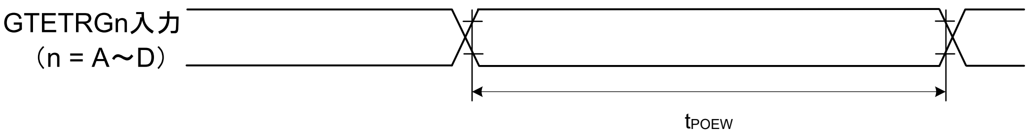


図 2.15 POEG 入力トリガタイミング

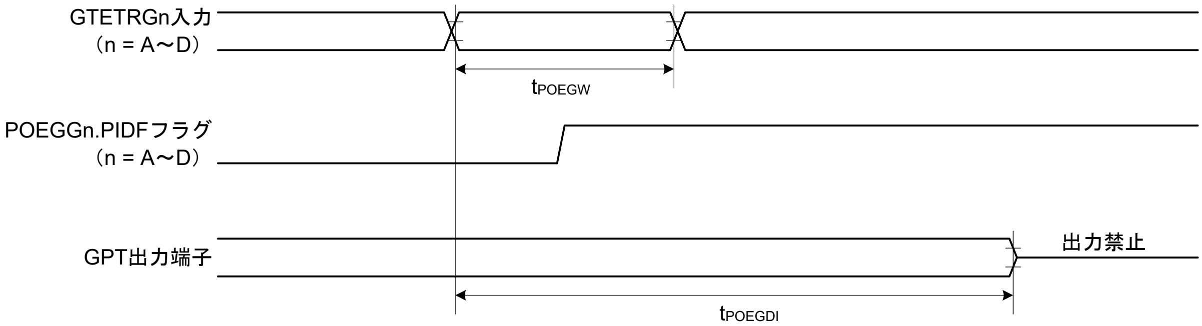
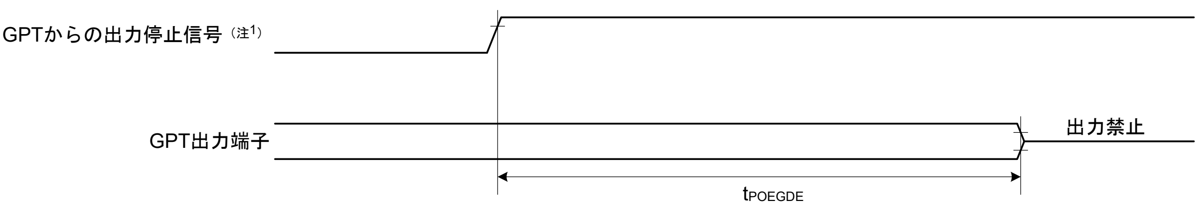


図 2.16 GTETRGn 端子の入力レベル検出に対応した検出フラグによる POEG の出力禁止時間



注 1. GPT32n.GTST.DTEF（デッドタイムエラーフラグ）、GPT32n.GTST.OABLF（同時 Low 出力フラグ）、または GPT32n.GTST.OABHF（同時 High 出力フラグ）

図 2.17 GPT からの出力停止信号の検出に対応した POEG の出力禁止時間

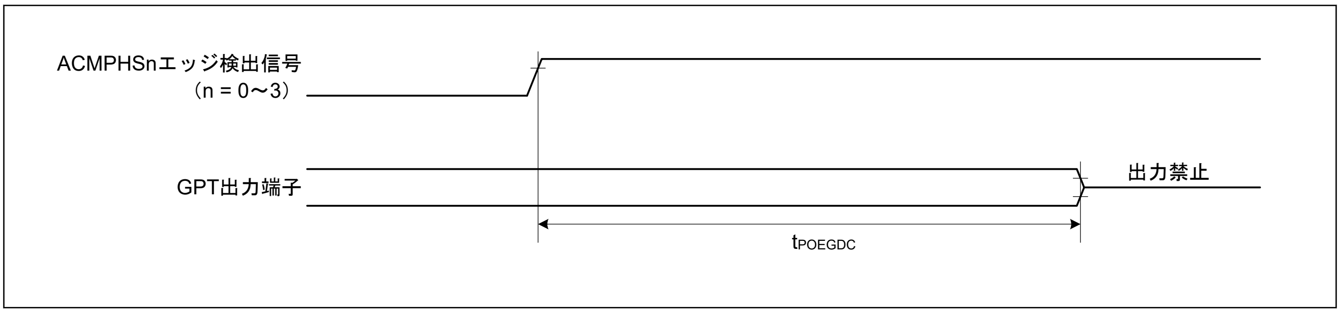


図 2.18 ACMPHS からのエッジ検出信号に対応した POEG の出力禁止時間

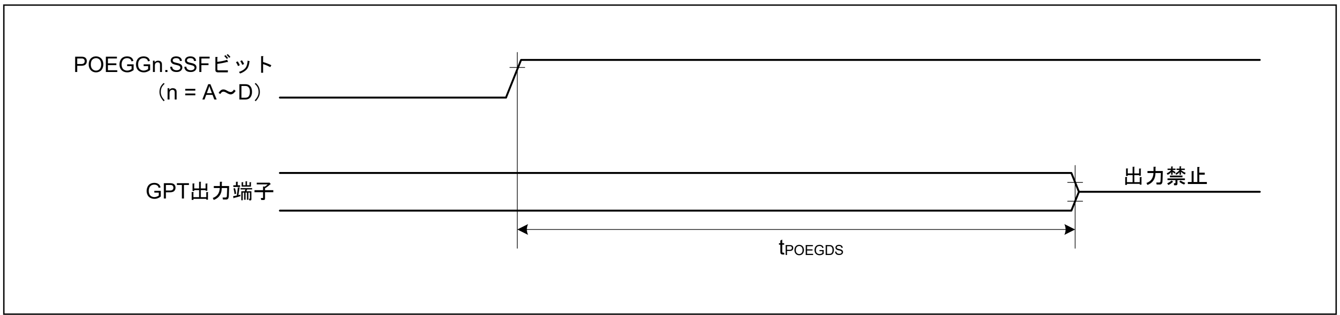


図 2.19 レジスタ設定に対応した POEG の出力禁止時間

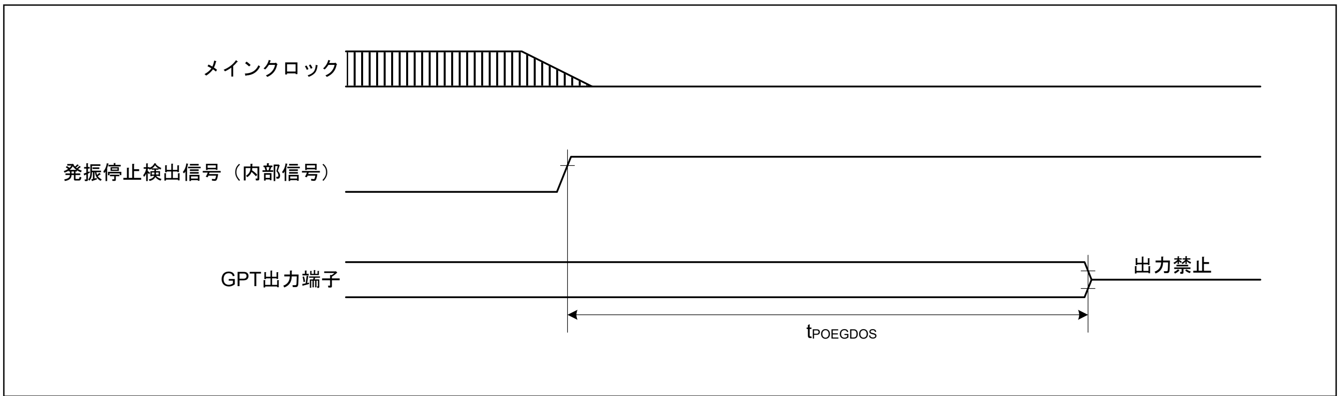


図 2.20 発振停止検出に対応した POEG の出力禁止時間

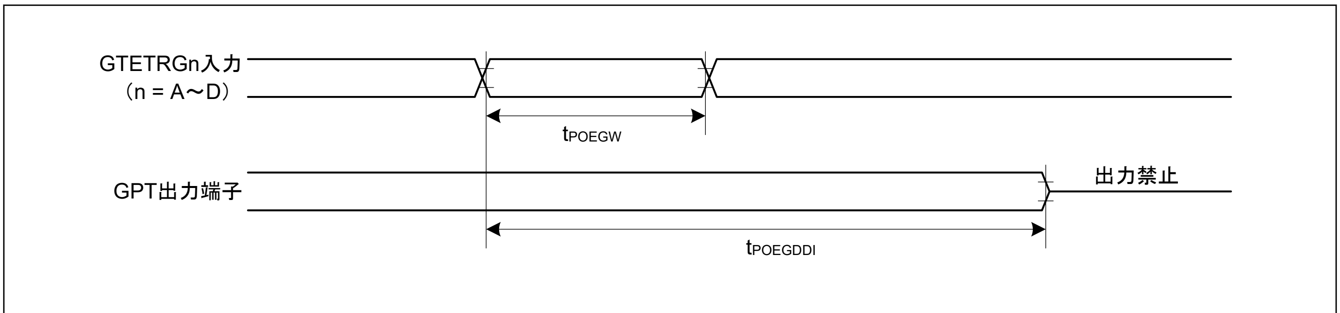


図 2.21 GTETRGn 端子の入力レベル検出に直接対応した POEG の出力禁止時間

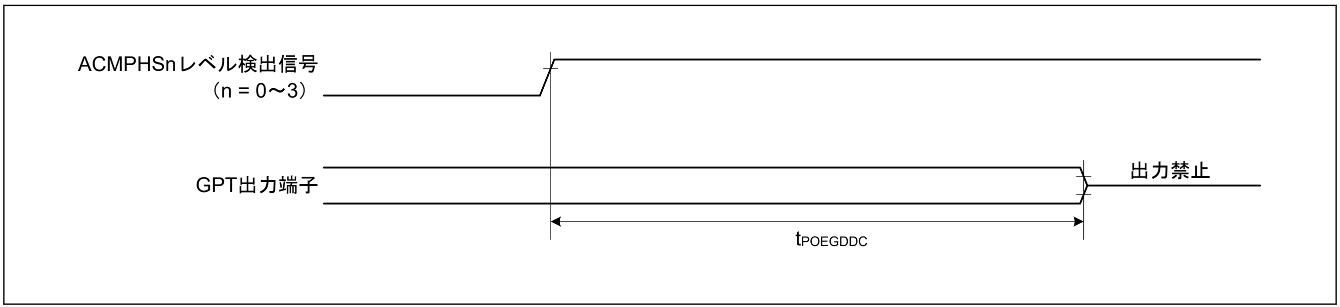


図 2.22 ACMPHS からのレベル検出信号に対応した POEG の出力禁止時間

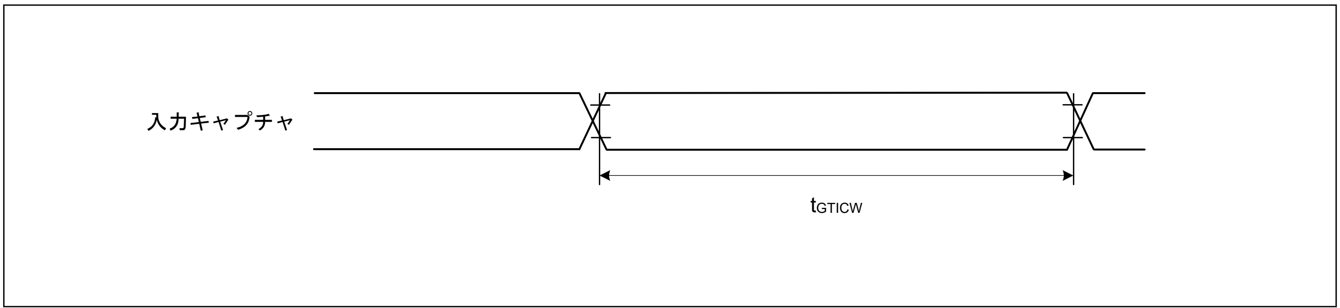


図 2.23 GPT インプットキャプチャタイミング

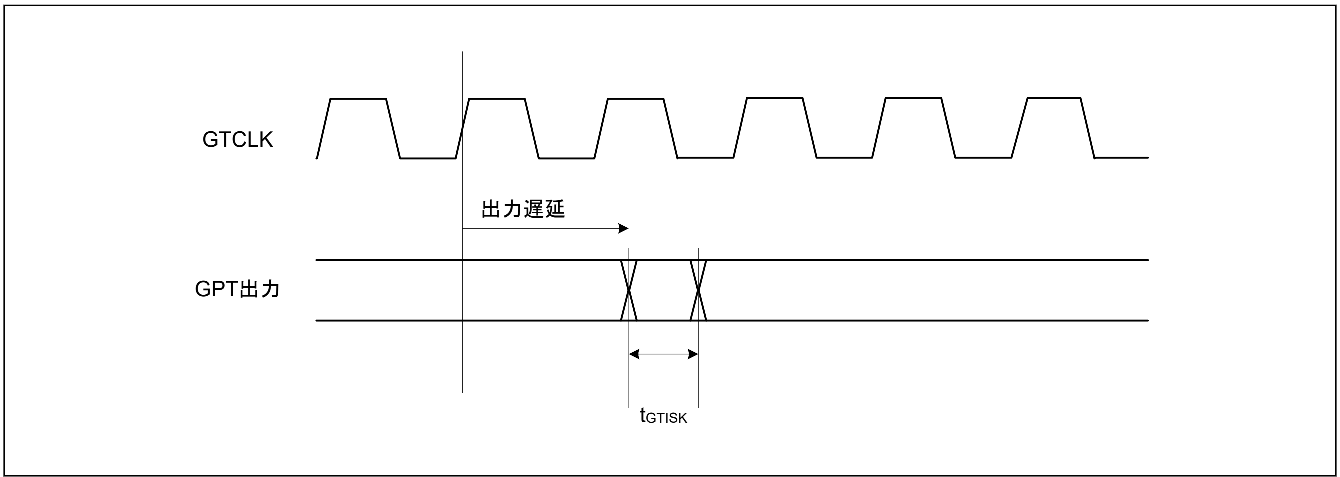


図 2.24 GPT 出力遅延スキュー

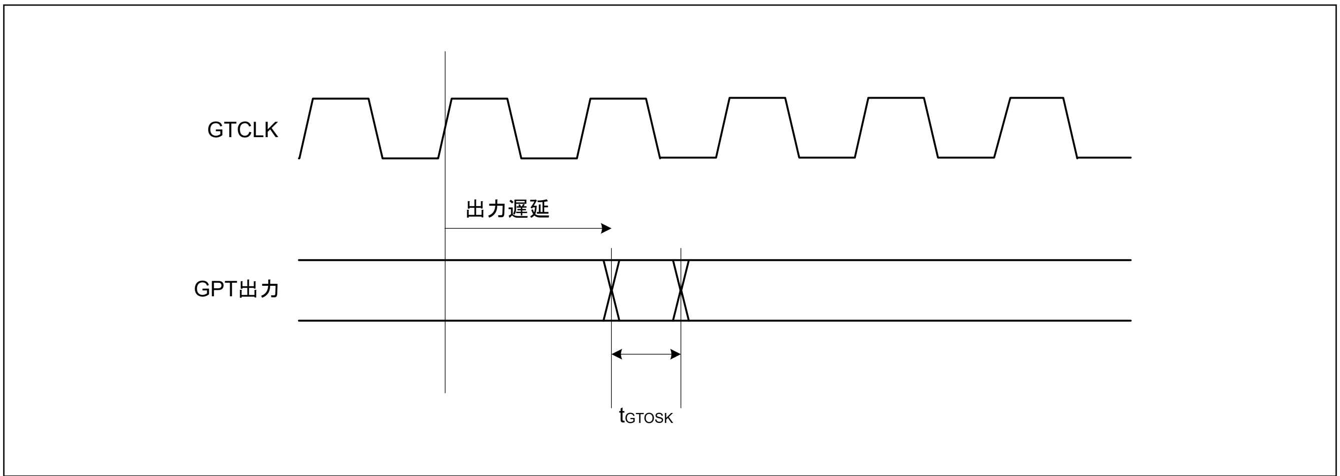


図 2.25 OPS の GPT 出力遅延スキュー

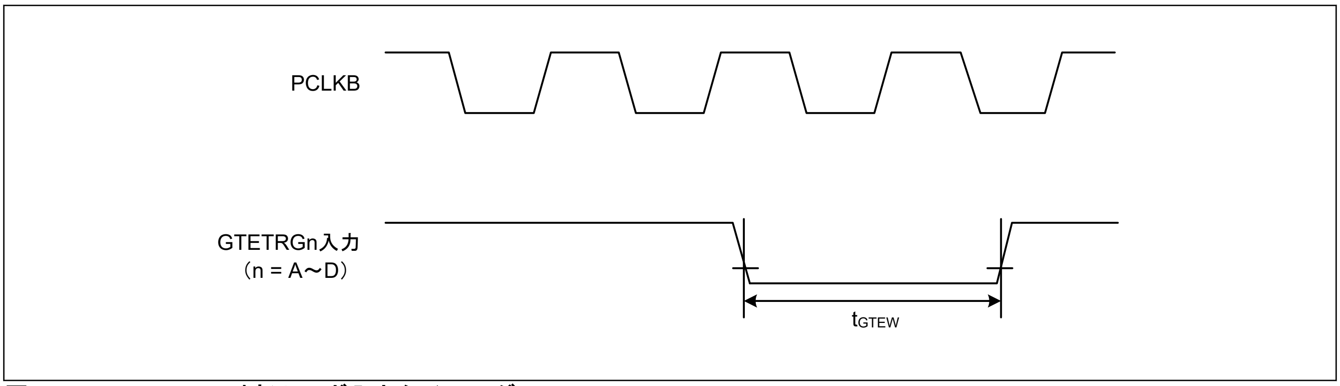


図 2.26 GPT 外部トリガ入力タイミング

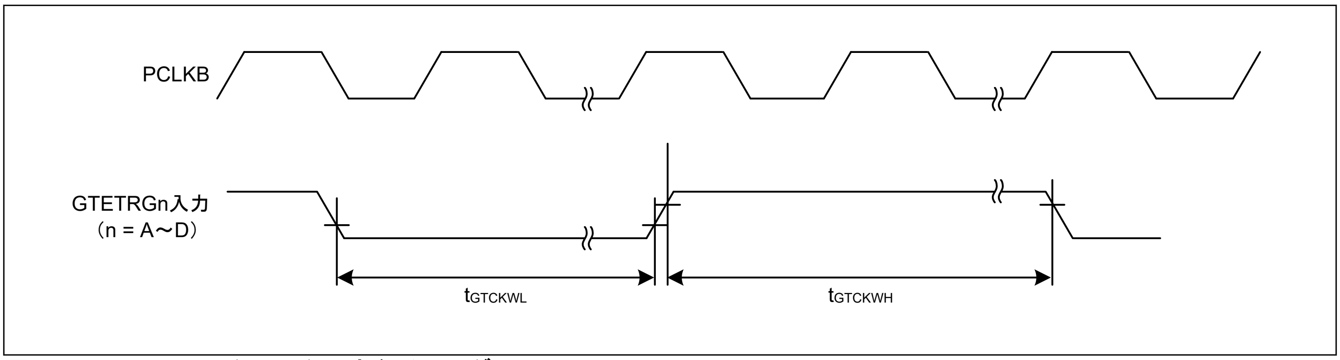


図 2.27 GPT クロック入力タイミング

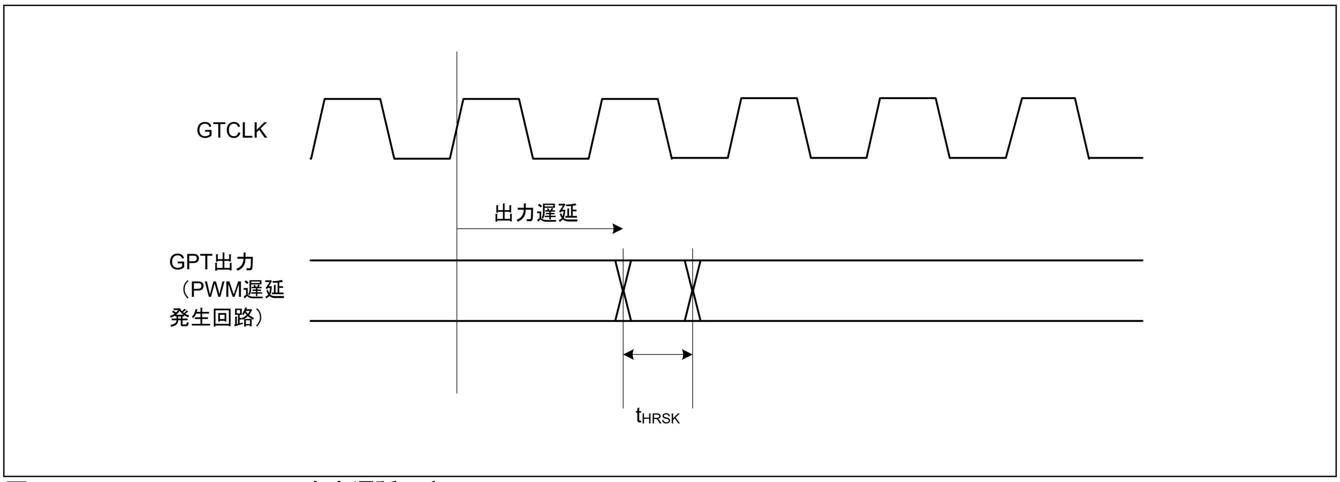


図 2.28 GPT (PDG) 出力遅延スキュー

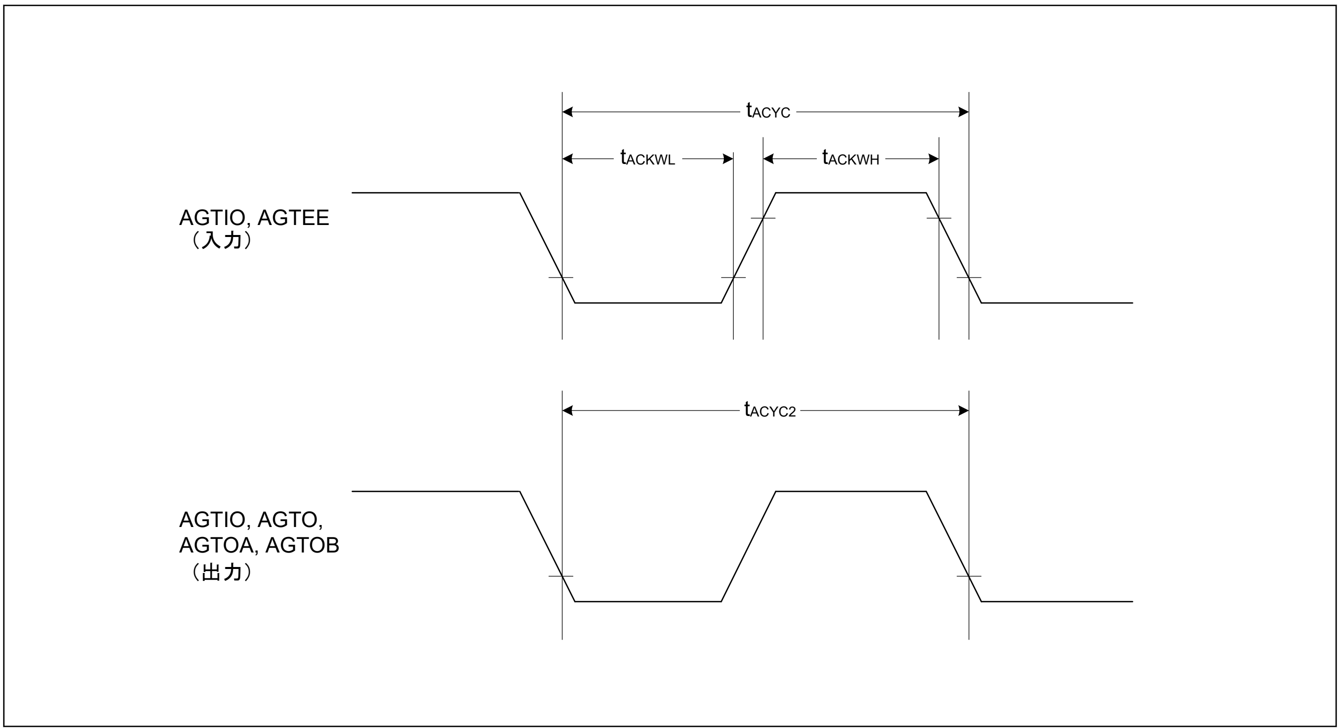


図 2.29 AGT 入出力タイミング

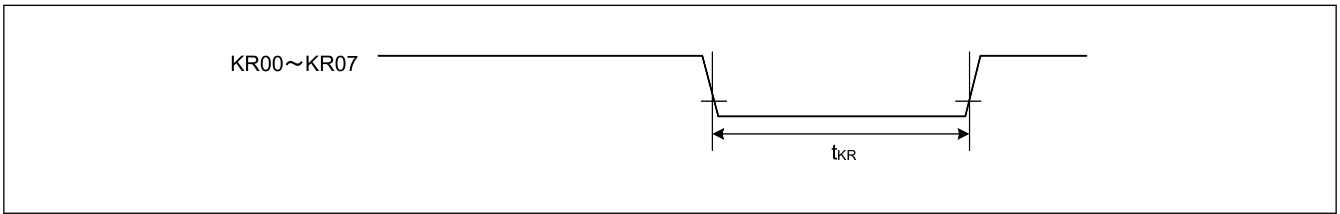


図 2.30 キー割り込み入力タイミング

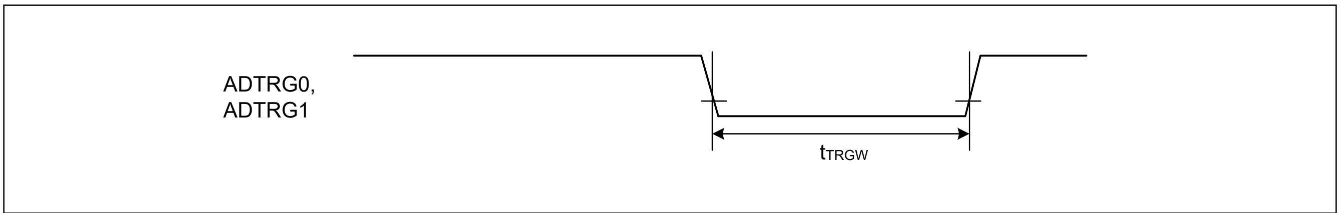


図 2.31 ADC トリガ入力タイミング

2.3.7 PDG タイミング

表 2.21 PDG タイミング

項目	Min	Typ	Max	単位	測定条件
動作周波数	80	—	200	MHz	—
分解能	—	156	—	ps	GPTCLK = 200 MHz
DNL(注1)	—	±2.0	—	LSB	—

注 1. この値は、1-LSB 分解能の行間の差異を正規化します。

2.3.8 CAC タイミング

表 2.22 CAC タイミング

項目			シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	$t_{PBcyc} \leqq t_{cac}$(注1)	t_{CACREF}	$4.5 \times t_{cac} + 3 \times t_{PBcyc}$	—	—	ns	—
		$t_{PBcyc} > t_{cac}$(注1)		$5 \times t_{cac} + 6.5 \times t_{PBcyc}$	—	—	ns	

注.　t_{PBcyc}: PCLKB の周期
注 1.　t_{cac}：CAC カウントクロックソースの周期

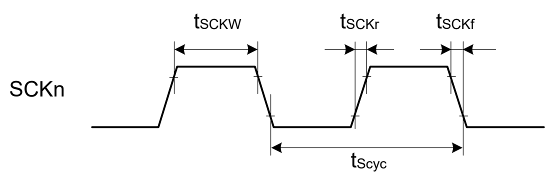
2.3.9 SCI タイミング

表 2.23 SCI タイミング（調歩同期式モード）

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	シンボル	Min	Max	単位	備考
入力クロックサイクル	t_{Scyc}	4	—	t_{Tcyc}	
入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}	
入力クロック立ち上がり時間	t_{SCKr}	—	5	ns	
入力クロック立ち下がり時間	t_{SCKf}	—	5	ns	
出力クロックサイクル	t_{Scyc}	6	—	t_{Tcyc}	
出力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}	
出力クロック立ち上がり時間	t_{SCKr}	—	5	ns	
出力クロック立ち下がり時間	t_{SCKf}	—	5	ns	

注.　t_{Tcyc}：SCITCLK サイクル。



注.　n = 0〜4、9

図 2.32 SCK クロック入出力タイミング

表 2.24 SCI タイミング（簡易 SPI）(1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		高速／デフォルト	シンボル	Min	Max	単位	備考
SCK クロックサイクル出力	マスタ		t_{SPcyc}	2	65536	t_{Tcyc}	
SCK クロックサイクル入力	スレーブ			2	—		
SCK クロック High レベルパルス幅	マスタ		t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	スレーブ						
SCK クロック Low レベルパルス幅	マスタ		t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	スレーブ						
SCK クロック立ち上がり／立ち下がり時間	出力		t_{SPCKr}, t_{SPCKf}	—	5	ns	
	入力			—	1	us	

表 2.24　SCI タイミング（簡易 SPI）(2/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		高速／デフォルト	シンボル	Min	Max	単位	備考
データ入力セットアップ時間	マスタ	高速(注1)	t_{SU}	1.7	—	ns	
		デフォルト(注2)		3	—	ns	
	スレーブ			3.3	—	ns	
データ入力ホールド時間	マスタ	高速(注1)	t_{H}	12	—	ns	
		デフォルト(注2)		14	—	ns	
	スレーブ			3	—	ns	
データ出力遅延時間	マスタ	高速(注1)	t_{OD}	—	5	ns	
		デフォルト(注2)		—	7.3	ns	
	スレーブ	高速(注1)		—	15	ns	
		デフォルト(注2)		—	21	ns	
データ出力ホールド時間	マスタ		t_{OH}	0	—	ns	
	スレーブ			0	—	ns	
データ立ち上がり／立ち下がり時間	出力		t_{Dr}, t_{Df}	—	5	ns	
	入力			—	1	ns	
スレーブアクセス時間			t_{SA}	—	5	t_{Tcyc}	
スレーブ出力開放時間			t_{REL}	—	5	t_{Tcyc}	

注.　t_{Tcyc}：SCITCLK サイクル。
注 1.　所属グループを示すため、_A、_B、_C などのように端子名の後ろに文字を付加した端子を使用してください。SCI0 は _A、SCI2 と SCI3 は _B、SCI1 と SCI9 は _C、SCI4 は _C で RXD は PD14 だけです。
注 2.　所属グループのすべての端子を使用できます。

表 2.25　SCI タイミング（簡易 SPI モード）

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	シンボル	Min	Max	単位	備考
SS 入力セットアップ時間	t_{LEAD}	1	—	t_{SPcyc}	
SS 入力ホールド時間	t_{LAG}	1	—	t_{SPcyc}	
SS 入力立ち上がり／立ち下がり時間	t_{SSLr}, t_{SSLf}	—	1	us	

表 2.26　SCI タイミング（クロック同期式モード）(1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

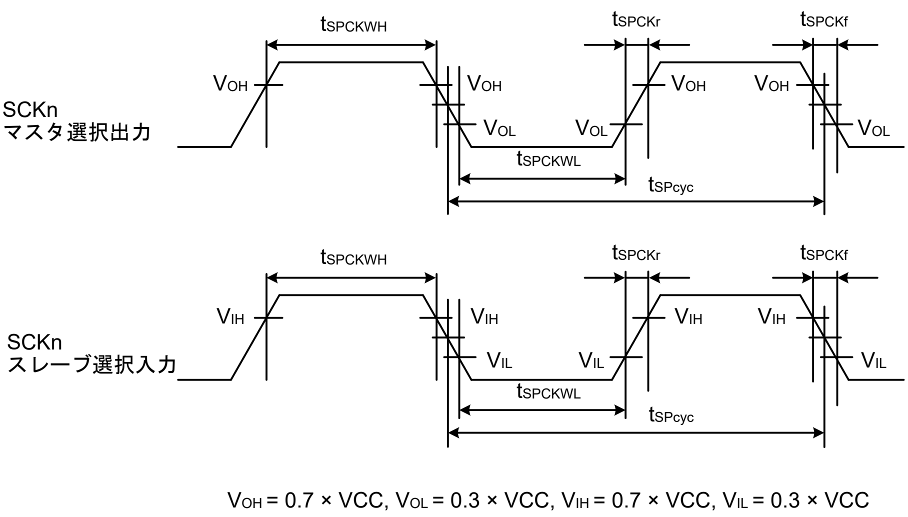
項目		高速／デフォルト	シンボル	Min	Max	単位	備考
SCK クロックサイクル出力	マスタ		t_{SPcyc}	2	—	t_{Tcyc}	
SCK クロックサイクル入力	スレーブ			2	—		
SCK クロック High レベルパルス幅	マスタ		t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	スレーブ						
SCK クロック Low レベルパルス幅	マスタ		t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	スレーブ						
SCK クロック立ち上がり／立ち下がり時間	出力		t_{SPCKr}, t_{SPCKf}	—	5	ns	
	入力						
データ入力セットアップ時間	マスタ	高速(注1)	t_{SU}	2.6	—	ns	
		デフォルト(注2)		2.8	—	ns	
	スレーブ			3.3	—	ns	

表 2.26　SCI タイミング（クロック同期式モード） (2/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		高速／デフォルト	シンボル	Min	Max	単位	備考
データ入力ホールド時間	マスタ	高速(注1)	t_H	12	—	ns	
		デフォルト(注2)		14	—	ns	
	スレーブ			3	—	ns	
データ出力遅延時間	マスタ	高速(注1)	t_{OD}	—	5	ns	
		デフォルト(注2)		—	7.3	ns	
	スレーブ	高速(注1)		—	15	ns	
		デフォルト(注2)		—	21	ns	
データ出力ホールド時間	マスタ		t_{OH}	0	—	ns	
	スレーブ			0	—	ns	
データ立ち上がり／立ち下がり時間	出力		t_{Dr}, t_{Df}	—	5	ns	
	入力			—	5	ns	

注.　t_{Tcyc}：SCITCLK サイクル。
注 1.　所属グループを示すため、_A、_B、_C などのように端子名の後ろに文字を付加した端子を使用してください。SCI0 は _A、SCI2 と SCI3 は _B、SCI1 と SCI9 は _C、SCI4 は _C で RXD は PD14 だけです。
注 2.　所属グループのすべての端子を使用できます。



注.　n = 0〜4、9

図 2.33　SCI 簡易 SPI モードクロックタイミング

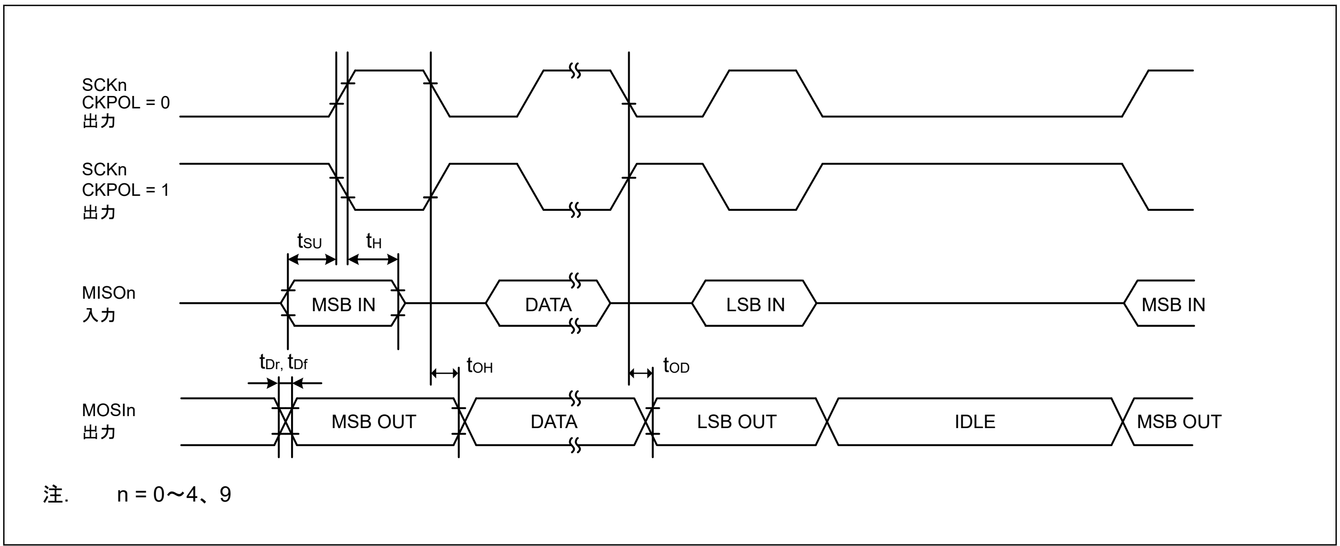


図 2.34　CKPH = 1 の場合におけるマスタの SCI 簡易 SPI モードタイミング

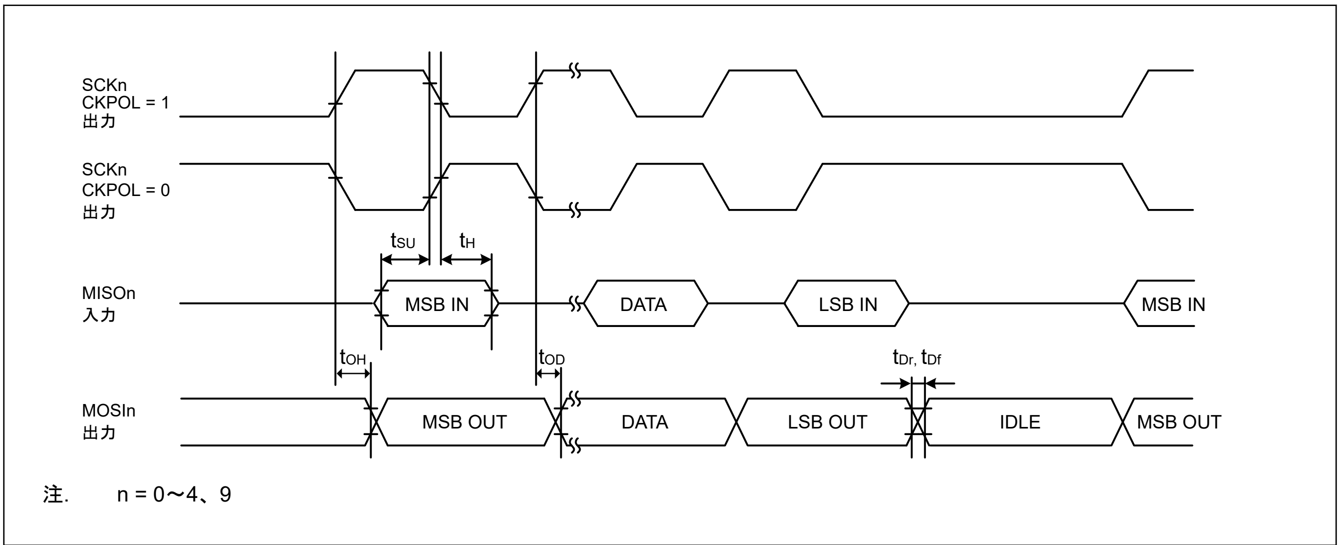
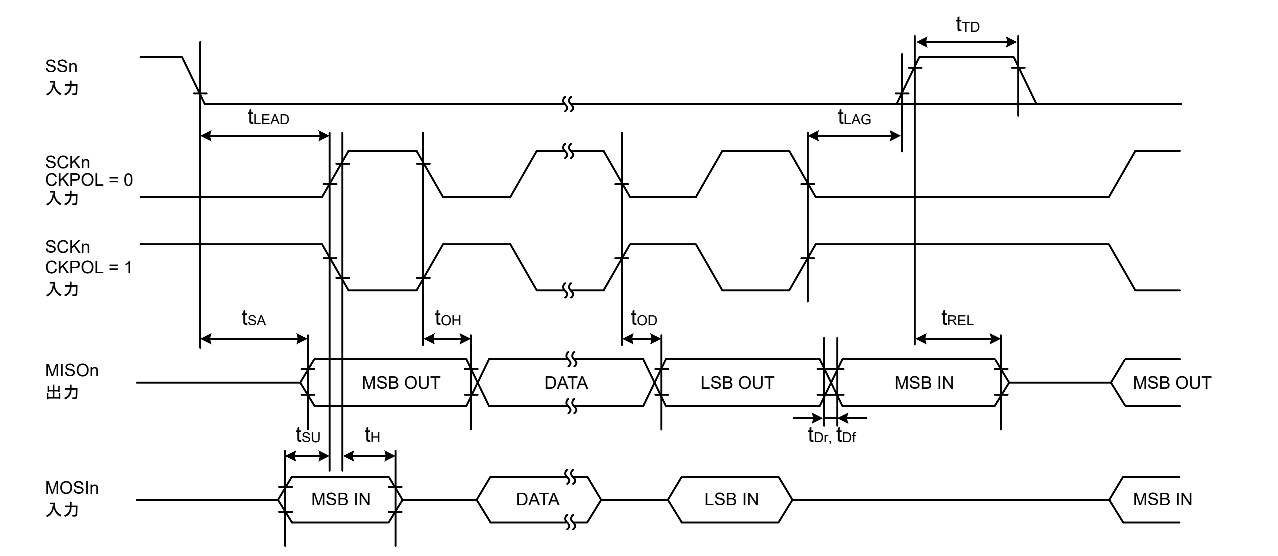
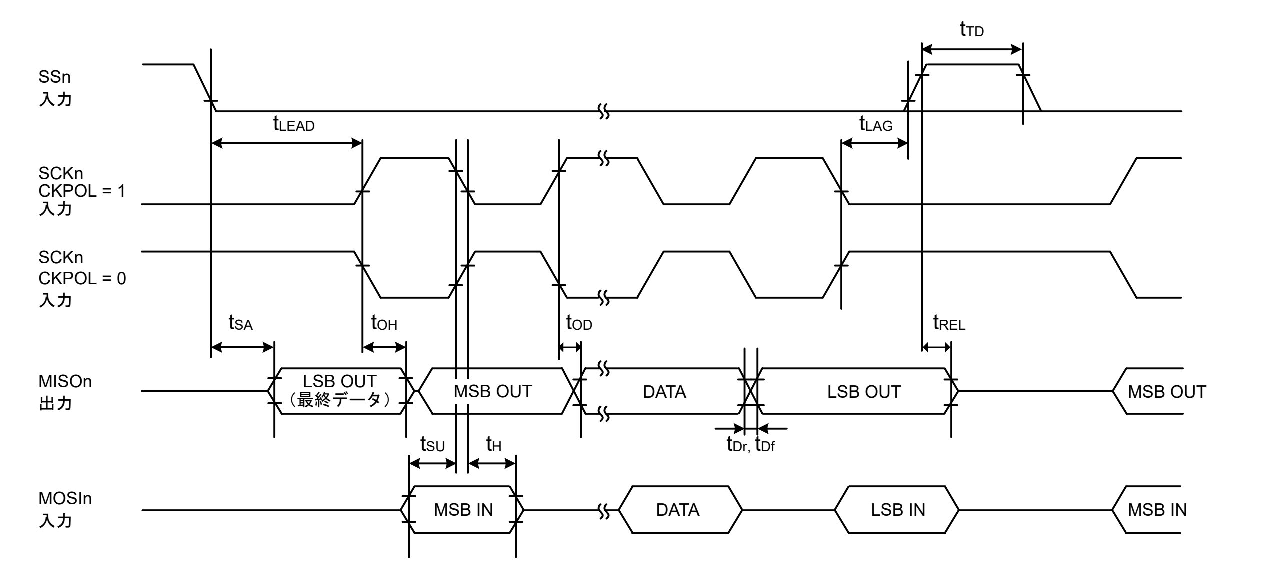


図 2.35　CKPH = 0 の場合におけるマスタの SCI 簡易 SPI モードタイミング



注.　n = 0～4、9

図 2.36　　CKPH = 1 の場合におけるスレーブの SCI 簡易 SPI モードタイミング



注.　n = 0～4、9

図 2.37　　CKPH = 0 の場合におけるスレーブの SCI 簡易 SPI モードタイミング

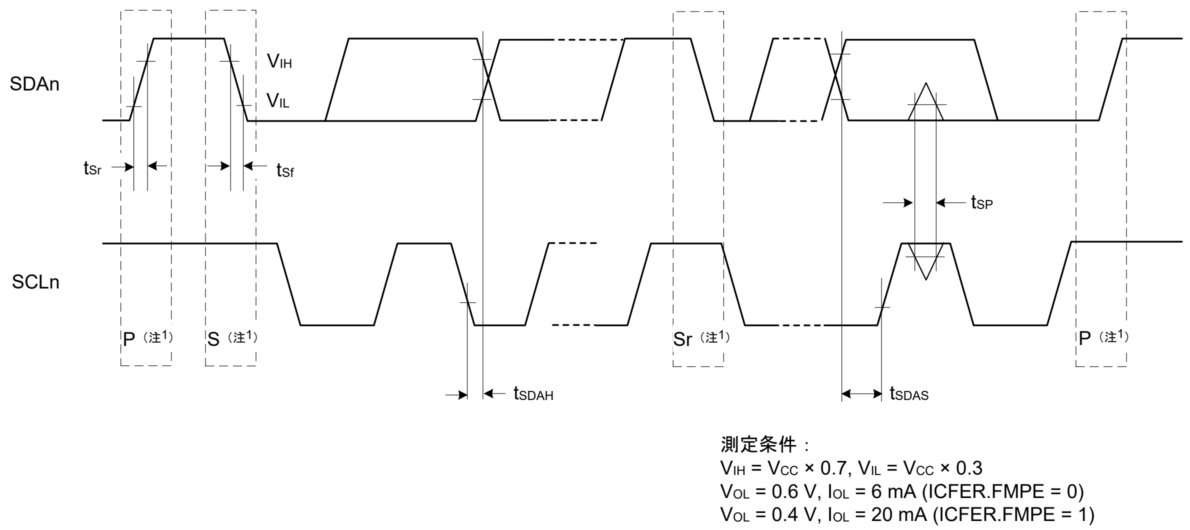
表 2.27　SCI タイミング（簡易 IIC モード）

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位	備考
簡易 IIC（標準モード）	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	$4 \times t_{Tcyc}$	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF	
簡易 IIC（ファストモード）	SCL、SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	$4 \times t_{Tcyc}$	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF	

注.　t_{Tcyc}：SCITCLK サイクル。

注 1.　Cb はバスラインの容量総計を意味します。



注.　n = 0～4、9

注 1.　S、P、Sr はそれぞれ以下の条件を示します。
S：開始条件
P：停止条件
Sr：再開始条件

図 2.38　SCI 簡易 IIC モードタイミング

2.3.10 SPI タイミング

表 2.28 SPI タイミング (1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		高速／デフォルト	シンボル	VCC = 3.0〜3.6 V、C = 15 pF		VCC = 2.7〜3.6 V、C = 30 pF		単位	備考
				Min	Max	Min	Max		
RSPCK クロックサイクル	マスタ		t_{SPcyc}	2	4096	2	4096	t_{Tcyc}	
	スレーブ			2	—	2	—		
RSPCK クロック High レベルパルス幅	マスタ		t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
	スレーブ			0.4	0.6	0.4	0.6	t_{SPcyc}	
RSPCK クロック Low レベルパルス幅	マスタ		t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
	スレーブ			0.4	0.6	0.4	0.6	t_{SPcyc}	
RSPCK クロック立ち上がり／立ち下がり時間	出力		t_{SPCKr}、t_{SPCKf}	—	5	—	5	ns	
	入力			—	1	—	1	μs	
データ入力セットアップ時間	マスタ	High-speed(注1)	t_{SU}	0	—	—	—	ns	
		デフォルト(注2)		—	—	1.3	—	ns	
	スレーブ			2.5	—	2.7	—	ns	
データ入力ホールド時間	マスタ	High-speed(注1)	t_H	6.2	—	—	—	ns	
		デフォルト(注2)		—	—	8	—	ns	
	スレーブ			2.5	—	2.5	—	ns	
SSL セットアップ時間	マスタ		t_{LEAD}	1	8	1	8	t_{SPcyc}	
	スレーブ			6	—	6	—	t_{Tcyc}	
SSL ホールド時間	マスタ		t_{LAG}	1	8	1	8	t_{SPcyc}	
	スレーブ			6	—	6	—	t_{Tcyc}	
TI SSP SS 入力セットアップ時間	スレーブ		t_{TISS}	2.5	—	2.8	—	ns	
TI SSP SS 入力ホールド時間	スレーブ		t_{TISH}	2.5	—	2.5	—	ns	
TI SSP 次アクセス時間	スレーブ		t_{TIND}	$2 \times t_{Tcyc}$ + SLNDL × t_{Tcyc}	—	$2 \times t_{Tcyc}$ + SLNDL × t_{Tcyc}	—	ns	
TI SSP マスタ SS 出力遅延	マスタ		t_{TISSOD}	—	8.9	—	8.9	ns	

表 2.28 SPI タイミング (2/2)

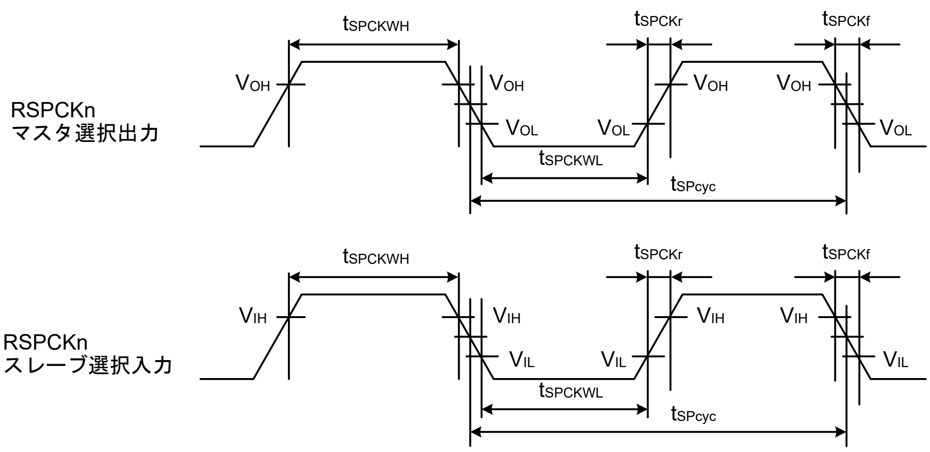
条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		高速／デフォルト	シンボル	VCC = 3.0～3.6 V、C = 15 pF		VCC = 2.7～3.6 V、C = 30 pF		単位	備考
				Min	Max	Min	Max		
データ出力遅延時間	マスタ	High-speed(注1)	t_{OD}	—	4.6	—	—	ns	
		デフォルト(注2)		—	—	—	7	ns	
	スレーブ	High-speed(注1)		—	14	—	—	ns	
		デフォルト(注2)		—	—	—	21	ns	
データ出力ホールド時間	マスタ		t_{OH}	0	—	0	—	ns	
	スレーブ			0	—	0	—	ns	
連続転送遅延時間	マスタ		t_{TD}	t_{SPcyc} + 2 × t_{Tcyc}	8 × t_{SPcyc} + 2 × t_{Pcyc}	t_{SPcyc} + 2 × t_{Tcyc}	8 × t_{SPcyc} + 2 × t_{Pcyc}	ns	
	スレーブ			t_{Tcyc}	—	t_{Tcyc}	—	ns	
MOSI、MISO 立ち上がり／立ち下がり時間	出力		t_{Dr}	—	5	—	5	ns	
	入力		t_{Df}	—	1	—	1	μs	
SSL 立ち上がり／立ち下がり時間	出力		t_{SSLr}	—	5	—	5	ns	
	入力		t_{SSLf}	—	1	—	1	μs	
スレーブアクセス時間	スレーブ		t_{SA}	—	20	—	20	ns	
スレーブ出力開放時間	スレーブ		t_{REL}	—	20	—	20	ns	

注. t_{Tcyc}：PCLKA または SCISPICLK の周期

注 1. 所属グループを示すため、_A、_B、_C などのように端子名の後ろに文字を付加した端子を使用してください。SPIA はインスタンス_B、SPIB はインスタンス_A です。

注 2. 所属グループの全ての端子を使用できます。



V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, V_{IH} = 0.7 × VCC, V_{IL} = 0.3 × VCC

注. n = A または B

図 2.39 SPI クロックタイミング

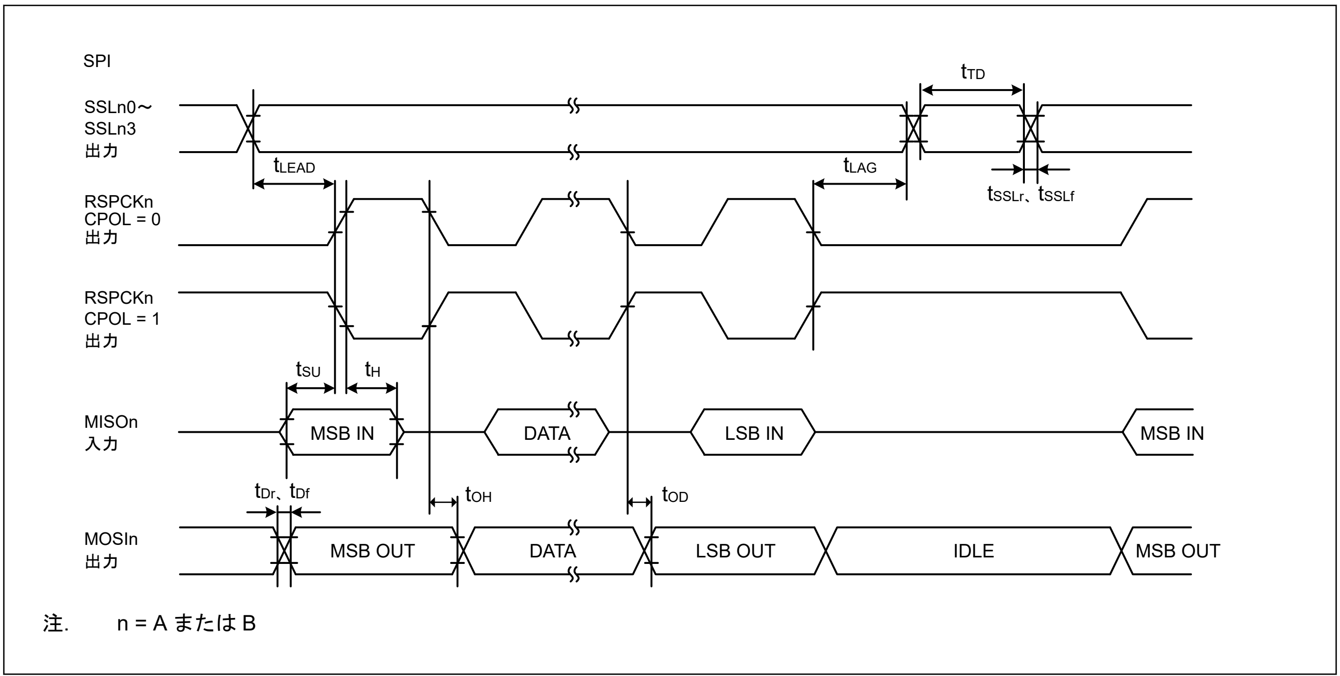


図 2.40　CPHA = 0 の場合におけるモトローラ SPI マスタの SPI タイミング

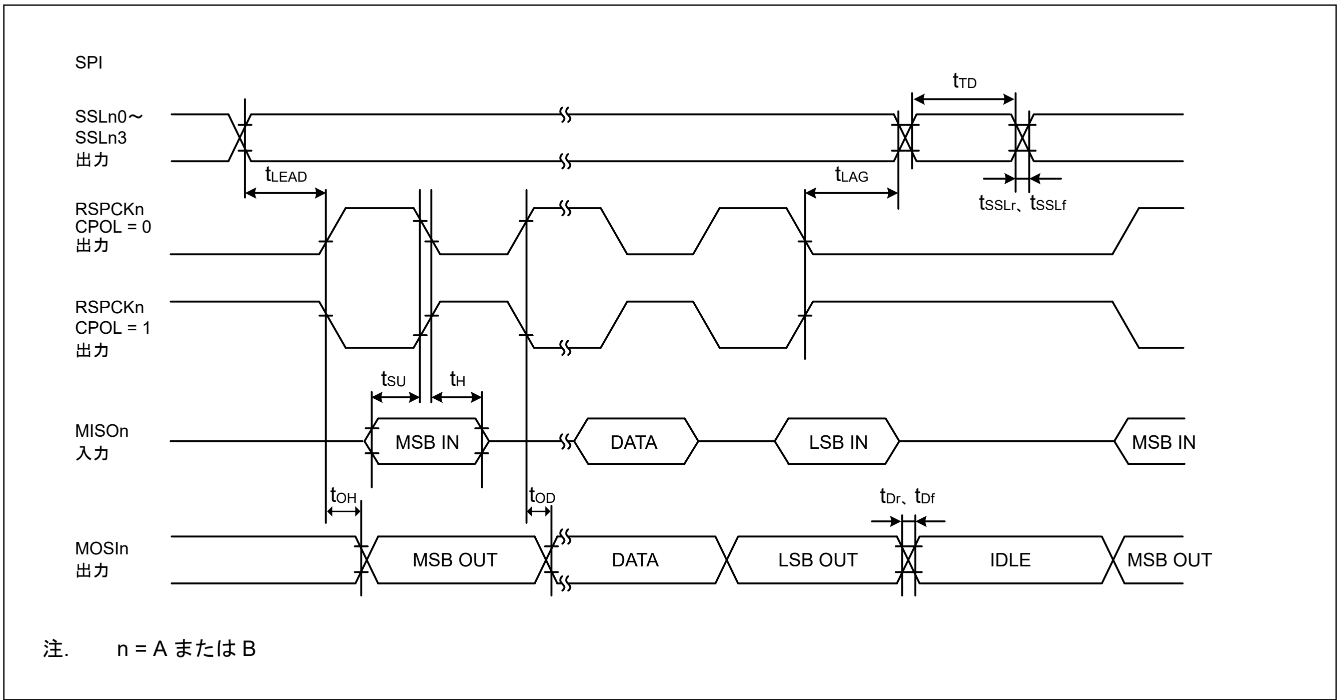


図 2.41　CPHA = 1 の場合におけるモトローラ SPI マスタの SPI タイミング

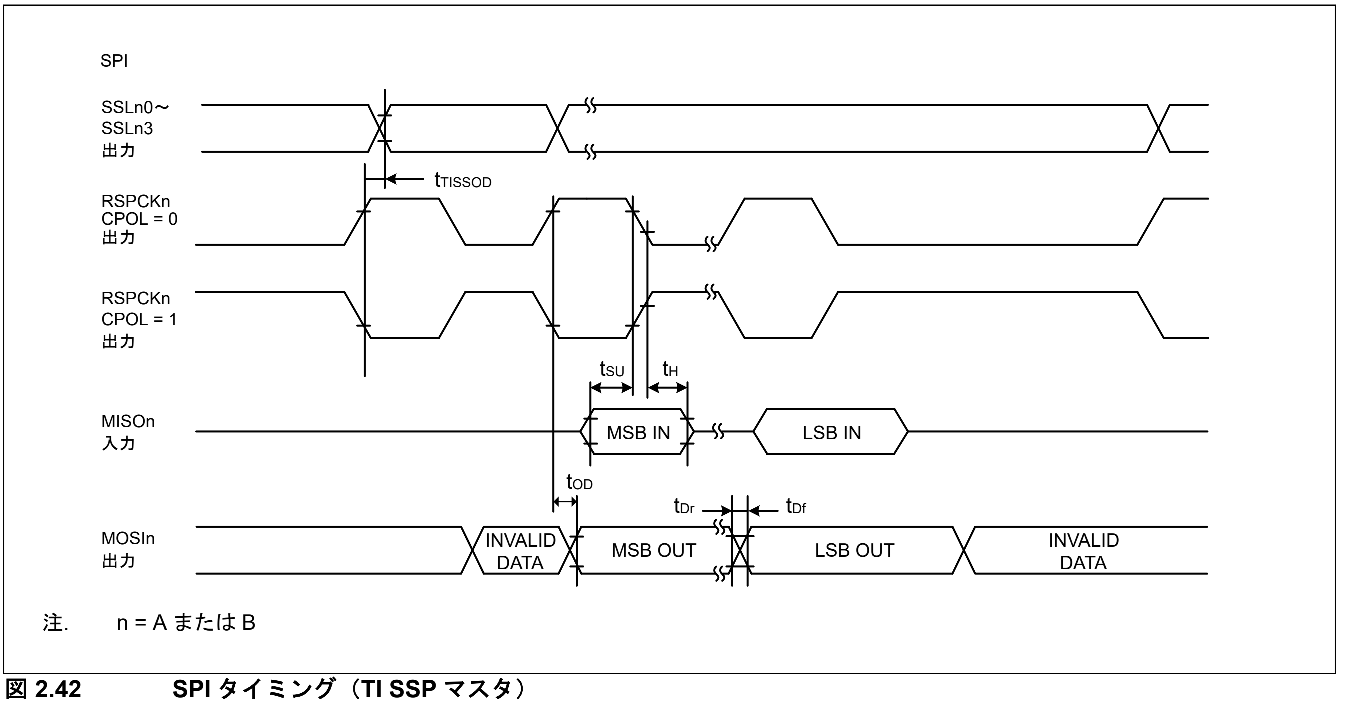


図 2.42 SPI タイミング（TI SSP マスタ）

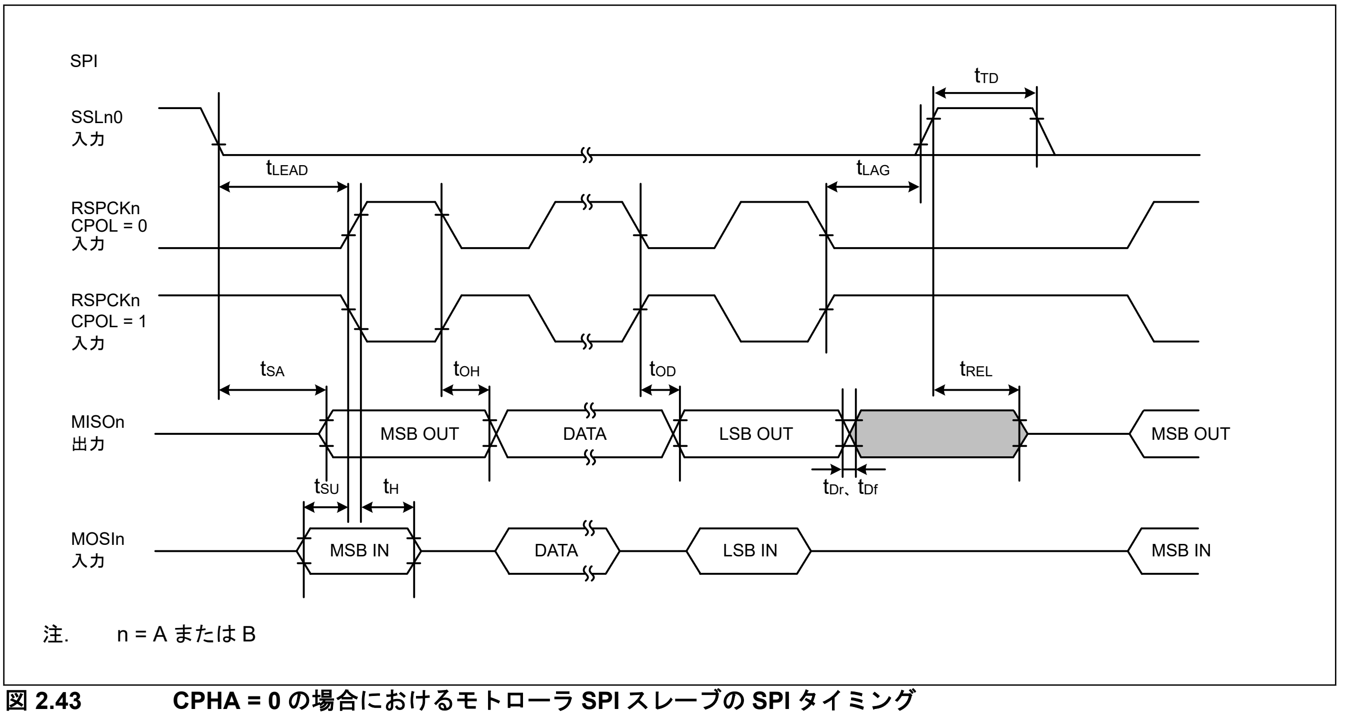


図 2.43 CPHA = 0 の場合におけるモトローラ SPI スレーブの SPI タイミング

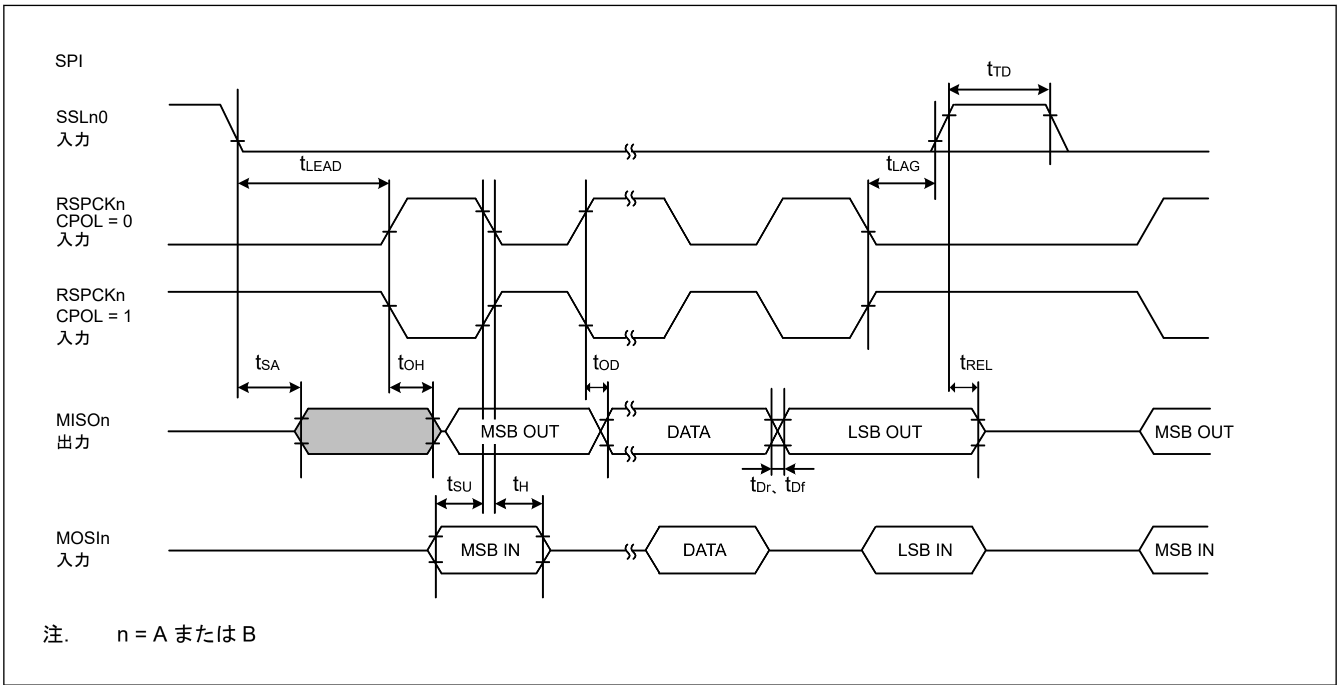


図 2.44　CPHA = 1 の場合におけるモトローラ SPI スレーブの SPI タイミング

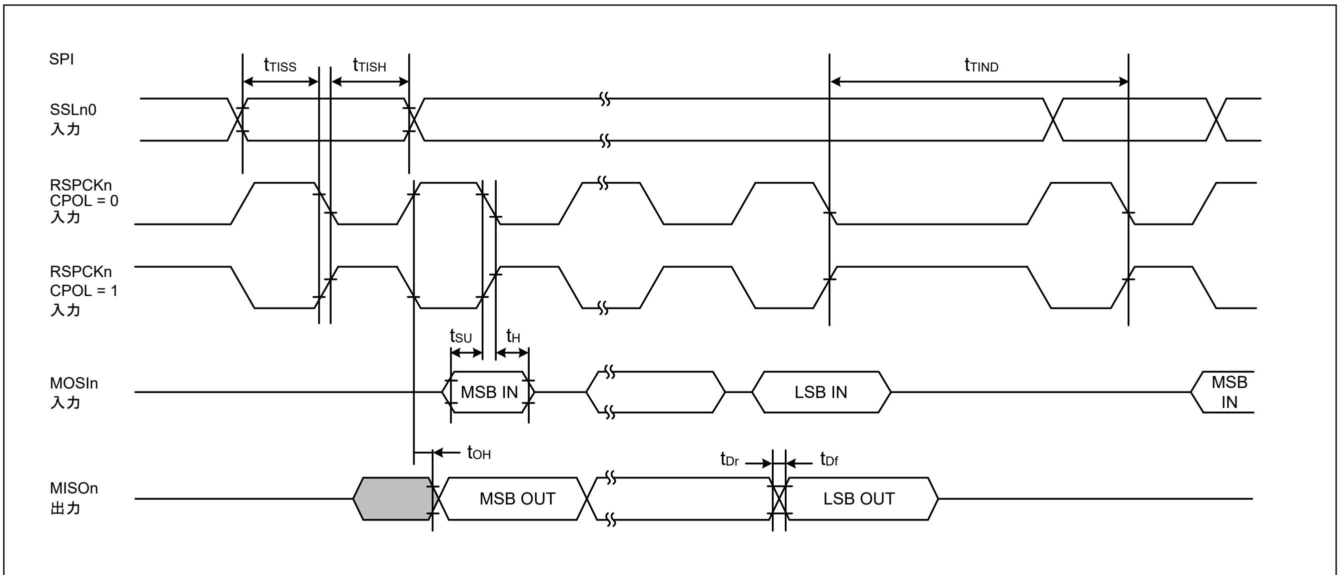


図 2.45　フレーム間の遅延がある送信における TI SSP スレーブの SPI タイミング

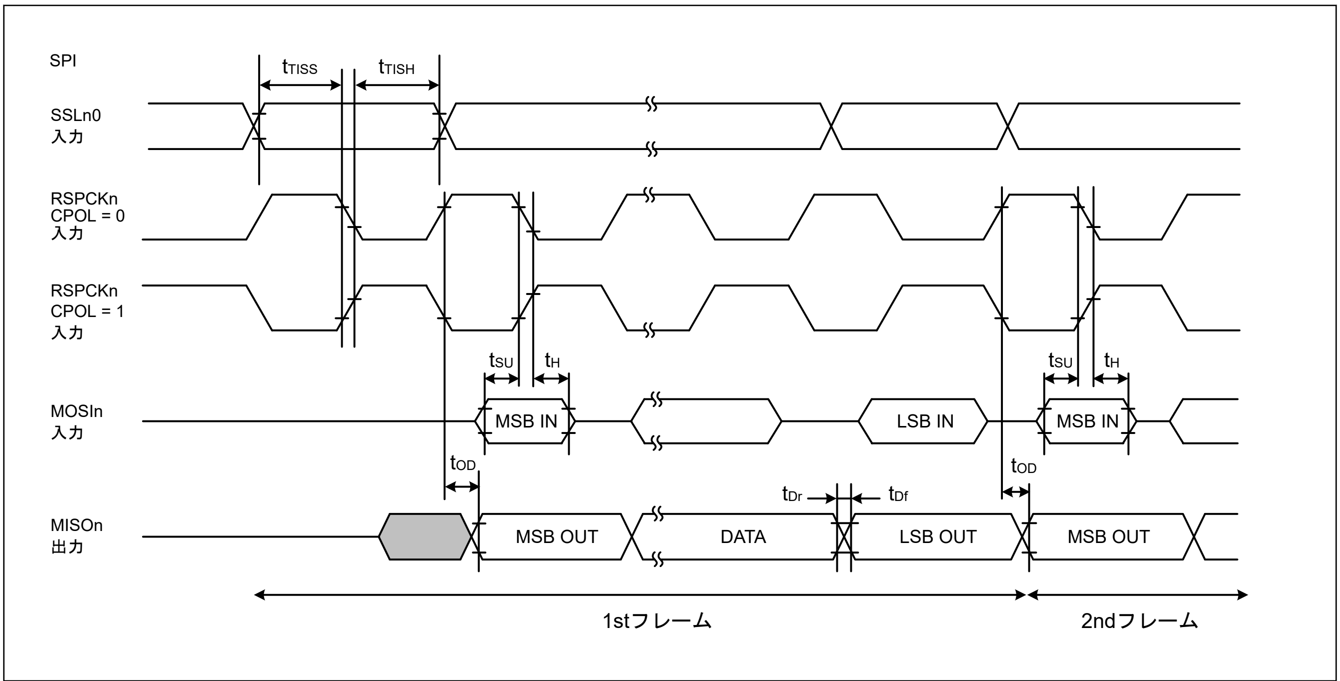


図 2.46 フレーム間の遅延がない送信における TI SSP スレーブの SPI タイミング

2.3.11 IIC タイミング

表 2.29 IIC タイミング（1）-1

(1) 条件：以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：SDA0_B、SCL0_B、SDA1_B、SCL1_B、SCL0_C、SDA0_C、SCL0_D、SDA0_D、SCL0_E、SDA0_E、SCL0_F、SDA0_F、SCL1_C、SDA1_C、SCL1_D、SDA1_D、SCL1_E、SDA1_E。
(2) 以下の端子の設定は必要ありません：SCL0_A、SDA0_A、SCL1_A、SDA1_A
(3) 所属グループを示すため、_A、_B、_C、_D、_E、_F などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目		シンボル	Min	Max	単位	測定条件
IIC（標準モード、SMBus）BFCTL.FMPE = 0	SCL 入力サイクル時間	t_{SCL}	10 (18) × t_{IICcyc} + 1300	—	ns	図 2.47
	SCL 入力 High レベルパルス幅	t_{SCLH}	5 (9) × t_{IICcyc}	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	5 (9) × t_{IICcyc}	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1 (4) × t_{IICcyc}	ns	
	SDA 入力バスフリー時間	t_{BUF}	5 (9) × t_{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	再開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF	

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル
注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0011b であると括弧内の値が適用されます。
注 1. C_b はバスラインの容量総計を意味します。

表 2.30　　IIC タイミング（1）-2

(1) 条件：以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：SDA0_B、SCL0_B、SDA1_B、SCL1_B、SCL0_C、SDA0_C、SCL0_D、SDA0_D、SCL0_E、SDA0_E、SCL0_F、SDA0_F、SCL1_C、SDA1_C、SCL1_D、SDA1_D、SCL1_E、SDA1_E。
(2) 以下の端子の設定は必要ありません：SCL0_A、SDA0_A、SCL1_A、SDA1_A
(3) 所属グループを示すため、_A、_B、_C、_D、_E、_F などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目		シンボル	Min	Max	単位	測定条件
IIC（ファストモード）	SCL 入力サイクル時間	t_{SCL}	10 (18) × t_{IICcyc} + 600	—	ns	図 2.47
	SCL 入力 High レベルパルス幅	t_{SCLH}	5 (9) × t_{IICcyc}	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	5 (9) × t_{IICcyc}	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	20 ×（外付けプルアップ電圧/5.5 V）(注1)	300	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	20 ×（外付けプルアップ電圧/5.5 V）(注1)	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1 (4) × t_{IICcyc}	ns	
	SDA 入力バスフリー時間	t_{BUF}	5 (9) × t_{IICcyc} + 300	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	—	ns	
	再開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注2)	—	400	pF	

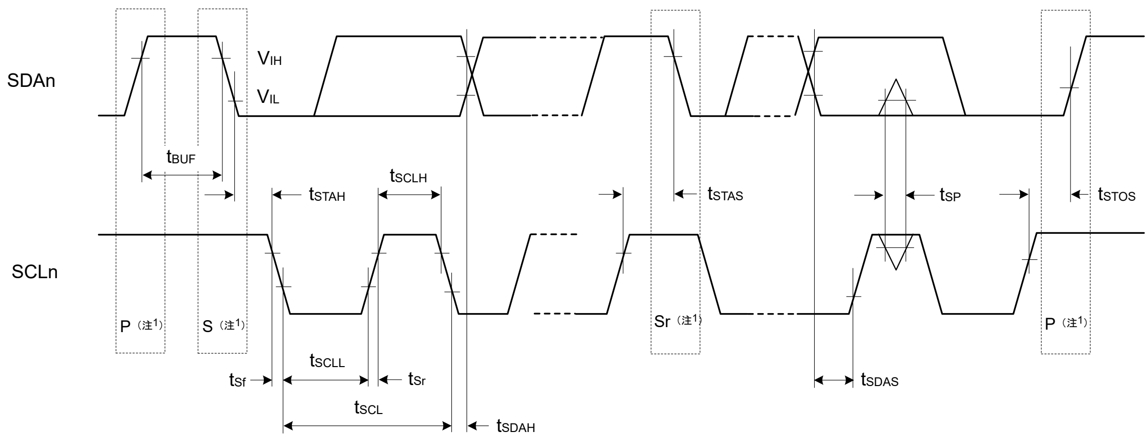
注.　t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル
注.　INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0011b であると括弧内の値が適用されます。
注.　所属グループを示すため、_A や_B などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 1.　SCL0_A、SDA0_A、SCL1_A、SDA1_A に限りサポートされています。他のポートは DC 特性に依存します。
注 2.　C_b はバスラインの容量総計を意味します。

表 2.31　　IIC タイミング（1）-3

PmnPFS レジスタのポート駆動能力ビットでは、SCL0_A 端子、SDA0_A 端子の設定は必要ありません。

項目		シンボル	Min	Max	単位	測定条件
IIC（ファストモード+）BFCTL.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	10 (18) × t_{IICcyc} + 240	—	ns	図 2.47
	SCL 入力 High レベルパルス幅	t_{SCLH}	5 (9) × t_{IICcyc}	—	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	5 (9) × t_{IICcyc}	—	ns	
	SCL、SDA 立ち上がり時間	t_{Sr}	—	120	ns	
	SCL、SDA 立ち下がり時間	t_{Sf}	—	120	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1 (4) × t_{IICcyc}	ns	
	SDA 入力バスフリー時間	t_{BUF}	5 (9) × t_{IICcyc} + 120	—	ns	
	開始条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 120	—	ns	
	再開始条件入力セットアップ時間	t_{STAS}	120	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	120	—	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 30	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	550	pF	

注.　t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル
注.　INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0011b であると括弧内の値が適用されます。
注.　対象は、SCL0_A と SDA0_A です。
注 1.　C_b はバスラインの容量総計を意味します。



注 1.　S、P、Sr はそれぞれ以下の条件を示します。
S：開始条件
P：停止条件
Sr：再開始条件

図 2.47　　I²C バスインタフェース入出力タイミング

表 2.32 IIC タイミング (2)

PmnPFS レジスタのポート駆動能力ビットでは、SCL0_A 端子、SDA0_A 端子の設定は必要ありません。

項目			シンボル	Min	Max	単位	測定条件
IIC（Hs モード）BFCTL.HSME = 1	SCL 入力サイクル時間		t_{SCL}	10 (12) × t_{IICcyc} + 80	—	ns	図 2.48
	SCL 入力 High レベルパルス幅		t_{SCLH}	5 (6) × t_{IICcyc}	—	ns	
	SCL 入力 Low レベルパルス幅		t_{SCLL}	5 (6) × t_{IICcyc}	—	ns	
	SCL 立ち上がり時間	C_b = 400 pF	t_{SrCL}	—	80	ns	
		C_b = 100 pF		—	40	ns	
	SDA 立ち上がり時間	C_b = 400 pF	t_{SrDA}	—	160	ns	
		C_b = 100 pF		—	80	ns	
	SCL 立ち下がり時間	C_b = 400 pF	t_{SfCL}	—	80	ns	
		C_b = 100 pF		—	40	ns	
	SDA 立ち下がり時間	C_b = 400 pF	t_{SfDA}	—	160	ns	
		C_b = 100 pF		—	80	ns	
	SCL、SDA 入力スパイクパルス除去時間		t_{SP}	0	1 (1) × t_{IICcyc}	ns	
	再開始条件入力セットアップ時間		t_{STAS}	40	—	ns	
	停止条件入力セットアップ時間		t_{STOS}	40	—	ns	
	データ入力セットアップ時間		t_{SDAS}	10	—	ns	
	データ入力ホールド時間	C_b = 400 pF	t_{SDAH}	0	150	ns	
		C_b = 100 pF		0	70	ns	
	SCL、SDA の負荷容量		C_b(注1)	—	400	pF	

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル
注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0011b であると括弧内の値が適用されます。
注. 対象は、SCL0_A および SDA0_A です。
注 1. C_b はバスラインの容量総計を意味します。

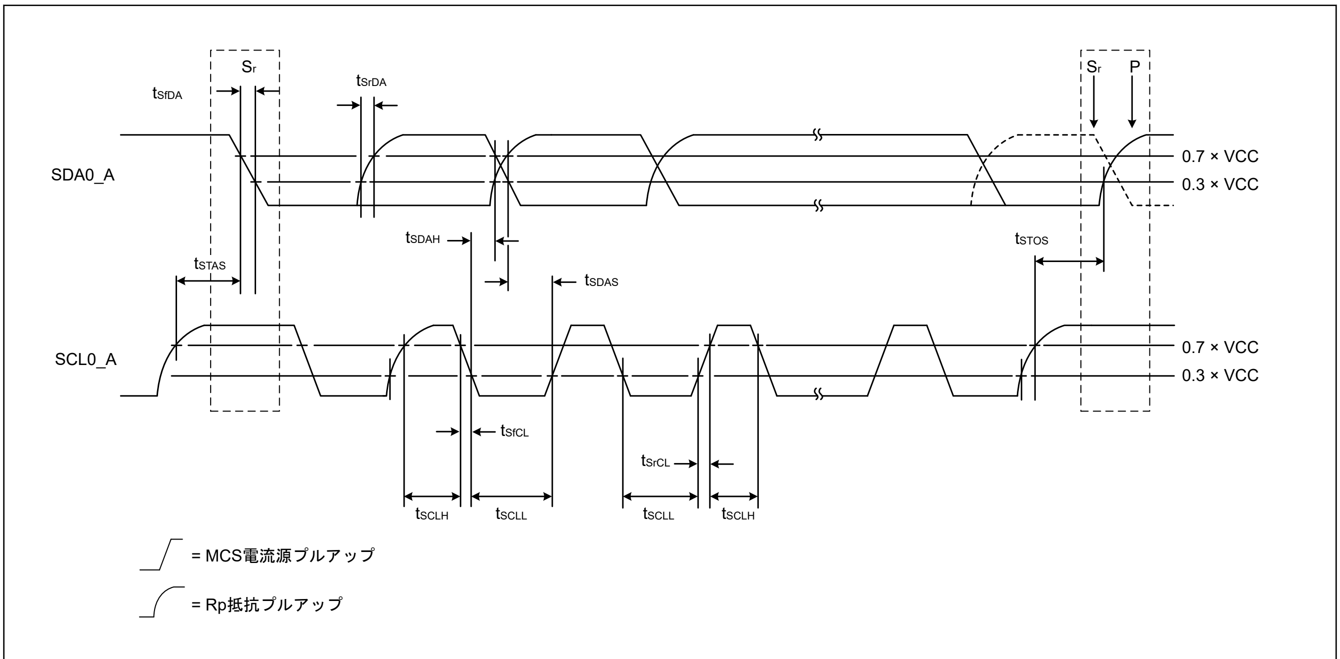


図 2.48 I²C バスインタフェース入出力タイミング（Hs モード）

2.3.12 CANFD タイミング

表 2.33 CANFD インタフェースタイミング

項目	シンボル	CAN		CAN-FD		単位	測定条件
		Min	Max	Min	Max		
内部遅延時間	t_{node}	—	100	—	75	ns	図 2.49
送信レート		—	1	—	5	Mbps	

注. $t_{node} = t_{output} + t_{input}$

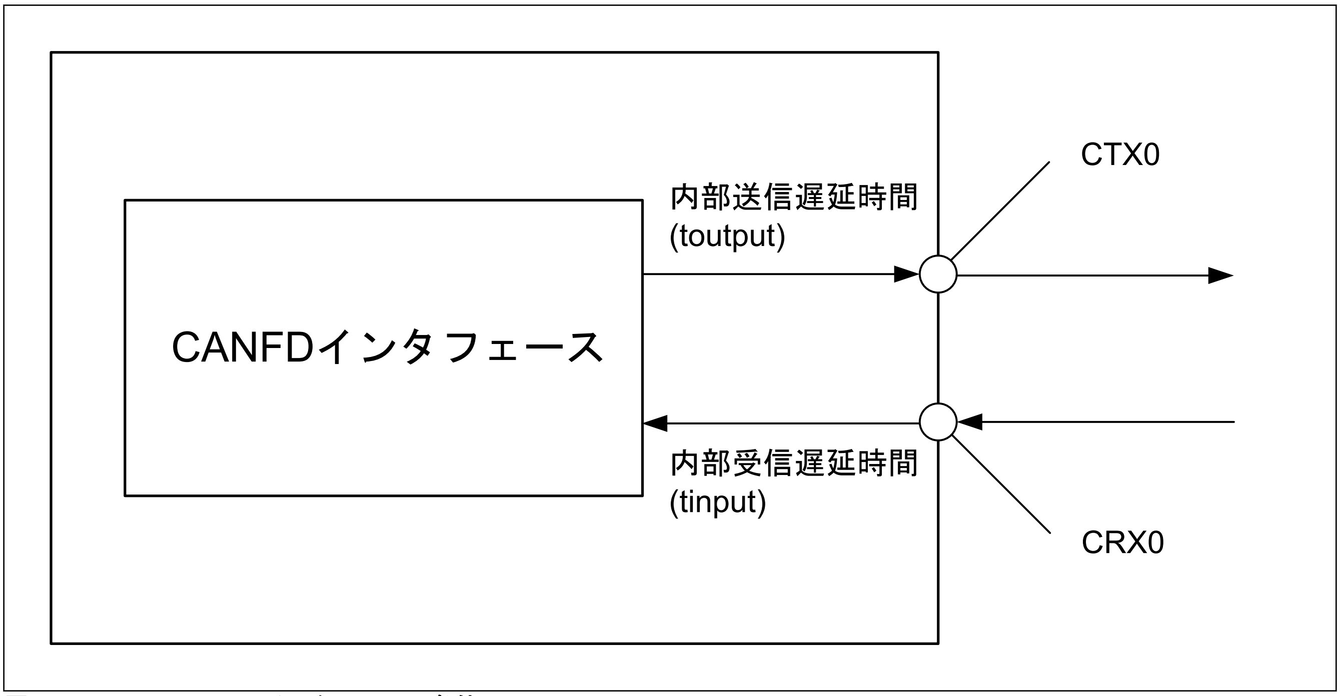


図 2.49 CANFD インタフェース条件

2.4 A/D 変換特性

表 2.34 A/D 変換特性（共通） (1/2)

項目	Min	Typ	Max	単位	測定条件
A/D 変換クロック周波数 (ADCLK)	25	50	60	MHz	—
逐次比較時間	100	—	140	ns	—

表 2.34 A/D 変換特性（共通） (2/2)

<table>
<tr><th colspan="6">項目</th><th>Min</th><th>Typ</th><th>Max</th><th>単位</th><th>測定条件</th></tr>
<tr><td rowspan="20">A/D サンプリング時間</td><td colspan="4" rowspan="3">自己校正</td><td>SAR モード</td><td>$1 \times t_{ADcyc} + 40$</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td>オーバーサンプリングモード</td><td>$1 \times t_{ADcyc} + 40$</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td>ハイブリッドモード</td><td>$1 \times t_{ADcyc} + 60$</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td colspan="4" rowspan="3">自己診断</td><td>SAR モード</td><td>$1 \times t_{ADcyc} + 40$</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td>オーバーサンプリングモード</td><td>$1 \times t_{ADcyc} + 40$</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td>ハイブリッドモード</td><td>$1 \times t_{ADcyc} + 60$</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td rowspan="14">A/D 変換</td><td rowspan="5">高精度高速チャネル</td><td rowspan="3">チャネル専用サンプル&ホールド回路不使用時</td><td rowspan="3">（AN000～AN005）
（AN006～AN011）
（AN018～AN019）</td><td>SAR モード</td><td>$1 \times t_{ADcyc} + 40$</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td>オーバーサンプリングモード</td><td>$1 \times t_{ADcyc} + 40$</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td>ハイブリッドモード</td><td>$1 \times t_{ADcyc} + 60$</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td rowspan="2">チャネル専用サンプル&ホールド回路使用時</td><td rowspan="2">（AN000～AN005）
（AN006～AN011）</td><td>SAR モード</td><td>$1 \times t_{ADcyc} + 160$</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td>ハイブリッドモード</td><td>$1 \times t_{ADcyc} + 160$</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td colspan="2" rowspan="3">高精度中速チャネル</td><td rowspan="3">（AN012～AN017）</td><td>SAR モード</td><td>180</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td>オーバーサンプリングモード</td><td>180</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td>ハイブリッドモード</td><td>180</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td colspan="2" rowspan="3">通常精度低速チャネル</td><td rowspan="3">（AN020～AN028）</td><td>SAR モード</td><td>400</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td>オーバーサンプリングモード</td><td>400</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td>ハイブリッドモード</td><td>400</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td rowspan="4">チャネル専用サンプル＆ホールド回路</td><td rowspan="2">サンプリング時間</td><td colspan="4">自己校正</td><td>$1 \times t_{ADcyc} + 400$</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td colspan="4">A/D 変換</td><td>400</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td colspan="5">ホールドモード切り替え時間</td><td>40</td><td>—</td><td>—</td><td>ns</td><td>—</td></tr>
<tr><td colspan="5">ホールド時間</td><td>—</td><td>—</td><td>5</td><td>μs</td><td>—</td></tr>
<tr><td rowspan="3">動作安定時間</td><td colspan="5">A/D 起動時間</td><td>2.0</td><td>—</td><td>—</td><td>μs</td><td>—</td></tr>
<tr><td colspan="5">チャネル専用サンプル＆ホールド回路起動時間</td><td>2.0</td><td>—</td><td>—</td><td>μs</td><td>—</td></tr>
<tr><td colspan="5">A/D 遮断時間</td><td>1.0</td><td>—</td><td>—</td><td>μs</td><td>—</td></tr>
</table>

注. t_{ADcyc} : ADCLK サイクル

表 2.35　A/D 変換特性（SAR モード） (1/2)

項目					Min	Typ	Max	単位	測定条件
SAR モード	アナログ入力電圧範囲				VREFL0	—	VREFH0	V	—
	分解能				—	—	12	ビット	—
	量子化誤差				—	±0.5	—	LSB	—
	高精度高速チャネル（AN000～AN005）（AN006～AN011）（AN018～AN019）(注3)	チャネル専用サンプル&ホールド回路不使用時(注3)	変換時間(注1)	通常変換	0.16	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：3 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
				平均モード使用時（4 回変換）	0.64	—	—	μs	
			オフセット誤差		—	±1.0	±3.0	LSB	—
			フルスケール誤差		—	±1.5	±2.5	LSB	—
			絶対精度	通常変換	—	±5.5	±7.0	LSB	—
				平均モード使用時（4 回変換）	—	±4.5	±5.5	LSB	—
			総合未調整誤差 (TUE)(注4)		—	±3.5	±4.0	LSB	—
			DNL 微分非直線性誤差		—	-1～+1.5	-1～+2.5	LSB	—
			INL 積分非直線性誤差		—	±2.0	±3.0	LSB	—
		チャネル専用サンプル&ホールド回路使用時	変換時間(注2)	通常変換	0.72	—	—	μs	• ADCLK: 50 MHz • チャネル専用サンプル&ホールド回路のサンプリング時間：20 ADCLK • チャネル専用サンプル&ホールド回路のホールドモード切り替え時間：2 ADCLK • サンプリング時間：9 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
				平均モード使用時（4 回変換）	2.88	—	—	μs	
			オフセット誤差		—	±0.5	±1.0	LSB	—
			フルスケール誤差		—	±1.5	±1.5	LSB	—
			絶対精度	通常変換	—	±5.0	±7.0	LSB	—
				平均モード使用時（4 回変換）	—	±4.0	±5.0	LSB	—
			総合未調整誤差 (TUE)(注4)		—	±3.0	±3.4	LSB	—
			DNL 微分非直線性誤差		—	-1～+1.5	-1～+2.5	LSB	—
			INL 積分非直線性誤差		—	±2.0	±3.0	LSB	—

表 2.35　A/D 変換特性（SAR モード） (2/2)

項目				Min	Typ	Max	単位	測定条件
SAR モード	高精度中速チャネル（AN012～AN017）	変換時間 (注1)	通常変換	0.28	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：9 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
			平均モード使用時（4 回変換）	1.12	—	—	μs	
		オフセット誤差		—	±1.0	±1.5	LSB	—
		フルスケール誤差		—	±1.0	±2.5	LSB	—
		絶対精度	通常変換	—	±4.0	±7.0	LSB	—
			平均モード使用時（4 回変換）	—	±3.0	±5.5	LSB	—
		総合未調整誤差 (TUE)(注4)		—	±3.4	±4.4	LSB	—
		DNL 微分非直線性誤差		—	-1～+1.5	-1～+2.5	LSB	—
		INL 積分非直線性誤差		—	±2.0	±3.0	LSB	—
	通常精度低速チャネル（AN020～AN028）	変換時間 (注1)	通常変換	0.50	—	—	μs	• ADCLK: 50 MHz • サンプリング時間：20 ADCLK • 逐次比較時間：5 ADCLK • 信号源インピーダンス：50 Ω 以下
			平均モード使用時（4 回変換）	2.00	—	—	μs	
		オフセット誤差		—	±1.0	±2.5	LSB	—
		フルスケール誤差		—	±1.5	±2.5	LSB	—
		絶対精度	通常変換	—	±5.5	±8.0	LSB	—
			平均モード使用時（4 回変換）	—	±5.5	±7.0	LSB	—
		総合未調整誤差 (TUE)(注4)		—	±4.2	±5.3	LSB	—
		DNL 微分非直線性誤差		—	-1～+1.5	-1～+2.5	LSB	—
		INL 積分非直線性誤差		—	±2.0	±4.0	LSB	—

注 1.　チャネル専用サンプル&ホールド回路不使用時：変換時間は、サンプリング時間と逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。
注 2.　チャネル専用サンプル&ホールド回路使用時：変換時間は、チャネル専用サンプル&ホールド回路のサンプリング時間、ホールドモード切り替え時間、サンプリング時間、逐次比較時間の合計です。測定条件には、上記の各ステートが示されています。
注 3.　これらのチャネルは、チャネル専用サンプル&ホールド回路は使用できません。
注 4.　量子化誤差 (±0.5 LSB) を除きます。

表 2.36　A/D 変換特性（オーバーサンプリングモードとハイブリッドモード）(1)

項目				Min	Typ	Max	単位	測定条件
オーバーサンプリングモードとハイブリッドモード	アナログ入力電圧範囲	シングルエンド入力電圧		VREFL0	—	VREFH0	V	—
		差動入力電圧(注1)		-VREFH0	—	+VREFH0	V	—
	分解能			—	—	16	ビット	—
	オーバーサンプリング周期	オーバーサンプリングモード		0.16	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間：3 ADCLK ● 逐次比較時間：5 ADCLK ● 断線検出アシスト機能不使用時
		ハイブリッドモード		0.18	—	—	μs	● ADCLK: 50 MHz ● サンプリング時間：4 ADCLK ● 逐次比較時間：5 ADCLK ● 断線検出アシスト機能不使用時
	デジタルフィルタ特性(注2)	Sinc フィルタ	初期遅延	—	22	—	Fos	—
			群遅延	—	11	—		—
			正規化遮断周波数	—	0.033	—	Fin/Fos	—
		最小位相フィルタ	初期遅延	—	22	—	Fos	—
			群遅延	—	2	—		—
			正規化遮断周波数	—	0.116	—	Fin/Fos	—
			通過帯域リップル	—	< ± 0.01	—	dB	—

注.　Fos はオーバーサンプリング周波数です。

注 1.　差動入力電圧は (A_{INP} - A_{INN}) です。

- A_{INP} は ANx の入力電圧であり、VREFL0 ≦ A_{INP} ≦ VREFH0 です。
- A_{INN} は ANy の入力電圧であり、VREFL0 ≦ A_{INN} ≦ VREFH0 です。

（x = 2i, y = 2i +1, i = 0, 1, 2...（任意の整数））

注 2.　図 2.50 と図 2.51 を参照してください。

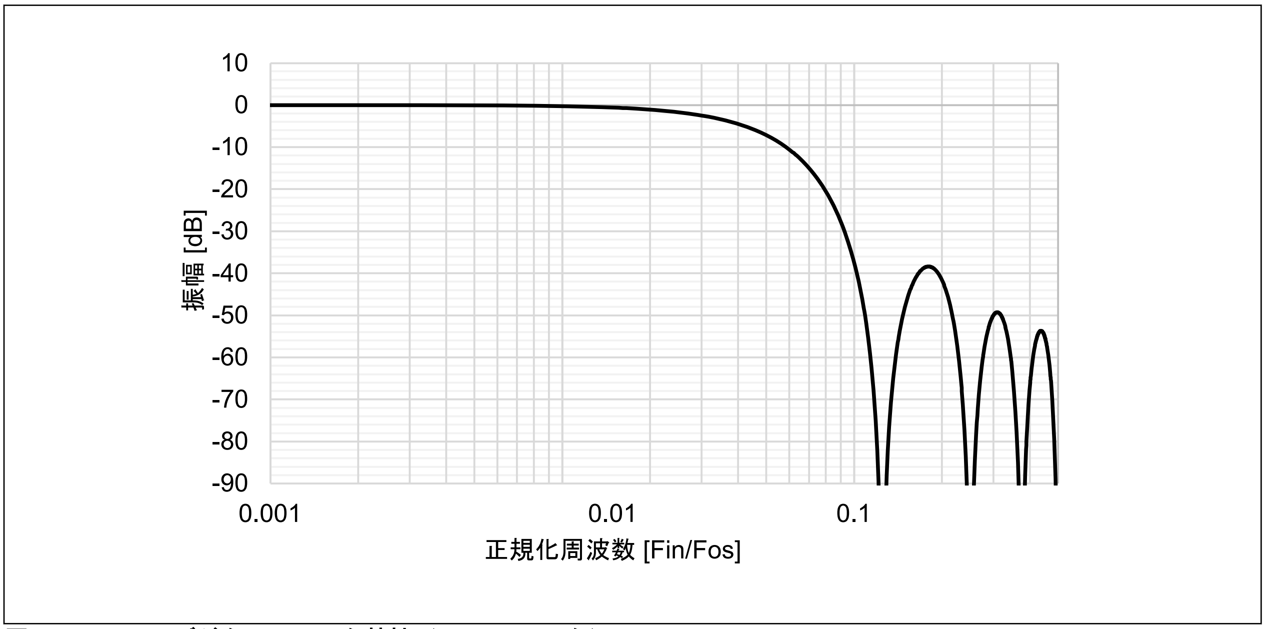


図 2.50　デジタルフィルタ特性（Sinc フィルタ）

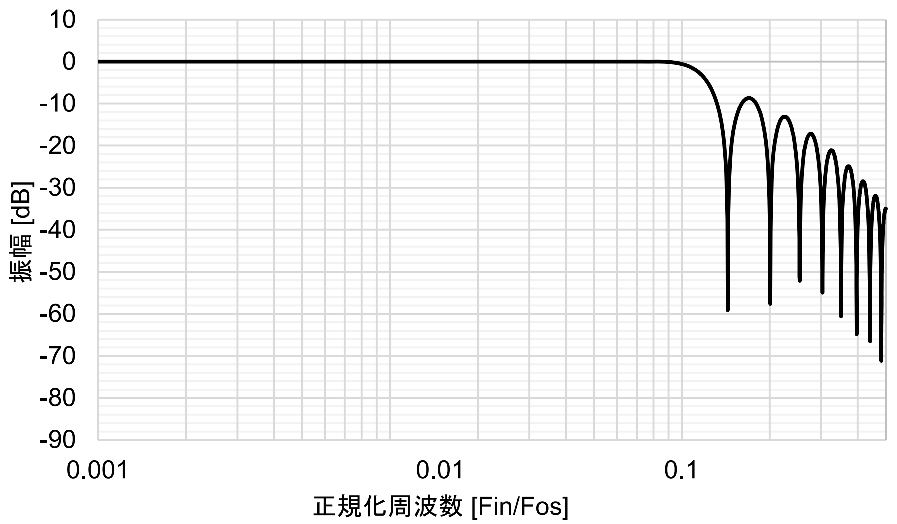


図 2.51 デジタルフィルタ特性（最小位相フィルタ）

表 2.37 A/D 変換特性（オーバーサンプリングモードとハイブリッドモード）(2)

項目				Min	Typ	Max	単位	測定条件
オーバーサンプリングモードとハイブリッドモード（AN000～AN005）（AN006～AN011）（AN018～AN019）（AN012～AN017）	Sinc フィルタ	シングルエンド入力	SNDR：信号対ノイズの歪み比	—	80	—	dB	● ADCLK: 50 MHz ● サンプリング時間： 高精度高速チャネル（オーバーサンプリングモード）：3 ADCLK 高精度高速チャネル（ハイブリッドモード）:4 ADCLK 高精度中速チャネル：9 ADCLK ● 逐次比較時間：5 ADCLK ● 信号源インピーダンス：50 Ω 以下 ● 入力周波数： オーバーサンプリングモード：10 kHz ハイブリッドモード:4 kHz ● チャネル専用サンプル&ホールド回路不使用時
			ENOB：有効ビット数	—	13	—	ビット	
		差動入力	SNDR：信号対ノイズの歪み比	—	86	—	dB	
			ENOB：有効ビット数	—	14	—	ビット	
	最小位相フィルタ	シングルエンド入力	SNDR：信号対ノイズの歪み比	—	68	—	dB	
			ENOB：有効ビット数	—	11	—	ビット	
		差動入力	SNDR：信号対ノイズの歪み比	—	74	—	dB	
			ENOB：有効ビット数	—	12	—	ビット	

表 2.38　A/D 変換特性（オーバーサンプリングモード）

<table>
<tr><th colspan="4">項目</th><th>Min</th><th>Typ</th><th>Max</th><th>単位</th><th>測定条件</th></tr>
<tr><td rowspan="16">オーバーサンプリングモード
（AN000～AN005）
（AN006～AN011）
（AN018～AN019）
（AN012～AN017）
（AN020～AN028）</td><td rowspan="8">シングルエンド入力</td><td rowspan="4">ユニット 0</td><td>オフセット誤差</td><td>—</td><td>±8.0</td><td>—</td><td rowspan="16">LSB</td><td rowspan="16">● ADCLK: 50 MHz
● サンプリング時間：
高精度高速チャネル：3 ADCLK
高精度中速チャネル：9 ADCLK
通常精度低速チャネル：20 ADCLK
● 逐次比較時間：5 ADCLK
● 信号源インピーダンス:50 Ω 以下
● デジタルフィルタ：Sinc フィルタ
● チャネル専用サンプル&ホールド回路不使用時</td></tr>
<tr><td>ゲイン誤差</td><td>—</td><td>±32.0</td><td>—</td></tr>
<tr><td>DNL 微分非直線性誤差 (注1)</td><td>—</td><td>±4.0</td><td>—</td></tr>
<tr><td>INL 積分非直線性誤差 (注1)</td><td>—</td><td>±8.0</td><td>—</td></tr>
<tr><td rowspan="4">ユニット 1</td><td>オフセット誤差</td><td>—</td><td>±8.0</td><td>—</td></tr>
<tr><td>ゲイン誤差</td><td>—</td><td>±32.0</td><td>—</td></tr>
<tr><td>DNL 微分非直線性誤差 (注1)</td><td>—</td><td>±4.0</td><td>—</td></tr>
<tr><td>INL 積分非直線性誤差 (注1)</td><td>—</td><td>±8.0</td><td>—</td></tr>
<tr><td rowspan="8">差動入力</td><td rowspan="4">ユニット 0</td><td>オフセット誤差</td><td>—</td><td>±4.0</td><td>—</td></tr>
<tr><td>ゲイン誤差</td><td>—</td><td>±14.0</td><td>—</td></tr>
<tr><td>DNL 微分非直線性誤差 (注1)</td><td>—</td><td>±2.0</td><td>—</td></tr>
<tr><td>INL 積分非直線性誤差 (注1)</td><td>—</td><td>±4.0</td><td>—</td></tr>
<tr><td rowspan="4">ユニット 1</td><td>オフセット誤差</td><td>—</td><td>±4.0</td><td>—</td></tr>
<tr><td>ゲイン誤差</td><td>—</td><td>±14.0</td><td>—</td></tr>
<tr><td>DNL 微分非直線性誤差 (注1)</td><td>—</td><td>±2.0</td><td>—</td></tr>
<tr><td>INL 積分非直線性誤差 (注1)</td><td>—</td><td>±4.0</td><td>—</td></tr>
</table>

注 1.　測定条件：アナログ入力電圧範囲の 0.2%～99.8%

表 2.39 A/D 変換特性（ハイブリッドモード） (1/2)

項目					Min	Typ	Max	単位	測定条件
ハイブリッドモード（AN000～AN005）（AN006～AN011）（AN018～AN019）[注1]（AN012～AN017）[注1]（AN020～AN028）[注1]	チャネル専用サンプル&ホールド回路不使用時[注1]	シングルエンド入力	ユニット0	オフセット誤差	—	±8.0	—	LSB	● ADCLK: 50 MHz ● サンプリング時間： 高精度高速チャネル：4 ADCLK 高精度中速チャネル：9 ADCLK 通常精度低速チャネル：20 ADCLK ● 逐次比較時間：5 ADCLK ● 信号源インピーダンス：50 Ω 以下 ● デジタルフィルタ : Sinc フィルタ
				ゲイン誤差	—	±40.0	—		
				DNL 微分非直線性誤差[注2]	—	±4.0	—		
				INL 積分非直線性誤差[注2]	—	±8.0	—		
			ユニット1	オフセット誤差	—	±8.0	—		
				ゲイン誤差	—	±40.0	—		
				DNL 微分非直線性誤差[注2]	—	±4.0	—		
				INL 積分非直線性誤差[注2]	—	±8.0	—		
		差動入力	ユニット0	オフセット誤差	—	±4.0	—		
				ゲイン誤差	—	±20.0	—		
				DNL 微分非直線性誤差[注2]	—	±2.0	—		
				INL 積分非直線性誤差[注2]	—	±4.0	—		
			ユニット1	オフセット誤差	—	±4.0	—		
				ゲイン誤差	—	±20.0	—		
				DNL 微分非直線性誤差[注2]	—	±2.0	—		
				INL 積分非直線性誤差[注2]	—	±4.0	—		

表 2.39　A/D 変換特性（ハイブリッドモード） (2/2)

項目					Min	Typ	Max	単位	測定条件
ハイブリッドモード（AN000～AN005）（AN006～AN011）（AN018～AN019）(注1)（AN012～AN017）(注1)（AN020～AN028）(注1)	チャネル専用サンプル&ホールド回路使用時	シングルエンド入力	ユニット 0	オフセット誤差	—	8 ± 72	—	LSB	● ADCLK: 50 MHz ● チャネル専用サンプル＆ホールド回路のサンプリング時間：20 ADCLK ● チャネル専用サンプル＆ホールド回路のホールドモード切り替え時間：2 ADCLK ● サンプリング時間：9 ADCLK ● 逐次比較時間：5 ADCLK ● 信号源インピーダンス：50 Ω 以下 ● デジタルフィルタ : Sinc フィルタ
				ゲイン誤差	—	-23 ± 72	—		
				DNL 微分非直線性誤差(注2)	—	±4.0	—		
				INL 積分非直線性誤差(注2)	—	±8.0	—		
			ユニット 1	オフセット誤差	—	36 ± 72	—		
				ゲイン誤差	—	-23 ± 72	—		
				DNL 微分非直線性誤差(注2)	—	±4.0	—		
				INL 積分非直線性誤差(注2)	—	±8.0	—		
		差動入力	ユニット 0	オフセット誤差	—	8 ± 72	—		
				ゲイン誤差	—	-15 ± 36	—		
				DNL 微分非直線性誤差(注2)	—	±4.0	—		
				INL 積分非直線性誤差(注2)	—	±8.0	—		
			ユニット 1	オフセット誤差	—	36 ± 72	—		
				ゲイン誤差	—	-15 ± 36	—		
				DNL 微分非直線性誤差(注2)	—	±4.0	—		
				INL 積分非直線性誤差(注2)	—	±8.0	—		

注 1.　これらのチャネルは、チャネル専用サンプル&ホールド回路は使用できません。
注 2.　測定条件：アナログ入力電圧範囲の 0.2%～99.8%

表 2.40　A/D 内部基準電圧特性

項目	Min	Typ	Max	単位	測定条件
A/D 内部基準電圧	1.13	1.18	1.23	V	
サンプリング時間	4.15	—	—	μs	

表 2.41　D/A 出力の A/D 変換特性

項目	Min	Typ	Max	単位	測定条件
サンプリング時間	1	—	—	μs	

2.5　DAC12 特性

表 2.42　D/A 変換特性 (1/2)

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
出力アンプなし					
絶対精度	—	—	±24	LSB	負荷抵抗 2 MΩ
INL	—	±2.0	±8.0	LSB	負荷抵抗 2 MΩ
DNL	—	±1.0	±2.0	LSB	—
出力インピーダンス	—	8.5	—	kΩ	—

表 2.42　D/A 変換特性 (2/2)

項目	Min	Typ	Max	単位	測定条件
変換時間	—	—	3	μs	負荷抵抗 2 MΩ、負荷容量 20 pF
出力電圧範囲	0	—	AVCC0	V	—
出力アンプあり					
INL	—	±2.0	±4.0	LSB	—
DNL	—	±1.0	±2.0	LSB	—
変換時間	—	—	4.0	μs	—
負荷抵抗	5	—	—	kΩ	—
負荷容量	—	—	50	pF	—
出力電圧範囲	0.2	—	AVCC0 – 0.2	V	—

2.6　TSN 特性

表 2.43　TSN 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	±1.0	—	℃	—
温度傾斜	—	—	4.0	—	mV/℃	—
出力電圧（25℃時）	—	—	1.24	—	V	—
温度センサ起動時間	t_{START}	—	—	30	μs	—
サンプリング時間	—	4.15	—	—	μs	—

2.7　ACMPHS 特性

表 2.44　ACMPHS 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
入力オフセット電圧	V_{IO}	—	—	40	mV	
基準電圧範囲	V_{REF}	0	—	AVCC0	V	
入力電圧範囲	V_I	0	—	AVCC0	V	
出力遅延時間	$t_{tot(r)}$	—	—	200	ns	VOD = 100 mV CMPCTL.CDFS = 0
	$t_{tot(f)}$	—	—	200	ns	
入力切り替え安定待機時間	t_{cwait}	300	—	—	ns	
動作安定時間	t_{cmp}	—	—	1	μs	

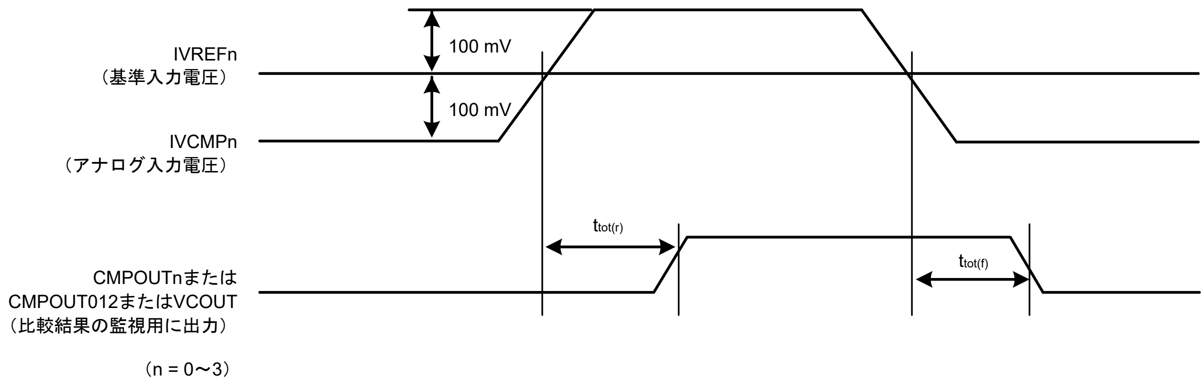


図 2.52 コンパレータ応答時間

2.8 PGA 特性

表 2.45 PGA 特性（シングルエンド入力モード） (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
オフセット誤差	Voff	-8	—	8	mV	
PGAVSS 入力電圧範囲	PGAVSS	0	—	0	V	
シングルエンド入力電圧範囲	AIN0 (G = 2.000)	0.05 × AVCC0	—	0.45 × AVCC0	V	
	AIN1 (G = 2.500)	0.047 × AVCC0	—	0.36 × AVCC0	V	
	AIN2 (G = 2.667)	0.046 × AVCC0	—	0.337 × AVCC0	V	
	AIN3 (G = 2.857)	0.046 × AVCC0	—	0.32 × AVCC0	V	
	AIN4 (G = 3.077)	0.045 × AVCC0	—	0.292 × AVCC0	V	
	AIN5 (G = 3.333)	0.044 × AVCC0	—	0.265 × AVCC0	V	
	AIN6 (G = 3.636)	0.042 × AVCC0	—	0.247 × AVCC0	V	
	AIN7 (G = 4.000)	0.04 × AVCC0	—	0.212 × AVCC0	V	
	AIN8 (G = 4.444)	0.036 × AVCC0	—	0.191 × AVCC0	V	
	AIN9 (G = 5.000)	0.033 × AVCC0	—	0.17 × AVCC0	V	
	AIN10 (G = 5.714)	0.031 × AVCC0	—	0.148 × AVCC0	V	
	AIN11 (G = 6.667)	0.029 × AVCC0	—	0.127 × AVCC0	V	
	AIN12 (G = 8.000)	0.027 × AVCC0	—	0.09 × AVCC0	V	
	AIN13 (G = 10.000)	0.025 × AVCC0	—	0.08 × AVCC0	V	
	AIN14 (G = 13.333)	0.023 × AVCC0	—	0.06 × AVCC0	V	

表 2.45　PGA 特性（シングルエンド入力モード） (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
出力電圧範囲(注1)	PGAOUT0 (G = 2.000)	0.100 × AVCC0	—	0.900 × AVCC0	V	
	PGAOUT1 (G = 2.500)	0.118 × AVCC0	—	0.900 × AVCC0	V	
	PGAOUT2 (G = 2.667)	0.123 × AVCC0	—	0.899 × AVCC0	V	
	PGAOUT3 (G = 2.857)	0.131 × AVCC0	—	0.914 × AVCC0	V	
	PGAOUT4 (G = 3.077)	0.138 × AVCC0	—	0.898 × AVCC0	V	
	PGAOUT5 (G = 3.333)	0.147 × AVCC0	—	0.883 × AVCC0	V	
	PGAOUT6 (G = 3.636)	0.153 × AVCC0	—	0.898 × AVCC0	V	
	PGAOUT7 (G = 4.000)	0.160 × AVCC0	—	0.848 × AVCC0	V	
	PGAOUT8 (G = 4.444)	0.160 × AVCC0	—	0.849 × AVCC0	V	
	PGAOUT9 (G = 5.000)	0.165 × AVCC0	—	0.850 × AVCC0	V	
	PGAOUT10 (G = 5.714)	0.177 × AVCC0	—	0.846 × AVCC0	V	
	PGAOUT11 (G = 6.667)	0.193 × AVCC0	—	0.847 × AVCC0	V	
	PGAOUT12 (G = 8.000)	0.216 × AVCC0	—	0.720 × AVCC0	V	
	PGAOUT13 (G = 10.000)	0.250 × AVCC0	—	0.800 × AVCC0	V	
	PGAOUT14 (G = 13.333)	0.307 × AVCC0	—	0.800 × AVCC0	V	
ゲイン誤差	Gerr0 (G = 2.000)	-1.0	—	1.0	%	
	Gerr1 (G = 2.500)	-1.0	—	1.0	%	
	Gerr2 (G = 2.667)	-1.0	—	1.0	%	
	Gerr3 (G = 2.857)	-1.0	—	1.0	%	
	Gerr4 (G = 3.007)	-1.0	—	1.0	%	
	Gerr5 (G = 3.333)	-1.5	—	1.5	%	
	Gerr6 (G = 3.636)	-1.5	—	1.5	%	
	Gerr7 (G = 4.000)	-1.5	—	1.5	%	
	Gerr8 (G = 4.444)	-2.0	—	2.0	%	
	Gerr9 (G = 5.000)	-2.0	—	2.0	%	
	Gerr10 (G = 5.714)	-2.0	—	2.0	%	
	Gerr11 (G = 6.667)	-2.0	—	2.0	%	
	Gerr12 (G = 8.000)	-2.0	—	2.0	%	
	Gerr13 (G = 10.000)	-2.0	—	2.0	%	
	Gerr14 (G = 13.333)	-2.0	—	2.0	%	
スルーレート	SR	10	—	—	V/μs	
動作安定時間	t_{start}	—	—	5	μs	

注 1.　以下の式で計算します。(n = 0～14)
PGAOUTn = AINn × G
実際の出力範囲は、ゲイン誤差を含みます。
PGAOUTn = (AINn × G) × (Gerr + 100%)

表 2.46　PGA 特性（疑似差動入力モード） (1/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
オフセット誤差	Voff	-20	—	20	mV	
PGAVSS 入力電圧範囲	PGAVSS	-0.5	—	0.3	V	

表 2.46　PGA 特性（疑似差動入力モード） (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
差動入力電圧範囲	G = 1.500	AIN-PGAVSS	-0.5	—	0.5	V	
	G = 2.333		-0.4	—	0.4	V	
	G = 4.000		-0.2	—	0.2	V	
	G = 5.667		-0.15	—	0.15	V	
出力電圧範囲(注1)	G = 1.500	V_{OR}	0.600	—	2.550	V	
	G = 2.333		0.417	—	2.733	V	
	G = 4.000		0.550	—	2.600	V	
	G = 5.667		0.500	—	2.650	V	
ゲイン誤差	G = 1.500	Gerr	-1.0	—	1.0	%	
	G = 2.333		-1.0	—	1.0	%	
	G = 4.000		-1.0	—	1.0	%	
	G = 5.667		-1.0	—	1.0	%	
スルーレート		SR	10	—	—	V/μs	
動作安定時間		t_{start}	—	—	5	μs	

注 1.　以下の式で計算します。
V_{OR} = (AIN-PGAVSS) × G ＋ (0.5 × AVCC0)
実際の出力範囲は、ゲイン誤差を含みます。
V_{OR} = (AIN-PGAVSS) × G × (Gerr +100%) ＋ (0.5 × AVCC0)

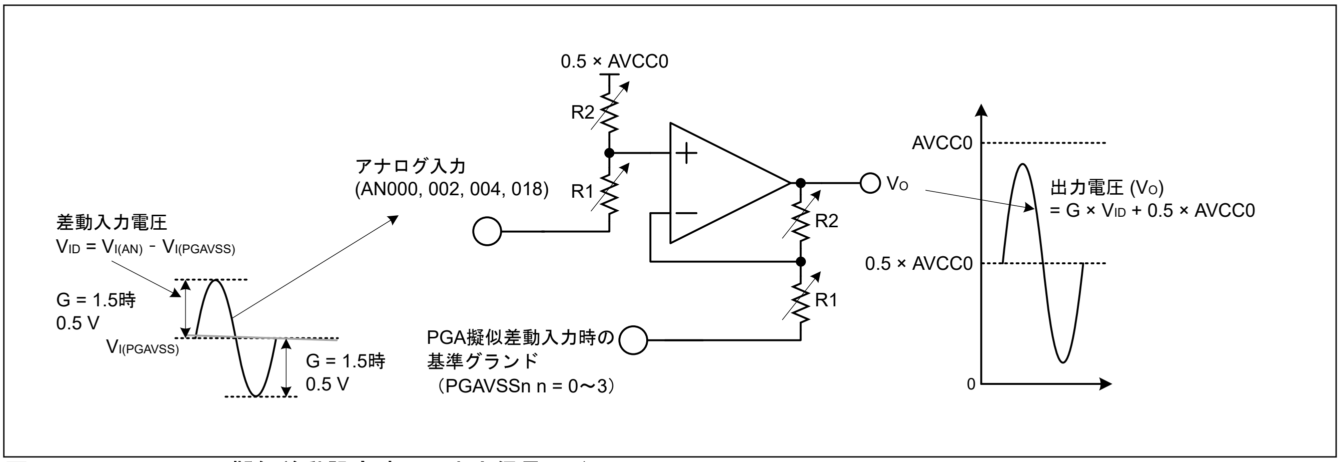


図 2.53　PGA 擬似差動設定時の入出力信号レベル

2.9　OSC 停止検出特性

表 2.47　発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 2.54

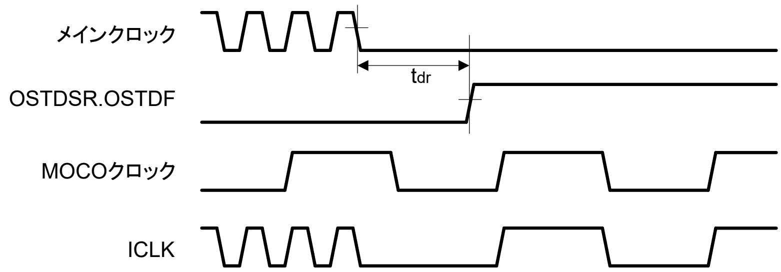


図 2.54 発振停止検出タイミング

2.10 POR/LVD 特性

表 2.48 パワーオンリセット回路、電圧検出回路の特性 (1)

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	DPSBYCR.DEEPCUT[1:0] = 00b または 01b	V_{POR}	2.5	2.6	2.7	V	図 2.55
		DPSBYCR.DEEPCUT[1:0] = 11b		1.8	2.25	2.7		
	電圧検出回路 (LVD0)		V_{det0_1}	2.84	2.94	3.04		図 2.56
			V_{det0_2}	2.77	2.87	2.97		
			V_{det0_3}	2.70	2.80	2.90		
	電圧検出回路 (LVD1)		V_{det1_1}	2.89	2.99	3.09		図 2.57
			V_{det1_2}	2.82	2.92	3.02		
			V_{det1_3}	2.75	2.85	2.95		
	電圧検出回路 (LVD2)		V_{det2_1}	2.89	2.99	3.09		図 2.58
			V_{det2_2}	2.82	2.92	3.02		
			V_{det2_3}	2.75	2.85	2.95		
内部リセット時間	パワーオンリセット時間		t_{POR}	—	4.5	—	ms	図 2.55
	LVD0 リセット時間		t_{LVD0}	—	0.51	—		図 2.56
	LVD1 リセット時間		t_{LVD1}	—	0.38	—		図 2.57
	LVD2 リセット時間		t_{LVD2}	—	0.38	—		図 2.58
最小 VCC 低下時間(注1)			t_{VOFF}	200	—	—	μs	図 2.55、図 2.56
応答遅延時間			t_{det}	—	—	200	μs	図 2.56～図 2.58
LVD 動作安定時間（LVD 有効切り替え後）			$t_{d(E-A)}$	—	—	10	μs	図 2.57、図 2.58
ヒステリシス幅（LVD1、LVD2）			V_{LVH}	—	70	—	mV	

注 1. 最小 VCC 低下時間は、VCC が POR および LVD の電圧検出レベル V_{POR}、V_{det0}、V_{det1} および V_{det2} の最小値を下回っている時間です。

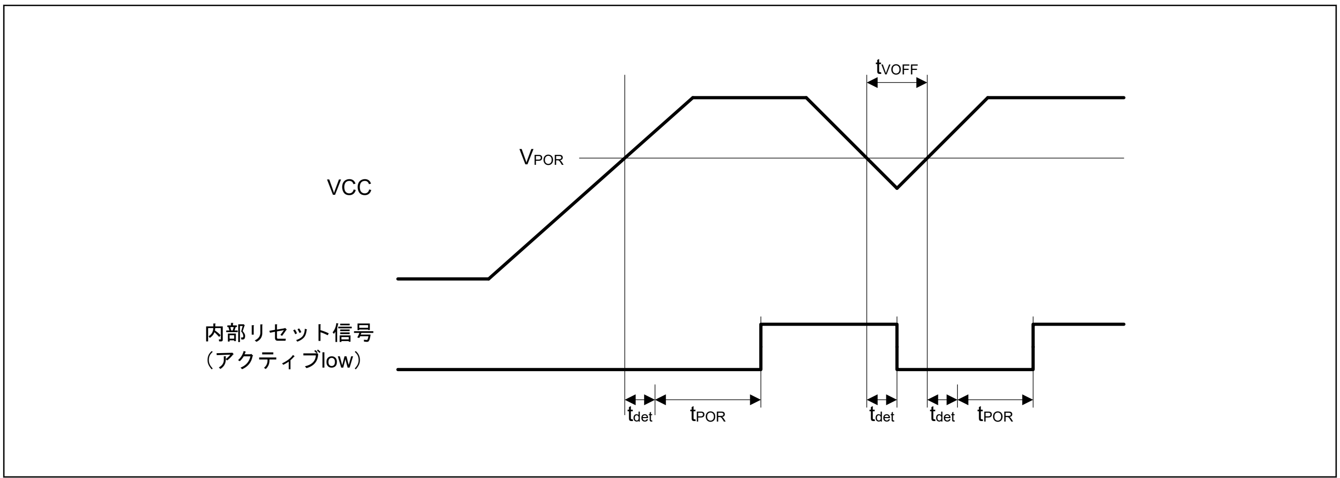


図 2.55　　パワーオンリセットタイミング

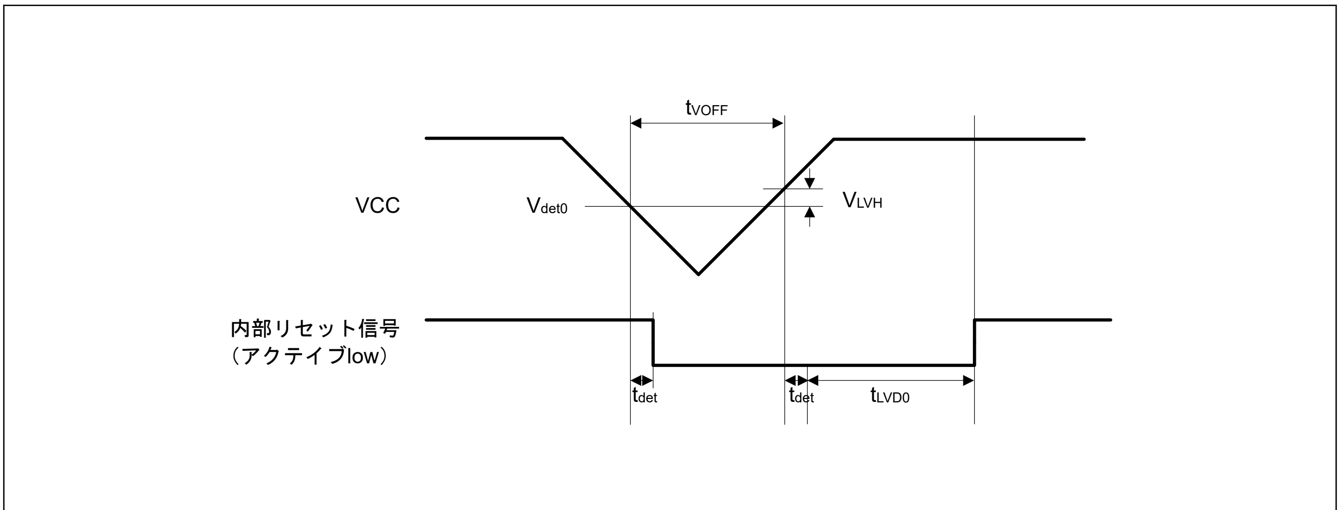


図 2.56　　電圧検出回路タイミング (V_{det0})

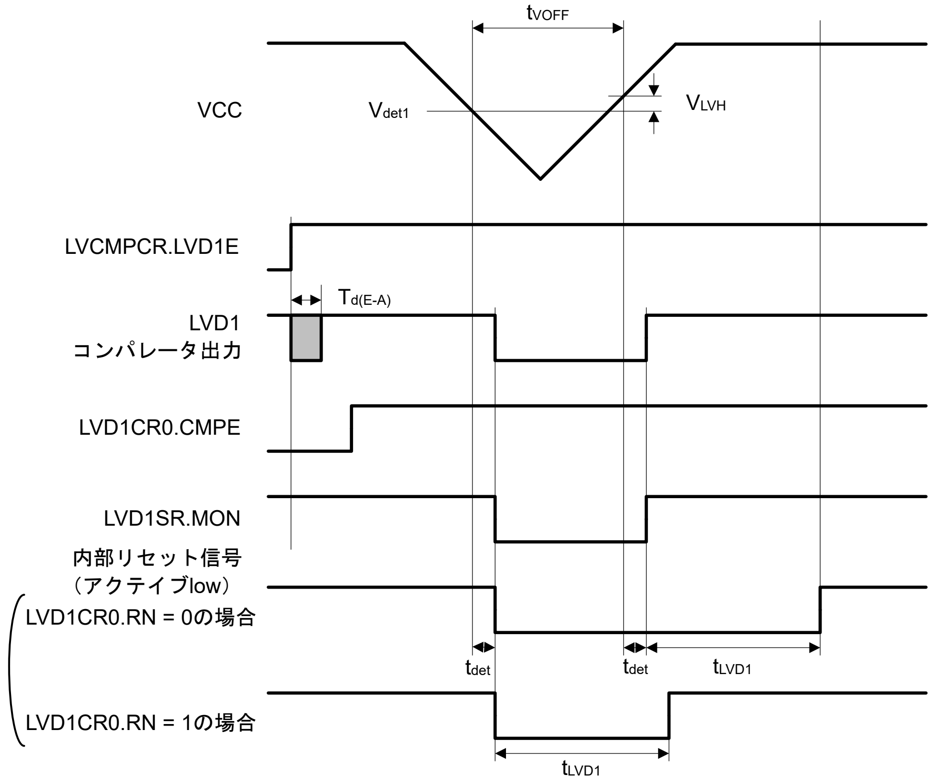


図 2.57 電圧検出回路タイミング (V_{det1})

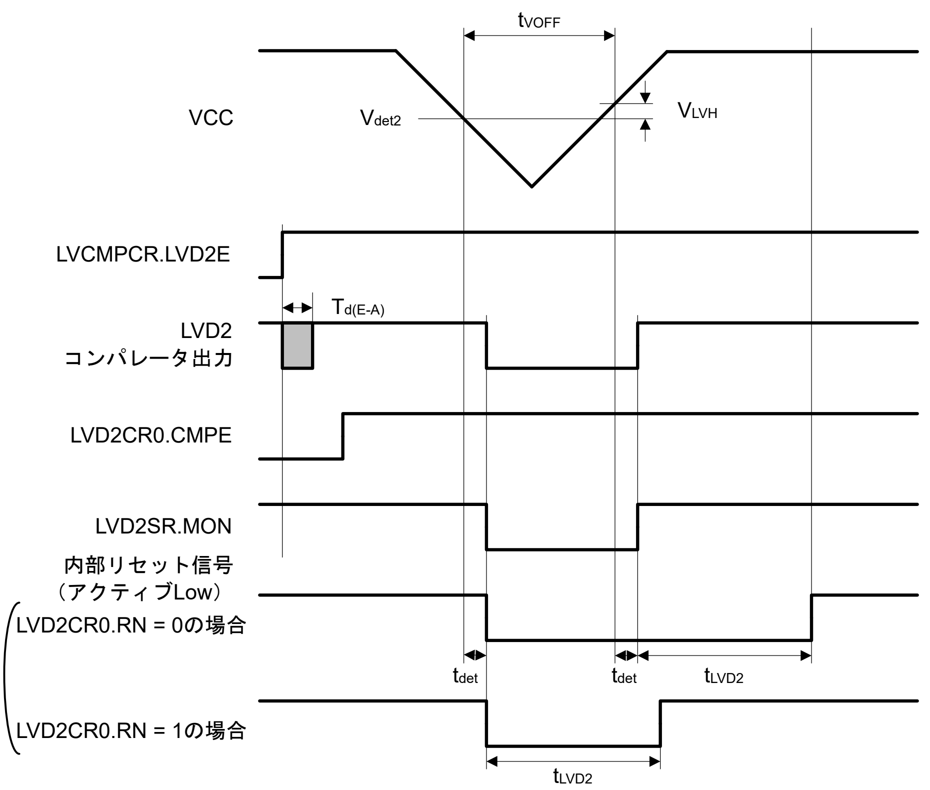


図 2.58　電圧検出回路タイミング (V_{det2})

2.11　フラッシュメモリ特性

2.11.1　コードフラッシュメモリ特性

表 2.49　コードフラッシュメモリ特性 (1/2)

条件：プログラム／イレース：FCLK = 4～60 MHz
読み出し：FCLK ≦ 60 MHz

項目		シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 60 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム時間 N_{PEC} ≦ 100 回	128 バイト	t_{P128}	—	0.75	13.2	—	0.34	6.0	ms	
	8 KB	t_{P8K}	—	49	176	—	22	80	ms	
	32 KB	t_{P32K}	—	194	704	—	88	320	ms	
プログラム時間 N_{PEC} ＞ 100 回	128 バイト	t_{P128}	—	0.91	15.8	—	0.41	7.2	ms	
	8 KB	t_{P8K}	—	60	212	—	27	96	ms	
	32 KB	t_{P32K}	—	234	848	—	106	384	ms	
イレース時間 N_{PEC} ≦ 100 回	8 KB	t_{E8K}	—	78	216	—	43	120	ms	
	32 KB	t_{E32K}	—	283	864	—	157	480	ms	
イレース時間 N_{PEC} ＞ 100 回	8 KB	t_{E8K}	—	94	260	—	52	144	ms	
	32 KB	t_{E32K}	—	341	1040	—	189	576	ms	
再プログラム／イレースサイクル(注4)		N_{PEC}	10000(注1)	—	—	10000(注1)	—	—	回	

表 2.49　コードフラッシュメモリ特性 (2/2)

条件：プログラム／イレース：FCLK = 4～60 MHz
読み出し：FCLK ≦ 60 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 60 MHz			単位	測定条件
		Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム中のサスペンド遅延時間	t_{SPD}	—	—	264	—	—	120	μs	
プログラムレジューム時間	t_{PRT}	—	—	110	—	—	50	μs	
サスペンド優先モードにおけるイレース中の 1 回目のサスペンド遅延時間	t_{SESD1}	—	—	216	—	—	120	μs	
サスペンド優先モードにおけるイレース中の 2 回目のサスペンド遅延時間	t_{SESD2}	—	—	1.7	—	—	1.7	ms	
イレース優先モードにおけるイレース中のサスペンド遅延時間	t_{SEED}	—	—	1.7	—	—	1.7	ms	
サスペンド優先モードにおけるイレース中の 1 回目のイレースレジューム時間(注5)	t_{REST1}	—	—	1.7	—	—	1.7	ms	
サスペンド優先モードにおけるイレース中の 2 回目のイレースレジューム時間	t_{REST2}	—	—	144	—	—	80	μs	
イレース優先モードにおけるイレース中のイレースレジューム時間	t_{REET}	—	—	144	—	—	80	μs	
強制停止コマンド	t_{FD}	—	—	32	—	—	20	μs	
データ保持時間(注2)	t_{DRP}	10(注2) (注3)	—	—	10(注2) (注3)	—	—	年	
		30(注2) (注3)	—	—	30(注2) (注3)	—	—		Ta = +85℃

注 1.　再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2.　書き換えが仕様範囲内で行われたときの特性の min 値です。
注 3.　信頼性試験から得られた結果です。
注 4.　再プログラム／イレースサイクルは､ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回　(n = 10,000) の場合､ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、8 KB のブロックについて、それぞれ異なる番地に 128 バイト書き込みを 64 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。
注 5.　レジューム時間には、サスペンド時に中断されたイレースパルス（最大 1 フルパルス）を再印加する時間が含まれます。
注 6.　VCC = 3.3 V および室温における基準値

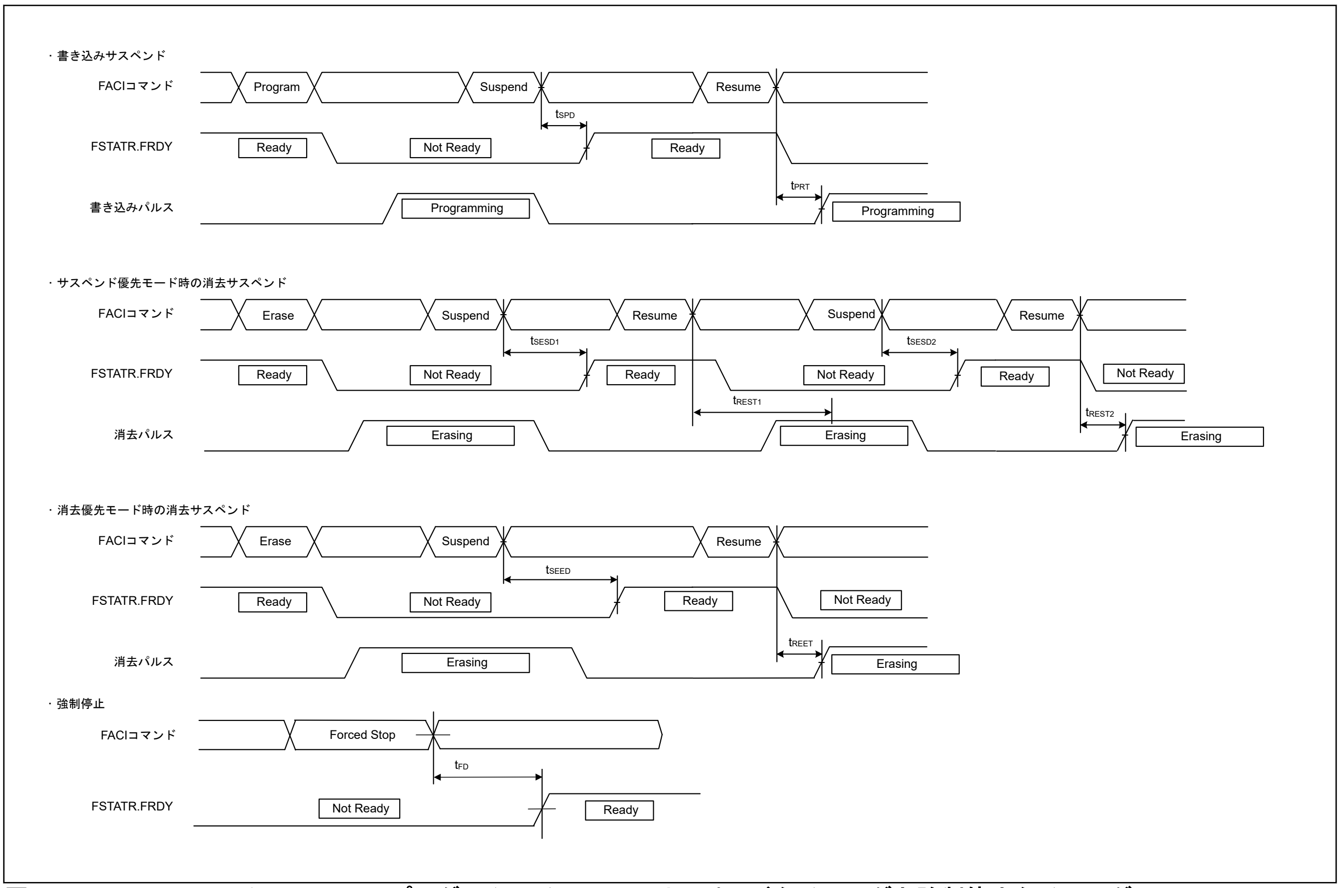


図 2.59　　フラッシュメモリのプログラム／イレースのサスペンドタイミングと強制停止タイミング

2.11.2　　データフラッシュメモリ特性

表 2.50　　データフラッシュメモリ特性 (1/2)

条件：プログラム／イレース：FCLK = 4～60 MHz
読み出し：FCLK ≦ 60 MHz

項目		シンボル	FCLK = 4MHz			20 MHz ≦ FCLK ≦ 60 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム時間	4 バイト	t_{DP4}	—	0.36	3.8	—	0.16	1.7	ms	
	8 バイト	t_{DP8}	—	0.38	4.0	—	0.17	1.8		
	16 バイト	t_{DP16}	—	0.42	4.5	—	0.19	2.0		
イレース時間	64 バイト	t_{DE64}	—	3.1	18	—	1.7	10	ms	
	128 バイト	t_{DE128}	—	4.7	27	—	2.6	15		
	256 バイト	t_{DE256}	—	8.9	50	—	4.9	28		
ブランクチェック時間	4 バイト	t_{DBC4}	—	—	84	—	—	30	μs	
再プログラム／イレースサイクル(注1)		N_{DPEC}	125000(注2)	—	—	125000(注2)	—	—	—	
プログラム中のサスペンド遅延時間	4 バイト	t_{DSPD}	—	—	264	—	—	120	μs	
	8 バイト		—	—	264	—	—	120		
	16 バイト		—	—	264	—	—	120		
プログラムレジューム時間		t_{DPRT}	—	—	110	—	—	50	μs	
サスペンド優先モードにおけるイレース中の 1 回目のサスペンド遅延時間	64 バイト	t_{DSESD1}	—	—	216	—	—	120	μs	
	128 バイト		—	—	216	—	—	120		
	256 バイト		—	—	216	—	—	120		

表 2.50　データフラッシュメモリ特性 (2/2)

条件：プログラム／イレース：FCLK = 4～60 MHz
読み出し：FCLK ≦ 60 MHz

項目		シンボル	FCLK = 4MHz Min	Typ(注6)	Max	20 MHz ≦ FCLK ≦ 60 MHz Min	Typ(注6)	Max	単位	測定条件
サスペンド優先モードにおけるイレース中の 2 回目のサスペンド遅延時間	64 バイト	t_{DSESD2}	—	—	300	—	—	300	μs	
	128 バイト		—	—	390	—	—	390		
	256 バイト		—	—	570	—	—	570		
イレース優先モードにおけるイレース中のサスペンド遅延時間	64 バイト	t_{DSEED}	—	—	300	—	—	300	μs	
	128 バイト		—	—	390	—	—	390		
	256 バイト		—	—	570	—	—	570		
サスペンド優先モードにおけるイレース中の 1 回目のイレースレジューム時間(注5)		t_{DREST1}	—	—	300	—	—	300	μs	
サスペンド優先モードにおけるイレース中の 2 回目のイレースレジューム時間		t_{DREST2}	—	—	126	—	—	70	μs	
イレース優先モードにおけるイレース中のイレースレジューム時間		t_{DREET}	—	—	126	—	—	70	μs	
強制停止コマンド		t_{FD}	—	—	32	—	—	20	μs	
データ保持時間(注3)		t_{DRP}	10(注3) (注4)	—	—	10(注3) (注4)	—	—	年	
			30(注3) (注4)	—	—	30(注3) (注4)	—	—		Ta = +85℃

注 1.　再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 125,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、64 バイトのブロックについて、それぞれ異なる番地に 4 バイト書き込みを 16 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。
注 2.　再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 3.　書き換えが仕様範囲内で行われたときの特性の min 値です。
注 4.　信頼性試験から得られた結果です。
注 5.　レジューム時間には、サスペンド時に中断されたイレースパルス（最大 1 フルパルス）を再印加する時間が含まれます。
注 6.　VCC = 3.3 V および室温における基準値

2.11.3　オプション設定メモリ特性

表 2.51　オプション設定メモリ特性

条件：プログラム：FCLK = 4～60 MHz
読み出し：FCLK ≦ 60 MHz

項目	シンボル	FCLK = 4 MHz Min	Typ(注4)	Max	20 MHz ≦ FCLK ≦ 60 MHz Min	Typ(注4)	Max	単位	測定条件
プログラム時間 N_{OPC} ≦ 100 回	t_{OP}	—	83	309	—	45	162	ms	
プログラム時間 N_{OPC} ＞ 100 回	t_{OP}	—	100	371	—	55	195	ms	
再プログラムサイクル	N_{OPC}	20000 (注1)	—	—	20000 (注1)	—	—	回	
データ保持時間(注2)	t_{DRP}	10(注2) (注3)	—	—	10(注2) (注3)	—	—	年	
		30(注2) (注3)	—	—	30(注2) (注3)	—	—		Ta = +85℃

注 1.　再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2.　書き換えが仕様範囲内で行われたときの特性の min 値です。
注 3.　信頼性試験から得られた結果です。
注 4.　VCC = 3.3 V および室温における基準値

2.12　バウンダリスキャン

表 2.52　バウンダリスキャン特性

項目	シンボル	Min	Typ	Max	単位	測定条件
TCK クロックサイクル時間	t_{TCKcyc}	100	—	—	ns	図 2.60
TCK クロック High レベルパルス幅	t_{TCKH}	45	—	—	ns	
TCK クロック Low レベルパルス幅	t_{TCKL}	45	—	—	ns	
TCK クロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCK クロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TMS セットアップ時間	t_{TMSS}	20	—	—	ns	図 2.61
TMS ホールド時間	t_{TMSH}	20	—	—	ns	
TDI セットアップ時間	t_{TDIS}	20	—	—	ns	
TDI ホールド時間	t_{TDIH}	20	—	—	ns	
TDO データ遅延時間	t_{TDOD}	—	—	40	ns	
バウンダリスキャン回路起動時間(注1)	T_{BSSTUP}	t_{RESWP}	—	—	—	図 2.62

注 1.　パワーオンリセットが無効になるまで、バウンダリスキャンは機能しません。

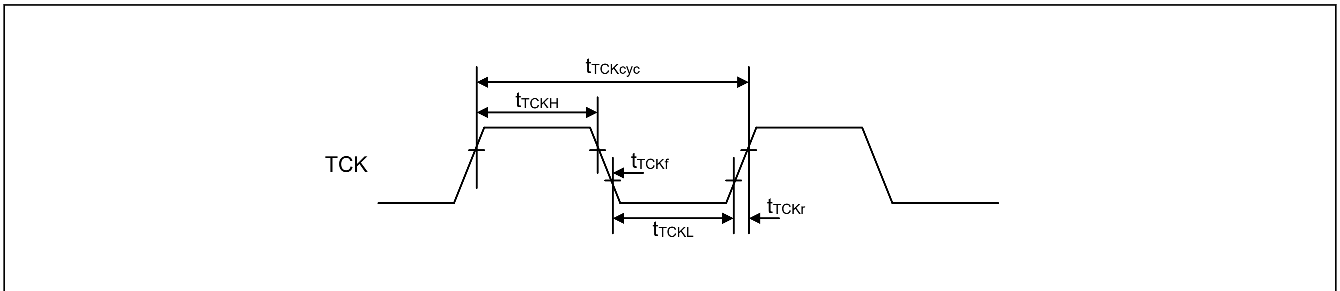


図 2.60　バウンダリスキャン TCK タイミング

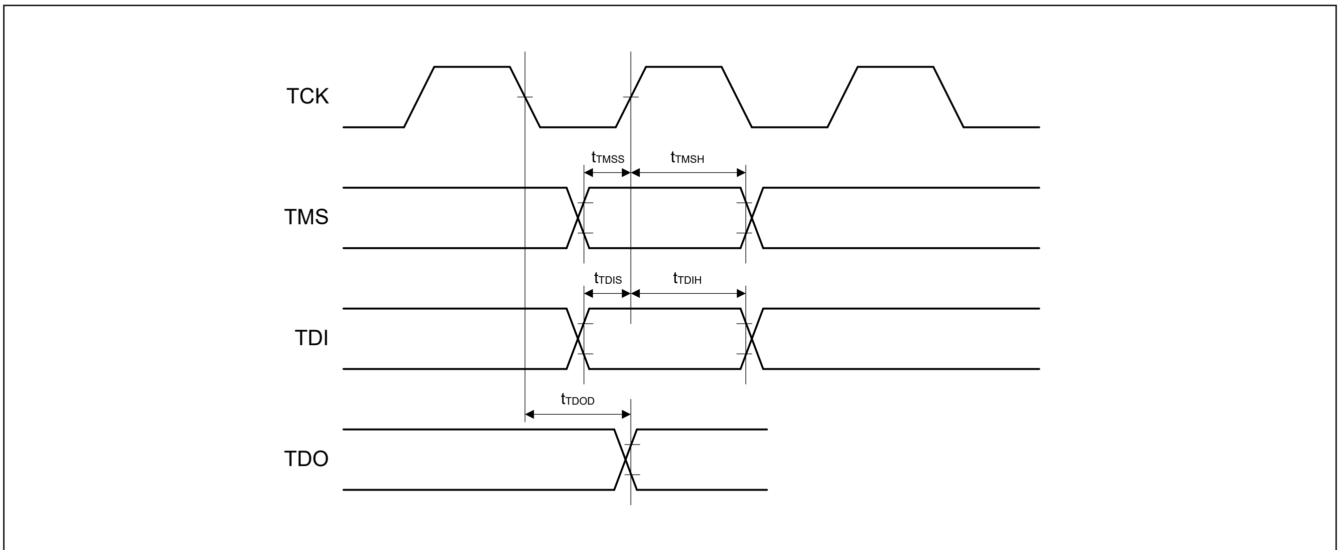


図 2.61　バウンダリスキャン入出力タイミング

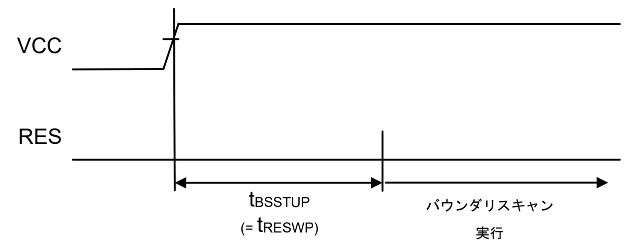


図 2.62 バウンダリスキャン回路起動タイミング

2.13 ジョイントテストアクショングループ (JTAG)

表 2.53 JTAG

項目	シンボル	Min	Typ	Max	単位	測定条件
TCK クロックサイクル時間	t_{TCKcyc}	40	—	—	ns	図 2.63
TCK クロック High レベルパルス幅	t_{TCKH}	15	—	—	ns	
TCK クロック Low レベルパルス幅	t_{TCKL}	15	—	—	ns	
TCK クロック立ち上がり時間	t_{TCKr}	—	—	5	ns	
TCK クロック立ち下がり時間	t_{TCKf}	—	—	5	ns	
TMS セットアップ時間	t_{TMSS}	8	—	—	ns	図 2.64
TMS ホールド時間	t_{TMSH}	8	—	—	ns	
TDI セットアップ時間	t_{TDIS}	8	—	—	ns	
TDI ホールド時間	t_{TDIH}	8	—	—	ns	
TDO データ遅延時間	t_{TDOD}	—	—	20	ns	

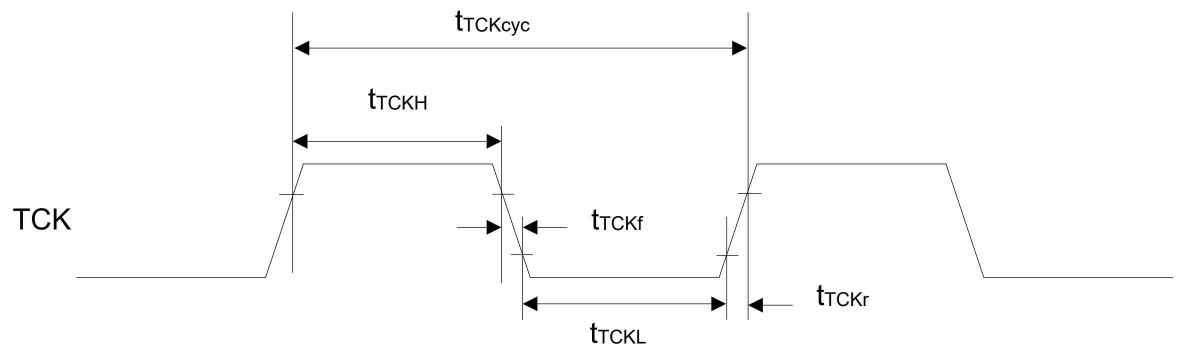


図 2.63 JTAG TCK タイミング

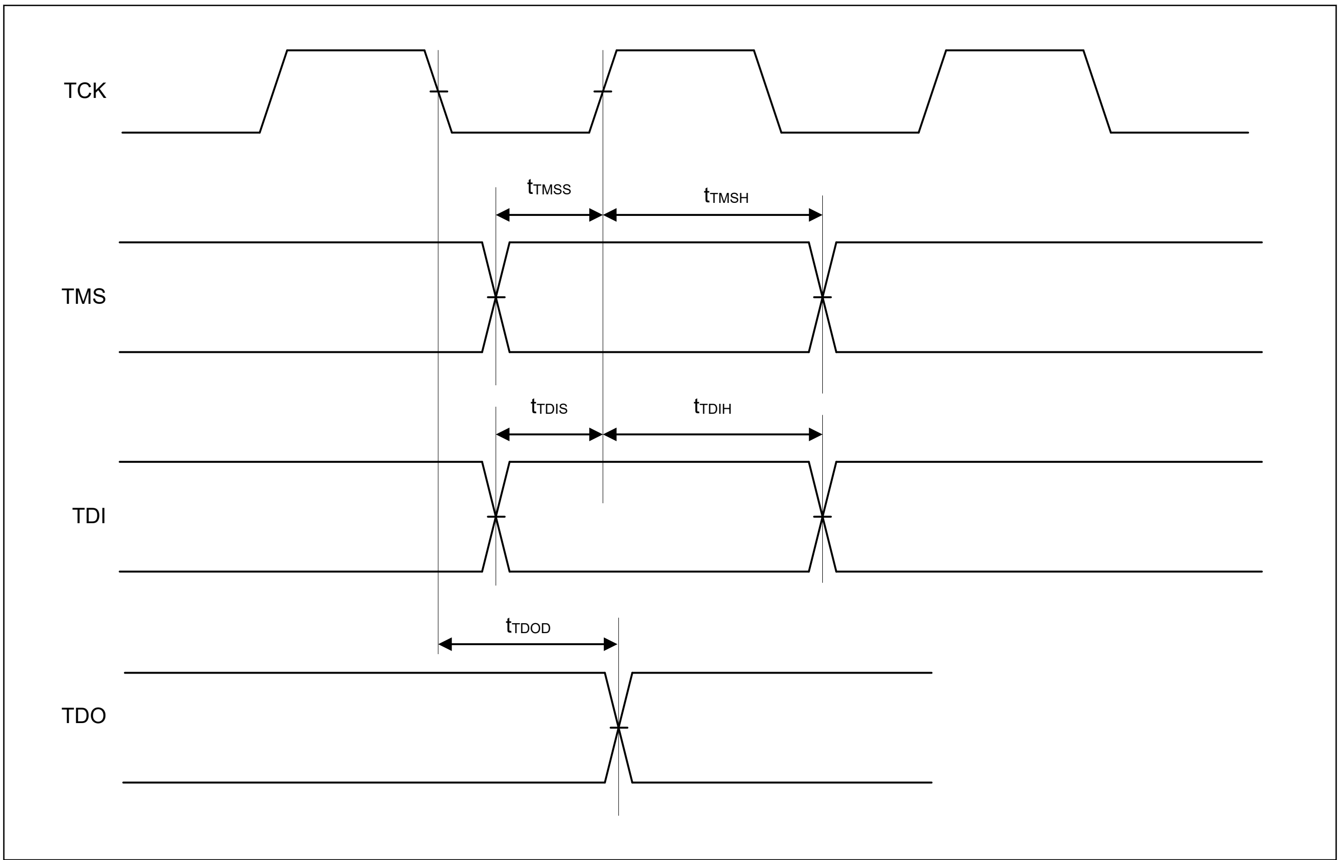


図 2.64 JTAG 入出力タイミング

2.14 シリアルワイヤデバッグ (SWD)

表 2.54 SWD

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	$t_{SWCKcyc}$	40	—	—	ns	図 2.65
SWCLK クロック High レベルパルス幅	t_{SWCKH}	15	—	—	ns	
SWCLK クロック Low レベルパルス幅	t_{SWCKL}	15	—	—	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t_{SWDS}	8	—	—	ns	図 2.66
SWDIO ホールド時間	t_{SWDH}	8	—	—	ns	
SWDIO データ遅延時間	t_{SWDD}	2	—	28	ns	

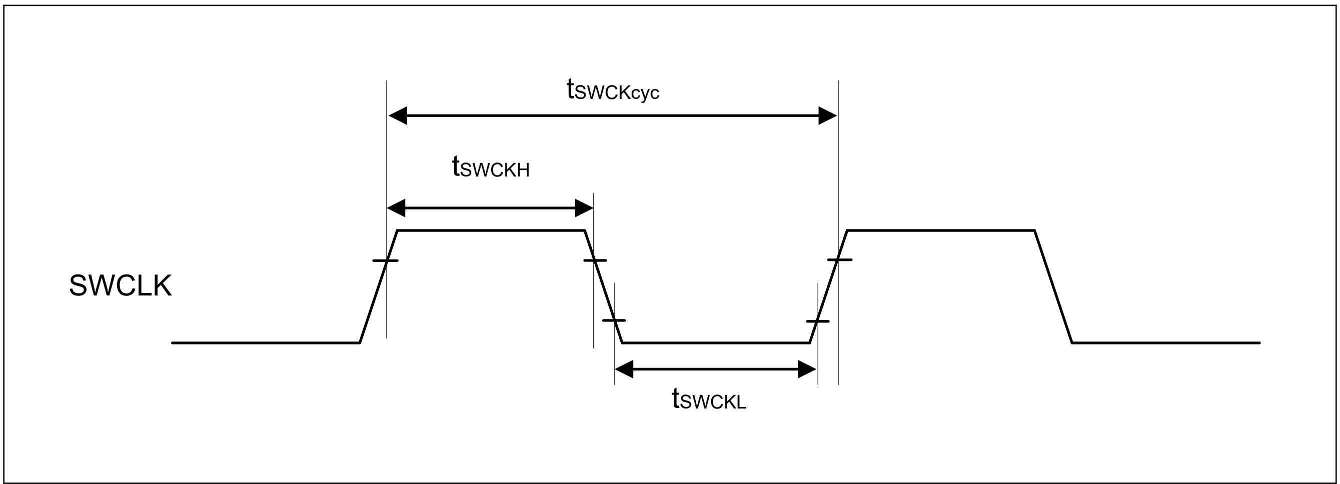


図 2.65 SWD SWCLK タイミング

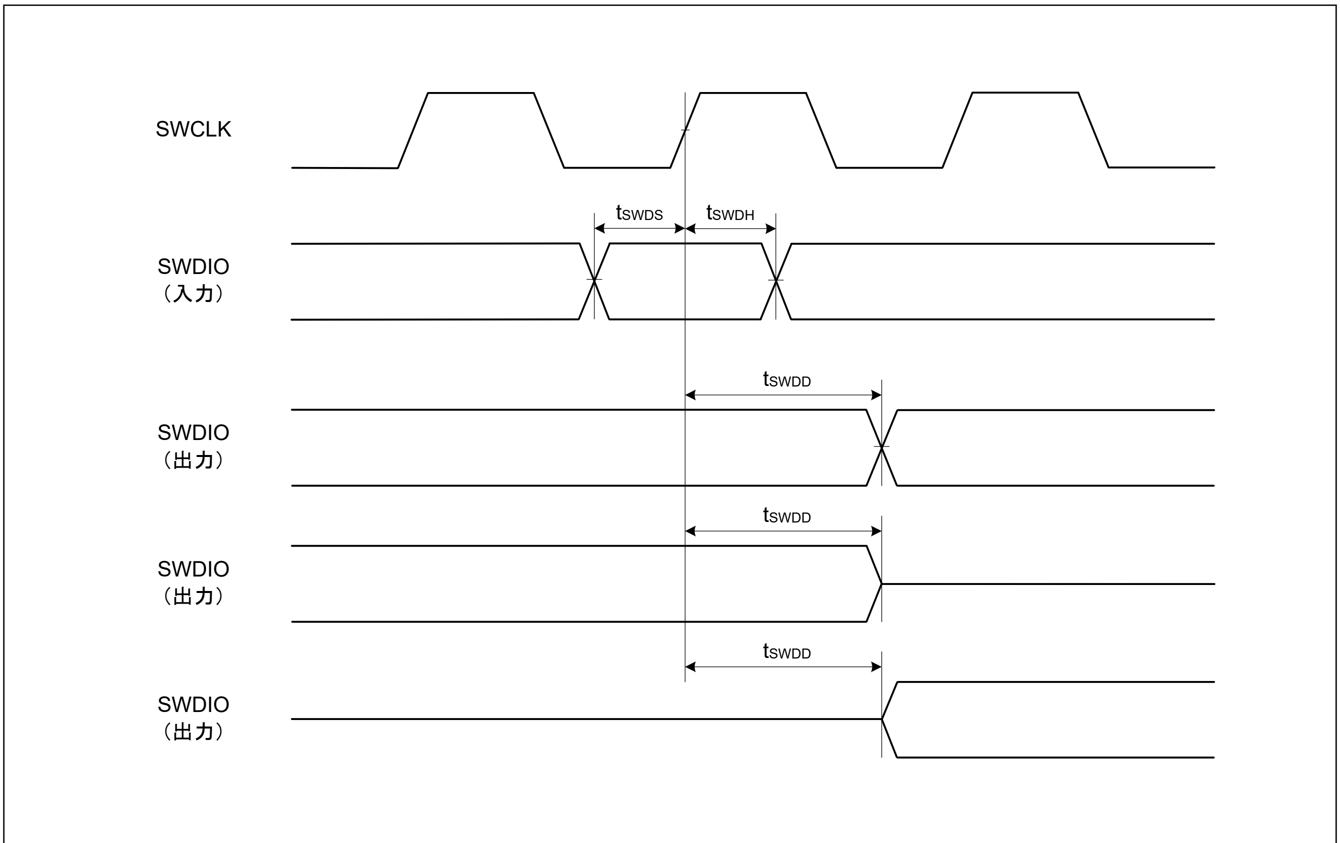


図 2.66 SWD 入出力タイミング

2.15 エンベデッドトレースマクロインタフェース (ETM)

表 2.55 ETM (1/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。

項目	シンボル	Min	Typ	Max	単位	測定条件
TCLK クロックサイクル時間	$t_{TCLKcyc}$	16.7	—	—	ns	図 2.67
TCLK クロック High レベルパルス幅	t_{TCLKH}	7.35	—	—	ns	
TCLK クロック Low レベルパルス幅	t_{TCLKL}	7.35	—	—	ns	
TCLK クロック立ち上がり時間	t_{TCLKr}	—	—	1	ns	
TCLK クロック立ち下がり時間	t_{TCLKf}	—	—	1	ns	

表 2.55 ETM (2/2)

条件：PmnPFS レジスタのポート駆動能力ビットで高速高駆動出力が選択されています。

項目	シンボル	Min	Typ	Max	単位	測定条件
TDATA[3:0]出力セットアップ時間	t_{TRDS}	2.5	—	—	ns	図 2.68
TDATA[3:0]出力ホールド時間	t_{TRDH}	1.5	—	—	ns	

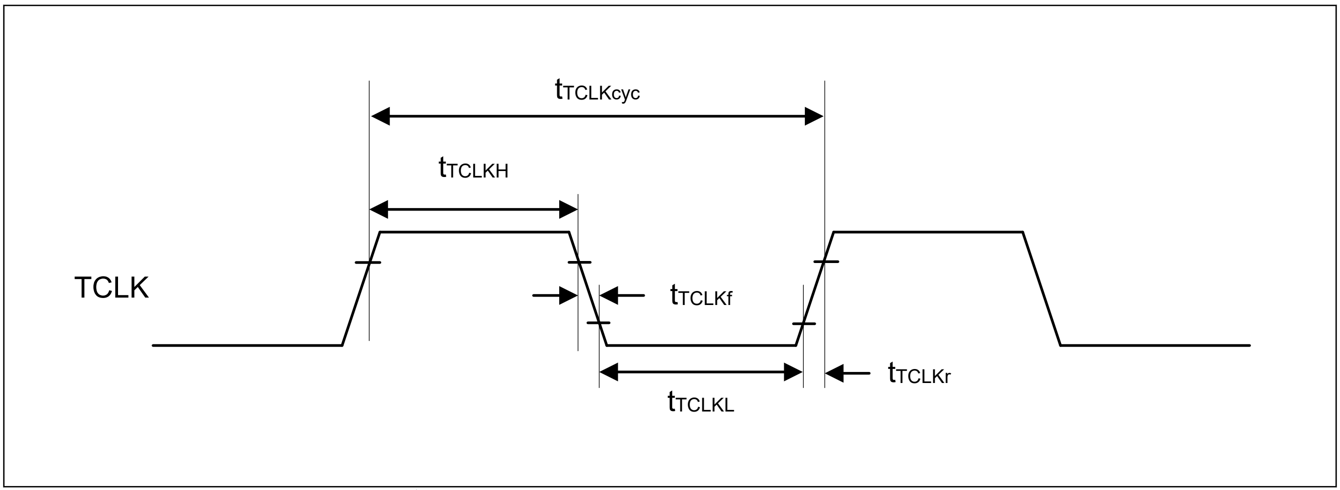


図 2.67 ETM TCLK タイミング

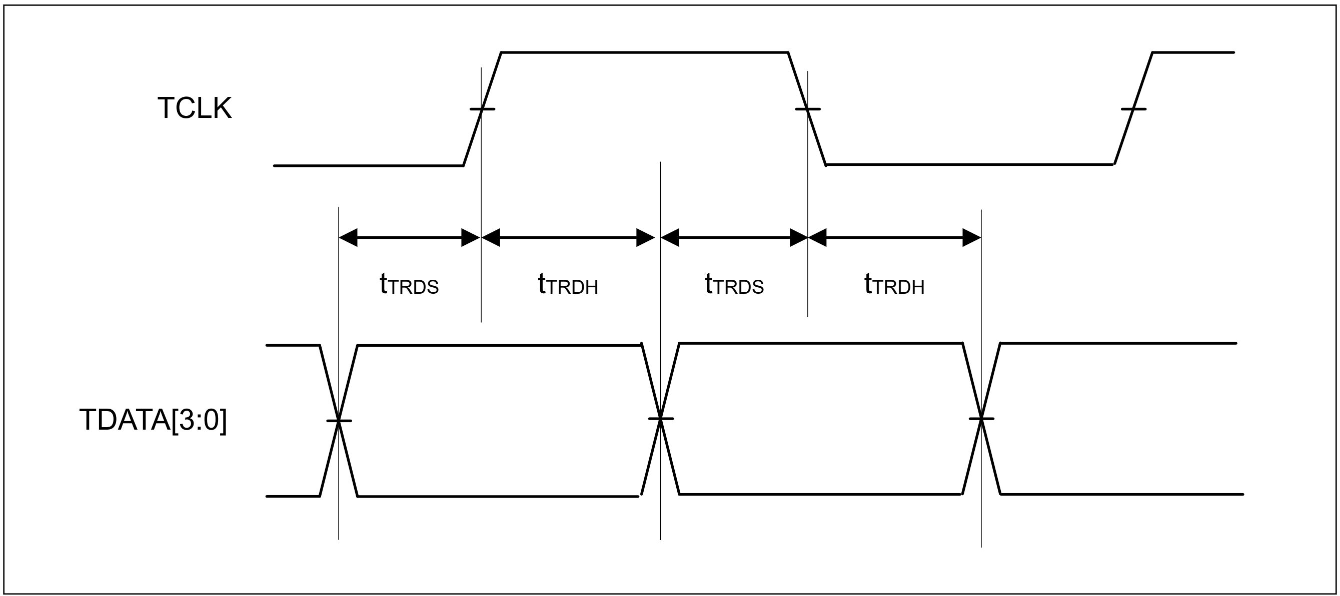


図 2.68 ETM 出力タイミング

付録 1. 各プロセスモードのポート状態

機能	端子機能	リセット	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード解除後（スタートアップモードに復帰）	
					IOKEEP = 0	IOKEEP = 1(注1)
モード	MD	Pull-up	Keep-O	Keep	Hi-Z	Keep
JTAG	TCK/TMS/TDI	Pull-up	Keep-O	Keep	Hi-Z	Keep
	TDO	TDO 出力	Keep-O	Keep	TDO 出力	Keep
Trace	TCLK/TDATAx	Hi-Z	Keep-O	Keep	Hi-Z	Keep
IRQ	IRQx	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
	IRQx-DS	Hi-Z	Keep-O(注2)	Keep(注3)	Hi-Z	Keep
KINT	KRxx	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
AGT	AGTIOn	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
IIC	SCLn/SDAn	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
CLKOUT	CLKOUT	Hi-Z	[CLKOUT 選択] CLKOUT 出力	Keep	Hi-Z	Keep
ACMPHS	VCOUT、CMPOUTm、CMPOUT012	Hi-Z	Hi-Z (Keep-O)	Hi-Z (Keep-O)	Hi-Z	Keep
	IVREFn	Hi-Z	Hi-Z (Keep-O)	Hi-Z (Keep-O)	Hi-Z	Hi-Z
	IVCMPmn	Hi-Z	Hi-Z (Keep-O)	Hi-Z (Keep-O)	Hi-Z	Hi-Z
DAC12	DAn	Hi-Z	[DAn 出力（DAOE = 1）] D/A 出力保持	Keep	Hi-Z	Keep
ADC	ANxxx	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
	PGAINn	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
	PGAVSSn	Pull-up(注4)	Pull-up(注5) / Keep	Pull-up(注5) / Keep	Pull-up(注5) / Keep	Pull-up(注5) / Keep
	PGAOUTn	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
その他	—	Hi-Z	Keep-O	Keep	Hi-Z	Keep

注. H：High レベル
L: Low レベル
Hi-Z：ハイインピーダンス
Keep-O：出力端子は前の値を保持します。入力端子はハイインピーダンスになります。
Keep：ソフトウェアスタンバイモード期間中、端子状態は保持されます。

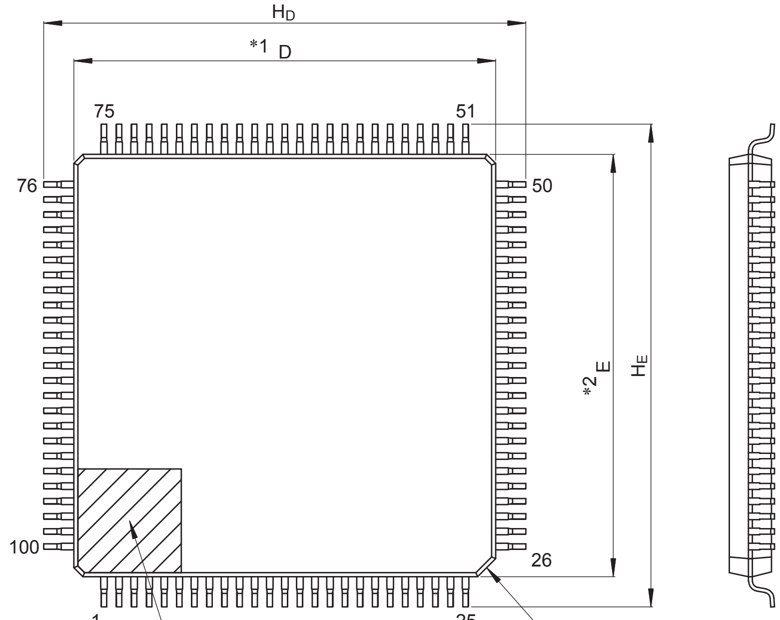
注 1. DPSBYCR.IOKEEP ビットが 0 になるまで、I/O ポートの状態が保持されます。
注 2. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。
注 3. 端子がディープソフトウェアスタンバイのキャンセル要因に指定された場合、入力が許可されます
注 4. 負電位入力から回路を保護するために組み込みの Pull-up はオンになります。
注 5. PGA の有効／無効にかかわらず、PGA が疑似差動入力モードの場合、負電位入力から回路を保護するために組み込みの Pull-up はオンになります。組み込みの Pull-up をオフにするには、PGA の疑似差動入力モードをオフに設定し、シングルモードに設定します。

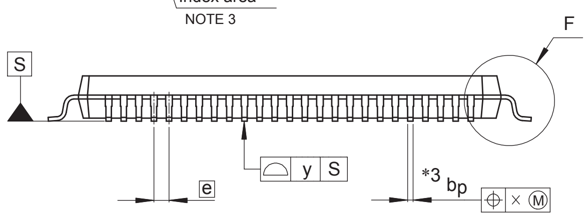
付録 2.　外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサスエレクトロニクス Web サイトの「パッケージ」に掲載されています。

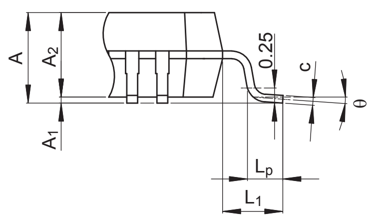
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6

Unit: mm





NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



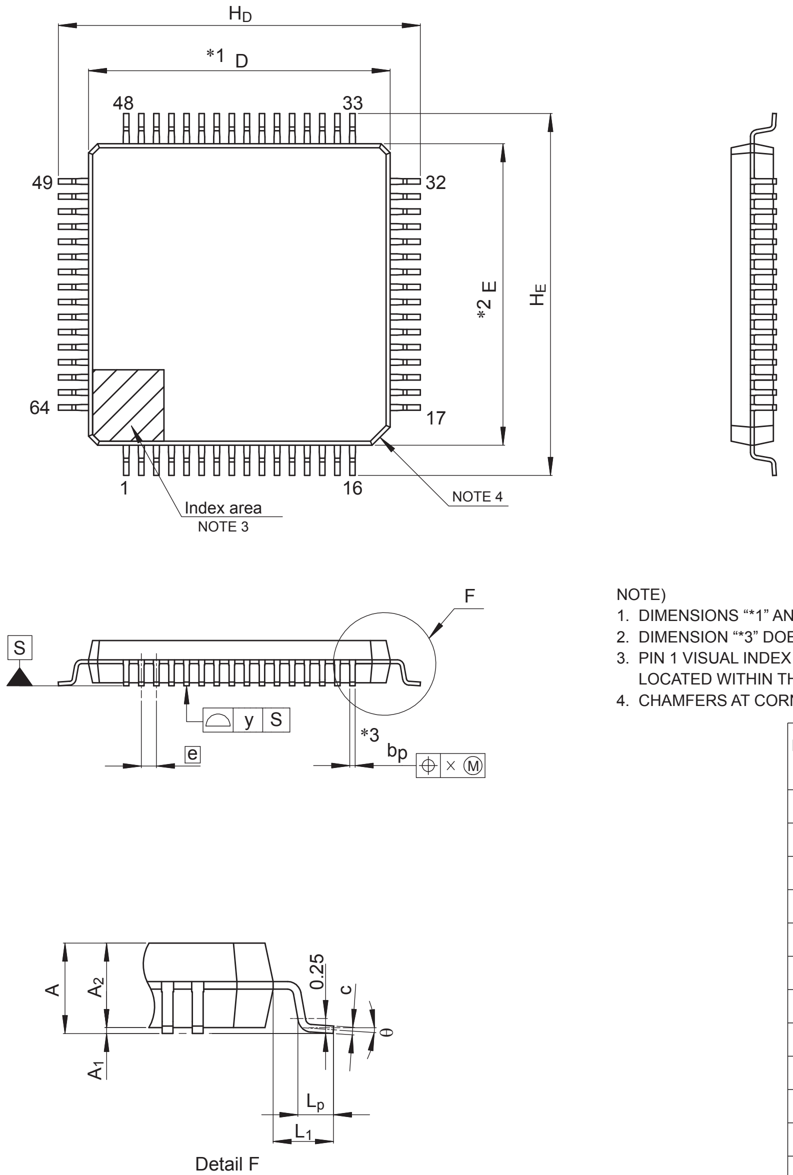
Detail F

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

図 2.1　　LQFP 100 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm

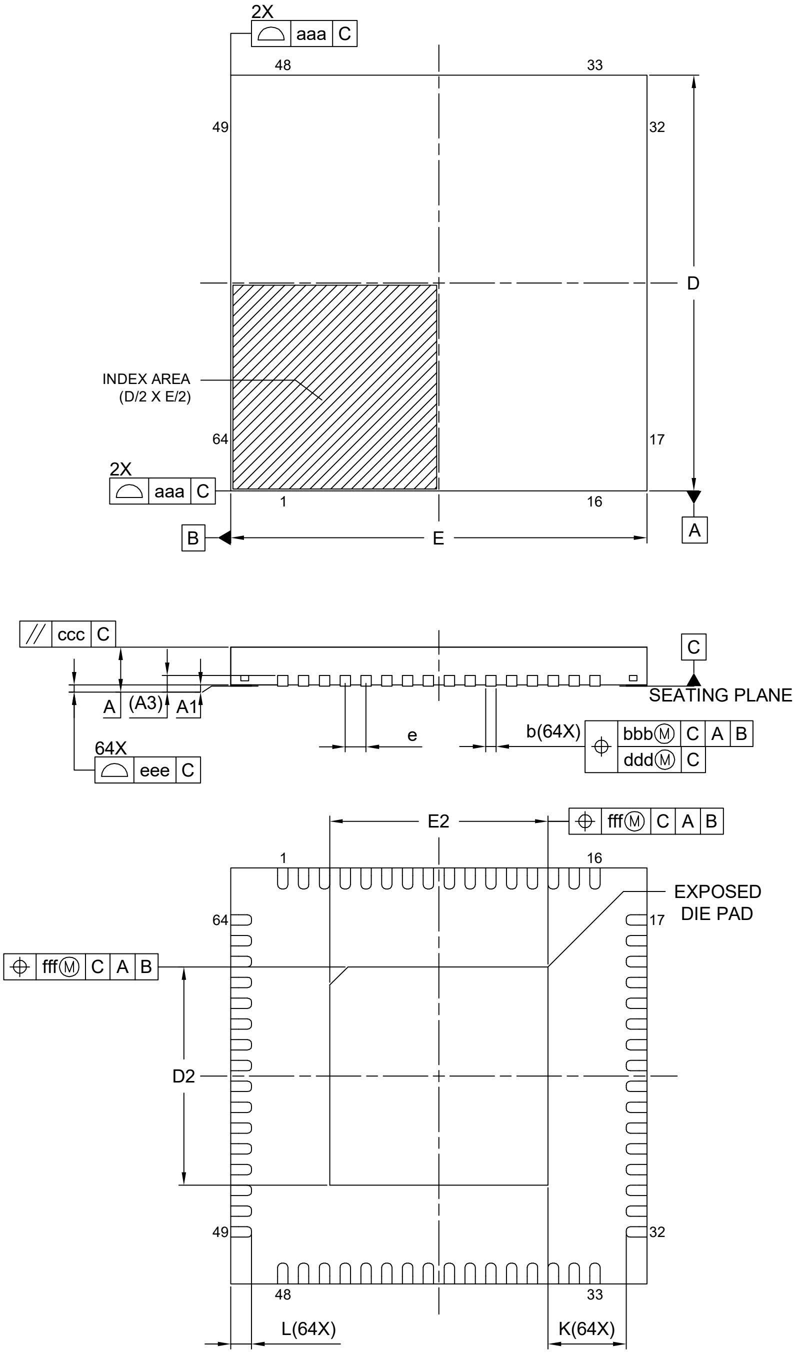


NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A_2	—	1.4	—
H_D	11.8	12.0	12.2
H_E	11.8	12.0	12.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

図 2.2　LQFP 64 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN064-8x8-0.40	PWQN0064LB-A	0.18

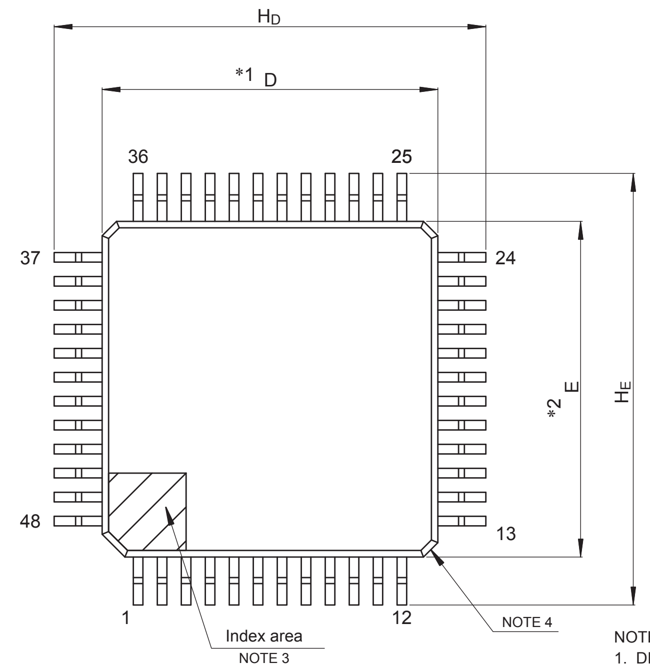


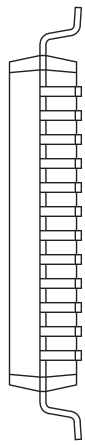
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.15	0.20	0.25
D	8.00 BSC		
E	8.00 BSC		
e	0.40 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D_2	4.15	4.20	4.25
E_2	4.15	4.20	4.25
aaa	0.10		
bbb	0.07		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

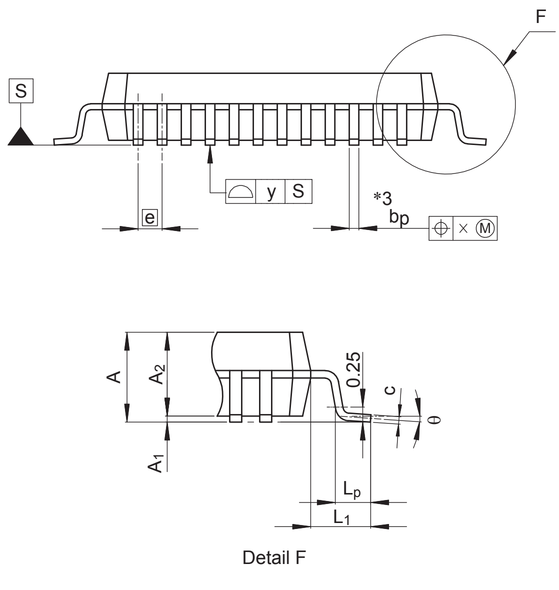
図 2.3　　QFN 64 ピン

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2

Unit: mm





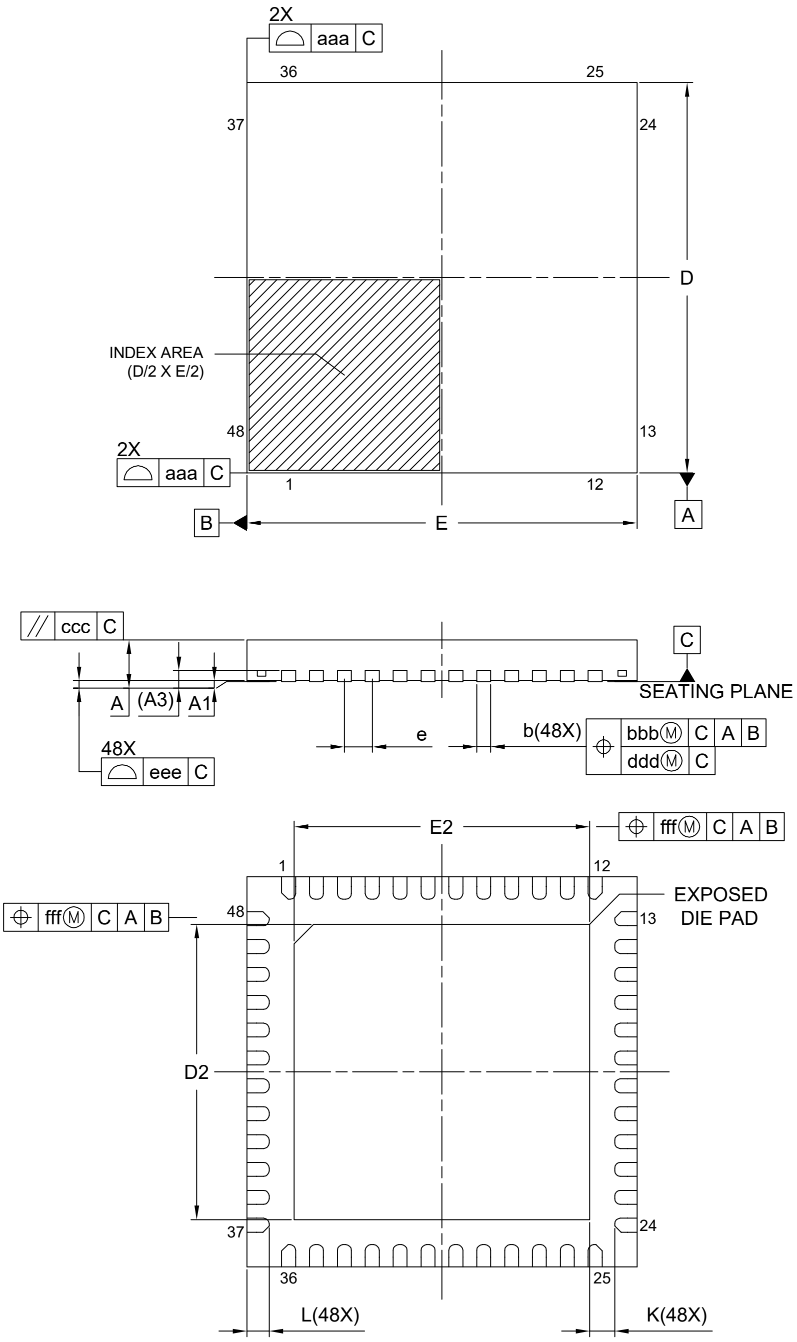


NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A_2	—	1.4	—
H_D	8.8	9.0	9.2
H_E	8.8	9.0	9.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

図 2.4 LQFP 48 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D_2	5.25	5.30	5.35
E_2	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

図 2.5　　　　QFN 48 ピン

付録 3.　I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクルについて機能ごとに説明します。

3.1　周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。表 3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 3.1　周辺機能のベースアドレス (1/3)

名称	説明	ベースアドレス
RMPU	ルネサスメモリプロテクションユニット	0x4000_0000
TZF	TrustZone フィルタ	0x4000_0E00
SRAM	SRAM 制御	0x4000_2000
BUS	バス制御	0x4000_3000
DMAC0	ダイレクトメモリアクセスコントローラ 0	0x4000_5000
DMAC1	ダイレクトメモリアクセスコントローラ 1	0x4000_5040
DMAC2	ダイレクトメモリアクセスコントローラ 2	0x4000_5080
DMAC3	ダイレクトメモリアクセスコントローラ 3	0x4000_50C0
DMAC4	ダイレクトメモリアクセスコントローラ 4	0x4000_5100
DMAC5	ダイレクトメモリアクセスコントローラ 5	0x4000_5140
DMAC6	ダイレクトメモリアクセスコントローラ 6	0x4000_5180
DMAC7	ダイレクトメモリアクセスコントローラ 7	0x4000_51C0
DMA	DMAC モジュール起動	0x4000_5200
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
CACHE	キャッシュ	0x4000_7000
CPSCU	CPU システムセキュリティコントロールユニット	0x4000_8000
DBG	デバッグ機能	0x4001_B000
FCACHE	フラッシュキャッシュ	0x4001_C100
SYSC	システム制御	0x4001_E000
PORT0	ポート 0 コントロールレジスタ	0x4001_F000
PORT2	ポート 2 コントロールレジスタ	0x4001_F040
PORTA	ポート A コントロールレジスタ	0x4001_F140
PORTB	ポート B コントロールレジスタ	0x4001_F160
PORTC	ポート C コントロールレジスタ	0x4001_F180
PORTD	ポート D コントロールレジスタ	0x4001_F1A0
PORTE	ポート E コントロールレジスタ	0x4001_F1C0
PFS_B	Pmn 端子機能コントロールレジスタ	0x4001_F800
IIRFA	IIR フィルタアクセラレータ	0x4002_0000
TFU	三角関数ユニット	0x4002_1000
ELC_B	イベントリンクコントローラ	0x4008_2000
IWDT	独立ウォッチドッグタイマ	0x4008_3200
WDT	ウォッチドッグタイマ	0x4008_3400
CAC	クロック周波数精度測定回路	0x4008_3600
MSTP	モジュールストップコントロール A、B、C、D、E	0x4008_4000

表 3.1　周辺機能のベースアドレス (2/3)

名称	説明	ベースアドレス
KINT	キー割り込み機能	0x4008_5000
POEG	GPT 用のポートアウトプットイネーブル	0x4008_A000
CANFD_B	CANFD モジュール制御	0x400B_0000
PSCU	ペリフェラルセキュリティ制御ユニット	0x400E_0000
AGTW_B0	非同期汎用タイマ 0	0x400E_8000
AGTW_B1	非同期汎用タイマ 1	0x400E_8100
TSN	温度センサ	0x400F_3000
ACMPHS0	高速アナログコンパレータ	0x400F_4000
ACMPHS1	高速アナログコンパレータ	0x400F_4100
ACMPHS2	高速アナログコンパレータ	0x400F_4200
ACMPHS3	高速アナログコンパレータ	0x400F_4300
CRC	巡回冗長検査	0x4010_8000
DOC_B	データ演算回路	0x4010_9000
SCI_B0	シリアルコミュニケーションインタフェース 0	0x4011_8000
SCI_B1	シリアルコミュニケーションインタフェース 1	0x4011_8100
SCI_B2	シリアルコミュニケーションインタフェース 2	0x4011_8200
SCI_B3	シリアルコミュニケーションインタフェース 3	0x4011_8300
SCI_B4	シリアルコミュニケーションインタフェース 4	0x4011_8400
SCI_B9	シリアルコミュニケーションインタフェース 9	0x4011_8900
SPI_B0	シリアルペリフェラルインタフェース 0	0x4011_A000
SPI_B1	シリアルペリフェラルインタフェース 1	0x4011_A100
IIC_B0	I^2C0	0x4011_F000
IIC0WU_B	I^2C0 ウェイクアップユニット	0x4011_F098
IIC_B1	I^2C1	0x4011_F400
ECCMB	CANFD ECC モジュール	0x4012_F200
SCE5_B	セキュア暗号エンジン	0x4016_1000
GPT320	汎用 PWM タイマ 0	0x4016_9000
GPT321	汎用 PWM タイマ 1	0x4016_9100
GPT322	汎用 PWM タイマ 2	0x4016_9200
GPT323	汎用 PWM タイマ 3	0x4016_9300
GPT324	汎用 PWM タイマ 4	0x4016_9400
GPT325	汎用 PWM タイマ 5	0x4016_9500
GPT326	汎用 PWM タイマ 6	0x4016_9600
GPT327	汎用 PWM タイマ 7	0x4016_9700
GPT328	汎用 PWM タイマ 8	0x4016_9800
GPT329	汎用 PWM タイマ 9	0x4016_9900
GPT_OPS	出力相切り替えコントローラ	0x4016_9A00
GPT_GTCLK	汎用 PWM タイマ	0x4016_9B00
PDG	PWM 遅延生成	0x4016_A000
ADC_B	A/D コンバータ	0x4017_0000
DAC120	12 ビット D/A コンバータ	0x4017_2000

表 3.1 周辺機能のベースアドレス (3/3)

名称	説明	ベースアドレス
DAC121	12 ビット D/A コンバータ	0x4017_2100
FLAD	データフラッシュ	0x407F_C000
FACI	フラッシュアプリケーションコマンドインタフェース	0x407F_E000

注. 名称 = 周辺機能の名称
内容 = 周辺機能
ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。
- 書き込みアクセスのサイクル数は、非バッファラブル書き込みアクセスにより得られるサイクル数を示します。

注. CPU からのレジスタアクセスが、DMAC や DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 3.2 アクセスサイクル (1/3)

周辺モジュール	アドレス		アクセスサイクル数					
			ICLK = PCLK		ICLK > PCLK(注1)		サイクルの単位	関連機能
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
RMPU, TZF, SRAM, BUS, DMACn, DMA, DTC, ICU	0x4000_0000	0x4000_6FFF	4	3	4	3	ICLK	ルネサスメモリプロテクションユニット、TrustZone フィルタ、SRAM コントロール、バスコントロール、ダイレクトメモリアクセスコントローラ n、DMAC モジュール起動、DTC コントロールレジスタ、割り込みコントローラ
キャッシュ	0x4000_7000	0x4000_7FFF	4	5	4	5	ICLK	キャッシュ
CPSCU, DBG, FCACHE	0x4000_8000	0x4001_CFFF	4	3	4	3	ICLK	CPU システムセキュリティコントロールユニット、デバッグ機能、フラッシュキャッシュ
SYSC	0x4001_E000	0x4001_E3FF	5	4	5	4	ICLK	システム制御
SYSC	0x4001_E400	0x4001_E5FF	9	8	5～8	5～8	PCLKB	システム制御
PORTn	0x4001_F000	0x4001_F7FF	5	3	5	3	ICLK	PORTn コントロールレジスタ 1/3/4
PORTn (PCNTR2)	0x4001_F000	0x4001_F7FF	8	3	8	3	ICLK	PORTn コントロールレジスタ 2
PFS	0x4001_F800	0x4001_FFFF	8	3	8	3	ICLK	Pmn 端子機能コントロールレジスタ

表 3.2　　アクセスサイクル (2/3)

			アクセスサイクル数					
	アドレス		ICLK = PCLK		ICLK > PCLK[注1]		サイクルの単位	
周辺モジュール	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		関連機能
IIRFA	0x4002_0000	0x4002_03FF	4	3	4	3	ICLK	IIR フィルタアクセラレータ
IIRFA	0x4002_0400	0x4002_0FFF	6	3	6	3	ICLK	IIR フィルタアクセラレータ
TFU	0x4002_1000	0x4002_1FFF	4	3	4	3	ICLK	三角関数ユニット
ELC	0x4008_2000	0x4008_2FFF	5	4	3～5	2～4	PCLKB	イベントリンクコントローラ
IWDT, WDT, CAC	0x4008_3000	0x4008_3FFF	5	4	3～5	2～4	PCLKB	独立ウォッチドッグタイマ、ウォッチドッグタイマ、クロック周波数精度測定回路
MSTP	0x4008_4000	0x4008_4FFF	5	4	2～4	2～4	PCLKB	モジュールストップ制御
KINT	0x4008_5000	0x4008_5FFF	4	3	1～4	1～3	PCLKB	キー割り込み機能
POEG	0x4008_A000	0x4008_AFFF	5	4	3～5	2～4	PCLKB	GPT 用のポートアウトプットイネーブル
CANFD	0x400B_0000	0x400C_1FFF	5	4	2～5	2～4	PCLKB	CANFD モジュール
PSCU	0x400E_0000	0x400E_0FFF	5	4	2～5	2～4	PCLKB	ペリフェラルセキュリティ制御ユニット
AGTn	0x400E_8000	0x400E_8FFF	7	4	4～7	2～4	PCLKB	非同期汎用タイマ n
TSN	0x400F_3000	0x400F_3FFF	5	4	2～5	2～4	PCLKB	温度センサ
ACMPHSn	0x400F_4000	0x400F_4FFF	4	3	1～3	1～3	PCLKB	高速アナログコンパレータ
CRC, DOC	0x4010_8000	0x4010_9FFF	5	4	2～5	2～4	PCLKA	巡回冗長検査、データ演算回路
SCIn	0x4011_8000	0x4011_8FFF	5	4	2～4	2～4	PCLKA	シリアルコミュニケーションインタフェース n
SPIn	0x4011_A000	0x4011_AFFF	5	4	2～5	2～4	PCLKA	シリアルペリフェラルインタフェース n
IICn	0x4011_F000	0x4011_FFFF	5	4	2～4	2～4	PCLKA	I^2Cn
CANFD ECC	0x4012_F200	0x4012_FFFF	5	4	2～5	2～4	PCLKA	CANFD ECC モジュール
SCE5	0x4016_1000	0x4016_1FFF	6	4	3～6	2～4	PCLKA	セキュア暗号エンジン
GPT32n, GPT_OPS（コアクロック = PCLKD）	0x4016_9000	0x4016_9FFF	8	5	5～8	3～5	PCLKA	汎用 PWM タイマ n、出力位相切り替えコントローラ
GPT32n, GPT_OPS（コアクロック = GPTCLK）	0x4016_9000	0x4016_9FFF	10	7	7～10	5～7	PCLKA	汎用 PWM タイマ n、出力位相切り替えコントローラ
GPT (GTCKCR)	0x4016_9B00	0x4016_9B00	5	4	2～4	2～4	PCLKA	GPT クロックコントロールレジスタ
PDG	0x4016_A000	0x4016_AFFF	4	3	1～3	1～3	PCLKA	PWM 遅延生成
ADC	0x4017_0000	0x4017_0FFF	5	4	2～5	2～4	PCLKA	A/D コンバータ
ADC	0x4017_1000	0x4017_1FFF	4	3	1～3	1～3	PCLKA	A/D コンバータ
DAC12n	0x4017_2000	0x4017_2FFF	5	4	2～4	2～4	PCLKA	12 ビット D/A コンバータ

表 3.2　アクセスサイクル (3/3)

周辺モジュール	アドレス		アクセスサイクル数					
			ICLK = FCLK		ICLK > FCLK(注1)		サイクルの単位	関連機能
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
FLAD, FACI	0x407F_C000	0x407F_EFFF	5	4	2～5	2～4	FCLK	データフラッシュ、フラッシュアプリケーションコマンドインタフェース

注 1.　PCLK または FCLK サイクル数が整数ではない（たとえば 1.5）場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。たとえば、1.5～2.5 は 1～3 となります。

付録 4.　モジュールバージョン

表 4.1 に、このマニュアルで使用されているモジュール名とモジュールバージョンとの関係を示します。

表 4.1　モジュール名 vs モジュールバージョン

モジュール名	モジュールバージョン
ELC	ELC_B
AGTW	AGTW_B
SCI	SCI_B
IIC	IIC_B
CANFD	CANFD_B
SPI	SPI_B
SCE5	SCE5_B
ADC	ADC_B
DOC	DOC_B

付録 5.　関連文書

コンポーネント	ドキュメントの種類	説明
マイクロコントローラ	データシート	MCU の特長、概要、および電気的特性
	ユーザーズマニュアル：ハードウェア	MCU の仕様（ピン配置、メモリマップ、周辺機能、電気的特性、タイミング図）と動作説明
	アプリケーションノート	テクニカルノート、ボード設計ガイドライン、およびソフトウェア移行情報
	テクニカルアップデート (TU)	制限および正誤表などの、製品の仕様に関する速報
ソフトウェア	ユーザーズマニュアル：ソフトウェア	コマンドセット、API リファレンスおよびプログラミング情報
	アプリケーションノート	組み込みソフトウェアアプリケーションを開発するためのプロジェクトファイル、ソフトウェアプログラミングのガイドライン、および応用例
ツール&キット、ソリューション	ユーザーズマニュアル：開発ツール	ソフトウェアパッケージ、開発キット、スターターキット、プロモーションキット、製品事例、および応用事例を使って組み込みソフトウェアアプリケーションを開発するためのユーザーズマニュアルおよびクイックスタートガイド
	クイックスタートガイド	
	アプリケーションノート	組み込みソフトウェアアプリケーションを開発するためのプロジェクトファイル、ソフトウェアプログラミングのガイドライン、および応用例

改訂履歴

Revision 1.10 — 2021 年 12 月 9 日

初版発行

Revision 1.20 — 2022 年 3 月 31 日

1. 概要：
- 表 1.11 のパッケージコードを変更
- 表 1.12 の ACMPHS の数を変更
- 表 1.13 の KINT の説明を変更

2. 電気的特性：
- 表 2.7 のリファレンス電源電流から DAC12 を削除
- 表 2.11 のパッケージコードを変更
- 表 2.35 にパラメーターを追加
- 表 2.35 のフルスケール誤差の値を変更
- 表 2.35 の DNL 誤差から「擬」を削除

付録 2. 外形寸法図：
- 図 2.3 と図 2.5 を変更

付録 3. I/O レジスタ：
- IIC0WU_B のベースアドレスを変更
- GPT320～GPT329 のモジュール名を変更

Revision 1.30 — 2022 年 8 月 26 日

特長：
- 特長を更新

1. 概要：
- 表 1.3 システムを更新
- 表 1.8 アナログ機能を更新
- 表 1.10 データ処理アクセラレータを更新

2. 電気的特性：
- 表 2.1 絶対最大定格の注 1 を更新
- 表 2.7 動作電流とスタンバイ電流を更新
- 2.4 A/D 変換特性を更新
- 表 2.45 PGA 特性（シングルエンド入力モード）を更新
- 表 2.46 PGA 特性（疑似差動入力モード）を更新

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品デ－タ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注１において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/