

改訂一覧は改訂箇所をまとめたものであり、
 詳細については必ず本文の内容をご確認ください。

SH7670 グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32 ビット RISC マイクロコンピュータ
 SuperH™ RISC engine ファミリ / SH7670 シリーズ

SH7670	R5S76700
SH7671	R5S76710
SH7672	R5S76720
SH7673	R5S76730

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
 ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
 2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 3. 当社製品を改造、改変、複製等しないでください。
 4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
 5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
 6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
 7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
 8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
 10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
 11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
 12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

SH7670 グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	—	—
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	SH7670 グループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編	R01US0031JJ
アプリケーションノート	応用例参考プログラムなど	ルネサス エレクトロニクスのホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) 全体的な表記

本文中ではビットの説明をする場合、モジュールやレジスタとの関連を明確にするため、ビット名を「モジュール名. レジスタ名. ビット名」または「レジスタ名. ビット名」と表記している場合があります。

(2) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に「レジスタ名_チャンネル番号」の表記を使用します。

(例) CMCSR_0 : コンペアマッチタイマのチャンネル0 (_0) のCMCSRレジスタを示します。

(3) 数字の表記

2進数はB'nnnn (明らかに2進数と判断できる場合はB'を省略)、16進数はH'nnnnまたは0xnnnn、10進数はnnnnで表します。

(例) 2進数 : B'11または11

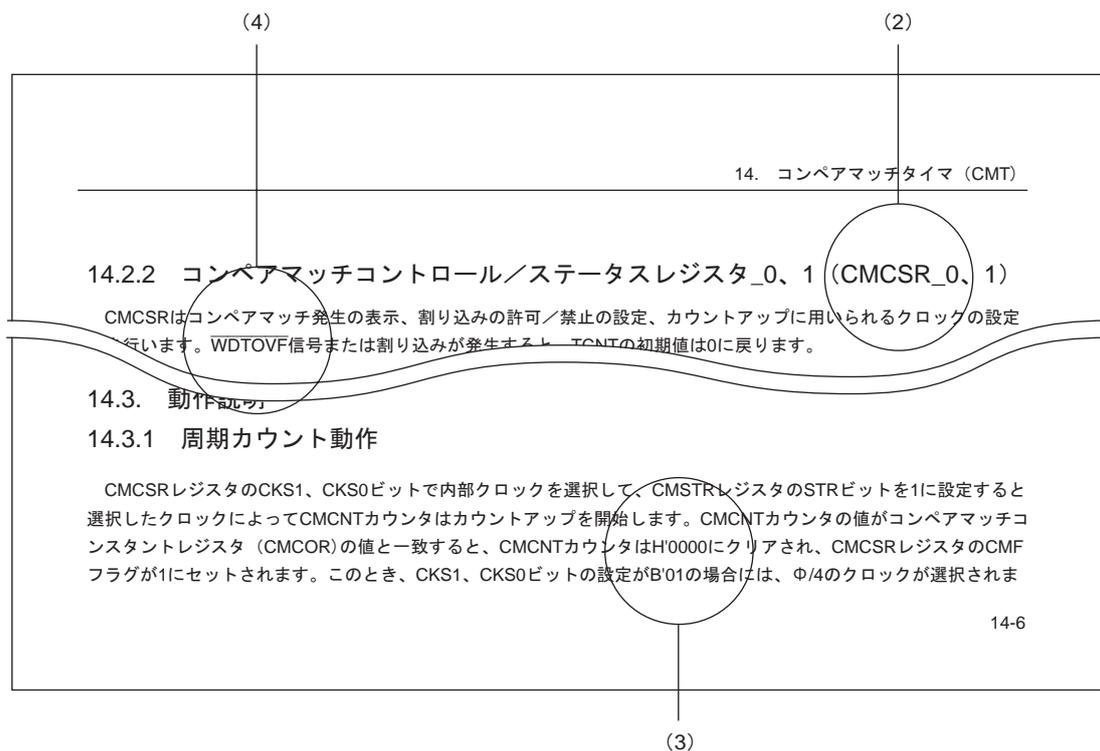
16進数 : H'EFA0または0xEFA0

10進数 : 1234

(4) ローアクティブの表記

ローアクティブの信号および端子には上線を付けて表記しています。

(例) WDTOVF

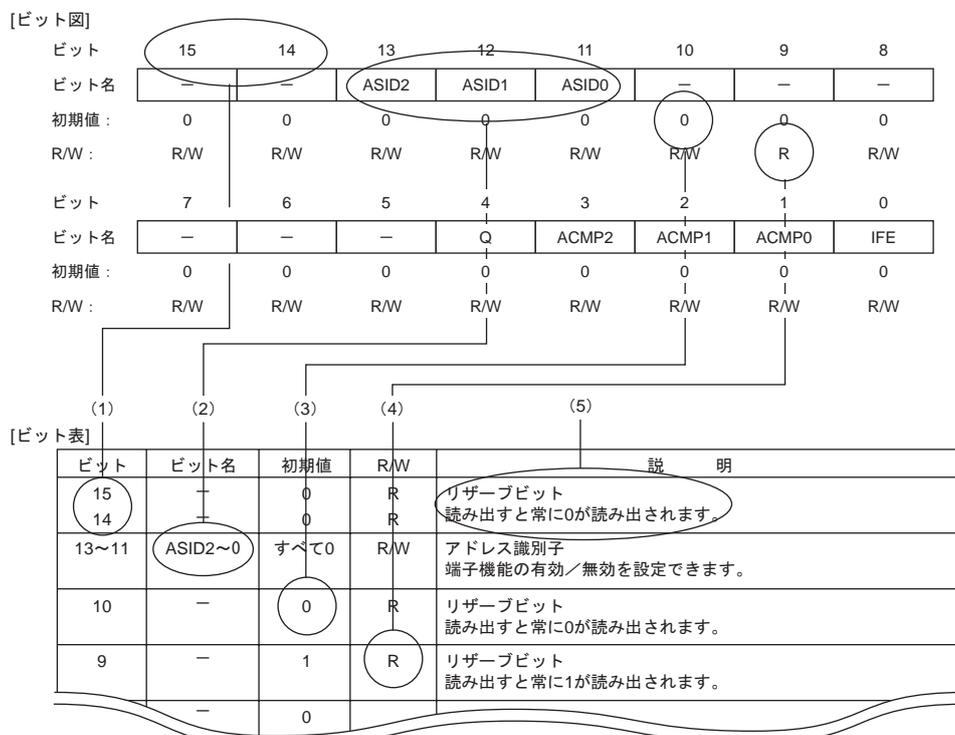


【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

3. レジスタの表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

使用する記号、用語を以下に説明します。



【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

ビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。

また、リザーブビットの場合は「—」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

— : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。
ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。
リザーブビットはすべて「R」と表記します。書き込む必要がある場合は、
ビット表で指定された値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

(5) 説明

ビットの機能について説明しています。

4. 略語および略称の説明

以下に本書内で使用されている略語または略称を示します。

- 本製品固有の略語または略称

略称	英語名	日本語名
BSC	Bus Controller	バスコントローラ
CPG	Clock Pulse Generator	クロック発振器
INTC	Interrupt Controller	割り込みコントローラ
WDT	Watchdog Timer	ウォッチドッグタイマ

- その他の略語または略称

略語／略称	英語名	日本語名
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	周期的冗長検査
DMA	Direct Memory Access	ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller	ダイレクトメモリアクセスクントローラ
GSM	Global System for Mobile Communications	ジーエスエム
Hi-Z	High Impedance	ハイインピーダンス
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816 規定の通信方式
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要.....	1-1
1.1 特長.....	1-1
1.2 用途.....	1-1
1.3 仕様概要.....	1-2
1.4 製品一覧.....	1-8
1.5 ブロック図.....	1-9
1.6 ピン配置図.....	1-10
1.7 端子機能.....	1-11
2. CPU.....	2-1
2.1 レジスタ構成.....	2-1
2.1.1 汎用レジスタ.....	2-1
2.1.2 コントロールレジスタ.....	2-2
2.1.3 システムレジスタ.....	2-3
2.1.4 レジスタバンク.....	2-4
2.1.5 レジスタの初期値.....	2-4
2.2 データ形式.....	2-5
2.2.1 レジスタのデータ形式.....	2-5
2.2.2 メモリのデータ形式.....	2-5
2.2.3 イミディエイトデータのデータ形式.....	2-6
2.3 命令の特長.....	2-7
2.3.1 RISC 方式.....	2-7
2.3.2 アドレッシングモード.....	2-11
2.3.3 命令形式.....	2-15
2.4 命令セット.....	2-19
2.4.1 分類順命令セット.....	2-19
2.4.2 データ転送命令.....	2-24
2.4.3 算術演算命令.....	2-27
2.4.4 論理演算命令.....	2-29
2.4.5 シフト命令.....	2-30
2.4.6 分岐命令.....	2-31
2.4.7 システム制御命令.....	2-32
2.4.8 浮動小数点演算命令.....	2-34
2.4.9 FPU に関する CPU 命令.....	2-36

2.4.10	ビット操作命令	2-37
2.5	処理状態	2-38
3.	浮動小数点ユニット (FPU)	3-1
3.1	特長	3-1
3.2	データフォーマット	3-2
3.2.1	浮動小数点フォーマット	3-2
3.2.2	非数 (NaN)	3-4
3.2.3	非正規化数	3-4
3.3	レジスタの説明	3-5
3.3.1	浮動小数点レジスタ	3-5
3.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR)	3-6
3.3.3	浮動小数点通信レジスタ (FPUL)	3-7
3.4	丸め	3-8
3.5	浮動小数点例外	3-9
3.5.1	FPU 例外要因	3-9
3.5.2	FPU 例外処理	3-9
4.	キャッシュ	4-1
4.1	特長	4-1
4.1.1	キャッシュの構成	4-1
4.2	レジスタの説明	4-4
4.2.1	キャッシュ制御レジスタ 1 (CCR1)	4-4
4.2.2	キャッシュ制御レジスタ 2 (CCR2)	4-6
4.3	動作説明	4-9
4.3.1	キャッシュの検索	4-9
4.3.2	リード動作	4-10
4.3.3	プリフェッチ動作 (オペランドキャッシュのみ)	4-10
4.3.4	ライト動作 (オペランドキャッシュのみ)	4-10
4.3.5	ライトバックバッファ (オペランドキャッシュのみ)	4-11
4.3.6	キャッシュと外部メモリとのコヒーレンシ	4-13
4.4	メモリ割り付けキャッシュの構成	4-14
4.4.1	アドレスアレイ	4-14
4.4.2	データアレイ	4-15
4.4.3	使用例	4-17
4.4.4	注意事項	4-17

5.	例外処理	5-1
5.1	概要	5-1
5.1.1	例外処理の種類と優先順位	5-1
5.1.2	例外処理の動作	5-2
5.1.3	例外処理ベクタテーブル	5-4
5.2	リセット	5-6
5.2.1	入出力端子	5-6
5.2.2	リセットの種類	5-6
5.2.3	パワーオンリセット	5-7
5.2.4	マニュアルリセット	5-8
5.3	アドレスエラー	5-9
5.3.1	アドレスエラー発生要因	5-9
5.3.2	アドレスエラー例外処理	5-9
5.4	レジスタバンクエラー	5-10
5.4.1	レジスタバンクエラー発生要因	5-10
5.4.2	レジスタバンクエラー例外処理	5-10
5.5	割り込み	5-11
5.5.1	割り込み要因	5-11
5.5.2	割り込み優先順位	5-12
5.5.3	割り込み例外処理	5-13
5.6	命令による例外	5-14
5.6.1	命令による例外の種類	5-14
5.6.2	トラップ命令	5-14
5.6.3	スロット不当命令	5-15
5.6.4	一般不当命令	5-15
5.6.5	整数除算命令	5-15
5.6.6	浮動小数点演算命令	5-16
5.7	例外処理が受け付けられない場合	5-17
5.8	例外処理後のスタックの状態	5-18
5.9	使用上の注意事項	5-19
5.9.1	スタックポインタ (SP) の値	5-19
5.9.2	ベクタベースレジスタ (VBR) の値	5-19
5.9.3	アドレスエラー例外処理のスタッキングで発生するアドレスエラー	5-19
6.	割り込みコントローラ (INTC)	6-1
6.1	特長	6-1
6.2	入出力端子	6-3
6.3	レジスタの説明	6-4

6.3.1	割り込み優先レベル設定レジスタ 01、02、06~16 (IPR01、IPR02、IPR06~IPR16)	6-5
6.3.2	割り込みコントロールレジスタ 0 (ICR0)	6-6
6.3.3	割り込みコントロールレジスタ 1 (ICR1)	6-7
6.3.4	IRQ 割り込み要求レジスタ (IRQRR)	6-8
6.3.5	バンクコントロールレジスタ (IBCR)	6-9
6.3.6	バンク番号レジスタ (IBNR)	6-10
6.4	割り込み要因	6-11
6.4.1	NMI 割り込み	6-11
6.4.2	ユーザブレイク割り込み	6-11
6.4.3	H-UDI 割り込み	6-11
6.4.4	IRQ 割り込み	6-12
6.4.5	内蔵周辺モジュール割り込み	6-13
6.5	割り込み例外処理ベクタテーブルと優先順位	6-14
6.6	動作説明	6-17
6.6.1	割り込み動作の流れ	6-17
6.6.2	割り込み例外処理終了後のスタックの状態	6-19
6.7	割り込み応答時間	6-20
6.8	レジスタバンク	6-25
6.8.1	バンクの対象レジスタと入出力方式	6-25
6.8.2	バンク退避、復帰の動作	6-26
6.8.3	すべてのバンクに退避が行われた状態での退避、復帰	6-28
6.8.4	レジスタバンクの例外	6-29
6.8.5	レジスタバンクエラー例外処理	6-29
6.9	割り込み要求信号によるデータ転送	6-30
6.9.1	割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合	6-30
6.9.2	割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合	6-30
6.10	使用上の注意事項	6-31
6.10.1	割り込み要因クリアのタイミング	6-31
7.	バスステートコントローラ (BSC)	7-1
7.1	特長	7-1
7.2	入出力端子	7-4
7.3	エリアの概要	7-5
7.3.1	アドレスマップ	7-5
7.3.2	各エリアのデータバス幅と端子機能設定	7-6
7.4	レジスタの説明	7-7
7.4.1	共通コントロールレジスタ (CMNCR)	7-8
7.4.2	CSn 空間バスコントロールレジスタ (CSnBCR) (n=0、3~6)	7-10

7.4.3	CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0、3~6)	7-14
7.4.4	SDRAM コントロールレジスタ (SDCR)	7-29
7.4.5	リフレッシュタイマコントロール/ステータスレジスタ (RTCSR)	7-31
7.4.6	リフレッシュタイマカウンタ (RTCNT)	7-33
7.4.7	リフレッシュタイムコンスタントレジスタ (RTCOR)	7-34
7.4.8	内部バスマスタバス権優先順位設定レジスタ (IBMPR)	7-35
7.5	動作説明	7-37
7.5.1	エンディアン/アクセスサイズとデータアライメント	7-37
7.5.2	通常空間インタフェース	7-42
7.5.3	アクセスウェイト制御	7-47
7.5.4	\overline{CSn} アサート期間拡張	7-49
7.5.5	SDRAM インタフェース	7-50
7.5.6	バイト選択付き SRAM インタフェース	7-82
7.5.7	PCMCIA インタフェース	7-87
7.5.8	アクセスサイクル間アイドル	7-92
7.5.9	その他	7-98
8.	ダイレクトメモリアクセスコントローラ (DMAC)	8-1
8.1	特長	8-1
8.2	入出力端子	8-3
8.3	レジスタの説明	8-4
8.3.1	DMA ソースアドレスレジスタ (SAR)	8-7
8.3.2	DMA デスティネーションアドレスレジスタ (DAR)	8-8
8.3.3	DMA トランスファカウンタレジスタ (DMATCR)	8-8
8.3.4	DMA チャンネルコントロールレジスタ (CHCR)	8-9
8.3.5	DMA リロードソースアドレスレジスタ (RSAR)	8-15
8.3.6	DMA リロードデスティネーションアドレスレジスタ (RDAR)	8-16
8.3.7	DMA リロードトランスファカウンタレジスタ (RDMATCR)	8-17
8.3.8	DMA オペレーションレジスタ (DMAOR)	8-17
8.3.9	DMA 拡張リソースセクタ 0~3 (DMARS0~DMARS3)	8-21
8.4	動作説明	8-23
8.4.1	転送フロー	8-23
8.4.2	DMA 転送要求	8-25
8.4.3	チャンネルの優先順位	8-28
8.4.4	DMA 転送の種類	8-31
8.4.5	バスサイクルのステート数と DREQ 端子のサンプリングタイミング	8-40
8.5	使用上の注意事項	8-43
8.5.1	DMA オペレーションレジスタ (DMAOR) の NMIF ビット (NMI フラグ) に関して	8-43

8.5.2	ハーフエンドフラグのセットおよびハーフエンド割り込み	8-43
9.	クロックパルス発振器 (CPG)	9-1
9.1	特長	9-1
9.2	入出力端子	9-4
9.3	クロック動作モード	9-5
9.4	レジスタの説明	9-9
9.4.1	周波数制御レジスタ (FRQCR)	9-9
9.5	周波数変更方法	9-11
9.5.1	逡倍率の変更	9-11
9.5.2	分周率の変更	9-11
9.6	ボード設計上の注意事項	9-12
9.6.1	外部クロック入力時の注意	9-12
9.6.2	水晶発振子使用時の注意	9-12
9.6.3	発振子に関する注意	9-13
9.6.4	PLL 発振回路使用時の注意	9-13
10.	ウォッチドッグタイマ (WDT)	10-1
10.1	特長	10-1
10.2	入出力端子	10-3
10.3	レジスタの説明	10-4
10.3.1	ウォッチドッグタイマカウンタ (WTCNT)	10-4
10.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)	10-5
10.3.3	ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)	10-7
10.3.4	レジスタアクセス時の注意	10-8
10.4	WDTの使用法	10-10
10.4.1	ソフトウェアスタンバイモード解除の手順	10-10
10.4.2	周波数変更の手順	10-10
10.4.3	ウォッチドッグタイマモードの使用法	10-11
10.4.4	インターバルタイマモードの使用法	10-12
10.5	使用上の注意事項	10-13
10.5.1	タイマ誤差	10-13
10.5.2	WTCNT の設定値として H'FF は設定禁止	10-13
10.5.3	$\overline{\text{WDTOVF}}$ 信号によるシステムリセット	10-13
10.5.4	ウォッチドッグタイマモードのマニュアルリセット	10-13
11.	低消費電力モード	11-1
11.1	特長	11-1

11.1.1	低消費電力モードの種類	11-1
11.2	レジスタの説明	11-2
11.2.1	スタンバイコントロールレジスタ (STBCR)	11-2
11.2.2	スタンバイコントロールレジスタ 2 (STBCR2)	11-3
11.2.3	スタンバイコントロールレジスタ 3 (STBCR3)	11-4
11.2.4	スタンバイコントロールレジスタ 4 (STBCR4)	11-5
11.2.5	システムコントロールレジスタ 1 (SYSCR1)	11-7
11.2.6	システムコントロールレジスタ 2 (SYSCR2)	11-8
11.2.7	システムコントロールレジスタ 3 (SYSCR3)	11-9
11.3	動作説明	11-10
11.3.1	スリープモード	11-10
11.3.2	ソフトウェアスタンバイモード	11-10
11.3.3	ソフトウェアスタンバイモードの応用例	11-12
11.3.4	モジュールスタンバイ機能	11-13
11.4	使用上の注意事項	11-13
12.	イーサネットコントローラ (EtherC)	12-1
12.1	特長	12-1
12.2	入出力端子	12-2
12.3	レジスタの説明	12-3
12.3.1	EtherC モードレジスタ (ECMR)	12-4
12.3.2	EtherC ステータスレジスタ (ECSR)	12-7
12.3.3	EtherC 割り込み許可レジスタ (ECSIPR)	12-8
12.3.4	PHY 部インタフェースレジスタ (PIR)	12-9
12.3.5	MAC アドレス上位設定レジスタ (MAHR)	12-10
12.3.6	MAC アドレス下位設定レジスタ (MALR)	12-10
12.3.7	受信フレーム長上限レジスタ (RFLR)	12-11
12.3.8	PHY 部ステータスレジスタ (PSR)	12-12
12.3.9	送信リトライオーバーカウンタレジスタ (TROCR)	12-12
12.3.10	遅延衝突検出カウンタレジスタ (CDCR)	12-13
12.3.11	キャリア消失カウンタレジスタ (LCCR)	12-13
12.3.12	キャリア未検出カウンタレジスタ (CNDCR)	12-14
12.3.13	CRC エラーフレーム受信カウンタレジスタ (CEFCR)	12-14
12.3.14	フレーム受信エラーカウンタレジスタ (FRECR)	12-15
12.3.15	64 バイト未満フレーム受信カウンタレジスタ (TSFRCR)	12-15
12.3.16	指定バイト超フレーム受信カウンタレジスタ (TLFRCR)	12-16
12.3.17	端数ビットフレーム受信カウンタレジスタ (RFCR)	12-16
12.3.18	マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)	12-17

12.3.19	IPG 設定レジスタ (IPGR)	12-18
12.3.20	自動 PAUSE フレーム設定レジスタ (APR)	12-19
12.3.21	手動 PAUSE フレーム設定レジスタ (MPR)	12-19
12.3.22	自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER)	12-20
12.4	動作説明	12-21
12.4.1	送信動作	12-21
12.4.2	受信動作	12-22
12.4.3	MII フレームタイミング	12-23
12.4.4	MII レジスタのアクセス方法	12-25
12.4.5	Magic Packet の検出	12-28
12.4.6	IPG 設定による動作	12-28
12.4.7	フロー制御	12-29
12.5	PHY-LSIとの接続	12-30
12.6	使用上の注意事項	12-30
13.	イーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC)	13-1
13.1	特長	13-1
13.2	レジスタの説明	13-2
13.2.1	E-DMAC モードレジスタ (EDMR)	13-3
13.2.2	E-DMAC 送信要求レジスタ (EDTRR)	13-4
13.2.3	E-DMAC 受信要求レジスタ (EDRRR)	13-5
13.2.4	送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR)	13-6
13.2.5	受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR)	13-7
13.2.6	EtherC/E-DMAC ステータスレジスタ (EESR)	13-8
13.2.7	EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR)	13-12
13.2.8	送受信ステータスコピー指示レジスタ (TRSCER)	13-15
13.2.9	ミスドフレームカウンタレジスタ (RMFCR)	13-17
13.2.10	送信 FIFO しきい値指定レジスタ (TFTR)	13-18
13.2.11	FIFO 容量指定レジスタ (FDR)	13-19
13.2.12	受信方式制御レジスタ (RMCR)	13-20
13.2.13	E-DMAC 動作制御レジスタ (EDOCR)	13-21
13.2.14	受信バッファライトアドレスレジスタ (RBWAR)	13-22
13.2.15	受信ディスクリプタフェッチアドレスレジスタ (RDFAR)	13-22
13.2.16	送信バッファリードアドレスレジスタ (TBRAR)	13-23
13.2.17	送信ディスクリプタフェッチアドレスレジスタ (TDFAR)	13-23
13.2.18	フロー制御開始 FIFO しきい値設定レジスタ (FCFTR)	13-24
13.2.19	受信データパディング挿入設定レジスタ (RPADIR)	13-25
13.2.20	送信割り込み設定レジスタ (TRIMD)	13-26

13.2.21	チェックサムモードレジスタ (CSMR)	13-27
13.2.22	チェックサムスキップ済みバイト数モニタレジスタ (CSSBM)	13-28
13.2.23	チェックサムモニタレジスタ (CSSMR)	13-28
13.3	動作説明	13-30
13.3.1	ディスクリプタリストとデータバッファ	13-30
13.3.2	送信機能	13-38
13.3.3	受信機能	13-40
13.3.4	マルチバッファフレームの送受信処理について	13-41
13.3.5	受信データへのパディング挿入について	13-43
13.3.6	チェックサム計算機能	13-44
13.3.7	使用上の注意	13-46
14.	暗復号・フォワードエラーコレクションコア連動 DMAC (A-DMAC)	14-1
14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	A-DMAC の全体構造	14-2
14.1.3	A-DMAC の制限	14-4
14.2	レジスタの説明	14-5
14.2.1	チャンネル[i]処理制御レジスタ (C[i]C) (i=0、1)	14-6
14.2.2	チャンネル[i]処理モードレジスタ (C[i]M) (i=0、1)	14-8
14.2.3	チャンネル[i]処理割り込み要求レジスタ (C[i]I) (i=0、1)	14-9
14.2.4	チャンネル[i]処理ディスクリプタ開始アドレスレジスタ (C[i]DSA) (i=0、1)	14-10
14.2.5	チャンネル[i]処理ディスクリプタ現在アドレスレジスタ (C[i]DCA) (i=0、1)	14-10
14.2.6	チャンネル[i]処理ディスクリプタ 0 レジスタ (C[i]D0) 【制御】 (i=0、1)	14-11
14.2.7	チャンネル[i]処理ディスクリプタ 1 レジスタ (C[i]D1) 【ソースアドレス】 (i=0、1)	14-16
14.2.8	チャンネル[i]処理ディスクリプタ 2 レジスタ (C[i]D2) 【デスティネーションアドレス】 (i=0、1)	14-17
14.2.9	チャンネル[i]処理ディスクリプタ 3 レジスタ (C[i]D3) 【データ長】 (i=0、1)	14-17
14.2.10	チャンネル[i]処理ディスクリプタ 4 レジスタ (C[i]D4) 【チェックサム値ライトアドレス】 (i=0、1)	14-18
14.2.11	FEC DMAC 処理制御レジスタ (FECC)	14-19
14.2.12	FEC DMAC 処理割り込み要求レジスタ (FECDI)	14-21
14.2.13	FEC DMAC 処理ディスクリプタ開始アドレスレジスタ (FECDSA)	14-23
14.2.14	FEC DMAC 処理ディスクリプタ現在アドレスレジスタ (FECDCA)	14-23
14.2.15	FEC DMAC 処理ディスクリプタ 0 レジスタ (FECD00) 【制御】	14-24
14.2.16	FEC DMAC 処理ディスクリプタ 1 レジスタ (FECD01D0A) 【デスティネーションアドレス】	14-26
14.2.17	FEC DAMC 処理ディスクリプタ 2 レジスタ (FECD02S0A) 【ソース 0 アドレス】	14-27
14.2.18	FEC DAMC 処理ディスクリプタ 3 レジスタ (FECD03S1A) 【ソース 1 アドレス】	14-27

14.3	機能の説明	14-28
14.3.1	DMAC チャンネル機能	14-28
14.3.2	チェックサム	14-28
14.3.3	FEC チャンネル	14-28
14.3.4	FEC 演算	14-28
14.4	チャンネル動作説明	14-30
14.4.1	ディスクリプタフォーマット	14-30
14.4.2	チャンネル基本動作	14-31
14.4.3	チェックサム	14-31
14.5	FECチャンネル動作	14-33
14.5.1	FEC チャンネル用ディスクリプタフォーマット	14-33
14.5.2	FEC チャンネル基本動作	14-33
14.6	使用上の注意事項	14-35
14.6.1	A-DMAC チャンネル動作用ディスクリプタで設定するデータ転送サイズについて	14-35
15.	ストリームインタフェース (STIF)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-4
15.3.1	STIF モードセレクトレジスタ (STMDR)	15-5
15.3.2	STIF 制御レジスタ (STCTLR)	15-8
15.3.3	STIF 内部カウンタ制御レジスタ (STCNTCR)	15-10
15.3.4	STIF 内部カウンタ値設定レジスタ (STCNTVR)	15-10
15.3.5	STIF ステータスレジスタ (STSTR)	15-11
15.3.6	STIF 割り込みイネーブルレジスタ (STIER)	15-13
15.3.7	STIF 転送サイズレジスタ (STSIZER) (n=0,1)	15-14
15.3.8	STIFPWM モードレジスタ (STPWMMR)	15-15
15.3.9	STIFPWM コントロールレジスタ (STPWMCR)	15-18
15.3.10	STIFPWM レジスタ (STPWMR)	15-20
15.3.11	STIFPCR0、1 レジスタ (STPCR0R、STPCR1R)	15-21
15.3.12	STIFSTC0、1 レジスタ (STSTC0R、STSTC1R)	15-22
15.3.13	STIF ロックコントロールレジスタ (STLKCR)	15-23
15.3.14	STIF デバッグ用ステータスレジスタ (STDBGR)	15-25
15.4	他のデバイスとの接続例	15-26
15.4.1	基本の例	15-26
15.4.2	他デバイスがクロック入力を持たない場合の例	15-26
15.4.3	他デバイスがクロック出力を持たない場合の例	15-26
15.5	入出力タイミング	15-27

15.6	PCRクロックリカバリモジュール (PCRRCV)	15-33
15.6.1	PCR クロックリカバリ動作説明	15-34
15.6.2	PCR クロックリカバリの動作	15-36
15.7	使用上の注意事項	15-39
16.	シリアルサウンドインタフェース (SSI)	16-1
16.1	特長	16-1
16.2	入出力端子	16-4
16.3	レジスタの説明	16-5
16.3.1	コントロールレジスタ (SSICR)	16-6
16.3.2	ステータスレジスタ (SSISR)	16-11
16.3.3	トランスミットデータレジスタ (SSITDR)	16-15
16.3.4	レシーブデータレジスタ (SSIRDR)	16-15
16.3.5	SSI クロック選択レジスタ (SCSR)	16-16
16.4	動作説明	16-17
16.4.1	バスフォーマット	16-17
16.4.2	非圧縮モード	16-17
16.4.3	動作モード	16-25
16.4.4	送信動作	16-26
16.4.5	受信動作	16-28
16.4.6	送信時における一時停止、再開手順	16-31
16.4.7	シリアルビットクロックコントロール	16-31
16.5	使用上の注意事項	16-32
16.5.1	受信 DMA 動作中にオーバフローが起こった場合の制限事項	16-32
17.	USB2.0 ホスト/ファンクションモジュール (USB)	17-1
17.1	特長	17-1
17.2	入出力端子	17-3
17.3	レジスタの説明	17-4
17.3.1	システムコンフィギュレーションコントロールレジスタ (SYSCFG)	17-9
17.3.2	CPU バスウェイトレジスタ (BUSWAIT)	17-12
17.3.3	システムコンフィギュレーションステータスレジスタ (SYSSTS)	17-13
17.3.4	デバイスステートコントロールレジスタ (DVSTCTR)	17-14
17.3.5	テストモードレジスタ (TESTMODE)	17-17
17.3.6	DMA-FIFO バスコンフィギュレーションレジスタ (D0FBCFG、D1FBCFG)	17-20
17.3.7	FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)	17-21
17.3.8	FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)	17-23
17.3.9	FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)	17-29

17.3.10	割り込み許可レジスタ 0 (INTENB0)	17-32
17.3.11	割り込み許可レジスタ 1 (INTENB1)	17-34
17.3.12	BRDY 割り込み許可レジスタ (BRDYENB)	17-36
17.3.13	NRDY 割り込み許可レジスタ (NRDYENB)	17-38
17.3.14	BEMP 割り込み許可レジスタ (BEMPENB)	17-40
17.3.15	SOF 制御レジスタ (SOFCFG)	17-42
17.3.16	割り込みステータスレジスタ 0 (INTSTS0)	17-43
17.3.17	割り込みステータスレジスタ 1 (INTSTS1)	17-47
17.3.18	BRDY 割り込みステータスレジスタ (BRDYSTS)	17-51
17.3.19	NRDY 割り込みステータスレジスタ (NRDYSTS)	17-53
17.3.20	BEMP 割り込みステータスレジスタ (BEMPSTS)	17-55
17.3.21	フレームナンバーレジスタ (FRMNUM)	17-57
17.3.22	μ フレームナンバーレジスタ (UFRMNUM)	17-58
17.3.23	USB アドレスレジスタ (USBADDR)	17-59
17.3.24	USB リクエストタイプレジスタ (USBREQ)	17-60
17.3.25	USB リクエストバリューレジスタ (USBVAL)	17-61
17.3.26	USB リクエストインデックスレジスタ (USBINDX)	17-62
17.3.27	USB リクエストレングスレジスタ (USBLENG)	17-63
17.3.28	DCP コンフィギュレーションレジスタ (DCPCFG)	17-64
17.3.29	DCP マックスパケットサイズレジスタ (DCPMAXP)	17-65
17.3.30	DCP コントロールレジスタ (DCPCTR)	17-67
17.3.31	パイプウィンドウ選択レジスタ (PIPESEL)	17-74
17.3.32	パイプコンフィギュレーションレジスタ (PIPECFG)	17-75
17.3.33	パイプバッファ指定レジスタ (PIPEBUF)	17-80
17.3.34	パイプマックスパケットサイズレジスタ (PIPEMAXP)	17-82
17.3.35	パイプ周期制御レジスタ (PIPEPERI)	17-84
17.3.36	パイプ n コントロールレジスタ (PIPE n CTR) ($n=1\sim 9$)	17-86
17.3.37	パイプ n トランザクションカウンタイネーブルレジスタ (PIPE n TRE) ($n=1\sim 5$)	17-99
17.3.38	パイプ n トランザクションカウンタレジスタ (PIPE n TRN) ($n=1\sim 5$)	17-101
17.3.39	デバイスアドレス n コンフィギュレーションレジスタ (DEVADD n) ($n=0\sim A$)	17-103
17.3.40	DMA-FIFO バスウェイトレジスタ (D0FWAIT、D1FWAIT)	17-105
17.4	動作説明	17-106
17.4.1	システム制御および発振制御	17-106
17.4.2	割り込み機能	17-108
17.4.3	パイプコントロール	17-128
17.4.4	FIFO バッファメモリ	17-136
17.4.5	コントロール転送 (DCP)	17-145
17.4.6	バルク転送 (パイプ 1 ~ 5)	17-148

17.4.7	インタラプト転送 (パイプ 6~9)	17-150
17.4.8	アイソクロナス転送 (パイプ 1、2)	17-151
17.4.9	SOF 補間機能	17-162
17.4.10	パイプスケジュール	17-163
17.5	使用上の注意事項	17-165
17.5.1	USB モジュール用電源について	17-165
17.5.2	DTCH 割り込み発生について	17-167
17.5.3	本 USB を使用しない場合の処理について	17-167
17.5.4	USB フルスピードファンクションコントローラ機能使用時の USB 切断処理に関する 注意事項	17-167
18.	SD ホストインタフェース (SDHI)	18-1
19.	I ² C バスインタフェース 3 (IIC3)	19-1
19.1	特長	19-1
19.2	入出力端子	19-3
19.3	レジスタの説明	19-4
19.3.1	I ² C バスコントロールレジスタ 1 (ICCR1)	19-4
19.3.2	I ² C バスコントロールレジスタ 2 (ICCR2)	19-7
19.3.3	I ² C バスモードレジスタ (ICMR)	19-8
19.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	19-10
19.3.5	I ² C バスステータスレジスタ (ICSR)	19-12
19.3.6	スレーブアドレスレジスタ (SAR)	19-14
19.3.7	I ² C バス送信データレジスタ (ICDRT)	19-14
19.3.8	I ² C バス受信データレジスタ (ICDRR)	19-15
19.3.9	I ² C バスシフトレジスタ (ICDRS)	19-15
19.3.10	NF2CYC レジスタ (NF2CYC)	19-15
19.4	動作説明	19-16
19.4.1	I ² C バスフォーマット	19-16
19.4.2	マスタ送信動作	19-17
19.4.3	マスタ受信動作	19-19
19.4.4	スレーブ送信動作	19-21
19.4.5	スレーブ受信動作	19-22
19.4.6	クロック同期式シリアルフォーマット	19-24
19.4.7	ノイズ除去回路	19-27
19.4.8	使用例	19-28
19.5	割り込み要求	19-32
19.6	ビット同期回路	19-33

19.7	使用上の注意事項	19-35
19.7.1	マルチマスタで使用時の注意	19-35
19.7.2	マスタ受信モード時の注意	19-35
19.7.3	マスタ受信モード、ACKBT 設定時の注意	19-35
19.7.4	アービトラージロスト時の MST と TRN ビットの状態についての注意	19-35
19.7.5	I ² C バスインタフェースモードのマスタ受信モード時の注意事項	19-35
19.7.6	I ² C バス動作中における ICE および IICRST のアクセス	19-36
20.	ホストインタフェース (HIF)	20-1
20.1	特長	20-1
20.2	入出力端子	20-3
20.3	パラレルアクセス	20-4
20.3.1	動作説明	20-4
20.3.2	接続方法	20-4
20.4	レジスタの説明	20-5
20.4.1	HIF インデックスレジスタ (HIFIDX)	20-6
20.4.2	HIF 汎用ステータスレジスタ (HIFGSR)	20-7
20.4.3	HIF ステータス/コントロールレジスタ (HIFSCR)	20-8
20.4.4	HIF メモリ制御レジスタ (HIFMCR)	20-10
20.4.5	HIF 内部割り込み制御レジスタ (HIFIICR)	20-12
20.4.6	HIF 外部割り込み制御レジスタ (HIFEICR)	20-13
20.4.7	HIF アドレスレジスタ (HIFADR)	20-14
20.4.8	HIF データレジスタ (HIFDATA)	20-15
20.4.9	HIF ブート制御レジスタ (HIFBCR)	20-15
20.4.10	HIFDREQ トリガレジスタ (HIFDTR)	20-16
20.4.11	HIF バンク割り込み制御レジスタ (HIFBICR)	20-17
20.5	メモリマップ	20-18
20.6	インタフェース	20-19
20.6.1	基本シーケンス	20-19
20.6.2	HIFIDX と HIFIDX 以外の HIF レジスタのリード/ライト	20-19
20.6.3	外部デバイスから HIFRAM への連続データ書き込み	20-20
20.6.4	HIFRAM から外部デバイスへの連続読み出し	20-20
20.7	外部DMACインタフェース	20-21
20.8	アライメント制御	20-25
20.9	外部デバイス電源遮断時のインタフェース	20-26
20.10	使用上の注意事項	20-28

21. コンペアマッチタイマ (CMT)	21-1
21.1 特長	21-1
21.2 レジスタの説明	21-2
21.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)	21-2
21.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	21-3
21.2.3 コンペアマッチカウンタ (CMCNT)	21-4
21.2.4 コンペアマッチコンスタントレジスタ (CMCOR)	21-4
21.3 動作説明	21-5
21.3.1 期間カウント動作	21-5
21.3.2 CMCNT カウントタイミング	21-5
21.4 割り込み	21-6
21.4.1 割り込み要因と DMA 転送要求	21-6
21.4.2 コンペアマッチフラグのセットタイミング	21-6
21.4.3 コンペアマッチフラグのクリアタイミング	21-7
21.5 使用上の注意事項	21-8
21.5.1 CMCNT の書き込みとコンペアマッチの競合	21-8
21.5.2 CMCNT のワード書き込みとカウントアップの競合	21-8
21.5.3 CMCNT のバイト書き込みとカウントアップの競合	21-9
21.5.4 CMCNT と CMCOR のコンペアマッチ	21-9
22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	22-1
22.1 特長	22-1
22.2 入出力端子	22-3
22.3 レジスタの説明	22-4
22.3.1 受信シフトレジスタ (SCRSR)	22-5
22.3.2 受信 FIFO データレジスタ (SCFRDR)	22-5
22.3.3 送信シフトレジスタ (SCTSR)	22-5
22.3.4 送信 FIFO データレジスタ (SCFTDR)	22-6
22.3.5 シリアルモードレジスタ (SCSMR)	22-6
22.3.6 シリアルコントロールレジスタ (SCSCR)	22-9
22.3.7 シリアルステータスレジスタ (SCFSR)	22-11
22.3.8 ビットレートレジスタ (SCBRR)	22-16
22.3.9 FIFO コントロールレジスタ (SCFCR)	22-22
22.3.10 FIFO データカウントセットレジスタ (SCFDR)	22-24
22.3.11 シリアルポートレジスタ (SCSPTR)	22-25
22.3.12 ラインステータスレジスタ (SCLSR)	22-27
22.4 動作説明	22-28
22.4.1 概要	22-28

22.4.2	調歩同期式モード時の動作.....	22-30
22.4.3	クロック同期式モード時の動作.....	22-38
22.5	SCIFの割り込み.....	22-47
22.6	使用上の注意事項.....	22-48
22.6.1	SCFTDR への書き込みと TDFE フラグ.....	22-48
22.6.2	SCFRDR の読み出しと RDF フラグ.....	22-48
22.6.3	ブレークの検出と処理.....	22-48
22.6.4	ブレークの送り出し.....	22-49
22.6.5	調歩同期式モードの受信データサンプリングタイミングと受信マージン.....	22-49
23.	ピンファンクションコントローラ (PFC)	23-1
23.1	レジスタの説明.....	23-11
23.1.1	ポート A・IO レジスタ H (PAIORH)	23-12
23.1.2	ポート A コントロールレジスタ H2、H1 (PACRH2、PACRH1)	23-12
23.1.3	ポート B・IO レジスタ L (PBIORL)	23-14
23.1.4	ポート B コントロールレジスタ L1 (PBCRL1)	23-15
23.1.5	ポート C・IO レジスタ H、L (PCIORH、PCIORL)	23-16
23.1.6	ポート C コントロールレジスタ H1、L2、L1 (PCCR1、PCCR2、PCCR3)	23-17
23.1.7	ポート D・IO レジスタ L (PDIORL)	23-21
23.1.8	ポート D コントロールレジスタ L1 (PDCRL1)	23-22
23.1.9	ポート E・IO レジスタ L (PEIORL)	23-23
23.1.10	ポート E コントロールレジスタ L2、L1 (PECRL2、PECRL1)	23-24
23.1.11	ポート F・IO レジスタ L (PFIORL)	23-27
23.1.12	ポート F コントロールレジスタ L2、L1 (PFCRL2、PFCRL1)	23-28
23.1.13	ポート G・IO レジスタ H、L (PGIORH、PGIORL)	23-30
23.1.14	ポート G コントロールレジスタ H2、L2、L1 (PGCRH2、PGCRL2、PGCRL1)	23-31
24.	I/O ポート.....	24-1
24.1	ポートA.....	24-1
24.1.1	レジスタの説明.....	24-1
24.1.2	ポート A データレジスタ H (PADRH)	24-2
24.2	ポートB.....	24-3
24.2.1	レジスタの説明.....	24-3
24.2.2	ポート B データレジスタ L (PBDRL)	24-4
24.3	ポートC.....	24-5
24.3.1	レジスタの説明.....	24-5
24.3.2	ポート C データレジスタ H、L (PCDRH、PCDRL)	24-6
24.4	ポートD.....	24-8

24.4.1	レジスタの説明	24-8
24.4.2	ポート D データレジスタ L (PDDRL)	24-9
24.5	ポート E	24-10
24.5.1	レジスタの説明	24-10
24.5.2	ポート E データレジスタ L (PEDRL)	24-11
24.6	ポート F	24-12
24.6.1	レジスタの説明	24-12
24.6.2	ポート F データレジスタ L (PFDRL)	24-13
24.7	ポート G	24-14
24.7.1	レジスタの説明	24-15
24.7.2	ポート G データレジスタ H、L (PGDRH、PGDRL)	24-15
25.	ユーザブレイクコントローラ (UBC)	25-1
25.1	特長	25-1
25.2	レジスタの説明	25-3
25.2.1	ブレイクアドレスレジスタ (BAR)	25-3
25.2.2	ブレイクアドレスマスクレジスタ (BAMR)	25-4
25.2.3	ブレイクデータレジスタ (BDR)	25-5
25.2.4	ブレイクデータマスクレジスタ (BDMR)	25-6
25.2.5	ブレイクバスサイクルレジスタ (BBR)	25-7
25.2.6	ブレイクコントロールレジスタ (BRCR)	25-9
25.3	動作説明	25-11
25.3.1	ユーザブレイク動作の流れ.....	25-11
25.3.2	命令フェッチサイクルでのブレイク	25-12
25.3.3	データアクセスサイクルでのブレイク	25-13
25.3.4	退避されるプログラムカウンタの値.....	25-14
25.3.5	使用例	25-14
25.4	使用上の注意事項	25-17
26.	ハイパフォーマンスユーザデバッグインタフェース (H-UDI)	26-1
26.1	特長	26-1
26.2	入出力端子	26-2
26.3	レジスタの説明	26-3
26.3.1	バイパスレジスタ (SDBPR)	26-3
26.3.2	インストラクションレジスタ (SDIR)	26-3
26.4	動作説明	26-5
26.4.1	TAP コントローラ	26-5
26.4.2	リセット構成	26-6

26.4.3	TDO 出力タイミング	26-6
26.4.4	H-UDI リセット	26-7
26.4.5	H-UDI 割り込み	26-7
26.5	使用上の注意事項	26-8
27.	内蔵 RAM	27-1
27.1	特長	27-1
27.2	使用上の注意事項	27-2
27.2.1	ページ競合	27-2
27.2.2	RAME ビット、RAMWE ビットについて.....	27-2
28.	レジスタ一覧	28-1
28.1	レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）	28-2
28.2	レジスタビット一覧	28-14
28.3	各動作モードにおけるレジスタの状態の一覧.....	28-48
29.	電气的特性	29-1
29.1	絶対最大定格	29-1
29.2	電源投入・切断シーケンス	29-2
29.3	DC特性.....	29-3
29.4	AC特性.....	29-8
29.4.1	クロックタイミング	29-8
29.4.2	制御信号タイミング	29-12
29.4.3	バスタイミング	29-13
29.4.4	DMAC モジュールタイミング.....	29-41
29.4.5	ウォッチドッグタイマタイミング.....	29-42
29.4.6	SCIF モジュールタイミング	29-43
29.4.7	IIC3 モジュールタイミング	29-44
29.4.8	SSI モジュールタイミング.....	29-46
29.4.9	USB トランシーバタイミング.....	29-48
29.4.10	SDHI モジュールタイミング	29-50
29.4.11	I/O ポートタイミング	29-51
29.4.12	HIF モジュール信号タイミング	29-52
29.4.13	EtherC モジュール信号タイミング	29-55
29.4.14	H-UDI 関連端子のタイミング	29-59
29.4.15	STIF モジュール信号タイミング (1)	29-61
29.4.16	STIF モジュール信号タイミング (2)	29-62
29.4.17	STIF モジュール信号タイミング (3) (ストリーム入出力を STn_CLKIN 立ち上がり同期に設定した場合)	29-63

29.4.18	STIF モジュール信号タイミング (4) (ストリーム入出力を STn_CLKIN 立ち下がり同期に設定した場合)	29-64
29.4.19	STIF モジュール信号タイミング (5) (ストリーム出力を STn_CLKOUT 立ち上がり同期に設定した場合)	29-65
29.4.20	STIF モジュール信号タイミング (6) (ストリーム出力を STn_CLKOUT 立ち下がり同期に設定した場合)	29-66
29.4.21	STIF モジュール信号タイミング (7)	29-67
29.4.22	AC 特性測定条件	29-68
付録		付録-1
A.	端子状態	付録-1
B.	型名一覧	付録-5
C.	外形寸法図	付録-6
D.	未使用時の端子処理	付録-7
本版で修正または追加された箇所		改訂-1
索引		索引-1

1. 概要

1.1 特長

本 LSI は、ルネサスの RISC (Reduced Instruction Set Computer) 方式の CPU をコアにして、イーサネットシステムに必要な周辺機能を集積した CMOS シングルチップマイコンです。

本 LSI の CPU には、SH-1、SH-2 マイクロコンピュータとオブジェクトコードレベルでの上位互換性を特長とする SH-2A を採用しています。RISC 方式の命令セットを持っており、スーパースカラーアーキテクチャやハーバードアーキテクチャを採用しているため、命令実行速度が飛躍的に向上しています。内部 32 ビットバス構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、より低コストでかつ高性能/高機能なシステムを組むことができるようになります。

本 LSI は、IEEE802.3u 規格に準拠したメディアアクセスコントローラ (MAC) を実装したイーサネットコントローラ (EtherC) を搭載しており、10/100Mbps での LAN 接続を実現することができます。

さらに、システムに必要な周辺機能として、キャッシュメモリ、RAM、ダイレクトメモリアクセスコントローラ (DMAC)、ホストインタフェース (HIF)、USB2.0 ホスト/ファンクションモジュール (USB)、SD ホストインタフェース (SDHI)、割り込みコントローラ (INTC)、コンペアマッチタイマ (CMT)、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)、I/O ポートなどを内蔵しています。加えて、暗号機能 (AES、DES、3DES)、メッセージ認証コード生成機能 (HMAC-SHA-1、HMAC-SHA-224、HMAC-SHA-256)、AV ストリームインタフェース (STIF)、シリアルサウンドインタフェース (SSI) も搭載しており、ネットワーク機能を持ったデジタル AV 機器への応用にも適しています。

また、本 LSI では外部メモリアクセスサポート機能により、メモリや周辺 LSI と直接接続が行えます。

これらにより、システムコストの大幅な低減が可能です。

1.2 用途

応用分野例：ネットワーク応用機器一般、民生機器、デジタル AV 機器

1.3 仕様概要

表 1.1 に本 LSI の仕様概要を示します。

表 1.1 SH7670 グループの仕様概要

分類	モジュール／機能	説明
メモリ	内蔵 RAM	<ul style="list-style-type: none"> RAM 容量：32K バイト（8K バイト×4 面）
	キャッシュメモリ	<ul style="list-style-type: none"> 命令キャッシュ：8K バイト オペランドキャッシュ：8K バイト おのおの 128 エントリ、4 ウェイセットアソシアティブ、16 バイトブロック長 ライトバック、ライトスルー、LUR 置換アルゴリズム キャッシュロック機能あり（オペランドキャッシュのみ）：ウェイ 2、ウェイ 3 はロック可能
CPU	CPU	<ul style="list-style-type: none"> ルネサス独自の SuperH アーキテクチャ SH-1、SH-2、SH-2E とオブジェクトコードレベルで互換性あり 32 ビット内部データバス 汎用レジスタアーキテクチャ <ul style="list-style-type: none"> 16 本の 32 ビット汎用レジスタ 4 本の 32 ビットコントロールレジスタ 4 本の 32 ビットシステムレジスタ 高速割り込み応答のためのレジスタバンク RISC タイプ命令セット（SH シリーズと上位互換性） <ul style="list-style-type: none"> 命令長：コード効率改善のための 16 ビット基本命令と性能・使い勝手向上のための 32 ビット命令 ロードストアアーキテクチャ 遅延分岐命令 C 言語に基づく命令セット FPU を含む 2 命令同時実行スーパースカラ 命令実行時間：最大 2 命令／サイクル アドレス空間：4G バイト 乗算器内蔵 5 段パイプライン ハーバードアーキテクチャ

分類	モジュール／機能	説明
CPU	浮動小数点ユニット (FPU)	<ul style="list-style-type: none"> • 浮動小数点コプロセッサ内蔵 • 単精度 (32 ビット) および倍精度 (64 ビット) をサポート • IEEE754 に準拠したデータタイプおよび例外をサポート • 丸めモード: 近傍および 0 方向への丸め • 非正規化数の扱い: 0 への切り捨て • 浮動小数点レジスタ 16 本の 32 ビット浮動小数点レジスタ (単精度×16 ワードまたは倍精度×8 ワード) • 2 本の 32 ビット浮動小数点システムレジスタ • FMAC (乗算およびアキュムレート) 命令をサポート • FDIV (除算) /FSQRT (平方根) 命令をサポート • FLDI0/FLDI1 (ロード定数 0/1) 命令をサポート • 命令実行時間 レイテンシ (FMAC/FADD/FSUB/FMUL) : 3 サイクル (単精度)、8 サイクル (倍精度) ピッチ (FMAC/FADD/FSUB/FMUL) : 1 サイクル (単精度)、6 サイクル (倍精度) 【注】 FMAC は単精度に対してのみサポートしています。 • 5 段パイプライン
割り込み (要因)	割り込み コントローラ (INTC)	<ul style="list-style-type: none"> • 9 本の外部割り込み端子 (NMI、IRQ7~IRQ0) • 内蔵周辺割り込み: モジュールごとに優先順位を設定 • 16 レベルの優先順位設定が可能 • レジスタバンクにより割り込み処理に伴うレジスタの退避/復帰を高速に行うことが可能
外部バス拡張	バスステート コントローラ (BSC)	<ul style="list-style-type: none"> • アドレス空間はそれぞれ最大 64M バイトの 5 つの領域エリアをサポート外部バス幅最大 32 ビット • 各エリアには独立に次の機能を設定可能: <ul style="list-style-type: none"> - バスサイズ (8、16、32 ビット)。ただし各エリアごとにサポートサイズは異なります。 - アクセスウェイトサイクル数 - アイドルウェイトサイクル設定 (同一エリア/別エリア) - エリアごとに接続するメモリを指定することによって SRAM、バイト選択付き SRAM、SDRAM をサポート - PCMCIA インタフェースをサポート - 該当する領域にチップセレクト信号を出力 (CS アサート/ネゲートタイミングをプログラミングで選択可能) • SDRAM リフレッシュ機能 <ul style="list-style-type: none"> - オートリフレッシュおよびセルフリフレッシュモードをサポート • SDRAM バーストアクセス機能 • エリア 0 はビッグエンディアンのみサポート

分類	モジュール/機能	説明
DMA	ダイレクト メモリアクセス コントローラ (DMAC)	<ul style="list-style-type: none"> • 8チャンネル（うち2チャンネルは外部リクエスト可能） • 内蔵周辺モジュールから起動可能 • バーストモードおよびサイクルスチールモード • インタミットモードをサポート（16/64 サイクルサポート） • 転送情報を自動的にリロードすることが可能
クロック	クロック発振器 (CPG)	<ul style="list-style-type: none"> • クロックモード：入力クロックを外部入力（EXTAL または CKIO）、水晶発振子（EXTAL/XTAL または USB_X1/USB_X2）から選択可能 • 3種類のクロックを生成 <ul style="list-style-type: none"> - CPUクロック：200MHz（MAX）（通常仕様品）、 133MHz（MAX）（広温度仕様品） - バスクロック：100MHz（MAX）（通常仕様品）、 66MHz（MAX）（広温度仕様品） - 周辺クロック：50MHz（MAX）（通常仕様品）、 33MHz（MAX）（広温度仕様品）
	低消費電力モード	<ul style="list-style-type: none"> • 本 LSI の消費電力を下げるために 3 種類の消費電力モードをサポート <ul style="list-style-type: none"> - スリープモード - ソフトウェアスタンバイモード - モジュールスタンバイモード
タイマ	コンペアマッチ タイマ（CMT）	<ul style="list-style-type: none"> • 2チャンネル 16ビットカウンタ • 4種類のクロック選択可能（Pφ/8、Pφ/32、Pφ/128、Pφ/512） • コンペアマッチ割り込み発生
	ウォッチドッグ タイマ（WDT）	<ul style="list-style-type: none"> • 1チャンネルのウォッチドッグタイマ カウンタのオーバフローにより本 LSI にリセットをかけることが可能
高機能通信	イーサネット コントローラ (EtherC)	<ul style="list-style-type: none"> • MAC（Media Access Control 機能） <ul style="list-style-type: none"> - データフレームの組み立て/分解（IEEE802.3 準拠フレーム形式） - CSMA/CD 方式のリンク管理（衝突回避、衝突発生時の処理） - CRC 処理 - FIFO 内蔵（送信用、受信用それぞれ 512 バイト） - 全二重送受信サポート - ショートパケット・ロングパケット送受信 • MII（Media Independent Interface）標準規格に対応 <ul style="list-style-type: none"> - MAC 層からの 8 ビットデータストリームを MII ニブルストリーム（4 ビット）に変換 - ステーション管理（STA 機能） - 18本の TTL レベル信号 - 転送レート 10/100Mbps • Magic PacketTM*（WOL（Wake On LAN）出力あり）

分類	モジュール/機能	説明
高機能通信	イーサネット コントローラ用 DMAC (E-DMAC)	<ul style="list-style-type: none"> ディスクリプタ管理方式による CPU 負荷の軽減 EtherC 受信 FIFO から受信バッファへの転送用×1 チャンネル 送信バッファから EtherC 送信 FIFO への転送用×1 チャンネル 16 バイトバースト転送可能によるシステムバスの効率使用 シングルフレーム・マルチバッファ対応可能 受信データのチェックサムを計算
高機能 インタフェース	ストリーム インタフェース (STIF)	<ul style="list-style-type: none"> 2 チャンネルのポート。A-DMAC と連動。 各チャンネルごとにシリアルモード、パラレルモードを選択可能 MPEG2-TS 転送モード、MPEG-PS 転送モード 各デバイスに対してプッシュ型転送/プル型転送をサポート 各チャンネルごとに外部 VCO 制御用の PWM タイマ、およびその出力あり 各チャンネル共通のストリームクロックアウト。各チャンネルごとのストリームクロックイン
	シリアルサウンド インタフェース (SSI)	<ul style="list-style-type: none"> 2 チャンネルの双方向シリアル転送 多様なシリアルオーディオフォーマットをサポート マスタ/スレーブ機能をサポート プログラマブルワードクロック、ビットクロック生成機能 マルチチャンネルフォーマット機能 8/16/18/20/22/24/32 ビットデータフォーマットをサポート
	USB2.0 ホスト/ ファンクション モジュール (USB)	<ul style="list-style-type: none"> USB バージョン 2.0 準拠 480Mbps、12Mbps、および 1.5Mbps の転送レートに対応 ソフト、ファンクション切り替え可能 ソフト動作時、ハブ一段経由し、複数の周辺デバイスと接続可能 ソフトウェアで設定可能 通信バッファとして 8K バイトの RAM を内蔵
	SD ホスト インタフェース (SDHI) (SH7672、SH7670 ではサポートされま せん)	<ul style="list-style-type: none"> SD メモリ/IO カードインタフェース (1 ビット/4 ビット SD バス) エラーチェック機能 : CRC7 (コマンド)、CRC16 (データ) 割り込み要求 : カードアクセス割り込み、SDIO アクセス割り込み、カード検出割り込み DMAC 転送要求 : SD_BUF ライト、SD_BUF リード カード検出機能、ライトプロテクトサポート
	I ² C バス インタフェース 3 (IIC3)	<ul style="list-style-type: none"> 1 チャンネル マスタモード/スレーブモード内蔵

分類	モジュール/機能	説明
高機能 インタフェース	ホストインタ フェース (HIF)	<ul style="list-style-type: none"> • 2K バイト×2 バンク : 計 4K バイトのバッファ RAM 内蔵 • バッファ RAM と外部デバイスは 16 本のデータ端子でパラレル接続 • バッファ RAM と本 LSI の CPU とは内部バスでパラレル接続 • 外部デバイスは、レジスタインデクス指定後に、所望のレジスタをアクセス可能 (ただし、バッファ RAM 連続アクセス時はアドレス自動更新可能) • エンディアン切り替え可能 • 外部デバイスに対して割り込み要求可能 • 本 LSI の CPU に対して内部割り込み要求可能 • 外部デバイスがバッファ RAM に命令コードをあらかじめ格納しておくことで、バッファ RAM からブート可能
	FIFO 内蔵シリアル コミュニケーション インタフェース (SCIF)	<ul style="list-style-type: none"> • 3 チャンネル • クロック同期式モード/調歩同期式モードの選択が可能 • 送受信を同時に行うことが可能 (全二重) • 専用のポーレートジェネレータ内蔵 • 送信用 FIFO をそれぞれ 16 バイト内蔵 • モデムコントロール機能 (調歩同期式モード)
暗号、ハッシュ、 エラー訂正	暗号機能 (AES、DES、3DES) (SH7671、SH7670 では DMAC 機能のみ サポートされ、暗復 号機能はサポートさ れません)	<ul style="list-style-type: none"> • 暗復号エンジンを 2 チャンネルの専用 DMAC (A-DMAC)、CPU の双方から起動可能 • A-DMAC によるディスクリプタ読み込みで、ソースアドレス (処理前データのポインタ)、デスティネーションアドレス (処理後データ格納先)、各種設定 (暗復号アルゴリズム、暗号/復号、ECB/CBC/OFB、鍵、IV など) をリアルタイムに切り替えながら連続暗復号可能 • CPU からの起動で 1 ブロックずつの暗復号が可能
	メッセージ認証 コード生成機能 (HMAC-SHA-1、 HMAC-SHA-224、 HMAC-SHA-256) (SH7671、SH7670 ではサポートされま せん)	<ul style="list-style-type: none"> • A-DMAC によるディスクリプタ読み込みで、暗復合処理と連動した各種メッセージ認証コード生成およびチェックサム演算が可能
	フォワードエラー コレクション (FEC)	<ul style="list-style-type: none"> • 専用 DMAC (F-DMAC) によるディスクリプタ読み込みで、ソースアドレス (読み込みパケットのポインタ)、デスティネーションアドレス (復元パケット格納先)、およびパケットサイズをリアルタイムに切り替えながら、欠落したパケットの高速復元が可能 • 読み込みパケットのポインタ、読み込みパケット数、復元パケット格納先、パケットサイズは任意

分類	モジュール/機能	説明
デバッグ機能	ユーザブ레이크 コントローラ (UBC)	<ul style="list-style-type: none"> • 2本のブ레이크チャンネル • アドレス、データ値、アクセス形式、およびデータサイズをブ레이크条件として設定可能
	ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"> • E10A エミュレータのサポート • JTAG 標準端子配置 • バウンダリスキャンのサポート
I/O ポート		<ul style="list-style-type: none"> • 86本の汎用入出力端子、8本の汎用入力端子 • 入出力兼用ポートはビットごとに入出力切り替え可能
パッケージ		<ul style="list-style-type: none"> • P-FBGA1717-256 (0.8 ピッチ)
電源電圧		<ul style="list-style-type: none"> • I/O : 3.3± (0.2) V、内部 : 1.2± (0.1) V
動作周囲温度 (°C)		<ul style="list-style-type: none"> • -20~+70°C (通常仕様品) • -40~+85°C (広温度仕様品)

【注】 * Magic Packet™ は、Advanced Micro Devices, Inc.の登録商標です。

1.4 製品一覧

表 1.2 に製品一覧表、図 1.1 に製品型名の読み方を示します。

表 1.2 製品一覧表

製品型名 (略称)	ROM 容量	RAM 容量	パッケージ	暗号機能	SDHI	備考
R5S76700	—	32K バイト	P-FBGA256-17x17-0.8	非搭載	非搭載	SH7670
R5S76710	—	32K バイト	P-FBGA256-17x17-0.8	非搭載	搭載	SH7671
R5S76720	—	32K バイト	P-FBGA256-17x17-0.8	搭載	非搭載	SH7672
R5S76730	—	32K バイト	P-FBGA256-17x17-0.8	搭載	搭載	SH7673

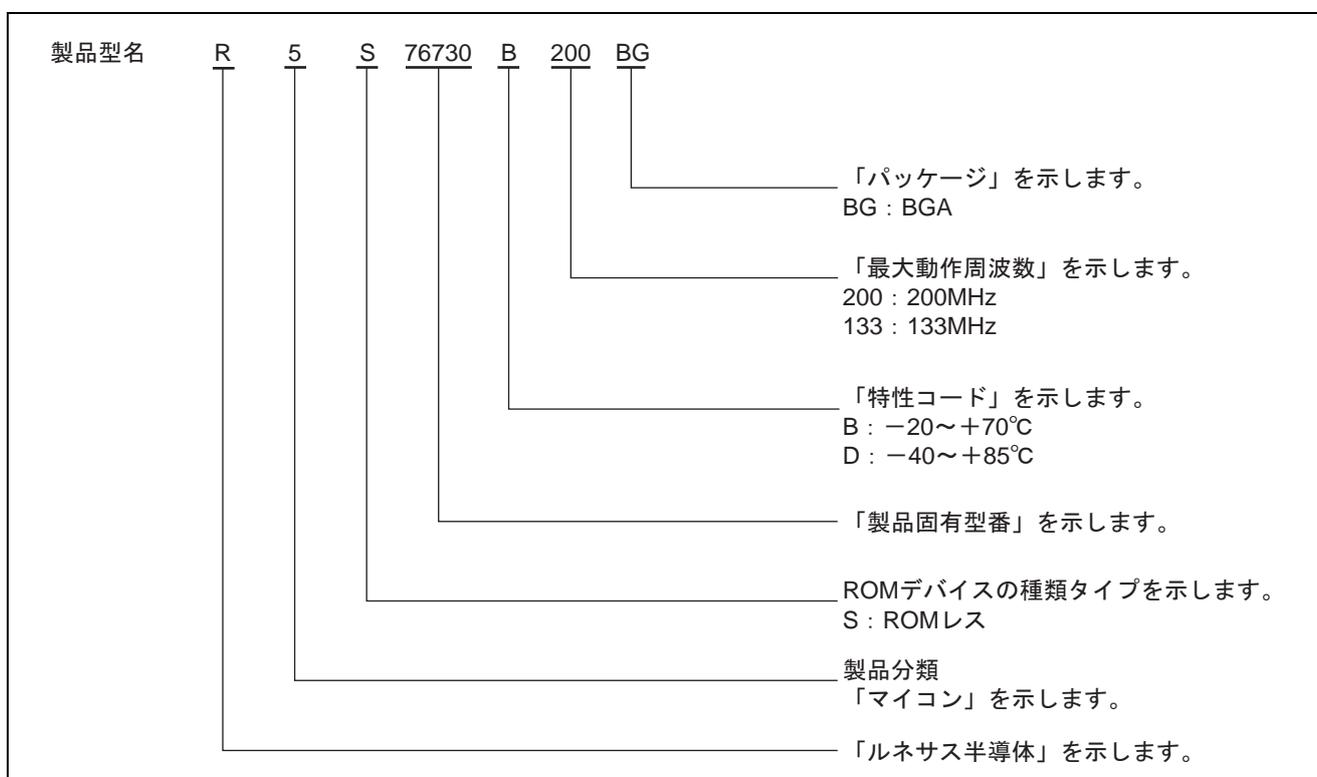


図 1.1 製品型名の読み方

● 小型パッケージ

パッケージ	コード	ボディサイズ	ピンピッチ
P-FBGA256-17x17-0.8	PRBG0256GA-A	17×17mm	0.8mm

1.5 ブロック図

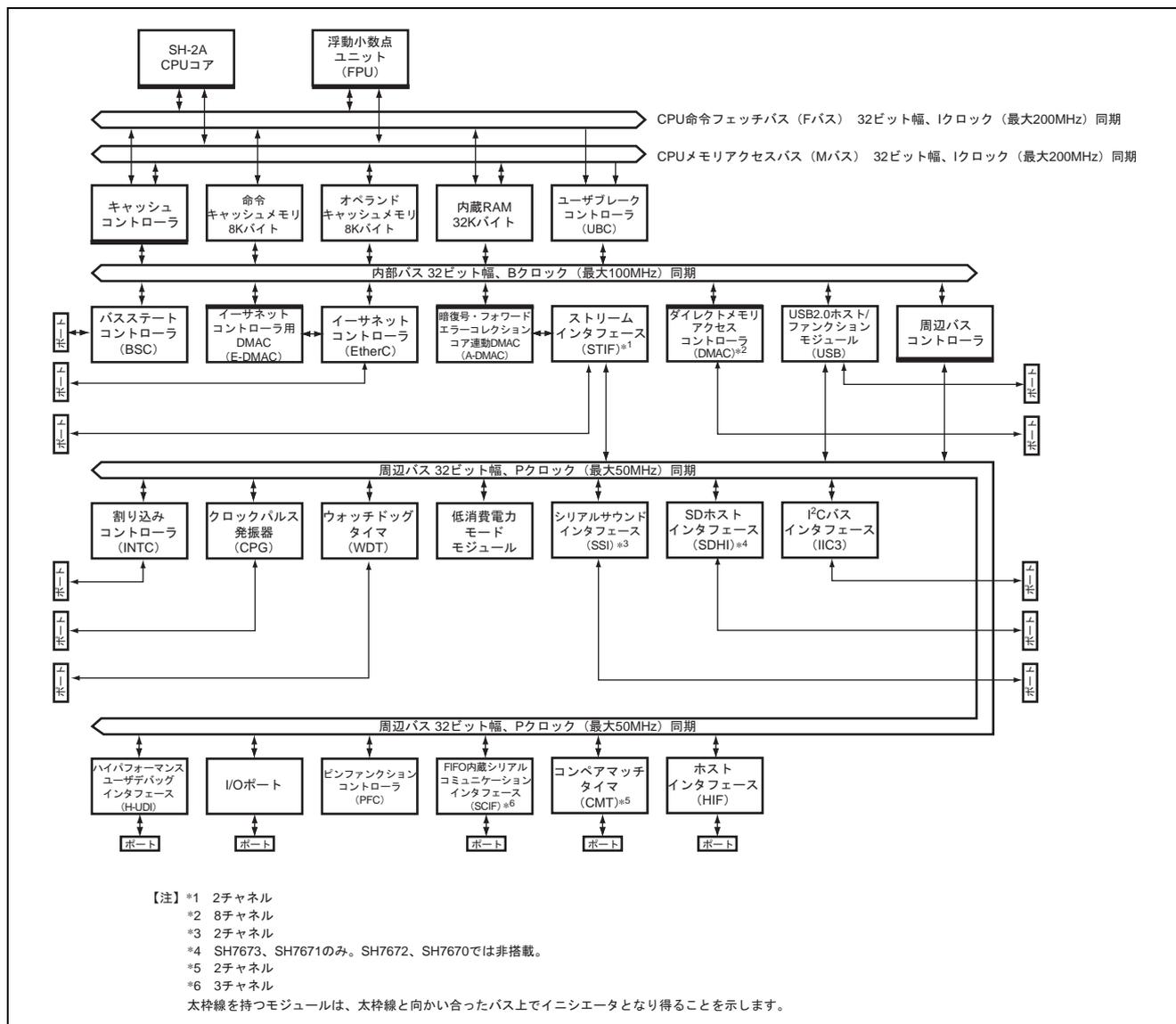


図 1.2 ブロック図

1.6 ピン配置図

	← インデックス位置																			
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20
A	PA17/ A17	A00	PB04/ CE2A/ IRQ2/ DACK1	PB00/ WAIT/ SDA	PB06/ CS4	WE1/ DQMLU/ WE	D09	D12	D15	D05	D02	A16	A13	A10	A07	A04	A01	RAS	CAS	VssQ
B	PA19/ A19	PA18/ A18	PB05/CS5/ CE1A/ IRQ3/ TEND1	PB02/ CE2B/ IRQ0	RD	PB07/ BS	D08	D10	D14	D06	D03	D00	A14	A11	A08	A05	A02	CS3	VssQ	CKE
C	PA22/ A22	PA21/ A21	PA20/ A20	PB03/CS6/ CE1B/ IRQ1/ DREQ1	PB01/ IOIS16/ SCL	CS0	WE0/ DQMLL	D11	D13	D07	D04	D01	A15	A12	A09	A06	A03	VssQ	RDWR	CKIO
D	HIFMD/ PA25/ A25	PA24/ A24	PA23/ A23	VssQ_14	Vss_07	VccQ_14	Vcc_07	VssQ_13	VccQ_13	VccQ_12	VssQ	VssQ_12	Vcc_06	Vss_06	VccQ_11	VssQ_11	VssQ_10	WE3/ DQMUL/ IGIOWR	WE2/ DQMUL/ IGIORD	D25
E	PC18/ LNKSTA	PC19/ EXOUT	PC20/ WOL	VssQ_00													VssQ_09	D24	D26	D28
F	PC13/ TX_CLK	PC16/ MDIO	PC17/ MDC	VccQ_00													VccQ_10	D27	D29	D30
G	PC07/ MIL_TXD3	PC11/ TX_ER	PC12/ TX_EN	Vss_00													VccQ_09	D31	D23	D22
H	PC04/ MIL_TXD0	PC05/ MIL_TXD1	PC06/ MIL_TXD2	Vcc_00													VccQ_08	VccQ_07	D21	D20
J	PC10/ RX_CLK	PC14/ COL	PC15/ CRS	VssQ_01													VssQ_08	VssQ_07	D19	D18
K	PC03/ MIL_RXD3	PC08/ RX_DV	PC09/ RX_ER	VccQ_01													Vcc_05	VssQ	D17	D16
L	PC00/ MIL_RXD0	PC01/ MIL_RXD1	PC02/ MIL_RXD2	VccQ_02													Vss_05	PF05/ ST0_D5/ RTS0	PF06/ ST0_D6/ SSIDATA0	PF07/ ST0_D7/ SSIWS0
M	TESTMD	ASEMD	PD07/ IRQ7/ SDCLK	VssQ													VssQ	PF02/ ST0_D2/ RxD0	PF03/ ST0_D3/ SCK0	PF04/ ST0_D4/ CTS0
N	PD04/ IRQ4/ SDWP	PD05/ IRQ5/ SDCD	PD06/ IRQ6/ SDCMD	VssQ_02													VccQ_06	PF01/ ST0_D1/ TxD0	PF10/ ST0_SYC/ DACK0	PF00/ ST0_D0
P	PD01/ IRQ1/ SDDAT1	PD02/ IRQ2/ SDDAT2	PD03/ IRQ3/ SDDAT3	Vcc_01													VssQ_06	PF11/ ST0_PWM/ TEND0	PF08/ ST0_REQ	PF09/ ST0_VLD/ DREQ0
R	PG14/ HIFD14	PG15/ HIFD15	PD00/ IRQ0/ SDDAT0	Vcc_02													Vcc_04	WDTOVF	ST0_CLKIN/ SSISCK0	ST0_VCO_CLKIN
T	PG11/ HIFD11	PG12/ HIFD12	PG13/ HIFD13	Vss_01													Vss_04	VssQ	MD_BW	ASEBRK/ ASEBRKAK
U	PG09/ HIFD09	PG10/ HIFD10	VssQ	Vss_02	VssQ_03	VccQ_03	VssQ	DG12	DV12	UV12	AV12	Vcc_03	Vss_03	VccQ_04	VccQ_05	VssQ_04	VssQ_05	MD_CK1	NMI	PLLvcc
V	PG07/ HIFD07	VssQ	PG04/ HIFD04	PG01/ HIFD01	PG22/ HIFRS	PG17/ HIFRDY	VssQ	VssQ	VssQ	UG12	AG12	PE07/ ST1_D7/ SSIWS1	PE06/ ST1_D6/ SSIDATA1	PE01/ ST1_D1/ TxD1	PE03/ ST1_D3/ SCK1	ST1_VCO_CLKIN/ AUDIO_CLK	TCK	TDI	MD_CK0	EXTAL
W	VssQ	PG06/ HIFD06	PG03/ HIFD03	PG00/ HIFD00	PG21/ HIFWR	PG18/ HIFDREQ	PG16/ HIFEBL	DG33	VBUS	AG33	VssQ	USB_X1	PE05/ ST1_D5/ RTS1	PE02/ ST1_D2/ RxD1	PE10/ ST1_SYC/ CTS2	PE11/ ST1_PWM/ RTS2	ST1_CLKIN/ SSISCK1	RES	TDO	XTAL
Y	PG08/ HIFD08	PG05/ HIFD05	PG02/ HIFD02	PG23/ HIFCS	PG20/ HIFRD	PG19/ HIFINT	DV33	DM	DP	AV33	REFRIN	USB_X2	PE04/ ST1_D4/ CTS1	PE09/ ST1_VLD/ SCK2	PE00/ ST1_D0/ RxD2	PE08/ ST1_REQ/ TxD2	ST_CLKOUT	TRST	TMS	PLLvss

SH7673/SH7672/SH7671/SH7670
上面図

図 1.3 ピン配置図

1.7 端子機能

表 1.3 端子機能の説明

分類	記号	入出力	名称	機能
電源	Vcc	入力	電源	LSI 内部論理用の電源です。すべての Vcc 端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グランド	グランド端子です。すべての Vss 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	VccQ	入力	電源	入出力端子用電源です。すべての VccQ 端子をシステムの電源に接続してください。開放端子があると動作しません。
	VssQ	入力	グランド	グランド端子です。すべての VssQ 端子をシステム電源 (0V) に接続してください。開放端子があると動作しません。
	PLLvcc	入力	電源	PLL 回路用の電源端子です。システムの電源に接続してください。
	PLLvss	入力	グランド	PLL 回路用のグランド端子です。システム電源 (0V) に接続してください。
クロック	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	出力	クリスタル	水晶発振子を接続します。
	CKIO	入出力	システムクロック	外部デバイスにシステムクロックを供給します。
動作モード コントロール	MD_BW	入力	モード設定	動作モードを設定します。この端子は動作中には変化させないでください。
	MD_CK1、 MD_CK0	入力	クロックモード 設定	クロック動作モードを設定します。これらの端子は動作中には変化させないでください。
システム制御	RES	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	WDTOVF	出力	ウォッチドッグタイマ オーバーフロー	WDT からのオーバフロー出力信号です。
割り込み	NMI	入力	ノンマスクابل 割り込み	ノンマスクابل割り込み要求端子です。使用しない場合はハイレベルに固定してください。
	IRQ7~IRQ0	入力	割り込み要求 7~ 0	マスク可能な割り込み要求端子です。 レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下りの選択が可能です。
アドレスバス	A25~A00	出力	アドレスバス	アドレスを出力します。
データバス	D31~D00	入出力	データバス	双方向のデータバスです。
バス制御	CS0、CS3~ CS6	出力	チップセレクト 0、3~6	外部メモリまたはデバイスのためのチップセレクト信号です。
	RD	出力	読み出し	外部のデバイスから読み出すことを示します。

分類	記号	入出力	名称	機能
バス制御	RD/ $\overline{\text{WR}}$	出力	リード/ライト	リード/ライト信号
	$\overline{\text{BS}}$	出力	バス開始	バスサイクル開始
	$\overline{\text{WE3}}$	出力	最上位バイト 書き込み	外部メモリまたはデバイスのデータのビット 31~24 に書き込みすることを示します。
	$\overline{\text{WE2}}$	出力	2 バイト目 書き込み	外部メモリまたはデバイスのデータのビット 23~16 に書き込みすることを示します。
	$\overline{\text{WE1}}$	出力	3 バイト目 書き込み	外部メモリまたはデバイスのデータのビット 15~8 に書き込みすることを示します。
	$\overline{\text{WE0}}$	出力	最下位バイト 書き込み	外部メモリまたはデバイスのデータのビット 7~0 に書き込みすることを示します。
	WAIT	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
	RAS	出力	RAS	SDRAM の RAS 端子に接続します。
	CAS	出力	CAS	SDRAM の CAS 端子に接続します。
	CKE	出力	クロックイネーブル	SDRAM の CKE 端子に接続します。
	DQMUU	出力	最上位バイト選択	SDRAM のデータバスビット 31~24 を選択します。
	DQMUL	出力	2 バイト目選択	SDRAM のデータバスビット 23~16 を選択します。
	DQMLU	出力	3 バイト目選択	SDRAM のデータバスビット 15~8 を選択します。
	DQMLL	出力	最下位バイト選択	SDRAM のデータバスビット 7~0 を選択します。
	$\overline{\text{CE1A}}$	出力	PCMCIA カード セレクト下位側	エリア 5 接続の PCMCIA 用チップイネーブル
	$\overline{\text{CE1B}}$	出力	PCMCIA カード セレクト下位側	エリア 6 接続の PCMCIA 用チップイネーブル
	$\overline{\text{CE2A}}$	出力	PCMCIA カード セレクト上位側	エリア 5 接続の PCMCIA 用チップイネーブル
	$\overline{\text{CE2B}}$	出力	PCMCIA カード セレクト上位側	エリア 6 接続の PCMCIA 用チップイネーブル
	$\overline{\text{ICIOWR}}$	出力	PCMCIA I/O ライトストロープ	PCMCIA I/O ライトストロープを接続します。
	$\overline{\text{ICIORD}}$	出力	PCMCIA I/O リードストロープ	PCMCIA I/O リードストロープを接続します。
$\overline{\text{WE}}$	出力	PCMCIA メモリ ライトストロープ	PCMCIA メモリライトストロープを接続します。	
$\overline{\text{IOIS16}}$	入力	PCMCIA ダイナミックバスサ イジング	リトルエンディアン時、PCMCIA の 16 ビット幅 I/O を示します。ビッグエンディアン時は、ローレベル固定にしてください。	

分類	記号	入出力	名称	機能
ダイレクト メモリアクセス コントローラ (DMAC)	DREQ0、 DREQ1	入力	DMA 転送要求	外部からの DMA 転送要求の入力端子です。
	DACK0、 DACK1	出力	DMA 転送要求受け付け	外部からの DMA 転送要求に対する、要求受け付け出力端子です。
	TEND0、 TEND1	出力	DMA 転送終了出力	DMA 転送終了出力信号です。
イーサネット コントローラ (EtherC)	CRS	入力	キャリアセンス	キャリアセンス端子です。
	COL	入力	コリジョン	衝突検出端子です。
	MII_TXD3~ MII_TXD0	出力	送信データ	4 ビットの送信データ端子です。
	TX_EN	出力	送信イネーブル	MII_TXD3~MII_TXD0 上に送信データが準備できたことを示します。
	TX_CLK	入力	送信クロック	TX_EN、TX_ER、MII_TXD3~MII_TXD0 の参照タイミング入力です。
	TX_ER	出力	送信エラー	送信中のエラーを PHY-LSI に通知する端子です。
	MII_RXD3~ MII_RXD0	入力	受信データ	4 ビットの受信データ端子です。
	RX_DV	入力	受信データバリッド	MII_RXD3~MII_RXD0 上に有効な受信データがあることを示します。
	RX_CLK	入力	受信クロック	RX_DV、RX_ER、MII_RXD3~MII_RXD0 の参照タイミング入力です。
	RX_ER	入力	受信エラー	受信中に発生したエラー状態を認識する端子です。
	MDC	出力	管理用クロック	MDIO による転送情報の参照タイミング入力です。
	MDIO	入出力	管理用データ入出力	管理情報を交換するための双方向端子です。
	WOL	出力	MAGIC パケット受信	Magic Packet TM *受信を示す端子です。
	LNKSTA	入力	リンクステータス	PHY-LSI からのリンク状態入力端子です。
EXOUT	出力	汎用出力	外部出力用端子です。	

分類	記号	入出力	名称	機能
ストリーム インタフェース (STIF)	ST_CLKOUT	出力		データクロック出力
	ST1_CLKIN、 ST0_CLKIN	入力		データクロック入力
	ST1_SYC、 ST0_SYC	入出力		同期信号
	ST1_REQ、 ST0_REQ	入出力		リクエスト信号
	ST1_VLD、 ST0_VLD	入出力		データイネーブル
	ST1_D[7:0]、 ST0_D[7:0]	入出力		データ（シリアルモード時 0 を使用）
	ST1_VCO_ CLKIN、 ST0_VCO_ CLKIN	入力		VCX0 クロック
	ST1_PWM、 ST0_PWM	出力		PWM 出力
シリアルサウン ドインタフェー ス (SSI)	SSIDATA1、 SSIDATA0	入出力	SSI データ入出力	シリアルデータ入出力端子です。
	SSISCK1、 SSISCK0	入出力	SSI クロック入出力	シリアルクロック入出力端子です。
	SSIWS1、 SSIWS0	入出力	SSI クロック LR 入出力	ワード選択入出力端子です。
	AUDIO_CLK	入力	SSI オーディオ用 外部クロック	オーディオ用外部クロックを入力します。

分類	記号	入出力	名称	機能
USB2.0ホスト/ ファンクション モジュール (USB)	DP	入出力	USB D+データ	USB バスの D+データです。
	DM	入出力	USB D-データ	USB バスの D-データです。
	VBUS	入力	VBUS 入力	USB バスの VBUS に接続してください。
	REFRIN	入力	リファレンス入力	5.6kΩ±1%抵抗を介して AG33 に接続してください。
	USB_X1	入力	USB 用水晶発振子/ 外部クロック入力	USB 用水晶発振子を接続します。外部クロックを使用する場合は USB_1 へ入力し、USB_2 は開放してください。
	USB_X2	出力		
	AV33	入力	トランシーバ部 アナログ電源	コア用電源です。(3.3V (Typ) 供給)
	AG33	入力	トランシーバ部 アナロググランド	コア用グランドです。
	AV12	入力	トランシーバ部 アナログ電源	コア用電源です。(1.2V (Typ) 供給)
	AG12	入力	トランシーバ部 アナロググランド	コア用グランドです。
	DV33	入力	トランシーバ部 端子電源	端子用電源です。(3.3V (Typ) 供給)
	DG33	入力	トランシーバ部 端子グランド	端子用グランドです。
	DV12	入力	トランシーバ部 端子電源	端子用電源です。(1.2V (Typ) 供給)
	DG12	入力	トランシーバ部 端子グランド	端子用グランドです。
	UV12	入力	トランシーバ部 デジタル電源	コア用電源です。(1.2V (Typ) 供給)
UG12	入力	トランシーバ部 デジタルグランド	コア用グランドです。	
SD ホスト インタフェース (SDHI)	SDCLK	出力	SD クロック	SD クロック出力端子です。
	SDCMD	入出力	SD コマンド	SD コマンド出力、レスポンス入力信号です。
	SDDATA3~ SDDATA0	入出力	SD データ	SD データバス信号です。
	SDCD	入力	SD カード検出	SD カード検出です。
	SDWP	入力	SD ライトプロテクト	SD ライトプロテクト信号です。
I ² C バスインタ フェース 3 (IIC3)	SCL	入出力	シリアルクロック 端子	シリアルクロック入出力端子です。
	SDA	入出力	シリアルデータ端子	シリアルデータ入出力端子です。

分類	記号	入出力	名称	機能
ホストインタフェース (HIF)	HIFD15~ HIFD00	入出力	HIF データバス	HIF へのアドレス/データ/コマンド入出力です。
	HIFCS	入力	HIF チップ セレクト	HIF へのチップセレクト入力です。
	HIFRS	入力	HIF レジスタ セレクト	HIF へのアクセス種別切り替え指示です。
	HIFWR	入力	HIF ライト	ライトストロブ信号です。
	HIFRD	入力	HIF リード	リードストロブ信号です。
	HIFINT	出力	HIF 割り込み	HIF から外部デバイスへの割り込み要求です。
	HIFMD	入力	HIF モード	HIF ブートモードを指定します。
	HIFDREQ	出力	HIFDMAC 転送 要求	外部デバイスに対して HIFRAM への DMAC 転送を要求 します。
	HIFEBL	入力	HIF 端子 イネーブル	ハイレベルを入力することで、本端子以外の HIF 端子を 活性化します。
HIFRDY	出力	HIF ブートレディ	本 LSI 内部で、HIF モジュールのリセットが解除され、 外部デバイスから HIF モジュールへのアクセスを受け付 け可能になったことを示します。	
FIFO 内蔵 シリアル コミュニケーション インタフェース (SCIF)	TXD2~TXD0	出力	送信データ	送信データ用の端子です。
	RXD2~RXD0	入力	受信データ	受信データ用の端子です。
	SCK2~SCK0	入出力	シリアルクロック	クロック入力端子です。
	RTS2~RTS0	出力	送信要求	モデムコントロール端子です。
	CTS2~CTS0	入力	送信可	モデムコントロール端子です。
I/O ポート	PA25~PA17	入出力	汎用ポート	9 ビットの汎用入出力ポート端子です。
	PB07、PB05、 PB04	入出力	汎用ポート	3 ビットの汎用入出力ポート端子です。
	PB06、 PB03~PB00	入力	汎用ポート	5 ビットの汎用入力ポート端子です。
	PC20~PC01	入出力	汎用ポート	20 ビットの汎用入出力ポート端子です。
	PC00	入力	汎用ポート	1 ビットの汎用入力ポート端子です。
	PD07、PD06、 PD03~PD00	入出力	汎用ポート	6 ビットの汎用入出力ポート端子です。
	PD05、PD04	入力	汎用ポート	2 ビットの汎用入力ポート端子です。
	PE11~PE00	入出力	汎用ポート	12 ビットの汎用入出力ポート端子です。
	PF11~PF00	入出力	汎用ポート	12 ビットの汎用入出力ポート端子です。
	PG23~PG00	入出力	汎用ポート	24 ビットの汎用入出力ポート端子です。

分類	記号	入出力	名称	機能
ユーザデバッグ インタフェース (H-UDI)	TCK	入力	テストクロック	テストクロック入力端子です。
	TMS	入力	テストモード セレクト	テストモードセレクト信号入力端子です。
	TDI	入力	テストデータ 入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ 出力	インストラクションとデータのシリアル出力端子です。
	$\overline{\text{TRST}}$	入力	テストリセット	初期化信号入力端子です。
エミュレータ インタフェース	$\overline{\text{ASEMD}}$	入力	ASE モード	ASE モードを設定します。 本端子にローレベルを入力すると ASE モードになり、ハイレベルを入力すると通常モードになります。ASE モードでは、エミュレータ専用の機能が使用可能になります。
テストモード	$\overline{\text{TESTMD}}$	入力	テストモード	テストモードを設定します。 本端子にローレベルを入力するとテストモードになります。本端子は常にハイレベルを入力してください。

【注】 * Magic Packet™ は、Advanced Micro Devices, Inc の登録商標です。

表 1.4 各端子の入出力属性一覧

ピン番号	機能名	入出力属性
A1	PA17/A17	IO/O
A2	A00	O
A3	PB04/CE2A/IRQ2/DACK1	IO/O/I/O
A4	PB00/WAIT/SDA	I/I/O
A5	PB06/CS4	I/O
A6	WE1/DQMLU/WE	O/O/O
A7	D09	IO
A8	D12	IO
A9	D15	IO
A10	D05	IO
A11	D02	IO
A12	A16	O
A13	A13	O
A14	A10	O
A15	A07	O
A16	A04	O
A17	A01	O
A18	RAS	O
A19	CAS	O
A20	VssQ	Power
B1	PA19/A19	IO/O
B2	PA18/A18	IO/O
B3	PB05/CS5/CE1A/IRQ3/TEND1	IO/O/O/I/O
B4	PB02/CE2B/IRQ0	I/O/I
B5	RD	O
B6	PB07/BS	IO/O
B7	D08	IO
B8	D10	IO
B9	D14	IO
B10	D06	IO
B11	D03	IO
B12	D00	IO
B13	A14	O
B14	A11	O
B15	A08	O

ピン番号	機能名	入出力属性
B16	A05	O
B17	A02	O
B18	CS3	O
B19	VssQ	Power
B20	CKE	O
C1	PA22/A22	IO/O
C2	PA21/A21	IO/O
C3	PA20/A20	IO/O
C4	PB03/CS6/CE1B/IRQ1/DREQ1	I/O/O/I/I
C5	PB01/IOIS16/SCL	I/I/O
C6	CS0	O
C7	WE0/DQMLL	O/O
C8	D11	IO
C9	D13	IO
C10	D07	IO
C11	D04	IO
C12	D01	IO
C13	A15	O
C14	A12	O
C15	A09	O
C16	A06	O
C17	A03	O
C18	VssQ	Power
C19	RDWR	O
C20	CKIO	IO
D1	HIFMD/PA25/A25	I/O/O
D2	PA24/A24	IO/O
D3	PA23/A23	IO/O
D4	VssQ_14	Power
D5	Vss_07	Power
D6	VccQ_14	Power
D7	Vcc_07	Power
D8	VssQ_13	Power
D9	VccQ_13	Power
D10	VccQ_12	Power
D11	VssQ	Power

ピン番号	機能名	入出力属性
D12	VssQ_12	Power
D13	Vcc_06	Power
D14	Vss_06	Power
D15	VccQ_11	Power
D16	VssQ_11	Power
D17	VssQ_10	Power
D18	WE3/DQMJJ/ICIOWR	O/O/O
D19	WE2/DQMUL/ICIORD	O/O/O
D20	D25	IO
E1	PC18/LNKSTA	IO/I
E2	PC19/EXOUT	IO/O
E3	PC20/WOL	IO/O
E4	VssQ_00	Power
E17	VssQ_09	Power
E18	D24	IO
E19	D26	IO
E20	D28	IO
F1	PC13/TX_CLK	IO/I
F2	PC16/MDIO	IO/O
F3	PC17/MDC	IO/I
F4	VccQ_00	Power
F17	VccQ_10	Power
F18	D27	IO
F19	D29	IO
F20	D30	IO
G1	PC07/MII_TXD3	IO/O
G2	PC11/TX_ER	IO/O
G3	PC12/TX_EN	IO/O
G4	Vss_00	Power
G17	VccQ_09	Power
G18	D31	IO
G19	D23	IO
G20	D22	IO
H1	PC04/MII_TXD0	IO/O
H2	PC05/MII_TXD1	IO/O
H3	PC06/MII_TXD2	IO/O

ピン番号	機能名	入出力属性
H4	Vcc_00	Power
H17	VccQ_08	Power
H18	VccQ_07	Power
H19	D21	IO
H20	D20	IO
J1	PC10/RX_CLK	IO/I
J2	PC14/COL	IO/I
J3	PC15/CRS	IO/I
J4	VssQ_01	Power
J17	VssQ_08	Power
J18	VssQ_07	Power
J19	D19	IO
J20	D18	IO
K1	PC03/MII_RXD3	IO/I
K2	PC08/RX_DV	IO/I
K3	PC09/RX_ER	IO/I
K4	VccQ_01	Power
K17	Vcc_05	Power
K18	VssQ	Power
K19	D17	IO
K20	D16	IO
L1	PC00/MII_RXD0	I/I
L2	PC01/MII_RXD1	IO/I
L3	PC02/MII_RXD2	IO/I
L4	VccQ_02	Power
L17	Vss_05	Power
L18	PF05/ST0_D5/RTS0	IO/IO/IO
L19	PF06/ST0_D6/SSIDATA0	IO/IO/IO
L20	PF07/ST0_D7/SSIWS0	IO/IO/IO
M1	TESTMD	I
M2	ASEMD	I
M3	PD07/IRQ7/SDCLK	IO/I/O
M4	VssQ	Power
M17	VssQ	Power
M18	PF02/ST0_D2/RxD0	IO/IO/I
M19	PF03/ST0_D3/SCK0	IO/IO/IO

ピン番号	機能名	入出力属性
M20	PF04/ST0_D4/ $\overline{\text{CTS0}}$	IO/IO/IO
N1	PD04/IRQ4/SDWP	I/I/I
N2	PD05/IRQ5/SDCD	I/I/I
N3	PD06/IRQ6/SDCMD	IO/I/IO
N4	VssQ_02	Power
N17	VccQ_06	Power
N18	PF01/ST0_D1/TxD0	IO/IO/O
N19	PF10/ST0_SYC/DACK0	IO/O/O
N20	PF00/ST0_D0	IO/IO
P1	PD01/IRQ1/SDDAT1	IO/I/IO
P2	PD02/IRQ2/SDDAT2	IO/I/IO
P3	PD03/IRQ3/SDDAT3	IO/I/IO
P4	Vcc_01	Power
P17	VssQ_06	Power
P18	PF11/ST0_PWM/TEND0	IO/O/O
P19	PF08/ST0_REQ	IO/IO
P20	PF09/ST0_VLD/DREQ0	IO/IO/I
R1	PG14/HIFD14	IO/IO
R2	PG15/HIFD15	IO/IO
R3	PD00/IRQ0/SDDAT0	IO/I/IO
R4	Vcc_02	Power
R17	Vcc_04	Power
R18	$\overline{\text{WDTOVF}}$	O
R19	ST0_CLKIN/SSISCK0	I/IO
R20	ST0_VCO_CLKIN	I
T1	PG11/HIFD11	IO/IO
T2	PG12/HIFD12	IO/IO
T3	PG13/HIFD13	IO/IO
T4	Vss_01	Power
T17	Vss_04	Power
T18	VssQ	Power
T19	MD_BW	I
T20	$\overline{\text{ASEBRK}}/\overline{\text{ASEBRKAK}}$	I/O
U1	PG09/HIFD09	IO/IO
U2	PG10/HIFD10	IO/IO
U3	VssQ	Power

ピン番号	機能名	入出力属性
U4	Vss_02	Power
U5	VssQ_03	Power
U6	VccQ_03	Power
U7	VssQ	Power
U8	DG12	Power
U9	DV12	Power
U10	UV12	Power
U11	AV12	Power
U12	Vcc_03	Power
U13	Vss_03	Power
U14	VccQ_04	Power
U15	VccQ_05	Power
U16	VssQ_04	Power
U17	VssQ_05	Power
U18	MD_CK1	I
U19	NMI	I
U20	PLLVcc	Power
V1	PG07/HIFD07	IO/IO
V2	VssQ	Power
V3	PG04/HIFD04	IO/IO
V4	PG01/HIFD01	IO/IO
V5	PG22/HIFRS	IO/I
V6	PG17/HIFRDY	IO/O
V7	VssQ	Power
V8	VssQ	Power
V9	VssQ	Power
V10	UG12	Power
V11	AG12	Power
V12	PE07/ST1_D7/SSIWS1	IO/IO/IO
V13	PE06/ST1_D6/SSIDATA1	IO/IO/IO
V14	PE01/ST1_D1/TxD1	IO/IO/O
V15	PE03/ST1_D3/SCK1	IO/IO/IO
V16	ST1_VCO_CLKIN/AUDIO_CLK	I/I
V17	TCK	I
V18	TDI	I
V19	MD_CK0	I

ピン番号	機能名	入出力属性
V20	EXTAL	I
W1	VssQ	Power
W2	PG06/HIFD06	IO/IO
W3	PG03/HIFD03	IO/IO
W4	PG00/HIFD00	IO/IO
W5	PG21/HIFWR	IO/I
W6	PG18/HIFDREQ	IO/O
W7	PG16/HIFEFL	IO/I
W8	DG33	Power
W9	VBUS	I
W10	AG33	Power
W11	VssQ	Power
W12	USB_X1	I
W13	PE05/ST1_D5/RTS1	IO/IO/IO
W14	PE02/ST1_D2/RxD1	IO/IO/I
W15	PE10/ST1_SYC/CTS2	IO/IO/IO
W16	PE11/ST1_PWM/RTS2	IO/O/IO
W17	ST1_CLKIN/SSISCK1	I/IO
W18	RES	I
W19	TDO	O
W20	XTAL	O
Y1	PG08/HIFD08	IO/IO
Y2	PG05/HIFD05	IO/IO
Y3	PG02/HIFD02	IO/IO
Y4	PG23/HIFCS	IO/I
Y5	PG20/HIFRD	IO/I
Y6	PG19/HIFINT	IO/O
Y7	DV33	Power
Y8	DM	IO
Y9	DP	IO
Y10	AV33	Power
Y11	REFRIN	I
Y12	USB_X2	O
Y13	PE04/ST1_D4/CTS1	IO/IO/IO
Y14	PE09/ST1_VLD/SCK2	IO/IO/IO
Y15	PE00/ST1_D0/RxD2	IO/IO/I

ピン番号	機能名	入出力属性
Y16	PE08/ST1_REQ/TxD2	IO/IO/O
Y17	ST_CLKOUT	O
Y18	TRST	I
Y19	TMS	I
Y20	PLLVss	Power

2. CPU

2.1 レジスタ構成

レジスタは、汎用レジスタ（32ビット×16本）、コントロールレジスタ（32ビット×4本）、システムレジスタ（32ビット×4本）の3種類があります。

2.1.1 汎用レジスタ

図 2.1 に汎用レジスタを示します。汎用レジスタは 32 ビットの長さで、R0 から R15 までの 16 本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0 は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタが R0 に固定されています。R15 は、ハードウェアスタックポインタ（SP）として使われます。例外処理でのステータスレジスタ（SR）とプログラムカウンタ（PC）の退避、回復は、R15 を用いてスタックを参照し行います。

31	0	
		R0*1
		R1
		R2
		R3
		R4
		R5
		R6
		R7
		R8
		R9
		R10
		R11
		R12
		R13
		R14
		R15、SP（ハードウェアスタックポインタ）*2

【注】 *1 インデックス付きレジスタ間接、インデックス付きGBR間接アドレッシングモードのインデックスレジスタとしても使用します。
命令によっては、ソースまたはデスティネーションレジスタを R0 に固定しているものがあります。
*2 R15 は例外処理の中でハードウェアスタックポインタとして使用されます。

図 2.1 汎用レジスタ

2.1.2 コントロールレジスタ

コントロールレジスタは32ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR)、ジャンプテーブルベースレジスタ (TBR) の4本があります。

SR は各種命令の処理の状態を表します。

GBR は GBR 間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。

VBR は割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

TBR は関数テーブル領域のベースアドレスとして使用します。

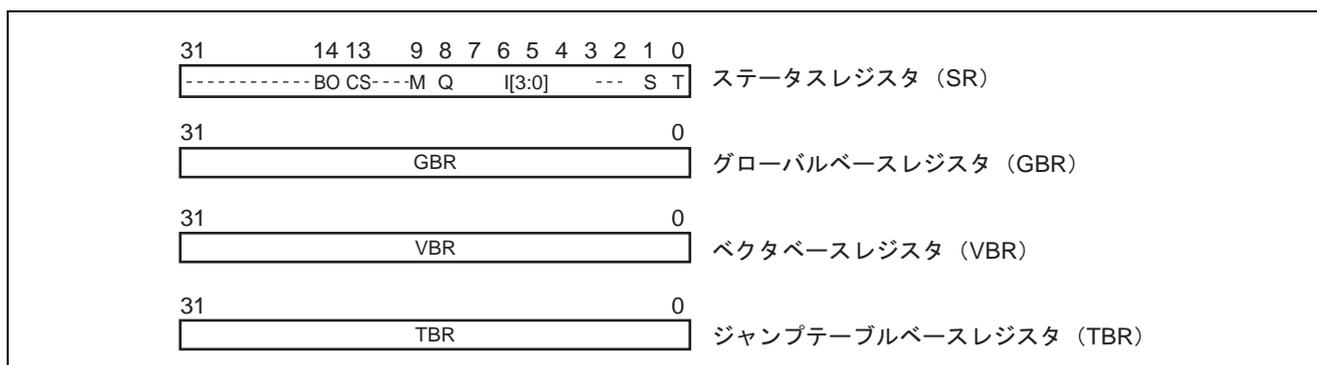


図 2.2 コントロールレジスタ

(1) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	BO	CS	-	-	-	M	Q	I[3:0]			-	-	S	T	
初期値:	0	0	0	0	0	0	-	-	1	1	1	1	0	0	-	-
R/W:	R	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	BO	0	R/W	BO ビット レジスタバンクがオーバフローしていることを示します。
13	CS	0	R/W	CS ビット CLIP 命令の実行で、飽和上限値を上回ったまたは飽和下限値を下回ったことを示します。
12~10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
9	M	—	R/W	M ビット
8	Q	—	R/W	Q ビット DIV0S、DIV0U、DIV1 命令で使用します。
7~4	I[3:0]	1111	R/W	割り込みマスクレベル
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	S	—	R/W	S ビット MAC 命令の飽和動作を指定します。
0	T	—	R/W	T ビット 真/偽条件またはキャリー/ボロービット

(2) グローバルベースレジスタ (GBR)

GBR は GBR 参照 MOV 命令のベースアドレスとして参照されます。

(3) ベクタベースレジスタ (VBR)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。

(4) ジャンプテーブルベースレジスタ (TBR)

テーブル参照サブルーチンコール命令 JSR/N @@(disp8,TBR)で、メモリに配置された関数テーブルの先頭アドレスとして参照します。

2.1.3 システムレジスタ

システムレジスタは 32 ビットの長さで、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR)、プログラムカウンタ (PC) の 4 本があります。MACH、MACL は、乗算または積和演算の結果を格納します。PR はサブルーチンプロシージャからの戻り先アドレスを格納します。PC は実行中のプログラムのアドレスを示し、処理の流れを制御します。

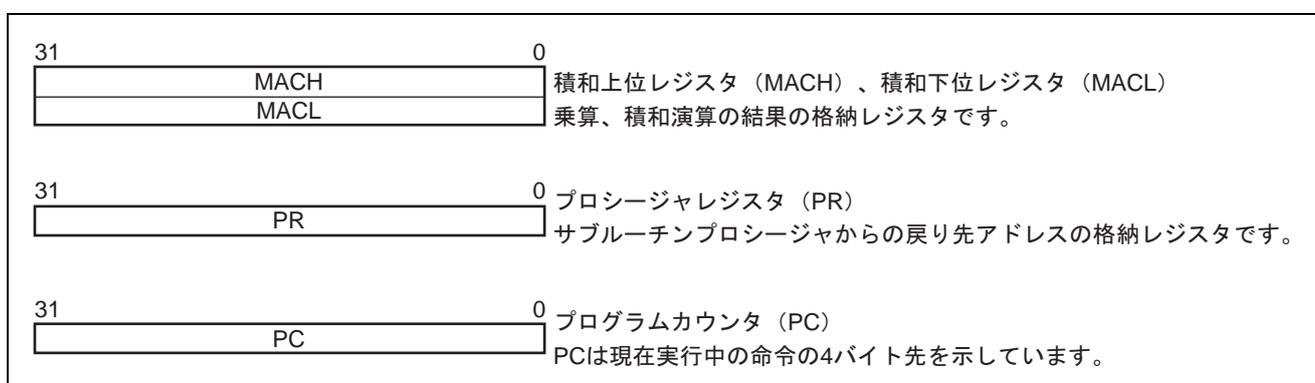


図 2.3 システムレジスタ

(1) 積和上位レジスタ (MACH)、積和下位レジスタ (MACL)

MACH および MACL は、MAC 命令の加算値として用いられます。また、MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

(2) プロシージャレジスタ (PR)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

(3) プログラムカウンタ (PC)

PC は実行中の命令アドレスを示します。

2.1.4 レジスタバンク

汎用レジスタの R0~R14、コントロールレジスタの GBR、システムレジスタの MACH、MACL、PR の 19 本の 32 ビットレジスタは、レジスタバンクを使って、高速なレジスタ退避、復帰を行うことが可能です。バンクへの退避は、CPU がレジスタバンクを使用する割り込みを受け付けた後、自動的に行われます。バンクからの復帰は、割り込み処理ルーチンで RESBANK 命令を発行することで実行されます。

本 LSI は 15 個のバンクを持ちます。詳細については「SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編」、「6.8 レジスタバンク」を参照してください。

2.1.5 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値
汎用レジスタ	R0~R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I[3:0]は 1111 (H'F)、BO、CS は 0、リザーブビットは 0、その他は不定
	GBR、TBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

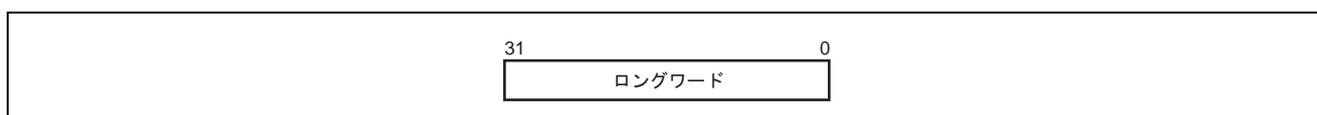


図 2.4 レジスタのデータ形式

2.2.2 メモリのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは 8 ビットのバイト、16 ビットのワード、および 32 ビットのロングワードいずれの形でもアクセスすることができます。32 ビットに満たないメモリオペランドは、符号拡張またはゼロ拡張されてレジスタに格納されます。

ワードオペランドはワード境界 (2 バイト刻みの偶数番地: $2n$ 番地) から、ロングワードオペランドはロングワード境界 (4 バイト刻みの偶数番地: $4n$ 番地) からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドは、どの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンのバイト順のみ選択できます。

メモリ上のデータ形式を図 2.5 に示します。

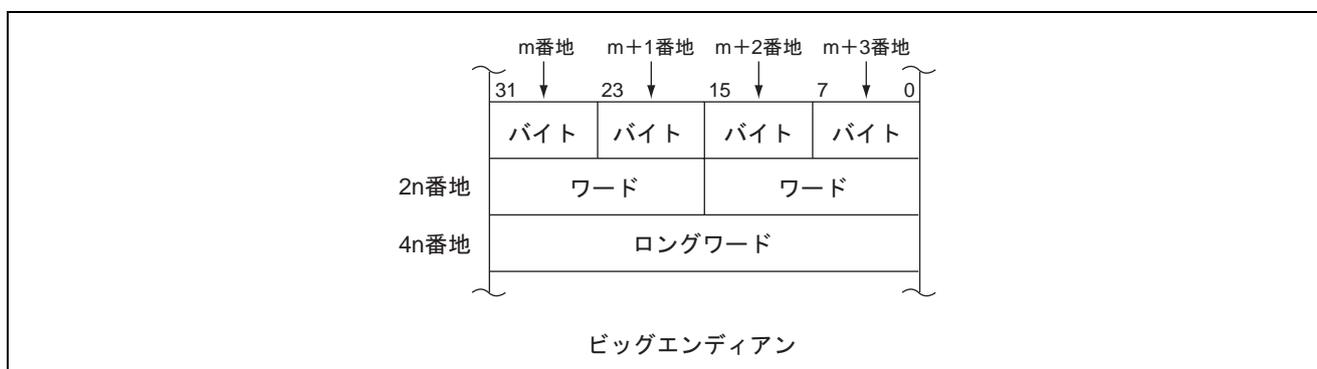


図 2.5 メモリのデータ形式

2.2.3 イミディエイトデータのデータ形式

バイト（8ビット）のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

20 ビットのイミディエイトデータは 32 ビット長の転送命令 MOVI20 および MOVI20S のコードの中に配置します。MOVI20 命令は、イミディエイトを符号拡張してデスティネーションレジスタに格納します。MOVI20S 命令は、イミディエイトを上位に 8 ビットシフトし、符号拡張してデスティネーションレジスタに格納します。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイースメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令（MOV）で、参照します。

具体例については、「2.3.1 (10) イミディエイトデータ」を参照してください。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

基本命令は 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 32 ビット固定長命令

SH-2A では、32 ビット固定長の命令が追加されています。これにより、性能および使い勝手が向上します。

(3) 1 命令/1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。

(4) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト/ワード/ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

SH-2A CPU	説 明	他の CPU の例
MOV.W @(disp,PC),R1 ADD R1,R0DATA.WH'1234	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(5) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、AND などのビットを操作する命令は直接メモリに対して実行します。

(6) 遅延分岐

無条件分岐命令などは、一部の命令を除き遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。

遅延分岐においては、分岐という動作そのものはスロット命令の実行後に発生しますが、命令の実行（レジスタの更新など）は、あくまでも遅延分岐命令→遅延スロット命令の順に行われます。たとえば、遅延スロットで分岐先アドレスが格納されたレジスタを変更しても、変更前のレジスタ内容が分岐先アドレスとなります。

表 2.3 遅延分岐命令

SH-2A CPU	説明	他の CPU の例
BRA TRGET ADD R1,R0	TRGET に分岐する前に ADD を実行します。	ADD.W R1,R0 BRA TRGET

(7) 遅延スロットなし無条件分岐命令

SH-2A では、遅延スロット命令を実行しない無条件分岐命令を追加しました。これにより、不要な NOP 命令の削減が可能となり、コードサイズを削減できます。

(8) 乗算／積和演算

16×16→32 の乗算を 1～2 ステート、16×16+64→64 の積和演算を 2～3 ステートで実行します。32×32→64 の乗算や、32×32+64→64 の積和演算を 2～4 ステートで実行します。

(9) Tビット

比較結果はステータスレジスタ（SR）の T ビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみ T ビットを変化させ、処理速度を向上させています。

表 2.4 T ビット

SH-2A CPU	説明	他の CPU の例
CMP/GER1,R0 BT TRGET0 BF TRGET1	R0≥R1 のとき T ビットがセットされます。 R0≥R1 のとき TRGET0 へ R0<R1 のとき TRGET1 へ分岐します。	CMP.W R1,R0 BGE TRGET0 BLT TRGET1
ADD #-1,R0 CMP/EQ#0,R0 BT TRGET	ADD では T ビットが変化しません。 R0=0 のとき T ビットがセットされます。 R0=0 のとき分岐します。	SUB.W #1,R0 BEQ TRGET

(10) イミディエイトデータ

バイトのイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令 (MOV) で参照します。

また SH-2A では、17～28 ビットのイミディエイトデータを命令コードの中に配置することも可能です。ただし、21～28 ビットのイミディエイトデータについては、レジスタ転送後、OR 命令を実行する必要があります。

表 2.5 イミディエイトデータによる参照

区分	SH-2A CPU	他の CPU の例
8 ビットイミディエイト	MOV #H'12,R0	MOV.B #H'12,R0
16 ビットイミディエイト	MOVI20#H'1234, R0	MOV.W #H'1234,R0
20 ビットイミディエイト	MOVI20#H'12345, R0	MOV.L #H'12345,R0
28 ビットイミディエイト	MOVI20S#H'12345, R0 OR #H'67, R0	MOV.L #H'1234567,R0
32 ビットイミディエイト	MOV.L @(disp,PC),R0DATA.LH'12345678	MOV.L #H'12345678,R0

【注】 @(disp,PC)でイミディエイトデータを参照します。

(11) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

また SH-2A では、28 ビット以下の絶対アドレスでデータを参照するとき、命令コード中に配置したイミディエイトデータをレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照することも可能です。ただし、21～28 ビットの絶対アドレスでデータを参照するときは、レジスタ転送後、OR 命令を使用する必要があります。

表 2.6 絶対アドレスによる参照

区分	SH-2A CPU	他の CPU の例
20 ビット以下	MOVI20#H'12345, R1 MOV.B @R1, R0	MOV.B @H'12345,R0
21～28 ビット	MOVI20S#H'12345, R1 OR #H'67, R1 MOV.B @R1, R0	MOV.B @H'1234567,R0
29 ビット以上	MOV.L @(disp,PC),R1 MOV.B @R1,R0DATA.LH'12345678	MOV.B @H'12345678,R0

(12) 16 ビット/32 ビットディスプレイースメント

16 ビットまたは 32 ビットディスプレイースメントでデータを参照するときは、あらかじめディスプレイースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

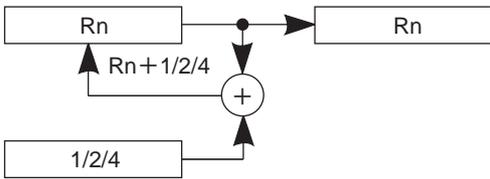
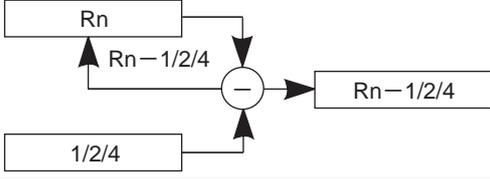
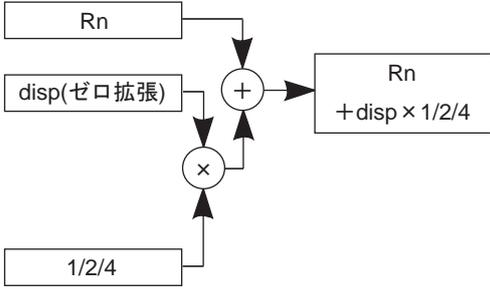
表 2.7 ディスプレースメントによる参照

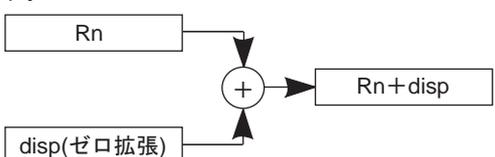
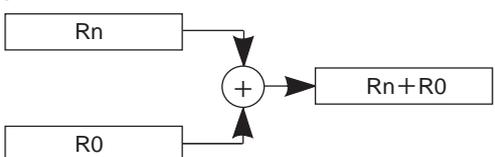
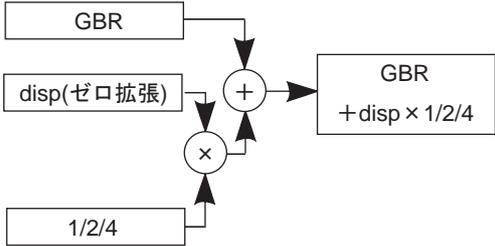
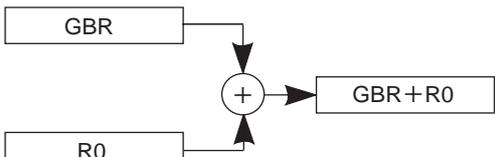
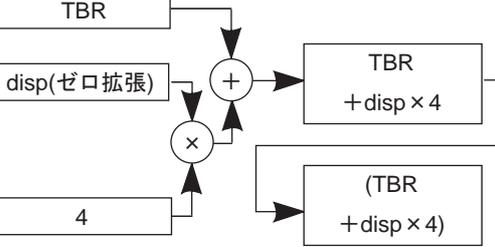
区分	SH-2A CPU	他の CPU の例
16 ビットディスプレイースメント	MOV.W @(disp,PC),R0 MOV.W @(R0,R1),R2DATA.WH'1234	MOV.W @(H'1234,R1),R2

2.3.2 アドレッシングモード

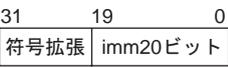
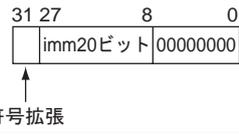
アドレッシングモードと実効アドレスの計算方法は次のとおりです。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	—
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : Rn+1→Rn ワード : Rn+2→Rn ロングワード : Rn+4→Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : Rn-1→Rn ワード : Rn-2→Rn ロングワード : Rn-4→Rn (計算後の Rn で命令実行)
ディスプレイースメント 付きレジスタ間接	@(disp:4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn+disp ワード : Rn+disp×2 ロングワード : Rn+disp×4

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイメント付きレジスタ間接	@(disp:12,Rn)	<p>実効アドレスはレジスタ Rn に 12 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張します。</p> 	バイト : $Rn + disp$ ワード : $Rn + disp$ ロングワード : $Rn + disp$
インデックス付きレジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレイメント付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレイメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレイメント付き TBR 二重間接	@@ (disp:8,TBR)	<p>実効アドレスはレジスタ TBR に 8 ビットディスプレイメント disp を加算したアドレスの内容です。disp はゼロ拡張後 4 倍します。</p> 	($TBR + disp \times 4$) アドレスの内容

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
ディスプレイースメント 付き PC 相対	@(disp:8,PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> <p style="text-align: center;">* ロングワードのとき</p>	<p>ワード : $PC + \text{disp} \times 2$</p> <p>ロングワード :</p> $PC \& \text{H'FFFFFFFC} + \text{disp} \times 4$
PC 相対	disp:8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + \text{disp} \times 2$
	disp:12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC + \text{disp} \times 2$
	Rn	<p>実効アドレスはレジスタ PC に Rn を加算した内容です。</p>	$PC + Rn$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
イミディエイト	#imm:20	MOVI20 命令の 20 ビットイミディエイト imm は符号拡張します。 	—
		MOVI20S 命令の 20 ビットイミディエイト imm は 8 ビット左にシフトし、上位側は符号拡張、下位側はゼロ詰めを行います。 	—
	#imm:8	TST、AND、OR、XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	—
	#imm:8	MOV、ADD、CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	—
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	—
#imm:3	BAND、BOR、BXOR、BST、BLD、BSET、BCLR 命令の 3 ビットイミディエイト imm はビット位置を表します。	—	

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード

mmmm : ソースレジスタ

nnnn : デスティネーションレジスタ

iiii : イミディエイトデータ

dddd : ディスプレースメント

表 2.9 命令形式

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
0 形式		—	—	NOP
n 形式		—	nnnn : レジスタ直接	MOV T Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : レジスタ直接	STS MACH,Rn
		R0 (レジスタ直接)	nnnn : レジスタ直接	DIVU R0, Rn
		コントロールレジスタ またはシステムレジスタ	nnnn : プリデクリメント レジスタ間接	STC.L SR,@Rn
		mmmm : レジスタ直接	R15 (プリデクリメント レジスタ間接)	MOVMU.L Rm, @-R15
		R15 (ポストインクリメント レジスタ間接)	nnnn : レジスタ直接	MOVMU.L @R15+, Rn
m 形式		mmmm : レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDC Rm,SR
		mmmm : ポストインクリメント レジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L @Rm+,SR
		mmmm : レジスタ間接	—	JMP @Rm
		mmmm : プリデクリメント レジスタ間接	R0 (レジスタ直接)	MOV.L @-Rm, R0
		mmmm : Rm を用いた PC 相対	—	BRAF Rm

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nm 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{xxxx} \\ \hline \end{array}$	mmmm : レジスタ直接	nnnn : レジスタ直接	ADD Rm,Rn
		mmmm : レジスタ直接	nnnn : レジスタ間接	MOV.L Rm,@Rn
		mmmm : ポストインクリメント レジスタ間接 (積和演算) nnnn : *	MACH,MACL	MAC.W @Rm+,@Rn+
		mmmm : ポストインクリメント レジスタ間接	nnnn : レジスタ直接	MOV.L @Rm+,Rn
		mmmm : レジスタ直接	nnnn : プリデクリメント レジスタ間接	MOV.L Rm,@-Rn
		mmmm : レジスタ直接	nnnn : インデックス付き レジスタ間接	MOV.L Rm,@(R0,Rn)
md 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{mmmm} & \text{dddd} \\ \hline \end{array}$	mmmmdddd : ディスプレイメント付き レジスタ間接	R0 (レジスタ直接)	MOV.B @(disp,Rm),R0
nd4 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{nnnn} & \text{dddd} \\ \hline \end{array}$	R0 (レジスタ直接)	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.B R0,@(disp,Rn)
nmd 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{dddd} \\ \hline \end{array}$	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp,Rn)
		mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp,Rm),Rn
nmd12 形式	$\begin{array}{ c c c c } \hline 32 & & & 16 \\ \hline \text{xxxx} & \text{nnnn} & \text{mmmm} & \text{xxxx} \\ \hline \end{array}$ $\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{dddd} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	mmmm : レジスタ直接	nnnndddd : ディスプレイメント 付きレジスタ間接	MOV.L Rm,@(disp12, Rn)
		mmmmdddd : ディスプレイメント付き レジスタ間接	nnnn : レジスタ直接	MOV.L @(disp12, Rm), Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
d 形式	$\begin{array}{ c c c } \hline 15 & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	dddddddd :	R0 (レジスタ直接)	MOV.L @(disp,GBR),R0
		ディスプレイースメント付き GBR 間接		
		R0 (レジスタ直接)	dddddddd :	MOV.L R0,@(disp,GBR)
		ディスプレイースメント付き PC 相対		
		dddddddd :	R0 (レジスタ直接)	MOVA @(disp,PC),R0
		dddddddd :	—	JSR/N @@(disp8,TBR)
		dddddddd :	—	BF label
d12 形式	$\begin{array}{ c c c } \hline 15 & & 0 \\ \hline \text{xxxx} & \text{dddd} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	dddddddddddd : PC 相対	—	BRA label (label=disp+PC)
nd8 形式	$\begin{array}{ c c c } \hline 15 & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{dddd} & \text{dddd} \\ \hline \end{array}$	dddddddd :	nnnn : レジスタ直接	MOV.L @(disp,PC),Rn
		ディスプレイースメント付き PC 相対		
i 形式	$\begin{array}{ c c c } \hline 15 & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{iiii} & \text{iiii} \\ \hline \end{array}$	iiiiiii : イミディエイト	インデックス付き GBR 間接	AND.B #imm,@(R0,GBR)
		iiiiiii : イミディエイト	R0 (レジスタ直接)	AND #imm,R0
		iiiiiii : イミディエイト	—	TRAPA #imm
ni 形式	$\begin{array}{ c c c } \hline 15 & & 0 \\ \hline \text{xxxx} & \text{nnnn} & \text{iiii} & \text{iiii} \\ \hline \end{array}$	iiiiiii : イミディエイト	nnnn : レジスタ直接	ADD #imm,Rn
ni3 形式	$\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{xxxx} & \text{xxxx} & \text{nnnn} & \text{iii} \\ \hline \end{array}$	nnnn : レジスタ直接 iii : イミディエイト	—	BLD #imm3,Rn
		—	nnnn : レジスタ直接 iii : イミディエイト	BST #imm3,Rn
ni20 形式	$\begin{array}{ c c c c } \hline 32 & & & 16 \\ \hline \text{xxxx} & \text{nnnn} & \text{iiii} & \text{xxxx} \\ \hline \end{array}$ $\begin{array}{ c c c c } \hline 15 & & & 0 \\ \hline \text{iiii} & \text{iiii} & \text{iiii} & \text{iiii} \\ \hline \end{array}$	iiiiiiiiiiiiiiiiiiiiiiiiiiiii : イミディエイト	nnnn : レジスタ直接	MOVI20#imm20, Rn

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
nid 形式	<div style="display: flex; justify-content: space-between; align-items: center;"> 32 16 </div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;"> xxxx nnnn xiii xxxx </div> <div style="display: flex; justify-content: space-between; align-items: center; margin-top: 5px;"> 15 0 </div> <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 0 auto;"> xxxx dddd dddd dddd </div>	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	—	BLD.B #imm3,@ (disp12,Rn)
		—	nnnndddddddddddd : ディスプレースメント 付きレジスタ間接 iii : イミディエイト	BST.B #imm3,@ (disp12,Rn)

【注】 * 積和命令では nnnn はソースレジスタです。

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	13	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送 逆スタック転送	62
		MOVA	実行アドレスの転送	
		MOVI20	20 ビットイミディエイトデータの転送	
		MOVI20S	20 ビットイミディエイトデータの転送 左 8 ビットシフト	
		MOVML	R0~Rn のレジスタ 退避・復帰	
		MOVMU	Rn~R14、PR のレジスタ 退避・復帰	
		MOVRT	T ビット反転 Rn への転送	
		MOV T	T ビットの転送	
		MOVU	無符号データの転送	
		NOTT	T ビット反転	
		PREF	オペランドキャッシュへのプリフェッチ	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	26	ADD	2 進加算	40
		ADDC	キャリー付き 2 進加算	
		ADDV	オーバフロー付き 2 進加算	
		CMP/cond	比較	
		CLIPS	符号付き飽和値比較	
		CLIPU	符号なし飽和値比較	
		DIVS	符号付き除算 (32÷32)	
		DIVU	符号なし除算 (32÷32)	
		DIV1	1 ステップ除算	
		DIV0S	符号付き 1 ステップ除算の初期化	

分類	命令の種類	オペコード	機能	命令数
算術演算命令	26	DIV0U	符号なし 1 ステップ除算の初期化	40
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULR	Rn 結果格納符号付き乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2 進減算	
		SUBC	ポロー付き 2 進減算	
SUBV	アンダフロー付き 2 進減算			
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算の T ビットセット	
		XOR	排他的論理和演算	
シフト命令	12	ROTL	1 ビット左回転	16
		ROTR	1 ビット右回転	
		ROTCL	T ビット付き 1 ビット左回転	
		ROTCR	T ビット付き 1 ビット右回転	
		SHAD	ダイナミック算術的シフト	
		SHAL	算術的 1 ビット左シフト	
		SHAR	算術的 1 ビット右シフト	
		SHLD	ダイナミック論理的シフト	
		SHLL	論理的 1 ビット左シフト	
		SHLLn	論理的 n ビット左シフト	
		SHLR	論理的 1 ビット右シフト	
		SHLRn	論理的 n ビット右シフト	

分類	命令の種類	オペコード	機能	命令数
分岐命令	10	BF	条件分岐、遅延付き条件分岐 (T=0 で分岐)	15
		BT	条件分岐、遅延付き条件分岐 (T=1 で分岐)	
		BRA	遅延付き無条件分岐	
		BRAF	遅延付き無条件分岐	
		BSR	遅延付きサブルーチンプロシージャへの分岐	
		BSRF	遅延付きサブルーチンプロシージャへの分岐	
		JMP	遅延付き無条件分岐	
		JSR	サブルーチンプロシージャへの分岐 遅延付きサブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰 遅延付きサブルーチンプロシージャからの復帰	
		RTV/N	Rm→R0 転送付きサブルーチンプロシージャからの復帰	
システム制御命令	14	CLRT	T ビットのクリア	36
		CLRMAC	MAC レジスタのクリア	
		LDBANK	指定レジスタバンクエントリからのレジスタ復帰	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RESBANK	レジスタバンクからのレジスタ復帰	
		RTE	例外処理からの復帰	
		SETT	T ビットのセット	
		SLEEP	低消費電力状態への遷移	
		STBANK	指定レジスタバンクエントリへのレジスタ退避	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	
浮動小数点演算命令	19	FABS	浮動小数点数絶対値	48
		FADD	浮動小数点数加算	
		FCMP	浮動小数点数比較	
		FCNVDS	倍精度から単精度への変換	
		FCNVSD	単精度から倍精度への変換	
		FDIV	浮動小数点数除算	
		FLDI0	浮動小数点数ロードイミディエイト 0	
		FLDI1	浮動小数点数ロードイミディエイト 1	
		FLDS	システムレジスタ FPUL への浮動小数点数ロード	
		FLOAT	整数から浮動小数点数への変換	
		FMAC	浮動小数点数積和演算	

分類	命令の種類	オペコード	機能	命令数
浮動小数点演算命令	19	FMOV	浮動小数点数転送	48
		FMUL	浮動小数点数乗算	
		FNEG	浮動小数点数符号反転	
		FSCHG	SZ ビット反転	
		FSQRT	浮動小数点平方根	
		FSTS	システムレジスタ FPUL からの浮動小数点数ストア	
		FSUB	浮動小数点数減算	
		FTRC	浮動小数点数の整数への切り捨て変換	
FPUに関する CPU 命令	2	LDS	浮動小数点システムレジスタへのロード	8
		STS	浮動小数点システムレジスタからのストア	
ビット操作命令	10	BAND	ビット論理積	14
		BCLR	ビットクリア	
		BLD	ビットロード	
		BOR	ビット論理和	
		BSET	ビットセット	
		BST	ビットストア	
		BXOR	ビット排他的論理和	
		BANDNOT	ビットノット論理積	
		BORNOT	ビットノット論理和	
		BLDNOT	ビットノットロード	
	計 112			253

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命 令	命令コード	動作の概略	実行ステート	Tビット
ニーモニックで表示していません。 【記号説明】 Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント* ²	MSB ←→ LSB の順で表示しています。 【記号説明】 mmmmm : ソースレジスタ nnnnn : デスティネーションレジスタ 0000 : R0 0001 : R1 1111 : R15 iiii : イミディエイトデータ dddd : ディスプレースメント	動作の概略を表示しています。 【記号説明】 →、← : 転送方向 (xx) : メモリオペランド M/Q/T : SR 内のフラグビット & : ビットごとの論理積 : ビットごとの論理和 ^ : ビットごとの排他的論理和 ~ : ビットごとの論理否定 <<n : 左 n ビットシフト >>n : 右 n ビットシフト	ノーウェイトのときの値です。* ¹	命令実行後の、Tビットの値を表示しています。 【記号説明】 - : 変化しない

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令（メモリ→レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一の場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケールリング（×1、×2、×4）されます。

詳しくは、「SH-2A、SH2A-FPU ユーザーズマニュアル ソフトウェア編」を参照してください。

2.4.2 データ転送命令

表 2.11 データ転送命令

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV #imm, Rn	1110nnnniiiiiiii	imm→符号拡張→Rn	1	—	○	○	○
MOV.W @(disp, PC), Rn	1001nnnnddddddd	(disp×2+PC)→符号拡張→Rn	1	—	○	○	○
MOV.L @(disp, PC), Rn	1101nnnnddddddd	(disp×4+PC)→Rn	1	—	○	○	○
MOV Rm, Rn	0110nnnnmmmm0011	Rm→Rn	1	—	○	○	○
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm→(Rn)	1	—	○	○	○
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm→(Rn)	1	—	○	○	○
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm→(Rn)	1	—	○	○	○
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm)→符号拡張→Rn	1	—	○	○	○
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm)→符号拡張→Rn	1	—	○	○	○
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm)→Rn	1	—	○	○	○
MOV.B Rm, @- Rn	0010nnnnmmmm0100	Rn-1→Rn, Rm→(Rn)	1	—	○	○	○
MOV.W Rm, @- Rn	0010nnnnmmmm0101	Rn-2→Rn, Rm→(Rn)	1	—	○	○	○
MOV.L Rm, @- Rn	0010nnnnmmmm0110	Rn-4→Rn, Rm→(Rn)	1	—	○	○	○
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm)→符号拡張→Rn, Rm+1→Rm	1	—	○	○	○
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm)→符号拡張→Rn, Rm+2→Rm	1	—	○	○	○
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm)→Rn, Rm+4→Rm	1	—	○	○	○
MOV.B R0, @(disp, Rn)	10000000nnnnddd	R0→(disp+Rn)	1	—	○	○	○
MOV.W R0, @(disp, Rn)	10000001nnnnddd	R0→(disp×2+Rn)	1	—	○	○	○
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmddd	Rm→(disp×4+Rn)	1	—	○	○	○
MOV.B @(disp, Rm), R0	10000100mmmmddd	(disp+Rm)→符号拡張→R0	1	—	○	○	○
MOV.W @(disp, Rm), R0	10000101mmmmddd	(disp×2+Rm)→符号拡張→R0	1	—	○	○	○
MOV.L @(disp, Rm), Rn	0101nnnnmmmmddd	(disp×4+Rm)→Rn	1	—	○	○	○
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm→(R0+Rn)	1	—	○	○	○
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm→(R0+Rn)	1	—	○	○	○
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm→(R0+Rn)	1	—	○	○	○
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm)→符号拡張→Rn	1	—	○	○	○
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm)→符号拡張→Rn	1	—	○	○	○
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm)→Rn	1	—	○	○	○
MOV.B R0, @(disp, GBR)	11000000ddddddd	R0→(disp+GBR)	1	—	○	○	○
MOV.W R0, @(disp, GBR)	11000001ddddddd	R0→(disp×2+GBR)	1	—	○	○	○
MOV.L R0, @(disp, GBR)	11000010ddddddd	R0→(disp×4+GBR)	1	—	○	○	○

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOV.B @(disp, GBR), R0	11000100ddddddd	(disp+GBR)→符号拡張→R0	1	—	○	○	○
MOV.W @(disp, GBR), R0	11000101ddddddd	(disp × 2+GBR)→符号拡張→R0	1	—	○	○	○
MOV.L @(disp, GBR), R0	11000110ddddddd	(disp × 4+GBR)→R0	1	—	○	○	○
MOV.B R0, @Rn+	0100nnnn10001011	R0→(Rn), Rn+1→Rn	1	—			○
MOV.W R0, @Rn+	0100nnnn10011011	R0→(Rn), Rn+2→Rn	1	—			○
MOV.L R0, @Rn+	0100nnnn10101011	R0→(Rn), Rn+4→Rn	1	—			○
MOV.B @-Rm, R0	0100mmmm11001011	Rm-1→Rm, (Rm)→符号拡張→R0	1	—			○
MOV.W @-Rm, R0	0100mmmm11011011	Rm-2→Rm, (Rm)→符号拡張→R0	1	—			○
MOV.L @-Rm, R0	0100mmmm11101011	Rm-4→Rm, (Rm)→R0	1	—			○
MOV.B Rm, @(disp12, Rn)	0011nnnnmmmm0001 0000ddddddddddd	Rm→(disp+Rn)	1	—			○
MOV.W Rm, @(disp12, Rn)	0011nnnnmmmm0001 0001ddddddddddd	Rm→(disp × 2+Rn)	1	—			○
MOV.L Rm, @(disp12, Rn)	0011nnnnmmmm0001 0010ddddddddddd	Rm→(disp × 4+Rn)	1	—			○
MOV.B @(disp12, Rm), Rn	0011nnnnmmmm0001 0100ddddddddddd	(disp+Rm)→符号拡張→Rn	1	—			○
MOV.W @(disp12, Rm), Rn	0011nnnnmmmm0001 0101ddddddddddd	(disp × 2+Rm)→符号拡張→Rn	1	—			○
MOV.L @(disp12, Rm), Rn	0011nnnnmmmm0001 0110ddddddddddd	(disp × 4+Rm)→Rn	1	—			○
MOVA @(disp, PC), R0	11000111ddddddd	disp × 4+PC→R0	1	—	○	○	○
MOVI20 #imm20, Rn	0000nnnniiii0000 iiiiiiiiiiiiiii	imm→符号拡張→Rn	1	—			○
MOVI20S #imm20, Rn	0000nnnniiii0001 iiiiiiiiiiiiiii	imm<<8→符号拡張→Rn	1	—			○
MOVML.L Rm, @-R15	0100mmmm11110001	R15-4→R15, Rm→(R15) R15-4→R15, Rm-1→(R15) : R15-4→R15, R0→(R15) ※Rm=R15 のとき、Rm を PR に読み替え	1~16	—			○

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
MOVML.L @R15+, Rn	0100nnnn11110101	(R15)→R0, R15+4→R15 (R15)→R1, R15+4→R15 : (R15)→Rn ※Rn=R15 のとき、Rn を PR に読み替 え	1~16	—			○
MOVML.L Rm, @-R15	0100mmmm11110000	R15-4→R15, PR→(R15) R15-4→R15, R14→(R15) : R15-4→R15, Rm→(R15) ※Rm=R15 のとき、Rm を PR に読み替 え	1~16	—			○
MOVML.L @R15+, Rn	0100nnnn11110100	(R15)→Rn, R15+4→R15 (R15)→Rn+1, R15+4→R15 : (R15)→R14, R15+4→R15 (R15)→PR ※Rn=R15 のとき、Rn を PR に読み替 え	1~16	—			○
MOVRT Rn	0000nnnn00111001	~T→Rn	1	—			○
MOV T Rn	0000nnnn00101001	T→Rn	1	—	○	○	○
MOVUB @(disp12,Rm), Rn	0011nnnnmmmm0001 1000ddddddddddd	(disp+Rm)→ゼロ拡張→Rn	1	—			○
MOVUW @(disp12,Rm),Rn	0011nnnnmmmm0001 1001ddddddddddd	(disp×2+Rm)→ゼロ拡張→Rn	1	—			○
NOTT	000000001101000	~T→T	1	演算結果			○
PREF @Rn	0000nnnn10000011	(Rn)→オペランドキャッシュ	1	—		○	○
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm→下位 2 バイトの上下バイト交換→ Rn	1	—	○	○	○
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm→上下ワード交換→Rn	1	—	○	○	○
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm:Rn の中央 32 ビット→Rn	1	—	○	○	○

2.4.3 算術演算命令

表 2.12 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ADD Rm, Rn	0011nnnnmmmm1100	Rn+Rm→Rn	1	—	○	○	○
ADD #imm, Rn	0111nnnniiiiiii	Rn+imm→Rn	1	—	○	○	○
ADDC Rm, Rn	0011nnnnmmmm1110	Rn+Rm+T→Rn, キャリー→T	1	キャリー	○	○	○
ADDV Rm, Rn	0011nnnnmmmm1111	Rn+Rm→Rn, オーバフロー→T	1	オーバ フロー	○	○	○
CMP/EQ #imm, R0	10001000iiiiiii	R0=imm のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	○
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn=Rm のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	○
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn≥Rm のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	○
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn≥Rm のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	○
CMP/HI Rm, Rn	0011nnnnmmmm0110	無符号で Rn>Rm のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	○
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn>Rm のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	○
CMP/PL Rn	0100nnnn00010101	Rn>0 のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	○
CMP/PZ Rn	0100nnnn00010001	Rn≥0 のとき 1→T それ以外るとき 0→T	1	比較結果	○	○	○
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1→T それ以外るとき 0→T	1	比較結果	○	○	○
CLIPS.B Rn	0100nnnn10010001	Rn>(H'0000007F)のとき、 (H'0000007F) →Rn, 1→CS Rn<(H'FFFFFF80)のとき、 (H'FFFFFF80) →Rn, 1→CS	1	—			○
CLIPS.W Rn	0100nnnn10010101	Rn>(H'00007FFF)のとき、 (H'00007FFF) →Rn, 1→CS Rn<(H'FFFF8000)のとき、 (H'FFFF8000) →Rn, 1→CS	1	—			○

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
CLIPU.B Rn	0100nnnn10000001	Rn>(H'000000FF)のとき、 (H'000000FF) →Rn, 1→CS	1	—			○
CLIPU.W Rn	0100nnnn10000101	Rn>(H'0000FFFF)のとき、 (H'0000FFFF) →Rn, 1→CS	1	—			○
DIV1 Rm, Rn	0011nnnnmmmm0100	1ステップ除算(Rn÷Rm)	1	計算結果	○	○	○
DIV0S Rm, Rn	0010nnnnmmmm0111	RnのMSB→Q, RnのMSB→M, M ^ Q→T	1	計算結果	○	○	○
DIV0U	0000000000011001	0→M/Q/T	1	0	○	○	○
DIVS R0, Rn	0100nnnn10010100	符号付きで Rn÷R0→Rn 32÷32→32 ビット	36	—			○
DIVU R0, Rn	0100nnnn10000100	符号なしで Rn÷R0→Rn 32÷32→32 ビット	34	—			○
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn×Rm→MACH, MACL 32×32→64 ビット	2	—	○	○	○
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn×Rm→MACH, MACL 32×32→64 ビット	2	—	○	○	○
DT Rn	0100nnnn00010000	Rn-1→Rn, Rnが0のとき1→T Rnが0以外のとき0→T	1	比較結果	○	○	○
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rmをバイトから符号拡張→Rn	1	—	○	○	○
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rmをワードから符号拡張→Rn	1	—	○	○	○
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rmをバイトからゼロ拡張→Rn	1	—	○	○	○
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rmをワードからゼロ拡張→Rn	1	—	○	○	○
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで(Rn)×(Rm)+MAC→MAC 32×32+64→64 ビット	4	—	○	○	○
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで(Rn)×(Rm)+MAC→MAC 16×16+64→64 ビット	3	—	○	○	○
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn×Rm→MACL 32×32→32 ビット	2	—	○	○	○
MULR R0, Rn	0100nnnn10000000	R0×Rn→Rn 32×32→32 ビット	2				○
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn×Rm→MACL 16×16→32 ビット	1	—	○	○	○
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn×Rm→MACL 16×16→32 ビット	1	—	○	○	○
NEG Rm, Rn	0110nnnnmmmm1011	0-Rm→Rn	1	—	○	○	○
NEGC Rm, Rn	0110nnnnmmmm1010	0-Rm-T→Rn, ボロ→T	1	ボロ	○	○	○
SUB Rm, Rn	0011nnnnmmmm1000	Rn-Rm→Rn	1	—	○	○	○

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
SUBC Rm, Rn	0011nnnnmmmm1010	Rn-Rm-T→Rn, ボロー→T	1	ボロー	○	○	○
SUBV Rm, Rn	0011nnnnmmmm1011	Rn-Rm→Rn, アンダフロー→T	1	オーバ フロー	○	○	○

2.4.4 論理演算命令

表 2.13 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
AND Rm, Rn	0010nnnnmmmm1001	Rn & Rm→Rn	1	—	○	○	○
AND #imm, R0	11001001iiiiiiii	R0 & imm→R0	1	—	○	○	○
AND.B #imm, @(R0, GBR)	11001101iiiiiiii	(R0+GBR) & imm→(R0+GBR)	3	—	○	○	○
NOT Rm, Rn	0110nnnnmmmm0111	~Rm→Rn	1	—	○	○	○
OR Rm, Rn	0010nnnnmmmm1011	Rn Rm→Rn	1	—	○	○	○
OR #imm, R0	11001011iiiiiiii	R0 imm→R0	1	—	○	○	○
OR.B #imm, @(R0, GBR)	11001111iiiiiiii	(R0+GBR) imm→(R0+GBR)	3	—	○	○	○
TAS.B @Rn	0100nnnn00011011	(Rn)が0のとき1→T, それ以外のとき0→T, 1→MSB of(Rn)	3	テスト 結果	○	○	○
TST Rm, Rn	0010nnnnmmmm1000	Rn & Rm, 結果が0のとき1→T, その他0→T	1	テスト 結果	○	○	○
TST #imm, R0	11001000iiiiiiii	R0 & imm, 結果が0のとき1→T その他0→T	1	テスト 結果	○	○	○
TST.B #imm, @(R0, GBR)	11001100iiiiiiii	(R0+GBR) & imm, 結果が0のとき1→T その他0→T	3	テスト 結果	○	○	○
XOR Rm, Rn	0010nnnnmmmm1010	Rn ^ Rm→Rn	1	—	○	○	○
XOR #imm, R0	11001010iiiiiiii	R0 ^ imm→R0	1	—	○	○	○
XOR.B #imm, @(R0, GBR)	11001110iiiiiiii	(R0+GBR) ^ imm→(R0+GBR)	3	—	○	○	○

2.4.5 シフト命令

表 2.14 シフト命令

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
ROTL Rn	0100nnnn00000100	$T \leftarrow Rn \leftarrow MSB$	1	MSB	○	○	○
ROTR Rn	0100nnnn00000101	$LSB \rightarrow Rn \rightarrow T$	1	LSB	○	○	○
ROTCL Rn	0100nnnn00100100	$T \leftarrow Rn \leftarrow T$	1	MSB	○	○	○
ROTCL Rn	0100nnnn00100101	$T \rightarrow Rn \rightarrow T$	1	LSB	○	○	○
SHAD Rm, Rn	0100nnnnmmmm1100	$Rm \geq 0$ のとき $Rn \ll Rm \rightarrow Rn$ $Rm < 0$ のとき $Rn \gg Rm \rightarrow [MSB \rightarrow Rn]$	1	—		○	○
SHAL Rn	0100nnnn00100000	$T \leftarrow Rn \leftarrow 0$	1	MSB	○	○	○
SHAR Rn	0100nnnn00100001	$MSB \rightarrow Rn \rightarrow T$	1	LSB	○	○	○
SHLD Rm, Rn	0100nnnnmmmm1101	$Rm \geq 0$ のとき $Rn \ll Rm \rightarrow Rn$ $Rm < 0$ のとき $Rn \gg Rm \rightarrow [0 \rightarrow Rn]$	1	—		○	○
SHLL Rn	0100nnnn00000000	$T \leftarrow Rn \leftarrow 0$	1	MSB	○	○	○
SHLR Rn	0100nnnn00000001	$0 \rightarrow Rn \rightarrow T$	1	LSB	○	○	○
SHLL2 Rn	0100nnnn00001000	$Rn \ll 2 \rightarrow Rn$	1	—	○	○	○
SHLR2 Rn	0100nnnn00001001	$Rn \gg 2 \rightarrow Rn$	1	—	○	○	○
SHLL8 Rn	0100nnnn00011000	$Rn \ll 8 \rightarrow Rn$	1	—	○	○	○
SHLR8 Rn	0100nnnn00011001	$Rn \gg 8 \rightarrow Rn$	1	—	○	○	○
SHLL16 Rn	0100nnnn00101000	$Rn \ll 16 \rightarrow Rn$	1	—	○	○	○
SHLR16 Rn	0100nnnn00101001	$Rn \gg 16 \rightarrow Rn$	1	—	○	○	○

2.4.6 分岐命令

表 2.15 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
BF label	1000101111111111	T=0 のとき $\text{disp} \times 2 + \text{PC} \rightarrow \text{PC}$, T=1 のとき nop	3/1*	—	○	○	○
BF/S label	1000111111111111	遅延分岐、T=0 のとき $\text{disp} \times 2 + \text{PC} \rightarrow \text{PC}$, T=1 のとき nop	2/1*	—	○	○	○
BT label	1000100111111111	T=1 のとき $\text{disp} \times 2 + \text{PC} \rightarrow \text{PC}$, T=0 のとき nop	3/1*	—	○	○	○
BT/S label	1000110111111111	遅延分岐、T=1 のとき $\text{disp} \times 2 + \text{PC} \rightarrow \text{PC}$, T=0 のとき nop	2/1*	—	○	○	○
BRA label	1010111111111111	遅延分岐、 $\text{disp} \times 2 + \text{PC} \rightarrow \text{PC}$	2	—	○	○	○
BRAF Rm	0000111111111111	遅延分岐、 $\text{Rm} + \text{PC} \rightarrow \text{PC}$	2	—	○	○	○
BSR label	1011111111111111	遅延分岐、 $\text{PC} \rightarrow \text{PR}$, $\text{disp} \times 2 + \text{PC} \rightarrow \text{PC}$	2	—	○	○	○
BSRF Rm	0000111111111111	遅延分岐、 $\text{PC} \rightarrow \text{PR}$, $\text{Rm} + \text{PC} \rightarrow \text{PC}$	2	—	○	○	○
JMP @Rm	0100111111111111	遅延分岐、 $\text{Rm} \rightarrow \text{PC}$	2	—	○	○	○
JSR @Rm	0100111111111111	遅延分岐、 $\text{PC} \rightarrow \text{PR}$, $\text{Rm} \rightarrow \text{PC}$	2	—	○	○	○
JSR/N @Rm	0100111111111111	$\text{PC} - 2 \rightarrow \text{PR}$, $\text{Rm} \rightarrow \text{PC}$	3	—			○
JSR/N @@(disp8, TBR)	1000011111111111	$\text{PC} - 2 \rightarrow \text{PR}$, $(\text{disp} \times 4 + \text{TBR}) \rightarrow \text{PC}$	5	—			○
RTS	0000000000001011	遅延分岐、 $\text{PR} \rightarrow \text{PC}$	2	—	○	○	○
RTS/N	0000000001101011	$\text{PR} \rightarrow \text{PC}$	3	—			○
RTV/N Rm	0000111111111011	$\text{Rm} \rightarrow \text{R0}$, $\text{PR} \rightarrow \text{PC}$	3	—			○

【注】 * 分岐しないときは1ステートになります。

2.4.7 システム制御命令

表 2.16 システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
CLRT	000000000001000	0→T	1	0	○	○	○
CLRMAC	000000000101000	0→MACH,MACL	1	—	○	○	○
LDBANK @Rm, R0	0100mmmm11100101	(指定レジスタバンクエントリ)→R0	6	—			○
LDC Rm, SR	0100mmmm00001110	Rm→SR	3	LSB	○	○	○
LDC Rm, TBR	0100mmmm01001010	Rm→TBR	1	—			○
LDC Rm, GBR	0100mmmm00011110	Rm→GBR	1	—	○	○	○
LDC Rm, VBR	0100mmmm00101110	Rm→VBR	1	—	○	○	○
LDC.L @Rm+, SR	0100mmmm00000111	(Rm)→SR, Rm+4→Rm	5	LSB	○	○	○
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm)→GBR, Rm+4→Rm	1	—	○	○	○
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm)→VBR, Rm+4→Rm	1	—	○	○	○
LDS Rm, MACH	0100mmmm00001010	Rm→MACH	1	—	○	○	○
LDS Rm, MACL	0100mmmm00011010	Rm→MACL	1	—	○	○	○
LDS Rm, PR	0100mmmm00101010	Rm→PR	1	—	○	○	○
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm)→MACH, Rm+4→Rm	1	—	○	○	○
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm)→MACL, Rm+4→Rm	1	—	○	○	○
LDS.L @Rm+, PR	0100mmmm00100110	(Rm)→PR, Rm+4→Rm	1	—	○	○	○
NOP	000000000001001	無操作	1	—	○	○	○
RESBANK	0000000001011011	バンク→R0~R14, GBR, MACH, MACL, PR	9*	—			○
RTE	000000000101011	遅延分岐、スタック領域→PC/SR	6	—	○	○	○
SETT	000000000011000	1→T	1	1	○	○	○
SLEEP	000000000011011	スリープ	5	—	○	○	○
STBANK R0, @Rn	0100nnnn11100001	R0→(指定レジスタバンクエントリ)	7	—			○
STC SR, Rn	0000nnnn00000010	SR→Rn	2	—	○	○	○
STC TBR, Rn	0000nnnn01001010	TBR→Rn	1	—			○
STC GBR, Rn	0000nnnn00010010	GBR→Rn	1	—	○	○	○
STC VBR, Rn	0000nnnn00100010	VBR→Rn	1	—	○	○	○
STC.L SR, @- Rn	0100nnnn00000011	Rn-4→Rn, SR→(Rn)	2	—	○	○	○
STC.L GBR, @- Rn	0100nnnn00010011	Rn-4→Rn, GBR→(Rn)	1	—	○	○	○
STC.L VBR, @- Rn	0100nnnn00100011	Rn-4→Rn, VBR→(Rn)	1	—	○	○	○

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
STS MACH, Rn	0000nnnn00001010	MACH→Rn	1	—	○	○	○
STS MACL, Rn	0000nnnn00011010	MACL→Rn	1	—	○	○	○
STS PR, Rn	0000nnnn00101010	PR→Rn	1	—	○	○	○
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4→Rn, MACH→(Rn)	1	—	○	○	○
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4→Rn, MACL→(Rn)	1	—	○	○	○
STS.L PR, @-Rn	0100nnnn00100010	Rn-4→Rn, PR→(Rn)	1	—	○	○	○
TRAPA #imm	11000011iiiiiiii	PC/SR→スタック領域、 (imm×4+VBR)→PC	5	—	○	○	○

【注】 命令の実行ステートについて

表に示した実行ステートは最小値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令（メモリ→レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合などの条件により、命令実行ステート数は増加します。

* バンクのオーバフロー時は、ステート数が19です。

2.4.8 浮動小数点演算命令

表 2.17 浮動小数点演算命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A-FPU
FABS FRn	1111nnnn01011101	FRn →FRn	1	—	○	○	○
FABS DRn	1111nnnn001011101	DRn →DRn	1	—		○	○
FADD FRm, FRn	1111nnnnmmmm0000	FRn+FRm→FRn	1	—	○	○	○
FADD DRm, DRn	1111nnnn0mmmm00000	DRn+DRm→DRn	6	—		○	○
FCMP/EQ FRm, FRn	1111nnnnmmmm0100	(FRn=FRm)? 1:0→T	1	比較結果	○	○	○
FCMP/EQ DRm, DRn	1111nnnn0mmmm00100	(DRn=DRm)? 1:0→T	2	比較結果		○	○
FCMP/GT FRm, FRn	1111nnnnmmmm0101	(FRn>FRm)? 1:0→T	1	比較結果	○	○	○
FCMP/GT DRm, DRn	1111nnnn0mmmm00101	(DRn>DRm)? 1:0→T	2	比較結果		○	○
FCNVDS DRm, FPUL	1111mmmm010111101	(float)DRm→FPUL	2	—		○	○
FCNVSD FPUL, DRn	1111nnnn010101101	(double)FPUL→DRn	2	—		○	○
FDIV FRm, FRn	1111nnnnmmmm0011	FRn/FRm→FRn	10	—	○	○	○
FDIV DRm, DRn	1111nnnn0mmmm00011	DRn/DRm→DRn	23	—		○	○
FLDI0 FRn	1111nnnn10001101	0×00000000→FRn	1	—	○	○	○
FLDI1 FRn	1111nnnn10011101	0×3F800000→FRn	1	—	○	○	○
FLDS FRm, FPUL	1111mmmm00011101	FRm→FPUL	1	—	○	○	○
FLOAT FPUL, FRn	1111nnnn00101101	(float)FPUL→FRn	1	—	○	○	○
FLOAT FPUL, DRn	1111nnnn000101101	(double)FPUL→DRn	2	—		○	○
FMAC FR0, FRm, FRn	1111nnnnmmmm1110	FR0×FRm+FRn→FRn	1	—	○	○	○
FMOV FRm, FRn	1111nnnnmmmm1100	FRm→FRn	1	—	○	○	○
FMOV DRm, DRn	1111nnnn0mmmm01100	DRm→DRn	2	—		○	○
FMOV.S @(R0, Rm), FRn	1111nnnnmmmm0110	(R0+Rm)→FRn	1	—	○	○	○
FMOV.D @(R0, Rm), DRn	1111nnnn0mmmm0110	(R0+Rm)→DRn	2	—		○	○
FMOV.S @Rm+, FRn	1111nnnnmmmm1001	(Rm)→FRn, Rm+=4	1	—	○	○	○
FMOV.D @Rm+, DRn	1111nnnn0mmmm1001	(Rm)→DRn, Rm+=8	2	—		○	○
FMOV.S @Rm, FRn	1111nnnnmmmm1000	(Rm)→FRn	1	—	○	○	○
FMOV.D @Rm, DRn	1111nnnn0mmmm1000	(Rm)→DRn	2	—		○	○
FMOV.S @(disp12, Rm), FRn	0011nnnnmmmm0001 0111ddddddddddd	(disp×4+Rm)→FRn	1	—			○
FMOV.D @(disp12, Rm), DRn	0011nnnn0mmmm0001 0111ddddddddddd	(disp×8+Rm)→DRn	2	—			○
FMOV.S FRm, @(R0, Rn)	1111nnnnmmmm0111	FRm→(R0+Rn)	1	—	○	○	○

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A-FPU
FMOV.D DRm, @(R0,Rn)	1111nnnnmmmm00111	DRm→(R0+Rn)	2	—		○	○
FMOV.S FRm, @-Rn	1111nnnnmmmm1011	Rn=4, FRm→(Rn)	1	—	○	○	○
FMOV.D DRm, @-Rn	1111nnnnmmmm01011	Rn=8, DRm→(Rn)	2	—		○	○
FMOV.S FRm, @Rn	1111nnnnmmmm1010	FRm→(Rn)	1	—	○	○	○
FMOV.D DRm, @Rn	1111nnnnmmmm01010	DRm→(Rn)	2	—		○	○
FMOV.S FRm, @(disp12,Rn)	0011nnnnmmmm0001 0011ddddddddddd	FRm→(disp×4+Rn)	1	—			○
FMOV.D DRm, @(disp12,Rn)	0011nnnnmmmm00001 0011ddddddddddd	DRm→(disp×8+Rn)	2	—			○
FMUL FRm, FRn	1111nnnnmmmm0010	FRn×FRm→FRn	1	—	○	○	○
FMUL DRm, DRn	1111nnn0mmmm00010	DRn×DRm→DRn	6	—		○	○
FNEG FRn	1111nnnn01001101	-FRn→FRn	1	—	○	○	○
FNEG DRn	1111nnn001001101	-DRn→DRn	1	—		○	○
FSCHG	1111001111111101	FPSCR.SZ←FPSCR.SZ	1	—		○	○
FSQRT FRn	1111nnnn01101101	√FRn→FRn	9	—		○	○
FSQRT DRn	1111nnn001101101	√DRn→DRn	22	—		○	○
FSTS FPUL,FRn	1111nnnn00001101	FPUL→FRn	1	—	○	○	○
FSUB FRm, FRn	1111nnnnmmmm0001	FRn-FRm→FRn	1	—	○	○	○
FSUB DRm, DRn	1111nnn0mmmm00001	DRn-DRm→DRn	6	—		○	○
FTRC FRm, FPUL	1111mmmm00111101	(long)FRm→FPUL	1	—	○	○	○
FTRC DRm, FPUL	1111mmmm000111101	(long)DRm→FPUL	2	—		○	○

2.4.9 FPU に関する CPU 命令

表 2.18 FPU に関する CPU 命令

命 令	命令コード	動 作	実行 ステート	T ビット	適用命令		
					SH2E	SH4	SH-2A/ SH2A-FPU
LDS Rm,FPSCR	0100mmmm01101010	Rm→FPSCR	1	—	○	○	○
LDS Rm,FPUL	0100mmmm01011010	Rm→FPUL	1	—	○	○	○
LDS.L @Rm+, FPSCR	0100mmmm01100110	(Rm)→FPSCR, Rm+=4	1	—	○	○	○
LDS.L @Rm+, FPUL	0100mmmm01010110	(Rm)→FPUL, Rm+=4	1	—	○	○	○
STS FPSCR, Rn	0000nnnn01101010	FPSCR→Rn	1	—	○	○	○
STS FPUL, Rn	0000nnnn01011010	FPUL→Rn	1	—	○	○	○
STS.L FPSCR, @-Rn	0100nnnn01100010	Rn-=4, FPSCR→(Rn)	1	—	○	○	○
STS.L FPUL, @-Rn	0100nnnn01010010	Rn-=4, FPUL→(Rn)	1	—	○	○	○

2.4.10 ビット操作命令

表 2.19 ビット操作命令

命 令	命令コード	動 作	実行 ステート	Tビット	適用命令		
					SH2、 SH2E	SH4	SH-2A
BAND.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0100ddddddddddd	(imm of (disp+ Rn))&T → T	3	演算結果			○
BANDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1100ddddddddddd	~(imm of (disp+ Rn))&T → T	3	演算結果			○
BCLR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0000ddddddddddd	0→ (imm of (disp+ Rn))	3	—			○
BCLR #imm3, Rn	10000110nnnn0iii	0→ imm of Rn	1	—			○
BLD.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0011ddddddddddd	(imm of (disp+Rn)) → T	3	演算結果			○
BLD #imm3, Rn	10000111nnnn1iii	imm of Rn →T	1	演算結果			○
BLDNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1011ddddddddddd	~(imm of (disp+Rn)) → T	3	演算結果			○
BOR.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0101ddddddddddd	(imm of (disp+ Rn)) T → T	3	演算結果			○
BORNOT.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 1101ddddddddddd	~(imm of (disp+ Rn)) T → T	3	演算結果			○
BSET.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0001ddddddddddd	1→ (imm of (disp+Rn))	3	—			○
BSET #imm3, Rn	10000110nnnn1iii	1→ imm of Rn	1	—			○
BST.B #imm3,@(disp12,Rn)	0011nnnn0iii1001 0010ddddddddddd	T→(imm of (disp+Rn))	3	—			○
BST #imm3, Rn	10000111nnnn0iii	T→ imm of Rn	1	—			○
BXOR.B #imm3, @(disp12, Rn)	0011nnnn0iii1001 0110ddddddddddd	(imm of (disp+ Rn)) ^ T → T	3	演算結果			○

2.5 処理状態

CPU の処理状態には、リセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の 5 種類があります。状態間の遷移を図 2.6 に示します。

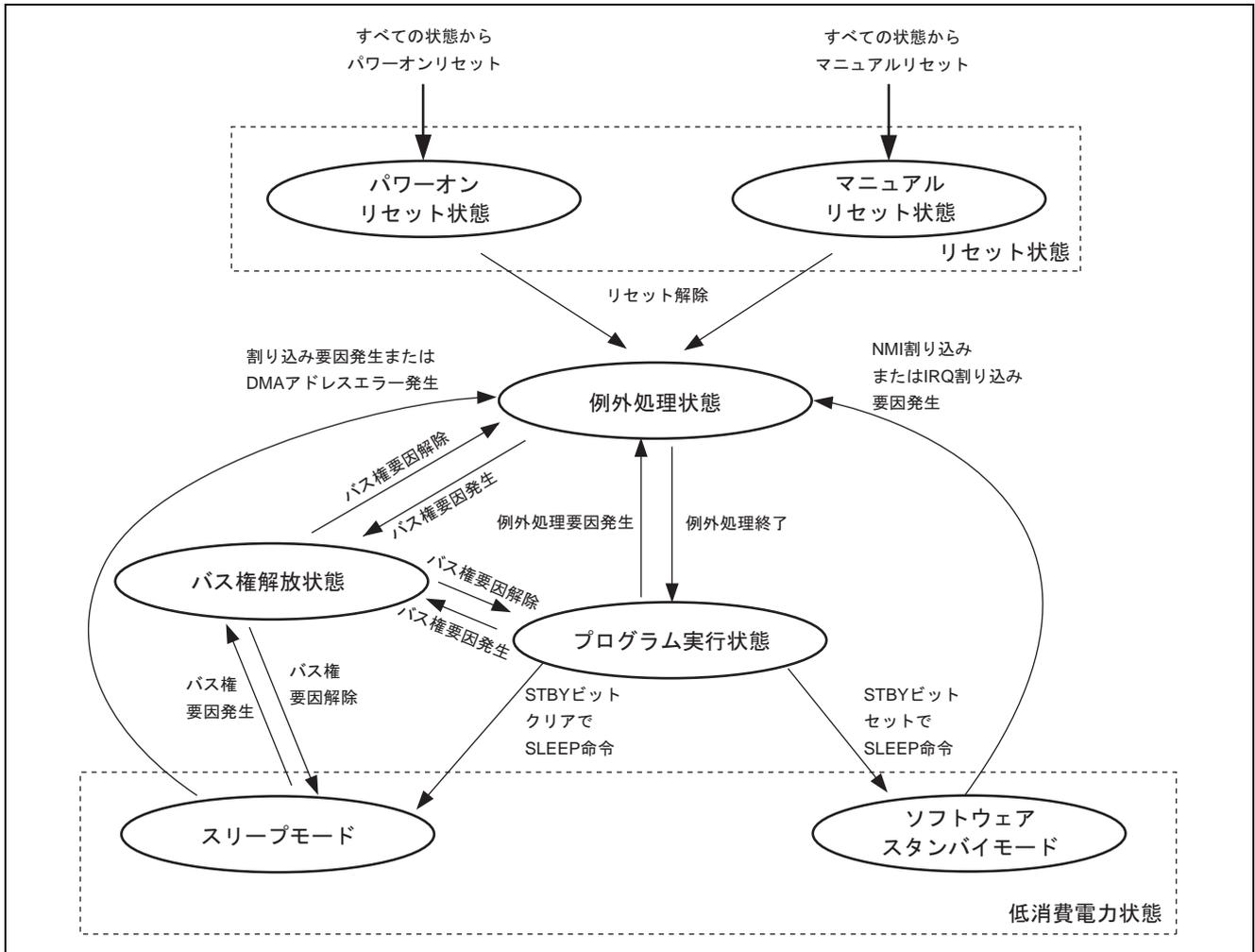


図 2.6 処理状態の状態遷移図

(1) リセット状態

CPU がリセットされている状態です。リセットには、パワーオンリセットとマニュアルリセットの 2 種類があります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときに過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後、処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、またはソフトウェアスタンバイモードになります。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

3. 浮動小数点ユニット (FPU)

3.1 特長

FPU には次のような特長があります。

- IEEE754規格に準拠
- 16本の単精度浮動小数点レジスタ (8本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 非正規化数処理モード：0へのフラッシュ
- 5つの例外要因：
無効演算、0による除算、オーバフロー、アンダフロー、不正確
- 包括命令：
単精度、倍精度、システム制御

3.2 データフォーマット

3.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号 (s)
- 指数 (e)
- 小数部 (f)

本 LSI は図 3.1 と図 3.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

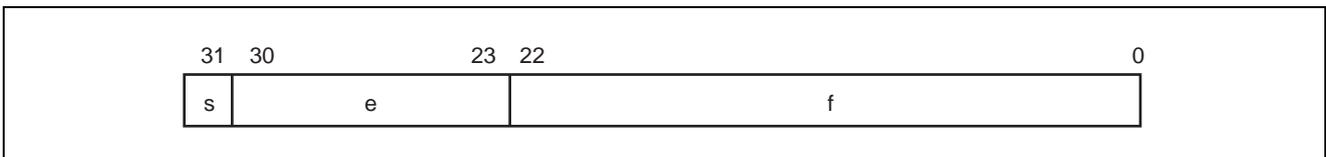


図 3.1 単精度浮動小数点フォーマット

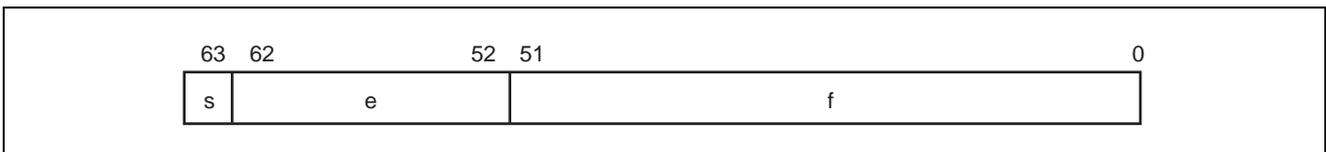


図 3.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{bias}$$

バイアスのない指数 E の範囲は、 $E_{\min}-1$ から $E_{\max}+1$ までです。 $E_{\min}-1$ と $E_{\max}+1$ の2つの値は次のように区別します。 $E_{\min}-1$ は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max}+1$ は正または負の無限大または非数 (NaN) を表します。表 3.1 に E_{\min} と E_{\max} の値を示します。

表 3.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット	1 ビット	1 ビット
指数フィールド	8 ビット	11 ビット
小数フィールド	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
E_{\max}	+127	+1023
E_{\min}	-126	-1022

浮動小数点の数値 v は次のようにして決められます。

$E = E_{\max} + 1$ かつ $f \neq 0$ の場合、 v は符号 s に関係なく非数 (NaN) です。

$E = E_{\max} + 1$ かつ $f = 0$ の場合、 v は $(-1)^s$ (無限) 「正または負の無限」です。

$E_{\min} \leq E \leq E_{\max}$ の場合、 v は $(-1)^s 2^E (1.f)$ 「正規化数」です。

$E = E_{\min} - 1$ かつ $f \neq 0$ の場合、 v は $(-1)^s 2^{E_{\min}} (0.f)$ 「非正規化数」です。

$E = E_{\min} - 1$ かつ $f = 0$ の場合、 v は $(-1)^s 0$ 「正または負の 0」です。

表 3.2 に 16 進数による各数の範囲を示します。

表 3.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFF FFFF~H'7FC0 0000	H'7FFF FFFF FFFF FFFF~H'7FF8 0000 0000 0000
クワイアット非数	H'7FBF FFFF~H'7F80 0001	H'7FF7 FFFF FFFF FFFF~H'7FF0 0000 0000 0001
正の無限大	H'7F80 0000	H'7FF0 0000 0000 0000
正の正規化数	H'7F7F FFFF~H'0080 0000	H'7FEF FFFF FFFF FFFF~H'0010 0000 0000 0000
正の非正規化数	H'007F FFFF~H'0000 0001	H'000F FFFF FFFF FFFF~H'0000 0000 0000 0001
正のゼロ	H'0000 0000	H'0000 0000 0000 0000
負のゼロ	H'8000 0000	H'8000 0000 0000 0000
負の非正規化数	H'8000 0001~H'807F FFFF	H'8000 0000 0000 0001~H'800F FFFF FFFF FFFF
負の正規化数	H'8080 0000~H'FF7F FFFF	H'8010 0000 0000 0000~H'FFEF FFFF FFFF FFFF
負の無限大	H'FF80 0000	H'FFF0 0000 0000 0000
クワイアット非数	H'FF80 0001~H'FFBF FFFF	H'FFF0 0000 0000 0001~H'FFF7 FFFF FFFF FFFF
シグナリング非数	H'FFC0 0000~H'FFFF FFFF	H'FFF8 0000 0000 0000~H'FFFF FFFF FFFF FFFF

3.2.2 非数 (NaN)

図 3.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : Don't care
- 指数フィールド : すべてのビットが1
- 小数フィールド : 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイアット非数 (qNaN) です。

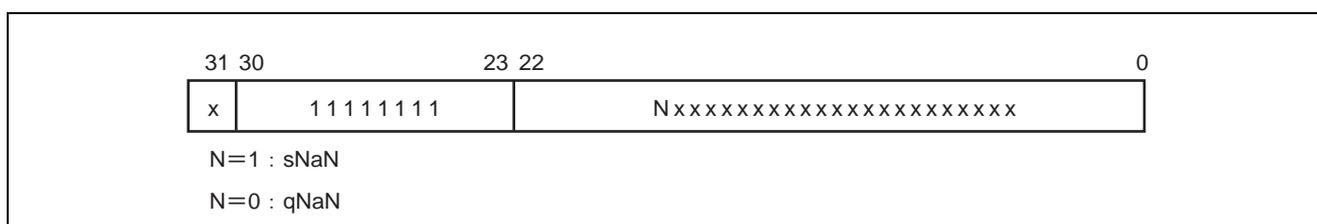


図 3.3 単精度の NaN ビットパターン

sNaN は、コピー、FABS または FNEG 以外の浮動小数点値を生成する演算で入力します。

- FPSCR の EN.V ビットが 0 の場合、演算結果 (出力) は qNaN です。
- FPSCR の EN.V ビットが 1 の場合、無効演算例外が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR の EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として生成する qNaN の値は、常に次のような値になります。

- 単精度 qNaN : H'7FBF FFFF
- 倍精度 qNaN : H'7FF7 FFFF FFFF FFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細についてはそれぞれの命令の説明を参照してください。

3.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは 0 として、小数フィールドは 0 以外の値として表現します。

SH2A-FPU ではステータスレジスタ FPSCR の DN ビットが常に 1 のため、非正規化数 (ソースオペランドまたは演算結果) は、(コピー、FNEG、FABS 以外の演算の) 値を生成する浮動小数点演算で常に 0 にフラッシュされます。

非正規化数を入力する場合の浮動小数点演算の詳細については、それぞれの命令の説明を参照してください。

3.3 レジスタの説明

3.3.1 浮動小数点レジスタ

図 3.4 に浮動小数点レジスタの構成を示します。16本の32ビット浮動小数点レジスタ FPR0～FPR15 があります。この16本のレジスタは FR0～FR15、DR0/2/4/6/8/10/12/14 として参照されます。FPRn と参照名の対応は FPSCR の PR ビットと SZ ビットによって決まります。図 3.4 を参照してください。

1. 浮動小数点レジスタ : FPRi (16レジスタ)
FPR0, FPR1, FPR2, FPR3, FPR4, FPR5, FPR6, FPR7,
FPR8, FPR9, FPR10, FPR11, FPR12, FPR13, FPR14, FPR15
2. 単精度浮動小数点レジスタ : FRi (16レジスタ)
FR0～FR15 は FPR0～FPR15 に割り当てられます。
3. 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8レジスタ)
DR レジスタは2つの FR レジスタから構成されます。
DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、
DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、DR12 = {FR12, FR13}、DR14 = {FR14, FR15}

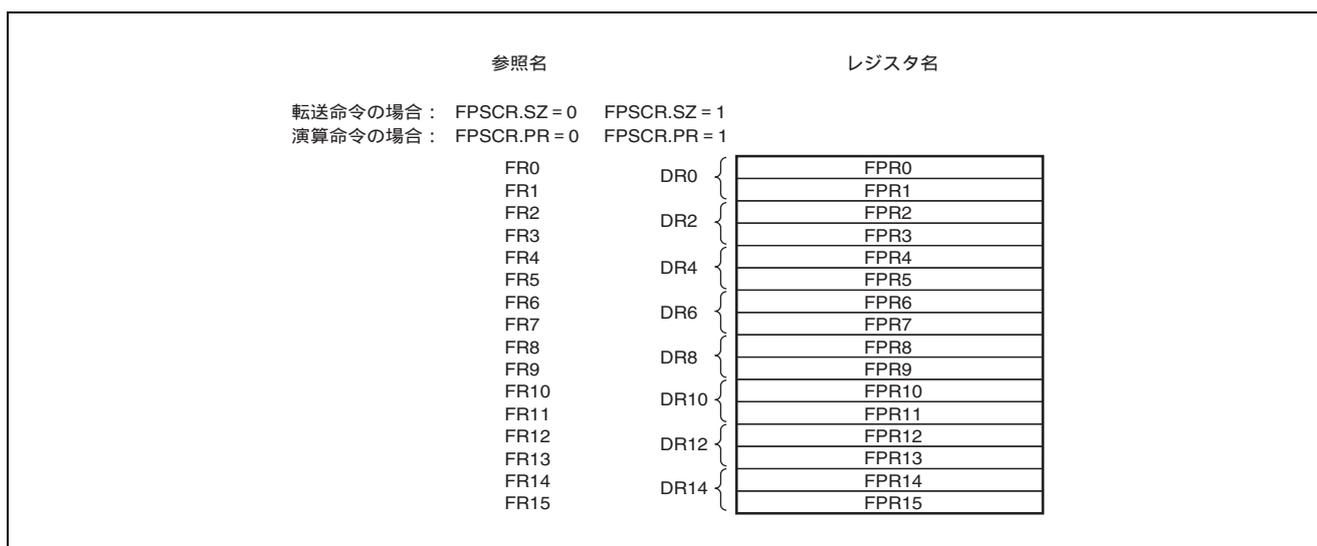


図 3.4 浮動小数点レジスタ

3.3.2 浮動小数点ステータス/コントロールレジスタ (FPSCR)

FPSCR は 32 ビットのレジスタで、浮動小数点命令の制御、FPU 例外の設定、および丸めの方法を選択します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	QIS	-	SZ	PR	DN	Cause	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable				Flag				RM1	RM0		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~23	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22	QIS	0	R/W	非数処理モード 0: qNaN あるいは $\pm\infty$ をそのまま処理します。 1: qNaN あるいは $\pm\infty$ を sNaN と同様に扱います (FPSCR のイネーブル V=1 のときのみ有効です)。
21	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	SZ	0	R/W	転送サイズモード 0: FMOV 命令のデータサイズは 32 ビットです。 1: FMOV 命令のデータサイズは 32 ビットペア (64 ビット) です。
19	PR	0	R/W	精度モード 0: 浮動小数点命令を単精度演算として実行します。 1: 浮動小数点命令を倍精度演算として実行します。
18	DN	1	R	非正規化モード (SH2A-FPU では常に 1 固定です) 1: 非正規化数を 0 として扱います。
17~12	Cause	すべて 0	R/W	FPU 例外要因フィールド FPU 例外イネーブルフィールド FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 にクリアされます。次に、FPU 例外が発生すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドに該当するビットは 1 にセットされます。FPU 例外フラグフィールドは、ソフトウェアによって 0 にクリアされるまで 1 の値を保持します。 各フィールドのビットの割り付けについては表 3.3 を参照してください。
11~7	Enable	すべて 0	R/W	
6~2	Flag	すべて 0	R/W	

ビット	ビット名	初期値	R/W	説明
1	RM1	0	R/W	丸めモード 丸めの方法を選択します。 00 : 近傍への丸め 01 : 0 方向への丸め 10 : リザーブ 11 : リザーブ
0	RM0	1	R/W	

表 3.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー(O)	アンダ フロー(U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

【注】 SH2A-FPU では FPU エラーは発生しません。

3.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL を介して行われます。FPUL は 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 → (LDS 命令) → FPUL → (単精度 FLOAT 命令) → FR1

3.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

FPSCR.RM[1:0]=00 : 近傍への丸め

FPSCR.RM[1:0]=01 : 0 方向への丸め

(1) 近傍への丸め

演算結果は最も近い表現可能な値に丸められます。最も近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が $2^{E_{max}}(2-2^p)$ 以上であれば丸め前と同じ符号の無限となります。ここで E_{max} 、 p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

(2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも大きい場合、表現可能な最大絶対値の数になります。

3.5 浮動小数点例外

3.5.1 FPU 例外要因

例外要因は次のとおりです。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時 (SH2A-FPUでは発生しません)
- 無効演算 (V) : NaN入力のような無効な演算の場合
- 0による除算 (Z) : 除数0による除算
- オーバフロー (O) : 演算結果がオーバフローする場合
- アンダフロー (U) : 演算結果がアンダフローする場合
- 不正確例外 (I) : オーバフロー、アンダフロー、丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

3.5.2 FPU 例外処理

FPU 例外は次の場合に発生します。

- FPUエラー (E) : FPSCRのDNビットが0かつ非正規化数の入力時 (SH2A-FPUでは発生しません)
- 無効演算 (V) : FPSCRのEnableのVビットが1かつ無効演算の場合
- 0による除算 (Z) : FPSCRのEnableのZビットが1かつ除数0による除算
- オーバフロー (O) : FPSCRのEnableのOビットが1かつ演算結果がオーバフローする可能性のある命令
- アンダフロー (U) : FPSCRのEnableのUビットが1かつ演算結果がアンダフローする可能性のある命令
- 不正確例外 (I) : FPSCRのEnableのIビットが1かつ演算結果が不正確になる可能性のある命令

各可能性については各命令の説明で示します。FPU 演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。例外の意味内容は、FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。FPU 例外イネーブルフィールドの O、U、I および V ビットのうち一つまたは複数のビットがセットされている場合、FPSCR の FPU 例外要因フィールド中のビットが一つもセットされていなければ、実際の FPU 例外は発生しないことを示しています。また、いかなる FPU 例外処理動作によっても、デスティネーションレジスタは変更されません。

上記以外、すべての処理では V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) : 結果としてqNaNを生成します。
- 0による除算 (Z) : 丸め前と同じ符号付きの無限大を生成します。

- オーバフロー (O) :
 - 0 方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。
 - 近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) : 丸め前と同じ符号付き0を生成します。
- 不正確例外 (I) : 不正確な結果を生成します。

4. キャッシュ

4.1 特長

- 容量
命令キャッシュ：8K バイト
オペランドキャッシュ：8K バイト
- 構成：命令／データ分離、4ウェイセットアソシアティブ
- ロック機能（オペランドキャッシュのみ）：ウェイ2、ウェイ3はロック可能
- ラインサイズ：16バイト
- エントリ数：128エントリ
- ライト方式：ライトバック方式とライトスルー方式より選択可能
- 置換方式：LRU置換アルゴリズム

4.1.1 キャッシュの構成

キャッシュは、命令／データ分離型の4ウェイセットアソシアティブ方式です。4つのウェイ（バンク）で構成され、おのおののウェイはアドレス、データに分かれています。

アドレスとデータはおのおの128のエントリで構成されます。エントリのデータをラインと呼びます。1ラインは16バイト（4バイト×4）です。1ウェイあたりのデータ容量は、2Kバイト（16バイト×128エントリ）で、キャッシュ全体（4ウェイ）では8Kバイトの容量となります。

オペランドキャッシュの構成を図 4.1 に示します。命令キャッシュの構成は、U ビットがないことを除いてオペランドキャッシュの構成と同じです。

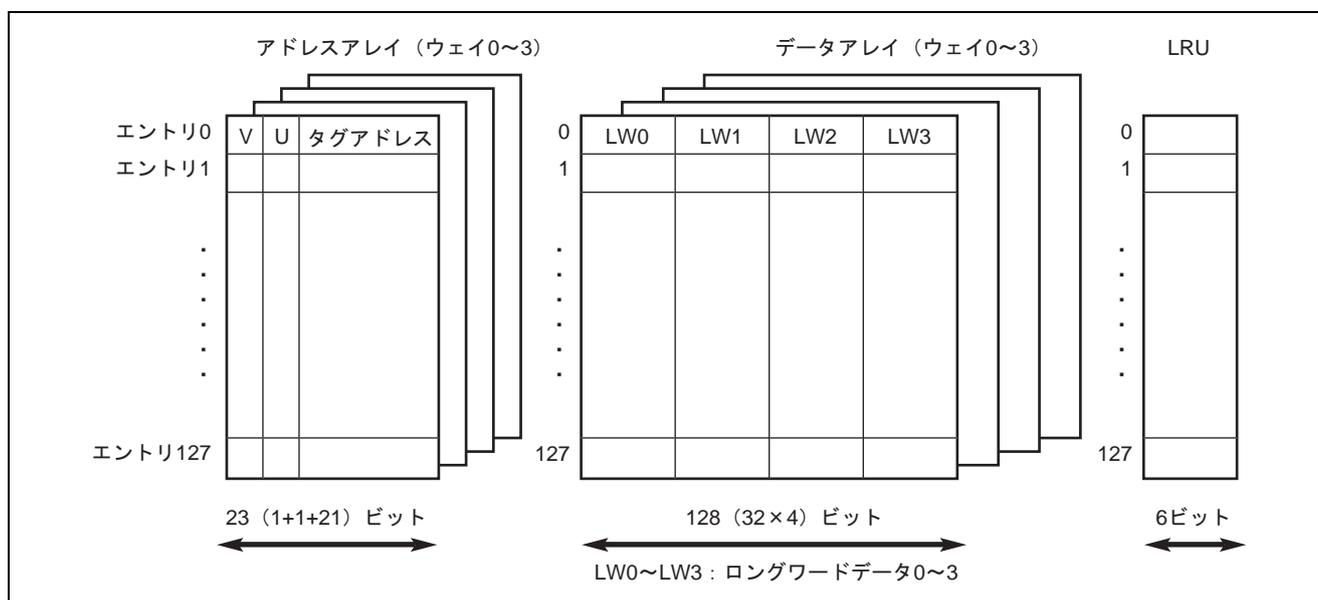


図 4.1 オペランドキャッシュの構成

(1) アドレスレイ

V ビットは、エントリのデータが有効かどうかを示します。V ビットが1で有効、0で無効を示します。

U ビット (オペランドキャッシュのみ) は、ライトバックモードで、そのエントリに書き込みがあったことを示します。U ビットが1で書き込みあり、0で書き込みなしを示します。

タグアドレスは、外部メモリのアクセスに使用されるアドレスを保持します。キャッシュ検索時の比較に使用される21ビット (アドレス31~11) からなります。本 LSI では、キャッシュ有効空間のアドレスが H'00000000 ~ H'1FFFFFFF であるため (「第7章 パスステートコントローラ (BSC)」参照)、タグアドレスの上位3ビットに0が入ります。

V、U ビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。タグアドレスは、パワーオンリセット、マニュアルリセット、およびソフトウェアスタンバイモード時には初期化されません。

(2) データレイ

16バイトの命令あるいはデータを保持します。キャッシュへのエントリの登録の単位は、ライン単位 (16バイト単位) で行います。

データレイは、パワーオンリセット、マニュアルリセット、およびソフトウェアスタンバイモード時には初期化されません。

(3) LRU

4 ウェイセットアソシアティブ方式では、エントリアドレスが同じ命令、データを4つまでキャッシュに登録できます。エントリアドレスを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU (Least Recently Used) アルゴリズムを使用しています。

キャッシュミスの際にリプレースされるウェイは、6ビットのLRUビットによって指定されます。キャッシュロック機能（オペランドキャッシュのみ）を使用しない場合のLRUビットとリプレースされるウェイの関係を表4.1に示します（キャッシュロック機能を使用する場合には「4.2.2 キャッシュ制御レジスタ2 (CCR2)」を参照してください）。表4.1に示した以外のLRUビットをソフトウェアで指定した場合、キャッシュは正しく動作しません。LRUビットをソフトウェアで変更するときは、表4.1に示すパターンを設定してください。

LRUビットは、パワーオンリセットでB'000000に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。

表 4.1 LRU ビットと置き換えられるウェイ（キャッシュロック機能を使用しない場合）

LRU (ビット5~0)	置き換えられるウェイ
000000、000100、010100、100000、110000、110100	3
000001、000011、001011、100001、101001、101011	2
000110、000111、001111、010110、011110、011111	1
111000、111001、111011、111100、111110、111111	0

4.2 レジスタの説明

キャッシュには以下のレジスタがあります。

表 4.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
キャッシュ制御レジスタ 1	CCR1	R/W	H'00000000	H'FFFC1000	32
キャッシュ制御レジスタ 2	CCR2	R/W	H'00000000	H'FFFC1004	32

4.2.1 キャッシュ制御レジスタ 1 (CCR1)

命令キャッシュはICE ビットでイネーブルまたはディスエーブルを指定します。ICF ビットは命令キャッシュの全エントリの無効化を制御します。OCE ビットでオペランドキャッシュのイネーブルまたはディスエーブルを指定します。OCF ビットはオペランドキャッシュの全エントリの無効化を制御します。WT ビットではオペランドキャッシュのライトスルーモード、ライトバックモードを切り替えます。

CCR1 の内容を変更するプログラムは、キャッシュ無効空間に配置し、CCR1 の内容を読み出した後にキャッシュ有効空間をアクセスしてください。

CCR1 は、パワーオンリセットで H'00000000 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	ICF	-	-	ICE	-	-	-	-	OCF	-	WT	OCE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	ICF	0	R/W	命令キャッシュフラッシュ 1 を書き込むと、命令キャッシュの全エントリの V、LRU ビットを 0 にクリア（フラッシュ）します。読み出すと 0 が読み出されます。フラッシュの際、外部メモリへの書き戻しは行いません。
10、9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
8	ICE	0	R/W	命令キャッシュ有効 命令キャッシュ機能のイネーブル/ディスエーブルを指定します。 0: 命令キャッシュディスエーブル 1: 命令キャッシュイネーブル
7~4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	OCF	0	R/W	オペランドキャッシュフラッシュ 1を書き込むと、オペランドキャッシュの全エントリのV、U、LRUビットを0にクリア（フラッシュ）します。読み出すと0が読み出されます。フラッシュの際、外部メモリへの書き戻しは行いません。
2	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	WT	0	R/W	ライトスルー ライトバック/ライトスルー切り替え 0: ライトバックモード 1: ライトスルーモード
0	OCE	0	R/W	オペランドキャッシュ有効 オペランドキャッシュ機能のイネーブル/ディスエーブルを指定します。 0: オペランドキャッシュディスエーブル 1: オペランドキャッシュイネーブル

4.2.2 キャッシュ制御レジスタ 2 (CCR2)

CCR2 は、オペランドキャッシュのキャッシュロック機能を制御するレジスタです。キャッシュロック機能はキャッシュロックモード時のみ有効です。キャッシュロックモードとは、CCR2 のロックイネーブルビット (LE ビット) =1 の状態です。非キャッシュロックモードでは、キャッシュロック機能は無効です。

キャッシュロックモード時にプリフェッチ命令 (PREF @Rn) を実行し、キャッシュミスした場合、CCR2 のビット 9、8 (W3LOAD、W3LOCK) およびビット 1、0 (W2LOAD、W2LOCK) の設定に従って Rn が指し示した 1 ライン分のデータをキャッシュに取り込みます。プリフェッチ命令を実行した場合の各ビットの設定と置換されるウェイの関係は表 4.3 に示すとおりです。一方プリフェッチ命令を実行し、キャッシュヒットした場合、新たなデータの取り込みは行われず、すでに有効となっているエントリが保持されます。たとえば Rn が指し示す 1 ライン分のデータがすでにウェイ 0 に存在する状態で、キャッシュロックモード、W3LOAD =1 かつ W3LOCK=1 と設定し、プリフェッチ命令を実行した場合、キャッシュヒットとなり、ウェイ 3 へのデータの取り込みは行われません。

キャッシュロックモード時のプリフェッチ命令以外でのキャッシュアクセスでは、W3LOCK、W2LOCK ビットによって置換されるウェイが制限されます。CCR2 の各ビットの設定と置換されるウェイの関係は表 4.4 に示すとおりです。

CCR2 の内容を変更するプログラムは、キャッシュ無効空間に配置し、CCR2 の内容を読み出した後にキャッシュ有効空間をアクセスしてください。

CCR2 は、パワーオンリセットで H'00000000 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時は初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	W3 LOAD*	W3 LOCK	-	-	-	-	-	-	W2 LOAD*	W2 LOCK
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

【注】 * W3LOADとW2LOADを同時に1にセットしないでください。

ビット	ビット名	初期値	R/W	説明
31~17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	LE	0	R/W	ロックイネーブル キャッシュロックモードを制御します。 0: 非キャッシュロックモード 1: キャッシュロックモード
15~10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 8	W3LOAD* W3LOCK	0 0	R/W R/W	ウェイ3ロード ウェイ3ロック W3LOCK=1、W3LOAD=1、かつキャッシュロックモードの場合、プリフェッチ命令でキャッシュミスしたデータは常にウェイ3に読み込まれます。その他のすべての条件では、キャッシュミスしたデータはLRUの示すウェイに読み込まれます。
7~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1 0	W2LOAD* W2LOCK	0 0	R/W R/W	ウェイ2ロード ウェイ2ロック W2LOCK=1、W2LOAD=1、かつキャッシュロックモードの場合、プリフェッチ命令でキャッシュミスしたデータは常にウェイ2に読み込まれます。その他のすべての条件では、キャッシュミスしたデータはLRUの示すウェイに読み込まれます。

【注】 * W3LOAD と W2LOAD を同時に1にセットしないでください。

表 4.3 PREF 命令がキャッシュミスした場合に置き換えられるウェイ

LE	W3LOAD*	W3LOCK	W2LOAD*	W2LOCK	置き換えられるウェイ
0	x	x	x	x	LRU に従う (表 4.1)
1	x	0	x	0	LRU に従う (表 4.1)
1	x	0	0	1	LRU に従う (表 4.5)
1	0	1	x	0	LRU に従う (表 4.6)
1	0	1	0	1	LRU に従う (表 4.7)
1	0	x	1	1	ウェイ 2
1	1	1	0	x	ウェイ 3

【記号説明】 x : Don't care

【注】 * W3LOAD=1 かつ W2LOAD=1 には設定しないでください。

表 4.4 PREF 命令以外がキャッシュミスした場合に置換されるウェイ

LE	W3LOAD*	W3LOCK	W2LOAD*	W2LOCK	置き換えられるウェイ
0	x	x	x	x	LRU に従う (表 4.1)
1	x	0	x	0	LRU に従う (表 4.1)
1	x	0	x	1	LRU に従う (表 4.5)
1	x	1	x	0	LRU に従う (表 4.6)
1	x	1	x	1	LRU に従う (表 4.7)

【記号説明】 x : Don't care

【注】 * W3LOAD=1 かつ W2LOAD=1 には設定しないでください。

表 4.5 LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=0 の場合)

LRU (ビット 5~0)	置き換えられるウェイ
000000, 000001, 000100, 010100, 100000, 100001, 110000, 110100	3
000011, 000110, 000111, 001011, 001111, 010110, 011110, 011111	1
101001, 101011, 111000, 111001, 111011, 111100, 111110, 111111	0

表 4.6 LRU ビットと置き換えられるウェイ (W2LOCK=0 かつ W3LOCK=1 の場合)

LRU (ビット 5~0)	置き換えられるウェイ
000000, 000001, 000011, 001011, 100000, 100001, 101001, 101011	2
000100, 000110, 000111, 001111, 010100, 010110, 011110, 011111	1
110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

表 4.7 LRU ビットと置き換えられるウェイ (W2LOCK=1 かつ W3LOCK=1 の場合)

LRU (ビット 5~0)	置き換えられるウェイ
000000, 000001, 000011, 000100, 000110, 000111, 001011, 001111, 010100, 010110, 011110, 011111	1
100000, 100001, 101001, 101011, 110000, 110100, 111000, 111001, 111011, 111100, 111110, 111111	0

4.3 動作説明

オペランドキャッシュについて説明します。命令キャッシュについては、アドレスアレイにUビットがない、プリフェッチ動作がない、ライト動作がない、ライトバックバッファがないことを除いてオペランドキャッシュと同様です。

4.3.1 キャッシュの検索

オペランドキャッシュがイネーブルのとき（CCR1 レジスタの OCE ビット=1）、キャッシュ有効空間のデータにアクセスすると、キャッシュが検索され、目的のデータがキャッシュに存在するか調べます。キャッシュの検索方法の概念図を図 4.2 に示します。

メモリへのアクセスアドレスのビット 10~4 でエントリを選択し、そのエントリのタグアドレスを読み出します。このとき、タグアドレスの上位 3 ビットは常に 0 です。メモリへのアクセスアドレスのビット 31~11 と、読み出したタグアドレスを比較します。アドレスの比較は 4 ウェイとも行います。比較の結果、一致しており、かつ比較されたエントリが有効である（V=1）場合に、キャッシュヒットとなります。それ以外の場合はキャッシュミスとなります。ウェイ 1 がヒットした場合は図 4.2 に示します。

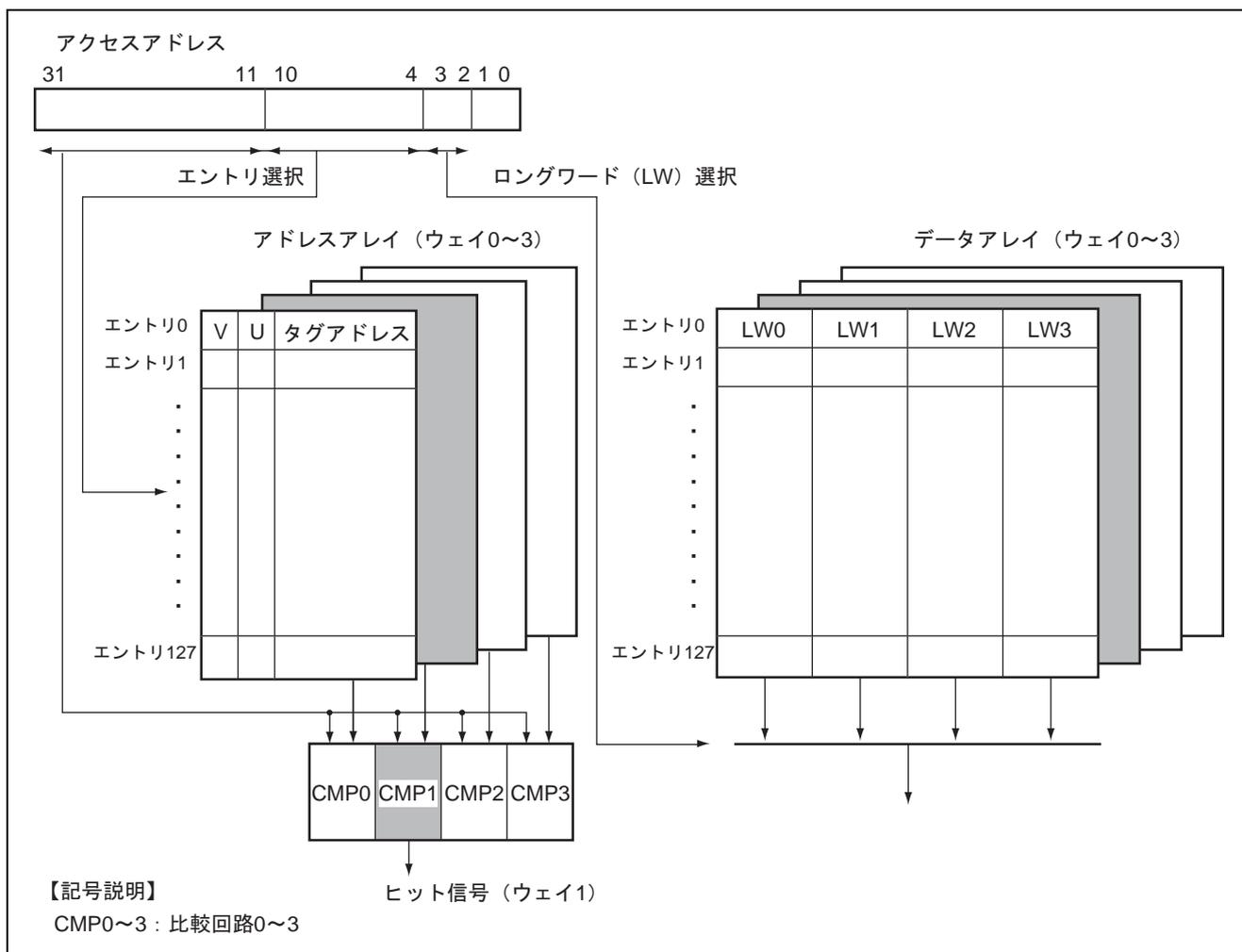


図 4.2 キャッシュの検索方法

4.3.2 リード動作

(1) リードヒット

キャッシュから CPU にデータが転送されます。ヒットしたウェイが最新となるように LRU が更新されます。

(2) リードミス

外部バスサイクルを起動し、エントリを更新します。置換するウェイは表 4.4 に従います。エントリの更新の単位は 16 バイトです。外部メモリから目的のデータがキャッシュに登録されると同時に、CPU にそのデータが転送されます。キャッシュに登録されるたびに、V ビットが 1 にセットされ、置換されたウェイが最新となるように LRU が更新されます。オペランドキャッシュではさらに U ビットが 0 にセットされ、ライトバックモードでエントリの更新によって置換されるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてからキャッシュ更新サイクルを開始します。キャッシュ更新サイクルが終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は 16 バイトです。

4.3.3 プリフェッチ動作（オペランドキャッシュのみ）

(1) プリフェッチヒット

ヒットしたウェイが最新となるように LRU が更新されます。その他のキャッシュの内容は変更されません。CPU へのデータの転送は行われません。

(2) プリフェッチミス

CPU へのデータの転送が行われず、置換するウェイは表 4.3 に従います。その他の動作はリードミスの場合と同じです。

4.3.4 ライト動作（オペランドキャッシュのみ）

(1) ライトヒット

ライトバックモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルは発行されません。ライトされたエントリの U ビットが 1 にセットされ、ヒットしたウェイが最新になるように LRU が更新されます。

ライトスルーモードでは、キャッシュにデータがライトされ、外部メモリへのライトサイクルが発行されます。ライトされたエントリの U ビットは更新されず、ヒットしたウェイが最新になるように LRU が更新されます。

(2) ライトミス

ライトバックモードでは、ライトミス時に外部バスサイクルを起動し、エントリを更新します。置換するウェイは表 4.4 に従います。エントリの更新によって置き換えられるエントリの U ビットが 1 の場合には、そのエントリがライトバックバッファに転送されてからキャッシュ更新サイクルを開始します。キャッシュにデータがライトされ、U ビットが 1 にセットされ、V ビットも 1 にセットされます。置換したウェイが最新になるように LRU が更新されます。キャッシュ更新サイクル終了後、ライトバックバッファに転送したエントリをメモリへ書き戻します。書き戻しの単位は 16 バイトです。

ライトスルーモードでは、ライトミス時にキャッシュへのライトを行わず、外部メモリにのみライトを行います。

4.3.5 ライトバックバッファ（オペランドキャッシュのみ）

ライトバックモードで置き換えられるエントリのUビットが1のとき、外部メモリへの書き戻しが必要になります。性能向上のため、置き換えられるエントリをまずライトバックバッファに転送し、キャッシュへの新エントリの取り込みを書き戻しに優先させます。キャッシュへの新エントリの取り込み終了後、ライトバックバッファが外部メモリへの書き戻しを行います。この書き戻し中は、キャッシュはアクセス可能です。

ライトバックバッファはキャッシュの1ライン分のデータ（16バイト）とそのアドレスを保持可能です。ライトバックバッファの構成を図4.3に示します。

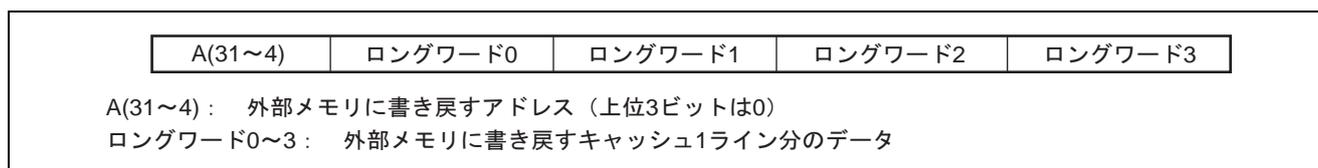


図4.3 ライトバックバッファの構成

以上の4.3.2~4.3.5の動作を表4.8にまとめます。

表 4.8 キャッシュ動作まとめ

キャッシュの種類	CPU サイクル	ヒット／ミス	ライトバックモード／ライトスルーモード	U ビット	外部メモリへのアクセス (内部バス経由)	キャッシュの内容
命令キャッシュ	命令フェッチ	ヒット	—	—	発生しません。	更新されません。
		ミス	—	—	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
オペランドキャッシュ	プリフェッチ／リード	ヒット	どちらのモードでも	x	発生しません。	更新されません。
		ミス	ライトスルーモード	—	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
			ライトバックモード	0	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新されます。
				1	キャッシュ更新サイクルが発生します。その後ライトバックバッファの書き戻しサイクルが発生します。	左記更新サイクルの内容で更新されます。
	ライト	ヒット	ライトスルーモード	—	CPU が発行したライトサイクルが発生します。	CPU が発行したライトサイクルの内容で更新されます。
			ライトバックモード	x	発生しません。	CPU が発行したライトサイクルの内容で更新されます。
		ミス	ライトスルーモード	—	CPU が発行したライトサイクルが発生します。	更新されません。*
			ライトバックモード	0	キャッシュ更新サイクルが発生します。	左記更新サイクルの内容で更新された後、CPU が発行したライトサイクルの内容でさらに更新されます。
				1	キャッシュ更新サイクルが発生します。その後ライトバックバッファの書き戻しサイクルが発生します。	左記更新サイクルの内容で更新された後、CPU が発行したライトサイクルの内容でさらに更新されます。

【記号説明】 x : Don't care

【注】 キャッシュ更新サイクル : 16 バイトのリードアクセス

ライトバックバッファの書き戻しサイクル : 16 バイトのライトアクセス

* LRU も更新されません。これ以外のすべてのケースで、LRU は更新されます。

4.3.6 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。

本 LSI と他の装置との共有メモリをキャッシュ有効空間に配置する場合には、必要に応じてメモリ割り付けキャッシュを操作し、無効化およびライトバックを行ってください。本 LSI 内の CPU と DMAC との共有メモリについても同様にしてください。

4.4 メモリ割り付けキャッシュの構成

キャッシュをソフトウェアで管理するために、MOV 命令により、キャッシュの内容の読み出し、書き込みが可能です。命令キャッシュのアドレスアレイは H'F0000000~H'F07FFFFFFF に、データアレイは H'F1000000~H'F17FFFFFFF に割り付けられています。オペランドキャッシュのアドレスアレイは H'F0800000~H'F0FFFFFFF に、データアレイは H'F1800000~H'F1FFFFFFF に割り付けられています。アドレスアレイ、データアレイともアクセスサイズはロングワード固定であり、命令フェッチは行えません。

4.4.1 アドレスアレイ

アドレスアレイのアクセスには 32 ビットのアドレスの指定（読み出し/書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。

アドレスにはエントリを選択するためのエントリアドレス、ウェイを選択するための W ビット、連想動作の有無を指定する A ビットを指定します。W ビットは、B'00 がウェイ 0、B'01 がウェイ 1、B'10 がウェイ 2、B'11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1~0 には B'00 を指定してください。

データにはタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを指定します。タグアドレスの上位 3 ビット（ビット 31~29）には常に 0 を指定してください。

アドレスおよびデータのフォーマットについては、[図 4.4](#) を参照してください。

アドレスアレイに対しては次の 3 種類の操作が可能です。

(1) アドレスアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリからタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを読み出します。リードの場合、アドレスに指定される連想ビット（A ビット）は 1 でも 0 でも連想動作は行いません。

(2) アドレスアレイライト（連想なし）

アドレスの連想ビット（A ビット）を 0 にしてライトした場合、アドレスに指定されたエントリアドレスおよびウェイに対応するエントリに対して、データで指定されたタグアドレス、LRU ビット、U ビット（オペランドキャッシュのみ）および V ビットを書き込みます。オペランドキャッシュのアドレスアレイに対する書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データで指定されたタグアドレス、LRU ビット、U ビットおよび V ビットを書き込みます。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

(3) アドレスアレイライト（連想あり）

アドレスの連想ビット（A ビット）を 1 にしてライトした場合、アドレスで指定されたエントリの 4 ウェイすべてに対して、データで指定されたタグアドレスとの間で一致判定が行われます。一致判定の結果ヒットしたウェイに対して、データで指定された U ビット（オペランドキャッシュのみ）と V ビットをエントリに書き込みます。ただしタグアドレスと LRU ビットは変更されません。どのウェイにもヒットしなかった場合は書き込みを行わず、ノーオペレーションとなります。本動作はキャッシュの特定エントリの無効化に用いられます。

オペランドキャッシュの場合は、ヒットしたエントリの U ビットが 1 だった場合、書き戻しが発生します。ただし、V ビットに 0 を書き込むときは、必ずそのエントリの U ビットにも 0 を書き込んでください。

4.4.2 データアレイ

データアレイのアクセスには、32 ビットのアドレスの指定（読み出し／書き込み時）と 32 ビットのデータの指定（書き込み時）が必要です。アドレスにはアクセスするエントリを選択するための情報を指定し、データにはデータアレイに書き込むロングワードデータを指定します。

アドレスにはエントリを選択するためのエントリアドレス、1 ライン（16 バイト）中のロングワード位置を示す L ビット、ウェイを指定するための W ビットを指定します。L ビットは B'00 がロングワード 0、B'01 がロングワード 1、B'10 がロングワード 2、B'11 がロングワード 3 を示します。W ビットは、B'00 がウェイ 0、B'01 がウェイ 1、B'10 がウェイ 2、B'11 がウェイ 3 を示します。アクセスはロングワードサイズ固定なので、アドレスのビット 1～0 には B'00 を指定してください。

アドレスおよびデータのフォーマットについては、[図 4.4](#) を参照してください。

データアレイに対しては次の 2 種類の操作が可能です。なおこの操作によってアドレスアレイの情報が変更されることはありません。

(1) データアレイリード

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリから、アドレスの L ビットで指定されたデータを読み出します。

(2) データアレイライト

アドレスに指定されたエントリアドレスおよびウェイに対応するエントリのうち、アドレスの L ビットで指定された位置に、データで指定されたロングワードデータを書き込みます。

(1) 命令キャッシュ		(2) オペランドキャッシュ	
(1-1) アドレスアレイアクセス		(2-1) アドレスアレイアクセス	
(a) アドレス指定		(a) アドレス指定	
読み出し時		読み出し時	
31	23 22	13 12 11 10	4 3 2 1 0
111100000	*-----*	W エントリアドレス	0 * 0 0
書き込み時		書き込み時	
31	23 22	13 12 11 10	4 3 2 1 0
111100000	*-----*	W エントリアドレス	A * 0 0
(b) データ(読み出し、書き込み共通)		(b) データ(読み出し、書き込み共通)	
31	29 28	11 10 9	4 3 2 1 0
0 0 0	タグアドレス (28~11)	E LRU	X X X V
(1-2) データアレイアクセス(読み出し、書き込み共通)		(2-2) データアレイアクセス(読み出し、書き込み共通)	
(a) アドレス指定		(a) アドレス指定	
31	23 22	13 12 11 10	4 3 2 1 0
111100010	*-----*	W エントリアドレス	L 0 0
(b) データ		(b) データ	
31			0
ロングワードデータ		ロングワードデータ	
*: Don't care			
E: 読み出し時はエントリアドレスのビット10、書き込み時はDon't care			
X: 読み出し時は0、書き込み時はDon't care			

図 4.4 メモリ割り付けキャッシュアクセスのアドレス、データ指定方法

4.4.3 使用例

(1) 特定エントリの無効化

キャッシュの特定エントリの無効化は、メモリ割り付けキャッシュアクセスにおいてそのエントリの V ビットに 0 を書き込むことで実現できます。A ビットを 1 とし、書き込みデータで指定されるタグアドレスを、エントリアドレスで選択されたキャッシュ中のタグアドレスと比較し、一致したときに書き込みデータで指定された V ビットおよび U ビットを書き込みます。一致しない場合はノーオペレーションです。アドレスアレイのあるエントリの V ビットを 0 にすると、そのエントリの U ビットが 1 のときそのエントリがライトバックされます。

以下に、R0 に書き込みデータ、R1 にアドレスを指定した場合の例を示します。

```
; R0=H'0110 0010; タグアドレス(28~11)=B'0 0001 0001 0000 0000 0, U=0, V=0
; R1=HF080 0088; オペランドキャッシュアドレスアレイアクセス、エントリ=B'000 1000, A=1
;
MOV.L   R0, @R1
```

(2) 特定エントリのデータ部の読み出し

特定エントリのデータ部の読み出しは、メモリ割り付けキャッシュアクセスで可能です。図 4.4 のデータアレイのデータ部に示されるロングワードがレジスタに読み出されます。

以下に、R0 にアドレスを指定し、R1 に読み出す例を示します。

```
; R0=HF100 004C; 命令キャッシュデータアレイアクセス、エントリ=B'000 0100、ウェイ=0、
   ロングワードアドレス=3
;
MOV.L   @R0, R1
```

4.4.4 注意事項

1. オペランドキャッシュのメモリ割り付けキャッシュをアクセスするプログラムは、キャッシュ無効空間に配置してください。命令キャッシュのメモリ割り付けキャッシュをアクセスするプログラムは、キャッシュ無効空間に配置し、その先頭と最後でそれぞれ2回以上、内蔵周辺モジュールまたは外部アドレス空間（キャッシュ無効アドレス）へのリードアクセスを実行してください。
2. 同時に複数のウェイがヒットするようにアドレスアレイの内容を書き換えることは禁止します。同時に複数のウェイがヒットするようにアドレスアレイの内容を書き換えた場合の動作は保証しません。
3. メモリ割り付けキャッシュは、CPUでのみアクセス可能です。DMACではアクセスできません。レジスタは、CPUおよびDMACでアクセス可能です。

5. 例外処理

5.1 概要

5.1.1 例外処理の種類と優先順位

例外処理は、表 5.1 に示すようにリセット、アドレスエラー、レジスタバンクエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 5.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 5.1 例外要因の種類と優先順位

種類	例外処理	優先順位	
リセット	パワーオンリセット	高   低	
	マニュアルリセット		
アドレスエラー	CPU アドレスエラー		
	DMAC アドレスエラー		
命令	FPU 例外		
	整数除算例外 (0 除算)		
	整数除算例外 (オーバフロー)		
レジスタバンクエラー	バンクアンダフロー		
	バンクオーバフロー		
割り込み	NMI		
	ユーザブレイク		
	H-UDI		
	IRQ		
	内蔵周辺 モジュール		ダイレクトメモリアクセスコントローラ (DMAC)
			USB2.0 ホスト/ファンクションモジュール (USB)
			コンペアマッチタイマ (CMT)
		バスステートコントローラ (BSC)	
		ウォッチドッグタイマ (WDT)	
		ホストインタフェース (HIF)	
		暗復号・フォワードエラーコレクションコア連動 DMAC (A-DMAC)	
		イーサネットコントローラ (EtherC)	
		I ² C バスインタフェース 3 (IIC3)	
		ストリームインタフェース (STIF)	
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)			

種類	例外処理		優先順位
割り込み	内蔵周辺 モジュール	シリアルサウンドインタフェース_0 (SSI_0)	高 ↑ ↓ 低
		シリアルサウンドインタフェース_1 (SSI_1)	
		SD ホストインタフェース (SDHI)	
命令	トラップ命令 (TRAPA 命令)		
	一般不当命令 (未定義コード)		
	スロット不当命令 (遅延分岐命令* ¹ 直後に配置された未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む)、PC を書き換える命令* ² 、32 ビット命令* ³ 、RESBANK 命令、DIVS 命令または DIVU 命令)		

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA_F

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA_F、JSR/N、RTV/N

*3 32 ビット命令 : BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W

5.1.2 例外処理の動作

各例外要因は表 5.2 に示すタイミングで検出され、処理が開始されます。

表 5.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	\overline{RES} 端子のローレベルからハイレベルへの変化、H-UDI リセットアサートコマンドをセットした後に H-UDI リセットネゲートコマンドのセット、または WDT のオーバフローで開始されます。
	マニュアルリセット	WDT のオーバフローで開始されます。
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始されます。
割り込み		
レジスタバンクエラー	バンクアンダフロー	レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとする開始されます。
	バンクオーバフロー	割り込みコントローラでレジスタバンクオーバフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット=1) されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていたときに開始されます。
命令	トラップ命令	TRAPA 命令の実行により開始されます。
	一般不当命令	遅延分岐命令直後 (遅延スロット) 以外にある未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む) がデコードされると開始されます。

例外処理		要因検出および処理開始タイミング
命令	スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令がデコードされると開始されます。
	整数除算命令	ゼロによる除算例外、または負の最大値（H'80000000）を-1 で除算することによるオーバフロー例外が検出されると開始されます。

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ（PC）とスタックポインタ（SP）の初期値を例外処理ベクタテーブル（PC、SP をそれぞれ、パワーオンリセット時に H'00000000 番地、H'00000004 番地、マニュアルリセット時に H'00000008 番地、H'0000000C 番地）から取り出します。例外処理ベクタテーブルについては、「5.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ（VBR）を H'00000000 に、ステータスレジスタ（SR）の割り込みマスクレベルビット（I3～I0）を H'F（B'1111）に、BO ビットおよび CS ビットを 0 に初期化します。また割り込みコントローラ（INTC）の IBNR の BN ビットを 0 に初期化します。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、レジスタバンクエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。NMI およびユーザブレイク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合、汎用レジスタ R0～R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される割り込み例外処理のベクタテーブルアドレスオフセットを、レジスタバンクに退避します。アドレスエラー、レジスタバンクエラー、NMI 割り込み、ユーザブレイク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンクに退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバフロー例外を受け付けないように設定（INTC の IBNR の BOVE ビット=0）されている必要があります。レジスタバンクオーバフロー例外を受け付けるように設定（INTC の IBNR の BOVE ビット=1）されている場合には、レジスタバンクオーバフロー例外が発生します。割り込み例外処理の場合、割り込み優先レベルを SR の I3～I0 ビットに書き込みます。アドレスエラー、命令による例外処理の場合、I3～I0 ビットは影響を受けません。次に例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスからプログラムの実行を開始します。

5.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルがメモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます（リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます）。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンの開始アドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 5.3 に、ベクタテーブルアドレスの算出法を表 5.4 に示します。

表 5.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000~H'00000003
	SP	1	H'00000004~H'00000007
マニュアルリセット	PC	2	H'00000008~H'0000000B
	SP	3	H'0000000C~H'0000000F
一般不当命令		4	H'00000010~H'00000013
(システム予約)		5	H'00000014~H'00000017
スロット不当命令		6	H'00000018~H'0000001B
(システム予約)		7	H'0000001C~H'0000001F
		8	H'00000020~H'00000023
CPU アドレスエラー		9	H'00000024~H'00000027
DMAC アドレスエラー		10	H'00000028~H'0000002B
割り込み	NMI	11	H'0000002C~H'0000002F
	ユーザブレイク	12	H'00000030~H'00000033
FPU 例外		13	H'00000034~H'00000037
H-UDI		14	H'00000038~H'0000003B
バンクオーバフロー		15	H'0000003C~H'0000003F
バンクアンダフロー		16	H'00000040~H'00000043
整数除算例外 (0 除算)		17	H'00000044~H'00000047
整数除算例外 (オーバフロー)		18	H'00000048~H'0000004B
(システム予約)		19	H'0000004C~H'0000004F
		:	:
		31	H'0000007C~H'0000007F

例外要因	ベクタ番号	ベクタテーブルアドレスオフセット
トラップ命令（ユーザベクタ）	32	H'00000080~H'00000083
	⋮	⋮
	63	H'000000FC~H'000000FF
外部割り込み（IRQ）、内蔵周辺モジュール*	64	H'00000100~H'00000103
	⋮	⋮
	511	H'000007FC~H'000007FF

【注】 * 外部割り込み、各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルアドレスオフセットは「第6章 割り込みコントローラ（INTC）」の表 6.4 を参照してください。

表 5.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 レジスタバンクエラー、 割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

- 【注】 1. ベクタテーブルアドレスオフセット：表 5.3 を参照
2. ベクタ番号：表 5.3 を参照

5.2 リセット

5.2.1 入出力端子

リセット関連の端子構成を表 5.5 に示します。

表 5.5 端子構成

名称	端子名	入出力	機能
パワーオンリセット	RES	入力	端子にローレベルを入力することにより、パワーオンリセット処理へ遷移します。

5.2.2 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 5.6 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。FPU 状態はパワーオンリセットでは初期化され、マニュアルリセットでは初期化されません。また、内蔵周辺モジュールのレジスタは、パワーオンリセットで初期化されますが、マニュアルリセットでは初期化されません。

表 5.6 リセット状態

種類	リセット状態への遷移条件			内部状態		
	RES	H-UDI コマンド	WDT オーバフロー	CPU	内蔵周辺 モジュール、 I/O ポート	WDT の WRCSR、 CPG の FRQCR
パワーオン リセット	ロー	—	—	初期化	初期化	初期化
	ハイ	H-UDI リセットアサート コマンドをセット	—	初期化	初期化	初期化
	ハイ	H-UDI リセットアサート 以外のコマンドをセット	パワーオン	初期化	初期化	初期化しない
マニュアル リセット	ハイ	H-UDI リセットアサート 以外のコマンドをセット	—	初期化	初期化しない*	初期化しない
	ハイ	H-UDI リセットアサート 以外のコマンドをセット	マニュアル	初期化	初期化しない*	初期化しない

【注】 * ただし、INTC の IBNR の BN ビットは初期化されます。

5.2.3 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために、電源投入時またはソフトウェアスタンバイモード時（クロックが停止している場合）は発振安定時間の間、クロックが動作している場合は最低 20tcyc の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 A. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) を HF (B'1111) に、BO ビットおよび CS ビットを 0 に初期化します。また INTC の IBNR の BN ビットを 0 に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

(2) H-UDI リセットアサートコマンドによるパワーオンリセット

H-UDI リセットアサートコマンドをセットすると、パワーオンリセット状態になります。H-UDI リセットアサートコマンドは、 $\overline{\text{RES}}$ 端子によるパワーオンリセットと同等です。H-UDI リセットネゲートコマンドをセットすることにより、パワーオンリセット状態が解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために $\overline{\text{RES}}$ 端子をローレベルに保つ時間と同じです。H-UDI リセットアサートコマンドによるパワーオンリセット状態で、H-UDI リセットネゲートコマンドをセットすると、パワーオンリセット例外処理が開始されます。このときの CPU の動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

(3) WDT によるパワーオンリセット

WDT のウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、WDT の WTCNT がオーバーフローするとパワーオンリセット状態になります。

このとき、WDT によるリセット信号では WDT の WRCSR、CPG の FRQCR は初期化されません。

また、 $\overline{\text{RES}}$ 端子、H-UDI リセットアサートコマンドによるリセットと WDT のオーバーフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子、H-UDI リセットアサートコマンドによるリセットが優先され、WRCSR の WOVF ビットは 0 にクリアされます。WDT によりパワーオンリセット例外処理が開始されたときの CPU 動作は、 $\overline{\text{RES}}$ 端子によるパワーオンリセットのときと同様です。

5.2.4 マニュアルリセット

(1) WDTによるマニュアルリセット

WDTのウォッチドッグタイマモードでマニュアルリセットが発生する設定にしWDTのWTCNTがオーバーフローすると、マニュアルリセット状態になります。マニュアルリセット状態では、CPUの内部状態が初期化され、内蔵周辺モジュールのレジスタは初期化されません。

WDTによりマニュアルリセット例外処理が開始されたとき、CPUは次のように動作します。

1. プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
2. スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
3. ベクタベースレジスタ (VBR) をH'00000000にクリアし、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) をH'F (B'1111) に、BOビットおよびCSビットを0に初期化します。またINTCのIBNRのBNビットを0に初期化します。
4. 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

マニュアルリセット発生時、バスサイクルは保持されます。バス権解放中やDMACバースト転送中にマニュアルリセットが発生すると、CPUがバス権を獲得するまでマニュアルリセット例外処理は保留されます。ただし、マニュアルリセットが発生してからバスサイクルの終了までの期間が内部マニュアルリセット期間の一定サイクル以上であると、内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。FPUやその他のモジュールは初期化されません。

5.3 アドレスエラー

5.3.1 アドレスエラー発生要因

アドレスエラーは、表 5.7 に示すように命令フェッチ、データ読み出し／書き込み時に発生します。

表 5.7 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし（正常）
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*、内蔵 RAM 空間*の H'F0000000~H'F5FFFFFF 以外から命令をフェッチ	なし（正常）
		内蔵周辺モジュール空間*、内蔵 RAM 空間*の H'F0000000~H'F5FFFFFF から命令をフェッチ	アドレスエラー発生
データ読み出し ／書き込み	CPU または DMAC	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし（正常）
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*で アクセス	なし（正常）
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*で アクセス	なし（正常）

【注】 * 内蔵周辺モジュール空間および内蔵 RAM 空間については、「第 7 章 バスステートコントローラ（BSC）」を参照してください。

5.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了*し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. 発生したアドレスエラーに対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避する PC の値は、最後に実行した命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

【注】 * 本シーケンスは、データ読み出し／書き込みによるアドレスエラー時のみ該当します。命令フェッチによるアドレスエラーは、上記動作 3 終了までにアドレスエラーを起こしたバスサイクルが終了しない場合、当該バスサイクル終了まで、CPU は再度アドレスエラー例外処理を開始します。

5.4 レジスタバンクエラー

5.4.1 レジスタバンクエラー発生要因

(1) バンクオーバフロー

割り込みコントローラにおいて、レジスタバンクオーバフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット=1) されており、レジスタバンクを使用する割り込みが発生し、CPU に受け付けられたとき、レジスタバンクのすべての領域に退避がすでに行われていた場合

(2) バンクアンダフロー

レジスタバンクに退避が行われていないときに、RESBANK 命令を実行しようとした場合

5.4.2 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が発生します。このとき、CPU は次のように動作します。

1. 発生したレジスタバンクエラーに対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、バンクオーバフロー時は最後に実行した命令の次命令の先頭アドレス、アンダフロー時は実行したRESBANK命令の先頭アドレスです。バンクオーバフロー時は多重割り込みを防止するために、バンクオーバフローの要因となった割り込みのレベルをステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) に書き込みます。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.5 割り込み

5.5.1 割り込み要因

割り込み例外処理を起動させる要因には、表 5.8 に示すように NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールがあります。

表 5.8 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
ユーザブレイク	ユーザブレイクコントローラ (UBC)	1
H-UDI	ハイパフォーマンスユーザデバッグインタフェース (H-UDI)	1
IRQ	IRQ0~IRQ7 端子 (外部からの入力)	8
内蔵周辺モジュール	ダイレクトメモリアクセスコントローラ (DMAC)	16
	イーサネットコントローラ (EtherC)	1
	コンペアマッチタイマ (CMT)	2
	バスステートコントローラ (BSC)	1
	ウォッチドッグタイマ (WDT)	1
	暗復号・フォワードエラーコレクションコア連動 DMAC (A-DMAC)	7
	ストリームインタフェース (STIF)	2
	ホストインタフェース (HIF)	2
	シリアルサウンドインタフェース_0 (SSI_0)	1
	シリアルサウンドインタフェース_1 (SSI_1)	1
	SD ホストインタフェース (SDHI)	3
	USB2.0 ホスト/ファンクションモジュール (USB)	1
	I ² C バスインタフェース 3 (IIC3)	5
FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)	12	

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第 6 章 割り込みコントローラ (INTC)」の表 6.4 を参照してください。

5.5.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル 0～16 の値で表され、優先レベル 0 が最低で、優先レベル 16 が最高です。NMI 割り込みは、優先レベル 16 のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレーク割り込み、および H-UDI の優先レベルは 15 です。IRQ 割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTC の割り込み優先レベル設定レジスタ 01、02、06～16（IPR01、IPR02、IPR06～IPR16）で自由に設定することができます（表 5.9）。設定できる優先レベルは 0～15 で、優先レベル 16 は設定できません。IPR01、IPR02、IPR06～IPR16 については「6.3.1 割り込み優先レベル設定レジスタ 01、02、06～16（IPR01、IPR02、IPR06～IPR16）」を参照してください。

表 5.9 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブレーク	15	優先レベル固定
H-UDI	15	優先レベル固定
IRQ	0～15	割り込み優先レベル設定レジスタ 01、02、06～16（IPR01、IPR02、IPR06～IPR16）により設定
内蔵周辺モジュール		

5.5.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ (INTC) によって優先順位が判定されます。NMI は常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPU は受け付けた割り込みに対応する例外サービスルーチンの開始アドレスを例外処理ベクタテーブルから取り出し、SR とプログラムカウンタ (PC) をスタックに退避します。NMI、ユーザブレイク以外の割り込み例外処理で、レジスタバンクを使用する設定が行われている場合には、汎用レジスタ R0~R14、コントロールレジスタ GBR、システムレジスタ MACH、MACL、PR および実行される例外処理のベクタテーブルアドレスオフセットをレジスタバンクに退避します。アドレスエラー、NMI 割り込み、ユーザブレイク割り込み、命令による例外処理の場合、レジスタバンクへの退避は行われません。また、レジスタバンクのすべてのバンク (0~14) に退避が行われていた場合には、レジスタバンクの代わりにスタックへの自動退避が行われます。この場合、割り込みコントローラにおいて、レジスタバンクオーバフロー例外を受け付けないように設定 (INTC の IBNR の BOVE ビット=0) されている必要があります。レジスタバンクオーバフロー例外を受け付けるように設定 (INTC の IBNR の BOVE ビット=1) されている場合には、レジスタバンクオーバフロー例外が発生します。次に、受け付けた割り込みの優先レベル値を SR の I3~I0 ビットに書き込みます。ただし、NMI の場合の優先レベルは 16 ですが、I3~I0 ビットに設定される値は HF (レベル 15) です。その後、例外処理ベクタテーブルから取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。割り込み例外処理の詳細については「6.6 動作説明」を参照してください。

5.6 命令による例外

5.6.1 命令による例外の種類

例外処理を起動する命令には、表 5.10 に示すように、トラップ命令、スロット不当命令、一般不当命令、整数除算例外があります。

表 5.10 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令または DIVU 命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA、JSR/N、RTV/N 32 ビット命令：BAND.B、BANDNOT.B、BCLR.B、BLD.B、BLDNOT.B、BOR.B、BORNOT.B、BSET.B、BST.B、BXOR.B、MOV.B@disp12、MOV.W@disp12、MOV.L@disp12、MOVI20、MOVI20S、MOVU.B、MOVU.W
一般不当命令	遅延スロット以外にある未定義コード（FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む）	
整数除算例外	ゼロ除算	DIVU、DIVS
	負の最大値 ÷ (−1)	DIVS
浮動小数点演算命令	IEEE754 規格で定義された無効演算例外またはゼロによる除算例外を引き起こす命令、オーバフロー、アンダフロー、および不正確例外を引き起こす可能性のある命令	FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

5.6.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

1. TRAPA 命令で指定したベクタ番号に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ（SR）をスタックに退避します。
3. プログラムカウンタ（PC）をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.6.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コード(FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む)、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令、または DIVU 命令のとき、これらの命令がデコードされるとスロット不当命令例外処理が開始されます。さらに、FPU をモジュールスタンバイ状態にしたときは、浮動小数点命令および FPU に関する CPU 命令は未定義コードとして扱われ、遅延スロットに配置された場合、この命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

1. 例外サービスルーチンの開始アドレスを例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、未定義コード、PC を書き換える命令、32 ビット命令、RESBANK 命令、DIVS 命令、または DIVU 命令の直前にある遅延分岐命令の飛び先アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.6.4 一般不当命令

遅延分岐命令の直後 (遅延スロット) 以外に配置された未定義コード (FPU モジュールスタンバイ時における FPU 命令および FPU に関する CPU 命令を含む) をデコードすると、一般不当命令例外処理が開始されます。また、FPU をモジュールスタンバイ状態にしたときは、浮動小数点命令および FPU に関する CPU 命令は未定義コードとして扱われ、遅延分岐命令の直後 (遅延スロット) 以外に配置された場合、この命令がデコードされると一般不当命令例外処理が開始されます。

一般不当命令例外処理時、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避する PC の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

5.6.5 整数除算命令

整数除算命令がゼロによる除算を実行した場合、または整数除算の結果がオーバフローしたとき、整数除算例外が発生します。ゼロによる除算例外の要因となる命令は DIVU と DIVS です。オーバフロー例外の要因となる命令は DIVS のみで、負の最大値を -1 で除算する場合にのみ発生します。整数除算例外が発生すると CPU は次のように動作します。

1. 発生した整数除算命令例外に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、例外が発生した整数除算命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

5.6.6 浮動小数点演算命令

浮動小数点ステータス/コントロールレジスタ (FPSCR) の FPU 例外イネーブルフィールド (Enable) 中の V、Z、O、U、または I ビットがセットされているとき、FPU 例外が発生します。これは浮動小数点演算命令が IEEE754 規格で定義された無効演算例外、ゼロによる除算例外、オーバフロー (可能性のある命令)、アンダフロー (可能性のある命令)、および不正確例外 (可能性のある命令) を引き起こしたことを示します。

例外要因となる浮動小数点演算命令には以下の命令があります。

FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FLOAT、FTRC、FCNVDS、FCNVSD、FSQRT

該当するイネーブルビットがセットされているときのみ、FPU 例外は発生します。FPU が例外要因を検出すると、FPU の動作は中断されて CPU に例外発生を通知します。CPU は例外処理を開始すると次のように動作します。

1. 発生した FPU 例外に対応する例外サービスルーチンの開始アドレスを、例外処理ベクタテーブルから取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は最後に実行した命令の次の命令の先頭アドレスです。
4. 例外処理ベクタテーブルから取り出した例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

FPSCR の FPU 例外フラグフィールド (Flag) は、FPU 例外が受け付けられたか否かにかかわらず常に更新され、ユーザが明示的に命令でクリアするまでセットされたままです。FPSCR の FPU 例外要因フィールド (Cause) は FPU 命令が実行されるごとに変化します。

また、FPSCR の FPU 例外イネーブルフィールド (Enable) 中の V ビットがセットされ、かつ FPSCR の QIS ビットがセットされているとき、qNaN または $\pm\infty$ を浮動小数点演算命令のソースに入力すると FPU 例外が開始されます。

5.7 例外処理が受け付けられない場合

アドレスエラー、FPU 例外、レジスタバンクエラー（オーバフロー）および割り込みは、表 5.11 に示すように、遅延分岐命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 5.11 遅延分岐命令の直後の例外要因発生

発生した時点	例外要因			
	アドレスエラー	FPU 例外	レジスタバンクエラー (オーバフロー)	割り込み
遅延分岐命令*の直後	×	×	×	×

【記号説明】 ×：受け付けられない

【注】 * 遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAf

5.8 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 5.12 に示すようになります。

表 5.12 例外処理終了後のスタックの状態

種類	スタックの状態		種類	スタックの状態													
アドレス エラー	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)			割り込み	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)		
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
レジスタ バンク エラー (オーバ フロー)	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)			レジスタ バンク エラー (アンダ フロー)	SP →	<table border="1"> <tr><td>当該RESBANK 命令の先頭アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	当該RESBANK 命令の先頭アドレス	(32ビット)	SR	(32ビット)		
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
当該RESBANK 命令の先頭アドレス	(32ビット)																
SR	(32ビット)																
トラップ 命令	SP →	<table border="1"> <tr><td>TRAPA命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	TRAPA命令の 次命令アドレス	(32ビット)	SR	(32ビット)			スロット 不当命令	SP →	<table border="1"> <tr><td>遅延分岐命令の 飛び先アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	遅延分岐命令の 飛び先アドレス	(32ビット)	SR	(32ビット)		
TRAPA命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																
遅延分岐命令の 飛び先アドレス	(32ビット)																
SR	(32ビット)																
一般不当 命令	SP →	<table border="1"> <tr><td>一般不当命令の 先頭アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	一般不当命令の 先頭アドレス	(32ビット)	SR	(32ビット)			整数除算 命令	SP →	<table border="1"> <tr><td>当該整数除算 命令の先頭アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	当該整数除算 命令の先頭アドレス	(32ビット)	SR	(32ビット)		
一般不当命令の 先頭アドレス	(32ビット)																
SR	(32ビット)																
当該整数除算 命令の先頭アドレス	(32ビット)																
SR	(32ビット)																
FPU 例外	SP →	<table border="1"> <tr><td>実行済命令の 次命令アドレス</td><td>(32ビット)</td></tr> <tr><td>SR</td><td>(32ビット)</td></tr> <tr><td> </td><td> </td></tr> </table>	実行済命令の 次命令アドレス	(32ビット)	SR	(32ビット)											
実行済命令の 次命令アドレス	(32ビット)																
SR	(32ビット)																

5.9 使用上の注意事項

5.9.1 スタックポインタ (SP) の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.9.2 ベクタベースレジスタ (VBR) の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

5.9.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理 (割り込みなど) のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けないようになっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル (ライト) は実行されます。SR と PC のスタッキングでは、SP がそれぞれ -4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

6. 割り込みコントローラ (INTC)

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

6.1 特長

- 割り込み優先順位を16レベル設定可能
9本の割り込み優先レベル設定レジスタにより、IRQ 割り込み、および内蔵周辺モジュール割り込みの優先順位を要求元別に16レベルまで設定することができます。
- NMIノイズキャンセラ機能
NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。
- レジスタバンク
本LSIでは、レジスタバンクを内蔵しており、割り込み処理に伴うレジスタの退避、復帰を高速に行うことができます。

図 6.1 に INTC のブロック図を示します。

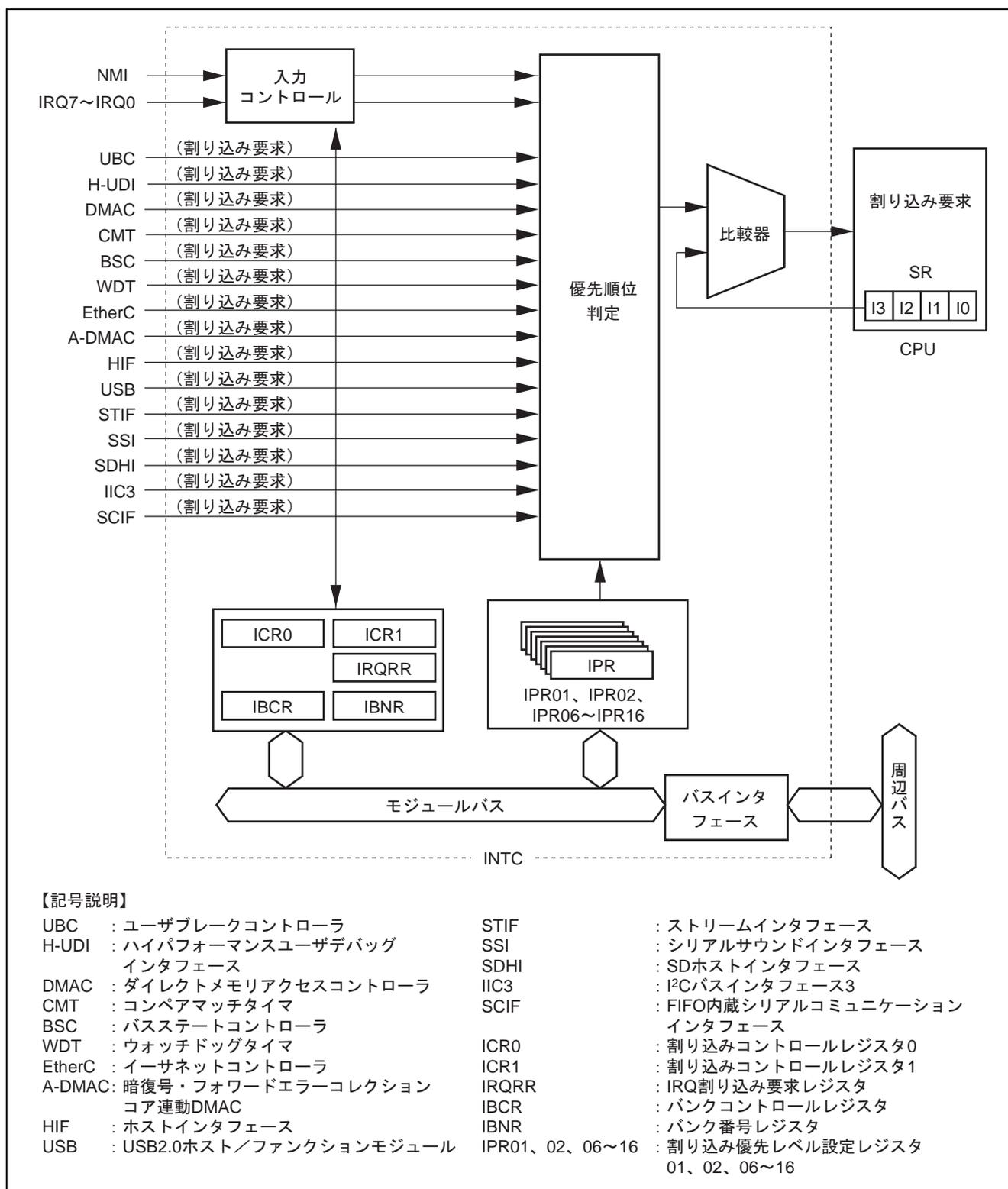


図 6.1 INTC のブロック図

6.2 入出力端子

INTC の端子を表 6.1 に示します。

表 6.1 端子構成

名称	端子名	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ7~IRQ0	入力	マスク可能な割り込み要求信号を入力

6.3 レジスタの説明

INTCには以下のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 6.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
割り込みコントロールレジスタ 0	ICR0	R/W	*1	H'FFFE0800	16、32
割り込みコントロールレジスタ 1	ICR1	R/W	H'0000	H'FFFE0802	16、32
IRQ 割り込み要求レジスタ	IRQRR	R(W)*2	H'0000	H'FFFE0806	16、32
バンクコントロールレジスタ	IBCR	R/W	H'0000	H'FFFE080C	16、32
バンク番号レジスタ	IBNR	R/W	H'0000	H'FFFE080E	16、32
割り込み優先レベル設定レジスタ 01	IPR01	R/W	H'0000	H'FFFE0818	16、32
割り込み優先レベル設定レジスタ 02	IPR02	R/W	H'0000	H'FFFE081A	16、32
割り込み優先レベル設定レジスタ 06	IPR06	R/W	H'0000	H'FFFE0C00	16、32
割り込み優先レベル設定レジスタ 07	IPR07	R/W	H'0000	H'FFFE0C02	16、32
割り込み優先レベル設定レジスタ 08	IPR08	R/W	H'0000	H'FFFE0C04	16、32
割り込み優先レベル設定レジスタ 09	IPR09	R/W	H'0000	H'FFFE0C06	16、32
割り込み優先レベル設定レジスタ 10	IPR10	R/W	H'0000	H'FFFE0C08	16、32
割り込み優先レベル設定レジスタ 11	IPR11	R/W	H'0000	H'FFFE0C0A	16、32
割り込み優先レベル設定レジスタ 12	IPR12	R/W	H'0000	H'FFFE0C0C	16、32
割り込み優先レベル設定レジスタ 13	IPR13	R/W	H'0000	H'FFFE0C0E	16、32
割り込み優先レベル設定レジスタ 14	IPR14	R/W	H'0000	H'FFFE0C10	16、32
割り込み優先レベル設定レジスタ 15	IPR15	R/W	H'0000	H'FFFE0C12	16、32
割り込み優先レベル設定レジスタ 16	IPR16	R/W	H'0000	H'FFFE0C14	16、32

【注】 *1 NMI 端子がハイレベルのとき : H'8000、ローレベルのとき : H'0000 です。

*2 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

6.3.1 割り込み優先レベル設定レジスタ 01、02、06～16 (IPR01、IPR02、IPR06～IPR16)

IPR01、IPR02、IPR06～IPR16 は、それぞれ読み出し／書き込み可能な 16 ビットのレジスタで、IRQ 割り込み、PINT 割り込み、および内蔵周辺モジュール割り込みの優先順位（レベル 0～15）を設定します。割り込み要求元と IPR01、IPR02、IPR06～IPR16 の各ビットの対応を表 6.3 に示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

表 6.3 割り込み要求元と IPR01、IPR02、IPR06～IPR16

レジスタ名	ビット			
	15～12	11～8	7～4	3～0
割り込み優先レベル設定レジスタ 01	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ 02	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ 06	DMAC0	DMAC1	DMAC2	DMAC3
割り込み優先レベル設定レジスタ 07	DMAC4	DMAC5	DMAC6	DMAC7
割り込み優先レベル設定レジスタ 08	USB	予約	CMT0	CMT1
割り込み優先レベル設定レジスタ 09	BSC	WDT	HIF0	HIF1
割り込み優先レベル設定レジスタ 10	ADM1I	C[0]I	C[1]I	予約
割り込み優先レベル設定レジスタ 11	予約	予約	FECI	予約
割り込み優先レベル設定レジスタ 12	ETC	IIC3	予約	STIF0
割り込み優先レベル設定レジスタ 13	STIF1	SCIF0	SCIF1	SCIF2
割り込み優先レベル設定レジスタ 14	予約	予約	予約	SSI0
割り込み優先レベル設定レジスタ 15	SSI1	予約	予約	予約
割り込み優先レベル設定レジスタ 16	予約	SDHI	予約	予約

表 6.3 に示すように、ビット 15～12、ビット 11～8、ビット 7～4、ビット 3～0 の各 4 ビットに H'0 (0000) から H'F (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0（最低）に、H'F をセットすると優先レベル 15（最高）になります。

IPR01、IPR02、IPR06～IPR16 は、パワーオンリセットで H'0000 に初期化されます。

6.3.2 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、16 ビットのレジスタで、外部割り込み入力端子 NMI の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。ICR0 はパワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	-	-	-	-	-	-	NMIE	-	-	-	-	-	-	-	-
初期値:	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

【注】 * NMI端子がハイレベルのとき1、ローレベルのとき0です。

ビット	ビット名	初期値	R/W	説明
15	NMIL	*	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0 : NMI 端子にローレベルが入力されている。 1 : NMI 端子にハイレベルが入力されている。
14~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	NMIE	0	R/W	NMI エッジセレクト NMI 入力の立ち下がりまたは立ち上がりのどちらで割り込み要求信号を検出するかを選択します。 0 : NMI 入力の立ち下がりエッジで割り込み要求を検出。 1 : NMI 入力の立ち上がりエッジで割り込み要求を検出。
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

6.3.3 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は、外部割り込み入力端子 IRQ7~IRQ0 に対してローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジの検出モードを個別に指定する 16 ビットのレジスタです。ICR1 はパワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
15	IRQ71S	0	R/W	IRQ センスセレクト IRQ7~IRQ0 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00 : 割り込み要求を IRQn 入力のローレベルで検出する。 01 : 割り込み要求を IRQn 入力の立ち下がりエッジで検出する。 10 : 割り込み要求を IRQn 入力の立ち上がりエッジで検出する。 11 : 割り込み要求を IRQn 入力の両エッジで検出する。
14	IRQ70S	0	R/W	
13	IRQ61S	0	R/W	
12	IRQ60S	0	R/W	
11	IRQ51S	0	R/W	
10	IRQ50S	0	R/W	
9	IRQ41S	0	R/W	
8	IRQ40S	0	R/W	
7	IRQ31S	0	R/W	
6	IRQ30S	0	R/W	
5	IRQ21S	0	R/W	
4	IRQ20S	0	R/W	
3	IRQ11S	0	R/W	
2	IRQ10S	0	R/W	
1	IRQ01S	0	R/W	
0	IRQ00S	0	R/W	

【記号説明】 n=7~0

6.3.4 IRQ 割り込み要求レジスタ (IRQRR)

IRQRR は、16 ビットのレジスタで、外部割り込み入力端子 IRQ7~IRQ0 の割り込み要求を示します。IRQ7~IRQ0 割り込みをエッジ検出に設定している場合、IRQ7F~IRQ0F=1 をリード後、IRQ7F~IRQ0F に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

IRQRR はパワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*							

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	IRQ7F	0	R/(W)*	IRQ 割り込み要求 IRQ7~IRQ0 割り込み要求のステータスを表示します。 レベル検出時 0 : IRQn 割り込み要求が存在しません。 [クリア条件] • IRQn 入力がハイレベルのとき 1 : IRQn 割り込み要求が存在します。 [セット条件] • IRQn 入力がローレベルのとき エッジ検出時 0 : IRQn 割り込み要求が検出されていません。 [クリア条件] • IRQnF=1 の状態をリード後に 0 をライトしたとき • IRQn 割り込み例外処理を実行したとき 1 : IRQn 割り込み要求が検出されています。 [セット条件] • IRQn 端子に ICR1 の IRQn1S、IRQn0S に対応するエッジが発生したとき
6	IRQ6F	0	R/(W)*	
5	IRQ5F	0	R/(W)*	
4	IRQ4F	0	R/(W)*	
3	IRQ3F	0	R/(W)*	
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【記号説明】 n=7~0

6.3.5 バンクコントロールレジスタ (IBCR)

IBCR は、割り込み優先レベルに対してレジスタバンク使用の許可／禁止を設定することができます。IBCR はパワーオンリセットで H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R														

ビット	ビット名	初期値	R/W	説明
15	E15	0	R/W	イネーブル
14	E14	0	R/W	割り込み優先レベル 15~1 に対してレジスタバンク使用の許可／禁止を設定します。ただし、ユーザブレイク割り込みは常にレジスタバンク使用禁止です。 0: レジスタバンクの使用を禁止します。 1: レジスタバンクの使用を許可します。
13	E13	0	R/W	
12	E12	0	R/W	
11	E11	0	R/W	
10	E10	0	R/W	
9	E9	0	R/W	
8	E8	0	R/W	
7	E7	0	R/W	
6	E6	0	R/W	
5	E5	0	R/W	
4	E4	0	R/W	
3	E3	0	R/W	
2	E2	0	R/W	
1	E1	0	R/W	
0	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

6.3.6 バンク番号レジスタ (IBNR)

IBNR は、レジスタバンク使用の許可／禁止、およびレジスタバンクオーバフロー例外の許可／禁止を設定します。また、BN3～BN0 により次に退避されるバンク番号を示します。

IBNR はパワーオンリセットで H'0000 に初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BE[1:0]		BOVE	-	-	-	-	-	-	-	-	-	BN[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	BE[1:0]	00	R/W	レジスタバンクイネーブル レジスタバンク使用の許可／禁止を設定します。 00 : すべての割り込みでバンクの使用を禁止します。IBCR の設定は無視します。 01 : NMI、ユーザブレイク以外のすべての割り込みでバンクの使用を許可します。IBCR の設定は無視されます。 10 : 予約 (設定禁止) 11 : レジスタバンクの使用は、IBCR の設定に従います。
13	BOVE	0	R/W	レジスタバンクオーバフローイネーブル レジスタバンクオーバフロー例外の許可／禁止を設定します。 0 : レジスタバンクオーバフロー例外の発生を禁止します。 1 : レジスタバンクオーバフロー例外の発生を許可します。
12～4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3～0	BN[3:0]	0000	R	バンク番号 次に退避されるバンク番号を示します。レジスタバンクを使用した割り込みが受け付けられたとき、BN3～BN0 が示すレジスタバンクに退避を行い、BN を +1 します。レジスタバンク復帰命令の実行により、BN を -1 した後、レジスタバンクから復帰を行います。

6.4 割り込み要因

割り込み要因は、NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールの5つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (0~16) で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みは常にマスクされます。

6.4.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI 端子からの入力エッジで検出され、検出エッジは、割り込みコントロールレジスタ0 (ICR0) のNMI エッジセレクトビット (NMIE) の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、NMI 割り込みの優先レベルは16ですがステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) は15に設定されます。

6.4.2 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ (UBC) で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブレイク割り込み例外処理によって、SRのI3~I0ビットは15に設定されます。ユーザブレイクについては、「第25章 ユーザブレイクコントローラ (UBC)」を参照してください。

6.4.3 H-UDI 割り込み

ハイパフォーマンスユーザデバッグインタフェース (H-UDI) 割り込みは、優先順位レベル15を持ち、H-UDI 割り込みのインストラクションをシリアル入力すると発生します。H-UDI 割り込み要求はエッジで検出され、受け付けられるまで保持されます。H-UDI 割り込み例外処理により、SRのI3~I0ビットは15に設定されます。H-UDI 割り込みについては、「第26章 ハイパフォーマンスユーザデバッグインタフェース (H-UDI)」を参照してください。

6.4.4 IRQ 割り込み

IRQ 割り込みは IRQ7~IRQ0 端子からの入力による割り込みです。IRQ 割り込みは、割り込みコントロールレジスタ 1 (ICR1) の IRQ センスセレクトビット (IRQ7IS~IRQ0IS、IRQ7OS~IRQ0OS) の設定によって、端子ごとにローレベル、立ち下がリエッジ、立ち上がりエッジ、両エッジ検出を選択できます。また、割り込み優先レベル設定レジスタ 01、02 (IPR01、IPR02) によって、端子ごとに優先レベルを 0~15 の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ7~IRQ0 端子がローレベルの期間、INTC に割り込み要求信号が送られます。IRQ7~IRQ0 端子がハイレベルになると、割り込み要求信号は INTC に送られません。IRQ 割り込み要求レジスタ (IRQRR) の IRQ 割り込み要求ビット (IRQ7R~IRQ0R) をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ7~IRQ0 端子の変化により割り込み要求が検出され、INTC に割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQRR の IRQ7R~IRQ0R ビットをリードすることにより IRQ 割り込み要求が検出されているかどうかを確認でき、1 をリードした後に 0 をライトすることにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、SR の I3~I0 ビットは、受け付けた IRQ 割り込みの優先レベル値に設定されます。

IRQ 割り込み例外サービスルーチンから復帰する際は、誤って再度受け付けないように、IRQ 割り込み要求レジスタ (IRQRR) で割り込み要求がクリアされていることを確認してから RTE 命令を実行してください。

6.4.5 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ダイレクトメモリアクセスコントローラ (DMAC)
- イーサネットコントローラ (EtherC)
- コンペアマッチタイマ (CMT)
- バスステートコントローラ (BSC)
- ウォッチドッグタイマ (WDT)
- 暗復号・フォワードエラーコレクションコア連動DMAC (A-DMAC)
- ストリームインタフェース (STIF)
- ホストインタフェース (HIF)
- シリアルサウンドインタフェース (SSI)
- SDホストインタフェース (SDHI)
- USB2.0ホスト/ファンクションモジュール (USB)
- I²Cバスインタフェース3 (IIC3)
- FIFO内蔵シリアルコミュニケーションインタフェース (SCIF)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ 06~16 (IPR06~IPR16) によって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3~I0 ビットは、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

6.5 割り込み例外処理ベクタテーブルと優先順位

表 6.4 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから割り込み例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「第 5 章 例外処理」の表 5.4 の例外処理ベクタテーブルアドレスの算出方法を参照してください。

IRQ 割り込みおよび内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ 01、02、06～16 (IPR01、IPR02、IPR06～IPR16) によって、端子またはモジュールごとに優先レベル 0～15 の範囲で任意に設定できます。ただし、IPR06～IPR16 で同一 IPR 内の割り込みが複数発生した場合の優先順位は、表 6.4 の IPR 設定単位内の優先順位に示すように定められており、変更できません。IRQ 割り込みおよび内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 6.4 に示すデフォルト優先順位に従って処理されます。

表 6.4 割り込み例外ベクタと優先順位

割り込み要因 発生元	名称	ベクタ 番号	ベクタテーブル アドレス	割り込み 優先順位 (初期値)	IPR	IPR 設定 単位内の 優先順位	デフォル ト 優先順位
NMI		11	H'0000002C~H'0000002F	16	—	—	高 ↑
ユーザブ레이크		12	H'00000030~H'00000033	15	—	—	
H-UDI		14	H'00000038~H'0000003B	15	—	—	
IRQ	IRQ0	64	H'00000100~H'00000103	0~15(0)	IPR01(15~12)	—	
	IRQ1	65	H'00000104~H'00000107	0~15(0)	IPR01(11~8)	—	
	IRQ2	66	H'00000108~H'0000010B	0~15(0)	IPR01(7~4)	—	
	IRQ3	67	H'0000010C~H'0000010F	0~15(0)	IPR01(3~0)	—	
	IRQ4	68	H'00000110~H'00000113	0~15(0)	IPR02(15~12)	—	
	IRQ5	69	H'00000114~H'00000117	0~15(0)	IPR02(11~8)	—	
	IRQ6	70	H'00000118~H'0000011B	0~15(0)	IPR02(7~4)	—	
	IRQ7	71	H'0000011C~H'0000011F	0~15(0)	IPR02(3~0)	—	
DMAC0	DEI0	108	H'000001B0~H'000001B3	0~15(0)	IPR06(15~12)	1	
	HEI0	109	H'000001B4~H'000001B7			2	
DMAC1	DEI1	112	H'000001C0~H'000001C3	0~15(0)	IPR06(11~8)	1	
	HEI1	113	H'000001C4~H'000001C7			2	
DMAC2	DEI2	116	H'000001D0~H'000001D3	0~15(0)	IPR06(7~4)	1	
	HEI2	117	H'000001D4~H'000001D7			2	
DMAC3	DEI3	120	H'000001E0~H'000001E3	0~15(0)	IPR06(3~0)	1	
	HEI3	121	H'000001E4~H'000001E7			2	
DMAC4	DEI4	124	H'000001F0~H'000001F3	0~15(0)	IPR07(15~12)	1	
	HEI4	125	H'000001F4~H'000001F7			2	
DMAC5	DEI5	128	H'00000200~H'00000203	0~15(0)	IPR07(11~8)	1	
	HEI5	129	H'00000204~H'00000207			2	
DMAC6	DEI6	132	H'00000210~H'00000213	0~15(0)	IPR07(7~4)	1	
	HEI6	133	H'00000214~H'00000217			2	
DMAC7	DEI7	136	H'00000220~H'00000223	0~15(0)	IPR07(3~0)	1	
	HEI7	137	H'00000224~H'00000227			2	
USB	USBI	140	H'00000230~H'00000233	0~15(0)	IPR08(15~12)	—	
CMT	CMI0	142	H'00000238~H'0000023B	0~15(0)	IPR08(7~4)	—	
	CMI1	143	H'0000023C~H'0000023F	0~15(0)	IPR08(3~0)	—	
BSC	CMI	144	H'00000240~H'00000243	0~15(0)	IPR09(15~12)	—	
WDT	ITI	145	H'00000244~H'00000247	0~15(0)	IPR09(11~8)	—	
HIF	HIFI	146	H'00000248~H'0000024B	0~15(0)	IPR09(7~4)	—	
	HIFBI	150	H'00000258~H'0000025B	0~15(0)	IPR09(3~0)	—	低 ↓

割り込み要因 発生元	名称	ベクタ 番号	ベクタテーブル アドレス	割り込み 優先順位 (初期値)	IPR	IPR 設定 単位内の 優先順位	デフォルト 優先順位	
A-DMAC	ADM1I	153	H'00000264~H'00000267	0~15(0)	IPR10(15~12)	—	高 ↑	
	C[0]I	155	H'0000026C~H'0000026F	0~15(0)	IPR10(11~8)	—		
	C[1]I	157	H'00000274~H'00000277	0~15(0)	IPR10(7~4)	—		
	FECI	159	H'0000027C~H'0000027F	0~15(0)	IPR11(7~4)	—		
ETC	EINT0	171	H'000002AC~H'000002AF	0~15(0)	IPR12(15~12)	—		↓
IIC3-0	STPIO	172	H'000002B0~H'000002B3	0~15(0)	IPR12(11~8)	1		
	NAKIO	173	H'000002B4~H'000002B7			2		
	RXIO	174	H'000002B8~H'000002BB			3		
	TXIO	175	H'000002BC~H'000002BF			4		
	TEIO	176	H'000002C0~H'000002C3			5		
STIF	STIO	182	H'000002D8~H'000002DB	0~15(0)	IPR12(3~0)	—	低	
	STI1	187	H'000002EC~H'000002EF	0~15(0)	IPR13(15~12)	—		
SCIF0	BRI0	192	H'00000300~H'00000303	0~15(0)	IPR13(11~8)	1		
	ERI0	193	H'00000304~H'00000307			2		
	RXIO	194	H'00000308~H'0000030B			3		
	TXIO	195	H'0000030C~H'0000030F			4		
SCIF1	BRI1	196	H'00000310~H'00000313	0~15(0)	IPR13(7~4)	1		
	ERI1	197	H'00000314~H'00000317			2		
	RX11	198	H'00000318~H'0000031B			3		
	TX11	199	H'0000031C~H'0000031F			4		
SCIF2	BRI2	200	H'00000320~H'00000323	0~15(0)	IPR13(3~0)	1		
	ERI2	201	H'00000324~H'00000327			2		
	RX12	202	H'00000328~H'0000032B			3		
	TX12	203	H'0000032C~H'0000032F			4		
SSIO	SSII0	214	H'00000358~H'0000035B	0~15(0)	IPR14(3~0)	—		
SSI1	SSII1	215	H'0000035C~H'0000035F	0~15(0)	IPR15(15~12)	—		
SDIO	SDII3	228	H'00000390~H'00000393	0~15(0)	IPR16(11~8)	1		
	SDII0	229	H'00000394~H'00000397			2		
	SDII1	230	H'00000398~H'0000039B			3		

6.6 動作説明

6.6.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、**図 6.2** に動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタ01、02、06～16 (IPR01、IPR02、IPR06～IPR16) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込みまたは同一IPR設定内の割り込みが複数発生した場合は、**表6.4**に示すデフォルト優先順位とIPR設定単位内の優先順位に従って、最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ (SR) の割り込みマスクレベルビット (I3～I0) とが比較されます。I3～I0ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3～I0ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. 割り込みコントローラから送られた割り込み要求は、CPUが実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (**図6.4参照**)。
5. 受け付けられた割り込みに対応する例外処理ベクタテーブルから、割り込み例外サービスルーチンの開始アドレスを取り出します。
6. ステータスレジスタ (SR) がスタックに退避され、SRのI3～I0ビットに受け付けられた割り込みの優先レベルが書き込まれます。
7. プログラムカウンタ (PC) がスタックに退避されます。
8. 取り出した割り込み例外サービスルーチンの開始アドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。割り込み要因フラグをクリアしてから実際にCPUへの割り込み要因が取り下げられるまでに、**表 6.5**に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定およびSRのマスクビットとの比較後、CPUへ割り込み要求信号が送られるまでの時間」を必要とします。そのためクリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後RTE命令を実行します。

- * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただしIRQ割り込みの場合は、IRQ割り込み要求レジスタ (IRQRR) のアクセスにより取り下げることができます。詳しくは「6.4.4 IRQ割り込み」を参照してください。

また、エッジ検出により保留されている割り込みはパワーオンリセットでクリアされます。

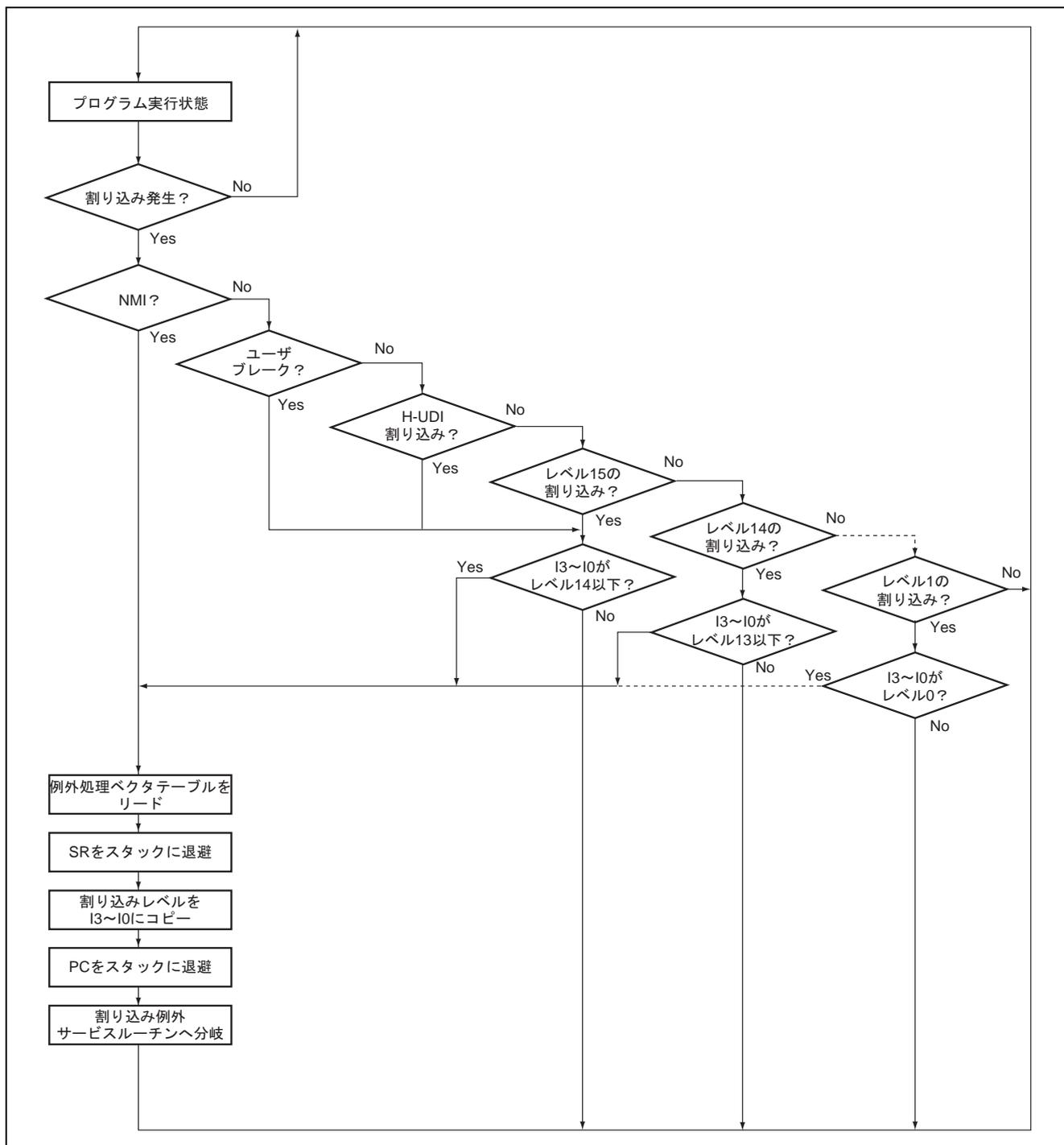


図 6.2 割り込み動作フロー

6.6.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 6.3 に示すようになります。

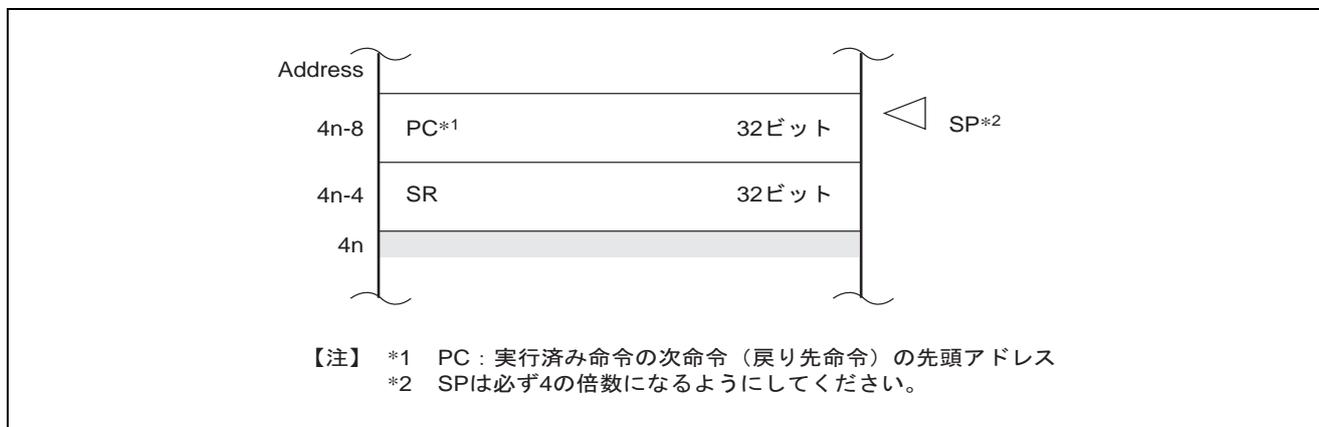


図 6.3 割り込み例外処理終了後のスタック状態

6.7 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、割り込み例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間 (割り込み応答時間) を表 6.5 に示します。割り込み処理は、バンキングなし、バンキングありかつレジスタバンクオーバーフローなし、バンキングありかつレジスタバンクオーバーフローありのときで動作が異なります。バンキングなしのときの、パイプライン動作例を図 6.4、図 6.5 に示します。バンキングありかつレジスタバンクオーバーフローなしのときの、パイプライン動作例を図 6.6、図 6.7 に示します。バンキングありかつレジスタバンクオーバーフローありのときの、パイプライン動作例を図 6.8、図 6.9 に示します。

表 6.5 割り込み応答時間

項 目			ステート数					備考
			NMI	ユーザ ブレイク	H-UDI	IRQ、 PINT	周辺 モジュール	
割り込み要求発生から、割り込みコントローラで優先順位判定およびSRのマスキットとの比較後、CPUへ割り込み要求信号が送られるまでの時間			2lcyc+	3lcyc	2lcyc+	2lcyc+	2lcyc+	
			2Bcyc+		1Pcyc	3Bcyc+	1Bcyc+	
			1Pcyc			1Pcyc	1Pcyc	
CPUに割り込み要求信号が入力されてから、実行中のシーケンスを終了後、割り込み例外処理を開始し、割り込み例外サービスルーチンの先頭命令をフェッチするまでの時間	レジスタバンク なし。	最小値	3lcyc+m1+m2					最小値は、割り込み待ち時間0のとき。 最大値は、割り込み例外処理中に、さらに上位の割り込み要求が発生したとき。
		最大値	4lcyc+2(m1+m2)+m3					
	レジスタバンク あり。 レジスタバンク オーバーフローなし。	最小値	—	3lcyc+m1+m2			最小値は、割り込み待ち時間0のとき。 最大値は、RESBANK命令実行中に割り込み要求が発生したとき。	
		最大値	—	12lcyc+m1+m2				
	レジスタバンク あり。 レジスタバンク オーバーフローあり。	最小値	—	3lcyc+m1+m2			最小値は、割り込み待ち時間0のとき。 最大値は、RESBANK命令実行中に割り込み要求が発生したとき。	
		最大値	—	3lcyc+m1+m2+19(m4)				

項 目			ステート数					備考
			NMI	ユーザ ブレイク	H-UDI	IRQ、 PINT	周辺 モジュール	
応答時間	レジスタバンク なし。	最小値	5lcyc+2Bcyc+ 1Pcyc+m1+ m2	6lcyc+m1+ m2	5lcyc+1Pcyc+ m1+m2	5lcyc+3Bcyc+ 1Pcyc+m1+ m2	5lcyc+1Bcyc+ 1Pcyc+m1+ m2	200MHz 動作時 ^{*1*2} : 0.040~0.110 μs
		最大値	6lcyc+2Bcyc+ 1Pcyc+ 2(m1+m2)+ m3	7lcyc+ 2(m1+m2)+ m3	6lcyc+1Pcyc+ 2(m1+m2)+ m3	6lcyc+3Bcyc+ 1Pcyc+ 2(m1+m2)+ m3	6lcyc+1Bcyc+ 1Pcyc+ 2(m1+m2)+ m3	200MHz 動作時 ^{*1*2} : 0.060~0.130 μs
	レジスタバンク あり。 レジスタバンク オーバフローなし。	最小値	—	—	5lcyc+1Pcyc+ m1+m2	5lcyc+3Bcyc+ 1Pcyc+m1+ m2	5lcyc+1Bcyc+ 1Pcyc+m1+ m2	200MHz 動作時 ^{*1*2} : 0.040~0.110 μs
		最大値	—	—	14lcyc+1Pcyc+ +m1+m2	14lcyc+3Bcyc+1Pcyc+m1+m2	14lcyc+1Bcyc+ +1Pcyc+m1+ m2	200MHz 動作時 ^{*1*2} : 0.085~0.155 μs
	レジスタバンク あり。 レジスタバンク オーバフローあり。	最小値	—	—	5lcyc+1Pcyc+ m1+m2	5lcyc+3Bcyc+ 1Pcyc+m1+ m2	5lcyc+1Bcyc+ 1Pcyc+m1+ m2	200MHz 動作時 ^{*1*2} : 0.040~0.110 μs
		最大値	—	—	5lcyc+1Pcyc+ m1+m2+ 19(m4)	5lcyc+3Bcyc+ 1Pcyc+m1+ m2+19(m4)	5lcyc+1Bcyc+ 1Pcyc+m1+ m2+19(m4)	200MHz 動作時 ^{*1*2} : 0.135~0.205 μs

【注】 m1~m4 は下記のメモリアクセスに要するステート数です。

m1 : ベクタアドレスリード (ロングワードリード)

m2 : SR の退避 (ロングワードライト)

m3 : PC の退避 (ロングワードライト)

m4 : バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) のスタックからの復帰

*1 : m1=m2=m3=m4=1lcyc の場合

*2 : (Iφ、Bφ、Pφ) = (200MHz、66MHz、33MHz) の場合

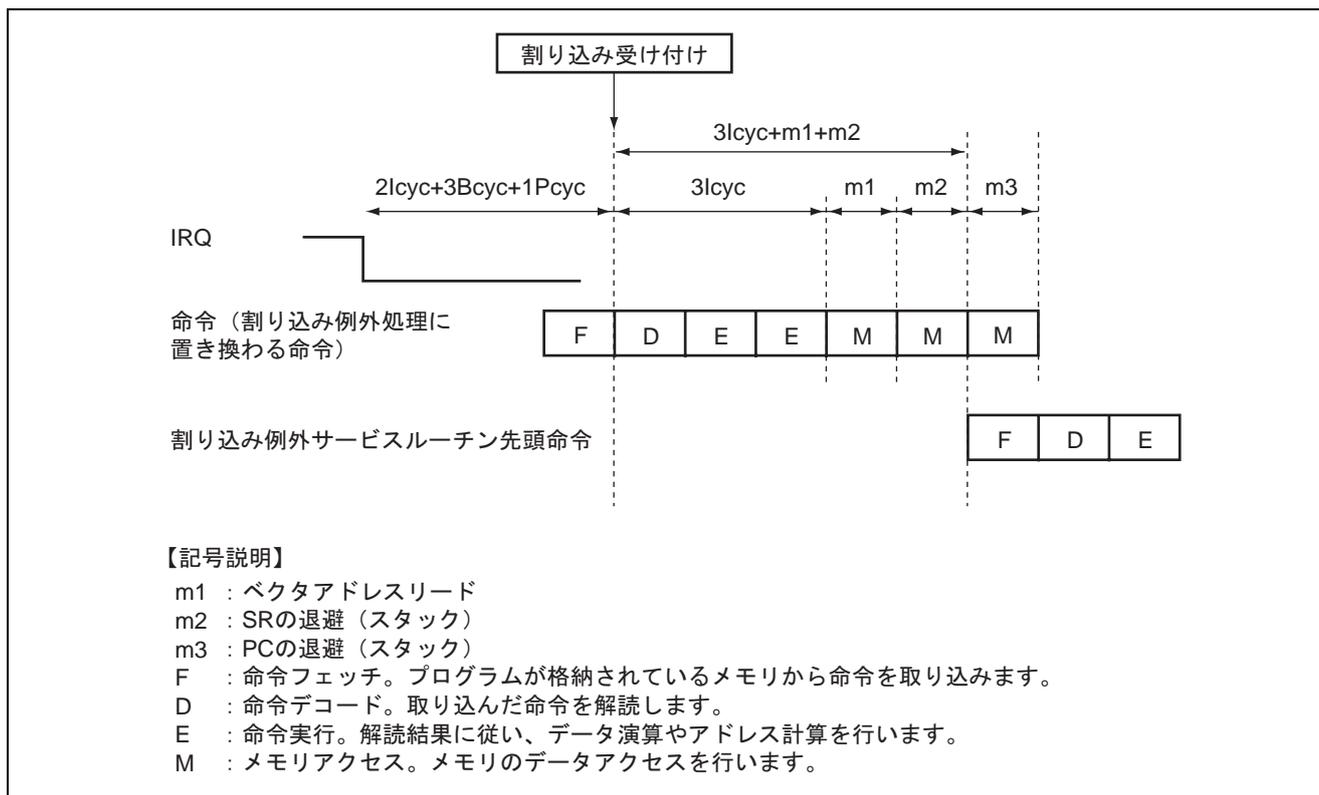


図 6.4 IRQ 割り込みを受け付けるときのパイプライン動作例 (レジスタバンクなし)

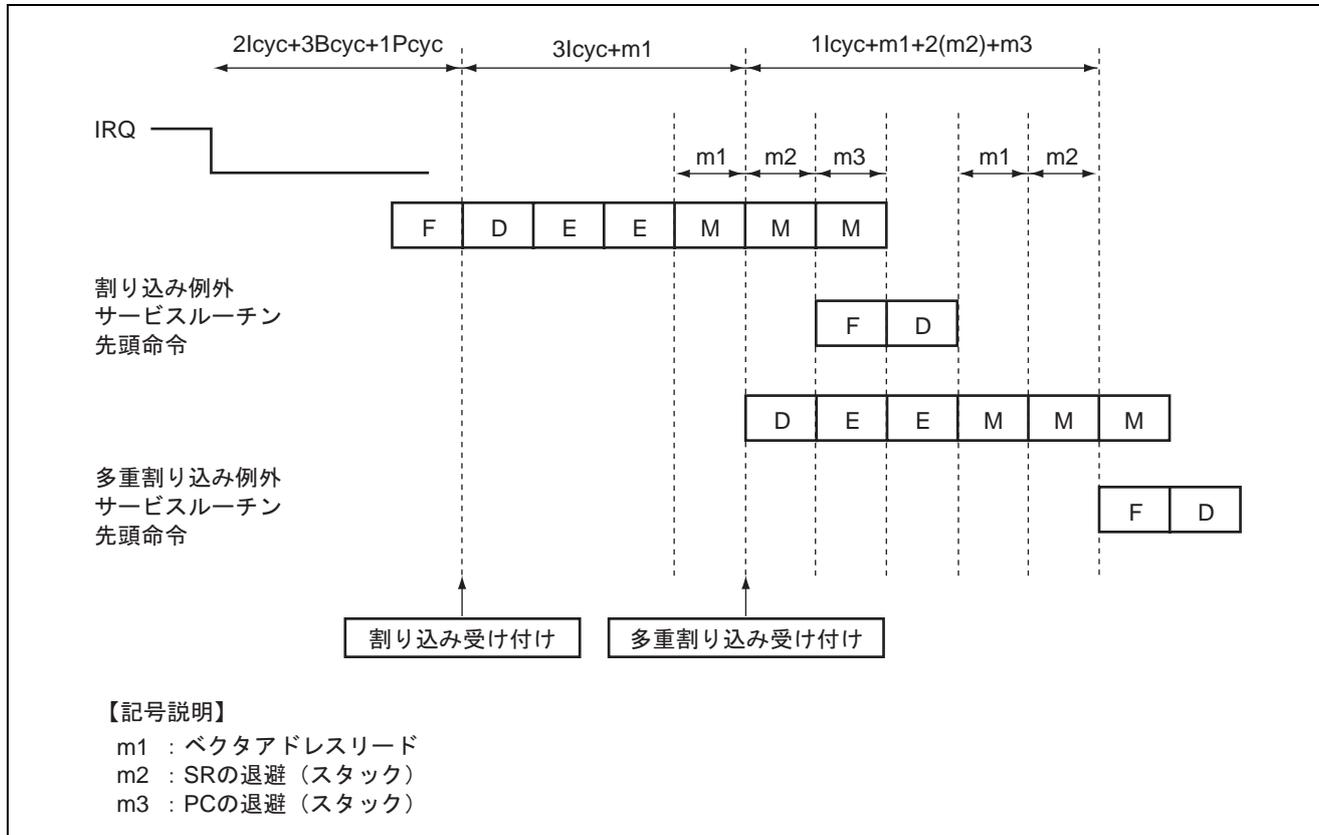


図 6.5 多重割り込み時のパイプライン動作例 (レジスタバンクなし)

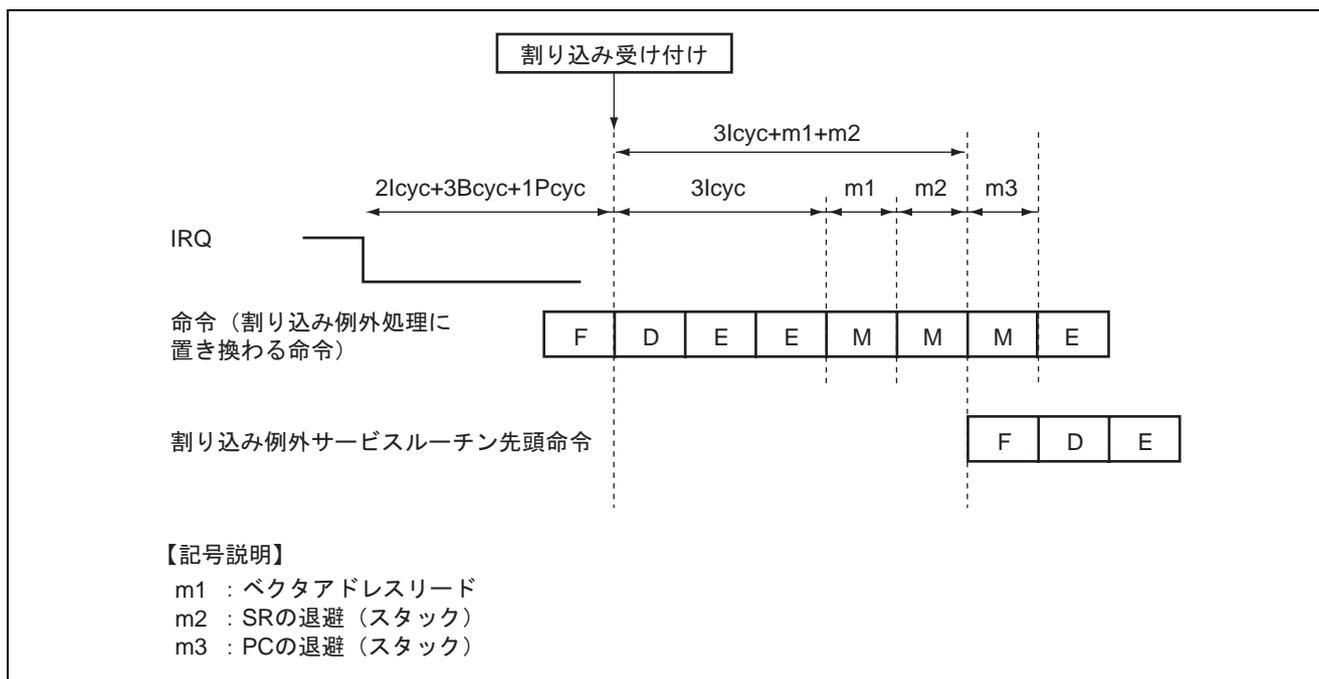


図 6.6 IRQ 割り込みを受け付けるときのパイプライン動作例 (レジスタバンクあり、レジスタバンクオーバフローなし)

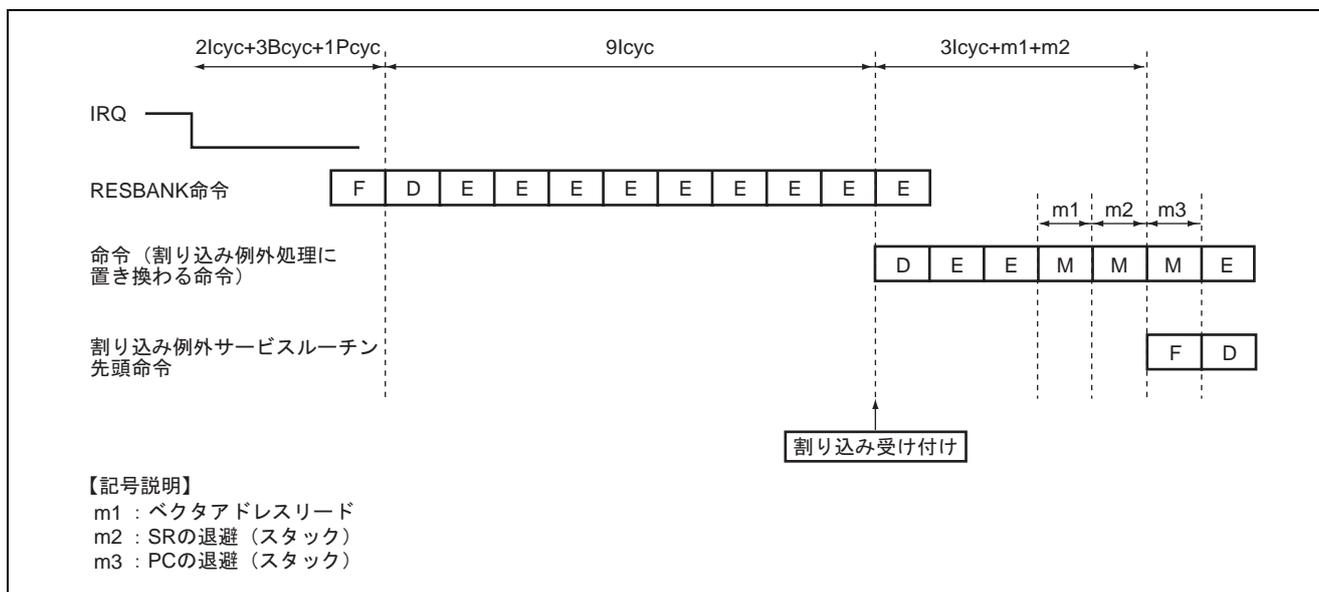


図 6.7 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例 (レジスタバンクあり、レジスタバンクオーバフローなし)

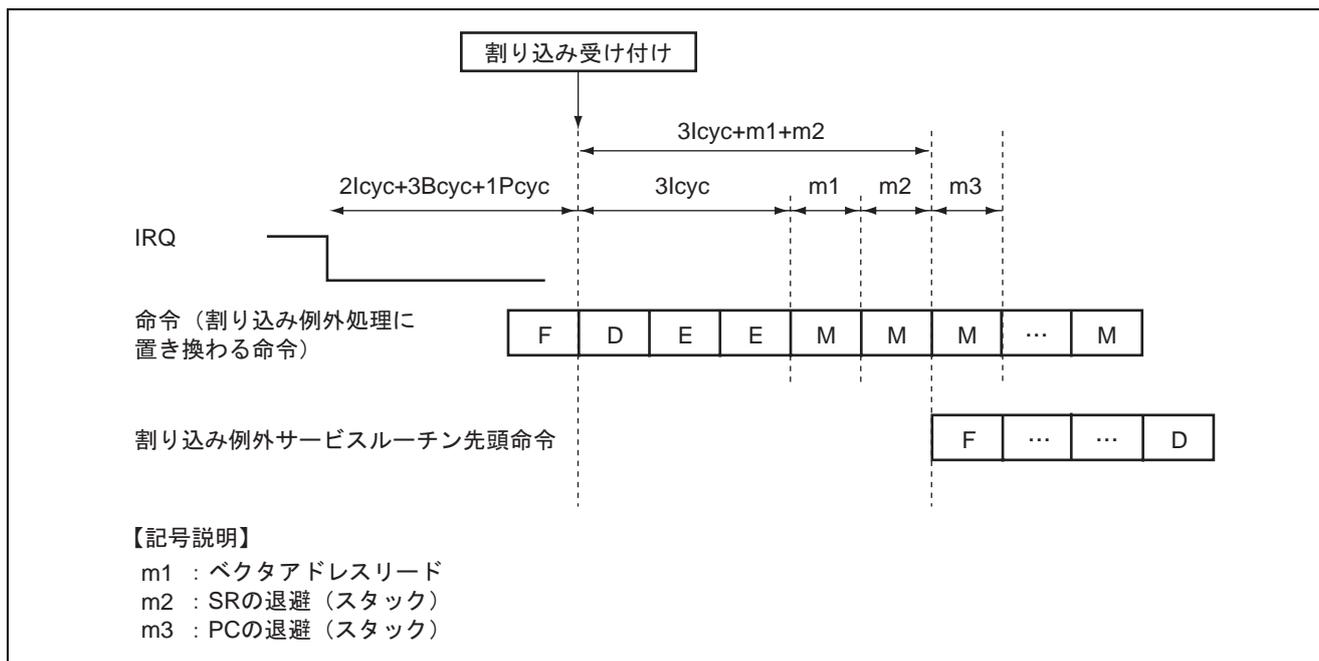


図 6.8 IRQ 割り込みを受け付けるときのパイプライン動作例 (レジスタバンクあり、レジスタバンクオーバーフローあり)

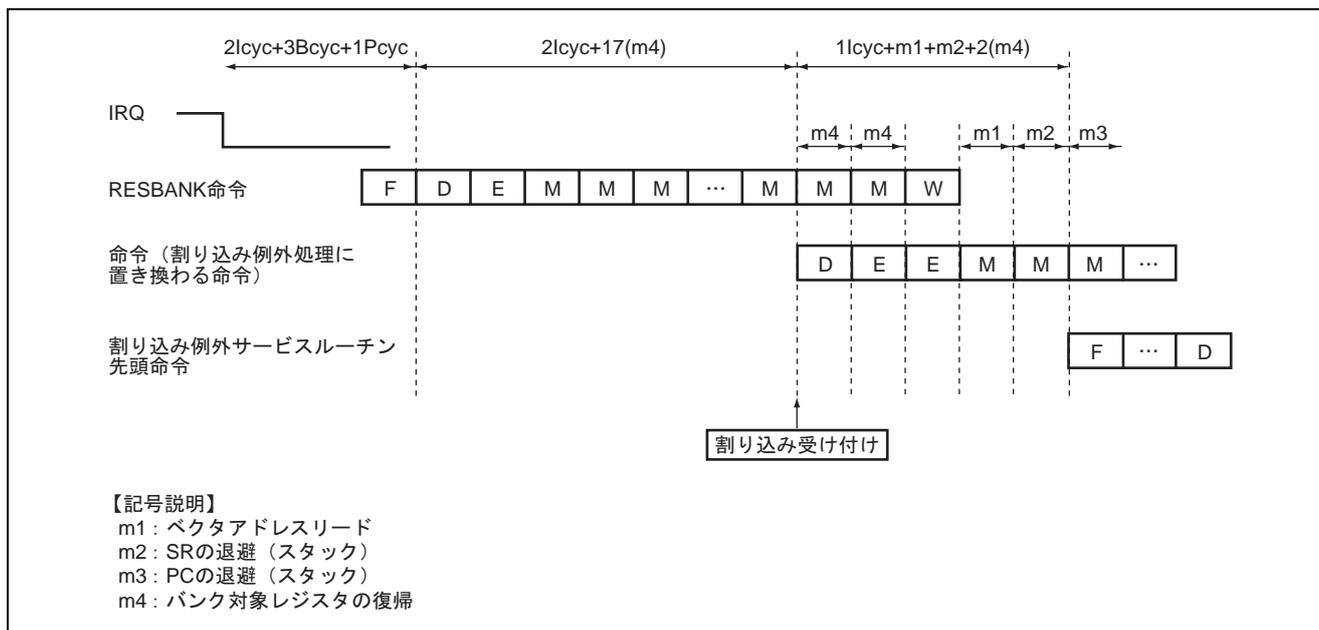


図 6.9 RESBANK 命令時に割り込みを受け付けるときのパイプライン動作例 (レジスタバンクあり、レジスタバンクオーバーフローあり)

6.8 レジスタバンク

本 LSI は、割り込み処理に伴うレジスタの退避、復帰を高速に行うために 15 本のレジスタバンクを内蔵しています。レジスタバンクの構成を図 6.10 に示します。

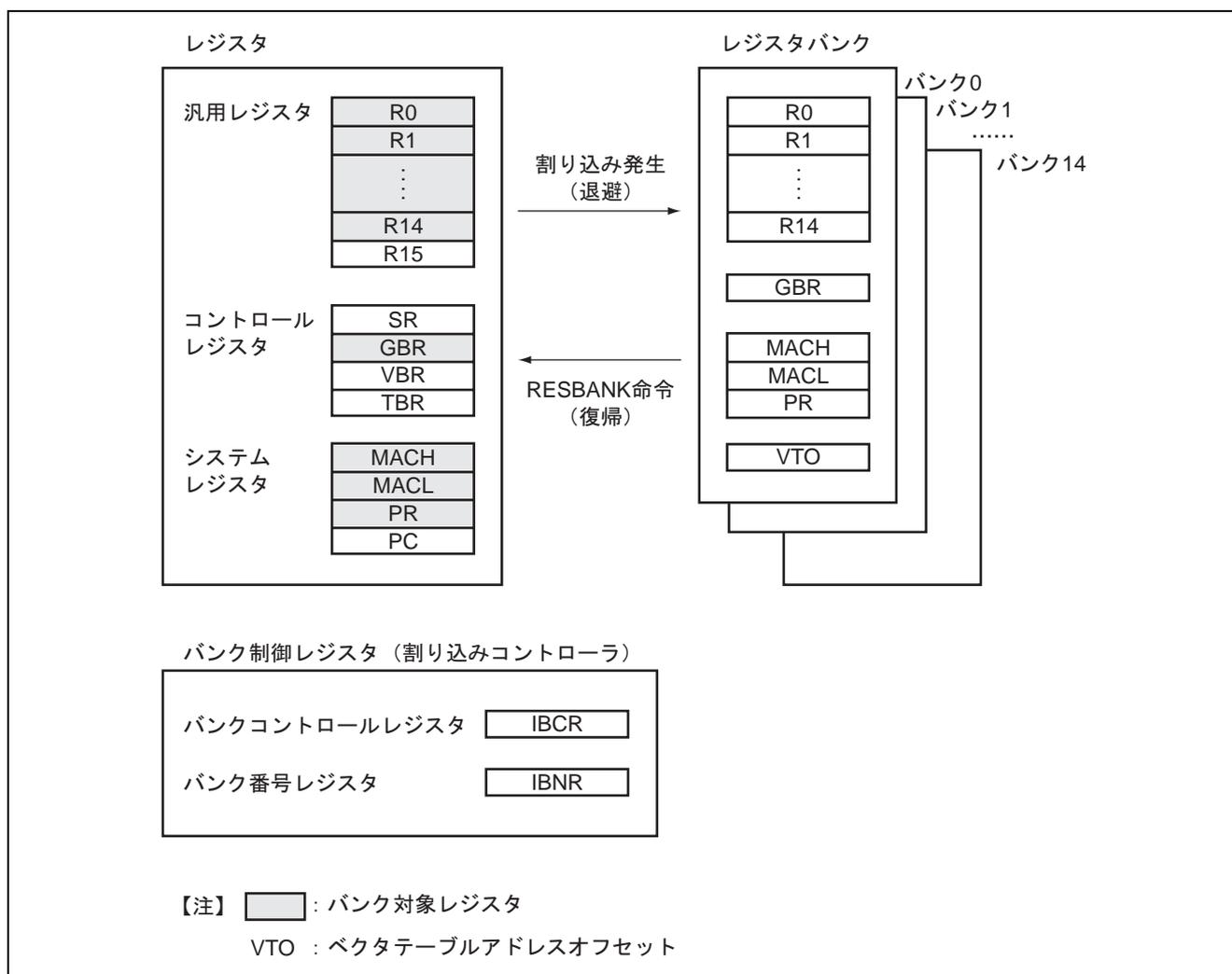


図 6.10 レジスタバンクの構成の概要

6.8.1 バンクの対象レジスタと入出力方式

(1) バンクの対象レジスタ

汎用レジスタ (R0~R14)、グローバルベースレジスタ (GBR)、積和レジスタ (MACH、MACL)、プロシージャレジスタ (PR) と、ベクタテーブルアドレスオフセットをバンクの対象とします。

(2) バンクの入出力方式

レジスタバンクは、バンク 0 からバンク 14 までの 15 個のバンクを持ちます。レジスタバンクは先入れ後出し (FILO) 式のスタックになっており、退避はバンク 0 から順番に行い、復帰は最後に退避したバンクから行います。

6.8.2 バンク退避、復帰の動作

(1) バンクへの退避

図 6.11 にレジスタバンクへの退避の動作を示します。割り込みが発生し、CPU で受け付けられた割り込みのレジスタバンク使用が許可されている場合、次のように動作します。

- (a) 割り込み発生前のバンク番号レジスタ (IBNR) のバンク番号ビット (BN) の値を i とします。
- (b) BN の示すバンク i に、レジスタ R0~R14、GBR、MACH、MACL、PR と、受け付けられた割り込みのベクタテーブルアドレスオフセット (VTO) を退避します。
- (c) BN の値を +1 します。

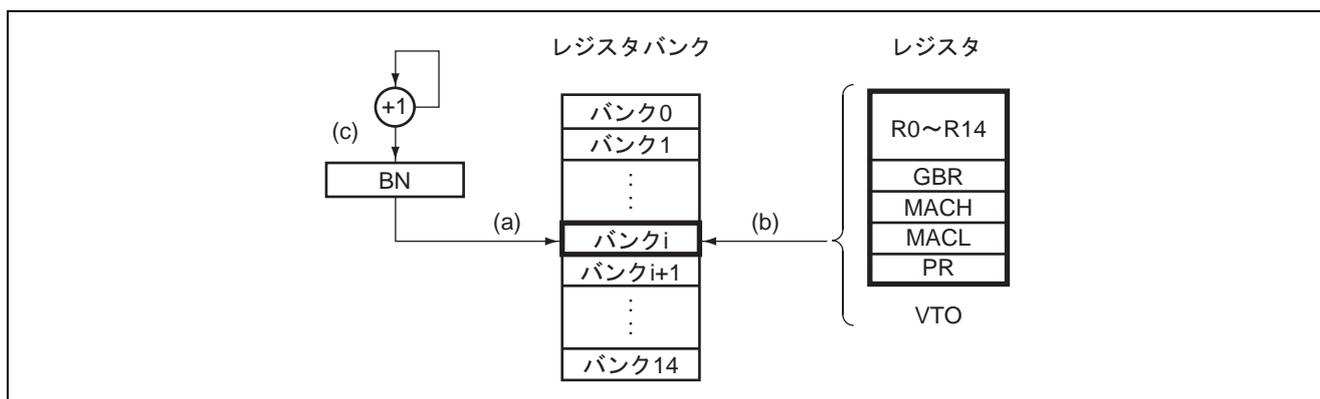


図 6.11 バンク退避の動作

図 6.12 にレジスタバンク退避のタイミングを示します。レジスタバンクへの退避は、割り込み例外処理開始から割り込み例外サービスルーチンの先頭命令のフェッチを開始するまでの間に実行されます。

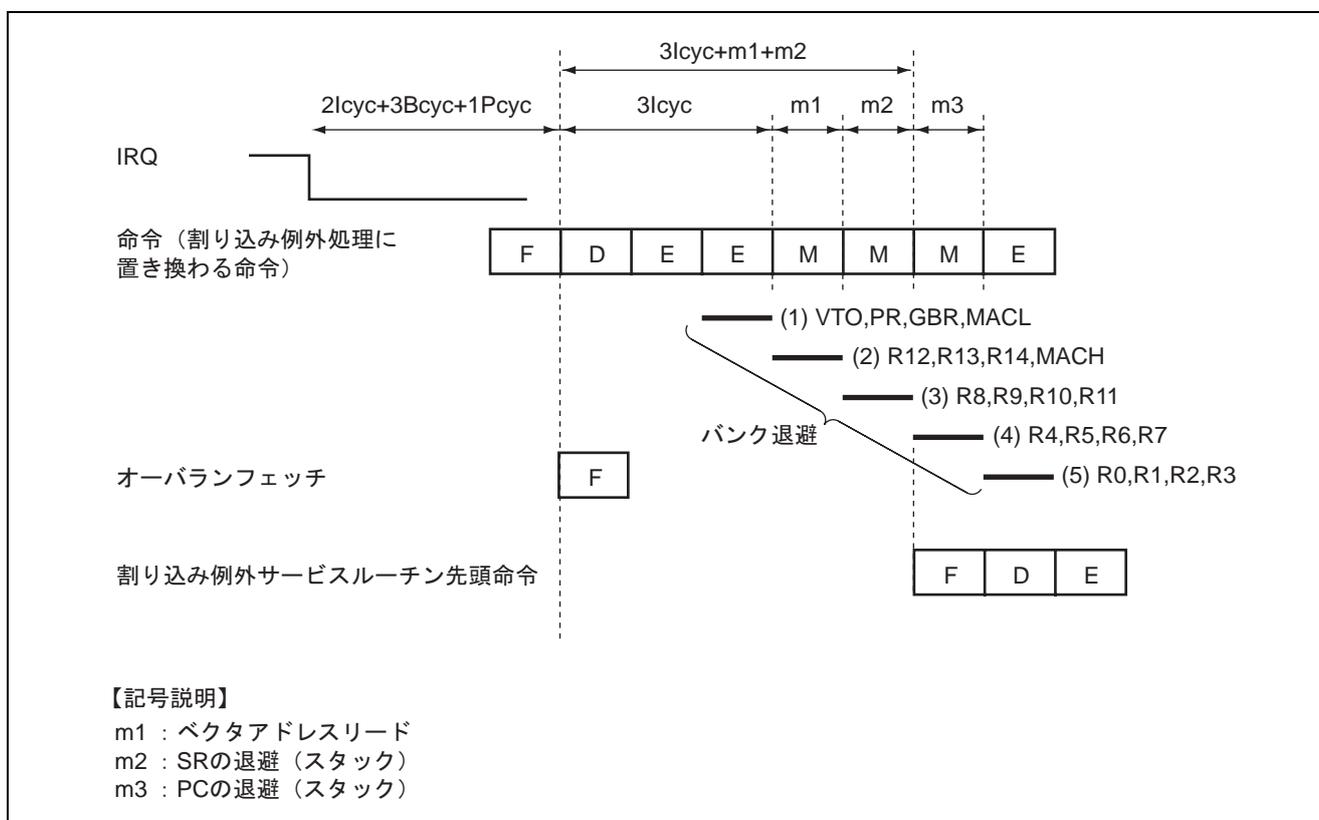


図 6.12 バンク退避のタイミング

(2) バンクからの復帰

バンクに退避したデータを復帰するには、バンク復帰命令 RESBANK を使います。割り込み例外サービスルーチンの最後に、RESBANK 命令でバンク復帰を行った後、RTE 命令で割り込み例外サービスルーチンからの復帰を行ってください。

6.8.3 すべてのバンクに退避が行われた状態での退避、復帰

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPU で受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (IBNR) の BOVE ビットが 0 のとき、レジスタバンクの代わりに自動的にスタックに退避を行います。また、IBNR の BOVE ビットを 1 にセットしているときは、レジスタバンクオーバーフロー例外が発生し、スタックへの退避は行われません。

スタックへの退避、復帰の動作は次のようになります。

(1) スタックへの退避

1. 割り込み例外処理時に、ステータスレジスタ (SR)、プログラムカウンタ (PC) をスタックします。
2. バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックに退避します。スタックに退避するレジスタの順番は、MACL、MACH、GBR、PR、R14、R13、……、R1、R0の順となります。
3. SRのレジスタバンクオーバーフロービット (BO) を1にセットします。
4. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

(2) スタックからの復帰

SR のレジスタバンクオーバーフロービット (BO) が 1 にセットされている状態で、バンク復帰命令 RESBANK を実行すると、次のように動作します。

1. バンク対象レジスタ (R0~R14、GBR、MACH、MACL、PR) をスタックから復帰します。スタックから復帰するレジスタの順番は、R0、R1、……、R13、R14、PR、GBR、MACH、MACLの順となります。
2. バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は最大値15のまま変化しません。

6.8.4 レジスタバンクの例外

レジスタバンクの例外（レジスタバンクエラー）には、レジスタバンクオーバフローとレジスタバンクアンダフローの2種類があります。

(1) レジスタバンクオーバフロー

レジスタバンクのすべてのバンクに退避が行われている状態で、割り込みが発生し、CPUで受け付けられた割り込みがレジスタバンクの使用を許可されている場合、バンク番号レジスタ (IBNR) のBOVEビットが1にセットされているときに発生します。このとき、バンク番号レジスタ (IBNR) のバンク番号ビット (BN) はバンク数15のまま変化せず、レジスタバンクへの退避は行われません。

(2) レジスタバンクアンダフロー

レジスタバンクに退避がまったく行われていない状態で、レジスタバンク復帰命令を実行した場合に発生します。このときR0~R14、GBR、MACH、MACL、PRの値は変化しません。また、バンク番号レジスタ (IBNR) のバンク番号ビット (BN) は0のまま変化しません。

6.8.5 レジスタバンクエラー例外処理

レジスタバンクエラーが発生すると、レジスタバンクエラー例外処理が開始されます。このとき、CPUは次のように動作します。

1. 発生したレジスタバンクエラーに対応する例対処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出します。
2. ステータスレジスタ (SR) をスタックに退避します。
3. プログラムカウンタ (PC) をスタックに退避します。レジスタバンクオーバフロー時の退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。レジスタバンクアンダフロー時の退避するPCの値は、当該のRESBANK命令の先頭アドレスです。また、レジスタバンクオーバフロー時は多重割り込みを防止するためにレジスタバンクオーバフローの要因となった割り込みのレベルをステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) に書き込みます。
4. 例外サービスルーチンの開始アドレスからプログラムを実行します。

6.9 割り込み要求信号によるデータ転送

割り込み要求信号により DMAC を起動し、データ転送を行うことができます。

割り込み要因の中で DMAC 起動要因に指定されているものは INTC に入力されずにマスクされます。マスク条件は次のように表されます。

$$\text{マスク条件} = \text{DME} \cdot (\text{DE0} \cdot \text{要因選択 0} + \text{DE1} \cdot \text{要因選択 1} + \text{DE2} \cdot \text{要因選択 2} + \text{DE3} \cdot \text{要因選択 3} + \text{DE4} \cdot \text{要因選択 4} + \text{DE5} \cdot \text{要因選択 5} + \text{DE6} \cdot \text{要因選択 6} + \text{DE7} \cdot \text{要因選択 7})$$

割り込み制御ブロック図を図 6.13 に示します。

ここで DME は DMAC の DMAOR のビット 0、DE_n (n=0~7) は DMAC の CHCR0~CHCR7 のビット 0 です。詳細は「第 8 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

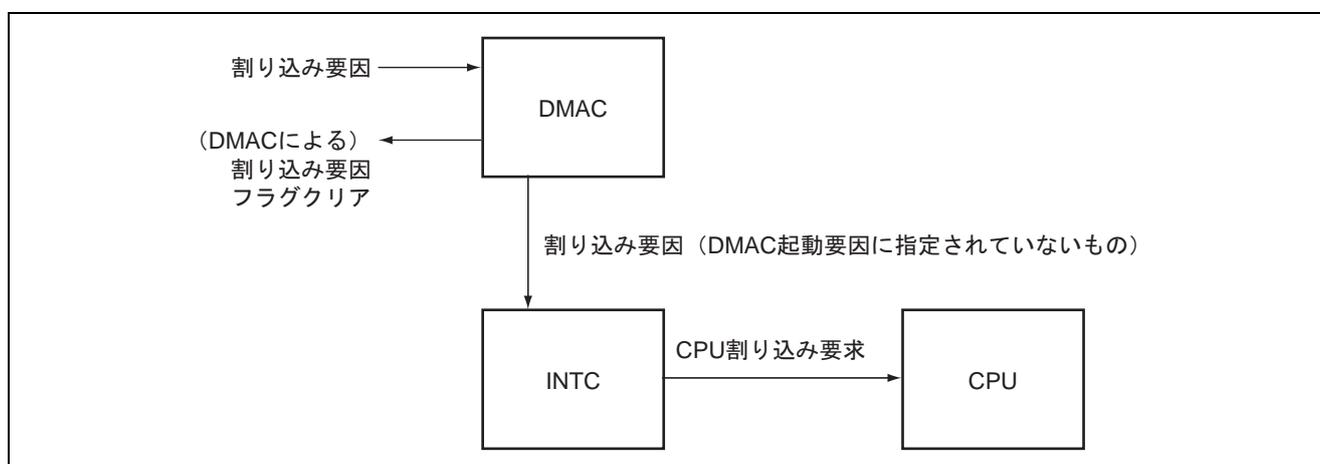


図 6.13 割り込み制御ブロック図

6.9.1 割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合

1. DMAC で要因を選択しないか、または DME ビットを 0 にクリアします。また、DMAC で要因を選択している場合には、DMAC の当該チャネルの DE ビットを 0 にクリアします。
2. 割り込みが発生すると、CPU に割り込みを要求します。
3. CPU は割り込み例外サービスルーチンで、割り込み要因をクリアし、所要の処理をします。

6.9.2 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合

1. DMAC で要因を選択し、DE=1、DME=1 にセットします。割り込み優先レベル設定レジスタの設定によらず CPU 割り込み要因はマスクされます。
2. 割り込みが発生すると、DMAC に起動要因が与えられます。
3. DMAC は、転送時に起動要因をクリアします。

6.10 使用上の注意事項

6.10.1 割り込み要因クリアのタイミング

割り込み要因フラグは、割り込み例外サービスルーチン中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、表 6.5 に記載している「割り込み要求発生から、割り込みコントローラで優先順位判定および SR のマスクビットとの比較後、CPU へ割り込み要求信号が送られるまでの時間」を必要とします。そのため、クリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後 RTE 命令を実行します。

7. バスステートコントローラ (BSC)

外部バスコントローラ (BSC) は、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAMなどの各種メモリおよび外部デバイスを直接接続することができます。

7.1 特長

1. 外部アドレス空間

- CS0、CS3～CS6の各空間をそれぞれ最大64Mバイトまでサポート
- 空間ごとに、通常空間インタフェース、バイト選択付きSRAMインタフェース、SDRAMのメモリ種類およびPCMCIAインタフェースを指定可能
- 空間ごとに、データバス幅 (8ビット、16ビット、または32ビット) を選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリード→ライト (同一空間または別空間)、リード→リード (同一空間または別空間)、および先頭サイクルがライトの場合の5種類独立にアイドルサイクルを設定可能
- エリア0はビッグエンディアンのみサポート

2. 通常空間インタフェース

- SRAMとの直結が可能なインタフェースをサポート

3. SDRAMインタフェース

- ロウアドレスまたはカラムアドレスのマルチプレクス出力をサポート
- シングル読み出しまたはシングル書き込みによる効率的なアクセスが可能
- バンクアクティブモードによる高速アクセスが可能
- オートリフレッシュとセルフリフレッシュのサポート
- パワーダウンモードのサポート
- MRSコマンド、EMRSコマンド発行のサポート

4. PCMCIAインタフェース

- JEIDA仕様Ver4.2 (PCMCIA2.1 Rev2.1) で定めるICメモリカードおよびI/Oカードインタフェースをサポート
- ウェイトステート挿入をプログラムで制御可能

5. バイト選択付きSRAMインタフェース

- バイト選択付きSRAMとの直結が可能なインタフェースをサポート

6. リフレッシュ機能

- オートリフレッシュとセルフリフレッシュをサポート
- リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能
- リフレッシュ回数設定 (1、2、4、6、および8) による集中リフレッシュが可能

7. リフレッシュ用カウンタのインターバルタイマとしての利用

- コンペアマッチタイマで割り込み要求発生可能

図 7.1 に BSC のブロック図を示します。

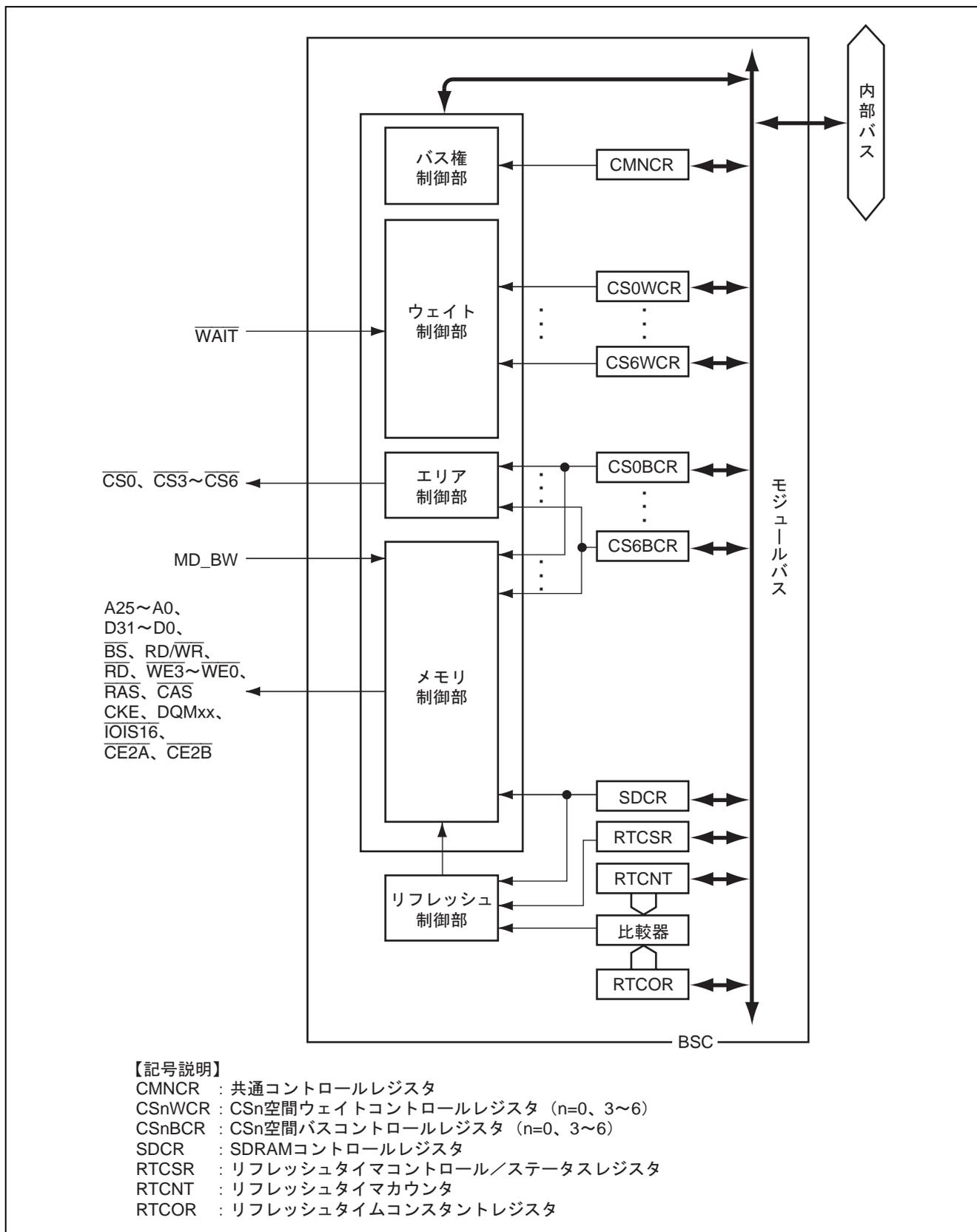


図 7.1 BSC のブロック図

7.2 入出力端子

BSC の端子構成を表 7.1 に示します。

表 7.1 端子構成

端子名	入出力	機能
A25~A0	出力	アドレスバス
D31~D0	入出力	データバス
BS	出力	バスサイクルの開始を示す信号
$\overline{CS0}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$	出力	チップセレクト
$\overline{CS5}/\overline{CE1A}$ 、 $\overline{CS6}/\overline{CE1B}$	出力	チップセレクト PCMCIA 使用時は、PCMCIA カードセレクト信号 D7~D0 対応
$\overline{CE2A}$ 、 $\overline{CE2B}$	出力	PCMCIA カードセレクト信号 D15~D8 対応
RD/\overline{WR}	出力	リードまたはライト信号 SDRAM、およびバイト選択付き SRAM 接続時は、 \overline{WE} 端子に接続
RD	出力	リードパルス信号 (リードデータ出力許可信号) PCMCIA 使用時は、メモリリードサイクルを示すストローブ信号
$\overline{WE3}/\overline{DQM0U}/$ $\overline{ICI0WR}$	出力	D31~D24 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D31~D24 対応の選択信号 PCMCIA 使用時は、I/O ライトを示すストローブ信号
$\overline{WE2}/\overline{DQM1L}/\overline{ICI0RD}$	出力	D23~D16 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D23~D16 対応の選択信号 PCMCIA 使用時は、I/O リードを示すストローブ信号
$\overline{WE1}/\overline{DQM1U}/\overline{WE}$	出力	D15~D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D15~D8 対応の選択信号 PCMCIA 使用時は、メモリライトサイクルを示すストローブ信号
$\overline{WE0}/\overline{DQM1L}$	出力	D7~D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D7~D0 対応の選択信号
\overline{RAS}	出力	SDRAM 接続時は、 \overline{RAS} 端子に接続
\overline{CAS}	出力	SDRAM 接続時は、 \overline{CAS} 端子に接続
CKE	出力	SDRAM 接続時は、CKE 端子に接続
\overline{WAIT}	入力	外部ウェイト入力
$\overline{IOIS16}$	入力	PCMCIA の 16 ビット I/O を示す信号 リトルエンディアン時のみ有効、ビッグエンディアン時は、ローレベルにしてください。
MD_BW	入力	エリア 0 のバス幅選択、エリア 3~6 のバス幅初期値選択

7.3 エリアの概要

7.3.1 アドレスマップ

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しており、上位ビットで、キャッシュ有効空間、キャッシュ無効空間、内蔵空間（内蔵 RAM、内蔵周辺モジュール、予約）に分割されています。

CS0、CS3～CS6 の外部アドレス空間は、内部アドレスの A29=0 のときにキャッシュ有効、A29=1 のときにキャッシュ無効となります。

接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 7.2 アドレスマップ

内部アドレス	空間	メモリ種類	キャッシュ	
H'00000000～H'03FFFFFF	CS0	通常空間、バイト選択付き SRAM	有効	
H'04000000～H'07FFFFFF	その他	予約エリア		
H'08000000～H'0BFFFFFF	その他	予約エリア		
H'0C000000～H'0FFFFFFF	CS3	通常空間、バイト選択付き SRAM、SDRAM		
H'10000000～H'13FFFFFF	CS4	通常空間、バイト選択付き SRAM		
H'14000000～H'17FFFFFF	CS5	通常空間、バイト選択付き SRAM、PCMCIA		
H'18000000～H'1BFFFFFF	CS6	通常空間、バイト選択付き SRAM、PCMCIA		
H'1C000000～H'1FFFFFFF	その他	予約エリア		
H'20000000～H'23FFFFFF	CS0	通常空間、バイト選択付き SRAM	無効	
H'24000000～H'27FFFFFF	その他	予約エリア		
H'28000000～H'2BFFFFFF	その他	予約エリア		
H'2C000000～H'2FFFFFFF	CS3	通常空間、バイト選択付き SRAM、SDRAM		
H'30000000～H'33FFFFFF	CS4	通常空間、バイト選択付き SRAM		
H'34000000～H'37FFFFFF	CS5	通常空間、バイト選択付き SRAM、PCMCIA		
H'38000000～H'3BFFFFFF	CS6	通常空間、バイト選択付き SRAM、PCMCIA		
H'3C000000～H'3FFFFFFF	その他	予約エリア		
H'80000000～H'FFFBFFFF	その他	内蔵 RAM、予約エリア*		—
H'FFFC0000～H'FFFFFFF	その他	内蔵周辺モジュール、予約エリア*		—

【注】 * 内蔵 RAM 空間は「第 27 章 内蔵 RAM」で示すアドレスにアクセスしてください。内蔵周辺モジュール空間のアクセスは「第 28 章 レジスタ一覧」で示すアドレスにアクセスしてください。これらに記載のないアドレスにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

7.3.2 各エリアのデータバス幅と端子機能設定

本 LSI は、パワーオンリセット時に外部端子を用いてエリア 0 のデータバス幅とエリア 3~6 の初期状態のデータバス幅を、8、16 ビットのいずれかに設定することができます。エリア 0 のバス幅はパワーオンリセット後は、変更できません。エリア 3~6 の初期状態のデータバス幅はエリア 0 と同じになりますが、レジスタの設定によりプログラム中で、8、16、32 ビットのいずれかに変更できます。設定するメモリタイプによっては、データバス幅が限定されるものがありますのでご注意ください。

パワーオンリセット後は、エリア 0 に割り当てられた外部メモリに格納されているプログラムで起動します。エリア 0 の外部メモリは ROM を想定していますので、アドレスバス、データバス、 $\overline{CS0}$ 、 \overline{RD} などの最低限の端子機能となっています。本章に記載しているアクセス波形例では、 \overline{BS} 、 $\overline{RD}/\overline{WR}$ 、 \overline{WE}_n などの端子も示していますが、これらはピンファンクションコントローラで端子機能を設定した場合の例です。プログラムによる端子設定が完了するまでは、エリア 0 のリードアクセス以外は行わないでください。

端子設定の詳細は、「第 23 章 ピンファンクションコントローラ (PFC)」を参照してください。

表 7.3 外部端子 (MD_BW) 設定とデータバス幅の関係

MD_BW	データバス幅
1	8 ビット
0	16 ビット

7.4 レジスタの説明

BSC には以下のレジスタがあります。

接続メモリとのインタフェースの設定が終了するまでは、エリア 0 空間以外はアクセスしないでください。

表 7.4 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通コントロールレジスタ	CMNCR	R/W	H'00001010	H'FFFC0000	32
CS0 空間バスコントロールレジスタ	CS0BCR	R/W	H'36DB0200*	H'FFFC0004	32
CS3 空間バスコントロールレジスタ	CS3BCR	R/W	H'36DB0200*	H'FFFC0010	32
CS4 空間バスコントロールレジスタ	CS4BCR	R/W	H'36DB0200*	H'FFFC0014	32
CS5 空間バスコントロールレジスタ	CS5BCR	R/W	H'36DB0200*	H'FFFC0018	32
CS6 空間バスコントロールレジスタ	CS6BCR	R/W	H'36DB0200*	H'FFFC001C	32
CS0 空間ウェイトコントロールレジスタ	CS0WCR	R/W	H'00000500	H'FFFC0028	32
CS3 空間ウェイトコントロールレジスタ	CS3WCR	R/W	H'00000500	H'FFFC0034	32
CS4 空間ウェイトコントロールレジスタ	CS4WCR	R/W	H'00000500	H'FFFC0038	32
CS5 空間ウェイトコントロールレジスタ	CS5WCR	R/W	H'00000500	H'FFFC003C	32
CS6 空間ウェイトコントロールレジスタ	CS6WCR	R/W	H'00000500	H'FFFC0040	32
SDRAM コントロールレジスタ	SDCR	R/W	H'00000000	H'FFFC004C	32
リフレッシュタイムコントロール/ ステータスレジスタ	RTCSR	R/W	H'00000000	H'FFFC0050	32
リフレッシュタイムカウンタ	RTCNT	R/W	H'00000000	H'FFFC0054	32
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'00000000	H'FFFC0058	32
内部バスマスタバス権優先順位設定レジスタ	IBMPR	R/W	H'12300000	H'FFFC1818	32

【注】 * 外部端子(MD_BW)にて8ビットバス幅設定で起動したときの初期値です。16ビットバス幅設定時は、H'36DB0400になります。

7.4.1 共通コントロールレジスタ (CMNCR)

CMNCR は、各エリアに共通の制御を行う 32 ビットのレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	DMAIW[2:0]			DMAIWA	-	-	-	HIZ MEM	HIZ CNT
初期値 :	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
11~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8~6	DMAIW[2:0]	000	R/W	DMA シングルアドレス転送時のアクセスサイクル間ウェイト指定 本ビットは、DMA シングルアドレス転送時に DACK 付き外部デバイスからのデータ出力後に挿入するアイドルサイクル数を指定します。アイドルサイクルの挿入の方法は、後述の DMAIWA ビットの指定により異なります。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入

ビット	ビット名	初期値	R/W	説明
5	DMAIWA	0	R/W	<p>DMA シングルアドレス転送時のアクセスサイクル間ウェイト挿入方法指定</p> <p>本ビットは、DMAIW[2:0]ビットで指定したアイドルサイクルの挿入方法を指定します。本ビットが0の場合は、DACK 付き外部デバイスがデータバスをドライブ後、本 LSI を含む他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入します。DACK 付き外部デバイスが連続してデータバスをドライブする場合は、アイドルサイクルを挿入しません。本ビットが1の場合は、DACK 付き外部デバイスへのアクセスが連続する場合でも、1回のアクセス終了後必ずアイドルサイクルが挿入されます。</p> <p>0 : DACK 付き外部デバイスがデータバスをドライブ後、他のデバイスがデータバスをドライブするときにアイドルサイクルを挿入</p> <p>1 : DACK 付き外部デバイスアクセス後、常にアイドルサイクルを挿入</p>
4	—	1	R	<p>リザーブビット</p> <p>読み出すと常に1が読み出されます。書き込む値も常に1にしてください。</p>
3、2	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1	HIZMEM	0	R/W	<p>High-Z メモリコントロール</p> <p>本ビットは、A25~A0、\overline{BS}、\overline{CSn}、$\overline{CE2x}$、$\overline{RD/WR}$、$\overline{WEn/DQMxx}$、および \overline{RD} のソフトウェアスタンバイモード時の端子状態を指定します。バス解放時は、本ビットにかかわらずハイインピーダンスになります。</p> <p>0 : ソフトウェアスタンバイモード時にハイインピーダンス</p> <p>1 : ソフトウェアスタンバイモード時にドライブ</p>
0	HIZCNT*	0	R/W	<p>High-Z コントロール</p> <p>本ビットは、CKE、\overline{RAS}、\overline{CAS} のソフトウェアスタンバイモード時の状態を指定します。</p> <p>0 : CKE、\overline{RAS}、\overline{CAS} は、ソフトウェアスタンバイモード時にハイインピーダンス</p> <p>1 : CKE、\overline{RAS}、\overline{CAS} は、ソフトウェアスタンバイモード時にドライブ</p>

【注】 * CKIO の High-Z コントロールは「第9章 クロックパルス発振器 (CPG)」を参照してください。

7.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0, 3~6)

CSnBCR は、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。

レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

アイドルサイクルなしの指定でも、アイドルサイクルが挿入される場合があります。詳細は、「7.5.8 アクセスサイクル間アイドル」を参照ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2:0]			IWRRD[2:0]			IWRRS[2:0]		
初期値:	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TYPE[2:0]			ENDIAN	BSZ[1:0]		-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	1*	1*	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R

【注】 * データバス幅を指定する外部端子 (MD_BW) の値をパワーオンリセット時にサンプリングします。

ビット	ビット名	初期値	R/W	説明
31	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30~28	IWW[2:0]	011	R/W	ライトーリード/ライトーライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライトーリードサイクルとライトーライトサイクルの場合です。 000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入

ビット	ビット名	初期値	R/W	説明
27~25	IWRWD[2:0]	011	R/W	<p>別空間リーダーライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリーダーライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
24~22	IWRWS[2:0]	011	R/W	<p>同一空間リーダーライトサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリーダーライトサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
21~19	IWRRD[2:0]	011	R/W	<p>別空間リーダーリードサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリーダーリードサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>

ビット	ビット名	初期値	R/W	説明
18~16	IWRRS[2:0]	011	R/W	<p>同一空間リードリードサイクル間アイドル指定</p> <p>本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリードリードサイクルの場合です。</p> <p>000 : アイドルサイクルなし 001 : 1 アイドルサイクル挿入 010 : 2 アイドルサイクル挿入 011 : 4 アイドルサイクル挿入 100 : 6 アイドルサイクル挿入 101 : 8 アイドルサイクル挿入 110 : 10 アイドルサイクル挿入 111 : 12 アイドルサイクル挿入</p>
15	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
14~12	TYPE[2:0]	000	R/W	<p>本ビットは、空間に接続するメモリの種類を設定します。</p> <p>000 : 通常空間 001 : 設定禁止 010 : 設定禁止 011 : バイト選択付き SRAM 100 : SDRAM 101 : PCMCIA 110 : 設定禁止 111 : 設定禁止</p> <p>エリアごとのメモリタイプは表 7.2 を参照してください。</p>
11	ENDIAN	0	R/W	<p>エンディアン指定</p> <p>本ビットは、空間のデータ並びを指定します。</p> <p>0 : ビッグエンディアンとして動作 1 : リトルエンディアンとして動作</p> <p>【注】 エリア0のリトルエンディアン設定はできません。エリア0のとき、本ビットは常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10、9	BSZ[1:0]	11*	R/W	<p>データバス幅指定</p> <p>本ビットは、空間のデータバス幅を指定します。</p> <p>00：予約（設定禁止）</p> <p>01：8ビット</p> <p>10：16ビット</p> <p>11：32ビット</p> <p>【注】 1. エリア 0、3～6 の初期状態のデータバス幅は、外部端子で設定します。このとき CS0BCR の BSZ[1:0] ビットへの書き込みは無視されますが、CS3BCR～CS6BCR のバス幅変更は可能です。</p> <p>2. エリア 5 または エリア 6 を PCMCIA 空間に設定した場合は、バス幅は 8 または 16 ビットから選択が可能です。</p> <p>3. エリア 3 を SDRAM 空間に設定した場合は、バス幅は 16 または 32 ビットから選択が可能です。</p>
8～0	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 * データバス幅を指定する外部端子 (MD_BW) の値をパワーオンリセット時にサンプリングします。

7.4.3 CSn 空間ウェイトコントロールレジスタ (CSnWCR) (n=0、3~6)

CSnWCR は、メモリアクセスに関する各種ウェイトサイクルの設定を行います。このレジスタのビット構成は、CSn 空間バスコントロールレジスタ (CSnBCR) に設定したメモリ種類 (TYPE[2:0]) により、以下のように変わります。対象となるエリアをアクセスする前に設定してください。また、CSnWCR は、CSnBCR レジスタを設定後に設定してください。

(1) 通常空間、バイト選択付き SRAM

- CS0WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]	WR[3:0]			WM	-	-	-	-	-	-	HW[1:0]	
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21	—	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WEn} および RD/\overline{WR} 信号のタイミングを設定します。 0: \overline{WEn} はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1: \overline{WEn} はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19, 18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17, 16	—	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
12、11	SW[1:0]	00	R/W	<p>アドレス、$\overline{CS0}$ アサート→\overline{RD}、\overline{WEn} アサート遅延サイクル数</p> <p>本ビットは、アドレス、$\overline{CS0}$ アサートから \overline{RD}、\overline{WEn} アサートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	HW[1:0]	00	R/W	\overline{RD} 、 \overline{WEn} ネゲート→アドレス、 $\overline{CS0}$ ネゲート遅延サイクル数 本ビットは、 \overline{RD} 、 \overline{WEn} ネゲートから、アドレス、 $\overline{CS0}$ ネゲートまでの遅延サイクル数を指定します。 00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル

- CS3WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	WR[3:0]				WM	-	-	-	-	-	-
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WEn} および $\overline{RD}/\overline{WR}$ 信号のタイミングを設定します。 0 : \overline{WEn} はリードライトタイミングでアサート、 $\overline{RD}/\overline{WR}$ はライトアクセスサイクル中アサート 1 : \overline{WEn} はリードライトアクセスサイクル中アサート、 $\overline{RD}/\overline{WR}$ はライトタイミングでアサート
19~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~0	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

• CS4WCR

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	WW[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値 :	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の $\overline{WE_n}$ および RD/\overline{WR} 信号のタイミングを設定します。 0 : $\overline{WE_n}$ はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1 : $\overline{WE_n}$ はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000 : WR[3:0]設定 (リードアクセスウェイト数) と同じサイクル 001 : ウェイトサイクルなし 010 : 1 サイクル 011 : 2 サイクル 100 : 3 サイクル 101 : 4 サイクル 110 : 5 サイクル 111 : 6 サイクル
15~13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
12、11	SW[1:0]	00	R/W	<p>アドレス、$\overline{CS4}$ アサート→\overline{RD}、\overline{WEn} アサート遅延サイクル数</p> <p>本ビットは、アドレス、$\overline{CS4}$ アサートから \overline{RD}、\overline{WEn} アサートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>
10~7	WR[3:0]	1010	R/W	<p>リードアクセスウェイトサイクル数</p> <p>本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	HW[1:0]	00	R/W	<p>\overline{RD}、\overline{WEn} ネゲート→アドレス、$\overline{CS4}$ ネゲート遅延サイクル数</p> <p>本ビットは、\overline{RD}、\overline{WEn} ネゲートから、アドレス、$\overline{CS4}$ ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

• CS5WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	WW[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]			WM	-	-	-	-	HW[1:0]		
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WEn} および RD/\overline{WR} 信号のタイミングを設定します。 0: \overline{WEn} はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1: \overline{WEn} はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18~16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000: WR[3:0]設定 (リードアクセスウェイト数) と同じサイクル 001: ウェイトサイクルなし 010: 1 サイクル 011: 2 サイクル 100: 3 サイクル 101: 4 サイクル 110: 5 サイクル 111: 6 サイクル
15~13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
12、11	SW[1:0]	00	R/W	<p>アドレス、$\overline{CS5}$ アサート→\overline{RD}、\overline{WEn} アサート遅延サイクル数</p> <p>本ビットは、アドレス、$\overline{CS5}$ アサートから \overline{RD}、\overline{WEn} アサートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>
10~7	WR[3:0]	1010	R/W	<p>リードアクセスウェイトサイクル数</p> <p>本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし 0001 : 1 サイクル 0010 : 2 サイクル 0011 : 3 サイクル 0100 : 4 サイクル 0101 : 5 サイクル 0110 : 6 サイクル 0111 : 8 サイクル 1000 : 10 サイクル 1001 : 12 サイクル 1010 : 14 サイクル 1011 : 18 サイクル 1100 : 24 サイクル 1101 : 予約 (設定禁止) 1110 : 予約 (設定禁止) 1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視</p>
5~2	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	HW[1:0]	00	R/W	<p>\overline{RD}、\overline{WEn} ネゲート→アドレス、$\overline{CS5}$ ネゲート遅延サイクル数</p> <p>本ビットは、\overline{RD}、\overline{WEn} ネゲートから、アドレス、$\overline{CS5}$ ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル 01 : 1.5 サイクル 10 : 2.5 サイクル 11 : 3.5 サイクル</p>

• CS6WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]				WR[3:0]		WM	-	-	-	-		HW[1:0]
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付き SRAM バイトアクセス選択 本ビットは、バイト選択付き SRAM インタフェース時の \overline{WEn} および RD/\overline{WR} 信号のタイミングを設定します。 0: \overline{WEn} はリードライトタイミングでアサート、 RD/\overline{WR} はライトアクセスサイクル中アサート 1: \overline{WEn} はリードライトアクセスサイクル中アサート、 RD/\overline{WR} はライトタイミングでアサート
19~13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12, 11	SW[1:0]	00	R/W	アドレス、 $\overline{CS6}$ アサート→ \overline{RD} 、 \overline{WEn} アサート遅延サイクル数 本ビットは、アドレス、 $\overline{CS6}$ アサートから \overline{RD} 、 \overline{WEn} アサートまでの遅延サイクル数を指定します。 00: 0.5 サイクル 01: 1.5 サイクル 10: 2.5 サイクル 11: 3.5 サイクル

ビット	ビット名	初期値	R/W	説明
10~7	WR[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。</p> <p>0000 : ウェイトサイクルなし</p> <p>0001 : 1 サイクル</p> <p>0010 : 2 サイクル</p> <p>0011 : 3 サイクル</p> <p>0100 : 4 サイクル</p> <p>0101 : 5 サイクル</p> <p>0110 : 6 サイクル</p> <p>0111 : 8 サイクル</p> <p>1000 : 10 サイクル</p> <p>1001 : 12 サイクル</p> <p>1010 : 14 サイクル</p> <p>1011 : 18 サイクル</p> <p>1100 : 24 サイクル</p> <p>1101 : 予約 (設定禁止)</p> <p>1110 : 予約 (設定禁止)</p> <p>1111 : 予約 (設定禁止)</p>
6	WM	0	R/W	<p>外部ウェイトマスク指定</p> <p>本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。</p> <p>0 : 外部ウェイト入力有効</p> <p>1 : 外部ウェイト入力無視</p>
5~2	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	HW[1:0]	00	R/W	<p>\overline{RD}、\overline{WEn} ネゲート→アドレス、$\overline{CS6}$ ネゲート遅延サイクル数</p> <p>本ビットは、\overline{RD}、\overline{WEn} ネゲートから、アドレス、$\overline{CS6}$ ネゲートまでの遅延サイクル数を指定します。</p> <p>00 : 0.5 サイクル</p> <p>01 : 1.5 サイクル</p> <p>10 : 2.5 サイクル</p> <p>11 : 3.5 サイクル</p>

(2) SDRAM

• CS3WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	WTRP[1:0]	-	WTRCD[1:0]	-	A3CL[1:0]	-	-	-	TRWL[1:0]	-	WTRC[1:0]	-	-	-	-
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~15	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14、13	WTRP[1:0]	00	R/W	プリチャージ完了待ちサイクル数 以下のプリチャージ完了待ちの最小サイクル数を指定します。 <ul style="list-style-type: none"> オートプリチャージの起動から同一バンクに対する ACTV コマンド発行まで PRE/PALL コマンド発行から同一バンクに対する ACTV コマンド発行まで パワーダウンモード/ディープパワーダウンモード遷移まで オートリフレッシュ時の PALL コマンド発行から REF コマンド発行まで セルフリフレッシュ時の PALL コマンド発行から SELF コマンド発行まで 00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル
12	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11、10	WTRCD[1:0]	01	R/W	ACTV コマンド→READ (A) /WRIT (A) コマンド間ウェイトサイクル数 本ビットは、ACTV コマンド発行後、READ (A) /WRIT (A) コマンド発行までの最小ウェイトサイクル数を指定します。 00: ウェイトサイクルなし 01: 1 サイクル 10: 2 サイクル 11: 3 サイクル
9	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
8、7	A3CL[1:0]	10	R/W	<p>エリア 3CAS レイテンシ</p> <p>本ビットは、エリア 3 の CAS レイテンシを指定します。</p> <p>00 : 1 サイクル 01 : 2 サイクル 10 : 3 サイクル 11 : 4 サイクル</p>
6、5	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
4、3	TRWL[1:0]	00	R/W	<p>プリチャージ起動待ちサイクル数</p> <p>以下のプリチャージ起動待ちの最小サイクル数を指定します。</p> <ul style="list-style-type: none"> 本 LSI が WRITA コマンドを発行してから SDRAM 内でオートプリチャージが起動するまでのサイクル数 <p>WRITEA コマンド発行後、同一バンクに対する ACTV コマンド発行までのサイクル数です。なお、SDRAM 内で WRITA コマンドを受けてから何サイクルでオートプリチャージが起動されるかは、各 SDRAM のデータシートで確認してください。そのサイクル数が、本ビットで指定されるサイクル数を超えないように本ビットを設定してください。</p> <ul style="list-style-type: none"> 本 LSI が WRIT コマンドを発行してから PRE コマンドを発行するまでのサイクル数 <p>バンクアクティブモード時に、同一バンクで別ロウアドレスへのアクセスを行う場合です。</p> <p>00 : ウェイトサイクルなし 01 : 1 サイクル 10 : 2 サイクル 11 : 3 サイクル</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1、0	WTRC[1:0]	00	R/W	<p>REF コマンド/セルフリフレッシュ解除→ACTV/REF/MRS コマンド間アイドルサイクル数</p> <p>以下のコマンド間の最小アイドルサイクル数を指定します。</p> <ul style="list-style-type: none"> REF コマンド発行後から ACTV/REF/MRS コマンド発行まで セルフリフレッシュ解除後から ACTV/REF/MRS コマンド発行まで <p>00 : 2 サイクル 01 : 3 サイクル 10 : 5 サイクル 11 : 8 サイクル</p>

(3) PCMCIA

• CS5WCR、CS6WCR

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	SA[1:0]		-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TED[3:0]			PCW[3:0]			WM	-	-	TEH[3:0]					
初期値:	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	SA[1:0]	00	R/W	空間属性指定 PCMCIA インタフェース設定時は、本ビットによりメモリカードインタフェースおよび I/O カードインタフェースのいずれかを指定します。 <ul style="list-style-type: none"> SA1 0 : A25=1 の空間をメモリカードインタフェース指定 1 : A25=1 の空間を I/O カードインタフェース指定 SA0 0 : A25=0 の空間をメモリカードインタフェース指定 1 : A25=0 の空間を I/O カードインタフェース指定
19~15	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
14~11	TED[3:0]	0000	R/W	<p>アドレス$\overline{RD}/\overline{WE}$アサート遅延</p> <p>本ビットは、PCMCIA インタフェースにおけるアドレス出力からメモリカード時の$\overline{RD}/\overline{WE}$アサートまで、または I/O カード時の$\overline{ICIOR}/\overline{ICIOWR}$アサートまでの遅延時間を設定します。</p> <p>0000 : 0.5 サイクル 0001 : 1.5 サイクル 0010 : 2.5 サイクル 0011 : 3.5 サイクル 0100 : 4.5 サイクル 0101 : 5.5 サイクル 0110 : 6.5 サイクル 0111 : 7.5 サイクル 1000 : 8.5 サイクル 1001 : 9.5 サイクル 1010 : 10.5 サイクル 1011 : 11.5 サイクル 1100 : 12.5 サイクル 1101 : 13.5 サイクル 1110 : 14.5 サイクル 1111 : 15.5 サイクル</p>
10~7	PCW[3:0]	1010	R/W	<p>アクセスウェイトサイクル数</p> <p>本ビットは、挿入ウェイトステート数を設定します。</p> <p>0000 : 3 サイクル 0001 : 6 サイクル 0010 : 9 サイクル 0011 : 12 サイクル 0100 : 15 サイクル 0101 : 18 サイクル 0110 : 22 サイクル 0111 : 26 サイクル 1000 : 30 サイクル 1001 : 33 サイクル 1010 : 36 サイクル 1011 : 38 サイクル 1100 : 52 サイクル 1101 : 60 サイクル 1110 : 64 サイクル 1111 : 80 サイクル</p>

ビット	ビット名	初期値	R/W	説明
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも本ビットの設定は有効です。 0 : 外部ウェイト入力有効 1 : 外部ウェイト入力無視
5、4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	TEH[3:0]	0000	R/W	$\overline{RD}/\overline{WE}$ ネゲート→アドレス遅延 本ビットは、PCMCIA インタフェースにおけるメモ리카ード時の $\overline{RD}/\overline{WE}$ ネゲートからの、または I/O カード時の $\overline{ICIOR}/\overline{ICIOR}$ ネゲートからのアドレスホールド時間を設定します。 0000 : 0.5 サイクル 0001 : 1.5 サイクル 0010 : 2.5 サイクル 0011 : 3.5 サイクル 0100 : 4.5 サイクル 0101 : 5.5 サイクル 0110 : 6.5 サイクル 0111 : 7.5 サイクル 1000 : 8.5 サイクル 1001 : 9.5 サイクル 1010 : 10.5 サイクル 1011 : 11.5 サイクル 1100 : 12.5 サイクル 1101 : 13.5 サイクル 1110 : 14.5 サイクル 1111 : 15.5 サイクル

7.4.4 SDRAM コントロールレジスタ (SDCR)

SDCR は、SDRAM のリフレッシュ方法やアクセス方法および接続する SDRAM の種類を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	DEEP	-	RFSH	RMODE	PDOWN	BACTV	-	-	-	A3ROW[1:0]	-	-	A3COL[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	DEEP	0	R/W	ディープパワーダウンモード ローパワーSDRAM に対してのみ有効です。本ビットを1の状態では RFSH ビットおよび RMODE ビットを1にすると、ディープパワーダウンモードに遷移します。 0: セルフリフレッシュモード 1: ディープパワーダウンモード
12	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	RFSH	0	R/W	リフレッシュ制御 本ビットは、SDRAM に対してリフレッシュを行うかどうかを指定します。 0: リフレッシュしない 1: リフレッシュする
10	RMODE	0	R/W	リフレッシュ制御 本ビットは、RFSH ビットが1のとき、オートリフレッシュを行うかセルフリフレッシュを行うかを指定します。RFSH ビットを1かつ本ビットを1に設定すると、その直後にセルフリフレッシュモードに入ります。RFSH ビットを1かつ本ビットを0に設定すると、RTCSR、RTCNT、および RTCOR レジスタに設定した内容に従いオートリフレッシュを行います。 0: オートリフレッシュを行う 1: セルフリフレッシュを行う

ビット	ビット名	初期値	R/W	説明
9	PDOWN	0	R/W	<p>パワーダウンモード</p> <p>本ビットは、SDRAM に対するアクセス終了後に、SDRAM をパワーダウンモードにするかどうかを指定します。本ビットを 1 に設定すると、アクセス終了後 CKE 端子をローレベルにして SDRAM をパワーダウンモードにします。</p> <p>0 : アクセス終了後、SDRAM をパワーダウンモードにしない 1 : アクセス終了後、SDRAM をパワーダウンモードにする</p>
8	BACTV	0	R/W	<p>バンクアクティブモード</p> <p>本ビットは、オートプリチャージモード (READA および WRITA コマンドを使用) でアクセスするのか、バンクアクティブモード (READ および WRIT コマンドを使用) でアクセスするのかを指定します。</p> <p>0 : オートプリチャージモード (READA および WRITA コマンドを使用) 1 : バンクアクティブモード (READ および WRIT コマンドを使用)</p>
7~5	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
4、3	A3ROW[1:0]	00	R/W	<p>エリア 3 ロウアドレスビット数</p> <p>本ビットは、エリア 3 のロウアドレスのビット数を指定します。</p> <p>00 : 11 ビット 01 : 12 ビット 10 : 13 ビット 11 : 予約 (設定禁止)</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1、0	A3COL[1:0]	00	R/W	<p>エリア 3 カラムアドレスビット数</p> <p>本ビットは、エリア 3 のカラムアドレスのビット数を指定します。</p> <p>00 : 8 ビット 01 : 9 ビット 10 : 10 ビット 11 : 予約 (設定禁止)</p>

7.4.5 リフレッシュタイマコントロール/ステータスレジスタ (RTCSR)

RTCSR は、SDRAM のリフレッシュに関する各種設定を行います。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

リフレッシュタイマカウンタ (RTCNT) をカウントアップするクロックは、パワーオンリセットでのみ位相を合わせるため、CKS[2:0]を B'000 以外に設定してタイマを動作させた最初のコンペアマッチフラグセットまでの期間には誤差を含みますのでご注意ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	CKS[2:0]			RRC[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7	CMF	0	R/W	コンペアマッチフラグ 本ビットは、リフレッシュタイマカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。次の条件でセット/クリアされます。 0: クリア条件: CMF=1 の状態で RTCSR を読み出した後に、CMF に 0 を書き込んだとき 1: セット条件: RTCNT=RTCOR になったとき
6	CMIE	0	R/W	コンペアマッチインタラプトイネーブル 本ビットは、RTCSR の CMF ビットが 1 にセットされたとき、CMF による割り込み要求を許可するか禁止するかを設定します。 0: CMF による割り込み要求を禁止 1: CMF による割り込み要求を許可

ビット	ビット名	初期値	R/W	説明
5~3	CKS[2:0]	000	R/W	<p>クロックセレクト</p> <p>本ビットは、リフレッシュタイマカウンタ (RTCNT) をカウントアップするクロックを選択します。</p> <p>000 : カウントアップ停止</p> <p>001 : Bϕ/4</p> <p>010 : Bϕ/16</p> <p>011 : Bϕ/64</p> <p>100 : Bϕ/256</p> <p>101 : Bϕ/1024</p> <p>110 : Bϕ/2048</p> <p>111 : Bϕ/4096</p>
2~0	RRC[2:0]	000	R/W	<p>リフレッシュ回数</p> <p>本ビットは、リフレッシュタイマカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。</p> <p>000 : 1 回</p> <p>001 : 2 回</p> <p>010 : 4 回</p> <p>011 : 6 回</p> <p>100 : 8 回</p> <p>101 : 予約 (設定禁止)</p> <p>110 : 予約 (設定禁止)</p> <p>111 : 予約 (設定禁止)</p>

7.4.6 リフレッシュタイマカウンタ (RTCNT)

RTCNT は、8 ビットのカウンタで、RTCSR の CKS[2:0] ビットで選択したクロックによりカウントアップされます。RTCNT と RTCOR の値が一致すると、RTCNT は 0 にクリアされます。また、255 までカウントアップすると次は 0 に戻ります。書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-								
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7~0		すべて 0	R/W	8 ビットのカウンタ

7.4.7 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は、8 ビットのレジスタです。RTCOR と RTCNT の値が一致すると、RTCSR の CMF ビットが 1 にセットされ、RTCNT は 0 にクリアされます。

SDCR の RFSH ビットが 1 にセットされている場合は、この一致信号によってリフレッシュ要求が発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

RTCSR の CMIE ビットが 1 にセットされていると、この一致信号によって割り込み要求が発生します。割り込み要求は、RTCSR の CMF ビットがクリアされるまで続けて出力されます。CMF ビットのクリアは、割り込みのみに影響を及ぼし、リフレッシュ要求がこれによってクリアされることはありません。したがって、リフレッシュを行いながらリフレッシュ要求の数を割り込みを用いてカウントするなど、リフレッシュとインターバルタイム割り込みの同時設定を行うことも可能です。

書き込み時には、書き込みデータの上位 16 ビットを HA55A としてライトプロテクトを解除してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7~0		すべて 0	R/W	8 ビットのレジスタ

7.4.8 内部バスマスタバス権優先順位設定レジスタ (IBMPR)

IBMPR は、CPU を除く内部バスマスタのバス権優先順位を設定する 32 ビットのレジスタです。

異なる優先順位に同じ CPU を除く内部バスマスタを設定した場合、優先順位が高いものが有効となります。また、内部バスマスタを重複して設定した結果、設定できなかった内部バスマスタは内部バスのバス権が取れなくなります。

A-DMAC (F-DMAC を含む)、E-DMAC、DMAC のいずれかの動作中に本レジスタを書き換えることは禁止します。本レジスタの書き換えは、A-DMAC (F-DMAC を含む)、E-DMAC、DMAC を起動していない状態で行ってください。

詳細は「7.5.9 (2) LSI 内部バスマスタからみたアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	0P1R[1:0]	-	-	0P2R[1:0]	-	-	0P3R[1:0]	-	-	-	-	-	-	-
初期値:	0	0	0	1	0	0	1	0	0	0	1	1	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
29、28	0P1R[1:0]	01	R/W	CPU を除く内部バスマスタ (A-DMAC (F-DMAC を含む)、E-DMAC、DMAC) の中でもっとも優先順位の高い内部バスマスタを設定します。 00: 設定なし 01: A-DMAC (F-DMAC を含む) 10: E-DMAC 11: DMAC
27、26	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25、24	0P2R[1:0]	10	R/W	CPU を除く内部バスマスタ (A-DMAC (F-DMAC を含む)、E-DMAC、DMAC) の中で2番目に優先順位の高い内部バスマスタを設定します。 00: 設定なし 01: A-DMAC (F-DMAC を含む) 10: E-DMAC 11: DMAC
23、22	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
21、20	0P3R[1:0]	11	R/W	CPU を除く内部バスマスタ (A-DMAC (F-DMAC を含む)、E-DMAC、DMAC) の中で 3 番目に優先順位の高い内部バスマスタを設定します。 00 : 設定なし 01 : A-DMAC (F-DMAC を含む) 10 : E-DMAC 11 : DMAC
19~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.5 動作説明

7.5.1 エンディアン／アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSB) が 0 番地側になるビッグエンディアン、下位バイト (LSB) が 0 番地側になるリトルエンディアンのいずれもサポートしています。全エリアでパワーオンリセット後の初期状態は、ビッグエンディアンとなります。エリア 0 空間は、リトルエンディアンへの変更はできませんが、エリア 3～6 空間では、対象空間をアクセスしていない場合に、CSnBCR レジスタの設定でエンディアンの変更ができます。

また、エリア 3～6 空間でのデータバス幅は、通常メモリ、バイト選択付き SRAM としては 8 ビット、16 ビット、および 32 ビット幅の 3 種類から選べ、SDRAM は 16 ビットおよび 32 ビット幅の 2 種類から選べます。PCMCIA インタフェースの場合は、8 ビットおよび 16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅にあわせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。エリア 0 空間では、パワーオンリセット時の MD_BW 端子設定により、8 または 16 ビットのデータバス幅に固定されます。

デバイスのデータ幅とアクセスの単位との関係を表 7.5～表 7.10 に示します。ここで、32 ビットバス幅および 16 ビットバス幅の場合のストロブ信号の番地対応が、ビッグエンディアンとリトルエンディアンで異なることにご注意ください。たとえば、32 ビットバス幅でビッグエンディアン時には、 $\overline{WE3}$ が 0 番地側を示し、リトルエンディアン時には、 $\overline{WE0}$ が 0 番地側を示します。エリア 0 をリトルエンディアンにすることはできません。また命令フェッチでは 32 ビットアクセスと 16 ビットアクセスが混在し、リトルエンディアン領域への命令配置は困難ですので、命令実行はビッグエンディアン領域から行なってください。

表 7.5 ビッグエンディアンの 32 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス				ストローブ信号			
	D31~D24	D23~D16	D15~D8	D7~D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイト アクセス	データ 7~0	—	—	—	アサート	—	—	—
1 番地バイト アクセス	—	データ 7~0	—	—	—	アサート	—	—
2 番地バイト アクセス	—	—	データ 7~0	—	—	—	アサート	—
3 番地バイト アクセス	—	—	—	データ 7~0	—	—	—	アサート
0 番地ワード アクセス	データ 15~8	データ 7~0	—	—	アサート	アサート	—	—
2 番地ワード アクセス	—	—	データ 15~8	データ 7~0	—	—	アサート	アサート
0 番地ロング ワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 7.6 ビッグエンディアンの 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストローブ信号			
		D31~D24	D23~D16	D15~D8	D7~D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイト アクセス		—	—	データ 7~0	—	—	アサート	—	
1 番地バイト アクセス		—	—	—	データ 7~0	—	—	アサート	
2 番地バイト アクセス		—	—	データ 7~0	—	—	アサート	—	
3 番地バイト アクセス		—	—	—	データ 7~0	—	—	アサート	
0 番地ワード アクセス		—	—	データ 15~8	データ 7~0	—	—	アサート	
2 番地ワード アクセス		—	—	データ 15~8	データ 7~0	—	—	アサート	
0 番地 ロング ワード アクセス	1 回目 (0 番地)	—	—	データ 31~24	データ 23~16	—	—	アサート	
	2 回目 (2 番地)	—	—	データ 15~8	データ 7~0	—	—	アサート	

表 7.7 ビッグエンディアンの 8 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストローク信号			
		D31~D24	D23~D16	D15~D8	D7~D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイト アクセス		—	—	—	データ 7~0	—	—	—	アサート
1 番地バイト アクセス		—	—	—	データ 7~0	—	—	—	アサート
2 番地バイト アクセス		—	—	—	データ 7~0	—	—	—	アサート
3 番地バイト アクセス		—	—	—	データ 7~0	—	—	—	アサート
0 番地 ワード アクセス	1 回目 (0 番地)	—	—	—	データ 15~8	—	—	—	アサート
	2 回目 (1 番地)	—	—	—	データ 7~0	—	—	—	アサート
2 番地 ワード アクセス	1 回目 (2 番地)	—	—	—	データ 15~8	—	—	—	アサート
	2 回目 (3 番地)	—	—	—	データ 7~0	—	—	—	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	—	—	—	データ 31~24	—	—	—	アサート
	2 回目 (1 番地)	—	—	—	データ 23~16	—	—	—	アサート
	3 回目 (2 番地)	—	—	—	データ 15~8	—	—	—	アサート
	4 回目 (3 番地)	—	—	—	データ 7~0	—	—	—	アサート

表 7.8 リトルエンディアンの 32 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス				ストローブ信号			
	D31~D24	D23~D16	D15~D8	D7~D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイト アクセス	—	—	—	データ 7~0	—	—	—	アサート
1 番地バイト アクセス	—	—	データ 7~0	—	—	—	アサート	—
2 番地バイト アクセス	—	データ 7~0	—	—	—	アサート	—	—
3 番地バイト アクセス	データ 7~0	—	—	—	アサート	—	—	—
0 番地ワード アクセス	—	—	データ 15~8	データ 7~0	—	—	アサート	アサート
2 番地ワード アクセス	データ 15~8	データ 7~0	—	—	アサート	アサート	—	—
0 番地ロング ワードアクセス	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 7.9 リトルエンディアンの 16 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストローブ信号			
		D31~D24	D23~D16	D15~D8	D7~D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイト アクセス		—	—	—	データ 7~0	—	—	—	アサート
1 番地バイト アクセス		—	—	データ 7~0	—	—	アサート	—	
2 番地バイト アクセス		—	—	—	データ 7~0	—	—	—	アサート
3 番地バイト アクセス		—	—	データ 7~0	—	—	アサート	—	
0 番地ワード アクセス		—	—	データ 15~8	データ 7~0	—	—	アサート	アサート
2 番地ワード アクセス		—	—	データ 15~8	データ 7~0	—	—	アサート	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	—	—	データ 15~8	データ 7~0	—	—	アサート	アサート
	2 回目 (2 番地)	—	—	データ 31~24	データ 23~16	—	—	アサート	アサート

表 7.10 リトルエンディアンの 8 ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストローク信号			
		D31~D24	D23~D16	D15~D8	D7~D0	WE3、 DQMUU	WE2、 DQMUL	WE1、 DQMLU	WE0、 DQMLL
0 番地バイト アクセス		—	—	—	データ 7~0	—	—	—	アサート
1 番地バイト アクセス		—	—	—	データ 7~0	—	—	—	アサート
2 番地バイト アクセス		—	—	—	データ 7~0	—	—	—	アサート
3 番地バイト アクセス		—	—	—	データ 7~0	—	—	—	アサート
0 番地 ワード アクセス	1 回目 (0 番地)	—	—	—	データ 7~0	—	—	—	アサート
	2 回目 (1 番地)	—	—	—	データ 15~8	—	—	—	アサート
2 番地 ワード アクセス	1 回目 (2 番地)	—	—	—	データ 7~0	—	—	—	アサート
	2 回目 (3 番地)	—	—	—	データ 15~8	—	—	—	アサート
0 番地 ロング ワード アクセス	1 回目 (0 番地)	—	—	—	データ 7~0	—	—	—	アサート
	2 回目 (1 番地)	—	—	—	データ 15~8	—	—	—	アサート
	3 回目 (2 番地)	—	—	—	データ 23~16	—	—	—	アサート
	4 回目 (3 番地)	—	—	—	データ 31~24	—	—	—	アサート

7.5.2 通常空間インタフェース

(1) 基本タイミング

通常空間アクセスは、おもにバイト選択端子のない SRAM の直結を考慮してストロブ信号を出力します。バイト選択付き端子のある SRAM を使用する場合は、「7.5.6 バイト選択付き SRAM インタフェース」を参照ください。図 7.2 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2 サイクルで終了します。 \overline{BS} 信号はバスサイクルの開始を表し、1 サイクルアサートされます。

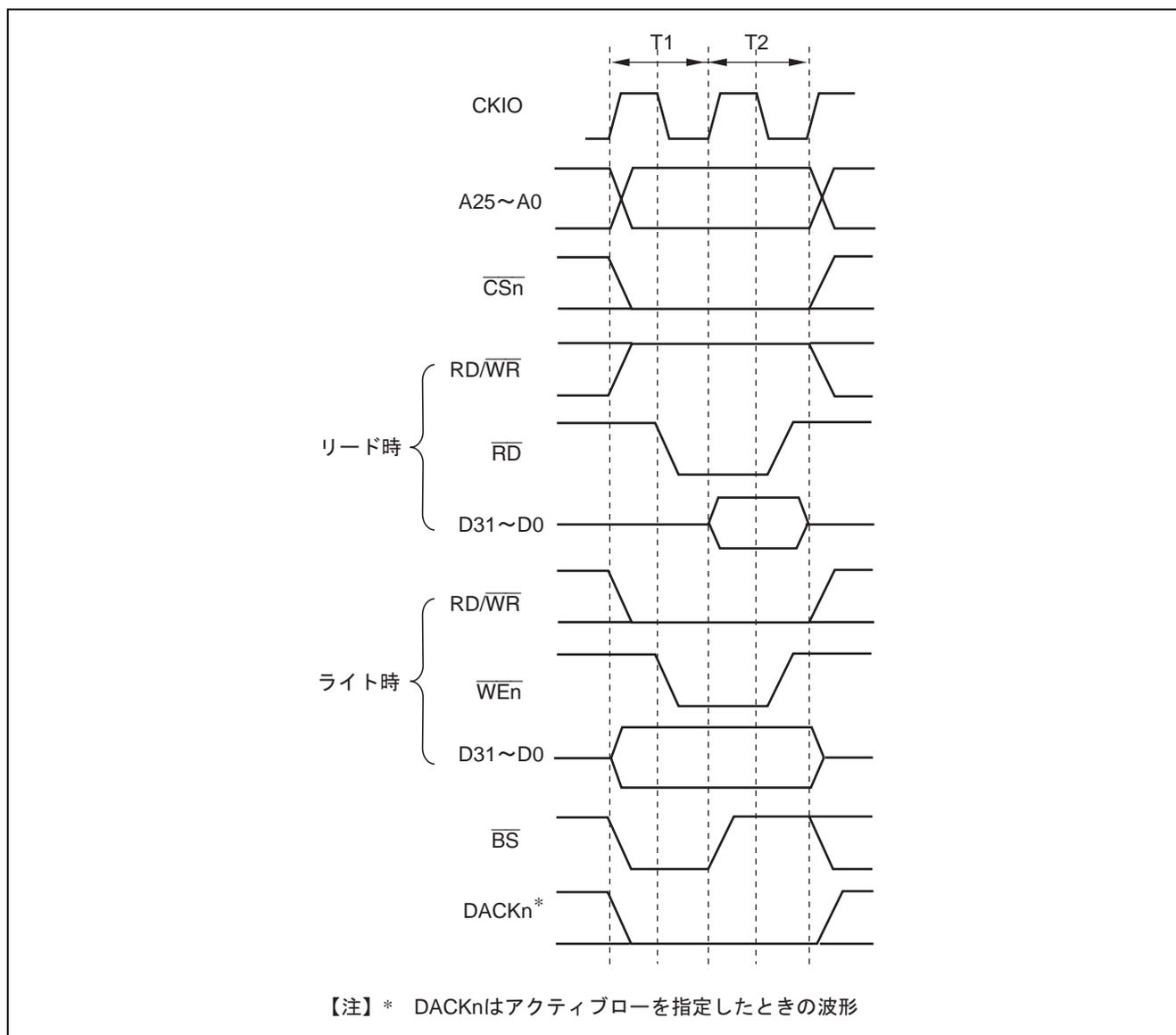


図 7.2 通常空間基本アクセス (アクセスウェイト 0)

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますがアクセスサイズの指定がないので、32 ビットデバイスでは 32 ビットを、16 ビットデバイスでは 16 ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの \overline{WEn} 信号のみがアサートされます。

データバスにバッファを設ける場合には、 \overline{RD} を用いてリードデータの出力制御を行う必要があります。 $\overline{RD}/\overline{WR}$ 信号は、アクセスを行っていないときはリード状態 (ハイレベル出力) となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 7.3、図 7.4 に通常空間連続アクセスの例を示します。CSnWCR の WM ビットを 0 に設定すると、設定した CSn 空間アクセスの後に外部ウェイトを評価するために 1 サイクル T_{nop} が挿入されます (図 7.3)。しかし、CSnWCR の WM ビットを 1 に設定すると、外部ウェイトが無視され T_{nop} サイクルの挿入を抑止することができます (図 7.4)。

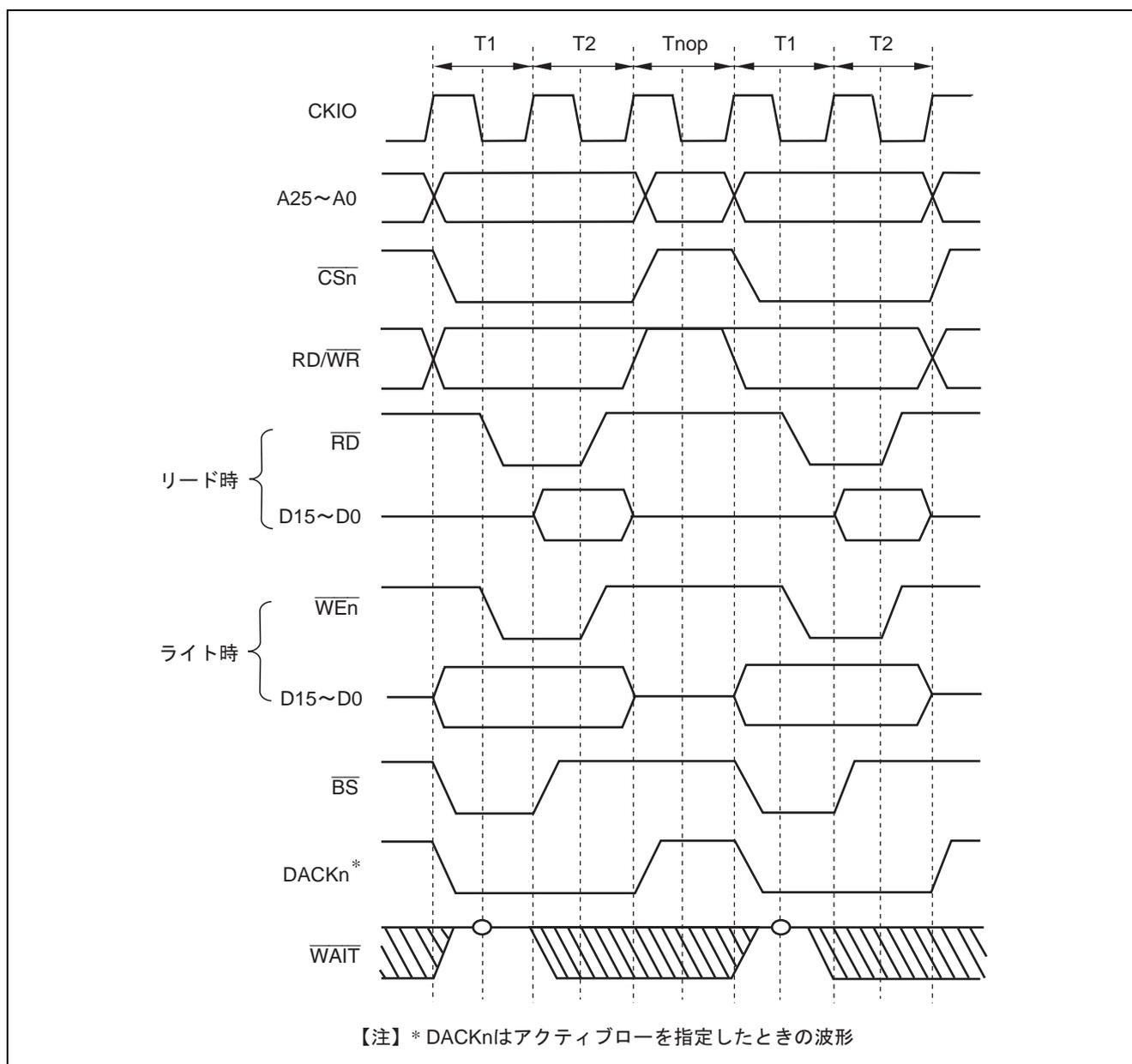


図 7.3 通常空間連続アクセス例 1
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット=0
 (アクセスウェイト 0、サイクル間ウェイト 0)

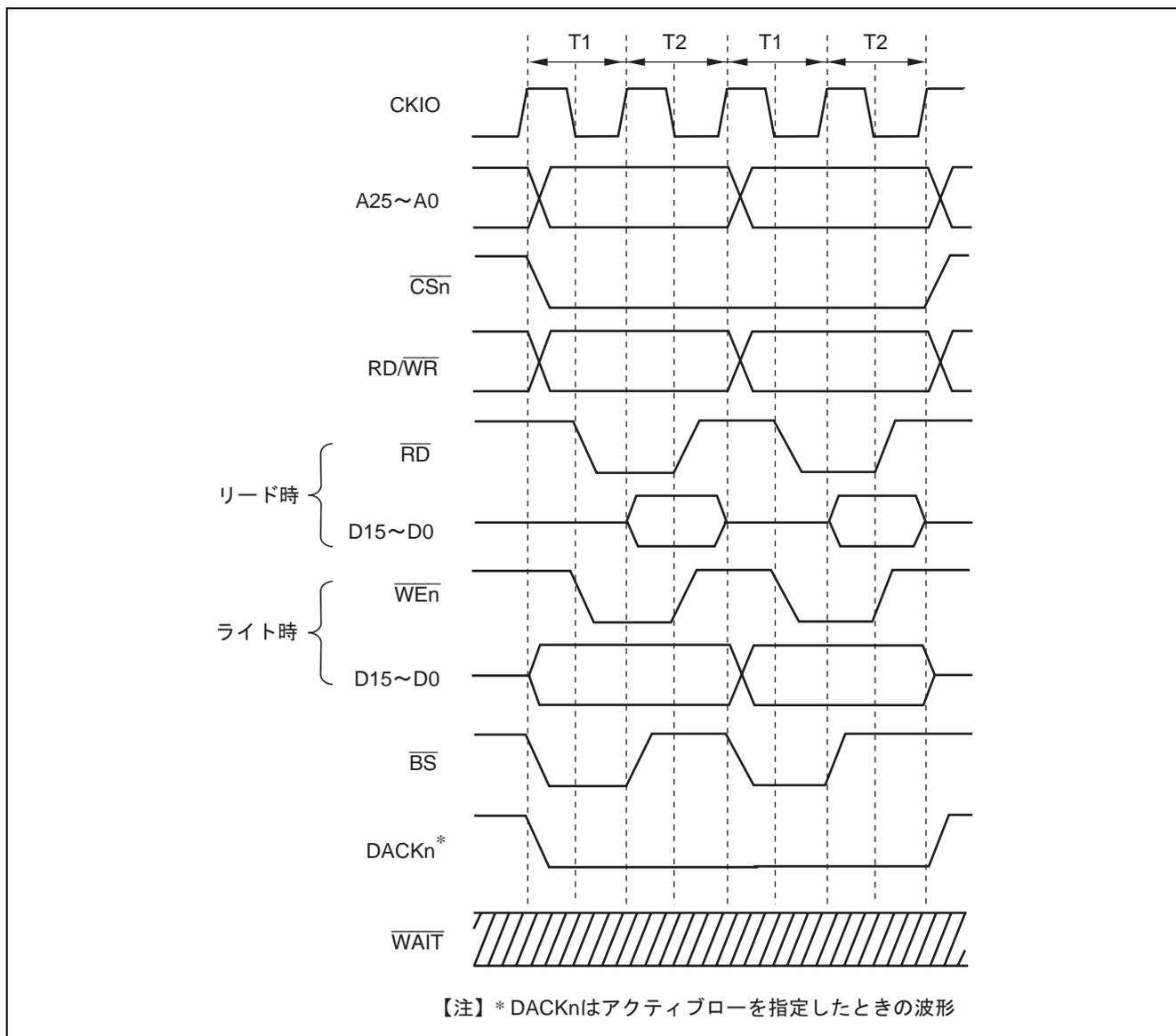


図 7.4 通常空間連続アクセス例 2
 バス幅 16 ビット、ロングワードアクセス、CSnWCR.WM ビット=1
 (アクセスウェイト 0、サイクル間ウェイト 0)

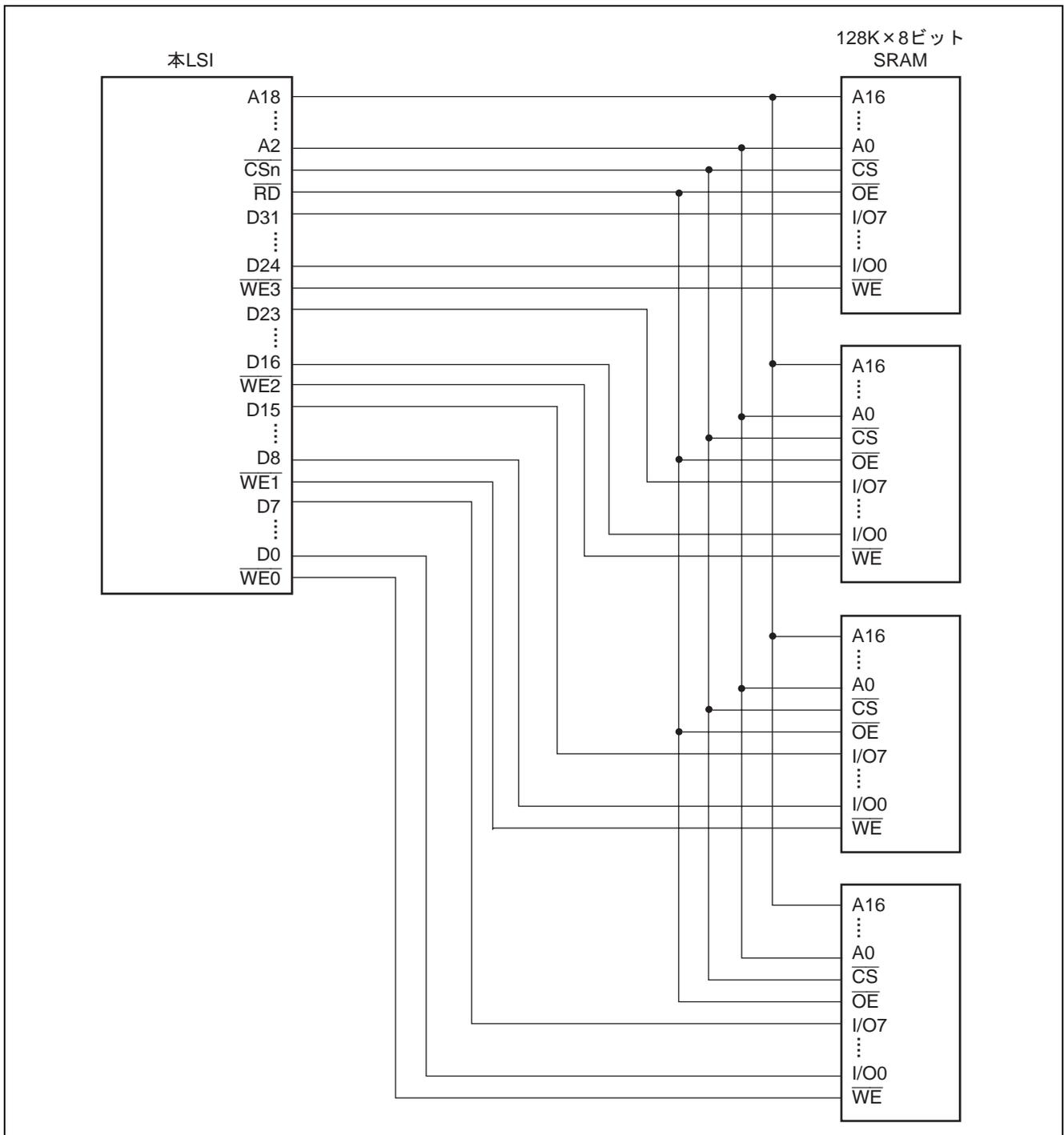


図 7.5 32 ビットデータ幅 SRAM 接続例

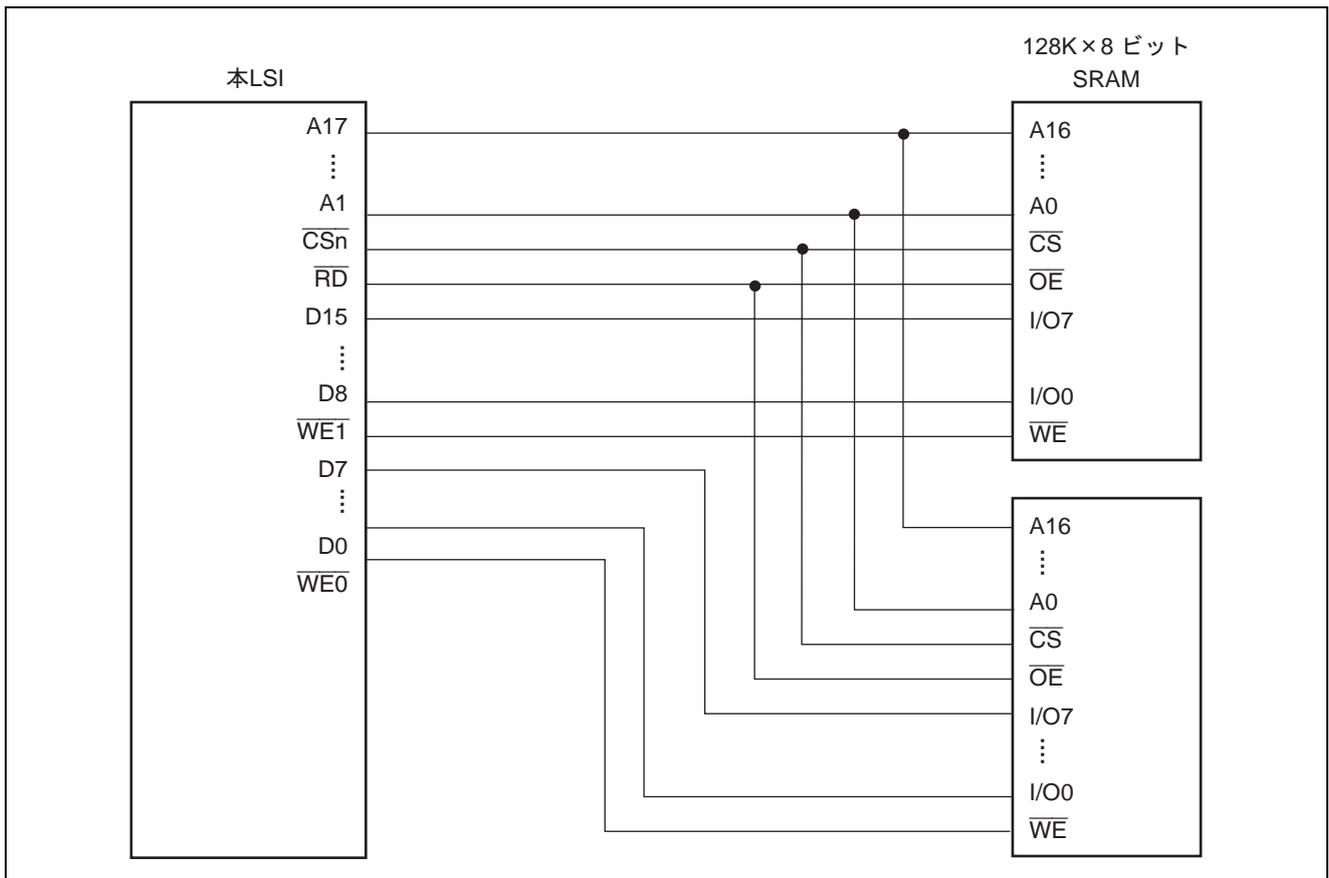


図 7.6 16 ビットデータ幅 SRAM 接続例

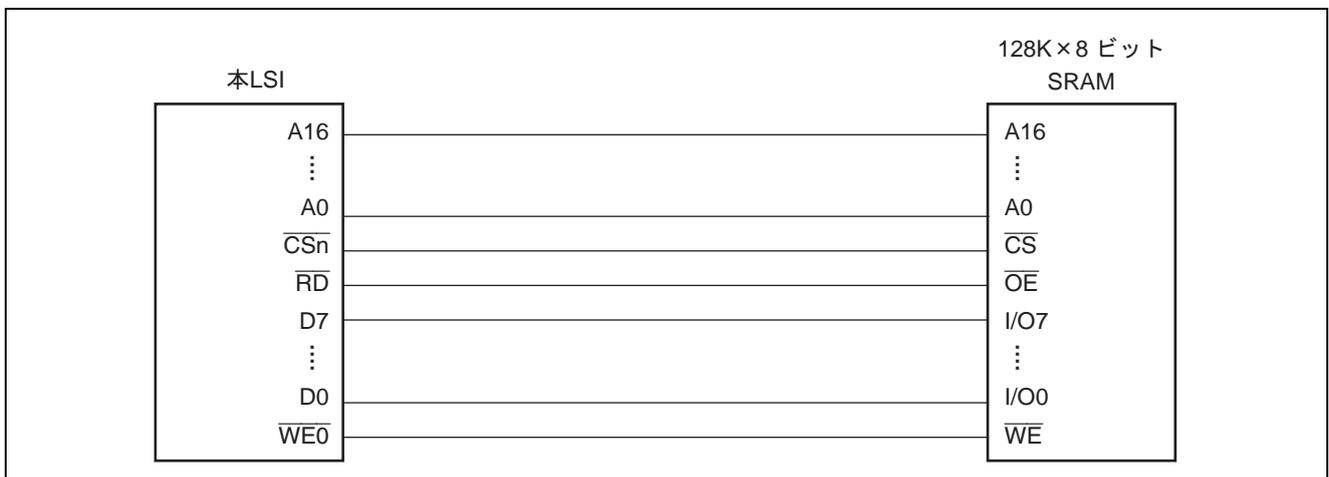


図 7.7 8 ビットデータ幅 SRAM 接続例

7.5.3 アクセスウェイト制御

CSnWCR の WR[3:0]ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。エリア 4、5 では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。エリア 0、3 およびエリア 6 のアクセスウェイトは、リードおよびライトサイクルで共通となります。図 7.8 に示す通常空間のアクセスでは、Tw のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

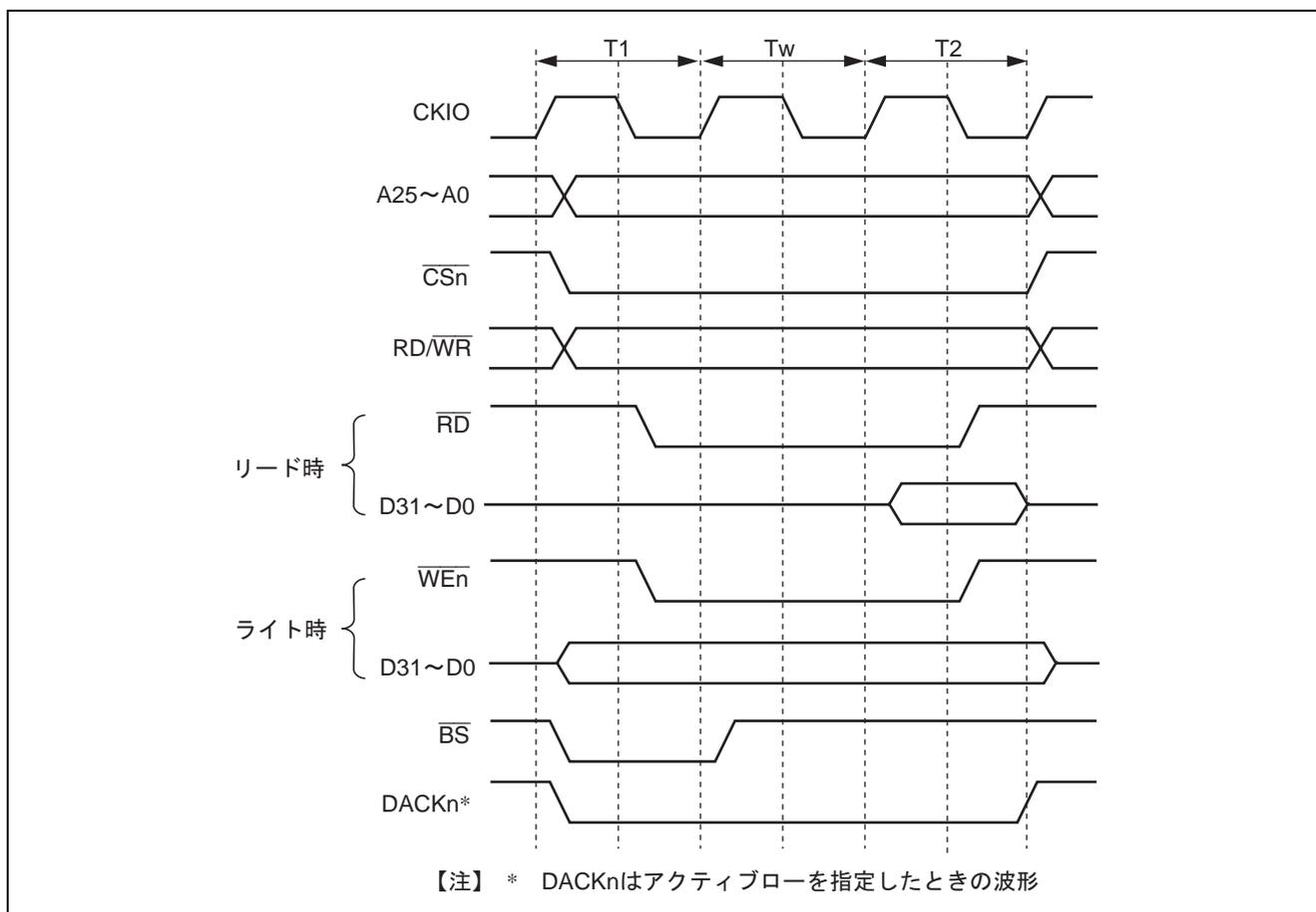


図 7.8 通常空間アクセスのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。 $\overline{\text{WAIT}}$ 信号のサンプリングを図 7.9 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。 $\overline{\text{WAIT}}$ 信号は、T1 または Tw サイクルから T2 サイクルに移行する際に、CKIO の立ち下がりでサンプリングされます。

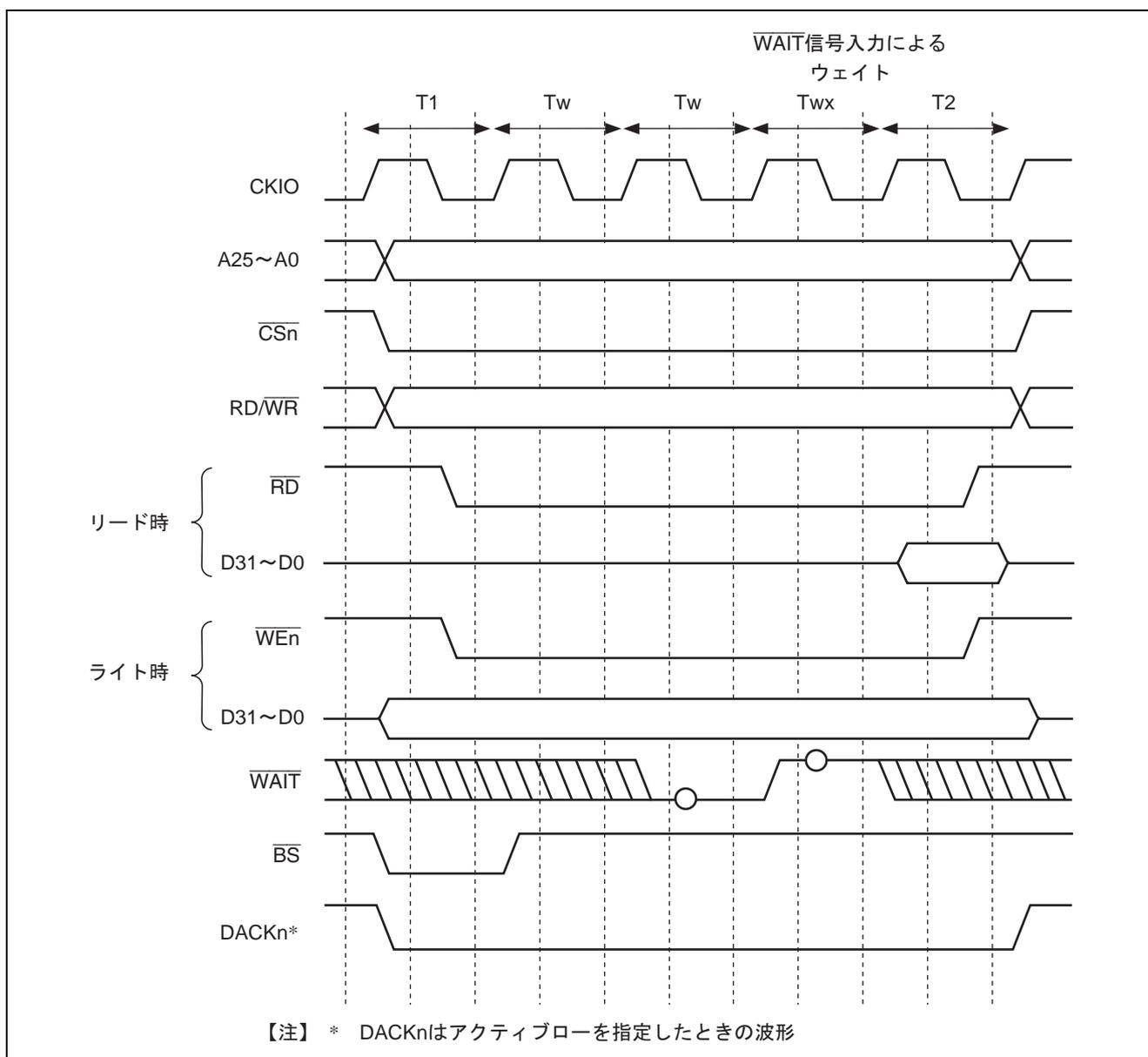


図 7.9 通常空間アクセスのウェイトタイミング ($\overline{\text{WAIT}}$ 信号によるウェイト挿入)

7.5.4 \overline{CSn} アサート期間拡張

\overline{CSnWCR} の SW[1:0] ビットの設定により、 \overline{CSn} アサートから \overline{RD} と \overline{WEn} アサートまでのサイクル数を指定できます。また、HW[1:0] ビットの設定により、 \overline{RD} と \overline{WEn} ネゲートから \overline{CSn} ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を図 7.10 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、 \overline{RD} と \overline{WEn} 以外はアサートされますが、 \overline{RD} と \overline{WEn} はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

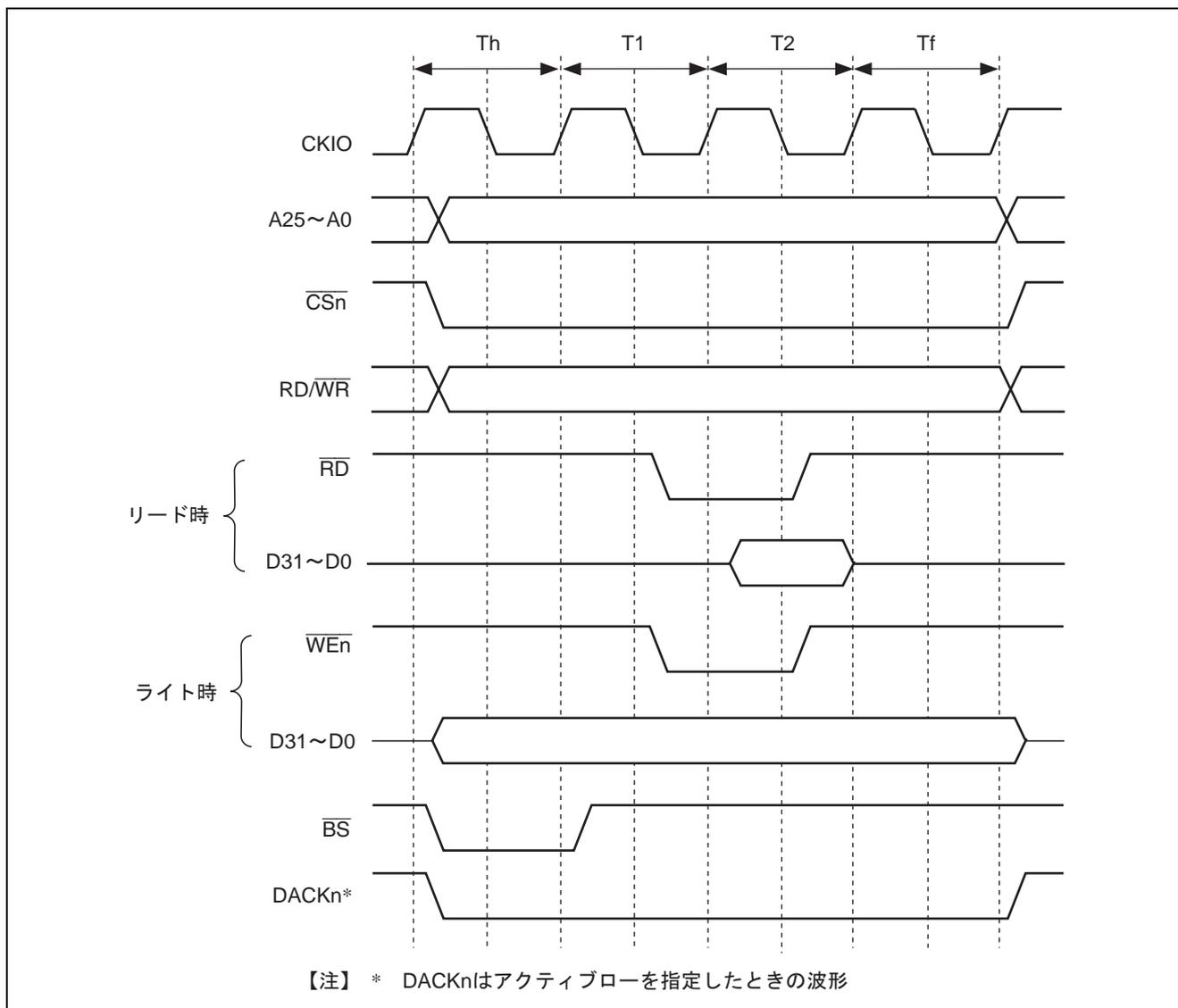


図 7.10 \overline{CSn} アサート期間拡張

7.5.5 SDRAM インタフェース

(1) SDRAM 直結インタフェース

本 LSI に接続可能な SDRAM は、ロウアドレスが 11/12/13 ビット、カラムアドレスが 8/9/10 ビット、バンク数が 4 以下、リード・ライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を直結するための制御信号は、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、DQMUU、DQMUL、DQMLU、DQMLL、CKE、および $\overline{\text{CS3}}$ です。 $\overline{\text{CS3}}$ を除く信号は各空間に共通であり、CKE を除く信号は $\overline{\text{CS3}}$ がアサートされているときのみ有効になります。最大 2 空間に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は、32 ビットまたは 16 ビットに設定可能です。

SDRAM の動作モードとしては、バーストリード/シングルライト (バースト長 1) とバーストリード/バーストライト (バースト長 1) をサポートしています。

$\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、および特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドは、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、およびモードレジスタ書き込み (MRS、EMRS) などをサポートしています。

アクセスするバイトの指定は、DQMUU、DQMUL、DQMLU、および DQMLL によって行われます。該当する DQM_{xx} がローレベルのバイトに対してリード/ライトが行われます。DQM_{xx} とアクセスするバイトの関係は、「7.5.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

図 7.11、図 7.12 に本 LSI と SDRAM との接続例を示します。

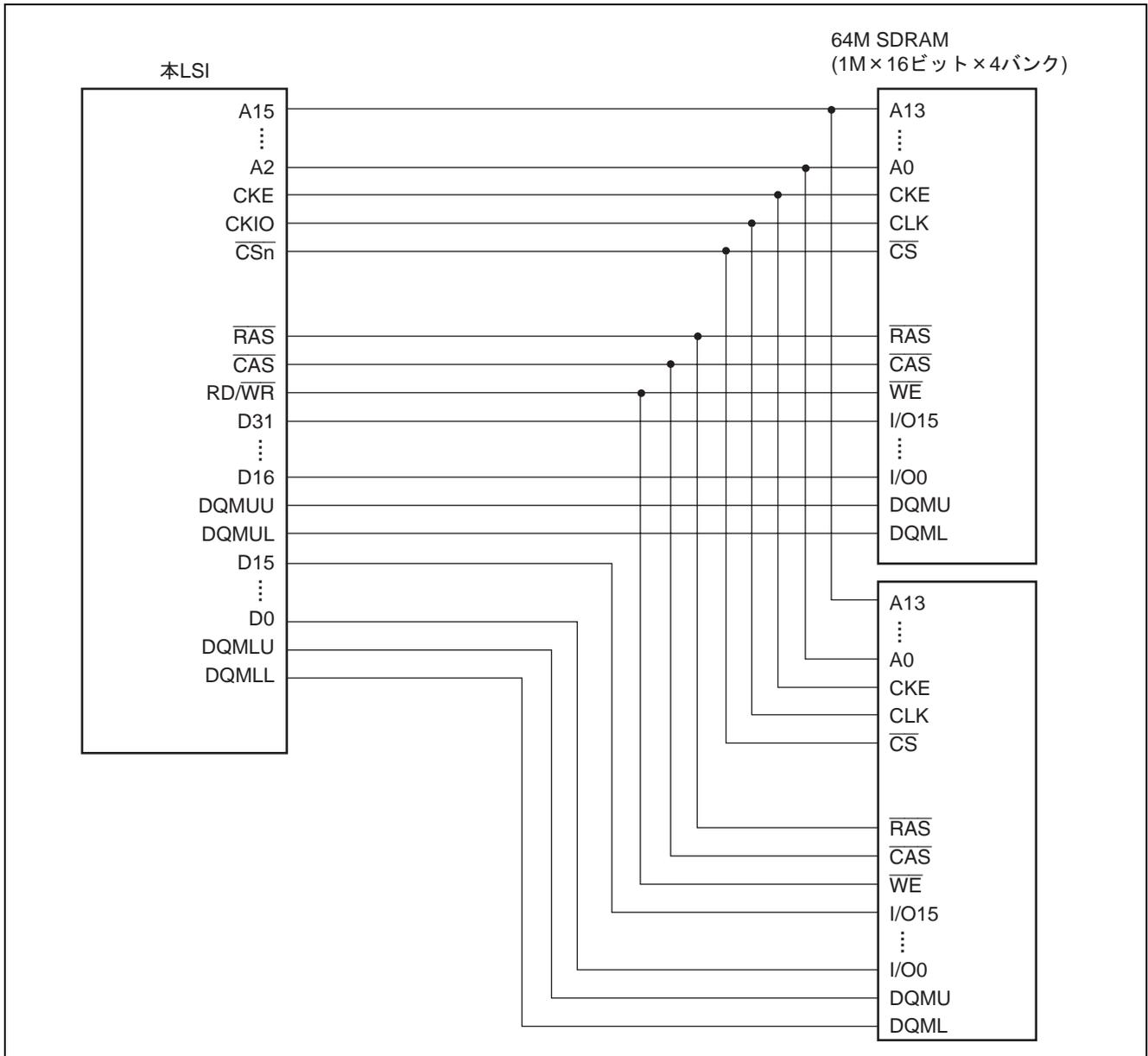


図 7.11 32 ビットデータ幅 SDRAM 接続例

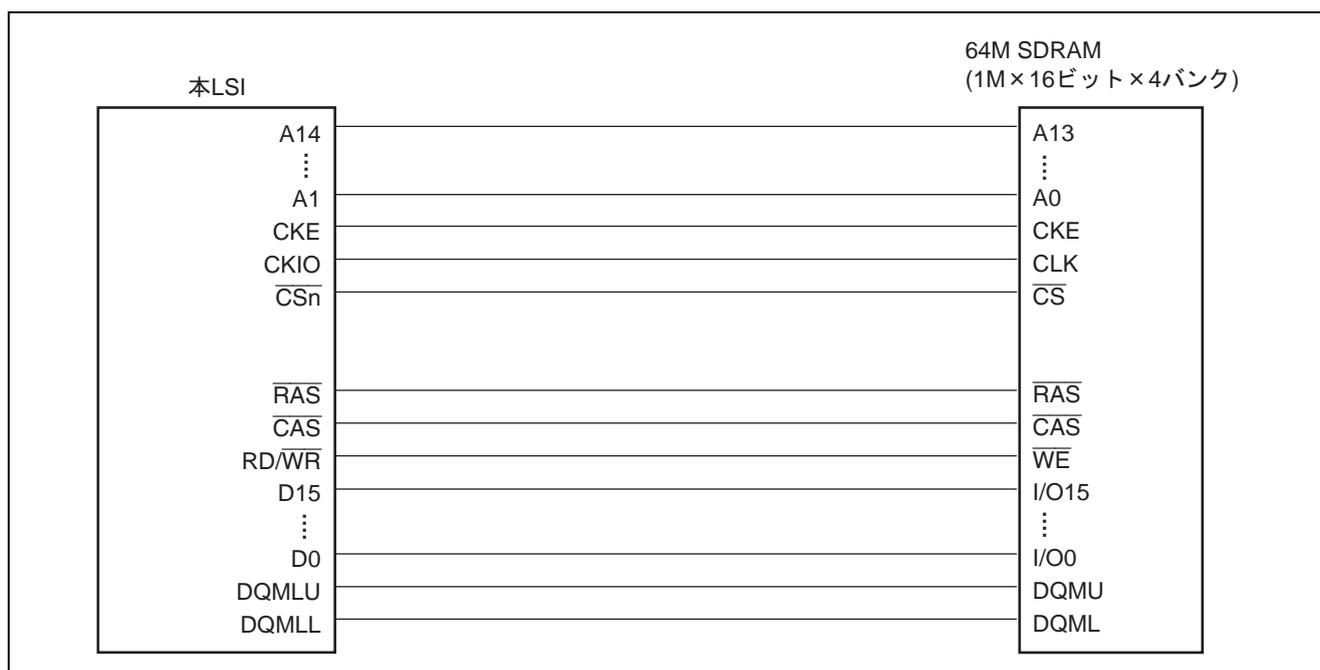


図 7.12 16 ビットデータ幅 SDRAM 接続例

(2) アドレスマルチプレクス

CSnBCR の BSZ[1:0]ビット、SDCR の A2ROW[1:0]ビット、A2COL[1:0]ビット、A3ROW[1:0]ビット、および A3COL[1:0]ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスのマルチプレクスを行います。表 7.11～表 7.16 に BSZ[1:0]、A2ROW[1:0]ビット、A2COL[1:0]ビット、A3ROW[1:0]ビット、および A3COL[1:0]ビットの設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は、行わないでください。この表以外の設定を行った場合の動作は、保証されません。A25～A18 は、マルチプレクスを行わず常に本来のアドレスが出力されています。

データバス幅が 16 ビットするとき (BSZ[1:0]=B'10) は、SDRAM の A0 端子はワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。データバス幅が 32 ビットするとき (BSZ[1:0]=B'11) は、SDRAM の A0 端子はロングワードアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

表 7.11 BSZ[1:0]、A3ROW[1:0]、A3COL[1:0]とアドレスマルチプレクスの関係 (1)

設 定				
BSZ[1:0]	A3ROW[1:0]	A3COL[1:0]		
11 (32 ビット)	00 (11 ビット)	00 (8 ビット)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	SDRAM の 端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22*2*3	A22*2*3	A12(BA1)	バンク指定
A13	A21*2	A21*2	A11(BA0)	
A12	A20	L/H*1	A10/AP	アドレス/ プリチャージ指 定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1		未使用
A0	A8	A0		
接続メモリ例				
64M ビット品 (512K ワード×32 ビット×4 バンク、コラム 8 ビット品) 1 個 16M ビット品 (512K ワード×16 ビット×2 バンク、コラム 8 ビット品) 2 個				

設 定				
BSZ[1:0]	A3ROW[1:0]	A3COL[1:0]		
11 (32 ビット)	01 (12 ビット)	00 (8 ビット)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス	SDRAM の 端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23*2	A23*2	A13(BA1)	バンク指定
A14	A22*2	A22*2	A12(BA0)	
A13	A21	A13	A11	アドレス
A12	A20	L/H*1	A10/AP	アドレス/ プリチャージ指 定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1		未使用
A0	A8	A0		
接続メモリ例				
128M ビット品 (1M ワード×32 ビット×4 バンク、コラム 8 ビット品) 1 個 64M ビット品 (1M ワード×16 ビット×4 バンク、コラム 8 ビット品) 2 個				

【注】 *1 L/H はコマンド指定に用いられるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

*3 64 ビット品のみ適用されます。

表 7.12 BSZ[1:0]、A3ROW[1:0]、A3COL[1:0]とアドレスマルチプレクスの関係 (2)

設 定			SDRAM の 端子	機能
BSZ[1:0]	A3ROW[1:0]	A3COL[1:0]		
11 (32 ビット)	01 (12 ビット)	01 (9 ビット)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス		
A17	A26	A17		未使用
A16	A25	A16		
A15	A24* ²	A24* ²	A13(BA1)	バンク指定
A14	A23* ²	A23* ²	A12(BA0)	
A13	A22	A13	A11	アドレス
A12	A21	L/H* ¹	A10/AP	アドレス/ プリチャージ指 定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		未使用
A0	A9	A0		
接続メモリ例				
256M ビット品 (2M ワード×32 ビット×4 バンク、コラム 9 ビット品) 1 個 128M ビット品 (2M ワード×16 ビット×4 バンク、コラム 9 ビット品) 2 個				

設 定			SDRAM の 端子	機能
BSZ[1:0]	A3ROW[1:0]	A3COL[1:0]		
11 (32 ビット)	01 (12 ビット)	10 (10 ビット)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス		
A17	A27	A17		未使用
A16	A26	A16		
A15	A25* ²	A25* ²	A13(BA1)	バンク指定
A14	A24* ²	A24* ²	A12(BA0)	
A13	A23	A13	A11	アドレス
A12	A22	L/H* ¹	A10/AP	アドレス/ プリチャージ指 定
A11	A21	A11	A9	アドレス
A10	A20	A10	A8	
A9	A19	A9	A7	
A8	A18	A8	A6	
A7	A17	A7	A5	
A6	A16	A6	A4	
A5	A15	A5	A3	
A4	A14	A4	A2	
A3	A13	A3	A1	
A2	A12	A2	A0	
A1	A11	A1		未使用
A0	A10	A0		
接続メモリ例				
512M ビット品 (4M ワード×32 ビット×4 バンク、コラム 10 ビット品) 1 個 256M ビット品 (4M ワード×16 ビット×4 バンク、コラム 10 ビット品) 2 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 7.13 BSZ[1:0]、A3ROW[1:0]、A3COL[1:0]とアドレスマルチプレクスの関係 (3)

設 定			SDRAM の端子	機能
BSZ[1:0]	A3ROW[1:0]	A3COL[1:0]		
11 (32 ビット)	10 (13 ビット)	01 (9 ビット)		
本 LSI の出力端子	出力される ロウアドレス	出力される コラムアドレス		
A17	A26	A17		未使用
A16	A25* ²	A25* ²	A14(BA1)	バンク指定
A15	A24* ²	A24* ²	A13(BA0)	
A14	A23	A14	A12	アドレス
A13	A22	A13	A11	
A12	A21	L/H* ¹	A10/AP	アドレス/プリチャージ指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		
A0	A9	A0		
接続メモリ例				
512M ビット品 (4M ワード×32 ビット×4 バンク、コラム 9 ビット品) 1 個				
256M ビット品 (4M ワード×16 ビット×4 バンク、コラム 9 ビット品) 2 個				

【注】 *1 L/H はコマンド指定に用いられるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 7.14 BSZ[1:0]、A3ROW[1:0]、A3COL[1:0]とアドレスマルチプレクスの関係 (4)

設 定			SDRAM の 端子	機能
BSZ[1:0]	A3ROW[1:0]	A3COL[1:0]		
10 (16 ビット)	00 (11 ビット)	00 (8 ビット)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス		
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22	A14		
A13	A21* ²	A21* ²		
A12	A20* ²	A20* ²	A11(BA0)	バンク指定
A11	A19	L/H* ¹	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		未使用
接続メモリ例				
16M ビット品 (512K ワード×16 ビット×2 バンク、コラム 8 ビット品) 1 個				

設 定			SDRAM の 端子	機能
BSZ[1:0]	A3ROW[1:0]	A3COL[1:0]		
10 (16 ビット)	01 (12 ビット)	00 (8 ビット)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス		
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22* ²	A22* ²	A13(BA1)	バンク指定
A13	A21* ²	A21* ²	A12(BA0)	
A12	A20	A12	A11	アドレス
A11	A19	L/H* ¹	A10/AP	アドレス/ プリチャージ 指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		未使用
接続メモリ例				
64M ビット品 (1M ワード×16 ビット×4 バンク、コラム 8 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 7.15 BSZ[1:0]、A3ROW[1:0]、A3COL[1:0]とアドレスマルチプレクスの関係 (5)

設 定			SDRAM の 端子	機 能
BSZ[1:0]	A3ROW[1:0]	A3COL[1:0]		
10 (16 ビット)	01 (12 ビット)	01 (9 ビット)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス		
A17	A26	A17		未使用
A16	A25	A16		
A15	A24	A15		
A14	A23* ²	A23* ²	A13(BA1)	バンク指定
A13	A22* ²	A22* ²	A12(BA0)	
A12	A21	A12	A11	アドレス
A11	A20	L/H* ¹	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
128M ビット品 (2M ワード×16 ビット×4 バンク、コラム 9 ビット品) 1 個				

設 定			SDRAM の 端子	機 能
BSZ[1:0]	A3ROW[1:0]	A3COL[1:0]		
10 (16 ビット)	01 (12 ビット)	10 (10 ビット)		
本 LSI の 出力端子	出力される ロウアドレス	出力される コラムアドレス		
A17	A27	A17		未使用
A16	A26	A16		
A15	A25	A15		
A14	A24* ²	A24* ²	A13(BA1)	バンク指定
A13	A23* ²	A23* ²	A12(BA0)	
A12	A22	A12	A11	アドレス
A11	A21	L/H* ¹	A10/AP	アドレス/ プリチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、コラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

表 7.16 BSZ[1:0]、A3ROW[1:0]、A3COL[1:0]とアドレスマルチプレクスの関係 (6)

設 定			SDRAM の 端子	機 能
BSZ[1:0] 10 (16 ビット)	A3ROW[1:0] 10 (13 ビット)	A3COL[1:0] 01 (9 ビット)		
本 LSI の出力 端子	出力される ロウアドレス	出力される コラムアドレス		
A17	A26	A17		未使用
A16	A25	A16		
A15	A24* ²	A24* ²	A14(BA1)	バンク指定
A14	A23* ²	A23* ²	A13(BA0)	
A13	A22	A13	A12	アドレス
A12	A21	A12	A11	
A11	A20	L/H* ¹	A10/AP	アドレス/ プリチャージ 指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
256M ビット品 (4M ワード×16 ビット×4 バンク、コラム 9 ビット品) 1 個				

設 定			SDRAM の 端子	機 能
BSZ[1:0] 10 (16 ビット)	A3ROW[1:0] 10 (13 ビット)	A3COL[1:0] 10 (10 ビット)		
本 LSI の出力 端子	出力される ロウアドレス	出力される コラムアドレス		
A17	A27	A17		未使用
A16	A26	A16		
A15	A25* ²	A25* ²	A14(BA1)	バンク指定
A14	A24* ²	A24* ²	A13(BA0)	
A13	A23	A13	A12	アドレス
A12	A22	A12	A11	
A11	A21	L/H* ¹	A10/AP	アドレス/ プリチャージ 指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
512M ビット品 (8M ワード×16 ビット×4 バンク、コラム 10 ビット品) 1 個				

【注】 *1 L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。

*2 バンクアドレス指定

(3) バーストリード

本 LSI でバーストリードが発生する条件は以下のとおりです。

1. データバス幅よりもリードのアクセスサイズが大きいとき
2. キャッシュミス時の16バイト転送時
3. DMACでの16バイト転送のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを読み出すときは、バースト長 1 のリードを 4 回連続して行います。このときのアクセスをバースト数 4 のバーストリードと呼びます。表 7.17 にアクセスサイズとバースト数の関係を示します。

表 7.17 アクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	16 バイト	8
32 ビット	8 ビット	1
	16 ビット	1
	32 ビット	1
	16 バイト	4

バーストリード時のタイミングチャートを図 7.13 と図 7.14 に示します。バーストリードでは ACTV コマンド出力を行う Tr サイクルに続いて、READ コマンドを Tc1、Tc2、Tc3 サイクルに、READA コマンドを Tc4 サイクルに発行し、Td1 から Td4 のサイクルに外部クロック (CKIO) の立ち上がりでリードデータを受け取ります。Tap サイクルは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。CS3WCR の WTRP[1:0] ビットの指定によって Tap のサイクル数を決定します。

本 LSI では、様々な周波数で SDRAM と接続するために CS3WCR の各ビットを設定することによりウェイトサイクルを挿入することができます。各種ウェイトの設定を行った例が図 7.15 となります。ACTV コマンド出力サイクル Tr から READ コマンド出力サイクル Tc1 までのサイクル数は、CS3WCR の WTRCD[1:0] によって指定することができます。WTRCD[1:0] の設定が 1 サイクル以上の場合、Tr サイクルと Tc1 サイクルの間に NOP コマンド発行サイクル Trw サイクルが挿入されます。READ コマンド出力サイクル Tc1 からリードデータ取りこみサイクル Td1 までのサイクル数は、CS2WCR の A2CL[1:0] ビットおよび CS3WCR の A3CL[1:0] ビットによって CS2 と CS3 の空間でそれぞれ独立に指定することができます。このサイクル数は、SDRAM の CAS レイテンシに相当します。SDRAM の CAS レイテンシの仕様は 3 サイクルまでですが、本 LSI では、1 サイクルから 4 サイクルまで設定できます。これは、本 LSI と SDRAM の間にラッチを含む回路を設けて接続するためのものです。

Tde サイクルは、本 LSI 内部にリードデータを転送するために必要なアイドルサイクルで、バーストリード、シングルリード時に必ず 1 サイクル発生します。

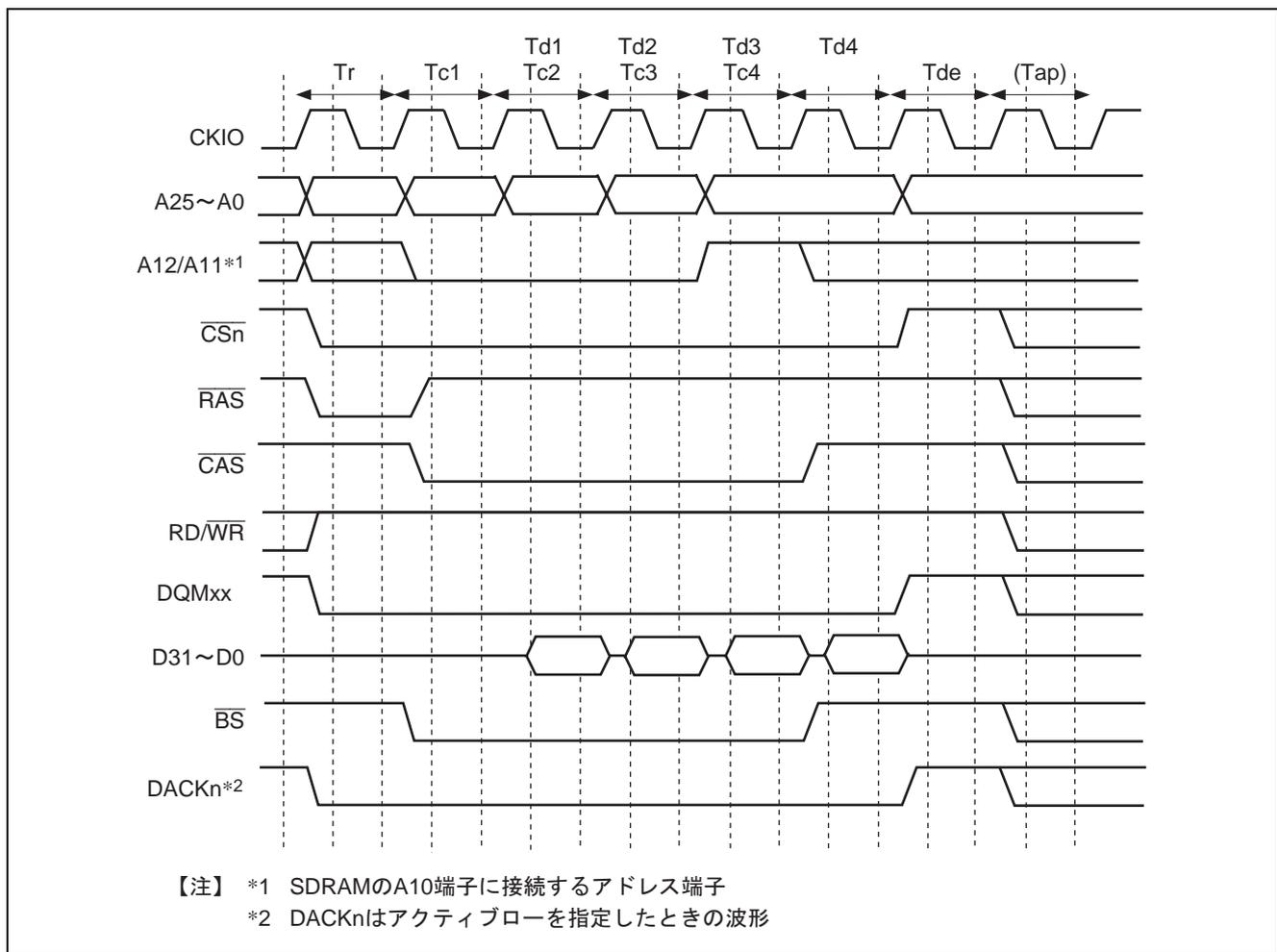


図 7.13 バーストリード基本タイミング (CAS レイテンシ 1、オートプリチャージ)

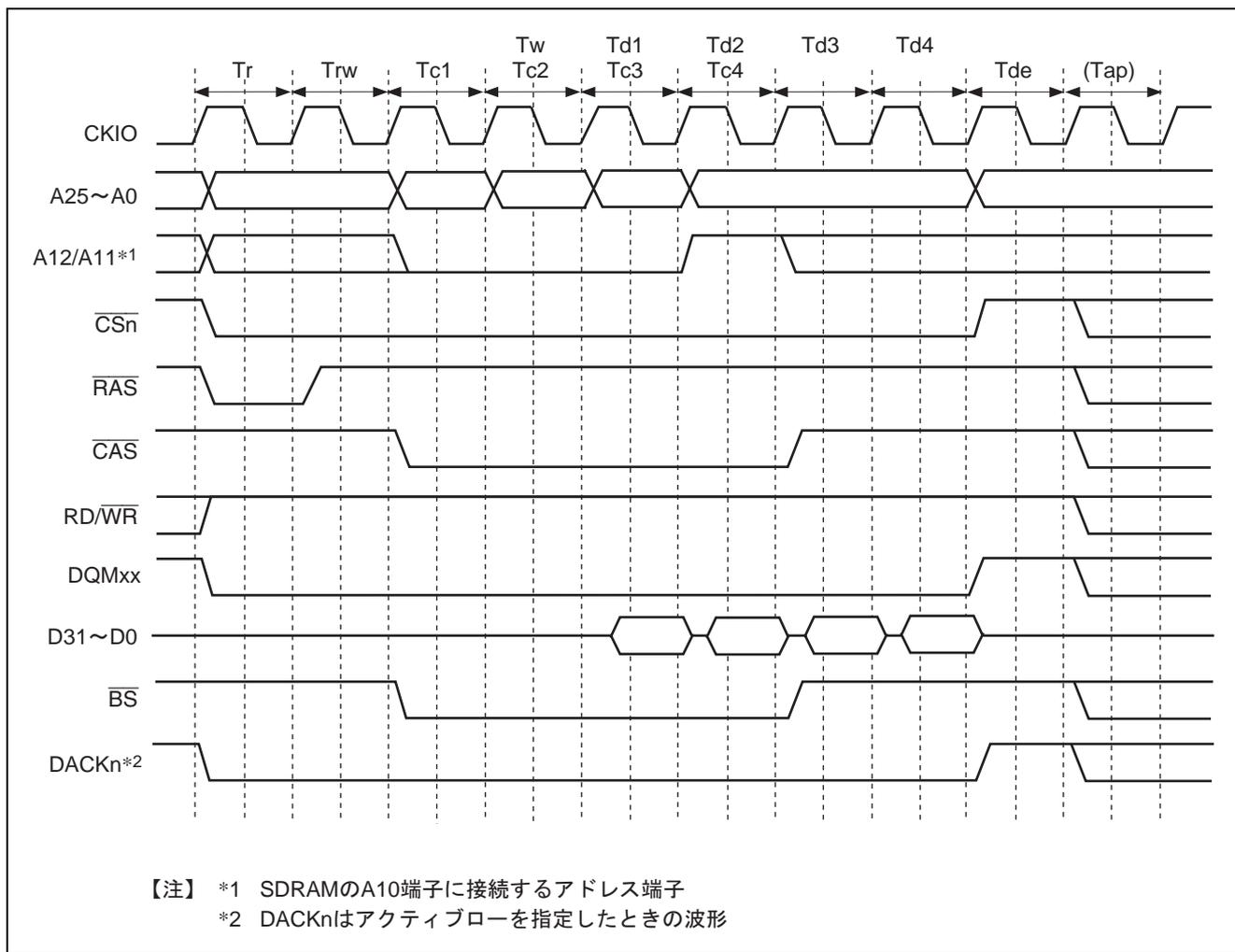


図 7.14 バーストリードウェイト指定タイミング
 (CAS レイテンシ 2、WTRCD[1:0]=1 サイクル、オートプリチャージ)

(4) シングルリード

キャッシュ無効空間でかつデータバス幅がアクセスサイズ以上のときは、リードアクセスは1回で終了します。SDRAMは、バースト長1のバーストリードに設定しているので必要なデータのみ出力します。1回で終了するリードアクセスをシングルリードと呼びます。

シングルリードの基本タイミングチャートを図7.15に示します。

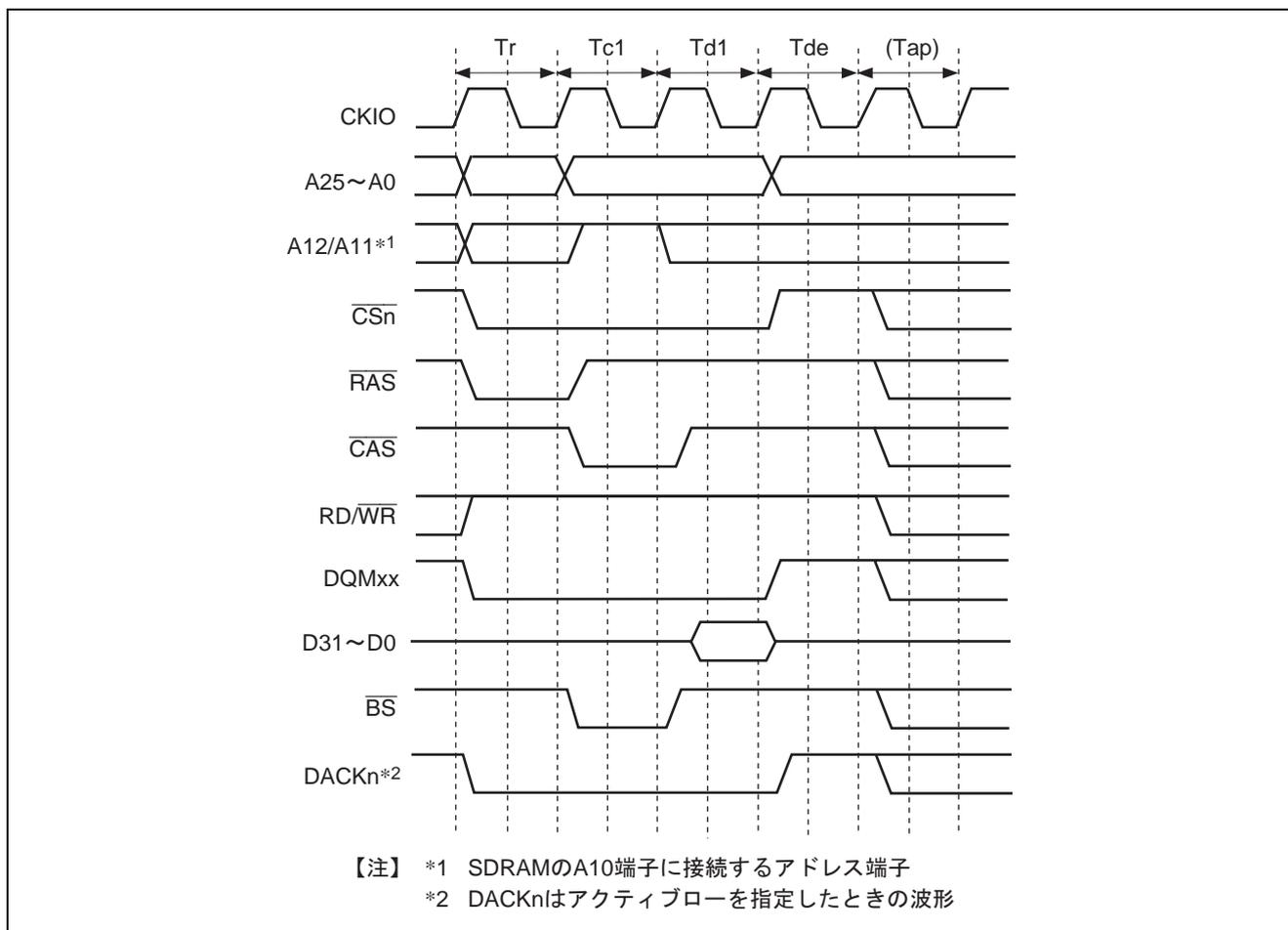


図 7.15 シングルリードの基本タイミング (CAS レイテンシ 1、オートプリチャージ)

(5) バーストライト

本 LSI でバーストライトが発生する条件は、以下のとおりです。

1. データバス幅よりもライトのアクセスサイズが大きいとき
2. キャッシュのコピーバックが発生したとき
3. DMACでの16バイト転送のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、32 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを書き込むときは、バースト長 1 のライトを 4 回連続して行います。このときのアクセスをバースト数 4 のバーストライトと呼びます。アクセスサイズとバースト数の関係は、表 7.17 に従います。図 7.16 にバーストライト時のタイミングチャートを示します。バーストライトでは ACTV コマンド出力を行う Tr サイクルに続いて WRIT コマンドを Tc1、Tc2、Tc3 サイクルに、オートプリチャージを行う WRITA コマンドを Tc4 サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間待つ Trw1 サイクル、そしてオートプリチャージの完了を待つ Tap サイクルが続きます。Tap サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルです。Trw1 サイクルおよび Tap サイクルの間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。Trw1 サイクルは CS3WCR の TRWL[1:0] ビットおよび Tap サイクルは CS3WCR の WTRP[1:0] ビットの指定で決定されます。

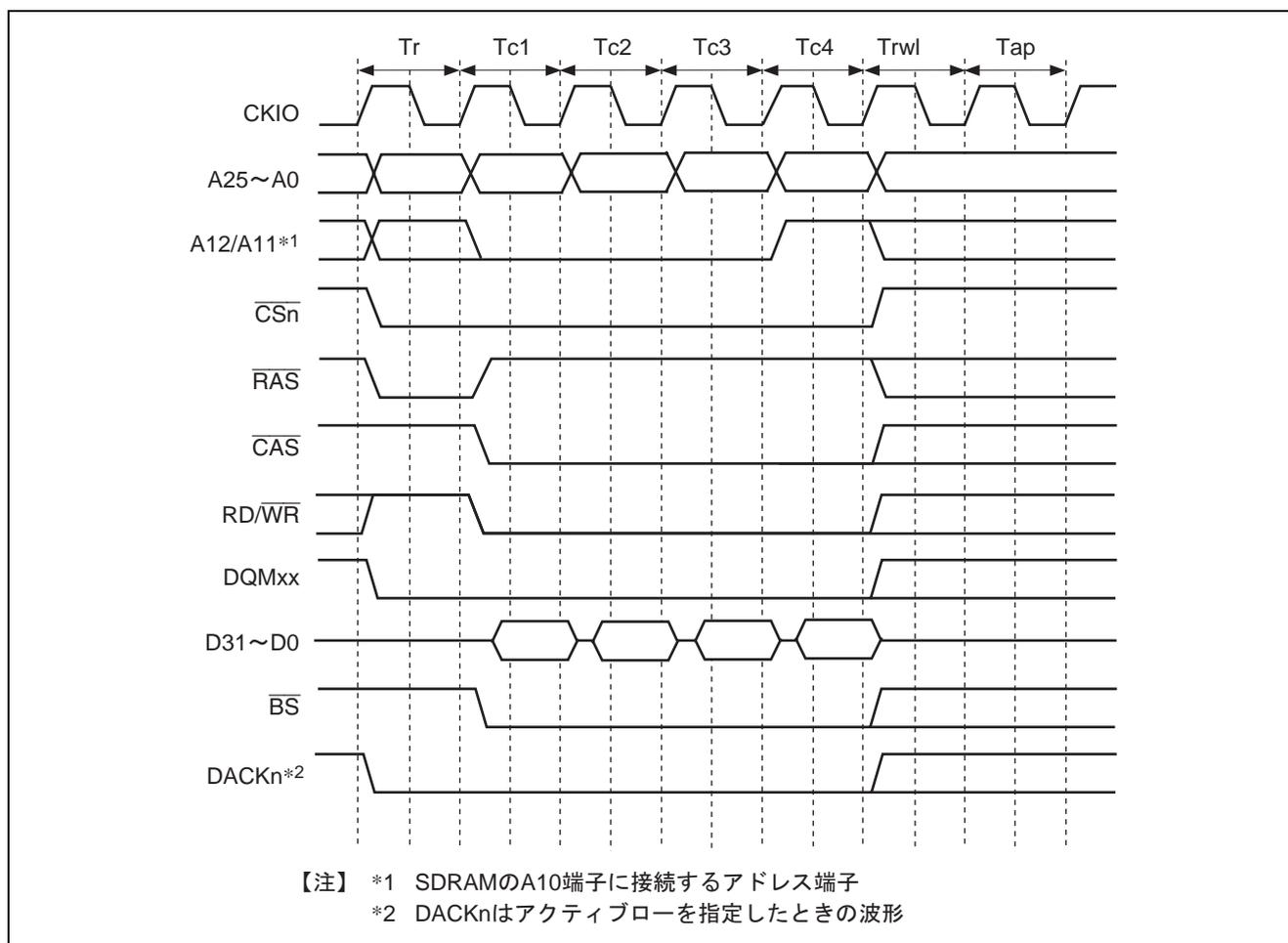


図 7.16 バーストライト基本タイミング (オートプリチャージ)

(6) シングルライト

キャッシュ無効空間でかつデータバス幅がアクセスサイズ以上のときは、ライトアクセスは1回で終了します。SDRAMは、シングルライトまたはバースト長1のバーストライトに設定しているため、必要なデータのみライトされます。1回で終了するライトアクセスをシングルライトと呼びます。シングルライトの基本タイミングチャートを図7.17に示します。

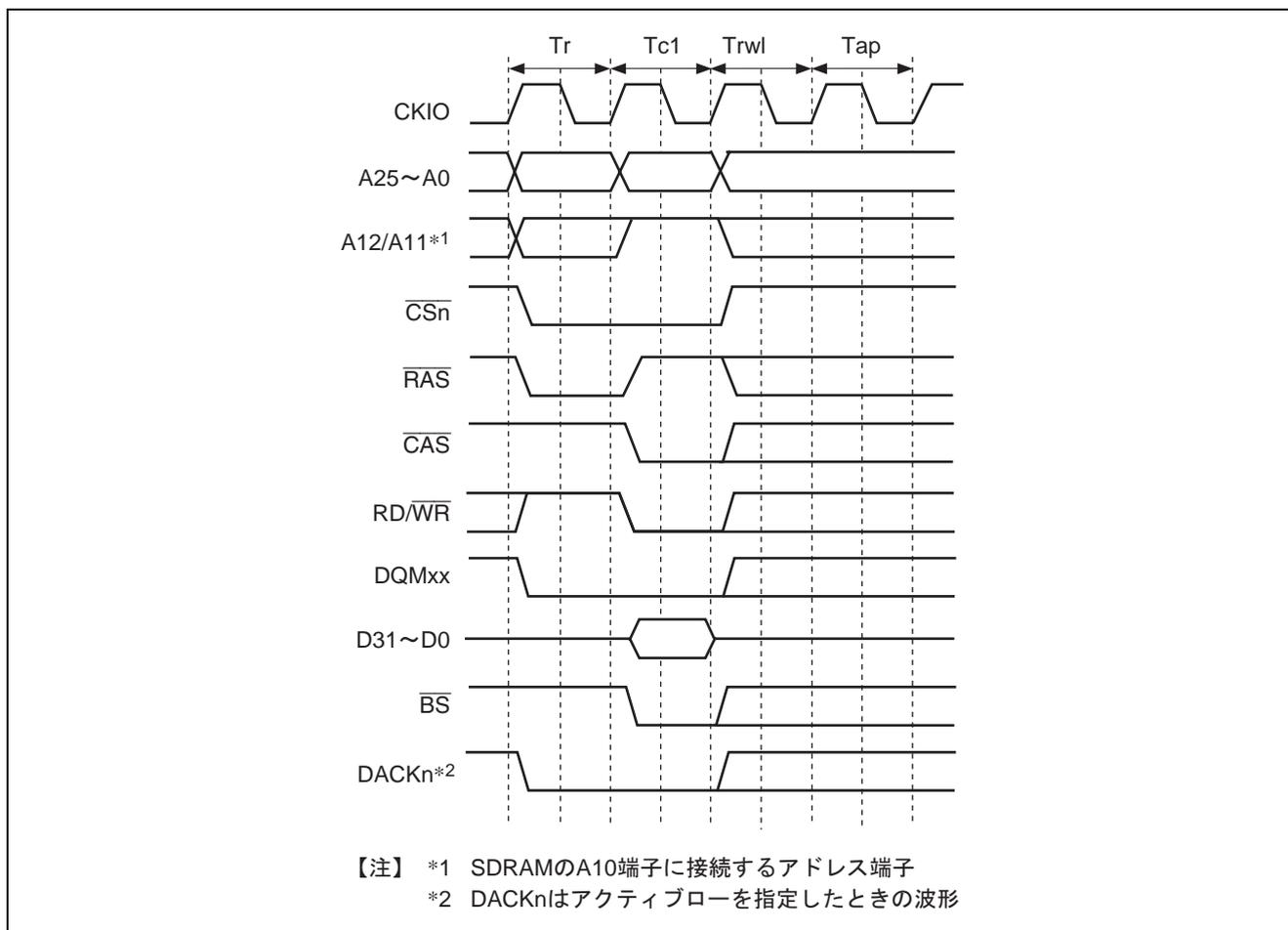


図 7.17 シングルライト基本タイミング (オートプリチャージ)

(7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAM のバンク機能を使用することができます。SDCR の BACTV ビットが 1 の場合は、オートプリチャージなしのコマンド (READ または WRIT) を使用してアクセスを行います。これをバンクアクティブ機能といいます。

バンクアクティブ機能を用いた場合は、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合は、ACTV コマンドを発行せずに、ただちに READ または WRIT コマンドを発行することができます。SDRAM の内部は複数のバンクに分かれているので、それぞれのバンクで 1 つずつのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのサイクル数は、CS3WCR の WTRP[1:0] ビットで指定します。

書き込みの場合は、オートプリチャージを行うと、WRITA コマンド発行後 Trwl+Tap サイクルの間同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに Trwl+Tap サイクルだけサイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間 (tRAS) には、制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を tRAS 以下に設定する必要があります。

図 7.18 にオートプリチャージのないバーストリードサイクルを、図 7.19 には同一のロウアドレスに対するバーストリードサイクルを、図 7.20 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に、図 7.21 にオートプリチャージのないシングルライトサイクルを、図 7.22 に同一のロウアドレスに対するシングルライトサイクルを、図 7.23 には異なるロウアドレスに対するシングルライトサイクルを示します。

図 7.19 において READ コマンドを発行する Tc サイクルに先立って、何も行わない Tnop サイクルが挿入されています。これは SDRAM からのデータリード時に、読み出しバイト指定を行う DQMxx 信号について、2 サイクルのレイテンシを守るために挿入されています。CAS レイテンシが 2 以上の場合には、Tc サイクル以降に DQMxx 信号をアサートしても 2 サイクルのレイテンシが守られるので、Tnop サイクルの挿入は行われません。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合は、同一のロウアドレスに対するアクセスが続くかぎり、図 7.18 または図 7.21 で始まり、図 7.19 または図 7.22 を繰り返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合は、図 7.19 または図 7.22 の代わりに図 7.20 または図 7.23 のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後またはバスアービトレーションによるバス解放の後には、すべてのバンクが非アクティブな状態になります。

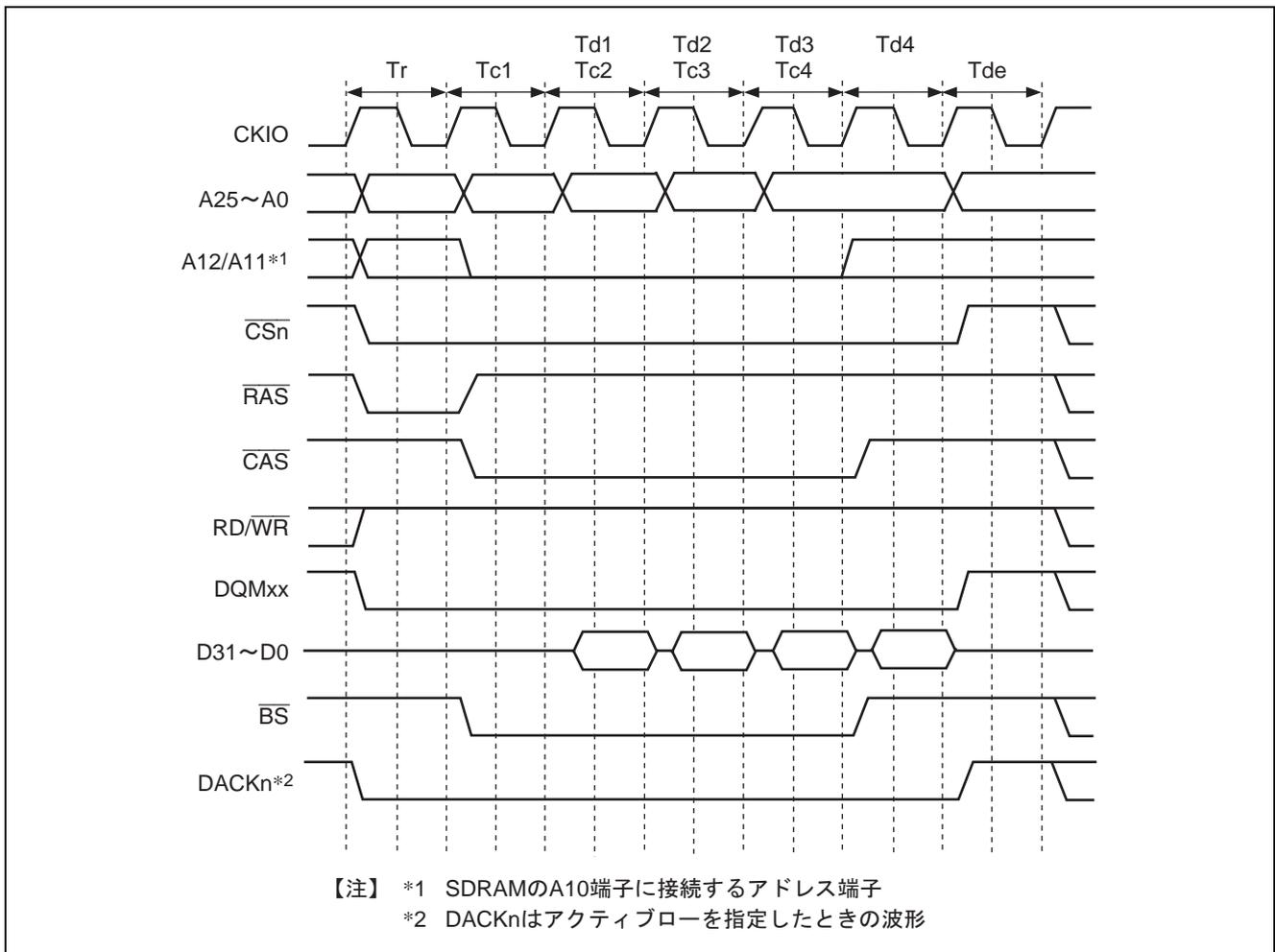


図 7.18 バーストリードタイミング (バンクアクティブ、異なるバンク、CAS レイテンシ 1)

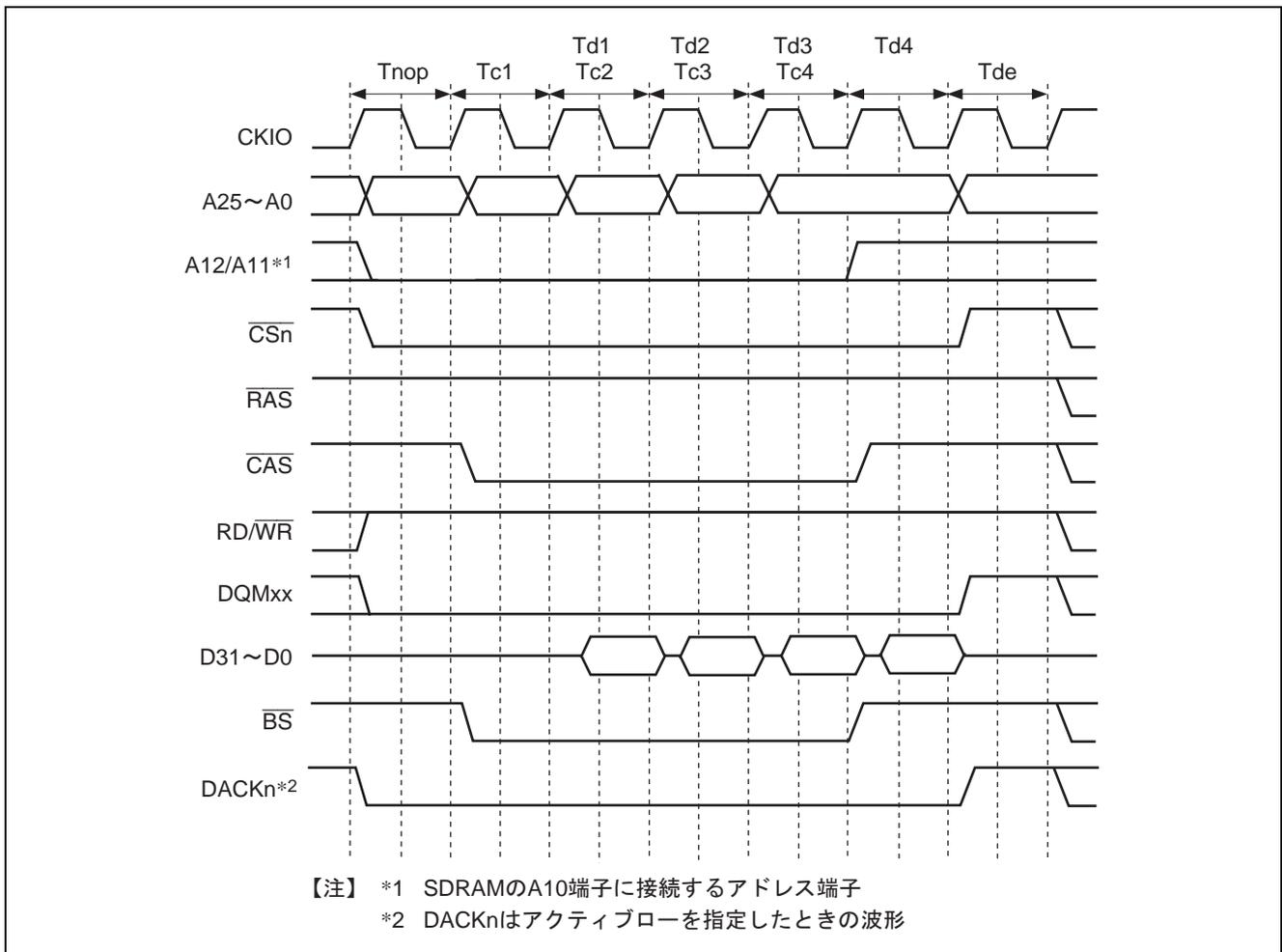


図 7.19 バーストリードタイミング
(バンクアクティブ、同一バンクで同一ロウアドレス、CAS レイテンシ 1)

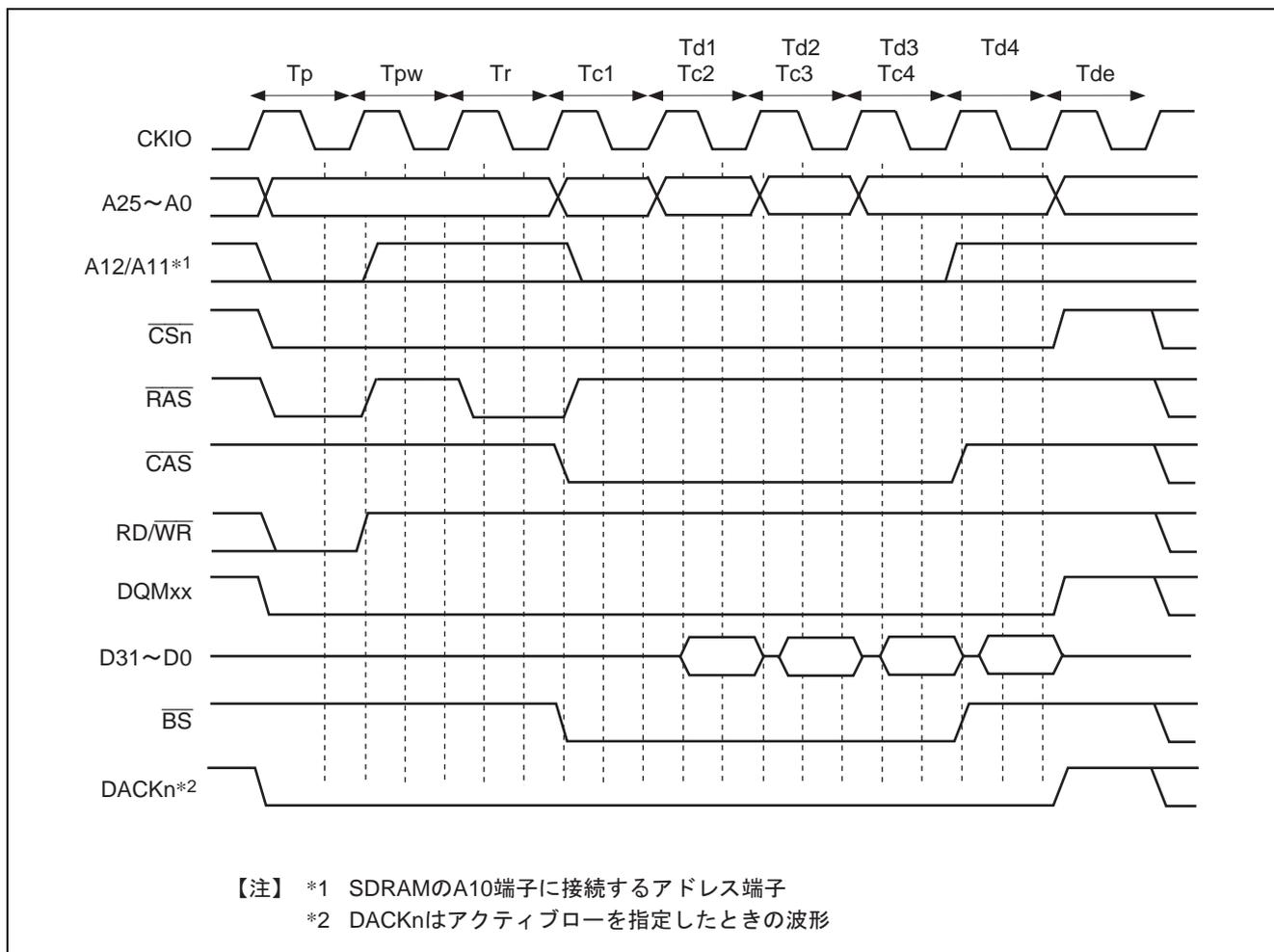


図 7.20 バーストリードタイミング
(バンクアクティブ、同一バンクで異なるロウアドレス、CAS レイテンシ 1)

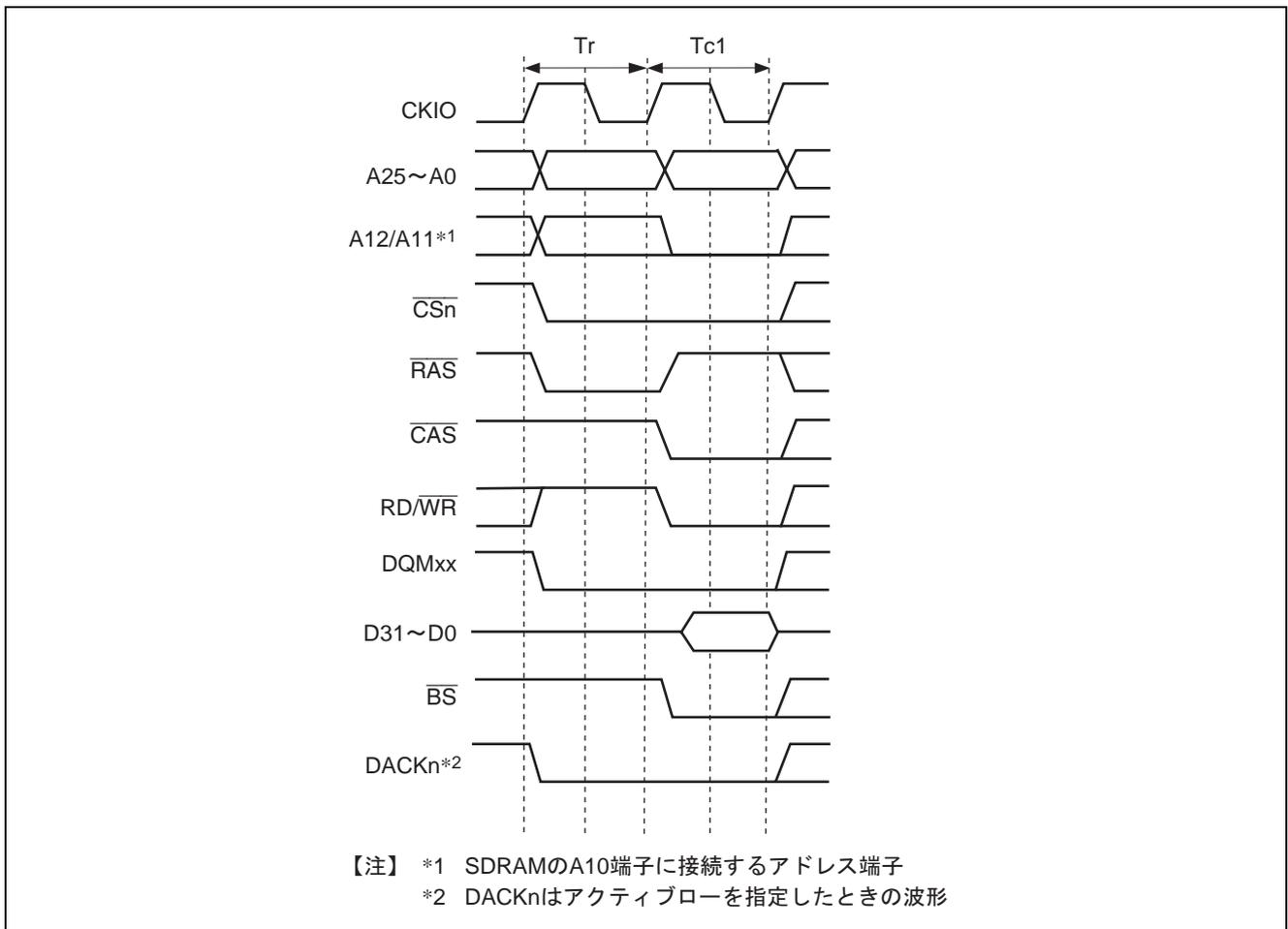


図 7.21 シングルライトタイミング (バンクアクティブ、異なるバンク)

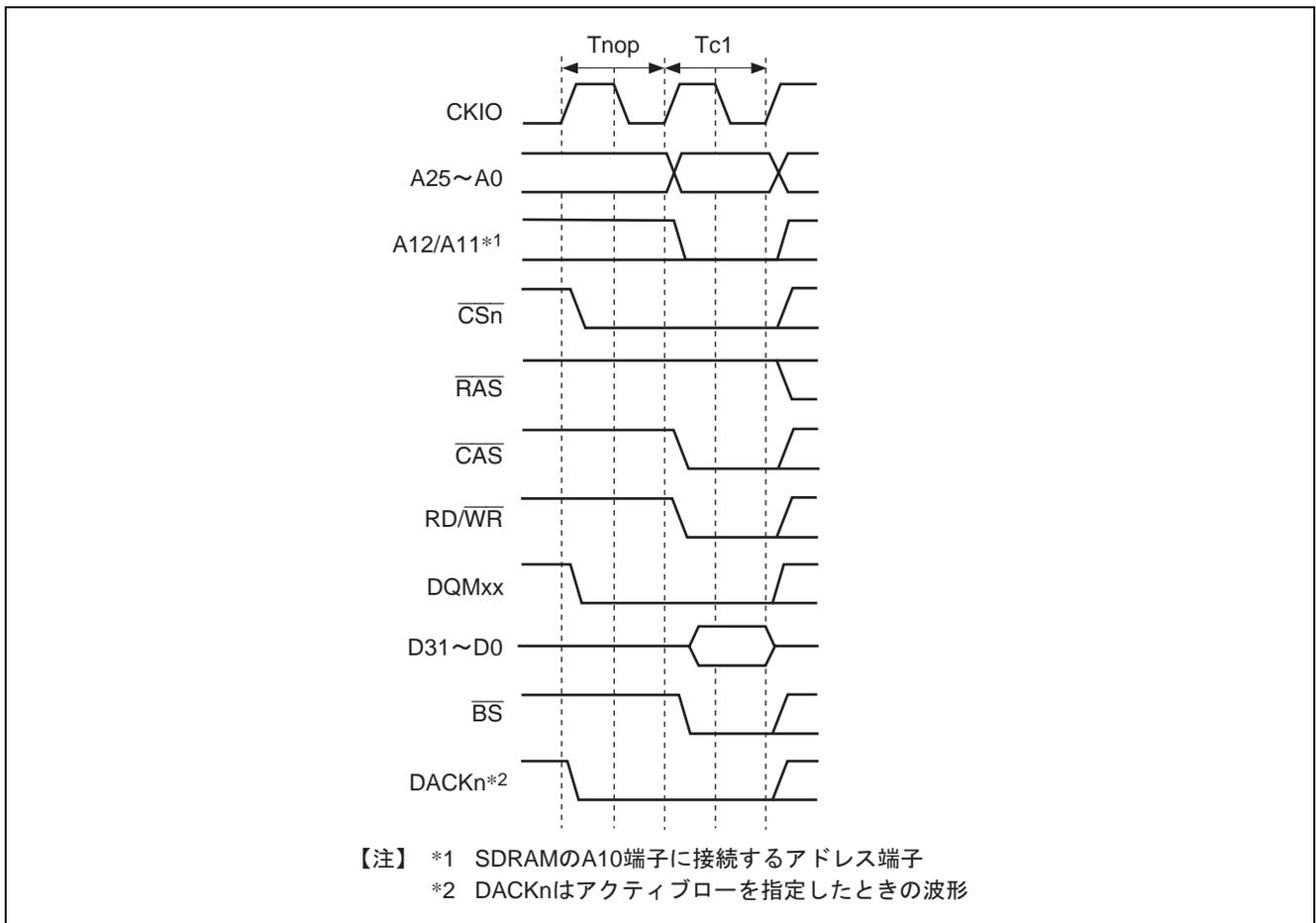


図 7.22 シングルライトタイミング (バンクアクティブ、同一バンクで同一ロウアドレス)

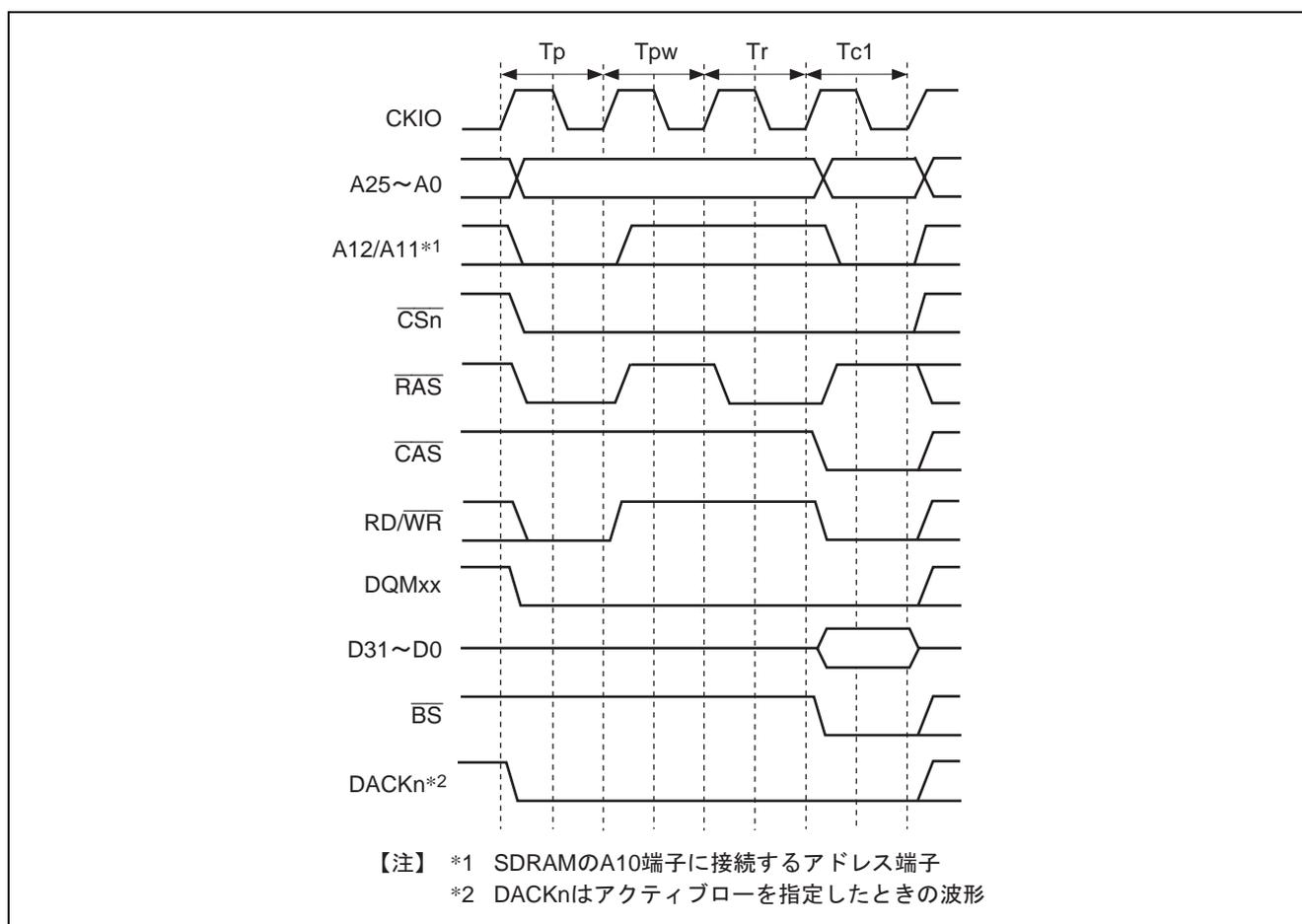


図 7.23 シングルライトタイミング (バンクアクティブ、同一バンクで異なるロウアドレス)

(8) リフレッシュ

BSCは、SDRAMのリフレッシュを制御する機能を備えています。SDCRのRFSHビットを1に、RMODEビットを0に設定することによって、オートリフレッシュを行うことができます。また、RTCSRのRRC[2:0]ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間SDRAMにアクセスしないときは、RFSHビットとRMODEビットをともに1にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

(a) オートリフレッシュ

RTCSRのCKS[2:0]ビットで選択した入力クロックと、RTCORに設定した値とで決まる間隔でRTCSRのRRC[2:0]ビットに設定した回数のリフレッシュが行われます。使用するSDRAMのリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初にRTCOR、RTCNT、SDCRのRFSHビットおよび、RMODEビットの設定を行い、次いでRTCSRのCKS[2:0]ビットおよび、RRC[2:0]ビットの設定を行ってください。CKS[2:0]ビットによって入力クロックを選択すると、RTCNTはそのときの値からカウントアップを開始します。RTCNTの値は常にRTCORの値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0]ビットに設定された回数のオートリフレッシュが実行されます。同時にRTCNTは0にクリアされ、カウントアップが再開されます。

図 7.24 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状態にするため、 T_p サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定された数のアイドルサイクル挿入後、REF コマンドを T_{rr} サイクルに発行します。 T_{rr} サイクル後 CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間は、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定 (t_{RC}) を満たすように WTRC[1:0] ビットを設定する必要があります。CS3WCR の WTRP[1:0] ビットの設定値が 1 サイクル以上の場合、 T_p サイクルと T_{rr} サイクルの間にアイドルサイクルが挿入されます。

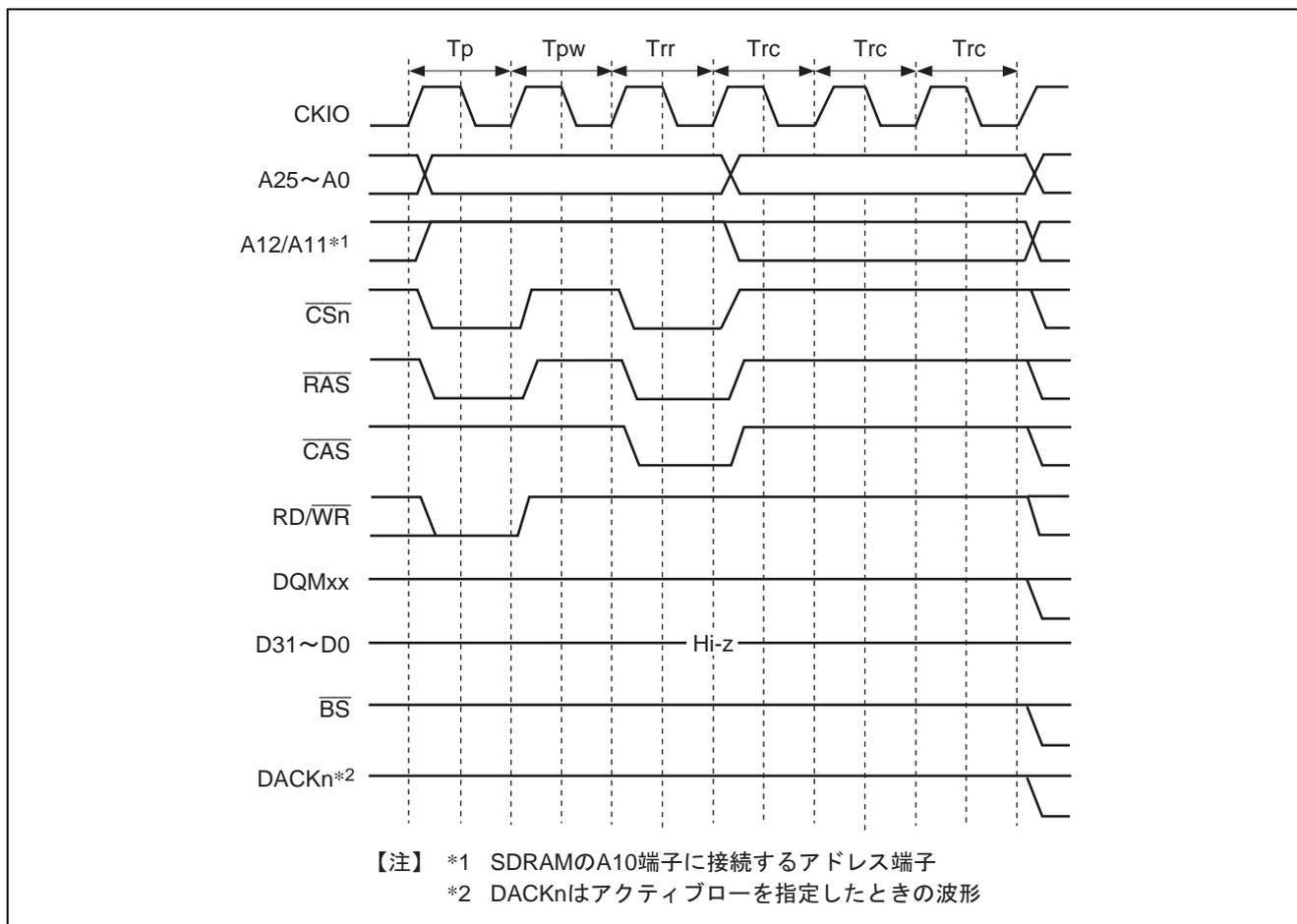


図 7.24 オートリフレッシュタイミング

(b) セルフリフレッシュ

セルフリフレッシュは、SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR の RFSH ビットと RMODE ビットをともに 1 にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、Tp サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定されたアイドルサイクルを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は、RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間はコマンドの発行を行いません。

セルフリフレッシュのタイミングを図 7.25 に示します。セルフリフレッシュ解除後、ただちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合は、セルフリフレッシュ解除時に RFSH=1、RMODE=0 とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、(RTCOR の値-1) を RTCNT に設定することにより、ただちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後は、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。ただし、CMNCR レジスタの HIZCNT ビットを 1 に設定し、スタンバイ状態でも CKE 他端子をドライブする必要があります。

パワーオンリセットの場合には、BSC のレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。

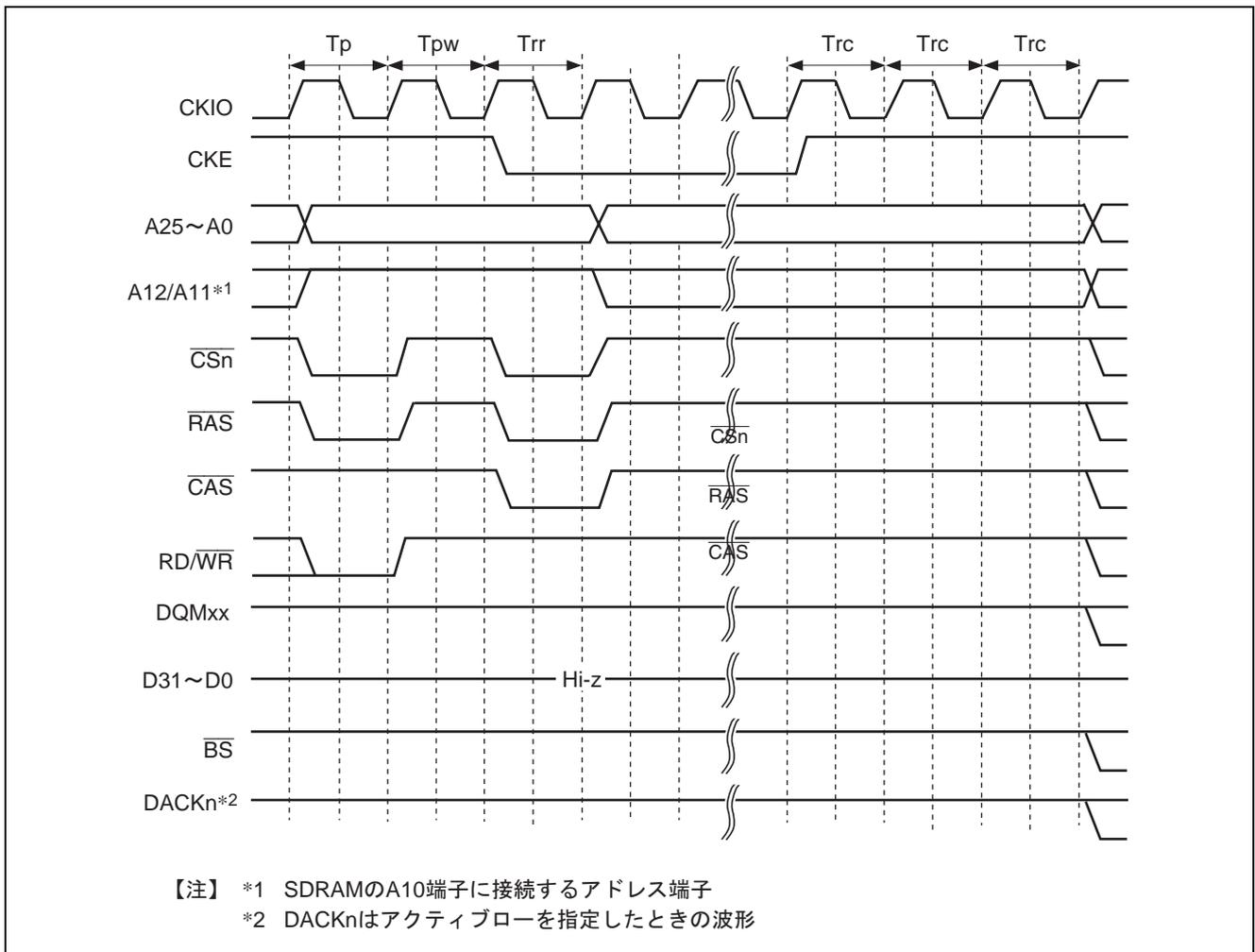


図 7.25 セルフリフレッシュタイミング

(9) リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルが起こらないようにする必要があります。

(10) パワーダウンモード

SDCR の PDOWN ビットを 1 に設定すると、非アクセス時には CKE を L レベルにして SDRAM をパワーダウンモードに遷移させます。これにより非アクセス時の消費電力を大幅に抑えることができます。ただし、アクセス発生時には SDRAM のパワーダウンモードを解除するために CKE をアサートするサイクルが挿入されるため、1 サイクルのオーバーヘッドが発生します。図 7.26 にパワーダウンモードでのアクセスタイミングを示します。

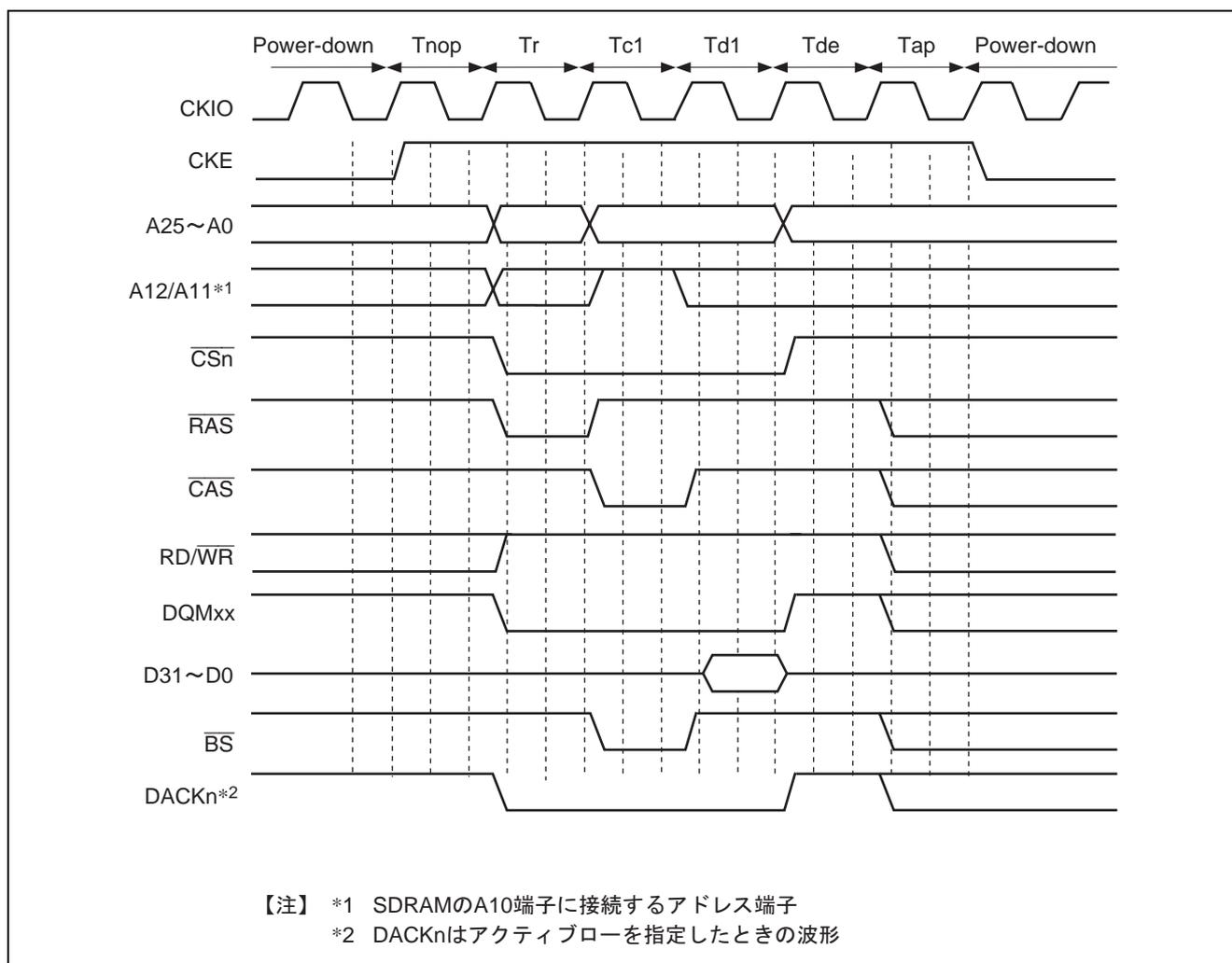


図 7.26 パワーダウンモードでのアクセスタイミング

(11) パワーオンシーケンス

SDRAM を使用するためには、パワーオン後、 $100\mu\text{s}$ 以上の間隔を置いた後に、SDRAM に対してモード設定を行う必要があります。 $100\mu\text{s}$ 以上の間隔は、パワーオンリセット生成回路またはソフトウェアなどで実現してください。

SDRAM の初期化を正しく行うためには、まず BSC のレジスタを設定した後、SDRAM のモードレジスタに対する書き込みを行います。SDRAM のモードレジスタの設定は $\overline{\text{CSn}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、および $\text{RD}/\overline{\text{WR}}$ の組み合わせで、その時点のアドレス信号の値が SDRAM に取り込まれます。設定したい値を X とすると X+ (エリア 3: H'FFFC5000 番地) にワードライトを行うことによって、値 X が SDRAM 内のモードレジスタに書き込まれます。このときライトデータは、無視されます。本 LSI でサポートしているバーストリード/シングルライト (バースト長 1) またはバーストリード/バーストライト (バースト長 1)、CAS レイテンシ 2~3、ラップタイプ=シーケンシャル、およびバースト長 1 を設定するには、表 7.18 に示すアクセスアドレスに任意のデータをワードライトします。このとき、外部アドレス端子の A12 以上のビットには 0 が出力されます。

表 7.18 SDRAM モードレジスタライト時のアクセスアドレス

• エリア3設定

バーストリード/シングルライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC5440	H'0000440
	3	H'FFFC5460	H'0000460
32 ビット	2	H'FFFC5880	H'0000880
	3	H'FFFC58C0	H'00008C0

バーストリード/バーストライト (バースト長 1) の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'FFFC5040	H'0000040
	3	H'FFFC5060	H'0000060
32 ビット	2	H'FFFC5080	H'0000080
	3	H'FFFC50C0	H'00000C0

モードレジスタ設定タイミングを図 7.27 に示します。まず全バンクプリチャージコマンド (PALL) を発行し、次いでオートリフレッシュコマンド (REF) を 8 回発行します。そして最後に、モードレジスタ書き込みコマンド (MRS) を発行します。PALL と 1 回目の REF の間に CS3WCR の WTRP[1:0] ビットに設定した数のアイドルサイクルが挿入され、REF と REF および、8 回目の REF と MRS の間に CS3WCR の WTRC[1:0] ビットに設定した数のアイドルサイクルが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルサイクルが挿入されます。

SDRAM は全バンクプリチャージ (PALL) に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は、SDRAM のマニュアルを参照してください。リセット信号のパルス幅がこのアイドル時間より長い場合には、ただちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。

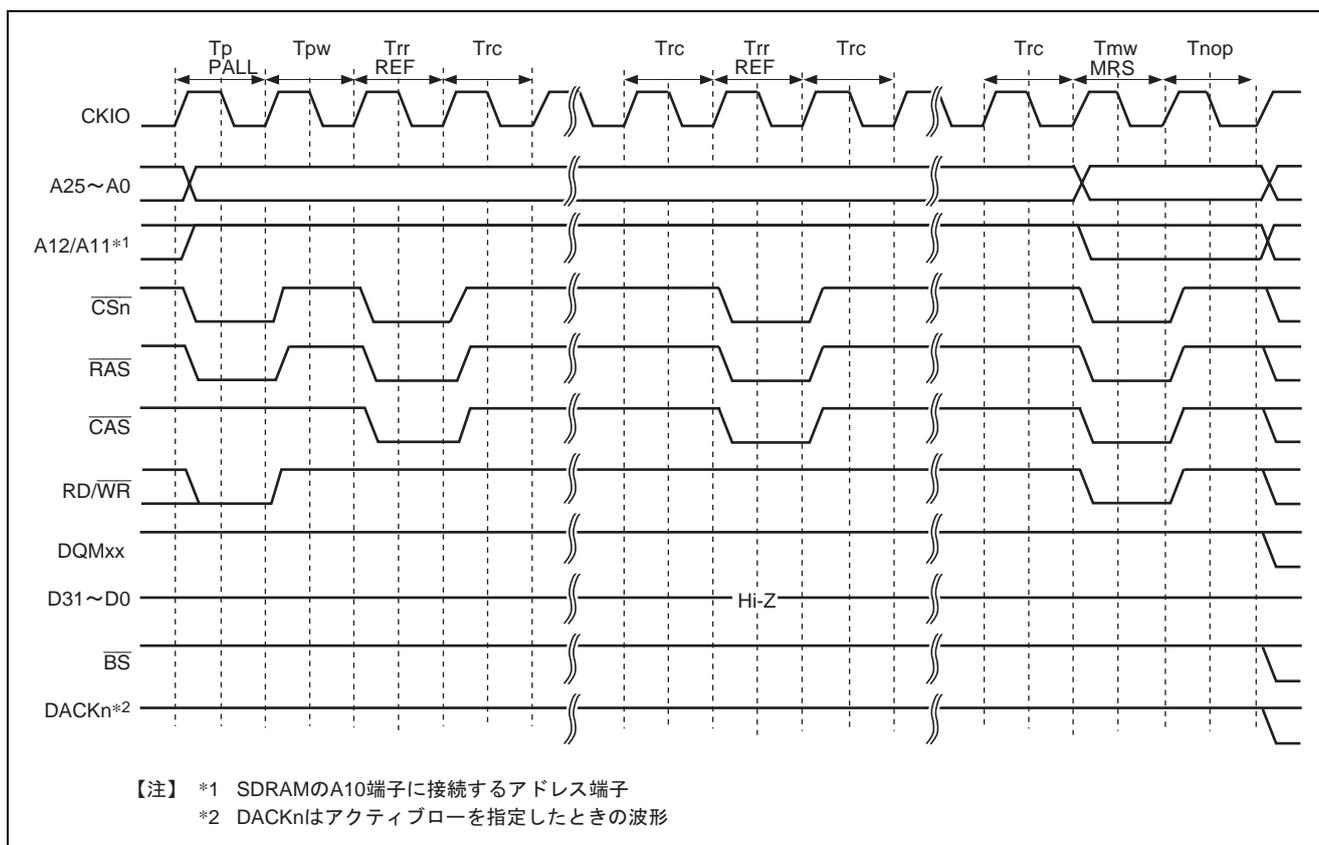


図 7.27 SDRAM モードレジスタ書き込みタイミング (JEDEC 準拠)

(12) ローパワーSDRAM

ローパワーSDRAMは、通常のSDRAMと同様のプロトコルによりアクセス可能なメモリです。

ローパワーSDRAMと通常SDRAMの仕様上の相違点は、セルフリフレッシュ時にメモリの一部のみセルフリフレッシュ状態にするパーシャルリフレッシュや、ユーザの使用条件（温度）によるリフレッシュ時の低電力化を行うなどの制御を細やかに設定できることです。パーシャルリフレッシュは、ある特定の領域以外はワークエリアでデータが失われても問題ないシステムに有効です。詳細は、ご使用になるローパワーSDRAMのデータシートをご覧ください。

ローパワーSDRAMには、通常のSDRAMと同じモードレジスタに加え拡張モードレジスタを備えています。拡張モードレジスタ書き込みコマンドはEMRSと呼ばれ、本LSIではEMRSコマンド発行をサポートしています。

EMRS発行は、下記の表に従います。たとえばH'FFFC5XX0にH'0YYYYYYYのデータをロングワードでライトすると、CS3空間に対してPALL→REF×8→MRS→EMRSのシーケンスでコマンドを発行します。そしてMRS発行時のアドレスはH'0000XX0に、およびEMRS発行時のアドレスはH'YYYYYYYになります。またH'FFFC5XX0にH'1YYYYYYYのデータをロングワードでライトすると、CS3空間に対してPALL→MRS→EMRSのシーケンスでコマンドを発行します。

表 7.19 EMRS コマンド発行時の出力アドレス

発行コマンド	アクセスアドレス	アクセスデータ	ライト アクセス サイズ	MRS コマンド時 発行アドレス	EMRS コマンド時 発行アドレス
CS3 MRS	H'FFFC5XX0	H'*****	16 ビット	H'0000XX0	-----
CS3 MRS+EMRS (リフレッシュあり)	H'FFFC5XX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS3 MRS+EMRS (リフレッシュなし)	H'FFFC5XX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY

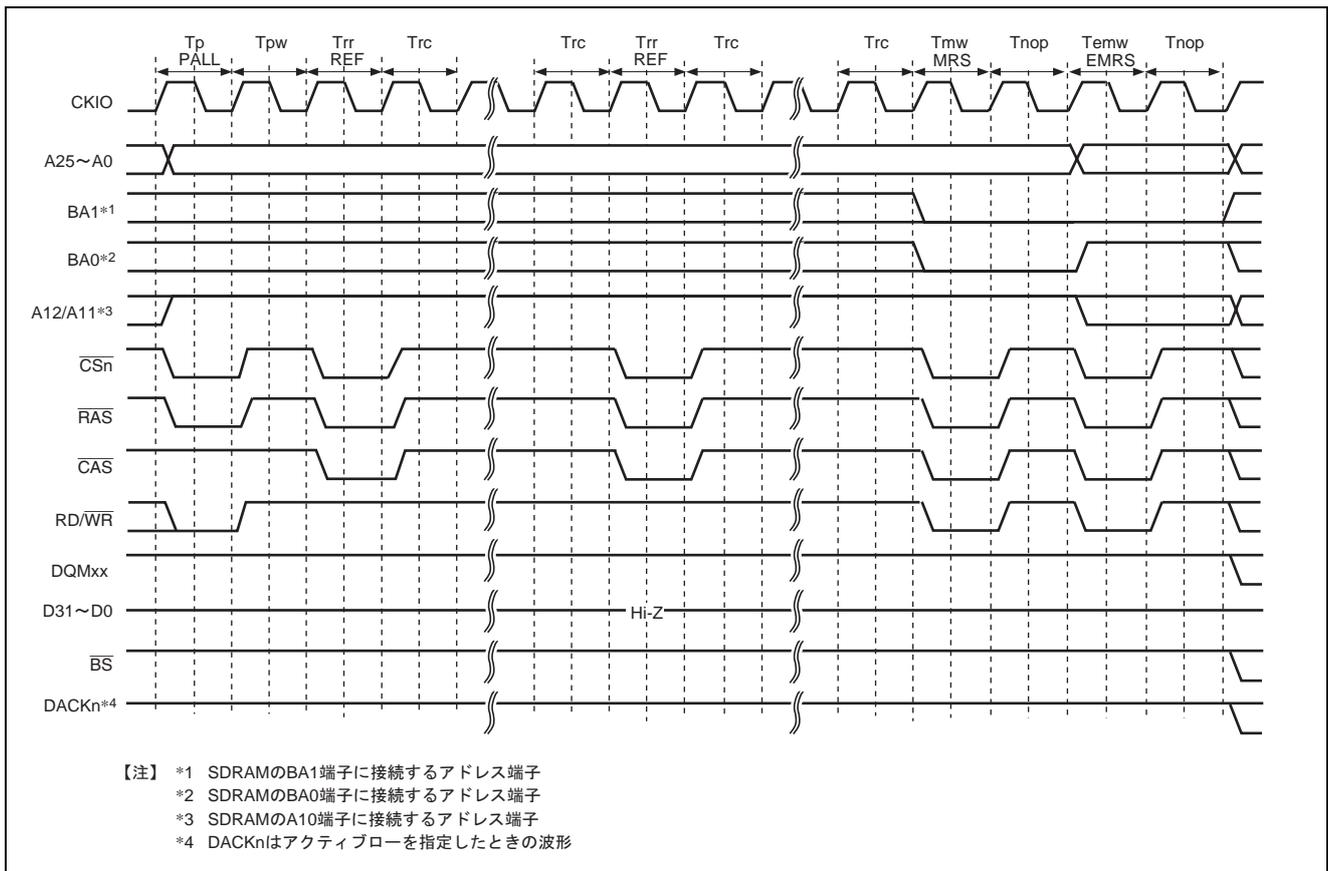


図 7.28 EMRS コマンド発行タイミング

- ディープパワーダウンモード

ローパワーSDRAMには、ディープパワーダウンモードという低消費電力モードもあります。パーシャルセルフリフレッシュが、ある特定領域のみセルフリフレッシュを行うのに対して、ディープパワーダウンモードではメモリ全体のセルフリフレッシュ動作を行いません。

本モードは、メモリ全体を作業エリアとして用いるシステムに有効です。

SDCRのDEEPビットを1、RFSHビットを1に設定した状態でRMODEビットに1を書き込むと、ローパワーSDRAMはディープパワーダウンモードに遷移します。RMODEビットに0を書き込むとCKEがハイレベルとなりディープパワーダウンモードは解除されます。ディープパワーダウン解除後のアクセスは、パワーアップシーケンスをやり直してから行ってください。

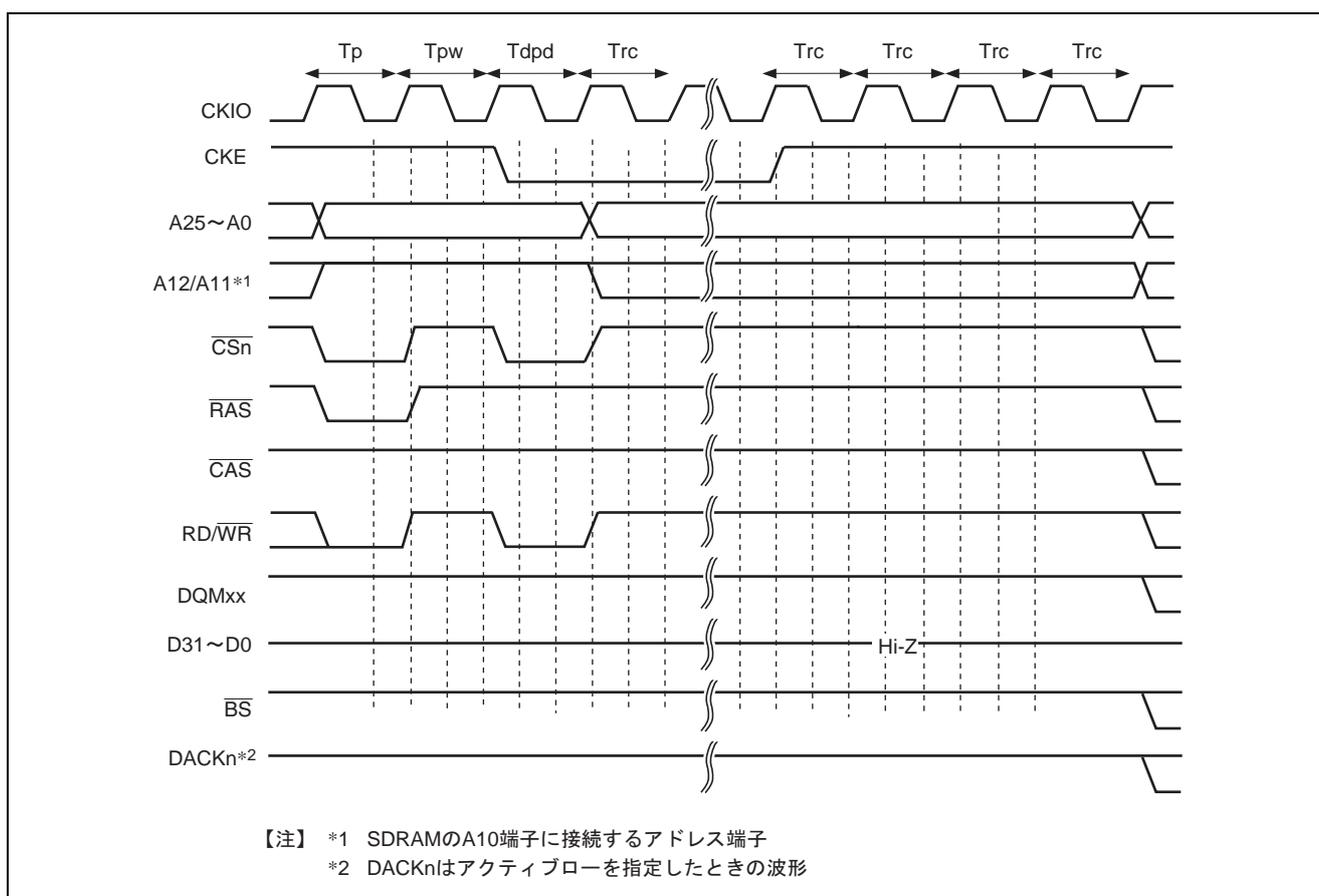


図 7.29 ディープパワーダウンモード遷移タイミング

7.5.6 バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子 ($\overline{WE_n}$) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、UB あるいは LB のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

CSnWCR の BAS ビットが 0 (初期値) のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、 $\overline{WE_n}$ 端子のタイミングが通常空間インタフェースと異なり、 $\overline{WE_n}$ 端子からバイト選択信号を出力します。図 7.30 に基本アクセスタイミングを示します。特にライト時は、バイト選択端子 ($\overline{WE_n}$) のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

CSnWCR の BAS ビットが 1 のとき、 $\overline{WE_n}$ 端子と RD/ \overline{WR} 端子のタイミングが変化します。図 7.31 に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子 (RD/ \overline{WR}) のタイミングでメモリに書き込まれます。RD/ \overline{WR} のネゲートタイミングからのライトデータのホールドタイミングは、CSnWCR の HW[1:0] ビットを設定することにより確保してください。図 7.32 にソフトウェア設定時のアクセスタイミングを示します。

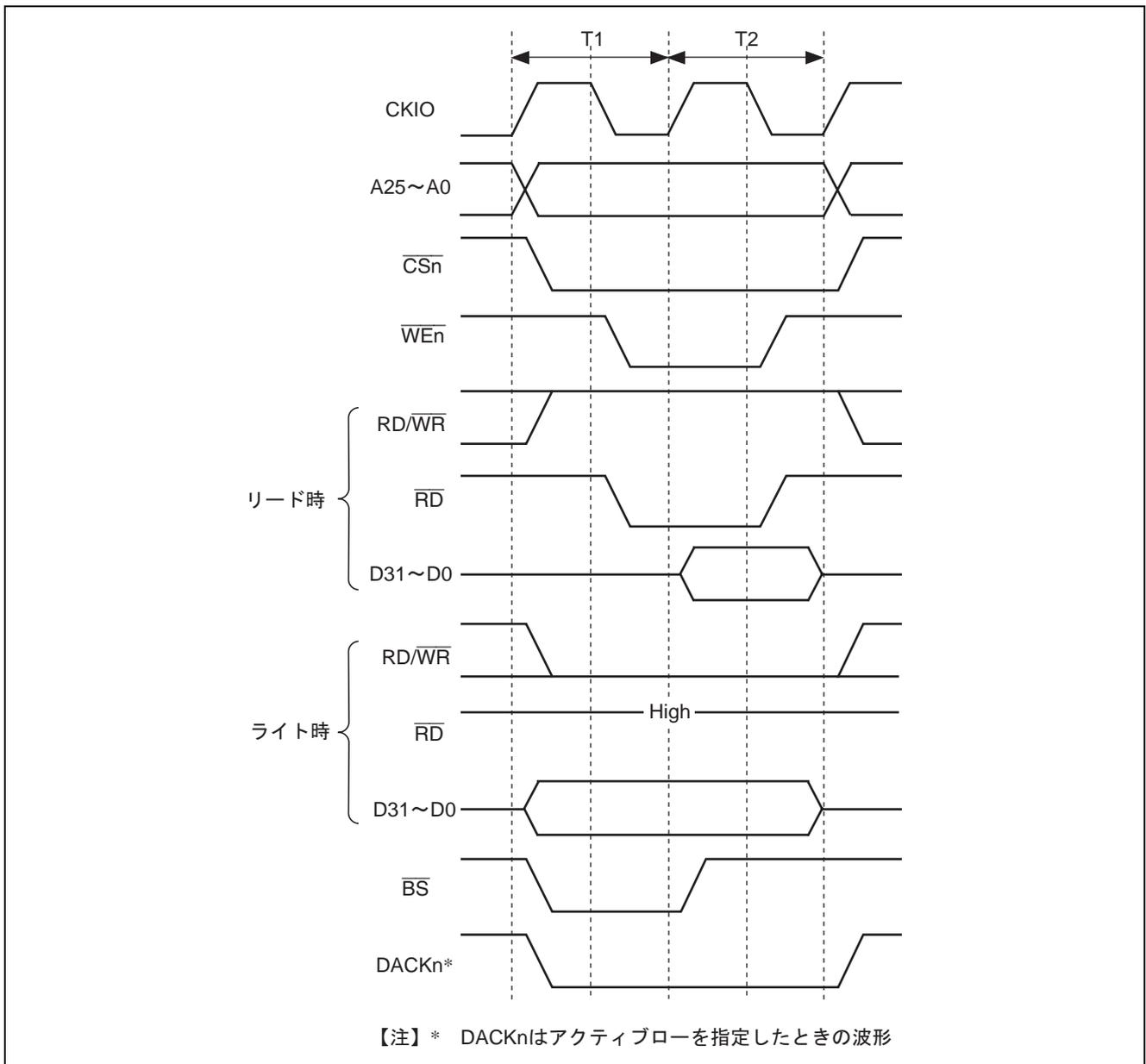


図 7.30 BAS=0、バイト選択付き SRAM 基本アクセスタイミング

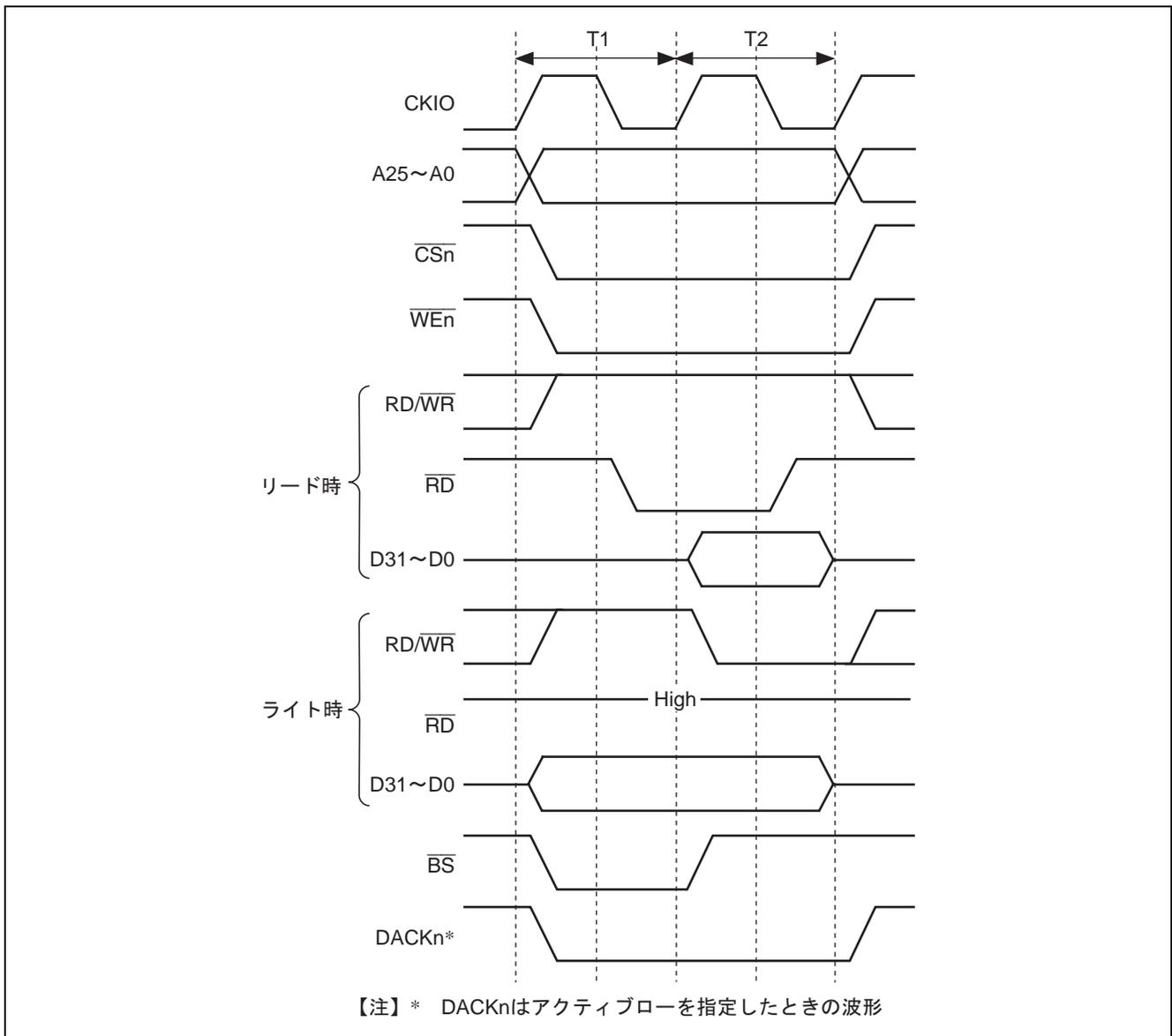


図 7.31 BAS=1、バイト選択付き SRAM 基本アクセスタイミング

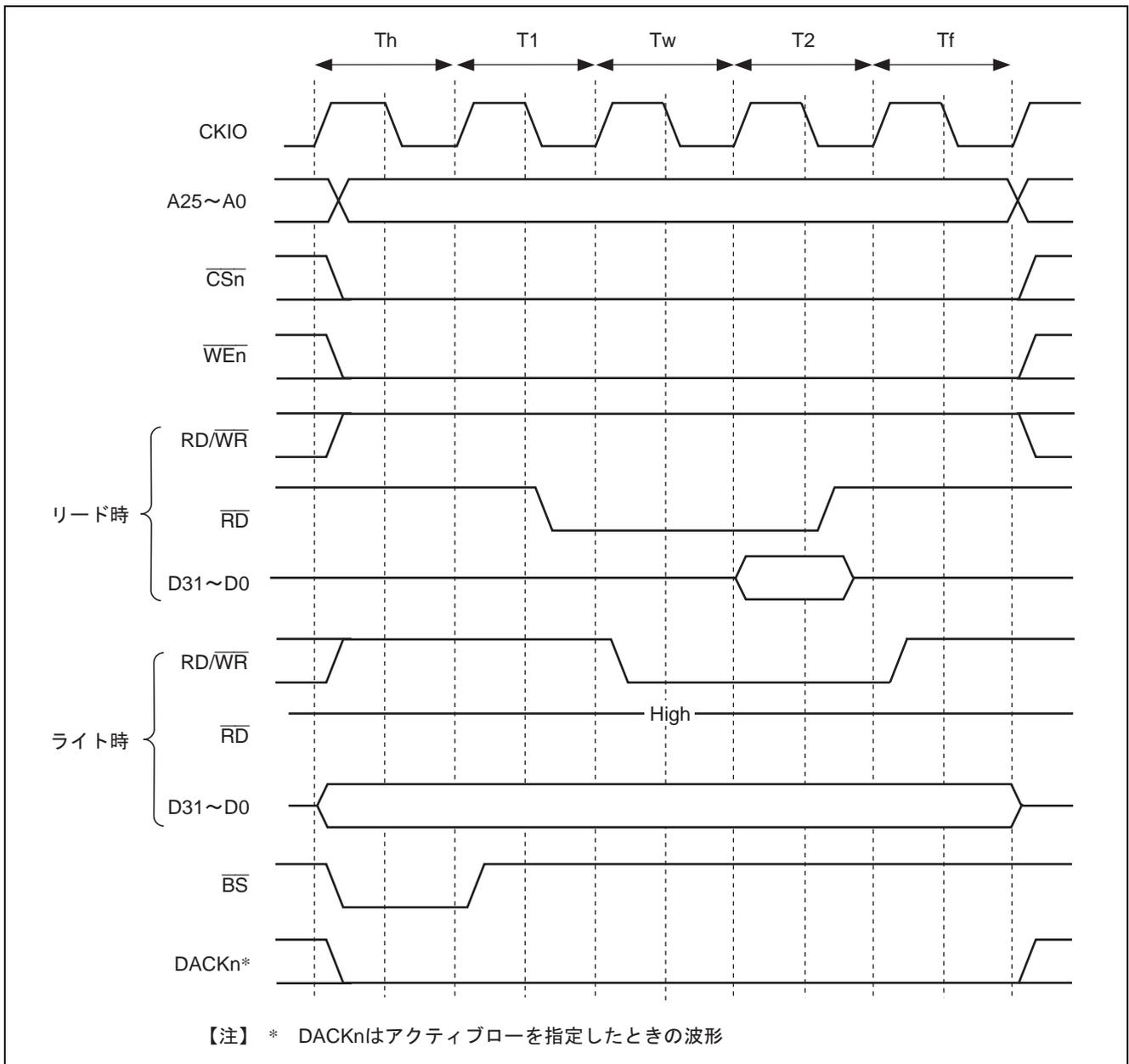


図 7.32 BAS=1、バイト選択付き SRAM ウェイトタイミング (SW[1:0]=01、WR[3:0]=0001、HW[1:0]=01)

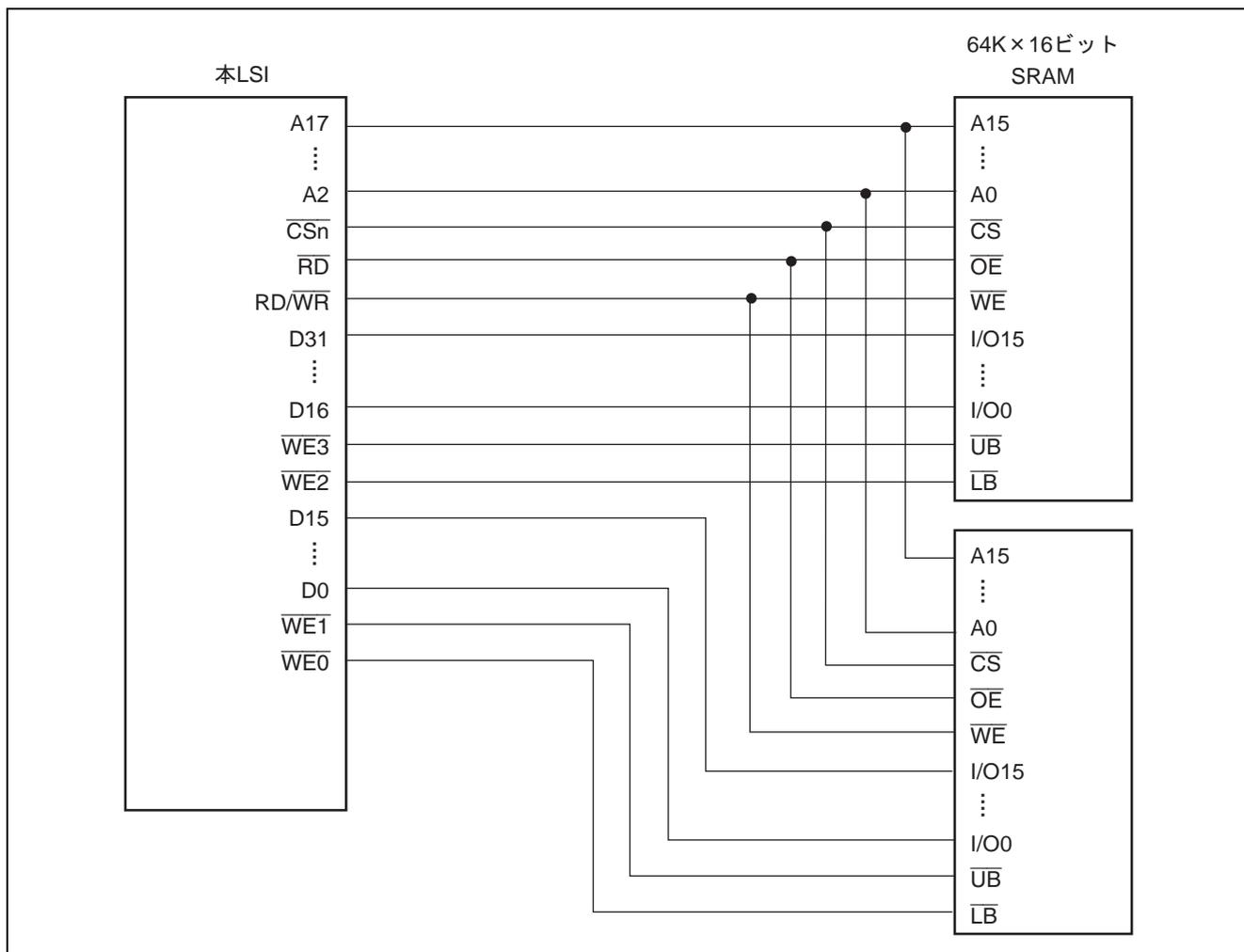


図 7.33 32 ビットデータ幅バイト選択付き SRAM 接続例

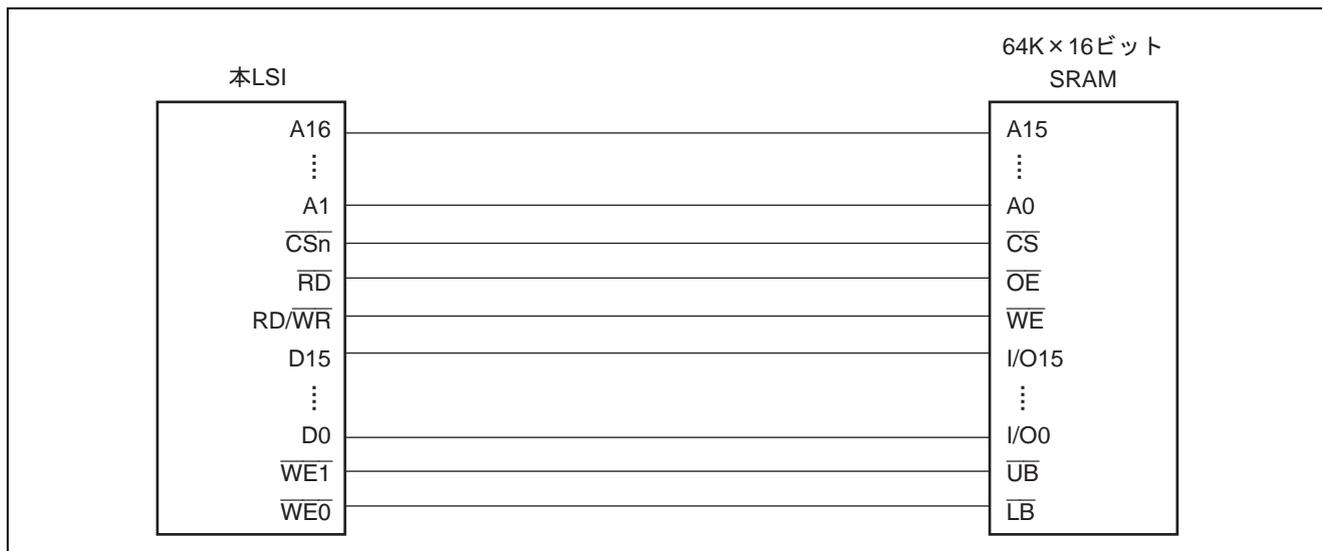


図 7.34 16 ビットデータ幅バイト選択付き SRAM 接続例

7.5.7 PCMCIA インタフェース

本 LSI では、エリア 5 およびエリア 6 が CSnBCR (n=5, 6) の TYPE[2:0] ビットを B'101 に設定することで、JEIDA 仕様 Ver4.2 (PCMCIA2.1 Rev2.1) で定める IC メモリカードおよび I/O カードインタフェースになります。また、CSnWCR (n=5, 6) の SA[1:0] ビットにより各エリアの前半 32MB と後半の 32MB に対して IC メモリカードあるいは I/O カードインタフェースに設定できます。たとえば、CS5WCR の SA1 ビットを 1 に、また CS5WCR の SA0 ビットを 0 に設定するとエリア 5 の前半の 32MB が IC メモリカードインタフェースおよび後半の 32MB が I/O カードインタフェースとなります。

PCMCIA インタフェースを使用する場合は、CS5BCR の BSZ[1:0] ビットもしくは CS6BCR の BSZ[1:0] ビットによって、バスサイズは 8 ビットまたは 16 ビットに設定してください。

図 7.35 に本 LSI で PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入（システムの電源を供給中にカードの抜き差しを行うこと）を行えるようにするため、本 LSI のバスインタフェースと PCMCIA カードの間に 3 ステートバッファを接続する必要があります。

JEIDA および PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI のビッグエンディアンモードの PCMCIA インタフェースは独自にインタフェースを規定しています。

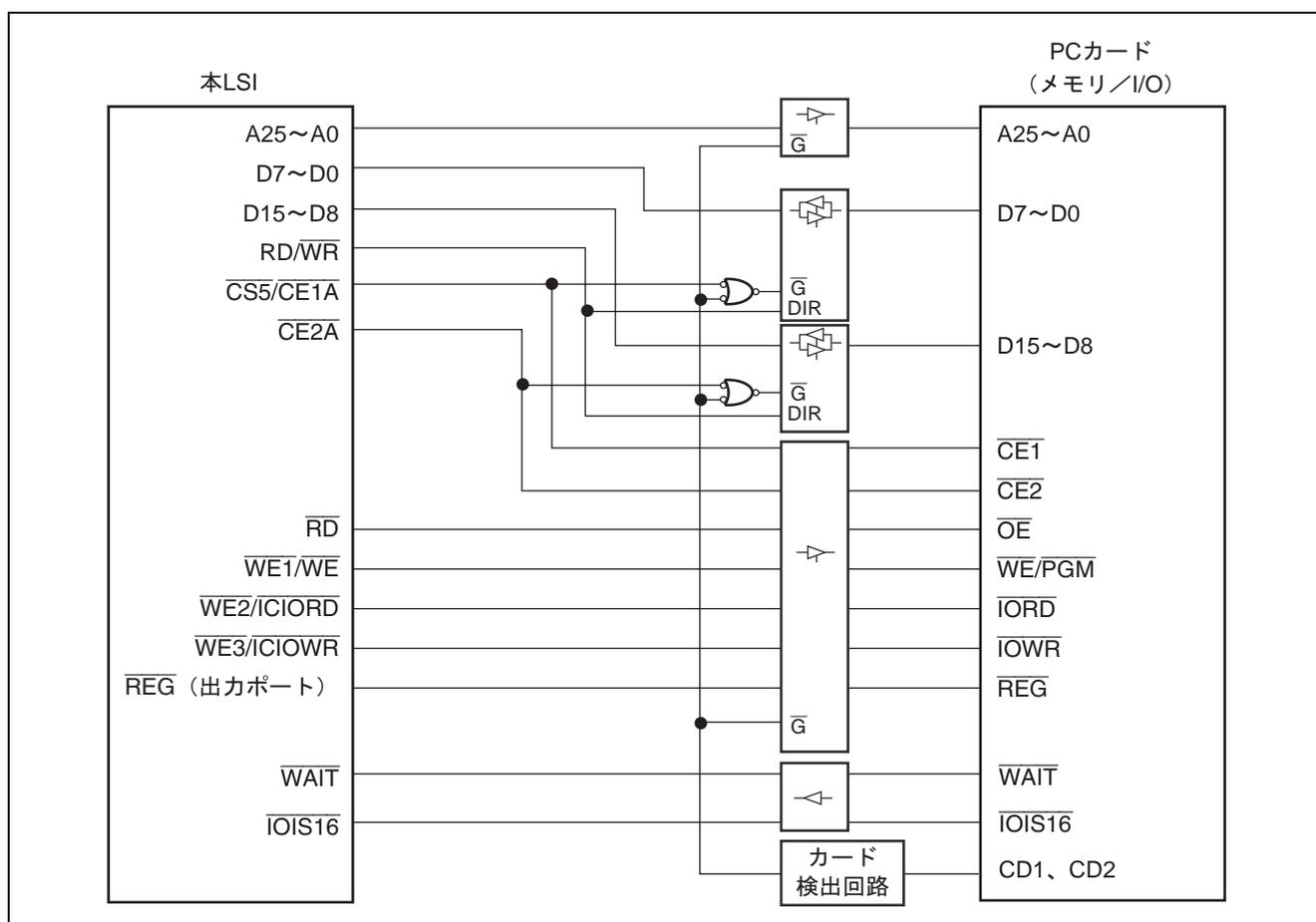


図 7.35 PCMCIA インタフェース接続例

(1) メモリカードインタフェース基本タイミング

図 7.36 に PCMCIA の IC メモリカードインタフェースの基本タイミングを示します。エリア 5 およびエリア 6 を PCMCIA インタフェースに設定した場合は、CS5WCR および CS6WCR の SA[1:0] ビットの設定に従い、IC メモリカードインタフェースとしてバスアクセスを行うことができます。外部バス周波数 (CKIO) が高くなると、 \overline{RD} や \overline{WE} に対してアドレス (A25~A0)、カードイネーブル ($\overline{CE1A}$ 、 $\overline{CE2A}$ 、 $\overline{CE1B}$ 、 $\overline{CE2B}$)、書き込みサイクル時の書き込みデータ (D15~D0) のセットアップ時間、およびホールド時間が足りなくなります。これに対して、本 LSI では CS5WCR もしくは CS6WCR によってエリア 5 およびエリア 6 の各エリアに対して、それぞれセットアップ時間およびホールド時間を設定することができます。また、通常空間インタフェースと同じようにソフトウェアウェイトおよび \overline{WAIT} 端子によるハードウェアウェイトを行うことができます。図 7.37 に PCMCIA メモリバスウェイトタイミングを示します。

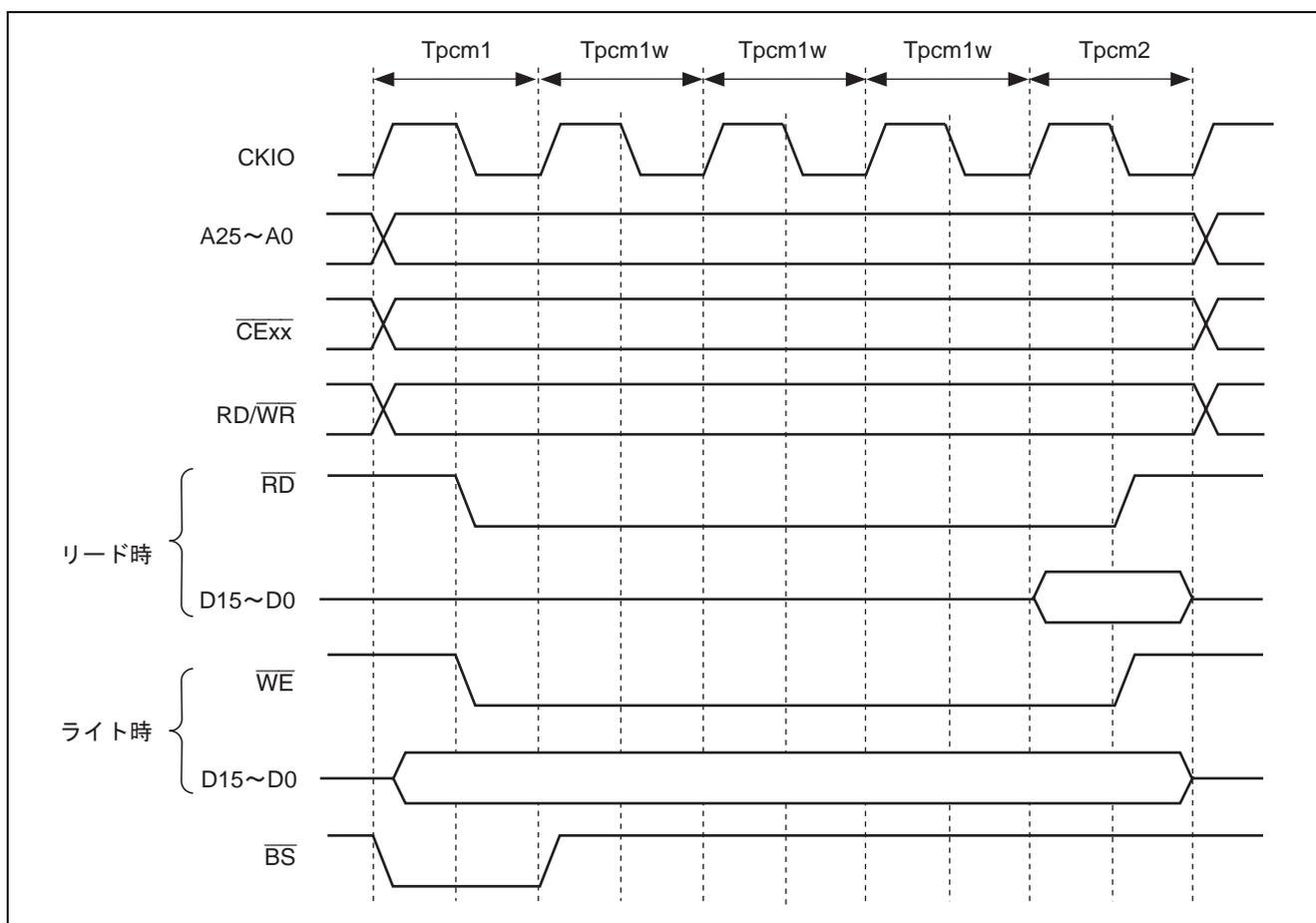


図 7.36 PCMCIA メモリカードインタフェース基本タイミング

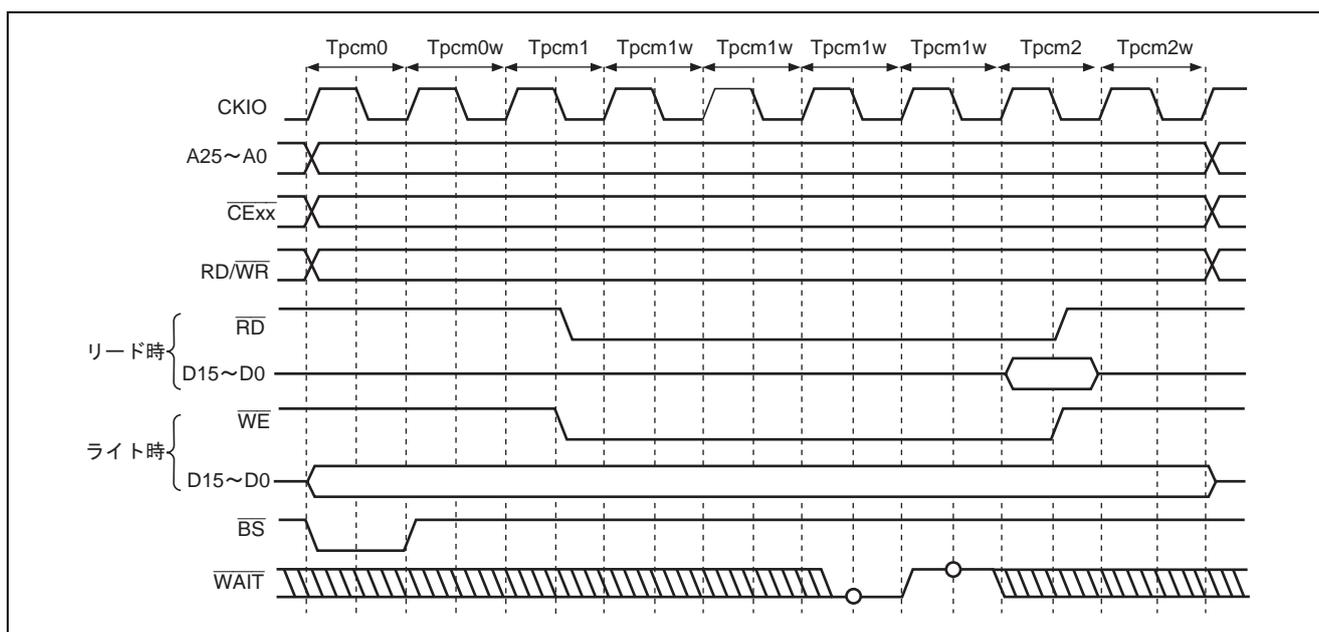


図 7.37 PCMCIA メモリカードインタフェースウェイトタイミング
(TED[3:0]=B'0010、PCW[3:0]=B'0000、TEH[3:0]=B'0001、ハードウェイト 1)

コモンメモリとアトリビュートメモリの切り替え信号 $\overline{\text{REG}}$ はポートなどを利用して生成します。また、一例として図 7.38 に示すように、コモンメモリとアトリビュートメモリの合計のメモリ空間が 32M バイト以下で足りる場合は、A24 端子を $\overline{\text{REG}}$ 信号として利用することで、コモンメモリ空間 16M バイトとアトリビュートメモリ空間 16M バイトとして使うことができます。

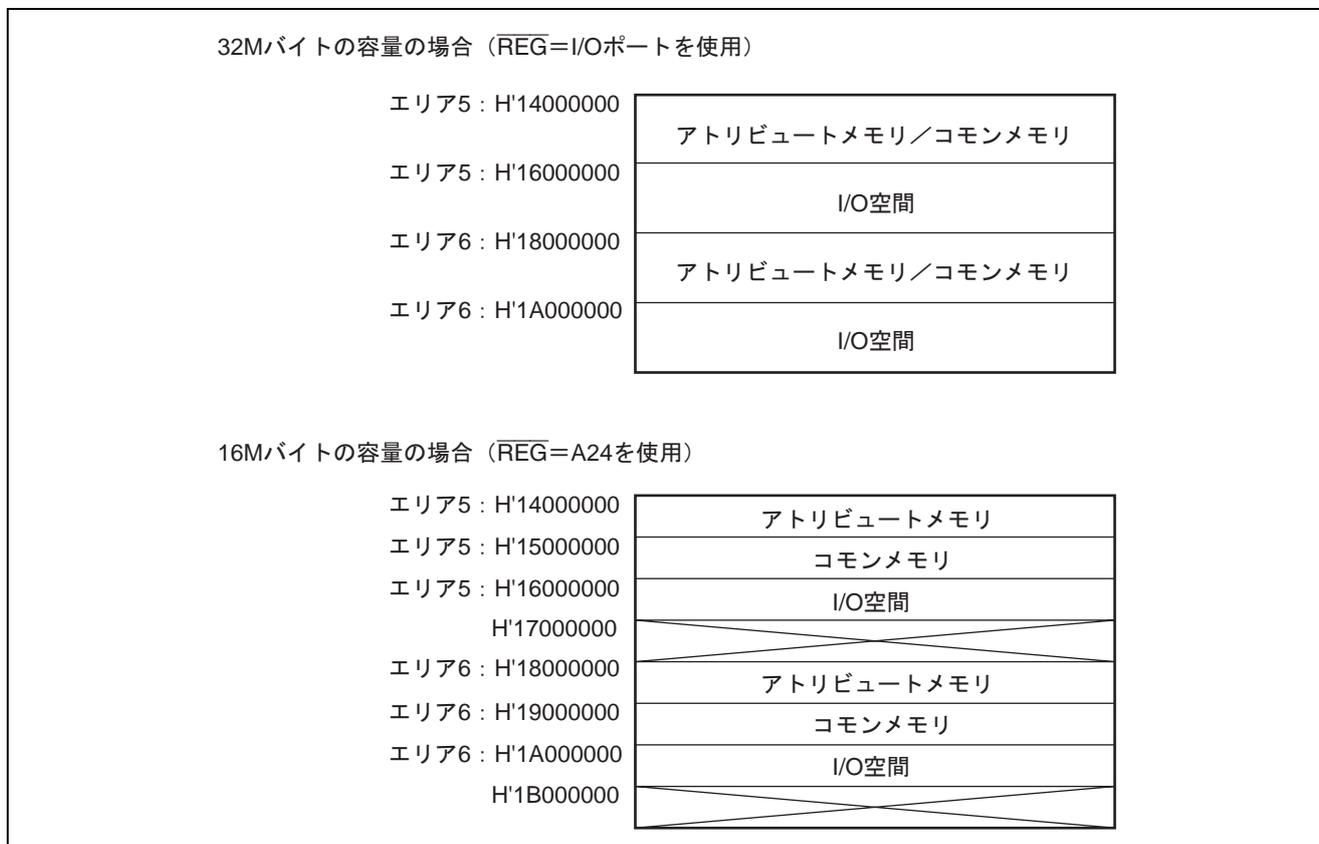


図 7.38 PCMCIA 空間割り付け例 (CS5WCR.SA[1:0]=B'10、CS6WCR.SA[1:0]=B'10)

(2) I/O カードインタフェース基本タイミング

図 7.39 および図 7.40 に PCMCIA の I/O カードインタフェースのタイミングを示します。

PCMCIA の I/O カードをアクセスする場合は、キャッシュ無効領域に対してアクセスしてください。

I/O カードインタフェースと IC メモリカードインタフェースの切り替えは、CS5WCR および CS6WCR の SA[1:0]ビットの設定に従い、アクセスするアドレスによって行います。

リトルエンディアンモードで PCMCIA カードを I/O カードインタフェースとしてアクセスする場合には、 $\overline{\text{IOIS16}}$ 端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。エリア 5 またはエリア 6 のバス幅を 16 ビットに設定しているときに、ワードサイズの I/O カードバスサイクル中に $\overline{\text{IOIS16}}$ 信号がハイレベルの場合に、8 ビットバス幅であると認識され、実行中の I/O カードバスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。

$\overline{\text{IOIS16}}$ 信号は、TED[3:0]ビットの設定を 1.5 サイクル以上に設定したときの Tpci0 およびすべての Tpci0w サイクルにおける CKIO の立ち下がりでサンプリングされ、Tpci0 のサンプリングポイントから CKIO1.5 サイクル後に $\overline{\text{CE2A}}$ または $\overline{\text{CE2B}}$ 信号に反映されます。すべてのサンプリングポイントで $\overline{\text{IOIS16}}$ 信号を確定させ、途中で変化することのないようにしてください。

ご使用になる PC カードの $\overline{\text{ICIORD}}$ と $\overline{\text{ICIOWR}}$ から $\overline{\text{CE1}}$ または $\overline{\text{CE2}}$ のセットアップの規格を満たすように、TED[3:0]ビットを設定してください。

ダイナミックバスサイジングの基本波形を図 7.40 に示します。

なお、ビッグエンディアンモードでは、 $\overline{\text{IOIS16}}$ 信号をサポートしません。ビッグエンディアンモード時には、 $\overline{\text{IOIS16}}$ 信号をローレベルに固定してください。

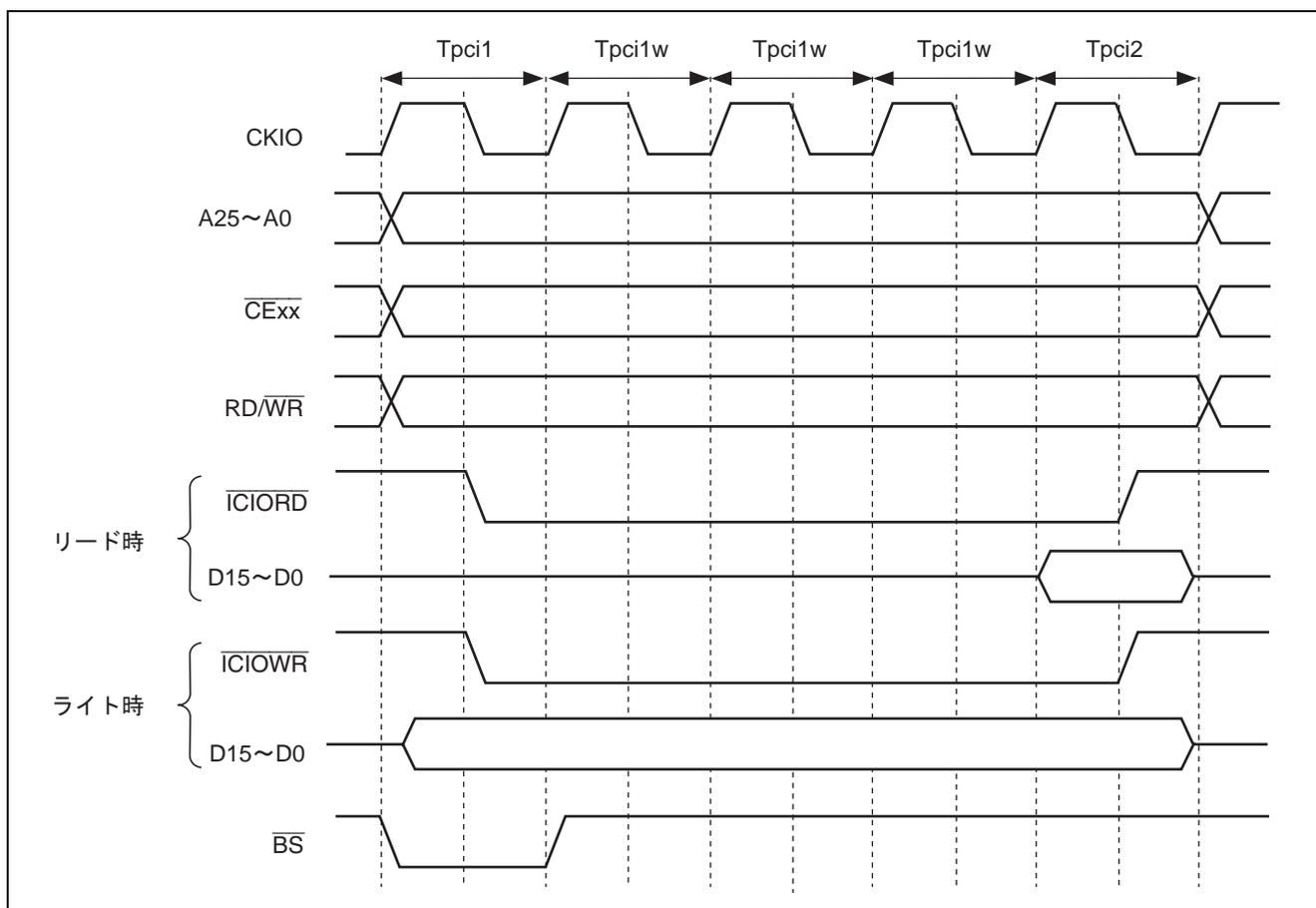


図 7.39 PCMCIA I/O カードインタフェース基本タイミング

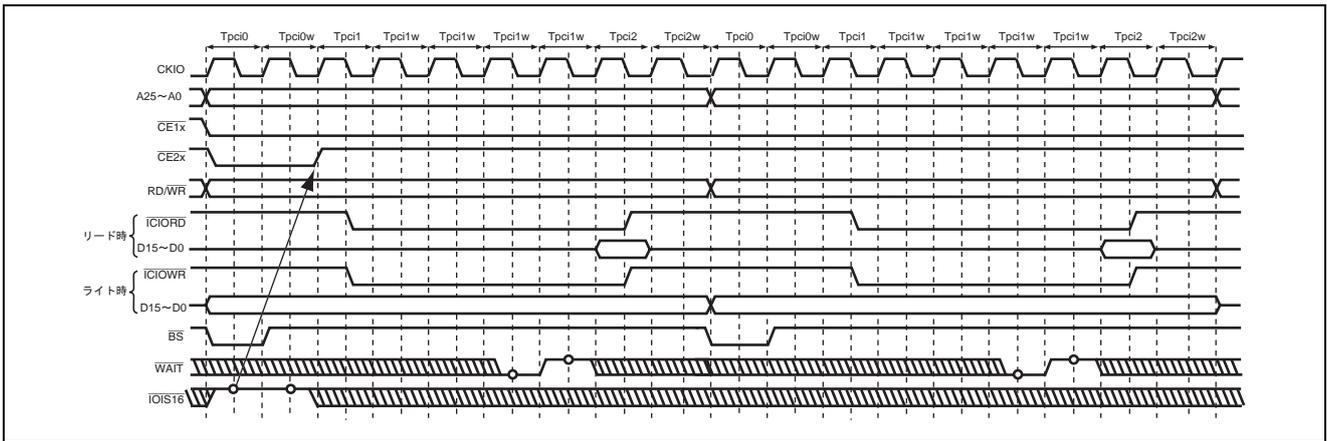


図 7.40 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング
 (TED[3:0]=B'0010、PCW[3:0]=B'0000、TEH[3:0]=B'0001、ハードウェイト 1)

7.5.8 アクセスサイクル間アイドル

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にアクセスサイクル間アイドル (ウェイト) を挿入して、データの衝突を回避する機能を設けました。

アクセスサイクル間アイドルのサイクル数は、CSnWCR の WM ビットおよび CSnBCR の IWW[2:0]、IWRWD[2:0]、IWRWS[2:0]、IWRRD[2:0]、IWRRS[2:0]の各ビット、および CMNCR の DMAIW[2:0]、DMAIWA ビットで指定します。アクセスサイクル間アイドルは、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライトーリード、ライトーライトの場合
2. 連続するアクセスが別空間でかつリードーライトの場合
3. 連続するアクセスが同一空間でかつリードーライトの場合
4. 連続するアクセスが別空間でかつリードーリードの場合
5. 連続するアクセスが同一空間でかつリードーリードの場合
6. DMAシングルアドレス転送で外部デバイスによるデータ出力サイクル後の本LSIを含む別デバイスによるデータ出力の場合 (DMAIWA=0)
7. DMAシングルアドレス転送で外部デバイスによるデータ出力サイクル後にアクセス発生の場合 (DMAIWA=1)

上記のアクセスサイクル間アイドルサイクル数の指定につきましては、各レジスタの説明をご覧ください。

これらのレジスタで指定するアクセスサイクル間ウェイトのアイドルサイクル以外に、内部バスとのインタフェースや、マルチプレクスされた端子 (\overline{WEn}) の最小パルス幅確保のため、アイドルサイクルを挿入する場合があります。以下にアイドルサイクルの詳細、アイドルサイクル数の試算方法について説明します。

\overline{CSn} ネゲートから \overline{CSn} または \overline{CSm} アサートまでの外部バスアイドルサイクル数について説明します。ここで \overline{CSn} および \overline{CSm} には、PCMCIA の $\overline{CE2A}$ 、 $\overline{CE2B}$ も含まれます。

外部バスのアイドルサイクル数を定める項目としては、表 7.20 の 8 項目あります。これらの関係を図 7.41 に示します。

表 7.20 アイドルサイクル数を決める項目

項番	内容	説明	範囲	注意事項
(1)	CMNCR.DMAIW[2:0] 設定	DMA によるシングルアドレス転送時のアイドルサイクル数を指定します。シングルアドレス転送時のみ有効になる項目で、アクセス終了後に発生するアイドルサイクルです。	0~12	アイドル数を 0 に設定すると、DACK 信号が連続アサートする場合があります。DACK 付きデバイスの認識するサイクル数と DMAC 転送数に不一致が発生し、誤動作につながりますので、ご注意ください。
(2)	CSnBCR.IW***[2:0] 設定	シングルアドレス転送以外の場合のアイドルサイクル数を指定します。前後サイクルの組み合わせごとに指定できます。たとえば CS3 空間リード後の他 CS 空間リードの場合に、アイドル数を 6 サイクル以上に設定したい場合、CS3BCR.IWRRD[2:0] を B'100 に設定します。シングルアドレス転送以外の時のみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0~12	連続アクセスできないメモリ種の場合には、0 に設定しないようにご注意ください。
(3)	CSnWCR の SDRAM 関係設定	SDRAM アクセス時のプリチャージ完了/起動待ち、コマンド間アイドル数を指定します。SDRAM アクセス時にのみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0~3	使用する SDRAM のスペックに合わせて設定してください。
(4)	CSnWCR.WM ビット設定	SDRAM 以外のメモリでは、外部 WAIT 端子入力を有効/無効にする設定ができます。0 (外部 WAIT 有効) の場合、外部 WAIT 端子状態の評価のための 1 アイドルサイクルがアクセス終了後に挿入されます。1 (無効) の場合には、本アイドルサイクルは発生しません。	0~1	
(5)	リードデータ転送サイクル	リードアクセスの終了後に発生する 1 アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HM[1:0] が B'00 以外の場合にも発生しません。	0~1	SDRAM、PCMCIA のリードサイクルでは必ず 1 サイクルのアイドルが発生します。
(6)	内部バスアイドル他	CPU、DMAC などからの外部バスアクセス要求および結果の受け渡しは、内部バスを経由します。内部バスのアイドルサイクルおよび外部バス以外のアクセス中は、外部バスはアイドル状態になります。外部データバス幅以上のアクセスサイズの場合、BSC で分割アクセスを行います。分割サイクル間では内部バスアイドルサイクル他の影響はありません。	0~	$l\phi : B\phi$ のクロック比によっては内部バスアイドル数が "0" にならない場合があります。クロック比と内部バスの最小アイドル数の関係を表 7.21、表 7.22 に示します。

項番	内容	説明	範囲	注意事項
(7)	ライトデータ到着待ちサイクル	ライトアクセスの場合、ライトデータの到着を待ってから外部バスのライトサイクルが発生します。このライトデータ待ちがライトサイクルの前に発生するアイドルサイクルになります。ただし、前サイクルがライトの場合で、内部バスアイドル他が前アクセスのライトサイクル長より短い場合、前アクセスと平行して処理されるため、本アイドルサイクルは発生しません（ライトバッファ効果）。	0~1	ライト→ライトおよびライト→リードアクセスの場合、左記ライトバッファの効果で、連続アクセスが発生しやすくなります。連続アクセスできない場合は、CSnBCRなどでサイクル間アイドルの最低数を指定してください。
(8)	異種メモリ間アイドル	ピンマルチ端子の最小パルス幅確保のために、メモリ種切り替え後のアクセスが発生する前に、アイドルサイクルが挿入される場合があります。メモリ種によっては、メモリ種切り替えを行わなくてもアイドルサイクルが発生するものもあります。	0~2.5	メモリ種ごとに決まっています。表 7.23 を参照してください。

(1)/(2)項（どちらか一方が有効になります）、(3)/(4)項（どちらか一方が有効になります）、(5)+(6)+(7)項（順番に発生するので加算されます）および(8)項の4項目が平行して発生しますので、これらのうちの最大のものが外部バスアイドル数となります。最低アイドル数を確保する場合には、(1)/(2)項のレジスタ設定を行ってください。

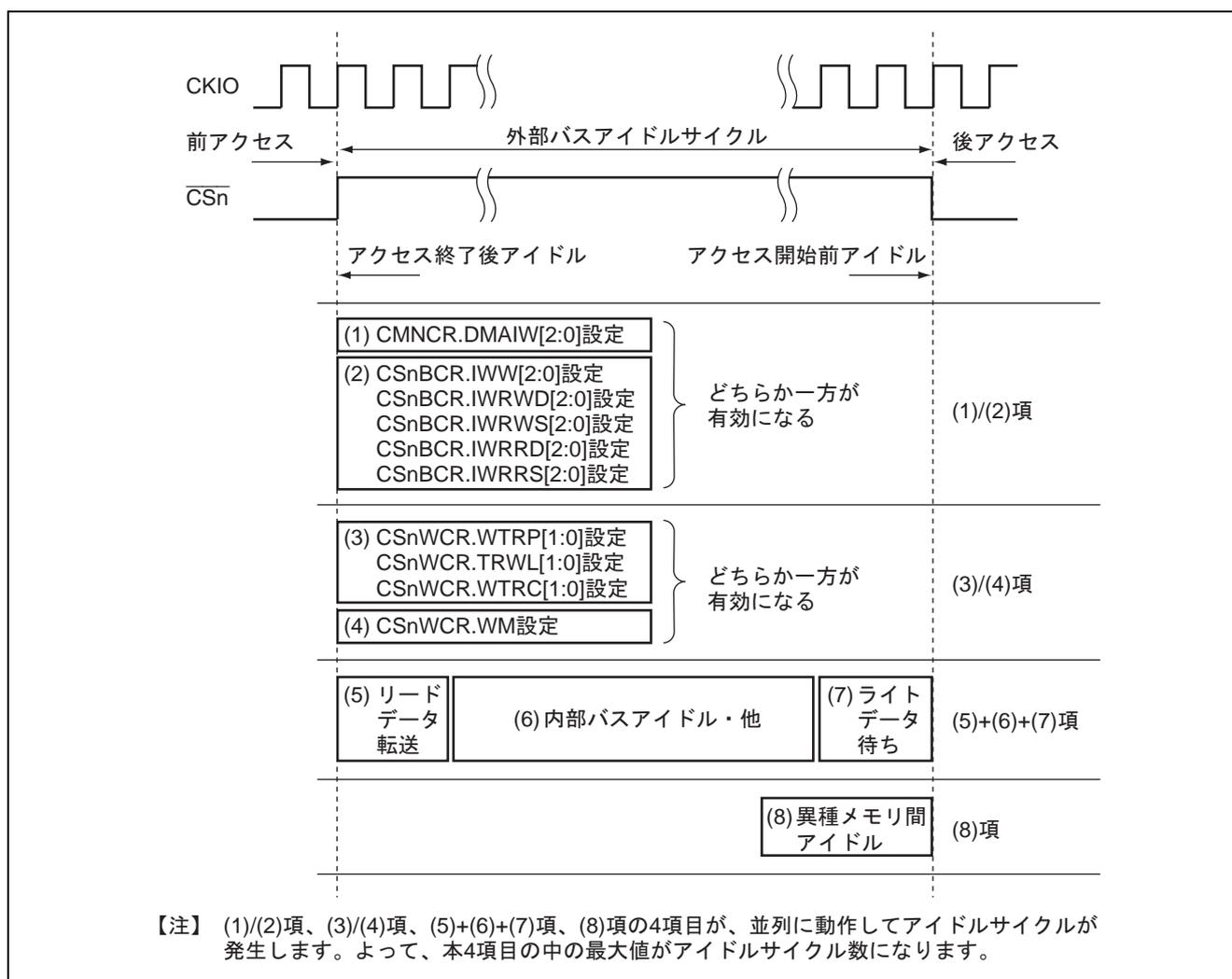


図 7.41 アイドルサイクルの構成

表 7.21 内部バスの最小アイドル数 (CPU 動作)

CPU 動作	クロック比 (Iφ : Bφ)					
	8:1	6:1	4:1	3:1	2:1	1:1
ライト→ライト	1	1	2	2	2	3
ライト→リード	0	0	0	0	0	1
リード→ライト	1	1	2	2	2	3
リード→リード	0	0	0	0	0	1

表 7.22 内部バスの最小アイドル数 (DMAC 動作)

DMAC 動作	転送モード	
	デュアルアドレス	シングルアドレス
ライト→ライト	0	2
ライト→リード	0 または 2	0
リード→ライト	0	0
リード→リード	0	2

- 【注】 1. デュアルアドレス転送のライト→ライト、リード→リード動作は分割されたサイクルの実行中です。
2. デュアルアドレス転送のライト→リードの 0 は異なるチャンネルが連続起動した場合、2 は同一のチャンネルが連続起動した場合です。
3. シングルアドレスのライト→リード、リード→ライトは異なるチャンネルを連続起動した場合です。
「ライト」は DACK 付きデバイス→外部メモリ、「リード」は外部メモリ→DACK 付きデバイスへの転送です。

表 7.23 異種メモリ間アクセス時の前に挿入されるアイドルサイクル数

		後サイクル				
		SRAM	バイト SRAM (BAS=0)	バイト SRAM (BAS=1)	SDRAM	PCMCIA
前 サ イ ク ル	SRAM	0	0	1	1	0
	バイト SRAM (BAS=0)	0	0	1	1	0
	バイト SRAM (BAS=1)	1	1	0	0	1
	SDRAM	1	1	0	0	1
	PCMCIA	0	0	1	1	0

サイクル間アイドルの最低数を試算する例を図 7.42 に示します。なお、実際の動作ではライトバッファの効果により試算値よりもアイドルサイクルが短くなったり、CPU の命令実行や CPU レジスタ競合によるスプリットにより内部バスアイドルサイクルが発生して試算値よりもアイドルサイクルが増加することがありますので、試算値を使用する場合には、これらの誤差の発生を見込んでおいてください。

サイクル間アイドル数の試算例

CPUアクセスで、CS5空間からCS6空間へデータを転送する例を考えます。転送は、CS5リード→CS5リード→CS6ライト→CS6ライト→CS5リード→…を繰り返すものとします。

• 条件

CS5BCRおよびCS6BCRのサイクル間アイドル指定はすべて0を指定。

CS5WCRおよびCS6WCRのWMビットは1（外部WAIT端子無効）、HW[1:0]は00（CSネゲート延長しない）。

Iφ:Bφは4:1とし、転送の間は他の処理を行わない。

CS5およびCS6ともに、通常SRAMを接続し、バス幅32ビットでアクセスサイズも32ビットで行う。

アイドル数を定める項目を、各サイクル間ごとに試算します。下表で、Rはリード、Wはライトを示します。

項目	R→R	R→W	W→W	W→R	備 考
(1)/(2)	0	0	0	0	CSnBCRの設定が0であるため
(3)/(4)	0	0	0	0	WMビットが1であるため
(5)	1	1	0	0	リードサイクル後に発生
(6)	0	2	2	0	表7.21のIφ:Bφ=4:1の部分を参照
(7)	0	1	0	0	ライトバッファ効果で2回目では発生しない
(5)+(6)+(7)	1	4	2	0	
(8)	0	0	0	0	SRAM→SRAMであるため
試算アイドル サイクル数	1	4	2	0	(1)/(2)項、(3)/(4)項、(5)+(6)+(7)項、(8)項の中の 最大値
実際に発生する アイドル数	1	4	2	1	W→Rで不一致が発生した原因は、(6)の内部アイドル 数を0と試算したが、実際にはループ判定命令の実行 のため、内部アイドルが発生したため。

図 7.42 アイドルサイクル数の試算例と実際の比較

7.5.9 その他

(1) リセット

バスステートコントローラ (BSC) は、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時にはリセットの内部クロック同期化後、バスサイクルの途中であるなしにかかわらずすべての信号をネゲートし、データ出力バッファをオフにします。また、制御レジスタはすべて初期化されます。スタンバイ、スリープ、およびマニュアルリセットでは、バスステートコントローラの制御レジスタの初期化は一切行われません。マニュアルリセットが行われると、現在実行中のバスサイクルはそのバスサイクルに限り終了まで実行されます。マニュアルリセット信号のアサート中も RTCNT のカウントアップが行われるためリフレッシュ要求が発生し、リフレッシュサイクルが起動されます。

(2) LSI 内部バスマスタからみたアクセス

本 LSI の内部は、CPU バス、内部バス、および周辺バスの 3 つのバスに分割されています。CPU およびキャッシュメモリは CPU バスに、CPU を除く内部バスマスタおよびバスステートコントローラは内部バスに、低速な周辺モジュールは周辺バスにそれぞれ接続されています。また、キャッシュメモリ以外の内蔵メモリは CPU バスと内部バスの双方に接続されています。CPU バスから内部バスのアクセスは行えますが、逆は行えません。このため以下のようなことが発生します。

CPU を除く内部バスマスタ (DMAC など) からキャッシュメモリ以外の内蔵メモリへのアクセスは行えますが、キャッシュメモリへのアクセスは行えません。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われ、その結果として外部メモリの内容とキャッシュの内容に食い違いが発生することがあります。CPU を除く内部バスマスタにより外部メモリへの書き込みが行われた場合、その番地へのデータがキャッシュにある可能性があるときには、キャッシュメモリのページをソフトウェアで行う必要があります。

キャッシュ有効空間の場合、CPU が読み出しアクセスを開始し、キャッシュの検索が行われます。キャッシュにデータが保持されている場合は、これを取り込みアクセスは完了します。キャッシュ内にデータがない場合には、内部バスを介してキャッシュデータのフィルを行うため、4 つの連続したロングワードリードが起動されます。バイトまたはワードオペランドアクセス時および奇数ワード境界 ($4n+2$) への分岐時のミスヒットに関しても、チップ外部インタフェース上は必ず 4 つのロングワードアクセスでフィルを行います。キャッシュ無効空間の場合は、実際のアクセスアドレスに従ってアクセスを行います。アクセスが偶数ワード境界 ($4n$) への命令フェッチの場合にはロングワードアクセス、奇数ワード境界 ($4n+2$) への命令フェッチの場合にはワードアクセスとなります。

内蔵周辺モジュールの読み出しサイクルの場合は、内部バスと周辺バスを介して読み出しサイクルが起動されます。読み出しデータは、周辺バス、内部バス、CPU バスを經由して CPU に送られます。

キャッシュ有効空間での書き込みサイクルは、キャッシュのライト方式により動作が異なります。

ライトバックモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュに書き込みを行います。実際のメモリへの書き込みは、該当アドレスの置き換えが発生するまで行われません。該当アドレスのデータがなかった場合には、キャッシュの更新が行われます。まず置き換え対象となるデータを内部バッファへ退避し、次に該当アドレスのデータを含む 16 バイトのデータ読み出しを行い、該当アドレスのデータを更新します。それに続き、最初に退避した 16 バイトのデータの書き戻しサイクルが行われます。

ライトスルーモード時は、キャッシュの検索を行い該当アドレスのデータがあった場合にはキャッシュへの書き込みと並行して内部バスを經由して実際の書き込みが行われます。該当アドレスのデータがなかった場合には、キャッシュの更新は行わずに内部バスを經由して実際の書き込みのみ行われます。

バスステートコントローラには一段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

DMAC などの別のバスマスタからのアクセスでも同様にバスステートコントローラのライトバッファは働きます。したがって、デュアルアドレスの DMA 転送を行う場合は、書き込みサイクルの完了を待たずに次の読み出しサイクルの起動がかけられます。ただし、DMA のソースアドレスとデスティネーションアドレスとともに外部メモリ空間である場合には、前の書き込みサイクルが完了するまで次の読み出しサイクルの開始は待たされます。

なお、ライトバッファの動作中に BSC のレジスタを変更すると、正しいライトアクセスができなくなりますので、ライトアクセス直後に BSC のレジスタの変更は行わないでください。必要な場合にはライトデータのダミーリードを実行後に BSC のレジスタを変更してください。

本 LSI は、CPU を除く内部バスマスタ (A-DMAC (F-DMAC を含む)、E-DMAC、DMAC) から内部バスのバス権要求があった場合の優先順位をレジスタによって設定することが可能です。

優先順位を変更する場合は、A-DMAC (F-DMAC を含む)、E-DMAC、DMAC を起動していない状態でレジスタを書き換えてください。

(3) 内蔵周辺モジュールのアクセス

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック ($P\phi$) で 2 サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために、STBCR レジスタの STBY ビットを 1 に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行前に STBCR レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが 1 にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に同じレジスタのダミーリードを実施し、その後に目的の後続命令を実行してください。

8. ダイレクトメモリアクセスコントローラ (DMAC)

ダイレクトメモリアクセスコントローラ (DMAC) は、DACK (転送要求受け付け信号) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、および内蔵周辺モジュール間のデータ転送を CPU に代わって高速に行うことができます。

8.1 特長

- チャンネル数：CH0～CH7の8チャンネル
CH0、CH1 の 2 チャンネルのみ、外部リクエストの受け付けが可能です。
- アドレス空間：アーキテクチャ上は4GB
- 転送データ単位：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト (ロングワード×4)
- 最大転送回数：16,777,216 (24ビット) 回
- アドレスモード：シングルアドレスモードとデュアルアドレスモードから選択可能
- 転送要求：
外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエストの 3 種類から選択可能
内蔵周辺モジュールリクエストを発行できるモジュールには以下のモジュールがあります。
SCIF：6 要因、IIC3：2 要因、CMT：2 要因、USB：2 要因、SSI：2 要因、SDHI：2 要因
- バスモード：サイクルスチールモード (通常モードとインターミッテントモード) とバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送1/2終了時またはデータ転送終了時にCPUへ割り込み要求を発生可能
CHCR の HE ビット、HIE ビットにより、DMAC 転送が初期設定の 1/2 回終了した時点で CPU に対する割り込みを設定します。
- 外部リクエスト検出：DREQ入力のロー／ハイレベル検出、立ち上がり／立ち下がりエッジ検出から選択可能
- 転送要求受け付け信号・転送終了信号：DACKおよびTENDはアクティブレベルを設定可能
- DMA設定のレジスタにリロード機能を備えていますので、実行中のDMA転送と同じ設定でのDMA転送を再設定することなく繰り返し実行することができます。また、DMA転送中にリロードレジスタをあらかじめ設定しておくことで、次回のDMA転送を異なる設定で実行することができます。
このリロード機能は、チャンネルごと、リロードレジスタごとに ON/OFF の設定が可能です。

図 8.1 に DMAC のブロック図を示します。

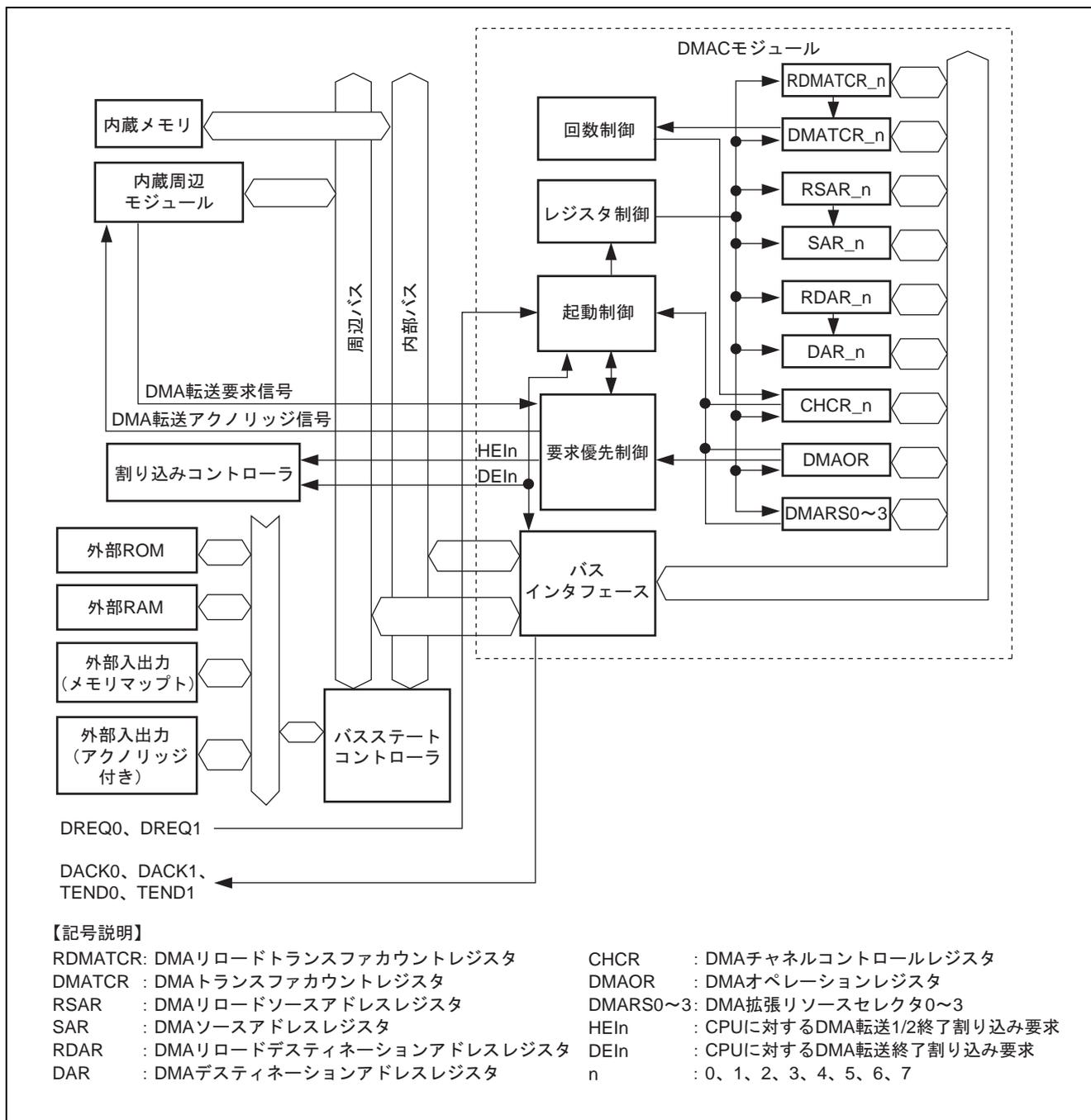


図 8.1 DMAC のブロック図

8.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 8.1 に示します。DMAC としては、外部バス用に 2 チャンネル分の端子 (CH0、CH1) を持っています。

表 8.1 外部バスに対する端子構成

チャンネル	名称	端子名	入出力	機能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK0	出力	DMAC チャンネル 0 から外部デバイスへの DMA 転送要求受け付け出力
1	DMA 転送要求	DREQ1	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK1	出力	DMAC チャンネル 1 から外部デバイスへの DMA 転送要求受け付け出力
0	DMA 転送終了	TEND0	出力	DMAC チャンネル 0 の DMA 転送終了出力
1	DMA 転送終了	TEND1	出力	DMAC チャンネル 1 の DMA 転送終了出力

8.3 レジスタの説明

DMACには以下のレジスタがあります。各チャンネルに4本の制御レジスタと3本のリロードレジスタがあり、すべてのチャンネルに共通な制御レジスタが1本あります。さらに、2チャンネルごとに1本の拡張リソースセクタレジスタがあります。各チャンネルのレジスタについては、チャンネル0のSARはSAR_0のように表記しています。

表 8.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	DMA ソースアドレスレジスタ_0	SAR_0	R/W	H'00000000	H'FFFE1000	16、32
	DMA デスティネーションアドレス レジスタ_0	DAR_0	R/W	H'00000000	H'FFFE1004	16、32
	DMA トランスファカウントレジスタ_0	DMATCR_0	R/W	H'00000000	H'FFFE1008	16、32
	DMA チャンネルコントロールレジスタ_0	CHCR_0	R/W* ¹	H'00000000	H'FFFE100C	8、16、32
	DMA リロードソースアドレス レジスタ_0	RSAR_0	R/W	H'00000000	H'FFFE1100	16、32
	DMA リロードデスティネーション アドレスレジスタ_0	RDAR_0	R/W	H'00000000	H'FFFE1104	16、32
	DMA リロードトランスファカウント レジスタ_0	RDMATCR_0	R/W	H'00000000	H'FFFE1108	16、32
1	DMA ソースアドレスレジスタ_1	SAR_1	R/W	H'00000000	H'FFFE1010	16、32
	DMA デスティネーションアドレス レジスタ_1	DAR_1	R/W	H'00000000	H'FFFE1014	16、32
	DMA トランスファカウントレジスタ_1	DMATCR_1	R/W	H'00000000	H'FFFE1018	16、32
	DMA チャンネルコントロールレジスタ_1	CHCR_1	R/W* ¹	H'00000000	H'FFFE101C	8、16、32
	DMA リロードソースアドレス レジスタ_1	RSAR_1	R/W	H'00000000	H'FFFE1110	16、32
	DMA リロードデスティネーション アドレスレジスタ_1	RDAR_1	R/W	H'00000000	H'FFFE1114	16、32
	DMA リロードトランスファカウント レジスタ_1	RDMATCR_1	R/W	H'00000000	H'FFFE1118	16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
2	DMA ソースアドレスレジスタ_2	SAR_2	R/W	H'00000000	H'FFFE1020	16、32
	DMA デスティネーションアドレス レジスタ_2	DAR_2	R/W	H'00000000	H'FFFE1024	16、32
	DMA トランスファカウンタレジスタ_2	DMATCR_2	R/W	H'00000000	H'FFFE1028	16、32
	DMA チャンネルコントロールレジスタ_2	CHCR_2	R/W* ¹	H'00000000	H'FFFE102C	8、16、32
	DMA リロードソースアドレス レジスタ_2	RSAR_2	R/W	H'00000000	H'FFFE1120	16、32
	DMA リロードデスティネーション アドレスレジスタ_2	RDAR_2	R/W	H'00000000	H'FFFE1124	16、32
	DMA リロードトランスファカウンタ レジスタ_2	RDMATCR_2	R/W	H'00000000	H'FFFE1128	16、32
3	DMA ソースアドレスレジスタ_3	SAR_3	R/W	H'00000000	H'FFFE1030	16、32
	DMA デスティネーションアドレス レジスタ_3	DAR_3	R/W	H'00000000	H'FFFE1034	16、32
	DMA トランスファカウンタレジスタ_3	DMATCR_3	R/W	H'00000000	H'FFFE1038	16、32
	DMA チャンネルコントロールレジスタ_3	CHCR_3	R/W* ¹	H'00000000	H'FFFE103C	8、16、32
	DMA リロードソースアドレス レジスタ_3	RSAR_3	R/W	H'00000000	H'FFFE1130	16、32
	DMA リロードデスティネーション アドレスレジスタ_3	RDAR_3	R/W	H'00000000	H'FFFE1134	16、32
	DMA リロードトランスファカウンタ レジスタ_3	RDMATCR_3	R/W	H'00000000	H'FFFE1138	16、32
4	DMA ソースアドレスレジスタ_4	SAR_4	R/W	H'00000000	H'FFFE1040	16、32
	DMA デスティネーションアドレス レジスタ_4	DAR_4	R/W	H'00000000	H'FFFE1044	16、32
	DMA トランスファカウンタレジスタ_4	DMATCR_4	R/W	H'00000000	H'FFFE1048	16、32
	DMA チャンネルコントロールレジスタ_4	CHCR_4	R/W* ¹	H'00000000	H'FFFE104C	8、16、32
	DMA リロードソースアドレス レジスタ_4	RSAR_4	R/W	H'00000000	H'FFFE1140	16、32
	DMA リロードデスティネーション アドレスレジスタ_4	RDAR_4	R/W	H'00000000	H'FFFE1144	16、32
	DMA リロードトランスファカウンタ レジスタ_4	RDMATCR_4	R/W	H'00000000	H'FFFE1148	16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
5	DMA ソースアドレスレジスタ_5	SAR_5	R/W	H'00000000	H'FFFE1050	16、32
	DMA デスティネーションアドレス レジスタ_5	DAR_5	R/W	H'00000000	H'FFFE1054	16、32
	DMA トランスファカウンタレジスタ_5	DMATCR_5	R/W	H'00000000	H'FFFE1058	16、32
	DMA チャンネルコントロールレジスタ_5	CHCR_5	R/W* ¹	H'00000000	H'FFFE105C	8、16、32
	DMA リロードソースアドレス レジスタ_5	RSAR_5	R/W	H'00000000	H'FFFE1150	16、32
	DMA リロードデスティネーション アドレスレジスタ_5	RDAR_5	R/W	H'00000000	H'FFFE1154	16、32
	DMA リロードトランスファカウンタ レジスタ_5	RDMATCR_5	R/W	H'00000000	H'FFFE1158	16、32
6	DMA ソースアドレスレジスタ_6	SAR_6	R/W	H'00000000	H'FFFE1060	16、32
	DMA デスティネーションアドレス レジスタ_6	DAR_6	R/W	H'00000000	H'FFFE1064	16、32
	DMA トランスファカウンタレジスタ_6	DMATCR_6	R/W	H'00000000	H'FFFE1068	16、32
	DMA チャンネルコントロールレジスタ_6	CHCR_6	R/W* ¹	H'00000000	H'FFFE106C	8、16、32
	DMA リロードソースアドレス レジスタ_6	RSAR_6	R/W	H'00000000	H'FFFE1160	16、32
	DMA リロードデスティネーション アドレスレジスタ_6	RDAR_6	R/W	H'00000000	H'FFFE1164	16、32
	DMA リロードトランスファカウンタ レジスタ_6	RDMATCR_6	R/W	H'00000000	H'FFFE1168	16、32
7	DMA ソースアドレスレジスタ_7	SAR_7	R/W	H'00000000	H'FFFE1070	16、32
	DMA デスティネーションアドレス レジスタ_7	DAR_7	R/W	H'00000000	H'FFFE1074	16、32
	DMA トランスファカウンタレジスタ_7	DMATCR_7	R/W	H'00000000	H'FFFE1078	16、32
	DMA チャンネルコントロールレジスタ_7	CHCR_7	R/W* ¹	H'00000000	H'FFFE107C	8、16、32
	DMA リロードソースアドレス レジスタ_7	RSAR_7	R/W	H'00000000	H'FFFE1170	16、32
	DMA リロードデスティネーション アドレスレジスタ_7	RDAR_7	R/W	H'00000000	H'FFFE1174	16、32
	DMA リロードトランスファカウンタ レジスタ_7	RDMATCR_7	R/W	H'00000000	H'FFFE1178	16、32

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通	DMA オペレーションレジスタ	DMAOR	R/W*2	H'0000	H'FFFE1200	8、16
0/1	DMA 拡張リソースセクタ 0	DMARS0	R/W	H'0000	H'FFFE1300	16
2/3	DMA 拡張リソースセクタ 1	DMARS1	R/W	H'0000	H'FFFE1304	16
4/5	DMA 拡張リソースセクタ 2	DMARS2	R/W	H'0000	H'FFFE1308	16
6/7	DMA 拡張リソースセクタ 3	DMARS3	R/W	H'0000	H'FFFE130C	16

【注】 *1 CHCRn の HE、TE ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

*2 DMAOR の AE、NMIF ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。

8.3.1 DMA ソースアドレスレジスタ (SAR)

SAR は、読み出し/書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。シングルアドレスモードにおいて、転送元が DACK 付きの外部デバイスの転送をする場合には SAR は無視されます。

ワード (2 バイト)、ロングワード (4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

8.3.2 DMA デスティネーションアドレスレジスタ (DAR)

DAR は、読み出し/書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。シングルアドレスモードにおいて、転送先が DACK 付きの外部デバイスの転送をする場合には DAR は無視されます。

ワード (2 バイト)、ロングワード (4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

8.3.3 DMA トランスファカウントレジスタ (DMATCR)

DMATCR は、読み出し/書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

DMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W							
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

8.3.4 DMA チャンネルコントロールレジスタ (CHCR)

CHCR は、読み出し/書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

外部端子 DREQ、DACK の仕様を決めるビット (DO、AM、AL、DL、DS) については、チャンネル 0、1 で読み書き可能となっていますが、チャンネル 2~7 では対応するビットはリザーブビットとなっています。

さらに外部端子 TEND の仕様を決めるビット (TL) については、チャンネル 0、1 で読み書き可能となっていますが、チャンネル 2~7 では対応するビットはリザーブビットとなっています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TC	-	RLD SAR	RLD DAR	-	-	-	-	DO	TL	-	TE MASK	HE	HIE	AM	AL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R	R	R	R	R/W	R/W	R	R/W	R/(W)*	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM[1:0]		SM[1:0]		RS[3:0]			DL	DS	TB	TS[1:0]		IE	TE	DE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/W

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	TC	0	R/W	<p>トランスファカウントモード</p> <p>1回の転送要求で1回転送するか、DMATCRの設定回数転送するかを設定します。本機能は、内蔵周辺モジュールリクエストの場合のみ有効です。TC=0に設定した場合には、TBビットを1(バーストモード)に設定しないでください。また、転送要求元をSCIF、IIC3、SSIに設定した場合には、TC=1に設定しないでください。</p> <p>0: 1回の転送要求で1回転送</p> <p>1: 1回の転送要求でDMATCRの設定回数転送</p>
30	-	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
29	RLDSAR	0	R/W	<p>SARリロード機能ON/OFF</p> <p>SARおよびDMATCRへのリロード機能を、有効(ON)にするか、無効(OFF)にするかを設定します。</p> <p>0: SARおよびDMATCRへのリロード機能は無効(OFF)</p> <p>1: SARおよびDMATCRへのリロード機能は有効(ON)</p>
28	RLDDAR	0	R/W	<p>DARリロード機能ON/OFF</p> <p>DARおよびDMATCRへのリロード機能を、有効(ON)にするか、無効(OFF)にするかを設定します。</p> <p>0: DARおよびDMATCRへのリロード機能は無効(OFF)</p> <p>1: DARおよびDMATCRへのリロード機能は有効(ON)</p>

ビット	ビット名	初期値	R/W	説明
27~24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23	DO	0	R/W	DMA オーバラン DREQ をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。 本ビットは CHCR_0、1 でのみ有効です。CHCR_2~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : DREQ をオーバラン 0 で検出 1 : DREQ をオーバラン 1 で検出
22	TL	0	R/W	トランスファエンドレベル TEND 信号をハイアクティブにするかローアクティブにするかを指定します。 本ビットは CHCR_0、1 でのみ有効です。CHCR_2~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。 0 : TEND をローアクティブ出力 1 : TEND をハイアクティブ出力
21	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	TEMASK	0	R/W	TE セットマスク TE ビットが 1 にセットされたときに、DMA 転送が停止しないことを指示します。SAR リロード機能または DAR リロード機能と合わせて本ビットを設定することで、転送要求を取りやめるまでの期間、DMA 転送を実行することができます。オートリクエストおよび外部リクエストの立ち上がり／立ち下がりエッジ検出の場合には、本ビットの設定は無視され、TE ビットがセットされると DMA 転送は停止します。なお、本機能は RLDSAR ビットまたは RLDDAR ビットのいずれかが 1 にセットされた場合に有効となります。 0 : TE ビットがセットされると DMA 転送を停止 1 : TE ビットがセットされても DMA 転送を継続

ビット	ビット名	初期値	R/W	説明
19	HE	0	R/(W)*	<p>ハーフエンドフラグ</p> <p>転送回数が、転送開始前にセットした DMATCR の値の半分以上になると、HE ビットは 1 にセットされます。転送回数が、転送開始前にセットした DMATCR の半分に満たない状態で、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットがセットされてから、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMAOR の DME ビットをクリアして転送を終了させた場合には、HE ビットはセットされたままです。HE ビットをクリアするには、HE ビットの 1 を読み出してから 0 を書き込んでください。</p> <p>0 : DMA 転送中または DMA 転送中断で、 $DMATCR > (\text{転送前にセットした DMATCR}) / 2$ [クリア条件]</p> <ul style="list-style-type: none"> HE ビットの 1 を読み出してから 0 を書き込む <p>1 : $DMATCR \leq (\text{転送前にセットした DMATCR}) / 2$</p>
18	HIE	0	R/W	<p>ハーフエンドインタラプトイネーブル</p> <p>転送回数が、転送開始前にセットした DMATCR の値に半分になった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると、CPU に対し割り込みを要求します。</p> <p>0 : $DMATCR = (\text{転送前にセットした DMATCR}) / 2$ で、割り込み要求を禁止 1 : $DMATCR = (\text{転送前にセットした DMATCR}) / 2$ で、割り込み要求を許可</p>
17	AM	0	R/W	<p>アクノリッジモード</p> <p>デュアルアドレスモードで、DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。</p> <p>シングルアドレスモード時は、本ビットの指定に関係なく DACK は常に出力されます。</p> <p>本ビットは CHCR_0、1 でのみ有効です。CHCR_2~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : 読み出しサイクルで DACK を出力 (デュアルアドレスモード) 1 : 書き込みサイクルで DACK を出力 (デュアルアドレスモード)</p>
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK 信号をハイアクティブにするかローアクティブにするかを指定します。</p> <p>本ビットは CHCR_0、1 でのみ有効です。CHCR_2~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>0 : DACK をローアクティブ出力 1 : DACK をハイアクティブ出力</p>

ビット	ビット名	初期値	R/W	説明
15、14	DM[1:0]	00	R/W	<p>デスティネーションアドレスモード</p> <p>DMA 転送先のアドレスの増減を指定します (シングルアドレスモードにおいて、DACK 付き外部デバイスへの転送をする場合には、DM1、DM0 ビットは無視されます)。</p> <p>00 : デスティネーションアドレスは固定</p> <p>01 : デスティネーションアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16)</p> <p>10 : デスティネーションアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止)</p> <p>11 : 設定禁止</p>
13、12	SM[1:0]	00	R/W	<p>ソースアドレスモード</p> <p>DMA 転送元のアドレスの増減を指定します (シングルアドレスモードにおいて、DACK 付き外部デバイスから転送をする場合には、SM1、SM0 ビットは無視されます)。</p> <p>00 : ソースアドレスは固定</p> <p>01 : ソースアドレスは増加 (バイト単位転送時は+1、ワード単位転送時は+2、ロングワード単位転送時は+4、16 バイト単位転送時は+16)</p> <p>10 : ソースアドレスは減少 (バイト単位転送時は-1、ワード単位転送時は-2、ロングワード単位転送時は-4、16 バイト単位転送時は設定禁止)</p> <p>11 : 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
11~8	RS[3:0]	0000	R/W	<p>リソースセレクト</p> <p>DMAC に入力する転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。</p> <p>0000 : 外部リクエスト、デュアルアドレスモード</p> <p>0001 : 設定禁止</p> <p>0010 : 外部リクエスト、シングルアドレスモード 外部アドレス空間→DACK 付き外部デバイス</p> <p>0011 : 外部リクエスト、シングルアドレスモード DACK 付き外部デバイス→外部アドレス空間</p> <p>0100 : オートリクエスト</p> <p>0101 : 設定禁止</p> <p>0110 : 設定禁止</p> <p>0111 : 設定禁止</p> <p>1000 : DMA 拡張リソースセクタ</p> <p>1001 : 設定禁止</p> <p>1010 : 設定禁止</p> <p>1011 : 設定禁止</p> <p>1100 : 設定禁止</p> <p>1101 : 設定禁止</p> <p>1110 : 設定禁止</p> <p>1111 : 設定禁止</p> <p>【注】 外部リクエストの指定は CHCR_0~3 のみ有効です。 CHCR_4~7 では外部リクエストの指定をしても、何も実行されません。</p>
7	DL	0	R/W	DREQ レベル
6	DS	0	R/W	<p>DREQ エッジセレクト</p> <p>DREQ 入力の検出方法と検出レベルを選択します。</p> <p>本ビットは CHCR_0、1 のみ有効です。CHCR_2~7 ではリザーブビットで読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p> <p>また転送要求元を内蔵周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効です。</p> <p>00 : ローレベル検出</p> <p>01 : 立ち下がリエッジ検出</p> <p>10 : ハイレベル検出</p> <p>11 : 立ち上がリエッジ検出</p>

ビット	ビット名	初期値	R/W	説明
5	TB	0	R/W	<p>トランスファバスモード</p> <p>DMA 転送のバスモードを選択します。ただし、TC=0 に設定した場合には、バーストモードに設定しないでください。</p> <p>0 : サイクルスチールモード 1 : バーストモード</p>
4、3	TS[1:0]	00	R/W	<p>トランスファサイズ</p> <p>DMA 転送の単位を選択します。転送元または転送先が、転送サイズが指定された内蔵周辺モジュールのレジスタの場合には、必ずその転送サイズを選んでください。</p> <p>00 : バイト単位 01 : ワード (2 バイト) 単位 10 : ロングワード (4 バイト) 単位 11 : 16 バイト (ロングワード×4) 単位</p>
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 転送終了時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされると、CPU に対し割り込み (DEI) を要求します。</p> <p>0 : 割り込み要求を禁止 1 : 割り込み要求を許可</p>
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>DMATCR の値が 0 になり、DMA 転送が終了すると、TE ビットは 1 にセットされます。DMATCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TEMASK ビットが 0 で、TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送中断 [クリア条件]</p> <ul style="list-style-type: none"> TE ビットの 1 を読み出してから 0 を書き込む <p>1 : (DMATCR=0 により) DMA 転送終了</p>

ビット	ビット名	初期値	R/W	説明
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。外部リクエストのローレベル検出またはハイレベル検出、および周辺モジュールリクエストでは、TEMASK ビットが 1 である場合には、NMIF ビットおよび AE ビットが 0 であることが必要です。TEMASK ビットが 0 である場合には、TE ビットも 0 であることが必要となります。外部リクエストの立ち上がりエッジ検出または立ち下がりエッジ検出の場合には、オートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 であることが必要です。DE ビットをクリアすると、転送を中断することができます。</p> <p>0 : DMA 転送を禁止 1 : DMA 転送を許可</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

8.3.5 DMA リロードソースアドレスレジスタ (RSAR)

RSAR は、読み出し/書き込み可能な 32 ビットのレジスタです。

SAR リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RSAR の内容がソースアドレスレジスタ (SAR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次回の DMA 転送のための設定をプリセットしておくことができます。SAR リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

ワード (2 バイト)、ロングワード (4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

8.3.6 DMA リロードデスティネーションアドレスレジスタ (RDAR)

RDAR は、読み出し／書き込み可能な 32 ビットのレジスタです。

DAR リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RDAR の内容がデスティネーションアドレスレジスタ (DAR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次回の DMA 転送のための設定をプリセットしておくことができます。DAR リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

ワード (2 バイト)、ロングワード (4 バイト)、16 バイト単位のデータ転送を行う場合は、それぞれ 2 バイト、4 バイト、16 バイト境界のアドレスを指定してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

8.3.7 DMA リロードトランスファカウントレジスタ (RDMATCR)

RDMATCR は、読み出し／書き込み可能な 32 ビットのレジスタです。

SAR リロード機能あるいは DAR リロード機能を ON に設定している場合には、現在の DMA 転送が終了した時点で、RDMATCR の内容がトランスファカウントレジスタ (DMATCR) に書き込まれます。この場合、DMA 転送中にあらかじめ設定を行っておくことで、次の DMA 転送のための設定をプリセットしておくことができます。SAR リロード機能および DAR リロード機能を OFF に設定している場合には、動作に何も影響を与えません。

RDMATCR の上位 8 ビットは、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

DMATCR 同様、転送回数は、設定値が H'00000001 のときは 1 回、H'00FFFFFF のときは 16,777,215 回で、H'00000000 のときは 16,777,216 回 (最大転送回数) になります。また、16 バイト転送のときは、16 バイト転送 1 回 (128 ビット) で 1 回のカウントをします。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W							
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

8.3.8 DMA オペレーションレジスタ (DMAOR)

DMAOR は、読み出し／書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	CMS[1:0]	-	-	PR[1:0]	-	-	-	-	-	-	AE	NMIF	DME	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R/(W)*	R/(W)*	R/W

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15、14	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	CMS[1:0]	00	R/W	サイクルスチールモードセレクト サイクルスチールモード時に通常モードとインターミットモードを選択します。 インターミットモードを有効にするためには、全チャンネルのバスモードがサイクルスチールモードであることが必要です。 00 : 通常モード 01 : 設定禁止 10 : インターミットモード 16 Bφクロックで 16 クロックに 1 回 DMA 転送を実行 11 : インターミットモード 64 Bφクロックで 64 クロックに 1 回 DMA 転送を実行
11、10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	PR[1:0]	00	R/W	プライオリティモード 同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。 00 : 固定モード 1 : CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7 01 : 固定モード 2 : CH0>CH4>CH1>CH5>CH2>CH6>CH3>CH7 10 : 設定禁止 11 : ラウンドロビンモード (CH0~CH3のみラウンド対象)
7~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	AE	0	R/(W)*	アドレスエラーフラグ DMAC によるアドレスエラーが生じたことを示します。AE ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。AE ビットをクリアするには、AE ビットの 1 を読み出してから 0 を書き込みます。 0 : DMAC によるアドレスエラーなし 1 : DMAC によるアドレスエラー発生 [クリア条件] • AE ビットの 1 を読み出してから 0 を書き込む

ビット	ビット名	初期値	R/W	説明
1	NMIF	0	R/(W)*	<p>NMI フラグ</p> <p>NMI 割り込みが発生したことを示します。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。NMIF ビットをクリアするには、NMIF ビットの 1 を読み出してから 0 を書き込みます。</p> <p>NMI が入力されたとき、実行中の DMA 転送の一転送単位までは行われます。DMAC が動作していないときに、NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。</p> <p>0 : NMI 割り込みなし 1 : NMI 割り込み発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • NMIF ビットの 1 を読み出してから 0 を書き込む
0	DME	0	R/W	<p>DMA マスタイネーブル</p> <p>すべてのチャンネルの DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし、転送を行うチャンネルの CHCR にある TE ビットと DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットをクリアすると、すべてのチャンネルの DMA 転送が中断されます。</p> <p>0 : 全チャンネルの DMA 転送を禁止 1 : 全チャンネルの DMA 転送を許可</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

1 転送終了後にプライオリティモードビットの設定が変更された場合、優先順位が初期化されます。

たとえば、固定モード 2 で再設定した場合、優先順位は CH0>CH4>CH1>CH5>CH2>CH6>CH3>CH7 となり、固定モード 1 で再設定した場合、優先順位は CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7 となります。また、ラウンドロビンモードに再設定した場合は、転送終了チャンネルはリセットされます。

表 8.3 に、プライオリティモードビットの各モード (モード 0~2) の優先順位の遷移を示します。各モードは転送終了したチャンネルによって、次にリクエストを受けるチャンネルの優先順位が最大 3 通りに変化します。

たとえば、転送終了したチャンネルが CH1 のとき、次にリクエストを受け付けるチャンネルの優先順位は、CH2>CH3>CH0>CH1>CH4>CH5>CH6>CH7 となります。また、転送終了したチャンネルが CH4、CH5、CH6、CH7 の場合にはラウンドロビンの対象外となるため、チャンネル 4、チャンネル 5、チャンネル 6、またはチャンネル 7 が転送終了しても優先順位は変化しません。

また、アドレスエラー発生時の DMAC の内部処理動作は、次のようになります。

- アドレスエラーが発生しない場合 : Read (転送元→DMAC内部) →Write (DMAC内部→転送先)
- アドレスエラーがソースアドレスで発生 : Nop→Nop
- アドレスエラーがデスティネーションアドレスで発生 : Read→Nop

表 8.3 プライオリティモードビットの組み合わせ

モード	転送終了	プライオリティモードビット		転送終了後の優先順位：高←→低							
	CH No.	PR[1]	PR[0]	優先順位 0	優先順位 1	優先順位 2	優先順位 3	優先順位 4	優先順位 5	優先順位 6	優先順位 7
モード 0 (固定モード 1)	任意	0	0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
モード 1 (固定モード 2)	任意	0	1	CH0	CH4	CH1	CH5	CH2	CH6	CH3	CH7
モード 2 (ラウンドロビンモード)	CH0	1	1	CH1	CH2	CH3	CH0	CH4	CH5	CH6	CH7
	CH1	1	1	CH2	CH3	CH0	CH1	CH4	CH5	CH6	CH7
	CH2	1	1	CH3	CH0	CH1	CH2	CH4	CH5	CH6	CH7
	CH3	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH4	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH5	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH6	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
	CH7	1	1	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7

8.3.9 DMA 拡張リソースセクタ 0~3 (DMARS0~DMARS3)

DMARS は、読み出し／書き込み可能な 16 ビットのレジスタで、チャンネルごとに周辺モジュールからの DMA 転送要求元を指定します。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3、DMARS2 はチャンネル 4 および 5、DMARS3 はチャンネル 6 および 7 を設定します。設定可能な組み合わせを表 8.4 に示します。

本レジスタで、以下の起動要因に対して転送要求を受け付けることができるように設定できます。

SCIF : 6 要因、IIC3 : 2 要因、CMT : 2 要因、USB : 2 要因、SSI : 2 要因、SDHI : 2 要因

• DMARS0

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH1 MID[5:0]					CH1 RID[1:0]		CH0 MID[5:0]					CH0 RID[1:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS1

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH3 MID[5:0]					CH3 RID[1:0]		CH2 MID[5:0]					CH2 RID[1:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS2

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH5 MID[5:0]					CH5 RID[1:0]		CH4 MID[5:0]					CH4 RID[1:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• DMARS3

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CH7 MID[5:0]					CH7 RID[1:0]		CH6 MID[5:0]					CH6 RID[1:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各モジュールからの転送要求は、以下の MID、RID を設定します。

表 8.4 DMARS の設定

周辺モジュール	1チャンネル分の 設定値({MID,RID})	MID	RID	機能
USB_0	H'03	B'000000	B'11	—
USB_1	H'07	B'000001	B'11	—
SDHI	H'11	B'000100	B'01	送信
	H'12	B'000100	B'10	受信
SSI_0	H'23	B'001000	B'11	—
SSI_1	H'27	B'001001	B'11	—
IIC3_0	H'61	B'011000	B'01	送信
	H'62		B'10	受信
SCIF_0	H'81	B'100000	B'01	送信
	H'82		B'10	受信
SCIF_1	H'85	B'100001	B'01	送信
	H'86		B'10	受信
SCIF_2	H'89	B'100010	B'01	送信
	H'8A		B'10	受信
CMT_0	H'FB	B'111110	B'11	—
CMT_1	H'FF	B'111111	B'11	—

表 8.4 以外の MID または RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR_0~7 レジスタのリソースセレクトビット (RS[3:0]) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。

8.4 動作説明

DMACはDMA転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類のモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

8.4.1 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (DMATCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、3つのリロードレジスタ (RSAR、RDAR、RDMATCR)、DMA 拡張リソースセレクト (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

1. 転送許可状態かどうか (DE=1、DME=1、TEMASK=0かつTE=0またはTEMASK=1、AE=0、NMIF=0) をチェックします。
2. 転送許可状態で転送要求が発生すると1転送単位のデータ (TS[1:0]ビットの設定により決定) を転送します。オートリクエストモードの場合はDEビットおよびDMEビットが1にセットされると自動的に転送を開始します。1回の転送を行うごとにDMATCRの値を1デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
3. 指定された回数の半分の転送を超える (DMATCRの値が初期値の1/2になる) と、CHCRのHIEビットに1がセットしてあれば、CPUにHEI割り込みが発生します。
4. TEMASK=0のとき、指定された回数の転送を終える (DMATCRの値が0になる) と、転送を正常に終了します。このときCHCRのIEビットに1がセットしてあれば、CPUにDEI割り込みが発生します。TEMASK=1のときには、DMATCRの値が0になると、TE=1にセット後、指定されたRSAR、RDAR、RDMATCRの値をSAR、DAR、DMATCRにリロードし、転送要求がなくなるまで転送動作を継続します。
5. DMACによるアドレスエラーかNMI割り込みが発生した場合には、転送を中断します。またCHCRのDEビットかDMAORのDMEビットを0にしても中断します。

図 8.2 に上記のフローチャートを示します。

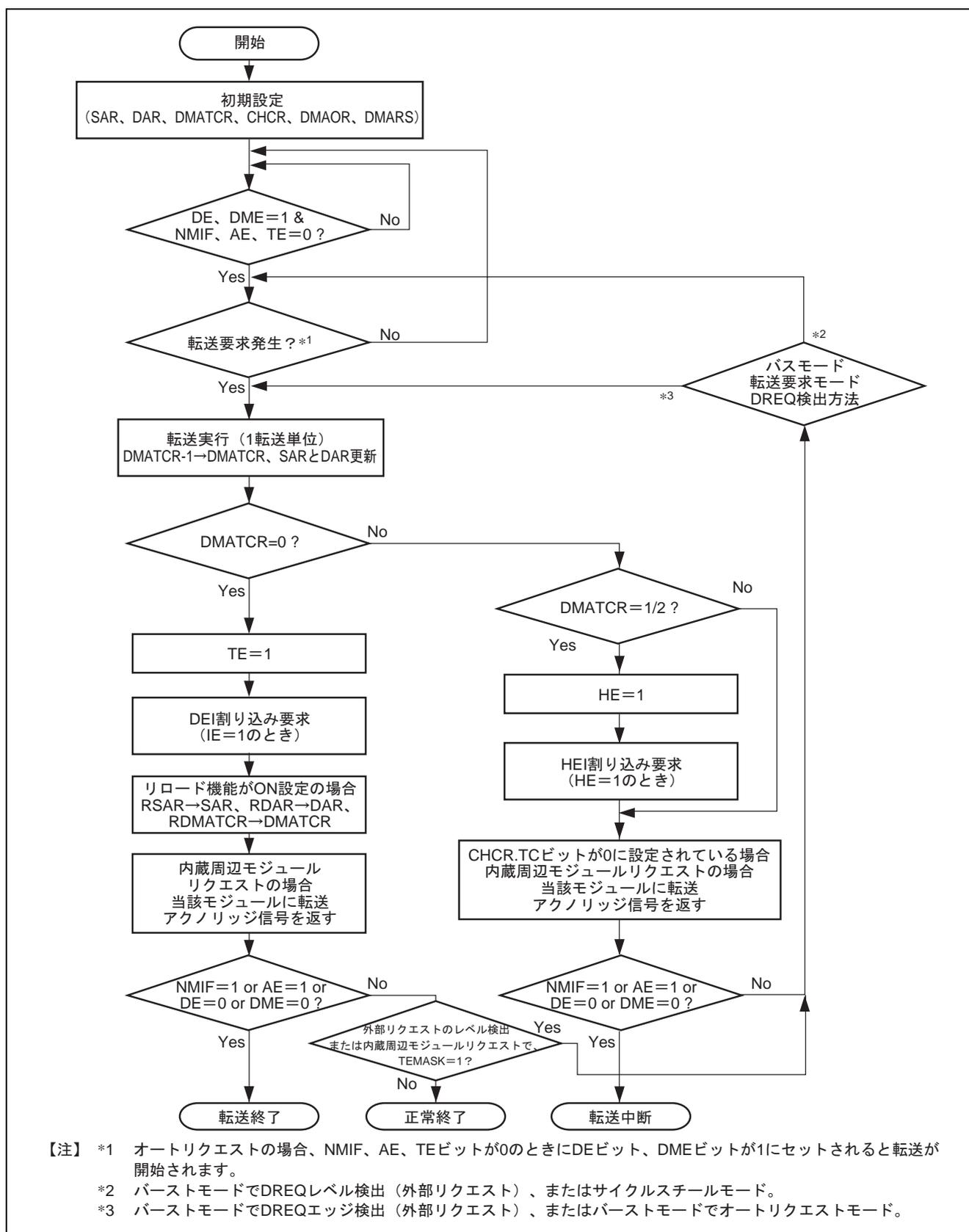


図 8.2 DMA 転送フローチャート

8.4.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの3種類があります。転送要求の選択は CHCR_0~CHCR_7 の RS[3:0] ビットおよび DMARS0、DMARS1、DMARS2、DMARS3 レジスタによって行います。

(1) オートリクエストモード

オートリクエストモードは、メモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR_0~CHCR_7 の DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR_0~CHCR_7 の TE ビット、DMAOR の AE ビット、NMIF ビットがすべて 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号 (DREQ0、DREQ1) によって転送を開始させるモードです。システムに応じて表 8.5 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (レベル検出のとき、DE=1、DME=1、TEMASK=0 かつ TE=0 または TEMASK=1、AE=0、NMIF=0、エッジ検出のとき、DE=1、DME=1、TE=0、AE=0、NMIF=0) に DREQ が入力されると DMA 転送が開始されます。

表 8.5 RS ビットによる外部リクエストモードの選択

RS[3]	RS[2]	RS[1]	RS[0]	アドレスモード	転送元	転送先
0	0	0	0	デュアルアドレスモード	任意	任意
0	0	1	0	シングルアドレスモード	外部メモリまたは メモリマップト外部デバイス	DACK 付き外部デバイス
			1		DACK 付き外部デバイス	外部メモリまたは メモリマップト外部デバイス

DREQ をエッジで検出するかレベルで検出するかは、表 8.6 に示す CHCR_0、CHCR_1 の DL ビットと DS ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。立ち上がり検出または立ち下がり検出でバーストモードの場合、1 回の転送要求で DMATCR=0 になるまで転送し続けます。サイクルスチールモードでは、1 回の転送要求で 1 回の転送を行います。

表 8.6 DL、DS ビットによる外部リクエスト検出の選択

CHCR		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態（不感帯）となります。受け付けた DREQ に対するアクノリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合（オーバラン 0）と、リクエストより 1 つ多い回数の転送を実行して中断する場合（オーバラン 1）があります。オーバランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表 8.7 DO ビットによる外部リクエスト検出の選択

CHCR の DO ビット	外部リクエスト
0	オーバラン 0
1	オーバラン 1

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。

内蔵周辺モジュールから DMAC に対する DMA 転送要求信号の一覧を表 8.8 に示します。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態（DE=1、DME=1、TEMASK=0 かつ TE=0 または TEMASK=1、AE=0、NMIF=0）ならば、転送要求信号によって転送が実行されます。

内蔵周辺モジュールリクエストの場合には、転送元、転送先が固定されるケースがあります。表 8.8 を参照してください。

表 8.8 RS3~RS0 ビットによる内蔵周辺モジュールリクエストモードの選択

CHCR RS[3:0]	DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バスモード
	MID	RID					
1000	000000	11	USB	USB_DMA0 (受信 FIFO フル)	D0FIFO	任意	サイクル スチール/ バースト
				USB_DMA0 (送信 FIFO エンプティ)	任意	D0FIFO	
000001	11	USB	USB_DMA1 (受信 FIFO フル)	D1FIFO	任意		
			USB_DMA1 (送信 FIFO エンプティ)	任意	D1FIFO		
000100	01	SDHI 送信	TXI (受信データエンプティ)	データレジスタ	任意	サイクル スチール	
		SDHI 受信	RXI (送信データフル)	任意	データレジスタ		
001000	11	SSI_0	DMA0 (送信モード)	任意	SSITDR0		
			DMA0 (受信モード)	SSIRDR0	任意		
001001	11	SSI_1	DMA1 (送信モード)	任意	SSITDR1		
			DMA1 (受信モード)	SSIRDR1	任意		
011000	01	IIC3_0 送信	TXI0 (送信データエンプティ)	任意	ICDRT0		
		IIC3_0 受信	RXI0 (受信データフル)	ICDRR0	任意		
100000	01	SCIF_0 送信	TXI0 (送信 FIFO データエンプティ)	任意	SCFTDR_0		
		SCIF_0 受信	RXI0 (受信 FIFO データフル)	SCFRDR_0	任意		
100001	01	SCIF_1 送信	TXI1 (送信 FIFO データエンプティ)	任意	SCFTDR_1		
		SCIF_1 受信	RXI1 (受信 FIFO データフル)	SCFRDR_1	任意		
100010	01	SCIF_2 送信	TXI2 (送信 FIFO データエンプティ)	任意	SCFTDR_2		
		SCIF_2 受信	RXI2 (受信 FIFO データフル)	SCFRDR_2	任意		
111110	11	CMT_0	CMI0 (コンペアマッチ)	任意	任意	サイクル スチール/ バースト	
111111	11	CMT_1	CMI1 (コンペアマッチ)	任意	任意		

8.4.3 チャンネルの優先順位

DMAC は同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定モード 1、固定モード 2、ラウンドロビンモードの 3 種類のモードから選択できます。モードの選択は DMAOR の PR1、PR0 ビットにより行います。

(1) 固定モード

固定モード 1 および 2 ではチャンネルの優先順位は変化しません。
各モードの優先順位は以下のとおりです。

- 固定モード 1 : CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7
- 固定モード 2 : CH0>CH4>CH1>CH5>CH2>CH6>CH3>CH7

これらの選択は DMAOR の PR1、PR0 ビットにより行います。

(2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャンネルで 1 転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送が終了するごとにそのチャンネルの優先順位がラウンドロビン対象チャンネル内で一番低くなるように優先順位を変更します。なお、ラウンドロビンの対象となるチャンネルは CH0~CH3 の 4 チャンネルのみです。これ以外のチャンネルはラウンドロビンモードでも優先順位は変更されません。この動作を図 8.3 に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0>CH1>CH2>CH3>CH4>CH5>CH6>CH7 です。

ラウンドロビンモードを指定した場合、複数のチャンネルのバスモードでサイクルスチールモードとバーストモードを混在させないでください。

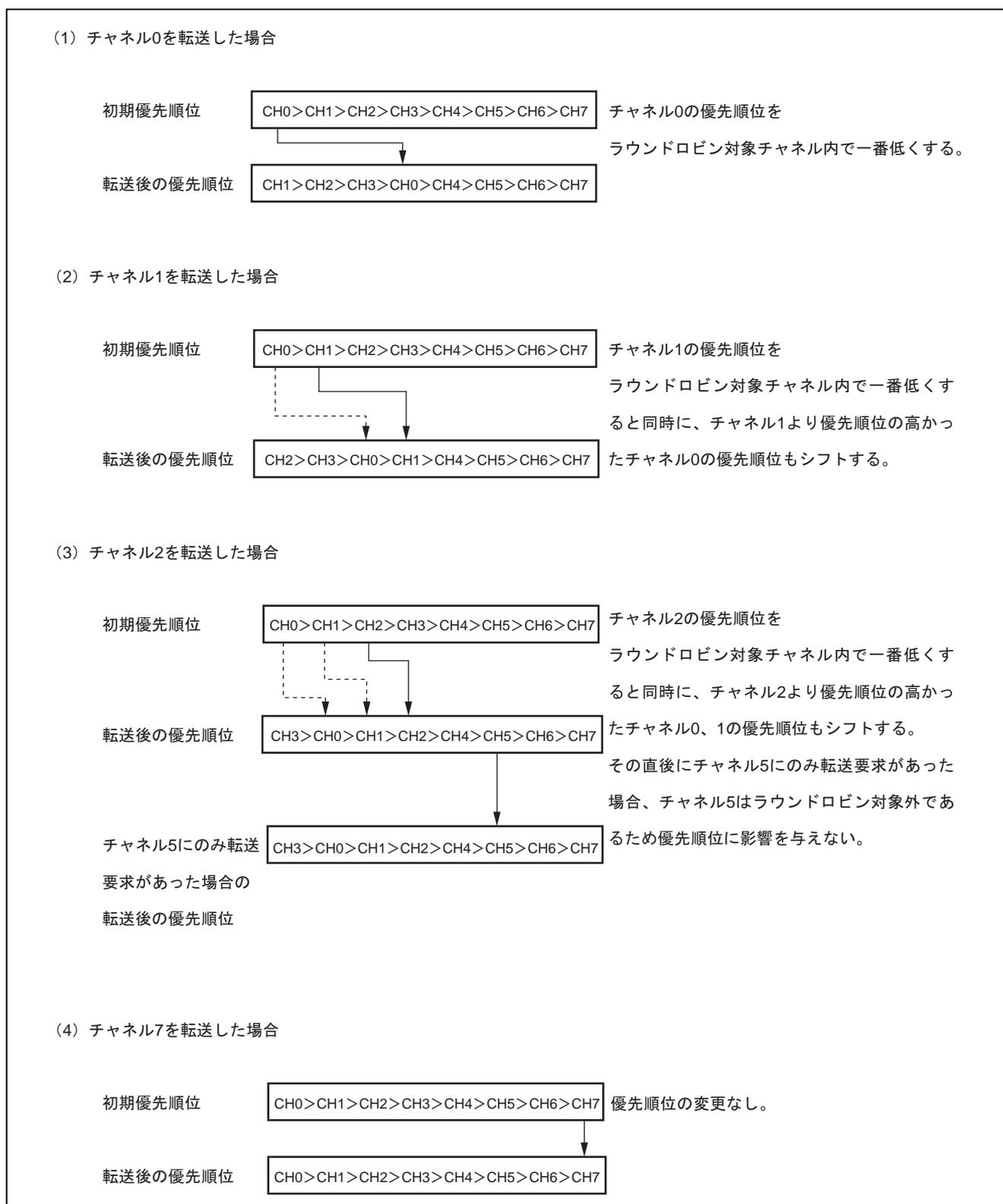


図 8.3 ラウンドロビンモード

図 8.4 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下ようになります。

1. チャンネル 0 とチャンネル 3 に同時に転送要求が発生します。
2. チャンネル 0 のほうがチャンネル 3 より優先順位が高いため、チャンネル 0 の転送を開始します (チャンネル 3 は転送待ち)。
3. チャンネル 0 の転送中にチャンネル 1 に転送要求が発生します (チャンネル 1 とチャンネル 3 は転送待ち)。
4. チャンネル 0 の転送を終了すると、チャンネル 0 の優先順位をラウンドロビン対象チャンネル内で一番低くします。
5. この時点でチャンネル 1 のほうがチャンネル 3 より優先順位が高いため、チャンネル 1 の転送を開始します (チャンネル 3 は転送待ち)。
6. チャンネル 1 の転送を終了すると、チャンネル 1 の優先順位をラウンドロビン対象チャンネル内で一番低くします。
7. チャンネル 3 の転送を開始します。
8. チャンネル 3 の転送を終了すると、チャンネル 3 の優先順位がラウンドロビン対象チャンネル内で一番低くなるように、チャンネル 3 と一緒にチャンネル 2 の優先順位を低くします。

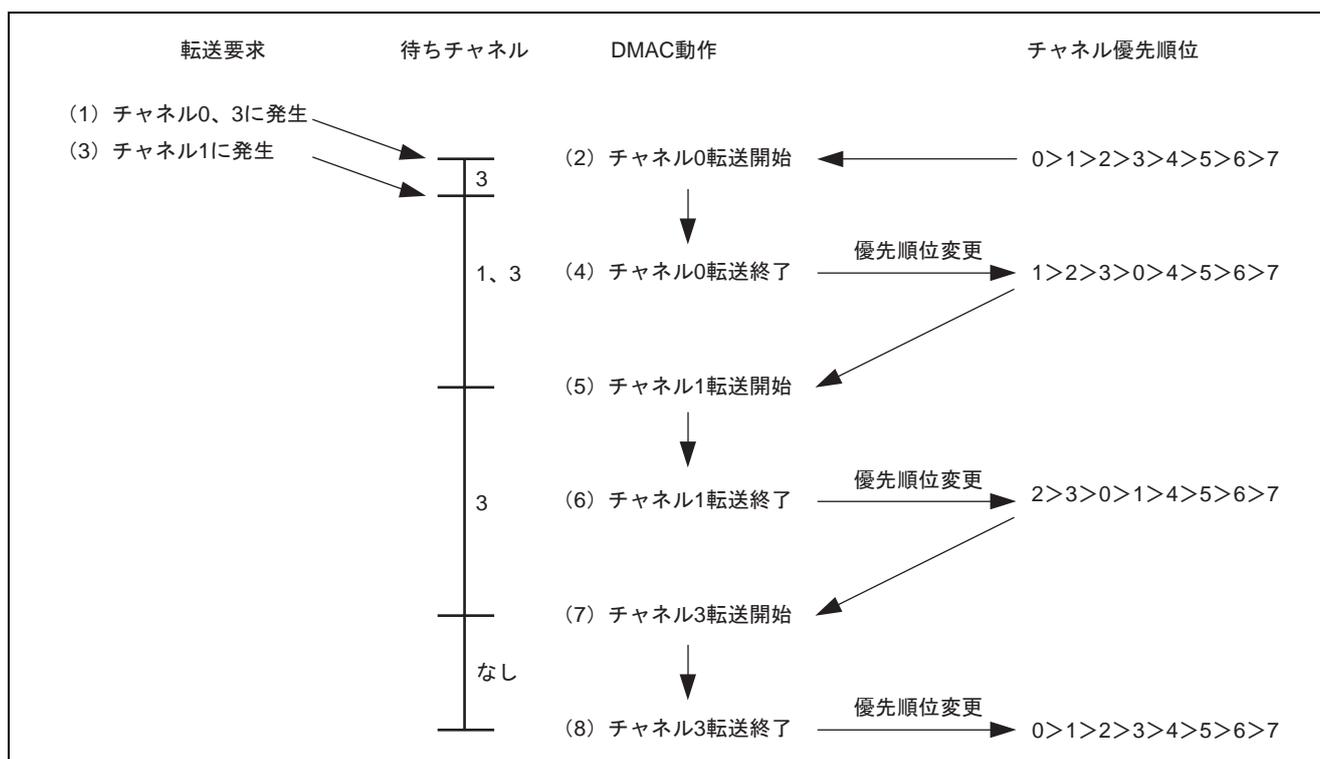


図 8.4 ラウンドロビンモードでのチャンネル優先順位

8.4.4 DMA 転送の種類

DMA 転送は、転送元と転送先を何回のバスサイクルでアクセスするかによって、シングルアドレスモード転送とデュアルアドレスモード転送に分けられます。具体的な転送動作タイミングは、バスモードによって異なります。バスモードには、サイクルスチールモードとバーストモードがあります。表 8.9 に DMAC がサポートできる転送を示します。

表 8.9 サポートできる DMA 転送

転送元	転送先				
	DACK 付き 外部デバイス	外部メモリ	メモリマップト 外部デバイス	内蔵周辺 モジュール	内蔵メモリ
DACK 付き 外部デバイス	不可	デュアル、 シングル	デュアル、 シングル	不可	不可
外部メモリ	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
メモリマップト 外部デバイス	デュアル、 シングル	デュアル	デュアル	デュアル	デュアル
内蔵周辺 モジュール	不可	デュアル	デュアル	デュアル	デュアル
内蔵メモリ	不可	デュアル	デュアル	デュアル	デュアル

- 【注】
1. デュアル：デュアルアドレスモード
 2. シングル：シングルアドレスモード
 3. 内蔵周辺モジュールは、ロングワードサイズのアクセスを許可しているレジスタに限り 16 バイト転送ができます。

(1) アドレスモード

(a) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセス（選択）する場合に使うモードです。転送元と転送先は外部でも内部でも構いません。このモードでは、DMACは、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的にDMACに格納されます。たとえば、図8.5のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMACに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

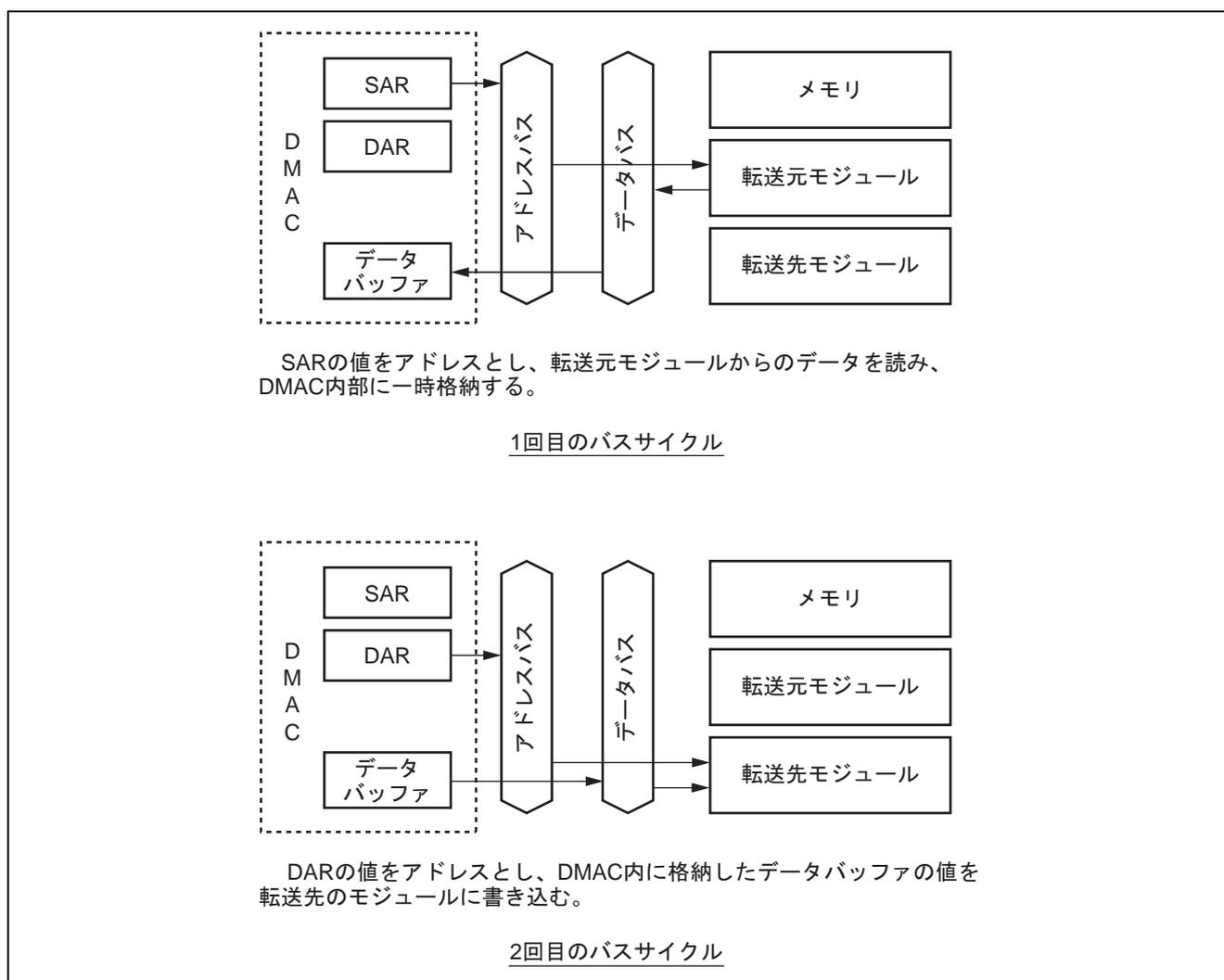


図 8.5 デュアルアドレスモードのデータフロー

転送要求は、オートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかは CHCR の AM ビットによって設定可能です。

図 8.6 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

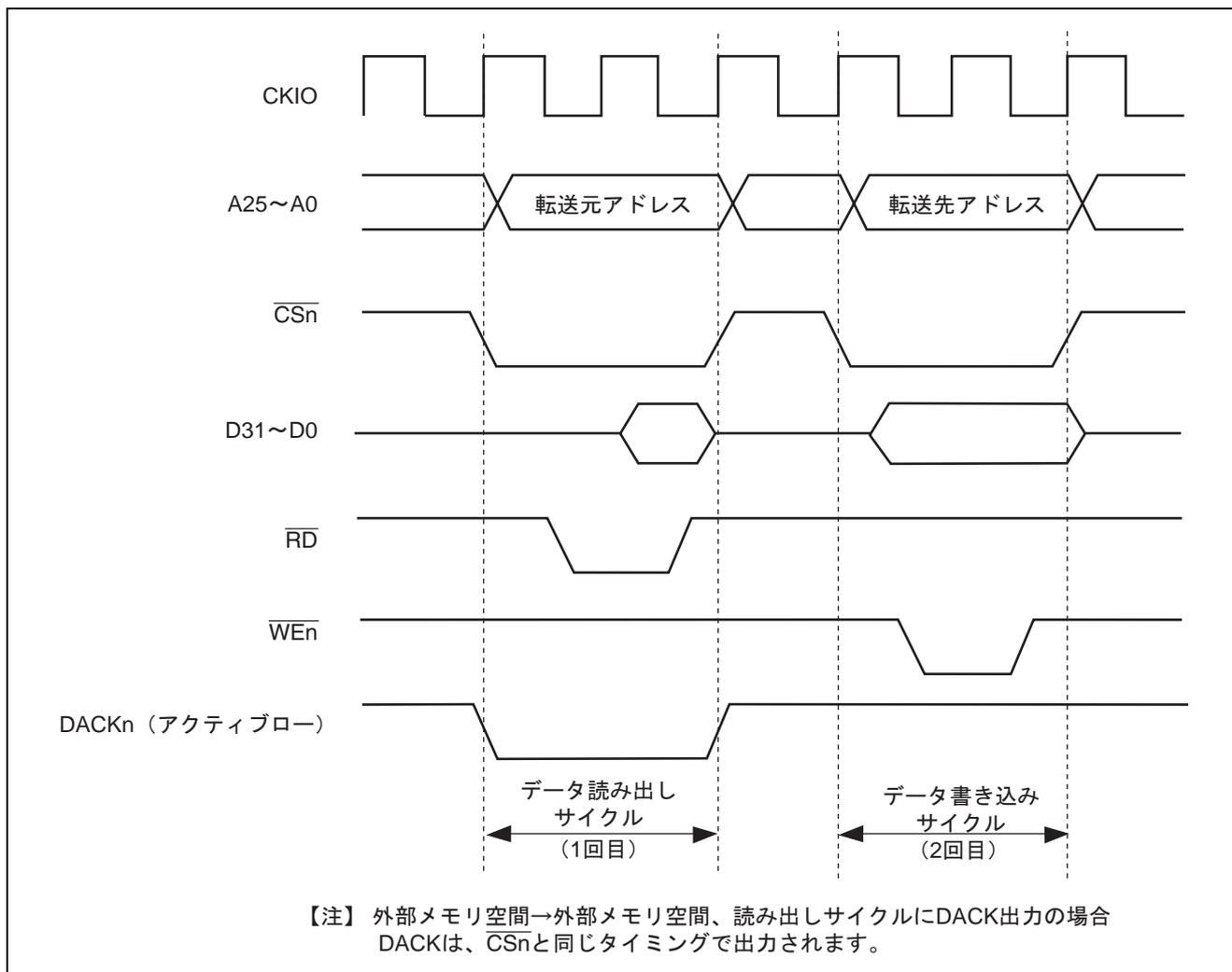


図 8.6 デュアルアドレスモードの DMA 転送タイミング例 (転送元: 通常メモリ、転送先: 通常メモリ)

(b) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセス（選択）し、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは、DMAC は、転送要求受け付け信号 DACK を一方の外部デバイスに出力してアクセスすると同時に、転送相手にアドレスを出して、1つのバスサイクルで DMA 転送を行います。たとえば、図 8.7 のような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

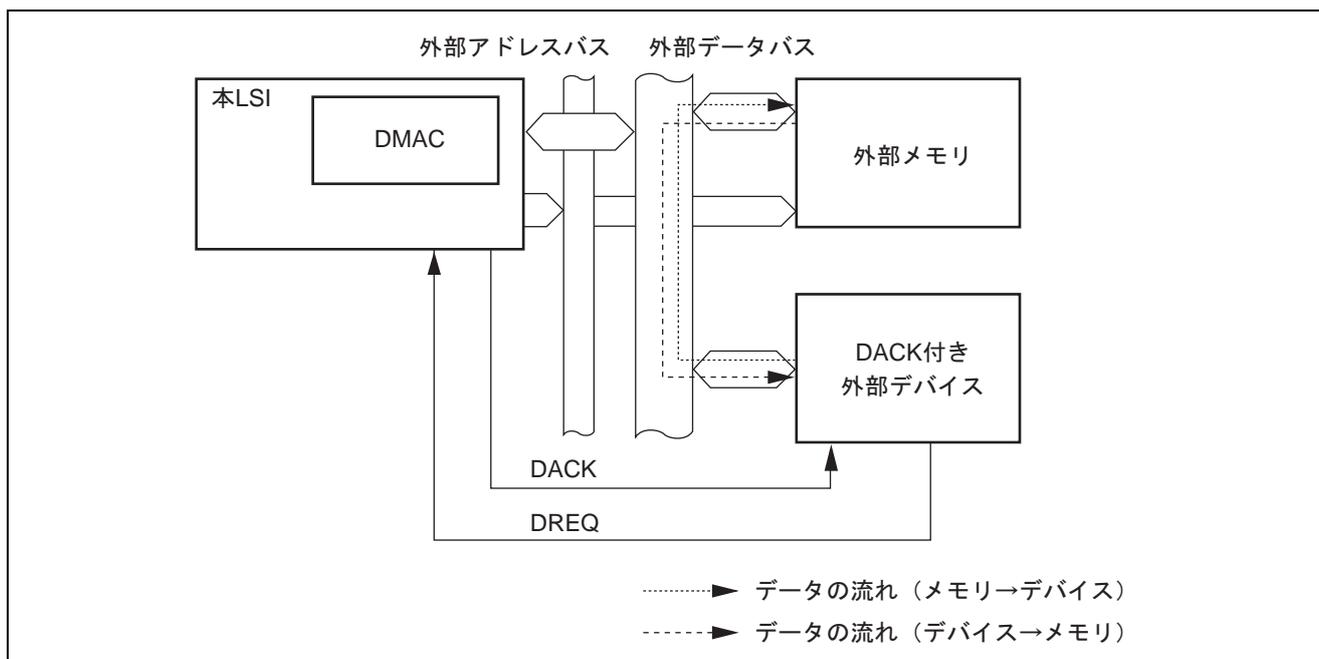


図 8.7 シングルアドレスモードのデータフロー

シングルアドレスモードで可能な転送は、(1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送、(2) DACK 付き外部デバイスと外部メモリ間転送です。いずれの場合も転送要求は外部リクエスト (DREQ) のみです。

図 8.8 にシングルアドレスモードでの DMA 転送タイミング例を示します。

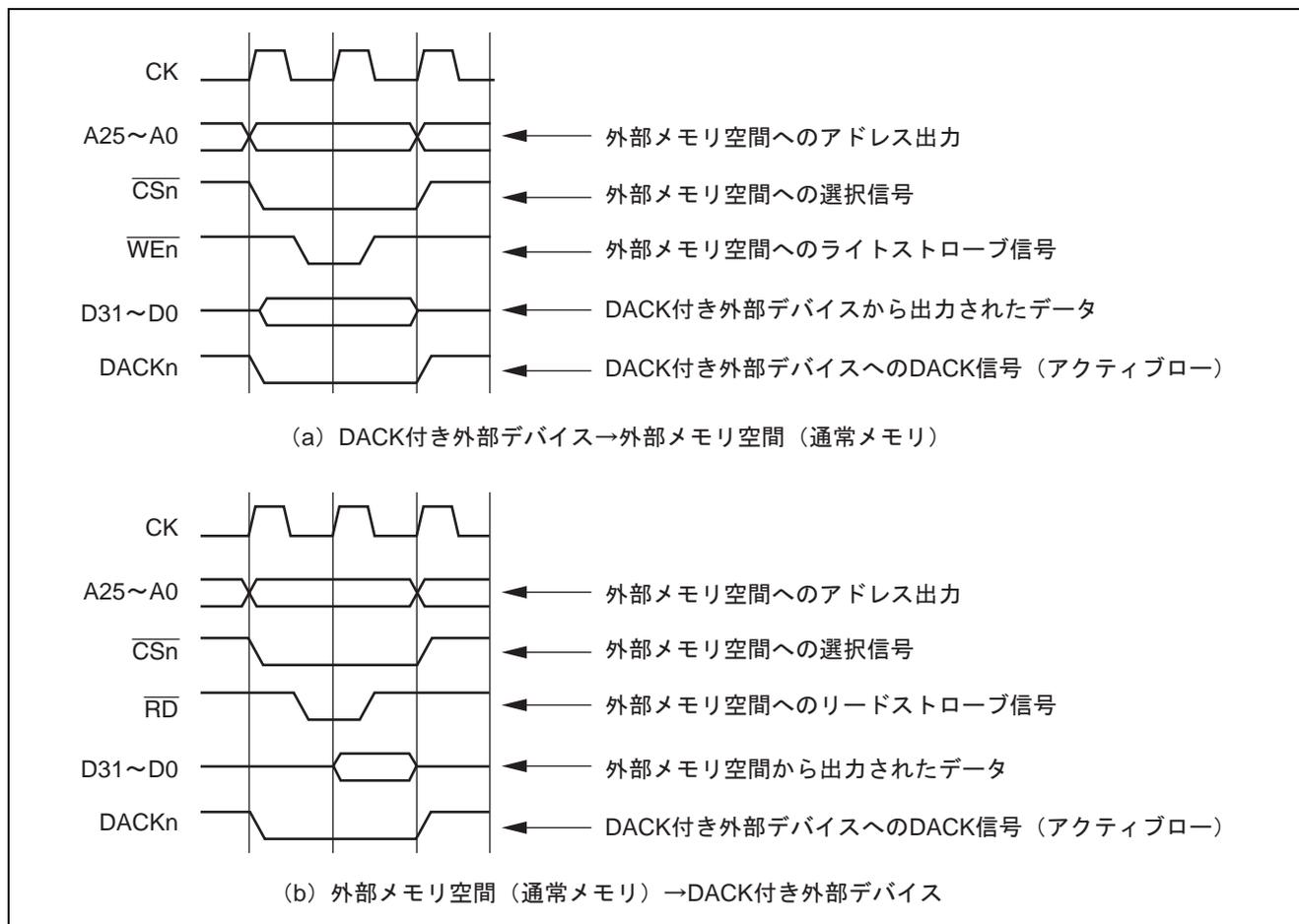


図 8.8 シングルアドレスモードの DMA 転送タイミング例

(2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は、CHCR の TB ビットで行います。

(a) サイクルスチールモード

● 通常モード

サイクルスチールの通常モードでは、DMAC は一回の転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチール通常モードは、転送要求元、転送元、転送先にかかわらずすべての転送区間で使えます。

図 8.9 にサイクルスチール通常モードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

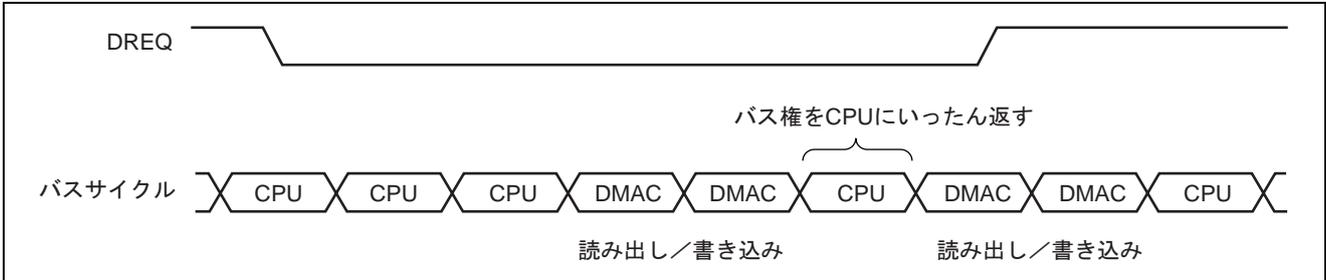


図 8.9 サイクルスチール通常モードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

- インターミットtentモード16、インターミットtentモード64

サイクルスチールのインターミットtentモードでは、DMAC は一回の転送単位 (バイト、ワード、ロングワード、または 16 バイト単位) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、Bφクロックカウントで 16 クロックまたは 64 クロック待った後に、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このため DMA 転送によるバス占有割合をサイクルスチール通常モードに比べ、低く抑えることが可能です。

DMAC が再びバス権を取り戻すときに、キャッシュミスによるエントリの更新などが行われているときには、DMA 転送がさらに待たされる場合があります。

インターミットtentモードは、転送要求元、転送元、および転送先にかかわらずすべての転送区間で使えますが、すべてのチャンネルのバスモードがサイクルスチールモードである必要があります。

図 8.10 にサイクルスチールインターミットtentモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQローレベル検出

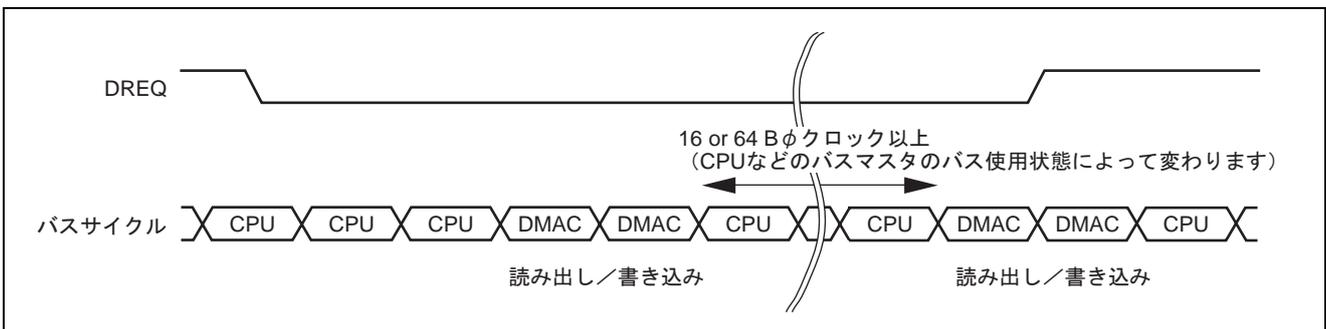


図 8.10 サイクルスチールインターミットtentモードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

(b) バーストモード

バーストモードでは、DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQ をレベルで検出する場合には、DREQ がアクティブなレベルでなくなると、転送終了条件が満たされていなくても、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

図 8.11 にバーストモードでの DMA 転送タイミングを示します。

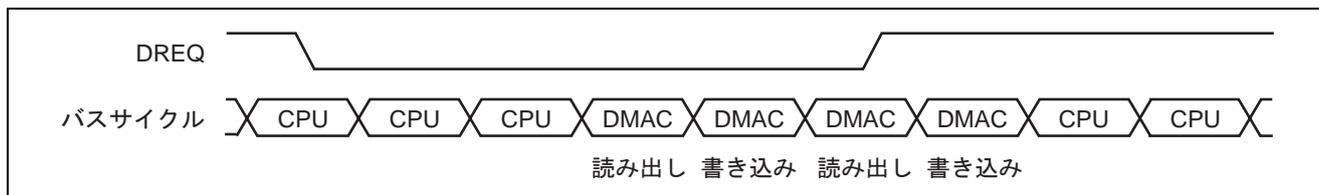


図 8.11 バーストモードの DMA 転送例 (デュアルアドレス、DREQ ローレベル検出)

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 8.10 に DMA 転送区間とリクエストモードおよびバスモードなどの関連事項を示します。

表 8.10 DMA 転送区間とリクエストモード、バスモードとの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0、1
	外部メモリと外部メモリ	すべて可*4	B/C	8/16/32/128	0~7*3
	外部メモリとメモリマップト外部デバイス	すべて可*4	B/C	8/16/32/128	0~7*3
	メモリマップト外部デバイスとメモリマップト外部デバイス	すべて可*4	B/C	8/16/32/128	0~7*3
	外部メモリと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~7*3
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~7*3
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~7*3
	内蔵メモリと内蔵メモリ	すべて可*4	B/C	8/16/32/128	0~7*3
	内蔵メモリとメモリマップト外部デバイス	すべて可*4	B/C	8/16/32/128	0~7*3
	内蔵メモリと内蔵周辺モジュール	すべて可*1	B/C*5	8/16/32/128*2	0~7*3
シングル	DACK 付き外部デバイスと外部メモリ	外部	B/C	8/16/32/128	0、1
	DACK 付き外部デバイスとメモリマップト外部デバイス	外部	B/C	8/16/32/128	0、1

【記号説明】

- B : バースト
C : サイクルスチール

- 【注】 *1 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。
ただし、内蔵周辺モジュールリクエストの場合には、転送要求元が CMT の場合を除いて、転送元または転送先がそれぞれの要求元レジスタである必要があります。
- *2 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズです。
- *3 転送要求が外部リクエストの場合にはチャンネル 0~3 のみ。
- *4 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能です。
ただし、内蔵周辺モジュールリクエストの場合には、CMT の場合のみ可能です。
- *5 内蔵周辺モジュールリクエストの場合には、転送要求元が USB、SSI、CMT の場合を除いてサイクルスチールのみ。

(4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0>CH1) において、チャンネル1がバーストモードで転送中でも、それより優先順位の高いチャンネル0に転送要求が発生すると、ただちにチャンネル0の転送を開始します。

このとき、チャンネル0もバーストモードの場合は優先順位の高いチャンネル0の転送がすべて終了してから、チャンネル1が転送を継続します。

また、チャンネル0がサイクルスチールモードの場合、まず優先順位の高いチャンネル0が1転送単位の転送を行った後、バス権を解放せずに連続してチャンネル1が転送されます。その後も、チャンネル0→チャンネル1→チャンネル0→チャンネル1というように交互に転送が行われます。つまりバス状態は、サイクルスチールモード転送終了後のCPUサイクルがバーストモード転送に置き換わった形になります (以後バーストモードの優先実行と呼ぶ)。この例を図8.12に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまでバス権はバスマスタに解放しません。

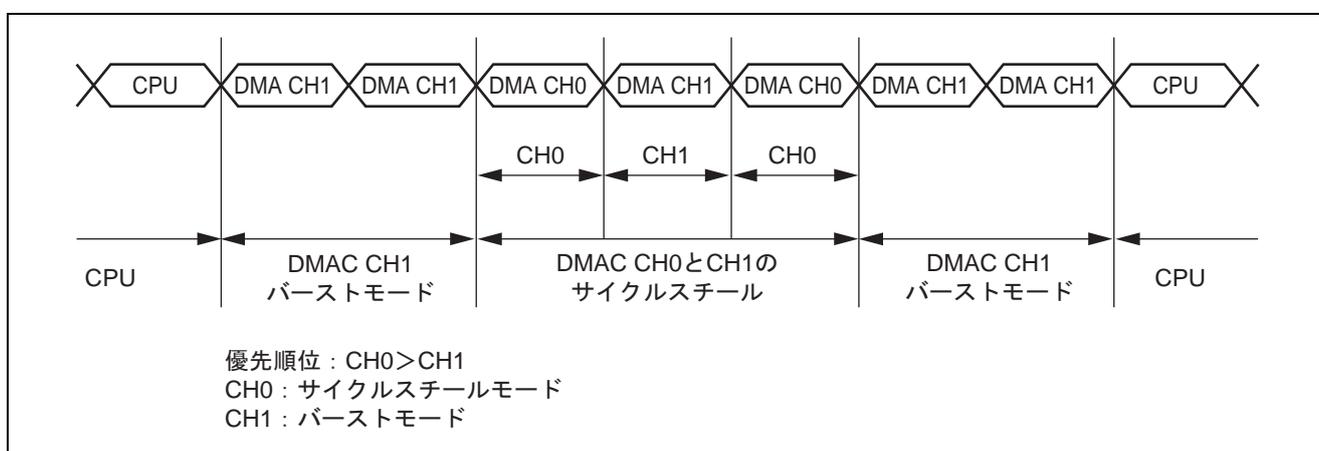


図 8.12 複数チャンネルが動作する場合のバス状態

ラウンドロビンモードでは、図8.3に示した仕様で優先順位が変化します。ただし、サイクルスチールモードのチャンネルとバーストモードのチャンネルを混在しないでください。

8.4.5 バスサイクルのステート数と DREQ 端子のサンプリングタイミング

(1) バスサイクルのステート数

DMAC がバスマスタのときのバスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳細は、「第7章 バスステートコントローラ (BSC)」を参照してください。

(2) DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力へのサンプリングタイミングを図 8.13～図 8.16 に示します。

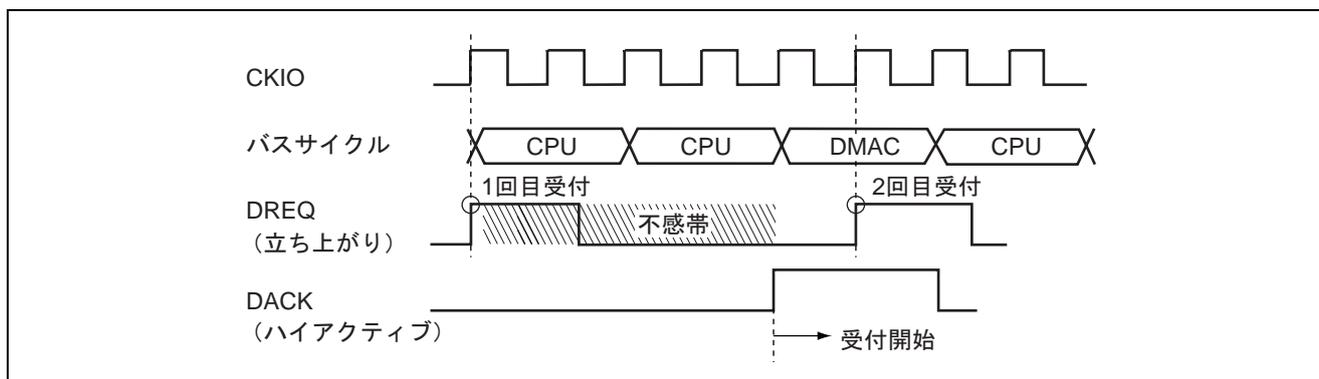


図 8.13 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング

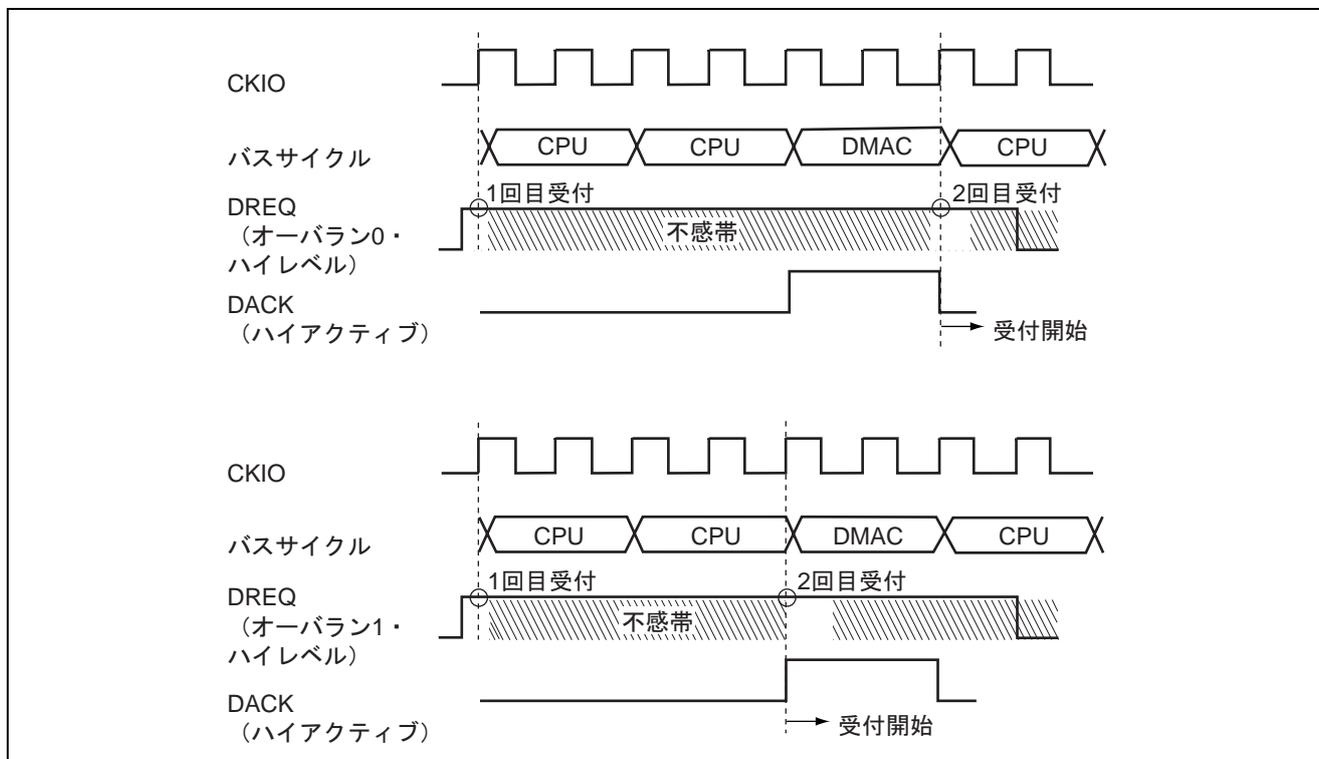


図 8.14 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング

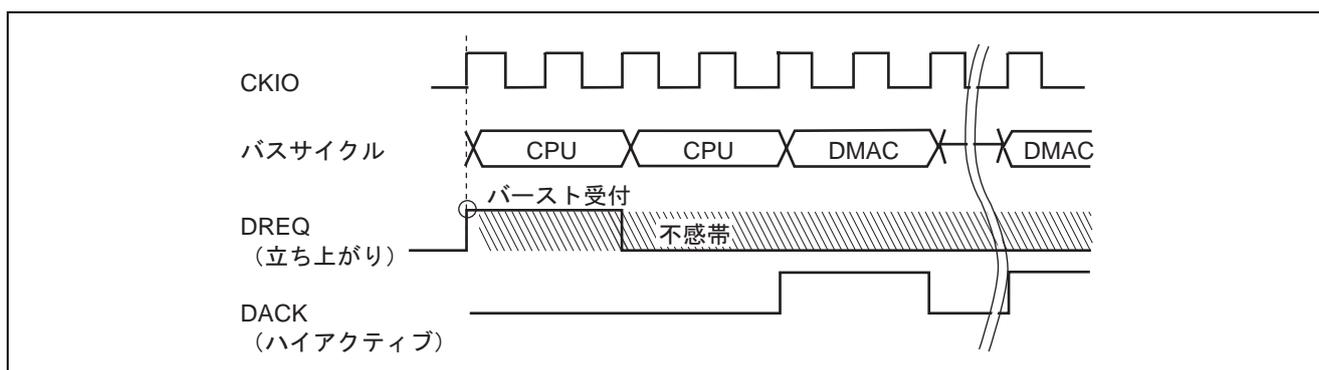


図 8.15 バーストモード・エッジ検出時の DREQ 入力検出タイミング

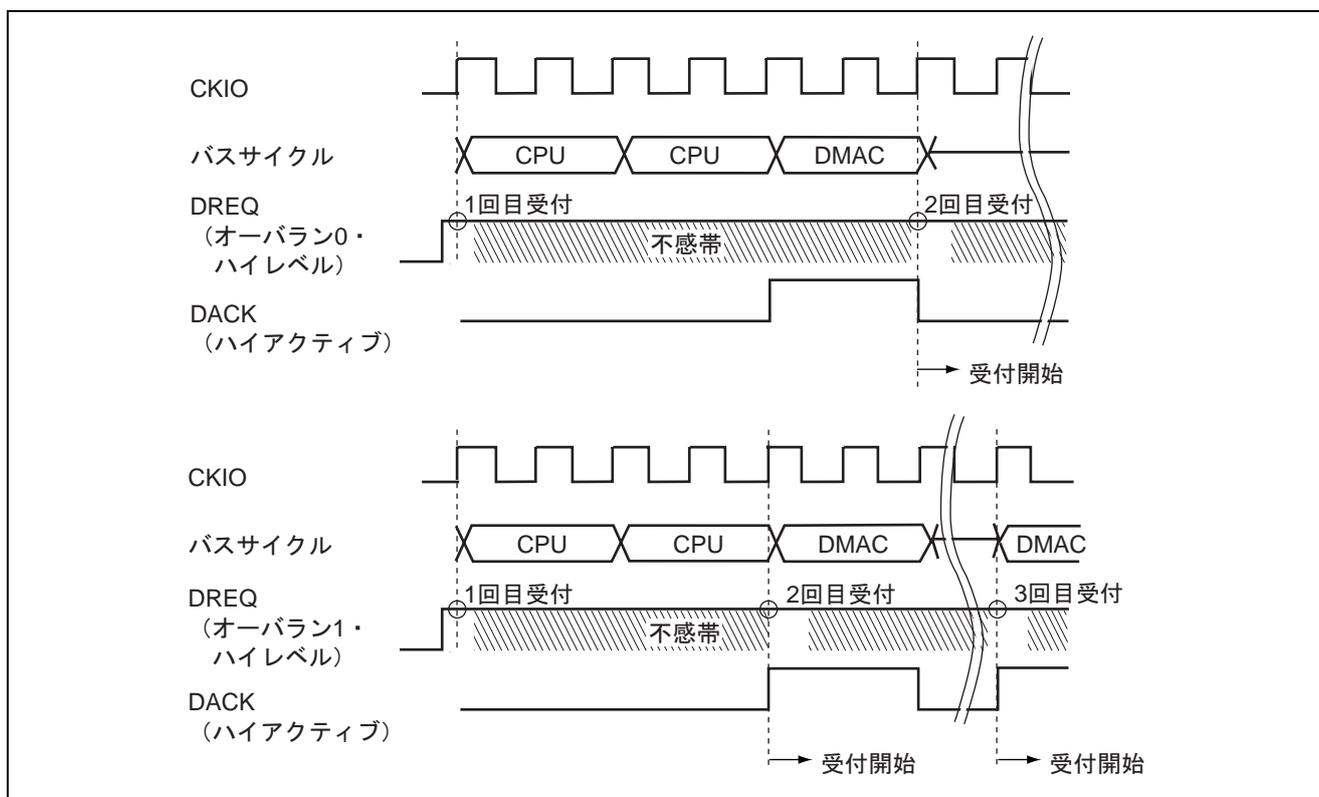


図 8.16 バーストモード・レベル検出時の DREQ 入力検出タイミング

図 8.17 に TEND 出力のタイミングを示します。

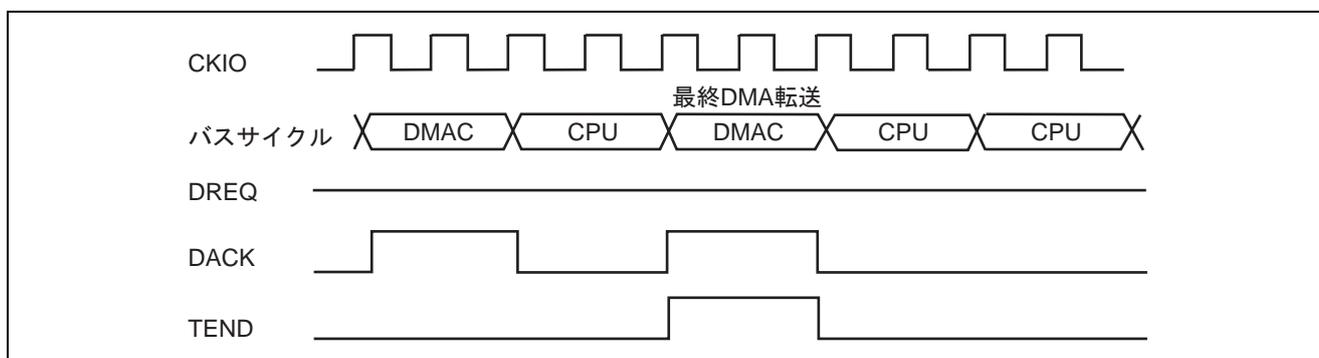


図 8.17 DMA 転送終了信号タイミング (サイクルスチール・レベル検出)

8ビット、16ビット、32ビット外部デバイスに16バイト転送を行ったり、8ビット、16ビット外部デバイスにロングワードアクセスしたり、8ビット外部デバイスにワードアクセスをする場合は、DMA転送単位が複数のバスサイクルに分割されます。DMA転送が複数のバスサイクルに分割され、かつバスサイクル間で \overline{CS} がネゲートする設定の場合、データをアライメントするために \overline{CS} と同様にDACK出力およびTEND出力が分割されるので注意してください。この例を図8.18に示します。なお、図8.13～図8.17は、DMA転送時にDACK、TENDが分割されない場合を示しています。

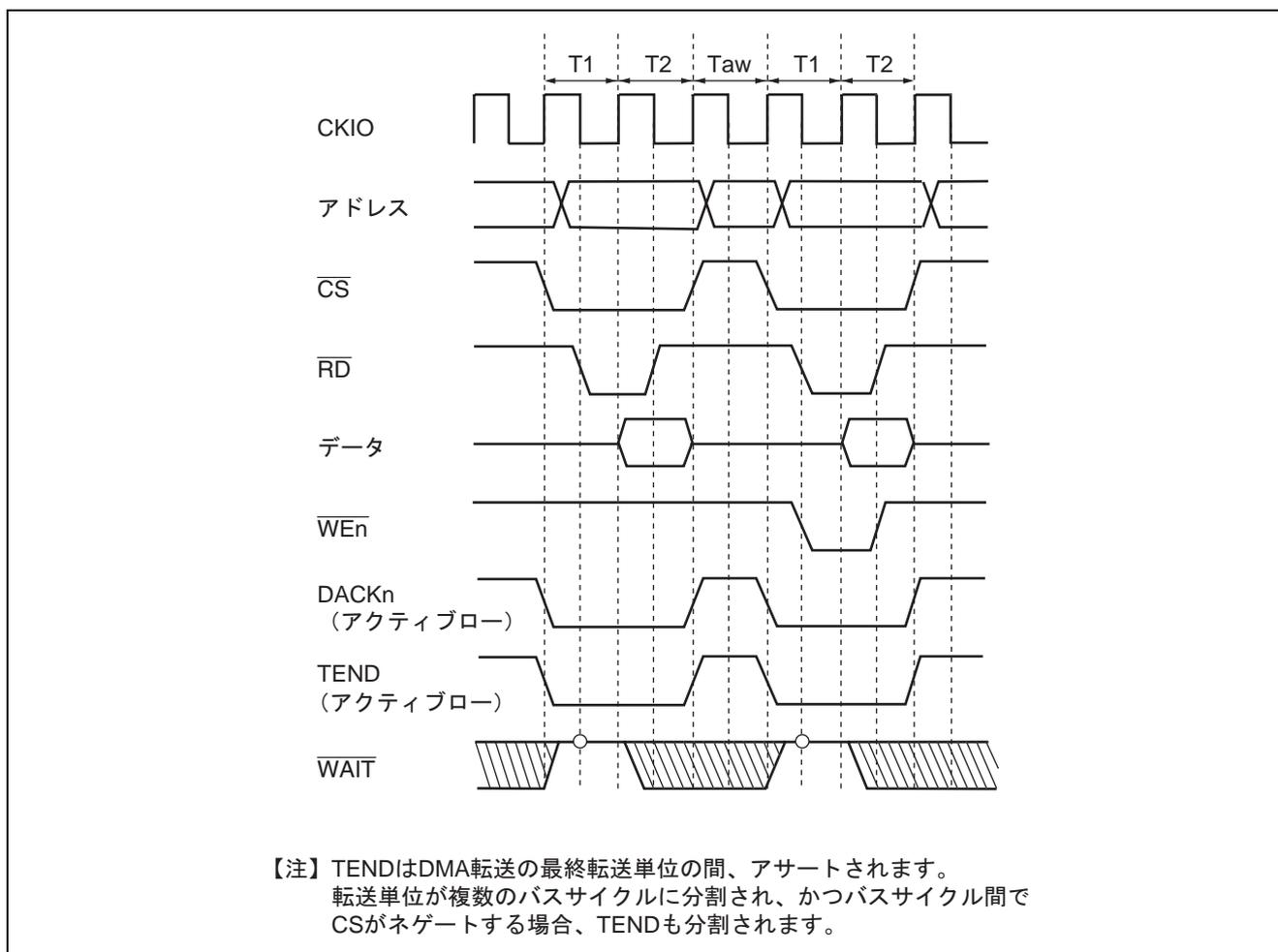


図 8.18 BSC 通常メモリアクセス (ノーウェイト、アイドルサイクル1、16ビットデバイスへのロングワードアクセス)

8.5 使用上の注意事項

8.5.1 DMA オペレーションレジスタ (DMAOR) の NMIF ビット (NMI フラグ) に関して

当該フラグが 1 にセットされるタイミングでリードを行うと、0 が読み出されますが、内部的に 1 をリードした状態となる場合があります。そのため、0 ライトを行うと、当該フラグが 1 リード後の 0 ライトと同じ状態となり 0 クリアされることがあります。

この誤クリアを回避するために、当該フラグを使用する場合は、意図せずにビットをクリアしないように以下の方法でリードライトを行ってください。

当該レジスタの書き込み時は、明示的にクリアする時以外は当該ビットへ 1 ライトを行い、明示的にクリアする時のみ 1 リード後の 0 ライトを行ってください。

なお、当該フラグビットを使用しない場合は、常に 0 ライト (明示的にクリアする時は 1 リード後 0 ライト) で問題ありません。

8.5.2 ハーフエンドフラグのセットおよびハーフエンド割り込み

CHCR レジスタのハーフエンドフラグの状態を参照する場合およびハーフエンド割り込みを使用する場合で、かつリロード機能を合わせて使用する場合には、以下の注意事項がありますのでご注意ください。

リロードする転送回数 (RDMATCR に設定する値) を、常に最初に設定した転送回数 (DMATCR に設定した値) と同じ転送回数にしてください。最初の DMATCR 設定値と 2 回目以降の転送で使用される RDMATCR の設定値が異なる場合、ハーフエンドフラグのセットされるタイミングが転送回数の半分よりも早くなったり、ハーフエンドフラグがセットされなかったりする場合があります。ハーフエンド割り込みも同様です。

9. クロックパルス発振器 (CPG)

本 LSI は、クロックパルス発振器を内蔵しており、内部クロック (I ϕ)、周辺クロック (P ϕ)、およびバスクロック (B ϕ) を生成します。クロックパルス発振器は、水晶発振器、PLL 回路、および分周回路で構成されます。

9.1 特長

- 4種類のクロック動作モード
使用する周波数範囲、クロックソース (水晶発振子、外部クロック、USB 用水晶発振子、または USB 用外部クロック) によって、4 種類のクロック動作モード (広温度仕様品の場合は、3 種類のクロック動作モード) から選択できます。
- 3種類のクロック
CPU、キャッシュで使用する内部クロック (I ϕ)、周辺モジュールで使用する周辺クロック (P ϕ)、さらに外部バスインタフェースで使用するバスクロック (B ϕ =CKIO) を独立に生成できます。
- 周波数変更機能
CPG 内部の PLL (Phase Locked Loop) 回路や分周回路により、内部クロックと周辺クロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ (FRQCR) の設定により、ソフトウェアで行います。
- 低消費電力モードの制御
スリープモードおよびソフトウェアスタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。なお、低消費電力モードの制御については、「第 11 章 低消費電力モード」を参照してください。

図 9.1 にクロックパルス発振器のブロック図を示します。

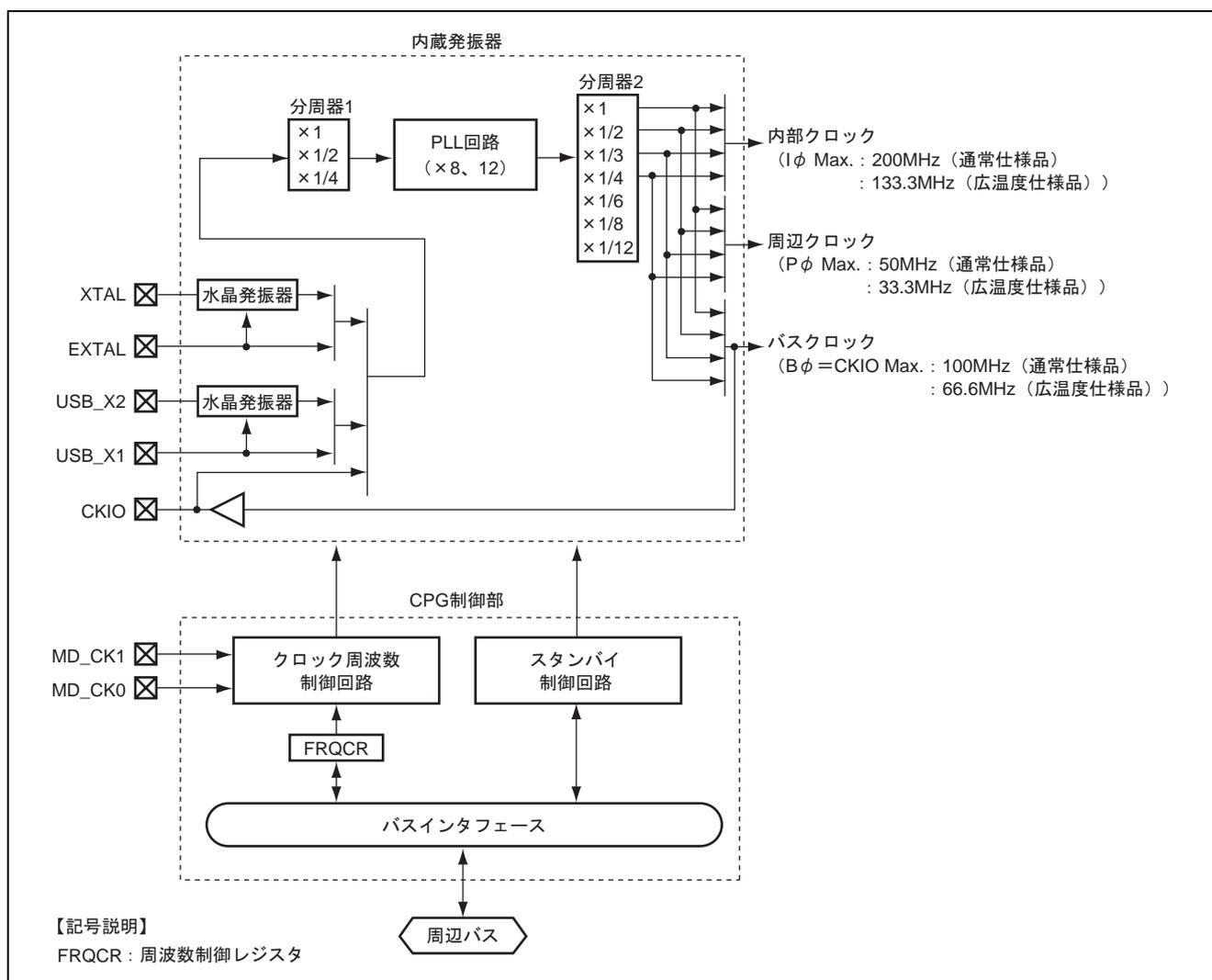


図 9.1 クロックパルス発振器のブロック図

クロックパルス発振器の各ブロックは、次のように機能します。

(1) 水晶発振器

XTAL、EXTAL 端子および USB_X1、USB_X2 端子に水晶発振子を接続して使用する場合の発振回路です。水晶発振器は、クロック動作モードの設定により使用可能となります。

(2) 分周器 1

分周器 1 は、水晶発振器または EXTAL 端子からのクロック、CKIO 端子からのクロック、水晶発振器または USB_X1 端子からのクロックのいずれかを分周する機能を持ちます。分周率は、クロック動作モードの設定により決まります。

(3) PLL 回路

PLL 回路は、分周器 1 の出力を 8 倍または 12 倍に逡倍する機能を持ちます。

逡倍率は、周波数制御レジスタで設定します。このとき、内部クロックの立ち上がりエッジの位相は、CKIO 端子の立ち上がりエッジの位相に一致するように制御されます。

入力クロックはクロック動作モードにより決まります。クロック動作モードは、MD_CK0、MD_CK1 端子で設定します。クロック動作モードについては、表 9.2 を参照してください。

(4) 分周器 2

分周器 2 は、PLL 回路の出力を分周して、内部クロック、バスクロック、および周辺クロックを生成します。内部クロックは、CKIO 端子のクロック周波数より低くならない範囲で、PLL 回路の出力周波数に対して 1 倍、または 1/2 倍の選択が可能です。周辺クロックは、CKIO 端子のクロック周波数の半分より高くならない範囲で、PLL 回路の出力周波数に対して 1/4 倍、1/6 倍、1/8 倍、または 1/12 倍の選択が可能です。バスクロックは、クロック供給源の 4 倍（クロックモード 0 のとき）、2 倍（クロックモード 1、3 のとき）、または 1 倍（クロックモード 2 のとき）となるように、PLL 回路の出力周波数に対する分周率をハードウェアが自動的に決定します。

(5) クロック周波数制御回路

クロック周波数制御回路は、MD_CK0、MD_CK1 端子、周波数制御レジスタ (FRQCR) によりクロック周波数を制御します。

(6) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時またはスリープモードやソフトウェアスタンバイモード時の内蔵発振回路の状態、および他のモジュールの状態を制御します。

さらに、他のモジュールの低消費電力モードを制御するスタンバイコントロールレジスタがあります。スタンバイコントロールレジスタについては、「第 11 章 低消費電力モード」を参照してください。

(7) 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) には、ソフトウェアスタンバイモード時の CKIO 端子からのクロック出力の有無、PLL 回路の周波数逡倍率、内部クロック、および周辺クロック (Pφ) の周波数分周率の各制御ビットが割り当てられています。

9.2 入出力端子

クロックパルス発振器の端子構成と機能を表 9.1 に示します。

表 9.1 発振回路の端子構成と機能

名称	端子名	入出力	機能 (クロック動作 モード 0)	機能 (クロック動作 モード 1)	機能 (クロック動作 モード 2)	機能 (クロック動作 モード 3)
モード 制御端子	MD_CK0	入力	クロック動作モードを設定します。			
	MD_CK1	入力	クロック動作モードを設定します。			
クリスタル 入出力端子 (クロック 入力端子)	XTAL	出力	水晶発振子を接続します。 (水晶発振子を使用しない場合は、端子を開放してください)	端子を開放してください。	端子を開放してください。	端子を開放してください。
	EXTAL	入力	水晶発振子を接続、または外部クロック入力端子として使用します。	外部クロック入力端子として使用します。	端子をプルアップしてください。	端子をプルアップしてください。
クロック 入出力端子	CKIO	入出力	クロック出力端子になります。	クロック出力端子になります。	クロック入力端子になります。	クロック出力端子になります。
USB 用 クリスタル 入出力端子 (クロック 入力端子)	USB_X1	入力	USB 専用クロック入力として水晶発振子を接続、または外部クロック入力端子として使用します。 USB を使用しないときは、端子をプルアップしてください。	USB 専用クロック入力として水晶発振子を接続、または外部クロック入力端子として使用します。 USB を使用しないときは、端子をプルアップしてください。	USB 専用クロック入力として水晶発振子を接続、または外部クロック入力端子として使用します。 USB を使用しないときは、端子をプルアップしてください。	USB 兼本 LSI のクロック入力として水晶発振子を接続、または外部クロック入力端子として使用します。
	USB_X2	出力	USB 用水晶発振子を接続します。 (水晶発振子を使用しない場合は、端子を開放してください)	USB 用水晶発振子を接続します。 (水晶発振子を使用しない場合は、端子を開放してください)	USB 用水晶発振子を接続します。 (水晶発振子を使用しない場合は、端子を開放してください)	USB 兼本 LSI 用水晶発振子を接続します。 (水晶発振子を使用しない場合は、端子を開放してください)

9.3 クロック動作モード

モード制御端子 (MD_CK1、MD_CK0) の組み合わせとクロック動作モードの関係を表 9.2 に示します。クロック動作モードの使用可能周波数範囲を表 9.3 に示します。

表 9.2 クロック動作モード

モード	端子組み合わせ		クロック入出力		分周器 1	PLL 回路	CKIO の周波数
	MD_CK1	MD_CK0	供給源	出力			
0	0	0	EXTAL/水晶発振子	CKIO	1	ON (×8、12)	(EXTAL/水晶) ×4
1	0	1	EXTAL	CKIO	1/2	ON (×8、12)	(EXTAL) ×2
2	1	0	CKIO	—	1/4	ON (×8、12)	(CKIO)
3	1	1	USB_X1/水晶発振子	CKIO	1/2	ON (×8)	(USB_X1/水晶) ×2

● モード0

モード0 では EXTAL 端子または水晶発振子からクロックを入力します。PLL 回路で波形成形および周波数制御レジスタの設定により周波数逡倍を行い、本 LSI に供給します。EXTAL 端子入力および水晶発振子ともに発振周波数が 15MHz から 25MHz (広温度仕様品の場合は、15MHz から 16.6MHz) までのものを使用でき、CKIO の周波数レンジは 60MHz から 100MHz (広温度仕様品の場合は、60MHz から 66.6MHz) となります。なお、消費電流削減のため、USB を使用しないときは、USB_X1 端子をプルアップし、USB_X2 端子は解放としてください。

● モード1

モード1 では EXTAL 端子からクロックを入力します。PLL 回路で波形成形および周波数制御レジスタの設定により周波数逡倍を行い、本 LSI に供給します。EXTAL 端子入力は発振周波数が 30MHz から 50MHz (広温度仕様品の場合は、30MHz から 33.3MHz) までのものを使用でき、CKIO の周波数レンジは 60MHz から 100MHz (広温度仕様品の場合は、60MHz から 66.6MHz) となります。なお、消費電流削減のため、USB を使用しないときは、USB_X1 端子をプルアップし、USB_X2 端子は解放としてください。

● モード2

モード2 では CKIO 端子は入力になり、この端子に外部クロックを入力して、PLL 回路で波形成形および周波数制御レジスタの設定により周波数逡倍を行い、本 LSI に供給します。CKIO の周波数レンジは 60MHz から 100MHz (広温度仕様品の場合は、60MHz から 66.6MHz) となります。なお、消費電流削減のため、モード2 で使用する場合には、EXTAL 端子をプルアップし、XTAL 端子は開放としてください。さらに、USB を使用しないときは、USB_X1 端子をプルアップし、USB_X2 端子は解放としてください。

- モード3

モード3ではUSB_X1端子または水晶発振器からのクロックを入力することができます。この端子の外部クロックを入力して、PLL回路で波形形成および周波数制御レジスタの設定により周波数通倍を行い、本LSIに供給します。CKIOの周波数は、96MHzとなります。なお、消費電流削減のため、モード3で使用する場合には、EXTAL端子をプルアップし、XTAL端子は開放としてください。また、USBクリスタルを使用しないときは、USB_X2端子は解放としてください。

本クロックモードは、通常仕様品でのみサポートされ、広温度仕様品ではサポートされません。

表 9.3 クロック動作モードと設定可能な周波数範囲 (1)

通常温度仕様品

制約 : $I\phi \leq 200\text{MHz}$ 、 $B\phi \leq 100\text{MHz}$ 、 $P\phi \leq 50\text{MHz}$ 、 $I\phi \geq B\phi \geq P\phi \times 2$

クロック 動作 モード	FRQCR レジスタ 設定値*1	分周器 1	PLL 通倍率 PLL 回路	内部 クロック比 (I : B : P) *2	設定可能な周波数範囲 (MHz)				
					入力クロック*3	出力クロック (CKIO 端子)	内部クロック (I ϕ)	バスクロック (B ϕ)	周辺クロック (P ϕ)
0	H'x003	1/1	ON($\times 8$)	8 : 4 : 2	15.00~25.00	60.00~100.00	120.00~200.00	60.00~100.00	30.00~50.00
	H'x004	1/1	ON($\times 8$)	8 : 4 : 4/3	15.00~25.00	60.00~100.00	120.00~200.00	60.00~100.00	20.00~33.33
	H'x005	1/1	ON($\times 8$)	8 : 4 : 1	15.00~25.00	60.00~100.00	120.00~200.00	60.00~100.00	15.00~25.00
	H'x006	1/1	ON($\times 8$)	8 : 4 : 2/3	15.00~25.00	60.00~100.00	120.00~200.00	60.00~100.00	10.00~16.67
	H'x013	1/1	ON($\times 8$)	4 : 4 : 2	15.00~25.00	60.00~100.00	60.00~100.00	60.00~100.00	30.00~50.00
	H'x014	1/1	ON($\times 8$)	4 : 4 : 4/3	15.00~25.00	60.00~100.00	60.00~100.00	60.00~100.00	20.00~33.33
	H'x015	1/1	ON($\times 8$)	4 : 4 : 1	15.00~25.00	60.00~100.00	60.00~100.00	60.00~100.00	15.00~25.00
	H'x016	1/1	ON($\times 8$)	4 : 4 : 2/3	15.00~25.00	60.00~100.00	60.00~100.00	60.00~100.00	10.00~16.67
	H'x104	1/1	ON($\times 12$)	12 : 4 : 2	15.00~16.67	60.00~66.67	180.00~200.00	60.00~66.67	30.00~33.33
	H'x106	1/1	ON($\times 12$)	12 : 4 : 1	15.00~16.67	60.00~66.67	180.00~200.00	60.00~66.67	15.00~16.67
1	H'x003	1/2	ON($\times 8$)	4 : 2 : 1	30.00~50.00	60.00~100.00	120.00~200.00	60.00~100.00	30.00~50.00
	H'x004	1/2	ON($\times 8$)	4 : 2 : 2/3	30.00~50.00	60.00~100.00	120.00~200.00	60.00~100.00	20.00~33.33
	H'x005	1/2	ON($\times 8$)	4 : 2 : 1/2	30.00~50.00	60.00~100.00	120.00~200.00	60.00~100.00	15.00~25.00
	H'x006	1/2	ON($\times 8$)	4 : 2 : 1/3	30.00~50.00	60.00~100.00	120.00~200.00	60.00~100.00	10.00~16.67
	H'x013	1/2	ON($\times 8$)	2 : 2 : 1	30.00~50.00	60.00~100.00	60.00~100.00	60.00~100.00	30.00~50.00
	H'x014	1/2	ON($\times 8$)	2 : 2 : 2/3	30.00~50.00	60.00~100.00	60.00~100.00	60.00~100.00	20.00~33.33
	H'x015	1/2	ON($\times 8$)	2 : 2 : 1/2	30.00~50.00	60.00~100.00	60.00~100.00	60.00~100.00	15.00~25.00
	H'x016	1/2	ON($\times 8$)	2 : 2 : 1/3	30.00~50.00	60.00~100.00	60.00~100.00	60.00~100.00	10.00~16.67
	H'x104	1/2	ON($\times 12$)	6 : 2 : 1	30.00~33.33	60.00~66.67	180.00~200.00	60.00~66.67	30.00~33.33
	H'x106	1/2	ON($\times 12$)	6 : 2 : 1/2	30.00~33.33	60.00~66.67	180.00~200.00	60.00~66.67	15.00~16.67
2	H'x003	1/4	ON($\times 8$)	2 : 1 : 1/2	60.00~100.00	—	120.00~200.00	60.00~100.00	30.00~50.00
	H'x004	1/4	ON($\times 8$)	2 : 1 : 1/3	60.00~100.00	—	120.00~200.00	60.00~100.00	20.00~33.33
	H'x005	1/4	ON($\times 8$)	2 : 1 : 1/4	60.00~100.00	—	120.00~200.00	60.00~100.00	15.00~25.00
	H'x006	1/4	ON($\times 8$)	2 : 1 : 1/6	60.00~100.00	—	120.00~200.00	60.00~100.00	10.00~16.67
	H'x013	1/4	ON($\times 8$)	1 : 1 : 1/2	60.00~100.00	—	60.00~100.00	60.00~100.00	30.00~50.00

クロック 動作 モード	FRQCR レジスタ 設定値* ¹	分周器 1	PLL 通倍率		内部 クロック比 (I : B : P) * ²	設定可能な周波数範囲 (MHz)				
			PLL 回路			入力クロック* ³	出力クロック (CKIO 端子)	内部クロック (Iφ)	バスクロック (Bφ)	周辺クロック (Pφ)
2	H'x014	1/4	ON(×8)		1 : 1 : 1/3	60.00~100.00	—	60.00~100.00	60.00~100.00	20.00~33.33
	H'x015	1/4	ON(×8)		1 : 1 : 1/4	60.00~100.00	—	60.00~100.00	60.00~100.00	15.00~25.00
	H'x016	1/4	ON(×8)		1 : 1 : 1/6	60.00~100.00	—	60.00~100.00	60.00~100.00	10.00~16.67
	H'x104	1/4	ON(×12)		3 : 1 : 1/2	60.00~66.67	—	180.00~200.00	60.00~66.67	30.00~33.33
	H'x106	1/4	ON(×12)		3 : 1 : 1/4	60.00~66.67	—	180.00~200.00	60.00~66.67	15.00~16.67
3	H'x003	1/2	ON(×8)		4 : 2 : 1	48.00~48.00	96.00~96.00	192.00~192.00	96.00~96.00	48.00~48.00
	H'x004	1/2	ON(×8)		4 : 2 : 2/3	48.00~48.00	96.00~96.00	192.00~192.00	96.00~96.00	32.00~32.00
	H'x005	1/2	ON(×8)		4 : 2 : 1/2	48.00~48.00	96.00~96.00	192.00~192.00	96.00~96.00	24.00~24.00
	H'x006	1/2	ON(×8)		4 : 2 : 1/3	48.00~48.00	96.00~96.00	192.00~192.00	96.00~96.00	16.00~16.00
	H'x013	1/2	ON(×8)		2 : 2 : 1	48.00~48.00	96.00~96.00	96.00~96.00	96.00~96.00	48.00~48.00
	H'x014	1/2	ON(×8)		2 : 2 : 2/3	48.00~48.00	96.00~96.00	96.00~96.00	96.00~96.00	32.00~32.00
	H'x015	1/2	ON(×8)		2 : 2 : 1/2	48.00~48.00	96.00~96.00	96.00~96.00	96.00~96.00	24.00~24.00
	H'x016	1/2	ON(×8)		2 : 2 : 1/3	48.00~48.00	96.00~96.00	96.00~96.00	96.00~96.00	16.00~16.00

表 9.3 クロック動作モードと設定可能な周波数範囲 (2)

広温度仕様品

制約 : Iφ ≤ 133.33MHz、Bφ ≤ 66.67MHz、Pφ ≤ 33.33MHz、Iφ ≥ Bφ ≥ Pφ × 2

クロック 動作 モード	FRQCR レジスタ 設定値* ¹	分周器 1	PLL 通倍率		内部 クロック比 (I : B : P) * ²	設定可能な周波数範囲 (MHz)				
			PLL 回路			入力クロック* ³	出力クロック (CKIO 端子)	内部クロック (Iφ)	バスクロック (Bφ)	周辺クロック (Pφ)
0	H'x003	1/1	ON(×8)		8 : 4 : 2	15.00~16.67	60.00~66.67	120.00~133.33	60.00~66.67	30.00~33.33
	H'x004	1/1	ON(×8)		8 : 4 : 4/3	15.00~16.67	60.00~66.67	120.00~133.33	60.00~66.67	20.00~22.22
	H'x005	1/1	ON(×8)		8 : 4 : 1	15.00~16.67	60.00~66.67	120.00~133.33	60.00~66.67	15.00~16.67
	H'x006	1/1	ON(×8)		8 : 4 : 2/3	15.00~16.67	60.00~66.67	120.00~133.33	60.00~66.67	10.00~11.11
	H'x013	1/1	ON(×8)		4 : 4 : 2	15.00~16.67	60.00~66.67	60.00~66.67	60.00~66.67	30.00~33.33
	H'x014	1/1	ON(×8)		4 : 4 : 4/3	15.00~16.67	60.00~66.67	60.00~66.67	60.00~66.67	20.00~22.22
	H'x015	1/1	ON(×8)		4 : 4 : 1	15.00~16.67	60.00~66.67	60.00~66.67	60.00~66.67	15.00~16.67
	H'x016	1/1	ON(×8)		4 : 4 : 2/3	15.00~16.67	60.00~66.67	60.00~66.67	60.00~66.67	10.00~11.11
1	H'x003	1/2	ON(×8)		4 : 2 : 1	30.00~33.33	60.00~66.67	120.00~133.33	60.00~66.67	30.00~33.33
	H'x004	1/2	ON(×8)		4 : 2 : 2/3	30.00~33.33	60.00~66.67	120.00~133.33	60.00~66.67	20.00~22.22
	H'x005	1/2	ON(×8)		4 : 2 : 1/2	30.00~33.33	60.00~66.67	120.00~133.33	60.00~66.67	15.00~16.67
	H'x006	1/2	ON(×8)		4 : 2 : 1/3	30.00~33.33	60.00~66.67	120.00~133.33	60.00~66.67	10.00~11.11
	H'x013	1/2	ON(×8)		2 : 2 : 1	30.00~33.33	60.00~66.67	60.00~66.67	60.00~66.67	30.00~33.33
	H'x014	1/2	ON(×8)		2 : 2 : 2/3	30.00~33.33	60.00~66.67	60.00~66.67	60.00~66.67	20.00~22.22
	H'x015	1/2	ON(×8)		2 : 2 : 1/2	30.00~33.33	60.00~66.67	60.00~66.67	60.00~66.67	15.00~16.67
	H'x016	1/2	ON(×8)		2 : 2 : 1/3	30.00~33.33	60.00~66.67	60.00~66.67	60.00~66.67	10.00~11.11

クロック 動作 モード	FRQCR レジスタ 設定値*1	分周器 1	PLL 通倍率	内部 クロック比 (I : B : P) *2	設定可能な周波数範囲 (MHz)				
			PLL 回路		入力クロック*3	出力クロック (CKIO 端子)	内部クロック (Iφ)	バスクロック (Bφ)	周辺クロック (Pφ)
2	H'x003	1/4	ON(× 8)	2 : 1 : 1/2	60.00~66.67	—	120.00~133.33	60.00~66.67	30.00~33.33
	H'x004	1/4	ON(× 8)	2 : 1 : 1/3	60.00~66.67	—	120.00~133.33	60.00~66.67	20.00~22.22
	H'x005	1/4	ON(× 8)	2 : 1 : 1/4	60.00~66.67	—	120.00~133.33	60.00~66.67	15.00~16.67
	H'x006	1/4	ON(× 8)	2 : 1 : 1/6	60.00~66.67	—	120.00~133.33	60.00~66.67	10.00~11.11
	H'x013	1/4	ON(× 8)	1 : 1 : 1/2	60.00~66.67	—	60.00~66.67	60.00~66.67	30.00~33.33
	H'x014	1/4	ON(× 8)	1 : 1 : 1/3	60.00~66.67	—	60.00~66.67	60.00~66.67	20.00~22.22
	H'x015	1/4	ON(× 8)	1 : 1 : 1/4	60.00~66.67	—	60.00~66.67	60.00~66.67	15.00~16.67
	H'x016	1/4	ON(× 8)	1 : 1 : 1/6	60.00~66.67	—	60.00~66.67	60.00~66.67	10.00~11.11

【注】 *1 FRQCR レジスタ設定値の x は、ビット 12、13 の設定値によります。

*2 入力クロック周波数を 1 としたときのクロック比です。

*3 モード 0 のとき、EXTAL 端子からのクロック入力または水晶発振子の周波数です。

モード 1 のとき、EXTAL 端子からのクロック入力の周波数です。

モード 2 のとき、CKIO 端子からのクロック入力周波数です。

モード 3 のとき、USB_X1 端子からのクロック入力または水晶発振子の周波数です。

【注意事項】

- 内部クロックの周波数は、モード 0 のとき、EXTAL 端子の周波数に PLL 回路の周波数通倍率と分周器 1 の分周率を掛けた周波数になります。モード 1 のとき、EXTAL 端子の周波数を × 1/2 した周波数に PLL 回路の周波数通倍率と分周器 1 の分周率を掛けた周波数になります。モード 2 のとき、CKIO 端子の周波数を × 1/4 した周波数に PLL 回路の周波数通倍率と分周器 1 の分周率を掛けた周波数になります。モード 3 のとき、USB_X1 端子の周波数を × 1/2 した周波数に PLL 回路の周波数通倍率と分周器 1 の分周率を掛けた周波数になります。
内部クロック周波数は、CKIO 端子の周波数より低く設定しないでください。
- 周辺クロックの周波数は、モード 0 のとき、EXTAL 端子の周波数に PLL 回路の周波数通倍率と分周器 1 の分周率を掛けた周波数になります。モード 1 のとき、EXTAL 端子の周波数を × 1/2 した周波数に PLL 回路の周波数通倍率と分周器 1 の分周率を掛けた周波数になります。モード 2 のとき、CKIO 端子の周波数を × 1/4 した周波数に PLL 回路の周波数通倍率と分周器 1 の分周率を掛けた周波数になります。モード 3 のとき、USB_X1 端子の周波数を × 1/2 した周波数に PLL 回路の周波数通倍率と分周器 1 の分周率を掛けた周波数になります。
周辺クロック周波数は、50MHz 以下に設定してください。また、CKIO 端子の周波数の半分より高く設定しないでください。
- PLL 回路の通倍率には、× 8 または × 12 が選択できます。分周器 1 の分周率には、× 1、× 1/2、× 1/3、× 1/4、× 1/6、× 1/8、または × 1/12 が選択できます。これらは、それぞれ周波数制御レジスタ (FRQCR) で設定します。
- PLL 回路の出力周波数は、モード 0 のとき、EXTAL 端子の周波数に PLL 回路の周波数通倍率を掛けた周波数になります。モード 1 のとき、EXTAL 端子の周波数を × 1/2 した周波数に PLL 回路の周波数通倍率を掛けた周波数になります。モード 2 のとき、CKIO 端子の周波数を × 1/4 した周波数に PLL 回路の周波数通倍率を掛けた周波数になります。モード 3 のとき、USB_X1 端子の周波数を × 1/2 した周波数に PLL 回路の周波数通倍率を掛けた周波数になります。この周波数は、200MHz 以下で使用してください。

9.4 レジスタの説明

クロックパルス発振器には以下のレジスタがあります。

表 9.4 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
周波数制御レジスタ	FRQCR	R/W	H'0003	H'FFFE0010	16

9.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出し／書き込み可能な 16 ビットのレジスタで、通常時、ソフトウェアスタンバイモード時、およびスタンバイ解除時の CKIO 端子からクロック出力の有無、PLL 回路の周波数通倍率、内部クロック、および周辺クロック (Pφ) の周波数分周率の指定ができます。FRQCR は、ワードアクセスのみ可能です。

FRQCR は、パワーオンリセットおよびディープスタンバイ時のみ H'0003 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には、前の値を保持しています。WDT オーバフローによる内部リセット時にも、値は保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	CKOEN[1:0]	-	-	STC[1:0]	-	-	-	IFC	-	PFC[2:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明										
15, 14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。										
13, 12	CKOEN[1:0]	00	R/W	<p>クロック出力イネーブル</p> <p>CKOEN[1:0]は、通常時、スタンバイモード時、およびスタンバイ解除時に CKIO 端子からクロックを出力するか、CKIO 端子をレベル固定するか、ハイインピーダンス状態 (Hi-Z) にするかを指定します。</p> <p>01 を設定した場合は、スタンバイモード時およびスタンバイ解除の間、CKIO 端子がローレベルに固定されます。これにより、スタンバイ解除時の不安定な CKIO クロックによって外部回路が誤動作することを防ぐことができます。クロック動作モード 2 のときは、このビットの値によらず CKIO 端子が入力になります。</p> <table border="0"> <tr> <td>通常時</td> <td>スタンバイモード時</td> </tr> <tr> <td>00: 出力</td> <td>出力オフ (Hi-Z)</td> </tr> <tr> <td>01: 出力</td> <td>ローレベル出力</td> </tr> <tr> <td>10: 出力</td> <td>出力 (不安定なクロック出力)</td> </tr> <tr> <td>11: 出力オフ (Hi-Z)</td> <td>出力オフ (Hi-Z)</td> </tr> </table>	通常時	スタンバイモード時	00: 出力	出力オフ (Hi-Z)	01: 出力	ローレベル出力	10: 出力	出力 (不安定なクロック出力)	11: 出力オフ (Hi-Z)	出力オフ (Hi-Z)
通常時	スタンバイモード時													
00: 出力	出力オフ (Hi-Z)													
01: 出力	ローレベル出力													
10: 出力	出力 (不安定なクロック出力)													
11: 出力オフ (Hi-Z)	出力オフ (Hi-Z)													

ビット	ビット名	初期値	R/W	説明
11、10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	STC[1:0]	00	R/W	PLL 回路の周波数通倍率 00 : ×8 倍 01 : ×12 倍 10 : 予約 (設定禁止) 11 : 予約 (設定禁止)
7~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	IFC	0	R/W	内部クロック周波数の分周率 PLL 回路の出力周波数に対しての内部クロック周波数の分周率を指定します。 0 : ×1 倍 1 : ×1/2 倍
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	PFC[2:0]	011	R/W	周辺クロック周波数の分周率 PLL 回路の出力周波数に対しての周辺クロック周波数の分周率を指定します。 000 : 予約 (設定禁止) 001 : 予約 (設定禁止) 010 : 予約 (設定禁止) 011 : ×1/4 倍 100 : ×1/6 倍 101 : ×1/8 倍 110 : ×1/12 倍 111 : 予約 (設定禁止)

9.5 周波数変更方法

内部クロック ($I\phi$) および周辺クロック ($P\phi$) の周波数を変更するには、PLL 回路の通倍率を変える方法と、分周器の分周率を変える方法があります。これらはいずれも周波数制御レジスタ (FRQCR) によってソフトウェアで制御します。以下にこれらの方法について示します。

9.5.1 通倍率の変更

PLL 回路の通倍率を変更する場合は、PLL 安定時間が必要になります。内蔵 WDT により安定時間のカウントを行います。

1. 初期状態では、PLL回路の通倍率は8になっています。
2. WDTに、指定された発振安定時間になるように値をセットし、WDTを停止します。次の設定が必要です。
WTCSR.TME=0 : WDTの停止
WTCSR.CKS[2:0] : WDTカウントクロックの分周率
WTCNT : カウンタの初期値
(WDTのカウントアップは、設定後のクロックでカウントアップされます。)
3. STC[1:0]を目的とする値に設定します。同時にIFC、PFC[2:0]に分周率を設定することも可能です。
4. 本LSI内部は、一時的に停止し、WDTのカウントアップを開始します。内部クロックと周辺クロックが停止し、WDTにのみクロックが供給されます。また、CKIO端子にはクロックが出力され続けます。本状態は、ソフトウェアスタンバイモード状態と同じであり、モジュールによってはレジスタの初期化が行われます。詳細は「28.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。
5. WDTのカウントオーバーフローで設定されたクロックが供給され始め、本LSIは動作を再開します。WDTはオーバーフロー後、停止します。

9.5.2 分周率の変更

分周率変更のみで、同時に通倍率の変更を行わない場合は、WDTによるカウントは行いません。

1. 初期状態では、IFC=B'0、PFC[2:0]=B'011になっています。
2. IFC、PFC[2:0]ビットを目的とする値に設定します。クロックモードやPLL回路の通倍率との関係で設定可能な値は限られます。誤った値を設定すると本LSIは誤動作するので注意してください。
3. レジスタの各ビット (IFC、PFC[2:0]) が設定されると、設定されたクロックに切り替わります。

【注】 周波数変更後 SLEEP 命令を実行する場合、周波数制御レジスタ (FRQCR) を 3 回リードしてから SLEEP 命令を実行してください。

9.6 ボード設計上の注意事項

9.6.1 外部クロック入力時の注意

外部クロック入力の接続例を図 9.2 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。外部クロックを入力する場合でも PLL 安定時間の確保のため、電源投入時やスタンバイ解除時は、発振安定時間以上待つようにしてください。

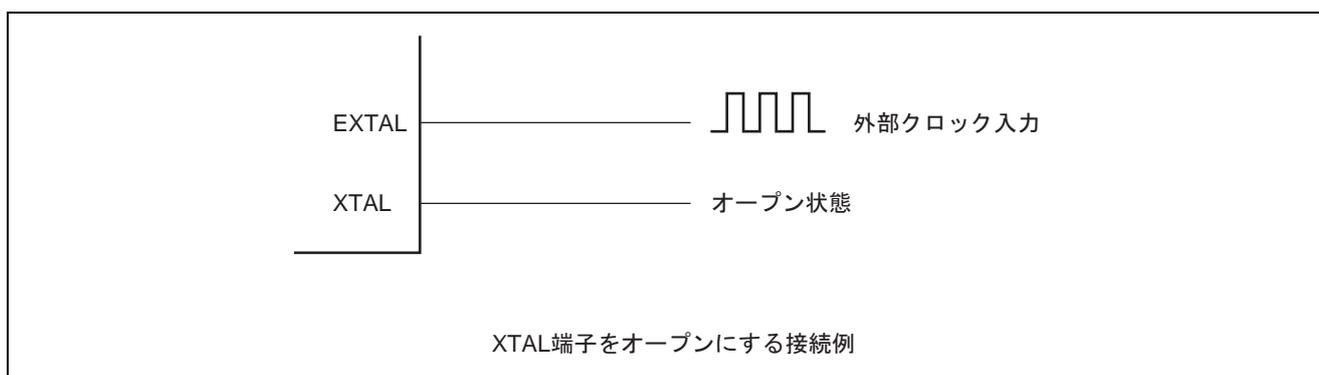


図 9.2 外部クロックの接続例

9.6.2 水晶発振子使用時の注意

水晶発振子と容量 CL1、CL2 は、できるだけ XTAL 端子と EXTAL 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、発振子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

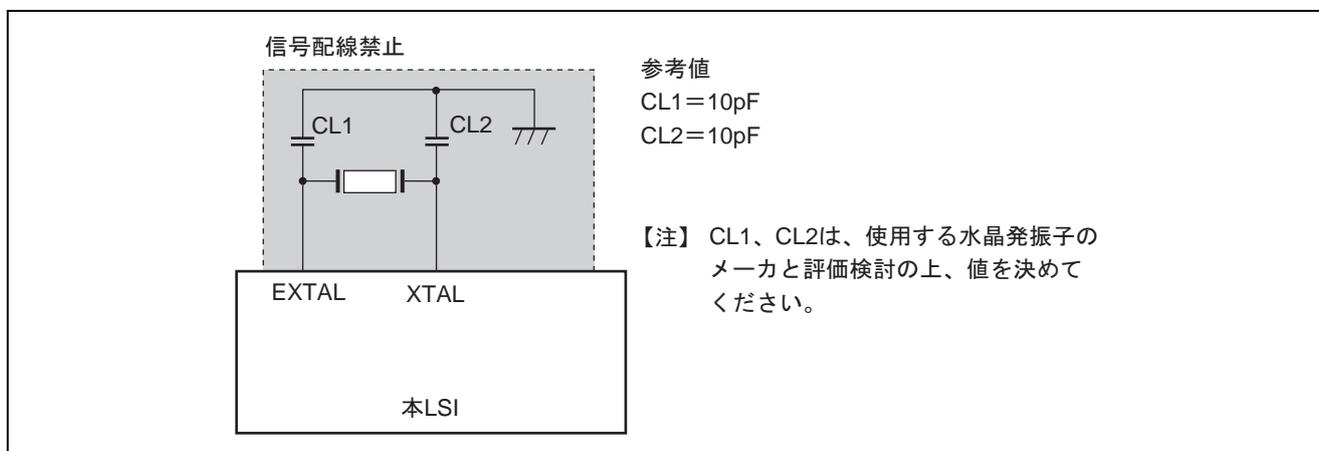


図 9.3 水晶発振子使用時の注意

9.6.3 発振子に関する注意

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.6.4 PLL 発振回路使用時の注意

PLL 用 PLLVcc と PLLVss の接続パターンはボード電源供給端子からの配線長を短くし、パターン幅は広くしてインダクタンス成分を減らしてください。

クロック動作モード 2、3 のときは、EXTAL 端子をプルアップし、XTAL 端子は開放にしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と Vcc、VccQ のデジタル電源系は、極力基板上で同一リソースを供給しないでください。

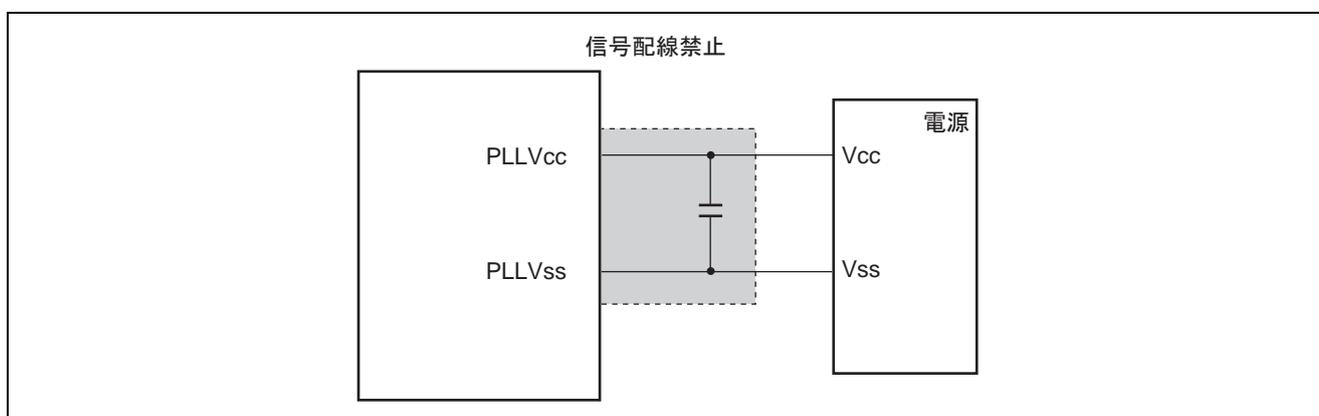


図 9.4 PLL 発振回路使用時の注意

10. ウォッチドッグタイマ (WDT)

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しており、システムの暴走などによりカウンタ値が書き換えられずにオーバーフローした場合、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI の内部リセット信号を発生することができます。

WDT は、1 チャネルのタイマで、ソフトウェアスタンバイモードや周波数変更時の一時的なスタンバイ状態の解除のためのクロック発振安定時間のカウントに使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

10.1 特長

- クロック発振安定時間の確保に使用可能
ソフトウェアスタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ 信号を出力
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本 LSI 内部をリセットするかどうかを選択できます。この内部リセットは、パワーオンリセットまたはマニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウンタ入力クロックを選択可能
周辺クロックを分周した 8 種類のクロック ($P\phi \times 1 \sim \times 1/16384$) から選択できます。

図 10.1 に WDT のブロック図を示します。

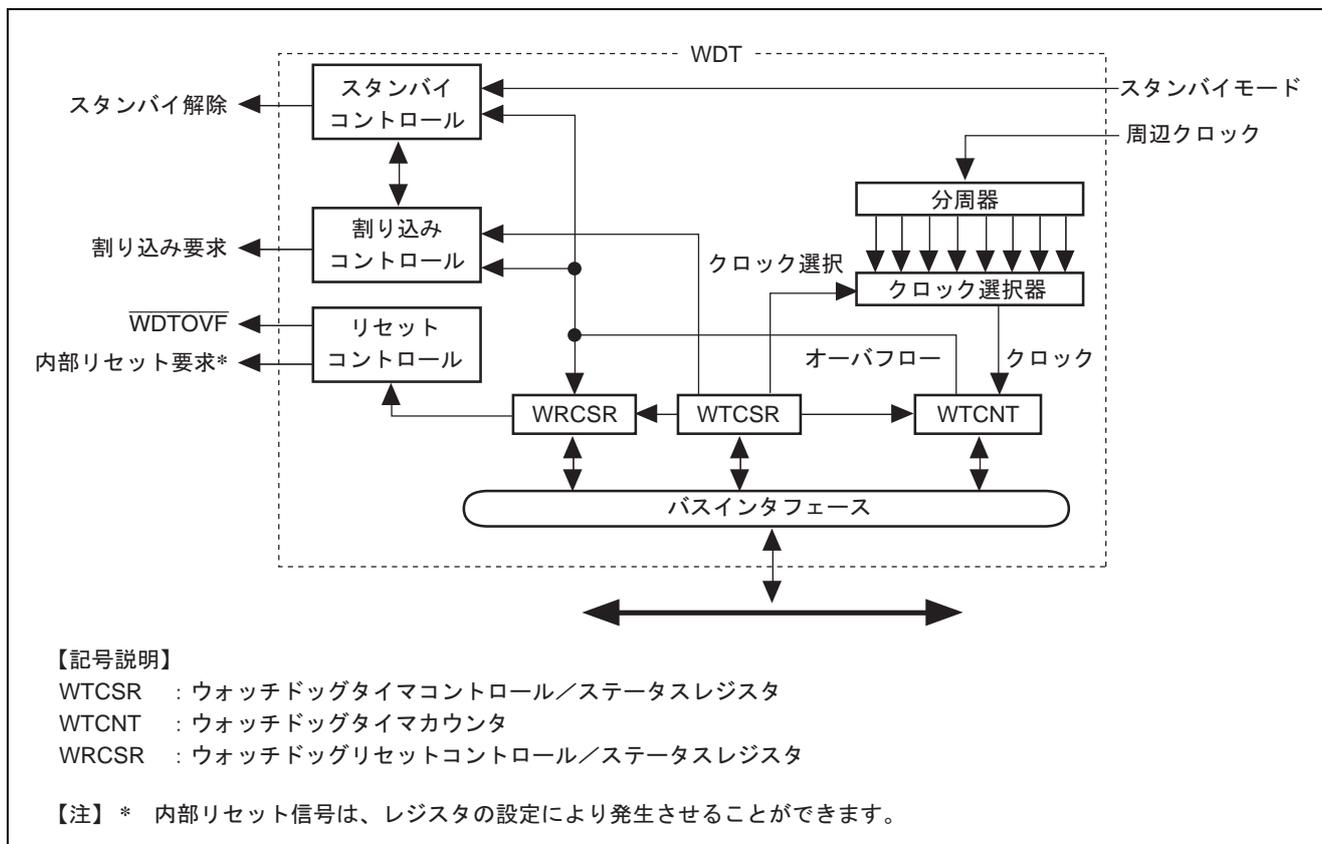


図 10.1 WDT のブロック図

10.2 入出力端子

WDT の端子を表 10.1 に示します。

表 10.1 端子構成

名称	端子名	入出力	機能
ウォッチドッグタイマ オーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー 信号出力

10.3 レジスタの説明

WDT には以下のレジスタがあります。

表 10.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ウォッチドッグタイマカウンタ	WTCNT	R/W	H'00	H'FFFE0002	16*
ウォッチドッグタイマコントロール/ ステータスレジスタ	WTCSR	R/W	H'18	H'FFFE0000	16*
ウォッチドッグリセットコントロール/ ステータスレジスタ	WRCSR	R/W	H'1F	H'FFFE0004	16*

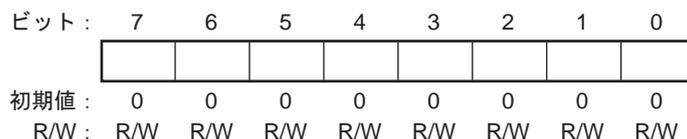
【注】 * アクセスサイズは、「10.3.4 レジスタアクセス時の注意」を参照してください。

10.3.1 ウォッチドッグタイマカウンタ (WTCNT)

WTCNT は、読み出し/書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときはウォッチドッグタイマオーバフロー信号 ($\overline{\text{WDTOVF}}$) が発生し、インターバルタイマモードのときは割り込みが発生します。WTCNT は、 $\overline{\text{RES}}$ 端子によるパワーオンリセット、ソフトウェアスタンバイモードのとき H'00 に初期化されます。

WTCNT への書き込みは、上位バイトを H'5A にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「10.3.4 レジスタアクセス時の注意」を参照してください。



10.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)

WTCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバフローフラグおよびイネーブルビットからなります。

WTCSR は、 $\overline{\text{RES}}$ 端子によるパワーオンリセット、ソフトウェアスタンバイモード時に H'18 に初期化されます。ソフトウェアスタンバイモード解除時のクロック発振安定時間のカウントに使用するときには、カウンタオーバフロー後、値が保持されます。

WTCSR への書き込みは、上位バイトを H'A5 にしてワードサイズで行ってください。読み出しは、バイトサイズで行ってください。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「10.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	IOVF	WT/ $\overline{\text{IT}}$	TME	-	-	CKS[2:0]		
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	IOVF	0	R/(W)	インターバルタイマオーバフロー インターバルタイマモードで WTCNT がオーバフローしたことを示します。 ウォッチドッグタイマモードでは、セットされません。 0: オーバフローなし 1: インターバルタイマモードで WTCNT がオーバフローした [クリア条件] • IOVF を読み出してから 0 を書き込む
6	WT/ $\overline{\text{IT}}$	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。 0: インターバルタイマモード 1: ウォッチドッグタイマモード 【注】 ウォッチドッグタイマモードでは、WTCNT がオーバフローしたとき $\overline{\text{WDTOVF}}$ 信号を外部へ出力 WDT の動作中に WT/ $\overline{\text{IT}}$ を書き換えるとカウントアップが正しく行われなことがあります。
5	TME	0	R/W	タイマイネーブル タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。 0: タイマディスエーブル カウントアップを停止し、WTCNT の値を保持する。 1: タイマイネーブル

ビット	ビット名	初期値	R/W	説明																		
4、3	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。																		
2~0	CKS[2:0]	000	R/W	<p>クロックセレクト</p> <p>周辺クロック (Pφ) を分周して得られる 8 種類のクロックから、WTCNT のカウントに使用するクロックを選択します。カッコ内に示すオーバフロー周期は、周辺クロック (Pφ) = 25MHz の場合の値です。</p> <table> <thead> <tr> <th>クロック分周比</th> <th>オーバフロー周期</th> </tr> </thead> <tbody> <tr> <td>000 : 1 × Pφ</td> <td>(10.2 μs)</td> </tr> <tr> <td>001 : 1/64 × Pφ</td> <td>(655.4 μs)</td> </tr> <tr> <td>010 : 1/128 × Pφ</td> <td>(1.3ms)</td> </tr> <tr> <td>011 : 1/256 × Pφ</td> <td>(2.6ms)</td> </tr> <tr> <td>100 : 1/512 × Pφ</td> <td>(5.2ms)</td> </tr> <tr> <td>101 : 1/1024 × Pφ</td> <td>(10.5ms)</td> </tr> <tr> <td>110 : 1/4096 × Pφ</td> <td>(41.9ms)</td> </tr> <tr> <td>111 : 1/16384 × Pφ</td> <td>(167.8ms)</td> </tr> </tbody> </table> <p>【注】 WDT の動作中に CKS2~CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2~CKS0 ビットを書き換える場合は、必ず WDT を停止させてください。</p>	クロック分周比	オーバフロー周期	000 : 1 × Pφ	(10.2 μs)	001 : 1/64 × Pφ	(655.4 μs)	010 : 1/128 × Pφ	(1.3ms)	011 : 1/256 × Pφ	(2.6ms)	100 : 1/512 × Pφ	(5.2ms)	101 : 1/1024 × Pφ	(10.5ms)	110 : 1/4096 × Pφ	(41.9ms)	111 : 1/16384 × Pφ	(167.8ms)
クロック分周比	オーバフロー周期																					
000 : 1 × Pφ	(10.2 μs)																					
001 : 1/64 × Pφ	(655.4 μs)																					
010 : 1/128 × Pφ	(1.3ms)																					
011 : 1/256 × Pφ	(2.6ms)																					
100 : 1/512 × Pφ	(5.2ms)																					
101 : 1/1024 × Pφ	(10.5ms)																					
110 : 1/4096 × Pφ	(41.9ms)																					
111 : 1/16384 × Pφ	(167.8ms)																					

10.3.3 ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR)

WRCSR は、読み出し/書き込み可能な 8 ビットのレジスタで、ウォッチドッグタイマカウンタ (WTCNT) のオーバーフローによる内部リセット信号の発生を制御します。

WRCSR は、 $\overline{\text{RES}}$ 端子からのリセット信号で H'1F に初期化されますが、WDT のオーバーフローによる内部リセット信号では初期化されません。ソフトウェアスタンバイモード時には、H'1F に初期化されます。

【注】 本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「10.3.4 レジスタアクセス時の注意」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	WOVF	RSTE	RSTS	-	-	-	-	-
初期値:	0	0	0	1	1	1	1	1
R/W:	R/(W)	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。インターバルタイマモードでは、セットされません。 0: オーバーフローなし 1: ウォッチドッグタイマモードで WTCNT がオーバーフローした [クリア条件] • WOVF を読み出してから 0 を書き込む
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで WTCNT がオーバーフローしたとき本 LSI 内部をリセットする信号を発生するかどうかを選択します。インターバルタイマモードの場合は、設定値は無視されます。 0: WTCNT がオーバーフローしたとき、内部リセットしない* 1: WTCNT がオーバーフローしたとき、内部リセットする 【注】* 本 LSI 内部はリセットされませんが、WDT 内の WTCNT、WTCSR はリセットされます。
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を選択します。インターバルタイマモードの場合は、設定値は無視されます。 0: パワーオンリセット 1: マニュアルリセット
4~0	-	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

10.3.4 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ (WTCNT)、ウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR)、ウォッチドッグリセットコントロール/ステータスレジスタ (WRCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出しまたは書き込みを行ってください。

(1) WTCNT および WTCSR への書き込み

WTCNT および WTCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送およびロングワード転送命令では書き込めません。

図 10.2 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

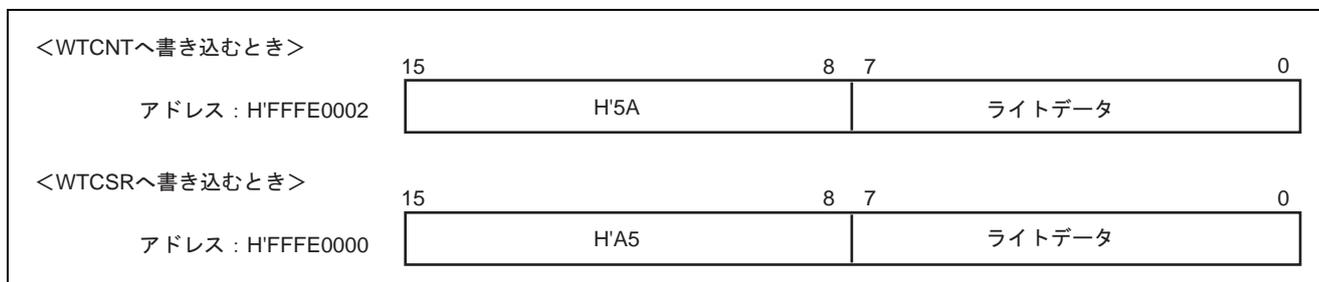


図 10.2 WTCNT および WTCSR への書き込み

(2) WRCSR への書き込み

WRCSR へ書き込むときは、アドレス H'FFFE0004 に対してワード転送を行ってください。バイト転送命令およびロングワード転送命令では書き込めません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) に書き込む場合では、**図 10.3** に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 の値が RSTE ビットに書き込まれます。このとき、WOVF ビットは影響を受けません。

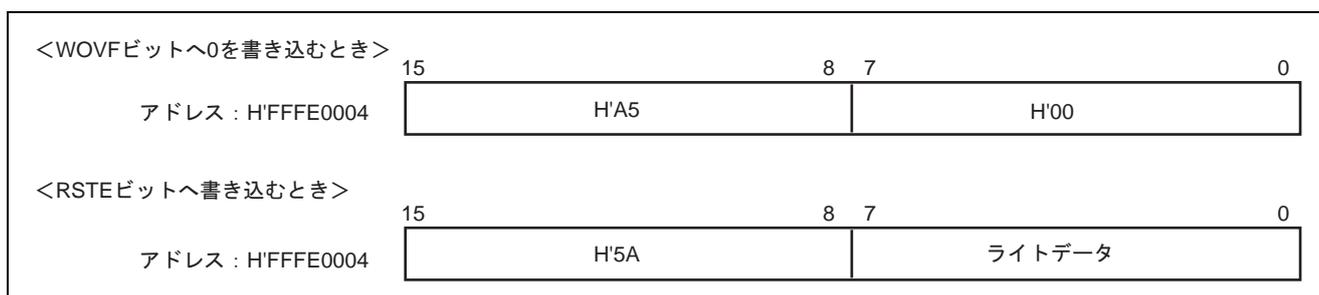


図 10.3 WRCSR への書き込み

(3) WTCNT、WTCSR、WRCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。WTCSR はアドレス H'FFFE0000 に、WTCNT はアドレス H'FFFE0002 に、WRCSR はアドレス H'FFFE0004 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

10.4 WDT の使用方法

10.4.1 ソフトウェアスタンバイモード解除の手順

WDT は、ソフトウェアスタンバイモードを NMI などの割り込みで解除する場合に使用します。この手順を以下に示します（リセットで解除する場合は、WDT は動作しないため、クロックの発振が安定するまで $\overline{\text{RES}}$ 端子をローレベルに保ってください）。

1. ソフトウェアスタンバイモードへの遷移前に、必ず WTCSCR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR の CKS[2:0] ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
3. スタンバイコントロールレジスタ (STBCR : 「第11章 低消費電力モード」参照) の STBY ビットに 1 を設定後、SLEEP 命令実行によりソフトウェアスタンバイモードに遷移して、クロックは停止します。
4. NMI 信号変化のエッジなどの割り込み検出により、WDT がカウントを開始します。
5. WDT がカウントオーバーフローすると、CPG がクロック供給を開始して、本 LSI が動作を再開します。このとき、WRCSR の WOVF はセットされません。

10.4.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り替えのみによる周波数変更の場合は、WDT は使用しません。

1. 周波数変更前に、必ず WTCSCR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSCR の CKS[2:0] ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。ただし、WDT のカウントアップは、設定後のクロックでカウントアップされます。
3. 周波数制御レジスタ (FRQCR) を書き換えると、プロセッサ内部は一時的に停止して、WDT はカウントを開始します。
4. WDT はカウントオーバーフローすると、CPG がクロック供給を再開して、本 LSI が動作を再開します。このときは、WRCSR の WOVF はセットされません。
5. カウンタは、H'00 の値で停止します。
6. 周波数変更命令の後、WTCNT を書き換える場合には、WTCNT を読み出して H'00 になっていることを確認してから書き換えてください。

10.4.3 ウォッチドッグタイマモードの使用法

1. WTCSRのWT/ITビットに1を設定して、CKS[2:0]にカウントクロックの種類、WRCSRのRSTEビットに本LSIの内部をリセットするかしないか、およびWTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタをH'00に書き換えてください。
4. カウンタがオーバーフローすると、WDTはWRCSRのWOVFを1にセットして、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。これを図10.4に示します。この $\overline{\text{WDTOVF}}$ 信号を用いて、システムをリセットすることができます。 $\overline{\text{WDTOVF}}$ 信号は、 $64 \times P\phi$ クロックの間出力されます。
5. WRCSRのRSTEビットを1にセットしておくで、 $\overline{\text{WDTOVF}}$ 信号と同時に本LSIの内部をリセットする信号を発生させることができます。内部リセット信号は、 $128 \times P\phi$ クロックの間出力されます。
6. $\overline{\text{RES}}$ 端子からの入力信号によるリセットとWDTのオーバーフローによるリセットが同時に発生したときは、 $\overline{\text{RES}}$ 端子によるリセットが優先され、WRCSRのWOVFビットは0にクリアされます。

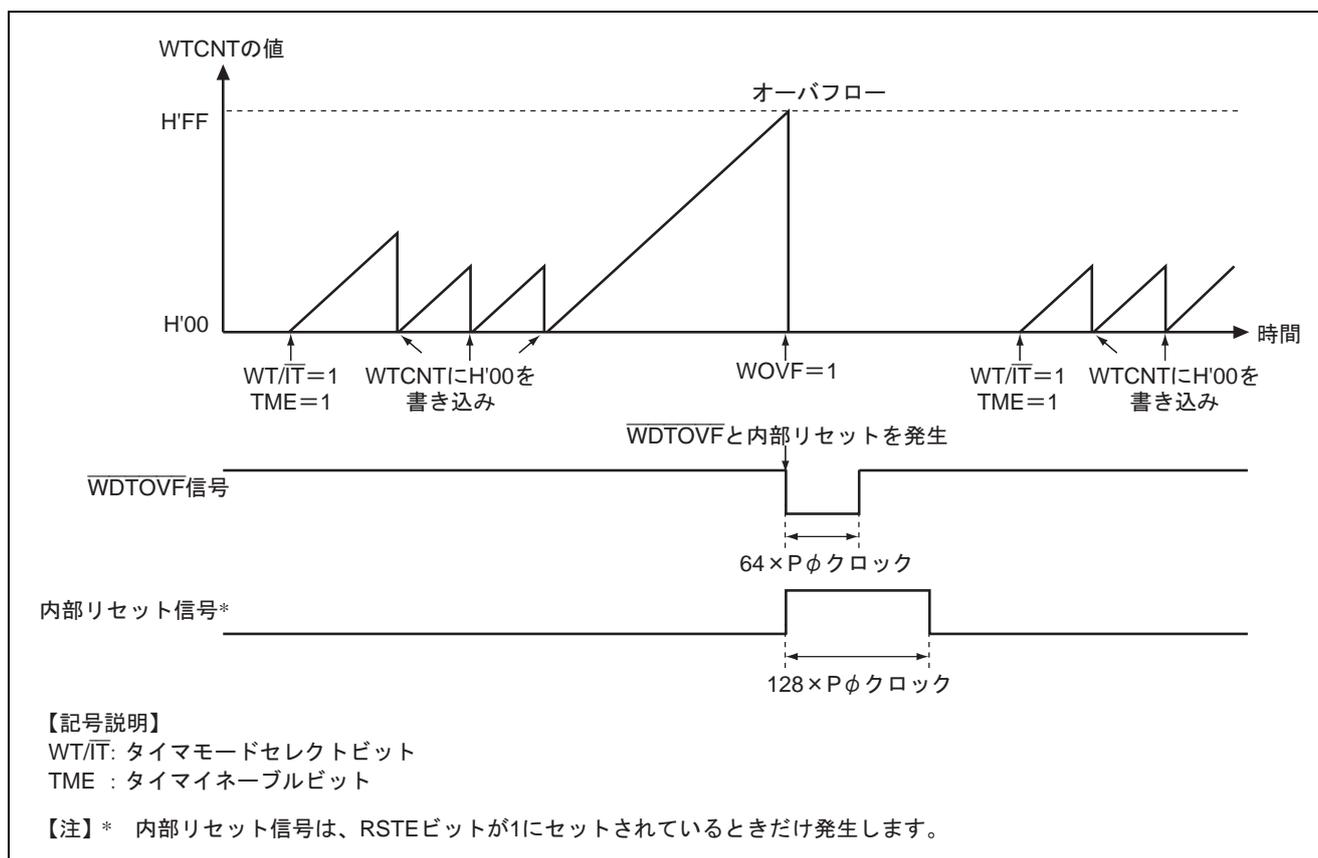


図 10.4 ウォッチドッグタイマモード時の動作

10.4.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みが発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSRの WT/\overline{IT} ビットに0をセットして、CKS[2:0]ビットにカウントクロックの種類、WTCNTに初期値を設定します。
2. WTCSRのTMEビットに1をセットするとインターバルタイマモードでカウントを開始します。
3. WDTは、カウンタがオーバーフローするとWTCSRのIOVFに1をセットし、インターバルタイマ割り込み要求をINTCに送ります。カウンタはカウントを続行します。

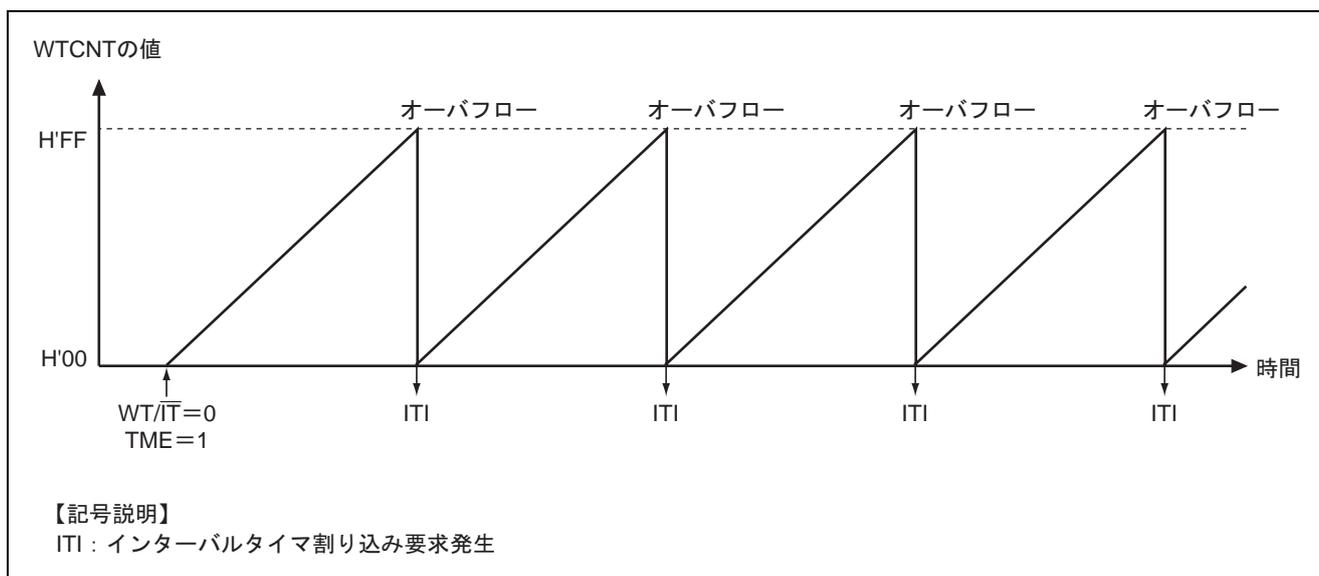


図 10.5 インターバルタイマモード時の動作

10.5 使用上の注意事項

インターバルタイマモードおよびウォッチドッグタイマモードにおいて、以下の注意事項があります。

10.5.1 タイマ誤差

タイマ動作開始後の WTCNT レジスタの最初のカウントアップタイミングは、パワーオンリセットを基点とした WTCNT レジスタの TME ビットのセットタイミングによって、Pφの1サイクル後（最短）から、CKS[2:0]で選択した分周タイミング（最長）までの間となります。2回目以降のカウントアップタイミングは選択した分周タイミングとなります。したがって、上記の最初のカウントアップまでの時間差がタイマ誤差となります。タイマ動作中、WTCNT レジスタ書き換え後、最初のカウントアップタイミングも同様です。

10.5.2 WTCNT の設定値として H'FF は設定禁止

WDT では WTCNT の値が H'FF になったことをオーバフローと判定します。したがって、WTCNT に H'FF を設定すると、CKS[2:0]の選択クロックにかかわらず、すぐにインターバルタイマ割り込みまたは WDT リセットが発生します。

10.5.3 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット

$\overline{\text{WDTOVF}}$ 信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、**図 10.6** に示すような回路で行ってください。

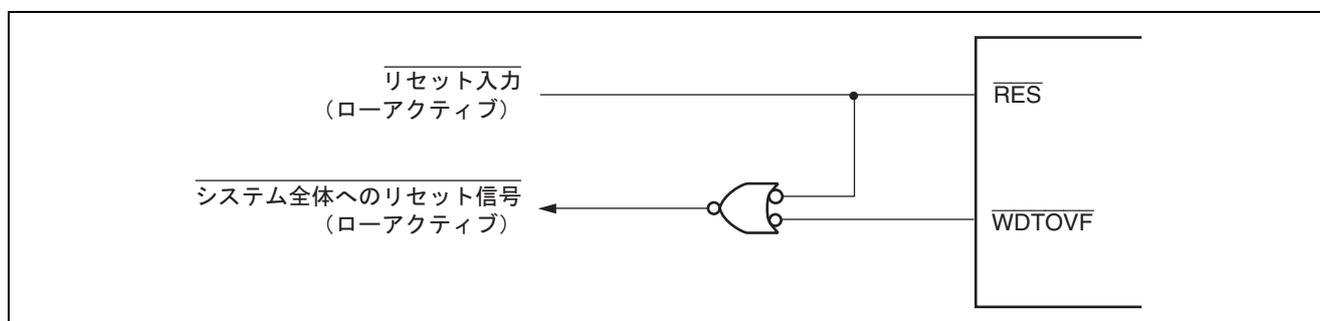


図 10.6 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

10.5.4 ウォッチドッグタイマモードのマニュアルリセット

ウォッチドッグタイマモードによるマニュアルリセット発生時、バスサイクルは保持されます。

DMAC/E-DMAC/A-DMAC (F-DMAC を含む) などのバースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。

ただし、マニュアルリセットが発生してからバスサイクルの終了までの期間が内部マニュアルリセット期間の一定サイクル以上であると、内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。

11. 低消費電力モード

低消費電力モードでは、内蔵周辺モジュールの一部と CPU が機能を停止します。これにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込みによって解除されます。

11.1 特長

11.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を、表 11.1 に示します。

表 11.1 低消費電力モードの状態

低消費電力モード	遷移条件	状態*						解除方法
		CPG	CPU	CPU レジスタ	内蔵 メモリ	内蔵周辺 モジュール	外部 メモリ	
スリープモード	STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止	保持	動作	動作	オートリフレッシュ されません	<ul style="list-style-type: none"> • 割り込み • リセット • DMA アドレスエラー
ソフトウェアスタンバイモード	STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行	停止	停止	保持	停止 (内容は保持)	停止	セルフリフレッシュにしてください	<ul style="list-style-type: none"> • NMI 割り込み • IRQ 割り込み • リセット
モジュールスタンバイ機能	STBCR2、STBCR3、STBCR4 の MSTP ビットを 1 とする	動作	動作	保持	指定モジュールが停止 (内容は保持)	指定モジュールが停止	オートリフレッシュ されません	<ul style="list-style-type: none"> • MSTP ビットを 0 にクリア • リセット

【注】 * 端子状態は、保持またはハイインピーダンスです。詳細は「付録 A. 端子状態」を参照してください。

11.2 レジスタの説明

低消費電力モード関連で使用するレジスタには、以下のものがあります。

表 11.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ	STBCR	R/W	H'00	H'FFFE0014	8
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'00	H'FFFE0018	8
スタンバイコントロールレジスタ 3	STBCR3	R/W	H'00	H'FFFE0408	8
スタンバイコントロールレジスタ 4	STBCR4	R/W	H'00	H'FFFE040C	8
システムコントロールレジスタ 1	SYSCR1	R/W	H'FF	H'FFFE0402	8
システムコントロールレジスタ 2	SYSCR2	R/W	H'FF	H'FFFE0404	8
システムコントロールレジスタ 3	SYSCR3	R/W	H'00	H'FFFE0418	8

11.2.1 スタンバイコントロールレジスタ (STBCR)

STBCR は、読み出し／書き込み可能な 8 ビットのレジスタで、低消費電力モードの状態を指定します。パワーオンリセット時は H'00 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う際には、「11.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	STBY	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	STBY	0	R/W	ソフトウェアスタンバイ ソフトウェアスタンバイモードへの遷移を指定します。 0: SLEEP 命令の実行で、スリープモードへ遷移 1: SLEEP 命令の実行で、ソフトウェアスタンバイモードへ遷移
6~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11.2.2 スタンバイコントロールレジスタ 2 (STBCR2)

STBCR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR2 は、パワーオンリセット時に H'00 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う際には、「11.4 使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP 10	MSTP 9	MSTP 8	MSTP 7	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	MSTP10	0	R/W	モジュールストップ 10 MSTP10 ビットを 1 にセットすると H-UDI へのクロックの供給を停止します。 0 : H-UDI は動作 1 : H-UDI へのクロックの供給を停止
6	MSTP9	0	R/W	モジュールストップ 9 MSTP9 ビットを 1 にセットすると UBC へのクロックの供給を停止します。 0 : UBC は動作 1 : UBC へのクロックの供給を停止
5	MSTP8	0	R/W	モジュールストップ 8 MSTP8 ビットを 1 にセットすると DMAC へのクロックの供給を停止します。 0 : DMAC は動作 1 : DMAC へのクロックの供給を停止
4	MSTP7	0	R/W	モジュールストップ 7 MSTP7 ビットを 1 にセットすると FPU へのクロックの供給を停止します。MSTP7 ビットを 1 にセットした後、0 をライトしてクリアすることはできません。つまり、MSTP7 ビットを 1 にセットして FPU へのクロック供給をいったん停止した後、MSTP7 ビットを 0 にクリアして FPU へのクロック供給を再開することはできません。 FPU へのクロック供給を停止した後、再開するには、本 LSI をパワーオンリセットしてください。 0 : FPUC は動作 1 : FPU へのクロックの供給を停止
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11.2.3 スタンバイコントロールレジスタ 3 (STBCR3)

STBCR3 は、読み出し／書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR3 は、パワーオンリセット時に H'00 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う際には、「11.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	HIZ	MSTP 36	MSTP 35	MSTP 34	MSTP 33	MSTP 32	MSTP 31	MSTP 30
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	HIZ	0	R/W	<p>ポートハイインピーダンス</p> <p>ソフトウェアスタンバイモード時に、特定の出力端子の状態を保持するか、ハイインピーダンスにするかを選択します。どの端子を制御するかは、「付録 A. 端子状態」を参照してください。</p> <p>本ビットは、WDT の WTSCR の TME ビットが 1 の状態では、設定しないでください。出力端子の状態をハイインピーダンスにしたいときには、必ず TME ビットが 0 の状態で、HIZ ビットをセットしてください。</p> <p>0: ソフトウェアスタンバイモード時に、端子状態を保持する</p> <p>1: ソフトウェアスタンバイモード時に、端子状態をハイインピーダンスにする</p>
6	MSTP36	0	R/W	<p>モジュールストップ 36</p> <p>MSTP36 ビットを 1 にセットすると STIF1 へのクロックの供給を停止します。</p> <p>0: STIF1 は動作</p> <p>1: STIF1 へのクロックの供給を停止</p>
5	MSTP35	0	R/W	<p>モジュールストップ 35</p> <p>MSTP35 ビットを 1 にセットすると STIF0 へのクロックの供給を停止します。</p> <p>0: STIF0 は動作</p> <p>1: STIF0 へのクロックの供給を停止</p>
4	MSTP34	0	R/W	<p>モジュールストップ 34</p> <p>MSTP34 ビットを 1 にセットすると CMT へのクロックの供給を停止します。</p> <p>0: CMT は動作</p> <p>1: CMT へのクロックの供給を停止</p>

ビット	ビット名	初期値	R/W	説明
3	MSTP33	0	R/W	モジュールストップ 33 MSTP33 ビットを 1 にセットすると IIC3 へのクロックの供給を停止します。 0 : IIC3 は動作 1 : IIC3 へのクロックの供給を停止
2	MSTP32	0	R/W	モジュールストップ 32 MSTP32 ビットを 1 にセットすると SCIF2 へのクロックの供給を停止します。 0 : SCIF2 は動作 1 : SCIF2 へのクロックの供給を停止
1	MSTP31	0	R/W	モジュールストップ 31 MSTP31 ビットを 1 にセットすると SCIF1 へのクロックの供給を停止します。 0 : SCIF1 は動作 1 : SCIF1 へのクロックの供給を停止
0	MSTP30	0	R/W	モジュールストップ 30 MSTP30 ビットを 1 にセットすると SCIF0 へのクロックの供給を停止します。 0 : SCIF0 は動作 1 : SCIF0 へのクロックの供給を停止

11.2.4 スタンバイコントロールレジスタ 4 (STBCR4)

STBCR4 は、読み出し/書き込み可能な 8 ビットのレジスタで、低消費電力モード時の各モジュールの動作を制御します。STBCR4 は、パワーオンリセット時に H'00 に初期化されますが、マニュアルリセットおよびソフトウェアスタンバイモード時では前の値を保持します。バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う際には、「11.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	MSTP 46	MSTP 45	MSTP 44	MSTP 43	MSTP 42	MSTP 41	MSTP 40
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W						

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	MSTP46	0	R/W	モジュールストップ 46 MSTP46 ビットを1にセットすると SSI1 へのクロックの供給を停止します。 0 : SSI1 は動作 1 : SSI1 へのクロックの供給を停止
5	MSTP45	0	R/W	モジュールストップ 45 MSTP45 ビットを1にセットすると SSI0 へのクロックの供給を停止します。 0 : SSI0 は動作 1 : SSI0 へのクロックの供給を停止
4	MSTP44	0	R/W	モジュールストップ 44 MSTP44 ビットを1にセットすると HIF へのクロックの供給を停止します。 0 : HIF は動作 1 : HIF へのクロックの供給を停止
3	MSTP43	0	R/W	モジュールストップ 43 MSTP43 ビットを1にセットすると A-DMAC へのクロックの供給を停止します。 0 : A-DMAC は動作 1 : A-DMAC へのクロックの供給を停止
2	MSTP42	0	R/W	モジュールストップ 42 MSTP42 ビットを1にセットすると SDHI へのクロックの供給を停止します。 0 : SDHI は動作 1 : SDHI へのクロックの供給を停止
1	MSTP41	0	R/W	モジュールストップ 41 MSTP41 ビットを1にセットすると USB へのクロックの供給を停止します。 0 : USB は動作 1 : USB へのクロックの供給を停止
0	MSTP40	0	R/W	モジュールストップ 40 MSTP40 ビットを1にセットすると EtherC へのクロックの供給を停止します。 0 : EtherC は動作 1 : EtherC へのクロックの供給を停止

11.2.5 システムコントロールレジスタ 1 (SYSCR1)

SYSCR1 は、読み出し/書き込み可能な 8 ビットのレジスタで、内蔵 RAM (高速) へのアクセス許可/禁止を設定します。SYSCR1 は、バイトアクセスのみ有効です。

RAME ビットを 1 にセットすると内蔵 RAM (高速) が有効になります。0 にクリアすると内蔵 RAM (高速) はアクセスできません。このとき、内蔵 RAM (高速) からのリードおよび命令フェッチは不定値が読み出され、内蔵 RAM (高速) へのライトは無視されます。初期値は 1 です。

なお、RAME ビットの設定をディスエーブルにする場合には、RAME ビット設定前に必ず各ページに対し任意の同一アドレスのリード/ライトを実行してください。実行しない場合、最後に書かれたデータが内蔵 RAM (高速) に書き込まれない可能性があります。さらに、SYSCR1 へのライト命令の直後に内蔵 RAM (高速) をアクセスするような命令を置かないでください。もし内蔵 RAM (高速) アクセス命令を置いた場合、正常なアクセスは保証できません。

本ビットを 1 にセットして内蔵 RAM (高速) を有効にする場合、SYSCR1 へのライト命令の直後に SYSCR1 のリード命令を置いてください。もし、SYSCR1 ライト命令の直後に内蔵 RAM (高速) アクセス命令を置いた場合、正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う場合は、「11.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAME3	RAME2	RAME1	RAME0
	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	RAME3	1	R/W	RAM イネーブル 3 (対象: 内蔵 RAM (高速) のページ 3*) 0: 内蔵 RAM (高速) 無効 1: 内蔵 RAM (高速) 有効
2	RAME2	1	R/W	RAM イネーブル 2 (対象: 内蔵 RAM (高速) のページ 2*) 0: 内蔵 RAM (高速) 無効 1: 内蔵 RAM (高速) 有効
1	RAME1	1	R/W	RAM イネーブル 1 (対象: 内蔵 RAM (高速) のページ 1*) 0: 内蔵 RAM (高速) 無効 1: 内蔵 RAM (高速) 有効
0	RAME0	1	R/W	RAM イネーブル 0 (対象: 内蔵 RAM (高速) のページ 0*) 0: 内蔵 RAM (高速) 無効 1: 内蔵 RAM (高速) 有効

【注】 * 各ページのアドレスについては、「第 27 章 内蔵 RAM」を参照してください。

11.2.6 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、内蔵 RAM（高速）へのライト許可／禁止を設定します。SYSCR2 は、バイトアクセスのみ有効です。

RAMWE ビットを 1 にセットすると内蔵 RAM（高速）への書き込みが有効になります。0 にクリアすると内蔵 RAM（高速）にはライトできません。このとき、内蔵 RAM（高速）へのライトは無視されます。初期値は 1 です。

なお、RAMWE ビットの設定をディスエーブルにする場合には、RAMWE ビット設定前に必ず各ページに対し任意の同一アドレスのリード／ライトを実行してください。実行しない場合、最後に書かれたデータが内蔵 RAM（高速）に書き込まれない可能性があります。さらに、SYSCR2 へのライト命令の直後に内蔵 RAM（高速）をアクセスするような命令を置かないでください。もし内蔵 RAM（高速）アクセス命令を置いた場合、正常なアクセスは保証できません。

本ビットを 1 にセットして内蔵 RAM（高速）に対するライトを有効にする場合、SYSCR2 へのライト命令の直後に SYSCR2 のリード命令を置いてください。もし、SYSCR2 ライト命令の直後に内蔵 RAM（高速）アクセス命令を置いた場合、正常なアクセスは保証できません。

【注】 本レジスタに書き込みを行う場合は、「11.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAM WE3	RAM WE2	RAM WE1	RAM WE0
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	RAMWE3	1	R/W	RAM ライトイネーブル 3 (対象: 内蔵 RAM (高速) のページ 3*) 0: 内蔵 RAM (高速) へのライト無効 1: 内蔵 RAM (高速) へのライト有効
2	RAMWE2	1	R/W	RAM ライトイネーブル 2 (対象: 内蔵 RAM (高速) のページ 2*) 0: 内蔵 RAM (高速) へのライト無効 1: 内蔵 RAM (高速) へのライト有効
1	RAMWE1	1	R/W	RAM ライトイネーブル 1 (対象: 内蔵 RAM (高速) のページ 1*) 0: 内蔵 RAM (高速) へのライト無効 1: 内蔵 RAM (高速) へのライト有効
0	RAMWE0	1	R/W	RAM ライトイネーブル 0 (対象: 内蔵 RAM (高速) のページ 0*) 0: 内蔵 RAM (高速) へのライト無効 1: 内蔵 RAM (高速) へのライト有効

【注】 * 各ページのアドレスについては、「第 27 章 内蔵 RAM」を参照してください。

11.2.7 システムコントロールレジスタ 3 (SYSCR3)

SYSCR3 は、読み出し/書き込み可能な 8 ビットのレジスタで、SSI0、SSI1 のソフトウェアリセット制御を行います。SYSCR3 は、バイトアクセスのみ有効です。

【注】 本レジスタに書き込みを行う場合は、「11.4 使用上の注意事項」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SSI1 SRST	SSI0 SRST
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SSI1SRST	0	R/W	SSI1 ソフトウェアリセット SSI1 のリセットをソフトウェアで制御します。 0 : SSI1 のリセットを解除 1 : SSI1 をリセット状態
0	SSI0SRST	0	R/W	SSI0 ソフトウェアリセット SSI0 のリセットをソフトウェアで制御します。 0 : SSI0 のリセットを解除 1 : SSI0 をリセット状態

11.3 動作説明

11.3.1 スリープモード

(1) スリープモードへの遷移

STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。クロックモード 0、1、3 のときは、CKIO 端子からクロックが出力され続けます。

(2) スリープモードの解除

スリープモードは、割り込み（NMI、IRQ、内蔵周辺）、DMA アドレスエラーおよびリセット（パワーオンリセット）により解除されます。

- 割り込みによる解除

NMI、IRQ、および内蔵周辺の各割り込みが発生すると、スリープモードが解除され割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ（SR）に設定されている割り込みマスケベル以下の場合、および内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

- DMA アドレスエラーによる解除

DMA アドレスエラーが発生するとスリープモードが解除され、DMA アドレスエラー例外処理が実行されます。

- リセットによる解除

パワーオンリセットにより、スリープモードは解除されます。

11.3.2 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。クロックモード 0、1、3 のときは、CKIO 端子からのクロック出力も停止します。

CPU のレジスタ内容は、保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタ状態は、「28.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

また、CPU は、STBCR への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR への書き込み値を SLEEP 命令に確実に反映するためには、STBCR を読み出してから SLEEP 命令を実行してください。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. WDTのタイマコントロールレジスタ (WTCSR) のTMEビットを0にし、WDTを停止させます。
2. WDTのタイマカウンタ (WTCNT) に0をセットし、WTCSRレジスタのCKS[2:0]ビットに指定された発振安定時間になるように、値を設定します。
3. STBCRレジスタのSTBYビットに1を設定した後にSTBCRレジスタを読み出します。その後、SLEEP命令を実行させます。

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み (NMI、IRQ) およびリセット (パワーオンリセット) により、解除されます。クロックモード 0、1、3 のときは、CKIO 端子からクロックが出力され始めます。

• 割り込みによる解除

NMI 端子の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ 0 (ICR0) の NMI エッジセレクトビット (NMIE) で選択)、IRQ 端子 (IRQ7~IRQ0) の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ 1 (ICR1) の IRQn センスセレクトビット (IRQn1S~IRQn0S) で選択) が検出されると、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタ (WDT) にだけ供給されます。

ソフトウェアスタンバイモードに遷移する前に WDT のウォッチドッグタイマコントロール/ステータスレジスタ (WTCSR) のクロックセレクトビット (CKS[2:0]) に設定しておいた時間が経過すると、WDT のオーバフローが発生します。このオーバフロー発生によってクロックが安定したと判断され本 LSI 全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI 割り込み例外処理 (IRQ の場合、IRQ 割り込み例外処理) が開始されます。ただし、IRQ 割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、割り込み要求は受け付けられず、ソフトウェアスタンバイモードは解除されません。

NMI 割り込みまたは IRQ 割り込みによってソフトウェアスタンバイモードを解除する場合、WDT のオーバフロー周期が発振安定時間以上となるように、CKS[2:0]ビットを設定してください。

割り込み検出直後からソフトウェアスタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。なお、立ち下がりエッジに設定した NMI 端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき (クロック停止時) の NMI 端子のレベルがハイレベルに、かつソフトウェアスタンバイモード復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定した NMI 端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイモードに入るとき (クロック停止時) の NMI 端子のレベルがローレベルに、かつソフトウェアスタンバイモード復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがハイレベルになるようにしてください (IRQ 端子の場合も同様です)。

- リセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、ソフトウェアスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後 $\overline{\text{RES}}$ 端子をハイレベルにすると、パワーオンリセット例外処理が開始されます。

$\overline{\text{RES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

11.3.3 ソフトウェアスタンバイモードの応用例

NMI 信号の立ち下がりでソフトウェアスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 11.1 に示します。

割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、STBCR の STBY ビットを 1 にセットして SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

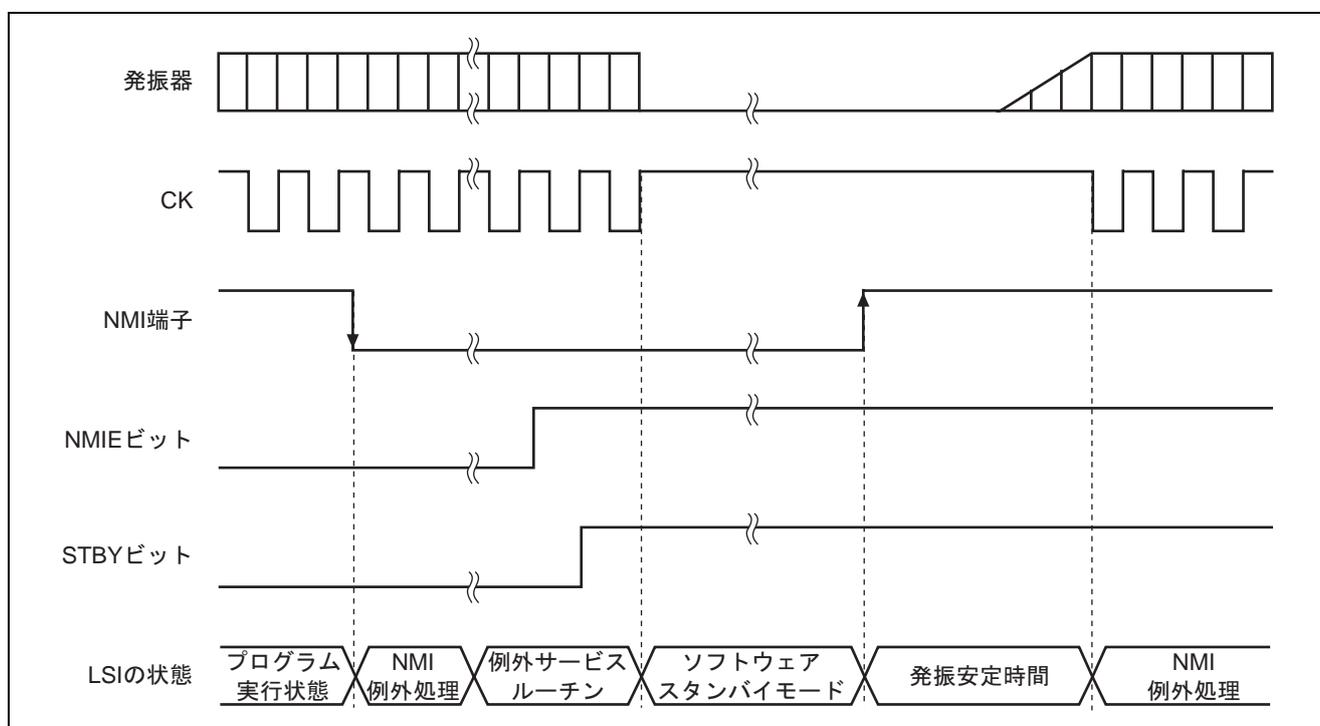


図 11.1 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

11.3.4 モジュールスタンバイ機能

(1) モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、ノーマルモード時およびスリープモード時の消費電力を低減させることができます。遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

レジスタの状態は、ソフトウェアスタンバイモード時と同じです。「28.3 各動作モードにおけるレジスタの状態の一覧」を参照してください。

ただし CMT は例外です。CMT は、ソフトウェアスタンバイモード時は全レジスタが初期化されますが、モジュールスタンバイ状態では全レジスタが保持されます。

(2) モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアするか、パワーオンリセットにより行います。各 MSTP ビットを 0 にクリアしてモジュールスタンバイ機能を解除する場合は、該当ビットを読み出して 0 クリアされたことを確認してください。

11.4 使用上の注意事項

低消費電力モード関連のレジスタに書き込みを行う際には、以下のことに注意してください。

CPU から低消費電力モード関連のレジスタに書き込みを行う際、CPU は書き込み命令実行後、実際のレジスタへの書き込み完了まで待たされずに、後続の命令を実行します。

後続命令実行時にレジスタへの書き込みによる変更を反映させたい場合には、レジスタ書き込み命令と後続命令の間に同じレジスタに対するダミーリードを行ってください。

12. イーサネットコントローラ (EtherC)

本 LSI は、イーサネットあるいは IEEE802.3 の MAC (Media Access Control) 層規格に準拠したイーサネットコントローラ (EtherC) を内蔵しています。EtherC は、同規格に合致する物理層 LSI (PHY-LSI) と接続することにより、イーサネット/IEEE802.3 フレームの送受信を行うことができます。本 LSI 内蔵のイーサネットコントローラは MAC 層インタフェースを 1 系統内蔵しています。また、イーサネットコントローラは、本 LSI 内部でイーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC) に接続されており、メモリとの高速アクセスが可能です。

図 12.1 に EtherC の構成を示します。

12.1 特長

- イーサネット/IEEE802.3 フレームの送受信
- 10Mbps および 100Mbps 転送への対応
- 全二重モードおよび半二重モード対応
- IEEE802.3u 規格の MII (Media Independent Interface) 対応
- Magic Packet の検出および Wake-On-LAN (WOL) 信号の出力
- IEEE802.3x 規格のフロー制御準拠

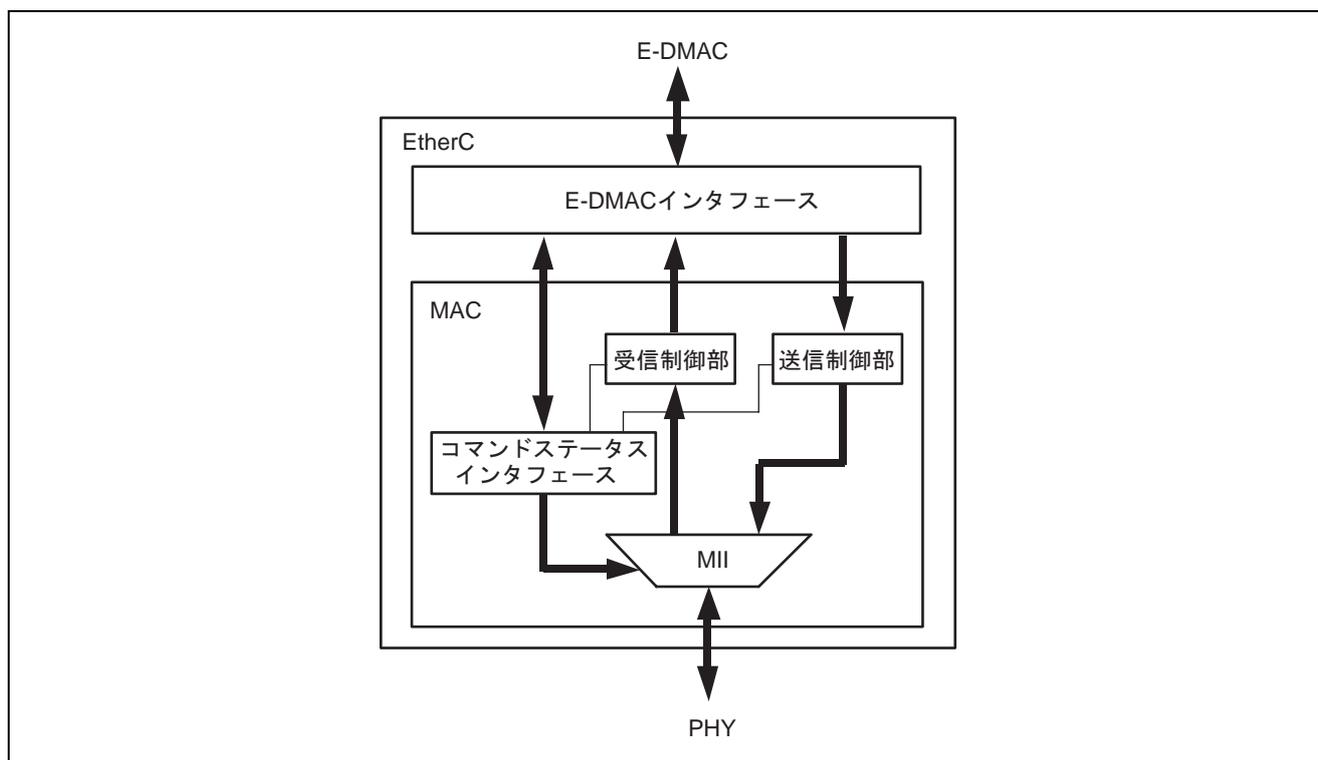


図 12.1 EtherC の構成

12.2 入出力端子

EtherC の端子構成を表 12.1 に示します。

表 12.1 端子構成

名 称	系	記号	入出力	機 能
送信クロック	0	TX-CLK*	入力	TX-EN、MII_TXD3~MII_TXD0、TX-ER のタイミング参照信号
受信クロック	0	RX-CLK*	入力	RX-DV、MII_RXD3~MII_RXD0、RX-ER のタイミング参照信号
送信イネーブル	0	TX-EN*	出力	MII_TXD3~MII_TXD0 上に送信データが準備できたことを示す信号
送信データ	0	MII_TXD3~ MII_TXD0*	出力	4 ビットの送信データ
送信エラー	0	TX-ER*	出力	送信中のエラーを PHY-LSI に通知
受信データ有効	0	RX-DV*	入力	有効な受信データが MII_RXD3~MII_RXD0 上にあることを示す信号
受信データ	0	MII_RXD3~ MII_RXD0*	入力	4 ビットの受信データ
受信エラー	0	RX-ER*	入力	データ受信中に発生したエラー状態を認識
キャリア検出	0	CRS*	入力	キャリア検出信号
衝突検出	0	COL*	入力	衝突検出信号
管理用データクロック	0	MDC*	出力	MDIO による情報転送用の参照クロック信号
管理用データ入出力	0	MDIO*	入出力	STA と PHY との間で管理情報を交換するための双方向信号
リンクステータス	0	LNKSTA	入力	PHY-LSI からのリンク状態入力
汎用外部出力	0	EXOUT	出力	外部出力用端子
ウェイク・オン・ラン	0	WOL	出力	Magic Packet 受信を示す信号

【注】 * IEEE802.3u 準拠の MII 信号

12.3 レジスタの説明

EtherC には、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 28 章 レジスタ一覧」を参照してください。

MAC 層インタフェース制御レジスタ

- EtherCモードレジスタ (ECMR)
- EtherCステータスレジスタ (ECSR)
- EtherC割り込み許可レジスタ (ECSIPR)
- PHY部インタフェースレジスタ (PIR)
- MACアドレス上位設定レジスタ (MAHR)
- MACアドレス下位設定レジスタ (MALR)
- 受信フレーム長上限レジスタ (RFLR)
- PHY部ステータスレジスタ (PSR)
- 送信リトライオーバーカウンタレジスタ (TROCR)
- 遅延衝突検出カウンタレジスタ (CDCR)
- キャリア消失カウンタレジスタ (LCCR)
- キャリア未検出カウンタレジスタ (CNDCCR)
- CRCエラーフレーム受信カウンタレジスタ (CEFCR)
- フレーム受信エラーカウンタレジスタ (FRECR)
- 64バイト未満フレーム受信カウンタレジスタ (TSFRCCR)
- 指定バイト超フレーム受信カウンタレジスタ (TLFRCCR)
- 端数ビットフレーム受信カウンタレジスタ (RFCR)
- マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)
- IPG設定レジスタ (IPGR)
- 自動PAUSEフレーム設定レジスタ (APR)
- 手動PAUSEフレーム設定レジスタ (MPR)
- 自動PAUSEフレーム再送回数設定レジスタ (TPAUSER)

12.3.1 EtherC モードレジスタ (ECMR)

ECMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、イーサネットコントローラの動作モードを指定するレジスタです。通常、本レジスタの設定は、リセット後の初期設定時に行います。

動作モードの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。動作モードを切り替える場合は、EDMR の SWR ビットにより、EtherC および E-DMAC を初期状態に戻してから再設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	ZPF	PFR	RXF	TXF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	PRCEF	-	-	MPDE	-	-	RE	TE	-	ILB	ELB	DM	PRM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
19	ZPF	0	R/W	0 time PAUSE フレーム使用許可 0: TIME パラメータが 0 の PAUSE フレーム制御を無効にする Timer 値の示す時間が経過するまで、次のフレーム送信を行いません。 Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、PAUSE フレームを破棄します。 1: TIME パラメータが 0 の PAUSE フレーム制御を有効にする Timer 値の示す時間が経過していない状態で、受信 FIFO のデータ量が FCFTR 設定値未満になると Timer 値が 0 の自動 PAUSE フレームを送信します。Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、送信待ち状態を解除します。
18	PFR	0	R/W	PAUSE フレーム受信モード 0: PAUSE フレームを E-DMAC へ転送しません 1: PAUSE フレームを E-DMAC へ転送します
17	RXF	0	R/W	受信系フロー制御動作モード 0: PAUSE フレームの検出機能が無効になります 1: 受信系のフロー制御機能が有効になります
16	TXF	0	R/W	送信系フロー制御動作モード 0: 送信系のフロー制御機能が無効になります (自動 PAUSE フレームは送信されません) 1: 送信系のフロー制御機能が有効になります (必要に応じて自動 PAUSE フレームが送信されます)

ビット	ビット名	初期値	R/W	説明
15~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	PRCEF	0	R/W	CRC エラーフレーム受信許可 0 : CRC エラーとなった受信フレームを「エラーあり」のフレームとして受信する 1 : CRC エラーとなった受信フレームを「エラーなし」のフレームとして受信する 「エラーあり」の場合、E-DMAC の ECSR および受信ディスクリプタのステータスに CRC エラーが反映されます。「エラーなし」の場合、正常なフレームとして受信します。
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
9	MPDE	0	R/W	Magic Packet 検出許可 イーサネットからの起動を有効にするため、ハードウェアによる Magic Packet の検出機能を許可するかしないかの選択を行います。 0 : Magic Packet の検出を許可しない 1 : Magic Packet の検出を許可する
8、7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6	RE	0	R/W	受信許可 本ビットを受信機能有効 (RE=1) から無効 (RE=0) としたときに受信中のフレームがあれば、当該フレームの受信終了まで受信機能は有効となります。 0 : 受信機能を無効にする 1 : 受信機能を有効にする
5	TE	0	R/W	送信許可 本ビットを送信機能有効 (TE=1) から無効 (TE=0) としたときに送信中のフレームがあれば、当該フレームの送信終了まで送信機能は有効となります。 0 : 送信機能を無効にする 1 : 送信機能を有効にする
4	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	ILB	0	R/W	内部ループバックモード EtherC 内部でのループバックモードを指定します。 0 : 通常データ送受信を行う 1 : DM=1 のとき、EtherC 内の MAC 内部でのデータの折り返しを行う

ビット	ビット名	初期値	R/W	説明
2	ELB	0	R/W	<p>外部ループバックモード</p> <p>本ビットの値は、本 LSI の汎用外部出力端子 (EXOUT) にそのまま出力されます。EXOUT 端子を用いて PHY-LSI におけるループバックモードの指示などに利用します。本機能によって PHY-LSI でのループバック機能を実現する場合は、PHY-LSI に EXOUT 端子に対応する端子があることが必要です。</p> <p>0 : EXOUT 端子は、ローレベルを出力する</p> <p>1 : EXOUT 端子は、ハイレベルを出力する</p>
1	DM	0	R/W	<p>デュプレックスモード</p> <p>EtherC の転送方式を指示します。</p> <p>0 : 半二重転送方式を指定する</p> <p>1 : 全二重転送方式を指定する</p>
0	PRM	0	R/W	<p>プロミスキャスモード</p> <p>本ビットを設定すると、すべてのイーサネットフレームを受信することができます。このときすべてのイーサネットフレームとは、宛先アドレス、ブロードキャストアドレス、マルチキャストビットなどの相違や有無にかかわらず、受信可能なすべてのフレームを表します。</p> <p>0 : EtherC は、通常動作を行う</p> <p>1 : EtherC は、プロミスキャスモード動作を行う</p>

12.3.2 EtherC ステータスレジスタ (ECSR)

ECSR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC 内のステータスを表示するレジスタです。本ステータスは、割り込みによって CPU に通知することが可能です。PSRTO、LCHNG、MPD、ICD ビットに 1 を書き込むと、対応するフラグをクリアできます。0 を書き込んだ場合は、フラグに影響を与えません。また割り込みを発生するビットは、ECSIPR レジスタの対応するビットによって割り込みを許可または禁止することができます。

本ステータスレジスタが要因で発生する割り込みは、E-DMAC の EESR レジスタ ECI ビットに反映されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PSRTO	-	LCHNG	MPD	ICD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	PSRTO	0	R/W	PAUSE フレーム再送リトライオーバ フロー制御を用いる際の PAUSE フレームの再送において、再送回数が自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER) に設定した再送上限値を超えたことを表します。 0 : PAUSE フレーム再送回数が上限値を超えていない 1 : PAUSE フレーム再送回数が上限値を超えた
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	LCHNG	0	R/W	リンク信号変化 PHY-LSI から入力される LNKSTA 信号が、ハイレベルからローレベルにあるいはローレベルからハイレベルに変化したことを表します。 現在の Link 状態を確認するには、PHY 部ステータスレジスタ (PSR) の LMON ビットを参照してください。 0 : LNKSTA 信号の変化を検出していない 1 : LNKSTA 信号の変化 (ハイレベル→ローレベルあるいはローレベル→ハイレベル) を検出した

ビット	ビット名	初期値	R/W	説明
1	MPD	0	R/W	Magic Packet 検出 回線上から Magic Packet を検出したことを表します。 0 : Magic Packet を検出していない 1 : Magic Packet を検出した
0	ICD	0	R/W	不正キャリア検出 回線上で PHY-LSI が不正なキャリアを検出したことを表します。すなわち、PHY-LSI から本 LSI へ通知される信号が RX-DV=0 かつ RX-ER=1 かつ MII-RXD3~0=1110 の組み合わせとなった場合、本ビットがセットされます。 (図 12.4 (6) 参照) ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用する PHY-LSI のタイミングを参照してください。 0 : PHY-LSI は、回線上で不正キャリアを検出していない 1 : PHY-LSI は、回線上で不正キャリアを検出した

12.3.3 EtherC 割り込み許可レジスタ (ECSIPR)

ECSIPR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、ECSR レジスタによって報告される割り込み要因の許可を指示します。各ビットは、ECSR のビットに対応する割り込みを許可することができます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PSRTO IP	-	LCHNG IP	MPD IP	ICD IP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	PSRTOIP	0	R/W	Pause フレーム再送リトライオーバーバ割り込み許可ビット 0 : PSRTO の割り込み通知を禁止 1 : PSRTO の割り込み通知を許可
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2	LCHNGIP	0	R/W	リンク信号変化割り込み許可ビット 0 : LCHNG の割り込み通知を禁止 1 : LCHNG の割り込み通知を許可
1	MPDIP	0	R/W	Magic Packet 検出割り込み許可ビット 0 : MPD の割り込み通知を禁止 1 : MPD の割り込み通知を許可
0	ICDIP	0	R/W	不正キャリア検出割り込み許可ビット 0 : ICD の割り込み通知を禁止 1 : ICD の割り込み通知を許可

12.3.4 PHY 部インタフェースレジスタ (PIR)

PIR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、MII を経由して PHY-LSI 内部のレジスタにアクセスする手段を提供します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	MDI	MDO	MMD	MDC
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	不定	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	MDI	不定	R	MII マネジメントデータイン MDIO 端子のレベルを表します。
2	MDO	0	R/W	MII マネジメントデータアウト MMD ビットが 1 のとき、本ビットに設定された値を MDIO 端子より出力します。
1	MMD	0	R/W	MII マネジメントモード MII とのデータのリード/ライト方向を規定します。 0 : リード方向を規定 1 : ライト方向を規定
0	MDC	0	R/W	MII マネジメントデータクロック 本ビットに設定された値を MDC 端子より出力し、MII へのマネジメントデータクロックを供給します。MII レジスタへのアクセス方法については、「12.4.4 MII レジスタのアクセス方法」を参照してください。

12.3.5 MAC アドレス上位設定レジスタ (MAHR)

MAHR は、読み出したり書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの上位 32 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。EDMR の SWR ビットにより EtherC および E-DMAC を初期状態に戻してから再設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MA[47:32]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MA[47:16]	すべて 0	R/W	MAC アドレスビット MAC アドレスの上位 32 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'01234567 を設定します。

12.3.6 MAC アドレス下位設定レジスタ (MALR)

MALR は、読み出したり書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの下位 16 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信または受信機能が有効な状態で書き換えることを禁止します。EDMR の SWR ビットにより EtherC および E-DMAC を初期状態に戻してから再設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MA[15:0]	すべて 0	R/W	MAC アドレスビット 15~0 MAC アドレスの下位 16 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB (16 進数表示) である場合、本レジスタには H'000089AB を設定します。

12.3.7 受信フレーム長上限レジスタ (RFLR)

RFLR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、本 LSI が受信することのできる最大フレーム長をバイト単位で指定します。本レジスタは、受信機能が有効な状態での書き換えを禁止します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	RFL[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11~0	RFL[11:0]	すべて 0	R/W	受信フレームデータ長 11~0 ここでのフレームデータは、宛先アドレスから CRC データまでを含んだ範囲となりますが、実際には、宛先アドレスからデータまでがメモリ上に転送されます。CRC データは含まれません。ここで指定された値を超えたデータを受信したとき、設定された値を超えた分のデータは廃棄されます。 H'000~H'5EE : 1,518 バイト H'5EF : 1,519 バイト H'5F0 : 1,520 バイト : : H'7FF : 2,047 バイト H'800~H'FFF : 2,048 バイト

12.3.8 PHY 部ステータスレジスタ (PSR)

PSR は、読み出し専用のレジスタで、PHY-LSI からのインタフェース信号を読み込むことができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LMON
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	不定
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	LMON	不定	R	LNKSTA 端子状態 LNKSTA 端子に PHY-LSI から出力される Link 信号を接続することによって、Link 状態を読み込むことができます。極性については、接続する PHY-LSI の仕様を参照してください。

12.3.9 送信リトライオーバカウンタレジスタ (TROCR)

TROCR は、送信時に再送を合わせて 16 回の試行で送信できなかったフレーム数を示す 32 ビットのカウンタです。送信を 16 回失敗すると、本レジスタは 1 カウントアップします。本レジスタの値が、H'FFFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TROCR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TROCR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TROCR[31:0]	すべて 0	R/W	送信リトライオーバカウンタ 送信時に、再送を合わせて 16 回の試行で送信できなかったフレームのカウンタ数を表します。

12.3.10 遅延衝突検出カウンタレジスタ (CDCR)

CDCR は、送信開始以降すべての回線上の遅延衝突回数を示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	COSDC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	COSDC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	COSDC[31:0]	すべて 0	R/W	遅延衝突検出カウンタ 送信開始からのすべての遅延衝突の回数を表します。

12.3.11 キャリア消失カウンタレジスタ (LCCR)

LCCR は、データの送信中にキャリアが消失した回数を示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LCC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LCC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	LCC[31:0]	すべて 0	R/W	消失キャリアカウンタ データ送信中に消失したキャリアのカウンタ数を表します。

12.3.12 キャリア未検出カウンタレジスタ (CNDCR)

CNDCR は、プリアンプルを送出中にキャリアを検出できなかった回数を示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CNDC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CNDC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CNDC[31:0]	すべて 0	R/W	キャリア未検出カウンタ 未検出キャリアのカウンタ数を表します。

12.3.13 CRC エラーフレーム受信カウンタレジスタ (CEFCR)

CEFCR は、CRC エラーとなったフレームの受信回数を示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウンタアップを停止します。本レジスタへの書き込み動作によってカウンタの値は 0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CEFC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CEFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	CEFC[31:0]	すべて 0	R/W	CRC エラーフレームカウンタ CRC エラーとなったフレームを受信したカウンタ数を表します。

12.3.14 フレーム受信エラーカウンタレジスタ (FRECR)

FRECR は、PHY-LSI から入力される RX-ER 端子により受信エラーとなったフレームの個数を示す 32 ビットのカウンタです。RX-ER 端子がアクティブになるごとに 1 カウントアップします。本レジスタの値が H'FFFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FRECR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRECR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	FRECR[31:0]	すべて 0	R/W	フレーム受信エラーカウンタ フレームを受信中にエラーとなったカウント数を表します。

12.3.15 64 バイト未満フレーム受信カウンタレジスタ (TSFRCCR)

TSFRCCR は、64 バイト未満のフレームを受信したことを示す 32 ビットのカウンタです。本レジスタの値が H'FFFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TSFC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TSFC[31:0]	すべて 0	R/W	64 バイト未満フレーム受信カウンタ 64 バイト未満のフレームを受信したカウント数を表します。

12.3.16 指定バイト超フレーム受信カウンタレジスタ (TLFRCR)

TLFRCR は、受信フレーム長上限レジスタ (RFLR) で指定した値を超えるフレームを受信したことを示す 32 ビットのカウンタです。本レジスタの値が H'FFFFFFFF になるとカウントアップを停止します。端数ビットを含むフレームを受信した場合は、本レジスタはカウントアップしません。この場合は、端数ビットフレーム受信カウンタレジスタ (RFCR) に反映されます。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TLFC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TLFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TLFC[31:0]	すべて 0	R/W	指定バイト超フレーム受信カウンタ RFLR の値を超えるフレームを受信したカウント数を表示します。

12.3.17 端数ビットフレーム受信カウンタレジスタ (RFCR)

RFCR は、8 ビットに満たない端数ビットデータを含むフレームを受信したことを示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RFC[31:0]	すべて 0	R/W	端数ビットフレーム受信カウンタ 端数ビットデータを含むフレームを受信したカウント数を表示します。

12.3.18 マルチキャストアドレスフレーム受信カウンタレジスタ (MAFCR)

MAFCR は、マルチキャストアドレスを指定するフレームを受信したことを示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウントアップを停止します。本レジスタへの書き込み動作によってカウンタの値は、0 にクリアされます。書き込む値は、いずれでもかまいません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MAFC[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MAFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	MAFC[31:0]	すべて 0	R/W	マルチキャストアドレスフレームカウント マルチキャストフレームを受信したカウント数を表します。

12.3.19 IPG 設定レジスタ (IPGR)

IPGR は、IPG (InterPacketGap) の値を設定するレジスタです。EtherC モードレジスタ (ECMR) の送受信機能が有効な状態での書き換えは、禁止します (詳細は「12.4.6 IPG 設定による動作」を参照してください)。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	IPG[4:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4~0	IPG[4:0]	H'14	R/W	Inter Packet Gap 4 ビット時間ごとに IPG 値を設定します。 H'00 : 16 ビット時間 H'01 : 20 ビット時間 : : H'14 : 96 ビット時間 (初期値) : : H'1F : 140 ビット時間

12.3.20 自動 PAUSE フレーム設定レジスタ (APR)

APR は、自動 PAUSE フレームの TIME パラメータ値を設定します。

自動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AP[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15~0	AP[15:0]	すべて0	R/W	自動 PAUSE 自動 PAUSE フレームの TIME パラメータ値を設定します。このとき1ビットは、512 ビット時間を表します。

12.3.21 手動 PAUSE フレーム設定レジスタ (MPR)

MPR は、手動 PAUSE フレームの TIME パラメータ値を設定します。

手動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MP[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15~0	MP[15:0]	すべて0	R/W	手動 PAUSE 手動 PAUSE フレームの TIME パラメータ値を設定します。このとき1ビットは、512 ビット時間を表します。読み出すと不定値が読み出されます。

12.3.22 自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER)

TPAUSER は、自動 PAUSE フレームの再送回数の上限値を設定します。本レジスタは、送信機能が有効な状態での書き換えを禁止します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TPAUSE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	TPAUSE [15:0]	すべて 0	R/W	自動 PAUSE フレーム再送回数上限値 H'0000 : 再送回数無制限 H'0001 : 再送回数は、1 回 : : H'FFFF : 再送回数は、65535 回

12.4 動作説明

イーサネットコントローラ (EtherC) の動作の概要を以下に示します。

イーサネットコントローラ (EtherC) は、IEEE802.3x に準拠した制御をサポートしており、使用される Pause フレームの送信および受信が可能です。

12.4.1 送信動作

EtherC 送信部は、送信 E-DMAC から送信要求があると、送信データをフレームに組み立てて MII に出力します。MII を経由した送信データは、PHY-LSI によって回線上に送出されます。Ether-C 送信部の状態遷移図を図 12.2 に示します。

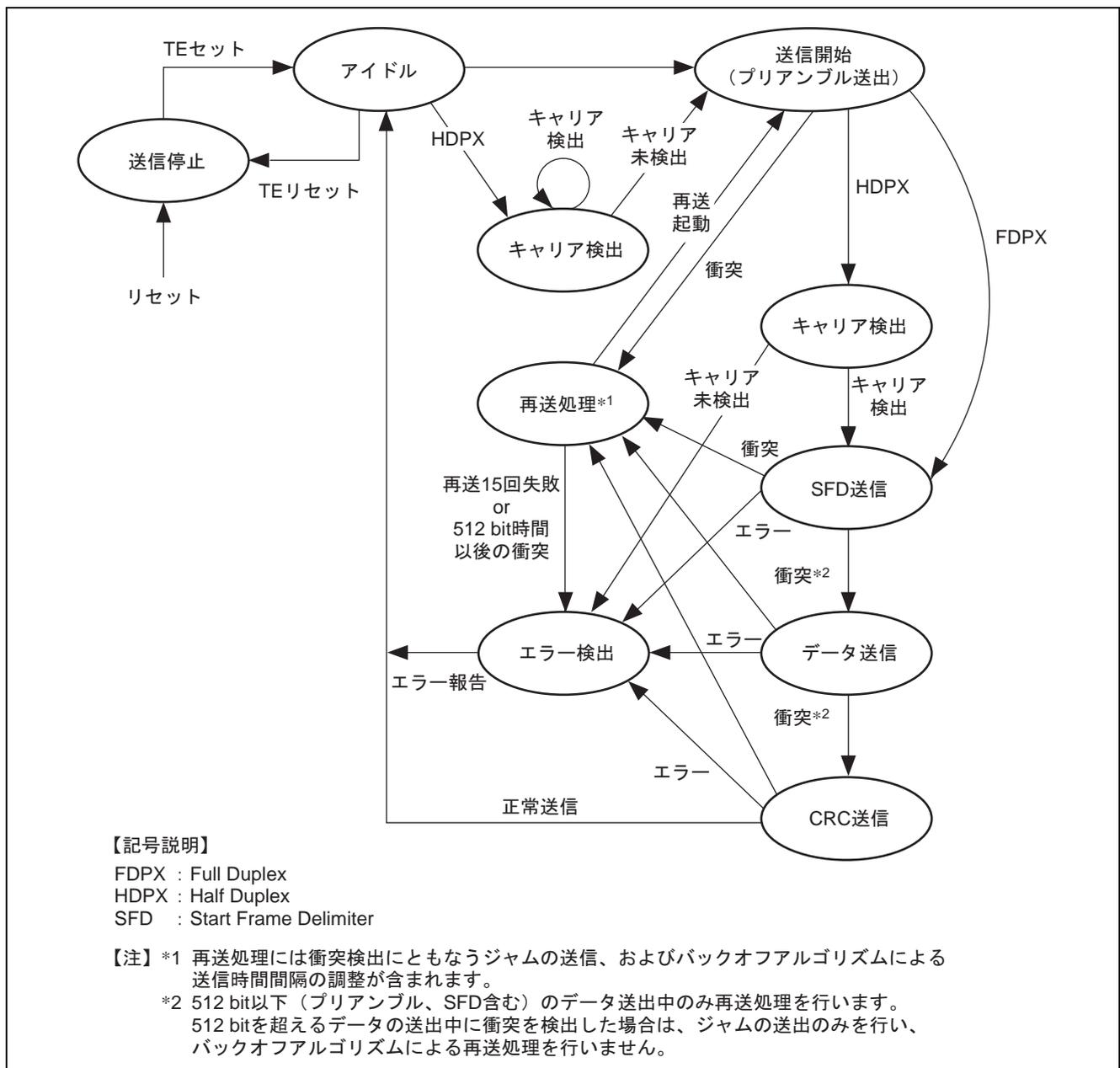


図 12.2 EtherC 送信部状態遷移図

1. 送信許可 (TE) ビットがセットされると、送信アイドル状態に遷移します。
2. 送信E-DMACから送信要求があるとEtherCは、キャリア検出、フレーム間隔時間の送信延期を経てプリアンプルをMIIに送出します。キャリア検出を必要としない全二重転送方式を選択しているときには、送信E-DMACから送信要求があると即座にプリアンプルを送出します。
3. SFD、データ、CRCを順次送信します。送信を終了すると送信E-DMACが送信終了割り込み (TC) を発生します。データ送信中に衝突発生あるいはキャリア未検出状態となるとそれぞれを割り込み要因として報告します。
4. フレーム間隔時間を経た後は、アイドル状態に遷移し、以後送信データがあれば送信を続けます。

12.4.2 受信動作

EtherC 受信部は、MII より入力されたフレームをプリアンプル、SFD、データおよび CRC データに分解し、受信 E-DMAC には DA (宛先アドレス) から CRC データまでを出力します。EtherC 受信部の状態遷移図を図 12.3 に示します。

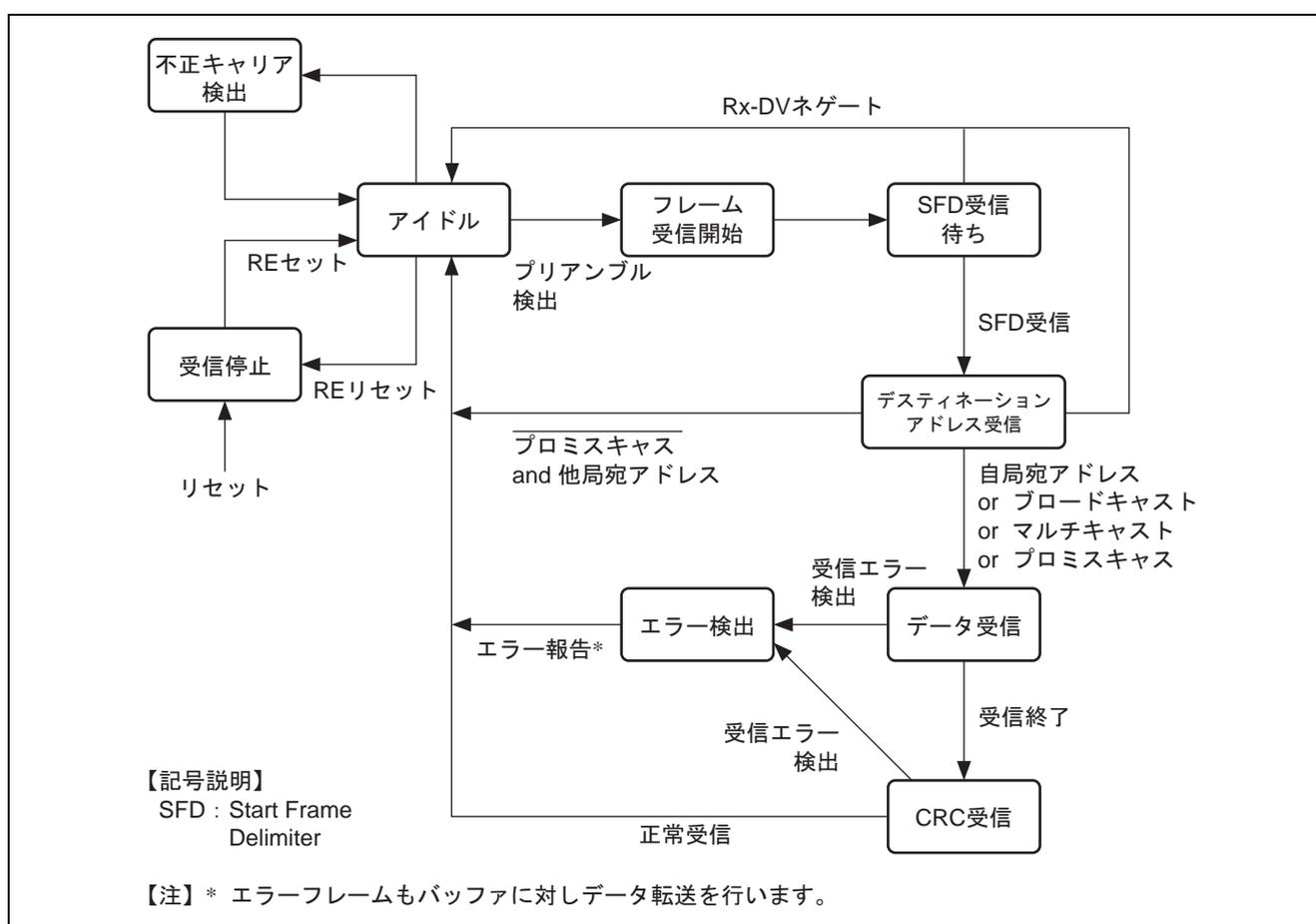


図 12.3 EtherC 受信部状態遷移図

1. 受信許可 (RE) ビットがセットされると、受信アイドル状態に遷移します。
2. 受信パケットのプリアンプルに続くSFD (スタートフレームデリミタ) を検出すると受信処理を開始します。不当パターンの場合は、フレームを破棄します。
3. 通常モードでは、フレームのデスティネーションアドレスが本LSI宛の場合、ブロードキャストフレームの場合、またはマルチキャストフレームの場合にデータ受信を開始します。プロミスキャスモードでは、フレームの種類にかかわらずデータ受信を開始します。
4. MIIからのデータ受信後、フレームデータ部のCRCチェックを行います。結果はメモリ上へのフレームデータをライトした後、ディスクリプタ内にステータスとして反映されます。異常時は、エラーステータスを報告します。
5. 1フレームを受信後、EtherCモードレジスタ内の受信許可ビットが設定 (RE=1) されていると、次のフレーム受信に備えます。

12.4.3 MII フレームタイミング

各種 MII フレームのタイミングを図 12.4 に示します。

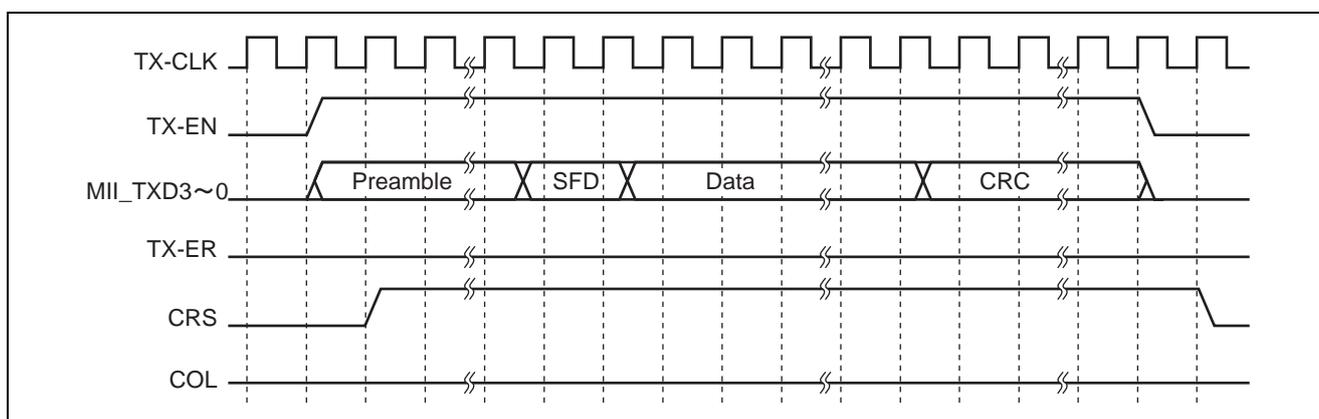


図 12.4 (1) MII フレーム送信タイミング (正常時)

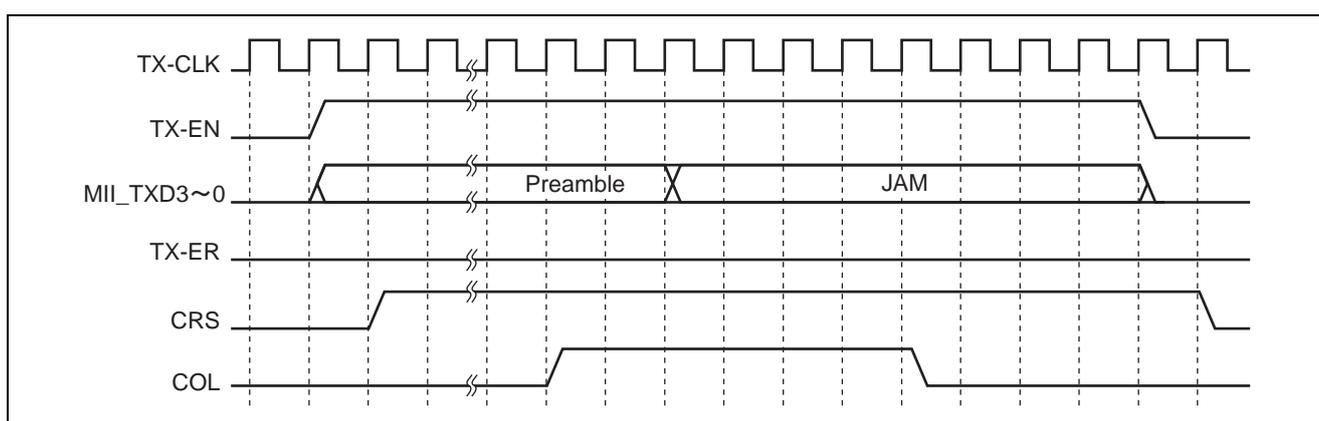


図 12.4 (2) MII フレーム送信タイミング (衝突発生)

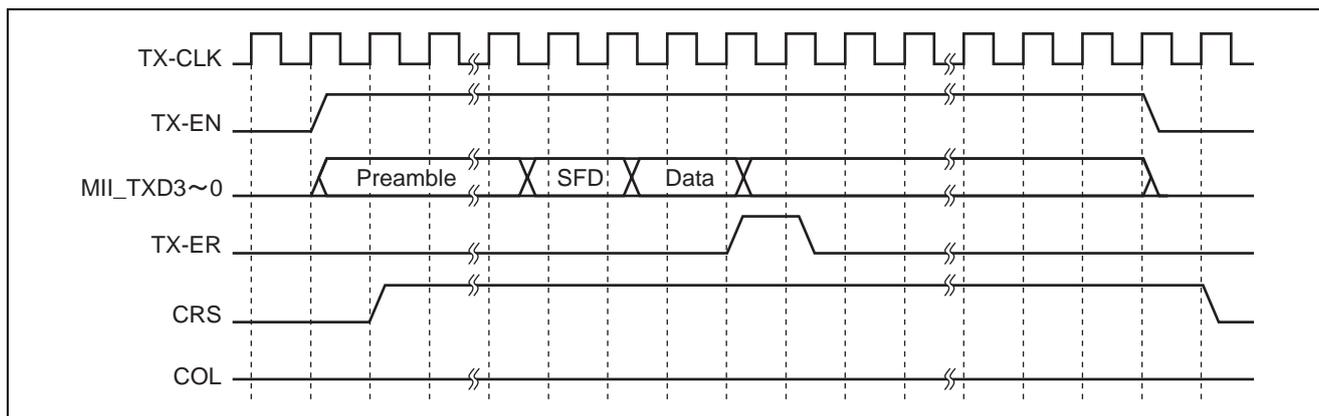


図 12.4 (3) MII フレーム送信タイミング (送信エラー発生)

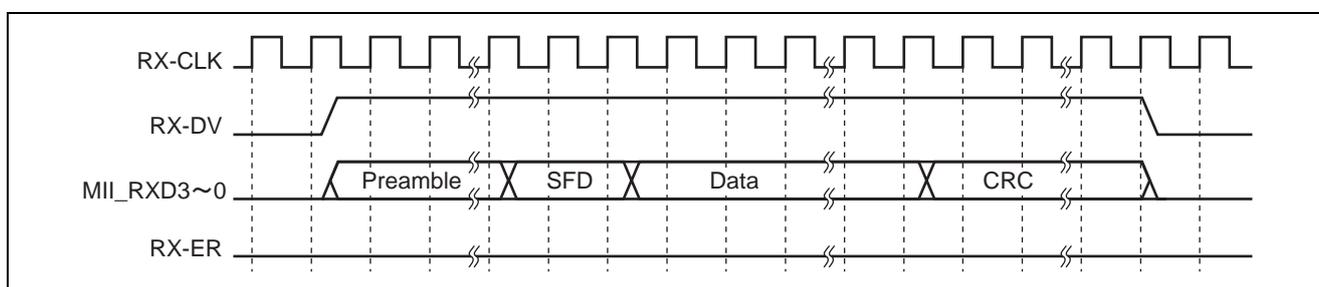


図 12.4 (4) MII フレーム受信タイミング (正常受信)

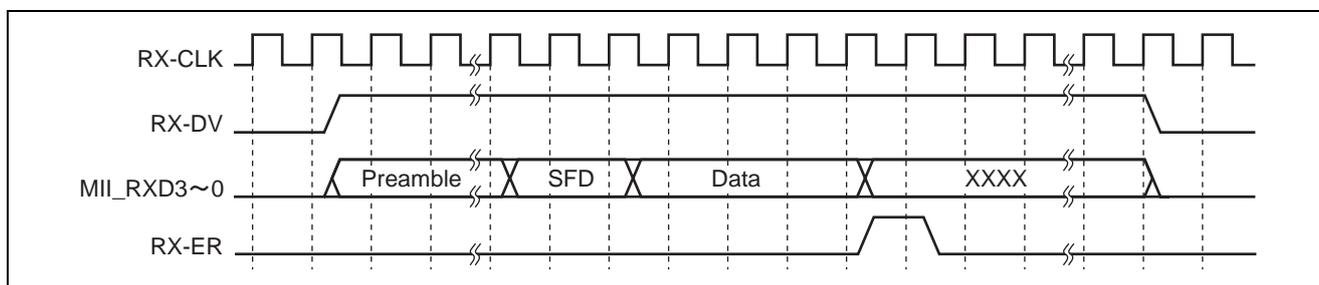


図 12.4 (5) MII フレーム受信タイミング (受信エラー (1) 受信エラー通知)

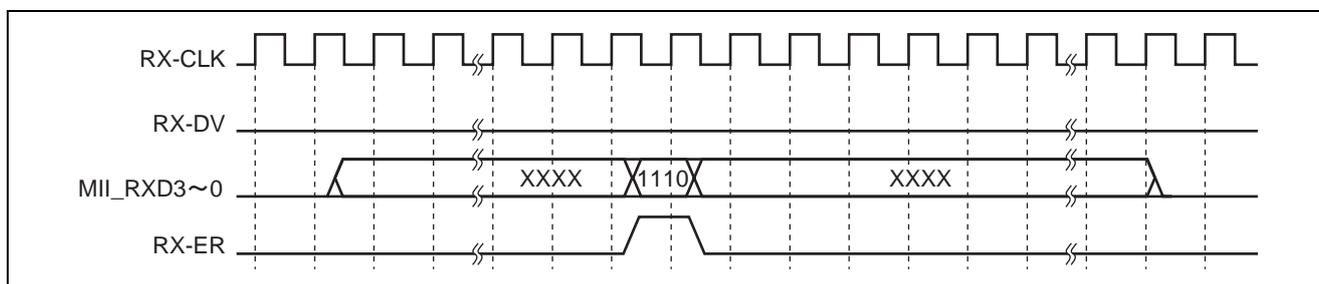


図 12.4 (6) MII フレーム受信タイミング (受信エラー (2) キャリアエラー通知)

12.4.4 MII レジスタのアクセス方法

PHY-LSI 内にある MII レジスタへは、本 LSI の PHY 部インタフェースレジスタ (PIR) を経由してアクセスします。IEEE802.3u で規定される MII フレームフォーマットに従い、シリアルインタフェースとして接続します。

(1) MII 管理フレームのフォーマット

MII 管理フレームのフォーマットを図 12.5 に示します。MII レジスタをアクセスするには、(2) で示す手順に従う管理フレームをプログラムによって実現します。

アクセス種別	MII管理フレーム							
	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
ビット数	32	2	2	5	5	2	16	
リード	1..1	01	10	00001	RRRRR	Z0	D..D	
ライト	1..1	01	01	00001	RRRRR	10	D..D	X

【記号説明】

- PRE : 32個の連続した1
 ST : フレームの先頭を示す01のライト
 OP : アクセス種別を示すコードのライト
 PHYAD : PHY-LSIのアドレスが1番の場合、0001をライト (MSBから順次ライト)。このビットは、PHY-LSIアドレスによって可変となる。
 REGAD : レジスタアドレスが1番の場合、0001をライト (MSBから順次ライト)。このビットは、PHY-LSIのレジスタアドレスによって可変となる。
 TA : MIIインタフェース上でデータの送信元を切り替える時間
 (a) ライト時は10をライト
 (b) リード時は、「バス解放」 (Z0と表記) を行う
 DATA : 16ビットのデータ。MSBから順次ライトあるいはリード
 (a) ライト時は、16ビットデータのライト
 (b) リード時は、16ビットデータのリード
 IDLE : 次のMII管理フォーマット入力までの待機時間
 (a) ライト時は、「単独バス解放」 (Xと表記) を行う
 (b) リード時は、すでにTA時にバス解放済みであり制御不要

図 12.5 MII 管理フレームフォーマット

(2) MII レジスタアクセス手順

プログラムは、PHY 部インタフェースレジスタ (PIR) を経由して MII レジスタをアクセスします。アクセスは、1 ビット単位のデータライト、1 ビット単位のデータをリードし、バスの解放および単独バス解放の組み合わせによって実現します。MII レジスタアクセスタイミング例を図 12.6 に示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

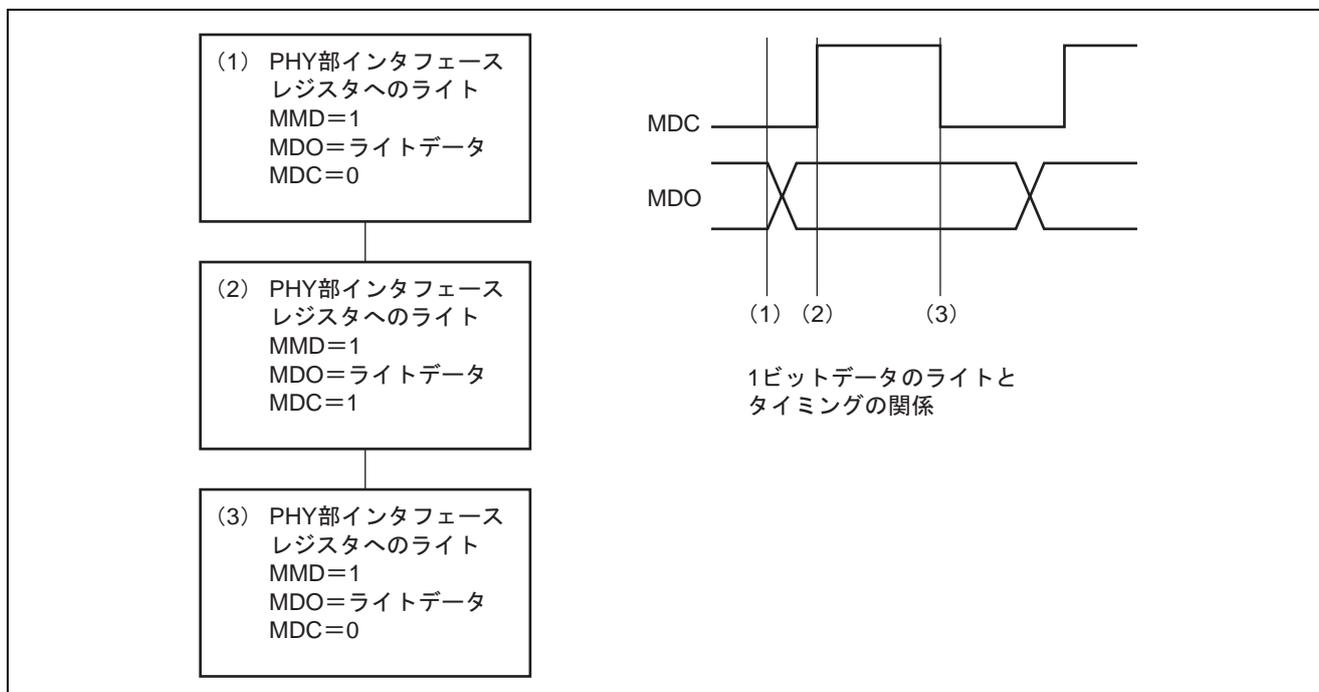


図 12.6 (1) 1 ビットデータのライトフロー

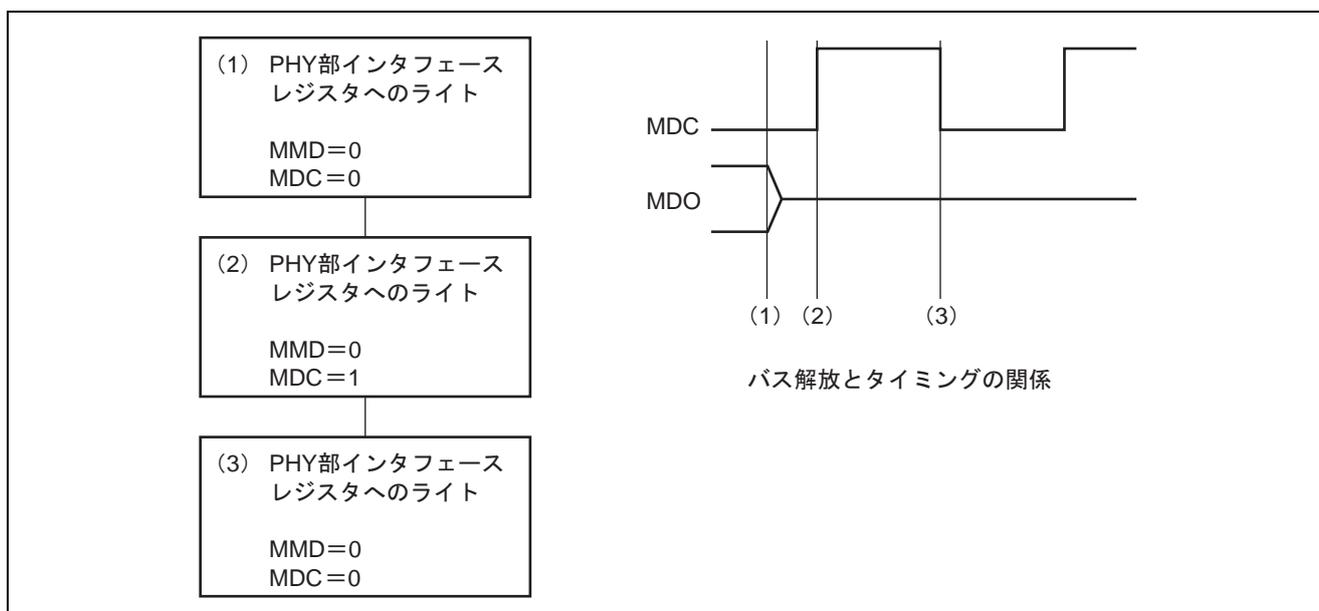


図 12.6 (2) バス解放フロー (図 12.5 中のリード時の TA)

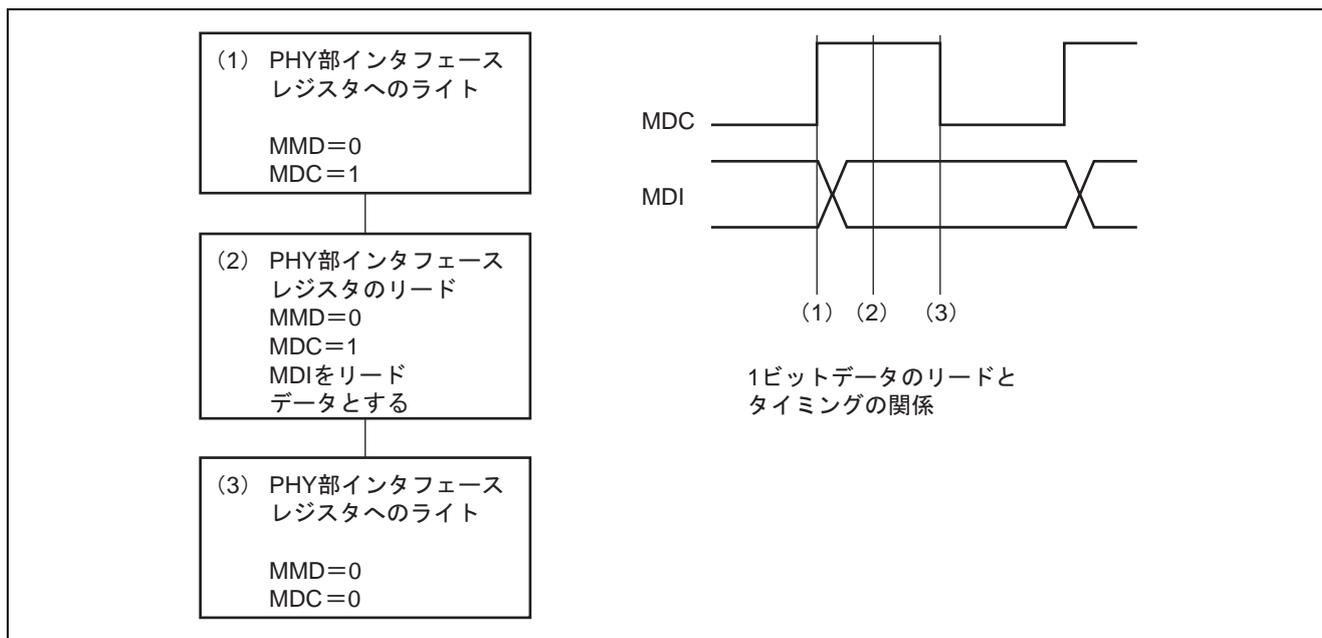


図 12.6 (3) 1 ビットデータのリードフロー

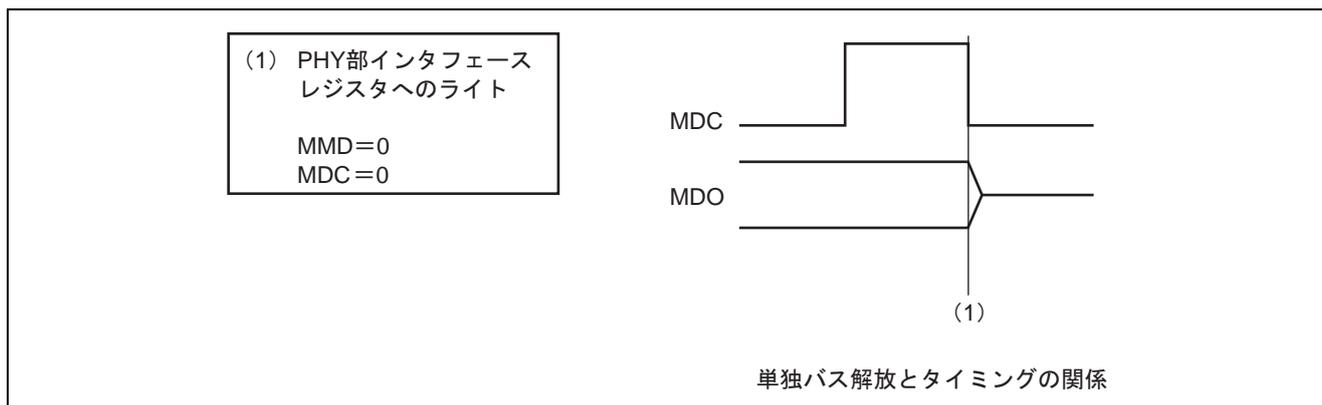


図 12.6 (4) 単独バス解放フロー (図 12.5 中のライト時の IDLE)

12.4.5 Magic Packet の検出

EtherC は、Magic Packet の検出機能を有しています。本機能は、ホスト装置などから LAN に接続される各種周辺装置を起動する機能 (WOL : Wake-On-LAN) を提供します。これによって、ホスト装置などから送出される Magic Packet を周辺装置が受信し、周辺装置がみずから起動するシステムを構築できます。Magic Packet を検出したときには、それ以前に受信していたブロードキャストパケット等によって受信 FIFO にはデータが蓄積され、EtherC には受信ステータスなどが報告されています。本割り込み処理から通常の動作に復帰するためには、E-DMAC モードレジスタ (EDMR) の SWR ビットにより EtherC および E-DMAC の初期化を実行してください。

Magic Packet においては、宛先アドレスにかかわらず受信を行います。結果として、Magic Packet 内のフォーマットで指定される宛先に合致する場合のみ有効となり WOL 端子が有効となります。Magic Packet に関する詳細については、AMD 社の技術資料を参照してください。

本 LSI を用いて WOL を利用するには、以下のような設定順序で行います。

1. 各種割り込み許可/マスクレジスタによって割り込み要因の出力を禁止します。
2. EtherCモードレジスタ (ECMR) の Magic Packet 検出許可ビット (MPDE) を設定します。
3. EtherC割り込み許可レジスタ (ECSIPR) の Magic Packet 検出割り込み許可ビット (MPDIP) をセットし、同レジスタの他のビットはクリアします。EtherC/E-DMACステータス割り込み許可レジスタ (EESIPR) の EtherCステータスレジスタ要因割り込み許可ビット (ECIIP) をセットし、同レジスタの他のビットはクリアします。
4. 必要なら CPU の動作モードをスリープモードあるいは周辺機能をモジュールスタンバイモードに設定します。
5. Magic Packet を検出すると、CPU には割り込みが通知されます。また、周辺 LSI に対しては、WOL 端子により Magic Packet を検出したことを通知します。

12.4.6 IPG 設定による動作

EtherC は、送信フレーム間の無送信期間 IPG (Inter Packet Gap) を変更する機能を有しています。IPG 設定レジスタ (IPGR) の設定値を変更することで、伝送効率を標準値よりも上げたり下げたりすることが可能です。なお IPG の設定は IEEE802.3 標準で定められています。設定を変更するときは、同じネットワークでそれぞれの機器がうまく動作するかどうかの確認作業を十分に行ってください。

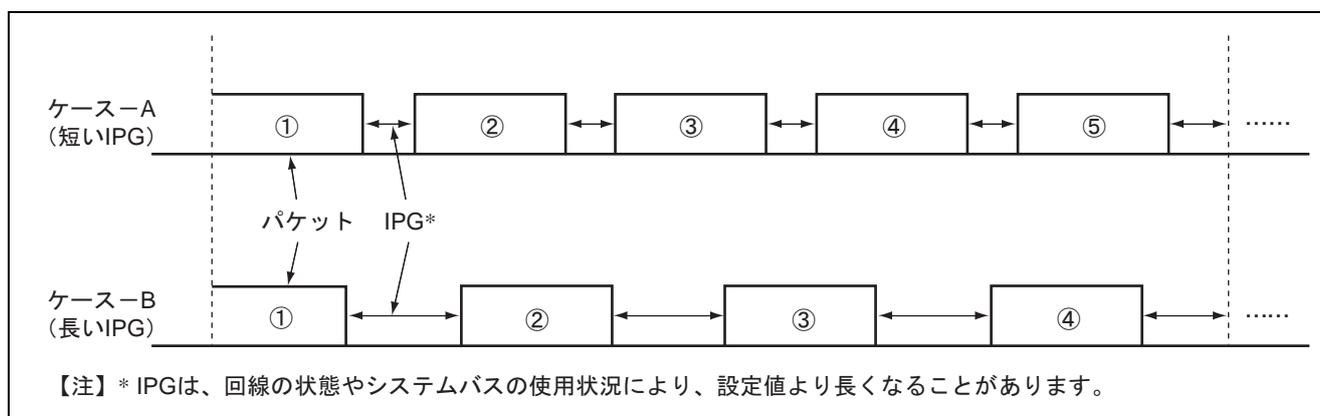


図 12.7 IPG の変更による伝送効率の違い

12.4.7 フロー制御

EtherC は、全二重動作時に IEEE802.3x 準拠のフロー制御機能をサポートしています。フロー制御は、受信と送信の双方の動作に対して適用することができます。フロー制御をするときの PAUSE フレームの送信には、次の手順があります。

(1) 自動 PAUSE フレームの送信

受信フレームに対しては、受信 FIFO (E-DMAC に内蔵) に書き込まれたデータ量が E-DMAC 内蔵のフロー制御開始 FIFO しきい値設定レジスタ (FCFTR) に設定された値に達すると PAUSE フレームを自動送信します。このときの PAUSE フレームに含まれる TIME パラメータは、自動 PAUSE フレーム設定レジスタ (APR) で設定します。自動 PAUSE フレームの送信は、受信 FIFO 内のデータが読み出されてデータ量が FCFTR 設定値未満になるまで繰り返されます。また、自動 PAUSE フレーム再送回数設定レジスタ (TPAUSER) により PAUSE フレームの再送信回数の上限値を設定することもできます。この場合は、受信 FIFO 内のデータ量が FCFTR 設定値未満になるか、送信回数が TPAUSER の設定値に達するまで PAUSE フレームの送信が繰り返されます。自動 PAUSE フレームの送信は EtherC モードレジスタ (ECMR) の TXF ビットが 1 の場合に有効となります。

(2) 手動 PAUSE フレームの送信

ソフトウェアからの指示により、PAUSE フレームを送信します。手動 PAUSE フレーム設定レジスタ (MPR) への Timer 値を書き込むと、手動 PAUSE フレームの送信を開始します。この手順による PAUSE フレームの送信は、1 回のみです。

(3) PAUSE フレームの受信

PAUSE フレームを受信した場合、Timer 値の示す時間が経過するまで、次のフレーム送信を待ちます。ただし、送信中のフレームについては送信を継続します。PAUSE フレームの受信は EtherC モードレジスタ (ECMR) の RXF ビットが 1 の場合に有効となります。

12.5 PHY-LSI との接続

図 12.8 に National Semiconductor Corporation の DP83846AVHG との接続例を示します。

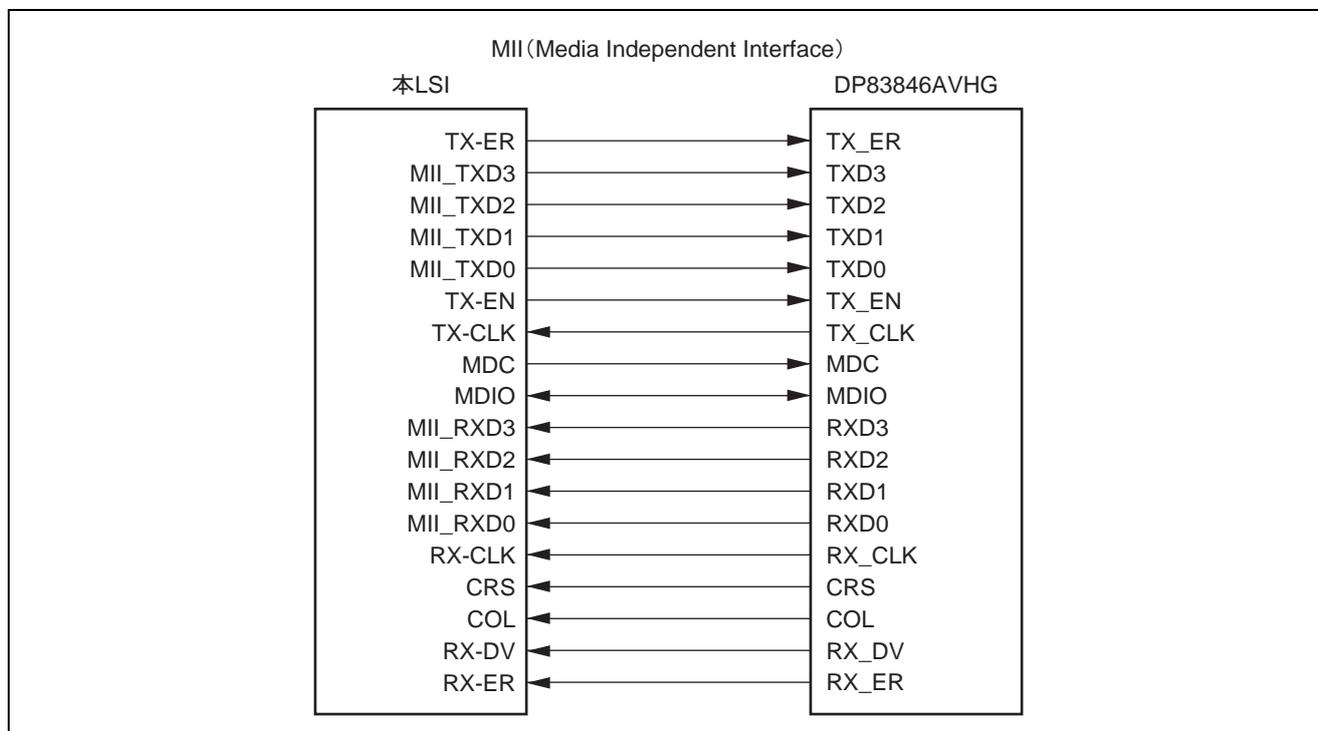


図 12.8 DP83846AVHG との接続例

12.6 使用上の注意事項

EtherC を使用する際は、以下のことに注意してください。

(1) LCHNG ビットのセット条件について

LNKSTA 端子への入力レベルが変化していない場合でも、ECSR の LCHNG ビットがセットされる場合があります。PFC の PCCR2 で LNKSTA 端子を選択したときや、EDMR の SWR ビットによる EtherC/E-DMAC のソフトウェアリセット解除時に、LNKSTA 端子にハイレベルが入力されている場合です。

これは、PFC で LNKSTA 端子を選択していないときや、EtherC/E-DMAC のソフトウェアリセット中に、LSI 内部の LNKSTA 信号が、外部端子への入力レベルとは無関係に、ローレベル固定されているからです。

誤ってリンク信号変化割り込みを発生させないように、LCHNG ビットをクリアしてから、ECSIPR の LCHNGIP ビットをセットしてください。

13. イーサネットコントローラ用ダイレクトメモリアクセスコントローラ (E-DMAC)

本 LSI は、イーサネットコントローラ (EtherC) に直結したダイレクトメモリアクセスコントローラ (E-DMAC) を内蔵しています。バッファ管理の多くの部分を E-DMAC がディスクリプタを用いて制御します。このため CPU の負荷を軽減し、効率の良いデータ送受信制御を行うことができます。

図 13.1 に E-DMAC とメモリ上のディスクリプタおよび送信と受信バッファの構成を示します。

13.1 特長

- ディスクリプタ管理方式による CPU 負荷の軽減
- 送受信フレームステータスのディスクリプタへの反映
- ブロック転送 (16バイト単位) によるシステムバスの効率使用
- シングルフレーム・マルチバッファ方式対応可能
- 受信データへのパディング挿入によるソフトウェアの処理能力の向上
- チェックサム値計算機能

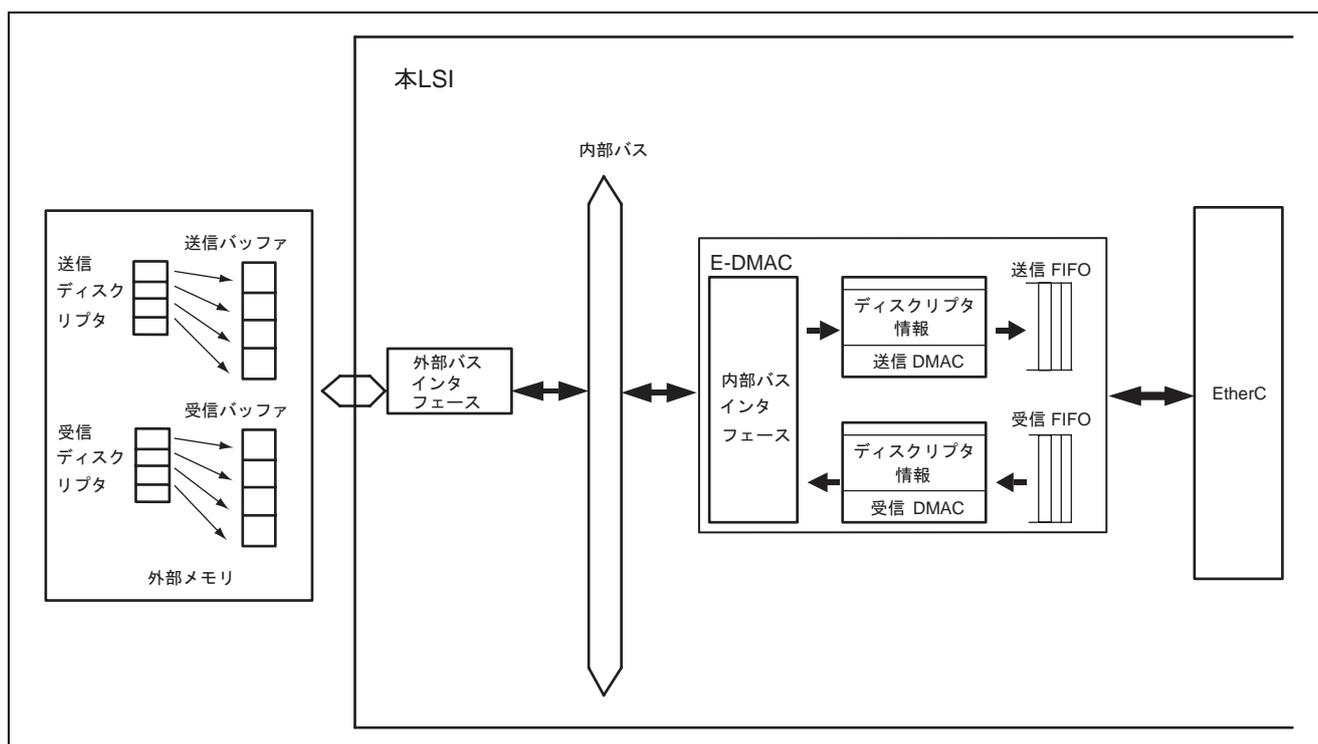


図 13.1 E-DMAC とディスクリプタおよびバッファの構成

13.2 レジスタの説明

E-DMAC には、以下のレジスタがあります。これらのレジスタのアドレスおよびアクセスサイズについては、「第 28 章 レジスタ一覧」を参照してください。

- E-DMACモードレジスタ (EDMR)
- E-DMAC送信要求レジスタ (EDTRR)
- E-DMAC受信要求レジスタ (EDRRR)
- 送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR)
- 受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR)
- EtherC/E-DMACステータスレジスタ (EESR)
- EtherC/E-DMACステータス割り込み許可レジスタ (EESIPR)
- 送受信ステータスコピー指示レジスタ (TRSCER)
- ミスドフレームカウンタレジスタ (RMFCR)
- 送信FIFOしきい値指定レジスタ (TFTR)
- FIFO容量指定レジスタ (FDR)
- 受信方式制御レジスタ (RMCR)
- E-DMAC動作制御レジスタ (EDOCR)
- 受信バッファライトアドレスレジスタ (RBWAR)
- 受信ディスクリプタフェッチアドレスレジスタ (RDFAR)
- 送信バッファリードアドレスレジスタ (TBRAR)
- 送信ディスクリプタフェッチアドレスレジスタ (TDFAR)
- フロー制御開始FIFOしきい値設定レジスタ (FCFTR)
- 受信データパディング挿入設定レジスタ (RPADIR)
- 送信割り込み設定レジスタ (TRIMD)
- チェックサムモードレジスタ (CSMR)
- チェックサムスキップ済みバイト数モニタレジスタ (CSSBM)
- チェックサムモニタレジスタ (CSSMR)

13.2.1 E-DMAC モードレジスタ (EDMR)

EDMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC の動作モードを指定します。本レジスタの設定は、通常リセット後の初期設定時に行います。データ送信中に本レジスタによって EtherC および E-DMAC を初期化すると回線上に異常データを送出する可能性があります。動作モードの設定は、送信と受信機能が有効状態で書き換えることを禁止します。動作モードを切り替えるには、ソフトウェアリセットビット (SWR) により、EtherC および E-DMAC を初期状態に戻してから再設定してください。なお、EtherC および E-DMAC の初期化完了までの所要時間は、内部バスクロック B ϕ で 64 サイクルです。このため、EtherC および E-DMAC 内のレジスタアクセスは、内部バスクロック B ϕ で 64 サイクル経過後に行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	DE	DL1	DL0	-	-	-	SWR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
6	DE	0	R/W	E-DMAC データエンディアン変換 E-DMAC によるデータ転送時のエンディアン変換を指定します。なお、ディスクリプタおよび E-DMAC のレジスタについては、本ビットの設定に関わらず、エンディアン変換をしません。 0: エンディアン変換をしません (ビッグエンディアン) 1: エンディアン変換をします (リトルエンディアン)
5	DL1	0	R/W	送受信ディスクリプタ長
4	DL0	0	R/W	ディスクリプタ長を指定します。 00: 16 バイト 01: 32 バイト 10: 64 バイト 11: リザーブ (設定不可)
3~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
0	SWR	0	R/W	<p>ソフトウェアリセット</p> <p>本ビットに1をライトすることにより E-DMAC の TDLAR、RDLAR、RMFCR を除く E-DMAC の各レジスタと、EtherC の各レジスタを初期化することができます。ソフトウェアリセットの発行期間中（内部バスクロック Bφで64 サイクル間）は、イーサネット関係のすべてのモジュールに対するレジスタアクセスを禁止します。</p> <p>ソフトウェアリセット期間（例）：</p> <p>Bφ=100MHz のとき：0.64 μs</p> <p>Bφ=75MHz のとき：0.85 μs</p> <p>本ビットを読み出すと常に0が読み出されます。</p> <p>0：0 ライトは無効（E-DMAC 動作に何ら影響を与えません）</p> <p>1：1 ライトで EtherC および E-DMAC をリセットします。</p> <p>その後セルフクリアされます。</p>

13.2.2 E-DMAC 送信要求レジスタ (EDTRR)

EDTRR は、読み出したまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に送信指示を行います。1 つのフレームの送信を終了すると、次のディスクリプタを読み込みます。このディスクリプタ内の送信ディスクリプタ有効ビットが有効であれば、送信を継続します。また送信ディスクリプタ有効ビットが無効な場合は、TR ビットをクリアして送信 DMAC の動作を停止します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
0	TR	0	R/W	<p>送信要求</p> <p>0：送信停止状態。0を書き込んでも送信は停止しません。送信の終了は、送信ディスクリプタ内の有効ビットで制御します。</p> <p>1：送信開始。該当するディスクリプタを読み込み、送信有効ビットが1であるフレームを送信します。</p>

13.2.3 E-DMAC 受信要求レジスタ (EDRRR)

EDRRR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に受信指示を行います。E-DMAC は、受信要求ビットがセットされると、当該受信ディスクリプタを読み込みます。ディスクリプタ内の受信ディスクリプタ有効ビットが有効であれば、EtherC からの受信要求に備えます。受信バッファ分の受信が完了すると、E-DMAC は次のディスクリプタを読み込みフレームの受信に備えます。このとき、ディスクリプタ内の受信ディスクリプタ有効ビットが無効である場合は、RR ビットをクリアして受信 DMAC の動作を停止します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	RR	0	R/W	受信要求 0 : 受信機能を無効にする* 1 : 受信ディスクリプタを読み込み、E-DMAC 受信可能状態となる

【注】 * フレームの受信中に受信機能を無効にした場合、受信ディスクリプタのライトバックが正常に動作せず、以降の受信ディスクリプタの読み込みポイントが異常となるため、E-DMAC は正常な動作ができなくなります。この場合、再度 E-DMAC を受信可能状態とするためには、EDMR の SWR ビットによりソフトウェアリセットしてください。E-DMAC をソフトウェアリセットせずに受信機能を無効とするには、ECMR の RE ビットにより受信機能を無効とします。次に、E-DMAC の受信が完了し受信ディスクリプタのライトバックが確認できた後、本レジスタの受信機能を無効にしてください。

13.2.4 送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR)

TDLAR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。送信中に本レジスタを書き換えることは、禁止します。本レジスタの書き換えは、E-DMAC 送信要求レジスタ (EDTRR) の TR ビット (=0) による送信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDLA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDLA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	TDLA[31:0]	すべて 0	R/W	送信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16 バイトバウンダリ : TDLA[3:0]=0000 32 バイトバウンダリ : TDLA[4:0]=00000 64 バイトバウンダリ : TDLA[5:0]=000000

13.2.5 受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR)

RDLAR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、受信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。受信中に本レジスタを書き換えることは、禁止します。本レジスタの書き換えは、E-DMAC 受信要求レジスタ (EDRRR) の RR ビット (=0) による受信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDLA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDLA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	RDLA[31:0]	すべて 0	R/W	受信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16 バイトバウンダリ : RDLA[3:0]=0000 32 バイトバウンダリ : RDLA[4:0]=00000 64 バイトバウンダリ : RDLA[5:0]=000000

13.2.6 EtherC/E-DMAC ステータスレジスタ (EESR)

EESR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC と E-DMAC を合わせた通信ステータスを表示します。本レジスタは、割り込み要因として報告されます。各ビットは、1 をライトすることでクリアされます（ただし、ビット 22 (ECI) はリード専用で、1 をライトしてもクリアされません）。0 をライトしても、各ビットの状態には影響しません。各割り込み要因は EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) の当該ビットによってマスクすることが可能です。

本ステータスレジスタが要因で発生する割り込みは、EINT0 となります。割り込みの優先順位については、「6.5 割り込み例外処理ベクタテーブルと優先順位」を参照ください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	TWB	-	-	-	TABT	RABT	RFCOF	ADE	ECI	TC	TDE	TFUF	FR	RDE	RFOF
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	CND	DLC	CD	TRO	RMAF	-	-	RRF	RTLF	RTSF	PRE	CERF
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
30	TWB	0	R/W	ライトバック完了 フレーム送信完了後の E-DMAC からの当該ディスクリプタへのライトバックが完了したことを示します。本動作は、TRIMD の TIS ビットが 1 にセットされているときのみ有効です 0 : ライトバック未完了または送信未指示 1 : ライトバック完了
29~27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
26	TABT	0	R/W	送信中断検出 フレーム送信時、障害等により EtherC がフレーム送信を中断したことを示します。 0 : フレーム送信中断未発生または送信未指示 1 : フレーム送信中断発生
25	RABT	0	R/W	受信中断検出 フレーム受信時、障害等により EtherC がフレーム受信を中断したことを示します。 0 : フレーム受信中断未発生または受信未指示 1 : フレーム受信中断発生

ビット	ビット名	初期値	R/W	説明
24	RFCOF	0	R/W	<p>受信フレームカウンタオーバーフロー</p> <p>受信 FIFO 内のフレームカウンタがオーバーフローしたことを示します。</p> <p>0 : 受信フレームカウンタがオーバーフローしていない</p> <p>1 : 受信フレームカウンタがオーバーフローした</p>
23	ADE	0	R/W	<p>アドレスエラー</p> <p>E-DMAC が転送しようとしたメモリアドレスが不正であったことを示します。</p> <p>0 : 不正なメモリアドレスを検出していない (正常動作)</p> <p>1 : 不正なメモリアドレスを検出した</p> <p>【注】アドレスエラーが検出されると、E-DMAC は送受信を停止します。再開するには、EDMR の SWR ビットにより、ソフトウェアリセットをかけてから再設定してください。</p>
22	ECI	0	R	<p>EtherC ステータスレジスタ要因</p> <p>本ビットは、リード専用です。EtherC にある ECSR の要因がクリアされると、本ビットもクリアされます。</p> <p>0 : EtherC ステータス割り込み要因未検出</p> <p>1 : EtherC ステータス割り込み要因検出</p>
21	TC	0	R/W	<p>フレーム送信完了</p> <p>送信ディスクリプタによって指定されたデータをすべて EtherC 部より送信したことを示します。1 フレーム/1 バッファ処理では、1 フレームの送信が完了した場合、またマルチバッファフレーム処理ではフレーム最後のデータを送信し、次のディスクリプタ内の送信ディスクリプタ有効ビット (TACT) がセットされていなかった場合に送信完了とみなし、本ビットが 1 となります。フレーム送信完了後は、E-DMAC は転送状態を当該ディスクリプタにライトバックします。</p> <p>0 : 転送未完了または転送未指示</p> <p>1 : 転送完了</p>
20	TDE	0	R/W	<p>送信ディスクリプタ枯渇</p> <p>マルチバッファフレーム処理で前ディスクリプタがフレームの最終でない場合は、E-DMAC が送信ディスクリプタを読み込んだときに、ディスクリプタ内の送信ディスクリプタ有効ビット (TACT) がセットされていなかったことを示します。結果として不完全なフレームを送出する場合があります。</p> <p>0 : 送信ディスクリプタ有効ビット TACT=1 を検出</p> <p>1 : 送信ディスクリプタ有効ビット TACT=0 を検出</p> <p>送信ディスクリプタ枯渇 (TDE=1) が発生した場合は、ソフトウェアリセットしてから送信起動をかけてください。このとき、送信ディスクリプタリスト先頭アドレスレジスタ (TDLAR) に格納されているアドレスからの開始となります。</p>

ビット	ビット名	初期値	R/W	説明
19	TFUF	0	R/W	送信 FIFO アンダフロー フレームを送信中に送信 FIFO にアンダフローが発生したことを示します。回線 上には、不完全なデータが送出されます。 0: アンダフロー未発生 1: アンダフロー発生
18	FR	0	R/W	フレーム受信 フレームを受信し、受信ディスクリプタを更新したことを示します。本ビットは、 1 フレームを受信するたびに 1 にセットされます。 0: フレーム未受信 1: フレーム受信済み
17	RDE	0	R/W	受信ディスクリプタ枯渇 受信ディスクリプタ枯渇 (RDE=1) が発生した場合は、当該受信ディスクリプ タを RACT=1 に設定し受信起動をかけることで、受信を再開することができます。 0: 受信ディスクリプタ有効ビット RACT=1 を検出 1: 受信ディスクリプタ有効ビット RACT=0 を検出
16	RFOF	0	R/W	受信 FIFO オーバフロー フレームを受信中に受信 FIFO がオーバフローしたことを示します。 0: オーバフロー未発生 1: オーバフロー発生
15~12	—	すべて 0	R	リザーブビット ライトは常に 0 をライトしてください。
11	CND	0	R/W	キャリア未検出 キャリアの検出状態を示します。 0: 送信開始時にキャリア検出 1: キャリア未検出
10	DLC	0	R/W	キャリア消失検出 フレーム送信中のキャリア消失を検出したことを示します。 0: キャリア消失未検出 1: キャリア消失検出
9	CD	0	R/W	遅延衝突検出 フレーム送信中に遅延衝突を検出したことを示します。 0: 遅延衝突未検出 1: 遅延衝突検出

ビット	ビット名	初期値	R/W	説明
8	TRO	0	R/W	送信リトライオーバ フレーム送信中にリトライオーバが発生したことを示します。これは、EtherC が送信を開始後、バックオフアルゴリズムに基づく 15 回の再送をあわせ全部で 16 回の送信試行に失敗したことを示します。 0 : 送信リトライオーバ未検出 1 : 送信リトライオーバ検出
7	RMAF	0	R/W	マルチキャストアドレスフレーム受信 0 : マルチキャストアドレスフレーム未受信 1 : マルチキャストアドレスフレーム受信
6、5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
4	RRF	0	R/W	端数ビットフレーム受信 0 : 端数ビットフレーム未受信 1 : 端数ビットフレーム受信
3	RTLF	0	R/W	ロングフレーム受信エラー EtherC の RFLR で設定した受信フレーム長上限値を超えるバイト数のフレーム を受信したことを示します。 0 : ロングフレーム未受信 1 : ロングフレーム受信
2	RTSF	0	R/W	ショートフレーム受信エラー 64 バイト未満のフレームを受信したことを示します。 0 : ショートフレーム未受信 1 : ショートフレーム受信
1	PRE	0	R/W	PHY-LSI 受信エラー 0 : PHY-LSI 受信エラー未検出 1 : PHY-LSI 受信エラー検出
0	CERF	0	R/W	受信フレーム CRC エラー 0 : CRC エラー未検出 1 : CRC エラー検出

13.2.7 EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR)

EESIPR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC/E-DMAC ステータスレジスタ (EESR) の各ビットに対応する割り込み許可レジスタです。各ビットは、1 をライトすることで割り込みが許可されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	TWBIP	-	-	-	TABTIP	RABTIP	RFCOFIP	ADEIP	ECIIP	TCIP	TDEIP	TFUFIP	FRIP	RDEIP	RFOFIP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	CNDIP	DLCIP	CDIP	TROIP	RMAFIP	-	-	RRFIP	RTLFIIP	RTSFIP	PREIP	CERFIP
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
30	TWBIP	0	R/W	ライトバック完了割り込み許可 0 : ライトバック完了割り込み禁止 1 : ライトバック完了割り込み許可
29~27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
26	TABTIP	0	R/W	送信中断検出割り込み許可 0 : 送信中断検出割り込み禁止 1 : 送信中断検出割り込み許可
25	RABTIP	0	R/W	受信中断検出割り込み許可 0 : 受信中断検出割り込み禁止 1 : 受信中断検出割り込み許可
24	RFCOFIP	0	R/W	受信フレームカウンタオーバフロー割り込み許可 0 : 受信フレームカウンタオーバフロー割り込み禁止 1 : 受信フレームカウンタオーバフロー割り込み許可
23	ADEIP	0	R/W	アドレスエラー割り込み許可 0 : アドレスエラー割り込み禁止 1 : アドレスエラー割り込み許可
22	ECIIP	0	R/W	EtherC ステータスレジスタ要因割り込み許可 0 : EtherC ステータス割り込み禁止 1 : EtherC ステータス割り込み許可

ビット	ビット名	初期値	R/W	説明
21	TCIP	0	R/W	フレーム送信完了割り込み許可 0: フレーム送信完了割り込み禁止 1: フレーム送信完了割り込み許可
20	TDEIP	0	R/W	送信ディスクリプタ枯渇割り込み許可 0: 送信ディスクリプタ枯渇割り込み禁止 1: 送信ディスクリプタ枯渇割り込み許可
19	TFUFIP	0	R/W	送信 FIFO アンダフロー割り込み許可 0: アンダフロー割り込み禁止 1: アンダフロー割り込み許可
18	FRIP	0	R/W	フレーム受信割り込み許可 0: フレーム受信割り込み禁止 1: フレーム受信割り込み許可
17	RDEIP	0	R/W	受信ディスクリプタ枯渇割り込み許可 0: 受信ディスクリプタ枯渇割り込み禁止 1: 受信ディスクリプタ枯渇割り込み許可
16	RFOFIP	0	R/W	受信 FIFO オーバフロー割り込み許可 0: オーバフロー割り込み禁止 1: オーバフロー割り込み許可
15~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11	CNDIP	0	R/W	キャリア未検出割り込み許可 0: キャリア未検出割り込み禁止 1: キャリア未検出割り込み許可
10	DLCIP	0	R/W	キャリア消失検出割り込み許可 0: キャリア消失検出割り込み禁止 1: キャリア消失検出割り込み許可
9	CDIP	0	R/W	遅延衝突検出割り込み許可 0: 遅延衝突割り込み禁止 1: 遅延衝突割り込み許可
8	TROIP	0	R/W	送信リトライオーバ割り込み許可 0: 送信リトライオーバ割り込み禁止 1: 送信リトライオーバ割り込み許可
7	RMAFIP	0	R/W	マルチキャストアドレスフレーム受信割り込み許可 0: マルチキャストアドレスフレーム受信割り込み禁止 1: マルチキャストアドレスフレーム受信割り込み許可
6、5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
4	RRFIP	0	R/W	端数ビットフレーム受信割り込み許可 0 : 端数ビットフレーム受信割り込み禁止 1 : 端数ビットフレーム受信割り込み許可
3	RTLFIIP	0	R/W	ロングフレーム受信エラー割り込み許可 0 : ロングフレーム受信エラー割り込み禁止 1 : ロングフレーム受信エラー割り込み許可
2	RTSFIP	0	R/W	ショートフレーム受信エラー割り込み許可 0 : ショートフレーム受信エラー割り込み禁止 1 : ショートフレーム受信エラー割り込み許可
1	PREIP	0	R/W	PHY-LSI 受信エラー割り込み許可 0 : PHY-LSI 受信エラー割り込み禁止 1 : PHY-LSI 受信エラー割り込み許可
0	CERFIP	0	R/W	受信フレーム CRC エラー割り込み許可 0 : CRC エラー割り込み禁止 1 : CRC エラー割り込み許可

13.2.8 送受信ステータスコピー指示レジスタ (TRSCER)

TRSCER は、EtherC/E-DMAC ステータスレジスタの各ビットで報告される、送信および受信ステータス情報を当該ディスクリプタの TFS[26:0]および RFS[26:0]に反映するか否かを指示します。本レジスタの各ビットは、EtherC/E-DMAC ステータスレジスタ (EESR) のビット 11 からビット 0 に対応し各ビットに 0 を設定すると、送信ステータス (EESR のビット 11 からビット 8) は送信ディスクリプタの TFS3~TFS0 ビットに、また受信ステータス (EESR のビット 7 からビット 0) は受信ディスクリプタの RFS7~RFS0 ビットに反映されます。1 を設定すると、該当する要因が発生してもディスクリプタに反映されません。LSI のリセット後は、各ビットは 0 に設定されています。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	CNDCE	DLCCE	CDCE	TROCE	RMAFCE	-	-	RRFCE	RTLFCCE	RTSFCE	PRECE	CERFCE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
11	CNDCE	0	R/W	CND ビットコピー指示 0: CND ビットのステータスを送信ディスクリプタの TFS3 ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS3 ビットに反映しない。
10	DLCCE	0	R/W	DLC ビットコピー指示 0: DLC ビットのステータスを送信ディスクリプタの TFS2 ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS2 ビットに反映しない。
9	CDCE	0	R/W	CD ビットコピー指示 0: CD ビットのステータスを送信ディスクリプタの TFS1 ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS1 ビットに反映しない。
8	TROCE	0	R/W	TRO ビットコピー指示 0: TRO ビットのステータスを送信ディスクリプタの TFS0 ビットに反映する。 1: 該当する要因が発生しても送信ディスクリプタの TFS0 ビットに反映しない。

ビット	ビット名	初期値	R/W	説明
7	RMAFCE	0	R/W	RMAF ビットコピー指示 0: RMAF ビットのステータスを受信ディスクリプタのRFS7 ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタのRFS7 ビットに反映しない。
6、5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
4	RRFCE	0	R/W	RRF ビットコピー指示 0: RRF ビットのステータスを受信ディスクリプタのRFS4 ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタのRFS4 ビットに反映しない。
3	RTLFCCE	0	R/W	RTLFC ビットコピー指示 0: RTLFC ビットのステータスを受信ディスクリプタのRFS3 ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタのRFS3 ビットに反映しない。
2	RTSFCE	0	R/W	RTSF ビットコピー指示 0: RTSF ビットのステータスを受信ディスクリプタのRFS2 ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタのRFS2 ビットに反映しない。
1	PRECE	0	R/W	PRE ビットコピー指示 0: PRF ビットのステータスを受信ディスクリプタのRFS1 ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタのRFS1 ビットに反映しない。
0	CERFCE	0	R/W	CERF ビットコピー指示 0: CERF ビットのステータスを受信ディスクリプタのRFS0 ビットに反映する。 1: 該当する要因が発生しても受信ディスクリプタのRFS0 ビットに反映しない。

13.2.9 ミスドフレームカウンタレジスタ (RMFCR)

RMFCR は、受信時に受信バッファに収容しきれずに廃棄されたフレーム数を示す 16 ビットのカウンタです。受信 FIFO がオーバーフローすると、この FIFO 内にある受信フレームは廃棄されます。このときに廃棄するフレームの数をカウントアップします。本レジスタの値が H'FFFF になるとカウントアップを停止します。カウンタの値は、本レジスタを読むと 0 にクリアされます。本レジスタへのライトは、他に影響を与えません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MFC[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15~0	MFC[15:0]	すべて 0	R	ミスドフレームカウンタ 受信時に、受信バッファに転送しきれずに廃棄されたフレーム数を示します。

13.2.10 送信 FIFO しきい値指定レジスタ (TFTR)

TFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、最初の送信を開始するまでの送信 FIFO のしきい値を指定します。実際のしきい値は、設定した数値の 4 倍の値に相当します。EtherC は送信 FIFO 内のデータ数が本レジスタで指定されたバイト数を超えるか、送信 FIFO が満杯、または 1 フレーム分のデータ書き込みが行われると送信を開始します。なお本レジスタの設定は、送信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	TFT[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10~0	TFT[10:0]	すべて 0	R/W	送信 FIFO しきい値 送信 FIFO のしきい値は、必ず FDR で指定した FIFO 容量値より小さい値に設定してください。 H'00 : ストア&フォワードモード H'01~H'0C : 設定禁止 H'0D : 52 バイト H'0E : 56 バイト : : H'1F : 124 バイト H'20 : 128 バイト : : H'3F : 252 バイト H'40 : 256 バイト : : H'7F : 508 バイト H'80 : 512 バイト H'81~H'200 : 設定禁止

【注】 1 フレーム分のデータ書き込みが完了する以前に送信を開始する場合には、アンダフローの発生に注意が必要です。

13.2.11 FIFO 容量指定レジスタ (FDR)

FDR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信および受信 FIFO の容量を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	TFD2	TFD1	TFD0	-	-	-	-	-	RFD2	RFD1	RFD0
初期値:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
10 9 8	TFD2 TFD1 TFD0	0 0 1	R/W R/W R/W	送信 FIFO 容量 送信 FIFO の容量を指定します。送受信開始後は、設定値を変更することを禁止します。 000 : 256 バイト 001 : 512 バイト 上記以外 : 設定禁止
7~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2 1 0	RFD2 RFD1 RFD0	0 0 1	R/W R/W R/W	受信 FIFO 容量 受信 FIFO の容量を指定します。送受信開始後は、設定値を変更することを禁止します。 000 : 256 バイト 001 : 512 バイト 上記以外 : 設定禁止

13.2.12 受信方式制御レジスタ (RMCR)

RMCR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、フレームを受信するときの EDRRR の RR ビットの制御方法を指定します。なお本レジスタの設定は、受信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RNC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	RNC	0	R/W	受信許可制御 通常は、本設定により連続したフレーム受信を継続します。 0: 1 つのフレームを受信完了すると、E-DMAC は受信ステータスをディスクリプタにライトして EDRRR の RR ビットをクリアします。 1: 1 つのフレームを受信完了すると、E-DMAC は受信ステータスをディスクリプタにライトします。さらに E-DMAC は次のディスクリプタを読み込み、次のフレームの受信に備えます。

13.2.13 E-DMAC 動作制御レジスタ (EDOCR)

EDOCR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC の動作状態における制御方法を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	FEC	AEC	EDH	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
3	FEC	0	R/W	FIFO エラー制御 送信 FIFO におけるアンダフローあるいは受信 FIFO におけるオーバフロー発生時の E-DMAC の動作を指定します。 0: アンダフローあるいはオーバフローが発生しても E-DMAC の動作を続けます。 1: アンダフローあるいはオーバフローが発生すると E-DMAC の動作を停止します。
2	AEC	0	R/W	アドレスエラー制御 E-DMAC が転送しようとしたメモリアドレスが不正であったことを示します。 0: 不正なメモリアドレスを検出していない (正常動作)。 1: 不正なメモリアドレスを検出したため、E-DMAC の動作を停止します。 【注】 E-DMAC の動作を再開するには、EDMR の SWR ビットにより、ソフトウェアリセットをかけてから再設定してください。
1	EDH	0	R/W	E-DMAC 停止 0: E-DMAC は正常に動作中です。 1: NMI 端子がアサートされたため E-DMAC の動作を停止します。0 を書き込むことによって E-DMAC は動作を再開します。
0	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

13.2.14 受信バッファライトアドレスレジスタ (RBWAR)

RBWAR は、E-DMAC が受信バッファにデータを書き込むとき、受信バッファ内で書き込みの対象となるバッファアドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC が受信バッファ内のどの辺のアドレスに対し処理を実行しているかを認識できます。E-DMAC が実行しているバッファライト処理とレジスタの読み出しの値が一致していない場合もあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RBWA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBWA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RBWA[31:0]	すべて0	R	受信バッファライトアドレス 本ビットは読み出し専用です。書き込みは禁止です。

13.2.15 受信ディスクリプタフェッチアドレスレジスタ (RDFAR)

RDFAR は、E-DMAC が受信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの辺の受信ディスクリプタ情報をもとに処理を実行しているかを認識できます。E-DMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDFA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDFA[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	RDFA[31:0]	すべて0	R	受信ディスクリプタフェッチアドレス 本ビットは読み出し専用です。書き込みは禁止です。

13.2.16 送信バッファリードアドレスレジスタ (TBRAR)

TBRAR は、E-DMAC が送信バッファからデータを読み出すとき、送信バッファ内で読み出しの対象となるバッファアドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC が送信バッファ内のどの辺のアドレスに対し処理を実行しているかを認識できます。E-DMAC が実行しているバッファリード処理とレジスタの読み出しの値が一致していない場合もあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TBRAR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TBRAR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	TBRAR[31:0]	すべて0	R	送信バッファリードアドレス 本ビットは読み出し専用です。書き込みは禁止です。

13.2.17 送信ディスクリプタフェッチアドレスレジスタ (TDFAR)

TDFAR は、E-DMAC が送信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの辺の送信ディスクリプタ情報をもとに処理を実行しているかを認識できます。E-DMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDFAR[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDFAR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	TDFAR[31:0]	すべて0	R	送信ディスクリプタフェッチアドレス 本ビットは読み出し専用です。書き込みは禁止です。

13.2.18 フロー制御開始 FIFO しきい値設定レジスタ (FCFTR)

FCFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、EtherC のフロー制御の設定 (自動 PAUSE 送信のしきい値設定) を行います。受信 FIFO データ容量 (RFD2~RFD0)、受信フレーム数 (RFF2~RFF0) によるしきい値を設定できます。受信 FIFO データ容量しきい値判定、および受信フレーム数しきい値判定の論理和を条件として、フロー制御を開始します。

RFD の設定条件によりフロー制御をオンにすると、FIFO 容量設定レジスタ (FDR) で設定した受信 FIFO 容量値と同じ設定である場合は、(FIFO データ容量-64) バイトでフロー制御をオンにします。たとえば FDR の RFD=1、FCFTR の RFD=1 の場合は、受信 FIFO 内に (512-64) バイトのデータを格納されたとき、フロー制御がオンになります。なお本レジスタの RFD の設定値は、FDR の RFD の設定値と同じか小さい値を設定してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	1	1	1
														RFF[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
														RFD[2:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~19	—	すべて 0	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
18~16	RFF[2:0]	111	R/W	受信フレーム数によるフロー制御しきい値 000: 受信フレームを受信 FIFO 内に 1 フレーム格納完了時 001: 受信フレームを受信 FIFO 内に 2 フレーム格納完了時 : : 110: 受信フレームを受信 FIFO 内に 7 フレーム格納完了時 111: 受信フレームを受信 FIFO 内に 8 フレーム格納完了時
15~3	—	すべて 0	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2~0	RFD[2:0]	000	R/W	受信バイト数によるフロー制御しきい値 000: 受信 FIFO 内に 256-64 バイトのデータ容量を格納時 001: 受信 FIFO 内に 512-64 バイトのデータ容量を格納時 上記以外: 設定禁止

13.2.19 受信データパディング挿入設定レジスタ (RPADIR)

RPADIR は、読み出しまたは書き込み可能な 32 ビットレジスタで、受信データのパディングの挿入を行うレジスタです。本レジスタを再設定するときは、E-DMAC モードレジスタ (EDMR) の SWR ビットでリセットしてから行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PADS1	PADS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	PADR[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~18	—	すべて 0	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
17	PADS1	0	R/W	パディングサイズ 00: パディング挿入なし 01: 1 バイト挿入 10: 2 バイト挿入 11: 3 バイト挿入
16	PADS0	0	R/W	
15~6	—	すべて 0	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5~0	PADR[5:0]	000000	R/W	パディング範囲 H'00: 1 バイト目にパディングサイズ分挿入 H'01: 2 バイト目にパディングサイズ分挿入 : : H'3E: 63 バイト目にパディングサイズ分挿入 H'3F: 64 バイト目にパディングサイズ分挿入

13.2.20 送信割り込み設定レジスタ (TRIMD)

TRIMD は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信動作時にフレームごとのライトバック完了を EESR の TWB ビットおよび割り込みにて通知するかどうかを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TIS
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	TIS	0	R/W	送信割り込み設定 0: フレームごとのライトバック完了を通知しない 1: フレームごとのライトバック完了を EESR の TWB ビットで通知する

13.2.21 チェックサムモードレジスタ (CSMR)

CSMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、チェックサムの動作モードを指定します。なお本レジスタの設定は、受信停止状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSEBL	CSMD	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	SB[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	CSEBL	1	R/W	チェックサム計算機能の動作設定 0: チェックサム計算結果を受信ディスクリプタにライトバックしません。 1: チェックサム計算結果を受信ディスクリプタにライトバックします。
30	CSMD	1	R/W	チェックサム計算モードの設定 0: MAC レイヤパケットの先頭から SB[5:0]に設定されたバイト数分をスキップした残りのすべてのデータについてチェックサムを計算します。 1: MAC/IP レイヤパケットを解析しながら、TCP/UDP など上位レイヤのパケットのチェックサムを計算します。
29~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5~0	SB[5:0]*	011010	R/W	チェックサム計算スキップバイト 受信 MAC の先頭から起算したスキップバイト数を指定します。 パディング挿入する場合は、パディングサイズ/パディング範囲を含めてチェックサム計算開始位置を設定してください。 H'00: 0 バイト目 (受信 MAC パケットの先頭からチェックサム計算開始) H'02: 2 バイト目 : : H'1A: 26 バイト目 : : H'3E: 62 バイト目

【注】 * CSEBL=1、CSMD=0 のときのみ設定可能です。左記以外のときは 6'h00 を設定してください。

13.2.22 チェックサムスキップ済みバイト数モニタレジスタ (CSSBM)

CSSBM は、読み出し専用の 32 ビットのレジスタで、E-DMAC で処理中の受信パケットのスキップ済みバイト数を格納します。本レジスタに表示される値をモニタすることにより、スキップ済みバイト数を認識できます。E-DMAC が受信しているデータとスキップ済みバイト数が一致していない場合もあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	SBM[5:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5~0	SBM[5:0]	000000	R	スキップ済みバイト数 本ビットは読み出し専用です。書き込みは禁止です。 受信パケットの先頭で 0 に初期化します。

【注】 CSEBL=1、CSMD=0 のときのみ有効な値です。

13.2.23 チェックサムモニタレジスタ (CSSMR)

CSSMR は、読み出し専用の 32 ビットのレジスタで、E-DMAC で処理中の受信パケットのチェックサム値を格納します。本レジスタに表示される値をモニタすることにより、チェックサム値を認識できます。E-DMAC が受信しているデータとチェックサム値が一致していない場合もあります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CS[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15~0	CS[15:0]	0	R	チェックサム値 本ビットは読み出し専用です。書き込みは禁止です。 受信パケットの先頭で0に初期化します。

【注】 CSEBL=1、CSMD=0 のときのみ有効な値です。

13.3 動作説明

E-DMAC は、EtherC と接続され、送受信データを CPU の介在なく効率的な転送をメモリ（バッファ）との間で行います。E-DMAC は、各バッファと対応したディスクリプタと呼ぶバッファポインタなどを格納した制御情報をみずから読み込みます。この制御情報に従って送信データを送信バッファから読み込み、受信データは受信バッファにライトします。このディスクリプタを複数個連続して配置（ディスクリプタリスト）することで、送信ならびに受信を連続して実行できます。

13.3.1 ディスクリプタリストとデータバッファ

通信プログラムは、送受信の開始に先立って、メモリ上に送信および受信の各ディスクリプタリストを作成します。そしてこのリストの先頭アドレスを、送信または受信ディスクリプタリスト先頭アドレスレジスタに設定します。

ディスクリプタの開始アドレスの設定は、E-DMAC モードレジスタ (EDMR) で設定したディスクリプタ長に従ったアドレス境界に設定してください。送信バッファの開始アドレスの設定は、ロングワードを境界として設定する必要はなく、ワード境界、バイト境界として設定しても構いません。

(1) 送信ディスクリプタ

図 13.2 に送信ディスクリプタと送信バッファの関係を示します。本ディスクリプタの指示により、送信フレームと送信バッファの構成を 1 フレーム/1 バッファまたは 1 フレーム/マルチバッファのように関連づけることが可能です。

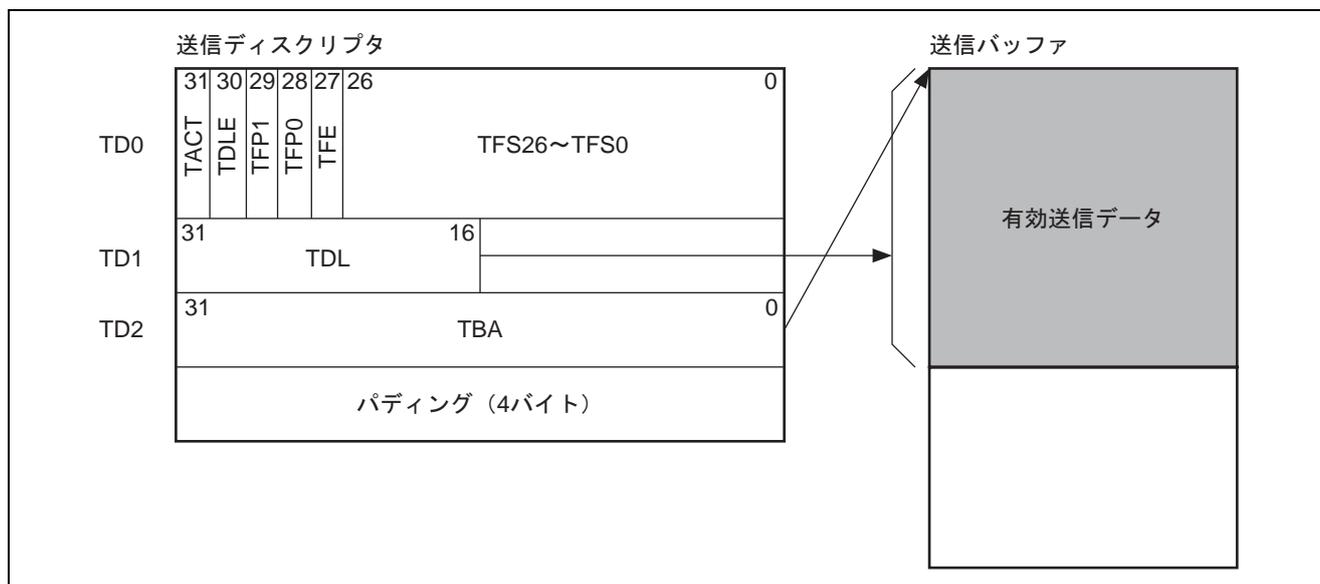


図 13.2 送信ディスクリプタと送信バッファの関係

(a) 送信ディスクリプタ 0 (TD0)

TD0 は、送信フレームのステータスを示します。CPU と E-DMAC は、この TD0 によってフレーム送信状態を連絡します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TACT	TDLE	TFP1	TFP0	TFE	TFS[26:16]										
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFS[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	TACT	0	R/W	<p>送信ディスクリプタ有効</p> <p>当該ディスクリプタが有効であることを示します。CPU は、送信データを送信バッファに転送後に本ビットをセットします。また E-DMAC は、フレームの転送を完了、あるいは送信を中断した場合にリセットします。</p> <p>0 : 送信ディスクリプタが無効であることを示します。</p> <p>CPU により送信バッファに有効データをライトしていない、または E-DMAC のフレーム転送処理終了によるライトバック動作で、本ビットがリセットされたことを示します (送信完了あるいは中断)。</p> <p>本状態が、E-DMAC のディスクリプタリードにより認識された場合は、E-DMAC は送信処理を終了します。送信動作の継続はできません。再起動が必要となります。</p> <p>1 : 送信ディスクリプタが有効であることを示します。</p> <p>CPU により送信バッファに有効データがライトされ、まだフレーム転送処理を行っていないことを、あるいはフレーム転送中であることを示します。</p> <p>本状態が E-DMAC のディスクリプタリードにより認識された場合は、E-DMAC は送信動作を継続します。</p>
30	TDLE	0	R/W	<p>送信ディスクリプタリスト最終</p> <p>E-DMAC は、当該バッファの転送を終了後は先頭のディスクリプタを参照します。本指示によって送信ディスクリプタは、リング構成となります。</p> <p>0 : 送信ディスクリプタリストは最後でない</p> <p>1 : 送信ディスクリプタリストは最後</p>

ビット	ビット名	初期値	R/W	説明
29	TFP1	0	R/W	送信フレーム内位置 1、0
28	TFP0	0	R/W	送信バッファと送信フレームの関連づけを行います。前後のディスクリプタにおいて、本ビットおよび TDL ビットの設定は、論理的に正しい関係を維持してください。 00 : 本ディスクリプタで指示する送信バッファのフレーム送信を継続する (フレームを完結しない) 01 : 本ディスクリプタで指示する送信バッファはフレームの最後を含む (フレームを完結する) 10 : 本ディスクリプタで指示する送信バッファはフレームの先頭である (フレームを完結しない) 11 : 本ディスクリプタで指示する送信バッファの内容が 1 フレームに相当する (1 フレーム/1 バッファ)
27	TFE	0	R/W	送信フレームエラー ビット 26~0 に示す送信フレームステータスのいずれかのビットがセットされていることを示します。また送信フレームステータスの情報を本ビットに反映するか否かは、送受信ステータスコピー指示レジスタによって設定されます。 0 : 送信時にエラーがなかった 1 : 送信中に何らかのエラーがあった
26~0	TFS26~ TFS0	すべて 0	R/W	送信フレームステータス フレーム送信中のエラーステータスを表示します。 TFS26~4 : 予約 (書き込み時は 0 としてください) TFS8 : 送信バッファのアンダフロー検出 (EESR の TDE ビットに相当) TFS3 : ノーキャリア検出 (EESR の CND ビットに相当) TFS2 : キャリア消失検出 (EESR の DLC ビットに相当) TFS1 : 送信中の遅延衝突検出 (EESR の CD ビットに相当) TFS0 : 送信リトライオーバ (EESR の TRO ビットに相当)

(b) 送信ディスクリプタ 1 (TD1)

TD1 は最大 64K バイトの送信バッファ長を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TDL[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	TDL[15:0]	すべて 0	R/W	送信バッファデータ長 当該送信バッファ内の有効転送バイト長を示します。 1 フレーム/マルチバッファ方式 (TD0、TFP=10 あるいは 00) を指定する場合は、先頭と途中のディスクリプタ内で指定する転送バイト長もバイト単位で設定可能です。
15~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

(c) 送信ディスクリプタ 2 (TD2)

TD2 は 32 ビット幅の当該送信バッファの先頭アドレスを示します。送信バッファの開始アドレスの設定は、ロングワードを境界として設定する必要はなく、ワード境界、バイト境界として設定しても構いません。

(2) 受信ディスクリプタ

図 13.3 に受信ディスクリプタと受信バッファの関係を示します。フレームの受信時は、E-DMAC は受信フレーム長に関係なく受信バッファの 16 バイト境界までデータの書き換えを行います。最終的に実際の受信フレーム長は、ディスクリプタ内にある RD1 の下位 16 ビットに報告されます。受信バッファへのデータ転送は、受信した 1 フレームの大きさにより、1 フレーム/1 バッファあるいは 1 フレーム/マルチバッファ構成となるように E-DMAC が自動的に行います。

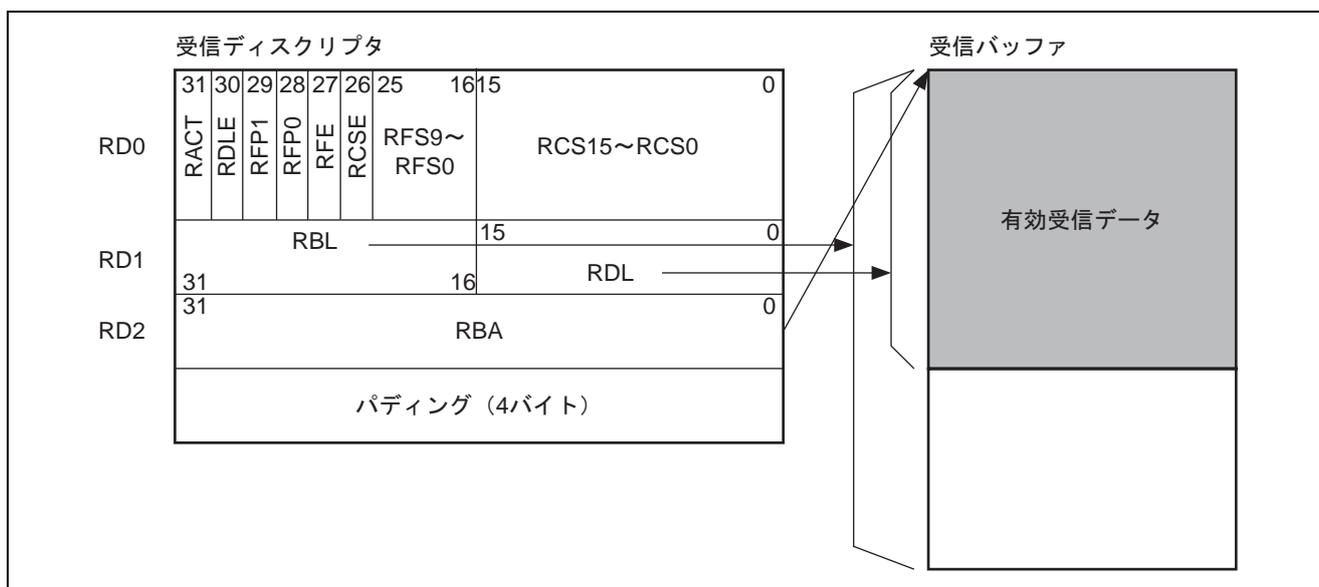


図 13.3 受信ディスクリプタと受信バッファの関係

(a) 受信ディスクリプタ 0 (RD0)

RD0 は、受信フレームのステータスを示します。CPU と E-DMAC は、この RD0 によってフレーム受信状態を連絡します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RACT	RDLE	RFP[1:0]		RFE	RCSE	RFS[9:0]									
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCS[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	RACT	0	R/W	<p>受信ディスクリプタ有効</p> <p>当該ディスクリプタが有効であることを示します。E-DMAC は、受信データを受信バッファに転送後に本ビットをリセットします。また CPU は、受信フレームの処理を完了した場合に受信準備のためセットします。</p> <p>0 : 受信ディスクリプタが無効であることを示します。</p> <p>受信バッファの準備ができていない (E-DMAC によるアクセス禁止)、または E-DMAC のフレーム転送終了によるライトバック動作で本ビットがリセットされたことを示します (受信完了あるいは中断)。</p> <p>本状態が E-DMAC のディスクリプタリードにより認識された場合は、E-DMAC は受信処理を終了します。受信動作の継続はできません。RACT = 1 に設定し受信起動をかけることで受信を再開することができます。</p> <p>1 : 受信ディスクリプタが有効であることを示します。</p> <p>受信バッファの準備完了 (アクセス許可) でかつ FIFO からのフレーム転送処理を行っていないことを、あるいはフレーム転送中であることを示します。</p> <p>本状態が E-DMAC のディスクリプタリードにより認識された場合は、E-DMAC は受信動作を継続します。</p>
30	RDLE	0	R/W	<p>受信ディスクリプタリスト最終</p> <p>E-DMAC は、当該バッファの転送を終了後に先頭の受信ディスクリプタを参照します。本指示によって受信ディスクリプタは、リング構成となります。</p> <p>0 : 受信ディスクリプタリストの最後ではない</p> <p>1 : 受信ディスクリプタリストの最後</p>

ビット	ビット名	初期値	R/W	説明
29、28	RFP[1:0]	00	R/W	<p>受信フレーム内位置 受信バッファと受信フレームの関連づけを行います。</p> <p>00: 本ディスクリプタで指示する受信バッファのフレーム受信を継続する(フレームを完結しない)</p> <p>01: 本ディスクリプタで指示する受信バッファはフレームの最後を含む(フレームを完結する)</p> <p>10: 本ディスクリプタで指示する受信バッファはフレームの先頭である(フレームを完結しない)</p> <p>11: 本ディスクリプタで指示する受信バッファの内容が1フレームに相当する(1フレーム/1バッファ)</p>
27	RFE	0	R/W	<p>受信フレームエラー</p> <p>ビット25~16に示す受信フレームステータスのいずれかのビットがセットされていることを示します。また受信フレームステータスの情報を本ビットに反映するか否かは、送受信ステータスコピー指示レジスタによって設定されます。</p> <p>0: 受信時にエラーがなかった</p> <p>1: 受信中に何らかのエラーがあった</p>
26	RCSE	0	R/W	<p>受信パケットチェックサム値判定</p> <p>CSEBL=1、CSMD=1 のとき、受信パケットや受信データにより、表 13.1 のように設定されます。</p> <p>上記以外の設定での動作時、本ビットの情報は無効になります。</p>
25~16	RFS[9:0]	すべて 0	R/W	<p>受信フレームステータス</p> <p>フレーム受信中のエラーステータスを表示します。</p> <p>RFS9: 受信 FIFO オーバフロー (EESR の RFOF ビットに相当)</p> <p>RFS8: 予約 (書き込み時は 0 としてください)</p> <p>RFS7: マルチキャストアドレスフレームを受信 (EESR の RMAF ビットに相当)</p> <p>RFS6: CAM エントリ未登録フレームを受信 (EESR の RUAF ビットに相当)</p> <p>RFS5: 予約 (書き込み時は 0 としてください)</p> <p>RFS4: 端数ビットフレーム受信エラー (EESR の RRF ビットに相当)</p> <p>RFS3: ロングフレーム受信エラー (EESR の RTLFL ビットに相当)</p> <p>RFS2: ショートフレーム受信エラー (EESR の RTSF ビットに相当)</p> <p>RFS1: PHY-LSI 受信エラー (EESR の PRE ビットに相当)</p> <p>RFS0: 受信フレーム CRC エラー検出 (EESR の CERF ビットに相当)</p>
15~0	RCS[15:0]	すべて 0	R/W	受信パケットチェックサム値

表 13.1 受信パケット種と受信データにおける RCSE の状態

フレーム種		データ正常時		データ異常時	
IP version	オプション、拡張ヘッダ	RCS[15:0]	RCSE	RCS[15:0]	RCSE
IPv4	なし	16'hFFFF 16'h0000	0	不定	1
	フラグメント	不定	不定	不定	不定
	オプション	16'hFFFF 16'h0000	0	不定	1
IPv6	なし	16'hFFFF 16'h0000	0	不定	1
	ホップバイホップ	16'hFFFF 16'h0000	0	不定	1
	ルーティング	16'hFFFF 16'h0000	0	不定	1
	終点オプション	16'hFFFF 16'h0000	0	不定	1
	AH	16'hFFFF 16'h0000	0	不定	1
	フラグメント	不定	不定	不定	不定
	ESP	16'h0000	1	16'h0000	1
	MobileIPv6	16'h0000	1	16'h0000	1
	その他	16'h0000	1	16'h0000	1
IPv4、IPv6 以外		16'h0000	0	16'h0000	0

(b) 受信ディスクリプタ 1 (RD1)

RD1 は最大 64K バイト以内の受信バッファ長を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RBL[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDL[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	RBL[15:0]	すべて 0	R/W	受信バッファ長 当該受信バッファ内の最大転送バイト長を示します。 転送バイト長は、16 バイト境界（ビット 19~16 は 0）としてください。 1 フレーム/バッファのときは、受信フレーム長は CRC データを除き 1,514 バイトが最大です。よって受信バッファ長の指定は、最大受信フレーム長に 16 バイト境界を考慮した値である 1,520 バイト (H'05F0) を設定します。
15~0	RDL[15:0]	すべて 0	R/W	受信データ長 受信バッファに格納された受信フレームのデータ長を示します。 受信バッファに転送される受信データには、フレームの最後にある CRC データ（4 バイト）が含まれません。また受信フレーム長は、この CRC データを含めない（有効データバイト）語数が報告されます。

(c) 受信ディスクリプタ 2 (RD2)

RD2 は 32 ビット幅の当該受信バッファの先頭アドレスを示します。受信バッファの開始アドレスの設定は、ロングワードを境界として設定してください。ただし、SDRAM 接続時は、16 バイトを境界として設定してください。

13.3.2 送信機能

送信機能が有効で、E-DMAC 送信要求レジスタ (EDTRR) の送信要求ビット (TR) をセットすると、E-DMAC は送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（初期状態では送信ディスクリプタ先頭アドレスレジスタ (TDLAR) で示すディスクリプタ）を読み込みます。読み込んだディスクリプタの TACT ビットが有効な場合は、E-DMAC は TD2 で指定される送信バッファ先頭アドレスから順次送信フレームデータを読み出して EtherC に転送します。EtherC は送信フレームを作成し MII に向けて送信を開始します。ディスクリプタ内で指示されるバッファ長分の DMA 転送後、TFP の値によって以下のような処理を行います。

- TFP=00 or 10 (フレーム継続) :
DMA 転送後、ディスクリプタのライトバック (TACT ビットのみ) を行います。
- TFP=01 or 11 (フレーム終了) :
フレームの送信完了後、ディスクリプタのライトバック (TACT ビットおよびステータス) を行います。

読み込んだディスクリプタの TACT ビットが有効な間は、E-DMAC ディスクリプタの読み込みとフレームの送信を続けます。TACT ビットが無効なディスクリプタを読み込むと、E-DMAC は EDTRR の TR ビットをリセットして送信処理を完了します。

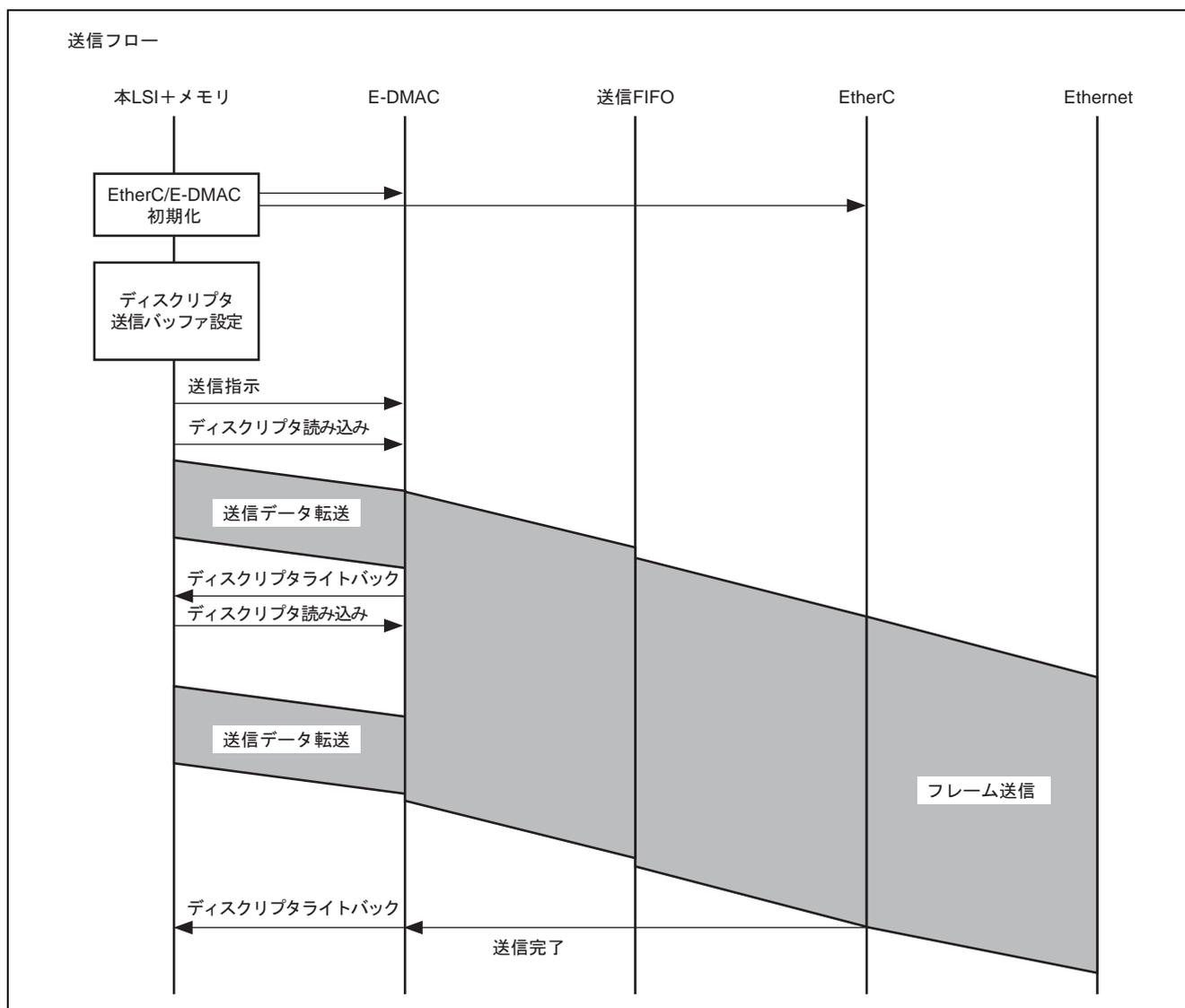


図 13.4 送信フローの例

13.3.3 受信機能

受信機能が有効で CPU が E-DMAC 受信要求レジスタ (EDRRR) の受信要求ビット (RR) をセットすると、E-DMAC は受信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ (初期状態では受信ディスクリプタリスト先頭アドレスレジスタ (RDLAR) で示すディスクリプタ) を読み込んだ後に受信待機状態となります。RACT ビットが有効でかつ自局あてのフレームを受信すると、RD2 で指定される受信バッファに転送します。受信したフレームのデータ長が RD1 で与えられるバッファ長よりも大きい場合は、E-DMAC はバッファが満了となった時点でディスクリプタにライトバック (RFP=10 or 00) を行った後に次のディスクリプタを読み込みます。そして新たな RD2 によって指定される受信バッファに引き続きデータを転送します。フレームの受信が完了した場合、または何らかのエラーでフレーム受信を中断した場合は、当該ディスクリプタにライトバック (RFP=11 or 01) を行った後に受信処理を終了します。そして次のディスクリプタを読み込み受信待機状態となります。

なお連続してフレームを受信するには、受信方式制御レジスタ (RMCR) 内の受信コントロールビット (RNC) を 1 に設定してください。初期化後は、0 になっています。

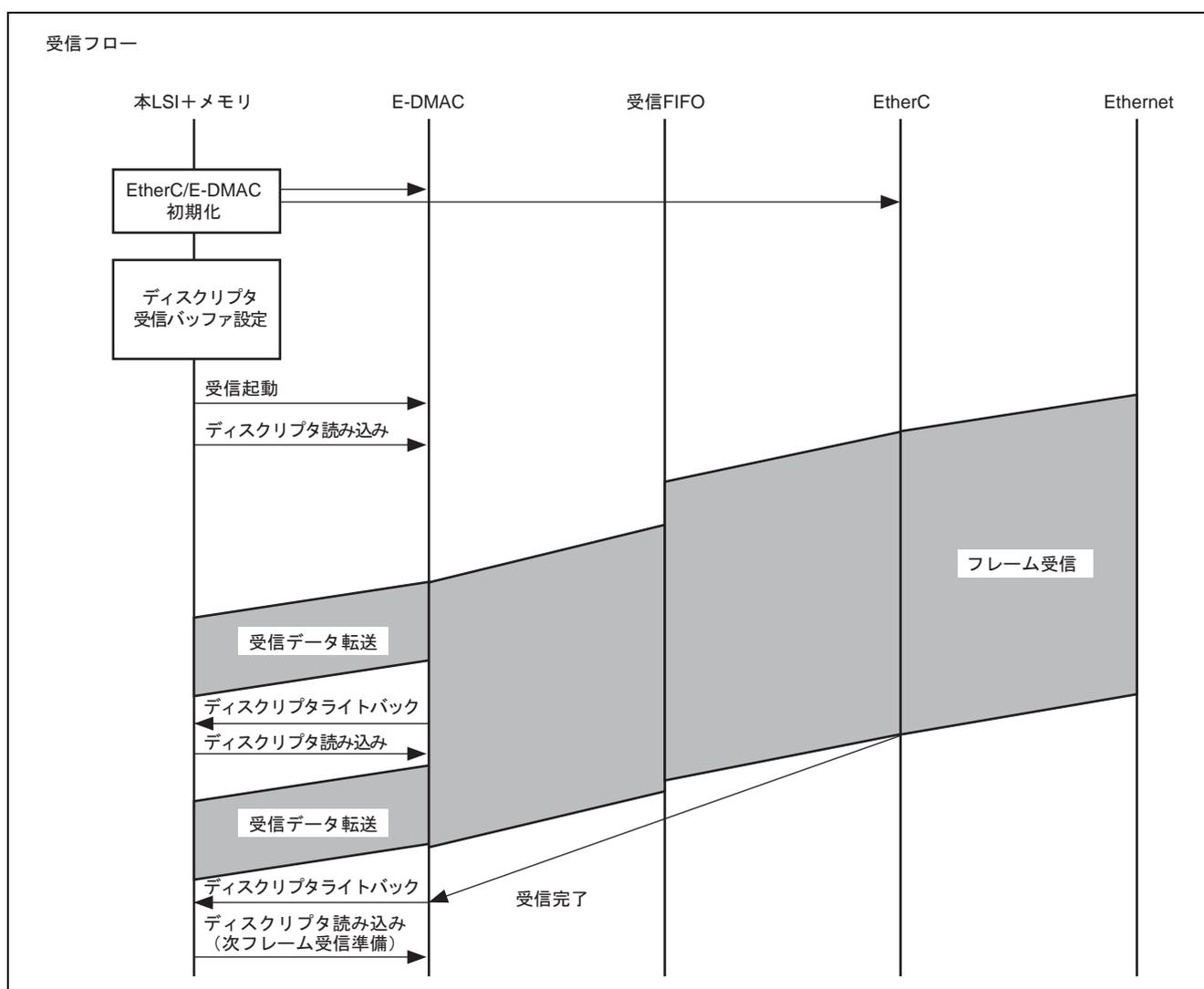


図 13.5 受信フローの例

13.3.4 マルチバッファフレームの送受信処理について

(1) マルチバッファフレームの送信処理

マルチバッファフレームの送信中にエラーが発生した場合は、E-DMAC は図 13.6 に示す処理を行います。

図中で送信ディスクリプタが無効 (TACT ビットが 0) である部分は、すでにバッファデータを正常に送信した部分を、送信ディスクリプタが有効 (TACT ビットが 1) である部分は、バッファデータが未送信であることを示します。送信ディスクリプタが有効 (TACT ビットが 1) である最初のディスクリプタ部分でフレーム送信エラーが発生した場合は、即座に送信を停止して TACT ビットを 0 クリアします。その後、次のディスクリプタをリードし、送信フレーム内の位置を TFP1、TFP0 ビットをもとに判断していきます (継続[B'00]または終了[B'01])。継続ディスクリプタである場合は、TACT ビットを 0 クリアするのみで、すぐに次ディスクリプタのリードを行います。最終ディスクリプタである場合は、TACT ビットを 0 クリアするのみでなく、TFE および TFS ビットへのライトバックも同時に行います。エラー発生後から最終ディスクリプタへのライトバックまでの間は、バッファ上のデータは送信しません。EtherC/E-DMAC ステータス割り込み許可レジスタ (EESIPR) でエラー割り込みが許可されている場合は、最終ディスクリプタのライトバック直後に割り込みが発生します。

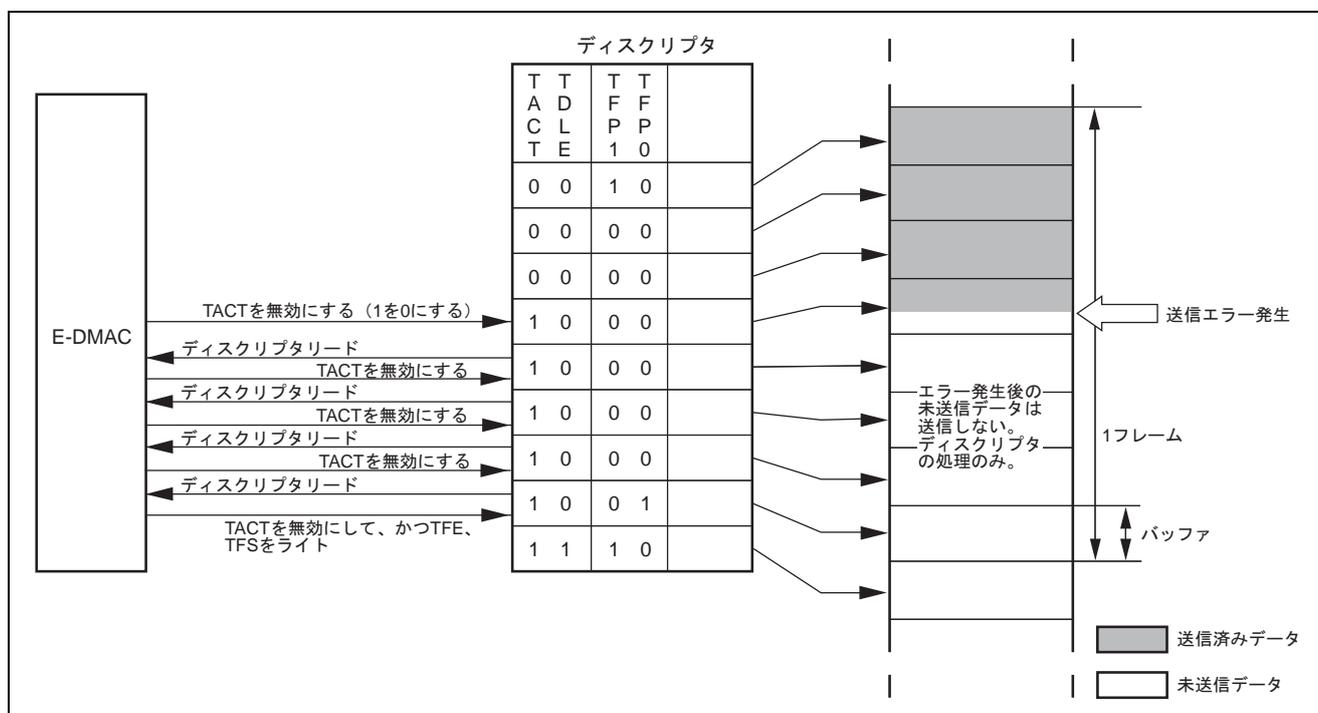


図 13.6 送信エラー発生後の E-DMAC 動作

(2) マルチバッファフレームの受信処理

マルチバッファフレームの受信中にエラーが発生した場合は、E-DMACは図 13.7 に示す処理を行います。

図中で受信ディスクリプタが無効 (RACT ビットが 0) である部分はずでにバッファデータを正常に受信した部分を、受信ディスクリプタが有効 (RACT ビットが 1) である部分は未受信バッファであることを示します。図中で RACT ビットが 1 である最初のディスクリプタ部分でフレーム受信エラーが発生した場合は、ディスクリプタにステータスのライトバックを行います。

EESIPR でエラー割り込みを許可している場合は、ライトバック直後に割り込みが発生します。新しいフレームの受信要求がある場合には、エラーが発生したバッファの次のバッファから引き続き受信を行います。

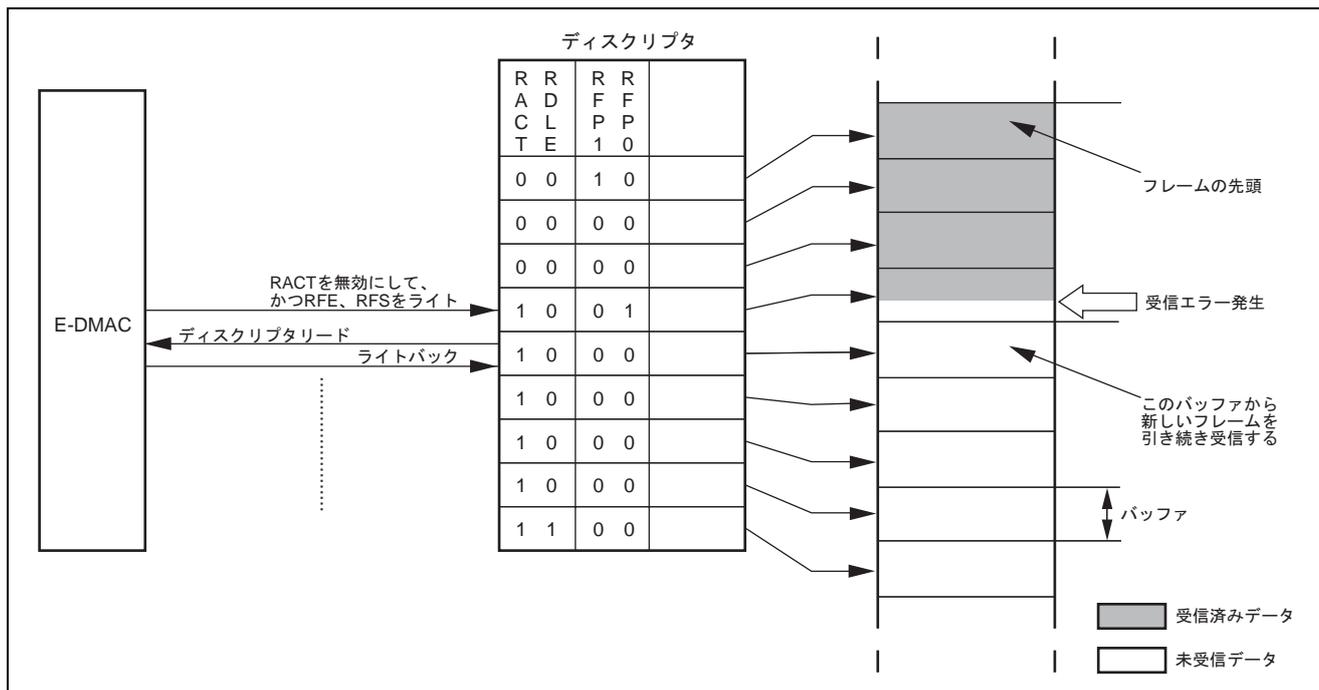


図 13.7 受信エラー発生後の E-DMAC 動作

13.3.5 受信データへのパディング挿入について

E-DMAC は、受信データ処理能力の向上のため、受信データの任意のバイト位置に1~3 バイトのパディングを挿入できます。この機能を使用することで、たとえば、イーサネットフレームの MAC ヘッダ (14 バイト) の後に2バイトのパディングを挿入することによって以降のデータを4バイト境界の先頭に置くことができます。

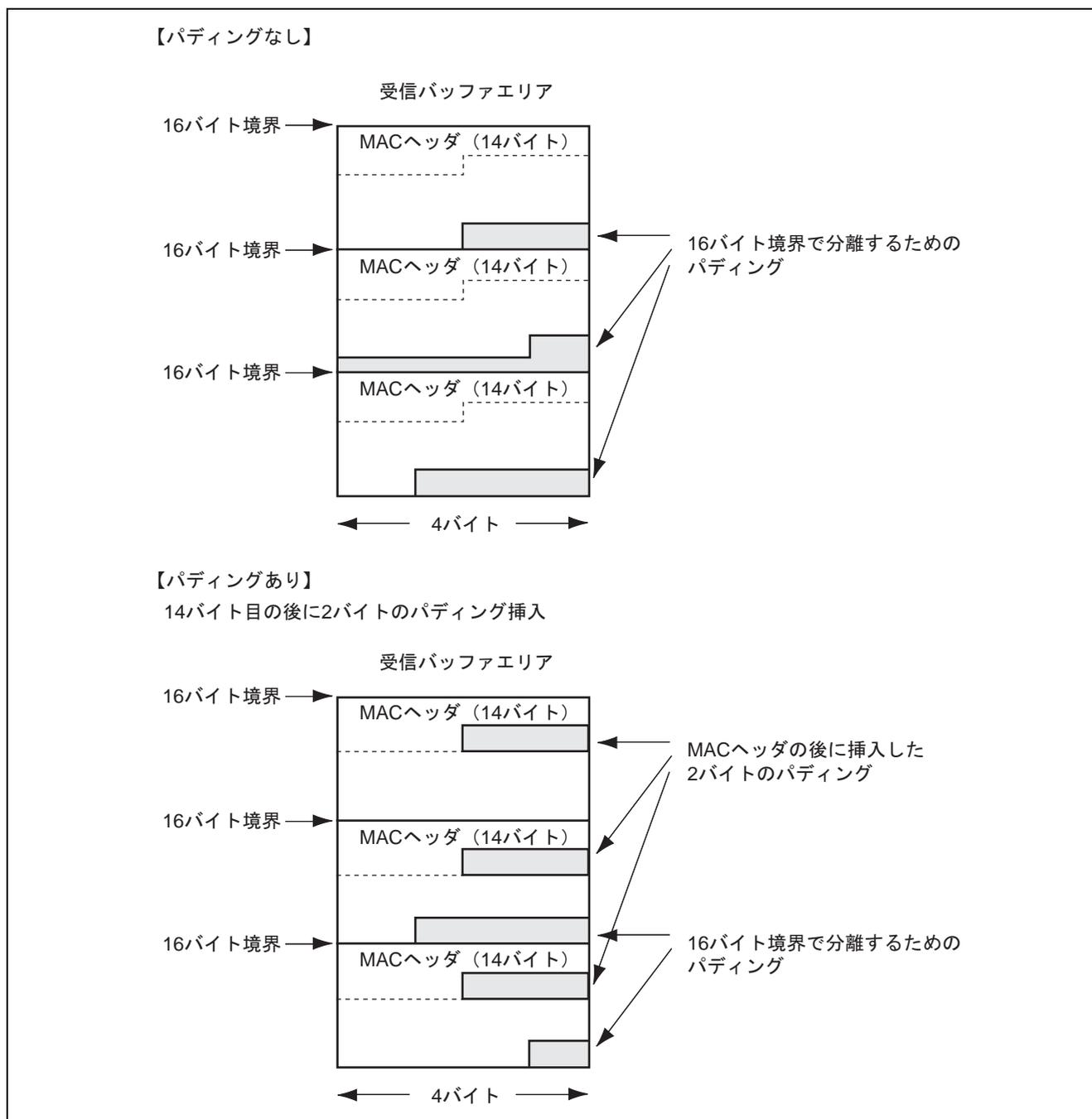


図 13.8 受信データへのパディング挿入

13.3.6 チェックサム計算機能

受信パケットに対するチェックサム演算をアクセラレートします。下記の2つのモードがあります。

- MAC/IPパケット解析型チェックサム計算モード
- スキップバイト数指定型全データチェックサム計算モード

(1) MAC/IPパケット解析型チェックサム計算モード (CSEBL=1、CSMD=1)

受信パケットが下表に含まれるものであれば、計算の対象となります。ただし、下表に含まれるものであっても、IPパケットが比較的小さいなどの理由で、MACパケットのペイロードにIPパケット以外のパディングデータが含まれている場合は計算の対象外です。

IPver	項 目
IPv4	オプションなし
	オプションあり
	フラグメント*1
IPv6	拡張ヘッダなし
	ホップバイホップオプション拡張ヘッダ長
	ルーティング拡張ヘッダ長
	フラグメント拡張ヘッダ長*1
	終点オプション拡張ヘッダ長
	AH 拡張ヘッダ長
	ESP 拡張ヘッダ長*2
	MobileIPv6 用拡張ヘッダ長*2

【注】 *1 計算の対象となりますが、データが正常な場合でも RCS[15:0]=不定となり、RCSE=不定となります。

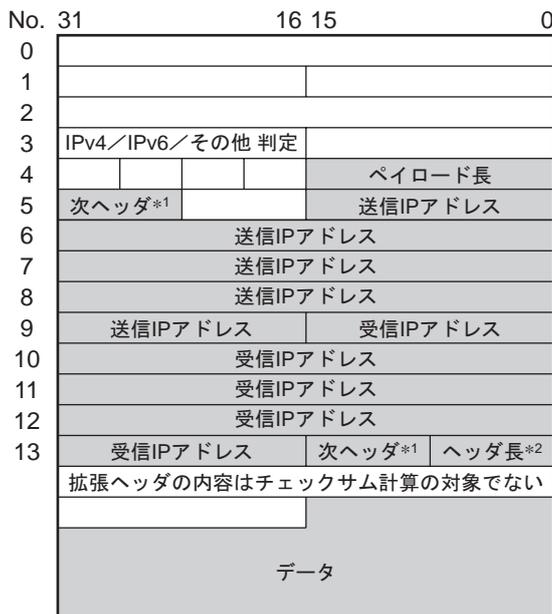
*2 RCS[15:0]の計算は行わずに RCSE=1 にセットされます。

以下に IPv4 パケットの計算対象となる領域を示します。網掛け部分が計算対象になります。

No.	31	16	15	11	8	7	0
0							
1							
2							
3	IPv4/IPv6/その他 判定			IHL*			
4	パケット長						
5							
6	送信IPアドレス						
7	送信IPアドレス			受信IPアドレス			
8	受信IPアドレス						
9	オプションがあれば計算対象から削除						
10	データ						

【注】 * オクテット単位に変更後、チェックサム計算時は減算する。
計算時 {8'h00、プロトコルNo.[7:0]}

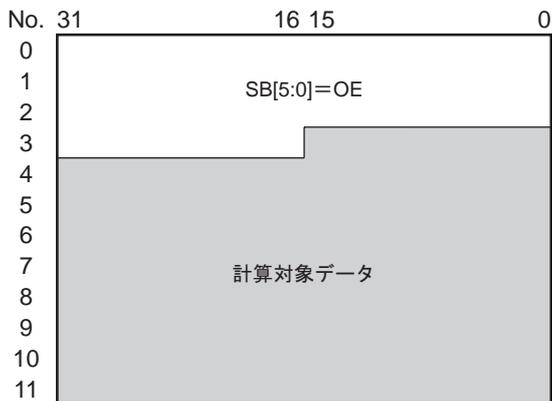
以下に IPv6 パケットの計算対象となる領域を示します。網掛け部分が計算対象になります。



【注】 *1 TCP/UDPのときのみ計算する。計算する場合は {8'h00, 次ヘッダ[7:0]} に拡張する。
 *2 オクテット単位に変更後、チェックサム計算時は減算する。

(2) スキップバイト数指定型全データチェックサム計算モード (CSEBL=1、CSMD=0)

SB[5:0]で指定したバイト数分だけ、パケットの先頭からデータをスキップした後、以降の全有効データをチェックサムの対象として計算を行います。(例：14 バイトスキップ)



13.3.7 使用上の注意

チェックサム計算は、受信データパディング挿入設定レジスタ (RPADIR) によるパディング挿入の影響を受けません。それは、チェックサム計算が、受信データを EtherC から E-DMAC に転送する際に行うのに対し、受信データパディングが、受信データを E-DMAC からメモリ上の受信バッファに転送する際に行うためです。

14. 暗復号・フォワードエラーコレクションコア連動 DMAC (A-DMAC)

14.1 概要

A-DMAC は、エラー訂正機能を内蔵したディスクリプタ方式の高機能 DMAC で、内部共有バス (I-BUS) を介したメモリとのデータ転送、STIF を介した外部 MPEG デバイスとのデータ転送が可能です。

14.1.1 特長

本 A-DMAC の機能および特長を挙げます。

(1) チェックサム処理用チャンネル

- チャンネル数：2チャンネル
- 転送方向：メモリ \leftrightarrow メモリ間、メモリ \leftrightarrow STIF間
- ディスクリプタ構成：チェックサム演算などの連続実行が可能な構造
- エラーチェック：チェックサム計算機能

(2) FEC チャンネル

- チャンネル数：1チャンネル
- ディスクリプタ構成：任意の数のデータを少ないバッファで処理が可能な構造
- エラー訂正 (FEC)：XOR計算機能

(3) その他の特長

- 対応エンディアン：ビッグエンディアン／リトルエンディアン
- STIF接続数：2チャンネル
- チャンネルアービトラージュ：暗号モジュール／バスの高効率使用が可能なラウンドロビン方式
- チャンネル動作：並列処理

14.1.2 A-DMAC の全体構造

A-DMAC は図 14.1 のように構成されています。また、表 14.1 に A-DMAC 内の各サブモジュールの概要を示します。

A-DMAC は、I-BUS インタフェースを通して I-BUS と接続し、STIF0 インタフェースおよび STIF1 インタフェースを通してそれぞれ STIF0、STIF1 と接続しています。I-BUS は B クロックで動作する本 LSI 内部共有バスであり、STIF は MPEG-2 TS/PS フォーマットデータ用の入出力ポートです。なお、STIF0 は CH0 に、STIF1 は CH1 に固定されています。

本 A-DMAC は、ディスクリプタにより動作する 2 本のチェックサム処理用チャンネルを持ちます。また、これとは別に、FEC 演算を行う FEC チャンネルを 1 本持ちます。この FEC チャンネルでは、FEC 演算における XOR 演算を実行します。

これらのモジュールは並列動作します。たとえば、チェックサム処理用チャンネル 0 のバスアクセス時、チェックサム処理用チャンネル 1 ではチェックサム演算を行うことが可能です。

アービタは、チェックサム処理用チャンネル、FEC チャンネルの各イニシエータから送信されるリクエストを調停するモジュールです。アービタはイニシエータからのリクエストをラウンドロビン方式で調停します。CH0 と CH1 を同時実行し、一方のチャンネルの優先順位を上げたい場合、ディスクリプタリング単位で優先順位を制御するか（例：優先順位の低いチャンネルのディスクリプタが枯渇したら一定のアイドル後、次のディスクリプタを積み上げる）、優先順位の低いチャンネル処理を中断することで優先順位を制御します。

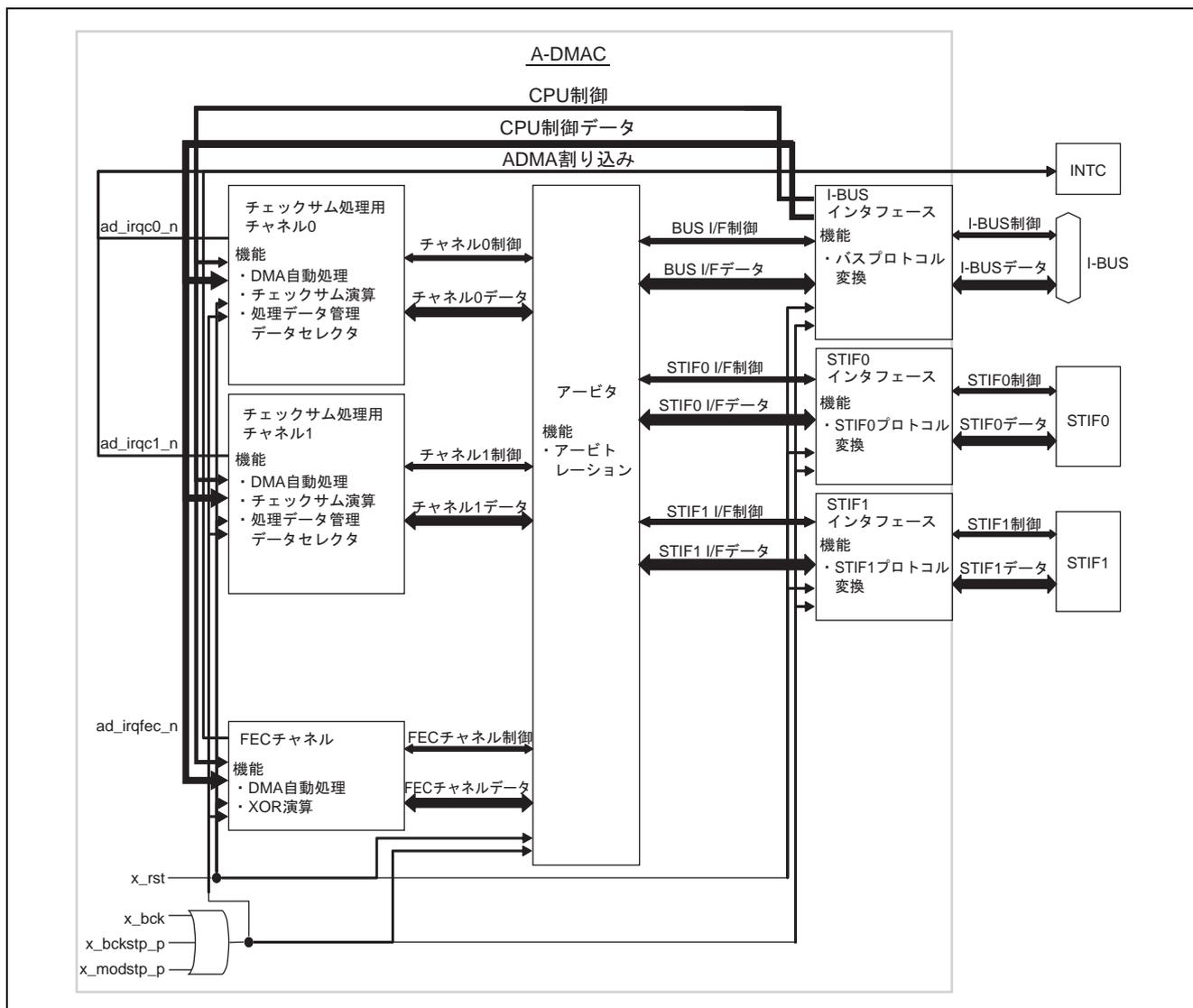


図 14.1 A-DMAC ブロック図

表 14.1 サブモジュール一覧

サブモジュール名	機 能
チェックサム処理用チャンネル	<ul style="list-style-type: none"> • ディスクリプタによる DMA 自動処理 • チェックサム演算 • チェックサム連続実行機能
FEC チャンネル	<ul style="list-style-type: none"> • ディスクリプタによる DMA 自動処理 • 任意の数のデータの XOR 演算
アービタ	<ul style="list-style-type: none"> • チェックサム処理用チャンネル、FEC チャンネルからのリクエストを調停 • チャンネルの調停方式はラウンドロビン方式
I-BUS インタフェース	<ul style="list-style-type: none"> • I-BUS プロトコル-A-DMAC プロトコル間の変換 • CPU からのレジスタ R/W リクエストを各モジュールに分配
STIF インタフェース	<ul style="list-style-type: none"> • STIF プロトコル-A-DMAC プロトコル間の変換 • STIF0 は暗号/認証用チャンネル 0 に固定 • STIF1 は暗号/認証用チャンネル 1 に固定

14.1.3 A-DMAC の制限

A-DMAC では以下の制限があります。

- レジスタアクセスは32ビット単位のみ対応
- チャンネル処理部、FEC処理部のいずれかが動作中の場合、当該処理部に関連したレジスタへの書き込みは禁止します。ただし、次の2種のレジスタについては、書き込み後のベリファイをすることで、当該チャンネル処理部が動作中も書き込み可能です。ベリファイが成功するまで、繰り返し書き込みしてください。
 - チャンネル[i]処理制御レジスタ (C[i]C) (ただし、動作中のチャンネル処理部の C[i]C_R ビットは書き換えないでください。)
 - チャンネル[i]処理割り込み要求レジスタ (C[i]I)
- データサイズ0のディスクリプタは禁止

14.2 レジスタの説明

A-DMAC には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 28 章 レジスタ一覧」を参照してください。

- チャンネル[i]処理制御レジスタ (C[i]C) (i=0、1)
- チャンネル[i]処理モードレジスタ (C[i]M) (i=0、1)
- チャンネル[i]処理割り込み要求レジスタ (C[i]I) (i=0、1)
- チャンネル[i]処理ディスクリプタ開始アドレスレジスタ (C[i]DSA) (i=0、1)
- チャンネル[i]処理ディスクリプタ現在アドレスレジスタ (C[i]DCA) (i=0、1)
- チャンネル[i]処理ディスクリプタ0レジスタ (C[i]D0) 【制御】 (i=0、1)
- チャンネル[i]処理ディスクリプタ1レジスタ (C[i]D1) 【ソースアドレス】 (i=0、1)
- チャンネル[i]処理ディスクリプタ2レジスタ (C[i]D2) 【デスティネーションアドレス】 (i=0、1)
- チャンネル[i]処理ディスクリプタ3レジスタ (C[i]D3) 【データ長】 (i=0、1)
- チャンネル[i]処理ディスクリプタ4レジスタ (C[i]D4) 【チェックサム値ライトアドレス】 (i=0、1)
- FEC DMAC処理制御レジスタ (FECC)
- FEC DMAC処理割り込み要求レジスタ (FECI)
- FEC DMAC処理ディスクリプタ開始アドレスレジスタ (FECDSA)
- FEC DMAC処理ディスクリプタ現在アドレスレジスタ (FECDCA)
- FEC DMAC処理ディスクリプタ0レジスタ (FECD00) 【制御】
- FEC DMAC処理ディスクリプタ1レジスタ (FECD01D0A) 【デスティネーションアドレス】
- FEC DMAC処理ディスクリプタ2レジスタ (FECD02S0A) 【ソース0アドレス】
- FEC DMAC処理ディスクリプタ3レジスタ (FECD03S1A) 【ソース1アドレス】

14.2.1 チャンネル[i]処理制御レジスタ (C[i]C) (i=0、1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	C[i]C_R
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	C[i]C_DWF	-	-	-	C[i]C_VLD	-	-	-	C[i]C_EIE	-	-	-	C[i]C_E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
16	C[i]C_R	0	R/W	リセット 停止中に1を書き込むことでチャンネル[i]の計算のシーケンスがリセットされます。本ビットは自動的にすぐに0に設定されます。本レジスタ実行ビット (C[i]C_E) とともに1を設定すると、チャンネル[i]の処理を新規に開始します。
15~13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12	C[i]C_DWF	0	R	ディスクリプタ処理終了後の WAIT 状態フラグ 0: 非 WAIT 状態 1: WAIT 状態 DMAC チャンネル[i]のディスクリプタ処理動作状態を把握するには、DMAC チャンネル[i]ディスクリプタ設定時に C[i]DWE に1を設定し、C[i]DIE に1を設定して割り込み「1 ディスクリプタ処理終了」要求を受ける方法と、本ビットの値が1になるまで観測する方法があります。
11~9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
8	C[i]C_VLD	0	R/W	可変長ディスクリプタ制御フラグ 0: 固定長ディスクリプタ (32 バイト) 1: 可変長ディスクリプタ (16/32 バイト) A-DMAC チャンネルは 32 バイトの固定長、もしくは 16/32 バイトの可変長構造を取ります。本ビットを0としてディスクリプタを固定長とした場合、常に 32 バイトとしてディスクリプタをリードします。本ビットを1としてディスクリプタを可変長とした場合、先頭 16 バイトをリードし、r_cidm/r_cihm の内容に従い r_cid4/r_cid5/r_cid6/r_cid7 の情報が必要であれば残りの 16 バイトをリードします。
7~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
4	C[i]C_EIE	0	R/W	<p>割り込み「処理終了」要求イネーブル</p> <p>処理を終了した場合に割り込み要求するかどうかを指定します。</p> <p>0：割り込み「処理終了」要求禁止</p> <p>1：割り込み「処理終了」要求許可</p> <p>A-DMAC チャンネル[i]の処理終了とは、ディスクリプタが枯渇した場合（無効ディスクリプタ（C[i]F0=0）であるディスクリプタ）をフェッチした場合を示します。</p>
3~1	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
0	C[i]C_E	0	R/W	<p>実行要求</p> <p>本ビットに1を設定するとチャンネル[i]処理を開始し、処理中に0を設定すると処理を中断します。本ビットへ0をライトすると、ただちに0がリードされる状態になりますが、チャンネル[i]処理部はただちに停止せず、処理中のディスクリプタに対するライトバック動作まで行った後、停止します。チャンネル動作状態を把握するには、C[i]C_EIEに1を設定して割り込み「動作終了」要求を受けるか、割り込み「動作終了」要求フラグをポーリングしてください。なお、処理を新規に開始する場合には、STIFのチャンネル[i]は初期化されている必要があります。</p> <p>0：チャンネル[i]処理停止中</p> <p>1：チャンネル[i]処理実行中</p> <p>処理中断の判定はディスクリプタのライトバック時に行います。</p>

14.2.2 チャネル[i]処理モードレジスタ (C[i]M) (i=0、1)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	C[i]M_LIE	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
4	C[i]M_LIE	0	R/W	割り込み「最終ディスクリプタ処理終了」要求イネーブル データ最終 (C[i]F2=1) のディスクリプタ処理が終了した場合に割り込み要求するかどうかを指定します。 0: 割り込み「データ最終ディスクリプタ処理終了」要求禁止 1: 割り込み「データ最終ディスクリプタ処理終了」要求許可
3~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

14.2.3 チャンネル[i]処理割り込み要求レジスタ (C[i]I) (i=0、1)

本レジスタ全ビットの論理和の否定として ad_irqc[i]_n がアサートされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	C[i]I_DI	-	-	-	C[i]I_LI	-	-	-	-	-	-	-	C[i]I_EI
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
12	C[i]I_DI	0	R/W	割り込み「1 ディスクリプタ処理終了」要求 (ディスクリプタの処理を終了し、ディスクリプタのライトバックを行ったことを通知するための割り込みです。) 本ビットは値1をライトすることにより0クリアされます。0をライトした場合は状態を保持します。 0: 割り込み「1 ディスクリプタ処理終了」非要求中 1: 割り込み「1 ディスクリプタ処理終了」要求中
11~9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
8	C[i]I_LI	0	R/W	割り込み「連続データ最終ディスクリプタ処理終了」要求 (C[i]IF2=1であるディスクリプタに記述されている処理を終了したことを通知するための割り込み要求です。) 本ビットは値1をライトすることにより0クリアされます。0をライトした場合は状態を保持します。 0: 割り込み「最終ディスクリプタ処理終了」非要求中 1: 割り込み「最終ディスクリプタ処理終了」要求中
7~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	C[i]I_EI	0	R/W	割り込み「処理終了」要求 割り込み「処理終了」を要求していることを表しています。 本ビットは値1をライトすることにより0クリアされます。0をライトした場合は状態を保持します。 0: 割り込み「処理終了」非要求中 1: 割り込み「処理終了」要求中 なお、「処理終了」とはディスクリプタが枯渇した場合 (無効ディスクリプタ (C[i]IF0=0) であるディスクリプタ) をフェッチした場合を示します。

14.2.4 チャンネル[i]処理ディスクリプタ開始アドレスレジスタ (C[i]DSA) (i=0、1)

本レジスタは C[i]C_E が 1 であるときには書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C[i]DSA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C[i]DSA[15:4]												C[i]DSA[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	C[i]DSA[31:4]	すべて 0	R/W	ディスクリプタリング開始アドレス
3~0	C[i]DSA[3:0]	すべて 0	R	ディスクリプタリングの開始アドレスを指定します。16 バイト境界のアドレス値を設定してください。

14.2.5 チャンネル[i]処理ディスクリプタ現在アドレスレジスタ (C[i]DCA) (i=0、1)

本レジスタは C[i]C_E が 1 であるときには書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C[i]DCA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C[i]DCA[15:4]												C[i]DCA[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	C[i]DCA[31:4]	すべて 0	R/W	ディスクリプタ現在アドレス
3~0	C[i]DCA[3:0]	すべて 0	R	ディスクリプタ処理の開始アドレスを指定します。16 バイト境界のアドレス値を設定してください。ディスクリプタ処理中には現在処理中のディスクリプタのアドレスを、ディスクリプタライトバック後には次のディスクリプタのアドレスを表します。

14.2.6 チャンネル[i]処理ディスクリプタ 0 レジスタ (C[i]D0) 【制御】 (i=0、1)

本レジスタは C[i]C_E が 1 であるときには書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C[i]CRDO[3:0]				C[i]CHDO[3:0]				C[i]SO[3:0]			C[i]DA	C[i]SA	C[i]CSM[1:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	C[i]F2	C[i]F1	C[i]F0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~28	C[i]CRDO[3:0]	すべて 0	R/W	<p>転送デスティネーションデータ順序</p> <p>A-DMAC から STIF や SDRAM などへ転送データを書き込む際のスワップ方法を指定します。本体データから得られたチェックサム演算結果を書き込む際のスワップ方法は、本ビットではなく C[i]CHDO[3:0]で指定します。</p> <ul style="list-style-type: none"> デスティネーションが STIF ではない場合 (C[i]DA ビット=0) <p>C[i]CRDO3 : 2 バイト単位のデータ交換 (ロングワードをワード単位スワップ)</p> <p>0 : そのまま 1 : スワップ</p> <p>C[i]CRDO2 : 1 バイト単位のデータ交換 (ワードをバイト単位スワップ)</p> <p>0 : そのまま 1 : スワップ</p> <p>C[i]CRDO1 : 1 バイト、2 バイトアクセス時にアドレスのビット 1 の反転</p> <p>0 : そのまま 1 : 反転</p> <p>C[i]CRDO0 : 1 バイトアクセス時にアドレスのビット 0 の反転</p> <p>0 : そのまま 1 : 反転</p> <p>C[i]CRDO[1:0]はエンディアンの調整のため機能します。本 LSI のエンディアンと異なるエンディアンを使用される場合は、先頭アドレスと終端アドレスが指定されたアドレスから最大 3 異なるアドレスにアクセスすることになりますので、領域の確保時に注意してください。</p> <ul style="list-style-type: none"> デスティネーションが STIF の場合 (C[i]DA ビット=1) <p>C[i]CRDO3 : 2 バイト単位のデータ交換 (ロングワードをワード単位スワップ)</p> <p>0 : そのまま 1 : スワップ</p> <p>C[i]CRDO2 : 1 バイト単位のデータ交換 (ワードをバイト単位スワップ)</p> <p>0 : そのまま 1 : スワップ</p> <p>C[i]CRDO1 : 1 ビット単位のデータ交換 (バイトを 1 ビット単位でスワップ)</p> <p>0 : そのまま 1 : スワップ</p> <p>C[i]CRDO0 : リザーブ 0 を設定してください。</p>

ビット	ビット名	初期値	R/W	説明
27~24	C[i]CHDO[3:0]	すべて 0	R/W	<p>チェックサム演算結果デスティネーションデータ順序</p> <p>A-DMAC から SDRAM などへチェックサム演算結果を書き込む際のスワップ方法を指定します。チェックサム演算後の本体データを書き込む際のスワップ方法は、本ビットではなく C[i]CRDO[3:0]ビットで指定します。</p> <p>C[i]CHDO3 : 2 バイト単位のデータ交換 (ロングワードをワード単位スワップ)</p> <p>0 : そのまま 1 : スワップ</p> <p>C[i]CHDO2 : 1 バイト単位のデータ交換 (ワードをバイト単位スワップ)</p> <p>0 : そのまま 1 : スワップ</p> <p>C[i]CHDO1 : 1 バイト、2 バイトアクセス時にアドレスのビット 1 の反転</p> <p>0 : そのまま 1 : 反転</p> <p>C[i]CHDO0 : 1 バイトアクセス時にアドレスのビット 0 の反転</p> <p>0 : そのまま 1 : 反転</p> <p>C[i]CHDO[1:0]はエンディアン調整のため機能します。本 LSI のエンディアンと異なるエンディアンを使用される場合は、先頭アドレスと終端アドレスが指定されたアドレスから最大 3 異なるアドレスにアクセスすることになりますので、領域の確保時に注意してください。</p>

ビット	ビット名	初期値	R/W	説明
23~20	C[i]SO[3:0]	すべて 0	R/W	<p>ソースデータ順序</p> <p>STIF や SDRAM などのメモリから A-DMAC ヘデータを読み出す際のスワップ方法を指定します。</p> <ul style="list-style-type: none"> ソースが STIF ではない場合 (C[i]SA ビット=0) <p>C[i]SO3 : 2 バイト単位のデータ交換 (ロングワードをワード単位スワップ)</p> <p>0 : そのまま</p> <p>1 : スワップ</p> <p>C[i]SO2 : 1 バイト単位のデータ交換 (ワードをバイト単位スワップ)</p> <p>0 : そのまま</p> <p>1 : スワップ</p> <p>C[i]SO1 : 1 バイト、2 バイトアクセス時にアドレスのビット 1 の反転</p> <p>0 : そのまま</p> <p>1 : 反転</p> <p>C[i]SO0 : 1 バイトアクセス時にアドレスのビット 0 の反転</p> <p>0 : そのまま</p> <p>1 : 反転</p> <p>C[i]SO[1:0]はエンディアンの調整のため機能します。本 LSI のエンディアンと異なるエンディアンを使用される場合は、先頭アドレスと終端アドレスが指定されたアドレスから最大 3 異なるアドレスにアクセスすることになりますので、領域の確保時に注意してください。</p> <ul style="list-style-type: none"> ソースが STIF の場合 (C[i]SA ビット=1) <p>C[i]SO3 : 2 バイト単位のデータ交換 (ロングワードをワード単位スワップ)</p> <p>0 : そのまま</p> <p>1 : スワップ</p> <p>C[i]SO2 : 1 バイト単位のデータ交換 (ワードをバイト単位スワップ)</p> <p>0 : そのまま</p> <p>1 : スワップ</p> <p>C[i]SO1 : 1 ビット単位のデータ交換 (バイトを 1 ビット単位でスワップ)</p> <p>0 : そのまま</p> <p>1 : スワップ</p> <p>C[i]SO0 : リザーブ 0 を設定してください。</p>
19	C[i]DA	0	R/W	<p>デスティネーション属性</p> <p>データの読み出し元が STIF のチャンネル[i] (デスティネーションアドレスを利用しない) あるいはデスティネーションアドレスを利用する (SDRAM などのメモリ) のうちどちらであるかを指定します。</p> <p>0 : デスティネーションアドレスを利用 (SDRAM など)</p> <p>1 : STIF のチャンネル[i]</p>

ビット	ビット名	初期値	R/W	説明
18	C[i]SA	0	R/W	ソース属性 データの読み出し元が STIF のチャンネル[i] (ソースアドレスを利用しない) あるいはソースアドレスを利用する (SDRAM などのメモリ) のうちどちらであるかを指定します。 0 : ソースアドレスを利用 (SDRAM など) 1 : STIF のチャンネル[i]
17、16	C[i]CSM[1:0]	00	R/W	チェックサムモード 00 : チェックサム (初期化なし、ライトバックなし) データ先頭でない データ末端でない 01 : チェックサム (初期化なし、ライトバックあり) データ先頭でない データ末端 10 : チェックサム (初期化あり、ライトバックなし) データ先頭 データ末端でない 11 : チェックサム (初期化あり、ライトバックあり) データ先頭 データ末端
15~3	—	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
2	C[i]F2	0	R/W	ディスクリプタ実行フラグ 2 連続データを複数のディスクリプタに分割して実行する際、最後のデータ部分を処理するディスクリプタにて本ビットを 1 設定します (次のディスクリプタを処理するために A-DMAC 内部のポインタを初期化する必要があるため)。 0 : 連続データ非最終ディスクリプタ 1 : 連続データ最終ディスクリプタ
1	C[i]F1	0	R/W	ディスクリプタ実行フラグ 1 本ビットが 1 の場合、本ディスクリプタをディスクリプタリング領域の最終ディスクリプタと見なし、本ディスクリプタの処理が終了すると、ディスクリプタリング領域の先頭 (ディスクリプタ開始アドレス) に戻ります。 0 : ディスクリプタリング非最終 1 : ディスクリプタリング最終

ビット	ビット名	初期値	R/W	説明
0	C[i]F0	0	R/W	ディスクリプタ実行フラグ 0 本ビットが 0 の場合、本ディスクリプタは無効のため処理を終えます。本ビットが 1 の場合、本ディスクリプタは有効です。有効ディスクリプタの場合には本ディスクリプタの処理が終了した後、本ビットを 0 に設定して元のアドレスにライトバックします。 0 : 無効ディスクリプタ 1 : 有効ディスクリプタ

14.2.7 チャネル[i]処理ディスクリプタ 1 レジスタ (C[i]D1) 【ソースアドレス】 (i=0、1)

本レジスタは C[i]C_E が 1 であるときには書き込まないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C[i]D1[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C[i]D1[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	C[i]D1[31:0]	すべて 0	R/W	ソースアドレス ソースアドレスを指定します。ソースへのアクセスがメモリを参照する場合に使用し、STIF では使用しません。 また、連続データを複数のディスクリプタに分割して実行する場合、すべてのディスクリプタで同じソースアドレスを指定してください。

14.2.8 チャンネル[i]処理ディスクリプタ 2 レジスタ (C[i]D2) 【デスティネーションアドレス】 (i=0, 1)

本レジスタは C[i]C_E が 1 であるときには書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C[i]D2[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C[i]D2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	C[i]D2[31:0]	すべて 0	R/W	転送データデスティネーションアドレス 転送データをライトするデスティネーションアドレスを指定します。 また、連続データを複数のディスクリプタに分割して実行する場合、すべてのディスクリプタで同じソースアドレスを指定してください。

14.2.9 チャンネル[i]処理ディスクリプタ 3 レジスタ (C[i]D3) 【データ長】 (i=0, 1)

本レジスタは C[i]C_E が 1 であるときには書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	C[i]DWE	C[i]DIE	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C[i]D3[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31, 30	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
29	C[i]DWE	0	R/W	割り込み「1 ディスクリプタ処理終了」解除待ちイネーブル 本ビットが 1 の場合、割り込み「1 ディスクリプタ処理終了」を要求中であれば、次のディスクリプタの処理に移る前にその割り込みが解除されるのを待ちます。 0: 割り込み「1 ディスクリプタ処理終了」非観測 1: 割り込み「1 ディスクリプタ処理終了」解除待ち許可

ビット	ビット名	初期値	R/W	説明
28	C[i]DIE	0	R/W	割り込み「1 ディスクリプタ処理終了」要求イネーブル 本ディスクリプタの処理が終了したときに割り込み要求するかどうかを指定します。本割り込み要求を行っても処理は終了しません。 0 : 割り込み「1 ディスクリプタ処理終了」要求禁止 1 : 割り込み「1 ディスクリプタ処理終了」要求許可
27~16	—	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15~0	C[i]D3[15:0]	すべて0	R/W	対象データサイズ (バイト長) 本ビットで指定できるサイズは $0 < C[i]D3[15:0] \leq 2^{16}-96$ となります。 基本的に対象処理のブロック長の倍数で設定してください。チェックサムなら2バイトとなります。 複数のディスクリプタをまたいで連続データを扱う場合、各ディスクリプタで指定したサイズの総計をブロック長の倍数に設定してください。 また、サイズの総計が 2^{32} 以下となるよう設定してください。

14.2.10 チャネル[i]処理ディスクリプタ 4 レジスタ (C[i]D4)

【チェックサム値ライトアドレス】 (i=0, 1)

本レジスタは C[i]C_E が 1 であるときには書き込まないでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	C[i]D4[31:16]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	C[i]D4[15:1]															-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31~1	C[i]D4[31:1]	すべて0	R/W	チェックサム計算結果のライトアドレス。下位4ビットは0とし、2バイト境界のアドレスを設定してください。
0	—	0	R	

14.2.11 FEC DMAC 処理制御レジスタ (FECC)

中断指示は処理中のディスクリプタの処理完了（ディスクリプタライトバック）後、評価します。評価時に FECC_E が 1 であれば WAIT サイクルに入ります。WAIT サイクル中に FECC_E に 1 が書き込まれ再び起動された場合は、直前にライトバックしたディスクリプタが最終ディスクリプタでなければ次のディスクリプタリードに遷移します。最終ディスクリプタの場合は処理を終了し IDLE 状態となります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	FECC_R	-	-	-	FECC_DWF	-	-	-	FECC_DWE	-	-	-	FECC_DIE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	FECC_LIE	-	-	-	FECC_NIE	-	-	-	FECC_EIE	-	-	-	FECC_E
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W												

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
28	FECC_R	0	R/W	リセット 停止中に 1 を書き込むことで FEC 処理のシーケンスがリセットされます。本ビットは自動的にすぐに 0 に設定されます。本レジスタ実行ビット (FECC_E) とともに 1 を設定すると、FEC 処理を新規に開始します。 ただし、次の各ビットを除きます。 FECC_DWE、FECC_DIE、FECC_LIE、FECC_NIE、FECC_EIE、FECC_E、FECDCA の各ビット
27~25	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
24	FECC_DWF	0	R	ディスクリプタ処理終了後の WAIT 状態フラグ 0 : 非 WAIT 状態 1 : WAIT 状態 FEC DMAC のディスクリプタ処理動作状態を把握するには、FEC DMAC 実行時に FECC_DWE に 1 を設定し、FECC_DIE に 1 を設定して割り込み「1 ディスクリプタ処理終了」要求を受ける方法と本ビットの値が 1 になるまで観測する方法があります。
23~21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
20	FECC_DWE	0	R/W	<p>割り込み「1 ディスクリプタ処理終了」解除待ちイネーブル</p> <p>本ビットが1の場合、このディスクリプタの処理を終了し、ライトバック後 FECC_DIE が0 でなければ WAIT 状態に遷移します。FEC DMAC は割り込み「1 ディスクリプタ処理終了」を要求中であれば、次のディスクリプタの処理に移る前にその割り込みが解除されるのを待ちます。割り込みが解除されると本ディスクリプタが最終ディスクリプタであれば処理を終了し、IDLE に遷移します。最終ディスクリプタでなければ次のディスクリプタのリードを行います。</p> <p>0 : 割り込み「1 ディスクリプタ処理終了」要求時に WAIT しない。 1 : 割り込み「1 ディスクリプタ処理終了」要求時に WAIT する</p>
19~17	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
16	FECC_DIE	0	R/W	<p>割り込み「1 ディスクリプタ処理終了」要求イネーブル</p> <p>本ディスクリプタの処理が終了したときに割り込み要求するかどうかを指定します。本割り込み要求を行っても処理は終了しません。FECC_DI のマスクとして機能します。</p> <p>0 : 割り込み「1 ディスクリプタ処理終了」要求禁止 1 : 割り込み「1 ディスクリプタ処理終了」要求許可</p>
15~13	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
12	FECC_LIE	0	R/W	<p>割り込み「最終ディスクリプタ処理終了」通知割り込み要求イネーブル</p> <p>動作すべき最終ディスクリプタの処理が終了した場合に割り込み要求するかどうかを指定します。(FECC_LI のマスク)</p> <p>0 : 割り込み「最終ディスクリプタ処理終了」要求禁止 1 : 割り込み「最終ディスクリプタ処理終了」要求許可</p>
11~9	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
8	FECC_NIE	0	R/W	<p>割り込み「無効ディスクリプタ」通知割り込み要求イネーブル</p> <p>無効ディスクリプタをフェッチした場合に割り込み要求するかどうかを指定します (FECC_NI のマスク)。</p> <p>0 : 割り込み「無効ディスクリプタ」要求禁止 1 : 割り込み「無効ディスクリプタ」要求許可</p>
7~5	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込み時も常に0にしてください。</p>
4	FECC_EIE	0	R/W	<p>割り込み「処理終了」要求イネーブル</p> <p>処理を終了した場合に割り込み要求するかどうかを指定します (FECC_EI のマスク)。</p> <p>0 : 「処理終了」割り込み要求禁止 1 : 「処理終了」割り込み要求許可</p>

ビット	ビット名	初期値	R/W	説明
3~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
0	FECC_E	0	R/W	実行要求 本ビットに 1 を設定すると FEC 処理を開始し、処理中に 0 を設定すると処理を中断します。本ビットは処理終了後には自動的に 0 に設定されます。FEC DMAC の動作状態を把握するには、FEC DMAC 実行時に FECC_EIE に 1 を設定して割り込み「動作終了」要求を受ける方法と、本ビットの値が 0 になるまで観測する方法があります。 0 : FEC 処理停止中 1 : FEC 処理実行中

14.2.12 FEC DMAC 処理割り込み要求レジスタ (FECI)

本レジスタ全ビットの論理和の否定として `ad_irqfec_n` がアサートされます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	FECI_DI	-	-	-	FECI_LI	-	-	-	FECI_NI	-	-	-	FECI_EI
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W												

ビット	ビット名	初期値	R/W	説明
31~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
12	FECI_DI	0	R/W	割り込み「1 ディスクリプタ処理終了」通知の割り込み要求。 1 ディスクリプタの処理を終了しディスクリプタのライトバックを行った後、この割り込みによって、その終了を通知します。 本ビットは 1 をライトすることにより 0 クリアされます。0 をライトした場合は状態を保持します。 本割り込みはディスクリプタの FECC_DIE ビットでマスクされます。 0 : 割り込み「1 ディスクリプタ処理終了」非要求中 1 : 割り込み「1 ディスクリプタ処理終了」要求中
11~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
8	FECI_LI	0	R/W	<p>割り込み「最終ディスクリプタ (FEC D00_F2=1 であるディスクリプタ) 処理終了」通知の割り込み要求。</p> <p>「最終ディスクリプタ」のライトバックを行った後に、この割り込みによってその終了を通知します。FEC DMAC は処理を終了し、IDLE 状態となっています。</p> <p>本ビットは 1 をライトすることにより 0 クリアされます。0 をライトした場合は状態を保持します。本ビットがセットされている場合は、FEC DMAC はディスクリプタ枯渇により初期状態に遷移しています。ディスクリプタを補充して再起動してください。</p> <p>本割り込みはレジスタ FECC_LIE ビットでマスクされます。</p> <p>0 : 割り込み「最終ディスクリプタ処理終了」非要求中 1 : 割り込み「最終ディスクリプタ処理終了」要求中</p>
7~5	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
4	FECI_NI	0	R/W	<p>割り込み「無効ディスクリプタ (FEC D00_F0=0 であるディスクリプタ)」リードによる終了通知の割り込み要求。この要求時、FEC DMAC は処理を終了し、IDLE 状態となっています。</p> <p>本ビットは 1 をライトすることにより 0 クリアされます。0 をライトした場合は状態を保持します。本割り込みはレジスタ FECC_NIE ビットでマスクされます。本ビットがセットされている場合は、FEC DMAC はディスクリプタ枯渇により初期状態に遷移しています。ディスクリプタを補充して再起動してください。</p> <p>0 : 割り込み「無効ディスクリプタ処理終了」非要求中 1 : 割り込み「無効ディスクリプタ処理終了」要求中</p>
3~1	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。</p>
0	FECI_EI	0	R/W	<p>割り込み「処理終了」要求</p> <p>FECI_LI または FECI_NI の割り込み要因によって処理を終了し、FEC DMAC が IDLE 状態となっていることを通知する割り込みの状態を示します。</p> <p>本ビットは 1 をライトすることにより 0 クリアされます。0 をライトした場合は状態を保持します。本割り込みはレジスタ FECC_EIE ビットでマスクされます。</p> <p>本ビットがセットされている場合は、FEC DMAC はディスクリプタ枯渇により初期状態に遷移しています。ディスクリプタを補充して再起動してください。</p> <p>0 : 割り込み「処理終了」非要求中 1 : 割り込み「処理終了」要求中</p>

14.2.13 FEC DMAC 処理ディスクリプタ開始アドレスレジスタ (FECDSA)

本レジスタは FECC_E が 1 であるときには書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FECDSA[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FECDSA[15:4]												FECDSA[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	FECDSA[31:4]	すべて 0	R/W	ディスクリプタリング開始アドレス
3~0	FECDSA[3:0]	すべて 0	R	ディスクリプタリングの開始アドレスを指定します。16 バイト境界のアドレス値を設定してください。

14.2.14 FEC DMAC 処理ディスクリプタ現在アドレスレジスタ (FECDC A)

本レジスタは FECC_E が 1 であるときには書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FECDC A[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FECDC A[15:4]												FECDC A[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~4	FECDC A[31:4]	すべて 0	R/W	ディスクリプタ現在アドレス
3~0	FECDC A[3:0]	すべて 0	R	ディスクリプタ処理の開始アドレスを指定します。16 バイト境界のアドレス値を設定してください。ディスクリプタ処理中には現在処理中のディスクリプタのアドレスを、ディスクリプタライトバック後には次のディスクリプタのアドレスを表します。最終フラグの立ったディスクリプタの処理終了後に IDLE 状態に移した際、本レジスタは最終フラグの立っているディスクリプタの次のディスクリプタのアドレスを示しています。

14.2.15 FEC DMAC 処理ディスクリプタ 0 レジスタ (FECD00) 【制御】

本レジスタは FECC_E が 1 であるときには書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	FECD00_SZ[15:0]																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	FECD00_DO[3:0]			FECD00_SO[3:0]			FECD00_SN[3:0]			FECD00_DRE	FECD00_F2	FECD00_F1	FECD00_F0				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット	ビット名	初期値	R/W	説明
31~16	FECD00_SZ[15:0]	すべて 0	R/W	データサイズ (バイト長) 処理対象データのバイトサイズを指定します。0~65504 の値を設定してください。65505~65536 の値は設定しないでください。
15~12	FECD00_DO[3:0]	すべて 0	R/W	本ビットは、デスティネーションリード/ライト時に機能するビットです。 FECD00_DO3 : 2 バイト単位のデータ交換 (ロングワードをワード単位スワップ) 0 : そのまま 1 : スワップ FECD00_DO2 : 1 バイト単位のデータ交換 (ワードをバイト単位スワップ) 0 : そのまま 1 : スワップ FECD00_DO1 : 1 バイト、2 バイトアクセス時にアドレスのビット 1 の反転 0 : そのまま 1 : 反転 FECD00_DO0 : 1 バイトアクセス時にアドレスのビット 0 の反転 0 : そのまま 1 : 反転 FECD00_DO[1:0]はエンディアンの調整のため機能します。本 LSI のエンディアンと異なるエンディアンを使用される場合は、先頭アドレスと終端アドレスが指定されたアドレスから最大 3 異なるアドレスにアクセスすることになりますので、領域の確保時に注意してください。

ビット	ビット名	初期値	R/W	説明
11~8	FECD00_SO[3:0]	すべて 0	R/W	<p>本ビットは、ソースリード時に機能するビットです。</p> <p>FECD00_SO3 : 2 バイト単位のデータ交換 (ロングワードをワード単位スワップ) 0 : そのまま 1 : スワップ</p> <p>FECD00_SO2 : 1 バイト単位のデータ交換 (ワードをバイト単位スワップ) 0 : そのまま 1 : スワップ</p> <p>FECD00_SO1 : 1 バイト、2 バイトアクセス時にアドレスのビット 1 の反転 0 : そのまま 1 : 反転</p> <p>FECD00_SO0 : 1 バイトアクセス時にアドレスのビット 0 の反転 0 : そのまま 1 : 反転</p> <p>FECD00_SO[1:0]はエンディアンの調整のため機能します。本 LSI のエンディアンと異なるエンディアンを使用される場合は、先頭アドレスと終端アドレスが指定されたアドレスから最大 3 異なるアドレスにアクセスすることになりますので、領域の確保時に注意してください。</p>
7~4	FECD00_SN[3:0]	すべて 0	R/W	<p>ソースアドレス数。</p> <p>FEC 演算対象のソースアドレス数を指定してください。</p> <p>0000 : ソース数 1 0001 : ソース数 2 そのほか : リザーブ設定しないでください。</p>
3	FECD00_DRE	0	R/W	<p>デスティネーションリードイネーブル</p> <p>0 : デスティネーションのリードを行わない 1 : デスティネーションのリードを行い、その値を更新する</p>
2	FECD00_F2	0	R/W	<p>ディスクリプタ実行フラグ 2</p> <p>本ビットが 1 の場合、本ディスクリプタが動作すべき最終ディスクリプタであることを明示します。(最終ディスクリプタを示す他の方法は、その直後に無効ディスクリプタを置くことです。)</p> <p>0 : 動作非最終ディスクリプタ 1 : 動作最終ディスクリプタ</p>

ビット	ビット名	初期値	R/W	説明
1	FECD00_F1	0	R/W	ディスクリプタ実行フラグ1 本ビットが1の場合、本ディスクリプタをディスクリプタリング領域の最終ディスクリプタと見なし、本ディスクリプタの処理が終了すると、ディスクリプタリング領域の先頭（ディスクリプタ開始アドレス）に戻ります。 0：ディスクリプタリング非最終 1：ディスクリプタリング最終
0	FECD00_F0	0	R/W	ディスクリプタ実行フラグ0 本ビットが0の場合、本ディスクリプタは無効のため処理を終えます。FECD00_F0=0のディスクリプタを処理した場合、FECC_E=0として処理を中断します。 本ビットが1の場合、本ディスクリプタは有効です。有効ディスクリプタの場合には本ディスクリプタの処理が終了した後、本ビットを0に設定して元のアドレスにライトバックします。 0：無効ディスクリプタ 1：有効ディスクリプタ

14.2.16 FEC DMAC 処理ディスクリプタ 1 レジスタ (FECD01D0A) 【デスティネーションアドレス】

本レジスタは FECC_E が 1 であるときには書き込まないでください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FECD01D0A[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FECD01D0A[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	FECD01D0A[31:0]	すべて0	R/W	デスティネーションアドレス 処理データのライトバック先デスティネーションアドレスを指定します。

14.2.17 FEC DAMC 処理ディスクリプタ 2 レジスタ (FECD02S0A) 【ソース 0 アドレス】

本レジスタは FECC_E が 1 であるときには書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FECD02S0A[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FECD02S0A[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	FECD02S0A[31:0]	すべて 0	R/W	ソース 0 データの先頭アドレスを指定します。

14.2.18 FEC DAMC 処理ディスクリプタ 3 レジスタ (FECD03S1A) 【ソース 1 アドレス】

本レジスタは FECC_E が 1 であるときには書き込まないでください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FECD03S1A[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FECD03S1A[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	FECD03S1A[31:0]	すべて 0	R/W	ソース 1 データの先頭アドレスを指定します。

14.3 機能の説明

A-DMAC が持つエラー訂正機能を表 14.2 に示します。

表 14.2 A-DMAC ファンクション

分類	項目	説明	準拠/対応規格
エラー検出	チェックサム	<ul style="list-style-type: none"> 1 の補数和演算 	RFC1071 対応
エラー訂正	FEC	<ul style="list-style-type: none"> FEC XOR 演算 任意の FEC 行列数に対応 	RFC2733 Pro-MPEG 対応

14.3.1 DMAC チャネル機能

A-DMAC は、チェックサム処理を行う DMAC チャネルを 2 本持ちます。

14.3.2 チェックサム

チェックサムはデータの誤り検出方法の一つです。入力されたデータを 16 ビット単位に分割し、それらの 1 の補数和を計算することで、エラー検出を行います。たとえば、TCP チェックサムを利用して受信側でパケットのエラーを検出する場合、IP 擬似ヘッダと呼ばれる情報と TCP ヘッダ、および TCP ペイロードのデータを 16 ビット単位で分割し、それらの 1 の補数和が H'FFFF か H'0000 であればエラーなし、それ以外であればエラーありとなります。

A-DMAC は DMA 転送によって得られたデータの 1 の補数和を計算する機能を持ちます。

14.3.3 FEC チャネル

A-DMAC は、FEC 演算用に 1 つのチャネルを持ちます。このチャネルは、任意の行数の FEC 演算に対応できるディスクリプタ構造により、DMA 転送により得られたデータに対して XOR 演算を実行しメモリへライトバックします。

14.3.4 FEC 演算

FEC はエラー訂正方法です。この技術を使用することで、受信側では再送要求をすることなくロスしたパケットを修復することが可能です。FEC を使用してロスパケットの修復を行う場合、送信側では元のパケットデータ群を利用して冗長パケット (FEC パケット) を生成します。たとえば、100 個のパケットを送信する場合、10×10 のパケット行列を生成し、1 行もしくは 1 列に整列した元のパケット 10 個の XOR を取り、1 行 (1 列) あたり 1 つの FEC パケットを生成します。この例の場合、20 個の FEC パケットが生成されることとなります。送信側は、元のデータパケット群と FEC パケットを受信側へ送信します。受信側では、元のパケットがロスしているかどうかを検出するために、送信側と同様に元のパケットおよび FEC パケットを行列に整列します。パケットロスが見られる場合、ロスパケットが属する行や列に属する他のパケットおよび FEC パケットの XOR を取ることでロスパケットを修復することができます。このように、送信側と受信側ではパケットの送受信を行う前に FEC パケットを生成するために整列した行列の行数や列数を共有する必要があります。

本 A-DMAC は FEC 演算で使用する XOR 計算機能を有しており、RFC2733 および Pro-MPEG の FEC 仕様に
対応するよう、次に示す FEC 仕様に対応しています。

- 任意の行数（列数）の XOR 計算
可変長ディスクリプタにより理論上は無限の長さを持つ FEC 構成に対応
- 1次元のみの FEC
1 行（1 列）ずつの処理であるため、2 次元の FEC だけでなく、1 次元の FEC にも対応
なお、CPU では以下の操作を行う必要があります。
- FEC 行列の整列
- ロスパケットの検出
- 行（列）を構成するパケットのパケット長を統一
（最大パケット長に合わせ、それに満たないパケットに 0 パディング）
- A-DMAC により得られた結果からタイムスタンプやペイロードタイプなど一部分を修復

14.4 チャンネル動作説明

14.4.1 ディスクリプタフォーマット

A-DMAC は、バッファのポインタやそのデータサイズなどの情報を格納したディスクリプタにより、CPU を介さずに自動的にメモリや STIF との間で DMA 転送を行うことができます。このディスクリプタに記載された情報に従って、メモリからデータをリードし復号したデータを STIF へライトするといった動作を自動的に行います。

ディスクリプタフォーマットを図 14.2 に示します。図中の灰色部分はディスクリプタ処理開始時には無視され、処理終了後”0”がライトバックされます。各ビットの詳細な説明は「14.2.6 チャンネル[i]処理ディスクリプタ 0 レジスタ (C[i]D0) 【制御】 (i=0, 1)」～「14.2.10 チャンネル[i]処理ディスクリプタ 4 レジスタ (C[i]D4) 【チェックサム値ライトアドレス】 (i=0, 1)」を参照してください。

ビット アドレス	31	30	29	28	27-26	25-24	23-20	19	18	17-16	15-3	2-1	0	
0	CRDO[3:0]			CHDO[3:0]			SO[3:0]	DA	SA	CSM[1:0]		F[2:0]		
+4	D1 [31:0]													
+8	D2 [31:0]													
+12			DWE	DIE							D3 [15:0]			
+16	D4 [31:1]													
+20														
+24														
+28														

図 14.2 ディスクリプタフォーマット

ディスクリプタは、16/32 バイトの可変長、もしくは 32 バイトの固定長で構成されます。チャンネル[i]処理制御レジスタ (C[i]C) の可変長ディスクリプタ制御フラグ(C[i]C_VLD)により、可変長か固定長かを選択します。C[i]C_VLD=1 としディスクリプタを可変長として動作させる場合、以下の条件に当てはまるとき残りの 16 バイトをリードします。

- チェックサム計算結果をライトバックする設定時 (C[i]CSM0=1)

14.4.2 チャネル基本動作

チャネル[i]は、チャネル[i]処理制御レジスタ (C[i]C) の C[i]C_E に”1”が書き込まれると、C[i]DCA[31:4]のアドレスからディスクリプタをリードします。C[i]C_VLD が固定長と設定された場合、32 バイト分連続リードし、可変長と設定された場合、前述の条件に従い残りの 16 バイトをリードします。

ディスクリプタの先頭ロングワードのフラグ C[i]F0=1 であれば、チャネル[i]処理ディスクリプタ 0 (C[i]D0) ~ チャネル[i]処理ディスクリプタ 4 (C[i]D4) の当該レジスタにフェッチされます。1 ディスクリプタ処理終了後、C[i]F0 を”0”にし元の領域にライトバックします。

ディスクリプタは、メモリ上にリング状に配置することができます。このディスクリプタの個数は任意です。処理は、チャネル[i]処理ディスクリプタ現在アドレス (C[i]DCA) が示すアドレスに配置されるディスクリプタから開始されます。チャネル[i]処理ディスクリプタ C[i]D0 のフラグ C[i]F0=1 のディスクリプタが続く限り、次々とディスクリプタを処理します。チャネル[i]処理ディスクリプタ C[i]D0 のフラグ C[i]F1=1 であれば、ディスクリプタリングの最終とみなし、チャネル[i]処理ディスクリプタ開始アドレス (C[i]DSA) が示すアドレスに配置されるディスクリプタの処理を行います。ディスクリプタの処理を終了するには、チャネル[i]処理ディスクリプタ (C[i]D0) の C[i]F0=0 とした無効ディスクリプタを配置してください。

本 A-DMAC では、1 つの連続データの処理を複数のディスクリプタに分割して実行する場合、複数ディスクリプタ処理間で各処理の処理データサイズを保存する必要があり、逆に、異なるデータを扱うためには前述の処理データサイズを初期化する必要があります。それゆえ、現在実行しているディスクリプタが連続データの最終を扱うかどうかをディスクリプタに示す必要があり、それを C[i]F2 フラグにて設定します。

本 A-DMAC は C[i]D3[15:0]にデータサイズ 0 を設定することは許可していません。

14.4.3 チェックサム

チェックサムのみ実行するディスクリプタ配置例を図 14.3 に示します。図 14.3 では 1 つのディスクリプタで処理が完結するディスクリプタを連続配置した例を (a) に、複数のディスクリプタに処理を分割し最終ディスクリプタにて処理完了とするディスクリプタを配置した例を (b) に示しています。

なお、チェックサム演算を実行するディスクリプタではデータサイズを 2 バイトの倍数になるよう設定してください。ただし、分割ディスクリプタを使用した場合、各ディスクリプタで指定するサイズは 2 バイトの倍数以外も許可されますが、各分割ディスクリプタで指定するサイズの総数が 2 の倍数となるように設定する必要があります (複数のディスクリプタに分割し最終でないディスクリプタに奇数サイズを指定した場合は、最後の 1 バイトのデータを処理せずに次のディスクリプタを待ちます)。

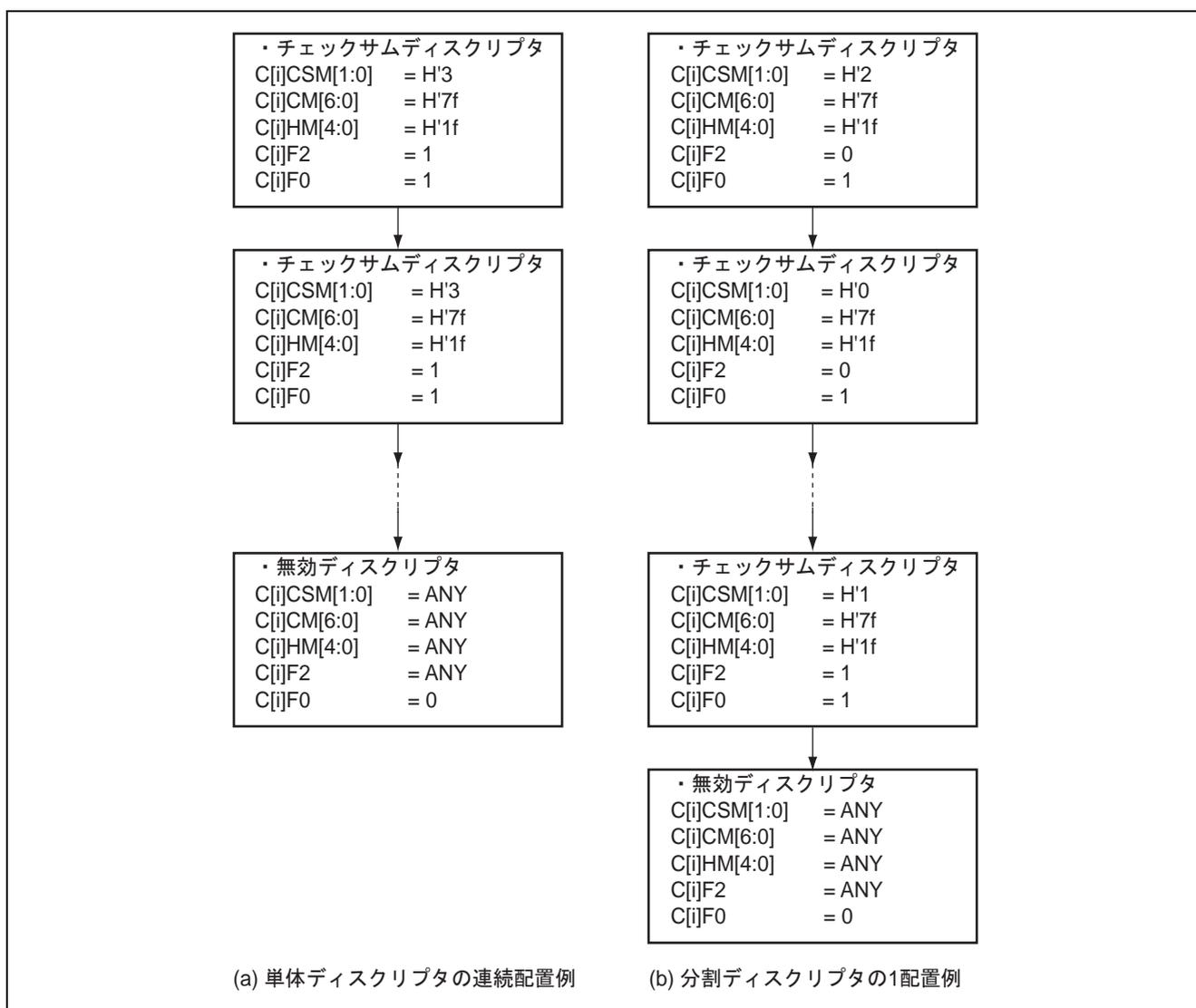


図 14.3 チェックサムディスクリプタ配置例

14.5 FEC チャンネル動作

14.5.1 FEC チャンネル用ディスクリプタフォーマット

FEC チャンネル用のディスクリプタフォーマットを図 14.4 に示します。FEC チャンネルはディスクリプタ情報により、CPU を介さずに自動的にメモリとの間で DMA 転送を行うことができます。

1 ディスクリプタに指定できるソースアドレス数は 2 つですが、ディスクリプタをリング状に連結させることにより、任意の行数（列数）を持つ FEC 処理を行うことができます。

なお、FEC チャンネルのデータアクセスは、その利用用途から、I-BUS に限定されるため、ソース/デスティネーション方向（I-BUS か STIF か）を示す情報はディスクリプタに含まれません。また、FEC 演算の対象となるデータの長さは、FEC ディスクリプタの先頭ロングワードである FEC DMAC 処理ディスクリプタ 0

(FECD00) のフラグ FECD00_SZ[15:0]に統一する必要があります。それゆえ、FECD00_SZ[15:0]に満たないデータを処理する際、0 パディングをそのデータに対して実行し、FEC 処理を行う必要があります。

ビット アドレス	31-16	15-12	11-8	7-4	3	2-0
0	SZ[15:0]	DO[3:0]	SO[3:0]	SN[3:0]	DRE	F[2:0]
+4	D01D0A [31:0]					
+8	D02S0A [31:0]					
+12	D03S1A [31:0] or パディング					

図 14.4 FEC DMAC ディスクリプタフォーマット

14.5.2 FEC チャンネル基本動作

FEC チャンネルは、FEC DMAC 処理制御レジスタ (FECC) の FECC_E に”1”が書き込まれると、ディスクリプタの読み込みを開始します。ディスクリプタの先頭ロングワードのフラグ FECD00_F0 が”1”であれば、先頭ロングワードの FECD00 から順に該当レジスタにフェッチされます。

ディスクリプタリード完了後、ソースアドレスが指し示すメモリ空間のデータをリードし、FEC 演算 (XOR 計算) します。すべてのソースアドレスとの XOR 計算完了後、その結果をデスティネーションアドレス空間へライトバックします。1 ディスクリプタ処理終了後、FECD00_F0 を”0”にし元の領域にライトバックします。

A-DMAC に実装された FEC チャンネルは、任意の行数および列数の FEC 行列演算に対応するため、1 ディスクリプタで処理可能なソース行/列の FEC 演算結果をいったんデスティネーションアドレスにライトバックします。FEC 行列が 2 行で構成される場合は 1 ディスクリプタで演算終了となりますが、FEC 行列が 3 行/列以上で構成される場合は、複数のディスクリプタに分割して FEC 行列の処理を行います。この処理を複数ディスクリプタに分割する必要がある場合、FECD00_DRE ビットを用いて FEC 演算を制御します。

FEC 行列演算を複数のディスクリプタに分割して実行するディスクリプタ構成例を図 14.5 に示します。FEC 演算を開始する最初のディスクリプタでは、まだ演算結果がライトされていないため、FECD00_DRE=0 とします。次以降のディスクリプタでは演算を継続する、つまり前ディスクリプタで計算した結果と現在のディスクリプタのソースの XOR 演算を実行するために FECD00_DRE=1 とします。このようなディスクリプタを FEC 行列演算の行数もしくは列数を満たすまで積み上げることで対象行（列）の最終的な XOR 演算結果を得ることができます。

ディスクリプタは、メモリ上にリング状に配置することができます。このディスクリプタの個数は任意です。処理は、FEC DMAC 処理ディスクリプタ現在アドレス (FECDCA) が示すアドレスに配置されるディスクリプタから開始されます。FEC DMAC 処理ディスクリプタ 0 (FECD00) のフラグ FECD00_F0 が”1”のディスクリプタが続く限り、次々とディスクリプタを処理します。ここで、FECD00 のフラグ FECD00_F1 が”1”であれば、ディスクリプタリングの最終とみなし、FEC DMAC 処理ディスクリプタ開始アドレス (FECD00_SA) が示すアドレスに配置されるディスクリプタの処理を行います。ディスクリプタの処理を終了するには、FECD00 の FECD00_F0 を”0”とした無効なディスクリプタを配置するか、FECD00 の FECD00_F2 を”1”に設定した最終ディスクリプタを配置します。

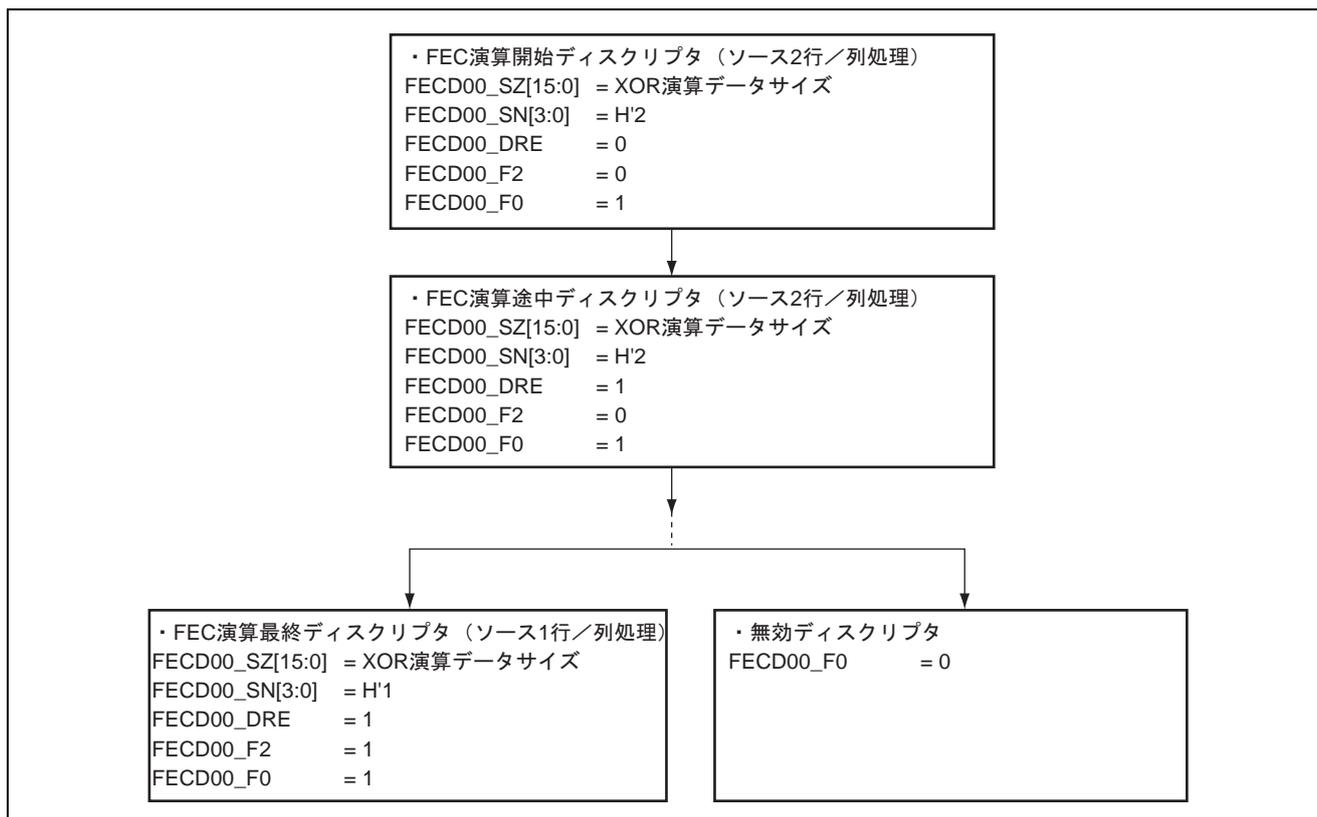


図 14.5 FEC ディスクリプタ構成例

14.6 使用上の注意事項

14.6.1 A-DMAC チャンネル動作ディスクリプタで設定するデータ転送サイズについて

A-DMAC チャンネル動作ディスクリプタで設定するデータ転送サイズは、「14.2.9 チャンネル[i]処理ディスクリプタ 3 レジスタ (C[i]D3) 【データ長】 (i=0、1)」の C[i]D3[15:0]ビットの説明にあるとおりですが、当該 A-DMAC チャンネルが PS モードの STIF と連動している場合には、以下の制限が追加されます。

PS モードの STIF と連動している場合、(A-DMAC のディスクリプタで指定するデータ転送サイズ) = (STSIZER の SIZE[31:0]ビットへの設定値) + (ダミーデータ) = (192 バイトの倍数) となるように、ダミーデータ転送用のディスクリプタも準備してください。これは、データ転送を複数のディスクリプタに分けて行う場合に、各ディスクリプタの C[i]D3[15:0]ビットの総計が 192 バイトの倍数であることを意味しています。

こうすることで、PS 出力モードの場合、A-DMAC から STIF には、ダミーデータを含めた転送が発生しますが、ダミーデータは STIF 内部で破棄され、STIF から外部デバイスには真に転送したいデータのみ出力されます。

同様に、PS 入力モードの場合、STIF は、外部デバイスから真に転送したいデータの分量のみを取り込みますが、A-DMAC は、真に転送したいデータに続けてダミーデータを転送します。ソフトウェアはメモリに格納されたダミーデータを無視してください。

15. ストリームインタフェース (STIF)

本 LSI は 2 チャンネルのストリームインタフェース (STIF) を内蔵しています。

15.1 特長

- 2チャンネルの双方向インタフェース
- TSパケット (パケットサイズ188バイト) に対応
- TTSパケット (パケットサイズ192バイト) に対応
- PSパケット (サイズレジスタにて指定) に対応
- 8ビットパラレル転送、または1ビットシリアル転送を選択可能
- チャンネルごとに転送方向を設定可能
- クロック、リクエスト信号、同期信号、データイネーブル信号の極性を選択可能
- PCRクロックリカバリモジュール (PCRRCV) を内蔵

STIF のブロック図を図 15.1 に示します。

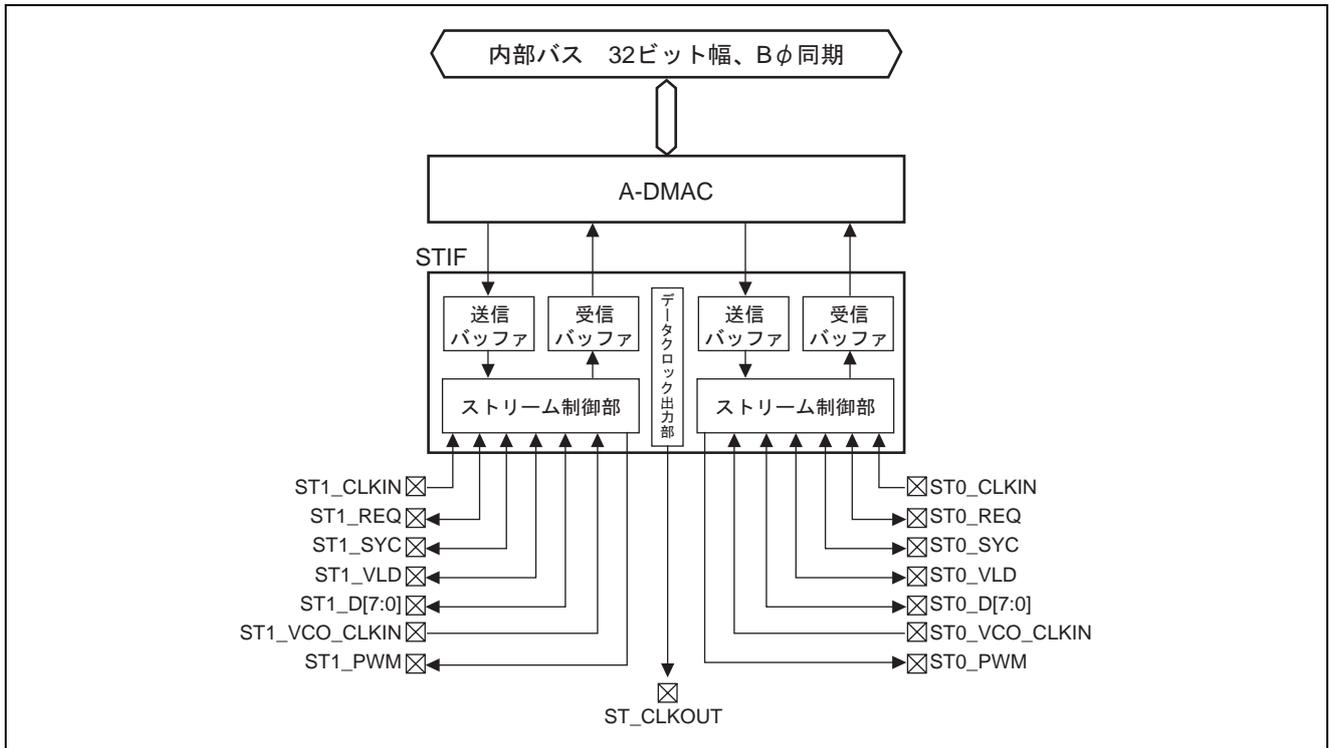


図 15.1 STIF ブロック図

15.2 入出力端子

STIF の端子構成を表 15.1 に示します。

表 15.1 端子構成

端子名	入出力	機能
ST_CLKOUT	出力	データクロック出力 (チャンネル間共通)
ST0_CLKIN	入力	データクロック入力
ST0_REQ	入出力	リクエスト信号
ST0_SYC	入出力	同期信号
ST0_VLD	入出力	データイネーブル
ST0_D[7:0]	入出力	データ (シリアルモード時 ST0_D[0]を使用)
ST0_VCO_CLKIN	入力	外部の 27MHz VCO (Voltage Controlled Oscillator) から MPEG 基本クロックを入力します。
ST0_PWM	出力	LPF (ローパスフィルタ) を経由して、27MHz VCO を制御します。
ST1_CLKIN	入力	データクロック入力
ST1_REQ	入出力	リクエスト信号
ST1_SYC	入出力	同期信号
ST1_VLD	入出力	データイネーブル
ST1_D[7:0]	入出力	データ (シリアルモード時 ST1_D[0]を使用)
ST1_VCO_CLKIN	入力	外部の 27MHz VCO (Voltage Controlled Oscillator) から MPEG 基本クロックを入力します。
ST1_PWM	出力	LPF (ローパスフィルタ) を経由して、27MHz VCO を制御します。

15.3 レジスタの説明

STIF には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「第 28 章 レジスタ一覧」を参照してください。

- STIF モードセレクトレジスタ (STMDR_0)
- STIF 制御レジスタ (STCTLR_0)
- STIF 内部カウンタ制御レジスタ (STCNTCR_0)
- STIF 内部カウンタ値設定レジスタ (STCNTVR_0)
- STIF ステータスレジスタ (STSTR_0)
- STIF 割り込みイネーブルレジスタ (STIER_0)
- STIF 転送サイズレジスタ (STSIZE_0)
- STIFPWM モードレジスタ (STPWMMR_0)
- STIFPWM コントロールレジスタ_0 (STPWMCR_0)
- STIFPWM レジスタ (STPWMR_0)
- STIFPCR0 レジスタ (STPCR0R_0)
- STIFPCR1 レジスタ (STPCR1R_0)
- STIFSTC0 レジスタ (STSTC0R_0)
- STIFSTC1 レジスタ (STSTC1R_0)
- STIF ロックコントロールレジスタ (STLKCR_0)
- STIF デバッグ用ステータスレジスタ (STDBG_0)
- STIF モードセレクトレジスタ (STMDR_1)
- STIF 制御レジスタ (STCTLR_1)
- STIF 内部カウンタ制御レジスタ (STCNTCR_1)
- STIF 内部カウンタ値設定レジスタ (STCNTVR_1)
- STIF ステータスレジスタ (STSTR_1)
- STIF 割り込みイネーブルレジスタ (STIER_1)
- STIF 転送サイズレジスタ (STSIZE_1)
- STIFPWM モードレジスタ (STPWMMR_1)
- STIFPWM コントロールレジスタ_1 (STPWMCR_1)
- STIFPWM レジスタ (STPWMR_1)
- STIFPCR0 レジスタ (STPCR0R_1)
- STIFPCR1 レジスタ (STPCR1R_1)
- STIFSTC0 レジスタ (STSTC0R_1)
- STIFSTC1 レジスタ (STSTC1R_1)
- STIF ロックコントロールレジスタ (STLKCR_1)
- STIF デバッグ用ステータスレジスタ (STDBG_1)

15.3.1 STIF モードセレクトレジスタ (STMDR)

STMDR は、内蔵 STIF モジュールの動作モードなどを設定する 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~15	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
14	LSBSEL	0	R/W	シリアルモード時の MSB/LSB ファーストを選択します。 0 : MSB ファーストでデータを入出力 1 : LSB ファーストでデータを入出力
13	EDGSEL	0	R/W	STn_REQ、STn_SYC、STn_VLD、STn_D[7:0]の入出力タイミングを選択します。 0 : 同期クロックの立ち上がりで出力、同期クロックの立ち上がりでサンプリング 1 : 同期クロックの立ち下がりで出力、同期クロックの立ち下がりでサンプリング なお、同期クロックは本レジスタの CLKSEL ビットと CKFRSEL[3:0]ビットで定義されます。
12	CLKSEL	0	R/W	ストリーム送信モード時の同期クロックを選択します。 0 : STn_SYC、STn_VLD、STn_D[7:0]を ST_CLKOUT に同期して出力 STn_REQ を ST_CLKOUT に同期してサンプリング 1 : STn_SYC、STn_VLD、STn_D[7:0]を STn_CLKIN に同期して出力、 STn_REQ を STn_CLKIN に同期してサンプリング

ビット	ビット名	初期値	R/W	説明
11	CKFRSEL3	0	R/W	ST_CLKOUT のクロックソースを選択します。(STMDR_0 のみ設定可能)
10	CKFRSEL2	0	R/W	0000 : Bφ
9	CKFRSEL1	0	R/W	0001 : 1φ/2
8	CKFRSEL0	0	R/W	0010 : 1φ/3 0011 : 1φ/4 0100 : 1φ/6 0101 : 1φ/8 0110 : 1φ/12 0111 : リザーブ (設定しないでください) 1000 : リザーブ (設定しないでください) 1001 : リザーブ (設定しないでください) 1010 : リザーブ (設定しないでください) 1011 : リザーブ (設定しないでください) 1100 : リザーブ (設定しないでください) 1101 : リザーブ (設定しないでください) 1110 : リザーブ (設定しないでください) 1111 : Low 固定出力
				<p>【注】 1. シリアルモード時は、選択結果\leqBφ、パラレルモード時は、選択結果\leqBφ/2 としてください。</p> <p>たとえば、CPG の設定で 1φ : Bφ = 3 : 1 または 6 : 2 としている場合、シリアルモードで 1φ/2 は選択できません。また、パラレルモードで 1φ/2、1φ/4 は選択できません。</p> <p>2. シリアルモード時は、STn_CLKIN\leqBφ × 80%、パラレルモード時は、STn_CLKIN\leq(Bφ/2) × 80% としてください。</p>
7	REQACTSEL	0	R/W	STn_REQ のアクティブ極性を選択します。 0 : High アクティブ 1 : Low アクティブ
6	VLDACTSEL	0	R/W	STn_VLD のアクティブ極性を選択します。 0 : High アクティブ 1 : Low アクティブ
5	SYCACTSEL	0	R/W	STn_SYC のアクティブ極性を選択します。 0 : High アクティブ 1 : Low アクティブ
4	IOSEL	0	R/W	入出力方向を選択します。 0 : 入力 (外部デバイスから本 LSI ヘストリームを入力) 1 : 出力 (本 LSI から外部デバイスヘストリームを出力)

ビット	ビット名	初期値	R/W	説 明
3	IFMDSEL3	0	R/W	動作モードを選択します。
2	IFMDSEL2	0	R/W	0000 : TS シリアルモード 1
1	IFMDSEL1	0	R/W	0001 : TS パラレルモード 1
0	IFMDSEL0	0	R/W	0010 : TS シリアルモード 2
				0011 : TS パラレルモード 2
				0100 : TS シリアルモード 3
				0101 : TS パラレルモード 3
				0110 : リザーブ (設定しないでください)
				0111 : リザーブ (設定しないでください)
				1000 : TTS シリアルモード
				1001 : TTS パラレルモード
				1010 : リザーブ (設定しないでください)
				1011 : リザーブ (設定しないでください)
				1100 : PS シリアルモード
				1101 : PS パラレルモード
				1110 : リザーブ (設定しないでください)
				1111 : リザーブ (設定しないでください)

【記号説明】 n=0、1

15.3.2 STIF 制御レジスタ (STCTLR)

STCTLR は、リカバリ処理内容の切り替え設定や DMA 転送の許可をする 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	RCVTM2	0	R/W	TS モード 1、2 の出力時に、リカバリ処理内容切り替え閾値を設定します。
10	RCVTM1	0	R/W	本ビットは RCV=1 のとき有効です。
9	RCVTM0	0	R/W	000 : 約 0.625 秒 001 : 約 1.25 秒 010 : 約 2.5 秒 011 : 約 5 秒 100 : 約 10 秒 101 : 約 20 秒 110 : 約 40 秒 111 : 約 80 秒 リカバリ機能の処理内容は以下のとおりです。 リカバリ機能① 内部カウンタがタイムスタンプを追い越し、その差分が設定した閾値より小さいときは、即座にパケットを出力します。 リカバリ機能② 内部カウンタがタイムスタンプを追い越し、その差分が設定した閾値より大きいときは、廃棄して次のパケットからリスタートします（次のパケットを即座に出力すると同時に、そのパケットのタイムスタンプをタイムスタンプ用内部カウンタにリロードします）。 リカバリ機能③ 内部カウンタはタイムスタンプを追い越していないが、差分が設定した閾値より大きいときは、廃棄して次のパケットからリスタートします（次のパケットを即座に出力すると同時に、そのパケットのタイムスタンプをタイムスタンプ用内部カウンタにリロードします）。
8	RCV	0	R/W	TS モード 1、2 の出力時に、上記のリカバリ機能を有効にします。 0 : 機能オフ 1 : 機能オン
7	TRICK	0	R/W	TS モード 1、2 の出力時に、タイムスタンプとは無関係に転送を行う機能を有効にします。 0 : 機能オフ 1 : 機能オン
6~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
2	REQEN	0	R/W	A-DMAC に対する DMA 転送要求の許可を設定します。 0 : 許可しない 1 : 許可します
1	EN	0	R/W	ストリーム入出力の許可を設定します。 0 : 許可しない 1 : 許可します
0	SRST	0	R/W	1 をセットすることにより、レジスタ設定を保持したまま、本モジュールの内部状態を初期化します。 タイムスタンプ用内部カウンタには、本ビットによる初期化終了後、最初に TS パケットが到着した時点で当該パケットが持つタイムスタンプ値をリロードします。 本ビットから 1 が読み出される間は、初期化中です。 本ビットは自動的に 0 クリアされます。 STMDR を変更した際は、必ず SRST を 1 にして初期化を行い、その後に EN、REQEN にて転送を許可してください。

15.3.3 STIF 内部カウンタ制御レジスタ (STCNTCR)

STCNTCR は、タイムスタンプ用内部カウンタを制御する 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	CRD	0	R/W	1 をセットすることにより、タイムスタンプ用内部カウンタの値を STCNTVR に読み出します。 本ビットは自動的に 0 クリアされます。
2	CSTP	0	R/W	タイムスタンプ用内部カウンタを停止します。 0 : カウントを行います 1 : カウント停止で値を保持します
1	CSET	0	R/W	1 をセットすることにより、STCNTVR の値をタイムスタンプ用内部カウンタにリロードします。 本ビットは自動的に 0 クリアされます。
0	CRST	0	R/W	1 をセットすることにより、タイムスタンプ用内部カウンタを H'00000000 に初期化します。 本ビットは自動的に 0 クリアされます。

15.3.4 STIF 内部カウンタ値設定レジスタ (STCNTVR)

STCNTVR は、STCNTCR の CRD ビットや CSET ビットと組み合わせて、タイムスタンプ用内部カウンタ値の読み出しやリロードを行うための 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~0	VLU31~VLU0	すべて 0	R/W	タイムスタンプ用内部カウンタ値

15.3.5 STIF ステータスレジスタ (STSTR)

STSTR は、リカバリ機能や受送信時の状態や PCR クロックリカバリの状態を表示する 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	LKZF	0	R/W	PCR パケット到着のときの PLL 誤差量 (内部 STC-内部 PCR) の閾値範囲 LKCYC に対する状態を示します。 0 : 閾値範囲内 (PLL 誤差量 (内部 STC-内部 PCR) \leq LKCYC) の状態であることを示します 1 : 閾値範囲外 (PLL 誤差量 (内部 STC-内部 PCR) $>$ LKCYC) の状態であることを示します 1 を書き込むことにより、0 クリアされます。
11	LKF	0	R/W	PLL のロック状態を示します。 0 : PLL 非ロック状態を示します PLL ロック状態 (LKF=1) の PCR 到着のとき、 閾値範囲外 (LKZF=1) の状態が連続して続き、 ULCNT \geq ULREF を満足した場合 1 : PLL ロック状態を示します PLL 非ロック状態 (LKF=0) の PCR 到着のとき、 閾値範囲内 (LKZF=0) の状態が連続して続き、 LKCNT \geq LKREF を満足した場合 1 を書き込むことにより、0 クリアされます。
10	DISF	0	R/W	到着した PCR_PID の discontinuity_indicator (表 15.5) を示すステータスフラグです。内部 PCR→STC→内部 STC の転送が終了したときに 1 セットされます。 1 を書き込むことにより、0 クリアされます。
9	UNZF	0	R/W	内部 PCR レジスタから STC カウンタへの転送および STC カウンタから内部 STC レジスタへの転送が終了したときに、到着 PCR_PID の上位側比較が不一致 (内部 STC-内部 PCR の比較結果が PWMCYC で指定した有効比較結果範囲を超えた場合、図 15.9) したときに 1 セットされます。 また、discont 後、表 15.5 の PCR_PID 到着のときも 1 セットされます。 また、PWMCYC で指定した有効比較ビット数 n のビット幅の PWM 制御量が $-(2^n)$ であった場合、不当な PWM 制御量 (以降 ILGL=1 とします) として上位側比較不一致と同様に 1 が設定されます。 1 を書き込むことにより、0 クリアされます。

ビット	ビット名	初期値	R/W	説明
8	PCRF	0	R/W	PCRF は内部 PCR レジスタから STC カウンタへの転送および STC カウンタから内部 STC レジスタへの転送が終了したときに 1 セットされます。 内部 PCR レジスタから STC カウンタへの転送および STC カウンタから内部 STC レジスタへの転送は、PCR_PID を検出したパケットが表 15.4 を満足するパケットの場合に発生します。 1 を書き込むことにより、0 クリアされます。
7	TENDF	0	R/W	PS モード出力時に STSIZER で設定した転送データサイズを転送完了したことを示します。 1 を書き込むことにより、0 クリアされます。
6	RENDF	0	R/W	PS モード入力時に STSIZER で設定した転送データサイズを転送完了したことを示します。 1 を書き込むことにより、0 クリアされます。
5	RCVF3	0	R/W	TS モード 1、2 の出力時にリカバリ機能③が動作したときに 1 がセットされます。 1 を書き込むことにより、0 クリアされます。
4	RCVF2	0	R/W	TS モード 1、2 の出力時にリカバリ機能②が動作したときに 1 がセットされます。 1 を書き込むことにより、0 クリアされます。
3	RCVF1	0	R/W	TS モード 1、2 の出力時にリカバリ機能①が動作したときに 1 がセットされます。 1 を書き込むことにより、0 クリアされます。
2	UPF	0	R/W	TS モード 1、2 の入力時に、188 バイトに満たないパケットを受信したときに 1 がセットされます。188 バイトに満たないパケットは廃棄されます。 1 を書き込むことにより、0 クリアされます。
1	OPF	0	R/W	TS モード 1、2 の入力時に、189 バイト以上のパケットを受信すると、189 バイト目の受信を完了したときに 1 がセットされます。188 バイトを超えたデータは廃棄されます。 1 を書き込むことにより、0 クリアされます。
0	OVF	0	R/W	TS モード 1、2 の入力時に、A-DMAC によるデータ引き上げが間に合わず、後から来た受信データが破棄されたときに 1 がセットされます。 1 を書き込むことにより、0 クリアされます。

15.3.6 STIF 割り込みイネーブルレジスタ (STIER)

STIER は、割り込みの制御をする 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	LKZE	0	R/W	LKZF の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します
11	LKE	0	R/W	LKF の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します
10	DISE	0	R/W	DISF の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します
9	UNZE	0	R/W	UNZF の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します
8	PCRE	0	R/W	PCRF の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します
7	TENDE	0	R/W	TENDF の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します
6	RENDE	0	R/W	RENDF の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します
5	RCVE3	0	R/W	RCVF3 の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します
4	RCVE2	0	R/W	RCVF2 の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します
3	RCVE1	0	R/W	RCVF1 の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します

ビット	ビット名	初期値	R/W	説 明
2	UPE	0	R/W	UPF の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します
1	OPE	0	R/W	OPF の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します
0	$\bar{O}VE$	0	R/W	$\bar{O}VF$ の割り込みを許可します。 0 : 割り込みを許可しない 1 : 割り込みを許可します

15.3.7 STIF 転送サイズレジスタ (STISIZER) (n=0,1)

STISIZER は、PS モード時の転送バイト数を指定するレジスタです。パワーオンリセットで H'FFFFFFF に初期化されます。

ビット	ビット名	初期値	R/W	説 明
31~0	SIZE31~ SIZE0	すべて 1	R/W	PS モード時の転送バイト数を指定します。

15.3.8 STIFPWM モードレジスタ (STPWMMR)

STPWMMR は、PWM モードの選択、PWM 制御の周期、シフト量および基準クロック、また PID のフィルタリングの許可、フィルタリングする PCR パケットの PID を設定する 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~16	PID12~PID0	すべて 0	R/W	フィルタリングする PCR パケットの PID (PCR_PID) を設定します。
15	PIDEN	0	R/W	PCR パケットのフィルタリング許可ビットです。 0: フィルタリングしない 1: フィルタリングを行う
14	PWMUEN	0	R/W	PWM 制御の差分 (内部 STC レジスタ-内部 PCR レジスタ) で、0~11 ビットのビット比較の上位残りビット (上位側比較対象ビット) の比較によって PWM 制御の差分を PWM 制御出力に反映するかどうかを切り替えます。上位側比較対象ビットの比較結果は、UNZF に反映されます。本ビットは、PWMSEL を 0 に設定したときのみ有効です。 0: 上位ビット比較結果不一致時、PWM 制御量を PWM 制御に反映させます 【一致: UNZF=0】 PWM 制御量を PWM 出力制御に反映します 【不一致: UNZF=1】 PWM 制御量を PWM 出力制御に反映します 1: 上位ビット比較結果不一致時、PWM 制御量を PWM 制御に反映させません 【一致: UNZF=0】 PWM 制御量を PWM 出力制御に反映します 【不一致: UNZF=1】 PWM 制御量を PWM 出力制御に反映しません
13	PWMSEL	0	R/W	セクタ 2 (図 15.9) への入力を内部 STC レジスタ-内部 PCR レジスタの差分結果にするか PWMR レジスタの値にするかを切り替えます。 また、セクタ 2 の出力を PWM 出力へ反映するためのパルスを PCR 到着によるパルスにするか、PWMWP にするかを選択します。 0: PWM 制御モードを内部 STC-内部 PCR 差分結果制御に設定します PCR 到着パルスおよび PWMWP が有効です 1: PWM 制御モードを PWMR レジスタ制御に設定します PWMWP のみ有効です
12	PWMSEL2	0	R/W	内部 PWM レジスタへの入力をセクタ 1 (図 15.9) からとするか、セクタ 1 と内部 PWM レジスタの値との加算結果とするかを切り替えます。 0: セクタ 1 出力を内部 PWM レジスタ入力に設定します 1: セクタ 1 出力+内部 PWM セクタ値を内部 PWM レジスタ入力に設定します

ビット	ビット名	初期値	R/W	説明																		
11	PWMCYC3	0	R/W	PWM 制御の周期を PWMDIV ビットで設定した PWM 基準クロックを基準とした値を設定します。 表 15.2 を参照してください。 切り替えは、PIDEN が 0 の状態で行ってください。																		
10	PWMCYC2	0	R/W																			
9	PWMCYC1	0	R/W																			
8	PWMCYC0	0	R/W																			
7	PWMSFT3	0	R/W	内部 STC レジスタ-内部 PCR レジスタの PWM 制御量を指定する基準ビット位置を設定します。PWMSFT の値によって、PWM 制御量は (図 15.9) のように基準ビット位置がシフトします。 切り替えは、PIDEN が 0 の状態で行ってください。 <table style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th style="text-align: left;">基準ビット位置</th> <th style="text-align: left;">基準ビット位置</th> </tr> </thead> <tbody> <tr><td>0000 : 0</td><td>1000 : 8</td></tr> <tr><td>0001 : 1</td><td>1001 : 9</td></tr> <tr><td>0010 : 2</td><td>1010 : 10</td></tr> <tr><td>0011 : 3</td><td>1011 : 11</td></tr> <tr><td>0100 : 4</td><td>1100 : 12</td></tr> <tr><td>0101 : 5</td><td>1101 : 13</td></tr> <tr><td>0110 : 6</td><td>1110 : 14</td></tr> <tr><td>0111 : 7</td><td>1111 : 15</td></tr> </tbody> </table>	基準ビット位置	基準ビット位置	0000 : 0	1000 : 8	0001 : 1	1001 : 9	0010 : 2	1010 : 10	0011 : 3	1011 : 11	0100 : 4	1100 : 12	0101 : 5	1101 : 13	0110 : 6	1110 : 14	0111 : 7	1111 : 15
基準ビット位置	基準ビット位置																					
0000 : 0	1000 : 8																					
0001 : 1	1001 : 9																					
0010 : 2	1010 : 10																					
0011 : 3	1011 : 11																					
0100 : 4	1100 : 12																					
0101 : 5	1101 : 13																					
0110 : 6	1110 : 14																					
0111 : 7	1111 : 15																					
6	PWMSFT2	0	R/W																			
5	PWMSFT1	0	R/W																			
4	PWMSFT0	0	R/W																			
3	PWMDIV3	0	R/W	PWM 制御出力 (PWMOUT) の基準クロックをシステムクロック (Bφ) に対する分周数で指定します。分周数は 1~1024 を設定してください。それ以外の設定は無効で、動作が保証されません。 切り替えは、PIDEN が 0 の状態で行ってください																		
2	PWMDIV2	0	R/W																			
1	PWMDIV1	0	R/W																			
0	PWMDIV0	0	R/W																			
				<table style="margin-left: auto; margin-right: auto;"> <tbody> <tr><td>0000 : 1</td><td>1000 : 256</td></tr> <tr><td>0001 : 2</td><td>1001 : 512</td></tr> <tr><td>0010 : 4</td><td>1010 : 1024</td></tr> <tr><td>0011 : 8</td><td>1011 : 2048 (設定は無効)</td></tr> <tr><td>0100 : 16</td><td>1100 : 4096 (設定は無効)</td></tr> <tr><td>0101 : 32</td><td>1101 : 8192 (設定は無効)</td></tr> <tr><td>0110 : 64</td><td>1110 : 16384 (設定は無効)</td></tr> <tr><td>0111 : 128</td><td>1111 : 32768 (設定は無効)</td></tr> </tbody> </table>	0000 : 1	1000 : 256	0001 : 2	1001 : 512	0010 : 4	1010 : 1024	0011 : 8	1011 : 2048 (設定は無効)	0100 : 16	1100 : 4096 (設定は無効)	0101 : 32	1101 : 8192 (設定は無効)	0110 : 64	1110 : 16384 (設定は無効)	0111 : 128	1111 : 32768 (設定は無効)		
0000 : 1	1000 : 256																					
0001 : 2	1001 : 512																					
0010 : 4	1010 : 1024																					
0011 : 8	1011 : 2048 (設定は無効)																					
0100 : 16	1100 : 4096 (設定は無効)																					
0101 : 32	1101 : 8192 (設定は無効)																					
0110 : 64	1110 : 16384 (設定は無効)																					
0111 : 128	1111 : 32768 (設定は無効)																					

表 15.2 PWM 制御の周期

ビット 11~8 PWMCYC3~ PWMCYC0	PWM 周期 (×PWM 基準クロック)	有効比較 ビット数 n	説 明	
			内部 STC-内部 PCR 比較 結果の有効比較結果範囲* ¹	ILGL=1 の PWM 制御量* ²
0000	2	0	-	-
0001	4	1	-1~+1	-2
0010	8	2	-3~+3	-4
0011	16	3	-7~+7	-8
0100	32	4	-15~+15	-16
0101	64	5	-31~+31	-32
0110	128	6	-63~+63	-64
0111	256	7	-127~+127	-128
1000	512	8	-255~+255	-256
1001	1024	9	-511~+511	-512
1010	2048	10	-1023~+1023	-1024
1011	4096	11	-2047~+2047	-2048
1100	8192	12	-4095~+4095	-4096
1101	16384	13	-8191~+8191	-8192
1110	32768	14	-16383~+16383	-16384
1111	65536	15	-32767~+32767	-32768

【注】 *1 PWMSEL=0 のとき、内部 STC-内部 PCR 比較結果が有効比較結果範囲を超えた場合、UNZF=1 に設定されます。

*2 PWM 制御量が $-(2^n)$ の場合、不当な PWM 制御量 (ILGL=1) として扱われ UNZF=1 に設定されます。PWM 制御量は、PWMSEL で選択します。

15.3.9 STIFPWM コントロールレジスタ (STPWMCR)

STPWMCR は、PCR/STC レジスタの書き込みパルス発生を指定する 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	STCXP	0	R/W	1 をセットすることにより、STC カウンタの値を STSTC0R、STSTC1R レジスタへ転送します。 本ビットは自動的に 0 クリアされます。
7	PWMBRS	0	R/W	1 をセットすることにより、内部 PWM レジスタの値を STPWM レジスタ (PWMB) へ転送します。 本ビットは自動的に 0 クリアされます。
6	PWMBWP	0	R/W	1 をセットすることにより、STPWM レジスタ (PWMB) の値を内部 PWM レジスタへ反映します。 内部 PWM レジスタに設定された値で PWM 制御が直ちに行われます。 PWMBWP によるロードは、PWMSEL および PWMUEN の設定に依存せず、優先的に行えますが、PWM 制御量が UNZF で説明する不当な PWM 制御量である場合に限りロードできません。なお、PWMWP と同時に 1 をセットした場合、PWMBWP が優先されます。 本ビットは自動的に 0 クリアされます。
5	PWMRS	0	R/W	1 をセットすることにより、内部 STC レジスタ-内部 PCR レジスタの差分結果を STPWM レジスタ (PWM) へ転送します。 差分結果は、(図 15.9) に示すように PWMCYC (有効比較ビット) のマスクがかかります。 本ビットは自動的に 0 クリアされます。
4	PWMWP	0	R/W	1 をセットすることにより、セクタ 2 出力を内部 PWM レジスタへ反映します。 PWMWP によるロードは、PWMSEL および PWMUEN の設定に依存せず、優先的に行えますが、PWM 制御量が UNZF で説明する不当な PWM 制御量である場合に限りロードできません。なお、PWMWP と同時に 1 をセットした場合、PWMBWP が優先されます。 本ビットは自動的に 0 クリアされます。
3	STCRS	0	R/W	1 をセットすることにより、内部 STC レジスタの値を STSTC0R、STSTC1R レジスタへ転送します。 本ビットは自動的に 0 クリアされます。

ビット	ビット名	初期値	R/W	説明
2	STCWP	0	R/W	1 をセットすることにより、STSTC0R, STSTC1R レジスタの値を内部 STC レジスタへ転送します。 PCR 到着による書き込みと競合した場合は、本レジスタのライトパルスによる転送が優先されます。 本ビットは自動的に 0 クリアされます。
1	PCRRS	0	R/W	1 をセットすることにより、内部 PCR レジスタの値を STPCR0R, STPCR1R レジスタへ転送します。 本ビットは自動的に 0 クリアされます。
0	PCRWP	0	R/W	1 をセットすることにより、STPCR0R, STPCR1R レジスタの値を内部 PCR レジスタへ転送します。 PCR 到着による書き込みと競合した場合は、本レジスタのライトパルスによる転送が優先されます。 本ビットは自動的に 0 クリアされます。

15.3.10 STIFPWM レジスタ (STPWMR)

STPWMR は、PWM 制御量を直接指定する 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~16	PWMB15~ PWMB0	すべて 0	R/W	<p>内部 STC レジスタ—内部 PCR レジスタの比較結果に相当する PWM 制御の値を設定します。</p> <p>PWMB の値を PWM 制御量として PWMOUT 出力端子へ反映させるには、PWMBWP に 1 を書き込むことで行います。PWMB の値は PWMCYC で指定した有効比較ビット数 n のうち、ビット n を符号ビットとした 2 の補数で指定してください。設定の有効範囲は、n を PWMCYC で指定した有効比較ビット数とすると、$-(2^{n-1}) \sim +(2^{n-1})$ です。$-(2^n)$ は設定しないでください。$-(2^n)$ を設定して PWMBWP=1 によって PWM 制御へ反映させた場合、不当な PWM 制御量設定として UNZF=1 にセットされ、PWM 制御出力へは反映されません。また、PWMB に $-(2^n)$ を設定したままでは PWM 制御出力への反映が PWMB の値を $-(2^n)$ 以外に設定するまでは行われなくなることに注意してください。</p>
15~0	PWM15~ PWM0	すべて 0	R/W	<p>内部 STC レジスタ—内部 PCR レジスタの比較結果に相当する PWM 制御の値を設定します。</p> <p>PWM の値を PWM 制御量として PWMOUT 出力端子へ反映させるには、PWMSEL=1 にして、PWMWP に 1 を書き込むことで行います。PWM の値は PWMCYC で指定された有効比較ビット数 n のうちでビット n を符号ビットとした 2 の補数で指定してください。設定の有効範囲は、n を PWMCYC で指定された有効比較ビット数とすると、$-(2^{n-1}) \sim +(2^{n-1})$ です。セクタ 2 の出力が $-(2^n)$ になるようには設定しないでください。セクタ 2 の出力が $-(2^n)$ のとき PWMWP=1 によって PWM 制御へ反映させた場合、不当な PWM 制御量設定として UNZF=1 にセットされ、PWM 制御出力へは反映されません。</p>

15.3.11 STIFPCR0、1 レジスタ (STPCR0R、STPCR1R)

STPCR0R、STPCR1R は、内部 PCR レジスタと I/F をとるそれぞれ 32 ビットのレジスタです。パワーオンリセットで H'0000 に初期化されます。PCR ベース (33 ビット)、PCR エクステンション (9 ビット) を格納する計 42 ビットのレジスタです。それぞれ PCRB32~PCRB0、PCR8~PCR0 に格納されます。本レジスタへの読み込み/書き込みだけでは、直接クロックリカバリに反映はされません。

• STPCR0R

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~0	PCRB32~ PCRB23	すべて 0	R/W	PCR ベースビット

• STPCR1R

ビット	ビット名	初期値	R/W	説明
31~9	PCRB22~ PCRB0	すべて 0	R/W	PCR ベースビット
8~0	PCR8~ PCR0	すべて 0	R/W	PCR エクステンションビット

【注】 読み込み中に PCR_PID が到着した場合に値が書き換えられ不定となりますので、PCRIF によって PCR_PID 到着が読み込み中になかったことを確認するようにしてください。具体的には、読み込む前に PCRIF=0 としてから読み込みを行って、その後の PCRIF の確認で PCRIF=1 であれば再度同じ手順を繰り返してください。

15.3.12 STIFSTC0、1 レジスタ (STSTC0R、STSTC1R)

STSTC0R、STSTC1R は、内部 STC レジスタと I/F をとるそれぞれ 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。STC ベース (33 ビット)、STC エクステンション (9 ビット) の値を格納する計 42 ビットのレジスタです。それぞれ STCB32~STCB0、STCX8~STCX0 に格納されます。本レジスタへの読み込み/書き込みだけでは、直接クロックリカバリに反映はされません。

- STSTC0R

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~0	STCB32~ STCB23	すべて 0	R/W	STC ベースビット

- STSTC1R

ビット	ビット名	初期値	R/W	説明
31~9	STCB22~ STCB0	すべて 0	R/W	STC ベースビット
8~0	STCX8~ STCX0	すべて 0	R/W	STC エクステンションビット

【注】 読み込み中に PCR_PID が到着した場合に値が書き換えられ不定となりますので、PCRIF によって PCR_PID 到着が読み込み中になかったことを確認するようにしてください。具体的には、読み込む前に PCRIF=0 としてから読み込みを行って、その後の PCRIF の確認で PCRIF=1 であれば再度同じ手順を繰り返してください。

15.3.13 STIF ロックコントロールレジスタ (STLKCR)

STLKCR は、PLL 周波数ロックを制御する 32 ビットのレジスタです。パワーオンリセットで H'00000000 に初期化されます。

ビット	ビット名	初期値	R/W	説明
31~26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	LKWP	0	R/W	1 をセットすることにより、LKCNT の値を内部 LKCNT へ反映します。 内部 LKCNT のカウントアップまたはクリアと競合した場合は、LKWP による書き込みが優先します。 本ビットは自動的に 0 クリアされます。
24	ULWP	0	R/W	1 をセットすることにより、ULCNT の値を内部 ULCNT へ反映します。 内部 ULCNT のカウントアップまたはクリアと競合した場合は、ULWP による書き込みが優先します。 本ビットは自動的に 0 クリアされます。
23	ULCNT3	0	R/W	ULWP に 1 セットすることで、ULCNT の値が内部 ULCNT へ書き込まれます。また、本ビットを読み出した際は、以下の状態を示します。 PLL ロック状態 (LKF=1) のときに、連続した閾値範囲外 (LKZF=1) の状態となった回数をカウントして示します。 また、ULCNT>=ULREF となった場合 (LKF=1 の場合は、LKF=0 に設定)、閾値範囲内 (LKZF=0) となった場合、discont が発生した場合には、0 クリアされます。
22	ULCNT2	0	R/W	
21	ULCNT1	0	R/W	
20	ULCNT0	0	R/W	
19	LKCNT3	0	R/W	LKLP に 1 セットすることで、LKCNT の値が内部 LKCNT へ書き込まれます。また、本ビットを読み出した際は、以下の状態を示します。 PLL 非ロック状態 (LKF=0) のとき、連続した閾値範囲内 (LKZF=0) の状態状態となった回数をカウントして示します。 また、LKCNT>=LKREF となった場合 (LKF=0 の場合は、LKF=1 に設定)、閾値範囲外 (LKZF=1) となった場合、discont が発生した場合には、0 クリアされます。
18	LKCNT2	0	R/W	
17	LKCNT1	0	R/W	
16	LKCNT0	0	R/W	

ビット	ビット名	初期値	R/W	説明	
15	GAIN3	0	R/W	セレクタ 1 から加算器へ入力される誤差量をゲインさせる右シフト量を制御します。誤差量は 2 の補数で表現されていますので、右シフトは算術シフトで行われます。すなわち、最上位符号ビットが右シフトによって不足するビットへコピーされて補充されます。誤差量の右シフト量は 0~10 を設定してください。それ以外の設定は無効で、動作が保証されません。 <div style="display: flex; justify-content: space-around;"> <div style="text-align: center;"> 右シフト量 0000 : 0 0001 : 1 0010 : 2 0011 : 3 0100 : 4 0101 : 5 0110 : 6 0111 : 7 </div> <div style="text-align: center;"> 右シフト量 1000 : 8 1001 : 9 1010 : 10 1011 : 11 (設定は無効) 1100 : 12 (設定は無効) 1101 : 13 (設定は無効) 1110 : 14 (設定は無効) 1111 : 15 (設定は無効) </div> </div>	
14	GAIN2	0	R/W		
13	GAIN1	0	R/W		
12	GAIN0	0	R/W		
11	LKCYC3	0	R/W		PLL ロックの閾値を設定します。PLL ロックの閾値は表 15.3 を参照してください。LKCYC は PWMCYC 以下 (LKCYC= \leq PWMCYC) になるように設定してください。PWMCYC 以下が守られない設定の場合は動作が保証されません。
10	LKCYC2	0	R/W		
9	LKCYC1	0	R/W		
8	LKCYC0	0	R/W		
7	ULREF3	0	R/W		PLL ロック状態 (LKF=1) のときの連続した閾値範囲外状態 (LKZF=1) の回数の参照値を指定します。ULCNT と比較され、ULCNT \geq ULREF のとき LKF は 0 に設定されます。
6	ULREF2	0	R/W		
5	ULREF1	0	R/W		
4	ULREF0	0	R/W		
3	LKREF3	0	R/W	PLL 非ロック (LKF=0) のときの連続した閾値範囲内状態 (LKZF=0) の回数の参照値を指定します。LKCNT と比較され、LKCNT \geq LKREF のとき LKF は 1 に設定されます。	
2	LKREF2	0	R/W		
1	LKREF1	0	R/W		
0	LKREF0	0	R/W		

表 15.3 PLL ロックの閾値

ビット 11~8 LKCYC3~ LKCYC0	説 明			
	PLL ロック閾値 (×PWM 基準クロック)	有効比較 ビット数 n	内部 STC-内部 PCR 比較 結果の有効比較結果範囲* ¹	ILGL=1 の PWM 制御量* ²
0000	2	0	-	-
0001	4	1	-1~+1	-2
0010	8	2	-3~+3	-4
0011	16	3	-7~+7	-8
0100	32	4	-15~+15	-16
0101	64	5	-31~+31	-32
0110	128	6	-63~+63	-64
0111	256	7	-127~+127	-128
1000	512	8	-255~+255	-256
1001	1024	9	-511~+511	-512
1010	2048	10	-1023~+1023	-1024
1011	4096	11	-2047~+2047	-2048
1100	8192	12	-4095~+4095	-4096
1101	16384	13	-8191~+8191	-8192
1110	32768	14	-16383~+16383	-16384
1111	65536	15	-32767~+32767	-32768

【注】 *1 内部 STC-内部 PCR 比較結果が有効比較結果範囲以内の場合、LKZF=0 に設定されます。

*2 PWM 制御量が $-(2^n)$ の場合、不当な PWM 制御量 (ILGL=1) として扱われ LKZF=1 に設定されます。PWM 制御量は、PWMSEL および PWMSEL2 で選択します。

15.3.14 STIF デバッグ用ステータスレジスタ (STDBGR)

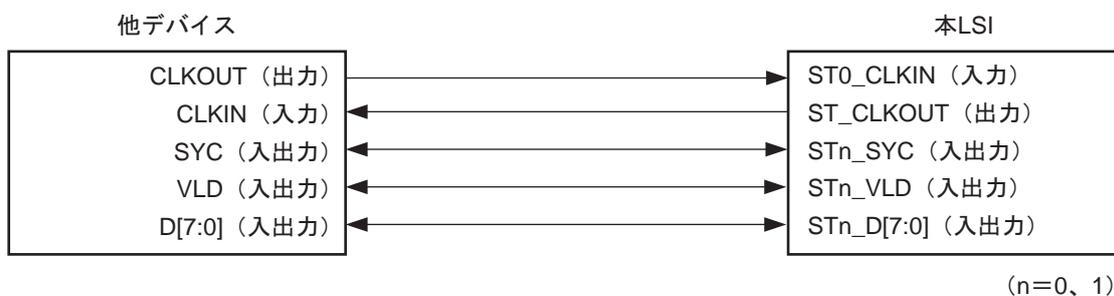
STDBGR は、入出力したパケットの先頭 4 バイトを表示します。本レジスタはデバッグ用です。書き込む時は常に 0 にしてください。

ビット	ビット名	初期値	R/W	説 明
31~0	STMON31~ STMON0	すべて 0	R	TS モード時に入出力したパケットのタイムスタンプ 4 バイトが格納されます。 すなわち、STIF が外部デバイスから TS パケット (188 バイト) を取り込む場合、STIF が TS パケットの先頭に付加するタイムスタンプ 4 バイトが格納され、STIF から外部デバイスに TS パケットを出力する場合、TTS パケット (192 バイト) の先頭に付加されていたタイムスタンプ 4 バイトが格納されます。 TTS モード時、PS モード時、本レジスタは使用できません。

15.4 他のデバイスとの接続例

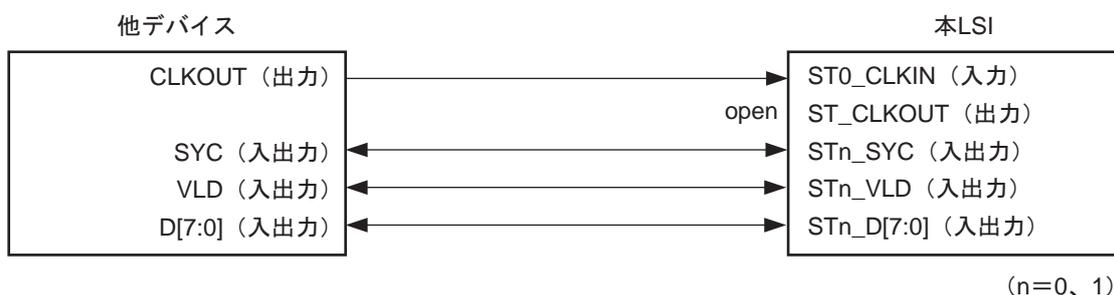
他のデバイスとのクロック接続例を示します。

15.4.1 基本の例



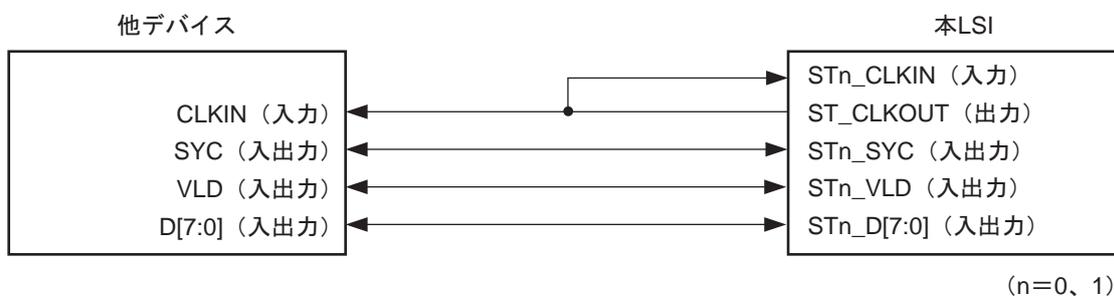
- 本LSIがストリームを受信する場合は、STn_CLKINに同期して受信
- 本LSIがストリームを送信する場合は、ST_CLKOUTに同期して送信

15.4.2 他デバイスがクロック入力を持たない場合の例



- 本LSIがストリームを受信する場合は、STn_CLKINに同期して受信
- 本LSIがストリームを送信する場合は、STn_CLKINに同期して送信

15.4.3 他デバイスがクロック出力を持たない場合の例



- 本LSIがストリームを受信する場合は、STn_CLKINに同期して受信
- 本LSIがストリームを送信する場合は、ST_CLKOUTに同期して送信

15.5 入出力タイミング

各モードの動作概略と入出力タイミングを、**図 15.2**～**図 15.7** に示します。

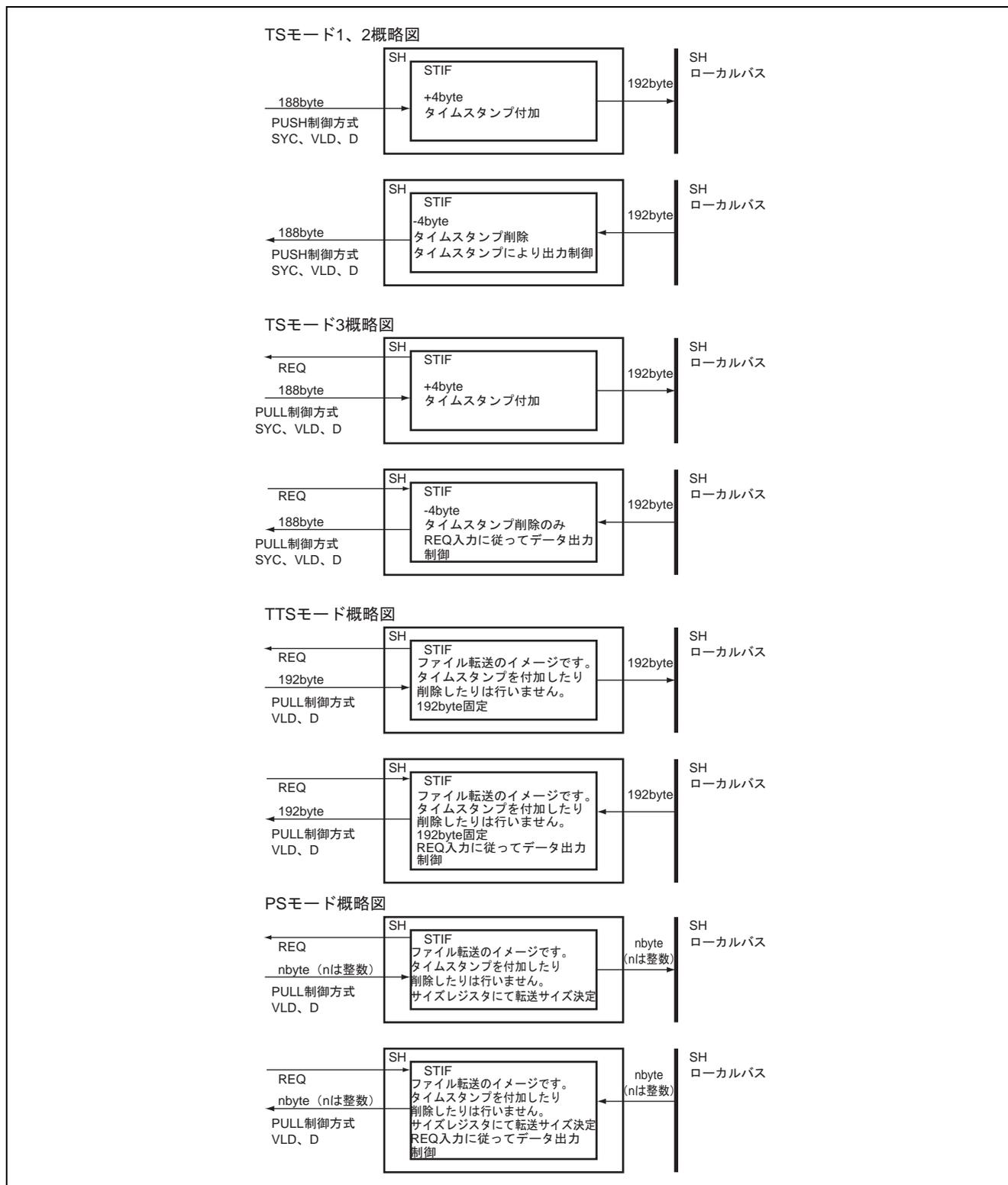


図 15.2 動作概略

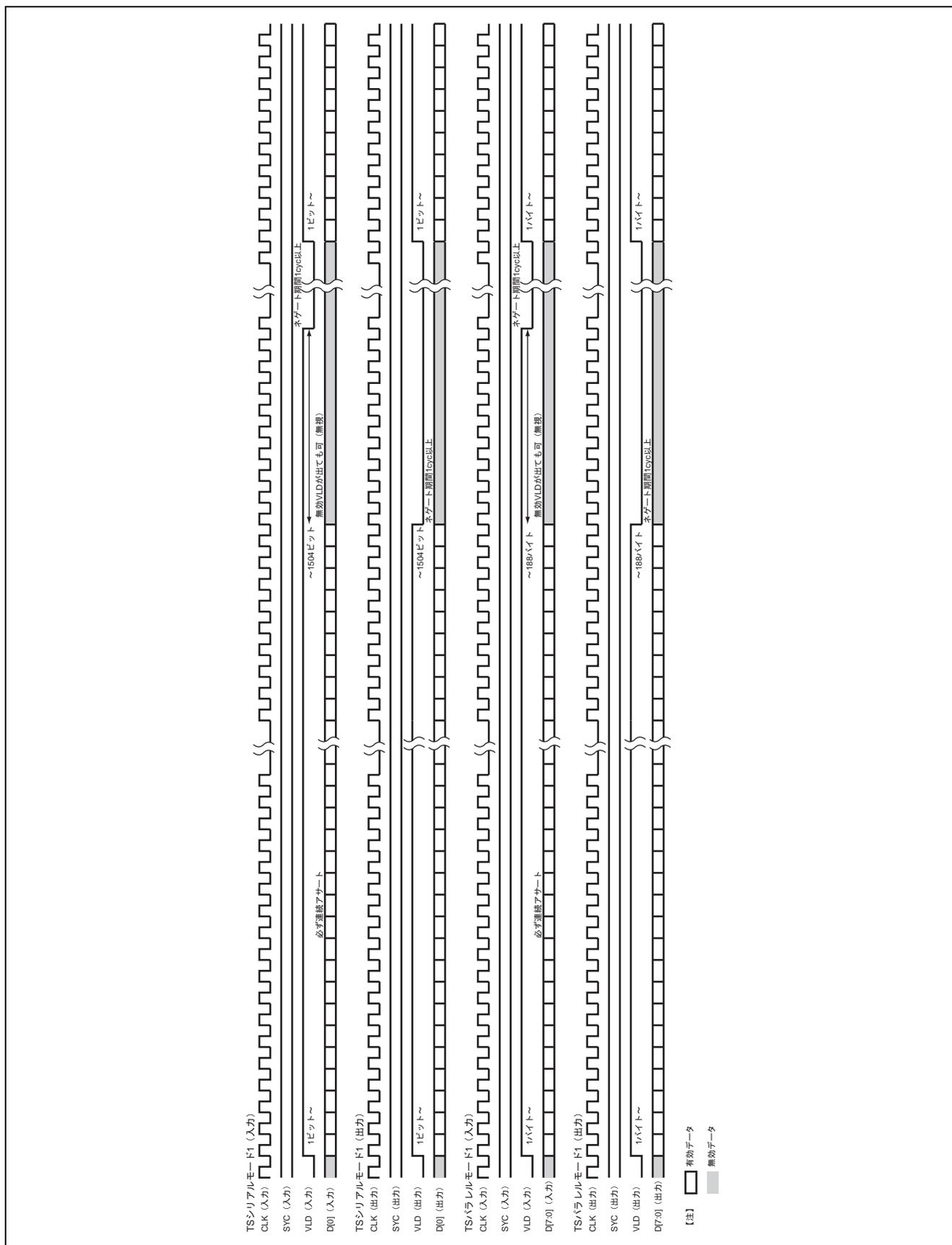


図 15.3 TS モード 1

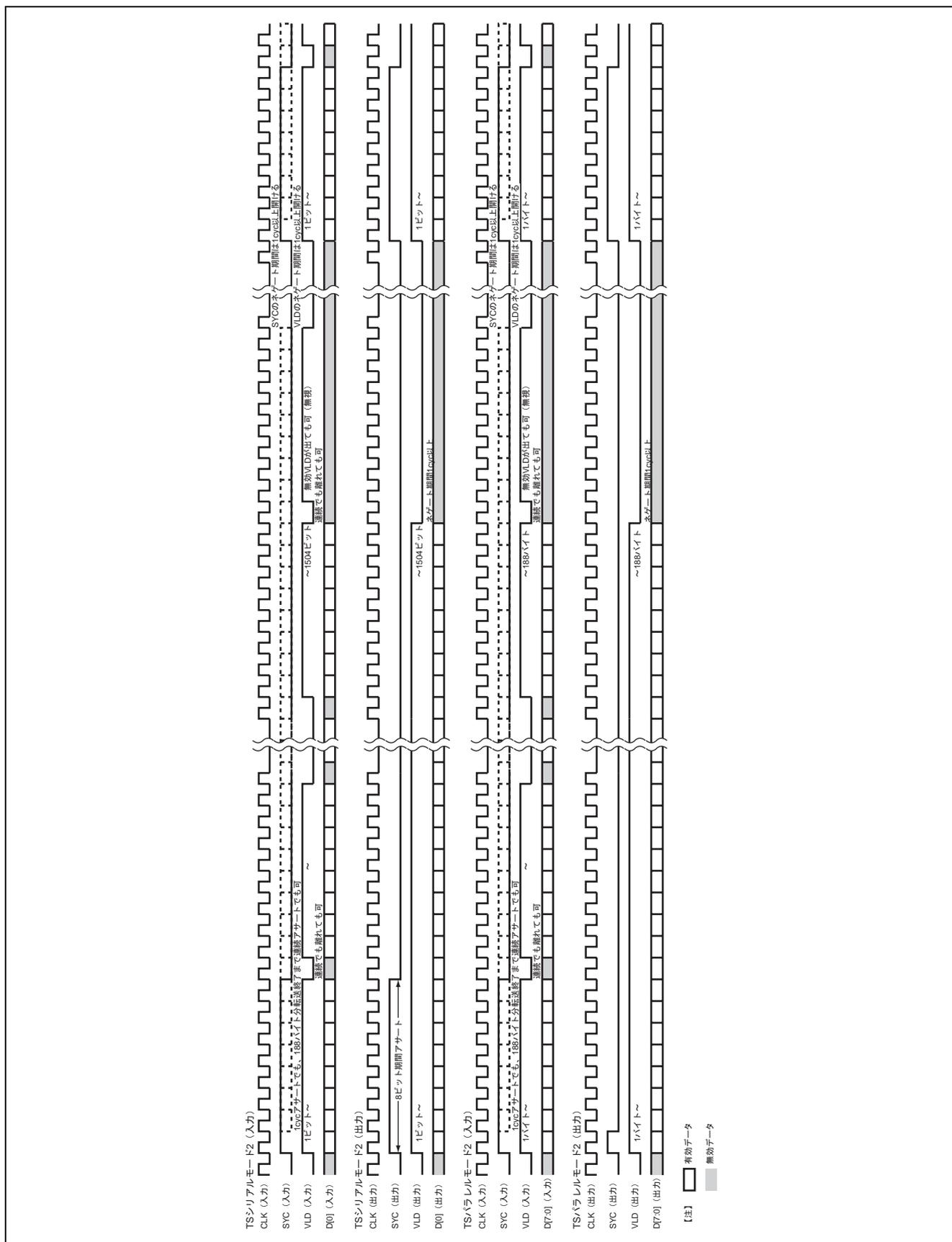


図 15.4 TS モード 2

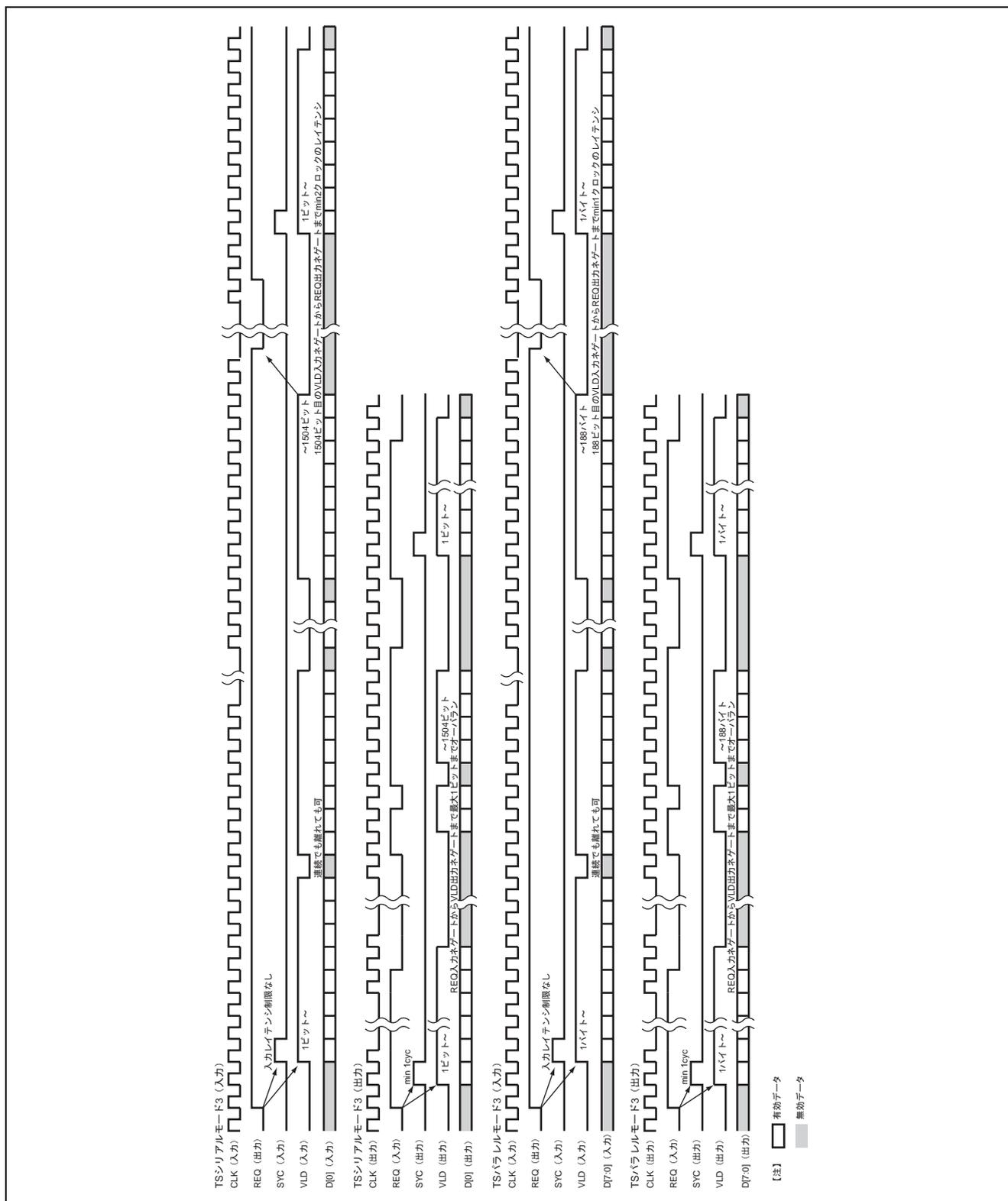


図 15.5 TS モード 3

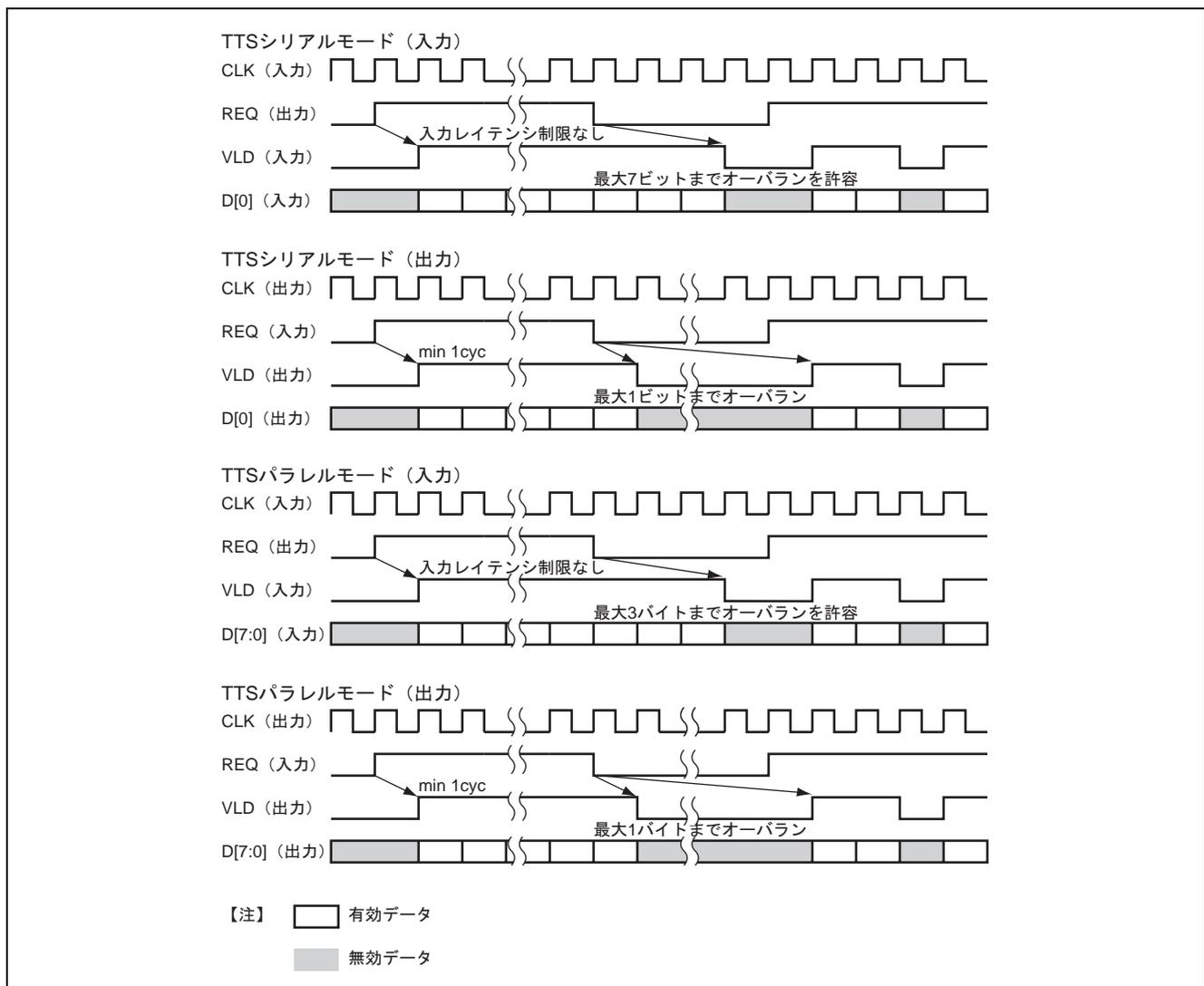


図 15.6 TTS モード

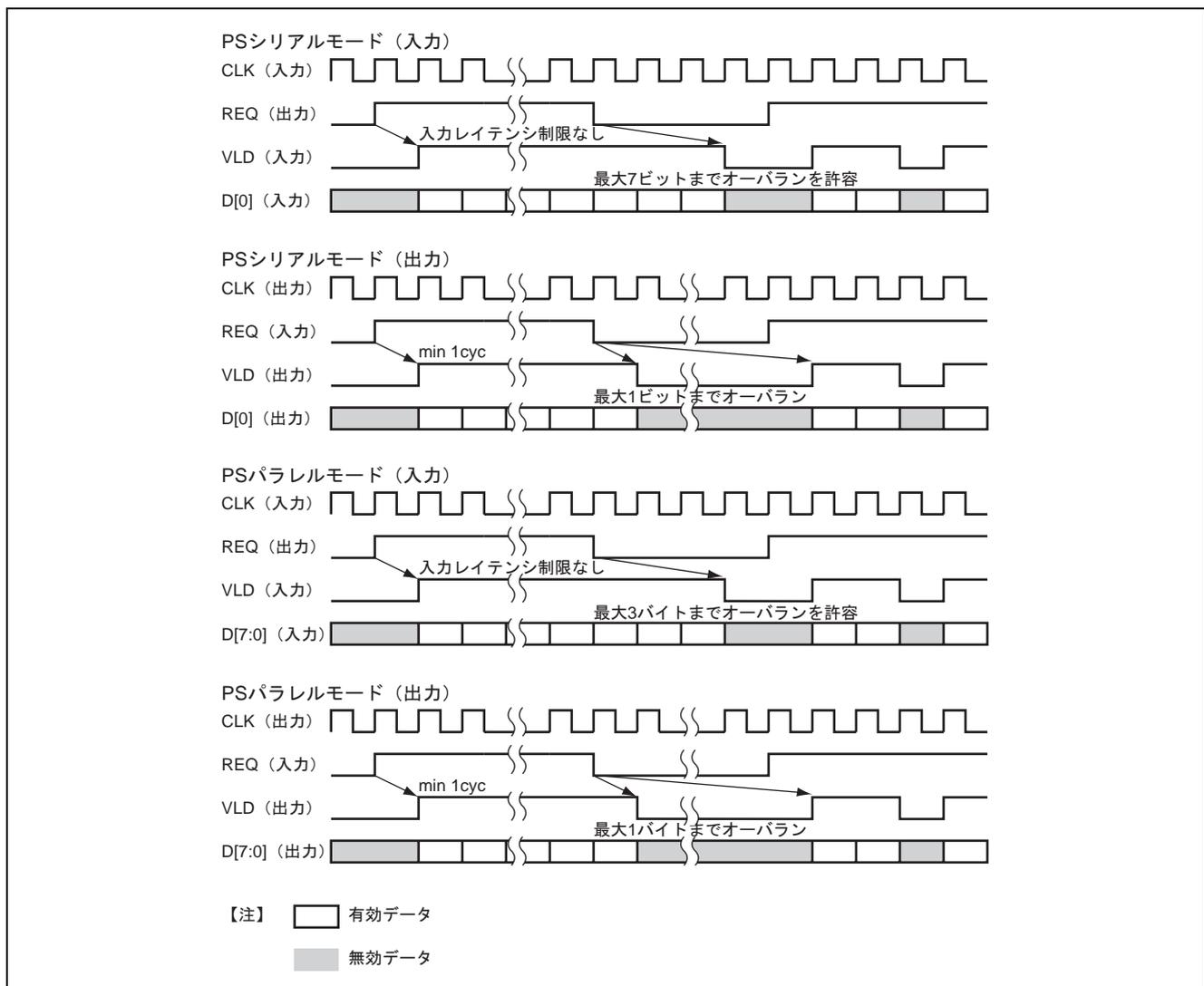


図 15.7 PS モード

15.6 PCR クロックリカバリモジュール (PCRRCV)

PCR クロックリカバリモジュール (PCRRCV) は、入力されたトランスポートパケット (TS パケット) 中の adaptation_field の program_colck_reference_base (PCR ベース) および program_clock_reference_extension (PCR エクステンション) の計 42 ビットの program_clock_reference (PCR) とシステム基準クロック (STC) の差分量により、外部 VCXO 回路を制御するための PWM (Pulse Wave Modulation) 出力を行う回路です。

また、PCR クロックリカバリモジュールには、次のような特長があります。

- 外部VCXO回路からのクロック入力により、カウントアップする42ビットの内部STCカウンタを内蔵しています。
- 外部VCXO回路を制御するためのPWM出力をSTn_PWMOUT出力端子から出力可能です。
- VCXO制御をTSパケット中のPCRとSTCとの差分でPWM制御を行うモードとSTPWMMRレジスタに直接設定することでPWM制御を行うモードから選択することができます。
- STPWMMRへの設定により、PWM制御の精度やPWM周期を設定することが可能です。

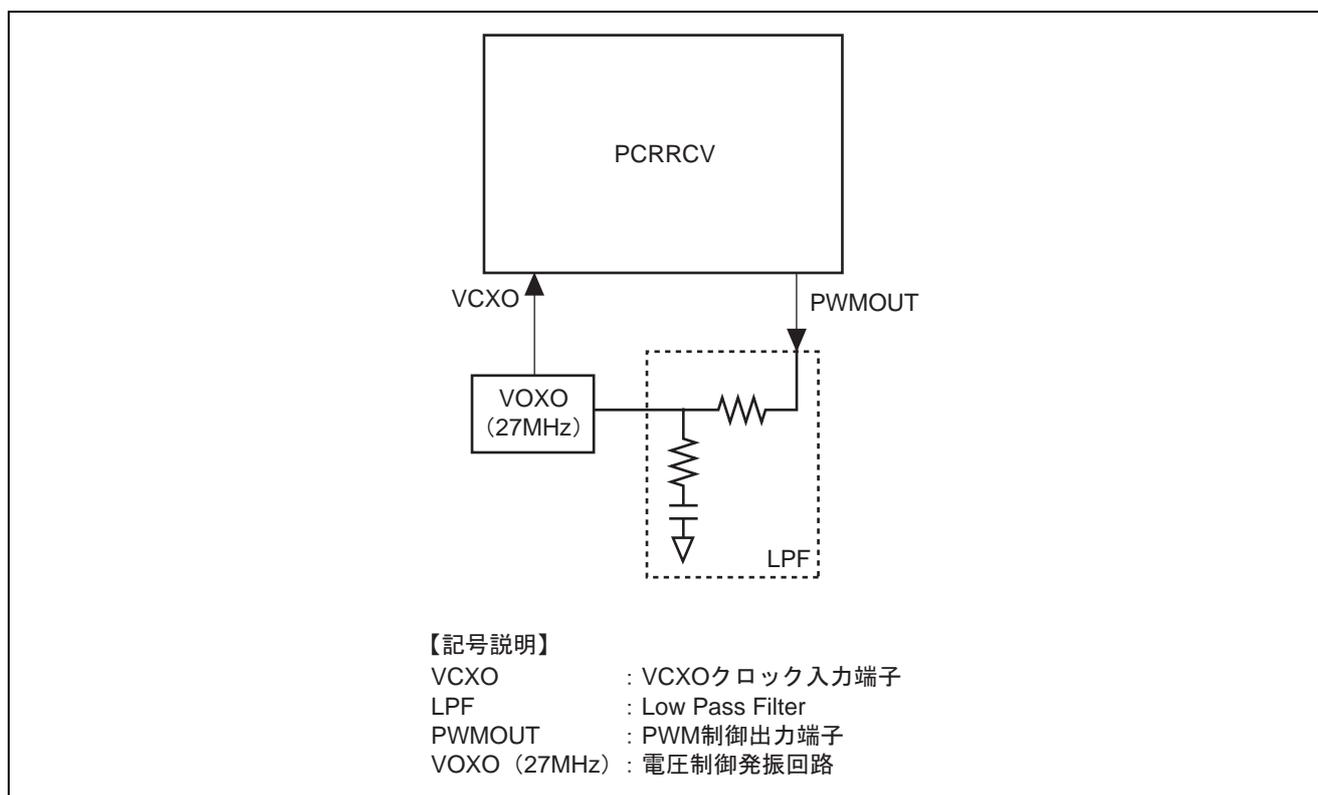


図 15.8 STn_VCO_CLKIN と STn_PWMOUT の接続方法

15.6.1 PCR クロックリカバリ動作説明

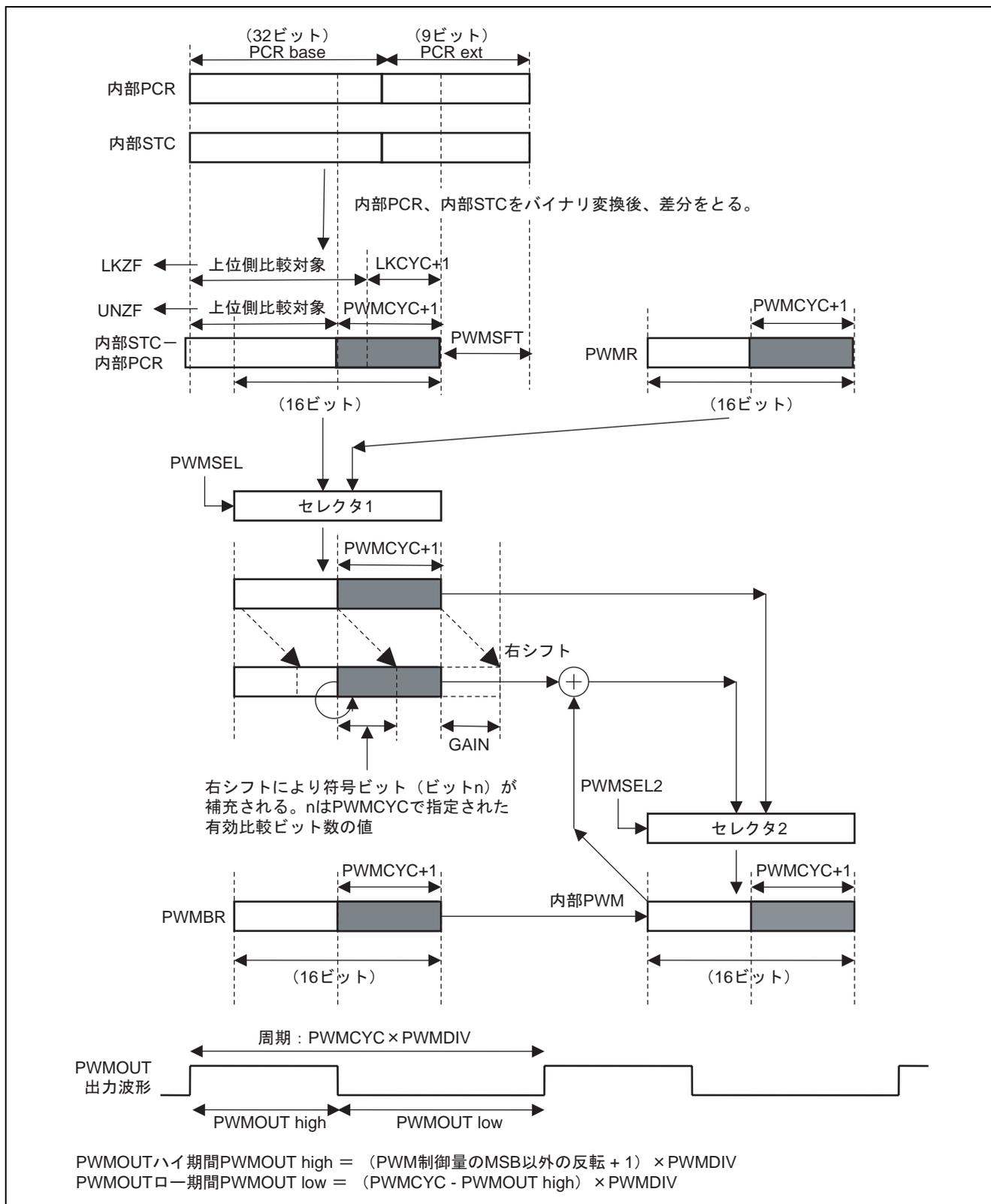


図 15.9 レジスタ設定の説明図

- レジスタ設定の説明

- PWMCYC[3:0]ビットの設定で、PWM 制御量の有効比較ビット数 n を指定します。
- LKCYC[3:0]ビットの設定で、PLL ロックの閾値を指定します。
- PWMSFT[3:0]ビットの設定で、PWM 制御量の基準ビット (PWM 制御量の LSB) のシフト量を指定します。シフトされたビット (図 15.9 の PWMSFT 幅のビット) は PWM 制御量の比較の対象にはなりません。
- PWM 制御量の計算では、内部 STC レジスタおよび内部 PCR レジスタは、PCR ベースおよび PCR エクステンションからバイナリ変換された値に PWMSFT 幅のマスクをとってから差分がとられます。バイナリ変換は、1) 式によって行われます。
内部レジスタのバイナリ変換： $(PCR_base \times 300 + PCR_ext) \& (PWMSFT \text{ 幅のマスク}) \dots 1)$ 式
差分結果の (PWMCYC+1) 以外の上位側比較結果は、UNZF に反映されます。
差分結果の (LKCYC+1) 以外の上位側比較結果は、LKZF に反映されます。
- GAIN[3:0]ビットの設定で、セクタ 1 出力の右シフト量を指定します。右シフトは算術シフトで演算されるため、下位側にあふれたビットは捨てられ、上位側には符号ビット (有効比較ビット n のときのビット n) が補充されます。
- PWMSEL および PWMSEL2 の設定で、セクタ 1 およびセクタ 2 を切り替え、内部 PWM への経路を選択します。
- PWMDIV[3:0]ビットの設定で、PWMOUT 出力端子の PWM 基準クロックを指定します。PWM 基準クロックはシステムクロック \times PWMDIV のクロック周期になります。また、PWMOUT 出力端子の PWM 周期は、PWMCYC \times PWMDIV のクロック周期になります。
- PWMOUT 出力端子の波形は、PWM 制御量に依存し、PWMOUT 波形は、2a)、2b) 式のようになります。
 $PWMOUT \text{ high} = (PWM \text{ 制御量の MSB 以外を反転とした値} + 1) \times PWMDIV \dots 2a)$ 式
 $PWMOUT \text{ low} = (PWMCYC - PWMOUT \text{ low}) \times PWMDIV \dots 2b)$ 式
有効比較ビット数 n のときの MSB は、PWM 制御量のビット n になります。
PWM 制御量は 2 の補数で表現されます。上位側比較対象を PWM 制御の対象とするかどうかは、PWMUEN で指定します。
- PWM 制御量は、PWMR レジスタに指定することで直接行うこともできます。その場合、PWMSEL=1 に設定します。この場合の、PWMCYC の役割は内部 STC レジスタ-内部 PCR レジスタと同様に有効比較ビット数になります (図 15.9 参照)。

15.6.2 PCR クロックリカバリの動作

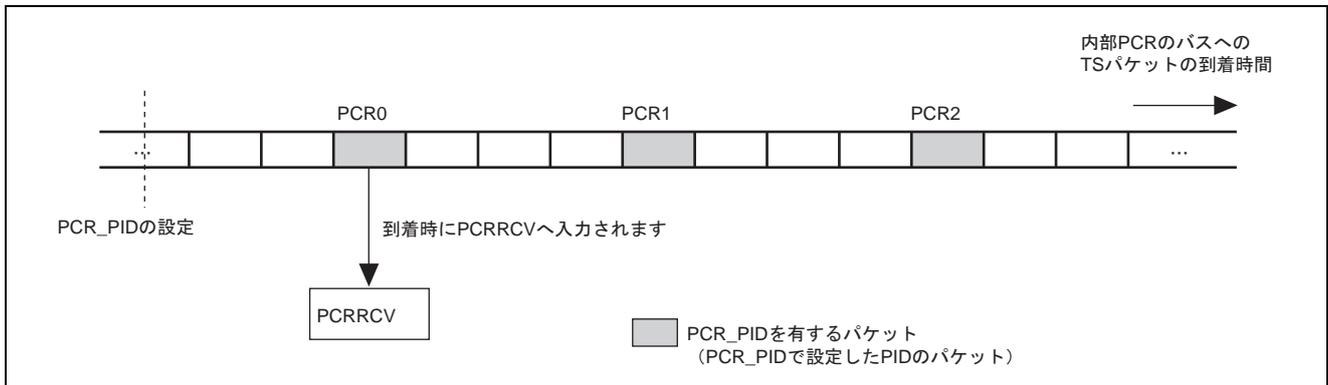


図 15.10 TS パケットの概要

- 動作例 1 : PCRRCV のハードを使用してクロックリカバリする場合
 1. PCRRCV のハードによるクロックリカバリを有効にするため、PWMSEL=0 に設定します。
 2. PWM 制御出力の指定を PWMCYC、PWMSFT、PWMDIV、PWMUEN に設定します。
 3. PCRRCV にクロックリカバリさせるための PCR を含むパケットの PCR_PID を PID に設定します。クロックリカバリは、PID の設定で開始されます。したがって、リセット直後やチャンネルチェンジなどによって、PCR の連続性が損なわれた場合は、PIDEN=0 にしてから PID を設定してください。
 4. PCRRCV は、PCR_PID を含むパケットが到着した場合、パケットの adaptation_field から program_clock_reference (PCR) の 42 ビットを抽出します。PCR を抽出するパケットの条件については、表 15.4 を参照してください。表 15.4 を満たす TS パケットが到着した場合、PCRRCV 内部では PCR 到着パルスが発生します。
 5. PCR 到着パルスが発生した時、パケットから抽出した PCR が内部 PCR レジスタおよび STC カウンタへ転送されます。このとき同時に STC カウンタ (STC) の値が内部 STC レジスタへ転送されます。この転送後、STC カウンタは VCXO クロック入力によってカウントアップされていきます。すなわち、内部 STC レジスタへは、以前に到着した PCR から VCXO クロックで現在までカウントアップされた STC カウンタが設定され、内部 PCR および STC カウンタへは現在到着した PCR が設定されることとなります。
 6. 内部 STC レジスタと内部 PCR レジスタの比較結果 (内部 STC レジスタ-内部 PCR レジスタ) である PWM 制御量は PWMCTLR レジスタに設定された PWMCYC、PWMSFT および PWMDIV によって計算され表 15.5 に示す比較結果の反映条件を満足した場合、PWM 出力制御に反映されます。PWMUEN=1 としている場合は、PWMCYC に指定した有効比較結果範囲を超えた PWM 制御量を PWM 制御出力に反映させないことができます。この機能を利用することで、伝送エラーによるパケット中の PCR の誤りや、送信側の規約違反などで PCR が不正な値で伝送されてくる場合などの異常値の PCR をクロックリカバリに反映させないことができます。異常 PCR 到着の対策手順については後述の手順例 1 および手順例 2 を参考にしてください。
 7. 反映された PWM 制御量で PWMOUT 出力端子からは図 15.9 に記載のような波形が出力されます。
 8. PCR_PID パケットの到着ごとに比較される内部 STC レジスタ-内部 PCR レジスタの比較結果を 0 とするよう外付け LPF および外付け VCXO でフィードバックを構成することによって、VCXO クロックの周波数が調整されます。

- 動作例 2 : PCRRCV およびソフトを使用してクロックリカバリする場合

1. PCRRCV のハードによるクロックリカバリを無効にするため、PWMSEL=1 に設定します。また、PCR 到着パルスによる割り込み要求を許可するため、PCRE=1 に設定します。
2. PCRRCV の設定および PCRRCV 内部のレジスタ転送は動作例 1 の 2.~5.と同様です。表 15.5 の注 1 ~4 は、PCR の連続性が失われた後の最初の PCR が到着した場合に相当します。よって、到着した内部 PCR レジスタとの連続性のない STC カウンタが内部 STC レジスタに転送されていることとなりますので、CPU で内部 STC レジスタ→内部 PCR レジスタの計算をすることは適切ではありません。
3. PCRRCV 内部のレジスタ転送が終了していることを PCRF=1 で確認し PCRF=0 に設定してから、内部 STC レジスタ→STSTC0R, STSTC1R レジスタ転送と内部 PCR レジスタ→STPCR0R, STPCR1R レジスタ転送を STCRS および PCRRS に 1 を書き込むことを行います。その後、STSTC0R, STSTC1R および STPCR0R, STPCR1R を読み込みます。また、MPEG2 デコーダに設定するための STC カウンタの値を得る場合は、STC カウンタ→STSTC0R, STSTC1R レジスタ転送を STCXP に 1 を書き込むことを行います。その後、STSTC0R, STSTC1R を読み込みます。
4. PCRF を読み込み、0 であれば 3.の読み込み中に PCR_PID パケットの到着がなかったことが示されていますので、3.の STSTC0R, STSTC1R および STPCR0R, STPCR1R の読み込みは成功したことになります。反対に PCRF が 1 であった場合、3.の読み込み中に PCR_PID パケットの到着があったことが示されていますので、読み込んだ STSTC0R, STSTC1R および STPCR0R, STPCR1R が以前の到着の内部 STC および内部 PCR であるのか読み込み中に到着したものであるか判定できませんので、3.へ繰り返し繰り返すこととなります。
5. CPU では、読み込んだ STSTC0R, STSTC1R および STPCR0R, STPCR1R を「15.6.1 PCR クロックリカバリ動作説明」の 4.記載の 1) 式によってそれぞれ STCbin および PCRbin とバイナリ変換を行ってから、その差分 (STCbin-PCRbin) を計算します。差分値 (STCbin-PCRbin) は STPWMR レジスタに PWM 制御量として設定するために PWMCYC で指定した有効比較ビット数 n からビット n を符号ビットとした 2 の補数で指定します。設定の範囲は $-(2^n-1) \sim +(2^n-1)$ です。 -2^n は設定しないでください。また、動作例 1 の 6.のようなパケット中の PCR のデータ誤りの扱いは CPU で判断します。
6. STPWMR レジスタに設定した PWM 制御量を PWMWP に 1 を書き込むことで PWM 制御出力に反映させます。
7. PWM 制御出力による VCXO クロックの周波数調整の原理については、動作例 1 の 7.~8.と同様です。

表 15.4 PCR の抽出条件

transport_error_indicator	adaptation_field_control	adaptation_field_length	PCR_flag	PCR 抽出の可否*	
0	00	don't care	don't care	×	
	01	don't care	don't care	×	
	10	0 ≤ len < 7	don't care	×	
			7 ≤ len < H'FF	0	×
			1	○	
	11	0 ≤ len < 7	don't care	×	
7 ≤ len < H'FF			0	×	
1			○		
1	don't care	don't care	don't care	×	

【注】 * ○の場合、PCR 抽出が行われ PCR 到着パルスが発生します。

表 15.5 内部 PCR レジスタと内部 STC レジスタの比較結果の反映条件*¹

反映する／しない	比較結果の反映条件
反映しない* ²	discont 後の PCR_PID 到着* ³ PWMUEN=1 のとき、上位比較結果が不一致の PCR_PID 到着
反映する	上記以外の場合の PCR_PID 到着

【注】 *¹ PWMSEL=0 のとき本表の反映条件が有効です。PWMSEL=1 のときは、PWMWP に 1 を書き込むことで、PWM 制御出力へ PWM 制御量を反映させます。

*² PWM 制御量が反映されませんので、PWMOUT 出力波形は維持されたままになります。

*³ discont 後の PCR_PID 到着には、下記 4 とおりがります。

- (1) リセット解除後の最初の PCR_PID 到着
- (2) PCR フラッシュ解除後の最初の PCR_PID 到着
- (3) 到着した PCR_PID のパケットの discontinuity_indicator=1 の場合
- (4) STPWMMR レジスタ PID が書き換えられた後の PCR_PID 到着*⁴

*⁴ STPWMMR レジスタ PID を書き換える際は、PIDEN を 0 にしてから行ってください。PIDEN を 0 にすることで discont 後として扱われます。

● 異常 PCR 到着に対するハード対策手順

初期設定 (1) PWMCYC 以下になるような LKCYC を設定します。LKCYC は、外付け回路とで構成される PLL の定常偏差 (PLL 誤差量) より大きくする必要があります。PLL の定常偏差から余裕をもって LKCYC の値を決定してください。守られない場合、動作が保証されません。

初期設定 (2) PLL 誤差量が閾値範囲内になったときに LKF=1 にするまでの LKREF の値を設定します。LKREF は PLL 引き込み時の異常 PCR 到着に対する安定性を高めるための設定で、通常は 1 以上を設定します。大きな値ほど安定性が高まりますが、引き込み時間が大きくなることに注意が必要です。

初期設定 (3) PLL 誤差量が閾値範囲外になったときに LKF=0 にするまでの ULREF の値を設定します。LKREF は PLL がロック状態のときの異常 PCR 到着に対する安定性を高めるための設定で、通常は 1 以上を設定します。システムの依存的な異常 PCR 到着の連続する回数の最大値より LKREF を大きくすることを推奨します。

15.7 使用上の注意事項

1. 少なくとも一方のチャンネルを送信モード (SHAから外部デバイスへストリーム出力) とし、かつ、当該チャンネルのST_CLKINへの入力クロックを送信クロックとして選択する (当該チャンネルのSTMDRレジスタのCLKSELビット=1) 場合、ST_CLKOUTはLow固定出力 (STMDR_0レジスタのCKFRSEL[3:0]ビット=1111) としてください。
2. ST_CLKOUTは、STIFチャンネル間の共通リソースであり、チャンネル0に実装されていますので、ST_CLKOUTの動作はSTIFチャンネル1のモジュールスタンバイによる影響を受けません。またSTIFモジュールスタンバイ時は、当該チャンネルの主要クロック (Pφ、Bφ) が停止しますので、チャンネル0をモジュールスタンバイにした場合のST_CLKOUTの動作は、STMDR0のCKFRSEL[3:0]ビットの設定に従い、以下のようになります。

0000 : Low 固定出力
 0001 : Iφ/2 (モジュールスタンバイの影響を受けません)
 0010 : Iφ/3 (モジュールスタンバイの影響を受けません)
 0011 : Iφ/4 (モジュールスタンバイの影響を受けません)
 0100 : Iφ/6 (モジュールスタンバイの影響を受けません)
 0101 : Iφ/8 (モジュールスタンバイの影響を受けません)
 0110 : Iφ/12 (モジュールスタンバイの影響を受けません)
 0111 : リザーブ (設定しないでください)
 1000 : リザーブ (設定しないでください)
 1001 : リザーブ (設定しないでください)
 1010 : リザーブ (設定しないでください)
 1011 : リザーブ (設定しないでください)
 1100 : リザーブ (設定しないでください)
 1101 : リザーブ (設定しないでください)
 1110 : リザーブ (設定しないでください)
 1111 : Low 固定出力

なお、モジュールスタンバイの詳細については、「第 11 章 低消費電力モード」を参照してください。

3. 外部デバイスからSTIFへのストリームをA-DMAC経由でメモリへ転送中に、一時停止/再開をする場合、下記処理を下記順番で行ってください。
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを0にクリア
 - チャンネル[i]処理割り込み要求レジスタ (C[i]I) のDIビットが1になるまでポーリング、あるいは割り込み待ち
 以上で一時停止完了
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを1にセット
 以上で再開完了

4. メモリからA-DMACへのストリームをSTIF経由で外部デバイスへ転送中に、一時停止/再開をする場合、下記処理を下記順番で行ってください。
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを0にクリア
 - チャンネル[i]処理割り込み要求レジスタ (C[i]I) のDIビットが1になるまでポーリング、あるいは割り込み待ち以上で一時停止完了
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを1にセット以上で再開完了

5. 外部デバイスからSTIFへのストリームをA-DMAC経由でメモリへ転送中に、強制停止/再開をする場合、下記処理を下記順番で行ってください。
 - STIF制御レジスタ (STCTLR) のREQENビット、ENビットをともに0にクリア
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを0にクリア、Rビットを1にセット
 - ダミーのディスクリプタ (STIF当該チャンネルからメモリへの転送指定、転送サイズは192バイト、他の設定や転送データの内容は任意) を準備
 - チャンネル[i]処理ディスクリプタ開始アドレスレジスタ (C[i]DSA) 、チャンネル[i]処理ディスクリプタ現在アドレスレジスタ (C[i]DCA) に、上記ダミーディスクリプタのポインタアドレスを設定
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを1にセット、Rビットを0にクリア
 - 停止対象のSTIFチャンネルに合わせて、H'FFFC_25E0番地のビット14~8、あるいはビット6~0が0000000になるまでポーリング (停止対象がSTIF0の場合、ビット14~8をポーリング。停止対象がSTIF1の場合、ビット6~0をポーリング。)
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを0にクリア、Rビットを1にセット
 - STIF制御レジスタ (STCTLR) のSRSTビットを1にセット以上で強制停止完了
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを1にセット、Rビットを0にクリア
 - STIF制御レジスタ (STCTLR) のREQENビット、ENビットをともに1にセット以上で再開完了

6. メモリからA-DMACへのストリームをSTIF経由で外部デバイスへ転送中に、強制停止/再開をする場合、下記処理を下記順番で行ってください。
 - STIF制御レジスタ (STCTLR) のREQENビット、ENビットをともに0にクリア
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを0にクリア、Rビットを1にセット
 - ダミーのディスクリプタ (STIF当該チャンネルからメモリへの転送指定、転送サイズは192バイト、他の設定や転送データの内容は任意) を準備
 - チャンネル[i]処理ディスクリプタ開始アドレスレジスタ (C[i]DSA) 、チャンネル[i]処理ディスクリプタ現在アドレスレジスタ (C[i]DCA) に、上記ダミーディスクリプタのポインタアドレスを設定

- チャンネル[i]処理制御レジスタ (C[i]C) のEビットを1にセット、Rビットを0にクリア
- 停止対象のSTIFチャンネルに合わせて、H'FFFC_25E0番地のビット14~8、あるいはビット6~0が0000000になるまでポーリング (停止対象がSTIF0の場合、ビット14~8をポーリング。停止対象がSTIF1の場合、ビット6~0をポーリング。)
- チャンネル[i]処理制御レジスタ (C[i]C) のEビットを0にクリア、Rビットを1にセット
- STIF制御レジスタ (STCTLR) のSRSTビットを1にセット

以上で強制停止完了

- STIF制御レジスタSTCTLRのREQENビット、ENビットをともに1にセット
 - チャンネル[i]処理制御レジスタ (C[i]C) のEビットを1にセット、Rビットを0にクリア
- 以上で再開完了

16. シリアルサウンドインタフェース (SSI)

シリアルサウンドインタフェース (SSI) は、Philips 方式と互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。他の一般的フォーマットだけでなく、マルチチャンネルモードにも対応しています。

16.1 特長

- チャンネル数：2チャンネル
- 動作モード：非圧縮モード
非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。
- トランスミッタまたはレシーバのいずれとしても動作可能
- シリアルバスフォーマットを使用可能
- データバッファとシフトレジスタ間は非同期転送
- シリアルバスインタフェースで使用されるクロックの分周比が選択可能
- DMACまたは割り込みで、データ送受信を制御可能
- オーバサンプルクロックを以下の端子から選択可能
EXTAL、XTAL (クロック動作モード 0)
CKIO (クロック動作モード 1、2)
AUDIO_CLK

図 16.1 に SSI モジュールの概略図を示します。

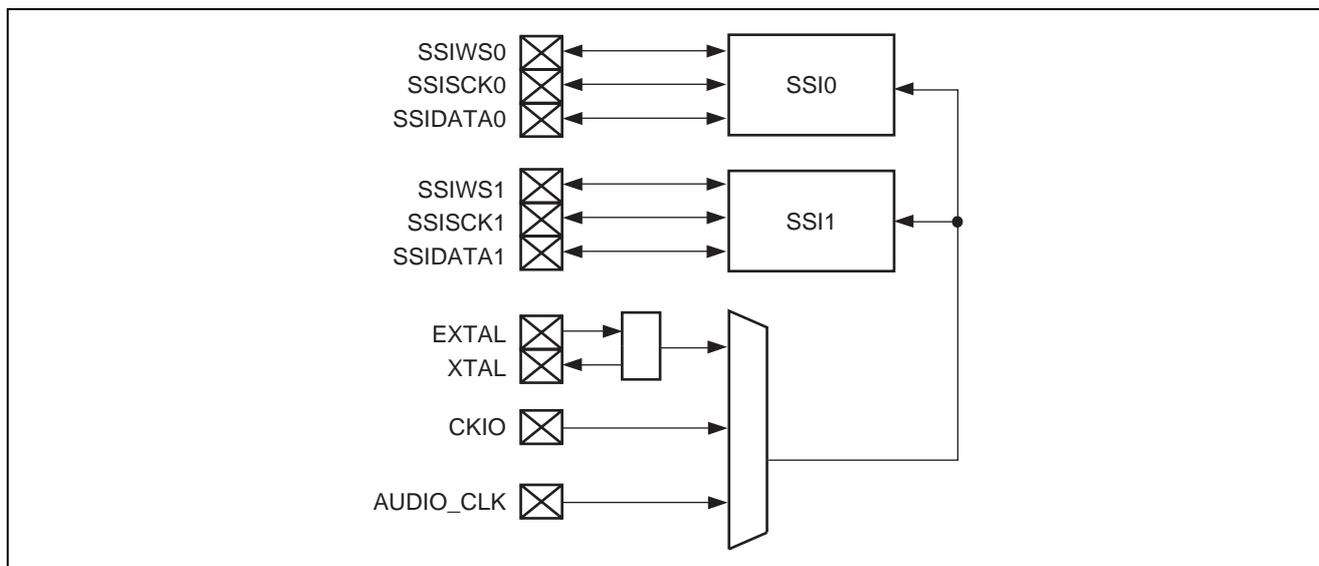


図 16.1 SSI モジュールの概略図

図 16.2 に SSI のブロック図を示します。

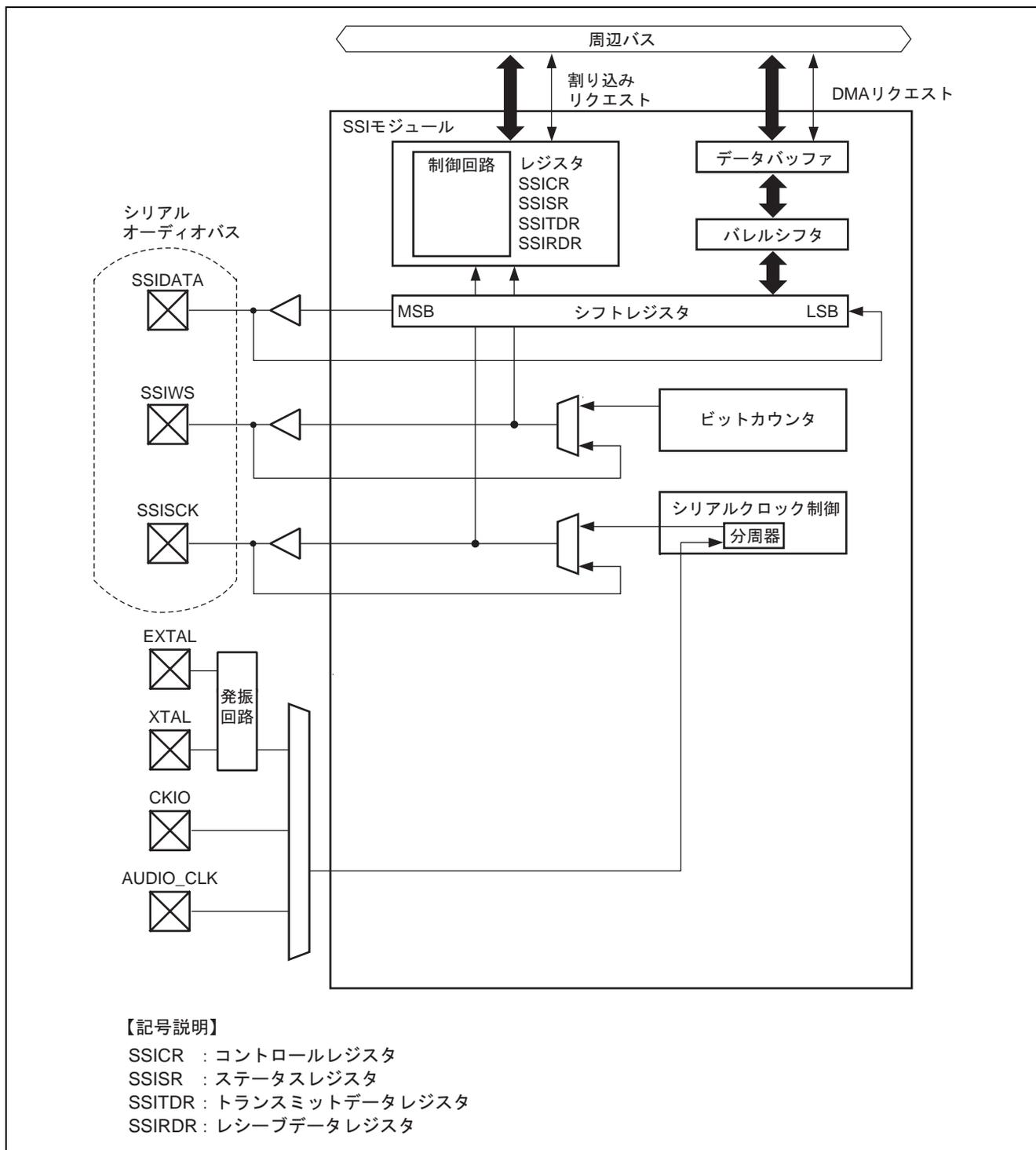


図 16.2 SSI のブロック図

16.2 入出力端子

SSI モジュールに関する端子構成を表 16.1 に示します。

表 16.1 端子構成

名称	本数	入出力	機能
SSISCK0	1	入出力	シリアルビットクロック
SSIWS0	1	入出力	ワード選択
SSIDATA0	1	入出力	シリアルデータ入出力
SSISCK1	1	入出力	シリアルビットクロック
SSIWS1	1	入出力	ワード選択
SSIDATA1	1	入出力	シリアルデータ入出力
AUDIO_CLK	1	入力	オーディオ用外部クロック (オーバーサンプルクロック、256/384/512fs を入力)

16.3 レジスタの説明

SSI には以下のレジスタがあります。また本文中では、チャンネルによる区別を省略して説明しています。

表 16.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	コントロールレジスタ 0	SSICR_0	R/W	H'00000000	H'FFFC000	32
	ステータスレジスタ 0	SSISR_0	R/W*	H'02000003	H'FFFC004	32
	トランスミットデータレジスタ 0	SSITDR_0	R/W	H'00000000	H'FFFC008	32
	レシーブデータレジスタ 0	SSIRDR_0	R	H'00000000	H'FFFC00C	32
1	コントロールレジスタ 1	SSICR_1	R/W	H'00000000	H'FFFC800	32
	ステータスレジスタ 1	SSISR_1	R/W*	H'02000003	H'FFFC804	32
	トランスミットデータレジスタ 1	SSITDR_1	R/W	H'00000000	H'FFFC808	32
	レシーブデータレジスタ 1	SSIRDR_1	R	H'00000000	H'FFFC80C	32
0	SSI クロック選択レジスタ 0	SCSR_0	R/W	H'0000	H'FFF0000	16
1	SSI クロック選択レジスタ 1	SCSR_1	R/W	H'0000	H'FFF0800	16

【注】 * 本レジスタのビット 27 とビット 26 は読み出し／書き込み可能ですが、それ以外のビットは読み出し専用です。詳細は、「16.3.2 ステータスレジスタ (SSISR)」を参照してください。

16.3.1 コントロールレジスタ (SSICR)

SSICR は、読み出し／書き込み可能な 32 ビットのレジスタで、IRQ の制御、各極性の状態の選択、動作モードの設定を行います。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DMEN	UIEN	OIEN	IEN	DIEN	CHNL[1:0]	DWL[2:0]			SWL[2:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	-	CKDV[2:0]			MUEN	-	TRMD	EN
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W							

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて 0	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
28	DMEN	0	R/W	DMA イネーブル DMA 要求を許可／禁止します。 0 : DMA 要求を禁止 1 : DMA 要求を許可
27	UIEN	0	R/W	アンダフロー割り込みイネーブル 0 : アンダフロー割り込みを禁止 1 : アンダフロー割り込みを許可
26	OIEN	0	R/W	オーバフロー割り込みイネーブル 0 : オーバフロー割り込みを禁止 1 : オーバフロー割り込みを許可
25	IEN	0	R/W	アイドルモード割り込みイネーブル 0 : アイドルモード割り込みを禁止 1 : アイドルモード割り込みを許可
24	DIEN	0	R/W	データ割り込みイネーブル 0 : データ割り込みを禁止 1 : データ割り込みを許可
23, 22	CHNL[1:0]	00	R/W	チャンネル 各システムワードのチャンネル数を示します。 00 : 各システムワードは 1 チャンネルで構成されています。 01 : 各システムワードは 2 チャンネルで構成されています。 10 : 各システムワードは 3 チャンネルで構成されています。 11 : 各システムワードは 4 チャンネルで構成されています。

ビット	ビット名	初期値	R/W	説明
21~19	DWL[2:0]	000	R/W	データワード長 データワードのビット数を示します。 000 : 8 ビット 001 : 16 ビット 010 : 18 ビット 011 : 20 ビット 100 : 22 ビット 101 : 24 ビット 110 : 32 ビット 111 : 設定禁止
18~16	SWL[2:0]	000	R/W	システムワード長 システムワードのビット数を示します。 000 : 8 ビット 001 : 16 ビット 010 : 24 ビット 011 : 32 ビット 100 : 48 ビット 101 : 64 ビット 110 : 128 ビット 111 : 256 ビット
15	SCKD	0	R/W	シリアルビットクロック方向 0 : シリアルビットクロック入力、スレーブモード 1 : シリアルビットクロック出力、マスターモード 【注】非圧縮モード (CPEN=0) の場合、(SCKD、SWSD) = (0、0) と (1、1) の設定のみ可能です。それ以外の設定は禁止です。
14	SWSD	0	R/W	シリアル WS 方向 0 : シリアルワード選択入力、スレーブモード 1 : シリアルワード選択出力、マスターモード 【注】非圧縮モード (CPEN=0) の場合、(SCKD、SWSD) = (0、0) と (1、1) の設定のみ可能です。それ以外の設定は禁止です。

ビット	ビット名	初期値	R/W	説明															
13	SCKP	0	R/W	シリアルビットクロック極性 0 : SSIWS と SSIDATA は SSISCK の立ち下がりエッジで変化 (SCK 立ち上がりエッジでサンプリング) 1 : SSIWS と SSIDATA は SSISCK の立ち上がりエッジで変化 (SCK 立ち下がりエッジでサンプリング) <table border="1" style="margin-left: 20px;"> <thead> <tr> <th></th> <th>SCKP=0</th> <th>SCKP=1</th> </tr> </thead> <tbody> <tr> <td>受信時 (TRMD=0) SSIDATA 入力サンプリングタイミング</td> <td>SSISCK 立ち上がりエッジ</td> <td>SSISCK 立ち下がりエッジ</td> </tr> <tr> <td>送信時 (TRMD=1) SSIDATA 出力変化タイミング</td> <td>SSISCK 立ち下がりエッジ</td> <td>SSISCK 立ち上がりエッジ</td> </tr> <tr> <td>スレーブモード時 (SWSD=0) SSIWS 入力サンプリングタイミング</td> <td>SSISCK 立ち上がりエッジ</td> <td>SSISCK 立ち下がりエッジ</td> </tr> <tr> <td>マスターモード時 (SWSD=1) SSIWS 出力変化タイミング</td> <td>SSISCK 立ち下がりエッジ</td> <td>SSISCK 立ち上がりエッジ</td> </tr> </tbody> </table>		SCKP=0	SCKP=1	受信時 (TRMD=0) SSIDATA 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ	送信時 (TRMD=1) SSIDATA 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ	スレーブモード時 (SWSD=0) SSIWS 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ	マスターモード時 (SWSD=1) SSIWS 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ
	SCKP=0	SCKP=1																	
受信時 (TRMD=0) SSIDATA 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ																	
送信時 (TRMD=1) SSIDATA 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ																	
スレーブモード時 (SWSD=0) SSIWS 入力サンプリングタイミング	SSISCK 立ち上がりエッジ	SSISCK 立ち下がりエッジ																	
マスターモード時 (SWSD=1) SSIWS 出力変化タイミング	SSISCK 立ち下がりエッジ	SSISCK 立ち上がりエッジ																	
12	SWSP	0	R/W	シリアル WS 極性 0 : SSIWS は第 1 チャンネルではローレベル、第 2 チャンネルではハイレベル 1 : SSIWS は第 1 チャンネルではハイレベル、第 2 チャンネルではローレベル															
11	SPDP	0	R/W	シリアルパディング極性 0 : パディングビットはローレベル 1 : パディングビットはハイレベル 【注】MUEN=1 のとき、パディングビットはローレベルになります (MUTE 機能が優先されます)。															
10	SDTA	0	R/W	シリアルデータアライメント 0 : シリアルデータ、パディングビットの順に送受信 1 : パディングビット、シリアルデータの順に送受信															

ビット	ビット名	初期値	R/W	説明
9	PDTA	0	R/W	<p>パラレルデータアライメント</p> <p>データワード長が 32、16、8 ビットのと看、このビットは意味を持ちません。</p> <p>このビットは、受信モード時の SSIRDR と送信モード時の SSITDR に適用します。</p> <p>0: パラレルデータ (SSITDR、SSIRDR) を左詰め 1: パラレルデータ (SSITDR、SSIRDR) を右詰め</p> <ul style="list-style-type: none"> • DWL=000 (データワード長 8 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 4 データワードが送受信されます。ビット 7~0 には第 1 のデータワード、ビット 15~8 には第 2 のデータワード、ビット 23~16 には第 3 のデータワード、そしてビット 31~24 には第 4 のデータワードが格納されています。 • DWL=001 (データワード長 16 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 2 データワードが送受信されます。ビット 15~0 には第 1 のデータワード、そしてビット 31~16 には第 2 のデータワードが格納されています。 • DWL=010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA=0 (左詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。 ビット 31~ビット (32-DWL によって設定されたデータワード長のビット数) つまり、DWL=011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 31~12 が使用されます。他のすべてのビットは無視されるかリザーブビットになります。 • DWL=010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA=1 (右詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。 ビット (DWL によって設定されたデータワード長のビット数-1) ~ ビット 0 つまり、DWL=011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 19~0 が使用されます。他のすべてのビットは無視されるかリザーブビットになります。 • DWL=110 (データワード長 32 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。

ビット	ビット名	初期値	R/W	説明
8	DEL	0	R/W	シリアルデータディレイ 0: SSIWS と SSIDATA 間で1クロックサイクルの遅延 1: SSIWS と SSIDATA 間の遅延なし 【注】 CPEN=1 のとき、このビットは1にセットしてください。
7	—	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
6~4	CKDV[2:0]	000	R/W	シリアルオーバーサンプルクロック分周比 オーバーサンプルクロック*とシリアルビットクロックの分周比を設定します。SCKD=0 のとき、これらのビットは無視されます。シリアルビットクロックはシフトレジスタで使われ、SSISCK 端子から供給されます。 000: シリアルビットクロック周波数=オーバーサンプルクロック周波数/1 001: シリアルビットクロック周波数=オーバーサンプルクロック周波数/2 010: シリアルビットクロック周波数=オーバーサンプルクロック周波数/4 011: シリアルビットクロック周波数=オーバーサンプルクロック周波数/8 100: シリアルビットクロック周波数=オーバーサンプルクロック周波数/16 101: シリアルビットクロック周波数=オーバーサンプルクロック周波数/6 110: シリアルビットクロック周波数=オーバーサンプルクロック周波数/12 111: 設定禁止 【注】 * オーバサンプルクロックは、SCSR_0/SCSR_1 の設定によって選択されます。
3	MUEN	0	R/W	ミュートイネーブル 0: SSI モジュールはミュート状態でない 1: SSI モジュールはミュート状態
2	—	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
1	TRMD	0	R/W	送信/受信モード選択 0: SSI モジュールは受信モード 1: SSI モジュールは送信モード
0	EN	0	R/W	SSI モジュールイネーブル 0: SSI モジュール動作を禁止 1: SSI モジュール動作を許可

16.3.2 ステータスレジスタ (SSISR)

SSISR は、SSI モジュールの動作状態を示すステータスフラグと、現在のチャンネル番号とワード番号を示すビットで構成されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	1	0	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CHNO[1:0]	SWNO	IDST	
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * 読み出し/書き込み可能。0を書き込むとビットは初期化されますが、1の書き込みは無視されます。

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて 0	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
28	DMRQ	0	R	DMA 要求ステータスフラグ 本ステータスフラグにより、CPU は SSI モジュールの DMA リクエストの状態を知ることができます。 [TRMD=0 (受信モード) のとき] <ul style="list-style-type: none"> DMRQ=1 のとき、SSIRDR に未読データがあります。 SSIRDR が読み出された場合、次の未読データがくるまで DMRQ=0 になります。 [TRMD=1 (送信モード) のとき] <ul style="list-style-type: none"> DMRQ=1 のとき、SSITDR は、シリアルオーディオバス上の送信を継続できるようデータの書き込みを要求します。 SSITDR にデータが書き込まれた場合、次の送信データの要求があるまで DMRQ=0 になります。

ビット	ビット名	初期値	R/W	説明
27	UIRQ	0	R/W*	<p>アンダフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより低いレートでデータが供給されたことを示します。</p> <p>このビットは、UIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>UIRQ=1 かつ UIEN=1 のとき、割り込みが発生します。</p> <p>[TRMD=0 (受信モード) のとき]</p> <p>UIRQ=1 のとき、DMRQ や DIRQ ビットが新しい未読データの存在を示す前に、SSIRDR が読み出されたことを示しています。このとき、同じ受信データがホストによって 2 回格納される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>[TRMD=1 (送信モード) のとき]</p> <p>UIRQ=1 のとき、送信する前に SSITDR に送信データが書き込まれなかったことを示しています。これにより同じデータが 1 回多く送信される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。結果として間違った SSI データが出力されるため、このエラーは、受信モードのアンダフローより深刻です。</p> <p>【注】アンダフローエラーが発生すると、次のデータが書き込まれるまで、データバッファ中にあるデータが送信されます。</p>
26	OIRQ	0	R/W*	<p>オーバフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより高いレートでデータが供給されたことを示します。</p> <p>このビットは、OIEN ビットの設定にかかわらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>OIRQ=1 かつ OIEN=1 のとき、割り込みが発生します。</p> <p>[TRMD=0 (受信モード) のとき]</p> <p>OIRQ=1 のとき、SSIRDR に、新しい未読データが書き込まれる前に以前の未読データが読み出されなかったことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>【注】オーバフローエラーが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされます。</p> <p>[TRMD=1 (送信モード) のとき]</p> <p>OIRQ=1 のとき、SSITDR 中のデータがシフトレジスタに転送される前に SSITDR にデータが書き込まれたことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p>

ビット	ビット名	初期値	R/W	説明
25	IIRQ	1	R	<p>アイドルモード割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがアイドル状態であるかどうかを示します。ポーリングを可能にするため、このビットは、I IEN ビットの設定にかかわらず 1 にセットされます。</p> <p>割り込みは、I IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んでも割り込みをクリアできません。</p> <p>IIRQ=1 かつ I IEN=1 のとき、割り込みが発生します。</p> <p>0 : SSI モジュールはアイドル状態でない 1 : SSI モジュールはアイドル状態</p>
24	DIRQ	0	R	<p>データ割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがデータの読み出しか書き込みを必要としていることを示します。</p> <p>ポーリングを可能にするため、このビットは、D IEN ビットの設定にかかわらず 1 にセットされます。</p> <p>割り込みは、D IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んでも割り込みをクリアできません。</p> <p>DIRQ=1 かつ D IEN=1 のとき、割り込みが発生します。</p> <p>[TRMD=0 (受信モード) のとき]</p> <p>0 : SSIRDR に未読データなし 1 : SSIRDR に未読データあり</p> <p>[TRMD=1 (送信モード) のとき]</p> <p>0 : 送信バッファはフル 1 : 送信バッファは空で、SSITDR へのデータ書き込みを要求しています</p>
23~4	—	不定	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>
3, 2	CHNO [1:0]	00	R	<p>チャンネル番号</p> <p>現在のチャンネルを示します。</p> <p>[TRMD=0 (受信モード) のとき]</p> <p>このビットは、SSIRDR 内の現在のデータがどのチャンネルのものを表します。シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[TRMD=1 (送信モード) のとき]</p> <p>このビットは、SSITDR にどのチャンネルのデータを書き込むべきかを表します。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。</p>

ビット	ビット名	初期値	R/W	説明
1	SWNO	1	R	<p>シリアルワード番号 現在のワード番号を示します。</p> <p>[TRMD=0 (受信モード) のとき]</p> <p>このビットは、SSIRDR 内の現在のデータがどちらのシステムワードであるかを表します。SSIRDR が読み出されたかどうかにかかわらず、シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>[TRMD=1 (送信モード) のとき]</p> <p>このビットは、SSITDR にどちらのシステムワードを書き込むべきかを表します。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。</p>
0	IDST	1	R	<p>アイドルモードステータスフラグ 本ステータスフラグはシリアルバスが停止した状態であることを示します。</p> <p>EN=1 かつシリアルバスが動作中のとき、このビットはクリアされます。このビットは以下の条件のときに自動的に 1 にセットされます。</p> <p>[SSI がマスタトランスミッタ (SWSD=1 かつ TRMD=1) のとき]</p> <p>EN ビットがクリアされ、SSITDR に書き込まれているデータがシリアデータ入出力端子 (SSI_SDATA) から出力を完了すると (システムワード長の出力を完了すると)、このビットは 1 にセットされます。</p> <p>[SSI がマスタレシーバ (SWSD=1 かつ TRMD=0) のとき]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>[SSI がスレーブトランスミッタ/レシーバ (SWSD=0) のとき]</p> <p>EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>【注】現在のシステムワードが終了する前に外部デバイスがシリアルバスクロックを停止すると、このビットはセットされません。</p>

【注】 * 読み出し/書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

16.3.3 トランスミットデータレジスタ (SSITDR)

SSITDR は、32 ビットのレジスタで、送信するデータを格納します。

本レジスタに書き込まれたデータは、送信の要求があると、シフトレジスタに転送されます。データワード長が 32 ビット未満のとき、アライメントは SSICR の PDTA コントロールビットの設定に従って行われます。

本レジスタを読むことで、バッファ内のデータが得られます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

16.3.4 レシーブデータレジスタ (SSIRDR)

SSIRDR は、32 ビットのレジスタで、受信したデータを格納します。

本レジスタのデータは、データワードが受信されるごとにシフトレジスタから転送されます。データワード長が 32 ビット未満のとき、アライメントは SSICR の PDTA コントロールビットの設定に従って行われます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

16.3.5 SSI クロック選択レジスタ (SCSR)

SCSR は、読み出し／書き込み可能な 16 ビットのレジスタで、SSI で使用するオーバサンプルクロックの供給源および分周率を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	SSInCKS[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

【注】 n=0、1

ビット	ビット名	初期値	R/W	説明
15~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	SSInCKS[2:0]	000	R/W	SSlchn クロックセレクト SSlchn で使用するオーバサンプルクロックの供給源を選択します。表 16.3 を参照してください。

【注】 n=0、1

表 16.3 SSInCKS によるオーバサンプルクロック供給源の選択

SSInCKS[2:0]* ¹ 設定値	クロック動作モード		
	0 または 1	2	3
000	予約。これは初期値であるので、SSI を動作させる前に適切な値に設定してください。		
001	予約。		
010	AUDIO_CLK 入力* ²		
011	AUDIO_CLK 入力* ² /4		
100	EXTAL 入力	CKIO 入力	設定禁止
101	EXTAL 入力/4	CKIO 入力/4	設定禁止
110	EXTAL 入力/2	CKIO 入力/2	設定禁止
111	EXTAL 入力/8	CKIO 入力/8	設定禁止

【注】 *1 n=0、1

*2 AUDIO_CLK を使用する場合は、対応するポートのコントロールレジスタも設定してください。

16.4 動作説明

16.4.1 バスフォーマット

SSI モジュールは、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 16.4 に示すモードから選択できます。

表 16.4 SSI モジュールのバスフォーマット

	TRMD	CPEN	SCKD	SWSD	EN	MJEN	DIEN	IJEN	OJEN	UJEN	DEL	PDTA	SDTA	SPDP	SWSP	SCKP	SWL [2:0]	DWL [2:0]	CHNL [1:0]
非圧縮スレーブレシーバ	0	0	0	0	コントロールビット					コンフィギュレーションビット									
非圧縮スレーブトランスミッタ	1	0	0	0															
非圧縮マスタレシーバ	0	0	1	1															
非圧縮マスタトランスミッタ	1	0	1	1															

16.4.2 非圧縮モード

非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。Philips、Sony または松下モードだけでなく、多数の改良版にも対応しています。

(1) スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(2) スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(3) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号はオーバーサンプリングクロックから内部生成されます。これらの信号のフォーマットは SSI モジュールの設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

(4) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号はオーバーサンプリングクロックから内部生成されます。これらの信号のフォーマットは SSI モジュールのコンフィギュレーションビットの設定に従います。

(5) 動作設定—ワード長関連

非圧縮モードでは、SSICR のワード長に関するすべてのビットが有効です。SSI モジュールは多数のコンフィギュレーションをサポートできますが、ここでは Philips、Sony、松下のフォーマットについて説明します。

- Philips フォーマット

図 16.3、図 16.4 に、パディングありとパディングなしの Philips フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

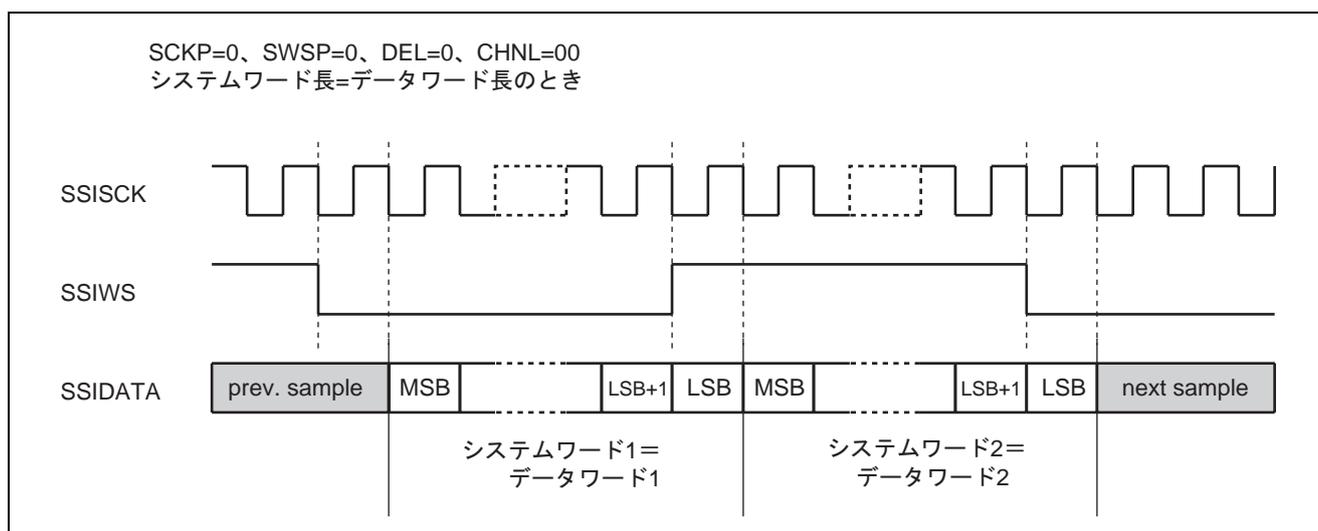


図 16.3 Philips フォーマット (パディングなし)

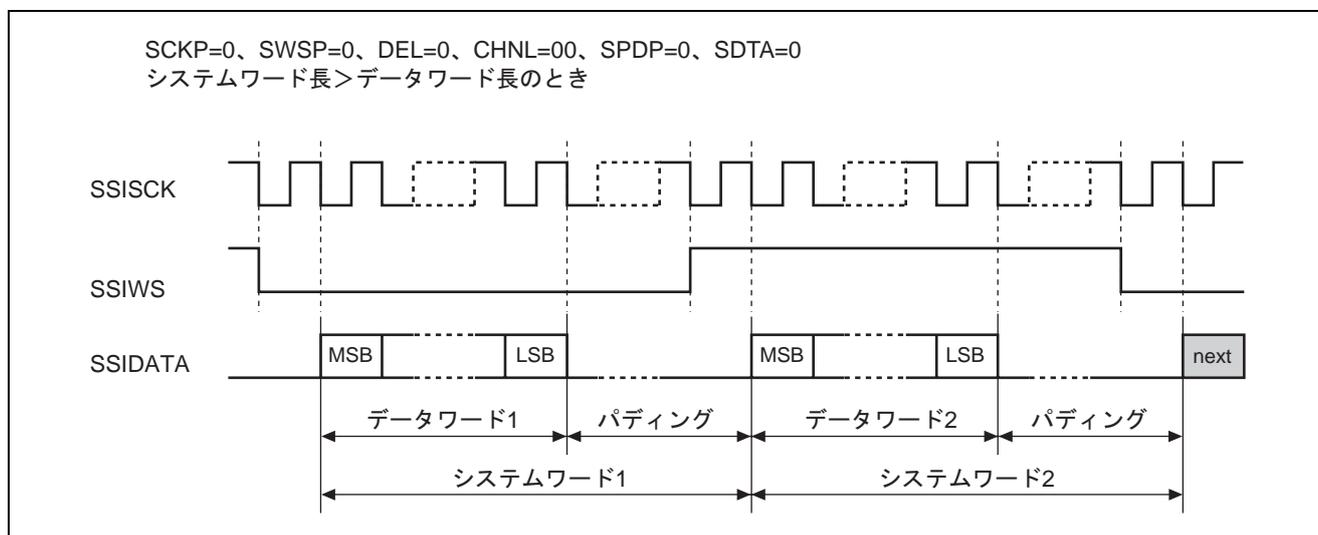


図 16.4 Philips フォーマット (パディングあり)

図 16.5 に Sony フォーマットを、図 16.6 に松下のフォーマットを示します。2 つともパディングありの例ですが、システムワード長とデータワード長が同じだった場合はパディングなしとなることもあります。

- Sonyフォーマット

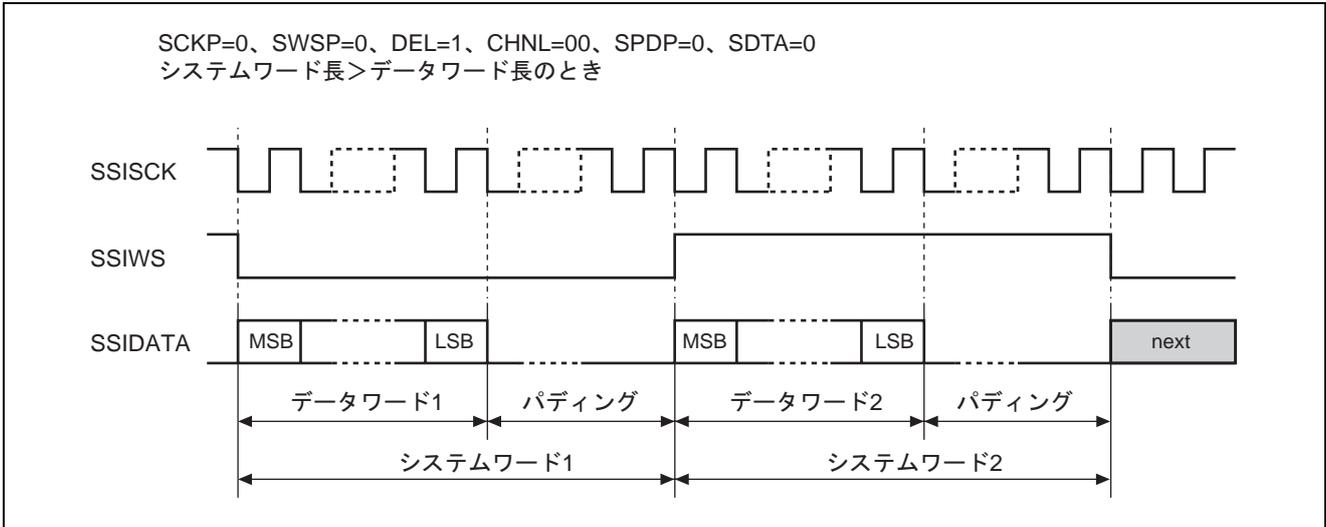


図 16.5 Sony フォーマット (パディングビット、シリアルデータの順に送受信)

- 松下フォーマット

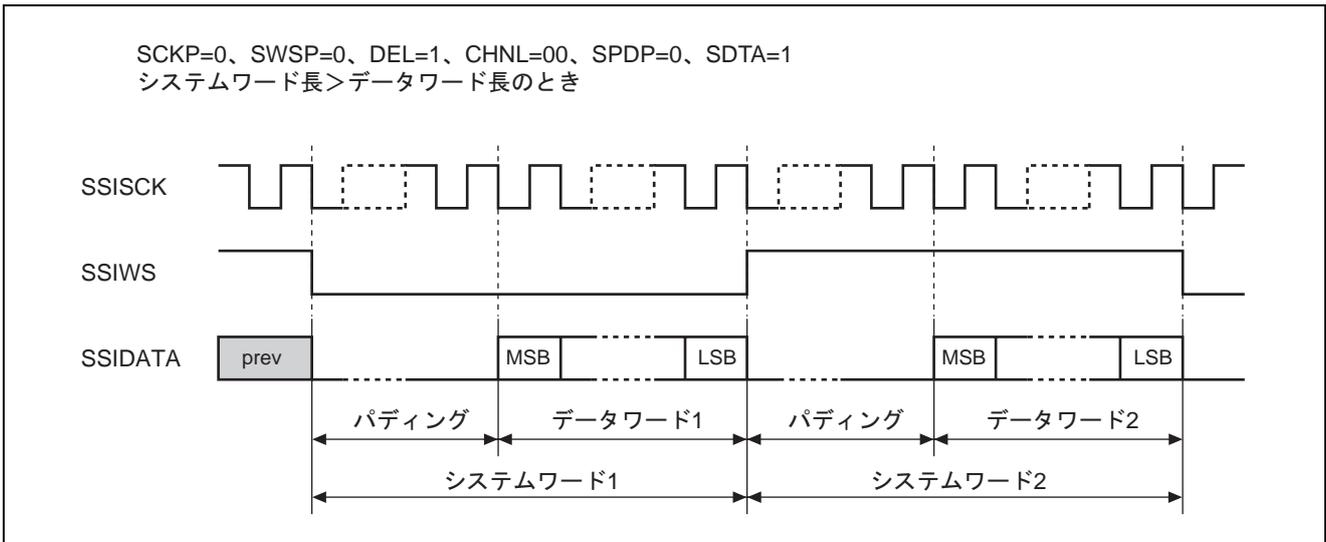


図 16.6 松下フォーマット (シリアルデータ、パディングビットの順に送受信)

(6) マルチチャンネルフォーマット

Philips 仕様の定義を拡張し、2 システムワード中に 2 より多いチャンネルの転送を行うデバイスタイプもあります。

SSI モジュールは、CHNL、SWL および DWL ビットを使って、4、6、および 8 チャンネルの転送を実行します。ただし、システムワード長 (SWL) が、データワード長 (DWL) にチャンネル数 (CHNL) を掛けたもの以上の長さの場合に限ります。

表 16.5 に有効な設定とパディングビット数を示します。有効ではない設定には数字の代わりに「-」が記入されています。

表 16.5 有効な設定とパディングビット数

システムワードごとのパディングビット数			DWL[2:0]	000	001	010	011	100	101	110
CHNL [1:0]	システムワードごとに デコードされるチャンネル	SWL [2:0]	デコードされたワー ド長	8	16	18	20	22	24	32
00	1	000	8	0	—	—	—	—	—	—
		001	16	8	0	—	—	—	—	—
		010	24	16	8	6	4	2	0	—
		011	32	24	16	14	12	10	8	0
		100	48	40	32	30	28	26	24	16
		101	64	56	48	46	44	42	40	32
		110	128	120	112	110	108	106	104	96
		111	256	248	240	238	236	234	232	224
01	2	000	8	—	—	—	—	—	—	—
		001	16	0	—	—	—	—	—	—
		010	24	8	—	—	—	—	—	—
		011	32	16	0	—	—	—	—	—
		100	48	32	16	12	8	4	0	—
		101	64	48	32	28	24	20	16	0
		110	128	112	96	92	88	84	80	64
		111	256	240	224	220	216	212	208	192
10	3	000	8	—	—	—	—	—	—	—
		001	16	—	—	—	—	—	—	—
		010	24	0	—	—	—	—	—	—
		011	32	8	—	—	—	—	—	—
		100	48	24	0	—	—	—	—	—
		101	64	40	16	10	4	—	—	—
		110	128	104	80	74	68	62	56	32
		111	256	232	208	202	196	190	184	160
11	4	000	8	—	—	—	—	—	—	—
		001	16	—	—	—	—	—	—	—
		010	24	—	—	—	—	—	—	—
		011	32	0	—	—	—	—	—	—
		100	48	16	—	—	—	—	—	—
		101	64	32	0	—	—	—	—	—
		110	128	96	64	56	48	40	32	0
		111	256	224	192	184	176	168	160	128

SSI モジュールがトランスミッタとして動作する場合、SSITDR に書き込まれた各ワードは書き込まれた順にシリアルオーディオバスに送信されます。SSI モジュールがレシーバとして動作する場合、シリアルオーディオバスが受信した各ワードは SSIRDR から受信した順に読み出されます。

図 16.7～図 16.9 に、4、6 および 8 チャンルのデータがどのようにシリアルオーディオバスに転送されるかを示します。図 16.7 はパディングビットがない場合、図 16.8 は左詰めの場合、図 16.9 は右詰めの場合を示します。これらの例は、すべて任意の例です。

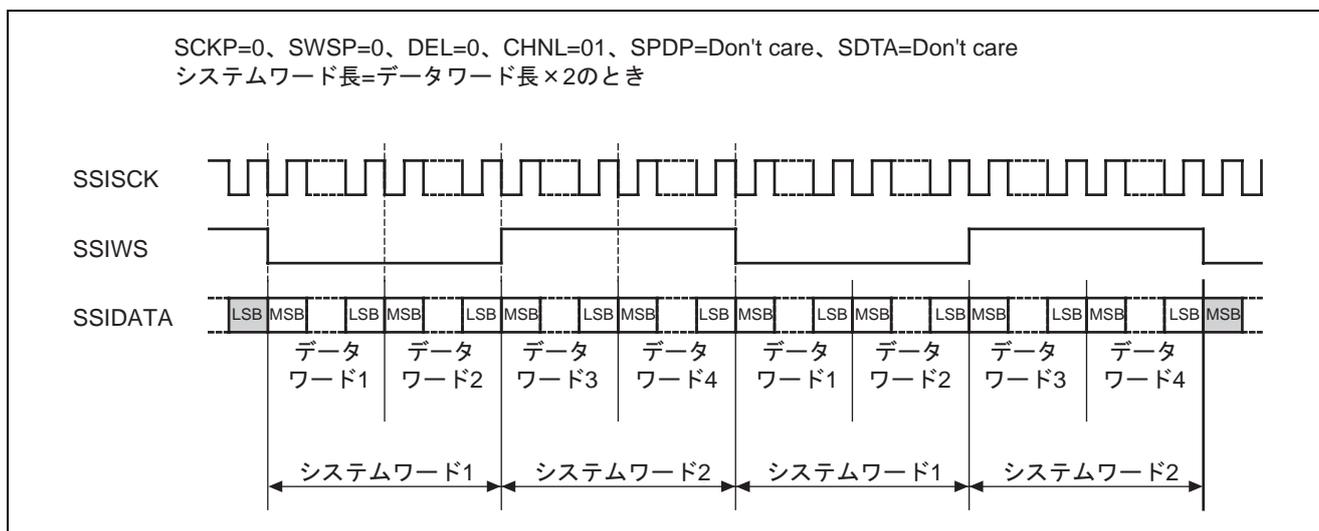


図 16.7 マルチチャンネルフォーマット (4 チャンル、パディングなし)

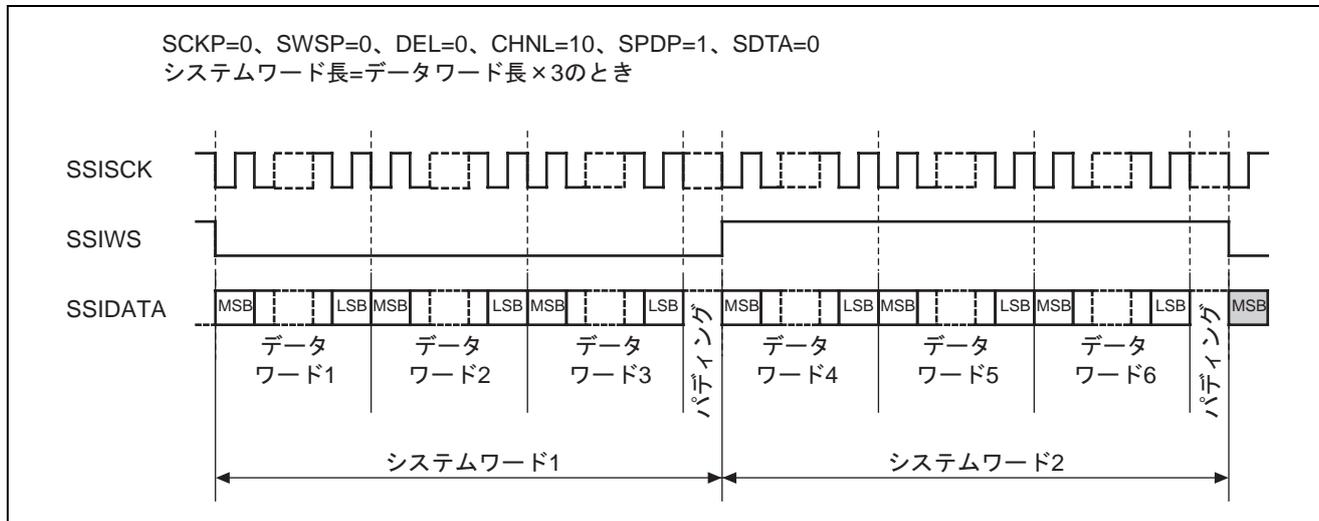


図 16.8 マルチチャンネルフォーマット (6 チャンル、High パディング)

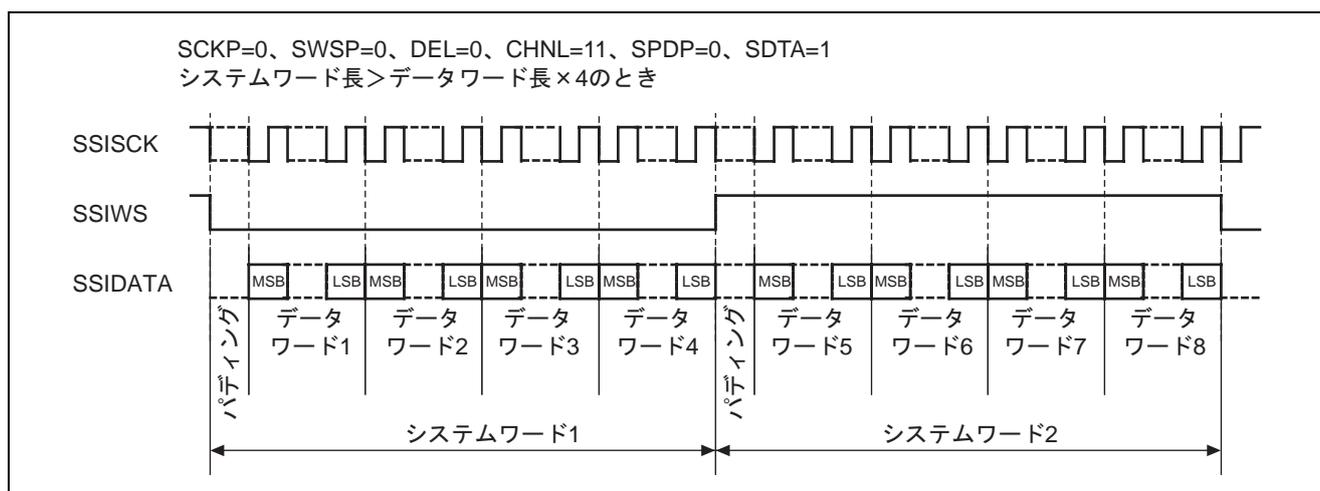


図 16.9 マルチチャンネルフォーマット
(8チャンネル、シリアルデータ、パディングビットの順に送受信、パディングあり)

(7) 動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図 16.10 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

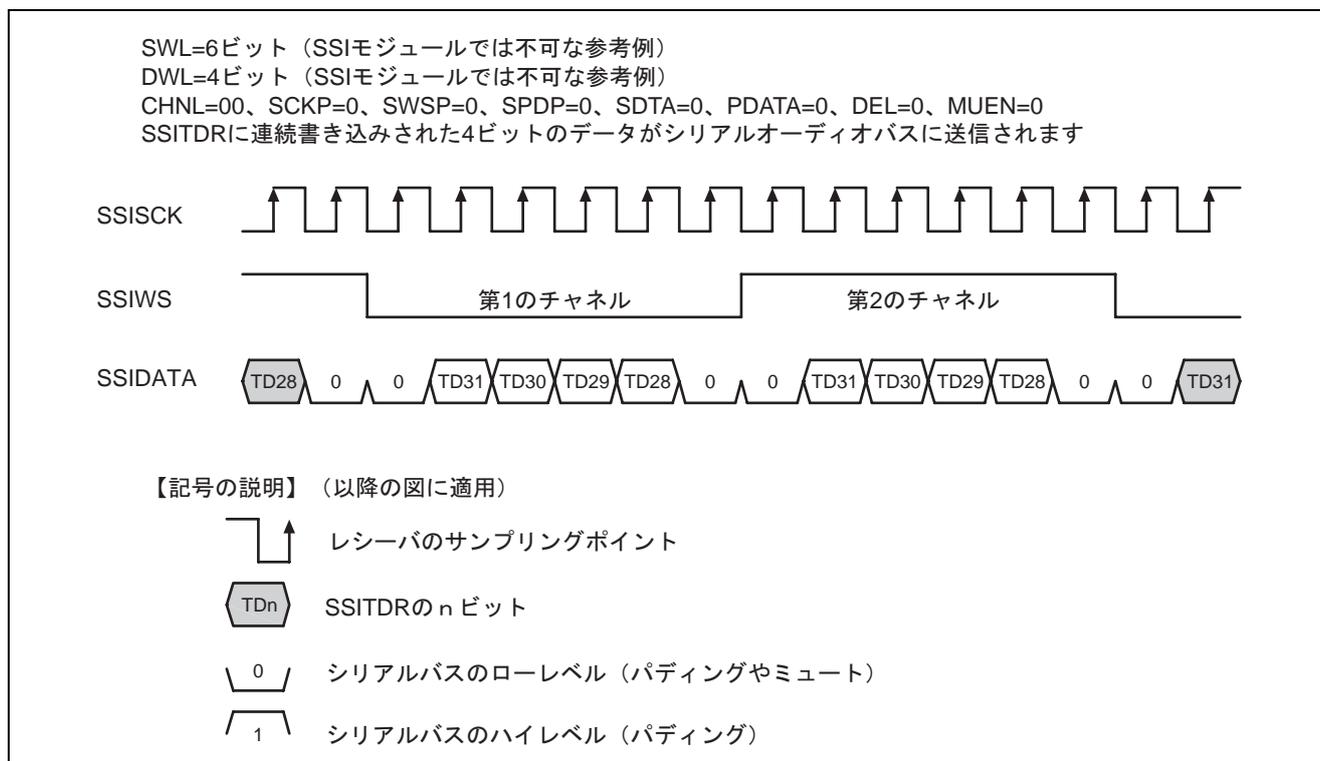


図 16.10 基本フォーマット例 (送信モード、任意のシステム/データワード長)

図 16.10 の例では、6 ビットのシステムワードと 4 ビットのデータワードが使用されます。これらの設定は SSI モジュールでは実現不可能ですが、その他の設定ビットの説明のためにここでは例として用いています。

- 反転クロック

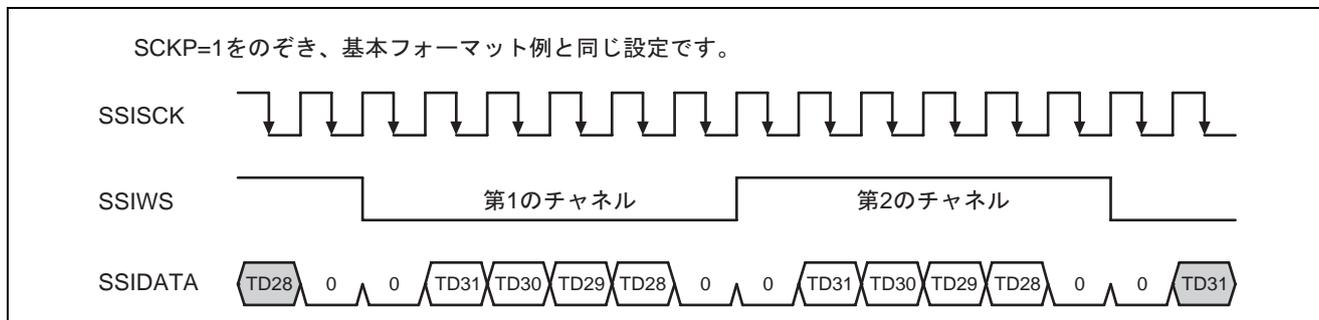


図 16.11 反転クロック

- 反転ワード選択信号

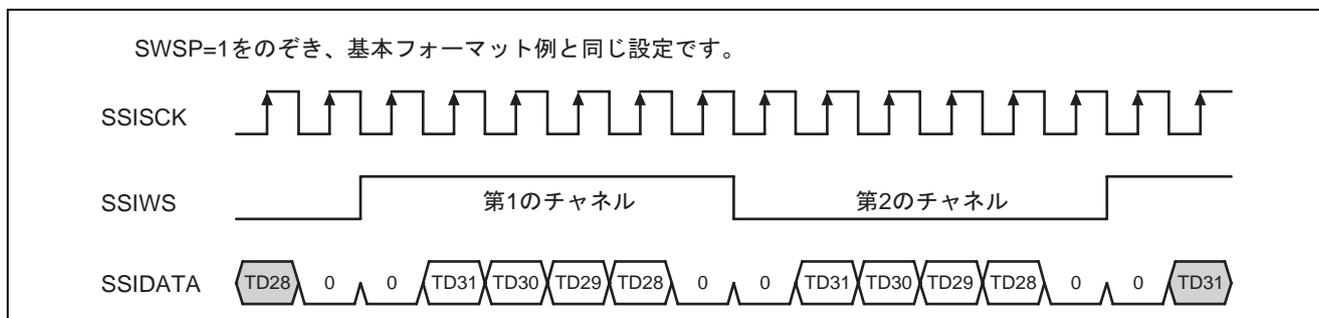


図 16.12 反転ワード選択信号

- 反転パディング極性

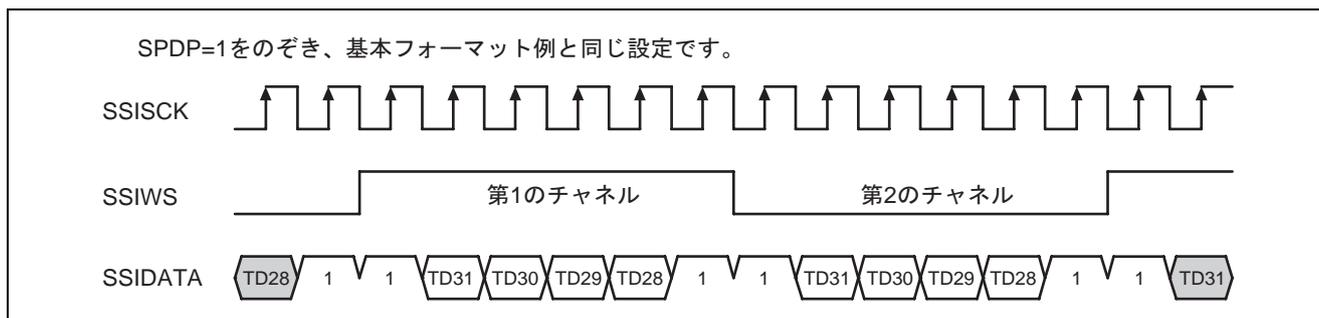


図 16.13 反転パディング極性

- パディングビット、シリアルデータの順に送受信、遅延あり

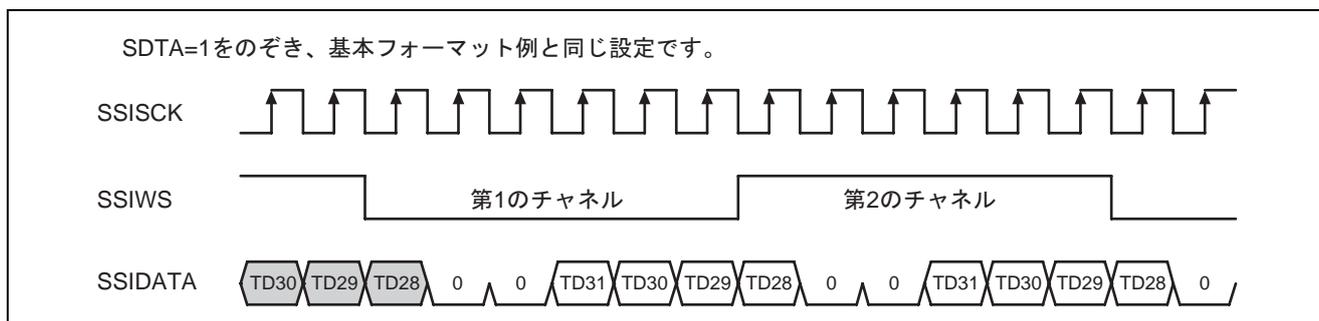


図 16.14 パディングビット、シリアルデータの順に送受信、遅延あり

- パディングビット、シリアルデータの順に送受信、遅延なし

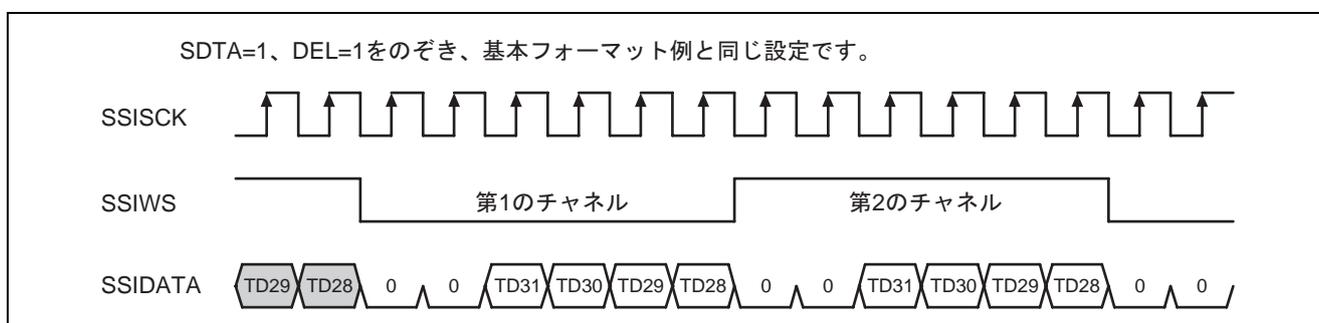


図 16.15 パディングビット、シリアルデータの順に送受信、遅延なし

- シリアルデータ、パディングビットの順に送受信、遅延なし

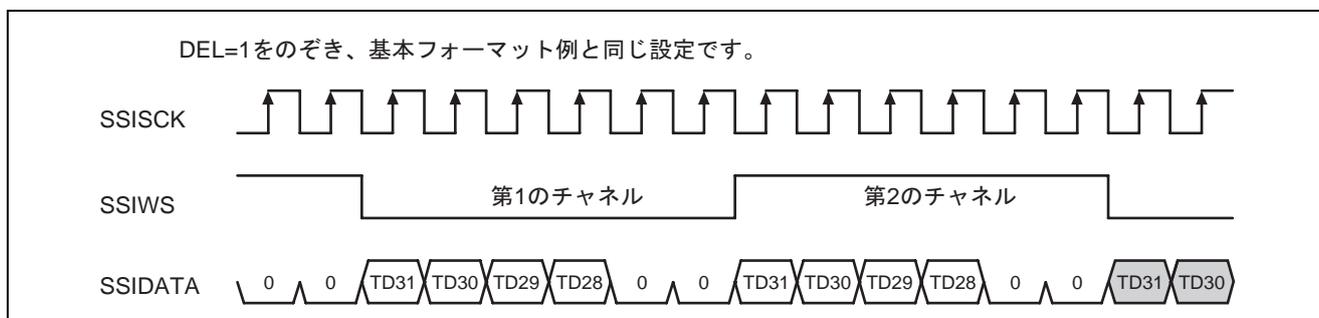


図 16.16 シリアルデータ、パディングビットの順に送受信、遅延なし

- パラレルデータの右詰め、遅延あり

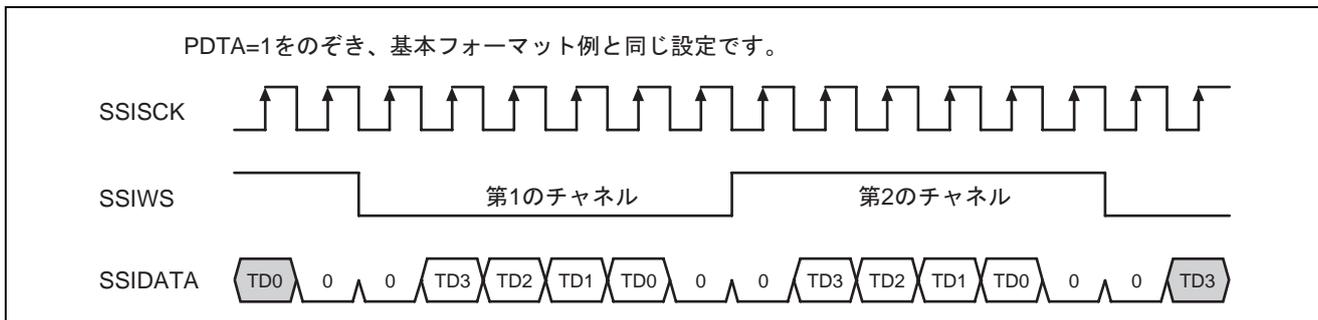


図 16.17 パラレルデータの右詰め、遅延あり

- ミュート有効

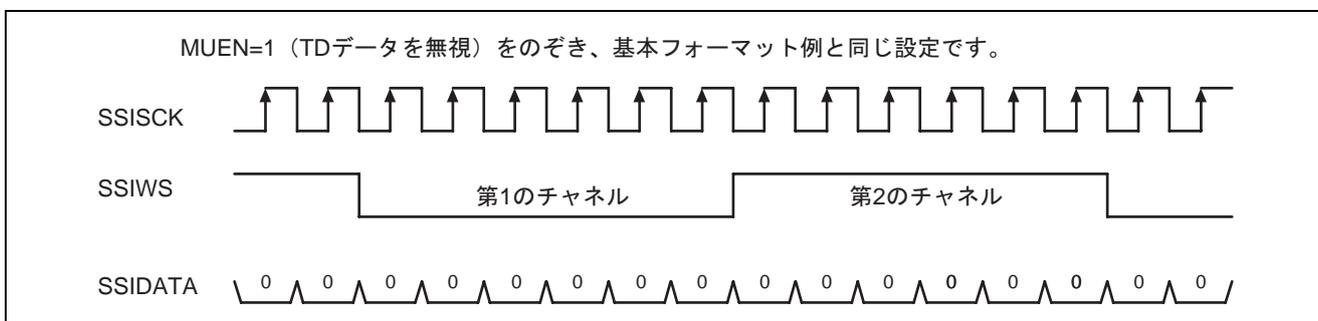


図 16.18 ミュート有効

16.4.3 動作モード

コンフィギュレーション、有効および無効の3つの動作モードがあります。図 16.19 に動作モードの遷移図を示します。

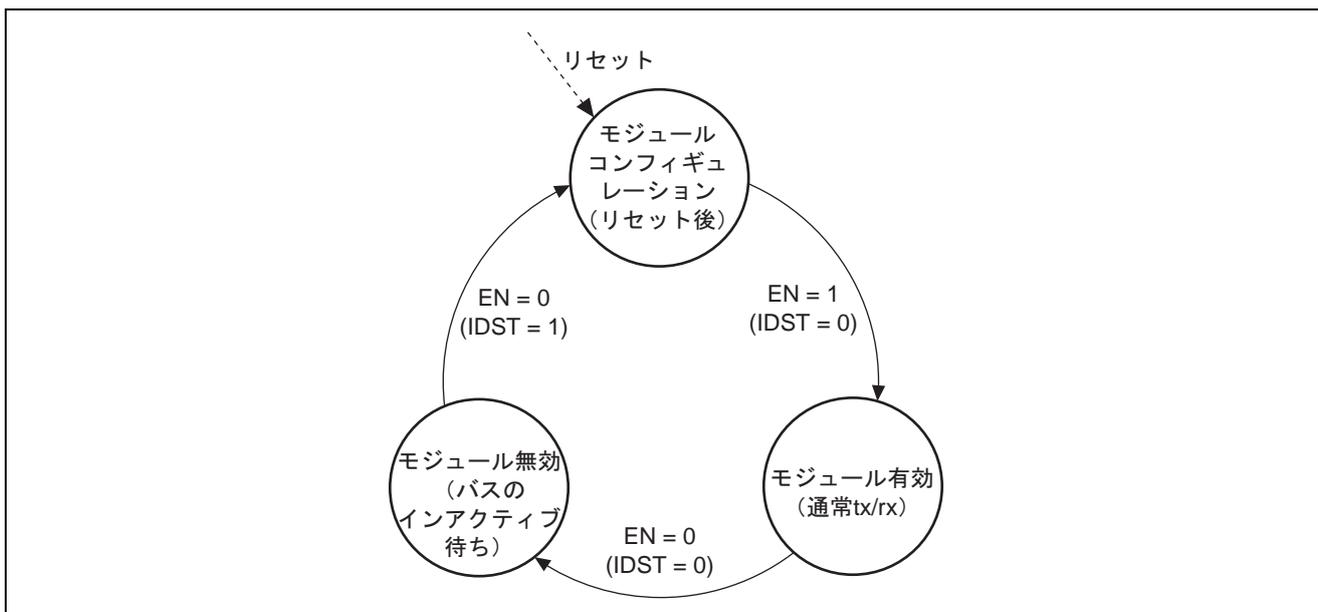


図 16.19 動作モード遷移図

(1) コンフィギュレーションモード

リセット解除後にこのモードになります。SSI モジュールが EN ビットのセットで有効になる前に、このモードでコントロールレジスタに必要な設定をする必要があります。

EN ビットをセットすると、SSI モジュールはモジュール有効モードに遷移します。

(2) モジュール有効モード

このモードの動作は選択された動作モードに依存しています。詳細については「16.4.4 送信動作」と「16.4.5 受信動作」を参照してください。

16.4.4 送信動作

送信は DMA か割り込みで制御できます。

CPU 負荷を低減するという点では、DMA 制御の方が優れています。DMA 制御モードでは、データのアンダフローやオーバフローの発生時、または DMAC の転送終了は、割り込みによって通知されます。

別の制御方法としては、必要に応じて SSI モジュールがデータ供給のために生成する割り込みを用いる方法があります。SSI モジュールは単にダブルバッファ構造であり、少なくともシステムワードごとにデータの書き込みを必要とするため、割り込み制御モードの方が高い負荷が生じます。

SSI モジュールを無効にする場合、IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

図 16.20 に DMA 制御モードの送信動作を、図 16.21 に割り込み制御モードの送信動作を示します。

【注】 * SCKD=0 のとき SSISCK 端子からの入力クロック

SCKD=1 のとき AUDIO_CLK 端子からの入力クロック

(1) DMA コントローラを使用した送信

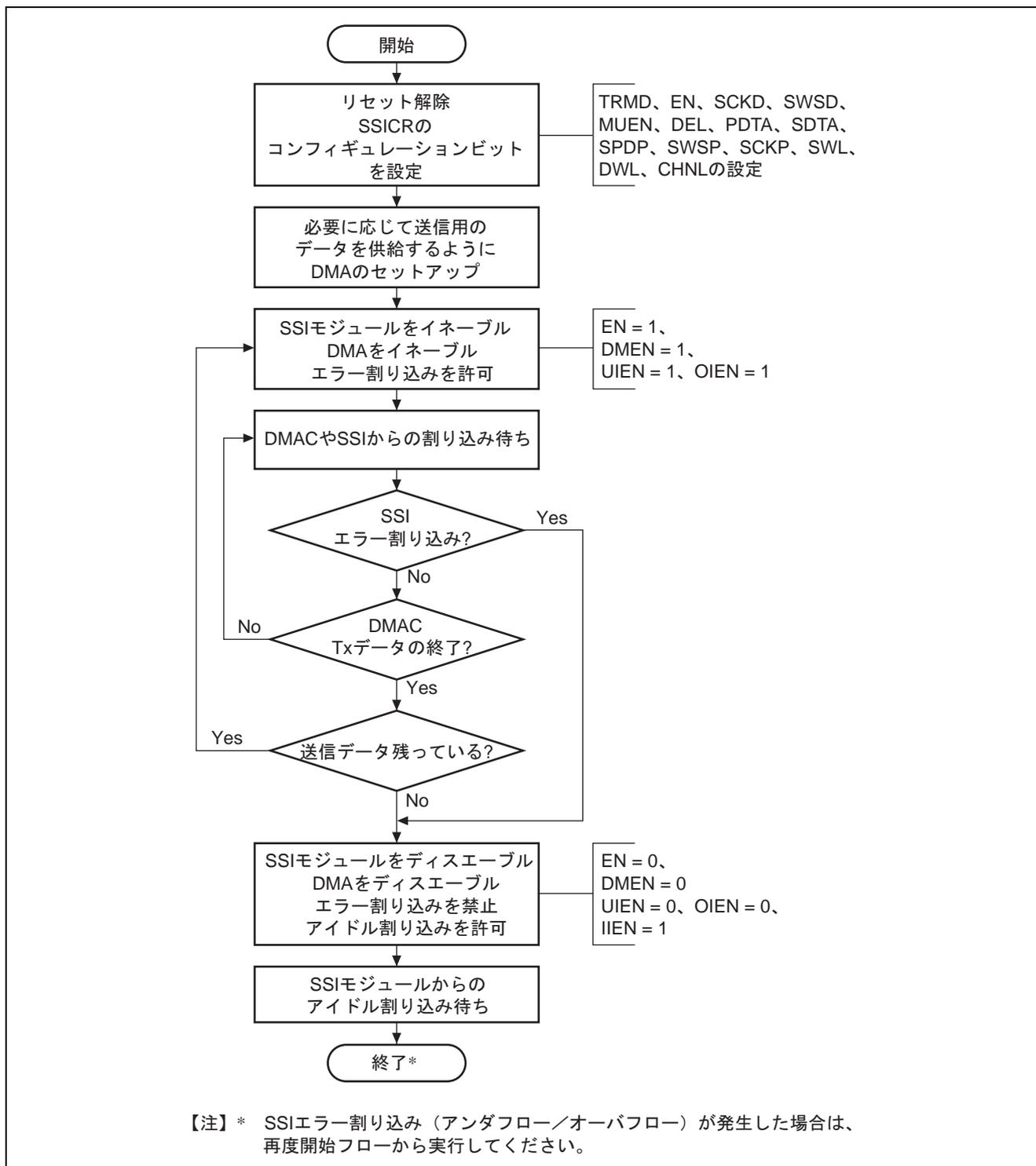


図 16.20 DMA コントローラを使用した送信

(2) 割り込みデータフロー制御を使用した送信

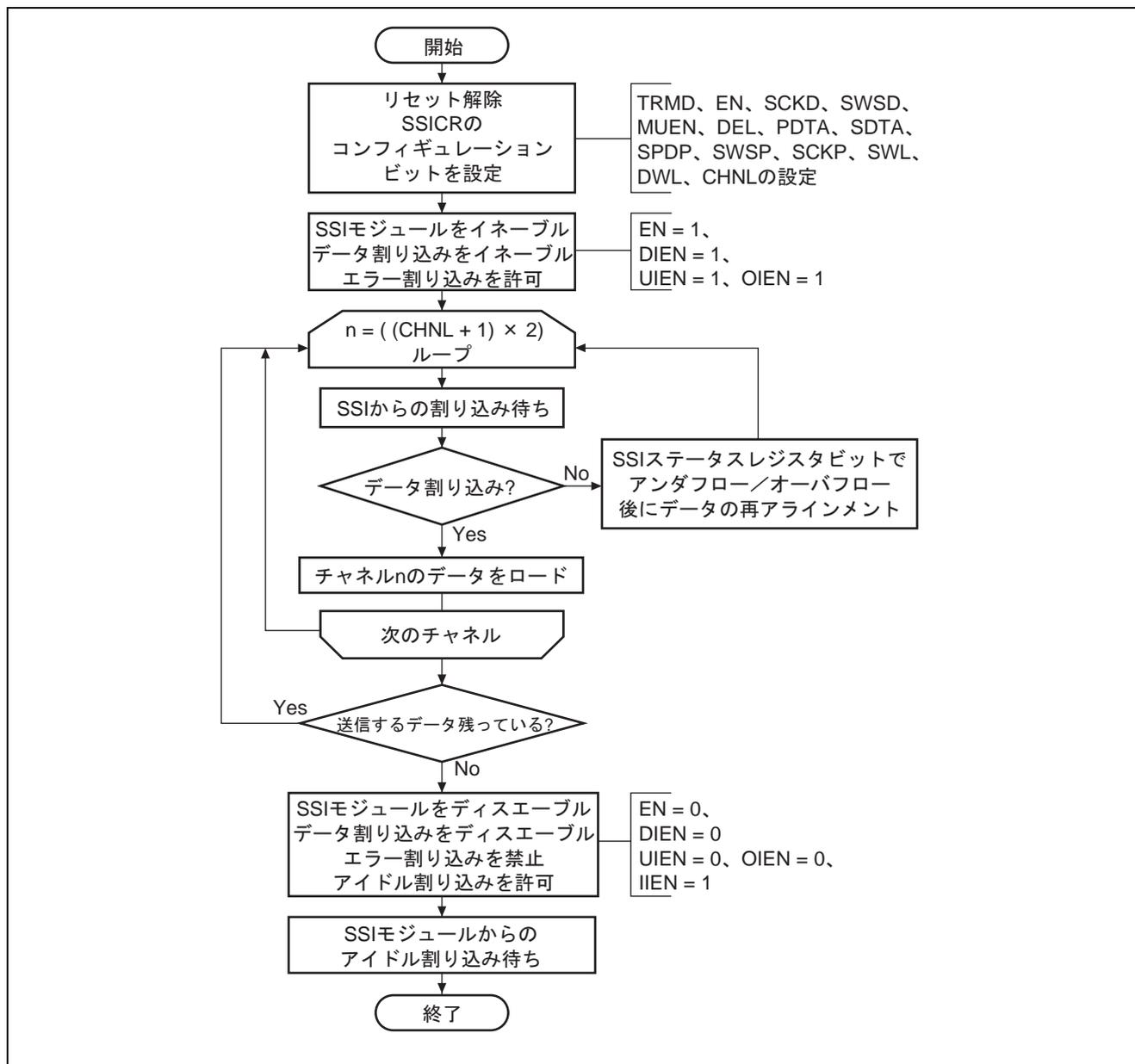


図 16.21 割り込みデータフロー制御を使用した送信

16.4.5 受信動作

送信同様、受信も DMA または割り込みで制御できます。

図 16.22、図 16.23 にそれぞれの動作フローチャートを示します。

SSI モジュールを無効にする場合、IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック*は供給され続けなければなりません。

- 【注】 * SCKD=0 のとき SSISCK 端子からの入力クロック
SCKD=1 のとき AUDIO_CLK 端子からの入力クロック

(1) DMA コントローラを使用した受信

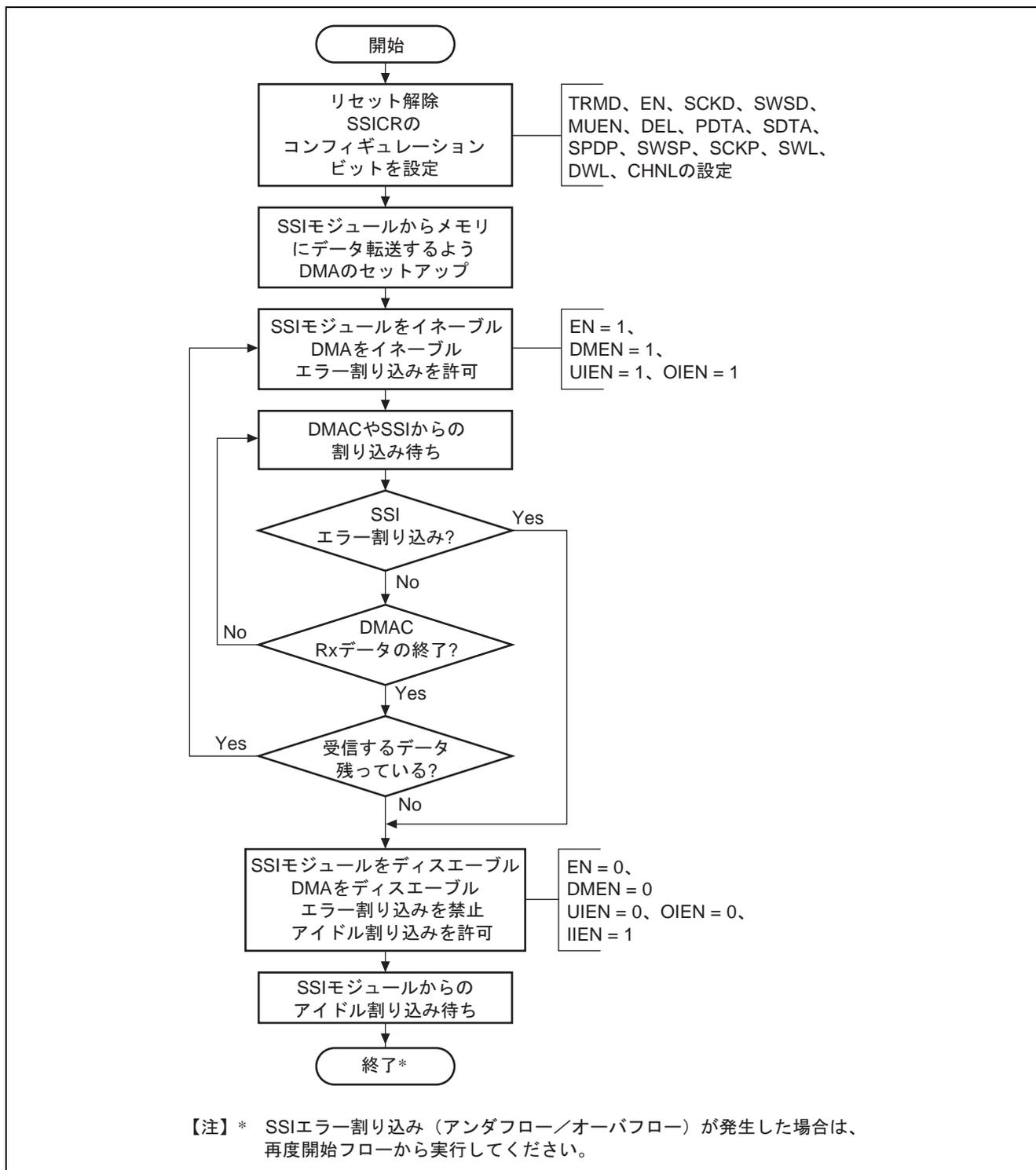


図 16.22 DMA コントローラを使用した受信

(2) 割り込みデータフロー制御を使用した受信

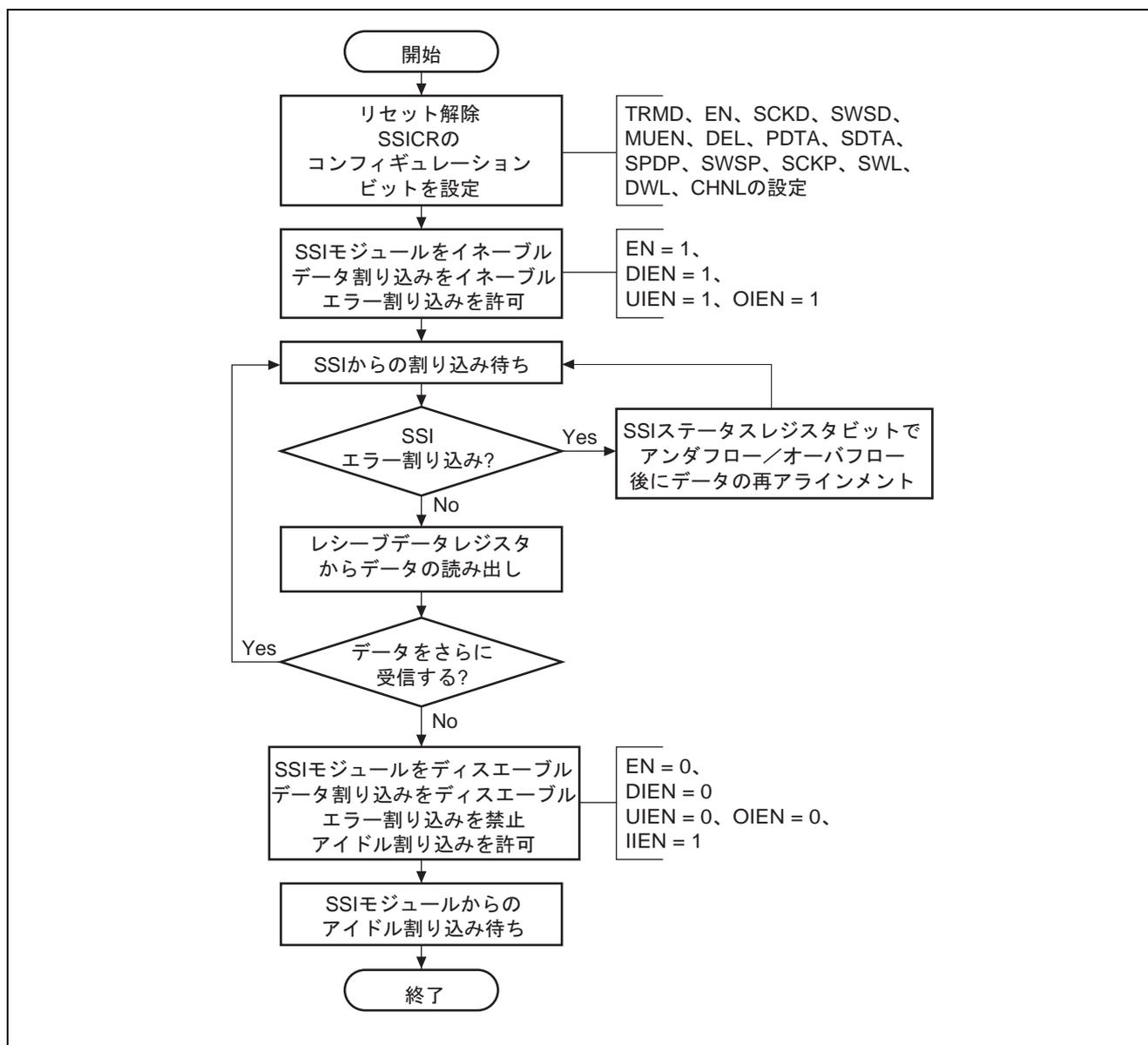


図 16.23 割り込みデータフロー制御を使用した受信

アンダフローやオーパフロー条件が一致した場合、CHNO[1:0]ビットと SWNO ビットを使って SSI モジュールを一致する前の状態に回復できます。アンダフローやオーパフローが発生したら、ホスト CPU はチャンネル数とシステムワード数を読み出すことで、シリアルオーディオストリームの到達した位置を知ることができます。トランスミッタとして動作する場合、SSI モジュールが次に送信する予定のデータに到達するまでホスト CPU は送信データをスキップすることが可能です。これにより、オーディオデータストリームと再び同期できます。レシーバとして動作する場合、SSI モジュールが次に受信すると示しているデータを格納できるようになるまでホスト CPU はヌルデータを格納することにより、受信データ数の整合性をとり、オーディオデータストリームと再び同期できます。

16.4.6 送信時における一時停止、再開手順

以下の手順で実現することが可能です。

(1) バスブリッジ (BBG) /DMAC の再設定なしで転送、停止を繰り返すための手順

1. DMA転送を止めるために、SSICR.DMEN=0 (DMA要求を禁止) にします。
2. SSISR.DIRQ=1 (送信モード: 送信バッファは空き) になるのをポーリングまたは割り込みなどで待つ。
3. SSICR.EN=0 (SSIモジュール動作を禁止) で転送停止にします。
4. 再転送する前に、SSISR.IDST=1になっていることを確認します。
5. SSICR.EN=1 (SSIモジュール動作を許可) にします。
6. SSISR.DIRQ=1になるのをポーリングまたは割り込みなどで待つ。
7. SSICR.DMEN=1 (DMA要求を許可) にすることでDMA転送が再開されます。

(2) SSI 停止後、BBG/DMAC を再設定する場合の転送手順

1. DMA転送を止めるために、SSICR.DMEN=0 (DMA要求を禁止) にします。
2. SSISR.DIRQ=1 (送信モード: 送信バッファは空き) になるのをポーリングまたは割り込みなどで待つ。
3. SSICR.EN=0 (SSIモジュール動作を禁止) で転送停止にします。
4. BBG/DMACのDSTPRにてDMAC強制停止させます。
5. 再転送する前に、SSISR.IDST=1になっていることを確認します。
6. SSICR.EN=1 (SSIモジュール動作を許可) にします。
7. BBG/DMACの各レジスタ設定と転送開始を行います。
8. SSICR.DMEN=1 (DMA要求を許可) にすることでDMA転送が再開されます。

16.4.7 シリアルビットクロックコントロール

シリアルビットクロック機能を用いて、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 (SCKD=0)、SSIモジュールはクロックスレーブモードであり、シフトレジスタが使うビットクロックはSSISCK端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合 (SCKD=1)、SSIモジュールはクロックマスターモードであり、シフトレジスタが使うビットクロックはAUDIO_CLK入力端子から入力されたクロックまたはそれを分周したクロックです。AUDIO_CLK端子から入力されたクロックは、SSICRのシリアルオーバーサンプリングクロック分周比(CKDV)ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、SSISCK端子の出力はビットクロックと同じになります。

16.5 使用上の注意事項

16.5.1 受信 DMA 動作中にオーバーフローが起こった場合の制限事項

受信 DMA 動作中にオーバーフローが起こった場合、モジュールの再起動が必要です。SSI 内の受信バッファは L チャンネルと R チャンネルが共用の 32 ビットのレジスタで構成しています。そのため、たとえばコントロールレジスタ (SSICR) のデータワード長 (DWL2~DWL0) が 32 ビットの設定で、システムワード長 (SWL2~DWL0) が 32 ビットの設定の場合、オーバーフローが一度発生すると、L チャンネルで受信すべきデータが、R チャンネルで受信してしまうことがあります。

そこで、オーバーフローエラー割り込みまたはオーバーフローエラーステータスフラグ (SSISR の OIRQ ビット) によりオーバーフローを確認した場合、SSICR の EN ビットおよび DMEN ビットに 0 を書き込むことにより、SSI モジュールの DMA を禁止して動作を停止させてください (このとき DMA コントローラの設定も停止させてください)。その後、OIRQ ビットに 0 を書き込み、オーバーフローステータスをクリアし、再度 DMA の設定を行い転送を再開してください。

17. USB2.0 ホスト／ファンクションモジュール (USB)

本モジュールは、USB ホストコントロール機能とファンクションコントロール機能を備えた USB コントローラです。ホストコントローラ機能選択時は、USB (Universal Serial Bus) 規格 2.0 のハイスピード転送、フルスピード転送、ロースピード伝送に対応します。ファンクションコントローラ機能選択時は、ハイスピード転送、フルスピード転送に対応します。また、本モジュールは、USB トランシーバを内蔵し、USB 規格で定義されている全転送タイプに対応しています。

データ転送用に 8K バイトのバッファメモリを内蔵し、最大 10 本のパイプを使用できます。また、パイプ 1～9 に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。

17.1 特長

(1) USB ハイスピード対応のホストコントローラとファンクションコントローラを内蔵

- USBホストコントローラとファンクションコントローラを内蔵
- USBホストコントローラ機能とファンクションコントローラ機能をレジスタ設定により切り替え可能
- USBトランシーバ内蔵

(2) 少ない外付け素子かつ省スペース実装が可能

- VBUS信号を本モジュールの入力端子に直接接続可能
- D+プルアップ抵抗内蔵 (ファンクション動作時)
- D+、D-のプルダウン抵抗内蔵 (ホスト動作時)
- D+、D-終端抵抗内蔵 (ハイスピード動作時)
- D+、D-出力抵抗内蔵 (フルスピード動作時)

(3) USB 通信の全種類のデータ転送タイプに対応

- コントロール転送
- バルク転送
- インタラプト転送 (High Bandwidthは非対応)
- アイソクロナス転送 (High Bandwidthは非対応)

(4) 内部バスインタフェース

- DMAインタフェースを2チャンネル内蔵

(5) パイプコンフィギュレーション

- USB通信用バッファメモリを8Kバイトまで対応可能
- 最大10本のパイプを選択可能 (デフォルトコントロールパイプを含む)
- プログラマブルなパイプ構成
- パイプ1~9は任意のエンドポイント番号を割り付け可能
- 各パイプの設定可能な転送条件は以下のとおりです。
パイプ0: コントロール転送専用のパイプ (デフォルトコントロールパイプ: DCP)、64 バイト固定シングルバッファ
パイプ1、2: バルク転送またはアイソクロナス転送を選択可能なパイプ、連続転送モード、バッファサイズはプログラマブル (最大 2K バイトでダブルバッファ指定可能)
パイプ3~5: バルク転送専用のパイプ、連続転送モード、バッファサイズはプログラマブル (最大 2K バイトでダブルバッファ指定可能)
パイプ6~9: インタラプト転送専用のパイプ、64 バイト固定シングルバッファ

(6) ホストコントロール機能選択時の特長

- ハイスピード転送 (480Mbps)、フルスピード転送 (12Mbps) およびロースピード (1.5Mbps) に対応
- ハブを1段経由し、複数の周辺デバイスと接続し通信が可能
- リセットハンドシェイク自動応答
- SOF、パケット送信のスケジュールを自動化
- アイソクロナス転送、インタラプト転送の転送インターバル設定機能

(7) ファンクションコントロール機能選択時の特長

- ハイスピード転送 (480Mbps) およびフルスピード転送 (12Mbps) に対応
- リセットハンドシェイク自動応答による、ハイスピード動作もしくはフルスピード動作の自動認識
- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET_ADDRESSリクエストに対する自動応答機能
- NAK応答割り込み機能 (NRDY)
- SOF補間機能

(8) その他の機能

- トランザクションカウントによるトランスファ終了機能
- BRDY割り込みイベント通知タイミング変更機能 (BFRE)
- DnFIFO (n=0、1) ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能 (DCLRM)
- トランスファ終了による応答PIDのNAK設定機能 (SHTNAK)

17.2 入出力端子

USB の端子構成を表 17.1 に示します。

表 17.1 USB の端子構成

端子名	名称	入出力	機能
DP	USB D+データ	入出力	USB 内蔵トランシーバ D+入出力です。 USB バスの D+端子に接続してください。
DM	USB D-データ	入出力	USB 内蔵トランシーバ D-入出力です。 USB バスの D-端子に接続してください。
VBUS	VBUS 入力	入力	USB ケーブル接続モニタ端子です。 USB バスの VBUS に接続してください。VBUS の接続/切断を検出することができます。USB バスの VBUS と接続しない場合は、5V に固定してください。ホストコントローラ機能選択時にも 5V を供給してください。 ただし、接続される周辺デバイスへの VBUS 供給はできません。
REFRIN	リファレンス入力	入力	基準抵抗接続用端子です。 5.6kΩ ±1%抵抗を介してトランシーバ部アナログ端子グランド (AG33) に接続してください。
USB_X1	クリスタル入出力端子 (クロック入力端子)	入力	水晶発振子を接続します。 または外部クロック入力端子として使用します。
USB_X2		出力	水晶発振子を接続します。
AV33	USB アナログ用 3.3V 電源	—	トランシーバ部コア電源です。
AG33	USB アナログ用グランド	—	トランシーバ部コアグランドです。
DV33	USB デジタル用 3.3V 電源	—	トランシーバ部端子電源です。
DG33	USB デジタル用グランド	—	トランシーバ部端子グランドです。
AV12	USB アナログ用 1.2V 電源	—	トランシーバ部コア電源です。
AG12	USB アナログ用グランド	—	トランシーバ部コアグランドです。
DV12	USB デジタル用 1.2V 電源	—	トランシーバ部端子電源です。
DG12	USB デジタル用グランド	—	トランシーバ部端子グランドです。
UV12	USB480MHz 用 1.2V 電源	—	480MHz 動作部コア電源です。
UG12	USB480MHz 用グランド	—	480MHz 動作部コアグランドです。

17.3 レジスタの説明

USB のレジスタ構成を表 17.2 に示します。また、各処理モードにおけるレジスタの状態を表 17.3 に示します。

表 17.2 レジスタ構成

レジスタ名	略称	R/W	アドレス	アクセス サイズ	接続バス
システムコンフィギュレーションコントロールレジスタ	SYSCFG	R/W	H'FFFF F800	16	周辺バス
CPU バスウェイト設定レジスタ	BUSWAIT	R/W	H'FFFF F802	16	
システムコンフィギュレーションステータスレジスタ	SYSSTS	R	H'FFFF F804	16	
デバイスステートコントロールレジスタ	DVSTCTR	R/W	H'FFFF F808	16	
テストモードレジスタ	TESTMODE	R/W	H'FFFF F80C	16	
DMA0-FIFO バスコンフィグレーションレジスタ	D0FBCFG	R/W	H'FFFF F810	16	
DMA1-FIFO バスコンフィグレーションレジスタ	D1FBCFG	R/W	H'FFFF F812	16	
CFIFO ポートレジスタ	CFIFO	R/W	H'FFFF F814	8、16、32	
CFIFO ポート選択レジスタ	CFIFOSEL	R/W	H'FFFF F820	16	
CFIFO ポートコントロールレジスタ	CFIFOCTR	R/W	H'FFFF F822	16	
D0FIFO ポート選択レジスタ	D0FIFOSEL	R/W	H'FFFF F828	16	
D0FIFO ポートコントロールレジスタ	D0FIFOCTR	R/W	H'FFFF F82A	16	
D1FIFO ポート選択レジスタ	D1FIFOSEL	R/W	H'FFFF F82C	16	
D1FIFO ポートコントロールレジスタ	D1FIFOCTR	R/W	H'FFFF F82E	16	
割り込み許可レジスタ 0	INTENB0	R/W	H'FFFF F830	16	
割り込み許可レジスタ 1	INTENB1	R/W	H'FFFF F832	16	
BRDY 割り込み許可レジスタ	BRDYENB	R/W	H'FFFF F836	16	
NRDY 割り込み許可レジスタ	NRDYENB	R/W	H'FFFF F838	16	
BEMP 割り込み許可レジスタ	BEMPENB	R/W	H'FFFF F83A	16	
SOF 出力コンフィグレーションレジスタ	SOFCFG	R/W	H'FFFF F83C	16	
割り込みステータスレジスタ 0	INTSTS0	R/W	H'FFFF F840	16	
割り込みステータスレジスタ 1	INTSTS1	R/W	H'FFFF F842	16	
BRDY 割り込みステータスレジスタ	BRDYSTS	R/W	H'FFFF F846	16	
NRDY 割り込みステータスレジスタ	NRDYSTS	R/W	H'FFFF F848	16	
BEMP 割り込みステータスレジスタ	BEMPSTS	R/W	H'FFFF F84A	16	
フレームナンバーレジスタ	FRMNUM	R/W	H'FFFF F84C	16	
μフレームナンバーレジスタ	UFRMNUM	R/W	H'FFFF F84E	16	
USB アドレスレジスタ	USBADDR	R	H'FFFF F850	16	

レジスタ名	略称	R/W	アドレス	アクセス サイズ	接続バス
USB リクエストタイプレジスタ	USBREQ	R	H'FFFF F854	16	周辺バス
USB リクエストバリュージェジスタ	USBVAL	R	H'FFFF F856	16	
USB リクエストインデックスレジスタ	USBINDX	R	H'FFFF F858	16	
USB リクエストレングスレジスタ	USBLENG	R	H'FFFF F85A	16	
DCP コンフィギュレーションレジスタ	DCPCFG	R/W	H'FFFF F85C	16	
DCP マックスパケットサイズレジスタ	DCPMAXP	R/W	H'FFFF F85E	16	
DCP コントロールレジスタ	DCPCTR	R/W	H'FFFF F860	16	
パイプウィンドウ選択レジスタ	PIPESEL	R/W	H'FFFF F864	16	
パイプコンフィギュレーションレジスタ	PIPECFG	R/W	H'FFFF F868	16	
パイプバッファ指定レジスタ	PIPEBUF	R/W	H'FFFF F86A	16	
パイプマックスパケットサイズレジスタ	PIPEMAXP	R/W	H'FFFF F86C	16	
パイプ周期制御レジスタ	PIPEPERI	R/W	H'FFFF F86E	16	
パイプ1 コントロールレジスタ	PIPE1CTR	R/W	H'FFFF F870	16	
パイプ2 コントロールレジスタ	PIPE2CTR	R/W	H'FFFF F872	16	
パイプ3 コントロールレジスタ	PIPE3CTR	R/W	H'FFFF F874	16	
パイプ4 コントロールレジスタ	PIPE4CTR	R/W	H'FFFF F876	16	
パイプ5 コントロールレジスタ	PIPE5CTR	R/W	H'FFFF F878	16	
パイプ6 コントロールレジスタ	PIPE6CTR	R/W	H'FFFF F87A	16	
パイプ7 コントロールレジスタ	PIPE7CTR	R/W	H'FFFF F87C	16	
パイプ8 コントロールレジスタ	PIPE8CTR	R/W	H'FFFF F87E	16	
パイプ9 コントロールレジスタ	PIPE9CTR	R/W	H'FFFF F880	16	
パイプ1 トランザクションカウンタイネーブルレジスタ	PIPE1TRE	R/W	H'FFFF F890	16	
パイプ1 トランザクションカウンタレジスタ	PIPE1TRN	R/W	H'FFFF F892	16	
パイプ2 トランザクションカウンタイネーブルレジスタ	PIPE2TRE	R/W	H'FFFF F894	16	
パイプ2 トランザクションカウンタレジスタ	PIPE2TRN	R/W	H'FFFF F896	16	
パイプ3 トランザクションカウンタイネーブルレジスタ	PIPE3TRE	R/W	H'FFFF F898	16	
パイプ3 トランザクションカウンタレジスタ	PIPE3TRN	R/W	H'FFFF F89A	16	
パイプ4 トランザクションカウンタイネーブルレジスタ	PIPE4TRE	R/W	H'FFFF F89C	16	
パイプ4 トランザクションカウンタレジスタ	PIPE4TRN	R/W	H'FFFF F89E	16	
パイプ5 トランザクションカウンタイネーブルレジスタ	PIPE5TRE	R/W	H'FFFF F8A0	16	
パイプ5 トランザクションカウンタレジスタ	PIPE5TRN	R/W	H'FFFF F8A2	16	
デバイスアドレス0 コンフィギュレーションレジスタ	DEVADD0	R/W	H'FFFF F8D0	16	
デバイスアドレス1 コンフィギュレーションレジスタ	DEVADD1	R/W	H'FFFF F8D2	16	
デバイスアドレス2 コンフィギュレーションレジスタ	DEVADD2	R/W	H'FFFF F8D4	16	

レジスタ名	略称	R/W	アドレス	アクセス サイズ	接続バス
デバイスアドレス3コンフィグレーションレジスタ	DEVADD3	R/W	H'FFFF F8D6	16	周辺バス
デバイスアドレス4コンフィグレーションレジスタ	DEVADD4	R/W	H'FFFF F8D8	16	
デバイスアドレス5コンフィグレーションレジスタ	DEVADD5	R/W	H'FFFF F8DA	16	
デバイスアドレス6コンフィグレーションレジスタ	DEVADD6	R/W	H'FFFF F8DC	16	
デバイスアドレス7コンフィグレーションレジスタ	DEVADD7	R/W	H'FFFF F8DE	16	
デバイスアドレス8コンフィグレーションレジスタ	DEVADD8	R/W	H'FFFF F8E0	16	
デバイスアドレス9コンフィグレーションレジスタ	DEVADD9	R/W	H'FFFF F8E2	16	
デバイスアドレスAコンフィグレーションレジスタ	DEVADDA	R/W	H'FFFF F8E4	16	
D0FIFO バスウェイト設定レジスタ	D0FWAIT	R/W	H'FFFC 1C0C	16	内部バス
D1FIFO バスウェイト設定レジスタ	D1FWAIT	R/W	H'FFFC 1C0E	16	
D0FIFO ポートレジスタ	D0FIFO	R/W	H'FFFC 1C14	32	
D1FIFO ポートレジスタ	D1FIFO	R/W	H'FFFC 1C18	32	

表 17.3 各処理モードにおけるレジスタの状態

レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
SYSCFG	初期化	保持	保持	保持
BUSWAIT	初期化	保持	保持	保持
SYSSTS	初期化	保持	保持	保持
DVSTCTR	初期化	保持	保持	保持
TESTMODE	初期化	保持	保持	保持
D0FBCFG	初期化	保持	保持	保持
D1FBCFG	初期化	保持	保持	保持
CFIFO	初期化	保持	保持	保持
D0FIFO	初期化	保持	保持	保持
D1FIFO	初期化	保持	保持	保持
CFIFOSEL	初期化	保持	保持	保持
CFIFOCTR	初期化	保持	保持	保持
D0FIFOSEL	初期化	保持	保持	保持
D0FIFOCTR	初期化	保持	保持	保持
D1FIFOSEL	初期化	保持	保持	保持
D1FIFOCTR	初期化	保持	保持	保持
INTENB0	初期化	保持	保持	保持
INTENB1	初期化	保持	保持	保持
BRDYENB	初期化	保持	保持	保持
NRDYENB	初期化	保持	保持	保持
BEMPENB	初期化	保持	保持	保持
SOFCFG	初期化	保持	保持	保持
INTSTS0	初期化	保持	保持	保持
INTSTS1	初期化	保持	保持	保持
BRDYSTS	初期化	保持	保持	保持
NRDYSTS	初期化	保持	保持	保持
BEMPSTS	初期化	保持	保持	保持
FRMNUM	初期化	保持	保持	保持
UFRMNUM	初期化	保持	保持	保持
USBADDR	初期化	保持	保持	保持
USBREQ	初期化	保持	保持	保持
USBVAL	初期化	保持	保持	保持
USBINDX	初期化	保持	保持	保持
USBLENG	初期化	保持	保持	保持
DCPCFG	初期化	保持	保持	保持
DCPMAXP	初期化	保持	保持	保持
DCPCTR	初期化	保持	保持	保持

レジスタ略称	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
PIPESEL	初期化	保持	保持	保持
PIPECFG	初期化	保持	保持	保持
PIPEBUF	初期化	保持	保持	保持
PIPEMAXP	初期化	保持	保持	保持
PIPEPERI	初期化	保持	保持	保持
PIPE1CTR	初期化	保持	保持	保持
PIPE2CTR	初期化	保持	保持	保持
PIPE3CTR	初期化	保持	保持	保持
PIPE4CTR	初期化	保持	保持	保持
PIPE5CTR	初期化	保持	保持	保持
PIPE6CTR	初期化	保持	保持	保持
PIPE7CTR	初期化	保持	保持	保持
PIPE8CTR	初期化	保持	保持	保持
PIPE9CTR	初期化	保持	保持	保持
PIPE1TRE	初期化	保持	保持	保持
PIPE1TRN	初期化	保持	保持	保持
PIPE2TRE	初期化	保持	保持	保持
PIPE2TRN	初期化	保持	保持	保持
PIPE3TRE	初期化	保持	保持	保持
PIPE3TRN	初期化	保持	保持	保持
PIPE4TRE	初期化	保持	保持	保持
PIPE4TRN	初期化	保持	保持	保持
PIPE5TRE	初期化	保持	保持	保持
PIPE5TRN	初期化	保持	保持	保持
PHYTEST0	初期化	保持	保持	保持
PHYTEST1	初期化	保持	保持	保持
DEVADD0	初期化	保持	保持	保持
DEVADD1	初期化	保持	保持	保持
DEVADD2	初期化	保持	保持	保持
DEVADD3	初期化	保持	保持	保持
DEVADD4	初期化	保持	保持	保持
DEVADD5	初期化	保持	保持	保持
DEVADD6	初期化	保持	保持	保持
DEVADD7	初期化	保持	保持	保持
DEVADD8	初期化	保持	保持	保持
DEVADD9	初期化	保持	保持	保持
DEVADDA	初期化	保持	保持	保持

17.3.1 システムコンフィギュレーションコントロールレジスタ (SYSCFG)

SYSCFG は、ハイスピード動作の許可、ホストコントローラ機能またはファンクションコントローラ機能の選択、DP、DM 端子の制御および本モジュールの動作許可制御を行うレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SCKE	—	—	HSE	DCFM	DRPD	DPRPU	—	—	—	USBE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	SCKE	0	R/W	USB モジュールクロック許可 本モジュールへの 48MHz クロック供給の停止/許可を指定します。 0: USB モジュールへのクロック供給停止 1: USB モジュールへのクロック供給許可 本ビットが0の場合、本レジスタおよび BUSWAIT レジスタのみ、読み出し/書き込みができます。
9、8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	HSE	0	R/W	ハイスピード動作許可 0: ハイスピード動作禁止 ファンクションコントローラ機能選択時: フルスピード動作のみ ホストコントローラ機能選択時: フルスピードまたはロースピード動作 1: ハイスピード動作許可 (本モジュールが通信スピードを検出します) (1) ホストコントローラ機能選択時 HSE=0 を設定した場合、USB ポートはロースピード動作またはフルスピード動作を行います。 USB ポートにロースピードの周辺デバイスがアタッチされたことを検出した場合には、必ず HSE=0 を設定してください。 HSE=1 を設定した場合、本モジュールはリセットハンドシェイクプロトコルを実行し、その結果に従い自動的に USB ポートをハイスピードまたはフルスピード動作を行います。 本ビットの変更は、アタッチ検出 (ATTCH 割り込み検出) 後から USB バスリセット実行前 (USBRESET=1 設定前) の間に行ってください。 (2) ファンクションコントローラ機能選択時 HSE=0 を設定した場合、本モジュールはフルスピード動作を行います。 HSE=1 を設定した場合、本モジュールはリセットハンドシェイクプロトコルを実行し、その結果に従い自動的にハイスピードまたはフルスピード動作を行います。 本ビットの書き換えは、DPRPU=0 のときに行ってください。

ビット	ビット名	初期値	R/W	説明
6	DCFM	0	R/W	<p>コントローラ機能選択</p> <p>本モジュールの機能を選択します。</p> <p>0: ファンクションコントローラ機能を選択</p> <p>1: ホストコントローラ機能を選択</p> <p>本ビットの変更は、DPRPU=0 かつ DRPD=0 のときに行ってください。</p>
5	DRPD	0	R/W	<p>D+/D-ライン抵抗制御</p> <p>ホストコントローラ機能選択時、D+/D-ラインのプルダウンの禁止/許可を指定します。</p> <p>0: プルダウン禁止</p> <p>1: プルダウン許可</p> <p>本ビットの1への設定は、ホストコントロール機能選択時に行ってください。ファンクションコントロール機能選択時は、0を設定してください。</p>
4	DPRPU	0	R/W	<p>D+ライン抵抗制御</p> <p>ファンクションコントローラ機能選択時、D+ラインのプルアップの禁止/許可を指定します。</p> <p>0: プルアップ禁止</p> <p>1: プルアップ許可</p> <p>ファンクションコントローラ機能選択時に本ビットを1に設定すると、本モジュールはD+ラインを3.3Vにプルアップし、USBホストに対してアタッチを通知することができます。また、本ビットを1から0に変更することにより、本モジュールはD+ラインのプルアップを解消しますので、USBホストに対してデタッチしたと見せることができます。</p> <p>本ビットへの1設定は、ファンクションコントローラ機能選択時に行ってください。ホストコントローラ機能選択時は、0を設定してください。</p>
3~1	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
0	USBE	0	R/W	<p>USBモジュール動作許可</p> <p>本モジュールの動作禁止/許可を指定します。</p> <p>0: USBモジュール動作禁止</p> <p>1: USBモジュール動作許可</p> <p>本ビットを1から0に変更したときに初期化されるレジスタとビットを表17.4と表17.5に示します。</p> <p>本ビットの変更は、SCKE=1のときに行ってください。</p> <p>ホストコントローラ機能選択時は、DRPD=1設定後、LNSTビットのチャタリング除去を行い、USBバスの状態が安定したことを確認した後で、USBE=1設定を行ってください。</p>

表 17.4 USBE=0 書き込みにより初期化されるレジスタ (ファンクションコントローラ機能選択時)

レジスタ名	ビット名	備考
SYSSTS	LNST	ホストコントローラ機能選択時は値保持
DVSTCTR	RHST	
INTSTS0	DVSQ	ホストコントローラ機能選択時は値保持
USBADDR	USBADDR	ホストコントローラ機能選択時は値保持
USEREQ	BRequest、bmRequestType	ホストコントローラ機能選択時は値保持
USBVAL	wValue	ホストコントローラ機能選択時は値保持
USBINDX	wIndex	ホストコントローラ機能選択時は値保持
USBLENG	wLength	ホストコントローラ機能選択時は値保持

表 17.5 USBE=0 書き込みにより初期化されるレジスタ (ホストコントローラ機能選択時)

レジスタ名	ビット名	備考
DVSTCTR	RHST	
FRMNUM	FRNM	ファンクションコントローラ機能選択時は値保持
UFRMNUM	UFRNM	ファンクションコントローラ機能選択時は値保持

17.3.2 CPU バスウェイトレジスタ (BUSWAIT)

BUSWAIT は、本モジュールのレジスタのうち、周辺バスに接続されているもの (D0FWAIT、D1FWAIT、D0FIFO、D1FIFO 以外のレジスタ) に対するアクセスウェイト数を指定します。本モジュールの基本クロックは USB クロック 48MHz ですが、周辺バスからのアクセスは Pφ同期で行われます。そのため、本モジュールのレジスタを周辺バス経由でアクセスする場合、USB クロック換算である一定サイクルをかける必要があります。32 ビットでアクセスする場合約 83.4ns (USB クロック×4 サイクル) 以上、16 ビットサイズでアクセスする場合約 41.7ns (USB クロック×2 サイクル) 以上、8 ビットサイズでアクセスする場合約 20.8ns (USB クロック×1 サイクル) 以上となるように、アクセスウェイト数を調整してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	BWAIT[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	BWAIT[3:0]	1111	R/W	CPU バスウェイト 周辺バス経由で本モジュールのレジスタをアクセスする際のウェイト数を Pφ単位で設定します。 0000 : 0 ウェイト (Pφ単位で 2 サイクルアクセス) 0001 : 1 ウェイト (Pφ単位で 3 サイクルアクセス) 0010 : 2 ウェイト (Pφ単位で 4 サイクルアクセス) ~ 1111 : 15 ウェイト (Pφ単位で 17 サイクルアクセス) 【注】Pφとアクセスサイズを考慮して、本モジュールの初期化ルーチンで本ビットを必ず設定してください。

17.3.3 システムコンフィギュレーションステータスレジスタ (SYSSTS)

SYSSTS は、USB データバスのラインステータス (D+および D-ライン) をモニタします。
本レジスタは、パワーオンリセットおよび USB リセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]
初期値 :	0	0	0	0	0	1	0	0	0	0	0	0	0	0	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~11	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
9~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	LNST[1:0]	不定*	R	USB データラインステータスマニタ USB データバスライン (D+ライン、D-ライン) のステータスが表示されます。USB データバスラインステータスを表 17.6 に示します。 本ビットの参照は、ファンクションコントローラ機能選択時にはアタッチ処理 (DPRPU=1 設定) 以後、ホストコントローラ機能選択時には、プルダウン許可 (DRPD=1 設定) 以後に行ってください。

【注】 * DP、DM 端子の状態に依存します。

表 17.6 USB データバスラインステータス表

LNST[1]	LNST[0]	ロースピード動作時 (ホストコントローラ 機能選択時のみ)	フルスピード動作時	ハイスピード動作時	Chirp 動作時
0	0	SE0	SE0	Squelch	Squelch
0	1	K-State	J-State	UnSquelch	Chirp J
1	0	J-State	K-State	Invalid	Chirp K
1	1	SE1	SE1	Invalid	Invalid

【記号説明】

Chirp : ハイスピード動作許可の状態 (SYSCFG.HSE=1) でリセットハンドシェイクプロトコル (RHSP) 実行中

Squelch : SE0 またはアイドル状態

UnSquelch : ハイスピード J-State またはハイスピード K-State

Chirp J : Chirp J-State

Chirp K : Chirp K-State

Invalid : 無効

17.3.4 デバイスステートコントロールレジスタ (DVSTCTR)

DVSTCTR は、USB データバスの状態制御および確認をします。

本レジスタは、パワーオンリセットで初期化されます。USB バスリセットでは、WKUP ビットは初期化され、RESUME ビットは不定になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W*	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	WKUP	0	R/W*	<p>ウェイクアップ出力</p> <p>ファンクションコントロール機能選択時に、USB バス上へのリモートウェイクアップ（レジューム信号出力）禁止/許可を指定します。</p> <p>0: リモートウェイクアップ信号非出力 1: リモートウェイクアップ信号出力</p> <p>本モジュールは、リモートウェイクアップ信号の出力時間を管理しています。本ビットに 1 を設定すると、本モジュールは 10ms の K-State を出力した後、本ビットを 0 にします。</p> <p>USB 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、本モジュールは、サスペンド状態を検出した直後に本ビットに 1 を書き込んでも、2ms 待ってから K-State を出力します。</p> <p>本ビットへの 1 書き込みは、デバイスステートがサスペンド（INTSTS0.DVSRQ = 1xx）であり、かつ USB ホストからリモートウェイクアップが許可されている場合のみ行ってください。本ビットを 1 に設定する場合は、サスペンド中であっても内部クロックを停止しないでください。（SCKE=1 の状態で WKUP = 1 を書き込んでください。）</p> <p>ホストコントロール機能選択時は、0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
7	RWUPE	0	R/W	<p>ウェイクアップ検出許可</p> <p>ホストコントローラ機能選択時に、ダウンポートの周辺デバイスに対して、リモートウェイクアップ（レジューム信号出力）の禁止/許可を指定します。</p> <p>0：ダウンポートリモートウェイクアップ出力禁止</p> <p>1：ダウンポートリモートウェイクアップ許可</p> <p>本ビットを1に設定すると、リモートウェイクアップ信号を検出した場合にダウンポートに対してレジューム信号（2.5μs間のK-State）を検出し、レジューム処理（K-Stateのドライブ）を行います。</p> <p>本ビットを0に設定した場合、本モジュールがUSBポートに接続された周辺デバイスからのリモートウェイクアップ信号（K-State）を検出しても無視します。</p> <p>本ビットを1に設定したときには、サスペンド中であっても内部クロックを停止しないでください（SCKE=1の状態にしてください）。また、サスペンド状態からのUSBバスリセット実行（USBRST=1設定）は行わないでください。USB Specification2.0で禁止されています。</p> <p>ファンクションコントローラ機能選択時は、0を設定してください。</p>
6	USBRST	0	R/W	<p>バスリセット出力</p> <p>ホストコントローラ機能選択時に、USBバスリセット信号の出力制御を行います。</p> <p>0：USBバスリセット信号非出力</p> <p>1：USBバスリセット信号出力</p> <p>ホストコントローラ機能選択時、本ビットを1に設定すると、本モジュールはUSBポートのSE0ドライブを行い、USBバスリセット処理を行います。このとき、HSEビットが1の場合、Reset Handshake Protocolを実行します。</p> <p>本モジュールは、USBRST=1の期間（ソフトウェアがUSBRST=0を書き込むまで）SE0出力を継続します。USBRST=1の期間（USBバスリセット期間）はUSB Specification2.0に準拠した時間を確保してください。</p> <p>通信中（UACT=1）またはレジューム中（RESUME=1）に本ビットに1を書き込んだ場合、本モジュールはUACT=0かつRESUME=0の状態になるまでUSBバスリセットを開始しません。</p> <p>USBバスリセット終了（USBRST=0書き込み）と同時にUACTビットに1を書き込んでください。</p> <p>ファンクションコントローラ機能選択時は、0を設定してください。</p>

ビット	ビット名	初期値	R/W	説明
5	RESUME	0	R/W	<p>レジューム出力</p> <p>ホストコントローラ機能選択時に、レジューム信号の出力制御を行います。</p> <p>0 : レジューム信号非出力</p> <p>1 : レジューム信号出力</p> <p>本ビットを1に設定すると、本モジュールはポートをK-State ドライブし、レジューム出力を行います。</p> <p>本モジュールは、RESUME=1の期間（ソフトウェアが RESUME=0 を書き込むまで）K-State 出力を継続します。 RESUME=1の期間（レジューム期間）は USB Specification2.0 に準拠した時間を確保してください。</p> <p>本ビットへの1書き込みは、サスペンド中にのみ行ってください。</p> <p>レジューム終了（RESUME=0書き込み）と同時に UACT ビットに1を書き込んでください。</p> <p>ファンクションコントローラ機能選択時は、0を設定してください。</p>
4	UACT	0	R/W	<p>USB バス許可</p> <p>ホストコントローラ機能選択時に、USB バス動作許可（USB バス上への SOF または μSOF パケットの送出制御）を行います。</p> <p>0 : ダウンポート動作禁止（SOF/μSOF 送出禁止）</p> <p>1 : ダウンポート動作許可（SOF/μSOF 送出許可）</p> <p>本ビットを1に設定すると、本モジュールは USB ポートを USB バス許可状態にし、SOF 出力およびデータ送受信を行います。</p> <p>ソフトウェアが UACT=1 を書き込んでから、1（マイクロ）フレーム時間以内に SOF/μSOF 出力を開始します。</p> <p>本ビットを0に設定した場合、本モジュールは SOF/μSOF 出力後アイドル状態に遷移します。</p> <p>以下の場合に、本モジュールは本ビットを0に設定します。</p> <ul style="list-style-type: none"> • 通信中（UACT=1 設定時）に DTCH 割り込みを検出した場合 • 通信中（UACT=1 設定時）に EOFERR 割り込みを検出した場合 <p>本ビットへの1書き込みは、USB リセット処理終了時（USB RST=0書き込み）、または、サスペンドからのレジューム処理終了時（RESUME=0書き込み）のいずれかのタイミングで行ってください。</p> <p>ファンクションコントローラ機能選択時は、0を設定してください。</p>
3	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2~0	RHST[2:0]	000	R	<p>リセットハンドシェイク リセットハンドシェイクの状態を表示します。</p> <p>(1) ホストコントローラ機能選択時</p> <p>000 : 通信速度不定 (パワード時あるいは非接続時) 1xx : リセットハンドシェイク処理中</p> <p>001 : ロースピード接続時 010 : フルスピード接続時 011 : ハイスピード接続時</p> <p>ソフトウェアで USBRST=1 書き込み後、本ビットは 100 を示します。</p> <p>ポートに対して HSE=1 を設定している場合、本モジュールが周辺デバイスからの ChirpK を検出した時点で、本ビットは 111 を示します。</p> <p>ソフトウェアが USBRST=0 を書き込み、本モジュールが SE0 ドライブを終了した時点で、本モジュールは RHST ビットの値を確定します。</p> <p>(2) ファンクションコントロール機能選択時</p> <p>000 : 通信速度不定 100 : リセットハンドシェイク処理中</p> <p>010 : フルスピード接続時 011 : ハイスピード接続時</p> <p>HSE=1 を設定している場合、本モジュールが USB バスリセットを検出すると、本ビットは 100 を示します。その後、本モジュールが ChirpK を出力し、USB ホストからの ChirpJK を 3 回検出した時点で本ビットは 011 を示します。ChirpK 出力後、2.5ms 以内にハイスピードに確定しなければ、本ビットは 010 を示します。</p> <p>HSE=0 を設定している場合、本モジュールが USB バスリセットを検出すると、本ビットは 010 を示します。</p> <p>本モジュールが USB バスリセットを検出後、RHST ビットが 010 または 011 に確定した時点で、DVST 割り込みが発生します。</p>

【注】 * 1 書き込みのみ有効です。

17.3.5 テストモードレジスタ (TESTMODE)

TESTMODE は、ハイスピード動作時の USB テスト信号出力を制御します。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	UTST[3:0]			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	UTST[3:0]	0000	R/W	<p>テストモード</p> <p>本ビットに値を書き込むことにより、本モジュールは、ハイスピード動作時の USB テスト信号を出力します。</p> <p>表 17.7 に本モジュールのテストモード動作表を示します。</p> <p>(1) ホストコントローラ機能選択時</p> <p>DRPD=1 書き込み後に本ビットの設定が可能です。DRPD=1 かつ UACT=1 を設定した USB ポートに対して、本モジュールは波形出力を行います。また、USB ポートに対してハイスピード終端を行います。</p> <ul style="list-style-type: none"> UTST ビット設定手順は以下のとおりです。 <ol style="list-style-type: none"> パワーオンリセット クロック起動(水晶発振および USB PLL 安定後 SCCKE ビットに 1 を設定) DCFMM=1、DRPD=1 (HSE=1 の設定は必要ありません。) USBE=1 UTST ビットにテスト内容に応じた値を設定 UACT ビットに 1 を設定 UTST ビット変更手順は以下のとおりです。 <ol style="list-style-type: none"> (上記 6.の状態) UACT=0、USBE=0 USBE=1 UTST ビットにテスト内容に応じた値を設定 UACT ビットに 1 を設定 <p>Test_SE0_NAK (1011) 設定時は、UACT=1 を設定したポートに対しても本モジュールは SOF パケットを出力しません。</p> <p>Test_Force_Enable (1101) 設定時は、UACT=1 を設定したポートに対して、本モジュールは SOF パケットを出力します。また、本モード設定時には、本モジュールがハイスピードディスコネクトを検出 (DTCH 割り込みを検出) しても本モジュールは検出に付随するハードウェア制御を行いません。</p> <p>UTST ビットを設定する場合は、すべてのパイプの PID ビットに NAK を設定にしてください。</p> <p>テストモード設定後、通常の USB 通信を行う場合は、パワーオンリセットを実施してください。</p> <p>(2) ファンクションコントローラ機能選択時</p> <p>ハイスピード通信時の USB ホストからの SetFeature リクエストに従って本ビットを書き込んでください。</p> <p>本ビットに 0001~0100 を設定している時には、本モジュールはサスペンド状態へ遷移しません。</p>

表 17.7 テストモード動作表

テストモード	UTST ビット設定	
	ファンクションコントローラ機能選択時	ホストコントローラ機能選択時
通常動作	0000	0000
Test_J	0001	1001
Test_K	0010	1010
Test_SE0_NAK	0011	1011
Test_Packet	0100	1100
Test_Force_Enable	—	1101
Reserved	0101~0111	1110~1111

17.3.6 DMA-FIFO バスコンフィグレーションレジスタ (D0FBCFG、D1FBCFG)

D0FBCFG レジスタは、DMA0-FIFO のバスアクセス制御を、D1FBCFG レジスタは、DMA1-FIFO のバスアクセス制御を行うレジスタです。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	DFACC	—	—	—	—	—	—	—	TENDE	—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15、14	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	DFACC	00	R	DMA n -FIFO パッファアクセスモード (n=0、1) DMA0-FIFO あるいは DMA1-FIFO ポートのアクセスモードを指定 00: サイクルスチルモード (初期値) 01: 16 バイト連続アクセスモード 10: 32 バイト連続アクセスモード 11: 無効
11~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TENDE	0	R/W	DMA 転送終了サンプリング許可 DMA 転送終了時に、DMAC から送出される DMA 転送終了信号の受け付け制御を行います。 0: DMA 転送終了信号をサンプリングしない 1: DMA 転送終了信号をサンプリングする
3~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

17.3.7 FIFO ポートレジスタ (CFIFO、D0FIFO、D1FIFO)

CFIFO、D0FIFO、D1FIFO は、FIFO バッファメモリへのデータ読み出し/書き込みを行うポートレジスタです。

FIFO ポートには、CFIFO、D0FIFO、D1FIFO の 3 つのポートがあります。各 FIFO ポートは、FIFO バッファメモリへのデータリード/ライトを行う本ポートレジスタ (CFIFO、D0FIFO、D1FIFO) 以外に、FIFO ポートに割り当てるパイプを選択する選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)、コントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR) で構成されています。

各 FIFO ポートには、下記に示す特徴があります。

- DCP用FIFOバッファへのアクセスは、CFIFOポートを通して行ってください。
- DMA転送によるFIFOバッファアクセスはD0FIFOあるいはD1FIFOポートを通して行ってください。
- CPUによるD1FIFOあるいはD0FIFOポートアクセスも可能です。
- FIFOポート固有の機能を使用する場合は、CURPIPEビットに設定するパイプ番号 (選択パイプ) を変更できません (DMA転送機能使用時など)。
- FIFOポートを構成するレジスタ群は、他のFIFOポートに影響を与えることはありません。
- 同一パイプを別々のFIFOポートに割り当てないでください。
- FIFOバッファの状況には、アクセス権がCPU側にある場合とSIE側にある場合の2種類があります。FIFOバッファのアクセス権がSIE側にある場合は、CPUからアクセスできません。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FIFOPORT[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FIFOPORT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	FIFOPORT [31:0]	すべて 0	R/W	<p>FIFO ポート</p> <p>本ビットにアクセスすることにより、FIFO バッファからの受信データを読み出し、もしくは FIFO バッファへの送信データの書き込みを行います。</p> <p>本レジスタへのアクセスは、各コントロールレジスタ (CFIFOCTR、D0FIFOCTR または D1FIFOCTR) の FRDY ビットが 1 を示しているときのみ可能です。</p> <p>本レジスタの有効ビットは、MBW ビットの設定値および BIGEND ビットの設定値により異なります。有効ビットを、表 17.8~表 17.10 に示します。</p>

表 17.8 32 ビットアクセス時のエンディアン動作表

BIGEND ビット	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0	N+3 アドレス	N+2 アドレス	N+1 アドレス	N+0 アドレス
1	N+0 アドレス	N+1 アドレス	N+2 アドレス	N+3 アドレス

表 17.9 16 ビットアクセス時のエンディアン動作表

BIGEND ビット	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0	書き込み：無効、読み出し：禁止*		N+1 アドレス	N+0 アドレス
1	N+0 アドレス	N+1 アドレス	書き込み：無効、読み出し：禁止*	

【注】 * 無効レジスタへのワードリードまたはバイトリードは禁止です。

表 17.10 8 ビットアクセス時のエンディアン動作表

BIGEND ビット	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0	書き込み：無効、読み出し：禁止*			N+0 アドレス
1	N+0 アドレス	書き込み：無効、読み出し：禁止*		

【注】 * 無効レジスタへのワードリードまたはバイトリードは禁止です。

17.3.8 FIFO ポート選択レジスタ (CFIFOSEL、D0FIFOSEL、D1FIFOSEL)

CFIFOSEL、D0FIFOSEL、D1FIFOSEL は、FIFO ポートに割り当てるパイプの選択、各 FIFO ポートへのアクセスの制御をします。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL の CURPIPE ビットに同一のパイプを指定しないでください。また、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE ビットの設定が B'000 の場合には、パイプ指定なしとなります。

なお、DMA 転送許可状態でパイプ番号の変更は行わないでください。

本レジスタは、パワーオンリセットで初期化されます。

(1) CFIFOSEL

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	—	—	MBW[1:0]	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]				
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W*	R	R	R/W	R/W	R	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RCNT	0	R/W	リードカウントモード CFIFOCTR レジスタの DTLN ビットの読み出しモードを指定します。 0 : CFIFO の全受信データ読み出し終了時に DTLN ビットを 0 クリア (ダブルバッファの場合は一面のみ読み出し終了時) 1 : CFIFO 受信データ読み出しごとに DTLN ビットをカウントダウン
14	REW	0	R/W*	バッファポインタリワインド バッファポインタのリワインドをする/しないを指定します。 0 : バッファポインタリワインドしない 1 : バッファポインタリワインドする 選択パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。 REW=1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。 REW=1 の設定は、必ず FRDY=1 であることを確認してから行ってください。 送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。
13、12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
11、10	MBW[1:0]	00	R/W	<p>CFIFO ポートアクセスビット幅</p> <p>CFIFO ポートへのアクセスビット幅を指定します。</p> <p>00 : 8 ビット幅 01 : 16 ビット幅 10 : 32 ビット幅 11 : 設定禁止</p> <p>選択パイプが受信方向の場合、本ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。</p> <p>また選択パイプが受信方向の場合、CURPIPE ビットと MBW ビットを同時に設定してください。</p> <p>選択パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅/32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。</p> <p>8 ビット/16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。</p>
9	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	BIGEND	0	R/W	<p>CFIFO ポートエンディアン制御</p> <p>CFIFO ポートのバイトエンディアンを指定します。必ず 1 を設定してください。</p> <p>0 : リトルエンディアン 1 : ビッグエンディアン</p>
7、6	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
5	ISEL	0	R/W	<p>DCP 選択時の CFIFO ポートアクセス方向</p> <p>0 : バッファメモリ読み出し選択 1 : バッファメモリ書き込み選択</p> <p>選択パイプが DCP のときに、本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。</p> <p>FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻し後、続けてアクセスすることができます。</p> <p>本ビットの設定は、CURPIPE ビットの設定と同時に行ってください。</p>

ビット	ビット名	初期値	R/W	説明
4	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	CURPIPE [3:0]	0000	R/W	CFIFO ポートアクセスパイプ指定 CFIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。 0000 : DCP 0001 : パイプ 1 0010 : パイプ 2 0011 : パイプ 3 0100 : パイプ 4 0101 : パイプ 5 0110 : パイプ 6 0111 : パイプ 7 1000 : パイプ 8 1001 : パイプ 9 上記以外 : 設定禁止 本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。 CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じパイプ番号を設定しないでください。 FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスすることができません。

【注】 * 0 読み出しのみ有効です。

(2) D0FIFOSEL、D1FIFOSEL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RCNT	REW	DCLRM	DREQE	MBW[1:0]	—	BIG END	—	—	—	—	CURPIPE[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W*	R/W	R/W	R/W	R/W	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RCNT	0	R/W	<p>リードカウントモード</p> <p>DnFIFOCTR レジスタの DTLN ビットの読み出しモードを指定します。</p> <p>0: DnFIFO の全受信データ読み出し終了時に DTLN ビットを 0 クリア (ダブルバッファの場合は一面分の読み出し終了時)</p> <p>1: DnFIFO 受信データ読み出しごとに DTLN ビットカウントダウン</p> <p>BFRE ビットに 1 を設定して DnFIFO にアクセスを行う場合は、本ビットに 0 を設定してください。</p>
14	REW	0	R/W* ¹	<p>バッファポインタリワインド</p> <p>バッファポインタのリワインドをする/しないを指定します。</p> <p>0: バッファポインタリワインドしない</p> <p>1: バッファポインタリワインドする</p> <p>選択パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます (ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります)。</p> <p>REW=1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。REW=1 の設定は、必ず FRDY=1 であることを確認してから行ってください。</p> <p>BFRE ビットに 1 を設定して DnFIFO にアクセスを行う場合は、ショートパケットデータを読み出し終えた状態で本ビットに 1 を設定しないでください。</p> <p>送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。</p>
13	DCLRM	0	R/W	<p>選択パイプのデータ読み出し後の自動バッファメモリクリアモード</p> <p>選択パイプのデータ読み出し後、自動バッファメモリクリアの禁止/許可を指定します。</p> <p>0: 自動バッファクリアモード禁止</p> <p>1: 自動バッファクリアモード許可</p> <p>本ビットに 1 を設定した場合、選択パイプに割り当てた FIFO バッファが空の状態 Zero-Length packet を受信したとき、または BFRE=1 設定時にショートパケット受信しデータ読み出しを完了時に、FIFO バッファへの BCLR=1 処理を本モジュールが行います。</p> <p>BRDYM=1 に設定して本モジュールを使用するときには、必ず本ビットに 0 を設定してください。</p>

ビット	ビット名	初期値	R/W	説明
12	DREQE	0	R/W	<p>DMA 転送要求許可</p> <p>DMA 転送要求発行の禁止/許可を指定します。</p> <p>0 : DMA 転送要求禁止</p> <p>1 : DMA 転送要求許可</p> <p>DMA 転送要求発行を許可する場合、CURPIPE ビット設定後に本ビットに 1 を設定してください。</p> <p>CURPIPE ビット設定を変更するときには、本ビットに 0 を設定した後で変更を行ってください。</p>
11、10	MBW[1:0]	00	R/W	<p>FIFO ポートアクセスビット幅</p> <p>DnFIFO ポートアクセスビット幅を指定します。</p> <p>00 : 8 ビット幅</p> <p>01 : 16 ビット幅</p> <p>10 : 32 ビット幅</p> <p>11 : 設定禁止</p> <p>選択パイプが受信方向の場合、本ビットの設定後読み出しを開始したときには、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。</p> <p>また選択パイプが受信方向の場合、CURPIPE ビットと MBW ビットを同時に設定してください。</p> <p>指定パイプが送信方向の場合、バッファメモリへの書き込み処理実行中に 8 ビット幅から 16 ビット幅/32 ビット幅、または 16 ビット幅から 32 ビット幅へのビット幅切り替えは行えません。</p> <p>8 ビット/16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。</p>
9	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	BIGEND	0	R/W	<p>FIFO ポートエンディアン制御</p> <p>DnFIFO ポートのバイトエンディアンを指定します。必ず 1 を設定してください。</p> <p>0 : リトルエンディアン</p> <p>1 : ビッグエンディアン</p>
7~4	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
3~0	CURPIPE [3:0]	0000	R/W	<p>FIFO ポートアクセスパイプ指定</p> <p>D0FIFO/D1FIFO ポート経由で、データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。</p> <p>0000 : 指定なし 0001 : パイプ 1 0010 : パイプ 2 0011 : パイプ 3 0100 : パイプ 4 0101 : パイプ 5 0110 : パイプ 6 0111 : パイプ 7 1000 : パイプ 8 1001 : パイプ 9</p> <p>上記以外 : 設定禁止</p> <p>本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。</p> <p>CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じパイプ番号を設定しないでください。</p> <p>FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスすることができます。</p>

【注】 * 0 読み出しのみ有効です。

17.3.9 FIFO ポートコントロールレジスタ (CFIFOCTR、D0FIFOCTR、D1FIFOCTR)

CFIFOCTR、D0FIFOCTR、D1FIFOCTR は、バッファメモリの書き込み終了、CPU 側バッファクリア、および FIFO ポートアクセス可能かどうかを設定するレジスタです。本レジスタには、各 FIFO ポートに対応しています。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BVAL	BCLR	FRDY	—	DTLN[11:0]											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*2	R/W*1	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	BVAL	0	R/W*2	<p>バッファメモリ有効フラグ</p> <p>CURPIPE に指定したパイプ (選択パイプ) の CPU 側の FIFO バッファの書き込み終了時に 1 を指定します。</p> <p>0: 無効</p> <p>1: 書き込み終了</p> <p>選択パイプが送信方向のとき、以下の場合に本ビットに 1 を設定してください。 本モジュールは CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。</p> <ul style="list-style-type: none"> • ショートパケットの送信を行いたいとき、データ書き込み終了時に本ビットに 1 を設定 • Zero-Length パケットの送信を行いたいとき、FIFO バッファヘータを書き込む前に本ビットに 1 を設定 • 連続転送モードのパイプに対して、MaxPacketSize の自然数倍かつ BufferSize 未満のデータ書き込み後に本ビットに 1 を設定 <p>連続転送モードのパイプに対して MaxPacketSize 分のデータを書き込むと、本モジュールが本ビットを 1 にし、CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。</p> <p>本ビットへの 1 書き込みは、本モジュールが FRDY=1 を示しているときに実施してください。</p> <p>選択パイプが受信方向のときには、本ビットへの 1 書き込みを行わないでください。</p>

ビット	ビット名	初期値	R/W	説明
14	BCLR	0	R/W*1	<p>CPU バッファクリア</p> <p>選択パイプの CPU 側の FIFO バッファをクリアする場合に 1 を指定します。</p> <p>0 : 無効</p> <p>1 : CPU 側バッファメモリクリア</p> <p>選択パイプにアサインされている FIFO バッファがダブルバッファ設定の場合で、両面共に読み出し可能状態である場合でも、本モジュールは片面の FIFO バッファのみをクリアします。</p> <p>選択パイプが DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、BCLR=1 設定により本モジュールは FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の PID ビットを必ず NAK に設定した後で BCLR=1 を行ってください。</p> <p>選択パイプが送信方向の場合、BVAL ビットと BCLR ビットへ同時に 1 を書き込んだ場合には、本モジュールはそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。</p> <p>選択パイプが DCP 以外の場合、本ビットへの 1 書き込みは、本モジュールが FRDY=1 を示しているときに実施してください。</p>
13	FRDY	0	R	<p>FIFO ポートレディ</p> <p>CPU (DMAC) から FIFO ポートにアクセス可能かどうかが表示されます。</p> <p>0 : FIFO ポートアクセス不可</p> <p>1 : FIFO ポートアクセス可能</p> <p>以下の場合には、本モジュールは FRDY=1 を表示しますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、BCLR=1 を設定して FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。</p> <ul style="list-style-type: none"> 選択パイプにアサインされている FIFO バッファが空の状態 Zero-Length パケット受信した場合。 BFRE=1 設定時に、ショートパケットを受信し、データ読み出しを完了した場合。
12	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
11~0	DTLN [11:0]	H'000	R	<p>受信データ長 受信データ長が表示されます。</p> <p>FIFO バッファ読み出し中の本ビットの値は、RCNT ビットの設定値により以下のように異なります。</p> <ul style="list-style-type: none"> RCNT=0 設定時 : CPU (DMAC) が FIFO バッファ 1 面分の受信データを読み出し完了するまで、本モジュールは受信データ長を本ビットに表示します。 BFRE=1 設定時には、読み出しが完了しても BCLR=1 を行うまでは本モジュールは受信データ長を保持します。 RCNT=1 設定時 : 読み出し毎に本モジュールは DTLN ビットの表示をダウンカウントします。 (MBW=0 設定時は-1、MBW=1 設定時は-2 ずつダウンカウント) <p>1 面分の FIFO バッファ読み出し完了時に、本モジュールは DTLN=0 を表示します。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を DTLN ビットに表示します。</p> <p>RCNT=1 設定時に、FIFO バッファ読み出し途中で本ビットの値を読み出すときには、FIFO ポートへのリードサイクル後 150ns 後までに本モジュールは本ビットの更新値を表示します。</p>

【注】 *1 0 読み出し、1 書き込みのみ有効です。

*2 1 書き込みのみ有効です。

17.3.10 割り込み許可レジスタ 0 (INTENB0)

INTENB0 は、各割り込みマスクの指定を行います。ソフトウェアが本レジスタに 1 を設定したビットに対応する割り込みを本モジュールが検出した場合に、本モジュールは USB 割り込みを発生します。

本モジュールは、本レジスタの設定値 (割り込み通知の禁止/許可) にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS0 レジスタの対応するステータスビットに 1 を表示します。

各割り込み要因に対応する INTSTS0 レジスタのステータスビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは USB 割り込み発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	VBSE	0	R/W	VBUS 割り込み許可 VBINT 割り込み検出時、USB 割り込み出力の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
14	RSME	0	R/W	レジューム割り込み許可* RESM 割り込み検出時、USB 割り込み出力の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
13	SOFE	0	R/W	フレーム番号更新割り込み許可 SOFR 割り込み検出時、USB 割り込み出力の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
12	DVSE	0	R/W	デバイスステート遷移割り込み許可* DVST 割り込み検出時、USB 割り込み出力の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
11	CTRE	0	R/W	コントロール転送ステージ遷移割り込み許可* CTRRT 割り込み検出時、USB 割り込み出力の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
10	BEMPE	0	R/W	バッファEMPTY割り込み許可 BEMP 割り込み検出時、USB 割り込み出力の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説明
9	NRDYE	0	R/W	バッファノットレディ応答割り込み許可 NRDY 割り込み検出時、USB 割り込み出力の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
8	BRDYE	0	R/W	バッファレディ割り込み許可 BRDY 割り込み検出時、USB 割り込み出力の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * RSME ビット、DVSE ビットおよび CTRE ビットは、ファンクションコントロール機能選択時のみ設定ができます。ホストコントローラ機能選択時は、許可を行わないでください。

17.3.11 割り込み許可レジスタ 1 (INTENB1)

INTENB1 は、ホストコントローラ機能選択時の割り込みマスクの設定を行います。

ソフトウェアが本レジスタに 1 を設定したビットに対応する割り込みを本モジュールが検出した場合に、本モジュールは USB 割り込みを発生します。

本モジュールは、本レジスタの設定値 (割り込み通知の禁止/許可) にかかわらず、各割り込み要因の検出条件を満たしたときに INTSTS1 レジスタの対応するステータスビットに 1 を表示します。

各割り込み要因に対応する INTSTS1 レジスタのステータスビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは USB 割り込み発生します。

ファンクションコントローラ機能選択時は、割り込み許可を行わないでください。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHGE	—	DTCHE	ATT CHE	—	—	—	—	EOF ERRE	SIGNE	SACKE	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BCHGE	0	R/W	USB バス変化割り込み許可 BCHG 割り込み検出時の USB 割り込み出力の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
13	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	DTCHE	0	R/W	切断検出割り込み許可 DTCH 割り込み検出時の USB 割り込み出力の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
11	ATT CHE	0	R/W	接続検出割り込み許可 ATT CHE 割り込み検出時の USB 割り込み出力の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
10~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
6	EOFERRE	0	R/W	EOF エラー検出割り込み許可 EOFERR 割り込み検出時、USB 割り込み出力の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
5	SIGNE	0	R/W	セットアップトランザクションエラー割り込み許可 SIGN 割り込み検出時、USB 割り込み出力の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
4	SACKE	0	R/W	セットアップトランザクション正常応答割り込み許可 SACK 割り込み検出時、USB 割り込み出力の禁止/許可を指定します。 0: 割り込み出力禁止 1: 割り込み出力許可
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 INTENB1 レジスタによる割り込み許可は、ホストコントロール機能選択時のみ設定ができます。ファンクションコントローラ機能選択時は、許可を行わないでください。

17.3.12 BRDY 割り込み許可レジスタ (BRDYENB)

BRDYENB は、各パイプの BRDY 割り込み検出時に、INTSTS0 レジスタの BRDY ビットを 1 に設定することを禁止するか/許可するかを指定します。

ソフトウェアが本レジスタに 1 を設定したパイプに対して、本モジュールが BRDY 割り込みを検出した場合に、本モジュールは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの BRDY ビットに 1 を表示し、BRDY 割り込みを発生します。

BRDYSTS レジスタの PIPEBRDY ビットの少なくともひとつのビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは BRDY 割り込みを発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BRDYE	PIPE8 BRDYE	PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	PIPE3 BRDYE	PIPE2 BRDYE	PIPE1 BRDYE	PIPE0 BRDYE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W									

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BRDYE	0	R/W	パイプ 9 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8BRDYE	0	R/W	パイプ 8 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7BRDYE	0	R/W	パイプ 7 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BRDYE	0	R/W	パイプ 6 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BRDYE	0	R/W	パイプ 5 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BRDYE	0	R/W	パイプ 4 の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3BRDYE	0	R/W	パイプ3の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
2	PIPE2BRDYE	0	R/W	パイプ2の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
1	PIPE1BRDYE	0	R/W	パイプ1の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
0	PIPE0BRDYE	0	R/W	パイプ0の BRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

17.3.13 NRDY 割り込み許可レジスタ (NRDYENB)

NRDYENB は、各パイプの NRDY 割り込み検出時に INTSTS0 レジスタの NRDY ビットを 1 に設定することを禁止する/許可するかを指定します。

ソフトウェアが本レジスタに 1 を設定したパイプに対して、本モジュールが NRDY 割り込み要因を検出した場合に、本モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの NRDY ビットに 1 を表示し、NRDY 割り込みを発生します。

NRDYSTS レジスタの PIPENRDY ビットの少なくともひとつのビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは NRDY 割り込みを発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 NRDYENB	PIPE8 NRDYENB	PIPE7 NRDYENB	PIPE6 NRDYENB	PIPE5 NRDYENB	PIPE4 NRDYENB	PIPE3 NRDYENB	PIPE2 NRDYENB	PIPE1 NRDYENB	PIPE0 NRDYENB
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W									

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9NRDYE	0	R/W	パイプ 9 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8NRDYE	0	R/W	パイプ 8 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7NRDYE	0	R/W	パイプ 7 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6NRDYE	0	R/W	パイプ 6 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5NRDYE	0	R/W	パイプ 5 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4NRDYE	0	R/W	パイプ 4 の NRDY 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3NRDYE	0	R/W	パイプ3のNRDY割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
2	PIPE2NRDYE	0	R/W	パイプ2のNRDY割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
1	PIPE1NRDYE	0	R/W	パイプ1のNRDY割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
0	PIPE0NRDYE	0	R/W	パイプ0のNRDY割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

17.3.14 BEMP 割り込み許可レジスタ (BEMPENB)

BEMPENB は、各パイプの BEMP 割り込み検出時に INTSTS0 レジスタの BEMP ビットを 1 に設定することを禁止する/許可するかを指定します。

ソフトウェアが本レジスタに 1 を設定したパイプに対して、本モジュールが BEMP 割り込み要因を検出した場合に、本モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに 1 を表示し、INTSTS0 レジスタの BEMP ビットに 1 を表示し、BEMP 割り込みを発生します。

BEMPSTS レジスタの PIPEBEMP ビットの少なくともひとつのビットが 1 を示している状態で、ソフトウェアが本レジスタの対応する割り込み許可ビットを 0 から 1 に変更すれば、本モジュールは BEMP 割り込みを発生します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BEMPE	PIPE8 BEMPE	PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	PIPE3 BEMPE	PIPE2 BEMPE	PIPE1 BEMPE	PIPE0 BEMPE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W									

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BEMPE	0	R/W	パイプ 9 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
8	PIPE8BEMPE	0	R/W	パイプ 8 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
7	PIPE7BEMPE	0	R/W	パイプ 7 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
6	PIPE6BEMPE	0	R/W	パイプ 6 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
5	PIPE5BEMPE	0	R/W	パイプ 5 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
4	PIPE4BEMPE	0	R/W	パイプ 4 の BEMP 割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

ビット	ビット名	初期値	R/W	説 明
3	PIPE3BEMPE	0	R/W	パイプ3のBEMP割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
2	PIPE2BEMPE	0	R/W	パイプ2のBEMP割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
1	PIPE1BEMPE	0	R/W	パイプ1のBEMP割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可
0	PIPE0BEMPE	0	R/W	パイプ0のBEMP割り込み許可 0: 割り込み出力禁止 1: 割り込み出力許可

17.3.15 SOF 制御レジスタ (SOFCFG)

SOFCFG は、トランザクションの有効期間や BRDY 割り込みステータスクリアタイミングなどを指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TRNEN SEL	—	BRDYM	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0*	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	TRNENSEL	0	R/W	トランザクション有効期間切り替えビット フルスピードまたはロースピード通信中のポートにおいて、1 フレーム中に本モジュールがトークン発行を行う期間（トランザクション有効期間）を指定します。 0: ロースピード未対応 1: ロースピード対応 本ビットは、ホストコントロール機能選択時のみ有効です。また、ホストコントロール機能選択時であってもハイスピードのトランザクション有効期間には影響しません。 ファンクションコントローラ機能選択時は、0 を設定してください。
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	BRDYM	0	R/W	各パイプの BRDY 割り込みステータスクリアタイミング設定 各パイプの BRDY 割り込みステータスをクリアするタイミングを指定します。 0: ソフトウェアがステータスをクリア 1: FIFO バッファの読み出しまたは FIFO バッファへの書き込み動作により本モジュールがステータスをクリア
5	—	0*	R	リザーブビット 本ビットはリザーブビットです。直前に読み出した値を書き込むようにしてください。 【注】パワーオンリセット直後の初期値は 0 ですが、本モジュールの初期化ルーチンで必ず 1 に設定してください。
4~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 * パワーオンリセット直後の初期値は 0 ですが、本モジュールの初期化ルーチンで必ず 1 に設定してください。

17.3.16 割り込みステータスレジスタ 0 (INTSTS0)

INTSTS0 は、各検出された割り込みのステータスを表示します。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで DVSQ[2:0]ビットは初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
初期値:	0	0	0	0	0	0	0	0	*3	*2	*2	*2	0	0	0	0
R/W:	R/W*7	R/W*7	R/W*7	R/W*7	R/W*7	R	R	R	R	R	R	R	R/W*7	R	R	R

ビット	ビット名	初期値	R/W	説明
15	VBINT	0	R/W*7	VBUS 割り込みステータス*4*5 0: VBUS 割り込み非発生 1: VBUS 割り込み発生 本モジュールが VBUS 端子入力値の変化 (ハイレベルからローレベルへの変化あるいはローレベルからハイレベルへの変化) を検出したときに、本ビットに 1 を表示します。本モジュールは VBUS 端子の入力値を、VBSTS ビットに表示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS ビット読み出しの回数一致を行い、チャタリング除去を実施してください。
14	RESM	0	R/W*7	レジューム割り込みステータス*4*5*6 0: レジューム割り込み非発生 1: レジューム割り込み発生 ファンクションコントローラ機能設定時、本モジュールがサスペンド状態 (DVSQ=1XX) であり、かつ、DP 端子の立ち下りを検出したときに、本ビットに 1 を表示します。 ホストコントローラ機能選択時、読み出し値は無効です。
13	SOFR	0	R/W*7	フレーム番号更新割り込みステータス*4 0: SOF 割り込み非発生 1: SOF 割り込み発生 (1) ホストコントローラ機能設定時 ソフトウェアが UACT ビットを 1 に設定しているとき、フレームナンバーの更新タイミングで本ビットに 1 を表示します (本割り込みは、1ms 毎に検出します)。 (2) ファンクションコントローラ機能設定時 フレームナンバーの更新時に本モジュールは本ビットに 1 を表示します (本割り込みは、1ms 毎に検出します)。 USB ホストからの SOF パケットが破損したときでも、内部補間により、本モジュールは SOFR 割り込みを検出します。

ビット	ビット名	初期値	R/W	説明
12	DVST	0/1* ¹	R/W* ⁷	<p>デバイスステート遷移割り込みステータス*⁴*⁶</p> <p>0: デバイスステート遷移割り込み非発生 1: デバイスステート遷移割り込み発生</p> <p>ファンクションコントローラ機能設定時、本モジュールがデバイスステートの变化を検出したときに、本モジュールは DVST の値を更新し、本ビットに 1 を表示します。</p> <p>本割り込みが発生したときには、本モジュールが次のデバイスステート遷移を検出する前に、ステータスクリアを実施してください。</p> <p>ホストコントローラ機能選択時、読み出し値は無効です。</p>
11	CTRT	0	R/W* ⁷	<p>コントロール転送ステージ遷移割り込みステータス*⁴*⁶</p> <p>0: コントロール転送ステージ遷移割り込み非発生 1: コントロール転送ステージ遷移割り込み発生</p> <p>ファンクションコントローラ機能設定時、本モジュールがコントロール転送のステージ遷移を検出したときに、本モジュールは CTRT の値を更新し、本ビットに 1 を表示します。</p> <p>本割り込みが発生したときには、本モジュールがコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。</p> <p>ホストコントローラ機能選択時、読み出し値は無効です。</p>
10	BEMP	0	R	<p>バッファエンpty割り込みステータス</p> <p>0: BEMP 割り込み非発生 1: BEMP 割り込み発生</p> <p>BEMPENB レジスタの PIPEBEMPE ビットに 1 を設定したパイプに対応する BEMPSTS レジスタの PIPEBEMP ビットのうち、少なくともひとつが 1 の状態になったとき(ソフトウェアが BEMP 割り込み通知を許可したパイプのうち少なくともひとつに対し本モジュールが BEMP 割り込み状態を検出したとき)に、本モジュールは本ビットに 1 を表示します。</p> <p>PIPEBEMP ステータスのアサート条件は、「17.4.2 (3) BEMP 割り込み」を参照ください。</p> <p>ソフトウェアが、PIPEBEMPE ビットで許可を設定しているパイプに対応する PIPEBEMP ビットすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。</p> <p>ソフトウェアが本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。</p>

ビット	ビット名	初期値	R/W	説明
9	NRDY	0	R	<p>バッファノットレディ割り込みステータス</p> <p>0 : NRDY 割り込み非発生 1 : NRDY 割り込み発生</p> <p>NRDYENB レジスタの PIPENRDYE ビットに 1 を設定したパイプに対応する NRDYSTS レジスタの PIPENRDY ビットのうち、少なくともひとつが 1 の状態になったとき (ソフトウェアが NRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し本モジュールが NRDY 割り込み状態を検出したとき) に、本モジュールは本ビットに 1 を表示します。</p> <p>PIPENRDY ステータスのアサート条件は、「17.4.2 (2) NRDY 割り込み」を参照ください。</p> <p>ソフトウェアが、PIPENRDYE ビットで許可を設定しているパイプに対応する PIPENRDY ビットのすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。</p> <p>ソフトウェアが本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。</p>
8	BRDY	0	R	<p>バッファレディ割り込みステータス</p> <p>BRDY 割り込みステータスが表示されます。</p> <p>0 : BRDY 割り込み非発生 1 : BRDY 割り込み発生</p> <p>BRDYENB レジスタの PIPEBRDYE ビットに 1 を設定したパイプに対応する BRDYSTS レジスタの PIPEBRDY ビットのうち、少なくともひとつが 1 の状態になったとき (ソフトウェアが BRDY 割り込み通知を許可したパイプのうち少なくともひとつに対し本モジュールが BRDY 割り込み状態を検出したとき) に、本モジュールは本ビットに 1 を表示します。</p> <p>PIPEBRDY ステータスのアサート条件は、「17.4.2 (1) BRDY 割り込み」を参照ください。</p> <p>ソフトウェアが、PIPEBRDYE ビットで許可を設定しているパイプに対応する PIPEBRDY ビットのすべてに 0 を書き込むと、本モジュールは本ビットを 0 にクリアします。</p> <p>ソフトウェアが本ビットに対して 0 を書き込んでも、本ビットの 0 クリアを行うことはできません。</p>
7	VBSTS	0/1* ³	R	<p>VBUS 入カステータス</p> <p>0 : VBUS 端子がローレベル 1 : VBUS 端子がハイレベル</p>

ビット	ビット名	初期値	R/W	説明
6~4	DVSQ[2:0]	000/001* ²	R	デバイスステート 000 : パワードステート 001 : デフォルトステート 010 : アドレスステート 011 : コンフィギュレーションステート 1xx : サスペンドステート ホストコントローラ機能選択時、読み出し値は無効です。
3	VALID	0	R/W* ⁷	USB リクエスト受信 0 : 未検出 1 : セットアップパケット受信 ホストコントローラ機能選択時、読み出し値は無効です。
2~0	CTSQ[2:0]	000	R	コントロール転送ステージ 000 : アイドルまたはセットアップステージ 001 : コントロールリードデータステージ 010 : コントロールリードステータスステージ 011 : コントロールライトデータステージ 100 : コントロールライトステータスステージ 101 : コントロールライト (NoData) ステータスステージ 110 : コントロール転送シーケンスエラー 111 : 設定禁止 ホストコントローラ機能選択時、読み出し値は無効です。

- 【注】 *1 パワーオンリセットのとき B'0、USB バスリセットのとき B'1 です。
- *2 パワーオンリセットのとき B'000、USB バスリセットのとき B'001 です。
- *3 VBUS 端子がハイレベルのとき 1、ローレベルのとき 0 です。
- *4 VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、または CTRT ビットをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。0 を示しているステータスビットへの 0 の書き込みを行わないでください。
- *5 VBINT ビット、RESM ビットが示すステータス変化をクロック停止中 (SCKE=0) でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。
- *6 RESM ビット、DVST ビット、CTRT ビットのステータス変化は、ファンクションコントロール機能選択時のみ発生します。ファンクションコントローラ機能選択時には対応する割り込み許可ビットを禁止 (0) にしてください。
- *7 0 書き込みのみ有効です。

17.3.17 割り込みステータスレジスタ 1 (INTSTS1)

INTSTS1 は、各割り込みのステータスを確認するレジスタです。

なお、ファンクションコントローラ機能選択時は INTSTS0 レジスタ、ホストコントローラ機能選択時は INTSTS1 レジスタを利用することにより、どちらか片方のレジスタのみを参照することで割り込みの発生を知ることができます。

本レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BCHG	—	DTCH	ATTCH	—	—	—	—	EOF ERR	SIGN	SACK	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W*1	R	R/W*1	R/W*1	R	R	R	R	R/W*1	R/W*1	R/W*1	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	BCHG	0	R/W*1	USB バス変化割り込みステータス USB バス変化割り込みステータスが表示されます。 0 : BCHG 割り込み非発生 1 : BCHG 割り込み発生 USB ポートでフルスピード/ロースピード信号レベルでの状態変化が発生した (J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した) ときに、本モジュールは BCHG 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生を発生させます。 USB ポートの現在の入力状態を、SYSSTS0 レジスタの LNST ビットに表示します。BCHG 端子割り込み発生時は、ソフトウェアで LNST ビット読み出しの回数一致を行い、チャタリング除去を実施してください。 USB バス変化は、内部クロック停止状態でも検出します。 ファンクションコントロール機能選択時、読み出し値は無効です。
13	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
12	DTCH	0	R/W* ¹	<p>USB 切断検出割り込みステータス</p> <p>ホストコントローラ機能選択時、USB 切断検出割り込みステータスが表示されます。</p> <p>0 : DTCH 割り込み非発生 1 : DTCH 割り込み発生</p> <p>USB バスディスクコネクタ検出時に、本モジュールは DTCH 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生します。本モジュールは、USB 2.0 仕様に準じた基準でバスディスクコネクタを検出します。</p> <p>本モジュールは、DTCH 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、USB ポートに対して通信を行っているパイプをすべて通信終了させ、USB ポートへのアタッチ（ATTCH 割り込み発生）待ちの状態に遷移してください。</p> <ul style="list-style-type: none"> DTCH 割り込みを検出したポートの UACT ビットを 0 に変更し表示。 DTCH 割り込みが発生したポートをアイドル状態に遷移させる。 <p>ファンクションコントロール機能選択時、読み出し値は無効です。</p>
11	ATTCH	0	R/W* ¹	<p>ATTCH 割り込みステータス</p> <p>ホストコントローラ機能選択時、ATTCH 割り込みステータスが表示されます。</p> <p>0 : ATTCH 割り込み非発生 1 : ATTCH 割り込み発生</p> <p>本モジュールがポートにフルスピード/ ロースピード信号レベルの J-State または K-State を 2.5 μs 間検出したとき、本モジュールは ATTCH 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは割り込み発生をします。</p> <p>本モジュールの ATTCH 割り込み検出条件は、具体的には以下のとおりです。</p> <ul style="list-style-type: none"> K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μs 間継続したとき J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μs 間継続したとき <p>ファンクションコントロール機能選択時、読み出し値は無効です。</p>
10~7	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
6	EOFERR	0	R/W* ¹	<p>EOF エラー検出割り込みステータス</p> <p>ホストコントロール機能選択時、EOFERR 割り込みステータスが表示されま ず。</p> <p>0 : EOFERR 割り込み非発生 1 : EOFERR 割り込み発生</p> <p>USB 2.0 仕様に定められている EOF2 タイミング時点で通信が終了しないこ とを本モジュールが検出したときに、本モジュールは EOFERR 割り込みを 検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割 り込み許可ビットに 1 を設定していれば、本モジュールは EOFERR 割り込 みを発生します。</p> <p>本モジュールは、EOFERR 割り込みを検出後（該当する割り込み許可ビット の設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェア は、USB ポートに対して通信を行っているパイプをすべて通信終了させ、 USB ポートへの再 Enumeration を行ってください。</p> <ul style="list-style-type: none"> • EOFERR 割り込みを検出したポートの UACT ビットを 0 に変更し表示 • EOFERR 割り込みが発生したポートをアイドル状態に遷移させる。 <p>ファンクションコントロール機能選択時、読み出し値は無効です。</p>
5	SIGN	0	R/W* ¹	<p>セットアップトランザクションエラー割り込みステータス</p> <p>ホストコントロール機能選択時、セットアップトランザクションエラー割 り込みステータスが表示されます。</p> <p>0 : SIGN 割り込み非発生 1 : SIGN 割り込み発生</p> <p>本モジュールが発行した SETUP トランザクションにおいて、周辺デバイス が ACK 応答を行わない状態が連続 3 回発生したときに、本モジュールは SIGN 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウ ェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは SIGN 割り込み発生をします。</p> <p>本モジュールの SIGN 割り込み検出条件は、具体的には 3 回の連続した SETUP トランザクションに対して、以下のいずれかの応答が発生したとき です。</p> <ul style="list-style-type: none"> • 周辺デバイスが何も応答しない状態で本モジュールがタイムアウトを検 出したとき • ACK パケットが破損したとき • ACK 以外のハンドシェイク (NAK、NYET、または STALL) を受信したと き <p>ファンクションコントロール機能選択時、読み出し値は無効です。</p>

ビット	ビット名	初期値	R/W	説明
4	SACK	0	R/W* ¹	<p>セットアップトランザクション正常応答割り込みステータス</p> <p>ホストコントロール機能選択時、セットアップトランザクション正常応答割り込みステータスを表示します。</p> <p>0 : SACK 割り込み非発生</p> <p>1 : SACK 割り込み発生</p> <p>本モジュールが発行した SETUP トランザクションにおいて、周辺デバイスからの ACK 応答を受信したときに、本モジュールは SACK 割り込みを検出し、本ビットに 1 を表示します。このとき、ソフトウェアが該当する割り込み許可ビットに 1 を設定していれば、本モジュールは SACK 割り込みを発生します。</p>
3~0	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

【注】 *1 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を、その他のビットには 1 を書き込んでください。

*2 BCHG ビットが示すステータス変化をクロック停止中 (SCKE=0) でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ソフトウェアによるステータスのクリアはクロック許可後に行ってください。BCHG ビット以外の割り込みは、クロック停止中 (SCKE=0) は検出しません。

17.3.18 BRDY 割り込みステータスレジスタ (BRDYSTS)

BRDYSTS は、各パイプの BRDY 割り込みステータスを表示します。
本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BRDY	PIPE8 BRDY	PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	PIPE3 BRDY	PIPE2 BRDY	PIPE1 BRDY	PIPE0 BRDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*1									

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BRDY	0	R/W*1	パイプ 9 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
8	PIPE8BRDY	0	R/W*1	パイプ 8 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
7	PIPE7BRDY	0	R/W*1	パイプ 7 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
6	PIPE6BRDY	0	R/W*1	パイプ 6 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
5	PIPE5BRDY	0	R/W*1	パイプ 5 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
4	PIPE4BRDY	0	R/W*1	パイプ 4 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
3	PIPE3BRDY	0	R/W*1	パイプ 3 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
2	PIPE2BRDY	0	R/W*1	パイプ 2 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生
1	PIPE1BRDY	0	R/W*1	パイプ 1 の BRDY 割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生

ビット	ビット名	初期値	R/W	説明
0	PIPE0BRDY	0	R/W*1	パイプ0のBRDY割り込みステータス*2 0: 割り込み非発生 1: 割り込み発生

【注】 *1 BRDYM=0 設定の場合、本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ0を、その他のビットには1を書き込んでください。

*2 BRDYM=0 設定の場合、本割り込みのクリアは、必ず FIFO アクセスを行う前に実施してください。

17.3.19 NRDY 割り込みステータスレジスタ (NRDYSTS)

NRDYSTS は、各パイプの NRDY 割り込みステータスを表示します。
本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 NRDY	PIPE8 NRDY	PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	PIPE3 NRDY	PIPE2 NRDY	PIPE1 NRDY	PIPE0 NRDY
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*									

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9NRDY	0	R/W*	パイプ 9 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
8	PIPE8NRDY	0	R/W*	パイプ 8 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
7	PIPE7NRDY	0	R/W*	パイプ 7 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
6	PIPE6NRDY	0	R/W*	パイプ 6 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
5	PIPE5NRDY	0	R/W*	パイプ 5 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
4	PIPE4NRDY	0	R/W*	パイプ 4 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
3	PIPE3NRDY	0	R/W*	パイプ 3 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
2	PIPE2NRDY	0	R/W*	パイプ 2 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
1	PIPE1NRDY	0	R/W*	パイプ 1 の NRDY 割り込みステータス 0: 割り込み非発生 1: 割り込み発生

ビット	ビット名	初期値	R/W	説明
0	PIPE0NRDY	0	R/W*	パイプ0のNRDY割り込みステータス 0: 割り込み非発生 1: 割り込み発生

【注】 * 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ0を、その他のビットには1を書き込んでください。

17.3.20 BEMP 割り込みステータスレジスタ (BEMPSTS)

BEMPSTS は、各パイプの BEMP 割り込みステータスを表示します。
本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PIPE9 BEMP	PIPE8 BEMP	PIPE7 BEMP	PIPE6 BEMP	PIPE5 BEMP	PIPE4 BEMP	PIPE3 BEMP	PIPE2 BEMP	PIPE1 BEMP	PIPE0 BEMP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W*									

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PIPE9BEMP	0	R/W*	パイプ 9 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
8	PIPE8BEMP	0	R/W*	パイプ 8 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
7	PIPE7BEMP	0	R/W*	パイプ 7 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
6	PIPE6BEMP	0	R/W*	パイプ 6 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
5	PIPE5BEMP	0	R/W*	パイプ 5 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
4	PIPE4BEMP	0	R/W*	パイプ 4 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
3	PIPE3BEMP	0	R/W*	パイプ 3 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
2	PIPE2BEMP	0	R/W*	パイプ 2 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生
1	PIPE1BEMP	0	R/W*	パイプ 1 の BEMP 割り込みステータス 0: 割り込み非発生 1: 割り込み発生

ビット	ビット名	初期値	R/W	説明
0	PIPE0BEMP	0	R/W*	パイプ0のBEMP割り込みステータス 0: 割り込み非発生 1: 割り込み発生

【注】 * 本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに0を、他のビットには1を書き込んでください。

17.3.21 フレームナンバーレジスタ (FRMNUM)

FRMNUM は、アイソクロナスエラー通知の要因判別およびフレーム番号等の表示をします。
本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OVRN	CRCE	—	—	—	FRNM[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	OVRN	0	R/W*	<p>オーバラン/アンダーラン検出ステータス</p> <p>アイソクロナス転送を行っているパイプに対するオーバラン/アンダーランエラー検出の有無が表示されます。</p> <p>0: エラーなし 1: エラー発生</p> <p>ソフトウェアは、本ビットに0を書き込むことにより、本ビットを0にクリアすることができます。このとき、本レジスタの他のビットには1を書き込んでください。</p> <p>(1) ホストコントローラ機能選択時</p> <p>以下のいずれかの場合に、本モジュールが本ビットに1を表示します。</p> <ul style="list-style-type: none"> 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFOバッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき。 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき。 <p>(2) ファンクションコントローラ機能選択時</p> <p>以下のいずれかの場合に、本モジュールが本ビットに1を表示します。</p> <ul style="list-style-type: none"> 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファに送信データの書き込みが完了していないのに IN Token を受信したとき。 転送タイプがアイソクロナスの受信方向パイプにおいて、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき。

ビット	ビット名	初期値	R/W	説明
14	CRCE	0	R/W*	<p>受信データエラー</p> <p>アイソクロナス転送中のパイプに対する CRC エラーやビットスタッフィングエラーの検出ステータスが表示されます。</p> <p>0 : エラーなし</p> <p>1 : エラー発生</p> <p>ソフトウェアは、本ビットに 0 を書き込むことにより本ビットを 0 にクリアすることができます。</p> <p>このとき本レジスタの他のビットには 1 を書き込んでください。</p> <p>(1) ホストコントローラ機能選択時 CRC エラーの検出時には、本モジュールは内部 NRDY 割り込み要求を発生させます。</p> <p>(2) ファンクションコントローラ機能選択時 CRC エラーの検出時には、本モジュールは内部 NRDY 割り込み要求を発生させません。</p>
13~11	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10~0	FRNM [10:0]	H'000	R	<p>フレーム番号</p> <p>本モジュールは、1ms に 1 回の SOF 発行タイミングまたは SOF 受信時に本ビットを書き換え、最新のフレーム番号を表示します。</p> <p>本ビットを読み出すときは、2 度一致で読み出してください。</p>

【注】 * 0 書き込みのみ有効です。

17.3.22 μ フレームナンバーレジスタ (UFRMNUM)

UFRMNUM は、 μ フレーム番号を表示します。

本レジスタは、パワーオンリセットで初期化されます。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	UFRNM[2:0]		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~3	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
2~0	UFRNM[2:0]	000	R	<p>μ フレーム</p> <p>μ フレーム番号が確認できます。</p> <p>ハイスピード動作時は、本モジュールは、本ビットに μ フレーム番号を表示します。</p> <p>ハイスピード以外での動作時には、本ビットに B'000 を表示します。</p> <p>本ビットを読み出すときは、2 度一致で読み出してください。</p>

17.3.23 USB アドレスレジスタ (USBADDR)

USBADDR は、USB アドレスを表示します。

本レジスタは、ファンクションコントローラ機能選択時のみ有効です。ホストコントローラ機能選択時の周辺デバイスアドレスの設定は、PIPEMAXP レジスタの DEVSEL ビットを使用してください。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	USBADDR[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6~0	USBADDR[6:0]	H'00	R	USB アドレス ファンクションコントロール機能選択時に、SET_ADDRESS リクエストを正常に処理したときに、ホストから割り付けられた USB アドレスを表示します。 本モジュールが USB リセットを検出したとき、本ビットに H'00 を表示します。 ホストコントローラ機能選択時、本ビットは無効です。

17.3.24 USB リクエストタイプレジスタ (USBREQ)

USBREQ は、コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBREQ は、ファンクションコントローラ機能選択時、受信した bRequest および bmRequestType の値が格納されます。ホストコントローラ機能選択時、送信する bRequest および bmRequestType の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~8	BREQUEST[7:0]	H'00	R/W*	リクエスト USB リクエスト bRequest の値を格納します。 (1) ホストコントローラ機能選択時 送信する SETUP トランザクションの USB リクエストデータ値を設定してください。SUREQ=1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ機能選択時 SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。
7~0	BMREQUEST TYPE[7:0]	H'00	R/W*	リクエストタイプ USB リクエスト bmRequestType の値を格納します。 (1) ホストコントローラ機能選択時 送信する SETUP トランザクションの USB リクエストデータ値を設定してください。SUREQ=1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ機能選択時 SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

17.3.25 USB リクエストバリュeregスタ (USBVAL)

USBVAL は、ファンクションコントローラ機能選択時、受信した wValue の値が格納されます。ホストコントローラ機能選択時、送信する wValue の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WVALUE[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WVALUE[15:0]	H'0000	R/W*	バリュー USB リクエスト wValue の値を格納します。 (1) ホストコントローラ機能を選択時 送信する SETUP トランザクションの USB リクエスト wValue の値を設定してください。SUREQ=1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ選択時 SETUP トランザクションで受信した USB リクエスト wValue の値を表示します。本ビットへの書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

17.3.26 USB リクエストインデックスレジスタ (USBINDX)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBINDX は、ファンクションコントローラ機能選択時、受信した wIndex の値が格納されます。ホストコントローラ機能選択時、送信する wIndex の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WINDEX[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WINDEX[15:0]	H'0000	R/W*	インデックス USB リクエスト wIndex の値を格納します。 (1) ホストコントローラ機能を選択時 送信する SETUP トランザクションの USB リクエスト wIndex の値を設定してください。SUREQ=1 の状態で本ビットの書き換えは行わないでください。 (2) ファンクションコントローラ選択時 SETUP トランザクションで受信した USB リクエスト wIndex の値を表示します。本ビットへの書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

17.3.27 USB リクエストレングスレジスタ (USBLENG)

コントロール転送のセットアップリクエストを格納するためのレジスタです。

USBLENG は、ファンクションコントローラ機能選択時、受信した wLength の値が格納されます。ホストコントローラ機能選択時、送信する wLength の値を設定します。

本レジスタは、パワーオンリセットおよび USB バスリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WLENGTH[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	WLENGTH[15:0]	H'0000	R/W*	レングス USB リクエスト wLength の値を格納します。 (1) ホストコントローラ機能を選択時 送信する SETUP トランザクションの USB リクエスト wLength の値を設定してください。SUREQ=1 の状態でビットの書き換えは行わないでください。 (2) ファンクションコントローラ選択時 SETUP トランザクションで受信した USB リクエスト wLength の値を表示します。本ビットへの書き込みは無効です。

【注】 * ファンクションコントローラ機能を選択したときは、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能を選択したときは、読み出し/書き込み可能です。

17.3.28 DCP コンフィギュレーションレジスタ (DCPCFG)

DCPCFG は、デフォルトコントロールパイプ (DCP) に対して、データの転送方向を指定します。
本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	DIR	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	DIR	0	R/W	転送方向 ホストコントローラ機能選択時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。 0: データ受信方向 1: データ送信方向 ファンクションコントロール機能選択時には、本ビットへは0を設定してください。
3~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

17.3.29 DCP マックスパケットサイズレジスタ (DCPMAXP)

DCPMAXP は、DCP に対して、マックスパケットサイズを指定します。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL[3:0]				—	—	—	—	—	MXPS[6:0]						
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
15~12	DEVSEL[3:0]	0000	R/W	<p>デバイス選択</p> <p>ホストコントローラ機能選択時、コントロール転送の通信相手である周辺デバイスのアドレスを指定します。</p> <p>0000 : アドレス 0000 0001 : アドレス 0001 : : 1001 : アドレス 1001 1010 : アドレス 1010 上記以外 : 設定禁止</p> <p>本ビットの設定値に対応する DEVADDn レジスタの設定を行ったあとで、本ビットを設定してください。</p> <p>たとえば、DEVSEL=0010 を設定する場合、DEVADD2 レジスタにアドレスの設定を行ってください。</p> <p>本ビットの設定は、CSSTS=0、PID=NAK および SUREQ=0 の期間に実施してください。</p> <p>DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>ファンクションコントローラ機能選択時は、本ビットの値を B'0000 に設定してください。</p>
11~7	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
6~0	MXPS[6:0]	H'40	R/W	<p>マックスパケットサイズ</p> <p>DCP の最大データペイロード (マックスパケットサイズ) を本ビットに設定してください。</p> <p>初期値は、H'40 (64 バイト) です。</p> <p>MXPS ビットの設定は、USB 規格に準拠した値を設定してください。</p> <p>MXPS ビットの設定は、CSSTS=0、PID=NAK および CURPIPE ビットに未設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>MXPS=0 の設定での FIFO バッファへの書き込み、または PID=BUF の設定は行わないでください。</p>

17.3.30 DCP コントロールレジスタ (DCPCTR)

DCPCTR は、DCP に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、および応答 PID の設定を行います。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで CCPL、PID[2:0]ビットは初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	SUREQ	CSCLR	CSSTS	SUREQ CLR	—	—	SQCLR	SQSET	SQMON	PBUSY	PINGE	—	CCPL	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R	R/W*2	R/W*1	R	R/W*1	R	R	R/W*1	R/W*1	R	R	R/W	R	R/W*1	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	<p>バッファステータス</p> <p>DCP FIFO バッファへのアクセス可否ステータスが表示されます。</p> <p>0: バッファアクセス不可</p> <p>1: バッファアクセス可</p> <p>本ビットの意味は、ISEL ビットの設定値により以下のように異なります。</p> <ul style="list-style-type: none"> • ISEL=0 のとき、受信データの読み出しが可能かどうかを表示します。 • ISEL=1 のとき、送信データの書き込みが可能かどうかを表示します。
14	SUREQ	0	R/W*2	<p>SETUP トークン送出</p> <p>ホストコントローラ機能選択時、本ビットを 1 にセットすることにより、セットアップパケットを送信します。</p> <p>0: 無効</p> <p>1: セットアップパケット送出</p> <p>SETUP トランザクション処理終了後、本モジュールは SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、本ビットを 0 にクリアします。</p> <p>また、SUREQCLR ビットをソフトウェアで 1 にセットする事により、本モジュールは本ビットを 0 にクリアします。</p> <p>DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、本ビットに 1 を設定してください。</p> <p>SUREQ=1 を設定する前に、DCP の PID ビットを NAK に設定していることを確認してください。また、本ビットへの 1 設定後、SETUP トランザクションが終了するまで (SUREQ=1) の期間は DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。</p> <p>SETUP トークンを出すときのみ本ビットを 1 にセットしてください。その他のときには、必ず 0 を書き込んでください。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
13	CSCLR	0	R/W* ¹	<p>スプリットトランザクションの C-SPLIT ステータスクリア ホストコントローラ機能選択時に、スプリットトランザクションを使用する転送について、本ビットを 1 にすることにより CSSTS ビットを 0 にクリアすることができます。このとき、DCP の次回の転送は S-SPLIT から再開されます。</p> <p>0 : 無効 1 : CSSTS ビットの 0 クリア実行</p> <p>ソフトウェアが本ビットに 1 を設定すると本モジュールは CSSTS ビットを 0 にクリアします。</p> <p>スプリットトランザクションを使用する転送において、強制的に次回の転送を S-SPLIT から再開させたいときに、ソフトウェアで本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-SPLIT 終了時に本モジュールが自動的に CSSTS ビットを 0 にクリアしますので、ソフトウェアによるクリア処理は不要です。</p> <p>本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデータ検出時で転送を行っていないことが確実なときに行ってください。</p> <p>CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 のままです。 ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>
12	CSSTS	0	R	<p>スプリットトランザクションの COMPLETE SPLIT (C-SPLIT) ステータス ホストコントローラ機能選択時に、スプリットトランザクションの C-SPLIT ステータスが表示されます。</p> <p>0 : START-SPLIT (S-SPLIT) トランザクション処理中、または、スプリットトランザクション未使用デバイスの処理中 1 : C-SPLIT トランザクション処理中</p> <p>本モジュールは、C-SPLIT 開始時に本ビットに 1 を表示し、C-SPLIT 終了を検知したときに本ビットの 0 を表示します。</p> <p>ファンクションコントローラ機能選択時、本ビットの読み出し値は無効です。</p>

ビット	ビット名	初期値	R/W	説明
11	SUREQCLR	0	R/W* ¹	<p>SUREQ ビットクリア</p> <p>ホストコントローラ機能選択時に、本ビットを 1 にすることにより SUREQ ビットをクリアすることができます。</p> <p>0 : 無効</p> <p>1 : SUREQ ビットの 0 クリア実行</p> <p>本ビットは常に 0 を表示します。</p> <p>SETUP トランザクションにおいて、SUREQ=1 のまま通信が停止したときに、ソフトウェアで本ビットに 1 を設定してください。正常な SETUP トランザクションでは、トランザクション終了時に本モジュールが自動的に SUREQ ビットを 0 にクリアしますので、ソフトウェアによるクリア処理は不要です。</p> <p>本ビットによる SUREQ ビットの制御は、UACT=0 による通信停止時、またはデータタッチ検出時で転送を行っていないことが確実なときに行ってください。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>
10、9	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
8	SQCLR	0	R/W* ¹	<p>トグルビットクリア</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に設定することができます。</p> <p>0 : 無効</p> <p>1 : DATA0 指定</p> <p>本ビットは常に 0 を表示します。</p> <p>SQCLR ビットと SQSET ビットに同時に 1 を設定しないでください。</p> <p>本ビットへの 1 設定は、CSSTS=0、PID=NAK および CURPIPE が未設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R/W* ¹	<p>トグルビットセット</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に設定することができます。</p> <p>0 : 無効</p> <p>1 : DATA1 指定</p> <p>SQCLR ビットと SQSET ビットに同時に 1 を設定しないでください。</p> <p>本ビットへの 1 設定は、CSSCTS=0、PID=NAK および CURPIPE が未設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
6	SQMON	1	R	<p>シーケンストグルビットモニタ</p> <p>DCP の転送において、次のトランザクションのシーケンストグルビットの期待値が表示されます。</p> <p>0 : DATA0</p> <p>1 : DATA1</p> <p>トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。</p> <p>ファンクションコントローラ機能選択時、SETUP パケット正常受信時に、本モジュールは本ビットを 1 にセット（期待値を DATA1 に設定）します。</p> <p>また、ファンクションコントローラ機能選択時、本モジュールはステータスステージの IN/OUT トランザクションでは本ビットを参照しません。また正常終了してもトグルさせません。</p>
5	PBUSY	0	R	<p>パイプビジー</p> <p>DCP が PID ビットを BUF から NAK に変更した場合に、DCP のトランザクションで使用されなくなったかを表示します。</p> <p>0 : DCP はトランザクションで未使用</p> <p>1 : DCP はトランザクションで使用</p> <p>本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが終了したときに本ビットを 1 から 0 に変更します。</p> <p>ソフトウェアが PID=NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p> <p>詳細は「17.4.3 (1) パイプコントロールレジスタの切り替え手順」を参照してください。</p>

ビット	ビット名	初期値	R/W	説明
4	PINGE	0	R/W	<p>PING トークン発行許可</p> <p>ホストコントローラ機能選択時に、本ビットに 1 を設定すると、送信方向の転送において本モジュールは PING トークンの発行を行います。送信方向の転送を PING トランザクションから開始します。</p> <p>0 : PING トークン発行禁止 1 : 通常 PING 動作</p> <p>PING トランザクションにおいて ACK ハンドシェイクを検出した場合、次のトランザクションで OUT トランザクションを実行します。</p> <p>OUT トランザクションにおいて NAK ハンドシェイクを検出した場合、次のトランザクションで PING トランザクションを実行します。</p> <p>ホストコントローラ機能選択時にソフトウェアが本ビットに 0 を設定すると、送信方向の転送において本モジュールは PING トークンの発行を行いません。送信方向の転送はすべて OUT トランザクションで実行します。</p> <p>本ビットの変更は、CSSTS=0 かつ PID=NAK のときに実施してください。対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>ファンクションコントローラ機能選択時、本ビットへは必ず 0 を書き込んでください。</p>
3	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	CCPL	0	R/W* ¹	<p>コントロール転送終了許可</p> <p>ファンクションコントローラ機能選択時に、本ビットを1にすることによりコントロール転送のステータスステージの終了許可を設定します。</p> <p>0：無効</p> <p>1：コントロール転送終了許可</p> <p>対応する PID ビットが BUF のとき、ソフトウェアが本ビットに1を設定すると、本モジュールはコントロール転送のステージを完了させます。</p> <p>すなわち、コントロールリード転送時では USB ホストからの OUT トランザクションに対して ACK ハンドシェイクを送信し、コントロールライトおよびノーデータコントロール転送時では USB ホストからの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、本ビットの設定値に関係なく本モジュールは SETUP ステージからステータスステージ完了まで自動応答を行います。</p> <p>新たな SETUP パケットを受信したときに、本モジュールは本ビットを1から0に変更します。</p> <p>VALID=1 のとき、ソフトウェアは本ビットへの1書き込みを行うことができません。</p> <p>ホストコントロール機能選択時には、本ビットへは必ず0を書き込んでください。</p>
1、0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>本ビットでコントロール転送における本モジュールの応答を制御します。</p> <p>00：NAK 応答</p> <p>01：BUF 応答（バッファ状態に従う）</p> <p>10：STALL 応答</p> <p>11：STALL 応答</p> <p>(1)ホストコントローラ機能選択時</p> <p>以下の手順で本ビットを NAK から BUF に変更してください。</p> <ul style="list-style-type: none"> 送信方向設定時 <p>UACT=1かつPID=NAKの状態ではFIFOバッファに送信データを書き込み完了し、PID=BUFを書き込んでください。PID=BUFの書き込み後、本モジュールはOUTトランザクション(またはPINGトランザクション)を実行します。</p> 受信方向設定時 <p>UACT=1かつPID=NAKの状態ではFIFOバッファが空の状態であることを確認し(空の状態にし)、PID=BUFを書き込んでください。PID=BUFの書き込み後、本モジュールはINトランザクションを実行します。</p>

ビット	ビット名	初期値	R/W	説明
1、0	PID[1:0]	00	R/W	<p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> ソフトウェアが本ビットに BUF を設定しているときに、本モジュールが MaxPacketSize を超えるデータを受信した場合、本モジュールは PID=STALL (11) を表示します。 CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID=NAK を表示します。 STALL ハンドシェイクを受信した場合、本モジュールは PID=STALL (11) を表示します。 <p>本モジュールが選択パイプにおいてスプリットトランザクションの S-SPLIT 発行後 (CSSTS=1 表示中) にソフトウェアが本ビットを NAK に変更しても、C-SPLIT 終了までトランザクションを実行します。C-SPLIT 終了時に本モジュールは PID=NAK を表示します。</p> <p>(2) ファンクションコントローラ機能選択時</p> <p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> 本モジュールが SETUP パケットを受信したときに、本モジュールは本ビットを PID=NAK に変更します。このとき、本モジュールは VALID=1 を表示し、ソフトウェアで VALID=0 を設定するまではソフトウェアは本ビットの変更を行うことはできません。 ソフトウェアが本ビットに BUF を設定しているときに、本モジュールが MaxPacketSize を超えるデータを受信した場合、本モジュールは PID=STALL (11) を表示します。 本モジュールがコントロール転送シーケンスエラーを検出した場合、PID=STALL (1x) を表示します。 本モジュールが USB バスリセットを検出した場合、PID=NAK を表示します。 <p>SET_ADDRESS リクエスト処理 (自動処理) 時には、本モジュールは本ビットの設定値を参照しません。</p>

【注】 *1 読み出すと常に 0 が読み出されます。書き込みは 1 のみ有効です。

*2 書き込みは 1 のみ有効です。

17.3.31 パイプウィンドウ選択レジスタ (PIPESEL)

パイプ 1~9 の設定は、PIPESEL、PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI、PIPECTR、PIPERE および PIPETRN レジスタで行ってください。

PIPESEL レジスタにて使用するパイプをした後、PIPECFG、PIPEBUF、PIPEMAXP および PIPEPERI レジスタに、各パイプの機能設定を行います。なお、PIPECTR、PIPERE、および PIPETRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

パワーオンリセットおよび USB バスリセット時は、選択されているパイプだけではなく、すべてのパイプのレジスタの該当ビットが初期化されます。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	PIPESEL [3:0]	0000	R/W	パイプウィンドウ選択 書き込み/読み出しをの対象とする PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタに対応するパイプ番号を指定します。 0000 : 未選択 0001 : パイプ 1 0010 : パイプ 2 0011 : パイプ 3 0100 : パイプ 4 0101 : パイプ 5 0110 : パイプ 6 0111 : パイプ 7 1000 : パイプ 8 1001 : パイプ 9 上記以外 : 設定禁止 本ビットで指定したパイプ番号に対応する PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI レジスタの読み出し/書き込みができます。 本ビットに 0000 を設定したときは、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、および PIPECTR レジスタの各ビットに、すべて 0 が読み出されます。書き込みは無効です。

17.3.32 パイプコンフィギュレーションレジスタ (PIPECFG)

パイプ1~9に対して、各パイプの転送タイプ、バッファメモリのアクセス方向、およびエンドポイント番号の指定、また連続転送モードか非連続転送モードか、シングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をします。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで TYPE[1:0]は初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TYPE[1:0]	—	—	—	BFRE	DBLB	CNTMD	SHT NAK	—	—	DIR	EPNUM[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	TYPE[1:0]	00	R/W	<p>転送タイプ</p> <p>PIPESEL ビットに指定したパイプ (選択パイプ) の転送タイプを指定します。</p> <ul style="list-style-type: none"> パイプ1、2の場合 <ul style="list-style-type: none"> 00: パイプ不使用 01: バルク転送 10: 設定禁止 11: アイソクロナス転送 パイプ3~5の場合 <ul style="list-style-type: none"> 00: パイプ不使用 01: バルク転送 10: 設定禁止 11: 設定禁止 パイプ6~9の場合 <ul style="list-style-type: none"> 00: パイプ不使用 01: 設定禁止 10: インタラプト転送 11: 設定禁止 <p>選択パイプを PID=BUF に設定する (選択したパイプを使用した USB 通信を開始する) 前に、必ず本ビットを 00 以外の値に設定してください。</p> <p>本ビットの変更は、選択パイプの PID ビットが NAK 状態のときに行ってください。選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
13~11	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10	BFRE	0	R/W	<p>BRDY 割り込み動作指定</p> <p>本モジュールから CPU への選択パイプに関する BRDY 割り込みの発行タイミングを指定します</p> <p>0: データ送受信で BRDY 割り込み</p> <p>1: データ読み出し完了時に BRDY 割り込み</p> <p>ソフトウェアが本ビットに 1 を設定し、かつ選択パイプを受信方向で使用している場合、本モジュールは、トランスファの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発行します。</p> <p>この設定で BRDY 割り込みが発生したときには、ソフトウェアは BCLR=1 の書き込み処理を行う必要があります。BCLR=1 を行うまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。</p> <p>ソフトウェアが本ビットに 1 を設定し、かつ、選択パイプを送信方向で使用している場合、本モジュールは BRDY 割り込みを発生させません。</p> <p>詳細は、「17.4.2 (1) BRDY 割り込み」を参照してください。</p> <p>本ビットの変更は、CSSTS=0、PID=NAK および CURPIPE ビットにパイプが未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM=1、ACLRM=0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
9	DBLB	0	R/W	<p>ダブルバッファモード</p> <p>選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。</p> <p>0: シングルバッファ 1: ダブルバッファ</p> <p>本ビットはパイプ 1~5 選択時に有効です。</p> <p>ソフトウェアが本ビットに 1 を設定している場合、本モジュールは選択パイプに対し、PIPEBUF レジスタの BUFSIZE ビットで指定した FIFO バッファサイズを 2 面分割り当てます。</p> <p>すなわち、本モジュールが選択パイプに対して割り当てる FIFO バッファの容量は以下のとおりです。</p> <p>$(BUFSIZE+1) \cdot 64 \cdot (DBLB+1)$ [バイト]</p> <p>ソフトウェアが本ビットに 1 を設定し、かつ選択パイプを送信方向で使用している場合、本モジュールは BRDY 割り込みを発生させません。</p> <p>詳細は、PIPEBRDY 割り込みレジスタを参照してください。</p> <p>本ビットの変更は、CSSTS=0、PID=NAK、および CURPIPE ビットにパイプ番号未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM=1、ACLRM=0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
8	CNTMD	0	R/W	<p>連続転送モード</p> <p>選択パイプを連続転送モードで通信させるかどうかを指定します。</p> <p>0：非連続転送モード</p> <p>1：連続転送モード</p> <p>本ビットは、PIPESEL ビットでパイプ 1~5 を選択し、かつバルク転送選択時 (TYPE=01) に有効です。</p> <p>本ビットの変更は、CSSTS=0、PID=NAK、および CURPIPE ビットにパイプ番号未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM=1、ACLRM=0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
7	SHTNAK	0	R/W	<p>トランスファ終了時のパイプ禁止</p> <p>選択パイプが受信方向の場合に、トランスファ終了時に PID を NAK に変更するかどうかを指定します。</p> <p>0：トランスファ終了時にパイプ継続</p> <p>1：トランスファ終了時にパイプ禁止</p> <p>本ビットは、選択パイプがパイプ 1~パイプ 5 であり、かつ、受信方向である場合に有効なビットです。</p> <p>受信方向パイプに対してソフトウェアが本ビットに 1 を設定している場合、本モジュールは、選択パイプに対しトランスファの終了を判定したときに選択パイプに対応する PID ビットを NAK に変更します。本モジュールは、以下条件が満たされたときにトランスファ終了と判定します。</p> <ul style="list-style-type: none"> • ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき。 • トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき。 <p>本ビットの変更は、CSSTS=0 および PID=NAK の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>送信方向パイプに対しては、本ビットを 0 に設定してください。</p>

ビット	ビット名	初期値	R/W	説明
6、5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	DIR	0	R/W	<p>転送方向 選択パイプの転送方向を指定します。</p> <p>0: 受信方向 1: 送信方向</p> <p>ソフトウェアが本ビットに 0 を設定している場合、本モジュールは選択パイプを受信方向に、本ビットに 1 を設定している場合、本モジュールは選択パイプを送信方向に使用します。</p> <p>本ビットの変更は、CSSTS=0、PID=NAK および CURPIPE ビットにパイプ未設定の状態のときに実施してください。</p> <p>また、選択パイプを使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、ソフトウェアで ACLRM=1、ACLRM=0 を連続して書き込み、選択パイプに割り付けられた FIFO バッファのクリアを実行してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
3~0	EPNUM[3:0]	0000	R/W	<p>エンドポイント番号 選択パイプのエンドポイント番号を指定します。</p> <p>0000 の設定は、未使用パイプを意味します。</p> <p>本ビットの変更は、CSSTS=0 および PID=NAK の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>DIR ビットと EPNUM ビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください。(EPNUM=0000 の設定は重複可能です。)</p>

17.3.33 パイプバッファ指定レジスタ (PIPEBUF)

PIPEBUF は、パイプ 1~9 に対して、バッファサイズおよびバッファ番号を指定します。
本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	BUFSIZE[4:0]				—	—	BUFNMB[7:0]								
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14~10	BUFSIZE [4:0]	H'00	R/W	<p>バッファサイズ</p> <p>PIPESEL ビットに指定したパイプ (選択パイプ) のバッファサイズを指定します。単位はブロック数であり、1 ブロックは 64 バイトです。</p> <p>00000 (H'00) : 64 バイト 00001 (H'01) : 128 バイト : : 11111 (H'1F) : 2K バイト</p> <p>ソフトウェアが DBLB=1 を設定している場合、本モジュールは選択パイプに対し、本ビットで指定した FIFO バッファサイズを 2 面分割り当てます。本モジュールが選択パイプに対して割り当てる FIFO バッファの容量は以下のとおりです。</p> <p>$(BUFSIZE+1)*64*(DBLB+1)$ [バイト]</p> <p>選択パイプに応じて、本ビットに設定可能な値が異なります。</p> <p>パイプ 1~5 の場合 : BUFSIZE=H'00~H'1F を設定してください。 パイプ 6~9 の場合 : BUFSIZE=H'00 を設定してください。</p> <p>CNTMD=1 で使用する場合は、本ビットに、MaxPacketSize の整数倍の値を設定してください。</p> <p>本ビットの変更は、CSSTS=0、PID=NAK および CURPIPE ビットにパイプ未設定の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
9、8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
7~0	BUFNMB [7:0]	H'00	R/W	<p>バッファ番号</p> <p>選択パイプの FIFO バッファ番号を H'04~H'7F で指定します。</p> <p>選択パイプとしてパイプ 1~5 を設定している場合、本ビットにはユーザシステムに合わせた値を設定することができます。</p> <p>BUFNMB=0~3 は DCP 専用です。</p> <p>BUFNMB=4 はパイプ 6 専用です。</p> <p>ただしパイプ 6 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 6 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB=4 を自動的に割り付けます。</p> <p>BUFNMB=5 はパイプ 7 専用です。</p> <p>ただしパイプ 7 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 7 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB=5 を自動的に割り付けます。</p> <p>BUFNMB=6 はパイプ 8 専用です。</p> <p>ただしパイプ 8 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 8 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB=6 を自動的に割り付けます。</p> <p>BUFNMB=7 はパイプ 9 専用です。</p> <p>ただしパイプ 9 を使用しない場合、他のパイプで使用可能です。</p> <p>選択パイプがパイプ 9 の場合、本ビットへの書き込みは無効で、モジュールが BUFNMB=7 を自動的に割り付けます。</p> <p>本ビットの変更は、CSSTS=0、PID=NAK および CURPIPE ビットにパイプ未設定の状態のときに実施してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

17.3.34 パイプマックスパケットサイズレジスタ (PIPEMAXP)

PIPEMAXP は、パイプ 1~9 に対して、マックスパケットサイズを指定します。
本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVSEL[3:0]				—	MXPS[10:0]										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	DEVSEL[3:0]	00	R/W	<p>デバイス選択</p> <p>ホストコントローラ機能選択時に、通信相手の周辺デバイスの USB デバイスアドレスを指定します。</p> <p>0000 : アドレス 0000 0001 : アドレス 0001 0010 : アドレス 0010 : 1010 : アドレス 1010</p> <p>上記以外 : 設定禁止</p> <p>本ビットの設定値に対応する DEVADDn (n=0~A) レジスタの設定を行ったあとで、本ビットを設定してください。</p> <p>たとえば、DEVSEL=0010 を設定する場合、DEVADD2 アドレスの設定を行ってください。</p> <p>本ビットの設定を、PID を BUF から NAK へ変更した後で変更する場合は、選択パイプの CSSTS=0 および PBUSY=0 を確認してから行ってください。本モジュールにより PID が NAK に変更された場合には、PBUSY ビットの確認は必要ありません</p> <p>ファンクションコントローラ機能を選択したときは、本ビットの値を B'0000 に設定してください。</p>
11	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10~0	MXPS[10:0]	*	R/W	<p>マックスパケットサイズ</p> <p>選択パイプの最大データペイロード（マックスパケットサイズ）を指定します。パイプごとに設定可能な値の範囲を以下に示します。</p> <p>パイプ 1、2： 1 バイト (H'001) ~1024 バイト (H'400)</p> <p>パイプ 3~5： 8 バイト (H'008)、16 バイト (H'010)、32 バイト (H'020)、64 バイト (H'040)、512 バイト (H'200)</p> <p>([2:0]のビットはありません。)</p> <p>パイプ 6~9： 1 バイト (H'001) ~64 バイト (H'040)</p> <p>MXPS ビットの設定は、転送タイプ毎に USB 規格に準拠した値を設定してください。</p> <p>アイソクロナスパイプをスプリットトランザクションで通信する場合には、MXPS ビットには 188 バイト以下の値を設定してください。</p> <p>選択パイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>MXPS=0 の設定での FIFO バッファへの書き込み、または PID=BUF の設定は行わないでください。</p>

【注】 * PIPESEL レジスタの PIPESEL ビットでパイプを選択していないとき H'000、選択しているとき H'040 です。

17.3.35 パイプ周期制御レジスタ (PIPEPERI)

パイプ 1~9 に対して、アイソクロナス IN 転送時のインターバルエラーによってバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をします。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	IFIS	0	R/W	アイソクロナス IN バッファフラッシュ PIPESEL ビットに指定したパイプ (選択パイプ) がアイソクロナス IN 転送の場合に、バッファフラッシュ有無を指定します。 0: バッファフラッシュしない 1: バッファフラッシュする ファンクションコントローラ機能選択時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向が IN 転送の場合において、IITV ビットに設定したインターバル毎の (マイクロ) フレーム中に USB ホストから IN-Token を本モジュールが受信しなかった場合に、本モジュールが自動的に FIFO バッファをクリアする機能です。 ダブルバッファ設定時 (DBLB=1 設定時) は、本モジュールがクリアするのは古い方の 1 面分データのみです。 FIFO バッファクリアのタイミングは、IN-Token を受信するはずの (マイクロ) フレーム直後の SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングにクリアを行います。 ホストコントローラ機能選択時には、本ビットへは 0 を設定してください。 選択パイプの転送タイプがアイソクロナス以外の場合は、本ビットへは 0 を設定してください。
11~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
2~0	IITV[2:0]	000	R/W	<p>インターバルエラー検出間隔</p> <p>選択パイプのインターバルエラー検出間隔をフレームタイミングの2のn乗で指定してください。</p> <p>詳細機能は、後述のようにホストコントローラ機能選択時とファンクションコントローラ機能選択時で異なります。</p> <p>本ビットの設定は、CSSTS=0、PID=NAK、および CURPIPE ビットに未設定時に実施してください。</p> <p>選択パイプのPID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールがPID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>本ビットを設定し、USB 通信を行った後で別の値に変更する場合には、PID=NAK 設定後 ACLRM=1 をセットし、インターバルタイマの初期化を行ってください。</p> <p>パイプ3~5に対しては、本ビットは存在しません。パイプ3~5に対応する本ビットの位置には000を設定してください。</p>

17.3.36 パイプ n コントロールレジスタ (PIPEnCTR) (n=1~9)

パイプ 1~9 に対して、バッファメモリステータスの確認、データ PID シーケンスビットの変更と確認、自動応答モードにするか否かの選択、自動バッファクリアモードにするか否かの選択、および応答 PID の設定を行います。本設定は、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで PID[1:0] ビットは初期化されます。

(1) PIPEnCTR (n=1~5)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	INBUFM	CSCLR	CSSTS	—	AT REPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W*2	R	R	R/W	R/W	R/W*1	R/W*1	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	<p>バッファステータス</p> <p>当該パイプの FIFO バッファステータスが表示されます。</p> <p>0 : CPU からのバッファアクセス不可</p> <p>1 : CPU からのバッファアクセス可</p> <p>本ビットの意味は、DIR、BFRE および DCLRM ビットの設定値により表 17.11 に示すように異なります。</p>
14	INBUFM	0	R	<p>送信バッファモニタ</p> <p>当該パイプが送信方向の場合に、当該パイプの FIFO バッファステータスが表示されます。</p> <p>0 : バッファメモリに送信可能データなし</p> <p>1 : バッファメモリに送信可能データあり</p> <p>当該パイプを送信方向 (DIR=1) に設定している場合に、ソフトウェア (または DMAC) が少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、本モジュールは本ビットに 1 を表示します。</p> <p>書き込みが完了している面の FIFO バッファ上のデータを本モジュールがすべて送信完了したときに、本モジュールは本ビットに 0 を表示します。</p> <p>ダブルバッファ使用時 (DBLB=1 設定時) には、本モジュールが 2 面分のデータを送信完了しかつソフトウェア (または DMAC) が 1 面分のデータ書き込みを完了していないときに、本ビットに 0 を表示します。</p> <p>当該パイプを受信方向 (DIR=0) に設定している場合には、本ビットは BSTS ビットと同じ値を示します。</p>

ビット	ビット名	初期値	R/W	説明
13	CSCLR	0	R/W* ²	<p>CSPLIT ステータスクリアビット</p> <p>ホストコントローラ機能選択時に、ソフトウェアが本ビットに 1 を設定すると本モジュールは CSSTS ビットを 0 にクリアします。</p> <p>0 : 書き込み無効</p> <p>1 : CSSTS ビットをクリア</p> <p>スプリットトランザクションを使用する転送において、強制的に次回の転送を S-SPLIT から再開させたいときに、ソフトウェアで本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-SPLIT 終了時に本モジュールが自動的に CSSTS ビットを 0 にクリアしますので、ソフトウェアによるクリア処理は不要です。</p> <p>本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデータ検出時で転送を行っていないことが確実なときに行ってください。</p> <p>CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 のままです。</p> <p>ファンクションコントロール機能選択時には、本ビットへは必ず 0 を書き込んでください。</p>
12	CSSTS	0	R	<p>CSSTS ステータスビット</p> <p>ホストコントローラ機能選択時に、本モジュールはスプリットトランザクションの C-SPLIT のステータスを本ビットに表示します。</p> <p>0 : START-SPLIT (S-SPLIT) トランザクション処理中、または、スプリットトランザクション未使用転送である</p> <p>1 : C-SPLIT トランザクション処理中</p> <p>本モジュールは、C-SPLIT 開始時に本ビットに 1 を表示し、C-SPLIT 終了を検出したときに本ビットに 0 を表示します。</p> <p>本ビットの表示は、ホストコントローラ機能選択時のみ有効な値を示します。</p>
11	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
10	ATREPM	0	R/W	<p>自動応答モード</p> <p>当該パイプの自動応答禁止/許可を指定します。</p> <p>0 : 自動応答禁止 1 : 自動応答許可</p> <p>ファンクションコントローラ機能選択時に、当該パイプの転送タイプをバルクに設定している場合、本ビットへの1設定が可能です。</p> <p>本ビットに1を設定した場合、USBホストからのトークンに対し本モジュールは以下のように応答します。</p> <p>(1) 当該パイプがBulk-IN転送 (TYPE=01かつDIR=1を設定) の場合</p> <p>ATREPM=1かつPID=BUFを設定している場合、IN-Tokenに対して本モジュールはZero-Lengthパケットを送信します。</p> <p>USBホストからのACK受信の度に(1トランザクションはIN-Token受信→Zero Lengthパケット送信→ACK受信)、本モジュールはシーケンストグルビット (DATA-PID) の更新 (トグル) を行います。</p> <p>BRDY割り込み、BEMP割り込みは発生させません。</p> <p>(2) 当該パイプがBulk-OUT転送 (TYPE=01かつDIR=0を設定) の場合</p> <p>ATREPM=1かつPID=BUFを設定している場合、OUT-Token (またはPING-Token) に対して本モジュールはNAK応答を行い、NRDY割り込みを発生させます。</p> <p>本ビットの変更は、CSSTS=0、PID=NAK設定時に実施してください。</p> <p>対応するパイプのPIDビットをBUFからNAKへ変更してから本ビットを変更する場合には、CSSTS=0およびPBUSY=0を確認してから本ビットを変更してください。ただし、本モジュールがPIDビットをNAKに変更した場合には、ソフトウェアによるPBUSYビットの確認は必要ありません。</p> <p>本ビットを1に設定してUSB通信を行う場合、FIFOバッファは必ず空の状態を設定を行ってください。本ビットを1に設定してUSB通信を行っている期間はFIFOバッファへの書き込みを行わないでください。</p> <p>当該パイプの転送タイプがアイソクロナス転送の場合、本ビットには必ず0を設定してください。</p> <p>ホストコントローラ機能選択時には、本ビットへは必ず0を書き込んでください。</p>

ビット	ビット名	初期値	R/W	説明
9	ACLRM	0	R/W	<p>自動バッファクリアモード</p> <p>当該パイプの自動バッファクリアモードの禁止/許可を指定します。</p> <p>0: 禁止</p> <p>1: 許可 (全バッファ初期化)</p> <p>当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに 1、0 を連続して書き込んでください。</p> <p>本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容と、当該項目のクリアが必要なケースについて表 17.12 に示します。</p> <p>本ビットの変更は、CSSTS=0、PID=NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
8	SQCLR	0	R/W* ¹	<p>トグルビットクリア</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA0 にクリアするとき 1 を指定します。</p> <p>0: 無効</p> <p>1: DATA0 指定</p> <p>ソフトウェアが本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA0 に設定します。本モジュールは、常に本ビットに 0 を表示します。</p> <p>ホストコントローラ機能選択時、Bulk-Out 転送パイプに対して本ビットに 1 を設定すると、本モジュールは当該パイプの次回転送を PING-token から開始します。</p> <p>SQCLR ビットへの 1 設定は、CSSTS=0 かつ PID=NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R/W* ¹	<p>トグルビットセット</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときには 1 を指定します。</p> <p>0 : 無効</p> <p>1 : DATA1 指定</p> <p>ソフトウェアが本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。本モジュールは、常に本ビットに 0 を表示します。</p> <p>SQSET ビットへの 1 設定は、CSSTS=0 かつ PID=NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
6	SQMON	0	R	<p>トグルビット確認</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。</p> <p>0 : DATA0</p> <p>1 : DATA1</p> <p>当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。</p>
5	PBUSY	0	R	<p>パイプビジー</p> <p>当該パイプを現在トランザクションで使用かどうかが表示されます。</p> <p>0 : 当該パイプはトランザクションで未使用</p> <p>1 : 当該パイプはトランザクションで使用</p> <p>本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが終了したときに本ビットを 1 から 0 に変更します。</p> <p>ソフトウェアが PID=NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p> <p>詳細は「17.4.3 (1) パイプコントロールレジスタの切り替え手順」を参照してください。</p>
4~2	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1、0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>当該パイプの次回トランザクションにおける応答方法を指定します。</p> <p>00 : NAK 応答</p> <p>01 : BUF 応答 (バッファ状態に従う)</p> <p>10 : STALL 応答</p> <p>11 : STALL 応答</p> <p>本ビットのデフォルト値は NAK です。当該パイプで USB 転送を行う場合には本ビットを BUF に変更してください。PID ビットの設定値ごとの本モジュールの基本動作 (通信パケットにエラーがない場合の動作) は表 17.13 および表 17.14 のとおりです。</p> <p>当該パイプが USB 通信中であるときに、ソフトウェアで本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY=1 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> • 当該パイプが受信方向の場合、かつソフトウェアが選択パイプの SHTNAK ビットに 1 を設定している場合、本モジュールがトランスファー終了を認識したときに、PID=NAK を表示します。 • 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、本モジュールは PID=STALL (11) を表示します。 • ファンクションコントロール機能選択時に、USB バスリセットを検出した場合、本モジュールは PID=NAK を表示します。 • ホストコントロール機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID=NAK を表示します。 • ホストコントロール機能選択時に、STALL ハンドシェイクを受信した場合、本モジュールは PID=STALL (11) を表示します。 <p>本ビットの設定は以下の手順で行ってください。</p> <ul style="list-style-type: none"> • NAK (00) 状態から STALL 状態にする場合には、10 を書き込んでください。 • BUF (01) 状態から STALL 状態にする場合には、11 を書き込んでください。 • STALL (11) から NAK 状態にする場合には、一度 10 を書き込んでから 00 を書き込んでください。 • STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

【注】 *1 0 読み出し、1 書き込みのみ有効です。

*2 1 書き込みのみ有効です。

表 17.11 BSTS ビットの動作

DIR ビット	BFRE ビット	DCLRM ビット	BSTS ビットの意味
0	0	0	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了したときに 0 を表示します。
		1	この組み合わせは設定禁止です。
	1	0	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了した後でソフトウェアが BCLR=1 を書き込んだときに 0 を表示します。
		1	FIFO バッファからの受信データの読み出しが可能になったときに 1 を表示し、データの読み出しが完了したときに 0 を表示します。
1	0	0	FIFO バッファへの送信データの書き込みが可能になったときに 1 を表示し、データの書き込みが完了したときに 0 を表示します。
		1	この組み合わせは設定禁止です。
	1	0	この組み合わせは設定禁止です。
		1	この組み合わせは設定禁止です。

表 17.12 ACLRM=1 設定時に本モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けた FIFO バッファのすべての内容 (ダブルバッファ設定時は FIFO バッファを 2 面ともクリア)	
2	当該パイプの転送タイプがアイソクロナス転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	BFRE ビットに関する内部フラグ	BFRE ビットの設定値変更時
4	FIFO バッファ制御	DBLB ビットの設定値変更時
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

表 17.13 PID ビットによる本モジュールの動作一覧 (ホストコントローラ機能選択時)

PID ビット	転送タイプ	転送方向 (DIR ビット)	本モジュールの動作
00 (NAK)	設定値に依存しない	設定値に依存しない	トークンを発行しない
01 (BUF)	バルク または インタラプト	設定値に依存しない	UACT=1 が設定されて、かつ当該パイプに対応する FIFO バッファが送受信可能な状態ならばトークンを発行する。 UACT=0 が設定される、または送受信可能でなければトークンを発行しない。
	アイソクロナス	設定値に依存しない	当該パイプに対応する FIFO バッファの状態にかかわらずトークンを発行する。
10 (STALL) または 11 (STALL)	設定値に依存しない	設定値に依存しない	トークンを発行しない

表 17.14 PID ビットによる本モジュールの動作一覧 (ファンクションコントローラ機能選択時)

PID ビット	転送タイプ	転送方向 (DIR ビット)	本モジュールの動作
00 (NAK)	バルクまたは インタラプト	設定値に依存しない	USB ホストからのトークンに NAK 応答を行う ただし、ATREPM=1 設定時の動作は ATREPM ビットの説明を 参照してください。
	アイソクロナス	設定値に依存しない	USB ホストからのトークンに無応答を行う
01 (BUF)	バルク	受信方向 (DIR=0)	USB ホストからの OUT トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信し ACK 応答 を行う。受信可能な状態でなければ NAK 応答を行う。 USB ホストからの PING トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならば ACK 応答を行う。受信可 能な状態でなければ NYET 応答を行う
	インタラプト	受信方向 (DIR=0)	USB ホストからの OUT トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信し ACK 応答 を行う。受信可能な状態でなければ NAK 応答を行う
	バルクまたは インタラプト	送信方向 (DIR=1)	対応する FIFO バッファが送信可能な状態ならば USB ホストか らのトークンに対しデータを送信する。送信可能でなければ NAK 応答を行う。
	アイソクロナス	受信方向 (DIR=0)	USB ホストからの OUT トークンに対し、当該パイプに対応する FIFO バッファが受信可能な状態ならばデータを受信する。受信 可能な状態でなければデータを破棄する。
送信方向 (DIR=1)		対応する FIFO バッファが送信可能な状態ならば USB ホストか らのトークンに対しデータを送信する。送信可能でなければ Zero-Length パケットを送信する	
10 (STALL) または	バルクまたは インタラプト	設定値に依存しない	USB ホストからのトークンに STALL 応答を行う。
11 (STALL)	アイソクロナス	設定値に依存しない	USB ホストからのトークンに無応答を行う。

(2) PIPEnCTR (n=6~9)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BSTS	—	CSCLR	CSSTS	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W*1	R/W	R	R	R/W	R/W*1	R/W*1	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	BSTS	0	R	バッファステータス 当該パイプの FIFO バッファステータスが表示されます。 0: バッファアクセス不可 1: バッファアクセス可 本ビットの意味は、DIR、BFRE および DCLRM ビットの設定値により表 17.11 に示すように異なります。
14	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	CSCLR	0	R/W*1	CSPLIT ステータスクリアビット 本ビットを 1 にセットすることにより、当該パイプの CSSTS ビットをクリアします。 0: 書き込み無効 1: CSSTS ビットをクリア スプリットトランザクションを使用する転送において、強制的に次回の転送を S-SPLIT から再開させたいときに、ソフトウェアで本ビットに 1 を設定してください。正常なスプリットトランザクションでは、C-SPLIT 終了時に本モジュールが自動的に CSSTS ビットを 0 にクリアしますので、ソフトウェアによるクリア処理は不要です。 本ビットによる CSSTS ビットの制御は、UACT=0 による通信停止時、またはデータ検出時で転送を行っていないことが確実なときに行ってください。 CSSTS=0 のときに本ビットに 1 を設定しても、CSSTS=0 のままです。ファンクションコントロール機能選択時には、本ビットへは必ず 0 を書き込んでください。
12	CSSTS	0	R/W	ホストコントローラ機能選択時に、本モジュールはスプリットトランザクションの C-SPLIT のステータスを本ビットに表示します。 0: START-SPLIT (S-SPLIT) トランザクション処理中、または、スプリットトランザクション未使用転送である 1: C-SPLIT トランザクション処理中 本モジュールは、C-SPLIT 開始時に本ビットに 1 を表示し、C-SPLIT 終了を検出したときに本ビットに 0 を表示します。 本ビットの表示は、ホストコントローラ機能選択時のみ有効な値を示します。

ビット	ビット名	初期値	R/W	説明
11、10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	ACLRM	0	R/W	自動バッファクリアモード ^{*3*4} 当該パイプの自動バッファクリアモードの禁止/許可を指定します。 0: 自動バッファクリアモード禁止 1: 自動バッファクリアモード許可 (全バッファ初期化) 当該パイプに割り付けた FIFO バッファの内容をすべて削除したい場合に、ACLRM ビットに 1、0 を連続して書き込んでください。 本ビットに 1、0 を連続して設定した場合に本モジュールがクリアする内容と、当該項目のクリアが必要なケースについて表 17.15 に示します。 本ビットの変更は、CSSTS=0、PID=NAK および当該パイプを CURPIPE ビットに未設定時に実施してください。 対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。
8	SQCLR	0	R/W ^{*1}	トグルビットクリア ^{*3*4} 当該パイプの次回トランザクションにおけるシーケストグルビットの期待値を DATA0 にクリアするときに 1 を指定します。 0: 無効 1: DATA0 指定 ソフトウェアが本ビットに 1 を設定すると本モジュールは当該パイプのシーケストグルビットの期待値を DATA0 に設定します。本モジュールは、常に本ビットに 0 を表示します。 ホストコントローラ機能選択時、Bulk-Out 転送パイプに対して本ビットに 1 を設定すると、本モジュールは当該パイプの次回転送を PING-token から開始します。 SQCLR ビットへの 1 設定は、CSSTS=0 かつ PID=NAK 設定時に実施してください。 対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

ビット	ビット名	初期値	R/W	説明
7	SQSET	0	R/W* ¹	<p>トグルビットセット*³*⁴</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値を DATA1 にセットするときには 1 を指定します。</p> <p>0 : 無効</p> <p>1 : DATA1 指定</p> <p>ソフトウェアが本ビットに 1 を設定すると本モジュールは当該パイプのシーケンストグルビットの期待値を DATA1 に設定します。本モジュールは、常に本ビットに 0 を表示します。</p> <p>SQSET ビットへの 1 設定は、CSSTS=0 かつ PID=NAK 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットに 1 を設定する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p>
6	SQMON	0	R	<p>トグルビット確認</p> <p>当該パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。</p> <p>0 : DATA0</p> <p>1 : DATA1</p> <p>当該パイプの転送タイプがアイソクロナス転送以外の場合、トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。</p>
5	PBUSY	0	R	<p>パイプビジー</p> <p>当該パイプを現在 USB バスで使用かどうかが表示されます。</p> <p>0 : 当該パイプを USB バスにて未使用</p> <p>1 : 当該パイプを USB バスにて使用</p> <p>本モジュールは、当該パイプの USB トランザクションを開始したときに本ビットを 0 から 1 に変更します。ひとつのトランザクションが終了したときに本ビットを 1 から 0 に変更します。</p> <p>ソフトウェアが PID=NAK を設定した後、本ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。</p>
4~2	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1、0	PID[1:0]	00	R/W	<p>応答 PID</p> <p>当該パイプの次回トランザクションにおける応答方法を指定します。</p> <p>00 : NAK 応答</p> <p>01 : BUF 応答 (バッファ状態に従う)</p> <p>10 : STALL 応答</p> <p>11 : STALL 応答</p> <p>本ビットのデフォルト値は NAK です。当該パイプで USB 転送を行う場合には本ビットを BUF に変更してください。PID ビットの設定値毎の本モジュールの基本動作 (通信パッケージにエラーがない場合の動作) は表 17.13 および表 17.14 のとおりです。</p> <p>当該パイプが USB 通信中であるときに、ソフトウェアで本ビットを BUF から NAK に変更する場合、NAK を書き込んだ後、実際に当該パイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY=1 であることを確認してください。ただし、本モジュールが本ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>以下の場合には本モジュールが本ビットの値を変更します。</p> <ul style="list-style-type: none"> • 当該パイプが受信方向の場合、かつソフトウェアが選択パイプの SHTNAK ビットに 1 を設定している場合、本モジュールがトランスファー終了を認識したときに、PID=NAK を表示します。 • 当該パイプに対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、本モジュールは PID=STALL (11) を表示します。 • ファンクションコントロール機能選択時に、USB バスリセットを検出した場合、本モジュールは PID=NAK を表示します。 • ホストコントロール機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは PID=NAK を表示します。 • ホストコントロール機能選択時に、STALL ハンドシェイクを受信した場合、本モジュールは PID=STALL (11) を表示します。 <p>本ビットの設定は以下の手順で行ってください。</p> <ul style="list-style-type: none"> • NAK (00) 状態から STALL 状態にする場合には、10 を書き込んでください。 • BUF (01) 状態から STALL 状態にする場合には、11 を書き込んでください。 • STALL (11) から NAK 状態にする場合には、一度 10 を書き込んでから 00 を書き込んでください。 • STALL 状態から BUF 状態にする場合には、一度 NAK 状態に変更し、その後、BUF 状態にしてください。

【注】 *1 0 読み出し、1 書き込みのみ有効です。

*2 1 書き込みのみ有効です。

*3 ACLRM ビット、SQCLR ビット、または、SQSET ビットの設定は、以下の条件を守って行ってください。
CSSTS=0 および PID=NAK 時および選択パイプを CURPIPE に設定していないときに設定してください。

- *4 ACLRM ビット、SQCLR ビット、または SQSET ビットの設定を、PID=BUF から NAK へ変更した後で変更する場合は、選択パイプの CSSTS=0 および PBUSY=0 を確認してから行ってください。HW 制御にて PID が NAK に変更された場合には、PBUSY ビットの確認は必要ありません。

表 17.15 ACLRM=1 設定時に本モジュールがクリアする内容

番号	ACLRM ビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けた FIFO バッファのすべての内容	
2	ホストコントローラ機能選択時、選択パイプの転送タイプがインタラプト転送の場合、インターバルカウント値	インターバルカウント値のリセットを行いたい場合
3	BFRE ビットに関する内部フラグ	BFRE ビットの設定値変更時
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能の強制終了実行時

17.3.37 パイプ n トランザクションカウンタイネーブルレジスタ (PIPEnTRE) (n=1~5)

PIPEnTRE は、パイプ 1~5 に対応するトランザクションカウンタの無効/有効の指定や、カウンタクリアの指定を行います。

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TRENB	0	R/W	トランザクションカウンタ許可 トランザクションカウンタ無効/有効を指定します。 0: トランザクションカウンタ機能無効 1: トランザクションカウンタ機能有効 受信パイプに対して、ソフトウェアで TRNCNT ビットに総パケット数を設定した後で本ビットに 1 を設定すると、本モジュールは TRNCNT ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。 <ul style="list-style-type: none"> 連続送受信モード使用 (CNTMD=1 設定) 時、受信完了時に FIFO バッファがフルの状態でも、CPU 側にトグルさせます。 SHTNAK=1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了時点で対応するパイプの PID ビットを NAK に変更します。 BFRE=1 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し最後のデータを読み出し終えたときに、BRDY 割り込みをアサートします。 送信パイプについては、本ビットに 0 を設定してください。 トランザクションカウンタ機能を使用しない場合は、本ビットに 0 を設定してください。 トランザクションカウンタ機能を使用する場合、本ビットに 1 を設定する前に TRNCNT ビットの設定を行ってください。また、トランザクションカウンタの対象となる最初のパケットを受信する前に本ビットに 1 を設定してください。
8	TRCLR	0	R/W	トランザクションカウンタクリア 当該パイプに対応するトランザクションカウンタの現在のカウント値をクリアし、本ビットに 0 を表示します。 0: 無効 1: カレントカウンタクリア

ビット	ビット名	初期値	R/W	説明
7~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- 【注】 本レジスタの各ビットの変更は、CSSTS=0、PID=NAK 時に実施してください。
対応するパイプのPID ビットを BUF から NAK へ変更したあとで各ビットの設定値を変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールがPID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

17.3.38 パイプ n トランザクションカウンタレジスタ (PIPEnTRN) (n=1~5)

PIPEnTRN は、パイプ 1~5 に対応するトランザクションカウンタです。

本レジスタは、パワーオンリセットで初期化されます。また、USB バスリセットで設定値が保持されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRNCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	TRNCNT[15:0]	すべて 0	R/W	<p>トランザクションカウンタ</p> <p>ライト時:</p> <p>DMA 転送のトランザクション回数を設定します。</p> <p>リード時:</p> <p>TRENB=0 の場合は設定したトランザクション回数が表示されます。</p> <p>TRENB=1 の場合はカウント中のトランザクション回数が表示されません。</p> <p>本モジュールは、受信時の状態が以下のすべてを満たしたときに本ビットを 1 インクリメントします。</p> <ul style="list-style-type: none"> • TRENB=1 である • パケット受信時に (TRCNT 設定値≠現在のカウンタ値+1) である • 受信したパケットのペイロードが MXPS ビットへの設定値と一致した <p>本モジュールは、以下のいずれかの条件が満たされたときに本ビットの表示を 0 にクリアします。</p> <ul style="list-style-type: none"> • 以下の条件がすべて満たされたとき <ul style="list-style-type: none"> TRENB=1 である パケット受信時に (TRCNT 設定値=現在のカウンタ値+1) である 受信したパケットのペイロードが MXPS ビットへの設定値と一致した • 以下条件がすべて満たされたとき <ul style="list-style-type: none"> TRENB=1 である ショートパケットを受信した • 以下の条件がすべて満たされたとき <ul style="list-style-type: none"> TRENB=1 である ソフトウェアが TRCLR ビットに 1 を設定した

ビット	ビット名	初期値	R/W	説明
15~0	TRNCNT[15:0]	すべて 0	R/W	<p>送信パイプについては、本ビットに 0 を設定してください。</p> <p>トランザクションカウント機能を使用しない場合は、本ビットに 0 を設定してください。</p> <p>本ビットの変更は、CSSTS=0、PID=NAK、かつ TRENB=0 設定時に実施してください。</p> <p>対応するパイプの PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、CSSTS=0 および PBUSY=0 を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。</p> <p>本ビットの値を変更する場合は、TRENB=1 を設定する前に TRCNT=1 を実施してください。</p>

17.3.39 デバイスアドレス n コンフィグレーションレジスタ (DEVADDn) (n=0~A)

DEVADDn は、パイプ 0~A に対して、通信対象の周辺デバイスが接続されている HUB のアドレスやポート番号、および通信速度を指定します。

ホストコントローラ機能選択時、各パイプに対する通信を開始する前に、必ず本レジスタの各ビットを設定してください。

本レジスタの各ビットの変更は、本ビットの設定を使用している有効なパイプが存在しないときに行ってください。有効なパイプとは以下の 1.と 2.の両方条件を満たしているパイプです。

1. DEVSELビットの設定が、本レジスタを指定しているとき
2. 選択パイプのPIDビットにBUFを設定しているとき、または選択パイプがDCPでありSUREQ=1を設定しているとき

本レジスタは、パワーオンリセットで初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	UPPHUB[3:0]			HUBPORT[2:0]			USBSPD[1:0]		—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~11	UPPHUB [3:0]	0000	R/W	通信対象接続 HUB レジスタ 通信対象の周辺デバイスが接続されている HUB の USB アドレスを設定します。 0000 : 周辺デバイスが本 LSI のポートに直接接続されている 0001~1010 : HUB の USB アドレス 1011~1111 : 設定禁止 ホストコントローラ機能選択時、本モジュールは、スプリットトランザクションを実行するときに本ビットの設定値を参照してパケットを生成します。 ファンクションコントロール機能選択時、0000 を設定してください。
10~8	HUBPORT [2:0]	000	R/W	通信対象接続 HUB ポート 通信対象の周辺デバイスが接続されている HUB のポート番号を設定します。 000 : 周辺デバイスが本 LSI のポートに直接接続されている 001~111 : HUB のポート番号 ホストコントローラ機能選択時、本モジュールは、スプリットトランザクションを実行するときに本ビットの設定値を参照してパケットを生成します。 ファンクションコントロール機能選択時、000 を設定してください。

ビット	ビット名	初期値	R/W	説明
7、6	USBSPD [1:0]	00	R/W	通信対象デバイスの転送速度 通信対象の周辺デバイスの USB 転送速度を設定します。 00 : DEVADDn レジスタ未使用 01 : ロースピード 10 : フルスピード 11 : ハイスピード ホストコントローラ機能選択時、本モジュールは、本ビットの設定値を参照してパケットを生成します。 ファンクションコントロール機能選択時、00 を設定してください。
5~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17.3.40 DMA-FIFO バスウェイトレジスタ (D0FWAIT、D1FWAIT)

D0FWAIT、D1FWAIT は、本モジュールのレジスタのうち、内部バスに接続されているもの (D0FWAIT、D1FWAIT、D0FIFO、D1FIFO) に対するアクセスウェイト数を指定します。本モジュールの基本クロックは USB クロック 48MHz ですが、内部バスからのアクセスは B ϕ 同期で行われます。そのため、本モジュールのレジスタを内部バス経由でアクセスする場合、USB クロック換算である一定サイクルをかける必要があります。32 ビットでアクセスする場合約 83.4ns (USB クロック \times 4 サイクル) 以上、16 ビットサイズでアクセスする場合約 41.7ns (USB クロック \times 2 サイクル) 以上、8 ビットサイズでアクセスする場合約 20.8ns (USB クロック \times 1 サイクル) 以上となるように、アクセスウェイト数を調整してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	BWAIT[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	BWAIT[3:0]	1111	R/W	DMAC・FIFO 間バスウェイト 内部バス経由で本モジュールのレジスタをアクセスする際のウェイト数を B ϕ 単位で設定します。 0000 : 0 ウェイト (B ϕ 単位で 2 サイクルアクセス) 0001 : 1 ウェイト (B ϕ 単位で 3 サイクルアクセス) 0010 : 2 ウェイト (B ϕ 単位で 4 サイクルアクセス) ~ 1111 : 15 ウェイト (B ϕ 単位で 17 サイクルアクセス) 【注】 B ϕ とアクセスサイズを考慮して、本モジュールの初期化ルーチンで本ビットを必ず設定してください。

17.4 動作説明

17.4.1 システム制御および発振制御

本節では、本モジュールの初期設定に必要なレジスタ操作および消費電力制御を行うために必要なレジスタについて説明します。

(1) リセット

表 17.16 に本モジュールのリセット種別の一覧を示します。なお、各リセット動作後のレジスタ初期化状態については、「17.3 レジスタの説明」を参照してください。

表 17.16 リセット種別一覧表

名称	操 作
パワーオンリセット	RES 端子からのローレベル入力
USB バスリセット	ファンクションコントローラ機能選択時に、本モジュールが D+、D-ラインから自動検出

(2) コントローラ機能の選択設定

本モジュールは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。コントローラ機能の選択は、SYSCFG レジスタの DCFM ビットで行ってください。DCFM ビットの設定は、パワーオンリセット直後の初期設定または D+のプルアップ禁止状態 (DPRPU=0) で D+/D-のプルダウン禁止状態 (DRPD=0) ときに行ってください。

(3) ハイスピード動作の許可

本モジュールは、ソフトウェアにて、USB 通信速度 (通信ビットレート) を設定することができます。

ホストコントロール機能選択時、ハイスピード動作またはフルスピード/ロースピード動作のどちらかに設定できます。ファンクションコントロール機能選択時、ハイスピード動作またはフルスピード動作のどちらかを選択することができます。本モジュールでハイスピード動作を許可する場合は、SYSCFG レジスタの HSE ビットを 1 に設定してください。ハイスピード動作が許可されている場合は、本モジュールがリセットハンドシェイクプロトコルを実行し、USB 通信速度を自動的に設定します。リセットハンドシェイクの結果は、DVSTCTR レジスタの RHST ビットで確認できます。

ハイスピード動作が禁止されている場合は、本モジュールは、ホストコントローラ機能が選択時は、フルスピードまたはロースピードで動作し、ファンクションコントローラ機能選択時は、フルスピードでのみ動作します。

HSE ビットの変更は、ホストコントローラ機能が選択時は、アタッチ検出からバスリセットの実行前に、ファンクションコントローラ機能が選択時は、D+のプルアップ禁止状態 (DPRPU=0) のときに行ってください。

(4) USB データバス抵抗制御

図 17.1 に本モジュールと USB コネクタの接続図を示します。

本モジュールは、D+信号のプルアップ抵抗と D+、D-信号のプルダウン抵抗を内蔵しています。SYSCFG レジスタの DPRPU、DRPD ビットの設定により、各信号のプルアップ、プルダウンを設定してください。

また、本モジュールは D+、D-信号のハイスピード動作時の終端抵抗とフルスピード動作時の出力抵抗の制御を行います。ホストコントローラまたは周辺機器との接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム検出により本モジュールが自動的にを行います。

なお、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に SYSCFG レジスタの DPRPU ビットに 0 を設定した場合は、USB データラインのプルアップ抵抗（または終端抵抗）をディスエーブルにしますので、USB ホストにデバイスの切断を通知することができます。

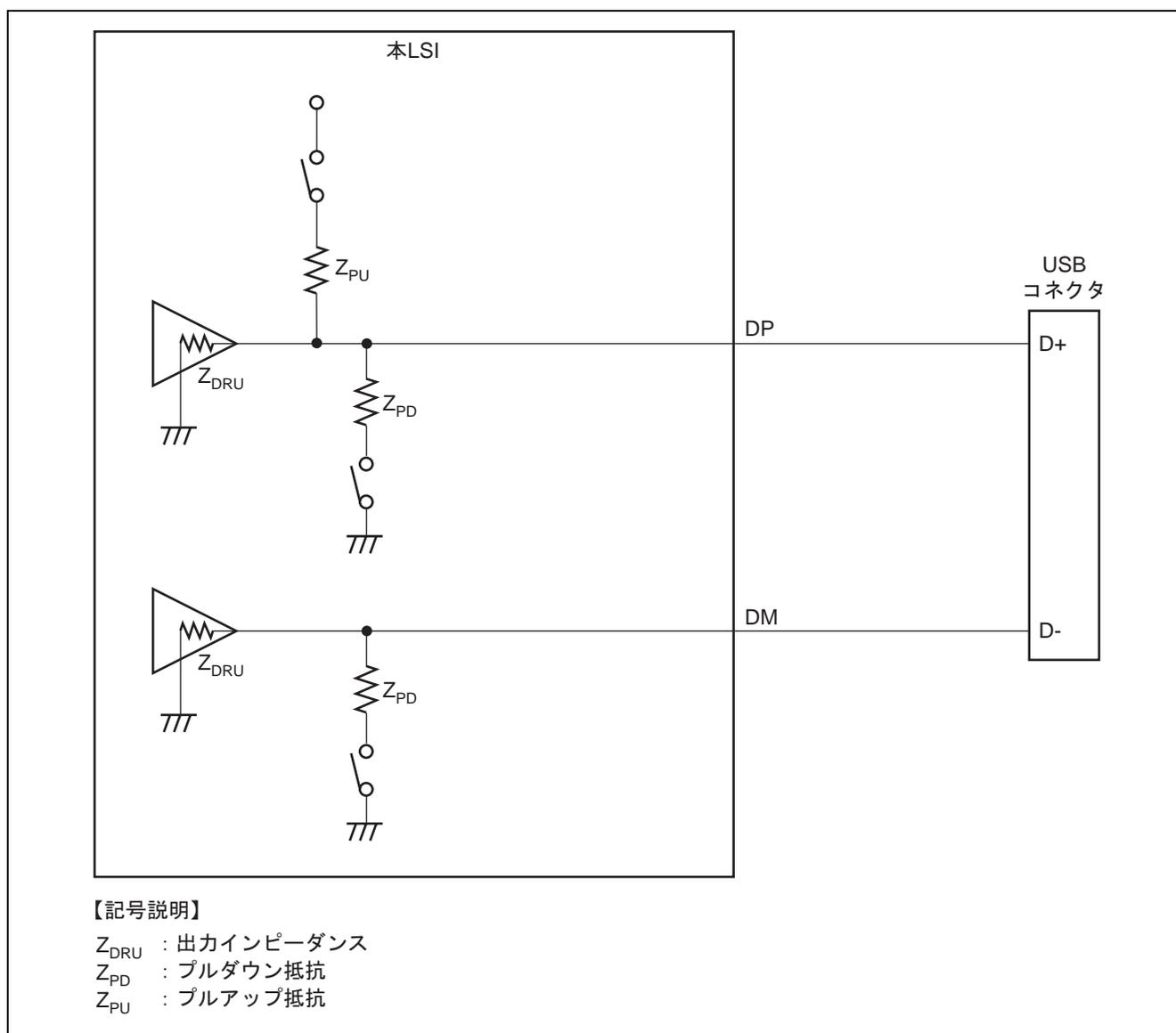


図 17.1 USB コネクタ接続図

17.4.2 割り込み機能

表 17.17 に本モジュールの割り込み発生条件一覧表を示します。

これらの割り込み発生条件が成立し、対応する割り込み許可レジスタにて割り込み出力許可に設定されているとき、本モジュールは割り込みコントローラ (INTC) へ USB 割り込み要求を発行します。

表 17.17 割り込み発生条件一覧表

ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス
VBINT	VBUS 割り込み	<ul style="list-style-type: none"> VBUS 入力端子の状態変化を検出したとき (L→H、H→L の両方の変化) 	ホスト、ファンクション	VBSTS
RESM	レジューム割り込み	<ul style="list-style-type: none"> サスペンド状態において USB バスの状態変化を検出したとき (J-State→K-State または J-State→SE0) 	ファンクション	—
SOFR	フレーム番号更新割り込み	<p>[ホストコントローラ機能選択時]</p> <ul style="list-style-type: none"> フレーム番号の異なる SOF パケットを送信したとき <p>[ファンクションコントローラ機能選択時]</p> <ul style="list-style-type: none"> SOFRM=0 : フレーム番号の異なる SOF パケットを受信したとき SOFRM=1 : μ フレーム番号が 0 のときの SOF をパケット破損などで受信できなかったとき 	ホスト、ファンクション	—
DVST	デバイス状態遷移割り込み	<ul style="list-style-type: none"> デバイス状態の遷移を検出したとき USB バスリセット検出 サスペンド状態検出 SET_ADDRESS リクエストの受信 SET_CONFIGURATION リクエストの受信	ファンクション	DVSQ
CTRT	コントロール転送ステージ遷移割り込み	<ul style="list-style-type: none"> コントロール転送のステージ遷移を検出したとき セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生	ファンクション	CTSQ
BEMP	バッファエンプティ割り込み	<ul style="list-style-type: none"> バッファメモリ中の全データを送信してバッファが空になったとき マックスパケットサイズを超えたパケットを受信したとき 	ホスト、ファンクション	BEMPSTS.PIPEBEMP

ビット	割り込み名称	割り込み発生条件	発生する機能	関連ステータス
NRDY	バッファ ノットレディ 割り込み	<p>[ホストコントローラ機能選択時]</p> <ul style="list-style-type: none"> 発行したトークンに対して周辺デバイス側からの STALL を受信したとき 発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき。(無応答が3回連続、またはパケット受信エラーが3回連続) アイソクロナス転送時にオーバラン/アンダーランが発生したとき <p>[ファンクションコントローラ機能選択時]</p> <ul style="list-style-type: none"> IN トークン/OUT トークン/PING トークンに対して NAK を応答したとき。 アイソクロナス転送でデータ受信時に CRC エラー、ビットスタッフエラーが発生したとき アイソクロナス転送でデータ受信時にオーバラン/アンダーランが発生したとき 	ホスト、 ファンクション	NRDYSTS.PIPENRDY
BRDY	バッファレディ 割り込み	<ul style="list-style-type: none"> バッファがレディ (リードまたはライト可能状態) になったとき 	ホスト、 ファンクション	BRDYSTS. PIPEBRDY
BCHG	バス変化割り込み	<ul style="list-style-type: none"> USB バスステートの変化を検出したとき 	ホスト、 ファンクション	—
DTCH	フルスピード 動作時切断検出	<ul style="list-style-type: none"> フルスピード動作時周辺デバイスの切断を検出したとき 	ホスト	—
ATTCH	デバイス接続検出	<ul style="list-style-type: none"> USB バスステートが 2.5μs 連続した J-STATE、または 2.5μs 連続した K-STATE を検出したとき。周辺デバイスの接続検出に使用可能。 	ホスト	—
EOFERR	EOF エラー検出	<ul style="list-style-type: none"> 周辺デバイスの EOF エラーを検出 	ホスト	—
SACK	SETUP 正常	<ul style="list-style-type: none"> セットアップトランザクションの正常応答 (ACK) を受信したとき 	ホスト	—
SIGN	SETUP エラー	<ul style="list-style-type: none"> セットアップトランザクションのエラー (無応答または ACK パケット破損) を 3 回連続で検出したとき 	ホスト	—

【注】 レジスタ名が示されていないビットのレジスタはすべて INTSTS0 です。

図 17.2 に本モジュールの割り込み関連図を示します。

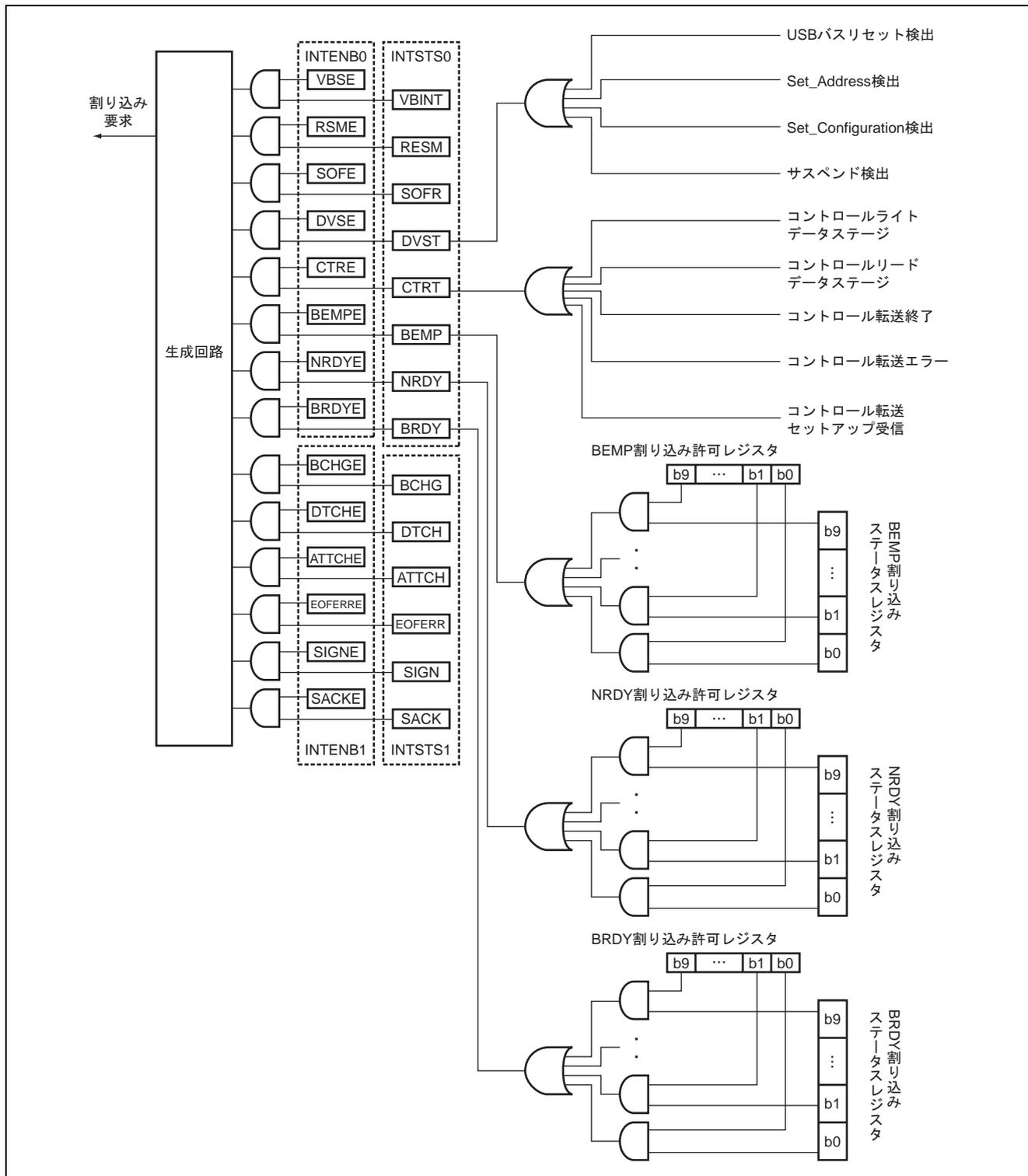


図 17.2 割り込みの関連図

(1) BRDY 割り込み

BRDY 割り込みは、ホストコントロール、ファンクションコントロールのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに、本モジュールは BRDYSTS レジスタの該当ビットを 1 にセットします。このとき、ソフトウェアが当該パイプに対応する BRDYENB レジスタの PIPEBRDYE ビットを 1 に設定し、かつ、INTENB0 レジスタの BRDYE ビットを 1 に設定していれば、本モジュールは BRDY 割り込みを発生させます。

BRDY 割り込みは、BRDYM ビットおよび各パイプの BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(a) BRDYM=0 かつ BFRE=0 設定時

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

本モジュールは、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガ発生パイプに対応する PIPEBRDY ビットに 1 を表示します。

1. 送信方向に設定したパイプの場合

- ソフトウェアが DIR ビットを 0 から 1 に変更したとき。
- 当該パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可状態のとき (BSTS ビット読み出し値が 0 のとき) に、本モジュールが当該パイプの packets 送信を完了したとき。
- 連続送受信モードに設定した場合には、FIFO バッファ一面分のデータの送信完了時に要求トリガが発生します。
- SCLR ビット制御によりバッファをクリアしても発生します。(今回は隠し)
- FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき。
- FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき。
- ACLRM ビットに 1 を書き込むことより、FIFO バッファが書き込み不可状態から書き込み可能状態になったとき。

DCP に対しては (すなわち、コントロール転送でのデータ送信においては) 要求トリガは発生しません。

2. 受信方向に設定したパイプの場合

- 当該パイプに割り付けた FIFO バッファへの CPU からの読み出しが不可状態のとき (BSTS ビット読み出し値が 0 のとき) に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき。
データ PID ミスマッチのトランザクションに対しては要求トリガは発生しません。
連続送受信モードの場合には、MaxPacketSize のデータサイズで、かつまだバッファに空きがある場合には要求トリガは発生しません。
ショートパケットを受信した場合には、FIFO バッファに空きがあっても要求トリガは発生します。
トランザクションカウンタを使用している場合には、設定値分のパケットを受信時に要求トリガは発生します。このとき、FIFO バッファにまだ空きがあっても要求トリガは発生します。

- FIFOバッファをダブルバッファに設定しているときで、FIFOバッファ読み出し完了時にもう一方のFIFOバッファも読み出し可能状態であったとき
読み出し中にもう一方が受信完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクションコントロール機能選択時のコントロール転送のステータスステージでの通信では本割り込みは発生しません。

ソフトウェアは、当該パイプに対応する BRDYSTS レジスタの PIPEBRDY ビットに 0 を書き込むことにより、当該パイプの PIPEBRDY 割り込みステータスを 0 にクリアすることができます。このとき、他のパイプに対応するビットには 1 を書き込んでください。

本割り込みステータスのクリアは、必ず FIFO バッファへのアクセスを行う前に実施してください。

(b) BRDYM=0 かつ BFRE=1 設定時

この設定の場合、本モジュールは、受信パイプにおいて 1 トランスファー分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、本レジスタの当該パイプに対応するビットに 1 を表示します。

本モジュールは、以下のいずれかのときに 1 トランスファーにおける最後のデータを受信したと判定します。

- Zero-Length パケットを含むショートパケットを受信したとき
- トランザクションカウンタ (TRNCNT ビット) を使用し、TRNCNT ビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、本モジュールは 1 トランスファー分の全データ読み出し完了と判断します。

FIFO バッファが空の状態でも Zero-Length パケット受信した場合は、Zero-Length パケットデータが CPU 側へトグルされた時点で、本モジュールは 1 トランスファー分の全データ読み出し完了と判断します。この場合、次のトランスファを開始するためには、対応する FIFOCTR レジスタの BCLR ビットにソフトウェアで 1 を書き込んでください。

本設定の場合には、本モジュールは送信パイプに対して BRDY 割り込みを検出しません。

ソフトウェアは、当該パイプに対応する PIPEBRDY ビットに 0 を書き込むことにより、当該パイプの PIPEBRDY 割り込みステータスを 0 にクリアすることができます。このとき他のパイプに対応するビットには 1 を書き込んでください。

本モードを使用するときには、トランスファ分の処理を終了するまで BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、ACLRM ビットにより対応するパイプの FIFO バッファをすべてクリアしてください。

(c) BRDYM=1 かつ BFRE=0 設定時

この設定の場合、PIPEBRDY ビットの値は各パイプの BSTS ビットに連動します。すなわち、BRDY 割り込みステータスは FIFO バッファの状態によって本モジュールが 1、0 を表示します。

1. 送信方向に設定したパイプの場合

FIFO ポートにデータが書き込み可能な状態であれば 1 を表示し、書き込み不可の状態になれば 0 を表示します。

ただし DCP の送信パイプが書き込み可能であっても、BRDY 割り込みは発生しません。

2. 受信方向に設定したパイプの場合

FIFO ポートにデータが読み出し可能な状態であれば 1 を表示し、すべてのデータを読み出したら（読み出し不可の状態になったら）0 を表示します。

FIFO バッファが空で Zero-Length パケットを受信した場合、ソフトウェアが BCLR=1 を書き込むまで該当ビットには 1 が表示され BRDY 割り込みは発生し続けます。

本設定時、ソフトウェアは、PIPEBRDY ビットの 0 クリアを行うことはできません。

BRDYM=1 設定時は、BFRE ビットは必ずすべて（全パイプ）0 に設定してください。

図 17.3 に、BRDY 割り込み発生タイミング図を示します。

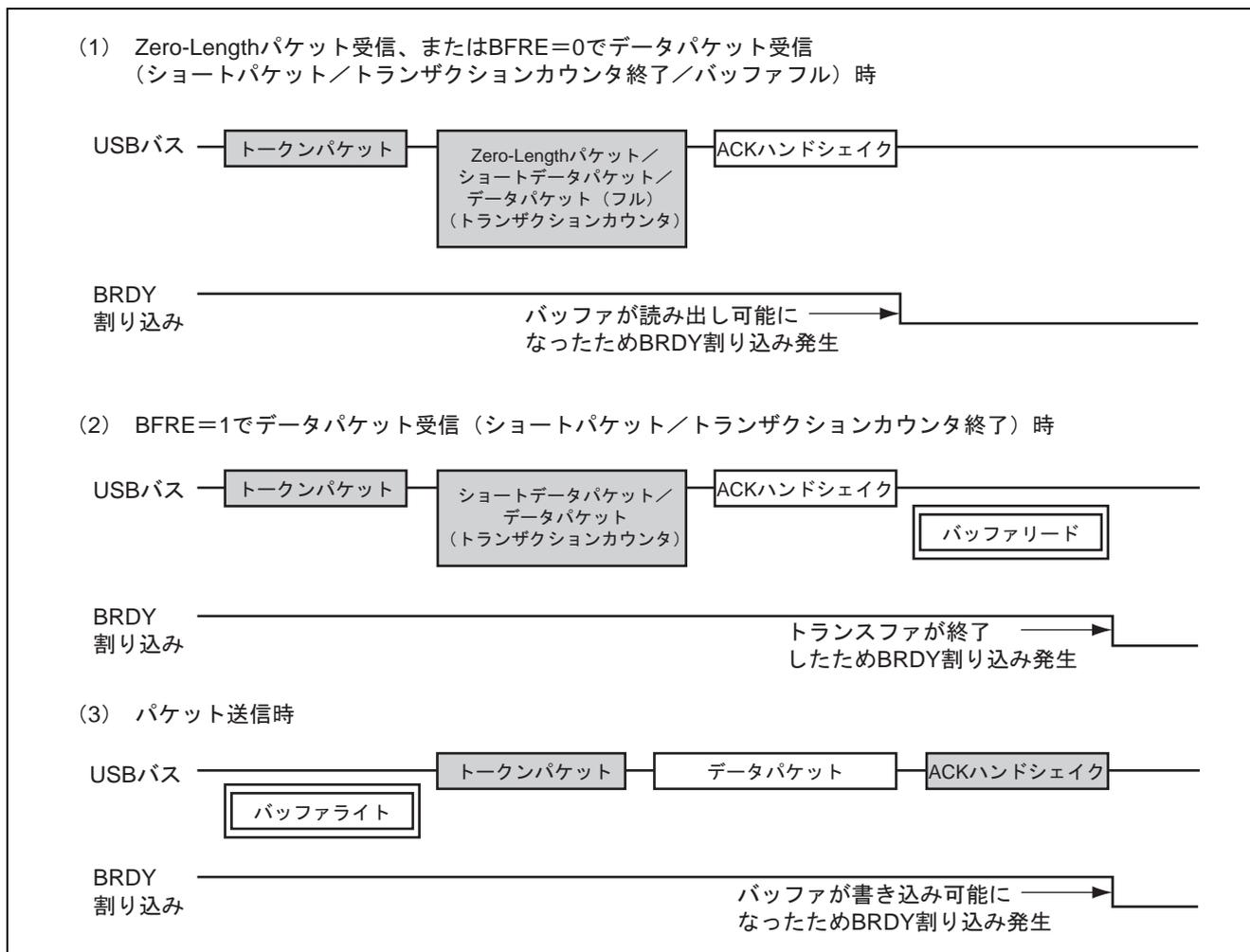


図 17.3 BRDY 割り込み発生タイミング図

(2) NRDY 割り込み

ソフトウェアが PID=BUF に設定したパイプに対して、本モジュールが内部 NRDY 割り込み要求を発生させた場合に、本モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに 1 を表示します。このとき、ソフトウェアによって NRDYENB レジスタの対応するビットに 1 が設定されている場合、本モジュールは INTSTS0 レジスタの NRDY ビットに 1 を表示し、USB 割り込みを発生します。

本モジュールが、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ただし、ホストコントローラ機能選択時の SETUP トランザクション実行時は以下の割り込み発生条件に該当しません。ホストコントロール機能選択時の SETUP トランザクションでは、SACK 割り込みまたは SIGN 割り込みを検出します。

また、ファンクションコントロール機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(a) ホストコントローラ機能選択時でかつスプリットトランザクションが発生しない接続の場合

1. 送信方向パイプの場合

本モジュールは、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに送信データがない状態でOUTトークン発行タイミングに達したとき
このとき、本モジュールは OUT トークンに続けて Zero-Length パケットを送信し、PIPENRDY ビットの対応するビットに 1 を表示し、OVRN ビットにも 1 を表示します。
- 転送タイプがアイソクロナス以外のパイプ、かつSETUPトランザクション以外の通信において、周辺デバイスが無応答（周辺デバイスからのHandshakeパケットを検出しないままタイムアウトを検出）した、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき
このとき、本モジュールは、PIPENRDY ビットの対応するビットに 1 を表示し、対応するパイプの PID ビットを NAK に変更します。
- SETUPトランザクション以外の通信において、周辺デバイスからSTALL Handshakeを受信したとき（OUT に対するSTALLだけではなく、PINGに対するSTALLも該当します）。
このとき本モジュールは、PIPENRDY ビットの対応するビットに 1 を表示し、対応するパイプの PID ビットを STALL (11) に変更します。

2. 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに空きがない状態でIN Token発行タイミングに達したとき
このとき本モジュールは、IN Token に対する受信データを破棄し、当該パイプに対応する PIPENRDY ビットに 1 を表示し、OVRN ビットにも 1 を表示します。
更に、IN Token に対する受信データにパケットエラーを検出した場合には、CRCE ビットにも 1 を表示します。

- 転送タイプがアイソクロナス転送以外のパイプで、本モジュールが発行したIN Tokenに対して周辺デバイスが無応答（周辺デバイスからのDATAパケットを検出しないままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき
このとき本モジュールは、当該パイプに対応する PIPENRDY ビットに 1 を表示し、対応するパイプの PID ビットを NAK に変更します。
- 転送タイプがアイソクロナスのパイプにおいて、IN Tokenに対して周辺デバイスが無応答（周辺デバイスからのDATAパケットを検出しないままタイムアウトを検出）した場合、または周辺デバイスからのパケットにエラーを検出したとき
このとき本モジュールは、当該パイプに対応する PIPENRDY ビットに 1 を表示します（対応するパイプの PID ビットの変更は行いません）。
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットにCRCエラーまたはビットスタッフィングエラーを検出したとき
このとき本モジュールは、当該パイプに対応する PIPENRDY ビットに 1 を表示し、CRCE ビットに 1 を表示します。
- STALL Handshakeを受信したとき
このとき本モジュールは、当該パイプに対応する PIPENRDY ビットに 1 を表示し、対応するパイプの PID ビットを STALL に変更します。

(b) ホストコントローラ機能選択時でかつスプリットトランザクションが発生するの接続の場合

1. 送信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに送信データがない状態でOUTトークン発行タイミングに達したとき
このとき本モジュールは、Start-Split トランザクション (S-SPLIT) 発行時点で当該パイプに対応する PIPENRDY ビットに 1 を表示し、OVRN ビットに 1 を表示します。また、OUT トークンに続けて Zero-Length パケットを送信します。
- 転送タイプがアイソクロナス以外のパイプにおいて、S-SPLITまたはComplete-Split トランザクション (C-SPLIT) に対して、HUBが無応答（HUBからのHandshakeパケットを検出しないままタイムアウトを検出）、またはHUBからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき
このとき本モジュールは、当該パイプに対応する PIPENRDY ビットに 1 を表示し、対応するパイプの PID ビット NAK に変更します。
C-SPLIT 発行時に NRDY 割り込みを検出した場合には、本モジュールは CSSTS ビットをクリアし 0 を表示します。
- C-SPLITに対し、STALL Handshakeを受信したとき
このとき本モジュールは、当該パイプに対応する PIPENRDY ビットに 1 を表示し、対応するパイプの PID ビットを STALL (11) に変更し、CSSTS ビットをクリアし 0 を表示します。
ただし SETUP トランザクションにおいては、本割り込みを検出しません。
- 転送タイプがインタラプトのパイプにおいて、microFrame番号=4のときのC-SPLITに対して、NYETを受信したとき
このとき本モジュールは、当該パイプに対応する PIPENRDY ビットに 1 を表示し、CSSTS ビットをクリアし 0 を表示します（対応するパイプの PID ビットは変更しません）。

2. 受信方向パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、FIFOバッファに空きがない状態でIN Token発行タイミングに達したとき
このとき本モジュールは、S-SPLIT 発行時点で当該パイプに対応する PIPENRDY ビットに 1 を表示し、OVRN ビットに 1 を表示します。また、IN Token に対する受信データを破棄します。
- 転送タイプがバルクのパイプの転送、またはDCPのSETUPトランザクション以外の転送において、S-SPLIT またはC-SPLIT発行時に、本モジュールが発行したIN Tokenに対してHUBが無応答（HUBからのDATAパケットを検出しないままタイムアウトを検出）した場合、またはHUBからのパケットにエラーを検出した場合が任意の組み合わせで3回連続して発生したとき
このとき本モジュールは、当該パイプに対応する PIPENRDY ビットに 1 を表示し、対応するパイプの PID ビットを NAK に変更します。C-SPLIT において本条件が発生した場合には、本モジュールは CSSTS ビットをクリアし 0 を表示します。
- 転送タイプがアイソクロナスまたはインタラプトのパイプのC-SPLITにおいて、本モジュールが発行したIN Tokenに対してHUBが無応答（HUBからのDATAパケットを検出しないままタイムアウトを検出）した場合、またはHUBからのパケットにエラーを検出した場合が任意の組み合わせで3回連続して発生したとき
転送タイプがインタラプトのパイプにおいて、本条件が発生した場合、本モジュールは、当該パイプに対応する PIPENRDY ビットに 1 を表示し、対応するパイプの PID ビットを NAK に変更し、CSSTS ビットをクリアし 0 を表示します。
転送タイプがアイソクロナスのパイプにおいて、本条件が発生した場合、本モジュールは、当該パイプに対応する PIPENRDY ビットに 1 を表示し、CRCE ビットに 1 を表示し、CSSTS ビットをクリアし 0 を表示します（パイプの PID ビットの変更は行いません）。
- 転送タイプがアイソクロナス以外のパイプのC-SPLITにおいて、STALL Handshakeを受信した場合。
このとき本モジュールは、当該パイプに対応する PIPENRDY ビットに 1 を表示し、対応するパイプの PID ビットを STALL (11) に変更し、CSSTS ビットをクリアし 0 を表示します。
- 転送タイプがアイソクロナス/インタラプトのパイプのC-SPLITにおいて、microFrame=4のときにNYET Handshakeを受信した場合。
このとき本モジュール、当該パイプに対応する PIPENRDY ビットに 1 を表示し、CRCE ビットに 1 を表示し、CSSTS ビットをクリアし 0 を表示します。（パイプの PID ビットの変更は行いません）。

(c) ファンクションコントロール機能選択時

1. 送信方向パイプの場合

- FIFOバッファに送信データがない状態でIN Tokenを受信したとき
IN Token 受信時に本モジュールは NRDY 割り込み要求を発生させ PIPENRDY ビットに 1 を表示します。
割り込み発生パイプの転送タイプがアイソクロナスの場合、本モジュールは Zero-Length パケットを送信し、OVRN ビットに 1 を表示します。

2. 受信方向パイプの場合

- FIFOバッファに空きがない状態でOUTトークンを受信したとき
割り込み発生パイプの転送タイプがアイソクロナスの場合、OUT トークン受信時に本モジュールは NRDY 割り込み要求を発生させ、PIPENRDY ビットに 1 を表示し、OVRN ビットに 1 を表示します。
割り込み発生パイプの転送タイプがアイソクロナス以外の場合、本モジュールは、OUT トークンに続くデータ受信後 NAK Handshake を送信するときに NRDY 割り込み要求を発生させ、PIPENRDY ビットに 1 を表示します。
ただし、再送時 (DATA-PID ミスマッチ発生時) には、NRDY 割り込み要求を発生させません。また、DATA パケットにエラーがある場合にも、発生させません。
- FIFOバッファに空きがない状態でPINGトークンを受信したとき
PING トークン受信時に本モジュールは NRDY 割り込み要求を発生させ PIPENRDY ビットに 1 を表示します。
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内に正常受信されなかったとき
SOF 受信のタイミングで本モジュールは、NRDY 割り込み要求を発生させ、PIPENRDY ビットに 1 を表示します。

図 17.4 に、ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図を示します。

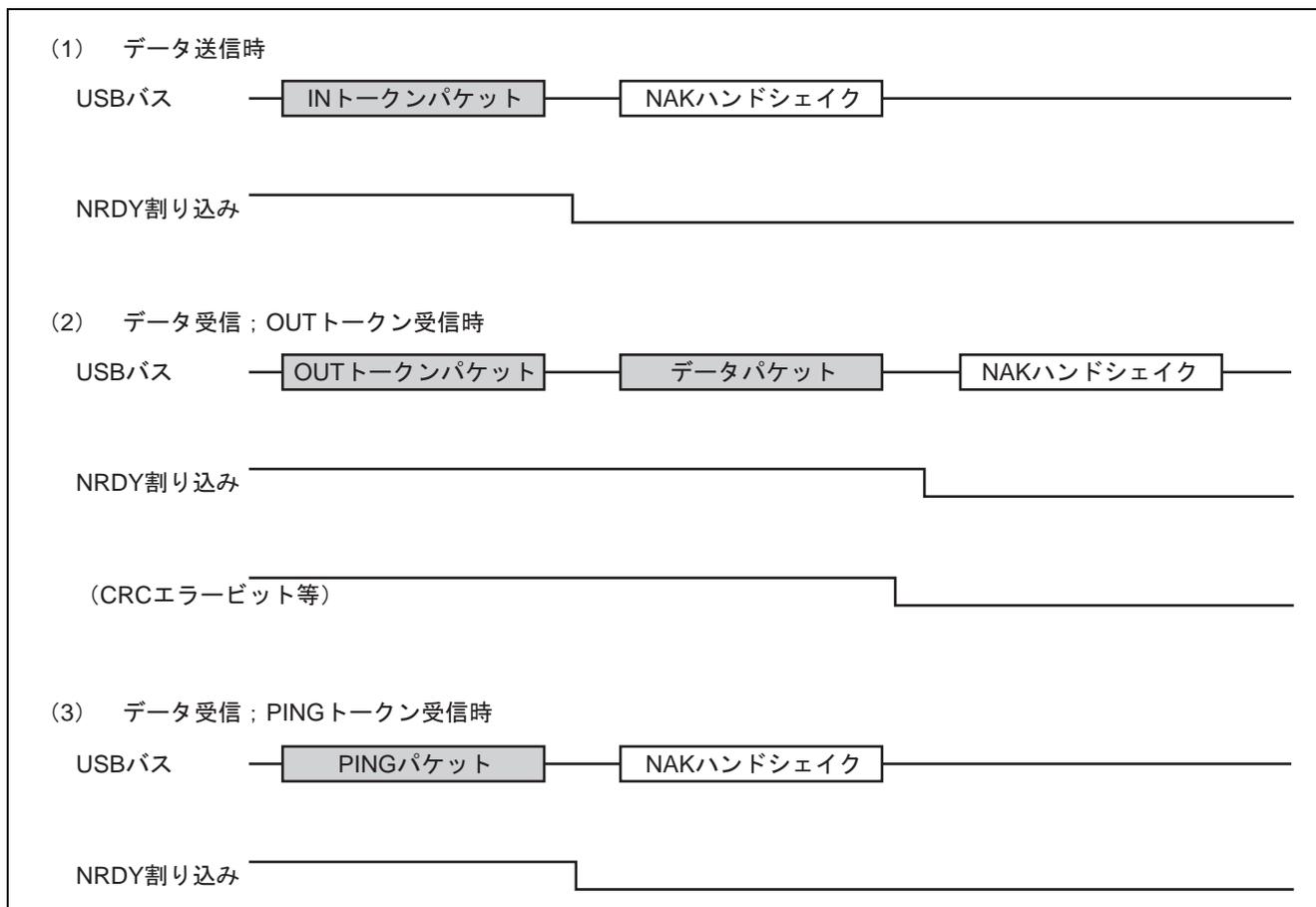


図 17.4 ファンクションコントローラ機能選択時の NRDY 割り込み発生タイミング図

(3) BEMP 割り込み

ソフトウェアが PID=BUF に設定したパイプに対して、本モジュールが、BEMP 割り込みを検出した場合に、本モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに 1 を表示します。このとき、ソフトウェアによって BEMPENB レジスタの対応するビットに 1 が設定されている場合、本モジュールは INTSTS0 レジスタの BEMP ビットに 1 を表示し、USB 割り込みを発生します。

以下の場合に、本モジュールは内部 BEMP 割り込み要求を発生させます。

1. 送信方向パイプにおいて、送信完了時 (Zero-Lengthパケットの送信時を含む) に、対応するパイプのFIFOバッファが空のとき。

シングルバッファ設定時は、DCP 以外のパイプに対しては BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。

ただし、以下の場合には内部 BEMP 割り込み要求を発生させません。

- ダブルバッファ設定時に、1面分のデータ送信完了時にソフトウェア (DMAC) がCPU側のFIFOバッファに対する書き込みを開始している場合
- また、ACLRMビットまたはBCLRビットに1を書き込むことによるバッファクリア (エンプティ)。
- ファンクションコントローラ機能設定時、コントロール転送StatusステージのIN転送 (Zero-Lengthパケット送信) 時

2. 受信方向パイプの場合

MaxPacketSize の設定値より大きなデータサイズを正常受信したとき。

この場合、本モジュールは、BEMP 割り込み要求を発生させ、PIPEBEMP ビットの対応するビットに 1 を表示し、受信データを破棄し、対応するパイプの PID ビットを STALL (11) に変更します。

このとき本モジュールは、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時には STALL 応答を行います。

ただし、以下の場合には内部 BEMP 割り込み要求を発生させません。

- 受信データにCRCエラー、またはビットスタッフィングエラー等を検出したとき
- SETUPトランザクション実行時

PIPEBEMP ビットに 0 を書き込むことにより、ステータスをクリアすることができます。

PIPEBEMP ビットに 1 を書き込んでも、何もしません。

図 17.5 に、ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図を示します。

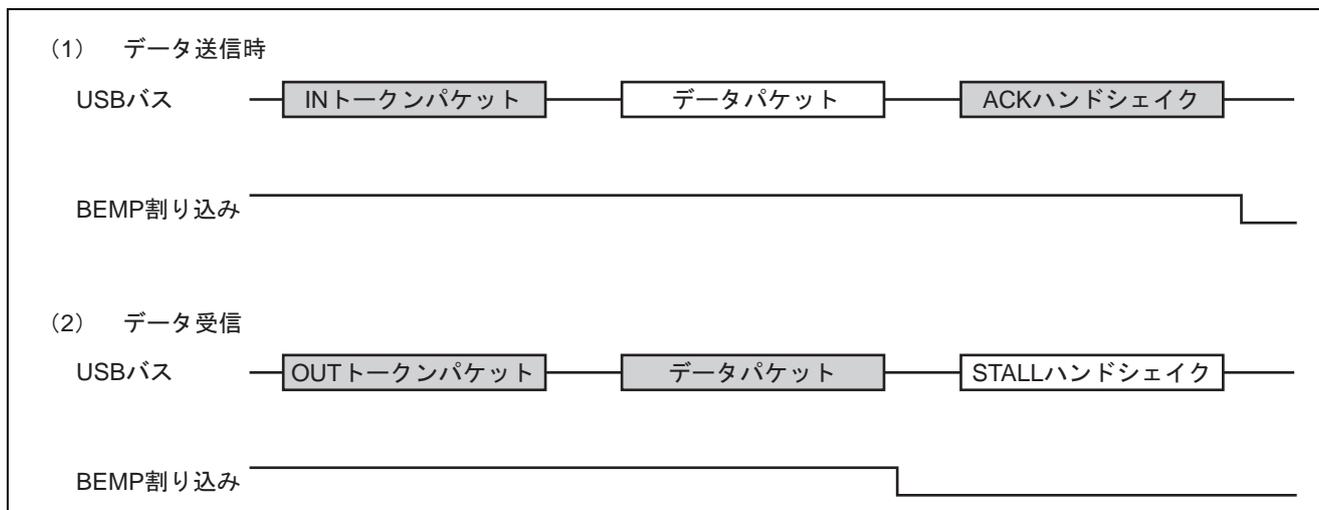


図 17.5 ファンクションコントローラ機能選択時の BEMP 割り込み発生タイミング図

(4) デバイスステート遷移割り込み

図 17.6 に本モジュールのデバイスステート遷移図を示します。本モジュールは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰 (レジューム信号検出) は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0 レジスタの DVSQ ビットにて確認できます。

デフォルトステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

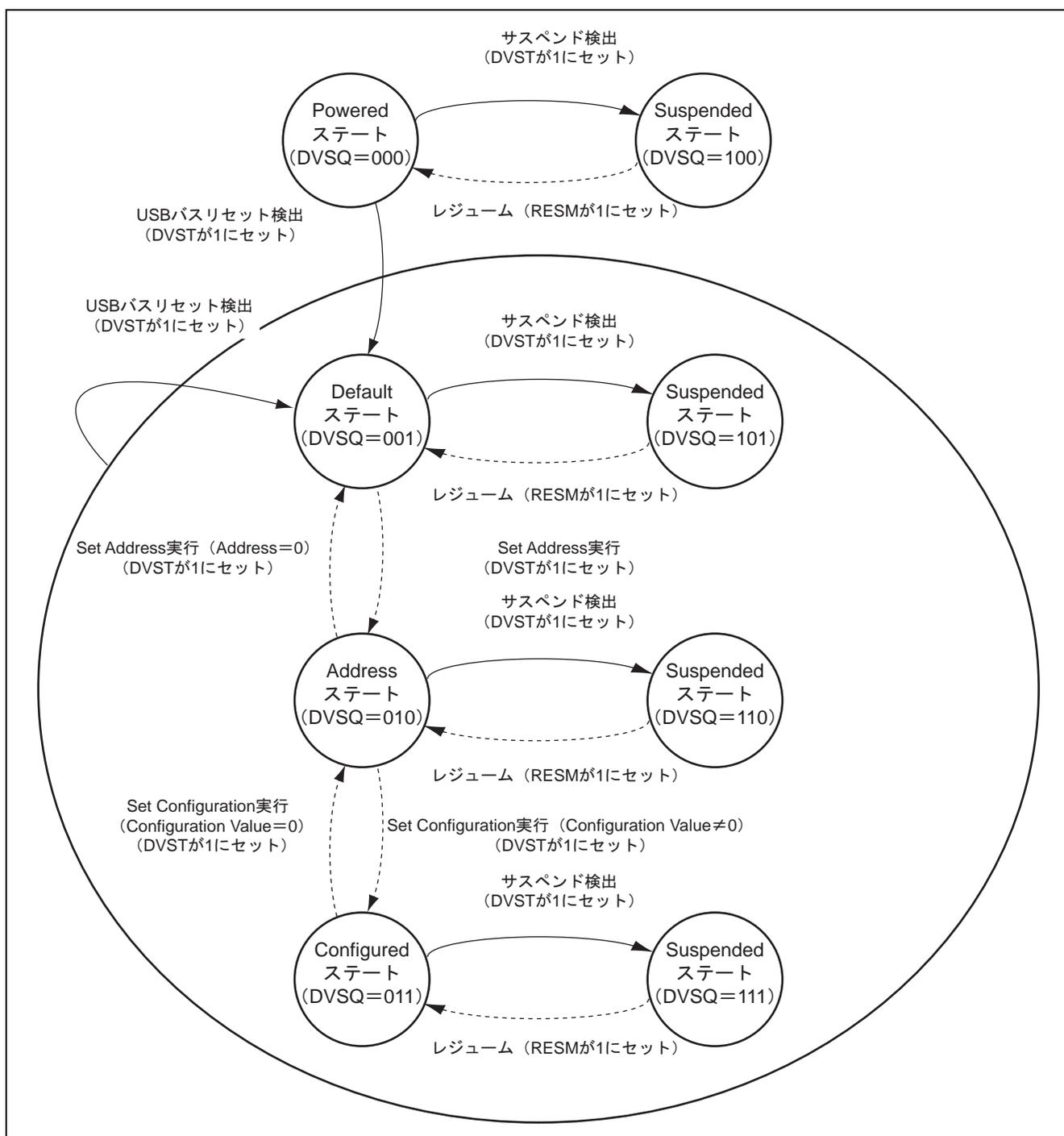


図 17.6 デバイスステート遷移図

(5) コントロール転送ステージ遷移割り込み

図 17.7 に本モジュールのコントロール転送ステージ遷移図を示します。本モジュールは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に割り込みの許可または禁止を設定することができます。また、遷移した転送ステージは INTSTS0 レジスタの CTSQ ビットにて確認できます。

コントロール転送ステージ遷移割り込みは、ファンクションコントロール機能を選択した場合のみ発生しません。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR レジスタの PID ビットが B'1x (STALL 応答) になります。

1. コントロールリード転送時

- データステージのINトークンに対して、一度もデータ転送していない状態でOUTまたはPINGトークンを受信
- ステータスステージでINトークン受信
- ステータスステージでデータパケットがDATAPID=DATA0のパケットを受信

2. コントロールライト転送時

- データステージのOUTトークンに対して、一度もACK応答していない状態でINトークンを受信
- データステージで最初のデータパケットがDATAPID=DATA0のパケットを受信
- ステータスステージでOUTまたはPINGトークン受信

3. コントロールライトノーデータコントロール転送時

- ステータスステージでOUTまたはPINGトークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (SERR=1 設定) は、CTSQ=110 の値がシステムから CTRT=0 書き込み (割り込みステータスクリア) するまで保持されます。このため、CTSQ=110 が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません (セットアップステージ完了は、本モジュールで保持されており、ソフトウェアによる割り込みステータスクリア後に、セットアップステージ完了割り込みが発生します)。

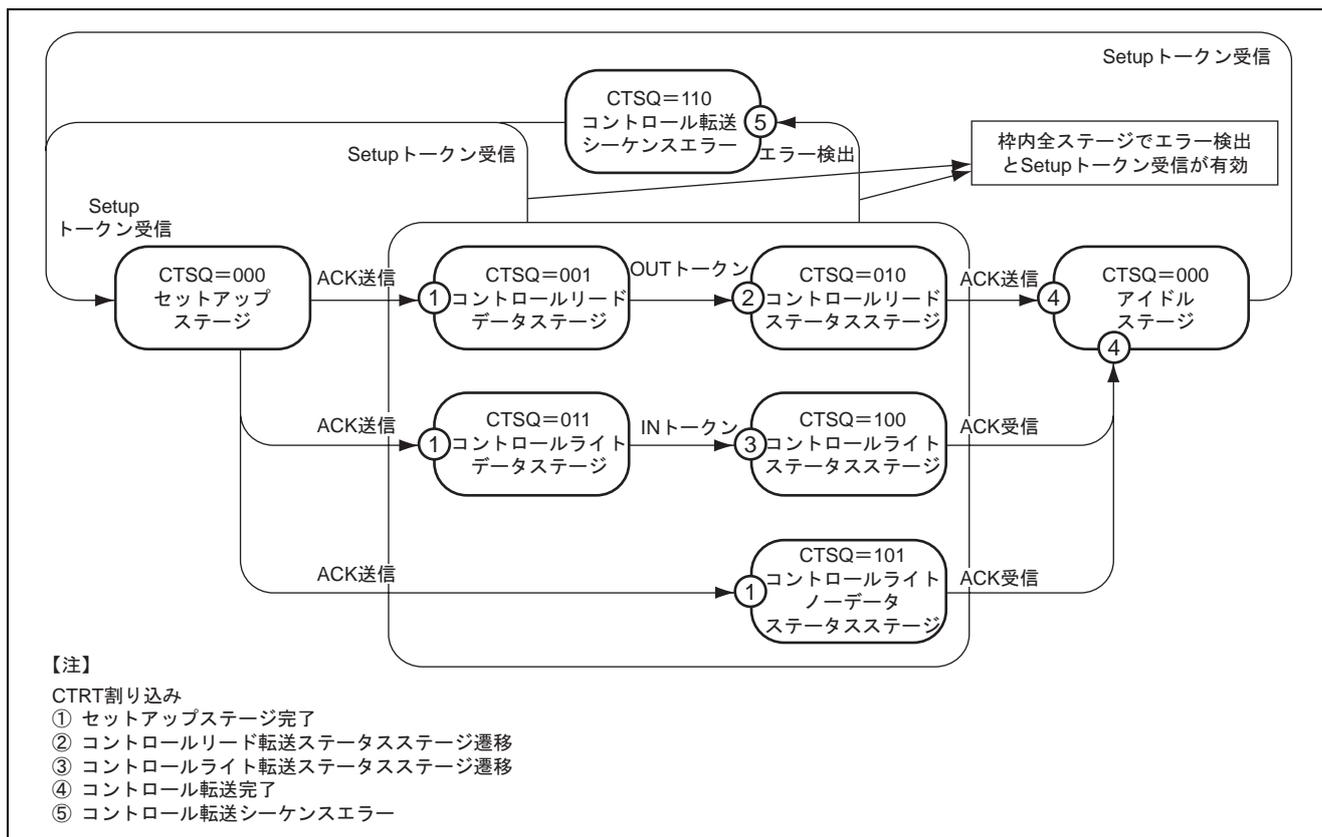


図 17.7 コントロール転送ステージ遷移図

(6) フレーム更新割り込み

図 17.8 に本モジュールの SOFR 割り込み出力タイミング例を示します。

ホストコントローラ機能を選択した場合は、フレーム番号更新のタイミングで割り込みが発生します。ファンクションコントローラ機能を選択した場合は、フレーム番号が更新されたときに SOFR 割り込みが発生します。

ファンクションコントローラ機能を選択した場合、本モジュールは、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みが発生します。しかし、ハイスピード動作中は μ SOF ロック状態にならないと、フレーム番号を更新せず SOFR 割り込みも発生しません。また、SOF の補間機能も動作しません。 μ SOF ロック状態とは、エラーなしでフレーム番号の異なる μ SOF パケットを 2 回連続受信することです。

なお、 μ SOF ロック監視開始条件および μ SOF ロック監視停止条件は下記 1.、2.のとおりです。

1. μ SOF ロック監視開始条件
USBE=1
2. μ SOF ロック監視停止条件
USBE=0、USB バスリセット受信、またはサスペンド検出

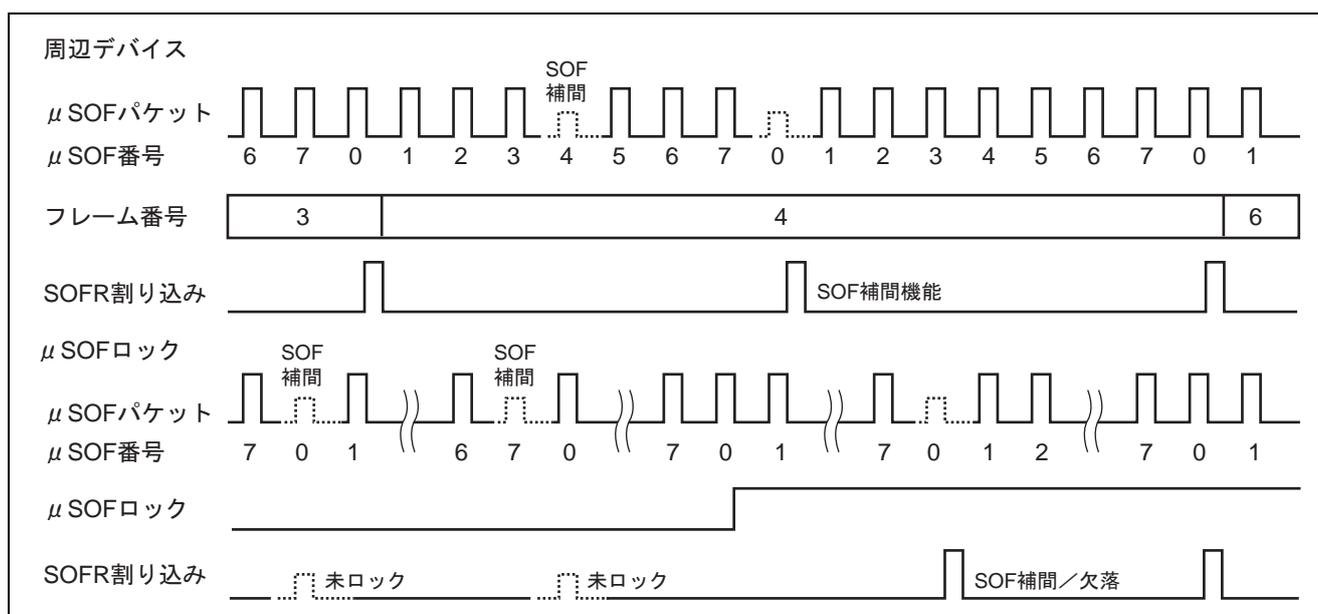


図 17.8 SOFR 割り込み出力タイミングの例

(7) VBUS 割り込み

VBUS 端子に変化があった場合に VBUS 割り込みが発生します。INTSTS0 レジスタの VBSTS ビットにて VBUS 端子のレベルを確認できます。VBUS 割り込みによってホストコントローラの接続および切断の確認ができます。ただし、ホストコントローラが接続された状態でシステムが起動された場合は、VBUS 端子が変化しないため、最初の VBUS 割り込みが発生しません。

(8) レジューム割り込み

ファンクションコントローラ機能選択時、デバイスステートがサスペンド状態で USB バス状態が変化 (J-State→K-State または J-State→SE0) したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホストコントローラ機能選択時、レジューム割り込みは発生しません。USB バスの変化は BCHG 割り込みを用いて検出してください。

(9) BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラ機能選択時の周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラ機能またはファンクションコントローラ機能のどちらを選択していても発生します。

(10) DTCH 割り込み

ホストコントローラ機能選択時に、USB バスのディスコネクトを検出した場合、DTCH 割り込みが発生します。本モジュールは、USB Specification2.0 に準じた基準でバスディスコネクトを検出します。

本モジュールは、DTCH 割り込みを検出後 (該当する割り込み許可ビットの設定値にかかわらず) 以下のハードウェア制御を行います。ソフトウェアは、当該ポートに対して通信を行っているパイプをすべて通信終了させ、当該ポートへのアタッチ (ATTCH 割り込み発生) 待ちの状態に遷移してください。

- DTCH 割り込みを検出したポートの UACT ビットを 0 に変更し表示する。
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる。

(11) SACK 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を受信した場合に SACK 割り込みが発生します。SACK 割り込みにより、セットアップトランザクションが正常に終了したことを知ることができます。

(12) SIGN 割り込み

ホストコントローラ機能選択時に、送信したセットアップパケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合に SIGN 割り込みが発生します。周辺デバイスが ACK を送信しなかった場合 (無応答) や、ACK パケットの破損を検出することができます。

(13) ATTCH 割り込み

ホストコントローラ機能選択時、USB ポートにフルスピード/ロースピード信号レベルの J-State または K-State を 2.5 μ s 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込み検出条件は、具体的には以下のとおりです。

- K-State、SE0 または SE1 から J-State に変化し J-State のまま 2.5 μ s 間継続したとき
- J-State、SE0 または SE1 から K-State に変化し K-State のまま 2.5 μ s 間継続したとき

(14) EOFERR 割り込み

USB 2.0 仕様書に定められている EOF2 タイミング時点で通信が終了しないことを検出した場合、EOFERR 割り込みが発生します。

本モジュールは、EOFERR 割り込みを検出後（該当する割り込み許可ビットの設定値にかかわらず）以下のハードウェア制御を行います。ソフトウェアは、該当ポートに対して通信を行っているパイプをすべて通信終了させ、該当ポートへの再 Enumeration を行ってください。

- EOFERR割り込みを検出したポートのUACTビットを0に変更し表示する。
- EOFERR割り込みが発生したポートをアイドル状態に遷移させる。

17.4.3 パイプコントロール

表 17.18 に本モジュールのパイプ設定項目一覧表を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行う必要があります。本モジュールにはデータ転送用に 10 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表 17.18 パイプ設定項目一覧表

レジスタ名	ビット名	設定内容	備 考
DCPCFG	TYPE	転送タイプを指定	パイプ 1~9 : 設定可
PIPECFG	BFRE	BRDY 割り込みモードを選択	パイプ 1~5 : 設定可
	DBLB	ダブルバッファを選択	パイプ 1~5 : 設定可
	CNTMD	連続転送または非連続転送を選択	パイプ 1、2 : 設定可 (バルク転送選択時のみ設定可能) パイプ 3~5 : 設定可
	DIR	転送方向を選択	IN または OUT 設定可
	EPNUM	エンドポイント番号	パイプ 1~9 : 設定可 パイプ使用時は 0000 以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ 1、2 : 設定可 (バルク転送選択時のみ設定可能) パイプ 3~5 : 設定可
PIPEBUF	BUFSIZE	バッファメモリサイズ	DCP : 設定不可 (256 バイト固定) パイプ 1~5 : 設定可 (最大 2K バイトまで指定可) パイプ 6、9 : 設定不可 (64 バイト固定)
	BUFNMB	バッファメモリ番号	DCP : 設定不可 (領域 H'0~H'3 固定) パイプ 1~5 : 設定可 (領域 H'8~H'7F で指定可) パイプ 6~9 : 設定不可 (領域 H'4~H'7 固定)
DCPMAXP	DEVSEL	デバイス選択	ホストコントロール機能選択時のみ参照
PIPEMAXP	MXPS	マックスパケットサイズ	USB 規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ 1、2 : 設定可 (アイソクロナス転送選択時のみ) パイプ 3~5 : 設定不可 パイプ 6~9 : ホストコントロール機能選択時のみ設定可
	IITV	インターバルカウンタ	パイプ 1、2 : 設定可 (アイソクロナス転送選択時のみ) パイプ 3~5 : 設定不可 パイプ 6~9 : ホストコントロール機能選択時のみ設定可

レジスタ名	ビット名	設定内容	備 考
DCPCTR	BSTS	バッファステータス	DCP は ISEL ビットにより、受信/送信バッファ状態の切り替え
PIPEnCTR	INBUFM	IN バッファモニタ	パイプ 3~5 のみ搭載
	SUREQ	SETUP リクエスト	DCP のみ設定可能 ホストコントロール機能選択時のみ制御可能
	SUREQCLR	SUREQ クリア	DCP のみ設定可能 ホストコントロール機能選択時のみ制御可能
	CSCLR	CSSTS クリア	ホストコントロール機能選択時のみ制御可能
	CSSTS	SPLIT ステータス表示	ホストコントロール機能選択時のみ参照可能
	ATREPM	自動応答モード	パイプ 1~5 : 設定可 ファンクションコントロール機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ 1~9 : 設定可
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY	パイプビジー確認	
	PID	応答 PID	「17.4.3 (6) 応答 PID」を参照してください。
PIPEnTRE	TRENB	トランザクションカウンタ許可	パイプ 1~5 : 設定可
	TRCLR	カレントトランザクションカウンタのクリア	パイプ 1~5 : 設定可
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ 1~5 : 設定可

(1) パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が不許可 (PID=NAK) であるときのみ書き換えが可能です。

USB 通信許可 (PID=BUF) 状態では設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- DCPCTR レジスタの SQCLR ビット、SQSET ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPExCTR レジスタの ATREPM ビット、ACLARM ビット、SQCLR ビット、SQSET ビット
- PIPExTRE レジスタ、PIPExTRN レジスタの各ビット

USB 通信許可 (PID=BUF) 状態から、上記ビットを切り替える際は以下の手順に従ってください。

1. パイプコントロールレジスタのビット変更要求発生。
2. 当該パイプのPIDをNAKに変更。
3. 当該パイプのCSSTSビットが0になるまで待つ。(ホストコントローラ機能選択時のみ)
4. 当該パイプのPBUSYビットが0になるまで待つ。
5. パイプコントロールレジスタのビット変更開始。

またパイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタのいずれの CURPIPE ビットにも設定されていないパイプ情報のみ書き換えが可能です。

FIFO-PORT の CURPIPE に設定中に設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット

パイプ情報を変更する場合には、CURPIPE ビットの設定を変更パイプ以外に指定してください。なお、DCP についてはパイプ情報修正後、BCLR にてバッファのクリア処理をしてください。

(2) 転送タイプ

PIPEPCFG レジスタの TYPE ビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

- DCP : 設定不要 (コントロール転送固定) です。
- パイプ1、2 : バルク転送またはアイソクロナス転送を設定してください。
- パイプ3~5 : バルク転送を設定してください。
- パイプ6~9 : インタラプト転送を設定してください。

(3) エンドポイント番号

PIPEPCFG レジスタの EPNUM ビットにて各パイプのエンドポイント番号を設定します。DCP は、エンドポイント0に固定されています。他のパイプは、エンドポイント1からエンドポイント15までの設定が可能です。

- DCP : 設定不要 (エンドポイント0固定) です。
- パイプ1~9 : 1から15までを選択して設定してください。
ただし、DIR ビットと EPNUM ビットの組み合わせが重複しないように設定してください。

(4) マックスパケットサイズ設定

DCPMAXP レジスタおよび PIPEMAXP レジスタの MXPS ビットにて各パイプのマックスパケットサイズを設定します。DCP およびパイプ 1~5 は USB 規格で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ 6~9 は最大 64 バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始する前 (PID=BUF) に設定してください。

- DCP : ハイスピード動作時は64を設定してください。
- DCP : フルスピード動作時は、8、16、32、64から選択して設定してください。
- パイプ1~5 : ハイスピードバルク転送時は、512を設定してください。
- パイプ1~5 : フルスピードバルク転送時は、8、16、32、64から選択して設定してください。
- パイプ1、2 : ハイスピードアイソクロナス転送時は、1から1024の値を設定してください。
- パイプ1、2 : フルスピードアイソクロナス転送時は、1から1023の値を設定してください。
- パイプ6~9 : 1から64の値を設定してください。

インタラプト転送およびアイソクロナス転送の High Bandwidth は未対応です。

(5) トランザクションカウンタ (パイプ 1~5 読み出し方向)

本モジュールは、データパケット受信方向で、指定回数のトランザクションが終了した場合に、トランスファ終了と認識できます。トランザクションカウンタは、D0FIFO/D1FIFO ポートにて選択されているパイプが、バッファメモリからデータ読み出し方向で設定されている場合に動作する機能です。トランザクションカウンタには、トランザクション回数を指定する TRNCNT レジスタと、内部でトランザクションをカウントするカレントカウンタがあり、カレントカウンタが指定回数に一致すると、バッファメモリが読み出し可能状態となります。TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。TREN B ビットの設定により、TRNCNT レジスタ読み出し時の情報が異なります。

- TREN B=0 : 設定したトランザクションカウンタ値が読み出せます。
- TREN B=1 : 内部でカウントしたカレントカウンタ値が読み出せます。

TRCLR ビットの操作条件は下記のとおりです。

- トランザクションカウント中、かつ、PID=BUFの場合は、カレントカウンタはクリアできません。
- バッファ内にデータが残っている状態ではカレントカウンタはクリアできません。

(6) 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID ビットにて各パイプの応答 PID を設定します。各設定における本モジュールの動作は下記のとおりです。

1. ホストコントローラ機能選択時の応答PID設定

応答 PID は、トランザクションの実地を指定します。

- NAK設定：パイプ禁止状態です。トランザクションは実施されません。
- BUF設定：バッファメモリの状況に応じてトランザクションが実施されます。
OUT 方向の場合、バッファメモリに送信データがある場合、OUT トークンを発行します。
IN 方向の場合、バッファメモリに空きがあり受信可能な場合、IN トークンを発行します。
- STALL設定：パイプ禁止状態です。トランザクションは実施されません。

【注】 DCP のセットアップトランザクションは、SUREQ ビットで設定します。

2. ファンクションコントローラ機能選択時の応答PID設定

応答 PID は、ホストからのトランザクションに対する応答を指定します。

- NAK設定：発生したトランザクションに対して常にNAK応答します。
- BUF設定：バッファメモリの状況に応じてトランザクションに応答します。
- STALL設定：発生したトランザクションに対して常にSTALL応答します。

【注】 セットアップトランザクションに対しては、PID の設定にかかわらず、常に ACK 応答し、レジスタに USB リクエストを格納します。

PID ビットは、トランザクション結果により本モジュールによる書き込みが発生する場合があります。本モジュールにより PID ビットへの書き込みが発生するのは以下の場合です。

3. ホストコントローラ機能選択時にハードウェアが応答PIDを設定する場合

- NAK設定：以下の場合にPID=NAKとなり、トークンの発行を自動的に停止します。
 - ーアイソクロナス以外の転送で、NRDY 割り込みが発生したとき
(詳細は、NRDY 割り込みを参照してください。)
 - ーバルク転送時に PIPECFG レジスタの SHTNAK ビットを 1 に設定した場合でショートパケットを受信したとき
 - ーバルク転送時に SHTNAK ビットを 1 に設定し、トランザクションカウンタが終了したとき
- BUF設定：本モジュールによるBUF書き込みはありません。
- STALL設定：以下の場合にPID=STALLとなり、トークンの発行を自動的に停止します。
 - 送信したトークンに対して STALL を受信したとき
 - 受信したデータパケットがマックスパケットサイズを超えたとき

4. ファンクションコントローラ機能選択時にハードウェアが応答PIDを設定する場合

- **NAK設定**：以下の場合にPID=NAKとなり、トランザクションに対して常にNAK応答します。
SETUP トークンを正常に受信したとき (DCP のみ)
バルク転送時に PIPECFG レジスタの SHTNAK ビットを 1 に設定し、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- **BUF設定**：本モジュールによるBUF書き込みはありません。
- **STALL設定**：以下の場合にPID=STALLとなり、トランザクションに対して常にSTALL応答します。
受信データパケットでマックスパケットサイズオーバーエラーを検出したとき
コントロール転送シーケンスエラーを検出したとき (DCP のみ)

(7) データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、本モジュールによりデータ PID のシーケンスビットが自動的にトグル動作します。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は ACK ハンドシェイク受信タイミングで、データ受信時は ACK ハンドシェイク送信タイミングでシーケンスビットが切り替わります。また、DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

ファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時に本モジュールが自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA0 になり、ステータスステージでは DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも、ClearFeature リクエストの送信または受信時などは、ソフトウェアでデータ PID シーケンスビットを設定する必要がありますので注意してください。

なお、アイソクロナス転送設定パイプは、SQSET ビットによるシーケンスビット操作を行うことはできません。

(8) 応答 PID=NAK 機能

本モジュールには、PIPECFG レジスタの SHTNAK ビットに 1 を設定することで、トランスファの最後 (ショートパケット受信またはトランザクションカウンタでモジュールが自動識別) のデータパケット受信タイミングで、パイプ動作を禁止 (応答 PID=NAK) する機能があります。

この機能を使用することで、バッファメモリをダブルバッファで使用している場合に、トランスファ単位でのデータパケットの受信が可能です。また、パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可 (応答 PID=BUF) 設定を行う必要があります。

なお、本機能はバルク転送時のみ動作することが可能です。

(9) オート応答モード

バルク転送のパイプ (パイプ 1~5) において、PIPEnCTR レジスタの ATREPM ビットに 1 をセットすると、オート応答モードとなります。OUT 転送時 (DIR=0) には OUT-NAK モードとなり、IN 転送時 (DIR=1) には Null 自動応答モードとなります。

• OUT-NAKモード

バルク OUT 転送のパイプにおいて、ATREPM ビットに 1 をセットすると、OUT トークンまたは PING トークンに対して NAK 応答し、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ設定するためには、パイプ動作禁止状態 (応答 PID=NAK) で OUT-NAK モードに設定して、パイプ動作許可 (応答 PID=BUF) を行ってください。パイプ動作許可後に、OUT-NAK モードが有効になります。ただし、パイプ動作禁止にする直前で OUT トークンを受け付けた場合には、そのトークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードから通常モードへ遷移させるためには、パイプ動作禁止状態 (応答 PID=NAK) で OUT-NAK モードを解除して、パイプ動作許可 (応答 PID=BUF) を行ってください。通常モードでは、OUT データ受信が可能となり、PING トークンに対しては、バッファが受信可能であれば ACK を返します。

• Null自動応答モード

バルク IN 転送のパイプにおいて、ATREPM ビットに 1 をセットすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ設定するためには、パイプ動作禁止状態 (応答 PID=NAK) で、Null 自動応答モードに設定して、パイプ動作許可 (応答 PID=BUF) を行ってください。パイプ動作許可後に、Null 自動応答モードが有効になります。ただし、Null 自動応答モードへ設定する場合には、バッファ内は空の状態である必要があります。INBUFM ビットが 0 であることで確認してください。INBUFM ビットが 1 の場合には、バッファ内にデータが存在しているため、ACLRM ビットにより空にしてください。また、Null 自動応答モードへの設定中には、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態 (応答 PID=NAK) を Zero-Length パケット送信分ウェイト (フルスピード時: 10 μ s、ハイスピード時: 3 μ s) した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可 (応答 PID=BUF) を行うことにより、ホストへのパケット送信が可能となります。

17.4.4 FIFO バッファメモリ

(1) FIFO バッファメモリ割り当て

図 17.9 に本モジュールの FIFO バッファメモリマップ例を示します。FIFO バッファメモリは CPU と本モジュールが共用する領域です。FIFO バッファメモリの状況には、アクセス権がシステム (CPU 側) にある場合と本モジュール (SIE 側) にある場合があります。

FIFO バッファメモリは、パイプごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数 (PIPEBUF レジスタの BUFNMB および BUFSIZE ビット) で設定します。

PIPEnCFG レジスタの CNTMD ビットにて連続転送モードを選択した場合には、BUFSIZE ビットの設定は、必ずマックスパケットサイズの整数倍になるように設定してください。また PIPEnCFG レジスタの DBLB ビットにてダブルバッファを選択した場合には、同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てられます。

また、バッファメモリへのアクセス (データ読み書き) は 3 本の FIFO ポートを使用します。FIFO ポートに割り当てるパイプは、C/DnFIFOSEL レジスタの CURPIPE ビットにてパイプ番号を指定します。

各パイプのバッファステータスは、DCPCTR レジスタおよび PIPEnCTR レジスタの BSTS ビット、INBUFM ビットで確認できます。また、FIFO ポートのアクセス権は、CFIFOCTR レジスタおよび DnFIFOCTR レジスタの FRDY ビットで確認できます。

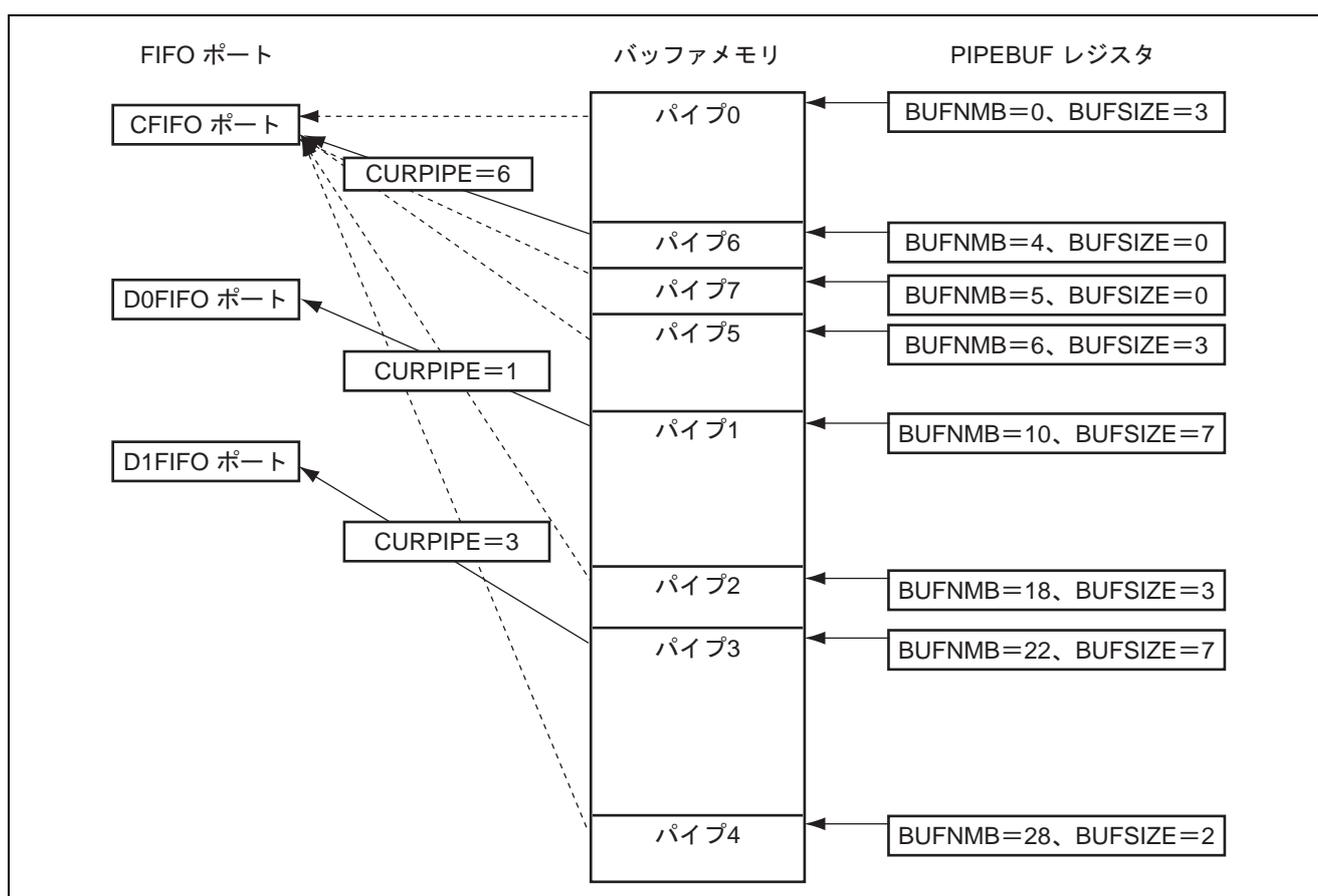


図 17.9 バッファメモリマップ例

- バッファステータス

表 17.19 および表 17.20 に本モジュールのバッファステータス表を示します。バッファメモリステータスを DCPCTR.BSTS ビットおよび PIPEnCTR.INBUFM ビットにて確認できます。バッファメモリのアクセス方向は、PIPEnCFG レジスタの DIR ビットまたは CFIFOSEL レジスタの ISEL ビット (DCP 選択時) で、バッファメモリのアクセス方向を指定します。

なお、INBUFM ビットは送信方向のパイプ 1~5 でのみ有効です。

送信側の転送パイプをダブルバッファに設定している場合、BSTS ビットは CPU 側のバッファの状態を、INBUFM ビットは SIE 側のバッファの状態を判断するために使用します。CPU (DMAC) による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空きが判別できない場合に、INBUFM ビットで送信完了を確認できます。

表 17.19 BSTS ビットによるバッファステータス表

ISEL または DIR	BSTS	バッファメモリの状態
0 (受信方向)	0	受信データなし、または受信 FIFO ポートからの読み出し不可
0 (受信方向)	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 ただし、Zero-Length パケット受信時は読み出し不可のためバッファクリアが必要
1 (送信方向)	0	送信を完了していない FIFO ポートへの書き込み不可
1 (送信方向)	1	送信完了 CPU は書き込み可能

表 17.20 INBUFM ビットによるバッファステータス表

DIR	INBUFM	バッファメモリの状態
0 (受信方向)	無効	無効
1 (送信方向)	0	送信可能データを送信完了した 送信可能データなし
1 (送信方向)	1	送信可能データが FIFO ポートから書き込まれた 送信可能データあり

- FIFOバッファクリア

表 17.21 に本モジュールによる FIFO バッファメモリのクリア一覧表を示します。バッファメモリは、BCLR、DCLRM、ACLRM ビットにてクリアできます。

表 17.21 バッファクリア一覧表

ビット名	BCLR	DCLRM	ACLRM
レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
機能	CPU 側バッファメモリをクリアします。	指定パイプのデータを読み出した後で、自動でバッファメモリをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
クリア方法	1 ライトでクリア	1: モード有効 0: モード無効	1: モード有効 0: モード無効

- バッファ領域

表 17.22 に本モジュールのバッファメモリマップを示します。バッファメモリには、あらかじめパイプに割り当てられている専用固定領域およびユーザ設定が可能なユーザ領域があります。

DCP 用バッファは、コントロールリード転送およびコントロールライト転送で、同一領域を使用する専用固定領域です。

パイプ 6~9 領域は、あらかじめ領域を割り当ててありますが、パイプ 6~9 を使用しない場合はユーザ領域としてパイプ 1~5 に割り当てて使用可能です。

各パイプで領域が重ならないように設定してください。特にダブルバッファ設定時は領域が設定値の倍になりますので注意してください。

また、マックスパケットサイズ未満の設定値でバッファサイズ指定は行わないでください。

表 17.22 バッファメモリマップ

バッファメモリ番号	バッファサイズ	パイプ設定	備考
H'0	64 バイト	DCP 専用固定領域	シングルバッファ
H'1~H'3	—	使用禁止	—
H'4	64 バイト	パイプ 6 用固定領域	シングルバッファ
H'5	64 バイト	パイプ 7 用固定領域	シングルバッファ
H'6	64 バイト	パイプ 8 用固定領域	シングルバッファ
H'7	64 バイト	パイプ 9 用固定領域	シングルバッファ
H'8~H'7F	最大 7616 バイト	パイプ 1~5 ユーザ領域	ダブルバッファ設定可能、連続転送可能

- 自動バッファクリアモード機能

本モジュールには、PIPE_nCTR レジスタの ACLRM ビットに 1 を設定することで、受信したすべてのデータパケットを破棄します。ただし、正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。なお、本機能はバッファメモリ読み出し方向のみ設定可能です。

また、ACLRM ビットに 1 を設定し、続けて 0 を設定することで、アクセス方向に関係なく、選択パイプのバッファメモリをクリアできます。

ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔を 100ns 以上とってください。

- バッファメモリ仕様 (シングル/ダブル設定)

パイプ 1~5 は、PIPE_nCFG レジスタの DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。ダブルバッファは同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てる機能です。図 17.10 に本モジュールのバッファメモリ設定例を示します。

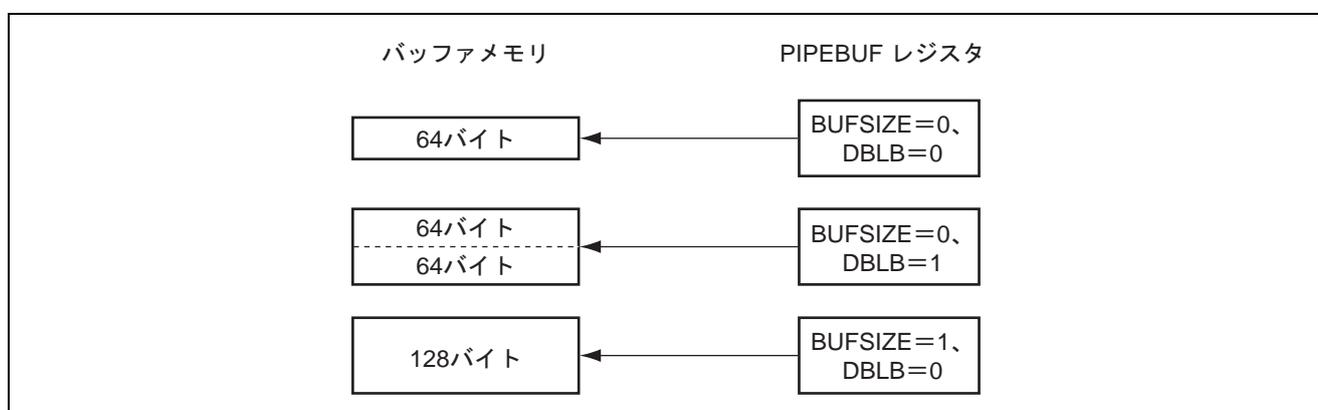


図 17.10 バッファメモリ設定例

• バッファメモリ動作 (連続転送設定)

PIPEnCFG レジスタの CNTMD ビットにて連続転送モード、または非連続転送モードを選択できます。この選択は、パイプ 1~5 に対して有効です。

連続転送モード機能は、複数のトランザクションを連続して送受信する機能です。連続転送モード設定時は、各パイプに割り当てられたバッファサイズまで CPU へ割り込みを発生させずにデータ転送ができます。

連続送信モードでは、書き込みデータをマックスパケットサイズで分割して送信します。バッファサイズ未満のデータ送信 (ショートパケットまたはマックスパケットサイズの整数倍でバッファサイズ未満) の場合には、送信データの書き込み後 BVAL=1 を設定する必要があります。

連続受信モードでは、バッファサイズまでのパケット受信、トランザクションカウントの終了、またはショートパケットを受信するまで割り込みは発生しません。

表 17.23 に CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係を示します。

表 17.23 CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係

連続転送モード	読み出し可能状態、送信可能判定方法
非連続転送 (CNTMD=0)	受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件 : <ul style="list-style-type: none"> • 本モジュールが 1 パケット受信したとき 送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件 : <p>以下のいずれかを満たしたとき</p> <ul style="list-style-type: none"> • ソフトウェア (または DMAC) がマックスパケットサイズ分のデータを FIFO バッファに書き込んだ。 • ソフトウェア (または DMAC) がショートパケット分のデータ (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだ。
連続転送 (CNTMD=1)	受信方向設定時 (DIR=0) FIFO バッファ読み出し可能状態になる条件 : <ul style="list-style-type: none"> • 選択パイプに割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数 ((BUFSIZE+1)*64) が等しくなったとき • 本モジュールが Zero-Length パケット以外のショートパケットを受信したとき • 選択パイプに割り当てられた FIFO バッファにすでにデータが格納されている状態で、本モジュールが Zero-Length パケットを受信したとき。 • ソフトウェアが選択パイプに対して設定したトランザクションカウンタ回数分のパケットを受信したとき 送信方向設定時 (DIR=1) FIFO バッファ送信可能状態になる条件 : <p>以下のいずれかを満たしたとき</p> <ul style="list-style-type: none"> • ソフトウェア (または DMAC) が書き込んだデータ数が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき。 • ソフトウェア (または DMAC) が、選択パイプに割り当てられた FIFO バッファサイズ 1 面分よりも小さいデータ数 (0 バイトの場合を含む) を FIFO バッファに書き込み、BVAL=1 を書き込んだとき。

図 17.11 に本モジュールのバッファメモリ動作例を示します。

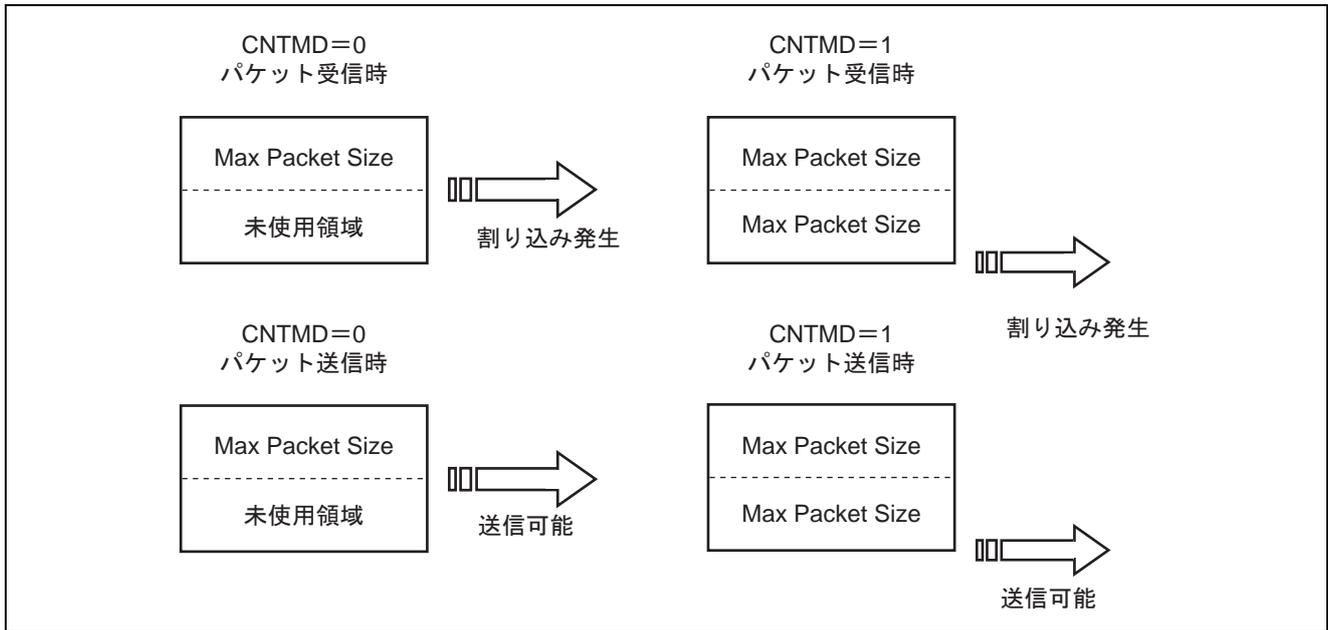


図 17.11 バッファメモリ動作例

(2) FIFO ポートの機能

表 17.24 に本モジュールの FIFO ポート機能設定表を示します。データ書き込みアクセス時は、バッファフル（非連続転送時はマックスパケットサイズ数）まで書き込みを行うと、自動的に送信可能状態となります。バッファフル（非連続転送時はマックスパケットサイズ数）未満のデータを送信可能状態にするには、C/DnFIFOCTR レジスタの BVAL ビットによる書き込み終了設定が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時 (DTLN=0) は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、C/DnFIFOCTR レジスタの DTLN ビットにて確認します。

表 17.24 FIFO ポート機能設定表

レジスタ名	ビット名	機 能	備考
C/DnFIFOSEL	RCNT	DTLN 読み出しモード選択	
	REW	バッファメモリリwind (再読み出し、再書き込み)	
	DCLRM	指定パイプの受信データ読み出し後自動クリア	DnFIFO 専用
	DREQE	DMA 転送許可	DnFIFO 専用
	MBW	FIFO ポートアクセスビット幅	
	BIGEND	FIFO ポートエンディアン選択	
	ISEL	FIFO ポートアクセス方向	DCP 専用
	CURPIPE	カレントパイプ選択	
C/DnFIFOCTR	BVAL	バッファメモリ書き込み終了	
	BCLR	CPU 側バッファメモリクリア	
	DTLN	受信データ長確認	

(a) FIFO ポート選択

表 17.25 に各 FIFO ポートで選択可能なパイプ表を示します。C/DnFIFOSEL レジスタの CURPIPE ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE 値が正しく読み出せたのを確認してから（前回のパイプ番号が読み出された場合には、本コントローラがパイプ変更処理中である事を示します）FRDY=1を確認し FIFO ポートへアクセスしてください。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、PIPECFG レジスタの DIR ビットに従います。ただし、DCP のみ ISEL ビットにより決定します。

表 17.25 パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1~9	CPU アクセス	CFIFO ポートレジスタ D0FIFO/D1FIFO ポートレジスタ
	DMA アクセス	D0FIFO/D1FIFO ポートレジスタ

(b) REW ビット

現在アクセス中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行い、再度現在のパイプ処理を継続して行うことができます。このような処理には、C/DnFIFOSEL レジスタの REW ビットを使用します。

C/DnFIFOSEL レジスタの CURPIPE ビット設定と同時に REW ビットを 1 に設定してパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。また、0 に設定しパイプ選択を行うと、バッファメモリの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み書きができます。

FIFO ポートへアクセスするには、パイプ選択後、FRDY=1を確認する必要があります。

(3) DMA 転送 (D0FIFO/D1FIFO ポート)

(a) DMA 転送概要

パイプ 1~9 に対して、DMAC による FIFO ポートアクセスが可能です。DMA に設定したパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL レジスタの MBW ビットにて FIFO ポートへの転送単位を、CURPIPE ビットにて DMA 転送するパイプを選択してください。なお、DMA 転送中は選択しているパイプを変更しないでください。

(b) DMA 転送終了自動認識

本モジュールは、DMA 転送終了信号入力を制御することによって、DMA 転送による FIFO データ書き込みを終了させることが可能です。転送終了信号をサンプリングすると、バッファメモリを送信可能状態 (BVAL = 1 を設定したのと同じ状態) にします。

(c) DnFIFO 自動クリアモード (D0FIFO/D1FIFO ポート読み出し方向)

本モジュールは、DnFIFOSEL レジスタの DCLRM ビットに 1 を設定することで、バッファメモリからのデータ読み出しを完了した場合に、選択パイプのバッファメモリを自動的にクリアします。

表 17.26 に各設定での、パケット受信とソフトウェアによるバッファメモリクリア処理の関連を示します。表 17.26 に示すように、BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になり、ソフトウェアを介在させない DMA 転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表 17.26 パケット受信とソフトウェアによるバッファメモリクリア処理の関連表

レジスタ設定	DCLRM=0		DCLRM=1	
	BFRE=0	BFRE=1	BFRE=0	BFRE=1
パケット受信時のバッファ状態				
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Length パケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

17.4.5 コントロール転送 (DCP)

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ (DCP) を使用します。DCP のバッファメモリは、コントロールリードおよびコントロールライト共用の固定領域で 256 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

(1) ホストコントローラ機能選択時のコントロール転送

(a) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR レジスタの SUREQ ビットに 1 を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、0 にクリアされます。SUREQ=1 中は上記 USB リクエストレジスタを操作しないでください。セットアップトランザクションのデバイスアドレスは、DCPMAXP レジスタの DEVSEL ビットで指定します。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN ビットおよび SACK ビット)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは、DCPCTR レジスタの SQMON ビットの内容にかかわらず、常に DATA0 のデータパケット (USB リクエスト) が送信されます。

(b) データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL レジスタの ISEL ビットでアクセス方向を指定してください。また、DCPCFG レジスタの DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。DCPCFG レジスタの SQSET ビットでデータ PID を DATA1 にセットし、PID ビットを BUF に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みおよび BEMP 割り込みによって検出します。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するようにソフトウェアで制御してください。

(c) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

データステージのデータパケットはデータ PID を DATA1 として通信する必要があります。DCPCFG レジスタの SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR レジスタの DTLN ビットで受信データ長を確認のうえ、BCLR ビットでバッファメモリクリアを行ってください。

(2) ファンクションコントローラ機能選択時のコントロール転送

(a) セットアップステージ

本モジュールは、本モジュールに対する正常なセットアップ packets に対して必ず ACK 応答します。セットアップステージの本モジュールの動作を以下に示します。

1. 新しいセットアップ packets を受信すると、本モジュールは以下のビットをセットします。
 - INTSTS0レジスタのVALIDビットを1にセット
 - DCPCTRレジスタのPIDビットをNAKにセット
 - DCPCTRレジスタのCCPLビットを0にセット
2. セットアップ packets に引き続きデータ packets 受信すると、本モジュールは、USB リクエストのパラメータを、USBREQレジスタ、USBVALレジスタ、USBINDXレジスタ、およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は、必ず VALID=0 を設定後に行ってください。VALID=1 状態では PID=BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、本モジュールは、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本モジュールは、受信した USB リクエストの方向ビット (bmRequestType のビット 8) およびリクエストデータ長 (wLength) を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生し、ソフトウェアに通知します。本モジュールのステージ管理については図 17.7 を参照してください。

(b) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタの ISEL ビットにてアクセス方向指定を行ってください。

転送データが DCP バッファメモリのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

ハイスピード動作時のコントロールライト転送では、バッファメモリの状況に応じて NYET ハンドシェイク応答を行います。

(c) ステータスステージ

DCPCTR レジスタの PID ビットが PID=BUF の状態で、CCPL ビットに 1 を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本モジュールが自動的にステータスステージを実行します。具体的には下記のとおりです。

- コントロールリード転送の場合
本モジュールは Zero-Length packets の送信を行い、USB ホストからの ACK 応答を受信します。
- コントロールライト転送、ノーデータコントロール転送の場合
USB ホストからの Zero-Length packets を受信し、ACK 応答を送信します。

(d) コントロール転送自動応答機能

本モジュールは、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- コントロールリード転送以外の場合 : bmRequestType ≠ H'00
- リクエストエラーの場合 : wIndex ≠ H'00
- ノーデータコントロール転送以外の場合 : wLength ≠ H'00
- リクエストエラーの場合 : wValue > H'7F
- デバイスステートエラーのコントロール転送 : DVSQ=011 (Configured)

SET_ADDRESS 以外のすべてのリクエストには対応するソフトウェアによる応答が必要です。

17.4.6 バルク転送 (パイプ 1~5)

バルク転送は、バッファメモリ使用方法 (シングル/ダブルバッファ設定、または連続/非連続転送モード設定) の選択ができます。バッファメモリサイズは、最大 2K バイトまで設定可能です。バッファメモリの状態は本モジュールが管理し、PING パケット/NYET ハンドシェイクには自動応答します。

(1) ホストコントローラ機能選択時の PING パケット制御

OUT 方向の PING パケットの送信は、本モジュールにより自動的に送出されます。

以下に示すとおり初期状態が PING パケット送出状態で ACK ハンドシェイクを受信することにより OUT パケットを送出します。NAK または NYET を受信すると PING 送出状態に戻ります。また、この制御はコントロール転送のデータステージ、ステータスステージも同様です。

1. OUTデータ送信設定
2. PINGパケット送信
3. ACKハンドシェイク受信
4. OUTデータパケット送信
5. ACKハンドシェイク受信
(4.と5.を繰り返します。)
6. OUTデータパケット送信
7. NAK/NYETハンドシェイク受信
8. PINGパケット送信

また、本モジュールが PING パケットの送信に戻る要因は、パワーオンリセット、NYET/NAK ハンドシェイク受信、シーケンスストグルビットのセット、クリア (SQSET、SQCLR)、バッファクリア (ACLRM) 設定です。

(2) ファンクションコントローラ機能選択時の NYET ハンドシェイク制御

表 17.27 に本モジュールの NYET ハンドシェイク応答表を示します。本モジュールの NYET 応答は、下記の条件に従います。ただし、ショートパケット受信時は、NYET パケット応答をせずに ACK 応答となります。また、コントロールライト転送のデータステージも同様です。

表 17.27 NYET ハンドシェイク応答表

DCPCTR.PID ビット設定値	バッファメモリ の状態	トークン	応答	備 考
NAK/STALL	—	SETUP	ACK	—
	—	IN/OUT/PING	NAK/STALL	—
BUF	—	SETUP	ACK	—
	RCV-BRDY1	OUT/PING	ACK	OUT トークン受信時はデータパケットを受信
	RCV-BRDY2	OUT	NYET	データパケット受信、受信不能通知
	RCV-BRDY2	OUT (Short)	ACK	データパケット受信、受信可能通知
	RCV-BRDY2	PING	ACK	受信可能通知
	RCV-NRDY	OUT/PING	NAK	受信不能通知
	TRN-BRDY	IN	DATA0/1	データパケット送信
	TRN-NRDY	IN	NAK	TRN-NRDY

【記号説明】

RCV-BRDY1 : OUT/PING トークン受信時にバッファメモリに2パケット分以上の空き領域がある

RCV-BRDY2 : OUT トークン受信時にバッファメモリに1パケット分の空き領域しかない

RCV-NRDY : PING トークン受信時にバッファメモリに空き領域がない

TRN-BRDY : IN トークン受信時にバッファメモリに送信データがある

TRN-NRDY : IN トークン受信時にバッファメモリに送信データがない

17.4.7 インタラプト転送 (パイプ 6~9)

ファンクションコントローラ機能選択時、本モジュールは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。インタラプト転送の場合、PING パケットは無視（無応答になる）します。また、NYET ハンドシェイクを送信せず、ACK、NAK、STALL 応答を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。OUT 方向の転送であっても、PING トークンは発行せずに OUT トークンを発行します。

なお、本モジュールは、インタラプト転送の High-Bandwidth 転送には対応していません。

(1) ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI レジスタの IITV ビットに、トランザクションのインターバルを設定します。本コントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

(a) カウンタの初期化

本コントローラがインターバルカウンタを初期化する条件は以下のとおりです。

- パワーオンリセット：
IITV ビットが初期化されます。
- ACLRM によるバッファメモリ初期化
IITV ビットは初期化されませんがカウントは初期化されます。ACLRM ビットを 0 にすることにより、IITV の設定値を最初からカウントします。

なお以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

- USB バスリセット、USB サスペンド
IITV ビットは初期化されません。UACT ビットを 1 にすることにより、USB バスリセット、USB サスペンド状態とする前の値からカウントを開始します。

(b) トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

- PID を NAK または STALL に設定した場合
- IN 方向（受信）の転送でトークンの送信タイミングにバッファメモリに空き領域がない場合
- OUT 方向（送信）の転送でトークンの送信タイミングにバッファメモリに送信データがない場合

17.4.8 アイソクロナス転送 (パイプ 1、2)

本モジュールは、アイソクロナス転送に対して下記の機能を備えています。

- アイソクロナス転送のエラー情報通知
- インターバルカウンタ (IITVビット指定)
- アイソクロナスIN転送データセットアップコントロール (IDLY機能)
- アイソクロナスIN転送バッファフラッシュ機能 (IFISビット指定)

本モジュールは、アイソクロナス転送の High-Bandwidth 転送には対応していません。

(1) アイソクロナス転送のエラー検出

本モジュールは、アイソクロナス転送のエラー発生を、ソフトウェアが管理可能なように、下記のエラー情報の検出機能を持っています。表 17.28 および表 17.29 に本モジュールがエラーを検出する優先順位とエラー検出に伴って発生させる割り込みについて示します。

1. PIDエラー

- 受信パケットのPIDが不正な場合

2. CRCエラー、ビットスタッフィングエラー

- 受信パケットのCRCにエラーがあった場合またはビットスタッフィングが不正な場合

3. マックスパケットサイズオーバ

- 受信パケットのデータサイズがマックスパケットサイズの設定値を超えていた

4. オーバラン、アンダーランエラー

- ホストコントローラ機能選択時

IN 方向 (受信) の転送時にトークンの送信タイミングにバッファメモリに空き領域がない場合
OUT 方向 (送信) の転送時にトークンの送信タイミングにバッファメモリにデータがない場合

- ファンクションコントローラ機能選択時

IN 方向 (送信) の転送時に IN トークン受信時にバッファメモリにデータがない場合
OUT 方向 (受信) の転送時に OUT トークン受信したがバッファメモリに空き領域がない場合

5. インターバルエラー

ファンクションコントローラ機能選択時に、以下の場合にインターバルエラーとします。

- アイソクロナスIN転送でインターバルフレームにINトークンを受信できなかった場合
- アイソクロナスOUT転送でインターバルフレーム以外にOUTトークンを受信した場合

表 17.28 トークン受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）。
2	CRC エラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、割り込み発生せず（破損パケットとして無視）。
3	オーバラン、アンダーランエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させ、OVRN ビットをセットします。ホストコントローラ機能選択時は、トークンを送信しません。ファンクションコントローラ機能選択時は、IN トークンに対して Zero-Length パケットを送信します。OUT トークンに対してはデータパケットを受信しません。
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY 割り込みを発生させます。ホストコントローラ機能選択時は発生しません。

表 17.29 データパケット受信時のエラー検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PID エラー	割り込み発生せず（破損パケットとして無視）。
2	CRC エラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、NRDY 割り込みを発生させて、CRCE ビットをセットします。
3	マックスパケットサイズオーバエラー	ホスト/ファンクションのどちらの機能を選択した場合にも、BEMP 割り込みを発生させて、PID を STALL にセットします。

(2) DATA-PID

本モジュールは、High-Bandwidth 転送には対応していません。ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

1. IN方向

- DATA0：データパケットのPIDとして送信します。
- DATA1：送信しません。
- DATA2：送信しません。
- mData：送信しません。

2. OUT方向（フルスピード動作時）

- DATA0：データパケットのPIDとして正常受信します。
- DATA1：データパケットのPIDとして正常受信します。
- DATA2：パケットを無視します。
- mData：パケットを無視します。

3. OUT方向（ハイスピード動作時）

- DATA0：データパケットのPIDとして正常受信します。
- DATA1：データパケットのPIDとして正常受信します。
- DATA2：データパケットのPIDとして正常受信します。
- mData：データパケットのPIDとして正常受信します。

(3) インターバルカウンタ

PIPEPERI レジスタの IITV ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、表 17.30 に示す機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。

表 17.30 ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機 能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナス IN 転送でインターバルフレームに IN トークンを正常受信できない。
OUT	トークン未受信の通知	アイソクロナス OUT 転送でインターバルフレームに OUT トークンを正常受信できない。

インターバルのカウントは、SOF の受信または補間された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV} フレームまたは $2^{IITV} \mu$ フレームです。

(a) ファンクションコントローラ機能選択時でのカウンタの初期化

本モジュールは、下記の条件でインターバルカウンタを初期化します。

- パワーオンリセット
IITV ビットが初期化されます。
- ACLRMによるバッファメモリ初期化
IITV ビットは初期化されませんがカウントは初期化されます。ACLRM ビットを0にすることにより、IITV の設定値からカウントを開始します。

インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記 1.または 2.の条件でインターバルのカウントを開始します。

1. PID=BUF状態でINトークンに対して、データを送信後のSOF受信
2. PID=BUF状態でOUTトークンのデータを受信後のSOF受信

なお、下記の条件ではインターバルカウンタは初期化されません。

1. PIDビットをNAKまたはSTALLに設定した場合
インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。
2. USBバスリセットおよびUSBサスペンド
IITVビットは初期化されません。SOFを受信すると、受信前の値からカウントを開始します。

(b) ホストコントローラ機能選択時のインターバルカウントと転送制御

IITV ビットの設定値に従って本モジュールはトークン発行間隔を制御します。本モジュールは 2^{IITV} 回の (マイクロ) フレームに 1 回の間隔で選択パイプに対するトークンを発行します。

本モジュールは、ハイスピード HUB に接続されたフルスピード/ロースピードの周辺デバイスとの通信に使用するパイプに対しては、1ms フレームでインターバルをカウントします。

本モジュールは、ソフトウェアが PID ビットを BUF に設定した次の (マイクロ) フレームからトークン発行間隔のカウントを開始します。

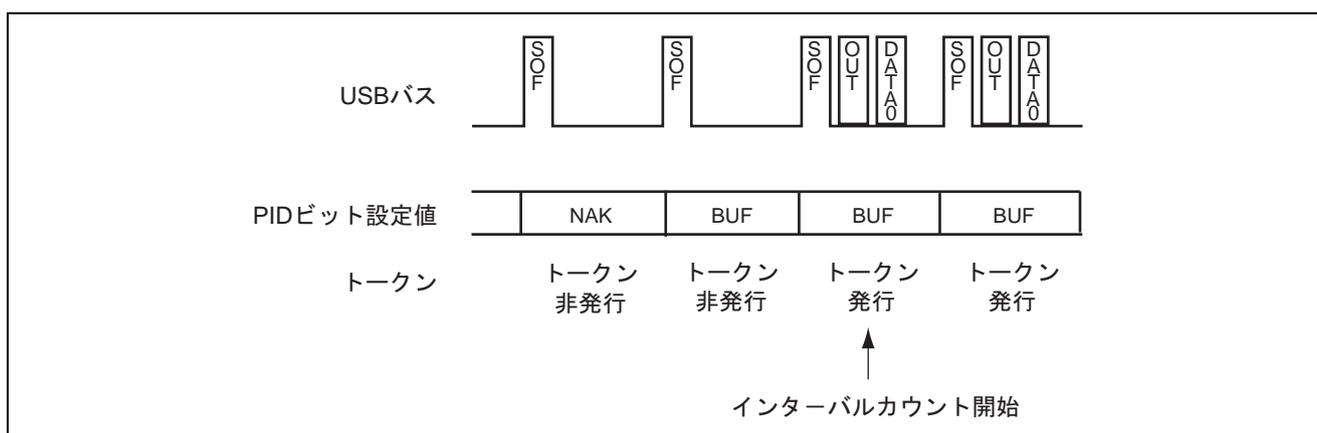


図 17.12 IITV=0 の場合の Token 発行有無

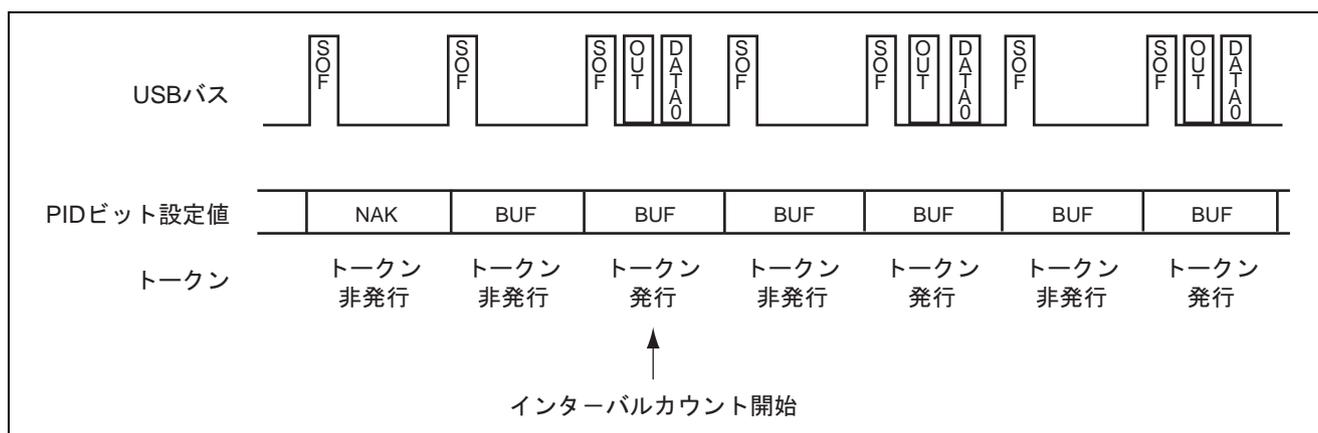


図 17.13 IITV=1 の場合の場合の Token 発行有無

選択パイプの転送タイプがアイソクロナスの場合には、本モジュールはトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも本モジュールはトークンを発行します。

1. 選択パイプがIsochronous-IN転送パイプの場合

In-Tokenを発行し、周辺デバイスから正常にパケットを受信しなかった場合（無応答やパケットエラー等の場合）に、NRDY割り込みを発生させます。

（ソフトウェア（DMAC）がFIFOバッファからデータを読み出すのが遅いなどの原因で）FIFOバッファがフルのために、本モジュールがデータを受信できない状態で、IN-Token発行タイミングに至った場合、本モジュールはOVRNビットに1を表示し、NRDY割り込みを発生させます。

2. 選択パイプがIsochronous-OUT転送パイプの場合

（ソフトウェア（DMAC）がFIFOバッファにデータを書き込むのが遅いなどの原因で）送信可能なデータがFIFOバッファにない状態でOUT-TOKEN発行タイミングに至った場合、本モジュールはOVRNビットに1を表示し、NRDY割り込みを発生させ、Zero-Lengthパケットを送信します。

トークン発行間隔のリセット条件は以下の場合です。

- 本モジュールがハードウェアリセットされた場合（このとき、IITVビットへの設定値も0にクリアされます。）
- ソフトウェアがACLRM=1を設定した場合。

(c) ファンクションコントローラ機能選択時のインターバルカウントと転送制御

1. 選択パイプがIsochronous-OUT転送パイプの場合

IITV ビットに設定したインターバル毎の (マイクロ) フレーム中に DATA パケットを受信しなかったとき、本コントローラは NRDY 割り込みを発生させます。

DATA パケットに CRC エラー等のエラーが発生したために受信できなかったとき、または FIFO バッファがフルのために本モジュールがデータを受信できなかったときにも NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに割り込みを発生させます。

ただし IITV=0 以外のときには、インターバルカウント開始後のインターバル毎の SOF パケット受信時に NRDY 割り込みを発生させます。

インターバルタイマ起動後、ソフトウェアで PID ビットに NAK を設定した場合、本モジュールは SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始条件は、IITV ビットの設定値により異なります。

- IITV=0のとき：選択パイプのPIDビットをBUFに変更した次の (マイクロ) フレームからインターバルのカウントを開始します。

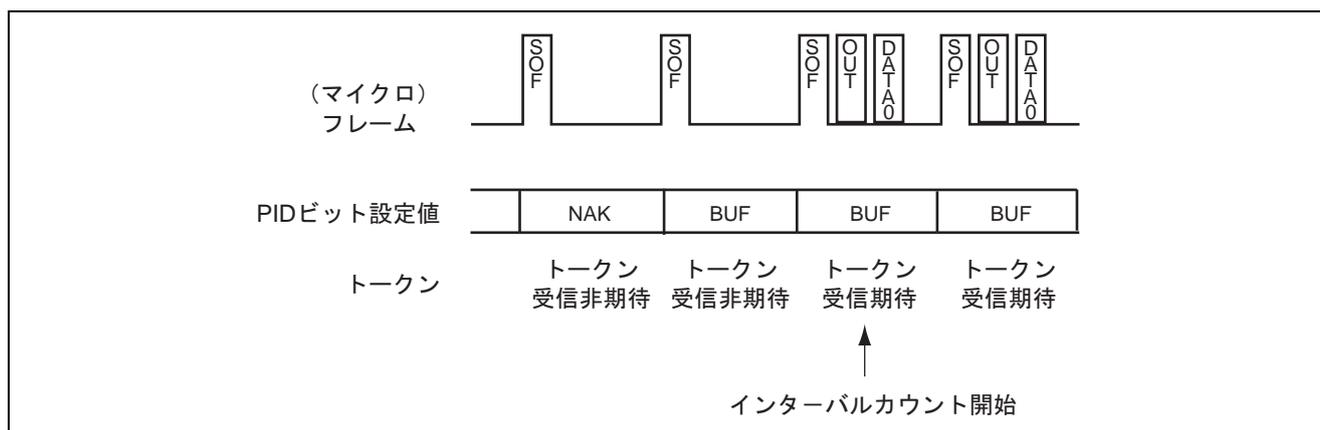


図 17.14 IITV=0 の場合の (マイクロ) フレームと Token 受信期待有無の関係

- IITV=0以外の場合：選択パイプのPIDビットをBUFに変更した後最初のDATAパケット正常受信完了時点からインターバルのカウンタを開始します。

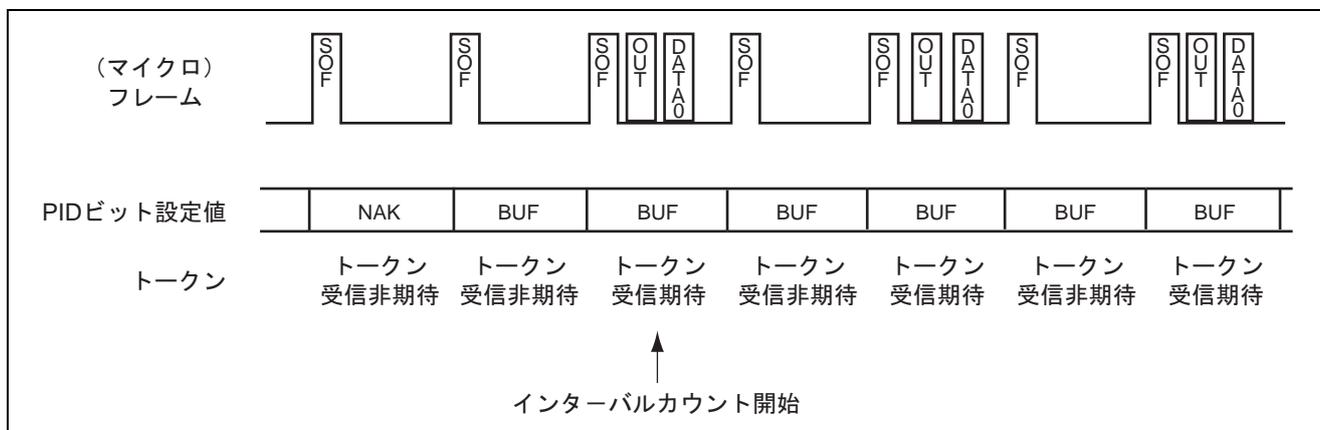


図 17.15 IITV=0 以外の場合の (マイクロ) フレームと Token 受信期待有無の関係

2. 選択パイプがIsochronous-IN転送パイプの場合

IFIS=1 と組み合わせて使用します。IFIS=0 の場合には IITV ビットへの設定値とは関係なく、受信したトークンに応答してデータパケットを送信します。

IFIS=1 を設定している場合、FIFO バッファに送信可能なデータが存在している状態で、IITV ビットに設定したインターバル毎の(マイクロ)フレーム中に IN-Token を受信しなかったとき、本モジュールは FIFO バッファをクリアします。

IN-Token に CRC エラー等のバスエラーが発生したために本モジュールが正常受信できなかった場合にもクリアを行います。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います

インターバルのカウント開始条件は、IITV ビットの設定値により異なります。(OUT 時と同様です) ファンクションコントローラ機能選択時のインターバルカウント条件は以下のいずれかの場合です。

- 本モジュールがハードウェアリセットされた場合 (このとき、IITVビットへの設定値も0にクリアされません。)
- ソフトウェアが ACLRM=1 を設定した場合
- 本モジュールが USB リセットを検出した場合

(4) ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、本モジュールのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により、送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した1面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリはただ1パケット分となります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダーランエラーとなります。

図 17.16 に本モジュールで、IITV=0 (毎フレーム) を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。Zero-Length パケット送出は図中で網掛け Null と表示しています。

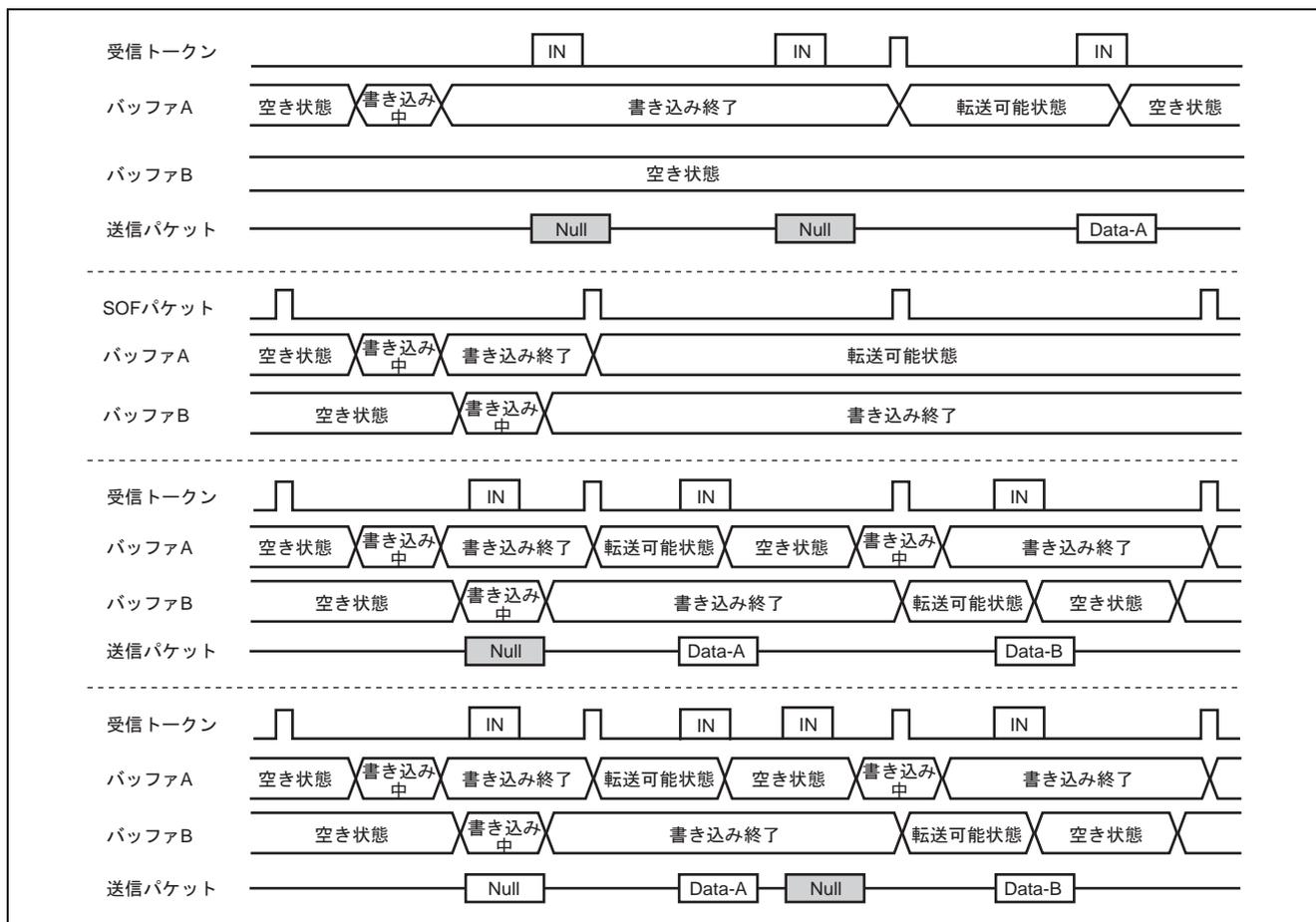


図 17.16 データセットアップ機能動作例

(5) ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、本モジュールは、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの SOF または μ SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、SOF または μ SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は IITV ビット設定値により動作開始タイミングが異なります。

- IITV=0の場合
パイプが有効となった次のフレームからバッファフラッシュ動作します。
- IITV=0以外の場合
最初の正常なトランザクション以降バッファフラッシュ動作します。

図 17.17 に本モジュールのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態に従い、書き込みデータの送出またはアンダーランエラーとして Zero-Length パケットを送出します。

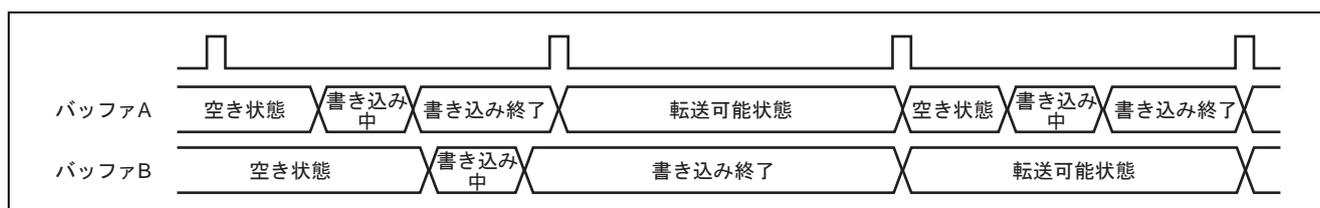


図 17.17 バッファフラッシュ機能動作例

図 17.18 に本モジュールのインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は OVRN ビットで判定してください。

図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

1. IN方向

- バッファ転送可能状態であればデータ転送し正常応答
- バッファ転送不能状態であればZero-Lengthパケット送信しアンダーランエラー

2. OUT方向

- バッファ受信可能状態であればデータ受信し正常応答
- バッファ受信不能状態であればデータ破棄しオーバランエラー

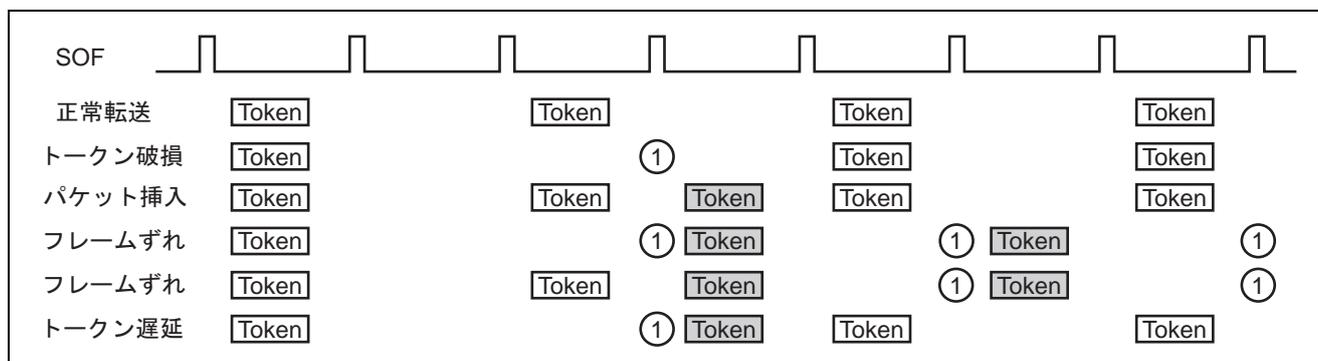


図 17.18 IITV=1 のときのインターバルエラー発生例

17.4.9 SOF 補間機能

ファンクションコントローラ機能を選択時に SOF パケットの破損または欠落のために、1ms (フルスピード動作時) または 125 μ s (ハイスピード動作時) 間隔で SOF パケットを受信できなかった場合に、本モジュールは SOF を補間します。SOF 補間動作の開始は SYSCFG.USBE=1、SYSCFG.SCKE=1 かつ SOF パケット受信となります。また、下記の条件で補間機能が初期化されます。

- パワーオンリセット
- USBバスリセット
- サスペンド検出

また、SOF 補間は次の仕様で動作します。

- フレーム間隔 (125 μ s または 1ms) はリセットハンドシェイクプロトコルの結果に従う。
- SOFパケット受信までは補間機能は動作しない。
- 最初のSOFパケット受信後は内部クロック48MHzで125 μ s または 1ms をカウントし補間する。
- 2回目以降のSOFパケットを受信後は前回の受信間隔を用いて補間する。
- サスペンド時およびUSBバスリセット受信中は補間しない。
(ハイスピード時のサスペンド移行では最終パケットから 3ms の間は補間を継続します)

本モジュールは、SOF パケットの受信に基づいて下記の機能を動作させますが、SOF パケットが欠落した場合には SOF 補間を行うため、正常動作を継続させることができます。

- フレーム番号およびマイクロフレーム番号の更新
- SOFR 割り込みタイミングおよび μ SOF ロック
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM レジスタの FRNM ビットは更新されません。ハイスピード動作時に μ SOF パケットが欠落した場合には、UFRMNUM レジスタの UFRNM ビットが更新されます。ただし、UFRNM=000 の μ SOF パケットが欠落した場合には、FRNM ビットは更新されません。この場合は、継続する UFRNM=000 以外の μ SOF パケットが正常に受信されても FRNM ビットは更新されません。

17.4.10 パイプスケジュール

(1) トランザクション発行条件

本モジュールは、ホストコントローラ機能選択時、UACT=1 を設定したあと、表 17.31 に示す条件でトランザクションを発行します。

表 17.31 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV0	バッファの状態	SUREQ
セットアップ	—*1	—*1	—*1	—*1	1 設定
コントロール転送のデータステージ、 ステータスステージ、 バルク転送	IN	BUF	無効	受信領域あり	—*1
	OUT	BUF	無効	送信データあり	—*1
インタラプト転送	IN	BUF	有効	受信領域あり	—*1
	OUT	BUF	有効	送信データあり	—*1
アイソクロナス転送	IN	BUF	有効	*2	—*1
	OUT	BUF	有効	*3	—*1

【注】 *1 表中の「—」は、トークンの発行に関係のない条件であることを示します。有効はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみ発行されることを示します。無効はインターバルカウンタにかかわらず発行されることを示します。

*2 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。

*3 送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Length パケットを送信します。

(2) 転送スケジュール

本モジュールのフレーム内の転送スケジューリング方法について説明します。本モジュールは、SOF を送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行

パイプ 1→パイプ 2→パイプ 6→パイプ 7→パイプ 8→パイプ 9 の順に検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。

2. コントロール転送のセットアップトランザクション

DCP を確認してセットアップトランザクションが可能であれば送信します。

3. バルク、コントロール転送データステージ、ステータスステージの実行

DCP→パイプ 1→パイプ 2→パイプ 3→パイプ 4→パイプ 5 の順にパイプを検索し、バルク、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを実行します。

トランザクションを発行したとき、周辺デバイスからの応答が ACK であっても NAK であっても次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3.を繰り返します。

(3) USB 通信許可

DVSTCTR レジスタの UACT ビットを 1 に設定することにより、SOF または μ SOF の送信を開始し、トランザクションの発行が可能となります。

UACT ビットを 0 に設定すると、SOF または μ SOF の送信を停止しサスペンドとなります。UACT ビットを 1→0 に設定する場合、次の SOF または μ SOF を送信してから停止します。

17.5 使用上の注意事項

17.5.1 USB モジュール用電源について

USB モジュール用電源は、その他の電源と同時に投入し、同時に切断してください。

USB ファンクションとして使用する場合の USB 周辺回路例を図 17.19 に示します。

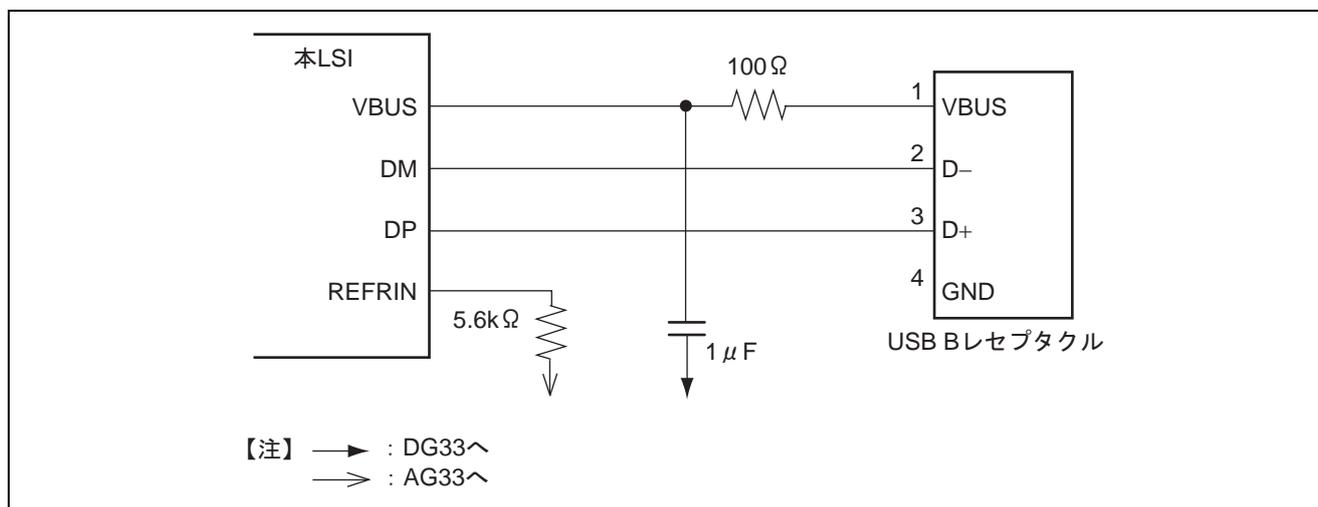


図 17.19 USB をファンクションとして使用する場合の USB 周辺回路例

USB ホストとして使用する場合は、図 17.20 に示します。USB ホストの場合、VBUS 接続/切断の検出は不要ですが、ポートなどを使用して 5V 供給を制御する必要があります。

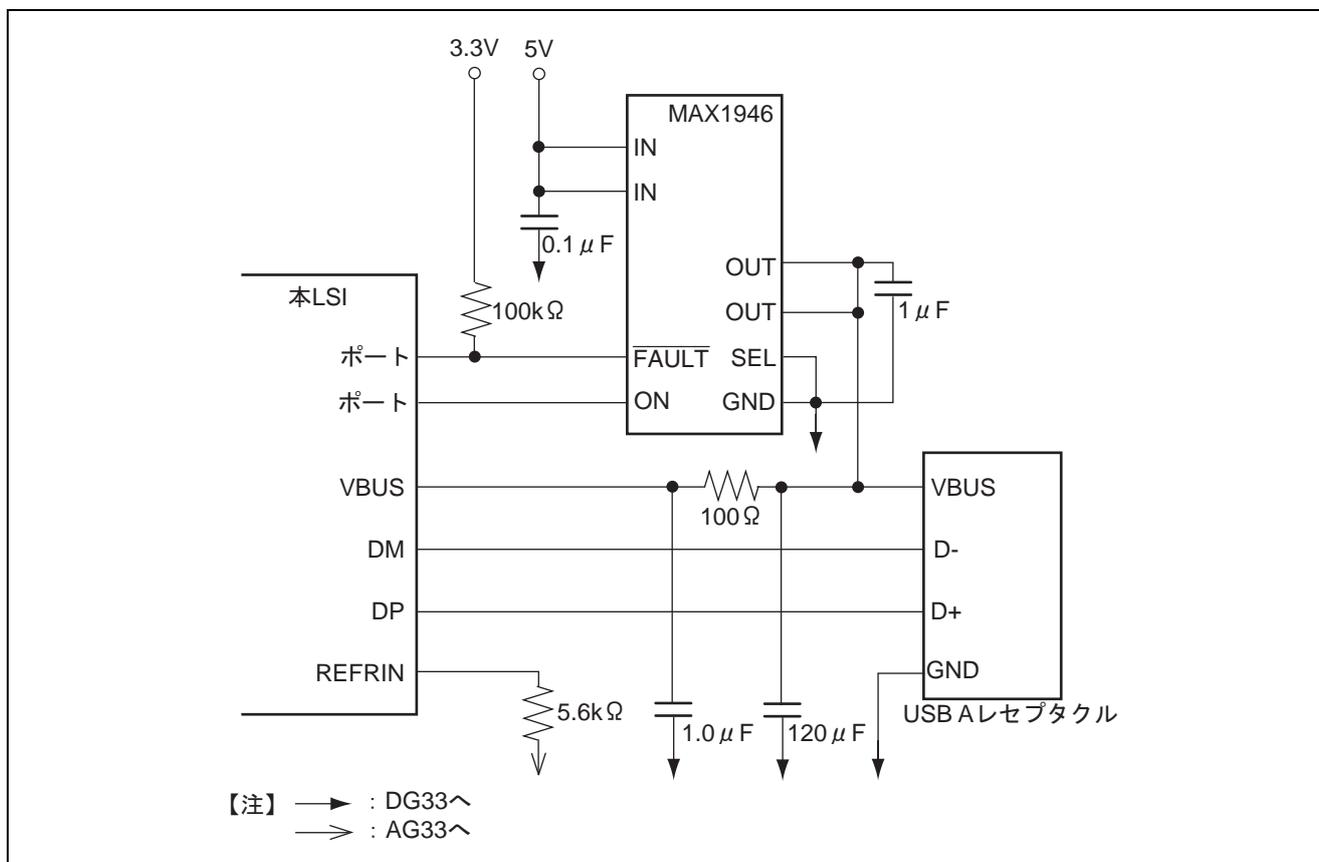


図 17.20 USB をホストとして使用する場合は USB 周辺回路例

(1) USB モジュール用電源投入手順

下記の手順で USB モジュール用電源を投入してください。

1. USB機能を使用しない場合でも、USB以外の電源と同様、3.3V系電源を先に投入し、続けて1.2V系電源を投入してください。
2. USBモジュールがモジュールストップ状態ならば、通常動作状態に戻してください。

(2) USB モジュール用電源切断手順

下記の手順で USB モジュール用電源切断してください。

1. USBモジュールの電源を切断する前に、DP端子のプルアップを止めるなどを行い、USB通信を行わない状態にしてください。
2. USB以外の電源と同様、1.2V系電源を先に切断し、続けて3.3V系電源を切断してください。

17.5.2 DTCH 割り込み発生について

ホストコントローラモードにおいて、USB 切断が発生した場合、DTCH 割り込みの発生が最大 5msec 遅れることがあります、その間に、NRDY 割り込みが発生することがあります。

17.5.3 本 USB を使用しない場合の処理について

本 USB を使用しない場合でも、USB 電源 (DV33/DG33、DV12/DG12、UV12/UG12、AV33/AG33、AV12/AG12) は供給してください。VBUS 端子はグランド接続またはオープンにし、REFRIN 端子、DP 端子、DM 端子はオープンにしてください。USB_X1 はプルアップ、USB_X2 はオープンにしてください。

17.5.4 USB フルスピードファンクションコントローラ機能使用時の USB 切断処理に関する注意事項

(1) 現象

USB モジュールにおいて、ファンクションコントローラ機能を使用しフルスピードにて USB ホストからのパケット受信中に USB の切断をした場合、DVSQ、RHST などのステータスが異常となり、USB 再接続時、正常に USB 通信を行うことができない場合があります。

なお、ホスト機能使用時、またはファンクションコントローラ機能かつハイスピード通信時には、本現象は発生しません。

(2) 発生条件

下記 (1)、(2)、(3)、および (4) の条件がすべて満たされたときに、現象が発生する可能性があります。

- (1) ファンクションコントローラ機能にて使用 (DCFM=0 設定)
- (2) フルスピード通信時 (RHST=010 設定)
- (3) USB ホストのパケット受信中に USB を切断した場合。
- (4) (3) の USB 切断から 3ms 経過後*に D+プルアップ解除 (DPRPU=0) した場合。

【注】 * 「VBUS 変化検出割り込み (VBINT=1) 発生から 3ms 経過後」ではありませんのでご注意ください。

(3) 回避策

USB 切断検出時、以下の USB 切断処理を実施していただくことにより現象回避が可能です。

【注】 D+プルアップ解除 (DPRPU=0) の箇所を以下に置き換えてください。

- (1) DPRPU=0
- (2) 1 μ s (1000ns) 以上のウェイト
- (3) DCFM=1
- (4) 200ns 以上のウェイト
- (5) DCFM=0

18. SD ホストインタフェース (SDHI)

本章は、守秘契約を結んでいただいたうえで公開致します。
詳細は、弊社の営業担当にご確認ください。

19. I²C バスインタフェース 3 (IIC3)

I²C バスインタフェース 3 は、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

なお、チャンネル数は 1 チャンネルあります。

19.1 特長

- I²C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信/受信可能
シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信/受信が可能

I²C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期機能内蔵
マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。
- 割り込み要因：6種類
送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出、停止条件検出
- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- バスを直接駆動可能
SCL、SDA の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

クロック同期式シリアルフォーマット

- 割り込み要因：4種類
送信データエンプティ、送信終了、受信データフル、オーバランエラー
- 送信データエンプティ割り込みと受信データフル割り込みにより、ダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。

図 19.1 に I²C バスインタフェース 3 のブロック図を示します。

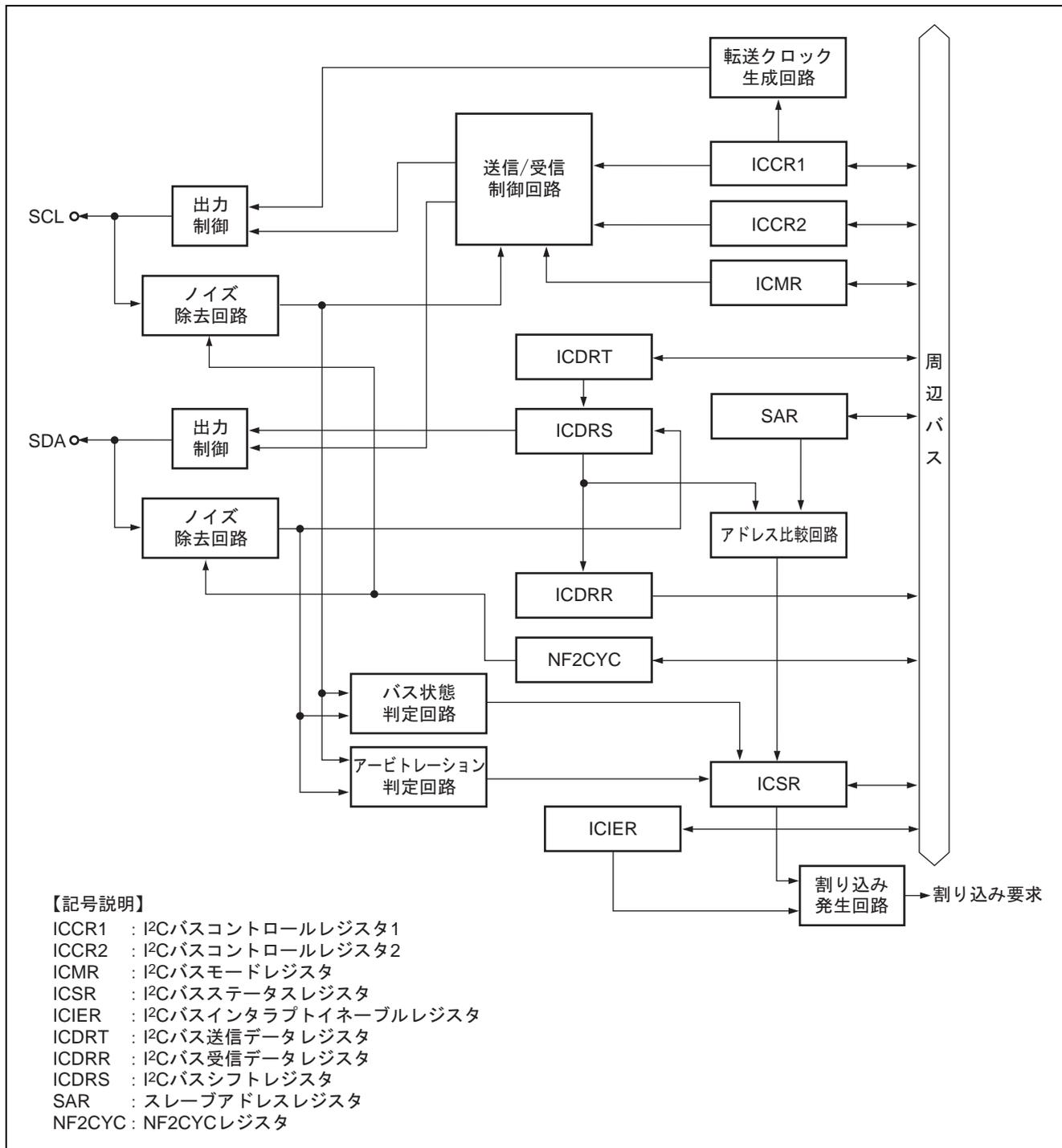


図 19.1 I²C バスインタフェース 3 のブロック図

19.2 入出力端子

I²C バスインタフェース 3 で使用する端子構成を表 19.1 に示します。

表 19.1 端子構成

名称	端子名	入出力	機能
シリアルクロック端子	SCL	入出力	I ² C シリアルクロック入出力端子
シリアルデータ端子	SDA	入出力	I ² C シリアルデータ入出力端子

図 19.2 に入出力端子の外部回路接続例を示します。

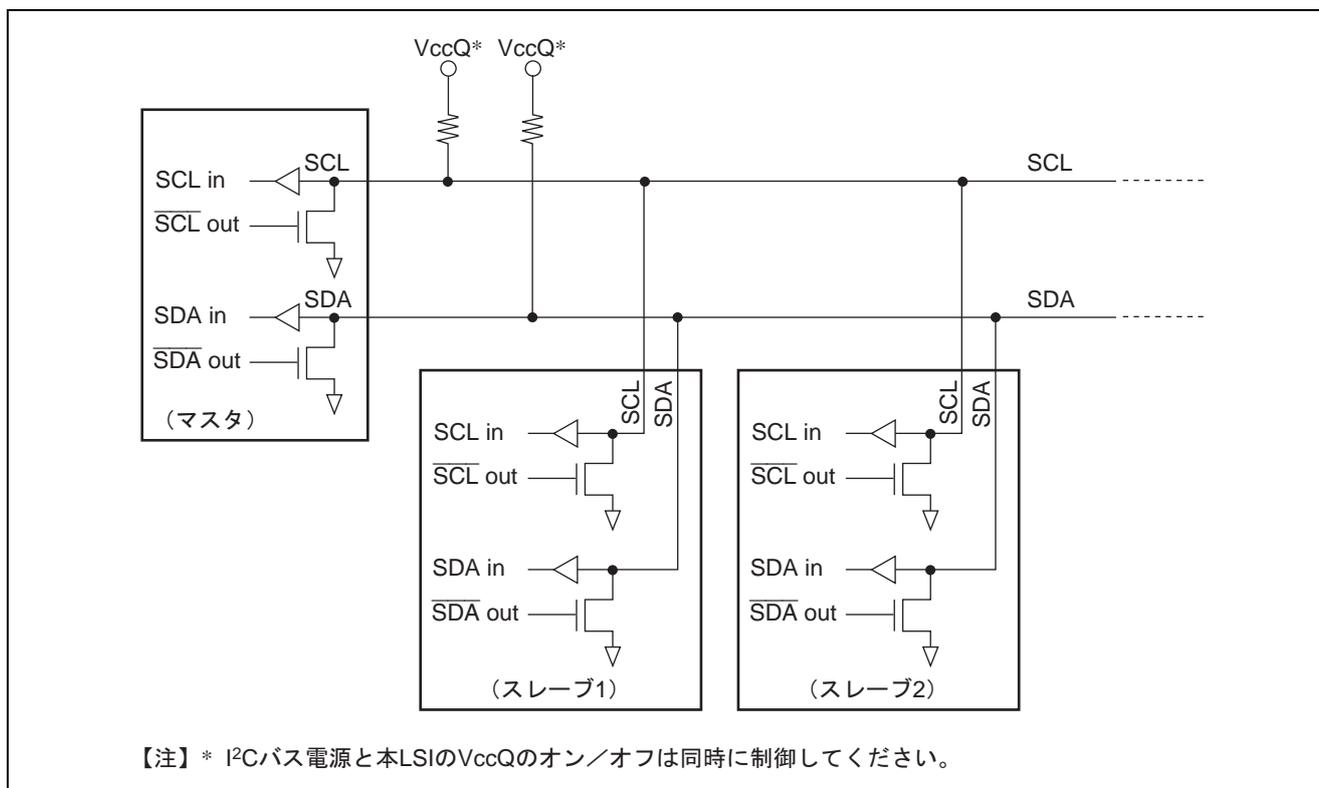


図 19.2 入出力端子の外部回路接続例

19.3 レジスタの説明

I²C バスインタフェース 3 には以下のレジスタがあります。

表 19.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	I ² C バスコントロールレジスタ 1	ICCR1_0	R/W	H'00	H'FFFEE000	8
	I ² C バスコントロールレジスタ 2	ICCR2_0	R/W	H'7D	H'FFFEE001	8
	I ² C バスモードレジスタ	ICMR_0	R/W	H'38	H'FFFEE002	8
	I ² C バスインタラプトイネーブルレジスタ	ICIER_0	R/W	H'00	H'FFFEE003	8
	I ² C バスステータスレジスタ	ICSR_0	R/W	H'00	H'FFFEE004	8
	スレーブアドレスレジスタ	SAR_0	R/W	H'00	H'FFFEE005	8
	I ² C バス送信データレジスタ	ICDRT_0	R/W	H'FF	H'FFFEE006	8
	I ² C バス受信データレジスタ	ICDRR_0	R/W	H'FF	H'FFFEE007	8
	NF2CYC レジスタ	NF2CYC_0	R/W	H'00	H'FFFEE008	8

19.3.1 I²C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は、8 ビットの読み出し/書き込み可能なレジスタで、I²C バスインタフェース 3 の動作/停止、送信/受信制御、マスタモード/スレーブモード、送信/受信、マスタモード転送クロック周波数の選択を行います。

ビット:	7	6	5	4	3	2	1	0
	ICE	RCVD	MST	TRS	CKS[3:0]			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェース 3 イネーブル 0: SCL/SDA の出力禁止 (SCL/SDA への入力は無効) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディスエーブル TRS=0 の状態で ICDRR をリードしたときに次の動作の継続/禁止を設定します。 0: 次の受信動作を継続 1: 次の受信動作を禁止

ビット	ビット名	初期値	R/W	説明
5	MST	0	R/W	マスタ/スレーブ選択
4	TRS	0	R/W	送信/受信選択 I ² C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS ともにハードウェアによってリセットされてスレーブ受信モードに変わります。 なお TRS の変更は転送フレーム間で行ってください。 また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。 MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期式シリアルフォーマットを選択した場合、MST=1 のとき、クロック出力となります。 00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード
3~0	CKS[3:0]	0000	R/W	転送クロック選択 マスタモードのとき、必要な転送レート（表 19.3 参照）にあわせて設定してください。

表 19.3 転送レート

ビット3 CKS[3]	ビット2 CKS[2]	ビット1 CKS[1]	ビット0 CKS[0]	クロック	転送レート (kHz)				
					Pφ =16.7MHz	Pφ =20.0MHz	Pφ =25.0MHz	Pφ =26.7MHz	Pφ =33.3MHz
0	0	0	0	Pφ/44	379	455	568	606	758
			1	Pφ/52	321	385	481	513	641
		1	0	Pφ/64	260	313	391	417	521
			1	Pφ/72	231	278	347	370	463
	1	0	0	Pφ/84	198	238	298	317	397
			1	Pφ/92	181	217	272	290	362
		1	0	Pφ/100	167	200	250	267	333
			1	Pφ/108	154	185	231	247	309
1	0	0	0	Pφ/176	94.7	114	142	152	189
			1	Pφ/208	80.1	96.2	120	128	160
		1	0	Pφ/256	65.1	78.1	97.7	104	130
			1	Pφ/288	57.9	69.4	86.8	92.6	116
	1	0	0	Pφ/336	49.6	59.5	74.4	79.4	99.2
			1	Pφ/368	45.3	54.3	67.9	72.5	90.6
		1	0	Pφ/400	41.7	50.0	62.5	66.7	83.3
			1	Pφ/432	38.6	46.3	57.9	61.7	77.2

【注】 外部仕様を満足するように設定してください。

19.3.2 I²C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は、8 ビットの読み出し／書き込み可能なレジスタで、開始／停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C バスのコントロール部のリセットを制御します。

ビット:	7	6	5	4	3	2	1	0
	BBSY	SCP	SDAO	SDAOP	SCLO	-	IICRST	-
初期値:	0	1	1	1	1	1	0	1
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	<p>バスビジー</p> <p>I²C バスの占有／解放状態を示すフラグ機能とマスタモードの開始／停止条件発行機能の 2 つがあります。クロック同期式シリアルフォーマットの場合、本ビットをリードすると常に 0 が読み出されます。I²C バスフォーマットの場合、SCL=High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL=High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。</p>
6	SCP	1	R/W	<p>開始／停止条件発行禁止</p> <p>SCP ビットはマスタモードで開始条件／停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。</p>
5	SDAO	1	R/W	<p>SDA 出力値制御</p> <p>SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。</p> <p style="margin-left: 20px;">0 : リード時、SDA 端子出力が Low レベル ライト時、SDA 端子出力を Low レベルに変更</p> <p style="margin-left: 20px;">1 : リード時、SDA 端子出力が High レベル ライト時、SDA 端子出力を Hi-Z に変更 (外部プルアップ抵抗により High レベル出力)</p>
4	SDAOP	1	R/W	<p>SDAO ライトプロテクト</p> <p>SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 をライトします。本ビットは読み出すと常に 1 が読み出されます。</p>

ビット	ビット名	初期値	R/W	説明
3	SCLO	1	R	SCL 出力レベル SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。
2	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は I ² C バスのレジスタを除くコントロール部をリセットします。I ² C バスの動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットすると IIC3 の一部のレジスタとコントロール部をリセットすることができます。
0	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

19.3.3 I²C バスモードレジスタ (ICMR)

ICMR は、8 ビットの読み出し／書き込み可能なレジスタで、MSB ファースト／LSB ファーストの選択、転送ビット数の選択を行います。

ICCR2 の IICRST により BC[2:0] が H'0 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	MLS	-	-	-	BCWP	BC[2:0]		
初期値:	0	0	1	1	1	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト／LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するときは 0 に設定してください。
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5、4	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット	ビット名	初期値	R/W	説明																		
3	BCWP	1	R/W	<p>BC ライトプロテクト</p> <p>BC[2:0]の書き込みを制御します。BC[2:0]を書き換える場合は、本ビットを0に設定してください。なおクロック同期式シリアルフォーマットではBC[2:0]の書き換えは行わないでください。</p> <p>0 : ライト時、BC[2:0]の値を設定 1 : リード時、常に1をリード ライト時、BC[2:0]設定値は無効</p>																		
2~0	BC[2:0]	000	R/W	<p>ビットカウンタ</p> <p>次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I²C バスフォーマットでは、データにアクリッジ1ビットが加算されて転送されます。設定は転送フレーム間で行ってください。B'000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクリッジを含むデータ転送終了後、自動的に B'000 に戻ります。また、停止条件検出後は自動的に B'111 になります。</p> <p>本ビットは、パワーオンリセット、ソフトウェアスタンバイモード、モジュールスタンバイモード、および ICCR2 の IICRST を1セットすることによりクリアされます。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。</p> <table border="0"> <tr> <td>I²C バスフォーマット</td> <td>クロック同期式シリアルフォーマット</td> </tr> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </table>	I ² C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I ² C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					

19.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、8 ビットの読み出し/書き込み可能なレジスタで、各種割り込み要因の許可、アクノリッジの有効/無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット:	7	6	5	4	3	2	1	0
	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	送信インタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンプティ割り込み (TXI) を許可/禁止します。 0: 送信データエンプティ割り込み要求 (TXI) の禁止 1: 送信データエンプティ割り込み要求 (TXI) の許可
6	TEIE	0	R/W	送信エンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可/禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0: 送信終了割り込み要求 (TEI) の禁止 1: 送信終了割り込み要求 (TEI) の許可
5	RIE	0	R/W	受信インタラプトイネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可/禁止およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の許可/禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0: 受信データフル割り込み要求 (RXI) の禁止 1: 受信データフル割り込み要求 (RXI) の許可
4	NAKIE	0	R/W	NACK 受信インタラプトイネーブル NAKIE は、ICSR の NACKF または AL/OVE がセットされたとき、NACK 検出割り込み要求 (NAKI) の許可/禁止、および、クロック同期式フォーマット時のオーバーランエラー (ICSR の OVE セット) 割り込み要求 (ERI) の許可/禁止を選択します。なお NAKI は、NACKF または AL/OVE を 0 にクリアするか、NAKIE を 0 にクリアすることで解除できます。 0: NACK 受信割り込み要求 (NAKI) の禁止 1: NACK 受信割り込み要求 (NAKI) の許可

ビット	ビット名	初期値	R/W	説明
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>STIE は、ICSR の STOP がセットされたとき、停止条件検出割り込み要求 (STPI) の許可/禁止を選択します。</p> <p>0 : 停止条件検出割り込み要求 (STPI) の禁止</p> <p>1 : 停止条件検出割り込み要求 (STPI) の許可</p>
2	ACKE	0	R/W	<p>アクリリッジビット判定選択</p> <p>0 : 受信アクリリッジの内容を無視して連続的に転送を行う</p> <p>1 : 受信アクリリッジが 1 の場合、転送を中断する</p>
1	ACKBR	0	R	<p>受信アクリリッジ</p> <p>送信モード時、受信デバイスから受け取ったアクリリッジビットの内容を格納しておくビットです。ライトは無効です。また本ビットは、ICCR2 の BBSY を 1 にセットするとクリアされます。</p> <p>0 : 受信アクリリッジ=0</p> <p>1 : 受信アクリリッジ=1</p>
0	ACKBT	0	R/W	<p>送信アクリリッジ</p> <p>受信モード時、アクリリッジのタイミングで送出するビットを設定します。</p> <p>0 : アクリリッジのタイミングで 0 を送出</p> <p>1 : アクリリッジのタイミングで 1 を送出</p>

19.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は、8 ビットの読み出し／書き込み可能なレジスタで、各種割り込み要求フラグおよびステータスの確認を行います。

ビット:	7	6	5	4	3	2	1	0
	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

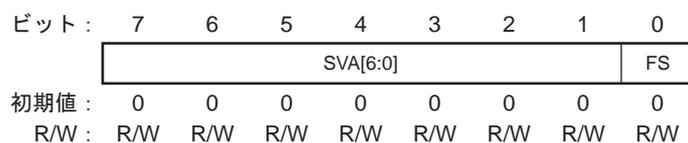
ビット	ビット名	初期値	R/W	説明
7	TDRE	0	R/W	送信データエンプティ [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき [セット条件] <ul style="list-style-type: none"> • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • 開始条件（再送含む）を発行したとき • スレーブモードで受信モードから送信モードになったとき
6	TEND	0	R/W	送信エンド [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき [セット条件] <ul style="list-style-type: none"> • I²C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき • クロック同期式シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき
5	RDRF	0	R/W	受信データフル [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • ICDRR をリードしたとき [セット条件] <ul style="list-style-type: none"> • ICDRS から ICDRR に受信データが転送されたとき

ビット	ビット名	初期値	R/W	説明
4	NACKF	0	R/W	<p>ノーアクノリッジ検出フラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • ICIERのACKE=1の状態、送信時、受信デバイスからアクノリッジがなかったとき
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • フレームの転送の完了後に停止条件を検出したとき
2	AL/OVE	0	R/W	<p>アービトレーションロストフラグ/オーバランエラーフラグ</p> <p>AL/OVEは、I²Cバスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期式シリアルフォーマットの場合、RDRF=1の状態、最終ビットを受信したことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときにI²Cバスインタフェース3はSDAをモニタし、自分が出したデータと異なった場合、ALフラグを1にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタ送信モードの場合、SCLの立ち上がりで内部SDAとSDA端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、SDA端子がHighレベルのとき • クロック同期式シリアルフォーマットの場合、RDRF=1の状態、最終ビットを受信したとき
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第一フレームがSARのSVA6~SVA0と一致した場合にセットされます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードでスレーブアドレスを検出したとき • スレーブ受信モードでゼネラルコールアドレスを検出したとき

ビット	ビット名	初期値	R/W	説明
0	ADZ	0	R/W	ゼネラルコールアドレス認識フラグ I ² C バスフォーマットのスレーブ受信モードのとき有効 [クリア条件] • 1の状態をリードした後、0をライトしたとき [セット条件] • スレーブ受信モードかつゼネラルコールアドレスを検出したとき

19.3.6 スレーブアドレスレジスタ (SAR)

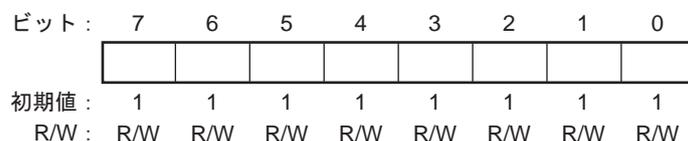
SAR は、8 ビットの読み出し/書き込み可能なレジスタで、フォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第1フレームの上位7ビットと SAR の上位7ビットが一致したとき、スレーブデバイスとして動作します。



ビット	ビット名	初期値	R/W	説明
7~1	SVA[6:0]	0000000	R/W	スレーブアドレス I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	FS	0	R/W	フォーマットセレクト 0: I ² C バスフォーマット選択 1: クロック同期式シリアルフォーマット選択

19.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットの読み出し/書き込み可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておくこと、連続送信が可能です。



19.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

19.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信/受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

19.3.10 NF2CYC レジスタ (NF2CYC)

NF2CYC は、8 ビットの読み出し/書き込み可能なレジスタで、SCL 端子、SDA 端子のノイズ除去幅を選択することができます。詳細動作については、「19.4.7 ノイズ除去回路」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PRS	NF2 CYC
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PRS	0	R/W	パルス幅比率選択 SCL の High 幅と Low 幅の比率を指定します。 0 : High : Low = 0.5 : 0.5 1 : High : Low = 0.4 : 0.6
0	NF2CYC	0	R/W	ノイズ除去幅選択 0 : 周辺クロックで 1 サイクル周期以内のノイズを除去することができます 1 : 周辺クロックで 2 サイクル周期以内のノイズを除去することができます

19.4 動作説明

I²C バスインタフェース 3 には、SAR の FS の設定により、I²C バスフォーマットとクロック同期式シリアルフォーマットで通信することができます。

19.4.1 I²C バスフォーマット

I²C バスフォーマットを図 19.3 に、I²C バスのタイミングを図 19.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

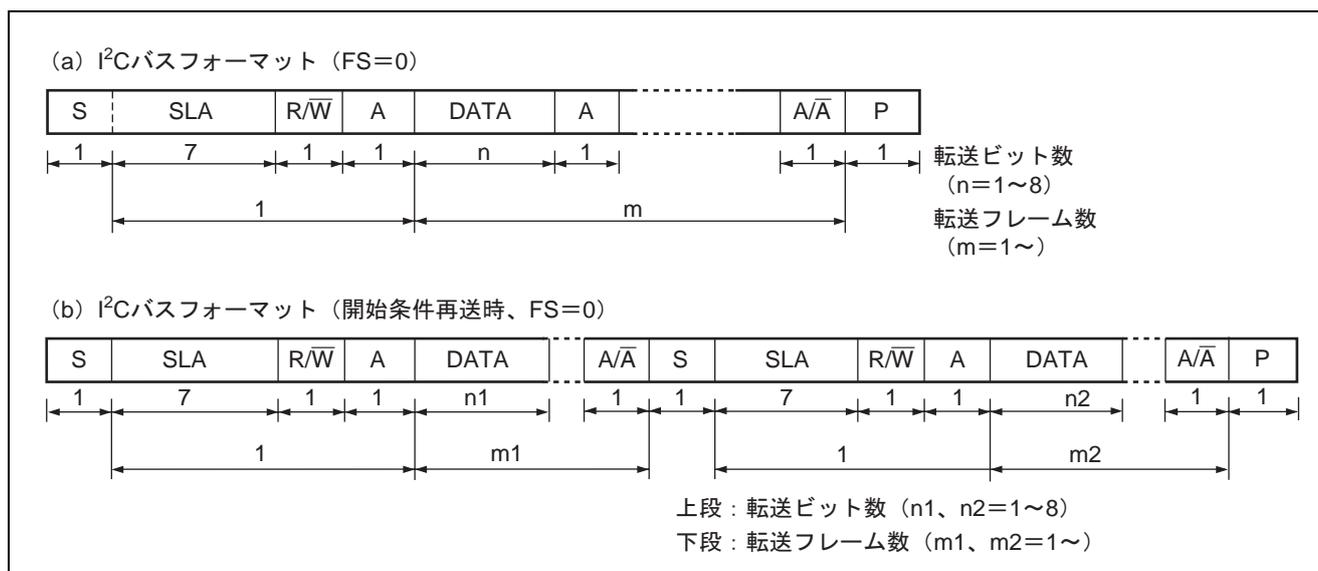


図 19.3 I²C バスフォーマット

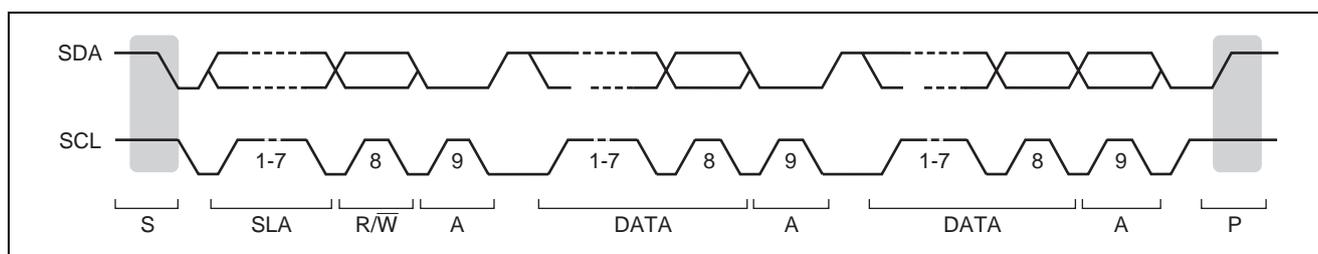


図 19.4 I²C バスタイミング

【記号説明】

- S : 開始条件。マスタデバイスが SCL=High レベルの状態です。SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL=High レベルの状態です。SDA を Low レベルから High レベルに変化させます。

19.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 19.5 と図 19.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。また、ICCR1のCKS[3:0]等を設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが解放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY=1とSCP=0をライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスとR/Wを示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY=0とSCP=0を、ライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF=1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

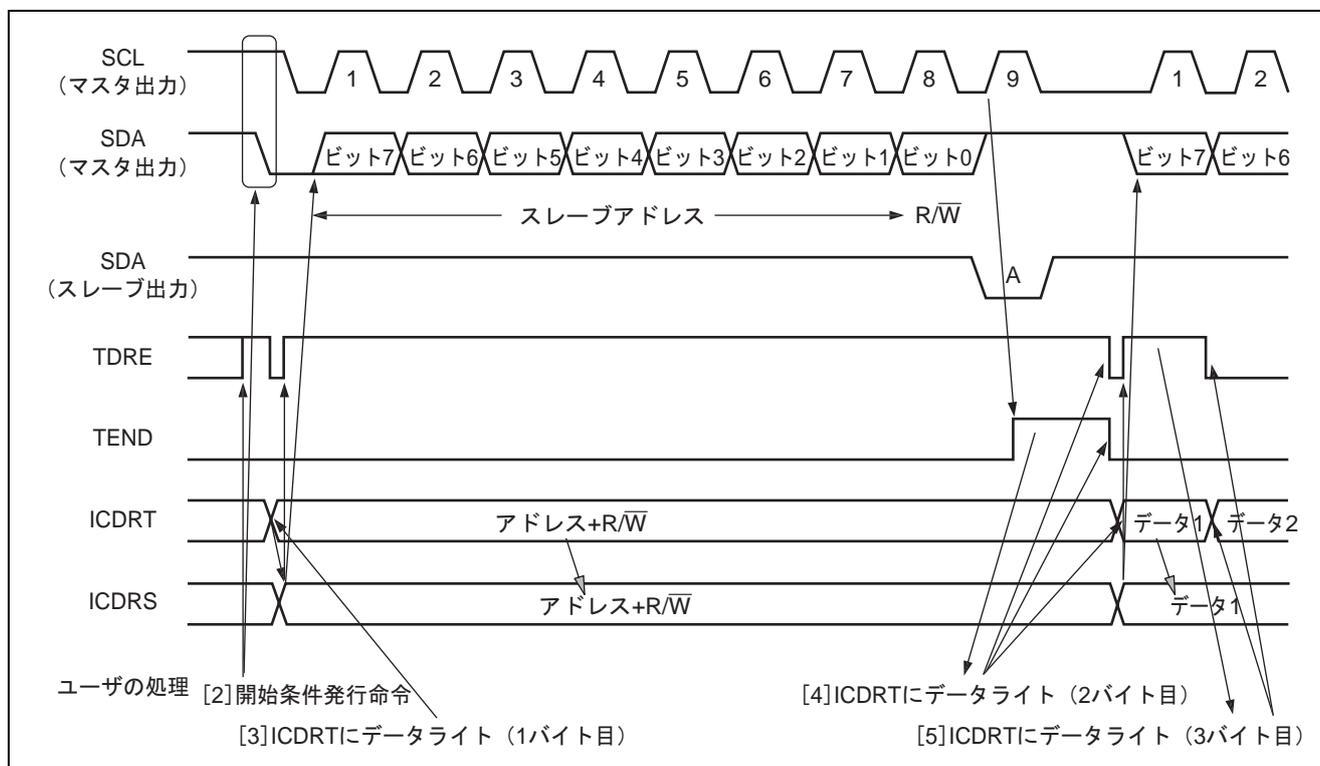


図 19.5 マスタ送信モード動作タイミング (1)

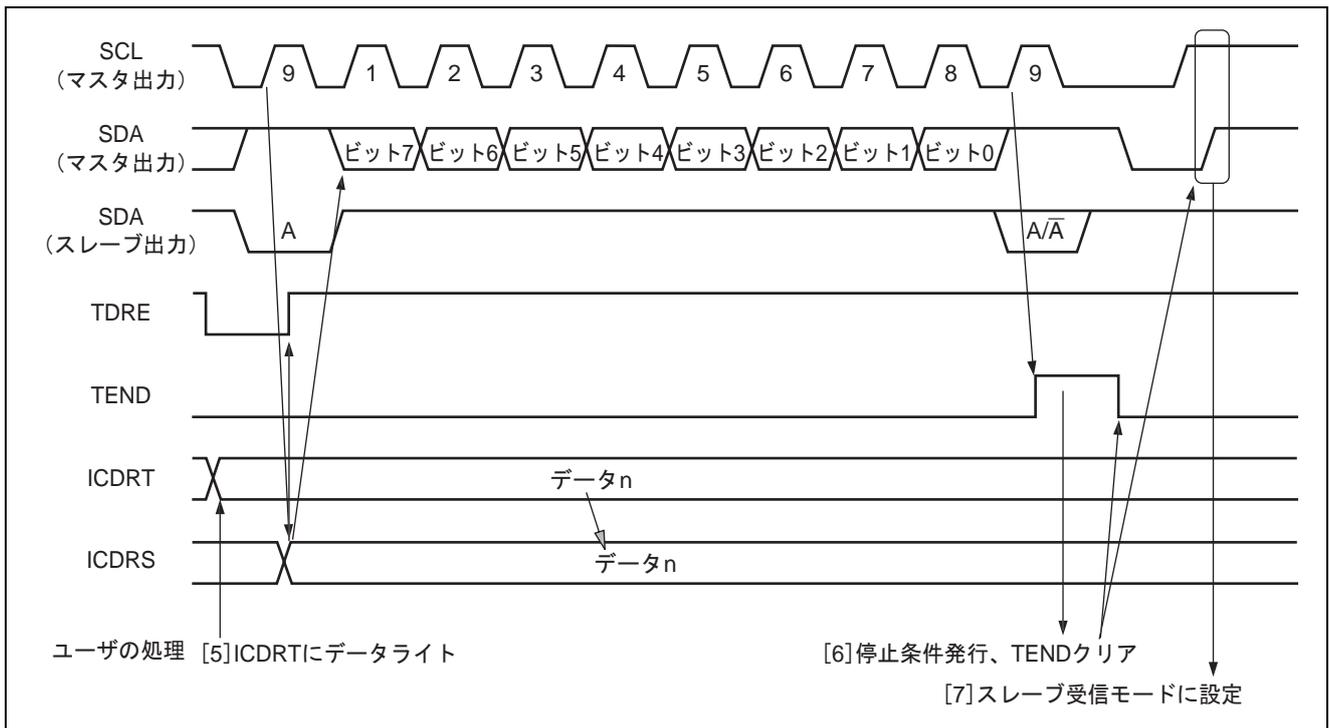


図 19.6 マスタ送信モード動作タイミング (2)

19.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。マスタ受信モードの動作タイミングについては図 19.7 と図 19.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えます。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始*し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力します。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされます。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはクリアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFがセットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCLがLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

【注】 * 1バイトだけ受信したい場合は、ICCR1のRCVDセット後、ICDRRのダミーリードを行ってください。

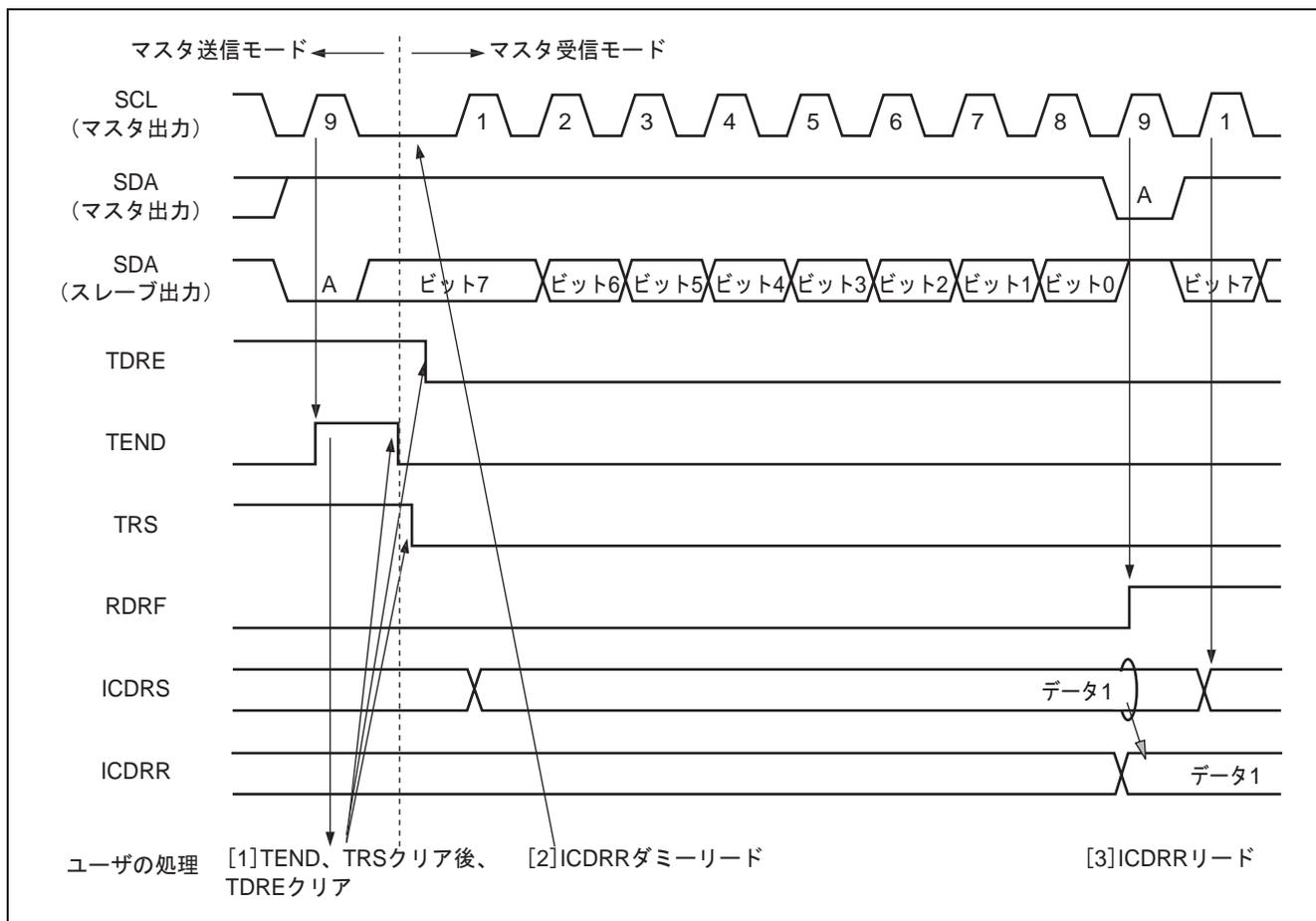


図 19.7 マスタ受信モード動作タイミング (1)

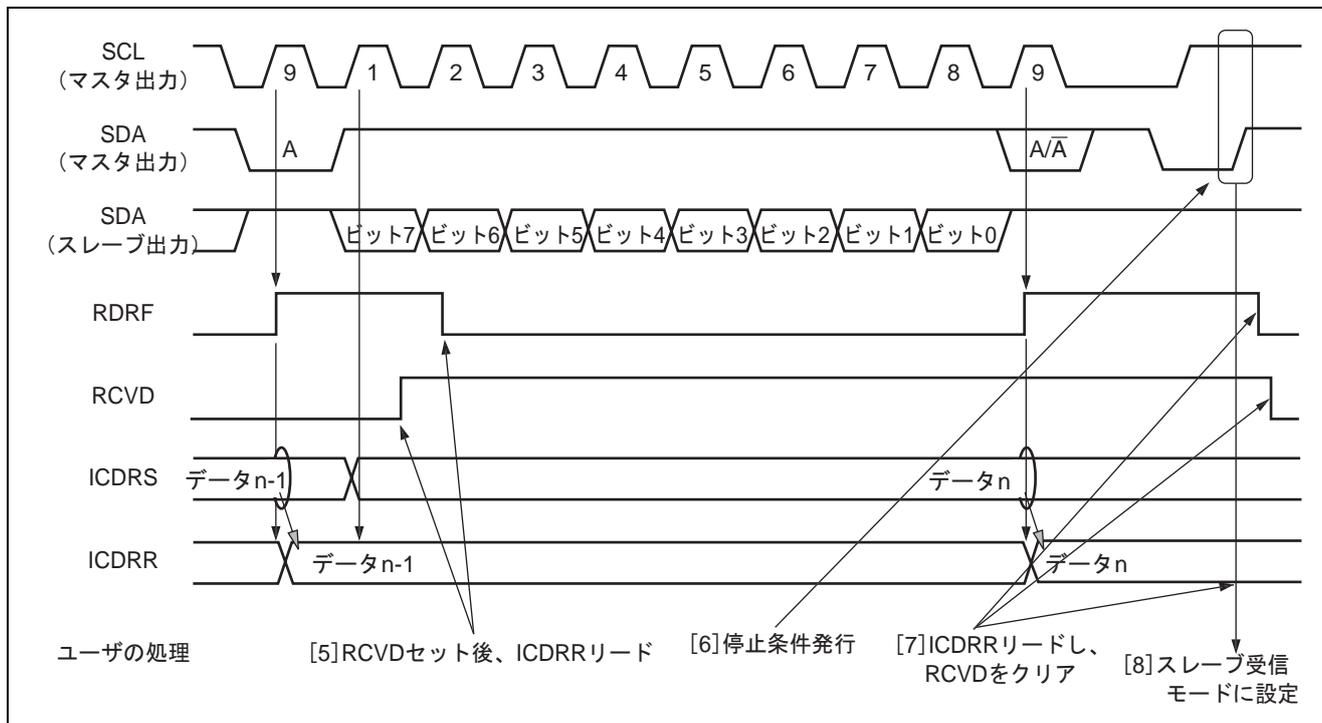


図 19.8 マスタ受信モード動作タイミング (2)

19.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 19.9 と図 19.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ（R/W）が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE=1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

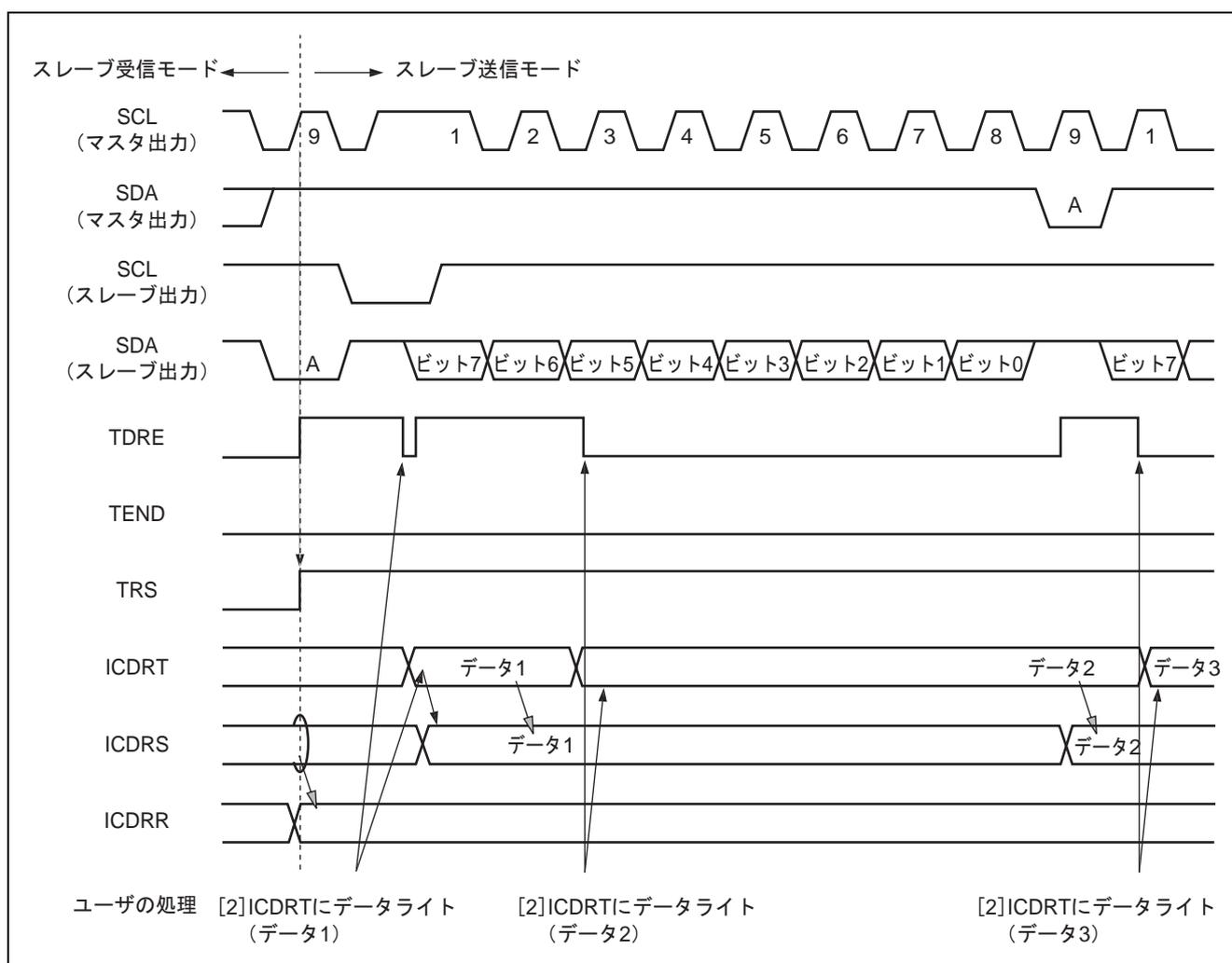


図 19.9 スレーブ送信モード動作タイミング (1)

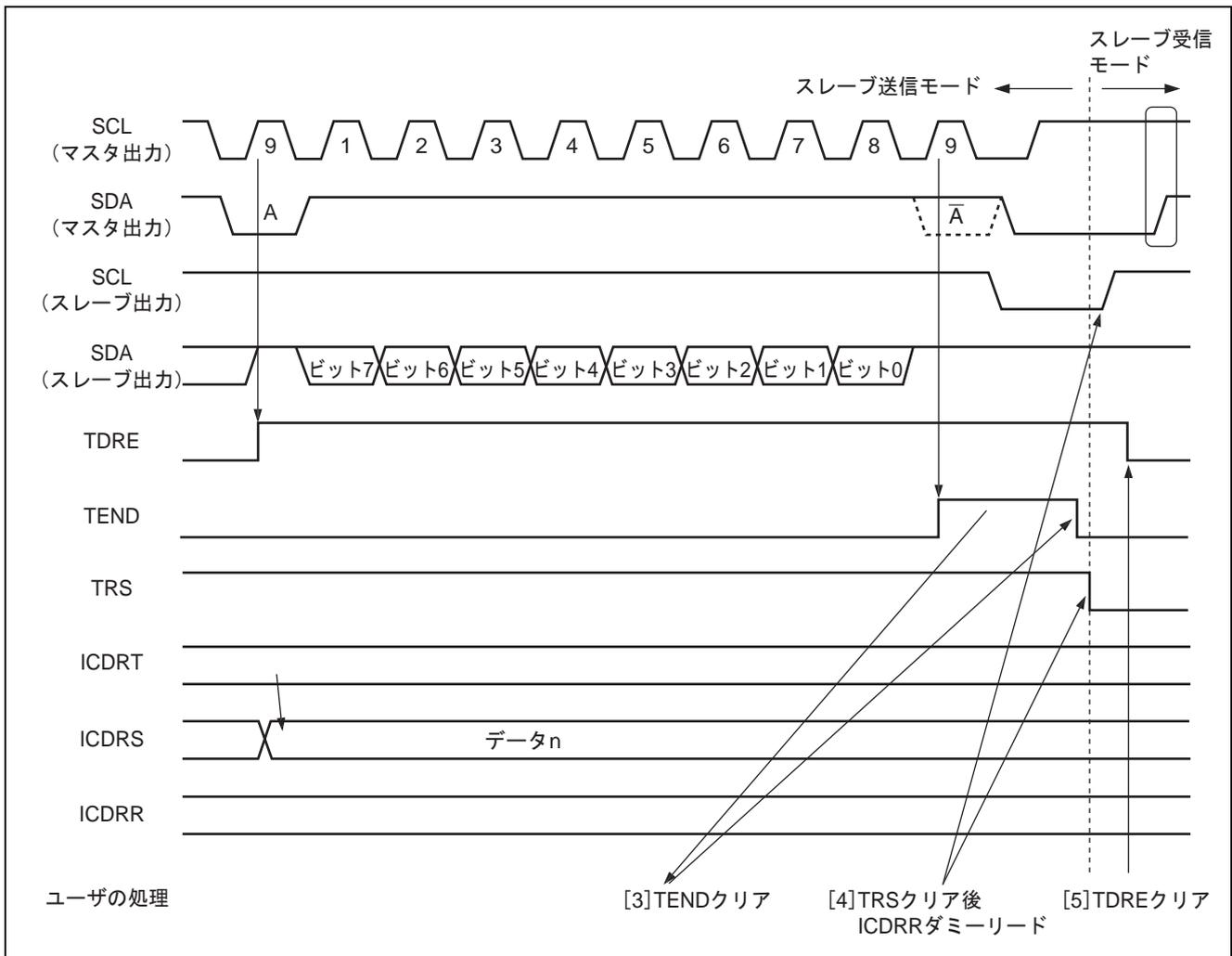


図 19.10 スレーブ送信モード動作タイミング (2)

19.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出し、スレーブデバイスがアクノリッジを返します。スレーブ動作モードタイミングについては図 19.11 と図 19.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICCR1のCKS[3:0]等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード（リードデータはスレーブアドレス+R/Wを示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下がるとICDRRをリードするまでSCLをLowに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

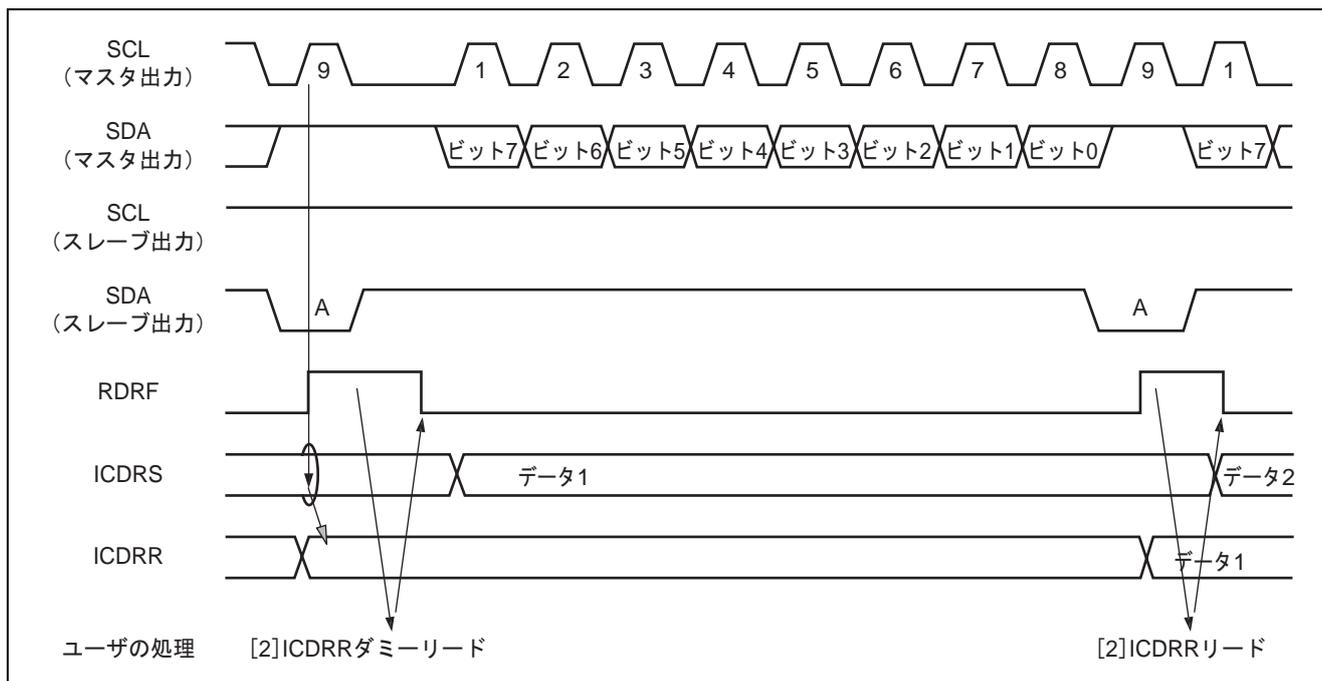


図 19.11 スレーブ受信モード動作タイミング (1)

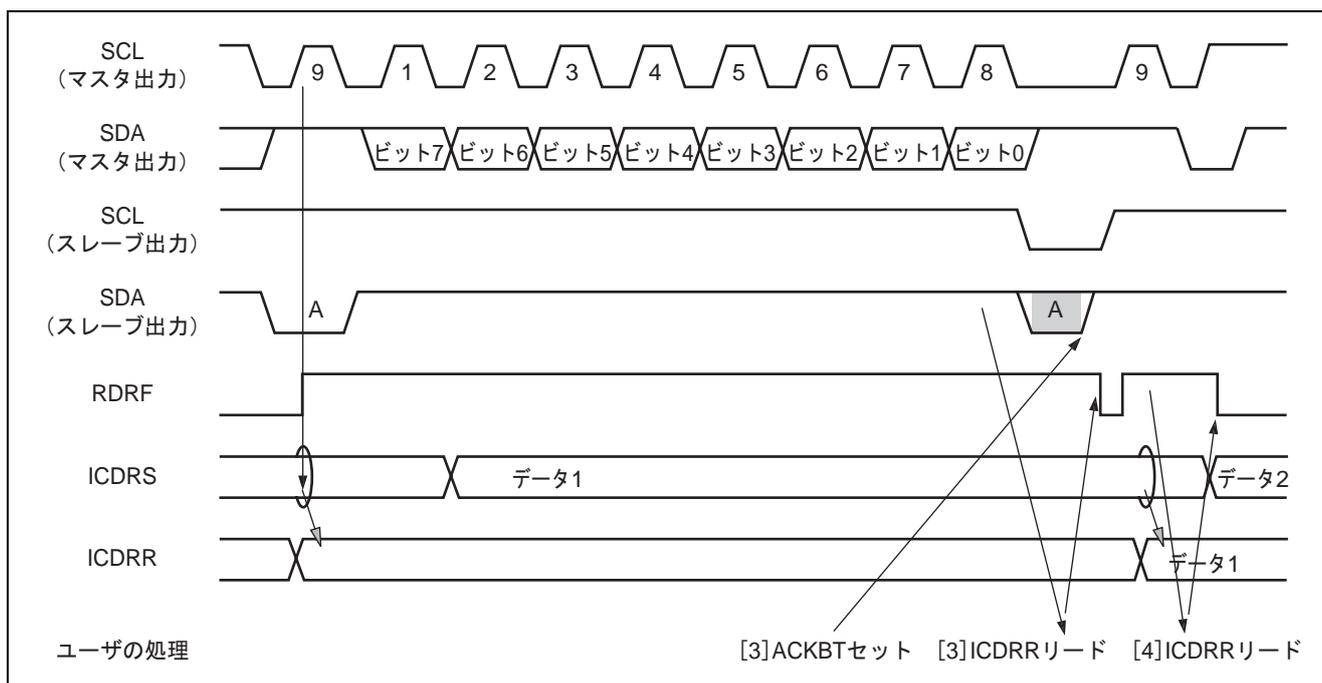


図 19.12 スレーブ受信モード動作タイミング (2)

19.4.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルフォーマットとして動作させることができます。ICCR1 の MST=1 のとき SCL から転送クロック出力となり、MST=0 のとき転送クロック入力となります。

(1) データ転送フォーマット

クロック同期式シリアルフォーマットの転送フォーマットを図 19.13 に示します。

転送データは SCL クロックの立ち下がりから立ち上がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が保証されます。データの転送順は ICMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

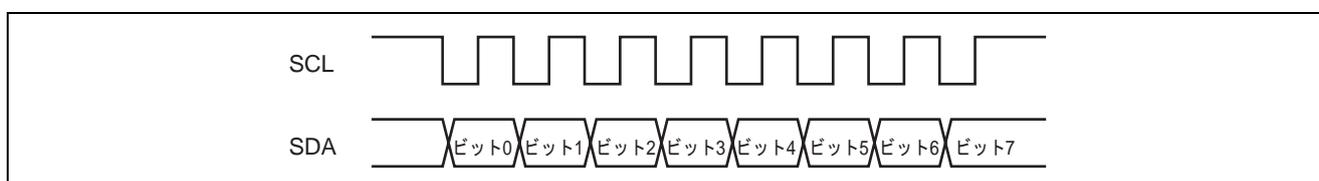


図 19.13 クロック同期式シリアルフォーマットの転送フォーマット

(2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。送信モード動作タイミングは図 19.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS[3:0]などを設定します（初期設定）。
2. ICCR1のTRSを設定して送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

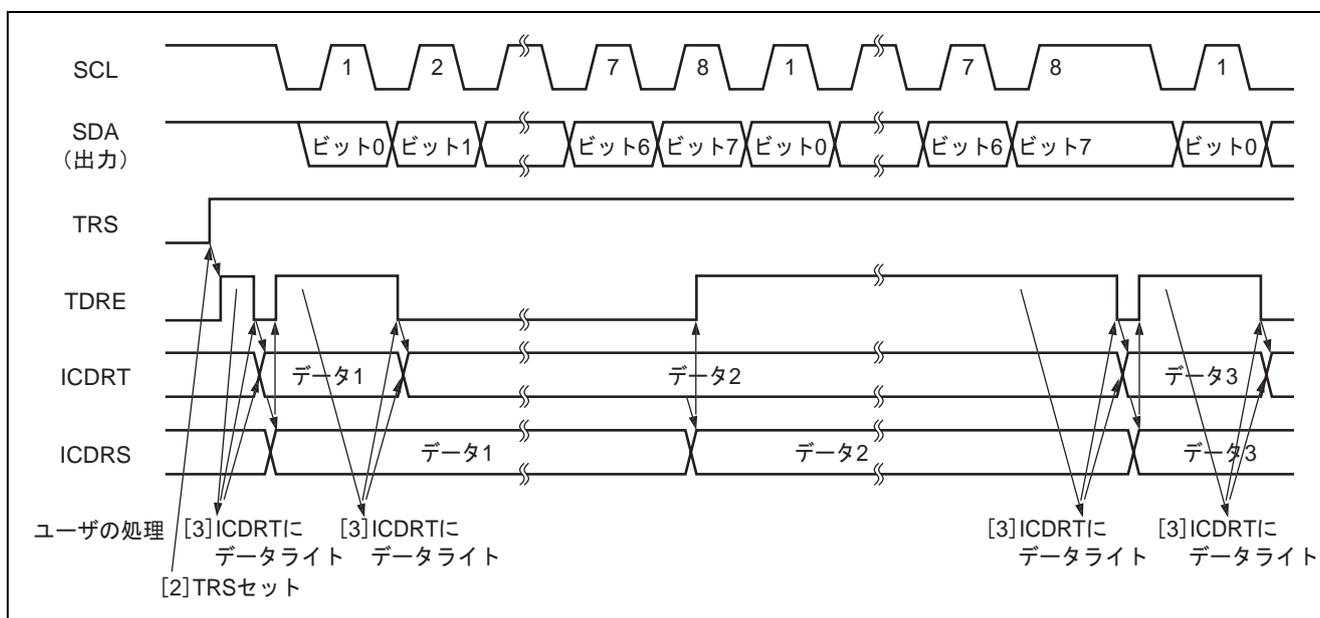


図 19.14 送信モード動作タイミング

(3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。受信モード動作タイミングについては図 19.15 を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のCKS[3:0]等を設定します（初期設定）。
2. 転送クロックを出力時、MST=1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST=1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立ち上がるとオーバランを検出し、ICSRのAL/OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST=1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがHighレベルに固定されます。

【注】 MST=1で1バイトだけ受信したい場合は下記手順で行ってください。動作タイミングについては図 19.16 を参照してください。

1. ICCR1のICEビットを1にセットします。またICCR1のCKS[3:0]等を設定します（初期設定）。
2. ICCR1のRCVDビットが0の状態、MST=1にセットします。これにより受信クロックの出力を開始します。
3. ICMRのBC[2]ビットが1にセットされたことを確認後、ICCR1のRCVD=1にセットしてください。これにより受信クロックを1バイト分出力した後、SCLがHighレベルに固定されます。

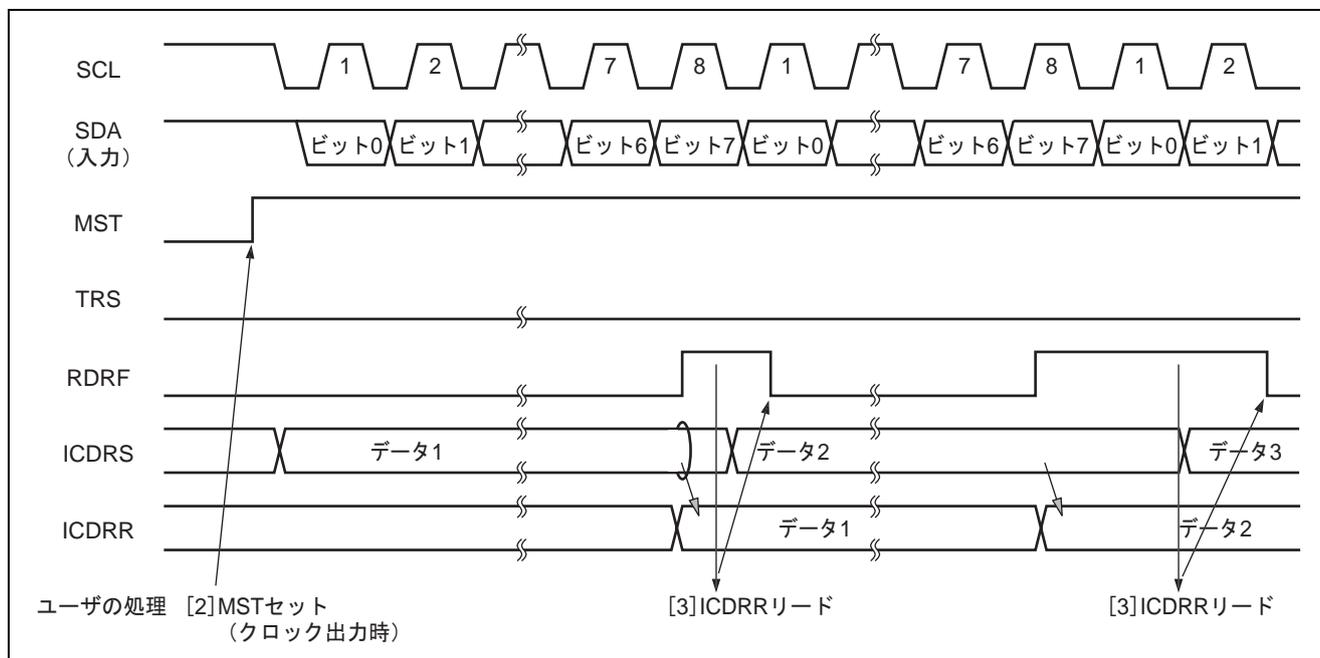


図 19.15 受信モード動作タイミング

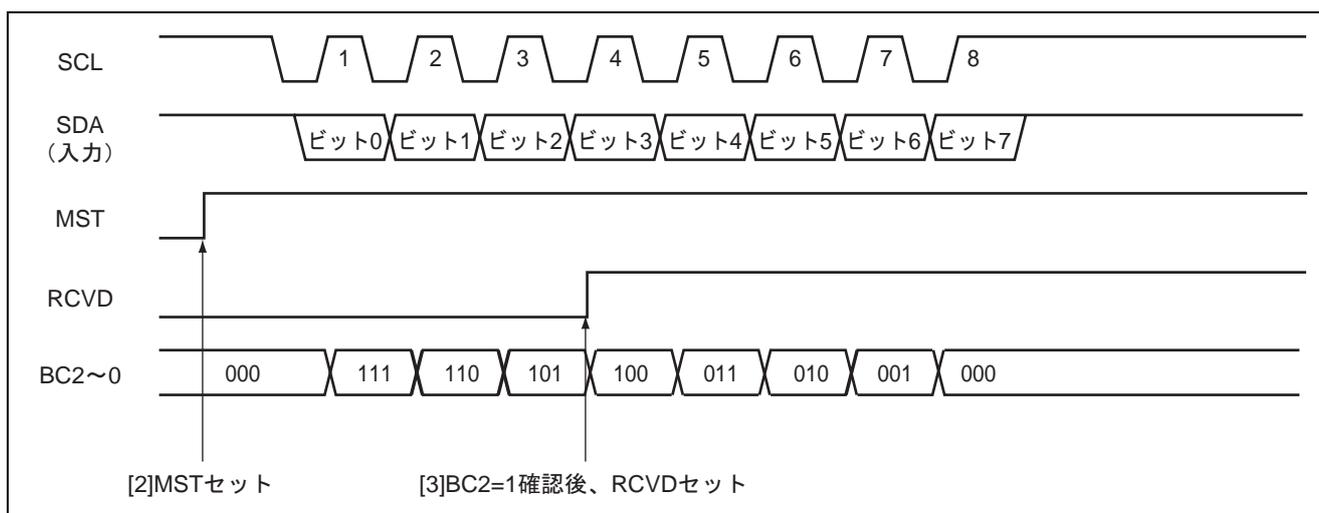


図 19.16 1バイト受信動作タイミング (MST=1)

19.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 19.17 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は3段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）が周辺クロックでサンプリングされ、NF2CYC レジスタが“0”のときは、2つのラッチ出力が一致したときに後段へレベルを伝えます。また NF2CYC レジスタが“1”のときは、3つのラッチ出力が一致したときに後段へレベルを伝えます。一致しない場合は前の値を保持します。

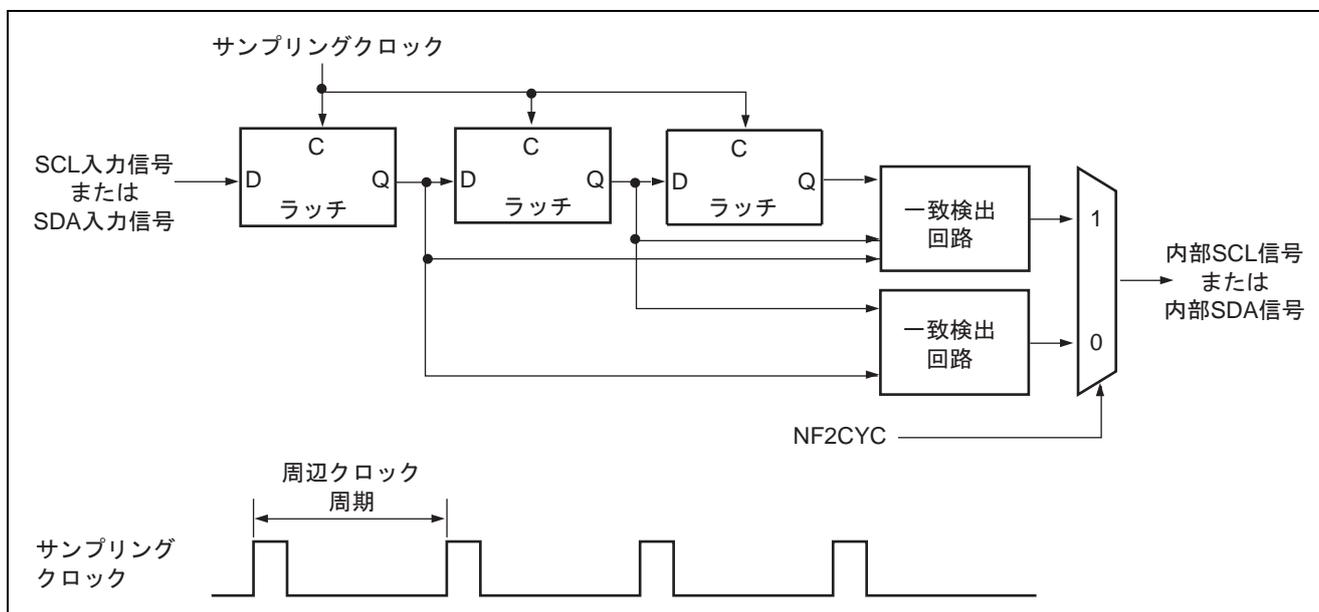


図 19.17 ノイズ除去回路のブロック図

19.4.8 使用例

I²C バスインタフェース 3 を使用する場合の各モードでのフローチャート例を図 19.18～図 19.21 に示します。

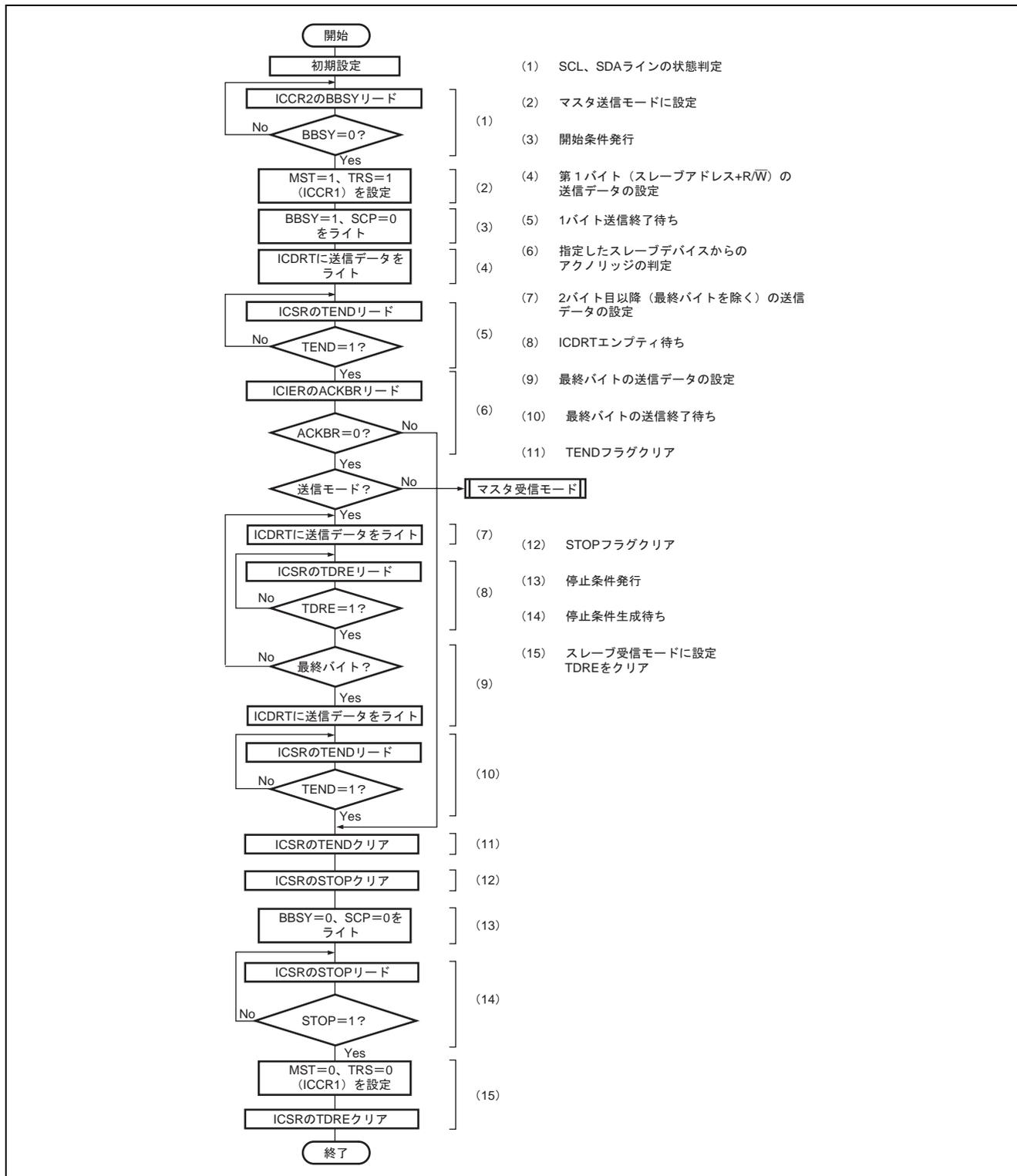


図 19.18 マスタ送信モードのフローチャート例

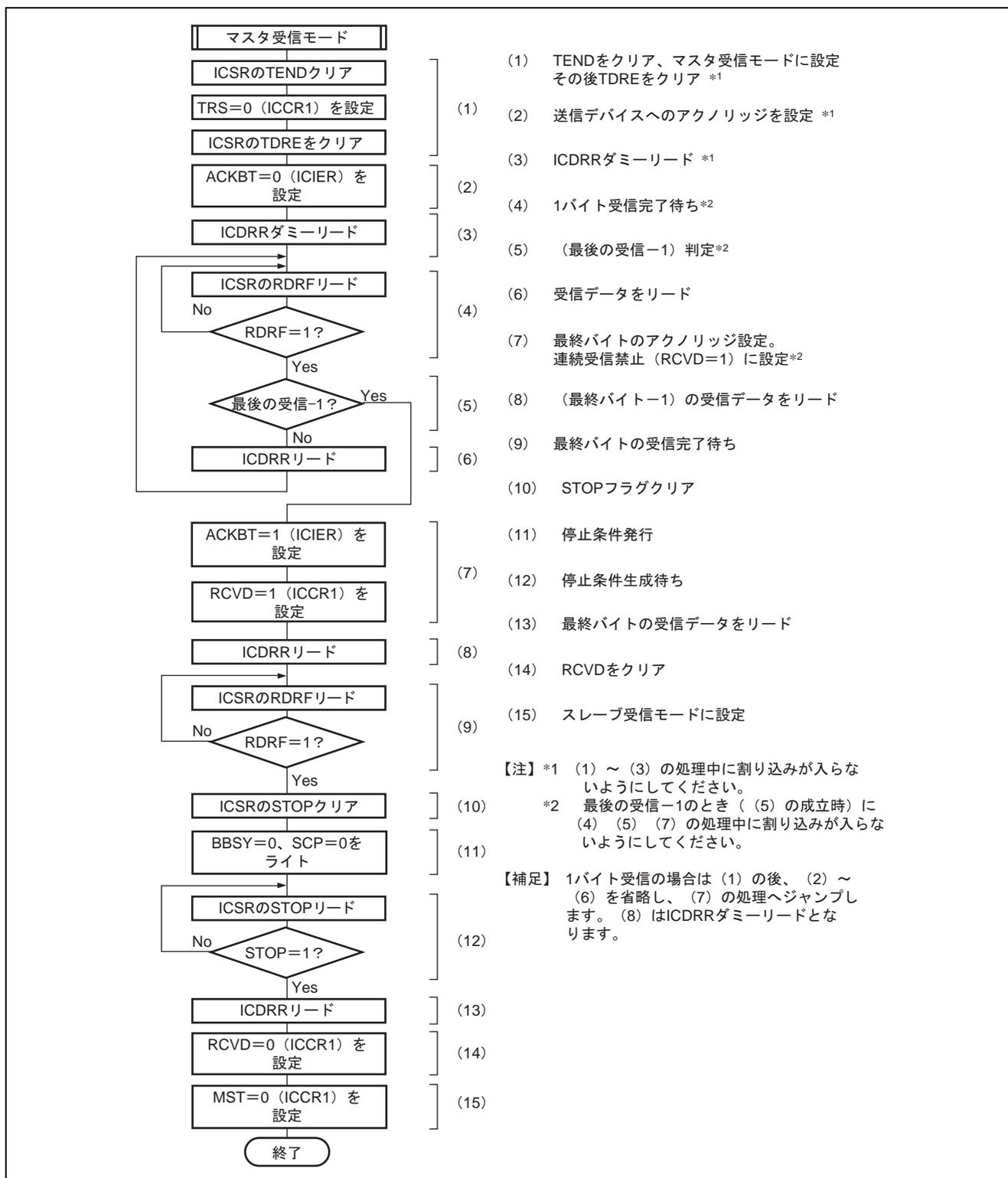


図 19.19 マスタ受信モードのフローチャート例

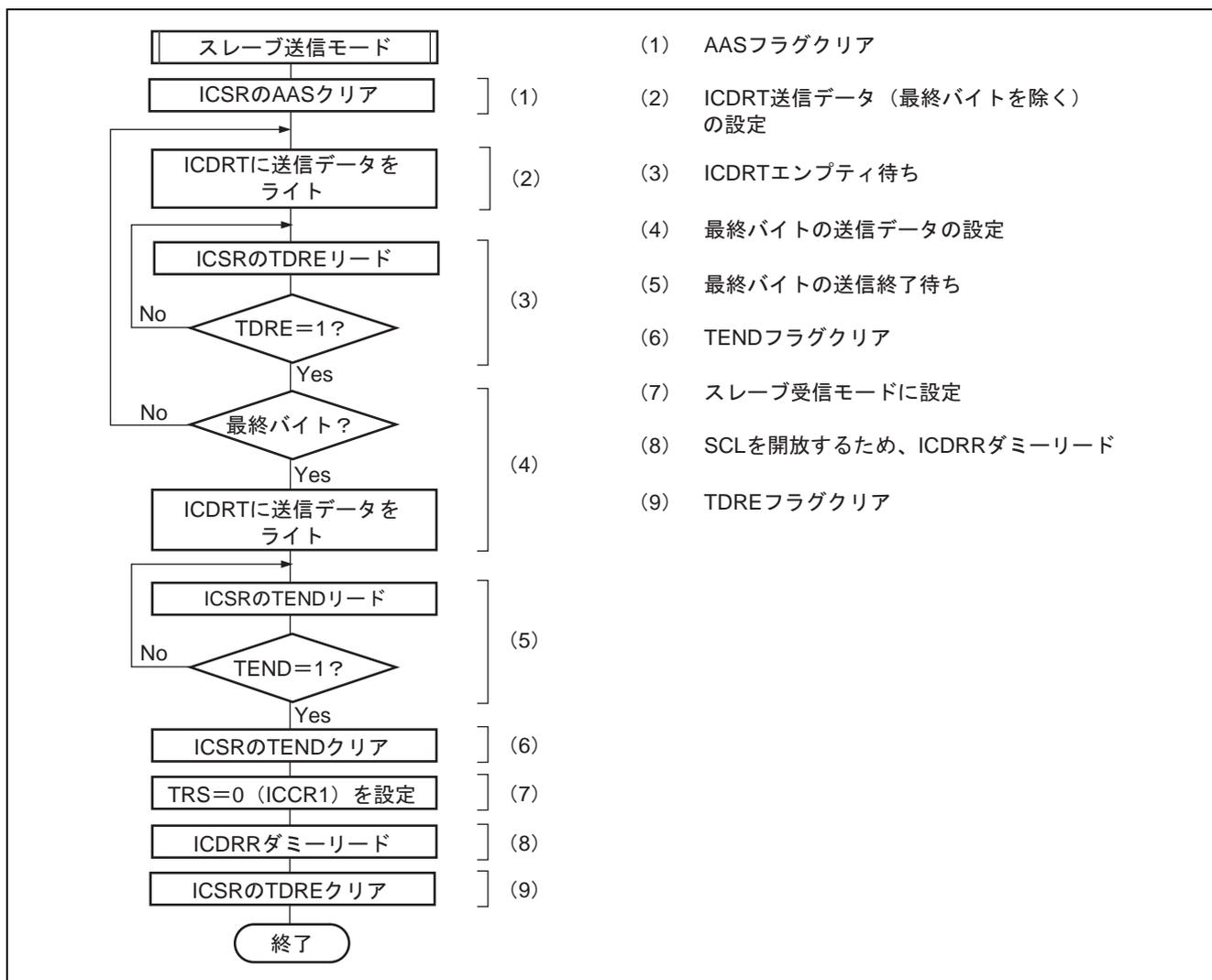


図 19.20 スレーブ送信モードのフローチャート例

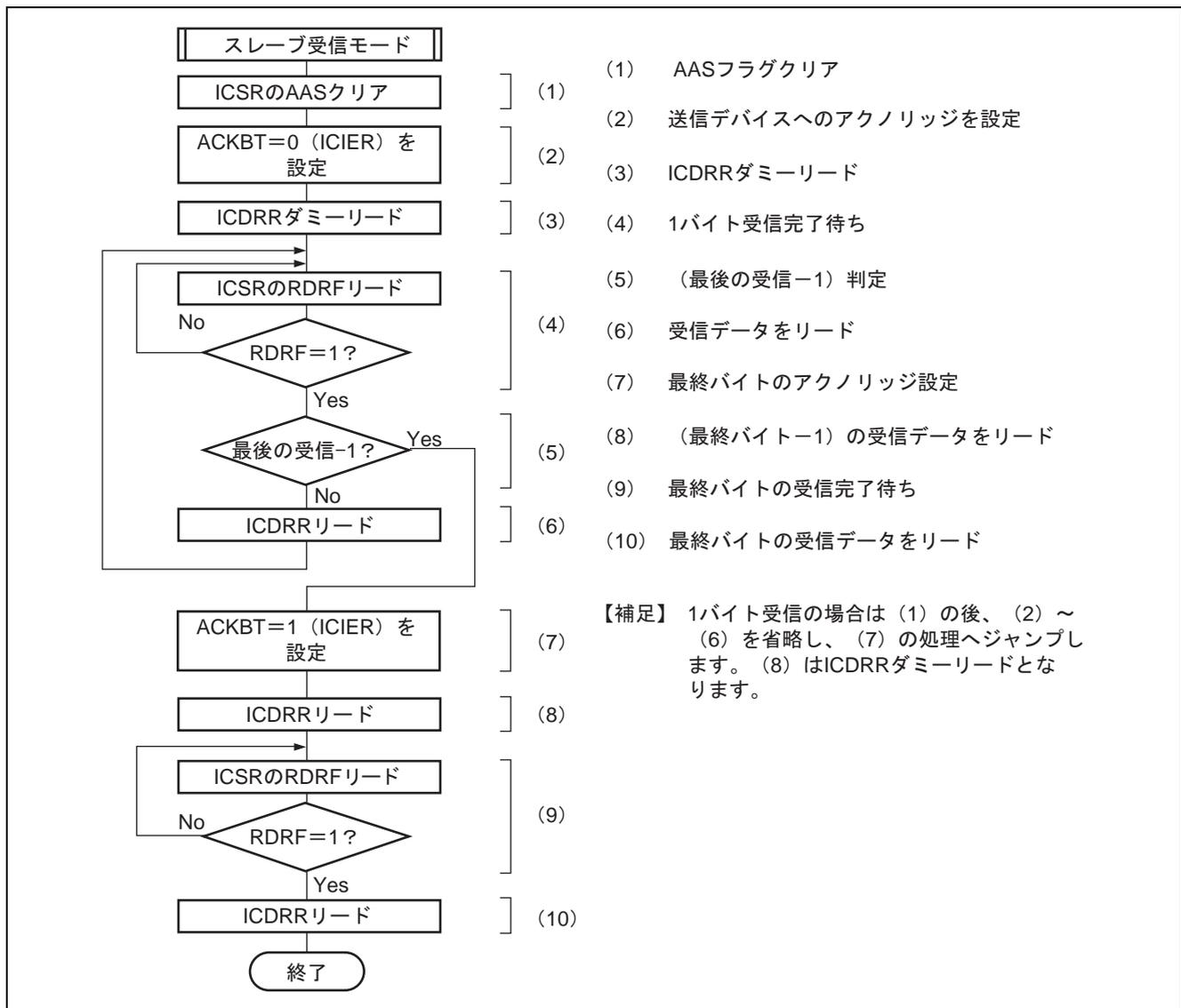


図 19.21 スレーブ受信モードのフローチャート例

19.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト／オーバランエラーの 6 種類があります。表 19.4 に各割り込み要求の内容を示します。

表 19.4 割り込み要求一覧

割り込み要求	略称	割り込み条件	I ² C バス フォーマット	クロック同期式 シリアル フォーマット
送信データエンプティ	TXI	(TDRE=1)・(TIE=1)	○	○
送信終了	TEI	(TEND=1)・(TEIE=1)	○	○
受信データフル	RXI	(RDRF=1)・(RIE=1)	○	○
停止条件検出	STPI	(STOP=1)・(STIE=1)	○	×
NACK 検出	NAKI	{(NACKF=1)+(AL=1)}・(NAKIE=1)	○	×
アービトレーションロスト／ オーバランエラー			○	○

表 19.4 の割り込み条件が 1 のとき、CPU は割り込み例外処理を実行します。なお TXI と RXI は、DMAC の起動設定を行っている場合は、DMAC を起動できます。その場合、CPU への割り込みは発生しません。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

19.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがLowレベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまなかった場合

の2つの状態でHighレベル期間が短くなる可能性があるため、SCLをモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 19.22 に、SCLをLow出力→Hi-ZにしてからSCLをモニタするまでの時間を表 19.5 に示します。

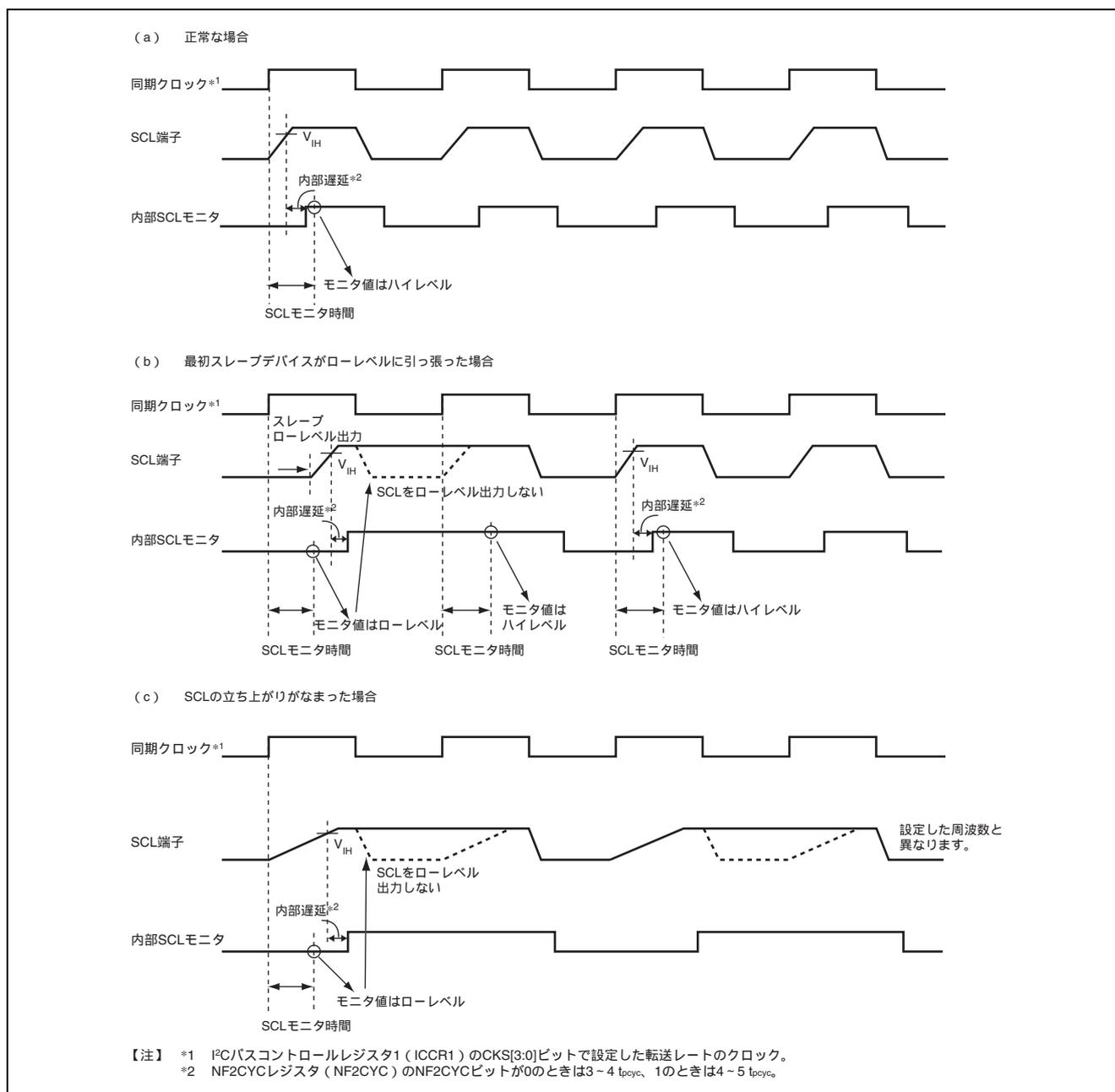


図 19.22 ビット同期回路のタイミング

表 19.5 SCL をモニタする時間

CKS[3]	CKS[2]	SCL をモニタする時間* ¹
0	0	9tpcyc* ²
	1	21tpcyc* ²
1	0	39tpcyc* ²
	1	87tpcyc* ²

【注】 *1 「SCL モニタタイミング基準クロック」立ち上がりから数えて「SCL をモニタする時間」 (pcyc) 後の「(ボード上) SCL」レベルをモニタします。

*2 $pcyc = P\phi \times cyc$

19.7 使用上の注意事項

19.7.1 マルチマスタで使用時の注意

マルチマスタで使用し、本 LSI の IIC 転送ルートの設定 (ICCR1 CKS[3:0]) が他のマスタより遅いとき、まれに SCL に予期しない幅の SCL が出力される場合があります。

他のマスタの一番速い転送レートより 1/1.8 以上の転送レートを設定する必要があります。

19.7.2 マスタ受信モード時の注意

8クロック目の立ち下がり付近で ICDRR をリードした場合、受信データが取れなくなる場合があります。

また、受信バッファフルかつ 8クロック目の立ち下がり付近で RCVD=1 に設定すると、停止条件の発行ができなくなる場合があります。

以下の、1.か2.の方法どちらかで対応してください。

1. マスタ受信モードでICDRRをリードする処理は8クロックの立ち上がりまでに行ってください。
2. マスタ受信モードはRCVD=1にし、1バイトごとの通信で処理を行ってください。

19.7.3 マスタ受信モード、ACKBT 設定時の注意

マスタ受信モード動作時、連続転送している最終データの 8 つ目の SCL が立ち下がる前に ACKBT を設定してください。スレーブ送信側デバイスがオーバーランする恐れがあります。

19.7.4 アービトレイションロス時の MST と TRN ビットの状態についての注意

マルチマスタで使用時、MST、TRS を順次ビット操作しマスタ送信に設定した場合、TRS のビット操作命令実行中のアービトレイションロスが発生するタイミングによっては、ICSR の AL=1 かつマスタ送信モード (MST=1、TRS=1) のように矛盾した状態になっている場合があります。

この現象を回避するためには下記の方法があります。

- マルチマスタで使用時、MST、TRSの設定はMOV命令で行ってください。
- アービトレイションロスした場合、MST=0、TRS=0を確認してください。
万一、MST=0、TRS=0以外の状態の場合、MST=0、TRS=0を設定し直してください。

19.7.5 I²C バスインタフェースモードのマスタ受信モード時の注意事項

(1) 注意事項

停止条件発行または開始条件の再発行が SCL の 9クロック目の立ち下がり重なった場合、9クロック目の後に、SCL が 1クロック余分に出力されます。

(2) 対策

マスタ受信完了後、SCL の 9クロック目の立ち下がりを確認してから、停止条件を発行または開始条件を再発行してください。

SCL の 9クロック目の立ち下がり、次の方法で確認してください。

ICSR レジスタの RDRF ビット (受信データレジスタフルフラグ) が 1 になったことを確認後、ICCR2 レジスタの SCLO ビット (SCL モニタフラグ) が 0 (SCL 端子は L) になったことを確認してください。

19.7.6 I²C バス動作中における ICE および IICRST のアクセス

(1) 現象

I²C バス動作中に、ICCR1 の ICE に 0 をライトもしくは ICCR2 の IICRST に 1 をライトすると、ICCR2 の BBSY と ICSR の STOP は不定となります。

(2) 条件

下記 (1) ~ (4) のいずれかの状態で、ICCR1 の ICE に 0 をライトもしくは ICCR2 の IICRST に 1 をライトした場合、上記現象が発生します。

- (1) マスタ送信モード (ICCR1 の MST=1、TRS=1) において、本モジュールが I²C のバス権を保有しているとき。
- (2) マスタ受信モード (ICCR1 の MST=1、TRS=0) において、本モジュールが I²C のバス権を保有しているとき。
- (3) スレーブ送信モード (ICCR1 の MST=0、TRS=1) において、本モジュールがデータ送信中のとき。
- (4) スレーブ受信モード (ICCR1 の MST=0、TRS=0) において、本モジュールがアクノリッジを送信しているとき。

(3) 対策

ICCR2 の BBSY の不定状態は、以下のいずれかで解消することができます。

- 開始条件 (SCL=High かつ SDA 立ち下がり) を入力すると、BBSY は 1 セットされます。
- 停止条件 (SCL=High かつ SDA 立ち上がり) を入力すると、BBSY は 0 クリアされます。
- マスタ送信モードにおいて、SCL=High かつ SDA=High の状態で、ICCR2 の BBSY に 1、SCP に 0 ライトして開始条件を発行します。開始条件 (SCL=High かつ SDA 立ち下がり) が出力されると、BBSY は 1 セットされます。
- マスタ送信モードもしくはマスタ受信モードにおいて、SDA=Low かつ本モジュール以外に SCL を Low にするデバイスがない状態で、ICCR2 の BBSY に 0、SCP に 0 ライトして停止条件を発行します。停止条件 (SCL=High かつ SDA 立ち上がり) が出力されると、BBSY は 0 クリアされます。
- SAR の FS に 1 をライトすると、BBSY は 0 クリアされます。

(4) レジスタ機能の補足説明

IICRST によるレジスタ初期化

- ICCR2 の IICRST に 1 をライトすると、ICCR2 の SDAO、SCLO は 1 セットされます。
- マスタ送信モードおよびスレーブ送信モードにおいて、IICRST に 1 をライトすると、ICSR の TDRE は 1 セットされます。
- IICRST=1 によるリセット期間中は、ICCR2 の BBSY、SCP、SDAO へのライトは無効です。
- IICRST に 1 をライトしても、ICCR2 の BBSY ビットは 0 クリアされません。しかし、SCL、SDA の端子状態によっては、停止条件 (SCL=High かつ SDA 立ち上がり) が生成され、結果的に BBSY が 0 クリアされる場合があります。また、他のビットも同様に、影響が発生する場合があります。
- IICRST=1 によるリセット期間中は、データ受送信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。SCL、SDA へ入力された信号によっては、ICCR1、ICCR2、ICSR の状態が更新される場合があります。

20. ホストインタフェース (HIF)

本LSIはシステムバスを共有できない外部デバイスと高速にデータ転送を行うためのホストインタフェース (HIF : Host Interface) を内蔵しています。

HIF を用いることにより、外部デバイスから本LSIに内蔵された4KB (2KB×2バンク) のHIF用内蔵RAM (HIFRAM) に対して32ビット単位のリード/ライトが可能となります。さらに外部デバイスから本LSIへの割り込み、本LSIから外部デバイスへの割り込み、および本LSIから外部デバイスへのDMA転送要求をサポートします。このHIFRAMと割り込み機能を用いることにより、ソフトウェア的に外部デバイスと本LSI間のデータ転送が可能となり、バス権を開放しない外部デバイスとの接続が可能となります。

またHIFRAMを使って本LSIを起動することができるHIFブートモードをサポートします。

20.1 特長

HIFには、次のような特長があります。

- 外部デバイスからは、HIFの端子を介して、HIFRAMに32ビット単位でリード/ライトが可能です (8/16ビット単位のアクセスはできません)。本LSIのCPUからは、内部周辺バスを介して、HIFRAMに8/16/32ビット単位でリード/ライトが可能です。また、2つのHIFRAMアクセスモード (バンクモード、非バンクモード) が選べます。
- 外部デバイスが、HIFの端子を介して、HIFRAMをアクセスする場合、HIF内部レジスタの設定により、アドレスの自動インクリメントやエンディアンの設定が可能となります。
- 外部デバイスからHIF内部レジスタの特定ビットへライトを行うこと、あるいは外部デバイスがHIFRAM最終アドレスをアクセスすることで、本LSIのCPUに割り込み (内部割り込み) をかけることができます。また逆に本LSIのCPUからHIF内部レジスタの特定ビットへライトを行うことで、外部デバイスに対して割り込み (外部割り込み) 、あるいはDMAC転送要求をかけることも可能です。
- 割り込み要因ビットを内部割り込み/外部割り込み用にそれぞれ7ビットサポートします。これにより128とおりの割り込みの制御がソフトウェアから可能となり、割り込みを用いたデータ転送を高速に行うことが可能となります。
- ブートモード時に、外部デバイスがHIFRAMに命令コードを格納しておくことで、HIFRAMからブート可能です。

図 20.1 に HIF のブロック図を示します。

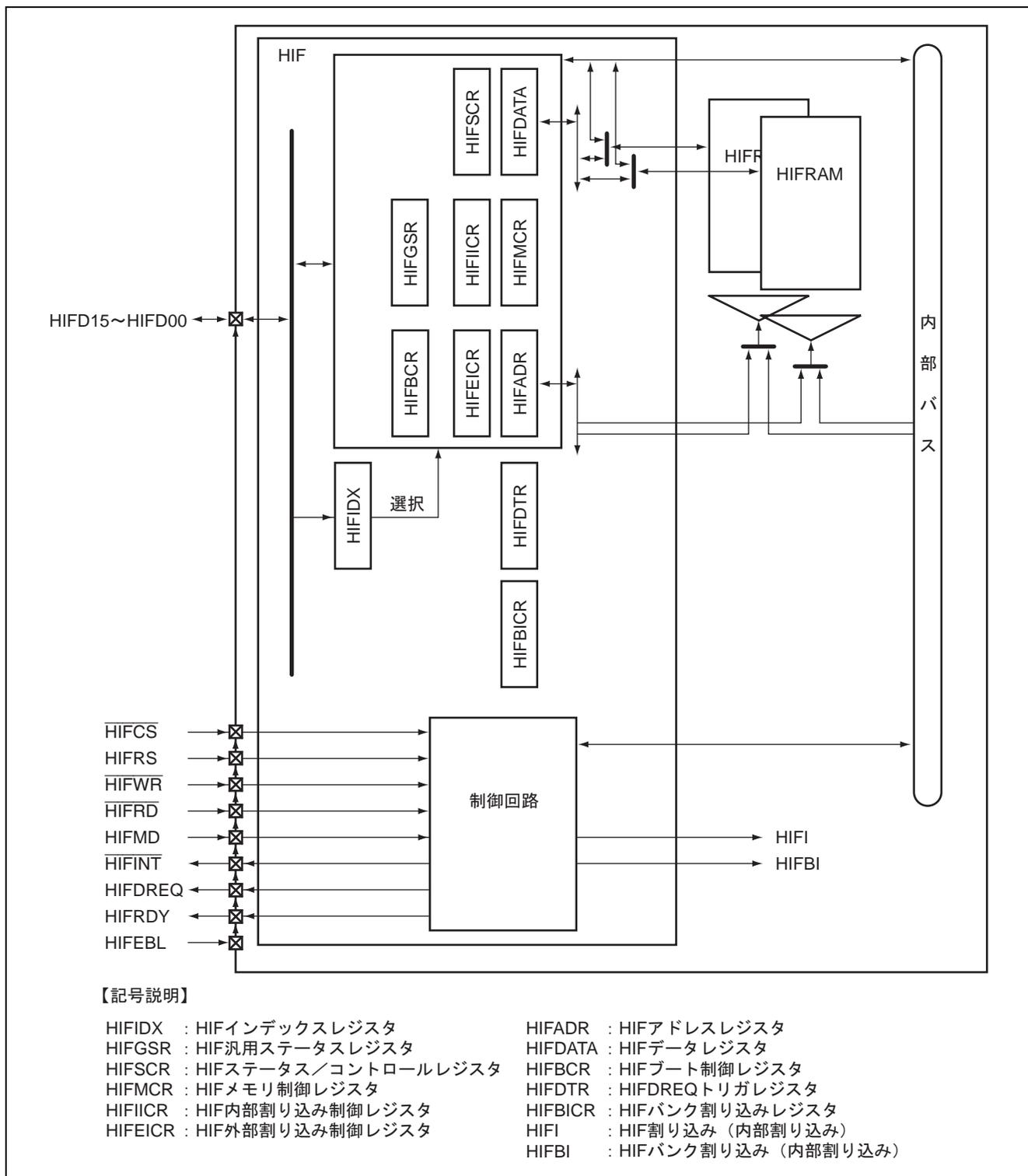


図 20.1 HIF ブロック図

20.2 入出力端子

HIF の端子構成を表 20.1 に示します。

表 20.1 端子構成

名称	略称	入出力	機能
HIF データ端子	HIFD15~ HIFD00	入出力	HIF へのアドレス/データ/コマンド入出力
HIF チップセレクト	$\overline{\text{HIFCS}}$	入力	HIF へのチップセレクト入力
HIF レジスタセレクト	HIFRS	入力	HIF へのアクセス種別切り替え 0: 通常アクセス (下記以外) 1: インデックスレジスタライト
HIF ライト	HIFWR	入力	ライトストロブ信号。外部デバイスが HIF へデータを書き込む場合、ローレベルを入力します。
HIF リード	$\overline{\text{HIFRD}}$	入力	リードストロブ信号。外部デバイスが HIF からデータを読み出す場合、ローレベルを入力します。
HIF 割り込み	HIFINT	出力	HIF から外部デバイスへの割り込み要求
HIF モード	HIFMD	入力	HIF ブートをするか、しないかを指定します。ハイレベルを入力した状態でパワーオンリセット解除することで、本 LSI は HIF ブートモードで起動します。
HIFDMAC 転送要求	HIFDREQ	出力	外部デバイスに対して HIFRAM への DMAC 転送を要求します。
HIF ブートレディ	HIFRDY	出力	本 LSI 内部で、HIF モジュールのリセットが解除され、外部デバイスから HIF モジュールへのアクセスを受け付け可能になったことを示します。 本 LSI のリセット入力端子のネゲートが検出されてから、周辺クロック換算で最大 20 クロック後にアサート出力されます。
HIF 端子イネーブル	HIFEBL	入力	ハイレベルを入力することで、本端子以外の HIF 端子を活性化します。

20.3 パラレルアクセス

20.3.1 動作説明

HIF へのアクセスは $\overline{\text{HIFCS}}$ 、 HIFRS 、 $\overline{\text{HIFWR}}$ 、 $\overline{\text{HIFRD}}$ の各端子を組み合わせることで行います。表 20.2 にこれらの信号の組み合わせと動作との対応を示します。

表 20.2 HIF 動作

HIFCS	HIFRS	$\overline{\text{HIFWR}}$	$\overline{\text{HIFRD}}$	動 作
1	*	*	*	ノーオペレーション (NOP)
0	1	0	1	インデックスレジスタ (HIFIDX[7:0]) へのライト
0	0	0	1	HIFIDX[7:0]で指定されるレジスタへのライト
0	*	1	0	HIFIDX[7:0]で指定されるレジスタからのリード
0	*	1	1	ノーオペレーション (NOP)
0	*	0	0	設定禁止

【注】 * : Don't Care

20.3.2 接続方法

HIF を外部デバイスに接続する場合は、たとえば図 20.2 に示すような方法で接続してください。

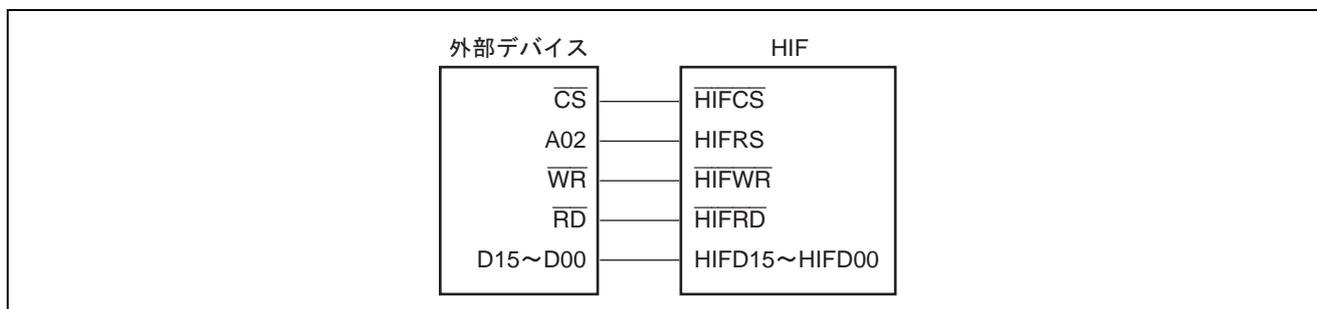


図 20.2 HIF 接続参考例

20.4 レジスタの説明

HIF には、以下のレジスタがあります。

- HIFインデックスレジスタ (HIFIDX)
- HIF汎用ステータスレジスタ (HIFGSR)
- HIFステータス/コントロールレジスタ (HIFSCR)
- HIFメモリ制御レジスタ (HIFMCR)
- HIF内部割り込み制御レジスタ (HIFIICR)
- HIF外部割り込み制御レジスタ (HIFEICR)
- HIFアドレスレジスタ (HIFADR)
- HIFデータレジスタ (HIFDATA)
- HIFブート制御レジスタ (HIFBCR)
- HIFDREQトリガレジスタ (HIFDTR)
- HIFバンク割り込み制御レジスタ (HIFBICR)

20.4.1 HIF インデックスレジスタ (HIFIDX)

HIFIDX は、32 ビットのレジスタで、HIFRS 端子がローレベルのときに外部デバイスがリード/ライトするレジスタを指定するために用います。本 LSI の CPU からはリードのみ可能です。外部デバイスからは HIFRS 端子をハイレベルにした状態でライトのみ可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	REG5	REG4	REG3	REG2	REG1	REG0	BYTE1	BYTE0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W						

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	REG5	0	R/W	HIF 内蔵レジスタ選択
6	REG4	0	R/W	外部デバイスが、HIFGSR、HIFSCR、HIFMCR、HIFIICR、HIFEICR、HIFADR、HIFDATA、HIFBCR のうち、どれをアクセスするかを指定するためのビットです。
5	REG3	0	R/W	
4	REG2	0	R/W	
3	REG1	0	R/W	
2	REG0	0	R/W	
				000000 : HIFGSR 000001 : HIFSCR 000010 : HIFMCR 000011 : HIFIICR 000100 : HIFEICR 000101 : HIFADR 000110 : HIFDATA 001111 : HIFBCR 上記以外 : リザーブビット

ビット	ビット名	初期値	R/W	説明
1	BYTE1	0	R/W	内蔵レジスタ内バイト指定
0	BYTE0	0	R/W	外部デバイスが、HIFGSR、HIFSCR、HIFMCR、HIFIICR、HIFEICR、HIFADR、HIFDATA、HIFBCR のいずれかをアクセスする前に、あらかじめターゲットとなるワード位置を指定しておくためのビットです。「20.8 アライメント制御」も併せて参照してください。 HIFSCR.BO=0 の場合 00 : レジスタのビット[31:16] 01 : 設定しないでください 10 : レジスタのビット[15:0] 11 : 設定しないでください HIFSCR.BO=1 の場合 00 : レジスタのビット[15:0] 01 : 設定しないでください 10 : レジスタのビット[31:16] 11 : 設定しないでください ただし REG5~REG0 で HIFDATA が選択された場合には、HIFDATA へのリード/ライトが発生するたびに BYTE1、BYTE0 が以下の規則で変化します。 00 → 10 → 00 → 10繰り返し

20.4.2 HIF 汎用ステータスレジスタ (HIFGSR)

HIFGSR は、32 ビットのレジスタで、HIF に接続される外部デバイスと本 LSI 上のソフトウェアとの間でハンドシェイクをとるために自由に用いることができるレジスタです。本 LSI の CPU からはリードもライトも可能です。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STATUS[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~0	STATUS [15:0]	すべて 0	R/W	汎用ステータス。 HIF に接続された外部デバイスからも、本 LSI の CPU からリード/ライト可能なレジスタです。パワーオンリセット時にのみ初期化されます。

20.4.3 HIF ステータス/コントロールレジスタ (HIFSCR)

HIFSCR は、32 ビットのレジスタで、HIFRAM のアクセスモード制御やエンディアン制御を行います。本 LSI の CPU からはリードもライトも可能です。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	DMD	DPOL	BMD	BSEL	-	-	MD1	-	-	WBSWP	EDN	BO
初期値 :	0	0	0	0	0	0	0	0	0	1	0/1	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	DMD	0	R/W	DREQ モード DREQ ポラリティ HIFDREQ 端子のアサートモードを制御します。ネゲートタイミング等の詳細は、「20.7 外部 DMAC インタフェース」を参照してください。 00 : 外部デバイスへ DMAC 転送要求をする場合、HIFDREQ 端子にローレベルを生成します。HIFDREQ はデフォルトハイレベル出力です。 01 : 外部デバイスへ DMAC 転送要求をする場合、HIFDREQ 端子にハイレベルを生成します。HIFDREQ はデフォルトローレベル出力です。 10 : 外部デバイスへ DMAC 転送要求をする場合、HIFDREQ 端子に立ち下がエッジを生成します。HIFDREQ はデフォルトハイレベル出力です。 11 : 外部デバイスへ DMAC 転送要求をする場合、HIFDREQ 端子に立ち上がりエッジを生成します。HIFDREQ はデフォルトローレベル出力です。
10	DPOL	0	R/W	

ビット	ビット名	初期値	R/W	説明
9	BMD	0	R/W	HIFRAM バンクモード
8	BSEL	0	R/W	HIFRAM バンクセレクト HIFRAM のアクセスモードを設定します。 00: 外部デバイス、本 LSI の CPU とともにバンク 0 をアクセス可能です。両者のアクセスが競合した場合、たとえアクセスアドレスが異なっても、外部デバイスのアクセス、本 LSI の CPU のアクセスの順に処理されます。バンク 1 はアクセスできません。 01: 外部デバイス、本 LSI の CPU とともにバンク 1 をアクセス可能です。両者のアクセスが競合した場合、例えアクセスアドレスが異なっても、外部デバイスのアクセス、本 LSI の CPU のアクセスの順に処理されます。バンク 0 はアクセスできません。 10: 外部デバイスはバンク 0 のみを、本 LSI の CPU はバンク 1 のみをアクセス可能です。 11: 外部デバイスはバンク 1 のみを、本 LSI の CPU はバンク 0 のみをアクセス可能です。
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
6	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込み値も常に 1 にしてください。
5	MD1	0/1	R	HIF モード 1 本 LSI を HIF ブートモードで起動したか、非 HIF ブートモードで起動したかを示します。本ビットはパワーオンリセット時にサンプリングされた HIFMD 端子への入力レベルが格納されます。 0: 非 HIF ブートモードで起動 (エリア 0 に接続しているメモリからブート) した。 1: HIF ブートモードで起動 (HIFRAM からブート) した。
4、3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
2	WBSWP	0	R/W	HIFDATA をアクセスする時のバイトオーダー 外部デバイスが HIFDATA をアクセスする場合のバイトオーダーを指定します。「20.8 アライメント制御」も併せて参照してください。 0: BO ビットにしたがってアライメントされます。 1: ビッグエンディアンの状態からワード単位のスワップをし、さらに各ワード内でバイト単位のスワップをします。BO ビットの設定は無視されます。
1	EDN	0	R/W	HIFRAM アクセス時のエンディアン 本 LSI の CPU が HIFRAM をアクセスする場合のバイトオーダーを指定します。 0: ビッグエンディアン (MSB ファースト) 1: リトルエンディアン (LSB ファースト)

ビット	ビット名	初期値	R/W	説明
0	BO	0	R/W	HIFDATA を含め HIF の全レジスタをアクセスするときのバイトオーダー 外部デバイスが HIFDATA を含め HIF の全レジスタをアクセスする場合のバイト オーダーを指定します。ただし、HIFDATA のアライメントについては、 WBSWP=0 のときのみ、本ビットが参照され、WBSWP=1 のときは、本ビッ トの参照は無視されます。「20.8 アライメント制御」も併せて参照してくだ さい。 0 : ビッグエンディアン (MSB ファースト) 1 : リトルエンディアン (LSB ファースト)

20.4.4 HIF メモリ制御レジスタ (HIFMCR)

HIFMCR は、32 ビットのレジスタで、HIFRAM の制御を行います。本 LSI の CPU からはリードのみ可能です。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	LOCK	-	WT	-	RD	-	-	AI/AD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W*	R	R/W*	R	R/W*	R	R	R/W*

【注】* HIFSCR の BMD ビット、BSEL ビットにより、外部デバイスからアクセス可能な HIFRAM のバンクを変更しても、本ビットの設定は影響を受けません。

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	LOCK	0	R/W*	ロック 外部デバイスが、HIFDATA 経由で HIFRAM を連続アクセスする場合、アクセス方向（リード、またはライト）をロックするためのビットです。本ビットへ 1 を書き込むと同時に設定した RD ビット、WT ビットの値が、次に本ビットを 0 クリアするまで保持されます。RD ビットと本ビットに同時に 1 を書き込んだ場合は連続読み出しモード、WT ビットと本ビットに同時に 1 を書き込んだ場合は連続書き込みモードとなります。RD ビットと WT ビットは同時に 1 にしないでください。
6	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
5	WT	0	R/W*	<p>ライト</p> <p>本ビットに1を書き込むと HIFDATA の値が、HIFADR に対応する HIFRAM の位置へ書き込まれます。</p> <p>本ビットへ1を書き込むのと同時に LOCK ビットに対して1を書き込むと HIFRAM への連続書き込み状態となり、高速なデータ転送が可能となります。この場合、本ビットの値は、次に0を書き込むか、LOCK ビットを0にするまで保持されます。</p> <p>LOCK ビットに対して同時に1を書き込まない場合は、HIFRAM に対して1度だけ書き込みが発生し、その後、本ビットの値は自動的に0クリアされます。</p>
4	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
3	RD	0	R/W*	<p>リード</p> <p>本ビットに1を書き込むと HIFADR に対応する HIFRAM のデータが、HIFDATA に読み出されます。</p> <p>本ビットへ1を書き込むのと同時に LOCK ビットに対して1を書き込むと HIFRAM への連続読み出し状態となり、高速なデータ転送が可能となります。この場合、本ビットの値は、次に0を書き込むか、LOCK ビットを0にするまで保持されます。</p> <p>LOCK ビットに対して同時に1を書き込まない場合は、HIFRAM に対して1度だけ読み出しが発生し、その後、本ビットの値は自動的に0クリアされます。</p>
2、1	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
0	AI/AD	0	R/W*	<p>アドレスオートインクリメント/デクリメント。</p> <p>LOCK ビットが1のときのみに有効なビットです。HIFRAM へのリードもしくはライトが発生するたびに、HIFADR の値が自動的に+4もしくは-4します。</p> <p>0: オートインクリメントモード (+4)</p> <p>1: オートデクリメントモード (-4)</p>

【注】 * HIFSCR の BMD ビット、BSEL ビットにより、外部デバイスからアクセス可能な HIFRAM のバンクを変更しても、本ビットの設定は影響を受けません。

20.4.5 HIF 内部割り込み制御レジスタ (HIFIICR)

HIFIICR は、32 ビットのレジスタで、HIF に接続された外部デバイスから本 LSI の CPU に対して割り込みを発生させるためのレジスタです。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	IIC6	IIC5	IIC4	IIC3	IIC2	IIC1	IIC0	IIR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W						

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	IIC6	0	R/W	内部割り込み要因 IIR 割り込みの要因を指定するためのビットです。本ビットは外部デバイスからも本 LSI の CPU からも書き込みが可能です。本ビットを用いることにより割り込みハンドラの処理を高速に行うことが可能となります。このビットは完全にソフトウェア制御であり、本ビットの値が本 LSI の動作に影響を与えることはありません。
6	IIC5	0	R/W	
5	IIC4	0	R/W	
4	IIC3	0	R/W	
3	IIC2	0	R/W	
2	IIC1	0	R/W	
1	IIC0	0	R/W	
0	IIR	0	R/W	内部割り込みリクエスト このビットが 1 の期間、本 LSI の CPU に対して割り込み要求 (HIFI) が発生します。

20.4.6 HIF 外部割り込み制御レジスタ (HIFEICR)

HIFEICR は、32 ビットのレジスタで、本 LSI から HIF に接続された外部デバイスに対して割り込みを発生させるためのレジスタです。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	EIC6	EIC5	EIC4	EIC3	EIC2	EIC1	EIC0	EIR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W						

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	EIC6	0	R/W	外部割り込み要因 EIR 割り込みの要因を指定するためのビットです。本ビットは外部デバイスからも本 LSI の CPU からも書き込みが可能です。本ビットを用いることにより割り込みハンドラの処理を高速に行うことが可能となります。このビットは完全にソフトウェア制御であり、本ビットの値が本 LSI の動作に影響を与えることはありません。
6	EIC5	0	R/W	
5	EIC4	0	R/W	
4	EIC3	0	R/W	
3	EIC2	0	R/W	
2	EIC1	0	R/W	
1	EIC0	0	R/W	
0	EIR	0	R/W	外部割り込みリクエスト このビットが 1 の期間、本 LSI から外部デバイスに対して $\overline{\text{HIFINT}}$ 端子をアサートして割り込みを要求します。

20.4.7 HIF アドレスレジスタ (HIFADR)

HIFADR は、32 ビットのレジスタで、外部デバイスが HIFRAM をアクセスする際のアドレスを示します。HIFMCR の LOCK ビットの設定により HIFRAM への連続アクセスが指定されているときは、HIFMCR の AI/AD ビットの設定に従い、アドレスのオートインクリメント (+4) もしくはオートデクリメント (-4) が HIFRAM へのアクセスのたびに自動的に行われ、HIFADR が更新されます。本 LSI の CPU からはリードのみ可能です。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	-	-	-	-	-	A[10:2]										-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W :	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	

ビット	ビット名	初期値	R/W	説明
31~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~2	A[10:2]	すべて 0	R/W	HIFRAM アドレス指定。 外部デバイスが HIFRAM をアクセスする際のアドレスを 32 ビット境界で指定します。
1、0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

20.4.8 HIF データレジスタ (HIFDATA)

HIFDATA は、32 ビットのレジスタで、外部デバイスから HIFRAM へのライトデータや、HIFRAM からの外部デバイスへのリードデータを保持するレジスタです。HIFRAM へのアクセスで HIFDATA を用いない場合は、HIF に接続されている外部デバイスと、本 LSI の CPU とのデータ転送に用いることも可能です。本 LSI の CPU から、リードもライトも可能です。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	D[31:16]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~0	D[31:0]	すべて 0	R/W	32 ビットデータ

20.4.9 HIF ブート制御レジスタ (HIFBCR)

HIFBCR は、32 ビットのレジスタで、HIFRAM アクセスに関して、外部デバイスと本 LSI の CPU との排他制御を行うレジスタです。本 LSI の CPU からは、リードのみ可能です。外部デバイスからのアクセスは、HIFIDX の REG5~REG0 ビットで本レジスタを指定し、HIFRS 端子をローレベルにした状態で行ってください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	AC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1
R/W:	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~1	—	すべて 0	R/W	AC ビット書き込み用補助 AT ビットに 1 を設定するためのビットパターン (H'A5) 書き込みに使用します。 読み出すと常に 0 が読み出されます。

ビット	ビット名	初期値	R/W	説明
0	AC	0/1	R/W	<p>HIFRAM アクセス排他制御</p> <p>HIFSCR の BMD ビット、BSEL ビットによって選択された、本 LSI がアクセス可能な HIFRAM のバンクに対して、本 LSI の CPU からのアクセス制御を行います。</p> <p>0 : 本 LSI の CPU から HIFRAM へリード/ライトが可能です。</p> <p>1 : 本 LSI の CPU から HIFRAM へのリード/ライトが発生すると、CPU は待機状態となり、本ビットが 0 になるまで命令の実行を停止します。</p> <p>非 HIF ブートモードで起動した場合、AC ビットの初期値は 0 です。</p> <p>HIF ブートモードで起動した場合、AC ビットの初期値は 1 です。外部デバイスが HIF 経由で HIFRAM にブートプログラムを格納した後、本ビットをクリアすることで、本 LSI の CPU は HIFRAM からブートします。</p> <p>外部デバイスが本ビットへ 1 に設定する場合は、誤書き込み防止のため、HIFBCR[7:0]に H'A5 を書き込んでください。</p>

20.4.10 HIFDREQ トリガレジスタ (HIFDTR)

HIFDTR は、32 ビットのレジスタで、本 LSI の CPU が本レジスタにライト動作を行うことで、HIFDREQ 端子がアサートされます。外部デバイスからのアクセスはできません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DTRG
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
0	DTRG	0	R/W	<p>HIFDREQ トリガ</p> <p>本ビットに 1 をライトすると、HIFSCR の DMD ビット、DPOL ビットの設定に従って、HIFDREQ 端子がアサートされます。また、本ビットは HIFDREQ 端子のネゲートに同期して、自動的にクリアされます。</p> <p>本 LSI の CPU からは、本ビットのセットはできませんが、クリアはできません。HIFDREQ 端子のネゲートによる本ビットのクリアと、本 LSI の CPU によるセットが競合しないように、本 LSI の CPU によるセットの前に、必ずクリアされていることを確認してください。</p> <p>0 ライトは無効です。</p>

20.4.11 HIF バンク割り込み制御レジスタ (HIFBICR)

HIFBICR は、32 ビットのレジスタで、HIF バンク割り込みの制御を行います。外部デバイスからのアクセスはできません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BIE	BIF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	BIE	0	R/W	バンク割り込みイネーブル 本 LSI の CPU に対して、バンク割り込み要求 (HIFBI) を禁止するか、許可するかを設定します。 0: HIFBI を禁止します。 1: HIFBI を許可します。
0	BIF	0	R/W	バンク割り込み要求フラグ 本ビットが 1 の期間、BIE の設定に従って、本 LSI の CPU に対してバンク割り込み要求 (HIFBI) を発生します。 本ビットは、オートインクリメントモード (HIFMCR の AI/AD ビット=0) 時には、外部デバイスが HIFRAM の最後尾の 32 ビットデータのアクセスを完了し、HIFCS がネゲートされたときに自動的にセットされます。 オートデクリメントモード (HIFMCR の AI/AD ビット=1) 時には、外部デバイスが HIFRAM の先頭の 32 ビットデータのアクセスを完了し、HIFCS がネゲートされたときに自動的にセットされます。 本 LSI の CPU からは、本ビットのクリアはできますが、セットはできません。 外部デバイスの HIFRAM アクセスによる本ビットのセットと、本 LSI の CPU によるクリアが競合しないように、ソフトウェアで保証してください。 1 書き込みはできません。

20.5 メモリマップ

表 20.3 に HIFRAM のメモリマップを示します。

表 20.3 メモリマップ

分類	開始アドレス	終了アドレス	サイズ
外部デバイスからみたマップ* ¹	H'0000	H'07FF	2KB
本 LSI の CPU からみたマップ* ¹ * ²	H'FFFF_F000	H'FFFF_F7FF	2KB

【注】 *1 HIFRAM の 1 バンクあたりのマップです。外部デバイスや本 LSI の CPU がどちらのバンクをアクセスするかは、HIFSCR の BMD ビット、BSEL ビットに依存し、マッピングアドレスはバンク間で共通です。

*2 ただし HIF ブートモード時には、バンク 0 が選択され、H'0000_0000~H'0000_07FF (キャッシュャブル領域のエリア 0 の前半 32MB のうち先頭 2KB) および H'2000_0000~H'2000_07FF (ノンキャッシュャブル領域のエリア 0 の前半 32MB のうち先頭 2KB) にもマッピングされます。

キャッシュオンの状態で、キャッシュャブル領域から HIFRAM をアクセスすると、外部デバイスが HIFRAM を更新した場合、コヒーレンシの問題が発生します。キャッシュオンの状態では、ノンキャッシュャブル領域から HIFRAM をアクセスすることを推奨します。

HIF ブートモード時には、各領域のエリア 0 の前半 32MB のうち、HIFRAM がマッピングされているアドレス以外はアクセス禁止です。

HIF ブートモード時であっても、エリア 0 の前半 32MB 以外のエリアは通常どおり、外部メモリにマッピングされます。

20.6 インタフェース

20.6.1 基本シーケンス

図 20.3 に基本シーケンスを示します。 $\overline{\text{HIFRD}}$ のローレベル期間と $\overline{\text{HIFCS}}$ のローレベル期間のオーバーラップ期間でリードを規定し、 $\overline{\text{HIFWR}}$ のローレベル期間と $\overline{\text{HIFCS}}$ のローレベル期間のオーバーラップ期間でライトを規定します。また HIFRS 信号は、当該アクセスが通常アクセスなのか、インデックスレジスタアクセスなのかを示し、ローレベルならば通常アクセス、ハイレベルであればインデックスレジスタアクセスとなります。

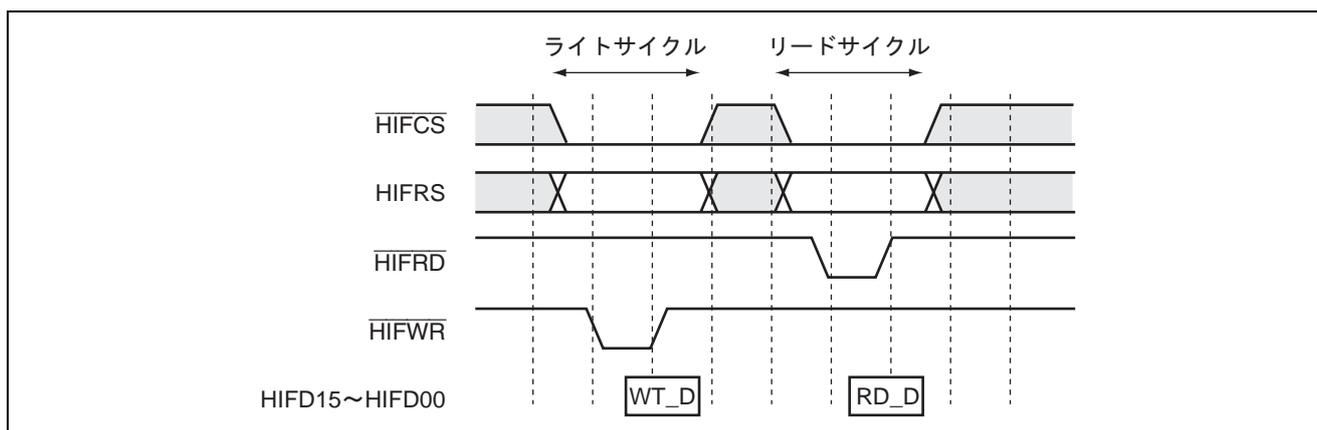


図 20.3 HIF インタフェース基本タイミング

20.6.2 HIFIDX と HIFIDX 以外の HIF レジスタのリード/ライト

図 20.4 に示すように、 HIFIDX と HIFIDX 以外の HIF レジスタへのリード/ライトは最初 HIFRS をハイレベルにした状態で HIFIDX に書き込みを行うことでアクセスするレジスタとバイト位置を選びます。その後 HIFRS をローレベルにして HIFIDX で選択したレジスタにリード/ライトを行ってください。

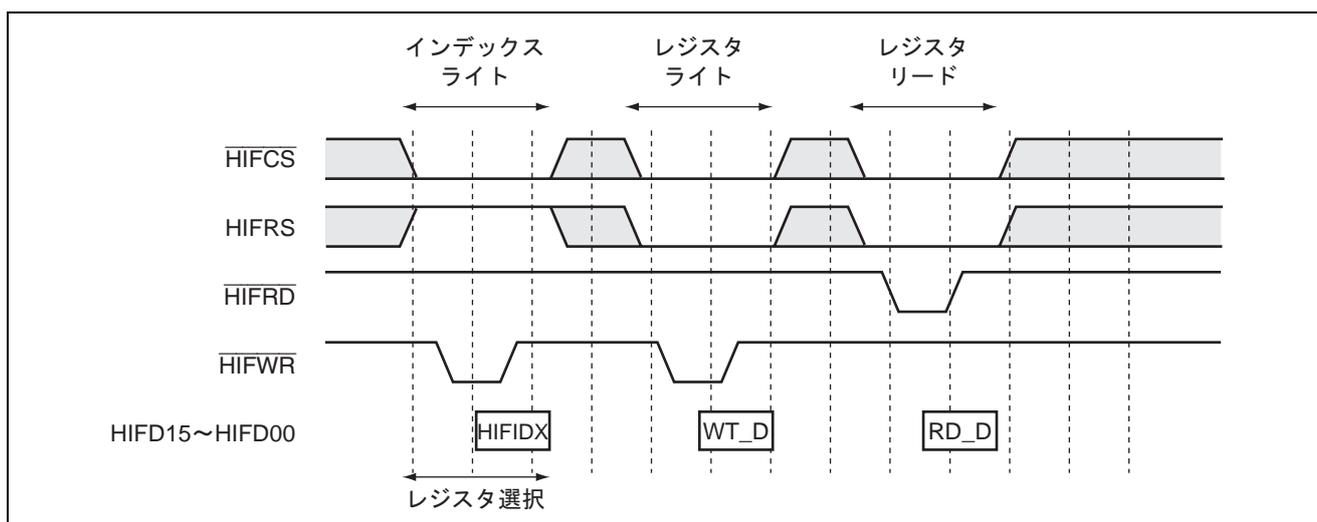


図 20.4 HIF レジスタ設定

20.6.3 外部デバイスから HIFRAM への連続データ書き込み

図 20.5 に外部デバイスから HIFRAM への連続データ転送のタイミングチャートを示します。本タイミングチャートで示すとおり、開始アドレスと最初の書き込みデータを設定すれば、それ以降は連続してデータを転送することが可能となります。

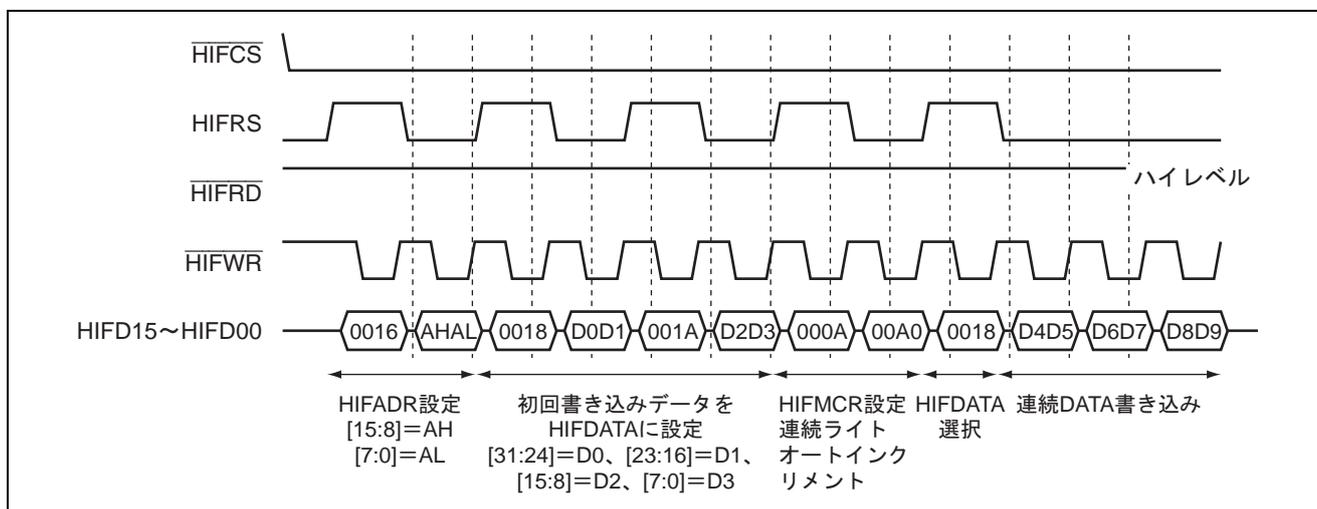


図 20.5 HIFRAM への連続データ書き込み

20.6.4 HIFRAM から外部デバイスへの連続読み出し

図 20.6 に HIFRAM から外部デバイスへの連続データ読み出しのタイミングチャートを示します。本タイミングチャートに示すとおり、開始アドレスを設定すれば、それ以降は連続してデータを読み出すことが可能となります。

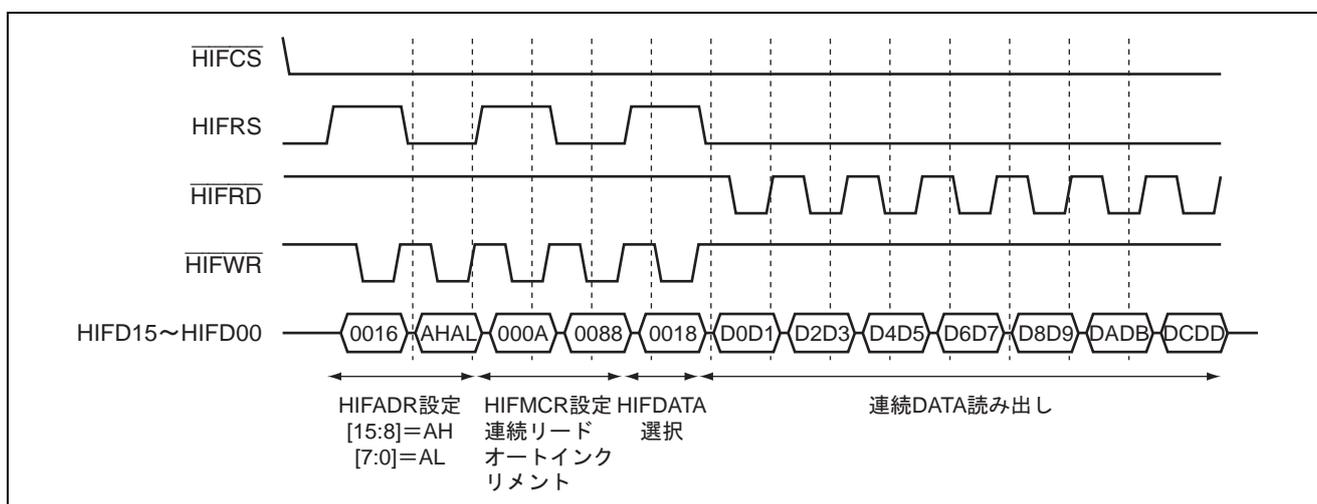


図 20.6 HIFRAM からの連続データ読み出し

20.7 外部 DMAC インタフェース

図 20.7～図 20.10 に HIFDREQ 出力タイミングを示します。HIFDREQ のアサート開始は、HIFDTR の DTRG ビットへの 1 ライトに同期します。HIFDREQ ネゲートタイミング、アサートレベルは、それぞれ HIFSCR の DMD ビット、DPOL ビットによって決まります。

外部 DMAC が HIFDREQ をローアクティブでレベル検出する場合、DMD=0、DPOL=0 を設定します。DTRG に 1 ライトしてから HIFIDX で指定されるレジスタへのリード/ライトを検出するまで、HIFDREQ はローレベルを保持します。インデックスレジスタ (HIFIDX) へのライトでは、ネゲートされません。

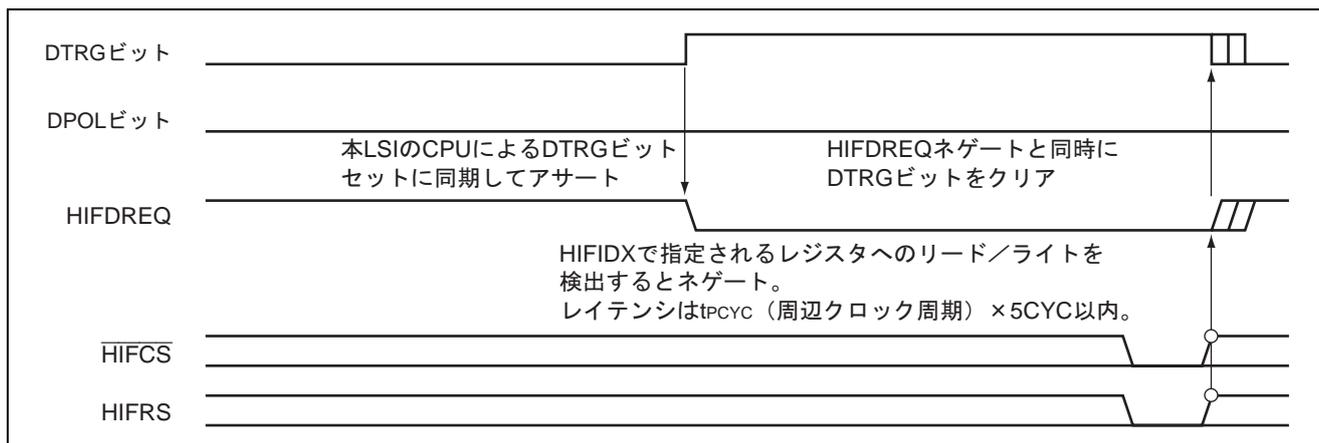


図 20.7 HIFDREQ タイミング (DMD=0、DPOL=0 の場合)

外部 DMAC が HIFDREQ をハイアクティブでレベル検出する場合、DMD=0、DPOL=1 を設定します。DPOL=1 を設定した時点で、HIFDREQ はローレベルとなります。その後、DTRG に 1 ライトしてから HIFIDX で指定されるレジスタへのリード/ライトを検出するまで、HIFDREQ はハイレベルを保持します。インデックスレジスタ (HIFIDX) へのライトでは、ネゲートされません。

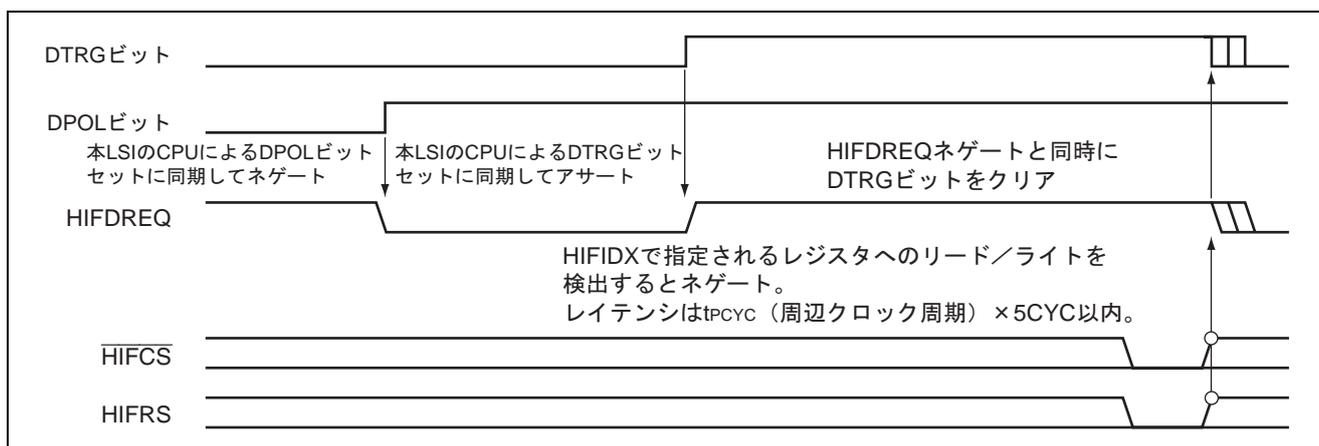


図 20.8 HIFDREQ タイミング続き (DMD=0、DPOL=1 の場合)

外部 DMAC が HIFDREQ を立ち下がりエッジ検出する場合、DMD=1、DPOL=0 を設定します。HIFDREQ には、DTRG に 1 ライトしてから周辺クロック換算で 32 サイクル幅のローパルスが生成されます。

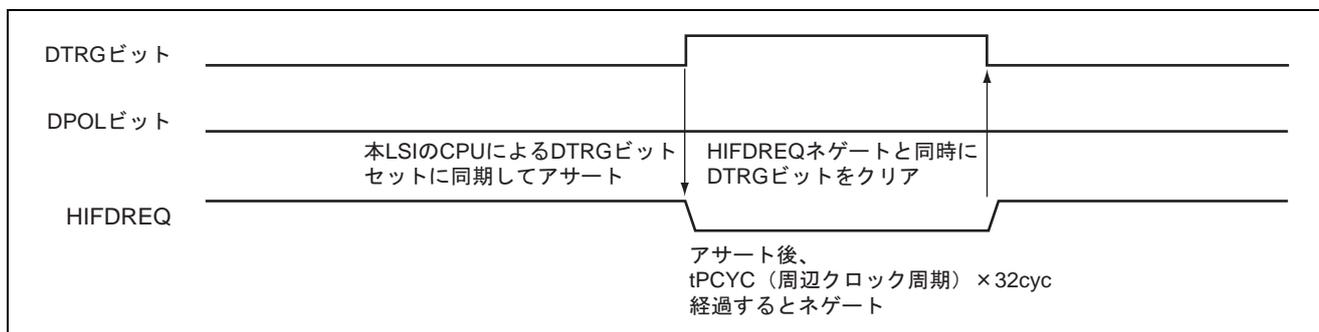


図 20.9 HIFDREQ タイミング続き (DMD=1、DPOL=0 の場合)

外部 DMAC が HIFDREQ を立ち上がりエッジ検出する場合、DMD=1、DPOL=1 を設定します。DPOL=1 を設定した時点で、HIFDREQ はローレベルとなります。その後、HIFDREQ には、DTRG に 1 ライトしてから周辺クロック換算で 32 サイクル幅のローパルスが生成されます。

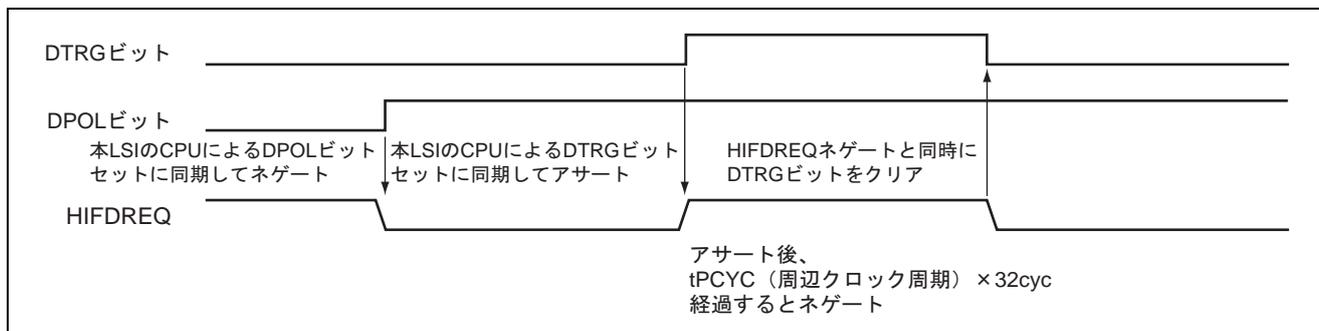


図 20.10 HIFDREQ タイミング続き (DMD=1、DPOL=1 の場合)

外部 DMAC が間欠動作モード（ブロック転送モード）をサポートしている場合、HIFRAM の連続アクセス機能とバンク機能を利用して、効率の良いデータ転送が可能です。

表 20.4 外部 DMAC による HIFRAM への連続ライト手順例

番号	外部デバイス		本 LSI	
	CPU	DMAC	HIF	CPU
1	HIF 初期設定			HIF 初期設定
2	DMAC 初期設定			
3	HIFADR を（HIFRAM の最終アドレス-8）に設定			
4	HIFDATA を選択し、HIFDATA にダミーデータ（4 バイト）書き込み			
5	HIFMCR でアドレスインクリメントの HIFRAM 連続ライトを設定			
6	HIFDATA 選択し、HIFRAM にダミーデータ（4 バイト）書き込み	→	→ HIF バンク割り込み発生	→ HIF バンク割り込みハンドラで HIFRAM バンク切り替え（外部デバイスはバンク 1 アクセス、本 LSI の CPU はバンク 0 をアクセス）
7		DMAC 起動	← HIFDREQ アサート	← DTRG ビットをセット
8		HIFRAM バンク 1 にデータ連続書き込み		
9		HIFRAM バンク 1 の最終アドレスへの書き込み完了し、いったん停止	→ HIF バンク割り込み発生	→ HIF バンク割り込みハンドラで HIFRAM バンク切り替え（外部デバイスはバンク 0 アクセス、本 LSI の CPU はバンク 1 をアクセス）
10		DMAC 再起動	← HIFDREQ アサート	← DTRG ビットをセット
11		HIFRAM バンク 0 にデータ連続書き込み		HIFRAM バンク 1 のデータを読み出し
12		HIFRAM バンク 0 の最終アドレスへの書き込み完了し、いったん停止	→ HIF バンク割り込み発生	→ HIF バンク割り込みハンドラで HIFRAM バンク切り替え（外部デバイスはバンク 1 アクセス、本 LSI の CPU はバンク 0 をアクセス）

番号	外部デバイス		本 LSI	
	CPU	DMAC	HIF	CPU
13		DMAC 再起動	← HIFDREQ アサート	← DTRG ビットをセット

以降 11 番～13 番の繰り返し。HIFDATA 以外のレジスタをアクセスすると（ただし、HIFRS=ローレベル状態での HIFGSR リードは除く）、HIFRAM 連続ライトが途切れ、再度 3 番～6 番の手続きが必要となります。

表 20.5 外部 DMAC による HIFRAM からの連続リード手順例

番号	外部デバイス		本 LSI	
	CPU	DMAC	HIF	CPU
1	HIF 初期設定			HIF 初期設定
2	DMAC 初期設定			
3	HIFADR を (HIFRAM の先頭) に設定			
4	HIFMCR でアドレスインクリメントの HIFRAM 連続リードを設定			
5	HIFDATA 選択			
6				HIFRAM バンク 1 にデータを書き込み
7				HIFRAM バンク 1 の最終アドレスにデータ書き込み後、HIFRAM バンク切り替え (外部デバイスはバンク 1 アクセス、本 LSI の CPU はバンク 0 をアクセス)
8		DMAC 起動	← HIFDREQ アサート	← DTRG ビットをセット
9		HIFRAM バンク 1 からデータ連続読み出し		HIFRAM バンク 0 にデータを書き込み
10		HIFRAM バンク 1 の最終アドレスからの読み出し完了し、いったん停止	→ HIF バンク割り込み発生	→ HIF バンク割り込みハンドラで HIFRAM バンク切り替え (外部デバイスはバンク 0 アクセス、本 LSI の CPU はバンク 1 をアクセス)
11		DMAC 再起動	← HIFDREQ アサート	← DTRG ビットをセット
12		HIFRAM バンク 0 からデータ連続読み出し		HIFRAM バンク 1 にデータを書き込み

番号	外部デバイス		本 LSI	
	CPU	DMAC	HIF	CPU
13		HIFRAM バンク 0 の最終アドレスからの読み出し完了し、いったん停止	→ HIF バンク割り込み発生	→ HIF バンク割り込みハンドラで HIFRAM バンク切り替え (外部デバイスはバンク 1 アクセス、 本 LSI の CPU はバンク 0 をアクセス)
14		DMAC 再起動	← HIFDREQ アサート	← DTRG ビットをセット

以降 12 番～14 番の繰り返し。HIFDATA 以外のレジスタをアクセスすると (ただし、HIFRS=ローレベル状態での HIFGSR リードは除く)、HIFRAM 連続リードが途切れ、再度 3 番～5 番の手続きが必要となります。

20.8 アライメント制御

表 20.6、表 20.7 に外部デバイスが HIFDATA、HIFDATA 以外の HIF レジスタをアクセスするときのアライメント制御を示します。

表 20.6 外部デバイスによるアクセス時の HIFDATA アライメント

HIFDATA 内データ	WBSWP ビット	BO ビット	BYTE[1:0]ビット	HIFD[15:0]端子上的アライメント
H'76543210	0	0	B'00	H'7654
			B'10	H'3210
		1	B'00	H'3210
			B'10	H'7654
	1	0	B'00	H'1032
			B'10	H'5476
		1	B'00	H'5476
			B'10	H'1032

表 20.7 外部デバイスによるアクセス時の HIF レジスタ (HIFDATA 除く) アライメント

HIFDATA 内データ	WBSWP ビット	BO ビット	BYTE[1:0]ビット	HIFD[15:0]端子上的アライメント
H'76543210	Don't Care	0	B'00	H'7654
			B'10	H'3210
		1	B'00	H'3210
			B'10	H'7654

20.9 外部デバイス電源遮断時のインタフェース

本モジュールとインタフェースをとる外部デバイスの電源が遮断された場合、本モジュールの入力端子に中間電位が印加されたり、本モジュールの出力端子が通電されていないデバイスをドライブしたりすることがあり、これはデバイス破壊の原因となります。これを防ぐため、HIFEBL 端子を設けています。システム電源監視ブロックが、外部デバイスの電源遮断に同期して本端子を制御することで、HIFMD を除く本モジュールの全端子をハイインピーダンス状態にできます。図 20.11 にハイインピーダンス制御のイメージを示します。また、表 20.8 に HIF 端子の入出力制御をまとめます。

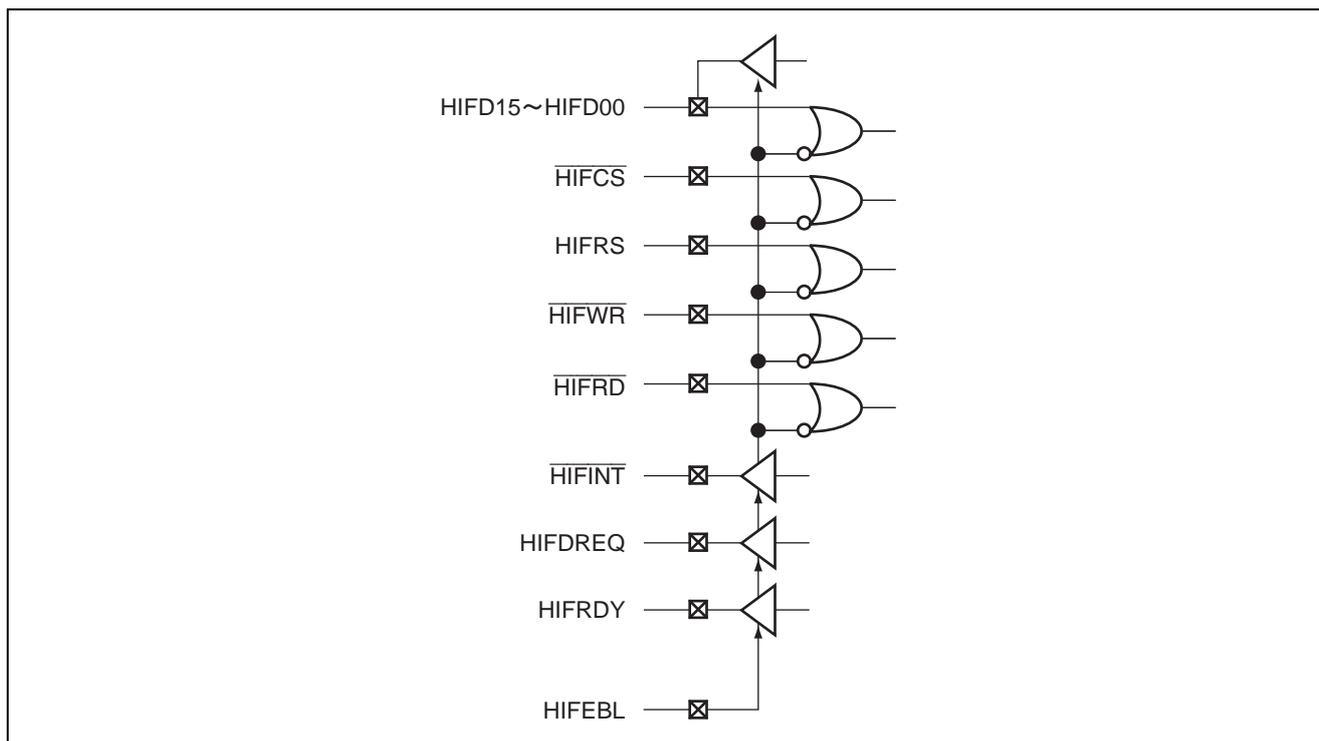


図 20.11 HIFEBL による HIF 端子ハイインピーダンス制御イメージ

表 20.8 HIF 端子の入出力制御

LSI 状態	RES 端子によるリセット中			RES 端子によるリセットを解除した後		
	High (ブート指定)		Low (非ブート指定)	HIFMD に High 入力の状態で RES 端子によるリセットを 解除した (ブートモード確定)		HIFMD に Low 入力の状態で RES 端子によるリセットを 解除した (非ブートモード確定)
HIFEBL 入力レベル	Low	High	本端子への入力値による HIF 端子制御は無効です。 本端子は汎用入力ポートと なります。	Low	High	初期状態は汎用入力ポートで す。 ^{*1}
HIFRDY 出力制御	出力バッファ ON (Low 出力)	出力バッファ ON (Low 出力)	汎用入力ポートとなります。	出力バッファ OFF	出力バッファ ON (シーケンス出力)	初期状態は汎用入力ポート です。 ^{*2}
HIFINT 出力制御	出力バッファ OFF	出力バッファ OFF	汎用入力ポートとなります。	出力バッファ OFF	出力バッファ ON (シーケンス出力)	初期状態は汎用入力ポート です。 ^{*2}
HIFDREQ 出力制御	出力バッファ OFF	出力バッファ OFF	汎用入力ポートとなります。	出力バッファ OFF	出力バッファ ON (シーケンス出力)	初期状態は汎用入力ポート です。 ^{*2}
HIFD15~ HIFD0 入出力制御	入出力バッファ OFF	入出力バッファ OFF	汎用入力ポートとなります。	入出力バッファ OFF	HIFCS/HIFWR/ HIFRD への入力 レベルに従って入 出力バッファ制御	初期状態は汎用入力ポート です。 ^{*2}
HIFCS 入力制御	入力バッファ OFF	入力バッファ OFF	汎用入力ポートとなります。	入力バッファ OFF	入力バッファ ON	初期状態は汎用入力ポート です。 ^{*2}
HIFRS 入力制御	入力バッファ OFF	入力バッファ OFF	汎用入力ポートとなります。	入力バッファ OFF	入力バッファ ON	初期状態は汎用入力ポート です。 ^{*2}
HIFWR 入力制御	入力バッファ OFF	入力バッファ OFF	汎用入力ポートとなります。	入力バッファ OFF	入力バッファ ON	初期状態は汎用入力ポート です。 ^{*2}
HIFRD 入力制御	入力バッファ OFF	入力バッファ OFF	汎用入力ポートとなります。	入力バッファ OFF	入力バッファ ON	初期状態は汎用入力ポート です。 ^{*2}

【注】 *1 PFC 設定で HIFEBL 機能を選択することも可能です。

*2 PFC 設定で HIF 機能を選択することも可能です。

PFC 設定で HIFEBL 端子を選択し、本端子も HIF 端子として選択した場合は、HIFEBL 入力レベルによって入出力バッファが制御されます。

PFC 設定で HIFEBL 端子を選択しないで、本端子を HIF 端子として選択した場合は、入出力バッファは OFF のままとなります。このような設定はしないでください。

20.10 使用上の注意事項

(1) HIF 関連レジスタに対する外部デバイスからのアクセスと内部バスからの（本 LSI の CPU/DMAC からの）アクセスの競合について

外部デバイス、内部バス、双方からのアクセスが可能な HIF 関連レジスタにおいて、外部デバイスからのリード/ライトと内部バスからのライトとが競合しないようにしてください。

外部デバイスからのリードと内部バスからのライトが競合すると、外部デバイスによるリードサイクルの途中で、HIFD[15:0]上の読み出しデータが更新されてしまいます。外部デバイスからのライトと内部バスからのライトが競合すると、内部バスからのライトは無視されてしまいます。このとき、本 LSI の CPU や DMAC には特にエラーの通知はされません。

外部デバイスからのリード/ライトと内部バスからのリードとの競合は問題ありません。

21. コンペアマッチタイマ (CMT)

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生することができます。

21.1 特長

- 4種類のカウンタ入力クロックを2チャンネル独立で選択可能
4種類の内部クロック (Pφ/8、Pφ/32、Pφ/128、Pφ/512) を選択可能
- コンペアマッチ時、DMAC設定により、DMA転送要求または割り込み要求の発生を選択可能
- CMTを使用しないときは、消費電力低減のためCMTに対してクロックの供給を止めて動作を停止させることができます。

図 21.1 に CMT のブロック図を示します。

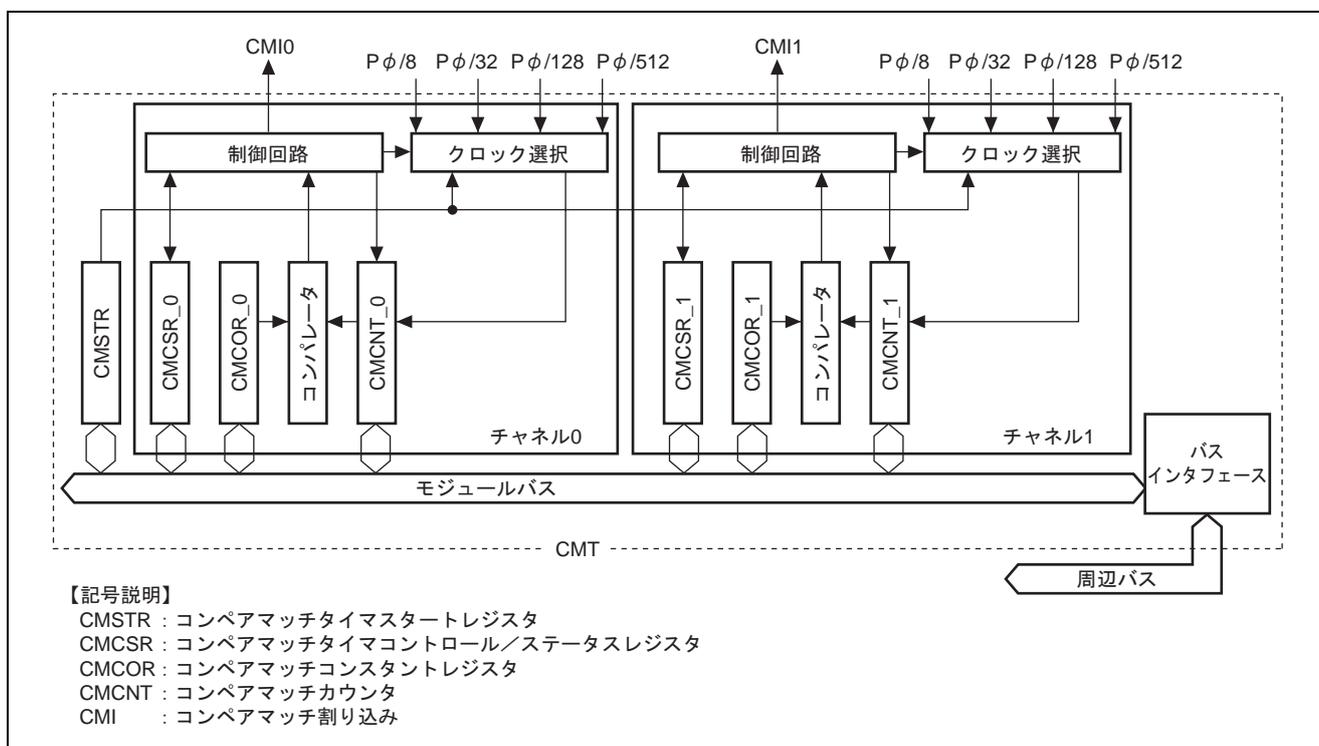


図 21.1 CMT のブロック図

21.2 レジスタの説明

CMT には以下のレジスタがあります。

表 21.1 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
共通	コンペアマッチタイマスタートレジスタ	CMSTR	R/W	H'0000	H'FFFE000	16
0	コンペアマッチタイマコントロール/ ステータスレジスタ_0	CMCSR_0	R/(W)*	H'0000	H'FFFE002	16
	コンペアマッチカウンタ_0	CMCNT_0	R/W	H'0000	H'FFFE004	16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	R/W	H'FFFF	H'FFFE006	16
1	コンペアマッチタイマコントロール/ ステータスレジスタ_1	CMCSR_1	R/(W)*	H'0000	H'FFFE008	16
	コンペアマッチカウンタ_1	CMCNT_1	R/W	H'0000	H'FFFE00A	16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	R/W	H'FFFF	H'FFFE00C	16

21.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

CMSTR は 16 ビットのレジスタで、コンペアマッチカウンタ (CMCNT) の動作/停止を選択します。

CMSTR はパワーオンリセット時、およびソフトウェアスタンバイモード時に H'0000 に初期化されます。モジュールスタンバイモード時には以前の値を保持します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	STR1	STR0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	STR1	0	R/W	カウントスタート 1 コンペアマッチカウンタ_1 の動作/停止を選択します。 0 : CMCNT_1 はカウントを停止 1 : CMCNT_1 はカウントを開始
0	STR0	0	R/W	カウントスタート 0 コンペアマッチカウンタ_0 の動作/停止を選択します。 0 : CMCNT_0 はカウントを停止 1 : CMCNT_0 はカウントを開始

21.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

CMCSR は 16 ビットのレジスタで、コンペアマッチの発生の表示、割り込みの許可/禁止、およびカウンタ入力クロックの設定を行います。

CMCSR はパワーオンリセット時、およびソフトウェアスタンバイモード時に H'0000 に初期化されます。モジュールスタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	-	-	-	-	CKS[1:0]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/(W)*	R/W	R	R	R	R	R/W	R/W

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	CMF	0	R/(W)*	コンペアマッチフラグ CMCNT と CMCOR の値が一致したか否かを示すフラグです。 0 : CMCNT と CMCOR の値は不一致 [クリア条件] • CMF=1 を読み出し後、CMF に 0 を書き込んだとき 1 : CMCNT と CMCOR の値が一致
6	CMIE	0	R/W	コンペアマッチ割り込みイネーブル CMCNT と CMCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。 0 : コンペアマッチ割り込み (CMI) を禁止 1 : コンペアマッチ割り込み (CMI) を許可
5~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	CKS[1:0]	00	R/W	クロックセレクト 周辺クロック (Pφ) を分周した 4 種類の内部クロックから CMCNT に入力するクロックを選択します。CMSTR の STR ビットが 1 にセットされると、CMCNT は CKS[1:0] ビットにより選択されたクロックでカウントを開始します。 00 : Pφ/8 01 : Pφ/32 10 : Pφ/128 11 : Pφ/512

21.2.3 コンペアマッチカウンタ (CMCNT)

CMCNT は 16 ビットのレジスタで、アップカウンタとして使用されます。カウンタ入力クロックが CMCSR の CKS[1:0] ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりカウントを開始します。CMCNT の値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。

CMCNT はパワーオンリセット時、およびソフトウェアスタンバイモード時に H'0000 に初期化されます。モジュールスタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

21.2.4 コンペアマッチコンスタントレジスタ (CMCOR)

CMCOR は 16 ビットのレジスタで CMCNT とコンペアマッチするまでの期間を設定します。

CMCOR はパワーオンリセット時、およびソフトウェアスタンバイモード時に H'FFFF に初期化されます。モジュールスタンバイモード時には以前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

21.3 動作説明

21.3.1 期間カウント動作

内部クロックが CMCSR の CKS[1:0]ビットにより選択され、CMSTR の STR ビットが 1 にセットされると、CMCNT は選択されたクロックによりインクリメントを開始します。CMCNT の値が CMCOR の値と一致すると、CMCNT は H'0000 にクリアされ CMCSR の CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み(CMI)を要求します。CMCNT は H'0000 からカウントアップを再開します。

図 21.2 にコンペアマッチカウンタ動作を示します。

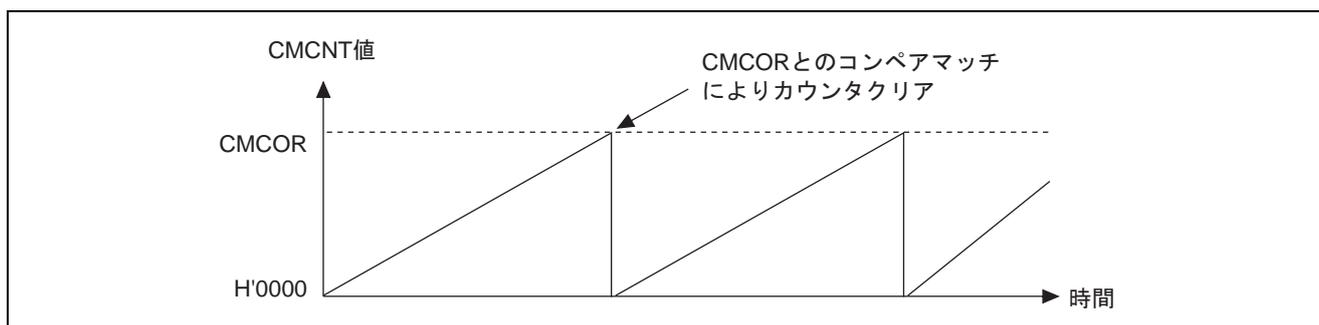


図 21.2 カウンタ動作

21.3.2 CMCNT カウントタイミング

周辺クロック ($P\phi$) を分周して得られた 4 種類のクロック ($P\phi/8$ 、 $P\phi/32$ 、 $P\phi/128$ 、 $P\phi/512$) のうち 1 つを CMCSR の CKS[1:0]ビットにより選択することができます。図 21.3 にそのタイミングを示します。

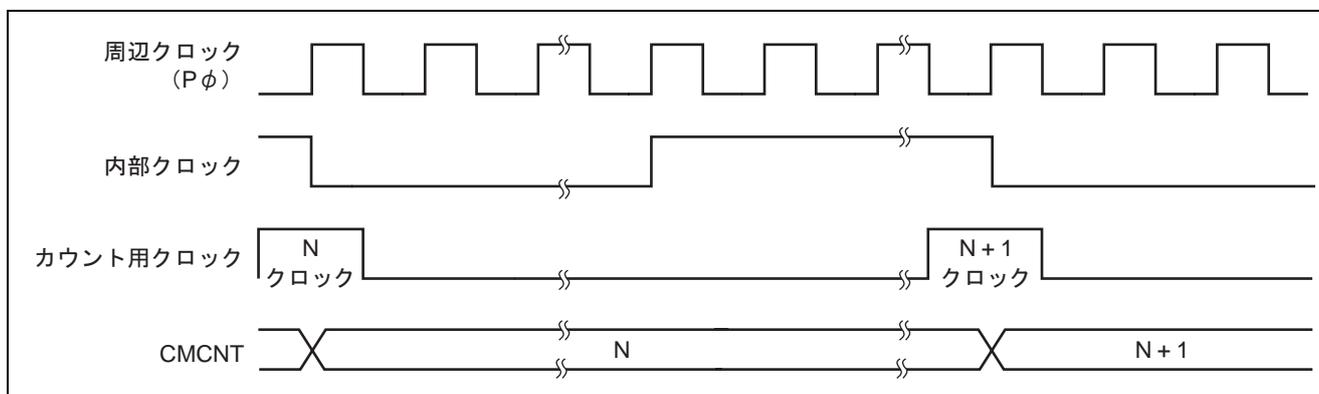


図 21.3 カウントタイミング

21.4 割り込み

21.4.1 割り込み要因と DMA 転送要求

CMT はチャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。コンペアマッチフラグ (CMF) が 1 にセットされ、かつ割り込みイネーブルビット (CMIE) が 1 にセットされているとき、該当する割り込み要求が出力されます。割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳細は「第 6 章 割り込みコントローラ (INTC)」を参照してください。

ユーザ例外処理ルーチン中に CMF ビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。また、コンペアマッチ割り込み要求時に、ダイレクトメモリアクセスコントローラ (DMAC) の設定により、DMAC を起動することができます。このとき、CPU へ割り込み発生はしません。DMAC の起動設定を行わない場合は、CPU へ割り込み要求が発生します。DMAC によるデータ転送時に CMF ビットは自動的にクリアされます。

21.4.2 コンペアマッチフラグのセットタイミング

CMCOR と CMCNT が一致すると、一致の最終ステート (CMCNT の値が H'0000 に更新されるタイミング) でコンペアマッチ信号が発生し、CMCSR の CMF ビットが 1 にセットされます。つまり、CMCOR と CMCNT の一致後、CMCNT のカウンタ用クロックが入力されないとコンペアマッチ信号は発生しません。図 21.4 に CMF ビットのセットタイミングを示します。

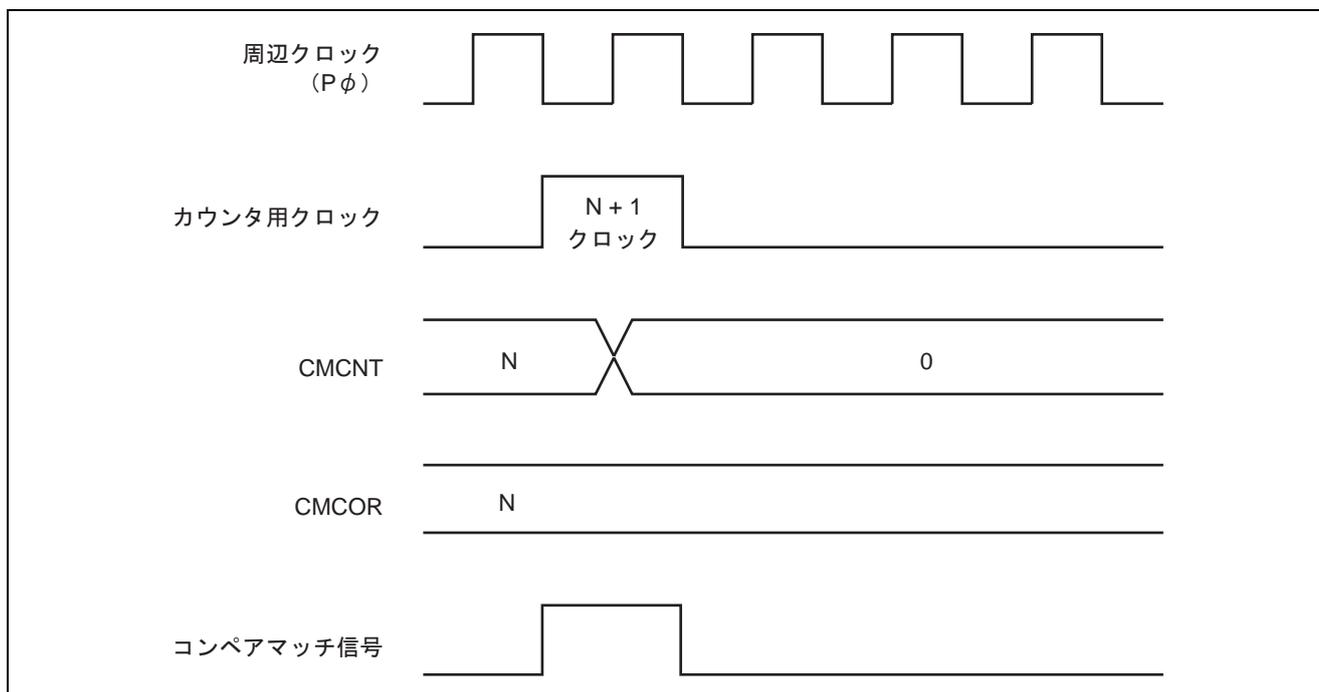


図 21.4 CMF セットタイミング

21.4.3 コンペアマッチフラグのクリアタイミング

CMCSR の CMF ビットは、CMF=1 を読み出した後に 0 を書き込むことでクリアされます。ただし、DMAC を起動した場合、DMAC がデータ転送を行った時点で、CMF ビットは自動的にクリアされます。

21.5 使用上の注意事項

21.5.1 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 21.5 に示します。

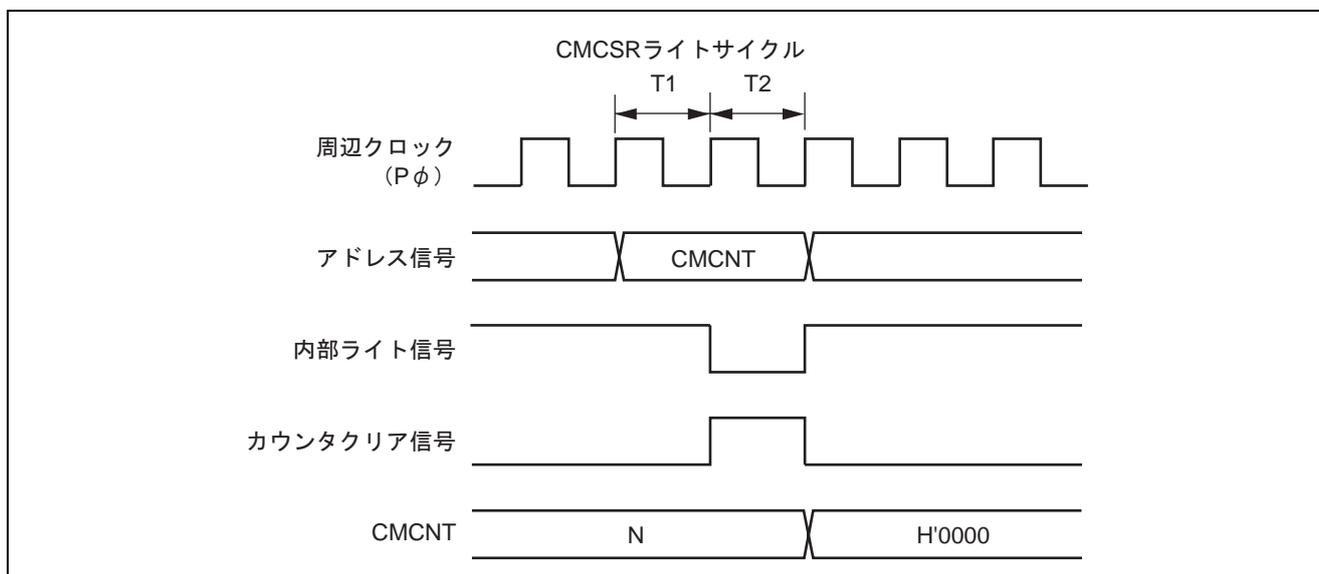


図 21.5 CMCNT の書き込みとコンペアマッチの競合

21.5.2 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 21.6 に示します。

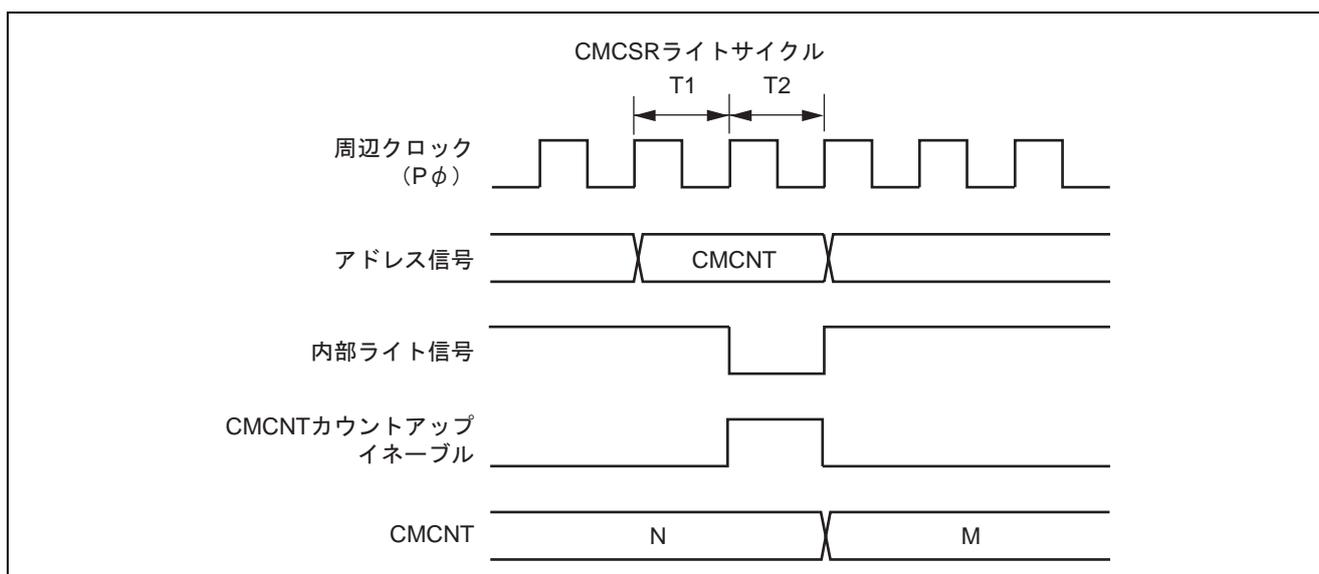


図 21.6 CMCNT のワード書き込みとカウントアップの競合

21.5.3 CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 21.7 に示します。

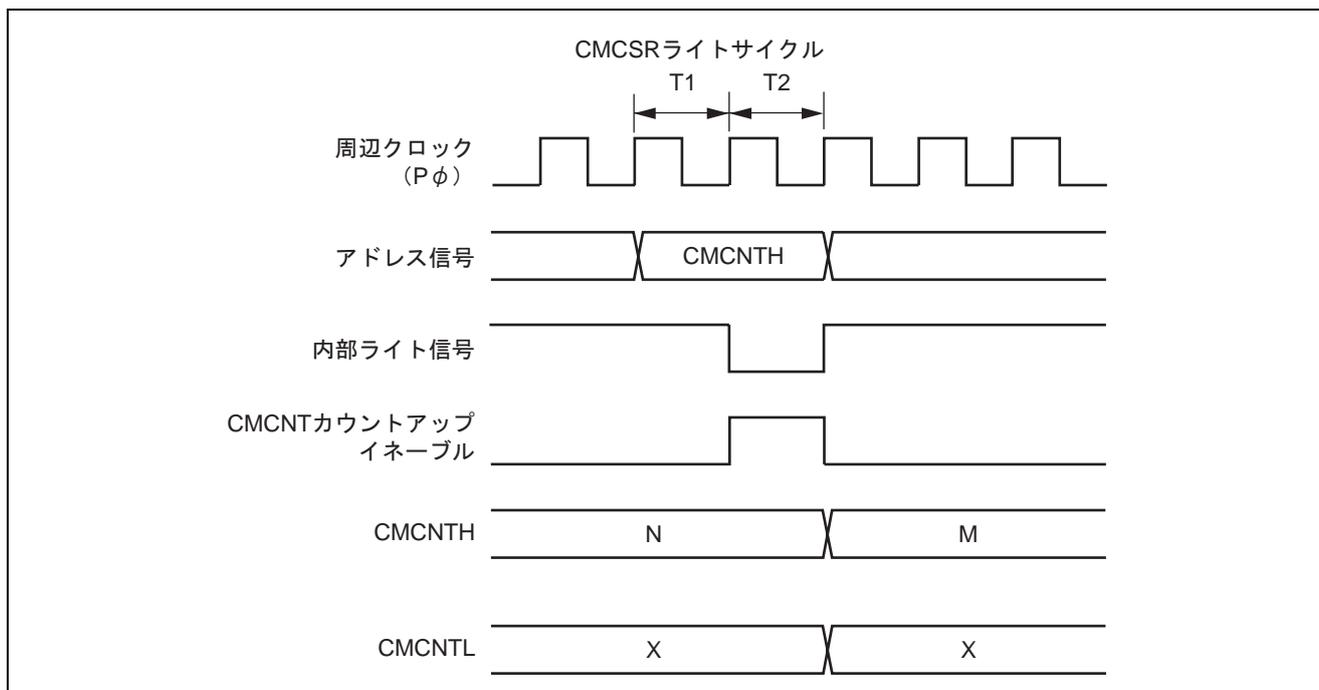


図 21.7 CMCNT のバイト書き込みとカウントアップの競合

21.5.4 CMCNT と CMCOR のコンペアマッチ

CMCNT のカウント動作停止状態で CMCNT と CMCOR に同じ値を設定しないでください。

22. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする 3 チャンネルの FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF) を備えています。また、各チャンネルとも独立に送信/受信に 16 段の FIFO レジスタを内蔵し、本 LSI の効率的かつ高速な連続通信を可能にしています。

22.1 特長

- 調歩同期式シリアル通信
キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。
データ長 : 7 ビット、または 8 ビット
ストップビット長 : 1 ビット、または 2 ビット
パリティ : 偶数パリティ、奇数パリティ、またはパリティなし
受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出
ブレークの検出 : フレーミングエラー発生後、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークが検出されます。またフレーミングエラー発生時に RxD 端子のレベルをシリアルポートレジスタから直接読み出すことによってもブレークを検出できます。
- クロック同期式シリアル通信
クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは 1 種類です。
データ長 : 8 ビット
受信エラーの検出 : オーバランエラーを検出
- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO バッファ構造になっているので、シリアルデータの高速連続送信、連続受信ができます。
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 内部または外部送受信クロックソース
ボーレートジェネレータ (内部クロック)、または SCK 端子 (外部クロック) から選択可能
- 4種類の割り込み要因
送信 FIFO データエンプティ割り込み、ブレーク割り込み、受信 FIFO データフル割り込み、および受信エラー割り込みの 4 種類の割り込み要因があり、それぞれ独立に要求することができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期モードにおいて、モデムコントロール機能 ($\overline{\text{RTS}}$ および $\overline{\text{CTS}}$) を内蔵
- 送信、および受信FIFOデータレジスタのデータ数、および受信FIFOデータレジスタの受信データの受信エラー数を検出できます。
- 調歩同期モード受信時、タイムアウトエラー (DR) を検出できます。

図 22.1 に SCIF のブロック図を示します。

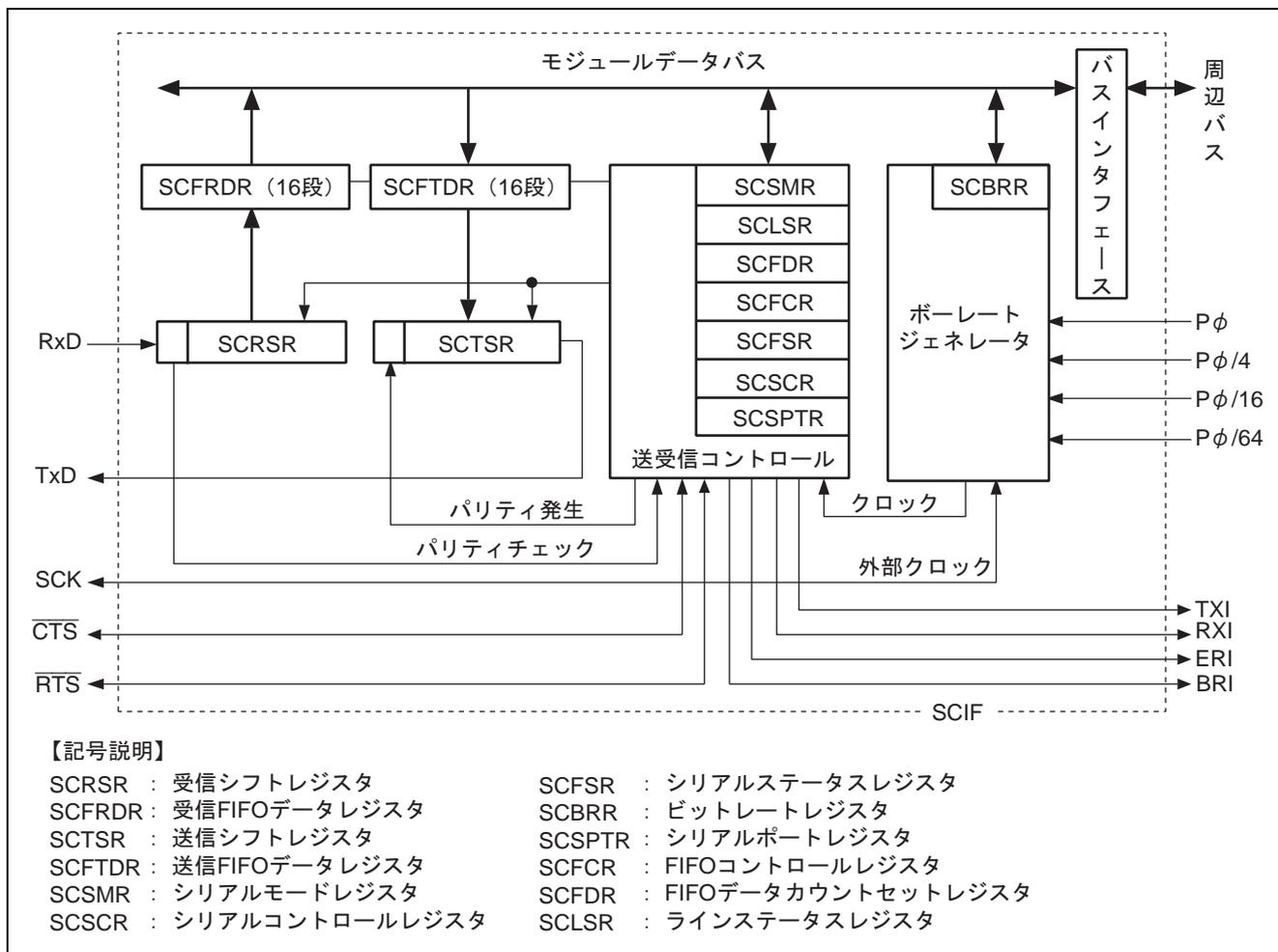


図 22.1 SCIF のブロック図

22.2 入出力端子

SCIF の端子構成を表 22.1 に示します。

表 22.1 端子構成

チャンネル	名称	端子名	入出力	機能
0~2	シリアルクロック端子	SCK0~SCK2	入出力	クロック入出力
	受信データ端子	RxD0~RxD2	入力	受信データ入力
	送信データ端子	TxD0~TxD2	出力	送信データ出力
	リクエストツースェンド端子	$\overline{\text{RTS0}}\sim\overline{\text{RTS2}}$	入出力	リクエストツースェンド
	クリアツースェンド端子	$\overline{\text{CTS0}}\sim\overline{\text{CTS2}}$	入出力	クリアツースェンド

22.3 レジスタの説明

SCIF には以下のレジスタがあります。

表 22.2 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセス サイズ
0	シリアルモードレジスタ_0	SCSMR_0	R/W	H'0000	H'FFFE8000	16
	ビットレートレジスタ_0	SCBRR_0	R/W	H'FF	H'FFFE8004	8
	シリアルコントロールレジスタ_0	SCSCR_0	R/W	H'0000	H'FFFE8008	16
	送信 FIFO データレジスタ_0	SCFTDR_0	W	不定	H'FFFE800C	8
	シリアルステータスレジスタ_0	SCFSR_0	R/(W)* ¹	H'0060	H'FFFE8010	16
	受信 FIFO データレジスタ_0	SCFRDR_0	R	不定	H'FFFE8014	8
	FIFO コントロールレジスタ_0	SCFCR_0	R/W	H'0000	H'FFFE8018	16
	FIFO データカウントセットレジスタ_0	SCFDR_0	R	H'0000	H'FFFE801C	16
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'0050	H'FFFE8020	16
	ラインステータスレジスタ_0	SCLSR_0	R/(W)* ²	H'0000	H'FFFE8024	16
1	シリアルモードレジスタ_1	SCSMR_1	R/W	H'0000	H'FFFE8800	16
	ビットレートレジスタ_1	SCBRR_1	R/W	H'FF	H'FFFE8804	8
	シリアルコントロールレジスタ_1	SCSCR_1	R/W	H'0000	H'FFFE8808	16
	送信 FIFO データレジスタ_1	SCFTDR_1	W	不定	H'FFFE880C	8
	シリアルステータスレジスタ_1	SCFSR_1	R/(W)* ¹	H'0060	H'FFFE8810	16
	受信 FIFO データレジスタ_1	SCFRDR_1	R	不定	H'FFFE8814	8
	FIFO コントロールレジスタ_1	SCFCR_1	R/W	H'0000	H'FFFE8818	16
	FIFO データカウントセットレジスタ_1	SCFDR_1	R	H'0000	H'FFFE881C	16
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'0050	H'FFFE8820	16
	ラインステータスレジスタ_1	SCLSR_1	R/(W)* ²	H'0000	H'FFFE8824	16
2	シリアルモードレジスタ_2	SCSMR_2	R/W	H'0000	H'FFFE9000	16
	ビットレートレジスタ_2	SCBRR_2	R/W	H'FF	H'FFFE9004	8
	シリアルコントロールレジスタ_2	SCSCR_2	R/W	H'0000	H'FFFE9008	16
	送信 FIFO データレジスタ_2	SCFTDR_2	W	不定	H'FFFE900C	8
	シリアルステータスレジスタ_2	SCFSR_2	R/(W)* ¹	H'0060	H'FFFE9010	16
	受信 FIFO データレジスタ_2	SCFRDR_2	R	不定	H'FFFE9014	8
	FIFO コントロールレジスタ_2	SCFCR_2	R/W	H'0000	H'FFFE9018	16
	FIFO データカウントセットレジスタ_2	SCFDR_2	R	H'0000	H'FFFE901C	16
	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'0050	H'FFFE9020	16
	ラインステータスレジスタ_2	SCLSR_2	R/(W)* ²	H'0000	H'FFFE9024	16

- 【注】 *1 フラグをクリアするために0のみ書き込むことができます。ビット 15~8、3、2 は読み出し専用であり書き込むことはできません。
- *2 フラグクリアするために0のみ書き込むことができます。ビット 15~1 は読み出し専用であり書き込むことはできません。

22.3.1 受信シフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。SCIF は、SCRSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に受信 FIFO データレジスタ (SCFRDR) へ転送されます。

CPU から直接 SCRSR の読み出し/書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

22.3.2 受信 FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 16 段 FIFO レジスタです。SCIF は、1 バイトのシリアルデータの受信が終了すると、受信シフトレジスタ (SCRSR) から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込みはできません。受信 FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になります。

SCFRDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

SCFRDR は、パワーオンリセット時に不定となります。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R

22.3.3 送信シフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。SCIF は、送信 FIFO データレジスタ (SCFTDR) から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出し/書き込みをすることはできません。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	-	-	-	-	-	-	-	-

22.3.4 送信 FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 16 段 FIFO レジスタです。SCIF は、送信シフトレジスタ (SCTSR) の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は常に CPU による書き込みが可能です。

SCFTDR が送信データでいっぱい (16 バイト) になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。

SCFTDR は、パワーオンリセット時に不定となります。

ビット:	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-
R/W:	W	W	W	W	W	W	W	W

22.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するためのレジスタです。

SCSMR は、常に CPU による読み出し/書き込みが可能です。SCSMR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	-	-	CKS[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/ \bar{A}	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0 : 調歩同期式モード 1 : クロック同期式モード
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を 7 ビット/8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。 0 : 8 ビットデータ 1 : 7 ビットデータ* 【注】* 7 ビットデータを選択した場合、送信 FIFO データレジスタの MSB (ビット 7) は送信されません。

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PEビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0：パリティビットの付加、およびチェックを禁止 1：パリティビットの付加、およびチェックを許可*</p> <p>【注】* PEビットに1をセットすると、送信時にはO/Eビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。O/Eビットの設定は、調歩同期式モードでPEビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/Eビットの指定は無効です。</p> <p>0：偶数パリティ*¹ 1：奇数パリティ*²</p> <p>【注】*¹ 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が偶数であるかどうかをチェックします。</p> <p>*² 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が奇数であるかどうかをチェックします。</p>

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。なお、受信時にはSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>0 : 1ストップビット 送信時には、送信キャラクタの最後尾に1ビットの1(ストップビット)を付加して送信します。</p> <p>1 : 2ストップビット 送信時には、送信キャラクタの最後尾に2ビットの1(ストップビット)を付加して送信します。</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	CKS[1:0]	00	R/W	<p>クロックセレクト</p> <p>内蔵ポーレートジェネレータの内部クロックソースを選択します。</p> <p>クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「22.3.8 ビットレートレジスタ (SCBRR)」を参照してください。</p> <p>00 : Pφクロック 01 : Pφ/4 クロック 10 : Pφ/16 クロック 11 : Pφ/64 クロック</p> <p>【注】 Pφ : 周辺クロック</p>

22.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信／受信動作、割り込み要求の許可／禁止、および送信／受信クロックソースの選択を行うレジスタです。SCSCR は、常に CPU による読み出し／書き込みが可能です。SCSCR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TIE	RIE	TE	RE	REIE	-		CKE[1:0]
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TIE	0	R/W	送信インタラプトイネーブル 送信 FIFO データレジスタ (SCFTDR) から送信シフトレジスタ (SCTSR) へシリアル送信データが転送され、送信 FIFO データレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンpty 割り込み (TXI) 要求の発生を許可／禁止します。 0: 送信 FIFO データエンpty 割り込み (TXI) 要求を禁止 1: 送信 FIFO データエンpty 割り込み (TXI) 要求を許可* 【注】* TXI の解除は、SCFTDR に指定した送信トリガ数より多い送信データを書き込み、TDFE フラグの 1 を読み出した後 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。
6	RIE	0	R/W	受信インタラプトイネーブル シリアルステータスレジスタ (SCFSR) の RDF フラグまたは DR フラグが 1 にセットされたときの受信 FIFO データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、および SCFSR の BRK フラグまたはラインステータスレジスタ (SCLSR) の ORER フラグが 1 にセットされたときのブレイク割り込み (BRI) 要求の発生を許可／禁止します。 0: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を禁止 1: 受信 FIFO データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびブレイク割り込み (BRI) 要求を許可* 【注】* RXI 割り込み要求の解除は、DR または RDF フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。 ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。

ビット	ビット名	初期値	R/W	説明
5	TE	0	R/W	<p>送信イネーブル</p> <p>シリアル送信動作の開始を許可／禁止します。</p> <p>0：送信動作を禁止</p> <p>1：送信動作を許可*</p> <p>【注】* この状態で SCFTDR に送信データを書き込むとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SCSMR および SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>受信イネーブル</p> <p>シリアル受信動作の開始を許可／禁止します。</p> <p>0：受信動作を禁止*¹</p> <p>1：受信動作を許可*²</p> <p>【注】*¹ RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。</p> <p>*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロックをそれぞれ検出すると、シリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR)、FIFO コントロールレジスタ (SCFCR) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>
3	REIE	0	R/W	<p>受信エラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可／禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>0：受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止</p> <p>1：受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可*</p> <p>【注】* ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMAC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

ビット	ビット名	初期値	R/W	説明
1, 0	CKE[1:0]	00	R/W	<p>クロックイネーブル</p> <p>SCIF のクロックソースの選択、および SCK 端子からのクロック出力の許可／禁止を設定します。CKE[1:0]によって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。クロック同期式モードで同期クロック出力に設定する場合は、SCSMR の C/A ビットを 1 に設定してから CKE[1:0]を設定してください。</p> <ul style="list-style-type: none"> 調歩同期式モード <ul style="list-style-type: none"> 00：内部クロック／SCK 端子は入力端子（入力信号は無視） 01：内部クロック／SCK 端子はクロック出力 （ビットレートの 16 倍の周波数のクロックを出力） 10：外部クロック／SCK 端子はクロック入力 （ビットレートの 16 倍の周波数のクロックを入力） 11：設定禁止 クロック同期式モード <ul style="list-style-type: none"> 00：内部クロック／SCK 端子は同期クロック出力 01：内部クロック／SCK 端子は同期クロック出力 10：外部クロック／SCK 端子は同期クロック入力 11：設定禁止

22.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は、16 ビットのレジスタです。上位 8 ビットは受信 FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは SCIF の動作状態を示すステータスフラグを示します。

SCFSR は常に CPU から読み出し／書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。さらに、ビット 3 (FER)、およびビット 2 (PER) は読み出し専用であり、書き込むことはできません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PER[3:0]				FER[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値：	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~12	PER[3:0]	0000	R	<p>パリティエラー数</p> <p>受信 FIFO データレジスタ (SCFRDR) に格納されている受信データでパリティエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、ビット 15~12 で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイト受信データすべてがパリティエラーを伴う場合、PER[3:0]は 0000 を表示します。</p>
11~8	FER[3:0]	0000	R	<p>フレーミングエラー数</p> <p>受信 FIFO データレジスタ (SCFRDR) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。</p> <p>SCFSR の ER ビットがセットされた後、ビット 11~8 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 16 バイト受信データすべてがフレーミングエラーを伴う場合、FER[3:0]は 0000 を表示します。</p>
7	ER	0	R/(W)*	<p>受信エラー</p> <p>フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。*¹</p> <p>0: 受信中、または正常に受信を完了したことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • ER=1 の状態を読み出した後、0 を書き込んだとき <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 1 回のデータ受信の終わりで受信データの最後のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 の場合*² • 受信時の受信データとパリティビットを合わせた 1 の数が、シリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき <p>【注】 *1 SCSCR の RE ビットを 0 にクリアしたときには、ER ビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データは SCFRDR に転送され受信動作は続きます。SCFRDR から読み出したデータに受信エラーが含まれるかどうかは、SCFSR の FER ビットと PER ビットで判定できます。</p> <p>*2 2 ストップモードのときは第 1 ストップビットのみチェックされ、第 2 ストップビットはチェックされません。</p>

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/(W)*	<p>送信エンド</p> <p>送信キャラクタの最後尾ビットの送信時に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> SCFTDR へ送信データを書き込み、TEND=1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき*¹ <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット SCSCR の TE ビットが 0 のとき 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に SCFTDR に送信データがないとき <p>【注】 *1 TXI 割り込み要求により DMAC で SCFTDR へデータのライトを行った場合、送信終了フラグとして使用しないでください。</p>
5	TDFE	1	R/(W)*	<p>送信 FIFO データエンプティ</p> <p>送信 FIFO データレジスタ (SCFTDR) から送信シフトレジスタ (SCTSR) にデータが転送され、SCFTDR のデータ数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0] で指定した送信トリガデータ数より少なくなり、SCFTDR への送信データの書き込みが許可されることを示します。</p> <p>0: SCFTDR に書き込んだ送信データ数が指定送信トリガ数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDFE=1 の状態を読み出した後、指定送信トリガ数より多いデータを SCFTDR に書き込み、TDFE に 0 を書き込んだとき 送信 FIFO データエンプティ割り込み (TXI) により DMAC を起動し、指定送信トリガ数より多いデータを SCFTDR に書き込んだとき <p>1: SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下であることを *¹ を表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> パワーオンリセット 送信の結果 SCFTDR に書き込んだ送信データ数が指定送信トリガ数以下のとき <p>【注】 *1 SCFTDR は 16 バイトの FIFO レジスタであるため、TDFE=1 の状態で書き込むことができるデータの最大数は「16 から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDR のデータ数は SCFCR の上位 8 ビットで示されます。</p>

ビット	ビット名	初期値	R/W	説明
4	BRK	0	R/(W)*	<p>ブレーク検出</p> <p>受信データにブレーク信号が検出されたことを示します。</p> <p>0: ブレーク信号なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • BRK=1 の状態を読み出した後、BRK フラグに 0 を書き込んだとき <p>1: ブレーク信号を受信*¹</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • フレーミングエラーを含むデータを受信し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合 <p>【注】 *1 ブレークが検出されると、検出後 SCFRDR への受信データ (H'00) の転送は停止します。ブレークが終了し、受信信号がマーク 1 になると、受信データの転送が再開します。</p>
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、受信 FIFO データレジスタ (SCFRDR) から読み出したデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにフレーミングエラーなし <p>1: 次に SCFRDR から読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにフレーミングエラーあり
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、受信 FIFO データレジスタ (SCFRDR) から読み出したデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次に SCFRDR から読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • パワーオンリセット • 次の SCFRDR 読み出しデータにパリティエラーなし <p>1: 次に SCFRDR から読み出す受信データにパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 次の SCFRDR 読み出しデータにパリティエラーあり

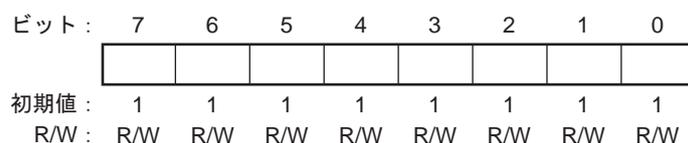
ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/(W)*	<p>受信 FIFO データフル</p> <p>受信データが受信 FIFO データレジスタ (SCFRDR) に転送され、SCFRDR のデータ数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0]で指定した受信トリガ数より多くなったことを示します。</p> <p>0 : SCFRDR の書き込まれた受信データ数が指定受信トリガ数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ・ パワーオンリセット ・ RDF=1 を読み出した後、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出し、RDF に 0 を書き込んだとき ・ 受信 FIFO データフル割り込み (RXI) により DMAC を起動し、SCFRDR の受信データ数が指定受信トリガ数より少なくなるまで SCFRDR を読み出したとき <p>1 : SCFRDR の受信データ数が指定受信トリガ数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ・ 指定受信トリガ数以上の受信データ数が SCFRDR に格納される時^{*1} <p>【注】*1 SCFRDR は 16 バイトの FIFO レジスタであるため、RDF が 1 のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDR のすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SCFRDR の受信データ数は SCFRDR の下位 8 ビットで示されます。</p>
0	DR	0	R/(W)*	<p>受信データレディ</p> <p>調歩同期式モードで、受信 FIFO データレジスタ (SCFRDR) に指定受信トリガ数より少ないデータを格納し、最後のストップビットから 15ETU の時間経過後も次のデータが受信されないことを示します。クロック同期式モードに設定した場合はセットされません。</p> <p>0 : 受信中であるか、正常に受信完了後 SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ・ パワーオンリセット ・ DR=1 の状態を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき ・ 受信 FIFO データフル割り込み (RXI) により DMAC を起動し、SCFRDR 内の受信データをすべて読み出したとき <p>1 : 次の受信データが受信されていないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> ・ 指定受信トリガ数未満のデータを SCFRDR が格納し、最後のストップビットから 15ETU の時間経過^{*1}後も次のデータが受信されないとき <p>【注】*1 8 ビット、1 ストップビットのフォーマットの 1.5 フレーム分に相当します。(ETU : Element Time Unit : 要素時間単位)</p>

【注】 * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

22.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、シリアルモードレジスタ (SCSMR) の CKS[1:0] で選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し/書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。なお、チャンネルごとにボーレートジェネレータのコントロールが独立していますので、3 つのチャンネルにはそれぞれ異なる値を設定することができます。



SCBRR の設定値は以下の計算式で求められます。

【調歩同期式モード】

$$N = \frac{P\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

【クロック同期式モード】

$$N = \frac{P\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 ($0 \leq N \leq 255$)
(電気的特性を満足する設定値としてください)

$P\phi$: 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)
(n とクロックの関係は、表 22.3 を参照してください)

表 22.3 SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS[1]	CKS[0]
0	$P\phi$	0	0
1	$P\phi/4$	0	1
2	$P\phi/16$	1	0
3	$P\phi/64$	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 22.4 に調歩同期式モードの SCBRR の設定例を、表 22.5 にクロック同期式モードの SCBRR の設定例を示します。

表 22.4 ビットレートに対する SCBRR の設定例〔調歩同期式モード〕 (1)

ビットレート (bit/s)	Pφ (MHz)											
	5			6			6.144			7.37288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	88	-0.25	2	106	-0.44	2	108	0.08	2	130	-0.07
150	2	64	0.16	2	77	0.16	2	79	0.00	2	95	0.00
300	1	129	0.16	1	155	0.16	1	159	0.00	1	191	0.00
600	1	64	0.16	1	77	0.16	1	79	0.00	1	95	0.00
1200	0	129	0.16	0	155	0.16	0	159	0.00	0	191	0.00
2400	0	64	0.16	0	77	0.16	0	79	0.00	0	95	0.00
4800	0	32	-1.36	0	38	0.16	0	39	0.00	0	47	0.00
9600	0	15	1.73	0	19	-2.34	0	19	0.00	0	23	0.00
19200	0	7	1.73	0	9	-2.34	0	9	0.00	0	11	0.00
31250	0	4	0.00	0	5	0.00	0	5	2.40	0	6	5.33
38400	0	3	1.73	0	4	-2.34	0	4	0.00	0	5	0.00

表 22.4 ビットレートに対する SCBRR の設定例 [調歩同期式モード] (2)

ビットレート (bit/s)	P ϕ (MHz)											
	8			9.8304			10			12		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	0.16
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	0	6	-6.99	0	7	0.00	0	7	1.73	0	9	-2.34

表 22.4 ビットレートに対する SCBRR の設定例 [調歩同期式モード] (3)

ビットレート (bit/s)	P ϕ (MHz)											
	12.288			14.7456			16			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	3	64	0.70	3	70	0.03	3	86	0.31
150	2	159	0.00	2	191	0.00	2	207	0.16	2	255	0.00
300	2	79	0.00	2	95	0.00	2	103	0.16	2	127	0.00
600	1	159	0.00	1	191	0.00	1	207	0.16	1	255	0.00
1200	1	79	0.00	1	95	0.00	1	103	0.16	1	127	0.00
2400	0	159	0.00	0	191	0.00	0	207	0.16	0	255	0.00
4800	0	79	0.00	0	95	0.00	0	103	0.16	0	127	0.00
9600	0	39	0.00	0	47	0.00	0	51	0.16	0	63	0.00
19200	0	19	0.00	0	23	0.00	0	25	0.16	0	31	0.00
31250	0	11	2.40	0	14	-1.70	0	15	0.00	0	19	-1.70
38400	0	9	0.00	0	11	0.00	0	12	0.16	0	15	0.00

表 22.4 ビットレートに対する SCBRR の設定例 [調歩同期式モード] (4)

ビットレート (bit/s)	P ϕ (MHz)											
	20			24			24.576			28.7		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	106	-0.44	3	108	0.08	3	126	0.31
150	3	64	0.16	3	77	0.16	3	79	0.00	3	92	0.46
300	2	129	0.16	2	155	0.16	2	159	0.00	2	186	-0.08
600	2	64	0.16	2	77	0.16	2	79	0.00	2	92	0.46
1200	1	129	0.16	1	155	0.16	1	159	0.00	1	186	-0.08
2400	1	64	0.16	1	77	0.16	1	79	0.00	1	92	0.46
4800	0	129	0.16	0	155	0.16	0	159	0.00	0	186	-0.08
9600	0	64	0.16	0	77	0.16	0	79	0.00	0	92	0.46
19200	0	32	-1.36	0	38	0.16	0	39	0.00	0	46	-0.61
31250	0	19	0.00	0	23	0.00	0	24	-1.70	0	28	-1.03
38400	0	15	1.73	0	19	-2.34	0	19	0.00	0	22	1.55

表 22.4 ビットレートに対する SCBRR の設定例 [調歩同期式モード] (5)

ビットレート (bit/s)	P ϕ (MHz)								
	30			33			50		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	132	0.13	3	145	0.33	3	221	-0.02
150	3	97	-0.35	3	106	0.39	3	162	-0.15
300	2	194	0.16	2	214	-0.07	3	80	0.47
600	2	97	-0.35	2	106	0.39	2	162	-0.15
1200	1	194	0.16	1	214	-0.07	2	80	0.47
2400	1	97	-0.35	1	106	0.39	1	162	-0.15
4800	0	194	-1.36	0	214	-0.07	1	80	0.47
9600	0	97	-0.35	0	106	0.39	0	162	-0.15
19200	0	48	-0.35	0	53	-0.54	0	80	0.47
31250	0	29	0.00	0	32	0.00	0	49	0.00
38400	0	23	1.73	0	26	-0.54	0	40	-0.76

【注】 誤差は、なるべく 1%以内になるように設定してください。

表 22.5 ビットレートに対する SCBRR の設定例 [クロック同期式モード]

ビットレート (bit/s)	P ϕ (MHz)													
	5		8		16		28.7		30		33		50	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	—	—	—	—	—	—	—	—	—	—	—	—	—	—
250	3	77	3	124	3	249	—	—	—	—	—	—	—	—
500	3	38	2	249	3	124	3	223	3	233	3	255	—	—
1k	2	77	2	124	2	249	3	111	3	116	3	125	3	194
2.5k	1	124	1	199	2	99	2	178	2	187	2	200	3	77
5k	0	249	1	99	1	199	2	89	2	93	2	100	2	155
10k	0	124	0	199	1	99	1	178	1	187	1	200	2	77
25k	0	49	0	79	0	159	1	71	1	74	1	80	1	124
50k	0	24	0	39	0	79	0	143	0	149	0	160	0	249
100k	—	—	0	19	0	39	0	71	0	74	0	80	0	124
250k	0	4	0	7	0	15	—	—	0	29	0	31	0	49
500k	—	—	0	3	0	7	—	—	0	14	0	15	0	24
1M	—	—	0	1	0	3	—	—	—	—	0	7	0	12
2M			0	0*	0	1	—	—	—	—	—	—	—	—

【記号説明】

空欄 : 設定できません。

— : 設定可能ですが誤差がでます。

* : 連続送信/受信はできません。

表 22.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 22.7 に外部クロック入力における調歩同期式モードの最大ビットレート、表 22.8 に外部クロック入力 ($t_{S_{cyc}}=12t_{p_{cyc}}$ 時*) におけるクロック同期式モードの最大ビットレートを示します。

【注】* 本 LSI と通信相手先の電気的特性を満足することを確認してください。

表 22.6 ポーレートジェネレータを使用する場合の各周波数における最大ビットレート (調歩同期式モード)

Pφ (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
5	156250	0	0
8	250000	0	0
9.8304	307200	0	0
12	375000	0	0
14.7456	460800	0	0
16	500000	0	0
19.6608	614400	0	0
20	625000	0	0
24	750000	0	0
24.576	768000	0	0
28.7	896875	0	0
30	937500	0	0
33	1031250	0	0
50	1562500	0	0

表 22.7 外部クロック入力時の最大ビットレート (調歩同期式モード)

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
5	1.2500	78125
8	2.0000	125000
9.8304	2.4576	153600
12	3.0000	187500
14.7456	3.6864	230400
16	4.0000	250000
19.6608	4.9152	307200
20	5.0000	312500
24	6.0000	375000
24.576	6.1440	384000
28.7	7.1750	448436
30	7.5000	468750
33	8.25	515625
50	12.5	781250

表 22.8 外部クロック入力時の最大ビットレート (クロック同期式モード、 $t_{S_{cyc}} = 12t_{p_{cyc}}$ 時)

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
5	0.4166	416666.6
8	0.6666	666666.6
16	1.3333	1333333.3
24	2.0000	2000000.0
28.7	2.3916	2391666.6
30	2.5000	2500000.0
33	2.7500	2750000.0
50	4.1667	4166666.7

22.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は、送信 FIFO データレジスタおよび受信 FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行うレジスタです。また、ループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し/書き込みが可能です。SCFCR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RSTRG[2:0]		RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10~8	RSTRG[2:0]	000	R/W	RTS 出力アクティブトリガ 受信 FIFO データレジスタ (SCFRDR) 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき、RTS 信号はハイレベルになります。 000 : 15 001 : 1 010 : 4 011 : 6 100 : 8 101 : 10 110 : 12 111 : 14

ビット	ビット名	初期値	R/W	説明
7、6	RTRG[1:0]	00	R/W	<p>受信 FIFO データ数トリガ</p> <p>シリアルステータスレジスタ (SCFSR) の RDF フラグをセットする基準となる受信データ数 (指定受信トリガ数) を設定します。受信 FIFO データレジスタ (SCFRDR) に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは 1 にセットされます。</p> <ul style="list-style-type: none"> • 調歩同期式モード <ul style="list-style-type: none"> 00 : 1 01 : 4 10 : 8 11 : 14 • クロック同期式モード <ul style="list-style-type: none"> 00 : 1 01 : 2 10 : 8 11 : 14 <p>【注】 クロック同期式モードのとき、DMAC により受信データを転送する場合、受信トリガ数を 1 に設定してください。1 以外に設定した場合、CPU により SCFRDR に残っている受信データを読み出す必要があります。</p>
5、4	TTRG[1:0]	00	R/W	<p>送信 FIFO データ数トリガ</p> <p>シリアルステータスレジスタ (SCFSR) の TDFE フラグをセットする基準となる送信データ数 (指定送信トリガ数) を設定します。送信 FIFO データレジスタ (SCFTDR) に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグは 1 にセットされます。</p> <ul style="list-style-type: none"> 00 : 8 (8) * 01 : 4 (12) * 10 : 2 (14) * 11 : 0 (16) * <p>【注】 * () 内の数値は TDFE フラグが 1 にセットされるとき SCFTDR レジスタの空きバイト数を意味します。</p>
3	MCE	0	R/W	<p>モデムコントロールイネーブル</p> <p>モデムコントロール信号 $\overline{\text{CTS}}$、$\overline{\text{RTS}}$ を許可/禁止します。</p> <p>クロック同期モードでは MCE を常に 0 にしてください。</p> <ul style="list-style-type: none"> 0 : モデム信号を禁止* 1 : モデム信号を許可 <p>【注】 * 入力値に関係なく $\overline{\text{CTS}}$ はアクティブ 0 に固定され、$\overline{\text{RTS}}$ も 0 に固定されます。</p>

ビット	ビット名	初期値	R/W	説明
2	TFRST	0	R/W	送信 FIFO データレジスタリセット 送信 FIFO データレジスタ内の送信データを無効にし、データが空の状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】* パワーオンリセット時にはリセット動作が行われます。
1	RFRST	0	R/W	受信 FIFO データレジスタリセット 受信 FIFO データレジスタ内の受信データを無効にし、データを空の状態にリセットします。 0: リセット動作を禁止* 1: リセット動作を許可 【注】* パワーオンリセット時にはリセット動作が行われます。
0	LOOP	0	R/W	ループバックテスト 送信出力端子 (TxD) と受信入力端子 (RxD)、 $\overline{\text{RTS}}$ 端子と $\overline{\text{CTS}}$ 端子を内部で接続しループバックテストを許可します。 0: ループバックテストを禁止 1: ループバックテストを許可

22.3.10 FIFO データカウントセットレジスタ (SCFDR)

SCFDR は、送信 FIFO データレジスタ (SCFTDR) と受信 FIFO データレジスタ (SCFRDR) に格納されているデータ数を示します。

上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU から読み出しが可能です。SCFDR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	T[4:0]				-	-	-	R[4:0]					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	T[4:0]	00000	R	SCFTDR に格納された未送信データ数を示します。 H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR に格納されていることを示します。
7~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~0	R[4:0]	00000	R	SCFRDR に格納された受信データ数を示します。 H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR 格納されていることを示します。

22.3.11 シリアルポートレジスタ (SCSPTR)

SCSPTR は、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 7、6 で $\overline{\text{RTS}}$ 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 5、4 で $\overline{\text{CTS}}$ 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 3、2 で SCK 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 1、0 によって RxD 端子から入力データを読み出し、TxD 端子へ出力データを書き込むことができ、シリアル送受信のブレイクを制御します。

SCSPTR は、常に CPU による読み出し/書き込みが可能です。SCSPTR は、パワーオンリセット時に H'0050 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
初期値:	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W						

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	RTSIO	0	R/W	$\overline{\text{RTS}}$ ポート入出力 シリアルポートの $\overline{\text{RTS}}$ 端子の入出力を指定します。実際に $\overline{\text{RTS}}$ 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0: $\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力しない 1: $\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力する
6	RTSDT	1	R/W	$\overline{\text{RTS}}$ ポートデータ シリアルポートの $\overline{\text{RTS}}$ 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が $\overline{\text{RTS}}$ 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは $\overline{\text{RTS}}$ 端子の値が読み出されます。ただし PFC で $\overline{\text{RTS}}$ 入出力に設定しておく必要があります。 0: 入出力データがローレベル 1: 入出力データがハイレベル
5	CTSIO	0	R/W	$\overline{\text{CTS}}$ ポート入出力 シリアルポートの $\overline{\text{CTS}}$ 端子の入出力を指定します。実際に $\overline{\text{CTS}}$ 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0: $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力しない 1: $\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力する

ビット	ビット名	初期値	R/W	説明
4	CTS $\overline{\text{DT}}$	1	R/W	<p>CTS$\overline{\text{DT}}$ ポートデータ</p> <p>シリアルポートの CTS$\overline{\text{DT}}$ 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTS$\overline{\text{DT}}$ ビットの値が CTS$\overline{\text{DT}}$ 端子に出力されます。CTSIO ビットの値にかかわらず、CTS$\overline{\text{DT}}$ ビットからは CTS$\overline{\text{DT}}$ 端子の値が読み出されます。ただし PFC で CTS$\overline{\text{DT}}$ 入出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>
3	SCKIO	0	R/W	<p>SCK ポート入出力</p> <p>シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。</p> <p>0 : SCK 端子に SCKDT ビットの値を出力しない 1 : SCK 端子に SCKDT ビットの値を出力する</p>
2	SCKDT	0	R/W	<p>SCK ポートデータ</p> <p>シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。ただし PFC で SCK 入出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>
1	SPB2IO	0	R/W	<p>シリアルポートブレイク入出力</p> <p>シリアルポートの Tx$\overline{\text{D}}$ 端子の出力条件を指定します。実際に Tx$\overline{\text{D}}$ 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。</p> <p>0 : Tx$\overline{\text{D}}$ 端子に SPB2DT ビットの値を出力しない 1 : Tx$\overline{\text{D}}$ 端子に SPB2DT ビットの値を出力する</p>
0	SPB2DT	0	R/W	<p>シリアルポートブレイクデータ</p> <p>シリアルポートの Rx$\overline{\text{D}}$ 端子の入力データおよび Tx$\overline{\text{D}}$ 端子の出力データを指定します。入力か出力かは SPB2IO ビットで指定します。Tx$\overline{\text{D}}$ 端子を出力に設定した場合、SPB2DT ビットの値が Tx$\overline{\text{D}}$ 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは Rx$\overline{\text{D}}$ 端子の値が読み出されます。ただし PFC で Rx$\overline{\text{D}}$ 入力、Tx$\overline{\text{D}}$ 出力に設定しておく必要があります。</p> <p>0 : 入出力データがローレベル 1 : 入出力データがハイレベル</p>

22.3.12 ラインステータスレジスタ (SCLSR)

SCLSR は、常に CPU から読み出し/書き込みが可能です。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。

SCLSR は、パワーオンリセット時に H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ORER	0	R/(W)*	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを示します。 0: 受信中、または正常に受信を完了したことを表示* ¹ [クリア条件] <ul style="list-style-type: none"> • パワーオンリセット • ORER=1の状態を読み出した後、0を書き込んだとき 1: 受信時にオーバランエラーが発生したことを表示* ² [セット条件] <ul style="list-style-type: none"> • 受信 FIFO にいっぱいの 16 バイトのデータが受信された状態で次のシリアル受信を完了したとき 【注】* ¹ シリアルコントロールレジスタ (SCSCR) の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。 * ² 受信 FIFO データレジスタ (SCFRDR) ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。

22.4 動作説明

22.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

送信／受信のそれぞれに 16 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。さらにモデムコントロール信号として $\overline{\text{RTS}}$ 信号、 $\overline{\text{CTS}}$ 信号を用意しています。送受信フォーマットの選択は、シリアルモードレジスタ (SCSMR) で行います。これを表 22.9 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR) の $\text{CKE}[1:0]$ の組み合わせで決まります。これを表 22.10 に示します。

(1) 調歩同期式モード

- データ長：7ビット／8ビットから選択可能
- パリティの付加および1ビット／2ビットのストップビットの付加を選択可能
(これらの組み合わせにより送信／受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、受信FIFOデータフル、オーバランエラー、受信データレディ、およびブレークの検出が可能
- 送受信FIFOレジスタそれぞれの格納データ数を表示
- SCIFのクロックソース：内部クロック／外部クロックから選択可能
内部クロックを選択した場合：SCIF はボーレートジェネレータのクロックで動作
外部クロックを選択した場合：ビットレートの 16 倍の周波数のクロックを入力することが必要
(内蔵ボーレートジェネレータを使用しない)

(2) クロック同期式モード

- 送信／受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIFのクロックソース：内部クロック／外部クロックから選択可能
内部クロックを選択した場合：SCIF はボーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力
外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された外部同期クロックで動作

表 22.9 SCSMR の設定値と SCIF 送信／受信フォーマット

SCSMR				モード	SCIF 送信／受信フォーマット		
ビット 7	ビット 6	ビット 5	ビット 3		データ長	パリティ ビット	ストップ ビット長
C/ \bar{A}	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビット	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
	1	0	0		7 ビット	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
1	x	x	x	クロック同期式モード	8 ビット	なし	なし

【記号説明】 x : Don't care

表 22.10 SCSMR、SCSCR の設定値と SCIF のクロックソースの選択

SCSMR	SCSCR	モード	クロック ソース	SCK 端子の機能
ビット 7	ビット 1、0			
C/ \bar{A}	CKE[1:0]			
0	00	調歩同期式モード	内部	SCIF は SCK 端子を使用しません
	01			ビットレートの 16 倍の周波数のクロックを出力
	10		外部	ビットレートの 16 倍の周波数のクロックを入力
	11		設定禁止	
1	0x	クロック同期式モード	内部	同期クロックを出力
	10		外部	同期クロックを入力
	11		設定禁止	

【記号説明】 x : Don't care

22.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信／受信中にデータの読み出し／書き込みができるので、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 22.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ／ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCIF は、データを 1ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

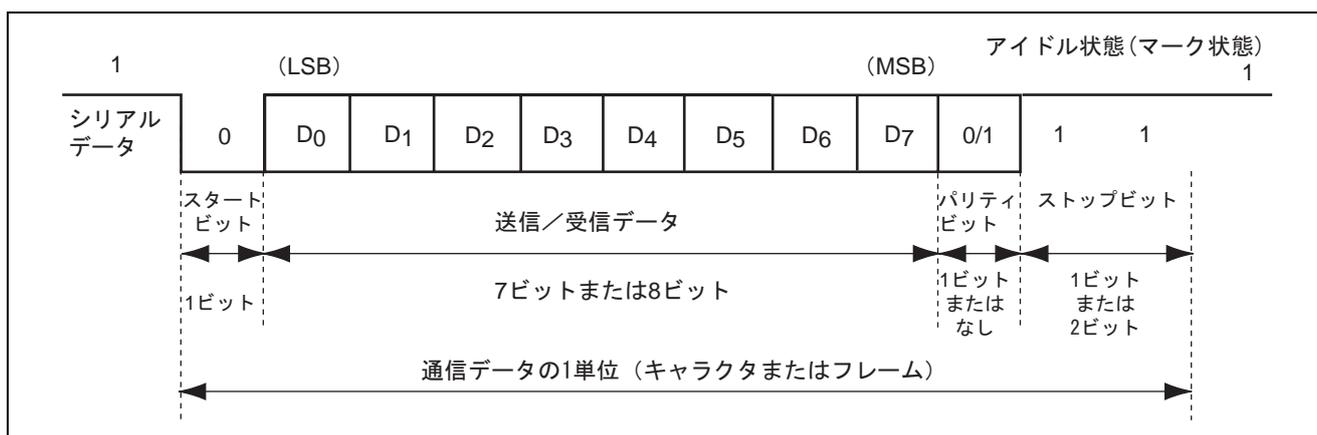


図 22.2 調歩同期式通信のデータフォーマット
(8ビットデータ／パリティあり／2ストップビットの例)

(1) 送信／受信フォーマット

設定可能な送信／受信フォーマットを、表 22.11 に示します。

送信／受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR) の設定により選択できます。

表 22.11 シリアル送信／受信フォーマット (調歩同期式モード)

SCSMRの設定			シリアル送信／受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	START	8ビットデータ								STOP			
		1	START	8ビットデータ								STOP	STOP		
	1	0	START	8ビットデータ								P	STOP		
		1	START	8ビットデータ								P	STOP	STOP	
1	0	0	START	7ビットデータ							STOP				
		1	START	7ビットデータ							STOP	STOP			
	1	0	START	7ビットデータ							P	STOP			
		1	START	7ビットデータ							P	STOP	STOP		

【記号説明】

START : スタートビット

STOP : ストップビット

P : パリティビット

(2) クロック

SCIF の送受信クロックは、SCSMR の C/\bar{A} ビットおよびシリアルコントロールレジスタ (SCSCR) の CKE[1:0] の設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは SCK 端子から入力された外部クロックの 2 種類から選択できます。SCIF のクロックソースの選択については表 22.10 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16 倍の周波数です。

(3) データの送信／受信動作

• SCIF初期化（調歩同期式モード）

データの送信／受信前には、まずシリアルコントロールレジスタ（SCSCR）のTEビットおよびREビットを0にクリアした後、以下の順でSCIFを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には、必ずTEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアすると、送信シフトレジスタ（SCTSR）は初期化されます。しかし、TEビットとREビットを0にクリアしても、シリアルステータスレジスタ（SCFSR）、送信FIFOデータレジスタ（SCFTDR）、受信FIFOデータレジスタ（SCFRDR）は初期化されず、それらの内容は保持されますのでご注意ください。TEビットの0クリアは、送信データをすべて送信し、SCFSRのTENDフラグがセットされた後に行ってください。TEビットは送信中でも0クリア可能ですが、送信データは0クリアした後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットを1にセットしてSCFTDRをリセットしてください。

外部クロックを使用している場合には、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。図22.3にSCIFの初期化フローチャートの例を示します。

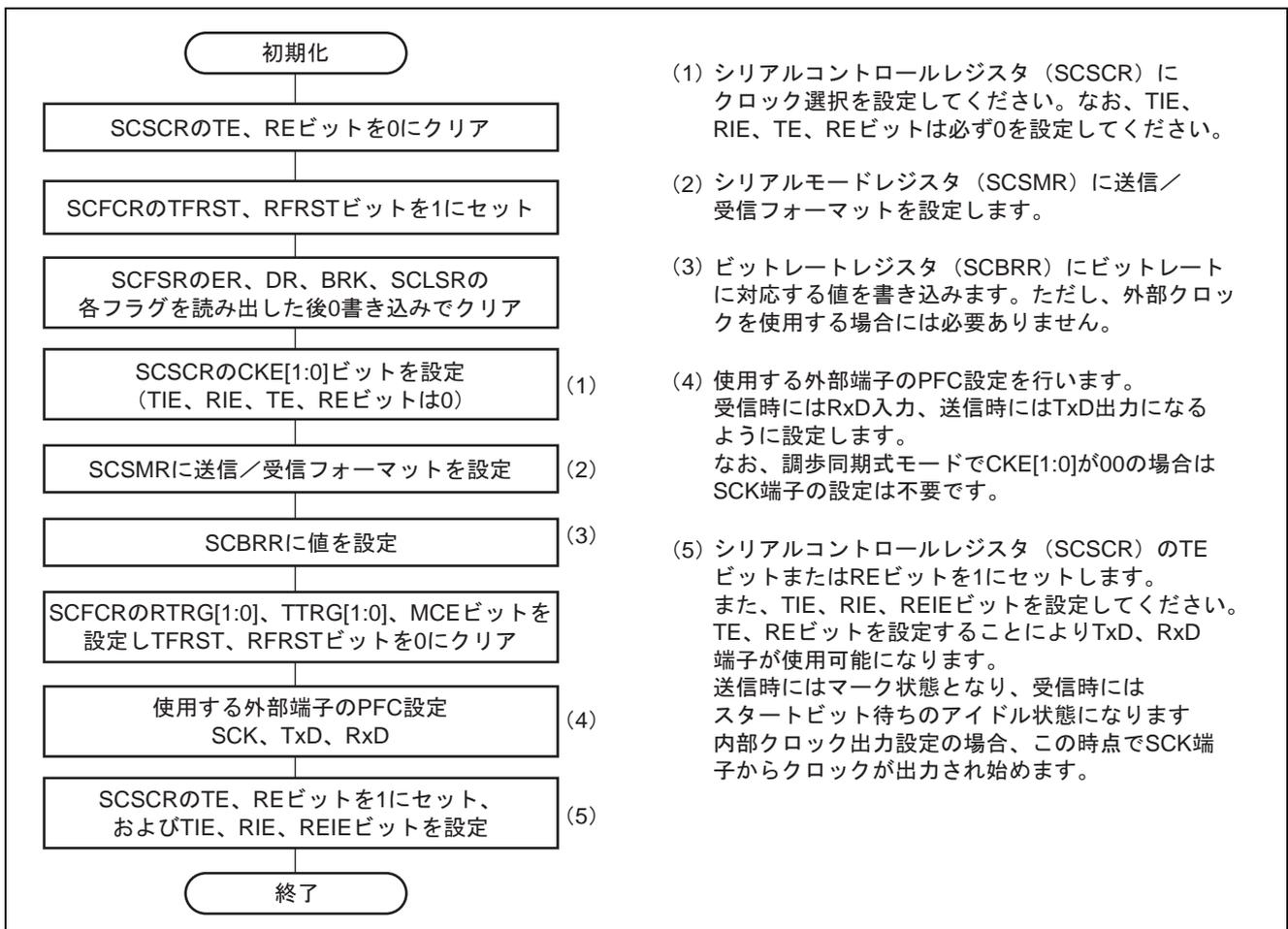


図 22.3 SCIF 初期化フローチャートの例

- シリアルデータ送信（調歩同期式モード）

図 22.4 にシリアル送信のフローチャートの例を示します。

SCIF の送信を可能にした後、シリアルデータ送信は以下の手順に従って行ってください。

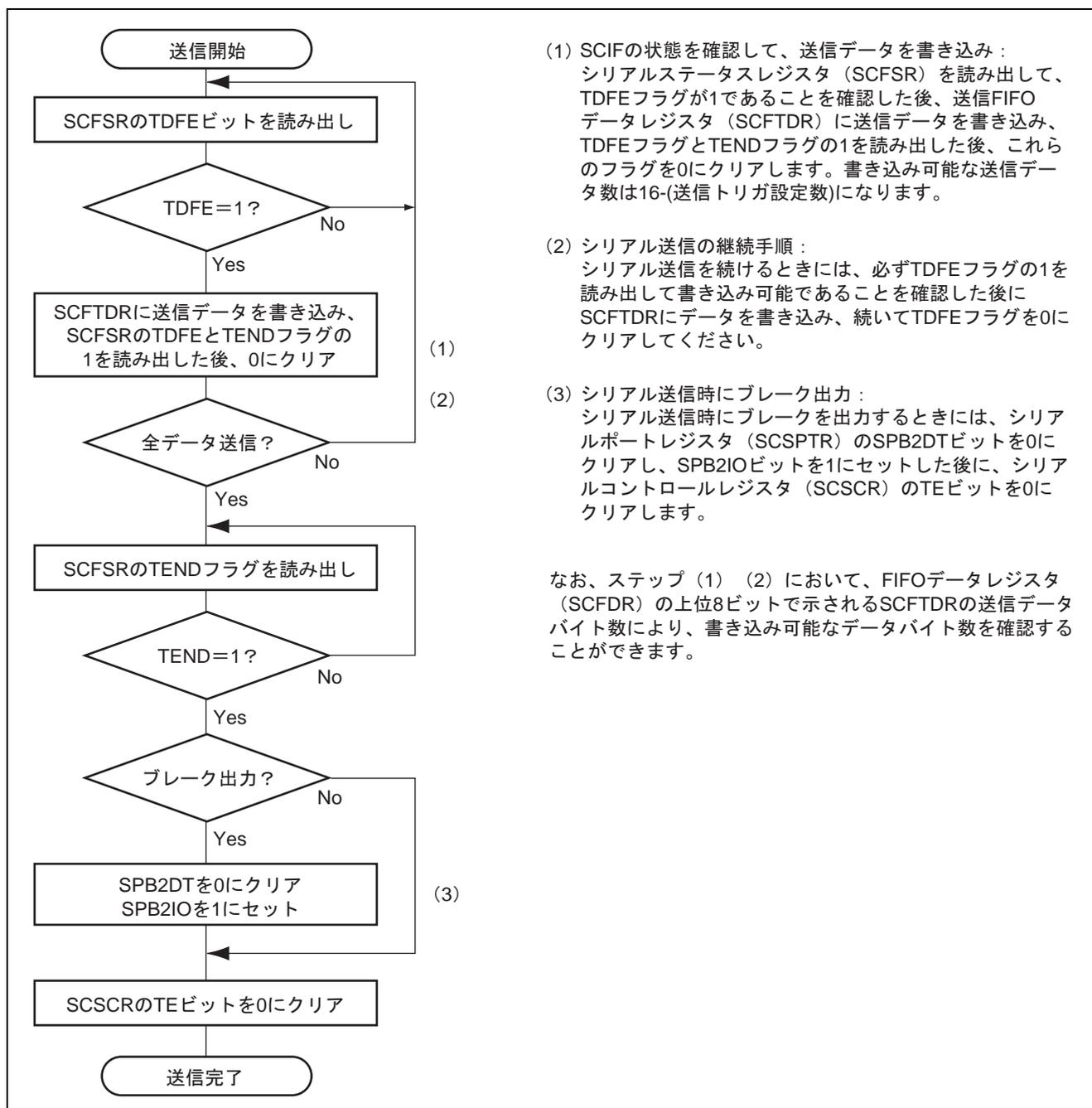


図 22.4 シリアル送信のフローチャートの例

SCIF は、シリアル送信時には以下のように動作します。

- SCIFは、送信FIFOデータレジスタ（SCFTDR）にデータが書き込まれると、SCFTDRから送信シフトレジスタ（SCTSR）にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ（SCFSR）のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は（16-送信トリガ設定数）です。

2. SCFTDRからSCTSRへデータを転送し、送信を開始すると、SCFTDRの送信データがなくなるまで連続して送信動作を実行します。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- スタートビット：1 ビットの 0 が出力されます。
 - 送信データ：8 ビットまたは7ビットのデータが LSB から順に出力されます。
 - パリティビット：1 ビットのパリティビット (偶数パリティ、または奇数パリティ) が出力されます (なお、パリティビットを出力しないフォーマットも選択できます)。
 - ストップビット：1 ビットまたは2ビットの 1 (ストップビット) が出力されます。
 - マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDR送信データをチェックします。データがあると、SCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

調歩同期式モードでの送信時の動作例を図 22.5 に示します。

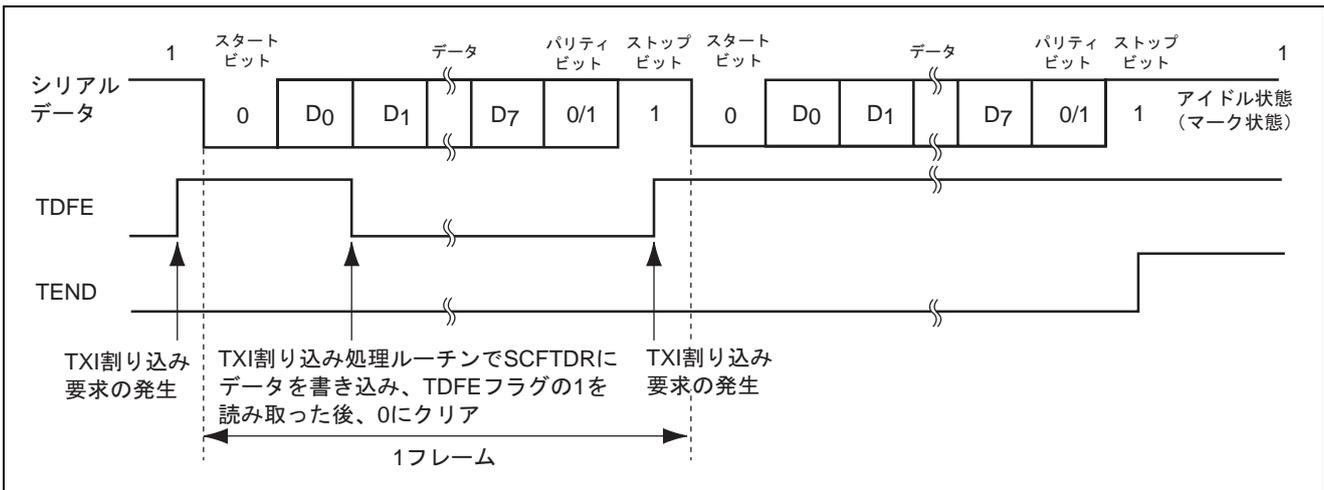
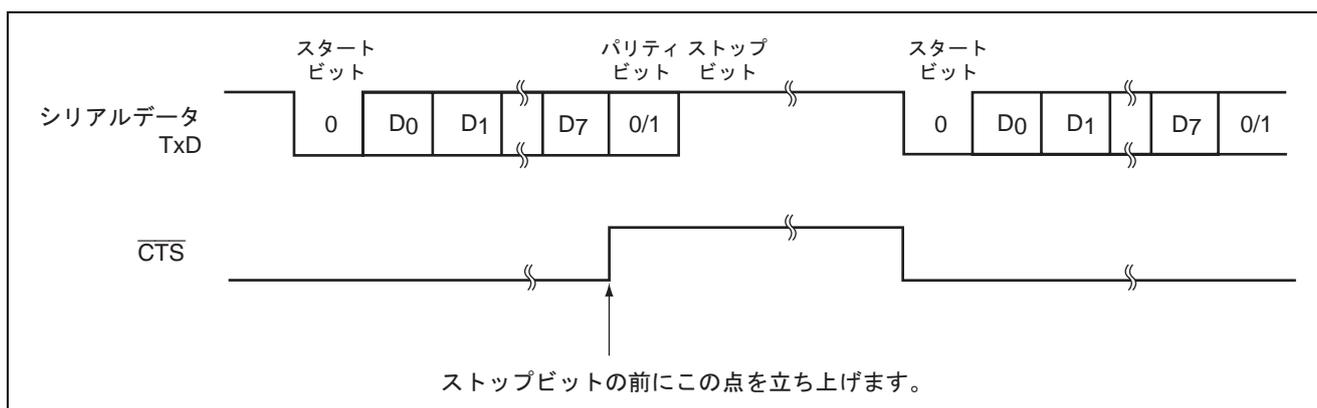


図 22.5 送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

4. モデムコントロールを許可した場合、 $\overline{\text{CTS}}$ 入力値によって送信を停止/再開することができます。 $\overline{\text{CTS}}$ が1にセットされると、送信中のときは1フレームの送信終了後マーク状態になります。 $\overline{\text{CTS}}$ が0にセットされると、次の送信データがスタートビットを先頭に出力されます。

モデムコントロールを使用した動作例を図 22.6 に示します。

図 22.6 モデムコントロールを使用した動作例 ($\overline{\text{CTS}}$)

- シリアルデータ受信 (調歩同期式モード)

図 22.7、図 22.8 にシリアル受信フローチャートの例を示します。

SCIF の受信を可能に設定した後、シリアルデータ受信は次の手順に従って行ってください。

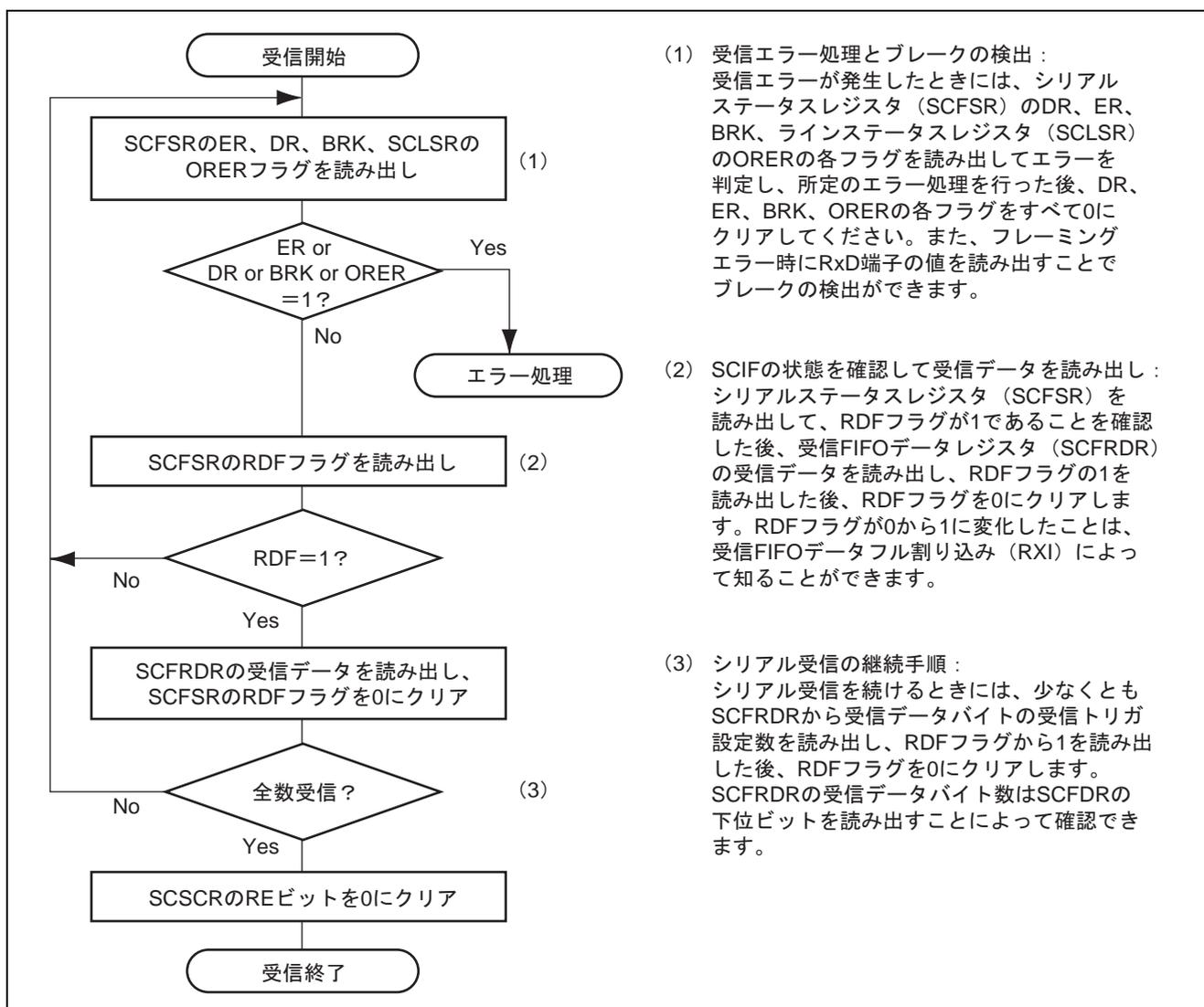


図 22.7 シリアル受信のフローチャートの例 (1)

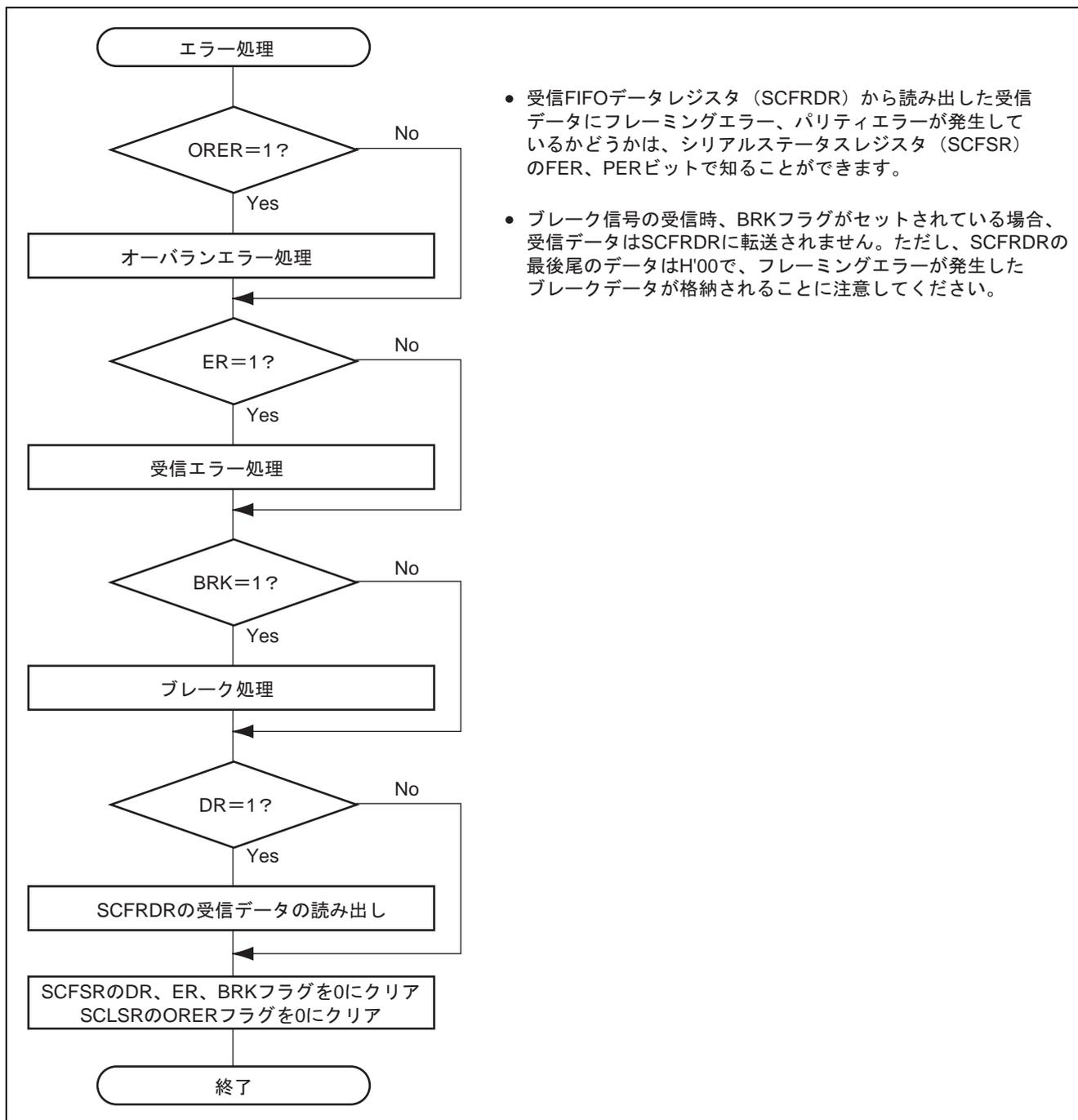


図 22.8 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データを受信シフトレジスタ (SCRSR) から SCFRDR に転送できる状態であるかをチェックします。
- (c) オーバランエラーチェック：オーバランエラーが発生していないことを示す ORER フラグが0であるかどうかをチェックします。
- (d) ブレークチェック：ブレーク状態がセットされていないことを示す BRK フラグが0であるかどうかをチェックします。

以上のチェックがすべてパスしたとき、SCFRDR に受信データが格納されます。

【注】 パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると、受信FIFOデータフル割り込み (RXI) 要求が発生します。また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、受信エラー割り込み (ERI) 要求が発生します。さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図 22.9 に示します。

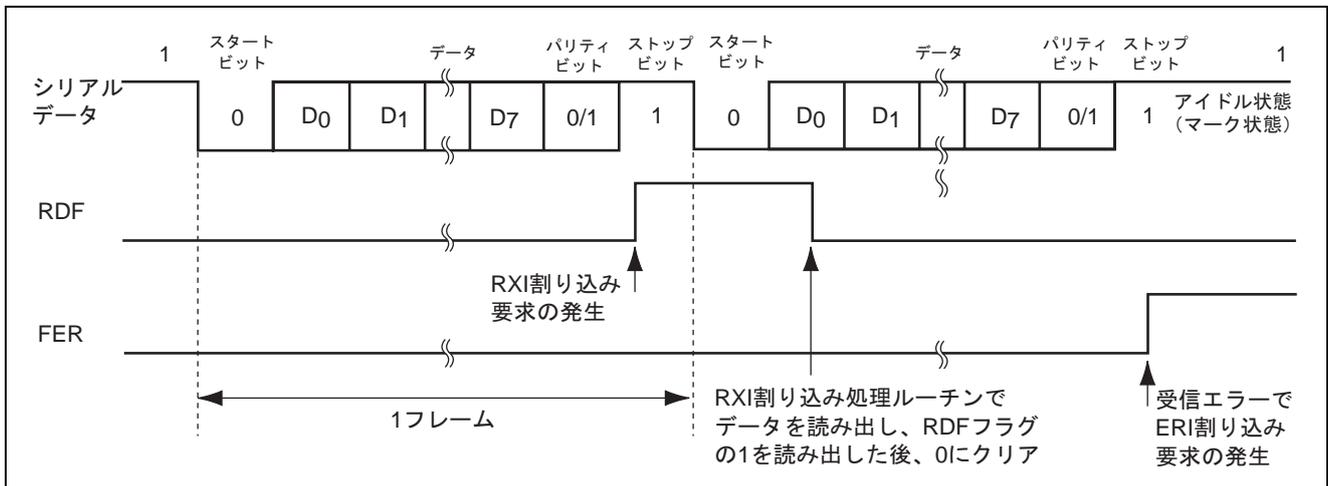


図 22.9 SCIF の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

5. モデムコントロールが有効であると、SCFRDRが空のとき $\overline{\text{RTS}}$ 信号が出力されます。 $\overline{\text{RTS}}$ が0の場合受信が可能です。 $\overline{\text{RTS}}$ が1の場合はSCFRDRのデータ数がRTS出力アクティブトリガ設定数以上であることを示します。

モデムコントロール使用時の動作例を図 22.10 に示します。

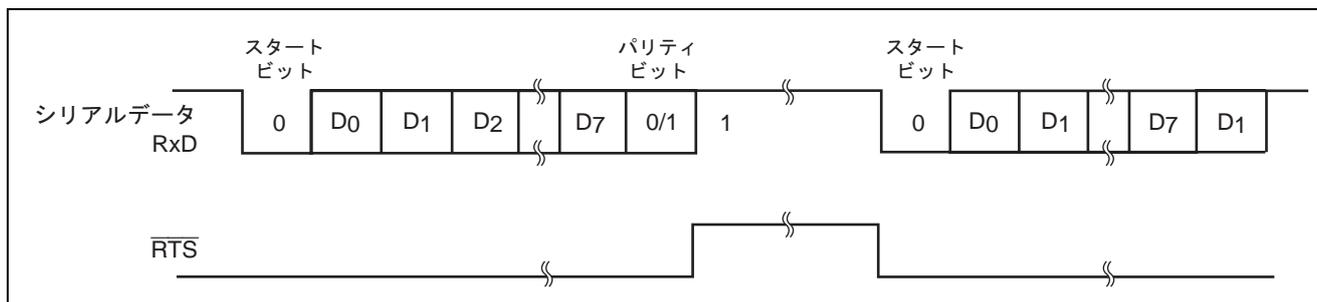


図 22.10 モデムコントロール使用時の動作例 (RTS)

22.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信/受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信/受信中にデータの読み出し/書き込みができ、連続送信/受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 22.11 に示します。

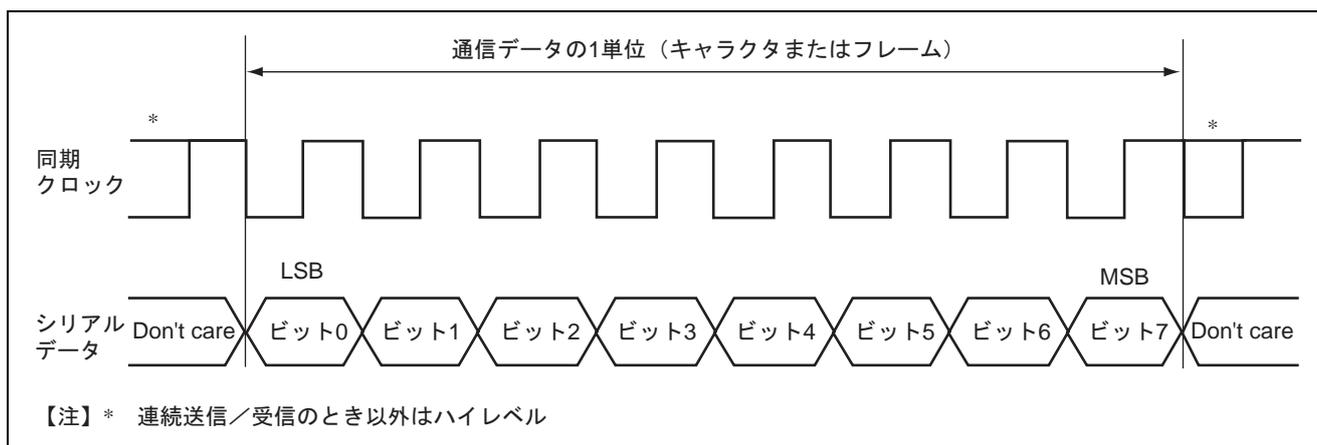


図 22.11 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信／受信フォーマット

8 ビットデータ固定です。
パリティビットの付加はできません。

(2) クロック

SCSMR の C/\bar{A} ビットと SCSCR の $CKE[1:0]$ の設定により内蔵ポーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部同期クロックの 2 種類から選択できます。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信／受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが 1 の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。この場合、 $8 \times (16+1) = 136$ パルスの同期クロックが出力されます。 n キャラクタ数の受信動作を行いたいときは、クロックソースを外部クロックにしてください。内部クロックを使用する場合は、 $RE=1$ かつ $TE=1$ とし、 n キャラクタ数のダミーデータ送信と同時に n キャラクタの受信を行う手順にしてください。

(3) データの送信／受信動作

• SCIFの初期化（クロック同期式モード）

データの送信／受信前にシリアルコントロールレジスタ (SCSCR) の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると送信シフトレジスタ (SCTSR) が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および受信データレジスタ (SCRDR) の内容は保持されますので注意してください。

図 22.12 に SCIF の初期化フローチャートの例を示します。

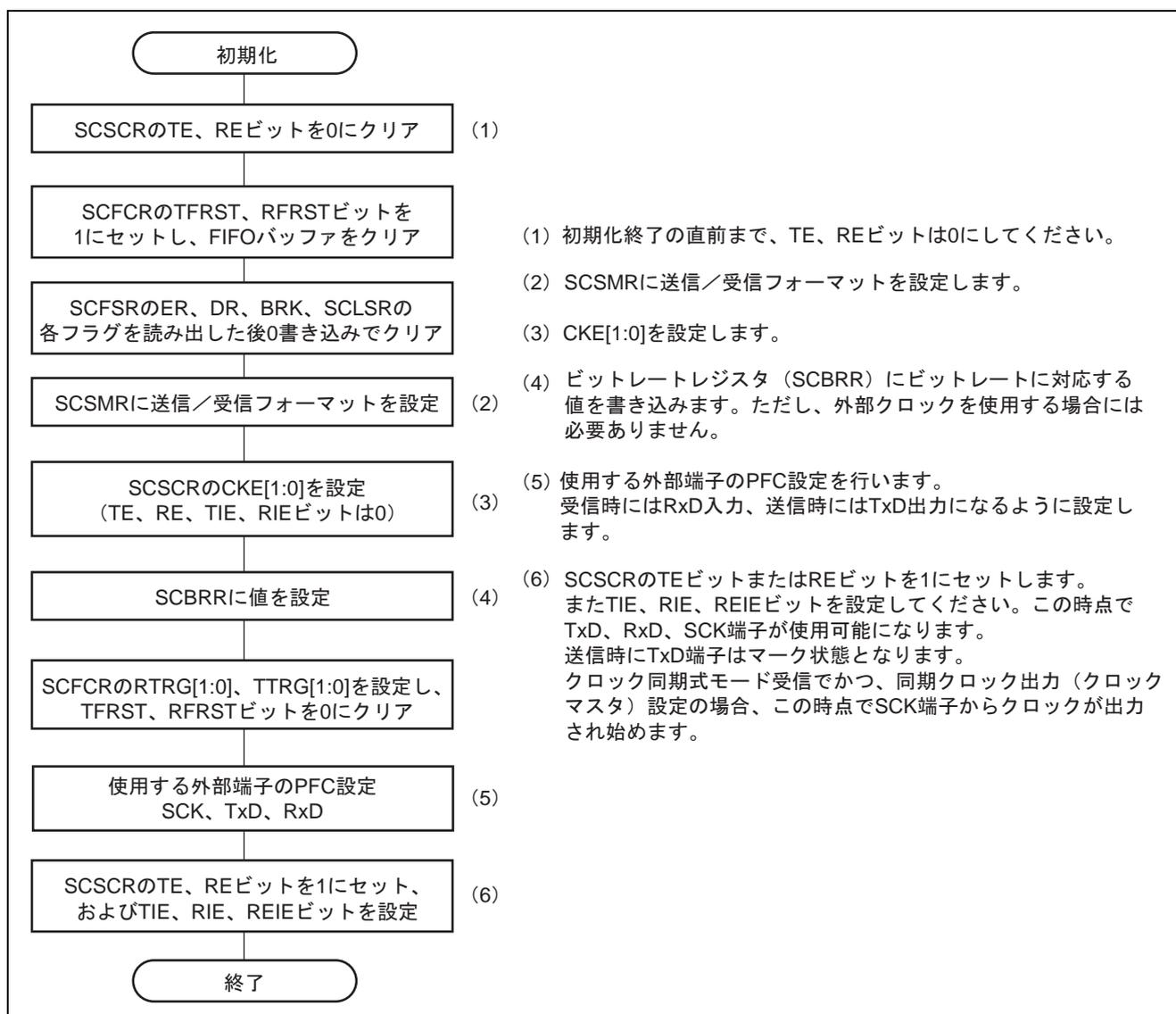


図 22.12 SCIF 初期化フローチャートの例

- シリアルデータ送信 (クロック同期式モード)

図 22.13 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

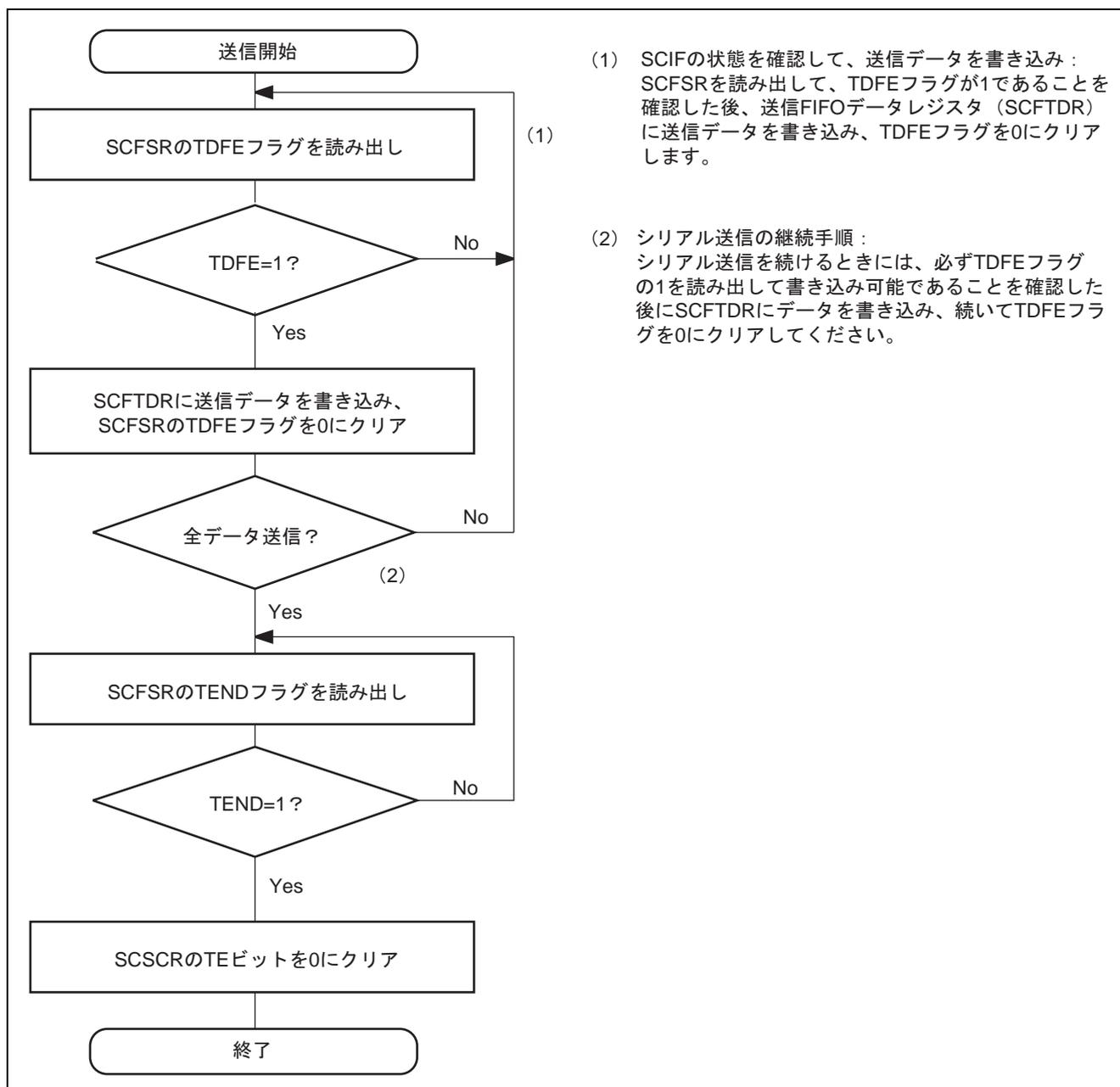


図 22.13 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、送信FIFOデータレジスタ (SCFTDR) にデータが書き込まれると、SCFTDRから送信シフトレジスタ (SCTSR) にデータを転送します。送信データをSCFTDRに書き込む前に、シリアルステータスレジスタ (SCFSR) のTDFEフラグが1にセットされていることを確認してください。書き込み可能な送信データバイト数は (16-送信トリガ設定数) です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。SCFTDRの送信データバイト数がFIFOコントロールレジスタ (SCFCR) で設定した送信トリガ数以下になると、TDFEフラグがセットされます。このとき、シリアルコントロールレジスタ (SCSCR) のTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み (TXI) 要求が発生します。
 クロック出力モードに設定したときには、SCIFは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB (ビット0) ~MSB (ビット7) の順にTxD端子から送り出されます。
3. SCIFは、最終ビットを送出するタイミングでSCFTDR送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。データがないと、SCFSRのTENDフラグを1にセットし、最終ビットを送り出した後、TxD端子は状態を保持します。
4. シリアル送信終了後は、SCK端子はハイレベル固定になります。

図 22.14 に SCIF の送信時の動作例を示します。

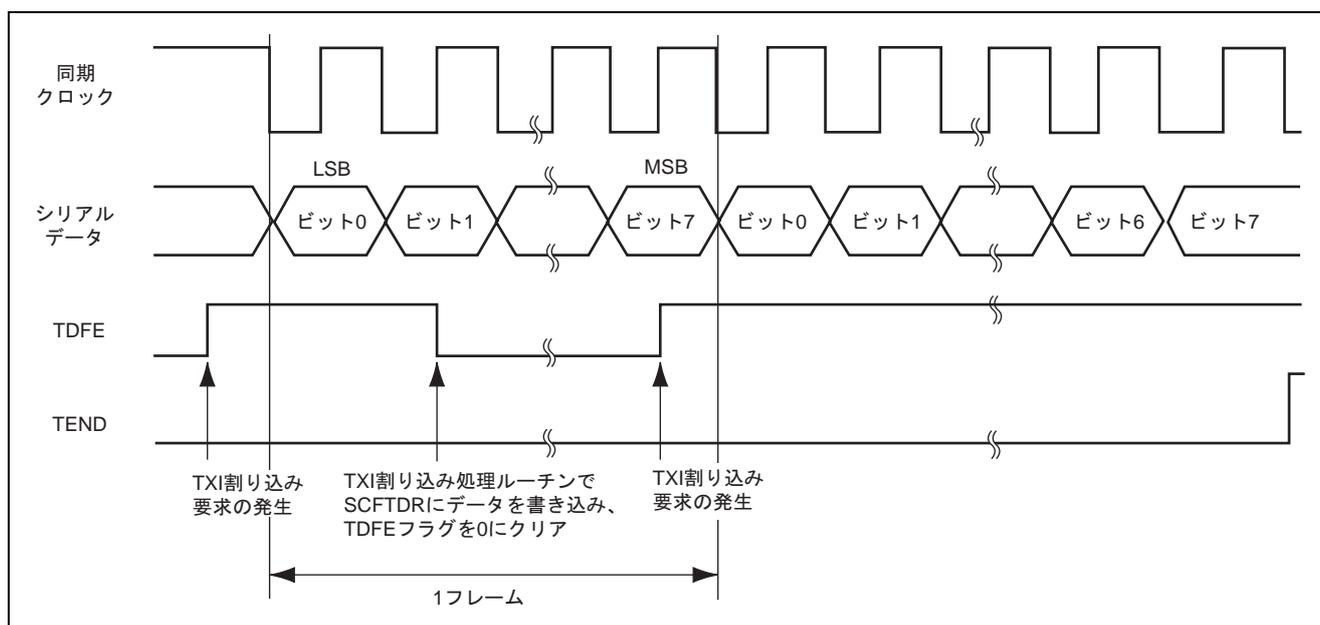


図 22.14 SCIF の送信時の動作例

- シリアルデータ受信 (クロック同期式モード)

図 22.15、図 22.16 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIF を受信動作可能状態に設定した後、以下の手順に従って行ってください。SCIF の初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

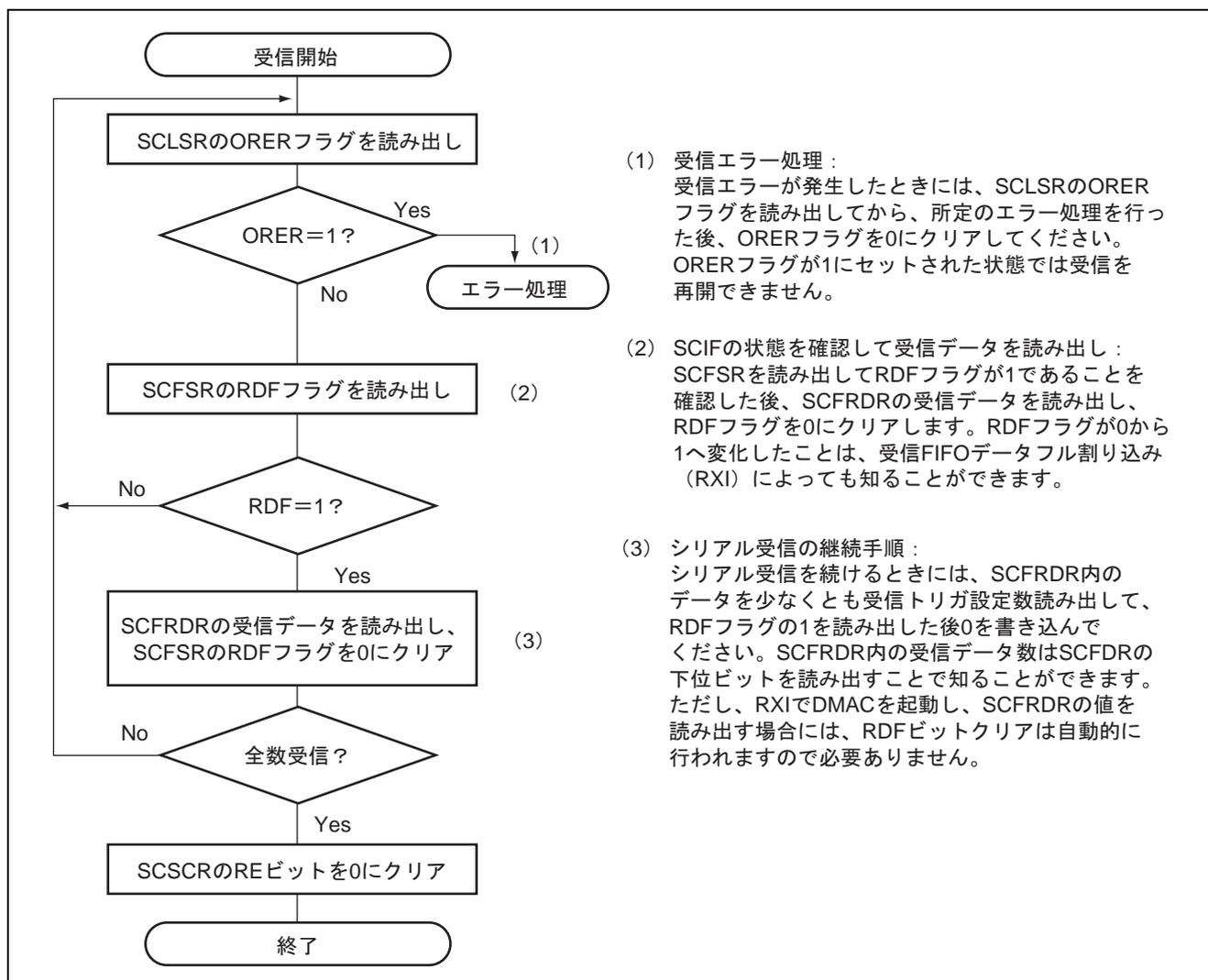


図 22.15 シリアル受信のフローチャートの例 (1)

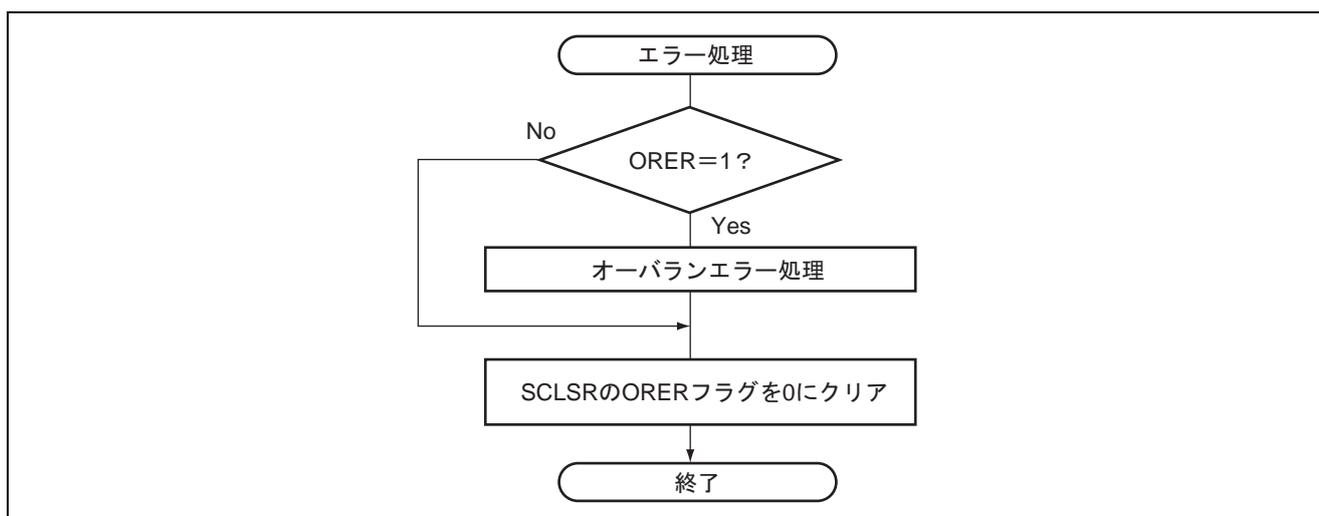


図 22.16 シリアル受信のフローチャートの例 (2)

SCIF はシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータを受信シフトレジスタ (SCRSR) のLSBからMSBの順に格納します。受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックします。このチェックがパスしたとき RDFフラグが1にセットされ、SCFRDRに受信データが格納されます。エラーチェックでオーバランエラーを検出すると、以後の受信動作ができません。
3. RDFフラグが1になったとき、シリアルコントロールレジスタ (SCSCR) のRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求が発生します。また、ORERフラグが1になったとき、SCSCR のRIEビットまたはREIEビットが1にセットされているとブレーク割り込み (BRI) 要求が発生します。

図 22.17 に SCIF の受信時の動作例を示します。

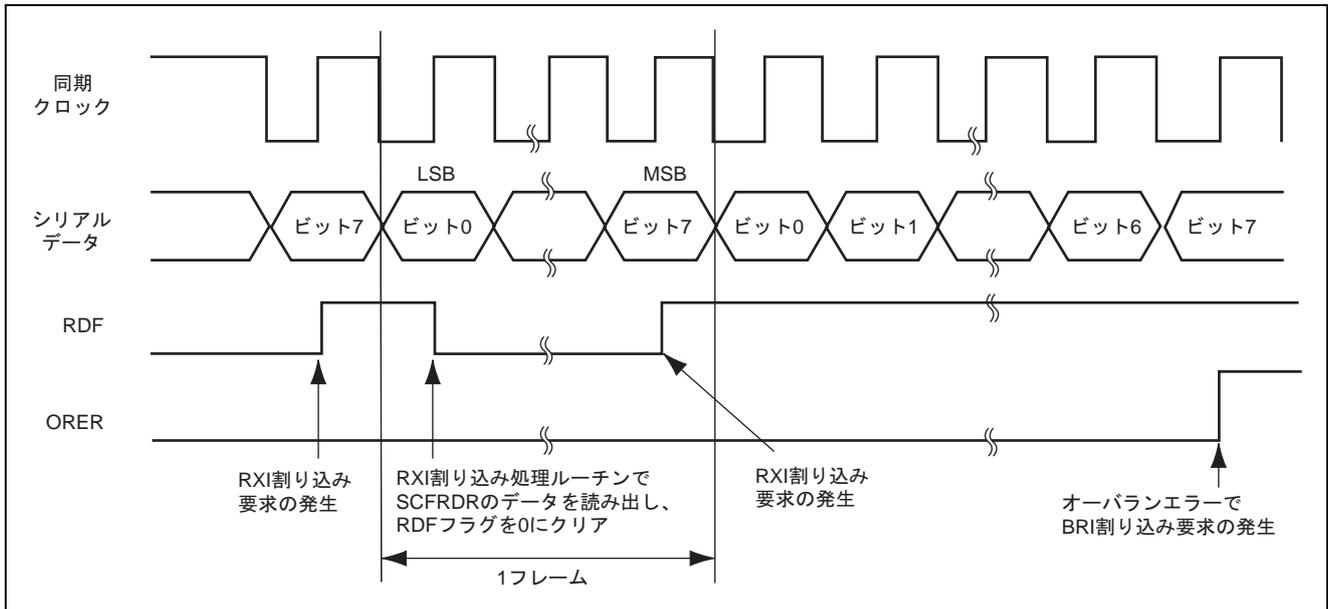


図 22.17 SCIF の受信時の動作例

● シリアルデータ送受信同時動作 (クロック同期式モード)

図 22.18 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

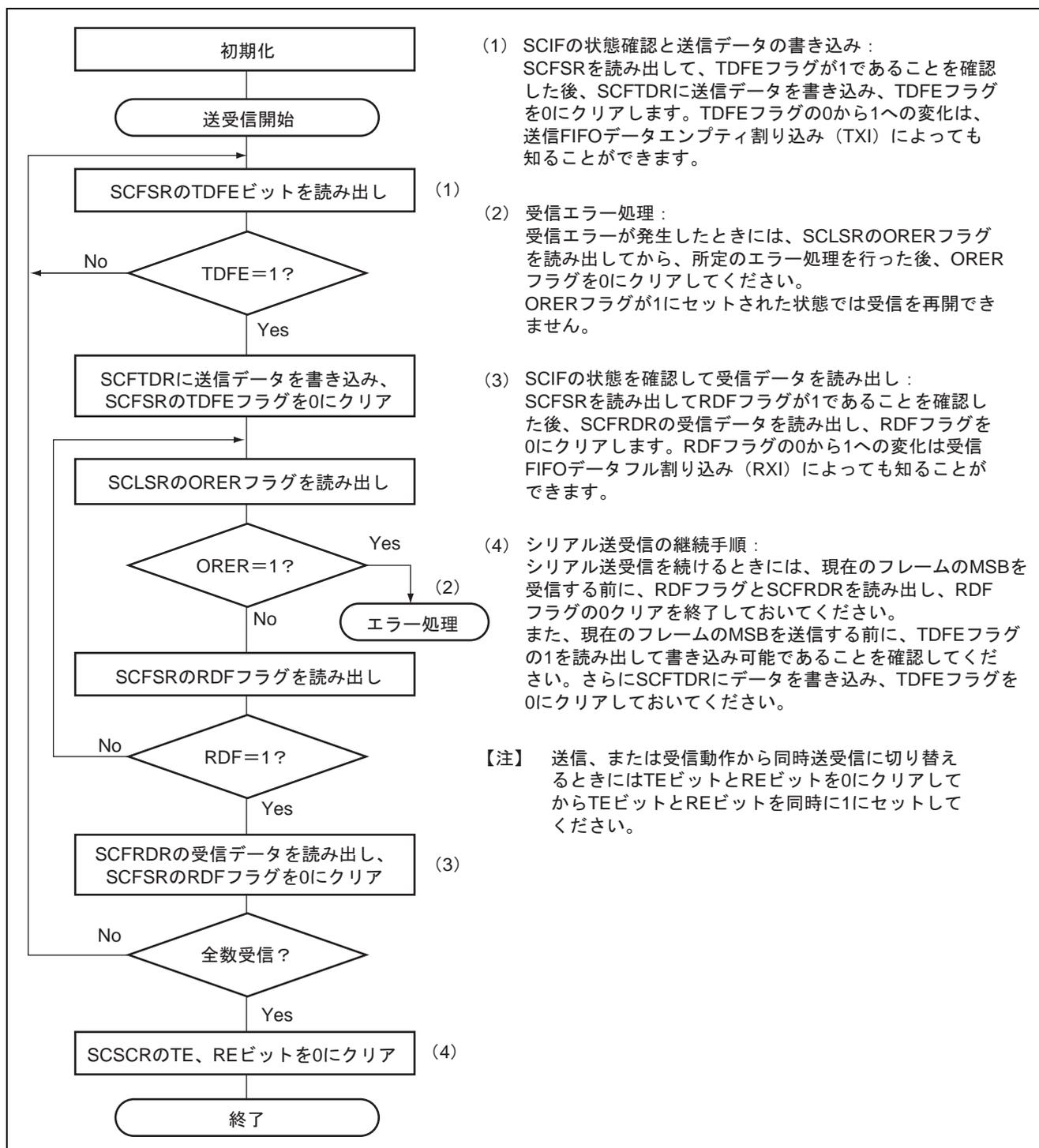


図 22.18 シリアルデータ送受信フローチャートの例

22.5 SCIF の割り込み

SCIF は、送信 FIFO データエンpty割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブ레이크割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 22.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、シリアルステータスレジスタ (SCFSR) の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。この TXI 割り込み要求で DMAC を起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求が発生します。この RXI 割り込み要求で DMAC を起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。また、DR フラグが 1 にセットされたことによる RXI 割り込み要求は、調歩同期モード時のみ発生します。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求だけを出すことができます。

なお、TXI は送信データを書き込み可能なことを示し、RXI は SCFRDR に受信データがあることを示しています。

表 22.12 SCIF 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時 優先順位
BRI	ブ레이크 (BRK) またはオーバラン (ORER) による割り込み	不可	高 ↑ ↓ 低
ERI	受信エラー (ER) による割り込み	不可	
RXI	受信 FIFO データフル (RDF) またはデータレディ (DR) による割り込み	可	
TXI	送信 FIFO データエンpty (TDFE) による割り込み	可	

22.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

22.6.1 SCFTDR への書き込みと TDFE フラグ

シリアルステータスレジスタ (SCFSR) の TDFE フラグは、送信 FIFO データレジスタ (SCFTDR) に書き込まれた送信データバイト数が FIFO コントロールレジスタ (SCFCR) の TTRG[1:0]で設定した送信トリガ数より少なくなるとセットされます。TDFE フラグがセットされた後、送信データは SCFTDR の空バイト数まで書き込むことができ、効率のよい連続送信が可能です。

ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは 1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、TDFE フラグのクリアは、SCFTDR に書き込んだデータバイト数が送信トリガ数を上回る時に 1 を読み出した後に実行してください。

SCFTDR の送信データバイト数は FIFO データカウントレジスタ (SCFDR) の上位 8 ビットから知ることができます。

22.6.2 SCFRDR の読み出しと RDF フラグ

シリアルステータスレジスタ (SCFSR) の RDF フラグは、受信 FIFO データレジスタ (SCFRDR) の受信データバイト数が FIFO コントロールレジスタ (SCFCR) の RTRG[1:0]で設定した受信トリガ数以上になるとセットされます。RDF フラグがセットされた後、トリガ数分の受信データを SCFRDR から読み出すことができ、効率のよい連続受信が可能です。

ただし、SCFRDR のデータバイト数が受信トリガ数を上回る場合、RDF フラグは、1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、RDF フラグのクリアは、受信 FIFO データレジスタ (SCFRDR) 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。SCFRDR の受信データバイト数は、FIFO データカウントレジスタ (SCFDR) の下位 8 ビットから知ることができます。

22.6.3 ブレークの検出と処理

フレーミングエラー (FER) 検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力すべて 0 になりますので、FER フラグがセットされ、またパリティエラーフラグ (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けます。

22.6.4 ブレークの送り出し

TxD 端子の入出力条件とレベルは、シリアルポートレジスタ (SCSPTR) の SPB2IO ビットと SPB2DR ビットで決まります。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TxD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 (ハイレベル出力) に設定しておきます。

シリアル送信時にブレーク信号を送り出すためには、SPB2DT ビットを 0 にクリア (ローレベルを指定) した後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子から 0 が出力されます。

22.6.5 調歩同期式モードの受信データサンプリングタイミングと受信マージン

SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時に SCIF は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。このタイミングを図 22.19 に示します。

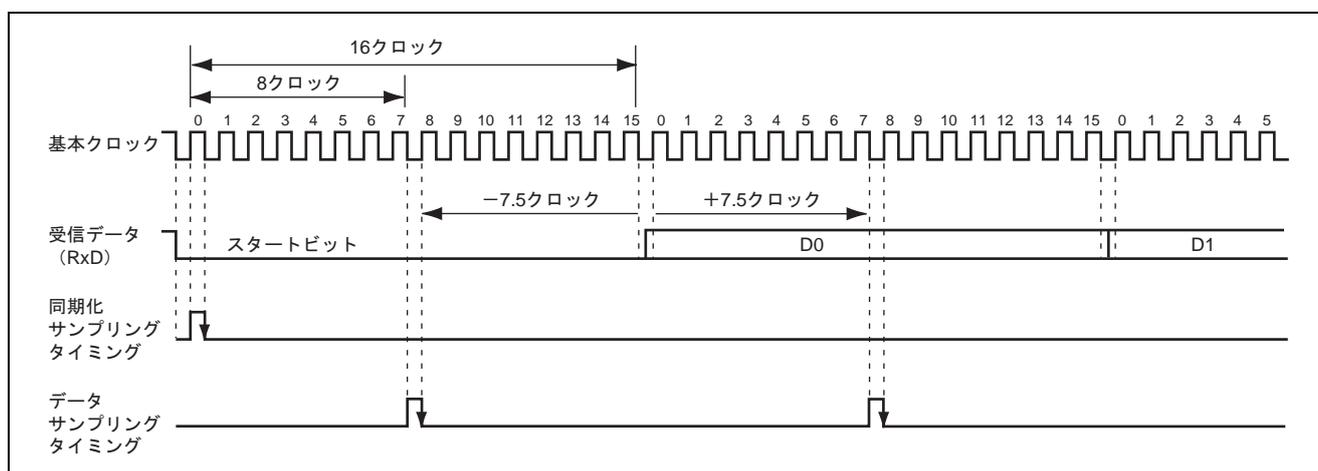


図 22.19 調歩同期式モードでの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - (L-0.5) F - \frac{|D-0.5|}{N} (1+F) \right\} \times 100[\%] \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : ビットレートに対するクロック周波数の比 (N=16)

D : クロックデューティ (D:0~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875%となります。

D=0.5、F=0のとき

$$M = \left(0.5 - 1 / (2 \times 16) \right) \times 100\% = 46.875\% \quad \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30%の余裕を持たせてください。

23. ピンファンクションコントローラ (PFC)

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能と、その入出力の方向を選ぶためのレジスタで構成されています。表 23.1～表 23.7 に本 LSI のマルチプレクス端子を示します。表 23.8 に動作モード別端子機能一覧を示します。

表 23.1 マルチプレクス一覧表 (ポート A)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)	機能 5 (関連モジュール)
A	PA25 入出力 (ポート)	A25 出力 (BSC)	—	—	HIFMD 入力 (HIF)
	PA24 入出力 (ポート)	A24 出力 (BSC)	—	—	—
	PA23 入出力 (ポート)	A23 出力 (BSC)	—	—	—
	PA22 入出力 (ポート)	A22 出力 (BSC)	—	—	—
	PA21 入出力 (ポート)	A21 出力 (BSC)	—	—	—
	PA20 入出力 (ポート)	A20 出力 (BSC)	—	—	—
	PA19 入出力 (ポート)	A19 出力 (BSC)	—	—	—
	PA18 入出力 (ポート)	A18 出力 (BSC)	—	—	—
PA17 入出力 (ポート)	A17 出力 (BSC)	—	—	—	

表 23.2 マルチプレクス一覧表 (ポート B)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)		機能 3 (関連モジュール)	機能 4 (関連モジュール)
B	PB07 入出力 (ポート)	\overline{BS} 出力 (BSC)		—	—
	PB06 入力 (ポート)	$\overline{CS4}$ 出力 (BSC)		—	—
	PB05 入出力 (ポート)	$\overline{CS5}$ 出力 (BSC)	$\overline{CE1A}$ 出力 (BSC)	IRQ3 入力 (INTC)	TEND1 出力 (DMAC)
	PB04 入出力 (ポート)		$\overline{CE2A}$ 出力 (BSC)	IRQ2 入力 (INTC)	DACK1 出力 (DMAC)
	PB03 入力 (ポート)	$\overline{CS6}$ 出力 (BSC)	$\overline{CE1B}$ 出力 (BSC)	IRQ1 入力 (INTC)	DREQ1 入力 (DMAC)
	PB02 入力 (ポート)		$\overline{CE2B}$ 出力 (BSC)	IRQ0 入力 (INTC)	—
	PB01 入力 (ポート)		$\overline{IOIS16}$ 入力 (BSC)	SCL 入出力 (IIC)	—
	PB00 入力 (ポート)	WAIT 入力 (BSC)		SDA 入出力 (IIC)	—

表 23.3 マルチプレクス一覧表 (ポート C)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
C	PC20 入出力 (ポート)	WOL 出力 (EtherC)	—	—
	PC19 入出力 (ポート)	EXOUT 出力 (EtherC)	—	—
	PC18 入出力 (ポート)	LNKSTA 入力 (EtherC)	—	—
	PC17 入出力 (ポート)	MDC 出力 (EtherC)	—	—
	PC16 入出力 (ポート)	MDIO 入出力 (EtherC)	—	—
	PC15 入出力 (ポート)	CRS 入力 (EtherC)	—	—
	PC14 入出力 (ポート)	COL 入力 (EtherC)	—	—
	PC13 入出力 (ポート)	TX_CLK 入力 (EtherC)	—	—
	PC12 入出力 (ポート)	TX_EN 出力 (EtherC)	—	—
	PC11 入出力 (ポート)	TX_ER 出力 (EtherC)	—	—
	PC10 入出力 (ポート)	RX_CLK 入力 (EtherC)	—	—
	PC09 入出力 (ポート)	RX_ER 入力 (EtherC)	—	—
	PC08 入出力 (ポート)	RX_DV 入力 (EtherC)	—	—
	PC07 入出力 (ポート)	MII_TXD3 出力 (EtherC)	—	—
	PC06 入出力 (ポート)	MII_TXD2 出力 (EtherC)	—	—
	PC05 入出力 (ポート)	MII_TXD1 出力 (EtherC)	—	—
	PC04 入出力 (ポート)	MII_TXD0 出力 (EtherC)	—	—
	PC03 入出力 (ポート)	MII_RXD3 入力 (EtherC)	—	—
	PC02 入出力 (ポート)	MII_RXD2 入力 (EtherC)	—	—
	PC01 入出力 (ポート)	MII_RXD1 入力 (EtherC)	—	—
PC00 入力 (ポート)	MII_RXD0 入力 (EtherC)	—	—	

表 23.4 マルチプレクス一覧表 (ポート D)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
D	PD07 入出力 (ポート)	IRQ7 入力 (INTC)	SDCLK 出力 (SDHI)	—
	PD06 入出力 (ポート)	IRQ6 入力 (INTC)	SDCMD 入出力 (SDHI)	—
	PD05 入力 (ポート)	IRQ5 入力 (INTC)	SDCD 入力 (SDHI)	—
	PD04 入力 (ポート)	IRQ4 入力 (INTC)	SDWP 入力 (SDHI)	—
	PD03 入出力 (ポート)	IRQ3 入力 (INTC)	SDDAT3 入出力 (SDHI)	—
	PD02 入出力 (ポート)	IRQ2 入力 (INTC)	SDDAT2 入出力 (SDHI)	—
	PD01 入出力 (ポート)	IRQ1 入力 (INTC)	SDDAT1 入出力 (SDHI)	—
	PD00 入出力 (ポート)	IRQ0 入力 (INTC)	SDDAT0 入出力 (SDHI)	—

表 23.5 マルチプレクス一覧表 (ポート E)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
E	—	ST1_CLKIN 入力 (STIF)	SSISCK1 入出力 (SSI)	—
	—	ST1_VCO_CLKIN 入力 (STIF)	AUDIO_CLK 入力 (SSI)	—
	PE11 入出力 (ポート)	ST1_PWM 出力 (STIF)	$\overline{RTS2}$ 入出力 (SCIF)	—
	PE10 入出力 (ポート)	ST1_SYC 入出力 (STIF)	$\overline{CTS2}$ 入出力 (SCIF)	—
	PE09 入出力 (ポート)	ST1_VLD 入出力 (STIF)	SCK2 入出力 (SCIF)	—
	PE08 入出力 (ポート)	ST1_REQ 入出力 (STIF)	TxD2 出力 (SCIF)	—
	PE07 入出力 (ポート)	ST1_D7 入出力 (STIF)	SSIWS1 入出力 (SSI)	—
	PE06 入出力 (ポート)	ST1_D6 入出力 (STIF)	SSIDATA1 入出力 (SSI)	—
	PE05 入出力 (ポート)	ST1_D5 入出力 (STIF)	$\overline{RTS1}$ 入出力 (SCIF)	—
	PE04 入出力 (ポート)	ST1_D4 入出力 (STIF)	$\overline{CTS1}$ 入出力 (SCIF)	—
	PE03 入出力 (ポート)	ST1_D3 入出力 (STIF)	SCK1 入出力 (SCIF)	—
	PE02 入出力 (ポート)	ST1_D2 入出力 (STIF)	RxD1 入力 (SCIF)	—
	PE01 入出力 (ポート)	ST1_D1 入出力 (STIF)	TxD1 出力 (SCIF)	—
	PE00 入出力 (ポート)	ST1_D0 入出力 (STIF)	RxD2 入力 (SCIF)	—

表 23.6 マルチプレクス一覧表 (ポート F)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
F	—	ST_CLKOUT 出力 (STIF)	—	—
	—	ST0_CLKIN 入力 (STIF)	SSISCK0 入出力 (SSI)	—
	—	ST0_VCO_CLKIN 入力 (STIF)	—	—
	PF11 入出力 (ポート)	ST0_PWM 出力 (STIF)	TEND0 出力 (DMAC)	—
	PF10 入出力 (ポート)	ST0_SYC 入出力 (STIF)	DACK0 出力 (DMAC)	—
	PF09 入出力 (ポート)	ST0_VLD 入出力 (STIF)	DREQ0 入力 (DMAC)	—
	PF08 入出力 (ポート)	ST0_REQ 入出力 (STIF)	—	—
	PF07 入出力 (ポート)	ST0_D7 入出力 (STIF)	SSIWS0 入出力 (SSI)	—
	PF06 入出力 (ポート)	ST0_D6 入出力 (STIF)	SSIDATA0 入出力 (SSI)	—
	PF05 入出力 (ポート)	ST0_D5 入出力 (STIF)	$\overline{RTS0}$ 入出力 (SCIF)	—
	PF04 入出力 (ポート)	ST0_D4 入出力 (STIF)	$\overline{CTS0}$ 入出力 (SCIF)	—
	PF03 入出力 (ポート)	ST0_D3 入出力 (STIF)	SCK0 入出力 (SCIF)	—
	PF02 入出力 (ポート)	ST0_D2 入出力 (STIF)	RxD0 入力 (SCIF)	—
	PF01 入出力 (ポート)	ST0_D1 入出力 (STIF)	TxD0 出力 (SCIF)	—
PF00 入出力 (ポート)	ST0_D0 入出力 (STIF)	—	—	

表 23.7 マルチプレクス一覧表 (ポート G)

ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
G	PG23 入出力 (ポート)	HIFCS 入力 (HIF)	—	—
	PG22 入出力 (ポート)	HIFRS 入力 (HIF)	—	—
	PG21 入出力 (ポート)	HIFWR 入力 (HIF)	—	—
	PG20 入出力 (ポート)	HIFRD 入力 (HIF)	—	—
	PG19 入出力 (ポート)	HIFINT 出力 (HIF)	—	—
	PG18 入出力 (ポート)	HIFDREQ 出力 (HIF)	—	—
	PG17 入出力 (ポート)	HIFRDY 出力 (HIF)	—	—
	PG16 入出力 (ポート)	HIFEBL 入力 (HIF)	—	—
	PG15 入出力 (ポート)	HIFD15 入出力 (HIF)	—	—
	PG14 入出力 (ポート)	HIFD14 入出力 (HIF)	—	—
	PG13 入出力 (ポート)	HIFD13 入出力 (HIF)	—	—
	PG12 入出力 (ポート)	HIFD12 入出力 (HIF)	—	—
	PG11 入出力 (ポート)	HIFD11 入出力 (HIF)	—	—
	PG10 入出力 (ポート)	HIFD10 入出力 (HIF)	—	—
	PG09 入出力 (ポート)	HIFD09 入出力 (HIF)	—	—
	PG08 入出力 (ポート)	HIFD08 入出力 (HIF)	—	—
	PG07 入出力 (ポート)	HIFD07 入出力 (HIF)	—	—
	PG06 入出力 (ポート)	HIFD06 入出力 (HIF)	—	—
	PG05 入出力 (ポート)	HIFD05 入出力 (HIF)	—	—
	PG04 入出力 (ポート)	HIFD04 入出力 (HIF)	—	—
PG03 入出力 (ポート)	HIFD03 入出力 (HIF)	—	—	
PG02 入出力 (ポート)	HIFD02 入出力 (HIF)	—	—	
PG01 入出力 (ポート)	HIFD01 入出力 (HIF)	—	—	
PG00 入出力 (ポート)	HIFD00 入出力 (HIF)	—	—	

表 23.8 動作モード別端子一覧 (1)

ピン 番号	非 HIF ブートモード		HIF ブートモード	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
A2	A00	—	A00	—
A17	A01	—	A01	—
B17	A02	—	A02	—
C17	A03	—	A03	—
A16	A04	—	A04	—
B16	A05	—	A05	—
C16	A06	—	A06	—
A15	A07	—	A07	—
B15	A08	—	A08	—
C15	A09	—	A09	—
A14	A10	—	A10	—
B14	A11	—	A11	—
C14	A12	—	A12	—
A13	A13	—	A13	—
B13	A14	—	A14	—
C13	A15	—	A15	—
A12	A16	—	A16	—
A1	PA17	PA17/A17	PA17	PA17/A17
B2	PA18	PA18/A18	PA18	PA18/A18
B1	PA19	PA19/A19	PA19	PA19/A19
C3	PA20	PA20/A20	PA20	PA20/A20
C2	PA21	PA21/A21	PA21	PA21/A21
C1	PA22	PA22/A22	PA22	PA22/A22
D3	PA23	PA23/A23	PA23	PA23/A23
D2	PA24	PA24/A24	PA24	PA24/A24
D1	HIFMD/PA25*	PA25/A25	HIFMD/PA25*	PA25/A25
B12	D00	—	D00	—
C12	D01	—	D01	—
A11	D02	—	D02	—
B11	D03	—	D03	—
C11	D04	—	D04	—
A10	D05	—	D05	—
B10	D06	—	D06	—
C10	D07	—	D07	—
B7	D08	—	D08	—

表 23.8 動作モード別端子一覧 (2)

ピン 番号	非 HIF ブートモード		HIF ブートモード	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
A7	D09	—	D09	—
B8	D10	—	D10	—
C8	D11	—	D11	—
A8	D12	—	D12	—
C9	D13	—	D13	—
B9	D14	—	D14	—
A9	D15	—	D15	—
K20	D16	—	D16	—
K19	D17	—	D17	—
J20	D18	—	D18	—
J19	D19	—	D19	—
H20	D20	—	D20	—
H19	D21	—	D21	—
G20	D22	—	D22	—
G19	D23	—	D23	—
E18	D24	—	D24	—
D20	D25	—	D25	—
E19	D26	—	D26	—
F18	D27	—	D27	—
E20	D28	—	D28	—
F19	D29	—	D29	—
F20	D30	—	D30	—
G18	D31	—	D31	—
A4	PB00	PB00/WAIT/SDA	PB00	PB00/WAIT/SDA
C5	PB01	PB01/IOIS16/SCL	PB01	PB01/IOIS16/SCL
B20	CKE	—	CKE	—
A19	$\overline{\text{CAS}}$	—	$\overline{\text{CAS}}$	—
A18	$\overline{\text{RAS}}$	—	$\overline{\text{RAS}}$	—
C7	($\overline{\text{WE0}}/\text{DQMLL}$)	—	($\overline{\text{WE0}}/\text{DQMLL}$)	—
A6	($\overline{\text{WE1}}/\text{DQMLU}/\overline{\text{WE}}$)	—	($\overline{\text{WE1}}/\text{DQMLU}/\overline{\text{WE}}$)	—
D19	($\overline{\text{WE2}}/\text{DQMUL}/\overline{\text{ICIORD}}$)	—	($\overline{\text{WE2}}/\text{DQMUL}/\overline{\text{ICIORD}}$)	—
D18	($\overline{\text{WE3}}/\text{DQMUU}/\overline{\text{CIOWR}}$)	—	($\overline{\text{WE3}}/\text{DQMUU}/\overline{\text{CIOWR}}$)	—
B5	$\overline{\text{RD}}$	—	$\overline{\text{RD}}$	—
C19	RDWR	—	RDWR	—
B4	PB02	PB02/CE2B/IRQ0	PB02	PB02/CE2B/IRQ0

表 23.8 動作モード別端子一覧 (3)

ピン 番号	非 HIF ブートモード		HIF ブートモード	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
C4	PB03	PB03/CS6/CE1B/IRQ1/ DREQ1	PB03	PB03/CS6/CE1B/IRQ1/ DREQ1
A3	PB04	PB04/CE2A/IRQ2/DACK1	PB04	PB04/CE2A/IRQ2/DACK1
B3	PB05	PB05/CS5/CE1A/IRQ3/ TEND1	PB05	PB05/CS5/CE1A/IRQ3/ TEND1
A5	PB06	PB06/CS4	PB06	PB06/CS4
B18	CS3	—	CS3	—
C6	CS0	—	CS0	—
B6	PB07	PB07/BS	PB07	PB07/BS
L1	PC00	PC00/MII_RXD0	PC00	PC00/MII_RXD0
L2	PC01	PC01/MII_RXD1	PC01	PC01/MII_RXD1
L3	PC02	PC02/MII_RXD2	PC02	PC02/MII_RXD2
K1	PC03	PC03/MII_RXD3	PC03	PC03/MII_RXD3
H1	PC04	PC04/MII_TXD0	PC04	PC04/MII_TXD0
H2	PC05	PC05/MII_TXD1	PC05	PC05/MII_TXD1
H3	PC06	PC06/MII_TXD2	PC06	PC06/MII_TXD2
G1	PC07	PC07/MII_TXD3	PC07	PC07/MII_TXD3
K2	PC08	PC08/RX_DV	PC08	PC08/RX_DV
K3	PC09	PC09/RX_ER	PC09	PC09/RX_ER
J1	PC10	PC10/RX_CLK	PC10	PC10/RX_CLK
G2	PC11	PC11/TX_ER	PC11	PC11/TX_ER
G3	PC12	PC12/TX_EN	PC12	PC12/TX_EN
F1	PC13	PC13/TX_CLK	PC13	PC13/TX_CLK
J2	PC14	PC14/COL	PC14	PC14/COL
J3	PC15	PC15/CRS	PC15	PC15/CRS
F2	PC16	PC16/MDIO	PC16	PC16/MDIO
F3	PC17	PC17/MDC	PC17	PC17/MDC
E1	PC18	PC18/LNKSTA	PC18	PC18/LNKSTA
E2	PC19	PC19/EXOUT	PC19	PC19/EXOUT
E3	PC20	PC20/WOL	PC20	PC20/WOL
R3	PD00	PD00/IRQ0/SDATA0	PD00	PD00/IRQ0/SDATA0
P1	PD01	PD01/IRQ1/SDATA1	PD01	PD01/IRQ1/SDATA1
P2	PD02	PD02/IRQ2/SDATA2	PD02	PD02/IRQ2/SDATA2
P3	PD03	PD03/IRQ3/SDATA3	PD03	PD03/IRQ3/SDATA3

表 23.8 動作モード別端子一覧 (4)

ピン 番号	非 HIF ブートモード		HIF ブートモード	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
N1	PD04	PD04/IRQ4/SDWP	PD04	PD04/IRQ4/SDWP
N2	PD05	PD05/IRQ5/SDCD	PD05	PD05/IRQ5/SDCD
N3	PD06	PD06/IRQ6/SDCMD	PD06	PD06/IRQ6/SDCMD
M3	PD07	PD07/IRQ7/SDCLK	PD07	PD07/IRQ7/SDCLK
Y15	PE00	PE00/ST1_D0/RxD2	PE00	PE00/ST1_D0/RxD2
V14	PE01	PE01/ST1_D1/TxD1	PE01	PE01/ST1_D1/TxD1
W14	PE02	PE02/ST1_D2/RxD1	PE02	PE02/ST1_D2/RxD1
V15	PE03	PE03/ST1_D3/SCK1	PE03	PE03/ST1_D3/SCK1
Y13	PE04	PE04/ST1_D4/CTS1	PE04	PE04/ST1_D4/CTS1
W13	PE05	PE05/ST1_D5/RTS1	PE05	PE05/ST1_D5/RTS1
V13	PE06	PE06/ST1_D6/SSIDATA1	PE06	PE06/ST1_D6/SSIDATA1
V12	PE07	PE07/ST1_D7/SSIWS1	PE07	PE07/ST1_D7/SSIWS1
Y16	PE08	PE08/ST1_REQ/TxD2	PE08	PE08/ST1_REQ/TxD2
Y14	PE09	PE09/ST1_VLD/SCK2	PE09	PE09/ST1_VLD/SCK2
W15	PE10	PE10/ST1_SYC/CTS2	PE10	PE10/ST1_SYC/CTS2
W16	ST1_PWM	PE11/ST1_PWM/RTS2	ST1_PWM	PE11/ST1_PWM/RTS2
V16	—	ST1_VCO_CLKIN/ AUDIO_CLK	—	ST1_VCO_CLKIN/ AUDIO_CLK
W17	—	ST1_CLKIN/SSISCK1	—	ST1_CLKIN/SSISCK1
N20	PF00	PF00/ST0_D0	PF00	PF00/ST0_D0
N18	PF01	PF01/ST0_D1/TxD0	PF01	PF01/ST0_D1/TxD0
M18	PF02	PF02/ST0_D2/RxD0	PF02	PF02/ST0_D2/RxD0
M19	PF03	PF03/ST0_D3/SCK0	PF03	PF03/ST0_D3/SCK0
M20	PF04	PF04/ST0_D4/CTS0	PF04	PF04/ST0_D4/CTS0
L18	PF05	PF05/ST0_D5/RTS0	PF05	PF05/ST0_D5/RTS0
L19	PF06	PF06/ST0_D6/SSIDATA0	PF06	PF06/ST0_D6/SSIDATA0
L20	PF07	PF07/ST0_D7/SSIWS0	PF07	PF07/ST0_D7/SSIWS0
P19	PF08	PF08/ST0_REQ	PF08	PF08/ST0_REQ
P20	PF09	PF09/ST0_VLD/DREQ0	PF09	PF09/ST0_VLD/DREQ0
N19	PF10	PF10/ST0_SYC/DACK0	PF10	PF10/ST0_SYC/DACK0
P18	ST0_PWM	PF11/ST0_PWM/TEND0	ST0_PWM	PF11/ST0_PWM/TEND0
R20	ST0_VCO_CLKIN	—	ST0_VCO_CLKIN	—
R19	—	ST0_CLKIN/SSISCK0	—	ST0_CLKIN/SSISCK0
Y17	ST_CLKOUT	—	ST_CLKOUT	—

表 23.8 動作モード別端子一覧 (5)

ピン 番号	非 HIF ブートモード		HIF ブートモード	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
W4	PG00	PG00/HIFD00	HIFD00	PG00/HIFD00
V4	PG01	PG01/HIFD01	HIFD01	PG01/HIFD01
Y3	PG02	PG02/HIFD02	HIFD02	PG02/HIFD02
W3	PG03	PG03/HIFD03	HIFD03	PG03/HIFD03
V3	PG04	PG04/HIFD04	HIFD04	PG04/HIFD04
Y2	PG05	PG05/HIFD05	HIFD05	PG05/HIFD05
W2	PG06	PG06/HIFD06	HIFD06	PG06/HIFD06
V1	PG07	PG07/HIFD07	HIFD07	PG07/HIFD07
Y1	PG08	PG08/HIFD08	HIFD08	PG08/HIFD08
U1	PG09	PG09/HIFD09	HIFD09	PG09/HIFD09
U2	PG10	PG10/HIFD10	HIFD10	PG10/HIFD10
T1	PG11	PG11/HIFD11	HIFD11	PG11/HIFD11
T2	PG12	PG12/HIFD12	HIFD12	PG12/HIFD12
T3	PG13	PG13/HIFD13	HIFD13	PG13/HIFD13
R1	PG14	PG14/HIFD14	HIFD14	PG14/HIFD14
R2	PG15	PG15/HIFD15	HIFD15	PG15/HIFD15
W7	PG16	PG16/HIFEHL	HIFEHL	PG16/HIFEHL
V6	PG17	PG17/HIFRDY	HIFRDY	PG17/HIFRDY
W6	PG18	PG18/HIFDREQ	HIFDREQ	PG18/HIFDREQ
Y6	PG19	PG19/HIFINT $\bar{}$	HIFINT $\bar{}$	PG19/HIFINT $\bar{}$
Y5	PG20	PG20/HIFRD $\bar{}$	HIFRD $\bar{}$	PG20/HIFRD $\bar{}$
W5	PG21	PG21/HIFWR $\bar{}$	HIFWR $\bar{}$	PG21/HIFWR $\bar{}$
V5	PG22	PG22/HIFRS	HIFRS	PG22/HIFRS
Y4	PG23	PG23/HIFCS $\bar{}$	HIFCS $\bar{}$	PG23/HIFCS $\bar{}$
Y9	DP	—	DP	—
Y8	DM	—	DM	—
W9	VBUS	—	VBUS	—
Y11	REFRIN	—	REFRIN	—
W12	USB_X1	—	USB_X1	—
Y12	USB_X2	—	USB_X2	—
Y18	TRST	—	TRST	—
W19	TDO	—	TDO	—
V18	TDI	—	TDI	—
Y19	TMS	—	TMS	—

表 23.8 動作モード別端子一覧 (6)

ピン 番号	非 HIF ブートモード		HIF ブートモード	
	初期機能	PFC で設定可能な機能	初期機能	PFC で設定可能な機能
V17	TCK	—	TCK	—
T20	ASEBRK/ASEBRKAK	—	ASEBRK/ASEBRKAK	—
U8	DG12	—	DG12	—
U9	DV12	—	DV12	—
U10	UV12	—	UV12	—
U11	AV12	—	AV12	—
V10	UG12	—	UG12	—
V11	AG12	—	AG12	—
W8	DG33	—	DG33	—
W10	AG33	—	AG33	—
Y10	AV33	—	AV33	—
V20	EXTAL	—	EXTAL	—
W20	XTAL	—	XTAL	—
C20	CKIO	—	CKIO	—
M2	$\overline{\text{ASEMD}}$	—	$\overline{\text{ASEMD}}$	—
M1	$\overline{\text{TESTMD}}$	—	$\overline{\text{TESTMD}}$	—
T19	MD_BW	—	MD_BW	—
U18	MD_CK1	—	MD_CK1	—
V19	MD_CK0	—	MD_CK0	—
W18	$\overline{\text{RES}}$	—	$\overline{\text{RES}}$	—
U19	NMI	—	NMI	—
R18	$\overline{\text{WDTOVF}}$	—	$\overline{\text{WDTOVF}}$	—

【注】 * $\overline{\text{RES}}$ 端子によるパワーオンリセット期間中は、HIFMD として機能します。

23.1 レジスタの説明

PFC には以下のレジスタがあります。レジスタのアドレスおよび各処理におけるレジスタの状態については「第 28 章 レジスタ一覧」を参照してください。

- ポートA・IOレジスタH (PAIORH)
- ポートAコントロールレジスタH2 (PACRH2)
- ポートAコントロールレジスタH1 (PACRH1)
- ポートB・IOレジスタL (PBIORL)
- ポートBコントロールレジスタL1 (PBCRL1)
- ポートC・IOレジスタH (PCIORH)
- ポートC・IOレジスタL (PCIORL)
- ポートCコントロールレジスタH1 (PCCR1H1)
- ポートCコントロールレジスタL2 (PCCRL2)
- ポートCコントロールレジスタL1 (PCCRL1)
- ポートD・IOレジスタL (PDIORL)
- ポートDコントロールレジスタL1 (PDCRL1)
- ポートE・IOレジスタL (PEIORL)
- ポートEコントロールレジスタL2 (PECRL2)
- ポートEコントロールレジスタL1 (PECRL1)
- ポートF・IOレジスタL (PFIORL)
- ポートFコントロールレジスタL2 (PFCRL2)
- ポートFコントロールレジスタL1 (PFCRL1)
- ポートG・IOレジスタH (PGIORH)
- ポートG・IOレジスタL (PGIORL)
- ポートGコントロールレジスタH1 (PGCRH1)
- ポートGコントロールレジスタL1 (PGCRL1)
- ポートGコントロールレジスタL2 (PGCRL2)

23.1.1 ポート A・IO レジスタ H (PAIORH)

PAIORH は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート A にある端子の入出力方向を選びます。PA25IOR～PA17IOR ビットが、それぞれ PA25～PA17 端子（端子名からポート以外のマルチプレクス端子名を省略）に対応しています。PAIORH はポート A の端子機能が汎用入出力（PA25～PA17）の場合に有効でそれ以外の場合は無効です。

PAIORH のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIORH のビット 15～10、0 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

PAIORH の初期値は H'0000 です。

23.1.2 ポート A コントロールレジスタ H2、H1 (PACRH2、PACRH1)

PACRH1、PACRH2 は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート A にあるマルチプレクス端子の機能を選びます。

- PACRH2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	PA25 MD0	-	PA24 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
15～3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PA25MD0	0	R/W	PA25 モードビット HIFMD/PA25/A25 端子の機能を選びます。HIFMD (HIF) として機能するのは、 \overline{RES} 端子によるパワーオンリセット期間中のみです。 0: PA25 入出力 (ポート) 1: A25 出力 (BSC)
1	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PA24MD0	0	R/W	PA24 モードビット PA24/A24 端子の機能を選びます。 0: PA24 入出力 (ポート) 1: A24 出力 (BSC)

• PACRH1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PA23 MD0	-	PA22 MD0	-	PA21 MD0	-	PA20 MD0	-	PA19 MD0	-	PA18 MD0	-	PA17 MD0	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PA23MD0	0	R/W	PA23 モードビット PA23/A23 端子の機能を選びます。 0: PA23 入出力 (ポート) 1: A23 出力 (BSC)
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	PA22MD0	0	R/W	PA22 モードビット PA22/A22 端子の機能を選びます。 0: PA22 入出力 (ポート) 1: A22 出力 (BSC)
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PA21MD0	0	R/W	PA21 モードビット PA21/A21 端子の機能を選びます。 0: PA21 入出力 (ポート) 1: A21 出力 (BSC)
9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PA20MD0	0	R/W	PA20 モードビット PA20/A20 端子の機能を選びます。 0: PA20 入出力 (ポート) 1: A20 出力 (BSC)
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PA19MD0	0	R/W	PA19 モードビット PA19/A19 端子の機能を選びます。 0: PA19 入出力 (ポート) 1: A19 出力 (BSC)

ビット	ビット名	初期値	R/W	説明
5	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PA18MD0	0	R/W	PA18 モードビット PA18/A18 端子の機能を選びます。 0 : PA18 入出力 (ポート) 1 : A18 出力 (BSC)
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	PA17MD0	0	R/W	PA17 モードビット PA17/A17 端子の機能を選びます。 0 : PA17 入出力 (ポート) 1 : A17 出力 (BSC)
1、0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

23.1.3 ポート B・IO レジスタ L (PBIORL)

PBIORL は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート B にある端子の入出力方向を選びます。PB7IOR~PB0IOR ビットが、それぞれ PB07~PB00 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PBIORL はポート B の端子機能が汎用入出力の場合に有効で、それ以外の場合は無効です

PBIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIORL のビット 15~8、6、3~0 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください。

PBIORL の初期値は H'0000 です。

23.1.4 ポート B コントロールレジスタ L1 (PBCRL1)

PBCRL1 は、16 ビットの読み出し/書き込み可能なレジスタで、ポート B にあるマルチプレクス端子の機能を選びます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PB7 MD0	-	PB6 MD0	PB5 MD1	PB5 MD0	PB4 MD1	PB4 MD0	PB3 MD1	PB3 MD0	PB2 MD1	PB2 MD0	PB1 MD1	PB1 MD0	PB0 MD1	PB0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W												

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PB7MD0	0	R/W	PB7 モードビット PB07/ \overline{BS} 端子の機能を選びます。 0: PB07 入出力 (ポート) 1: \overline{BS} 出力 (BSC)
13	-	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	PB6MD0	0	R/W	PB6 モードビット PB06/ $\overline{CS4}$ 端子の機能を選びます。 0: PB06 入力 (ポート) 1: $\overline{CS4}$ 出力 (BSC)
11	PB5MD1	0	R/W	PB5 モードビット PB05/ $\overline{CS5}/\overline{CE1A}/\overline{IRQ3}/\overline{TEND1}$ 端子の機能を選びます。 00: PB05 入出力 (ポート) 01: $\overline{CS5}/\overline{CE1A}$ 出力 (BSC) 10: $\overline{IRQ3}$ 入力 (INTC) 11: $\overline{TEND1}$ 出力 (DMAC)
10	PB5MD0	0	R/W	
9	PB4MD1	0	R/W	PB4 モードビット PB04/ $\overline{CE2A}/\overline{IRQ2}/\overline{DACK1}$ 端子の機能を選びます。 00: PB04 入出力 (ポート) 01: $\overline{CE2A}$ 出力 (BSC) 10: $\overline{IRQ2}$ 入力 (INTC) 11: $\overline{DACK1}$ 出力 (DMAC)
8	PB4MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
7	PB3MD1	0	R/W	PB3 モードビット PB03/ $\overline{\text{CS6}}$ / $\overline{\text{CE1B}}$ /DREQ1 端子の機能を選びます。 00 : PB03 入力 (ポート) 01 : $\overline{\text{CS6}}$ / $\overline{\text{CE1B}}$ 出力 (BSC) 10 : IRQ1 入力 (INTC) 11 : DREQ1 入力 (DMAC)
6	PB3MD0	0	R/W	
5	PB2MD1	0	R/W	PB2 モードビット PB02/ $\overline{\text{CE2B}}$ /IRQ0 端子の機能を選びます。 00 : PB02 入力 (ポート) 01 : $\overline{\text{CE2B}}$ 出力 (BSC) 10 : IRQ0 入力 (INTC) 11 : 設定禁止
4	PB2MD0	0	R/W	
3	PB1MD1	0	R/W	PB1 モードビット PB01/ $\overline{\text{IOIS16}}$ /SCL 端子の機能を選びます。 00 : PB01 入力 (ポート) 01 : $\overline{\text{IOIS16}}$ 入力 (BSC) 10 : SCL 入出力 (IIC) 11 : 設定禁止
2	PB1MD0	0	R/W	
1	PB0MD1	0	R/W	PB0 モードビット PB00/ $\overline{\text{WAIT}}$ /SDA 端子の機能を選びます。 00 : PB00 入力 (ポート) 01 : $\overline{\text{WAIT}}$ 入力 (BSC) 10 : SDA 入出力 (IIC) 11 : 設定禁止
0	PB0MD0	0	R/W	

23.1.5 ポート C・IO レジスタ H、L (PCIORH、PCIORL)

PCIORH、PCIORL は、それぞれ読み出し/書き込み可能な 16 ビットのレジスタで、ポート C にある端子の入出力方向を選びます。PC20IOR~PC0IOR ビットが、それぞれ PC20~PC00 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PCIORH はポート C の端子機能が汎用入出力の場合に有効でそれ以外の場合は無効です。PCIORL はポート C の端子機能が汎用入出力の場合に有効でそれ以外の場合は無効です。

PCIORH および PCIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIORH のビット 15~5、PCIORL のビット 0 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください

PCIORH、PCIORL の初期値はそれぞれ H'0000 です。

23.1.6 ポート C コントロールレジスタ H1、L2、L1 (PCCR1H1、PCCR1L2、PCCR1L1)

PCCR1H1、PCCR1L2、PCCR1L1 は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート C にあるマルチプレクス端子の機能を選びます。

• PCCR1H1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	PC20 MD0	-	PC19 MD0	-	PC18 MD0	-	PC17 MD0	-	PC16 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W								

ビット	ビット名	初期値	R/W	説明
15~9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	PC20MD0	0	R/W	PC20 モードビット PC20/WOL 端子の機能を選びます。 0: PC20 入出力 (ポート) 1: WOL 出力 (EtherC)
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PC19MD0	0	R/W	PC19 モードビット PC19/EXOUT 端子の機能を選びます。 0: PC19 入出力 (ポート) 1: EXOUT 出力 (EtherC)
5	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC18MD0	0	R/W	PC18 モードビット PC18/LNKSTA 端子の機能を選びます。 0: PC18 入出力 (ポート) 1: LNKSTA 入力 (EtherC)
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PC17MD0	0	R/W	PC17 モードビット PC17/MDC 端子の機能を選びます。 0: PC17 入出力 (ポート) 1: MDC 出力 (EtherC)
1	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
0	PC16MD0	0	R/W	PC16 モードビット PC16/MDIO 端子の機能を選びます。 0 : PC16 入出力 (ポート) 1 : MDIO 入出力 (EtherC)

• PCCRL2

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PC15 MD0	-	PC14 MD0	-	PC13 MD0	-	PC12 MD0	-	PC11 MD0	-	PC10 MD0	-	PC9 MD0	-	PC8 MD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PC15MD0	0	R/W	PC15 モードビット PC15/CRS 端子の機能を選びます。 0 : PC15 入出力 (ポート) 1 : CRS 入力 (EtherC)
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	PC14MD0	0	R/W	PC14 モードビット PC14/COL 端子の機能を選びます。 0 : PC14 入出力 (ポート) 1 : COL 入力 (EtherC)
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PC13MD0	0	R/W	PC13 モードビット PC13/TX_CLK 端子の機能を選びます。 0 : PC13 入出力 (ポート) 1 : TX_CLK 入力 (EtherC)
9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PC12MD0	0	R/W	PC12 モードビット PC12/TX_EN 端子の機能を選びます。 0 : PC12 入出力 (ポート) 1 : TX_EN 出力 (EtherC)

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PC11MD0	0	R/W	PC11 モードビット PC11/TX_ER 端子の機能を選びます。 0 : PC11 入出力 (ポート) 1 : TX_ER 出力 (EtherC)
5	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PC10MD0	0	R/W	PC10 モードビット PC10/RX_CLK 端子の機能を選びます。 0 : PC10 入出力 (ポート) 1 : RX_CLK 入力 (EtherC)
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	PC9MD0	0	R/W	PC9 モードビット PC09/RX_ER 端子の機能を選びます。 0 : PC09 入出力 (ポート) 1 : RX_ER 入力 (EtherC)
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PC8MD0	0	R/W	PC8 モードビット PC08/RX_DV 端子の機能を選びます。 0 : PC08 入出力 (ポート) 1 : RX_DV 入力 (EtherC)

• PCCRL1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PC7 MD0	-	PC6 MD0	-	PC5 MD0	-	PC4 MD0	-	PC3 MD0	-	PC2 MD0	-	PC1 MD0	-	PC0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PC7MD0	0	R/W	PC7 モードビット PC07/MII_TXD3 端子の機能を選びます。 0: PC07 入出力 (ポート) 1: MII_TXD3 出力 (EtherC)
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	PC6MD0	0	R/W	PC6 モードビット PC06/MII_TXD2 端子の機能を選びます。 0: PC06 入出力 (ポート) 1: MII_TXD2 出力 (EtherC)
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PC5MD0	0	R/W	PC5 モードビット PC05/MII_TXD1 端子の機能を選びます。 0: PC05 入出力 (ポート) 1: MII_TXD1 出力 (EtherC)
9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PC4MD0	0	R/W	PC4 モードビット PC04/MII_TXD0 端子の機能を選びます。 0: PC04 入出力 (ポート) 1: MII_TXD0 出力 (EtherC)
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PC3MD0	0	R/W	PC3 モードビット PC03/MII_RXD3 端子の機能を選びます。 0: PC03 入出力 (ポート) 1: MII_RXD3 入力 (EtherC)

ビット	ビット名	初期値	R/W	説明
5	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PC2MD0	0	R/W	PC2 モードビット PC02/MII_RXD2 端子の機能を選びます。 0 : PC02 入出力 (ポート) 1 : MII_RXD2 入力 (EtherC)
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	PC1MD0	0	R/W	PC1 モードビット PC01/MII_RXD1 端子の機能を選びます。 0 : PC01 入出力 (ポート) 1 : MII_RXD1 入力 (EtherC)
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PC0MD0	0	R/W	PC0 モードビット PC00/MII_RXD0 端子の機能を選びます。 0 : PC00 入力 (ポート) 1 : MII_RXD0 入力 (EtherC)

23.1.7 ポート D・IO レジスタ L (PDIORL)

PDIORL は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート D にある端子の入出力方向を選びます。PD7IOR~PD0IOR ビットが、それぞれ、PD07~PD00 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PDIORL はポート D の端子機能が汎用入出力の場合に有効での場合に有効でそれ以外の場合は無効です。

PDIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIORL のビット 15~8、5、4 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください

PDIORL の初期値は H'0000 です。

23.1.8 ポート D コントロールレジスタ L1 (PDCRL1)

PDCRL1 は、16 ビットの読み出し/書き込み可能なレジスタで、ポート D にあるマルチプレクス端子の機能を選びます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD7 MD1	PD7 MD0	PD6 MD1	PD6 MD0	PD5 MD1	PD5 MD0	PD4 MD1	PD4 MD0	PD3 MD1	PD3 MD0	PD2 MD1	PD2 MD0	PD1 MD1	PD1 MD0	PD0 MD1	PD0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	PD7MD1	0	R/W	PD7 モードビット
14	PD7MD0	0	R/W	PD07/IRQ7/SDCLK 端子の機能を選びます。 00 : PD07 入出力 (ポート) 01 : IRQ7 入力 (INTC) 10 : SDCLK 出力 (SDHI) 11 : 設定禁止
13	PD6MD1	0	R/W	PD6 モードビット
12	PD6MD0	0	R/W	PD06/IRQ6/SDCMD 端子の機能を選びます。 00 : PD06 入出力 (ポート) 01 : IRQ6 入力 (INTC) 10 : SDCMD 入出力 (SDHI) 11 : 設定禁止
11	PD5MD1	0	R/W	PD5 モードビット
10	PD5MD0	0	R/W	PD05/IRQ5/SDCD 端子の機能を選びます。 00 : PD05 入力 (ポート) 01 : IRQ5 入力 (INTC) 10 : SDCD 入力 (SDHI) 11 : 設定禁止
9	PD4MD1	0	R/W	PD4 モードビット
8	PD4MD0	0	R/W	PD04/IRQ4/SDWP 端子の機能を選びます。 00 : PD04 入力 (ポート) 01 : IRQ4 入力 (INTC) 10 : SDWP 入力 (SDHI) 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
7	PD3MD1	0	R/W	PD3 モードビット PD03/IRQ3/SDDATA3 端子の機能を選びます。 00 : PD03 入出力 (ポート) 01 : IRQ3 入力 (INTC) 10 : SDDATA3 入出力 (SDHI) 11 : 設定禁止
6	PD3MD0	0	R/W	
5	PD2MD1	0	R/W	PD2 モードビット PD02/IRQ2/SDDATA2 端子の機能を選びます。 00 : PD02 入出力 (ポート) 01 : IRQ2 入力 (INTC) 10 : SDDATA2 入出力 (SDHI) 11 : 設定禁止
4	PD2MD0	0	R/W	
3	PD1MD1	0	R/W	PD1 モードビット PD01/IRQ1/SDDATA1 端子の機能を選びます。 00 : PD01 入出力 (ポート) 01 : IRQ1 入力 (INTC) 10 : SDDATA1 入出力 (SDHI) 11 : 設定禁止
2	PD1MD0	0	R/W	
1	PD0MD1	0	R/W	PD0 モードビット PD00/IRQ0/SDDATA0 端子の機能を選びます。 00 : PD00 入出力 (ポート) 01 : IRQ0 入力 (INTC) 10 : SDDATA0 入出力 (SDHI) 11 : 設定禁止
0	PD0MD0	0	R/W	

23.1.9 ポート E・IO レジスタ L (PEIORL)

PEIORL は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート E にある端子の入出力方向を選びます。PE11IOR~PE0IOR ビットが、それぞれ、PE11~PE00 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PEIORL はポート E の端子機能が汎用入出力 (PE11~PE00) の場合に有効でそれ以外の場合は無効です。

PEIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIORL のビット 15~12 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください

PEIORL の初期値は H'0000 です。

23.1.10 ポート E コントロールレジスタ L2、L1 (PECRL2、PECRL1)

PECRL2、PECRL1 は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート E にあるマルチプレクス端子の機能を選びます。

• PECRL2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PE13 MD1	PE13 MD0	PE12 MD1	PE12 MD0	PE11 MD1	PE11 MD0	PE10 MD1	PE10 MD0	PE09 MD1	PE09 MD0	PE08 MD1	PE08 MD0
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R	R	R	R	R/W											

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11 10	PE13MD1 PE13MD0	0 0	R/W R/W	PE13 モードビット ST1_CLKIN/SSISCK1 端子の機能を選びます。 00: 設定禁止 01: ST1_CLKIN 入力 (STIF) 10: SSISCK1 入出力 (SSI) 11: 設定禁止
9 8	PE12MD1 PE12MD0	0 0	R/W R/W	PE12 モードビット ST1_VCO_CLKIN/AUDIO_CLK 端子の機能を選びます。 00: 設定禁止 01: ST1_VCO_CLKIN 入力 (STIF) 10: AUDIO_CLK 入力 (SSI) 11: 設定禁止
7 6	PE11MD1 PE11MD0	0 1	R/W R/W	PE11 モードビット PE11/ST1_PWM/RTS2 端子の機能を選びます。 00: PE11 入出力 (ポート) 01: ST1_PWM 出力 (STIF) 10: RTS2 入出力 (SCIF) 11: 設定禁止
5 4	PE10MD1 PE10MD0	0 0	R/W R/W	PE10 モードビット PE10/ST1_SYC/CTS2 端子の機能を選びます。 00: PE10 入出力 (ポート) 01: ST1_SYC 入出力 (STIF) 10: CTS2 入出力 (SCIF) 11: 設定禁止

ビット	ビット名	初期値	R/W	説明
3	PE09MD1	0	R/W	PE09 モードビット
2	PE09MD0	0	R/W	PE09/ST1_VLD/SCK2 端子の機能を選びます。 00 : PE09 入出力 (ポート) 01 : ST1_VLD 入出力 (STIF) 10 : SCK2 入出力 (SCIF) 11 : 設定禁止
1	PE08MD1	0	R/W	PE08 モードビット
0	PE08MD0	0	R/W	PE08/ST1_REQ 端子の機能を選びます。 00 : PE08 入出力 (ポート) 01 : ST1_REQ 入出力 (STIF) 10 : TxD2 出力 (SCIF) 11 : 設定禁止

• PECRL1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE07 MD1	PE07 MD0	PE06 MD1	PE06 MD0	PE05 MD1	PE05 MD0	PE04 MD1	PE04 MD0	PE03 MD1	PE03 MD0	PE02 MD1	PE02 MD0	PE01 MD1	PE01 MD0	PE00 MD1	PE00 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	PE07MD1	0	R/W	PE07 モードビット
14	PE07MD0	0	R/W	PE07/ST1_D7/SSIWS1 端子の機能を選びます。 00 : PE07 入出力 (ポート) 01 : TS2_D7 入出力 (STIF) 10 : SSIWS1 入出力 (SSI) 11 : 設定禁止
13	PE06MD1	0	R/W	PE06 モードビット
12	PE06MD0	0	R/W	PE06/ST1_D6/SSIDATA1 端子の機能を選びます。 00 : PE06 入出力 (ポート) 01 : ST1_D6 入出力 (STIF) 10 : SSIDATA1 入出力 (SSI) 11 : 設定禁止
11	PE05MD1	0	R/W	PE05 モードビット
10	PE05MD0	0	R/W	PE05/ST1_D5/RTS1 端子の機能を選びます。 00 : PE05 入出力 (ポート) 01 : ST1_D5 入出力 (STIF) 10 : $\overline{\text{RTS1}}$ 入出力 (SCIF) 11 : 設定禁止
9	PE04MD1	0	R/W	PE04 モードビット
8	PE04MD0	0	R/W	PE04/ST1_D4/ $\overline{\text{CTS1}}$ 端子の機能を選びます。 00 : PE04 入出力 (ポート) 01 : ST1_D4 入出力 (STIF) 10 : $\overline{\text{CTS1}}$ 入出力 (SCIF) 11 : 設定禁止
7	PE03MD0	0	R/W	PE03 モードビット
6	PE03MD0	0	R/W	PE03/ST1_D3/SCK1 端子の機能を選びます。 00 : PE03 入出力 (ポート) 01 : ST1_D3 入出力 (STIF) 10 : SCK1 入出力 (SCIF) 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
5	PE02MD1	0	R/W	PE02 モードビット PE02/ST1_D2/RxD1 端子の機能を選びます。 00 : PE02 入出力 (ポート) 01 : ST1_D2 入出力 (STIF) 10 : RxD1 入力 (SCIF) 11 : 設定禁止
4	PE02MD0	0	R/W	
3	PE01MD1	0	R/W	PE01 モードビット PE01/ST1_D1/TxD1 端子の機能を選びます。 00 : PE01 入出力 (ポート) 01 : ST1_D1 入出力 (STIF) 10 : TxD1 出力 (SCIF) 11 : 設定禁止
2	PE01MD0	0	R/W	
1	PE00MD1	0	R/W	PE00 モードビット PE00/ST1_D0 端子の機能を選びます。 00 : PE00 入出力 (ポート) 01 : ST1_D0 入出力 (STIF) 10 : RxD2 入力 (SCIF) 11 : 設定禁止
0	PE00MD0	0	R/W	

23.1.11 ポート F・IO レジスタ L (PFIORL)

PFIORL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート F にある端子の入出力方向を選びます。PF11IOR～PF0IOR ビットが、それぞれ、PF11～PF00 端子（端子名からポート以外のマルチプレクス端子名を省略）に対応しています。PFIORL はポート F の端子機能が汎用入出力（PF11～PF00）の場合に有効でそれ以外の場合は無効です。

PFIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PFIORL のビット 15～12 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください

PFIORL の初期値は H'0000 です。

23.1.12 ポート F コントロールレジスタ L2、L1 (PFCRL2、PFCRL1)

PFCRL2、PFCRL1 は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート F にあるマルチプレクス端子の機能を選びます。

- PFCRL2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PF13 MD1	PF13 MD0	-	-	PF11 MD1	PF11 MD0	PF10 MD1	PF10 MD0	PF09 MD1	PF09 MD0	-	PF08 MD0
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	PF13MD1	0	R/W	PF13 モードビット ST0_CLKIN/SSISCK0 端子の機能を選びます。 00 : 設定禁止 01 : ST0_CLKIN 入力 (STIF) 10 : SSISCK0 入出力 (SSI) 11 : 設定禁止
10	PF13MD0	0	R/W	
9、8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PF11MD1	0	R/W	PF11 モードビット PF11/ST0_PWM/TEND0 端子の機能を選びます。 00 : PE11 入出力 (ポート) 01 : ST0_PWM 出力 (STIF) 10 : TEND0 出力 (DMAC) 11 : 設定禁止
6	PF11MD0	1	R/W	
5	PF10MD1	0	R/W	PF10 モードビット PF10/ST0_SYC/DACK0 端子の機能を選びます。 00 : PF10 入出力 (ポート) 01 : ST0_SYC 入出力 (STIF) 10 : DACK0 出力 (DMAC) 11 : 設定禁止
4	PF10MD0	0	R/W	
3	PF09MD1	0	R/W	PF09 モードビット PF09/ST0_VLD/DREQ0 端子の機能を選びます。 00 : PF09 入出力 (ポート) 01 : ST0_VLD 入出力 (STIF) 10 : DREQ0 入力 (DMAC) 11 : 設定禁止
2	PF09MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PF08MD0	0	R/W	PF08 モードビット PF08/ST0_REQ 端子の機能を選びます。 0 : PF08 入出力 (ポート) 1 : ST0_REQ 入出力 (STIF)

• PFCRL1

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PF07 MD1	PF07 MD0	PF06 MD1	PF06 MD0	PF05 MD1	PF05 MD0	PF04 MD1	PF04 MD0	PF03 MD1	PF03 MD0	PF02 MD1	PF02 MD0	PF01 MD1	PF01 MD0	-	PF00 MD0
初期値 : 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W : R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
15	PF07MD1	0	R/W	PF07 モードビット
14	PF07MD0	0	R/W	PF07/ST0_D7/SSIWS0 端子の機能を選びます。 00 : PF07 入出力 (ポート) 01 : ST0_D7 入出力 (STIF) 10 : SSIWS0 入出力 (SSI) 11 : 設定禁止
13	PF06MD1	0	R/W	PF06 モードビット
12	PF06MD0	0	R/W	PF06/ST0_D6/SSIDATA0 端子の機能を選びます。 00 : PF06 入出力 (ポート) 01 : ST0_D6 入出力 (STIF) 10 : SSIDATA0 入出力 (SSI) 11 : 設定禁止
11	PF05MD1	0	R/W	PF05 モードビット
10	PF05MD0	0	R/W	PF05/ST0_D5/RTS0 端子の機能を選びます。 00 : PF05 入出力 (ポート) 11 : ST0_D5 入出力 (STIF) 10 : RTS0 入出力 (SCIF) 11 : 設定禁止
9	PF04MD1	0	R/W	PF04 モードビット
8	PF04MD0	0	R/W	PF04/ST0_D4/CTS0 端子の機能を選びます。 00 : PF04 入出力 (ポート) 01 : ST0_D4 入出力 (STIF) 10 : CTS0 入出力 (SCIF) 11 : 設定禁止

ビット	ビット名	初期値	R/W	説明
7	PF03MD1	0	R/W	PF03 モードビット PF03/ST0_D3/SCK0 端子の機能を選びます。 00 : PF03 入出力 (ポート) 01 : ST0_D3 入出力 (STIF) 10 : SCK0 入出力 (SCIF) 11 : 設定禁止
6	PF03MD0	0	R/W	
5	PF02MD1	0	R/W	PF02 モードビット PF02/ST0_D2/RxD0 端子の機能を選びます。 00 : PF02 入出力 (ポート) 01 : ST0_D2 入出力 (STIF) 10 : RxD0 入力 (SCIF) 11 : 設定禁止
4	PF02MD0	0	R/W	
3	PF01MD1	0	R/W	PF01 モードビット PF01/ST0_D1/TxD0 端子の機能を選びます。 00 : PF01 入出力 (ポート) 01 : ST0_D1 入出力 (STIF) 10 : TxD0 出力 (SCIF) 11 : 設定禁止
2	PF01MD0	0	R/W	
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PF00MD0	0	R/W	PF00 モードビット PF00/ST0_D0 端子の機能を選びます。 0 : PF00 入出力 (ポート) 1 : ST0_D0 入出力 (STIF)

23.1.13 ポート G・IO レジスタ H、L (PGIORH、PGIORL)

PGIORH、PGIORL は、それぞれ読み出し/書き込み可能な 16 ビットのレジスタで、ポート G にある端子の入出力方向を選びます。PG23IOR~PG0IOR ビットが、それぞれ、PG23~PG00 端子 (端子名からポート以外のマルチプレクス端子名を省略) に対応しています。PGIORH はポート G の端子機能が汎用入出力 (PG23~PG16) の場合に有効でそれ以外の場合は無効です。PGIORL はポート G の端子機能が汎用入出力 (PG15~PG00) の場合に有効でそれ以外の場合は無効です。

PGIORH および PGIORL のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PGIORH のビット 15~8 はリザーブビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 としてください

PGIORH および PGIORL の初期値は H'0000 です。

23.1.14 ポート G コントロールレジスタ H2、L2、L1 (PGCRH2、PGCRL2、PGCRL1)

PGCRH2、PGCRL1、PGCRL2 は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート G にあるマルチプレクス端子の機能を選びます。

• PGCRH2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PG23 MD0	-	PG22 MD0	-	PG21 MD0	-	PG20 MD0	-	PG19 MD0	-	PG18 MD0	-	PG17 MD0	-	PG16 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PG23MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG23 モードビット PG23/HIFCS 端子の機能を選びます。 0: PG23 入出力 (ポート) 1: HIFCS 入力 (HIF)
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	PG22MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG22 モードビット PG22/HIFRS 端子の機能を選びます。 0: PG22 入出力 (ポート) 1: HIFRS 入力 (HIF)
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PG21MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG21 モードビット PG21/HIFWR 端子の機能を選びます。 0: PG22 入出力 (ポート) 1: HIFWR 入力 (HIF)
9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
8	PG20MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG20 モードビット PG20/HIFRD \bar 端子の機能を選びます。 0 : PG20 入出力 (ポート) 1 : HIFRD \bar 入力 (HIF)
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PG19MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG19 モードビット PG19/HIFINT \bar 端子の機能を選びます。 0 : PG19 入出力 (ポート) 1 : HIFINT \bar 出力 (HIF)
5	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PG18MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG18 モードビット PG18/HIFDREQ 端子の機能を選びます。 0 : PG18 入出力 (ポート) 1 : HIFDREQ 出力 (HIF)
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	PG17MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG17 モードビット PG17/HIFRDY 端子の機能を選びます。 0 : PG17 入出力 (ポート) 1 : HIFRDY 出力 (HIF)
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PG16MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG16 モードビット PG16/HIFE \bar BL 端子の機能を選びます。 0 : PG16 入出力 (ポート) 1 : HIFE \bar BL 入力 (HIF)

• PGCRL2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PG15 MD0	-	PG14 MD0	-	PG13 MD0	-	PG12 MD0	-	PG11 MD0	-	PG10 MD0	-	PG09 MD0	-	PG08 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PG15MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG15 モードビット PG15/HIFD15 端子の機能を選びます。 0 : PG15 入出力 (ポート) 1 : HIFD15 入出力 (HIF)
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	PG14MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG14 モードビット PG14/HIFD14 端子の機能を選びます。 0 : PG14 入出力 (ポート) 1 : HIFD14 入出力 (HIF)
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PG13MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG13 モードビット PG13/HIFD13 端子の機能を選びます。 0 : PG13 入出力 (ポート) 1 : HIFD13 入出力 (HIF)
9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PG12MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG12 モードビット PG12/HIFD12 端子の機能を選びます。 0 : PG12 入出力 (ポート) 1 : HIFD12 入出力 (HIF)
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
6	PG11MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG11 モードビット PG11/HIFD11 端子の機能を選びます。 0 : PG11 入出力 (ポート) 1 : HIFD11 入出力 (HIF)
5	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	PG10MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG10 モードビット PG10/HIFD10 端子の機能を選びます。 0 : PG10 入出力 (ポート) 1 : HIFD10 入出力 (HIF)
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	PG09MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG09 モードビット PG09/HIFD09 端子の機能を選びます。 0 : PG09 入出力 (ポート) 1 : HIFD09 入出力 (HIF)
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	PG08MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG08 モードビット PG08/HIFD08 端子の機能を選びます。 0 : PG08 入出力 (ポート) 1 : HIFD08 入出力 (HIF)

• PGCR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PG07 MD0	-	PG06 MD0	-	PG05 MD0	-	PG04 MD0	-	PG03 MD0	-	PG02 MD0	-	PG01 MD0	-	PG00 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	PG07MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG07 モードビット PG07/HIFD07 端子の機能を選びます。 0: PG07 入出力 (ポート) 1: HIFD07 入出力 (HIF)
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	PG06MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG06 モードビット PG06/HIFD06 端子の機能を選びます。 0: PG06 入出力 (ポート) 1: HIFD06 入出力 (HIF)
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	PG05MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG05 モードビット PG05/HIFD05 端子の機能を選びます。 0: PG05 入出力 (ポート) 1: HIFD05 入出力 (HIF)
9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PG04MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG04 モードビット PG04/HIFD04 端子の機能を選びます。 0: PG04 入出力 (ポート) 1: HIFD04 入出力 (HIF)
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
6	PG03MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG03 モードビット PG03/HIFD03 端子の機能を選びます。 0 : PG03 入出力 (ポート) 1 : HIFD03 入出力 (HIF)
5	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PG02MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG02 モードビット PG02/HIFD02 端子の機能を選びます。 0 : PG02 入出力 (ポート) 1 : HIFD02 入出力 (HIF)
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	PG01MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG01 モードビット PG01/HIFD01 端子の機能を選びます。 0 : PG01 入出力 (ポート) 1 : HIFD01 入出力 (HIF)
1	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	PG00MD0	0 (非 HIF ブート モード時) 1 (HIF ブート モード時)	R/W	PG00 モードビット PG00/HIFD00 端子の機能を選びます。 0 : PG00 入出力 (ポート) 1 : HIFD00 入出力 (HIF)

24. I/O ポート

本 LSI の汎用入出力ポートは、A、B、C、D、E、F、G の 7 本から構成されています。ポート A は 9 ビット、ポート B は 8 ビット、ポート C は 21 ビット、ポート D は 8 ビット、ポート E は 12 ビット、ポート F は 12 ビット、ポート G は 24 ビットの入出力ポートです。

それぞれのポートの端子は、すべて、そのほかの機能を兼ねているマルチプレクス端子です。マルチプレクスされている端子機能の選択は、ピンファンクションコントローラ (PFC) で行います。ポートはそれぞれ、端子のデータを格納するためのデータレジスタをもっています。

24.1 ポート A

本 LSI のポート A は、図 24.1 に示すような 9 本の端子を持つ入出力ポートです。

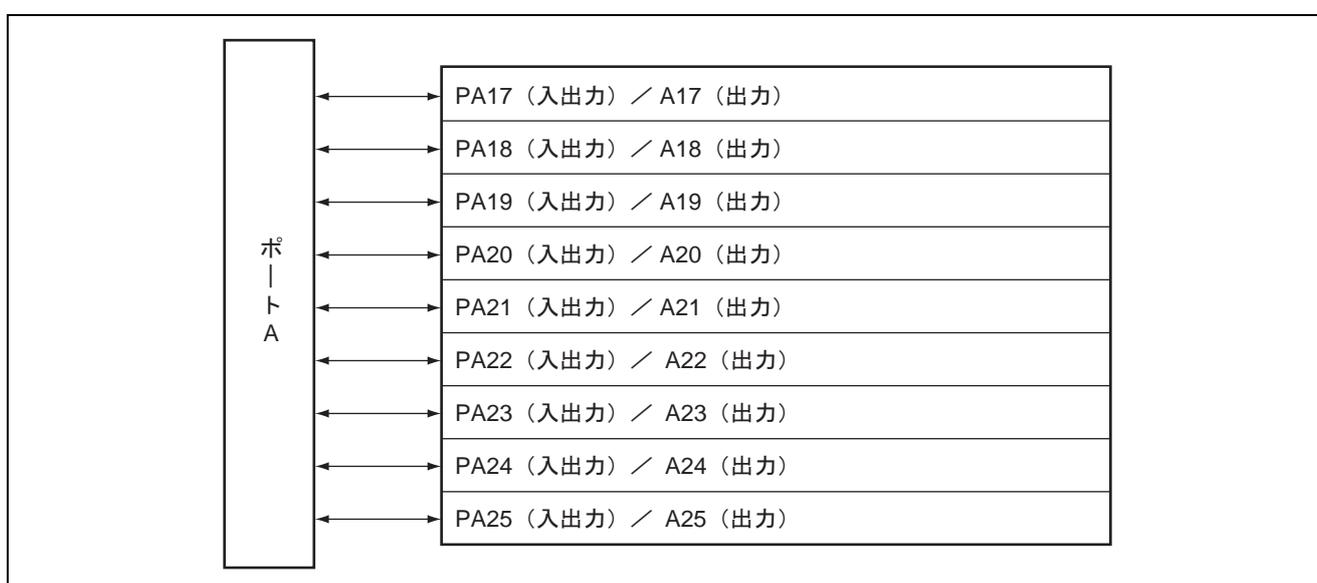


図 24.1 ポート A

24.1.1 レジスタの説明

ポート A は 9 ビットの入出力ポートです。ポート A には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 28 章 レジスタ一覧」を参照してください。

- ポート A データレジスタ H (PADRH)

24.1.2 ポート A データレジスタ H (PADRH)

PADRH は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA25DR ~ PA17DR ビットは、それぞれ PA25~PA17 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PADRH に値を書き込むと端子からその値が出力され、PADRH を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADRH を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また、PADRH に値を書き込むと PADRH にその値を書き込めますが、端子の状態には影響しません。

表 24.1 にポート A データレジスタ H の読み出し/書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PA25 DR	PA24 DR	PA23 DR	PA22 DR	PA21 DR	PA20 DR	PA19 DR	PA18 DR	PA17 DR	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R								

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PA25DR	0	R/W	表 24.1 参照
8	PA24DR	0	R/W	
7	PA23DR	0	R/W	
6	PA22DR	0	R/W	
5	PA21DR	0	R/W	
4	PA20DR	0	R/W	
3	PA19DR	0	R/W	
2	PA18DR	0	R/W	
1	PA17DR	0	R/W	
0	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 24.1 ポート A データレジスタ H (PADRH) の読み出し/書き込み動作

- PADRH のビット 9~1

端子機能	PAIORH	読み出し	書き込み
汎用入力	0	端子の状態	PADRH に書き込めるが、端子の状態に影響しない
汎用出力	1	PADRH の値	書き込み値が端子から出力される
その他の機能	*	PADRH の値	PADRH に書き込めるが、端子の状態に影響しない

24.2 ポート B

本 LSI のポート B は、図 24.2 に示すような 8 本の端子を持つ入出力ポートです。

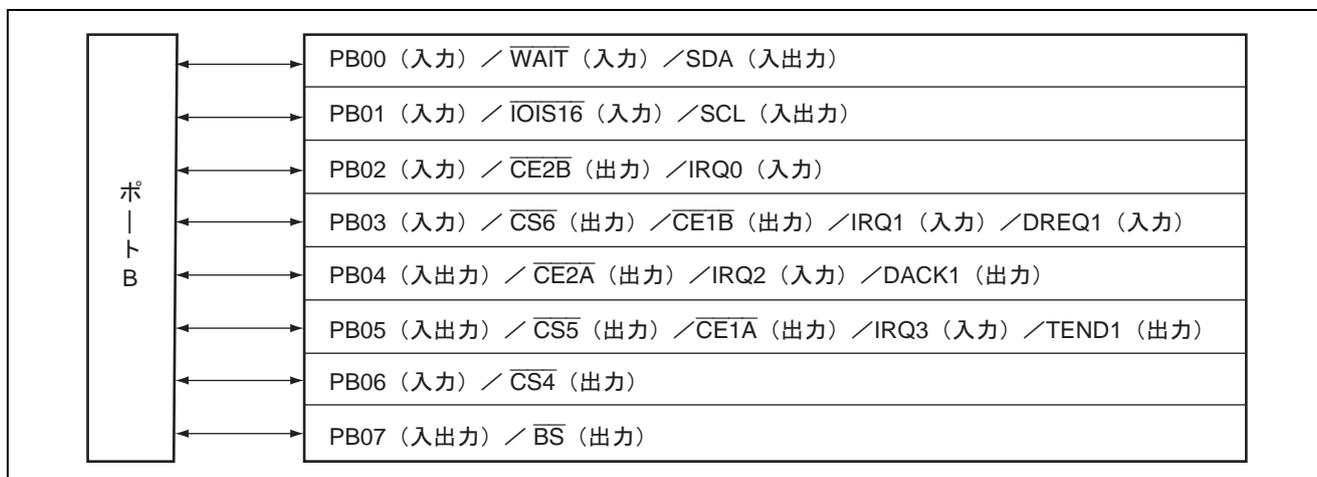


図 24.2 ポート B

24.2.1 レジスタの説明

ポート B は、8 ビットの入出力ポートです。ポート B には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 28 章 レジスタ一覧」を参照してください。

- ポート B データレジスタ L (PBDRL)

24.2.2 ポート B データレジスタ L (PBDRL)

PBDRL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート B のデータを格納します。PB7DR ~PB0DR ビットは、それぞれ、PB07~PB00 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PBDRL に値を書き込むと端子からその値が出力され、PBDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また、PBDRL に値を書き込むと PBDRL にその値を書き込めますが、端子の状態には影響しません。表 24.2 にポート B データレジスタ L の読み出し／書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PB7 DR	PB6 DR	PB5 DR	PB4 DR	PB3 DR	PB2 DR	PB1 DR	PB0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PB7DR	0	R/W	表 24.2 参照
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

表 24.2 ポート B データレジスタ L (PBDRL) の読み出し／書き込み動作

- PBDRL のビット 7、5、4

端子機能	PBIORL	読み出し	書き込み
汎用入力	0	端子の状態	PBDRL に書き込めるが、端子の状態に影響しない
汎用出力	1	PBDRL の値	書き込み値が端子から出力される
その他の機能	*	PBDRL の値	PBDRL に書き込めるが、端子の状態に影響しない

- PBDRL のビット 6、3~0

端子機能	PBIORL	読み出し	書き込み
汎用入力	0	端子の状態	PBDRL に書き込めるが、端子の状態に影響しない
設定禁止	1	—	—
その他の機能	*	PBDRL の値	PBDRL に書き込めるが、端子の状態に影響しない

24.3 ポート C

本 LSI のポート C は、図 24.3 に示すような 21 本の端子を持つ入出力ポートです。

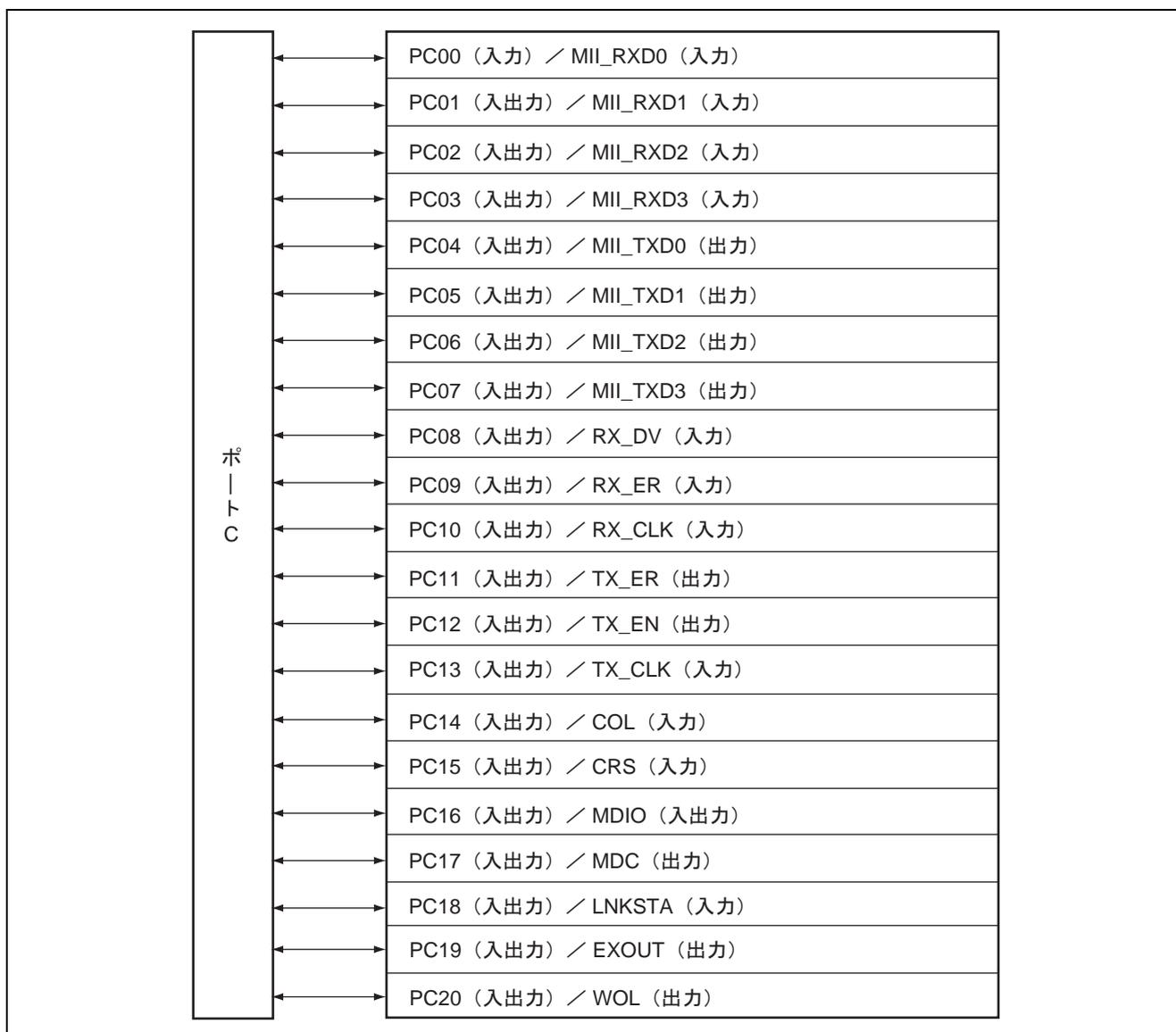


図 24.3 ポート C

24.3.1 レジスタの説明

ポート C は、21 ビットの入出力ポートです。ポート C には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 28 章 レジスタ一覧」を参照してください。

- ポート C データレジスタ H (PCDRH)
- ポート C データレジスタ L (PCDRL)

24.3.2 ポート C データレジスタ H、L (PCDRH、PCDRL)

PCDRH および PCDRL は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC20DR~PC0DR ビットは、それぞれ、PC20~PC00 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PCDRH または PCDRL に値を書き込むと端子からその値が出力され、PCDRH、または PCDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDRH または PCDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また、PCDRH または PCDRL に値を書き込むと PCDRH または PCDRL にその値を書き込めますが、端子の状態には影響しません。表 24.3 にポート C データレジスタ H、L の読み出し/書き込み動作を示します。

- PCDRH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	PC20 DR	PC19 DR	PC18 DR	PC17 DR	PC16 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	PC20DR	0	R/W	表 24.3 参照
3	PC19DR	0	R/W	
2	PC18DR	0	R/W	
1	PC17DR	0	R/W	
0	PC16DR	0	R/W	

- PCDRL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC15 DR	PC14 DR	PC13 DR	PC12 DR	PC11 DR	PC10 DR	PC9 DR	PC8 DR	PC7 DR	PC6 DR	PC5 DR	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PC15DR	0	R/W	表 24.3 参照
14	PC14DR	0	R/W	
13	PC13DR	0	R/W	
12	PC12DR	0	R/W	
11	PC11DR	0	R/W	
10	PC10DR	0	R/W	
9	PC9DR	0	R/W	
8	PC8DR	0	R/W	
7	PC7DR	0	R/W	
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

表 24.3 ポート C データレジスタ H、L (PCDRH、L) の読み出し／書き込み動作

- PCDRHのビット4~0およびPCDRLのビット15~1

端子機能	PCIORH、L	読み出し	書き込み
汎用入力	0	端子の状態	PCDRH または PCDRL に書き込めるが、端子の状態に影響しない
汎用出力	1	PCDRH または PCDRL の値	書き込み値が端子から出力される
その他の機能	*	PCDRH または PCDRL の値	PCDRH または PCDRL に書き込めるが、端子の状態に影響しない

- PCDRLのビット0

端子機能	PCIORL	読み出し	書き込み
汎用入力	0	端子の状態	PCDRL に書き込めるが、端子の状態に影響しない
設定禁止	1	—	—
その他の機能	*	PCDRL の値	PCDRL に書き込めるが、端子の状態に影響しない

24.4 ポート D

本 LSI のポート D は、**図 24.4** に示すような 8 本の端子を持つ入出力ポートです。

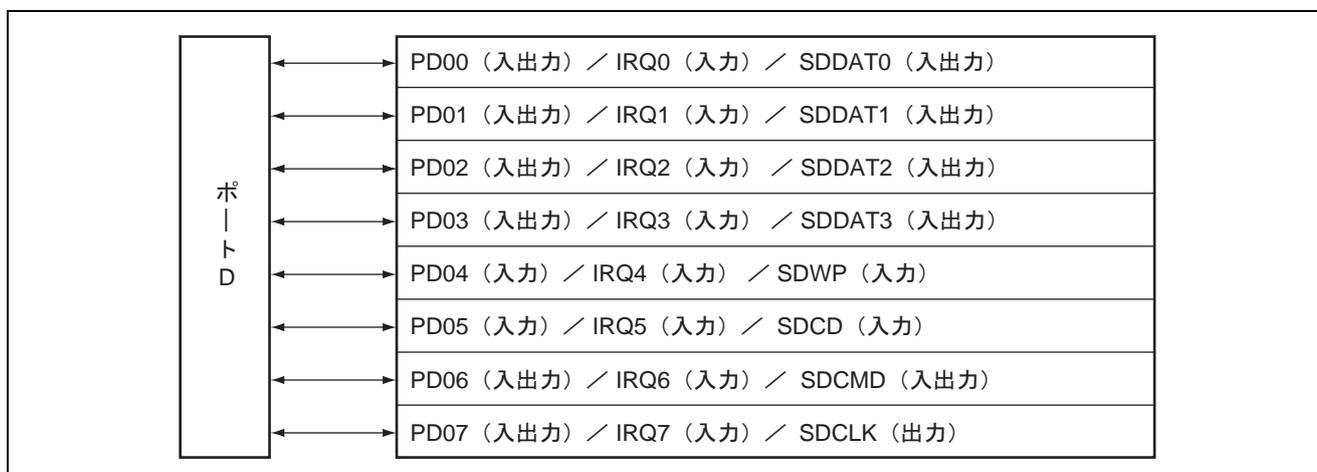


図 24.4 ポート D

24.4.1 レジスタの説明

ポート D は、8 ビットの入出力ポートです。ポート D には以下のレジスタがあります。このレジスタのアドレスおよび各処理状態によるレジスタの状態については「**第 28 章 レジスタ一覧**」を参照してください。

- ポート D データレジスタ L (PDDRL)

24.4.2 ポート D データレジスタ L (PDDRL)

PDDRL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD7DR ～PD0DR ビットは、それぞれ、PD7～PD0 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PDDRL に値を書き込むと端子からその値が出力され、PDDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また、PDDRL に値を書き込むと PDDRL にその値を書き込めますが、端子の状態には影響しません。

表 24.4 にポート D データレジスタ L の読み出し／書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
15～8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PD7DR	0	R/W	表 24.4 参照
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

表 24.4 ポート D データレジスタ L (PDDRL) の読み出し／書き込み動作

- PDDRL のビット 7、6、3～0

端子機能	PDIORL	読み出し	書き込み
汎用入力	0	端子の状態	PDDRL に書き込めるが、端子の状態に影響しない
汎用出力	1	PDDRL の値	書き込み値が端子から出力される
その他の機能	*	PDDRL の値	PDDRL に書き込めるが、端子の状態に影響しない

- PDDRL のビット 5、4

端子機能	PDIORL	読み出し	書き込み
汎用入力	0	端子の状態	PDDRL に書き込めるが、端子の状態に影響しない
設定禁止	1	—	—
その他の機能	*	PDDRL の値	PDDRL に書き込めるが、端子の状態に影響しない

24.5 ポート E

本 LSI のポート E は、**図 24.5** に示すような 12 本の端子を持つ入出力ポートです。

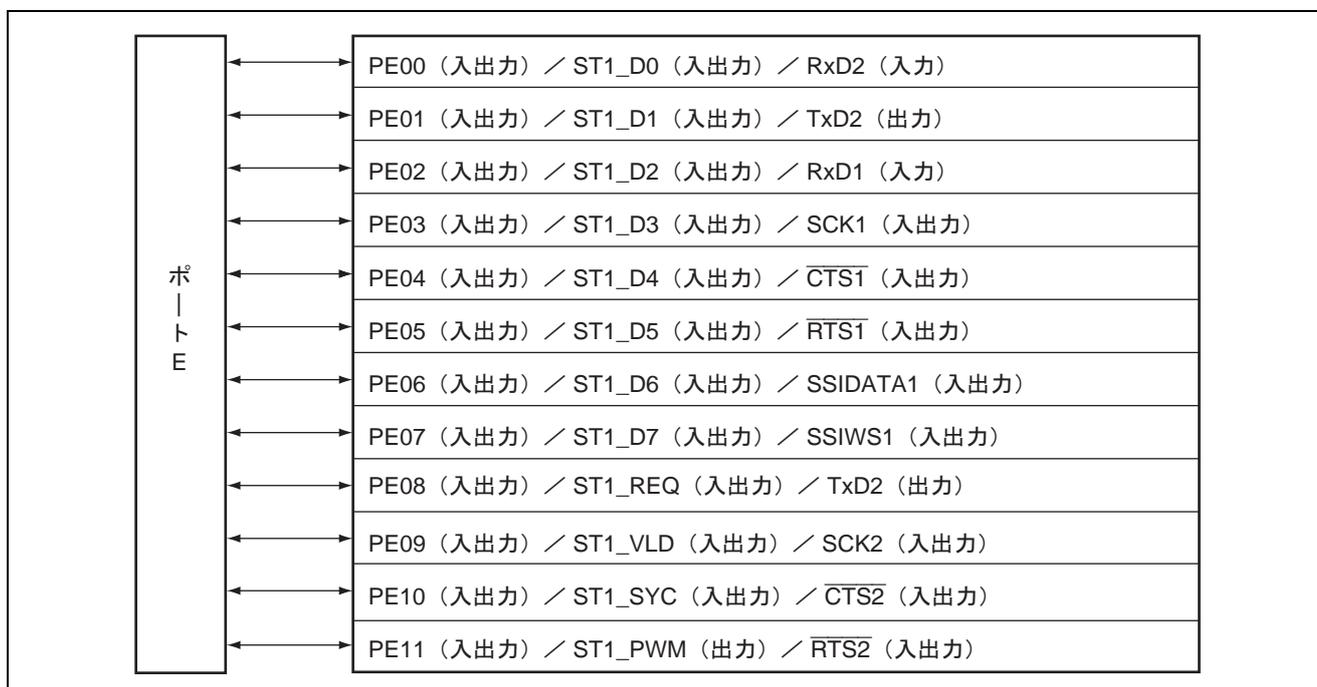


図 24.5 ポート E

24.5.1 レジスタの説明

ポート E は、12 ビットの入出力ポートです。ポート E には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「**第 28 章 レジスタ一覧**」を参照してください。

- ポート E データレジスタ L (PEDRL)

24.5.2 ポート E データレジスタ L (PEDRL)

PEDRL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE11DR～PE0DR ビットは、それぞれ PE11～PE00 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PEDRL に値を書き込むと端子からその値が出力され、PEDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PEDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDRL に値を書き込むと、PEDRL にその値を書き込めますが、端子の状態には影響しません。表 24.5 にポート E データレジスタ L の読み出し／書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PE11 DR	PE10 DR	PE9 DR	PE8 DR	PE7 DR	PE6 DR	PE5 DR	PE4 DR	PE3 DR	PE2 DR	PE1 DR	PE0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	PE11DR	0	R/W	表 24.5 参照
10	PE10DR	0	R/W	
9	PE9DR	0	R/W	
8	PE8DR	0	R/W	
7	PE7DR	0	R/W	
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

表 24.5 ポート E データレジスタ L (PEDRL) の読み出し／書き込み動作

- PEDRL のビット 11～0

端子機能	PEIORL	読み出し	書き込み
汎用入力	0	端子の状態	PEDRL に書き込めるが、端子の状態に影響しない
汎用出力	1	PEDRL の値	書き込み値が端子から出力される
その他の機能	*	PEDRL の値	PEDRL に書き込めるが、端子の状態に影響しない

24.6 ポート F

本 LSI のポート F は、**図 24.6** に示すような 12 本の端子を持つ入出力ポートです。

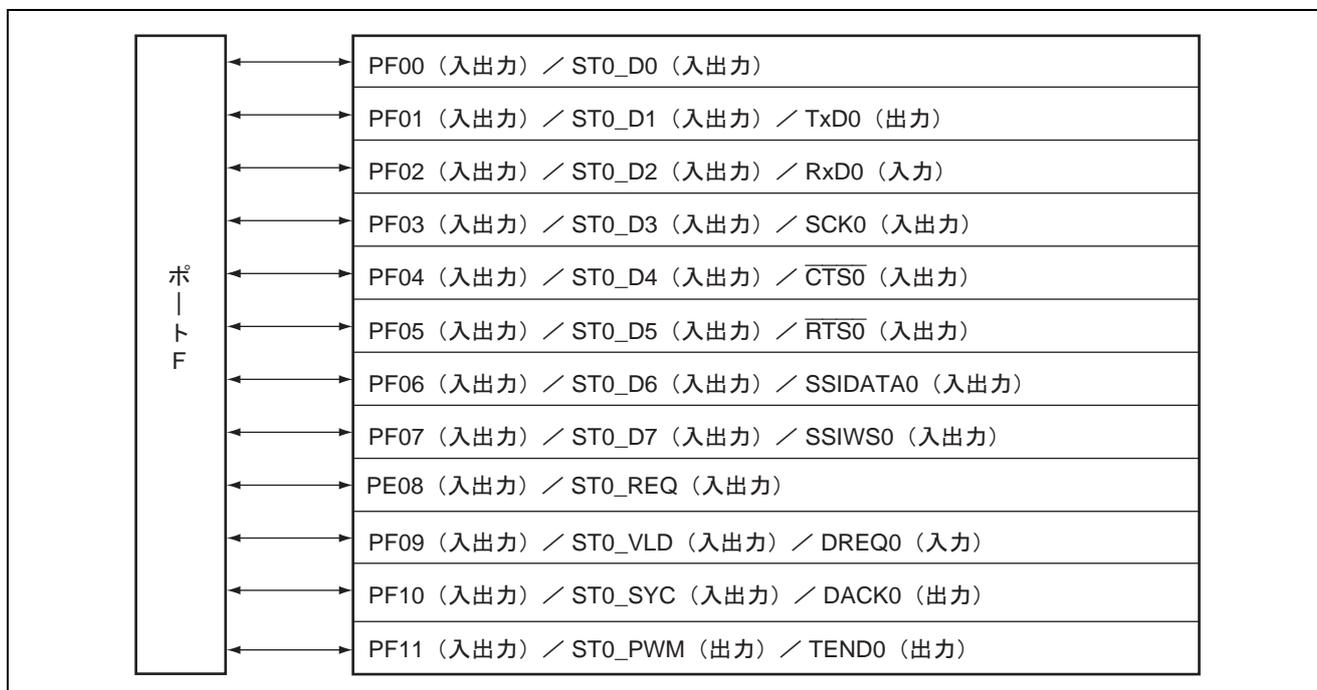


図 24.6 ポート F

24.6.1 レジスタの説明

ポート F は、12 ビットの入出力ポートです。ポート F には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「**第 28 章 レジスタ一覧**」を参照してください。

- ポート F データレジスタ L (PFDRLL)

24.6.2 ポート F データレジスタ L (PFDRL)

PFDRL は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート F のデータを格納します。PF11DR ~ PF0DR ビットは、それぞれ PF11 ~ PF00 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PFDRL に値を書き込むと端子からその値が出力され、PFDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PFDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PFDRL に値を書き込むと、PFDRL にその値を書き込めますが、端子の状態には影響しません。表 24.6 にポート F データレジスタ L の読み出し／書き込み動作を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	PF11 DR	PF10 DR	PF9 DR	PF8 DR	PF7 DR	PF6 DR	PF5 DR	PF4 DR	PF3 DR	PF2 DR	PF1 DR	PF0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	PF11DR	0	R/W	表 24.6 参照
10	PF10DR	0	R/W	
9	PF9DR	0	R/W	
8	PF8DR	0	R/W	
7	PF7DR	0	R/W	
6	PF6DR	0	R/W	
5	PF5DR	0	R/W	
4	PF4DR	0	R/W	
3	PF3DR	0	R/W	
2	PF2DR	0	R/W	
1	PF1DR	0	R/W	
0	PF0DR	0	R/W	

表 24.6 ポート F データレジスタ L (PFDRL) の読み出し／書き込み動作

- PFDRLのビット11~0

端子機能	PFIORL	読み出し	書き込み
汎用入力	0	端子の状態	PFDRL に書き込めるが、端子の状態に影響しない
汎用出力	1	PFDRL の値	書き込み値が端子から出力される
その他の機能	*	PFDRL の値	PFDRL に書き込めるが、端子の状態に影響しない

24.7 ポート G

本 LSI のポート G は、図 24.7 に示すような 24 本の端子を持つ入出力ポートです。

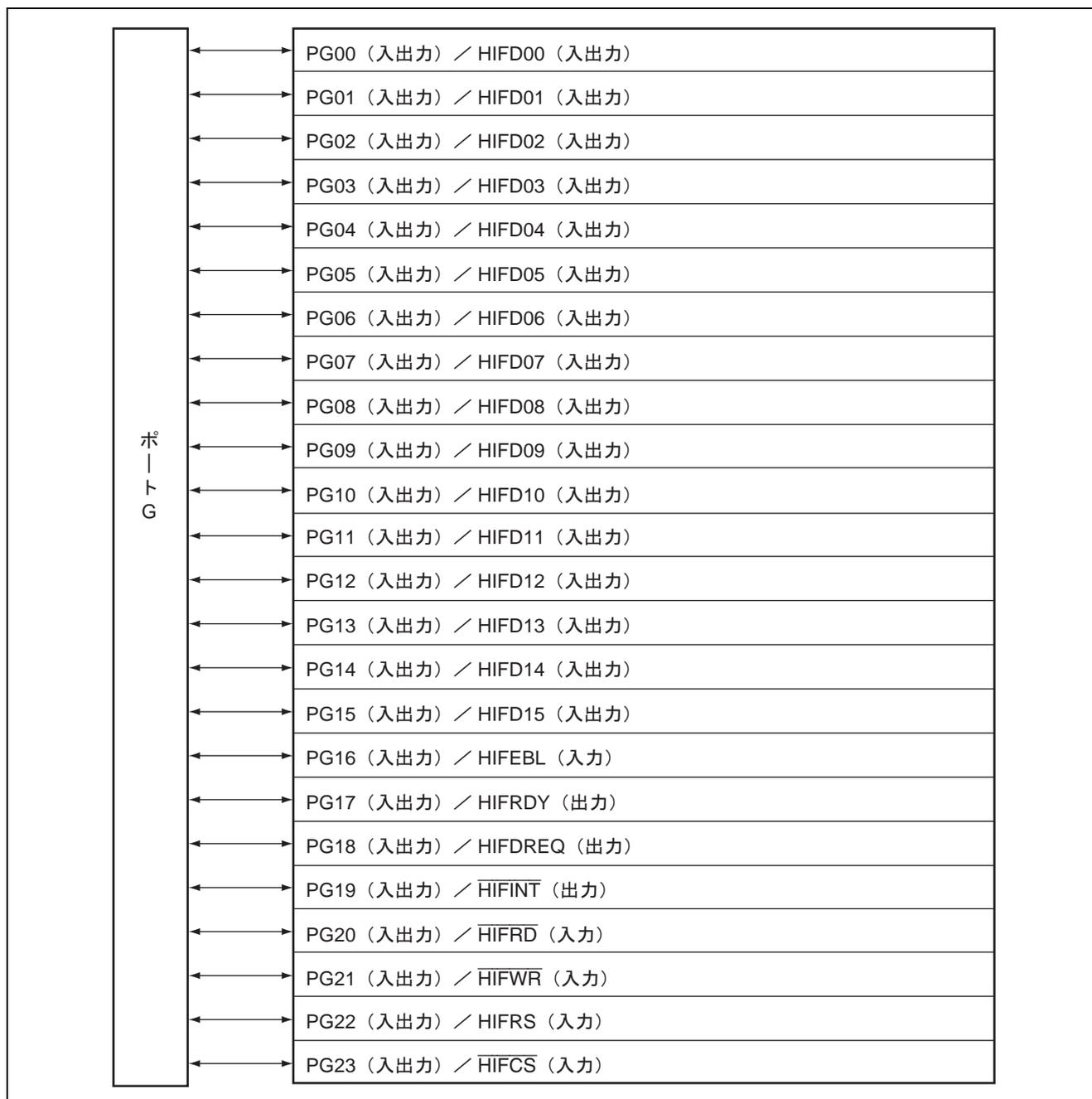


図 24.7 ポート G

24.7.1 レジスタの説明

ポート G は、24 ビットの入出力ポートです。ポート G には以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態によるレジスタの状態については「第 28 章 レジスタ一覧」を参照してください。

- ポート G データレジスタ H (PGDRH)
- ポート G データレジスタ L (PGDRL)

24.7.2 ポート G データレジスタ H、L (PGDRH、PGDRL)

PGDRH および PGDRL は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート G のデータを格納します。PG23DR~PG0DR ビットは、それぞれ PG23~PG00 端子（兼用機能については記述を省略）に対応しています。

端子機能が汎用出力の場合には、PGDRH または PGDRL に値を書き込むと端子からその値が出力され、PGDRH または PGDRL を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PGDRH または PGDRL を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また、PGDRH または PGDRL に値を書き込むと、PGDRH または PGDRL にその値を書き込めますが、端子の状態には影響しません。表 24.7 にポート G データレジスタ H、L の読み出し/書き込み動作を示します。

- PGDRH

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	PG23DR	PG22DR	PG21DR	PG20DR	PG19DR	PG18DR	PG17DR	PG16DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	PG23DR	0	R/W	表 24.7 参照
6	PG22DR	0	R/W	
5	PG21DR	0	R/W	
4	PG20DR	0	R/W	
3	PG19DR	0	R/W	
2	PG18DR	0	R/W	
1	PG17DR	0	R/W	
0	PG16DR	0	R/W	

- PGDRL

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG15 DR	PG14 DR	PG13 DR	PG12 DR	PG11 DR	PG10 DR	PG9 DR	PG8 DR	PG7 DR	PG6 DR	PG5 DR	PG4 DR	PG3 DR	PG2 DR	PG1 DR	PG0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PG15DR	0	R/W	表 24.7 参照
14	PG14DR	0	R/W	
13	PG13DR	0	R/W	
12	PG12DR	0	R/W	
11	PG11DR	0	R/W	
10	PG10DR	0	R/W	
9	PG9DR	0	R/W	
8	PG8DR	0	R/W	
7	PG7DR	0	R/W	
6	PG6DR	0	R/W	
5	PG5DR	0	R/W	
4	PG4DR	0	R/W	
3	PG3DR	0	R/W	
2	PG2DR	0	R/W	
1	PG1DR	0	R/W	
0	PG0DR	0	R/W	

表 24.7 ポート G データレジスタ L (PGDRL) の読み出し/書き込み動作

- PGDRHのビット7~0およびPGDRLのビット15~0

端子機能	PGIORL	読み出し	書き込み
汎用入力	0	端子の状態	PGDRH または PGDRL に書き込めるが、端子の状態に影響しない
汎用出力	1	PGDRH または PGDRL の値	書き込み値が端子から出力される
その他の機能	*	PGDRH または PGDRL の値	PGDRH または PGDRL に書き込めるが、端子の状態に影響しない

25. ユーザブレイクコントローラ (UBC)

ユーザブレイクコントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッガを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブレイク条件として、命令フェッチまたはデータの読み出し/書き込み(データの読み出し/書き込みの場合はバスマスタ (CPU, DMAC))、データのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングをサポートします。本 LSI はハーバードアーキテクチャを採用しているため、CPU バス (C バス) 上での命令フェッチは命令フェッチバス (F バス) にバスサイクルを発行し、C バス上のデータアクセスはメモリアクセスバス (M バス) にバスサイクルを発行します。UBC はこれら C バスと内部バス (I バス) をモニタします。

25.1 特長

1. 次のようなブレイク比較条件を設定できます
ブレイクチャンネル数 : 2 チャンネル (チャンネル 0 と 1)
ユーザブレイクは、チャンネル 0、1 独立に設定することができます。
 - アドレス
アドレス 32 ビットの比較はビットごとにマスク可能です。
3 種類のアドレスバス (F バスアドレス (FAB)、M バスアドレス (MAB)、I バスアドレス (IAB)) を選択できます。
 - データ
データ 32 ビットの比較はビットごとにマスク可能です。
2 種類のデータバス (M バスデータ (MDB)、I バスデータ (IDB)) の 1 つを選択可能です。
 - Iバス選択時のバスマスタ
CPU サイクル、DMAC サイクル、A-DMAC (F-DMAC を含む) サイクル、E-DMAC サイクル
 - バスサイクル
命令フェッチ (C バス選択時のみ) またはデータアクセス
 - 読み出しまたは書き込み
 - オペランドサイズ
バイト、ワード、およびロングワードをサポート。
2. 命令フェッチサイクルにおいて、ユーザブレイク割り込み例外処理の実行開始を命令の実行の前に設定するか、後に設定するかを指定可能。

図 25.1 に UBC のブロック図を示します。

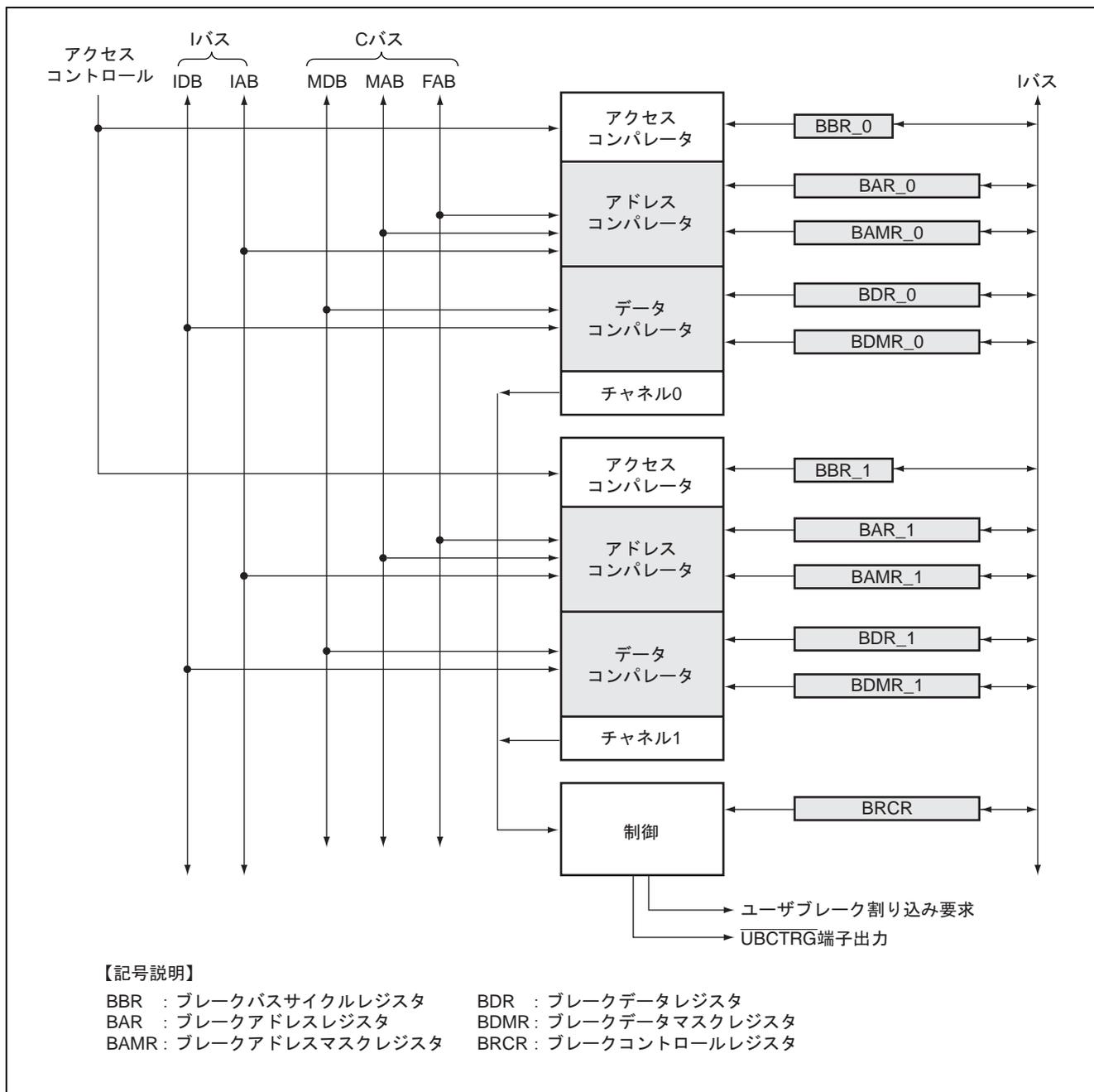


図 25.1 UBC のブロック図

25.2 レジスタの説明

UBCには以下のレジスタがあります。チャンネルごとに5本の制御レジスタと、チャンネル0、1に共通な制御レジスタが1本あります。各チャンネルのレジスタについては、チャンネル0のBARはBAR_0のように表記しています。

表 25.1 レジスタ構成

チャンネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	ブレークアドレスレジスタ_0	BAR_0	R/W	H'00000000	H'FFFC0400	32
	ブレークアドレスマスクレジスタ_0	BAMR_0	R/W	H'00000000	H'FFFC0404	32
	ブレークバスサイクルレジスタ_0	BBR_0	R/W	H'0000	H'FFFC04A0	16
	ブレークデータレジスタ_0	BDR_0	R/W	H'00000000	H'FFFC0408	32
	ブレークデータマスクレジスタ_0	BDMR_0	R/W	H'00000000	H'FFFC040C	32
1	ブレークアドレスレジスタ_1	BAR_1	R/W	H'00000000	H'FFFC0410	32
	ブレークアドレスマスクレジスタ_1	BAMR_1	R/W	H'00000000	H'FFFC0414	32
	ブレークバスサイクルレジスタ_1	BBR_1	R/W	H'0000	H'FFFC04B0	16
	ブレークデータレジスタ_1	BDR_1	R/W	H'00000000	H'FFFC0418	32
	ブレークデータマスクレジスタ_1	BDMR_1	R/W	H'00000000	H'FFFC041C	32
共通	ブレークコントロールレジスタ	BRCR	R/W	H'00000000	H'FFFC04C0	32

25.2.1 ブレークアドレスレジスタ (BAR)

BARは、32ビットの読み出し/書き込み可能なレジスタです。BARは、各チャンネルのブレーク条件とするアドレスを指定します。ブレーク条件の対象とするアドレスバスは3種類あり、ブレークバスサイクルレジスタ (BBR) の制御ビットのCD[1:0]により選択します。BARはパワーオンリセットでH'00000000に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8	BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説 明
31~0	BA31 ~ BA0	すべて 0	R/W	ブレークアドレス ブレーク条件を指定する CPU アドレスバス (FAB または MAB) または IAB のアドレスを格納します。 BBR により C バスかつ命令フェッチサイクルを選択した場合は、BA31~BA0 に FAB のアドレスを指定します。 BBR により C バスかつデータアクセスサイクルを選択した場合は、BA31~BA0 に MAB のアドレスを指定します。

【注】 ブレーク条件として命令フェッチサイクルを設定する場合は、BAR の LSB を 0 にクリアしてください。

25.2.2 ブレークアドレスマスクレジスタ (BAMR)

BAMR は、32 ビットの読み出し/書き込み可能なレジスタです。BAMR は、BAR で指定するブレークアドレスビットのうち、マスクするビットを指定します。BAMR はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24	BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8	BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

ビット	ビット名	初期値	R/W	説 明
31~0	BAM31 ~ BAM0	すべて 0	R/W	ブレークアドレスマスク BAR (BA31~BA0) によって指定されるブレークアドレスビットのうち、マスクするビットを指定します。 0 : ブレークアドレスビット BAn は、ブレーク条件に含まれる 1 : ブレークアドレスビット BAn はマスクされ、ブレーク条件に含まれない 【注】 n=31~0

25.2.3 ブレークデータレジスタ (BDR)

BDR は、32 ビットの読み出し／書き込み可能なレジスタです。ブレーク条件の対象とするデータバスは 2 種類あり、ブレークバスサイクルレジスタ (BBR) の制御ビット CD[1:0]により選択します。BDR はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24	BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8	BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	BD31 ~ BD0	すべて 0	R/W	ブレークデータビット ブレーク条件を指定するデータを格納します。 BBRによりIバスを選択した場合は、BD31~BD0にIDBのブレークデータを指定します。 BBRによりCバスを選択した場合は、BD31~BD0にMDBのブレークデータを指定します。

- 【注】
1. ブレーク条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
 2. ブレーク条件としてバイトサイズを指定する場合は、BDRにおけるブレークデータとして、ビット 31~24、23~16、15~8、7~0に同一のバイトデータを、またワードサイズを指定する場合はビット 31~16、15~0に同一のワードデータをセットしてください。

25.2.4 ブ레이크データマスクレジスタ (BDMR)

BDMR は、32 ビットの読み出し/書き込み可能なレジスタです。BDMR は、BDR で指定するブレイクデータビットのうちマスクするビットを指定します。BDMR はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24	BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8	BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	BDM31 ~ BDM0	すべて 0	R/W	ブレイクデータマスク BDR (BD31~BD0) によって指定されるブレイクデータビットのうちマスクするビットを指定します。 0: ブレイクデータビット BDn は、ブレイク条件に含まれる 1: ブレイクデータビット BDn はマスクされ、ブレイク条件に含まれない 【注】 n=31~0

- 【注】 1. ブレイク条件にデータバスの値を含める場合は、オペランドサイズを指定してください。
2. ブレイク条件としてバイトサイズを指定する場合は、BDMR におけるブレイクマスクデータとして、ビット 31~24、23~16、15~8、7~0 に同一のバイトデータを、またワードサイズを指定する場合はビット 31~16、15~0 に同一のワードデータをセットしてください。

25.2.5 ブ레이크バスサイクルレジスタ (BBR)

BBR は、ブ레이크条件として (1) ユーザブ레이크割り込み要求の禁止/許可、(2) データバスの値を含める/含めない、(3) Iバスのバスマスタ、(4) CバスサイクルまたはIバスサイクル、(5) 命令フェッチまたはデータアクセス、(6) 読み出しまたは書き込み、および (7) オペランドサイズを指定する 16 ビットの読み出しまたは書き込み可能なレジスタです。BBR はパワーオンリセットで H'0000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	UBID	DBE	CP[3:0]				CD[1:0]	ID[1:0]	RW[1:0]		SZ[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	UBID	0	R/W	ユーザブ레이크割り込みディスエーブル 条件一致時にユーザブ레이크割り込み要求の禁止/許可を指定します。 0: ユーザブ레이크割り込み要求を許可する 1: ユーザブ레이크割り込み要求を禁止する
12	DBE	0	R/W	データブ레이크イネーブル データバス条件がブ레이크条件に含まれるかどうかを選択します。 0: データバス条件がブ레이크条件に含まれない 1: データバス条件がブ레이크条件に含まれる
11~8	CP[3:0]	0000	R/W	Iバスのバスマスタセレクト ブ레이크条件のバスサイクルがIバスサイクルの場合のバスマスタを選択します。ただし、バスサイクルがCバスサイクルの場合、本ビットは無効 (CPU サイクルのみ) となります。 xxx1: ブ레이크条件は、CPU サイクルを含みます xx1x: ブ레이크条件は、DMAC サイクルを含みます x1xx: ブ레이크条件は、A-DMAC (F-DMAC を含む) サイクルを含みます 1xxx: ブ레이크条件は、E-DMAC サイクルを含みます
7、6	CD[1:0]	00	R/W	Cバスサイクル/Iバスサイクルセレクト ブ레이크条件のバスサイクルとしてCバスサイクルまたはIバスサイクルを選択します。 00: 条件比較を行わない 01: ブ레이크条件は、Cバス (Fバス、Mバス) サイクル 10: ブ레이크条件は、Iバスサイクル 11: ブ레이크条件は、Cバス (Fバス、Mバス) サイクル

ビット	ビット名	初期値	R/W	説明
5、4	ID[1:0]	00	R/W	<p>命令フェッチ／データアクセスセレクト</p> <p>ブ레이크条件のバスサイクルとして命令フェッチサイクルまたはデータアクセスサイクルを選択します。命令フェッチサイクルを選択した場合はCバスサイクルを選択してください。</p> <p>00：条件比較を行わない</p> <p>01：ブ레이크条件は、命令フェッチサイクル</p> <p>10：ブ레이크条件は、データアクセスサイクル</p> <p>11：ブ레이크条件は、命令フェッチサイクルまたはデータアクセスサイクル</p>
3、2	RW[1:0]	00	R/W	<p>読み出し／書き込みセレクト</p> <p>ブ레이크条件のバスサイクルとして読み出しサイクルまたは書き込みサイクルを選択します。</p> <p>00：条件比較を行わない</p> <p>01：ブ레이크条件は、読み出しサイクル</p> <p>10：ブ레이크条件は、書き込みサイクル</p> <p>11：ブ레이크条件は、読み出しサイクルまたは書き込みサイクル</p>
1、0	SZ[1:0]	00	R/W	<p>オペランドサイズセレクト</p> <p>ブ레이크条件のバスサイクルのオペランドサイズを選択します。</p> <p>00：ブ레이크条件には、オペランドサイズを含まない</p> <p>01：ブ레이크条件は、バイトアクセス</p> <p>10：ブ레이크条件は、ワードアクセス</p> <p>11：ブ레이크条件は、ロングワードアクセス</p>

【記号説明】 x : Don't care

25.2.6 ブレイクコントロールレジスタ (BRCR)

BRCR は、次の条件を設定します。

- 命令フェッチサイクルによるユーザブレイク割り込み例外処理の実行開始を命令実行の前に設定するか後に設定するかを指定します。

BRCR は、ブレイク条件一致フラグとその他のブレイク条件を設定するためのビットを持つ 32 ビットの読み出し/書き込み可能なレジスタです。ビット 15~12 の条件一致フラグのみ、1 書き込みは無効 (前値保持) で 0 書き込みのみ可能なビットですので、クリアする場合はクリアするフラグビットに 0、それ以外のフラグビットに 1 を書き込んでください。BRCR はパワーオンリセットで H'00000000 に初期化されますが、ソフトウェアスタンバイモード、スリープモード、およびマニュアルリセットでは前の値を保持します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCMFC0	SCMFC1	SCMFD0	SCMFD1	-	-	-	-	-	PCB1	PCB0	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	SCMFC0	0	R/W	C バスサイクル条件一致フラグ 0 チャンネル 0 に設定したブレイク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 に対する C バスサイクル条件不一致 1 : チャンネル 0 に対する C バスサイクル条件一致
14	SCMFC1	0	R/W	C バスサイクル条件一致フラグ 1 チャンネル 1 に設定したブレイク条件の C バスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 に対する C バスサイクル条件不一致 1 : チャンネル 1 に対する C バスサイクル条件一致

ビット	ビット名	初期値	R/W	説明
13	SCMFD0	0	R/W	<p>バスサイクル条件一致フラグ 0</p> <p>チャンネル 0 に設定したブレーク条件のバスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。</p> <p>0 : チャンネル 0 に対するバスサイクル条件不一致 1 : チャンネル 0 に対するバスサイクル条件一致</p>
12	SCMFD1	0	R/W	<p>バスサイクル条件一致フラグ 1</p> <p>チャンネル 1 に設定したブレーク条件のバスサイクル条件を満足すると、このフラグは 1 にセットされます。このフラグをクリアするには、このビットに 0 を書き込みます。</p> <p>0 : チャンネル 1 に対するバスサイクル条件不一致 1 : チャンネル 1 に対するバスサイクル条件一致</p>
11~7	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
6	PCB1	0	R/W	<p>PC ブレークセレクト 1</p> <p>チャンネル 1 に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。</p> <p>0 : チャンネル 1 の PC ブレークを命令実行前に設定 1 : チャンネル 1 の PC ブレークを命令実行後に設定</p>
5	PCB0	0	R/W	<p>PC ブレークセレクト 0</p> <p>チャンネル 0 に対する命令フェッチサイクルのブレークタイミングが命令実行の前か後かを選択します。</p> <p>0 : チャンネル 0 の PC ブレークを命令実行前に設定 1 : チャンネル 0 の PC ブレークを命令実行後に設定</p>
4~0	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

25.3 動作説明

25.3.1 ユーザブレーク動作の流れ

ブレーク条件の設定からユーザブレーク割り込み例外処理までの動作の流れは、次のとおりです。

1. ブレークアドレスを、ブレークアドレスレジスタ (BAR) に指定します。マスクするアドレスを、ブレークアドレスマスクレジスタ (BAMR) に指定します。ブレークデータを、ブレークデータレジスタ (BDR) に指定します。マスクするデータを、ブレークデータマスクレジスタ (BDMR) に指定します。バスブレーク条件を、ブレークバスサイクルレジスタ (BBR) に指定します。BBRの3つの制御ビットペア、すなわちCバスサイクルまたはIバスサイクルセレクト、命令フェッチまたはデータアクセスセレクト、読み出しまたは書き込みセレクトの3つの制御ビットペアのどれか1つでも00の場合は、ユーザブレークは発生しません。ブレーク制御は、BRCRのビットに指定します。すべてのブレーク関連レジスタの設定後にBBRの設定を行い、最後に書き込んだレジスタを読み出してから分岐を発生させてください。分岐先の命令から新しく書き込んだレジスタ値が有効となります。
2. ブレーク条件を満足し、ユーザブレーク割り込み要求を許可する設定の場合、UBCはユーザブレーク割り込み要求をINTCに通知するとともに、それぞれのチャンネルに対するCバス条件一致フラグ (SCMFC)、Iバス条件一致フラグ (SCMFD) をセットします。
3. ユーザブレーク割り込み要求信号を受け取ると、INTCは優先順位判定を行います。ユーザブレーク割り込みは優先レベル15なので、ステータスレジスタ (SR) の割り込みマスクレベルビット (I3~I0) がレベル14以下のとき、受け付けられます。I3~I0ビットがレベル15のとき、ユーザブレーク割り込みは受け付けられませんが、条件判定は行われ、一致した場合は条件一致フラグがセットされます。優先順位判定については、「第6章 割り込みコントローラ (INTC)」を参照してください。
4. 設定条件の一致または不一致をチェックするため、該当する条件一致フラグ (SCMFC、SCMFD) を使用することができます。ユーザブレーク割り込み例外処理ルーチン中に条件一致フラグビットをクリアする動作を行ってください。この動作を行わないと再度割り込みが発生してしまいます。
5. チャンネル0およびチャンネル1で設定したブレークがほぼ同時に発生する場合があります。INTCに対するユーザブレーク割り込み要求は1つだけであっても、これらの2つのブレークチャンネル一致フラグは2つともセットされる場合があります。
6. ブレーク条件としてIバスを選択した場合は、次のことに注意してください。
 - Iバスには、CPU、DMAC、A-DMAC (F-DMACを含む)、E-DMACを含む複数のバスマスタが接続されています。UBCはBBRで指定したバスマスタの生成するバスサイクルを監視し、条件一致判定を行います。

- CPUがCバス上で発行したアクセスがIバス上に発行されるかどうかは、キャッシュの設定により異なります。キャッシュ条件によるIバスの動作については、「第4章 キャッシュ」の表4.8を参照してください。
- Iバスにブレイク条件を設定している場合はデータアクセスサイクルのみ監視し、命令フェッチサイクル（キャッシュ更新サイクルを含む）は監視しません。
- DMACが発行するIバスサイクルは、データアクセスサイクルのみです。
- Iバスにブレイク条件を設定している場合は、CPUが実行した命令に起因したIバスサイクルで条件が一致したときでも、どの命令でユーザブレイク割り込み要求を受け付けるかを一意に決定することはできません。

25.3.2 命令フェッチサイクルでのブレイク

1. ブレイクバスサイクルレジスタ (BBR) にCバス/命令フェッチ/読み出し/ワードまたはロングワードが設定されると、ブレイク条件はFABバスの命令フェッチになります。ユーザブレイク割り込み例外処理の実行開始を命令実行の前にするか後にするかは、該当するチャンネルに対するブレイクコントロールレジスタ (BRCR) のPCB0またはPCB1ビットで選択できます。ブレイク条件として命令フェッチサイクルを設定する場合は、ブレイクアドレスレジスタ (BAR) のBA0ビットを0に設定してください。このビットが1に設定されているとブレイクは発生しません。
2. 命令フェッチによるブレイクがその命令を実行する前に行われるように設定されている状態で条件が一致した場合は、命令がフェッチされて命令を実行することが確定した時点でブレイクが生じます。したがって、オーバラン（分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令）によってフェッチされる命令ではブレイクは発生しません。遅延分岐命令の遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令実行前までユーザブレイク割り込み要求は受け付けられません。
【注】 遅延条件分岐命令が分岐しなかった場合は、その後続命令は遅延スロットとはみなされません。
3. ブレイク条件でブレイクが命令実行後に起こるように設定している場合は、ブレイク条件と一致した命令が実行され、次の命令の実行前にブレイクが発生します。実行前のブレイクの場合と同様、オーバランフェッチ命令ではブレイクは発生しません。遅延分岐命令およびその遅延スロットに対してこの種のブレイクが設定されると、分岐先の最初の命令までユーザブレイク割り込み要求は受け付けられません。
4. 命令フェッチサイクルが設定されるとブレイクデータレジスタ (BDR) は、無視されます。したがって、命令フェッチサイクルのブレイクには、ブレイクデータを設定することはできません。
5. 命令フェッチサイクルでのブレイクにおいてIバスを設定した場合は無効となります。

25.3.3 データアクセスサイクルでのブレーク

1. データアクセスブレークにおいて、ブレーク条件としてCバスを指定した場合は、実行された命令によりアクセスされたアドレス（およびデータ）に対して条件比較を行いブレークが発生します。ブレーク条件としてIバスを指定した場合は、Iバスのバスマスタセレクトで指定したバスマスタが発行するデータアクセスサイクルのアドレス（およびデータ）に対して条件比較を行いブレークが発生します。Iバス上に発行されるCPUのバスサイクルに関しては、「25.3.1 ユーザブレーク動作の流れ」の6.の項を参照してください。
2. 表25.2にデータアクセスサイクルアドレスと各オペランドサイズについての比較条件の関係を示します。

表 25.2 データアクセスサイクルアドレスおよびオペランドサイズの比較条件

アクセスサイズ	比較アドレス
ロングワード	ブレークアドレスレジスタのビット 31~2 とアドレスバスのビット 31~2 を比較
ワード	ブレークアドレスレジスタのビット 31~1 とアドレスバスのビット 31~1 を比較
バイト	ブレークアドレスレジスタのビット 31~0 とアドレスバスのビット 31~0 を比較

これは、たとえばブレークアドレスレジスタ (BAR) にアドレス H'00001003 を設定するとき、ブレーク条件を満足するバスサイクルには、（他のすべての条件が満足されると仮定した場合）以下が含まれることを意味します。

H'00001000 でのロングワードアクセス

H'00001002 でのワードアクセス

H'00001003 でのバイトアクセス

3. ブレーク条件にデータ値が含まれる場合
ブレーク条件にデータ値が含まれる場合は、ブレークバスサイクルレジスタ (BBR) にロングワード、ワード、またはバイトをオペランドサイズとして指定します。データ値がブレーク条件に含まれる場合は、アドレス条件とデータ条件が一致するときブレークが発生します。この場合、バイトデータを指定するためには、ブレークデータレジスタ (BDR) とブレークデータマスクレジスタ (BDMR) のビット 31~24、ビット 23~16、ビット 15~8、ビット 7~0 の 4 バイトに同じデータを指定します。ワードデータを指定するためには、ビット 31~16、ビット 15~0 の 2 ワードに同じデータを指定します。
4. PREF命令は、アクセスデータのないロングワードの読み出しアクセスとして扱います。したがって、PREF命令のブレーク条件にデータ値が含まれる場合は、ブレークは発生しません。
5. データアクセスサイクルを選択している場合は、ブレークの発生する命令を特定することはできません。

25.3.4 退避されるプログラムカウンタの値

ユーザブレイク割り込み要求受け付け時は、実行を再開すべき命令のアドレスをスタックに退避し、例外処理状態に移行します。ブレイク条件として C バス (FAB) / 命令フェッチを指定している場合は、ブレイクの発生する命令を一意に決定することができます。ブレイク条件として C バス / データアクセスサイクル、または I バス / データアクセスサイクルを指定している場合は、ブレイクの発生する命令を一意に決定することはできません。

1. Cバス (FAB) / 命令フェッチを (命令実行前) ブレイク条件として指定する場合
スタックには、ブレイク条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。
2. Cバス (FAB) / 命令フェッチを (命令実行後) ブレイク条件として指定する場合
スタックには、ブレイク条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスがスタックに退避されます。
3. Cバス / データアクセスサイクルまたは Iバス / データアクセスサイクルをブレイク条件として指定する場合
スタックには、ブレイク条件と一致した命令の数命令分の命令実行後のアドレスが退避されます。

25.3.5 使用例

(1) Cバス命令フェッチサイクルに指定したブレイク条件

(例 1-1)

- レジスタ指定

BAR_0=H'00000404, BAMR_0=H'00000000, BBR_0=H'0054, BAR_1=H'00008010, BAMR_1=H'00000006,
BBR_1=H'0054, BDR_1=H'00000000, BDMR_1=H'00000000, BRCCR=H'00000020

<チャンネル 0>

アドレス : H'00000404、アドレスマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル 1>

アドレス : H'00008010、アドレスマスク : H'00000006

データ : H'00000000、データマスク : H'00000000

バスサイクル : Cバス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレス H'00000404 の命令実行後、またはアドレス H'00008010~H'00008016 の命令の実行前に発生します。

(例 1-2)

• レジスタ指定

BAR_0=H'00027128、BAMR_0=H'00000000、BBR_0=H'005A、BAR_1=H'00031415、BAMR_1=H'00000000、
BBR_1=H'0054、BDR_1=H'00000000、BDMR_1=H'00000000、BRCCR=H'00000000

<チャンネル 0>

アドレス : H'00027128、アドレスマスク : H'00000000

バスサイクル : C バス / 命令フェッチ (命令実行前) / 書き込み / ワード

<チャンネル 1>

アドレス : H'00031415、アドレスマスク : H'00000000

データ : H'00000000、データマスク : H'00000000

バスサイクル : C バス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

チャンネル 0 では、命令フェッチは書き込みサイクルではないのでユーザブレイクは生じません。チャンネル 1 では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

(例 1-3)

• レジスタ指定

BAR_0=H'00008404、BAMR_0=H'00000FFF、BBR_0=H'0054、BAR_1=H'00008010、BAMR_1=H'00000006、
BBR_1=H'0054、BDR_1=H'00000000、BDMR_1=H'00000000、BRCCR=H'00000020

<チャンネル 0>

アドレス : H'00008404、アドレスマスク : H'00000FFF

バスサイクル : C バス / 命令フェッチ (命令実行後) / 読み出し (オペランドサイズは条件に含まれません)

<チャンネル 1>

アドレス : H'00008010、アドレスマスク : H'00000006

データ : H'00000000、データマスク : H'00000000

バスサイクル : C バス / 命令フェッチ (命令実行前) / 読み出し (オペランドサイズは条件に含まれません)

ユーザブレイクは、アドレス H'00008000~H'00008FFE の命令の実行後、またはアドレス H'00008010~H'00008016 の命令の実行前に生じます。

(2) Cバスデータアクセスサイクルに指定したブレーク条件

(例 2-1)

• レジスタ指定

BAR_0=H'00123456、BAMR_0=H'00000000、BBR_0=H'0064、BAR_1=H'000ABCDE、
BAMR_1=H'000000FF、BBR_1=H'106A、BDR_1=H'A512A512、BDMR_1=H'00000000、BRCR=
H'00000000

<チャンネル 0>

アドレス : H'00123456、アドレスマスク : H'00000000

バスサイクル : Cバス/データアクセス/読み出し (オペランドサイズは条件に含まれません)

<チャンネル 1>

アドレス : H'000ABCDE、アドレスマスク : H'000000FF

データ : H'0000A512、データマスク : H'00000000

バスサイクル : Cバス/データアクセス/書き込み/ワード

チャンネル 0 では、ユーザブレークはアドレス H'00123456 に対するロングワードの読み出し、アドレス H'00123456 に対するワード読み出し、あるいはアドレス H'00123456 に対するバイト読み出しで生じます。チャンネル 1 では、ユーザブレークは H'000ABC00~H'000ABCFE にワード H'A512 を書き込むときに生じません。

(3) Iバスデータアクセスサイクルに指定されたブレーク条件

(例 3-1)

• レジスタ指定 :

BAR_0=H'00314156、BAMR_0=H'00000000、BBR_0=H'0094、BAR_1=H'00055555、BAMR_1=H'00000000、
BBR_1=H'12A9、BDR_1=H'78787878、BDMR_1=H'0F0F0F0F、BRCR=H'00000000

<チャンネル 0>

アドレス : H'00314156、アドレスマスク : H'00000000

バスサイクル : Iバス/命令フェッチ/読み出し (オペランドサイズは条件に含まれません)

<チャンネル 1>

アドレス : H'00055555、アドレスマスク : H'00000000

データ : H'00000078、データマスク : H'0000000F

バスサイクル : Iバス/データアクセス/書き込み/バイト

チャンネル 0 では、Iバス上の命令フェッチの設定であり無効となります。チャンネル 1 では、ユーザブレークはIバス上でDMACがバイト H'7x をアドレス H'00055555 に書き込むときに生じます (CPU の場合は生じません)。

25.4 使用上の注意事項

1. UBCのレジスタの読み出しまたは書き込みは、Iバス経由で行われます。したがって、UBCのレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタが変更されるタイミングを知るためには、最後に書き込んだレジスタを読み出してください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。
2. UBCはCバスサイクルとIバスサイクルを同じチャンネルで監視することはできません。
3. ユーザブレイク割り込み要求と他の例外要因が同一命令で発生した場合は、「第5章 例外処理」の表5.1に定められた優先順位で判定が行われます。より高い優先度の例外要因が発生した場合は、ユーザブレイク割り込み要求は受け付けられません。
4. 遅延スロットでブレイクが発生する場合は、次の注意事項があります。
遅延スロット命令に対して命令実行前ブレイクを設定した場合は、その分岐先の実行前までユーザブレイク割り込み要求は受け付けられません。
5. UBCモジュールスタンバイ時は、ユーザブレイク機能を使用できません。また、モジュールスタンバイ中は、UBCレジスタを読み書きしないでください。読み書きした場合は、その値は保証されません。
6. 割り込み優先レベルが15以上（ユーザブレイク割り込みを含む）である割り込み例外処理のルーチンが置かれるアドレスをブレイクアドレスとして設定しないでください。
7. SLEEP命令および遅延スロットがSLEEP命令となる分岐命令には命令実行後ブレイクを設定しないでください。
8. 32ビット命令にブレイクアドレスを設定する場合、前の16ビット側になるように設定してください。後ろ16ビット側にブレイクアドレスを設定した場合、ブレイク条件として命令実行前に設定したとしても命令実行後扱いとなります。
9. DIVU、DIVS命令の次命令に命令実行前ブレイクを設定しないでください。DIVU、DIVS命令の次命令に対して命令実行前ブレイクを設定した場合、DIVU、DIVS命令実行中に例外、割り込みが発生し、DIVU、DIVS命令の実行が中断されても、次命令の命令実行前ブレイクが発生します。
10. 同一アドレスに命令実行前ブレイクと命令実行後ブレイクを同時に設定しないでください。たとえば、同一アドレスに対して、同時にチャンネル0命令実行前／チャンネル1命令実行後ブレイクを設定した場合、チャンネル0で命令実行前にブレイクが発生してもチャンネル1の命令実行後の条件一致フラグが成立します。

26. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

本 LSI は、エミュレータのサポートのため、ハイパフォーマンスユーザデバッグインタフェース (H-UDI) を内蔵しています。

26.1 特長

ハイパフォーマンスユーザデバッグインタフェース (H-UDI) は、リセットおよび割り込み要求の機能を備えています。

本 LSI の H-UDI はエミュレータの接続に使用されます。

エミュレータとの接続方法は、エミュレータのマニュアルを参照してください。

図 26.1 に H-UDI のブロック図を示します。

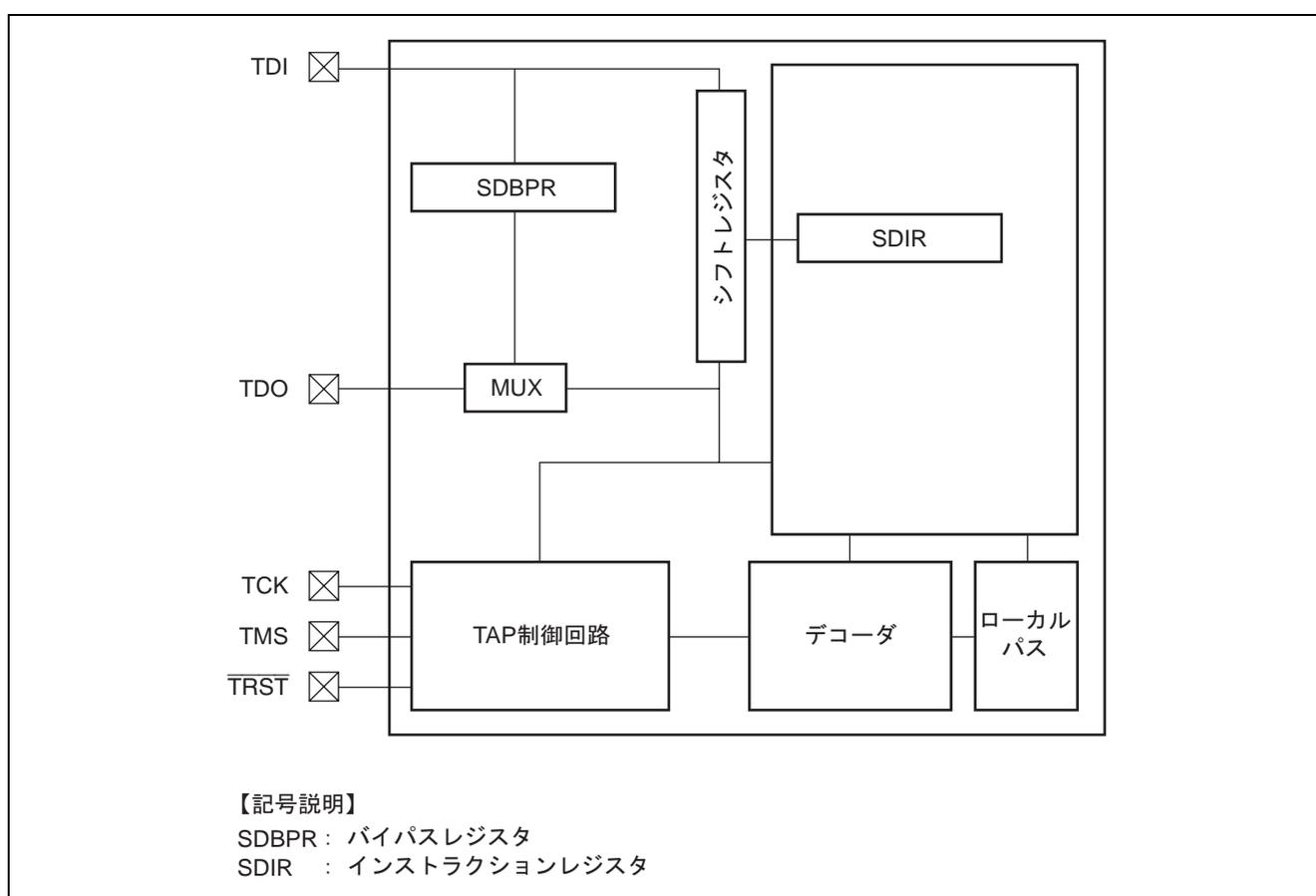


図 26.1 H-UDI のブロック図

26.2 入出力端子

表 26.1 端子構成

名称	端子名	入出力	機能
H-UDI シリアルデータ 入出力用クロック端子	TCK	入力	データはこのクロックに同期してデータ入力端子(TDI)からH-UDIにシリアルに供給され、データ出力端子(TDO)から出力されます。
モードセレクト入力端子	TMS	入力	TCKに同期してこの信号を変化させることによってTAP制御回路の状態が決まります。プロトコルは図26.2を参照してください。
H-UDI リセット入力端子	$\overline{\text{TRST}}$	入力	TCKとは非同期で入力を受け付けローレベルでH-UDIをリセットします。H-UDI機能の利用の有無にかかわらず、電源投入時に $\overline{\text{TRST}}$ を一定期間ローレベルにしなければなりません。リセット構成の詳細については、「26.4.2 リセット構成」を参照してください。
H-UDI シリアルデータ入力端子	TDI	入力	TCKに同期してこの端子を変化させることによってH-UDIにデータを送ります。
H-UDI シリアルデータ出力端子	TDO	出力	TCKに同期してこの端子を読み出すことによってH-UDIからデータを読み取ります。データ出力タイミングの初期値は立ち下がり同期ですが、SDIRに「TDO変化タイミング切り替え」コマンドを入力することにより立ち上がり同期に変更することができます。詳細については、「26.4.3 TDO出力タイミング」を参照してください。
ASE モードセレクト端子	$\overline{\text{ASEMD}}$ *	入力	$\overline{\text{RES}}$ 端子アサート期間中に、 $\overline{\text{ASEMD}}$ 端子にローレベルを入力するとASEモードになり、ハイレベルを入力すると通常モードになります。ASEモードでは、エミュレータ専用の機能が使用可能になります。 $\overline{\text{ASEMD}}$ 端子への入力レベルは、 $\overline{\text{RES}}$ 端子ネゲート後、最低1サイクル保持してください。

【注】 * エミュレータを使用しない場合は、ハイレベルに固定するようにしてください。

26.3 レジスタの説明

H-UDI には以下のレジスタがあります。

表 26.2 レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バイパスレジスタ	SDBPR	—	—	—	—
インタラクションレジスタ	SDIR	R	H'EFFD	H'FFFE2000	16

26.3.1 バイパスレジスタ (SDBPR)

SDBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。SDIR を BYPASS モードにセットすると、SDBPR は H-UDI 端子の TDI と TDO の間に接続されます。初期値は不定です。

26.3.2 インストラクションレジスタ (SDIR)

SDIR は、16 ビットの読み出し専用のレジスタです。 $\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。また、H-UDI からは、CPU のモードに関係なく書き込みを行うことができます。このレジスタに予約となっているコマンドをセットした場合の動作は保証しません。初期値は H'EFFD です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	T[7:0]							-	-	-	-	-	-	-	-	-
初期値 :	1*	1*	1*	0*	1*	1*	1*	1*	1	1	1	1	1	1	0	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * T[7:0]の初期値は予約値ですが、コマンドをセットする場合は必ず予約以外の値をセットしてください。

ビット	ビット名	初期値	R/W	説明
15~8	T[7:0]	11101111*	R	テストインストラクション H-UDI のインストラクションは TDI からのシリアル入力によって SDIR に転送されます。 コマンドは表 26.3 を参照してください。
7~2	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。
1	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。

表 26.3 H-UDI コマンド

ビット 15~8								説明
TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	
0	1	1	0	—	—	—	—	H-UDI リセットネゲート
0	1	1	1	—	—	—	—	H-UDI リセットアサート
1	0	0	1	1	1	0	0	TDO 変化タイミング切り替え
1	0	1	1	—	—	—	—	H-UDI 割り込み
1	1	1	1	—	—	—	—	BYPASS モード
上記以外								予約

26.4 動作説明

26.4.1 TAP コントローラ

図 26.2 に TAP コントローラの内部状態を示します。

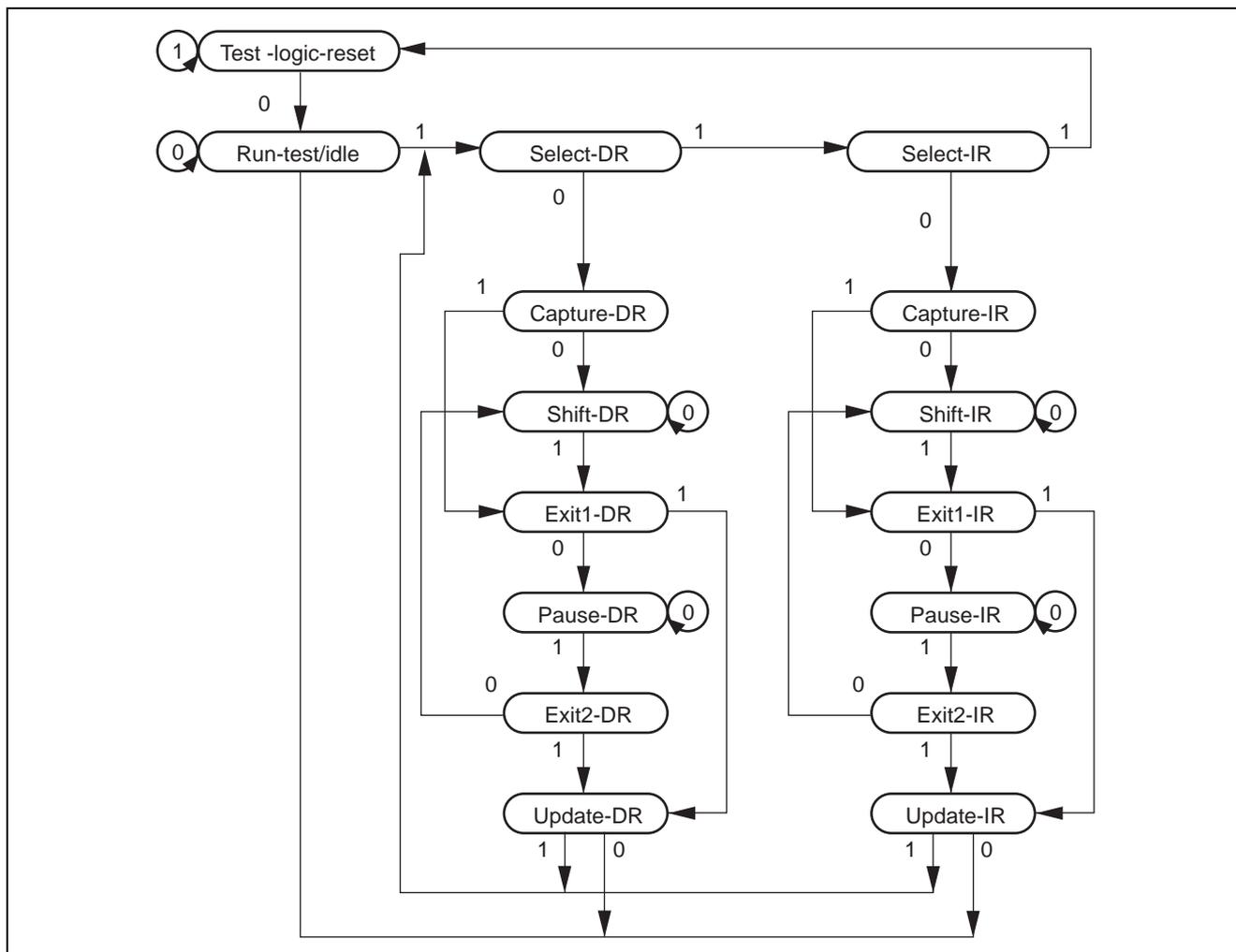


図 26.2 TAP コントローラ状態遷移図

【注】 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO 値の変化タイミングについては、「26.4.3 TDO 出力タイミング」を参照してください。TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。TRST のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

26.4.2 リセット構成

表 26.4 リセット構成

$\overline{\text{ASEMD}}^{*1}$	$\overline{\text{RES}}$	$\overline{\text{TRST}}$	チップ状態
H	L	L	パワーオンリセットおよび H-UDI のリセット
		H	パワーオンリセット
	H	L	H-UDI のみリセット
		H	通常動作
L	L	L	リセットホールド ^{*2}
		H	パワーオンリセット
	H	L	H-UDI のみリセット
		H	通常動作

【注】 *1 通常モードと ASE モードの設定を選択。

$\overline{\text{ASEMD}}=\text{H}$ 、通常モード

$\overline{\text{ASEMD}}=\text{L}$ 、ASE モード

- *2 ASE モードで $\overline{\text{RES}}$ ネゲート時に $\overline{\text{TRST}}$ 端子がローレベルであるとリセットホールド状態になります。この状態では、CPU は起動しません。その後、 $\overline{\text{TRST}}$ をハイレベルにセットすると、H-UDI 動作が有効になりますが、CPU は起動しません。リセットホールド状態は、パワーオンリセットにより解除されます。

26.4.3 TDO 出力タイミング

TDO の変化タイミングは、初期値では TCK の立ち下がりエッジ同期で出力されます。ただし、H-UDI 端子から SDIR に「TDO 変化タイミング切り替え」コマンドをセットし、Update-IR を通過することで、TDO の変化タイミングは TCK の立ち上がりエッジに同期します。これ以降、TDO の変化タイミングを TCK の立ち下がりエッジ同期出力にする場合は、パワーオンリセットと同時に $\overline{\text{TRST}}$ 端子のアサートを行う必要があります。 $\overline{\text{RES}}$ 端子によるパワーオンリセットの場合、 $\overline{\text{RES}}$ 端子ネゲート後もチップ内部で同期リセットが一定期間働いています。そのため、 $\overline{\text{RES}}$ 端子ネゲート後すぐに $\overline{\text{TRST}}$ 端子をアサートした場合、「TDO 変化タイミング切り替え」コマンドはクリアされ、TDO の変化タイミングが TCK の立ち下がりエッジ同期出力になります。これを防ぐため、 $\overline{\text{RES}}$ 端子と $\overline{\text{TRST}}$ 端子の互いの信号変化は必ず 20tcyc 以上間隔を空けてください。

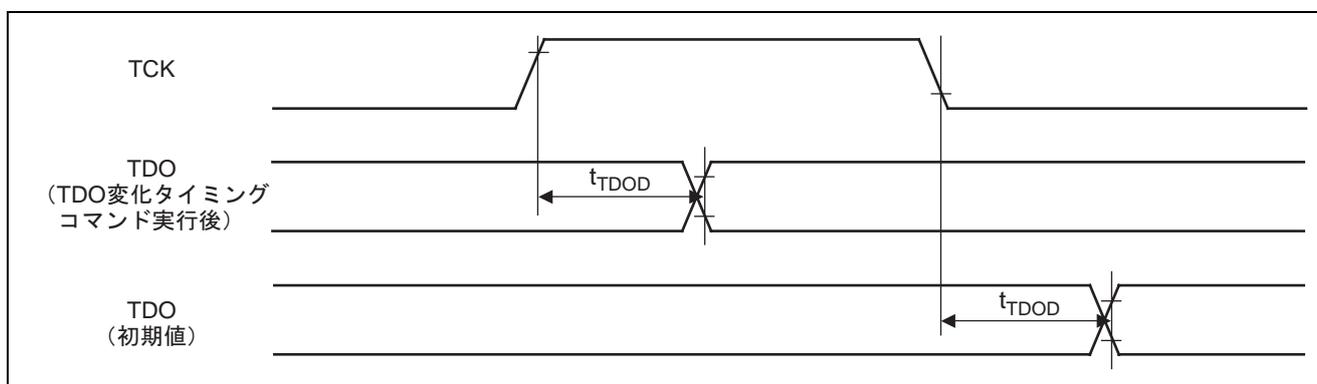


図 26.3 H-UDI データ転送タイミング

26.4.4 H-UDI リセット

H-UDI リセットは、SDIR へ H-UDI リセットアサートコマンドをセットすることにより発生します。H-UDI リセットはパワーオンリセットと同様のリセットです。H-UDI リセットネゲートコマンドをセットすることにより、H-UDI リセットが解除されます。H-UDI リセットアサートコマンドと H-UDI リセットネゲートコマンド間に必要な時間は、パワーオンリセットをかけるために $\overline{\text{RES}}$ 端子をローレベルに保つ時間と同じです。

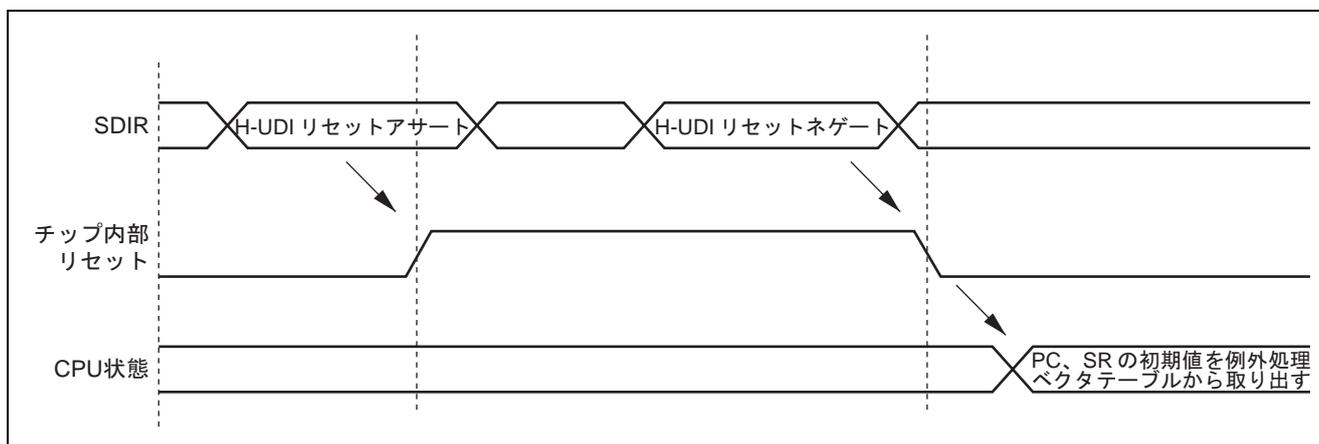


図 26.4 H-UDI リセット

26.4.5 H-UDI 割り込み

H-UDI 割り込み機能は SDIR へ H-UDI からのコマンドをセットすることにより割り込みを発生させます。H-UDI 割り込みは一般例外/割り込み動作であり、例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行します。この割り込み要求は固定優先順位 15 を持っています。

スリープモード中でも H-UDI 割り込みは受け付けられますが、ソフトウェアスタンバイモードでは H-UDI 割り込みは受け付けられません。

26.5 使用上の注意事項

1. H-UDIコマンドは、いったんセットされると他のコマンドがH-UDIから再セットされないかぎり変更されません。同じコマンドを連続してセットする場合は、チップ動作に影響のないコマンド (BYPASSモード等) をいったんセットしてから再度コマンドをセットする必要があります。
2. ソフトウェアスタンバイモード、H-UDIモジュールスタンバイ状態中は、H-UDIのすべての機能を使用することができません。また、スタンバイモードの前後でTAPの状態を保持するためには、スタンバイモード遷移の際、TCKをハイレベルにしておく必要があります。
3. H-UDIを使用する／しないにかかわらず、電源投入時は必ず $\overline{\text{TRST}}$ 端子をローレベルにしてH-UDIを初期化する必要があります。具体的には次のようにしてください。エミュレータを接続するボードでの $\overline{\text{TRST}}$ 端子の処理はエミュレータのマニュアルに従い、エミュレータを接続しないボードでは、 $\overline{\text{TRST}}$ 端子をプルダウンしてください。
4. $\overline{\text{RES}}$ 端子と $\overline{\text{TRST}}$ 端子の互いの信号変化は必ず $20t_{\text{cy}}以上$ 間隔を空けてください。
5. $\overline{\text{TRST}}$ 端子ネゲート後、TAPコントローラを動かす際は必ず 200ns 以上間隔を空けてください。
6. エミュレータを接続するボードでのTCK、TMS、TDI、TDO各端子の処理はエミュレータのマニュアルに従ってください。エミュレータを接続しないボードでは、TCK端子はプルアップし、TMS、TDI、TDO各端子はオープンにしてください。TMS、TDI各端子は入力専用端子ですが、LSI内部にプルアップ抵抗を実装しているため、オープンにしても問題ありません。

27. 内蔵 RAM

本 LSI は RAM モジュールを内蔵しており、命令やデータを格納することができます。

RAM イネーブルおよびライトイネーブルにより、メモリの動作およびライト動作を禁止することが可能です。

27.1 特長

- ページ
 - 4 ページ（ページ 0、1、2、3）存在します。
- メモリマップ
 - 本メモリは、表 27.1 のアドレス空間に配置されています。

表 27.1 内蔵 RAM アドレス空間

ページ	32K バイト
	アドレス
ページ 0	H'FFF80000~H'FFF81FFF
ページ 1	H'FFF82000~H'FFF83FFF
ページ 2	H'FFF84000~H'FFF85FFF
ページ 3	H'FFF86000~H'FFF87FFF

- ポート
 - 各ページは 2 本の独立した読み出し／書き込みポートを持ち、内部バス（I バス）、CPU 命令フェッチバス（F バス）、CPU メモリアクセスバス（M バス）と接続されています（ただし、F バスは読み出しポートのみに接続されています）。
 - CPU からのアクセスには F バスおよび M バス、DMAC からのアクセスには I バスが使用されます。
- 優先順位
 - 同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順に I バス、M バス、F バスとなります。

27.2 使用上の注意事項

27.2.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアccessの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば、バスごとに異なるページをアクセスすると競合は発生しません。

27.2.2 RAME ビット、RAMWE ビットについて

RAME ビットおよび RAMWE ビットの設定をディスエーブルする場合には、RAME ビットおよび RAMWE ビット設定前に必ず各ページに対して任意の同一アドレスのリード/ライトを実行してください。実行しない場合、各ページの最後に書かれたデータが RAM に書き込まれない可能性があります。

```
//ページ0に対して
MOV.L #H'FFF80000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ1に対して
MOV.L #H'FFF82000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ2に対して
MOV.L #H'FFF84000, R0
MOV.L @R0, R1
MOV.L R1, @R0

//ページ3に対して
MOV.L #H'FFF86000, R0
MOV.L @R0, R1
MOV.L R1, @R0
```

図 27.1 実行例

28. レジスタ一覧

レジスタ一覧では、本 LSI の内蔵 I/O レジスタの情報について、以下の構成で説明します。

1. レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）
 - 機能モジュールごと、マニュアルの章番号順にレジスタを記載します。
 - レジスタアドレス一覧に記載されていないリザーブアドレスのアクセスはしないでください。
 - アドレスは、16ビットまたは32ビットの場合、ビッグエンディアンを前提として、MSB側のアドレスを記載しています。
2. レジスタビット一覧
 - 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、各レジスタのビットの構成を記載しています。
 - リザーブビットは、ビット名称部に「-」で表記しています。
 - ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
3. 各動作モードにおけるレジスタの状態の一覧
 - 「レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）」の順序で、レジスタの状態を記載しています。
 - 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
 - 基本的な動作モード時のレジスタの状態を示しています。内蔵周辺モジュール固有のリセットがある場合は、内蔵周辺モジュールの章を参照してください。

4. 内蔵周辺モジュールのレジスタ書き込み時のご注意

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック（Pφ）で2サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために、STBCR レジスタの SYBY ビットを 1 に設定後 SLEEP 命令を実行する必要がありますが、SLEEP 命令の実行前に STBCR レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが 1 にセットされる前に CPU が SLEEP 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に同じレジスタのダミーリードを実施し、その後に目的の後続命令を実行してください。

28.1 レジスタアドレス一覧（機能モジュールごと、マニュアル章番号順）

アクセスサイズは、ビット数を示します。

【注】 未定義・リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

モジュール名	レジスタ名称	略称	ビット数	アドレス	アクセスサイズ
キャッシュ	キャッシュ制御レジスタ 1	CCR1	32	H'FFFC1000	32
	キャッシュ制御レジスタ 2	CCR2	32	H'FFFC1004	32
INTC	割り込みコントロールレジスタ 0	ICR0	16	H'FFFE0800	16/32
	割り込みコントロールレジスタ 1	ICR1	16	H'FFFE0802	16/32
	IRQ 割り込み要求レジスタ	IRQRR	16	H'FFFE0806	16/32
	バンクコントロールレジスタ	IBCR	16	H'FFFE080C	16/32
	バンク番号レジスタ	IBNR	16	H'FFFE080E	16/32
	割り込み優先レベル設定レジスタ 01	IPR01	16	H'FFFE0818	16/32
	割り込み優先レベル設定レジスタ 02	IPR02	16	H'FFFE081A	16/32
	割り込み優先レベル設定レジスタ 06	IPR06	16	H'FFFE0C00	16/32
	割り込み優先レベル設定レジスタ 07	IPR07	16	H'FFFE0C02	16/32
	割り込み優先レベル設定レジスタ 08	IPR08	16	H'FFFE0C04	16/32
	割り込み優先レベル設定レジスタ 09	IPR09	16	H'FFFE0C06	16/32
	割り込み優先レベル設定レジスタ 10	IPR10	16	H'FFFE0C08	16/32
	割り込み優先レベル設定レジスタ 11	IPR11	16	H'FFFE0C0A	16/32
	割り込み優先レベル設定レジスタ 12	IPR12	16	H'FFFE0C0C	16/32
	割り込み優先レベル設定レジスタ 13	IPR13	16	H'FFFE0C0E	16/32
	割り込み優先レベル設定レジスタ 14	IPR14	16	H'FFFE0C10	16/32
割り込み優先レベル設定レジスタ 15	IPR15	16	H'FFFE0C12	16/32	
割り込み優先レベル設定レジスタ 16	IPR16	16	H'FFFE0C14	16/32	
BSC	共通コントロールレジスタ	CMNCR	32	H'FFFC0000	32
	CS0 空間バスコントロールレジスタ	CS0BCR	32	H'FFFC0004	32
	CS3 空間バスコントロールレジスタ	CS3BCR	32	H'FFFC0010	32
	CS4 空間バスコントロールレジスタ	CS4BCR	32	H'FFFC0014	32
	CS5 空間バスコントロールレジスタ	CS5BCR	32	H'FFFC0018	32
	CS6 空間バスコントロールレジスタ	CS6BCR	32	H'FFFC001C	32
	CS0 空間ウェイトコントロールレジスタ	CS0WCR	32	H'FFFC0028	32
	CS3 空間ウェイトコントロールレジスタ	CS3WCR	32	H'FFFC0034	32
	CS4 空間ウェイトコントロールレジスタ	CS4WCR	32	H'FFFC0038	32
	CS5 空間ウェイトコントロールレジスタ	CS5WCR	32	H'FFFC003C	32
	CS6 空間ウェイトコントロールレジスタ	CS6WCR	32	H'FFFC0040	32

モジュール名	レジスタ名称	略称	ビット数	アドレス	アクセス サイズ
BSC	SDRAM コントロールレジスタ	SDCR	32	H'FFFC004C	32
	リフレッシュタイマコントロール/ステータスレジスタ	RTCSR	32	H'FFFC0050	32
	リフレッシュタイマカウンタ	RTCNT	32	H'FFFC0054	32
	リフレッシュタイムコンスタントレジスタ	RTCOR	32	H'FFFC0058	32
	内部バスマスタバス権優先順位設定レジスタ	IBMPR	32	H'FFFC1818	32
DMAC	DMA ソースアドレスレジスタ_0	SAR_0	32	H'FFFE1000	16/32
	DMA デスティネーションアドレスレジスタ_0	DAR_0	32	H'FFFE1004	16/32
	DMA トランスファカウンタレジスタ_0	DMATCR_0	32	H'FFFE1008	16/32
	DMA チャンネルコントロールレジスタ_0	CHCR_0	32	H'FFFE100C	8/16/32
	DMA ソースアドレスレジスタ_1	SAR_1	32	H'FFFE1010	16/32
	DMA デスティネーションアドレスレジスタ_1	DAR_1	32	H'FFFE1014	16/32
	DMA トランスファカウンタレジスタ_1	DMATCR_1	32	H'FFFE1018	16/32
	DMA チャンネルコントロールレジスタ_1	CHCR_1	32	H'FFFE101C	8/16/32
	DMA ソースアドレスレジスタ_2	SAR_2	32	H'FFFE1020	16/32
	DMA デスティネーションアドレスレジスタ_2	DAR_2	32	H'FFFE1024	16/32
	DMA トランスファカウンタレジスタ_2	DMATCR_2	32	H'FFFE1028	16/32
	DMA チャンネルコントロールレジスタ_2	CHCR_2	32	H'FFFE102C	8/16/32
	DMA ソースアドレスレジスタ_3	SAR_3	32	H'FFFE1030	16/32
	DMA デスティネーションアドレスレジスタ_3	DAR_3	32	H'FFFE1034	16/32
	DMA トランスファカウンタレジスタ_3	DMATCR_3	32	H'FFFE1038	16/32
	DMA チャンネルコントロールレジスタ_3	CHCR_3	32	H'FFFE103C	8/16/32
	DMA ソースアドレスレジスタ_4	SAR_4	32	H'FFFE1040	16/32
	DMA デスティネーションアドレスレジスタ_4	DAR_4	32	H'FFFE1044	16/32
	DMA トランスファカウンタレジスタ_4	DMATCR_4	32	H'FFFE1048	16/32
	DMA チャンネルコントロールレジスタ_4	CHCR_4	32	H'FFFE104C	8/16/32
	DMA ソースアドレスレジスタ_5	SAR_5	32	H'FFFE1050	16/32
	DMA デスティネーションアドレスレジスタ_5	DAR_5	32	H'FFFE1054	16/32
	DMA トランスファカウンタレジスタ_5	DMATCR_5	32	H'FFFE1058	16/32
	DMA チャンネルコントロールレジスタ_5	CHCR_5	32	H'FFFE105C	8/16/32
	DMA ソースアドレスレジスタ_6	SAR_6	32	H'FFFE1060	16/32
	DMA デスティネーションアドレスレジスタ_6	DAR_6	32	H'FFFE1064	16/32
	DMA トランスファカウンタレジスタ_6	DMATCR_6	32	H'FFFE1068	16/32
	DMA チャンネルコントロールレジスタ_6	CHCR_6	32	H'FFFE106C	8/16/32
DMA ソースアドレスレジスタ_7	SAR_7	32	H'FFFE1070	16/32	
DMA デスティネーションアドレスレジスタ_7	DAR_7	32	H'FFFE1074	16/32	
DMA トランスファカウンタレジスタ_7	DMATCR_7	32	H'FFFE1078	16/32	

モジュール名	レジスタ名称	略称	ビット数	アドレス	アクセス サイズ
DMAC	DMA チャネルコントロールレジスタ_7	CHCR_7	32	H'FFFE107C	8/16/32
	DMA リロードソースアドレスレジスタ_0	RSAR_0	32	H'FFFE1100	16/32
	DMA リロードデスティネーションアドレスレジスタ_0	RDAR_0	32	H'FFFE1104	16/32
	DMA リロードトランスファカウントレジスタ_0	RDMATCR_0	32	H'FFFE1108	16/32
	DMA リロードソースアドレスレジスタ_1	RSAR_1	32	H'FFFE1110	16/32
	DMA リロードデスティネーションアドレスレジスタ_1	RDAR_1	32	H'FFFE1114	16/32
	DMA リロードトランスファカウントレジスタ_1	RDMATCR_1	32	H'FFFE1118	16/32
	DMA リロードソースアドレスレジスタ_2	RSAR_2	32	H'FFFE1120	16/32
	DMA リロードデスティネーションアドレスレジスタ_2	RDAR_2	32	H'FFFE1124	16/32
	DMA リロードトランスファカウントレジスタ_2	RDMATCR_2	32	H'FFFE1128	16/32
	DMA リロードソースアドレスレジスタ_3	RSAR_3	32	H'FFFE1130	16/32
	DMA リロードデスティネーションアドレスレジスタ_3	RDAR_3	32	H'FFFE1134	16/32
	DMA リロードトランスファカウントレジスタ_3	RDMATCR_3	32	H'FFFE1138	16/32
	DMA リロードソースアドレスレジスタ_4	RSAR_4	32	H'FFFE1140	16/32
	DMA リロードデスティネーションアドレスレジスタ_4	RDAR_4	32	H'FFFE1144	16/32
	DMA リロードトランスファカウントレジスタ_4	RDMATCR_4	32	H'FFFE1148	16/32
	DMA リロードソースアドレスレジスタ_5	RSAR_5	32	H'FFFE1150	16/32
	DMA リロードデスティネーションアドレスレジスタ_5	RDAR_5	32	H'FFFE1154	16/32
	DMA リロードトランスファカウントレジスタ_5	RDMATCR_5	32	H'FFFE1158	16/32
	DMA リロードソースアドレスレジスタ_6	RSAR_6	32	H'FFFE1160	16/32
	DMA リロードデスティネーションアドレスレジスタ_6	RDAR_6	32	H'FFFE1164	16/32
	DMA リロードトランスファカウントレジスタ_6	RDMATCR_6	32	H'FFFE1168	16/32
	DMA リロードソースアドレスレジスタ_7	RSAR_7	32	H'FFFE1170	16/32
	DMA リロードデスティネーションアドレスレジスタ_7	RDAR_7	32	H'FFFE1174	16/32
	DMA リロードトランスファカウントレジスタ_7	RDMATCR_7	32	H'FFFE1178	16/32
	DMA オペレーションレジスタ	DMAOR	16	H'FFFE1200	8/16
	DM 拡張リソースセクタ 0	DMARS0	16	H'FFFE1300	16
	DM 拡張リソースセクタ 1	DMARS1	16	H'FFFE1304	16
	DM 拡張リソースセクタ 2	DMARS2	16	H'FFFE1308	16
	DM 拡張リソースセクタ 3	DMARS3	16	H'FFFE130C	16
CPG	周波数制御レジスタ	FRQCR	16	H'FFFE0010	16
WDT	ウォッチドッグタイマコントロール/ステータスレジスタ	WTCSR	8	H'FFFE0000	16
	ウォッチドッグタイマカウンタ	WTCNT	8	H'FFFE0002	16
	ウォッチドッグリセットコントロール/ステータスレジスタ	WRCSR	8	H'FFFE0004	16

モジュール名	レジスタ名称	略称	ビット数	アドレス	アクセス サイズ
低消費電力 モード	スタンバイコントロールレジスタ	STBCR	8	H'FFFE0014	8
	スタンバイコントロールレジスタ 2	STBCR2	8	H'FFFE0018	8
	システムコントロールレジスタ 1	SYSCR1	8	H'FFFE0402	8
	システムコントロールレジスタ 2	SYSCR2	8	H'FFFE0404	8
	スタンバイコントロールレジスタ 3	STBCR3	8	H'FFFE0408	8
	スタンバイコントロールレジスタ 4	STBCR4	8	H'FFFE040C	8
	システムコントロールレジスタ 3	SYSCR3	8	H'FFFE0418	8
EtherC	EtherC モードレジスタ	ECMR	32	H'FFFC2160	32
	EtherC ステータスレジスタ	ECSR	32	H'FFFC2164	32
	EtherC 割り込み許可レジスタ	ECSIPR	32	H'FFFC2168	32
	PHY 部インタフェースレジスタ	PIR	32	H'FFFC216C	32
	MAC アドレス上位設定レジスタ	MAHR	32	H'FFFC2170	32
	MAC アドレス下位設定レジスタ	MALR	32	H'FFFC2174	32
	受信フレーム長上限レジスタ	RFLR	32	H'FFFC2178	32
	PHY 部ステータスレジスタ	PSR	32	H'FFFC217C	32
	送信リトライオーバーカウンタレジスタ	TROCR	32	H'FFFC2180	32
	遅延衝突検出カウンタレジスタ	CDCR	32	H'FFFC2184	32
	キャリア消失カウンタレジスタ	LCCR	32	H'FFFC2188	32
	キャリア未検出カウンタレジスタ	CNDCR	32	H'FFFC218C	32
	CRC エラーフレーム受信カウンタレジスタ	CEFCR	32	H'FFFC2194	32
	フレーム受信エラーカウンタレジスタ	FRECR	32	H'FFFC2198	32
	64 バイト未満フレーム受信カウンタレジスタ	TSFRCR	32	H'FFFC219C	32
	指定バイト超フレーム受信カウンタレジスタ	TLFRRCR	32	H'FFFC21A0	32
	端数ビットフレーム受信カウンタレジスタ	RFCR	32	H'FFFC21A4	32
	マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR	32	H'FFFC21A8	32
	IPG 設定レジスタ	IPGR	32	H'FFFC21B4	32
	自動 PAUSE フレーム設定レジスタ	APR	32	H'FFFC21B8	32
手動 PAUSE フレーム設定レジスタ	MPR	32	H'FFFC21BC	32	
自動 PAUSE フレーム再送回数設定レジスタ	TPAUSER	32	H'FFFC21C4	32	
E-DMAC	E-DMAC モードレジスタ	EDMR	32	H'FFFC2000	32
	E-DMAC 送信要求レジスタ	EDTRR	32	H'FFFC2004	32
	E-DMAC 受信要求レジスタ	EDRRR	32	H'FFFC2008	32
	送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR	32	H'FFFC200C	32
	受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR	32	H'FFFC2010	32
	EtherC/E-DMAC ステータスレジスタ	EESR	32	H'FFFC2014	32
	EtherC/E-DMAC ステータス割り込み許可レジスタ	EESIPR	32	H'FFFC2018	32

モジュール名	レジスタ名称	略称	ビット数	アドレス	アクセス サイズ
E-DMAC	送受信ステータスコピー指示レジスタ	TRSCER	32	H'FFFC201C	32
	ミスドフレームカウンタレジスタ	RMFCR	32	H'FFFC2020	32
	送信 FIFO しきい値指定レジスタ	TFTR	32	H'FFFC2024	32
	FIFO 容量指定レジスタ	FDR	32	H'FFFC2028	32
	受信方式制御レジスタ	RMCR	32	H'FFFC202C	32
	E-DMAC 動作制御レジスタ	EDOCR	32	H'FFFC2030	32
	フロー制御開始 FIFO しきい値設定レジスタ	FCFTR	32	H'FFFC2034	32
	受信データパディング挿入設定レジスタ	RPADIR	32	H'FFFC2038	32
	送信割り込み設定レジスタ	TRIMD	32	H'FFFC203C	32
	受信バッファライトアドレスレジスタ	RBWAR	32	H'FFFC2040	32
	受信ディスクリプタフェッチアドレスレジスタ	RDFAR	32	H'FFFC2044	32
	送信バッファリードアドレスレジスタ	TBRAR	32	H'FFFC204C	32
	送信ディスクリプタフェッチアドレスレジスタ	TDFAR	32	H'FFFC2050	32
	チェックサムモードレジスタ	CSMR	32	H'FFFC20E4	32
	チェックサムスキップ済みバイト数モニタレジスタ	CSSBM	32	H'FFFC20E8	32
	チェックサムモニタレジスタ	CSSMR	32	H'FFFC20EC	32
A-DMAC	チャンネル0 処理制御レジスタ	C0C	32	H'FFFC2440	32
	チャンネル0 処理モードレジスタ	C0M	32	H'FFFC2444	32
	チャンネル0 処理割り込み要求レジスタ	C0I	32	H'FFFC2448	32
	チャンネル0 処理ディスクリプタ開始アドレスレジスタ	C0DSA	32	H'FFFC247C	32
	チャンネル0 処理ディスクリプタ現在アドレスレジスタ	C0DCA	32	H'FFFC2480	32
	チャンネル0 処理ディスクリプタ0 レジスタ	C0D0	32	H'FFFC2484	32
	チャンネル0 処理ディスクリプタ1 レジスタ	C0D1	32	H'FFFC2488	32
	チャンネル0 処理ディスクリプタ2 レジスタ	C0D2	32	H'FFFC248C	32
	チャンネル0 処理ディスクリプタ3 レジスタ	C0D3	32	H'FFFC2490	32
	チャンネル0 処理ディスクリプタ4 レジスタ	C0D4	32	H'FFFC2494	32
	チャンネル1 処理制御レジスタ	C1C	32	H'FFFC24B0	32
	チャンネル1 処理モードレジスタ	C1M	32	H'FFFC24B4	32
	チャンネル1 処理割り込み要求レジスタ	C1I	32	H'FFFC24B8	32
	チャンネル1 処理ディスクリプタ開始アドレスレジスタ	C1DSA	32	H'FFFC24EC	32
	チャンネル1 処理ディスクリプタ現在アドレスレジスタ	C1DCA	32	H'FFFC24F0	32
	チャンネル1 処理ディスクリプタ0 レジスタ	C1D0	32	H'FFFC24F4	32
	チャンネル1 処理ディスクリプタ1 レジスタ	C1D1	32	H'FFFC24F8	32
	チャンネル1 処理ディスクリプタ2 レジスタ	C1D2	32	H'FFFC24FC	32
	チャンネル1 処理ディスクリプタ3 レジスタ	C1D3	32	H'FFFC2500	32
	チャンネル1 処理ディスクリプタ4 レジスタ	C1D4	32	H'FFFC2504	32

モジュール名	レジスタ名称	略称	ビット数	アドレス	アクセス サイズ
A-DMAC	FEC DMAC 処理制御レジスタ	FECC	32	H'FFFC2590	32
	FEC DMAC 処理割り込み要求レジスタ	FECI	32	H'FFFC2594	32
	FEC DMAC 処理ディスクリプタ開始アドレスレジスタ	FECDSA	32	H'FFFC2598	32
	FEC DMAC 処理ディスクリプタ現在アドレスレジスタ	FECDCA	32	H'FFFC259C	32
	FEC DMAC 処理ディスクリプタ 0 レジスタ	FECD00	32	H'FFFC25A0	32
	FEC DMAC 処理ディスクリプタ 1 レジスタ	FECD01D0A	32	H'FFFC25A4	32
	FEC DMAC 処理ディスクリプタ 2 レジスタ	FECD02S0A	32	H'FFFC25A8	32
	FEC DMAC 処理ディスクリプタ 3 レジスタ	FECD03S1A	32	H'FFFC25AC	32
STIF0	STIF モードセレクトレジスタ_0	STMDR_0	32	H'FFFFD000	32
	STIF 制御レジスタ_0	STCTRL_0	32	H'FFFFD004	32
	STIF 内部カウンタ制御レジスタ_0	STCNTCR_0	32	H'FFFFD008	32
	STIF 内部カウンタ値設定レジスタ_0	STCNTVR_0	32	H'FFFFD00C	32
	STIF ステータスレジスタ_0	STSTR_0	32	H'FFFFD010	32
	STIF 割り込みイネーブルレジスタ_0	STIER_0	32	H'FFFFD014	32
	STIF 転送サイズレジスタ_0	STSIZE_0	32	H'FFFFD018	32
	STIF PWM モードレジスタ_0	STPWMMR_0	32	H'FFFFD020	32
	STIF PWM コントロールレジスタ_0	STPWMCR_0	32	H'FFFFD024	32
	STIF PWM レジスタ_0	STPWMR_0	32	H'FFFFD028	32
	STIF PCR0 レジスタ_0	STPCR0R_0	32	H'FFFFD02C	32
	STIF PCR1 レジスタ_0	STPCR1R_0	32	H'FFFFD030	32
	STIF STC0 レジスタ_0	STSTC0R_0	32	H'FFFFD034	32
	STIF STC1 レジスタ_0	STSTC1R_0	32	H'FFFFD038	32
	STIF ロックコントロールレジスタ_0	STLKCR_0	32	H'FFFFD03C	32
	STIF デバッグ用ステータスレジスタ_0	STDBG_0	32	H'FFFFD060	32
STIF1	STIF モードセレクトレジスタ_1	STMDR_1	32	H'FFFFD800	32
	STIF 制御レジスタ_1	STCTRL_1	32	H'FFFFD804	32
	STIF 内部カウンタ制御レジスタ_1	STCNTCR_1	32	H'FFFFD808	32
	STIF 内部カウンタ値設定レジスタ_1	STCNTVR_1	32	H'FFFFD80C	32
	STIF ステータスレジスタ_1	STSTR_1	32	H'FFFFD810	32
	STIF 割り込みイネーブルレジスタ_1	STIER_1	32	H'FFFFD814	32
	STIF 転送サイズレジスタ_1	STSIZE_1	32	H'FFFFD818	32
	STIF PWM モードレジスタ_1	STPWMMR_1	32	H'FFFFD820	32
	STIF PWM コントロールレジスタ_1	STPWMCR_1	32	H'FFFFD824	32
	STIF PWM レジスタ_1	STPWMR_1	32	H'FFFFD828	32
	STIF PCR0 レジスタ_1	STPCR0R_1	32	H'FFFFD82C	32
	STIF PCR1 レジスタ_1	STPCR1R_1	32	H'FFFFD830	32

モジュール名	レジスタ名称	略称	ビット数	アドレス	アクセス サイズ
STIF1	STIF STC0 レジスタ_1	STSTC0R_1	32	H'FFFFD834	32
	STIF STC1 レジスタ_1	STSTC1R_1	32	H'FFFFD838	32
	STIF ロックコントロールレジスタ_1	STLKCR_1	32	H'FFFFD83C	32
	STIF デバッグ用ステータスレジスタ_1	STDBG_1	32	H'FFFFD860	32
SSI	SSI クロック選択レジスタ_0	SCSR_0	16	H'FFFF0000	16
	SSI クロック選択レジスタ_1	SCSR_1	16	H'FFFF0800	16
	コントロールレジスタ_0	SSICR_0	32	H'FFFFC000	32
	ステータスレジスタ_0	SSISR_0	32	H'FFFFC004	32
	トランスミットデータレジスタ_0	SSITDR_0	32	H'FFFFC008	32
	レシーブデータレジスタ_0	SSIRDR_0	32	H'FFFFC00C	32
	コントロールレジスタ_1	SSICR_1	32	H'FFFFC800	32
	ステータスレジスタ_1	SSISR_1	32	H'FFFFC804	32
	トランスミットデータレジスタ_1	SSITDR_1	32	H'FFFFC808	32
	レシーブデータレジスタ_1	SSIRDR_1	32	H'FFFFC80C	32
USB	D0FIFO バスウェイト設定レジスタ	D0FWAIT	16	H'FFFC1C0C	16
	D1FIFO バスウェイト設定レジスタ	D1FWAIT	16	H'FFFC1C0E	16
	D0FIFO ポートレジスタ	D0FIFO	32	H'FFFC1C14	32
	D1FIFO ポートレジスタ	D1FIFO	32	H'FFFC1C18	32
	システムコンフィグレーションコントロールレジスタ	SYSCFG	16	H'FFFFF800	16
	CPU バスウェイト設定レジスタ	BUSWAIT	16	H'FFFFF802	16
	システムコンフィグレーションステータスレジスタ	SYSSTS	16	H'FFFFF804	16
	デバイスコントロールレジスタ	DVSTCTR	16	H'FFFFF808	16
	テストモードレジスタ	TESTMODE	16	H'FFFFF80C	16
	D0FIFO バスコンフィグレーションレジスタ	D0FBCFG	16	H'FFFFF810	16
	D1FIFO バスコンフィグレーションレジスタ	D1FBCFG	16	H'FFFFF812	16
	CFIFO ポートレジスタ	CFIFO	32	H'FFFFF814	8/16/32
	CFIFO ポート選択レジスタ	CFIFOSEL	16	H'FFFFF820	16
	CFIFO ポートコントロールレジスタ	CFIFOCTR	16	H'FFFFF822	16
	D0CFIFO ポート選択レジスタ	D0FIFOSEL	16	H'FFFFF828	16
	D0CFIFO ポートコントロールレジスタ	D0FIFOCTR	16	H'FFFFF82A	16
	D1CFIFO ポート選択レジスタ	D1FIFOSEL	16	H'FFFFF82C	16
	D1CFIFO ポートコントロールレジスタ	D1FIFOCTR	16	H'FFFFF82E	16
	割り込み許可レジスタ 0	INTENB0	16	H'FFFFF830	16
	割り込み許可レジスタ 1	INTENB1	16	H'FFFFF832	16
BRDY 割り込み許可レジスタ	BRDYENB	16	H'FFFFF836	16	
NRDY 割り込み許可レジスタ	NRDYENB	16	H'FFFFF838	16	

モジュール名	レジスタ名称	略称	ビット数	アドレス	アクセス サイズ
USB	BEMP 割り込み許可レジスタ	BEMPENB	16	H'FFFFFF83A	16
	SOF 出力コンフィグレーションレジスタ	SOFCFG	16	H'FFFFFF83C	16
	割り込みステータスレジスタ 0	INTSTS0	16	H'FFFFFF840	16
	割り込みステータスレジスタ 1	INTSTS1	16	H'FFFFFF842	16
	BRDY 割り込みステータスレジスタ	BRDYSTS	16	H'FFFFFF846	16
	NRDY 割り込みステータスレジスタ	NRDYSTS	16	H'FFFFFF848	16
	BEMP 割り込みステータスレジスタ	BEMPSTS	16	H'FFFFFF84A	16
	フレームナンバレジスタ	FRMNUM	16	H'FFFFFF84C	16
	μフレームナンバレジスタ	UFRMNUM	16	H'FFFFFF84E	16
	USB アドレスレジスタ	USBADDR	16	H'FFFFFF850	16
	USB リクエストタイプレジスタ	USBREQ	16	H'FFFFFF854	16
	USB リクエストバリュージスタ	USBVAL	16	H'FFFFFF856	16
	USB リクエストインデックスレジスタ	USBINDX	16	H'FFFFFF858	16
	USB リクエストレンガレジスタ	USBLENG	16	H'FFFFFF85A	16
	DCP コンフィグレーションレジスタ	DCPCFG	16	H'FFFFFF85C	16
	DCP マックスパケットサイズレジスタ	DCPMAXP	16	H'FFFFFF85E	16
	DCP コントロールレジスタ	DCPCTR	16	H'FFFFFF860	16
	パイプウィンドウ選択レジスタ	PIPESEL	16	H'FFFFFF864	16
	パイプコンフィグレーションレジスタ	PIPECFG	16	H'FFFFFF868	16
	パイプバッファ指定レジスタ	PIPEBUF	16	H'FFFFFF86A	16
	パイプマックスパケットサイズレジスタ	PIPEMAXP	16	H'FFFFFF86C	16
	パイプ周期制御レジスタ	PIPEPERI	16	H'FFFFFF86E	16
	PIPE1 コントロールレジスタ	PIPE1CTR	16	H'FFFFFF870	16
	PIPE2 コントロールレジスタ	PIPE2CTR	16	H'FFFFFF872	16
	PIPE3 コントロールレジスタ	PIPE3CTR	16	H'FFFFFF874	16
	PIPE4 コントロールレジスタ	PIPE4CTR	16	H'FFFFFF876	16
	PIPE5 コントロールレジスタ	PIPE5CTR	16	H'FFFFFF878	16
	PIPE6 コントロールレジスタ	PIPE6CTR	16	H'FFFFFF87A	16
	PIPE7 コントロールレジスタ	PIPE7CTR	16	H'FFFFFF87C	16
	PIPE8 コントロールレジスタ	PIPE8CTR	16	H'FFFFFF87E	16
	PIPE9 コントロールレジスタ	PIPE9CTR	16	H'FFFFFF880	16
	PIPE1 トランザクションカウンタインエーブルレジスタ	PIPE1TRE	16	H'FFFFFF890	16
	PIPE1 トランザクションカウンタレジスタ	PIPE1TRN	16	H'FFFFFF892	16
PIPE2 トランザクションカウンタインエーブルレジスタ	PIPE2TRE	16	H'FFFFFF894	16	
PIPE2 トランザクションカウンタレジスタ	PIPE2TRN	16	H'FFFFFF896	16	
PIPE3 トランザクションカウンタインエーブルレジスタ	PIPE3TRE	16	H'FFFFFF898	16	

モジュール名	レジスタ名称	略称	ビット数	アドレス	アクセス サイズ
USB	PIPE3 トランザクションカウンタレジスタ	PIPE3TRN	16	H'FFFFFF89A	16
	PIPE4 トランザクションカウンタイネーブルレジスタ	PIPE4TRE	16	H'FFFFFF89C	16
	PIPE4 トランザクションカウンタレジスタ	PIPE4TRN	16	H'FFFFFF89E	16
	PIPE5 トランザクションカウンタイネーブルレジスタ	PIPE5TRE	16	H'FFFFFF8A0	16
	PIPE5 トランザクションカウンタレジスタ	PIPE5TRN	16	H'FFFFFF8A2	16
	デバイスアドレス0 コンフィグレーションレジスタ	DEVADD0	16	H'FFFFFF8D0	16
	デバイスアドレス1 コンフィグレーションレジスタ	DEVADD1	16	H'FFFFFF8D2	16
	デバイスアドレス2 コンフィグレーションレジスタ	DEVADD2	16	H'FFFFFF8D4	16
	デバイスアドレス3 コンフィグレーションレジスタ	DEVADD3	16	H'FFFFFF8D6	16
	デバイスアドレス4 コンフィグレーションレジスタ	DEVADD4	16	H'FFFFFF8D8	16
	デバイスアドレス5 コンフィグレーションレジスタ	DEVADD5	16	H'FFFFFF8DA	16
	デバイスアドレス6 コンフィグレーションレジスタ	DEVADD6	16	H'FFFFFF8DC	16
	デバイスアドレス7 コンフィグレーションレジスタ	DEVADD7	16	H'FFFFFF8DE	16
	デバイスアドレス8 コンフィグレーションレジスタ	DEVADD8	16	H'FFFFFF8E0	16
	デバイスアドレス9 コンフィグレーションレジスタ	DEVADD9	16	H'FFFFFF8E2	16
デバイスアドレスA コンフィグレーションレジスタ	DEVADDA	16	H'FFFFFF8E4	16	
IIC3	I ² C バスコントロールレジスタ 1_0	ICCR1_0	8	H'FFFEE000	8
	I ² C バスコントロールレジスタ 2_0	ICCR2_0	8	H'FFFEE001	8
	I ² C バスモードレジスタ_0	ICMR_0	8	H'FFFEE002	8
	I ² C バスインタラプトイネーブルレジスタ_0	ICIER_0	8	H'FFFEE003	8
	I ² C バスステータスレジスタ_0	ICSR_0	8	H'FFFEE004	8
	スレーブアドレスレジスタ_0	SAR_0	8	H'FFFEE005	8
	I ² C バス送信データレジスタ_0	ICDRT_0	8	H'FFFEE006	8
	I ² C バス受信データレジスタ_0	ICDRR_0	8	H'FFFEE007	8
	NF2CYC レジスタ_0	NF2CYC_0	8	H'FFFEE008	8
HIF	HIF インデックスレジスタ	HIFIDX	32	H'FFFFE000	32
	HIF 汎用ステータスレジスタ	HIFGSR	32	H'FFFFE004	32
	HIF ステータス/コントロールレジスタ	HIFSCR	32	H'FFFFE008	32
	HIF メモリ制御レジスタ	HIFMCR	32	H'FFFFE00C	32
	HIF 内部割り込み制御レジスタ	HIFICR	32	H'FFFFE010	32
	HIF 外部割り込み制御レジスタ	HIFEICR	32	H'FFFFE014	32
	HIF アドレスレジスタ	HIFADR	32	H'FFFFE018	32
	HIF データレジスタ	HIFDATA	32	H'FFFFE01C	32
	HIF DREQ トリガレジスタ	HIFDTR	32	H'FFFFE020	32
	HIF バンク割り込み制御レジスタ	HIFBICR	32	H'FFFFE024	32
	HIF ブート制御レジスタ	HIFBCR	32	H'FFFFE040	32

モジュール名	レジスタ名称	略称	ビット数	アドレス	アクセス サイズ
CMT	コンペアマッチタイマスタートレジスタ	CMSTR	16	H'FFFE000	16
	コンペアマッチタイマコントロール/ステータスレジスタ_0	CMCSR_0	16	H'FFFE002	16
	コンペアマッチカウンタ_0	CMCNT_0	16	H'FFFE004	16
	コンペアマッチコンスタントレジスタ_0	CMCOR_0	16	H'FFFE006	16
	コンペアマッチタイマコントロール/ステータスレジスタ_1	CMCSR_1	16	H'FFFE008	16
	コンペアマッチカウンタ_1	CMCNT_1	16	H'FFFE00A	16
	コンペアマッチコンスタントレジスタ_1	CMCOR_1	16	H'FFFE00C	16
SCIF0	シリアルモードレジスタ_0	SCSMR_0	16	H'FFFE8000	16
	ビットレートレジスタ_0	SCBRR_0	8	H'FFFE8004	8
	シリアルコントロールレジスタ_0	SCSCR_0	16	H'FFFE8008	16
	送信 FIFO データレジスタ_0	SCFTDR_0	8	H'FFFE800C	8
	シリアルステータスレジスタ_0	SCFSR_0	16	H'FFFE8010	16
	受信 FIFO データレジスタ_0	SCFRDR_0	8	H'FFFE8014	8
	FIFO コントロールレジスタ_0	SCFCR_0	16	H'FFFE8018	16
	FIFO データカウントセットレジスタ_0	SCFDR_0	16	H'FFFE801C	16
	シリアルポートレジスタ_0	SCSPTR_0	16	H'FFFE8020	16
	ラインステータスレジスタ_0	SCLSR_0	16	H'FFFE8024	16
SCIF1	シリアルモードレジスタ_1	SCSMR_1	16	H'FFFE8800	16
	ビットレートレジスタ_1	SCBRR_1	8	H'FFFE8804	8
	シリアルコントロールレジスタ_1	SCSCR_1	16	H'FFFE8808	16
	送信 FIFO データレジスタ_1	SCFTDR_1	8	H'FFFE880C	8
	シリアルステータスレジスタ_1	SCFSR_1	16	H'FFFE8810	16
	受信 FIFO データレジスタ_1	SCFRDR_1	8	H'FFFE8814	8
	FIFO コントロールレジスタ_1	SCFCR_1	16	H'FFFE8818	16
	FIFO データカウントセットレジスタ_1	SCFDR_1	16	H'FFFE881C	16
	シリアルポートレジスタ_1	SCSPTR_1	16	H'FFFE8820	16
	ラインステータスレジスタ_1	SCLSR_1	16	H'FFFE8824	16
SCIF2	シリアルモードレジスタ_2	SCSMR_2	16	H'FFFE9000	16
	ビットレートレジスタ_2	SCBRR_2	8	H'FFFE9004	8
	シリアルコントロールレジスタ_2	SCSCR_2	16	H'FFFE9008	16
	送信 FIFO データレジスタ_2	SCFTDR_2	8	H'FFFE900C	8
	シリアルステータスレジスタ_2	SCFSR_2	16	H'FFFE9010	16
	受信 FIFO データレジスタ_2	SCFRDR_2	8	H'FFFE9014	8

モジュール名	レジスタ名称	略称	ビット数	アドレス	アクセス サイズ
SCIF2	FIFO コントロールレジスタ_2	SCFCR_2	16	H'FFFE9018	16
	FIFO データカウントセットレジスタ_2	SCFDR_2	16	H'FFFE901C	16
	シリアルポートレジスタ_2	SCSPTR_2	16	H'FFFE9020	16
	ラインステータスレジスタ_2	SCLSR_2	16	H'FFFE9024	16
I/O	ポート A データレジスタ H	PADRH	16	H'FFFE3800	8/16
	ポート A・IO レジスタ H	PAIORH	16	H'FFFE3804	8/16
	ポート A コントロールレジスタ H2	PACRH2	16	H'FFFE3808	8/16
	ポート A コントロールレジスタ H1	PACRH1	16	H'FFFE380A	8/16
	ポート B データレジスタ L	PBDRL	16	H'FFFE3882	8/16
	ポート B・IO レジスタ L	PBIORL	16	H'FFFE3886	8/16
	ポート B コントロールレジスタ L1	PBCRL1	16	H'FFFE388E	8/16
	ポート C データレジスタ H	PCDRH	16	H'FFFE3900	8/16
	ポート C データレジスタ L	PCDRL	16	H'FFFE3902	8/16
	ポート C・IO レジスタ H	PCIORH	16	H'FFFE3904	8/16
	ポート C・IO レジスタ L	PCIORL	16	H'FFFE3906	8/16
	ポート C コントロールレジスタ H1	PCCRH1	16	H'FFFE390A	8/16
	ポート C コントロールレジスタ L2	PCCL2	16	H'FFFE390C	8/16
	ポート C コントロールレジスタ L1	PCCL1	16	H'FFFE390E	8/16
	ポート D データレジスタ L	PDDRL	16	H'FFFE3982	8/16
	ポート D・IO レジスタ L	PDIORL	16	H'FFFE3986	8/16
	ポート D コントロールレジスタ L1	PDCRL1	16	H'FFFE398E	8/16
	ポート E データレジスタ L	PEDRL	16	H'FFFE3A02	8/16
	ポート E・IO レジスタ L	PEIORL	16	H'FFFE3A06	8/16
	ポート E コントロールレジスタ L2	PECRL2	16	H'FFFE3A0C	8/16
	ポート E コントロールレジスタ L1	PECRL1	16	H'FFFE3A0E	8/16
	ポート F データレジスタ L	PFDR_L	16	H'FFFE3A82	8/16
	ポート F・IO レジスタ L	PFIORL	16	H'FFFE3A86	8/16
	ポート F コントロールレジスタ L2	PFCRL2	16	H'FFFE3A8C	8/16
	ポート F コントロールレジスタ L1	PFCRL1	16	H'FFFE3A8E	8/16
	ポート G データレジスタ H	PGDRH	16	H'FFFE3B00	8/16
	ポート G データレジスタ L	PGDRL	16	H'FFFE3B02	8/16
	ポート G・IO レジスタ H	PGIORH	16	H'FFFE3B04	8/16
	ポート G・IO レジスタ L	PGIORL	16	H'FFFE3B06	8/16
	ポート G コントロールレジスタ H2	PGCRH2	16	H'FFFE3B0A	8/16
	ポート G コントロールレジスタ L2	PGCL2	16	H'FFFE3B0C	8/16
	ポート G コントロールレジスタ L1	PGCL1	16	H'FFFE3B0E	8/16

モジュール名	レジスタ名称	略称	ビット数	アドレス	アクセス サイズ
UBC	ブレークアドレスレジスタ_0	BAR_0	32	H'FFFC0400	32
	ブレークアドレスマスクレジスタ_0	BAMR_0	32	H'FFFC0404	32
	ブレークデータレジスタ_0	BDR_0	32	H'FFFC0408	32
	ブレークデータマスクレジスタ_0	BDMR_0	32	H'FFFC040C	32
	ブレークアドレスレジスタ_1	BAR_1	32	H'FFFC0410	32
	ブレークアドレスマスクレジスタ_1	BAMR_1	32	H'FFFC0414	32
	ブレークデータレジスタ_1	BDR_1	32	H'FFFC0418	32
	ブレークデータマスクレジスタ_1	BDMR_1	32	H'FFFC041C	32
	ブレークバスサイクルレジスタ_0	BBR_0	16	H'FFFC04A0	16
	ブレークバスサイクルレジスタ_1	BBR_1	16	H'FFFC04B0	16
	ブレークコントロールレジスタ	BRCR	32	H'FFFC04C0	32
H-JDI	インストラクションレジスタ	SDIR	16	H'FFFE2000	16

28.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
キャッシュ	CCR1	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	ICF	—	—	ICE
		—	—	—	—	OCF	—	WT	OCE
	CCR2	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	W3LORD	W3LOCK
		—	—	—	—	—	—	W2LORD	W2LOCK
INTC	ICR0	NMIL	—	—	—	—	—	—	NMIE
		—	—	—	—	—	—	—	—
	ICR1	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S
		IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
	IRQRR	—	—	—	—	—	—	—	—
		IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
	IBCR	E15	E14	E13	E12	E11	E10	E9	E8
		E7	E6	E5	E4	E3	E2	E1	—
	IBNR	BE1	BE0	BOVE	—	—	—	—	—
		—	—	—	—	BN3	BN2	BN1	BN0
	IPR01								
	IPR02								
	IPR06								
	IPR07								
	IPR08								
IPR09									
IPR10									

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
INTC	IPR11								
	IPR12								
	IPR13								
	IPR14								
	IPR15								
	IPR16								
BSC	CMNCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	DMAIW2
		DMAIW1	DMAIW0	DMAIWA	–	–	–	HIZMEM	HIZCNT
	CS0BCR	–	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2
		IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0
		–	TYPE2	TYPE1	TYPE0	ENDIAN	BSZ1	BSZ0	–
		–	–	–	–	–	–	–	–
	CS3BCR	–	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2
		IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0
		–	TYPE2	TYPE1	TYPE0	ENDIAN	BSZ1	BSZ0	–
		–	–	–	–	–	–	–	–
	CS4BCR	–	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2
		IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0
		–	TYPE2	TYPE1	TYPE0	ENDIAN	BSZ1	BSZ0	–
		–	–	–	–	–	–	–	–
	CS5BCR	–	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2
		IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0
		–	TYPE2	TYPE1	TYPE0	ENDIAN	BSZ1	BSZ0	–
		–	–	–	–	–	–	–	–
	CS6BCR	–	IWW2	IWW1	IWW0	IWRWD2	IWRWD1	IWRWD0	IWRWS2
		IWRWS1	IWRWS0	IWRRD2	IWRRD1	IWRRD0	IWRRS2	IWRRS1	IWRRS0
		–	TYPE2	TYPE1	TYPE0	ENDIAN	BSZ1	BSZ0	–
		–	–	–	–	–	–	–	–

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
BSC	CS0WCR	—	—	—	—	—	—	—	—
		—	—	—	BAS	—	—	—	—
		—	—	—	SW1	SW0	WR3	WR2	WR1
		WR0	WM	—	—	—	—	HW1	HW0
	CS3WCR	—	—	—	—	—	—	—	—
		—	—	—	BAS	—	—	—	—
		—	—	—	—	—	WR3	WR2	WR1
		WR0	WM	—	—	—	—	—	—
	CS3WCR (SDRAM 接続時)	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	WTRP1	WTRP0	—	WTRCD1	WTRCD0	—	A3CL1
		A3CL0	—	—	TRWL1	TRWL0	—	WTRC1	WTRC0
	CS4WCR	—	—	—	—	—	—	—	—
		—	—	—	BAS	—	WW2	WW1	WW0
		—	—	—	SW1	SW0	WR3	WR2	WR1
		WR0	WM	—	—	—	—	HW1	HW0
	CS5BWCR	—	—	—	—	—	—	—	—
		—	—	—	BAS	—	WW2	WW1	WW0
		—	—	—	SW1	SW0	WR3	WR2	WR1
		WR0	WM	—	—	—	—	HW1	HW0
	CS5BWCR (PCMCIA 接続時)	—	—	—	—	—	—	—	—
		—	—	SA1	SA0	—	—	—	—
		—	TED3	TED2	TED1	TED0	PCW3	PCW2	PCW1
		PCW0	WM	—	—	TEH3	TEH2	TEH1	TEH0
	CS6BWCR	—	—	—	—	—	—	—	—
		—	—	—	BAS	—	—	—	—
		—	—	—	SW1	SW0	WR3	WR2	WR1
		WR0	WM	—	—	—	—	HW1	HW0
	CS6BWCR (PCMCIA 接続時)	—	—	—	—	—	—	—	—
		—	—	SA1	SA0	—	—	—	—
		—	TED3	TED2	TED1	TED0	PCW3	PCW2	PCW1
		PCW0	WM	—	—	TEH3	TEH2	TEH1	TEH0
	SDCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	DEEP	—	RFSH	RMODE	PDOWN	BACTV
		—	—	—	A3ROW1	A3ROW0	—	A3COL1	A3COL0

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
BSC	RTCSR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		CMF	CMIE	CKS2	CKS1	CKS0	RRC2	RRC1	RRC0
	RTCNT	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
	RTCOR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
	IBMPR	—	—	OP1R1	OP1R0	—	—	OP2R1	OP2R0
		—	—	OP3R1	OP3R0	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
DMAC	SAR_0								
	DAR_0								
	DMATCR_0								
	CHCR_0	TC	—	RLDSAR	RLDDAR	—	—	—	—
		DO	TL	—	TEMASK	HE	HIE	AM	AL
		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0
		DL	DS	TB	TS1	TS0	IE	TE	DE
SAR_1									

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
DMAC	DAR_1								
	DMATCR_1								
	CHCR_1	TC	–	RLDSAR	RLDDAR	–	–	–	–
		DO	TL	–	TEMASK	HE	HIE	AM	AL
		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0
		DL	DS	TB	TS1	TS0	IE	TE	DE
	SAR_2								
	DAR_2								
	DMATCR_2								
	CHCR_2	TC	–	RLDSAR	RLDDAR	–	–	–	–
		–	–	–	TEMASK	HE	HIE	–	–
		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0
		–	–	TB	TS1	TS0	IE	TE	DE
	SAR_3								
	DAR_3								

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
DMAC	DMATCR_3								
	CHCR_3	TC	—	RLDSAR	RLDDAR	—	—	—	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0
		—	—	TB	TS1	TS0	IE	TE	DE
	SAR_4								
	DAR_4								
	DMATCR_4								
	CHCR_4	TC	—	RLDSAR	RLDDAR	—	—	—	—
		—	—	—	TEMASK	HE	HIE	—	—
		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0
		—	—	TB	TS1	TS0	IE	TE	DE
	SAR_5								
	DAR_5								
	DMATCR_5								

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
DMAC	CHCR_5	TC	—	RLDSAR	RLDDAR	—	—	—	—	
		—	—	—	TEMASK	HE	HIE	—	—	
		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
		—	—	TB	TS1	TS0	IE	TE	DE	
	SAR_6									
	DAR_6									
	DMATCR_6									
	CHCR_6	TC	—	RLDSAR	RLDDAR	—	—	—	—	—
		—	—	—	TEMASK	HE	HIE	—	—	
		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
		—	—	TB	TS1	TS0	IE	TE	DE	
	SAR_7									
	DAR_7									
	DMATCR_7									
	CHCR_7	TC	—	RLDSAR	RLDDAR	—	—	—	—	—
		—	—	—	TEMASK	HE	HIE	—	—	
		DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	
		—	—	TB	TS1	TS0	IE	TE	DE	

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
DMAC	RSAR_0								
	RDAR_0								
	RDMATCR_0								
	RSAR_1								
	RDAR_1								
	RDMATCR_1								
	RSAR_2								
	RDAR_2								
	RDMATCR_2								

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
DMAC	RSAR_3								
	RDAR_3								
	RDMATCR_3								
	RSAR_4								
	RDAR_4								
	RDMATCR_4								
	RSAR_5								
	RDAR_5								
	RDMATCR_5								

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
DMAC	RSAR_6									
	RDAR_6									
	RDMATCR_6									
	RSAR_7									
	RDAR_7									
	RDMATCR_7									
	DMAOR		—	—	CMS1	CMS0	—	—	PR1	PR0
			—	—	—	—	—	AE	NMIF	DME
	DMARS0				CH1 MID[5:0]				CH1 RID[1:0]	
					CH0 MID[5:0]				CH0 RID[1:0]	
	DMARS1				CH3 MID[5:0]				CH3 RID[1:0]	
					CH2 MID[5:0]				CH2 RID[1:0]	
	DMARS2				CH5 MID[5:0]				CH5 RID[1:0]	
					CH4 MID[5:0]				CH4 RID[1:0]	
	DMARS3				CH7 MID[5:0]				CH7 RID[1:0]	
					CH6 MID[5:0]				CH6 RID[1:0]	

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
CPG	FRQCR	—	—	CKOEN1	CKOEN0	—	—	STC1	STC0	
		—	—	—	IFC	—	PFC2	PFC1	PFC0	
WDT	WTCSR	IOVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0	
	WTCNT	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
	WRCSR	WOVF	RSTE	RSTS	—	—	—	—	—	
低消費電力 モード	STBCR	STBY	—	—	—	—	—	—	—	
	STBCR2	MSTP10	MSTP9	MSTP8	MSTP7	—	—	—	—	
	SYSCR1	—	—	—	—	RAME3	RAME2	RAME1	RAME0	
	SYSCR2	—	—	—	—	RAMWE3	RAMWE2	RAMWE1	RAMWE0	
	STBCR3	HIZ	MSTP36	MSTP35	MSTP34	MSTP33	MSTP32	MSTP31	MSTP30	
	STBCR4	—	MSTP46	MSTP45	MSTP44	MSTP43	MSTP42	MSTP41	MSTP40	
	SYSCR3	—	—	—	—	—	—	SSI1SRST	SSI0SRST	
EtherC	ECMR	—	—	—	—	—	—	—	—	
		—	—	—	—	ZPF	PFR	RXF	TXF	
		—	—	—	PRCEF	—	—	MPDE	—	
		—	RE	TE	—	ILB	ELB	DM	PRM	
	ECSR	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	—	PSRTO	—	LCHNG	MPD	ICD	
	ECSIPR	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	—	PSRTOIP	—	LCHNGIP	MPDIP	ICDIP	
	PIR	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	—	—	MDI	MDO	MMD	MDC	
	MAHR	MA47	MA46	MA45	MA44	MA43	MA42	MA41	MA40	
		MA39	MA38	MA37	MA36	MA35	MA34	MA33	MA32	
		MA31	MA30	MA29	MA28	MA27	MA26	MA25	MA24	
		MA23	MA22	MA21	MA20	MA19	MA18	MA17	MA16	
	MALR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		MA15	MA14	MA13	MA12	MA11	MA10	MA9	MA8	
		MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0	

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
EtherC	RFLR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	RFL11	RFL10	RFL9	RFL8	
		RFL7	RFL6	RFL5	RFL4	RFL3	RFL2	RFL1	RFL0	
	PSR	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	LMON
	TROCR	TROC31	TROC30	TROC29	TROC28	TROC27	TROC26	TROC25	TROC24	
		TROC23	TROC22	TROC21	TROC20	TROC19	TROC18	TROC17	TROC16	
		TROC15	TROC14	TROC13	TROC12	TROC11	TROC10	TROC9	TROC8	
		TROC7	TROC6	TROC5	TROC4	TROC3	TROC2	TROC1	TROC0	
	CDCR	COSDC31	COSDC30	COSDC29	COSDC28	COSDC27	COSDC26	COSDC25	COSDC24	
		COSDC23	COSDC22	COSDC21	COSDC20	COSDC19	COSDC18	COSDC17	COSDC16	
		COSDC15	COSDC14	COSDC13	COSDC12	COSDC11	COSDC10	COSDC9	COSDC8	
		COSDC7	COSDC6	COSDC5	COSDC4	COSDC3	COSDC2	COSDC1	COSDC0	
	LCCR	LCC 31	LCC30	LCC29	LCC28	LCC27	LCC26	LCC25	LCC24	
		LCC23	LCC22	LCC21	LCC20	LCC19	LCC18	LCC17	LCC16	
		LCC15	LCC14	LCC13	LCC12	LCC11	LCC10	LCC9	LCC8	
		LCC7	LCC6	LCC5	LCC4	LCC3	LCC2	LCC1	LCC0	
	CNDCR	CNDC31	CNDC30	CNDC29	CNDC28	CNDC27	CNDC26	CNDC25	CNDC24	
		CNDC23	CNDC22	CNDC21	CNDC20	CNDC19	CNDC18	CNDC17	CNDC16	
		CNDC15	CNDC14	CNDC13	CNDC12	CNDC11	CNDC10	CNDC9	CNDC8	
		CNDC7	CNDC6	CNDC5	CNDC4	CNDC3	CNDC2	CNDC1	CNDC0	
	CEFCR	CEFC31	CEFC30	CEFC29	CEFC28	CEFC27	CEFC26	CEFC25	CEFC24	
		CEFC23	CEFC22	CEFC21	CEFC20	CEFC19	CEFC18	CEFC17	CEFC16	
		CEFC15	CEFC14	CEFC13	CEFC12	CEFC11	CEFC10	CEFC9	CEFC8	
		CEFC7	CEFC6	CEFC5	CEFC4	CEFC3	CEFC2	CEFC1	CEFC0	
	FRECR	FREC31	FREC30	FREC29	FREC28	FREC27	FREC26	FREC25	FREC24	
		FREC23	FREC22	FREC21	FREC20	FREC19	FREC18	FREC17	FREC16	
		FREC15	FREC14	FREC13	FREC12	FREC11	FREC10	FREC9	FREC8	
		FREC7	FREC6	FREC5	FREC4	FREC3	FREC2	FREC1	FREC0	
	TSFCR	TSFC31	TSFC30	TSFC29	TSFC28	TSFC27	TSFC26	TSFC25	TSFC24	
		TSFC23	TSFC22	TSFC21	TSFC20	TSFC19	TSFC18	TSFC17	TSFC16	
		TSFC15	TSFC14	TSFC13	TSFC12	TSFC11	TSFC10	TSFC9	TSFC8	
		TSFC7	TSFC6	TSFC5	TSFC4	TSFC3	TSFC2	TSFC1	TSFC0	

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
EtherC	TLFRCR	TLFC31	TLFC30	TLFC29	TLFC28	TLFC27	TLFC26	TLFC25	TLFC24	
		TLFC23	TLFC22	TLFC21	TLFC20	TLFC19	TLFC18	TLFC17	TLFC16	
		TLFC15	TLFC14	TLFC13	TLFC12	TLFC11	TLFC10	TLFC9	TLFC8	
		TLFC7	TLFC6	TLFC5	TLFC4	TLFC3	TLFC2	TLFC1	TLFC0	
	RFCR	RFC31	RFC30	RFC29	RFC28	RFC27	RFC26	RFC25	RFC24	
		RFC23	RFC22	RFC21	RFC20	RFC19	RFC18	RFC17	RFC16	
		RFC15	RFC14	RFC13	RFC12	RFC11	RFC10	RFC9	RFC8	
		RFC7	RFC6	RFC5	RFC4	RFC3	RFC2	RFC1	RFC0	
	MAFCR	MAFC31	MAFC30	MAFC29	MAFC28	MAFC27	MAFC26	MAFC25	MAFC24	
		MAFC23	MAFC22	MAFC21	MAFC20	MAFC19	MAFC18	MAFC17	MAFC16	
		MAFC15	MAFC14	MAFC13	MAFC12	MAFC11	MAFC10	MAFC9	MAFC8	
		MAFC7	MAFC6	MAFC5	MAFC4	MAFC3	MAFC2	MAFC1	MAFC0	
	IPGR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	IPG4	IPG3	IPG2	IPG1	IPG0	
	APR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		AP15	AP14	AP13	AP12	AP11	AP10	AP9	AP8	
		AP7	AP6	AP5	AP4	AP3	AP2	AP1	AP0	
	MPR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		MP15	MP14	MP13	MP12	MP11	MP10	MP9	MP8	
		MP7	MP6	MP5	MP4	MP3	MP2	MP1	MP0	
	TPAUSER	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		TPAUSE15	TPAUSE14	TPAUSE13	TPAUSE12	TPAUSE11	TPAUSE10	TPAUSE9	TPAUSE8	
		TPAUSE7	TPAUSE6	TPAUSE5	TPAUSE4	TPAUSE3	TPAUSE2	TPAUSE1	TPAUSE0	
	E-DMAC	EDMR	—	—	—	—	—	—	—	
			—	—	—	—	—	—	—	
			—	—	—	—	—	—	—	
			—	DE	DL1	DL0	—	—	—	SWR
		EDTRR	—	—	—	—	—	—	—	—
			—	—	—	—	—	—	—	—
			—	—	—	—	—	—	—	—
			—	—	—	—	—	—	—	TR

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
E-DMAC	EDRRR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	RR
	TDLAR	TDLA31	TDLA30	TDLA29	TDLA28	TDLA27	TDLA26	TDLA25	TDLA24
		TDLA23	TDLA22	TDLA21	TDLA20	TDLA19	TDLA18	TDLA17	TDLA16
		TDLA15	TDLA14	TDLA13	TDLA12	TDLA11	TDLA10	TDLA9	TDLA8
		TDLA7	TDLA6	TDLA5	TDLA4	TDLA3	TDLA2	TDLA1	TDLA0
	RDLAR	RDLA31	RDLA30	RDLA29	RDLA28	RDLA27	RDLA26	RDLA25	RDLA24
		RDLA23	RDLA22	RDLA21	RDLA20	RDLA19	RDLA18	RDLA17	RDLA16
		RDLA15	RDLA14	RDLA13	RDLA12	RDLA11	RDLA10	RDLA9	RDLA8
		RDLA7	RDLA6	RDLA5	RDLA4	RDLA3	RDLA2	RDLA1	RDLA0
	EESR	—	TWB	—	—	—	TABT	RABT	RFCOF
		ADE	ECI	TC	TDE	TFUF	FR	RDE	RFOF
		—	—	—	—	CND	DLC	CD	TRO
		RMAF	—	—	RRF	RTL	RTSF	PRE	CERF
	EESIPR	—	TWBIP	—	—	—	TABTIP	RABTIP	RFCOFIP
		ADEIP	ECIIP	TCIP	TDEIP	TFUFIP	FRIP	RDEIP	RFOFIP
		—	—	—	—	CNDIP	DLCIP	CDIP	TROIP
		RMAFIP	—	—	RRFIP	RTLIP	RTSFIP	PREIP	CERFIP
	TRSCER	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	CNDCE	DLCCE	CDCE	TROCE
		RMAFCE	—	—	RRFCE	RTLCE	RTSFCE	PRECE	CERFCE
	RMFCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		MFC15	MFC14	MFC13	MFC12	MFC11	MFC10	MFC9	MFC8
		MFC7	MFC6	MFC5	MFC4	MFC3	MFC2	MFC1	MFC0
	TFTR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	TFT10	TFT9	TFT8
		TFT7	TFT6	TFT5	TFT4	TFT3	TFT2	TFT1	TFT0
	FDR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	TFD2	TFD1	TFD0
		—	—	—	—	—	RFD2	RFD1	RFD0

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
E-DMAC	RMCR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	RNC	
	EDOCR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	FEC	AEC	EDH	—	
	FCFTR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	RFF2	RFF1	RFF0
		—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	RFD2	RFD1	RFD0
	RPADIR	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	PADS1	PADS0
		—	—	—	—	—	—	—	—	—
		—	—	PADR5	PADR4	PADR3	PADR2	PADR1	PADR0	—
	TRIMD	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	TIS
	RBWAR	RBWA31	RBWA30	RBWA29	RBWA28	RBWA27	RBWA26	RBWA25	RBWA24	RBWA24
		RBWA23	RBWA22	RBWA21	RBWA20	RBWA19	RBWA18	RBWA17	RBWA16	RBWA16
		RBWA15	RBWA14	RBWA13	RBWA12	RBWA11	RBWA10	RBWA9	RBWA8	RBWA8
		RBWA7	RBWA6	RBWA5	RBWA4	RBWA3	RBWA2	RBWA1	RBWA0	RBWA0
	RDFAR	RDFA31	RDFA30	RDFA29	RDFA28	RDFA27	RDFA26	RDFA25	RDFA24	RDFA24
		RDFA23	RDFA22	RDFA21	RDFA20	RDFA19	RDFA18	RDFA17	RDFA16	RDFA16
		RDFA15	RDFA14	RDFA13	RDFA12	RDFA11	RDFA10	RDFA9	RDFA8	RDFA8
		RDFA7	RDFA6	RDFA5	RDFA4	RDFA3	RDFA2	RDFA1	RDFA0	RDFA0
	TBRAR	TBRA31	TBRA30	TBRA29	TBRA28	TBRA27	TBRA26	TBRA25	TBRA24	TBRA24
		TBRA23	TBRA22	TBRA21	TBRA20	TBRA19	TBRA18	TBRA17	TBRA16	TBRA16
		TBRA15	TBRA14	TBRA13	TBRA12	TBRA11	TBRA10	TBRA9	TBRA8	TBRA8
		TBRA7	TBRA6	TBRA5	TBRA4	TBRA3	TBRA2	TBRA1	TBRA0	TBRA0
	TDFAR	TDFA31	TDFA30	TDFA29	TDFA28	TDFA27	TDFA26	TDFA25	TDFA24	TDFA24
		TDFA23	TDFA22	TDFA21	TDFA20	TDFA19	TDFA18	TDFA17	TDFA16	TDFA16
		TDFA15	TDFA14	TDFA13	TDFA12	TDFA11	TDFA10	TDFA9	TDFA8	TDFA8
		TDFA7	TDFA6	TDFA5	TDFA4	TDFA3	TDFA2	TDFA1	TDFA0	TDFA0

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
E-DMAC	CSMR	CSEBL	CSMD	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	SB5	SB4	SB3	SB2	SB1	SB0	
	CSSBM	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	SBM5	SBM4	SBM3	SBM2	SBM1	SBM0	
	CSSMR	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		CS15	CS14	CS13	CS12	CS11	CS10	CS9	CS8	
		CS7	CS6	CS5	CS4	CS3	CS2	CS1	CS0	
	A-DMAC	C0C	—	—	—	—	—	—	—	—
			—	—	—	—	—	—	—	C0C_R
			—	—	—	C0C_DWF	—	—	—	C0C_VLD
			—	—	—	C0C_EIE	—	—	—	C0C_E
C0M		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	C0M_LIE	—	—	—	—	
C0I		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	C0I_DI	—	—	—	C0I_LI	
		—	—	—	—	—	—	—	C0I_EI	
C0DSA		C0DSA[31:24]								
		C0DSA[23:16]								
		C0DSA[15:8]								
		C0DSA[7:0]								
C0DCA		C0DCA[31:24]								
		C0DCA[23:16]								
		C0DCA[15:8]								
					C0DCA[7:0]					
C0D0			C0CRDO[3:0]					C0CHDO[3:0]		
			C0SO[3:0]				C0DA	C0SA		C0CSM[1:0]
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—		C0F[2:0]	

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
A-DMAC	C0D1	C0D1[31:24]							
		C0D1[23:16]							
		C0D1[15:8]							
		C0D1[7:0]							
	C0D2	C0D2[31:24]							
		C0D2[23:16]							
		C0D2[15:8]							
		C0D2[7:0]							
	C0D3	-	-	C0DWE	C0DIE	-	-	-	-
		-	-	-	-	-	-	-	-
		C0D3[15:8]							
		C0D3[7:0]							
	C0D4	C0D4[31:24]							
		C0D4[23:16]							
		C0D4[15:8]							
		C0D4[7:1]							
	C1C	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	C1C_R
		-	-	-	C1C_DWF	-	-	-	C1C_VLD
		-	-	-	C1C_EIE	-	-	-	C1C_E
	C1M	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	C1M_LIE	-	-	-	-
	C1I	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	C1I_DI	-	-	-	C1I_LI
		-	-	-	-	-	-	-	C1I_EI
	C1DSA	C1DSA[31:24]							
		C1DSA[23:16]							
		C1DSA[15:8]							
		C1DSA[7:0]							
C1DCA	C1DCA[31:24]								
	C1DCA[23:16]								
	C1DCA[15:8]								
	C1DCA[7:0]								

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
A-DMAC	C1D0	C1CRDO[3:0]				C1CHDO[3:0]				
		C1SO[3:0]				C1DA	C1SA		C1CSM[1:0]	
		–	–	–	–	–	–	–	–	
		–	–	–	–	–	C1F[2:0]			
	C1D1	C1D1[31:24]								
		C1D1[23:16]								
		C1D1[15:8]								
		C1D1[7:0]								
	C1D2	C1D2[31:24]								
		C1D2[23:16]								
		C1D2[15:8]								
		C1D2[7:0]								
	C1D3	–	–	C1DWE	C1DIE	–	–	–	–	
		–	–	–	–	–	–	–	–	
		C1D3[15:8]								
		C1D3[7:0]								
	C1D4	C1D4[31:24]								
		C1D4[23:16]								
		C1D4[15:8]								
		C1D4[7:1]								
	FECC	–	–	–	FECC_R	–	–	–	FECC_DWF	
		–	–	–	FECC_DWE	–	–	–	FECC_DIE	
		–	–	–	FECC_LIE	–	–	–	FECC_NIE	
		–	–	–	FECC_EIE	–	–	–	FECC_E	
	FECI	–	–	–	–	–	–	–	–	
		–	–	–	–	–	–	–	–	
		–	–	–	FECI_DI	–	–	–	FECI_LI	
		–	–	–	FECI_NI	–	–	–	FECI_EI	
	FECDCA	FECDCA[31:24]								
		FECDCA[23:16]								
		FECDCA[15:8]								
		FECDCA[7:0]								
	FECDCA	FECDCA[31:24]								
		FECDCA[23:16]								
		FECDCA[15:8]								
		FECDCA[7:0]								

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
A-DMAC	FECD00	FECD00_SZ[15:8]								
		FECD00_SZ[7:0]								
		FECD00_DO[3:0]				FECD00_SO[3:0]				
		FECD00_SN[3:0]				FECD00_DRE	FECD00_F[2:0]			
	FECD01D0A	FECD01D0A[31:24]								
		FECD01D0A[23:16]								
		FECD01D0A[15:8]								
		FECD01D0A[7:0]								
	FECD02S0A	FECD02S0A[31:24]								
		FECD02S0A[23:16]								
		FECD02S0A[15:8]								
		FECD02S0A[7:0]								
	FECD03S1A	FECD03S1A[31:24]								
		FECD03S1A[23:16]								
		FECD03S1A[15:8]								
		FECD03S1A[7:0]								
	STIF0	STMDR_0	–	–	–	–	–	–	–	–
			–	–	–	–	–	–	–	–
			–	LSBSEL	EDGSEL	CLKSEL	CKFRSEL3	CKFRSEL2	CKFRSEL1	CKFRSEL0
			REQACSEL	VLDACTSEL	SYCACTSEL	IOSEL	IFMDSEL3	IFMDSEL2	IFMDSEL1	IFMDSEL0
STCTLR_0		–	–	–	–	–	–	–	–	
		–	–	–	–	–	–	–	–	
		–	–	–	–	RCVTM2	RCVTM1	RCVTM0	RCV	
		TRICK	–	–	–	–	REQEN	EN	SRST	
STCNTCR_0		–	–	–	–	–	–	–	–	
		–	–	–	–	–	–	–	–	
		–	–	–	–	–	–	–	–	
		–	–	–	–	CRD	CSTP	CSET	CRST	
STCNTVR_0		VLU31	VLU30	VLU29	VLU28	VLU27	VLU26	VLU25	VLU24	
		VLU23	VLU22	VLU21	VLU20	VLU19	VLU18	VLU17	VLU16	
		VLU15	VLU14	VLU13	VLU12	VLU11	VLU10	VLU9	VLU8	
		VLU7	VLU6	VLU5	VLU4	VLU3	VLU2	VLU1	VLU0	
STSTR_0		–	–	–	–	–	–	–	–	
		–	–	–	–	–	–	–	–	
		–	–	–	LKZF	LKF	DISF	UNZF	PCRF	
		TENDF	RENDF	RCVF3	RCVF2	RCVF1	UPF	OPF	OVF	

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
STIF0	STIER_0	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	LKZE	LKE	DISE	UNZE	PCRE	
		TENDE	RENDE	RCVE3	RCVE2	RCVE1	UPE	OPE	OVE	
STSizer_0	STSizer_0	SIZE[31:24]								
		SIZE[23:16]								
		SIZE[15:8]								
		SIZE[7:0]								
STPWMMR_0	STPWMMR_0	—	—	—	PID12	PID11	PID10	PID9	PID8	
		PID7	PID6	PID5	PID4	PID3	PID2	PID1	PID0	
		PIDEN	PWMUEN	PWMSEL	PWMSEL2	PWMCYC[3:0]				
		PWMSFT[3:0]				PWMDIV[3:0]				
STPWMCr_0	STPWMCr_0	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	STCXP	
		PWMBRS	PWMBWP	PWMRS	PWMWP	STCRS	STCWP	PCRRS	PCRWP	
STPWMR_0	STPWMR_0	PWMB15	PWMB14	PWMB13	PWMB12	PWMB11	PWMB10	PWMB9	PWMB8	
		PWMB7	PWMB6	PWMB5	PWMB4	PWMB3	PWMB2	PWMB1	PWMB0	
		PWM15	PWM14	PWM13	PWM12	PWM11	PWM10	PWM9	PWM8	
		PWM7	PWM6	PWM5	PWM4	PWM3	PWM2	PWM1	PWM0	
STPCR0R_0	STPCR0R_0	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	PCRB32	PCRB31	
		PCRB30	PCRB29	PCRB28	PCRB27	PCRB26	PCRB25	PCRB24	PCRB23	
STPCR1R_0	STPCR1R_0	PCRB22	PCRB21	PCRB20	PCRB19	PCRB18	PCRB17	PCRB16	PCRB15	
		PCRB14	PCRB13	PCRB12	PCRB11	PCRB10	PCRB9	PCRB8	PCRB7	
		PCRB6	PCRB5	PCRB4	PCRB3	PCRB2	PCRB1	PCRB0	PCRX8	
		PCRX7	PCRX6	PCRX5	PCRX4	PCRX3	PCRX2	PCRX1	PCRX0	
STSTC0R_0	STSTC0R_0	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	STCB32	STCB31	
		STCB30	STCB29	STCB28	STCB27	STCB26	STCB25	STCB24	STCB23	
STSTC1R_0	STSTC1R_0	STCB22	STCB21	STCB20	STCB19	STCB18	STCB17	STCB16	STCB15	
		STCB14	STCB13	STCB12	STCB11	STCB10	STCB9	STCB8	STCB7	
		STCB6	STCB5	STCB4	STCB3	STCB2	STCB1	STCB0	STCX8	
		STCX7	STCX6	STCX5	STCX4	STCX3	STCX2	STCX1	STCX0	

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
STIF0	STLKCR_0	—	—	—	—	—	—	LKWP	ULWP	
		ULCNT3	ULCNT2	ULCNT1	ULCNT0	LKCNT3	LKCNT2	LKCNT1	LKCNT0	
		GAIN3	GAIN2	GAIN1	GAIN0	LKCYC3	LKCYC2	LKCYC1	LKCYC0	
		ULREF3	ULREF2	ULREF1	ULREF0	LKREF3	LKREF2	LKREF1	LKREF0	
	STDBGR_0	STMON31	STMON30	STMON29	STMON28	STMON27	STMON26	STMON25	STMON24	
		STMON23	STMON22	STMON21	STMON20	STMON19	STMON18	STMON17	STMON16	
		STMON15	STMON14	STMON13	STMON12	STMON11	STMON10	STMON9	STMON8	
		STMON7	STMON6	STMON5	STMON4	STMON3	STMON2	STMON1	STMON0	
	STIF1	STMDR_1	—	—	—	—	—	—	—	—
			—	—	—	—	—	—	—	—
—			LSBSEL	EDGSEL	CLKSEL	CKFRSEL3	CKFRSEL2	CKFRSEL1	CKFRSEL0	
REQACSEL			VLDACTSEL	SYCACTSEL	IOSEL	IFMDSEL3	IFMDSEL2	IFMDSEL1	IFMDSEL0	
STCTLR_1		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	RCVTM2	RCVTM1	RCVTM0	RCV	
		TRICK	—	—	—	—	REQEN	EN	SRST	
STCNTCR_1		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	—	CRD	CSTP	CSET	CRST	
STCNTVR_1		VLU31	VLU30	VLU29	VLU28	VLU27	VLU26	VLU25	VLU24	
		VLU23	VLU22	VLU21	VLU20	VLU19	VLU18	VLU17	VLU16	
		VLU15	VLU14	VLU13	VLU12	VLU11	VLU10	VLU9	VLU8	
		VLU7	VLU6	VLU5	VLU4	VLU3	VLU2	VLU1	VLU0	
STSTR_1		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	LKZF	LKF	DISF	UNZF	PCRF	
		TENDF	RENDF	RCVF3	RCVF2	RCVF1	UPF	OPF	OVF	
STIER_1		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		—	—	—	LKZE	LKE	DISE	UNZE	PCRE	
		TENDE	RENDE	RCVE3	RCVE2	RCVE1	UPE	OPE	OVE	
STSIZER_1		SIZE[31:24]								
		SIZE[23:16]								
		SIZE[15:8]								
		SIZE[7:0]								

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
STIF1	STPWMMR_1	—	—	—	PID12	PID11	PID10	PID9	PID8	
		PID7	PID6	PID5	PID4	PID3	PID2	PID1	PID0	
		PIDEN	PWMUEN	PWMSEL	PWMSEL2	PWMCYC[3:0]				
		PWMSFT[3:0]				PWMDIV[3:0]				
	STPWMCR_1	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	STCXP
		PWMBRS	PWMBWP	PWMRS	PWMWP	STCRS	STCWP	PCRRS	PCRWP	
	STPWMR_1	PWMB15	PWMB14	PWMB13	PWMB12	PWMB11	PWMB10	PWMB9	PWMB8	
		PWMB7	PWMB6	PWMB5	PWMB4	PWMB3	PWMB2	PWMB1	PWMB0	
		PWM15	PWM14	PWM13	PWM12	PWM11	PWM10	PWM9	PWM8	
		PWM7	PWM6	PWM5	PWM4	PWM3	PWM2	PWM1	PWM0	
	STPCR0R_1	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		PCRB30	PCRB29	PCRB28	PCRB27	PCRB26	PCRB25	PCRB24	PCRB23	PCRB32
	STPCR1R_1	PCRB22	PCRB21	PCRB20	PCRB19	PCRB18	PCRB17	PCRB16	PCRB15	
		PCRB14	PCRB13	PCRB12	PCRB11	PCRB10	PCRB9	PCRB8	PCRB7	
		PCRB6	PCRB5	PCRB4	PCRB3	PCRB2	PCRB1	PCRB0	PCRX8	
		PCRX7	PCRX6	PCRX5	PCRX4	PCRX3	PCRX2	PCRX1	PCRX0	
	STSTC0R_1	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—	—
		STCB30	STCB29	STCB28	STCB27	STCB26	STCB25	STCB24	STCB23	STCB32
	STSTC1R_1	STCB22	STCB21	STCB20	STCB19	STCB18	STCB17	STCB16	STCB15	
		STCB14	STCB13	STCB12	STCB11	STCB10	STCB9	STCB8	STCB7	
		STCB6	STCB5	STCB4	STCB3	STCB2	STCB1	STCB0	STCX8	
		STCX7	STCX6	STCX5	STCX4	STCX3	STCX2	STCX1	STCX0	
	STLKCR_1	—	—	—	—	—	—	—	LKWP	ULWP
		ULCNT3	ULCNT2	ULCNT1	ULCNT0	LKCNT3	LKCNT2	LKCNT1	LKCNT0	
		GAIN3	GAIN2	GAIN1	GAIN0	LKCYC3	LKCYC2	LKCYC1	LKCYC0	
		ULREF3	ULREF2	ULREF1	ULREF0	LKREF3	LKREF2	LKREF1	LKREF0	
	STDBG_1	STMON31	STMON30	STMON29	STMON28	STMON27	STMON26	STMON25	STMON24	
		STMON23	STMON22	STMON21	STMON20	STMON19	STMON18	STMON17	STMON16	
		STMON15	STMON14	STMON13	STMON12	STMON11	STMON10	STMON9	STMON8	
		STMON7	STMON6	STMON5	STMON4	STMON3	STMON2	STMON1	STMON0	

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
SSI	SCSR_0	—	—	—	—	—	—	—	—
		—	—	—	—	—	SSI0CK2	SSI0CK1	SSI0CK0
	SCSR_1	—	—	—	—	—	—	—	—
		—	—	—	—	—	SSI1CK2	SSI1CK1	SSI1CK0
	SSICR_0	—	—	—	DMEN	UIEN	OIEN	IIEN	DIEN
		CHNL1	CHNL0	DWL2	DWL1	DWL0	SWL2	SWL1	SWL0
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		—	CKDV2	CKDV1	CKDV0	MUEN	—	TRMD	EN
	SSISR_0	—	—	—	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	CHNO1	CHNO0	SWNO	IDST
	SSITDR_0								
	SSIRDR_0								
	SSICR_1	—	—	—	DMEN	UIEN	OIEN	IIEN	DIEN
		CHNL1	CHNL0	DWL2	DWL1	DWL0	SWL2	SWL1	SWL0
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		—	CKDV2	CKDV1	CKDV0	MUEN	—	TRMD	EN
	SSISR_1	—	—	—	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	CHNO1	CHNO0	SWNO	IDST
	SSITDR_1								
	SSIRDR_1								

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
USB	D0FWAIT	—	—	—	—	—	—	—	—	
		—	—	—	—	FWAIT3	FWAIT2	FWAIT1	FWAIT0	
	D1FWAIT	—	—	—	—	—	—	—	—	
		—	—	—	—	FWAIT3	FWAIT2	FWAIT1	FWAIT0	
	D0FIFO	FIFOPORT[31:24]								
		FIFOPORT[23:16]								
		FIFOPORT[15:8]								
		FIFOPORT[7:0]								
	D1FIFO	FIFOPORT[31:24]								
		FIFOPORT[23:16]								
		FIFOPORT[15:8]								
		FIFOPORT[7:0]								
	SYSCFG	—	—	—	—	—	—	SCKE	—	—
		HSE	DCFM	DRPD	DPRPU	—	—	—	—	USBE
	BUSWAIT	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	BWAIT3	BWAIT2	BWAIT1	BWAIT0
	SYSSTS	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	LNST1	LNST0
	DVSTCTR	—	—	—	—	—	—	—	—	WKUP
		RWUPE	USBRST	RESUME	UACT	—	—	RHST2	RHST1	RHST0
	TESTMODE	—	—	—	—	—	—	—	—	—
		—	—	—	—	—	UTST3	UTST2	UTST1	UTST0
	D0FBCFG	—	—	DFACC		—	—	—	—	—
		—	—	—	TENDE	—	—	—	—	—
	D1FBCFG	—	—	DFACC		—	—	—	—	—
		—	—	—	TENDE	—	—	—	—	—
	CFIFO	FIFOPORT[15:8]								
		FIFOPORT[7:0]								
	CFIFOSEL	RCNT	REW	—	—	MBW1	MBW0	—	—	BIGEND
		—	—	ISEL	—	CURPIPE3	CURPIPE2	CURPIPE1	—	CURPIPE0
	CFIFOCTR	BVAL	BCLR	FRDY	—	DTLN11	DTLN10	DTLN9	—	DTLN8
		DTLN7	DTLN6	DTLN5	DTLN4	DTLN3	DTLN2	DTLN1	—	DTLN0
	D0FIFOSEL	RCNT	REW	DCLRM	DREQE	MBW1	MBW0	—	—	BIGEND
—		—	—	—	CURPIPE3	CURPIPE2	CURPIPE1	—	CURPIPE0	
D0FIFOCTR	BVAL	BCLR	FRDY	—	DTLN11	DTLN10	DTLN9	—	DTLN8	
	DTLN7	DTLN6	DTLN5	DTLN4	DTLN3	DTLN2	DTLN1	—	DTLN0	

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
USB	D1FIFOSEL	RCNT	REW	DCLRM	DREQE	MBW1	MBW0	—	BIGEND
		—	—	—	—	CURPIPE3	CURPIPE2	CURPIPE1	CURPIPE0
	D1FIFOCTR	BVAL	BCLR	FRDY	—	DTLN11	DTLN10	DTLN9	DTLN8
		DTLN7	DTLN6	DTLN5	DTLN4	DTLN3	DTLN2	DTLN1	DTLN0
	INTENB0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE
		—	—	—	—	—	—	—	—
	INTENB1	—	BCHGE	—	DTCHE	ATTCHE	—	—	—
		—	EOFERRE	SIGNE	SACKE	—	—	—	—
	BRDYENB	—	—	—	—	—	—	PIPE9 BRDYE	PIPE8 BRDYE
		PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	PIPE3 BRDYE	PIPE2 BRDYE	PIPE1 BRDYE	PIPE0 BRDYE
	NRDYENB	—	—	—	—	—	—	PIPE9 NRDYE	PIPE8 NRDYE
		PIPE7 NRDYE	PIPE6 NRDYE	PIPE5 NRDYE	PIPE4 NRDYE	PIPE3 NRDYE	PIPE2 NRDYE	PIPE1 NRDYE	PIPE0 NRDYE
	BEMPENB	—	—	—	—	—	—	PIPE9 BEMPE	PIPE8 BEMPE
		PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	PIPE3 BEMPE	PIPE2 BEMPE	PIPE1 BEMPE	PIPE0 BEMPE
	SOFCFG	—	—	—	—	—	—	—	TRNENSEL
		—	BRDYM	—	—	—	—	—	—
	INTSTS0	VBINT	RESM	SOFR	DVST	CTRRT	BEMP	NRDY	BRDY
		VBSTS	DVSQ2	DVSQ1	DVSQ0	VALID	CTSQ2	CTSQ1	CTSQ0
	INTSTS1	—	BCHG	—	DTCH	ATTCH	—	—	—
		—	EOFERR	SIGN	SACK	—	—	—	—
	BRDYSTS	—	—	—	—	—	—	PIPE9 BRDY	PIPE8 BRDY
		PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	PIPE3 BRDY	PIPE2 BRDY	PIPE1 BRDY	PIPE0 BRDY
	NRDYSTS	—	—	—	—	—	—	PIPE9 NRDY	PIPE8 NRDY
		PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	PIPE3 NRDY	PIPE2 NRDY	PIPE1 NRDY	PIPE0 NRDY
	BEMPSTS	—	—	—	—	—	—	PIPE9 BEMP	PIPE8 BEMP
		PIPE7 BEMP	PIPE6 BEMP	PIPE5 BEMP	PIPE4 BEMP	PIPE3 BEMP	PIPE2 BEMP	PIPE1 BEMP	PIPE0 BEMP

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
USB	FRMNUM	OVRN	CRCE	—	—	—	FRNM[10:8]			
		FRNM[7:0]								
	UFRMNUM	—	—	—	—	—	—	—	—	
		—							UFRNM[2:0]	
	USBADDR	—	—	—	—	—	—	—	—	
		—	USBADDR[6:0]							
	USBREQ	BREQUEST[7:0]								
		BMREQUESTTYPE[7:0]								
	USBVAL	WVALUE[15:8]								
		WVALUE[7:0]								
	USBINDX	WINDEX[15:8]								
		WINDEX[7:0]								
	USBLENG	WLENGTH[15:8]								
		WLENGTH[7:0]								
	DCPCFG	—	—	—	—	—	—	—	—	
		—	—	—	DIR	—	—	—	—	
	DCPMAXP	DEVSEL3	DEVSEL2	DEVSEL1	DEVSEL0	—	—	—	—	
		—	MXPS6	MXPS5	MXPS4	MXPS3	MXPS2	MXPS1	MXPS0	
	DCPCTR	BSTS	SUREQ	CSCCLR	CSSTS	SUREQCLR	—	—	SQCLR	
		SQSET	SQMON	PBUSY	PINGE	—	CCPL	PID1	PID0	
	PIPESEL	—	—	—	—	—	—	—	—	
		—	—	—	—	PIPESEL3	PIPESEL2	PIPESEL1	PIPESEL0	
	PIPECFG	TYPE1	TYPE0	—	—	—	BFRE	DBLB	CNTMD	
		SHTNAK	—	—	DIR	EPNUM3	EPNUM2	EPNUM1	EPNUM0	
	PIPEBUF	—	BUFSIZE[4:0]					—	—	
		BUFNMB[7:0]								
	PIPEMAXP	DEVSEL[3:0]				—	MXPS[10:8]			
		MXPS[7:0]								
	PIPEPERI	—	—	—	IFIS	—	—	—	—	
		—	—	—	—	—	IITV2	IITV1	IITV0	
	PIPE1CTR	BSTS	INBUFM	CSCCLR	CSSTS	—	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID1	PID0	
	PIPE2CTR	BSTS	INBUFM	CSCCLR	CSSTS	—	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID1	PID0	
	PIPE3CTR	BSTS	INBUFM	CSCCLR	CSSTS	—	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID1	PID0	

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
USB	PIPE4CTR	BSTS	INBUFM	CSCCLR	CSSTS	—	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID1	PID0	
	PIPE5CTR	BSTS	INBUFM	CSCCLR	CSSTS	—	ATREPM	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID1	PID0	
	PIPE6CTR	BSTS	—	CSCCLR	CSSTS	—	—	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID1	PID0	
	PIPE7CTR	BSTS	—	CSCCLR	CSSTS	—	—	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID1	PID0	
	PIPE8CTR	BSTS	—	CSCCLR	CSSTS	—	—	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID1	PID0	
	PIPE9CTR	BSTS	—	CSCCLR	CSSTS	—	—	ACLRM	SQCLR	
		SQSET	SQMON	PBUSY	—	—	—	PID1	PID0	
	PIPE1TRE	—	—	—	—	—	—	TRENB	TRCLR	
		—	—	—	—	—	—	—	—	
	PIPE1TRN	TRNCNT[15:8]								
		TRNCNT[7:0]								
	PIPE2TRE	—	—	—	—	—	—	TRENB	TRCLR	
		—	—	—	—	—	—	—	—	
	PIPE2TRN	TRNCNT[15:8]								
		TRNCNT[7:0]								
	PIPE3TRE	—	—	—	—	—	—	TRENB	TRCLR	
		—	—	—	—	—	—	—	—	
	PIPE3TRN	TRNCNT[15:8]								
		TRNCNT[7:0]								
	PIPE4TRE	—	—	—	—	—	—	TRENB	TRCLR	
		—	—	—	—	—	—	—	—	
	PIPE4TRN	TRNCNT[15:8]								
		TRNCNT[7:0]								
	PIPE5TRE	—	—	—	—	—	—	TRENB	TRCLR	
		—	—	—	—	—	—	—	—	
	PIPE5TRN	TRNCNT[15:8]								
		TRNCNT[7:0]								
	DEVADD0	—	UPPHUB[3:0]					HUBPORT[2:0]		
		USBSPD[1:0]		—	—	—	—	—	—	—
	DEVADD1	—	UPPHUB[3:0]					HUBPORT[2:0]		
		USBSPD[1:0]		—	—	—	—	—	—	—

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
USB	DEVADD2	-		UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	-
	DEVADD3	-		UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	-
	DEVADD4	-		UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	-
	DEVADD5	-		UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	-
	DEVADD6	-		UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	-
	DEVADD7	-		UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	-
	DEVADD8	-		UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	-
	DEVADD9	-		UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	-
	DEVADDA	-		UPPHUB[3:0]			HUBPORT[2:0]		
		USBSPD[1:0]		-	-	-	-	-	-
IIC3	ICCR1_0	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
	ICCR2_0	BBSY	SCP	SDAO	SDAOP	SCLO	-	IIRST	-
	ICMR_0	MLS	-	-	-	BCWP	BC2	BC1	BC0
	ICIER_0	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
	ICSR_0	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ
	SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
	ICDRT_0								
	ICDRR_0								
	NF2CYC_0	-	-	-	-	-	-	PRS	NF2CYC
HIF	HIFIDX	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		REG5	REG4	REG3	REG2	REG1	REG0	BYTE1	BYTE0
	HIFGSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		STATUS15	STATUS14	STATUS13	STATUS12	STATUS11	STATUS10	STATUS9	STATUS8
		STATUS7	STATUS6	STATUS5	STATUS4	STATUS3	STATUS2	STATUS1	STATUS0

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
HIF	HIFSCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	DMD	DPOL	BMD	BSEL
		—	—	MD1	—	—	WBSWP	EDN	BO
	HIFMCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		LOCK	—	WT	—	RD	—	—	AI/AD
	HIFIICR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		IIC6	IIC5	IIC4	IIC3	IIC2	IIC1	IIC0	IIR
	HIFEICR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		EIC6	EIC5	EIC4	EIC3	EIC2	EIC1	EIC0	EIR
	HIFADR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	A9	A8
		A7	A6	A5	A4	A3	A2	—	—
	HIFDATA	D31	D30	D29	D28	D27	D26	D25	D24
		D23	D22	D21	D20	D19	D18	D17	D16
		D15	D14	D13	D12	D11	D10	D9	D8
		D7	D6	D5	D4	D3	D2	D1	D0
	HIFDTR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	DTRG
	HIFBICR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	BIE	BIF
	HIFBCR	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	AC

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
CMT	CMSTR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	STR1	STR0	
	CMCSR_0	—	—	—	—	—	—	—	—	
		CMF	CMIE	—	—	—	—	—	CKS1	CKS0
	CMCNT_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
	CMCOR_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
	CMCSR_1	—	—	—	—	—	—	—	—	
		CMF	CMIE	—	—	—	—	—	CKS1	CKS0
	CMCNT_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
	CMCOR_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
	SCIF0	SCSMR_0	—	—	—	—	—	—	—	—
			C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	—	CKS1	CKS0
SCBRR_0		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCSCR_0		—	—	—	—	—	—	—	—	
		TIE	RIE	TE	RE	REIE	—	CKE1	CKE0	
SCFTDR_0		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCFSR_0		PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR_0		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCFCR_0		—	—	—	—	—	RSTRG2	RSTRG1	RSTRG0	
		RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	
SCFDR_0		—	—	—	T4	T3	T2	T1	T0	
		—	—	—	R4	R3	R2	R1	R0	
SCSPTR_0		—	—	—	—	—	—	—	—	
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
SCLSR_0		—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	ORER	
SCSMR_1		—	—	—	—	—	—	—	—	
		C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	—	CKS1	CKS0	
SCBRR_1		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCSCR_1		—	—	—	—	—	—	—	—	
		TIE	RIE	TE	RE	REIE	—	CKE1	CKE0	

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
SCIF1	SCFTDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
	SCFSR_1	PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
	SCFRDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
	SCFCR_1	—	—	—	—	—	RSTRG2	RSTRG1	RSTRG0	
		RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	
	SCFDR_1	—	—	—	T4	T3	T2	T1	T0	
		—	—	—	R4	R3	R2	R1	R0	
	SCSPTR_1	—	—	—	—	—	—	—	—	
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT	
	SCLSR_1	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	ORER	
	SCIF2	SCSMR_2	—	—	—	—	—	—	—	—
			C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	—	CKS1	CKS0
SCBRR_2		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCSCR_2		—	—	—	—	—	—	—	—	
		TIE	RIE	TE	RE	REIE	—	CKE1	CKE0	
SCFTDR_2		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCFSR_2		PER3	PER2	PER1	PER0	FER3	FER2	FER1	FER0	
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR	
SCFRDR_2		Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCFCR_2		—	—	—	—	—	RSTRG2	RSTRG1	RSTRG0	
		RTRG1	RTRG0	TTRG1	TTRG0	MCE	TFRST	RFRST	LOOP	
SCFDR_2		—	—	—	T4	T3	T2	T1	T0	
		—	—	—	R4	R3	R2	R1	R0	
SCSPTR_2		—	—	—	—	—	—	—	—	
	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT		
SCLSR_2	—	—	—	—	—	—	—	—		
	—	—	—	—	—	—	—	ORER		
I/O	PADRH	—	—	—	—	—	—	PA25DR	PA24DR	
		PA23DR	PA22DR	PA21DR	PA20DR	PA19DR	PA18DR	PA17DR	—	
	PAIORH	—	—	—	—	—	—	PA25IOR	PA24IOR	
		PA23IOR	PA22IOR	PA21IOR	PA20IOR	PA19IOR	PA18IOR	PA17IOR	—	
	PACRH2	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	PA25MD0	—	PA24MD0

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0
I/O	PACRH1	—	PA23MD0	—	PA22MD0	—	PA21MD0	—	PA20MD0
		—	PA19MD0	—	PA18MD0	—	PA17MD0	—	—
	PBDRL	—	—	—	—	—	—	—	—
		PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
	PBIORL	—	—	—	—	—	—	—	—
		PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR
	PBCRL1	—	PB7MD0	—	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0
		PB3MD1	PB3MD0	PB2MD1	PB2MD0	PB1MD1	PB1MD0	PB0MD1	PB0MD0
	PCDRH	—	—	—	—	—	—	—	—
		—	—	—	PC20DR	PC19DR	PC18DR	PC17DR	PC16DR
	PCDRL	PC15DR	PC14DR	PC13DR	PC12DR	PC11DR	PC10DR	PC9DR	PC8DR
		PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
	PCIORH	—	—	—	—	—	—	—	—
		—	—	—	PC20IOR	PC19IOR	PC18IOR	PC17IOR	PC16IOR
	PCIORL	PC15IOR	PC14IOR	PC13IOR	PC12IOR	PC11IOR	PC10IOR	PC9IOR	PC8IOR
		PC7IOR	PC6IOR	PC5IOR	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR
	PCCRH1	—	—	—	—	—	—	—	PC20MD0
		—	PC19MD0	—	PC18MD0	—	PC17MD0	—	PC16MD0
	PCCRL2	—	PC15MD0	—	PC14MD0	—	PC13MD0	—	PC12MD0
		—	PC11MD0	—	PC10MD0	—	PC9MD0	—	PC8MD0
	PCCRL1	—	PC7MD0	—	PC6MD0	—	PC5MD0	—	PC4MD0
		—	PC3MD0	—	PC2MD0	—	PC1MD0	—	PC0MD0
	PDDRDL	—	—	—	—	—	—	—	—
		PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
	PDIORL	—	—	—	—	—	—	—	—
		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR
	PDCRL1	PD7MD1	PD7MD0	PD6MD1	PD6MD0	PD5MD1	PD5MD0	PD4MD1	PD4MD0
		PD3MD1	PD3MD0	PD2MD1	PD2MD0	PD1MD1	PD1MD0	PD0MD1	PD0MD0
	PEDRL	—	—	—	—	PE11DR	PE10DR	PE9DR	PE8DR
		PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
	PEIORL	—	—	—	—	PE11IOR	PE10IOR	PE9IOR	PE8IOR
		PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR
	PECRL2	—	—	—	—	PE13MD1	PE13MD0	PE12MD1	PE12MD0
		PE11MD1	PE11MD0	PE10MD1	PE10MD0	PE09MD1	PE09MD0	PE08MD1	PE08MD0
	PECRL1	PE07MD1	PE07MD0	PE06MD1	PE06MD0	PE05MD1	PE05MD0	PE04MD1	PE04MD0
		PE03MD1	PE03MD0	PE02MD1	PE02MD0	PE01MD1	PE01MD0	PE00MD1	PE00MD0

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
I/O	PFDRL	—	—	—	—	PF11DR	PF10DR	PF9DR	PF8DR	
		PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
	PFIORL	—	—	—	—	PF11IOR	PF10IOR	PF9IOR	PF8IOR	
		PF7IOR	PF6IOR	PF5IOR	PF4IOR	PF3IOR	PF2IOR	PF1IOR	PF0IOR	
	PFCRL2	—	—	—	—	PF13MD1	PF13MD0	—	—	
		PF11MD1	PF11MD0	PF10MD1	PF10MD0	PF09MD1	PF09MD0	—	PF08MD0	
	PFCRL1	PF07MD1	PF07MD0	PF06MD1	PF06MD0	PF05MD1	PF05MD0	PF04MD1	PF04MD0	
		PF03MD1	PF03MD0	PF02MD1	PF02MD0	PF01MD1	PF01MD0	—	PF00MD0	
	PGDRH	—	—	—	—	—	—	—	—	
		PG23DR	PG22DR	PG21DR	PG20DR	PG19DR	PG18DR	PG17DR	PG16DR	
	PGDRL	PG15DR	PG14DR	PG13DR	PG12DR	PG11DR	PG10DR	PG9DR	PG8DR	
		PG7DR	PG6DR	PG5DR	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR	
	PGIORH	—	—	—	—	—	—	—	—	
		PG23IOR	PG22IOR	PG21IOR	PG20IOR	PG19IOR	PG18IOR	PG17IOR	PG16IOR	
	PGIORL	PG15IOR	PG14IOR	PG13IOR	PG12IOR	PG11IOR	PG10IOR	PG9IOR	PG8IOR	
		PG7IOR	PG6IOR	PG5IOR	PG4IOR	PG3IOR	PG2IOR	PG1IOR	PG0IOR	
	PGCRH2	—	PG23MD0	—	PG22MD0	—	PG21MD0	—	PG20MD0	
		—	PG19MD0	—	PG18MD0	—	PG17MD0	—	PG16MD0	
	PGCRL2	—	PG15MD0	—	PG14MD0	—	PG13MD0	—	PG12MD0	
		—	PG11MD0	—	PG10MD0	—	PG09MD0	—	PG08MD0	
	PGCRL1	—	PG07MD0	—	PG06MD0	—	PG05MD0	—	PG04MD0	
		—	PG03MD0	—	PG02MD0	—	PG01MD0	—	PG00MD0	
	UBC	BAR_0	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24
			BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16
			BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8
			BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0
		BAMR_0	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24
			BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16
BAM15			BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8	
BAM7			BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0	
BDR_0		BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24	
		BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16	
		BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8	
		BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0	

モジュール名	レジスタ	31/23/15/7	30/22/14/6	29/21/13/5	28/20/12/4	27/19/11/3	26/18/10/2	25/17/9/1	24/16/8/0	
UBC	BDMR_0	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24	
		BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16	
		BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8	
		BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0	
	BAR_1	BA31	BA30	BA29	BA28	BA27	BA26	BA25	BA24	
		BA23	BA22	BA21	BA20	BA19	BA18	BA17	BA16	
		BA15	BA14	BA13	BA12	BA11	BA10	BA9	BA8	
		BA7	BA6	BA5	BA4	BA3	BA2	BA1	BA0	
	BAMR_1	BAM31	BAM30	BAM29	BAM28	BAM27	BAM26	BAM25	BAM24	
		BAM23	BAM22	BAM21	BAM20	BAM19	BAM18	BAM17	BAM16	
		BAM15	BAM14	BAM13	BAM12	BAM11	BAM10	BAM9	BAM8	
		BAM7	BAM6	BAM5	BAM4	BAM3	BAM2	BAM1	BAM0	
	BDR_1	BD31	BD30	BD29	BD28	BD27	BD26	BD25	BD24	
		BD23	BD22	BD21	BD20	BD19	BD18	BD17	BD16	
		BD15	BD14	BD13	BD12	BD11	BD10	BD9	BD8	
		BD7	BD6	BD5	BD4	BD3	BD2	BD1	BD0	
	BDMR_1	BDM31	BDM30	BDM29	BDM28	BDM27	BDM26	BDM25	BDM24	
		BDM23	BDM22	BDM21	BDM20	BDM19	BDM18	BDM17	BDM16	
		BDM15	BDM14	BDM13	BDM12	BDM11	BDM10	BDM9	BDM8	
		BDM7	BDM6	BDM5	BDM4	BDM3	BDM2	BDM1	BDM0	
	BBR_0	—	—	UBID	DBE	CP3	CP2	CP1	CP0	
		CD1	CD0	ID1	ID0	RW1	RW0	SZ1	SZ0	
	BBR_1	—	—	UBID	DBE	CP3	CP2	CP1	CP0	
		CD1	CD0	ID1	ID0	RW1	RW0	SZ1	SZ0	
	BRRCR	—	—	—	—	—	—	—	—	
		—	—	—	—	—	—	—	—	
		SCMFC0	SCMFC1	SCMFD0	SCMFD1	—	—	—	—	
		—	PCB1	PCB0	—	—	—	—	—	
	H-UDI	SDIR	TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0
			—	—	—	—	—	—	—	—

28.3 各動作モードにおけるレジスタの状態の一覧

モジュール名	レジスタ略称	アドレス	パワーオンリセット	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
キャッシュ	CCR1	H'FFFC1000	初期化	保持	保持	保持
	CCR2	H'FFFC1004	初期化	保持	保持	保持
INTC	ICR0	H'FFFE0800	初期化 ^{*1}	保持	— ^{*3}	保持
	ICR1	H'FFFE0802	初期化 ^{*1}	保持	— ^{*3}	保持
	IRQRR	H'FFFE0806	初期化	保持	— ^{*3}	保持
	IBCR	H'FFFE080C	初期化	保持	— ^{*3}	保持
	IBNR	H'FFFE080E	初期化	保持	— ^{*3}	保持
	IPR01	H'FFFE0818	初期化	保持	— ^{*3}	保持
	IPR02	H'FFFE081A	初期化	保持	— ^{*3}	保持
	IPR06	H'FFFE0C00	初期化	保持	— ^{*3}	保持
	IPR07	H'FFFE0C02	初期化	保持	— ^{*3}	保持
	IPR08	H'FFFE0C04	初期化	保持	— ^{*3}	保持
	IPR09	H'FFFE0C06	初期化	保持	— ^{*3}	保持
	IPR10	H'FFFE0C08	初期化	保持	— ^{*3}	保持
	IPR11	H'FFFE0C0A	初期化	保持	— ^{*3}	保持
	IPR12	H'FFFE0C0C	初期化	保持	— ^{*3}	保持
	IPR13	H'FFFE0C0E	初期化	保持	— ^{*3}	保持
	IPR14	H'FFFE0C10	初期化	保持	— ^{*3}	保持
IPR15	H'FFFE0C12	初期化	保持	— ^{*3}	保持	
IPR16	H'FFFE0C14	初期化	保持	— ^{*3}	保持	
BSC	CMNCR	H'FFFC0000	初期化 ^{*1}	保持	— ^{*3}	保持
	CS0BCR	H'FFFC0004	初期化	保持	— ^{*3}	保持
	CS3BCR	H'FFFC0010	初期化	保持	— ^{*3}	保持
	CS4BCR	H'FFFC0014	初期化	保持	— ^{*3}	保持
	CS5BCR	H'FFFC0018	初期化	保持	— ^{*3}	保持
	CS6BCR	H'FFFC001C	初期化	保持	— ^{*3}	保持
	CS0WCR	H'FFFC0028	初期化	保持	— ^{*3}	保持
	CS3WCR	H'FFFC0034	初期化	保持	— ^{*3}	保持
	CS4WCR	H'FFFC0038	初期化	保持	— ^{*3}	保持
	CS5WCR	H'FFFC003C	初期化	保持	— ^{*3}	保持
	CS6WCR	H'FFFC0040	初期化	保持	— ^{*3}	保持
	SDCR	H'FFFC004C	初期化	保持	— ^{*3}	保持
	RTCSR	H'FFFC0050	初期化	保持	— ^{*3}	保持

モジュール名	レジスタ略称	アドレス	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
BSC	RTCNT	H'FFFC0054	初期化	保持	—* ³	保持
	RTCOR	H'FFFC0058	初期化	保持	—* ³	保持
	IBMPR	H'FFFC1818	初期化	保持	保持	保持
DMAC	SAR_0	H'FFFE1000	初期化	保持	保持	保持
	DAR_0	H'FFFE1004	初期化	保持	保持	保持
	DMATCR_0	H'FFFE1008	初期化	保持	保持	保持
	CHCR_0	H'FFFE100C	初期化	保持	保持	保持
	SAR_1	H'FFFE1010	初期化	保持	保持	保持
	DAR_1	H'FFFE1014	初期化	保持	保持	保持
	DMATCR_1	H'FFFE1018	初期化	保持	保持	保持
	CHCR_1	H'FFFE101C	初期化	保持	保持	保持
	SAR_2	H'FFFE1020	初期化	保持	保持	保持
	DAR_2	H'FFFE1024	初期化	保持	保持	保持
	DMATCR_2	H'FFFE1028	初期化	保持	保持	保持
	CHCR_2	H'FFFE102C	初期化	保持	保持	保持
	SAR_3	H'FFFE1030	初期化	保持	保持	保持
	DAR_3	H'FFFE1034	初期化	保持	保持	保持
	DMATCR_3	H'FFFE1038	初期化	保持	保持	保持
	CHCR_3	H'FFFE103C	初期化	保持	保持	保持
	SAR_4	H'FFFE1040	初期化	保持	保持	保持
	DAR_4	H'FFFE1044	初期化	保持	保持	保持
	DMATCR_4	H'FFFE1048	初期化	保持	保持	保持
	CHCR_4	H'FFFE104C	初期化	保持	保持	保持
	SAR_5	H'FFFE1050	初期化	保持	保持	保持
	DAR_5	H'FFFE1054	初期化	保持	保持	保持
	DMATCR_5	H'FFFE1058	初期化	保持	保持	保持
	CHCR_5	H'FFFE105C	初期化	保持	保持	保持
	SAR_6	H'FFFE1060	初期化	保持	保持	保持
	DAR_6	H'FFFE1064	初期化	保持	保持	保持
	DMATCR_6	H'FFFE1068	初期化	保持	保持	保持
	CHCR_6	H'FFFE106C	初期化	保持	保持	保持
SAR_7	H'FFFE1070	初期化	保持	保持	保持	
DAR_7	H'FFFE1074	初期化	保持	保持	保持	

モジュール名	レジスタ略称	アドレス	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
DMAC	DMATCR_7	H'FFFE1078	初期化	保持	保持	保持
	CHCR_7	H'FFFE107C	初期化	保持	保持	保持
	RSAR_0	H'FFFE1100	初期化	保持	保持	保持
	RDAR_0	H'FFFE1104	初期化	保持	保持	保持
	RDMATCR_0	H'FFFE1108	初期化	保持	保持	保持
	RSAR_1	H'FFFE1110	初期化	保持	保持	保持
	RDAR_1	H'FFFE1114	初期化	保持	保持	保持
	RDMATCR_1	H'FFFE1118	初期化	保持	保持	保持
	RSAR_2	H'FFFE1120	初期化	保持	保持	保持
	RDAR_2	H'FFFE1124	初期化	保持	保持	保持
	RDMATCR_2	H'FFFE1128	初期化	保持	保持	保持
	RSAR_3	H'FFFE1130	初期化	保持	保持	保持
	RDAR_3	H'FFFE1134	初期化	保持	保持	保持
	RDMATCR_3	H'FFFE1138	初期化	保持	保持	保持
	RSAR_4	H'FFFE1140	初期化	保持	保持	保持
	RDAR_4	H'FFFE1144	初期化	保持	保持	保持
	RDMATCR_4	H'FFFE1148	初期化	保持	保持	保持
	RSAR_5	H'FFFE1150	初期化	保持	保持	保持
	RDAR_5	H'FFFE1154	初期化	保持	保持	保持
	RDMATCR_5	H'FFFE1158	初期化	保持	保持	保持
	RSAR_6	H'FFFE1160	初期化	保持	保持	保持
	RDAR_6	H'FFFE1164	初期化	保持	保持	保持
	RDMATCR_6	H'FFFE1168	初期化	保持	保持	保持
	RSAR_7	H'FFFE1170	初期化	保持	保持	保持
	RDAR_7	H'FFFE1174	初期化	保持	保持	保持
	RDMATCR_7	H'FFFE1178	初期化	保持	保持	保持
	DMAOR	H'FFFE1200	初期化	保持	保持	保持
	DMARS0	H'FFFE1300	初期化	保持	保持	保持
DMARS1	H'FFFE1304	初期化	保持	保持	保持	
DMARS2	H'FFFE1308	初期化	保持	保持	保持	
DMARS3	H'FFFE130C	初期化	保持	保持	保持	
CPG	FRQCR	H'FFFE0010	初期化	保持	保持	保持
WDT	WTCNR	H'FFFE0000	初期化* ²	保持	—* ³	保持
	WTCNT	H'FFFE0002	初期化* ²	保持	—* ³	保持
	WRCNR	H'FFFE0004	初期化* ²	保持	—* ³	保持

モジュール名	レジスタ略称	アドレス	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
低消費電力 モード	STBCR	H'FFFE0014	初期化	保持	—* ³	保持
	STBCR2	H'FFFE0018	初期化	保持	—* ³	保持
	SYSCR1	H'FFFE0402	初期化	保持	—* ³	保持
	SYSCR2	H'FFFE0404	初期化	保持	—* ³	保持
	STBCR3	H'FFFE0408	初期化	保持	—* ³	保持
	STBCR4	H'FFFE040C	初期化	保持	—* ³	保持
	SYSCR3	H'FFFE0418	初期化	保持	—* ³	保持
EtherC	ECMR	H'FFFC2160	初期化	保持	保持	保持
	ECSR	H'FFFC2164	初期化	保持	保持	保持
	ECSIPR	H'FFFC2168	初期化	保持	保持	保持
	PIR	H'FFFC216C	初期化* ¹	保持	保持	保持
	MAHR	H'FFFC2170	初期化	保持	保持	保持
	MALR	H'FFFC2174	初期化	保持	保持	保持
	RFLR	H'FFFC2178	初期化	保持	保持	保持
	PSR	H'FFFC217C	初期化* ¹	保持	保持	保持
	TROCR	H'FFFC2180	初期化	保持	保持	保持
	CDCR	H'FFFC2184	初期化	保持	保持	保持
	LCCR	H'FFFC2188	初期化	保持	保持	保持
	CNDCR	H'FFFC218C	初期化	保持	保持	保持
	CEFCR	H'FFFC2194	初期化	保持	保持	保持
	FRECR	H'FFFC2198	初期化	保持	保持	保持
	TSFRCR	H'FFFC219C	初期化	保持	保持	保持
	TLFRCR	H'FFFC21A0	初期化	保持	保持	保持
	RFCR	H'FFFC21A4	初期化	保持	保持	保持
	MAFCR	H'FFFC21A8	初期化	保持	保持	保持
	IPGR	H'FFFC21B4	初期化	保持	保持	保持
	APR	H'FFFC21B8	初期化	保持	保持	保持
MPR	H'FFFC21BC	初期化	保持	保持	保持	
TPAUSER	H'FFFC21C4	初期化	保持	保持	保持	
E-DMAC	EDMR	H'FFFC2000	初期化	保持	保持	保持
	EDTRR	H'FFFC2004	初期化	保持	保持	保持
	EDRRR	H'FFFC2008	初期化	保持	保持	保持
	TDLAR	H'FFFC200C	初期化	保持	保持	保持
	RDLAR	H'FFFC2010	初期化	保持	保持	保持
	EESR	H'FFFC2014	初期化	保持	保持	保持
	EESIPR	H'FFFC2018	初期化	保持	保持	保持

モジュール名	レジスタ略称	アドレス	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
EDMAC	TRSCER	H'FFFC201C	初期化	保持	保持	保持
	RMFCR	H'FFFC2020	初期化	保持	保持	保持
	TFTR	H'FFFC2024	初期化	保持	保持	保持
	FDR	H'FFFC2028	初期化	保持	保持	保持
	RMCR	H'FFFC202C	初期化	保持	保持	保持
	EDOCR	H'FFFC2030	初期化	保持	保持	保持
	FCFTR	H'FFFC2034	初期化	保持	保持	保持
	RPADIR	H'FFFC2038	初期化	保持	保持	保持
	TRIMD	H'FFFC203C	初期化	保持	保持	保持
	RBWAR	H'FFFC2040	初期化	保持	保持	保持
	RDFAR	H'FFFC2044	初期化	保持	保持	保持
	TBRAR	H'FFFC204C	初期化	保持	保持	保持
	TDFAR	H'FFFC2050	初期化	保持	保持	保持
	CSMR	H'FFFC20E4	初期化	保持	保持	保持
	CSSBM	H'FFFC20E8	初期化	保持	保持	保持
	CSSMR	H'FFFC20EC	初期化	保持	保持	保持
A-DMAC	C0C	H'FFFC2440	初期化	保持	保持	保持
	C0M	H'FFFC2444	初期化	保持	保持	保持
	C0I	H'FFFC2448	初期化	保持	保持	保持
	C0DSA	H'FFFC247C	初期化	保持	保持	保持
	C0DCA	H'FFFC2480	初期化	保持	保持	保持
	C0D0	H'FFFC2484	初期化	保持	保持	保持
	C0D1	H'FFFC2488	初期化	保持	保持	保持
	C0D2	H'FFFC248C	初期化	保持	保持	保持
	C0D3	H'FFFC2490	初期化	保持	保持	保持
	C0D4	H'FFFC2494	初期化	保持	保持	保持
	C1C	H'FFFC24B0	初期化	保持	保持	保持
	C1M	H'FFFC24B4	初期化	保持	保持	保持
	C1I	H'FFFC24B8	初期化	保持	保持	保持
	C1DSA	H'FFFC24EC	初期化	保持	保持	保持
	C1DCA	H'FFFC24F0	初期化	保持	保持	保持
	C1D0	H'FFFC24F4	初期化	保持	保持	保持
	C1D1	H'FFFC24F8	初期化	保持	保持	保持
	C1D2	H'FFFC24FC	初期化	保持	保持	保持
	C1D3	H'FFFC2500	初期化	保持	保持	保持
	C1D4	H'FFFC2504	初期化	保持	保持	保持

モジュール名	レジスタ略称	アドレス	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
A-DMAC	FECC	H'FFFC2590	初期化	保持	保持	保持
	FECI	H'FFFC2594	初期化	保持	保持	保持
	FECDSA	H'FFFC2598	初期化	保持	保持	保持
	FECDCA	H'FFFC259C	初期化	保持	保持	保持
	FECD00	H'FFFC25A0	初期化	保持	保持	保持
	FECD01D0A	H'FFFC25A4	初期化	保持	保持	保持
	FECD02S0A	H'FFFC25A8	初期化	保持	保持	保持
	FECD03S1A	H'FFFC25AC	初期化	保持	保持	保持
STIF0	STMDR_0	H'FFFFD000	初期化	保持	保持	保持
	STCTLR_0	H'FFFFD004	初期化	保持	保持	保持
	STCNTCR_0	H'FFFFD008	初期化	保持	保持	保持
	STCNTVR_0	H'FFFFD00C	初期化	保持	保持	保持
	STSTR_0	H'FFFFD010	初期化	保持	保持	保持
	STIER_0	H'FFFFD014	初期化	保持	保持	保持
	STSizer_0	H'FFFFD018	初期化	保持	保持	保持
	STPWMMR_0	H'FFFFD020	初期化	保持	保持	保持
	STPWMCR_0	H'FFFFD024	初期化	保持	保持	保持
	STPWMR_0	H'FFFFD028	初期化	保持	保持	保持
	STPCR0R_0	H'FFFFD02C	初期化	保持	保持	保持
	STPCR1R_0	H'FFFFD030	初期化	保持	保持	保持
	STSTC0R_0	H'FFFFD034	初期化	保持	保持	保持
	STSTC1R_0	H'FFFFD038	初期化	保持	保持	保持
	STLKCR_0	H'FFFFD03C	初期化	保持	保持	保持
	STDBG_0	H'FFFFD060	初期化	保持	保持	保持
STIF1	STMDR_1	H'FFFFD800	初期化	保持	保持	保持
	STCTLR_1	H'FFFFD804	初期化	保持	保持	保持
	STCNTCR_1	H'FFFFD808	初期化	保持	保持	保持
	STCNTVR_1	H'FFFFD80C	初期化	保持	保持	保持
	STSTR_1	H'FFFFD810	初期化	保持	保持	保持
	STIER_1	H'FFFFD814	初期化	保持	保持	保持
	STSizer_1	H'FFFFD818	初期化	保持	保持	保持
	STPWMMR_1	H'FFFFD820	初期化	保持	保持	保持
	STPWMCR_1	H'FFFFD824	初期化	保持	保持	保持
	STPWMR_1	H'FFFFD828	初期化	保持	保持	保持
	STPCR0R_1	H'FFFFD82C	初期化	保持	保持	保持
	STPCR1R_1	H'FFFFD830	初期化	保持	保持	保持

モジュール名	レジスタ略称	アドレス	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
STIF1	STSTC0R_1	H'FFFFD834	初期化	保持	保持	保持
	STSTC1R_1	H'FFFFD838	初期化	保持	保持	保持
	STLKCR_1	H'FFFFD830	初期化	保持	保持	保持
	STDBGR_1	H'FFFFD860	初期化	保持	保持	保持
SSI	SCSR_0	H'FFFF0000	初期化	保持	保持	保持
	SCSR_1	H'FFFF0800	初期化	保持	保持	保持
	SSICR_0	H'FFFFC000	初期化	保持	保持	保持
	SSISR_0	H'FFFFC004	初期化	保持	保持	保持
	SSITDR_0	H'FFFFC008	初期化	保持	保持	保持
	SSIRDR_0	H'FFFFC00C	初期化	保持	保持	保持
	SSICR_1	H'FFFFC800	初期化	保持	保持	保持
	SSISR_1	H'FFFFC804	初期化	保持	保持	保持
	SSITDR_1	H'FFFFC808	初期化	保持	保持	保持
	SSIRDR_1	H'FFFFC80C	初期化	保持	保持	保持
USB	D0FWAIT	H'FFFC1C0C	初期化	保持	保持	保持
	D1FWAIT	H'FFFC1C0E	初期化	保持	保持	保持
	D0FIFO	H'FFFC1C14	初期化	保持	保持	保持
	D1FIFO	H'FFFC1C18	初期化	保持	保持	保持
	SYSCFG	H'FFFFFF800	初期化	保持	保持	保持
	BUSWAIT	H'FFFFFF802	初期化	保持	保持	保持
	SYSSTS	H'FFFFFF804	初期化	保持	保持	保持
	DVSTCTR	H'FFFFFF808	初期化	保持	保持	保持
	TESTMODE	H'FFFFFF80C	初期化	保持	保持	保持
	D0FBCFG	H'FFFFFF810	初期化	保持	保持	保持
	D1FBCFG	H'FFFFFF812	初期化	保持	保持	保持
	CFIFO	H'FFFFFF814	初期化	保持	保持	保持
	CFIFOSEL	H'FFFFFF820	初期化	保持	保持	保持
	CFIFOCTR	H'FFFFFF822	初期化	保持	保持	保持
	D0FIFOSEL	H'FFFFFF828	初期化	保持	保持	保持
	D0FIFOCTR	H'FFFFFF82A	初期化	保持	保持	保持
	D1FIFOSEL	H'FFFFFF82C	初期化	保持	保持	保持
	D1FIFOCTR	H'FFFFFF82E	初期化	保持	保持	保持
	INTENB0	H'FFFFFF830	初期化	保持	保持	保持
	INTENB1	H'FFFFFF832	初期化	保持	保持	保持
BRDYENB	H'FFFFFF836	初期化	保持	保持	保持	
NRDYENB	H'FFFFFF838	初期化	保持	保持	保持	

モジュール名	レジスタ略称	アドレス	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
USB	BEMPENB	H'FFFFFF83A	初期化	保持	保持	保持
	SOFCFG	H'FFFFFF83C	初期化	保持	保持	保持
	INTSTS0	H'FFFFFF840	初期化	保持	保持	保持
	INTSTS1	H'FFFFFF842	初期化	保持	保持	保持
	BRDYSTS	H'FFFFFF846	初期化	保持	保持	保持
	NRDYSTS	H'FFFFFF848	初期化	保持	保持	保持
	BEMPSTS	H'FFFFFF84A	初期化	保持	保持	保持
	FRMNUM	H'FFFFFF84C	初期化	保持	保持	保持
	UFRMNUM	H'FFFFFF84E	初期化	保持	保持	保持
	USBADDR	H'FFFFFF850	初期化	保持	保持	保持
	USBREQ	H'FFFFFF854	初期化	保持	保持	保持
	USBVAL	H'FFFFFF856	初期化	保持	保持	保持
	USBINDX	H'FFFFFF858	初期化	保持	保持	保持
	USBLENG	H'FFFFFF85A	初期化	保持	保持	保持
	DCPCFG	H'FFFFFF85C	初期化	保持	保持	保持
	DCPMAXP	H'FFFFFF85E	初期化	保持	保持	保持
	DCPCTR	H'FFFFFF860	初期化	保持	保持	保持
	PIPESEL	H'FFFFFF864	初期化	保持	保持	保持
	PIPECFG	H'FFFFFF868	初期化	保持	保持	保持
	PIPEBUF	H'FFFFFF86A	初期化	保持	保持	保持
	PIPEMAXP	H'FFFFFF86C	初期化	保持	保持	保持
	PIPEPERI	H'FFFFFF86E	初期化	保持	保持	保持
	PIPE1CTR	H'FFFFFF870	初期化	保持	保持	保持
	PIPE2CTR	H'FFFFFF872	初期化	保持	保持	保持
	PIPE3CTR	H'FFFFFF874	初期化	保持	保持	保持
	PIPE4CTR	H'FFFFFF876	初期化	保持	保持	保持
	PIPE5CTR	H'FFFFFF878	初期化	保持	保持	保持
	PIPE6CTR	H'FFFFFF87A	初期化	保持	保持	保持
	PIPE7CTR	H'FFFFFF87C	初期化	保持	保持	保持
	PIPE8CTR	H'FFFFFF87E	初期化	保持	保持	保持
	PIPE9CTR	H'FFFFFF880	初期化	保持	保持	保持
	PIPE1TRE	H'FFFFFF890	初期化	保持	保持	保持
	PIPE1TRN	H'FFFFFF892	初期化	保持	保持	保持
PIPE2TRE	H'FFFFFF894	初期化	保持	保持	保持	
PIPE2TRN	H'FFFFFF896	初期化	保持	保持	保持	
PIPE3TRE	H'FFFFFF898	初期化	保持	保持	保持	

モジュール名	レジスタ略称	アドレス	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
USB	PIPE3TRN	H'FFFFFF89A	初期化	保持	保持	保持
	PIPE4TRE	H'FFFFFF89C	初期化	保持	保持	保持
	PIPE4TRN	H'FFFFFF89E	初期化	保持	保持	保持
	PIPE5TRE	H'FFFFFF8A0	初期化	保持	保持	保持
	PIPE5TRN	H'FFFFFF8A2	初期化	保持	保持	保持
	DEVADD0	H'FFFFFF8D0	初期化	保持	保持	保持
	DEVADD1	H'FFFFFF8D2	初期化	保持	保持	保持
	DEVADD2	H'FFFFFF8D4	初期化	保持	保持	保持
	DEVADD3	H'FFFFFF8D6	初期化	保持	保持	保持
	DEVADD4	H'FFFFFF8D8	初期化	保持	保持	保持
	DEVADD5	H'FFFFFF8DA	初期化	保持	保持	保持
	DEVADD6	H'FFFFFF8DC	初期化	保持	保持	保持
	DEVADD7	H'FFFFFF8DE	初期化	保持	保持	保持
	DEVADD8	H'FFFFFF8E0	初期化	保持	保持	保持
	DEVADD9	H'FFFFFF8E2	初期化	保持	保持	保持
DEVADDA	H'FFFFFF8E4	初期化	保持	保持	保持	
IIC3	ICCR1_0	H'FFFEE000	初期化	保持	保持	保持
	ICCR2_0	H'FFFEE001	初期化	保持	保持	保持
	ICMR_0	H'FFFEE002	初期化	保持	保持	保持
	ICIER_0	H'FFFEE003	初期化	保持	保持	保持
	ICSR_0	H'FFFEE004	初期化	保持	保持	保持
	SAR_0	H'FFFEE005	初期化	保持	保持	保持
	ICDRT_0	H'FFFEE006	初期化	保持	保持	保持
	ICDRR_0	H'FFFEE007	初期化	保持	保持	保持
	NF2CYC_0	H'FFFEE008	初期化	保持	保持	保持
HIF	HIFDX	H'FFFFE000	初期化	保持	保持	保持
	HIFGSR	H'FFFFE004	初期化	保持	保持	保持
	HIFSCR	H'FFFFE008	初期化 ^{*1}	保持	保持	保持
	HIFMCR	H'FFFFE00C	初期化	保持	保持	保持
	HIFIICR	H'FFFFE010	初期化	保持	保持	保持
	HIFEICR	H'FFFFE014	初期化	保持	保持	保持
	HIFADR	H'FFFFE018	初期化	保持	保持	保持
	HIFDATA	H'FFFFE01C	初期化	保持	保持	保持
	HIFDTR	H'FFFFE020	初期化	保持	保持	保持
	HIFBICR	H'FFFFE024	初期化	保持	保持	保持
	HIFBCR	H'FFFFE040	初期化 ^{*1}	保持	保持	保持

モジュール名	レジスタ略称	アドレス	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
CMT	CMSTR	H'FFFE000	初期化	初期化	保持	保持
	CMCSR_0	H'FFFE002	初期化	初期化	保持	保持
	CMCNT_0	H'FFFE004	初期化	初期化	保持	保持
	CMCOR_0	H'FFFE006	初期化	初期化	保持	保持
	CMCSR_1	H'FFFE008	初期化	初期化	保持	保持
	CMCNT_1	H'FFFE00A	初期化	初期化	保持	保持
	CMCOR_1	H'FFFE00C	初期化	初期化	保持	保持
SCIF0	SCSMR_0	H'FFFE8000	初期化	保持	保持	保持
	SCBRR_0	H'FFFE8004	初期化	保持	保持	保持
	SCSCR_0	H'FFFE8008	初期化	保持	保持	保持
	SCFTDR_0	H'FFFE800C	不定	保持	保持	保持
	SCFSR_0	H'FFFE8010	初期化	保持	保持	保持
	SCFRDR_0	H'FFFE8014	不定	保持	保持	保持
	SCFCR_0	H'FFFE8018	初期化	保持	保持	保持
	SCFDR_0	H'FFFE801C	初期化	保持	保持	保持
	SCSPTR_0	H'FFFE8020	初期化* ¹	保持	保持	保持
	SCLSR_0	H'FFFE8024	初期化	保持	保持	保持
SCIF1	SCSMR_1	H'FFFE8800	初期化	保持	保持	保持
	SCBRR_1	H'FFFE8804	初期化	保持	保持	保持
	SCSCR_1	H'FFFE8808	初期化	保持	保持	保持
	SCFTDR_1	H'FFFE880C	不定	保持	保持	保持
	SCFSR_1	H'FFFE8810	初期化	保持	保持	保持
	SCFRDR_1	H'FFFE8814	不定	保持	保持	保持
	SCFCR_1	H'FFFE8818	初期化	保持	保持	保持
	SCFDR_1	H'FFFE881C	初期化	保持	保持	保持
	SCSPTR_1	H'FFFE8820	初期化* ¹	保持	保持	保持
	SCLSR_1	H'FFFE8824	初期化	保持	保持	保持
SCIF2	SCSMR_2	H'FFFE9000	初期化	保持	保持	保持
	SCBRR_2	H'FFFE9004	初期化	保持	保持	保持
	SCSCR_2	H'FFFE9008	初期化	保持	保持	保持
	SCFTDR_2	H'FFFE900C	不定	保持	保持	保持
	SCFSR_2	H'FFFE9010	初期化	保持	保持	保持
	SCFRDR_2	H'FFFE9014	不定	保持	保持	保持
	SCFCR_2	H'FFFE9018	初期化	保持	保持	保持
	SCFDR_2	H'FFFE901C	初期化	保持	保持	保持
	SCSPTR_2	H'FFFE9020	初期化* ¹	保持	保持	保持

モジュール名	レジスタ略称	アドレス	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
SCIF2	SCLSR_2	H'FFFE9024	初期化	保持	保持	保持
I/O	PADRH	H'FFFE3800	初期化	保持	—* ³	保持
	PAIORH	H'FFFE3804	初期化	保持	—* ³	保持
	PACRH2	H'FFFE3808	初期化	保持	—* ³	保持
	PACRH1	H'FFFE380A	初期化	保持	—* ³	保持
	PBDRL	H'FFFE3882	初期化	保持	—* ³	保持
	PBIORL	H'FFFE3886	初期化	保持	—* ³	保持
	PBCRL1	H'FFFE388E	初期化	保持	—* ³	保持
	PCDRH	H'FFFE3900	初期化	保持	—* ³	保持
	PCDRL	H'FFFE3902	初期化	保持	—* ³	保持
	PCIORH	H'FFFE3904	初期化	保持	—* ³	保持
	PCIORL	H'FFFE3906	初期化	保持	—* ³	保持
	PCCR1	H'FFFE390A	初期化	保持	—* ³	保持
	PCCRL2	H'FFFE390C	初期化	保持	—* ³	保持
	PCCRL1	H'FFFE390E	初期化	保持	—* ³	保持
	PDDR1	H'FFFE3982	初期化	保持	—* ³	保持
	PDIORL	H'FFFE3986	初期化	保持	—* ³	保持
	PDCRL1	H'FFFE398E	初期化	保持	—* ³	保持
	PEDRL	H'FFFE3A02	初期化	保持	—* ³	保持
	PEIORL	H'FFFE3A06	初期化	保持	—* ³	保持
	PECRL2	H'FFFE3A0C	初期化	保持	—* ³	保持
	PECRL1	H'FFFE3A0E	初期化	保持	—* ³	保持
	PFDR1	H'FFFE3A82	初期化	保持	—* ³	保持
	PFIORL	H'FFFE3A86	初期化	保持	—* ³	保持
	PFCRL2	H'FFFE3A8C	初期化	保持	—* ³	保持
	PFCRL1	H'FFFE3A8E	初期化	保持	—* ³	保持
	PGDRH	H'FFFE3B00	初期化	保持	—* ³	保持
	PGDRL	H'FFFE3B02	初期化	保持	—* ³	保持
	PGIORH	H'FFFE3B04	初期化	保持	—* ³	保持
	PGIORL	H'FFFE3B06	初期化	保持	—* ³	保持
	PGCRH2	H'FFFE3B0A	初期化	保持	—* ³	保持
PGCRL2	H'FFFE3B0C	初期化	保持	—* ³	保持	
PGCRL1	H'FFFE3B0E	初期化	保持	—* ³	保持	
UBC	BAR_0	H'FFFC0400	初期化	保持	保持	保持
	BAMR_0	H'FFFC0404	初期化	保持	保持	保持
	BDR_0	H'FFFC0408	初期化	保持	保持	保持

モジュール名	レジスタ略称	アドレス	パワーオン リセット	ソフトウェア スタンバイ	モジュール スタンバイ	スリープ
UBC	BDMMR_0	H'FFFC040C	初期化	保持	保持	保持
	BAR_1	H'FFFC0410	初期化	保持	保持	保持
	BAMR_1	H'FFFC0414	初期化	保持	保持	保持
	BDR_1	H'FFFC0418	初期化	保持	保持	保持
	BDMMR_1	H'FFFC041C	初期化	保持	保持	保持
	BBR_0	H'FFFC04A0	初期化	保持	保持	保持
	BBR_1	H'FFFC04B0	初期化	保持	保持	保持
	BRCCR	H'FFFC04C0	初期化	保持	保持	保持
H-UDI	SDIR	H'FFFE2000	保持	保持	保持	保持

- 【注】 *1 初期化されないビットがあります。
- *2 WDT によるパワーオンリセットでは初期化されません。
- *3 本モジュールに対するモジュールスタンバイ機能はありません。
- *4 パワーオンリセット端子によるリセットでなく、PHY 電源の印加による初期化です。

29. 電気的特性

29.1 絶対最大定格

絶対最大定格を表 29.1 に示します。

表 29.1 絶対最大定格

項 目	記号	定格値	単位
電源電圧 (I/O)	V_{CCQ}	-0.3~4.6	V
電源電圧 (内部)	V_{CC}	-0.3~1.7	V
PLL 電源電圧	$V_{CC(PLL)}$	-0.3~1.7	V
USB トランシーバ部アナログ電源電圧 (コア)	AV33	-0.3~4.6	V
USB トランシーバ部アナログ電源電圧 (コア)	AV12	-0.3~1.7	V
USB トランシーバ部デジタル電源電圧 (端子)	DV33	-0.3~4.6	V
USB トランシーバ部デジタル電源電圧 (端子)	DV12	-0.3~1.7	V
USB トランシーバ部デジタル電源電圧 (コア)	UV12	-0.3~1.7	V
入力電圧	V_{in}	-0.3~ $V_{CCQ}+0.3$	V
動作温度	T_{opr}	-20~70 (通常仕様品) -40~85 (広温度仕様品)	°C
保存温度	T_{stg}	-55~125	°C

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

29.2 電源投入・切断シーケンス

電源投入・切断シーケンスとその推奨値を下記に示します。

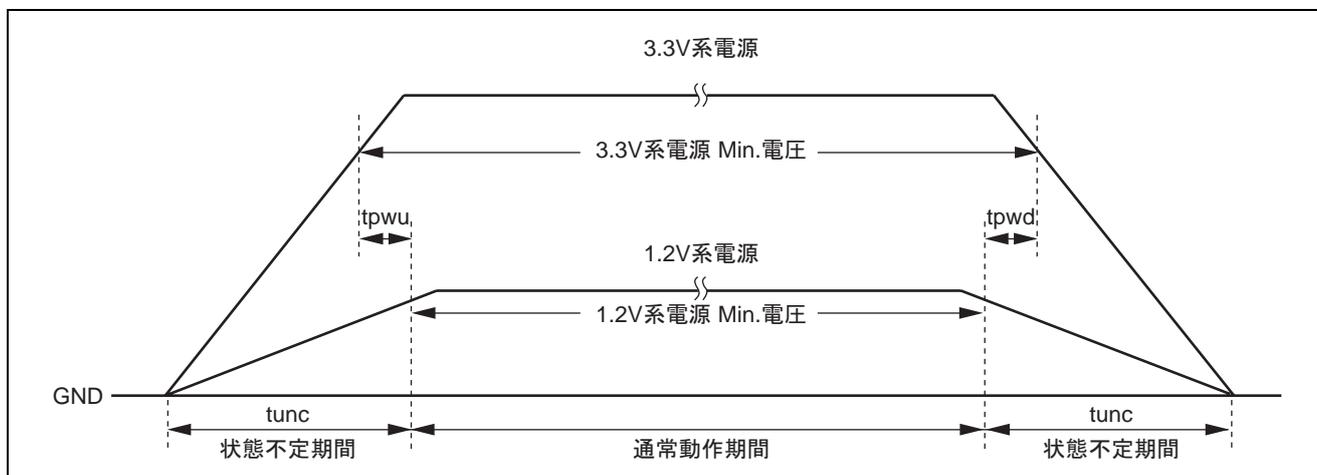


図 29.1 電源投入・切断シーケンス

表 29.2 電源投入・切断時間推奨値

項目	記号	Min.	Max.	単位
3.3V-1.2V 電源投入時間差	t_{pwu}	0	—	ms
1.2V-3.3V 電源切断時間差	t_{pwd}	0	—	ms
状態不定期間	t_{unc}	—	100	ms

【注】 上記は推奨値であり、厳密な設定を要求するものではありません。

3.3V系電源（ V_{ccQ} 、AV33、DV33）を1.2V系電源（ V_{cc} 、 $V_{cc}(PLL)$ 、AV12、DV12、UV12）よりも先に投入してください。また、3.3V系電源を1.2V系電源よりも後に切断してください。1.2V系電源がMin.電圧以上に到達するまでおよびMin.電圧以下になってからが状態不定期間となり、その期間は端子状態および内部状態が不定となります。その状態によってシステム全体が誤動作を引き起こさないようシステム設計を行ってください。

29.3 DC 特性

DC 特性を表 29.3 に示します。

表 29.3 DC 特性 (1) 【共通項目】

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項 目		記号	Min.	Typ.	Max.	単位	測定条件	
電源電圧		V_{ccQ}	3.1	3.3	3.5	V		
		V_{cc}	1.1	1.2	1.3	V		
PLL 電源電圧		$V_{cc}(PLL)$	1.1	1.2	1.3	V		
USB 電源電圧		AV33 DV33	3.1	3.3	3.5	V		
		AV12 DV12 UV12	1.1	1.2	1.3	V		
消費電流*1	通常動作時	V_{ccQ}	I_{cc0}	—	50*3	70*3	mA	各電源電圧は Max 値 通常仕様品は $I\phi=200MHz$ $B\phi=100MHz$ $P\phi=50MHz$ 広温度仕様品は $I\phi=133.3MHz$ $B\phi=66.6MHz$ $P\phi=33.3MHz$
				33*4	50*4			
		DV33	I_{cc1}^{*2}	—	44	65		
		V_{cc} $V_{cc}(PLL)$	I_{cc2}	—	230*3	460*3		
				166*4	400*4			
		DV12 UV12	I_{cc3}^{*2}	—	32	55		
		AV33	I_{cc4}^{*2}	—	4	5		
	AV12	I_{cc5}^{*2}	—	14	16			
	スリープ モード時	V_{ccQ}	I_{sleep0}	—	50*3	70*3		
				33*4	50*4			
		DV33	I_{sleep1}^{*2}	—	44	65		
		V_{cc} $V_{cc}(PLL)$	I_{sleep2}	—	170*3	400*3		
				127*4	360*4			
		DV12 UV12	I_{sleep3}^{*2}	—	32	55		
AV33		I_{sleep4}^{*2}	—	4	5			
AV12	I_{sleep5}^{*2}	—	14	16				

【注】 *1 消費電流は、すべての出力端子およびプルアップ付き端子を無負荷状態にした場合の値です。

*2 USB 動作時

*3 通常仕様品

*4 広温度仕様品

表 29.3 DC 特性 (1) のつづき【共通項目】

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Typ.	Max.	単位	測定条件		
消費電流*	ソフトウェア スタンバイ モード時	V_{ccQ} DV33	$I_{sstby00}$	—	38	45	μA	$T_a > 50^{\circ}C$ 各電源電圧は Max 値
	V_{cc} $V_{cc}(PLL)$ DV12 UV12	$I_{sstby01}$	—	250	280	mA		
	AV33	$I_{sstby02}$	—	20	40	μA		
	AV12	$I_{sstby03}$	—	2	5	μA		
	V_{ccQ} DV33	$I_{sstby10}$	—	35	42	μA	$T_a \leq 50^{\circ}C$ 各電源電圧は Max 値	
	V_{cc} $V_{cc}(PLL)$ DV12 UV12	$I_{sstby11}$	—	40	80	mA		
	AV33	$I_{sstby12}$	—	20	40	μA		
	AV12	$I_{sstby13}$	—	2	5	μA		
入力リーク電流	全入力端子 (PB7~PB0 除く)	$ I_{in} $	—	—	1.0	μA	$V_{in}=0.5\sim$	
	PB01、PB00		—	—	10	μA	$V_{ccQ}-0.5V$	
スリープステート リーク電流	全入出力、出力端子	$ I_{ST1} $	—	—	1.0	μA	$V_{in}=0.5\sim$ $V_{ccQ}-0.5V$	
端子容量	全端子	C_{in}	—	—	15	pF		

【注】 * 消費電流は、すべての出力端子を無負荷状態にした場合の値です。

表 29.3 DC 特性 (2) 【I²C、USB 関連端子を除く】

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル 電圧	EXTAL、CKIO、 \overline{RES} 、TCK、 \overline{TRST} 、 \overline{ASEMD} 、 \overline{TESTMD} 、MD_BW、MD_CK1、MD_CK0、NMI、ST1_CLKIN/SSISCK1、ST1_VCO_CLKIN/AUDIO_CLK、ST0_CLKIN/SSISCK0、ST0_VCO_CLKIN	$V_{ccQ}-0.3$	—	$V_{ccQ}+0.3$	V	
	その他の入力端子 (PB07~PB00 を除く)	2.1	—	$V_{ccQ}+0.3$	V	
入力ローレベル 電圧	EXTAL、CKIO、 \overline{RES} 、TCK、 \overline{TRST} 、 \overline{ASEMD} 、MD_BW、MD_CK1、MD_CK0、NMI、ST1_CLKIN/SSISCK1、ST1_VCO_CLKIN/AUDIO_CLK、ST0_CLKIN/SSISCK0、ST0_VCO_CLKIN	-0.3	—	0.3	V	
	その他の入力端子 (PB07~PB00 を除く)	-0.3	—	0.8	V	
ポート B 入力特性	PB07、PB06、PB05/IRQ3、PB04/IRQ2、PB03/IRQ1/DREQ1、PB02/IRQ0、	$V_{ccQ}-0.5$	—	$V_{ccQ}+0.3$	V	
		V_{IL}	-0.3	—	0.5	V
出力ハイレベル電圧		V_{OH}	2.4	—	—	V $I_{OH}=-200\mu A$
出力ローレベル電圧		V_{OL}	—	—	0.4	V $I_{OL}=1.6mA$

表 29.3 DC 特性 (3) 【I²C 関連端子*】

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V_{IH}	$V_{ccQ}-0.5$	—	$V_{ccQ}+0.3$	V	
入力ローレベル電圧	V_{IL}	-0.3	—	0.5	V	
シュミットトリガ入力特性	$V_{IH}-V_{IL}$	$V_{ccQ}\times 0.05$	—	—	V	
出力ローレベル電圧	V_{OL}	—	—	$V_{ccQ}\times 0.2$	V	$I_{OL}=3.0mA$

【注】 * PB01/ $\overline{IOIS16}$ /SCL、PB00/ \overline{WAIT} /SDA 端子 (オープンドレイン端子)

表 29.3 DC 特性 (4) 【USB 関連端子*】

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Typ.	Max.	単位	測定条件
基準抵抗	R_{REF}	5.6-1%	5.6	5.6+1%	k Ω	
入力ハイレベル電圧 (VBUS)	V_{IH}	4.0	—	5.5	V	
入力ローレベル電圧 (VBUS)	V_{IL}	-0.3	—	1.0	V	
入力ハイレベル電圧 (USB_X1)	V_{IH}	$V_{ccQ}-0.3$	—	$V_{ccQ}+0.3$	V	
入力ローレベル電圧 (USB_X1)	V_{IL}	-0.3	—	0.3	V	

【注】 * REFRIN、VBUS、USB_X1、USB_X2 端子

表 29.3 DC 特性 (5) 【USB 関連端子* (ロースピード/フルスピード/ハイスピード共通項目)】

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Typ.	Max.	単位	測定条件
DP プルアップ抵抗 (ファンクション機能使用時)	R_{pu}	0.900	—	1.575	k Ω	アイドル時
		1.425	—	3.090	k Ω	送受信時
DP、DM プルダウン抵抗 (ホスト機能選択時)	R_{pd}	14.25	—	24.80	k Ω	

【注】 * DP、DM 端子

表 29.3 DC 特性 (6) 【USB 関連端子* (ロースピード/フルスピード時)】

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V_{IH}	2.0	—	—	V	
入力ローレベル電圧	V_{IL}	—	—	0.8	V	
差動入力感度	V_{DI}	0.2	—	—	V	$ (DP)-(DM) $
差動コモンモード範囲	V_{CM}	0.8	—	2.5	V	
出力ハイレベル電圧	V_{OH}	2.8	—	—	V	$I_{OH}=-200\mu A$
出力ローレベル電圧	V_{OL}	—	—	0.3	V	$I_{OL}=2.0mA$
シングルエンディッド レシーバスレシヨルド電圧	V_{SE}	0.8	—	2.0	V	
出力信号クロスオーバー電圧	V_{ORS}	1.3	—	2.0	V	$C_L=50pF$

【注】 * DP、DM 端子

表 29.3 DC 特性 (7) 【USB 関連端子* (ハイスピード時)】

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Typ.	Max.	単位	測定条件
スケルチ検出スレッショルド電圧 (差動電圧)	V_{HSSQ}	100	—	150	mV	
コモンモード電圧範囲	V_{HSCM}	-50	—	500	mV	
アイドル状態	V_{HSOI}	-10.0	—	10.0	mV	
出力ハイレベル電圧	V_{HSOH}	360	—	440	mV	
出力ローレベル電圧	V_{HSOL}	-10.0	—	10.0	mV	
Chirp J 出力電圧 (差分)	V_{CHIRPJ}	700	—	1100	mV	
Chirp K 出力電圧 (差分)	V_{CHIRPK}	-900	—	-500	mV	

【注】 * DP、DM 端子

表 29.4 出力許容電流値

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Typ.	Max.	単位	
出力ローレベル 許容電流 (1 端子当たり)	I ² C 関連端子*	I_{OL}	—	—	10	mA
	その他の出力端子				2	mA
出力ローレベル許容電流 (総和)	ΣI_{OL}	—	—	60	mA	
出力ハイレベル許容電流 (1 端子当たり)	$-I_{OH}$	—	—	2	mA	
出力ハイレベル許容電流 (総和)	$\Sigma -I_{OH}$	—	—	60	mA	

【注】 * PB01/I²C/SCL、PB00/WAIT/SDA 端子をそれぞれ、SCL、SDA として使用する場合

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 29.4 の値を超えないようにしてください。

29.4 AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 29.5 最大動作周波数

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項 目		記号	Min.	Typ.	Max.	単位	備考
動作周波数	CPU (I ϕ)	f	60	—	200	MHz	通常仕様品
					133.3		広温度仕様品
	内部バス、外部バス (B ϕ)		60	—	100	MHz	通常仕様品
					66.6		広温度仕様品
	周辺モジュール (P ϕ)		10	—	50	MHz	通常仕様品
					33.3		広温度仕様品

29.4.1 クロックタイミング

表 29.6 クロックタイミング

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項 目	記号	Min.	Max.	単位	参照図
EXTAL* ¹ クロック入力周波数	f _{EX}	15	25* ² 16.6* ³	MHz	29.2
EXTAL* ¹ クロック入力サイクル時間	t _{EXcyc}	40* ² 60* ³	66.6	ns	
AUDIO_CLK クロック入力周波数	f _{EX}	10	40	MHz	
AUDIO_CLK クロック入力サイクル時間	t _{EXcyc}	25	100	ns	
USB_X1 クロック入力周波数	f _{EX}	48	48	MHz	
EXTAL* ¹ 、AUDIO_CLK クロック入力ローレベルパルス幅	t _{EXL}	0.4	0.6	t _{EXcyc}	
EXTAL* ¹ 、AUDIO_CLK クロック入力ハイレベルパルス幅	t _{EXH}	0.4	0.6	t _{EXcyc}	
EXTAL* ¹ 、AUDIO_CLK クロック入力立ち上がり時間	t _{EXr}	—	4	ns	
EXTAL* ¹ 、AUDIO_CLK クロック入力立ち下がり時間	t _{EXf}	—	4	ns	
CKIO クロック入力周波数	f _{CK}	60	100* ² 66.6* ³	MHz	
CKIO クロック入力サイクル時間	t _{CKcyc}	10* ² 15* ³	16.6	ns	
CKIO クロック入力ローレベルパルス幅	t _{CKIL}	0.3	0.7	t _{CKcyc}	
CKIO クロック入力ハイレベルパルス幅	t _{CKIH}	0.3	0.7	t _{CKcyc}	

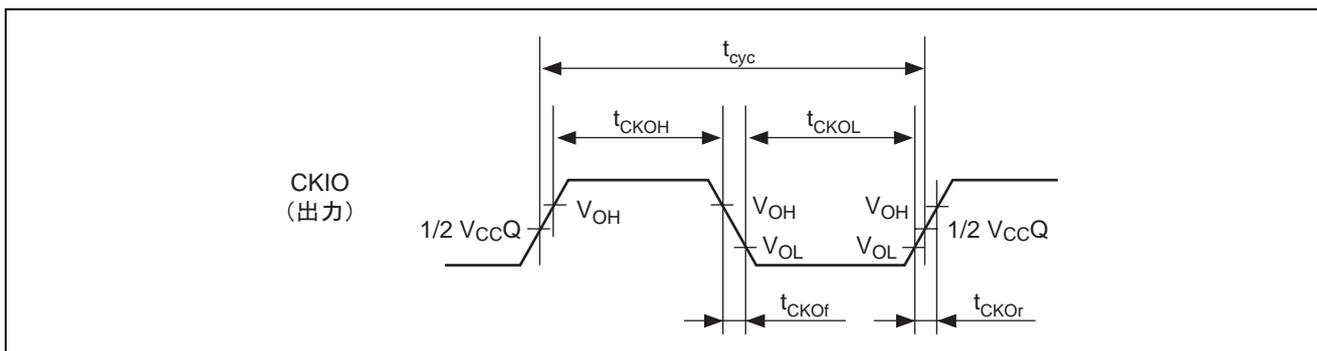


図 29.4 CKIO クロック出力タイミング

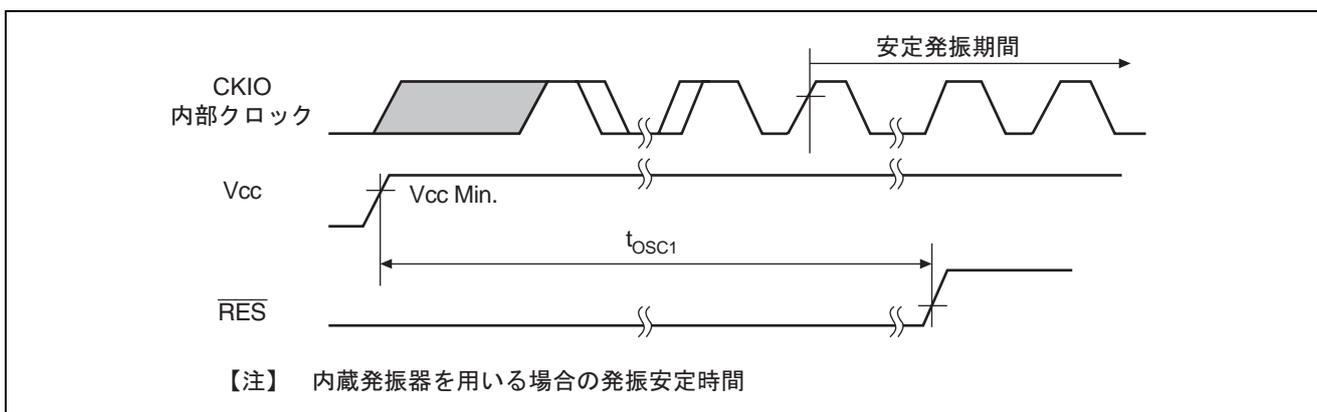


図 29.5 パワーオン発振安定時間

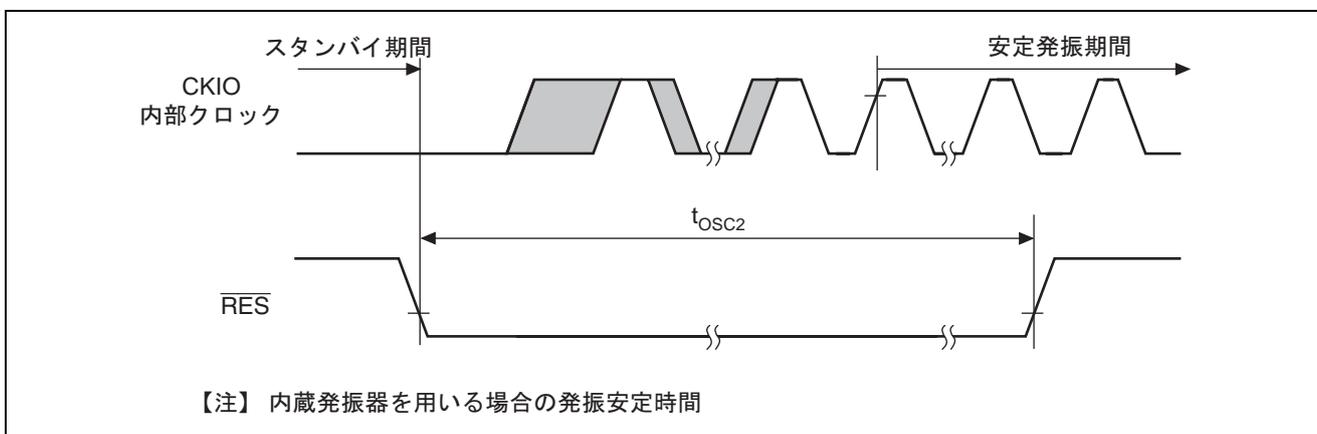


図 29.6 スタンバイ復帰時発振安定時間 (リセットによる復帰)

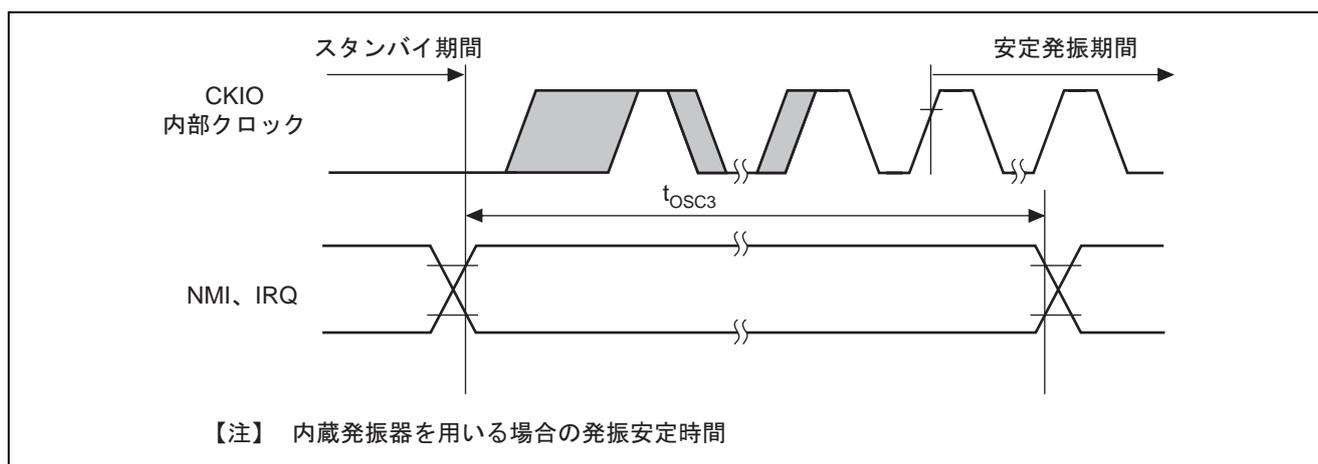


図 29.7 スタンバイ復帰時発振安定時間 (NMI、IRQ による復帰)

29.4.2 制御信号タイミング

表 29.7 制御信号タイミング

条件 : $V_{CC}=V_{CC}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{CCQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{SS}=V_{SS}(PLL)=DG12=UG12=V_{SSQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Max.	単位	参照図
RES パルス幅	t_{RESW}	20^{*1}	—	t_{bicyc}^{*3}	29.8
NMI パルス幅	t_{NMIW}	20^{*2}	—	t_{bicyc}^{*3}	29.9
IRQ パルス幅	t_{IRQW}	20^{*2}	—	t_{bicyc}^{*3}	

【注】 *1 スタンバイモード時またはクロック逡倍率が変わるときは、 $t_{RESW}=t_{OSC2}$ (10ms) になります。

*2 スタンバイモード時は、 $t_{NMIW}/t_{IRQW}=t_{OSC3}$ (10ms) となります。

*3 t_{bicyc} は外部バスクロック (Bφ) の周期を示します。

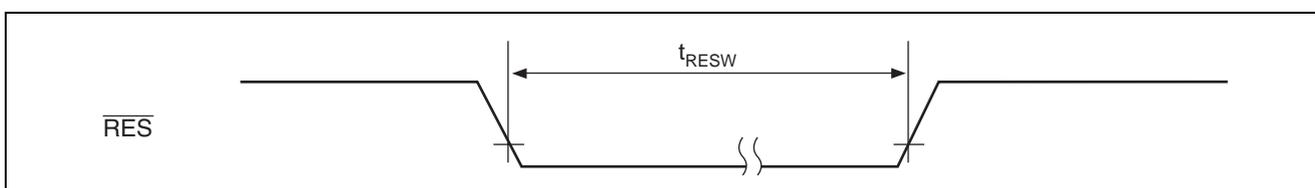


図 29.8 リセット入力タイミング

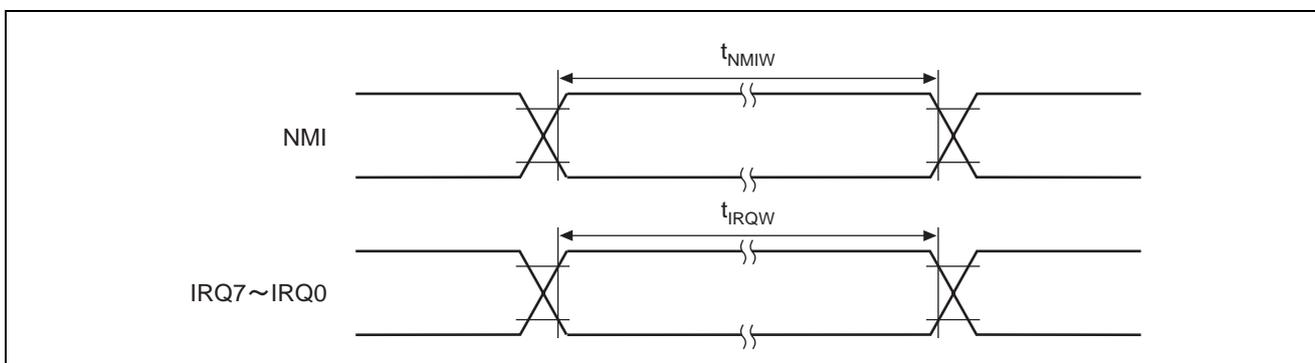


図 29.9 割り込み信号入力タイミング

29.4.3 バスタイミング

表 29.8 バスタイミング

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、 $T_a=-20\sim 70^\circ C$ (通常仕様品) $-40\sim 85^\circ C$ (広温度仕様品)

項目	記号	Min.	Max.	単位	参照図	
アドレス遅延時間 1	A25~A17、A0 A16~A1	t _{AD1}	1	10.3	ns	29.10~29.36
			1	8.3		
アドレスセットアップ時間	t _{AS}	0	—	ns	29.10~29.13	
アドレスホールド時間	t _{AH}	0	—	ns	29.10~29.13	
BS 遅延時間	t _{BSD}	—	8.3	ns	29.10~29.29、29.33~29.36	
CS 遅延時間 1	t _{CSD1}	1	8.3	ns	29.10~29.36	
リードライト遅延時間 1	t _{rWD1}	1	8.3	ns	29.10~29.36	
リードストロブ遅延時間	t _{rSD}	1/2t _{b_{cyc}}	1/2t _{b_{cyc}} +8.3	ns	29.10~29.15、29.33、29.34	
リードデータセットアップ時間 1	t _{rDS1}	1/2t _{b_{cyc}} +10	—	ns	29.10~29.13、 29.14、29.15、29.33~29.36	
リードデータセットアップ時間 2	t _{rDS2}	4.3	—	ns	29.16~29.19、29.24~29.26	
リードデータホールド時間 1	t _{rDH1}	0	—	ns	29.10~29.13、29.33~29.36	
リードデータホールド時間 2	t _{rDH2}	2	—	ns	29.16~29.19、29.24~29.26	
ライトイネーブル遅延時間 1	t _{wED1}	1/2t _{b_{cyc}}	1/2t _{b_{cyc}} +8.3	ns	29.10~29.13、29.33、29.34	
ライトイネーブル遅延時間 2	t _{wED2}	—	8.3	ns	29.15	
ライトデータ遅延時間 1	t _{wDD1}	—	10	ns	29.10~29.15、29.33~29.36	
ライトデータ遅延時間 2	t _{wDD2}	—	8.3	ns	29.20~29.23、29.27~29.29	
ライトデータホールド時間 1	t _{wDH1}	1	—	ns	29.10~29.15、29.33~29.36	
ライトデータホールド時間 2	t _{wDH2}	1	—	ns	29.20~29.23、29.27~29.29	
ライトデータホールド時間 4	t _{wDH4}	0	—	ns	29.10、29.33、29.35	
WAIT セットアップ時間	t _{wTS}	1/2t _{b_{cyc}} +6.5	—	ns	29.11~29.15、29.34、29.36	
WAIT ホールド時間	t _{wTH}	1/2t _{b_{cyc}} +1	—	ns	29.11~29.15、29.34、29.36	
IOIS16 セットアップ時間	t _{IO16S}	1/2t _{b_{cyc}} +6.5	—	ns	29.36	
IOIS16 ホールド時間	t _{IO16H}	1/2t _{b_{cyc}} +1	—	ns	29.36	
RAS 遅延時間 1	t _{rASD1}	1	8.3	ns	29.16~29.32	
CAS 遅延時間 1	t _{rASD1}	1	8.3	ns	29.16~29.32	
DQM 遅延時間 1	t _{rQMD1}	1	8.3	ns	29.16~29.29	
CKE 遅延時間 1	t _{rCKED1}	1	8.3	ns	29.31	
DACK、TEND 遅延時間	t _{rDACD}	—	DMAC モジュール タイミング参照	ns	29.10~29.29、29.33~29.36	
ICIORD 遅延時間	t _{rCRSD}	1/2t _{b_{cyc}}	1/2t _{b_{cyc}} +8.3	ns	29.35、29.36	
ICIOWR 遅延時間	t _{rCWS}	1/2t _{b_{cyc}}	1/2t _{b_{cyc}} +8.3	ns	29.35、29.36	

【注】 t_{b_{cyc}}は外部バスクロック (Bφ) の周期を示します。

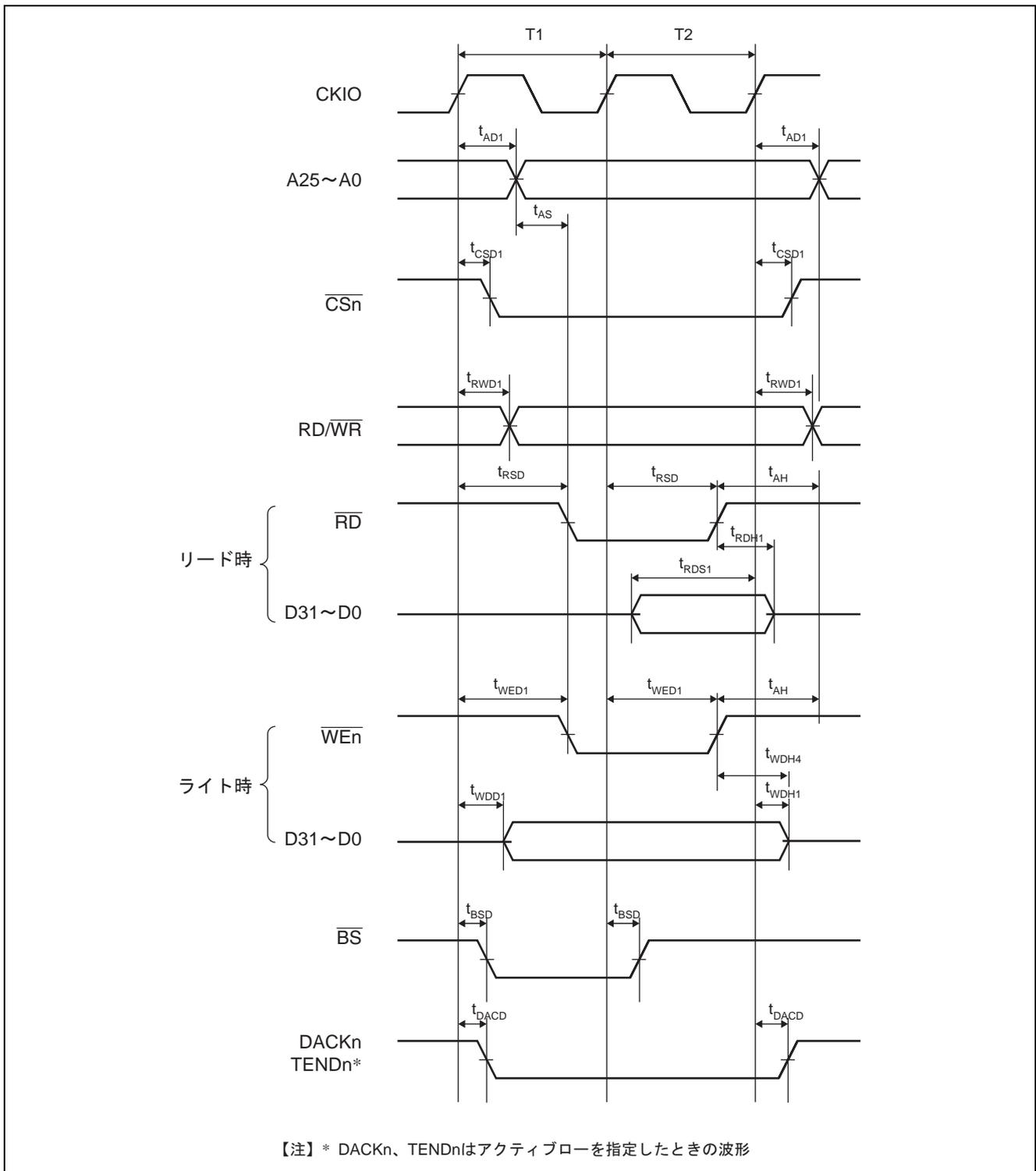


図 29.10 通常空間基本バスサイクル（ノーウェイト）

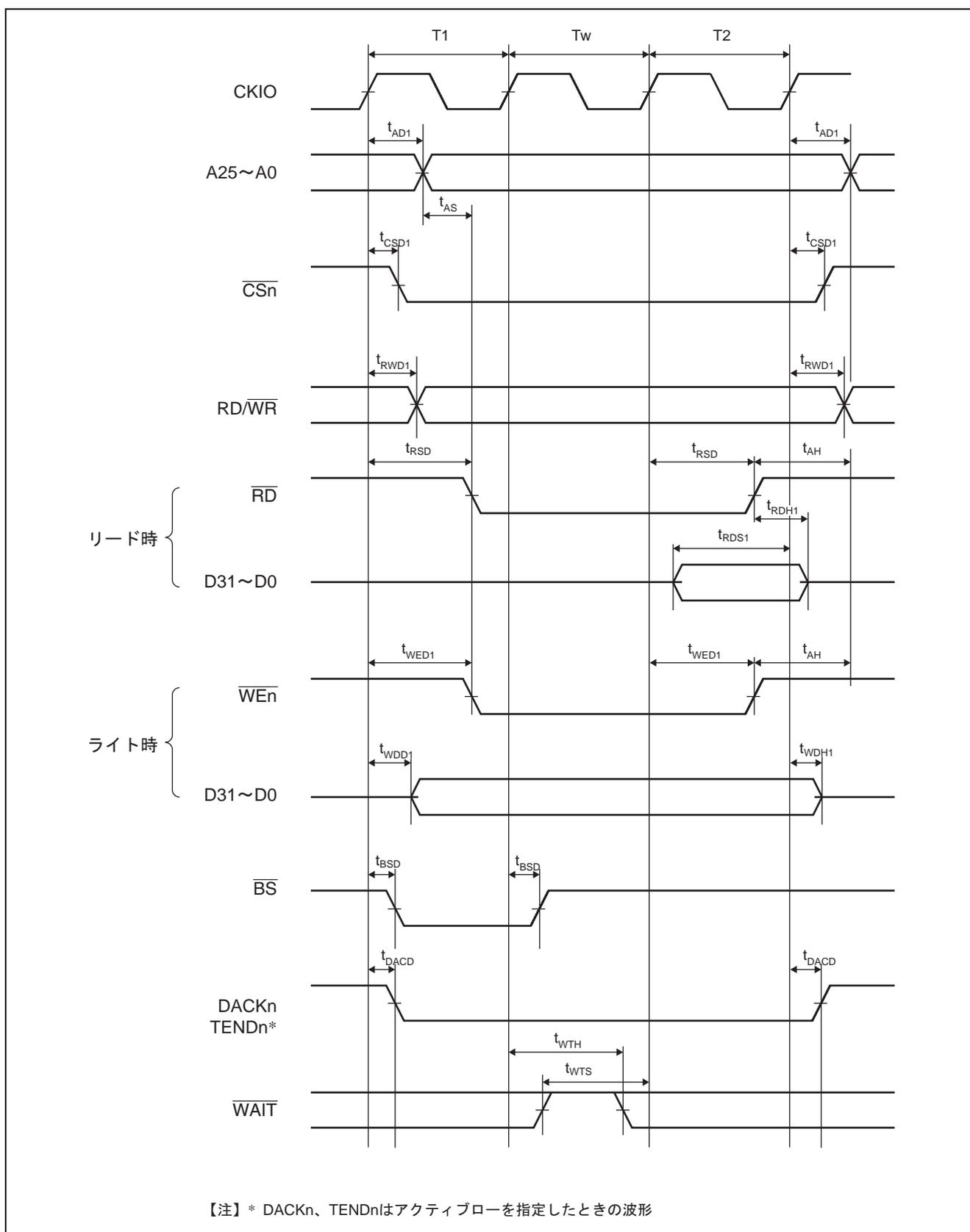


図 29.11 通常空間基本バスサイクル (ソフトウェアウェイト 1)

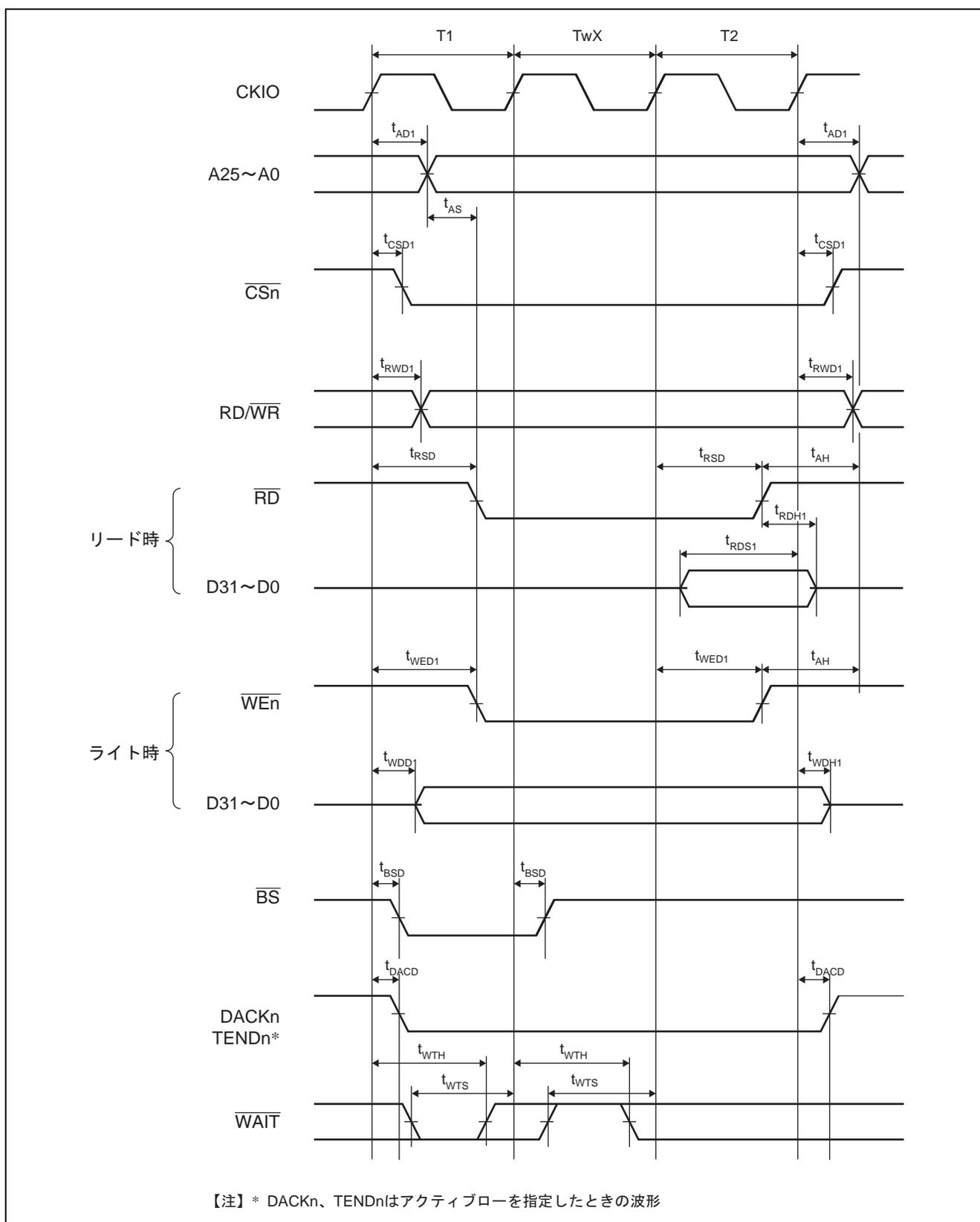


図 29.12 通常空間基本バスサイクル (外部ウェイト1 挿入)

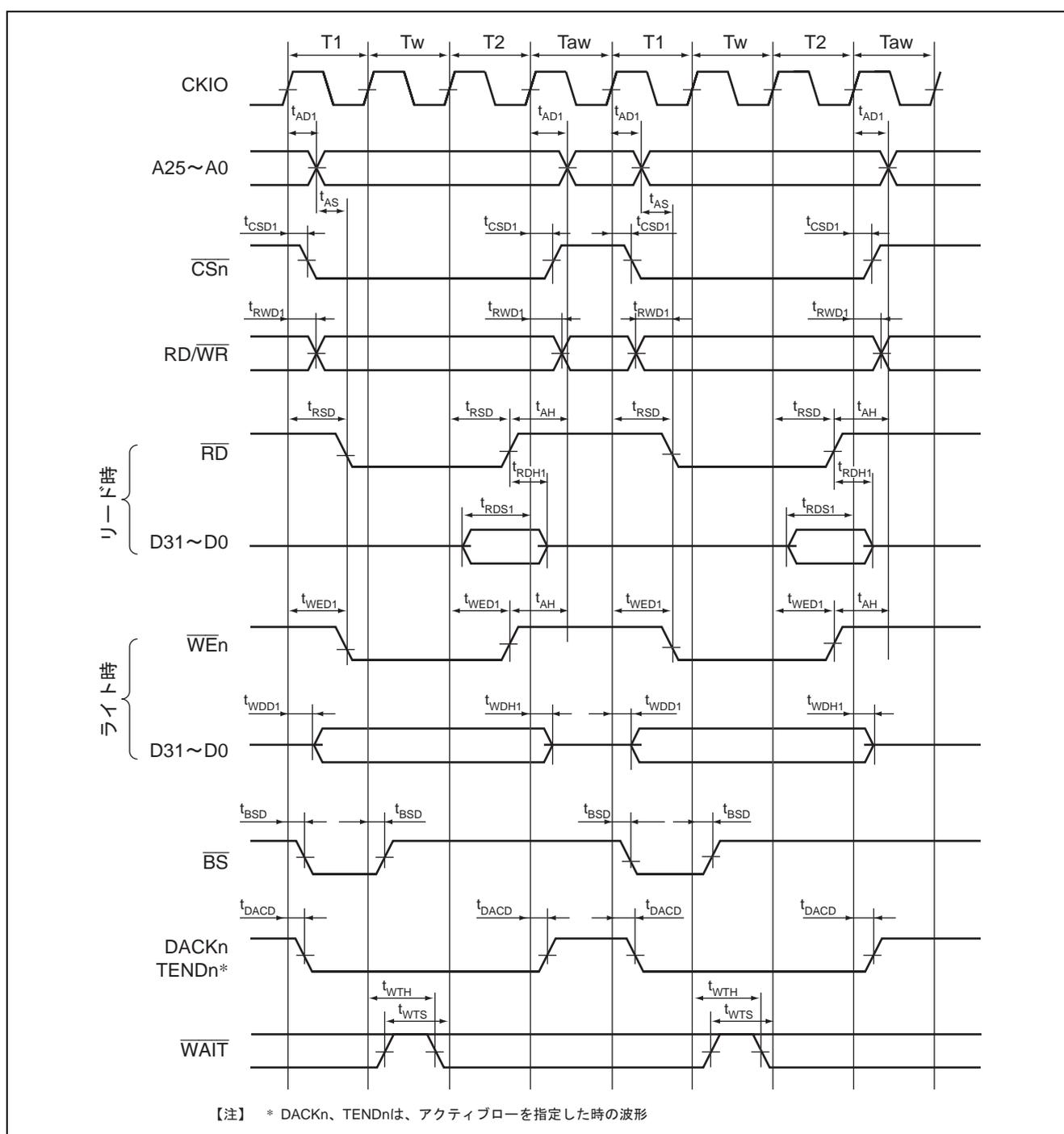


図 29.13 通常空間基本バスサイクル
 (ソフトウェアウェイト 1、外部ウェイト有効 (WM ビット=0)、アイドルサイクルなし)

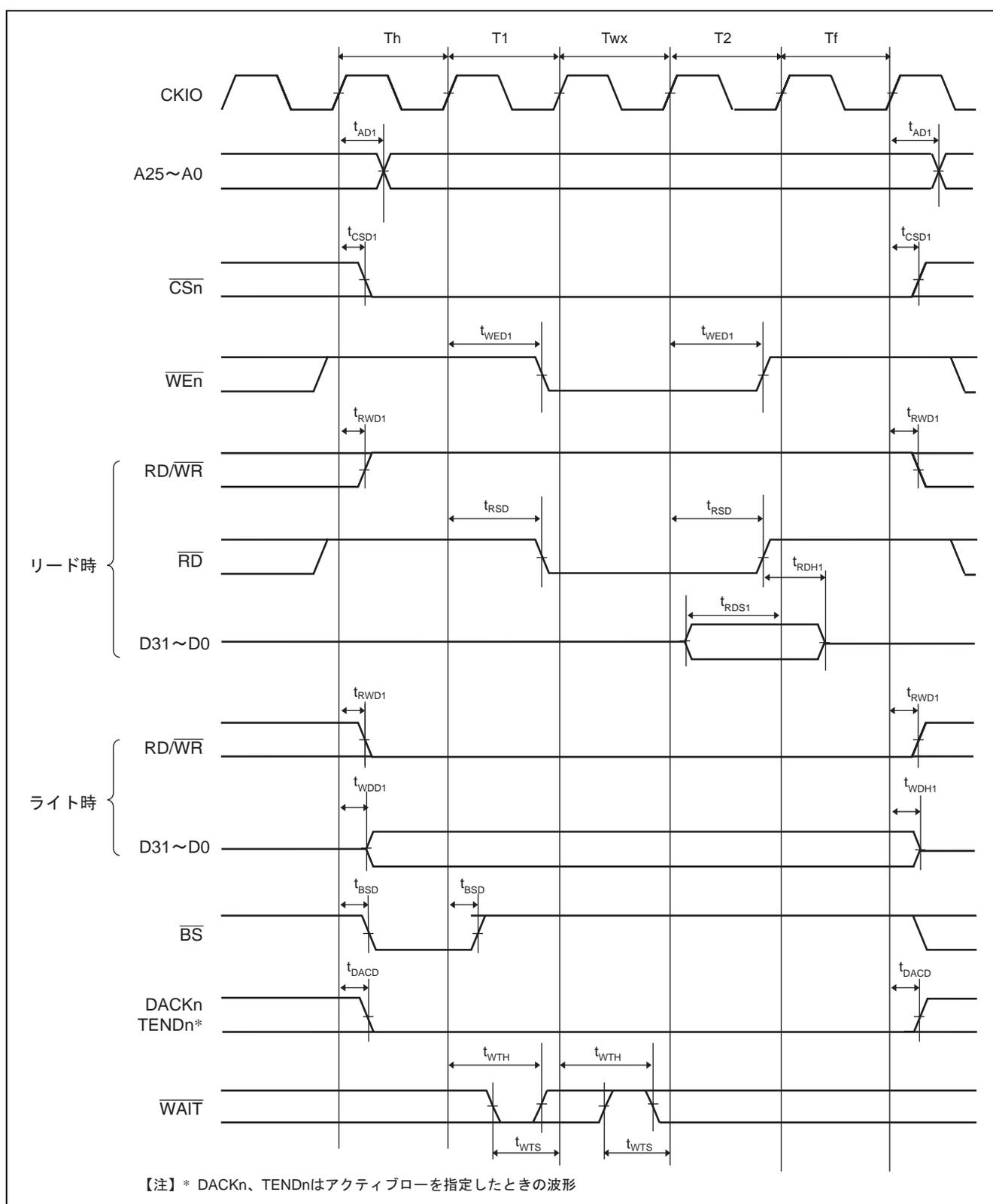


図 29.14 バイト選択付き SRAM バスサイクル
 (SW=1 サイクル、HW=1 サイクル、非同期外部ウェイト 1 挿入、BAS=0
 (ライトサイクル UB/LB コントロール))

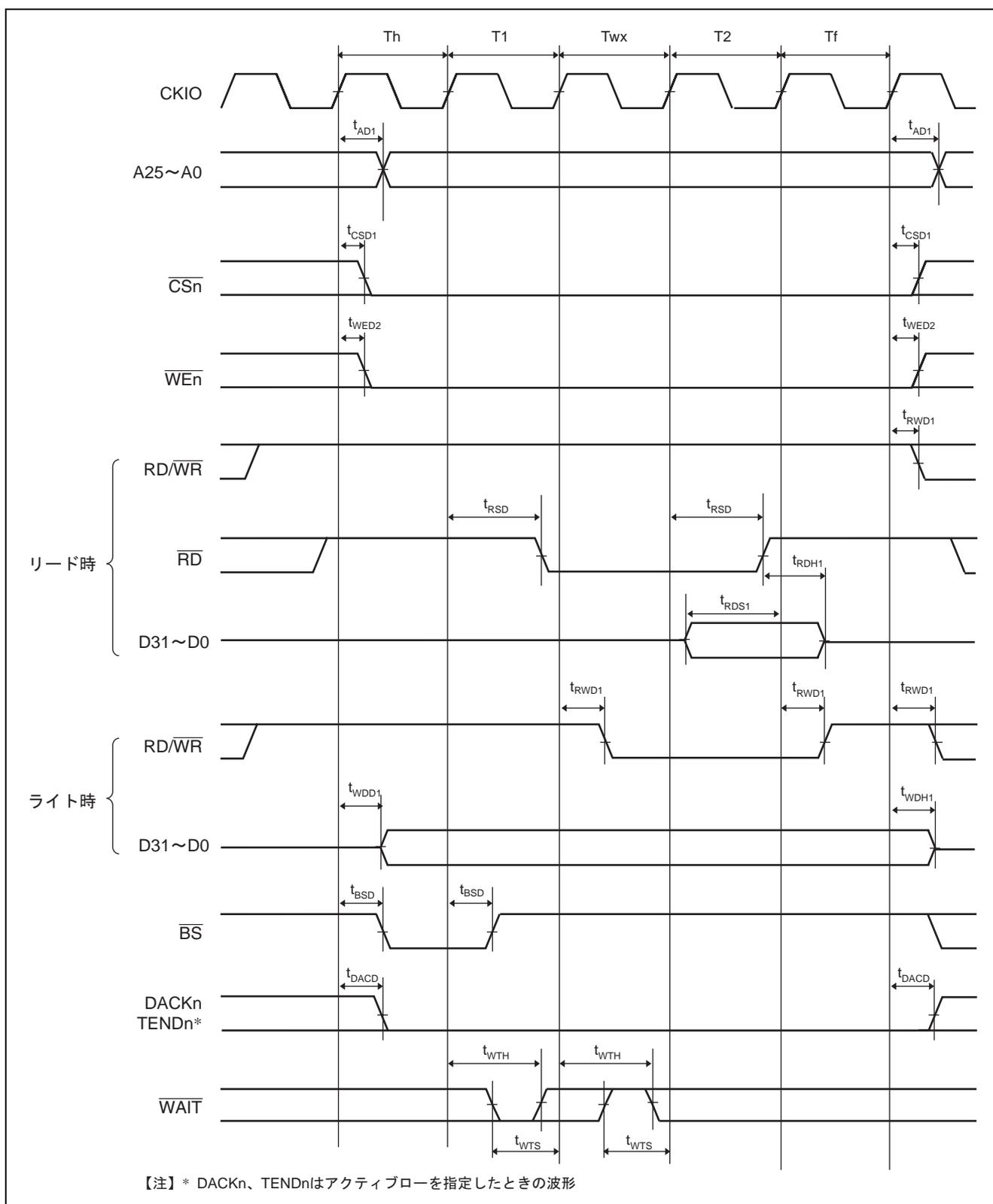


図 29.15 バイト選択付き SRAM バスサイクル
 (SW=1 サイクル、HW=1 サイクル、非同期外部ウェイト 1 挿入、BAS=1
 (ライトサイクル WE コントロール))

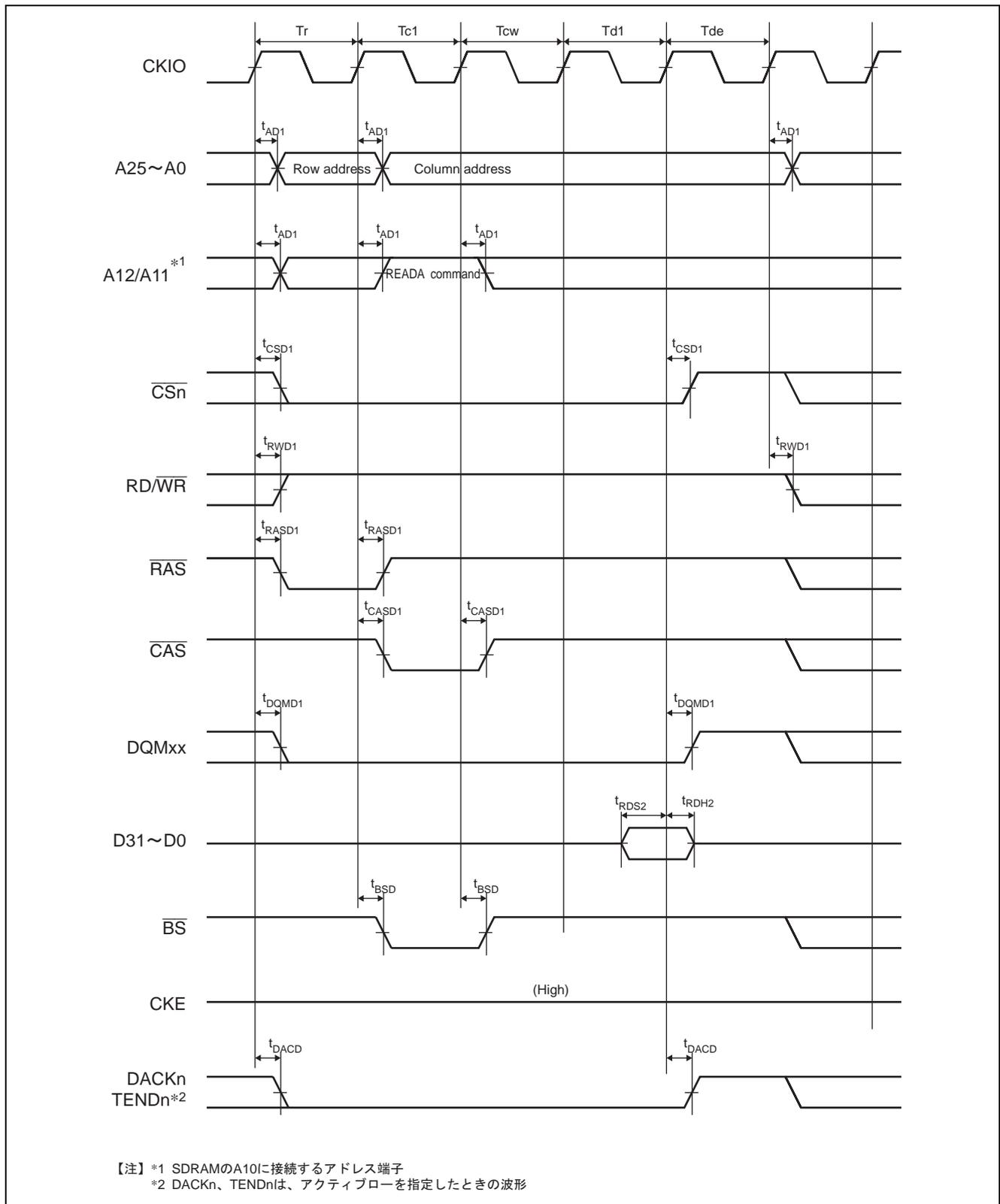


図 29.16 シンクロナス DRAM シングルリードバスサイクル
(オートプリチャージあり、CAS レイテンシ 2、WTRCD=0 サイクル、WTRP=0 サイクル)

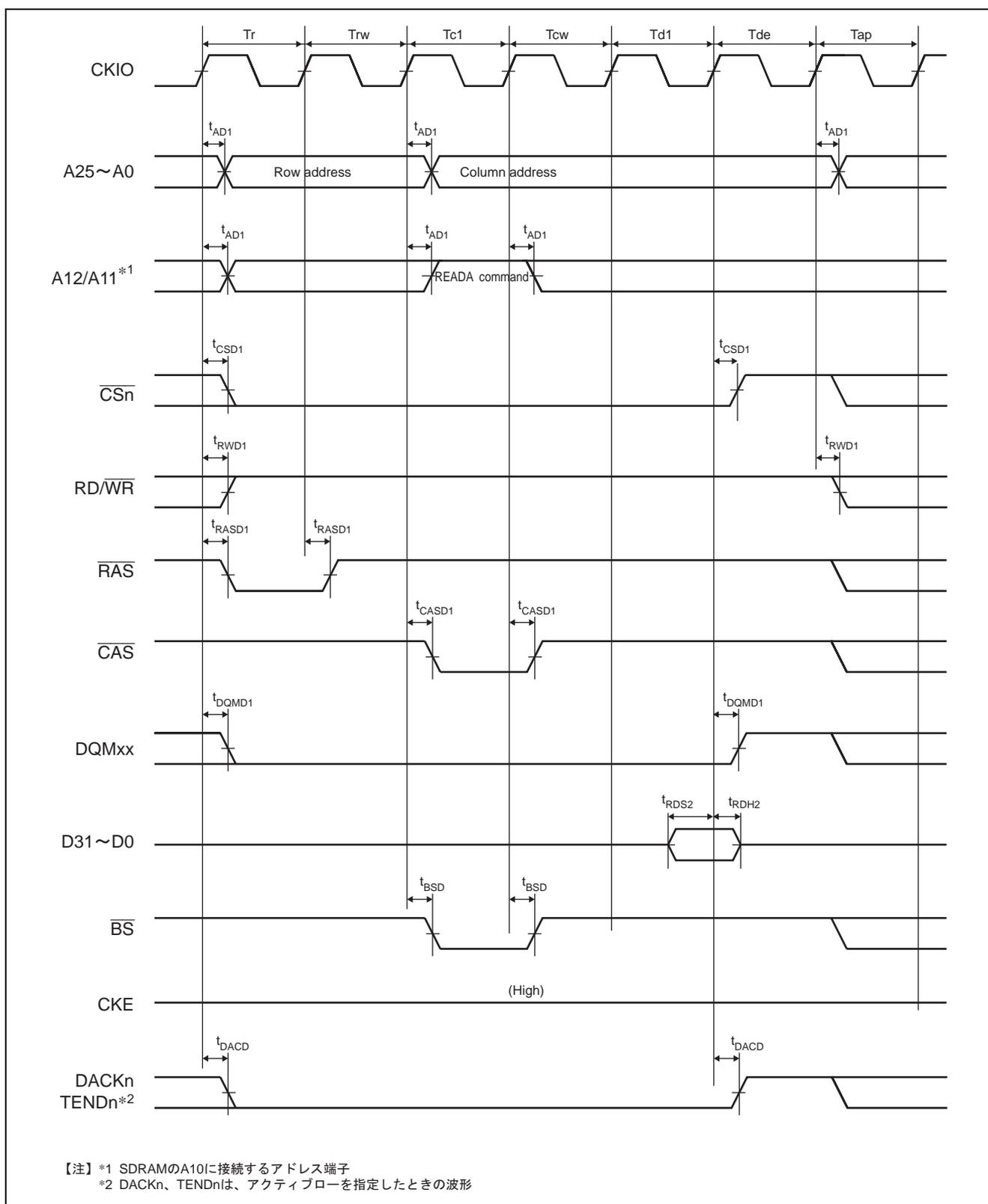


図 29.17 シンクロナス DRAM シングルリードバスサイクル
(オートプリチャージあり、CAS レイテンシ 2、WTRCD=1 サイクル、WTRP=1 サイクル)

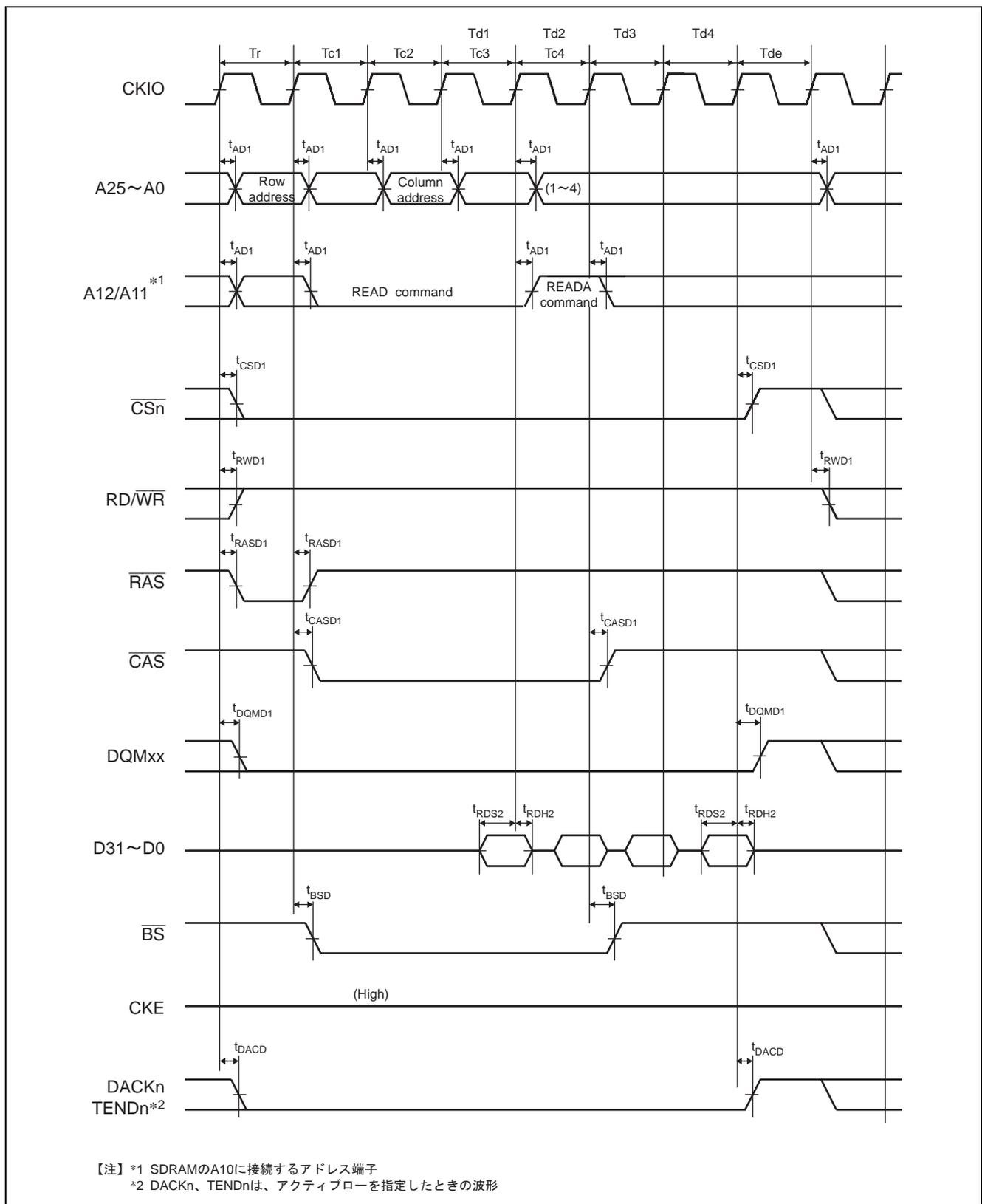


図 29.18 シンクロナス DRAM バーストリードバスサイクル (リード4 サイクル分)
 (オートプリチャージあり、CAS レイテンシ2、WTRCD=0 サイクル、WTRP=1 サイクル)

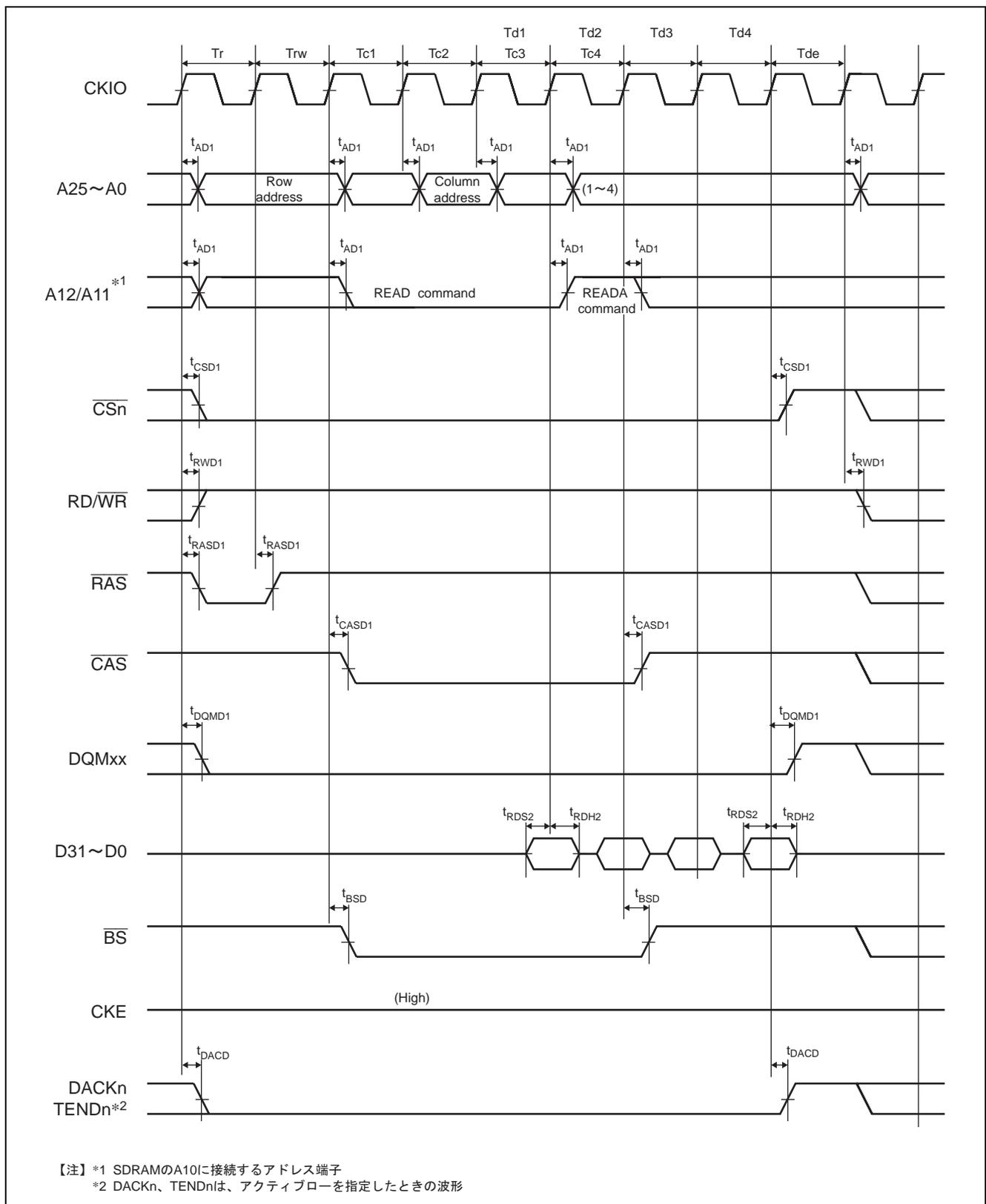


図 29.19 シンクロナス DRAM バーストリードバスサイクル (リード4 サイクル分)
(オートプリチャージあり、CAS レイテンシ2、WTRCD=1 サイクル、WTRP=0 サイクル)

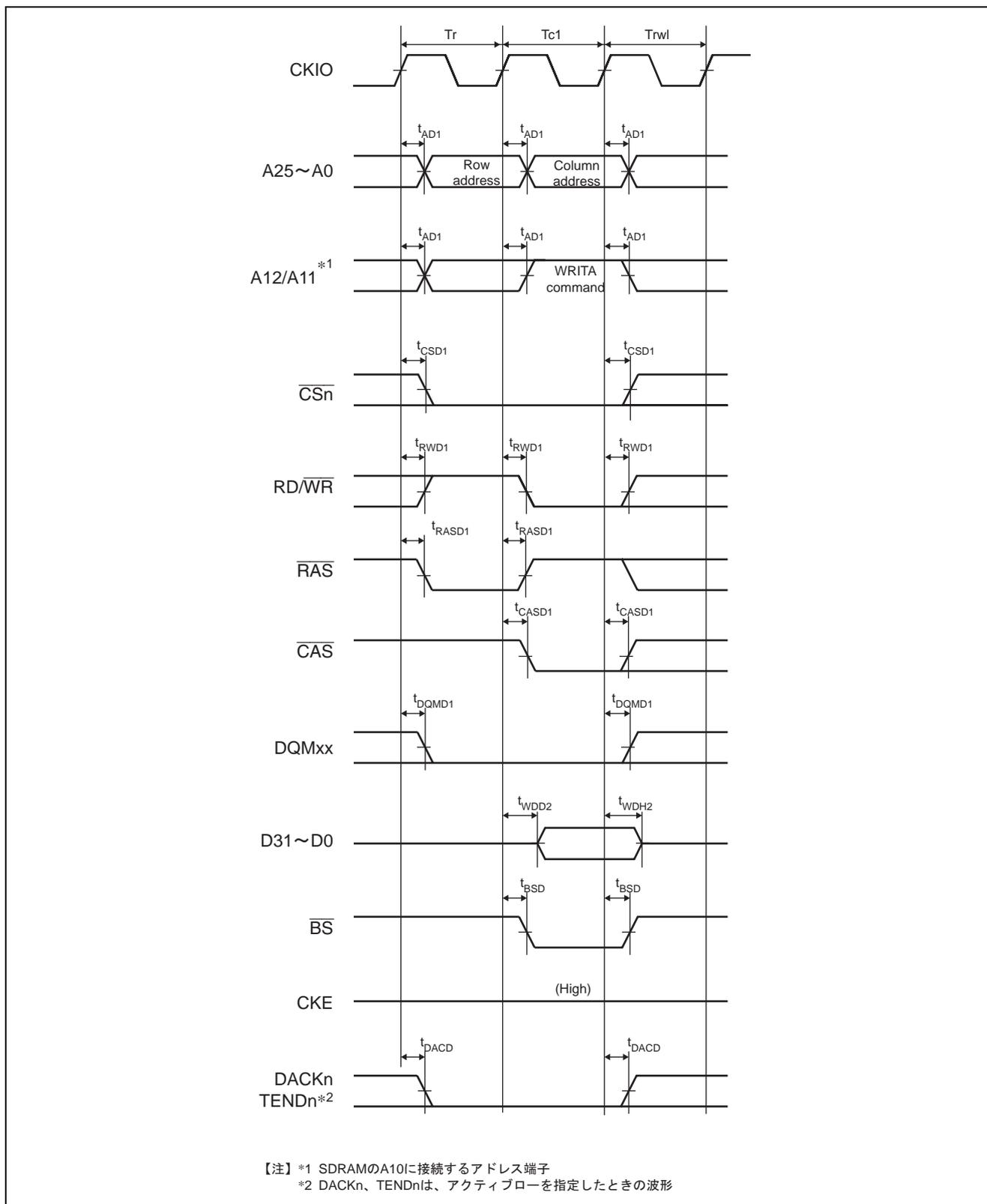


図 29.20 シンクロナス DRAM シングルライトバスサイクル
(オートプリチャージあり、TRWL=1 サイクル)

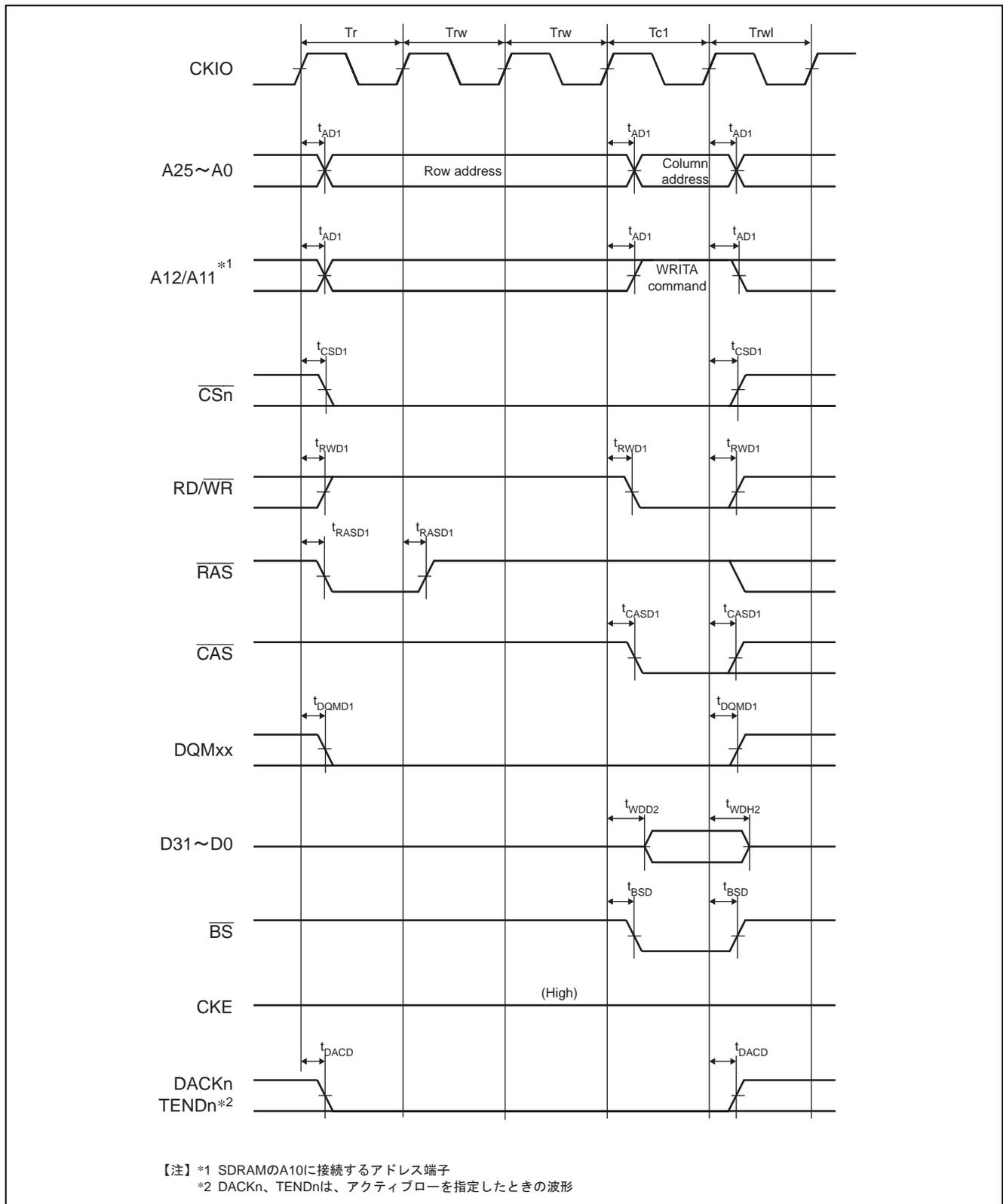


図 29.21 シンクロナス DRAM シングルライトバスサイクル
(オートプリチャージあり、WTRCD=2 サイクル、TRWL=1 サイクル)

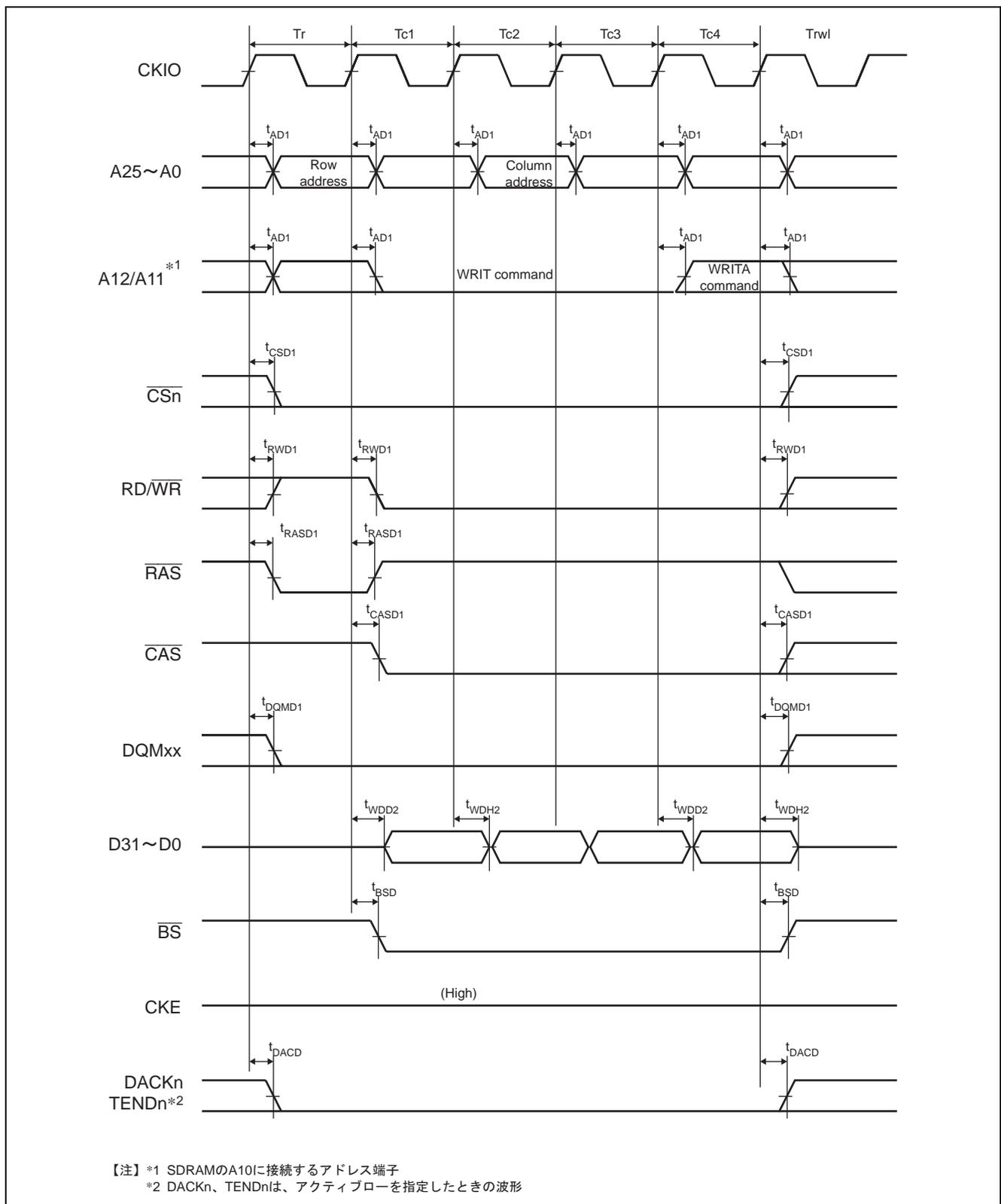


図 29.22 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)
(オートプリチャージあり、WTRCD=0 サイクル、TRWL=1 サイクル)

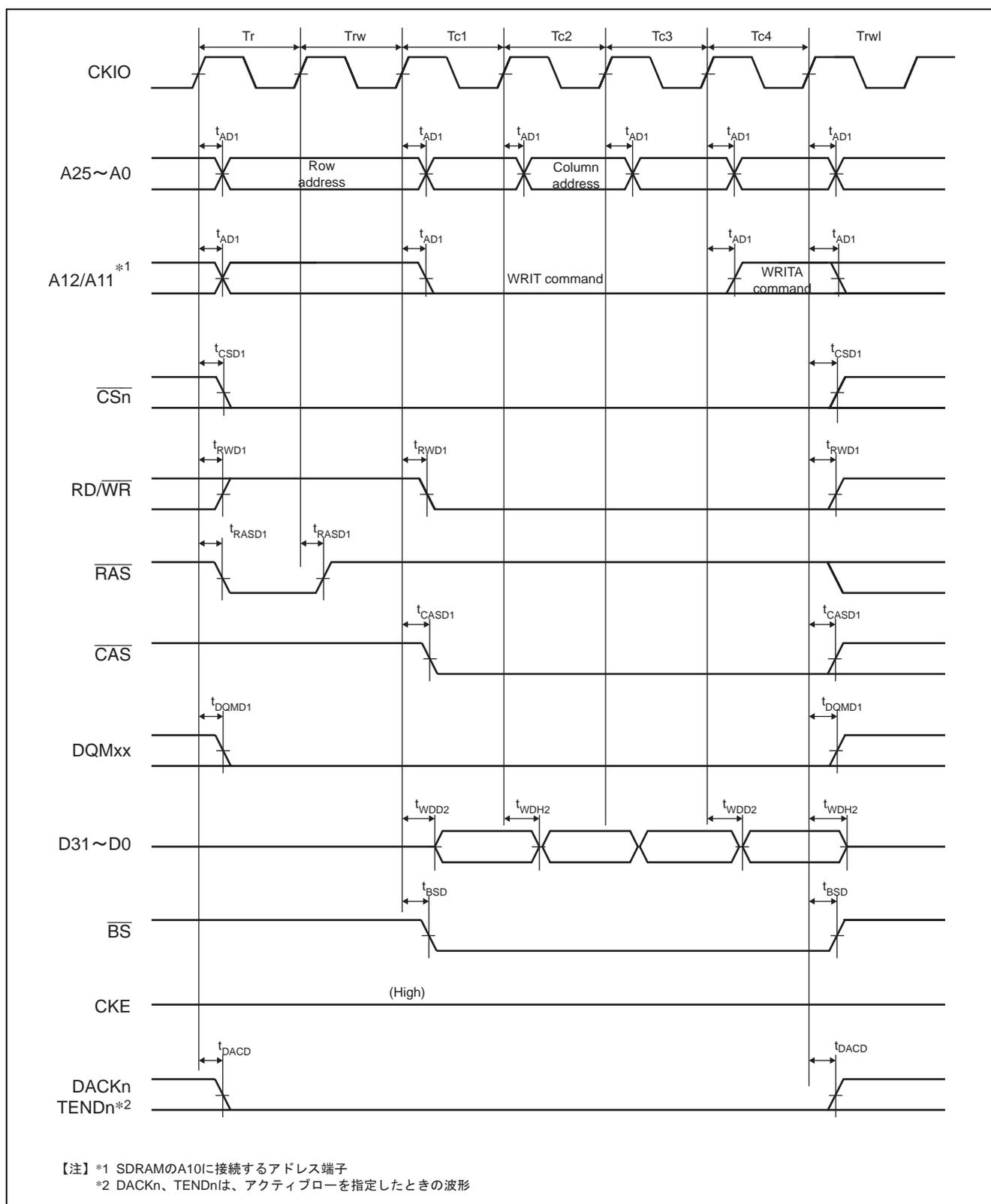


図 29.23 シンクロナス DRAM バーストライトバスサイクル (ライト 4 サイクル分)
(オートプリチャージあり、WTRCD=1 サイクル、TRWL=1 サイクル)

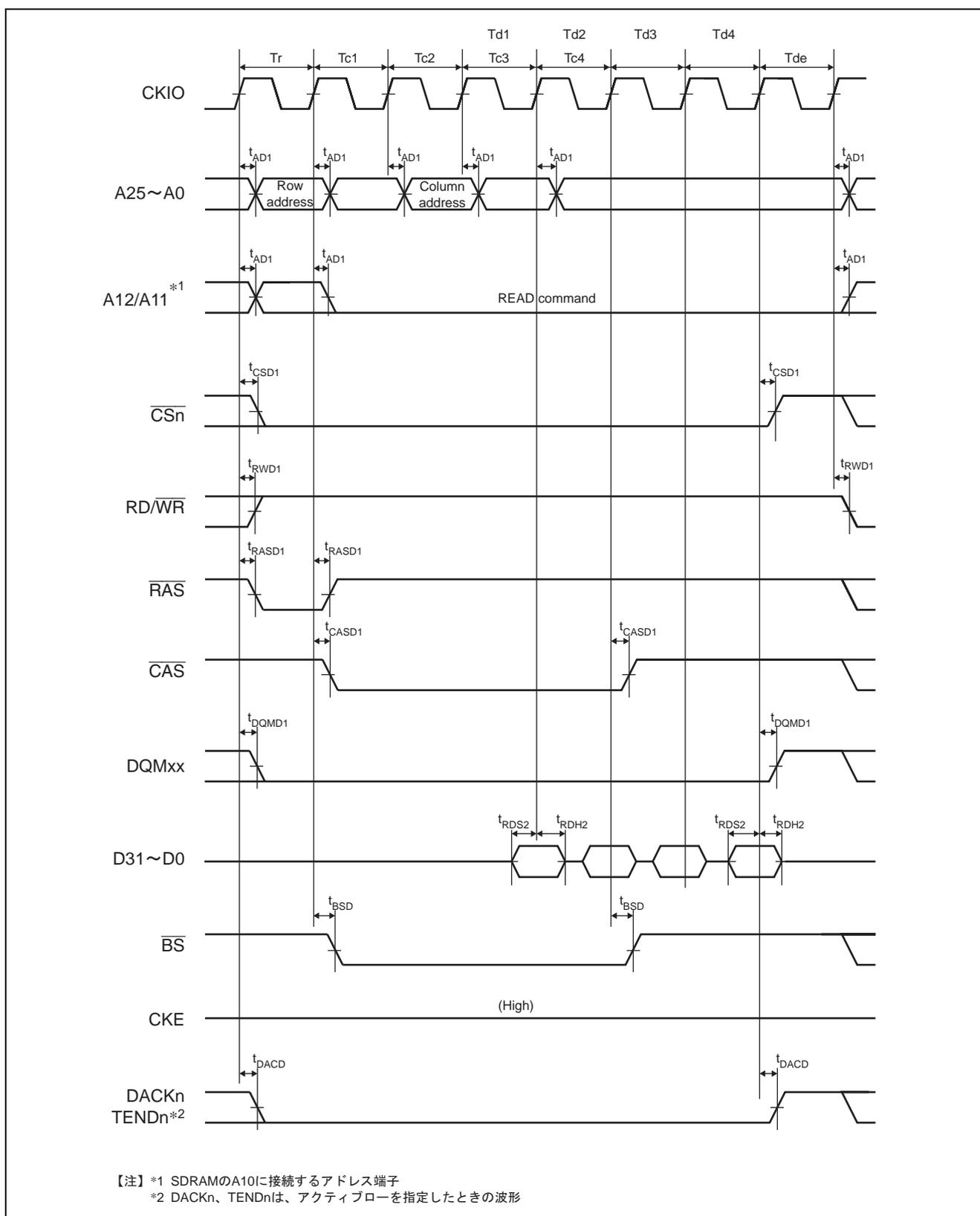


図 29.24 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分)
(バンクアクティブモード : ACT+READ コマンド、CAS レイテンシ 2、WTRCD=0 サイクル)

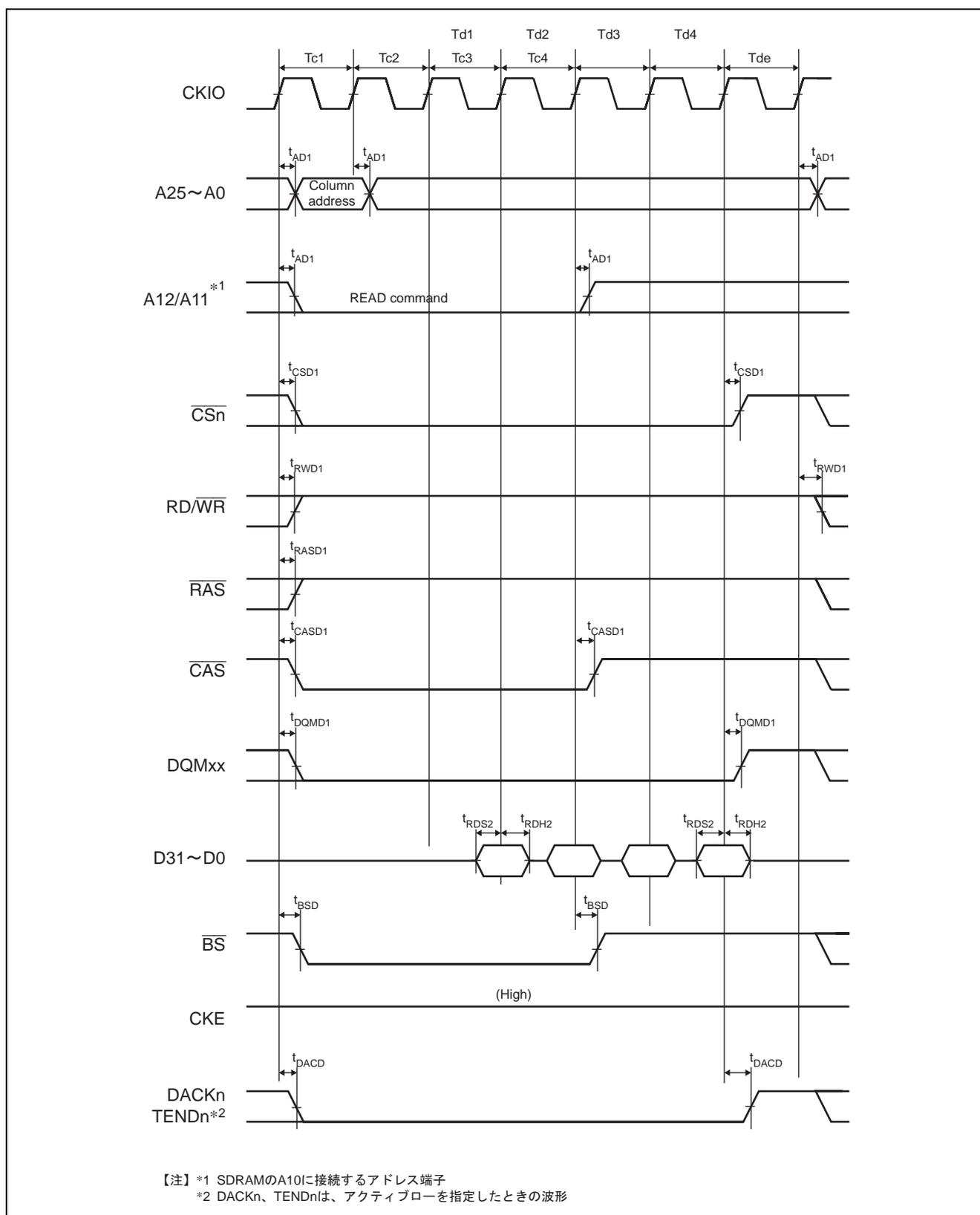


図 29.25 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分)
(バンクアクティブモード: READ コマンド、同一ロウアドレス、CAS レイテンシ 2、WTRCD=0 サイクル)

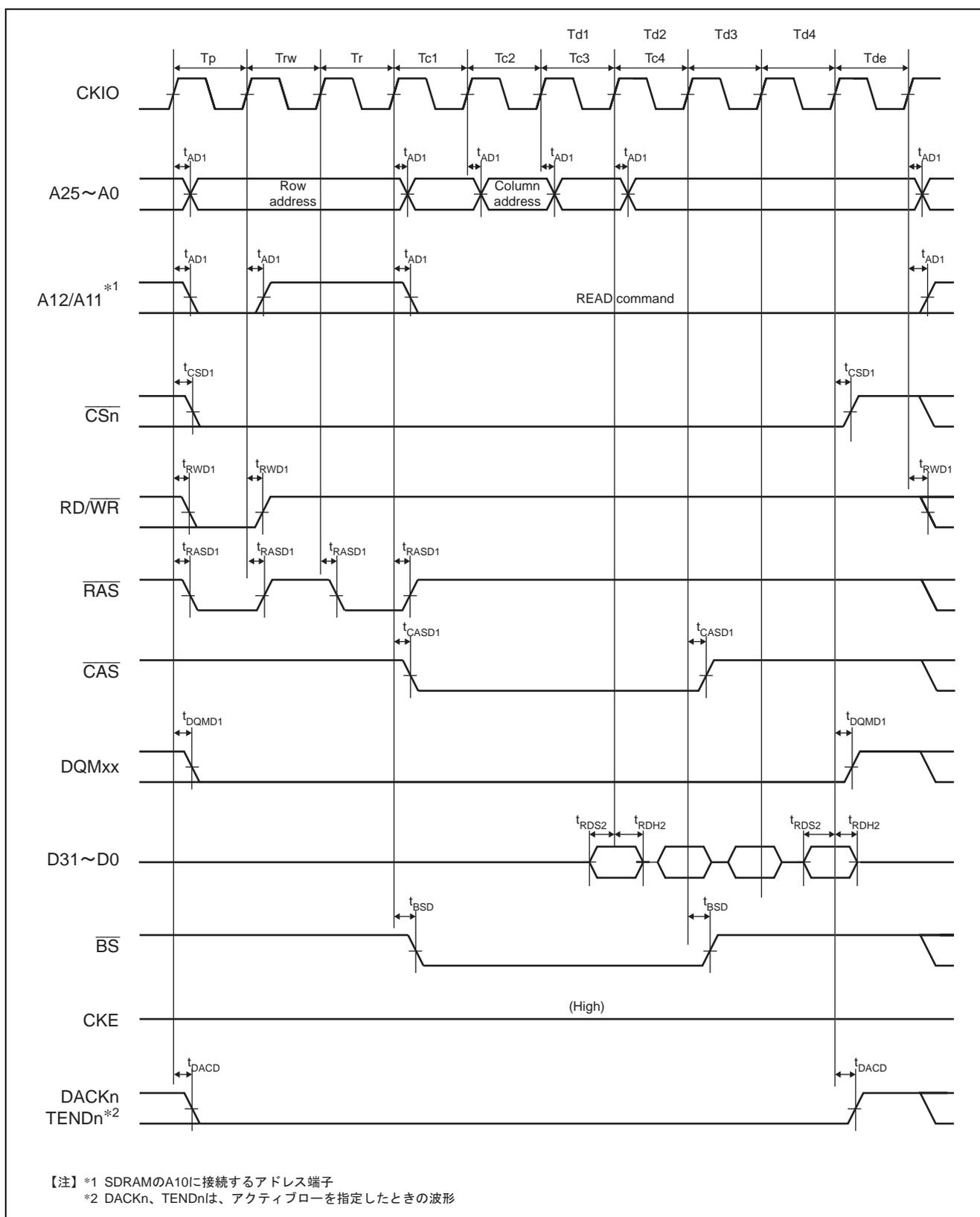


図 29.26 シンクロナス DRAM バーストリードバスサイクル (リード4サイクル分)
(バンクアクティブモード: PRE+ACT+READ コマンド、異なるロウアドレス、CAS レイテンシ 2、WTRCD=0 サイクル)

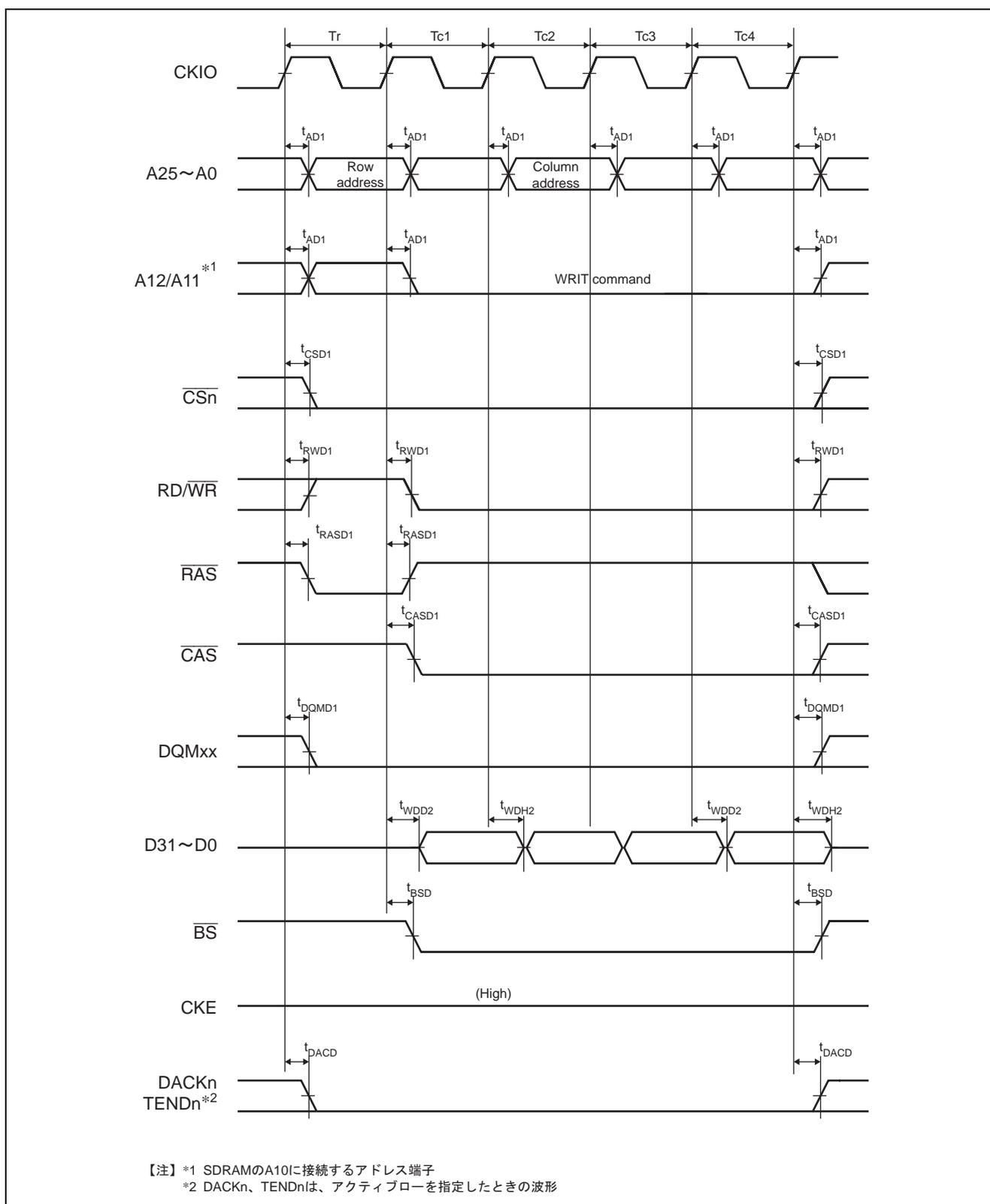


図 29.27 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分)
(バンクアクティブモード: ACT+WRITE コマンド、WTRCD=0 サイクル、TRWL=0 サイクル)

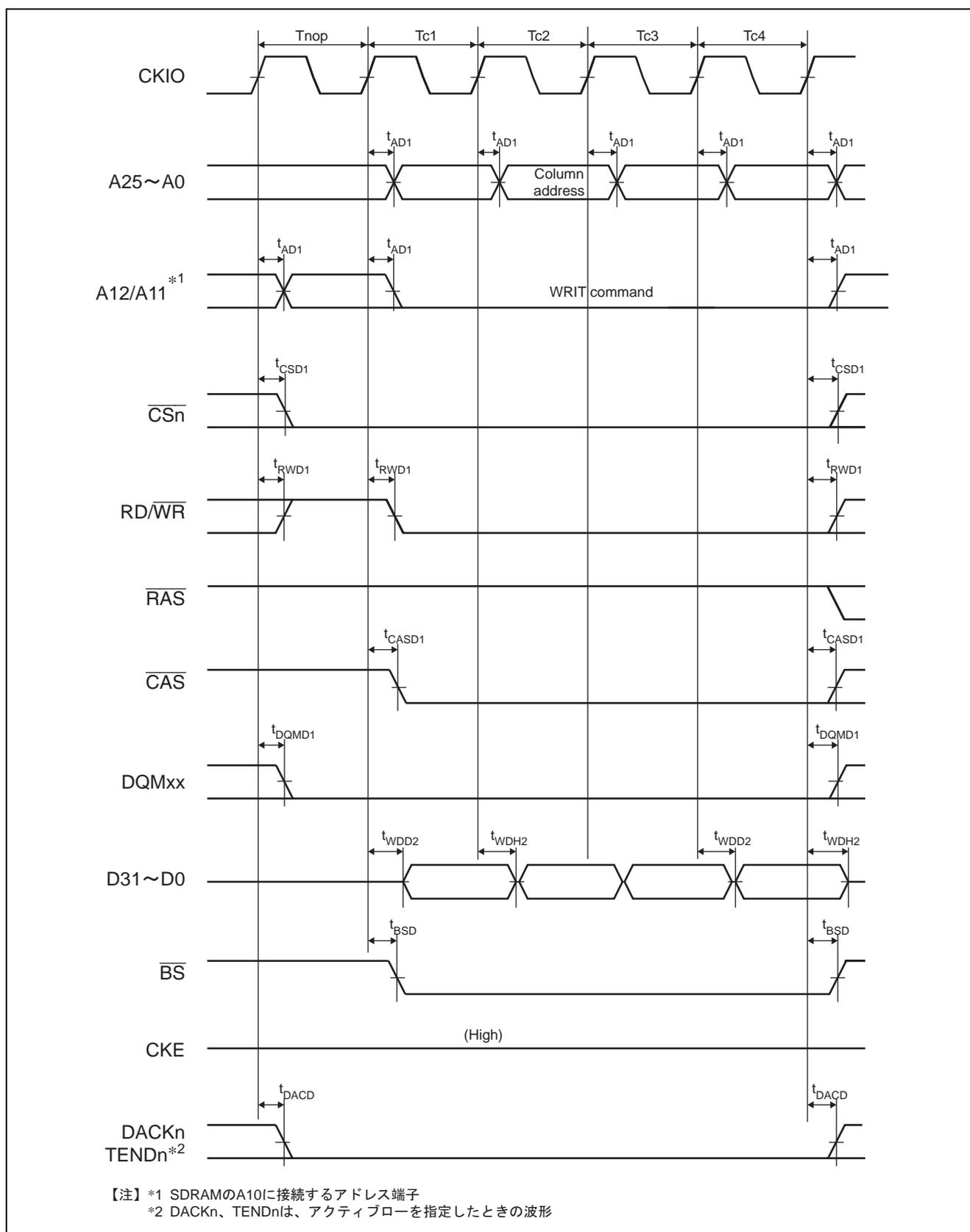


図 29.28 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分)
(バンクアクティブモード: WRITE コマンド、同一ロウアドレス、WTRCD=0 サイクル、
TRWL=0 サイクル)

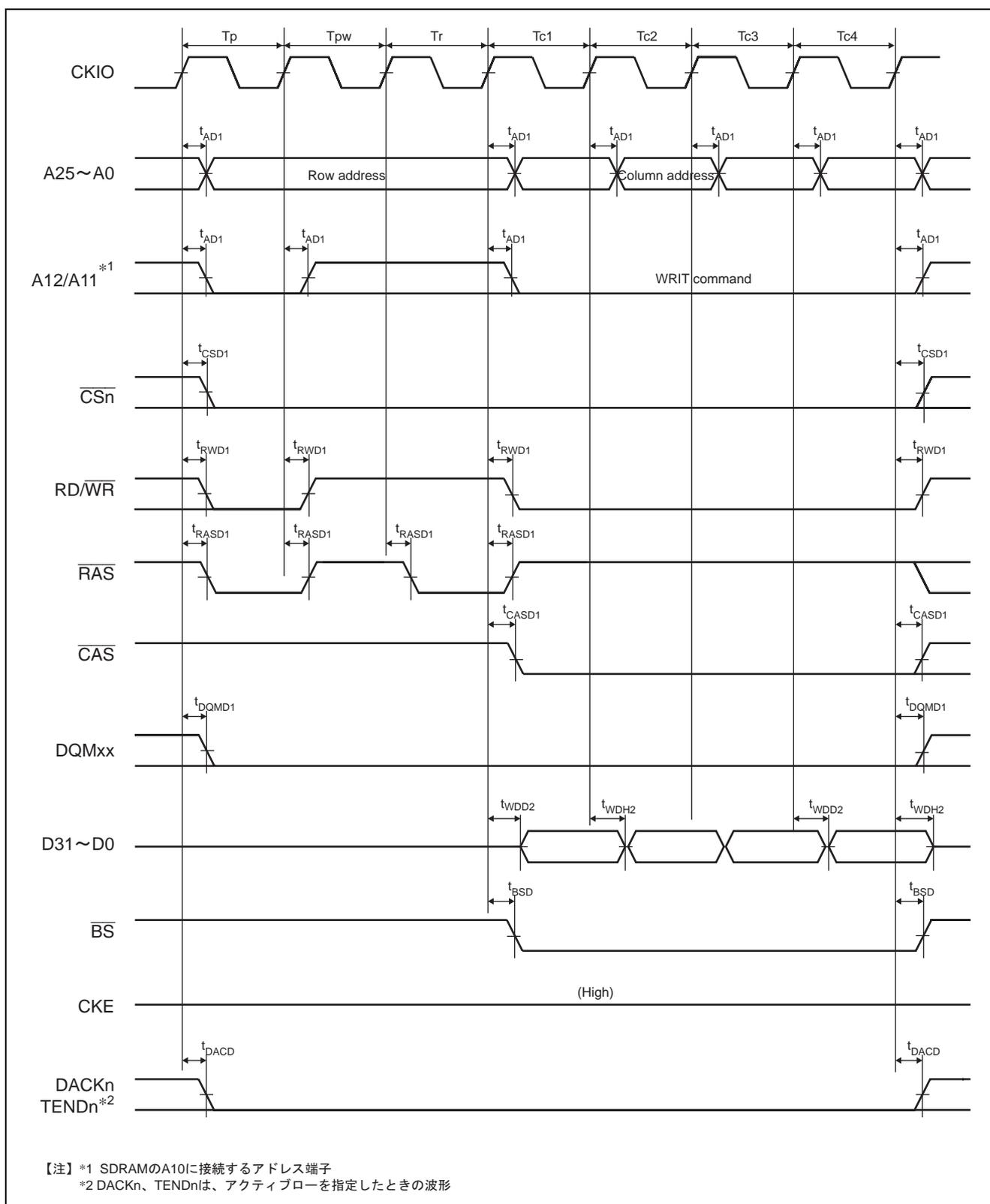


図 29.29 シンクロナス DRAM バーストライトバスサイクル (ライト4サイクル分)
(バンクアクティブモード : PRE+ACT+WRITE コマンド、異なるロウアドレス、
WTRCD=0 サイクル、TRWL=0 サイクル)

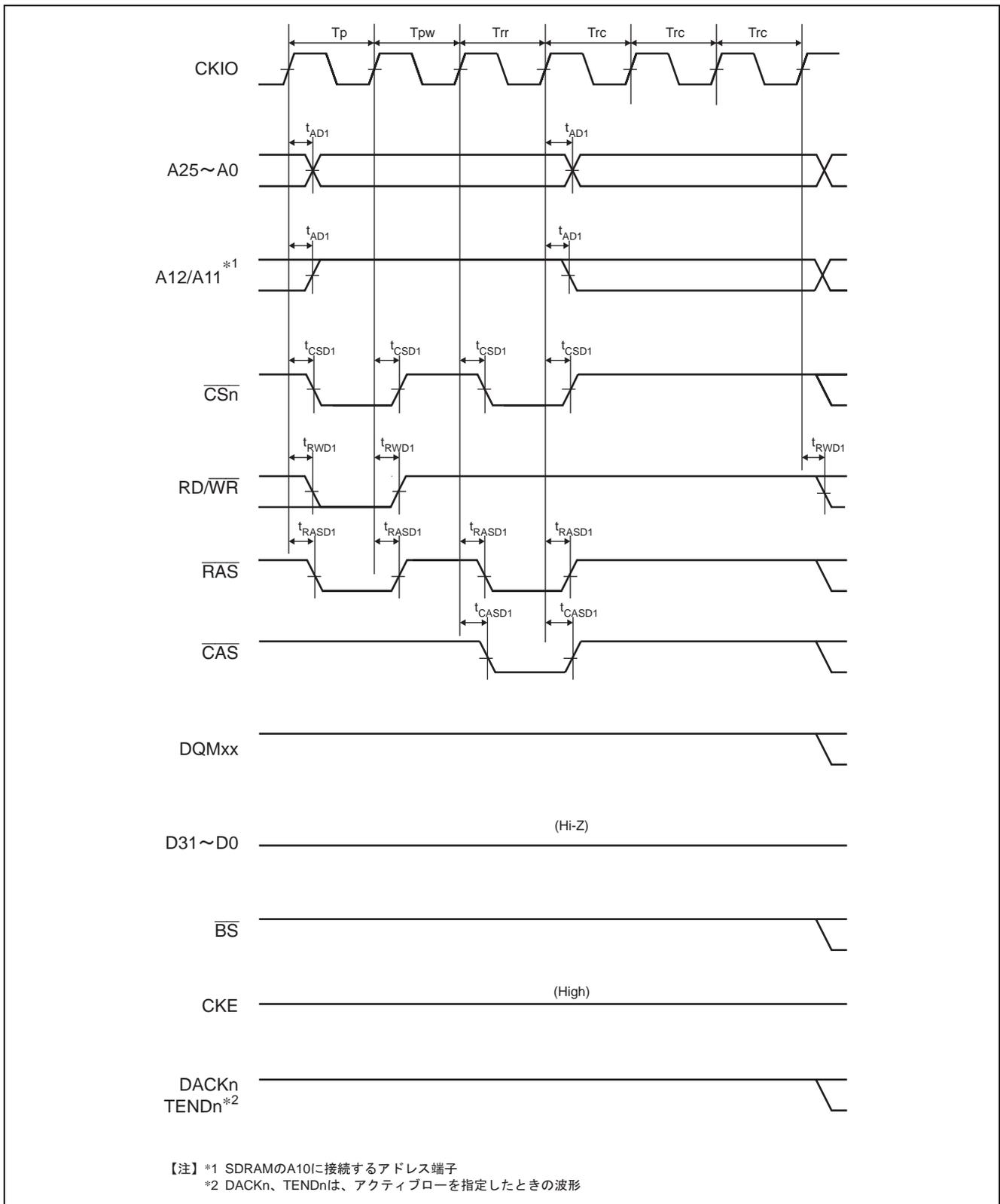


図 29.30 シンクロナス DRAM オートリフレッシュタイミング (WTRP=1 サイクル、WTRC=3 サイクル)

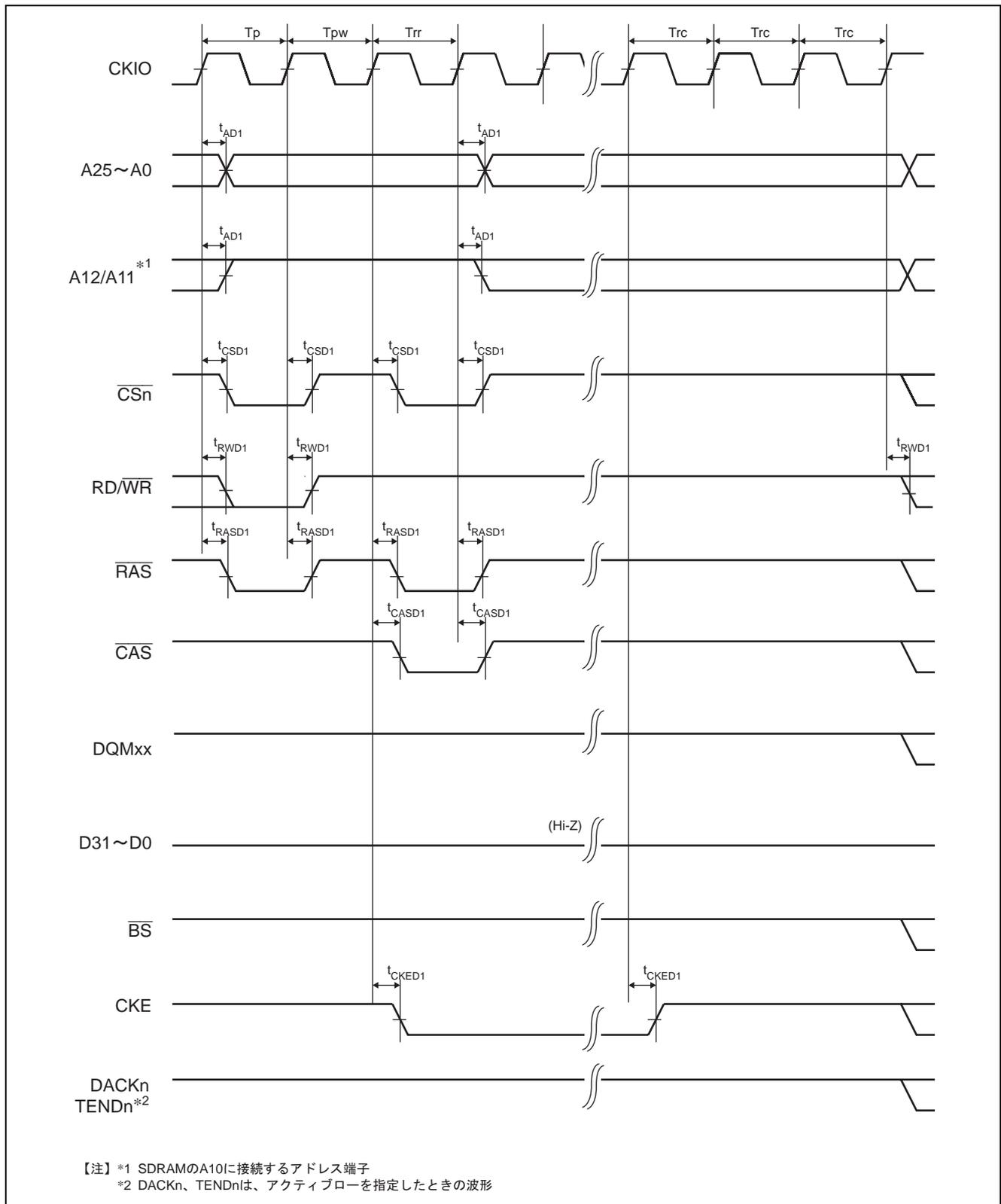


図 29.31 シンクロナス DRAM セルフリフレッシュタイミング (WTRP=1 サイクル)

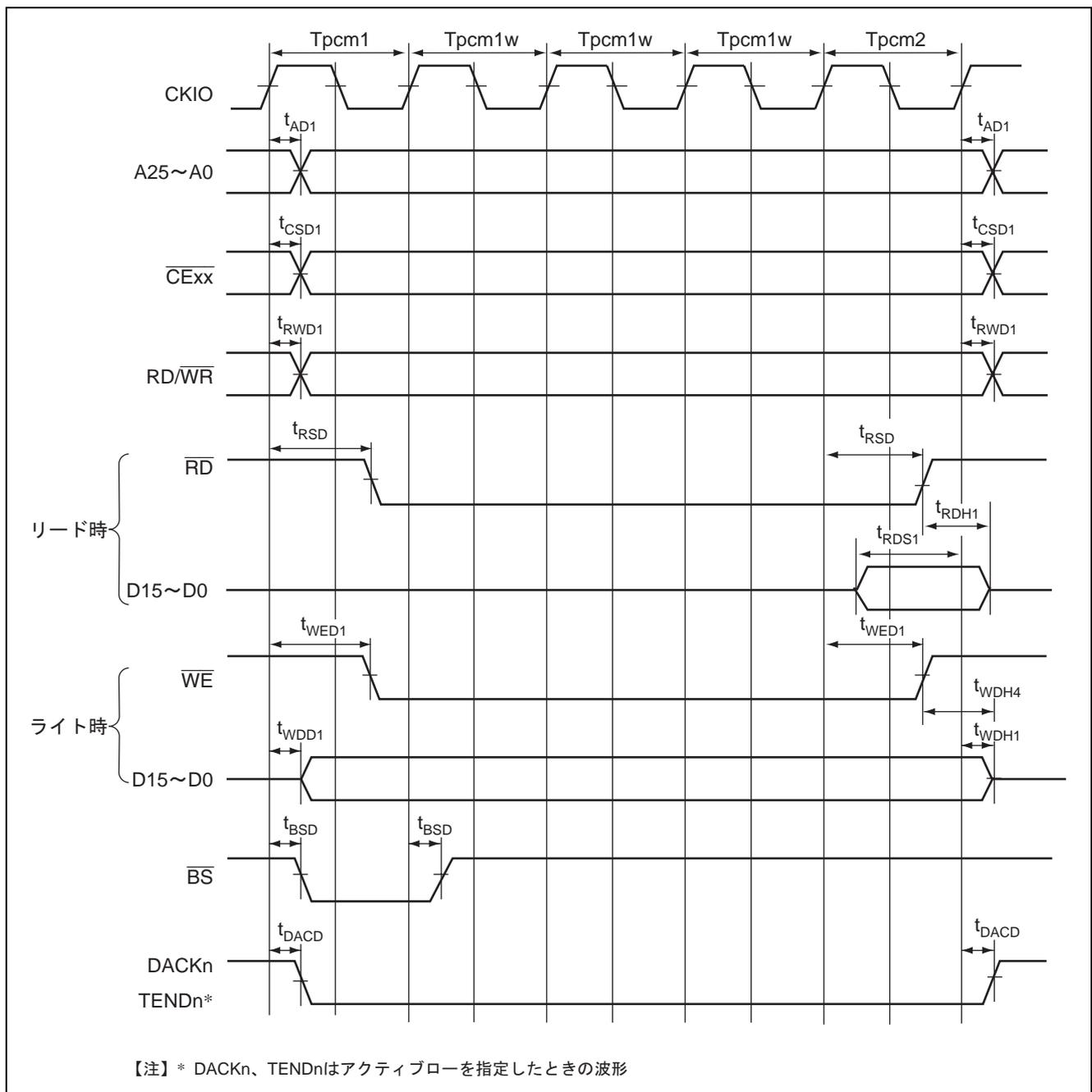


図 29.33 PCMCIA メモリカードバスサイクル (TED=0 サイクル、TEH=0 サイクル、ノーウェイト)

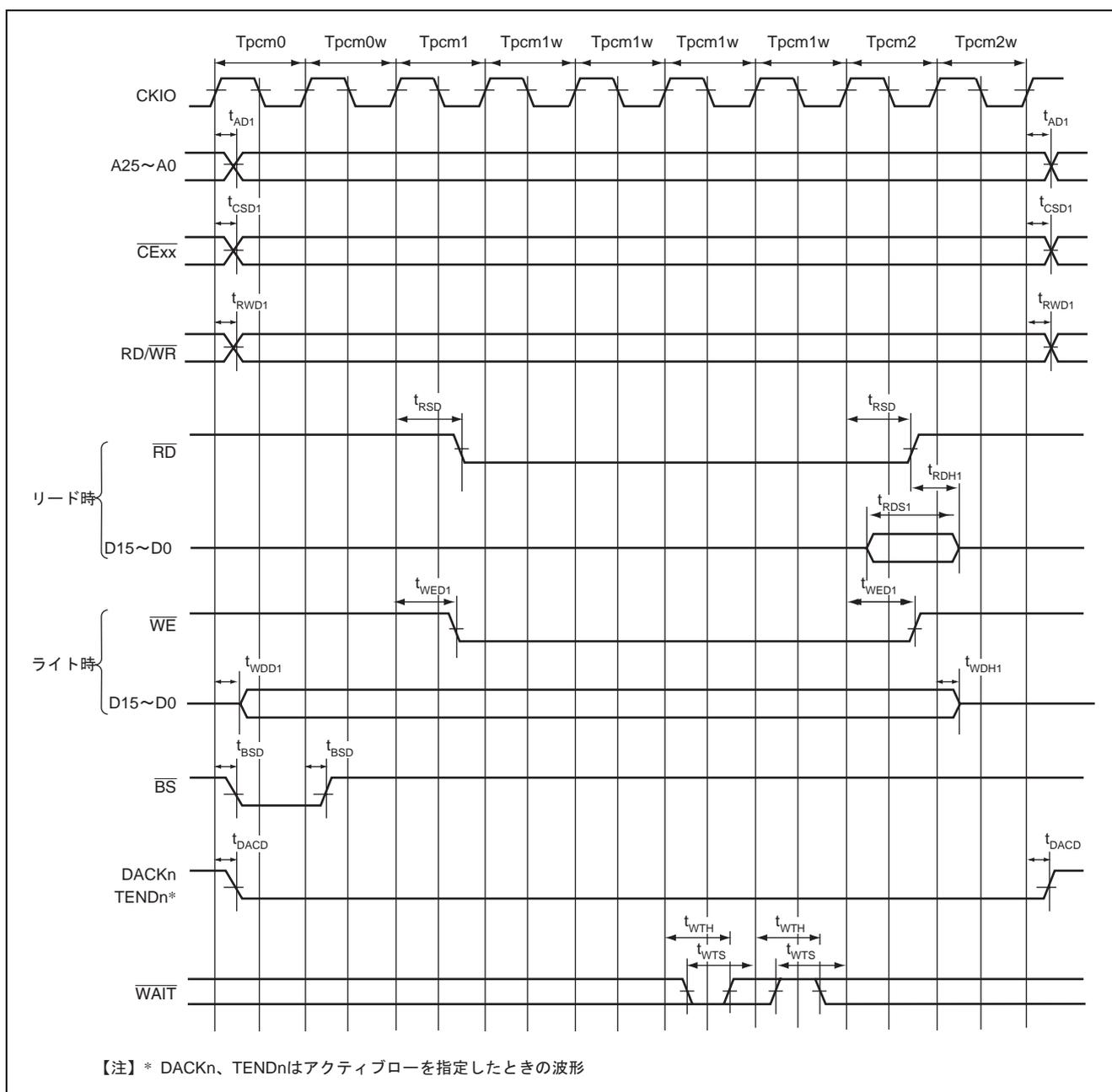


図 29.34 PCMCIA メモリカードバスサイクル
(TED=2 サイクル、TEH=1 サイクル、ソフトウェイト 0、ハードウェイト 1)

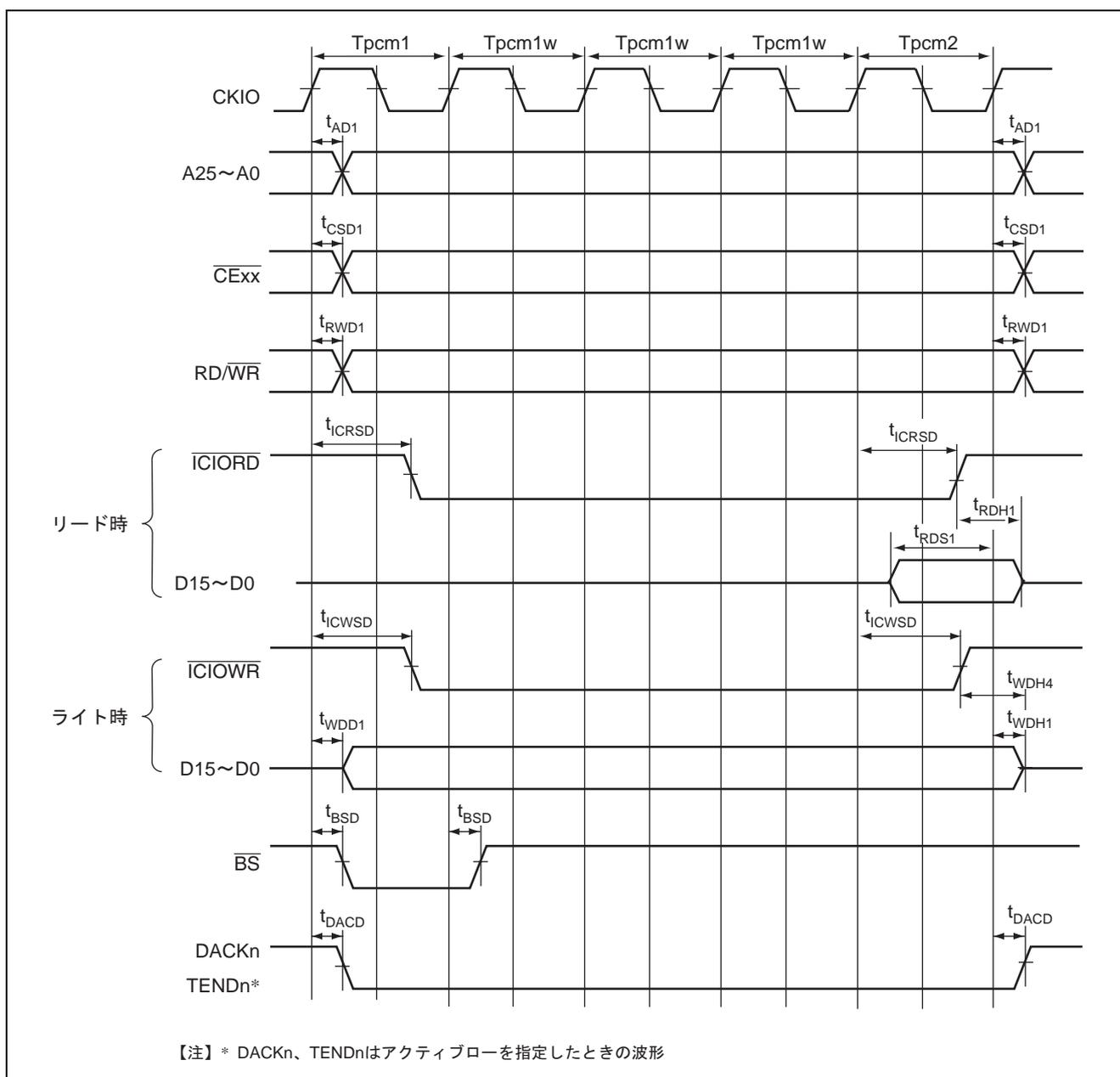


図 29.35 PCMCIA I/O カードバスサイクル (TED=0 サイクル、TEH=0 サイクル、ノーウェイト)

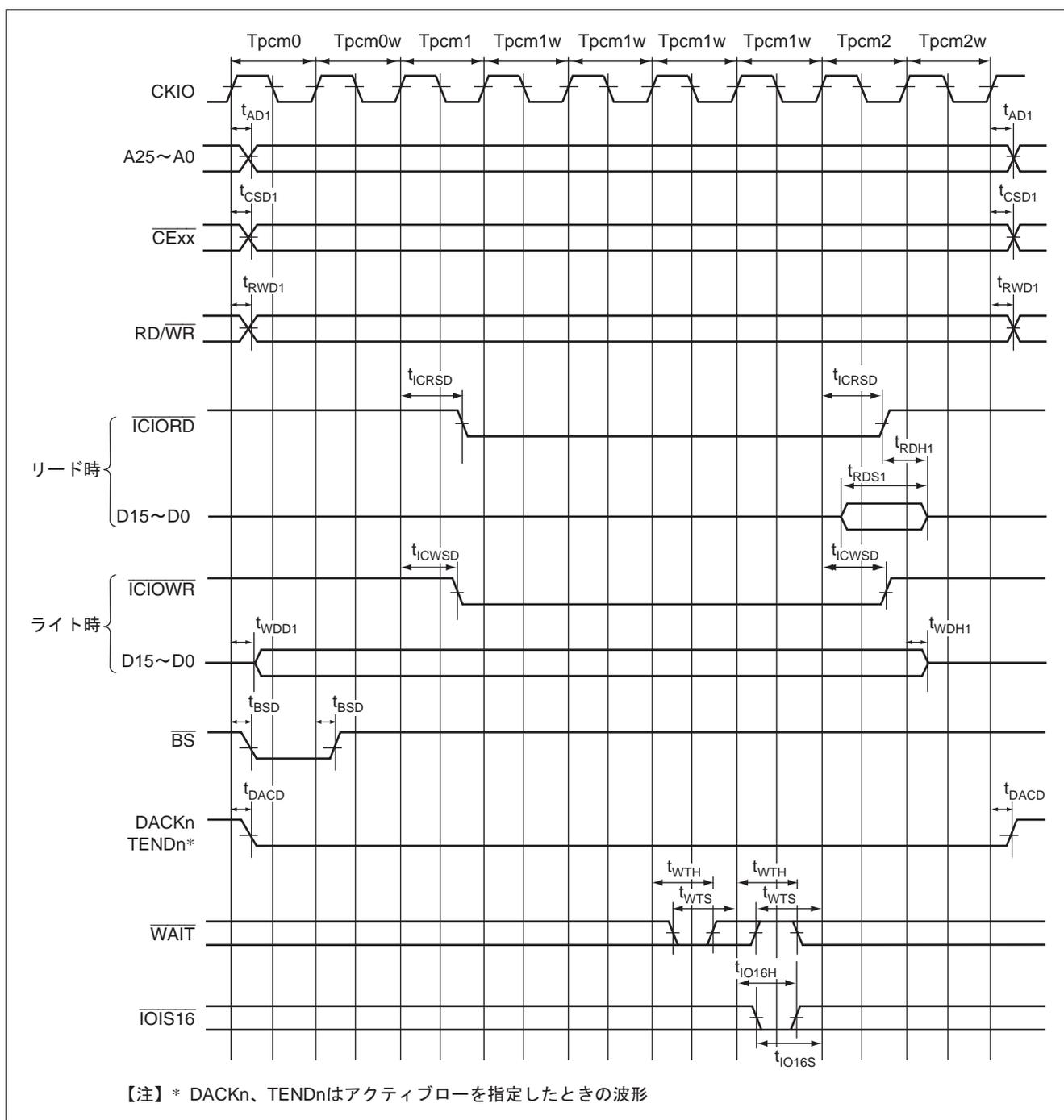


図 29.36 PCMCIA I/O カードバスサイクル
(TED=2 サイクル、TEH=1 サイクル、ソフトウェアイト 0、ハードウェイト 1)

29.4.4 DMAC モジュールタイミング

表 29.9 DMAC モジュールタイミング

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Max.	単位	参照図
DREQ セットアップ時間	t_{DRQS}	10	—	ns	29.37
DREQ ホールド時間	t_{DRQH}	10	—		
DACK、TEND 遅延時間	t_{DACD}	—	10		29.38

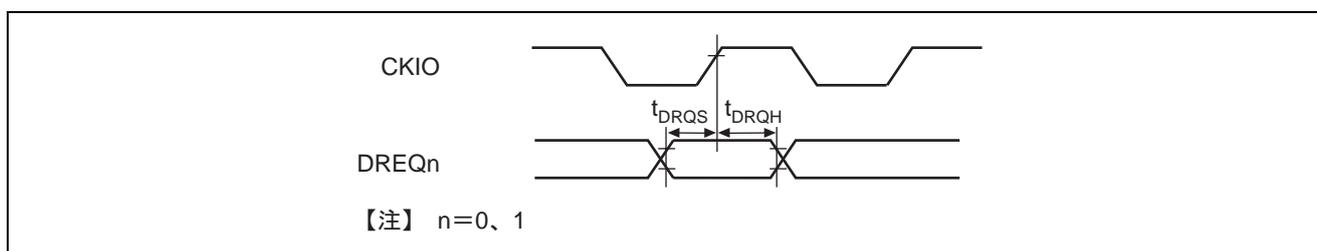


図 29.37 DREQ 入力タイミング

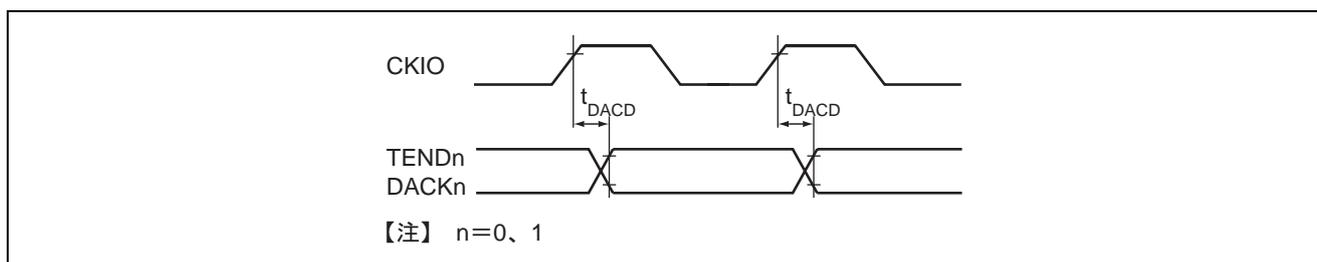


図 29.38 DACK、TEND 出力タイミング

29.4.5 ウォッチドッグタイマタイミング

表 29.10 にウォッチドッグタイマタイミングを示します。

表 29.10 ウォッチドッグタイマタイミング

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Max.	単位	参照図
WDTOVF 遅延時間	t_{wovd}	—	100	ns	29.39

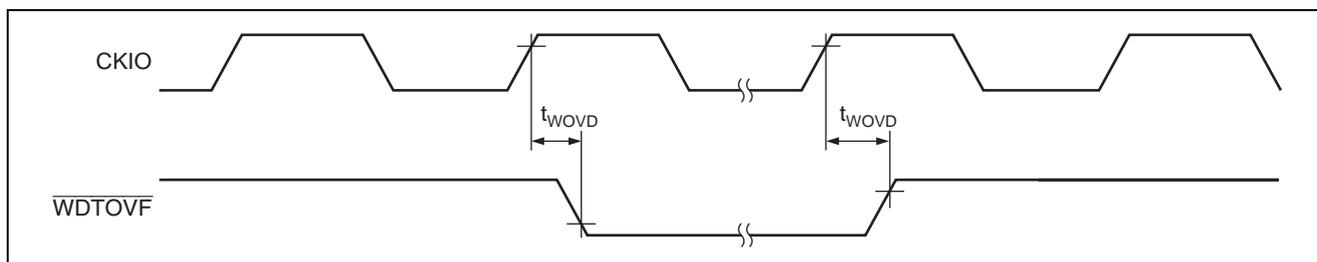


図 29.39 ウォッチドッグタイマタイミング

29.4.6 SCIF モジュールタイミング

表 29.11 SCIF モジュールタイミング

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目		記号	Min.	Max.	単位	参照図
入力クロックサイクル	クロック同期	t_{Syc}	12	—	t_{Pcyc}	29.40
	調歩同期		4	—	t_{Pcyc}	29.40
入力クロック立ち上がり時間		t_{SCKr}	—	1.5	t_{Pcyc}	29.40
入力クロック立ち下がり時間		t_{SCKf}	—	1.5	t_{Pcyc}	29.40
入力クロック幅		t_{SCKW}	0.4	0.6	t_{Syc}	29.40
送信データ遅延時間 (クロック同期)		t_{TXD}	—	$3t_{Pcyc}+15$	t_{Pcyc}	29.41
受信データセットアップ時間 (クロック同期)		t_{RXS}	$4t_{Pcyc}+15$	—	ns	29.41
受信データホールド時間 (クロック同期)		t_{RXH}	100	—	ns	29.41

【注】 t_{Pcyc} は周辺クロック (Pφ) の周期を示します。

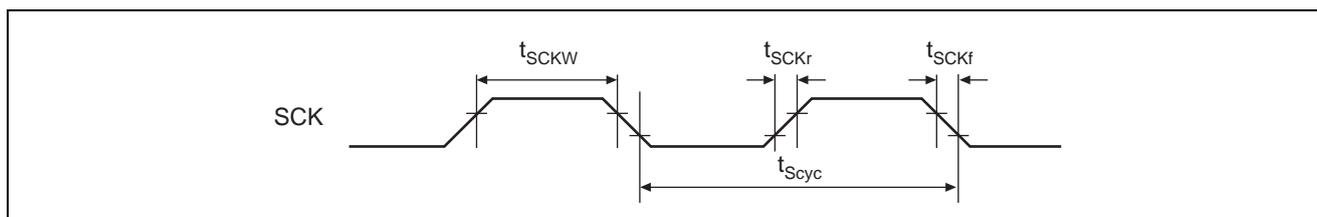


図 29.40 SCK 入力クロックタイミング

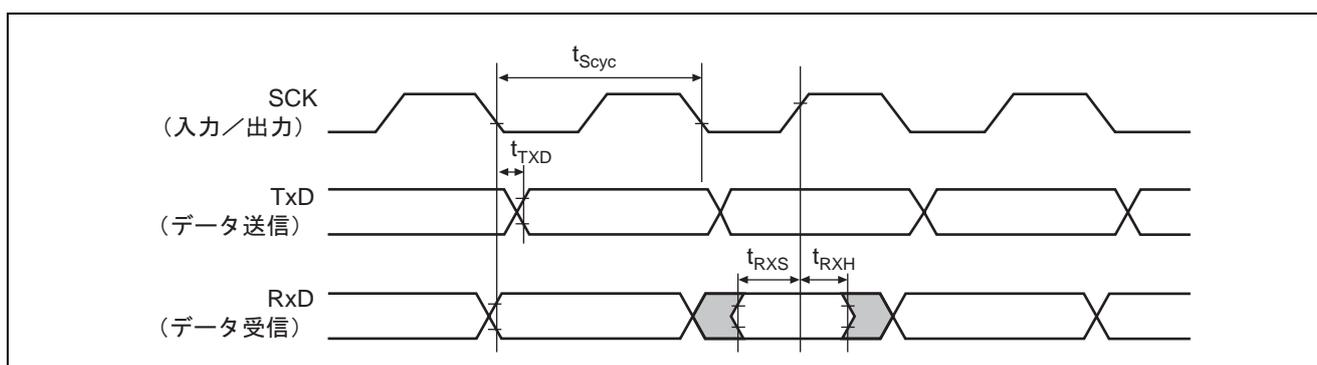


図 29.41 クロック同期式モード時の SCIF 入出力タイミング

29.4.7 IIC3 モジュールタイミング

表 29.12 I²C バスインタフェース 3 タイミング

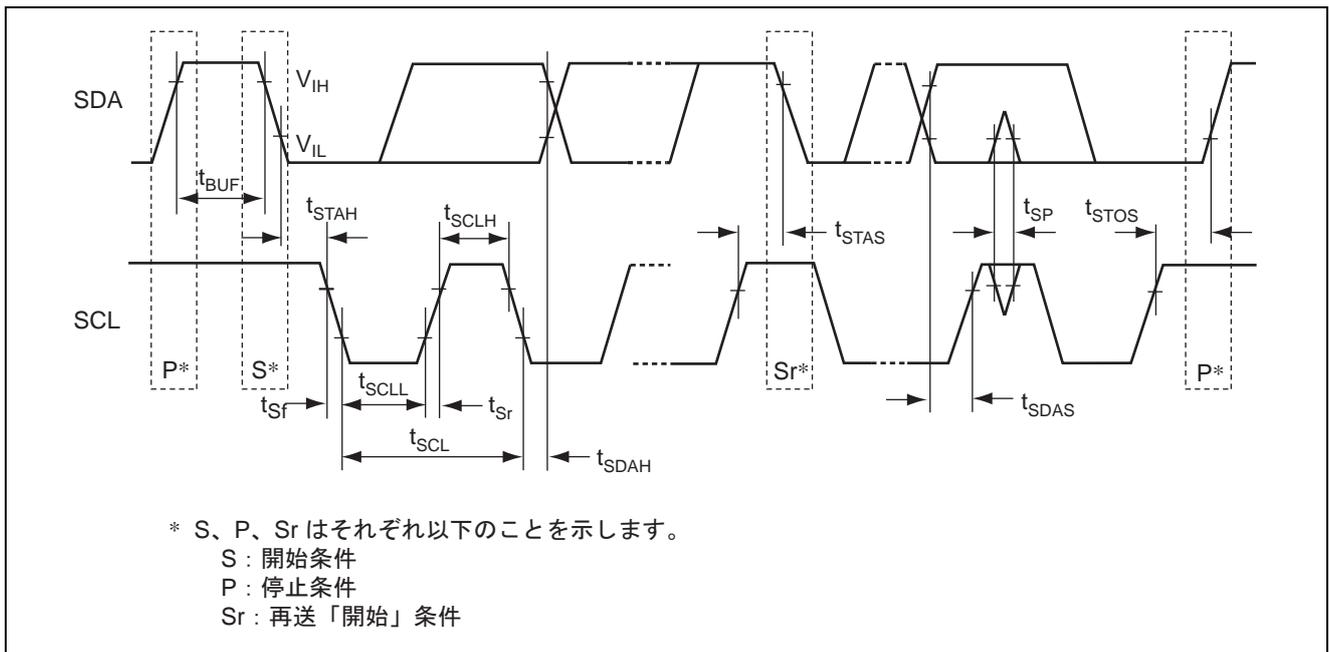
条件 : $V_{CC}=V_{CC}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{CCQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{SS}=V_{SS}(PLL)=DG12=UG12=V_{SSQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	測定条件	規格値			単位	参照図
			Min.	Typ.	Max.		
SCL 入力サイクル時間	t_{SCL}		$12t_{PCYC}^{*1}+600$	—	—	ns	29.42
SCL 入力ハイレベルパルス幅	t_{SCLH}		$3t_{PCYC}^{*1}+300$	—	—	ns	
SCL 入力ローレベルパルス幅	t_{SCLL}		$5t_{PCYC}^{*1}+300$	—	—	ns	
SCL、SDA 入力立ち上がり時間	t_{sr}		—	—	300	ns	
SCL、SDA 入力立ち下がり時間	t_{sf}		—	—	300	ns	
SCL、SDA 入カスパイクパルス除去時間*2	t_{SP}		—	—	1、2	t_{PCYC}^{*1}	
SDA 入力バスフリー時間	t_{BUF}		5	—	—	t_{PCYC}^{*1}	
開始条件入力ホールド時間	t_{STAH}		3	—	—	t_{PCYC}^{*1}	
再送開始条件入力セットアップ時間	t_{STAS}		3	—	—	t_{PCYC}^{*1}	
停止条件入力セットアップ時間	t_{STOS}		3	—	—	t_{PCYC}^{*1}	
データ入力セットアップ時間	t_{SDAS}		$1t_{PCYC}^{*1}+20$	—	—	ns	
データ入力ホールド時間	t_{SDAH}		0	—	—	ns	
SCL、SDA の容量性負荷	Cb		0	—	100	pF	
SCL、SDA 出力立ち下がり時間*3	t_{sf}	$V_{CCQ}=3.1\sim 3.5V$	—	—	250	ns	

【注】 *1 t_{PCYC} は周辺クロック (P ϕ) の周期を示します。

*2 NF2CYC レジスタの値に依存します。

*3 I/O バッファの特性を示しています。

図 29.42 I²C バスインタフェース 3 入出力タイミング

29.4.8 SSI モジュールタイミング

表 29.13 SSI モジュールタイミング

条件 : $V_{CC}=V_{CC}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{CCQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{SS}=V_{SS}(PLL)=DG12=UG12=V_{SSQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Typ.	Max.	単位	備考	参考図
出カクロック周期	t_o	80	—	6400	ns	出力	29.43
入カクロック周期	t_i	80	—	6400	ns	入力	
クロックハイレベル	t_{HC}	32	—	—	ns	双方向	
クロックローレベル	t_{LC}	32	—	—	ns		
クロック立ち上がり時間	t_{RC}	—	—	20	ns	出力 (100pF)	
出力遅延	t_{DTR}	-5	—	25	ns	送信	29.44、29.45
入力セットアップ時間	t_{SR}	25	—	—	ns	受信	29.46、29.47
入力ホールド時間	t_{HTR}	5	—	—	ns	受信	29.46、29.47
AUDIO_CLK 入力周波数	f_{AUDIO}	10	—	40	MHz		29.48

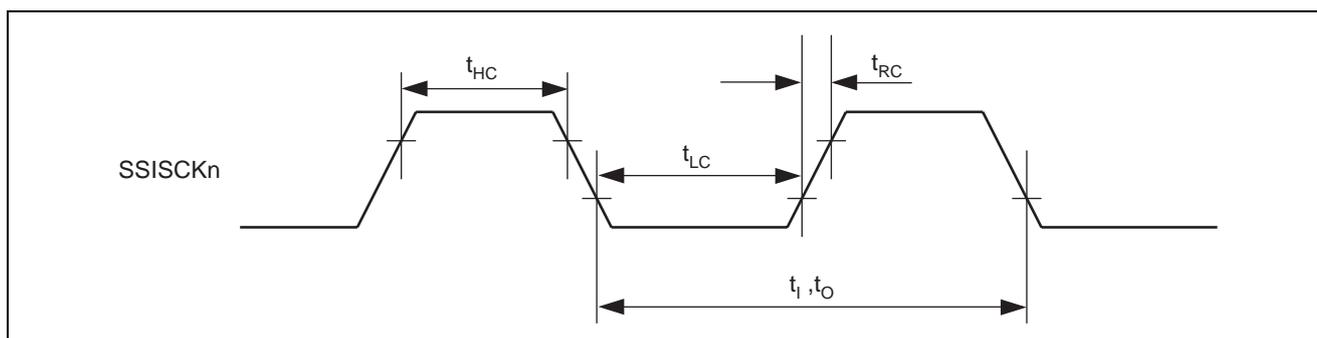


図 29.43 クロック入出力タイミング

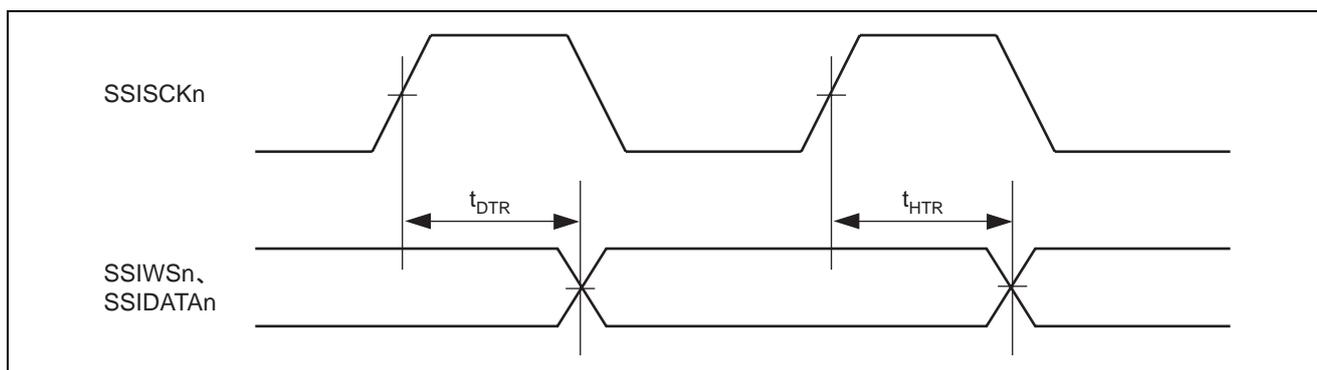


図 29.44 SSI 送信タイミング (1)

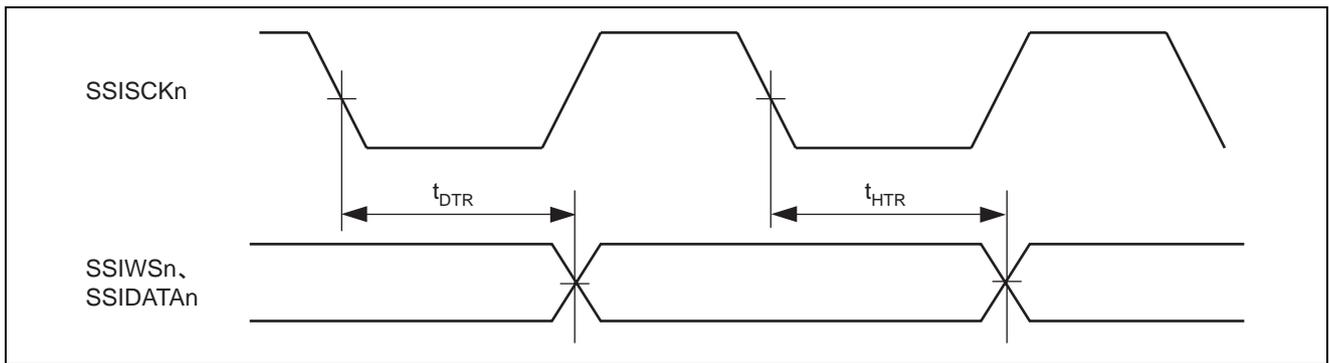


図 29.45 SSI 送信タイミング (2)

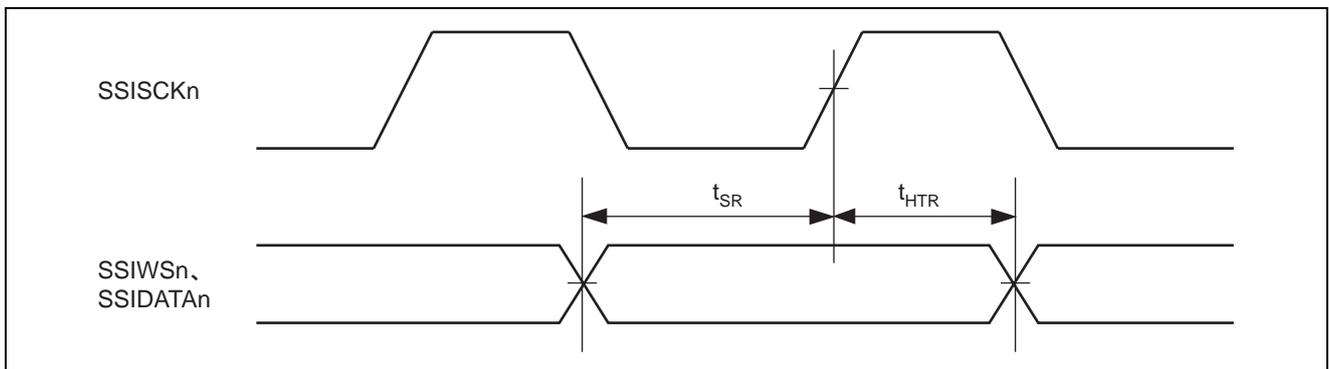


図 29.46 SSI 受信タイミング (1)

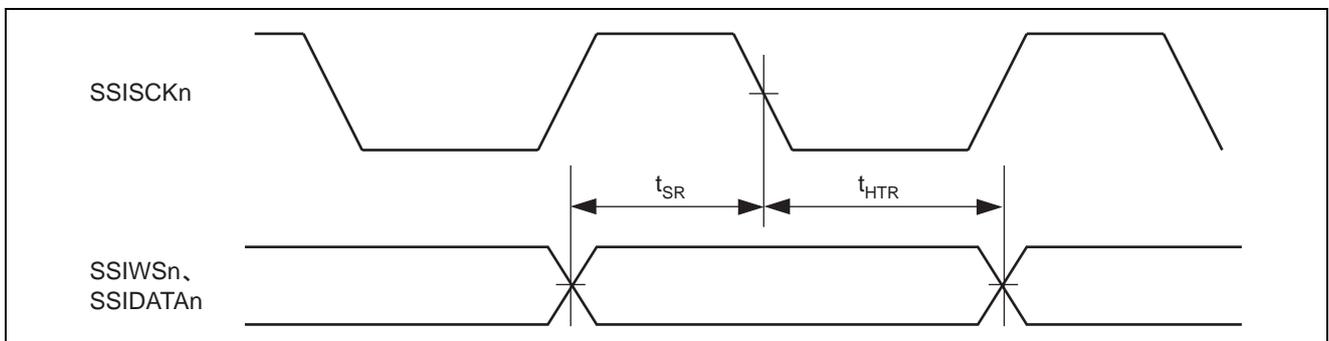


図 29.47 SSI 受信タイミング (2)

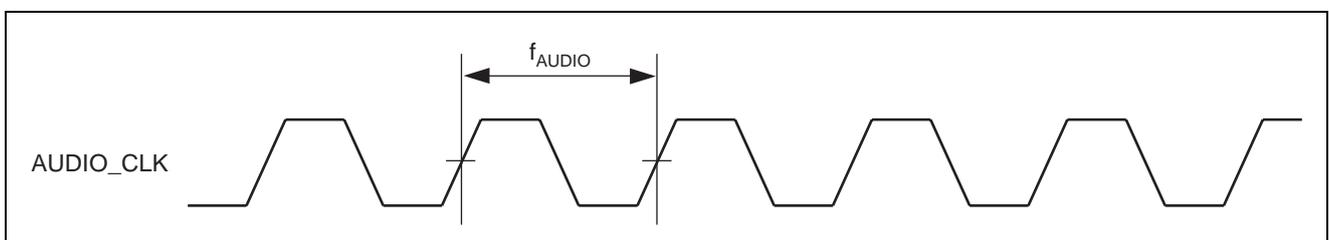


図 29.48 AUDIO_CLK 入力タイミング

29.4.9 USB トランシーバタイミング

表 29.14 USB トランシーバタイミング (フルスピード時)

条件 : $V_{CC}=V_{CC}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{CCQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{SS}=V_{SS}(PLL)=DG12=UG12=V_{SSQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	t_{FR}	4	—	20	ns	29.49
立ち下がり時間	t_{FF}	4	—	20	ns	
立ち上がり/立ち下がり時間比	t_{FR}/t_{FF}	70	—	130	%	

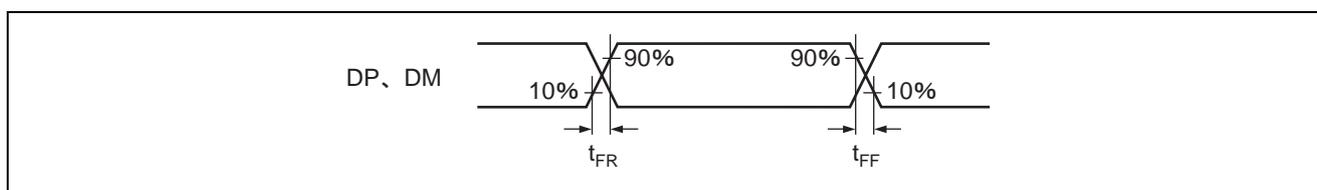


図 29.49 DP、DM 出力タイミング (フルスピード時)

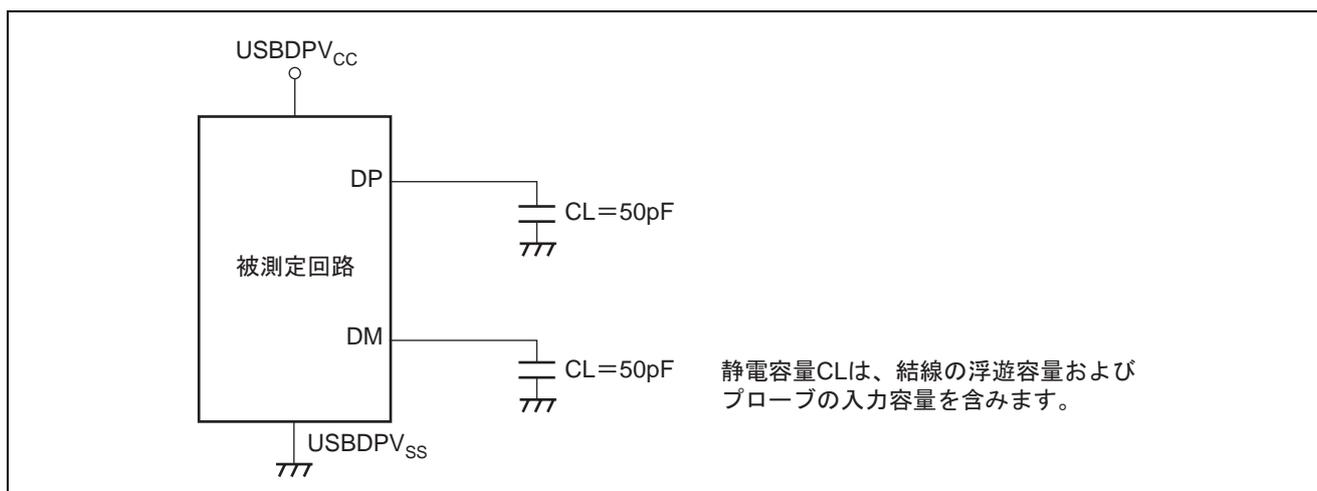


図 29.50 測定回路 (フルスピード時)

表 29.15 USB トランシーバタイミング (ロースピード時)

条件 : $V_{CC}=V_{CC}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{CCQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{SS}=V_{SS}(PLL)=DG12=UG12=V_{SSQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Typ.	Max.	単位	参照図
立ち上がり時間	t_{LR}	75	—	300	ns	29.51
立ち下がり時間	t_{LF}	75	—	300	ns	
出カドライバ抵抗	t_{LR}/t_{LF}	80	—	125	%	

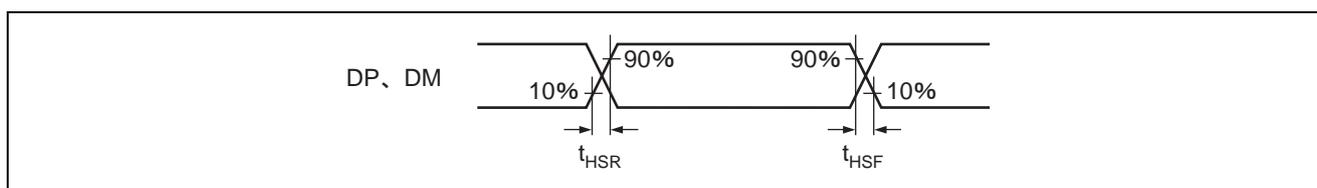


図 29.51 DP、DM 出カタイミング (ロースピード時)

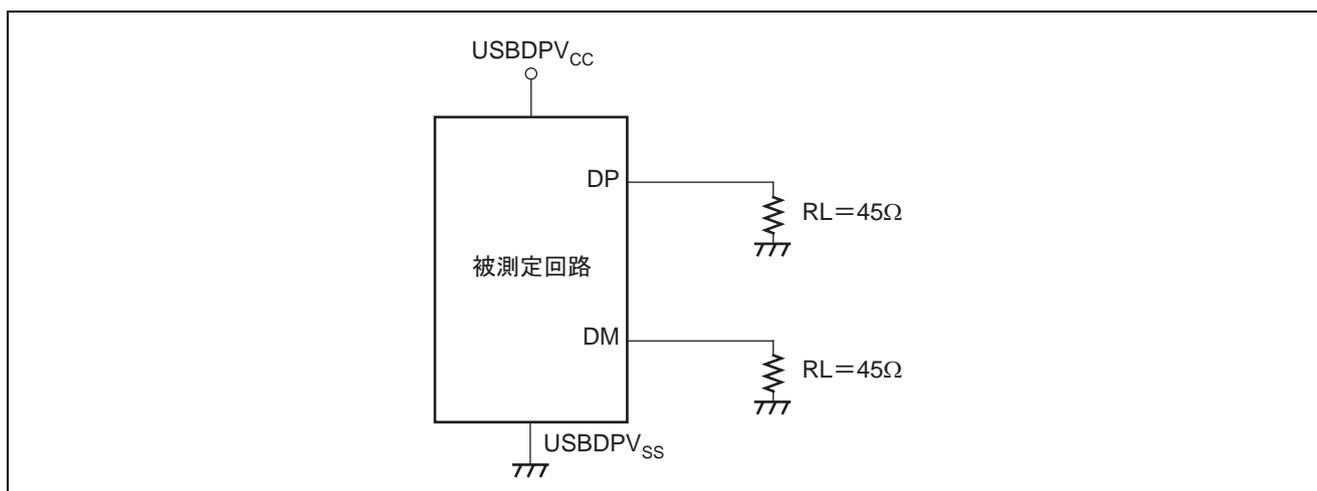


図 29.52 測定回路 (ロースピード時)

29.4.10 SDHI モジュールタイミング

表 29.16 SDHI モジュールタイミング

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項 目	記号	Min.	Max.	単位	参照図	
SDHICLK クロックサイクル	t_{SDPP}	($P\phi > 33.3MHz$ の場合)	4	—	t_{pcyc}	29.53
		($P\phi \leq 33.3MHz$ の場合)	2	—		
SDHICLK クロックハイレベル幅	t_{SDWH}	0.4	—	t_{SDPP}		
SDHICLK クロックローレベル幅	t_{SDWL}	0.4	—	t_{SDPP}		
SDHICMD、SDHID3~SDHID0 出力データ遅延 (データ転送モード)	t_{SDODLY}	—	14	ns		
SDHICMD、SDHID3~SDHID0 入力データセットアップ	t_{SDISU}	12	—	ns		
SDHICMD、SDHID3~SDHID0 入力データホールド	t_{SDIH}	12	—	ns		

【注】 t_{pcyc} は周辺クロック ($P\phi$) の 1 サイクル時間を示します。

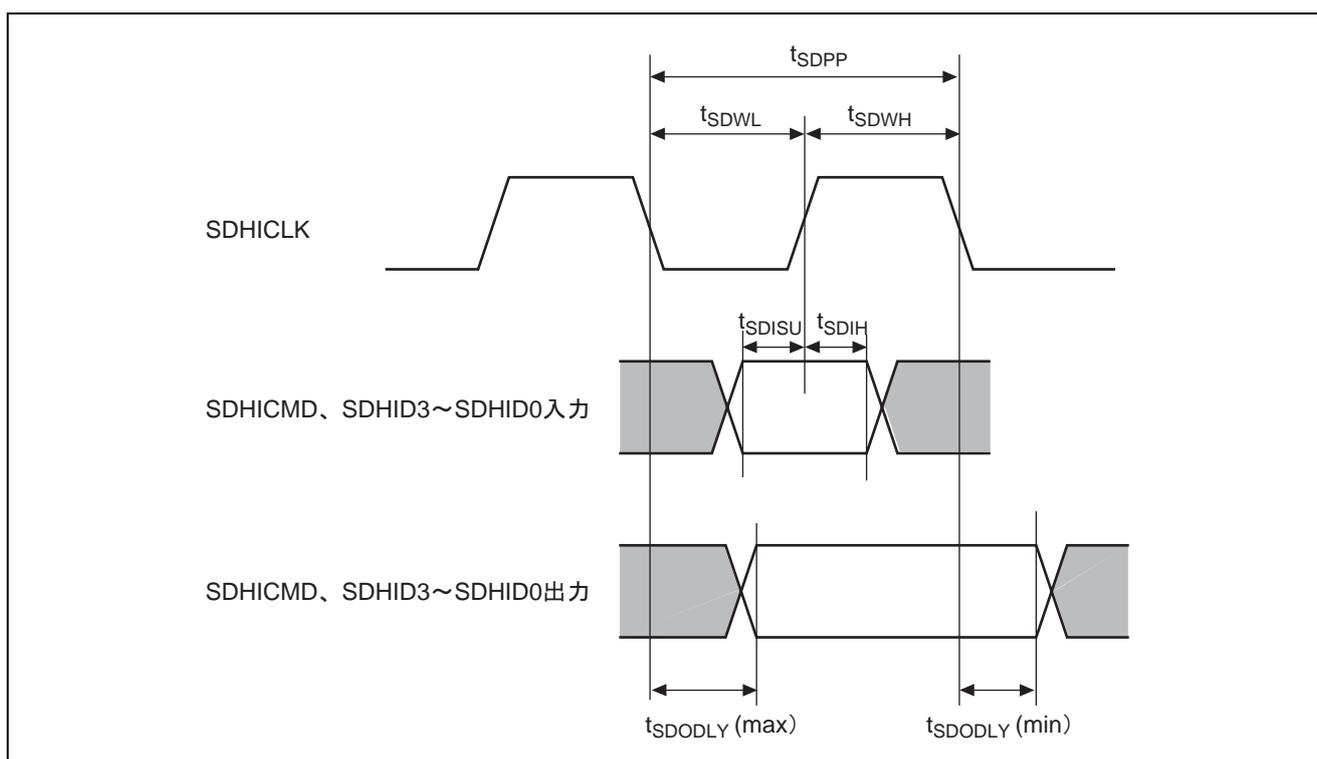


図 29.53 SD カードインタフェース

29.4.11 I/O ポートタイミング

表 29.17 I/O ポートタイミング

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Max.	単位	参照図
出力データ遅延時間	t_{PORTD}	—	100	ns	29.54
入力データセットアップ時間	t_{PORTS}	100	—		
入力データホールド時間	t_{PORTH}	100	—		

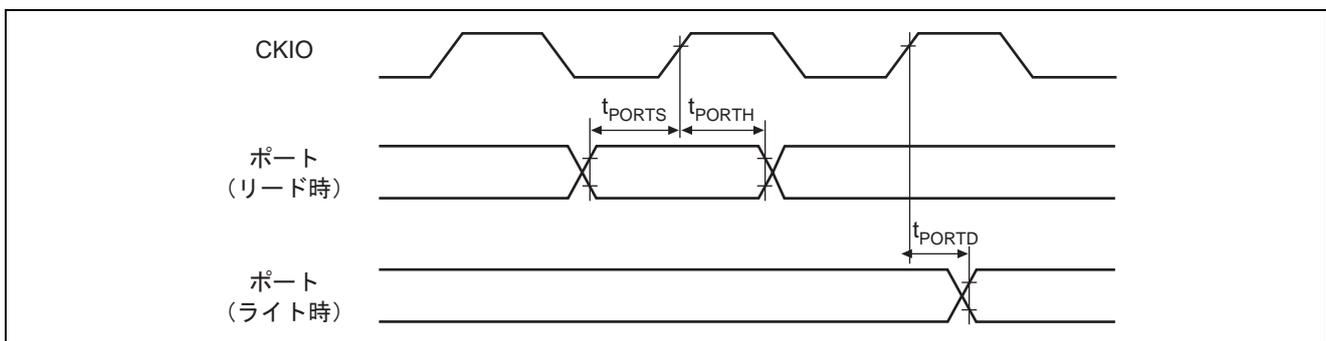


図 29.54 I/O ポートタイミング

29.4.12 HIF モジュール信号タイミング

表 29.18 HIF モジュール信号タイミング

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^\circ C$ (通常仕様品) $-40\sim 85^\circ C$ (広温度仕様品)

項目	記号	min	max	単位	参照図
リードバスサイクル時間	$t_{HIFCYCR}$	5.0	—	t_{pcyc}	29.55
ライトバスサイクル時間	$t_{HIFCYCW}$	5.0	—	t_{pcyc}	
リードロー幅 (リード時)	t_{HIFWRL}	3.0	—	t_{pcyc}	
ライトロー幅 (ライト時)	t_{HIFWWL}	3.0	—	t_{pcyc}	
リード/ライトハイ幅	$t_{HIFWRWH}$	2.0	—	t_{pcyc}	
読み出しデータ遅延時間	t_{HIFRDD}	—	$2 \times t_{pcyc} + 16$	ns	
読み出しデータホールド時間	t_{HIFRDH}	0	—	ns	
書き込みデータセットアップ時間	t_{HIFWDS}	$t_{pcyc} + 10$	—	ns	
書き込みデータホールド時間	t_{HIFWDH}	10	—	ns	
HIFINT 出力遅延時間	t_{HIFITD}	—	20	ns	29.56
HIFRDY 出力遅延時間	t_{HIFRYD}	—	20	t_{pcyc}	29.57
HIFDREQ 出力遅延時間	t_{HIFDQD}	—	20	ns	29.56
HIF 端子イネーブル遅延時間	t_{HIFEED}	—	20	ns	29.57
HIF 端子ディスエーブル遅延時間	t_{HIFEDD}	—	20	ns	29.57

【注】 1. t_{pcyc} は周辺クロック (Pφ) の周期を示します。

2. t_{HIFWRL} 期間は \overline{HIFCS} 信号の LOW 期間と \overline{HIFRD} 信号の LOW 期間のオーバーラップ期間で規定されます。

3. t_{HIFWWL} 期間は \overline{HIFCS} 信号の LOW 期間と \overline{HIFWR} 信号の LOW 期間のオーバーラップ期間で規定されます。

4. HIF インデックスレジスタ (HIFIDX) へライトした後に、REG5~REG0 で設定したレジスタをリードする場合の $t_{HIFWRWH}$ (min) は $2 \times t_{pcyc} + 5ns$ になります。

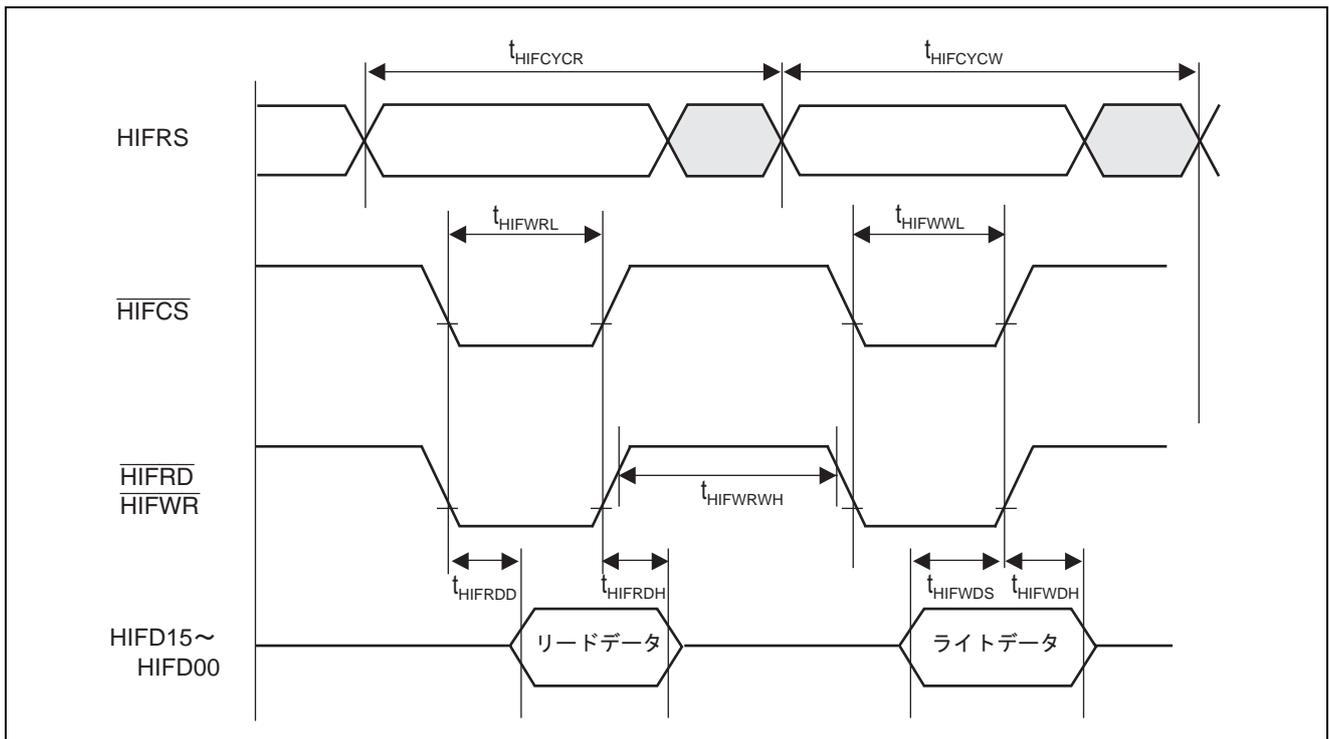


図 29.55 HIF アクセスタイミング

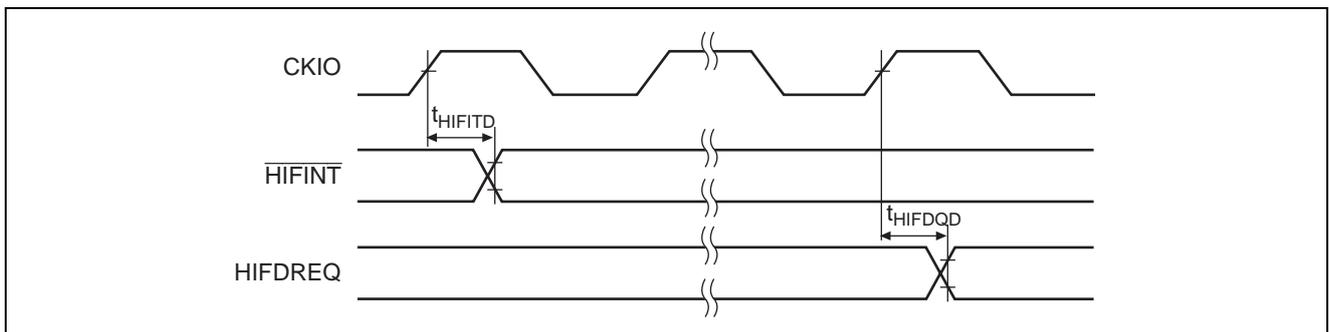


図 29.56 HIFINT、HIFDREQ タイミング

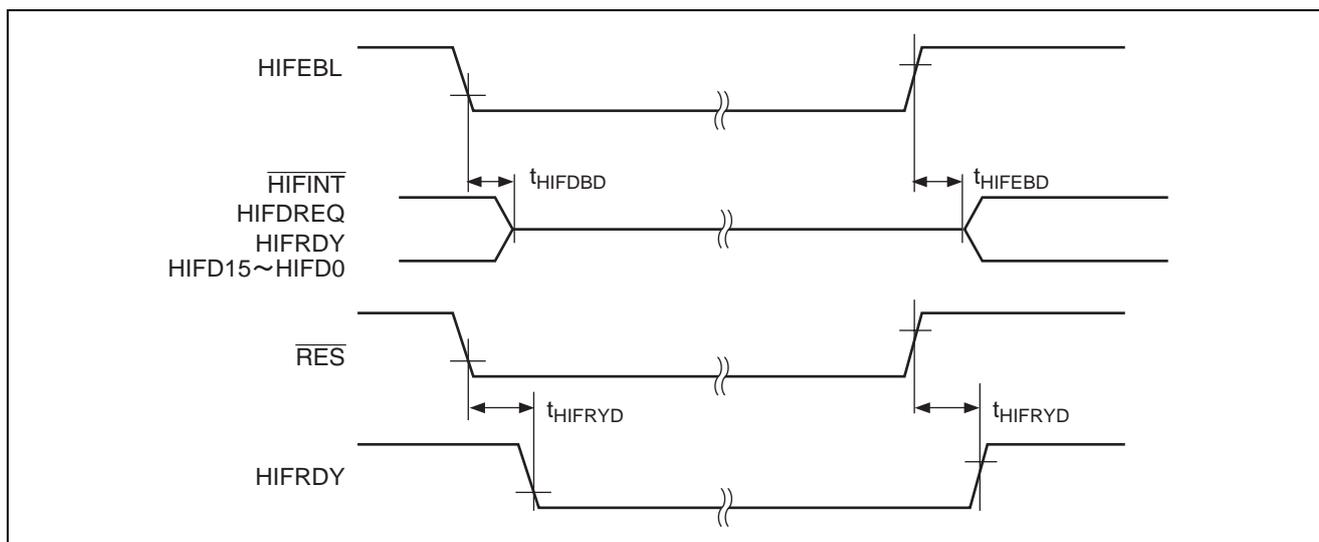


図 29.57 HIFRDY、HIF 端子イネーブル/ディスエーブルタイミング

29.4.13 EtherC モジュール信号タイミング

表 29.19 EtherC モジュール信号タイミング

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	min	max	単位	参照図
TX-CLK サイクル時間	t_{Tcyc}	40	—	ns	—
TX-EN 出力遅延時間	t_{TENd}	1	20	ns	29.58
MII_TXD[3:0]出力遅延時間	t_{MTDd}	1	20	ns	
CRS セットアップ時間	t_{CRSs}	10	—	ns	
CRS ホールド時間	t_{CRSh}	10	—	ns	
COL セットアップ時間	t_{COLs}	10	—	ns	29.59
COL ホールド時間	t_{COLh}	10	—	ns	
RX-CLK サイクル時間	t_{Rcyc}	40	—	ns	—
RX-DV セットアップ時間	t_{RDVs}	10	—	ns	29.60
RX-DV ホールド時間	t_{RDVh}	10	—	ns	
MII_RXD[3:0]セットアップ時間	t_{MRDs}	10	—	ns	
MII_RXD[3:0]ホールド時間	t_{MRDh}	10	—	ns	
RX-ER セットアップ時間	t_{RERs}	10	—	ns	29.61
RX-ER ホールド時間	t_{RERh}	10	—	ns	
MDIO セットアップ時間	t_{MDIOs}	10	—	ns	29.62
MDIO ホールド時間	t_{MDIOh}	10	—	ns	
MDIO 出力データホールド時間*	t_{MDIOdh}	5	18	ns	29.63
WOL 出力遅延時間	t_{WOLd}	1	20	ns	29.64
EXOUT 出力遅延時間	t_{EXOUTd}	1	20	ns	29.65

【注】 * 本仕様を満たすように、PHY 部インタフェースレジスタ (PIR) を操作してください。

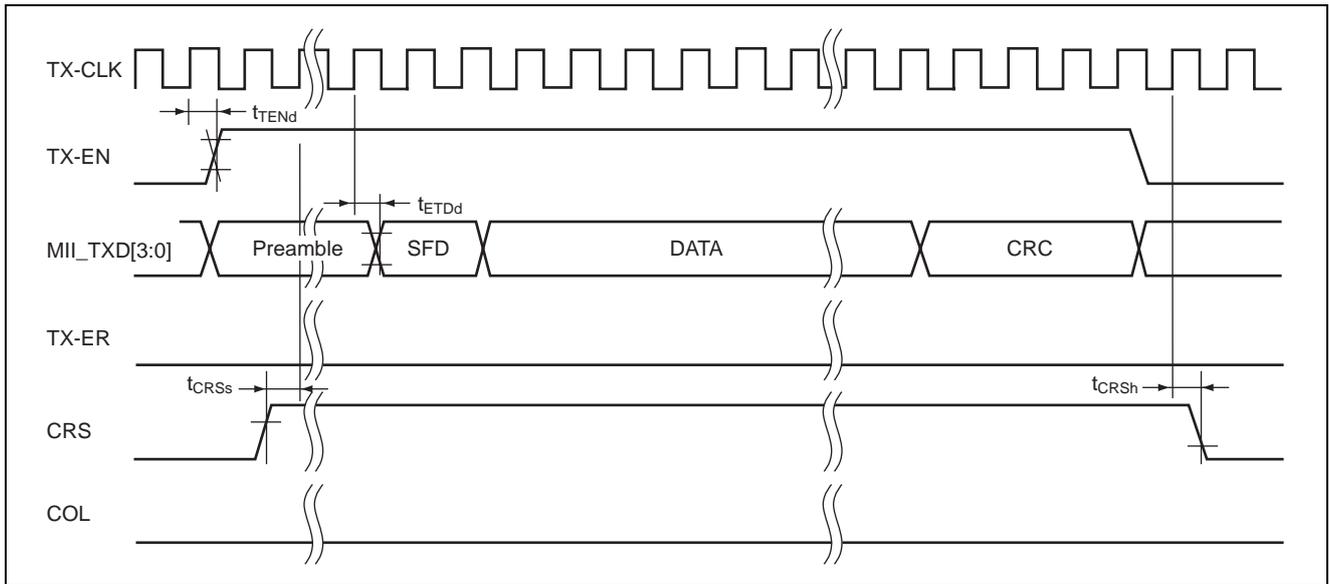


図 29.58 MII 送信タイミング（正常動作時）

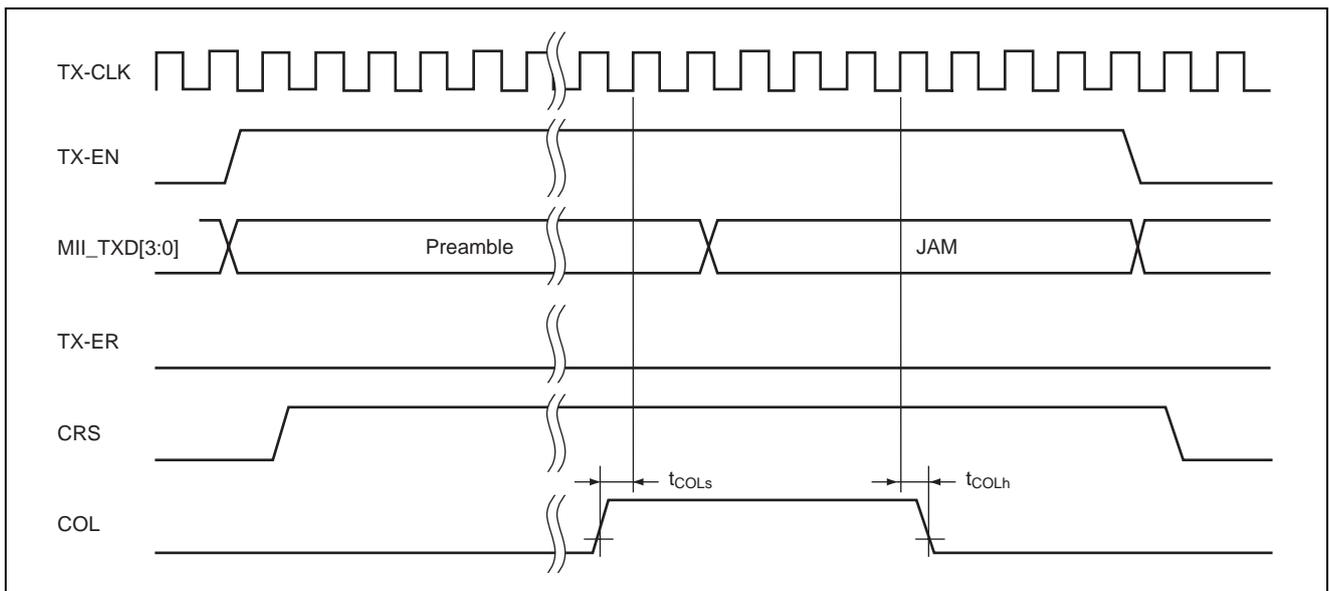


図 29.59 MII 送信タイミング（衝突発生ケース）

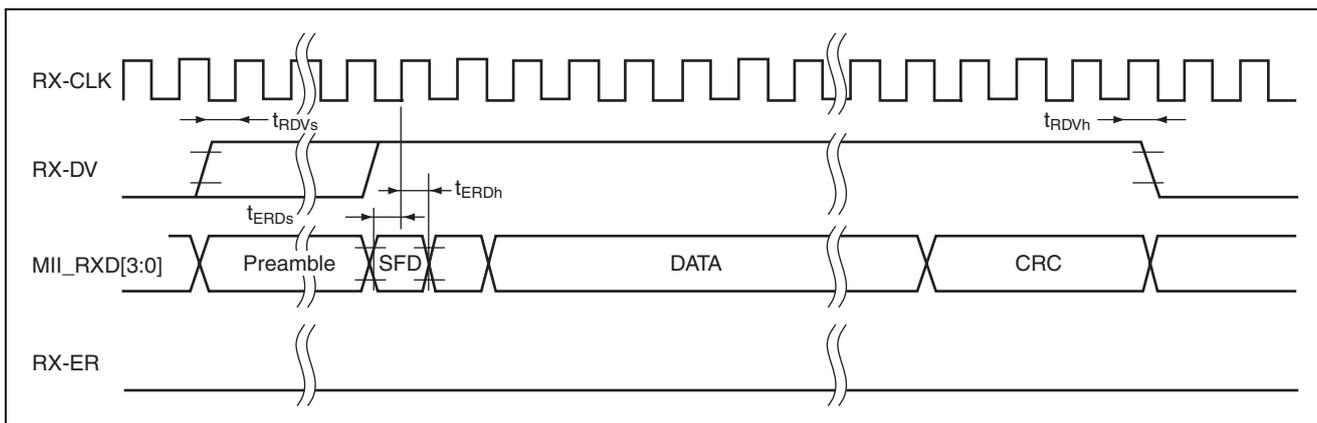


図 29.60 MII 受信タイミング (正常動作時)

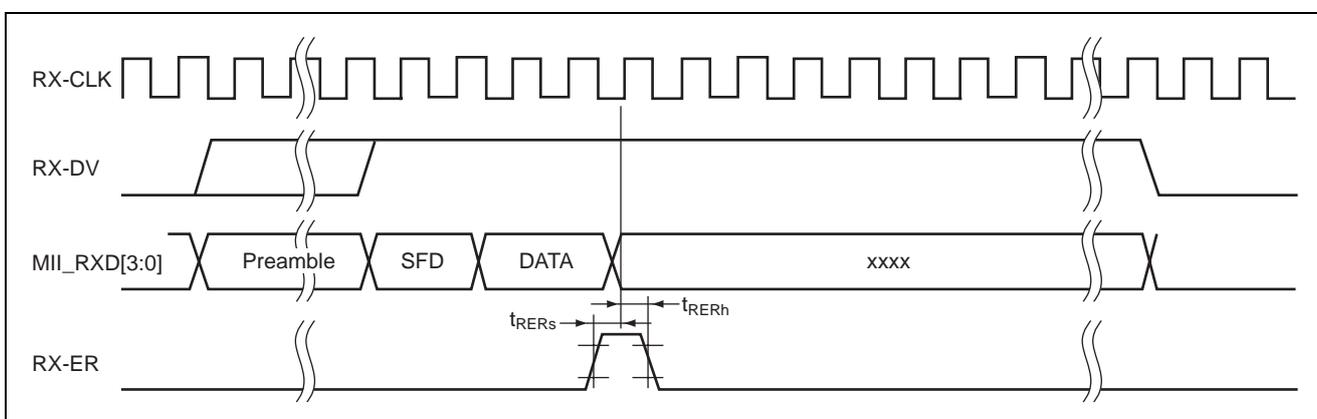


図 29.61 MII 受信タイミング (エラー発生ケース)

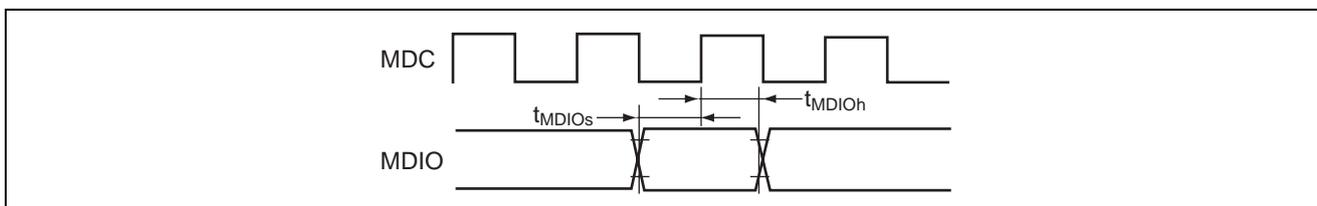


図 29.62 MDIO 入力タイミング

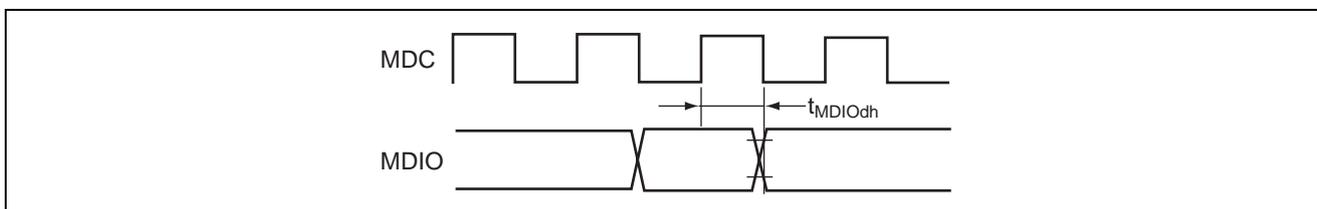


図 29.63 MDIO 出力タイミング

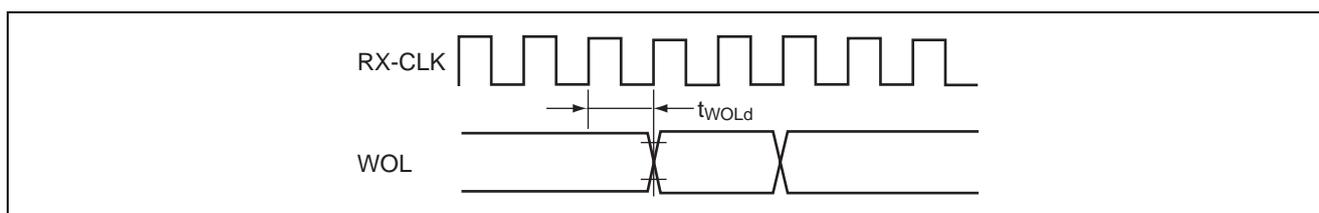


図 29.64 WOL 出力タイミング

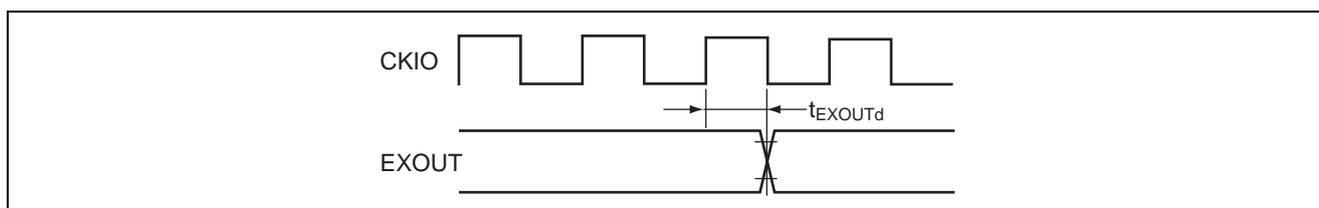


図 29.65 EXOUT 出力タイミング

29.4.14 H-UDI 関連端子のタイミング

表 29.20 H-UDI 関連端子のタイミング

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	Min.	Max.	単位	参照図
TCK サイクル時間	t_{TCKcyc}	50*	—	ns	29.66
TCK ハイレベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCK ローレベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDI セットアップ時間	t_{TDIS}	10	—	ns	29.67
TDI ホールド時間	t_{TDIH}	10	—	ns	
TMS セットアップ時間	t_{TMSS}	10	—	ns	
TMS ホールド時間	t_{TMSH}	10	—	ns	
TDO 遅延時間	t_{TDOD}	—	16	ns	

【注】 * 周辺クロック (Pφ) のサイクル時間より大きくなるようにしてください。

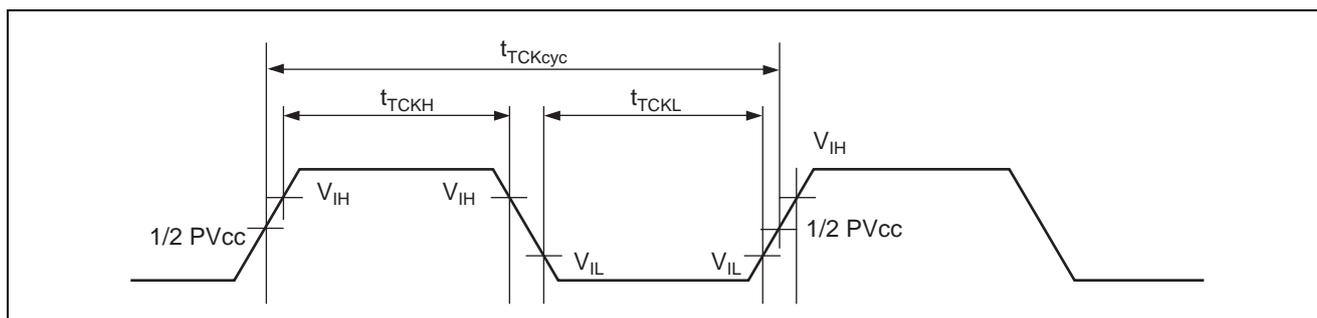


図 29.66 TCK 入カタイミング

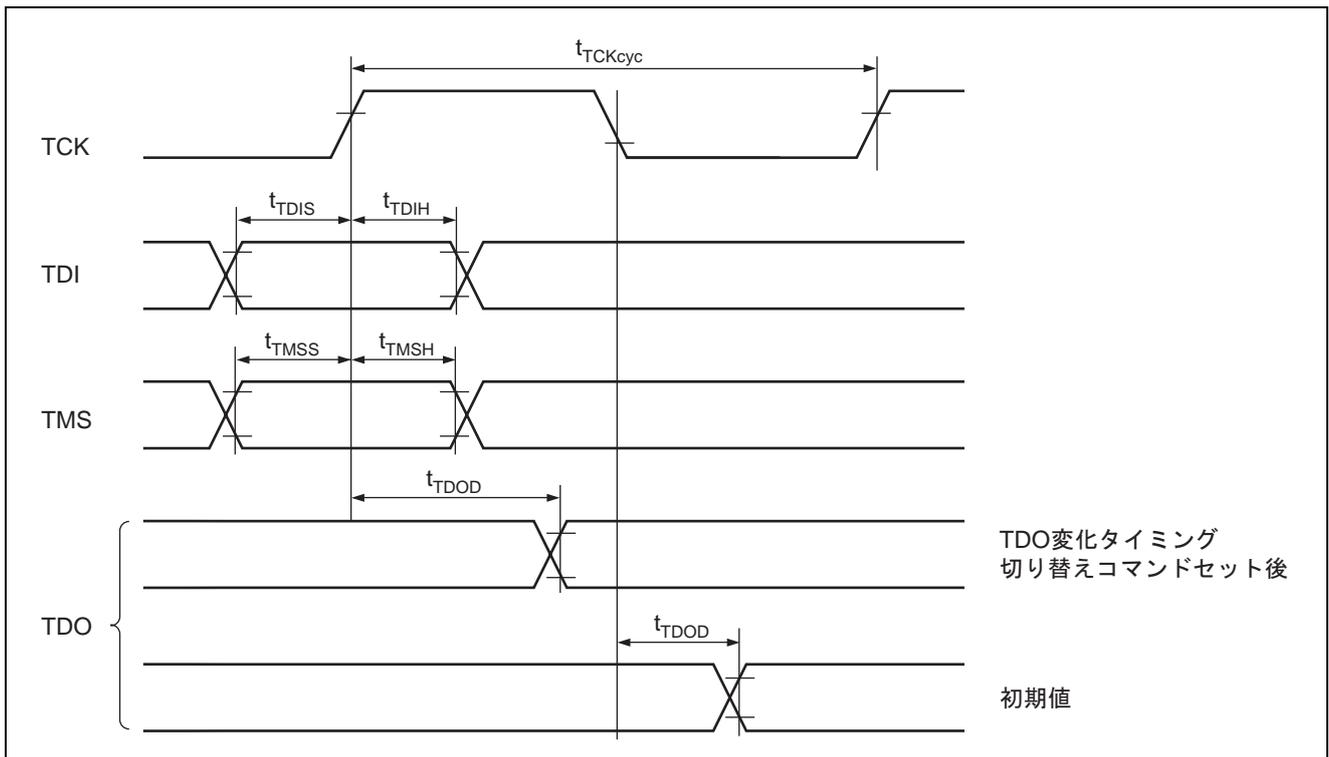


図 29.67 H-UDI データ転送タイミング

29.4.15 STIF モジュール信号タイミング (1)

表 29.21 STIF モジュール信号タイミング (1)

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目		記号	min	max	単位	参照図
STn_CLKIN クロック入力 サイクル	パラレルモード	$t_{ST_CKIN_CYC}$	2	24	t_{bicyc}^*	29.68
	シリアルモード		1.25	24		
STn_CLKIN クロック入力 High レベルパルス幅	パラレルモード	$t_{ST_CKIN_H}$	0.4	0.6	$t_{ST_CKIN_CYC}$	
	シリアルモード		0.4	0.6		
STn_CLKIN クロック入力 Low レベルパルス幅	パラレルモード	$t_{ST_CKIN_L}$	0.4	0.6	$t_{ST_CKIN_CYC}$	
	シリアルモード		0.4	0.6		
STn_CLKIN クロック入力 立ち上がり時間	パラレルモード	$t_{ST_CKIN_r}$	—	2.75	ns	
	シリアルモード		—	1.75		
STn_CLKIN クロック入力 立ち下がり時間	パラレルモード	$t_{ST_CKIN_f}$	—	2.75	ns	
	シリアルモード		—	1.75		

【注】 * t_{bicyc} は外部バスクロック (Bφ) の周期を示します。

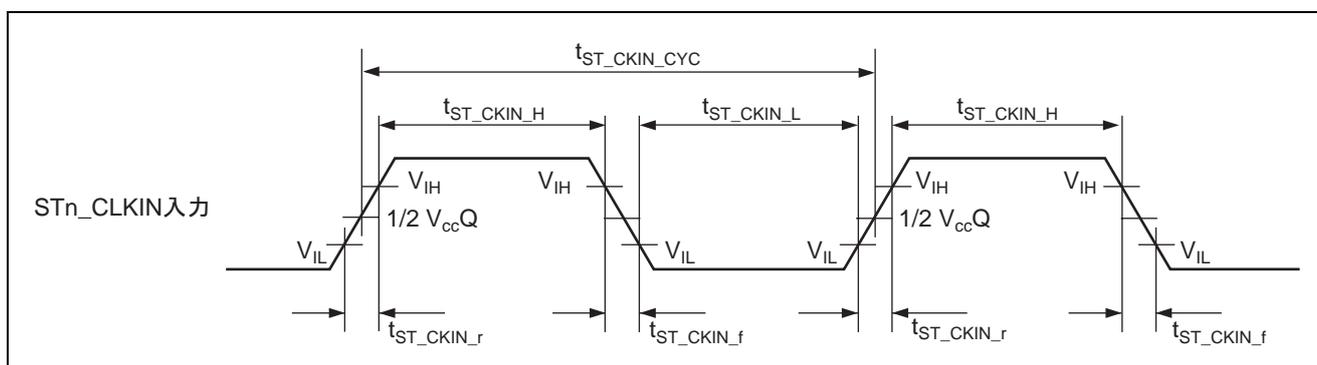


図 29.68 STIF モジュール信号タイミング (1)

29.4.16 STIF モジュール信号タイミング (2)

表 29.22 STIF モジュール信号タイミング (2)

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目		記号	min	max	単位	参照図
ST_CLKOUT クロック出力 サイクル	パラレルモード	$t_{ST_CKOUT_CYC}$	2	24	$t_{b\text{cyc}}^*$	29.69
	シリアルモード		1	24		
ST_CLKOUT クロック出力 High レベルパルス幅	パラレルモード	$t_{ST_CKOUT_H}$	6.75	—	ns	
	シリアルモード		3	—		
ST_CLKOUT クロック出力 Low レベルパルス幅	パラレルモード	$t_{ST_CKOUT_L}$	6.75	—	ns	
	シリアルモード		3	—		
ST_CLKOUT クロック出力 立ち上がり時間	パラレルモード	$t_{ST_CKOUT_r}$	—	2.75	ns	
	シリアルモード		—	2.75		
ST_CLKOUT クロック出力 立ち下がり時間	パラレルモード	$t_{ST_CKOUT_f}$	—	2.75	ns	
	シリアルモード		—	2.75		

【注】 * $t_{b\text{cyc}}$ は外部バスクロック (Bφ) の周期を示します。

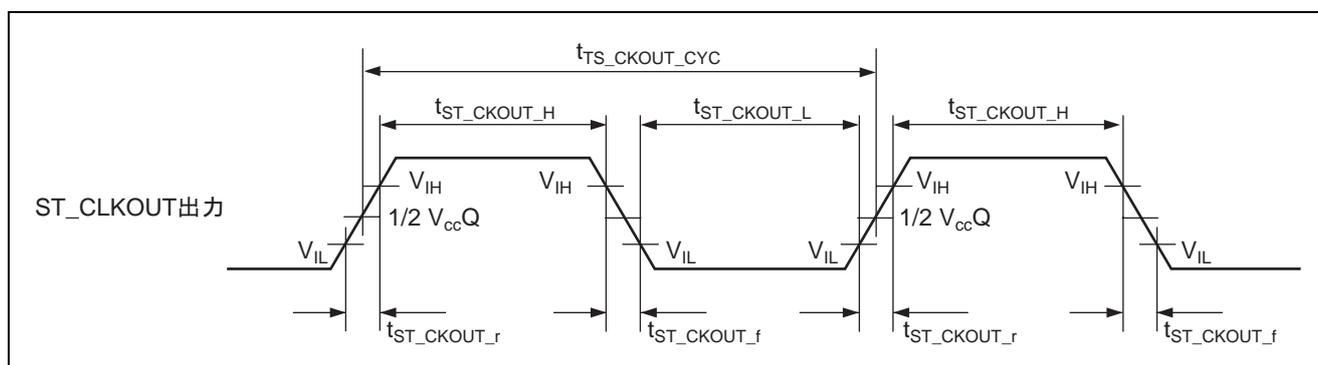


図 29.69 STIF モジュール信号タイミング (2)

29.4.17 STIF モジュール信号タイミング (3) (ストリーム入出力を STn_CLKIN 立ち上がり同期に設定した場合)

表 29.23 STIF モジュール信号タイミング (3)

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	min	max	単位	参照図
STn_SYC 出力遅延時間 1	t_{STSD1}	—	11	ns	29.70
STn_VLD 出力遅延時間 1	t_{STVD1}	—	11	ns	
STn_REQ 出力遅延時間 1	t_{STRD1}	—	11	ns	
STn_Dm 出力遅延時間 1	t_{STDD1}	—	11	ns	
STn_SYC 入力セットアップ時間 1	t_{STSS1}	4	—	ns	
STn_SYC 入力ホールド時間 1	t_{STSH1}	3	—	ns	
STn_VLD 入力セットアップ時間 1	t_{STVS1}	4	—	ns	
STn_VLD 入力ホールド時間 1	t_{STVH1}	3	—	ns	
STn_REQ 入力セットアップ時間 1	t_{STRS1}	4	—	ns	
STn_REQ 入力ホールド時間 1	t_{STRH1}	3	—	ns	
STn_Dm 入力セットアップ時間 1	t_{STDS1}	4	—	ns	
STn_Dm 入力ホールド時間 1	t_{STDH1}	3	—	ns	

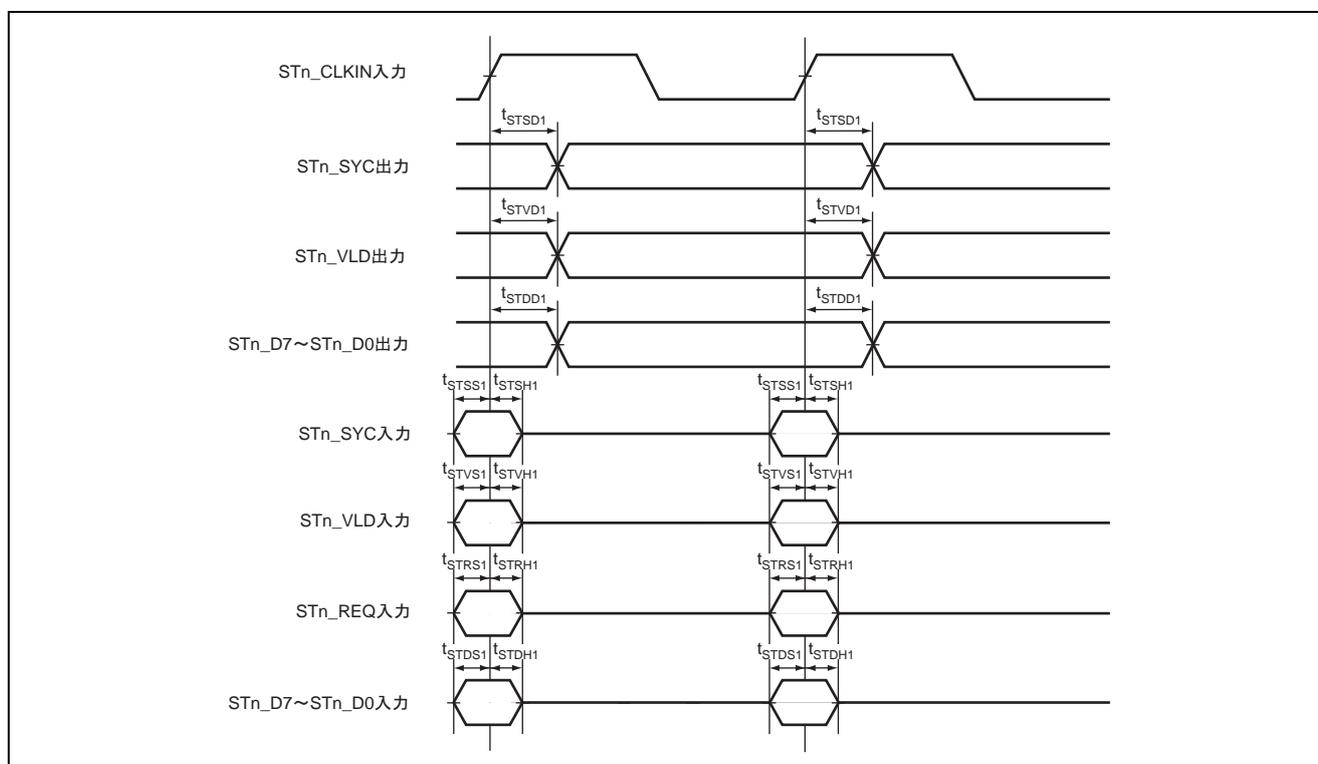


図 29.70 STIF モジュール信号タイミング (3)

29.4.18 STIF モジュール信号タイミング (4) (ストリーム入出力を STn_CLKIN 立ち下がり同期に設定した場合)

表 29.24 STIF モジュール信号タイミング (4)

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	min	max	単位	参照図
STn_SYC 出力遅延時間 2	t_{STSD2}	—	11	ns	29.71
STn_VLD 出力遅延時間 2	t_{STVD2}	—	11	ns	
STn_REQ 出力遅延時間 2	t_{STRD2}	—	11	ns	
STn_Dm 出力遅延時間 2	t_{STDD2}	—	11	ns	
STn_SYC 入力セットアップ時間 2	t_{STSS2}	4	—	ns	
STn_SYC 入力ホールド時間 2	t_{STSH2}	3	—	ns	
STn_VLD 入力セットアップ時間 2	t_{STVS2}	4	—	ns	
STn_VLD 入力ホールド時間 2	t_{STVH2}	3	—	ns	
STn_REQ 入力セットアップ時間 2	t_{STRS2}	4	—	ns	
STn_REQ 入力ホールド時間 2	t_{STRH2}	3	—	ns	
STn_Dm 入力セットアップ時間 2	t_{STDS2}	4	—	ns	
STn_Dm 入力ホールド時間 2	t_{STDH2}	3	—	ns	

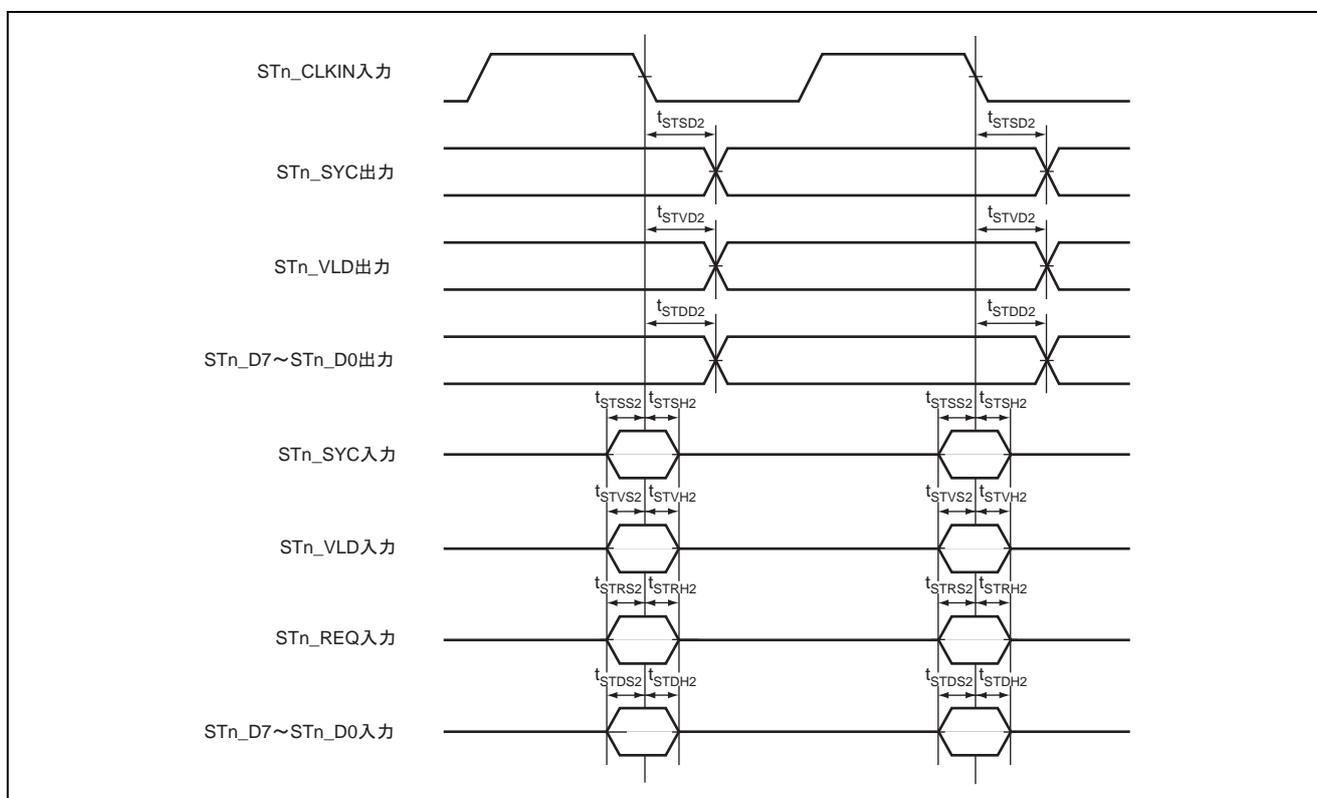


図 29.71 STIF モジュール信号タイミング (4)

29.4.19 STIF モジュール信号タイミング (5)

(ストリーム出力を STn_CLKOUT 立ち上がり同期に設定した場合)

表 29.25 STIF モジュール信号タイミング (5)

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	min	max	単位	参照図
STn_SYC 出力遅延時間 5	t_{STSD5}	—	5	ns	29.72
STn_VLD 出力遅延時間 5	t_{STVD5}	—	5	ns	
STn_Dm 出力遅延時間 5	t_{STDD5}	—	5	ns	
STn_REQ 入力セットアップ時間 5	t_{STRS5}	8.5	—	ns	
STn_REQ 入力ホールド時間 5	t_{STRH5}	0.5	—	ns	

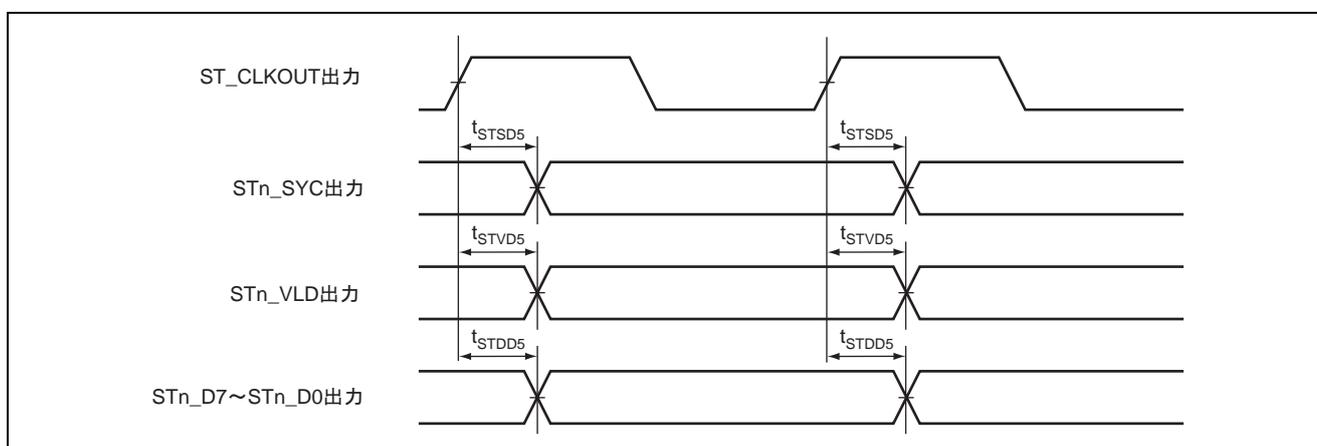


図 29.72 STIF モジュール信号タイミング (5)

29.4.20 STIF モジュール信号タイミング (6) (ストリーム出力を STn_CLKOUT 立ち下がり同期に設定した場合)

表 29.26 STIF モジュール信号タイミング (6)

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	min	max	単位	参照図
STn_SYC 出力遅延時間 6	t_{STSD6}	—	5	ns	29.73
STn_VLD 出力遅延時間 6	t_{STVD6}	—	5	ns	
STn_Dm 出力遅延時間 6	t_{STDD6}	—	5	ns	
STn_REQ 入力セットアップ時間 6	t_{STRS6}	8.5	—	ns	
STn_REQ 入力ホールド時間 6	t_{STRH6}	0.5	—	ns	

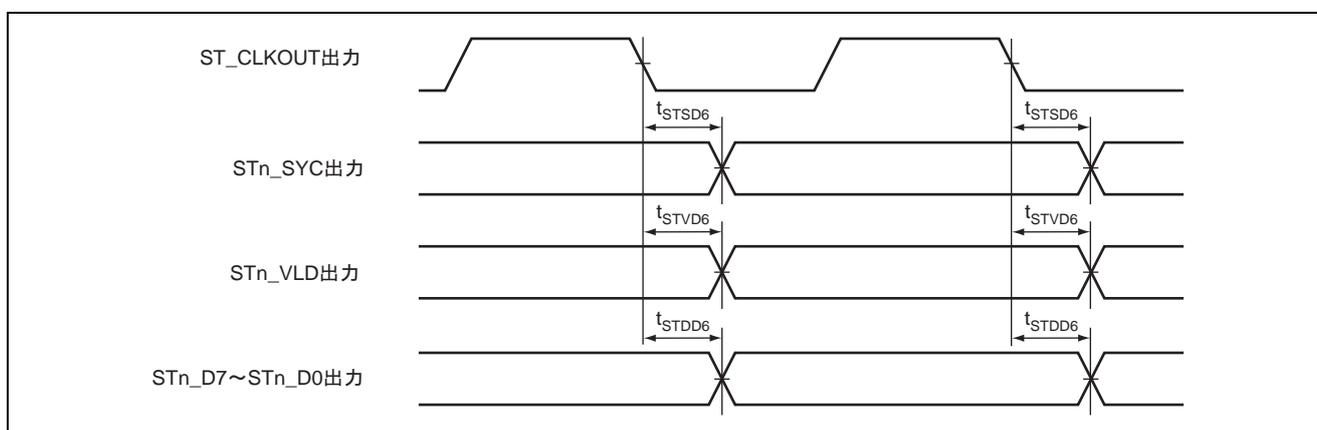


図 29.73 STIF モジュール信号タイミング (6)

29.4.21 STIF モジュール信号タイミング (7)

表 29.27 STIF モジュール信号タイミング (7)

条件 : $V_{cc}=V_{cc}(PLL)=DV12=UV12=1.1\sim 1.3V$ 、 $V_{ccQ}=DV33=3.1\sim 3.5V$ 、 $AV12=1.1\sim 1.3V$ 、 $AV33=3.1\sim 3.5V$ 、
 $V_{ss}=V_{ss}(PLL)=DG12=UG12=V_{ssQ}=DG33=AG12=AG33=0V$ 、
 $T_a=-20\sim 70^{\circ}C$ (通常仕様品) $-40\sim 85^{\circ}C$ (広温度仕様品)

項目	記号	min	max	単位	参照図
STn_PWM 出力遅延時間	t_{STPWD}	—	15	ns	29.74

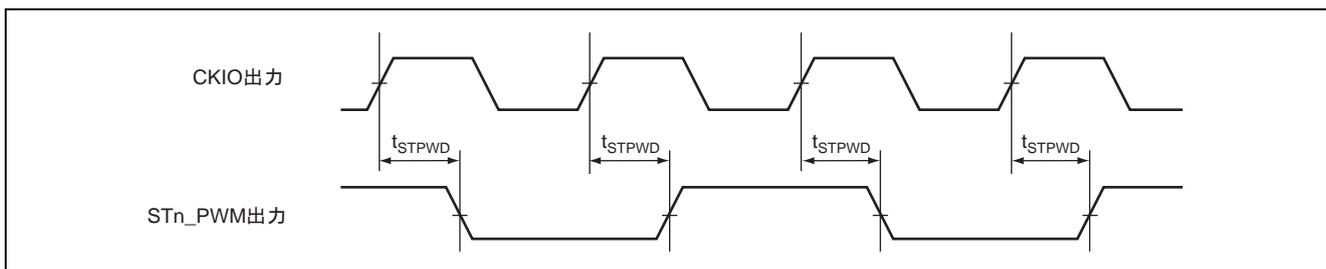


図 29.74 STIF モジュール信号タイミング (7)

29.4.22 AC 特性測定条件

- 入出力信号参照レベル : $V_{ccQ}/2$ ($V_{ccQ}=3.1\sim 3.5V$ 、 $V_{cc}=1.1\sim 1.3V$)
- 入力パルスレベル : $V_{ssQ}\sim 3.0V$ (ただし、EXTAL、CKIO、ST1_CLKIN/SSISCK1、ST0_CLKIN/SSISCK0、ST1_VCO_CLKIN/AUDIO_CLK、ST0_VCO_CLKIN、 \overline{RES} 、 \overline{TRES} 、 \overline{ASEMD} 、 \overline{TESTMD} 、MD_BW、MD_CK1、MD_CK0、NMI、およびPB07～PB00は $V_{ssQ}\sim V_{ccQ}$)
- 入力立ち上がり、立ち下がり時間 : 1ns

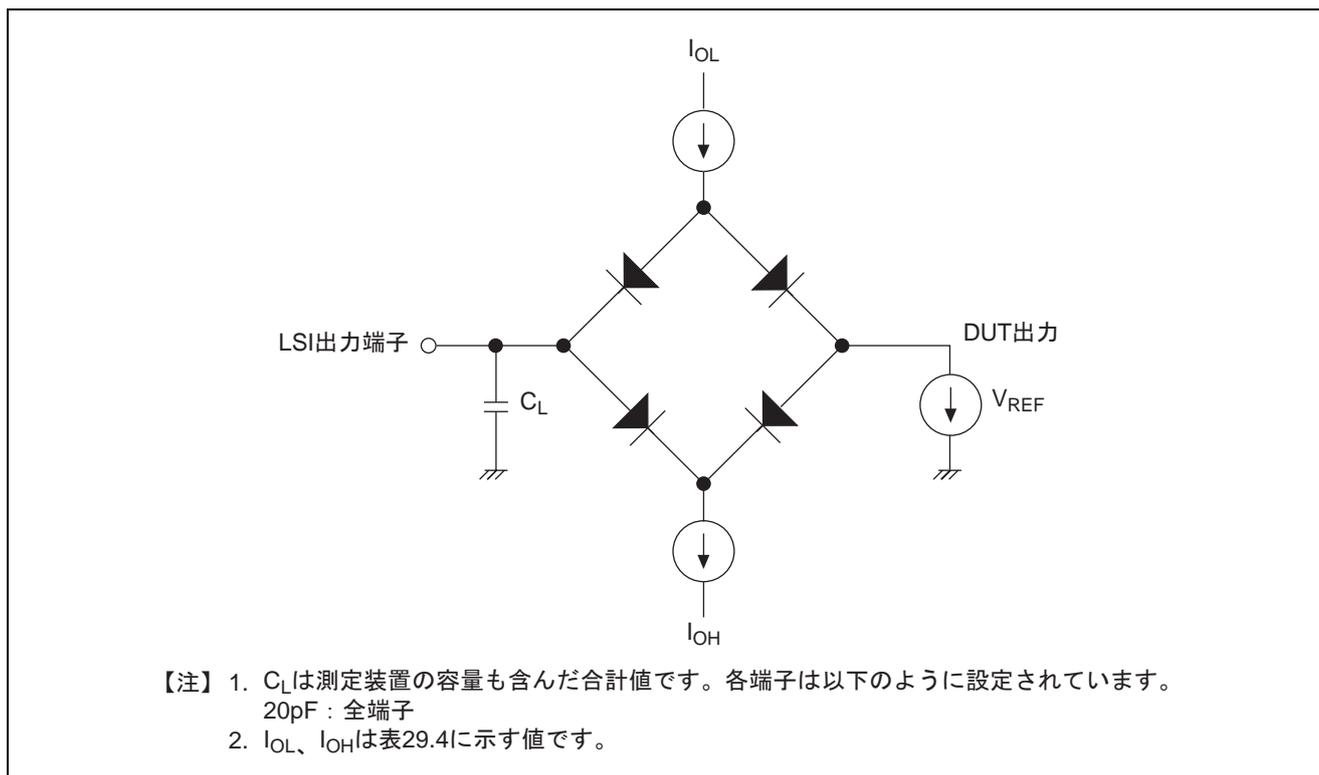


図 29.75 出力付加回路

付録

A. 端子状態

端子機能		端子状態				
分類	端子名	リセット状態		低消費電力状態		
		パワーオン リセット(非 HIF ブートモード)	パワーオン リセット(HIF ブートモード)	ソフト ウェア スタンバイ	スリープ	H-UDI モジュール スタンバイ
クロック	EXTAL	EX/OS* ¹	EX/OS* ¹	XZ	EX/OS* ¹	EX/OS* ¹
	XTAL	O/OS* ¹	O/OS* ¹	XZ	O/OS* ¹	O/OS* ¹
	CKIO	I/O/Z* ¹	I/O/Z* ¹	Z	I/O/Z* ^{1*2}	I/O/Z* ^{1*2}
システム制御	RES	I	I	I	I	I
	WDTOVF	H	H	O	O	O
動作モード 制御	TESTMD	I	I	I	I	I
	MD_BW	I	I	I	I	I
	MD_CK1	I	I	I	I	I
	MD_CK0	I	I	I	I	I
割り込み	NMI	I	I	I	I	I
	IRQ[7:0]	—	—	I	I	I
アドレスバス	A[25:17]	—	—	Z* ⁴	O	O
	A[16:0]	O	O	Z* ⁴	O	O
データバス	D[31:0]	Z	Z	Z	I/O	I/O
バス制御	WAIT	—	—	I	I	I
	IOIS16	—	—	I	I	I
	CKE	Z	Z	Z* ⁵	O	O
	CAS RAS	Z	Z	Z* ⁵	O	O
	WE0/DQMLL	Z	Z	Z* ⁴	O	O
	WE1/DQMLU/WE	Z	Z	Z* ⁴	O	O
	WE2/DQMUL/ ICIOR \bar{D}	Z	Z	Z* ⁴	O	O
	WE3/DQMUU/ ICIOR \bar{W}	Z	Z	Z* ⁴	O	O
	RD	H	H	Z* ⁴	O	O
	RDWR	Z	Z	Z* ⁴	O	O

端子機能		端子状態				
分類	端子名	リセット状態		低消費電力状態		
		パワーオン リセット(非 HIF ブートモード)	パワーオン リセット(HIF ブートモード)	ソフト ウェア スタンバイ	スリープ	H-UDI モジュール スタンバイ
バス制御	CS0	H	H	Z* ⁴	O	O
	CE2B CE2A	—	—	Z* ⁴	O	O
	CS6/CE1B CS5/CE1A	—	—	Z* ⁴	O	O
	CS4	—	—	Z* ⁴	O	O
	CS3	Z	Z	Z* ⁴	O	O
	BS	—	—	Z* ⁴	O	O
	Ether	MII_RXD[3:0]	—	—	I/Z* ³	I
MII_TXD[3:0]		—	—	O/Z* ³	O	O
RX_DV		—	—	I/Z* ³	I	I
RX_ER		—	—	I/Z* ³	I	I
RX_CLK		—	—	I/Z* ³	I	I
TX_ER		—	—	O/Z* ³	O	O
TX_EN		—	—	O/Z* ³	O	O
TX_CLK		—	—	I/Z* ³	I	I
COL		—	—	I/Z* ³	I	I
CRS		—	—	I/Z* ³	I	I
MDIO		—	—	I/O/Z* ³	I/O	I/O
MDC		—	—	O/Z* ³	O	O
LNKSTA		—	—	I/Z* ³	I	I
EXOUT		—	—	O/Z* ³	O	O
WOL		—	—	O/Z* ³	O	O
USB	DP	I/O	I/O	I/O	I/O	I/O
	DM	I/O	I/O	I/O	I/O	I/O
	VBUS	I	I	I	I	I
	USB_X1	EX/OS* ¹	EX/OS* ¹	XZ	EX/OS* ¹	EX/OS* ¹
	USB_X2	O/OS* ¹	O/OS* ¹	XZ	O/OS* ¹	O/OS* ¹
	REFRIN	—	—	—	—	—
STIF	ST_CLKOUT	Z	Z	O/Z* ³	O	O
	ST[1:0]_CLKIN	Z	Z	I/Z* ³	I	I
	ST[1:0]_VCO_CLKIN	Z	Z	I/Z* ³	I	I
	ST[1:0]_PWM	O	O	O/Z* ³	O	O
	ST[1:0]_SYC	—	—	I/O/Z* ³	I/O	I/O

端子機能		端子状態				
分類	端子名	リセット状態		低消費電力状態		
		パワーオン リセット(非 HIF ブートモード)	パワーオン リセット(HIF ブートモード)	ソフト ウェア スタンバイ	スリープ	H-UDI モジュール スタンバイ
STIF	ST[1:0]_VLD	—	—	Z	I/O	I/O
	ST[1:0]_REQ	—	—	Z	I/O	I/O
	ST[1:0]_D[7:0]	—	—	Z	I/O	I/O
Host-I/F	HIFEBL	—	Z	I/Z* ³	I	I
	HIFRDY	—	L	O/Z* ³	O	O* ⁶
	HIFDREQ	—	Z	O/Z* ³	O	O* ⁶
	HIFINT	—	Z	O/Z* ³	O	O* ⁶
	HIFRD	—	Z	I/Z* ³	I	I* ⁶
	HIFWR	—	Z	I/Z* ³	I	I* ⁶
	HIFRS	—	Z	I/Z* ³	I	I* ⁶
	HIFCS	—	Z	I/Z* ³	I	I* ⁶
	HIFD[15:0]	—	Z	I/O/Z* ³	I/O	I/O* ⁶
	HIFMD	I	I	—	—	—
IIC	SCL	—	—	Z	I/O	I/O
	SDA	—	—	Z	I/O	I/O
SSI	AUDIO_CLK	—	—	I	I	I
	SSI_SCK[1:0]	—	—	K/Z* ³	I/O	I/O
	SSI_WS[1:0]	—	—	K/Z* ³	I/O	I/O
	SSI_DATA[1:0]	—	—	K/Z* ³	I/O	I/O
SCIF	TxD[2:0]	—	—	O/Z* ³	O/Z	Z
	RxD[2:0]	—	—	Z	I	I
	SCK[2:0]	—	—	K/Z* ³	I/O	I
	RTS[2:0]	—	—	K/Z* ³	I/O	I
	CTS[2:0]	—	—	K/Z* ³	I/O	I/O
DMAC	DACK[1:0]	—	—	Z	O	O
	DREQ[1:0]	—	—	Z	I	I
	TEND[1:0]	—	—	Z	O	O
SDHI	SDCLK	—	—	O/Z* ³	O	O
	SDCMD	—	—	K/Z* ³	I/O	I/O
	SDCD	—	—	Z	I	I
	SDWP	—	—	Z	I	I
	SDDAT[3:0]	—	—	K/Z* ³	I/O	I/O

端子機能		端子状態					
分類	端子名	リセット状態		低消費電力状態			
		パワーオン リセット(非HIF ブートモード)	パワーオン リセット(HIF ブートモード)	ソフト ウェア スタンバイ	スリープ	H-UDI モジュール スタンバイ	
H-UDI	TRST	PI	PI	PI	PI	PI	
	TCK	I	I	I	I	I	
	TMS	PI	PI	PI	PI	PI	
	TDI	PI	PI	PI	PI	PI	
	TDO	Z	Z	Z	Z	Z	
	ASEBRK/ASEBRKAK	I/PI*7	I/PI*7	I/PI*7	I/PI*7	I/PI*7	
	ASEMD	I	I	I	I	I	
I/O ポート	PA[25:17]	[25]	I	I	K/Z*3	I/O	I/O
		[24:17]	Z	Z	K/Z*3	I/O	I/O
	PB[07:00]	[01:00]	I	I	I	I/O	I/O
		[07:02]	Z	Z	K/Z*3	I/O	I/O
	PC[20:00]	Z	Z	K/Z*3	I/O	I/O	
	PD[07:00]	I	I	K/Z*3	I/O	I/O	
	PE[11:00]	[11]	—	—	K/Z*3	I/O	I/O
		[10:0]	Z	Z	K/Z*3	I/O	I/O
	PF[11:00]	[11]	—	—	K/Z*3	I/O	I/O
		[10:0]	Z	Z	K/Z*3	I/O	I/O
	PG[23:00]	Z	—	K/Z*3	I/O	I/O	

【記号説明】

— 本端子機能が初期状態として選択されることはありません。

I : 入力

O : 出力

EX : 外部クロック入力

OS : 水晶による発振状態

XZ : スタンバイ状態

H : ハイレベル出力

L : ローレベル出力

Z : ハイインピーダンス

K : 状態保持

PI : 入力許可、ブルアップ状態

【注】 *1 クロックモードに依存します。

*2 FRQCR レジスタの CKOEN[1:0] ビットに依存します。

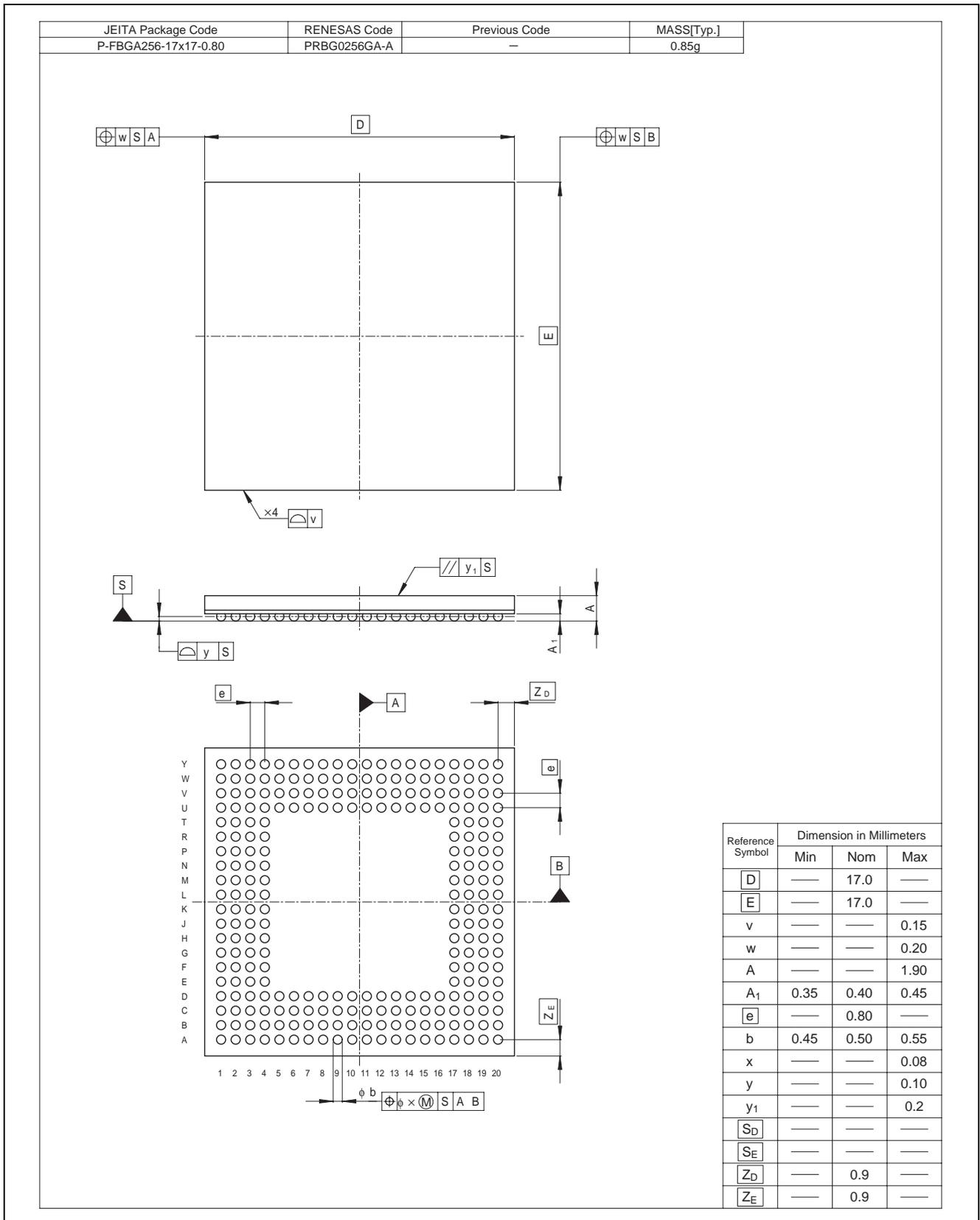
*3 汎用ポートの IOR レジスタビット、STBCR3 の HIZ ビットに依存します。

- *4 CMNCR レジスタの HIZMEM ビットに依存します。
- *5 CMNCR レジスタの HIZCNT ビットに依存します。
- *6 HIFEBL=Low のとき、ハイインピーダンスになります。
- *7 非 ASE モード ($\overline{\text{ASEMD}}=\text{H}$ 入力) ならば PI、ASE モード ($\overline{\text{ASEMD}}=\text{L}$ 入力) ならば I です。

B. 型名一覧

製品型名	カタログ型名	動作温度	はんだボール組成	PKG コード
R5S76700B200BG	R5S76700B200BG	-20~+70°C	鉛フリー	PRBG0256GA-A
R5S76710B200BG	R5S76710B200BG	-20~+70°C	鉛フリー	PRBG0256GA-A
R5S76720B200BG	R5S76720B200BG	-20~+70°C	鉛フリー	PRBG0256GA-A
R5S76730B200BG	R5S76730B200BG	-20~+70°C	鉛フリー	PRBG0256GA-A
R5S76700D133BG	R5S76700D133BG	-40~+85°C	鉛フリー	PRBG0256GA-A
R5S76710D133BG	R5S76710D133BG	-40~+85°C	鉛フリー	PRBG0256GA-A
R5S76720D133BG	R5S76720D133BG	-40~+85°C	鉛フリー	PRBG0256GA-A
R5S76730D133BG	R5S76730D133BG	-40~+85°C	鉛フリー	PRBG0256GA-A

C. 外形寸法図



D. 未使用時の端子処理

表 D.1 未使用時の端子処理

端子機能		未使用端子処理	
分類	端子名	非 HIF ブートモード	HIF ブートモード
クロック	EXTAL	クロックモード 0: 必ず使用する クロックモード 1: 必ず使用する クロックモード 2: プルアップ クロックモード 3: プルアップ	クロックモード 0: 必ず使用する クロックモード 1: 必ず使用する クロックモード 2: プルアップ クロックモード 3: プルアップ
	XTAL	クロックモード 0: 必ず使用する クロックモード 1: 必ず使用する クロックモード 2: オープン クロックモード 3: オープン	クロックモード 0: 必ず使用する クロックモード 1: 必ず使用する クロックモード 2: オープン クロックモード 3: オープン
	CKIO	クロックモード 0: オープン クロックモード 1: オープン クロックモード 2: 必ず使用する クロックモード 3: オープン	クロックモード 0: オープン クロックモード 1: オープン クロックモード 2: 必ず使用する クロックモード 3: オープン
システム制御	RES	必ず使用する	必ず使用する
	WDTOVF	オープン	オープン
動作モード制御	TESTMD	必ず使用する	必ず使用する
	MD_BW	必ず使用する	必ず使用する
	MD_CK1	必ず使用する	必ず使用する
	MD_CK0	必ず使用する	必ず使用する
割り込み	NMI	プルアップ	プルアップ
	IRQ[7:0]	—	—
アドレスバス	A[25:17]	—	—
	A[16:0]	オープン	オープン
データバス	D[31:0]	オープン	オープン
バス制御	WAIT	—	—
	IOIS16	—	—
	CKE	オープン	オープン
	CAS、RAS	オープン	オープン
	WE0/DQMLL	オープン	オープン
	WE1/DQMLU/WE	オープン	オープン
	WE2/DQMUL/CIORD	オープン	オープン
	WE3/DQMUU/CIOWR	オープン	オープン
	RD	オープン	オープン
	RD/WR	オープン	オープン
	CS0	オープン	オープン
	CE2B、CE2A	—	—
	CS6/CE1B	—	—
	CS5/CE1A	—	—

端子機能		未使用端子処理	
分類	端子名	非 HIF ブートモード	HIF ブートモード
バス制御	CS4	—	—
	CS3	オープン	オープン
	BS	—	—
Ether	MII_RXD[3:0]	—	—
	MII_TXD[3:0]	—	—
	RX_DV	—	—
	RX_ER	—	—
	RX_CLK	—	—
	TX_ER	—	—
	TX_EN	—	—
	TX_CLK	—	—
	COL	—	—
	CRS	—	—
	MDIO	—	—
	MDC	—	—
	LNKSTA	—	—
	EXOUT	—	—
	WOL	—	—
USB	DP	DG33 に接続	DG33 に接続
	DM	DG33 に接続	DG33 に接続
	VBUS	DG33 に接続	DG33 に接続
	USB_X1	クロックモード 0 : プルアップ クロックモード 1 : プルアップ クロックモード 2 : プルアップ クロックモード 3 : 必ず使用する	クロックモード 0 : プルアップ クロックモード 1 : プルアップ クロックモード 2 : プルアップ クロックモード 3 : 必ず使用する
	USB_X2	クロックモード 0 : オープン クロックモード 1 : オープン クロックモード 2 : オープン クロックモード 3 : 必ず使用する/オープン	クロックモード 0 : オープン クロックモード 1 : オープン クロックモード 2 : オープン クロックモード 3 : 必ず使用する/オープン
	REFRIN	—	—
	STIF	ST_CLKOUT	オープン
	ST[1:0]_CLKIN	プルアップ	プルアップ
	ST[1:0]_VCO_CLKIN	プルアップ	プルアップ
	ST[1:0]_PWM	オープン	オープン
	ST[1:0]_SYC	—	—
	ST[1:0]_VLD	—	—
	ST[1:0]_REQ	—	—
	ST[1:0]_D[7:0]	—	—

端子機能		未使用端子処理	
分類	端子名	非 HIF ブートモード	HIF ブートモード
Host-I/F	HIFEBL	—	必ず使用する
	HIFRDY	—	必ず使用する
	HIFDREQ	—	必ず使用する
	HIFINT	—	必ず使用する
	HIFRD	—	必ず使用する
	HIFWR	—	必ず使用する
	HIFRS	—	必ず使用する
	HIFCS	—	必ず使用する
	HIFD[15:0]	—	必ず使用する
	HIFMD	必ず使用する	必ず使用する
IIC	SCL	—	—
	SDA	—	—
SSI	AUDIO_CLK	—	—
	SSI_SCK[1:0]	—	—
	SSI_WS[1:0]	—	—
	SSI_DATA[1:0]	—	—
SCIF	TxD[2:0]	—	—
	RxD[2:0]	—	—
	SCK[2:0]	—	—
	RTS[2:0]	—	—
	CTS[2:0]	—	—
DMAC	DACK[1:0]	—	—
	DREQ[1:0]	—	—
	TEND[1:0]	—	—
SDHI	SDCLK	—	—
	SDCMD	—	—
	SDCD	—	—
	SDWP	—	—
	SDDAT[3:0]	—	—
H-UDI	TRST	必ず使用する	必ず使用する
	TCK	ブルアップ	ブルアップ
	TMS	オープン	オープン
	TDI	オープン	オープン
	TDO	オープン	オープン
	ASEBRK/ASEBRKAK	オープン	オープン
	ASEMD	必ず使用する	必ず使用する

端子機能		未使用端子処理	
分類	端子名	非 HIF ブートモード	HIF ブートモード
I/O ポート	PA[25]	必ず使用する	必ず使用する
	PA[24:17]	プルアップ	プルアップ
	PB[01:00]	プルアップ	プルアップ
	PB[07:02]	プルアップ	プルアップ
	PC[20:00]	プルアップ	プルアップ
	PD[07:00]	プルアップ	プルアップ
	PE[11]	—	—
	PE[10:0]	プルアップ	プルアップ
	PF[11]	—	—
	PF[10:0]	プルアップ	プルアップ
	PG[23:00]	プルアップ	—

【記号説明】

— : 本端子機能が初期状態として選択されることはありません。

本版で修正または追加された箇所

項目	ページ	修正箇所						
表 1.1 SH7670 グループの仕様概要	1-3	追加 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">分類</th> <th style="text-align: center;">モジュール/機能</th> <th style="text-align: center;">説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">外部バス 拡張</td> <td style="text-align: center;">バステート コントローラ (BSC)</td> <td> <ul style="list-style-type: none"> • アドレス空間はそれぞれ最大64Mバイトの5つの領域エリアをサポート外部バス幅最大32ビット • SDRAM バーストアクセス機能 • エリア0はビッグエンディアンのみサポート </td> </tr> </tbody> </table>	分類	モジュール/機能	説明	外部バス 拡張	バステート コントローラ (BSC)	<ul style="list-style-type: none"> • アドレス空間はそれぞれ最大64Mバイトの5つの領域エリアをサポート外部バス幅最大32ビット • SDRAM バーストアクセス機能 • エリア0はビッグエンディアンのみサポート
分類	モジュール/機能	説明						
外部バス 拡張	バステート コントローラ (BSC)	<ul style="list-style-type: none"> • アドレス空間はそれぞれ最大64Mバイトの5つの領域エリアをサポート外部バス幅最大32ビット • SDRAM バーストアクセス機能 • エリア0はビッグエンディアンのみサポート 						
図 1.2 ブロック図	1-9	追加						
図 1.3 ピン配置図	1-10	U4の端子名を「VssQ_02」→「Vss_02」に修正						
表 1.4 各端子の入出力属性一覧	1-18	修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">ピン番号</th> <th style="text-align: center;">機能名</th> <th style="text-align: center;">入出力属性</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">A18</td> <td style="text-align: center;">RAS</td> <td style="text-align: center;">0</td> </tr> </tbody> </table>	ピン番号	機能名	入出力属性	A18	RAS	0
ピン番号	機能名	入出力属性						
A18	RAS	0						
7.1 特長	7-1	追加 <ul style="list-style-type: none"> • エリア0はビッグエンディアンのみサポート 						
7.4.2 CSn 空間バスコントロールレジスタ (CSnBCR) (n=0, 3~6)	7-12	追加 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">ビット</th> <th style="text-align: center;">ビット名</th> <th style="text-align: center;">説明</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">11</td> <td style="text-align: center;">ENDIAN</td> <td> エンディアン指定 本ビットは、空間のデータ並びを指定します。 0: ビッグエンディアンとして動作 1: リトルエンディアンとして動作 【注】エリア0のリトルエンディアン設定はできません。エリア0のとき、本ビットは常に0が読み出されます。書き込む値も常に0にしてください。 </td> </tr> </tbody> </table>	ビット	ビット名	説明	11	ENDIAN	エンディアン指定 本ビットは、空間のデータ並びを指定します。 0: ビッグエンディアンとして動作 1: リトルエンディアンとして動作 【注】エリア0のリトルエンディアン設定はできません。エリア0のとき、本ビットは常に0が読み出されます。書き込む値も常に0にしてください。
ビット	ビット名	説明						
11	ENDIAN	エンディアン指定 本ビットは、空間のデータ並びを指定します。 0: ビッグエンディアンとして動作 1: リトルエンディアンとして動作 【注】エリア0のリトルエンディアン設定はできません。エリア0のとき、本ビットは常に0が読み出されます。書き込む値も常に0にしてください。						
13.3.1 (1) (b) 送信ディスクリプタ1 (TD1)	13-33	ビット図のビット31~16、R/Wを「R」→「R/W」に修正						
16.4.1 バスフォーマット	16-17	削除 SSI モジュールは、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。 バスフォーマットは表 16.4 に示す 8つの 3つの 主要なモードから選択できます。						
表 17.16 リセット種別一覧表	17-106	修正 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: center;">名称</th> <th style="text-align: center;">操 作</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">パワーオンリセット</td> <td style="text-align: center;">RES 端子からのローレベル入力</td> </tr> </tbody> </table>	名称	操 作	パワーオンリセット	RES 端子からのローレベル入力		
名称	操 作							
パワーオンリセット	RES 端子からのローレベル入力							
17.5.4 USB フルスピードファンクションコントローラ機能使用時のUSB切断処理に関する注意事項	17-167、 17-168	追加						

項目	ページ	修正箇所																																																																	
19.3.1 I ² C バスコントロールレジスタ 1 (ICCR1)	19-4	修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>ICE</td> <td>I²C バスインタフェース 3 イネーブル 0 : SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1 : 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)</td> </tr> </tbody> </table>	ビット	ビット名	説明	7	ICE	I ² C バスインタフェース 3 イネーブル 0 : SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1 : 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)																																																											
ビット	ビット名	説明																																																																	
7	ICE	I ² C バスインタフェース 3 イネーブル 0 : SCL/SDA の出力禁止 (SCL/SDA への入力は有効) 1 : 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)																																																																	
19.7.5 I ² C バスインタフェースモードのマスター受信モード時の注意事項	19-35	追加																																																																	
19.7.6 I ² C バス動作中における ICE および IICRST のアクセス	19-36	追加																																																																	
表 29.6 クロックタイミング	29-8、 29-9	修正および追加 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>Min.</th> <th>Max.</th> <th>単位</th> <th>参照図</th> </tr> </thead> <tbody> <tr> <td rowspan="2">EXTAL^{*1} クロック入力周波数</td> <td rowspan="2">fEX</td> <td rowspan="2">15</td> <td>25^{*2}</td> <td rowspan="2">MHz</td> <td rowspan="10">29.2</td> </tr> <tr> <td>16.6^{*3}</td> </tr> <tr> <td rowspan="2">EXTAL^{*1} クロック入力サイクル時間</td> <td rowspan="2">tEXcyc</td> <td rowspan="2">40^{*2}</td> <td>66.6</td> <td rowspan="2">ns</td> </tr> <tr> <td>60^{*3}</td> </tr> <tr> <td>EXTAL^{*1}、AUDIO_CLK クロック入力ローレベルパルス幅</td> <td>tEXL</td> <td>0.4</td> <td>0.6</td> <td>tEXcyc</td> </tr> <tr> <td>EXTAL^{*1}、AUDIO_CLK クロック入力ハイレベルパルス幅</td> <td>tEXH</td> <td>0.4</td> <td>0.6</td> <td>tEXcyc</td> </tr> <tr> <td>EXTAL^{*1}、AUDIO_CLK クロック入力立ち上がり時間</td> <td>tEXr</td> <td>—</td> <td>4</td> <td>ns</td> </tr> <tr> <td>EXTAL^{*1}、AUDIO_CLK クロック入力立ち下がり時間</td> <td>tEXf</td> <td>—</td> <td>4</td> <td>ns</td> </tr> <tr> <td rowspan="2">CKIO クロック入力周波数</td> <td rowspan="2">fCK</td> <td rowspan="2">60</td> <td>100^{*2}</td> <td rowspan="2">MHz</td> <td rowspan="4">29.3</td> </tr> <tr> <td>66.6^{*3}</td> </tr> <tr> <td rowspan="2">CKIO クロック入力サイクル時間</td> <td rowspan="2">tCKIcyc</td> <td rowspan="2">10^{*2}</td> <td>16.6</td> <td rowspan="2">ns</td> </tr> <tr> <td>15^{*3}</td> </tr> <tr> <td rowspan="2">CKIO クロック出力周波数</td> <td rowspan="2">fOP</td> <td rowspan="2">60</td> <td>100^{*2}</td> <td rowspan="2">MHz</td> <td rowspan="4">29.4</td> </tr> <tr> <td>66.6^{*3}</td> </tr> <tr> <td rowspan="2">CKIO クロック出力サイクル時間</td> <td rowspan="2">tCyc</td> <td rowspan="2">10^{*2}</td> <td>16.6</td> <td rowspan="2">ns</td> </tr> <tr> <td>15^{*3}</td> </tr> </tbody> </table> <p>【注】 *1 クロック動作モード 0 の場合 *2 通常仕様品 *3 広温度仕様品</p>	項目	記号	Min.	Max.	単位	参照図	EXTAL ^{*1} クロック入力周波数	fEX	15	25 ^{*2}	MHz	29.2	16.6 ^{*3}	EXTAL ^{*1} クロック入力サイクル時間	tEXcyc	40 ^{*2}	66.6	ns	60 ^{*3}	EXTAL ^{*1} 、AUDIO_CLK クロック入力ローレベルパルス幅	tEXL	0.4	0.6	tEXcyc	EXTAL ^{*1} 、AUDIO_CLK クロック入力ハイレベルパルス幅	tEXH	0.4	0.6	tEXcyc	EXTAL ^{*1} 、AUDIO_CLK クロック入力立ち上がり時間	tEXr	—	4	ns	EXTAL ^{*1} 、AUDIO_CLK クロック入力立ち下がり時間	tEXf	—	4	ns	CKIO クロック入力周波数	fCK	60	100 ^{*2}	MHz	29.3	66.6 ^{*3}	CKIO クロック入力サイクル時間	tCKIcyc	10 ^{*2}	16.6	ns	15 ^{*3}	CKIO クロック出力周波数	fOP	60	100 ^{*2}	MHz	29.4	66.6 ^{*3}	CKIO クロック出力サイクル時間	tCyc	10 ^{*2}	16.6	ns	15 ^{*3}
項目	記号	Min.	Max.	単位	参照図																																																														
EXTAL ^{*1} クロック入力周波数	fEX	15	25 ^{*2}	MHz	29.2																																																														
			16.6 ^{*3}																																																																
EXTAL ^{*1} クロック入力サイクル時間	tEXcyc	40 ^{*2}	66.6	ns																																																															
			60 ^{*3}																																																																
EXTAL ^{*1} 、AUDIO_CLK クロック入力ローレベルパルス幅	tEXL	0.4	0.6	tEXcyc																																																															
EXTAL ^{*1} 、AUDIO_CLK クロック入力ハイレベルパルス幅	tEXH	0.4	0.6	tEXcyc																																																															
EXTAL ^{*1} 、AUDIO_CLK クロック入力立ち上がり時間	tEXr	—	4	ns																																																															
EXTAL ^{*1} 、AUDIO_CLK クロック入力立ち下がり時間	tEXf	—	4	ns																																																															
CKIO クロック入力周波数	fCK	60	100 ^{*2}	MHz		29.3																																																													
			66.6 ^{*3}																																																																
CKIO クロック入力サイクル時間	tCKIcyc	10 ^{*2}	16.6	ns																																																															
			15 ^{*3}																																																																
CKIO クロック出力周波数	fOP	60	100 ^{*2}	MHz	29.4																																																														
			66.6 ^{*3}																																																																
CKIO クロック出力サイクル時間	tCyc	10 ^{*2}	16.6	ns																																																															
			15 ^{*3}																																																																
図 29.75 出力付加回路	29-68	修正 <p>【注】 1. C_L は測定装置の容量も含んだ合計値です。各端子は以下のように設定されています。 20pF : 全端子</p> <p>2. I_{OL}、I_{OH} は表 29.4 に示す値です。</p>																																																																	
D. 未使用時の端子処理	付録-7～ 付録-10	追加																																																																	

索引

【数字／記号】	
0 方向への丸め.....	3-8
16 ビット／32 ビットディスプレイメント.....	2-10
【A】	
AC 特性.....	29-8
AC 特性測定条件.....	29-68
AES エンジンおよび専用 DMAC (A-DMAC)	14-1
ATTCH 割り込み.....	17-126
【B】	
BCHG 割り込み.....	17-126
BEMP 割り込み.....	17-120
BRDY 割り込み.....	17-111
【C】	
CMCNT カウントタイミング.....	21-5
CMCNT の書き込みとコンペアマッチの競合.....	21-8
CMCNT のバイト書き込みとカウントアップの競合.....	21-9
CMCNT のワード書き込みとカウントアップの競合.....	21-8
CPU.....	2-1
\overline{CSn} アサート期間拡張.....	7-49
【D】	
DC 特性.....	29-3
DMAC モジュールタイミング.....	29-41
DMA 転送フローチャート.....	8-24
DREQ 端子のサンプリングタイミング.....	8-40
DTCH 割り込み.....	17-126
【E】	
EOFERR 割り込み.....	17-127
EtherC 受信部.....	12-22
EtherC 送信部.....	12-21
【F】	
FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)	22-1
FIFO バッファメモリ.....	17-136
FPU に関する CPU 命令.....	2-36
FPU 例外処理.....	3-9
FPU 例外要因.....	3-9
【H】	
H-UDI 関連端子のタイミング.....	29-59
H-UDI コマンド.....	26-4
H-UDI リセット.....	26-7
H-UDI 割り込み.....	6-11, 26-7
【I】	
I/O ポート.....	24-1
I/O ポートタイミング.....	29-51
I ² C バスインタフェース 3 (IIC3)	19-1
I ² C バスフォーマット.....	19-16
IIC3 モジュールタイミング.....	29-44
IPG 設定による動作.....	12-28
IRQ 割り込み.....	6-12
【L】	
LRU.....	4-3
【M】	
Magic Packet の検出.....	12-28
MII フレームタイミング.....	12-23
MII レジスタのアクセス方法.....	12-25
【N】	
NMI 割り込み.....	6-11
NRDY 割り込み.....	17-115
NYET ハンドシェイク応答表.....	17-149
【P】	
PCMCIA インタフェース.....	7-87
PHY-LSI との接続.....	12-30
PLL 回路.....	9-3
PLL 発振回路使用時の注意.....	9-13
【R】	
RISC 方式.....	2-7

【S】

SACK 割り込み	17-126
SCBRR の設定値を求める計算式	22-16
SCIF モジュールタイミング	29-43
SCIF 割り込み要因	22-47
SDHI モジュールタイミング	29-50
SDRAM インタフェース	7-50
SD ホストインタフェース (SDHI)	18-1
SIGN 割り込み	17-126
SOF 補間機能	17-162
SSI モジュールタイミング	29-46

【T】

TAP コントローラ	26-5
TDO 出力タイミング	26-6
T ビット	2-8

【U】

USB2.0 ホスト/ファンクションモジュール (USB)	17-1
USB データバス抵抗制御	17-107
USB トランシーバタイミング	29-48

【V】

VBUS 割り込み	17-125
-----------------	--------

【あ】

アイソクロナス転送	17-151
アイドルサイクル数を決める項目	7-93
アクセスウェイト制御	7-47
アクセスサイクル間アイドル	7-92
アクセスサイズとデータアライメント	7-37
アクセスサイズとバースト数の関係	7-59
アドレスアレイ	4-2, 4-14
アドレスアレイライト (連想あり)	4-14
アドレスアレイライト (連想なし)	4-14
アドレスアレイリード	4-14
アドレスエラー	5-9
アドレスマップ	7-5
アドレスマルチプレクス	7-53
アドレッシングモード	2-11
イーサネットコントローラ (EtherC)	12-1

イーサネットコントローラ用ダイレクト

メモリアクセスコントローラ (E-DMAC)	13-1
一般不当命令	5-15
イミディエイトデータ	2-9
イミディエイトデータによる参照	2-9
イミディエイトデータのデータ形式	2-6
インターバルタイマモードの使用法	10-12
インタラプト転送	17-150
ウォッチドッグタイマ (WDT)	10-1
ウォッチドッグタイマタイミング	29-42
ウォッチドッグタイマモードの使用法	10-11
エンディアン	7-37
応答 PID	17-133
オートリクエストモード	8-25
オートリフレッシュ	7-71

【か】

外部クロック入力時の注意	9-12
外部リクエストモード	8-25
キャッシュ	4-1
キャッシュと外部メモリとのコヒーレンシ	4-13
キャッシュの検索	4-9
近傍への丸め	3-8
グローバルベースレジスタ (GBR)	2-3
クロック周波数制御回路	9-3
クロックタイミング	29-8
クロック同期式シリアルフォーマット	19-24
クロック同期式モード時の動作	22-38
クロック動作モード	9-5
クロックパルス発振器 (CPG)	9-1
固定モード	8-28
コントロール転送ステージ遷移割り込み	17-123
コントロールレジスタの初期値	2-4
コンペアマッチタイマ (CMT)	21-1

【さ】

サイクルスチールモード	8-35
サポートできる DMA 転送	8-31
算術演算命令	2-27
システム制御命令	2-32
システムレジスタの初期値	2-4

実効アドレスの計算方法	2-11
シフト命令	2-30
ジャンプテーブルベースレジスタ (TBR)	2-3
周波数変更の手順	10-10
周波数変更方法	9-11
受信ディスクリプタ 0 (RD0)	13-35
受信ディスクリプタ 1 (RD1)	13-38
受信ディスクリプタ 2 (RD2)	13-38
受信データへのパディング挿入	13-43
出力付加回路	29-68
乗算／積和演算	2-8
シリアルサウンドインタフェース (SSI)	16-1
シリアルビットクロックコントロール	16-31
シングルアドレスモード	8-34
シングルライト	7-64
シングルリード	7-62
水晶発振器	9-2
外部水晶発振子使用時の注意	9-12
スタックからの復帰	6-28
スタックへの退避	6-28
スタンバイ制御回路	9-3
ステータスレジスタ (SR)	2-2
ストリームインタフェース (STIF)	15-1
スリープモード	11-10
スレーブ受信動作	19-22
スレーブ送信動作	19-21
スロット不当命令	5-15
制御信号タイミング	29-12
整数除算命令	5-15
積和下位レジスタ (MACL)	2-4
積和上位レジスタ (MACH)	2-4
絶対アドレス	2-9
絶対アドレスによる参照	2-10
絶対最大定格	29-1
セルフリフレッシュ	7-73
送信ディスクリプタ 0 (TD0)	13-31
送信ディスクリプタ 1 (TD1)	13-33
送信ディスクリプタ 2 (TD2)	13-33
ソフトウェアスタンバイモード	11-10
ソフトウェアスタンバイモード解除の手順 (WDT)	10-10

【た】

ダイレクトメモリアクセスコントローラ (DMAC)	8-1
端子機能	1-11
単精度浮動小数点フォーマット	3-2
遅延スロットなし無条件分岐命令	2-8
遅延分岐命令	2-8
遅延分岐命令の直後の例外要因発生	5-17
調歩同期式モード時の動作	22-30
調歩同期式モードの受信データサンプリング タイミングと受信マージン	22-49
通常空間インタフェース	7-42
ディープパワーダウンモード	7-81
低消費電力状態	2-39
低消費電力モード	11-1
ディスプレイスメントによる参照	2-10
通倍率の変更	9-11
データ PID シーケンスビット	17-134
データアクセスサイクルでのブレイク	25-13
データアレイ	4-2, 4-15
データアレイライト	4-15
データアレイリード	4-15
データ転送命令	2-24
データレジスタ	24-1
デバイスステート遷移割り込み	17-121
デュアルアドレスモード	8-32
電気的特性	29-1
電源投入・切断シーケンス	29-2
転送レート	19-6
トラップ命令	5-14
トランザクション発行条件	17-163

【な】

内蔵 RAM	27-1
内蔵周辺モジュールリクエストモード	8-26
内蔵周辺モジュール割り込み	6-13
ノイズ除去回路	19-27

【は】

バーストモード	8-37
バーストライト	7-63
バーストリード	7-59

倍精度浮動小数点フォーマット	3-2	プログラムカウンタ (PC)	2-4
バイト選択付き SRAM インタフェース	7-82	プログラム実行状態	2-39
ハイパフォーマンスユーザデバッグ		プロシージャレジスタ (PR)	2-4
インタフェース (H-UDI)	26-1	分岐命令	2-31
パイプコントロール	17-128	分周器 1	9-3
パイプスケジュール	17-163	分周器 2	9-3
バス権解放状態	2-39	分周率の変更	9-11
バスステートコントローラ (BSC)	7-1	ページ競合	27-2
バスタイミング	29-13	ベクタベースレジスタ (VBR)	2-3
パッケージ	1-8	ホストインタフェース (HIF)	20-1
発振子に関する注意	9-13	ホストコントローラ機能選択時の	
バルク転送	17-148	コントロール転送	17-145
パワーオンシーケンス	7-77	【ま】	
パワーオンリセット	5-7	マスタ受信動作	19-19
パワーダウンモード	7-76	マスタ送信動作	19-17
バンクアクティブ	7-65	マニュアルリセット	5-8
バンクからの復帰	6-27	マルチバッファフレームの送受信処理	13-41
バンクの対象レジスタと入出力方式	6-25	マルチプレクス端子	23-1
バンクへの退避	6-26	丸め	3-8
汎用レジスタ	2-1	命令形式	2-15
汎用レジスタの初期値	2-4	命令セット	2-19
非圧縮モード	16-17	命令による例外	5-14
非数 (NaN)	3-4	命令の特長	2-7
非正規化数	3-4	命令フェッチサイクルでのブレイク	25-12
ビット操作命令	2-37	メモリのデータ形式	2-5
ビット同期回路	19-33	メモリ割り付けキャッシュの構成	4-14
ピン配置図	1-10	モジュールスタンバイ機能	11-13
ピンファンクションコントローラ (PFC)	23-1	【や】	
ファンクションコントローラ機能選択時の		ユーザブレイクコントローラ (UBC)	25-1
コントロール転送	17-146	ユーザブレイク割り込み	6-11
浮動小数点演算命令	2-34, 5-16	【ら】	
浮動小数点の範囲	3-3	ライトバックバッファ	
浮動小数点ユニット (FPU)	3-1	(オペランドキャッシュのみ)	4-11
浮動小数点例外	3-9	ラウンドロビンモード	8-28
浮動小数点レジスタ	3-5	リセット状態	2-38
プリフェッチ動作		リフレッシュ要求とバスサイクルの関係	7-75
(オペランドキャッシュのみ)	4-10	例外処理	5-1
ブレイクの送り出し	22-49	例外処理後のスタックの状態	5-18
ブレイクの検出と処理	22-48	例外処理状態	2-39
フレーム更新割り込み	17-125		
フロー制御	12-29		

例外処理ベクタテーブル.....	5-4	C1D4.....	28-6, 28-31, 28-52
例外処理ベクタテーブルアドレスの算出法.....	5-5	C1DCA.....	28-6, 28-30, 28-52
例外要因の種類と優先順位.....	5-1	C1DSA.....	28-6, 28-30, 28-52
レジスタ		C1I.....	28-6, 28-30, 28-52
APR.....	12-19, 28-5, 28-26, 28-51	C1M.....	28-6, 28-30, 28-52
BAMR.....	25-4	CCR1.....	4-4, 28-2, 28-14, 28-48
BAMR_0.....	28-13, 28-46, 28-58	CCR2.....	4-6, 28-2, 28-14, 28-48
BAMR_1.....	28-13, 28-47, 28-59	CDCR.....	12-13, 28-5, 28-25, 28-51
BAR.....	25-3	CEFCR.....	12-14, 28-5, 28-25, 28-51
BAR_0.....	28-13, 28-46, 28-58	CFIFO.....	17-21, 28-8, 28-37, 28-54
BAR_1.....	28-13, 28-47, 28-59	CFIFOCTR.....	17-29, 28-8, 28-37, 28-54
BBR.....	25-7	CFIFOSEL.....	17-23, 28-8, 28-37, 28-54
BBR_0.....	28-13, 28-47, 28-59	CHCR.....	8-9
BBR_1.....	28-13, 28-47, 28-59	CHCR_0.....	28-3, 28-17, 28-49
BDMR.....	25-6	CHCR_1.....	28-3, 28-18, 28-49
BDMR_0.....	28-13, 28-47, 28-59	CHCR_2.....	28-3, 28-18, 28-49
BDMR_1.....	28-13, 28-47, 28-59	CHCR_3.....	28-3, 28-19, 28-49
BDR.....	25-5	CHCR_4.....	28-3, 28-19, 28-49
BDR_0.....	28-13, 28-46, 28-58	CHCR_5.....	28-3, 28-20, 28-49
BDR_1.....	28-13, 28-47, 28-59	CHCR_6.....	28-3, 28-20, 28-49
BEMPENB.....	17-40, 28-9, 28-38, 28-55	CHCR_7.....	28-4, 28-20, 28-50
BEMPSTS.....	17-55, 28-9, 28-38, 28-55	CMCNT.....	21-4
BRCR.....	25-9, 28-13, 28-47, 28-59	CMCNT_0.....	28-11, 28-43, 28-57
BRDYENB.....	17-36, 28-8, 28-38, 28-54	CMCNT_1.....	28-11, 28-43, 28-57
BRDYSTS.....	17-51, 28-9, 28-38, 28-55	CMCOR.....	21-4
BUSWAIT.....	17-12, 28-8, 28-37, 28-54	CMCOR_0.....	28-11, 28-43, 28-57
C0C.....	28-6, 28-29, 28-52	CMCOR_1.....	28-11, 28-43, 28-57
C0D0.....	28-6, 28-52	CMCSR.....	21-3
C0D1.....	28-6, 28-30, 28-52	CMCSR_0.....	28-11, 28-43, 28-57
C0D2.....	28-6, 28-30, 28-52	CMCSR_1.....	28-11, 28-43, 28-57
C0D3.....	28-6, 28-30, 28-52	CMNCR.....	7-8, 28-2, 28-15, 28-48
C0D4.....	28-6, 28-30, 28-52	CMSTR.....	21-2, 28-11, 28-43, 28-57
C0DCA.....	28-6, 28-29, 28-52	CnC.....	14-6
C0DSA.....	28-6, 28-29, 28-52	CnD0.....	14-11
C0I.....	28-6, 28-29, 28-52	CnD1.....	14-16
C0M.....	28-6, 28-29, 28-52	CnD2.....	14-17, 14-18
C1C.....	28-6, 28-30, 28-52	CnD3.....	14-17
C1D0.....	28-6, 28-31, 28-52	CnDCA.....	14-10
C1D1.....	28-6, 28-31, 28-52	CND0.....	12-14, 28-5, 28-25, 28-51
C1D2.....	28-6, 28-31, 28-52	CnDSA.....	14-10
C1D3.....	28-6, 28-31, 28-52	CnI.....	14-9

CnM	14-8	DEVADD2	28-10, 28-41, 28-56
CS0BCR.....	28-2, 28-15, 28-48	DEVADD3	28-10, 28-41, 28-56
CS0WCR.....	7-14, 28-2, 28-16, 28-48	DEVADD4	28-10, 28-41, 28-56
CS3BCR.....	28-2, 28-15, 28-48	DEVADD5	28-10, 28-41, 28-56
CS3WCR.....	7-16, 7-24, 28-2, 28-16, 28-48	DEVADD6	28-10, 28-41, 28-56
CS4BCR.....	28-2, 28-15, 28-48	DEVADD7	28-10, 28-41, 28-56
CS4WCR.....	7-18, 28-2, 28-16, 28-48	DEVADD8	28-10, 28-41, 28-56
CS5BCR.....	28-2, 28-15, 28-48	DEVADD9	28-10, 28-41, 28-56
CS5BWCR	28-16	DEVADDA.....	28-10, 28-41, 28-56
CS5WCR.....	7-20, 7-26, 28-2, 28-48	DEVADDn (n=0~A)	17-103
CS6BCR.....	28-2, 28-15, 28-48	DMAOR.....	8-17, 28-4, 28-23, 28-50
CS6BWCR	28-16	DMARS0	28-4, 28-23, 28-50
CS6WCR.....	7-22, 7-26, 28-2, 28-48	DMARS0~DMARS3.....	8-21
CSMR.....	28-6, 28-29, 28-52	DMARS1	28-4, 28-23, 28-50
CSnBCR (n=0、3~6)	7-10	DMARS2	28-4, 28-23, 28-50
CSSBM	28-6, 28-29, 28-52	DMARS3	28-4, 28-23, 28-50
CSSMR	28-6, 28-29, 28-52	DMATCR.....	8-8
D0FBCFG	17-20, 28-8, 28-37, 28-54	DMATCR_0.....	28-3, 28-17, 28-49
D0FIFO	17-21, 28-8, 28-37, 28-54	DMATCR_1.....	28-3, 28-18, 28-49
D0FIFOCTR.....	17-29, 28-8, 28-37, 28-54	DMATCR_2.....	28-3, 28-18, 28-49
D0FIFOSEL.....	17-26, 28-8, 28-37, 28-54	DMATCR_3.....	28-3, 28-19, 28-49
D0FWAIT	17-105, 28-8, 28-37, 28-54	DMATCR_4.....	28-3, 28-19, 28-49
D1FBCFG	17-20, 28-8, 28-37, 28-54	DMATCR_5.....	28-3, 28-19, 28-49
D1FIFO	17-21, 28-8, 28-37, 28-54	DMATCR_6.....	28-3, 28-20, 28-49
D1FIFOCTR.....	17-29, 28-8, 28-38, 28-54	DMATCR_7.....	28-3, 28-20, 28-50
D1FIFOSEL.....	17-26, 28-8, 28-38, 28-54	DVSTCTR	17-14, 28-8, 28-37, 28-54
D1FWAIT	17-105, 28-8, 28-37, 28-54	ECMR.....	12-4, 28-5, 28-24, 28-51
DAR	8-8	ECSIPR.....	12-8, 28-5, 28-24, 28-51
DAR_0.....	28-3, 28-17, 28-49	ECSR	12-7, 28-5, 28-24, 28-51
DAR_1.....	28-3, 28-18, 28-49	EDMR.....	13-3, 28-5, 28-26, 28-51
DAR_2.....	28-3, 28-18, 28-49	EDOCR	13-21, 28-6, 28-28, 28-52
DAR_3.....	28-3, 28-18, 28-49	EDRRR	13-5, 28-5, 28-27, 28-51
DAR_4.....	28-3, 28-19, 28-49	EDTRR.....	13-4, 28-5, 28-26, 28-51
DAR_5.....	28-3, 28-19, 28-49	EESIPR	13-12, 28-5, 28-27, 28-51
DAR_6.....	28-3, 28-20, 28-49	EESR	13-8, 28-5, 28-27, 28-51
DAR_7.....	28-3, 28-20, 28-49	FCFTR	13-24, 28-6, 28-28, 28-52
DCPCFG	17-64, 28-9, 28-39, 28-55	FDR.....	13-19, 28-6, 28-27, 28-52
DCPCTR	17-67, 28-9, 28-39, 28-55	FECC	28-7, 28-31, 28-53
DCPMAXP	17-65, 28-9, 28-39, 28-55	FECD00	28-7, 28-32, 28-53
DEVADD0	28-10, 28-40, 28-56	FECD01D0A.....	28-7, 28-32, 28-53
DEVADD1	28-10, 28-40, 28-56	FECD02S0A.....	28-7, 28-32, 28-53

FECD03S1A.....	28-7, 28-32, 28-53	INTENB1	17-34, 28-8, 28-38, 28-54
FECDCA	28-7, 28-31, 28-53	INTSTS0	17-43, 28-9, 28-38, 28-55
FECDSA.....	28-7, 28-53	INTSTS1	17-47, 28-9, 28-38, 28-55
FECI.....	28-7, 28-31, 28-53	IPGR	12-18, 28-5, 28-26, 28-51
FPSCR.....	3-6	IPR01	28-2, 28-14, 28-48
FPUL.....	3-7	IPR02	28-2, 28-14, 28-48
FRECR.....	12-15, 28-5, 28-25, 28-51	IPR06	28-2, 28-14, 28-48
FRMNUM	17-57, 28-9, 28-39, 28-55	IPR07	28-2, 28-14, 28-48
FRQCR	9-9, 28-4, 28-24, 28-50	IPR08	28-2, 28-14, 28-48
HIFADR.....	20-14, 28-10, 28-42, 28-56	IPR09	28-2, 28-14, 28-48
HIFBCR.....	20-15, 28-10, 28-42, 28-56	IPR10	28-2, 28-14, 28-48
HIFBICR.....	20-17, 28-10, 28-42, 28-56	IPR11	28-2, 28-15, 28-48
HIFDATA.....	20-15, 28-42, 28-56	IPR12	28-2, 28-15, 28-48
HIFDTR.....	20-16, 28-10, 28-42, 28-56	IPR13	28-2, 28-15, 28-48
HIFEICR.....	20-13, 28-10, 28-42, 28-56	IPR14	28-2, 28-15, 28-48
HIFGSR.....	20-7, 28-10, 28-41, 28-56	IPR15	28-2, 28-15, 28-48
HIFIDX	20-6, 28-10, 28-41, 28-56	IPR16	28-2, 28-15, 28-48
HIFIICR	20-12, 28-10, 28-42, 28-56	IRQRR.....	6-8, 28-2, 28-14, 28-48
HIFMCR.....	20-10, 28-10, 28-42, 28-56	LCCR	12-13, 28-5, 28-25, 28-51
HIFSCR.....	20-8, 28-10, 28-42, 28-56	MAFCR	12-17, 28-5, 28-26, 28-51
IBCR.....	6-9, 28-2, 28-14, 28-48	MAHR.....	12-10, 28-5, 28-24, 28-51
IBMPR.....	7-35, 28-3, 28-17, 28-49	MALR	12-10, 28-5, 28-24, 28-51
IBNR.....	6-10, 28-2, 28-14, 28-48	MPR	12-19, 28-5, 28-26, 28-51
ICCR1	19-4	NF2CYC.....	19-15
ICCR1_0	28-10, 28-41, 28-56	NF2CYC_0.....	28-10, 28-41, 28-56
ICCR2	19-7	NRDYENB.....	17-38, 28-8, 28-38, 28-54
ICCR2_0	28-10, 28-41, 28-56	NRDYSTS	17-53, 28-9, 28-38, 28-55
ICDRR.....	19-15	PACRH1.....	23-12, 28-12, 28-44, 28-45, 28-58
ICDRR_0.....	28-10, 28-41, 28-56	PACRH2.....	23-12, 28-12, 28-44, 28-58
ICDRS.....	19-15	PADRH.....	24-2, 28-12, 28-44, 28-58
ICDRT	19-14	PAIORH	23-12, 28-12, 28-44, 28-58
ICDRT_0	28-10, 28-41, 28-56	PBCRL1	23-15, 28-12, 28-45, 28-58
ICIER.....	19-10	PBCRL2	23-15
ICIER_0.....	28-10, 28-41, 28-56	PBDRL	24-4, 28-12, 28-45, 28-58
ICMR.....	19-8	PBIORL	23-14, 28-12, 28-45, 28-58
ICMR_0.....	28-10, 28-41, 28-56	PCCRH1	28-12, 28-45, 28-58
ICR0.....	6-6, 28-2, 28-14, 28-48	PCCRH2	23-17
ICR1	6-7, 28-2, 28-14, 28-48	PCCRL1	23-17, 28-12, 28-45, 28-58
ICSR.....	19-12	PCCRL2	23-17, 28-12, 28-45, 28-58
ICSR_0.....	28-10, 28-41, 28-56	PCDRH	24-6, 28-12, 28-45, 28-58
INTENB0.....	17-32, 28-8, 28-38, 28-54	PCDRL.....	24-6, 28-12, 28-45, 28-58

PCIORH	23-16, 28-12, 28-45, 28-58	PIPECFG	17-75, 28-9, 28-39, 28-55
PCIORL	23-16, 28-12, 28-45, 28-58	PIPEMAXP	17-82, 28-9, 28-39, 28-55
PDCRL1	28-12, 28-45, 28-58	PIPEnCTR (n=1~9)	17-86
PDCRL2	23-22	PIPEnTRE (n=1~5)	17-99
PDDR1	24-9, 28-12, 28-45, 28-58	PIPEnTRN (n=1~5)	17-101
PDIORL	23-21, 28-12, 28-45, 28-58	PIPEPERI	17-84, 28-9, 28-39, 28-55
PECRL1	23-24, 28-12, 28-45, 28-58	PIPESEL	17-74, 28-9, 28-39, 28-55
PECRL2	23-24, 28-12, 28-45, 28-58	PIR	12-9, 28-5, 28-24, 28-51
PEDRL	24-11, 28-12, 28-45, 28-58	PSR	12-12, 28-5, 28-25, 28-51
PEIORL	23-23, 28-12, 28-45, 28-58	RBWAR	13-22, 28-6, 28-28, 28-52
PFCRL1	23-28, 28-12, 28-46, 28-58	RDAR	8-16
PFCRL2	23-28, 28-12, 28-46, 28-58	RDAR_0	28-4, 28-21, 28-50
PFDRL	24-13, 28-12, 28-46, 28-58	RDAR_1	28-4, 28-21, 28-50
PFIORL	23-27, 28-12, 28-46, 28-58	RDAR_2	28-4, 28-21, 28-50
PGCRH2	28-12, 28-46, 28-58	RDAR_3	28-4, 28-22, 28-50
PGCRL1	23-31, 28-12, 28-46, 28-58	RDAR_4	28-4, 28-22, 28-50
PGCRL2	23-31, 28-12, 28-46, 28-58	RDAR_5	28-4, 28-22, 28-50
PGDRH	28-12, 28-46, 28-58	RDAR_6	28-4, 28-23, 28-50
PGDRL	24-15, 28-12, 28-46, 28-58	RDAR_7	28-4, 28-23, 28-50
PGIORH	28-12, 28-46, 28-58	RDFAR	13-22, 28-6, 28-28, 28-52
PGIORL	23-30, 28-12, 28-46, 28-58	RDLAR	13-7, 28-5, 28-27, 28-51
PIPE1CTR	28-9, 28-39, 28-55	RDMATCR	8-17
PIPE1TRE	28-9, 28-40, 28-55	RDMATCR_0	28-4, 28-21, 28-50
PIPE1TRN	28-9, 28-40, 28-55	RDMATCR_1	28-4, 28-21, 28-50
PIPE2CTR	28-9, 28-39, 28-55	RDMATCR_2	28-4, 28-21, 28-50
PIPE2TRE	28-9, 28-40, 28-55	RDMATCR_3	28-4, 28-22, 28-50
PIPE2TRN	28-9, 28-40, 28-55	RDMATCR_4	28-4, 28-22, 28-50
PIPE3CTR	28-9, 28-39, 28-55	RDMATCR_5	28-4, 28-22, 28-50
PIPE3TRE	28-9, 28-40, 28-55	RDMATCR_6	28-4, 28-23, 28-50
PIPE3TRN	28-10, 28-40, 28-56	RDMATCR_7	28-4, 28-23, 28-50
PIPE4CTR	28-9, 28-40, 28-55	RFCR	12-16, 28-5, 28-26, 28-51
PIPE4TRE	28-10, 28-40, 28-56	RFLR	12-11, 28-5, 28-25, 28-51
PIPE4TRN	28-10, 28-40, 28-56	RMCR	13-20, 28-6, 28-28, 28-52
PIPE5CTR	28-9, 28-40, 28-55	RMFCR	13-17, 28-6, 28-27, 28-52
PIPE5TRE	28-10, 28-40, 28-56	RPADIR	28-6, 28-28, 28-52
PIPE5TRN	28-10, 28-40, 28-56	RSAR	8-15
PIPE6CTR	28-9, 28-40, 28-55	RSAR_0	28-4, 28-21, 28-50
PIPE7CTR	28-9, 28-40, 28-55	RSAR_1	28-4, 28-21, 28-50
PIPE8CTR	28-9, 28-40, 28-55	RSAR_2	28-4, 28-21, 28-50
PIPE9CTR	28-9, 28-40, 28-55	RSAR_3	28-4, 28-22, 28-50
PIPEBUF	17-80, 28-9, 28-39, 28-55	RSAR_4	28-4, 28-22, 28-50

RSAR_5	28-4, 28-22, 28-50	SCLSR_0	28-11, 28-43, 28-57
RSAR_6	28-4, 28-23, 28-50	SCLSR_1	28-11, 28-44, 28-57
RSAR_7	28-4, 28-23, 28-50	SCLSR_2	28-12, 28-44, 28-58
RTCNT	7-33, 28-3, 28-17, 28-49	SCRSR	22-5
RTCOR	7-34, 28-3, 28-17, 28-49	SCSCR	22-9
RTCSR	7-31, 28-3, 28-17, 28-48	SCSCR_0	28-11, 28-43, 28-57
SAR (DMAC)	8-7	SCSCR_1	28-11, 28-43, 28-57
SAR (IIC3)	19-14	SCSCR_2	28-11, 28-44, 28-57
SAR_0	28-3, 28-10, 28-17, 28-41, 28-49, 28-56	SCSMR	22-6
SAR_1	28-3, 28-17, 28-49	SCSMR_0	28-11, 28-43, 28-57
SAR_2	28-3, 28-18, 28-49	SCSMR_1	28-11, 28-43, 28-57
SAR_3	28-3, 28-18, 28-49	SCSMR_2	28-11, 28-44, 28-57
SAR_4	28-3, 28-19, 28-49	SCSPTR	22-25
SAR_5	28-3, 28-19, 28-49	SCSPTR_0	28-11, 28-43, 28-57
SAR_6	28-3, 28-20, 28-49	SCSPTR_1	28-11, 28-44, 28-57
SAR_7	28-3, 28-20, 28-49	SCSPTR_2	28-12, 28-44, 28-57
SCBRR	22-16	SCSR	16-16
SCBRR_0	28-11, 28-43, 28-57	SCSR_0	28-8, 28-36, 28-54
SCBRR_1	28-11, 28-43, 28-57	SCSR_1	28-8, 28-36, 28-54
SCBRR_2	28-11, 28-44, 28-57	SCTSR	22-5
SCFCR	22-22	SDBPR	26-3
SCFCR_0	28-11, 28-43, 28-57	SDCR	7-29, 28-3, 28-16, 28-48
SCFCR_1	28-11, 28-44, 28-57	SDIR	26-3, 28-13, 28-47, 28-59
SCFCR_2	28-12, 28-44, 28-57	SOFCFG	17-42, 28-9, 28-38, 28-55
SCFDR	22-24	SSICR	16-6
SCFDR_0	28-11, 28-43, 28-57	SSICR_0	28-8, 28-36, 28-54
SCFDR_1	28-11, 28-44, 28-57	SSICR_1	28-8, 28-36, 28-54
SCFDR_2	28-12, 28-44, 28-57	SSIRDR	16-15
SCFRDR	22-5	SSIRDR_0	28-8, 28-36, 28-54
SCFRDR_0	28-11, 28-43, 28-57	SSIRDR_1	28-8, 28-36, 28-54
SCFRDR_1	28-11, 28-44, 28-57	SSISR	16-11
SCFRDR_2	28-11, 28-44, 28-57	SSISR_0	28-8, 28-36, 28-54
SCFSR	22-11	SSISR_1	28-8, 28-36, 28-54
SCFSR_0	28-11, 28-43, 28-57	SSITDR	16-15
SCFSR_1	28-11, 28-44, 28-57	SSITDR_0	28-8, 28-36, 28-54
SCFSR_2	28-11, 28-44, 28-57	SSITDR_1	28-8, 28-36, 28-54
SCFTDR	22-6	STBCR	11-2, 28-1, 28-5, 28-24, 28-51
SCFTDR_0	28-11, 28-43, 28-57	STBCR2	11-3, 28-5, 28-24, 28-51
SCFTDR_1	28-11, 28-44, 28-57	STBCR3	11-4, 28-5, 28-24, 28-51
SCFTDR_2	28-44, 28-57	STBCR4	11-5, 28-5, 28-24, 28-51
SCLSR	22-27	STCNTCR	15-10

STCNTCR_0	28-7, 28-32, 28-53	STSTR	15-11
STCNTCR_1	28-7, 28-34, 28-53	STSTR_0	28-7, 28-32, 28-53
STCNTVR	15-10	STSTR_1	28-7, 28-34, 28-53
STCNTVR_0	28-7, 28-32, 28-53	SYSCFG	17-9, 28-8, 28-37, 28-54
STCNTVR_1	28-7, 28-34, 28-53	SYSCR1	11-7, 28-5, 28-24, 28-51
STCTLR	15-8	SYSCR2	11-8, 28-5, 28-24, 28-51
STCTLR_0	28-7, 28-32, 28-53	SYSCR3	11-9
STCTLR_1	28-7, 28-34, 28-53	SYSCR3	28-5
STDBG	15-25	SYSCR3	28-24
STIER	15-13, 15-14	SYSCR3	28-51
STIER_0	28-7, 28-33, 28-53	SYSSTS	17-13, 28-8, 28-37, 28-54
STIER_1	28-7, 28-34, 28-53	TBRAR	13-23, 28-6, 28-28, 28-52
STLKCR	15-23	TDFAR	13-23, 28-6, 28-28, 28-52
STLKCR_0	28-7, 28-34, 28-53, 28-54	TDLAR	13-6, 28-5, 28-27, 28-51
STLKCR_1	28-8, 28-35, 28-54	TESTMODE	17-17, 28-8, 28-37, 28-54
STMDR	15-5	TFTR	13-18, 28-6, 28-27, 28-52
STMDR_0	28-7, 28-32, 28-53	TLFRCR	12-16, 28-5, 28-26, 28-51
STMDR_1	28-7, 28-34, 28-53	TPAUSER	12-20, 28-5, 28-26, 28-51
STPCR0R	15-21	TRIMD	13-26, 13-27, 13-28, 28-6, 28-28, 28-52
STPCR0R_0	28-7, 28-33, 28-53	TROCR	12-12, 28-5, 28-25, 28-51
STPCR0R_1	28-7, 28-35, 28-53	TRSCER	13-15, 28-6, 28-27, 28-52
STPCR1R	15-21	TSFRCR	12-15, 28-5, 28-25, 28-51
STPCR1R_0	28-7, 28-33, 28-53	UFRMNUM	17-58, 28-9, 28-39, 28-55
STPCR1R_1	28-7, 28-35, 28-53	USBADDR	17-59, 28-9, 28-39, 28-55
STPWMCR	15-18	USBINDX	17-62, 28-9, 28-39, 28-55
STPWMCR_0	28-7, 28-33, 28-53	USBLENG	17-63, 28-9, 28-39, 28-55
STPWMCR_1	28-7, 28-35, 28-53	USBREQ	17-60, 28-9, 28-39, 28-55
STPWMMR	15-15	USBVAL	17-61, 28-9, 28-39, 28-55
STPWMMR_0	28-7, 28-33, 28-53	WRCSR	10-7, 28-4, 28-24, 28-50
STPWMMR_1	28-7, 28-35, 28-53	WTCNT	10-4, 28-4, 28-24, 28-50
STPWMR	15-20	WTCSR	10-5, 28-4, 28-24, 28-50
STPWMR_0	28-7, 28-33, 28-53	レジスタのデータ形式	2-5
STPWMR_1	28-7, 28-35, 28-53	レジスタバンク	2-4, 6-25
STSIZE_0	28-7, 28-33, 28-53	レジスタバンクエラー	5-10
STSIZE_1	28-7, 28-34, 28-53	レジスタバンクエラー例外処理	5-10, 6-29
STSTC0R	15-22	レジスタバンクの例外	6-29
STSTC0R_0	28-7, 28-33, 28-53	レジューム割り込み	17-126
STSTC0R_1	28-8, 28-35, 28-54	ロードストアアーキテクチャ	2-7
STSTC1R	15-22	ローパワーSDRAM	7-79
STSTC1R_0	28-7, 28-33, 28-53	論理演算命令	2-29
STSTC1R_1	28-8, 28-35, 28-54		

【わ】

ワードデータの符号拡張.....	2-7	割り込み優先順位.....	5-12
割り込み応答時間.....	6-20	割り込み要因クリアのタイミング.....	6-31
割り込みコントローラ (INTC)	6-1	割り込み要求信号によるデータ転送	6-30
		割り込み例外処理.....	5-13
		割り込み例外処理終了後のスタックの状態	6-19

SH7670グループ ユーザーズマニュアル
ハードウェア編

発行年月日 2007年9月21日 Rev.1.00
2011年6月21日 Rev.3.00

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/inquiry>

SH7670 グループ