

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

# SH7780

ハードウェアマニュアル

ルネサス32ビットRISC マイクロコンピュータ

SuperH™ RISC engine ファミリ / SH7780 シリーズ

R8A77800A



## 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

## 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

## 製品に関する一般的注意事項

### 1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

### 2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

### 3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

### 4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

### 5. 各レジスタリザーブビットの読み出し／書き込み

各モジュールで使用されるレジスタのリザーブビットは、その説明記述中に読み出し／書き込み値の指定が特にない限り以下のように取り扱ってください。

読み出すと常に0が読み出されます。書き込む場合は、0を書き込むか、直前に読み出した値を書き込むかいずれかにしてください。

直前に読み出した値を書き込むようにしておくと、将来このビットに拡張機能を割り当てることのある場合、その拡張機能に影響を与えない利点があります。

---

# 本書の構成

---

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明

- ・ CPU およびシステム制御系
- ・ 内蔵モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、  
①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項、  
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。  
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。  
必ずお読みください。(使用上の注意事項は必要により記載されます。)

7. 電気的特性
8. 付録
9. 本版で修正または追加された主な箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。  
改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上  
でご確認ください。

10. 索引

---

# はじめに

---

本 LSI は、ルネサス テクノロジオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積した RISC マイコンです。

**対象者** 本マニュアルは、本 LSI を用いた応用システムを設計するユーザーを対象としています。  
本マニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

**目的** 本マニュアルは、本 LSI のハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。

## 読み方

- 機能全体を理解しようとするとき。
  - 目次にしたがって読んでください。  
本書は、大きく分類すると、CPU、システム制御機能、周辺機能の順に構成されています。
- FPUの機能および各命令の詳細を理解したいとき。
  - 別冊の「SH-4A ソフトウェアマニュアル」を参照してください。

**凡例** ビット表記 : 左側が上位ビット、右側が下位ビットの順に表記します。  
数字の表記 : 2進数は B'XXXX、16進数は H'XXXX、10進数は XXXX で表します。  
記号の表記 : ローアクティブの信号にはオーバーバー (XXXX) を付けます。

## 略語の説明

ALU	Arithmetic Logic Unit 演算論理回路
ASID	Address Space Identifier アドレス空間識別子
BGA	Ball Grid Array ボールグリッドアレイ
CMT	Compare Match Timer (Timer/Counter) コンペアマッチタイマ (タイマカウンタ)
CPG	Clock Pulse Generator クロック発振器
CPU	Central Processing Unit 中央制御装置
DDR	Double Data Rate ダブルデータレート
DDRIF	DDR-SDRAM Interface DDR-SDRAM インタフェース
DMA	Direct Memory Access ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller ダイレクトメモリアクセスコントローラ (DMA コントローラ)
FIFO	First-In First-Out 先入れ先出し
FLCTL	NAND Flash Memory Controller NAND フラッシュメモリコントローラ
FPU	Floating Point Unit 浮動小数点演算装置
HAC	Audio Codec オーディオコーデック
HSPI	Serial Protocol Interface シリアルプロトコルインタフェース
H-UDI	User Debugging Interface ユーザデバッグインタフェース
INTC	Interrupt Controller 割り込みコントローラ
JTAG	Joint Test Action Group バウンダリスキャン規格化グループ

LBSC	Local Bus State Controller ローカルバスステートコントローラ
LRAM	L Memory Lメモリ（内蔵RAM）
LRU	Least Recently Used （仮想記憶ページ置き換えアルゴリズムの名前）
LSB	Least Significant Bit 最下位ビット
MMCIF	Multimedia Card Interface マルチメディアカードインタフェース
MMU	Memory Management Unit メモリマネジメントユニット
MSB	Most Significant Bit 最上位ビット
PC	Program Counter プログラムカウンタ
PCI	Peripheral Components Interconnect ペリフェラルコンポーネントインタコネクト
PCIC	PCI Controller PCI（ローカルバス）コントローラ
RISC	Reduced Instruction Set Computer 縮小命令セットコンピュータ
RTC	Realtime Clock リアルタイムクロック
SCIF	Serial Communication Interface with FIFO FIFO内蔵シリアルコミュニケーションインタフェース
SIOF	Serial Interface with FIFO シリアルI/O FIFO付き
SSI	Serial Sound Interface シリアルサウンドインタフェース
TAP	Test Access Port テスト端子
TLB	Translation Lookaside Buffer 変換ルックアサイドバッファ
TMU	Timer Unit タイマユニット
UART	Universal Asynchronous Receiver/Transmitter 調歩同期インタフェース

UBC	User Break Controller ユーザブレイクコントローラ
WDT	Watchdog Timer ウォッチドッグタイマ



---

# 目次

---

1. 概要 .....	1-1
1.1 本LSIの特長.....	1-1
1.2 ブロック図.....	1-7
1.3 ピン配置図.....	1-8
1.4 端子説明 .....	1-9
1.5 メモリアドレスマップ .....	1-23
1.6 SuperHywayバス .....	1-25
1.7 SuperHywayメモリ (SuperHyway RAM) .....	1-26
2. プログラミングモデル.....	2-1
2.1 データフォーマット .....	2-1
2.2 レジスタの構成.....	2-2
2.2.1 特権モードとバンク .....	2-2
2.2.2 汎用レジスタ.....	2-5
2.2.3 浮動小数点レジスタ .....	2-6
2.2.4 コントロールレジスタ .....	2-9
2.2.5 システムレジスタ .....	2-11
2.3 メモリ割り付けレジスタ.....	2-14
2.4 レジスタのデータ形式 .....	2-14
2.5 メモリ上でのデータ形式.....	2-15
2.6 処理状態 .....	2-16
2.7 使用上の注意事項.....	2-17
2.7.1 自己書き換えコードに対する注意事項.....	2-17
3. 命令セット .....	3-1
3.1 実行環境 .....	3-1
3.2 アドレッシングモード .....	3-3
3.3 命令セット.....	3-6
4. パイプライン動作.....	4-1
4.1 パイプライン.....	4-1
4.2 並列実行性.....	4-12
4.3 発行レートと実行ステート.....	4-15

5.	例外処理 .....	5-1
5.1	概要 .....	5-1
5.2	レジスタ説明 .....	5-1
5.2.1	TRAPA 例外レジスタ (TRA) .....	5-2
5.2.2	例外事象レジスタ (EXPEVT) .....	5-2
5.2.3	割り込み事象レジスタ (INTEVT) .....	5-3
5.3	例外処理の機能 .....	5-4
5.3.1	例外処理の流れ .....	5-4
5.3.2	例外処理ベクタアドレス .....	5-4
5.4	例外の種類と優先順位 .....	5-5
5.5	例外フロー .....	5-6
5.5.1	例外フロー .....	5-6
5.5.2	例外要因の受け付け .....	5-7
5.5.3	例外要求と BL ビット .....	5-8
5.5.4	例外処理からの復帰 .....	5-8
5.6	各例外の説明 .....	5-9
5.6.1	リセット .....	5-9
5.6.2	一般例外 .....	5-10
5.6.3	割り込み .....	5-20
5.6.4	複数回の例外が発生する場合の優先順位 .....	5-21
5.7	注意事項 .....	5-23
6.	浮動小数点ユニット (FPU) .....	6-1
6.1	概要 .....	6-1
6.2	データフォーマット .....	6-2
6.2.1	浮動小数点フォーマット .....	6-2
6.2.2	非数 (NaN) .....	6-4
6.2.3	非正規化数 .....	6-5
6.3	レジスタ .....	6-6
6.3.1	浮動小数点レジスタ .....	6-6
6.3.2	浮動小数点ステータス/コントロールレジスタ (FPSCR) .....	6-8
6.3.3	浮動小数点通信レジスタ (FPUL) .....	6-10
6.4	丸め .....	6-10
6.5	浮動小数点例外 .....	6-11
6.6	グラフィックサポート機能 .....	6-13
6.6.1	ジオメトリック演算命令 .....	6-13
6.6.2	ペア単精度データ転送 .....	6-14
7.	メモリマネジメントユニット (MMU) .....	7-1
7.1	MMUの概要 .....	7-1

7.1.1	アドレス空間.....	7-3
7.2	レジスタの説明.....	7-8
7.2.1	ページテーブルエントリ上位レジスタ (PTEH) .....	7-9
7.2.2	ページテーブルエントリ下位レジスタ (PTEL) .....	7-10
7.2.3	変換テーブルベースレジスタ (TTB) .....	7-11
7.2.4	TLB 例外アドレスレジスタ (TEA) .....	7-11
7.2.5	MMU 制御レジスタ (MMUCR) .....	7-11
7.2.6	物理アドレス空間制御レジスタ (PASCR) .....	7-14
7.2.7	命令再フェッチ抑止制御レジスタ (IRMCR) .....	7-15
7.3	TLBの機能.....	7-17
7.3.1	共用 TLB (UTLB) の構成.....	7-17
7.3.2	命令 TLB (ITLB) の構成.....	7-19
7.3.3	アドレス変換方式.....	7-20
7.4	MMUの機能.....	7-22
7.4.1	MMU のハードウェア管理.....	7-22
7.4.2	MMU のソフトウェア管理.....	7-22
7.4.3	MMU の命令 (LDTLB) .....	7-22
7.4.4	ハードウェア ITLB ミスハンドリング.....	7-23
7.4.5	シノニム問題の回避.....	7-23
7.5	MMU例外.....	7-24
7.5.1	命令 TLB 多重ヒット例外.....	7-24
7.5.2	命令 TLB ミス例外.....	7-25
7.5.3	命令 TLB 保護違反例外.....	7-26
7.5.4	データ TLB 多重ヒット例外.....	7-26
7.5.5	データ TLB ミス例外.....	7-27
7.5.6	データ TLB 保護違反例外.....	7-28
7.5.7	初期ページ書き込み例外.....	7-29
7.6	メモリ割り付けTLBの構成.....	7-30
7.6.1	ITLB アドレスアレイ .....	7-30
7.6.2	ITLB データアレイ .....	7-31
7.6.3	UTLB アドレスアレイ.....	7-32
7.6.4	UTLB データアレイ.....	7-33
7.7	32ビットアドレス拡張モード.....	7-34
7.7.1	32 ビットアドレス拡張モード概要.....	7-34
7.7.2	32 ビットアドレス拡張モードへの切り替え.....	7-35
7.7.3	特権空間マッピングバッファ (PMB) 構成.....	7-35
7.7.4	PMB の機能.....	7-37
7.7.5	メモリ割り付け PMB の構成.....	7-37
7.7.6	32 ビットアドレス拡張モード使用時の注意事項.....	7-39

8.	キャッシュ	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-4
8.2.1	キャッシュ制御レジスタ (CCR)	8-5
8.2.2	キューアドレス制御レジスタ 0 (QACR0)	8-6
8.2.3	キューアドレス制御レジスタ 1 (QACR1)	8-7
8.2.4	内蔵メモリ制御レジスタ (RAMCR)	8-7
8.3	オペランドキャッシュの動作説明	8-9
8.3.1	読み出し動作	8-9
8.3.2	プリフェッチ動作	8-10
8.3.3	書き込み動作	8-11
8.3.4	ライトバックバッファ	8-12
8.3.5	ライトスルーバッファ	8-12
8.3.6	OC 2 ウェイモード	8-12
8.4	命令キャッシュの動作説明	8-13
8.4.1	読み出し動作	8-13
8.4.2	プリフェッチ動作	8-13
8.4.3	IC 2 ウェイモード	8-14
8.5	キャッシュ操作命令	8-14
8.5.1	キャッシュと外部メモリとのコヒーレンシ	8-14
8.5.2	プリフェッチ動作	8-15
8.6	メモリ割り付けキャッシュの構成	8-16
8.6.1	IC アドレスアレイ	8-16
8.6.2	IC データアレイ	8-17
8.6.3	OC アドレスアレイ	8-18
8.6.4	OC データアレイ	8-20
8.7	ストアキュー	8-21
8.7.1	SQ の構成	8-21
8.7.2	SQ への書き込み	8-21
8.7.3	外部メモリへの転送	8-22
8.7.4	SQ アクセスの例外判定	8-23
8.7.5	SQ からの読み出し	8-23
8.8	32ビットアドレス拡張モード使用時の注意事項	8-23
9.	Lメモリ	9-1
9.1	特長	9-1
9.2	レジスタの説明	9-2
9.2.1	内蔵メモリ制御レジスタ (RAMCR)	9-3
9.2.2	Lメモリ転送元アドレスレジスタ 0 (LSA0)	9-4
9.2.3	Lメモリ転送元アドレスレジスタ 1 (LSA1)	9-5

9.2.4	L メモリ転送先アドレスレジスタ 0 (LDA0) .....	9-6
9.2.5	L メモリ転送先アドレスレジスタ 1 (LDA1) .....	9-7
9.3	動作説明 .....	9-8
9.3.1	CPU および FPU からのアクセス .....	9-8
9.3.2	SuperHyway バスマスタモジュールからのアクセス .....	9-8
9.3.3	ブロック転送 .....	9-8
9.4	Lメモリの保護機能 .....	9-9
9.5	使用上の注意 .....	9-10
9.5.1	ページ競合 .....	9-10
9.5.2	Lメモリのコヒーレンシ .....	9-10
9.5.3	スリープモード .....	9-10
9.6	32ビットアドレス拡張モード使用時の注意事項 .....	9-10
10.	割り込みコントローラ (INTC) .....	10-1
10.1	特長 .....	10-1
10.1.1	割り込み方式 .....	10-3
10.1.2	INTC で想定する割り込み .....	10-3
10.2	入出力端子 .....	10-7
10.3	レジスタの説明 .....	10-8
10.3.1	外部割り込み要求レジスタ .....	10-10
10.3.2	ユーザモード割り込み禁止機能 .....	10-24
10.3.3	内蔵モジュール割り込みレジスタ .....	10-25
10.3.4	内蔵モジュール別割り込み要因レジスタ (INT2B0~INT2B7) .....	10-32
10.4	割り込み要因 .....	10-39
10.4.1	NMI 割り込み .....	10-39
10.4.2	IRQ 割り込み .....	10-39
10.4.3	IRL 割り込み .....	10-40
10.4.4	内蔵モジュール割り込み .....	10-42
10.4.5	内蔵モジュール割り込み優先順位 .....	10-43
10.4.6	割り込み例外処理と優先順位 .....	10-44
10.5	動作説明 .....	10-49
10.5.1	割り込み動作の流れ .....	10-49
10.5.2	多重割り込み .....	10-51
10.5.3	MAI ビットによる割り込みマスク .....	10-51
10.6	割り込み応答時間 .....	10-52
10.7	使用上の注意事項 .....	10-53
10.7.1	保持機能選択時の割り込み要求クリア方法 (IRL 割り込み / IRQ レベル割り込み) .....	10-53
10.7.2	IRQ/IRL[7:0]端子機能設定時の注意事項 .....	10-54
10.7.3	IRL 割り込み要求および IRQ 割り込み要求のクリア方法 .....	10-54

11. ローカルバスステートコントローラ (LBSC) .....	11-1
11.1  特長 .....	11-1
11.2  入出力端子 .....	11-3
11.3  エリアの概要 .....	11-5
11.3.1  空間分割 .....	11-5
11.3.2  メモリバス幅 .....	11-8
11.3.3  データアライメント .....	11-9
11.3.4  PCMCIA サポート .....	11-9
11.4  レジスタの説明 .....	11-12
11.4.1  メモリアドレスマップ選択レジスタ (MMSELR) .....	11-14
11.4.2  バスコントロールレジスタ (BCR) .....	11-16
11.4.3  CSn バスコントロールレジスタ (CSnBCR) .....	11-18
11.4.4  CSn ウェイトコントロールレジスタ (CSnWCR) .....	11-23
11.4.5  CSnPCMCIA コントロールレジスタ (CSnPCR) .....	11-27
11.5  動作説明 .....	11-31
11.5.1  エンディアン/アクセスサイズとデータアライメント .....	11-31
11.5.2  エリアの説明 .....	11-35
11.5.3  SRAM インタフェース .....	11-39
11.5.4  バースト ROM インタフェース .....	11-45
11.5.5  PCMCIA インタフェース .....	11-47
11.5.6  MPX インタフェース .....	11-57
11.5.7  バイト制御 SRAM インタフェース .....	11-65
11.5.8  アクセスサイクル間ウェイト .....	11-68
11.5.9  バスアービトレーション .....	11-69
11.5.10  バス解放・獲得シーケンス .....	11-71
11.5.11  マスタとスレーブの協調 .....	11-73
12. DDR-SDRAM インタフェース (DDRIF) .....	12-1
12.1  特長 .....	12-1
12.2  入出力端子 .....	12-3
12.3  データアライメント .....	12-4
12.3.1  DDRIF のアドレス空間 .....	12-4
12.3.2  メモリデータバス幅 .....	12-6
12.3.3  DDR-SDRAM でのデータアライメント .....	12-6
12.4  レジスタの説明 .....	12-9
12.4.1  メモリインタフェースモードレジスタ (MIM) .....	12-10
12.4.2  SDRAM コントロールレジスタ (SCR) .....	12-13
12.4.3  SDRAM タイミングレジスタ (STR) .....	12-14
12.4.4  SDRAM ロウアトリビュートレジスタ (SDR) .....	12-17
12.4.5  SDRAM モードレジスタ (SDMR) .....	12-18

12.4.6	DDR-SDRAM バックアップレジスタ (DBK) .....	12-19
12.5	動作説明 .....	12-20
12.5.1	DDR-SDRAM アクセス .....	12-20
12.5.2	DDR-SDRAM 初期化シーケンス .....	12-20
12.5.3	サポートする SDRAM コマンド .....	12-21
12.5.4	SDRAM アクセスモードの説明 .....	12-22
12.5.5	低消費電力モード .....	12-22
12.5.6	アドレスマルチプレクス .....	12-24
12.6	DDRIF基本タイミング .....	12-25
12.7	使用上の注意事項 .....	12-35
12.7.1	動作周波数について .....	12-35
12.7.2	クロック停止時の注意点 .....	12-35
12.7.3	初期化シーケンス時以外に SCR レジスタで REFA コマンドを発行する場合 .....	12-35
12.7.4	接続する SDRAM に関するタイミング上のご注意 .....	12-35
12.7.5	オートリフレッシュ間隔設定上のご注意 .....	12-35
13.	PCI コントローラ (PCIC) .....	13-1
13.1	特長 .....	13-1
13.2	入出力端子 .....	13-4
13.3	レジスタの説明 .....	13-6
13.3.1	コントロールレジスタ .....	13-10
13.3.2	PCI コンフィグレーションレジスタ .....	13-11
13.3.3	PCI ローカルレジスタ .....	13-30
13.4	動作説明 .....	13-62
13.4.1	サポートされる PCI コマンド .....	13-62
13.4.2	PCIC の初期化 .....	13-63
13.4.3	マスタアクセス .....	13-64
13.4.4	ターゲットアクセス .....	13-71
13.4.5	ホストモード .....	13-78
13.4.6	ノーマルモード (非ホストモード) .....	13-81
13.4.7	パワーマネジメント .....	13-81
13.4.8	PCI バス基本インタフェース .....	13-83
14.	ダイレクトメモリアクセスコントローラ (DMAC) .....	14-1
14.1	特長 .....	14-1
14.2	入出力端子 .....	14-3
14.3	レジスタの説明 .....	14-5
14.3.1	DMA ソースアドレスレジスタ 0~11 (SAR0~SAR11) .....	14-10
14.3.2	DMA ソースアドレスレジスタ B0~3、6~9 (SARB0~3、SARB6~9) .....	14-10
14.3.3	DMA デスティネーションアドレスレジスタ 0~11 (DAR0~DAR11) .....	14-11

14.3.4	DMA デスティネーションアドレスレジスタ B0~3、6~9 (DARB0~DARB3、DARB6~DARB9) .....	14-11
14.3.5	DMA トランスファカウンタレジスタ 0~11 (TCR0~TCR11) .....	14-12
14.3.6	DMA トランスファカウンタレジスタ B0~3、6~9 (TCRB0~TCRB3、TCRB6~TCRB9) .....	14-12
14.3.7	DMA チャネルコントロールレジスタ 0~11 (CHCR0~CHCR11) .....	14-13
14.3.8	DMA オペレーションレジスタ 0、1 (DMAOR0、DMAOR1) .....	14-19
14.3.9	DMA 拡張リソースセレクタ 0~2 (DMARS0~DMARS2) .....	14-21
14.4	動作説明 .....	14-24
14.4.1	DMA 転送要求 .....	14-24
14.4.2	チャネルの優先順位 .....	14-27
14.4.3	DMA 転送の種類 .....	14-30
14.4.4	転送フロー .....	14-36
14.4.5	リピートモード転送 .....	14-38
14.4.6	リロードモード転送 .....	14-39
14.4.7	DREQ 端子のサンプリングタイミング .....	14-40
14.5	使用上の注意 .....	14-42
14.5.1	モジュールストップについて .....	14-42
14.5.2	アドレスエラーについて .....	14-42
14.5.3	バーストモード転送時の注意 .....	14-42
14.5.4	DACK の分割出力 .....	14-42
14.5.5	DMINT 割り込みのクリアについて .....	14-43
14.5.6	外部バス幅を超える DMA 転送サイズにおける $\overline{CSn}$ 出力の設定 .....	14-43
14.5.7	DACK のアサートと DREQ 検出について .....	14-43
15.	クロック発振器 (CPG) .....	15-1
15.1	特長 .....	15-1
15.2	入出力端子 .....	15-3
15.3	クロック動作モード .....	15-4
15.4	レジスタの説明 .....	15-4
15.4.1	周波数制御レジスタ (FRQCR) .....	15-5
15.4.2	PLL コントロールレジスタ (PLLCR) .....	15-7
15.5	ボード設計上の注意事項 .....	15-8
16.	リセット、ウォッチドッグタイマ (WDT) .....	16-1
16.1	特長 .....	16-1
16.2	入出力端子 .....	16-2
16.3	レジスタの説明 .....	16-3
16.3.1	ウォッチドッグタイマストップタイムレジスタ (WDTST) .....	16-4
16.3.2	ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCSR) .....	16-5
16.3.3	ウォッチドッグタイマバーストストップタイムレジスタ (WDTBST) .....	16-6

16.3.4	ウォッチドッグタイマカウンタ (WDTCNT) .....	16-7
16.3.5	ウォッチドッグタイマベースカウンタ (WDTBCNT) .....	16-7
16.4	動作説明 .....	16-8
16.4.1	リセット要求 .....	16-8
16.4.2	ウォッチドッグタイマモードの使用法 .....	16-9
16.4.3	インターバルタイマモードの使用法 .....	16-10
16.4.4	WDT オーバフロー発生までの時間 .....	16-11
16.4.5	WDT カウンタのクリア方法 .....	16-11
16.5	リセット中の端子タイミング .....	16-12
16.5.1	$\overline{\text{PRESET}}$ 端子によるパワーオンリセット .....	16-12
16.5.2	WDT オーバフローによるパワーオンリセット .....	16-14
16.5.3	WDT オーバフローによるマニュアルリセット .....	16-15
17.	低消費電力モード .....	17-1
17.1	特長 .....	17-1
17.1.1	低消費電力モードの種類 .....	17-1
17.2	入出力端子 .....	17-3
17.3	レジスタの説明 .....	17-3
17.3.1	スタンバイコントロールレジスタ (MSTPCR) .....	17-4
17.4	スリープモード .....	17-5
17.4.1	スリープモードへの遷移 .....	17-5
17.4.2	スリープモードの解除 .....	17-5
17.5	モジュールスタンバイ機能 .....	17-6
17.5.1	モジュールスタンバイ機能への遷移 .....	17-6
17.5.2	モジュールスタンバイ機能の解除 .....	17-6
17.6	DDR-SDRAM電源バックアップ .....	17-7
17.6.1	セルフリフレッシュ、初期化制御 .....	17-7
17.6.2	システム電源遮断時の DDR-SDRAM バックアップシーケンス .....	17-8
17.7	RTC電源バックアップ .....	17-10
17.7.1	RTC 電源バックアップモードへの遷移 .....	17-10
17.7.2	RTC 電源バックアップモードの解除 .....	17-10
17.8	モード遷移 .....	17-11
17.9	STATUS端子の変化タイミング .....	17-11
17.9.1	リセットの場合 .....	17-11
17.9.2	スリープ解除の場合 .....	17-11
18.	タイマユニット (TMU) .....	18-1
18.1	特長 .....	18-1
18.2	入出力端子 .....	18-3
18.3	レジスタの説明 .....	18-4

18.3.1	タイマアウトプットコントロールレジスタ (TOCR)	18-6
18.3.2	タイマスタートレジスタ (TSTR0, TSTR1)	18-6
18.3.3	タイマコンスタントレジスタ (TCORn) (n=0~5)	18-8
18.3.4	タイマカウンタ (TCNTn) (n=0~5)	18-8
18.3.5	タイマコントロールレジスタ (TCRn) (n=0~5)	18-8
18.3.6	インプットキャプチャレジスタ 2 (TCPR2)	18-10
18.4	動作説明	18-11
18.4.1	カウンタの動作	18-11
18.4.2	インプットキャプチャ機能	18-14
18.5	割り込み	18-15
18.6	使用上の注意事項	18-16
18.6.1	レジスタの書き込みについて	18-16
18.6.2	TCNT レジスタの読み出しについて	18-16
18.6.3	RTC 分周回路のリセットについて	18-16
18.6.4	外部クロック周波数について	18-16
19.	コンペアマッチタイマ (CMT)	19-1
19.1	特長	19-1
19.2	入出力端子	19-2
19.3	レジスタの説明	19-3
19.3.1	コンフィギュレーションレジスタ (CMTCFG)	19-4
19.3.2	フリーランニングタイマ (CMTFRT)	19-6
19.3.3	コントロールレジスタ (CMTCTL)	19-6
19.3.4	割り込みステータスレジスタ (CMTIRQS)	19-9
19.3.5	チャンネル 0~チャンネル 3 タイムレジスタ (CMTCH0T~CMTCH3T)	19-10
19.3.6	チャンネル 0、チャンネル 1 ストップタイムレジスタ (CMTCH0ST, CMTCH1ST)	19-10
19.3.7	チャンネル 0~チャンネル 3 タイマ/カウンタ (CMTCH0C~CMTCH3C)	19-11
19.4	動作説明	19-11
19.4.1	エッジ検出	19-11
19.4.2	タイマ 32 ビット: インプットキャプチャ	19-12
19.4.3	タイマ 32 ビット: アウトプットコンペア	19-14
19.4.4	タイマ 16 ビット: インプットキャプチャ	19-16
19.4.5	タイマ 16 ビット: アウトプットコンペア	19-18
19.4.6	カウンタ: アップカウンタ	19-20
19.4.7	カウンタ: アップダウンカウンタ	19-22
19.4.8	カウンタ: ロータリーモード アップダウンカウンタ	19-23
19.4.9	割り込み	19-25
20.	リアルタイムクロック (RTC)	20-1
20.1	特長	20-1

20.2	端子構成 .....	20-3
20.3	レジスタ構成 .....	20-3
20.3.1	64Hz カウンタ (R64CNT) .....	20-5
20.3.2	秒カウンタ (RSECCNT) .....	20-5
20.3.3	分カウンタ (RMINCNT) .....	20-6
20.3.4	時カウンタ (RHRCNT) .....	20-6
20.3.5	曜日カウンタ (RWKCNT) .....	20-7
20.3.6	日カウンタ (RDAYCNT) .....	20-7
20.3.7	月カウンタ (RMONCNT) .....	20-8
20.3.8	年カウンタ (RYRCNT) .....	20-8
20.3.9	秒アラームレジスタ (RSECAR) .....	20-9
20.3.10	分アラームレジスタ (RMINAR) .....	20-9
20.3.11	時アラームレジスタ (RHRAR) .....	20-10
20.3.12	曜日アラームレジスタ (RWKAR) .....	20-10
20.3.13	日アラームレジスタ (RDAYAR) .....	20-11
20.3.14	月アラームレジスタ (RMONAR) .....	20-11
20.3.15	年アラームレジスタ (RYRAR) .....	20-12
20.3.16	RTC コントロールレジスタ 1 (RCR1) .....	20-13
20.3.17	RTC コントロールレジスタ 2 (RCR2) .....	20-15
20.3.18	RTC コントロールレジスタ 3 (RCR3) .....	20-16
20.4	動作説明 .....	20-17
20.4.1	時刻設定手順 .....	20-17
20.4.2	時刻読み出し手順 .....	20-18
20.4.3	アラーム機能 .....	20-19
20.5	割り込み .....	20-20
20.6	使用上の注意 .....	20-20
20.6.1	レジスタの初期設定について .....	20-20
20.6.2	水晶発振回路 .....	20-20
20.6.3	割り込みの発生順について .....	20-22
21.	FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF) .....	21-1
21.1	特長 .....	21-1
21.2	入出力端子 .....	21-6
21.3	レジスタの説明 .....	21-7
21.3.1	レシープシフトレジスタ (SCRSR) .....	21-9
21.3.2	レシープ FIFO データレジスタ (SCFRDR) .....	21-9
21.3.3	トランスミットシフトレジスタ (SCTSR) .....	21-9
21.3.4	トランスミット FIFO データレジスタ (SCFTDR) .....	21-10
21.3.5	シリアルモードレジスタ (SCSMR) .....	21-10
21.3.6	シリアルコントロールレジスタ (SCSCR) .....	21-12

21.3.7	シリアルステータスレジスタ (SCFSR) .....	21-15
21.3.8	ビットレートレジスタ (SCBRR) .....	21-19
21.3.9	FIFO コントロールレジスタ (SCFCR) .....	21-20
21.3.10	トランスミット FIFO データ数レジスタ (SCTFDR) .....	21-22
21.3.11	レシーブ FIFO データ数レジスタ (SCRFDR) .....	21-22
21.3.12	シリアルポートレジスタ (SCSPTR) .....	21-23
21.3.13	ラインステータスレジスタ (SCLSR) .....	21-25
21.3.14	シリアルエラーレジスタ (SCRER) .....	21-26
21.4	動作説明 .....	21-27
21.4.1	概要 .....	21-27
21.4.2	調歩同期式モードの動作 .....	21-29
21.4.3	クロック同期式モードの動作 .....	21-39
21.5	SCIF割り込み要因とDMAC .....	21-47
21.6	使用上の注意事項 .....	21-48
22.	シリアル I/O FIFO 付き (SIOF) .....	22-1
22.1	特長 .....	22-1
22.2	入出力端子 .....	22-2
22.3	レジスタの説明 .....	22-3
22.3.1	モードレジスタ (SIMDR) .....	22-4
22.3.2	クロックセレクトレジスタ (SISCR) .....	22-6
22.3.3	コントロールレジスタ (SICTR) .....	22-7
22.3.4	送信データレジスタ (SITDR) .....	22-9
22.3.5	受信データレジスタ (SIRDR) .....	22-10
22.3.6	送信制御データレジスタ (SITCR) .....	22-11
22.3.7	受信制御データレジスタ (SIRCR) .....	22-12
22.3.8	ステータスレジスタ (SISTR) .....	22-13
22.3.9	割り込み許可レジスタ (SIIER) .....	22-18
22.3.10	FIFO コントロールレジスタ (SIFCTR) .....	22-19
22.3.11	送信データアサインレジスタ (SITDAR) .....	22-21
22.3.12	受信データアサインレジスタ (SIRDAR) .....	22-22
22.3.13	制御データアサインレジスタ (SICDAR) .....	22-23
22.4	動作説明 .....	22-24
22.4.1	シリアルクロック .....	22-24
22.4.2	シリアルタイミング .....	22-25
22.4.3	転送データフォーマット .....	22-26
22.4.4	転送データのレジスタ割り付け .....	22-28
22.4.5	制御データインタフェース .....	22-30
22.4.6	FIFO .....	22-31
22.4.7	送受信手順 .....	22-33

22.4.8	割り込み .....	22-37
22.4.9	送受信タイミング .....	22-39
<b>23.</b>	<b>シリアルプロトコルインタフェース (HSPI) .....</b>	<b>23-1</b>
23.1	特長 .....	23-1
23.2	入出力端子 .....	23-3
23.3	レジスタの説明 .....	23-3
23.3.1	コントロールレジスタ (SPCR) .....	23-4
23.3.2	ステータスレジスタ (SPSR) .....	23-5
23.3.3	システムコントロールレジスタ (SPSCR) .....	23-8
23.3.4	トランスミットバッファレジスタ (SPTBR) .....	23-10
23.3.5	レシーブバッファレジスタ (SPRBR) .....	23-10
23.4	動作説明 .....	23-11
23.4.1	DMA を使用しない場合 (FIFO モード無効時) の動作 .....	23-11
23.4.2	DMA を使用する場合の動作 .....	23-12
23.4.3	FIFO モード有効時の動作 .....	23-12
23.4.4	タイミング図 .....	23-13
23.4.5	ソフトリセット .....	23-14
23.4.6	クロック極性と送信制御 .....	23-14
23.4.7	送信と受信ルーチン .....	23-14
<b>24.</b>	<b>マルチメディアカードインタフェース (MMCIF) .....</b>	<b>24-1</b>
24.1	特長 .....	24-1
24.2	入出力端子 .....	24-3
24.3	レジスタの説明 .....	24-3
24.3.1	コマンドレジスタ 0~5 (CMDR0~CMDR5) .....	24-6
24.3.2	コマンドスタートレジスタ (CMDSTRT) .....	24-7
24.3.3	オペレーションコントロールレジスタ (OPCR) .....	24-8
24.3.4	カードステータスレジスタ (CSTR) .....	24-9
24.3.5	割り込みコントロールレジスタ 0~2 (INTCR0~INTCR2) .....	24-11
24.3.6	割り込みステータスレジスタ 0~2 (INTSTR0~INTSTR2) .....	24-13
24.3.7	転送クロックコントロールレジスタ (CLKON) .....	24-18
24.3.8	コマンドタイムアウトコントロールレジスタ (CTOCR) .....	24-19
24.3.9	転送バイト数カウントレジスタ (TBCR) .....	24-20
24.3.10	モードレジスタ (MODER) .....	24-21
24.3.11	コマンドタイプレジスタ (CMDTYR) .....	24-22
24.3.12	レスポンスタイプレジスタ (RSPTYR) .....	24-23
24.3.13	転送ブロック数カウンタ (TBNCR) .....	24-26
24.3.14	レスポンスレジスタ 0~16、D (RSPR0~RSPR16、RSPRD) .....	24-26
24.3.15	データタイムアウトレジスタ (DTOUTR) .....	24-28

24.3.16	データレジスタ (DR) .....	24-29
24.3.17	FIFO ポインタクリアレジスタ (FIFOCLR) .....	24-30
24.3.18	DMA コントロールレジスタ (DMACR) .....	24-31
24.4	動作説明 .....	24-32
24.4.1	MMC モードの動作 .....	24-32
24.5	MMCIF 割り込み要因 .....	24-60
24.6	DMA 使用時の動作説明 .....	24-60
24.6.1	読み出しシーケンス時の動作 .....	24-60
24.6.2	書き込みシーケンス時の動作 .....	24-69
24.7	リトルエンディアン設定時のレジスタアクセス .....	24-80
<b>25.</b>	<b>オーディオコーデックインタフェース (HAC) .....</b>	<b>25-1</b>
25.1	特長 .....	25-1
25.2	入出力端子 .....	25-2
25.3	レジスタの説明 .....	25-3
25.3.1	コントロールステータスレジスタ (HACCR) .....	25-4
25.3.2	コマンド/ステータスアドレスレジスタ (HACCSAR) .....	25-5
25.3.3	コマンド/ステータスデータレジスタ (HACCSDR) .....	25-7
25.3.4	PCM レフトチャンネルレジスタ (HACPCML) .....	25-8
25.3.5	PCM ライトチャンネルレジスタ (HACPCMR) .....	25-9
25.3.6	TX 割り込みイネーブルレジスタ (HACTIER) .....	25-10
25.3.7	TX ステータスレジスタ (HACTSR) .....	25-11
25.3.8	RX 割り込みイネーブルレジスタ (HACRIER) .....	25-13
25.3.9	RX ステータスレジスタ (HACRSR) .....	25-14
25.3.10	HAC コントロールレジスタ (HACACR) .....	25-15
25.4	AC フレームのスロット構成 .....	25-17
25.5	動作説明 .....	25-19
25.5.1	レシーバ .....	25-19
25.5.2	トランスミッタ .....	25-19
25.5.3	DMA .....	25-19
25.5.4	割り込み .....	25-20
25.5.5	初期化シーケンス .....	25-20
25.5.6	注意事項 .....	25-25
25.5.7	参考 .....	25-25
<b>26.</b>	<b>シリアルサウンドインタフェース (SSI) .....</b>	<b>26-1</b>
26.1	特長 .....	26-1
26.2	入出力端子 .....	26-2
26.3	レジスタの説明 .....	26-3
26.3.1	コントロールレジスタ (SSICR) .....	26-4

26.3.2	ステータスレジスタ (SSISR) .....	26-9
26.3.3	トランスミットデータレジスタ (SSITDR) .....	26-13
26.3.4	レシーブデータレジスタ (SSIRD) .....	26-13
26.4	動作説明 .....	26-14
26.4.1	バスフォーマット .....	26-14
26.4.2	非圧縮モード .....	26-14
26.4.3	圧縮モード .....	26-23
26.4.4	動作モード .....	26-25
26.4.5	送信動作 .....	26-25
26.4.6	受信動作 .....	26-27
26.4.7	シリアルピットクロックコントロール .....	26-30
26.5	使用上の注意事項 .....	26-30
26.5.1	受信 DMA 動作中にオーバーフローが起こった場合の制限事項 .....	26-30
27.	NAND フラッシュメモリコントローラ (FLCTL) .....	27-1
27.1	特長 .....	27-1
27.2	入出力端子 .....	27-4
27.3	レジスタの説明 .....	27-5
27.3.1	共通コントロールレジスタ (FLCMNCR) .....	27-6
27.3.2	コマンド制御レジスタ (FLCMD) .....	27-7
27.3.3	コマンドコードレジスタ (FLCMCDR) .....	27-9
27.3.4	アドレスレジスタ (FLADR) .....	27-10
27.3.5	データカウンタレジスタ (FLDTCNTR) .....	27-11
27.3.6	データレジスタ (FLDATAR) .....	27-12
27.3.7	割り込み DMA 制御レジスタ (FLINTDMACR) .....	27-13
27.3.8	レディビジータイムアウト設定レジスタ (FLBSYTM) .....	27-16
27.3.9	レディビジータイムアウトカウンタ (FLBSYCNT) .....	27-16
27.3.10	データ FIFO レジスタ (FLDTFIFO) .....	27-17
27.3.11	管理コード FIFO レジスタ (FLECFIFO) .....	27-18
27.3.12	転送制御レジスタ (FLTRCR) .....	27-19
27.4	動作説明 .....	27-20
27.4.1	動作モード .....	27-20
27.4.2	コマンドアクセスモード .....	27-20
27.4.3	セクタアクセスモード .....	27-22
27.4.4	ECC のエラーの修正 .....	27-24
27.4.5	ステータスリード .....	27-24
27.5	レジスタ設定の手順例 .....	27-25
27.6	割り込み処理 .....	27-28
27.7	DMA 転送の設定 .....	27-28

28.	汎用入出力ポート (GPIO)	28-1
28.1	特長	28-1
28.2	レジスタの説明	28-5
28.2.1	ポート A コントロールレジスタ (PACR)	28-8
28.2.2	ポート B コントロールレジスタ (PBCR)	28-9
28.2.3	ポート C コントロールレジスタ (PCCR)	28-11
28.2.4	ポート D コントロールレジスタ (PDCR)	28-12
28.2.5	ポート E コントロールレジスタ (PECR)	28-14
28.2.6	ポート F コントロールレジスタ (PFCR)	28-15
28.2.7	ポート G コントロールレジスタ (PGCR)	28-17
28.2.8	ポート H コントロールレジスタ (PHCR)	28-18
28.2.9	ポート J コントロールレジスタ (PJCR)	28-20
28.2.10	ポート K コントロールレジスタ (PKCR)	28-21
28.2.11	ポート L コントロールレジスタ (PLCR)	28-23
28.2.12	ポート M コントロールレジスタ (PMCR)	28-24
28.2.13	ポート A データレジスタ (PADR)	28-25
28.2.14	ポート B データレジスタ (PBDR)	28-25
28.2.15	ポート C データレジスタ (PCDR)	28-26
28.2.16	ポート D データレジスタ (PDDR)	28-26
28.2.17	ポート E データレジスタ (PEDR)	28-27
28.2.18	ポート F データレジスタ (PFDR)	28-27
28.2.19	ポート G データレジスタ (PGDR)	28-28
28.2.20	ポート H データレジスタ (PHDR)	28-28
28.2.21	ポート J データレジスタ (PJDR)	28-29
28.2.22	ポート K データレジスタ (PKDR)	28-29
28.2.23	ポート L データレジスタ (PLDR)	28-30
28.2.24	ポート M データレジスタ (PMDR)	28-30
28.2.25	ポート E プルアップ制御レジスタ (PEPUPR)	28-31
28.2.26	ポート H プルアップ制御レジスタ (PHPUPR)	28-31
28.2.27	ポート J プルアップ制御レジスタ (PJPUPR)	28-32
28.2.28	ポート K プルアップ制御レジスタ (PKPUPR)	28-32
28.2.29	ポート M プルアップ制御レジスタ (PMPUPR)	28-33
28.2.30	入力端子プルアップ制御レジスタ 1 (PPUPR1)	28-33
28.2.31	入力端子プルアップ制御レジスタ 2 (PPUPR2)	28-34
28.2.32	内蔵モジュールセレクトレジスタ (OMSELR)	28-35
28.3	使用例	28-37
28.3.1	ポート出力機能	28-37
28.3.2	ポート入力機能	28-37
28.3.3	内蔵モジュール機能	28-38

29. ユーザブレイクコントローラ (UBC) .....	29-1
29.1  特長 .....	29-1
29.2  レジスタの説明 .....	29-3
29.2.1  マッチ条件設定レジスタ 0、1 (CBR0、CBR1) .....	29-4
29.2.2  マッチ動作設定レジスタ 0、1 (CRR0、CRR1) .....	29-10
29.2.3  マッチアドレス設定レジスタ 0、1 (CAR0、CAR1) .....	29-12
29.2.4  マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1) .....	29-13
29.2.5  マッチデータ設定レジスタ 1 (CDR1) .....	29-14
29.2.6  マッチデータマスク設定レジスタ 1 (CDMR1) .....	29-15
29.2.7  実行回数ブレイクレジスタ 1 (CETR1) .....	29-15
29.2.8  チャンネルマッチフラグレジスタ (CCMFR) .....	29-16
29.2.9  ブレイクコントロールレジスタ (CBCR) .....	29-17
29.3  動作説明 .....	29-18
29.3.1  アクセスに関する用語の説明 .....	29-18
29.3.2  ユーザブレイク動作の流れ .....	29-18
29.3.3  命令フェッチサイクルブレイク .....	29-20
29.3.4  オペランドアクセスサイクルブレイク .....	29-21
29.3.5  シーケンシャルブレイク .....	29-22
29.3.6  回避されるプログラムカウンタの値 .....	29-23
29.4  ユーザブレイクデバッグサポート機能 .....	29-24
29.5  ユーザブレイク使用例 .....	29-25
29.6  使用上の注意事項 .....	29-30
30. ユーザデバッグインタフェース (H-UDI) .....	30-1
30.1  特長 .....	30-1
30.2  入出力端子 .....	30-3
30.3  バウンダリスキャンTAPコントローラ (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS) .....	30-4
30.4  レジスタの説明 .....	30-6
30.4.1  インストラクションレジスタ (SDIR) .....	30-7
30.4.2  割り込み要因レジスタ (SDINT) .....	30-7
30.4.3  バイパスレジスタ (SDBPR) .....	30-8
30.4.4  バウンダリスキャンレジスタ (SDBSR) .....	30-9
30.5  動作説明 .....	30-17
30.5.1  TAP 制御 .....	30-17
30.5.2  H-UDI リセット .....	30-18
30.5.3  H-UDI 割り込み .....	30-18
30.6  注意事項 .....	30-18
31. 電気的特性 .....	31-1
31.1  絶対最大定格 .....	31-1

31.2	DC特性.....	31-2
31.3	AC特性.....	31-5
31.3.1	クロック・制御信号タイミング.....	31-5
31.3.2	制御信号タイミング.....	31-9
31.3.3	バスタイミング.....	31-10
31.3.4	DDRIF 信号タイミング.....	31-28
31.3.5	INTC モジュール信号タイミング.....	31-31
31.3.6	PCIC モジュール信号タイミング.....	31-33
31.3.7	DMAC モジュール信号タイミング.....	31-35
31.3.8	TMU モジュール信号タイミング.....	31-35
31.3.9	CMT モジュール信号タイミング.....	31-36
31.3.10	SCIF モジュール信号タイミング.....	31-37
31.3.11	SIOF モジュール信号タイミング.....	31-38
31.3.12	HSPI モジュール信号タイミング.....	31-42
31.3.13	MMCIF モジュール信号タイミング.....	31-43
31.3.14	HAC インタフェースモジュール信号タイミング.....	31-44
31.3.15	SSI インタフェースモジュール信号タイミング.....	31-46
31.3.16	FLCTL モジュール信号タイミング.....	31-48
31.3.17	GPIO 信号タイミング.....	31-51
31.3.18	H-UDI モジュール信号タイミング.....	31-52
31.4	AC特性測定条件.....	31-54
31.5	負荷容量による遅延時間の変化.....	31-55
<b>付録</b>		<b>付録-1</b>
A.	CPU動作モードレジスタ (CPUOPM).....	付録-1
B.	命令プリフェッチとその副作用について.....	付録-2
C.	サブルーチン復帰投機実行.....	付録-3
D.	レジスタアドレスマップ.....	付録-4
E.	外形寸法図.....	付録-35
F.	モード端子の設定.....	付録-36
G.	端子機能.....	付録-38
G1.	端子状態.....	付録-38
G2.	未使用端子の処理.....	付録-46
H.	電源投入遮断手順.....	付録-52
I.	バージョンレジスタ.....	付録-53
J.	品名一覧.....	付録-54
<b>索引</b>		<b>索引-1</b>

---

# 図目次

---

1. 概要	
図1.1 ブロック図	1-7
図1.2 ピン配置図	1-8
図1.3 SH7780物理アドレス空間	1-23
図1.4 AREASELビットによるメモリアドレスマップの選択	1-24
2. プログラミングモデル	
図2.1 データフォーマット	2-1
図2.2 処理モード別のCPUレジスタ構成	2-4
図2.3 汎用レジスタ	2-5
図2.4 浮動小数点レジスタ	2-8
図2.5 SZビットとエンディアンの関係	2-13
図2.6 バイトデータ、ワードデータのレジスタ中のデータ形式	2-14
図2.7 メモリ上のデータ形式	2-15
図2.8 処理状態遷移図	2-16
4. パイプライン動作	
図4.1 基本パイプライン	4-1
図4.2 命令実行パターン (1)	4-3
図4.2 命令実行パターン (2)	4-4
図4.2 命令実行パターン (3)	4-5
図4.2 命令実行パターン (4)	4-6
図4.2 命令実行パターン (5)	4-7
図4.2 命令実行パターン (6)	4-8
図4.2 命令実行パターン (7)	4-9
図4.2 命令実行パターン (8)	4-10
図4.2 命令実行パターン (9)	4-11
5. 例外処理	
図5.1 命令実行と例外処理	5-6
図5.2 一般例外の受け付け順序の例	5-7
6. 浮動小数点ユニット (FPU)	
図6.1 単精度浮動小数点フォーマット	6-2
図6.2 倍精度浮動小数点フォーマット	6-2
図6.3 単精度のNaNビットパターン	6-4
図6.4 浮動小数点レジスタ	6-7
図6.5 SZビットとエンディアンの関係	6-9
7. メモリマネジメントユニット (MMU)	
図7.1 MMUの役割	7-2
図7.2 仮想アドレス空間 (MMUCR.AT=0)	7-3

図7.3	仮想アドレス空間 (MMUCR.AT=1)	7-4
図7.4	P4領域	7-5
図7.5	物理アドレス空間	7-6
図7.6	UTLBの構成	7-17
図7.7	ページサイズとアドレスの関係	7-19
図7.8	ITLBの構成	7-19
図7.9	UTLBを用いたメモリアクセスフロー	7-20
図7.10	ITLBを用いたメモリアクセスフロー	7-21
図7.11	LDTLB命令の動作	7-23
図7.12	メモリ割り付けITLBアドレスアレイ	7-31
図7.13	メモリ割り付けITLBデータアレイ	7-31
図7.14	メモリ割り付けUTLBアドレスアレイ	7-32
図7.15	メモリ割り付けUTLBデータアレイ	7-33
図7.16	物理アドレス空間 (32ビットアドレス拡張モード)	7-34
図7.17	PMBの構成	7-35
図7.18	メモリ割り付けPMBアドレスアレイ	7-38
図7.19	メモリ割り付けPMBデータアレイ	7-38
8. キャッシュ		
図8.1	オペランドキャッシュの構成	8-2
図8.2	命令キャッシュの構成	8-3
図8.3	ライトバックバッファの構成	8-12
図8.4	ライトスルーバッファの構成	8-12
図8.5	メモリ割り付けICアドレスアレイ	8-17
図8.6	メモリ割り付けICデータアレイ	8-18
図8.7	メモリ割り付けOCアドレスアレイ	8-19
図8.8	メモリ割り付けOCデータアレイ	8-20
図8.9	ストアキューの構成	8-21
10. 割り込みコントローラ (INTC)		
図10.1	INTCのブロック図	10-2
図10.2	IRL割り込みの接続例	10-40
図10.3	内蔵モジュール割り込みの優先レベルについて	10-43
図10.4	割り込み動作フロー	10-50
図10.5	割り込み処理ルーチンの例	10-53
11. ローカルバスステートコントローラ (LBSC)		
図11.1	LBSCのブロック図	11-2
図11.2	仮想アドレス空間とLBSC外部メモリ空間の対応	11-6
図11.3	外部メモリ空間割り付け (29ビットアドレスモード)	11-8
図11.4	SRAMインタフェースの基本タイミング	11-39
図11.5	32ビットデータ幅SRAM接続例	11-40
図11.6	16ビットデータ幅SRAM接続例	11-41
図11.7	8ビットデータ幅SRAM接続例	11-41
図11.8	SRAMインタフェースのウェイトタイミング (ソフトウェアウェイトのみ)	11-42
図11.9	SRAMインタフェースのウェイトタイミング (RDY信号によるウェイトステート挿入、RDY信号は同期入力)	11-43

図11.10	SRAMインタフェースのウェイトタイミング (リードストロブネゲートタイミングの設定) .....	11-44
図11.11	バーストROM基本アクセスタイミング .....	11-45
図11.12	バーストROMウェイトタイミング .....	11-46
図11.13	バーストROMウェイトタイミング .....	11-46
図11.14	ATA補完モードDMA転送時の $\overline{CE_{xx}}$ 信号とDACK信号の出力 .....	11-48
図11.15	PCMCIAインタフェース例 .....	11-51
図11.16	PCMCIAメモ리카ードインタフェース基本タイミング .....	11-52
図11.17	PCMCIAメモ리카ードインタフェースウェイトタイミング .....	11-53
図11.18	PCMCIA I/Oカードインタフェース基本タイミング .....	11-54
図11.19	PCMCIA I/Oカードインタフェースウェイトタイミング .....	11-55
図11.20	PCMCIA I/Oカードインタフェースダイナミックバスサイジングタイミング .....	11-56
図11.21	32ビットデータ幅MPXの接続例 .....	11-57
図11.22	MPXインタフェースタイミング1 (シングルリードサイクル、IW=0、外部ウェイトなし) .....	11-58
図11.23	MPXインタフェースタイミング2 (シングルリード、IW=0、外部ウェイト1挿入) .....	11-59
図11.24	MPXインタフェースタイミング3 (シングルライトサイクル、IW=0、外部ウェイトなし) .....	11-59
図11.25	MPXインタフェースタイミング4 (シングルライト、IW=1、外部ウェイト1挿入) .....	11-60
図11.26	MPXインタフェースタイミング5 (バーストリードサイクル、IW=0、外部ウェイトなし、転送データサイズ32バイト) .....	11-61
図11.27	MPXインタフェースタイミング6 (バーストリードサイクル、IW=0、外部ウェイト制御、転送データサイズ32バイト) .....	11-62
図11.28	MPXインタフェースタイミング7 (バーストライトサイクル、IW=0、外部ウェイトなし、転送データサイズ32バイト) .....	11-63
図11.29	MPXインタフェースタイミング8 (バーストライトサイクル、IW=1、外部ウェイト制御、転送データサイズ32バイト) .....	11-64
図11.30	32ビットデータ幅バイト制御SRAMの例 .....	11-65
図11.31	バイト制御SRAM基本リードサイクル (ウェイトなし) .....	11-66
図11.32	バイト制御SRAM基本リードサイクル (内部ウェイト1サイクル) .....	11-66
図11.33	バイト制御SRAM基本リードサイクル (内部1ウェイト+外部1ウェイト) .....	11-67
図11.34	アクセスサイクル間ウェイト .....	11-68
図11.35	アービトレーションシーケンス .....	11-70
図11.36	DMAC CHCR.LCKNビットによるバス開放抑止の例 .....	11-72
12.	DDR-SDRAM インタフェース (DDRIF)	
図12.1	DDRIFブロック図 .....	12-2
図12.2	本LSIの物理アドレス空間 .....	12-5
図12.3	DDR-SDRAMとDDRIFのデータアライメント .....	12-8
図12.4	SDMRのライト値とメモリ端子への出力信号の関係 .....	12-18
図12.5	DDRIF基本タイミング (1バーストリード：1バイト/2バイト/4バイト/8バイトオートプリチャージなし) .....	12-25
図12.6	DDRIF基本タイミング (1バーストライト：1バイト/2バイト/4バイト/8バイト オートプリチャージなし) .....	12-26
図12.7	DDRIF 基本タイミング (1バーストリード：1バイト/2バイト/4バイト/8バイトオートプリチャージあり) .....	12-27

図12.8	DDRIF基本タイミング (1バーストライト：1バイト/2バイト/4バイト/8バイト オートプリチャージあり)	12-28
図12.9	DDRIF基本タイミング (4バーストリード：32バイト オートプリチャージなし)	12-29
図12.10	DDRIF基本タイミング (4バーストライト：32バイト オートプリチャージなし)	12-30
図12.11	DDRIF基本タイミング (プリチャージオールバンク～バンクアクティブ)	12-31
図12.12	DDRIF基本タイミング (モードレジスタ設定)	12-32
図12.13	DDRIF基本タイミング (オートリフレッシュEnter/Exit～バンクアクティブ)	12-33
図12.14	DDRIF基本タイミング (セルフリフレッシュEnter/Exit～コマンド入力)	12-34
13. PCI コントローラ (PCIC)		
図13.1	PCICブロック図	13-3
図13.2	SuperHywayバスからPCIローカルバスへのメモリマップ	13-65
図13.3	SuperHywayバスからPCIローカルバスへのアクセス (PCIメモリ空間0の場合)	13-66
図13.4	SuperHywayバスからPCIローカルバスへのアクセス (PCIメモリ空間1の場合)	13-67
図13.5	SuperHywayバスからPCIローカルバスへのアクセス (PCIメモリ空間2の場合)	13-67
図13.6	SuperHywayバスからPCIローカルバスへのアクセス (PCI I/O空間)	13-68
図13.7	SuperHywayバスからPCIローカルバスへのエンディアン変換 (非スワップ：TBS=0)	13-69
図13.8	SuperHywayバスからPCIローカルバスへのエンディアン変換 (スワップ：TBS=1)	13-70
図13.9	PCIローカルバスからSuperHywayバスへのメモリマップ	13-71
図13.10	PCIローカルバスからSuperHywayバスへのアドレス変換	13-72
図13.11	PCIローカルバスからSuperHywayバスへのI/Oアクセス	13-73
図13.12	PCIローカルバスからSuperHywayバスへのエンディアン変換 (非スワップ：TBS=0)	13-75
図13.13	PCIローカルバスからSuperHywayバスへのエンディアン変換 (スワップ：TBS=1)	13-76
図13.14	PCIローカルバスからSuperHywayバスへのキャッシュフラッシュ/ページ実行フロー	13-77
図13.15	タイプ0コンフィグレーションのアドレス発生	13-78
図13.16	PCIバスパワーダウンステート遷移図	13-81
図13.17	ホスト時マスタライトサイクル (シングル)	13-83
図13.18	ホスト時マスタリードサイクル (シングル)	13-84
図13.19	ノーマル時マスタライトサイクル (バースト)	13-85
図13.20	ノーマル時マスタリードサイクル (バースト)	13-86
図13.21	ノーマル時ターゲットリードサイクル (シングル)	13-87
図13.22	ノーマル時ターゲットライトサイクル (シングル)	13-88
図13.23	ホスト時ターゲットメモリリードサイクル (バースト)	13-89
図13.24	ホスト時ターゲットメモリライトサイクル (バースト)	13-90
図13.25	ホスト時マスタライトサイクル (バースト、ステッピングあり)	13-91
図13.26	ホスト時ターゲットメモリリードサイクル (バースト、ステッピングあり)	13-91
14. ダイレクトメモリアクセスコントローラ (DMAC)		
図14.1	DMACブロック図	14-2
図14.2	ラウンドロビンモード (例：チャンネル0～5)	14-28
図14.3	ラウンドロビンモードでのチャンネル優先順位 (例：チャンネル0～5)	14-29
図14.4	デュアルアドレスモードのデータフロー	14-30
図14.5	デュアルモードのDMA転送タイミング例 (転送元：通常メモリ、転送先：通常メモリ)	14-31
図14.6	サイクルスチール通常モード1のDMA転送例 (DREQローレベル検出)	14-32
図14.7	サイクルスチール通常モード2のDMA転送例 (DREQローレベル検出)	14-32
図14.8	サイクルスチールインタミットモードのDMA転送例 (DREQローレベル検出)	14-33
図14.9	バーストモードでのDMA転送例 (DREQローレベル検出)	14-33
図14.10	複数チャンネルが動作する場合のバス状態	14-35

図14.11	DMA転送フローチャート	14-37
図14.12	リロード機能図	14-39
図14.13	サイクルスチールモード・エッジ検出時のDREQ入力検出タイミング例	14-40
図14.14	サイクルスチールモード・レベル検出時のDREQ入力検出タイミング例	14-40
図14.15	バーストモード・エッジ検出時のDREQ入力検出タイミング例	14-41
図14.16	バーストモード・レベル検出時のDREQ入力検出タイミング例	14-41
15. クロック発振器 (CPG)		
図15.1	CPGブロック図	15-2
図15.2	水晶発振器使用時の注意	15-8
図15.3	PLL、DLL発振回路使用時の注意	15-9
16. リセット、ウォッチドッグタイマ (WDT)		
図16.1	ブロック図	16-2
図16.2	WDTのカウントアップ動作	16-10
図16.3	電源投入時	16-12
図16.4	通常動作中のPRESET端子によるパワーオンリセット	16-13
図16.5	スリープ中のPRESET端子によるパワーオンリセット	16-13
図16.6	通常動作中のWDTオーバフローによるパワーオンリセット	16-14
図16.7	スリープ中のWDTオーバフローによるパワーオンリセット	16-14
図16.8	通常動作中のWDTオーバフローによるマニュアルリセット	16-15
図16.9	スリープ中のWDTオーバフローによるマニュアルリセット	16-16
17. 低消費電力モード		
図17.1	システム電源遮断・投入時のDDR-SDRAMインタフェース動作	17-7
図17.2	セルフリフレッシュ移行後、システム電源遮断シーケンス	17-9
図17.3	VDD電源 (1.25V) 遮断/投入シーケンス	17-10
図17.4	各モード間の状態遷移	17-11
図17.5	スリープ→割り込みのSTATUS出力	17-11
18. タイマユニット (TMU)		
図18.1	TMUのブロック図	18-2
図18.2	カウント動作設定手順例	18-11
図18.3	TCNTのオートリロード動作	18-12
図18.4	内部クロック動作時のカウントタイミング	18-12
図18.5	外部クロック動作時のカウントタイミング	18-13
図18.6	内蔵RTCの出力クロック動作時のカウントタイミング	18-13
図18.7	インプットキャプチャ機能使用時の動作タイミング	18-14
19. コンペアマッチタイマ (CMT)		
図19.1	CMTのブロック図	19-2
図19.2	エッジ検出	19-12
図19.3	タイマ32ビットモード：インプットキャプチャ (チャンネル0、1のみ)	19-12
図19.4	タイマ32ビットモードでのインプットキャプチャ動作タイミング	19-13
図19.5	出力端子アサート期間 (チャンネル0、1のみ)	19-14
図19.6	タイマ32ビットモード：アウトプットコンペア (チャンネル0、1のみ)	19-15
図19.7	タイマ32ビットモードでのアウトプットコンペア動作タイミング (アクティブ状態で1出力、CMTCHnSTで非アクティブにする場合)	19-15

図19.8	タイマ32ビットモードでの出力端子非アクティブ動作タイミング (アクティブ状態で1出力、CMTFRTで非アクティブにする場合)	19-15
図19.9	タイマ16ビットモード：インプットキャプチャ (チャンネル0、1のみ)	19-17
図19.10	タイマ16ビットモードでのインプットキャプチャ動作タイミング	19-17
図19.11	タイマ16ビットモード：アウトプットコンペア (CMT_CTR端子はチャンネル0、1のみ)	19-19
図19.12	タイマ16ビットモードでのアウトプットコンペア動作タイミング	19-19
図19.13	アップカウンタモード (チャンネル0、1のみ)	19-20
図19.14	アップカウンタモードでの動作タイミング	19-21
図19.15	アップダウンカウンタモード (チャンネル0のみ)	19-22
図19.16	アップダウンカウンタモードでのカウントダウン動作タイミング (チャンネル0の場合)	19-22
図19.17	ロータリーモードでのカウントアップ動作タイミング	19-23
図19.18	ロータリーモードでのカウントダウン動作タイミング	19-24
20. リアルタイムクロック (RTC)		
図20.1	RTCのブロック図	20-2
図20.2	時刻設定手順例	20-17
図20.3	時刻読み出し手順例	20-18
図20.4	アラーム機能の使用例	20-19
図20.5	水晶発振回路接続例	20-21
図20.6	3種類 (周期、桁上げ、アラーム) の割込み発生条件が重なった場合の 各種割り込み要求信号の発生タイミング	20-22
21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)		
図21.1	SCIFのブロック図	21-3
図21.2	SCIF0_RTS端子 (チャンネル0のみ)	21-4
図21.3	SCIF0_CTS端子 (チャンネル0のみ)	21-4
図21.4	SCIFn_SCK端子 (n=0、1)	21-5
図21.5	SCIFn_TXD端子 (n=0、1)	21-5
図21.6	SCIFn_RXD端子 (n=0、1)	21-6
図21.7	調歩同期式通信のデータフォーマット (8ビットデータ/パリティあり/2ストップビットの例)	21-29
図21.8	SCIFの初期化フローチャートの例	21-31
図21.9	シリアル送信のフローチャートの例	21-32
図21.10	送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	21-34
図21.11	モデムコントロール (SCIF0_CTS) 時の動作例 (チャンネル0のみ)	21-34
図21.12	シリアル受信のフローチャートの例 (1)	21-35
図21.12	シリアル受信のフローチャートの例 (2)	21-36
図21.13	SCIFの受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	21-38
図21.14	モデムコントロール (SCIF0_RTS) 時の動作例 (チャンネル0)	21-38
図21.15	クロック同期式通信のデータフォーマット	21-39
図21.16	SCIF初期化フローチャートの例	21-40
図21.17	シリアル送信のフローチャートの例	21-41
図21.18	SCIF送信時の動作例	21-42
図21.19	シリアル受信のフローチャートの例 (1)	21-43
図21.19	シリアル受信のフローチャートの例 (2)	21-44
図21.20	SCIFの受信時の動作例	21-45
図21.21	シリアル送受信のフローチャートの例	21-46
図21.22	受信データサンプリングタイミング	21-49

図21.23	DMACによる同期クロック転送例.....	21-50
22.	シリアル I/O FIFO 付き (SIOF)	
図22.1	SIOFのブロック図.....	22-2
図22.2	シリアルクロック供給.....	22-24
図22.3	シリアルデータ同期タイミング.....	22-25
図22.4	SIOF送受信タイミング.....	22-26
図22.5	送受信データビットアライメント.....	22-28
図22.6	制御データビットアライメント.....	22-29
図22.7	制御データインタフェース (スロット位置) .....	22-30
図22.8	制御データインタフェース (セカンダリFS) .....	22-31
図22.9	マスタモードの送信動作例.....	22-33
図22.10	マスタモードの受信動作例.....	22-34
図22.11	スレーブモードの送信動作例.....	22-35
図22.12	スレーブモードの受信動作例.....	22-36
図22.13	送受信タイミング (8ビットモノラル-1) .....	22-39
図22.14	送受信タイミング (8ビットモノラル-2) .....	22-39
図22.15	送受信タイミング (16ビットモノラル) .....	22-40
図22.16	送受信タイミング (16ビットステレオ-1) .....	22-40
図22.17	送受信タイミング (16ビットステレオ-2) .....	22-41
図22.18	送受信タイミング (16ビットステレオ-3) .....	22-41
図22.19	送受信タイミング (16ビットステレオ-4) .....	22-42
図22.20	送受信タイミング (16ビットステレオ) .....	22-42
23.	シリアルプロトコルインタフェース (HSPI)	
図23.1	HSPIのブロック図.....	23-2
図23.2	動作フローチャート.....	23-11
図23.3	FBS=0のときのタイミング.....	23-13
図23.4	FBS=1のときのタイミング.....	23-13
24.	マルチメディアカードインタフェース (MMCIF)	
図24.1	MMCIFのブロック図.....	24-2
図24.2	DRアクセスの例.....	24-30
図24.3	コマンドレスポンスを要さないコマンドシーケンスの例.....	24-33
図24.4	コマンドレスポンスを要さないコマンドの動作フローチャートの例.....	24-34
図24.5	データ転送を伴わないコマンドシーケンスの例 (データビジー状態なし) .....	24-35
図24.6	データ転送を伴わないコマンドシーケンスの例 (データビジー状態あり) .....	24-36
図24.7	データ転送を伴わないコマンドの動作フローチャート.....	24-37
図24.8	読み出しデータを伴うコマンドシーケンスの例 (ブロックサイズ $\leq$ FIFOサイズ) .....	24-39
図24.9	読み出しデータを伴うコマンドシーケンスの例 (ブロックサイズ $>$ FIFOサイズ) .....	24-40
図24.10	読み出しデータを伴うコマンドシーケンスの例 (マルチブロック転送) .....	24-41
図24.11	読み出しデータを伴うコマンドシーケンスの例 (ストリーム転送) .....	24-42
図24.12	読み出しデータを伴うコマンドの動作フローチャートの例 (シングルブロック転送) .....	24-43
図24.13	読み出しデータを伴うコマンドの動作フローチャートの例 (open-endedマルチブロック転送) (1) .....	24-44
図24.13	読み出しデータを伴うコマンドの動作フローチャートの例 (open-endedマルチブロック転送) (2) .....	24-45

図24.13	読み出しデータを伴うコマンドの動作フローチャートの例 (pre-definedマルチブロック転送) (3) .....	24-46
図24.13	読み出しデータを伴うコマンドの動作フローチャートの例 (pre-definedマルチブロック転送) (4) .....	24-47
図24.14	読み出しデータを伴うコマンドの動作フローチャートの例 (ストリーム転送) .....	24-48
図24.15	書き込みデータを伴うコマンドシーケンスの例 (ブロックサイズ $\leq$ FIFOサイズ) .....	24-50
図24.16	書き込みデータを伴うコマンドシーケンスの例 (ブロックサイズ $>$ FIFOサイズ) .....	24-51
図24.17	書き込みデータを伴うコマンドのコマンドシーケンスの例 (マルチブロック転送) .....	24-52
図24.18	書き込みデータを伴うコマンドシーケンスの例 (ストリーム転送) .....	24-53
図24.19	書き込みデータを伴うコマンドの動作フローチャート (シングルブロック転送) .....	24-54
図24.20	書き込みデータを伴うコマンドの動作フローチャートの例 (open-endedマルチブロック転送) (1) .....	24-55
図24.20	書き込みデータを伴うコマンドの動作フローチャートの例 (open-endedマルチブロック転送) (2) .....	24-56
図24.20	書き込みデータを伴うコマンドの動作フローチャートの例 (pre-definedマルチブロック転送) (3) .....	24-57
図24.20	書き込みデータを伴うコマンドの動作フローチャートの例 (pre-definedマルチブロック転送) (4) .....	24-58
図24.21	書き込みデータを伴うコマンドの動作フローチャートの例 (ストリーム転送) .....	24-59
図24.22	リードシーケンスフローの例 (シングルブロック転送) .....	24-62
図24.23	リードシーケンスフローの例 (open-endedマルチブロック転送) (1) .....	24-63
図24.23	リードシーケンスフローの例 (open-endedマルチブロック転送) (2) .....	24-64
図24.23	リードシーケンスフローの例 (pre-definedマルチブロック転送) (3) .....	24-65
図24.23	リードシーケンスフローの例 (pre-definedマルチブロック転送) (4) .....	24-66
図24.24	ストリームリード転送の動作フローの例 .....	24-67
図24.25	オートモードpre-definedマルチブロックリード転送の動作フローの例 (1) .....	24-68
図24.25	オートモードpre-definedマルチブロックリード転送の動作フローの例 (2) .....	24-69
図24.26	ライトシーケンスフローの例 (シングルブロック転送) (1) .....	24-71
図24.26	ライトシーケンスフローの例 (シングルブロック転送) (2) .....	24-72
図24.27	ライトシーケンスフローの例 (open-endedマルチブロック転送) (1) .....	24-73
図24.27	ライトシーケンスフローの例 (open-endedマルチブロック転送) (2) .....	24-74
図24.27	ライトシーケンスフローの例 (pre-definedマルチブロック転送) (3) .....	24-75
図24.27	ライトシーケンスフローの例 (pre-definedマルチブロック転送) (4) .....	24-76
図24.28	ストリームライト転送動作フローの例 .....	24-77
図24.29	オートモードpre-definedマルチブロックライト転送動作フローの例 (1) .....	24-78
図24.29	オートモードpre-definedマルチブロックライト転送動作フローの例 (2) .....	24-79
25. オーディオコーデックインタフェース (HAC)		
図25.1	ブロック図 .....	25-2
図25.2	AC97フレームのスロット構成 .....	25-17
図25.3	初期化シーケンス .....	25-20
図25.4	外部コーデックレジスタ書き込みフローチャート例 .....	25-21
図25.5	外部コーデックレジスタ読み出しフローチャート例 (1) .....	25-22
図25.6	外部コーデックレジスタ読み出しフローチャート例 (2) .....	25-23
図25.7	外部コーデックレジスタ読み出しフローチャート例 (3) .....	25-24
26. シリアルサウンドインタフェース (SSI)		
図26.1	SSIのブロック図 .....	26-2

図26.2	Philipsフォーマット（パディングなし） .....	26-15
図26.3	Philipsフォーマット（パディングあり） .....	26-15
図26.4	Sonyフォーマット（シリアルデータ、パディングビットの順に送受信） .....	26-16
図26.5	松下フォーマット（パディングビット、シリアルデータの順に送受信） .....	26-16
図26.6	マルチチャネルフォーマット（4チャネル、パディングなし） .....	26-18
図26.7	マルチチャネルフォーマット（6チャネル、Highパディング） .....	26-18
図26.8	マルチチャネルフォーマット（8チャネル、パディングビット、 シリアルデータの順に送受信、パディングあり） .....	26-19
図26.9	基本フォーマット例（送信モード、任意のシステム/データワード長） .....	26-19
図26.10	反転クロック .....	26-20
図26.11	反転ワード選択信号 .....	26-20
図26.12	反転パディング極性 .....	26-20
図26.13	パディングビット、シリアルデータの順に送受信、遅延あり .....	26-21
図26.14	パディングビット、シリアルデータの順に送受信、遅延なし .....	26-21
図26.15	シリアルデータ、パディングビットの順に送受信、遅延なし .....	26-21
図26.16	パラレルデータの右詰め、遅延あり .....	26-22
図26.17	ミュート有効 .....	26-22
図26.18	圧縮データフォーマット、スレーブトランスミッタ、バーストモード無効 .....	26-23
図26.19	圧縮データフォーマット、スレーブトランスミッタ、バーストモード有効 .....	26-23
図26.20	動作モード遷移図 .....	26-25
図26.21	DMAコントローラを使用した送信 .....	26-26
図26.22	割り込みデータフロー制御を使用した送信 .....	26-27
図26.23	DMAコントローラを使用した受信 .....	26-28
図26.24	割り込みデータフロー制御を使用した受信 .....	26-29
27. NANDフラッシュメモリコントローラ（FLCTL）		
図27.1	FLCTLのブロック図 .....	27-3
図27.2	NAND型フラッシュメモリの読み出し動作タイミング .....	27-20
図27.3	NAND型フラッシュメモリの書き込み動作タイミング .....	27-21
図27.4	NAND型フラッシュメモリのステータスリード動作タイミング .....	27-21
図27.5	DMA転送とセクタ（データ、管理コード）とメモリとDMA転送の関連模式図 .....	27-22
図27.6	セクタ番号とNAND型フラッシュメモリのアドレスの展開例 .....	27-23
図27.7	不良セクタがある場合のセクタアクセス例 .....	27-23
図27.8	NANDコマンドアクセス（Block Erase） .....	27-25
図27.9	NANDセクタアクセス（Flash Write）DMAC使用例 .....	27-26
図27.10	NANDコマンドアクセス（Flash Read） .....	27-27
28. 汎用入出力ポート（GPIO）		
図28.1	ポート書き込み動作タイミング .....	28-37
図28.2	ポート読み出し動作タイミング .....	28-38
29. ユーザブ레이크コントローラ（UBC）		
図29.1	UBCのブロック図 .....	29-2
図29.2	ユーザブ레이크デバッグサポート機能のフローチャート .....	29-24
30. ユーザデバッグインタフェース（H-UDI）		
図30.1	H-UDIのブロック図 .....	30-2
図30.2	バウンダリスキャンTAPコントローラからH-UDIへの切り替えシーケンス .....	30-5

図30.3 TAP制御状態遷移図.....	30-17
図30.4 H-UDIリセット.....	30-18

### 31. 電気的特性

図31.1 EXTALクロック入力タイミング.....	31-6
図31.2 CLKOUTクロック出力タイミング (1) .....	31-6
図31.3 CLKOUTクロック出力タイミング (2) .....	31-7
図31.4 パワーオン時発振安定時間.....	31-7
図31.5 MODE端子セットアップ/ホールドタイミング .....	31-7
図31.6 PLL同期安定時間.....	31-8
図31.7 制御信号タイミング .....	31-9
図31.8 SRAMバスサイクル 基本バスサイクル (ノーウェイト) .....	31-11
図31.9 SRAMバスサイクル 基本バスサイクル (ソフトウェアウェイトのみ) .....	31-12
図31.10 SRAMバスサイクル 基本バスサイクル (ソフトウェアウェイト+ $\overline{\text{RDY}}$ によるウェイト、 $\overline{\text{RDY}}$ は同期入力) .....	31-13
図31.11 SRAMバスサイクル 基本バスサイクル (ノーウェイト、アドレスセットアップ/ ホールド挿入なし、RDS=1、RDH=0、WTS=1、WTH=1) .....	31-14
図31.12 バーストROMバスサイクル (ノーウェイト) .....	31-15
図31.13 バーストROMバスサイクル (1番目のデータ：ソフトウェアウェイト + $\overline{\text{RDY}}$ によるウェイト2、3、4番目のデータ：ソフトウェアウェイトのみ) .....	31-16
図31.14 バーストROMバスサイクル (ノーウェイト、アドレスセットアップ/ホールド挿入無し、RDS=1、RDH=0) .....	31-17
図31.15 バーストROMバスサイクル (ソフトウェアウェイト+ $\overline{\text{RDY}}$ によるウェイト) .....	31-18
図31.16 PCMCIAメモリバスサイクル.....	31-19
図31.17 PCMCIA I/Oバスサイクル.....	31-20
図31.18 PCMCIA I/Oバスサイクル (TEDA/TEDB=1、TEHA/TEHB=1、IW/PCIW=1、 ダイナミックバスサイジング) .....	31-21
図31.19 MPX基本バスサイクル、リード.....	31-22
図31.20 MPX基本バスサイクル、ライト.....	31-23
図31.21 MPXバスサイクル、バーストリード.....	31-24
図31.22 MPXバスサイクル、バーストライト.....	31-25
図31.23 バイト制御SRAMバスサイクル.....	31-26
図31.24 バイト制御SRAMバスサイクル 基本リードサイクル (ノーウェイト、アドレスセットアップ/ホールド時間挿入無し、RDS=1、RDH=0) .....	31-27
図31.25 DDRIF MCLK出力タイミング.....	31-28
図31.26 DDR-SDRAMのリードタイミング (2バーストリード) .....	31-29
図31.27 DDR-SDRAM書き込みタイミング (2バーストライト) .....	31-30
図31.28 NMI入力タイミング.....	31-31
図31.29 $\overline{\text{IRQ}}/\overline{\text{IRL}}$ 、GPIO割り込み入力、 $\overline{\text{IRQOUT}}$ 出力タイミング.....	31-32
図31.30 PCIクロック入力タイミング .....	31-34
図31.31 出力信号タイミング .....	31-34
図31.32 入力信号タイミング .....	31-34
図31.33 $\overline{\text{DREQ}}$ 、 $\overline{\text{DRAK}}$ タイミング .....	31-35
図31.34 TCLK入力タイミング .....	31-35
図31.35 CMTタイミング (1) .....	31-36
図31.36 CMTタイミング (2) .....	31-36
図31.37 SCIFn_SCK入力クロックタイミング (n=0、1) .....	31-37

図31.38	SCIFn I/O同期モードクロックタイミング (n=0、1)	31-37
図31.39	SIOF_MCLK入力タイミング	31-38
図31.40	SIOF送受信タイミング (マスタモード1、立ち下がりサンプリング)	31-39
図31.41	SIOF送受信タイミング (マスタモード1、立ち上がりサンプリング)	31-39
図31.42	SIOF送受信タイミング (マスタモード2、立ち下がりサンプリング)	31-40
図31.43	SIOF送受信タイミング (マスタモード2、立ち上がりサンプリング)	31-40
図31.44	SIOF送受信タイミング (スレーブモード1、スレーブモード2)	31-41
図31.45	HSPIデータ出力/入力タイミング	31-42
図31.46	MMCIF送信タイミング	31-43
図31.47	MMCIF受信タイミング	31-43
図31.48	HACコールドリセットタイミング	31-44
図31.49	HACSYNC出力タイミング	31-44
図31.50	HACクロック入力タイミング	31-44
図31.51	HACインタフェースモジュール信号タイミング	31-45
図31.52	SSIクロック入力/出力タイミング	31-46
図31.53	SSI送信タイミング (1)	31-46
図31.54	SSI送信タイミング (2)	31-46
図31.55	SSI受信タイミング (1)	31-47
図31.56	SSI受信タイミング (2)	31-47
図31.57	NAND型フラッシュメモリのコマンド発行タイミング	31-49
図31.58	NAND型フラッシュメモリのアドレス発行タイミング	31-49
図31.59	NAND型フラッシュメモリのデータリードタイミング	31-50
図31.60	NAND型フラッシュメモリのデータライトタイミング	31-50
図31.61	NAND型フラッシュメモリのステータスリードタイミング	31-51
図31.62	GPIOタイミング	31-51
図31.63	TCK入力タイミング	31-52
図31.64	PRESETホールドタイミング	31-52
図31.65	H-UDIデータ転送タイミング	31-53
図31.66	ASEBRK端子ブレークタイミング	31-53
図31.67	出力付加回路	31-54
図31.68	負荷容量-遅延時間	31-55

## 付録

図B.1	命令のプリフェッチ例	付録-2
図E.1	外形寸法図 (449ピンBGA)	付録-35
図H.1	電源投入遮断手順	付録-52



---

# 表目次

---

1. 概要	
表1.1 本LSIの特長.....	1-1
表1.2 端子配置表.....	1-9
2. プログラミングモデル	
表2.1 レジスタの初期値.....	2-3
表2.2 FPU例外処理に関連するビットの割り付け.....	2-13
3. 命令セット	
表3.1 遅延分岐命令の実行順序.....	3-1
表3.2 アドレッシングモードと実効アドレス.....	3-3
表3.3 命令リストの表記.....	3-6
表3.4 固定小数点転送命令.....	3-8
表3.5 算術演算命令.....	3-9
表3.6 論理演算命令.....	3-11
表3.7 シフト命令.....	3-12
表3.8 分岐命令.....	3-13
表3.9 システム制御命令.....	3-14
表3.10 浮動小数点単精度命令.....	3-16
表3.11 浮動小数点倍精度命令.....	3-17
表3.12 浮動小数点制御命令.....	3-17
表3.13 浮動小数点グラフィック強化命令.....	3-18
4. パイプライン動作	
表4.1 命令実行パターン表記説明.....	4-2
表4.2 命令グループ.....	4-12
表4.3 先行・後行掛け合わせ表.....	4-14
表4.4 発行レートと実行ステート.....	4-16
5. 例外処理	
表5.1 レジスタ構成.....	5-1
表5.2 各処理モードにおけるレジスタの状態.....	5-1
表5.3 例外一覧.....	5-5
6. 浮動小数点ユニット (FPU)	
表6.1 浮動小数点のフォーマットとパラメータ.....	6-3
表6.2 浮動小数点の範囲.....	6-3
表6.3 FPU例外処理に関連するビットの割り付け.....	6-10
7. メモリマネジメントユニット (MMU)	
表7.1 レジスタ構成.....	7-8
表7.2 各処理状態におけるレジスタの状態.....	7-8

8. キャッシュ	
表8.1 キャッシュの特長	8-1
表8.2 ストアキューの特長	8-1
表8.3 レジスタ構成	8-4
表8.4 各処理モードにおけるレジスタの状態	8-4
9. Lメモリ	
表9.1 Lメモリアドレス	9-1
表9.2 レジスタ構成	9-2
表9.3 各処理状態におけるレジスタの状態	9-2
表9.4 Lメモリへのアクセスに対する保護機能による例外	9-10
10. 割り込みコントローラ (INTC)	
表10.1 想定する割り込み	10-4
表10.2 INTCの端子構成	10-7
表10.3 INTCのレジスタ構成	10-8
表10.4 各処理モードにおけるレジスタの状態	10-9
表10.5 割り込み要求元とINT2PRI0～INT2PRI7レジスタ	10-26
表10.6 各ビットとINT2A0レジスタの対応表	10-27
表10.7 各ビットとINT2A1レジスタの対応表	10-28
表10.8 各ビットとINT2MSKRレジスタの対応表	10-29
表10.9 各ビットとINT2MSKCRレジスタの対応表	10-31
表10.10 各ビットとINT2GPICレジスタの対応表	10-37
表10.11 IRL割り込み端子 ( $\overline{IRL3}$ ～ $\overline{IRL0}$ または $\overline{IRL7}$ ～ $\overline{IRL4}$ ) と割り込みレベル	10-41
表10.12 割り込み例外処理要因と優先順位	10-44
表10.13 割り込み応答時間	10-52
表10.14 $IRQ/\overline{IRL}[7:0]$ 端子機能切り替え手順	10-54
11. ローカルバスステートコントローラ (LBSC)	
表11.1 端子構成	11-3
表11.2 LBSC外部メモリ空間マップ	11-7
表11.3 エリア0メモリバス幅の設定	11-8
表11.4 外部端子 (MODE5) とエンディアンへの対応	11-9
表11.5 PCMCIAインタフェースの特長	11-9
表11.6 PCMCIAサポートインタフェース	11-10
表11.7 レジスタ構成	11-12
表11.8 各処理モードにおけるレジスタの状態	11-13
表11.9 32ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント	11-32
表11.10 16ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント	11-32
表11.11 8ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント	11-33
表11.12 32ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント	11-33
表11.13 16ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント	11-34
表11.14 8ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント	11-34
表11.15 PCMCIAインタフェース使用時のアドレスとCEの関係	11-49
表11.16 アドレスフェーズにおけるD31～D29端子とアクセスサイズの関係	11-57
12. DDR-SDRAM インタフェース (DDRIF)	
表12.1 DDRIF端子構成	12-3

表12.2	リトルエンディアンへのアクセスとデータアライメント	12-6
表12.3	ビッグエンディアンへのアクセスとデータアライメント	12-7
表12.4	レジスタ構成	12-9
表12.5	各処理モードにおけるレジスタの状態	12-9
表12.6	DDRIFが発行するSDRAMコマンド	12-21
表12.7	DDR-SDRAMアドレスマルチプレクスとの関係 (データバス幅: 32ビット)	12-24
13. PCIコントローラ (PCIC)		
表13.1	端子構成	13-4
表13.2	レジスタ構成	13-6
表13.3	各処理モードにおけるレジスタの状態	13-8
表13.4	サポートされるPCIバスコマンド	13-62
表13.5	PCICのアドレス空間	13-64
表13.6	割り込み優先順位	13-80
14. ダイレクトメモリアクセスコントローラ (DMAC)		
表14.1	外部バスに対する端子構成	14-3
表14.2	レジスタ構成	14-5
表14.3	各処理モードにおけるレジスタの状態	14-7
表14.4	転送要求元一覧	14-23
表14.5	DL、DSビットによる外部リクエスト検出の選択	14-25
表14.6	DOビットによる外部リクエスト検出の選択	14-25
表14.7	周辺モジュールリクエストモード一覧 (DMAチャンネル0~5のみ)	14-26
表14.8	オートリクエストでのDMA転送区間	14-34
表14.9	外部リクエストでのDMA転送区間 (チャンネル0~3のみ)	14-34
表14.10	周辺リクエストでのDMA転送区間	14-35
表14.11	SRAM、バーストROM、バイト制御SRAMインタフェース使用時	14-44
表14.12	PCMCIAインタフェース使用時	14-44
表14.13	MPXインタフェース使用時 (リードアクセス時)	14-45
表14.14	MPXインタフェース使用時 (ライトアクセス時)	14-45
15. クロック発振器 (CPG)		
表15.1	CPGの端子構成と機能	15-3
表15.2	クロック動作モード	15-4
表15.3	レジスタ構成	15-4
表15.4	各処理モードにおけるレジスタの状態	15-4
16. リセット、ウォッチドッグタイマ (WDT)		
表16.1	リセット、WDTの端子構成と機能	16-2
表16.2	レジスタ構成	16-3
表16.3	各処理モードにおけるレジスタの状態	16-3
17. 低消費電力モード		
表17.1	低消費電力モードの状態	17-2
表17.2	端子構成	17-3
表17.3	レジスタ構成	17-3
表17.4	各処理モードにおけるレジスタの状態	17-3
表17.5	端子構成	17-10

18. タイマユニット (TMU)	
表18.1 端子構成	18-3
表18.2 レジスタ構成	18-4
表18.3 各処理モードにおけるレジスタの構成	18-5
表18.4 TMUの割り込み要因	18-15
19. コンペアマッチタイマ (CMT)	
表19.1 端子構成	19-2
表19.2 レジスタ構成	19-3
表19.3 各処理モードにおけるレジスタの状態	19-3
表19.4 タイマ32ビットモードでのインプットキャプチャ設定例	19-13
表19.5 タイマ32ビットモードでのアウトプットコンペア設定例	19-16
表19.6 タイマ16ビットモードでのインプットキャプチャ設定例	19-18
表19.7 タイマ16ビットモードでのアウトプットコンペア設定例	19-20
表19.8 アップカウンタモードの設定例	19-21
表19.9 アップダウンカウンタモードの設定例	19-23
表19.10 ロータリーモードの設定例	19-24
表19.11 CMTの割り込み設定	19-25
20. リアルタイムクロック (RTC)	
表20.1 端子構成	20-3
表20.2 レジスタ構成	20-3
表20.3 各処理モードにおけるレジスタの状態	20-4
表20.4 水晶発振回路の定数 (推奨値)	20-20
21. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)	
表21.1 SCIFの端子構成	21-6
表21.2 レジスタ構成	21-7
表21.3 各処理モードにおけるレジスタの状態	21-8
表21.4 SCSMRの設定値	21-19
表21.5 SCSMRの設定値とシリアル送信/受信フォーマット	21-28
表21.6 SCSMR、SCSCRの設定とSCIFのクロックソースの選択	21-28
表21.7 シリアル送信/受信フォーマット (調歩同期式モード)	21-30
表21.8 SCIF割り込み要因	21-47
22. シリアル I/O FIFO 付き (SIOF)	
表22.1 端子構成	22-2
表22.2 レジスタ構成	22-3
表22.3 各処理モードにおけるレジスタの状態	22-3
表22.4 転送モードごとの動作	22-5
表22.5 SIOFシリアルクロック周波数例	22-25
表22.6 シリアル転送モード	22-26
表22.7 フレーム長	22-27
表22.8 送信データ音声モード	22-29
表22.9 受信データ音声モード	22-29
表22.10 制御データのチャンネル数設定	22-30
表22.11 送信要求発行条件	22-32
表22.12 受信要求発行条件	22-32

表22.13	送受信リセット .....	22-37
表22.14	SIOF割り込み要因.....	22-37
23.	シリアルプロトコルインタフェース (HSPI)	
表23.1	端子構成 .....	23-3
表23.2	レジスタ構成 .....	23-3
表23.3	各処理モードにおけるレジスタの状態.....	23-3
24.	マルチメディアカードインタフェース (MMCIF)	
表24.1	端子構成 .....	24-3
表24.2	レジスタ構成 .....	24-3
表24.3	各処理モードにおけるレジスタの状態.....	24-4
表24.4	CMDRの構成 .....	24-6
表24.5	コマンドとCMDTYR、RSPTYRの設定.....	24-24
表24.6	コマンドレスポンスバイト数とRSPRレジスタの対応.....	24-26
表24.7	MMCIF割り込み要因.....	24-60
25.	オーディオコーデックインタフェース (HAC)	
表25.1	HACの端子構成.....	25-2
表25.2	レジスタ構成 .....	25-3
表25.3	各処理モードにおけるレジスタの状態.....	25-3
表25.4	AC97送信フレームの説明 .....	25-17
表25.5	AC97受信フレームの説明 .....	25-18
26.	シリアルサウンドインタフェース (SSI)	
表26.1	端子構成 .....	26-2
表26.2	レジスタ構成 .....	26-3
表26.3	各処理モードにおけるレジスタの状態.....	26-3
表26.4	SSIモジュールのバスフォーマット .....	26-14
表26.5	有効な設定とパディングビット数.....	26-17
27.	NANDフラッシュメモリコントローラ (FLCTL)	
表27.1	端子構成 .....	27-4
表27.2	レジスタ構成 .....	27-5
表27.3	各処理モードにおけるレジスタの状態.....	27-5
表27.4	NAND型フラッシュメモリのステータスリード.....	27-24
表27.5	FLCTLの割り込み要求 .....	27-28
表27.6	DMA転送の設定 .....	27-28
28.	汎用入出力ポート (GPIO)	
表28.1	ポートコントロールレジスタで制御されるマルチプレクス一覧表.....	28-2
表28.2	レジスタ構成 .....	28-5
表28.3	各処理モードにおけるレジスタの状態.....	28-7
29.	ユーザブ레이크コントローラ (UBC)	
表29.1	レジスタ構成 .....	29-3
表29.2	各処理状態におけるレジスタの状態.....	29-3
表29.3	マッチデータ設定レジスタの指定.....	29-14
表29.4	オペランドサイズ指定と比較対象アドレス .....	29-21

30. ユーザデバッグインタフェース (H-UDI)	
表30.1 H-UDIの端子構成	30-3
表30.2 バウンダリスキャンTAPコントローラのサポートコマンド	30-4
表30.3 レジスタ構成 (1)	30-6
表30.4 レジスタ構成 (2)	30-6
表30.5 各処理状態におけるレジスタの状態	30-6
表30.6 バウンダリスキャンレジスタの構成	30-9
31. 電気的特性	
表31.1 絶対最大定格	31-1
表31.2 DC特性	31-2
表31.3 出力許容電流値	31-4
表31.4 クロックタイミング	31-5
表31.5 クロック・制御信号タイミング	31-5
表31.6 制御信号タイミング	31-9
表31.7 バスタイミング	31-10
表31.8 DDRIF信号タイミング	31-28
表31.9 INTCモジュール信号タイミング	31-31
表31.10 PCIC信号タイミング	31-33
表31.11 DMACモジュール信号タイミング	31-35
表31.12 TMUモジュール信号タイミング	31-35
表31.13 CMTモジュール信号タイミング	31-36
表31.14 SCIFモジュール信号タイミング	31-37
表31.15 SIOFモジュール信号タイミング	31-38
表31.16 HSPIモジュール信号タイミング	31-42
表31.17 MMCIFモジュール信号タイミング	31-43
表31.18 HACインタフェースモジュール信号タイミング	31-44
表31.19 SSIインタフェースモジュール信号タイミング	31-46
表31.20 FLCTLモジュール信号タイミング	31-48
表31.21 GPIO信号タイミング	31-51
表31.22 H-UDIモジュール信号タイミング	31-52
付録	
表F.1 SH7780のクロック動作モード	付録-36
表F.2 エリア0のメモリアイプ・バス幅	付録-36
表F.3 エンディアン	付録-36
表F.4 PCIモード	付録-37
表F.5 クロック入力	付録-37
表F.6 モード制御	付録-37
表G.1 リセット、低消費電力状態、バス解放状態での端子状態	付録-38
表G.2 未使用端子の処理	付録-46
表I.1 バージョンレジスタの構成	付録-53
表J.1 SH7780 (R8A77800A) 品名一覧	付録-54

---

# 1. 概要

---

## 1.1 本 LSI の特長

本 LSI は、マルチメディア、インフォテインメントおよびネットワーク端末向けのホストプロセッサとして開発されたシステム LSI です。DDR-320\*/266 SDRAM インタフェース、PCI コントローラ、DMA コントローラ、タイマ、シリアル、オーディオインタフェース等マルチメディア、ネットワーク、OA アプリケーションに必要な機能を内蔵しています。

本 LSI は、その CPU コアとして新開発の 400MHz (720 MIPS、2.8GFLOPS) 動作可能な 32 ビット RISC (縮小命令セットコンピュータ) マイクロプロセッサコア SH-4A を内蔵しています。SH-4A は、SH-1、SH-2、SH-3 および SH-4 マイクロコンピュータと命令セットレベルでの上位互換性を特長とする 32 ビット RISC マイコンです。SH-4A は、FPU (浮動小数点ユニット)、キャッシュメモリ、MMU (メモリマネジメントユニット) を内蔵しています。

【注】 「DDR320」とは、本マニュアルでは 160MHz で動作する DDR-SDRAM バスインタフェースのことを示します。

本 LSI の特長を表 1.1 に示します。

表 1.1 本 LSI の特長

項目	特長
LSI	<ul style="list-style-type: none"><li>• CPU 動作周波数：400MHz (720MIPS、2.8GFLOPS)</li><li>• 電圧：1.25V (内部)、2.5V (DDR-SDRAM インタフェース)、3.3V (I/O)</li><li>• パッケージ：449 ピン BGA (大きさ：21×21mm、ピンピッチ：0.8mm)</li><li>• ローカルバス (外部バス) 独立した 26 ビットアドレスと 32 ビットデータバス 外部バス周波数：最大 100MHz</li><li>• DDR-SDRAM バス (外部バス) 独立した 14 ビットアドレスと 32 ビットデータバス 外部バス周波数：160M/133MHz (DDR320/266)</li><li>• PCI バス (外部バス) 32 ビットアドレス/データマルチプレクスバス 外部バス周波数：33MHz または 66MHz</li></ul>

## 1. 概要

項 目	特 長
CPU	<ul style="list-style-type: none"> <li>• ルネサステクノロジオリジナルアーキテクチャ</li> <li>• 32 ビット内部データバス</li> <li>• 汎用レジスタファイル： <ul style="list-style-type: none"> <li>16本の32ビット汎用レジスタ（および8本の32ビットシャドウレジスタ）</li> <li>7本の32ビット制御レジスタ</li> <li>4本の32ビットシステムレジスタ</li> </ul> </li> <li>• RISCタイプ命令セット（SH-1、SH-2、SH-3、SH-4と上位互換性あり）： <ul style="list-style-type: none"> <li>命令長：コードの効率改善のための16ビット固定長</li> <li>ロードストアアーキテクチャ</li> <li>遅延分岐命令</li> <li>条件付き実行</li> <li>C言語に基づく命令セット</li> </ul> </li> <li>• FPUを含む2命令同時実行型スーパースカラ</li> <li>• 命令実行時間：最大2命令／サイクル</li> <li>• 仮想アドレス空間：4Gバイト</li> <li>• 空間識別子 ASID：8ビット、256仮想アドレス空間</li> <li>• 乗算器内蔵</li> <li>• 7段パイプライン</li> </ul>
FPU	<ul style="list-style-type: none"> <li>• 浮動小数点コプロセッサ内蔵</li> <li>• 単精度（32ビット）および倍精度（64ビット）をサポート</li> <li>• IEEE754に準拠したデータタイプおよび例外をサポート</li> <li>• 丸めモード：近傍および0方向への丸め</li> <li>• 非正規化数の扱い：0への切り捨て、またはIEEE754に準拠のための割り込み発生</li> <li>• 浮動小数点レジスタ：32ビット×16ワード×2バンク （単精度×16ワードまたは倍精度×8ワード）×2バンク</li> <li>• 32ビットCPU-FPU浮動小数点通信レジスタ（FPUL）</li> <li>• FMAC（乗算およびアキュムレート）命令をサポート</li> <li>• FDIV（除算）／FSQRT（平方根）命令をサポート</li> <li>• FLDI0/FLDI1（ロード定数0/1）命令をサポート</li> <li>• 命令実行時間 <ul style="list-style-type: none"> <li>レイテンシ（FADD/FSUB）：3サイクル（単精度）、5サイクル（倍精度）</li> <li>レイテンシ（FMAC/FMUL）：5サイクル（単精度）、7サイクル（倍精度）</li> <li>ピッチ（FADD/FSUB）：1サイクル（単精度／倍精度）</li> <li>ピッチ（FMAC/FMUL）：1サイクル（単精度）、3サイクル（倍精度）</li> </ul> </li> <li>【注】FMACは単精度に対してのみサポートしています</li> <li>• 3Dグラフィック命令（単精度のみ） <ul style="list-style-type: none"> <li>4次元ベクトル変換および行列演算（FTRV）：4サイクル（ピッチ）、8サイクル（レイテンシ）</li> <li>4次元ベクトル（FIPR）の内積：1サイクル（ピッチ）、5サイクル（レイテンシ）</li> </ul> </li> <li>• 10段パイプライン</li> </ul>

項 目	特 長
メモリマネジメント ユニット (MMU)	<ul style="list-style-type: none"> <li>• 4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID 8 ビット)</li> <li>• 単一仮想記憶モードと多重仮想記憶モード</li> <li>• 複数のページサイズをサポート : 1K、4K、64K、1M バイト</li> <li>• 命令に対する 4 エントリのフルアソシアティブ TLB</li> <li>• 命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB</li> <li>• ソフトウェアによる入れ換え方法およびランダムカウンタ方式入れ換えアルゴリズムをサポート</li> <li>• TLB の内容はアドレスマッピングにより直接アクセス可能</li> </ul>
キャッシュメモリ	<ul style="list-style-type: none"> <li>• 命令キャッシュ (IC) 32K バイト、4 ウェイセットアソシエイティブ 32 バイトブロック長</li> <li>• オペランドキャッシュ (OC) 32K バイト、4 ウェイセットアソシエイティブ 32 バイトブロック長</li> <li>• 選択可能な書き込み方式 (コピーバック/ライトスルー)</li> <li>• ストアキュー (32 バイト×2 エントリ)</li> </ul>
L メモリ	<ul style="list-style-type: none"> <li>• 3 本の独立した読み出し/書き込みポート CPU からの命令フェッチアクセス CPU からの 8/16/32/64 ビットオペランドアクセス SuperHyway バスマスタからの 8/16/32/64 ビットおよび 16/32 バイトアクセス</li> <li>• 容量 16K バイト</li> <li>• CPU および FPU アクセスでのメモリ保護機能</li> </ul>
SuperHyway メモリ (SuperHyway RAM)	<ul style="list-style-type: none"> <li>• SuperHyway バスマスタからの 8/16/32/64 ビット、16/32 バイトアクセス</li> <li>• 容量 32K バイト</li> </ul>
割り込み コントローラ (INTC)	<ul style="list-style-type: none"> <li>• 9 本の独立した外部割り込み : NMI、IRQ7~IRQ0 NMI : 立ち下がり/立ち上がり選択可能 IRQ : 立ち下がり/立ち上がり/ハイレベル/ローレベル選択可能</li> <li>• 15 レベルの符号化した外部割り込み : IRL3~IRL0 または IRL7~IRL4</li> <li>• 内蔵モジュール割り込み : モジュールごとに優先レベルを設定 内蔵モジュール割り込みを発行できるモジュールは以下のモジュールです。 TMU、RTC、SCIF、WDT、H-UDI、DMAC、CMT、HAC、PCIC、SIOF、HSPI、MMCIF、SSI、 FLCTL、GPIO</li> </ul>
ローカル バスステート コントローラ (LBSC)	<ul style="list-style-type: none"> <li>• 外部メモリアccessをサポート</li> <li>• それぞれ最大 64M バイトの 7 つのエリアに分割した外部メモリ空間、各エリアには次の機能を設定可能 : バスサイズ (8、16、32 ビット) ウェイトサイクル数 (ハードウェアウェイト機能もサポート) SRAM、バースト ROM 接続可能</li> <li>• PCMCIA インタフェースサポート (リトルエンディアンモード時のみ)</li> <li>• ビッグエンディアンまたはリトルエンディアンを設定可能</li> </ul>

## 1. 概要

項目	特長
DDR-SDRAM インタフェース (DDRIF)	<ul style="list-style-type: none"> <li>データバス幅：32 ビット</li> <li>セルフリフレッシュ機能サポート</li> <li>DDR320 または DDR266 SDRAM サポート</li> <li>4 バンク DDR-SDRAM メモリに対応</li> <li>バースト長：2</li> <li>接続可能なメモリ容量： 256M ビット、512M ビット、1G ビット、2G ビット</li> </ul>
PCI コントローラ (PCIC)	<ul style="list-style-type: none"> <li>PCI 規格のレビジョン 2.2 のサブセット</li> <li>32 ビットバス、33/66MHz</li> <li>PCI マスタ/ターゲット機能サポート</li> <li>PCI ホスト機能サポート</li> <li>バスアービタ内蔵</li> <li>PCI メモリ空間：最大 512M バイト</li> </ul>
ダイレクト メモリアクセス コントローラ (DMAC)	<ul style="list-style-type: none"> <li>12 チャンネル物理アドレス DMA コントローラ</li> <li>4 チャンネル外部リクエスト受け付け可能 (チャンネル 0~3)</li> <li>アドレス空間：4G バイト</li> <li>転送データサイズ：8、16、32 ビットまたは 16、32 バイト</li> <li>アドレスモード： 2 バスサイクルデュアルアドレスモード</li> <li>転送要求：外部リクエスト (チャンネル 0~3)、周辺モジュールリクエスト (チャンネル 0~5)、 またはオートリクエスト</li> <li>DACK/DRAK 選択可能 (4 つの外部端子)</li> <li>バスモード：サイクルスチールモードとバーストモード選択可能</li> </ul>
クロック発振器 (CPG)	<ul style="list-style-type: none"> <li>メインクロック：XTAL クロック×12</li> <li>クロックモード： CPU 動作周波数：(メインクロックに対して) 1 ローカルバス周波数：(メインクロックに対して) 1/4、1/6、1/8、1/12 DDR-SDRAM インタフェース周波数：(メインクロックに対して) 2/5、1/3 (DDR320 または DDR266 SDRAM をサポート) 周辺クロック周波数：(メインクロックに対して) 1/2、1/3、1/4、1/6、1/8</li> <li>低消費電力モード： スリープモード モジュールスタンバイモード</li> </ul>
ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> <li>1 チャンネルのウォッチドッグタイマ (ウォッチドッグタイマモードまたはインターバルタイマモード選択可能)</li> <li>リセット機能選択可能：パワーオンリセットまたはマニュアルリセット</li> </ul>
タイマ (TMU)	<ul style="list-style-type: none"> <li>6 チャンネルのオートリロード 32 ビットタイマ</li> <li>インプットキャプチャ機能 (チャンネル 2 のみ)</li> <li>最大 7 種類 (外部クロックおよび周辺クロック) のカウンタ入力クロック選択可能</li> </ul>

項目	特長
コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> <li>• 4チャンネルのオートリロード 32ビットタイマ</li> <li>• 16または32ビットを選択可能</li> <li>• ワンショット動作またはフリーランニング動作を選択可能</li> <li>• 割り込み要因や DMA 転送要求にコンペアマッチまたはオーバフローを選択可能</li> </ul>
リアルタイムクロック (RTC)	<ul style="list-style-type: none"> <li>• 内蔵クロック、カレンダー機能</li> <li>• 最大 1/256 秒の分解能 (サイクル割り込み) を持つ内蔵 32.768kHz 水晶発振回路</li> <li>• RTC 電源バックアップ機能</li> </ul>
シリアルコミュニケーションインタフェース (SCIF)	<ul style="list-style-type: none"> <li>• 2本の全二重通信チャンネル</li> <li>• 全チャンネルに 64 バイト FIFO 内蔵</li> <li>• 調歩同期式モードおよびクロック同期式モードをサポート</li> <li>• 内蔵ポーレートジェネレータにより、任意のビットレートを選択可能</li> <li>• モデムコントロール機能 (RTS、CTS) 内蔵 (チャンネル 0 のみ)</li> </ul>
シリアル I/O FIFO 付 (SIOF)	<ul style="list-style-type: none"> <li>• 送受信 FIFO おおの 64 バイト内蔵</li> <li>• 8ビット/16ビット/16ビットステレオ音声入出力対応</li> <li>• Pck および外部端子からのサンプリングレートクロックを入力選択可</li> <li>• 最大サンプリングレート: 48kHz</li> <li>• Pck でのプリスケアラ内蔵</li> </ul>
シリアルプロトコルインタフェース (HSPI)	<ul style="list-style-type: none"> <li>• 1チャンネル</li> <li>• マスタ/スレーブモード</li> <li>• 内蔵ポーレートジェネレータにより、任意のビットレートを選択可能</li> </ul>
マルチメディアカードインタフェース (MMCIF)	<ul style="list-style-type: none"> <li>• マルチメディアカードシステム仕様バージョン 3.1 に対応したインタフェース</li> <li>• MMC モードをサポート</li> <li>• MCLK 出力 (転送クロック出力) 端子、MCCMD 入出力 (コマンド出力/レスポンス入力) 端子、MCDAT 入出力 (データ入出力) 端子によるインタフェース</li> </ul>
オーディオコーデックインタフェース (HAC)	<ul style="list-style-type: none"> <li>• オーディオコーデック用デジタルインタフェース</li> <li>• スロット 1~4 の送受信に対応</li> <li>• 送受信 DMA 転送は 16 または 20 ビットを選択可能</li> <li>• スロットデータの調整により各種サンプリングレートをサポート</li> </ul>
シリアルサウンドインタフェース (SSI)	<ul style="list-style-type: none"> <li>• 1チャンネルの双方向シリアル転送</li> <li>• 圧縮データ転送および非圧縮データ転送をサポート</li> <li>• フレームサイズを設定可能</li> </ul>
NANDフラッシュメモリコントローラ (FLCTL)	<ul style="list-style-type: none"> <li>• NAND 型フラッシュメモリとのメモリインタフェース</li> <li>• セクタ単位 (512+16 バイト) の読み出し/書き込み</li> <li>• コマンドアクセスモードとセクタアクセスモード (512 バイトデータ+16 バイト管理コード) の 2種類の転送モード</li> <li>• 最大 512M ビットの NAND フラッシュメモリをサポート</li> </ul>
汎用 I/O (GPIO)	<ul style="list-style-type: none"> <li>• 汎用 I/O ポート: 83 本 (入出力: 75 本、出力: 8 本)</li> <li>• GPIO 割り込みサポート</li> </ul>

## 1. 概要

---

項 目	特 長
ユーザブレイク コントローラ (UBC)	<ul style="list-style-type: none"><li>• ユーザブレイク割り込みによるデバッグをサポート</li><li>• 2本のブレイクチャンネル</li><li>• アドレス、データ値、アクセスのタイプ、データサイズはすべてブレイク条件として設定可能</li><li>• シーケンシャルブレイク機能をサポート</li></ul>
ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"><li>• エミュレータサポート</li><li>• リアルタイム分岐トレース</li></ul>

## 1.2 ブロック図

本 LSI のブロック図を図 1.1 に示します。

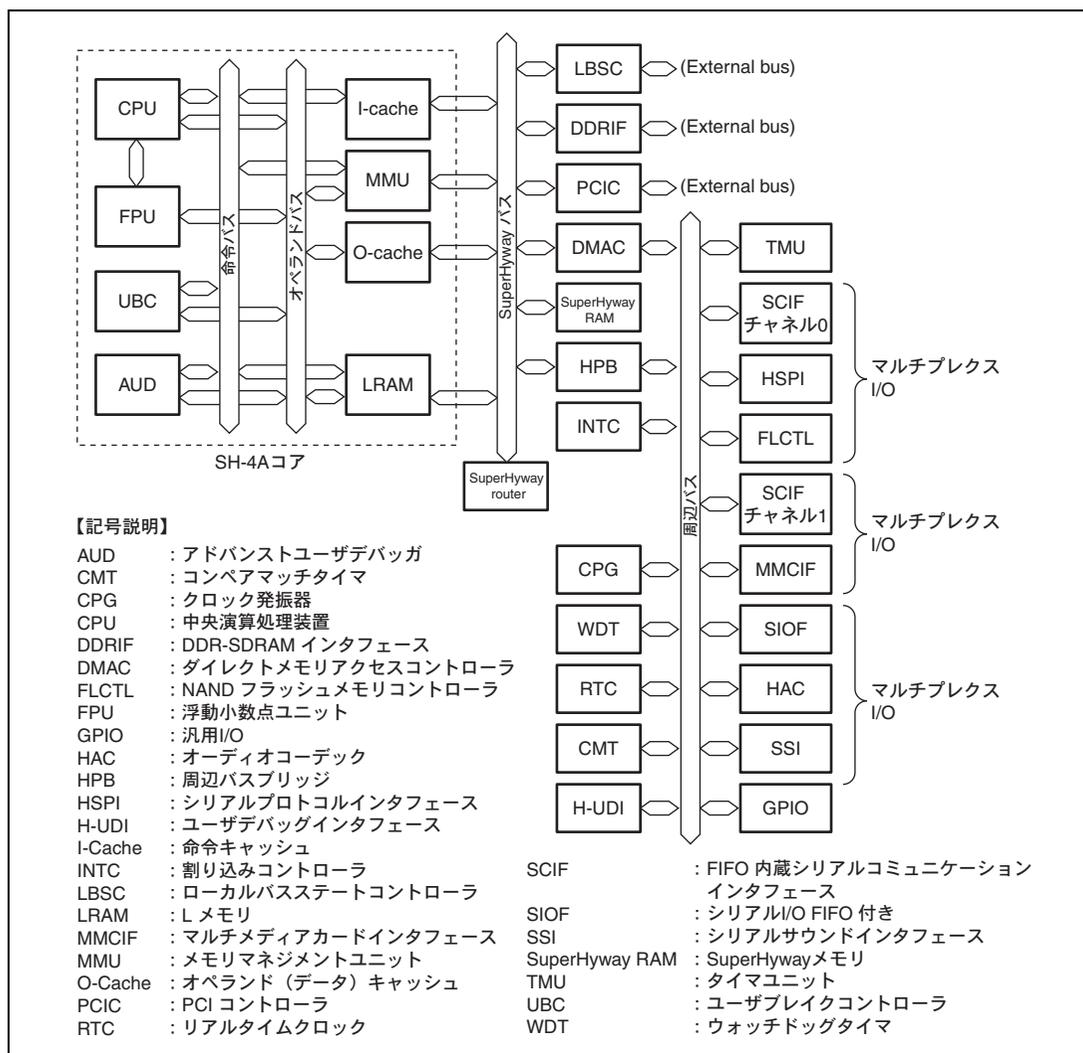


図 1.1 ブロック図



## 1.4 端子説明

表 1.2 に本 LSI の端子配置表を示します。

表 1.2 端子配置表

No.	端子番号	端子名	入出力	機能	GPIO
1	A1	VSSQ-DDR	-	DDR I/O GND	
2	A2	VCCQ-DDR	-	DDR I/O VCC	
3	A3	DDR-VREF	I	DDR VREF	
4	A4	MCLK	O	DDR クロック	
5	A5	$\overline{\text{MCLK}}$	O	DDR クロック	
6	A6	$\overline{\text{MWE}}$	O	DDR ライトイネーブル	
7	A7	$\overline{\text{MRAS}}$	O	DDR RAS	
8	A8	BA0	O	DDR バンクアドレス 0	
9	A9	MA10	O	DDR アドレス	
10	A10	MA1	O	DDR アドレス	
11	A11	MA3	O	DDR アドレス	
12	A12	PRESET	I	パワーオンリセット	
13	A13	$\overline{\text{DRAK1}}/\text{MODE7}$	O/I	DREQ1 受け確認/モード制御 7	L0 (O)
14	A14	$\overline{\text{DREQ0}}$	I	DMA チャンネル 0 転送要求	K7
15	A15	$\overline{\text{DREQ3}}/\text{INTC}/\text{AUDATA1}$	I/O	DMA チャンネル 3 転送要求/PCI 割り込み C/ H-UDI エミュレータ	K4*
16	A16	$\overline{\text{DACK2}}/\text{MRESETOUT}/\text{AUDATA2}$	O/O/O	DMA チャンネル 2 転送終了通知/ マニュアルリセット出力/H-UDI エミュレータ	K3
17	A17	TDI	I	H-UDI データ	
18	A18	$\overline{\text{AUDSYNC}}/\overline{\text{FCE}}$	O/O	H-UDI エミュレータ/NAND フラッシュ CE	
19	A19	AUDATA1/FD1	O/O	H-UDI エミュレータ/NAND フラッシュデータ	
20	A20	SIOF_SYNC/HAC_SYNC/SSI_WS	IO/O/O	SIOF フレーム同期/HAC フレーム同期/ SSI ワード選択	J3
21	A21	SCIF1_TXD/MCCLK/MODE5	O/O/I	SCIF1 送信データ/カードクロック出力/ モード制御 5	H6 (O)
22	A22	XTAL2	O	RTC 水晶発振子	
23	A23	EXTAL2	I	RTC 水晶発振子	
24	A24	VDD-RTC	-	RTC VDD	
25	A25	VSS-RTC	-	RTC GND	
26	B1	VSSQ-DDR	-	DDR I/O GND	
27	B2	VCCQ-DDR	-	DDR I/O VCC	
28	B3	$\overline{\text{BKPRST}}$	I	バックアツプリセット	

## 1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
29	B4	CKE	O	DDR クロックイネーブル	
30	B5	MA13	O	DDR アドレス	
31	B6	$\overline{\text{MCAS}}$	O	DDR CAS	
32	B7	$\overline{\text{MCS}}$	O	DDR チップセレクト	
33	B8	BA1	O	DDR バンクアドレス 1	
34	B9	MA0	O	DDR アドレス	
35	B10	MA2	O	DDR アドレス	
36	B11	MA4	O	DDR アドレス	
37	B12	VSS	-	内部 GND	
38	B13	DRAK2/CE2A/AUDCK	O/O/O	DREQ2 受け確認/PCMCIA CE2/ H-UDI エミュレータ	K1 (O)
39	B14	DREQ1	I	DMA チャンネル 1 転送要求	K6
40	B15	$\overline{\text{DACK0}}/\text{MODE0}$	O/I	DMA チャンネル 0 転送終了通知/モード制御 0	L3 (O)
41	B16	DACK3/IRQOUT/AUDATA3	O/O/O	DMA チャンネル 3 転送終了通知/ 割り込み要求出力/H-UDI エミュレータ	K2
42	B17	TDO	O	H-UDI データ	
43	B18	AUDCK/FALE	O/O	H-UDI エミュレータ/NAND フラッシュ ALE	
44	B19	AUDATA0/FD0	O/IO	H-UDI エミュレータ/NAND フラッシュデータ	
45	B20	SIOF_RXD/HAC_SDIN/SSI_SCK	I/I/IO	SIOF 受信データ/ HAC 受信フレームシリアル入力データ/ SSI シリアルビットクロック	J4
46	B21	SCIF1_SCK/MCCMD	IO/IO	SCIF1 シリアルクロック/ MMCIF コマンドレスポンス	H7
47	B22	SCIF0_RXD/HSPI_RX/FRB	I/I/I	SCIF 受信データ/HSPI 受信データ入力/ NAND フラッシュレディ/ビジー	H2
48	B23	TCLK/ $\overline{\text{IOIS16}}$	IO/I	TMU クロック/PCMCIA IOIS16	J0*
49	B24	XRTCSTBI	I	RTC スタンバイ	
50	B25	VSSQ	-	I/O GND	
51	C1	MDA0	IO	DDR データ	
52	C2	VCCQ-DDR	-	DDR I/O VCC	
53	C3	VSSQ-DDR	-	DDR I/O GND	
54	C4	VCCQ-DDR	-	DDR I/O VCC	
55	C5	MA12	O	DDR アドレス	
56	C6	MA11	O	DDR アドレス	
57	C7	MA9	O	DDR アドレス	
58	C8	MA8	O	DDR アドレス	

## 1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
59	C9	MA7	O	DDR アドレス	
60	C10	MA6	O	DDR アドレス	
61	C11	MA5	O	DDR アドレス	
62	C12	$\overline{\text{DRAK0}}/\text{MODE2}$	O/I	DREQ0 受け確認/モード制御 2	L1 (O)
63	C13	$\overline{\text{DRAK3}}/\text{CE2B}/\text{AUDSYNC}$	O/O/O	DREQ3 受け確認/PCMCIA CE2/ H-UDI エミュレータ	K0 (O)
64	C14	$\overline{\text{DREQ2}}/\text{INTB}/\text{AUDATA0}$	I/I/O	DMA チャンネル 2 転送要求/PCI 割り込み B/ H-UDI エミュレータ	K5*
65	C15	$\overline{\text{DACK1}}/\text{MODE1}$	O/I	DMA チャンネル 1 転送終了通知/モード制御 1	L2 (O)
66	C16	TCK	I	H-UDI クロック	
67	C17	$\overline{\text{ASEBRK}}/\text{BRKACK}$	I/O	H-UDI エミュレータ	
68	C18	AUDATA3/FD3	O/IO	H-UDI エミュレータ/NAND フラッシュデータ	
69	C19	SIOF_SCK/HAC_BITCLK/SSI_CLK	IO/I/O	SIOF シリアルクロック/ HAC シリアルビットクロック/ SSI シリアルビットクロック	J1
70	C20	SIOF_TXD/HAC_SDOOUT/SSI_SDATA	O/O/IO	SIOF 送信データ/HAC シリアルデータ/ SSI シリアルデータ	J5
71	C21	$\overline{\text{SCIF0\_RTS}}/\text{HSPI\_CS}/\text{FSE}$	IO/IO/O	SCIF モデム制御 (RTS) / HSPI チップセレクト/ NAND フラッシュスベアエリアイネーブル	H0*
72	C22	$\overline{\text{SCIF0\_TXD}}/\text{HSPI\_TX}/\text{FWE}/\text{MODE8}$	O/O/O/I	SCIF0 送信データ/HSPI 送信データ/ NAND フラッシュライトイネーブル/ モード制御 8	H3 (O)
73	C23	$\overline{\text{SCIF0\_SCK}}/\text{HSPI\_CLK}/\text{FRE}$	IO/IO/O	SCIF0 シリアルクロック/ HSPI シリアルクロック/ NAND フラッシュリードイネーブル	H4
74	C24	VDDQ	-	I/O VDD	
75	C25	$\overline{\text{IRQ}}/\text{IRL7}/\text{FD7}$	I/O	IRL IRQ 割り込み要求 7/ NAND フラッシュデータ	E6*
76	D1	MDA1	IO	DDR データ	
77	D2	MDA16	IO	DDR データ	
78	D3	VSSQ-DDR	-	DDR I/O GND	
79	D4	VCCQ-DDR	-	DDR I/O VCC	
80	D5	VSSQ-DDR	-	DDR I/O GND	
81	D6	VSSQ-DDR	-	DDR I/O GND	
82	D7	VCCQ-DDR	-	DDR I/O VCC	
83	D8	VCCQ-DDR	-	DDR I/O VCC	
84	D9	VSSQ-DDR	-	DDR I/O GND	

## 1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
85	D10	VSSQ-DDR	-	DDR I/O GND	
86	D11	VCCQ-DDR	-	DDR I/O VCC	
87	D12	VSSQ	-	I/O GND	
88	D13	VDDQ	-	I/O VDD	
89	D14	VDDQ	-	I/O VDD	
90	D15	VSSQ	-	I/O GND	
91	D16	TMS	I	H-UDI エミュレータ	
92	D17	TRST	I	H-UDI エミュレータ	
93	D18	AUDATA2/FD2	O/I/O	H-UDI エミュレータ/NAND フラッシュデータ	
94	D19	SIOF_MCLK/HAC_RES	I/O	SIOF マスタークロック/HAC リセット	J2
95	D20	SCIF1_RXD/MCDAT	I/O	SCIF1 受信データ/MMCIF データ	H5
96	D21	SCIF0_CTS/INTD/FCLE	IO/I/O	SCIF0 モデム制御(CTS)/PCI 割り込み D/ NANND フラッシュコマンドラッチイネーブル	H1*
97	D22	VDD	-	内部 VDD	
98	D23	VDD	-	内部 VDD	
99	D24	IRQ/IRL6/FD6/MODE6	I/O/I	IRL IRQ 割り込み要求 6/ NAND フラッシュデータ/モード制御 6	
100	D25	IRQ/IRL5/FD5/MODE4	I/O/I	IRL IRQ 割り込み要求 5/ NAND フラッシュデータ/モード制御 4	
101	E1	MDA2	IO	DDR データ	
102	E2	MDA17	IO	DDR データ	
103	E3	MDA18	IO	DDR データ	
104	E4	VCCQ-DDR	-	DDR I/O VCC	
105	E5	VSSQ-DDR	-	DDR I/O GND	
106	E6	VSSQ-DDR	-	DDR I/O GND	
107	E7	VCCQ-DDR	-	DDR I/O VCC	
108	E8	VDD	-	内部 VDD	
109	E9	VSS	-	内部 GND	
110	E10	VSSQ-DDR	-	DDR I/O GND	
111	E11	VCCQ-DDR	-	DDR I/O VCC	
112	E12	VSSQ	-	I/O GND	
113	E13	VDDQ	-	I/O VDD	
114	E14	VDD	-	内部 VDD	
115	E15	VSS	-	内部 GND	
116	E16	VSSQ	-	I/O GND	
117	E17	VSSQ	-	I/O GND	
118	E18	VDDQ	-	I/O VDD	

## 1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
119	E19	VDDQ	-	I/O VDD	
120	E20	VDDQ	-	I/O VDD	
121	E21	VSSQ	-	I/O GND	
122	E22	VDD	-	内部 VDD	
123	E23	IRQ/IRL4/FD4/MODE3	I/O/I	IRL IRQ 割り込み要求 4/ NAND フラッシュデータ/モード制御 3	
124	E24	IRQ/IRL3	I	IRL IRQ 割り込み要求 3	
125	E25	IRQ/IRL2	I	IRL IRQ 割り込み要求 2	
126	F1	MDA3	IO	DDR データ	
127	F2	MDA19	IO	DDR データ	
128	F3	MDA20	IO	DDR データ	
129	F4	VCCQ-DDR	-	DDR I/O VCC	
130	F5	VSSQ-DDR	-	DDR I/O GND	
131	F21	VDDQ	-	I/O VDD	
132	F22	VDDQ	-	I/O VDD	
133	F23	IRQ/IRL1	I	IRL IRQ 割り込み要求 1	
134	F24	IRQ/IRL0	I	IRL IRQ 割り込み要求 0	
135	F25	NMI	I	ノンマスクابل割り込み	
136	G1	MDA4	IO	DDR データ	
137	G2	MDA21	IO	DDR データ	
138	G3	MDA22	IO	DDR データ	
139	G4	VSS	-	内部 GND	
140	G5	VSS	-	内部 GND	
141	G21	VSSQ	-	I/O GND	
142	G22	AD1	IO	PCI アドレス/データ	D1
143	G23	AD3	IO	PCI アドレス/データ	D3
144	G24	AD5	IO	PCI アドレス/データ	D5
145	G25	AD0	IO	PCI アドレス/データ	D0
146	H1	MDA5	IO	DDR データ	
147	H2	MDA23	IO	DDR データ	
148	H3	MDQS2	IO	DDR データストロープ	
149	H4	VDD	-	内部 VDD	
150	H5	VDD	-	内部 VDD	
151	H21	VSS	-	内部 GND	
152	H22	AD7	IO	PCI アドレス/データ	D7
153	H23	AD8	IO	PCI アドレス/データ	C0

## 1. 概要

No.	端子 番号	端子名	入出力	機能	GPIO
154	H24	AD2	IO	PCI アドレス/データ	D2
155	H25	AD4	IO	PCI アドレス/データ	D4
156	J1	MDA7	IO	DDR データ	
157	J2	MDA6	IO	DDR データ	
158	J3	MDQM2	O	DDR データマスク	
159	J4	VDD-DLL1	-	DLL1 VDD	
160	J5	VSS-DLL1	-	DLL1 GND	
161	J21	VDD	-	内部 VDD	
162	J22	AD10	IO	PCI アドレス/データ	C2
163	J23	AD12	IO	PCI アドレス/データ	C4
164	J24	AD6	IO	PCI アドレス/データ	D6
165	J25	CBE0	IO	PCI コマンド/バイトイネーブル	
166	K1	MDQM0	O	DDR データマスク	
167	K2	MDQS0	IO	DDR データストロープ	
168	K3	MDQS3	IO	DDR データストロープ	
169	K4	VDD	-	内部 VDD	
170	K5	VSS	-	内部 GND	
171	K10	VSS	-	内部 GND	
172	K11	VSS	-	内部 GND	
173	K12	VSS	-	内部 GND	
174	K13	VSS	-	内部 GND	
175	K14	VSS	-	内部 GND	
176	K15	VSS	-	内部 GND	
177	K16	VSS	-	内部 GND	
178	K21	VDD	-	内部 VDD	
179	K22	AD14	IO	PCI アドレス/データ	C6
180	K23	CBE1	IO	PCI コマンド/バイトイネーブル	
181	K24	AD9	IO	PCI アドレス/データ	C1
182	K25	AD11	IO	PCI アドレス/データ	C3
183	L1	MDQS1	IO	DDR データストロープ	
184	L2	MDQM1	O	DDR データマスク	
185	L3	MDQM3	O	DDR データマスク	
186	L4	VDD	-	内部 VDD	
187	L5	VSS	-	内部 GND	
188	L10	VSS	-	内部 GND	
189	L11	VSS	-	内部 GND	

No.	端子 番号	端子名	入出力	機 能	GPIO
190	L12	VSS	-	内部 GND	
191	L13	VSSQ	-	I/O GND	
192	L14	VSS	-	内部 GND	
193	L15	VSS	-	内部 GND	
194	L16	VSS	-	内部 GND	
195	L21	VDDQ	-	I/O VDD	
196	L22	$\overline{\text{SERR}}$	IO	PCI システムエラー	
197	L23	$\overline{\text{PERR}}$	IO	PCI パリティエラー	
198	L24	AD13	IO	PCI アドレス/データ	C5
199	L25	AD15	IO	PCI アドレス/データ	C7
200	M1	MDA8	IO	DDR データ	
201	M2	MDA24	IO	DDR データ	
202	M3	MDA25	IO	DDR データ	
203	M4	VDD-DLL2	-	DLL2 VDD	
204	M5	VSS-DLL2	-	DLL2 GND	
205	M10	VSS	-	内部 GND	
206	M11	VSS	-	内部 GND	
207	M12	VSSQ-DDR	-	DDR I/O GND	
208	M13	VSSQ	-	I/O GND	
209	M14	VSS	-	内部 GND	
210	M15	VSS	-	内部 GND	
211	M16	VSS	-	内部 GND	
212	M21	VSS	-	内部 GND	
213	M22	$\overline{\text{LOCK}}$	IO	PCI ロック	
214	M23	$\overline{\text{DEVSEL}}$	IO	PCI デバイス選択	
215	M24	PAR	IO	PCI パリティ	
216	M25	$\overline{\text{STOP}}$	IO	PCI ストップ	
217	N1	MDA9	IO	DDR データ	
218	N2	MDA26	IO	DDR データ	
219	N3	MDA27	IO	DDR データ	
220	N4	VSSQ-DDR	-	DDR I/O GND	
221	N5	VSSQ-DDR	-	DDR I/O GND	
222	N10	VSS	-	内部 GND	
223	N11	VSS	-	内部 GND	
224	N12	VSSQ-DDR	-	DDR I/O GND	
225	N13	VSSQ	-	I/O GND	

## 1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
226	N14	VSS	-	内部 GND	
227	N15	VSS	-	内部 GND	
228	N16	VSS	-	内部 GND	
229	N21	VSS	-	内部 GND	
230	N22	$\overline{\text{IRDY}}$	IO	PCI イニシエータレディ	
231	N23	CBE2	IO	PCI コマンド/バイトイネーブル	
232	N24	$\overline{\text{TRDY}}$	IO	PCI ターゲット	
233	N25	PCIFRAME	IO	PCI サイクルフレーム	
234	P1	MDA10	IO	DDR データ	
235	P2	MDA28	IO	DDR データ	
236	P3	MDA29	IO	DDR データ	
237	P4	VCCQ-DDR	-	DDR I/O VCC	
238	P5	VCCQ-DDR	-	DDR I/O VCC	
239	P10	VSS	-	内部 GND	
240	P11	VSS	-	内部 GND	
241	P12	VSSQ-DDR	-	DDR I/O GND	
242	P13	VSSQ	-	I/O GND	
243	P14	VSS	-	内部 GND	
244	P15	VSS	-	内部 GND	
245	P16	VSS	-	内部 GND	
246	P21	VDD	-	内部 VDD	
247	P22	AD17	IO	PCI アドレス/データ	B1
248	P23	AD19	IO	PCI アドレス/データ	B3
249	P24	AD16	IO	PCI アドレス/データ	B0
250	P25	AD18	IO	PCI アドレス/データ	B2
251	R1	MDA11	IO	DDR データ	
252	R2	MDA30	IO	DDR データ	
253	R3	MDA31	IO	DDR データ	
254	R4	VCCQ-DDR	-	DDR I/O VCC	
255	R5	VCCQ-DDR	-	DDR I/O VCC	
256	R10	VSS	-	内部 GND	
257	R11	VSS	-	内部 GND	
258	R12	VSS	-	内部 GND	
259	R13	VSSQ	-	I/O GND	
260	R14	VSS	-	内部 GND	
261	R15	VSS	-	内部 GND	

## 1. 概要

No.	端子 番号	端子名	入出力	機 能	GPIO
262	R16	VSS	-	内部 GND	
263	R21	VDDQ	-	I/O VDD	
264	R22	AD21	IO	PCI アドレス/データ	B5
265	R23	AD23	IO	PCI アドレス/データ	B7
266	R24	AD20	IO	PCI アドレス/データ	B4
267	R25	AD22	IO	PCI アドレス/データ	B6
268	T1	MDA13	IO	DDR データ	
269	T2	MDA12	IO	DDR データ	
270	T3	VSSQ-DDR	-	DDR I/O GND	
271	T4	VSSQ-DDR	-	DDR I/O GND	
272	T5	VCCQ-DDR	-	DDR I/O VCC	
273	T10	VSS	-	内部 GND	
274	T11	VSS	-	内部 GND	
275	T12	VSS	-	内部 GND	
276	T13	VSS	-	内部 GND	
277	T14	VSS	-	内部 GND	
278	T15	VSS	-	内部 GND	
279	T16	VSS	-	内部 GND	
280	T21	VDD	-	内部 VDD	
281	T22	CBE3	IO	PCI コマンド/バイトイネーブル	
282	T23	AD25	IO	PCI アドレス/データ	A1
283	T24	IDSEL	I	PCI コンフィグデバイス選択	
284	T25	AD24	IO	PCI アドレス/データ	A0
285	U1	MDA15	IO	DDR データ	
286	U2	MDA14	IO	DDR データ	
287	U3	VSSQ-DDR	-	DDR I/O GND	
288	U4	VSSQ-DDR	-	DDR I/O GND	
289	U5	VSSQ-DDR	-	DDR I/O GND	
290	U21	VDD	-	内部 VDD	
291	U22	AD27	IO	PCI アドレス/データ	A3
292	U23	AD29	IO	PCI アドレス/データ	A5
293	U24	AD26	IO	PCI アドレス/データ	A2
294	U25	AD28	IO	PCI アドレス/データ	A4
295	V1	VCCQ-DDR	-	DDR I/O VCC	
296	V2	VCCQ-DDR	-	DDR I/O VCC	
297	V3	VCCQ-DDR	-	DDR I/O VCC	

## 1. 概要

No.	端子番号	端子名	入出力	機能	GPIO
298	V4	VCCQ-DDR	-	DDR I/O VCC	
299	V5	VCCQ-DDR	-	DDR I/O VCC	
300	V21	VSS	-	内部 GND	
301	V22	AD31	IO	PCI アドレス/データ	A7
302	V23	REQ3	I	PCI バス権要求 (ホスト)	E3*
303	V24	AD30	IO	PCI アドレス/データ	A6
304	V25	GNT3	O	PCI バスグラント	E0*
305	W1	A25	O	アドレスバス	
306	W2	STATUS0/CMT_CTR0	O/IO	ステータス 0/CMT0 timer counter	
307	W3	STATUS1/CMT_CTR1	O/IO	ステータス 1/CMT1 timer counter	
308	W4	VDD	-	内部 VDD	
309	W5	VDD	-	内部 VDD	
310	W21	VSS	-	内部 GND	
311	W22	REQ2	I	PCI バス権要求 (ホスト)	E4*
312	W23	REQ1	I	PCI バス権要求 (ホスト)	E5*
313	W24	GNT2	O	PCI バスグラント	E1*
314	W25	GNT1	O	PCI バスグラント	E2*
315	Y1	A22	O	アドレスバス	
316	Y2	A23	O	アドレスバス	
317	Y3	A24	O	アドレスバス	
318	Y4	VSS	-	内部 GND	
319	Y5	VSS	-	内部 GND	
320	Y21	VDDQ	-	I/O VDD	
321	Y22	REQ0/REQOUT	I/O	PCI バス権要求 (ホスト) /バス要求出力	
322	Y23	PCICLK	I	PCI 入カクロック	
323	Y24	GNT0/GNTIN	O/I	PCI バスグラント	
324	Y25	PCIRESET	O	PCI リセット	
325	AA1	A19	O	アドレスバス	
326	AA2	A20	O	アドレスバス	
327	AA3	A21	O	アドレスバス	
328	AA4	VDDQ	-	I/O VDD	
329	AA5	VSSQ	-	I/O GND	
330	AA6	VSS	-	内部 GND	
331	AA7	VDD	-	内部 VDD	
332	AA8	VDDQ	-	I/O VDD	
333	AA9	VSSQ	-	I/O GND	

No.	端子 番号	端子名	入出力	機能	GPIO
334	AA10	VSS	-	内部 GND	
335	AA11	VDD	-	内部 VDD	
336	AA12	VDDQ	-	I/O VDD	
337	AA13	VSSQ	-	I/O GND	
338	AA14	VSSQ	-	I/O GND	
339	AA15	VDD	-	内部 VDD	
340	AA16	VSS	-	内部 GND	
341	AA17	VDDQ	-	I/O VDD	
342	AA18	VDDQ	-	I/O VDD	
343	AA19	VSSQ	-	I/O GND	
344	AA20	VSSQ	-	I/O GND	
345	AA21	VSSQ	-	GND	
346	AA22	NC	-	オープン	
347	AA23	NC	-	オープン	
348	AA24	VSS	-	内部 GND	
349	AA25	INTA	IO	PCI 割り込み A	
350	AB1	A16	O	アドレスバス	
351	AB2	A17	O	アドレスバス	
352	AB3	A18	O	アドレスバス	
353	AB4	VSSQ	-	I/O GND	
354	AB5	A6	O	アドレスバス	
355	AB6	A2	O	アドレスバス	
356	AB7	D30	IO	データバス	F6
357	AB8	D26	IO	データバス	F2
358	AB9	D23	IO	データバス	G7
359	AB10	VSSQ	-	I/O GND	
360	AB11	VDDQ	-	I/O VDD	
361	AB12	VDDQ	-	I/O VDD	
362	AB13	VSSQ	-	I/O GND	
363	AB14	VDDQ	-	I/O VDD	
364	AB15	VDDQ	-	I/O VDD	
365	AB16	VSSQ	-	I/O GND	
366	AB17	BACK	O	バス権認識	M0
367	AB18	CS4	O	チップセレクト 4	
368	AB19	CS6	O	チップセレクト 6	
369	AB20	VSS-PLL3	-	PLL3 GND	

## 1. 概要

No.	端子 番号	端子名	入出力	機能	GPIO
370	AB21	VDD	-	内部 VDD	
371	AB22	VDDQ	-	I/O VDD	
372	AB23	VDDQ	-	I/O VDD	
373	AB24	VSS	-	内部 GND	
374	AB25	VSS	-	内部 GND	
375	AC1	A14	O	アドレスバス	
376	AC2	A15	O	アドレスバス	
377	AC3	VDDQ	-	I/O VDD	
378	AC4	A9	O	アドレスバス	
379	AC5	A5	O	アドレスバス	
380	AC6	A1	O	アドレスバス	
381	AC7	D29	IO	データバス	F5
382	AC8	D25	IO	データバス	F1
383	AC9	D22	IO	データバス	G6
384	AC10	D19	IO	データバス	G3
385	AC11	D15	IO	データバス	
386	AC12	D14	IO	データバス	
387	AC13	D11	IO	データバス	
388	AC14	D8	IO	データバス	
389	AC15	D6	IO	データバス	
390	AC16	D3	IO	データバス	
391	AC17	$\overline{\text{BREQ}}$	I	バス権要求	M1
392	AC18	$\overline{\text{BS}}$	O	バスサイクルスタート	
393	AC19	$\overline{\text{CS5}}$	O	チップセレクト 5	
394	AC20	$\overline{\text{CS1}}$	O	チップセレクト 1	
395	AC21	VSS-PLL2	-	PLL2 GND	
396	AC22	VDD	-	内部 VDD	
397	AC23	VDDQ	-	I/O VDD	
398	AC24	VDDQ	-	I/O VDD	
399	AC25	MPMD	I	モード制御	
400	AD1	A13	O	アドレスバス	
401	AD2	VDDQ	-	I/O VDD	
402	AD3	A11	O	アドレスバス	
403	AD4	A8	O	アドレスバス	
404	AD5	A4	O	アドレスバス	
405	AD6	A0	O	アドレスバス	

## 1. 概要

No.	端子 番号	端子名	入出力	機 能	GPIO
406	AD7	D28	IO	データバス	F4
407	AD8	D24	IO	データバス	F0
408	AD9	D21	IO	データバス	G5
409	AD10	D18	IO	データバス	G2
410	AD11	D16	IO	データバス	G0
411	AD12	D13	IO	データバス	
412	AD13	D10	IO	データバス	
413	AD14	D7	IO	データバス	
414	AD15	D5	IO	データバス	
415	AD16	D2	IO	データバス	
416	AD17	D0	IO	データバス	
417	AD18	$\overline{RD}/\overline{FRAME}$	O	リードストロープ/ MPX インタフェースサイクルフレーム	
418	AD19	$\overline{CS2}$	O	チップセレクト 2	
419	AD20	$\overline{CS0}$	O	チップセレクト 0	
420	AD21	VDD-PLL3	-	PLL3 VDD	
421	AD22	VSS-PLL1	-	PLL1 GND	
422	AD23	VSSQ	-	I/O GND	
423	AD24	VDDQ	-	I/O VDD	
424	AD25	VSSQ	-	I/O GND	
425	AE1	VSSQ	-	I/O GND	
426	AE2	A12	O	アドレスバス	
427	AE3	A10	O	アドレスバス	
428	AE4	A7	O	アドレスバス	
429	AE5	A3	O	アドレスバス	
430	AE6	D31	IO	データバス	F7
431	AE7	D27	IO	データバス	F3
432	AE8	$\overline{WE3}/\overline{IOWR}$	O/O	SRAM D31~D24 ライトストロープ	
433	AE9	D20	IO	データバス	G4
434	AE10	D17	IO	データバス	G1
435	AE11	$\overline{WE2}/\overline{IORD}$	O/O	SRAM D23~D16 ライトストロープ/ PCMCIA IORD	
436	AE12	D12	IO	データバス	
437	AE13	D9	IO	データバス	
438	AE14	$\overline{WE1}$	O	SRAM D15~D8 ライトストロープ	
439	AE15	D4	IO	データバス	

## 1. 概要

---

No.	端子番号	端子名	入出力	機能	GPIO
440	AE16	D1	IO	データバス	
441	AE17	$\overline{WE}/\overline{REG}$	O/O	SRAM D7~D0 ライトストロープ/ PCMCIA REG	
442	AE18	$R/\overline{W}$	O	リード/ライト	
443	AE19	$\overline{RDY}$	I	バスレディ	
444	AE20	CLKOUT	O	クロック出力	
445	AE21	VDD-PLL2	-	PLL2 VDD	
446	AE22	VDD-PLL1	-	PLL1 VDD	
447	AE23	XTAL	O	水晶発振子	
448	AE24	EXTAL	I	外部入カクロック/水晶発振子	
449	AE25	VSSQ	-	GND	

### 【記号説明】

入出力欄で使用している記号の意味は次のとおりです。

- I : 入力、
- O : 出力、
- IO : 入出力、
- : 入出力方向と関係なし。

GPIO（汎用入出力ポート）欄で使用している記号の意味は次のとおりです。

- A0、A1、…、M0、M1 : GPIO ポート A0、A1、…、M0、M1 として使用可能（入出力 78 本）。
- H3 (O)、H6 (O)、…、L3 (O) : GPIO ポート H3、H6、…、L3 として使用可能（ただし出力のみ。5 本）。
- E0\*、E1\*、…、K5\* : GPIO 割り込み入力端子として使用可能（GPIO 入出力 78 本のうちの 12 本）。

## 1.5 メモリアドレスマップ

本 LSI は 32 ビットの仮想アドレス空間をサポートします。また、物理アドレス空間は、29 ビットアドレス（通常モード）および 32 ビット拡張アドレスモード（拡張モード）をサポートしています。それぞれのマッピング等、詳細については、「第 7 章 メモリマネジメントユニット（MMU）」を参照してください。

本 LSI は外部アドレス空間として、LBSC が最大 384M バイト、DDRIF が 256M バイト、PCIC が最大 512M バイト、合計最大 1152M バイトをサポートします。エリア 2~5 については、LBSC のメモリアドレスマップ選択レジスタ（MMSELR）により LBSC、DDRIF、PCIC がサポートするメモリアドレスマップの選択を行います。なお、エリア 3 は DDRIF 専用のエリアです。詳細は、それぞれ「第 11 章 ローカルバスステートコントローラ（LBSC）」、「第 12 章 DDR-SDRAM インタフェース（DDRIF）」、「第 13 章 PCI コントローラ（PCIC）」を参照してください。

図 1.3 に本 LSI の物理アドレス空間を、また、図 1.4 に AREASEL ビットとメモリアドレスマップの対応を示します。なお、物理アドレス空間は、本 LSI の内部バスである SuperHyway バスアドレス空間に一致します。

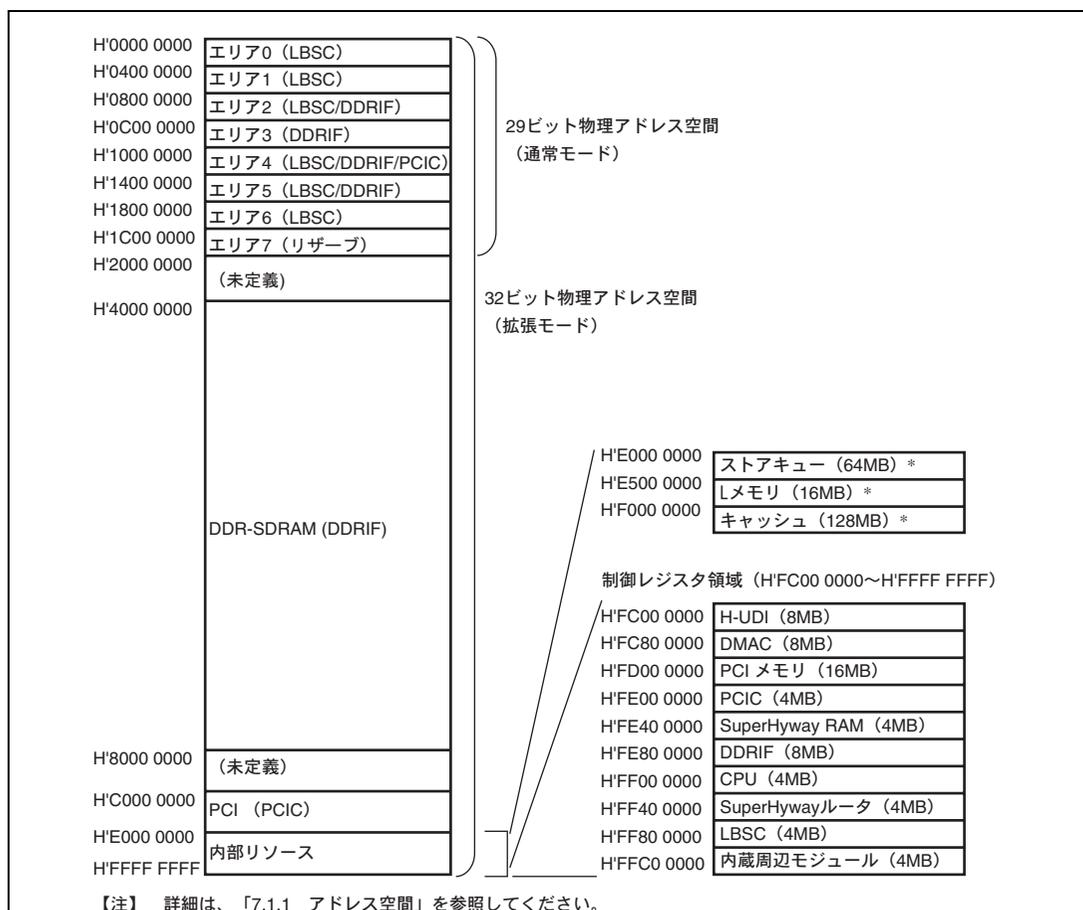


図 1.3 SH7780 物理アドレス空間

# 1. 概要

	MMSEL.R.AREASEL[2:0]*	B'000	B'001	B'010	B'011	B'100
H'0000 0000	エリア0 (LBSC)	LBSC	LBSC	LBSC	LBSC	LBSC
H'0400 0000	エリア1 (LBSC)	LBSC	LBSC	LBSC	LBSC	LBSC
H'0800 0000	エリア2 (LBSC/DDRIF)	LBSC	LBSC	DDRIF-0	DDRIF-0	DDRIF-0
H'0C00 0000	エリア3 (DDRIF)	DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1
H'1000 0000	エリア4 (LBSC/DDRIF/PCIC)	LBSC	PCIC	LBSC	PCIC	DDRIF-2
H'1400 0000	エリア5 (LBSC/DDRIF)	LBSC	LBSC	LBSC	LBSC	DDRIF-3
H'1800 0000	エリア6 (LBSC)	LBSC	LBSC	LBSC	LBSC	LBSC
H'1C00 0000	エリア7 (リザーブ)					
H'2000 0000	(未定義)					
H'4000 0000	DDR-SDRAM (DDRIF)	DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2
H'4400 0000		DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3
H'4800 0000		DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0
H'4C00 0000		DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1
H'5000 0000		DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2
H'5400 0000		DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3
H'5800 0000		DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0
H'5C00 0000		DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1
H'6000 0000		DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2
H'6400 0000		DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3
H'6800 0000		DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0
H'6C00 0000		DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1
H'7000 0000		DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2
H'7400 0000		DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3
H'7800 0000		DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0
H'7C00 0000		DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1
H'8000 0000	(未定義)					
H'C000 0000	PCI (PCIC)	PCIC	PCIC	PCIC	PCIC	PCIC
H'E000 0000	内部リソース					
H'FFFF FFFF						

} 29ビット物理アドレス空間 (通常モード)  
} 32ビット物理アドレス空間 (拡張モード)

: シャドウ空間

【注】\* MMSEL.RレジスタAREASELビットについては、「第11章 ローカルバスステートコントローラ (LBSC)」を参照してください。

図 1.4 AREASEL ビットによるメモリアドレスマップの選択

## 1.6 SuperHyway バス

本 LSI は、内部システムバスに SuperHyway バスを採用しています。

SuperHyway バスは、アドレス 32 ビット、データ 64 ビット、バスクロック (SHck) 最高 200MHz のシステムバスで、各 SuperHyway モジュール間のデータ転送を高速に行うことができます。

各モジュールは、データ転送において、リクエストを出すイニシエータ (SuperHyway バスマスタ) またはレスポンスを返すターゲットとして動作します。また、転送制御は SuperHyway ルータにより行われます。

イニシエータとして動作可能なモジュールは、CPU、PCIC、DMAC の 3 モジュールで、SuperHyway バスリクエストにおける優先順位判定は LRU (Least Recently Used) により行われます。初期状態の優先順位は、CPU > DMAC > PCIC です。また、レスポンスの優先順位は固定で、周辺モジュール\* > DMAC > CPU > SuperHyway メモリ > LBSC > PCIC > DDRIF となっています。なお、デバッグ機能 (H-UDI エミュレータ) を使用している場合は、デバッグ機能の優先順位が最も高くなります。

転送データサイズは各モジュールにより異なります。詳細は各モジュールの章を参照してください。

SuperHyway バスにおけるデータ転送は、SuperHyway バスアドレス (物理アドレス) に対するリード/ライトに応じてイニシエータからのリクエスト、それに対するターゲットのレスポンスによりトランザクションが行われます (LOAD/STORE)。また、トランザクションにより、キャッシュコヒーレンシを保つためのトランザクションも行われます (FLUSH/PURGE)。なお、これらの一連のトランザクションは SuperHyway モジュール間で自動的に行われるため、ユーザにより明示的に行うことはできません。

【注】 周辺モジュールとは、周辺バスに接続されているモジュールのことを示します (ただし、DMAC を除く)。

### 1.7 SuperHyway メモリ (SuperHyway RAM)

SuperHyway RAM は SuperHyway バスに接続されたメモリで、命令やデータを格納することができます。SuperHyway RAM には以下の特長があります。

- 容量：  
合計32Kバイト (512ワード×256ビット×2ページ)
- メモリアドレスマップ：  
物理アドレスH'FE41 0000～H'FE41 3FFF、H'FE42 0000～H'FE42 3FFFに配置されています。
- ポート：  
2ページ共通の読み出し、書き込み独立のポートを持ち、それぞれ4段のバッファを介してSuperHywayバスと接続されています。本LSIのSuperHywayバスマスタから高速にアクセスすることができます。
- アクセス：  
CPUを含め、常にSuperHywayバスからの物理アドレスによるアクセスとなります。  
リード、ライトとも、1/2/4/8/16/32バイトアクセスに対応します (32バイト境界のラップアラウンド)。  
キャッシュフィル32バイトの読み出しが1アクセスで可能 (SuperHywayバス上は8バイト×4の転送)。  
なお、SuperHywayバス上のリード/ライトコマンド動作は1クロックで終了し、その後バスは開放されます。
- 最小アクセス時間：  
8バイト以下のリードアクセス時 14クロック、ライトアクセス時 12クロック  
16/32バイトリードアクセス時 17クロック、ライトアクセス時 15クロック  
(いずれもSuperHywayクロック: SHck≤200MHz)
- 注意事項  
スリープモード中も、DMACなどのSuperHywayバスマスタからアクセスが可能です。

---

## 2. プログラミングモデル

---

本章では、本 LSI のプログラミングモデルについて記述します。本 LSI では以下に示すレジスタとデータ形式を持っています。

### 2.1 データフォーマット

本 LSI でサポートしているデータフォーマットを図 2.1 に示します。

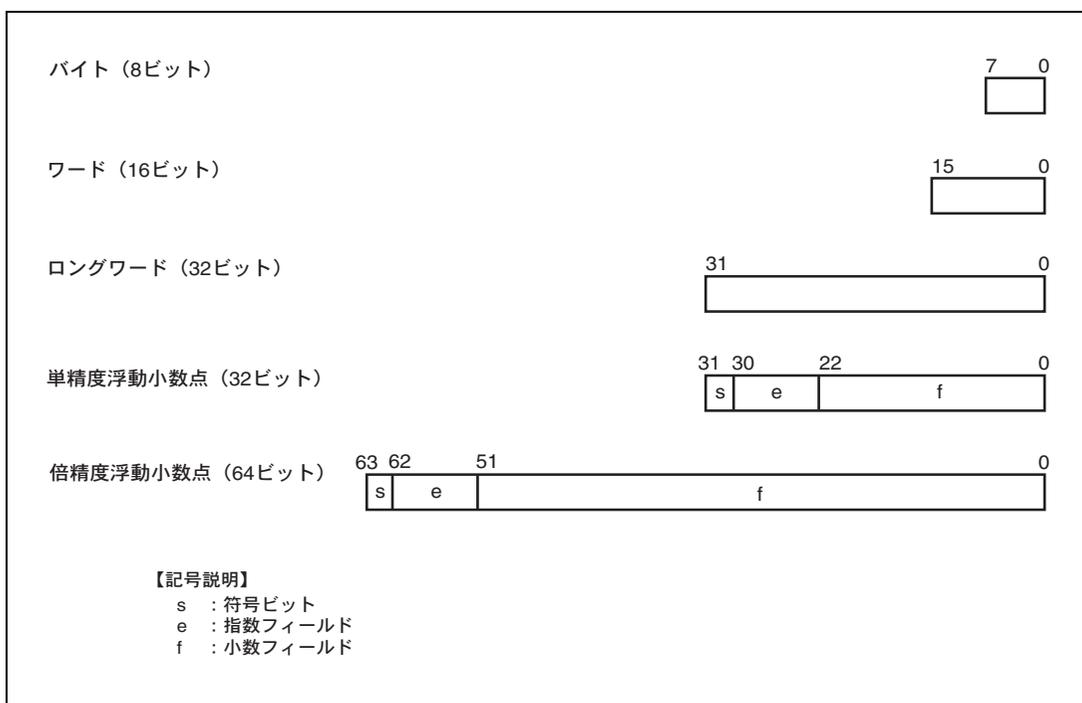


図 2.1 データフォーマット

## 2.2 レジスタの構成

### 2.2.1 特権モードとバンク

#### (1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、および浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

#### (2) 汎用レジスタ

汎用レジスタにはR0からR15までの16本のレジスタがあります。汎用レジスタR0からR7は、バンクレジスタで、処理モードで切り替えることができます。

- 特権モードの場合

ステータスレジスタ (SR) のレジスタバンクビット (RB) により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決めます。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令 (LDC) とストア命令 (STC) でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0\_BANK1からR7\_BANK1とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク0の汎用レジスタR0\_BANK0からR7\_BANK0の8本のレジスタはLDC/STC命令でアクセスできます。

RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0\_BANK0からR7\_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0\_BANK1からR7\_BANK1の8本のレジスタはLDC/STC命令でアクセスできます。

- ユーザモードの場合

バンク0の汎用レジスタR0\_BANK0からR7\_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0\_BANK1からR7\_BANK1の8本のレジスタはアクセスできません。

#### (3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ (GBR) とステータスレジスタ (SR) があり、特権モードでのみアクセスできる退避ステータスレジスタ (SSR)、退避プログラムカウンタ (SPC)、ベクタベースレジスタ (VBR)、退避ジェネラルレジスタ 15 (SGR)、デバッグベースレジスタ (DBR) があります。ステータスレジスタには、特権モードでのみアクセスできるビット (例えばRBビット) があります。

#### (4) システムレジスタ

システムレジスタには、積和レジスタ (MACH/MACL)、プロシージャレジスタ (PR)、プログラムカウンタ

(PC) があり、処理モードに関係しません。

#### (5) 浮動小数点レジスタと FPU に関するシステムレジスタ

浮動小数点レジスタには、FR0～FR15、XF0～XF15 の 32 本のレジスタがあります。FR0～FR15、XF0～XF15 をおのおの FPR0\_BANK0～FPR15\_BANK0、FPR0\_BANK1～FPR15\_BANK1 のいずれのバンクに割り付けるか選択できます。

また、FR0～FR15 は、DR0/2/4/6/8/10/12/14 (倍精度浮動小数点レジスタ、またはレジスタペア) の 8 本、FV0/4/8/12 (レジスタベクタ) の 4 本として使用でき、XF0～XF15 は、XD0/2/4/6/8/10/12/14 (レジスタペア) の 8 本、XMTRX (レジスタ行列) の 1 本として使用できます。

FPU に関するシステムレジスタには、浮動小数点コミュニケーションレジスタ (FPUL) と浮動小数点ステータス/コントロールレジスタ (FPSCR) があり、FPU-CPU 間の通信や例外処理の設定を行います。

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区分	レジスタ	初期値*
汎用レジスタ	R0_BANK0～R7_BANK0、 R0_BANK1～R7_BANK1、 R8～R15	不定
コントロールレジスタ	SR	MD ビットは 1、RB ビットは 1、BL ビットは 1、 FD ビットは 0、IMASK は B'1111、リザーブビットは 0、その他は不定
	GBR、SSR、SPC、SGR、DBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	H'A0000000
浮動小数点レジスタ	FR0～FR15、XF0～XF15、FPUL	不定
	FPSCR	H'00040001

【注】 \* パワーオンリセット、マニュアルリセットで初期化されます。

処理モード別の CPU レジスタ構成を図 2.2 に示します。

ユーザモードと特権モードは、ステータスレジスタの処理モードビット (MD) で切り替えます。

## 2. プログラミングモデル

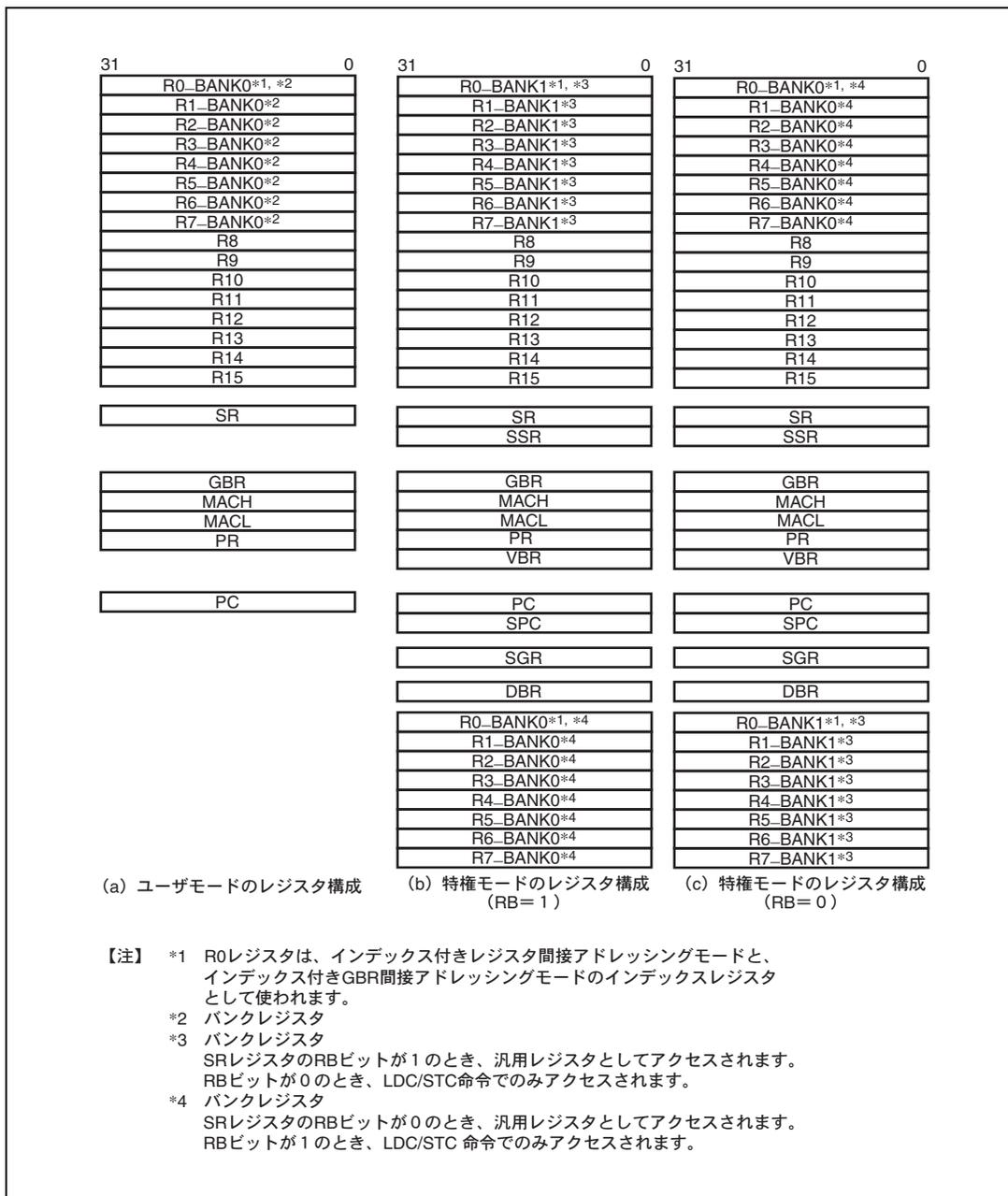


図 2.2 処理モード別の CPU レジスタ構成

## 2.2.2 汎用レジスタ

図 2.3 に処理モードと汎用レジスタの関係を示します。本 LSI には 24 本の 32 ビット汎用レジスタ (R0\_BANK0 ~R7\_BANK0、R0\_BANK1~R7\_BANK1、R8~R15) があります。ただし、これらのうち 16 本のレジスタのみ 1 つの処理モードで汎用レジスタ R0~R15 としてアクセスできます。本 LSI には特権モードとユーザモードの 2 つの処理モードがあります。R0~R7 はその 2 つのモードにより次のように割り当てられます。

- R0\_BANK0~R7\_BANK0

ユーザモード (SR.MD=0) では、常に R0~R7 に割り当てられます。

特権モード (SR.MD=1) では、(SR.RB=0) の場合に限り R0~R7 に割り当てられます。

- R0\_BANK1~R7\_BANK1

ユーザモードでは、アクセスできません。

特権モードでは、(SR.RB=1) の場合に限り、R0~R7 に割り当てられます。

SR.MD=0 または (SR.MD=1, SR.RB=0)		(SR.MD=1, SR.RB=1)	
R0	R0_BANK0	R0	R0-BANK0
R1	R1_BANK0	R1	R1-BANK0
R2	R2_BANK0	R2	R2-BANK0
R3	R3_BANK0	R3	R3-BANK0
R4	R4_BANK0	R4	R4-BANK0
R5	R5_BANK0	R5	R5-BANK0
R6	R6_BANK0	R6	R6-BANK0
R7	R7_BANK0	R7	R7-BANK0
R0-BANK1	R0_BANK1	R0	
R1-BANK1	R1_BANK1	R1	
R2-BANK1	R2_BANK1	R2	
R3-BANK1	R3_BANK1	R3	
R4-BANK1	R4_BANK1	R4	
R5-BANK1	R5_BANK1	R5	
R6-BANK1	R6_BANK1	R6	
R7-BANK1	R7_BANK1	R7	
R8	R8	R8	
R9	R9	R9	
R10	R10	R10	
R11	R11	R11	
R12	R12	R12	
R13	R13	R13	
R14	R14	R14	
R15	R15	R15	

図 2.3 汎用レジスタ

## 2. プログラミングモデル

---

### 【プログラミング上の注意】

ユーザーモードの R0~R7 は R0\_BANK0~R7\_BANK0 に、例外・割り込み後の R0~R7 は R0\_BANK1~R7\_BANK1 に割り当てられるので、割り込みハンドラはユーザーモードの R0~R7 (R0\_BANK0~R7\_BANK0) を退避または復帰する必要はありません。

### 2.2.3 浮動小数点レジスタ

図 2.4 に浮動小数点レジスタを示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0\_BANK0~FPR15\_BANK0、FPR0\_BANK1~FPR15\_BANK1 があります。また、この 32 本レジスタは FR0~FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0~XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn\_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。図 2.4 を参照してください。

#### (1) 浮動小数点レジスタ FPRn\_BANKi (32 レジスタ)

FPR0\_BANK0, FPR1\_BANK0, FPR2\_BANK0, FPR3\_BANK0,  
FPR4\_BANK0, FPR5\_BANK0, FPR6\_BANK0, FPR7\_BANK0,  
FPR8\_BANK0, FPR9\_BANK0, FPR10\_BANK0, FPR11\_BANK0,  
FPR12\_BANK0, FPR13\_BANK0, FPR14\_BANK0, FPR15\_BANK0  
FPR0\_BANK1, FPR1\_BANK1, FPR2\_BANK1, FPR3\_BANK1,  
FPR4\_BANK1, FPR5\_BANK1, FPR6\_BANK1, FPR7\_BANK1,  
FPR8\_BANK1, FPR9\_BANK1, FPR10\_BANK1, FPR11\_BANK1,  
FPR12\_BANK1, FPR13\_BANK1, FPR14\_BANK1, FPR15\_BANK1

#### (2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR=0 のとき、FR0~FR15 は FPR0\_BANK0~FPR15\_BANK0 に割り当てられます。  
FPSCR.FR=1 のとき、FR0~FR15 は FPR0\_BANK1~FPR15\_BANK1 に割り当てられます。

#### (3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。

DR0={FR0, FR1}, DR2={FR2, FR3},  
DR4={FR4, FR5}, DR6={FR6, FR7},  
DR8={FR8, FR9}, DR10={FR10, FR11},  
DR12={FR12, FR13}, DR14={FR14, FR15}

#### (4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。

FV0={FR0, FR1, FR2, FR3},  
FV4={FR4, FR5, FR6, FR7},  
FV8={FR8, FR9, FR10, FR11},  
FV12={FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR=0 のとき、XF0~XF15 は FPR0\_BANK1~FPR15\_BANK1 に割り当てられます。

FPSCR.FR=1 のとき、XF0~XF15 は FPR0\_BANK0~FPR15\_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD<sub>i</sub> (8 レジスタ)

XD レジスタは2つの XF レジスタから構成されます。

XD0={XF0, XF1}, XD2={XF2, XF3},

XD4={XF4, XF5}, XD6={XF6, XF7},

XD8={XF8, XF9}, XD10={XF10, XF11},

XD12={XF12, XF13}, XD14={XF14, XF15}

(7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX =  $\left( \begin{array}{cccc} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{array} \right)$

## 2. プログラミングモデル

<u>FPSCR.FR=0</u>			<u>FPSCR.FR=1</u>			
FV0	DR0	FR0	FPR0_BANK0	XF0	XD0	XMTRX
		FR1	FPR1_BANK0	XF1		
	DR2	FR2	FPR2_BANK0	XF2	XD2	
		FR3	FPR3_BANK0	XF3		
		FR4	FPR4_BANK0	XF4		XD4
FV4	DR4	FR5	FPR5_BANK0	XF5		
		FR6	FPR6_BANK0	XF6	XD6	
	DR6	FR7	FPR7_BANK0	XF7		
		FR8	FPR8_BANK0	XF8	XD8	
		FR9	FPR9_BANK0	XF9		
FV8	DR8	FR10	FPR10_BANK0	XF10	XD10	
		FR11	FPR11_BANK0	XF11		
	DR10	FR12	FPR12_BANK0	XF12	XD12	
		FR13	FPR13_BANK0	XF13		
		FR14	FPR14_BANK0	XF14		XD14
FV12	DR12	FR15	FPR15_BANK0	XF15		
			DR14			
XMTRX	XD0	XF0	FPR0_BANK1	FR0	DR0	FV0
		XF1	FPR1_BANK1	FR1		
	XD2	XF2	FPR2_BANK1	FR2	DR2	
		XF3	FPR3_BANK1	FR3		
		XF4	FPR4_BANK1	FR4		DR4
XF5	FPR5_BANK1	FR5				
	XD6	XF6	FPR6_BANK1	FR6	DR6	
		XF7	FPR7_BANK1	FR7		
	XD8	XF8	FPR8_BANK1	FR8	DR8	FV8
		XF9	FPR9_BANK1	FR9		
		XF10	FPR10_BANK1	FR10		
	XD10	XF11	FPR11_BANK1	FR11		
		XF12	FPR12_BANK1	FR12	DR12	FV12
	XD12	XF13	FPR13_BANK1	FR13		
		XF14	FPR14_BANK1	FR14	DR14	
		XF15	FPR15_BANK1	FR15		

図 2.4 浮動小数点レジスタ

## 2.2.4 コントロールレジスタ

## (1) ステータスレジスタ (SR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	MD	RB	BL	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FD	—	—	—	—	—	M	Q	IMASK			—	—	S	T	
初期値:	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W:	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30	MD	1	R/W	処理モード 処理モードを選択します。 0: ユーザモード (命令の中には実行できない命令があります。また、リソースの中にはアクセスできないリソースがあります。) 1: 特権モード 例外または割り込みにより1にセットされます。
29	RB	1	R/W	特権モードでの汎用レジスタバンク指定ビット 0: R0_BANK0~R7_BANK0 は汎用レジスタ R0~R7 としてアクセスでき、R0_BANK1~R7_BANK1 は LDC/STC 命令でアクセスできます。 1: R0_BANK1~R7_BANK1 は汎用レジスタ R0~R7 としてアクセスでき、R0_BANK0~R7_BANK0 は LDC/STC 命令でアクセスできます。 例外または割り込みにより1にセットされます。
28	BL	1	R/W	例外/割り込みブロックビット このビットが1のとき、割り込み要求はマスクされ、ユーザブレイク以外の一般例外が発生すると、プロセッサはリセット状態に遷移します。 例外または割り込みにより1にセットされます。
27~16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15	FD	0	R/W	FPU ディスエーブルビット このビットが1のとき、FPU 命令は一般 FPU 抑止例外を発生させ、FPU 命令が遅延スロットにある場合、スロット FPU 抑止例外が発生します(FPU 命令: H'F***命令、FPUL/FPSCR に対する LDS(L)/STS(L)命令)。

## 2. プログラミングモデル

ビット	ビット名	初期値	R/W	説明
14~10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	M	0	R/W	Mビット DIV0S、DIV0U、DIV1命令で使用します。
8	Q	0	R/W	Qビット DIV0S、DIV0U、DIV1命令で使用します。
7~4	IMASK	すべて1	R/W	割り込みマスクレベル IMASK以下のレベルの割り込みはマスクされます。また、割り込みが発生した場合に、IMASKが割り込み受け付けレベルに変化する動作と変化しない動作をCPU動作モードレジスタ(CPUOPM)を用いて切り替えることができます。CPUOPMの動作は、「付録A. CPU動作モードレジスタ(CPUOPM)」を参照してください。
3、2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	S	0	R/W	Sビット MAC命令の飽和動作を指定します。
0	T	0	R/W	Tビット 真/偽条件、キャリ、ポロー、オーバフローまたはアンダフローなどを表します。 詳細は、「第3章 命令セット」を参照してください。

### (2) 退避ステータスレジスタ (SSR) (32ビット、特権保護、初期値=不定)

SRの内容は例外または割り込みの発生時、SSRに退避されます。

### (3) 退避プログラムカウンタ (SPC) (32ビット、特権保護、初期値=不定)

例外または割り込みの発生した命令のアドレスはSPCに退避されます。

### (4) グローバルベースレジスタ (GBR) (32ビット、初期値=不定)

GBRは@(disp,GBR)、@(R0,GBR)アドレッシングのベースアドレスとして参照されます。

### (5) ベクタベースレジスタ (VBR) (32ビット、特権保護、初期値=H'0000 0000)

VBRは例外および割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「第5章 例外処理」を参照してください。

### (6) 退避ジェネラルレジスタ 15 (SGR) (32ビット、特権保護、初期値=不定)

R15の内容は例外または割り込みの発生時SGRに退避されます。

### (7) デバッグベースレジスタ (DBR) (32ビット、特権保護、初期値=不定)

ユーザブレイクデバッグ機能を有効にする場合(CBCR.UBDE=1)、DBRはVBRの代わりにユーザブレイク

ハンドラへの分岐先アドレスとして参照されます。

### 2.2.5 システムレジスタ

- (1) 積和上位レジスタ (MACH) (32 ビット、初期値=不定)、  
積和下位レジスタ (MACL) (32 ビット、初期値=不定)

MACH/MACL は、MAC 命令の加算値として用いられます。また MAC 命令、MUL 命令の演算結果を格納するためにも用いられます。

- (2) プロシジャレジスタ (PR) (32 ビット、初期値=不定)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

- (3) プログラムカウンタ (PC) (32 ビット、初期値=H'A000 0000)

PC は実行中の命令アドレスを示します。

- (4) 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	FR	SZ	PR	DN	Cause		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)				Flag				RM			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21	FR	0	R/W	浮動小数点レジスタバンク 0: FPR0_BANK0~FPR15_BANK0 は FR0~FR15 に、FPR0_BANK1~FPR15_BANK1 は XF0~XF15 に割り当てられます。 1: FPR0_BANK0~FPR15_BANK0 は XF0~XF15 に、FPR0_BANK1~FPR15_BANK1 は FR0~FR15 に割り当てられます。
20	SZ	0	R/W	転送サイズモード 0: FMOV 命令のデータサイズは 32 ビットです。 1: FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。 SZ ビットおよび PR ビットとエンディアンとの関係については、図 2.5 を参照してください。

## 2. プログラミングモデル

ビット	ビット名	初期値	R/W	説明
19	PR	0	R/W	<p>精度モード</p> <p>0：浮動小数点命令を単精度演算として実行します。</p> <p>1：浮動小数点命令を倍精度演算として実行します（グラフィックサポート命令は未定義です）。</p> <p>PR ビットおよび SZ ビットとエンディアンとの関係については、図 2.5 を参照してください。</p>
18	DN	1	R/W	<p>非正規化モード</p> <p>0：非正規化数を非正規化数として扱います。</p> <p>1：非正規化数を 0 として扱います。</p>
17～12	Cause	すべて 0	R/W	FPU 例外要因フィールド
11～7	Enable (EN)	すべて 0	R/W	FPU 例外イネーブルフィールド
6～2	Flag	すべて 0	R/W	<p>FPU 例外フラグフィールド</p> <p>FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。</p> <p>FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。</p> <p>各フィールドのビットの割り付けについては表 2.2 を参照してください。</p>
1、0	RM	01	R/W	<p>丸めモード</p> <p>丸めの方法を選択します。</p> <p>00：近傍への丸め</p> <p>01：0 方向への丸め</p> <p>10：リザーブ（設定禁止）</p> <p>11：リザーブ（設定禁止）</p>

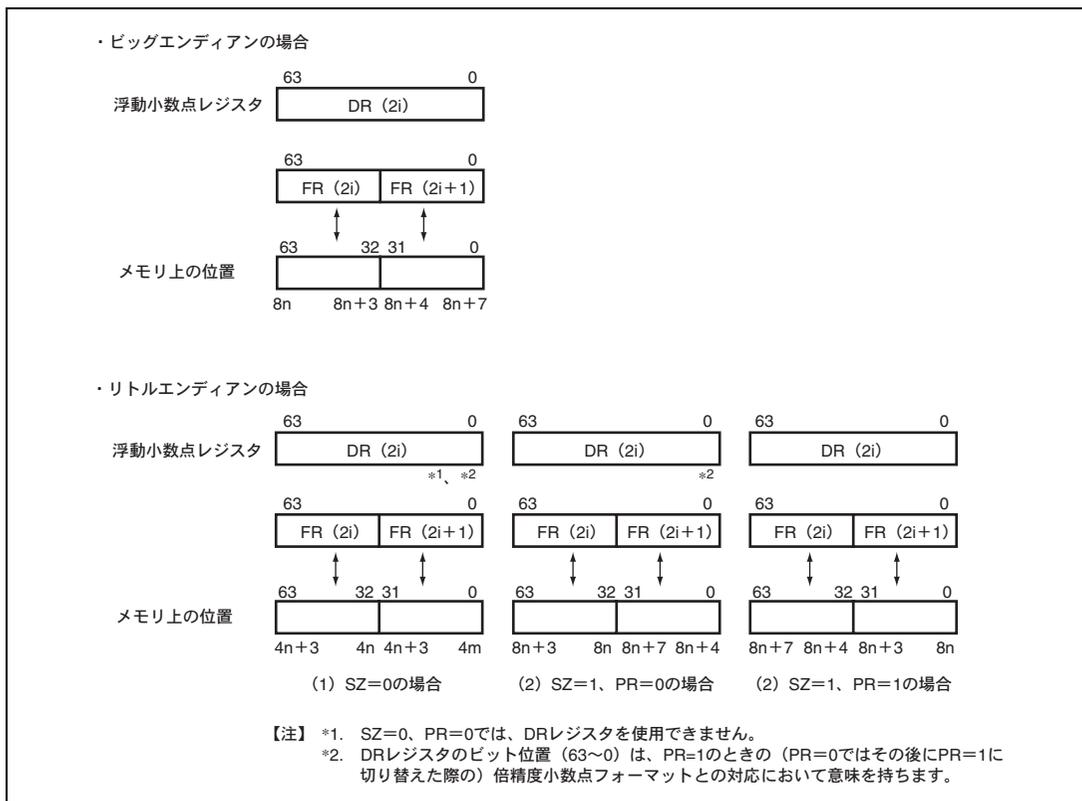


図 2.5 SZ ビットとエンディアンの関係

表 2.2 FPU 例外処理に関連するビットの割り付け

	FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバフロー (O)	アンダフロー (U)	不正確 (I)	
Cause	FPU 例外要因フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブルフィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグフィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

## (5) 浮動小数点通信レジスタ (FPUL) (32 ビット、初期値=不定)

FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

### 2.3 メモリ割り付けレジスタ

制御レジスタのうち、以下のメモリ領域にマッピングされているものがあります。これらのメモリ領域に割り付けられたレジスタには、2つのアドレスがあります。

H'1C00 0000~H'1FFF FFFF

H'FC00 0000~H'FFFF FFFF

以上2つの領域は次のように使用します。

- H'1C00 0000~H'1FFF FFFF

この領域はMMUのアドレス変換機能を用いてアクセスしなければなりません。この領域のページ番号をTLBの該当フィールドに設定することでメモリ割り付けレジスタへアクセスできます。この領域に対して、MMUのアドレス変換機能を用いずにアクセスした場合の動作は保証されません。

- H'FC00 0000~H'FFFF FFFF

ユーザモードで領域H'FC00 0000~H'FFFF FFFFにアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照することができます。

**【注】** 2つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

### 2.4 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード（32ビット）です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト（8ビット）、もしくはワード（16ビット）の場合は、ロングワードに符号拡張し、レジスタに格納します。

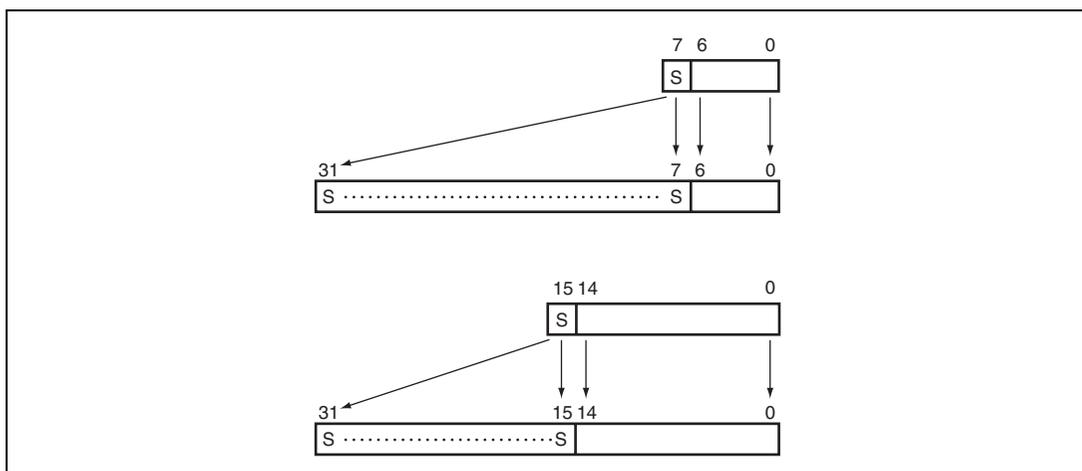


図 2.6 バイトデータ、ワードデータのレジスタ中のデータ形式

## 2.5 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは8ビットのバイト、16ビットのワード、32ビットのロングワードいずれの形でもアクセスすることができます。32ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2バイト刻みの偶数番地：2n番地）から、ロングワードオペランドはロングワード境界（4バイト刻みの偶数番地：4n番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビッグエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンはパワーオンリセット時に外部ピンで設定してください。エンディアンは動的には変更できません。ただしビット位置は常に最上位（most-significant）から最下位（least-significant）へ左から右へ減少するように番号が付けられています。すなわち32ビットのロングワードでは、一番左のビット、ビット31が最上位ビットで、一番右のビット、ビット0が最下位ビットです。

メモリ上のデータ形式を図2.7に示します。

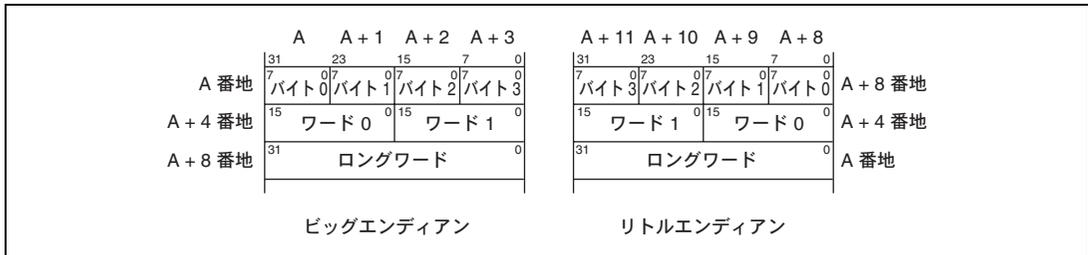


図 2.7 メモリ上のデータ形式

64ビットのデータ形式については図2.5を参照してください。

### 2.6 処理状態

処理状態には、大きく分けてリセット状態、命令実行状態、低消費電力状態の3種類があります。

#### (1) リセット状態

CPU がリセットされている状態です。リセット状態は、パワーオンリセット状態とマニュアルリセット状態に分類されます。

パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、一部の内蔵周辺モジュールのレジスタと CPU の内部状態とが初期化されます。詳細は、各章のレジスタ構成を参照してください。

#### (2) 命令実行状態

CPU が順次プログラムを実行している状態です。命令実行状態には、一般のプログラム実行状態と例外処理状態があります。

#### (3) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。

本 LSI は、CPU の低消費電力状態としてスリープモードをサポートしています。

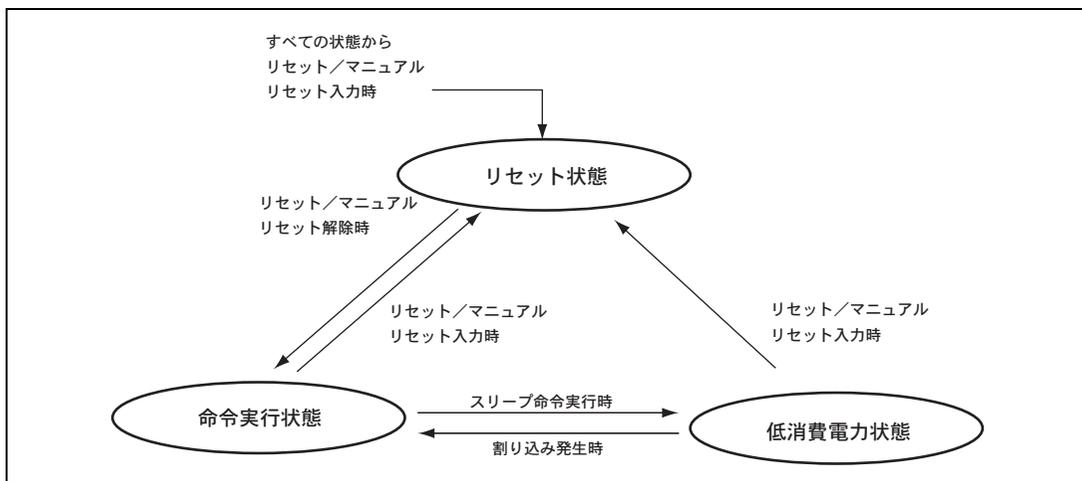


図 2.8 処理状態遷移図

## 2.7 使用上の注意事項

### 2.7.1 自己書き換えコード\*に対する注意事項

本 LSI は、処理を高速に行うために命令の先読みを従来の SH-4 に比べて大幅に強化しています。このためメモリ上の命令列の書き換えを行った直後に当該命令を実行しようとする、既に先読みされた更新前の命令が実行される可能性が高くなります。確実に更新された命令を実行するためには、書き換えを行う命令と書き換えられた命令の実行の間に下記の命令列を実行するようにしてください。

(1) 書き換える命令がキャッシング不可能領域にある場合

SYNCO

ICBI @Rn

ICBI 命令の Rn で指定するアドレスは、アドレスエラーにならない範囲で任意のアドレスで構いません。

(2) 書き換える命令列がキャッシング可能領域にある場合（ライトスルーモード時）

SYNCO

ICBI @Rn

書き換えた命令列に対応する命令キャッシュの領域すべてを ICBI 命令で無効化してください。ICBI はライン単位で行います。1 ラインは 32 バイトです。

(3) 書き換える命令列がキャッシング可能領域にある場合（コピーバックモード時）

OCBP @Rn または OCBWB @Rn

SYNCO

ICBI @Rn

書き換えた命令列に対応するオペランドキャッシュの領域すべてを OCBP 命令または OCBWB 命令で主記憶に書き戻しを行い、その後 ICBI 命令で対応する命令キャッシュ領域の無効化を行ってください。ICBI/OCBP/OCBWB はライン単位で行います。1 ラインは 32 バイトです。

【注】 \* 動的にメモリ上の命令列を書き換えながら実行する処理

## 2. プログラミングモデル

---

## 3. 命令セット

本 LSI の命令セットは固定長 16 ビット命令で実現されます。本 LSI はバイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット)、クワッドワード (64 ビット) のデータサイズでメモリにアクセスします。単精度浮動小数点データ (32 ビット) は、ロングワードまたはクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ (64 ビット) は、クワッドワードサイズでメモリとのやりとりが可能です。本 LSI がバイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

### 3.1 実行環境

#### (1) PC

PC はその命令自身の命令アドレスを示します。

#### (2) ロード/ストアアーキテクチャ

本 LSI は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算を除き、メモリアccessを必要とする演算はレジスタにロードした後、レジスタで実行されます。

#### (3) 遅延分岐

本 LSI の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐では分岐命令の次の命令は分岐先命令の前に実行されます。

#### (4) 遅延スロット

遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。たとえば、BRA 実行シーケンスは次のとおりです。

表 3.1 遅延分岐命令の実行順序

命令列			実行順序
BRA	TARGET	(遅延分岐命令)	BRA
ADD		(遅延スロット)	↓
:			ADD
:			↓
TARGET	target-inst	(分岐先命令)	target-inst

命令によっては遅延スロットで実行するとスロット不当命令例外が発生します。「第 5 章 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。

### 3. 命令セット

---

#### (5) Tビット

ステータスレジスタ (SR) の T ビットは、比較演算の結果などを示すために使用し、条件付き分岐命令で参照します。たとえば、以下に条件付き分岐命令例を示します。

```
ADD    #1, R0        ; T ビットは ADD 演算で変更されません。
CMP/EQ R1, R0        ; R0=R1 のとき T ビットは 1 にセットされる。
BT     TARGET        ; T ビット=1 (R0=R1) のとき TARGET に分岐する。
```

RTE の遅延スロットで、ステータスレジスタ (SR) ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

#### (6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで定義することができ、PC 相対ロード命令で参照できます。

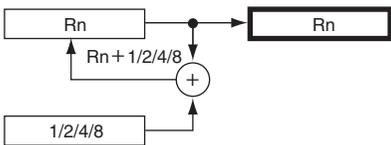
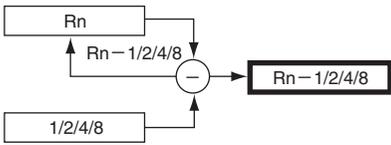
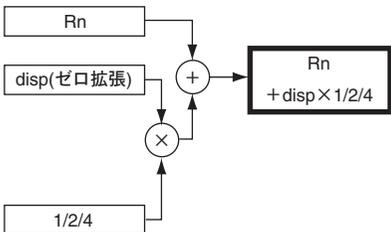
```
MOV.W   @(disp, PC), Rn
MOV.L   @(disp, PC), Rn
```

浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 または 1.0 にセットすることができます。

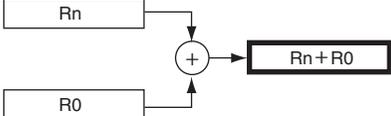
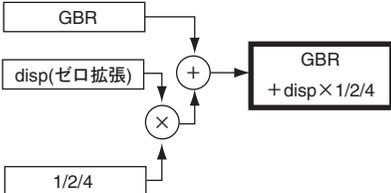
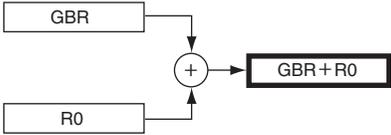
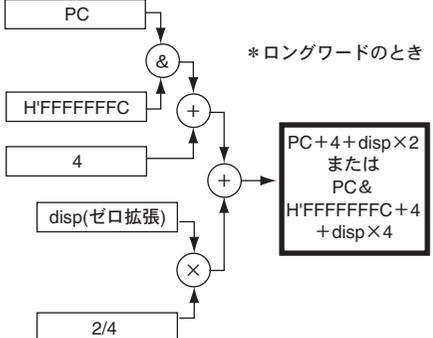
## 3.2 アドレッシングモード

表 3.2 にアドレッシングモードと実効アドレスの計算を示します。仮想アドレス空間のある位置をアクセスすると (MMUCR.AT=1)、実効アドレスは物理アドレスに変換されます。複数の仮想メモリ空間システムを選択した場合 (MMUCR.SV=0)、PTEH の最下位ビットもアクセスの ASID として参照されます。「第 7 章 メモリマネジメントユニット (MMU)」を参照してください。

表 3.2 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です。)	—
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn→EA (EA : 実効アドレス)
ポストインクリメント レジスタ間接	@Rn+	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	Rn→EA 命令実行後 バイト : Rn+1→Rn ワード : Rn+2→Rn ロングワード : Rn+4→Rn クワッドワード : Rn+8→Rn
プリデクリメント レジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。 	バイト : Rn-1→Rn ワード : Rn-2→Rn ロングワード : Rn-4→Rn クワッドワード : Rn-8→Rn Rn→EA (計算後の Rn で命令実行)
ディスプレースメント 付きレジスタ間接	@(disp:4,Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : Rn+disp→EA ワード : Rn+disp×2→EA ロングワード : Rn+disp×4→EA

### 3. 命令セット

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
インデックス付きレジスタ間接	@(R0,Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0 \rightarrow EA$
ディスプレースメント付き GBR 間接	@(disp:8,GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp \rightarrow EA$ ワード : $GBR + disp \times 2 \rightarrow EA$ ロングワード : $GBR + disp \times 4 \rightarrow EA$
インデックス付き GBR 間接	@(R0,GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0 \rightarrow EA$
ディスプレースメント付き PC 相対	@(disp:8,PC)	<p>実効アドレスは PC+4 に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p>  <p>* ロングワードのとき</p>	ワード : $PC + 4 + disp \times 2 \rightarrow EA$ ロングワード : $PC \& H'FFFFFFFC + 4 + disp \times 4 \rightarrow EA$

アドレッシングモード	命令フォーマット	実効アドレスの計算方法	計算式
PC 相対	disp:8	<p>実効アドレスは PC+4 に 8 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC+4+disp\times 2 \rightarrow \text{Branch-Target}$
	disp:12	<p>実効アドレスは PC+4 に 12 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p>	$PC+4+disp\times 2 \rightarrow \text{Branch-Target}$
PC 相対	Rn	<p>実効アドレスは PC+4 に Rn を加算した内容です。</p>	$PC+4+Rn \rightarrow \text{Branch-Target}$
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	—
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	—
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	—

【注】 下記のディスプレースメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を書いています。これは、LSI の動作を明確にするため、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

- @ (disp:4,Rn) ;ディスプレースメント付きレジスタ間接
- @ (disp:8,GBR) ;ディスプレースメント付き GBR 間接
- @ (disp:8,PC) ;ディスプレースメント付き PC 相対
- disp: 8,disp: 12 ;PC 相対

### 3. 命令セット

## 3.3 命令セット

表 3.4～表 3.13 に示す SuperH 命令の説明に使用する表記を表 3.3 に示します。

表 3.3 命令リストの表記

項目	フォーマット	説明
命令二モニク	OP.Sz SRC,DEST	OP : オペレーションコード Sz : サイズ SRC : ソースオペランド DEST : ソースおよび/またはデスティネーションオペランド Rm : ソースレジスタ Rn : デスティネーションレジスタ imm : イミディエイトデータ disp : ディスプレースメント
演算の要約		→、← : 転送方向 (xx) : メモリオペランド M/Q/T : SR のフラグビット & : 各ビットの論理積   : 各ビットの論理和 ^ : 各ビット排他的論理和 ~ : 各ビットの論理否定 <<n,>>n : n ビットシフト
命令コード	MSB←→LSB	mmmm : レジスタ番号 (Rm, FRm) nnnn : レジスタ番号 (Rn, FRn) 0000 : R0,FR0 0001 : R1,FR1 : 1111 : R15,FR15 mmm : レジスタ番号 (DRm, XDm, Rm_BANK) nnn : レジスタ番号 (DRn, XDn, Rn_BANK) 000 : DR0, XD0, R0_BANK 001 : DR2, XD2, R1_BANK : 111 : DR14, XD14, R7_BANK mm : レジスタ番号(FVm) nn : レジスタ番号(FVn)

### 3. 命令セット

項目	フォーマット	説明
命令コード	MSB←→LSB	00 : FV0 01 : FV4 10 : FV8 11 : FV12 iiii : イミディエイト値 dddd : ディスプレースメント
特権モード	—	「特権」と記載してある場合、特権モードでのみ実行可能です。
Tビット	命令実行後のTビットの値	— : 変更なし
新規	—	「新規」と記載してある場合は、本LSIで新規に追加された命令です。

【注】 スケーリング (x1、x2、x4、x8) は命令オペランドのサイズに応じて実行されます。

### 3. 命令セット

表 3.4 固定小数点転送命令

命令	動作	命令コード	特権	T ビット	新規
MOV #imm,Rn	imm→符号拡張→Rn	1110nnnniiiiiiii	—	—	—
MOV.W @(disp*,PC),Rn	(disp×2+PC+4)→符号拡張→Rn	1001nnnnddddddd	—	—	—
MOV.L @(disp*,PC),Rn	(disp×4+PC&H'FFFFFFC+4)→Rn	1101nnnnddddddd	—	—	—
MOV Rm,Rn	Rm→Rn	0110nnnnmmmm0011	—	—	—
MOV.B Rm,@Rn	Rm→(Rn)	0010nnnnmmmm0000	—	—	—
MOV.W Rm,@Rn	Rm→(Rn)	0010nnnnmmmm0001	—	—	—
MOV.L Rm,@Rn	Rm→(Rn)	0010nnnnmmmm0010	—	—	—
MOV.B @Rm,Rn	(Rm)→符号拡張→Rn	0110nnnnmmmm0000	—	—	—
MOV.W @Rm,Rn	(Rm)→符号拡張→Rn	0110nnnnmmmm0001	—	—	—
MOV.L @Rm,Rn	(Rm)→Rn	0110nnnnmmmm0010	—	—	—
MOV.B Rm,@-Rn	Rn-1→Rn,Rm→(Rn)	0010nnnnmmmm0100	—	—	—
MOV.W Rm,@-Rn	Rn-2→Rn,Rm→(Rn)	0010nnnnmmmm0101	—	—	—
MOV.L Rm,@-Rn	Rn-4→Rn,Rm→(Rn)	0010nnnnmmmm0110	—	—	—
MOV.B @Rm+,Rn	(Rm)→符号拡張→Rn,Rm+1→Rm	0110nnnnmmmm0100	—	—	—
MOV.W @Rm+,Rn	(Rm)→符号拡張→Rn,Rm+2→Rm	0110nnnnmmmm0101	—	—	—
MOV.L @Rm+,Rn	(Rm)→Rn,Rm+4→Rm	0110nnnnmmmm0110	—	—	—
MOV.B R0,@(disp*,Rn)	R0→(disp+Rn)	1000000nnnndddd	—	—	—
MOV.W R0,@(disp*,Rn)	R0→(disp×2+Rn)	10000001nnnndddd	—	—	—
MOV.L Rm,@(disp*,Rn)	Rm→(disp×4+Rn)	0001nnnnmmmmdddd	—	—	—
MOV.B @(disp*,Rm),R0	(disp+Rm)→符号拡張→R0	10000100mmmmdddd	—	—	—
MOV.W @(disp*,Rm),R0	(disp×2+Rm)→符号拡張→R0	10000101mmmmdddd	—	—	—
MOV.L @(disp*,Rm),Rn	(disp×4+Rm)→Rn	0101nnnnmmmmdddd	—	—	—
MOV.B Rm,@(R0,Rn)	Rm→(R0+Rn)	0000nnnnmmmm0100	—	—	—
MOV.W Rm,@(R0,Rn)	Rm→(R0+Rn)	0000nnnnmmmm0101	—	—	—
MOV.L Rm,@(R0,Rn)	Rm→(R0+Rn)	0000nnnnmmmm0110	—	—	—
MOV.B @(R0,Rm),Rn	(R0+Rm)→符号拡張→Rn	0000nnnnmmmm1100	—	—	—
MOV.W @(R0,Rm),Rn	(R0+Rm)→符号拡張→Rn	0000nnnnmmmm1101	—	—	—
MOV.L @(R0,Rm),Rn	(R0+Rm)→Rn	0000nnnnmmmm1110	—	—	—
MOV.B R0,@(disp*,GBR)	R0→(disp+GBR)	11000000ddddddd	—	—	—
MOV.W R0,@(disp*,GBR)	R0→(disp×2+GBR)	11000001ddddddd	—	—	—
MOV.L R0,@(disp*,GBR)	R0→(disp×4+GBR)	11000010ddddddd	—	—	—
MOV.B @(disp*,GBR),R0	(disp+GBR)→符号拡張→R0	11000100ddddddd	—	—	—
MOV.W @(disp*,GBR),R0	(disp×2+GBR)→符号拡張→R0	11000101ddddddd	—	—	—
MOV.L @(disp*,GBR),R0	(disp×4+GBR)→R0	11000110ddddddd	—	—	—
MOVA @(disp*,PC),R0	disp×4+PC&H'FFFFFFC+4→R0	11000111ddddddd	—	—	—

### 3. 命令セット

命令	動作	命令コード	特権	T ビット	新規
MOVCO.L R0,@Rn	LDST→T if(T==1)R0→(Rn) 0→LDST	0000nnnn01110011	—	LDST	新規
MOVLI.L @Rm,R0	1→LDST (Rm)→R0 ただし、割り込み／例外発生時 0→LDST	0000mmmm01100011	—	—	新規
MOVUA.L @Rm,R0	(Rm)→R0 非境界調整データのロード	0100mmmm10101001	—	—	新規
MOVUA.L @Rm+,R0	(Rm)→R0,Rm+4→Rm 非境界調整データのロード	0100mmmm11101001	—	—	新規
MOVT Rn	T→Rn	0000nnnn00101001	—	—	—
SWAP.B Rm,Rn	Rm→下位 2 バイトの 上下バイト交換→Rn	0110nnnnmmmm1000	—	—	—
SWAP.W Rm,Rn	Rm→上下ワード交換→Rn	0110nnnnmmmm1001	—	—	—
XTRCT Rm,Rn	Rm:Rn の中央 32 ビット→Rn	0010nnnnmmmm1101	—	—	—

【注】 \* ルネサスのアセンブラでは、disp にスケールリング後 (×1、×2、×4) の値を設定します。

表 3.5 算術演算命令

命令	動作	命令コード	特権	T ビット	新規
ADD Rm,Rn	Rn+Rm→Rn	0011nnnnmmmm1100	—	—	—
ADD #imm,Rn	Rn+imm→Rn	0111nnnniiiiiiii	—	—	—
ADDC Rm,Rn	Rn+Rm+T→Rn,キャリ→T	0011nnnnmmmm1110	—	キャリ	—
ADDV Rm,Rn	Rn+Rm→Rn,オーバフロー→T	0011nnnnmmmm1111	—	オーバ フロー	—
CMP/EQ #imm,R0	R0 = imm のとき 1→T それ以外のとき 0→T	10001000iiiiiiii	—	比較 結果	—
CMP/EQ Rm,Rn	Rn = Rm のとき 1→T それ以外のとき 0→T	0011nnnnmmmm0000	—	比較 結果	—
CMP/HS Rm,Rn	無符号で Rn ≥ Rm のとき 1→T それ以外のとき 0→T	0011nnnnmmmm0010	—	比較 結果	—
CMP/GE Rm,Rn	有符号で Rn ≥ Rm のとき 1→T それ以外のとき 0→T	0011nnnnmmmm0011	—	比較 結果	—
CMP/HT Rm,Rn	無符号で Rn > Rm のとき 1→T それ以外のとき 0→T	0011nnnnmmmm0110	—	比較 結果	—
CMP/GT Rm,Rn	有符号で Rn > Rm のとき 1→T それ以外のとき 0→T	0011nnnnmmmm0111	—	比較 結果	—
CMP/PZ Rn	Rn ≥ 0 のとき 1→T それ以外のとき 0→T	0100nnnn00010001	—	比較 結果	—

### 3. 命令セット

命令	動作	命令コード	特権	T ビット	新規
CMP/PL Rn	Rn>0 のとき 1→T それ以外るとき 0→T	0100nnnn00010101	—	比較 結果	—
CMP/STR Rm,Rn	いずれかのバイトが等しいとき 1→T それ以外るとき 0→T	0010nnnnnnnnmm1100	—	比較 結果	—
DIV1 Rm,Rn	1 ステップ除算 (Rn÷Rm)	0011nnnnnnnnmm0100	—	計算 結果	—
DIV0S Rm,Rn	Rn の MSB→Q,Rm の MSB→M, M^Q→T	0010nnnnnnnnmm0111	—	計算 結果	—
DIV0U	0→M/Q/T	0000000000011001	—	0	—
DMULS.L Rm,Rn	符号付きで Rn×Rm→MAC, 32×32→64 ビット	0011nnnnnnnnmm1101	—	—	—
DMULU.L Rm,Rn	符号なしで Rn×Rm→MAC, 32×32→64 ビット	0011nnnnnnnnmm0101	—	—	—
DT Rn	Rn-1→Rn,Rn が 0 のとき 1→T Rn が 0 以外るとき 0→T	0100nnnn00010000	—	比較 結果	—
EXTS.B Rm,Rn	Rm をバイトから符号拡張→Rn	0110nnnnnnnnmm1110	—	—	—
EXTS.W Rm,Rn	Rm をワードから符号拡張→Rn	0110nnnnnnnnmm1111	—	—	—
EXTU.B Rm,Rn	Rm をバイトからゼロ拡張→Rn	0110nnnnnnnnmm1100	—	—	—
EXTU.W Rm,Rn	Rm をワードからゼロ拡張→Rn	0110nnnnnnnnmm1101	—	—	—
MAC.L @Rm+,@Rn+	符号付きで (Rn)×(Rm)+MAC→MAC Rn+4→Rn,Rm+4→Rm 32×32+64→64 ビット	0000nnnnnnnnmm1111	—	—	—
MAC.W @Rm+,@Rn+	符号付きで (Rn)×(Rm)+MAC→MAC Rn+2→Rn,Rm+2→Rm 16×16+64→64 ビット	0100nnnnnnnnmm1111	—	—	—
MUL.L Rm,Rn	Rn×Rm→MACL 32×32→32 ビット	0000nnnnnnnnmm0111	—	—	—
MULS.W Rm,Rn	符号付きで Rn×Rm→MACL 16×16→32 ビット	0010nnnnnnnnmm1111	—	—	—
MULU.W Rm,Rn	符号なしで Rn×Rm→MACL 16×16→32 ビット	0010nnnnnnnnmm1110	—	—	—
NEG Rm,Rn	0-Rm→Rn	0110nnnnnnnnmm1011	—	—	—
NEGC Rm,Rn	0-Rm-T→Rn,ポロー→T	0110nnnnnnnnmm1010	—	ポロー	—
SUB Rm,Rn	Rn-Rm→Rn	0011nnnnnnnnmm1000	—	—	—
SUBC Rm,Rn	Rn-Rm-T→Rn,ポロー→T	0011nnnnnnnnmm1010	—	ポロー	—
SUBV Rm,Rn	Rn-Rm→Rn,アンダフロー→T	0011nnnnnnnnmm1011	—	アンダ フロー	—

表 3.6 論理演算命令

命令	動作	命令コード	特権	T ビット	新規
AND Rm,Rn	$Rn \& Rm \rightarrow Rn$	0010nnnnmmmm1001	—	—	—
AND #imm,R0	$R0 \& imm \rightarrow R0$	11001001iiiiiiii	—	—	—
AND.B #imm,@(R0,GBR)	$(R0+GBR) \& imm \rightarrow (R0+GBR)$	11001101iiiiiiii	—	—	—
NOT Rm,Rn	$\sim Rm \rightarrow Rn$	0110nnnnmmmm0111	—	—	—
OR Rm,Rn	$Rn   Rm \rightarrow Rn$	0010nnnnmmmm1011	—	—	—
OR #imm,R0	$R0   imm \rightarrow R0$	11001011iiiiiiii	—	—	—
OR.B #imm,@(R0,GBR)	$(R0+GBR)   imm \rightarrow (R0+GBR)$	11001111iiiiiiii	—	—	—
TAS.B @Rn	(Rn)が0のとき 1→T それ以外とき 0→T 両方に対して 1→(Rn)のMSB	0100nnnn00011011	—	テスト 結果	—
TST Rm,Rn	Rn & Rm,結果が0のとき 1→T それ以外とき 0→T	0010nnnnmmmm1000	—	テスト 結果	—
TST #imm,R0	R0 & imm,結果が0のとき 1→T それ以外とき 0→T	11001000iiiiiiii	—	テスト 結果	—
TST.B #imm,@(R0,GBR)	(R0+GBR)&imm, 結果が0のとき 1→T それ以外とき 0→T	11001100iiiiiiii	—	テスト 結果	—
XOR Rm,Rn	$Rn \wedge Rm \rightarrow Rn$	0010nnnnmmmm1010	—	—	—
XOR #imm,R0	$R0 \wedge imm \rightarrow R0$	11001010iiiiiiii	—	—	—
XOR.B #imm,@(R0,GBR)	$(R0+GBR) \wedge imm \rightarrow (R0+GBR)$	11001110iiiiiiii	—	—	—

### 3. 命令セット

表 3.7 シフト命令

命令		動作	命令コード	特権	T ビット	新規
ROTL	Rn	$T \leftarrow Rn \leftarrow \text{MSB}$	0100nnnn00000100	—	MSB	—
ROTR	Rn	$\text{LSB} \rightarrow Rn \rightarrow T$	0100nnnn00000101	—	LSB	—
ROTCL	Rn	$T \leftarrow Rn \leftarrow T$	0100nnnn00100100	—	MSB	—
ROTCR	Rn	$T \rightarrow Rn \rightarrow T$	0100nnnn00100101	—	LSB	—
SHAD	Rm,Rn	$Rm \geq 0$ のとき $Rn \ll Rm \rightarrow Rn$ , $Rm < 0$ のとき $Rn \gg Rm \rightarrow [\text{MSB} \rightarrow Rn]$	0100nnnnmmmm1100	—	—	—
SHAL	Rn	$T \leftarrow Rn \leftarrow 0$	0100nnnn00100000	—	MSB	—
SHAR	Rn	$\text{MSB} \rightarrow Rn \rightarrow T$	0100nnnn00100001	—	LSB	—
SHLD	Rm,Rn	$Rm \geq 0$ のとき $Rn \ll Rm \rightarrow Rn$ , $Rm < 0$ のとき $Rn \gg Rm \rightarrow [0 \rightarrow Rn]$	0100nnnnmmmm1101	—	—	—
SHLL	Rn	$T \leftarrow Rn \leftarrow 0$	0100nnnn00000000	—	MSB	—
SHLR	Rn	$0 \rightarrow Rn \rightarrow T$	0100nnnn00000001	—	LSB	—
SHLL2	Rn	$Rn \ll 2 \rightarrow Rn$	0100nnnn00001000	—	—	—
SHLR2	Rn	$Rn \gg 2 \rightarrow Rn$	0100nnnn00001001	—	—	—
SHLL8	Rn	$Rn \ll 8 \rightarrow Rn$	0100nnnn00011000	—	—	—
SHLR8	Rn	$Rn \gg 8 \rightarrow Rn$	0100nnnn00011001	—	—	—
SHLL16	Rn	$Rn \ll 16 \rightarrow Rn$	0100nnnn00101000	—	—	—
SHLR16	Rn	$Rn \gg 16 \rightarrow Rn$	0100nnnn00101001	—	—	—

表 3.8 分岐命令

命令		動作	命令コード	特権	T ビット	新規
BF	label	T=0 のとき $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$ , T=1 のとき nop	10001011dddddddd	—	—	—
BF/S	label	遅延分岐, T=0 のとき $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$ , T=1 のとき nop	10001111dddddddd	—	—	—
BT	label	T=1 のとき $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$ , T=0 のとき nop	10001001dddddddd	—	—	—
BT/S	label	遅延分岐, T=1 のとき $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$ , T=0 のとき nop	10001101dddddddd	—	—	—
BRA	label	遅延分岐, $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$	1010dddddddddddd	—	—	—
BRAF	Rn	遅延分岐, $\text{Rn} + \text{PC} + 4 \rightarrow \text{PC}$	0000nnnn00100011	—	—	—
BSR	label	遅延分岐, $\text{PC} + 4 \rightarrow \text{PR}$ , $\text{disp} \times 2 + \text{PC} + 4 \rightarrow \text{PC}$	1011dddddddddddd	—	—	—
BSRF	Rn	遅延分岐, $\text{PC} + 4 \rightarrow \text{PR}$ , $\text{Rn} + \text{PC} + 4 \rightarrow \text{PC}$	0000nnnn00000011	—	—	—
JMP	@Rn	遅延分岐, $\text{Rn} \rightarrow \text{PC}$	0100nnnn00101011	—	—	—
JSR	@Rn	遅延分岐, $\text{PC} + 4 \rightarrow \text{PR}$ , $\text{Rn} \rightarrow \text{PC}$	0100nnnn00001011	—	—	—
RTS		遅延分岐, $\text{PR} \rightarrow \text{PC}$	0000000000001011	—	—	—

### 3. 命令セット

表 3.9 システム制御命令

命令	動作	命令コード	特権	T ビット	新規
CLRMAC	0→MACH,MACL	0000000000101000	—	—	—
CLRS	0→S	0000000001001000	—	—	—
CLRT	0→T	0000000000001000	—	0	—
ICBI @Rn	論理アドレス Rn で示される命令 キャッシュを無効化	0000nnnn11100011	—	—	新規
LDC Rm,SR	Rm→SR	0100mmmm00001110	特権	LSB	—
LDC Rm,GBR	Rm→GBR	0100mmmm00011110	—	—	—
LDC Rm,VBR	Rm→VBR	0100mmmm00101110	特権	—	—
LDC Rm,SGR	Rm→SGR	0100mmmm00111010	特権	—	新規
LDC Rm,SSR	Rm→SSR	0100mmmm00111110	特権	—	—
LDC Rm,SPC	Rm→SPC	0100mmmm01001110	特権	—	—
LDC Rm,DBR	Rm→DBR	0100mmmm11111010	特権	—	—
LDC Rm,Rn_BANK	Rm→Rn_BANK(n=0~7)	0100mmmm1nnn1110	特権	—	—
LDC.L @Rm+,SR	(Rm)→SR,Rm+4→Rm	0100mmmm00000111	特権	LSB	—
LDC.L @Rm+,GBR	(Rm)→GBR,Rm+4→Rm	0100mmmm00010111	—	—	—
LDC.L @Rm+,VBR	(Rm)→VBR,Rm+4→Rm	0100mmmm00100111	特権	—	—
LDC.L @Rm+,SGR	(Rm)→SGR,Rm+4→Rm	0100mmmm00110110	特権	—	新規
LDC.L @Rm+,SSR	(Rm)→SSR,Rm+4→Rm	0100mmmm00110111	特権	—	—
LDC.L @Rm+,SPC	(Rm)→SPC,Rm+4→Rm	0100mmmm01000111	特権	—	—
LDC.L @Rm+,DBR	(Rm)→DBR,Rm+4→Rm	0100mmmm11110110	特権	—	—
LDC.L @Rm+,Rn_BANK	(Rm)→Rn_BANK,Rm+4→Rm	0100mmmm1nnn0111	特権	—	—
LDS Rm,MACH	Rm→MACH	0100mmmm00001010	—	—	—
LDS Rm,MACL	Rm→MACL	0100mmmm00011010	—	—	—
LDS Rm,PR	Rm→PR	0100mmmm00101010	—	—	—
LDS.L @Rm+,MACH	(Rm)→MACH,Rm+4→Rm	0100mmmm00000110	—	—	—
LDS.L @Rm+,MACL	(Rm)→MACL,Rm+4→Rm	0100mmmm00010110	—	—	—
LDS.L @Rm+,PR	(Rm)→PR,Rm+4→Rm	0100mmmm00100110	—	—	—
LDTLB	PTEH/PTEL→TLB	000000000111000	特権	—	—
MOVCA.L R0,@Rn	(キャッシュブロックをフェッチせ ずに) R0→(Rn)	0000nnnn11000011	—	—	—
NOP	無操作	0000000000001001	—	—	—
OCBI @Rn	オペランドキャッシュブロックを無 効にする	0000nnnn10010011	—	—	—
OCBP @Rn	オペランドキャッシュブロックをラ イトバックし無効にする	0000nnnn10100011	—	—	—

### 3. 命令セット

命令	動作	命令コード	特権	T ビット	新規
OCBWB @Rn	オペランドキャッシュブロックをライトバックする	0000nnnn10110011	—	—	—
PREF @Rn	(Rn)→オペランドキャッシュ	0000nnnn10000011	—	—	—
PREFI @Rn	32 バイトの命令ブロックを命令キャッシュに読み込む	0000nnnn11010011	—	—	新規
RTE	遅延分岐,SSR/SPC→SR/PC	000000000101011	特権	—	—
SETS	1→S	000000001011000	—	—	—
SETT	1→T	00000000011000	—	1	—
SLEEP	スリープもしくはスタンバイ	000000000011011	特権	—	—
STC SR,Rn	SR→Rn	0000nnnn0000010	特権	—	—
STC GBR,Rn	GBR→Rn	0000nnnn00010010	—	—	—
STC VBR,Rn	VBR→Rn	0000nnnn00100010	特権	—	—
STC SSR,Rn	SSR→Rn	0000nnnn00110010	特権	—	—
STC SPC,Rn	SPC→Rn	0000nnnn01000010	特権	—	—
STC SGR,Rn	SGR→Rn	0000nnnn00111010	特権	—	—
STC DBR,Rn	DBR→Rn	0000nnnn11111010	特権	—	—
STC Rm_BANK,Rn	Rm_BANK→Rn (m=0~7)	0000nnnn1mmmm0010	特権	—	—
STC.L SR,@-Rn	Rn-4→Rn,SR→(Rn)	0100nnnn00000011	特権	—	—
STC.L GBR,@-Rn	Rn-4→Rn,GBR→(Rn)	0100nnnn00010011	—	—	—
STC.L VBR,@-Rn	Rn-4→Rn,VBR→(Rn)	0100nnnn00100011	特権	—	—
STC.L SSR,@-Rn	Rn-4→Rn,SSR→(Rn)	0100nnnn00110011	特権	—	—
STC.L SPC,@-Rn	Rn-4→Rn,SPC→(Rn)	0100nnnn01000011	特権	—	—
STC.L SGR,@-Rn	Rn-4→Rn,SGR→(Rn)	0100nnnn00110010	特権	—	—
STC.L DBR,@-Rn	Rn-4→Rn,DBR→(Rn)	0100nnnn11110010	特権	—	—
STC.L Rm_BANK,@-Rn	Rn-4→Rn,Rm_BANK→(Rn) (m=0~7)	0100nnnn1mmmm0011	特権	—	—
STS MACH,Rn	MACH→Rn	0000nnnn00001010	—	—	—
STS MACL,Rn	MACL→Rn	0000nnnn00011010	—	—	—
STS PR,Rn	PR→Rn	0000nnnn00101010	—	—	—
STS.L MACH,@-Rn	Rn-4→Rn,MACH→(Rn)	0100nnnn00000010	—	—	—
STS.L MACL,@-Rn	Rn-4→Rn,MACL→(Rn)	0100nnnn00010010	—	—	—
STS.L PR,@-Rn	Rn-4→Rn,PR→(Rn)	0100nnnn00100010	—	—	—
SYNCO	本命令以前のデータ操作を完了するまで、本命令以降の命令を開始しない	0000000010101011	—	—	新規
TRAPA #imm	imm <<2→TRA,PC+2→SPC, SR→SSR,R15→SGR, 1→SR.MD/BL/RB,H'160→EXPEVT, VBR+H'0100→PC	11000011iiiiiiii	—	—	—

### 3. 命令セット

表 3.10 浮動小数点単精度命令

命令	動作	命令コード	特権	T ビット	新規
FLDI0	FRn	H'00000000→FRn	1111nnnnn10001101	—	—
FLDI1	FRn	H'3F800000→FRn	1111nnnnn10011101	—	—
FMOV	FRm,FRn	FRm→FRn	1111nnnnnnnnnn1100	—	—
FMOV.S	@Rm,FRn	(Rm)→FRn	1111nnnnnnnnnn1000	—	—
FMOV.S	@(R0,Rm),FRn	(R0+Rm)→FRn	1111nnnnnnnnnn0110	—	—
FMOV.S	@Rm+,FRn	(Rm)→FRn,Rm+4→Rm	1111nnnnnnnnnn1001	—	—
FMOV.S	FRm,@Rn	FRm → (Rn)	1111nnnnnnnnnn1010	—	—
FMOV.S	FRm,@-Rn	Rn-4→Rn,FRm→(Rn)	1111nnnnnnnnnn1011	—	—
FMOV.S	FRm,@(R0,Rn)	FRm→(R0+Rn)	1111nnnnnnnnnn0111	—	—
FMOV	DRm,DRn	DRm→DRn	1111nnnn0nnnn01100	—	—
FMOV	@Rm,DRn	(Rm)→DRn	1111nnnn0nnnn1000	—	—
FMOV	@(R0,Rm),DRn	(R0+Rm)→DRn	1111nnnn0nnnn0110	—	—
FMOV	@Rm+,DRn	(Rm)→DRn,Rm+8→Rm	1111nnnn0nnnn1001	—	—
FMOV	DRm,@Rn	DRm→(Rn)	1111nnnnnnnnnn01010	—	—
FMOV	DRm,@-Rn	Rn-8→Rn,DRm→(Rn)	1111nnnnnnnnnn01011	—	—
FMOV	DRm,@(R0,Rn)	DRm→(R0+Rn)	1111nnnnnnnnnn00111	—	—
FLDS	FRm,FPUL	FRm→FPUL	1111nnnnnn00011101	—	—
FSTS	FPUL,FRn	FPUL→FRn	1111nnnnn00001101	—	—
FABS	FRn	FRn & H'7FFF FFFF→FRn	1111nnnnn01011101	—	—
FADD	FRm,FRn	FRn+FRm→FRn	1111nnnnnnnnnn0000	—	—
FCMP/EQ	FRm,FRn	FRn=FRm のとき 1→T それ以外のとき 0→T	1111nnnnnnnnnn0100	—	比較 結果
FCMP/GT	FRm,FRn	FRn>FRm のとき 1→T それ以外のとき 0→T	1111nnnnnnnnnn0101	—	比較 結果
FDIV	FRm,FRn	FRn/FRm→FRn	1111nnnnnnnnnn0011	—	—
FLOAT	FPUL,FRn	(float)FPUL→FRn	1111nnnnn00101101	—	—
FMAC	FR0,FRm,FRn	FR0×FRm+FRn→FRn	1111nnnnnnnnnn1110	—	—
FMUL	FRm,FRn	FRn×FRm→FRn	1111nnnnnnnnnn0010	—	—
FNEG	FRn	FRn ^ H'80000000→FRn	1111nnnnn01001101	—	—
FSQRT	FRn	sqrt(FRn)→FRn*	1111nnnnn01101101	—	—
FSUB	FRm,FRn	FRn - FRm→FRn	1111nnnnnnnnnn0001	—	—
FTRC	FRm,FPUL	(long)FRm→FPUL	1111nnnnnn00111101	—	—

【注】 \* sqrt(FRn)は FRn の平方根を表します。

表 3.11 浮動小数点倍精度命令

命令	動作	命令コード	特権	T ビット	新規
FABS DRn	DRn&H'7FFF FFFF FFFF FFFF→DRn	1111nnn001011101	—	—	—
FADD DRm,DRn	DRn+DRm→DRn	1111nnn0mmmm00000	—	—	—
FCMP/EQ DRm,DRn	DRn=DRm のとき 1→T それ以外るとき 0→T	1111nnn0mmmm00100	—	比較 結果	—
FCMP/GT DRm,DRn	DRn > DRm のとき 1→T それ以外るとき 0→T	1111nnn0mmmm00101	—	比較 結果	—
FDIV DRm,DRn	DRn/DRm→DRn	1111nnn0mmmm00011	—	—	—
FCNVDS DRm,FPUL	double_to_float(DRm)→FPUL	1111mmmm010111101	—	—	—
FCNVSD FPUL,DRn	float_to_double(FPUL)→DRn	1111nnn010101101	—	—	—
FLOAT FPUL,DRn	(float)FPUL→DRn	1111nnn000101101	—	—	—
FMUL DRm,DRn	DRn×DRm→DRn	1111nnn0mmmm00010	—	—	—
FNEG DRn	DRn ^ H'8000 0000 0000 0000→DRn	1111nnn001001101	—	—	—
FSQRT DRn	sqrt(DRn)→DRn*	1111nnn001101101	—	—	—
FSUB DRm,DRn	DRn - DRm→DRn	1111nnn0mmmm00001	—	—	—
FTRC DRm,FPUL	(long)DRm→FPUL	1111mmmm000111101	—	—	—

【注】 \* sqrt(DRn)は DRn の平方根を表します。

表 3.12 浮動小数点制御命令

命令	動作	命令コード	特権	T ビット	新規
LDS Rm,FPSCR	Rm→FPSCR	0100mmmmmm01101010	—	—	—
LDS Rm,FPUL	Rm→FPUL	0100mmmmmm01011010	—	—	—
LDS.L @Rm+,FPSCR	(Rm)→FPSCR,Rm+4→Rm	0100mmmmmm01100110	—	—	—
LDS.L @Rm+,FPUL	(Rm)→FPUL,Rm+4→Rm	0100mmmmmm01010110	—	—	—
STS FPSCR,Rn	FPSCR→Rn	0000nnnn01101010	—	—	—
STS FPUL,Rn	FPUL→Rn	0000nnnn01011010	—	—	—
STS.L FPSCR,@-Rn	Rn-4→Rn,FPSCR→(Rn)	0100nnnn01100010	—	—	—
STS.L FPUL,@-Rn	Rn-4→Rn,FPUL→(Rn)	0100nnnn01010010	—	—	—

### 3. 命令セット

表 3.13 浮動小数点グラフィック強化命令

命令	動作	命令コード	特権	T ビット	新規
FMOV DRm, XDn	DRm→XDn	1111nnn1mmmm01100	—	—	—
FMOV XDm, DRn	XDm→DRn	1111nnn0mmmm11100	—	—	—
FMOV XDm, XDn	XDm→XDn	1111nnn1mmmm11100	—	—	—
FMOV @Rm, XDn	(Rm)→XDn	1111nnn1mmmm1000	—	—	—
FMOV @Rm+, XDn	(Rm)→XDn, Rm+8→Rm	1111nnn1mmmm1001	—	—	—
FMOV @(R0, Rm), XDn	(R0+Rm)→XDn	1111nnn1mmmm0110	—	—	—
FMOV XDm, @Rn	XDm→(Rn)	1111nnnnmmmm11010	—	—	—
FMOV XDm, @-Rn	Rn-8→Rn, XDm→(Rn)	1111nnnnmmmm11011	—	—	—
FMOV XDm, @(R0, Rn)	XDm→(R0+Rn)	1111nnnnmmmm10111	—	—	—
FIPR FVm, FVn	inner_product(FVm, FVn) →FR[n+3]	1111nnmm11101101	—	—	—
FTRV XMTRX, FVn	transform_vector(XMTRX, FVn) →FVn	1111nn0111111101	—	—	—
FRCHG	~FRSCR.FR→FRSCR.FR	1111101111111101	—	—	—
FSCHG	~FPSCR.SZ→FPSCR.SZ	1111001111111101	—	—	—
FPCHG	~FPSCR.PR→FPSCR.PR	1111011111111101	—	—	新規
FSRRA FRn	1/sqrt(FRn)→FRn*	1111nnnn01111101	—	—	新規
FSCA FPUL, DRn	sin(FPUL)→FRn cos(FPUL)→FR[n+1]	1111nnn011111101	—	—	新規

【注】 \* sqrt(FRn)は FRn の平方根を表します。

## 4. パイプライン動作

本 LSI は 2 命令並列型 (2-ILP, Instruction-Level-Parallelism) のスーパスカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。

### 4.1 パイプライン

図 4.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I1、I2)、デコード・レジスタリード (ID)、実行 (E1、E2、E3)、ライトバック (WB) の 7 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。

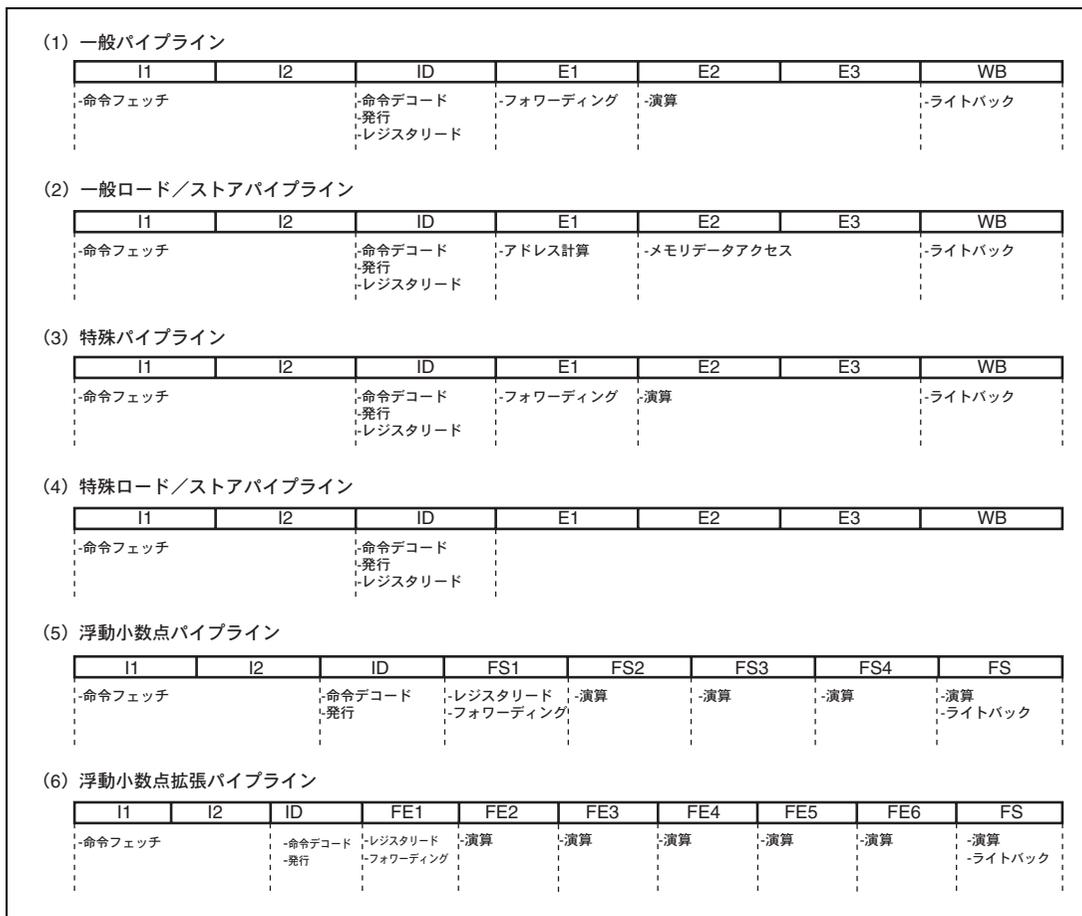


図 4.1 基本パイプライン

#### 4. パイプライン動作

図 4.2 に命令実行パターンを示します。図 4.2 で使用する表記とその意味を以下に示します。

表 4.1 命令実行パターン表記説明

表 記	意 味							
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1</td><td>E2</td><td>E3</td><td>WB</td></tr></table>	E1	E2	E3	WB	CPU EX パイプ占有			
E1	E2	E3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>S1</td><td>S2</td><td>S3</td><td>WB</td></tr></table>	S1	S2	S3	WB	CPU LS パイプ占有 (メモリアクセスを伴う場合)			
S1	S2	S3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>s1</td><td>s2</td><td>s3</td><td>WB</td></tr></table>	s1	s2	s3	WB	CPU LS パイプ占有 (メモリアクセスを伴わない場合)			
s1	s2	s3	WB					
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1/S1</td></tr></table>	E1/S1	CPU EX か LS の いずれか一方を占有						
E1/S1								
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1S1</td></tr></table> 、 <table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>E1s1</td></tr></table>	E1S1	E1s1	CPU EX と LS の 両方を占有					
E1S1								
E1s1								
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>M2</td><td>M3</td><td>MS</td></tr></table>	M2	M3	MS	CPU MULT 演算器占有				
M2	M3	MS						
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>FE1</td><td>FE2</td><td>FE3</td><td>FE4</td><td>FE5</td><td>FE6</td><td>FS</td></tr></table>	FE1	FE2	FE3	FE4	FE5	FE6	FS	FPU-EX パイプ占有
FE1	FE2	FE3	FE4	FE5	FE6	FS		
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>FS1</td><td>FS2</td><td>FS3</td><td>FS4</td><td>FS</td></tr></table>	FS1	FS2	FS3	FS4	FS	FPU-LS パイプ占有		
FS1	FS2	FS3	FS4	FS				
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>ID</td></tr></table>	ID	ID ステージをロック						
ID								
<table border="1" style="display: inline-table; vertical-align: middle;"><tr><td>└─</td></tr></table>	└─	CPU と FPU 両方のパイプを占有						
└─								

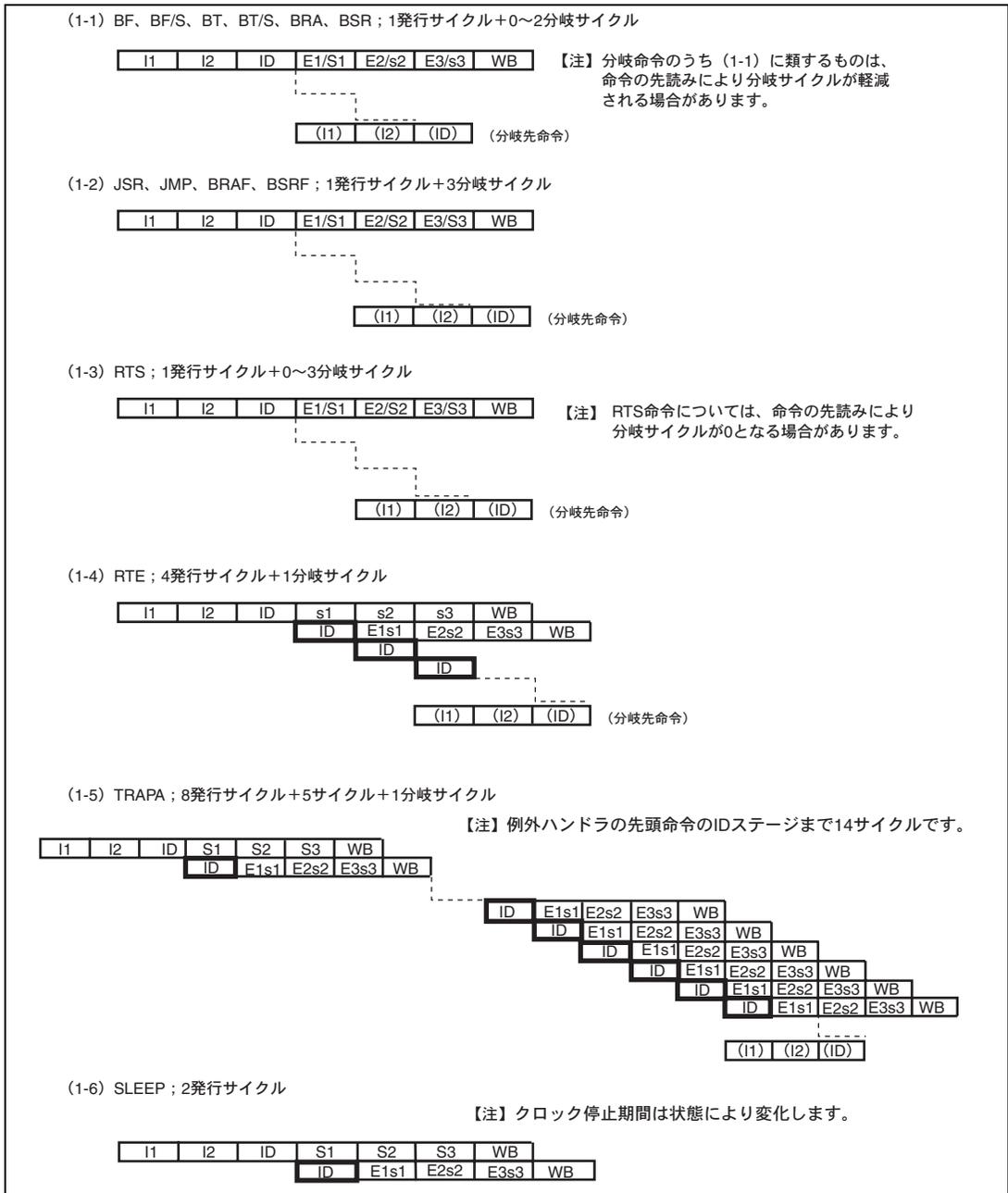


図 4.2 命令実行パターン (1)

#### 4. パイプライン動作

---

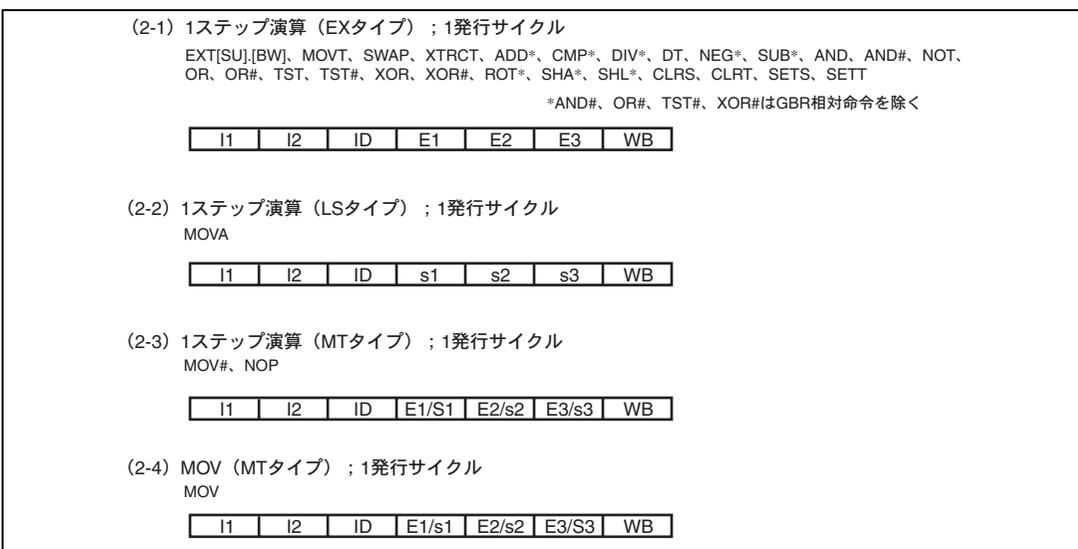


図 4.2 命令実行パターン (2)

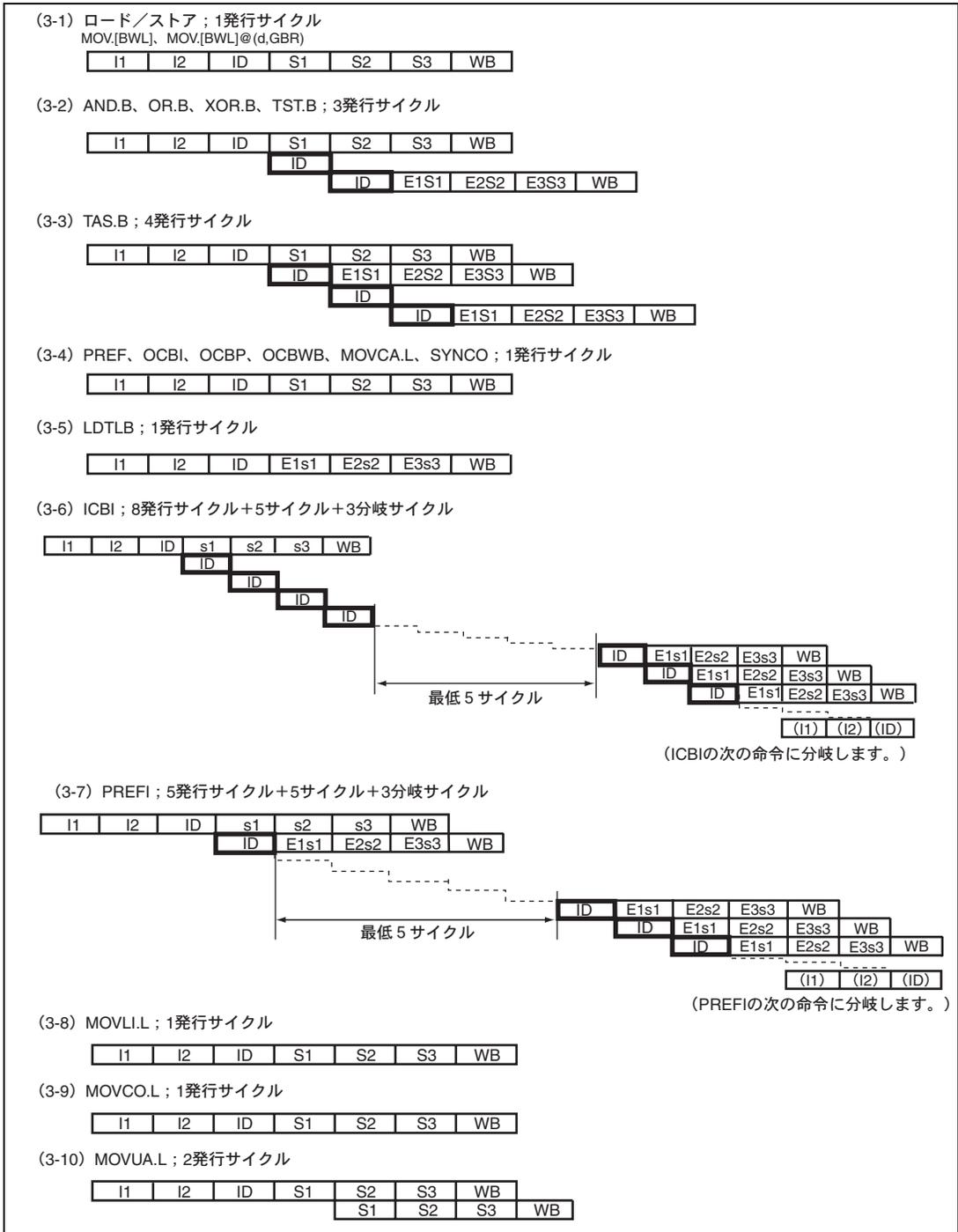


図 4.2 命令実行パターン (3)

#### 4. パイプライン動作

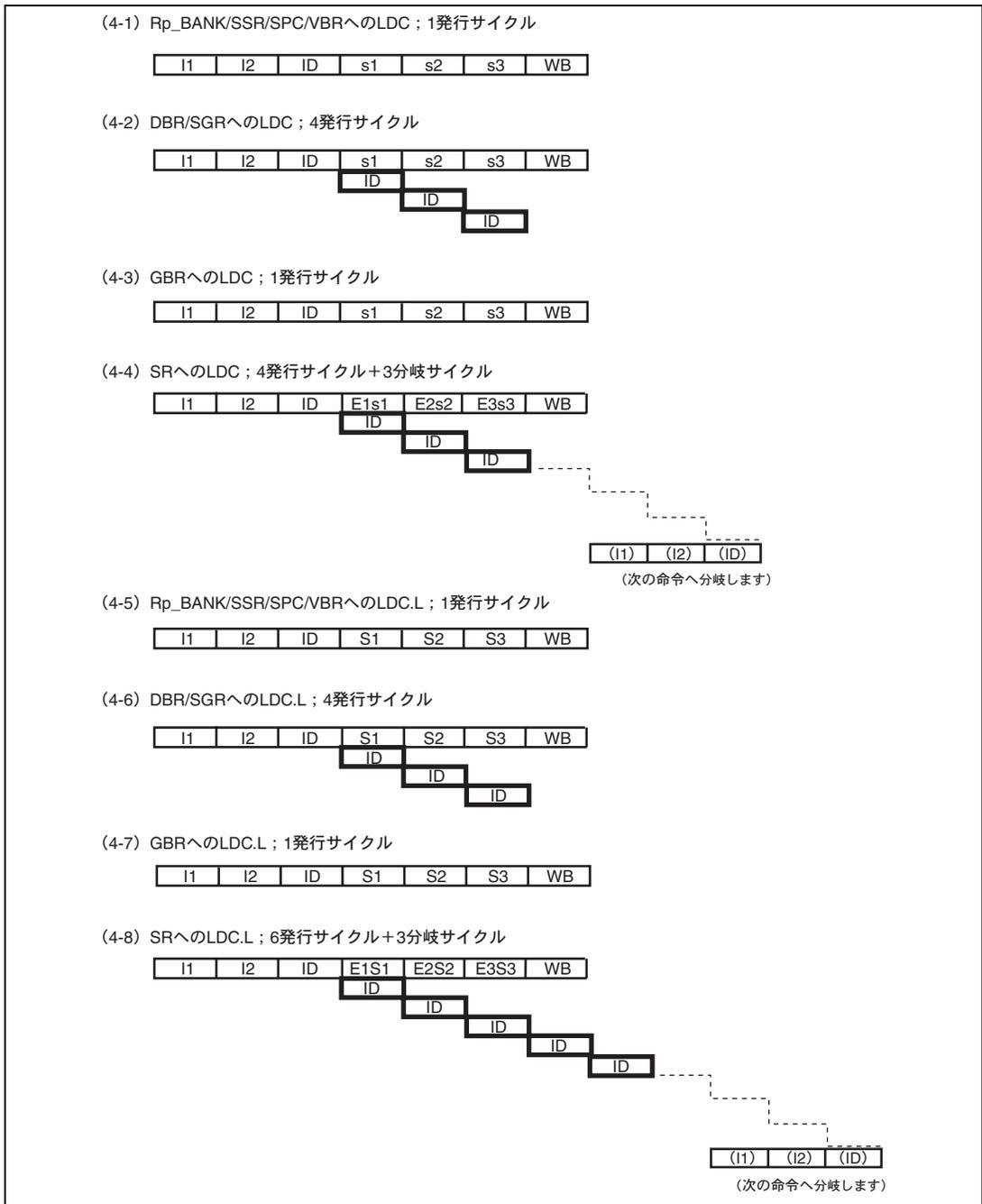


図 4.2 命令実行パターン (4)

(4-9) DBR/GBR/Rp\_BANK/SSR/SPC/VBR/SGRからのSTC ; 1発行サイクル

I1	I2	ID	s1	s2	s3	WB
----	----	----	----	----	----	----

(4-10) SRからのSTC ; 1発行サイクル

I1	I2	ID	E1s1	E2s2	E3s3	WB
----	----	----	------	------	------	----

(4-11) DBR/GBR/Rp\_BANK/SSR/SPC/VBR/SGRからのSTC.L ; 1発行サイクル

I1	I2	ID	S1	S2	S3	WB
----	----	----	----	----	----	----

(4-12) SRからのSTC.L ; 1発行サイクル

I1	I2	ID	E1S1	E2S2	E3S3	WB
----	----	----	------	------	------	----

(4-13) PRへのLDS ; 1発行サイクル

I1	I2	ID	s1	s2	s3	WB
----	----	----	----	----	----	----

(4-14) PRへのLDS.L ; 1発行サイクル

I1	I2	ID	S1	S2	S3	WB
----	----	----	----	----	----	----

(4-15) PRからのSTS ; 1発行サイクル

I1	I2	ID	s1	s2	s3	WB
----	----	----	----	----	----	----

(4-16) PRからのSTS.L ; 1発行サイクル

I1	I2	ID	S1	S2	S3	WB
----	----	----	----	----	----	----

(4-17) BSRF、BSR、JSRの遅延スロット命令 (PRセット) ; 0発行サイクル

(I1)	(I2)	(ID)	(??1)	(??2)	(??3)	(WB)
------	------	------	-------	-------	-------	------

\* 遅延スロット命令のE3ステージでPRの値が更新されます。  
遅延スロットにPRからのSTS、STS.L命令が使用されている場合、更新されたPRの値が使用されます。

図 4.2 命令実行パターン (5)

#### 4. パイプライン動作

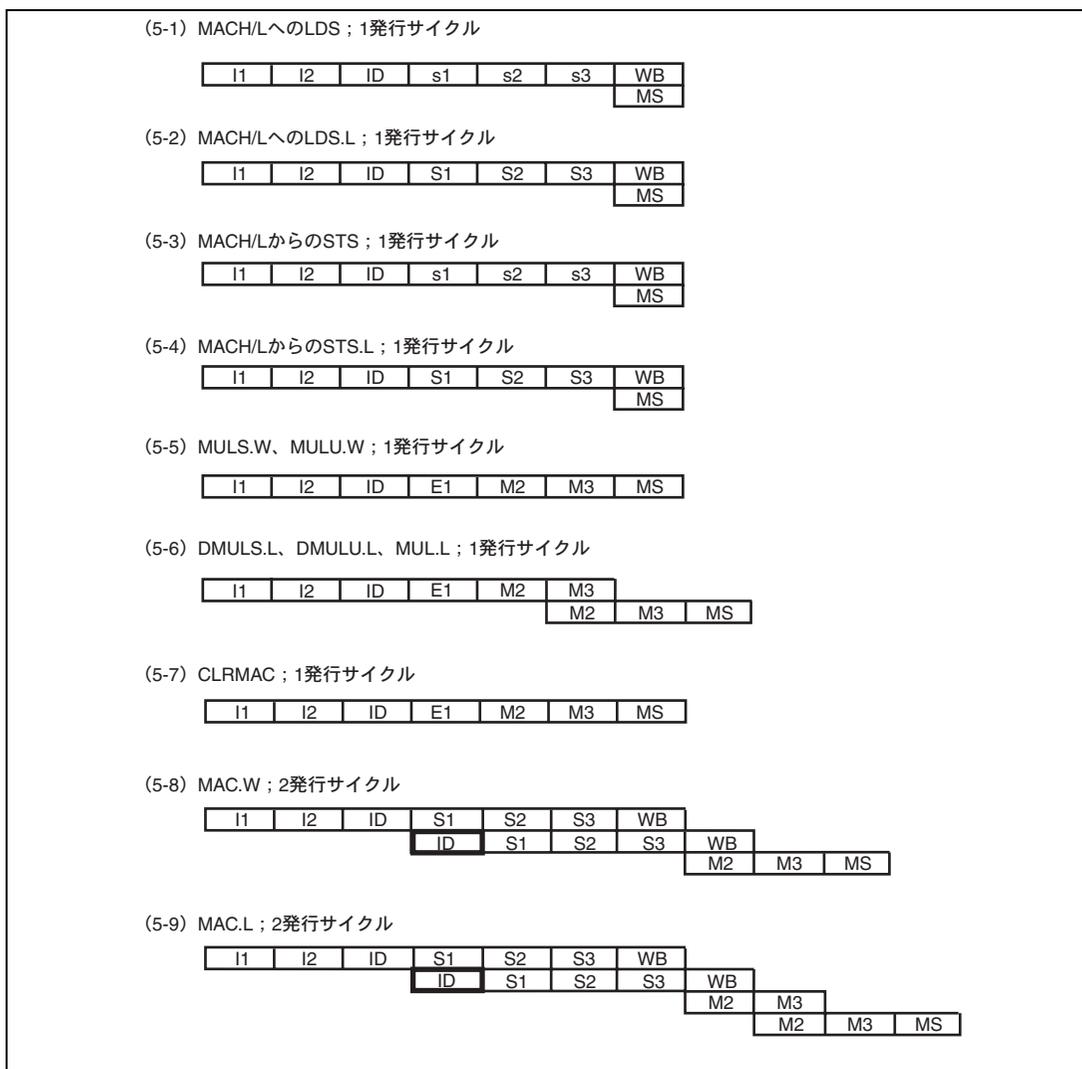


図 4.2 命令実行パターン (6)

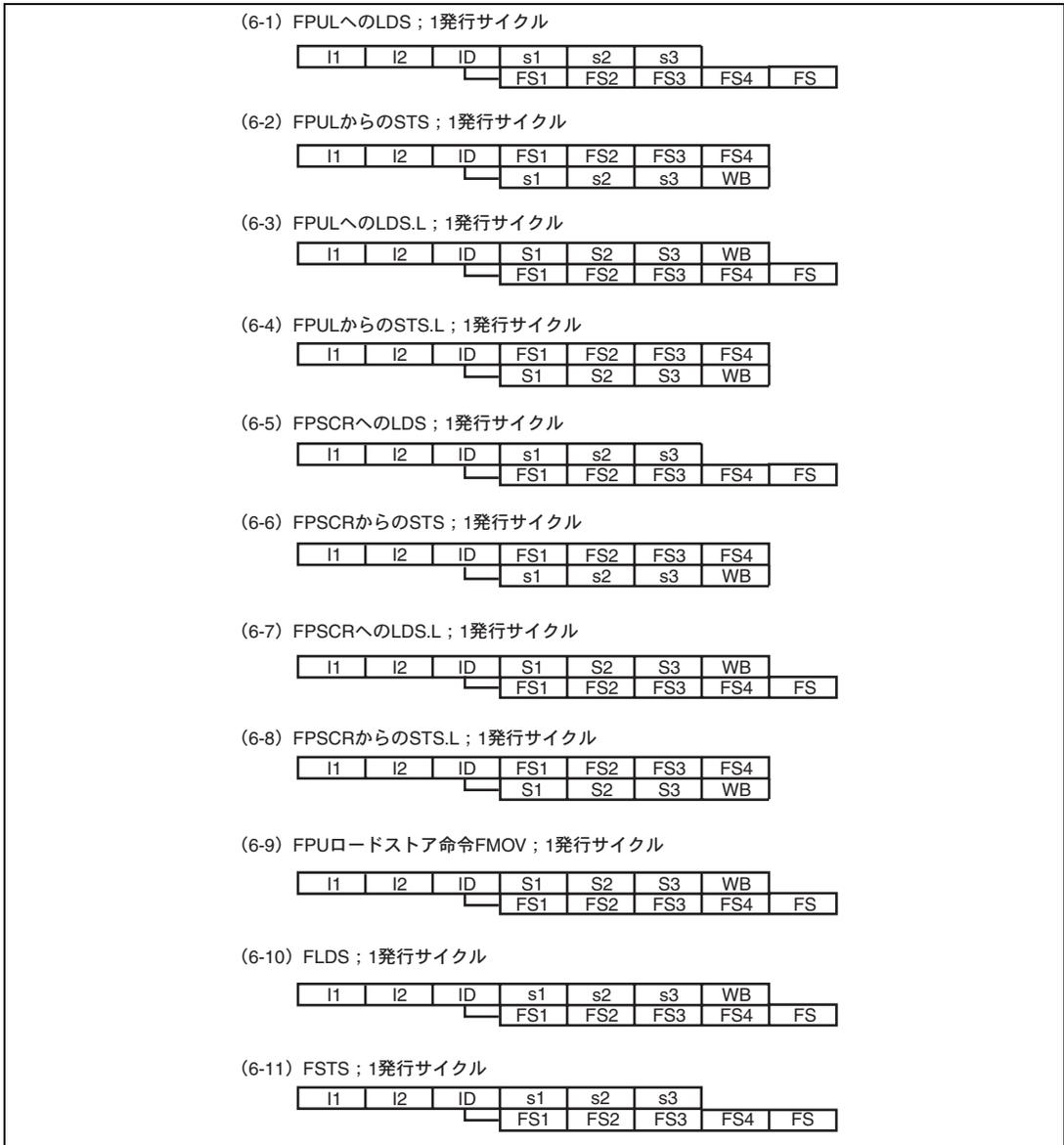


図 4.2 命令実行パターン (7)

#### 4. パイプライン動作

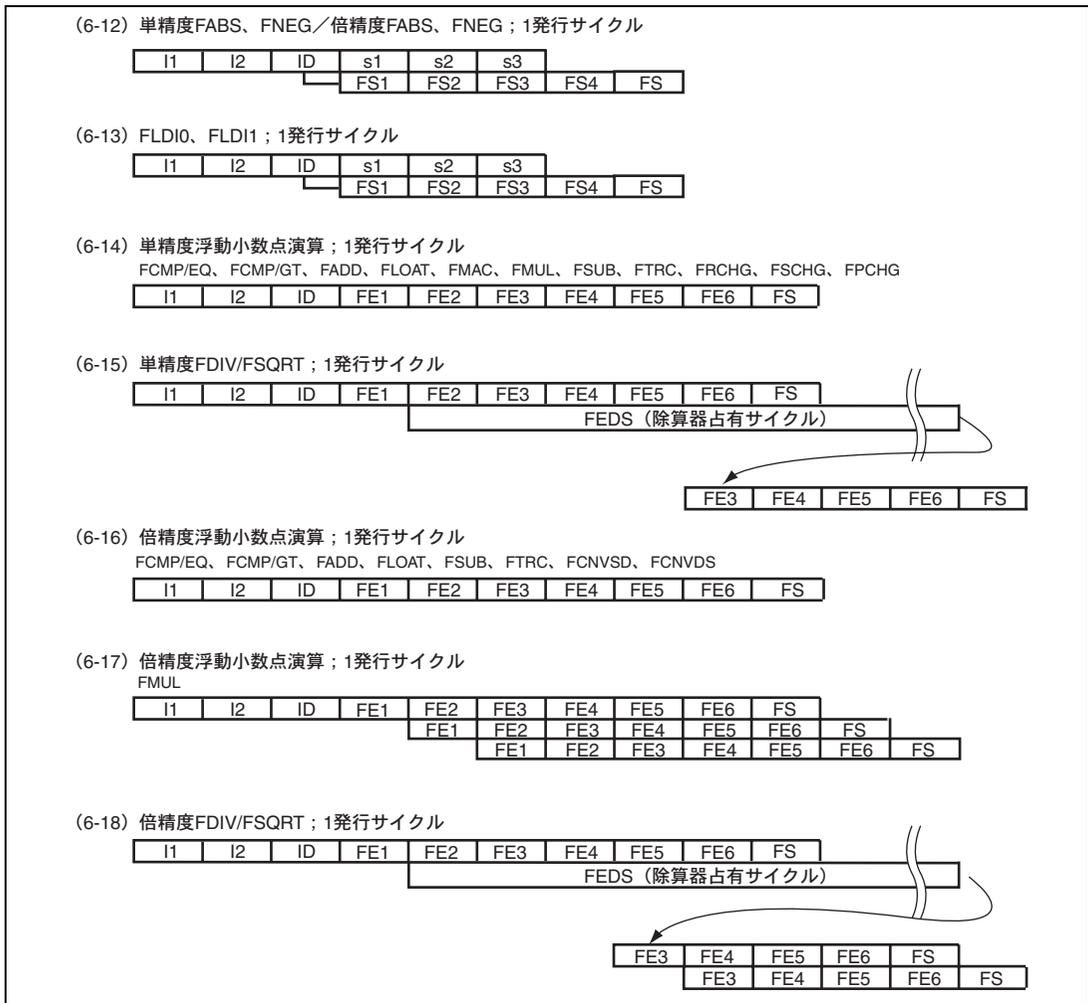


図 4.2 命令実行パターン (8)

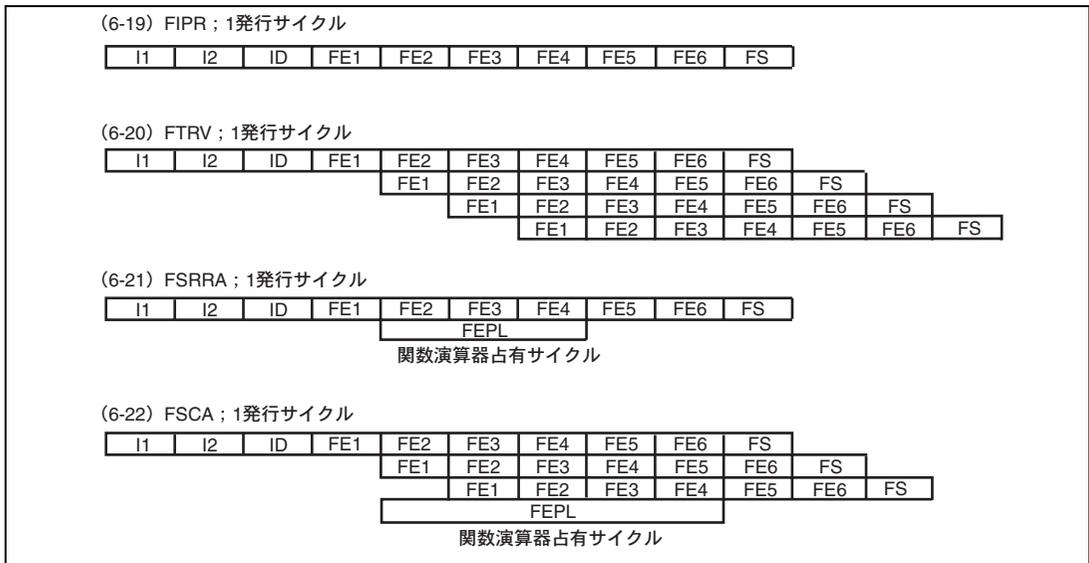


図 4.2 命令実行パターン (9)

## 4. パイプライン動作

### 4.2 並列実行性

命令は利用する内部機能ブロックにより、表 4.2 に示すようなグループに分類されます。表 4.3 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。たとえば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 4.2 命令グループ

命令グループ	命 令			
EX	ADD	DT	ROTL	SHLR8
	ADDC	EXTS	ROTR	SHLR16
	ADDV	EXTU	SETS	SUB
	AND #imm,R0	MOVT	SETT	SUBC
	AND Rm,Rn	MUL.L	SHAD	SUBV
	CLRMAC	MULS.W	SHAL	SWAP
	CLRS	MULU.W	SHAR	TST #imm,R0
	CLRT	NEG	SHLD	TST Rm,Rn
	CMP	NEGC	SHLL	XOR #imm,R0
	DIV0S	NOT	SHLL2	XOR Rm,Rn
	DIV0U	OR #imm,R0	SHLL8	XTRCT
	DIV1	OR Rm,Rn	SHLL16	
	DMUS.L	ROTCL	SHLR	
	DMULU.L	ROTCR	SHLR2	
	MT	MOV #imm,Rn	MOV Rm,Rn	NOF
BR	BF	BRAF	BT	JSR
	BF/S	BSR	BT/S	RTS
	BRA	BSRF	JMP	
LS	FABS	FMOV.S FR,@adr	MOV.[BWL] @adr,R	STC CR2,Rn
	FNEG	FSTS	MOV.[BWL] R,@adr	STC.L CR2,@-Rn
	FLDI0	LDC Rm,CR1	MOVA	STS SR2,Rn
	FLDI1	LDC.L @Rm+,CR1	MOVCA.L	STS.L SR2,@-Rn
	FLDS	LDS Rm,SR1	MOVUA	STS SR1,Rn
	FMOV @adr,FR	LDS Rm,SR2	OCBI	STS.L SR1,@-Rn
	FMOV FR,@adr	LDS.L @adr,SR2	OCBP	
	FMOV FR,FR	LDS.L @Rm+,SR1	OCBWB	
	FMOV.S @adr,FR	LDS.L @Rm+,SR2	PREF	

命令 グループ	命 令			
FE	FADD	FDIV	FRCHG	FSCA
	FSUB	FIPR	FSCHG	FSRRA
	FCMP (S/D)	FLOAT	FSQRT	FPCHG
	FCNVDS	FMAC	FTRC	
	FCNVSD	FMUL	FTRV	
CO	AND.B #imm,@(R0,GBR)	LDC.L @Rm+,SR	PREFI	TRAPA
	ICBI	LDTLB	RTE	TST.B #imm,@(R0,GBR)
	LDC Rm,DBR	MAC.L	SLEEP	XOR.B #imm,@(R0,GBR)
	LDC Rm,SGR	MAC.W	STC SR,Rn	
	LDC Rm,SR	MOVCO	STC.L SR,@-Rn	
	LDC.L @Rm+,DBR	MOVLI	SYNCO	
	LDC.L @Rm+,SGR	OR.B #imm,@(R0,GBR)	TAS.B	

【記号説明】 R : Rm/Rn  
 @adr : アドレス  
 SR1 : MACH/MACL/PR  
 SR2 : FPUL/FPSCR  
 CR1 : GBR/Rp\_BANK/SPC/SSR/VBR  
 CR2 : CR1/DBR/SGR  
 FR : FRm/FRn/DRm/DRn/XDm/XDn

2 命令の同時実行は次の場合に限りです。

1. addr (先行) とaddr+2 (後行) の2命令で1Kバイト (最小のページサイズ) をまたがないこと
2. 表4.3 (先行・後行掛け合わせ表) で同時実行可能である (○となっている) こと
3. addrにある命令がそれ以前の命令とデータコンフリクトがないこと
4. addr+2にある命令がそれ以前の命令とデータコンフリクトがないこと
5. 2命令とも有効であること

#### 4. パイプライン動作

表 4.3 先行・後行掛け合わせ表

		先行命令 (addr)					
		EX	MT	BR	LS	FE	CO
後行命令 (addr+2)	EX	×	○	○	○	○	×
	MT	○	○	○	○	○	
	BR	○	○	×	○	○	
	LS	○	○	○	×	○	
	FE	○	○	○	○	×	
	CO						

【注】 本製品では並列実行可能な2つの命令の組み合わせは表 4.3 とは異なり、以下ようになります。

		先行命令 (addr)							
		EX	MT	BR	LS	FLSR	FLSM	FE	CO
後行命令 (addr+2)	EX	×	○	○	○	○	○	○	×
	MT	○	○	○	○	○	○	○	
	BR	○	○	×	○	○	○	○	
	LS	○	○	○	×	○	×	○	
	FLSR	○	○	○	○	×	×	×	
	FLSM	○	○	○	×	×	×	○	
	FE	○	○	○	○	×	○	×	
	CO								

【記号説明】

FLSR : FABS, FNEG, FLDI0, FLDI1, FLDS, FSTS, FMOV FR,FR

FLSM : FMOV[S]@adr,FR, FMOV[S]FR,@adr, LDS Rm,SR2, LDS.L @Rm+,SR2, STS SR2,Rn,  
STS.L SR2,@-Rn

LS : 従来の LS から上記の FLSR と FLSM を除いた命令

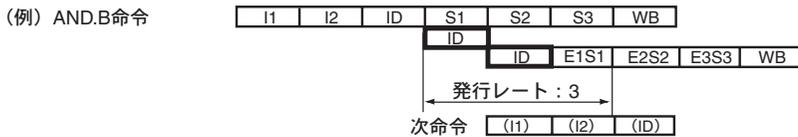
【注】 \* CPU は ID ステージに同時発行しますが、FPU にてストールするため同時実行にはなりません。

### 4.3 発行レートと実行ステート

命令の発行レートと実行ステートを表 4.4 に示します。表 4.4 中の命令グループは表 4.2 における分類に対応します。また、本節に示す発行レートと実行ステートでは、パイプラインストールによるペナルティサイクルは考慮していません。

#### (1) 発行レート

発行レートは、命令の発行と次の命令の発行の間隔を示します。

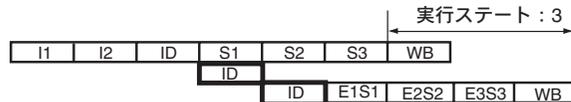


#### (2) 実行ステート

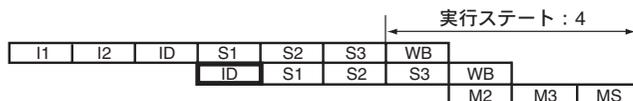
実行ステートは、命令がパイプラインを占有するサイクル数を次の基準で示します。

##### ・CPU命令

(例) AND.B命令

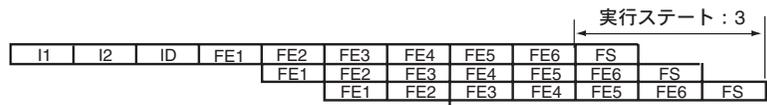


(例) MAC.W命令



##### ・FPU命令

(例) FMUL命令



(例) FDIV命令



#### 4. パイプライン動作

表 4.4 発行レートと実行ステート

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	1	EXTS.B	Rm,Rn	EX	1	1	2-1
	2	EXTS.W	Rm,Rn	EX	1	1	2-1
	3	EXTU.B	Rm,Rn	EX	1	1	2-1
	4	EXTU.W	Rm,Rn	EX	1	1	2-1
	5	MOV	Rm,Rn	MT	1	1	2-4
	6	MOV	#imm,Rn	MT	1	1	2-3
	7	MOVA	@(disp,PC),R0	LS	1	1	2-2
	8	MOV.W	@(disp,PC),Rn	LS	1	1	3-1
	9	MOV.L	@(disp,PC),Rn	LS	1	1	3-1
	10	MOV.B	@Rm,Rn	LS	1	1	3-1
	11	MOV.W	@Rm,Rn	LS	1	1	3-1
	12	MOV.L	@Rm,Rn	LS	1	1	3-1
	13	MOV.B	@Rm+,Rn	LS	1	1	3-1
	14	MOV.W	@Rm+,Rn	LS	1	1	3-1
	15	MOV.L	@Rm+,Rn	LS	1	1	3-1
	16	MOV.B	@(disp,Rm),R0	LS	1	1	3-1
	17	MOV.W	@(disp,Rm),R0	LS	1	1	3-1
	18	MOV.L	@(disp,Rm),Rn	LS	1	1	3-1
	19	MOV.B	@(R0,Rm),Rn	LS	1	1	3-1
	20	MOV.W	@(R0,Rm),Rn	LS	1	1	3-1
	21	MOV.L	@(R0,Rm),Rn	LS	1	1	3-1
	22	MOV.B	@(disp,GBR),R0	LS	1	1	3-1
	23	MOV.W	@(disp,GBR),R0	LS	1	1	3-1
	24	MOV.L	@(disp,GBR),R0	LS	1	1	3-1
	25	MOV.B	Rm,@Rn	LS	1	1	3-1
	26	MOV.W	Rm,@Rn	LS	1	1	3-1
	27	MOV.L	Rm,@Rn	LS	1	1	3-1
	28	MOV.B	Rm,@-Rn	LS	1	1	3-1
	29	MOV.W	Rm,@-Rn	LS	1	1	3-1
	30	MOV.L	Rm,@-Rn	LS	1	1	3-1
	31	MOV.B	R0,@(disp,Rn)	LS	1	1	3-1
	32	MOV.W	R0,@(disp,Rn)	LS	1	1	3-1
	33	MOV.L	Rm,@(disp,Rn)	LS	1	1	3-1
	34	MOV.B	Rm,@(R0,Rn)	LS	1	1	3-1
	35	MOV.W	Rm,@(R0,Rn)	LS	1	1	3-1

## 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
データ 転送命令	36	MOV.L	Rm,@(R0,Rn)	LS	1	1	3-1
	37	MOV.B	R0,@(disp,GBR)	LS	1	1	3-1
	38	MOV.W	R0,@(disp,GBR)	LS	1	1	3-1
	39	MOV.L	R0,@(disp,GBR)	LS	1	1	3-1
	40	MOVCA.L	R0,@Rn	LS	1	1	3-4
	41	MOVCO.L	R0,@Rn	CO	1	1	3-9
	42	MOVL.L	@Rm,R0	CO	1	1	3-8
	43	MOVUA.L	@Rm,R0	LS	2	2	3-10
	44	MOVUA.L	@Rm+,R0	LS	2	2	3-10
	45	MOVT	Rn	EX	1	1	2-1
	46	OCBI	@Rn	LS	1	1	3-4
	47	OCBP	@Rn	LS	1	1	3-4
	48	OCWB	@Rn	LS	1	1	3-4
	49	PREF	@Rn	LS	1	1	3-4
	50	SWAP.B	Rm,Rn	EX	1	1	2-1
	51	SWAP.W	Rm,Rn	EX	1	1	2-1
	52	XTRCT	Rm,Rn	EX	1	1	2-1
固定小数点 算術命令	53	ADD	Rm,Rn	EX	1	1	2-1
	54	ADD	#imm,Rn	EX	1	1	2-1
	55	ADDC	Rm,Rn	EX	1	1	2-1
	56	ADDV	Rm,Rn	EX	1	1	2-1
	57	CMP/EQ	#imm,R0	EX	1	1	2-1
	58	CMP/EQ	Rm,Rn	EX	1	1	2-1
	59	CMP/GE	Rm,Rn	EX	1	1	2-1
	60	CMP/GT	Rm,Rn	EX	1	1	2-1
	61	CMP/HI	Rm,Rn	EX	1	1	2-1
	62	CMP/HS	Rm,Rn	EX	1	1	2-1
	63	CMP/PL	Rn	EX	1	1	2-1
	64	CMP/PZ	Rn	EX	1	1	2-1
	65	CMP/STR	Rm,Rn	EX	1	1	2-1
	66	DIV0S	Rm,Rn	EX	1	1	2-1
	67	DIV0U		EX	1	1	2-1
	68	DIV1	Rm,Rn	EX	1	1	2-1
	69	DMULS.L	Rm,Rn	EX	1	2	5-6
	70	DMULU.L	Rm,Rn	EX	1	2	5-6
	71	DT	Rn	EX	1	1	2-1
	72	MAC.L	@Rm+,@Rn+	CO	2	5	5-9

#### 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
固定小数点 算術命令	73	MAC.W	@Rm+, @Rn+	CO	2	4	5-8
	74	MUL.L	Rm,Rn	EX	1	2	5-6
	75	MULS.W	Rm,Rn	EX	1	1	5-5
	76	MULU.W	Rm,Rn	EX	1	1	5-5
	77	NEG	Rm,Rn	EX	1	1	2-1
	78	NEGC	Rm,Rn	EX	1	1	2-1
	79	SUB	Rm,Rn	EX	1	1	2-1
	80	SUBC	Rm,Rn	EX	1	1	2-1
	81	SUBV	Rm,Rn	EX	1	1	2-1
論理命令	82	AND	Rm,Rn	EX	1	1	2-1
	83	AND	#imm,R0	EX	1	1	2-1
	84	AND.B	#imm,@(R0,GBR)	CO	3	3	3-2
	85	NOT	Rm,Rn	EX	1	1	2-1
	86	OR	Rm,Rn	EX	1	1	2-1
	87	OR	#imm,R0	EX	1	1	2-1
	88	OR.B	#imm,@(R0,GBR)	CO	3	3	3-2
	89	TAS.B	@Rn	CO	4	4	3-3
	90	TST	Rm,Rn	EX	1	1	2-1
	91	TST	#imm,R0	EX	1	1	2-1
	92	TST.B	#imm,@(R0,GBR)	CO	3	3	3-2
	93	XOR	Rm,Rn	EX	1	1	2-1
	94	XOR	#imm,R0	EX	1	1	2-1
	95	XOR.B	#imm,@(R0,GBR)	CO	3	3	3-2
シフト命令	96	ROTL	Rn	EX	1	1	2-1
	97	ROTR	Rn	EX	1	1	2-1
	98	ROTCL	Rn	EX	1	1	2-1
	99	ROTCR	Rn	EX	1	1	2-1
	100	SHAD	Rm,Rn	EX	1	1	2-1
	101	SHAL	Rn	EX	1	1	2-1
	102	SHAR	Rn	EX	1	1	2-1
	103	SHLD	Rm,Rn	EX	1	1	2-1
	104	SHLL	Rn	EX	1	1	2-1
	105	SHLL2	Rn	EX	1	1	2-1
	106	SHLL8	Rn	EX	1	1	2-1
	107	SHLL16	Rn	EX	1	1	2-1
	108	SHLR	Rn	EX	1	1	2-1
	109	SHLR2	Rn	EX	1	1	2-1

## 4. パイプライン動作

機能分類	No.	命令		命令グループ	発行レート	実行ステート	実行パターン
シフト命令	110	SHLR8	Rn	EX	1	1	2-1
	111	SHLR16	Rn	EX	1	1	2-1
分岐命令	112	BF	disp	BR	1+0~2	1	1-1
	113	BF/S	disp	BR	1+0~2	1	1-1
	114	BT	disp	BR	1+0~2	1	1-1
	115	BT/S	disp	BR	1+0~2	1	1-1
	116	BRA	disp	BR	1+0~2	1	1-1
	117	BRAF	Rm	BR	1+3	1	1-2
	118	BSR	disp	BR	1+0~2	1	1-1
	119	BSRF	Rm	BR	1+3	1	1-2
	120	JMP	@Rn	BR	1+3	1	1-2
	121	JSR	@Rn	BR	1+3	1	1-2
	122	RTS		BR	1+0~3	1	1-3
システム制御命令	123	NOP		MT	1	1	2-3
	124	CLRMAC		EX	1	1	5-7
	125	CLRS		EX	1	1	2-1
	126	CLRT		EX	1	1	2-1
	127	ICBI	@Rn	CO	8+5+3	13	3-6
	128	SETS		EX	1	1	2-1
	129	SETT		EX	1	1	2-1
	130	PREFI		CO	5+5+3	10	3-7
	131	SYNCO	@Rn	CO	不定	不定	3-4
	132	TRAPA	#imm	CO	8+5+1	13	1-5
	133	RTE		CO	4+1	4	1-4
	134	SLEEP		CO	不定	不定	1-6
	135	LDTLB		CO	1	1	3-5
	136	LDC	Rm,DBR	CO	4	4	4-2
	137	LDC	Rm,SGR	CO	4	4	4-2
	138	LDC	Rm,GBR	LS	1	1	4-3
	139	LDC	Rm,Rp_BANK	LS	1	1	4-1
	140	LDC	Rm,SR	CO	4+3	4	4-4
	141	LDC	Rm,SSR	LS	1	1	4-1
	142	LDC	Rm,SPC	LS	1	1	4-1
143	LDC	Rm,VBR	LS	1	1	4-1	
144	LDC.L	@Rm+,DBR	CO	4	4	4-6	
145	LDC.L	@Rm+,SGR	CO	4	4	4-6	

#### 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
システム制御 命令	146	LDC.L	@Rm+,GBR	LS	1	1	4-7
	147	LDC.L	@Rm+,Rp_BANK	LS	1	1	4-5
	148	LDC.L	@Rm+,SR	CO	6+3	4	4-8
	149	LDC.L	@Rm+,SSR	LS	1	1	4-5
	150	LDC.L	@Rm+,SPC	LS	1	1	4-5
	151	LDC.L	@Rm+,VBR	LS	1	1	4-5
	152	LDS	Rm,MACH	LS	1	1	5-1
	153	LDS	Rm,MACL	LS	1	1	5-1
	154	LDS	Rm,PR	LS	1	1	4-13
	155	LDS.L	@Rm+,MACH	LS	1	1	5-2
	156	LDS.L	@Rm+,MACL	LS	1	1	5-2
	157	LDS.L	@Rm+,PR	LS	1	1	4-14
	158	STC	DBR,Rn	LS	1	1	4-9
	159	STC	SGR,Rn	LS	1	1	4-9
	160	STC	GBR,Rn	LS	1	1	4-9
	161	STC	Rp_BANK,Rn	LS	1	1	4-9
	162	STC	SR,Rn	CO	1	1	4-10
	163	STC	SSR,Rn	LS	1	1	4-9
	164	STC	SPC,Rn	LS	1	1	4-9
	165	STC	VBR,Rn	LS	1	1	4-9
	166	STC.L	DBR,@-Rn	LS	1	1	4-11
	167	STC.L	SGR,@-Rn	LS	1	1	4-11
	168	STC.L	GBR,@-Rn	LS	1	1	4-11
	169	STC.L	Rp_BANK,@-Rn	LS	1	1	4-11
	170	STC.L	SR,@-Rn	CO	1	1	4-12
	171	STC.L	SSR,@-Rn	LS	1	1	4-11
	172	STC.L	SPC,@-Rn	LS	1	1	4-11
	173	STC.L	VBR,@-Rn	LS	1	1	4-11
	174	STS	MACH,Rn	LS	1	1	5-3
	175	STS	MACL,Rn	LS	1	1	5-3
176	STS	PR,Rn	LS	1	1	4-15	
177	STS.L	MACH,@-Rn	LS	1	1	5-4	
178	STS.L	MACL,@-Rn	LS	1	1	5-4	
179	STS.L	PR,@-Rn	LS	1	1	4-16	
単精度 浮動小数点 命令	180	FLDI0	FRn	LS	1	1	6-13
	181	FLDI1	FRn	LS	1	1	6-13
	182	FMOV	FRm,FRn	LS	1	1	6-9

## 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
単精度 浮動小数点 命令	183	FMOV.S	@Rm,FRn	LS	1	1	6-9
	184	FMOV.S	@Rm+,FRn	LS	1	1	6-9
	185	FMOV.S	@(R0,Rm),FRn	LS	1	1	6-9
	186	FMOV.S	FRm,@Rn	LS	1	1	6-9
	187	FMOV.S	FRm,@-Rn	LS	1	1	6-9
	188	FMOV.S	FRm,@(R0,Rn)	LS	1	1	6-9
	189	FLDS	FRm,FPUL	LS	1	1	6-10
	190	FSTS	FPUL,FRn	LS	1	1	6-11
	191	FABS	FRn	LS	1	1	6-12
	192	FADD	FRm,FRn	FE	1	1	6-14
	193	FCMP/EQ	FRm,FRn	FE	1	1	6-14
	194	FCMP/GT	FRm,FRn	FE	1	1	6-14
	195	FDIV	FRm,FRn	FE	1	14	6-15
	196	FLOAT	FPUL,FRn	FE	1	1	6-14
	197	FMAC	FR0,FRm,FRn	FE	1	1	6-14
	198	FMUL	FRm,FRn	FE	1	1	6-14
	199	FNEG	FRn	LS	1	1	6-12
	200	FSQRT	FRn	FE	1	30	6-15
	201	FSUB	FRm,FRn	FE	1	1	6-14
	202	FTRC	FRm,FPUL	FE	1	1	6-14
203	FMOV	DRm,DRn	LS	1	1	6-9	
204	FMOV	@Rm,DRn	LS	1	1	6-9	
205	FMOV	@Rm+,DRn	LS	1	1	6-9	
206	FMOV	@(R0,Rm),DRn	LS	1	1	6-9	
207	FMOV	DRm,@Rn	LS	1	1	6-9	
208	FMOV	DRm,@-Rn	LS	1	1	6-9	
209	FMOV	DRm,@(R0,Rn)	LS	1	1	6-9	
倍精度 浮動小数点 命令	210	FABS	DRn	LS	1	1	6-12
	211	FADD	DRm,DRn	FE	1	1	6-16
	212	FCMP/EQ	DRm,DRn	FE	1	1	6-16
	213	FCMP/GT	DRm,DRn	FE	1	1	6-16
	214	FCNVDS	DRm,FPUL	FE	1	1	6-16
	215	FCNVSD	FPUL,DRn	FE	1	1	6-16
	216	FDIV	DRm,DRn	FE	1	14	6-18
	217	FLOAT	FPUL,DRn	FE	1	1	6-16

#### 4. パイプライン動作

機能 分類	No.	命令		命令 グループ	発行 レート	実行 ステート	実行 パターン
倍精度 浮動小数点 命令	218	FMUL	DRm,DRn	FE	1	3	6-17
	219	FNEG	DRn	LS	1	1	6-12
	220	FSQRT	DRn	FE	1	30	6-18
	221	FSUB	DRm,DRn	FE	1	1	6-16
	222	FTRC	DRm,FPUL	FE	1	1	6-16
FPU システム制御 命令	223	LDS	Rm,FPUL	LS	1	1	6-1
	224	LDS	Rm,FPSCR	LS	1	1	6-5
	225	LDS.L	@Rm+,FPUL	LS	1	1	6-3
	226	LDS.L	@Rm+,FPSCR	LS	1	1	6-7
	227	STS	FPUL,Rn	LS	1	1	6-2
	228	STS	FPSCR,Rn	LS	1	1	6-6
	229	STS.L	FPUL,@-Rn	LS	1	1	6-4
グラフィクス 強化命令	231	FMOV	DRm,XDn	LS	1	1	6-9
	232	FMOV	XDm,DRn	LS	1	1	6-9
	233	FMOV	XDm,XDn	LS	1	1	6-9
	234	FMOV	@Rm,XDn	LS	1	1	6-9
	235	FMOV	@Rm+,XDn	LS	1	1	6-9
	236	FMOV	@(R0,Rm),XDn	LS	1	1	6-9
	237	FMOV	XDm,@Rn	LS	1	1	6-9
	238	FMOV	XDm,@-Rn	LS	1	1	6-9
	239	FMOV	XDm,@(R0,Rn)	LS	1	1	6-9
	240	FIPR	FVm,FVn	FE	1	1	6-19
	241	FRCHG		FE	1	1	6-14
	242	FSCHG		FE	1	1	6-14
	243	FPCHG		FE	1	1	6-14
	244	FSRRA	FRn	FE	1	1	6-21
	245	FSCA	FPUL,DRn	FE	1	3	6-22
246	FTRV	XMTRX,FVn	FE	1	4	6-20	

---

## 5. 例外処理

---

### 5.1 概要

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。例えば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

本 LSI の例外処理は、リセット、一般例外、割り込みの 3 つに分類されます。

### 5.2 レジスタ説明

例外処理に関するレジスタ構成を表 5.1 に示します。

表 5.1 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
TRAPA 例外レジスタ	TRA	R/W	H'FF00 0020	H'1F00 0020	32
例外事象レジスタ	EXPEVT	R/W	H'FF00 0024	H'1F00 0024	32
割り込み事象レジスタ	INTEVT	R/W	H'FF00 0028	H'1F00 0028	32

【注】 \* P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 5.2 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ
TRAPA 例外レジスタ	TRA	不定	不定	保持
例外事象レジスタ	EXPEVT	H'0000 0000	H'0000 0020	保持
割り込み事象レジスタ	INTEVT	不定	不定	保持

## 5. 例外処理

### 5.2.1 TRAPA 例外レジスタ (TRA)

TRAPA 例外レジスタ (TRA) は、TRAPA 命令の 8 ビットイミディエイトデータ (imm) が設定されるレジスタです。TRA は TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TRACODE								—	—
初期値:	0	0	0	0	0	0	—	—	—	—	—	—	—	—	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9~2	TRACODE	不定	R/W	TRAPA コード TRAPA 命令の 8 ビットイミディエイトデータが設定されます。
1, 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 5.2.2 例外事象レジスタ (EXPEVT)

例外事象レジスタ (EXPEVT) には、12 ビットのリセットと一般例外事象による例外コードが設定されます。例外コードは例外受け付け時にハードウェアにより自動的に設定されます。EXPEVT はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	EXPCODE											
初期値:	0	0	0	0	0	0	0	0	0	0	0/1	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~0	EXPCODE	H'000 または H'020	R/W	例外コード リセット、一般例外の例外コードが設定されます。詳細は表 5.3 を参照してください。

### 5.2.3 割り込み事象レジスタ (INTEVT)

割り込み事象レジスタ (INTEVT) には、14 ビットの割り込み要求による例外コードが設定されます。例外コードは例外受け時にハードウェアにより自動的に設定されます。INTEVT はソフトウェアからも変更が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	INTCODE													
初期値:	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13~0	INTCODE	不定	R/W	例外コード 割り込みの例外コードが設定されます。詳細は表 5.3 を参照してください。

### 5.3 例外処理の機能

#### 5.3.1 例外処理の流れ

例外処理では、プログラムカウンタ（PC）、ステータスレジスタ（SR）、R15の内容がそれぞれ退避プログラムカウンタ（SPC）、退避ステータスレジスタ（SSR）、退避ジェネラルレジスタ（SGR）に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令（RTE）を実行します。本命令によって、PCとSRの内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGRの内容はRTE命令ではR15に書き戻されません。

基本的な例外処理の流れは次のようになります。SRのビットの意味の詳細は、「第2章 プログラミングモデル」を参照してください。

1. PC、SRおよびR15の内容がそれぞれSPC、SSRおよびSGRに退避されます。
2. SRのブロックビット（BL）が1に設定されます。
3. SRのモードビット（MD）が1に設定されます。
4. SRのレジスタバンクビット（RB）が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット（FD）が0に設定されます。
6. 例外コードは、例外要因の例外事象レジスタ（EXPEVT）、または割り込み事象レジスタ（INTEVT）のビット13～0に書き込まれます。
7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

#### 5.3.2 例外処理ベクタアドレス

リセットベクタアドレスはH'A000 0000に固定されています。例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセット値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ（VBR）にソフトウェアで設定します。例えば、TLBミス例外のオフセットはH'0000 0400ですから、VBRにH'9C08 0000を設定しておく、例外処理ベクタアドレスはH'9C08 0400になります。例外処理ベクタアドレスでさらに例外が発生すると、二重例外となり、回復が困難になりますので、ベクタアドレスはアドレス変換の対象とならないP1、P2領域のアドレスを指定してください。

## 5.4 例外の種類と優先順位

表 5.3 に、例外の種類、優先順位、ベクタアドレス、および例外／割り込みコードを示します。

表 5.3 例外一覧

例外区分	実行形態	例外	優先レベル	優先順位	例外遷移先		例外コード	
					ベクタベース	オフセット		
リセット	中断型	パワーオンリセット	1	1	H'A000 0000	—	H'000	
		マニュアルリセット	1	2	H'A000 0000	—	H'020	
		H-UDI リセット	1	1	H'A000 0000	—	H'000	
		命令 TLB 多重ヒット例外	1	3	H'A000 0000	—	H'140	
		データ TLB 多重ヒット例外	1	4	H'A000 0000	—	H'140	
一般例外	再実行型	命令実行前ユーザブ레이크*	2	0	(VBR/DBR)	H'100/—	H'1E0	
		命令アドレスエラー	2	1	(VBR)	H'100	H'0E0	
		命令 TLB ミス例外	2	2	(VBR)	H'400	H'040	
		命令 TLB 保護違反例外	2	3	(VBR)	H'100	H'0A0	
		一般不当命令例外	2	4	(VBR)	H'100	H'180	
		スロット不当命令例外	2	4	(VBR)	H'100	H'1A0	
		一般 FPU 抑止例外	2	4	(VBR)	H'100	H'800	
		スロット FPU 抑止例外	2	4	(VBR)	H'100	H'820	
		データアドレスエラー (読み出し)	2	5	(VBR)	H'100	H'0E0	
		データアドレスエラー (書き込み)	2	5	(VBR)	H'100	H'100	
		データ TLB ミス例外 (読み出し)	2	6	(VBR)	H'400	H'040	
		データ TLB ミス例外 (書き込み)	2	6	(VBR)	H'400	H'060	
		データ TLB 保護違反例外 (読み出し)	2	7	(VBR)	H'100	H'0A0	
		データ TLB 保護違反例外 (書き込み)	2	7	(VBR)	H'100	H'0C0	
		FPU 例外	2	8	(VBR)	H'100	H'120	
		初期ページ書き込み例外	2	9	(VBR)	H'100	H'080	
		完了型	無条件トラップ (TRAPA)	2	4	(VBR)	H'100	H'160
			命令実行後ユーザブ레이크*	2	10	(VBR/DBR)	H'100/—	H'1E0
	割り込み	完了型	ノンマスカブル割り込み	3	—	(VBR)	H'600	H'1C0
一般割り込み要求			4	—	(VBR)	H'600	—	

優先度 : まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします (より小さい数値が優先度が高くなります)。

例外遷移先 : リセットでは H'A000 0000、その他では (VBR+オフセット) へ制御が移ります。

例外コード : リセット、一般例外では EXPEVT、割り込みでは INTEVT に格納されます。

【注】 \* CBCR.UBDE=1 のとき PC=DBR。その他は PC=VBR+H'100

## 5.5 例外フロー

### 5.5.1 例外フロー

図 5.1 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 5.1 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 5.1 では、例外成立時のレジスタ設定を SSR、SPC、SGR、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこの他にもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「5.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「5.6.4 複数回の例外が発生する場合の優先順位」を参照してください。

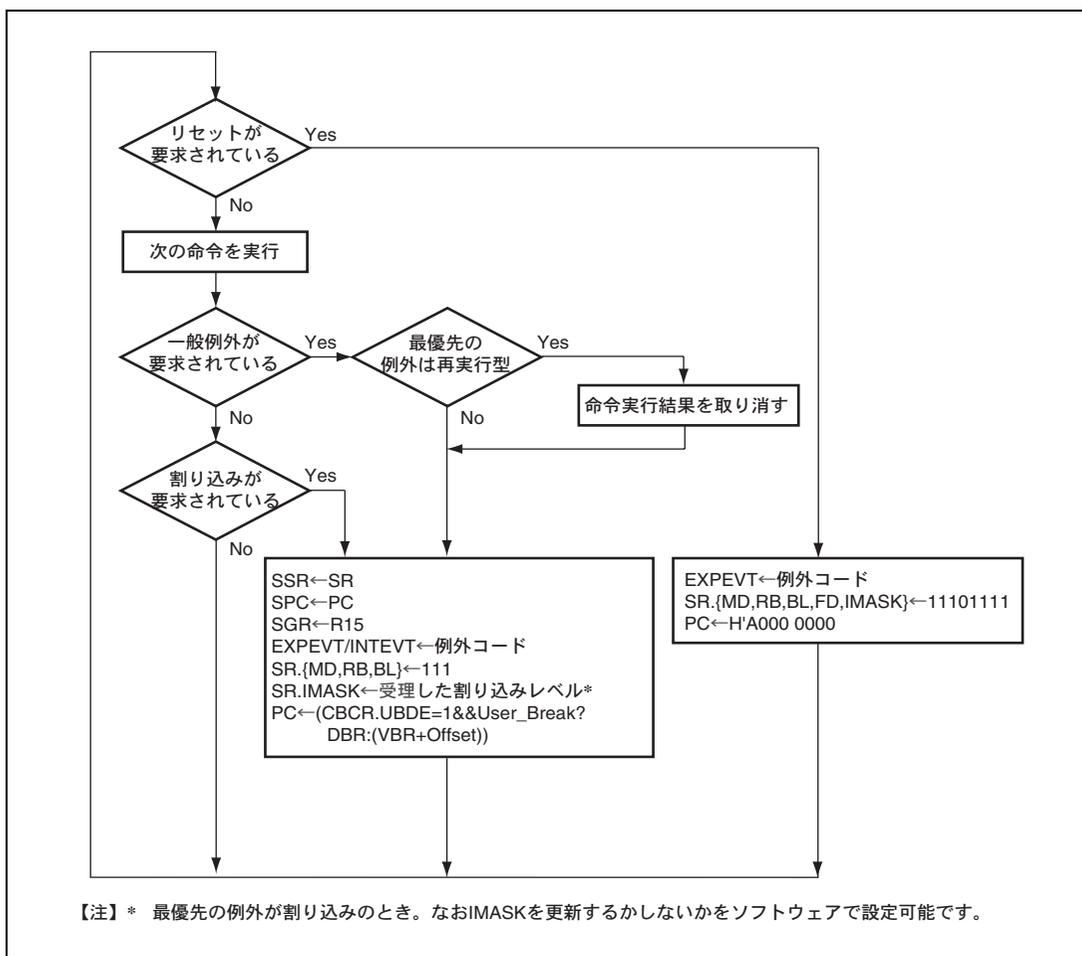


図 5.1 命令実行と例外処理

## 5.5.2 例外要因の受け付け

2つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般 FPU 抑止例外、スロット FPU 抑止例外、無条件トラップ例外の5つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序（プログラム順）に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の受け付け順序の例を図 5.2 に示します。

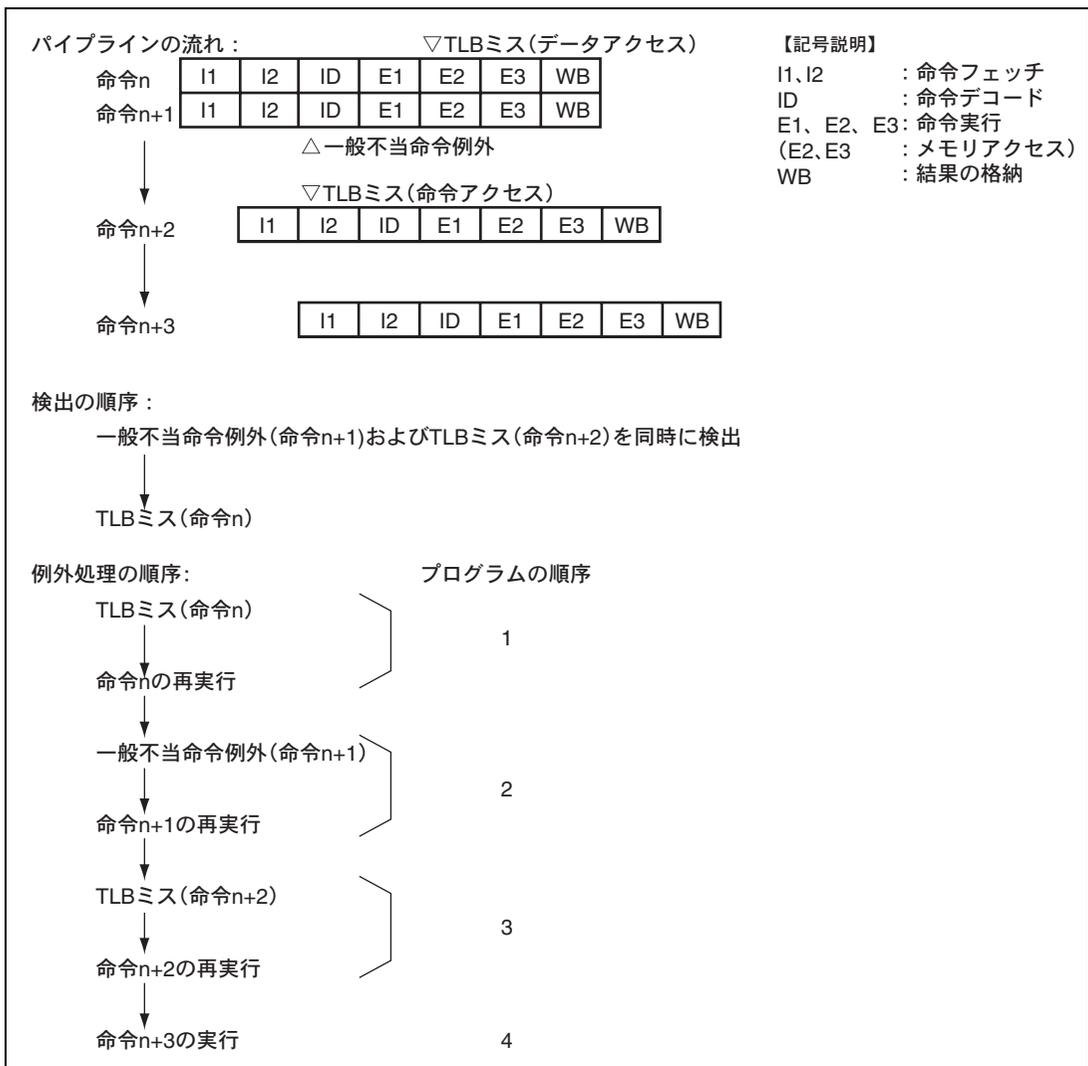


図 5.2 一般例外の受け付け順序の例

## 5. 例外処理

---

### 5.5.3 例外要求と BL ビット

SR の BL ビットが 0 のとき、例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、ユーザブレイクを除く例外が発生した場合には、CPU の内部レジスタ、他のモジュールのレジスタは、マニュアルリセット後の状態になり、リセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「第 29 章 ユーザブレイクコントローラ (UBC)」を参照してください。また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。ノンマスカブル割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

このように、通常は例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 クリアします。

### 5.5.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

## 5.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

### 5.6.1 リセット

#### (1) パワーオンリセット

- 条件：

パワーオンリセット要求

- 動作：

EXPEVTにH'000を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ (H'A0000000) に分岐します。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ずパワーオンリセットを行ってください。

#### (2) マニュアルリセット

- 条件：

マニュアルリセット要求

- 動作：

EXPEVTにH'020を設定し、CPUおよび内蔵周辺モジュールの初期化を行った後リセットベクタ (H'A0000000) に分岐します。パワーオンリセットとマニュアルリセットでは初期化されるレジスタが異なります。詳細は、各章のレジスタの説明を参照してください。

#### (3) H-UDI リセット

- 要因：SDIR. TI[7:4]がB'0110（ネゲート）、またはB'0111（アサート）

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

#### (4) 命令 TLB 多重ヒット例外

- 要因：ITLBのアドレスが多重に一致

- 遷移先アドレス：H'A000 0000

- 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

## 5. 例外処理

---

### (5) データ TLB 多重ヒット例外

- 要因：UTLBのアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

## 5.6.2 一般例外

### (1) データ TLB ミス例外

- 要因：UTLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'040を、書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
Data_TLB_miss_exception()  
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = read_access ? H'00000040 : H'00000060;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000400;  
}
```

## (2) 命令 TLB ミス例外

- 要因：ITLBのアドレス比較の結果、アドレスが不一致
- 遷移先アドレス：VBR + H'0000 0400
- 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0400に分岐します。

TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
ITLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000040;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}
```

## (3) 初期ページ書き込み例外

- 要因：ストアアクセスでTLBにヒットしたが、ダーティビットD=0
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'080をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

## 5. 例外処理

---

```
Initial_write_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000080;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

### (4) データ TLB 保護違反例外

- 要因：アクセスが以下に示すUTLBのプロテクション情報（PRビット）に反する。

PR	特権モード	ユーザモード
00	読み出しのみ可	アクセス不可
01	読み出し／書き込み可	アクセス不可
10	読み出しのみ可	読み出しのみ可
11	読み出し／書き込み可	読み出し／書き込み可

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合には例外コードH'0A0を、書き込みの場合には例外コードH'0C0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
Data_TLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
}
```

```

EXPEVT = read_access ? H'000000A0 : H'000000C0;
SR.MD = 1;
SR.RB = 1;
SR.BL = 1;
PC = VBR + H'00000100;
}

```

## (5) 命令 TLB 保護違反例外

- 要因：アクセスが以下に示すITLBのプロテクション情報（PRビット）に反する。

PR	特権モード	ユーザモード
0	アクセス可	アクセス不可
1	アクセス可	アクセス可

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```

ITLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

## 5. 例外処理

---

### (6) データアドレスエラー

- 要因：

- ワードデータをワード境界以外 ( $2n+1$ ) からアクセス
- ロングワードデータをロングワードデータ境界以外 ( $4n+1$ ,  $4n+2$ ,  $4n+3$ ) からアクセス
- クワッドワードをクワッドワードデータ境界以外 ( $8n+1$ ,  $8n+2$ ,  $8n+3$ ,  $8n+4$ ,  $8n+5$ ,  $8n+6$ ,  $8n+7$ ) からアクセス
- ユーザモードでの領域H'8000 0000~H'FFFF FFFFへのアクセス

ただし、H'E000 0000~H'E3FF FFFFおよびH'E500 0000~H'E5FF FFFFは、それぞれユーザモードからアクセスする設定が可能です。詳しくは「第7章 メモリマネジメントユニット (MMU)」および「第9章 Lメモリ」を参照してください。

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号(22ビット)をPTEH[31:10]にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット (MMU)」を参照してください。

```
Data_address_error()  
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    EXPEVT = read_access? H'000000E0: H'00000100;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

## (7) 命令アドレスエラー

## • 要因：

- ワード境界以外 (2n+1) から命令フェッチ
- ユーザモードでの領域H'8000 0000~H'FFFF FFFFから命令フェッチ

ただし、H'E500 0000~H'E5FF FFFFはユーザモードからアクセスする設定が可能です。詳しくは「第9章 Lメモリ」を参照してください。

## • 遷移先アドレス：VBR + H'0000 0100

## • 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH[31:10] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。詳細は「第7章 メモリマネジメントユニット (MMU)」を参照してください。

```
Instruction_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000000E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

## (8) 無条件トラップ

## • 要因：TRAPA命令の実行

## • 遷移先アドレス：VBR + H'0000 0100

## • 遷移時動作：

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSR、R15をSSR、SGRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

## 5. 例外処理

---

```
TRAPA_exception()
{
    SPC = PC + 2;
    SSR = SR;
    SGR = R15;
    TRA = imm << 2;
    EXPEVT = H'00000160;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

### (9) 一般不当命令例外

- 要因：

- 遅延スロット以外にある未定義命令をデコード

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S

未定義命令：H'FFFD

- 遅延スロット以外にある特権命令をユーザモードでデコード

特権命令：LDC、STC、RTE、LDTLB、SLEEP、

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遷移先アドレス：VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

```
General_illegal_instruction_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000180;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

## (10) スロット不当命令例外

## • 要因：

- 遅延スロットにある未定義命令をデコード

遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT/S、BF/S

未定義命令：H'FFFD

- 遅延スロット内のPCを書き換える命令をデコード

PCを書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRF、RTS、RTE、BT、BF、BT/S、BF/S、TRAPA、  
LDC Rm,SR、LDC.L @Rm+,SR、ICBI、PREFI

- 遅延スロット内の特権命令をユーザモードでデコード

特権命令：LDC、STC、RTE、LDTLB、SLEEP

ただし、LDC、STCでGBRをアクセスする命令を除く

- 遅延スロット内のPC相対MOV命令、MOVA命令をデコード

## • 遷移先アドレス：VBR + H'0000 0100

## • 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした場合には動作を保証しません。

```
Slot_illegal_instruction_exception()
```

```
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

## (11) 一般 FPU 抑止例外

## • 要因：遅延スロット以外にあるFPU命令\*をSR.FD=1でデコード

## • 遷移先アドレス：VBR + H'0000 0100

## • 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

## 5. 例外処理

---

例外コードH'800をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
General_fpu_disable_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000800;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

【注】 \* FPU命令とは命令コードの最初の4ビットがFである命令(ただし、未定義命令H'FFFDを除く)と、FPUL、FPSCRに対するLDS、STS、LDS.L、STS.L命令です。

### (12) スロット FPU 抑止例外

- 要因：遅延スロットにあるFPU命令をSR.FD=1でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSR、R15をSSR、SGRに退避します。

例外コードH'820をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
Slot_fpu_disable_exception()
{
    SPC = PC - 2;
    SSR = SR;
    SGR = R15;
    EXPEVT = H'00000820;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

## (13) 命令実行前ユーザブレイク/命令実行後ユーザブレイク

- 要因：ユーザブレイクポイントコントローラに設定したブレイク条件が成立
- 遷移先アドレス：VBR + H'0000 0100、またはDBR
- 遷移時動作：

命令実行後ブレイクの場合、ブレイクポイントを設定した命令の直後の命令のPCをSPCに退避します。命令実行前ブレイクの場合、ブレイクポイントを設定した命令のPCをSPCに退避します。

ブレイク発生時のSR、R15をSSR、SGRに退避します。例外コードH'1E0をEXPEVTにセットします。

SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。ただし、PC=DBRに分岐することも可能です。

データブレイクを設定した場合のPCについてなど、詳細は、「第29章 ユーザブレイクコントローラ (UBC)」を参照してください。

```
User_break_exception()
{
    SPC = (pre_execution break? PC : PC + 2);
    SSR = SR;
    SGR = R15;
    EXPEVT = H'000001E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = (CBCR.UBDE==1 ? DBR : VBR + H'00000100);
}
```

## (14) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。例外コードH'120をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
FPU_exception()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
```

## 5. 例外処理

---

```
EXPEVT = H'00000120;  
SR.MD = 1;  
SR.RB = 1;  
SR.BL = 1;  
PC = VBR + H'00000100;  
}
```

### 5.6.3 割り込み

#### (1) NMI (ノンマスクブル割り込み)

- 要因：NMI端子のエッジ検出
- 遷移先アドレス：VBR+H'0000 0600
- 遷移時動作：

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避し、そのときのR15をSGRに退避します。

例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが1のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。

```
NMI()  
{  
  
    SPC = PC;  
    SSR = SR;  
    SGR = R15;  
    INTEVT = H'000001C0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    If(cond)SR.IMASK = B'1111;  
    PC = VBR + H'00000600;  
}
```

#### (2) 一般割り込み要求

- 要因：  
SRの割り込みマスクビットが割り込み要求の割り込みレベルより小さく、かつSRのBLが0（命令の切れ目で受け付けます。）
- 遷移先アドレス：VBR + H'0000 0600

- 遷移時動作：

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSR、R15をSSR、SGRにセットします。各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、VBR+H'0600に分岐します。

```
Module_interruption()
{
    SPC = PC;
    SSR = SR;
    SGR = R15;
    INTEVT = H'00000400 ~ H'00003FE0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    if(cond)SR.IMASK = level_of_accepted_interrupt();
    PC = VBR + H'00000600;
}
```

#### 5.6.4 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意が必要です。

##### (1) メモリを2回アクセスする命令

MAC 命令やメモリーメモリー間論理演算命令、TAS 命令、MOVUA 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

1. 1回目のデータ転送のデータアドレスエラー
2. 1回目のデータ転送のTLBミス
3. 1回目のデータ転送のTLB保護違反
4. 1回目のデータ転送の初期ページ書き込み例外
5. 2回目のデータ転送のデータアドレスエラー
6. 2回目のデータ転送のTLBミス
7. 2回目のデータ転送のTLB保護違反
8. 2回目のデータ転送の初期ページ書き込み例外

## 5. 例外処理

---

### (2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

1. 遅延付き分岐命令における優先レベル1、2の中断型および再実行型例外をチェックします。
2. 遅延スロット命令における優先レベル1、2の中断型および再実行型例外をチェックします。
3. 遅延付き分岐命令における優先レベル2の完了型例外をチェックします。
4. 遅延スロット命令における優先レベル2の完了型例外をチェックします。
5. 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします（この2つの間の優先順位はありません）。
6. 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします（この2つの間の優先順位はありません）。

遅延スロット命令が2回目のデータ転送を持つ場合、2.において、(1)のように2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPRレジスタ書き込み動作（BSR、BSRF、JSRのPC→PR動作）は抑止されません。ただし、その場合のPRレジスタの内容は保証されません。

## 5.7 注意事項

### (1) 例外処理からの復帰

1. SRのBLビットをソフトウェアでチェックしてください。メモリにSPC、SSRを退避していた場合には、SRのBLビットを1にしてからそれらを回復してください。
2. RTE命令を発行してください。RTE命令により、SPCがPCに、SSRがSRにセットされ、SPCのアドレスに分岐して、例外処理から復帰します。

### (2) SR.BL=1 のときに例外または割り込みが発生した場合

#### 1. 例外

ユーザブレイクを除く例外が発生した場合には、マニュアルリセットが発生します。このときEXPEVTは、H'0000 0020となり、SPC、SSRの各レジスタは不定値となります。

#### 2. 割り込み

通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSRのBLビットが0にクリアされてから受け付けられます。ノンマスカブル割り込み（NMI）が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

ただし、スリープ状態では、SRのBLビットが1であっても、割り込みを受け付けます。

### (3) 例外発生時の SPC

#### 1. 再実行型の例外

例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令のPCがSPCにセットされます。

#### 2. 完了型の例外、割り込み

例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。

### (4) RTE 命令の遅延スロット

1. RTE命令の遅延スロットに配置された命令は、SSRに退避されていた値がSRに復帰されたのち実行されます。命令アクセスに関する例外の受け付け判定は復帰前のSRの値に応じて決定され、その他の例外の受け付け判定は復帰後とのSRによる処理モードやBLビットに依存して決定されます。完了型の例外に関してはRTEの分岐先の実行前に受け付けられますが、再実行型の例外が発生すると動作が保証されません。
2. RTE命令の遅延スロットに配置された命令では、ユーザブレイクの受け付けは行われません。

## 5. 例外処理

---

### (5) SR レジスタ値変更と例外の受け付け

1. LDC命令によりSRレジスタのMDやBLビットを操作した場合は、その次命令から新しいSRレジスタの値で例外の受け付けを再判定します\*。完了型例外では次命令の実行後に例外が受け付けられますが、完了型例外のうち、割り込みに関しては次命令の実行前に受け付けを行います。

【注】 \* SR に対する LDC 命令が実行されると、後続命令への命令フェッチが再び行われ、新しい SR の値で命令フェッチ例外の再評価が行われます。

---

## 6. 浮動小数点ユニット (FPU)

---

### 6.1 概要

FPU には次のような特長があります。

- IEEE754規格に準拠
- 32本の単精度浮動小数点レジスタ (16本の倍精度レジスタとしても参照できます)
- 2つの丸めモード：近傍および0方向への丸め
- 2つの非正規化数処理モード：0へのフラッシュと非正規化数の扱い
- 6つの例外要因：

FPUエラー、無効演算、0による除算、オーバフロー、アンダフロー、不正確

- 包括命令：

単精度、倍精度、グラフィックサポート、システム制御

- SH-4Aで下記の3命令を追加しました。

FSRRA、FSCA、FPCHG

SR の FD ビットを 1 にセットすると、浮動小数点ユニット (FPU) は使用できなくなり、FPU 命令を実行しようとする FPU 抑止例外 (一般 FPU 抑止例外またはスロット FPU 抑止例外) が発生します。

## 6.2 データフォーマット

### 6.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号ビット (s)
- 指数フィールド (e)
- 小数フィールド (f)

SH-4A は図 6.1 と図 6.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

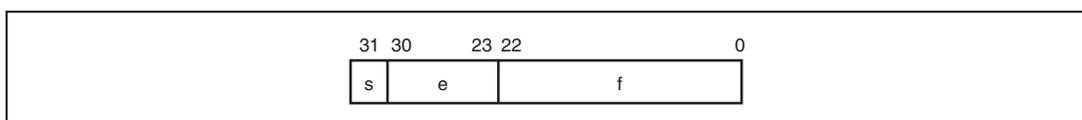


図 6.1 単精度浮動小数点フォーマット

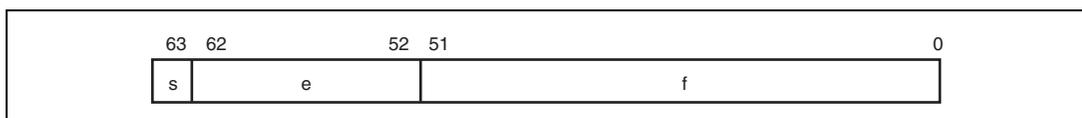


図 6.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{バイアス}$$

バイアスのない指数  $E$  の範囲は、 $E_{\min} - 1$  から  $E_{\max} + 1$  までです。 $E_{\min} - 1$  と  $E_{\max} + 1$  の2つの値は次のように区別します。 $E_{\min} - 1$  は0 (正、負両方の符号) と非正規化数を表し、 $E_{\max} + 1$  は正または負の無限大または非数 (NaN) を表します。表 6.1 に浮動小数点のフォーマットとパラメータを示します。

表 6.1 浮動小数点のフォーマットとパラメータ

パラメータ	単精度	倍精度
総ビット幅	32 ビット	64 ビット
符号ビット (s)	1 ビット	1 ビット
指数フィールド (e)	8 ビット	11 ビット
小数フィールド (f)	23 ビット	52 ビット
精度	24 ビット	53 ビット
バイアス	+127	+1023
$E_{max}$	+127	+1023
$E_{min}$	-126	-1022

浮動小数点の数値  $v$  は次のようにして決められます。

- $E = E_{max} + 1$  かつ  $f \neq 0$  の場合、 $v$  は符号  $s$  に関係なく非数 (NaN) です。
- $E = E_{max} + 1$  かつ  $f = 0$  の場合、 $v$  は  $(-1)^s$  (無限) 「正または負の無限」です。
- $E_{min} \leq E \leq E_{max}$  の場合、 $v$  は  $(-1)^s 2^E (1.f)$  「正規化数」です。
- $E = E_{min} - 1$  かつ  $f \neq 0$  の場合、 $v$  は  $(-1)^s 2^{E_{min}} (0.f)$  「非正規化数」です。
- $E = E_{min} - 1$  かつ  $f = 0$  の場合、 $v$  は  $(-1)^s 0$  「正または負の0」です。

表 6.2 に 16 進数による各タイプの範囲を示します。シグナリング非数とクワイアット非数については、「6.2.2 非数 (NaN)」を、非正規化数については「6.2.3 非正規化数」を参照してください。

表 6.2 浮動小数点の範囲

タイプ	単精度	倍精度
シグナリング非数	H'7FFFFFFF~H'7FC00000	H'7FFFFFFF FFFFFFFF~H'7FF80000 00000000
クワイアット非数	H'7FBFFFFFF~H'7F800001	H'7FF7FFFF FFFFFFFF~H'7FF00000 00000001
正の無限大	H'7F800000	H'7FF00000 00000000
正の正規化数	H'7F7FFFFFF~H'00800000	H'7FEFFFFFF FFFFFFFF~H'00100000 00000000
正の非正規化数	H'007FFFFFF~H'00000001	H'000FFFFFF FFFFFFFF~H'00000000 00000001
正のゼロ	H'00000000	H'00000000 00000000
負のゼロ	H'80000000	H'80000000 00000000
負の非正規化数	H'80000001~H'807FFFFF	H'80000000 00000001~H'800FFFFF FFFFFFFF
負の正規化数	H'80800000~H'FF7FFFFF	H'80100000 00000000~H'FFEFFFFFF FFFFFFFF
負の無限大	H'FF800000	H'FFF00000 00000000
クワイアット非数	H'FF800001~H'FFBFFFFFF	H'FFF00000 00000001~H'FFF7FFFF FFFFFFFF
シグナリング非数	H'FFC00000~H'FFFFFFF	H'FFF80000 00000000~H'FFFFFFF FFFFFFFF

## 6. 浮動小数点ユニット (FPU)

### 6.2.2 非数 (NaN)

図 6.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット : don't care
- 指数フィールド : すべてのビットが1
- 小数フィールド : 少なくとも1ビットが1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイアット非数 (qNaN) です。

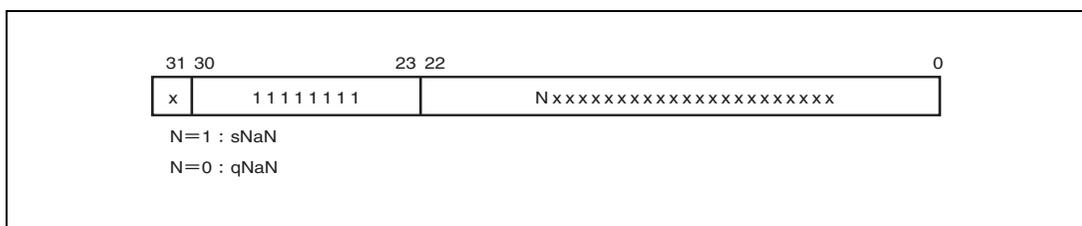


図 6.3 単精度の NaN ビットパターン

sNaN をレジスタ・レジスタ間の転送命令 FABS または FNEG 以外の浮動小数点値を生成する演算の入力データとすると、

- FPSCRレジスタのEN.Vビットが0の場合、演算結果（出力）はqNaNになります。
- FPSCRレジスタのEN.Vビットが1の場合、無効演算例外が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。

レジスタ・レジスタ間の転送命令には、下記の3命令があります。

- FMOV FRm,FRn
- FLDS FRm,FPUL
- FSTS FPUL,FRn

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR レジスタの EN.V ビットの設定に関係なく出力は常に qNaN です。この場合、例外は発生しません。

演算結果として SH-4A が生成する qNaN の値は、常に次のような値になります。

- 単精度qNaN : H'7FBFFFFF
- 倍精度qNaN : H'7FF7FFFF FFFFFFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細については、「SH-4A ソフトウェアマニュアル」を参照してください。

### 6.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは0として、小数フィールドは0以外の値として表現します。

FPUのステータスレジスタFPSCRのDNビットが1の場合、非正規化数（ソースオペランドまたは演算結果）は、（レジスタ・レジスタ間の転送命令、FNEG、FABS以外の演算の）値を生成する浮動小数点演算で正のゼロまたは負のゼロになります。

FPSCRのDNビットが0の場合、非正規化数（ソースオペランドまたは演算結果）はそのまま処理されます。非正規化数を入力する場合の浮動小数点演算の詳細については、「SH-4A ソフトウェアマニュアル」を参照してください。

### 6.3 レジスタ

#### 6.3.1 浮動小数点レジスタ

図 6.4 に浮動小数点レジスタの構成を示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2つのバンクで構成され、FPR0\_BANK0~FPR15\_BANK0、FPR0\_BANK1~FPR15\_BANK1 があります。また、この 32 本レジスタは FR0~FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0~XF15、XD0/2/4/6/8/10/12/14、XMTRX として参照されます。FPRn\_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。

(1) 浮動小数点レジスタ FPRn\_BANKi (32 レジスタ)

FPR0\_BANK0~FPR15\_BANK0

FPR0\_BANK1~FPR15\_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR=0 のとき、FR0~FR15 は FPR0\_BANK0~FPR15\_BANK0 に割り当てられます。

FPSCR.FR=1 のとき、FR0~FR15 は FPR0\_BANK1~FPR15\_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2つの FR レジスタから構成されます。

DR0={FR0, FR1}, DR2={FR2, FR3},

DR4={FR4, FR5}, DR6={FR6, FR7},

DR8={FR8, FR9}, DR10={FR10, FR11},

DR12={FR12, FR13}, DR14={FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4つの FR レジスタから構成されます。

FV0={FR0, FR1, FR2, FR3},

FV4={FR4, FR5, FR6, FR7},

FV8={FR8, FR9, FR10, FR11},

FV12={FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR=0 のとき、XF0~XF15 は FPR0\_BANK1~FPR15\_BANK1 に割り当てられます。

FPSCR.FR=1 のとき、XF0~XF15 は FPR0\_BANK0~FPR15\_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD<sub>i</sub> (8 レジスタ)

XD レジスタは 2つの XF レジスタから構成されます。

XD0={XF0, XF1}, XD2={XF2, XF3},

XD4={XF4, XF5}, XD6={XF6, XF7},

XD8={XF8, XF9}, XD10={XF10, XF11},  
 XD12={XF12, XF13}, XD14={XF14, XF15}

## (7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

XMTRX=  $\left[ \begin{array}{cccc} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{array} \right]$

FPSCR.FR=0				FPSCR.FR=1				
FV0	DR0	FR0	FPR0 BANK0	XF0	XD0	XMTRX		
		FR1	FPR1 BANK0					XF1
	DR2	FR2	FPR2 BANK0	XF2	XD2			
		FR3	FPR3 BANK0	XF3				
		FR4	FPR4 BANK0	XF4	XD4			
	FV4	DR4	FR5	FPR5 BANK0	XF5			
			FR6	FPR6 BANK0	XF6	XD6		
		FR7	FPR7 BANK0	XF7				
	FV8	DR8	FR8	FPR8 BANK0	XF8	XD8		
			FR9	FPR9 BANK0	XF9			
		FR10	FPR10 BANK0	XF10	XD10			
	FV12	DR10	FR11	FPR11 BANK0	XF11			
			FR12	FPR12 BANK0	XF12	XD12		
		FR13	FPR13 BANK0	XF13				
		DR14	FR14	FPR14 BANK0	XF14	XD14		
			FR15	FPR15 BANK0	XF15			
XMTRX	XD0	XF0	FPR0 BANK1	FR0	DR0	FV0		
		XF1	FPR1 BANK1	FR1				
	XD2	XF2	FPR2 BANK1	FR2	DR2			
		XF3	FPR3 BANK1	FR3				
	XD4	XF4	FPR4 BANK1	FR4	DR4	FV4		
		XF5	FPR5 BANK1	FR5				
		XF6	FPR6 BANK1	FR6	DR6			
	XD6	XF7	FPR7 BANK1	FR7				
		XF8	FPR8 BANK1	FR8	DR8	FV8		
		XF9	FPR9 BANK1	FR9				
	XD10	XF10	FPR10 BANK1	FR10	DR10			
		XF11	FPR11 BANK1	FR11				
		XF12	FPR12 BANK1	FR12	DR12	FV12		
	XD14	XF13	FPR13 BANK1	FR13				
		XF14	FPR14 BANK1	FR14	DR14			
		XF15	FPR15 BANK1	FR15				

図 6.4 浮動小数点レジスタ

## 6. 浮動小数点ユニット (FPU)

### 6.3.2 浮動小数点ステータス/コントロールレジスタ (FPSCR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	FR	SZ	PR	DN	Cause	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Cause				Enable (EN)				Flag				RM			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	FR	0	R/W	浮動小数点レジスタバンク 0: FPR0_BANK0~FPR15_BANK0 は FR0~FR15 に、FPR0_BANK1~FPR15_BANK1 は XF0~XF15 に割り当てられます。 1: FPR0_BANK0~FPR15_BANK0 は XF0~XF15 に、FPR0_BANK1~FPR15_BANK1 は FR0~FR15 に割り当てられます。
20	SZ	0	R/W	転送サイズモード 0: FMOV 命令のデータサイズは 32 ビットです。 1: FMOV 命令のデータサイズは 32 ビットペア、または 64 ビットです。 SZ ビットおよび PR ビットとエンディアンとの関係については、図 6.5 を参照してください。
19	PR	0	R/W	精度モード 0: 浮動小数点命令を単精度演算として実行します。 1: 浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。 PR ビットおよび SZ ビットとエンディアンとの関係については、図 6.5 を参照してください。
18	DN	1	R/W	非正規化モード 0: 非正規化数を非正規化数として扱います。 1: 非正規化数を 0 として扱います。

ビット	ビット名	初期値	R/W	説明
17~12	Cause	すべて 0	R/W	FPU 例外要因フィールド
11~7	Enable (EN)	すべて 0	R/W	FPU 例外イネーブルフィールド
6~2	Flag	すべて 0	R/W	FPU 例外フラグフィールド FPU 演算命令を実行すると、FPU 例外要因フィールドは最初に 0 に設定されます。次に FPU 例外が発生すると、FPU 例外要因フィールドと FPU 例外フラグフィールドの該当ビットが 1 にセットされます。 FPU 例外フラグフィールドは、FPU 例外フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。 各フィールドのビットの割り付けについては表 6.3 を参照してください。
1, 0	R	B'01	R/W	丸めモード 丸めの方法を選択します。 00 : 近傍への丸め 01 : 0 方向への丸め 10 : リザーブ (設定禁止) 11 : リザーブ (設定禁止)

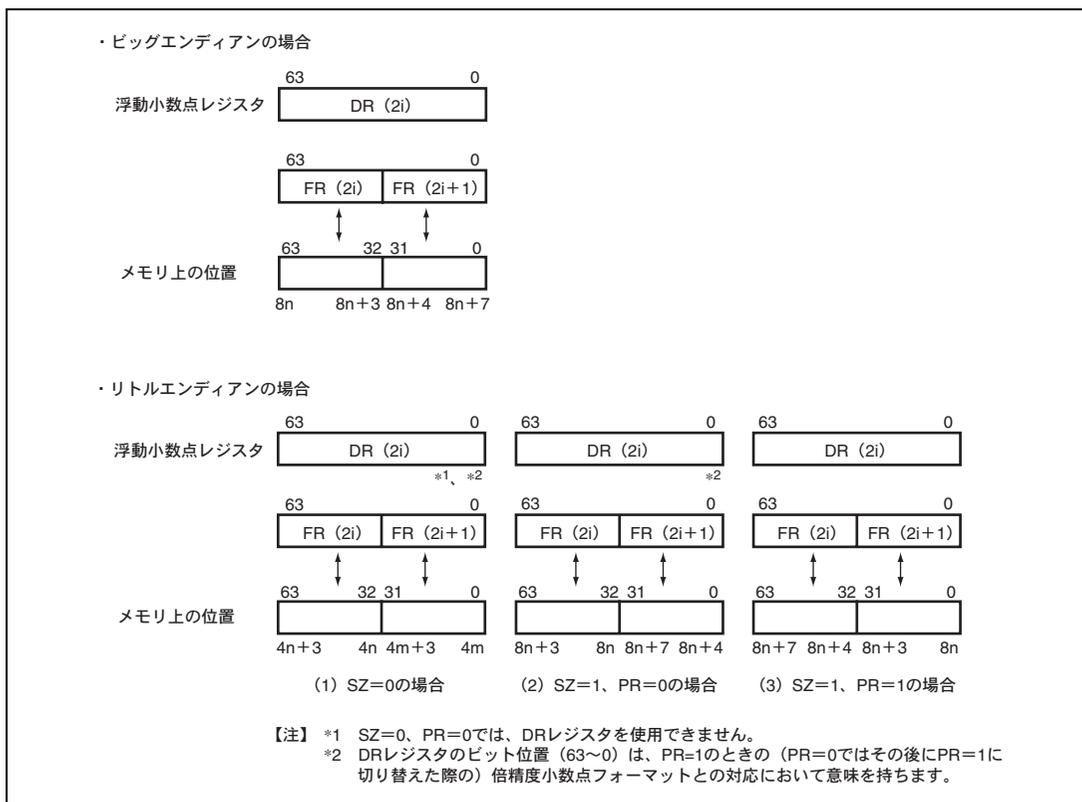


図 6.5 SZ ビットとエンディアンの関係

## 6. 浮動小数点ユニット (FPU)

表 6.3 FPU 例外処理に関連するビットの割り付け

		FPU エラー (E)	無効演算 (V)	0 除算 (Z)	オーバ フロー (O)	アンダ フロー (U)	不正確 (I)
Cause	FPU 例外要因 フィールド	ビット 17	ビット 16	ビット 15	ビット 14	ビット 13	ビット 12
Enable	FPU 例外イネーブル フィールド	なし	ビット 11	ビット 10	ビット 9	ビット 8	ビット 7
Flag	FPU 例外フラグ フィールド	なし	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2

### 6.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL レジスタを介して行われます。FPUL レジスタは 32 ビットのシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1 → (LDS 命令) → FPUL → (単精度 FLOAT 命令) → FR1

## 6.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC、FTRV、FIPR のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用いた結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

RM=00 : 近傍への丸め

RM=01 : 0 方向への丸め

#### (1) 近傍への丸め

演算結果はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が  $2^{\text{Emax}}$  ( $2 \cdot 2^p$ ) 以上であれば丸め前と同じ符号の無限となります。ここで Emax、p は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

#### (2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも絶対値が大きい場合、丸め前と同じ符号の表現可能な最大絶対値の数になります。

## 6.5 浮動小数点例外

FPU 関連の例外は次のとおりです。

### (1) 一般 FPU 抑止/スロット FPU 抑止例外

SR.FD=1 のときに FPU 命令を実行すると発生します。FPU 命令が遅延スロット以外にある場合は一般 FPU 抑止例外が、FPU 命令が遅延スロットにある場合はスロット FPU 抑止例外が発生します。

### (2) FPU 例外

例外要因は次のとおりです。

- FPUエラー (E) :  
FPSCR.DN=0かつ非正規化数の入力時
- 無効演算 (V) :  
NaN入力のような無効な演算の場合
- 0による除算 (Z) :  
除数0による除算
- オーバフロー (O) :  
演算結果がオーバフローする場合
- アンダフロー (U) :  
演算結果がアンダフローする場合
- 不正確例外 (I) :  
丸めが発生する場合

FPSCR の FPU 例外要因フィールドには上記 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

FPU 例外が発生すると、FPU 例外要因フィールドの該当するビットは 1 にセットされ FPU 例外フラグフィールドに該当するビットに 1 が累積されます。FPU 例外が発生しない場合、FPU 例外要因フィールドの該当するビットは 0 にクリアされ、FPU 例外フラグフィールドに該当するビットは変更されません。

## 6. 浮動小数点ユニット (FPU)

---

### (3) FPU 例外処理

FPU 例外は次の場合に発生します。

- FPUエラー (E) :  
FPSCR.DN=0かつ非正規化数を扱えない命令への非正規化数の入力時
- 無効演算 (V)  
: FPSCR.EN.V=1かつ (命令=FTRVまたは無効演算) の場合
- 0による除算 (Z)  
: FPSCR.EN.Z=1かつ除数0による除算またはFSRRAの入力が0の場合
- オーバフロー (O)  
: FPSCR.EN.O=1かつ演算結果がオーバフローする可能性のある場合
- アンダフロー (U)  
: FPSCR.EN.U=1かつ演算結果がアンダフローする可能性のある場合
- 不正確例外 (I)  
: FPSCR.EN.I=1かつ演算結果が不正確になる可能性のある命令

FPU 演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。例外の意味内容は、システムレジスタ FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。また、いかなる FPU 例外処理動作によっても、デスティネーションレジスタは変更されません。

上記以外で FPU 例外要因が発生すると、V、Z、O、U、I に対する該当ビットを 1 にセットし、演算結果としてデフォルト値を生成します。

- 無効演算 (V) :  
結果としてqNaNを生成します。
- 0による除算 (Z) :  
丸め前と同じ符号付きの無限大を生成します。
- オーバフロー (O) :  
0方向への丸めるとき、丸め前と同じ符号付き最大正規化数を生成します。  
近傍への丸めるとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー (U) :  
FPSCR.DN=0のとき、丸め前と同じ符号付き非正規化数、または丸め前と同じ符号付き0を生成します。  
FPSCR.DN=1のとき、丸め前と同じ符号付き0を生成します。
- 不正確例外 (I) :  
不正確な結果を生成します。

## 6.6 グラフィックサポート機能

SH-4A は 2 種類のグラフィック機能をサポートしています。1 つはジオメトリック演算用の命令であり、もう一つは高速データ転送を可能にするペア単精度転送命令です。

### 6.6.1 ジオメトリック演算命令

ジオメトリック演算命令は最小のハードウェアで高速演算を可能とするため、SH-4A は 4 つの乗算の部分的演算結果のうち相対的に小さな値を無視します。したがって、演算結果には以下に示す誤差が生じます。

$$\text{最大誤差} = \text{MAX} (\text{各乗算結果} \times 2^{-\text{MIN} (\text{乗数の有効数字桁数}-1, \text{被乗数の有効数字桁数}-1)}) + \text{MAX} (\text{結果値} \times 2^{-23}, 2^{-149})$$

ただし、有効数字桁数は正規化数が 24、非正規化数が 23 (小数部のリーディングゼロの桁数) となります。将来の SuperH シリーズでの演算誤差は保証しますが、異なるプロセッサコア間の同一の演算結果は保証しません。

#### (1) FIPR FVm, FVn (m, n: 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 内積 (m≠n) :  
一般的に、この演算はポリゴン表面の輝度や表面／裏面を判定するために使用されます。
- 各要素の平方和 (m=n) :  
一般的に、この演算はベクトルの長さを得るために使用されます。

FIPR 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、FPU 例外イネーブルフィールドの I ビットがセットされていれば、FPU 例外処理が実行されます。

#### (2) FTRV XMTRX, FVn (n: 0, 4, 8, 12)

この命令の用途例を以下に示します。

- 行列 (4×4) ・ベクトル (4) :  
一般的に、この演算は、視点の変更、角度の変更、または移動といったベクトル変換 (4次元) に使用されます。基本的に、角度+平行移動のためのアフィン変換処理は、4×4行列を必要とします。したがって、SH-4A は4次元演算をサポートしています。
- 行列 (4×4) ×行列 (4×4) :  
この演算を行うためには、FTRV命令を4回実行する必要があります。

FTRV 命令は不正確例外を検出しないため、命令を実行すると、FPU 例外要因フィールドおよび FPU 例外フラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、イネーブルフィールドの I ビット

## 6. 浮動小数点ユニット (FPU)

---

トがセットされていれば、FPU 例外処理が実行されます。また、FTRV 命令の実行の際、レジスタ内のすべてのデータタイプを実行前にチェックすることができません。FPU 例外イネーブルフィールドの V ビットがセットされていると、FPU 例外処理が実行されます。

### (3) FRCHG

この命令はバンクレジスタを変更します。例えば、FTRV 命令を使用する場合、背後にあるバンク上に行列の要素を設定する必要があります。しかし、変換行列の要素自体を作成するには、前面にあるバンクのレジスタを使用する方が簡単です。FPSCR に対する LDS 命令を使用すると、この命令は FPU の状態を維持するために、4～5 サイクルを費やします。FRCHG 命令では FPSCR.FR ビットの変更を 1 サイクルで行うことができます。

### 6.6.2 ペア単精度データ転送

強力なジオメトリック演算命令に加えて、SH-4A は高速データ転送命令をサポートしています。

FPSCR.SZ=1 のとき、ペア単精度データ転送命令によるデータ転送を行えます。

- FMOV DRm/XDm, DRn/XDRn (m, n : 0, 2, 4, 6, 8, 10, 12, 14)
- FMOV DRm/XDm, @Rn (m : 0, 2, 4, 6, 8, 10, 12, 14, n : 0～15)

これらの命令により、2つの単精度 (2×32ビット) データを転送することができます。つまり、これらの命令の転送性能が2倍となります。

- FSCHG

この命令はFPSCRのSZビットの値を変更します。ペア単精度データ転送を行うか行わないかを高速に切り換えることができます。

---

## 7. メモリマネジメントユニット (MMU)

---

本 LSI は、8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットの物理アドレス空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は、本 LSI に内蔵されたメモリマネジメントユニット (MMU: Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB: Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。

本 LSI は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式で、4 種類 (1K/4K/64K/1M バイト) のページサイズをサポートしています。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

### 7.1 MMU の概要

MMU とは物理メモリを有効に利用するために考え出された機能です。図 7.1 (0) に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスのすべてを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要が生じます (図 7.1 (1))。この物理メモリへのマッピングをプロセス自身が考えながら実行しているのは、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (図 7.1 (2))。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていけばよくなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。通常、OS が MMU を管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは 2 次記憶などの間で行われます。

こうして生まれた仮想記憶方式は、複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (図 7.1 (3))。TSS 上で走行する複数のプロセスが、おのおの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (図 7.1 (4))。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらに、あるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていなかったり、別のプロセスの仮想メモリへ誤ってアクセスしたりすることがあります。そのとき MMU は例外を発生させて、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

## 7. メモリマネジメントユニット (MMU)

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときのアドレス変換情報の入れ換えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間が変換の単位となります。

以下、本 LSI では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

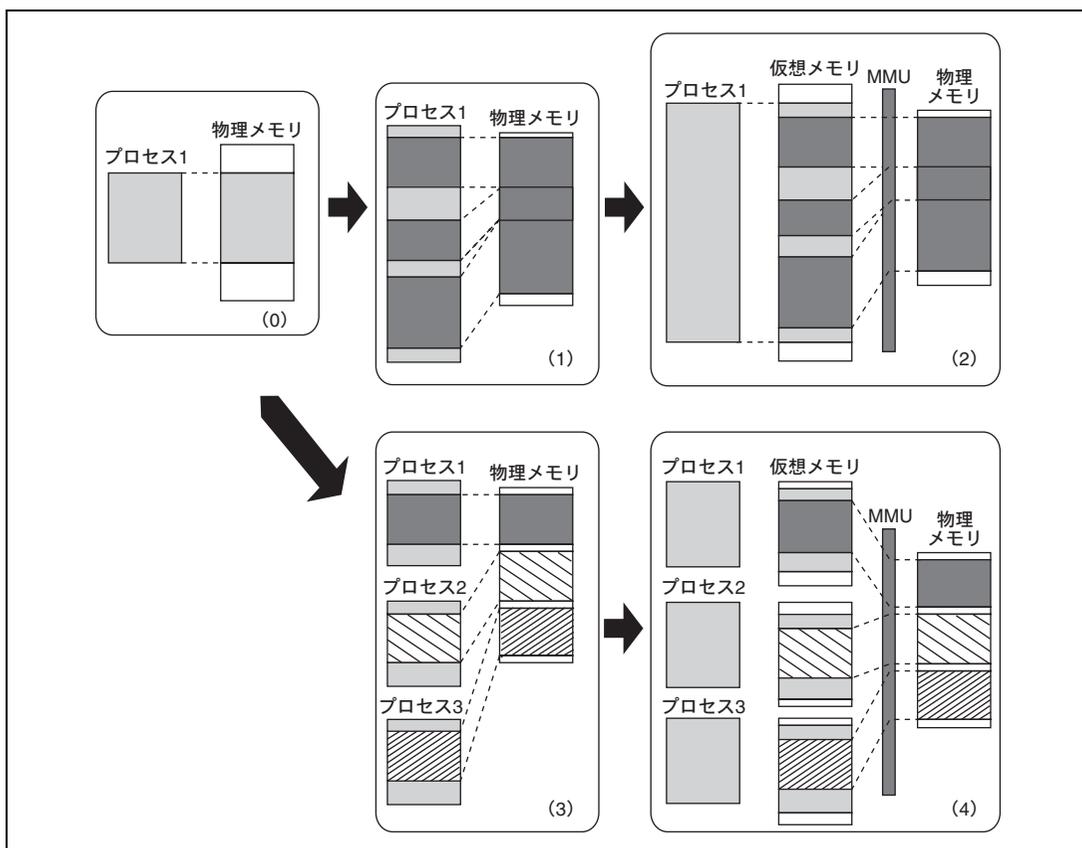


図 7.1 MMU の役割

### 7.1.1 アドレス空間

#### (1) 仮想アドレス空間

本 LSI は 32 ビットの仮想アドレス空間をサポートし、4G バイトのアドレス空間をアクセスできます。仮想アドレス空間は図 7.2、図 7.3 に示すとおり、いくつかの領域に分かれています。特権モードでは P0 領域から P4 領域の 4G バイトの空間をアクセスすることが可能です。ユーザモードでは U0 領域の 2G バイトの空間をアクセス可能です。また MMU 制御レジスタ (MMUCR) の SQMD ビットが 0 の場合、ストアキュー領域の 64M バイトの空間もアクセス可能になり、内蔵メモリ制御レジスタ (RAMCR) の RMD ビットが 1 の場合、内蔵メモリ領域の 16M バイトの空間もアクセス可能になります。ユーザモードで U0 領域、ストアキュー領域、内蔵メモリ領域以外をアクセスした場合、アドレスエラーとなります。

MMUCR の AT ビットを 1 にし、MMU をイネーブルにしたとき、これらの領域のうち、P0、P3、U0 領域は、任意の物理アドレス空間へ 1K/4K/64K/1M バイトページ単位でマッピングすることができます。また 8 ビットのアドレス空間識別子を用いることにより、P0、P3、U0 領域を 256 個まで増やすことが可能です。仮想アドレス空間から 29 ビットの物理アドレス空間へのマッピングには TLB を用います。

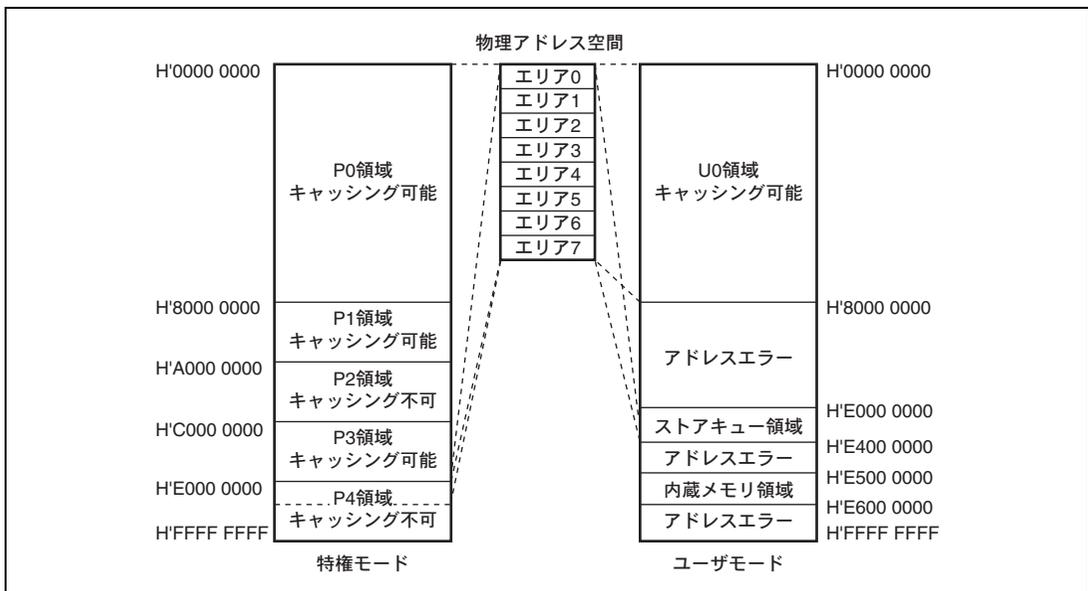


図 7.2 仮想アドレス空間 (MMUCR.AT=0)

## 7. メモリマネジメントユニット (MMU)

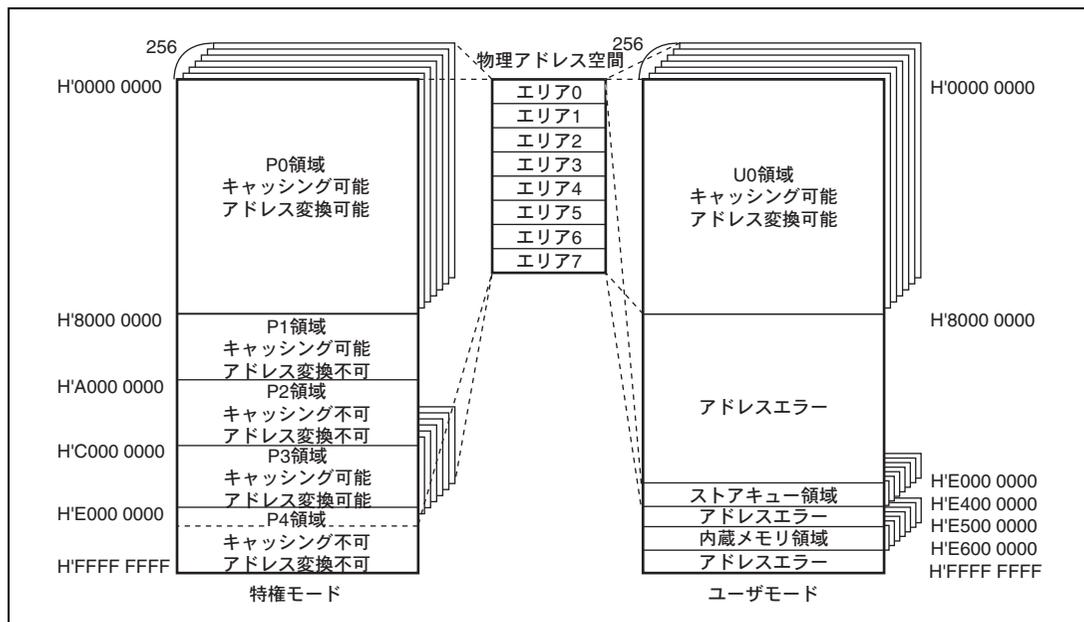


図 7.3 仮想アドレス空間 (MMUCR.AT=1)

### (a) P0、P3、U0 領域

P0、P3、U0 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが可能な領域です。

MMU がディスエーブルの場合、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かはキャッシュコントロールレジスタ (CCR) に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の WT ビットに従います。

MMU がイネーブルの場合、これらの領域は TLB を用いて 1K/4K/64K/1M バイトページ単位に任意の物理アドレス空間へマッピングできます。CCR がキャッシュイネーブル状態であり、かつ TLB エントリの当該ページのキャッシング可能ビット (C ビット) が 1 のとき、キャッシュを用いたアクセスが行えます。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、TLB の WT ビットに従います。

これらの領域を、TLB により物理アドレス空間のエリア7に存在する制御レジスタ領域にマッピングする場合、当該ページの C ビットは 0 にしてください。

### (b) P1 領域

P1 領域は TLB を用いたアドレス変換が行えませんが、キャッシュを用いたアクセスは可能な領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。キャッシュを用いるか否かは CCR に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り替えは、CCR の CB ビットに従います。

## (c) P2 領域

P2 領域は TLB を用いたアドレス変換とキャッシュを用いたアクセスが行えない領域です。

MMU がイネーブルか否かにかかわらず、アドレスの上位 3 ビットを 0 にしたものが対応する物理アドレス空間のアドレスとなります。

## (d) P4 領域

P4 領域は本 LSI の内部リソースにマッピングされる領域です。この領域は、ストアキューと内蔵メモリ領域を除いて TLB を用いたアドレス変換ができません。また、この領域はキャッシュを用いたアクセスが行えません。P4 領域の詳細を図 7.4 に示します。

H'E000 0000	ストアキュー
H'E400 0000	
H'E500 0000	内蔵メモリ領域
H'E600 0000	
	リザーブ領域
H'F000 0000	命令キャッシュアドレスアレイ
H'F100 0000	命令キャッシュデータアレイ
H'F200 0000	命令 TLB アドレスアレイ
H'F300 0000	命令 TLB データアレイ
H'F400 0000	オペランドキャッシュアドレスアレイ
H'F500 0000	オペランドキャッシュデータアレイ
H'F600 0000	共用 TLB/PMB アドレスアレイ
H'F700 0000	共用 TLB/PMB データアレイ
H'F800 0000	リザーブ領域
H'FC00 0000	制御レジスタ領域
H'FFFF FFFF	

図 7.4 P4 領域

H'E000 0000～H'E3FF FFFF までは、ストアキュー (SQ) にアクセスするための領域です。ユーザモードでのアクセス権は MMUCR の SQMD ビットで指定します。詳細は「8.7 ストアキュー」を参照してください。

H'E500 0000～H'E5FF FFFF までは、内蔵メモリをアクセスするための領域です。ユーザモードでのアクセス権は RAMCR レジスタの RMD ビットで指定します。詳細は「第 9 章 L メモリ」を参照してください。

H'F000 0000～H'F0FF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.1 IC アドレスアレイ」を参照してください。

H'F100 0000～H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.2 IC データアレイ」を参照してください。

H'F200 0000～H'F2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.6.1 ITLB アドレスアレイ」を参照してください。

## 7. メモリマネジメントユニット (MMU)

H'F300 0000～H'F37F FFFF までは、命令 TLB のデータアレイを直接アクセスするための領域です。詳細は「7.6.2 ITLB データアレイ」を参照してください。

H'F400 0000～H'F4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は「8.6.3 OC アドレスアレイ」を参照してください。

H'F500 0000～H'F5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は「8.6.4 OC データアレイ」を参照してください。

H'F600 0000～H'F60F FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。詳細は「7.6.3 UTLB アドレスアレイ」を参照してください。

H'F700 0000～H'F70F FFFF までは、共用 TLB のデータアレイを直接アクセスするための領域です。詳細は、「7.6.4 UTLB データアレイ」を参照してください。

H'F610 0000～H'F61F FFFF までは、PMB のアドレスアレイを直接アクセスするための領域です。詳細は「7.7.5 メモリ割り付け PMB の構成」を参照してください。

H'F710 0000～H'F71F FFFF までは、PMB のデータアレイを直接アクセスするための領域です。詳細は「7.7.5 メモリ割り付け PMB の構成」を参照してください。

H'FC00 0000～H'FFFF FFFF までは内蔵周辺モジュールの制御レジスタの領域です。詳細は各章のレジスタ説明の項を参照してください。

### (2) 物理アドレス空間

本 LSI は 29 ビットの物理アドレス空間をサポートします。物理アドレス空間は図 7.5 に示すとおり 8 つの領域に分かれています。エリア 7 はリザーブ領域です。

TLB を用いて物理アドレス空間のエリア 7 をアクセスする場合のみ、エリア 7 の H'1C00 0000～H'1FFF FFFF までの領域がリザーブ領域ではなくなり、仮想アドレス空間の P4 領域に含まれる制御レジスタ領域と等価になります。

H'0000 0000	エリア0
H'0400 0000	エリア1
H'0800 0000	エリア2
H'0C00 0000	エリア3
H'1000 0000	エリア4
H'1400 0000	エリア5
H'1800 0000	エリア6
H'1C00 0000 H'1FFF FFFF	エリア7 (リザーブ領域)

図 7.5 物理アドレス空間

### (3) アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。本 LSI では命令のアクセスには ITLB を、データのアクセスには UTLB を用います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外処理ルーチンへ移ります。TLB ミス例外処理ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

### (4) 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には、単一仮想記憶方式と多重仮想記憶方式があり、MMUCR の SV ビットにより選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは、TLB のアドレス比較の方式（「7.3.3 アドレス変換方式」参照）のみです。

### (5) アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、8 ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によってプロセスを切り替えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

**【注】** 単一仮想記憶モードの設定で、ASID が異なる同一の仮想ページ番号 (VPN) を持つエントリを複数同時に TLB に設定してはいけません。

## 7. メモリマネジメントユニット (MMU)

### 7.2 レジスタの説明

MMU 処理に関するレジスタを以下に示します。

表 7.1 レジスタ構成

名称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	アクセス サイズ
ページテーブルエントリ上位レジスタ	PTEH	R/W	H'FF00 0000	H'1F00 0000	32
ページテーブルエントリ下位レジスタ	PTEL	R/W	H'FF00 0004	H'1F00 0004	32
変換テーブルベースレジスタ	TTB	R/W	H'FF00 0008	H'1F00 0008	32
TLB 例外アドレスレジスタ	TEA	R/W	H'FF00 000C	H'1F00 000C	32
MMU 制御レジスタ	MMUCR	R/W	H'FF00 0010	H'1F00 0010	32
物理アドレス空間制御レジスタ	PASCR	R/W	H'FF00 0070	H'1F00 0070	32
命令再フェッチ抑止制御レジスタ	IRMCR	R/W	H'FF00 0078	H'1F00 0078	32

【注】 \* P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 7.2 各処理状態におけるレジスタの状態

名称	略称	パワーオン リセット	マニュアル リセット	スリープ
ページテーブルエントリ上位レジスタ	PTEH	不定	不定	保持
ページテーブルエントリ下位レジスタ	PTEL	不定	不定	保持
変換テーブルベースレジスタ	TTB	不定	不定	保持
TLB 例外アドレスレジスタ	TEA	不定	保持	保持
MMU 制御レジスタ	MMUCR	H'0000 0000	H'0000 0000	保持
物理アドレス空間制御レジスタ	PASCR	H'0000 0000	H'0000 0000	保持
命令再フェッチ抑止制御レジスタ	IRMCR	H'0000 0000	H'0000 0000	保持

### 7.2.1 ページテーブルエントリ上位レジスタ (PTEH)

PTEH は仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズによって異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID は、LDTLB 命令により UTLB に登録されます。

PTEH レジスタの ASID フィールドを更新後、更新後の ASID 値を使用する P0、P3、U0 領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3 のいずれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP0、P3、U0領域でかまいません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICB1命令を実行してください。
3. PTEH更新の前にあらかじめIRMCR.R2=0 (初期値) と設定されていた場合には、特定の命令の実行は不要です。しかしこの方法では、PTEH更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VPN															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VPN						—	—	ASID							
初期値:	—	—	—	—	—	—	0	0	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~10	VPN	—	R/W	仮想ページ番号
9, 8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	ASID	—	R/W	アドレス空間識別子

## 7. メモリマネジメントユニット (MMU)

### 7.2.2 ページテーブルエントリ下位レジスタ (PTEL)

PTEL は LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	PPN												
初期値:	0	0	0	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R/W												
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPN						—	V	SZ1	PR1	PR0	SZ0	C	D	SH	WT
初期値:	—	—	—	—	—	—	0	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W								

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~10	PPN	—	R/W	物理ページ番号
9	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	V	—	R/W	ページ管理情報 各ビットの意味は、共用 TLB (UTLB) の対応するビットと同じです。 詳細は「7.3 TLB の機能」を参照してください。
7	SZ1	—	R/W	
6	PR1	—	R/W	
5	PR0	—	R/W	
4	SZ0	—	R/W	
3	C	—	R/W	
2	D	—	R/W	
1	SH	—	R/W	
0	WT	—	R/W	

### 7.2.3 変換テーブルベースレジスタ (TTB)

TTB は、現在使用しているページテーブルのベースアドレスの格納用などの用途に使用します。TTB はソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TTB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TTB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															

### 7.2.4 TLB 例外アドレスレジスタ (TEA)

TEA は、MMU 例外またはアドレスエラー例外発生後に、例外を発生させた仮想アドレスが格納されます。このレジスタはソフトウェアにより変更することは可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEA      MMU例外/アドレスエラーを発生させた仮想アドレス															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEA      MMU例外/アドレスエラーを発生させた仮想アドレス															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 7.2.5 MMU 制御レジスタ (MMUCR)

MMUCR の各ビットは以下に示すように MMU の設定を行います。このため MMUCR の書き換えは P1、P2 領域のプログラムで行うようにしてください。

MMUCR レジスタを更新後、P0、P3、U0、ストアキュー領域へのアクセス（命令フェッチを含む）を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP0、P3、U0領域でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. MMUCR更新の前にあらかじめIRMCR.R2=0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

MMUCR はソフトウェアにより変更可能です。ただし LRUI ビットと URC ビットはハードウェアにより更新されることもあります。

## 7. メモリマネジメントユニット (MMU)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LRUI						—	—	URB						—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	URC						SQMD	SV	—	—	—	—	—	TI	—	AT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
31~26	LRUI	すべて 0	R/W	<p>入れ換えを行う ITLB エントリを示す LRU ビット</p> <p>ITLB ミス発生時に入れ換える ITLB のエントリを決めるため、LRU 方式 (Least Recently Used) を用います。LRUI ビットを用いて ITLB の追い出すエントリを確定できます。</p> <p>LRUI は、以下のアルゴリズムで更新が行われます。</p> <p>なお、以下の「x」は更新を行わないことを意味します。</p> <p>000xxx : ITLB のエントリ 0 を用いたとき            1xx00x : ITLB のエントリ 1 を用いたとき            x1x1x0 : ITLB のエントリ 2 を用いたとき            xx1x11 : ITLB のエントリ 3 を用いたとき            xxxxxx : 上記以外</p> <p>また LRUI が以下の状態のとき、対応する ITLB のエントリが ITLB ミスにより更新されます。なお、下表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。またパワーオンリセット、マニュアルリセット後に LRUI は 0 に初期化されるので、ハードウェアの更新によって LRUI が設定禁止の値になることはありません。</p> <p>なお、以下の「x」は Don't care を意味します。</p> <p>111xxx : ITLB のエントリ 0 が更新される            0xx11x : ITLB のエントリ 1 が更新される            x0x0x1 : ITLB のエントリ 2 が更新される            xx0x00 : ITLB のエントリ 3 が更新される            上記以外 : 設定禁止</p>
25、24	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
23~18	URB	すべて 0	R/W	<p>入れ換えを行う UTLB エントリの境界を示すビット</p> <p>URB≠0 のときに有効となります。</p>
17、16	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## 7. メモリマネジメントユニット (MMU)

ビット	ビット名	初期値	R/W	説明
15~10	URC	すべて0	R/W	LDTLB 命令により入れ換えを行う UTLB エントリを示すためのランダムカウンタ  UTLB へのアクセスが発生するたびにインクリメントされます。ただし URB>0 の場合、URC=URB の条件が成立すると URC は 0 にクリアされます。またソフトウェアにより URC>URB となる値が URC に書き込まれた場合、最初は URC=H'3F になるまで URB を超えてインクリメントされますので注意してください。なお URC は、LDTLB 命令によってカウントアップされません。
9	SQMD	0	R/W	ストアキューモードビット ストアキューへのアクセス権を指定します。 0 : ユーザ/特権アクセスが可能 1 : 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外)
8	SV	0	R/W	単一仮想記憶モード/多重仮想記憶モード切り替えビット このビットを変更するときは、必ず TI ビットにも 1 を書き込んでください。 0 : 多重仮想記憶モード 1 : 単一仮想記憶モード
7~3	—	すべて0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	TI	0	R/W	TLB 無効化ビット このビットに 1 を書き込むと、UTLB/TLB の有効ビットをすべて 0 にクリアします。読み出すと常に 0 が読み出されます。
1	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	AT	0	R/W	アドレス変換有効ビット MMU のイネーブル (有効) とディスエーブル (無効) を指定します。 0 : MMU ディスエーブルにする 1 : MMU イネーブルにする  AT ビットが 0 の状態では MMU 例外は発生しません。このため MMU を使用しないソフトウェアでは AT ビットを 0 の状態で使用してください。

## 7. メモリマネジメントユニット (MMU)

### 7.2.6 物理アドレス空間制御レジスタ (PASCR)

PASCR は物理アドレス空間の動作を制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UB							
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	UB	すべて 0	R/W	エリア (64M バイト) ごとのバッファドライト制御 キャッシュを使わない書き込みのバスアクセスが完了するまで次の CPU からのバスアクセスを待たせるかをエリアごとに指定します。 0: CPU は書き込みのバスアクセスの完了を待たずに次のバスアクセスを行います。 1: CPU は書き込みのバスアクセスの完了を待ってから次のバスアクセスを行います。 UB [7]: 制御レジスタ領域に対応 UB [6]: エリア 6 に対応 UB [5]: エリア 5 に対応 UB [4]: エリア 4 に対応 UB [3]: エリア 3 に対応 UB [2]: エリア 2 に対応 UB [1]: エリア 1 に対応 UB [0]: エリア 0 に対応

### 7.2.7 命令再フェッチ抑止制御レジスタ (IRMCR)

IRMCR は特定のリソースが変更された場合に、次の命令を命令フェッチからやり直すかどうかを制御します。特定のリソースとは、制御レジスタの一部、TLB、キャッシュを示します。

初期状態ではリソース変更後、次の命令の命令フェッチをやり直すように設定されています。しかしこの状態では、リソースの変更を一回行うごとに命令フェッチのやり直しが起こり、CPU の処理性能が低下します。そのため IRMCR の各ビットを 1 に設定し、必要なリソースの変更をまとめて行っただうえ、特定の命令を実行し、変更後のリソースを使用するプログラムの実行へ移るようにすることを推奨します。

特定のシーケンスに関しては、各リソースの説明を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	R2	R1	LT	MT	MC
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	R2	0	R/W	レジスタ変更後再フェッチ抑止 2 MMUCR、PASCR、CCR、RAMCR、PTEH の各レジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0: 再フェッチを行います 1: 再フェッチを行いません
3	R1	0	R/W	レジスタ変更後再フェッチ抑止 1 アドレス H'FF200000~H'FF2FFFFF に存在するレジスタが変更された場合に、次命令の再フェッチを行うかどうかを制御します。 0: 再フェッチを行います 1: 再フェッチを行いません
2	LT	0	R/W	LDTLB 実行後再フェッチ抑止 LDTLB 命令を実行後に、次命令の再フェッチを行うかどうかを制御します。 0: 再フェッチを行います 1: 再フェッチを行いません

## 7. メモリマネジメントユニット (MMU)

---

ビット	ビット名	初期値	R/W	説 明
1	MT	0	R/W	メモリ割り付け TLB ライト後再フェッチ抑止 MMUCR.AT=1 の状態で、メモリ割り付け ITLB/UTLB ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0：再フェッチを行います 1：再フェッチを行いません
0	MC	0	R/W	メモリ割り付け IC ライト後再フェッチ抑止 CCN.ICE=1 の状態で、メモリ割り付け IC ライトを行った後に、次命令の再フェッチを行うかどうかを制御します。 0：再フェッチを行います 1：再フェッチを行いません

## 7.3 TLB の機能

### 7.3.1 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

1. データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
2. 命令 TLB ミスのとき、ITLB へ登録するアドレス変換情報のテーブル。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 7.6 に UTLB の構成を示します。UTLB はフルアソシアティブ方式の 64 エントリで構成されています。図 7.7 にページサイズとアドレスの関係を示します。

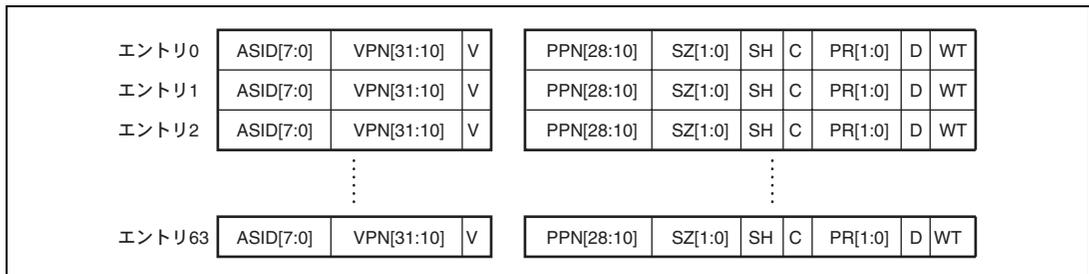


図 7.6 UTLB の構成

#### 【記号説明】

- VPN : 仮想ページ番号      1K バイトページのとき、仮想アドレスの上位 22 ビット  
                                   4K バイトページのとき、仮想アドレスの上位 20 ビット  
                                   64K バイトページのとき、仮想アドレスの上位 16 ビット  
                                   1M バイトページのとき、仮想アドレスの上位 12 ビット
- ASID : アドレス空間識別子      仮想ページをアクセスできるプロセスを示します。  
   単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SH ビットが 0 ならアドレス比較の際に PTEH 中の ASID と比較されます。
- SH : 共有状態ビット            0 : 複数のプロセスでページを共有しません。  
   1 : 複数のプロセスでページを共有します。
- SZ[1:0] : ページサイズビット      ページサイズを指定します。  
   00 : 1K バイトページ  
   01 : 4K バイトページ  
   10 : 64K バイトページ  
   11 : 1M バイトページ

## 7. メモリマネジメントユニット (MMU)

---

V : 有効ビット	エントリが有効かどうかを示します。 0 : 無効 1 : 有効 パワーオンリセット時に 0 にクリアされます。 マニュアルリセット時には変化しません。
PPN : 物理ページ番号	物理アドレスの上位 22 ビット 1K バイトページのときは PPN[28:10]が有効です。 4K バイトページのときは PPN[28:12]が有効です。 64K バイトページのときは PPN[28:16]が有効です。 1M バイトページのときは PPN[28:20]が有効です。 また PPN の設定においてはシノニム問題に注意してください (「7.4.5 シノニム問題の回避」参照)。
PR[1:0] : 保護キーデータ	ページのアクセス権をコードで表した 2 ビットデータ 00 : 特権モードで読み出しのみ可能 01 : 特権モードで読み出し/書き込み可能 10 : 特権/ユーザモードで読み出しのみ可能 11 : 特権/ユーザモードで読み出し/書き込み可能
C : キャッシング可能ビット	ページがキャッシング可能かどうか示します。 0 : キャッシング不可能。 1 : キャッシング可能。 制御レジスタ空間のマッピングを行う場合、このビットは 0 にしてください。
D : ダーティビット	ページに書き込みが行われたかどうかを示します。 0 : 書き込みが行われていない。 1 : 書き込みが行われた。
WT : ライトスルービット	キャッシュへの書き込みモードを指定します。 0 : コピーバックモード 1 : ライトスルーモード

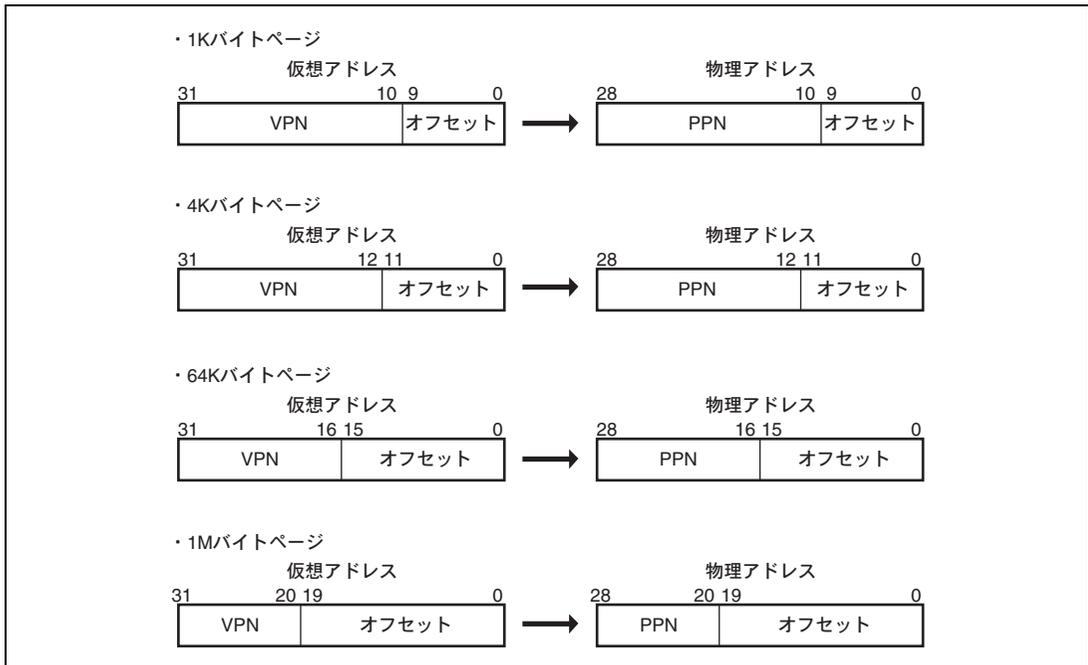


図 7.7 ページサイズとアドレスの関係

### 7.3.2 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 7.8 に ITLB の構成を示します。ITLB はフルアソシアティブの 4 エントリで構成されています。



図 7.8 ITLB の構成

## 7. メモリマネジメントユニット (MMU)

### 7.3.3 アドレス変換方式

図 7.9 に、UTLB を用いたメモリアクセスのフローを示します。

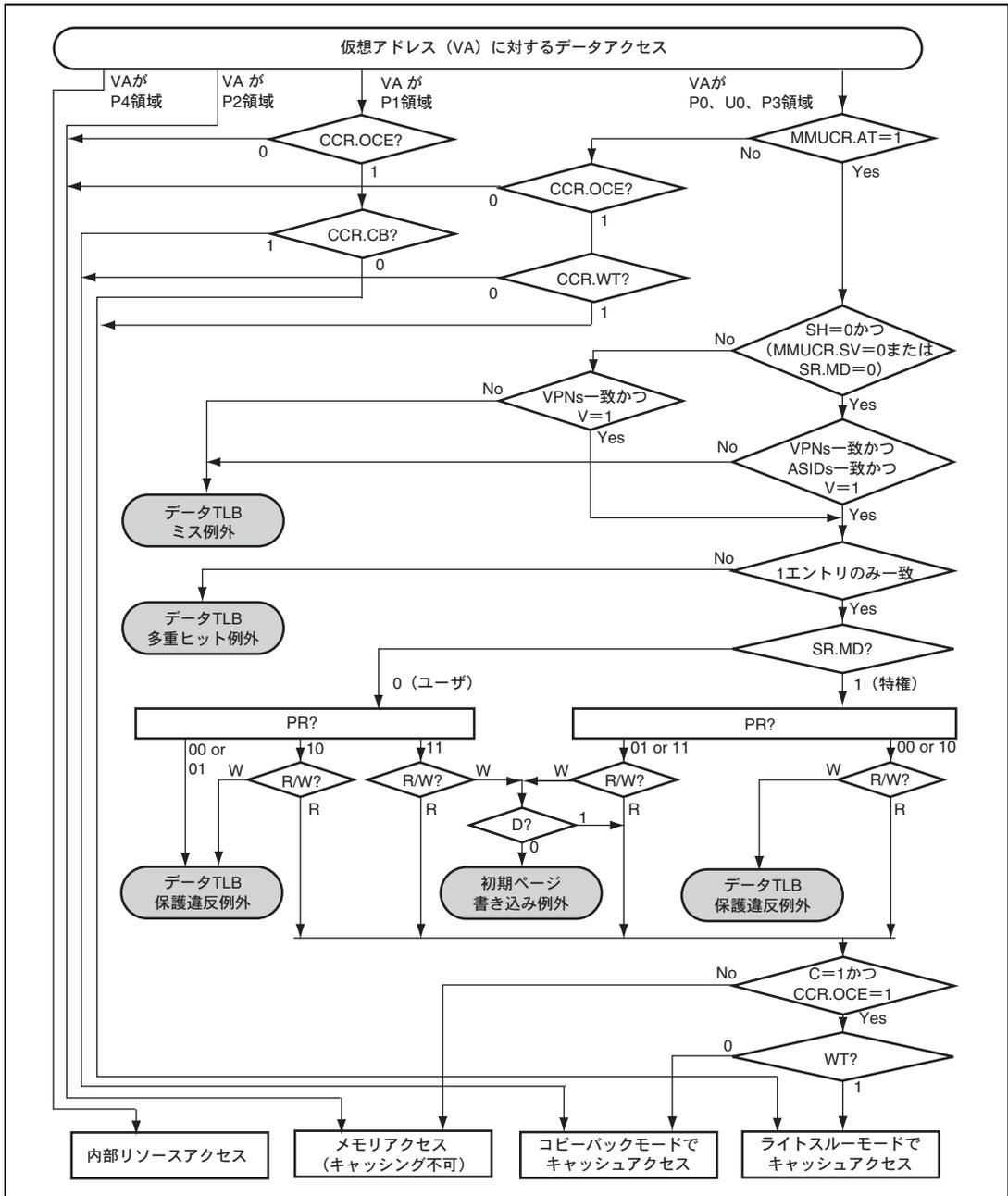


図 7.9 UTLB を用いたメモリアクセスフロー

図 7.10 に ITLB を用いたメモリアクセスのフローを示します。

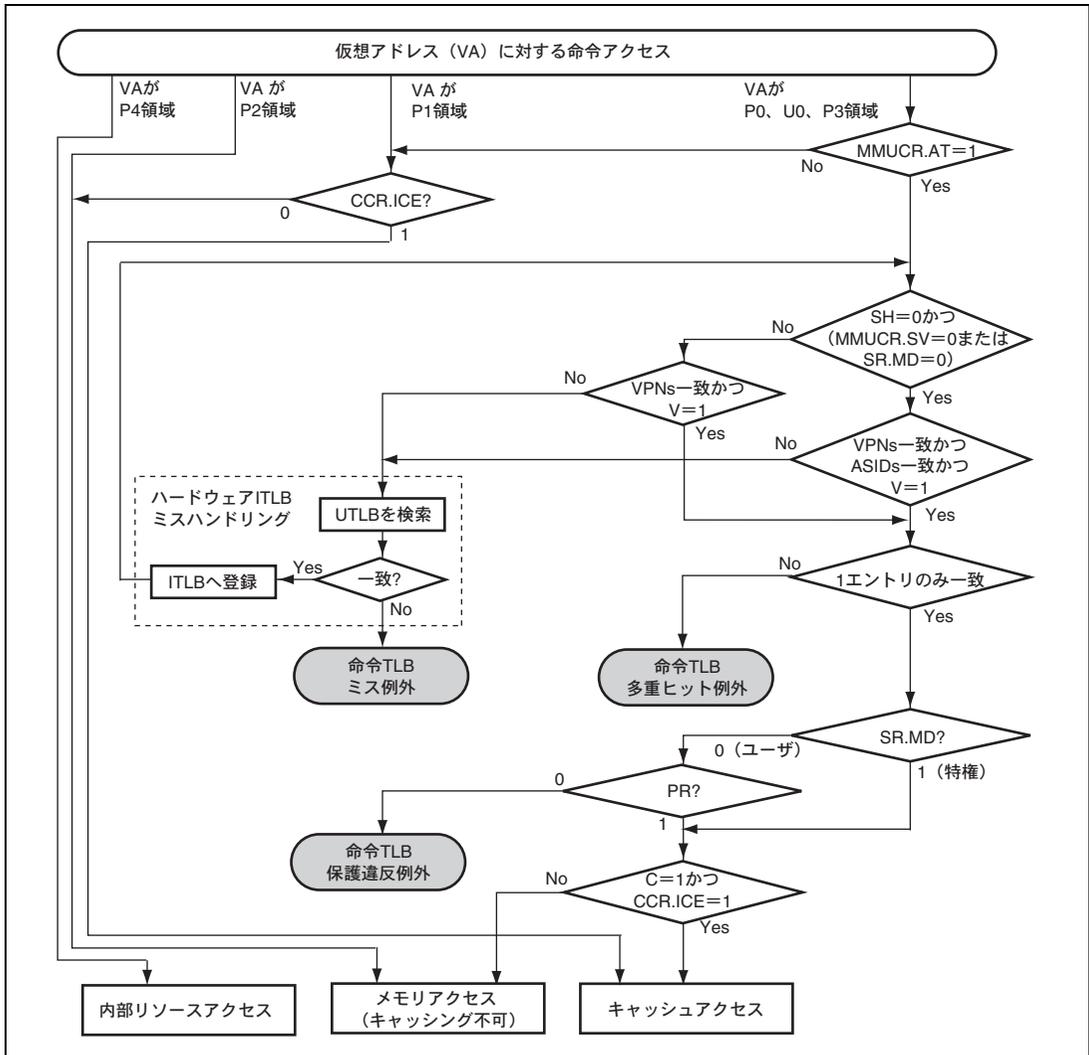


図 7.10 ITLB を用いたメモリアクセスフロー

## 7. メモリマネジメントユニット (MMU)

---

### 7.4 MMU の機能

#### 7.4.1 MMU のハードウェア管理

本 LSI がサポートする MMU の機能として次のものがあります。

1. ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCRの設定に従ってUTLB、ITLBを制御してアドレス変換を行います。
2. アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します (C、WTビット)。
3. データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU例外の発生によりソフトウェアに通知します。
4. 命令アクセスでITLBにアドレス変換情報が登録されていないとき、UTLBを検索します。必要なアドレス変換情報がUTLBに登録されていた場合、MMUCRのLRUIビットに従い、ITLBにそのアドレス変換情報をコピーします。

#### 7.4.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

1. MMU関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
2. TLBエントリの登録、削除、読み出し。UTLBエントリの登録にはLDTLB命令を用いる方法と、メモリ割り付けUTLBに直接書き込む方法があります。ITLBエントリの登録はメモリ割り付けITLBに直接書き込む方法しかありません。UTLB、ITLBエントリの削除と読み出しは、メモリ割り付けUTLB、ITLBをアクセスすることで可能です。
3. MMU例外処理。MMU例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

#### 7.4.3 MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると、本 LSI は PTEH と PTEL の内容を URC ビットが指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで発行するようにしてください。LDTLB 命令実行後、TLB が有効な領域へのアクセス (命令フェッチを含む) を行う前に、以下の 1~3. のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はTLBが有効な領域で構いません。
2. 任意のアドレス (キャッシング不可領域でもよい) に対して、ICBI命令を実行してください。
3. LDTLB命令実行前にあらかじめIRMCR.LT=0 (初期値) と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、LDTLB命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3.は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1.または2.を用いることを推奨します。

図 7.11 に LDTLB 命令の動作を示します。

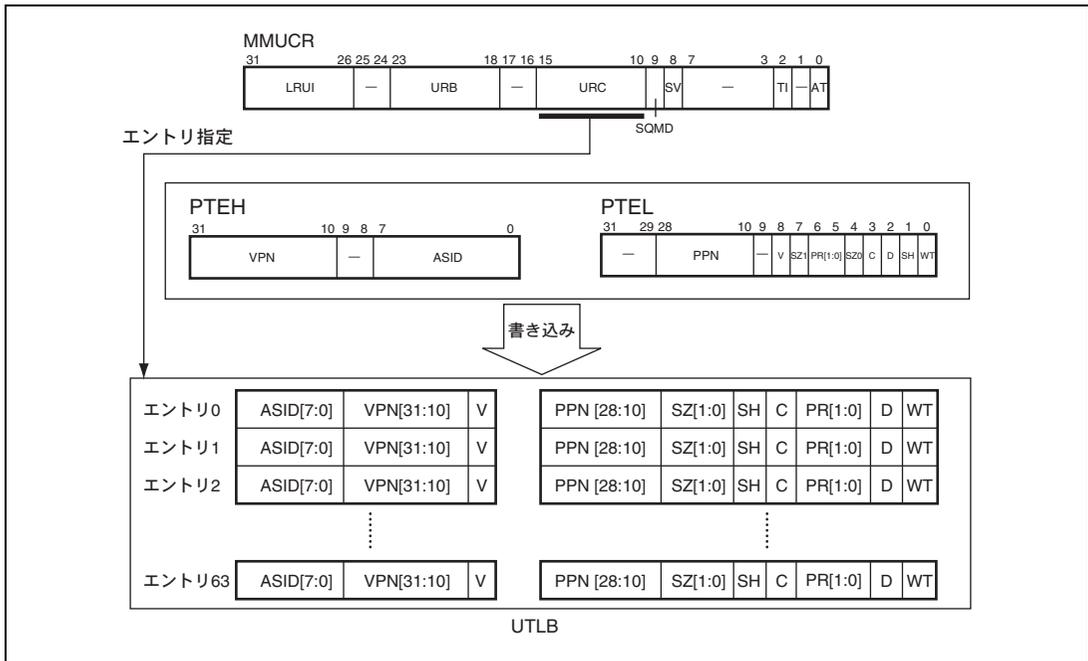


図 7.11 LDTLB 命令の動作

#### 7.4.4 ハードウェア ITLB ミスハンドリング

本 LSI は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索し、必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外を発生し、処理をソフトウェアへ移します。

#### 7.4.5 シノニム問題の回避

TLB エントリに 1K、4K バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。本 LSI ではオペランドキャッシュの高速動作のために仮想アドレスの[12:5]を用いて、エントリの指定を行います。しかし 1K バイトページでは仮想アドレスの[12:10]が、4K バイトページでは仮想アドレスの[12]がアドレス変換の対象になります。このため変換後の物理アドレスの[12:10]と仮想アドレスの[12:10]が異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

## 7. メモリマネジメントユニット (MMU)

---

1. 複数の1KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12:10]は必ず等しくなるようにしてください。
2. 複数の4KバイトページのUTLBエントリが同一の物理アドレスに変換されるアドレス変換情報をUTLBに登録するとき、VPN[12]は必ず等しくなるようにしてください。
3. 1KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。
4. 4KバイトページのUTLBエントリの物理アドレスを、異なるページサイズのUTLBエントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。

**【注】** 将来の SuperH RISC engine ファミリ拡張に備えて、複数のアドレス変換情報が同一の物理メモリを使用する場合、VPN[20:10]を等しくなるようにしてください。また異なるページサイズのアドレス変換情報で同一の物理アドレスを使用しないでください。

### 7.5 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の7つの例外があります。各例外の発生条件については図 7.9 と図 7.10 を参照してください。

#### 7.5.1 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合も、命令 TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンシは保証しません。

- **ハードウェア処理**

命令TLB多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスをTEAに設定します。
2. 例外コードH'140をEXPEVTに設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- **ソフトウェア処理 (リセットルーチン)**

リセット処理ルーチンで多重ヒットを発生させたITLBエントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

## 7.5.2 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

### • ハードウェア処理

命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'040を、EXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、命令TLBミス例外処理ルーチンを開始します。

### • ソフトウェア処理 (命令TLBミス例外処理ルーチン)

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
3. LDTLB命令を実行させ、PTEH、PTELの内容をTLBに書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

## 7. メモリマネジメントユニット (MMU)

---

### 7.5.3 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報が ITLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- **ハードウェア処理**

命令 TLB 保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 例外コード H'0A0 を EXPEVT に設定します。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、命令 TLB 保護違反例外処理ルーチンを開始します。

- **ソフトウェア処理 (命令 TLB 保護違反例外処理ルーチン)**

命令 TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし LDTLB 命令の次の命令以降に RTE 命令を発行してください。

### 7.5.4 データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。

データ TLB 多重ヒット例外が発生するとリセットになり、キャッシュのコヒーレンスは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

- **ハードウェア処理**

データ TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

1. 例外の発生した仮想アドレスを TEA に設定します。
2. 例外コード H'140 を EXPEVT に設定します。
3. リセット処理ルーチン (H'A000 0000) に分岐します。

- **ソフトウェア処理 (リセットルーチン)**

リセット処理ルーチンで多重ヒットを発生させたUTLBエントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

### 7.5.5 データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- **ハードウェア処理**

データTLBミス例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 読み出しのとき例外コードH'040を、書き込みのとき例外コードH'060を、EXPEVTに設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0400を加えたアドレスに分岐し、データTLBミス例外処理ルーチンを開始します。

- **ソフトウェア処理 (データTLBミス例外処理ルーチン)**

外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。

1. 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリのPPN、PR、SZ、C、D、SH、V、WTの各ビットの値を、PTELに書き込みます。
2. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
3. LDTLB命令を実行させ、PTEH、PTELの内容をUTLBに書き込みます。
4. 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

### 7.5.6 データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- **ハードウェア処理**

データ TLB 保護違反例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスの VPN を PTEH に設定します。
2. 例外の発生した仮想アドレスを TEA に設定します。
3. 読み出しのとき例外コード H'0A0 を、書き込みのとき例外コード H'0C0 を、EXPEVT に設定します (OCBP、OCBWB : 読み出し ; OCBI、MOVCA.L : 書き込み)。
4. 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
5. 例外が発生したときの SR の内容を SSR に設定します。そのときの R15 を SGR に設定します。
6. SR の MD ビットを 1 に設定し、特権モードに切り替えます。
7. SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
8. SR の RB ビットを 1 に設定します。
9. VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、データ TLB 保護違反例外処理ルーチンを開始します。

- **ソフトウェア処理 (データ TLB 保護違反例外処理ルーチン)**

データ TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし LDTLB 命令の次の命令以降に RTE 命令を発行してください。

### 7.5.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス(書き込み)した仮想アドレスに一致するアドレス変換情報がUTLBエントリに存在し、アクセス権も許されているにもかかわらず、Dビットが0であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- **ハードウェア処理**

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

1. 例外が発生した仮想アドレスのVPNをPTEHに設定します。
2. 例外の発生した仮想アドレスをTEAに設定します。
3. 例外コードH'080をEXPEVTに設定します。
4. 例外が発生した命令のアドレスを指すPCの値をSPCに設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指すPCの値をSPCに設定します。
5. 例外が発生したときのSRの内容をSSRに設定します。そのときのR15をSGRに設定します。
6. SRのMDビットを1に設定し、特権モードに切り替えます。
7. SRのBLビットを1に設定し、これ以降の例外要求をマスクします。
8. SRのRBビットを1に設定します。
9. VBRの内容にオフセットH'0000 0100を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。

- **ソフトウェア処理 (初期ページ書き込み例外処理ルーチン)**

ソフトウェアの責任で、次のように処理してください。

1. 外部メモリから必要なページテーブルエントリを探し出します。
2. 外部メモリのページテーブルエントリのDビットに1を書き込んでください。
3. 外部メモリに記憶されているページテーブルエントリのPPN、PR、SZ、C、D、WT、SH、Vのビットの値をPTELに書き込みます。
4. エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値をMMUCRのURCに書き込みます。このときURCがURBを超えるような場合、LDTLB命令発行後に適切な値に変更してください。
5. LDTLB命令を実行させ、PTEH、PTELの内容をUTLBに書き込みます。
6. 最後に、例外処理からの復帰命令(RTE)を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB命令の次の命令以降にRTE命令を発行してください。

### 7.6 メモリ割り付け TLB の構成

ITLB および UTLB をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって ITLB および UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。

メモリ割り付け TLB アクセス後、P2 領域以外へのアクセス（命令フェッチを含む）を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はP2領域以外でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. メモリ割り付けTLBアクセスの前にあらかじめIRMCR.MT=0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、MMUCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ITLB および UTLB は仮想アドレス空間の P4 領域に割り付けられています。ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイとしてアクセス可能です。

UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイとしてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。アクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。リザーブビットに対しては、書き込み値として 0 を指定してください。読み出し値は保証しません。

#### 7.6.1 ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の H'F200 0000~H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定（読み出し/書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31:24]が ITLB アドレスアレイを示す H'F2 になっており、[9:8]でエントリを選択するようになっています。アドレス部[1:0]はロングワードアクセスのため 0 を指定してください。

データ部は、[31:10]が VPN を、[8]が V を、[7:0]が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

1. ITLBアドレスアレイ 読み出し

アドレス部に設定されたエントリに対応するITLBエントリから、データ部へVPN、V、ASIDを読み出します。

2. ITLBアドレスアレイ 書き込み

アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたVPN、V、ASIDを書き込みます。



## 7. メモリマネジメントユニット (MMU)

### 7.6.3 UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の H'F600 0000~H'F60F FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[31:20]が UTLB アドレスアレイを示す H'F60 になっており、[13:8]でエントリを選択するようになっています。アドレス部[7]の連想ビット（A ビット）は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[31:10]が VPN を、[9]が D を、[8]が V を、[7:0]が ASID を示します。

UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

#### 1. UTLBアドレスアレイ 読み出し

アドレス部に設定されたエントリに対応するUTLBエントリから、データ部へVPN、D、V、ASIDを読み出します。読み出す場合、アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

#### 2. UTLBアドレスアレイ 書き込み（連想なし）

アドレス部に設定されたエントリに対応するUTLBエントリに対して、データ部で指定されたVPN、D、V、ASIDを書き込みます。アドレス部のAビットは0にしてください。

#### 3. UTLBアドレスアレイ 書き込み（連想あり）

アドレス部のAビットが1で書き込みのとき、データ部で指定されたVPNとPTEH.ASIDを用い、UTLBの全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLBにミスした場合は例外は発生せずノーオペレーションとなります。比較によりデータ部で指定したVPNに対応するUTLBエントリが存在した場合、そのエントリに対してデータ部で指定したDとVを書き込みます。この連想動作はITLBに対しても同時に行われ、ITLB内に一致するエントリが存在した場合はそのエントリに対してVを書き込みます。UTLBでの比較でノーオペレーションとなってもITLBで一致していればITLB側にも書き込みは行います。またUTLBとITLBの両方で一致した場合、UTLBの情報がITLBへも書き込まれます。

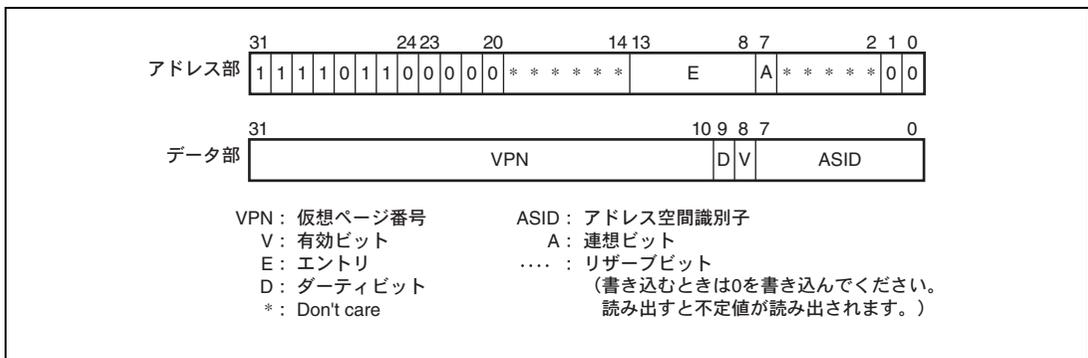


図 7.14 メモリ割り付け UTLB アドレスアレイ

### 7.6.4 UTLB データアレイ

UTLB のデータアレイは P4 領域の HF700 0000~HF70F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[31:20]が UTLB データアレイを示す HF70 になっており、[13:8]でエントリを選択するようになっています。

データ部は、[28:10]が PPN を、[8]が V を、[7]、[4]が SZ を、[6:5]が PR を、[3]が C を、[2]が D を、[1]が SH を、[0]が WT を示します。

UTLB データアレイに対しては以下の 2 種類の操作が可能です。

#### 1. UTLB データアレイ 読み出し

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ PPN、V、SZ、PR、C、D、SH、WT を読み出します。

#### 2. UTLB データアレイ 書き込み

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、D、SH、WT を書き込みます。

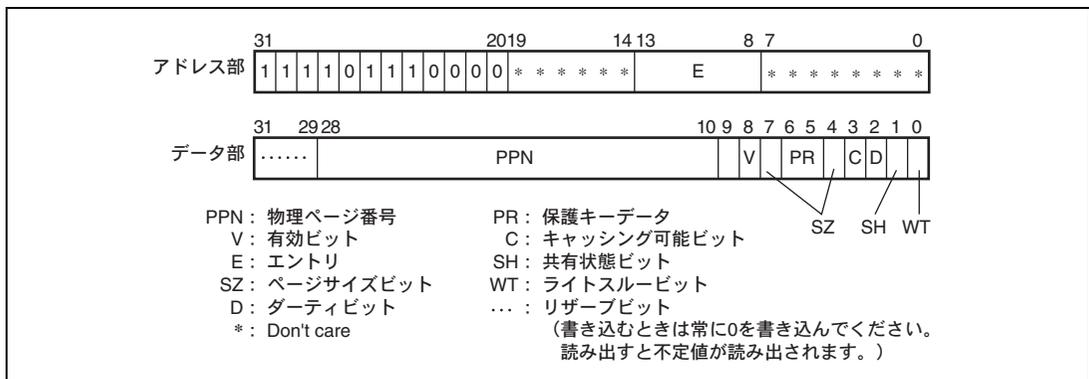


図 7.15 メモリ割り付け UTLB データアレイ

### 7.7 32 ビットアドレス拡張モード

本 LSI は PASCR レジスタの SE ビットを 1 に設定することで、29 ビットの物理アドレス空間を扱う 29 ビットアドレスモードから、32 ビットの物理アドレス空間を扱う 32 ビットアドレス拡張モードに変更することができます。

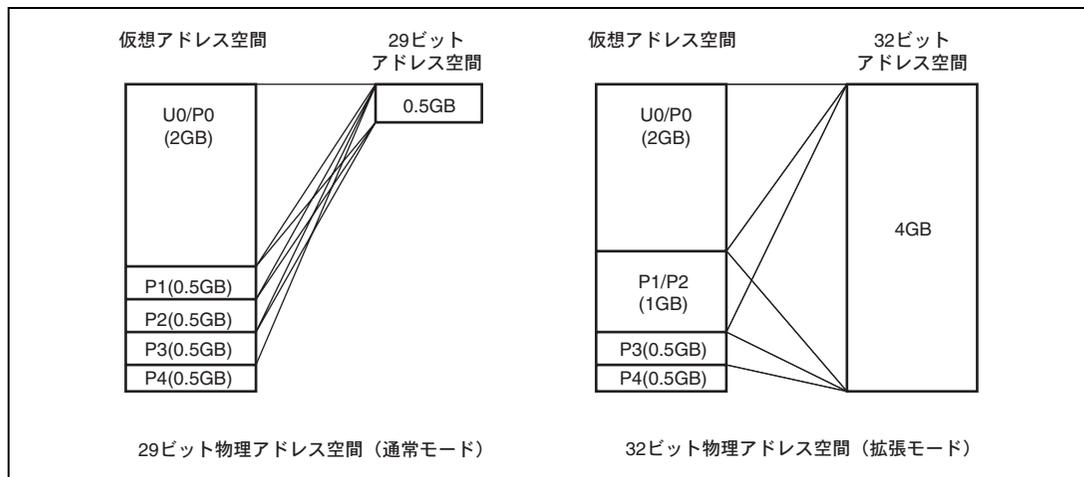


図 7.16 物理アドレス空間 (32 ビットアドレス拡張モード)

#### 7.7.1 32 ビットアドレス拡張モード概要

32 ビットアドレス拡張モードでは、29 ビットアドレスモードではアドレス変換対象外である P1/P2 領域の仮想アドレスを、32 ビットの物理アドレス空間にマッピングする特権空間マッピングバッファ (PMB) を導入します。また、既存の TLB (UTLB/ITLB) のアドレス変換対象領域についても、UTLB/ITLB の PPN フィールドの上位 3 ビットを拡張して、TLB 変換後のアドレスが 32 ビットの物理アドレスを扱えるようになります。

また、キャッシュの動作は、29 ビットアドレスモードでは固定的に P1 領域はキャッシング可能、P2 領域はキャッシング不可ですが、32 ビットアドレス拡張モードでは P1、P2 領域とも PMB の C ビットおよび WT ビットに従うようになります。

### 7.7.2 32 ビットアドレス拡張モードへの切り替え

本 LSI はパワーオンリセット後は 29 ビットアドレスモードです。PASCRC レジスタの SE ビットに 1 を書き込むことで、32 ビットアドレス拡張モードへと遷移します。32 ビットアドレス拡張モードでは MMU の動作は次のようになります。

1. MMUCR.AT=0のとき、U0/P0/P3領域の仮想アドレスはそのまま32ビット物理アドレスとなります。P1/P2領域のアドレスはPMBマッピング情報に従いアドレス変換されます。PMBの仮想ページ番号の上位2ビット (VPN[31:30]) にはP1/P2領域を指し示すようにB'10を必ず設定してください。B'10以外の値を設定した場合の動作は保証しません。
2. MMUCR.AT=1のとき、U0/P0/P3領域の仮想アドレスはTLB変換情報に従い32ビット物理アドレスに変換されます。P1/P2領域のアドレスはPMBマッピングの情報に従いアドレス変換されます。PMBの仮想ページ番号の上位2ビット (VPN[31:30]) にはP1/P2領域を指し示すようにB'10を必ず設定してください。B'10以外の値を設定した場合の動作は保証しません。
3. 制御レジスタ領域 (H'FC00 0000~H'FFFF FFFF) は、MMUCR.ATにかかわらず、物理アドレスの[31:29]がB'111となります。制御レジスタ領域をUTLBに登録してアクセスする場合には、PPN[31:29]にはB'111を設定してください。

### 7.7.3 特権空間マッピングバッファ (PMB) 構成

32 ビットアドレス拡張モードでは、P1/P2 領域の仮想アドレスは PMB マッピング情報に従いアドレス変換されます。PMB は 16 エントリで各エントリは以下の構成です。

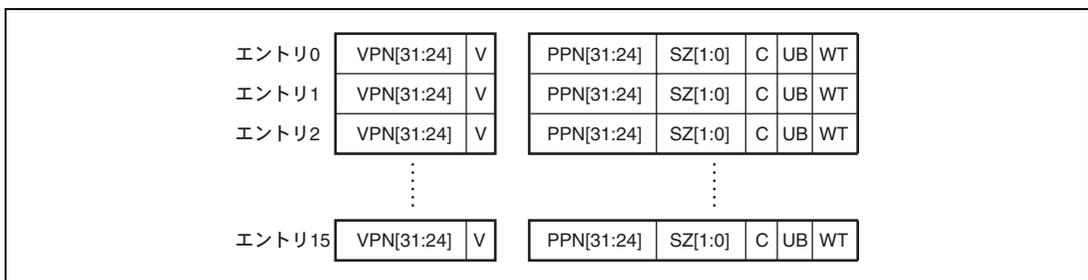


図 7.17 PMB の構成

#### 【記号説明】

VPN : 仮想ページ番号

16M バイトページるとき、仮想アドレスの上位 8 ビット

64M バイトページるとき、仮想アドレスの上位 6 ビット

128M バイトページるとき、仮想アドレスの上位 5 ビット

512M バイトページるとき、仮想アドレスの上位 3 ビット

【注】 VPN の上位 2 ビットは、P1/P2 領域を指し示すように必ず B'10 を設定してください。

## 7. メモリマネジメントユニット (MMU)

---

**SZ** : ページサイズビット

ページサイズを指定します。

00 : 16M バイトページ

01 : 64M バイトページ

10 : 128M バイトページ

11 : 512M バイトページ

**V** : 有効ビット

エントリが有効かどうかを示します。

0 : 無効

1 : 有効

パワーオンリセット時に 0 にクリアされます。

マニュアルリセット時に変化しません。

**PPN** : 物理ページ番号

物理アドレスの上位 8 ビット

16M バイトページのと看、PPN[31:24]が有効

64M バイトページのと看、PPN[31:26]が有効

128M バイトページのと看、PPN[31:27]が有効

512M バイトページのと看、PPN[31:29]が有効

**C** : キャッシング可能ビット

ページがキャッシング可能かどうかを示します。

0 : キャッシング不可能

1 : キャッシング可能

**WT** : ライトスルービット

キャッシュへの書き込みモードを指定します。

0 : コピーバックモード

1 : ライトスルーモード

**UB** : バッファドライトビット

バッファドライトするかどうかを指定します。

0 : バッファドライト (ライト完了を待たずに後続命令のデータアクセスを開始する)

1 : アンバッファドライト (ライト完了を待ち後続命令のデータアクセスを開始する)

### 7.7.4 PMB の機能

本 LSI がサポートする PMB の機能を以下に示します。

1. PMBへの書き込みはメモリ割り付けライトでのみ行えます。LDTLBでの登録はできません。
2. PMBマッピング対象であるP1/P2領域のアクセスするアドレスは必ずPMB登録されていることをソフトウェアで保証してください。PMBに変換情報がないP1/P2領域のアドレスにアクセスがあった場合、本LSIはTLBリセットとなります。このとき、TEAにはTLBリセットの原因となったP1/P2領域へのアクセスアドレスが、EXPEVTにはコードH'140が格納されます。
3. 本LSIはPMBが多重ヒットを起こした場合の動作を保証しません。ソフトウェアは十分注意してPMBマッピング情報を登録してください。
4. PMBには連想ライトの機能はありません。
5. PMBにはPRフィールドは存在せず、リード/ライトのプロテクションを施すことはできません。PMBのアドレス変換対象はP1/P2アドレスなので、ユーザモードでのアクセスではアドレスエラー例外が発生します。
6. ITLBにはハードウェアITLBミスハンドリングによりUTLBとPMBの両方のエントリが混在して登録されます。ただしVPN[31:30]が10か否かで、UTLBから登録されたものかPMBから登録されたものか識別できます。PMBのエントリがITLBに登録される際に、PMBに存在しないフィールドであるASIDにはH'00、PRには01、SHには1が登録されます。

### 7.7.5 メモリ割り付け PMB の構成

PMB をソフトウェアで管理するために、特権モードのとき、P1/P2 領域のプログラムから MOV.L 命令によって PMB の内容の読み出し、書き込みが可能です。PMB のアドレスアレイは P4 領域の H'F610 0000~H'F61F FFFF に、PMB のデータアレイは P4 領域の H'F710 0000~H'F71F FFFF に割り付けられています。PMB では VPN、V をアドレスアレイとして、PPN、V、SZ、C、WT、UB をデータアレイとしてアクセス可能です。V はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。PMB メモリ割り付けアクセスを実行するプログラムは、PMB.C=0 に設定したページの領域に配置してください。

#### 1. PMBアドレスアレイリード

アドレスとして[31:20]にPMBアドレスアレイを示すH'F61、[11:8]にエントリを指定してメモリ読み出しを行うと、[31:24]にVPN、[8]にVが読み出されます。

#### 2. PMBアドレスアレイライト

アドレスとして[31:20]にPMBアドレスアレイを示すH'F61、[11:8]にエントリを指定し、データとして[31:24]にVPN、[8]にVを指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

#### 3. PMBデータアレイリード

アドレスとして[31:20]にPMBデータアレイを示すH'F71、[11:8]にエントリを指定してメモリ読み出しを行うと、[31:24]にPPN、[9]にUB、[8]にV、[7][4]にSZ、[3]にC、[0]にWTが読み出されます。

## 7. メモリマネジメントユニット (MMU)

### 4. PMBデータアレイライト

アドレスとして[31:20]にPMBデータアレイを示すHF71、[11:8]にエントリを指定し、データとして[31:24]にPPN、[9]にUB、[8]にV、[7][4]にSZ、[3]にC、[0]にWTを指定してメモリ書き込みを行うと、指定したエントリに書き込まれます。

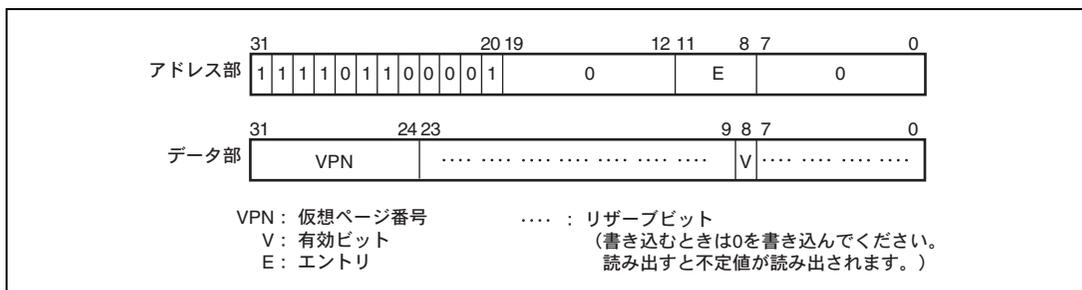


図 7.18 メモリ割り付け PMB アドレスアレイ

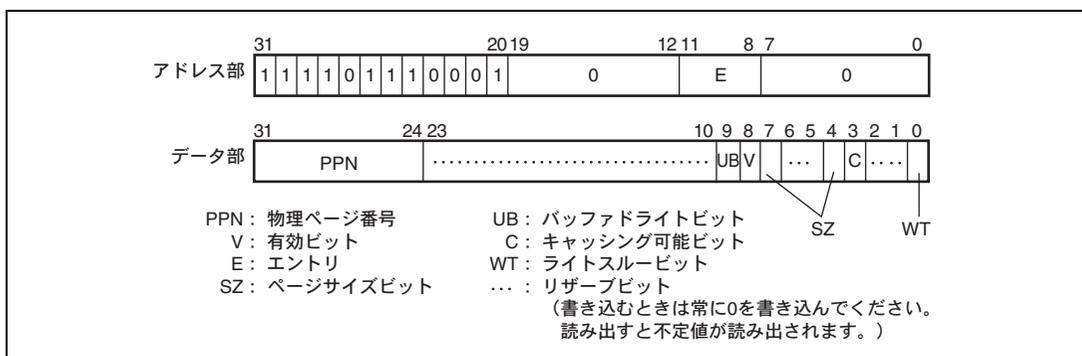


図 7.19 メモリ割り付け PMB データアレイ

### 7.7.6 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードを使用する場合、本章ですでに述べた事項が以下のように拡張または変更されますので、注意してください。

#### (1) PASC.R.SE

制御レジスタ PASC.R[31]に SE ビットが追加になります。また、UB[6:0]は無効になります (UB[7]は 32 ビットアドレス拡張モードでも有効です)。

バッファドライトになるか否かは、P1/P2 領域に対するライトでは PMB の UB ビットにより制御されます。P0/P3/U0 領域に対するライトでは、MMU がイネーブルの場合 TLB の UB ビットにより制御され、MMU がディスエーブルの場合、常にバッファドライトになります。

ビット	ビット名	初期値	R/W	説明
31	SE	0	R/W	アドレスモード 0 : 29 ビットアドレスモード 1 : 32 ビットアドレス拡張モード
30~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~0	UB	すべて 0	R/W	エリア (64M バイト) ごとのバッファドライト制御 キャッシュを使わない書き込み時に CPU が書き込みの完了を待つかどうかをエリアごとに指定します。 0 : CPU は書き込みの完了を待ちません 1 : CPU は書き込みが完了するまでストールして待ちます。 UB [7] : 制御レジスタ領域のバッファドライト制御 UB [6:0] : エリア (64M バイト) ごとのバッファドライト制御 (32 ビットアドレス拡張モードでは無効)

#### (2) ITLB

ITLB の PPN フィールドが[31:10]へ拡張されます。

#### (3) UTLB

UTLB の各エントリに PMB の UB ビットと同じ意味の UB ビットが追加になります。

UB : バッファドライトビット

バッファドライトするかどうかを指定します。

0 : バッファドライト (ライト完了を待たずに後続処理を開始する)

1 : アンバッファドライト (ライト完了を待ち後続処理を開始する)

UB ビットはメモリ割り付け TLB アクセスではデータアレイのビット[9]でリード/ライトが行えます。

## 7. メモリマネジメントユニット (MMU)

---

### (4) PTEL

UTLB と同様に PTEL レジスタのビット[9]に PMB の UB ビットと同じ意味の UB ビットが追加になります。

この UB ビットは LDTLB 命令によって UTLB の UB ビットへ書き込まれます。また PPN フィールドが[31:10]に拡張されます。

### (5) CCR.CB

CCR レジスタの CB ビットは無効になります。P1 領域に対するキャッシュブライイトがコピーバックモードになるか、ライトスルーモードになるかは、PMB の WT ビットに従います。

### (6) IRMCR.MT

IRMCR の MT ビットが、メモリ割り付け PMB ライトに対しても有効になります。

### (7) QACR0、QACR1

QACR0、QACR1 レジスタの AREA0[4:2]、AREA[4:2]がそれぞれ AREA0[7:2]、AREA1[7:2]に拡張され、物理アドレス 31~26 に対応します。

### (8) LSA0、LSA1、LDA0、LDA1

L0SADR、L1SADR、L0DADR、L1DADR がそれぞれ[31:0]に拡張されます。

また、32 ビットアドレスモード使用時にはソフトウェアは以下の点に注意してください。

1. SEビットの切り替えはパワーオンリセットまたはマニュアルリセット後のキャッシュとTLBがオフのブートルーチンで0から1への切り替えのみサポートされます。
2. SEビット切り替え後、そのプログラムの配置されている領域自体がPMBアドレス変換対象となりますので、SEビットの切り替えに先立ってPMBへの登録が必要です。例外ハンドラなど、P1/P2領域へアクセスされる可能性のあるアドレスについても必ずPMBへの登録を行ってください。
3. SEビットを切り替えるMOV.L命令の前にあるオペランドメモリアccessが外部メモリアccessを起す場合、両アドレスモードでアクセスされる外部メモリ空間アドレスが異なるようにしてください。
4. PMBの登録時にVビットがアドレスアレイとデータアレイの両方にマッピングされていることに注意してください。すなわち、1回目の一方への書き込みではV=0を、2回目の他方への書き込みではV=1を書き込んでください。

## 8. キャッシュ

本 LSI は命令用に 32K バイトの命令キャッシュ (IC) を、データ用に 32K バイトのオペランドキャッシュ (OC) を内蔵しています。

### 8.1 特長

キャッシュの特長を表 8.1 に示します。

本 LSI では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。SQ の特長を表 8.2 に示します。

表 8.1 キャッシュの特長

項目	命令キャッシュ	オペランドキャッシュ
容量	32K バイトキャッシュ	32K バイトキャッシュ
方式	4 ウェイセットアソシアティブ、 仮想アドレスインデックス/物理アドレスタグ	4 ウェイセットアソシアティブ、 仮想アドレスインデックス/物理アドレスタグ
ラインサイズ	32 バイト	32 バイト
エントリ数	256 エントリ/ウェイ	256 エントリ/ウェイ
書き込み方式	—	コピーバック/ライトスルー選択可能
置換方式	LRU (Least Recently Used) アルゴリズム	LRU (Least Recently Used) アルゴリズム

表 8.2 ストアキューの特長

項目	ストアキュー
容量	2×32 バイト
アドレス	H'E000 0000~H'E3FF FFFF
ライト	ストア命令 (1 サイクルライト)
ライトバック	プリフェッチ命令 (PREF 命令)
アクセス権	MMU ディスエーブル時: MMU 制御レジスタ (MMUCR) の SQMD ビットによる MMU イネーブル時: 個々のページ PR による

本 LSI のオペランドキャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 8.1 にオペランドキャッシュの構成を示します。

命令キャッシュは 4 ウェイセットアソシアティブ方式で、おのおののウェイは 256 本のキャッシュラインから構成されます。図 8.2 に命令キャッシュの構成を示します。

## 8. キャッシュ

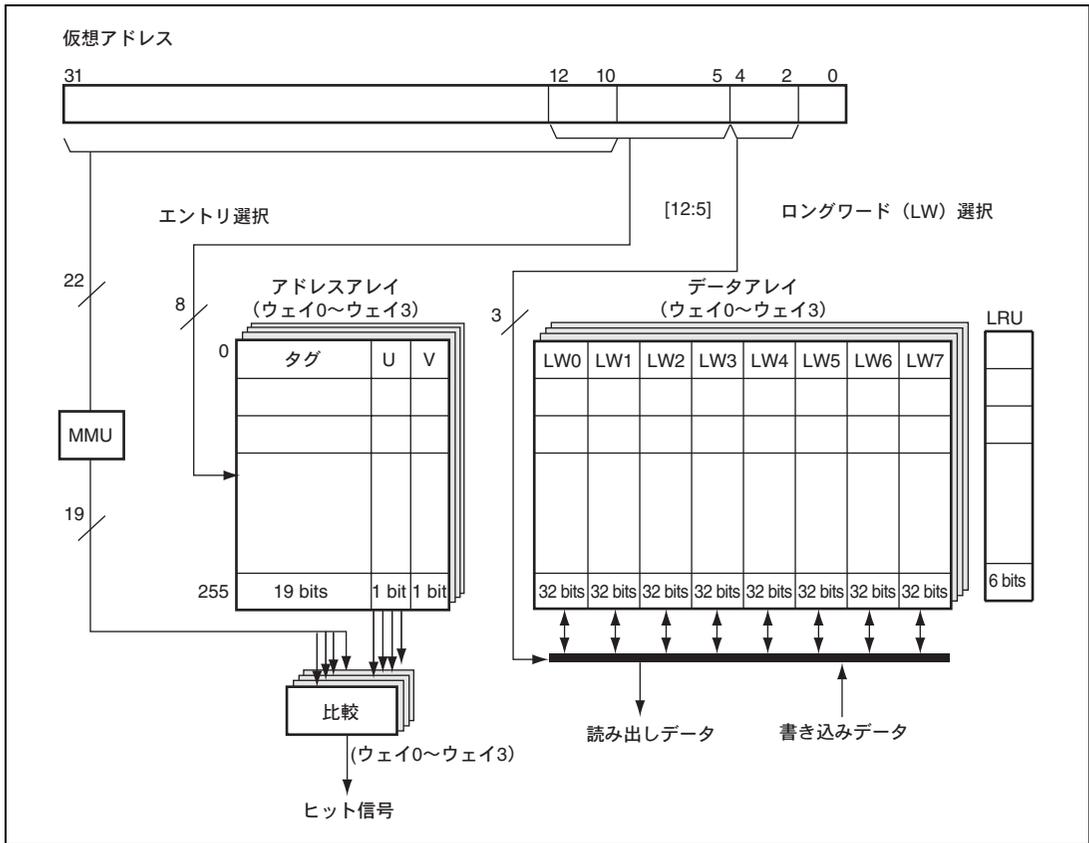


図 8.1 オペランドキャッシュの構成

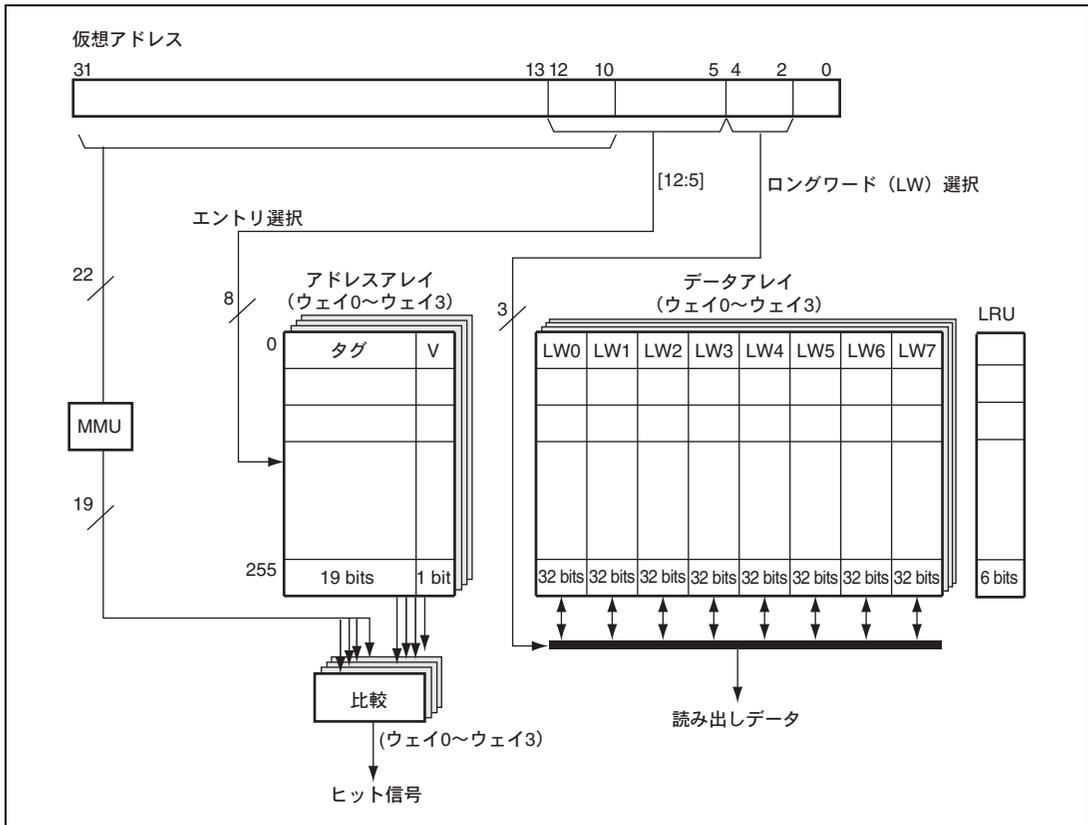


図 8.2 命令キャッシュの構成

## (1) タグ

キャッシュされるデータラインの物理アドレス29ビットの上位19ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

## (2) Vビット (有効ビット)

キャッシュラインに有効なデータが格納されているか否かを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

## (3) Uビット (ダーティビット)

コピーバックモードでキャッシュを使用中に、キャッシュラインヘデータを書き込んだとき、Uビットが1になります。つまりUビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ(「8.6 メモリ割り付けキャッシュの構成」参照)をアクセスすることによりUビットを書き換えない限り、ライトスルーモードでキャッシュを使用中はUビットが1になることはありません。Uビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。

## 8. キャッシュ

### (4) データ部

データ部には1キャッシュラインあたり32バイト（256ビット）のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

### (5) LRU 部

4ウェイセットアソシアティブ方式では、エントリアドレスが同じデータを4つまでキャッシュに登録できます。エントリを登録するとき、4つのウェイのうち、どのウェイに登録するかをLRUビットが示します。LRUビットは各エントリ6ビットからなり、ハードウェアで制御します。ウェイ選択のアルゴリズムとして、最も以前にアクセスされたウェイを選ぶLRU（Least Recently Used）アルゴリズムを使用しています。LRUビットは、パワーオンリセットで0に初期化されますが、マニュアルリセットでは初期化されません。LRUビットは、ソフトウェアでは読み書きできません。

## 8.2 レジスタの説明

キャッシュに関連するレジスタを以下に示します。

表 8.3 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	アクセス サイズ
キャッシュ制御レジスタ	CCR	R/W	H'FF00 001C	H'1F00 001C	32
キューアドレス制御レジスタ 0	QACR0	R/W	H'FF00 0038	H'1F00 0038	32
キューアドレス制御レジスタ 1	QACR1	R/W	H'FF00 003C	H'1F00 003C	32
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32

【注】 \* P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLBを用いて物理アドレス空間のエリア7からアクセスするものです。

表 8.4 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ
キャッシュ制御レジスタ	CCR	H'0000 0000	H'0000 0000	保持
キューアドレス制御レジスタ 0	QACR0	不定	不定	保持
キューアドレス制御レジスタ 1	QACR1	不定	不定	保持
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持

## 8.2.1 キャッシュ制御レジスタ (CCR)

CCR は、キャッシュの動作モードの選択、キャッシュの全エントリの無効化、キャッシュへの書き込みモードの選択を行います。

CCR の書き換えは、キャッシング不可の P2 領域のプログラムのみで行わなければなりません。CCR 更新後、キャッシング可能領域へのアクセス（命令フェッチを含む）を行う前に、以下の 1～3 のどれかを実行してください。

1. RTE命令による分岐を実行してください。この場合、分岐先はキャッシング可能領域でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
3. CCR更新の前にあらかじめIRMCR.R2=0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、CCR更新命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ICI	—	—	ICE	—	—	—	—	OCI	CB	WT	OCE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	ICI	0	R/W	IC 無効化ビット このビットに1を書き込むとICの全エントリのVビットを0にします。 読み出すと常に0が読み出されます。
10, 9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	ICE	0	R/W	IC 有効ビット ICの使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報のCビットも1でなければICを使用できません。  0 : ICを使用しない 1 : ICを使用する
7～4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## 8. キャッシュ

ビット	ビット名	初期値	R/W	説明
3	OCI	0	R/W	OC無効化ビット このビットに1を書き込むとOCの全エントリのV、Uビットを0にします。読み出すと常に0が読み出されます。
2	CB	0	R/W	コピーバックビット P1領域のキャッシュへの書き込みモードを示します。 0:ライトスルーモード 1:コピーバックモード
1	WT	0	R/W	ライトスルーモード P0、U0、P3領域のキャッシュへの書き込みモードを示します。ただし、アドレス変換が行われる場合は、ページ管理情報のWTビットの値を優先します。 0:コピーバックモード 1:ライトスルーモード
0	OCE	0	R/W	OC有効ビット OCの使用を選択します。ただしアドレス変換が行われる場合は、ページ管理情報のCビットも1でなければOCを使用できません。 0:OCを使用しない 1:OCを使用する

### 8.2.2 キューアドレス制御レジスタ0 (QACR0)

QACR0は、MMUがディスエーブルのとき、ストアキュー0 (SQ0) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	AREA0			—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	—	—	—	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~2	AREA0	不定	R/W	MMUがディスエーブルのとき、SQ0に対する物理アドレス28~26を生成します。
1、0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

### 8.2.3 キューアドレス制御レジスタ 1 (QACR1)

QACR1 は、MMU がディスエーブルのとき、ストアキュー1 (SQ1) がマップされているエリアを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	AREA1			—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	—	—	—	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~2	AREA1	不定	R/W	MMU がディスエーブルのとき、SQ1 に対する物理アドレス 28~26 を生成します。
1、0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

### 8.2.4 内蔵メモリ制御レジスタ (RAMCR)

RAMCR は IC および OC のウェイ数の制御を行います。

RAMCR への書き換えは、キャッシング不可の P2 領域のプログラムで行われなければなりません。RAMCR 更新後、キャッシング可能領域または L メモリ領域へのアクセス（命令フェッチを含む）を行う前に、以下の 1~3 のどれかを実行してください。

1. RTE 命令による分岐を実行してください。この場合、分岐先はキャッシング不可領域または L メモリ領域でかまいません。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI 命令を実行してください。
3. RAMCR 更新の前にあらかじめ IRMCR.R2=0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、RAMCR 更新命令の次命令を命令フェッチからやり直すため、CPU の処理性能が低下しますのでご注意ください。

ただし、方法 3 は今後の SuperH シリーズでは保証されない可能性があります。今後の SuperH シリーズでの互換性を保証するためには、1 または 2 を用いることを推奨します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R

## 8. キャッシュ

---

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 詳細は「9.4 Lメモリの保護機能」を参照してください。
8	RP	0	R/W	内蔵メモリ保護有効ビット 詳細は「9.4 Lメモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC 2ウェイモードビット 0: ICは4ウェイ動作 1: ICは2ウェイ動作 詳細は「8.4.3 IC 2ウェイモード」を参照してください。
6	OC2W	0	R/W	OC 2ウェイモードビット 0: OCは4ウェイ動作 1: OCは2ウェイ動作 詳細は「8.3.6 OC 2ウェイモード」を参照してください。
5~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## 8.3 オペランドキャッシュの動作説明

### 8.3.1 読み出し動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを読み出す場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
  - タグが一致かつVビットが1のウェイが存在する場合 → 3.
  - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合 → 4.
  - タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合 → 5.

#### 3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:0]でインデックスされるデータをアクセスサイズに応じて読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

#### 4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

#### 5. キャッシュミス (書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

### 8.3.2 プリフェッチ動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域からデータを OC にプリフェッチする場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウエイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウエイから読み出したタグを比較し、
  - タグが一致かつVビットが1のウエイが存在する場合 → 3.
  - タグが一致かつVビットが1のウエイが存在せず、LRUビットにより選択された置換対象ウエイのUビットが0の場合 → 4.
  - タグが一致かつVビットが1のウエイが存在せず、LRUビットにより選択された置換対象ウエイのUビットが1の場合 → 5.

#### 3. キャッシュヒット

ヒットしたウエイが最新となるようにLRUビットを更新します。

#### 4. キャッシュミス (書き戻しなし)

仮想アドレスに対応する物理アドレス空間から、置換対象ウエイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウエイが最新となるようにLRUビットを更新します。

#### 5. キャッシュミス (書き戻しあり)

置換対象ウエイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、仮想アドレスに対応する物理アドレス空間から、置換対象ウエイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことはなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに0を書き込みます。また置換したウエイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

### 8.3.3 書き込み動作

オペランドキャッシュ (OC) が有効 (CCR.OCE=1) かつキャッシング可能な領域に対してデータが書き込まれる場合、OC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、Vビット、UビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグの比較、および対象となる領域の属性から、

コピーバック      ライトスルー

- タグが一致かつVビットが1のウェイが存在する場合      → 3.                      → 4.
- タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが0の場合      → 5.                      → 7.
- タグが一致かつVビットが1のウェイが存在せず、LRUビットにより選択された置換対象ウェイのUビットが1の場合      → 6.                      → 7.

#### 3. キャッシュヒット (コピーバック)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。またUビットに1を書き込み、ヒットしたウェイが最新となるようにLRUビットを更新します。

#### 4. キャッシュヒット (ライトスルー)

ヒットしたウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込むとともに、仮想アドレスに対応する外部メモリに対しても書き込みを行います。またヒットしたウェイが最新となるようにLRUビットを更新します。この場合、Uビットは更新されません。

#### 5. キャッシュミス(コピーバック、書き戻しなし)

置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます(ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。データの読み込みはキャッシュミスしたデータを含むクワッドワード(8バイト)から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

#### 6. キャッシュミス (コピーバック、書き戻しあり)

置換対象ウェイのキャッシュラインのタグとデータ部をライトバックバッファへ退避します。その後、置換対象ウェイのデータ部の、仮想アドレスのビット[4:0]でインデックスされるデータ位置に対し、アクセスサイズに応じて書き込みます。また仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインヘデータを読み込みます (ただし、すでに書き込み済みのキャッシュミスしたデータを除く)。

## 8. キャッシュ

データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を、Uビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。その後、ライトバックバッファのデータを外部メモリへ書き戻します。

### 7. キャッシュミス (ライトスルー)

仮想アドレスに対応した外部メモリへ、指定されたアクセスサイズで書き込みを行います。この場合、キャッシュへの書き込みは行われません。タグ、Vビット、Uビット、LRUビットも更新されません。

### 8.3.4 ライトバックバッファ

本LSIは、キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを内蔵しています。ライトバックバッファはキャッシュ1ライン分のデータと追い出す先の物理アドレスで構成されます。

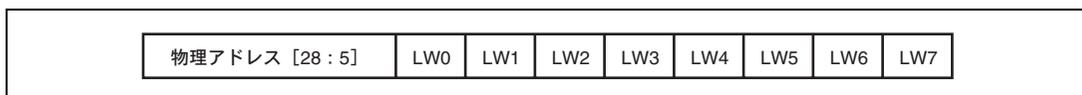


図 8.3 ライトバックバッファの構成

### 8.3.5 ライトスルーバッファ

本LSIは、ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための64ビットのバッファを内蔵しています。これによりCPUはライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

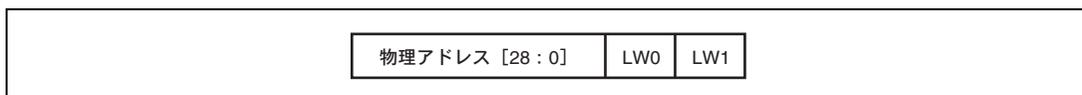


図 8.4 ライトスルーバッファの構成

### 8.3.6 OC 2 ウェイモード

RAMCRレジスタのOC2Wビットを1にセットすると、OCのウェイ0とウェイ1のみを使用するOC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けOCアクセスも含め、ウェイ0とウェイ1のみが使用されます。

OC2Wビットの書き換えはP2領域のプログラムで行ってください。また、書き換える時点ですでにOCに有効なラインが登録されている場合には、OC2Wビットを書き換える前に、必要に応じてソフトウェアにより書き戻しを行った後、CCRレジスタのOCIビットに1を書き込み、OCの全エントリを無効にしてください。

## 8.4 命令キャッシュの動作説明

### 8.4.1 読み出し動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から命令フェッチを行う場合、IC は以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
  - タグが一致かつVビットが1のウェイが存在する場合 → 3.
  - タグが一致かつVビットが1のウェイが存在しない場合 → 4.
3. キャッシュヒット

ヒットしたウェイのデータ部から、仮想アドレスのビット[4:3]でインデックスされるデータを命令として読み出します。またヒットしたウェイが最新となるようにLRUビットを更新します。

4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、LRUビットにより選択された置換対象ウェイのキャッシュラインヘータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8 バイト) から順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

### 8.4.2 プリフェッチ動作

命令キャッシュ (IC) が有効 (CCR.ICE=1) かつキャッシング可能な領域から、命令をICにプリフェッチする場合、ICは以下のように動作します。

1. 仮想アドレスのビット[12:5]でインデックスされる各ウェイのキャッシュラインから、タグ、VビットおよびLRUビットを読み出します。
2. 仮想アドレスをMMUにより変換した物理アドレスのビット[28:10]と、各ウェイから読み出したタグを比較し、
  - タグが一致かつVビットが1のウェイが存在する場合 → 3.
  - タグが一致かつVビットが1のウェイが存在しない場合 → 4.
3. キャッシュヒット

ヒットしたウェイが最新となるようにLRUビットを更新します。

## 8. キャッシュ

---

### 4. キャッシュミス

仮想アドレスに対応する物理アドレス空間から、置換対象ウェイのキャッシュラインへデータを読み込みます。データの読み込みはキャッシュミスしたデータを含むクワッドワード (8バイト) から順にラップアラウンド方式で行います。プリフェッチ動作ではCPUがデータの到着を待つことなく、キャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュに1ライン分のデータの読み込みが完了した時点で、物理アドレスによるタグを登録し、Vビットに1を書き込みます。また置換したウェイが最新となるようにLRUビットを更新します。

### 8.4.3 IC 2 ウェイモード

RAMCR レジスタの IC2W ビットを1にセットすると、ICのウェイ0とウェイ1のみを使用するIC2ウェイモードとなり、消費電力を低減できます。本モードではメモリ割り付けICアクセスも含め、ウェイ0とウェイ1のみが使用されます。

IC2W ビットの書き換えはP2領域のプログラムで行うようにしてください。また、書き換える時点ですでにICに有効なラインが登録されている場合には、IC2W ビットを書き換える前に、CCR レジスタのICI ビットに1を書き込み、ICの全エントリを無効化してください。

## 8.5 キャッシュ操作命令

### 8.5.1 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。本LSIではキャッシュを操作する命令として次の6命令をサポートしています。各命令の詳細はソフトウェアマニュアルを参照してください。

- **オペランドキャッシュインバリデイト命令** : OCBI @Rn  
オペランドキャッシュの無効化 (書き戻しなし)
- **オペランドキャッシュバージ命令** : OCBP @Rn  
オペランドキャッシュの無効化 (書き戻しあり)
- **オペランドキャッシュライトバック命令** : OCBWB @Rn  
オペランドキャッシュの書き戻し
- **オペランドキャッシュアロケート命令** : MOVCA.L R0, @Rn  
オペランドキャッシュの確保
- **命令キャッシュインバリデイト命令** : ICBI @Rn  
命令キャッシュの無効化
- **オペランドアクセス同期命令** : SYNCO  
データ転送の完了待ち

またオペランドキャッシュのコヒーレンシ制御のために、SuperHyway バスからの PURGE および FLUSH トランザクションを受け付けることが可能です。PURGE/FLUSH トランザクションで与えられるアドレスは物理アドレスです。そのため MMU がイネーブルの場合、キャッシュシノニム問題を回避するため、以下の制限事項が生じます。

- 1Kバイトのページサイズを使用しないでください。

#### (1) PURGE トランザクション

オペランドキャッシュがイネーブルのとき、オペランドキャッシュを検索し、ヒットしたエントリを無効化します。無効化されるラインがダーティであれば外部メモリへ書き戻しを行います。ミスした場合にはノーオペレーションです。

#### (2) FLUSH トランザクション

オペランドキャッシュがイネーブルのとき、オペランドキャッシュを検索し、ヒットしたエントリがあり、かつダーティであれば外部メモリへ書き戻しを行います。ヒットしたエントリの無効化は行いません。ミスした場合またはヒットしたエントリがダーティでなかった場合にはノーオペレーションです。

### 8.5.2 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、本 LSI ではプリフェッチ命令をサポートしています。読み出し動作、書き込み動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュへデータをフィルしておき、読み出し動作、書き込み動作においてキャッシュミスを発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスが UTLB にミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外を発生させません。プリフェッチ命令の詳細はソフトウェアマニュアルを参照してください。

- プリフェッチ命令 (OC) : PREF @Rn
- プリフェッチ命令 (IC) : PREFI @Rn

### 8.6 メモリ割り付けキャッシュの構成

IC、OCをソフトウェアで管理するために、特権モードのとき、P2領域のプログラムからMOV命令によってICの内容の読み出し／書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3領域への分岐は、以下の1~3のどれかの方法で行ってください。

1. RTE命令による分岐を実行してください。
2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行した後、P0、U0、P1、P3領域への分岐を行ってください。
3. メモリ割り付けICへのアクセスの前に、あらかじめIRMCR.MC=0（初期値）と設定されていた場合には、特定の命令シーケンスは不要です。しかしこの方法では、メモリ割り付けICアクセス命令の次命令を命令フェッチからやり直すため、CPUの処理性能が低下しますのでご注意ください。

ただし、方法3は今後のSuperHシリーズでは保証されない可能性があります。今後のSuperHシリーズでの互換性を保証するためには、1または2を用いることを推奨します。

また、特権モードのとき、P1、P2領域のプログラムからMOV命令によってOCの内容の読み出し／書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。IC、OCは仮想アドレス空間のP4領域に割り付けられています。ICのアドレスアレイ／データアレイ、OCのアドレスアレイ／データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには0を設定するようにしてください。予約ビットの読み出し値は不定です。

#### 8.6.1 IC アドレスアレイ

ICのアドレスアレイはP4領域のHF000 0000~HF0FF FFFFに割り付けられています。アドレスアレイのアクセスには32ビットのアドレス部の指定（読み出し／書き込み時）と32ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイトとエントリを指定し、データ部には書き込みタグとVビットを指定します。

アドレス部は[31:24]がICアドレスアレイを示すHF0になっており、[14:13]でウェイト、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット（Aビット）はICアドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は0を指定してください。

データ部は[31:10]がタグを、[0]がVビットを示します。ICアドレスアレイのタグは19ビットのためデータ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

ICアドレスアレイに対しては次の3種類の操作が可能です。

##### (1) IC アドレスアレイ 読み出し

アドレス部に設定されたウェイトとエントリに対応するICエントリから、データ部へタグとVビットを読み出します。読み出す場合アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

**(2) IC アドレスアレイ 書き込み (連想なし)**

アドレス部に設定されたウェイとエントリに対応するICエントリに対して、データ部で指定されたタグとVビットを書き込みます。アドレス部のAビットは0にしてください。

**(3) IC アドレスアレイ 書き込み (連想あり)**

アドレス部のAビットが1で書き込みするとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。アドレス部[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをITLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したVビットをICのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はICの特定のエントリの無効化に用いられます。アドレス変換の際にITLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

**【注】** 本機能は今後の SuperH シリーズではサポートされない可能性があります。ITLB ミスハンドリングや命令 TLB ミス例外の通知を行い、確実に IC の操作が可能な ICBI 命令の使用を推奨します。

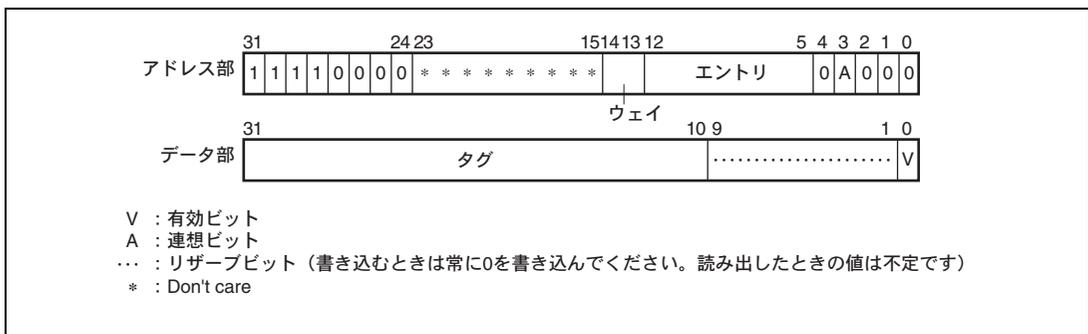


図 8.5 メモリ割り付け IC アドレスアレイ

## 8.6.2 IC データアレイ

IC のデータアレイは P4 領域の HF100 0000~HF1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し/書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が IC データアレイを示す HF1 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

## 8. キャッシュ

### (1) IC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

### (2) IC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

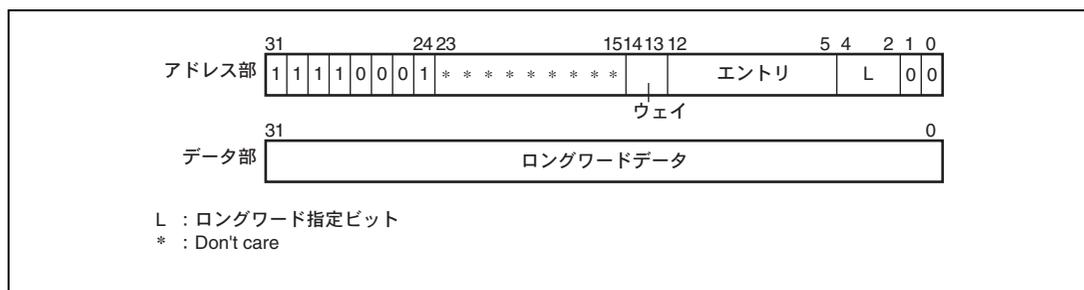


図 8.6 メモリ割り付け IC データアレイ

### 8.6.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の H'F400 0000~H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は[31:24]が OC アドレスアレイを示す H'F4 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[3]の連想ビット（A ビット）は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部[1:0]は 0 を指定してください。

データ部は[31:10]がタグを、[1]が U ビットを、[0]が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部[31:29]は連想を行わない書き込みのときには使用されません。データ部[31:29]は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

#### (1) OC アドレスアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応する OC エントリから、データ部へタグと U ビットと V ビットを読み出します。読み出す場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

## (2) OC アドレスアレイ 書き込み (連想なし)

アドレス部に設定されたウェイとエントリに対応するOCエントリに対して、データ部で指定されたタグとUビットとVビットを書き込みます。アドレス部のAビットは0にしてください。

書き込みをUビットが1、Vビットが1のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグとUビットとVビットを書き込みます。

## (3) OC アドレスアレイ 書き込み (連想あり)

アドレス部のAビットが1で書き込みのとき、アドレス部で指定されたエントリに格納されている各ウェイのタグとデータ部で指定されたタグとの間で一致判定が行われます。ビット[14:13]のウェイ番号は使用されません。このときMMUがイネーブルなら、データ部[31:10]で指定した仮想アドレスをUTLBを用い物理アドレスに変換してから一致判定を行います。アドレスが一致しそのウェイのVビットが1であったなら、データ部で指定したUビットとVビットをOCのエントリに書き込みます。それ以外の場合はノーオペレーションとなります。本動作はOCの特定のエントリの無効化に用いられます。このときOCのエントリのUビットが1で、Vビットに0もしくはUビットに0を書き込んだ場合、書き戻しが発生します。アドレス変換の際にUTLBにミスした場合や、一致判定で不一致になった場合、例外は発生せずノーオペレーションとなり書き込みは行われません。

【注】 本機能は今後の SuperH シリーズではサポートされない可能性があります。データ TLB ミス例外の通知を行い、確実に OC の操作が可能な OCBI/OCBP/OCBWB 命令の使用を推奨します。

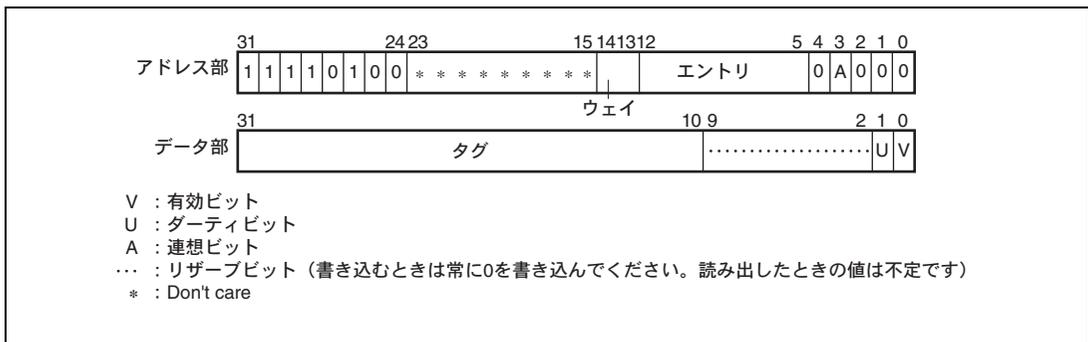


図 8.7 メモリ割り付け OC アドレスアレイ

### 8.6.4 OC データアレイ

OC のデータアレイは P4 領域の HF500 0000~HF5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定（読み出し／書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするウェイとエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は[31:24]が OC データアレイを示す HF5 になっており、[14:13]でウェイ、[12:5]でエントリを指定するようになっています。アドレス部[4:2]はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部[1:0]は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

(1) OC データアレイ 読み出し

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

(2) OC データアレイ 書き込み

アドレス部に設定されたウェイとエントリに対応するOCエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側のUビットは1になりません。

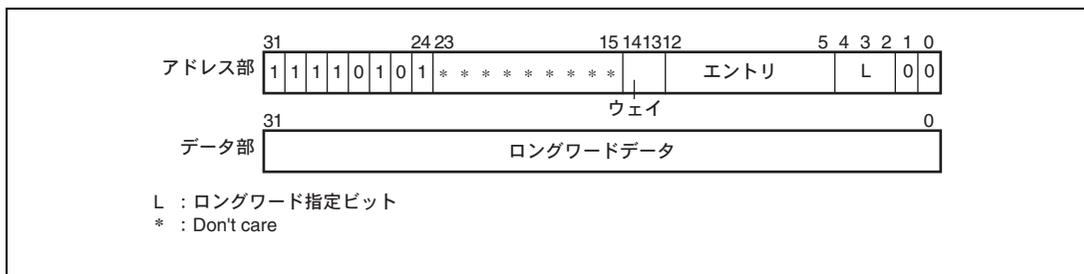


図 8.8 メモリ割り付け OC データアレイ

## 8.7 ストアキュー

本 LSI では、外部メモリへの高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。

### 8.7.1 SQ の構成

SQ は図 8.9 に示すとおり、32 バイトの SQ0 と 32 バイトの SQ1 から成り立っています。SQ0、SQ1 はそれぞれ独立に設定することが可能です。

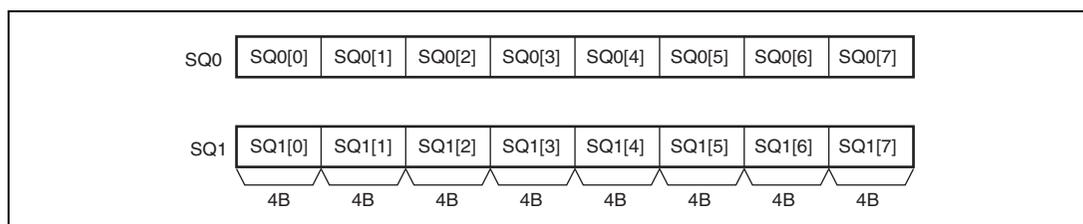


図 8.9 ストアキューの構成

### 8.7.2 SQ への書き込み

SQ への書き込みは P4 領域の H'E000 0000~H'E3FF FFFC に対するストア命令で行うことができます。アクセスサイズはロングワード、もしくはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: Don't care	: 外部メモリへの転送・アクセス権で使用
[5]	: 0/1	: 0:SQ0 指定 1:SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

### 8.7.3 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を P4 領域の H'E000 0000 ~ H'E3FF FFFC に対して発行することにより、SQ から外部メモリへの転送が開始します。転送は 32 バイト固定で、開始アドレスは必ず 32 バイト境界となります。一方の SQ を外部メモリへ転送中に、もう一方の SQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中の SQ への書き込みは外部メモリへの転送が完了するまで待たされます。

SQ の転送先の物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

#### (1) MMU イネーブル (MMUCR.AT=1) の場合

UTLBのVPNにSQ領域 (H'E000 0000~H'E3FF FFFF) を、PPNに転送先の物理アドレスを設定します。ASID、V、SZ、SH、PR、Dビットは通常のアドレス変換と同様の意味を持ちますが、C、WTビットはこのページに関しては意味を持ちません。

SQ領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZビットの指定に従い物理アドレス [28:10]を生成します。物理アドレスの[9:5]についてはMMUディスエーブルと同様にアドレス変換前のアドレスから生成します。物理アドレスの[4:0]は0固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

#### (2) MMU ディスエーブル (MMUCR.AT=0) の場合

PREF命令を発行するアドレスにSQ領域 (H'E000 0000~H'E3FF FFFF) を指定します。このアドレス[31:0]は次の意味を持ちます。

[31:26]	: 111000	: ストアキュー指定
[25:6]	: アドレス	: 転送先物理アドレス[25:6]
[5]	: 0/1	: 0:SQ0指定 1:SQ1指定 かつ 転送先物理アドレス[5]
[4:2]	: Don't care	: プリフェッチのときは意味を持たない。
[1:0]	: 00	: 0固定

上記のアドレスから生成できない物理アドレス[28:26]は、QACR0、QACR1から生成します。

QACR0[4:2] : SQ0に対する物理アドレス[28:26]

QACR1[4:2] : SQ1に対する物理アドレス[28:26]

物理アドレスの[4:0]は、バースト転送の開始が32バイト境界のため常に0固定となります。

### 8.7.4 SQ アクセスの例外判定

SQ への書き込みおよび外部メモリへの転送 (PREF 命令) の例外判定は MMU イネーブル/ディスエーブルにより次のように行われます。なお、SQ への書き込みで例外が発生した場合、SQ の内容は元の値が保証されます。SQ から外部メモリへの転送で例外が発生した場合、外部メモリへの転送は抑止されます。

#### (1) MMU イネーブル (MMUCR.AT=1) の場合

UTLBに登録されたアドレス変換情報とSQMDビットに従います。SQへの書き込みはライトタイプ、SQから外部メモリへの転送 (PREF命令) はリードタイプとして例外判定が行われ、TLBミス例外、保護違反例外が発生します。ただし、SQMDビットによりSQへのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

#### (2) MMU ディスエーブル (MMUCR.AT=0) の場合

SQMDビットに従います。

0 : 特権/ユーザアクセス可能

1 : 特権アクセス可能

SQMDビットが1のときに、ユーザモードでSQ領域をアクセスするとアドレスエラーが発生します。

### 8.7.5 SQ からの読み出し

本 LSI では、特権モードのとき、SQ からの読み出しを P4 領域の H'FF00 1000~H'FF00 103C に対するロード命令で行うことができます。アクセスサイズはロングワードでのみアクセス可能です。

[31:6]	: H'FF00 1000	: ストアキュー指定
[5]	: 0/1	: 0 : SQ0 指定、1 : SQ1 指定
[4:2]	: LW 指定	: SQ0、SQ1 内のロングワード位置を指定
[1:0]	: 00	: 0 固定

## 8.8 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、本章ですでに述べた事項が以下のように拡張されます。

- IC および OC のタグが [28:10] の 19 ビットから、[31:10] の 22 ビットに拡張されます。
- IC を操作する命令 (メモリ割り付け IC アクセスおよび CCR.ICI 書き込み) を配置する領域は、P1 または P2 領域とし、PMB の当該エントリのキャッシング可能ビット (C ビット) を 0 にしてください。
- QACR0 レジスタの AREA0 ビットおよび QACR1 レジスタの AREA1 ビットがそれぞれ [4:2] の 3 ビットから [7:2] の 6 ビットに拡張されます。

## 8. キャッシュ

---

---

## 9. Lメモリ

---

本 LSI は Lメモリモジュールを内蔵しており、命令やデータを格納することができます。

### 9.1 特長

- 容量：  
Lメモリ合計で16Kバイトです。
- ページ：  
Lメモリは2ページ（ページ0および1）に分かれています。
- メモリマップ：  
Lメモリは、仮想アドレス空間、物理アドレス空間とも、表9.1に示されるアドレスに配置されています。

表 9.1 Lメモリアドレス

ページ	メモリサイズ (2 ページ合計)
	16K バイト
Lメモリページ0	H'E500E000~H'E500FFFF
Lメモリページ1	H'E5010000~H'E5011FFF

- ポート：  
各ページは3本の独立した読み出し／書き込みポートを持ち、各バスと接続されています。命令フェッチには命令バスが、オペランドアクセスにはオペランドバスが、SuperHywayバスマスタモジュールからのアクセスにはSuperHywayバスがそれぞれ使用されます。
- 優先順位：  
同じページに対して異なるバスから同時にアクセス要求があった場合には、優先順位に従ってアクセスが処理されます。優先順位は高い順にSuperHywayバス、オペランドバス、命令バスとなります。

## 9. Lメモリ

### 9.2 レジスタの説明

Lメモリに関するレジスタは以下のとおりです。

表 9.2 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア 7 アドレス*	アクセス サイズ
内蔵メモリ制御レジスタ	RAMCR	R/W	H'FF00 0074	H'1F00 0074	32
Lメモリ転送元アドレスレジスタ 0	LSA0	R/W	H'FF00 0050	H'1F00 0050	32
Lメモリ転送元アドレスレジスタ 1	LSA1	R/W	H'FF00 0054	H'1F00 0054	32
Lメモリ転送先アドレスレジスタ 0	LDA0	R/W	H'FF00 0058	H'1F00 0058	32
Lメモリ転送先アドレスレジスタ 1	LDA1	R/W	H'FF00 005C	H'1F00 005C	32

【注】 \* P4 領域アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

表 9.3 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ
内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	H'0000 0000	保持
Lメモリ転送元アドレスレジスタ 0	LSA0	不定	不定	保持
Lメモリ転送元アドレスレジスタ 1	LSA1	不定	不定	保持
Lメモリ転送先アドレスレジスタ 0	LDA0	不定	不定	保持
Lメモリ転送先アドレスレジスタ 1	LDA1	不定	不定	保持

## 9.2.1 内蔵メモリ制御レジスタ (RAMCR)

RAMCRはLメモリの保護機能の制御を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RMD	RP	IC2W	OC2W	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	RMD	0	R/W	内蔵メモリアクセスモードビット 仮想アドレス空間からのLメモリへのアクセス権を指定します。 0: 特権アクセスが可能(ユーザアクセスの場合はアドレスエラー例外) 1: ユーザ/特権アクセスが可能
8	RP	0	R/W	内蔵メモリ保護有効ビット 仮想アドレス空間からのLメモリへのアクセスに対して、ITLB、UTLBを用いた保護機能の使用を選択します。 0: 保護機能を使用しない 1: 保護機能を使用する 詳細は「9.4 Lメモリの保護機能」を参照してください。
7	IC2W	0	R/W	IC2ウェイモードビット 詳細は「8.4.3 IC2ウェイモード」を参照してください。
6	OC2W	0	R/W	OC2ウェイモードビット 詳細は「8.3.6 OC2ウェイモード」を参照してください。
5~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## 9. Lメモリ

### 9.2.2 Lメモリ転送元アドレスレジスタ0 (LSA0)

LSA0は、MMUCR.AT=0またはRAMCR.RP=0のときに、Lメモリページ0へのブロック転送において、転送元の物理アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	L0SADR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L0SADR						—	—	—	—	L0SSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28~10	L0SADR	不定	R/W	Lメモリページ0ブロック転送元アドレス MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ0に対するブロック転送の転送元となる物理アドレスを指定します。
9~6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5~0	L0SSZ	不定	R/W	Lメモリページ0ブロック転送元アドレス選択ビット MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ0に対するブロック転送の転送元となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、L0SADRの値を使用するかを選択します。L0SSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0: 転送元物理アドレスにオペランドアドレスを使用します。 1: 転送元物理アドレスにL0SADRの値を使用します。 • 設定可能な値 111111 転送元の物理アドレスを1Kバイト単位で設定する場合 111110 転送元の物理アドレスを2Kバイト単位で設定する場合 111100 転送元の物理アドレスを4Kバイト単位で設定する場合 111000 転送元の物理アドレスを8Kバイト単位で設定する場合 110000 転送元の物理アドレスを16Kバイト単位で設定する場合 100000 転送元の物理アドレスを32Kバイト単位で設定する場合 000000 転送元の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

### 9.2.3 Lメモリ転送元アドレスレジスタ1 (LSA1)

LSA1は、MMUCR.AT=0またはRAMCR.RP=0のときに、Lメモリページ1へのブロック転送において、転送元の物理アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—			L1DADR												
初期値:	—															
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1DADR						—	—	—	—	L1DSZ					
初期値:	—						0	0	0	0	—					
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28~10	L1SADR	不定	R/W	Lメモリページ1ブロック転送元アドレス MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ1に対するブロック転送の転送元となる物理アドレスを指定します。
9~6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5~0	L1SSZ	不定	R/W	Lメモリページ1ブロック転送元アドレス選択ビット MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ1に対するブロック転送の転送元となる物理アドレスのうちビット15~10に関して、オバランドアドレスを使用するか、L1SADRの値を使用するかを選択します。L1SSZ[5:0]が転送元物理アドレスの[15:10]に対応します。 0: 転送元物理アドレスにオバランドアドレスを使用します。 1: 転送元物理アドレスにL1SADRの値を使用します。 • 設定可能な値 111111 転送元の物理アドレスを1Kバイト単位で設定する場合 111110 転送元の物理アドレスを2Kバイト単位で設定する場合 111100 転送元の物理アドレスを4Kバイト単位で設定する場合 111000 転送元の物理アドレスを8Kバイト単位で設定する場合 110000 転送元の物理アドレスを16Kバイト単位で設定する場合 100000 転送元の物理アドレスを32Kバイト単位で設定する場合 000000 転送元の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

## 9. Lメモリ

### 9.2.4 Lメモリ転送先アドレスレジスタ0 (LDA0)

LDA0は、MMUCR.AT=0またはRAMCR.RP=0のときに、Lメモリページ0へのブロック転送において、転送先の物理アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	L0SADR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L0SADR						—	—	—	—	L0SSZ					
初期値:	—	—	—	—	—	—	0	0	0	0	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28~10	L0DADR	不定	R/W	Lメモリページ0ブロック転送先アドレス MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ0に対するブロック転送の転送先となる物理アドレスを指定します。
9~6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5~0	L0DSZ	不定	R/W	Lメモリページ0ブロック転送先アドレス選択ビット MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ0に対するブロック転送の転送先となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、L0DADRの値を使用するかを選択します。L0DSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0: 転送先物理アドレスにオペランドアドレスを使用します。 1: 転送先物理アドレスにL0DADRの値を使用します。 • 設定可能な値 111111 転送先の物理アドレスを1Kバイト単位で設定する場合 111110 転送先の物理アドレスを2Kバイト単位で設定する場合 111100 転送先の物理アドレスを4Kバイト単位で設定する場合 111000 転送先の物理アドレスを8Kバイト単位で設定する場合 110000 転送先の物理アドレスを16Kバイト単位で設定する場合 100000 転送先の物理アドレスを32Kバイト単位で設定する場合 000000 転送先の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

### 9.2.5 Lメモリ転送先アドレスレジスタ1 (LDA1)

LDA1は、MMUCR.AT=0またはRAMCR.RP=0のときに、Lメモリページ1へのブロック転送において、転送先の物理アドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—			L1SADR												
初期値:	—															
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	L1SADR						—	—	—	—	L1SSZ					
初期値:	—						0	0	0	0	—					
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28~10	L1DADR	不定	R/W	Lメモリページ1ブロック転送先アドレス MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ1に対するブロック転送の転送先となる物理アドレスを指定します。
9~6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5~0	L1DSZ	不定	R/W	Lメモリページ1ブロック転送先アドレス選択ビット MMUCR.AT=0またはRAMCR.RP=0のとき、Lメモリページ1に対するブロック転送の転送先となる物理アドレスのうちビット15~10に関して、オペランドアドレスを使用するか、L1DADRの値を使用するかを選択します。L1DSZ[5:0]が転送先物理アドレスの[15:10]に対応します。 0:転送先物理アドレスにオペランドアドレスを使用します。 1:転送先物理アドレスにL1DADRの値を使用します。 • 設定可能な値 111111 転送先の物理アドレスを1Kバイト単位で設定する場合 111110 転送先の物理アドレスを2Kバイト単位で設定する場合 111100 転送先の物理アドレスを4Kバイト単位で設定する場合 111000 転送先の物理アドレスを8Kバイト単位で設定する場合 110000 転送先の物理アドレスを16Kバイト単位で設定する場合 100000 転送先の物理アドレスを32Kバイト単位で設定する場合 000000 転送先の物理アドレスを64Kバイト単位で設定する場合 上記以外は設定禁止です。

### 9.3 動作説明

#### 9.3.1 CPU および FPU からのアクセス

CPU および FPU からのアクセスは仮想アドレスにより、命令バスまたはオペランドバスから行います。ページ競合が発生しない限り 1 サイクルアクセスになります。

#### 9.3.2 SuperHyway バスマスタモジュールからのアクセス

DMAC などの SuperHyway バスマスタモジュールからの本メモリへのアクセスは、物理アドレスバスである SuperHyway バスからのアクセスとなりますが、仮想アドレスと同じアドレスを使用してください。

#### 9.3.3 ブロック転送

Lメモリと外部メモリの間で、キャッシュを介さずに、ブロック転送により高速にデータ転送を行うことができます。

外部メモリから Lメモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を仮想アドレス空間の Lメモリ領域のアドレスに対して発行することにより、外部メモリから Lメモリへのブロック転送が開始されます。

Lメモリから外部メモリへの転送は、ライトバック命令 (OCBWB) により行えます。OCBWB 命令を仮想アドレス空間の Lメモリ領域のアドレスに対して発行することにより、Lメモリから外部メモリへのブロック転送が開始されます。

いずれの転送も転送サイズは 32 バイト固定で、開始アドレスは必ず 32 バイト境界となるため、レジスタ Rn により指示されるアドレスの下位 5 ビットは無視され、常にすべて 0 として扱われます。またいずれの場合もブロック転送中に他のページやキャッシュに対するアクセスが可能ですが、転送中のページにアクセスした場合、転送が終了するまで CPU はストールします。

Lメモリと転送を行う外部メモリの物理アドレス[28:0]は MMU イネーブル/ディスエーブルにより次のように指定します。

##### (1) MMU イネーブル (MMUCR.AT=1) かつ RAMCR.RP=1 の場合

UTLB の VPN フィールドに Lメモリ領域のアドレスを、PPN フィールドに転送元 (PREF 命令の場合) または転送先 (OCBWB 命令の場合) の物理アドレスを設定します。ASID、V、SZ、SH、PR、D ビットは通常のアドレス変換と同様の意味を持ちますが、C、WT ビットはこのページに関しては意味を持ちません。

Lメモリ領域への PREF 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの[4:0]は 0 固定です。この物理アドレスで指定される外部メモリから Lメモリへブロック転送が行われます。

Lメモリ領域への OCBWB 命令が発行されると、アドレス変換を行い、SZ ビットの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]についてはアドレス変換前の仮想アドレスから生成します。物理アドレスの[4:0]は 0 固定です。Lメモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

PREF 命令、OCBWB 命令はリードタイプとして MMU 例外の判定が行われ、必要に応じて TLB ミス例外、保護違反例外が発生します。例外が発生した場合、ブロック転送は抑止されます。

## (2) MMU ディスエーブル (MMUCR.AT=0) または RAMCR.RP=0 の場合

LSA0レジスタのLOSADRビットにLメモリページ0へのブロック転送の転送元となる物理アドレスを設定し、LOSSZビットに、転送元の物理アドレスのビット15~10としてPREF命令で指定された仮想アドレスを使用するか、LOSADRの値を使用するかをソフトウェアにより設定します。すなわち転送元の領域を1Kバイト~64Kバイト単位で設定可能です。

LDA0レジスタのL0DADRビットにLメモリページ0からのブロック転送の転送先となる物理アドレスを設定し、L0DSZビットに、転送先の物理アドレスのビット15~10としてOCBWB命令で指定された仮想アドレスを使用するか、L0DADRの値を使用するかをソフトウェアにより設定します。すなわち転送先の領域を1Kバイト~64Kバイト単位で設定可能です。

Lメモリページ1に対するブロック転送の設定も、ページ0と同様にLSA1およびLDA1に対して行います。

Lメモリ領域へのPREF命令が発行されると、LSA0レジスタまたはLSA1レジスタの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]については仮想アドレスから生成します。物理アドレスの[4:0]は0固定です。この物理アドレスで指定される外部メモリからLメモリへブロック転送が行われます。

Lメモリ領域へのOCBWB命令が発行されると、LDA0レジスタまたはLDA1レジスタの指定に従い物理アドレス[28:10]を生成します。物理アドレスの[9:5]については仮想アドレスから生成します。物理アドレスの[4:0]は0固定です。Lメモリからこの物理アドレスで指定される外部メモリへブロック転送が行われます。

## 9.4 Lメモリの保護機能

本LSIでは、Lメモリに対して、内蔵メモリ制御レジスタRAMCRの内蔵メモリアクセスモードビット(RMD)と内蔵メモリ保護有効ビット(RP)を使用して以下の保護機能を実現します。

- CPUおよびFPUからのアクセスに対する保護機能

RAMCR.RMD=0のとき、ユーザーモードでのアクセスをアドレスエラー例外と判定します。

またMMUCR.AT=1かつRAMCR.RP=1のときは、アドレスエラー例外の判定に加えて、P4領域の一部であるLメモリ領域もP0/P3/U0領域と同じようにMMU例外の判定を行います。

以上を表9.4にまとめます。

## 9. Lメモリ

表 9.4 Lメモリへのアクセスに対する保護機能による例外

MMUCR.AT	RAMCR.RP	SR.MD	RAMCR.RMD	必ず発生する例外	起こり得る例外
0	*	0	0	アドレスエラー例外	—
			1	—	—
		1	*	—	—
1	0	0	0	アドレスエラー例外	—
			1	—	—
		1	*	—	—
	1	0	0	アドレスエラー例外	—
			1	—	MMU 例外
		1	*	—	MMU 例外

【記号説明】 \* : Don't care

## 9.5 使用上の注意

### 9.5.1 ページ競合

同じページに対して異なるバスから同時にアクセス要求が発生した場合は、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば各バスごとに異なるページをアクセスすると競合は発生しません。

### 9.5.2 Lメモリのコヒーレンシ

Lメモリに命令を配置する場合、Lメモリに命令を書き込んだ後、以下のシーケンスを実行してから書き換え後の命令への分岐を行ってください。

```
SYNCO
ICBI @Rn
```

この場合、ICBI 命令の対象はアドレスエラー例外にならない範囲で任意のアドレスでよく（Lメモリのアドレスでもよい）、キャッシュヒット/ミスどちらでも構いません。

### 9.5.3 スリープモード

スリープモード中は、DMAC などの SuperHyway バスマスタモジュールから本メモリへのアクセスは行えません。

## 9.6 32 ビットアドレス拡張モード使用時の注意事項

32 ビットアドレス拡張モードでは、LSA0 レジスタの L0SADR ビット、LSA1 レジスタの L1SADR ビット、LDA0 レジスタの L0DADR ビット、LDA1 レジスタの L1DADR ビットがそれぞれ[28:10]の 19 ビットから[31:10]の 22 ビットに拡張されます。

---

## 10. 割り込みコントローラ (INTC)

---

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU (SH-4A) への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って割り込み要求を処理します。

### 10.1 特長

#### (1) SH-4 互換仕様

INTC には次のような特長があります。

- 外部割り込みの割り込み優先順位を15レベル設定可能  
割り込み優先レベル設定レジスタにより、外部割り込みの優先順位を端子別に15レベルまで設定することができます。
- NMIノイズキャンセル  
NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外処理ルーチンでこのビットを読み出すことにより端子状態を確認でき、ノイズキャンセラとして使用できます。
- SR.BLビットが1にセットされたときのNMI要求のマスク  
SR.BLビットが1にセットされたとき、NMI要求をマスクするかどうかを選択できます。

#### (2) SH-4A で拡張される機能

- SR.IMASKビットを受け付けた割り込みレベルに自動更新可能
- 内蔵モジュール割り込みの優先順位は30レベル設定可能  
8本の割り込み優先レベル設定レジスタにより、内蔵モジュール割り込みの優先順位を要求別に30レベルまで設定することができます。
- ユーザモード割り込み禁止機能  
ユーザモードで動作中、ユーザ割り込みマスクレベル設定レジスタ (USERIMASK) に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。

## 10. 割り込みコントローラ (INTC)

図 10.1 に INTC のブロック図を示します。

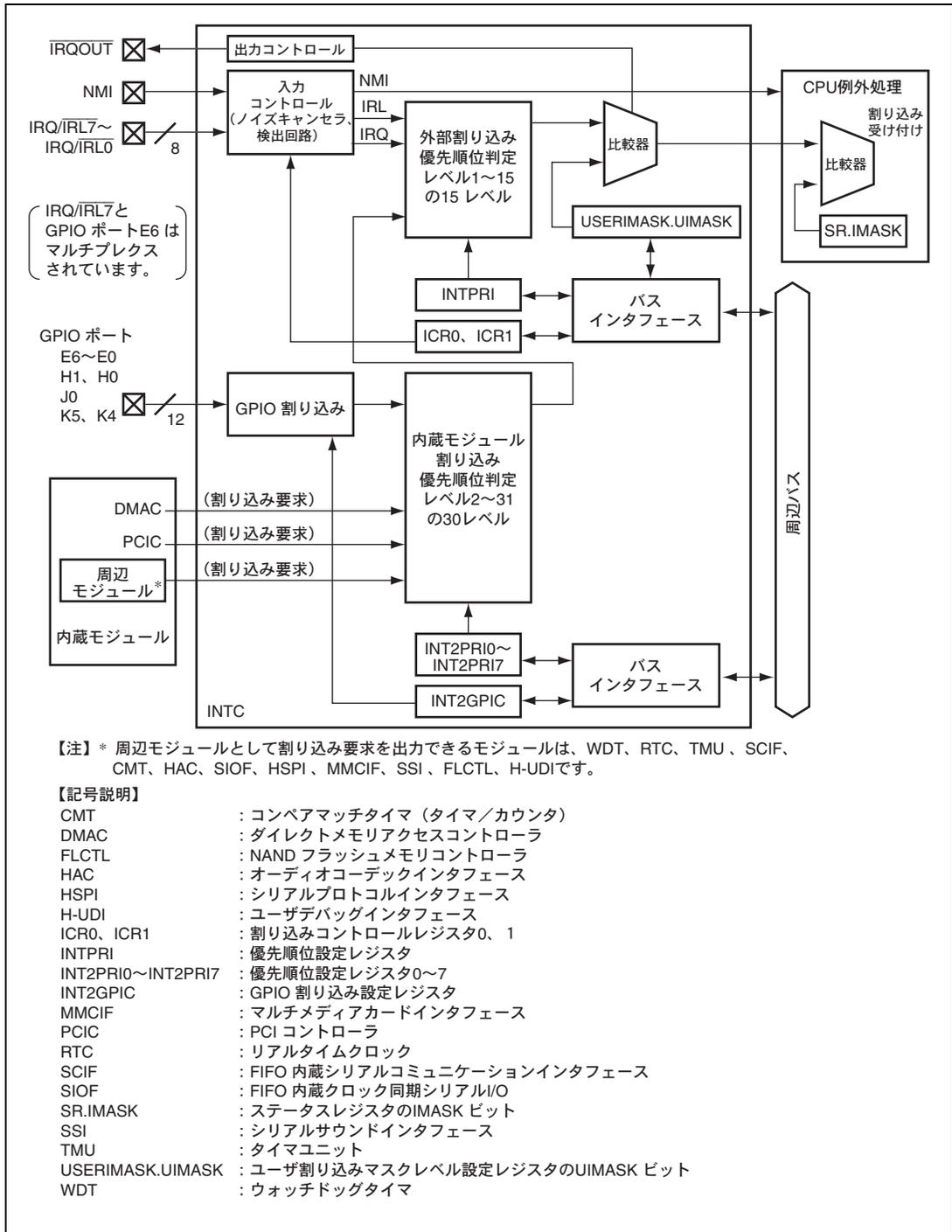


図10.1 INTC のブロック図

### 10.1.1 割り込み方式

割り込み発生時の基本的な例外処理の流れは次のようになります。

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR)、汎用レジスタ 15 (R15) の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR)、退避ジェネラルレジスタ 15 (SGR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。なお、SGR の内容は RTE 命令では R15 に書き戻されません。

1. PC、SRおよびR15の内容がそれぞれSPC、SSRおよびSGRに退避されます。
2. SRのブロックビット (BL) が1に設定されます。
3. SRのモードビット (MD) が1に設定されます。
4. SRのレジスタバンクビット (RB) が1に設定されます。
5. リセット時、SRのFPUディスエーブルビット (FD) が0に設定されます。
6. 例外コードは割り込み事象レジスタ (INTEVT) のビット13~0に書き込まれます。  
割り込み例外処理ルーチンの先頭番地 ベクタベースレジスタ (VBR) +H'600にジャンプします。
7. 決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

### 10.1.2 INTC で想定する割り込み

想定する割り込み種別の例を表 10.1 に示します。INTC では外部割り込み要因と内蔵モジュール割り込み要因をサポートします。

外部割り込み要因とは、外部端子からの入力による NMI、IRL、IRQ 割り込みのことです。また、本 LSI では IRQ、IRL 割り込み入力は、同一端子に割り付けられているのでシステム形態により使用方法を選択設定します。

IRQ 割り込みでは検出方法としてレベルのほか、立ち上がりエッジ、立ち下がりエッジも選択可能です。

10. 割り込みコントローラ (INTC)

表10.1 想定する割り込み

要因		要因数 (最大)	優先順位	INTEVT (例外コード)	備考	
外部割り込み	NMI	1	—	H'1C0		
	IRL* <sup>1</sup>	2	端子入力値の 反転値 (負極性端 子のため)  入力レベル= L : ローレベル H : ハイレベル (表 10.11 参照)	H'200	$\overline{\text{IRL}}[7:4]=\text{LLLL}$ (H'0)	↑ 高
					$\overline{\text{IRL}}[3:0]=\text{LLLL}$ (H'0)	
				H'220	$\overline{\text{IRL}}[7:4]=\text{LLLL}$ (H'1)	
					$\overline{\text{IRL}}[3:0]=\text{LLLL}$ (H'1)	
				H'240	$\overline{\text{IRL}}[7:4]=\text{LLHL}$ (H'2)	
					$\overline{\text{IRL}}[3:0]=\text{LLHL}$ (H'2)	
				H'260	$\overline{\text{IRL}}[7:4]=\text{LLHH}$ (H'3)	
					$\overline{\text{IRL}}[3:0]=\text{LLHH}$ (H'3)	
				H'280	$\overline{\text{IRL}}[7:4]=\text{LHLL}$ (H'4)	
					$\overline{\text{IRL}}[3:0]=\text{LHLL}$ (H'4)	
				H'2A0	$\overline{\text{IRL}}[7:4]=\text{LHLH}$ (H'5)	
					$\overline{\text{IRL}}[3:0]=\text{LHLH}$ (H'5)	
				H'2C0	$\overline{\text{IRL}}[7:4]=\text{LHHL}$ (H'6)	
					$\overline{\text{IRL}}[3:0]=\text{LHHL}$ (H'6)	
				H'2E0	$\overline{\text{IRL}}[7:4]=\text{LHHH}$ (H'7)	
					$\overline{\text{IRL}}[3:0]=\text{LHHH}$ (H'7)	
				H'300	$\overline{\text{IRL}}[7:4]=\text{HLLL}$ (H'8)	
					$\overline{\text{IRL}}[3:0]=\text{HLLL}$ (H'8)	
				H'320	$\overline{\text{IRL}}[7:4]=\text{HLLH}$ (H'9)	
					$\overline{\text{IRL}}[3:0]=\text{HLLH}$ (H'9)	
				H'340	$\overline{\text{IRL}}[7:4]=\text{HLHL}$ (H'A)	
					$\overline{\text{IRL}}[3:0]=\text{HLHL}$ (H'A)	
				H'360	$\overline{\text{IRL}}[7:4]=\text{HLHH}$ (H'B)	
$\overline{\text{IRL}}[3:0]=\text{HLHH}$ (H'B)						
H'380	$\overline{\text{IRL}}[7:4]=\text{HHLL}$ (H'C)					
	$\overline{\text{IRL}}[3:0]=\text{HHLL}$ (H'C)					
H'3A0	$\overline{\text{IRL}}[7:4]=\text{HHLH}$ (H'D)					
	$\overline{\text{IRL}}[3:0]=\text{HHLH}$ (H'D)					
H'3C0	$\overline{\text{IRL}}[7:4]=\text{HHHL}$ (H'E)					
	$\overline{\text{IRL}}[3:0]=\text{HHHL}$ (H'E)					

10. 割り込みコントローラ (INTC)

要 因		要因数 (最大)	優先順位	INTEVT (例外コード)	備 考	
外部割り込み	IRQ	8	INTPRI レジスタ設定値	H'240	IRQ[0]	高 ↑ ↓ 低
				H'280	IRQ[1]	
				H'2C0	IRQ[2]	
				H'300	IRQ[3]	
				H'340	IRQ[4]	
				H'380	IRQ[5]	
				H'3C0	IRQ[6]	
				H'200	IRQ[7]	
内蔵モジュール 割り込み*2	RTC	3	INT2PRI0~ INT2PRI7 レジスタ設定値	H'480	ATI	
				H'4A0	PRI	
				H'4C0	CUI	
	WDT	1		H'560	ITI*2	
	TMU-ch0	1		H'580	TUNIO*2	
	TMU-ch1	1		H'5A0	TUNI1*2	
	TMU-ch2	2		H'5C0	TUNI2*2	
				H'5E0	TICPI2*2	
	H-UDI	1		H'600	H-UDII	
	DMAC (0)	7 (5/7)		H'640	DMINT0*2	
				H'660	DMINT1*2	
				H'680	DMINT2*2	
				H'6A0	DMINT3*2	
	H'6C0	DMAE*2				
	SCIF-ch0	4		H'700	ERI0*2	
				H'720	RXIO*2	
				H'740	BRI0*2	
				H'760	TXIO*2	
	DMAC (0)	7 (2/7)		H'780	DMINT4*2	
H'7A0			DMINT5*2			
H'7C0			DMINT6*2			
DMAC (1)	6 (2/6)	H'7E0	DMINT7*2			
CMT	1	H'900	CMTI			
HAC	1	H'980	HACI			

## 10. 割り込みコントローラ (INTC)

要 因		要因数 (最大)	優先順位	INTEVT (例外コード)	備 考
内蔵モジュール 割り込み*2	PCIC (0)	1	INT2PRI0~ INT2PRI7 レジスタ設定値	H'A00	PCISERR
	PCIC (1)	1		H'A20	PCIINTA
	PCIC (2)	1		H'A40	PCIINTB
	PCIC (3)	1		H'A60	PCIINTC
	PCIC (4)	1		H'A80	PCIINTD
	PCIC (5)	5		H'AA0	PCIERR
				H'AC0	PCIPWD3
				H'AE0	PCIPWD2
				H'B00	PCIPWD1
				H'B20	PCIPWD0
	SCIF-ch1	4		H'B80	ERI1*2
				H'BA0	RX11*2
				H'BC0	BRI1*2
				H'BE0	TX11*2
				H'C00	SIOFI
	SIOF	1		H'C80	SPII
	HSPI	1		H'D00	FSTAT
	MMCIF	4		H'D20	TRAN
				H'D40	ERR
				H'D60	FRDY
				H'D80	DMINT8*2
	DMAC (1)	6 (4/6)		H'DA0	DMINT9*2
				H'DC0	DMINT10*2
				H'DE0	DMINT11*2
	TMU-ch3	1		H'E00	TUNI3*2
	TMU-ch4	1		H'E20	TUNI4*2
	TMU-ch5	1		H'E40	TUNI5*2
	SSI	1		H'E80	SSII
FLCTL	4	H'F00	FLSTE*2		
		H'F20	FLTEND*2		
		H'F40	FLTRQ0*2		
		H'F60	FLTRQ1*2		
GPIO	4	H'F80	GPIO10 (ポート E0~2 端子)		
		H'FA0	GPIO11 (ポート E3~5 端子)		
		H'FC0	GPIO12 (ポート H0、1、ポート J0、 ポート K4 端子)		
		H'FE0	GPIO13 (ポート E6、ポート K5 端子)		

【注】 \*1  $\overline{IRL}[3:0]$ (IRQ/ $\overline{IRL}[3:0]$ 端子)による IRL 割り込みと  $\overline{IRL}[7:4]$ (IRQ/ $\overline{IRL}[7:4]$ 端子)による IRL 割り込みには同じ INTEVT コードが割り当てられているため、 $\overline{IRL}[3:0]$ による IRL 割り込みか  $\overline{IRL}[7:4]$ による IRL 割り込みかを判別することはできません。

(本 LSI には  $\overline{IRL}[3:0]$ による IRL 割り込みと  $\overline{IRL}[7:4]$ による IRL 割り込とを区別する要因レジスタはありません。)

\*2 内蔵モジュール割り込みの要因で使用している略称

ITI	: WDT インターバルタイマ割り込み
TUNIO~TUNI5	: TMU チャンネル 0~5 アンダフロー割り込み
TICPI2	: TMU チャンネル 2 インพุットキャプチャ割り込み
DMINT0~DMINT11	: DMAC チャンネル 0~11 転送終了/ハーフエンド割り込み
DMAE	: DMAC アドレスエラー割り込み (チャンネル 0~11 共通)
ERI0, ERI1	: SCIF チャンネル 0, 1 受信エラー割り込み
RXIO, RXI1	: SCIF チャンネル 0, 1 受信データフル割り込み
BRI0, BRI1	: SCIF チャンネル 0, 1 ブレーク割り込み要求
TXIO, TXI1	: SCIF チャンネル 0, 1 送信データエンプティ割り込み
FLSTE	: FLCTL エラー割り込み
FLTEND	: FLCTL エラー割り込み
FLTRQ0	: FLCTL データ FIFO 転送要求割り込み
FLTRQ1	: FLCTL 管理コード FIFO 転送要求割り込み

## 10.2 入出力端子

表 10.2 に端子構成を以下に示します。

表10.2 INTC の端子構成

端子名	機能	入出力	説明
NMI	ノンマスクابل割り込み 入力端子	入力	マスク不可能な割り込み要求信号入力
IRQ/ $\overline{IRL}3$ ~IRQ/ $\overline{IRL}0$ *1	外部割り込み入力端子 0	入力	ICR0.IRLM0 が 0 のとき、 $\overline{IRL}[3:0]$ 割り込み要求信号を入力 ICR0.IRLM0 が 1 のとき、IRQ3~IRQ0 割り込み要求信号を入力
IRQ/ $\overline{IRL}7$ ~ IRQ/ $\overline{IRL}4$ *1	外部割り込み入力端子 1	入力	ICR0.IRLM1 が 0 のとき、 $\overline{IRL}[7:4]$ 割り込み要求信号を入力 ICR0.IRLM1 が 1 のとき、IRQ7~IRQ4 割り込み要求信号を入力
$\overline{IRQOUT}$ *2	割り込み要求出力端子 1	出力	割り込み要求が発生したことを外部デバイスに通知する信号の出力 $\overline{IRQOUT}$ 端子は割り込みが CPU に受け付けられなくてもアサートされますが、その割り込みがマスクされている場合はアサートされません。

【注】 \*1 これらの端子は、FLCTL、MODE、GPIO 端子とマルチプレクスされています。

\*2  $\overline{IRQOUT}$  端子は、DMAC、H-UDI、GPIO 端子とマルチプレクスされています。

## 10. 割り込みコントローラ (INTC)

### 10.3 レジスタの説明

表 10.3 に INTC のレジスタ構成を示します。また、表 10.4 に各処理モードにおけるレジスタの状態を示します。

表10.3 INTC のレジスタ構成

名 称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
割り込みコントロールレジスタ 0	ICR0	R/W	H'FFD0 0000	H'1FD0 0000	32	Pck
割り込みコントロールレジスタ 1	ICR1	R/W	H'FFD0 001C	H'1FD0 001C	32	Pck
割り込み優先順位設定レジスタ	INTPRI	R/W	H'FFD0 0010	H'1FD0 0010	32	Pck
割り込み要因レジスタ	INTREQ	R/W	H'FFD0 0024	H'1FD0 0024	32	Pck
割り込みマスクレジスタ 0	INTMSK0	R/W	H'FFD0 0044	H'1FD0 0044	32	Pck
割り込みマスクレジスタ 1	INTMSK1	R/W	H'FFD0 0048	H'1FD0 0048	32	Pck
割り込みマスクレジスタ 2	INTMSK2	R/W	H'FFD4 0080	H'1FD4 0080	32	Pck
割り込みマスククリアレジスタ 0	INTMSKCLR0	R/W	H'FFD0 0064	H'1FD0 0064	32	Pck
割り込みマスククリアレジスタ 1	INTMSKCLR1	R/W	H'FFD0 0068	H'1FD0 0068	32	Pck
割り込みマスククリアレジスタ 2	INTMSKCLR2	R/W	H'FFD4 0084	H'1FD4 0084	32	Pck
NMI フラグコントロールレジスタ	NMIFCR	R/W	H'FFD0 0000	H'1FD0 0000	32	Pck
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	R/W	H'FFD3 0000	H'1FD3 0000	32	Pck
割り込み優先順位設定レジスタ 0	INT2PRI0	R/W	H'FFD4 0000	H'1FD4 0000	32	Pck
割り込み優先順位設定レジスタ 1	INT2PRI1	R/W	H'FFD4 0004	H'1FD4 0004	32	Pck
割り込み優先順位設定レジスタ 2	INT2PRI2	R/W	H'FFD4 0008	H'1FD4 0008	32	Pck
割り込み優先順位設定レジスタ 3	INT2PRI3	R/W	H'FFD4 000C	H'1FD4 000C	32	Pck
割り込み優先順位設定レジスタ 4	INT2PRI4	R/W	H'FFD4 0010	H'1FD4 0010	32	Pck
割り込み優先順位設定レジスタ 5	INT2PRI5	R/W	H'FFD4 0014	H'1FD4 0014	32	Pck
割り込み優先順位設定レジスタ 6	INT2PRI6	R/W	H'FFD4 0018	H'1FD4 0018	32	Pck
割り込み優先順位設定レジスタ 7	INT2PRI7	R/W	H'FFD4 001C	H'1FD4 001C	32	Pck
割り込み要因レジスタ (マスク状態の影響なし)	INT2A0	R	H'FFD4 0030	H'1FD4 0030	32	Pck
割り込み要因レジスタ (マスク状態の影響あり)	INT2A1	R	H'FFD4 0034	H'1FD4 0034	32	Pck
割り込みマスクレジスタ	INT2MSKR	R/W	H'FFD4 0038	H'1FD4 0038	32	Pck
割り込みマスククリアレジスタ	INT2MSKCR	R/W	H'FFD4 003C	H'1FD4 003C	32	Pck
モジュール別割り込み要因レジスタ 0	INT2B0	R	H'FFD4 0040	H'1FD4 0040	32	Pck
モジュール別割り込み要因レジスタ 1	INT2B1	R	H'FFD4 0044	H'1FD4 0044	32	Pck
モジュール別割り込み要因レジスタ 2	INT2B2	R	H'FFD4 0048	H'1FD4 0048	32	Pck
モジュール別割り込み要因レジスタ 3	INT2B3	R	H'FFD4 004C	H'1FD4 004C	32	Pck
モジュール別割り込み要因レジスタ 4	INT2B4	R	H'FFD4 0050	H'1FD4 0050	32	Pck
モジュール別割り込み要因レジスタ 5	INT2B5	R	H'FFD4 0054	H'1FD4 0054	32	Pck
モジュール別割り込み要因レジスタ 6	INT2B6	R	H'FFD4 0058	H'1FD4 0058	32	Pck
モジュール別割り込み要因レジスタ 7	INT2B7	R	H'FFD4 005C	H'1FD4 005C	32	Pck
GPIO 割り込み設定レジスタ	INT2GPIC	R/W	H'FFD4 0090	H'1FD4 0090	32	Pck

表10.4 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット PRESET 端子/ WDT/H-UDI による	マニュアル リセット WDT/多重例外 による	スリープ SLEEP 命令 による
割り込みコントロールレジスタ 0	ICR0	H'x000 0000*	H'x000 0000*	保持
割り込みコントロールレジスタ 1	ICR1	H'0000 0000	H'0000 0000	保持
割り込み優先順位設定レジスタ	INTPRI	H'0000 0000	H'0000 0000	保持
割り込み要因レジスタ	INTREQ	H'0000 0000	H'0000 0000	保持
割り込みマスクレジスタ 0	INTMSK0	H'FF00 0000	H'FF00 0000	保持
割り込みマスクレジスタ 1	INTMSK1	H'FF00 0000	H'FF00 0000	保持
割り込みマスクレジスタ 2	INTMSK2	H'0000 0000	H'0000 0000	保持
割り込みマスククリアレジスタ 0	INTMSKCLR0	H'0000 0000	H'0000 0000	保持
割り込みマスククリアレジスタ 1	INTMSKCLR1	H'0000 0000	H'0000 0000	保持
割り込みマスククリアレジスタ 2	INTMSKCLR2	H'0000 0000	H'0000 0000	保持
NMI フラグコントロールレジスタ	NMIFCR	H'x000 0000*	H'x000 0000*	保持
ユーザ割り込みマスクレベル設定レジスタ	USERIMASK	H'0000 0000	H'0000 0000	保持
割り込み優先順位設定レジスタ 0	INT2PRI0	H'0000 0000	H'0000 0000	保持
割り込み優先順位設定レジスタ 1	INT2PRI1	H'0000 0000	H'0000 0000	保持
割り込み優先順位設定レジスタ 2	INT2PRI2	H'0000 0000	H'0000 0000	保持
割り込み優先順位設定レジスタ 3	INT2PRI3	H'0000 0000	H'0000 0000	保持
割り込み優先順位設定レジスタ 4	INT2PRI4	H'0000 0000	H'0000 0000	保持
割り込み優先順位設定レジスタ 5	INT2PRI5	H'0000 0000	H'0000 0000	保持
割り込み優先順位設定レジスタ 6	INT2PRI6	H'0000 0000	H'0000 0000	保持
割り込み優先順位設定レジスタ 7	INT2PRI7	H'0000 0000	H'0000 0000	保持
割り込み要因レジスタ (マスク状態の影響なし)	INT2A0	H'xxxx xxxx	H'xxxx xxxx	保持
割り込み要因レジスタ (マスク状態の影響あり)	INT2A1	H'0000 0000	H'0000 0000	保持
割り込みマスクレジスタ	INT2MSKR	H'FFFF FFFF	H'FFFF FFFF	保持
割り込みマスククリアレジスタ	INT2MSKCR	H'0000 0000	H'0000 0000	保持
モジュール別割り込み要因レジスタ 0	INT2B0	H'xxxx xxxx	H'xxxx xxxx	保持
モジュール別割り込み要因レジスタ 1	INT2B1	H'xxxx xxxx	H'xxxx xxxx	保持
モジュール別割り込み要因レジスタ 2	INT2B2	H'xxxx xxxx	H'xxxx xxxx	保持
モジュール別割り込み要因レジスタ 3	INT2B3	H'xxxx xxxx	H'xxxx xxxx	保持
モジュール別割り込み要因レジスタ 4	INT2B4	H'xxxx xxxx	H'xxxx xxxx	保持
モジュール別割り込み要因レジスタ 5	INT2B5	H'xxxx xxxx	H'xxxx xxxx	保持
モジュール別割り込み要因レジスタ 6	INT2B6	H'xxxx xxxx	H'xxxx xxxx	保持
モジュール別割り込み要因レジスタ 7	INT2B7	H'xxxx xxxx	H'xxxx xxxx	保持
GPIO 割り込み設定レジスタ	INT2GPIC	H'0000 0000	H'0000 0000	保持

【記号説明】 x: 不定

【注】 \* ICR0.NMIL、NMIFCR.NMIL の初期値は、NMI 端子に入力されている信号レベルにより異なります。

## 10. 割り込みコントローラ (INTC)

### 10.3.1 外部割り込み要求レジスタ

#### (1) 割り込みコントロールレジスタ 0 (ICR0)

ICR0 は、読み出しと一部書き込み可能な 32 ビットのレジスタで、外部割り込み入力端子や NMI 端子の入力信号検出モードを設定し、NMI 端子に入力されている信号レベルを示します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	MAI	—	—	—	—	NMIB	NMIE	IRLM0	IRLM1	—	—	—	—	—	—
初期値:	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	NMIL	不定	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読み出すことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 このビットを読むことによって、NMI 端子のレベルを知ることができます。 0: NMI 端子にローレベルが入力されています 1: NMI 端子にハイレベルが入力されています 【注】初期値は NMI 端子の入力レベルによります。
30	MAI	0	R/W	MAI 割り込みマスク CPU の SR.BL ビットにかかわらず、NMI 端子の入力レベルがローレベルの間、すべての割り込みをマスクするかどうかを指定します。 0: NMI がローレベルでも割り込み許可 1: NMI がローレベルの期間、割り込み禁止
29~26	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
25	NMIB	0	R/W	NMI ブロックモード CPU の SR.BL ビットが 1 のとき、NMI 割り込みを SR.BL ビットが 0 になるまで保留するか、即時に検出するか選択します。 0: SR.BL が 1 のとき NMI 割り込み要求を保留する (初期値) 1: SR.BL が 1 のとき NMI 割り込みを保留しない 【注】SR.BL が 1 のままで割り込みを受け付けると、以前の例外情報 (SSR、SPC、SGR、INTEVT) は失われます。

10. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明
24	NMIE	0	R/W	<p>NMI エッジセレクト</p> <p>NMI 端子への割り込み要求信号を、立ち下がりエッジで検出するか、立ち上がりエッジで検出するかを選択します。</p> <p>0 : NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)</p> <p>1 : NMI 入力の立ち上がりエッジで割り込み要求を検出</p> <p>【注】NMI 割り込みは、本ビット書き換え後最大 6 バスクロック (CLKOUT) 期間検出されません。</p>
23	IRLM0	0	R/W	<p>IRL 端子モード 0</p> <p>IRQ/IRL3~IRQ/IRL0 端子をエンコードされた IRL 割り込み (IRL3~IRL0 割り込み) 要求として使用するか、4 本の独立した IRQ 割り込み (IRQ3~IRQ0 割り込み) 要求として使用するかどうかを選択します。</p> <p>0 : IRQ/IRL3~IRQ/IRL0 端子は 4 ビットにエンコードされた IRL 割り込み要求として使用 (初期値)</p> <p>1 : IRQ/IRL3~IRQ/IRL0 端子は 4 本の独立した IRQ 割り込み要求として使用</p> <p>【注】IRL 割り込み要求は、入力レベルが 4 バスクロック (CLKOUT) 連続して同じ場合に検出されます。</p>
22	IRLM1	0	R/W	<p>IRL 端子モード 1</p> <p>IRQ/IRL7~IRQ/IRL4 をエンコードされた割り込み (IRL7~IRL4 割り込み) 要求として使用するか、4 本の独立した割り込み (IRQ7~IRQ4 割り込み) 要求として使用するかどうかを選択します。</p> <p>0 : IRQ/IRL7~IRQ/IRL4 端子は 4 ビットにエンコードされた IRL 割り込み要求として使用 (初期値)</p> <p>1 : IRQ/IRL7~IRQ/IRL4 端子は 4 本の独立した IRQ 割り込み要求として使用</p> <p>【注】IRL 割り込み要求は、入力レベルが 4 バスクロック (CLKOUT) 連続して同じ場合に検出されます。</p>
21	LSH	0	R/W	<p>レベル検出時の保持機能</p> <p>レベル検出時の IRQ 割り込みまたは IRL レベルエンコード割り込みの場合、割り込み要求を検出回路で保持するかしないかを選択します。</p> <p>0 : 保持します</p> <p>1 : 保持しません (従来の SH-4 のレベルセンスの IRQ モードまたは IRL レベルエンコード割り込みと互換)</p> <p>【注】本設定は、IRQ/IRL 端子をレベル検出の IRQ 割り込みまたは IRL レベルエンコード割り込み入力に設定した場合のみ有効です。</p>
20~0	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## 10. 割り込みコントローラ (INTC)

### (2) 割り込みコントロールレジスタ 1 (ICR1)

ICR1 は読み出しと書き込み可能な 32 ビットのレジスタで、外部割り込み入力端子  $\overline{\text{IRQ}}/\overline{\text{IRL}}7 \sim \overline{\text{IRQ}}/\overline{\text{IRL}}0$  に対して、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出モードを個別に設定します。

ICR0 の IRLM0、IRLM1 に 1 を書き込んで、 $\overline{\text{IRQ}}/\overline{\text{IRL}}3 \sim \overline{\text{IRQ}}/\overline{\text{IRL}}0$ 、 $\overline{\text{IRQ}}/\overline{\text{IRL}}7 \sim \overline{\text{IRQ}}/\overline{\text{IRL}}4$  端子を独立した割り込み ( $\overline{\text{IRQ}}7 \sim \overline{\text{IRQ}}0$  割り込み) 入力として使用する場合に有効になります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IRQ0S		IRQ1S		IRQ2S		IRQ3S		IRQ4S		IRQ5S		IRQ6S		IRQ7S	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W														
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31、30	IRQ0S	00	R/W	IRQn センスセレクト (n=0~7)
29、28	IRQ1S	00	R/W	$\overline{\text{IRQ}}/\overline{\text{IRL}}7 \sim \overline{\text{IRQ}}/\overline{\text{IRL}}0$ 端子に対する割り込み信号を立ち下がりエッジ、立ち上がりエッジ、またはローレベル、ハイレベルのどれで検出するか選択します。 IRQnS    IRQn 割り込み要求検出方法 00: 割り込み要求を IRQn 入力の立ち下がりエッジで検出 01: 割り込み要求を IRQn 入力の立ち上がりエッジで検出 10: 割り込み要求を IRQn 入力のローレベルで検出* 11: 割り込み要求を IRQn 入力のハイレベルで検出* 【注】 IRQ がレベル入力に設定されている場合、入力レベルが 3 バスクロック (CLKOUT) 連続して同じ場合に検出されます。
27、26	IRQ2S	00	R/W	
25、24	IRQ3S	00	R/W	
23、22	IRQ4S	00	R/W	
21、20	IRQ5S	00	R/W	
19、18	IRQ6S	00	R/W	
17、16	IRQ7S	00	R/W	
15~0	—	すべて 0	R	

【注】 IRQ がレベル入力に設定されている場合 (IRQnS1=1)、CPU が何らかの割り込みを受け付けるまで要因を保持します (IRQ であるとは限りません)。これにより、SLEEP からの復帰時に、復帰前に割り込み要因が取り下げられた場合でも割り込み処理ルーチンに分岐することが保証されます。保持された割り込みは、該当する割り込みのマスクビット (割り込みマスクレジスタの IM ビット) を 1 にすることでクリアできます。

### (3) 割り込み優先順位設定レジスタ (INTPRI)

INTPRI は読み出しと書き込み可能な 32 ビットのレジスタで、 $\overline{\text{IRQ}}7 \sim \overline{\text{IRQ}}0$  割り込みの優先順位 (レベル 15~0) を設定します。

ICR0 の IRLM0、IRLM1 に 1 を書き込んで、 $\overline{\text{IRQ}}/\overline{\text{IRL}}3 \sim \overline{\text{IRQ}}/\overline{\text{IRL}}0$ 、 $\overline{\text{IRQ}}/\overline{\text{IRL}}7 \sim \overline{\text{IRQ}}/\overline{\text{IRL}}4$  端子を独立した割り込み ( $\overline{\text{IRQ}}7 \sim \overline{\text{IRQ}}0$  割り込み) 入力として使用する場合に有効になります。

## 10. 割り込みコントローラ (INTC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IP0				IP1				IP2				IP3			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IP4				IP5				IP6				IP7			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31~28	IP0	H'0	R/W	IRQ0 の独立した割り込み要求の優先順位
27~24	IP1	H'0	R/W	IRQ1 の独立した割り込み要求の優先順位
23~20	IP2	H'0	R/W	IRQ2 の独立した割り込み要求の優先順位
19~16	IP3	H'0	R/W	IRQ3 の独立した割り込み要求の優先順位
15~12	IP4	H'0	R/W	IRQ4 の独立した割り込み要求の優先順位
11~8	IP5	H'0	R/W	IRQ5 の独立した割り込み要求の優先順位
7~4	IP6	H'0	R/W	IRQ6 の独立した割り込み要求の優先順位
3~0	IP7	H'0	R/W	IRQ7 の独立した割り込み要求の優先順位

各 4 ビットのフィールドに HF~H'1 の値を設定して割り込み優先順位を定めてください。値が大きいくほど優先レベルが高くなります。

また、H'0 を設定した場合は割り込みがマスクされます。(初期値)

## 10. 割り込みコントローラ (INTC)

### (4) 割り込み要因レジスタ (INTREQ)

INTREQ は読み出しと条件付き書き込み可能な 32 ビットのレジスタで、INTC にどの IRQn (n=0~7) 割り込みが要求されているかを示します。

INTPRI、INTMSK0 によって割り込みがマスクされても本レジスタのビットは影響を受けません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IR0	IR1	IR2	IR3	IR4	IR5	IR6	IR7	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R							
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
				エッジ検出時 (IRQnS=00 または 01, n=0~7)	レベル検出時 (IRQnS=10 または 11, n=0~7)
31	IR0	0	R/W	<b>読み込み時</b> 0: 対応する割り込み要求を検出していません 1: 対応する割り込み要求を検出しました  <b>書き込み時</b> 0: 1を読み出したビットに限り 0 にクリアされます 1: 無効  【注】0を読み出したビットには 1 を書き込むようにしてください。(クリアしてはいけないビットには 1 に書き込んでください)	<b>読み込み時</b> 0: 対応する割り込み端子がアサートされていません 1: 対応する割り込み端子がアサートされました。ただし、まだ CPU が受け付けていません。  書き込みは無効です
30	IR1	0	R/W		
29	IR2	0	R/W		
28	IR3	0	R/W		
27	IR4	0	R/W		
26	IR5	0	R/W		
25	IR6	0	R/W		
24	IR7	0	R/W		
23~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

(5) 割り込みマスクレジスタ 0 (INTMSK0)

INTMSK0 は、読み出しと条件付き書き込み可能な 32 ビットのレジスタで、IRQ<sub>n</sub> (n=0~7) 割り込み要求ごとにマスクするかどうかを設定します。

割り込みマスクを解除するには、INTMSKCLR0 レジスタの対応するビットに 1 を書き込みます。本レジスタの各ビットに 0 を書き込んでも、値は変化しません。

IRQ/IRL[3:0]または IRQ/IRL[7:4]端子をエンコードされた IRL 割り込み入力の場合は、それぞれ IM00~IM03、IM04~IM07 には 1 を書き込んでください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM00	IM01	IM02	IM03	IM04	IM05	IM06	IM07	-	-	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R	R							
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明	
31	IM00	1	R/W	IRQ0 の独立した割り込み要求のマスク	読み出し時 0 : 割り込みを受け付ける 1 : 割り込みをマスクする 書き込み時 0 : 無効 1 : 割り込みをマスクする
30	IM01	1	R/W	IRQ1 の独立した割り込み要求のマスク	
29	IM02	1	R/W	IRQ2 の独立した割り込み要求のマスク	
28	IM03	1	R/W	IRQ3 の独立した割り込み要求のマスク	
27	IM04	1	R/W	IRQ4 の独立した割り込み要求のマスク	
26	IM05	1	R/W	IRQ5 の独立した割り込み要求のマスク	
25	IM06	1	R/W	IRQ6 の独立した割り込み要求のマスク	
24	IM07	1	R/W	IRQ7 の独立した割り込み要求のマスク	
23~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

## 10. 割り込みコントローラ (INTC)

### (6) 割り込みマスクレジスタ 1 (INTMSK1)

INTMSK1 は読み出しと条件付き書き込み可能な 32 ビットのレジスタで、IRL 割り込み要求をマスクするかどうかを設定します。

割り込みマスクを解除するには、INTMSKCLR1 レジスタの対応するビットに 1 を書き込みます。本レジスタの各ビットに 0 を書き込んでも、値は変化しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM10	IM11	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IM10	1	R/W	IRQ/IRL3~IRQ/IRL0 がエンコードされた割り込み入力の場合における $\overline{\text{IRL3}}\sim\overline{\text{IRL0}}$ の割り込み要求のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする
30	IM11	1	R/W	IRQ/IRL7~IRQ/IRL4 がエンコードされた割り込み入力の場合における $\overline{\text{IRL7}}\sim\overline{\text{IRL4}}$ の割り込み要求のマスク	書き込み時 0: 無効 1: 割り込みをマスクする
29~24	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。	
23~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

(7) 割り込みマスクレジスタ 2 (INTMSK2)

INTMSK2 は読み出しと条件付き書き込み可能な 32 ビットのレジスタで、IRL 割り込み要求をレベルごとにマスクするかどうかを設定します。

割り込みマスクを解除するには、INTMSKCLR2 レジスタの対応するビットに 1 を書き込みます。本レジスタの各ビットに 0 を書き込んでも、値は変化しません。

IRQ/IRL[3:0]または IRQ/IRL[7:4]端子がエンコードされた IRL 割り込み入力の場合かつ、INTMSK1 で IRL 割り込みをマスクしていない場合に有効となります。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IM015	IM014	IM013	IM012	IM011	IM010	IM009	IM008	IM007	IM006	IM005	IM004	IM003	IM002	IM001	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R														
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IM115	IM114	IM113	IM112	IM111	IM110	IM109	IM108	IM107	IM106	IM105	IM104	IM103	IM102	IM101	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R														

ビット	ビット名	初期値	R/W	説明	
31	IM015	0	R/W	IRL[3:0]が LLLL (H'0) 入力の場合の割り込み要求のマスク	読み出し時 0 : 割り込みを受け付ける 1 : 割り込みをマスクする 書き込み時 0 : 無効 1 : 割り込みをマスクする
30	IM014	0	R/W	IRL[3:0]が LLLH (H'1) 入力の場合の割り込み要求のマスク	
29	IM013	0	R/W	IRL[3:0]が LLHL (H'2) 入力の場合の割り込み要求のマスク	
28	IM012	0	R/W	IRL[3:0]が LLHH (H'3) 入力の場合の割り込み要求のマスク	
27	IM011	0	R/W	IRL[3:0]が LHLL (H'4) 入力の場合の割り込み要求のマスク	
26	IM010	0	R/W	IRL[3:0]が LHHL (H'5) 入力の場合の割り込み要求のマスク	
25	IM009	0	R/W	IRL[3:0]が LHHL (H'6) 入力の場合の割り込み要求のマスク	
24	IM008	0	R/W	IRL[3:0]が LHHH (H'7) 入力の場合の割り込み要求のマスク	
23	IM007	0	R/W	IRL[3:0]が HLLL (H'8) 入力の場合の割り込み要求のマスク	
22	IM006	0	R/W	IRL[3:0]が HLLH (H'9) 入力の場合の割り込み要求のマスク	
21	IM005	0	R/W	IRL[3:0]が HLHL (H'A) 入力の場合の割り込み要求のマスク	
20	IM004	0	R/W	IRL[3:0]が HLHH (H'B) 入力の場合の割り込み要求のマスク	
19	IM003	0	R/W	IRL[3:0]が HHLL (H'C) 入力の場合の割り込み要求のマスク	

## 10. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明	
18	IM002	0	R/W	IRL[3:0]が HHLH (H'D) 入力の場合の割り込み要求のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする 書き込み時 0: 無効 1: 割り込みをマスクする
17	IM001	0	R/W	IRL[3:0]が HHHL (H'E) 入力の場合の割り込み要求のマスク	
16	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	
15	IM115	0	R/W	IRL[7:4]が LLLL (H'0) 入力の場合の割り込み要求のマスク	読み出し時 0: 割り込みを受け付ける 1: 割り込みをマスクする 書き込み時 0: 無効 1: 割り込みをマスクする
14	IM114	0	R/W	IRL[7:4]が LLLH (H'1) 入力の場合の割り込み要求のマスク	
13	IM113	0	R/W	IRL[7:4]が LLHL (H'2) 入力の場合の割り込み要求のマスク	
12	IM112	0	R/W	IRL[7:4]が LLHH (H'3) 入力の場合の割り込み要求のマスク	
11	IM111	0	R/W	IRL[7:4]が LHLL (H'4) 入力の場合の割り込み要求のマスク	
10	IM110	0	R/W	IRL[7:4]が LHLH (H'5) 入力の場合の割り込み要求のマスク	
9	IM109	0	R/W	IRL[7:4]が LHHL (H'6) 入力の場合の割り込み要求のマスク	
8	IM108	0	R/W	IRL[7:4]が LHHH (H'7) 入力の場合の割り込み要求のマスク	
7	IM107	0	R/W	IRL[7:4]が HLLL (H'8) 入力の場合の割り込み要求のマスク	
6	IM106	0	R/W	IRL[7:4]が HLLH (H'9) 入力の場合の割り込み要求のマスク	
5	IM105	0	R/W	IRL[7:4]が HLHL (H'A) 入力の場合の割り込み要求のマスク	
4	IM104	0	R/W	IRL[7:4]が HLHH (H'B) 入力の場合の割り込み要求のマスク	
3	IM103	0	R/W	IRL[7:4]が HHLL (H'C) 入力の場合の割り込み要求のマスク	
2	IM102	0	R/W	IRL[7:4]が HHLH (H'D) 入力の場合の割り込み要求のマスク	
1	IM101	0	R/W	IRL[7:4]が HHHL (H'E) 入力の場合の割り込み要求のマスク	
0	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	

【注】 H、LはIRQ/IRL端子への入力レベルで、それぞれハイレベル、ローレベルを表しています。入力レベルと優先順位の関係は表 10.11 を参照してください。

(8) 割り込みマスククリアレジスタ 0 (INTMSKCLR0)

INTMSKCLR0 は書き込み専用の 32 ビットのレジスタで、IRQn (n=0~7) 割り込み要求ごとのマスクをクリアします。読み出した値は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC00	IC01	IC02	IC03	IC04	IC05	IC06	IC07	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R							
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IC00	0	R/W	IRQ0 の独立した割り込み要求のマスククリア	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する)
30	IC01	0	R/W	IRQ1 の独立した割り込み要求のマスククリア	
29	IC02	0	R/W	IRQ2 の独立した割り込み要求のマスククリア	
28	IC03	0	R/W	IRQ3 の独立した割り込み要求のマスククリア	
27	IC04	0	R/W	IRQ4 の独立した割り込み要求のマスククリア	
26	IC05	0	R/W	IRQ5 の独立した割り込み要求のマスククリア	
25	IC06	0	R/W	IRQ6 の独立した割り込み要求のマスククリア	
24	IC07	0	R/W	IRQ7 の独立した割り込み要求のマスククリア	
23~0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

## 10. 割り込みコントローラ (INTC)

### (9) 割り込みマスククリアレジスタ 1 (INTMSKCLR1)

INTMSKCLR1 は書き込み専用の 32 ビットのレジスタで、IRL 割り込み要求のマスクをクリアします。読み出した値は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC10	IC11	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明	
31	IC10	0	R/W	IRL3~IRL0 がエンコードされた割り込み入力の場合における $\overline{\text{IRL3}}\sim\overline{\text{IRL0}}$ の割り込み要求のマスククリア	読み出し時 不定値を返します。 書き込み時
30	IC11	0	R/W	IRL7~IRL4 がエンコードされた割り込み入力の場合における $\overline{\text{IRL7}}\sim\overline{\text{IRL4}}$ の割り込み要求のマスククリア	0: 無効 1: 割り込みマスククリア (割り込みを許可する)
29~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

## (10) 割り込みマスククリアレジスタ 2 (INTMSKCLR2)

INTMSKCLR2 は書き込み専用の 32 ビットのレジスタで、IRL 割り込み要求のレベルごとのマスクをクリアします。読み出した値は保証しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IC015	IC014	IC013	IC012	IC011	IC010	IC009	IC008	IC007	IC006	IC005	IC004	IC003	IC002	IC001	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R														
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IC115	IC114	IC113	IC112	IC111	IC110	IC109	IC108	IC107	IC106	IC105	IC104	IC103	IC102	IC101	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R														

ビット	ビット名	初期値	R/W	説明	
31	IC015	0	R/W	IRL[3:0]が LLLL (H'0) 入力の場合の割り込み要求のマスククリア	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する)
30	IC014	0	R/W	IRL[3:0]が LLLH (H'1) 入力の場合の割り込み要求のマスククリア	
29	IC013	0	R/W	IRL[3:0]が LLHL (H'2) 入力の場合の割り込み要求のマスククリア	
28	IC012	0	R/W	IRL[3:0]が LLHH (H'3) 入力の場合の割り込み要求のマスククリア	
27	IC011	0	R/W	IRL[3:0]が LHLL (H'4) 入力の場合の割り込み要求のマスククリア	
26	IC010	0	R/W	IRL[3:0]が LHLH (H'5) 入力の場合の割り込み要求のマスククリア	
25	IC009	0	R/W	IRL[3:0]が LHHL (H'6) 入力の場合の割り込み要求のマスククリア	
24	IC008	0	R/W	IRL[3:0]が LHHH (H'7) 入力の場合の割り込み要求のマスククリア	
23	IC007	0	R/W	IRL[3:0]が HLLL (H'8) 入力の場合の割り込み要求のマスククリア	
22	IC006	0	R/W	IRL[3:0]が HLLH (H'9) 入力の場合の割り込み要求のマスククリア	
21	IC005	0	R/W	IRL[3:0]が HLHL (H'A) 入力の場合の割り込み要求のマスククリア	
20	IC004	0	R/W	IRL[3:0]が HLHH (H'B) 入力の場合の割り込み要求のマスククリア	
19	IC003	0	R/W	IRL[3:0]が HHLL (H'C) 入力の場合の割り込み要求のマスククリア	
18	IC002	0	R/W	IRL[3:0]が HHLH (H'D) 入力の場合の割り込み要求のマスククリア	
17	IC001	0	R/W	IRL[3:0]が HHHL (H'E) 入力の場合の割り込み要求のマスククリア	

## 10. 割り込みコントローラ (INTC)

ビット	ビット名	初期値	R/W	説明
16	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15	IC115	0	R/W	読み出し時 不定値を返します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する)
14	IC114	0	R/W	
13	IC113	0	R/W	
12	IC112	0	R/W	
11	IC111	0	R/W	
10	IC110	0	R/W	
9	IC109	0	R/W	
8	IC108	0	R/W	
7	IC107	0	R/W	
6	IC106	0	R/W	
5	IC105	0	R/W	
4	IC104	0	R/W	IRL[7:4]が HLHL (H'A) 入力の場合の 割り込み要求のマスククリア
3	IC103	0	R/W	IRL[7:4]が HHLL (H'C) 入力の場合の 割り込み要求のマスククリア
2	IC102	0	R/W	IRL[7:4]が HHLH (H'D) 入力の場合の 割り込み要求のマスククリア
1	IC101	0	R/W	IRL[7:4]が HHHH (H'E) 入力の場合の 割り込み要求のマスククリア
0	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 H、Lは IRQ/IRL 端子への入力レベルで、それぞれハイレベル、ローレベルを表しています。入力レベルと優先順位の関係は表 10.11 を参照してください。

## 10. 割り込みコントローラ (INTC)

### (11) NMI フラグコントロールレジスタ (NMIFCR)

NMIFCR は読み出しと一部条件付き書き込み可能な 32 ビットのレジスタで、NMI フラグ (NMIFL ビット) を持ちます。

NMIFL ビットは、INTC により NMI が検出されると自動的に 1 にセットされます。NMIFL ビットは 0 を書き込むことでクリアされます。

NMIFL ビットの値は、CPU の NMI 受理には影響を与えません。つまり、INTC により検出された NMI 要求は、CPU に受け付けられることによりクリアされますが、NMIFL ビットは自動的にクリアされません。また、NMI 要求が CPU に受け付けられるより前に NMIFL ビットに 0 を書き込んだ場合でも、NMI 要求はキャンセルされません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NMIL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NMIFL
初期値 :	—	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	NMIL	不定	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読み出すことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0 : NMI 端子にローレベルが入力されています。 1 : NMI 端子にハイレベルが入力されています。
30~17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	NMIFL	0	R/W	NMI 割り込み要求信号検出 NMI 割り込み要求信号を検出したかどうかを示します。INTC で割り込み要求を検出した場合、自動的に 1 にセットされます。本ビットをクリアする場合は、0 を書き込んでください。1 を書き込んだ場合は無視されます。 読み出し時 0 : NMI が検出されていない 1 : NMI が検出された 書き込み時 0 : NMI フラグをクリア 1 : 無効 (1 書き込みは無視されます)
15~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 10. 割り込みコントローラ (INTC)

### 10.3.2 ユーザモード割り込み禁止機能

#### (1) ユーザ割り込みマスクレベル設定レジスタ (USERIMASK)

USERIMASK は読み出しと一部条件付き書き込み可能な 32 ビットレジスタで、受け付け可能な割り込みレベルを設定します。INTC のその他のレジスタとは異なる 64KB ページに配置されているので、MMU を使用してエリア 7 アドレスにアドレス変換をすることにより、本レジスタのみユーザモードでアクセス可能に設定できます。

UIMASK 設定値以下の割り込みレベルに設定された割り込みはマスクされます。HF を設定すると NMI 以外の全割り込みがマスクされます。

UIMASK 設定値より高い割り込みレベルに設定された割り込みは受け付けられますが、割り込みマスクレジスタの対応する割り込みの割り込みマスクビットが 0 (割り込み許可) であること、また SR.IMASK ビットがその割り込みレベルより低く設定されている場合のみ受け付けられます。

また、割り込みが受け付けられても UIMASK ビットの値は変化しません。

パワーオンリセット、マニュアルリセット時に H'0000 0000 (全割り込み許可) に初期化されます。

誤った書き込みを防止するため、本レジスタへの書き込みは、ビット 31~24 が H'A5 のときのみ有効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R	R							
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	UIMASK				—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	—	H'00	R/W	リザーブビット 読み出すと常に 0 が読み出されます。 UIMASK ビットに値を書き込むときは、H'A5 を書き込んでください。
23~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7~4	UIMASK	H'0	R/W	ユーザ割り込みマスクレベル UIMASK 設定値以下のレベルの割り込みはマスクされます。
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### (2) ユーザ割り込みマスクレベル設定レジスタの使用手順

USERIMASK に割り込みマスクレベルを設定することにより、設定値以下のレベルの割り込みを禁止することができます。本機能を用いることにより、ユーザモードで動作するデバイスドライバ等のタスク中で緊急度の高い処理を行う際に、より緊急度の低い割り込みを禁止することで完了までの時間を短縮できます。

USERIMASK は、INTC その他のレジスタとは異なる 64KB 空間に配置されています。ユーザモードで本レジスタをアクセスする場合は、MMU によるアドレス変換によりアクセスします。マルチタスク OS の場合、USERIMASK にアクセスできるプロセスは MMU の記憶保護により管理してください。また、そのタスクを終了する場合や他のタスクに切り替える場合は、必ず UIMASK ビットを 0 にクリアしてください。誤って UIMASK ビットに 0 以外の値を設定したままタスクを終了すると、その割り込みレベル以下の割り込みが禁止されたままとなり、OS のタスク切り替えが行われなくなるなどの不具合を起こすことがあります。

以下に使用手順の例を示します。

1. 準備として、割り込みを以下のように (A) と (B) に分類し、(B) より (A) の割り込みレベルを高く設定する。
  - (A) デバイスドライバ中で割り込み受け付けされるべき割り込み  
(OS で使用する割り込み; タイマ割り込み等)
  - (B) デバイスドライバ中で割り込み禁止されるべき割り込み
2. 割り込みを禁止したいデバイスドライバにのみ USERIMASK が存在するアドレス空間へのアクセスを許可するように MMU を設定します。
3. デバイスドライバに分岐します。
4. ユーザモードで動作するデバイスドライバ中で、(B) の割り込みがマスクされるように UIMASK ビットを設定します。
5. デバイスドライバ中で緊急度の高い処理を行います。
6. UIMASK ビットを 0 にクリアし、デバイスドライバの処理から復帰します。

### 10.3.3 内蔵モジュール割り込みレジスタ

#### (1) 割り込み優先順位設定レジスタ (INT2PRI0~INT2PRI7)

割り込み優先順位設定レジスタ (INT2PRI0~INT2PRI7) は、内蔵モジュール割り込みの優先順位 (レベル 31~0) を設定します。

INT2PRI0~INT2PRI7 は、それぞれ読み出し/書き込み可能な 32 ビットのレジスタです。リセット時は H'0000 0000 に初期化されます。

本レジスタでは、個々の割り込み要因を 5 ビットで 32 通り、30 レベル (H'00 と H'01 は割り込み要求をマスク) の優先レベルに割り付け設定することが可能です。

## 10. 割り込みコントローラ (INTC)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—						—	—	—					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—						—	—	—					
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

割り込み要求元と INT2PRI0~INT2PRI7 レジスタの各ビットの対応を表 10.5 に示します。

表10.5 割り込み要求元と INT2PRI0~INT2PRI7 レジスタ

レジスタ	ビット			
	28~24	20~16	12~8	4~0
INT2PRI0	TMU-ch0	TMU-ch1	TMU-ch2	TMU-ch2 Input Capture
INT2PRI1	TMU-ch3	TMU-ch4	TMU-ch5	RTC
INT2PRI2	SCIF-ch0	SCIF-ch1	WDT	リザーブ
INT2PRI3	H-UDI	DMAC (0)	DMAC (1)	リザーブ
INT2PRI4	CMT	HAC	PCIC (0)	PCIC (1)
INT2PRI5	PCIC (2)	PCIC (3)	PCIC (4)	PCIC (5)
INT2PRI6	SIOF	HSPI	MMCIF	SSI
INT2PRI7	FLCTL	GPIO	リザーブ	リザーブ

【注】 大きい値ほど優先度が高くなります。なお、設定値 H'00 と H'01 は要求がマスクされていることと同じ状態です。

### (2) 割り込み要因レジスタ (マスク状態の影響なし) (INT2A0)

INT2A0 は、内蔵モジュールからの割り込み要因を表示する読み出し専用の 32 ビットのレジスタです。割り込みマスクレジスタに割り込みマスクが設定されている場合でも、本レジスタは、該当ビットの要因表示を行います (該当ビットの割り込みは行いません)。割り込みマスクレジスタの状態に応じて要因を非表示としたい場合は、INT2A1 レジスタを使用ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—										
初期値:	0	0	0	0	0	0	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					—	—				—						
初期値:	—	—	—	—	0	0	—	—	—	0	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

## 10. 割り込みコントローラ (INTC)

各ビットと INT2A0 レジスタの対応を表 10.6 に示します。

表10.6 各ビットと INT2A0 レジスタの対応表

ビット	初期値	R/W	要因	機 能	内 容
0	不定	R	TMU-ch0~ch2	TMU チャンネル 0~2 割り込み要因表示	内蔵モジュール種別ごとに割り込み要因を表示します (割り込みマスクレジスタの状態の影響は受けないレジスタです)。 0 : 割り込み無し 1 : 割り込み発生 【注】 CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。
1	不定	R	TMU-ch3~ch5	TMU チャンネル 3~5 割り込み要因表示	
2	不定	R	RTC	RTC 割り込み要因表示	
3	不定	R	SCIF-ch0	SCIF チャンネル 0 割り込み要因表示	
4	不定	R	SCIF-ch1	SCIF チャンネル 1 割り込み要因表示	
5	不定	R	WDT	WDT 割り込み要因表示	
6	0	R	リザーブビット	読み出すと常に 0 が読み出されます。書き込みは無効です。	
7	不定	R	H-UDI	H-UDI 割り込み要因表示	
8	不定	R	DMAC (0)	DMAC チャンネル 0~5 割り込みおよびアドレスエラー割り込み要因表示	
9	不定	R	DMAC (1)	DMAC チャンネル 6~11 割り込み要因表示	
10, 11	すべて 0	R	リザーブビット	読み出すと常に 0 が読み出されます。書き込みは無効です。	
12	不定	R	CMT	CMT 割り込み要因表示	
13	不定	R	HAC	HAC 割り込み要因表示	
14	不定	R	PCIC (0)	PCISERR 割り込み要因表示	
15	不定	R	PCIC (1)	PCIINTA 割り込み要因表示	
16	不定	R	PCIC (2)	PCIINTB 割り込み要因表示	
17	不定	R	PCIC (3)	PCIINTC 割り込み要因表示	
18	不定	R	PCIC (4)	PCIINTD 割り込み要因表示	
19	不定	R	PCIC (5)	PCIERR、PCIPWD3~PCIPWD0 割り込み要因表示	
20	不定	R	SIOF	SIOF 割り込み要因表示	
21	不定	R	HSPI	HSPI 割り込み要因表示	
22	不定	R	MMCIF	MMCIF 割り込み要因表示	
23	不定	R	SSI	SSI 割り込み要因表示	
24	不定	R	FLCTL	FLCTL 割り込み要因表示	
25	不定	R	GPIO	GPIO 割り込み要因表示	
26~31	すべて 0	R	リザーブビット	読み出すと常に 0 が読み出されます。書き込みは無効です。	

## 10. 割り込みコントローラ (INTC)

### (3) 割り込み要因レジスタ (マスク状態の影響あり) (INT2A1)

INT2A1 は、内蔵モジュールからの割り込み要因を表示する読み出し専用の 32 ビットのレジスタです。ただし、割り込みマスクレジスタに割り込みマスクが設定されている場合は、該当ビットは表示されません (1 にセットされません)。割り込みマスクレジスタの状態に関わらず割り込みへ発生の有無を確認する場合は、INT2A0 レジスタを使用ください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					—	—				—						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

各ビットと INT2A1 レジスタの対応を表 10.7 に示します。

表10.7 各ビットと INT2A1 レジスタの対応表

ビット	初期値	R/W	要因	機能	内容
0	0	R	TMU-ch0~ch2	TMU チャンネル 0~2 割り込み要因表示	内蔵モジュール種別ごとに割り込み要因を表示します (割り込みマスクレジスタの影響を受けるレジスタです)。 0: 割り込み無し 1: 割り込み発生 【注】 CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。
1	0	R	TMU-ch3~ch5	TMU チャンネル 3~5 割り込み要因表示	
2	0	R	RTC	RTC 割り込み要因表示	
3	0	R	SCIF-ch0	SCIF チャンネル 0 割り込み要因表示	
4	0	R	SCIF-ch1	SCIF チャンネル 1 割り込み要因表示	
5	0	R	WDT	WDT 割り込み要因表示	
6	0	R	リザーブビット	読み出すと常に 0 が読み出されます。書き込みは無効です。	
7	0	R	H-UDI	H-UDI 割り込み要因表示	
8	0	R	DMAC (0)	DMAC チャンネル 0~5 割り込みおよびアドレスエラー割り込み要因表示	
9	0	R	DMAC (1)	DMAC チャンネル 6~11 割り込み要因表示	
10, 11	すべて 0	R	リザーブビット	読み出すと常に 0 が読み出されます。書き込みは無効です。	
12	0	R	CMT	CMT 割り込み要因表示	
13	0	R	HAC	HAC 割り込み要因表示	
14	0	R	PCIC (0)	PCISERR 割り込み要因表示	
15	0	R	PCIC (1)	PCIINTA 割り込み要因表示	
16	0	R	PCIC (2)	PCIINTB 割り込み要因表示	
17	0	R	PCIC (3)	PCIINTC 割り込み要因表示	

## 10. 割り込みコントローラ (INTC)

ビット	初期値	R/W	要因	機能	内容
18	0	R	PCIC (4)	PCIINTD 割り込み要因表示	内蔵モジュール種別ごとに割り込み要因を表示します (割り込みマスクレジスタの影響を受けるレジスタです)。 0: 割り込み無し 1: 割り込み発生 <b>【注】</b> CPU に通知された INTEVT (例外コード) を直接読むことで、割り込み要因を特定することも可能です。その場合、本レジスタ読み出しは不要となります。
19	0	R	PCIC (5)	PCIERR、PCIPWD3~PCIPWD0 割り込み要因表示	
20	0	R	SIOF	SIOF 割り込み要因表示	
21	0	R	HSPI	HSPI 割り込み要因表示	
22	0	R	MMCIF	MMCIF 割り込み要因表示	
23	0	R	SSI	SSI 割り込み要因表示	
24	0	R	FLCTL	FLCTL 割り込み要因表示	
25	0	R	GPIO	GPIO 割り込み要因表示	
26~31	すべて 0	R	リザーブビット	読み出すと常に 0 が読み出されます。書き込みは無効です。	

### (4) 割り込みマスクレジスタ (INT2MSKR)

INT2MSKR は、割り込み要因レジスタに表示される要因に対して、個別に割り込みマスクを設定することができる読み出し/書き込み可能な 32 ビットのレジスタです。本レジスタに 1 が設定された該当要因の割り込みは割り込み通知されません。リセット時は H'FFFF FFFF (=すべてマスク) に初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—										
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R/W									
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					—	—				—						
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W

各ビットと INT2MSKR レジスタの対応を 表 10.8 に示します。

表 10.8 各ビットと INT2MSKR レジスタの対応表

ビット	初期値	R/W	対象	機能	内容
0	1	R/W	TMU-ch0~ch2	TMU チャンネル 0~2 割り込みマスク	内蔵モジュール別に割り込みマスクを設定します。 書き込み時 0: 無効 1: 割り込みマスク設定 読み出し時 0: マスク設定なし 1: マスク設定有り
1	1	R/W	TMU-ch3~ch5	TMU チャンネル 3~5 割り込みマスク	
2	1	R/W	RTC	RTC 割り込みマスク	
3	1	R/W	SCIF-ch0	SCIF チャンネル 0 割り込みマスク	
4	1	R/W	SCIF-ch1	SCIF チャンネル 1 割り込みマスク	
5	1	R/W	WDT	WDT 割り込みマスク	
6	1	R	リザーブビット	読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。	
7	1	R/W	H-UDI	H-UDI 割り込みマスク	

## 10. 割り込みコントローラ (INTC)

ビット	初期値	R/W	対象	機能	内容
8	1	R/W	DMAC (0)	DMAC チャンネル 0~5 割り込みおよびアドレスエラー割り込みマスク	内蔵モジュール別に割り込みマスクを設定します。
9	1	R/W	DMAC (1)	DMAC チャンネル 6~11 割り込みマスク	
10, 11	すべて 1	R	リザーブビット	読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。	書き込み時 0: 無効 1: 割り込みマスク設定
12	1	R/W	CMT	CMT 割り込みマスク	読み出し時 0: マスク設定なし 1: マスク設定有り
13	1	R/W	HAC	HAC 割り込みマスク	
14	1	R/W	PCIC (0)	PCISERR 割り込みマスク	
15	1	R/W	PCIC (1)	PCIINTA 割り込みマスク	
16	1	R/W	PCIC (2)	PCIINTB 割り込みマスク	
17	1	R/W	PCIC (3)	PCIINTC 割り込みマスク	
18	1	R/W	PCIC (4)	PCIINTD 割り込みマスク	
19	1	R/W	PCIC (5)	PCIERR、PCIPWD3~PCIPWD0 割り込みマスク	
20	1	R/W	SIOF	SIOF 割り込みマスク	
21	1	R/W	HSPI	HSPI 割り込みマスク	
22	1	R/W	MMCIF	MMCIF 割り込みマスク	
23	1	R/W	SSI	SSI 割り込みマスク	
24	1	R/W	FLCTL	FLCTL 割り込みマスク	
25	1	R/W	GPIO	GPIO 割り込みマスク	
26~31	すべて 1	R	リザーブビット	読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。	

### (5) 割り込みマスククリアレジスタ (INT2MSKCR)

INT2MSKCR は、割り込みマスクレジスタに設定されたマスクをクリアするための書き込み専用の 32 ビットのレジスタです。本レジスタの該当ビットに 1 を設定するとその割り込み要因のマスクがクリアされます。読み出しは常に 0 です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—										
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W									
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					—	—				—						
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

## 10. 割り込みコントローラ (INTC)

各ビットと INT2MSKCR レジスタの対応を 表 10.9 に示します。

表10.9 各ビットと INT2MSKCR レジスタの対応表

ビット	初期値	R/W	対象	機能	内容
0	0	R/W	TMU-ch0~ch2	TMU チャンネル 0~2 割り込みマスククリア設定	内蔵モジュール別の割り込みマスクをクリア設定します。 書き込み時 0: 無効 1: 割り込みマスククリア (割り込みを許可する) 読み出し時 常に 0 です
1	0	R/W	TMU-ch3~ch5	TMU チャンネル 3~5 割り込みマスククリア設定	
2	0	R/W	RTC	RTC 割り込みマスククリア設定	
3	0	R/W	SCIF-ch0	SCIF チャンネル 0 割り込みマスククリア設定	
4	0	R/W	SCIF-ch1	SCIF チャンネル 1 割り込みマスククリア設定	
5	0	R/W	WDT	WDT 割り込みマスククリア設定	
6	0	R	リザーブビット	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	
7	0	R/W	H-UDI	H-UDI 割り込みマスククリア設定	
8	0	R/W	DMAC (0)	DMAC チャンネル 0~5 割り込みおよびアドレスエラー割り込みマスククリア設定	
9	0	R/W	DMAC (1)	DMAC チャンネル 6~11 割り込みマスククリア設定	
10~11	すべて 0	R	リザーブビット	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	
12	0	R/W	CMT	CMT 割り込みマスククリア設定	
13	0	R/W	HAC	HAC 割り込みマスククリア設定	
14	0	R/W	PCIC (0)	PCISERR 割り込みマスククリア設定	
15	0	R/W	PCIC (1)	PCIINTA 割り込みマスククリア設定	
16	0	R/W	PCIC (2)	PCIINTB 割り込みマスククリア設定	
17	0	R/W	PCIC (3)	PCIINTC 割り込みマスククリア設定	
18	0	R/W	PCIC (4)	PCIINTD 割り込みマスククリア設定	
19	0	R/W	PCIC (5)	PCIERR、PCIPWD3~PCIPWD0 割り込みマスククリア設定	
20	0	R/W	SIOF	SIOF 割り込みマスククリア設定	
21	0	R/W	HSPI	HSPI 割り込みマスククリア設定	
22	0	R/W	MMCIF	MMCIF 割り込みマスククリア設定	
23	0	R/W	SSI	SSI 割り込みマスククリア設定	
24	0	R/W	FLCTL	FLCTL 割り込みマスククリア設定	
25	0	R/W	GPIO	GPIO 割り込みマスククリア設定	
26~31	すべて 0	R	リザーブビット	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	

## 10. 割り込みコントローラ (INTC)

### 10.3.4 内蔵モジュール別割り込み要因レジスタ (INT2B0~INT2B7)

INT2B0~INT2B7は、割り込み要因レジスタで表示されているモジュール種別の要因に対して、更に詳細の個別要因を表示するレジスタで、これらのレジスタは、割り込みマスク設定レジスタのマスク状態に影響を受けない、何れも読み出し専用の32ビットのレジスタです。これら個々の詳細要因に対して個別にマスク設定を行う場合は、該当モジュールの割り込みマスクレジスタ、または割り込みイネーブルレジスタを設定する必要があります。INT2B0~INT2B7はすべて読み出し専用の32ビットのレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

#### (1) INT2B0 レジスタ : TMU モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
TMU モジュール	0	TUNI0	TMU チャンネル0 アンダフロー割り込み	TMU の割り込み要因が表示されず、本レジスタの表示は、割り込みマスクレジスタにてTMU をマスク設定しても表示は消えません。
	1	TUNI1	TMU チャンネル1 アンダフロー割り込み	
	2	TUNI2	TMU チャンネル2 アンダフロー割り込み	
	3	TICPI2	TMU チャンネル2 インพุットキャプチャ割り込み	
	4	TUNI3	TMU チャンネル3 アンダフロー割り込み	
	5	TUNI4	TMU チャンネル4 アンダフロー割り込み	
	6	TUNI5	TMU チャンネル5 アンダフロー割り込み	
	7~31	-	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。	

## (2) INT2B1 レジスタ : RTC モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
RTC モジュール	0	ATI	RTC アラーム割り込み	RTC の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて RTC をマスク設定しても表示は消えません。
	1	PRI	RTC 周期割り込み	
	2	CUI	RTC 桁上げ割り込み	
	3~31	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	

## (3) INT2B2 レジスタ : SCIF モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
SCIF モジュール	0	ERI0	SCIF チャネル 0 受信エラー割り込み	SCIF の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて SCIF をマスク設定しても表示は消えません。
	1	RXI0	SCIF チャネル 0 受信 FIFO データフルまたは受信データレディによる割り込み	
	2	BRI0	SCIF チャネル 0 ブレークまたはオーバーランエラーによる割り込み	
	3	TXI0	SCIF チャネル 0 送信 FIFO データエンプティによる割り込み	
	4	ERI1	SCIF チャネル 1 受信エラー割り込み	
	5	RXI1	SCIF チャネル 1 受信 FIFO データフルまたは受信データレディによる割り込み	
	6	BRI1	SCIF チャネル 1 ブレークまたはオーバーランエラーによる割り込み	
	7	TXI1	SCIF チャネル 1 送信 FIFO データエンプティによる割り込み	
	8~31	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	

## 10. 割り込みコントローラ (INTC)

### (4) INT2B3 レジスタ : DMAC モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
DMAC モジュール	0	DMINT0	チャンネル 0DMA 転送終了/ ハーフエンド割り込み	DMAC の割り込み要因が表示 されます。本レジスタの表示 は、割り込みマスクレジスタに て DMAC をマスク設定しても 表示は消えません。
	1	DMINT1	チャンネル 1DMA 転送終了/ ハーフエンド割り込み	
	2	DMINT2	チャンネル 2DMA 転送終了/ ハーフエンド割り込み	
	3	DMINT3	チャンネル 3DMA 転送終了/ ハーフエンド割り込み	
	4	DMINT4	チャンネル 4DMA 転送終了割り込み	
	5	DMINT5	チャンネル 5DMA 転送終了割り込み	
	6	DMINT6	チャンネル 6DMA 転送終了/ ハーフエンド割り込み	
	7	DMINT7	チャンネル 7DMA 転送終了/ ハーフエンド割り込み	
	8	DMINT8	チャンネル 8DMA 転送終了/ ハーフエンド割り込み	
	9	DMINT9	チャンネル 9DMA 転送終了/ ハーフエンド割り込み	
	10	DMINT10	チャンネル 10DMA 転送終了割り込み	
	11	DMINT11	チャンネル 11DMA 転送終了割り込み	
	12	DMAE0	チャンネル 0~5DMA アドレスエラー割り込み	
	13	DMAE1	チャンネル 6~11DMA アドレスエラー割り込み	
14~31	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込み は無効です。		

## (5) INT2B4 レジスタ : PCIC モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
PCIC モジュール	0	PCISERR	PCIC SERR 割り込み	PCIC の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて PCIC をマスク設定しても表示は消えません。
	1	PCIINTA	PCIC INTA 割り込み	
	2	PCIINTB	PCIC INTB 割り込み	
	3	PCIINTC	PCIC INTO 割り込み	
	4	PCIINTD	PCIC INTD 割り込み	
	5	PCIERR	PCIC エラー割り込み	
	6	PCIPWD3	PCIC パワーステート D3 ステート割り込み	
	7	PCIPWD2	PCIC パワーステート D2 ステート割り込み	
	8	PCIPWD1	PCIC パワーステート D1 ステート割り込み	
	9	PCIPWD0	PCIC パワーステート D0 ステート割り込み	
10~31	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。		

## (6) INT2B5 レジスタ : MMCIF モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
MMCIF モジュール	0	FSTAT	FIFO エンプティまたは FIFO フル割り込み	MMCIF の割り込み要因が表示されます。本レジスタの表示は、割り込みマスクレジスタにて MMCIF をマスク設定しても表示は消えません。
	1	TRAN	データレスポンス、データ転送終了、コマンドレスポンス受信終了、コマンド送信終了、データビジー終了のいずれかの割り込み	
	2	ERR	CRC エラー、データタイムアウトエラー、コマンドタイムアウトエラーのいずれかの割り込み	
	3	FRDY	FIFO 準備完了による割り込み	
	4~31	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。	

## 10. 割り込みコントローラ (INTC)

### (7) INT2B6 レジスタ : FLCTL モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
FLCTL モジュール	0	FLSTE	FLCTL ステータスエラーまたはレディ/ビジー タイムアウトエラー割り込み	FLCTL の割り込み要因が表示 されます。本レジスタの表示 は、割り込みマスクレジスタに て FLCTL をマスク設定しても 表示は消えません。
	1	FLTEND	FLCTL 転送終了割り込み	
	2	FLTRQ0	FLCTL TLDFIFO 転送要求割り込み	
	3	FLTRQ1	FLCTL FLECFIFO 転送要求割り込み	
	4~31	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込み は無効です。	

### (8) INT2B7 レジスタ : GPIO モジュールの割り込み詳細要因

モジュール	ビット	要 因		説 明
GPIO モジュール	0	PORTE0I	ポート E0 端子からの GPIO 割り込み	GPIO の割り込み要因が表示さ れます。本レジスタの表示は、 割り込みマスクレジスタにて GPIO をマスク設定しても表示 は消えません。
	1	PORTE1I	ポート E1 端子からの GPIO 割り込み	
	2	PORTE2I	ポート E2 端子からの GPIO 割り込み	
	3~7	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込み は無効です。	
	8	PORTE3I	ポート E3 端子からの GPIO 割り込み	
	9	PORTE4I	ポート E4 端子からの GPIO 割り込み	
	10	PORTE5I	ポート E5 端子からの GPIO 割り込み	
	11~15	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込み は無効です。	
	16	PORTH0I	ポート H0 端子からの GPIO 割り込み	
	17	PORTH1I	ポート H1 端子からの GPIO 割り込み	
	18	PORTJ0I	ポート J0 端子からの GPIO 割り込み	
	19	PORTK4I	ポート K4 端子からの GPIO 割り込み	
	20~23	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込み は無効です。	
	24	PORTK5I	ポート K5 端子からの GPIO 割り込み	
	25	PORTE6I	ポート E6 端子からの GPIO 割り込み	
26~31	-	リザーブビット 読み出すと常に 0 が読み出されます。書き込み は無効です。		

(9) GPIO 割り込み設定レジスタ (INT2GPIC)

INT2GPIC は、GPIO 割り込みとしてポート E0~E2、E3~E5、H0、H1、J0、K4、K5、E6 からの割り込み要求入力を許可します。

GPIO 割り込みは、ローアクティブなレベル割り込みです。GPIO 割り込みとして使用する各ポートコントロールレジスタ (E、H、J、K) で該当する端子をポート入力に設定した後、割り込み要求の許可を行ってください。ポートコントロールレジスタについては、「第 28 章 汎用入出力ポート (GPIO)」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

割り込み入力端子と INT2GPIC レジスタの各ビットの対応を表 10.10 に示します。

表10.10 各ビットと INT2GPIC レジスタの対応表

ビット	名称	初期値	R/W	説明	内容
0	PORTE0E	0	R/W	ポート E0 端子からの GPIO 割り込み要求を許可	GPIO 割り込み入力端子別に割り込み要求を許可します。 0: 割り込み要求を禁止 1: 割り込み要求を許可
1	PORTE1E	0	R/W	ポート E1 端子からの GPIO 割り込み要求を許可	
2	PORTE2E	0	R/W	ポート E2 端子からの GPIO 割り込み要求を許可	
3~7	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	
8	PORTE3E	0	R/W	ポート E3 端子からの GPIO 割り込み要求を許可	
9	PORTE4E	0	R/W	ポート E4 端子からの GPIO 割り込み要求を許可	
10	PORTE5E	0	R/W	ポート E5 端子からの GPIO 割り込み要求を許可	
11~15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	
16	PORTH0E	0	R/W	ポート H0 端子からの GPIO 割り込み要求を許可	
17	PORTH1E	0	R/W	ポート H1 端子からの GPIO 割り込み要求を許可	

## 10. 割り込みコントローラ (INTC)

ビット	名称	初期値	R/W	説明	内容
18	PORTJ0E	0	R/W	ポート J0 端子からの GPIO 割り込み要求を許可	GPIO 割り込み入力端子別に割り込み要求を許可します。 0 : 割り込み要求を禁止 1 : 割り込み要求を許可
19	PORTK4E	0	R/W	ポート K4 端子からの GPIO 割り込み要求を許可	
20~23	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。	
24	PORTK5E	0	R/W	ポート K5 端子からの GPIO 割り込み要求を許可	
25	PORTE6E	0	R/W	ポート E6 端子からの GPIO 割り込み要求を許可	
26~31	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。 書き込む値も常に 0 にしてください。	

GPIO のポートを割り込み入力端子として使用した場合、GPIO が割り込みを検出すると、GPIO から INTC へ割り込みが通知されますが、INTC としては割り込み要因レジスタ INT2A0 または INT2A1 に 1 ビットの要因として表示します。この場合、モジュール別割り込み要因レジスタ INT2B7 を参照することでどのポートの何番の端子から割り込みが発生しているかを特定することが可能です。ポートの特定は CPU の INTEVT (例外コード) を参照することでも可能です。

## 10.4 割り込み要因

割り込み要因は、NMI、IRQ、IRL、内蔵モジュールの4つに分類されます。各割り込みの優先順位は割り込み優先レベル値（16～0）で表され、レベル16が最高で、レベル1が最低です。レベル0に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

### 10.4.1 NMI 割り込み

NMI 割り込みは、レベル16の最優先の割り込みです。CPU内のSRのBLビットが1にセットされていないかぎりいつでも受け付けられます。ただし、スリープモード中はBLビットが1でも受け付けられません。

また、設定によりBLビットが1でもNMIを受け付けることができます。

NMI端子からの入力はエッジで検出されます。検出エッジはICR0のNMIエッジセレクトビット（NMIE）の設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。ICR0のNMIEビットを書き換えた場合、書き換えてから最大6バスクロック期間、NMI割り込みを検出しません。

CPUOPM.INTMUビットが1に設定されている場合は、SRの割り込みマスクレベル（SR.IMASK）は、NMI割り込み受理によってレベル15に自動的に設定されます。CPUOPM.INTMUビットが0に設定されている場合は、NMI割り込み受理によってSR.IMASKが影響されることはありません。

### 10.4.2 IRQ 割り込み

IRQ 割り込みは、ICR0のIRLM0、IRLM1ビットに1を書き込んで、 $IRQ/\overline{IRL3} \sim IRQ/\overline{IRL0}$ 、 $IRQ/\overline{IRL7} \sim IRQ/\overline{IRL4}$ 端子を独立した割り込み要求として使用する場合に有効になります。ICR1のIRQnS1、IRQnS0（n=7～0）ビットの設定により、立ち下がりエッジ、立ち上がりエッジ、ローレベル、ハイレベルの検出が可能です。また、割り込み優先レベルは、割り込み優先順位設定レジスタ（INTPRI）により設定できます。

IRQ 割り込み要求をローレベル、ハイレベルで検出する場合、IRQ 割り込みの端子状態は割り込みを受け付けて割り込み処理を開始するまで、その端子状態を保持してください。

また、IRQ 割り込み要求をレベル（ローまたはハイレベル）で検出する場合、ICR0のLSHビットにより割り込み要求をINTCの検出回路で保持するかしないかを選択することができます。保持する場合（ICR.LSH=0）、割り込み受け付け後、検出回路で保持された割り込み要求をクリアする必要があります。具体的な処理方法は、「10.7.1 保持機能選択時の割り込み要求クリア方法（IRL 割り込み/IRQ レベル割り込み）」を参照してください。保持しない場合は、ICR0のLSHビットに1を設定してください。従来のSH-4の $\overline{IRL}$ 端子の「レベルセンスのIRQモード」に対して上位互換の動作になります（ハイまたはローの検出レベルの選択が可能です）。

**【注】** IRQ 割り込み要求をレベルで検出する場合、IRQ 割り込み要求の検出後、CPUが受け付ける前にIRQ 割り込みの端子状態を変更して要求を取り下げても、INTREQで要因として保持しています。CPUが何らかの割り込み（IRQ 割り込みとはかぎりません）を受け付けるか、該当する割り込みマスクビットに1をセットするまでINTREQで要因を保持します。さらに、ICR0のLSHビットにより割り込み要求を検出回路で保持する場合（ICR0.LSH=0）、検出回路が割り込み要求を保持しています。この場合、保持されたIRQ 割り込み要求を割り込み処理ルーチンでクリアした後、INTREQで保持している要因を0にクリアしてください。詳細は「10.7 使用上の注意事項」を参照してください。

CPUOPM.INTMUビットが1に設定されている場合は、SRの割り込みマスクレベル（SR.IMASK）は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMUビットが0に設定されている場合は、割り込み受理によってSR.IMASKが影響されることはありません。

## 10. 割り込みコントローラ (INTC)

### 10.4.3 IRL 割り込み

IRL 割り込みは、 $\overline{\text{IRQ/IRL3}}\sim\overline{\text{IRQ/IRL0}}$  端子または  $\overline{\text{IRQ/IRL7}}\sim\overline{\text{IRQ/IRL4}}$  端子でレベルとして入力される割り込みです。

優先レベルは  $\overline{\text{IRQ/IRL3}}\sim\overline{\text{IRQ/IRL0}}$  端子または  $\overline{\text{IRQ/IRL7}}\sim\overline{\text{IRQ/IRL4}}$  端子で示されるレベルです。 $\overline{\text{IRQ/IRL3}}\sim\overline{\text{IRQ/IRL0}}$  または  $\overline{\text{IRQ/IRL7}}\sim\overline{\text{IRQ/IRL4}}$  がすべて Low (ローレベル) のとき、最も高い割り込み要求 (割り込み優先レベル 15) を示します。すべて High (ハイレベル) のとき、割り込み要求なし (割り込み優先レベル 0) を示します。図 10.2 に IRL 割り込みの接続例を、表 10.11 に IRL 端子と割り込みレベルの対応を示します。

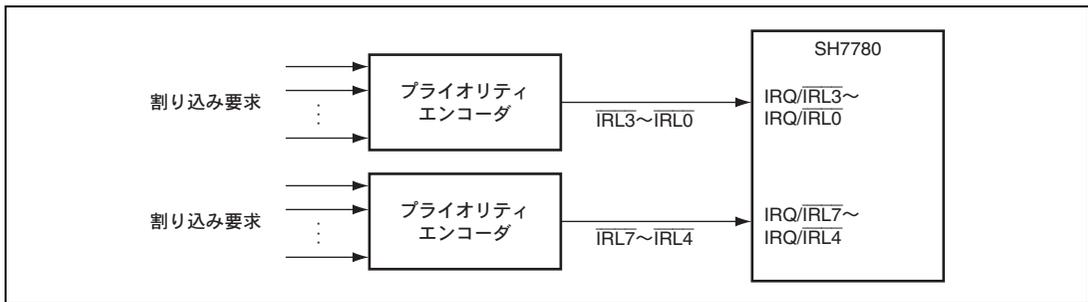


図10.2 IRL 割り込みの接続例

表10.11 IRL 割り込み端子 (IRL3~IRL0 または IRL7~IRL4) と割り込みレベル

IRL3 または IRL7	IRL2 または IRL6	IRL1 または IRL5	IRL0 または IRL4	割り込み優先レベル	割り込み要求
Low	Low	Low	Low	15	レベル 15 割り込み要求
Low	Low	Low	High	14	レベル 14 割り込み要求
Low	Low	High	Low	13	レベル 13 割り込み要求
Low	Low	High	High	12	レベル 12 割り込み要求
Low	High	Low	Low	11	レベル 11 割り込み要求
Low	High	Low	High	10	レベル 10 割り込み要求
Low	High	High	Low	9	レベル 9 割り込み要求
Low	High	High	High	8	レベル 8 割り込み要求
High	Low	Low	Low	7	レベル 7 割り込み要求
High	Low	Low	High	6	レベル 6 割り込み要求
High	Low	High	Low	5	レベル 5 割り込み要求
High	Low	High	High	4	レベル 4 割り込み要求
High	High	Low	Low	3	レベル 3 割り込み要求
High	High	Low	High	2	レベル 2 割り込み要求
High	High	High	Low	1	レベル 1 割り込み要求
High	High	High	High	0	割り込み要求なし

IRL 割り込みの検出は、ノイズキャンセル機構が内蔵されており、毎バスクロックでサンプリングしたレベルが4 サイクル続けて同一の値になったとき、初めて行います。これにより、IRL 割り込み端子の変化時の誤ったレベルを取り込むことを防止できます。

IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理を開始するまで、そのレベルを保持してください。ただし、より高い優先レベルに変化させることは構いません。

また、ICR0 の LSH ビットにより割り込み要求を INTC の検出回路で保持するかしないかを選択することができます。保持する場合(ICR.LSH=0)、割り込み受け付け後、検出回路で保持された割り込み要求をクリアする必要があります。具体的なクリア方法は、「10.7.1 保持機能選択時の割り込み要求クリア方法 (IRL 割り込み/IRQ レベル割り込み)」を参照してください。保持しない場合は、従来の SH-4 の IRL レベルエンコード割り込みと互換の動作になります。

【注】 IRL 割り込みには要因レジスタはありませんが、ICR0 の LSH ビットにより割り込み要求を検出回路で保持する場合 (ICR0.LSH=0)、IRL 割り込み要求の検出後、CPU が受け付ける前に IRL 割り込みの端子状態を変更して要求を取り下げても、CPU が何らかの割り込み (IRL 割り込みとはかぎりません) を受け付けるか、該当する割り込みマスクビットに1 をセットするまで最も優先レベルの高い IRL 割り込み要求を検出回路で保持します。この場合、保持された IRL 割り込み要求を割り込み処理ルーチンでクリアしてください。詳細は「10.7 使用上の注意事項」を参照してください。

CPUOPM.INTMU ビットが1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが0 に設定されている場合は、割り込み受理によって、SR.IMASK が影響されることはありません。

### 10.4.4 内蔵モジュール割り込み

内蔵モジュール割り込みは、内蔵モジュールで発生する割り込みです。

要因ごとに異なる割り込みベクタは割り当てられてはませんが、要因は割り込み事象レジスタ (INTEVT) に反映されますので、例外処理ルーチン中で INTEVT の値をオフセットとして分岐することによって、容易に要因が判定できます。

優先順位は、INT2PRI0～INT2PRI7 によって、モジュールごとに優先レベル 31～0 の範囲で設定できます。ただし、CPU に通知する時には、最下位 1 ビットを切り捨てた 4 ビットに変換します。詳細は、「10.4.5 内蔵モジュール割り込み優先順位」を参照してください。

CPUOPM.INTMU ビットが 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。

内蔵モジュール割り込み処理によって、SR の割り込みマスクビット (IMASK) が影響されることはありません。

内蔵モジュールの割り込み要因フラグおよび割り込み許可フラグの更新は、SR の BL ビットが 1 のとき、もしくは該当する割り込みをマスクして行ってください。なお、更新したはずの割り込み要因による誤った割り込みの受け付けを避けるために、いったん該当フラグを含む内蔵モジュールのレジスタを読み出し、その後表 10.13 で示される優先順位判定時間待ってから BL ビットを 0 にするか、割り込みマスクの設定を更新して該当割り込みを受け付けられるようにしてください。これにより、内部的に必要なタイミングが確保されます。複数のフラグを更新する場合は、最後のフラグを更新した後で、そのフラグを含むレジスタを読み出すだけで問題ありません。

BL ビットが 0 のときにフラグの更新を行うと INTEVT の値が 0 で割り込み処理ルーチンにジャンプすることがあります。これはフラグの更新と本 LSI 内部での割り込み要求を認識するタイミングとの関係で割り込み処理が起動したためです。この場合は、RTE 命令を実行することにより、問題なく処理を続けることができます。

### 10.4.5 内蔵モジュール割り込み優先順位

内蔵モジュール割り込みは、割り込み時に、要因固有の識別として割り込み例外コードを CPU へ出力します。CPU は割り込みを受け付けると INTEVT レジスタに該当する例外コードを表示します。割り込み処理ルーチンで CPU の INTEVT レジスタを読むことにより、INTC の要因表示レジスタを読み込まなくても要因を知ることが可能です。内蔵モジュールの割り込み要因と例外コードの対応は、表 10.1 を参照してください。

また、内蔵モジュール割り込みでは図 10.3 に示すように、個々の割り込み要因を 5 ビットで 30 レベル（大きい値ほど優先順位が高い。H'00 と H'01 は割り込み要求をマスク）に設定することが可能です。CPU の割り込みレベル受信インタフェースは 4 ビットで 15 レベル（H'0 は割り込み要求をマスク）ですが、内蔵モジュール割り込みの優先順位は 1 ビット拡張した 5 ビットで各割り込み要因を優先選択し、選択後に最下位 1 ビットを切り捨てた 4 ビットに変換して通知を行います。例えば、優先レベル H'1A と優先レベル H'1B に設定した 2 つの要因はどちらの割り込みであっても出力する 4 ビットの優先レベルは H'D となります。これは同じ値となりますが、両者の割り込みが競合した場合に通知する例外コードは、5 ビットで考えた場合に優先順位が高い H'1B の割り込みに該当する例外コードが優先されます。両者の優先レベルを同一値に設定した割り込みが競合した場合は、表 10.1 に示す優先順位で例外コードが通知されます。

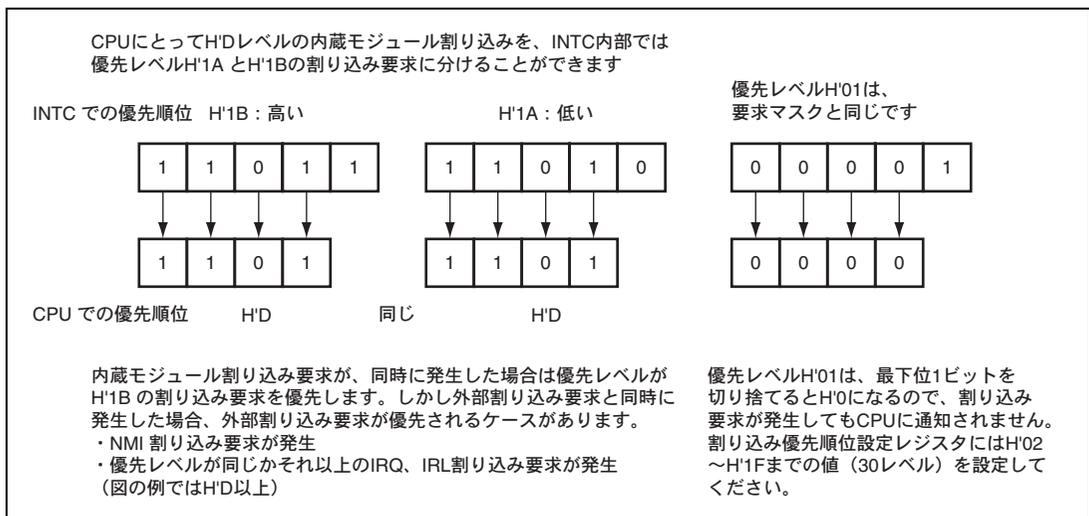


図10.3 内蔵モジュール割り込みの優先レベルについて

## 10. 割り込みコントローラ (INTC)

### 10.4.6 割り込み例外処理と優先順位

割り込み要因と割り込み事象レジスタ (INTEVT) のコード、割り込み優先順位を表 10.12 に示します。

各割り込み要因は、それぞれ異なる INTEVT のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT の値を使って分岐させます。たとえば INTEVT の値をオフセットにして分岐させます。

内蔵モジュールの優先順位は、INT2PRI0~INT2PRI7 によって、優先レベル 31~0 の範囲で任意に設定できます。リセットによって、内蔵モジュールの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 10.12 に示すデフォルト優先順位に従って処理されます。

INTPRI, INT2PRI0~INT2PRI7, INTMSK0~INTMSK2, INTMSKR の更新は、SR の BL ビットが 1 のとき、もしくは該当する割り込みをマスクして行ってください。なお、誤った割り込みの受け付けを避けるために、いったんいずれかの割り込み優先レベル設定レジスタを読み出してから BL ビットを 0 にするか、もしくは割り込みマスクの設定を更新して該当割り込みを受け付けられるようにしてください。これにより内部的に必要なタイミングが確保されます。

表10.12 割り込み例外処理要因と優先順位

割り込み要因	INTEVT (例外コード)	割り込み 優先順位	INTC でのマスク/ クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位		
NMI	—	H'1C0	16	—	—	—	高		
IRL 入力レベル= L: ローレベル H: ハイレベル (表 10.11 参照)	IRL[7:4]=LLLL (H'0)	H'200	15	INTMSK2[15]	—	—	↑ ↓		
	IRL[3:0]=LLLL (H'0)			INTMSKCLR2[15]	—	—			
	IRL[7:4]= LLLH (H'1)	H'220	14	INTMSK2[14]	—	—			
	IRL[3:0]= LLLH (H'1)			INTMSKCLR2[14]	—	—			
	IRL[7:4]=LLHL (H'2)	H'240	13	INTMSK2[13]	—	—			
	IRL[3:0]=LLHL (H'2)			INTMSKCLR2[13]	—	—			
	IRL[7:4]=LLHH (H'3)	H'260	12	INTMSK2[12]	—	—			
	IRL[3:0]=LLHH (H'3)			INTMSKCLR2[12]	—	—			
	IRL[7:4]=LHLL (H'4)	H'280	11	INTMSK2[11]	—	—			
	IRL[3:0]=LHLL (H'4)			INTMSKCLR2[11]	—	—			
					INTMSK2[27]	—		—	低
					INTMSKCLR2[27]	—		—	



## 10. 割り込みコントローラ (INTC)

割り込み要因		INTEVT (例外コード)	割り込み 優先順位	INTCでのマスク/ クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位	
IRQ	IRQ[0]	H'240	INTPRI [31:28]	INTMSK0[31] INTMSKCLR0[31]	INTREQ[31]	—	↑ 高 ↓ 低	↑ 高 ↓ 低	
	IRQ[1]	H'280	INTPRI [27:24]	INTMSK0[30] INTMSKCLR0[30]	INTREQ[30]	—			
	IRQ[2]	H'2C0	INTPRI [23:20]	INTMSK0[29] INTMSKCLR0[29]	INTREQ[29]	—			
	IRQ[3]	H'300	INTPRI [19:16]	INTMSK0[28] INTMSKCLR0[28]	INTREQ[28]	—			
	IRQ[4]	H'340	INTPRI [15:12]	INTMSK0[27] INTMSKCLR0[27]	INTREQ[27]	—			
	IRQ[5]	H'380	INTPRI [11:8]	INTMSK0[26] INTMSKCLR0[26]	INTREQ[26]	—			
	IRQ[6]	H'3C0	INTPRI [7:4]	INTMSK0[25] INTMSKCLR0[25]	INTREQ[25]	—			
	IRQ[7]	H'200	INTPRI [3:0]	INTMSK0[24] INTMSKCLR0[24]	INTREQ[24]	—			
RTC	ATI	H'480	INT2PRI1 [4:0]	INT2MSKR[2]	INT2A0[2]	INT2B1[0]	↑ 高 ↓ 低		
	PRI	H'4A0		INT2MSKR[2]	INT2A1[2]	INT2B1[1]			
	CUI	H'4C0				INT2B1[2]			
WDT	IT1*	H'560	INT2PRI2 [12:8]	INT2MSKR[5] INT2MSKCR[5]	INT2A0[5] INT2A1[5]	—			
TMU-ch0	TUNIO*	H'580	INT2PRI0 [28:24]	INT2MSKR[0] INT2MSKCR[0]	INT2A0[0] INT2A1[0]	INT2B0[0]			
TMU-ch1	TUN1*	H'5A0				INT2PRI0 [20:16]	INT2B0[1]		
TMU-ch2	TUN2*	H'5C0				INT2PRI0 [12:8]	INT2B0[2]		
	TICPI2*	H'5E0				INT2PRI0 [4:0]	INT2B0[3]		
H-UDI	H-UDI1	H'600	INT2PRI3 [28:24]	INT2MSKR[7] INT2MSKCR[7]	INT2A0[7] INT2A1[7]	—			
DMAC (0)	DMINT0*	H'640	INT2PRI3 [20:16]	INT2MSKR[8] INT2MSKCR[8]	INT2A0[8] INT2A1[8]	INT2B3[0]	↑ 高 ↓ 低		
	DMINT1*	H'660				INT2B3[1]			
	DMINT2*	H'680				INT2B3[2]			
	DMINT3*	H'6A0				INT2B3[3]			
	DMAE (ch0~5) *	H'6C0				INT2B3[12]			
	DMAE (ch6~11) *					INT2B3[13]			
SCIF-ch0	ERIO*	H'700	INT2PRI2 [28:24]	INT2MSKR[3] INT2MSKCR[3]	INT2A0[3] INT2A1[3]	INT2B2[0]	↑ 高 ↓ 低		
	RXIO*	H'720				INT2B2[1]			
	BRI0*	H'740				INT2B2[2]			
	TXIO*	H'760				INT2B2[3]			

10. 割り込みコントローラ (INTC)

割り込み要因		INTEVT (例外コード)	割り込み 優先順位	INTCでのマスク/ クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位
DMAC (0)	DMINT4*	H'780	INT2PRI3 [20:16]	INT2MSKR[8] INT2MSKCR[8]	INT2A0[8] INT2A1[8]	INT2B3[4] INT2B3[5]	高 低	↑ 高 ↓ 低
	DMINT5*	H'7A0						
DMAC (1)	DMINT6*	H'7C0	INT2PRI3 [12:8]	INT2MSKR[9] INT2MSKCR[9]	INT2A0[9] INT2A1[9]	INT2B3[6] INT2B3[7]	高 低	
	DMINT7*	H'7E0						
CMT	CMTI	H'900	INT2PRI4 [28:24]	INT2MSKR[12] INT2MSKCR[12]	INT2A0[12] INT2A1[12]	-		
HAC	HACI	H'980	INT2PRI4 [20:16]	INT2MSKR[13] INT2MSKCR[13]	INT2A0[13] INT2A1[13]	-		
PCIC (0)	PCISERR	H'A00	INT2PRI4 [12:8]	INT2MSKR[14] INT2MSKCR[14]	INT2A0[14] INT2A1[14]	INT2B4[0]		
PCIC (1)	PCIINTA	H'A20	INT2PRI4 [4:0]	INT2MSKR[15] INT2MSKCR[15]	INT2A0[15] INT2A1[15]	INT2B4[1]		
PCIC (2)	PCIINTB	H'A40	INT2PRI5 [28:24]	INT2MSKR[16] INT2MSKCR[16]	INT2A0[16] INT2A1[16]	INT2B4[2]		
PCIC (3)	PCIINTC	H'A60	INT2PRI5 [20:16]	INT2MSKR[17] INT2MSKCR[17]	INT2A0[17] INT2A1[17]	INT2B4[3]		
PCIC (4)	PCIINTD	H'A80	INT2PRI5 [12:8]	INT2MSKR[18] INT2MSKCR[18]	INT2A0[18] INT2A1[18]	INT2B4[4]		
PCIC (5)	PCIERR	H'AA0	INT2PRI5 [4:0]	INT2MSKR[19] INT2MSKCR[19]	INT2A0[19] INT2A1[19]	INT2B4[5]	高 ↑ ↓ 低	
	PCIPWD3	H'AC0				INT2B4[6]		
	PCIPWD2	H'AE0				INT2B4[7]		
	PCIPWD1	H'B00				INT2B4[8]		
	PCIPWD0	H'B20				INT2B4[9]		
SCIF-ch1	ERI1*	H'B80	INT2PRI2 [20:16]	INT2MSKR[4] INT2MSKCR[4]	INT2A0[4] INT2A1[4]	INT2B2[4]	高 ↑ ↓ 低	
	RX11*	H'BA0				INT2B2[5]		
	BRI1*	H'BC0				INT2B2[6]		
	TX1*	H'BE0				INT2B2[7]		
SIOF	SIOFI	H'C00	INT2PRI6 [28:24]	INT2MSKR[14] INT2MSKCR[14]	INT2A0[14] INT2A1[14]	-		
HSPI	SPII	H'C80	INT2PRI6 [20:16]	INT2MSKR[21] INT2MSKCR[21]	INT2A0[21] INT2A1[21]	-		
MMCIF	FSTAT	H'D00	INT2PRI6 [12:8]	INT2MSKR[22] INT2MSKCR[22]	INT2A0[22] INT2A1[22]	INT2B5[0]	高 ↑ ↓ 低	
	TRAN	H'D20				INT2B5[1]		
	ERR	H'D40				INT2B5[2]		
	FRDY	H'D60				INT2B5[3]		
DMAC (1)	DMINT8*	H'D80	INT2PRI3 [12:8]	INT2MSKR[9] INT2MSKCR[9]	INT2A0[9] INT2A1[9]	INT2B3[8]	高 ↑ ↓ 低	
	DMINT9*	H'DA0				INT2B3[9]		
	DMINT10*	H'DC0				INT2B3[10]		
	DMINT11*	H'DE0				INT2B3[11]		

## 10. 割り込みコントローラ (INTC)

割り込み要因		INTEVT (例外コード)	割り込み 優先順位	INTCでのマスク/ クリアレジスタ	要因表示 レジスタ	詳細表示 レジスタ	要因内での 優先順位	デフォルト 優先順位
TMU-ch3	TUNI3*	H'E00	INT2PRI1 [28:24]	INT2MSKR[1] INT2MSKCR[1]	INT2A0[1] INT2A1[1]	INT2B0[4]		高 ↑
TMU-ch4	TUNI4*	H'E20	INT2PRI1 [20:16]			INT2B0[5]		
TMU-ch5	TUNI5*	H'E40	INT2PRI1 [12:8]			INT2B0[6]		
SSI	SSI	H'E80	INT2PRI6 [4:0]	INT2MSKR[23] INT2MSKCR[23]	INT2A0[23] INT2A1[23]	—		
FLCTL	FLSTE*	H'F00	INT2PRI7 [28:24]	INT2MSKR[24] INT2MSKCR[24]	INT2A0[24] INT2A1[24]	INT2B6[0]	高	↑ ↓ 低
	FLTEND*	H'F20				INT2B6[1]		
	FLTRQ0*	H'F40				INT2B6[2]		
	FLTRQ1*	H'F60				INT2B6[3]		
GPIO	GPIIO0 (ポート E0 端子)	H'F80	INT2PRI7 [20:16]	INT2MSKR[25] INT2MSKCR[25]	INT2A0[25] INT2A1[25]	INT2B7[0]	高	↑ ↓ 低
	GPIIO0 (ポート E1 端子)					INT2B7[1]		
	GPIIO0 (ポート E2 端子)					INT2B7[2]		
	GPIO1 (ポート E3 端子)	H'FA0	INT2B7[8]					
	GPIO1 (ポート E4 端子)		INT2B7[9]					
	GPIO1 (ポート E5 端子)		INT2B7[10]					
	GPIO2 (ポート H0 端子)	H'FC0	INT2B7[16]					
	GPIO2 (ポート H1 端子)		INT2B7[17]					
	GPIO2 (ポート J0 端子)		INT2B7[18]					
	GPIO2 (ポート K4 端子)	H'FE0	INT2B7[19]					
	GPIO3 (ポート K5 端子)		INT2B7[24]					
	GPIO3 (ポート E6 端子)		INT2B7[25]	低				

### 【記号説明】

ITI	: WDT インターバルタイマ割り込み
TUNI0~TUNI5	: TMU チャンネル 0~5 アンダフロー割り込み
TICPI2	: TMU チャンネル 2 インพุットキャプチャ割り込み
DMINT0~DMINT11	: DMAC チャンネル 0~11 転送終了/ハーフエンド割り込み
DMAE	: DMAC アドレスエラー割り込み (チャンネル 0~11 共通)
ERI0、ERI1	: SCIF チャンネル 0、1 受信エラー割り込み
RX10、RX11	: SCIF チャンネル 0、1 受信データフル割り込み
BRI0、BRI1	: SCIF チャンネル 0、1 ブレーク割り込み要求
TX10、TX11	: SCIF チャンネル 0、1 送信データエンプティ割り込み
FLSTE	: FLCTL エラー割り込み
FLTEND	: FLCTL エラー割り込み
FLTRQ0	: FLCTL データ FIFO 転送要求割り込み
FLTRQ1	: FLCTL 管理コード FIFO 転送要求割り込み

## 10.5 動作説明

### 10.5.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 10.4 に割り込み動作フローを示します。

1. 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
2. 割り込みコントローラでは、送られた割り込み要求の中からINTPRI、INT2PRI0～INT2PRI7にしたがって、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表10.12に従って最も優先順位の高い割り込みが選択されます。
3. 割り込みコントローラで選択された割り込みの優先レベルとCPUのSRの割り込みマスクレベル (IMASK) とが比較されます。IMASKビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
4. CPUは、命令の切れ目で割り込みを受け付けます。
5. 割り込み事象レジスタ (INTEVT) に例外コード (割り込み要因コード) がセットされます。
6. ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれSSRとSPCに退避されます。そのときのR15をSGRに退避します。
7. SRのブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が1にセットされます。
8. 割り込み関連の例外処理ルーチンの先頭番地 (バクタベースレジスタ (VBR) に設定された値とH'0000 0600の和) にジャンプします。

例外処理ルーチンでは、割り込み要因を識別するために、たとえば INTEVT レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】**
1. CPU 動作モードレジスタの INTMU ビット (CPUOPM.INTMU) が 1 に設定されている場合は、SR の割り込みマスクレベル (SR.IMASK) は、受け付けられた割り込みレベルに自動的に設定されます。CPUOPM.INTMU ビットが 0 に設定されている場合は、割り込み受理によって SR.IMASK が影響されることはありません。
  2. 割り込み要因フラグは、割り込み処理ルーチンの中でクリアしてください。クリアしたはずの割り込み要因を誤って再度受け付けないようにするために、クリア後、要因フラグを読み出し、その後、表 10.13 で示される時間待ってから、BL ビットをクリアするか、RTE 命令を実行します。
  3. IRQ 割り込み、IRL 割り込み、および内蔵モジュール割り込みは、パワーオンリセットで割り込みマスク状態に初期化されます。INTMSKCLR0、INTMSK1、INT2MSKCR を使用して、要因ごとの割り込みマスク (INTMSK0、INTMSK1、INT2MSKR) をクリアする必要があります。

## 10. 割り込みコントローラ (INTC)

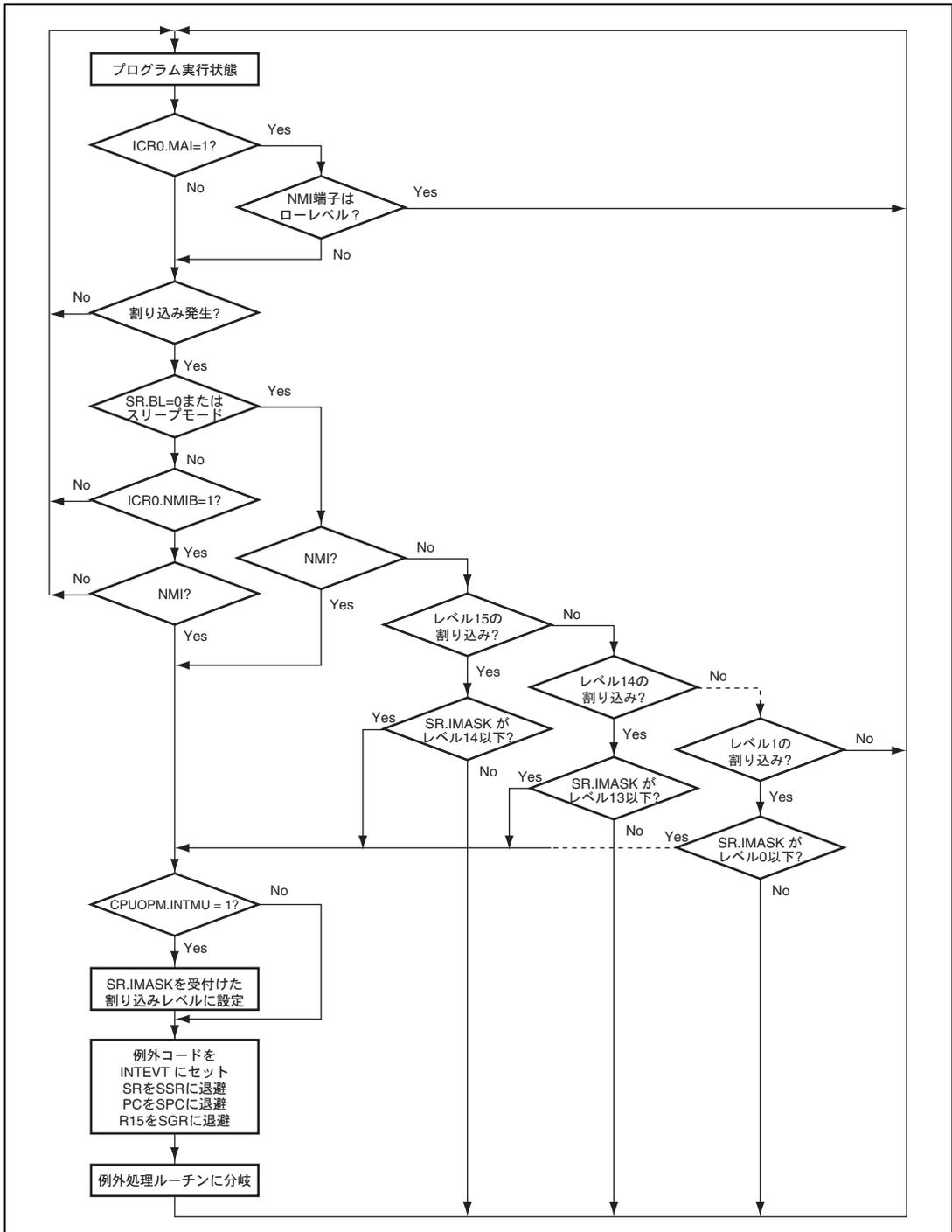


図10.4 割り込み動作フロー

### 10.5.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

1. 割り込み要因を判定するために、INTEVTの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
2. 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
3. SPC、SSRをスタックに退避します。
4. SRのBLビットをクリアします。CPUOPM.INTMU=1のときは、SRレジスタの割り込みマスクレベル (IMASK) は受け付けた割り込みレベルに自動的に設定されます。CPUOPM.INTMU=0のときは、SRの割り込みマスクレベル (IMASK) を、ソフトウェアにより受け付けた割り込みレベルに設定します。
5. この後、実際に行いたい処理を書きます。
6. SRのBLビットを1にセットします。
7. SSRとSPCをメモリから復帰します。
8. RTE命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、4.の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。

### 10.5.3 MAI ビットによる割り込みマスク

ICR0のMAIビットを1に設定することにより、NMI端子がローレベルの間、SRレジスタのBL、IMASKビットに関係なく割り込みをマスクすることができます。

- 通常動作時およびスリープモード時

NMI端子がローレベルの間、すべての割り込みをマスクします。ただし、NMI端子の変化によるNMI割り込みだけは発生します。

## 10. 割り込みコントローラ (INTC)

### 10.6 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外処理ルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 10.13 に示します。

表10.13 割り込み応答時間

項 目		ステート数					備 考
		NMI	IRL	IRQ	周辺モジュール		
					GPIO/PCIC/ RTC 以外	GPIO/PCIC/ RTC	
優先順位判定時間		5Bcyc+2Pcyc	8Bcyc+2Pcyc	4Bcyc+2Pcyc	5Pcyc	7Pcyc	
CPU が実行中のシーケンス 終了までの待ち時間		S-1 (≥0) × lcy					
割り込み例外処理 (SR、PC の退避) から、例外処理ルーチンの先頭命令 フェッチの SuperHyway バスリクエスト を発行するまでの時間		11lcy+1Scyc					
応答時間	合計	(S+10) lcy +1Scyc +5Bcyc +2Pcyc	(S+10) lcy +1Scyc +8Bcyc +2Pcyc	(S+10) lcy +1Scyc +4Bcyc +2Pcyc	(S+10) lcy +1Scyc +5Pcyc	(S+10) lcy +1Scyc +7Pcyc	
	最小時	29lcy +S × lcy	27lcy +S × lcy	35lcy +S × lcy	31lcy +S × lcy	39lcy +S × lcy	lcy:Scyc: Bcyc:Pcyc =4:4:2:1 のとき

【記号説明】

- lcy : CPU クロック (lck) の 1 サイクル期間
- Scyc : SuperHyway クロック (SHck) の 1 サイクル期間
- Bcyc : バスクロック (Bck) 出力 CLKOUT の 1 サイクル期間
- Pcyc : 周辺クロック (Pck) の 1 サイクル期間
- S : 命令実行ステート数

## 10.7 使用上の注意事項

### 10.7.1 保持機能選択時の割り込み要求クリア方法 (IRL 割り込み/IRQ レベル割り込み)

レベルセンスの IRQ モード (IRQ レベル割り込み) または IRL レベルエンコード割り込みが選択されている場合で、かつ、保持機能を使用する場合 (ICR0.LSH=0)、割り込み受け付け後、割り込み処理ルーチン内で保持された割り込み要求をクリアする必要があります。図 10.5 に検出回路で保持された割り込み要求をクリアする例を示します。

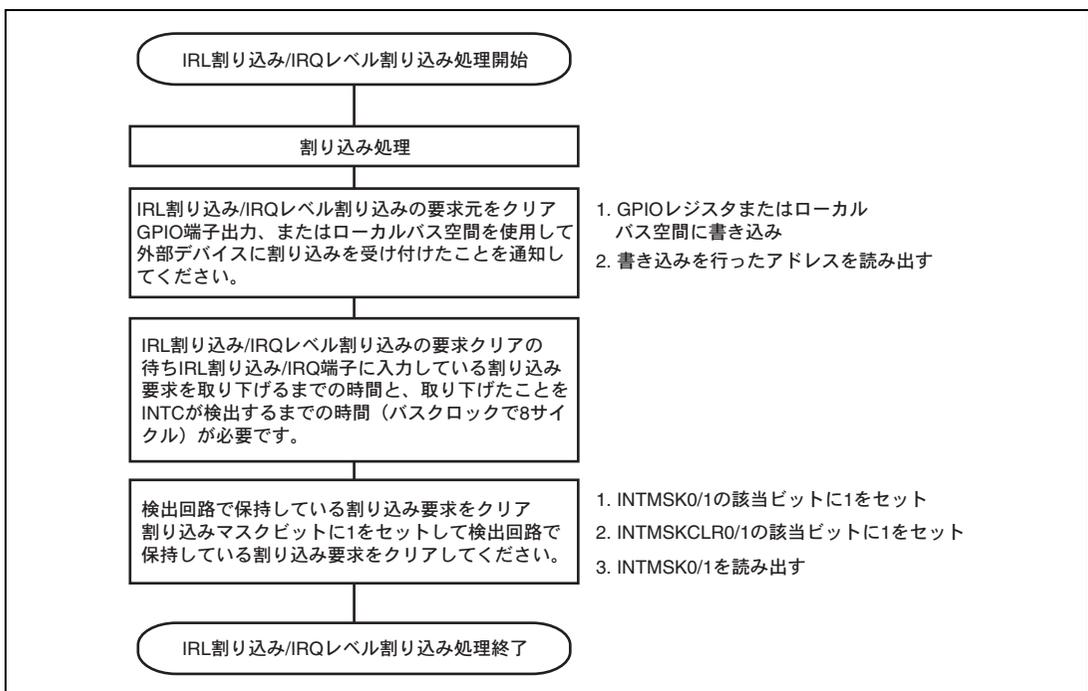


図10.5 割り込み処理ルーチンの例

CPU が割り込み要求を受け付けると、割り込み受け付けを外部デバイスに通知し、その割り込み要求を取り下げる必要があります。通知の例としては、GPIO (汎用 I/O ポート) を使用し受け付けレベルや端子情報を出力する方法や、ローカルバス空間の特別なアドレスに書き込む方法があります。このとき、GPIO レジスタやローカルバス空間への書き込みおよび読み出しは連続して実行する必要があります。

検出回路で保持された割り込み要求をクリアするためには、割り込み要求がクリアされたことを CPU が検出する時間を確保する必要があります。この時間の確保には、INTMSK0/1 および INTMSKCLR0/1 への書き込み、INTMSK0/1 の読み出しは連続して実行する必要があります。

## 10. 割り込みコントローラ (INTC)

### 10.7.2 IRQ/IRL[7:0]端子機能設定時の注意事項

IRQ/IRL[7:0]端子機能切り替え時に、割り込み要求を誤検出して INTC 内部で保持する可能性があります。したがって、IRL 割り込み要求および IRQ 割り込み要求をマスク状態に設定してから、IRQ/IRL[7:0]端子機能切り替えを行ってください。

表10.14 IRQ/IRL[7:0]端子機能切り替え手順

手順	項目	内容
1	IRL 割り込み要求、IRQ 割り込み要求をマスク	INTMSK0、INTMSK1の全ビットに1を書き込む
2	IRQ/IRL[7:4]端子を IRL7~4 に設定	PMSELR の PMSEL12 ビットに0を書き込む PECCR の PE6MD1 ビット、PE6MD0 ビットに0を書き込む
3	IRQ/IRL[7:0]端子を IRL または IRQ に設定。 レベル検出時は保持機能の使用有無を選択。	ICR0 の IRLM0 ビット、IRLM1 ビット、LSH ビットを設定する
4	IRL 割り込み要求、IRQ 割り込み要求の検出を開始	INTMSKCLR0、INTMSKCLR1の該当するビットに1を書き込む

### 10.7.3 IRL 割り込み要求および IRQ 割り込み要求のクリア方法

検出回路で保持している割り込み要求をクリアする場合、以下の手順で行ってください。

#### (1) IRL 割り込み要求のクリア方法

保持機能を使用する場合 (ICR0.LSH=0)、IRQ/IRL[3:0]端子の IRL 割り込み要求をクリアする場合は、INTMSK1 の IM10 ビットに1を、IRQ/IRL[7:4]端子の IRL 割り込み要求をクリアする場合は、INTMSK1 の IM11 ビットに1を書き込んでください。INTMSK2 でレベルごとのマスクをしても、検出している IRL 割り込み要求をクリアすることはできません。

保持機能を使用しない場合 (ICR0.LSH=1)、割り込み要求は保持されません。

#### (2) レベル検出設定時の IRQ 割り込み要求のクリア方法

保持機能を使用する場合 (ICR0.LSH=0)、レベル検出設定をしている IRQ7~IRQ0 割り込み要求のクリアは、INTMSK0 の該当するビット IM07~IM00 に1を書き込んでください。INTPRI で該当するビットに0を書き込んでも、検出している IRQ 割り込み要求をクリアすることはできません。検出している IRQ 割り込み要求 (CPU が割り込みを受け付けるとクリアします) は INTREQ を読み出すことで確認できます。

保持機能を使用しない場合 (ICR0.LSH=1)、割り込み要求は保持されませんが、割り込み要因は INTREQ の該当ビットにセットされ、CPU が割り込みを受け付けるとクリアされます。

#### (3) エッジ検出設定時の IRQ 割り込み要求のクリア方法

エッジ検出設定をしている IRQ7~IRQ0 割り込み要求のクリアは、INTREQ の該当するビット IR7~IR0 から1を読み出した後、0を書き込んでください。INTMSK0 で該当するビットに1を書き込んでも、検出している IRQ 割り込み要求をクリアすることはできません。

---

## 11. ローカルバスステートコントローラ (LBSC)

---

ローカルバスステートコントローラ (LBSC) は、外部メモリ空間の分割、各種のメモリおよびバスインタフェース仕様に応じた制御信号の出力などを行います。LBSC の機能によって、SRAM、ROM など本 LSI に接続することができ、PCMCIA インタフェースのプロトコルもサポートしていますので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

### 11.1 特長

LBSC には、次のような特長があります。

- 7つに分割した外部メモリ空間のうちエリア0~2、4~6を管理  
エリア0~2、4~6の各エリアは、最大64Mバイト  
各エリアのバス幅をレジスタにより設定可能 (エリア0のみ、外部端子により設定)  
 $\overline{\text{RDY}}$ 端子によりウェイトステート挿入可能  
ウェイトステート挿入をプログラムで制御可能  
エリアごとに接続できるメモリの種類を設定可能  
各エリアに接続するメモリの制御信号を出力  
連続したメモリアクセス時におけるデータバスの衝突回避のためのウェイトサイクル自動挿入機能  
低速メモリとの接続用に書き込みサイクル時のライトストロープのセットアップタイムとホールドタイム期間を挿入可能
- SRAMインタフェース  
ウェイトステート挿入をプログラムで制御可能  
 $\overline{\text{RDY}}$ 端子によるウェイトステート挿入  
接続可能エリア：エリア0~2、4~6  
設定可能バス幅：32、16、8ビット
- パーストROMインタフェース  
ウェイトステート挿入をプログラムで制御可能  
レジスタで設定した回数のパースト転送動作  
接続可能エリア：エリア0~2、4~6  
設定可能バス幅：32、16、8ビット
- MPXインタフェース  
アドレス・データマルチプレクス  
接続可能エリア：エリア0~2、4~6  
設定可能バス幅：32ビット

## 11. ローカルバスステートコントローラ (LBSC)

- バイト制御SRAMインタフェース
  - バイト制御可能なSRAMインタフェース
  - 接続可能エリア：エリア1、4
  - 設定可能バス幅：32、16ビット
- PCMCIAインタフェース
  - ウェイトステート挿入をプログラムで制御可能
  - I/Oバス幅のバスサイジング機能
  - リトルエンディアンのみサポート
  - 接続可能エリア：エリア5、6
  - 設定可能バス幅：16、8ビット
  - ATAデバイスアクセスのための機能

LBSC のブロック図を図 11.1 に示します。

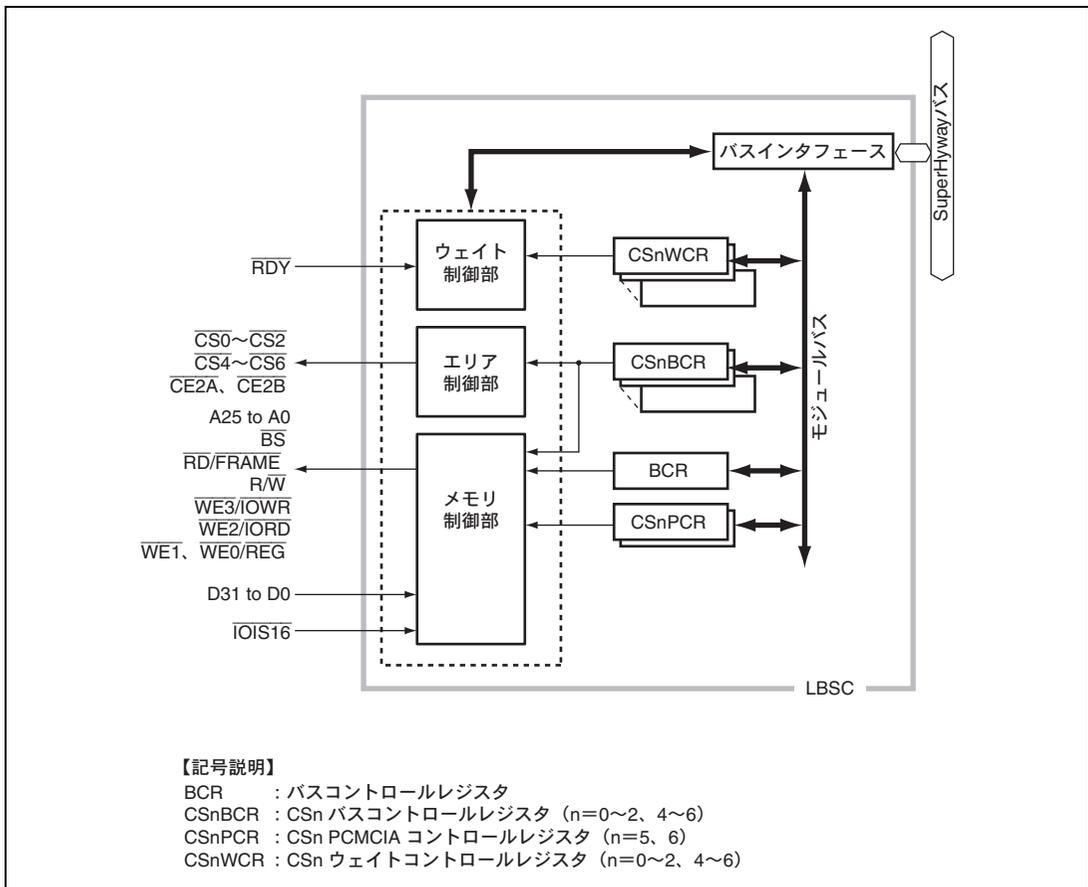


図 11.1 LBSC のブロック図

## 11.2 入出力端子

LBSC の端子構成を表 11.1 に示します。

表 11.1 端子構成

端子名	機能	入出力	説明
A25~A0	アドレスバス	出力	アドレス出力
D31~D0* <sup>1</sup>	データバス	入出力	データ入出力
$\overline{\text{BS}}$	バスサイクル開始	出力	バスサイクルの開始を示す信号 MPX インタフェース設定時、1 回のバースト転送につき 1 回アサート その他のバースト転送時、データサイクルごとにアサート
$\overline{\text{CS5}}\sim\overline{\text{CS4}}$ $\overline{\text{CS2}}\sim\overline{\text{CS0}}$	チップセレクト 6~4、2~0	出力	アクセス中のエリアを示すチップセレクト信号 $\overline{\text{CS5}}$ 、 $\overline{\text{CS6}}$ は、PCMCIA の $\overline{\text{CE1A}}$ 、 $\overline{\text{CE1B}}$ としても使用
$\text{R}/\overline{\text{W}}$	リード/ライト	出力	データバスの入出力方向指示信号 PCMCIA インタフェースの書き込み指示信号としても使用
$\text{RD}/\overline{\text{FRAME}}$	リード/サイクル フレーム	出力	リードサイクルを示すストロープ信号 MPX バス使用時、 $\overline{\text{FRAME}}$ 信号
$\overline{\text{WE0}}/\overline{\text{REG}}$	データイネーブル 0	出力	SRAM インタフェース設定時、D7~D0 対応のライトストロープ信号 PCMCIA インタフェース設定時、 $\overline{\text{REG}}$ 信号
$\overline{\text{WE1}}$	データイネーブル 1	出力	SRAM インタフェース設定時、D15~D8 対応のライトストロープ信号 PCMCIA インタフェース設定時、ライトストロープ信号
$\overline{\text{WE2}}/\overline{\text{IORD}}$	データイネーブル 2	出力	SRAM インタフェース設定時、D23~D16 対応のライトストロープ信号 PCMCIA インタフェース設定時、 $\overline{\text{IORD}}$ 信号
$\overline{\text{WE3}}/\overline{\text{IOWR}}$	データイネーブル 3	出力	SRAM インタフェース設定時、D31~D24 対応のライトストロープ信号 PCMCIA インタフェース設定時、 $\overline{\text{IOWR}}$ 信号
$\overline{\text{RDY}}$	レディ	入力	ウェイトステート要求信号
$\overline{\text{IOIS16}}^{*2}$	16 ビット I/O	入力	PCMCIA インタフェース設定時、16 ビット I/O 指示信号。リトルエンディアンモード時のみ有効。
$\overline{\text{BREQ}}^{*3}$	バス解放要求	入力	バス解放の要求信号
$\overline{\text{BACK}}$	バス使用許可	出力	バス使用の許可信号
$\overline{\text{CE2A}}^{*4}$ $\overline{\text{CE2B}}^{*4}$	PCMCIA カード セレクト	出力	PCMCIA 使用時、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ リトルエンディアンモード時のみ有効。
$\text{MODE3}^{*5}$ $\text{MODE4}^{*5}$	エリア 0 バス幅	入力	パワーオンリセット時、エリア 0 のバス幅、MPX インタフェース設定信号
$\text{MODE5}^{*6*10}$	エンディアン 切り替え	入力	パワーオンリセット時、エンディアン設定

## 11. ローカルバスステートコントローラ (LBSC)

端子名	機能	入出力	説明
DACK0 <sup>*7,*10</sup>	DMA チャンネル 0 転送終了通知	出力	DMAC チャンネル 0 のデータアクリッジ $\overline{\text{DREQ0}}^{*11}$ を出力した外部デバイスへの DMA 転送要求に対する外部デバイスへのストロブを出力
DACK1 <sup>*7,*10</sup>	DMA チャンネル 1 転送終了通知	出力	DMAC チャンネル 1 のデータアクリッジ $\overline{\text{DREQ1}}^{*11}$ を出力した外部デバイスへの DMA 転送要求に対する外部デバイスへのストロブを出力
DACK2 <sup>*8,*10</sup>	DMA チャンネル 2 転送終了通知	出力	DMAC チャンネル 2 のデータアクリッジ $\overline{\text{DREQ2}}^{*11}$ を出力した外部デバイスへの DMA 転送要求に対する外部デバイスへのストロブを出力
DACK3 <sup>*9,*10</sup>	DMA チャンネル 3 転送終了通知	出力	DMAC チャンネル 3 のデータアクリッジ $\overline{\text{DREQ3}}^{*11}$ を出力した外部デバイスへの DMA 転送要求に対する外部デバイスへのストロブを出力

【注】 \*1 これらの端子は、GPIO 端子とマルチプレクスされています。

\*2  $\overline{\text{IOIS16}}$  端子は TMU/RTC、GPIO 端子とマルチプレクスされています。

\*3  $\overline{\text{BREQ}}$  端子は GPIO 端子とマルチプレクスされています。

\*4  $\overline{\text{CE2A}}$  は CS5 バスコントロールレジスタ (CS5BCR) の TYPE ビットを B'100 としたとき、 $\overline{\text{CE2B}}$  は CS6 バスコントロールレジスタ (CS6BCR) の TYPE ビットを B'100 とした時に出力となります。

\*5 これらの端子は INTC、FLCTL 端子とマルチプレクスされています。

\*6 MODE5 端子は SCIF、MMCIF、GPIO 端子とマルチプレクスされています。

\*7 これらの端子は MODE、GPIO 端子とマルチプレクスされています。

\*8  $\overline{\text{DACK2}}$  端子は  $\overline{\text{MRESETOUT}}$ 、H-UDI、GPIO 端子とマルチプレクスされています。

\*9  $\overline{\text{DACK3}}$  端子は INTC、H-UDI、GPIO 端子とマルチプレクスされています。

\*10  $\overline{\text{DACK0}} \sim \overline{\text{DACK3}}$  端子は DMAC の CHCR0~CHCR3 の AL ビットで極性選択可能 (初期値はローアクティブ)。詳細は、「第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

\*11  $\overline{\text{DREQ0}} \sim \overline{\text{DREQ3}}$  端子は DMAC の CHCR0~CHCR3 の DL、DS ビットで極性、エッジ選択可能 (初期値はローアクティブ)。詳細は、「第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

## 11.3 エリアの概要

### 11.3.1 空間分割

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しています。仮想アドレス空間は、上位側アドレスの値によって 5 領域 (P0~P4) に分割されています。

本 LSI は、物理アドレス空間としては、29 ビットおよび 32 ビット両方のアドレスモードをサポートしています。LBSC は 29 ビットモードをサポートします。29 ビット物理アドレス空間は上位 3 ビットの値により 8 つのエリア (エリア 0~7) に分割され、LBSC は、エリア 0~2、4~6 の 6 つのエリアを制御することができます。各エリアには外部メモリ空間として最大 64M バイトのメモリを接続することができ、LBSC は 6 つのエリア合計で最大 384M バイトの外部メモリ空間を制御することができます。

LBSC は表 11.2 に示すように 6 つのエリアにおおの各種メモリ/PC カードを接続でき、おおのに対応してチップセレクト信号 ( $\overline{CS0} \sim \overline{CS2}$ 、 $\overline{CS4} \sim \overline{CS6}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ ) を出力します。エリア 0~2 のアクセス時に  $\overline{CS0} \sim \overline{CS2}$  が、エリア 4~6 のアクセス時に  $\overline{CS4} \sim \overline{CS6}$  がアサートされます。また、エリア 5 と 6 において、PCMCIA インタフェースを選択した場合、アクセスするバイトに対応して、 $\overline{CS5}$ 、 $\overline{CS6}$  に加えて、 $\overline{CE2A}$ 、 $\overline{CE2B}$  をアサートします。

エリア 3 は DDR-SDRAM 用のエリアで、DDR-SDRAM インタフェース (DDRIF) により制御されます。詳細は、「第 12 章 DDR-SDRAM インタフェース (DDRIF)」を参照してください。

メモリマップ選択レジスタ (MMSELR) の設定により、エリア 2、4、5 は DDR-SDRAM 空間として、また、エリア 4 は PCI メモリ空間として使用することもできます。PCI メモリ空間については、「第 13 章 PCI コントローラ (PCIC)」を参照してください。DDRIF および PCIC は 32 ビットアドレスモードもサポートします。エリア 7 はリザーブ領域です。

## 11. ローカルバスステートコントローラ (LBSC)

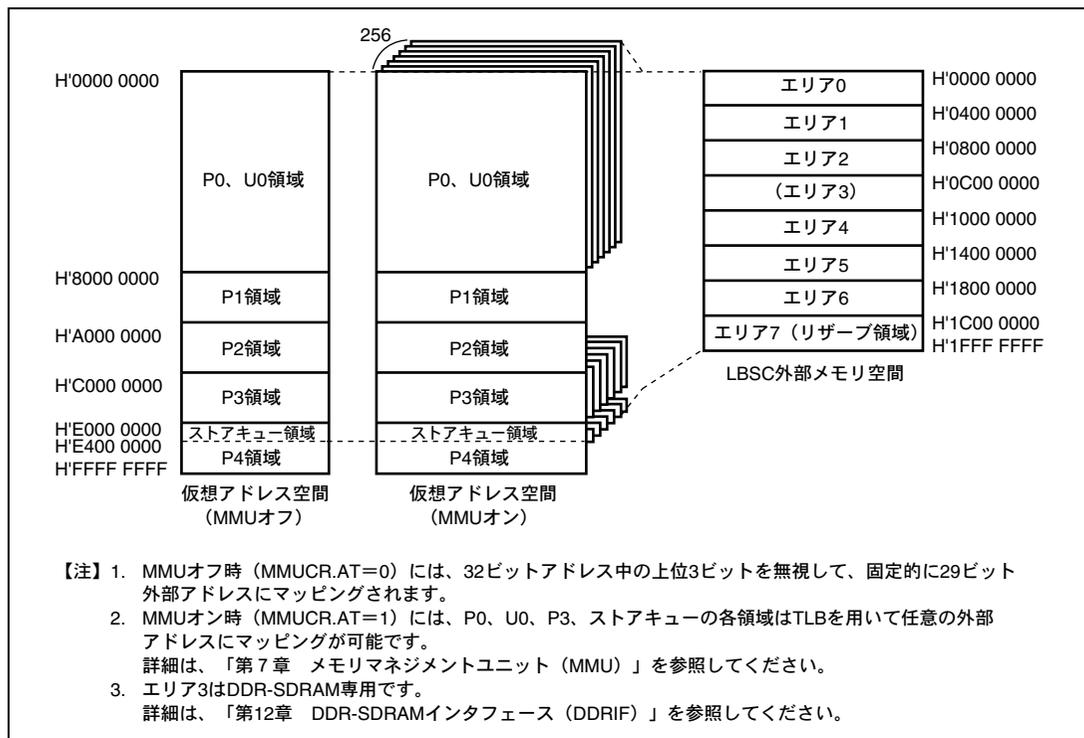


図 11.2 仮想アドレス空間と LBSC 外部メモリ空間の対応

表 11.2 LBSC 外部メモリ空間マップ

エリア	外部アドレス	容量	接続可能メモリ	設定可能 バス幅 (ビット)	アクセス サイズ*8
0	H'0000 0000～ H'03FF FFFF	64M バイト	SRAM	8、16、32*1	8、16、32 ビット、 32 バイト
			バースト ROM	8、16、32*1	
			MPX	32*1	
1	H'0400 0000～ H'07FF FFFF	64M バイト	SRAM	8、16、32*2	8、16、32 ビット、 32 バイト
			バースト ROM	8、16、32*2	
			MPX	32*2	
			バイト制御 SRAM	16、32*2	
2*4	H'0800 0000～ H'0BFF FFFF	64M バイト	SRAM	8、16、32*2	8、16、32 ビット、 32 バイト
			バースト ROM	8、16、32*2	
			MPX	32*2	
			(DDR-SDRAM)	32	8、16、32 ビット、 32 バイト
3*3	H'0C00 0000～ H'0FFF FFFF	64M バイト	(DDR-SDRAM)	32	8、16、32 ビット、 32 バイト
4*4*5	H'1000 0000～ H'13FF FFFF	64M バイト	SRAM	8、16、32*2	8、16、32 ビット、 32 バイト
			バースト ROM	8、16、32*2	
			MPX	32*2	
			バイト制御 SRAM	16、32*2	8、16、32 ビット、 32 バイト
			(DDR-SDRAM)	32	
			(PCI)	32	
5*4	H'1400 0000～ H'17FF FFFF	64M バイト	SRAM	8、16、32*2	8、16、32 ビット、 32 バイト
			MPX	32*2	
			バースト ROM	8、16、32*2	
			PCMCIA	8、16*2*5	
			(DDR-SDRAM)	32	8、16、32 ビット、 32 バイト
6	H'1800 0000～ H'1BFF FFFF	64M バイト	SRAM	8、16、32*2	8、16、32 ビット、 32 バイト
			MPX	32*2	
			バースト ROM	8、16、32*2	
			PCMCIA	8、16*2*5	
7*7	H'1C00 0000～ H'1FFF FFFF	64M バイト	-	-	-

【注】 \*1 外部端子でメモリバス幅を指定します。

\*2 レジスタでメモリバス幅を指定します。

\*3 エリア 3 は DDR-SDRAM 用のエリアです。詳細は、「第 12 章 DDR-SDRAM インタフェース」を参照してくだ

## 11. ローカルバスステートコントローラ (LBSC)

- さい。
- \*4 該当エリアを、MMSEL $\overline{R}$ の設定により、DDRIFに割り当てることができます。詳細は「第12章 DDR-SDRAM インタフェース (DDRIF)」を参照してください。
  - \*5 該当エリアを、MMSEL $\overline{R}$ の設定により、PCICに割り当てることができます。詳細は「第13章 PCI コントローラ (PCIC)」を参照してください。
  - \*6 PCMCIA インタフェース使用時は、バス幅は8、16ビットのいずれかのみです。
  - \*7 エリア7はリザーブ領域です。リザーブ領域にはアクセスしないでください。アクセスした場合、動作の保証はできません。
  - \*8 LBSCが8、16バイトのアクセスをバスマスタから要求された場合、アクセスサイズ32ビットとして、それぞれ2回、4回のアクセスを行います。

エリア0:	H'0000 0000	SRAM/バーストROM/MPX	} PCMCIA インタフェースは、メモリ、I/O カード兼用
エリア1:	H'0400 0000	SRAM/バーストROM/MPX/ バイト制御SRAM	
エリア2:	H'0800 0000	SRAM/バーストROM/MPX/ DDR-SDRAM	
エリア3:	H'0C00 0000	DDR-SDRAM	
エリア4:	H'1000 0000	SRAM/バーストROM/MPX/ バイト制御SRAM/DDR-SDRAM/PCI	
エリア5: (前半)	H'1400 0000	SRAM/バーストROM/MPX/ PCMCIA (前半、後半) /DDR-SDRAM	
(後半)	H'1600 0000		
エリア6: (前半)	H'1800 0000	SRAM/バーストROM/MPX/ PCMCIA (前半、後半)	
(後半)	H'1A00 0000		

図 11.3 外部メモリ空間割り付け (29 ビットアドレスモード)

### 11.3.2 メモリバス幅

LBSC のメモリバス幅は、空間ごとに設定できます。エリア0では、 $\overline{\text{PRESET}}$  端子によるパワーオンリセット時に外部端子を用いてバスサイズを8ビット、16ビット、32ビットから選ぶことができます。パワーオンリセット時に外部端子 (MODE4、MODE3) とバス幅の関係を表 11.3 に示します。

表 11.3 エリア0メモリバス幅の設定

MODE4	MODE3	バス幅
Low	Low	MPX インタフェース (32 ビット)
Low	High	8 ビット
High	Low	16 ビット
High	High	32 ビット

エリア 1~2、4~6 で SRAM インタフェース、ROM のいずれかを使用する場合は、CSn バスコントロールレジスタ (CSnBCR) によってバス幅を 8 ビット、16 ビット、32 ビットから選ぶことができます。バースト ROM を使用する場合、バス幅を 8 ビット、16 ビット、32 ビットから選ぶことができます。バイト制御 SRAM インタフェースを使用する場合、バス幅を 16 ビット、32 ビットから選ぶことができます。MPX インタフェースを使用する場合、バス幅を 32 ビットに設定してください。

PCMCIA インタフェースを使用する場合は、バス幅は 8 ビットまたは 16 ビットに設定してください。詳細は、「11.5.5 PCMCIA インタフェース」を参照してください。

詳しくは、「11.4.3 CSn バスコントロールレジスタ (CSnBCR)」を参照してください。

DDR-SDRAM および PCI のバス幅は 32 ビットです。詳細は、「第 12 章 DDR-SDRAM インタフェース (DDRIF)」および「第 13 章 PCI コントローラ (PCIC)」の章を参照してください。

### 11.3.3 データアライメント

本 LSI では、データアライメントとしてビッグエンディアンとリトルエンディアンをサポートします。データアライメントは、パワーオンリセット時の外部端子 (MODE5) の設定で決まります。

表 11.4 外部端子 (MODE5) とエンディアンの対応

MODE5	データアライメント
Low	ビッグエンディアン
High	リトルエンディアン

### 11.3.4 PCMCIA サポート

本 LSI では、外部メモリ空間のエリア 5 と 6 で PCMCIA のインタフェース仕様をサポートします。

サポートするインタフェースは、JEIDA 仕様 Ver4.2 (PCMCIA2.1) で定められた"IC メモリカードインタフェース"と"I/O カードインタフェース"です。

外部メモリ空間のエリア 5 と 6 では、"IC メモリカードインタフェース"と"I/O カードインタフェース"の両方をサポートします。

PCMCIA インタフェースは、リトルエンディアンモードでのみサポートされます。

表 11.5 PCMCIA インタフェースの特長

項目	特長
アクセス	ランダムアクセス
データバス	8/16 ビット
メモリアイプ	マスク ROM、OTPROM、EPROM、EEPROM、フラッシュメモリ、SRAM、ATA デバイス
コモンメモリ容量	最大 64M バイト
アトリビュート部容量	最大 64M バイト
その他	I/O バス幅のダイナミックバスサイジング、ATA デバイスコントロールレジスタへのアクセス

## 11. ローカルバスステートコントローラ (LBSC)

表 11.6 PCMCIA サポートインタフェース

端子	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI 対応端子
	信号名	I/O	機能	信号名	I/O	機能	
1	GND		グラウンド	GND		グラウンド	—
2	D3	I/O	データ	D3	I/O	データ	D3
3	D4	I/O	データ	D4	I/O	データ	D4
4	D5	I/O	データ	D5	I/O	データ	D5
5	D6	I/O	データ	D6	I/O	データ	D6
6	D7	I/O	データ	D7	I/O	データ	D7
7	$\overline{CE1}$	I	カードイネーブル	$\overline{CE1}$	I	カードイネーブル	$\overline{CS5}$ または $\overline{CS6}$
8	A10	I	アドレス	A10	I	アドレス	A10
9	$\overline{OE}$	I	出カイネーブル	$\overline{OE}$	I	出カイネーブル	$\overline{RD}$
10	A11	I	アドレス	A11	I	アドレス	A11
11	A9	I	アドレス	A9	I	アドレス	A9
12	A8	I	アドレス	A8	I	アドレス	A8
13	A13	I	アドレス	A13	I	アドレス	A13
14	A14	I	アドレス	A14	I	アドレス	A14
15	$\overline{WE}$	I	ライトイネーブル	$\overline{WE}$	I	ライトイネーブル	$\overline{WE1}$
16	$\overline{READY}$	O	レディ	$\overline{IREQ}$	O	割り込み要求	ポートでセンス
17	VCC		動作電源	VCC		動作電源	—
18	VPP1 (VPP)		プログラム電源	VPP1 (VPP)		プログラム/ ペリフェラル用電源	—
19	A16	I	アドレス	A16	I	アドレス	A16
20	A15	I	アドレス	A15	I	アドレス	A15
21	A12	I	アドレス	A12	I	アドレス	A12
22	A7	I	アドレス	A7	I	アドレス	A7
23	A6	I	アドレス	A6	I	アドレス	A6
24	A5	I	アドレス	A5	I	アドレス	A5
25	A4	I	アドレス	A4	I	アドレス	A4
26	A3	I	アドレス	A3	I	アドレス	A3
27	A2	I	アドレス	A2	I	アドレス	A2
28	A1	I	アドレス	A1	I	アドレス	A1
29	A0	I	アドレス	A0	I	アドレス	A0
30	D0	I/O	データ	D0	I/O	データ	D0
31	D1	I/O	データ	D1	I/O	データ	D1
32	D2	I/O	データ	D2	I/O	データ	D2
33	$\overline{WP}^{*1}$	O	ライトプロテクト	$\overline{IOIS16}$	O	16 ビット I/O ポート	$\overline{IOIS16}$
34	GND		グラウンド	GND		グラウンド	—
35	GND		グラウンド	GND		グラウンド	—
36	$\overline{CD1}$	O	カード検出	$\overline{CD1}$	O	カード検出	ポートでセンス
37	D11	I/O	データ	D11	I/O	データ	D11

## 11. ローカルバスステートコントローラ (LBSC)

端子	IC メモリカードインタフェース			I/O カードインタフェース			本 LSI 対応端子
	信号名	I/O	機能	信号名	I/O	機能	
38	D12	I/O	データ	D12	I/O	データ	D12
39	D13	I/O	データ	D13	I/O	データ	D13
40	D14	I/O	データ	D14	I/O	データ	D14
41	D15	I/O	データ	D15	I/O	データ	D15
42	$\overline{CE2}$	I	カードイネーブル	$\overline{CE2}$	I	カードイネーブル	$\overline{CE2A}$ または $\overline{CE2B}$
43	RFSH ( $\overline{VS1}$ )	I	リフレッシュ要求	RFSH ( $\overline{VS1}$ )	I	リフレッシュ要求	ポートから出力
44	RSRVD		リザーブ	$\overline{IORD}$	I	I/O リード	$\overline{IORD}$
45	RSRVD		リザーブ	$\overline{IOWR}$	I	I/O ライト	$\overline{IOWR}$
46	A17	I	アドレス	A17	I	アドレス	A17
47	A18	I	アドレス	A18	I	アドレス	A18
48	A19	I	アドレス	A19	I	アドレス	A19
49	A20	I	アドレス	A20	I	アドレス	A20
50	A21	I	アドレス	A21	I	アドレス	A21
51	VCC		電源	VCC		電源	—
52	VPP2 (VPP)		プログラム電源	VPP2 (VPP)		プログラム/ ペリフェラル用電源	—
53	A22	I	アドレス	A22	I	アドレス	A22
54	A23	I	アドレス	A23	I	アドレス	A23
55	A24	I	アドレス	A24	I	アドレス	A24
56	A25	I	アドレス	A25	I	アドレス	A25
57	RSRVD		リザーブ	RSRVD		リザーブ	—
58	RESET	I	リセット	RESET	I	リセット	ポートから出力
59	WAIT	O	ウェイト要求	WAIT	O	ウェイト要求	$\overline{RDY}^{*2}$
60	RSRVD		リザーブ	$\overline{INPACK}$	O	入力応答	—
61	$\overline{REG}$	I	アトリビュート メモリ空間セレクト	$\overline{REG}$	I	アトリビュート メモリ空間セレクト	$\overline{REG}$
62	BVD2	O	電池電圧検出	SPKR	O	デジタル音声信号	ポートでセンス
63	BVD1	O	電池電圧検出	$\overline{STSCHG}$	O	カード状態変化	ポートでセンス
64	D8	I/O	データ	D8	I/O	データ	D8
65	D9	I/O	データ	D9	I/O	データ	D9
66	D10	I/O	データ	D10	I/O	データ	D10
67	$\overline{CD2}$	O	カード検出	$\overline{CD2}$	O	カード検出	ポートでセンス
68	GND		グラウンド	GND		グラウンド	—

【注】 \*1  $\overline{WP}$  はサポートしていません。

「I/O」は PCMCIA カードにおける入出力。

極性は、PCMCIA カードインタフェースはカード側、本 LSI 対応端子は本 LSI 側での極性を示します。

\*2 極性に注意してください。

「I/O」は PCMCIA カードにおける入出力。

極性は、PCMCIA カードインタフェースはカード側、本 LSI 対応端子は本 LSI 側での極性を示します。

## 11. ローカルバスステートコントローラ (LBSC)

### 11.4 レジスタの説明

LBSC のレジスタ構成を表 11.7 に示します。また、各処理モードにおけるレジスタの状態を表 11.8 に示します。

LBSC には表 11.7 に示すように、16 本のレジスタがあります。これらのレジスタにより、各種メモリとのインタフェース、ウェイトステートなどの制御を行います。

表 11.7 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス	エリア7 アドレス	アクセス サイズ*
メモリアドレスマップ選択レジスタ	MMSELR	R/W	H'FF40 0020	H'1F40 0020	32
バスコントロールレジスタ	BCR	R/W	H'FF80 1000	H'1F80 1000	32
CS0 バスコントロールレジスタ	CS0BCR	R/W	H'FF80 2000	H'1F80 2000	32
CS1 バスコントロールレジスタ	CS1BCR	R/W	H'FF80 2010	H'1F80 2010	32
CS2 バスコントロールレジスタ	CS2BCR	R/W	H'FF80 2020	H'1F80 2020	32
CS4 バスコントロールレジスタ	CS4BCR	R/W	H'FF80 2040	H'1F80 2040	32
CS5 バスコントロールレジスタ	CS5BCR	R/W	H'FF80 2050	H'1F80 2050	32
CS6 バスコントロールレジスタ	CS6BCR	R/W	H'FF80 2060	H'1F80 2060	32
CS0 ウェイトコントロールレジスタ	CS0WCR	R/W	H'FF80 2008	H'1F80 2008	32
CS1 ウェイトコントロールレジスタ	CS1WCR	R/W	H'FF80 2018	H'1F80 2018	32
CS2 ウェイトコントロールレジスタ	CS2WCR	R/W	H'FF80 2028	H'1F80 2028	32
CS4 ウェイトコントロールレジスタ	CS4WCR	R/W	H'FF80 2048	H'1F80 2048	32
CS5 ウェイトコントロールレジスタ	CS5WCR	R/W	H'FF80 2058	H'1F80 2058	32
CS6 ウェイトコントロールレジスタ	CS6WCR	R/W	H'FF80 2068	H'1F80 2068	32
CS5PCMCIA コントロールレジスタ	CS5PCR	R/W	H'FF80 2070	H'1F80 2070	32
CS6PCMCIA コントロールレジスタ	CS6PCR	R/W	H'FF80 2080	H'1F80 2080	32

【注】 \* 指定アクセスサイズ以外でのアクセスは行わないでください。

表 11.8 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ
メモリアドレスマップ選択レジスタ	MMSELR	H'0000 0000	H'0000 0000	保持
バスコントロールレジスタ	BCR	H'x000 0000*	保持	保持
CS0 バスコントロールレジスタ	CS0BCR	H'7777 7770	保持	保持
CS1 バスコントロールレジスタ	CS1BCR	H'7777 7770	保持	保持
CS2 バスコントロールレジスタ	CS2BCR	H'7777 7770	保持	保持
CS4 バスコントロールレジスタ	CS4BCR	H'7777 7770	保持	保持
CS5 バスコントロールレジスタ	CS5BCR	H'7777 7770	保持	保持
CS6 バスコントロールレジスタ	CS6BCR	H'7777 7770	保持	保持
CS0 ウェイトコントロールレジスタ	CS0WCR	H'7777 770F	保持	保持
CS1 ウェイトコントロールレジスタ	CS1WCR	H'7777 770F	保持	保持
CS2 ウェイトコントロールレジスタ	CS2WCR	H'7777 770F	保持	保持
CS4 ウェイトコントロールレジスタ	CS4WCR	H'7777 770F	保持	保持
CS5 ウェイトコントロールレジスタ	CS5WCR	H'7777 770F	保持	保持
CS6 ウェイトコントロールレジスタ	CS6WCR	H'7777 770F	保持	保持
CS5PCMCIA コントロールレジスタ	CS5PCR	H'7700 0000	保持	保持
CS6PCMCIA コントロールレジスタ	CS6PCR	H'7700 0000	保持	保持

【注】 \* ビット 31 の値は外部端子 (MODE5) の設定によります。

## 11. ローカルバスステートコントローラ (LBSC)

### 11.4.1 メモリアドレスマップ選択レジスタ (MMSELR)

メモリアドレスマップ選択レジスタ (MMSELR) は 32 ビット幅のレジスタで、エリア 2 からエリア 5 の空間について、メモリアドレスマップの選択を行います。本レジスタへのアクセスは、アドレス H'FF40 0020 に対して行ってください。また、書き込み、読み出しとも、ロングワードで行ってください。書き込みは、誤書き込みを防ぐため、上位ワードが H'A5A5 の場合のみ受け付けられます。読み出しする場合、上位 29 ビットは 0 が読み出されます。本レジスタは、パワーオンリセット、およびマニュアルリセットで H'0000 0000 に初期化されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W													
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	AREASEL		
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R/W	リザーブビット 本レジスタの AREASEL (ビット 2~0) に書き込む時のみ H'A5A5 に設定してください (書き込んでください)。 読み出すと常に 0 が読み出されます。
15~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	AREASEL	000	R/W	DDRIF/PCIC メモリ空間選択 000 : エリア 3 (H'0C00 0000~H'0FFF FFFF) を DDRIF 空間とし、 その他のエリアを LBSC 空間とする。 001 : エリア 3 (H'0C00 0000~H'0FFF FFFF) を DDRIF 空間、 エリア 4 (H'1000 0000~H'13FF FFFF) を PCI メモリ空間とし、 その他のエリアを LBSC 空間とする。 010 : エリア 2、3 (H'0800 0000~H'0FFF FFFF) を DDRIF 空間とし、 その他のエリアを LBSC 空間とする。 011 : エリア 2、3 (H'0800 0000~H'0FFF FFFF) を DDRIF 空間、 エリア 4 (H'1000 0000~H'13FF FFFF) を PCIC 空間とし、 その他のエリアを LBSC 空間とする。 100 : エリア 2~5 (H'0800 0000~H'17FF FFFF) を DDRIF 空間とする。 101~111 : 設定禁止

本レジスタへの書き込みは必ず CPU により行ってください。本レジスタに書き込みを行う時には、DMAC、および PCIC からのアクセスが発生しない様に設定した上で、本レジスタへの書き込みを行う MOV 命令の直前に SYNCO 命令を置くなどし、未処理のアクセスがないようにしてから書き込みを行ってください。

また、本レジスタへの書き込みを行う MOV 命令の直後に、

1. 本レジスタを読み出すMOV命令
2. 本レジスタを読み出すMOV命令
3. SYNCO命令

を置いてください。

例)

.....

```
MOV.L  #H'FF400020, R0
```

```
MOV.L  #MMSELR_DATA, R1 ; MMSELR_DATA = 本レジスタへの書き込み値 (上位ワード = H'A5A5)
```

```
SYNCO
```

```
MOV.L  R1,@R0 ; 本レジスタへの書き込み
```

```
MOV.L  @R0, R2
```

```
MOV.L  @R0, R2
```

```
SYNCO
```

.....

本レジスタに書き込みを行う命令は、キャッシング不可の P2 領域で、かつ本レジスタ書き換えによる影響のない領域に配置してください。

また、本レジスタへの書き込みは、命令キャッシュ、オペランドキャッシュ、および MMU によるアドレス変換を有効にする前に行い、それ以降はパワーオンリセット、またはマニュアルリセットを行うまで書き換えしないでください。

## 11. ローカルバスステートコントローラ (LBSC)

### 11.4.2 バスコントロールレジスタ (BCR)

バスコントロールレジスタ (BCR) は、各エリアの機能、バスサイクルの状態等を指定します。読み出し/書き込み可能な 32 ビットのレジスタです。

BCR レジスタは、パワーオンリセットで、ビッグエンディアン時には H'0000 0000、リトルエンディアン時には H'8000 0000 に初期化されますが、マニュアルリセット時には初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16		
	ENDIAN	—	—	—	—	DPUP	—	OPUP	DACKBST[3:0]				—	—	BREQEN	DMA BST		
初期値:	0/1*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R/W	R	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W		
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
	—	HIZ CNT	—	—	—	—	—	—	—	ASYNC[6:0]							—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
R/W:	R	R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W		

【注】 \* ビット31 (ENDIAN ビット) の初期値は外部端子 (MODE5) の設定によります。

ビット	ビット名	初期値	R/W	説明
31	ENDIAN	0/1	R	<p>エンディアンフラグ</p> <p>PRESET 端子によるパワーオンリセット時に、エンディアン指定の外部端子 (MODE5) の値をサンプリングします。全空間のエンディアンはこのビットで決定されます。</p> <p>0: パワーオンリセット時に、エンディアン設定外部端子 (MODE5) がローレベルであり、本 LSI がビッグエンディアンとして設定されたことを示します。</p> <p>1: パワーオンリセット時に、エンディアン設定外部端子 (MODE5) がハイレベルであり、本 LSI がリトルエンディアンとして設定されたことを示します。</p>
30~27	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
26	DPUP	0	R/W	<p>データ端子ブルアップ抵抗制御</p> <p>データ端子 (D31~D0) のブルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。オンの設定でもアクセス時およびバス権解放時はブルアップされません。</p> <p>0: データ端子 (D31~D0) のブルアップ抵抗は、メモリアクセス前後にオンになるサイクルがあります。*</p> <p>1: データ端子 (D31~D0) のブルアップ抵抗は、オフ。</p> <p>【注】 * データ端子のブルアップが必要な場合、ブルアップ抵抗を外付けすることを推奨します。</p>
25	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## 11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
24	OPUP	0	R/W	<p>コントロール出力端子プルアップ抵抗制御</p> <p>コントロール出力端子 (A[25:0]、<math>\overline{BS}</math>、<math>\overline{CS0}\sim\overline{CS2}</math>、<math>\overline{CS4}\sim\overline{CS6}</math>、<math>\overline{RD}/\overline{FRAME}</math>、<math>\overline{WE}</math>、<math>\overline{R}/\overline{W}</math>、<math>\overline{CE2A}</math>、<math>\overline{CE2B}</math>) のハイインピーダンス時のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。</p> <p>0 : コントロール出力端子 (A[25:0]、<math>\overline{BS}</math>、<math>\overline{CS0}\sim\overline{CS2}</math>、<math>\overline{CS4}\sim\overline{CS6}</math>、<math>\overline{RD}/\overline{FRAME}</math>、<math>\overline{WE}</math>、<math>\overline{R}/\overline{W}</math>、<math>\overline{CE2A}</math>、<math>\overline{CE2B}</math>) のプルアップ抵抗は、オン。</p> <p>1 : コントロール出力端子 (A[25:0]、<math>\overline{BS}</math>、<math>\overline{CS0}\sim\overline{CS2}</math>、<math>\overline{CS4}\sim\overline{CS6}</math>、<math>\overline{RD}/\overline{FRAME}</math>、<math>\overline{WE}</math>、<math>\overline{R}/\overline{W}</math>、<math>\overline{CE2A}</math>、<math>\overline{CE2B}</math>) のプルアップ抵抗は、オフ。</p>
23~20	DACKBST [3:0]	0000	R/W	<p>DACK バースト</p> <p>0 : DACK 端子をバスサイクルに同期してアサートします。</p> <p>1 : DMA 転送がバーストモードのとき、転送開始から終了まで、対応する DACK 端子をアサートし続けます。</p> <p>対応する DMA 転送チャンネルの DACK 出力エリアのメモリ種が PCMCIA インタフェースに設定時のみ 1 にセット可能です。それ以外の場合は 0 にクリアしてください。</p> <p>各ビットに対応する端子は以下の通りです。</p> <p>DACKBST[3] : <math>\overline{DACK3}</math>  DACKBST[2] : <math>\overline{DACK2}</math>  DACKBST[1] : <math>\overline{DACK1}</math>  DACKBST[0] : <math>\overline{DACK0}</math></p>
19~18	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
17	BREQEN	0	R/W	<p><math>\overline{BREQ}</math> イネーブル</p> <p>外部リクエストを受け付け可能とするかを設定します。パワーオンリセット時には、外部リクエストを受け付けない状態に初期化されます。</p> <p>0 : 外部リクエストを受け付けません。</p> <p>1 : 外部リクエストを受け付けます。</p>
16	DMABST	0	R/W	<p>DMAC バーストモード転送優先指定</p> <p>DMAC チャンネル 0~5 によるバーストモード転送の優先度を指定します。オフの設定の場合、優先度はバス権解放、DMAC (バーストモード)、CPU、DMAC、PCIC となり、オンの設定の場合、DMAC チャンネル 0~5 のバースト転送が終了するまでバス権の解放は実行されなくなります。このビットは、パワーオンリセット時に初期化されます。</p> <p>0 : DMAC バーストモード転送優先指定オフ</p> <p>1 : DMAC バーストモード転送優先指定オン</p>
15	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
14	HIZCNT	0	R/W	<p>ハイインピーダンス (High-Z) コントロール</p> <p><math>\overline{WE}</math>、<math>\overline{RD}/\overline{FRAME}</math> 信号のバス権解放時の状態を指定します。</p> <p>0 : <math>\overline{WE}</math>、<math>\overline{RD}/\overline{FRAME}</math> 信号はバス権解放時、ハイインピーダンス。</p> <p>1 : <math>\overline{WE}</math>、<math>\overline{RD}/\overline{FRAME}</math> 信号をバス権解放時ドライブ。</p>
13~7	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## 11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
6~0	ASYNC [6:0]	000 0000	R/W	非同期入力 対応する端子の非同期入力を可能にします。 0 : 対応する端子は CLKOUT に対する同期入力。 1 : 対応する端子は CLKOUT に対して非同期入力 ASYNC[6] : $\overline{\text{DREQ3}}$ ASYNC[5] : $\overline{\text{DREQ2}}$ ASYNC[4] : $\overline{\text{DREQ1}}$ ASYNC[3] : $\overline{\text{DREQ0}}$ ASYNC[2] : $\overline{\text{IOIS16}}$ ASYNC[1] : $\overline{\text{BREQ}}$ ASYNC[0] : $\overline{\text{RDY}}$

### 11.4.3 CSn バスコントロールレジスタ (CSnBCR)

CSn バスコントロールレジスタ (CSnBCR, n=0~2, 4~6) は、エリア 0~2、4~6 のバス幅、サイクル間アイドル、バースト ROM の設定、メモリタイプを指定します。読み出し/書き込み可能な 32 ビットのレジスタです。

メモリによっては、外部からの読み出し信号がオフになってもデータバスのドライブがすぐにはオフにならないものもあります。このため、連続したメモリアクセスが異なるエリアのメモリに対して行われる場合や、メモリ読み出し直後に書き込みが行われる場合、データバスが衝突する可能性があります。本 LSI では、このようなデータバスが衝突する可能性がある場合に、CSnBCR レジスタで設定したサイクル数だけ自動的にアイドルサイクルを挿入します。サイクル間アイドル中は該当する  $\overline{\text{CS0}}\sim\overline{\text{CS2}}$ 、 $\overline{\text{CS4}}\sim\overline{\text{CS6}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WE}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ 、 $\overline{\text{BS}}$  は非アサート状態、 $\overline{\text{R/W}}$  はハイレベル状態、データは非ドライブ状態になります。

CSnBCR レジスタは、パワーオンリセットで H'7777 7770 に初期化されますが、マニュアルリセット時には初期化されません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	IWW			—	IWRWD			—	IWRWS			—	IWRRD		
初期値 :	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	IWRRS			BST		SZ		RDSP	BW		MPX	TYPE			
初期値 :	0	1	1	1	0	1	1	1	0	1	1	1	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W*	R/W*	R/W	R/W	R/W	R/W	R/W*	R/W	R/W	R/W

【注】 \* CS0BCRのSZ、MPXはリードのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
30~28	IWW	111	R/W	<p>ライト-リード/ライト-ライトサイクル間アイドル</p> <p>空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライト-リードサイクルとライト-ライトサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。</p> <p>000 : アイドルサイクルなし            001 : 1 アイドルサイクル挿入            010 : 2 アイドルサイクル挿入            011 : 3 アイドルサイクル挿入            100 : 4 アイドルサイクル挿入            101 : 5 アイドルサイクル挿入            110 : 6 アイドルサイクル挿入            111 : 7 アイドルサイクル挿入</p>
27	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
26~24	IWRWD	111	R/W	<p>別空間リード-ライトサイクル間アイドル</p> <p>空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード-ライトサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。</p> <p>000 : アイドルサイクルなし            001 : 1 アイドルサイクル挿入            010 : 2 アイドルサイクル挿入            011 : 3 アイドルサイクル挿入            100 : 4 アイドルサイクル挿入            101 : 5 アイドルサイクル挿入            110 : 6 アイドルサイクル挿入            111 : 7 アイドルサイクル挿入</p>
23	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

## 11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
22~20	IWRWS	111	R/W	<p>同一空間リード-ライトサイクル間アイドル</p> <p>空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-ライトサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。</p> <p>000 : アイドルサイクルなし            001 : 1 アイドルサイクル挿入            010 : 2 アイドルサイクル挿入            011 : 3 アイドルサイクル挿入            100 : 4 アイドルサイクル挿入            101 : 5 アイドルサイクル挿入            110 : 6 アイドルサイクル挿入            111 : 7 アイドルサイクル挿入</p>
19	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
18~16	IWRRD	111	R/W	<p>別空間リード-リードサイクル間アイドル</p> <p>空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリード-リードサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。</p> <p>000 : アイドルサイクルなし            001 : 1 アイドルサイクル挿入            010 : 2 アイドルサイクル挿入            011 : 3 アイドルサイクル挿入            100 : 4 アイドルサイクル挿入            101 : 5 アイドルサイクル挿入            110 : 6 アイドルサイクル挿入            111 : 7 アイドルサイクル挿入</p>
15	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

## 11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
14~12	IWRRS	111	R/W	<p>同一空間リード-リードサイクル間アイドル</p> <p>空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリード-リードサイクルの場合です。詳細については、「11.5.8 アクセスサイクル間ウェイト」の項を参照してください。</p> <p>000 : アイドルサイクルなし            001 : 1 アイドルサイクル挿入            010 : 2 アイドルサイクル挿入            011 : 3 アイドルサイクル挿入            100 : 4 アイドルサイクル挿入            101 : 5 アイドルサイクル挿入            110 : 6 アイドルサイクル挿入            111 : 7 アイドルサイクル挿入</p>
11, 10	BST	01	R/W	<p>バースト回数</p> <p>バースト ROM インタフェースを使用する場合の、バースト回数を指定します。MPX インタフェースには影響しません。</p> <p>00 : 4 連続アクセス (バス幅 8、16、32 ビット時、いずれでも使用可)            01 : 8 連続アクセス (バス幅 8、16、32 ビット時、いずれでも使用可)            10 : 16 連続アクセス (バス幅 8、16 ビット時のみ使用可)            11 : 32 連続アクセス (バス幅 8 ビット時のみ使用可)</p>
9, 8	SZ	11	R/W*	<p>バス幅</p> <p>CS0BCR ではパワーオンリセット時に、バスサイズを指定する外部端子 (MODE3、MODE4) をサンプリングします。MPX インタフェース使用時は 32 ビットに設定してください。バイト制御 SRAM インタフェース使用時は 16 ビットまたは 32 ビットに設定してください。</p> <p>00 : リザーブ (設定禁止)            01 : 8 ビット            10 : 16 ビット            11 : 32 ビット</p> <p>【注】 * CS0BCR の SZ ビットはリードのみ可能です。また、MODE3、MODE4 端子でエリア 0 を MPX インタフェースに設定した場合、CS0BCR の SZ ビットは 11 になります。</p>
7	RDSPL	0	R/W	<p><math>\overline{RD}</math> ホールドサイクル</p> <p><math>\overline{RD}</math> のリードデータサンプルタイミングに対するホールド時間に挿入されるサイクル数を指定します。このビットを 1 に設定するときは、CSnWCR の RDH ビットで設定する <math>\overline{RD}</math> ネグート-<math>\overline{CSn}</math> ネグート遅延サイクルを 1 以上に設定してください。またこのビットを 1 に設定することにより、<math>\overline{RD}</math> ネグート-<math>\overline{CSn}</math> ネグート遅延サイクルは 1 サイクル減ります (SRAM インタフェース/バイト制御 SRAM インタフェース設定時のみ有効)。</p> <p>0 : なし            1 : 1 サイクル挿入</p>

## 11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
6~4	BW	111	R/W	<p>バーストピッチ</p> <p>バースト ROM インタフェースを使用時のバースト転送における、第 2 データアクセス以降に挿入される挿入ウェイト数を指定します。</p> <p>000 : 挿入ウェイトステートなし、<math>\overline{RDY}</math> 端子無視</p> <p>001 : 1 ウェイトステート挿入、<math>\overline{RDY}</math> 端子イネーブル</p> <p>010 : 2 ウェイトステート挿入、<math>\overline{RDY}</math> 端子イネーブル</p> <p>011 : 3 ウェイトステート挿入、<math>\overline{RDY}</math> 端子イネーブル</p> <p>100 : 4 ウェイトステート挿入、<math>\overline{RDY}</math> 端子イネーブル</p> <p>101 : 5 ウェイトステート挿入、<math>\overline{RDY}</math> 端子イネーブル</p> <p>110 : 6 ウェイトステート挿入、<math>\overline{RDY}</math> 端子イネーブル</p> <p>111 : 7 ウェイトステート挿入、<math>\overline{RDY}</math> 端子イネーブル</p>
3	MPX	0	R/W*	<p>MPX インタフェース指定</p> <p>MPX インタフェースタイプを指定します。</p> <p>0 : TYPE ビットで指定するメモリタイプが選択されます</p> <p>1 : MPX インタフェースが指定されます</p> <p>【注】* CS0BCR の MPX はリードのみ可能です。</p>
2~0	TYPE	000	R/W	<p>メモリタイプ指定</p> <p>空間に接続するメモリのタイプを指定します。</p> <p>000 : SRAM (初期値)</p> <p>001 : バイト制御 SRAM*<sup>1</sup></p> <p>010 : バースト ROM (リード時バースト、ライト時 SRAM)</p> <p>011 : リザーブ (設定禁止)</p> <p>100 : PCMCIA*<sup>2</sup></p> <p>101 : リザーブ (設定禁止)</p> <p>110 : リザーブ (設定禁止)</p> <p>111 : リザーブ (設定禁止)</p> <p>【注】*<sup>1</sup> CS1BCR、CS4BCR のみ設定可能。</p> <p>*<sup>2</sup> CS5BCR、CS6BCR のみ設定可能。</p>

### 11.4.4 CSn ウェイトコントロールレジスタ (CSnWCR)

CSn ウェイトコントロールレジスタ (CSnWCR、n=0~2、4~6) は、読み出し/書き込み可能な 32 ビットのレジスタで、エリア 0~2、4~6 の挿入ウェイトステート数、バーストメモリアクセスを行う場合のデータアクセスのピッチ数、アドレスから読み出し/書き込みストローブのアサートまでのセットアップ時間、書き込みストローブのネゲートからのデータホールド時間の挿入サイクルを指定します。

CSnWCR レジスタは、パワーオンリセットで H'7777 770F に初期化されますが、マニュアルリセット時には初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	ADS			—	ADH			—	RDS			—	RDH		
初期値:	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	WTS			—	WTH			—	BSH			IW[3:0]			
初期値:	0	1	1	1	0	1	1	1	0	0	0	0	1	1	1	1
R/W:	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W						

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30~28	ADS	111	R/W	アドレスセットアップサイクル アドレスの $\overline{CSn}$ アサートに対するセットアップ時間に挿入されるサイクル数を指定します。PCMCIA インタフェース使用時は 0 に設定してください (SRAM インタフェース/バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効)。  000: サイクル挿入なし 001: 1 サイクル挿入 010: 2 サイクル挿入 011: 3 サイクル挿入 100: 4 サイクル挿入 101: 5 サイクル挿入 110: 6 サイクル挿入 111: 7 サイクル挿入
27	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
26~24	ADH	111	R/W	<p>アドレスホールドサイクル</p> <p>アドレスの <math>\overline{CSn}</math> ネゲートに対するホールド時間に挿入されるサイクル数を指定します (SRAM インタフェース/バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効)。</p> <p>000 : サイクル挿入なし            001 : 1 サイクル挿入            010 : 2 サイクル挿入            011 : 3 サイクル挿入            100 : 4 サイクル挿入            101 : 5 サイクル挿入            110 : 6 サイクル挿入            111 : 7 サイクル挿入</p>
23	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
22~20	RDS	111	R/W	<p><math>\overline{CSn}</math> アサート-<math>\overline{RD}</math> アサート遅延サイクル</p> <p><math>\overline{CSn}</math> アサートから <math>\overline{RD}</math> アサートに挿入されるサイクル数を指定します (SRAM インタフェース/バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効)。</p> <p>000 : サイクル挿入なし            001 : 1 サイクル挿入            010 : 2 サイクル挿入            011 : 3 サイクル挿入            100 : 4 サイクル挿入            101 : 5 サイクル挿入            110 : 6 サイクル挿入            111 : 7 サイクル挿入</p>
19	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
18~16	RDH	111	R/W	<p><math>\overline{RD}</math> ネゲート-<math>\overline{CSn}</math> ネゲート遅延サイクル</p> <p><math>\overline{RD}</math> ネゲートから <math>\overline{CSn}</math> ネゲートに挿入されるサイクル数を指定します (SRAM インタフェース/バイト制御 SRAM インタフェースおよびバースト ROM インタフェース設定時のみ有効)。</p> <p>000 : サイクル挿入なし            001 : 1 サイクル挿入            010 : 2 サイクル挿入            011 : 3 サイクル挿入            100 : 4 サイクル挿入            101 : 5 サイクル挿入            110 : 6 サイクル挿入            111 : 7 サイクル挿入</p>

## 11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14~12	WTS	111	R/W	$\overline{CSn}$ アサート- $\overline{WE}$ アサート遅延サイクル $\overline{CSn}$ アサートから $\overline{WE}$ アサートに挿入されるサイクル数を指定します (SRAMインタフェース/バイト制御SRAMインタフェースおよびバーストROMインタフェース設定時のみ有効)。 000 : サイクル挿入なし 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 4 サイクル挿入 101 : 5 サイクル挿入 110 : 6 サイクル挿入 111 : 7 サイクル挿入
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10~8	WTH	111	R/W	$\overline{WE}$ ネゲート- $\overline{CSn}$ ネゲート遅延サイクル $\overline{WE}$ ネゲートから $\overline{CSn}$ ネゲートに挿入されるサイクル数を指定します (SRAMインタフェース/バイト制御SRAMインタフェースおよびバーストROMインタフェース設定時のみ有効)。 000 : サイクル挿入なし 001 : 1 サイクル挿入 010 : 2 サイクル挿入 011 : 3 サイクル挿入 100 : 4 サイクル挿入 101 : 5 サイクル挿入 110 : 6 サイクル挿入 111 : 7 サイクル挿入
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## 11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明																
6~4	BSH	000	R/W	<p><math>\overline{BS}</math> ホールドサイクル</p> <p><math>\overline{BS}</math> のアサート時間を延長するために挿入されるサイクル数を指定します。延長は <math>\overline{CSn}</math> アサート-<math>\overline{RD}/\overline{WE}</math> アサート遅延サイクルが 1 以上に設定されているとき有効です。また、このビットの設定により、アクセスの総サイクル数は変わりません。</p> <p>000 : <math>\overline{BS}</math> アサートは 1 サイクル  001 : <math>\overline{BS}</math> アサートは 2 サイクル  010 : 設定禁止  011 : 設定禁止  100 : 設定禁止  101 : 設定禁止  110 : 設定禁止  111 : 設定禁止</p>																
3~0	IW[3:0]	1111	R/W	<p>挿入ウェイトサイクル</p> <p>挿入ウェイトサイクル数を指定します。</p> <p>SRAM インタフェース/バイト制御 SRAM インタフェース/バースト ROM インタフェース (第 1 データのみ) および PCMCIA インタフェースのときは以下の挿入ウェイトサイクルになります。RDY 端子による外部ウェイト挿入はサイクル挿入なしのときにはできません。</p> <table border="0"> <tr> <td>0000 : サイクル挿入なし</td> <td>1000 : 8 サイクル挿入</td> </tr> <tr> <td>0001 : 1 サイクル挿入</td> <td>1001 : 9 サイクル挿入</td> </tr> <tr> <td>0010 : 2 サイクル挿入</td> <td>1010 : 11 サイクル挿入</td> </tr> <tr> <td>0011 : 3 サイクル挿入</td> <td>1011 : 13 サイクル挿入</td> </tr> <tr> <td>0100 : 4 サイクル挿入</td> <td>1100 : 15 サイクル挿入</td> </tr> <tr> <td>0101 : 5 サイクル挿入</td> <td>1101 : 17 サイクル挿入</td> </tr> <tr> <td>0110 : 6 サイクル挿入</td> <td>1110 : 21 サイクル挿入</td> </tr> <tr> <td>0111 : 7 サイクル挿入</td> <td>1111 : 25 サイクル挿入</td> </tr> </table> <p>MPX インタフェース設定時には IW[2:0]の設定により、以下の挿入ウェイトサイクルになります。このとき、IW[3]の設定は無効になります。また、どの設定においても RDY 端子による外部ウェイト挿入が可能です。</p> <p>IW[2]による第 2 データ以降の挿入ウェイトサイクル</p> <p>0 : 0 サイクル挿入  1 : 1 サイクル挿入</p> <p>IW[1:0]による第 1 データの挿入ウェイトサイクル</p> <p>00 : リード時 1 サイクル、ライト時 0 サイクル挿入  01 : リード時 1 サイクル、ライト時 1 サイクル挿入  10 : リード時 2 サイクル、ライト時 2 サイクル挿入  11 : リード時 3 サイクル、ライト時 3 サイクル挿入</p>	0000 : サイクル挿入なし	1000 : 8 サイクル挿入	0001 : 1 サイクル挿入	1001 : 9 サイクル挿入	0010 : 2 サイクル挿入	1010 : 11 サイクル挿入	0011 : 3 サイクル挿入	1011 : 13 サイクル挿入	0100 : 4 サイクル挿入	1100 : 15 サイクル挿入	0101 : 5 サイクル挿入	1101 : 17 サイクル挿入	0110 : 6 サイクル挿入	1110 : 21 サイクル挿入	0111 : 7 サイクル挿入	1111 : 25 サイクル挿入
0000 : サイクル挿入なし	1000 : 8 サイクル挿入																			
0001 : 1 サイクル挿入	1001 : 9 サイクル挿入																			
0010 : 2 サイクル挿入	1010 : 11 サイクル挿入																			
0011 : 3 サイクル挿入	1011 : 13 サイクル挿入																			
0100 : 4 サイクル挿入	1100 : 15 サイクル挿入																			
0101 : 5 サイクル挿入	1101 : 17 サイクル挿入																			
0110 : 6 サイクル挿入	1110 : 21 サイクル挿入																			
0111 : 7 サイクル挿入	1111 : 25 サイクル挿入																			

## 11.4.5 CSnPCMCIA コントロールレジスタ (CSnPCR)

CSn PCMCIA コントロールレジスタ (CSnPCR、n=5、6) は、読み出し/書き込み可能な 32 ビットのレジスタで、CS5PCR はエリア 5、CS6PCR はエリア 6 に接続する PCMCIA インタフェースに対するタイミングコントロール、空間属性、 $\overline{OE}$  ( $\overline{RD}$ )、 $\overline{WE}$  信号のアサート/ネゲートタイミングを指定します。また、CSnPCR はエリア 5、6 の前半と後半で別々に設定できます。エリア 5 の前半は外部アドレスで H'1400 0000~H'15FF FFFF、エリア 5 の後半は、H'1600 0000~H'17FF FFFF、エリア 6 の前半は H'1800 0000~H'19FF FFFF、エリア 6 の後半は、H'1A00 0000~H'1BFF FFFF を示します。なお、エリア 5、6 の前半の  $\overline{OE}$ 、 $\overline{WE}$  信号のアサート幅は、CSnWCR の IW ビットで設定します。

CSnPCR レジスタは、パワーオンリセットで H'7700 0000 に初期化されますが、マニュアルリセット時には初期化されません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	SAA			—	SAB			PCWA	PCWB	PCIW					
初期値:	0	1	1	1	0	1	1	1	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TEDA			—	TEDB			—	TEHA			—	TEHB		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
30~28	SAA	000	R/W	空間属性 A エリアの前半に接続する PCMCIA の空間属性を設定します。 000 : ATA 補完モード 001 : ダイナミック I/O バスサイジング 010 : 8 ビット I/O 空間 011 : 16 ビット I/O 空間 100 : 8 ビット共有メモリ 101 : 16 ビット共有メモリ 110 : 8 ビットアトリビュートメモリ 111 : 16 ビットアトリビュートメモリ
27	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
26~24	SAB	000	R/W	<p>空間属性 B</p> <p>エリアの後半に接続する PCMCIA の空間属性を設定します。</p> <p>000 : ATA 補完モード            001 : ダイナミック I/O バスサイジング            010 : 8 ビット I/O 空間            011 : 16 ビット I/O 空間            100 : 8 ビット共有メモリ            101 : 16 ビット共有メモリ            110 : 8 ビットアトリビュートメモリ            111 : 16 ビットアトリビュートメモリ</p>
23, 22	PCWA	00	R/W	<p>PCMCIA ウェイト A</p> <p>低速な PCMCIA 用ウェイトサイクルで、CSnWCR の IW ビットで指定したウェイト数に加算されます。</p> <p>PCMCIA インタフェースへのアクセスがエリアの前半のとき、このビットの設定が選択されます。</p> <p>00 : ウェイトサイクル挿入なし            01 : 15 ウェイトサイクル挿入            10 : 30 ウェイトサイクル挿入            11 : 50 ウェイトサイクル挿入</p>
21, 20	PCWB	00	R/W	<p>PCMCIA ウェイト B</p> <p>低速な PCMCIA 用ウェイトサイクルで、PCIW ビットで指定したウェイト数に加算されます。</p> <p>PCMCIA インタフェースへのアクセスがエリアの後半のとき、このビットの設定が選択されます。</p> <p>00 : ウェイトサイクル挿入なし            01 : 15 ウェイトサイクル挿入            10 : 30 ウェイトサイクル挿入            11 : 50 ウェイトサイクル挿入</p>
19~16	PCIW	0000	R/W	<p>PCMCIA 挿入ウェイトサイクル B</p> <p>挿入ウェイトサイクル数を指定します。PCMCIA インタフェースへのアクセスがエリアの後半のとき、このビットの設定が選択されます。エリアの前半のときは CSnWCR の IW ビットの設定が適用されます。</p> <p>0000 : サイクル挿入なし      1000 : 8 サイクル挿入            0001 : 1 サイクル挿入      1001 : 9 サイクル挿入            0010 : 2 サイクル挿入      1010 : 11 サイクル挿入            0011 : 3 サイクル挿入      1011 : 13 サイクル挿入            0100 : 4 サイクル挿入      1100 : 15 サイクル挿入            0101 : 5 サイクル挿入      1101 : 17 サイクル挿入            0110 : 6 サイクル挿入      1110 : 21 サイクル挿入            0111 : 7 サイクル挿入      1111 : 25 サイクル挿入</p>
15	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## 11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
14~12	TEDA	000	R/W	<p><math>\overline{OE}/\overline{WE}</math> アサート遅延 A</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの前半のとき、アドレス出力から、<math>\overline{OE}/\overline{WE}</math> アサートまでの遅延時間を設定します。</p> <p>PCMCIA インタフェースへのアクセスがエリアの前半のとき、このビットの設定が選択されます。</p> <p>000 : ウェイトサイクル挿入なし            001 : 1 ウェイトサイクル挿入            010 : 2 ウェイトサイクル挿入            011 : 3 ウェイトサイクル挿入            100 : 6 ウェイトサイクル挿入            101 : 9 ウェイトサイクル挿入            110 : 12 ウェイトサイクル挿入            111 : 15 ウェイトサイクル挿入</p>
11	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10~8	TEDB	000	R/W	<p><math>\overline{OE}/\overline{WE}</math> アサート遅延 B</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの後半のとき、アドレス出力から、<math>\overline{OE}/\overline{WE}</math> アサートまでの遅延時間を設定します。</p> <p>PCMCIA インタフェースへのアクセスがエリアの後半のとき、このビットの設定が選択されます。</p> <p>000 : ウェイトサイクル挿入なし            001 : 1 ウェイトサイクル挿入            010 : 2 ウェイトサイクル挿入            011 : 3 ウェイトサイクル挿入            100 : 6 ウェイトサイクル挿入            101 : 9 ウェイトサイクル挿入            110 : 12 ウェイトサイクル挿入            111 : 15 ウェイトサイクル挿入</p>
7	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
6~4	TEHA	000	R/W	<p><math>\overline{OE}/\overline{WE}</math> ネグートアドレス遅延 A</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの前半のとき、<math>\overline{OE}/\overline{WE}</math> ネグートからのアドレスホールド遅延時間を設定します。</p> <p>PCMCIA インタフェースへのアクセスがエリアの前半のとき、このビットの設定が選択されます。</p> <p>000 : ウェイトサイクル挿入なし            001 : 1 ウェイトサイクル挿入            010 : 2 ウェイトサイクル挿入            011 : 3 ウェイトサイクル挿入            100 : 6 ウェイトサイクル挿入            101 : 9 ウェイトサイクル挿入            110 : 12 ウェイトサイクル挿入            111 : 15 ウェイトサイクル挿入</p>

## 11. ローカルバスステートコントローラ (LBSC)

ビット	ビット名	初期値	R/W	説明
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	TEHB	000	R/W	<p><math>\overline{OE}/\overline{WE}</math> ネゲート—アドレス遅延 B</p> <p>接続された PCMCIA インタフェースにおけるアクセスがエリアの後半のとき、<math>\overline{OE}/\overline{WE}</math> ネゲートからのアドレスホールド遅延時間を設定します。</p> <p>PCMCIA インタフェースへのアクセスがエリアの後半のとき、このビットの設定が選択されます。</p> <p>000 : サイクル挿入なし            001 : 1 サイクル挿入            010 : 2 サイクル挿入            011 : 3 サイクル挿入            100 : 6 サイクル挿入            101 : 9 サイクル挿入            110 : 12 サイクル挿入            111 : 15 サイクル挿入</p>

## 11.5 動作説明

### 11.5.1 エンディアン/アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイトが 0 番地側になるビッグエンディアン、下位バイトが 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子 (MODE5 端子) で  $\overline{\text{PRESET}}$  端子によるパワーオンリセット時に設定します。 $\overline{\text{PRESET}}$  端子によるパワーオンリセット時、MODE5 端子がローレベルのときビッグエンディアンになり、MODE5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリとしては 8 ビット、16 ビット、32 ビット幅の 3 種類から選べます。また、PCMCIA インタフェースの場合は 8 ビット、16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンに合わせて行われます。したがって、データバス幅がアクセスサイズより小さい場合、アクセスサイズになるまで複数回のバスサイクルを自動的に発生させます。この場合、バス幅分のアドレスを自動的にインクリメントしてアクセスを行います。例えば SRAM インタフェースで 8 ビットバス幅のエリアにロングワードアクセスを行う場合、自動的にアドレスを 1 ずつインクリメントして、4 回アクセスを行います。また、32 バイト転送時は、設定したバス幅に従い合計 32 バイトのデータを連続して転送します。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われます。これらの転送の間、バス権の開放は行いません。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

8、16 バイト転送時は、それぞれ 4 バイト 2 回、4 バイト 4 回としてアクセスを行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 11.9～表 11.14 に示します。



## 11. ローカルバスステートコントローラ (LBSC)

表 11.9 32 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31~D24	D23~D16	D15~D8	D7~D0	WE3	WE2	WE1	WE0
バイト	4n	1	データ 7~0	-	-	-	アサート			
	4n+1	1	-	データ 7~0	-	-		アサート		
	4n+2	1	-	-	データ 7~0	-			アサート	
	4n+3	1	-	-	-	データ 7~0				アサート
ワード	4n	1	データ 15~8	データ 7~0	-	-	アサート	アサート		
	4n+2	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

表 11.10 16 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31~D24	D23~D16	D15~D8	D7~D0	WE3	WE2	WE1	WE0
バイト	2n	1	-	-	データ 7~0	-			アサート	
	2n+1	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	-	-	データ 31~24	データ 23~16			アサート	アサート
	4n+2	2	-	-	データ 15~8	データ 7~0			アサート	アサート

## 11. ローカルバスステートコントローラ (LBSC)

表 11.11 8 ビット外部デバイス/ビッグエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31~D24	D23~D16	D15~D8	D7~D0	WE3	WE2	WE1	WE0
バイト	n	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	-	データ 15~8				アサート
	2n+1	2	-	-	-	データ 7~0				アサート
ロング ワード	4n	1	-	-	-	データ 31~24				アサート
	4n+1	2	-	-	-	データ 23~16				アサート
	4n+2	3	-	-	-	データ 15~8				アサート
	4n+3	4	-	-	-	データ 7~0				アサート

表 11.12 32 ビット外部デバイス/リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31~D24	D23~D16	D15~D8	D7~D0	WE3	WE2	WE1	WE0
バイト	4n	1	-	-	-	データ 7~0				アサート
	4n+1	1	-	-	データ 7~0	-			アサート	
	4n+2	1	-	データ 7~0	-	-		アサート		
	4n+3	1	データ 7~0	-	-	-	アサート			
ワード	4n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	4n+2	1	データ 15~8	データ 7~0	-	-	アサート	アサート		
ロング ワード	4n	1	データ 31~24	データ 23~16	データ 15~8	データ 7~0	アサート	アサート	アサート	アサート

## 11. ローカルバスステートコントローラ (LBSC)

表 11.13 16 ビット外部デバイス／リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31~D24	D23~D16	D15~D8	D7~D0	WE3	WE2	WE1	WE0
バイト	2n	1	-	-	-	データ 7~0				アサート
	2n+1	1	-	-	データ 7~0	-			アサート	
ワード	2n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
ロング ワード	4n	1	-	-	データ 15~8	データ 7~0			アサート	アサート
	4n+2	2	-	-	データ 31~24	データ 23~16			アサート	アサート

表 11.14 8 ビット外部デバイス／リトルエンディアンのアクセスとデータアライメント

動作		No.	データバス				ストロープ信号			
アクセス サイズ	アドレス		D31~D24	D23~D16	D15~D8	D7~D0	WE3	WE2	WE1	WE0
バイト	n	1	-	-	-	データ 7~0				アサート
ワード	2n	1	-	-	-	データ 7~0				アサート
	2n+1	2	-	-	-	データ 15~8				アサート
ロング ワード	4n	1	-	-	-	データ 7~0				アサート
	4n+1	2	-	-	-	データ 15~8				アサート
	4n+2	3	-	-	-	データ 23~16				アサート
	4n+3	4	-	-	-	データ 31~24				アサート

## 11.5.2 エリアの説明

### (1) エリア 0

エリア 0 は、物理アドレスのビット 28~26 が 000 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM です。

バス幅は、外部端子の MODE4、MODE3 によりパワーオンリセット時に、8 ビット、16 ビット、32 ビットから選べます。詳細は「11.3.2 メモリバス幅」を参照してください。

エリア 0 をアクセスすると  $\overline{CS0}$  信号がアサートされます。

SRAM インタフェースを設定している場合、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0}\sim\overline{WE3}$  がアサートされます。

バスサイクル数は、CS0WCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。バースト ROM インタフェースを使用する場合、CS0BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また、外部ウェイト端子 ( $\overline{RDY}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 の時は、 $\overline{RDY}$  信号は無視されます)。

バースト ROM インタフェースを使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2~9 の範囲で決まります。

アドレス信号のセットアップ/ホールドサイクル、リード/ライトストロブ信号アサート/ネゲートの  $\overline{CS0}$  アサート/ネゲートに対する遅延サイクルは、CS0WCR レジスタより、0~7 サイクルに設定することができます。また、リード/ライトストロブセットアップウェイトが 1 以上のときには  $\overline{BS}$  ホールドサイクルを 0~1 サイクルの範囲で設定できます。

### (2) エリア 1

エリア 1 は、物理アドレスのビット 28~26 が 001 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM およびバイト制御 SRAM です。

バス幅は、CS1BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、CS1BCR レジスタの SZ ビットにより、バス幅を 32 ビットに設定してください。バイト制御 SRAM インタフェースを設定する場合は、バス幅を 16 ビット、32 ビットにしてください。

エリア 1 をアクセスすると  $\overline{CS1}$  信号がアサートされます。

SRAM インタフェースを設定している場合、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0}\sim\overline{WE3}$  がアサートされます。

バスサイクル数は、CS1BCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS1BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また、外部ウェイト端子 ( $\overline{RDY}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 の時は、 $\overline{RDY}$  信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、リード/ライトストロブ信号アサート/ネゲートの  $\overline{CS1}$  アサート/ネゲートに対する遅延サイクルは、CS1WCR レジスタより、0~7 サイクルに設定することができます。

## 11. ローカルバスステートコントローラ (LBSC)

---

また、リード/ライトストロブセットアップウェイトが1以上のときには $\overline{BS}$  ホールドサイクルを0~1の範囲で設定できます。

### (3) エリア 2

エリア 2 は、物理アドレスのビット 28~26 が 010 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バースト ROM および DDR-SDRAM です。

バス幅は、SRAM インタフェースを設定する場合、CS2BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、CS2BCR レジスタの SZ ビットにより、32 ビットに設定してください。

エリア 2 をアクセスすると  $\overline{CS2}$  信号がアサートされます (DDR-SDRAM の場合を除く)。

SRAM インタフェースを設定している場合、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0}\sim\overline{WE3}$  がアサートされます。

バスサイクル数は、CS2WCR レジスタにより挿入ウェイトサイクル数を 0~25 から選択することができます。

バースト ROM インタフェースを使用する場合、CS2BCR の BW ビットによりバーストピッチを 0~7 から選ぶことができます。

また、外部ウェイト端子 ( $\overline{RDY}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が 0 の時は、 $\overline{RDY}$  信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、リード/ライトストロブ信号アサート/ネゲートの  $\overline{CS2}$  アサート/ネゲートに対する遅延サイクルは、CS2WCR レジスタより、0~7 サイクルに設定することができます。また、リード/ライトストロブセットアップウェイトが1以上のときには $\overline{BS}$  ホールドサイクルを0~1の範囲で設定できます。

エリア 2 を DDR-SDRAM インタフェースとして使う場合は、MMSELR の AREASEL ビットを設定してください。この場合、 $\overline{CS2}$  信号はアサートされません。DDR-SDRAM の場合は、「第 12 章 DDR-SDRAM インタフェース (DDRIF)」を参照してください。

### (4) エリア 3

エリア 3 は、物理アドレスのビット 28~26 が 011 のエリアです。

このエリアは DDR-SDRAM 専用のエリアです。

詳細は、「第 12 章 DDR-SDRAM インタフェース (DDRIF)」を参照してください。

### (5) エリア 4

エリア 4 は、物理アドレスのビット 28~26 が 100 のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バイト制御 SRAM、バースト ROM、DDR-SDRAM および PCI です。

バス幅は、CS4BCR レジスタの SZ ビットにより 8 ビット、16 ビット、32 ビットから選べます。MPX インタフェースを設定する場合は、CS4BCR レジスタの SZ ビットにより、バス幅を 32 ビットに設定してください。バイト制御 SRAM インタフェースを設定する場合はバス幅を 16 ビット、32 ビットに設定してください。詳細は、「11.3.2 メモリバス幅」を参照してください。

エリア4をアクセスすると $\overline{CS4}$ 信号がアサートされます (DDR-SDRAM、PCIの場合を除く)。

SRAM インタフェースを設定している場合、 $\overline{OE}$ として使用できる $\overline{RD}$ 信号や書き込み制御の $\overline{WE0}\sim\overline{WE3}$ がアサートされます。

バスサイクル数は、CS4WCRレジスタにより挿入ウェイトサイクル数を0~25から選択することができます。詳細は、「11.5.8 アクセスサイクル間ウェイト」を参照してください。

バーストROMインタフェースを使用する場合、CS4BCRのBWビットによりバーストピッチを0~7から選ぶことができます。

また、外部ウェイト端子 ( $\overline{RDY}$ )により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が0の時は、 $\overline{RDY}$ 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、リード/ライトストロープ信号アサート/ネゲートの $\overline{CS4}$ アサート/ネゲートに対する遅延サイクルは、CS4WCRレジスタより、0~7サイクルに設定することができます。また、リード/ライトストロープセットアップウェイトが1以上のときには $\overline{BS}$ ホールドサイクルを0~1の範囲で設定できます。

エリア4をDDR-SDRAMまたはPCIインタフェースとして使う場合は、MMSELRのAREASELビットを設定してください。この場合、 $\overline{CS4}$ 信号はアサートされません。DDR DDR-SDRAMまたはPCIの場合は、「第12章 DDR-SDRAM インタフェース (DDRIF)」または「第13章 PCIコントローラ (PCIC)」を参照してください。

### (6) エリア5

エリア5は、物理アドレスのビット28~26が101のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バーストROM、PCMCIAインタフェースおよびDDR-SDRAMです。

バス幅は、SRAMインタフェース、バーストROMインタフェースを設定する場合、CS5BCRレジスタのSZビットにより8ビット、16ビット、32ビットから選べます。MPXインタフェースを設定する場合は、CS5BCRレジスタのSZビットにより、バス幅を32ビットに設定してください。また、PCMCIAインタフェースを設定する場合、CS5BCRレジスタのSZビットにより8ビット、16ビットのいずれかを選んでください。詳細は「11.3.2 メモリバス幅」を参照してください。

エリア5をアクセスすると $\overline{CS5}$ 信号がアサートされます。

SRAMインタフェースを設定している場合、 $\overline{OE}$ として使用できる $\overline{RD}$ 信号や書き込み制御の $\overline{WE0}\sim\overline{WE3}$ がアサートされます。PCMCIAインタフェースを接続する場合には、 $\overline{CE1A}$ 、 $\overline{CE2A}$ 信号や、 $\overline{OE}$ として使用できる $\overline{RD}$ 信号、また、それぞれ $\overline{WE}$ 、 $\overline{IORD}$ 、 $\overline{IOWR}$ 、 $\overline{REG}$ として使用できる $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE0}$ 信号がアサートされます。

バスサイクル数は、CS5WCRレジスタにより挿入ウェイトサイクル数を0~25から選択することができます。

バーストROMインタフェースを使用する場合、CS5BCRのBWビットによりバーストピッチを0~7から選ぶことができます。

また外部ウェイト端子 ( $\overline{RDY}$ )により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が0の時は、 $\overline{RDY}$ 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、リード/ライトストロープ信号アサート/ネゲートの $\overline{CS5}$ アサート/ネゲートに対する遅延サイクルは、CS5WCRレジスタより、0~7サイクルに設定することができます。

## 11. ローカルバスステートコントローラ (LBSC)

---

また、リード/ライトストロブセットアップウェイトが1以上のときには $\overline{BS}$  ホールドサイクルを0~1の範囲で設定できます。

また、PCMCIA インタフェースの場合、リード/ライトストロブ信号に対してアドレス $\overline{CE1A}$ 、 $\overline{CE2A}$ のセットアップ、ホールド時間をCS5PCRレジスタのTEDA/Bビット、TEHA/Bビットによって、0~15サイクルの範囲で設定できます。さらに、PCWA/Bビットによりウェイトサイクルを0~50の範囲で設定できます。CS5PCRで設定したウェイトは、CS5WCRのIW、CS5PCRのPCIWで設定したウェイト数に加算されます。

エリア5をDDR-SDRAMインタフェースとして使う場合は、MMSELRのAREASELビットを設定してください。この場合、 $\overline{CS5}$ 信号はアサートされません。DDR-SDRAMの場合は、「第12章 DDR-SDRAMインタフェース (DDRIF)」を参照してください。

### (7) エリア6

エリア6は、物理アドレスのビット28~26が110のエリアです。

このエリアに設定できるインタフェースは、SRAM、MPX、バーストROMおよびPCMCIAインタフェースです。

バス幅は、SRAMインタフェースを設定する場合、CS6BCRレジスタのSZビットにより8ビット、16ビット、32ビットから選べます。バーストROMインタフェースを設定する場合は、CS6BCRレジスタのSZビットにより、バス幅を8ビット、16ビット、32ビットから選べます。MPXインタフェースを設定する場合は、CS6BCRレジスタのSZビットにより、バス幅を32ビットに設定してください。また、PCMCIAインタフェースを設定する場合、CS6BCRレジスタのSZビットにより8ビット、16ビットのいずれかを選んでください。詳細は「11.3.2 メモリバス幅」を参照してください。

エリア6をアクセスすると $\overline{CS6}$ 信号がアサートされます。

SRAMインタフェースを設定している場合、 $\overline{OE}$ として使用できる $\overline{RD}$ 信号や書き込み制御の $\overline{WE0}$ ~ $\overline{WE3}$ がアサートされます。PCMCIAインタフェースを設定する場合には、 $\overline{CE1B}$ 、 $\overline{CE2B}$ 信号や、 $\overline{OE}$ として使用できる $\overline{RD}$ 信号、また、それぞれ $\overline{WE}$ 、 $\overline{IORD}$ 、 $\overline{IOWR}$ 、 $\overline{REG}$ として使用できる $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE0}$ 信号がアサートされます。

バスサイクル数は、CS6BCRレジスタにより挿入ウェイトサイクル数を0~25から選択することができます。

バーストROMインタフェースを使用する場合、CS5BCRのBWビットによりバーストピッチを0~7から選ぶことができます。

また、外部ウェイト端子 ( $\overline{RDY}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます (挿入サイクル数が0の時は、 $\overline{RDY}$ 信号は無視されます)。

アドレス信号のセットアップ/ホールドサイクル、リード/ライトストロブ信号アサート/ネゲートの $\overline{CS6}$ アサート/ネゲートに対する遅延サイクルは、CS6WCRレジスタより、0~7サイクルに設定することができます。また、リード/ライトストロブセットアップウェイトが1以上のときには $\overline{BS}$  ホールドサイクルを0~1の範囲で設定できます。

また、PCMCIA インタフェースの場合、リード/ライトストロブ信号に対してアドレス $\overline{CE1B}$ 、 $\overline{CE2B}$ のセットアップ、ホールド時間をCS6PCRレジスタのTEDA/Bビット、TEHA/Bビットによって、0~15サイクルの範囲で設定できます。さらに、PCWA/Bビットによりウェイトサイクルを0~50の範囲で設定できます。CS6PCRで設定したウェイトは、CS6WCRのIW、CS5PCRのPCIWで設定したウェイト数に加算されます。

### 11.5.3 SRAM インタフェース

#### (1) 基本タイミング

本LSIのSRAMインタフェースは、主にSRAMの接続を考慮してストローブ信号を出力します。図11.4にSRAMインタフェースの基本タイミングを示します。ウェイトのない通常アクセスは2サイクルで終了します。 $\overline{BS}$ 信号はバスサイクルの開始を表すため、1サイクルまたは2サイクルアサートされます。 $\overline{CSn}$ 信号は、 $T_1$ の立ち上がりでアサートされ $T_2$ のクロックの次の立ち上がりでネゲートされます。したがって最小ピッチでアクセスする場合は、ネゲート期間は生まれません。

アクセスサイズは、読み出し時は指定がありません。アドレス端子 (A[25:0]) に正しいアクセスアドレスが出力されていますが、アクセスサイズの指定がないので、32ビットデバイスでは32ビット、16ビットデバイスでは16ビットを常に読み出すことになります。書き込み時には書き込みを行うバイトの $\overline{WE}$ 信号のみがアサートされます。詳細は「11.5.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

32バイト転送時は、設定したバス幅に従い、合計32バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは32バイト境界のデータに対してラップアラウンドで行われます。この途中ではバス権を解放しません。

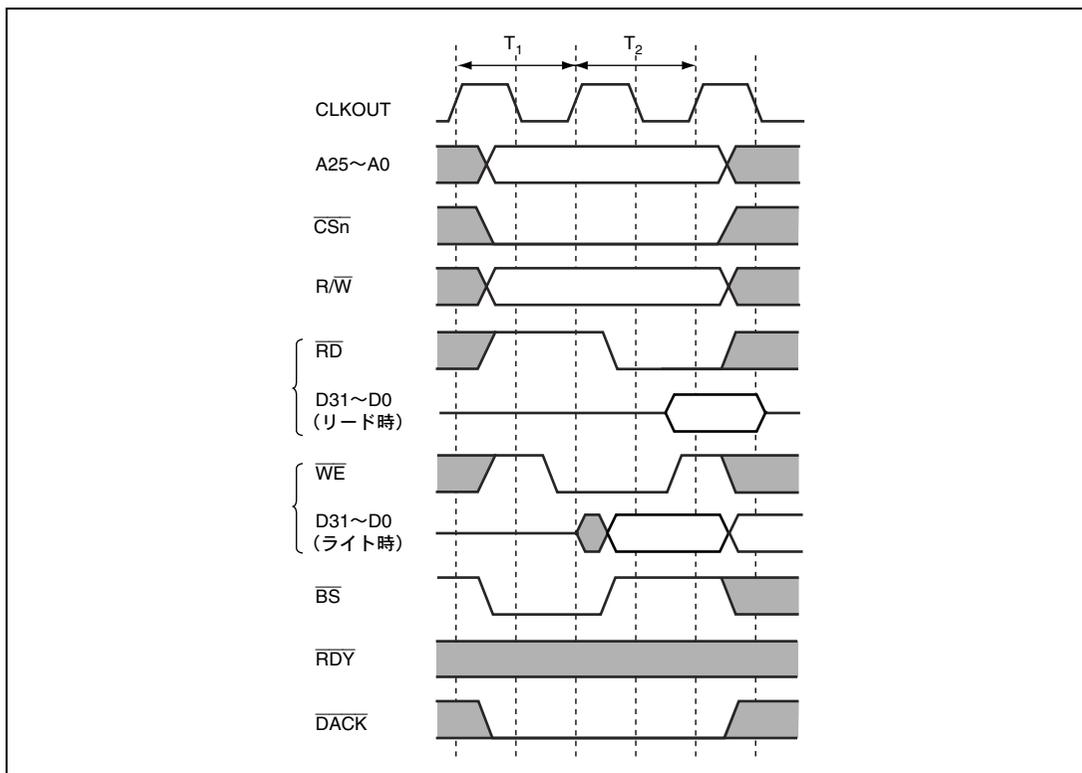


図 11.4 SRAM インタフェースの基本タイミング

## 11. ローカルバスステートコントローラ (LBSC)

図 11.5 に 32 ビットデータ幅の SRAM との接続例を、図 11.6 に 16 ビットデータ幅の SRAM との接続例を、図 11.7 に 8 ビットデータ幅の SRAM との接続例を示します。

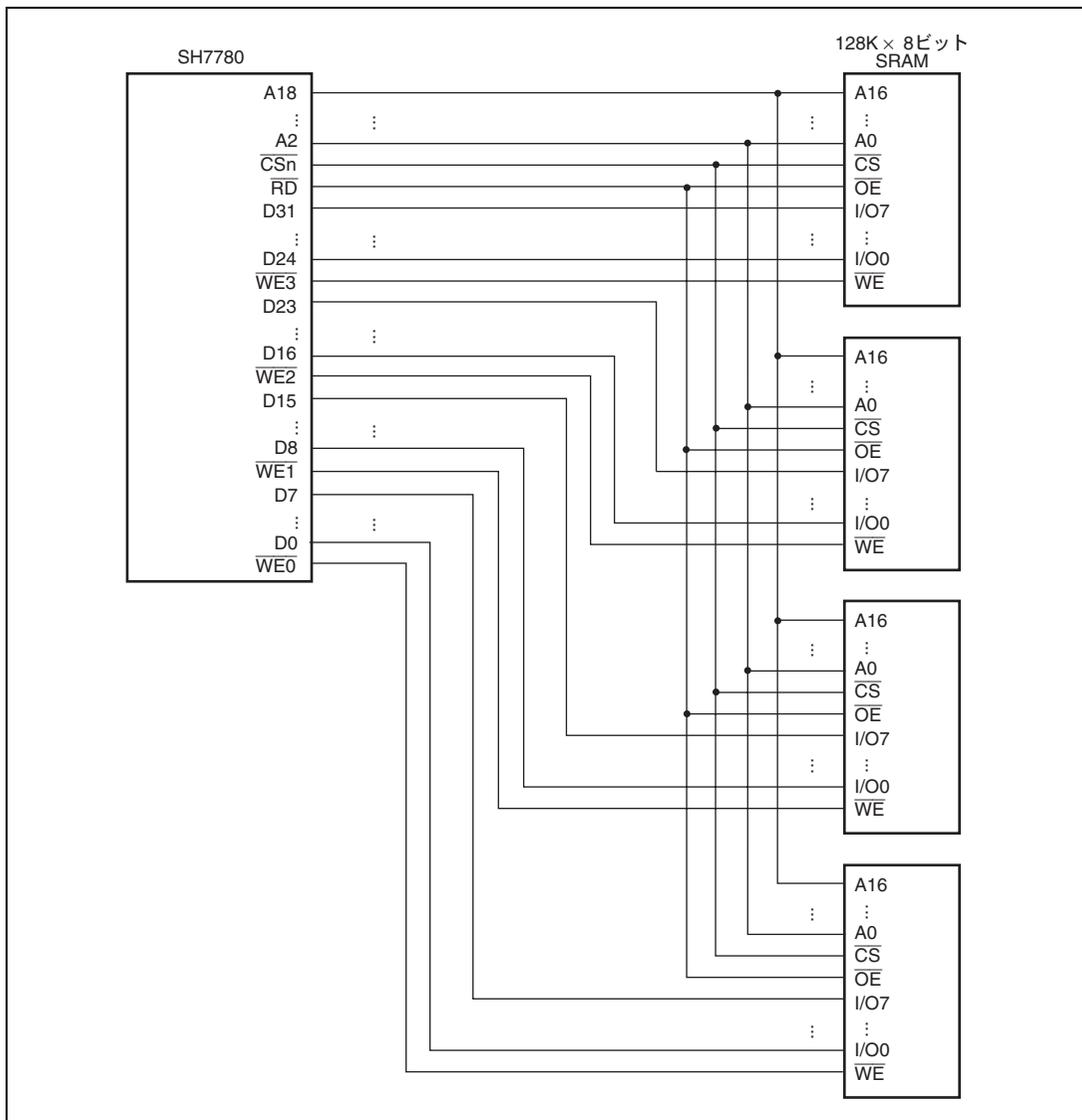


図 11.5 32 ビットデータ幅 SRAM 接続例

## 11. ローカルバスステートコントローラ (LBSC)

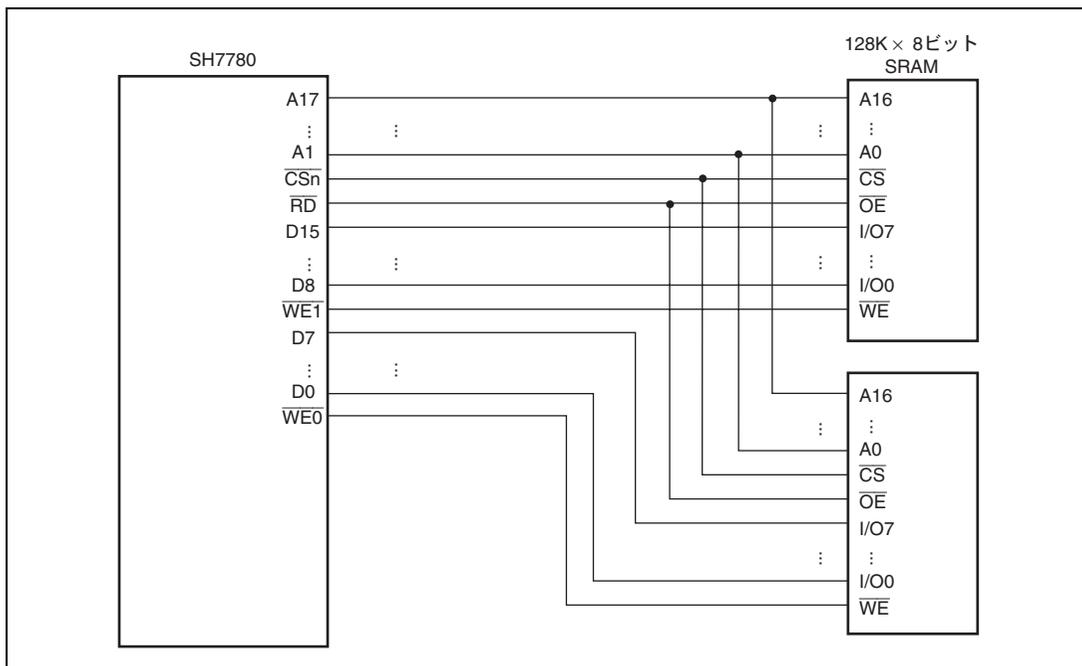


図 11.6 16 ビットデータ幅 SRAM 接続例

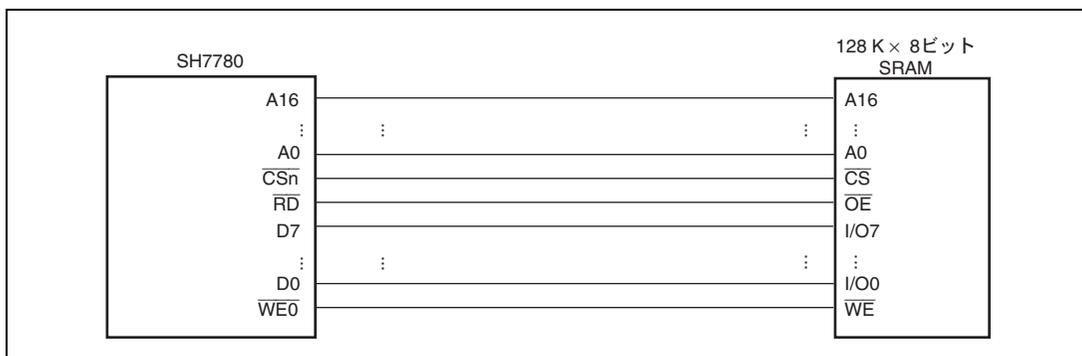


図 11.7 8 ビットデータ幅 SRAM 接続例

## 11. ローカルバスステートコントローラ (LBSC)

### (2) ウェイトステート制御

CSnWCR の設定により、SRAM インタフェースのウェイトステートの挿入を制御できます。CSnWCR の IW ビットが 0 以外のときは、このウェイト指定に従ったソフトウェアウェイトが挿入されます。詳細は「11.4.4 CSn ウェイトコントロールレジスタ (CSnWCR)」の項を参照してください。

CSnWCR によって、図 11.8 に示す SRAM インタフェースのウェイトタイミングで、 $T_w$  のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

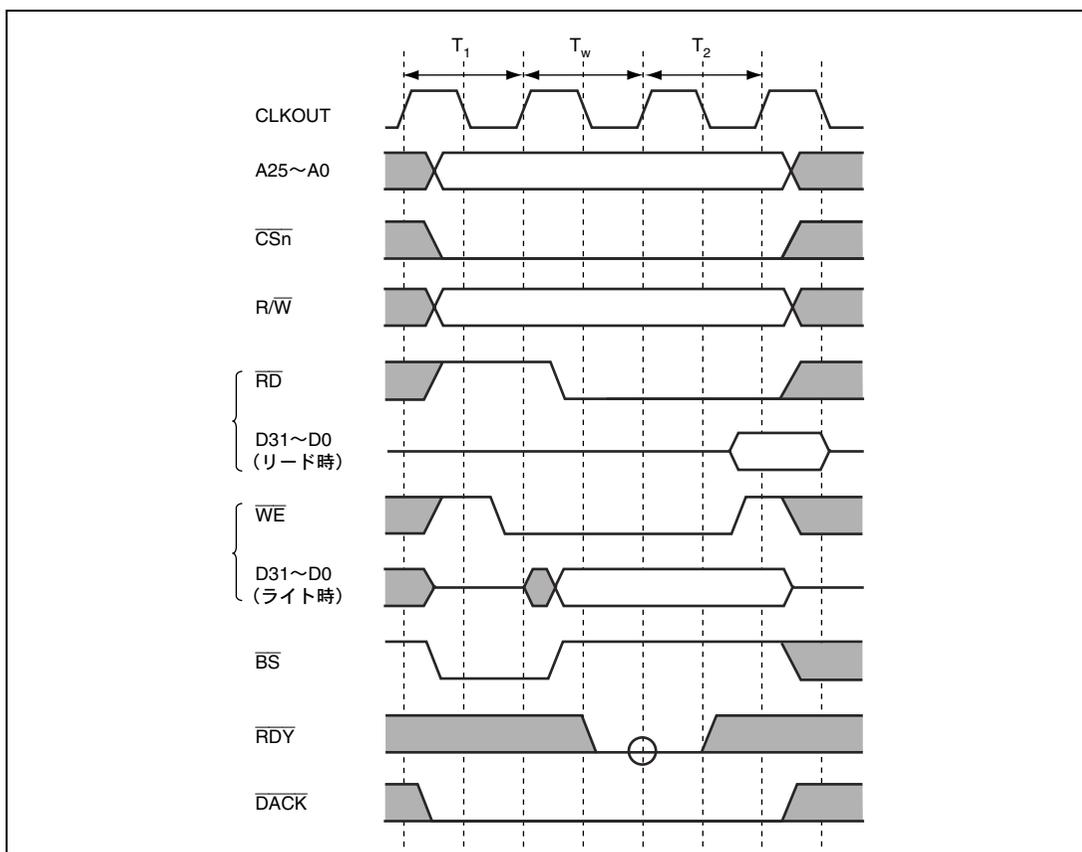


図 11.8 SRAM インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)

CSnWCR によってソフトウェアによるウェイトを指定したときに、外部からのウェイト入力  $\overline{\text{RDY}}$  信号もサンプリングされます。 $\overline{\text{RDY}}$  信号のサンプリングを図 11.9 に示します。ソフトウェアウェイトとして 1 サイクルのウェイトを指定しています。サンプリングは  $T_w$  ステートから  $T_2$  ステートに移行する際に行われるので、 $T_1$  のサイクルおよび 1 回目の  $T_w$  サイクルで  $\overline{\text{RDY}}$  信号をアサートしてもなにも影響を与えません。 $\overline{\text{RDY}}$  信号はクロックの立ち上がりでサンプリングされます。

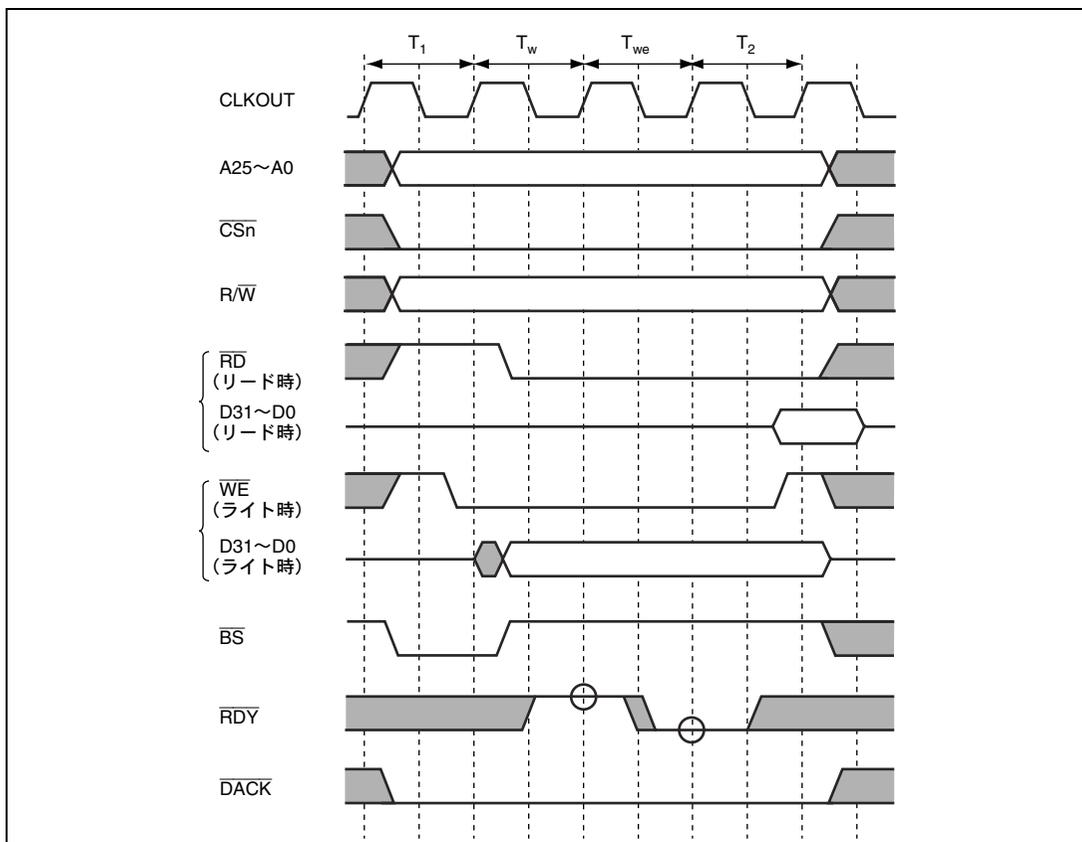


図 11.9 SRAM インタフェースのウェイトタイミング  
(RDY 信号によるウェイトステート挿入、RDY 信号は同期入力)

### (3) リードストロブネゲートタイミング

SRAM インタフェース時、CSnBCR の RDSPL (ビット 7) の設定により、リード時のストロブのネゲートタイミングを設定することができます。設定については「11.4.3 CSn バスコントロールレジスタ (CSnBCR)」のレジスタの項を参照してください。バイト制御 SRAM 設定時は RDSPL に 0 を設定してください。

## 11. ローカルバスステートコントローラ (LBSC)

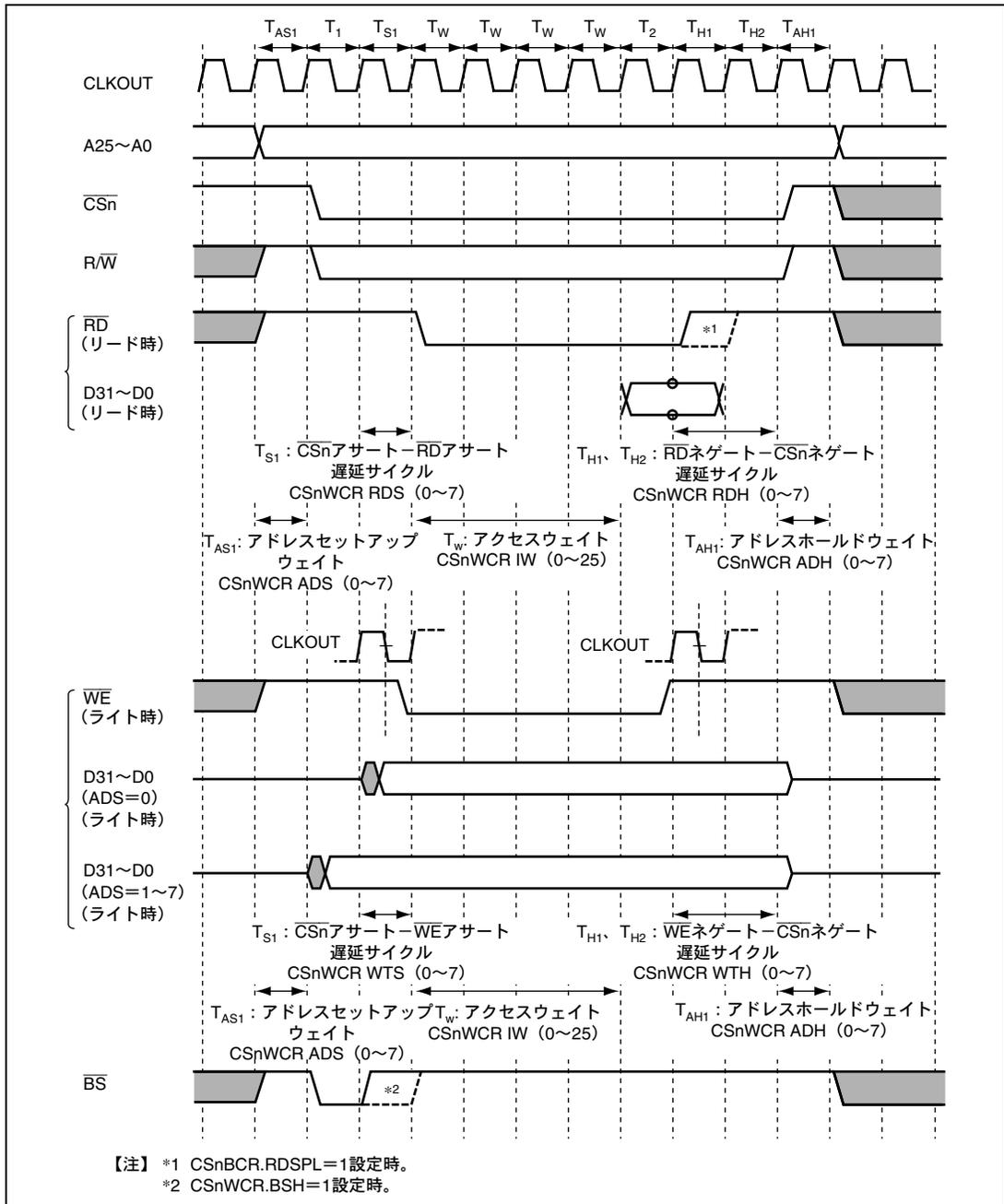


図 11.10 SRAM インタフェースのウェイトタイミング  
(リードストローブネゲートタイミングの設定)

### 11.5.4 バースト ROM インタフェース

CSnBCR の TYPE ビットを 010 に設定することにより、エリア 0、エリア 1、エリア 2、エリア 4、エリア 5、エリア 6 にバースト ROM の接続が可能となります。バースト ROM インタフェースは、バーストアクセス機能を有する ROM に高速にアクセスするためのものです。バースト ROM に対するバーストアクセスのタイミングを図 11.11 に示します。ウェイトサイクルは 0 サイクルの設定です。基本的には SRAM インタフェースと同じようなアクセスを行います。最初のサイクルを終了する際、アドレスのみを切り替えて、次のアクセスを行います。8 ビット幅の ROM を接続する場合には CS0BCR、CS5BCR、CS6BCR の BST ビットによって連続アクセスの回数を 4 回、8 回、16 回、32 回に設定できます。16 ビット幅の ROM を接続する場合には同じく 4 回、8 回、16 回に設定でき、32 ビット幅の ROM を接続する場合は 4 回、8 回に設定できます。

ウェイトステートを 1 以上に設定した場合、常に  $\overline{RDY}$  端子のサンプリングを行います。

バースト ROM の設定を行い、ウェイト指定を 0 にした場合も 2 回目以降のアクセスサイクルは 2 サイクルとなります。この場合のタイミングを図 11.12 に示します。

バースト ROM インタフェースに対するライト動作は、SRAM インタフェースとして行われます。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。また、バス幅とバースト回数を掛けたバイト境界でバーストを一旦中止し ( $\overline{RD}$  をネゲート)、その後 CSnWCR の設定に従い再開します。この途中ではバス権を解放しません。

バースト ROM の設定を行い、CSnWCR でセットアップ/ホールドを指定した場合のタイミングを図 11.13 に示します。

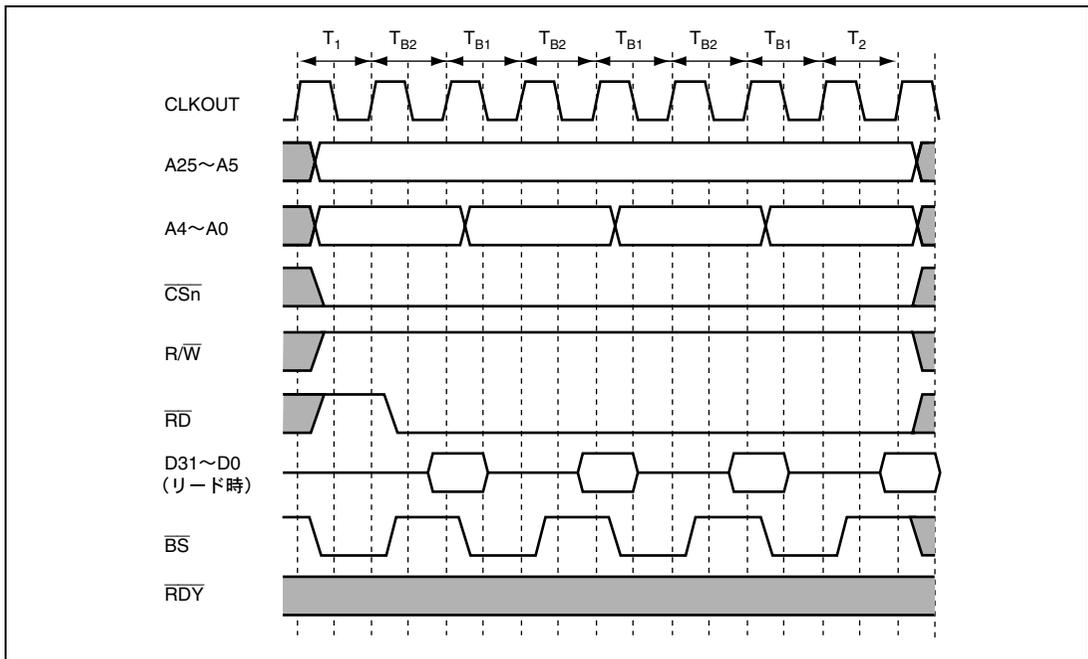


図 11.11 バースト ROM 基本アクセスタイミング

## 11. ローカルバスステートコントローラ (LBSC)

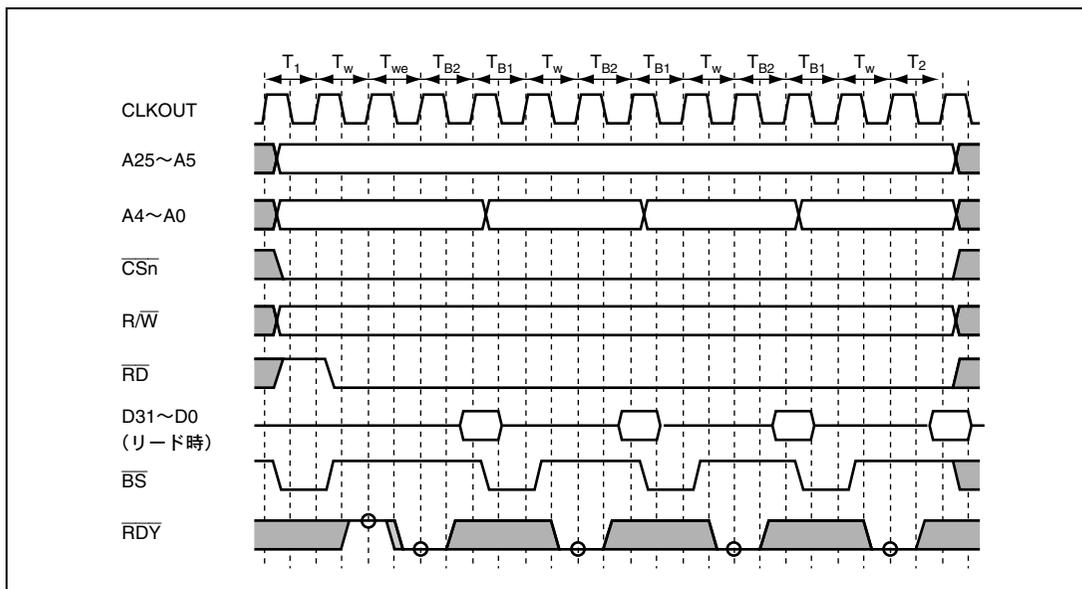


図 11.12 バースト ROM ウェイトタイミング

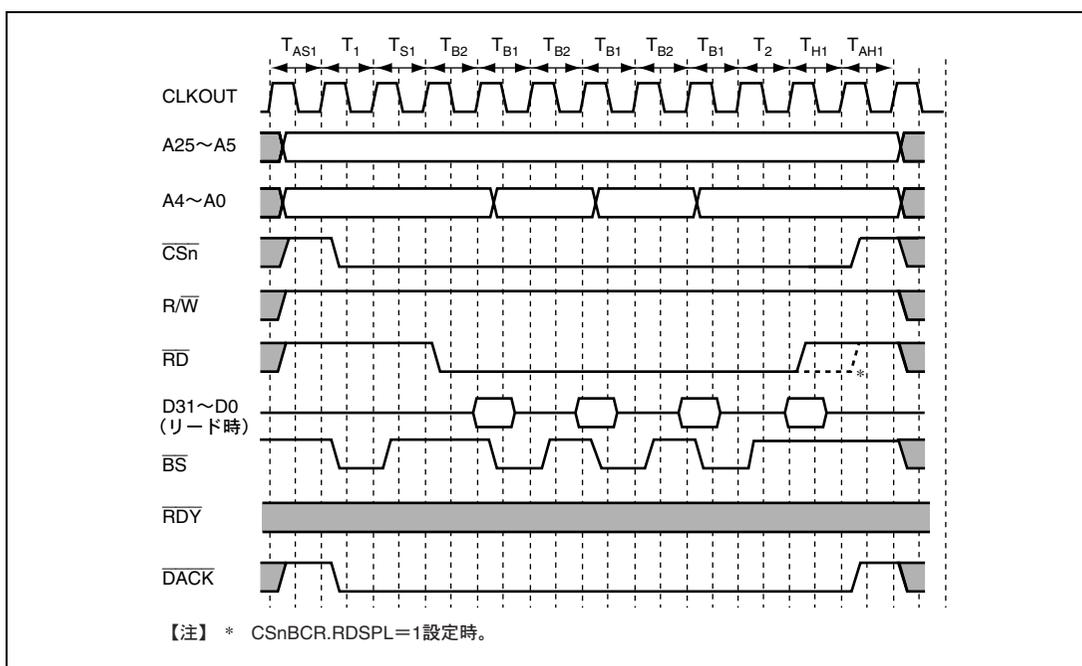


図 11.13 バースト ROM ウェイトタイミング

### 11.5.5 PCMCIA インタフェース

本 LSI では CS5BCR、CS6BCR の TYPE ビットを設定することにより、外部メモリ空間のエリア 5、6 のバスインタフェースが、JEIDA 仕様 Ver4.2 (PCMCIA2.1 以下略) で定める"IC メモリカードインタフェース"または"I/O カードインタフェース"になります。

JEIDA/PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI は、リトルエンディアンモードの設定でのみ、リトルエンディアンモードの PCMCIA インタフェースをサポートしています。

PCMCIA インタフェースのメモリ空間は CSnPCR の SAA および SAB ビットの設定により、8 ビット共有メモリ、16 ビット共有メモリ、8 ビットアトリビュートメモリ、16 ビットアトリビュートメモリ、8 ビット I/O 空間、16 ビット I/O 空間、ダイナミックバスサイジング、ATA 補完モードが選択できます。

アクセス先がエリアの前半のときは、CSn ウェイトコントロールレジスタ (CSnWCR) の IW、および CSnPCMCIA コントロールレジスタ (CSnPCR) の PCWA、TEDA、TEHA ビットが選択されます。アクセス先がエリアの後半のときは、CSn ウェイトコントロールレジスタ (CSnWCR) の IW、および CSnPCMCIA コントロールレジスタ (CSnPCR) の PCWB、TEDB、TEHB ビットが選択されます。

低速バスサイクルに挿入するウェイトステート数は、PCWA/B ビットにより、0、15、30、または 50 に設定できます。この値は、CSnWCR の IW または CSnPCR の PCIW で指定された挿入ウェイトステート数に加算されます。 $\overline{RD}$  および  $\overline{WE1}$  信号のアドレス、 $\overline{CE1A}(CS5)$ 、 $\overline{CE1B}(CS6)$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 $\overline{REG}$  セットアップ時間は、TEDA/B ビット (0~15 に設定可能) により、設定することができます。また、 $\overline{RD}$  および  $\overline{WE1}$  信号のアドレス、 $\overline{CE1A}(CS5)$ 、 $\overline{CE1B}(CS6)$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 $\overline{REG}$  データホールド時間は、TEHA/B ビット (0~15 に設定可能) により、設定することができます。

また、サイクル間アイドルサイクルは、CS5 バスコントロールレジスタ (CS5BCR)、または CS6 バスコントロールレジスタ (CS6BCR) のサイクル間アイドルビット (IWW/IWRWD/IWRWS/IWRRD/IWRRS) により設定します。選択されるサイクル間ウェイトサイクルは、アクセスされるエリア (エリア 5 またはエリア 6) のみに依存し、エリア 5 のアクセス時には、CS5WCR のサイクル間アイドルビットが、エリア 6 のアクセス時には、CS6WCR のサイクル間アイドルビットが、それぞれ選択されます。

32 バイト転送時は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドで行われません。この途中ではバス権を解放しません。

## 11. ローカルバスステートコントローラ (LBSC)

ATA 補完モードは、本 LSI に接続する ATA デバイス内部の特定のレジスタにアクセスするときに使用します。対象となるレジスタは Device Control Register、Alternate Status Register、Data Register、Data Port です。

Device Control Register、Alternate Status Register には DMAC を使用しないバイトアクセス、Data Register には DMAC を使用しないワードアクセスを行ってください。DMAC を使用しないバイトアクセスのときには  $\overline{CE1x}$  がネゲートされ、 $\overline{CS2x}$  がアサートされます。DMAC を使用しないワードアクセスの時には  $\overline{CE1x}$  がアサートされ、 $\overline{CE2x}$  がネゲートされます。

Data Port へのアクセスは DMA 転送を使用します。このとき DMAC の CHCR の設定例は、外部リクエスト、バーストモード、レベル検出、オーバラン 0、および PCMCIA 接続エリアに対する  $\overline{DACK}$  出力です。DMA によるアクセスのときには  $\overline{CE1x}$ 、および  $\overline{CE2x}$  はネゲートされます。さらに、DMA チャンネルに対応する BCR の DACKBST ビットを 1 にセットすると、該当チャンネルの  $\overline{DACK}$  は DMA 転送の初回から最終回までアサートされつづけます。このとき、転送途中で対応する  $\overline{DREQ}$  をネゲートしても、 $\overline{DACK}$  はネゲートされません。また、ATA 補完モードを設定している空間に対する DMA 転送の  $\overline{DACK}$  出力するアクセス時、 $\overline{CE1x}$  および  $\overline{CE2x}$  はアサートされません。DACKBST が有効な DMA 転送の転送サイズを 16 バイトに設定するときは、 $\overline{DACK}$  を出力する空間の同空間に対するアクセスサイクル間ウェイトを 0 に設定してください。DACKBST を有効にした DMA バースト転送を行った後は、他の DMA 転送を始める前に、DACKBST ビットを再設定してください。

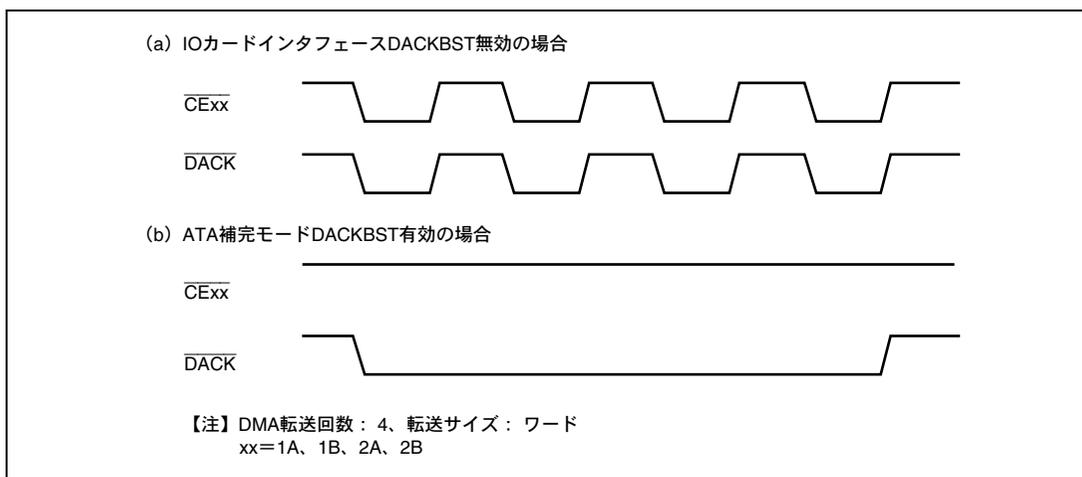


図 11.14 ATA 補完モード DMA 転送時の  $\overline{CE1x}$  信号と  $\overline{DACK}$  信号の出力

図 11.15 に本 LSI と PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入（システムの電源を供給中にカードの抜き差しを行うこと）を行えるようにするために、本 LSI のバスインタフェースと PCMCIA カードの間にスリーステートバッファを接続する必要があります。

## 11. ローカルバスステートコントローラ (LBSC)

表 11.15 PCMCIA インタフェース使用時のアドレスと CE の関係

バス (ビット)	リード/ ライト	アクセス <sup>a1</sup> (ビット)	奇数/ 偶数	IOIS16	アクセス	CE2	CE1	A0	D15~D8	D7~D0	
8	リード	8	偶数	X	—	H	L	L	無効	リードデータ	
			奇数	X	—	H	L	H	無効	リードデータ	
		16	偶数	X	1回目	H	L	L	無効	下位リードデータ	
			偶数	X	2回目	H	L	H	無効	上位リードデータ	
			奇数	X	—	—	—	—	—	—	
	ライト	8	偶数	X	—	H	L	L	無効	ライトデータ	
			奇数	X	—	H	L	H	無効	ライトデータ	
		16	偶数	X	1回目	H	L	L	無効	下位ライトデータ	
			偶数	X	2回目	H	L	H	無効	上位ライトデータ	
			奇数	X	—	—	—	—	—	—	
16	リード	8	偶数	X	—	H	L	L	無効	リードデータ	
			奇数	X	—	L	H	H	リードデータ	無効	
		16	偶数	X	—	L	L	L	上位リードデータ	下位リードデータ	
			奇数	X	—	—	—	—	—	—	
		ライト	8	偶数	X	—	H	L	L	無効	ライトデータ
				奇数	X	—	L	H	H	ライトデータ	無効
	16		偶数	X	—	L	L	L	上位ライトデータ	下位ライトデータ	
			奇数	X	—	—	—	—	—	—	
	ダイナミック バスサイジング <sup>a2</sup>	リード	8	偶数	L	—	H	L	L	無効	リードデータ
				奇数	L	—	L	H	H	リードデータ	無効
16			偶数	L	—	L	L	L	上位リードデータ	下位リードデータ	
			奇数	L	—	—	—	—	—	—	
ライト			8	偶数	L	—	H	L	L	無効	ライトデータ
				奇数	L	—	L	H	H	ライトデータ	無効
		16	偶数	L	—	L	L	L	上位ライトデータ	下位ライトデータ	
			奇数	L	—	—	—	—	—	—	
リード		8	偶数	H	—	H	L	L	無効	リードデータ	
			奇数	H	1回目	L	H	H	無効	無効	
			奇数	H	2回目	H	L	L	無効	リードデータ	
		16	偶数	H	1回目	L	L	L	無効	下位リードデータ	
			偶数	H	2回目	H	L	H	無効	上位リードデータ	
			奇数	H	—	—	—	—	—	—	

## 11. ローカルバスステートコントローラ (LBSC)

バス (ビット)	リード/ ライト	アクセス <sup>*1</sup> (ビット)	奇数/ 偶数	IOIS16	アクセス	CE2	CE1	A0	D15~D8	D7~D0	
ダイナミック バスサイジング <sup>*2</sup>	ライト	8	偶数	H	—	H	L	L	無効	ライトデータ	
			奇数	H	1回目	L	H	H	無効	ライトデータ	
			奇数	H	2回目	H	L	H	無効	ライトデータ	
		16	偶数	H	1回目	L	L	L	上位ライトデータ	下位ライトデータ	
			偶数	H	2回目	H	L	H	無効	上位ライトデータ	
			奇数	H	—	—	—	—	—	—	
ATA 補完 モード	DACK を出力 しないリード	8	偶数	X	—	L	H	L	無効	リードデータ	
			奇数	X	—	—	—	—	—	—	
		16	偶数	X	—	H	L	L	上位リードデータ	下位リードデータ	
			奇数	X	—	—	—	—	—	—	
		DACK を出力 しないライト	8	偶数	X	—	L	H	L	無効	ライトデータ
				奇数	X	—	—	—	—	—	—
	16		偶数	X	—	H	L	L	上位ライトデータ	下位ライトデータ	
			奇数	X	—	—	—	—	—	—	
	DACK を出力 するリード	8	偶数	X	—	H	H	L	無効	リードデータ	
			奇数	X	—	H	H	L	リードデータ	無効	
		16	偶数	X	—	H	H	H	上位ライトデータ	下位ライトデータ	
			奇数	X	—	—	—	—	—	—	
	DACK を出力 するライト	8	偶数	X	—	H	H	L	無効	リードデータ	
			奇数	X	—	H	H	L	リードデータ	無効	
		16	偶数	X	—	H	H	H	上位ライトデータ	下位ライトデータ	
			奇数	X	—	—	—	—	—	—	

【注】 X : Don't care

L : Low level

H : High level

\*1 32 ビット/64 ビット/16 バイト/32 バイト転送の場合、各転送における転送データサイズに達するまで、自動的にバス幅分のアドレスをインクリメントして上記アクセスを繰り返す。

\*2 PCMCIA I/O カードインタフェース時のみ

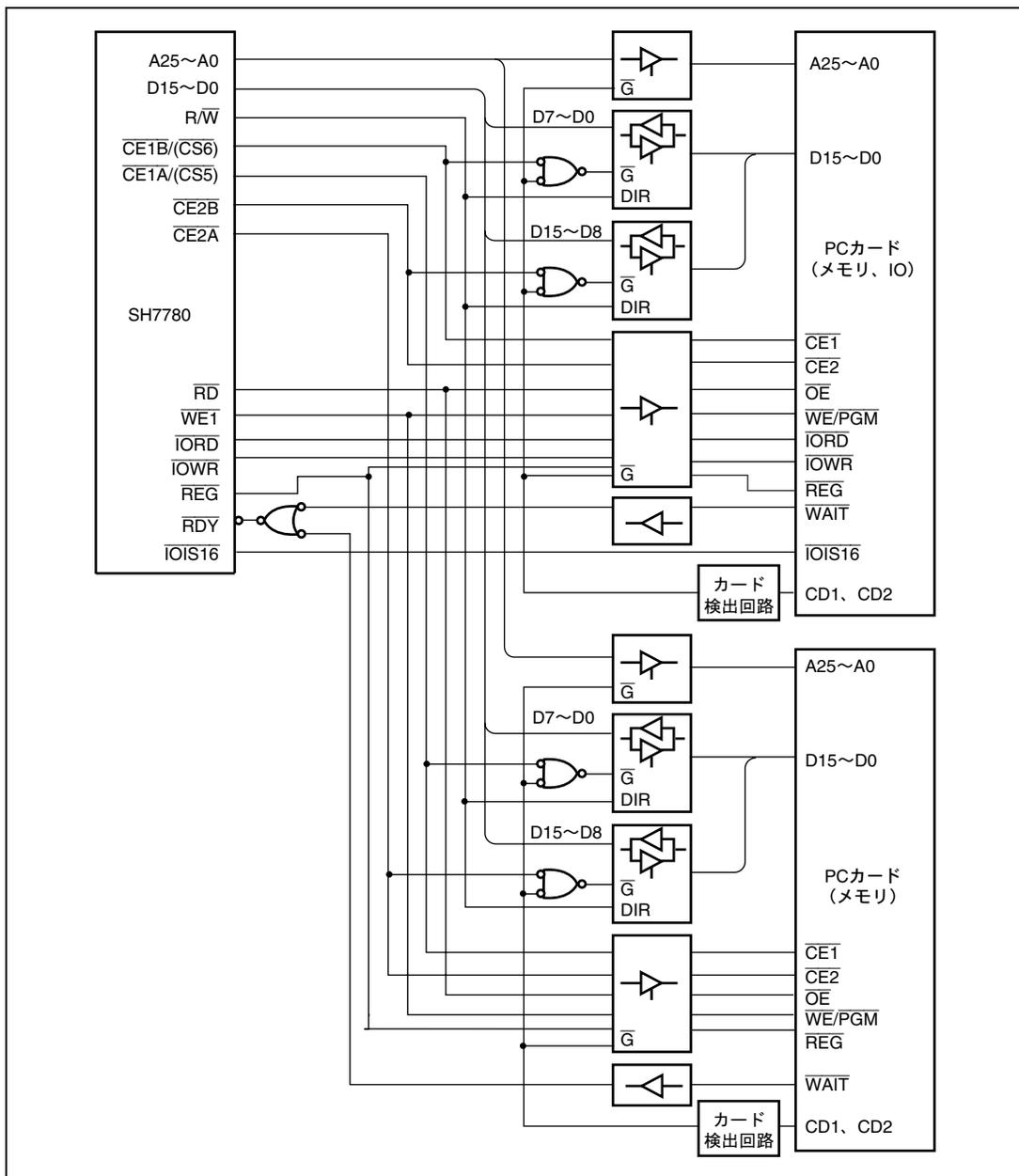


図 11.15 PCMCIA インタフェース例

## 11. ローカルバスステートコントローラ (LBSC)

### (1) メモリカードインタフェース基本タイミング

図 11.16 に PCMCIA の "IC メモリカードインタフェース" の基本タイミングを、図 11.17 に PCMCIA メモリカードインタフェースウェイトタイミングを、それぞれ示します。

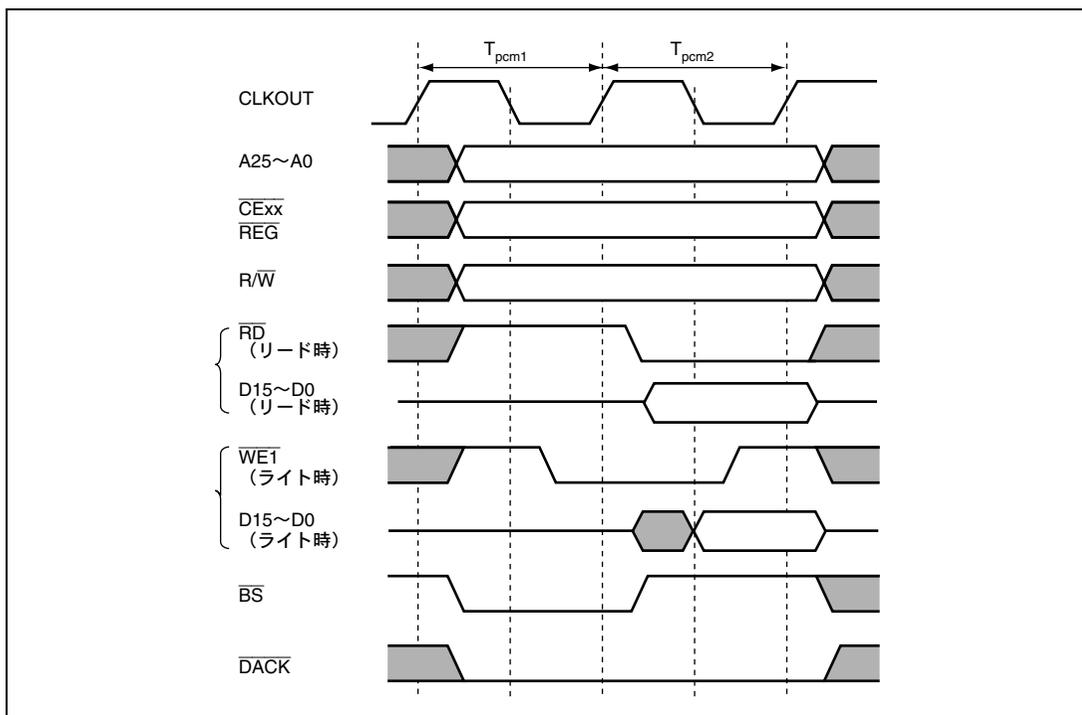


図 11.16 PCMCIA メモリカードインタフェース基本タイミング

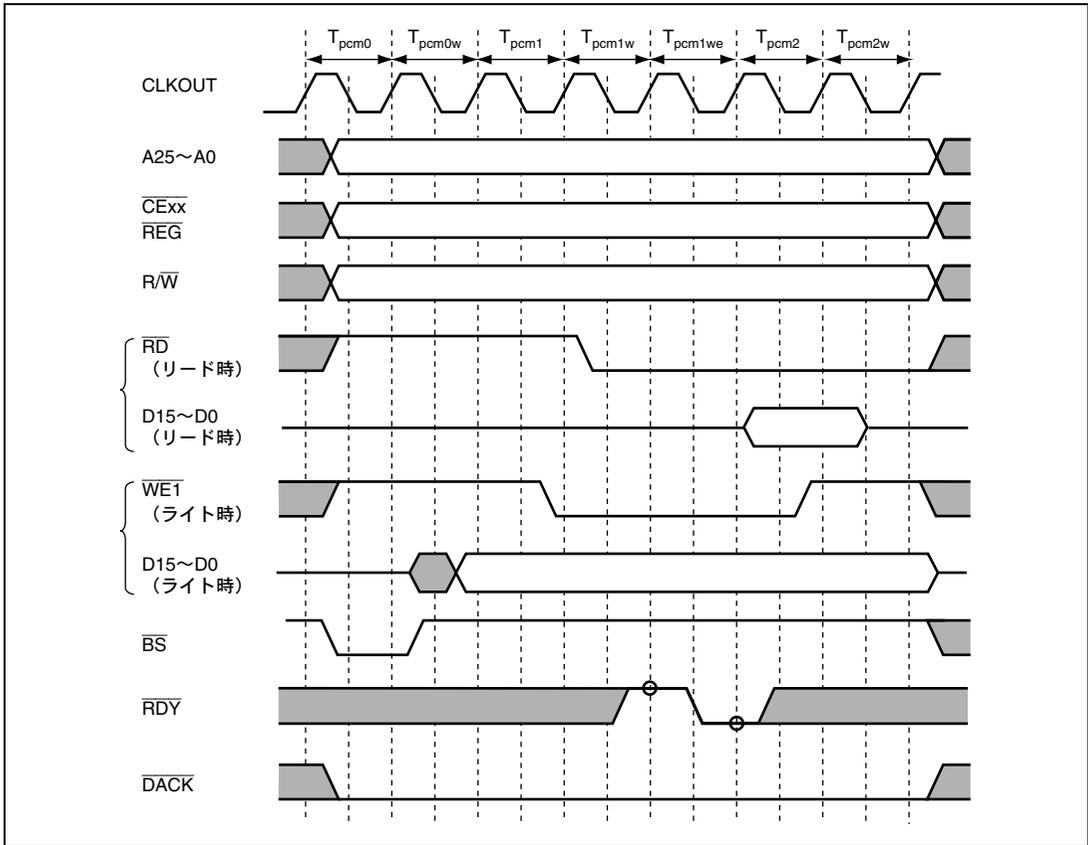


図 11.17 PCMCIA メモリカードインタフェースウェイトタイミング

## 11. ローカルバスステートコントローラ (LBSC)

### (2) I/O カードインタフェースタイミング

図 11.18、図 11.19 に PCMCIA の "I/O カードインタフェース" のタイミングを示します。

PCMCIA カードを I/O カードインタフェースとしてアクセスする場合、 $\overline{\text{IOIS16}}$  端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。バス幅を 16 ビットに設定している場合に、ワードサイズの I/O バスサイクル中に  $\overline{\text{IOIS16}}$  信号が "H" の場合、その I/O ポートは 8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。また、アドレス  $2n+1$  に対するバイトサイズアクセスでもダイナミックバスサイジングが行われます。

ダイナミックバスサイジングの基本タイミングを図 11.20 に示します。

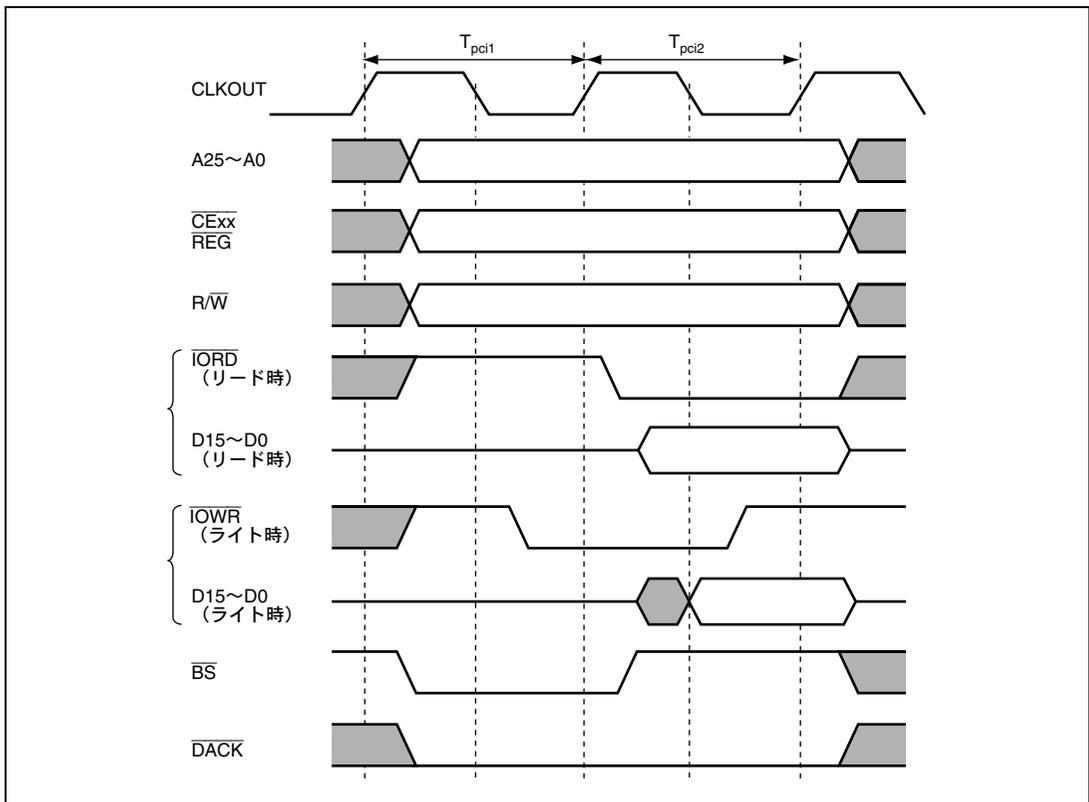


図 11.18 PCMCIA I/O カードインタフェース基本タイミング

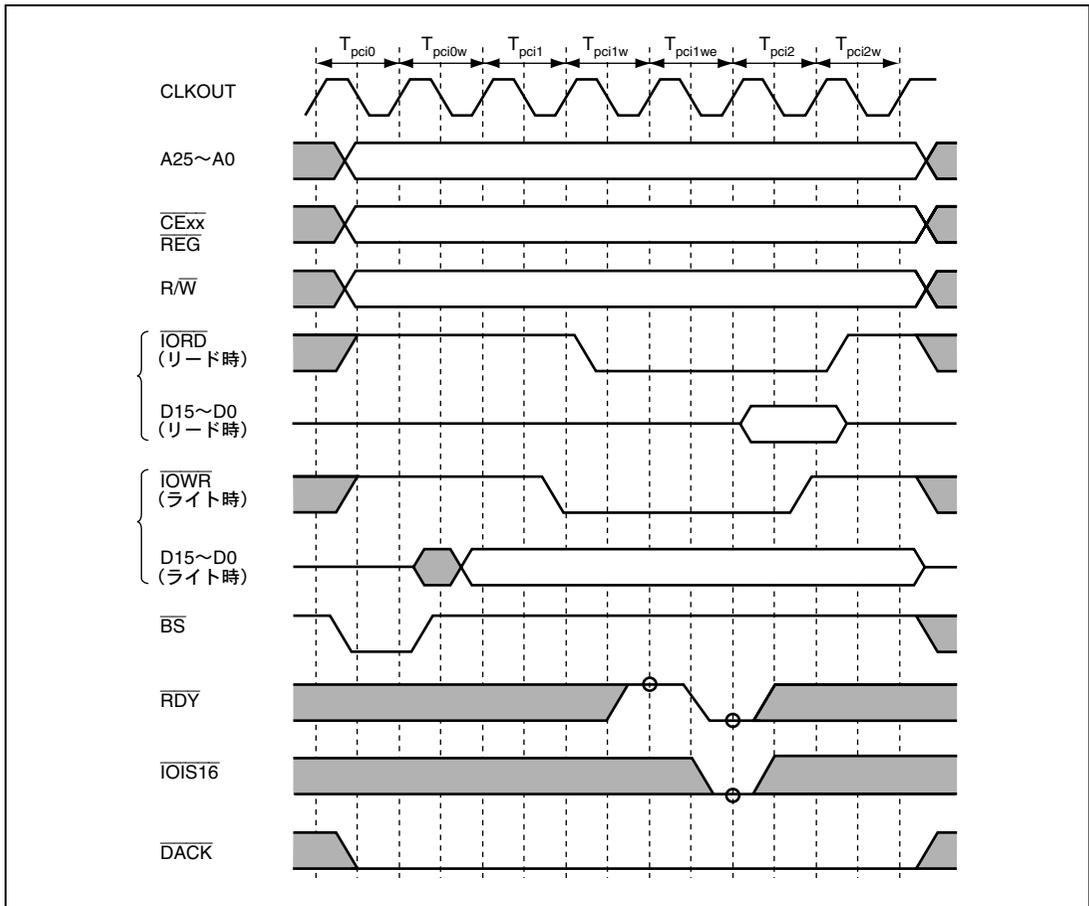


図 11.19 PCMCIA I/O カードインタフェースウェイトタイミング

## 11. ローカルバスステートコントローラ (LBSC)

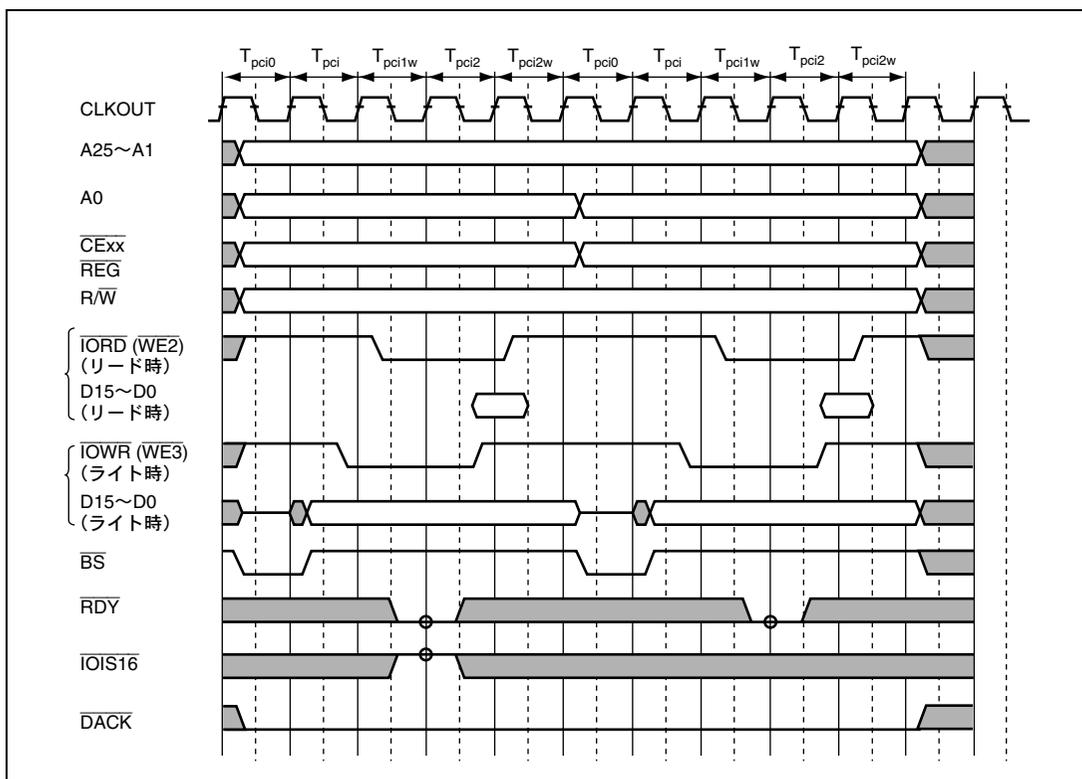


図 11.20 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング

### 11.5.6 MPX インタフェース

$\overline{\text{PRESET}}$  端子によるパワーオンリセット時、MODE4、MODE3 端子をともに 0 に設定すると、エリア 0 は MPX インタフェースが選択されます。CS1BCR~CS2BCR、CS4BCR~CS6BCR の MPX ビットにより、エリア 1、2、4~6 に対して、MPX インタフェースが選択されます。MPX インタフェースは、アドレス/データマルチプレクス形式のバスプロトコルを提供し、アドレス/データマルチプレクス形式の 32 ビットシングルバスを使用した外部メモリコントローラチップとの接続を容易に行えます。バスサイクルはアドレスフェーズとデータフェーズからなり、アドレスフェーズにおいてアドレス情報は D25~D0 に、アクセスサイズは D31~D29 に出力されます。 $\overline{\text{BS}}$  信号はアドレスフェーズを示すため、1 サイクルアサートされます。 $\overline{\text{CSn}}$  信号は Tm1 の立ち上がりでアサートされ、データフェーズで最後のデータ転送終了後ネゲートされます。したがって最小ピッチでアクセスする場合、ネゲート期間は生まれません。 $\overline{\text{FRAME}}$  信号は、Tm1 の立ち上がりでアサートされ、データフェーズで最後のデータ転送のサイクルが開始した時にネゲートされます。そのため、MPX インタフェースに対応する外部デバイスは、アドレスフェーズに出力されたアドレス情報およびアクセスサイズを外部デバイス内に保持し、データフェーズに対応したデータの入出力を行う必要があります。アクセスサイズとデータアライメントについては「11.5.1 エンディアン/アクセスサイズとデータアライメント」を参照してください。

アドレス端子 A25~A0 に出力される値は保証されません。

32 バイト転送は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この場合のようにアクセスサイズがバス幅よりも大きい場合、アドレスを 1 回出力した後、複数のデータサイクルが続くバーストアクセスが発生します。この途中ではバス権を解放しません。

表 11.16 アドレスフェーズにおける D31~D29 端子とアクセスサイズの関係

D31	D30	D29	アクセスサイズ
0	0	0	バイト
		1	ワード
	1	0	ロングワード
		1	使用しません
1	x	x	32 バイトバースト

【記号説明】 X : Don't care

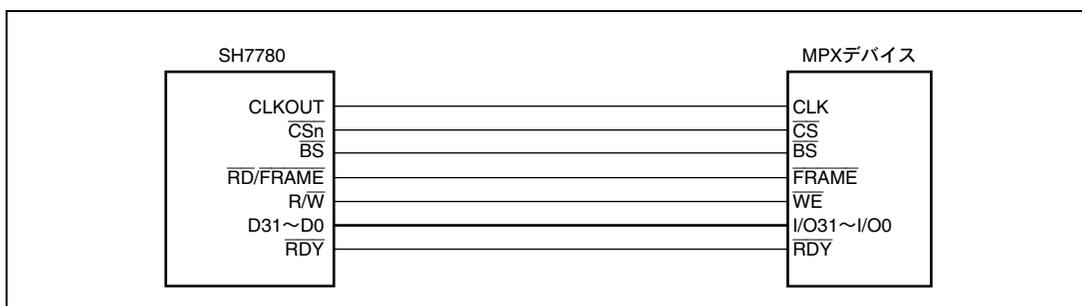


図 11.21 32 ビットデータ幅 MPX の接続例

## 11. ローカルバスステートコントローラ (LBSC)

図 11.22～図 11.33 に MPX インタフェースタイミングを示します。

エリア 1、2、4～6 で MPX インタフェースを使用する場合、CSnBCR によるバスサイズ指定は 32 ビットとしてください。

なお、ウェイト制御は CSnWCR によるウェイトと  $\overline{\text{RDY}}$  端子によるウェイト挿入が可能です。

リード時は CSnWCR を 0 に設定していても、アドレス出力の次に自動的に 1 サイクルのウェイトが挿入されます。

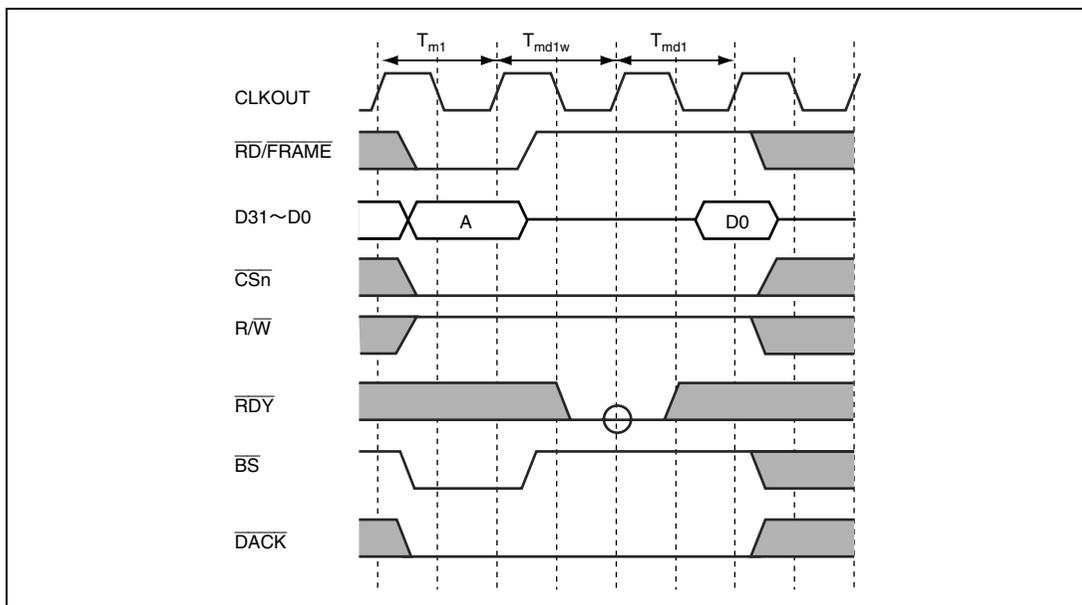


図 11.22 MPX インタフェースタイミング 1 (シングルリードサイクル、IW=0、外部ウェイトなし)

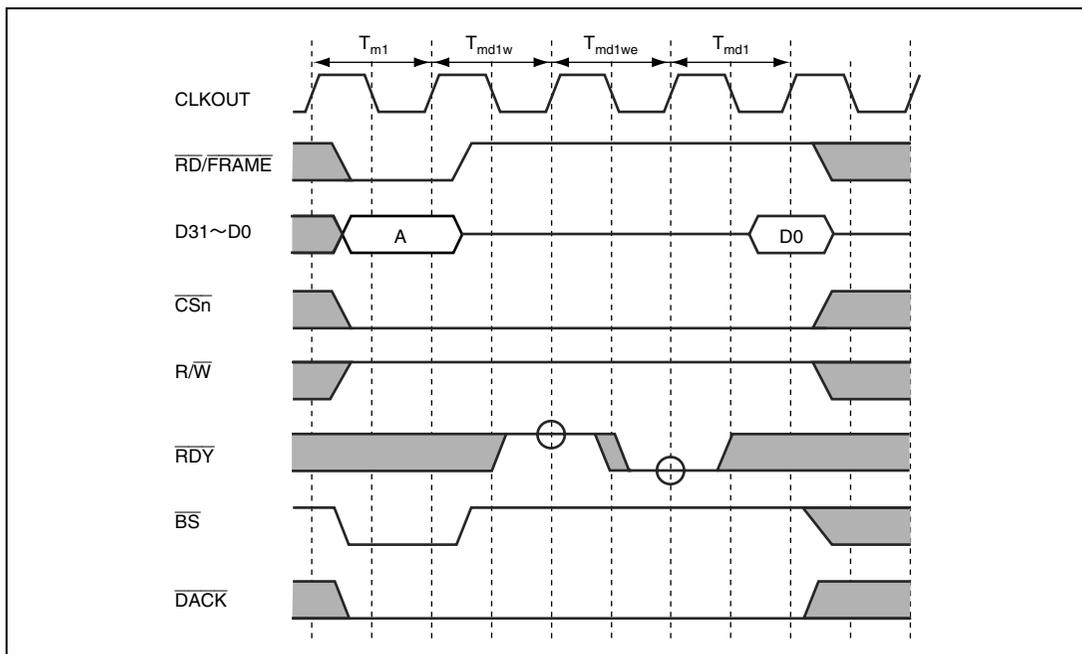


図 11.23 MPX インタフェースタイミング 2 (シングルリード、IW=0、外部ウェイト 1 挿入)

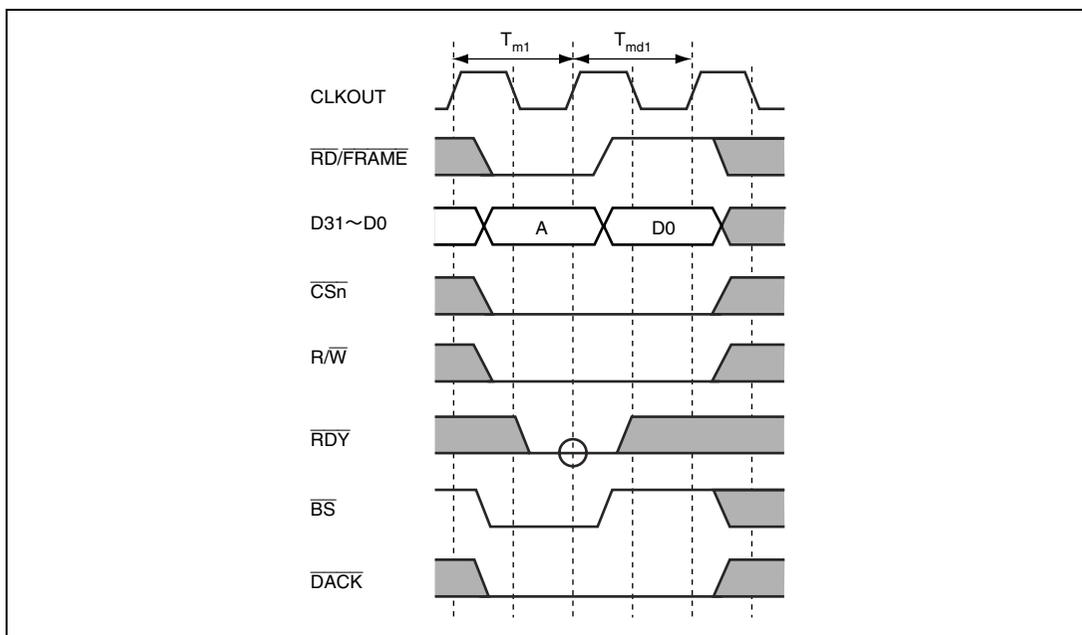


図 11.24 MPX インタフェースタイミング 3 (シングルライトサイクル、IW=0、外部ウェイトなし)

## 11. ローカルバスステートコントローラ (LBSC)

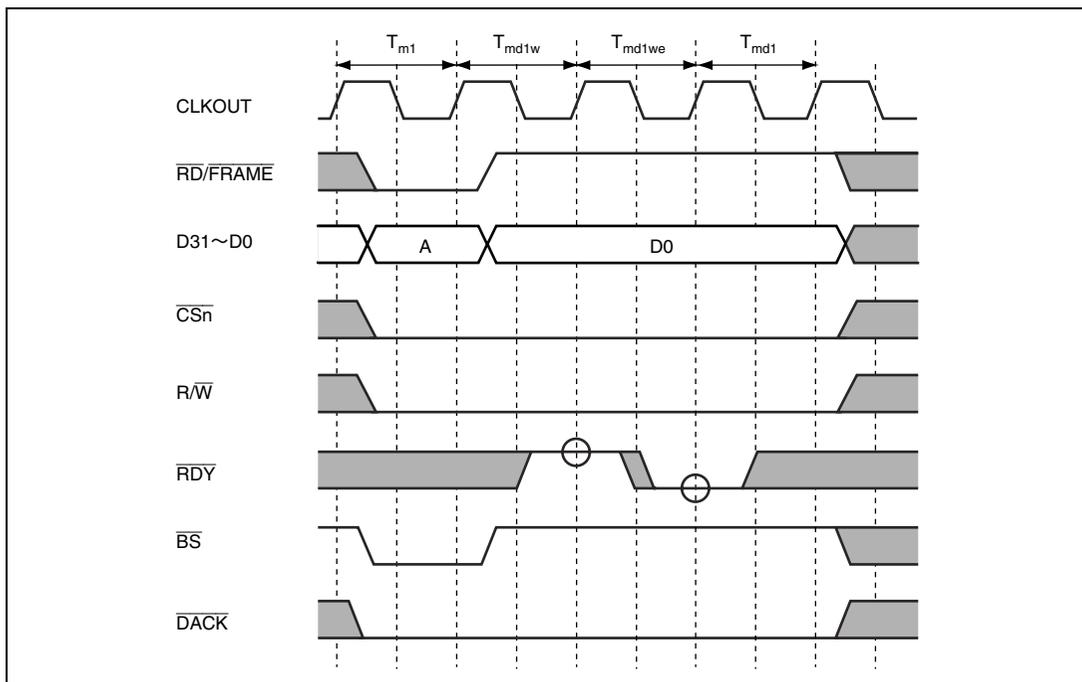


図 11.25 MPX インタフェースタイミング 4 (シングルライト、IW=1、外部ウェイト 1 挿入)

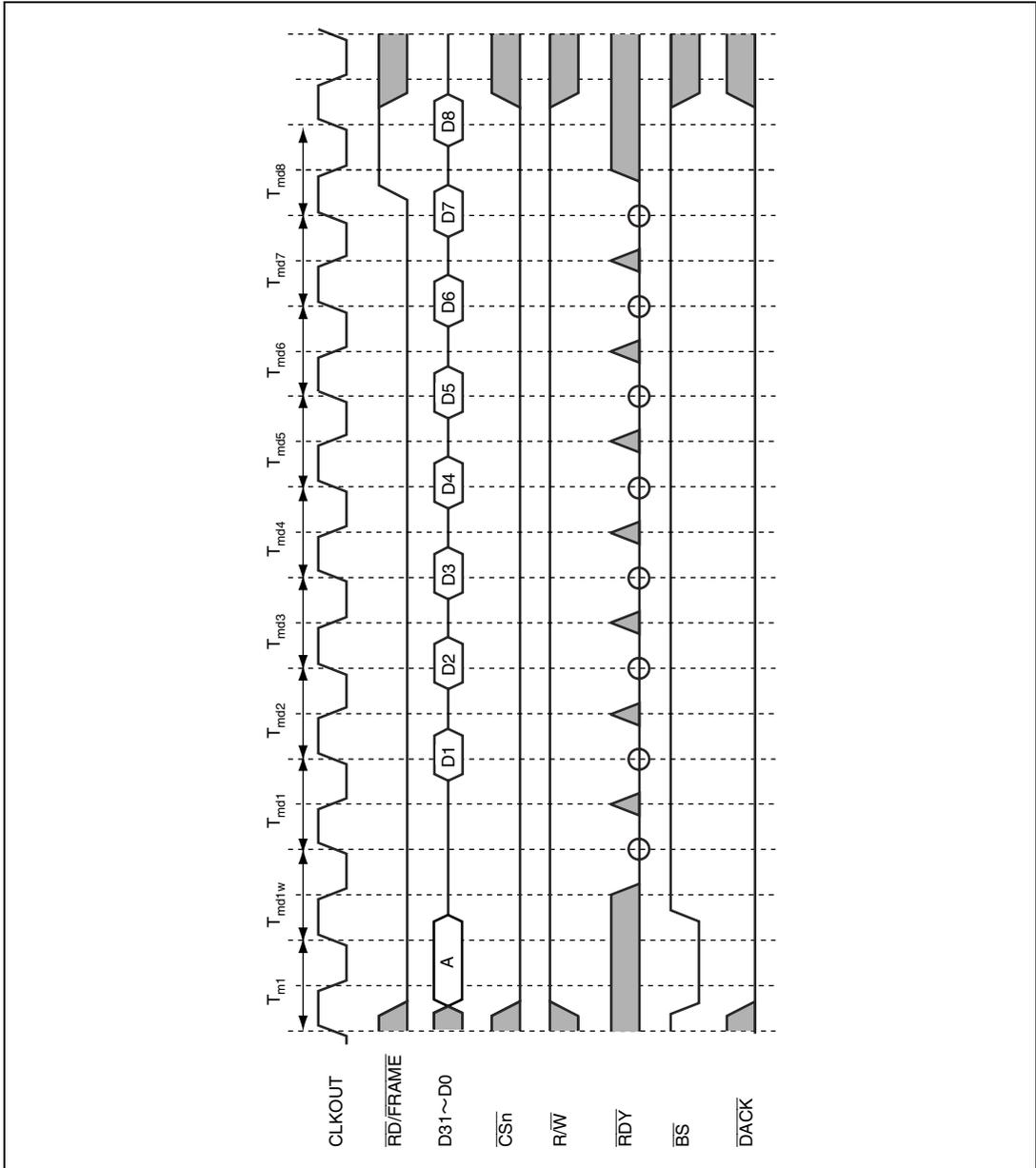


図 11.26 MPX インタフェースタイミング 5  
 (バーストリードサイクル、IW=0、外部ウェイトなし、転送データサイズ 32 バイト)

11. ローカルバスステートコントローラ (LBSC)

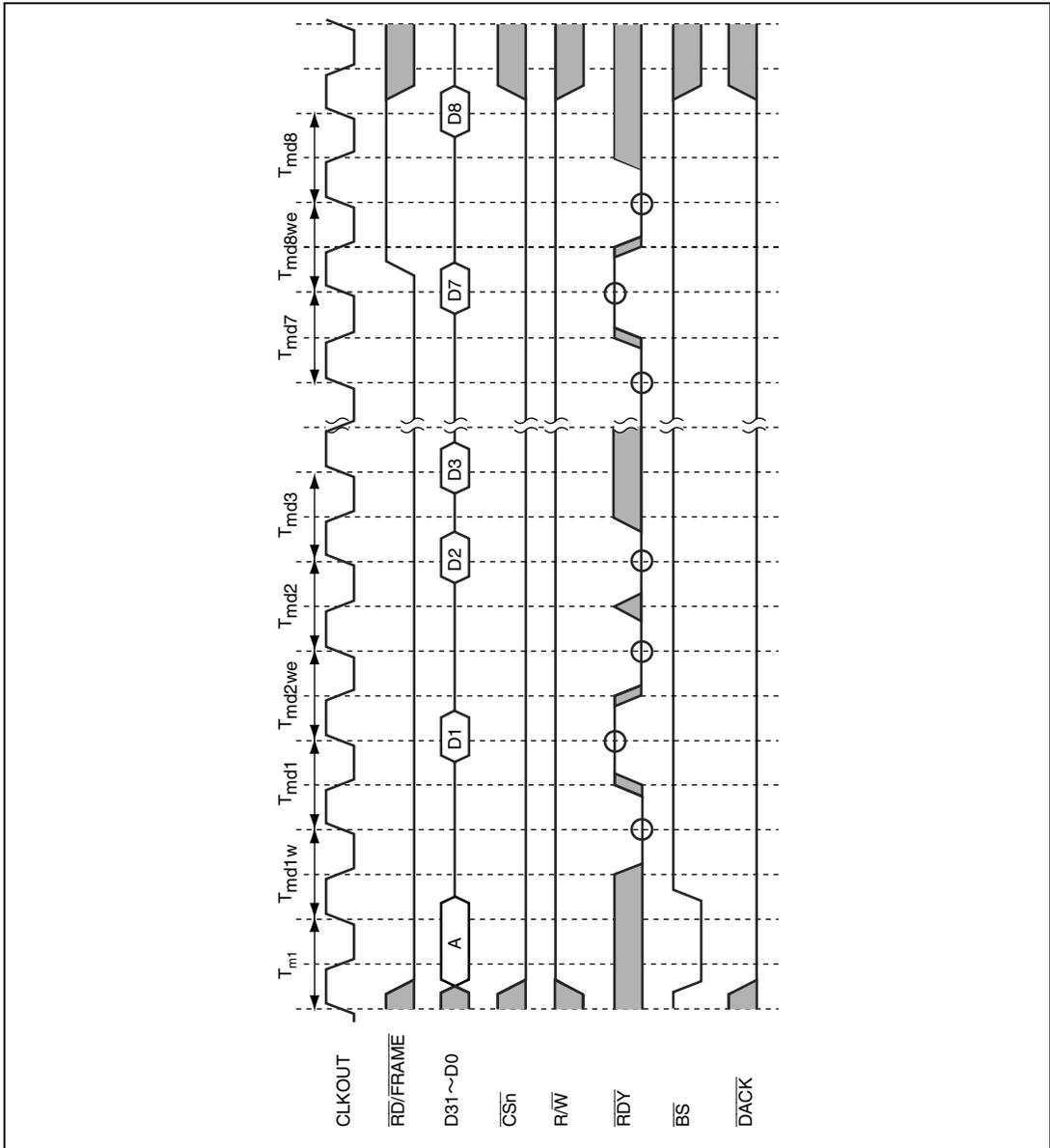


図 11.27 MPX インタフェースタイミング 6

(バーストリードサイクル、IW=0、外部ウェイト制御、転送データサイズ 32 バイト)

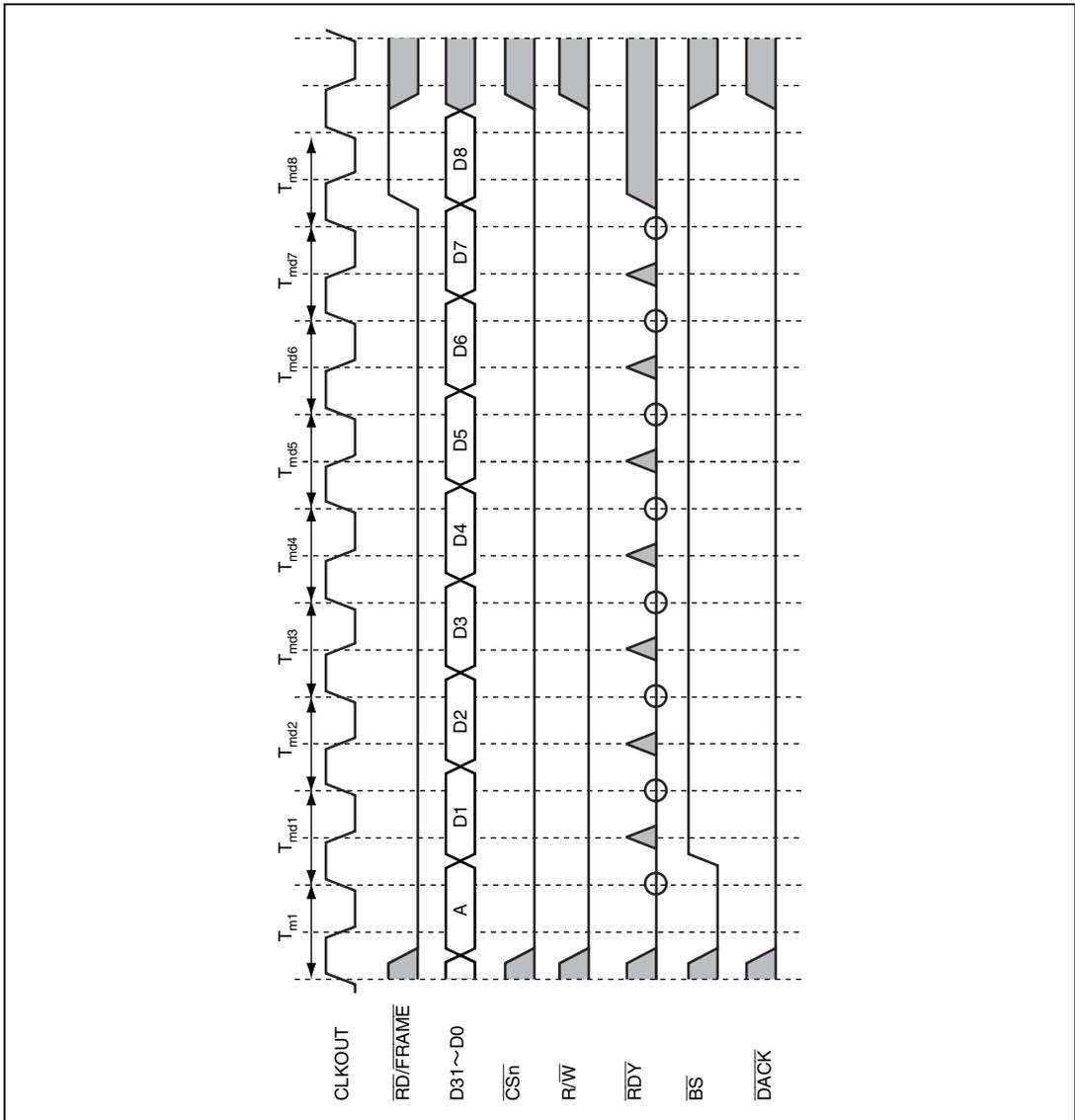


図 11.28 MPX インタフェースタイミング 7

(バーストライトサイクル、IW=0、外部ウェイトなし、転送データサイズ 32 バイト)

## 11. ローカルバスステートコントローラ (LBSC)

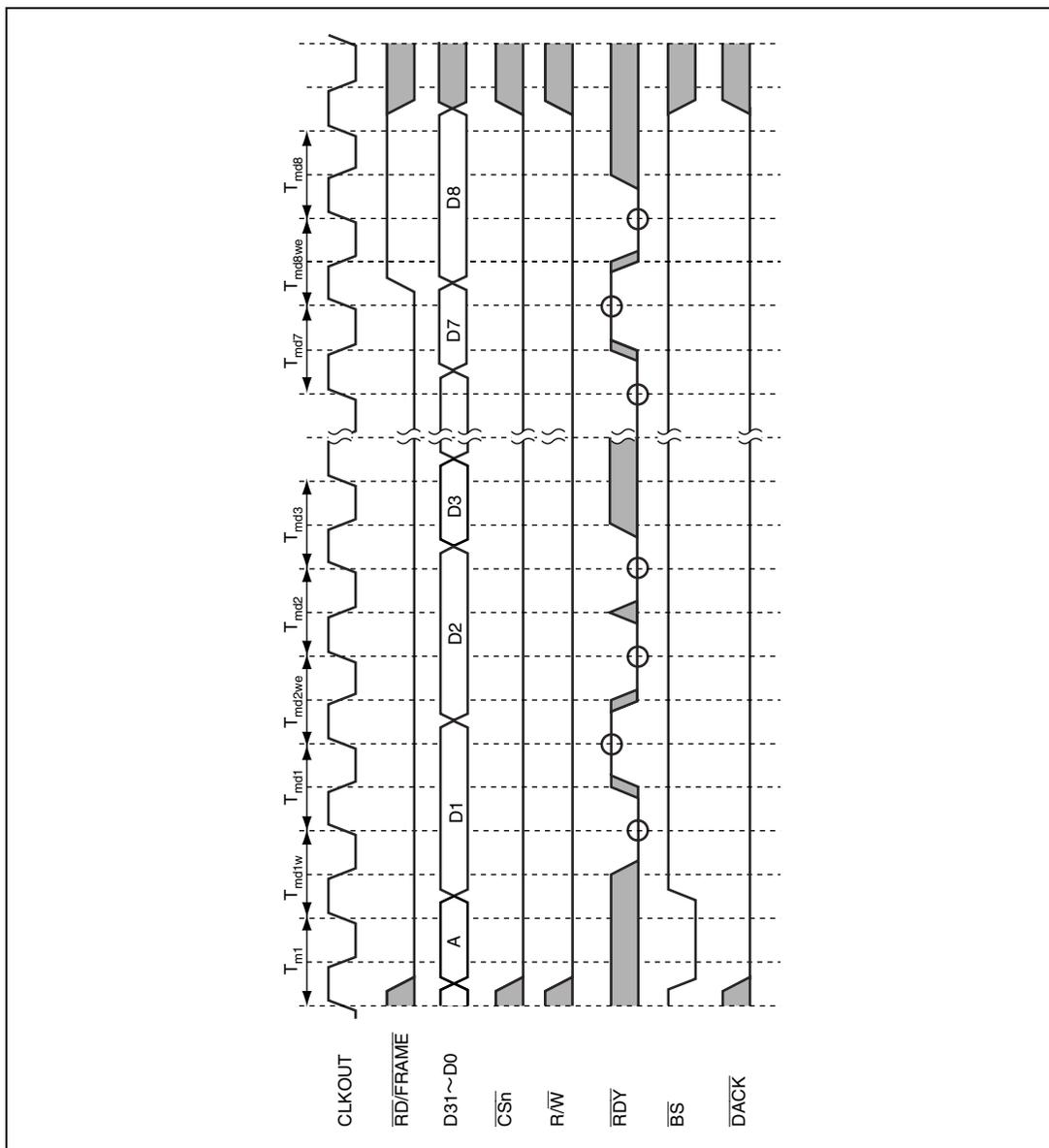


図 11.29 MPX インタフェースタイミング 8  
(バーストライトサイクル、IW=1、外部ウェイト制御、転送データサイズ 32 バイト)

### 11.5.7 バイト制御 SRAM インタフェース

バイト制御 SRAM インタフェースは、リード/ライトいずれのバスサイクルでもバイトセレクトストロープ ( $\overline{WE}$ ) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子をもち、UB あるいは LB のような上位バイトセレクトストロープ、下位バイトセレクトストロープ機能のある SRAM に接続することができます。

エリア 1 および 4 が、バイト制御 SRAM インタフェースに指定できます。

バイト制御 SRAM インタフェースのライトタイミングは、通常の SRAM インタフェースと同じです。

一方、リード動作では、 $\overline{WE}$  端子のタイミングが異なります。リードアクセス時、読み込むバイトの  $\overline{WE}$  信号だけがアサートされます。アサートは  $\overline{WE}$  信号と同じく、CLKOUT クロックの立ち下がりに同期して行われますが、ネゲートは、CLKOUT の立ち上がりに同期して行われ、これは、 $\overline{RD}$  信号と同じタイミングになります。

32 バイト転送は設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対してラップアラウンドに行われます。この途中ではバス権を解放しません。

図 11.34 にバイト制御 SRAM の接続例を、図 11.35～図 11.36 にバイト制御 SRAM のリードサイクル例をそれぞれ示します。

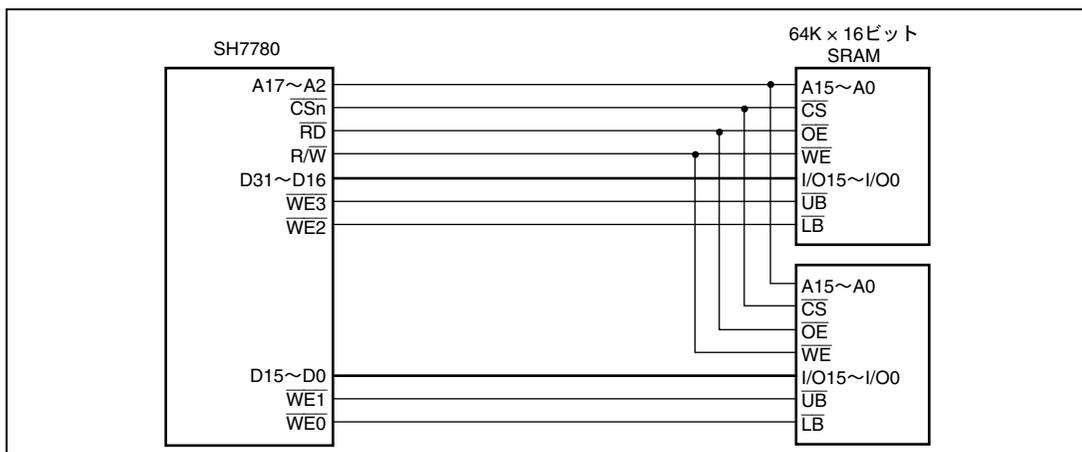


図 11.30 32 ビットデータ幅バイト制御 SRAM の例

## 11. ローカルバスステートコントローラ (LBSC)

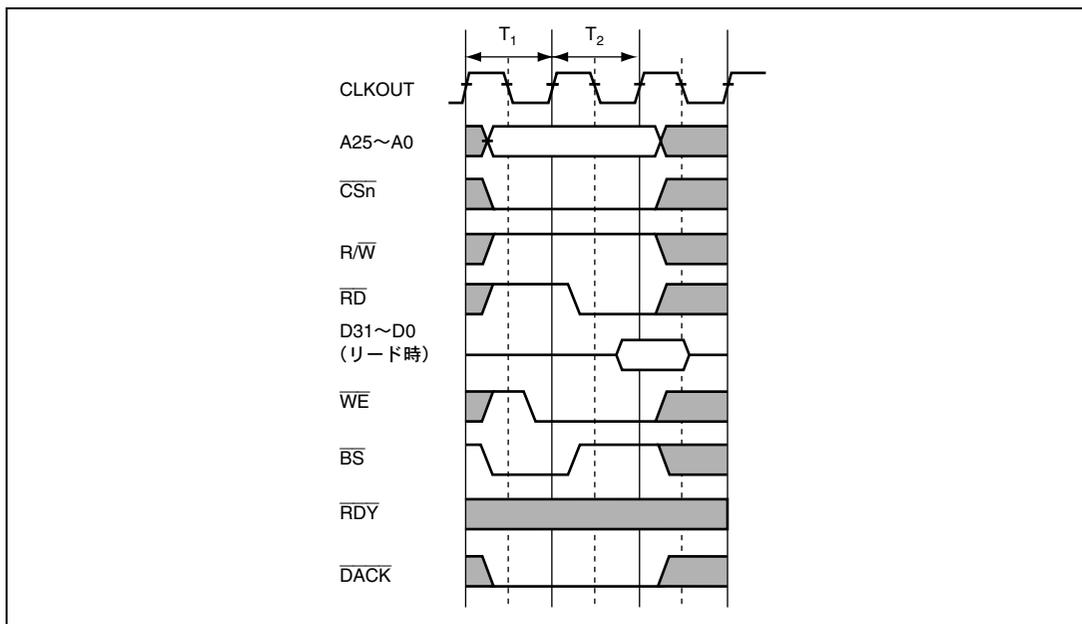


図 11.31 バイト制御 SRAM 基本リードサイクル (ウェイトなし)

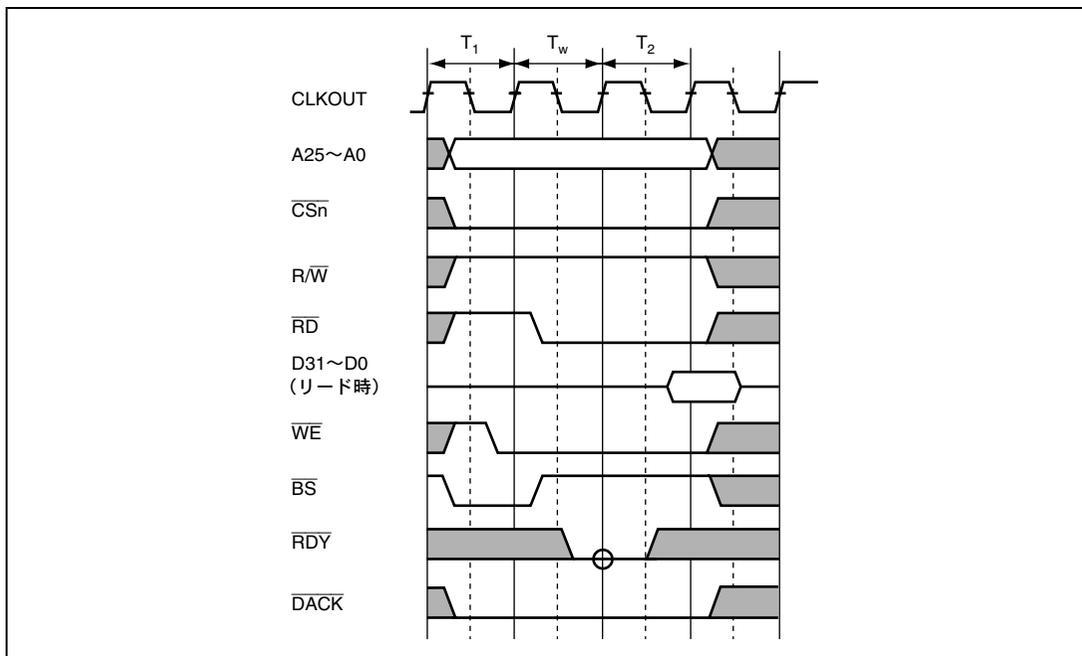


図 11.32 バイト制御 SRAM 基本リードサイクル (内部ウェイト1サイクル)

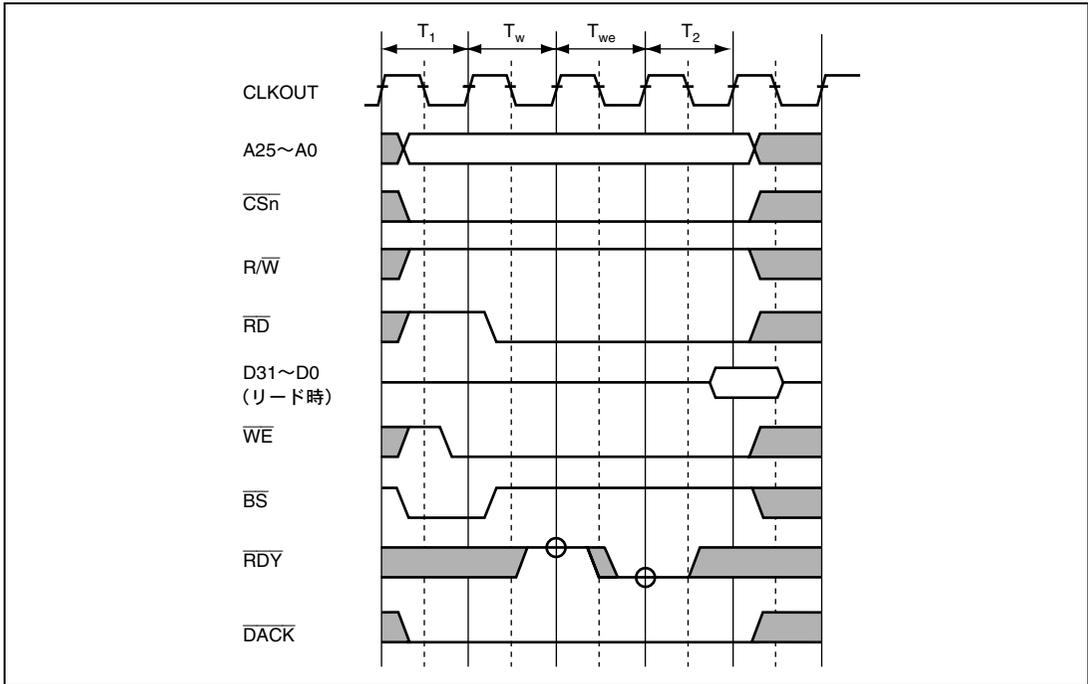


図 11.33 バイト制御 SRAM 基本リードサイクル (内部 1 ウェイト+外部 1 ウェイト)

### 11.5.8 アクセスサイクル間ウェイト

外部メモリアスの動作周波数が高くなってきたため、低速なデバイスからの読み出しが完了した際のデータバッファのターンオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こしたりする事象が起こる場合があります。これを防止するため、直前のアクセスのエリアと読み出し／書き込みの種類を記憶しておき、次のアクセスを起動する際にバスが衝突する可能性があるケースではアクセスサイクルの前にウェイトサイクルを挿入して、データの衝突を回避する機能を設けました。ウェイトサイクル挿入のケースとしては、「11.4.3 CSn バスコントロールレジスタ (CSnBCR)」に示されるように、アクセスサイクル間にアイドルサイクルが挿入されます。CSnBCR のアイドルサイクル設定ビット (n=0~2, 4~6) によって、少なくとも指定されたサイクルを、アイドルサイクルとして挿入します。

バスアービトレーションを行う場合には、アクセスサイクル間ウェイト後、バスが解放されます。

DMA 転送の場合にも、CSnBCR アイドルサイクル指定ビットによって指定された通常のサイクル間ウェイトが挿入されます。

リードアクセス終了後、連続して MPX インタフェースに設定したエリアへのアクセスが起こる場合、アクセスサイクル間ウェイトを 0 に設定していても、1 サイクル挿入します。

また、アクセスサイズが 8 バイトおよび 16 バイトのときは、4 バイトアクセスごとにアクセスサイクル間ウェイトが挿入されます。

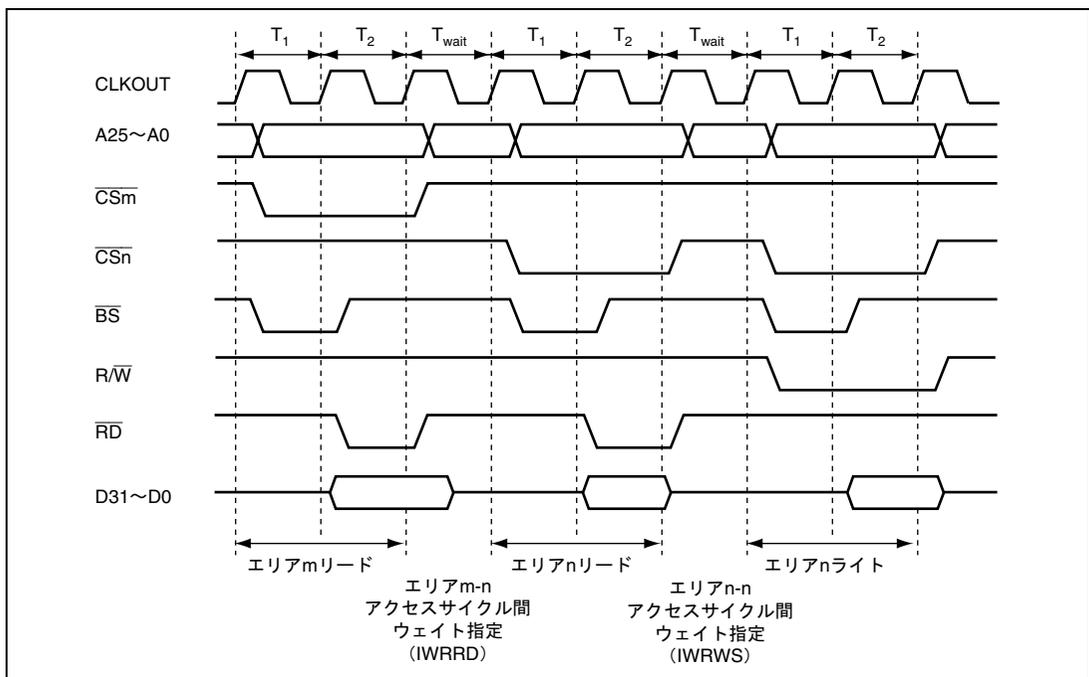


図 11.34 アクセスサイクル間ウェイト

### 11.5.9 バスアービトレーション

LBSC には、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えるバスアービトレーション機能が備わっています。

LBSC (マスタ) は定常状態でバス権を有し、他のデバイスからのバス権使用要求を受けてバスの解放を行い、バスの使用許諾を行います。以下の説明ではバス権要求を行う外部デバイスをスレーブと呼びます。

本 LSI の内部には CPU、DMAC、PCIC の 3 つのバスマスタがあります。また、これらに加え、外部デバイスからのバス権要求 (最優先) が加わります。内部バスマスタから同時に要求が発生した場合のバス権要求に関しての優先順位判定は、LRU により行われます。初期状態は、高い方から順に、CPU、DMAC、PCIC の順となります。

マスタとスレーブとの間でバスを受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立ってすべてのバス制御信号はネゲート状態とします。バス権を受け取る場合にも、バス制御信号はネゲート状態からバスのドライブを開始します。バス権を受け渡すマスタとスレーブで同じ値に信号をドライブするので、出力バッファの衝突は回避できます。

バス権の委譲はバスサイクルの切れ目で行われます。

バス解放要求信号 ( $\overline{\text{BREQ}}$ ) がアサートされると、LBSC は実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ( $\overline{\text{BACK}}$ ) を出力します。ただし、データバス幅がアクセスサイズより小さいことによって生じる複数のバスサイクル、例えば 8 ビットバス幅のメモリにロングワードアクセスを行う場合やキャッシュフィルやライトバックなどの 32 バイト転送の途中でバス権の解放を行いません。また、TAS 命令実行中のリードサイクルとライトサイクルの間や DMA 転送実行時バスロックしているときのリードサイクルとライトサイクルの間にもバス権の解放を行いません。 $\overline{\text{BREQ}}$  がネゲートされると  $\overline{\text{BACK}}$  をネゲートし、バスの使用を再開します。

CPU は、キャッシュメモリとの間を専用の内部バスで接続されているため、LSI 内部または外部の他のバスマスタがバスを使用している場合でも、キャッシュメモリからの読み出しを行うことができます。CPU からの書き込みの場合、本 LSI のキャッシュでライトスルー方式を設定した場合または、キャッシュオフエリアへのアクセスを行った場合、外部に対する書き込みサイクルが生じます。このためバス権が返還されるまで待たされます。

## 11. ローカルバスステートコントローラ (LBSC)

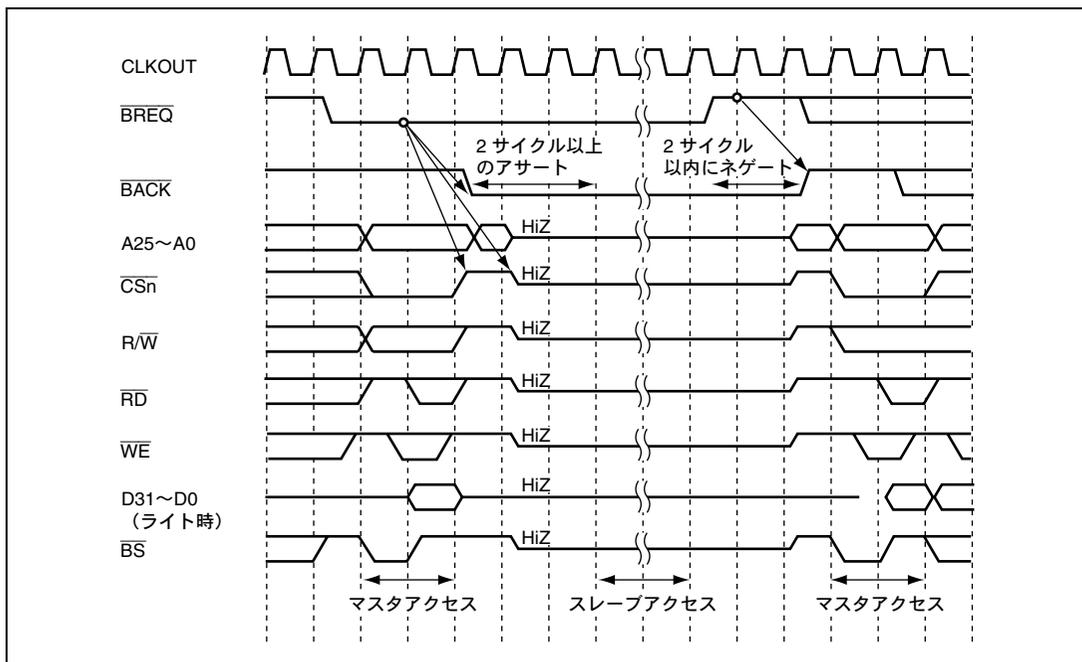


図 11.35 アービトレーションシーケンス

### 11.5.10 バス解放・獲得シーケンス

LBSC は、バス権要求を受けない限り自分でバスを保有しています。

外部からのバス権要求 ( $\overline{\text{BREQ}}$ ) のアサート (ローレベル) を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ( $\overline{\text{BACK}}$ ) をアサート (ローレベル) にします。スレーブがバスを解放したことを示す  $\overline{\text{BREQ}}$  のネゲート (ハイレベル) を受けて  $\overline{\text{BACK}}$  をネゲート (ハイレベル) し、バスの使用を再開します。

具体的なバス解放シーケンスは次のとおりです。まず、バス使用許可信号をクロックの立ち上がりに同期してアサートします。この  $\overline{\text{BACK}}$  アサートの次のクロックの立ち上がりに同期してアドレスバスおよびデータバスをハイインピーダンスにします。同時に、バス制御信号 ( $\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{WE}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{R/W}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ ) をハイインピーダンスにします。これらのバス制御信号は遅くともハイインピーダンスにする 1 サイクル前にはネゲートされています。バス権要求信号のサンプリングはクロックの立ち上がりで行います。

スレーブからバス権を再獲得するときのシーケンスは次のとおりです。

$\overline{\text{BREQ}}$  のネゲートをクロックの立ち上がりで検出すると、直ちに  $\overline{\text{BACK}}$  をネゲートするとともにバス制御信号のドライブを開始します。アドレスバスおよびデータバスのドライブを開始するのも、同相のクロックの立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはバス制御信号のドライブを開始した次のクロックの立ち上がりからです。

バス権を再獲得してバスアクセスの実行を開始するためには、2 サイクル以上の  $\overline{\text{BREQ}}$  信号のネゲートが必要です。

また、DMAC の CHCR レジスタの LCKN ビットにより DMA 転送のリードアクセスとライトアクセスの間バス開放を抑制することが出来ます。

DMA 転送のソースアドレスおよび、デスティネーションアドレスが、ともに LBSC の空間のとき DMAC の CHCR レジスタの LCKN ビットを 0 に設定し DMA 転送を行うとリードアクセスとライトアクセスの間はバス開放が要求されてもバス開放はされません。

DMA 転送のソースアドレスが LBSC の空間、デスティネーションアドレスが LBSC 以外の空間のとき DMAC の CHCR レジスタの LCKN ビットを 0 に設定し DMA 転送を行うと、DMA 転送のライトアクセスが終了した後、バス開放が要求されても、バス開放されません。この場合、CPU から LBSC の任意のメモリ空間へリードまたはライトアクセスを行うことで、そのアクセスの後、バス開放することが出来るようになります。LCKN が 1 に設定されているときには、この CPU からのアクセスを行う必要はありません。

DMA 転送のソースアドレスが LBSC 以外の空間、デスティネーションアドレスが LBSC の空間のとき DMAC の CHCR レジスタの LCKN ビットを 0 に設定し DMA 転送を行っても、DMA 転送のリードアクセスとライトアクセスの間、バス開放は許可されます。

## 11. ローカルバスステートコントローラ (LBSC)

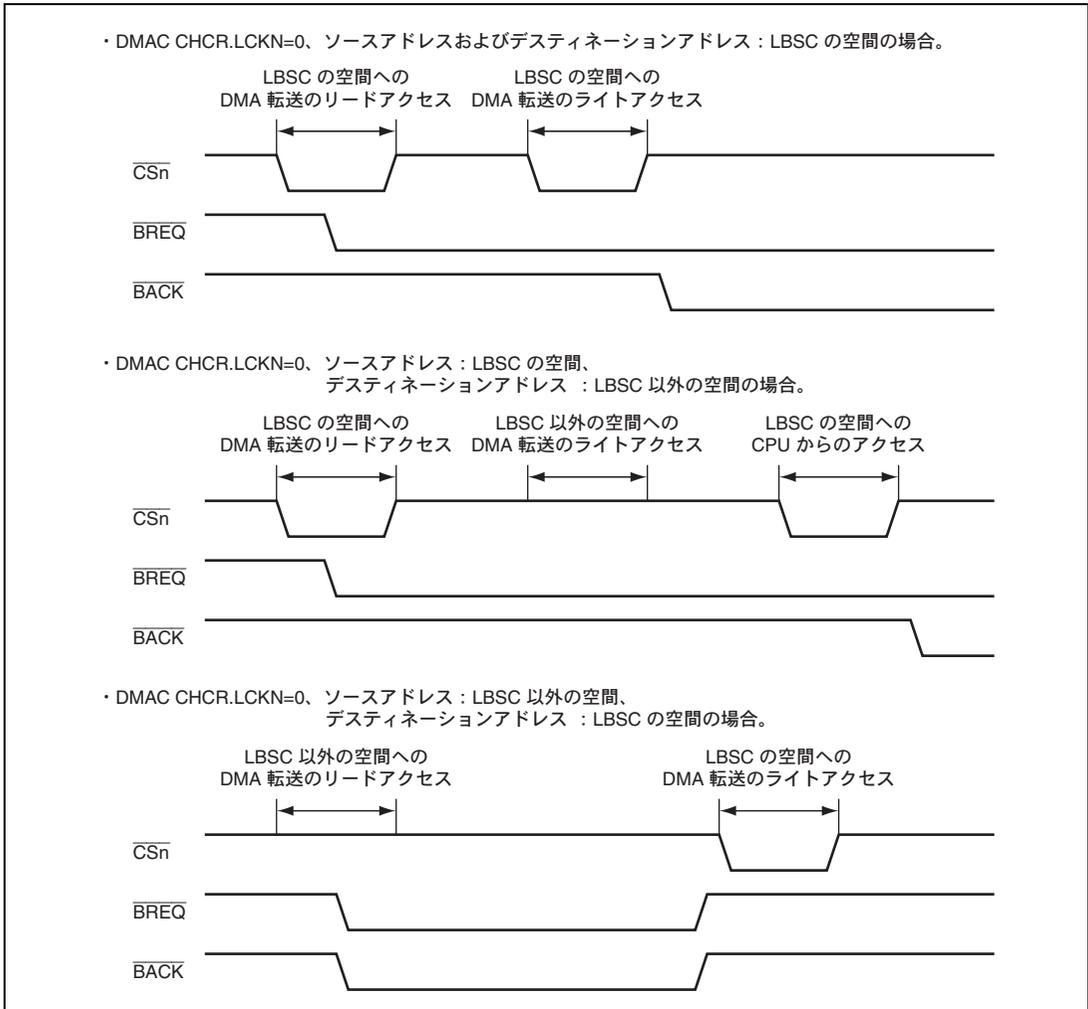


図 11.36 DMAC CHCR.LCKN ビットによるバス開放抑止の例

### 11.5.11 マスタとスレーブの協調

マスタとスレーブで矛盾なくシステムリソースを制御するために、役割分担を明確にする必要があります。また、低消費電力動作を行う場合にも分担を行わないといけません。

本 LSI を用いた応用システムを設計する場合、初期化、低消費電力制御などのすべての制御を本 LSI (マスタ) が行うことを想定しています。

本 LSI は、パワーオンリセット時に、 $\overline{\text{BREQ}}$  イネーブルビット (BCR.BREQEN) を 1 に設定するまで、スレーブからのバス権要求を受け付けません。

スレーブ側のプロセッサが使用に先立って初期化が必要なメモリを初期化が完了する前にアクセスしないように、初期化終了後に、 $\overline{\text{BREQ}}$  イネーブルビットに 1 を書き込んでください。

## 11. ローカルバスステートコントローラ (LBSC)

---

---

## 12. DDR-SDRAM インタフェース (DDRIF)

---

DDR-SDRAM インタフェース (DDRIF) は、DDR-SDRAM の制御を行うインタフェースです。  
DDRIF は DDR320\*および DDR266-SDRAM をサポートします。

### 12.1 特長

- DDR-SDRAMインタフェースのデータバス幅は32ビットです。
- DDR-SDRAMセルフリフレッシュをサポートします。
- DDR320 (160MHz) およびDDR266 (133MHz) をサポートします。
- 内部バスであるSuperHywayバスにより効率的なデータ転送が可能です。
- 4バンクDDR-SDRAMに対応します。
- バースト長は2をサポート。
- 接続可能メモリ容量：256Mビット、512Mビット、1Gビット、2Gビット  
対応可能なメモリ品のアドレス×ビット幅 (ビット) は下記の通りです。

DDR-SDRAMデータバス幅：32ビット

- 128Mビット (8Mx16ビット) 2個並列接続 (合計容量256Mビット)
- 256Mビット (16Mx16ビット) 2個並列接続 (合計容量512Mビット)
- 512Mビット (32Mx16ビット) 2個並列接続 (合計容量1Gビット)
- 1Gビット (64Mx16ビット) 2個並列接続 (合計容量2Gビット)

- パワーオンリセット時に外部データバスのビッグエンディアン/リトルエンディアン切り替え可能。

【注】 \* 「DDR320」は 160MHz で動作する DDR-SDRAM バスインタフェースを示します。

## 12. DDR-SDRAM インタフェース (DDRIF)

図 12.1 に DDRIF のブロック図を示します。

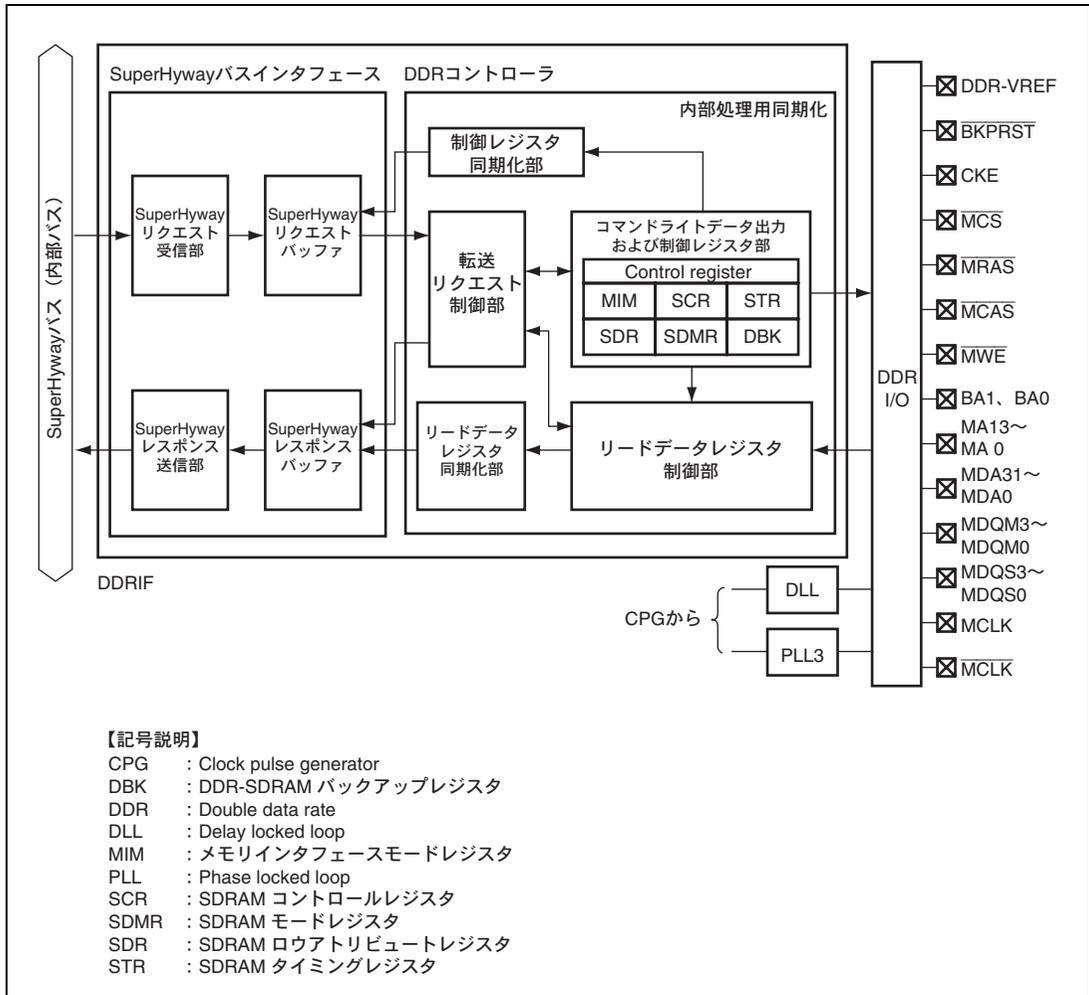


図12.1 DDRIF ブロック図

## 12.2 入出力端子

表 12.1 に DDRIF の端子構成を記載します。

表12.1 DDRIF 端子構成

端子名	機能	入出力	説明
MCLK	DDR-SDRAM クロック	出力	DDR-SDRAM 用クロック出力
$\overline{\text{MCLK}}$	DDR-SDRAM クロック	出力	DDR-SDRAM 用クロック出力 MCLK の反転クロック出力
CKE	クロックイネーブル	出力	本端子がハイレベルのときにはクロック信号をアクティブにし、ローレベルのときにはインアクティブにします
$\overline{\text{MCS}}$	チップセレクト	出力	チップセレクト出力
$\overline{\text{MWE}}$	ライトイネーブル	出力	ライトイネーブル出力
MA13~MA0	アドレス	出力	ロウ/カラムアドレス
BA1, BA0	バンクアドレス	出力	バンクアドレス出力
MDA31~MDA0	データ	入出力	データ入出力
MDQS3~MDQS0	入力/出力 データストロープ	入出力	入出力データストロープ
MDQM3~MDQM0	データマスク	出力	入出力データマスク信号
$\overline{\text{MRAS}}$	ロウアドレスストロープ	出力	ロウアドレスストロープ信号
$\overline{\text{MCAS}}$	カラムアドレスストロープ	出力	カラムアドレスストロープ信号
BKPRST	電源バックアップリセット	入力	本端子がローレベルのとき、CKE をローレベルにします
DDR-VREF	リファレンス電圧入力	入力	入力基準電圧

### 12.3 データアライメント

#### 12.3.1 DDRIF のアドレス空間

本 LSI は 29 ビット (29 ビットアドレスモード) および 32 ビット (32 ビットアドレス拡張モード) 物理アドレス空間の両方をサポートし、アドレス空間は LBSC のメモリマップ選択レジスタ(MMSELR)により 5 種類の中から選ぶことができます。図 12.2 に本 LSI の物理アドレス空間を示します。

DDRIF は 29 ビット物理アドレス空間および 32 ビット物理アドレス空間をサポートし、外部 DDR-SDRAM メモリ空間として最大 256M バイトを制御することができます (DDRIF-0~3)。

29 ビットアドレスモードでは、エリア 3 のほか、MMSELR の設定によりエリア 2、4、5 も制御することができます。DDRIF は合計 4 つのエリアで最大 256M バイトを外部 DDR-SDRAM メモリ空間として使用することができます (DDRIF-0~3)。

32 ビットアドレス拡張モードでは、29 ビットモードのエリアと物理アドレス H'4000 0000~H'7FFF FFFF の DDR-SDRAM エリアも制御することができます。DDR-SDRAM エリアはシャドウ空間も含め 1G バイトあり、DDRIF は合計 256M バイトのエリアを外部 DDR-SDRAM メモリ空間として制御することができます (DDRIF-0~3)。

32 ビットアドレス拡張モードについては、「7.7 32 ビットアドレス拡張モード」を参照してください。

12. DDR-SDRAM インタフェース (DDRIF)

	MMSEL.R.AREASEL[2:0]*	B'000	B'001	B'010	B'011	B'100
H'0000 0000	エリア0 (LBSC)	LBSC	LBSC	LBSC	LBSC	LBSC
H'0400 0000	エリア1 (LBSC)	LBSC	LBSC	LBSC	LBSC	LBSC
H'0800 0000	エリア2 (LBSC/DDRIF)	LBSC	LBSC	DDRIF-0	DDRIF-0	DDRIF-0
H'0C00 0000	エリア3 (DDRIF)	DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1
H'1000 0000	エリア4 (LBSC/DDRIF/PCIC)	LBSC	PCIC	LBSC	PCIC	DDRIF-2
H'1400 0000	エリア5 (LBSC/DDRIF)	LBSC	LBSC	LBSC	LBSC	DDRIF-3
H'1800 0000	エリア6 (LBSC)	LBSC	LBSC	LBSC	LBSC	LBSC
H'1C00 0000	エリア7 (リザーブ)					
H'2000 0000	(未定義)					
H'4000 0000	DDR-SDRAM (DDRIF)	DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2
H'4400 0000		DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3
H'4800 0000		DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0
H'4C00 0000		DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1
H'5000 0000		DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2
H'5400 0000		DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3
H'5800 0000		DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0
H'5C00 0000		DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1
H'6000 0000		DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2
H'6400 0000		DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3
H'6800 0000		DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0
H'6C00 0000		DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1
H'7000 0000		DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2	DDRIF-2
H'7400 0000		DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3	DDRIF-3
H'7800 0000		DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0	DDRIF-0
H'7C00 0000		DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1	DDRIF-1
H'8000 0000	(未定義)					
H'C000 0000	PCI (PCIC)	PCIC	PCIC	PCIC	PCIC	PCIC
H'E000 0000	内部リソース					
H'FFFF FFFF						

} 29ビット物理アドレス空間 (通常モード)  
  
} 32ビット物理アドレス空間 (拡張モード)

: シャドウ空間

【注】\* MMSEL.RレジスタAREASELビットについては、「第11章 ローカルバスステートコントローラ (LBSC)」を参照してください。

図12.2 本 LSI の物理アドレス空間

## 12. DDR-SDRAM インタフェース (DDRIF)

### 12.3.2 メモリデータバス幅

DDRIF のメモリデータバス幅は 32 ビットです。

### 12.3.3 DDR-SDRAM でのデータアライメント

DDRIF は、バイトデータの並び方を上位バイトが 0 番地側になるビッグエンディアン、下位バイトが 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り替えは、外部端子でパワーオンリセット時に設定します。なお、メモリデータのアクセスは、32 バイト境界のデータに対してラップアラウンドで行われま

表12.2 リトルエンディアンのアクセスとデータアライメント

	MDA31~24	MDA23~16	MDA15~8	MDA7~0
0 番地バイトアクセス				ビット 7~0
1 番地バイトアクセス			ビット 7~0	
2 番地バイトアクセス		ビット 7~0		
3 番地バイトアクセス	ビット 7~0			
4 番地バイトアクセス				ビット 7~0
5 番地バイトアクセス			ビット 7~0	
6 番地バイトアクセス		ビット 7~0		
7 番地バイトアクセス	ビット 7~0			
0 番地ワードアクセス			ビット 15~8	ビット 7~0
2 番地ワードアクセス	ビット 15~8	ビット 7~0		
4 番地ワードアクセス			ビット 15~8	ビット 7~0
6 番地ワードアクセス	ビット 15~8	ビット 7~0		
0 番地ロングワードアクセス	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
4 番地ロングワードアクセス	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0 番地クワッドワードアクセス (1 回目 : 0 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0 番地クワッドワードアクセス (2 回目 : 4 番地)	ビット 63~56	ビット 55~48	ビット 47~40	ビット 39~32
0 番地 16 バイトアクセス (1 回目 : 4 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0 番地 16 バイトアクセス (2 回目 : 0 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0 番地 16 バイトアクセス (3 回目 : 12 (H'C) 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0 番地 16 バイトアクセス (4 回目 : 8 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0

12. DDR-SDRAM インタフェース (DDRIF)

	MDA31~24	MDA23~16	MDA15~8	MDA7~0
0 番地 32 バイトアクセス (1 回目 : 4 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0 番地 32 バイトアクセス (2 回目 : 0 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0 番地 32 バイトアクセス (3 回目 : 12 (H'C) 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0 番地 32 バイトアクセス (4 回目 : 8 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0 番地 32 バイトアクセス (5 回目 : 20 (H'14) 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0 番地 32 バイトアクセス (6 回目 : 16 (H'10) 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0 番地 32 バイトアクセス (7 回目 : 28 (H'1C) 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0 番地 32 バイトアクセス (8 回目 : 24 (H'18) 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0

表12.3 ビッグエンディアンのアクセスとデータアライメント

	MDA31~24	MDA23~16	MDA15~8	MDA7~0
0 番地 バイトアクセス	ビット 7~0			
1 番地 バイトアクセス		ビット 7~0		
2 番地 バイトアクセス			ビット 7~0	
3 番地 バイトアクセス				ビット 7~0
4 番地 バイトアクセス	ビット 7~0			
5 番地 バイトアクセス		ビット 7~0		
6 番地 バイトアクセス			ビット 7~0	
7 番地 バイトアクセス				ビット 7~0
0 番地 ワードアクセス	ビット 15~8	ビット 7~0		
2 番地 ワードアクセス			ビット 15~8	ビット 7~0
4 番地 ワードアクセス	ビット 15~8	ビット 7~0		
6 番地 ワードアクセス			ビット 15~8	ビット 7~0
0 番地 ロングワードアクセス	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
4 番地 ロングワードアクセス	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0 番地 クワッドワードアクセス (1 回目 : 0 番地)	ビット 63~56	ビット 55~48	ビット 47~40	ビット 39~32
0 番地 クワッドワードアクセス (2 回目 : 4 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0

## 12. DDR-SDRAM インタフェース (DDRIF)

	MDA31~24	MDA23~16	MDA15~8	MDA7~0
0番地 16バイトアクセス (1回目: 0番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0番地 16バイトアクセス (2回目: 4番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0番地 16バイトアクセス (3回目: 8番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0番地 16バイトアクセス (4回目: 12 (H'C) 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0番地 32バイトアクセス (1回目: 0番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0番地 32バイトアクセス (2回目: 4番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0番地 32バイトアクセス (3回目: 8番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0番地 32バイトアクセス (4回目: 12 (H'C) 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0番地 32バイトアクセス (5回目: 16 (H'10) 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0番地 32バイトアクセス (6回目: 20 (H'14) 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0番地 32バイトアクセス (7回目: 24 (H'18) 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0
0番地 32バイトアクセス (8回目: 28 (H'1C) 番地)	ビット 31~24	ビット 23~16	ビット 15~8	ビット 7~0

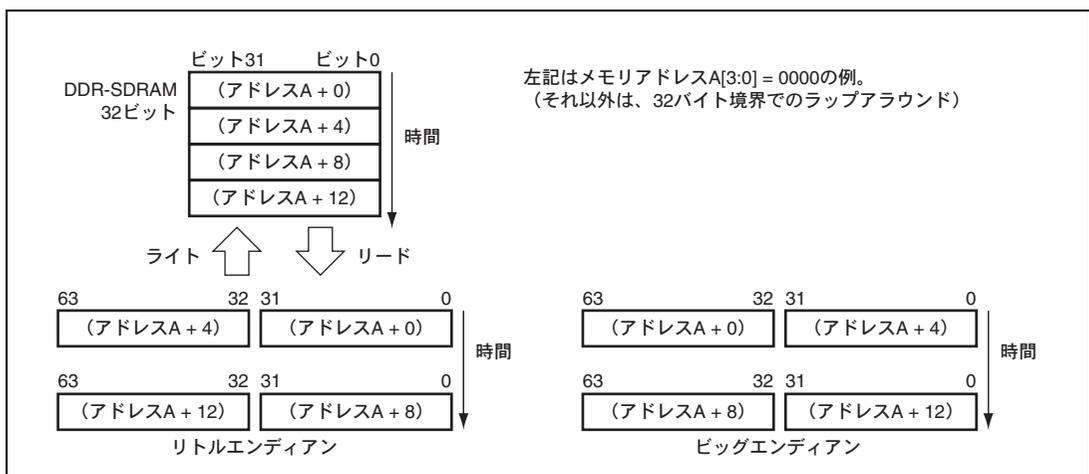


図 12.3 DDR-SDRAM と DDRIF のデータアライメント

## 12.4 レジスタの説明

DDRIF のレジスタ構成を表 12.4 に示します。また、各処理モードにおけるレジスタの状態を表 12.5 に示します。これらのレジスタは各モジュールからの DDR-SDRAM アクセスが無い状態で設定してください。DDR-SDRAM アクセスが無い状態でメモリアンタフェースモードレジスタの、DCE ビット (DDR-SDRAM 制御イネーブル) = 0 または SELFS (セルフリフレッシュステータス) = 1 として、その他のレジスタを設定してください。

レジスタのビット幅は 64 ビットですがロングワード (32 ビット) でアクセスしてください。ライトはロングワード単位に状態へ反映されます。リードはアクセスを行った時点でのロングワードの値が参照されます。ビッグエンディアン、リトルエンディアンとも、ビット 63~32 をアクセスする際には  $8n+0$  番地を、ビット 31~0 をアクセスする際には  $8n+4$  番地を指定してください。

表12.4 レジスタ構成

名 称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ
メモリアンタフェースモードレジスタ	MIM	R/W	H'FE80 0008	H'1E80 0008	32
DDR-SDRAM コントロールレジスタ	SCR	R/W	H'FE80 0010	H'1E80 0010	32
DDR-SDRAM タイミングレジスタ	STR	R/W	H'FE80 0018	H'1E80 0018	32
DDR-SDRAM ロウアトリビュートレジスタ	SDR	R/W	H'FE80 0030	H'1E80 0030	32
DDR-SDRAM モードレジスタ	SDMR	W	H'FECx xxxx*	H'1ECx xxxx*	32
DDR-SDRAM バックアップレジスタ	DBK	R	H'FE80 0400	H'1E80 0400	32

【注】 \* 詳細は「12.4.5 SDRAM モードレジスタ (SDMR)」を参照してください。

表12.5 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ
メモリアンタフェースモードレジスタ	MIM	H'0000 0000 0C34 xx00* <sup>1</sup>	保持	保持
DDR-SDRAM コントロールレジスタ	SCR	H'0000 0000 0000 0000	保持	保持
DDR-SDRAM タイミングレジスタ	STR	H'0000 0000 0000 0000	保持	保持
DDR-SDRAM ロウアトリビュートレジスタ	SDR	H'0000 0000 0000 0100	保持	保持
DDR-SDRAM モードレジスタ	SDMR	—	保持	保持
DDR-SDRAM バックアップレジスタ	DBK	H'0000 0000 0000 000x* <sup>2</sup>	保持	保持

【注】 \*1 ビット 8 (ENDIAN ビット) の初期値は外部端子 (MODE5) の設定によります。

\*2 ビット 0 (SDBUP ビット) の初期値は外部端子 (BKPRST) の設定によります。

## 12. DDR-SDRAM インタフェース (DDRIF)

### 12.4.1 メモリインタフェースモードレジスタ (MIM)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	47
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	BOMODE	—	PC KE	—	—	—	—	—	—	—	—	—	—	SEL FS	R MODE	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DRI[12:0]												
初期値:	0	0	0	0	1	1	0	0	0	0	1	1	0	1	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK				—	—	DRE	END IAN	BW	—	—	—	DLLEN	—	—	DCE
初期値:	—	—	—	—	0	0	0	—*	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R	R/W	R	R	R	R/W	R	R	R/W

【注】 \* 初期値は外部端子MODE5の設定によります。

ビット	ビット名	初期値	R/W	説明
63~48	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
47、46	BOMODE	00	R/W	アクセスモード切り替えビット 本ビットにより DDR-SDRAM のアクセスモード切り替えを行います。 DDRIF は 2 種類の SDRAM アクセスモードをサポートします。各モード時の動作説明は「12.5.4 SDRAM アクセスモードの説明」を参照ください。  00 : BANK オープンモード 01 : BANK クローズモード 上記以外 : 設定禁止
45	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
44	PCKE	0	R/W	パワーダウン 本ビットにより DDR-SDRAM アクセス以外の時 (アイドルおよびバンクアクティブ状態時) CKE をローレベルにしてパワーダウンモードにします。本ビットを 1 にすると本機能が有効になります。本機能により DDR-SDRAM の消費電力を抑えることができます。詳細は「12.5.5 (2) パワーダウンモード (CKE ローによる)」を参照ください。なお、SCR.SMS による CKE イネーブル設定は SDRAM の初期化に使用します。

## 12. DDR-SDRAM インタフェース (DDRIF)

ビット	ビット名	初期値	R/W	説明
43~35	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
34	SELFS	0	R	セルフリフレッシュ判定ビット 本ビットにより DDR-SDRAM がセルフリフレッシュ状態にあるのかどうかを判定できます。1 のとき、セルフリフレッシュ中であり、0 のとき、非セルフリフレッシュ状態です。
33	RMODE	0	R/W	リフレッシュモード選択ビット 本ビットにより DDR-SDRAM に対してオートリフレッシュを行うのか、セルフリフレッシュを行うのかを指定します。本ビットによる指定が有効になるのは本レジスタの DRE ビットが 1 の時のみです。 リードライト可能です。 0: オートリフレッシュ 1: セルフリフレッシュ
32~29	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28~16	DRI[12:0]	H'0C34	R/W	DRAM リフレッシュインターバルビット リフレッシュが有効な場合（本レジスタの DRE ビットが 1）、本ビットにて最大リフレッシュ間隔（オートリフレッシュ）を指定できます。1 カウントは MCLK の周期と同じです。160MHz の場合は 6.3ns に相当します。本レジスタによる設定可能な最小値は H'0020 カウント分です。それ以下に設定した場合にはカウント値に H'0020 分加算されます。 DDRIF は、内部に 13 ビットのカウンタを持っています。このカウンタは DCE ビットが 0 の時、または、DRE ビットが 0 の時、または、RMODE ビットが 1 の時 0 にクリアされ、それ以外の時、MCLK でカウントアップします。このカウンタは DRI ビットと比較され一致するとオートリフレッシュ要求をコントローラ内部で発生させ、オートリフレッシュを行います。なおカウンタは一致した時点で 0 クリアされ、再度カウントアップされます。内部で発生したオートリフレッシュ要求は最大 1 回分記録されており、DCE ビットが 1、かつ、DRE ビットが 1、かつ、RMODE ビットが 0 であれば、オートリフレッシュが行われるまではオートリフレッシュ要求がクリアされることはありません。本ビットを設定する際には DRE ビットを 0 にして書き込みを行った後、DRE の 1 書き込みを行ってください。このとき、DRI ビットは前回の書き込み値と同じ値を与えてください。
15~12	LOCK	不定	R	DLL ロックステータスビット 本ビットは、DDRIF のリードタイミング生成用 DLL のロックステータスを示します。DLLEN ビットが 1 で、かつ本ビットがすべて 1 になるとメモリへのアクセスが可能になります。
11、10	—	00	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## 12. DDR-SDRAM インタフェース (DDRIF)

ビット	ビット名	初期値	R/W	説明
9	DRE	0	R/W	DRAM リフレッシュイネーブルビット 本ビットによりリフレッシュ機能の有効または無効を指定します。 0：無効 1：有効
8	ENDIAN	不定	R	エンディアン識別ビット 本ビットは外部データバスのエンディアンを示します。 0：リトルエンディアン 1：ビッグエンディアン
7	BW	0	R/W	バス幅設定ビット 本ビットにより、DDR-SDRAM のバス幅を指定します。 本ビットには必ず 0 を設定してください。
6~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	DLL EN	0	R/W	DLL イネーブルビット 本ビットにより、DDR-SDRAM リードタイミング生成用 DLL の有効/無効の設定を行います。本ビットが 1 の場合、DLL がイネーブルとなりメモリのリードアクセスが可能になります。
2、1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DCE	0	R/W	DDR コントローライネーブルビット DDRIF による SDRAM 制御の許可を行います。 0：ディスエーブル 1：イネーブル

## 12.4.2 SDRAM コントロールレジスタ (SCR)

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	47
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SMS	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
63~3	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2~0	SMS	000	R/W	SDRAM モード選択ビット 本ビットにより電源投入時およびリセット解除後の DDR-SDRAM の初期化を行います。本ビットをソフトウェアで設定することで 下記コマンドが発行されます。初期化手順は「12.5.2 DDR-SDRAM 初期化シーケンス」を参照してください。(000)の通常動作はDDR-SDRAMの初期化終了後に指定します。 000: 通常動作を行います。 001: NOP コマンドを発行します (MIM.DCE=1の時のみ有効) 010: PREALL コマンドを発行します (MIM.DCE=1の時のみ有効) 011: CKE をイネーブルします。 その際に DESELECT コマンドを発行します。 (MIM.DCE=1の時のみ有効) 100: REFA コマンドを発行します。 (MIM.DCE=1の時のみ有効) 上記以外: 設定禁止 上記以外の値に設定した場合の動作は保証できません。尚、MIM.PCKE による CKE ロー設定はDDR-SDRAMのパワーダウンのために使用します。

## 12. DDR-SDRAM インタフェース (DDRIF)

### 12.4.3 SDRAM タイミングレジスタ (STR)

本レジスタにより DDR-SDRAM のタイミング規定を指定します。

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	47
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	WR		RW	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SRFC			SWR	SRRD	SRAS			SRC			SCL			SRCD	SRP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
63~20	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
19, 18	WR	00	R/W	ライト-リードコマンド間最低サイクル数 SDRAM に対する WRITE コマンド発行後の READ コマンド発行までの最低サイクル数を指定します。 00 : 3 サイクル 01 : 4 サイクル 10 : 5 サイクル 11 : 6 サイクル
17, 16	RW	00	R/W	リード-ライトコマンド間最低サイクル数 SDRAM に対する READ コマンド発行後の WRITE コマンド発行までの最低サイクル数を指定します。 00 : 3 サイクル 01 : 4 サイクル 10 : 5 サイクル 11 : 6 サイクル

## 12. DDR-SDRAM インタフェース (DDRIF)

ビット	ビット名	初期値	R/W	説明
15~13	SRFC	000	R/W	<p>同一バンク間サイクル数指定</p> <p>同一バンク間の下記アクセス時間 (<math>t_{RFC}</math>) をサイクル数で指定します。</p> <p>(1) オートリフレッシュから ACT コマンド発行</p> <p>(2) オートリフレッシュからオートリフレッシュ</p> <p>000 : 11 サイクル</p> <p>001 : 12 サイクル</p> <p>010 : 13 サイクル</p> <p>011 : 14 サイクル</p> <p>100 : 15 サイクル</p> <p>上記以外 : 設定禁止。</p>
12	SWR	0	R/W	<p>PRE/PALL コマンド発行サイクル</p> <p>ライト時の最終のポストアンブルから PRE/PALL コマンド発行までの時間 (<math>t_{WR}</math>) をサイクル数で指定します。</p> <p>0 : 2 サイクル</p> <p>1 : 3 サイクル</p>
11	SRRD	0	R/W	<p>バンク間 ACT コマンド発行サイクル</p> <p>異なるバンク間の ACT コマンド発行から ACT コマンド発行までの時間 (<math>t_{RRD}</math>) の最低サイクル数を指定します。</p> <p>0 : 2 サイクル</p> <p>1 : 3 サイクル</p>
10~8	SRAS	000	R/W	<p>ACT-PRE コマンド発行最低サイクル数</p> <p>同一バンク間の ACT コマンド発行から PRE コマンド発行までの時間 (<math>t_{RAS}</math>) の最低サイクル数を指定します。</p> <p>000 : 6 サイクル</p> <p>001 : 7 サイクル</p> <p>010 : 8 サイクル</p> <p>011 : 9 サイクル</p> <p>上記以外 : 設定禁止</p>

## 12. DDR-SDRAM インタフェース (DDRIF)

ビット	ビット名	初期値	R/W	説明
7~5	SRC	000	R/W	<p>オートリフレッシュ/ACT コマンド発行サイクル 同一バンク間の下記のアクセス時間 (<math>t_{RC}</math>) をサイクル数で指定します。</p> <p>(1) ACT コマンド発行からオートリフレッシュ (2) ACT コマンド発行から ACT コマンド発行</p> <p>000 : 6 サイクル 001 : 7 サイクル 010 : 8 サイクル 011 : 9 サイクル 100 : 10 サイクル 101 : 11 サイクル 110 : 12 サイクル 111 : 13 サイクル 上記以外 : 設定禁止</p>
4~2	SCL	000	R/W	<p>CAS レイテンシ データリード時の CAS レイテンシ (CL) を指定します。</p> <p>000 : 2.5 サイクル 上記以外 : 設定禁止</p>
1	SRCD	0	R/W	<p>RAS-CAS コマンド発行サイクル数 RAS (ACT コマンド) から CAS (READ/READA、WRITE/WRITEA コマンド) 発行までの時間 (<math>t_{RCD}</math>) をサイクル数で指定します。</p> <p>0 : 3 サイクル 1 : 4 サイクル</p>
0	SRP	0	R/W	<p>PRE-ACT コマンド発行サイクル数 PRE コマンド発行から ACT コマンド発行までの時間 (<math>t_{RP}</math>) をサイクル数で指定します。</p> <p>0 : 3 サイクル 1 : 4 サイクル</p>

## 12.4.4 SDRAM ロウアトリビュートレジスタ (SDR)

ビット :	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	47
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SPLIT				—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
63~12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11~8	SPLIT	0001	R/W	DDR-SDRAM メモリ構成指定ビット 本ビットにより接続した DDR-SDRAM の row/column 構成を指定します。  0001 : 12×9 (= 8M×16 ビット品) 0011 : 13×9 (= 16M×16 ビット品) 0100 : 13×10 (= 32M×16 ビット品) 0110 : 14×10 (= 64M×16 ビット品) 上記以外 : 設定禁止 「12.5.6 アドレスマルチプレクス」にて SPLIT ビットと row/column の関係を示します。
7~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## 12. DDR-SDRAM インタフェース (DDRIF)

### 12.4.5 SDRAM モードレジスタ (SDMR)

本レジスタは、DDR-SDRAM のモードレジスタ、および拡張モードレジスタの設定を行うために使用します。DDRIF 内に実体はないため、リードは無効です。DDR-SDRAM に対してはライトアドレスのみが意味を持ち、ライトデータは無視されます。

本レジスタに書き込みを行うと DDR-SDRAM に接続している端子に下表の対応で信号が出力されます。

本レジスタのアドレス 12~3 ビット目は外部端子 MA9~MA0 に、アドレス 14、13 ビット目は外部端子 BA1、BA0 に、アドレス 18~15 ビット目は外部端子 MA13~MA10 に対応しています。

CKE		CS	RAS	CAS	WE	アドレスビットの対応		
n-1	n					BA[1:0]	MA[13:10]	MA[9:0]
H	H	L	L	L	L	ビット 14、13	ビット 18~15	ビット 12~3

図 12.3 に SDRAM モードレジスタ (SDMR) のライト値とメモリ端子への出力信号の関係を示します。

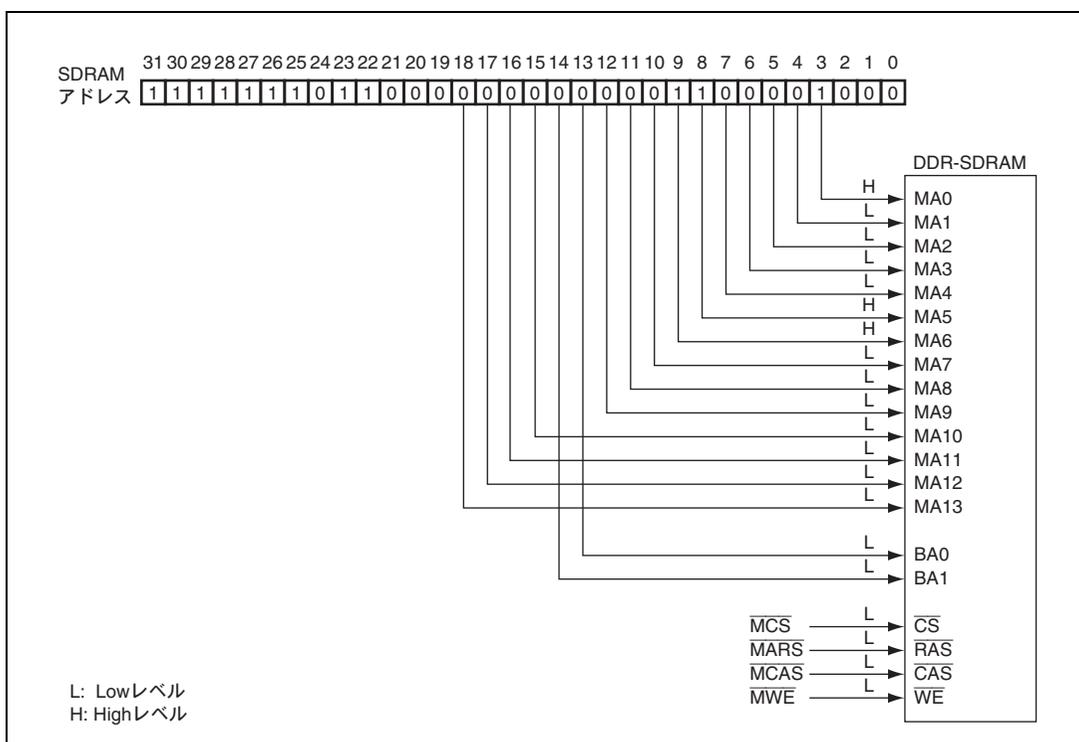


図12.4 SDMR のライト値とメモリ端子への出力信号の関係

例えば、SDRAM 内部にあるモードレジスタへ、DLL リセット解除、CAS レイテンシ 2.5、シーケンシャルバーストシーケンス、バースト長を 2 に設定する場合は、SDRAM の端子に以下の信号を与える必要があります。

- $\overline{CS}$ =Low、 $\overline{RAS}$ =Low、 $\overline{CA}$ =Low、 $\overline{WE}$ =Low
- BA[0:1]=Low、MA[13:9]=Low、MA[8:7]=Low、MA[6:5]=High、MA[4:1]=Low、MA[0]=High

上記制御信号を出力するため、SDMR のアドレス H'FEC0 0308 へロングワードライトアクセスを行います。この時、SDRAM の端子には図のように制御信号が出力されます。SDMR へのライトデータは Don't care です。

### 12.4.6 DDR-SDRAM バックアップレジスタ (DBK)

本レジスタでバッテリーバックアップ状態かどうかを判定します。詳細は「第 17 章 低消費電力モード」を参照ください。

ビット:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	47
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SDBUP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	—*
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
63~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SDBUP	不定*	R	SDRAM バックアップ バッテリーバックアップ状態かどうかを判定します。 0: バッテリーバックアップ状態 1: バッテリーバックアップ状態ではありません

【注】 \* 初期値は外部端子  $\overline{BKPRST}$  の設定によります。

### 12.5 動作説明

#### 12.5.1 DDR-SDRAM アクセス

DDR-SDRAM アクセスは、バースト長2で行います。ページにヒットするリードまたはライトのコマンドは、コマンドを連続して発行してデータを連続して読み出します。

#### 12.5.2 DDR-SDRAM 初期化シーケンス

電源投入直後は、SDRAM の内部状態が不確定になっており、シーケンスを守って初期化する必要があります。シーケンスを守らないとデバイスの破壊などを招く可能性があります。

DDR-SDRAM の場合の初期化シーケンス例を示します。詳細は各メモリベンダのデータシートを参照して決定してください。

1. SDRAMに供給されている4つの電源を、VDD、VDDQ、VREF、VTT（終端電圧）の順で投入します。
2. 電源や参照電圧やクロックが安定した後、200 $\mu$ s以上現状を維持します。
3. DDR-SDRAMへのダミーリードを実行してください。
4. 以下のアドレスにアクセスサイズ32ビットでH'A500 0000を書き込んでください。P4アドレス：H'FE80 0604（ビッグエンディアン）/H'FE80 0600（リトルエンディアン）または、エリア7アドレス：H'1E80 0604（ビッグエンディアン）/H'1E80 0600（リトルエンディアン）

**【注】** このアドレスフィールドの初期値はH'A500 0002です。スリープモード時は保持、パワーオンリセットまたはマニュアルリセットで初期化されます。DDR-SDRAM にアクセスする際にはH'A500 0000である必要があります。

5. MIMレジスタの設定を行い、SDRAMコントローラのイネーブル、内蔵DLLのイネーブル（MIM.DLLEN=1）を設定してください。
6. SDR、STRレジスタの設定を行います。
7. SCRレジスタのSMSフィールドを使用してCKEをイネーブルにします。
8. SCRレジスタのSMSフィールドを使用してPREALLコマンドを発行します。
9. SDMRレジスタを使用してEMRSコマンドを発行し、DLLをイネーブルにします。
10. SDMRレジスタを使用してMRSコマンドを発行し、DLLのリセットを行います。バースト長やCASレイテンシなどの設定も行います。
11. 全バンクのプリチャージ（PREALL）コマンドを発行した後、SCRレジスタのSMSフィールドを使用してREFAコマンドを2回発行します。
12. SDMRレジスタを使用してMRSコマンドを発行し、DLLリセットを解除（MA8=Low）し動作モードを設定します。この時、バースト長などの設定は10.で指定した値をそのまま使用します。
13. DLLリセット後、MCLK200サイクル待った後、通常のメモリアクセス動作が可能になります。

上記のSDRAMのSDMRレジスタなどの設定とDDRIF内部のレジスタ設定の内容は一致するようにしてください。

## 12.5.3 サポートする SDRAM コマンド

DDRIF がサポートする SDRAM コマンドを表 12.6 に示します。

表12.6 DDRIF が発行する SDRAM コマンド

機能	シンボル	CKE		$\overline{CS}$	$\overline{RAS}$	$\overline{CAS}$	$\overline{WE}$	A [13:11]	A10/ AP	BA [1:0]	A [9:0]
		n-1	n								
Device deselect	DESELECT	H	X	H	X	X	X	X	X	X	X
No Operation	NOP	H	X	L	H	H	H	X	X	X	X
Read	READ	H	X	L	H	L	H	V	L	V	V
Read with auto precharge	READA	H	X	L	H	L	H	V	H	V	V
Write	WRITE	H	X	L	H	L	L	V	L	V	V
Write with auto precharge	WRITEA	H	X	L	H	L	L	V	H	V	V
Bank Activate	ACT	H	X	L	L	H	H	V	V	V	V
Precharge select bank	PRE	H	X	L	L	H	L	X	L	V	X
Precharge all banks	PREALL	H	X	L	L	H	L	X	H	X	X
Auto refresh	REFA	H	H	L	L	L	H	X	X	X	X
Self refresh entry from IDLE	REFS	H	L	L	L	L	H	X	X	X	X
Self refresh exit	REFSX	L	H	H	X	X	X	X	X	X	X
Power-down entry	PWRDN	H	L	H	X	X	X	X	X	X	X
Power-down exit	PWRDNX	L	H	H	X	X	X	X	X	X	X
Mode Register set	MRS/EMRS	H	X	L	L	L	L	V	V	V	V

## 【記号説明】

H : ハイレベル

L : ローレベル

X : ハイレベルまたはローレベル (don't care)

V : 有効データ

上記の DESELECT コマンドは、各モジュールが SDRAM に対しアクセスを行わない時に発行しますので、ユーザが明示的に発行することはできません。

### 12.5.4 SDRAM アクセスモードの説明

DDRIFは下記の2種類のSDRAMアクセスモードをサポートします。各モードはMIMレジスタのBOMODEビットの指定により設定可能です。

#### (1) BANK オープンモード

メモリアードまたはライト直後にPREコマンドを与えずにBANKを常に開いておく方針でアクセスします。本方式は、連続したメモリアクセス時にBANKがヒットしつづけるアプリケーション時に有効です。BANKがミスした場合には自動的にPREコマンドを発行します。

#### (2) BANK クローズモード

メモリアードまたはライト直後に、PREコマンドを与え、BANKを閉じます。本方式は連続したメモリアクセス時に、BANKがヒットしない場合に有効です。

### 12.5.5 低消費電力モード

#### (1) セルフリフレッシュモード

セルフリフレッシュモードは、SDRAM内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。MIM.DRE=1、かつ、MIM.RMODE=1としてセルフリフレッシュに設定した後、CPUをスタンバイ状態にした場合でもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態の復帰後もセルフリフレッシュ状態が保持されます。

DDRIFのレジスタ設定によりセルフリフレッシュ状態になりますが、下記のシーケンスを守る必要があります。

なお、セルフリフレッシュ状態に遷移する場合、オートリフレッシュが終了しているか、またはディスエーブルする必要があります。

- セルフリフレッシュ状態への遷移

1. DDRIFへのトランザクションが完了していることを確認してください。
2. ソフトウェアによりSCRレジスタのSMSビットでPREALLコマンドを発行してください。開かれていたSDRAMのバンクが閉じます。その後、SCRレジスタのSMSビットでREFAコマンドを発行し、メモリのすべての行に対してリフレッシュを行ってください。SCRレジスタを使用してのPREALLおよびREFAコマンドはSTRレジスタのタイミング制御とは無関係に発行されます。ソフトウェアにて対応メモリに適切な間隔のウェイトを挿入してください。この際、必要であればリフレッシュを行ってください。
3. セルフリフレッシュ状態へSDRAMを遷移させるためにDDRIFのMIMレジスタのDRE、RMODEビットを1に設定を行ってください。（このときDCEは1のままとしてください。）
4. DDRIFはセルフリフレッシュコマンドを自動的に発行し、CKEをローレベルにします。その後SDRAMは自動的にパワーダウンモードになります。
5. SDRAMがセルフリフレッシュモードに遷移したかどうかはMIMレジスタのリードを行い、ステータスビットSELFSを確認することで判定できます。

- セルフリフレッシュ状態からの復帰

1. MIMレジスタのRMODEビットを0、DREビットを0に設定し、セルフリフレッシュ状態を解除します。
2. SDRAMがセルフリフレッシュモードから解除されたかどうかは、レジスタMIMのステータスビットSELFSを確認することで判定できます。
3. 解除後、SDRAMが要求する時間（リード以外のコマンド発行まで130ns、リードコマンド発行まで200サイクル）までアクセスを待ちます。
4. アクセス可能になった時点で、SRCレジスタのSMSビットを使用してREFAコマンドを発行し、メモリのすべての行に対してリフレッシュを行ってください。
5. 任意のアドレスに対してダミーのバイトリードを行ってください。
6. SCRレジスタのSMSビットを用いてPREALLコマンドを発行します。
7. SCRレジスタのSMSビットを用いてREFAコマンドを発行します。この動作は、DDRIFの遅延調整機構を動作させるために必ず必要です。
8. MIMレジスタ設定によりカウンタによるオートリフレッシュ機構を動作させて、オートリフレッシュが周期的に行われるよう設定してください。その後、通常アクセスが可能になります。

### (2) パワーダウンモード (CKE ローによる)

MIMレジスタのPCKEビット設定により、自動的にCKE端子を変化させパワーダウンモードへの遷移および解除を行わせることができます。本機能によりSDRAMの消費電力を抑えることができます。

なお、メモリアクセス後にパワーダウンモードへの遷移を行わせ、アクセス前にパワーダウンモードからの解除を行いますので、それぞれ前後にMCLKで1サイクルのオーバーヘッドが生じます。

### 12.5.6 アドレスマルチプレクス

MIM レジスタの BW ビット、SDRA レジスタの SPLIT ビットの指定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスマルチプレクスを行います。表 12.7 に DDR-SDRAM アドレスマルチプレクスの関係を示します。数字は SDR の SPLIT ビットの設定によりアドレス端子に出力されるメモリアクセス時のアドレス (ビット) を示します。なお、この表以外の設定を行った場合の動作は保証できません。

表12.7 DDR-SDRAM アドレスマルチプレクスの関係 (データバス幅 : 32 ビット)

メモリ構成	SPLIT	ROW x COL	BA1	BA0	MA13	MA12	MA11	MA10	MA9	MA8	MA7	MA6	MA5	MA4	MA3	MA2	MA1	MA0	
128M ビットx2	0001	12 x 9	ROW	13	12	-	-	11	24	23	22	21	20	19	18	17	16	15	14
(8M x 16 ビット x2)			COL	13	12	-	-	-	AP*	-	10	9	8	7	6	5	4	3	2
256M ビットx2	0011	13 x 9	ROW	13	12	-	11	25	24	23	22	21	20	19	18	17	16	15	14
(16M x 16 ビット x2)			COL	13	12	-	-	-	AP*	-	10	9	8	7	6	5	4	3	2
512M ビットx2	0100	13 x 10	ROW	13	12	-	26	25	24	23	22	21	20	19	18	17	16	15	14
(32M x 16 ビット x2)			COL	13	12	-	-	-	AP*	11	10	9	8	7	6	5	4	3	2
1G ビットx2	0110	14 x 10	ROW	13	12	27	26	25	24	23	22	21	20	19	18	17	16	15	14
(64M x 16 ビット x2)			COL	13	12	-	-	-	AP*	11	10	9	8	7	6	5	4	3	2

【注】 \* : オートプリチャージ

## 12.6 DDRIF 基本タイミング

図 12.5~図 12.14 に DDRIF の基本タイミング (例) を示します。

各タイミングにおいて、T0 では DDR-SDRAM がアイドル状態であることを示しています。

STR に設定する各タイミングは、使用する DDR-SDRAM により規定されている範囲内としてください。

なお、DDRIF がサポートする CL は 2.5 のみとなります。

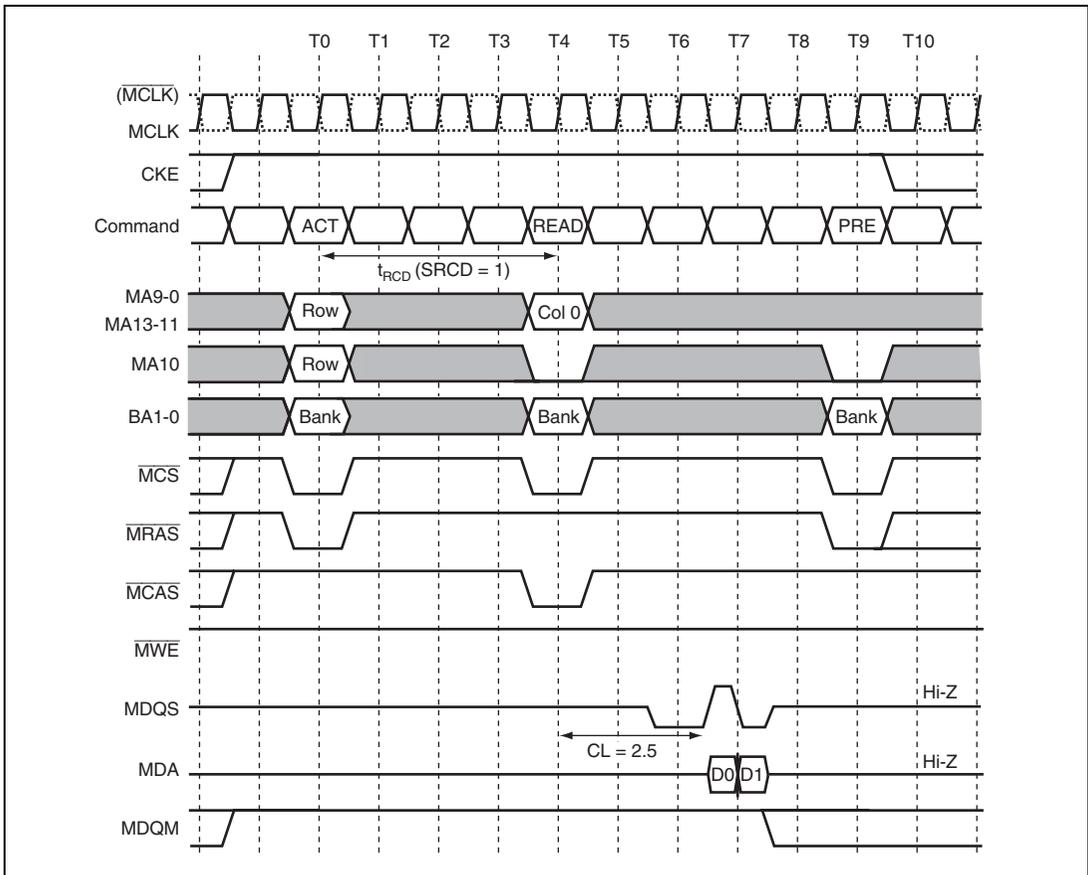


図 12.5 DDRIF 基本タイミング

(1 バーストリード : 1 バイト/2 バイト/4 バイト/8 バイトオートプリチャージなし)

## 12. DDR-SDRAM インタフェース (DDRIF)

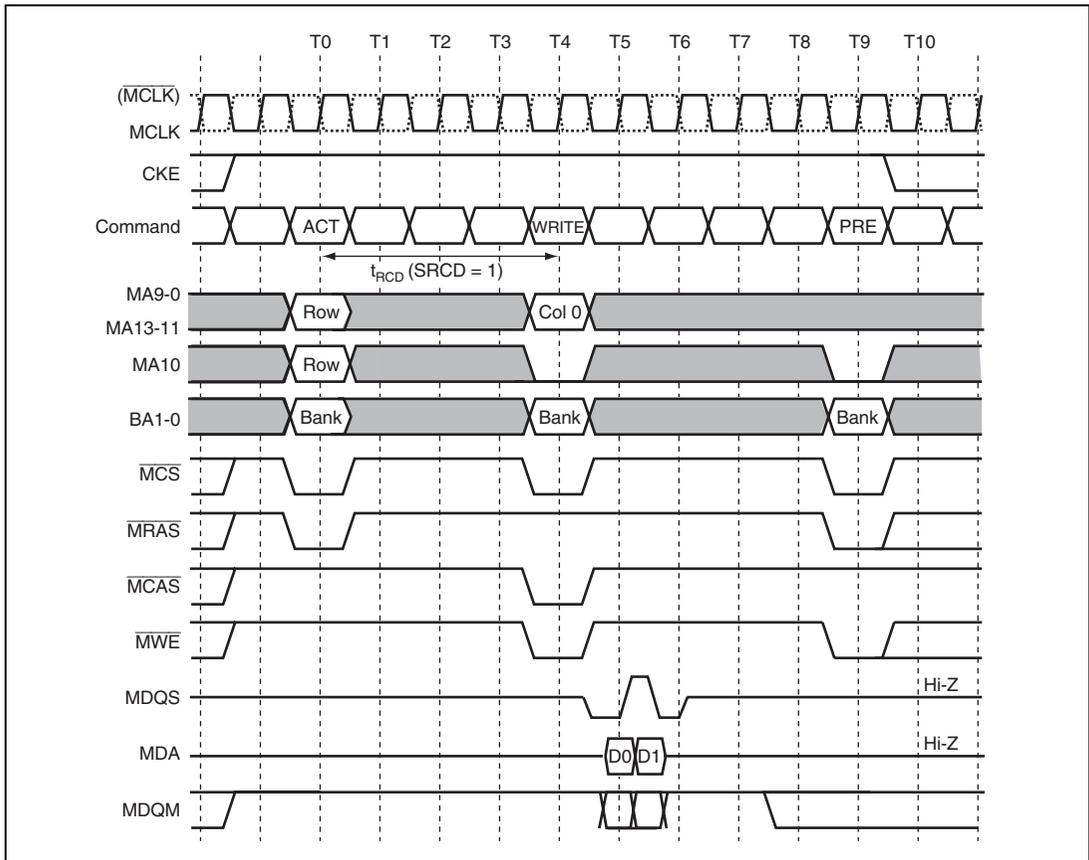


図 12.6 DDRIF 基本タイミング  
(1 バーストライト : 1 バイト/2 バイト/4 バイト/8 バイト オートプリチャージなし)

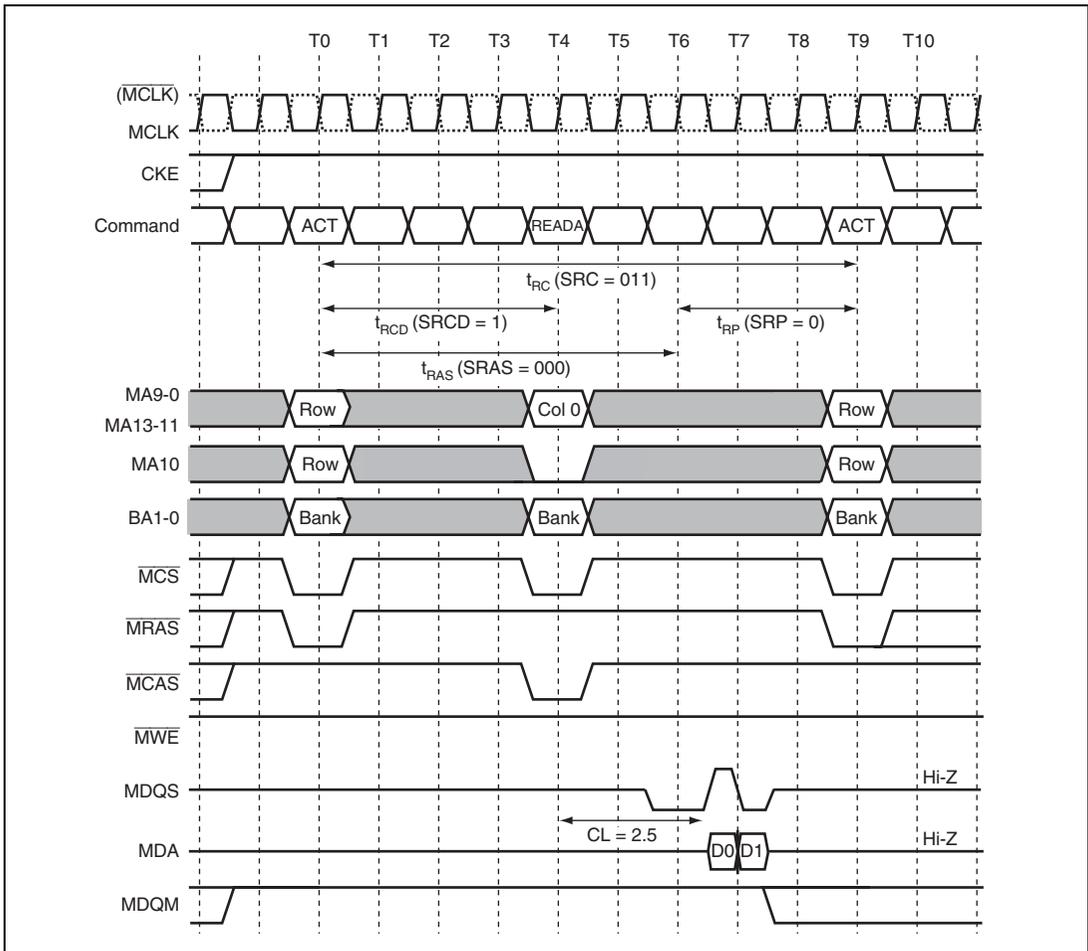


図 12.7 DDRIF 基本タイミング  
(1 バーストリード : 1 バイト/2 バイト/4 バイト/8 バイトオートプリチャージあり)

## 12. DDR-SDRAM インタフェース (DDRIF)

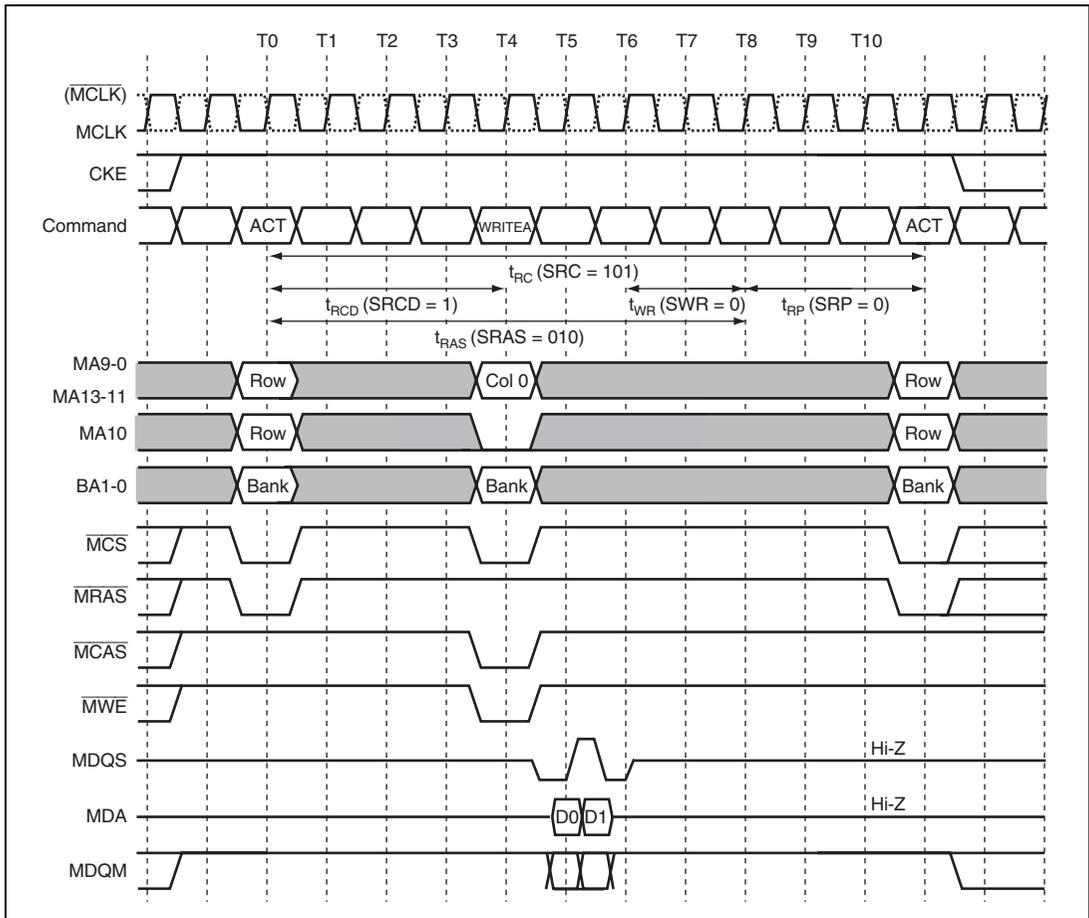


図 12.8 DDRIF 基本タイミング

(1 バーストライト : 1 バイト/2 バイト/4 バイト/8 バイト オートプリチャージあり)

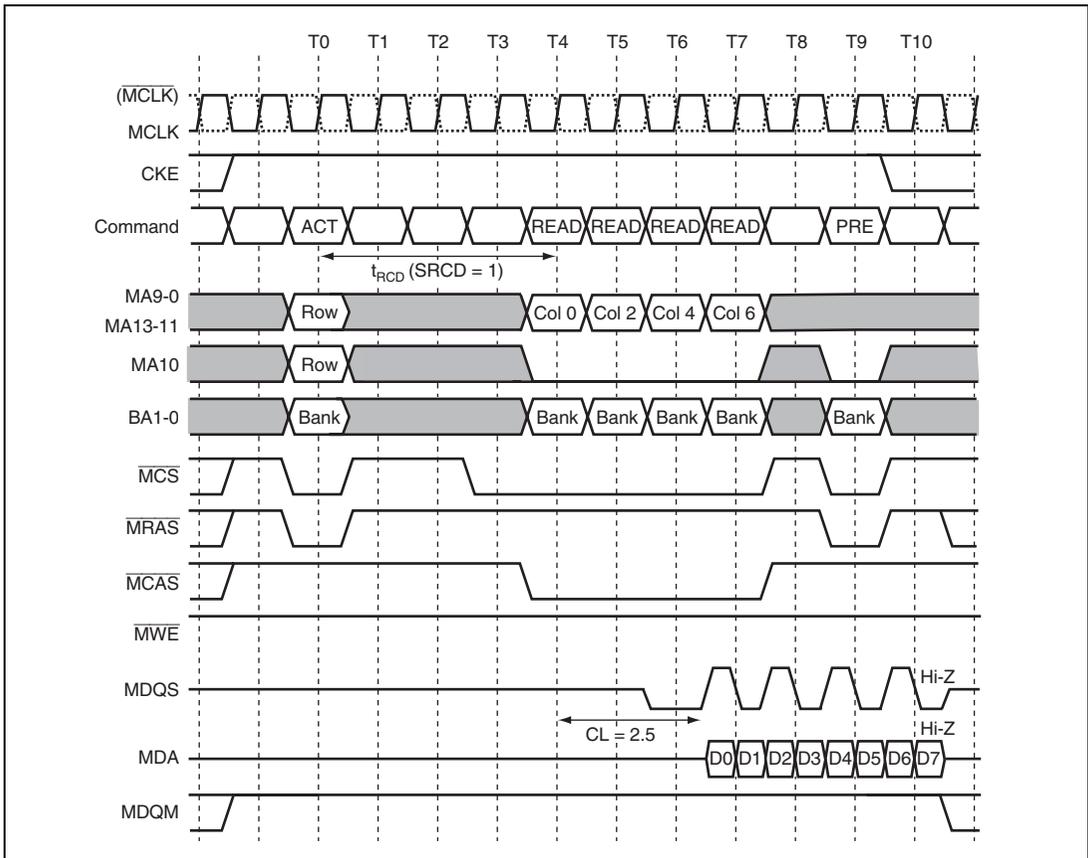


図 12.9 DDRIF 基本タイミング  
(4 バーストリード : 32 バイト オートプリチャージなし)

## 12. DDR-SDRAM インタフェース (DDRIF)

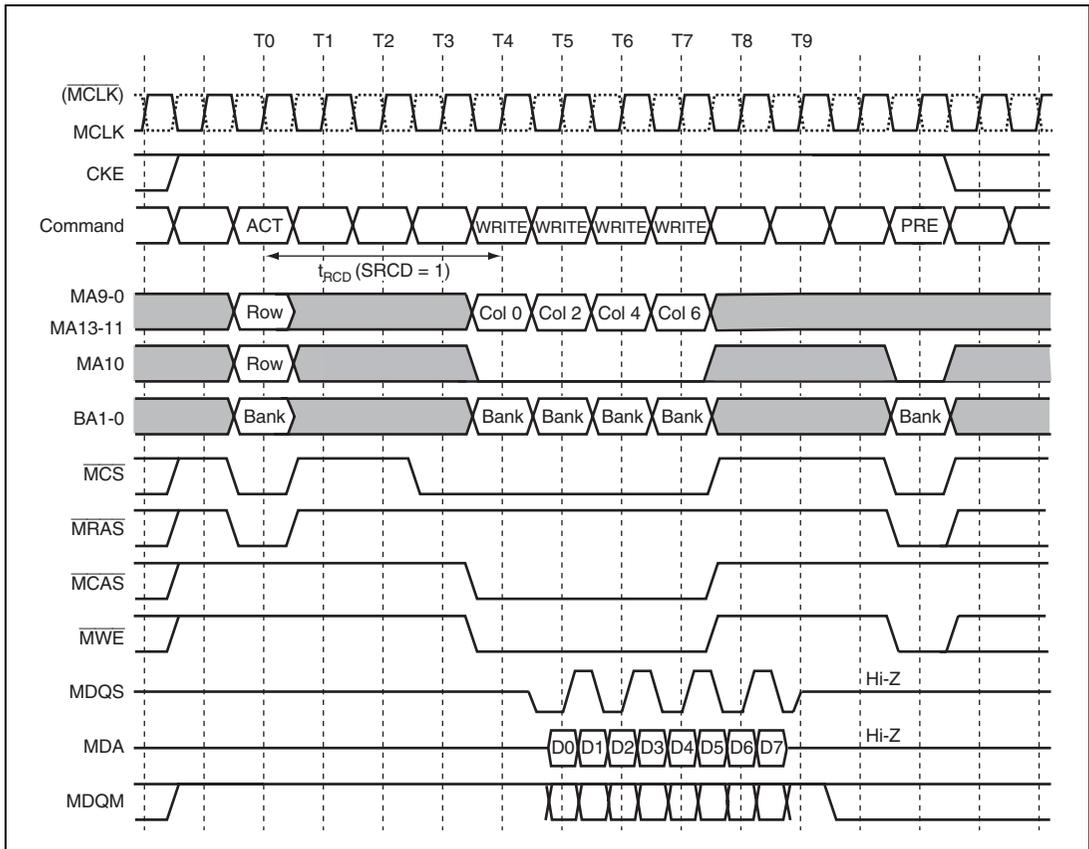


図 12.10 DDRIF 基本タイミング (4 バーストライト : 32 バイト オートプリチャージなし)

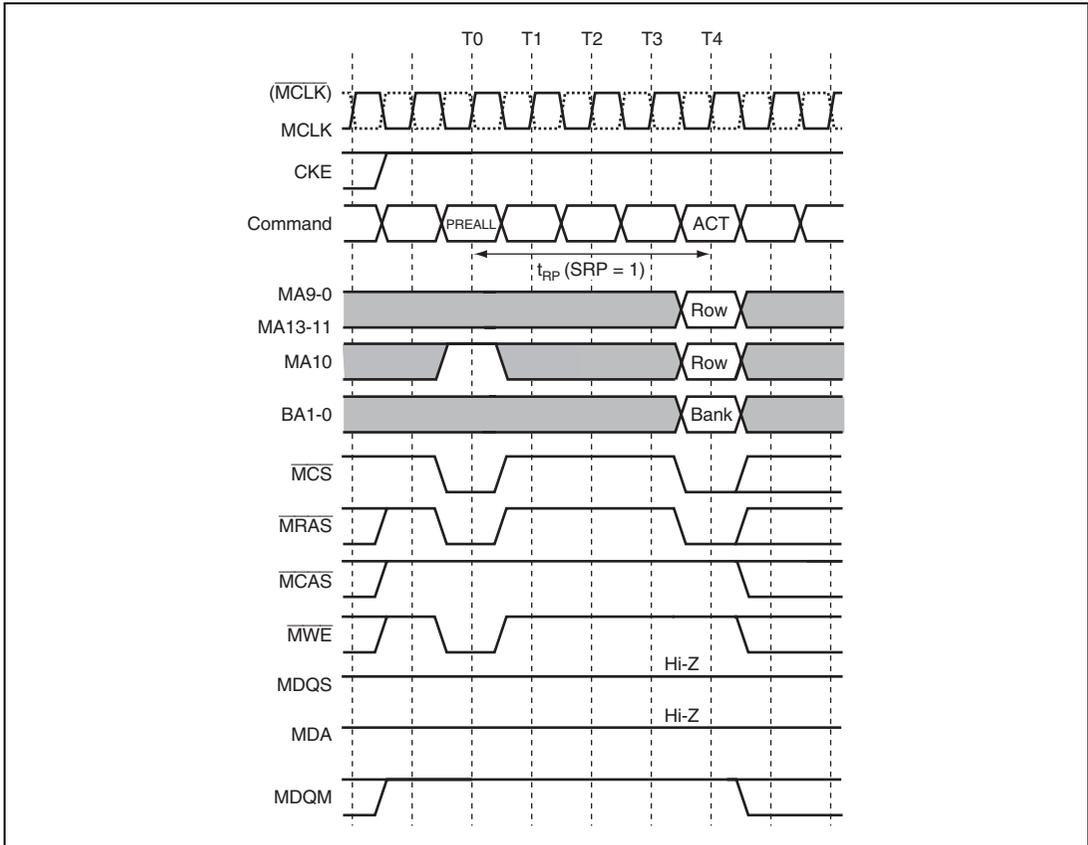


図 12.11 DDRIF 基本タイミング (プリチャージオールバンク～バンクアクティブ)

## 12. DDR-SDRAM インタフェース (DDRIF)

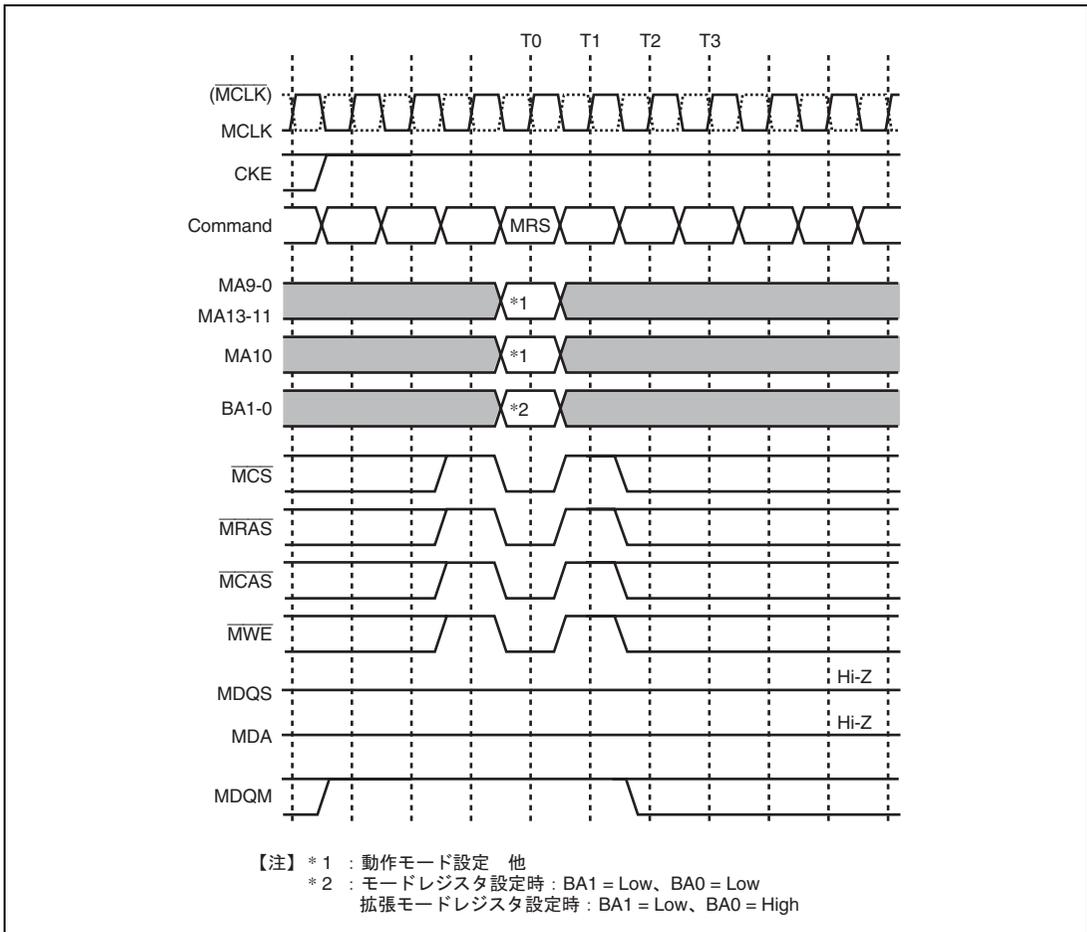


図 12.12 DDRIF 基本タイミング (モードレジスタ設定)

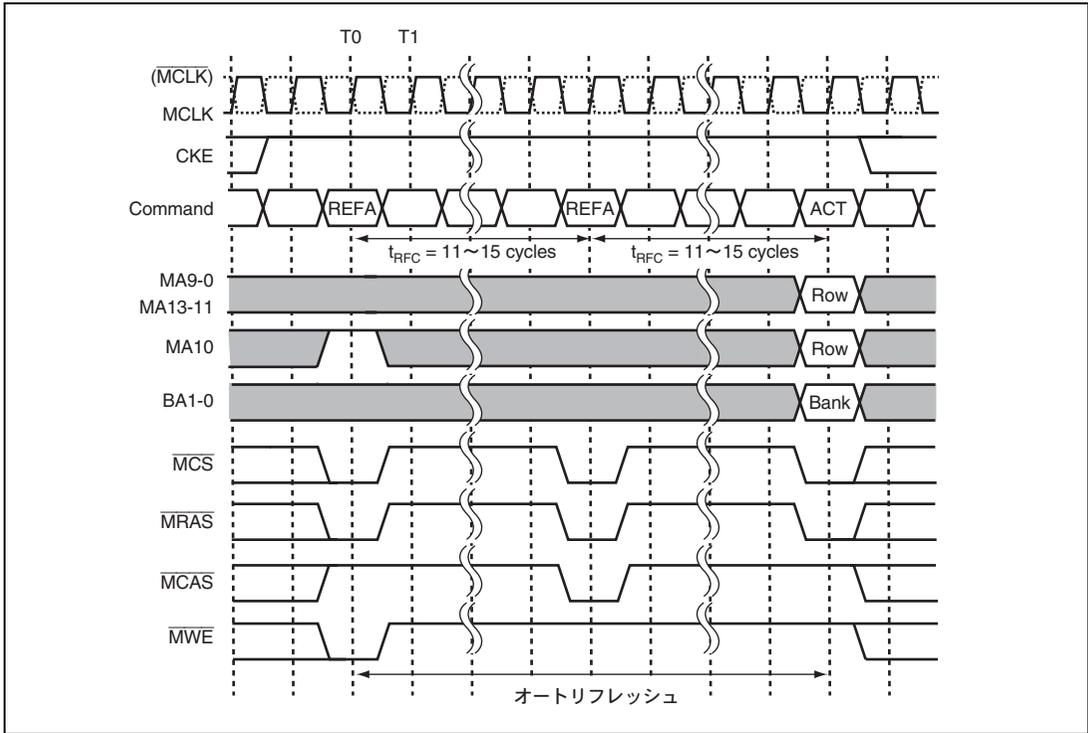


図 12.13 DDRIF 基本タイミング (オートリフレッシュ Enter/Exit~バンクアクティブ)

## 12. DDR-SDRAM インタフェース (DDRIF)

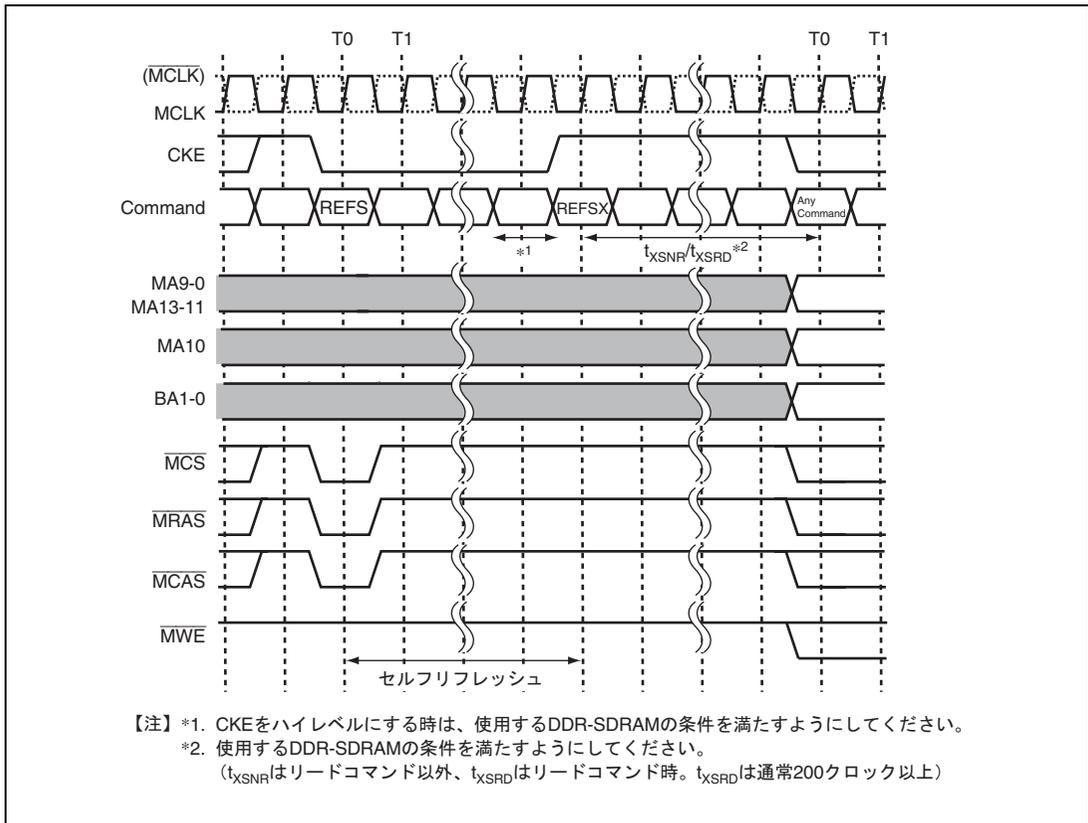


図 12.14 DDRIF 基本タイミング (セルフリフレッシュ Enter/Exit~コマンド入力)

## 12.7 使用上の注意事項

### 12.7.1 動作周波数について

DDRIF がサポートする DDR-SDRAM の周波数は、SuperHyway クロック (SHck) と DDR クロック (DDRck) のクロック比が 5 : 4 (DDR320 時) または 1 : 1 (DDR266 時) の 2 通りについてサポートしています。詳細は、「第 15 章 クロック発振器 (CPG)」を参照してください。SuperHyway クロックの最高動作周波数は 200MHz です。最低動作周波数は使用する DDR-SDRAM のクロック周波数にも依存しますので、SDRAM のデータシートを参照してください。

### 12.7.2 クロック停止時の注意点

DDRIF に供給されるクロックが停止するのは下記の 2 つの場合があります。

- DDR-SDRAM 電源バックアップモード時
- CPG の周波数変更レジスタ (FRQCR) にて PLL 通倍率およびバスクロック周波数分周率変更時

上記の場合クロックが供給されないため、オートリフレッシュは実行されません。その結果、リフレッシュレートが守られず SDRAM のデータは破壊されます。これを防ぐためクロック供給停止前にソフトウェアにて SDRAM をセルフリフレッシュ状態にしておく必要があります。セルフリフレッシュモードへの遷移および復帰方法は「12.5.5 (1) セルフリフレッシュモード」をご参照ください。

### 12.7.3 初期化シーケンス時以外に SCR レジスタで REFA コマンドを発行する場合

メモリアクセス (リード、ライト) を行うことにより、DDRIF は SDRAM のバンクを自動的に開きます。SCR レジスタの SMS ビットを使用して REFA コマンドを発行する場合は、必ず SCR レジスタの SMS ビットを使用して PREALL コマンドを発行し、バンクを閉じてください。セルフリフレッシュ前に SCR レジスタにより、メモリの全ての行に対してリフレッシュ (REFA) を行う場合も上記操作が必要です。

### 12.7.4 接続する SDRAM に関するタイミング上のご注意

DDRIF は、ACT からオートプリチャージ付きリードライトコマンド発行までのサイクル数 (tRAP) と ACT からリードライトコマンド発行サイクル数 (tRCD) が等しいメモリのみサポートします。異なる場合にはバンクオープンモードで使用してください。

### 12.7.5 オートリフレッシュ間隔設定上のご注意

MIM レジスタの DRI ビットの設定によりオートリフレッシュ間隔を規定しますが、DRI ビットの設定と DRE ビットの 1 設定を同時に行うと初回のオートリフレッシュまでの間隔は、DRI に設定する前のレジスタ値になり、2 回目以降は DRI で設定した値となります。これを避けるため、DRI ビットの設定時、DRE ビットを 0 設定します。その後、DRE ビットを 1 に設定することにより初回から指定した間隔でオートリフレッシュが行われます。なお、DRE ビットを 1 に設定する際には、DRI には前回設定したサイクル数と同じ値を与えてください。

## 12. DDR-SDRAM インタフェース (DDRIF)

---

---

## 13. PCI コントローラ (PCIC)

---

PCI コントローラ (PCIC) は、PCI バスの制御を行い、本 LSI 外部バスに接続されるメモリと PCI バスに接続される PCI デバイス間のデータ転送を行うことができ、PCI バスを用いたシステム設計が容易になると同時に、コンパクトで高速なデータ転送が可能になります。

PCICはPCIバスとSuperHywayバス(本LSI内部バス)との間を結ぶバスブリッジとして動作し、PCIバス上のPCIデバイスから、本LSI外部バスに接続されるメモリなどへの転送チャンネルを提供します。

PCIC は、ホストモード、ノーマルモード(非ホストモード)の2つのモードを持ちます。ホストモードでは PCI バス上のアービトレーションを行うことができます。ノーマルモードでは PCI バスアービトレーションは外部 PCI バスアービタによって行われます。

### 13.1 特長

PCIC には以下の特長があります。

- PCIのレビジョン2.2のサブセットをサポート
- 33MHzまたは66MHz動作
- 32ビットデータバス
- PCIマスタおよびターゲット機能
- PCIパワーマネジメントレビジョン1.1をサポート
- ホストモードおよびノーマルモードをサポート(外部端子MODE6で設定)
- PCIアービタ(ホストモード)
- 4種類の外部マスタをサポート
- 擬似ラウンドロビンまたは固定優先順位アービトレーション
- 外部バスアービタモードをサポート
- コンフィグレーションメカニズム#1をサポート(ホストモード)。
- バースト転送をサポート
- パリティチェックおよびエラーレポート
- 排他的アクセス(ターゲット時のみ)

ロックされると、**LOCK**をアサートしたPCIデバイスからのみアクセス可能。

【注】ロック転送中においてもSuperHywayバスはロックされません。

本LSI内部モジュールと外部PCIマスタ間の排他的アクセスは、サポートしていません。

- PCICがターゲットのとき、PCIバス上のメモリと本LSI外部バス上のメモリ間のスヌープ機能をサポート。  
(キャッシュコヒーレンシは性能を犠牲にすることでサポートできます)

### 13. PCI コントローラ (PCIC)

---

- ホストモードでは、4種類の外部割り込み入力 ( $\overline{\text{INTA}}$ 、 $\overline{\text{INTB}}$ 、 $\overline{\text{INTC}}$ および $\overline{\text{INTD}}$ ) をサポート。
- ノーマルモードでは、1種類の外部割り込み出力 ( $\overline{\text{INTA}}$ ) をサポート。
- 本LSIのエンディアンは、ビッグエンディアンおよびリトルエンディアン両方をサポート。  
(ただし、PCIバスはリトルエンディアンで動作)

**【注】** 以下のPCIの機能はサポートされていません。

- キャッシュサポート ( $\overline{\text{SBO}}$ 、 $\overline{\text{SDONE}}$ 端子なし)
- アドレスラップアラウンドメカニズム
- PCI JTAG (本LSIとしてはJTAGをサポートしています)
- デュアルアドレスサイクル
- インタラプトアクノリッジサイクル
- 高速バックトゥバック転送開始 (ターゲットデバイスとして動作するときにサポートします)
- 初期化、システムブート用拡張ROM

図 13.1 に PCIC のブロック図を示します。

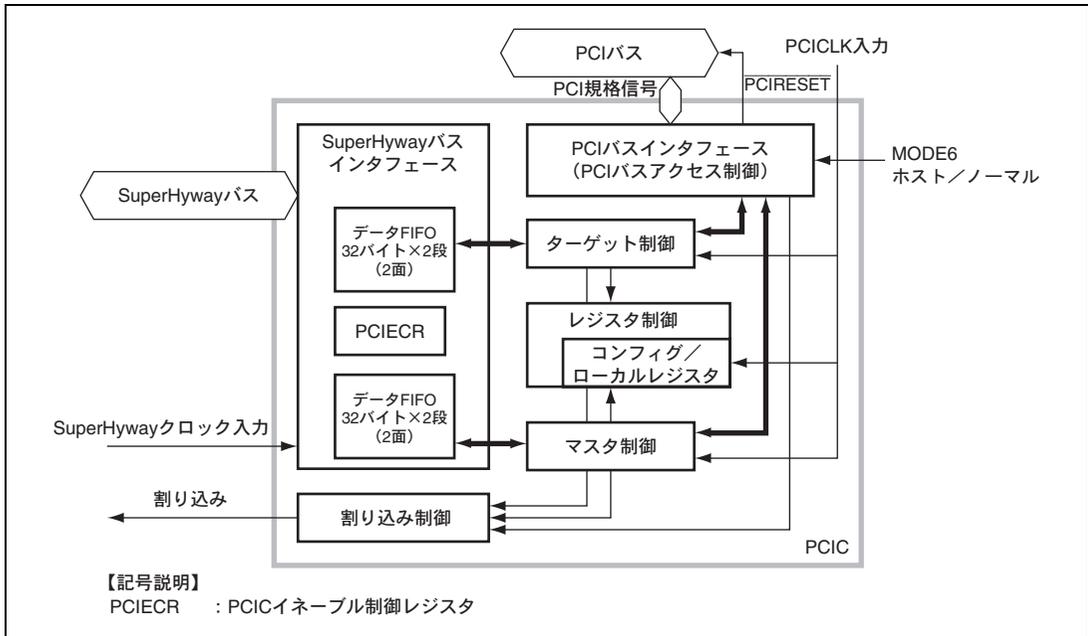


図13.1 PCIC ブロック図

PCIC は PCI バスインタフェースブロックと SuperHyway バスインタフェースブロックの 2 つのブロックからなります。

PCI バスインタフェースブロックは PCI コンフィグレーションレジスタ、ローカルレジスタ、PCI マスタ/ターゲット制御からなります。

SuperHyway バスインタフェースブロックは、PCI バスインタフェースからのアクセスを SuperHyway バスへのアクセスに変換し、また SuperHyway バスからのアクセス (CPU または DMAC) を PCI バスインタフェースブロックへのアクセスに変換する機能を持っています。SuperHyway バスインタフェースブロックにはコントロールレジスタ (PCIECR)、SuperHyway バス→PCI バスアクセス制御ブロック、PCI バス→SuperHyway バスアクセス制御ブロックからなります。

割り込み制御は、本 LSI の INTC への割り込みの発行を制御する機能を持っています。

## 13. PCI コントローラ (PCIC)

### 13.2 入出力端子

表 13.1 に PCIC の端子構成を示します。

表13.1 端子構成

端子名	PCI 規格信号	入出力	説明
AD31~AD0*1	AD[31:0]	入出力 (TRI)	アドレスバスとデータバスをマルチプレクスした PCI アドレス/データバス 各バス処理はアドレスフェーズの後に 1 つ以上のデータフェーズが続きます。
CBE3~CBE0	C/BE[3:0]	入出力 (TRI)	PCI コマンド/バイトイネーブル マルチプレクスされたコマンドおよびバイトイネーブル。アドレスフェーズ中 はコマンドタイプを示し、データフェーズ中はバイトイネーブルを示します。
PAR	PAR	入出力 (TRI)	PCI パリティ信号 AD[31:0]と C/BE[3:0]間の偶数パリティを生成/検出します。
PCICLK	CLK	入力	PCI クロック PCI バスでのすべての処理のタイミングを与えます。
PCIFRAME	FRAME	入出力 (STRI)	PCI フレーム 現在のイニシエータによってドライブされ、処理の開始、継続または終了を示 します。
TRDY	TRDY	入出力 (STRI)	PCI ターゲットレディ 選択されたターゲットによってドライブされます。データ転送可能な状態であ ることを示します。書き込み中は、ターゲットがデータを受け入れる用意があ ることを示します。読出し中は、有効なデータが AD[31:0]ライン上に存在す ることを示します。
IRDY	IRDY	入出力 (STRI)	PCI イニシエータレディ 現在のバスマスタによってドライブします。書き込み中は、有効なデータが AD[31:0]ライン上に存在することを示します。読出し中は、マスタがデータ を受け入れる用意があることを示します。
STOP	STOP	入出力 (STRI)	PCI ストップ 現在の処理を停止するために選択されたターゲットによってドライブします。
LOCK	LOCK	入出力 (STRI)	PCI ロック
IDSEL	IDSEL	入力	PCI コンフィグレーションデバイス選択 コンフィグレーションサイクルで PCIC を選択するときに入力します (ノーマルモードのみ)。
DEVSEL	DEVSEL	入出力 (STRI)	PCI デバイス選択 PCIC がターゲットとしてその PCI デバイスのアドレスをデコードしたことを 示します。入力としては、PCIC が選択されたことを示します。

端子名	PCI 規格信号	入出力	説明
$\overline{\text{INTD}}^{*2}$ 、 $\overline{\text{INTC}}^{*3}$ 、 $\overline{\text{INTB}}^{*3}$	$\overline{\text{INT}}[\text{D:B}]$	入力	割り込み D、C、B PCI デバイスが PCI 割り込みを要求していることを示します。ホストモードのみ。
$\overline{\text{INTA}}$	$\overline{\text{INTA}}$	入出力 (出力 : O/D)	割り込み A ホストモードで PCI デバイスが割り込みを要求していることを示します。 ノーマルモードで PCIC が割り込みを要求するために出力します。
$\overline{\text{REQ3}}\sim\overline{\text{REQ1}}^{*4}$	$\overline{\text{REQ}}[3:1]$	入力	PCI バスリクエスト (ホストモードのみ)
$\overline{\text{GNT3}}\sim\overline{\text{GNT1}}^{*4}$	$\overline{\text{GNT}}[3:1]$	出力 (TRI)	PCI バスグラント (ホストモードのみ)
$\overline{\text{REQ0}}/\overline{\text{REQOUT}}$	$\overline{\text{REQ0}}$	入出力 (TRI)	PCI バスリクエスト (ホストモードで入力/出力、ノーマルモードで出力)
$\overline{\text{GNT0}}/\overline{\text{GNTIN}}$	$\overline{\text{GNT0}}$	入出力 (TRI)	PCI バスグラント (ホストモードで出力/入力、ノーマルモードで入力)
$\overline{\text{SERR}}$	$\overline{\text{SERR}}$	入出力 (出力 : O/D)	PCI システムエラー
$\overline{\text{PERR}}$	$\overline{\text{PERR}}$	入出力 (TRI)	PCI パリティエラー
$\overline{\text{PCIRESET}}$	—	出力	PCI リセット出力 (ホストモードのみ)
$\overline{\text{MODE6}}^{*5}$	—	入力	PCI 動作モード選択 Low : ノーマルモード (PCICLK による PCI ブリッジ動作) High : ホストモード (PCICLK による PCI ブリッジ動作)

## 【記号説明】

TRI : トライステート

STRI : サステインドトライステート

O/D : オープンドレイン

【注】 \*1 AD 端子は GPIO 端子 (ポート A~D) とマルチプレクスされています。

\*2  $\overline{\text{INTD}}$  端子は SCIF チャネル 0、GPIO 端子とマルチプレクスされています。\*3  $\overline{\text{INTC}}$ 、 $\overline{\text{INTB}}$  端子は DMAC、H-UDI、GPIO 端子とマルチプレクスされています。

\*4 これらの端子は GPIO 端子とマルチプレクスされています。

\*5  $\overline{\text{MODE6}}$  端子は  $\overline{\text{INTC}}$ 、 $\overline{\text{FLCTL}}$  端子とマルチプレクスされています。

## 13. PCI コントローラ (PCIC)

### 13.3 レジスタの説明

PCIC のレジスタ構成を表 13.2 に示します。また、各処理モードにおけるレジスタの状態を表 13.3 に示します。PCI コンフィグレーションレジスタのアドレスおよびオフセットは、リトルエンディアンの場合の値です。

表13.2 レジスタ構成

レジスタ名称	略 称	SH* <sup>1</sup> R/W	PCI* <sup>1</sup> R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ* <sup>2</sup>
コントロールレジスタ空間						
PCIC イネーブル制御レジスタ	PCIECR	R/W	-	H'FE00 0008	H'1E00 00008	32
PCI コンフィグレーションレジスタ空間						
PCI ベンダ ID レジスタ	PCIVID	R	R	H'FE04 0000	H'1E04 0000	16
PCI デバイス ID レジスタ	PCIDID	R	R	H'FE04 0002	H'1E04 0002	16
PCI コマンドレジスタ	PCICMD	R/W	R/W	H'FE04 0004	H'1E04 0004	16
PCI ステータスレジスタ	PCISTATUS	R/WC	R/WC	H'FE04 0006	H'1E04 0006	16
PCI レビジョン ID レジスタ	PCIRID	R	R	H'FE04 0008	H'1E04 0008	8
PCI プログラムインタフェースレジスタ	PCIPIF	R/W	R	H'FE04 0009	H'1E04 0009	8
PCI サブクラスコードレジスタ	PCISUB	R/W	R	H'FE04 000A	H'1E04 000A	8
PCI ベースクラスコードレジスタ	PCIBCC	R/W	R	H'FE04 000B	H'1E04 000B	8
PCI キャッシュラインサイズレジスタ	PCICLS	R	R	H'FE04 000C	H'1E04 000C	8
PCI レイテンシタイムレジスタ	PCILTM	R/W	R/W	H'FE04 000D	H'1E04 000D	8
PCI ヘッドタイプレジスタ	PCIHDR	R	R	H'FE04 000E	H'1E04 000E	8
PCI BIST レジスタ	PCIBIST	R	R	H'FE04 000F	H'1E04 000F	8
PCI I/O ベースアドレスレジスタ	PCIIBAR	R/W	R/W	H'FE04 0010	H'1E04 0010	32
PCI メモリベースアドレスレジスタ 0	PCIMBAR0	R/W	R/W	H'FE04 0014	H'1E04 0014	32
PCI メモリベースアドレスレジスタ 1	PCIMBAR1	R/W	R/W	H'FE04 0018	H'1E04 0018	32
PCI サブシステムベンダ ID レジスタ	PCISVID	R/W	R	H'FE04 002C	H'1E04 002C	16
PCI サブシステム ID レジスタ	PCISID	R/W	R	H'FE04 002E	H'1E04 002E	16
PCI 拡張機能ポインタレジスタ	PCICP	R	R	H'FE04 0034	H'1E04 0034	8
PCI 割り込みラインレジスタ	PCIINTLINE	R/W	R/W	H'FE04 003C	H'1E04 003C	8
PCI 割り込み端子指定レジスタ	PCIINTPIN	R/W	R	H'FE04 003D	H'1E04 003D	8
PCI 最小グラント指定レジスタ	PCIMINGNT	R	R	H'FE04 003E	H'1E04 003E	8
PCI 最大レイテンシ指定レジスタ	PCIMAXLAT	R	R	H'FE04 003F	H'1E04 003F	8
PCI 拡張機能 ID レジスタ	PCICID	R	R	H'FE04 0040	H'1E04 0040	8
PCI 次項目ポインタレジスタ	PCINIP	R	R	H'FE04 0041	H'1E04 0041	8
PCI パワー管理レジスタ	PCIPMC	R/W	R/W	H'FE04 0042	H'1E04 0042	16
PCI パワー管理コントロール/ ステータスレジスタ	PCIPMCSR	R/W	R/W	H'FE04 0044	H'1E04 0044	16

## 13. PCI コントローラ (PCIC)

レジスタ名称	略 称	SH*1 R/W	PCI*1 R/W	P4 領域 アドレス	エリア 7 アドレス	アクセス サイズ*2
PCIPMCSR ブリッジサポート拡張レジスタ	PCIPMCSRBASE	R	R	H'FE04 0046	H'1E04 0046	8
PCI パワー消費/放散データレジスタ	PCIPCCDD	R/W	R	H'FE04 0047	H'1E04 0047	8
PCI ローカルレジスタ空間						
PCI コントロールレジスタ	PCICR	R/W	R	H'FE04 0100	H'1E04 0100	32
PCI ローカルスペースレジスタ 0	PCILSR0	R/W	R	H'FE04 0104	H'1E04 0104	32
PCI ローカルスペースレジスタ 1	PCILSR1	R/W	R	H'FE04 0108	H'1E04 0108	32
PCI ローカルアドレスレジスタ 0	PCILAR0	R/W	R	H'FE04 010C	H'1E04 010C	32
PCI ローカルアドレスレジスタ 1	PCILAR1	R/W	R	H'FE04 0110	H'1E04 0110	32
PCI 割り込みレジスタ	PCIIR	R/WC	R	H'FE04 0114	H'1E04 0114	32
PCI 割り込みマスクレジスタ	PCIIMR	R/W	R	H'FE04 0118	H'1E04 0118	32
PCI エラーアドレス情報レジスタ	PCIAIR	R	R	H'FE04 011C	H'1E04 011C	32
PCI エラーコマンド情報レジスタ	PCICIR	R	R	H'FE04 0120	H'1E04 0120	32
PCI アービタ割り込みレジスタ	PCIAINT	R/WC	R	H'FE04 0130	H'1E04 0130	32
PCI アービタ割り込みマスクレジスタ	PCIAINTM	R/WC	R	H'FE04 0134	H'1E04 0134	32
PCI バスマスタエラー情報レジスタ	PCIBMIR	R	R	H'FE04 0138	H'1E04 0138	32
PCI PIO アドレスレジスタ*2	PCIPAR	R/W	-	H'FE04 01C0	H'1E04 01C0	32
PCI パワー管理割り込みレジスタ	PCIPINT	R/WC	-	H'FE04 01CC	H'1E04 01CC	32
PCI パワー管理割り込みマスク レジスタ	PCIPINTM	R/W	-	H'FE04 01D0	H'1E04 01D0	32
PCI メモリバンクレジスタ 0	PCIMBR0	R/W	-	H'FE04 01E0	H'1E04 01E0	32
PCI メモリバンクマスクレジスタ 0	PCIMBR0	R/W	-	H'FE04 01E4	H'1E04 01E4	32
PCI メモリバンクレジスタ 1	PCIMBR1	R/W	-	H'FE04 01E8	H'1E04 01E8	32
PCI メモリバンクマスクレジスタ 1	PCIMBR1	R/W	-	H'FE04 01EC	H'1E04 01EC	32
PCI メモリバンクレジスタ 2	PCIMBR2	R/W	-	H'FE04 01F0	H'1E04 01F0	32
PCI メモリバンクマスクレジスタ 2	PCIMBR2	R/W	-	H'FE04 01F4	H'1E04 01F4	32
PCI I/O バンクレジスタ	PCIOBR	R/W	-	H'FE04 01F8	H'1E04 01F8	32
PCI I/O バンクマスクレジスタ	PCIOBMR	R/W	-	H'FE04 01FC	H'1E04 01FC	32
PCI キャッシュスヌープコントロール レジスタ 0	PCICSCR0	R/W	-	H'FE04 0210	H'1E04 0210	32
PCI キャッシュスヌープコントロール レジスタ 1	PCICSCR1	R/W	-	H'FE04 0214	H'1E04 0214	32
PCI キャッシュスヌープアドレスレジスタ 0	PCIC SAR0	R/W	-	H'FE04 0218	H'1E04 0218	32
PCI キャッシュスヌープアドレスレジスタ 1	PCIC SAR1	R/W	-	H'FE04 021C	H'1E04 021C	32
PCI PIO*3 データレジスタ	PCIPDR	R/W	-	H'FE04 0220	H'1E04 0220	32

【注】 \*1 SH : SuperHyway バス (内部バス)、PCI : PCI ローカルバス。R/W 欄の「WC」はライトクリア (1 の書き込みでクリア)、「-」はアクセス禁止です。

\*2 アクセスサイズ以下ではアクセスしないでください。

\*3 PIO : Programmed I/O

### 13. PCI コントローラ (PCIC)

表13.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ
コントロールレジスタ空間				
PCIC イネーブル制御レジスタ	PCIECR	H'0000 0000	保持	保持
PCI コンフィグレーションレジスタ空間				
PCI ベンダ ID レジスタ	PCIVID	H'1912	保持	保持
PCI デバイス ID レジスタ	PCIDID	H'0002	保持	保持
PCI コマンドレジスタ	PCICMD	H'0080	保持	保持
PCI ステータスレジスタ	PCISTATUS	H'0290	保持	保持
PCI レビジョン ID レジスタ	PCIRID	H'00	保持	保持
PCI プログラムインタフェースレジスタ	PCIPIF	H'00	保持	保持
PCI サブクラスコードレジスタ	PCISUB	H'00	保持	保持
PCI ベースクラスコードレジスタ	PCIBCC	H'00	保持	保持
PCI キャッシュラインサイズレジスタ	PCICLS	H'20	保持	保持
PCI レイテンシタイムレジスタ	PCILTM	H'00	保持	保持
PCI ヘッドタイプレジスタ	PCIHDR	H'00	保持	保持
PCI BIST レジスタ	PCIBIST	H'00	保持	保持
PCI I/O ベースアドレスレジスタ	PCIIBAR	H'0000 0001	保持	保持
PCI メモリベースアドレスレジスタ 0	PCIMBAR0	H'0000 0000	保持	保持
PCI メモリベースアドレスレジスタ 1	PCIMBAR1	H'0000 0000	保持	保持
PCI サブシステムベンダ ID レジスタ	PCISVID	H'0000	保持	保持
PCI サブシステム ID レジスタ	PCISID	H'0000	保持	保持
PCI 拡張機能ポインタレジスタ	PCICP	H'40	保持	保持
PCI 割り込みラインレジスタ	PCIINTLINE	H'00	保持	保持
PCI 割り込み端子指定レジスタ	PCIINTPIN	H'01	保持	保持
PCI 最小グラント指定レジスタ	PCIMINGNT	H'00	保持	保持
PCI 最大レイテンシ指定レジスタ	PCIMAXLAT	H'00	保持	保持
PCI 拡張機能 ID レジスタ	PCICID	H'01	保持	保持
PCI 次項目ポインタレジスタ	PCINIP	H'00	保持	保持
PCI パワーマネジメントレジスタ	PCIPMC	H'000A	保持	保持
PCI パワーマネジメントコントロール/ ステータスレジスタ	PCIPMCSR	H'0000	保持	保持
PCIPMCSR ブリッジサポート拡張レジスタ	PCIPMCSRSE	H'00	保持	保持
PCI パワー消費/放散データレジスタ	PCIPCCD	H'00	保持	保持

## 13. PCI コントローラ (PCIC)

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ
PCI ローカルレジスタ空間				
PCI コントロールレジスタ	PCICR	H'0000 00xx	保持	保持
PCI ローカルスペースレジスタ 0	PCILSR0	H'0000 0000	保持	保持
PCI ローカルスペースレジスタ 1	PCILSR1	H'0000 0000	保持	保持
PCI ローカルアドレスレジスタ 0	PCILAR0	H'0000 0000	保持	保持
PCI ローカルアドレスレジスタ 1	PCILAR1	H'0000 0000	保持	保持
PCI 割り込みレジスタ	PCIIR	H'0000 0000	保持	保持
PCI 割り込みマスクレジスタ	PCIIMR	H'0000 0000	保持	保持
PCI エラーアドレス情報レジスタ	PCIAIR	H'xxxx xxxx	保持	保持
PCI エラーコマンド情報レジスタ	PCICIR	H'xx00 000x	保持	保持
PCI アービタ割り込みレジスタ	PCIAINT	H'0000 0000	保持	保持
PCI アービタ割り込みマスクレジスタ	PCIAINTM	H'0000 0000	保持	保持
PCI バスマスタエラー情報レジスタ	PCIBMIR	H'0000 00xx	保持	保持
PCI PIO アドレスレジスタ	PCIPAR	H'80xx xxxx	保持	保持
PCI パワーマネジメント割り込みレジスタ	PCIPINT	H'0000 0000	保持	保持
PCI パワーマネジメント割り込みマスク レジスタ	PCIPINTM	H'0000 0000	保持	保持
PCI メモリバンクレジスタ 0	PCIMBR0	H'0000 0000	保持	保持
PCI メモリバンクマスクレジスタ 0	PCIMBMR0	H'0000 0000	保持	保持
PCI メモリバンクレジスタ 1	PCIMBR1	H'0000 0000	保持	保持
PCI メモリバンクマスクレジスタ 1	PCIMBMR1	H'0000 0000	保持	保持
PCI メモリバンクレジスタ 2	PCIMBR2	H'0000 0000	保持	保持
PCI メモリバンクマスクレジスタ 2	PCIMBMR2	H'0000 0000	保持	保持
PCI I/O バンクレジスタ	PCIOBR	H'0000 0000	保持	保持
PCI I/O バンクマスクレジスタ	PCIOBMR	H'0000 0000	保持	保持
PCI キャッシュスヌープコントロール レジスタ 0	PCICSCR0	H'0000 0000	保持	保持
PCI キャッシュスヌープコントロール レジスタ 1	PCICSCR1	H'0000 0000	保持	保持
PCI キャッシュスヌープアドレスレジスタ 0	PCIC SAR0	H'0000 0000	保持	保持
PCI キャッシュスヌープアドレスレジスタ 1	PCIC SAR1	H'0000 0000	保持	保持
PCI PIO データレジスタ	PCIPDR	H'xxxx xxxx	保持	保持

【記号説明】 x : 不定

## 13. PCI コントローラ (PCIC)

### 13.3.1 コントロールレジスタ

#### (1) PCIC イネーブル制御レジスタ (PCIECR)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ENBL
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	SH : R PCI : —	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ENBL	0	SH : R/W PCI : —	PCIC イネーブルビット PCIC をイネーブルにするためのビットです。本ビットが 0 のとき、PCIC はディスエーブルとなり、CPU および外部 PCI デバイスから PCIC へのアクセスは無効となります (PCIECR はアクセス可能)。 0 : PCIC ディスエーブル 1 : PCIC イネーブル

### 13.3.2 PCI コンフィグレーションレジスタ

コンフィグレーションレジスタは、PCI コンプライアントデバイス中でのコンフィグレーションレジスタ空間のプログラミングモデルおよび使用ルールを定義します。詳細は、「PCI Local Bus Specification Revision 2.2 Chapter 6 Configuration Space」を参照してください。

#### (1) PCI ベンダ ID レジスタ (PCIVID)

このレジスタは、PCI ベンダ ID を定義します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VID															
初期値:	0	0	0	1	1	0	0	1	0	0	0	1	0	0	1	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	VID	H'1912	SH : R PCI : R	PCI ベンダ ID PCI-SIG によって割り当てられた PCI デバイスのベンダ ID を示します。 ルネサステクノロジのベンダ ID は H'1912 です。

#### (2) PCI デバイス ID レジスタ (PCIDID)

このレジスタでは、PCI デバイス ID を定義します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	DID	H'0002	SH : R PCI : R	PCI デバイス ID PCI デバイスのベンダによって割り当てられた SH7780 のデバイス ID を示します。 SH7780 のデバイス ID は H'0002 です。

### 13. PCI コントローラ (PCIC)

#### (3) PCI コマンドレジスタ (PCICMD)

PCI コマンドレジスタは、PCI サイクルを発生し応答するために、PCIC の基本機能を制御します。0 がこのレジスタにライトされると、コンフィグレーションアクセスを除くすべてのアクセスに対しデバイス PCI バスから論理的に切断されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	FBBE	SERRE	WCC	PER	VGAPS	MWIE	SC	BM	MS	IOS
初期値:	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて0	SH: R PCI: R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	FBBE	0	SH: R PCI: R	高速バックトゥバック制御 マスタ時に異なるターゲットに対する高速バックトゥバックを発行するかどうかを設定します。  0: 高速バックトゥバック制御は同じターゲットのみ許す 1: 異なるターゲットに対する高速バックトゥバック制御を許す (未サポート)
8	SERRE	0	SH: R/W PCI: R/W	SERR 出力制御 SERR の出力を制御します。  0: SERR 出力ディスエーブル 1: SERR 出カイネーブル
7	WCC	1	SH: R/W PCI: R/W	ウェイトサイクル制御 アドレス/データステッピングを制御します。  WCC=1 のとき、マスタライト時はアドレスとデータ、マスタリード時はアドレスのみ、ターゲットリード時はデータのみを2クロック間出力します。  0: アドレス/データステッピング制御を禁止する 1: アドレス/データステッピング制御を許可する
6	PER	0	SH: R/W PCI: R/W	パリティエラー応答 パリティエラーを検出、もしくはパリティエラー報告を受信した場合のデバイスの応答を制御します。PER=1 のときのみ、PERR をアサートします。  0: 検出したパリティエラーを無視する 1: 検出したパリティエラーに応答する
5	VGAPS	0	SH: R PCI: R	VGA パレットスヌープ制御  0: VGA 互換デバイスである 1: パレットレジスタライトに対応しない (未サポート)

ビット	ビット名	初期値	R/W	説明
4	MWIE	0	SH : R PCI : R	メモリライトアンドインバリデード制御 マスタのとき、メモリライトアンドインバリデードコマンドの発行を制御します。 0 : メモリライトを使用する 1 : メモリライトアンドインバリデードコマンドを実行可能 (未サポート)
3	SC	0	SH : R PCI : R	スペシャルサイクル制御 ターゲット時、スペシャルサイクルをサポートしているかを示します。 0 : スペシャルサイクルを無視する 1 : スペシャルサイクルを監視する (未サポート)
2	BM	0	SH : R/W PCI : R/W	PCI バスマスタ制御 バスマスタ動作を制御します。 0 : バスマスタ動作不可 1 : バスマスタとして動作可能
1	MS	0	SH : R/W PCI : R/W	メモリ空間制御 ターゲット時、メモリ空間へのアクセスを制御します。本ビットが 0 のとき、PCIC に対するメモリ転送はすべてマスタアポートで終了します。 0 : メモリ空間へのアクセスに応答しない 1 : メモリ空間へのアクセスに応答する
0	IOS	0	SH : R/W PCI : R/W	I/O 空間制御 ターゲット時、I/O 空間へのアクセスを制御します。本ビットが 0 のとき、PCIC に対する I/O 転送はすべてマスタアポートで終了します。 0 : I/O 空間へのアクセスに応答しない 1 : I/O 空間へのアクセスに応答する

#### (4) PCI ステータスレジスタ (PCISTATUS)

PCI ステータスレジスタは、PCI バス関連のイベントのステータス情報を記録するために使用します。リザーブビットは、読み出されるとゼロを返す専用となります。

このレジスタからの読み出しは、通常通り行われます。書き込みの場合、ライトクリア (WC) ビットはリセットできませんが設定はできません。クリアするビットには 1 を書き込んでください。たとえば、ビット 14 をクリアし他のビットに影響を与えないようにするには、本レジスタに B'0100 0000 0000 0000 の値を書き込む必要があります。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DPE	SSE	RMA	RTA	STA	DEVSEL	MDPE	FBBC	—	66C	CL	—	—	—	—	—
初期値 :	0	0	0	0	0	0	1	0	1	0	0	1	0	0	0	0
SH/R/W :	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R	R	R/W	R	R	R	R	R
PCI R/W :	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R	R	R	R	R	R	R	R

### 13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
15	DPE	0	SH : R/W PCI : R/W	<p>パリティエラー検出ステータス</p> <p>PCIC がマスタ時のリードデータ、またはターゲット時のライトデータにパリティエラーが検出されたことを示します。パリティエラー応答ビットの値に関係なく、本ビットは設定されます。</p> <p>0 : パリティエラーを検出していない 1 : パリティエラーを検出した</p>
14	SSE	0	SH : R/W PCI : R/W	<p>システムエラー出カステータス</p> <p>PCIC が <math>\overline{\text{SERR}}</math> をアサートしたことを示します。</p> <p>0 : <math>\overline{\text{SERR}}</math> をアサートしていない 1 : <math>\overline{\text{SERR}}</math> をアサートした (クリアされるまで値を保持)</p>
13	RMA	0	SH : R/W PCI : R/W	<p>マスタアポート受信ステータス</p> <p>PCIC がマスタ時にマスタアポートでトランザクションが終了したことを示します。</p> <p>0 : マスタアポートを使用したトランザクションの終了はない 1 : バスマスタが、マスタアポートによるトランザクションの終了を検出した。ただし、スペシャルサイクルでのマスタアポートでは、設定されない</p>
12	RTA	0	SH : R/W PCI : R/W	<p>ターゲットアポート受信ステータス</p> <p>PCIC がマスタ時に、ターゲットアポートでトランザクションを終了したことを示します。</p> <p>0 : ターゲットアポートを使用したトランザクションの終了はない 1 : バスマスタが、ターゲットアポートによるトランザクションの終了を検出した</p>
11	STA	0	SH : R/W PCI : R/W	<p>ターゲットアポート実行ステータス</p> <p>PCIC がターゲット時に、ターゲットアポートでトランザクションを終了させたことを示します。</p> <p>0 : ターゲットアポートを使用したトランザクションの終了を行っていない 1 : ターゲットアポートによるトランザクションの終了を行った</p>
10, 9	DEVSEL	01	SH : R PCI : R	<p>DEVSEL タイミングステータス</p> <p>PCIC がターゲット時の DEVSEL 応答タイミングを示します。</p> <p>00 : 高速 (未サポート) 01 : 中速 10 : 低速 (未サポート) 11 : 予約</p>
8	MDPE	0	SH : R/W PCI : R/W	<p>データパリティステータス</p> <p>PCIC がマスタ時、<math>\overline{\text{PERR}}</math> をアサート、または <math>\overline{\text{PERR}}</math> を検出したことを示します。パリティエラー応答ビットが 1 のときのみ本ビットが設定されます。</p> <p>0 : データパリティエラーが発生していない 1 : データパリティエラーが発生した</p>

ビット	ビット名	初期値	R/W	説明
7	FBBC	1	SH : R PCI : R	高速バックトゥバックステータス PCIC がターゲット時に異なるターゲットに対する高速バックトゥバック転送が受けられるかを示します。 0 : ターゲットは、異なるターゲットに対する高速バックトゥバックトランザクションに対応していない 1 : ターゲットは、異なるターゲットに対する高速バックトゥバックトランザクションに対応している
6	—	0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	66C	0	SH : R/W PCI : R	66MHz 動作可能ステータス PCIC が 66MHz で動作可能であることを示します。 0 : 33MHz 動作可能 1 : 66MHz 動作可能
4	CL	1	SH : R PCI : R	PCI パワーマネジメント : 拡張機能 PCI パワーマネジメントをサポートしているかを示します。 0 : パワーマネジメント未サポート 1 : パワーマネジメントサポート
3~0	—	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## (5) PCI レビジョン ID レジスタ (PCIRID)

PCI レビジョン ID レジスタは、PCI デバイスに固有なレビジョンの識別子を示します。

ビット :	7	6	5	4	3	2	1	0
	RID							
初期値 :	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	RID	H'00	SH : R PCI : R	レビジョン ID PCIC のレビジョンレベルを示します。初期値は H'00 です。 RID の値は PCIC の論理バージョンにより異なり、今後変更される場合があります。

### 13. PCI コントローラ (PCIC)

#### (6) PCI プログラムインタフェースレジスタ (PCIPIF)

このレジスタは、IDE コントローラクラスコードのプログラミングインタフェースです。コード値の詳細については、「PCI Local Bus Specification Revision 2.2 Appendix D」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	MIDED	-	-	-	PIS	OMS	PIP	OMP
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	MIDED	0	SH : R/W PCI : R	PCI マスタ IDE デバイス PCI マスタ IDE デバイスを指定します。 0 : PCI スレーブ IDE デバイス 1 : PCI マスタ IDE デバイス PCIC 内部レジスタ初期化中 (PCICR.CFINIT=0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINIT=1) 以降に書き込んでも値は更新されません。
6~4	-	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PIS	0	SH : R/W PCI : R	PCI プログラマブルインジケータ (セカンダリ) PCIC 内部レジスタ初期化中 (PCICR.CFINIT=0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINIT=1) 以降に書き込んでも値は更新されません。
2	OMS	0	SH : R/W PCI : R	PCI オペレーティングモード (セカンダリ) PCIC 内部レジスタ初期化中 (PCICR.CFINIT=0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINIT=1) 以降に書き込んでも値は更新されません。
1	PIP	0	SH : R/W PCI : R	PCI プログラマブルインジケータ (プライマリ) PCIC 内部レジスタ初期化中 (PCICR.CFINIT=0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINIT=1) 以降に書き込んでも値は更新されません。
0	OMP	0	SH : R/W PCI : R	PCI オペレーティングモード (プライマリ) PCIC 内部レジスタ初期化中 (PCICR.CFINIT=0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINIT=1) 以降に書き込んでも値は更新されません。

## (7) PCI サブクラスコードレジスタ (PCISUB)

このレジスタは、サブクラスコードを定義します。コード値の詳細については、「PCI Local Bus Specification Revision 2.2 Appendix D」を参照してください。

```

ビット： 7   6   5   4   3   2   1   0
          ┌───────────────────┐
          │                   SUB                   │
          └───────────────────┘
初期値： 0   0   0   0   0   0   0   0
SH R/W： R/W R/W R/W R/W R/W R/W R/W R/W
PCI R/W： R   R   R   R   R   R   R   R

```

ビット	ビット名	初期値	R/W	説明
7~0	SUB	H'00	SH : R/W PCI : R	サブクラスコード サブクラスコードを示します。初期値は H'00 です。

## (8) PCI ベースクラスコードレジスタ (PCIBCC)

このレジスタは、ベースクラスコードを定義します。コード値の詳細については、「PCI Local Bus Specification Revision 2.2 Appendix D」を参照してください。

```

ビット： 7   6   5   4   3   2   1   0
          ┌───────────────────┐
          │                   BCC                   │
          └───────────────────┘
初期値： 0   0   0   0   0   0   0   0
SH R/W： R/W R/W R/W R/W R/W R/W R/W R/W
PCI R/W： R   R   R   R   R   R   R   R

```

ビット	ビット名	初期値	R/W	説明
7~0	BCC	H'00	SH : R/W PCI : R	ベースクラスコード ベースクラスコードを示します。初期値は H'00 です。

## (9) PCI キャッシュラインサイズレジスタ (PCICLS)

```

ビット： 7   6   5   4   3   2   1   0
          ┌───────────────────┐
          │                   CLS                   │
          └───────────────────┘
初期値： 0   0   1   0   0   0   0   0
SH R/W： R   R   R   R   R   R   R   R
PCI R/W： R   R   R   R   R   R   R   R

```

ビット	ビット名	初期値	R/W	説明
7~0	CLS	H'20	SH : R PCI : R	キャッシュラインサイズ メモリアーゲットはキャッシュ未サポートのため、 $\overline{SB\overline{O}}$ 、SDON を無視します。

### 13. PCI コントローラ (PCIC)

#### (10) PCI レイテンシタイムレジスタ (PCILTM)

ビット: 7 6 5 4 3 2 1 0

LTM
-----

初期値: 0 0 0 0 0 0 0 0  
 SH R/W: R/W R/W R/W R/W R/W R/W R/W R/W  
 PCI R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット	ビット名	初期値	R/W	説明
7~0	LTM	H'00	SH: R/W PCI: R/W	レイテンシタイムレジスタ PCIC がマスタ時、PCI バスの最大占有時間をクロック数で指定します。

#### (11) PCI ヘッドタイプレジスタ (PCIHDR)

ビット: 7 6 5 4 3 2 1 0

MFE	HDR
-----	-----

初期値: 0 0 0 0 0 0 0 0  
 SH R/W: R R R R R R R R  
 PCI R/W: R R R R R R R R

ビット	ビット名	初期値	R/W	説明
7	MFE	0	SH: R PCI: R	多機能ステータス デバイスが多機能か単機能かを示します。 0: 単機能デバイス 1: デバイスは 2 から 8 までの多機能デバイスを持っている (未サポート)
6~0	HDR	H'00	SH: R PCI: R	コンフィグレーションレイアウトタイプ コンフィグレーションレジスタのレイアウトタイプを示します。 H'00: タイプ 00h のレイアウトをサポート H'01: タイプ 01h のレイアウトをサポートする (未サポート)

## (12) PCI BIST レジスタ (PCIBIST)

ビット:	7	6	5	4	3	2	1	0
	BISTC	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	BISTC	0	SH: R PCI: R	BIST 機能の制御とステータスに使用します。 0: 機能なし 1: 機能あり (未サポート)
6~0	-	すべて0	SH: R PCI: R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## (13) PCI I/O ベースアドレスレジスタ (PCIIBAR)

このレジスタは、PCI ローカルバス仕様で定義されている PCI コンフィグレーション空間ヘッダの I/O ベースアドレスレジスタです。PCIIBAR では PCIC の I/O 空間 (PCIC 制御レジスタ領域) のベースアドレスを指定します。

「13.4.4 (2) PCIC I/O 空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	IOB (upper)															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IOB (upper)								IOB (lower)						-	ASI
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
PCI R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~8	IOB (upper)	H'0000 00	SH: R/W PCI: R/W	I/O 空間ベースアドレス (上位 24 ビット) PCIC 内の I/O 空間 (PCIC 制御レジスタ領域) に対するベースアドレス上位 24 ビットを指定します。
7~2	IOB (lower)	0000 00	SH: R PCI: R	I/O 空間ベースアドレス (下位 6 ビット) ハードウェアで 0000 00 に固定されています。
1	-	0	SH: R PCI: R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ASI	1	SH: R PCI: R	アドレス空間インジケータ このレジスタが示すベースアドレスが、I/O 空間かメモリ空間かを示します。 0: メモリ空間 1: I/O 空間

### 13. PCI コントローラ (PCIC)

#### (14) PCI メモリベースアドレスレジスタ 0 (PCIMBAR0)

このレジスタは、PCI ローカルバス仕様で定義されている PCI コンフィグレーション空間ヘッダのメモリベースアドレスレジスタです。PCIMBAR0 では SuperHyway バス (本 LSI 内部バス) のメモリ空間 0 (ローカルアドレス空間 0) のベースアドレスを指定します。

「13.4.4 (1) 本 LSI メモリ空間へのアクセス」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBA (upper)												MBA (lower)			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
PCI R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBA (lower)												LAP	LAT	ASI	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明																					
31~20	MBA (upper)	H'000	SH : R/W PCI : R/W	メモリ空間 0 ベースアドレス (上位 12 ビット) ローカルアドレス空間 0 (本 LSI の SuperHyway バスアドレス空間) に対するベースアドレス上位 12 ビットを指定します。 PCILSR0.LSR で指定したローカルアドレス空間の容量によって、MBA (upper) の有効ビットは下記ようになります。 <table border="1" style="margin-left: 20px;"> <tr> <td>LSR ([28:20])</td> <td>ローカルアドレス空間 0 の容量</td> <td>MBA (upper) の有効ビット</td> </tr> <tr> <td>0 0000 0000</td> <td>1M バイト</td> <td>[31:20]</td> </tr> <tr> <td>0 0000 0001</td> <td>2M バイト</td> <td>[31:21]</td> </tr> <tr> <td>0 0000 0011</td> <td>4M バイト</td> <td>[31:22]</td> </tr> <tr> <td style="text-align: center;">:</td> <td style="text-align: center;">:</td> <td style="text-align: center;">:</td> </tr> <tr> <td>0 1111 1111</td> <td>256M バイト</td> <td>[31:28]</td> </tr> <tr> <td>1 1111 1111</td> <td>512M バイト</td> <td>[31:29]</td> </tr> </table>	LSR ([28:20])	ローカルアドレス空間 0 の容量	MBA (upper) の有効ビット	0 0000 0000	1M バイト	[31:20]	0 0000 0001	2M バイト	[31:21]	0 0000 0011	4M バイト	[31:22]	:	:	:	0 1111 1111	256M バイト	[31:28]	1 1111 1111	512M バイト	[31:29]
LSR ([28:20])	ローカルアドレス空間 0 の容量	MBA (upper) の有効ビット																							
0 0000 0000	1M バイト	[31:20]																							
0 0000 0001	2M バイト	[31:21]																							
0 0000 0011	4M バイト	[31:22]																							
:	:	:																							
0 1111 1111	256M バイト	[31:28]																							
1 1111 1111	512M バイト	[31:29]																							
19~4	MBA (lower)	H'0000	SH : R PCI : R	メモリ空間 0 ベースアドレス (下位 16 ビット) ハードウェアで H'0000 に固定されています。																					
3	LAP	0	SH : R PCI : R	プリフェッチ制御 ローカルアドレス空間 0 がプリフェッチ可能かを示します。 0 : プリフェッチ不可能 1 : プリフェッチ可能 (未サポート)																					

ビット	ビット名	初期値	R/W	説明
2, 1	LAT	00	SH : R PCI : R	メモリタイプ ローカルアドレス空間 0 のメモリタイプを示します。 00 : ベースアドレスは 32 ビット幅、32 ビット空間に設定可能 01 : リザーブ 10 : ベースアドレスは 64 ビット幅 (未サポート) 11 : リザーブ
0	ASI	0	SH : R PCI : R	アドレス空間インジケータ このレジスタが示すベースアドレスが、I/O 空間かメモリ空間かを示します。 0 : メモリ空間 1 : I/O 空間

(15) PCI メモリベースアドレスレジスタ 1 (PCIMBAR1)

このレジスタは、PCI ローカルバス仕様で定義されている PCI コンフィグレーション空間ヘッダのメモリベースアドレスレジスタです。PCIMBAR1 では SuperHyway バス (本 LSI 内部バス) のメモリ空間 1 (ローカルアドレス空間 1) のベースアドレスを指定します。

「13.4.4 (1) 本 LSI メモリ空間へのアクセス」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MBA (upper)												MBA (lower)			
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
PCI R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBA (lower)												LAP	LAT	ASI	
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

### 13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明														
31~20	MBA (upper)	H'000	SH : R/W PCI : R/W	<p>メモリ空間 1 ベースアドレス (上位 12 ビット)</p> <p>ローカルアドレス空間 1 (本 LSI の SuperHyway バスアドレス空間) に対するベースアドレス上位 12 ビットを指定します。</p> <p>PCILSR1.LSR で指定したローカルアドレス空間の容量によって、MBA (upper) の有効ビットは下記ようになります。</p> <table border="1"> <thead> <tr> <th>ローカルアドレス空間 1 の容量</th> <th>MBA (upper) の有効ビット</th> </tr> </thead> <tbody> <tr> <td>0 0000 0000</td> <td>1M バイト [31:20]</td> </tr> <tr> <td>0 0000 0001</td> <td>2M バイト [31:21]</td> </tr> <tr> <td>0 0000 0011</td> <td>4M バイト [31:22]</td> </tr> <tr> <td style="text-align: center;">:</td> <td style="text-align: center;">:</td> </tr> <tr> <td>0 1111 1111</td> <td>256M バイト [31:28]</td> </tr> <tr> <td>1 1111 1111</td> <td>512M バイト [31:29]</td> </tr> </tbody> </table>	ローカルアドレス空間 1 の容量	MBA (upper) の有効ビット	0 0000 0000	1M バイト [31:20]	0 0000 0001	2M バイト [31:21]	0 0000 0011	4M バイト [31:22]	:	:	0 1111 1111	256M バイト [31:28]	1 1111 1111	512M バイト [31:29]
ローカルアドレス空間 1 の容量	MBA (upper) の有効ビット																	
0 0000 0000	1M バイト [31:20]																	
0 0000 0001	2M バイト [31:21]																	
0 0000 0011	4M バイト [31:22]																	
:	:																	
0 1111 1111	256M バイト [31:28]																	
1 1111 1111	512M バイト [31:29]																	
19~4	MBA (lower)	H'0000	SH : R PCI : R	<p>メモリ空間 1 ベースアドレス (下位 16 ビット)</p> <p>ハードウェアで H'0000 に固定されています。</p>														
3	LAP	0	SH : R PCI : R	<p>プリフェッチ制御</p> <p>ローカルアドレス空間 1 がプリフェッチ可能かを示します。</p> <p>0 : プリフェッチ不可能 1 : プリフェッチ可能 (未サポート)</p>														
2, 1	LAT	00	SH : R PCI : R	<p>メモリタイプ</p> <p>ローカルアドレス空間 1 のメモリタイプを示します。</p> <p>00 : ベースアドレスは 32 ビット幅、32 ビット空間に設定可能 01 : リザーブ 10 : ベースアドレスは 64 ビット幅 (未サポート) 11 : リザーブ</p>														
0	ASI	0	SH : R PCI : R	<p>アドレス空間インジケータ</p> <p>このレジスタが示すベースアドレスが、I/O 空間かメモリ空間かを示します。</p> <p>0 : メモリ空間 1 : I/O 空間</p>														

## (16) PCI サブシステムベンダ ID レジスタ (PCISVID)

「PCI Local Bus Specification Rev.2.2」の各種レジスタについての説明を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SVID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	SVID	H'0000	SH : R/W PCI : R	サブシステムベンダ ID PCIC のサブシステムベンダ ID を指定します。初期値は H'0000 です。 PCIC 内部レジスタ初期化中 (PCICR.CFINIT=0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINIT=1) 以降に書き込んでも値は更新されません。

## (17) PCI サブシステム ID レジスタ (PCISID)

「PCI Local Bus Specification Rev.2.2」の各種レジスタについての説明を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SID															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W															
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~0	SID	H'0000	SH : R/W PCI : R	サブシステム ID PCIC のサブシステム ID を指定します。初期値は H'0000 です。 PCIC 内部レジスタ初期化中 (PCICR.CFINIT=0) に本ビットに書き込むと本ビットの値を更新しますが、初期化終了 (PCICR.CFINIT=1) 以降に書き込んでも値は更新されません。

### 13. PCI コントローラ (PCIC)

#### (18) PCI 拡張機能ポインタレジスタ (PCICP)

このレジスタは、PCI Power Management Specification で定義された PCI コンフィグレーションレジスタの拡張機能ポインタレジスタです。

ビット :	7	6	5	4	3	2	1	0
	CP							
初期値 :	0	1	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	CP	H'40	SH : R PCI : R	拡張機能ポインタ 拡張機能 (パワーマネジメント) ID レジスタのアドレスオフセットを示します。

#### (19) PCI 割り込みラインレジスタ (PCIINTLINE)

ビット :	7	6	5	4	3	2	1	0
	INTLINE							
初期値 :	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~0	INTLINE	H'00	SH : R/W PCI : R/W	PCI 割り込みライン 本 LSI からの PCI 割り込み経路の情報を設定します。初期化時にシステムソフトウェアにより設定します。初期値は H'00 です。 なお、INTLINE の設定値は、本 LSI の動作には影響を与えません。

## (20) PCI 割り込み端子指定レジスタ (PCIINTPIN)

ビット： 7 6 5 4 3 2 1 0

7	6	5	4	3	2	1	0
INTPIN							

初期値： 0 0 0 0 0 0 0 1  
 SH R/W： R/W R/W R/W R/W R/W R/W R/W R/W  
 PCI R/W： R R R R R R R R

ビット	ビット名	初期値	R/W	説明
7~0	INTPIN	H'01	SH : R/W PCI : R	割り込み端子指定 PCIC から PCI 割り込み出力する場合、接続先としてどの割り込み端子を使用するかを指定します。初期値は H'01 です。 H'00 : PCI 割り込み端子を使用しない H'01 : $\overline{INTA}$ を使用する H'02 : $\overline{INTB}$ を使用する H'03 : $\overline{INTC}$ を使用する H'04 : $\overline{INTD}$ を使用する H'05~H'FF : リザーブ

## (21) 最小グラント指定レジスタ (PCIMINGNT)

このレジスタは設定できません。

ビット： 7 6 5 4 3 2 1 0

7	6	5	4	3	2	1	0
MINGNT							

初期値： 0 0 0 0 0 0 0 0  
 SH R/W： R R R R R R R R  
 PCI R/W： R R R R R R R R

ビット	ビット名	初期値	R/W	説明
7~0	MINGNT	H'00	SH : R PCI : R	最小グラント指定 PCI マスタデバイスが必要とするバースト期間を指定します。(未サポート)

### 13. PCI コントローラ (PCIC)

#### (22) 最大レイテンシ指定レジスタ (PCIMAXLAT)

このレジスタは設定できません。

ビット :	7	6	5	4	3	2	1	0
	MAXLAT							
初期値 :	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	MAXLAT	H'00	SH : R PCI : R	最大レイテンシ指定 (MILAT7~0) PCI マスタデバイスがバス権を要求してから獲得するまでの最大時間を指定します。(未サポート)

#### (23) PCI 拡張機能 ID レジスタ (PCICID)

PCI の拡張機能の ID を示します。

ビット :	7	6	5	4	3	2	1	0
	CID							
初期値 :	0	0	0	0	0	0	0	1
SH R/W :	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	CID	H'01	SH : R PCI : R	拡張機能 ID 拡張機能の ID を示します。 H'01 : 拡張機能はパワーマネジメント機能であることを示します。

#### (24) PCI 次項目ポインタレジスタ (PCINIP)

次項目ポインタレジスタは、機能の拡張機能リスト内の位置を示します。

ビット :	7	6	5	4	3	2	1	0
	NIP							
初期値 :	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	NIP	H'00	SH : R PCI : R	次項目ポインタ H'00 : パワーマネジメント機能はリスト内の最終項目であることを示します。

## (25) PCI パワーマネジメントレジスタ (PCIPMC)

PCI パワーマネジメントレジスタは、パワーマネジメントに関連する機能情報を提供するレジスタです。詳細は、「PCI Bus Power Management Interface Specification Revision 1.1 Chapter 3 PCI Power Management Interface」を参照してください。PCIC 内部レジスタ初期化中 (PCICR.CFINIT=0 のとき) に設定する必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCS					D2S	D1S	-	-	-	DSI	-	PMEC	PMV		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
SH R/W:	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~11	PMCS	00000	SH: R PCI: R	<p>PM<math>\bar{E}</math> サポート</p> <p>この 5 ビットフィールドは、機能により PM<math>\bar{E}</math> をアサートするパワーの状態を示します。すべてのビットに関して 0 は、パワーがその状態のとき機能が PM<math>\bar{E}</math> 信号をアサートできないことを示します。(未サポート)</p> <p>(ビット 11) xxxx1: PM<math>\bar{E}</math> は D0 からアサートできる</p> <p>(ビット 12) xxx1x: PM<math>\bar{E}</math> は D1 からアサートできる</p> <p>(ビット 13) xx1xx: PM<math>\bar{E}</math> は D2 からアサートできる</p> <p>(ビット 14) x1xxx: PM<math>\bar{E}</math> は D3hot からアサートできる</p> <p>(ビット 15) 1xxxx: PM<math>\bar{E}</math> は D3cold からアサートできる</p> <p>【注】 本 LSI PCIC には PM<math>\bar{E}</math> 端子はありません。</p>
10	D2S	0	SH: R/W PCI: R	<p>D2 サポート</p> <p>このビットが 1 ならば、この機能は D2 パワーマネジメント状態をサポートします。D2 をサポートしない機能は、本ビットに常に 0 を返す必要があります。</p>
9	D1S	0	SH: R/W PCI: R	<p>D1 サポート</p> <p>このビットが 1 ならば、この機能は D1 パワーマネジメント状態をサポートします。D1 をサポートしない機能は、本ビットに常に 0 を返す必要があります。</p>
8~6	-	すべて 0	SH: R PCI: R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
5	DSI	0	SH: R PCI: R	<p>DSI</p> <p>PCIC 固有の初期化を必要とするかどうかを示します。</p> <p>0: 固有の初期化は不要であることを示します。</p>
4	-	0	SH: R PCI: R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

### 13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
3	PMEC	1	SH : R/W PCI : R	PCI PME クロック PME をサポートするのにクロックが必要か否かを指定します。 0 : PME サポートのためのクロックは不要であることを示します。 【注】 本 LSI の PCIC には PME 端子はありません。
2~0	PMV	010	SH : R/W PCI : R	バージョン パワーマネジメント仕様のバージョンを示します。 010 : パワーマネジメント仕様がレビジョン 1.1 であることを示します。

#### (26) PCI パワーマネジメントコントロール/ステータスレジスタ (PCIPMCSR)

このレジスタは、PCI 機能の PME (パワーマネジメントイベント) を管理します。詳細は、「PCI Bus Power Management Interface Specification Revision 1.1 Chapter 3 PCI Power Management Interface」を参照してください。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMES	DSC	DSL				PME EN	-	-	-	-	-	-	-	-	PS
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	PMES	0	SH : R PCI : R	PME ステータス PME 端子の状態を表示するビットです (未サポート)。 【注】 本 LSI PCIC には PME 端子はありません。
14、13	DSC	00	SH : R PCI : R	データスケール データフィールドの値のスケーリング値を指定します (未サポート)。
12~9	DSL	0000	SH : R PCI : R	データセレクト データフィールドに出力する値の選択をします (未サポート)。
8	PMEEN	0	SH : R PCI : R	PME イネーブル PME 信号出力制御を行います (未サポート)。 【注】 本 LSI の PCIC には PME 端子はありません。
7~2	-	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	PS	00	SH : R/W PCI : R/W	パワー状態 パワー状態を指定します。 未サポート状態を指定しても、状態遷移はしませんが、レジスタへの書き込みは正常終了し、エラー表示も行いません。 00 : D0 ステート 01 : D1 ステート 10 : D2 ステート 11 : D3hot ステート

## (27) PCIPMCSRブリッジサポート拡張レジスタ (PCIPMCSRBASE)

このレジスタは、PCIブリッジに特有な機能をサポートし、すべてのPCI-to-PCIブリッジに必要となります。

ビット:	7	6	5	4	3	2	1	0
	BPCEN	B2B3N	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	BPCEN	0	SH: R PCI: R	バスパワー/クロックコントロールメカニズムを禁止するとシステムソフトは、ブリッジのPCI PMCSR パワーステートフィールドを、ブリッジの2次バスのパワーまたはクロックを制御には使用しません。
6	B2B3N	0	SH: R PCI: R	このビットの状態は、機能を D3hot にするプログラミングの結果として、発生する動作を決定します。 0: ブリッジ機能が D3 hot にプログラムされた場合、2次バスへの電源供給が停止する (B3) ことを示します。 1: ブリッジ機能が D3 hot にプログラムされた場合、2次バスの PCI クロックが停止する (B2) ことを示します。 このビットは、ビット7 (BPCEN) が1の場合のみ有効です。
5~0	—	すべて0	SH: R PCI: R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

## (28) PCI パワー消費/放散データ (PCIPCDD)

データレジスタは、8ビットのレジスタで、状態に依存した消費パワーや熱放散などの動作データを通知する機能を持ちます。詳細は、「PCI Bus Power Management Interface Specification Revision 1.1 Chapter 3 PCI Power Management Interface」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	PCDD							
初期値:	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	PCDD	H'00	SH: R/W PCI: R	このレジスタは PMCSR.DSL フィールドから要求された状態依存データを通知するのに使用します。 このレジスタの値は、PCIPMCSR.DSC フィールドから通知された値によってスケールされます。

## 13. PCI コントローラ (PCIC)

### 13.3.3 PCI ローカルレジスタ

#### (1) PCI コントロールレジスタ (PCICR)

PCICR は、PCIC の動作を設定する 32 ビットのレジスタです。

このレジスタへの書き込みは、ビット 31~24 の値が H'A5 の時のみ有効となります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PFCS	FTO	PFE	TBS	—	BMAM	—	—	SERR	IOCS	RST CTL	CFI NIT
初期値:	0	0	0	0	0	0	0	0	0	0	—	—	0	0	0	0
SH R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R	R	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	—	H'00	SH: R/W PCI: R	リザーブビット 本レジスタのビット 11~8、6、3~0 に書き込むときのみ H'A5 に設定してください (書き込んでください)。読み出すと常に 0 が読み出されます。
23~12	—	すべて 0	SH: R PCI: R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	PFCS	0	SH: R/W PCI: R	PCI プリフェッチコマンドセッティング ターゲットメモリアクセス時のプリフェッチサイズを指定します。本ビットは PFE ビットが 1 の時のみ有効です。 0: 常に 8 バイトプリフェッチを行います。 1: 常に 32 バイトプリフェッチを行います。
10	FTO	0	SH: R/W PCI: R	TRDY コントロールイネーブル ターゲットアクセス時のディスコネクト発生時の 5PCICLK クロック前に、TRDY をネゲートする機能を設定します。 0: ディスエーブル 1: イネーブル
9	PFE	0	SH: R/W PCI: R	PCI プリフェッチイネーブル ターゲットメモリアクセス時にプリフェッチを行うかどうかを指定します。 0: ディスエーブル 1: イネーブル

## 13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
8	TBS	0	SH : R/W PCI : R	バイトスワップ データのバイトを入れ替えるかを指定します。 0 : データをそのまま転送 1 : データのバイトを入れ替え転送 【注】詳細は、「13.4.3 (5) エンディアン」および「13.4.4 (6) エンディアン」を参照してください。
7	—	0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	BMAM	0	SH : R/W PCI : R	バスマスタアービトレーション PCIC がホスト動作時に、PCIC の PCI バスアービトレーションモードを制御します。PCIC がノーマル動作時には本ビットの値は無視されます。 0 : 優先順位固定 (PCIC > デバイス 0 > デバイス 1 > デバイス 2 > デバイス 3) 1 : 擬似ラウンドロビン (バス権を持つデバイスの優先度を次のアクセスでは一番低く設定します)
5、4	—	不定	SH : R PCI : R	リザーブビット 読み出すと不定値が読み出されます。書き込む値は常に0にしてください。
3	SERR	0	SH : R/W PCI : R	$\overline{\text{SERR}}$ 出力 $\overline{\text{SERR}}$ 出力のソフト制御を行います。PCI がノーマル動作時のみ有効です (ホスト時は使用禁止)。 0 : $\overline{\text{SERR}}$ 端子はハイインピーダンス (外部プルアップ抵抗でハイにドライブされる) 1 : $\overline{\text{SERR}}$ を1クロックアサート 本ビットの設定は PCICMD.SERRE=1 の時のみ有効です。
2	IOCS	0	SH : R/W PCI : R	$\overline{\text{INTA}}$ 出力 $\overline{\text{INTA}}$ 出力のソフト制御を行います。PCIC がノーマル動作時のみ有効です。 0 : $\overline{\text{INTA}}$ 端子はハイインピーダンス (外部プルアップ抵抗でハイにドライブされる) 1 : $\overline{\text{INTA}}$ サート (ロー出力)
1	RSTCTL	0	SH : R/W PCI : R	$\overline{\text{PCIRESET}}$ 出力 $\overline{\text{PCIRESET}}$ 出力のソフト制御を行います。パワーオンリセット中もアサートされます。PCIC がホスト時のみ有効です。 0 : $\overline{\text{PCIRESET}}$ をネゲート (ハイ出力) 1 : $\overline{\text{PCIRESET}}$ アサート (ロー出力)

### 13. PCI コントローラ (PCIC)

---

ビット	ビット名	初期値	R/W	説明
0	CFINIT	0	SH : R/W PCI : R	PCIC 内部レジスタ初期化制御 PCIC 内部レジスタの初期化終了後、このビットを 1 に設定してください。 このビットをセットすることにより、PCI バスからのアクセスが可能となります。初期化中は、ホスト動作時には PCI バス上の他のデバイスにバス権を与えません。ノーマル動作時には PCI バスからのアクセスを受け付けず、リトライを返します。 0 : 初期化中 1 : 初期化終了

## (2) PCI ローカルスペースレジスタ 0 (PCILSR0)

「13.4.4 (1) 本 LSI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	LSR									—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R/W	R	R	R	R								
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MBA RE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~20	LSR	0 0000 0000	SH : R/W PCI : R	ローカルアドレス空間 0 の容量 (9 ビット) ローカルアドレス空間 0 (本 LSI の SuperHyway バスアドレス空間) の容量をバイト数で指定します。 指定する値は、(容量-1) M バイトを指定してください。すべて 0 を指定すると、1M バイトの空間が確保されます (初期値)。 0 0000 0000 : 1M バイト 0 0000 0001 : 2M バイト 0 0000 0011 : 4M バイト 0 0000 0111 : 8M バイト 0 0000 1111 : 16M バイト 0 0001 1111 : 32M バイト 0 0011 1111 : 64M バイト 0 0111 1111 : 128M バイト 0 1111 1111 : 256M バイト 1 1111 1111 : 512M バイト 上記以外 : 設定禁止
19~1	—	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	MBARE	0	SH : R/W PCI : R	PCI メモリベースアドレスレジスタ 0 イネーブル 本ビットを 1 にすることでローカルアドレス空間 0 へのアクセスが可能となります。 0 : PCIMBAR0 ディスエーブル 1 : PCIMBAR0 イネーブル

### 13. PCI コントローラ (PCIC)

#### (3) PCI ローカルスペースレジスタ 1 (PCILSR1)

「13.4.4 (1) 本 LSI メモリ空間へのアクセス」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	LSR									—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R/W	R	R	R	R								
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MBA RE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~20	LSR	0 0000 0000	SH : R/W PCI : R	ローカルアドレス空間 1 の容量 (9 ビット) ローカルアドレス空間 1 (本 LSI の SuperHyway バスアドレス空間) の容量をバイト数で指定します。 指定する値は、(容量-1) M バイトを指定してください。すべてゼロを指定すると、1M バイトの空間が確保されます (初期値)。  0 0000 0000 : 1M バイト 0 0000 0001 : 2M バイト 0 0000 0011 : 4M バイト 0 0000 0111 : 8M バイト 0 0000 1111 : 16M バイト 0 0001 1111 : 32M バイト 0 0011 1111 : 64M バイト 0 0111 1111 : 128M バイト 0 1111 1111 : 256M バイト 1 1111 1111 : 512M バイト 上記以外 : 設定禁止
19~1	—	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	MBARE	0	SH : R/W PCI : R	PCI メモリベースアドレスレジスタ 1 イネーブル 本ビットを 1 にすることでローカルアドレス空間 1 へのアクセスが可能となります。  0 : PCIMBAR1 ディスエーブル 1 : PCIMBAR1 イネーブル





## (6) PCI 割り込みレジスタ (PCIIR)

このレジスタには、割り込み要因を記録します。割り込みが発生すると該当ビットが1にセットされます。

多重割り込みが発生した場合、最初の要因のみが記録されます。割り込みが無効な場合、割り込み要因は対応するビットに書き込まれ、割り込みは発生しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TTA DI	—	—	—	—	TMT OI	MDEI	APE DI	SDI	DPEI TW	PEDI TR	TA DIM	MA DIM	MW PDI	MR DPEI
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R/WC	R	R	R	R	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC	R/WC
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~15	—	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	TTADI	0	SH : R/WC PCI : R	ターゲット時のターゲットアポート検出割り込み PCIC がターゲット時、ターゲットアポートによりトランザクションを終了させたことを示します。 ターゲットアポートは、I/O 転送中にアドレスの下位2ビット（ビット1、0）とバイトイネーブルの組み合わせが不正（イリーガルバイトイネーブル）であったときに発生させます。 0 : ターゲットアポート割り込みは発生していない [クリア条件] 本ビットへの1の書き込み(ライトクリア) 1 : ターゲットアポート割り込み発生 [セット条件] ターゲットアポート割り込み発生
13~10	—	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

### 13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
9	TMTOI	0	SH : R/WC PCI : R	<p>ターゲットメモリーリードリトライタイムアウト割り込み</p> <p>PCIC がターゲット時、PCICLK の 2<sup>15</sup> クロック以内にマスタがリトライ処理を行わなかったことを示します。メモリーリード転送に対してのみ検出されます。</p> <p>0 : ターゲットメモリーリードリトライタイムアウト割り込みは発生していない</p> <p>[クリア条件] 本ビットへの 1 の書き込み(ライトクリア)</p> <p>1 : ターゲットメモリーリードリトライタイムアウト割り込み発生</p> <p>[セット条件] ターゲットメモリーリードリトライタイムアウト割り込み発生</p>
8	MDEI	0	SH : R/WC PCI : R	<p>マスタ機能ディスエーブルエラー割り込み</p> <p>PCI コマンドレジスタのビット 2 (BM) が 0 に設定され、バスマスタとしての動作が禁止されているのにマスタ動作を行おうとしたことを示します。</p> <p>0 : マスタ機能ディスエーブルエラー割り込みは発生していない</p> <p>[クリア条件] 本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : マスタ機能ディスエーブルエラー割り込み発生</p> <p>[セット条件] マスタ機能ディスエーブルエラー割り込み発生</p>
7	APEDI	0	SH : R/WC PCI : R	<p>アドレスパリティエラー検出割り込み</p> <p>アドレスパリティエラーを検出したことを示します。</p> <p>PCI コマンドレジスタのビット 8 (SERRE) とビット 6 (PER) がともに 1 のときのみ検出します。</p> <p>0 : アドレスパリティエラー割り込みは発生していない</p> <p>[クリア条件] 本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : アドレスパリティエラー割り込み発生</p> <p>[セット条件] アドレスパリティエラー割り込み発生</p>
6	SDI	0	SH : R/WC PCI : R	<p><math>\overline{\text{SERR}}</math> 検出割り込み</p> <p>PCIC がホスト時、<math>\overline{\text{SERR}}</math> 信号がアサートされているのを検出したことを示します。</p> <p>0 : <math>\overline{\text{SERR}}</math> 検出割り込みは発生していない</p> <p>[クリア条件] 本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : <math>\overline{\text{SERR}}</math> 検出割り込み発生</p> <p>[セット条件] <math>\overline{\text{SERR}}</math> 検出割り込み発生</p>

13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説 明
5	DPEITW	0	SH : R/W PCI : R	<p>ターゲットライト時のデータパリティエラー割り込み</p> <p>PCIC がターゲット時、ターゲットライト中にデータパリティエラーを検出したことを示します。PCI コマンドレジスタのビット 6 (PER) が 1 のときのみ検出します。</p> <p>0 : データパリティエラー検出割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : データパリティエラー検出割り込み発生</p> <p>[セット条件]</p> <p>データパリティエラー検出割り込み発生</p>
4	PEDITR	0	SH : R/W PCI : R	<p>ターゲットリード時の PERR 検出割り込み</p> <p>PCIC がターゲット時、ターゲットリード中に PERR を受信したことを示します。</p> <p>PCI コマンドレジスタのビット 6 (PER) が 1 のときのみ検出します。</p> <p>0 : PERR 検出割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : PERR 検出割り込み発生</p> <p>[セット条件]</p> <p>PERR 検出割り込み発生</p>
3	TADIM	0	SH : R/W PCI : R	<p>マスタ時のターゲットアポート割り込み</p> <p>PCIC がマスタ時に、ターゲットアポートでトランザクションが終了したことを示します。</p> <p>0 : ターゲットアポート割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : ターゲットアポート割り込み発生</p> <p>[セット条件]</p> <p>ターゲットアポート割り込み発生</p>
2	MADIM	0	SH : R/W PCI : R	<p>マスタ時のマスタアポート割り込み</p> <p>PCIC がマスタ時に、マスタアポートでトランザクションが終了したことを示します。</p> <p>0 : マスタアポート割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : マスタアポート割り込み発生</p> <p>[セット条件]</p> <p>マスタアポート割り込み発生</p>

### 13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
1	MWPDI	0	SH : R/WC PCI : R	<p>マスタライト PERR 検出割り込み</p> <p>PCIC がマスタ時に、ターゲットへのデータライト中に、ターゲットからの PERR を受信したことを示します。PCI コマンドレジスタのビット 6 (PER) が 1 のときのみ検出します。</p> <p>0 : PERR 検出割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : PERR 検出割り込み発生</p> <p>[セット条件]</p> <p>PERR 検出割り込み発生</p>
0	MRDPEI	0	SH : R/WC PCI : R	<p>マスタリードデータパリティエラー割り込み</p> <p>PCIC がマスタ時に、ターゲットからのデータリード中に、パリティエラーを検出したことを示します。PCI コマンドレジスタのビット 6 (PER) が 1 のときのみ検出します。</p> <p>0 : データパリティエラー検出割り込みは発生していない</p> <p>[クリア条件]</p> <p>本ビットへの 1 の書き込み (ライトクリア)</p> <p>1 : データパリティエラー検出割り込み発生</p> <p>[セット条件]</p> <p>データパリティエラー検出割り込み発生</p>

#### (7) PCI 割り込みマスクレジスタ (PCIIMR)

このレジスタは PCIIR のマスクレジスタです。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TTA DIM	—	—	—	—	TMT OIM	MDE IM	APE DIM	SDIM	DPEI TWM	PEDI TRM	TAD IMM	MAD IMM	MW PDIM	MRD PEIM
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

## 13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明
31~15	—	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	TTADIM	0	SH : R/W PCI : R	ターゲット時のターゲットアポート割り込みマスク 0 : TTADI を禁止 (マスク) 1 : TTADIM を許可 (受け付け)
13~10	—	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	TMTOIM	0	SH : R/W PCI : R	ターゲットトリトライタイムアウト割り込みマスク 0 : TMTOI を禁止 (マスク) 1 : TMTOI を許可 (受け付け)
8	MDEIM	0	SH : R/W PCI : R	マスタ機能ディスエーブルエラー割り込みマスク 0 : MDEI を禁止 (マスク) 1 : MDEI を許可 (受け付け)
7	APEDIM	0	SH : R/W PCI : R	アドレスパリティエラー検出割り込みマスク 0 : APEDI を禁止 (マスク) 1 : APEDI を許可 (受け付け)
6	SDIM	0	SH : R/W PCI : R	SERR 検出割り込みマスク 0 : SDI を禁止 (マスク) 1 : SDI を許可 (受け付け)
5	DPEITWM	0	SH : R/W PCI : R	ターゲットライト時のデータパリティエラー割り込みマスク 0 : DPEITW を禁止 (マスク) 1 : DPEITW を許可 (受け付け)
4	PEDITRM	0	SH : R/W PCI : R	ターゲットリード時の PERR 検出割り込みマスク 0 : PEDITR を禁止 (マスク) 1 : PEDITR を許可 (受け付け)
3	TADIMM	0	SH : R/W PCI : R	マスク時のターゲットアポート割り込みマスク 0 : TADIM を禁止 (マスク) 1 : TADIM を許可 (受け付け)
2	MADIMM	0	SH : R/W PCI : R	マスタ時のマスタアポート割り込みマスク 0 : MADIM を禁止 (マスク) 1 : MADIM を許可 (受け付け)
1	MWPDIM	0	SH : R/W PCI : R	マスタライトデータパリティエラー割り込みマスク 0 : MWPDIM を禁止 (マスク) 1 : MWPDIM を許可 (受け付け)
0	MRDPEIM	0	SH : R/W PCI : R	マスタリードデータパリティエラー割り込みマスク 0 : MRDPEI を禁止 (マスク) 1 : MRDPEI を許可 (受け付け)

### 13. PCI コントローラ (PCIC)

#### (8) PCI エラーアドレス情報レジスタ (PCIAIR)

このレジスタには、割り込みが検出された場合の PCI アクセスアドレス情報を記録します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	AIL															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AIL															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	AIL	不定	SH : R PCI : R	アドレスログ エラー発生時の PCI アドレス情報 (AD[31:0]信号の値) を保持します。

#### (9) PCI エラーコマンド情報レジスタ (PCICIR)

このレジスタには、割り込みが検出された場合の PCI コマンド情報を記録します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	M TEM	—	—	—	—	RW TET	—	—	—	—	—	—	—	—	—	—
初期値:	—	0	0	0	0	—	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	ECL			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	—	—	—	—
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	MTEM	不定	SH : R PCI : R	マスタエラー マスタリード、マスタライト時にエラーが発生したことを示します。 0 : マスタエラーは発生していない 1 : マスタエラー発生
30~27	—	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26	RWTET	不定	SH : R PCI : R	ターゲットエラー ターゲットリード、ターゲットライト時にエラーが発生したことを示します。 0 : ターゲットエラーは発生していない 1 : ターゲットエラー発生

ビット	ビット名	初期値	R/W	説明
25~4	—	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3~0	ECL	不定	SH : R PCI : R	コマンドログ エラー発生時の PCI コマンド情報 (CBE 信号の値) を保持します。

## (10) PCI アービタ割り込みレジスタ (PCIAINT)

ホストモードで、このレジスタには、割り込み要因を記録します。

もし多重割り込みが発生した場合、最初の要因が記録されます。もし割り込みが禁止された場合、その要因が対応するビットに1が書き込まれ、割り込みは発生しません。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MBI	TB TOI	MB TOI	—	—	—	—	—	—	—	TAI	MAI	RD PEI	WD PEI
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R/WC	R/WC	R/WC	R	R	R	R	R	R	R	R/WC	R/WC	R/WC	R/WC
PCI R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	MBI	0	SH : R/WC PCI : R	マスタブロックン割り込み バス権を与えられたマスタが、16クロック以内にトランザクションを開始しない (PCIFRAME をアサートしない) ときに検出されます。 0 : マスタブロックン割り込みは発生していない 1 : マスタブロックン割り込み発生
12	TBTOI	0	SH : R/WC PCI : R	ターゲットバスタイムアウト割り込み 最初のデータ転送で TRDY または STOP が 16クロック以内、二つ目以降のデータ転送で TRDY または STOP が 8クロック以内にアサートされないときに検出されます。 0 : ターゲットバスタイムアウト割り込みは発生していない 1 : ターゲットバスタイムアウト割り込み発生
11	MBTOI	0	SH : R/WC PCI : R	マスタバスタイムアウト割り込み データ転送で IRDY が 8クロック以内にアサートされないときに検出されます。 0 : マスタバスタイムアウト割り込みは発生していない 1 : マスタバスタイムアウト割り込み発生

### 13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説 明
10~4	—	すべて0	SH : R PCI : R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	TAI	0	SH : R/WC PCI : R	ターゲットアポート割り込み PCIC 以外のデバイスがバスマスタとして動作しているときに、トランザクションがターゲットアポートで終了したことを示します。 0 : ターゲットアポート割り込みは発生していない 1 : ターゲットアポート割り込み発生
2	MAI	0	SH : R/WC PCI : R	マスタアポート割り込み PCIC 以外のデバイスがバスマスタとして動作しているときに、トランザクションがマスタアポートで終了したことを示します。 0 : マスタアポート割り込みは発生していない 1 : マスタアポート割り込み発生
1	RDPEI	0	SH : R/WC PCI : R	リードパリティエラー割り込み PCIC 以外のデバイスがバスマスタとして動作しているときに、データリード時の PERR アサートを検出したことを示します。 0 : リードパリティエラー割り込みは発生していない 1 : リードパリティエラー割り込み発生
0	WDPEI	0	SH : R/WC PCI : R	ライトデータパリティエラー割り込み PCIC 以外のデバイスがバスマスタとして動作しているときに、データライト時の PERR アサートを検出したことを示します。 0 : ライトデータパリティ割り込みは発生していない 1 : ライトデータパリティ割り込み発生

## (11) PCI アービタ割り込みマスクレジスタ (PCIAINTM)

このレジスタは PCIAINT のマスクレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MBIM	TBT OIM	MBT OIM	—	—	—	—	—	—	—	TAIM	MAIM	RDP EIM	WDP EIM
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて0	SH: R PCI: R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	MBIM	0	SH: R/W PCI: R	マスタブロック割り込みマスク 0: MBI を禁止 (マスク) 1: MBI を許可 (受け付け)
12	TBTOIM	0	SH: R/W PCI: R	ターゲットバスタイムアウト割り込みマスク 0: TBTOI を禁止 (マスク) 1: TBTOI を許可 (受け付け)
11	MBTOIM	0	SH: R/W PCI: R	マスタバスタイムアウト割り込みマスク 0: MBTOI を禁止 (マスク) 1: MBTOI を許可 (受け付け)
10~4	—	すべて0	SH: R PCI: R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	TAIM	0	SH: R/W PCI: R	ターゲットアポート割り込みマスク 0: TAI を禁止 (マスク) 1: TAI を許可 (受け付け)
2	MAIM	0	SH: R/W PCI: R	マスタアポート割り込みマスク 0: MAI を禁止 (マスク) 1: MAI を許可 (受け付け)
1	RDPEIM	0	SH: R/W PCI: R	リードデータパリティエラー割り込みマスク 0: RDPEI を禁止 (マスク) 1: RDPEI を許可 (受け付け)
0	WDPEIM	0	SH: R/W PCI: R	ライトデータパリティエラー割り込みマスク 0: WDPEI を禁止 (マスク) 1: WDPEI を許可 (受け付け)

### 13. PCI コントローラ (PCIC)

#### (12) PCI バスマスタエラー情報レジスタ (PCIBMIR)

ホストモードでは、このレジスタには、割り込みが PCIAINT によって発生した場合のバスマスタを記録します。多重割り込みが発生した場合、最初の要因のみが記録されます。

割り込みが禁止された場合、その要因が対応するビットに 1 が書き込まれ、割り込みは発生しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	REQ4 BME	REQ3 BME	REQ2 BME	REQ1 BME	REQ0 BME
初期値:	0	0	0	0	0	0	0	0	0	0	0	—	—	—	—	—
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	SH : R PCI : R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	REQ4BME	不定	SH : R PCI : R	REQ4 エラー PCIC がバスマスタ時にエラーが発生したことを示します。
3	REQ3BME	不定	SH : R PCI : R	REQ3 エラー デバイス 3 (REQ3) がバスマスタ時にエラーが発生したことを示します。
2	REQ2BME	不定	SH : R PCI : R	REQ2 エラー デバイス 2 (REQ2) がバスマスタ時にエラーが発生したことを示します。
1	REQ1BME	不定	SH : R PCI : R	REQ1 エラー デバイス 1 (REQ1) がバスマスタ時にエラーが発生したことを示します。
0	REQ0BME	不定	SH : R PCI : R	REQ0 エラー デバイス 0 (REQ0) がバスマスタ時にエラーが発生したことを示します。

## (13) PCI PIO アドレスレジスタ (PCIPAR)

PCI PIO アドレスレジスタ (PCIPAR) は、PCIC がホストモードのときに、PCI バス上でコンフィグレーションサイクルを発行する際に使用するレジスタです。詳細については「13.4.5 (2) コンフィグレーションアクセス」を参照してください。

また、本レジスタに H'8000FF00 を設定し、PCIPDR に書き込みを行うことで、スペシャルサイクルを発行します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CCIE	—	—	—	—	—	—	—	BN							
初期値 :	1	0	0	0	0	0	0	0	—	—	—	—	—	—	—	—
SH R/W :	R	R	R	R	R	R	R	R	R/W							
PCI R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DN				FN				CRA				—	—		
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31	CCIE	1	SH : R PCI : —	コンフィグレーションサイクル発行イネーブル 1 : コンフィグレーションサイクル発行イネーブルであることを示します。
30~24	—	すべて 0	SH : R PCI : —	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23~16	BN	不定	SH : R/W PCI : —	PCI バス番号 コンフィグレーションアクセスの対象となる PCI バスの番号を指定します。バス番号 0 は PCIC が接続されているバスを示します。バス番号は 8 ビットで表わされ最大値は 255 です。

### 13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説明																																				
15~11	DN	不定	SH : R/W PCI : -	<p>デバイス番号</p> <p>コンフィグレーションアクセスの対象となるデバイスの番号を指定します。デバイス番号は5ビットで表わされ、0から31の中の値を取ります。本フィールドに設定されたデバイス番号に対応して、IDSELの代わりにAD[31:16]線のAD[n] (n=16~31) 1本だけをハイにドライブします(他はすべてロー)。デバイス番号とIDSELの関係は以下の通りです。デバイス番号がH'10以上の場合は、AD[31:16]はすべてローにドライブします。</p> <table border="0"> <thead> <tr> <th>デバイス番号</th> <th>IDSEL</th> <th>デバイス番号</th> <th>IDSEL</th> </tr> </thead> <tbody> <tr> <td>H'0</td> <td>AD[16]=High</td> <td>H'8</td> <td>AD[24]=High</td> </tr> <tr> <td>H'1</td> <td>AD[17]=High</td> <td>H'9</td> <td>AD[25]=High</td> </tr> <tr> <td>H'2</td> <td>AD[18]=High</td> <td>H'A</td> <td>AD[26]=High</td> </tr> <tr> <td>H'3</td> <td>AD[19]=High</td> <td>H'B</td> <td>AD[27]=High</td> </tr> <tr> <td>H'4</td> <td>AD[20]=High</td> <td>H'C</td> <td>AD[28]=High</td> </tr> <tr> <td>H'5</td> <td>AD[21]=High</td> <td>H'D</td> <td>AD[29]=High</td> </tr> <tr> <td>H'6</td> <td>AD[22]=High</td> <td>H'E</td> <td>AD[30]=High</td> </tr> <tr> <td>H'7</td> <td>AD[23]=High</td> <td>H'F</td> <td>AD[31]=High</td> </tr> </tbody> </table>	デバイス番号	IDSEL	デバイス番号	IDSEL	H'0	AD[16]=High	H'8	AD[24]=High	H'1	AD[17]=High	H'9	AD[25]=High	H'2	AD[18]=High	H'A	AD[26]=High	H'3	AD[19]=High	H'B	AD[27]=High	H'4	AD[20]=High	H'C	AD[28]=High	H'5	AD[21]=High	H'D	AD[29]=High	H'6	AD[22]=High	H'E	AD[30]=High	H'7	AD[23]=High	H'F	AD[31]=High
デバイス番号	IDSEL	デバイス番号	IDSEL																																					
H'0	AD[16]=High	H'8	AD[24]=High																																					
H'1	AD[17]=High	H'9	AD[25]=High																																					
H'2	AD[18]=High	H'A	AD[26]=High																																					
H'3	AD[19]=High	H'B	AD[27]=High																																					
H'4	AD[20]=High	H'C	AD[28]=High																																					
H'5	AD[21]=High	H'D	AD[29]=High																																					
H'6	AD[22]=High	H'E	AD[30]=High																																					
H'7	AD[23]=High	H'F	AD[31]=High																																					
10~8	FN	不定	SH : R/W PCI : -	<p>機能番号</p> <p>コンフィグレーションアクセスの対象となる機能の番号を指定します。機能番号は3ビットで表わされ、0から7までの値を取ります。</p>																																				
7~2	CRA	不定	SH : R/W PCI : -	<p>コンフィグレーションレジスタアドレス</p> <p>コンフィグレーションアクセスの対象となるレジスタをロングワード境界で設定します。</p>																																				
1、0	-	すべて0	SH : R PCI : -	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>																																				

## (14) PCI パワーマネジメント割り込みレジスタ (PCIPINT)

このレジスタはパワーマネジメント割り込みを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PMD 3H	PMD 2	PMD 1	PMD 0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/WC	R/WC	R/WC	R/WC
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて0	SH: R PCI: —	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	PMD3H	0	SH: R/WC PCI: —	PCI パワーマネジメント D3H (D3hot) ステータス遷移割り込み PCI バスの低消費電力モードへの遷移要求割り込みが発生したことを示します。 0: D3H ステータス遷移割り込みなし 1: D3H ステータス遷移割り込み発生
2	PMD2	0	SH: R/WC PCI: —	PCI パワーマネジメント D2 ステータス遷移割り込み PCI バスの低消費電力モードへの遷移要求割り込みが発生したことを示します。 0: D2 ステータス遷移割り込みなし 1: D2 ステータス遷移割り込み発生
1	PMD1	0	SH: R/WC PCI: —	PCI パワーマネジメント D1 ステータス遷移割り込み PCI バスの低消費電力モードへの遷移要求割り込みが発生したことを示します。 0: D1 ステータス遷移割り込みなし 1: D1 ステータス遷移割り込み発生
0	PMD0	0	SH: R/WC PCI: —	PCI パワーマネジメント D0 ステータス遷移割り込み PCI バスの低消費電力モードへの遷移要求割り込みが発生したことを示します。 0: D0 ステータス遷移割り込みなし 1: D0 ステータス遷移割り込み発生

### 13. PCI コントローラ (PCIC)

#### (15) PCI パワーマネジメント割り込みマスクレジスタ (PCIPINTM)

このレジスタは PCIPINT のマスクレジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PMD 3HM	PMD 2M	PMD 1M	PMD 0M
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~4	—	すべて0	SH: R PCI: —	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	PMD3HM	0	SH: R/W PCI: —	PCI パワーマネジメント D3H (D3hot) ステータス遷移割り込みマスク 0: PMD3H は禁止 (マスク) 1: PMD3H は許可 (受け付け)
2	PMD2M	0	SH: R/W PCI: —	PCI パワーマネジメント D2 ステータス遷移割り込みマスク 0: PMD2 は禁止 (マスク) 1: PMD2 は許可 (受け付け)
1	PMD1M	0	SH: R/W PCI: —	PCI パワーマネジメント D1 ステータス遷移割り込みマスク 0: PMD1 は禁止 (マスク) 1: PMD1 は許可 (受け付け)
0	PMD0M	0	SH: R/W PCI: —	PCI パワーマネジメント D0 ステータス遷移割り込みマスク 0: PMD0 は禁止 (マスク) 1: PMD0 は許可 (受け付け)

## (16) PCI メモリバンクレジスタ 0 (PCIMBR0)

PCI メモリ空間 0 のアドレス[31:18]ビットを設定します。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSBA0														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~18	PMSBA0	H'0000	SH: R/W PCI: —	PCI メモリ空間 0 バンクアドレス (14 ビット) マスタ時 PCI のメモリ空間 0 に対するバンクアドレス設定を行います。
17~0	—	すべて 0	SH: R PCI: —	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## (17) PCI メモリバンクマスクレジスタ 0 (PCIMBMR0)

PCI メモリ空間 0 の容量を設定します。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	—	—	—	—	—	—	—	—	MSBAM0							—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
SH R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	

### 13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説 明
31~24	—	すべて0	SH : R PCI : —	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23~18	MSBAM0	0000 00	SH : R/W PCI : —	PCI メモリ空間 0 バンクアドレスマスク (6 ビット) 0000 00 : 256K バイト 0000 01 : 512K バイト 0000 11 : 1M バイト 0001 11 : 2M バイト 0011 11 : 4M バイト 0111 11 : 8M バイト 1111 11 : 16M バイト 上記以外 : 設定禁止
17~0	—	すべて0	SH : R PCI : —	リザーブビット 読み出すと常に0が読み出されず。書き込む値も常に0にしてください。

## (18) PCI メモリバンクレジスタ 1 (PCIMBR1)

PCI メモリ空間 1 のアドレス[31:18]ビットを設定します。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSBA1														—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~18	PMSBA1	H'0000	SH: R/W PCI: —	PCI メモリ空間 1 バンクアドレス (14 ビット) マスタ時 PCI のメモリ空間 1 に対するバンクアドレス設定を行います。
17~0	—	すべて 0	SH: R PCI: —	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## (19) PCI メモリバンクマスクレジスタ 1 (PCIMBMR1)

PCI メモリ空間 1 の容量を設定します。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	MSBAM1								—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

### 13. PCI コントローラ (PCIC)

ビット	ビット名	初期値	R/W	説 明
31~26	—	すべて0	SH : R PCI : —	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25~18	MSBAM1	H'00	SH : R/W PCI : —	PCI メモリ空間 1 バンクアドレスマスク (8 ビット) 00 0000 00 : 256K バイト 00 0000 01 : 512K バイト 00 0000 11 : 1M バイト 00 0001 11 : 2M バイト 00 0011 11 : 4M バイト 00 0111 11 : 8M バイト 00 1111 11 : 16M バイト 01 1111 11 : 32M バイト 11 1111 11 : 64M バイト 上記以外 : 設定禁止
17~0	—	すべて0	SH : R PCI : —	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

#### (20) PCI メモリバンクレジスタ 2 (PCIMBR2)

PCI メモリ空間 2 のアドレス[31:18]ビットを設定します。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSBA2														—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説 明
31~18	PMSBA2	すべて0	SH : R/W PCI : —	PCI メモリ空間 2 バンクアドレス (14 ビット) マスタ時 PCI のメモリ空間 2 に対するバンクアドレス設定を行います。
17~0	—	すべて0	SH : R PCI : —	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

(21) PCI メモリバンクマスクレジスタ 2 (PCIMBMR2)

PCI メモリ空間 2 の容量を設定します。

「13.4.3 (2) PCI メモリ空間へのアクセス」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	MSBAM2											—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて 0	SH : R PCI : —	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28~18	MSBAM2	H'000	SH : R/W PCI : —	PCI メモリ空間 2 バンクアドレスマスク (11 ビット) 0 0000 0000 00 : 256K バイト 0 0000 0000 01 : 512K バイト 0 0000 0000 11 : 1M バイト 0 0000 0001 11 : 2M バイト 0 0000 0011 11 : 4M バイト 0 0000 0111 11 : 8M バイト 0 0000 1111 11 : 16M バイト 0 0001 1111 11 : 32M バイト 0 0011 1111 11 : 64M バイト 0 0111 1111 11 : 128M バイト 0 1111 1111 11 : 256M バイト 1 1111 1111 11 : 512M バイト 上記以外 : 設定禁止
17~0	—	すべて 0	SH : R PCI : —	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 13. PCI コントローラ (PCIC)

#### (22) PCI I/O バンクレジスタ (PCIIOBR)

PCI I/O 空間のアドレス[31:18]ビットを設定します。

「13.4.3 (3) PCI I/O 空間へのアクセス」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PIO SBA														—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
PCI R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~18	PIO SBA	H'0000	SH : R/W PCI : —	PCI I/O 空間バンクアドレス (14 ビット) マスタ時 PCI の I/O 空間に対するバンクレジスタ設定を行います。
17~0	—	すべて 0	SH : R PCI : —	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## (23) PCI I/O バンクマスクレジスタ (PCIIOBMR)

PCI I/O 空間の容量を設定します。

「13.4.3 (3) PCI I/O 空間へのアクセス」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	IOBAM			—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R
PCI R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~21	—	すべて0	SH : R PCI : —	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20~18	IOBAM	000	SH : R/W PCI : —	PCI I/O 空間バンクアドレスマスク (3 ビット) 000 : 256K バイト 001 : 512K バイト 011 : 1M バイト 111 : 2M バイト 上記以外 : 設定禁止
17~0	—	すべて0	SH : R PCI : —	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

### 13. PCI コントローラ (PCIC)

#### (24) PCI キャッシュスヌープコントロールレジスタ 0 (PCICSCR0)

外部 PCI デバイスは、PCIC を経由して本 LSI のローカルメモリをアクセスできます。PCI デバイスがキャッシュ可能な領域をアクセスした場合、PCIC は内蔵キャッシュに対しキャッシュスヌープ機能を有効にすることができます。本レジスタにより、キャッシュスヌープアドレスレジスタ 0 を使用することを指定できます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RANGE			SNPMD	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	SH: R PCI: —	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~2	RANGE	000	SH: R/W PCI: —	比較アドレス範囲 比較対象となる PCIC SAR0 のアドレス範囲を指定します。 000: PCIC SAR0.CADR[31:12]を比較 (4K バイト) 001: PCIC SAR0.CADR[31:16]を比較 (64K バイト) 010: PCIC SAR0.CADR[31:20]を比較 (1M バイト) 011: PCIC SAR0.CADR[31:24]を比較 (16M バイト) 100: PCIC SAR0.CADR[31:25]を比較 (32M バイト) 101: PCIC SAR0.CADR[31:26]を比較 (64M バイト) 110: PCIC SAR0.CADR[31:27]を比較 (128M バイト) 111: PCIC SAR0.CADR[31:28]を比較 (256M バイト) PCIC SCR0.SNPMD が 10 または 11 の場合のみ本ビットは有効となります。
1, 0	SNPMD	00	SH: R/W PCI: —	PCIC SAR0 のスヌープモード 外部デバイスから要求されたアドレスと PCIC SAR0 を比較するかどうか指定します。また、PCIC SAR0 を比較する場合、どのようにスヌープ機能を実行するかを指定します。 00: PCIC SAR0 は比較しません。 01: リザーブ (設定禁止) 10: PCIC SAR0 を比較します。その範囲でヒットした場合、スヌープ機能は実行されません。ヒットしなかった場合は実行されます。 11: PCIC SAR0 を比較します。その範囲でヒットした場合、スヌープ機能は実行されます。ヒットしなかった場合は実行されません。

## (25) PCI キャッシュスヌープコントロールレジスタ 1 (PCICSCR1)

外部 PCI デバイスは、PCIC を経由して本 LSI のローカルメモリにアクセスできます。PCI デバイスがキャッシュ可能な領域をアクセスした場合、PCIC は内蔵キャッシュに対しキャッシュスヌープ機能を有効にすることができます。本レジスタにより、キャッシュスヌープアドレスレジスタ 1 を使用することを指定できます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RANGE			SNPMD	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W
PCI R/W:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
31~5	—	すべて 0	SH : R PCI : —	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4~2	RANGE	000	SH : R/W PCI : —	比較アドレス範囲 比較対象となる PCIC SAR1 のアドレス範囲を指定します。 000 : PCIC SAR1.CADR[31:12]を比較 (4K バイト) 001 : PCIC SAR1.CADR[31:16]を比較 (64K バイト) 010 : PCIC SAR1.CADR[31:20]を比較 (1M バイト) 011 : PCIC SAR1.CADR[31:24]を比較 (16M バイト) 100 : PCIC SAR1.CADR[31:25]を比較 (32M バイト) 101 : PCIC SAR1.CADR[31:26]を比較 (64M バイト) 110 : PCIC SAR1.CADR[31:27]を比較 (128M バイト) 111 : PCIC SAR1.CADR[31:28]を比較 (256M バイト) PCIC SCR1.SNPMD が 10 または 11 の場合のみ本ビットは有効となります。
1, 0	SNPMD	00	SH : R/W PCI : —	PCIC SAR1 のスヌープモード 外部デバイスから要求されたアドレスと PCIC SAR1 を比較するかどうか指定します。また、PCIC SAR1 を比較する場合、どのようにスヌープ機能を実行するかを指定します。 00 : PCIC SAR1 は比較しません。 01 : リザーブ (設定禁止) 10 : PCIC SAR1 を比較します。その範囲でヒットした場合、スヌープ機能は実行されません。ヒットしなかった場合は実行されます。 11 : PCIC SAR1 を比較します。その範囲でヒットした場合、スヌープ機能は実行されます。ヒットしなかった場合は実行されません。

### 13. PCI コントローラ (PCIC)

#### (26) PCI キャッシュヌープアドレスレジスタ 0 (PCIC SAR0)

本レジスタにより、外部 PCI デバイスから PCIC に要求されたアドレスと比較するアドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CADR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CADR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~0	CADR	H'0000 0000	SH: R/W PCI: -	比較対象アドレス 外部デバイスから PCIC に要求されたアドレスと比較するアドレスを指定します。

#### (27) PCI キャッシュヌープアドレスレジスタ 1 (PCIC SAR1)

本レジスタにより、外部 PCI デバイスから PCIC に要求されたアドレスと比較するアドレスを指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CADR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CADR															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
SH R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PCI R/W:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~0	CADR	H'0000 0000	SH: R/W PCI: -	比較対象アドレス 外部デバイスから PCIC に要求されたアドレスと比較するアドレスを指定します。

## (28) PCI PIO データレジスタ (PCIPDR)

本レジスタのリード/ライトを実行する事により、PCI バス上にコンフィグレーションサイクルを発生させます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PDR															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SH R/W :	R/W															
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PDR															
初期値 :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SH R/W :	R/W															
PCI R/W :	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット	ビット名	初期値	R/W	説明
31~0	PDR	不定	SH : R/W PCI : -	PCI PIO データレジスタ このレジスタで、リード/ライトを実行する事により、PCI バス上にコンフィグレーションサイクルを発生させます。

## 13.4 動作説明

### 13.4.1 サポートされる PCI コマンド

表13.4 サポートされる PCI バスコマンド

CBE[3:0]	コマンド	PCI マスタ	PCI ターゲット
0000	インタラプトアクノリッジサイクル	×	—
0001	スペシャルサイクル	○* <sup>1</sup>	—
0010	I/O リード	○	○* <sup>2</sup>
0011	I/O ライト	○	○* <sup>2</sup>
0100	予約	—	—
0101	予約	—	—
0110	メモリアード	○	○
0111	メモリアイト	○	○
1000	予約	—	—
1001	予約	—	—
1010	コンフィグレーションリード	○* <sup>1</sup>	○* <sup>2</sup>
1011	コンフィグレーションライト	○* <sup>1</sup>	○* <sup>2</sup>
1100	メモリアードマルチプル	×	△* <sup>3</sup>
1101	デュアルアドレスサイクル	×	×
1110	メモリアードライン	×	△* <sup>3</sup>
1111	メモリアイトアンドインバリデート	×	△* <sup>4</sup>

## 【記号説明】

- 0: Low level
- 1: High level
- サポート
- △ 制限付きでサポート
- × サポートしない
- 応答しない

【注】 \*1 ホストモードのみサポート

\*2 シングル転送のみ

\*3 メモリアードとして動作

\*4 メモリアイトとして動作

### 13.4.2 PCIC の初期化

PCIC ではパワーオンリセット後に、PCIC イネーブル制御レジスタ (PCIECR) のイネーブルビット (ENBL) と PCI コントロールレジスタ (PCICR) の内部レジスタ初期化制御ビット (CFINIT) がクリアされます。このとき、PCIC が PCI バスのホストとして動作する場合 (ホストモード) には PCI バス上のデバイスのアービトレーションは行われず、PCI バス上のバス権は常に PCIC に与えられています。ホストとして動作しない場合 (ノーマルモード) には、PCI バスに接続されている外部 PCI デバイスからのアクセスを受け付けず、必ず PCI バスに対しリトライを返します。CPU から PCIC へのアクセスはコントロールレジスタ空間 (PCIECR) へのアクセスを除き、すべて無効となり (ライトは無効、リードはすべて 0 がリードされます)、各レジスタ、PCI バスへのリード/ライトアクセスは実行されません。

PCIC の初期化を行うには、以下の手順で行ってください。

- PCIECR の ENBL ビットに 1 をセット
- PCICR の CFINIT ビットがクリアされている期間に、PCIC 内の PCI コンフィグレーションレジスタおよび PCI ローカルレジスタを初期化
- PCICR の CFINIT に 1 をセット

すべてのレジスタの初期化終了後、CFINIT ビットを 1 にセットしてください。その後、ホストモード時にはアービトレーションが有効になり、ノーマルモード時には PCI バスからのアクセスを受け付けるようになります。

ホストモード/ノーマルモードのいずれの場合も、CFINIT ビットがクリアされている期間内の PCIC から外部 PCI デバイスへのアクセスは禁止です。CFINIT ビットを 1 にセットしてから行ってください。

特に、PCI コマンド (PCICMD)、PCI ステータス (PCISTATUS)、PCI サブシステムベンダ ID (PCISVID)、PCI サブシステム ID (PCISID)、PCI ローカルスペースレジスタ 0/1 (PCILSR0/1)、PCI ローカルアドレスレジスタ 0/1 (PCILAR0/1) については、CFINIT ビットがクリアされている期間 (1 にセットする前) に必ず設定してください。

## 13. PCI コントローラ (PCIC)

### 13.4.3 マスタアクセス

ここでは、PCIC が、PCI バスのマスタとなったとき、どのようにソフトウェアから制御されるかについて示します。ホストモードおよびノーマルモードのそれぞれのモードにおいて、PCIC を使用する場合について説明します。

#### (1) PCIC のアドレス空間

表 13.5 に PCIC のアドレス空間を示します。

表13.5 PCIC のアドレス空間

メモリ空間	物理アドレス		物理アドレスサイズ
	29 ビットアドレス モード時	32 ビットアドレス 拡張モード時	
PCI メモリ空間 1 (エリア 4 : PCI 選択時)	H'1000 0000 ~H'13FF FFFF	H'1000 0000 ~H'13FF FFFF	64M バイト
PCI メモリ空間 2 (32 ビットアドレス拡張モード時のみ)	—	H'C000 0000 ~H'DFFF FFFF	512M バイト
PCI メモリ空間 0	H'FD00 0000 ~H'FDFF FFFF	H'FD00 0000 ~H'FDFF FFFF	16M バイト
コントロールレジスタ空間	H'FE00 0000 ~H'FE03 FFFF	H'FE00 0000 ~H'FE03 FFFF	256K バイト
PCIC 内部レジスタ (コンフィグレーション、ローカルレジスタ)	H'FE04 0000 ~H'FE07 FFFF	H'FE04 0000 ~H'FE07 FFFF	256K バイト
リザーブ	H'FE08 0000 ~H'FE1F FFFF	H'FE08 0000 ~H'FE1F FFFF	1.5M バイト
PCI I/O 空間	H'FE20 0000 ~H'FE3F FFFF	H'FE20 0000 ~H'FE3F FFFF	2M バイト

PCIC には、4 種類 (物理的には 6 種類) のアドレス空間があります。PCI メモリ (3 種類)、コントロールレジスタ空間、PCIC 内部レジスタ (PCI コンフィグレーションレジスタおよび PCI ローカルレジスタ) 空間、および I/O 空間です。

## (2) PCI メモリ空間へのアクセス

図 13.2 に SuperHyway バスから PCI バスへのメモリマップを示します。

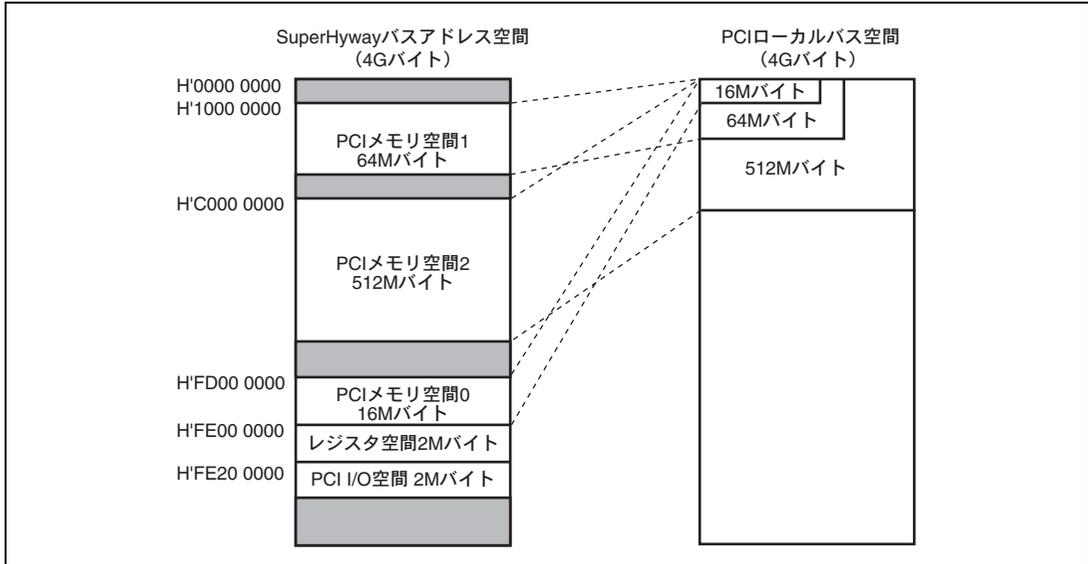


図13.2 SuperHyway バスから PCI ローカルバスへのメモリマップ

PCI メモリ空間にアクセスするためには、PCI メモリバンクレジスタ (PCIMBR) および PCI メモリバンクマスクレジスタ (PCIMBMR) を使用してください。このレジスタは、16M~512M バイトのアドレス空間を割り当てることができます。PCI アドレスの割り当ては、ソフトウェアによってプログラム可能です。

メモリ転送ではバースト転送をサポートします。

CPU または DMAC から 32 バイトバーストのアクセスを連続して実行すると、PCI バス上で 32 バイト以上 (すなわち、64 バイト、96 バイト等) のバースト転送を行います。

PCI メモリ空間は、PCI メモリ空間 0 が H'FD00 0000~H'FDFF FFFF (16M バイト)、PCI メモリ空間 1 が H'1000 0000~H'13FF FFFF (エリア 4、64M バイト、LBSC、DDRIF 空間との選択)、PCI メモリ空間 2 が H'C000 0000~H'DFFF FFFF (512M バイト、32 ビットアドレス拡張モード時のみ) に割り付けられています。

SuperHyway バスから PCI ローカルバスへのアドレス変換方法を以下に示します。

SuperHyway バスアドレスの下位 15 ビット ([17:3]) は、そのままに PCI バスに送られます。

### 13. PCI コントローラ (PCIC)

PCI メモリ空間 0 の場合、中間の 6 ビット (23:18) は、PCI メモリバンクマスクレジスタ 0 (PCIMBMR0) によって制御されます。

以下の説明、図では、SuperHyway バスを SH、PCI ローカルバスを PCI と表記しています。

- PCIMBMR0[23:18] B'1111 11 : PCIアドレス[23:18]=SHアドレス[23:18]
- PCIMBMR0[23:18] B'0111 11 : PCIアドレス[23:18]=PCIMBMR0[23], SHアドレス[22:18]  
⋮
- PCIMBMR0[23:18] B'0000 01 : PCIアドレス[23:18]=PCIMBMR0[23:19], SHアドレス[18]
- PCIMBMR0[23:18] B'0000 00 : PCIアドレス[23:18]=PCIMBMR0[23:18]

SuperHyway バスアドレスの上位 8 ビット[31:24]は、PCI メモリバンクレジスタ PCIMBR0[31:24]に置き換えられます。

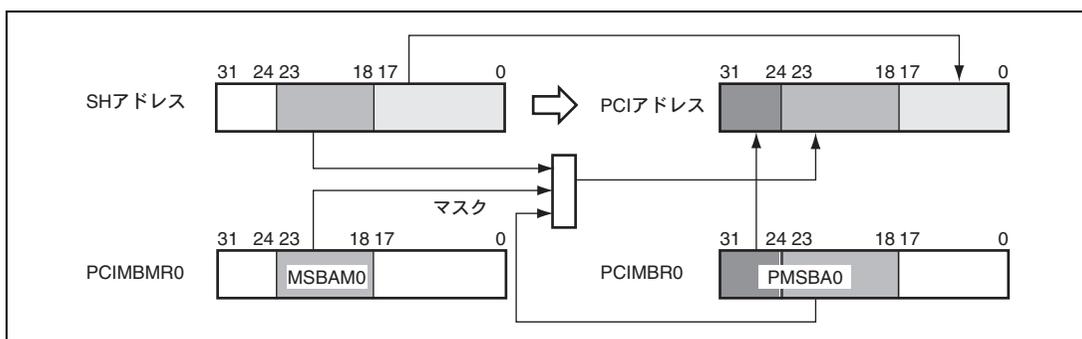


図13.3 SuperHyway バスから PCI ローカルバスへのアクセス (PCI メモリ空間 0 の場合)

PCI メモリ空間 1 の場合、中間の 8 ビット (25:18) は、PCI メモリバンクマスクレジスタ 1 (PCIMBMR1) によって制御されます。

- PCIMBMR1[25:18] B'11 1111 11 : PCIアドレス[25:18]=SHアドレス[25:18]
- PCIMBMR1[25:18] B'01 1111 11 : PCIアドレス[25:18]=PCIMBMR1[25], SHアドレス[24:18]  
⋮
- PCIMBMR1[25:18] B'00 0000 01 : PCIアドレス[25:18]=PCIMBMR1[25:19], SHアドレス[18]
- PCIMBMR1[25:18] B'00 0000 00 : PCIアドレス[25:18]=PCIMBMR1[25:18]

SuperHyway バスアドレスの上位 6 ビット[31:26]は、PCI メモリバンクレジスタ PCIMBR1[31:26]に置き換えられます。

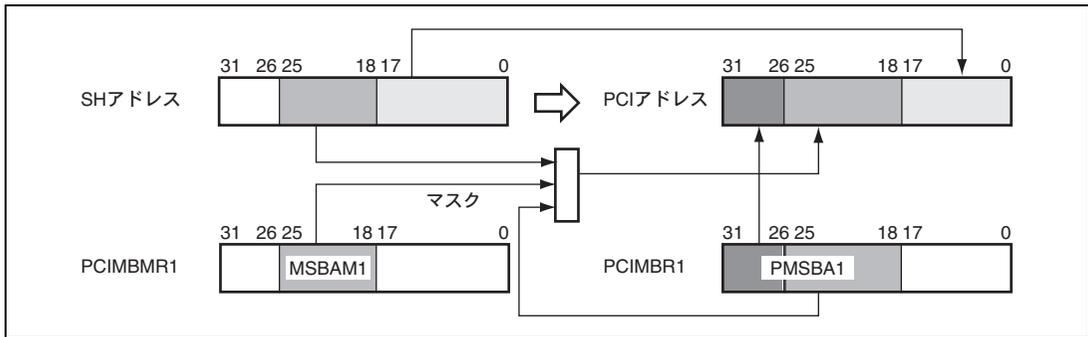


図13.4 SuperHyway バスから PCI ローカルバスへのアクセス (PCI メモリ空間 1 の場合)

PCI メモリ空間 2 の場合、中間の 11 ビット ([28:18]) は、PCI メモリバンクマスクレジスタ 2 (PCIMBMR2) によって制御されます。

- PCIMBMR2[28:18] B'1 1111 1111 11 : PCIアドレス[28:18]=SHアドレス[28:18]
- PCIMBMR2[23:18] B'0 1111 1111 11 : PCIアドレス[28:18]=PCIMBR2[28], SHアドレス[27:18]
- ...
- PCIMBMR2[23:18] B'0 1111 1111 11 : PCIアドレス[28:18]=PCIMBR2[28:19], SHアドレス[18]
- PCIMBMR2[28:18] B'0 0000 0000 00 : PCIアドレス[28:18]=PCIMBR2[28:18]

SuperHyway バスアドレスの上位 3 ビット[31:29]は、PCI メモリバンクレジスタ PCIMBR2[31:29]に置き換えられます。

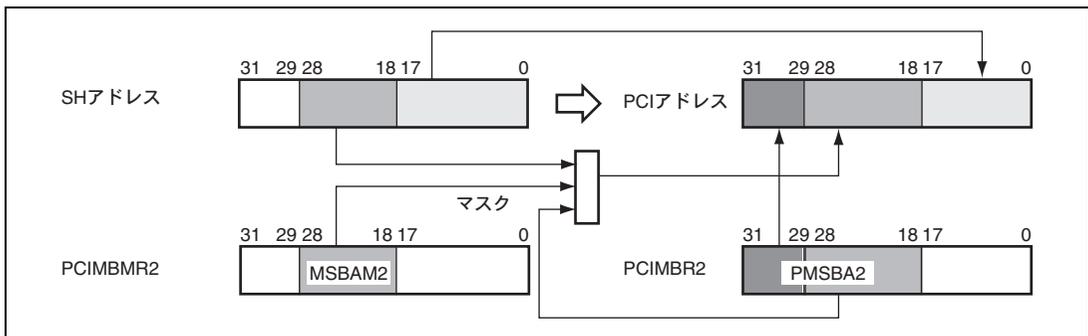


図13.5 SuperHyway バスから PCI ローカルバスへのアクセス (PCI メモリ空間 2 の場合)

### 13. PCI コントローラ (PCIC)

#### (3) PCI I/O 空間へのアクセス

I/O 転送ではバースト転送をサポートしません。必ず 4 バイト以下のサイズでアクセスしてください。

PCI I/O 空間は、H'FE20 0000~H'FE3F FFFF (2M バイト) に割り付けられます。

SuperHyway バスから PCI ローカルバスへアドレスの変換方法を以下に示します。

SuperHyway バスアドレスの下位 15 ビット ([17:3]) は、そのまま PCI に送られます。

中間の 3 ビット ([20:18]) は、PCI I/O バンクマスクレジスタによって制御されます。

- PCIIOBMR[20:18] B'111 : PCIアドレス[20:18]=SHアドレス[20:18]
- PCIIOBMR[20:18] B'011 : PCIアドレス[20:18]=PCIIOBR[20], SHアドレス[19:18]
- PCIIOBMR[20:18] B'001 : PCIアドレス[20:18]=PCIIOBR[20:19], SHアドレス[18]
- PCIIOBMR[20:18] B'000 : PCIアドレス[20:18]=PCIIOBR[20:18]

上位 11 ビット [31:21]は、PCI I/O バンクレジスタ PCIIOBR[31:21]に置き換えられます。

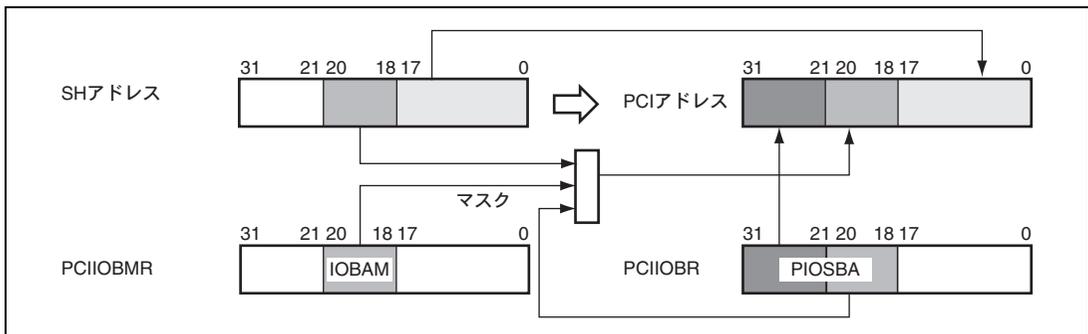


図13.6 SuperHyway バスから PCI ローカルバスへのアクセス (PCI I/O 空間)

## (4) PCIC 内部レジスタへのアクセス

すべての PCIC 内部レジスタ、すなわち、PCIC コントロールレジスタ、PCI コンフィグレーションレジスタおよび PCI ローカルレジスタは、CPU からアクセス可能です。アクセスサイズとしては 4 バイト、2 バイトおよび 1 バイトサイズの転送をサポートします。

## (5) エンディアン

本 LSI の PCIC は、ビッグおよびリトルエンディアンをサポートします。PCI バスはリトルエンディアンですので、PCIC データスワップおよびデータ非スワップの両方をサポートします。

これらのエンディアンの設定は、PCI コントロールレジスタ (PCICR) の TBS ビットによって決定します。

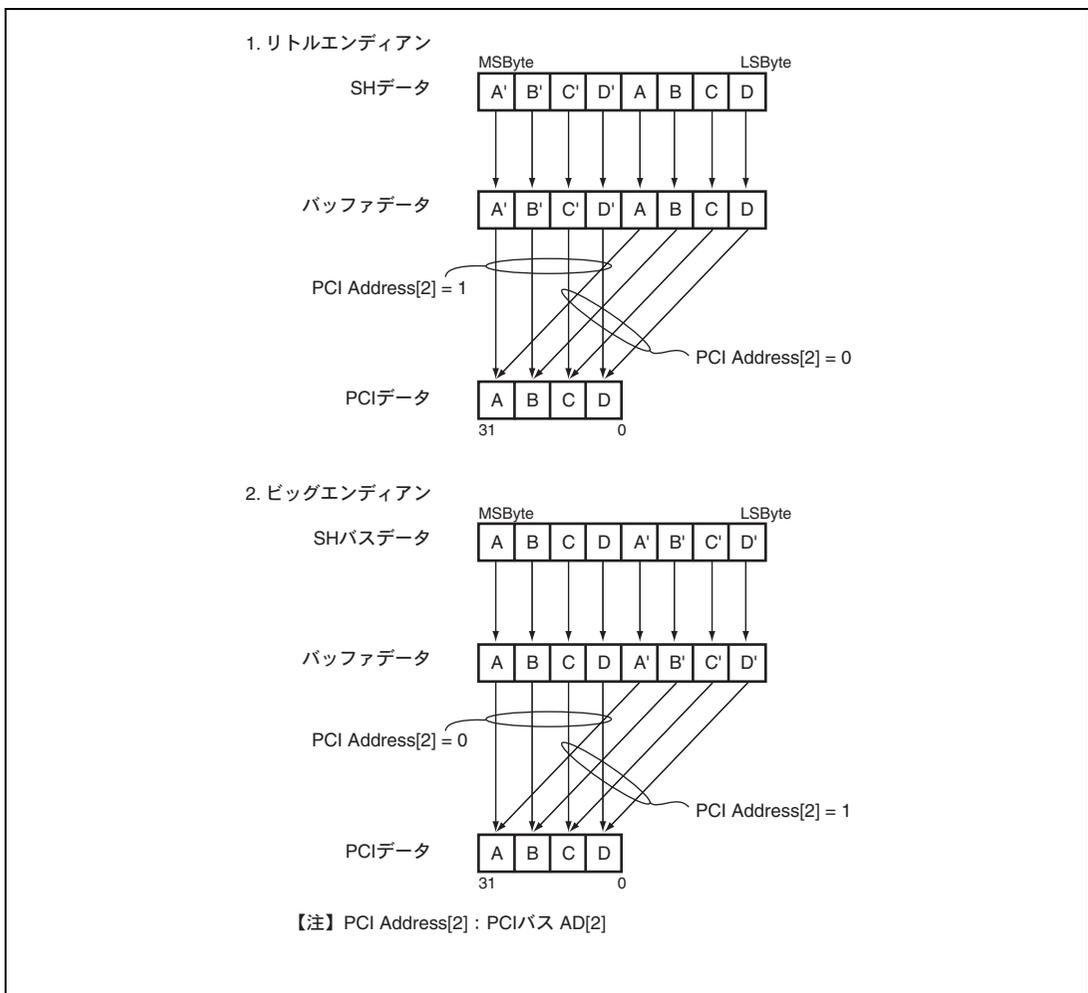


図13.7 SuperHyway バスから PCI ローカルバスへのエンディアン変換 (非スワップ : TBS=0)

### 13. PCI コントローラ (PCIC)

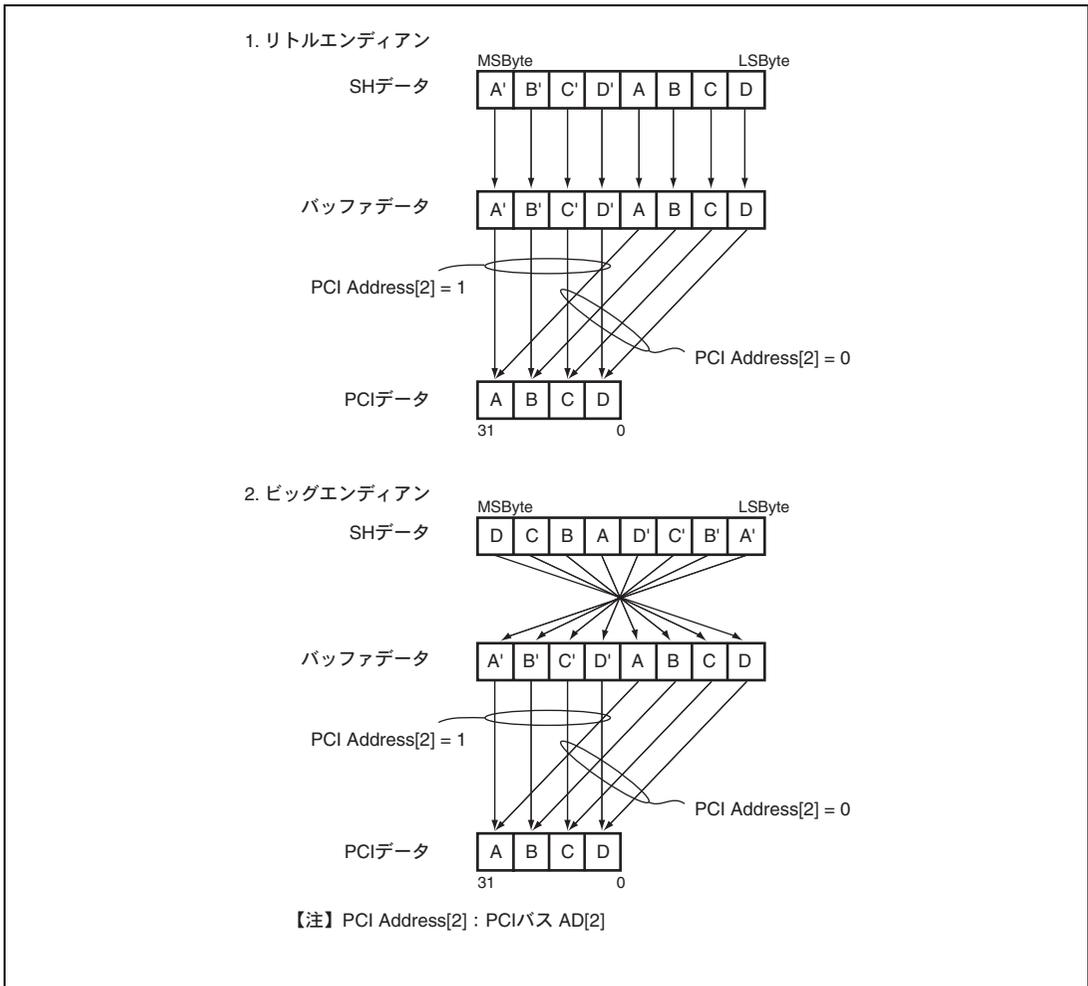


図13.8 SuperHyway バスから PCI ローカルバスへのエンディアン変換 (スワップ : TBS=1)

### 13.4.4 ターゲットアクセス

ここでは、PCIC が外部 PCI バスマスタによってどのようにアクセスされるかの概要を示します。ホストモードおよびノーマルモードの両方について説明します。

#### (1) 本 LSI メモリ空間へのアクセス

ここでは、外部 PCI バスマスタから本 LSI の PCIC へのアクセスについて説明します。

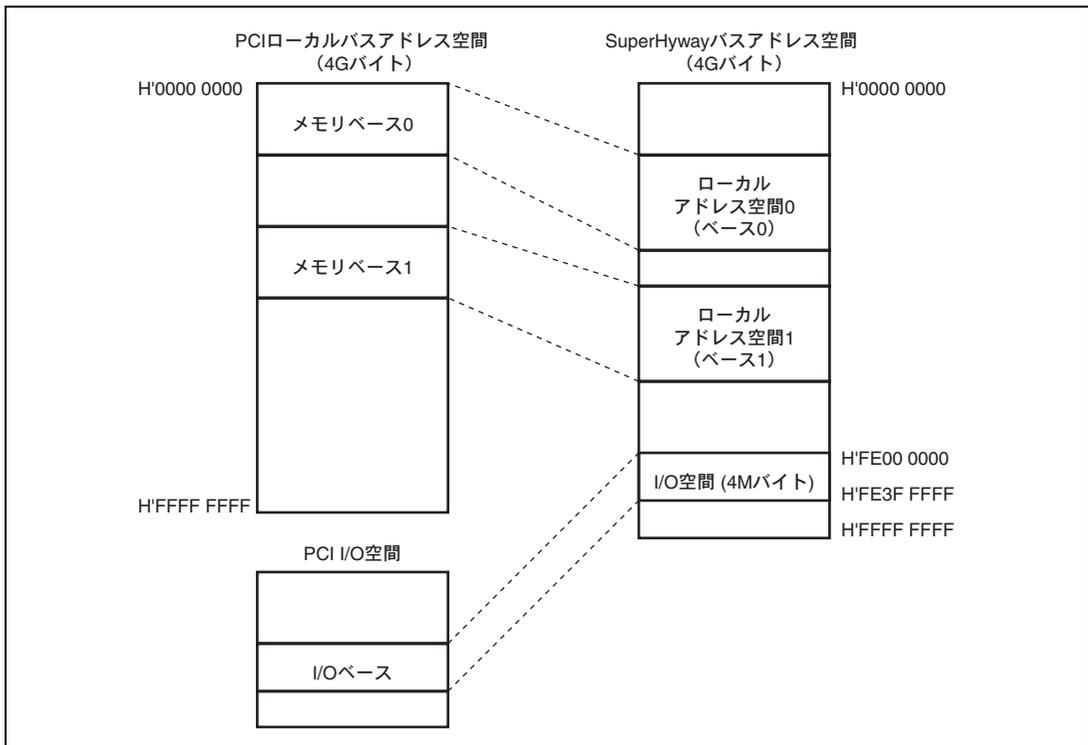


図13.9 PCI ローカルバスから SuperHyway バスへのメモリマップ

本 LSI の内部アドレス空間をアクセスするためには、PCI メモリベースアドレスレジスタ (PCIMBAR0/1)、PCI ローカルスペースレジスタ (PCILSR0/1)、および PCI ローカルアドレスレジスタ (PCILAR0/1) を使用してください。PCI アドレスの割り当てはソフトウェアによってプログラムします。PCIC には、ローカルアドレス空間 0 (ベース 0) とローカルアドレス空間 1 (ベース 1) の 2 種類のメモリマッピングのためのレジスタがあります。

これらのレジスタにより、2 種類の空間 (ベース) を割り当てることができます。

これらの空間の容量は、PCILSR0/1 (1M~512M バイト) により設定することができます。

PCI ターゲットメモリ転送のために、PCI バス上のシングルロングワード (32 ビット) およびバースト転送をサポートしています。

### 13. PCI コントローラ (PCIC)

PCIC 内部レジスタ (PCI コンフィグレーションレジスタ、PCI ローカルレジスタ) へのアクセスは後述のコンフィグレーションアクセスおよび I/O 空間へのアクセスを参照ください。

PCIバス上のアドレス空間の一定の範囲が SuperHyway バスアドレス空間上のローカルアドレス空間に対応します。本 LSI 内部のローカルアドレス空間 0 の制御を行うのが、PCIMBAR0、PCILSR0、PCILAR0 です。ローカルアドレス空間 1 の制御を行うのが、PCIMBAR1、PCILSR1、PCILAR1 です。図 13.10 に PCI バスから本 LSI の SuperHyway バスへのアドレス変換を示します。

PCIMBAR は外部 PCI デバイスが使用する PCI バス上のメモリ空間の先頭アドレスを示します。PCILAR は本 LSI のローカルアドレス空間の先頭アドレスを示します。PCILSR は外部 PCI デバイスが使用できるアドレス空間の容量を示します。

PCIMBAR と PCILAR は PCILSR に設定されたサイズ分より上位のアドレスビットが有効になります。PCIMBAR の上位ビットと外部 PCI デバイスが出力する PCI アドレスとが比較され、PCIC に対するアクセスかどうかの判定が行われます。アドレスが一致した場合には PCIC へのアクセスと判断され、PCILAR の上位ビットと、外部 PCI デバイスが出力する PCI アドレスの下位ビットによって、SuperHyway バスのローカルアドレスが生成されます。このアドレスに対し、PCI コマンド (メモリリード/ライト) が実行されます。外部 PCI デバイスが出力するアドレスの上位ビットが、PCIMBAR の上位ビットと一致しない場合には、PCIC は PCI コマンドに対し、応答しません。

以下の図では、SuperHyway バスを SH、PCI ローカルバスを PCI と表記しています。

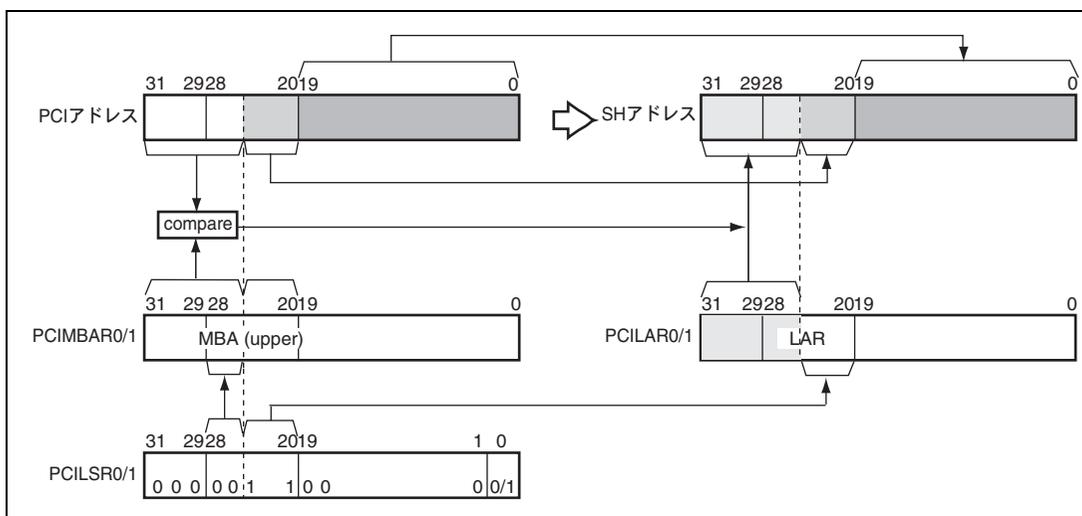


図13.10 PCI ローカルバスから SuperHyway バスへのアドレス変換

すべての PCILSR0/1.MBARE が 0 の場合には、PCI バスアドレスは、SuperHyway バスまで変更されずに転送されます。

PCIC ではメモリリードコマンドのためのデータのプリフェッチングをサポートしています。PCI バスからバーストリードを行うと、8 バイトまたは 32 バイト単位のブロック単位にプリフェッチされます (PCICR.PFCS および PCICR.PFE の設定によります)。

**(2) PCIC I/O 空間へのアクセス**

I/O アドレス空間は、256 バイトを割り当てる必要があります。

下位 8 ビット ([7:0]) が、SuperHyway バスに変更されずに送られます。

PCI アドレス[31:8]と PCI I/O ベースアドレスレジスタ[31:8](PCIIBAR)が一致すると、上位 24 ビットが H'FE0401 に置換され、PCI ローカルレジスタに対してアクセスを実行します。

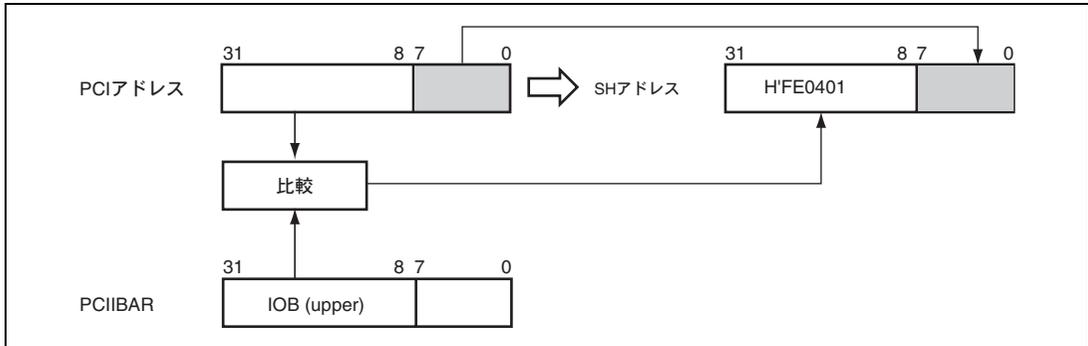


図13.11 PCI ローカルバスから SuperHyway バスへの I/O アクセス

**(3) PCIC 各レジスタへのアクセス**

- コンフィグレーションレジスタ

コンフィグレーションレジスタのリードまたはライトは、コンフィグレーションアクセスにてPCIアドレス+オフセットでアクセスしてください。シングルロングワードアクセスのみとなります。バースト転送は切斷され終了します。

- ローカルレジスタ

I/Oリードまたはライトコマンドを使用して、PCIアドレス+オフセットでアクセスしてください。

シングルロングワードアクセスのみとなります。バースト転送は切斷され終了します。

- コントロールレジスタ (PCIECR)

PCIバスからメモリリードまたはメモリライトコマンドを使用して、コントロールレジスタ空間へのリード/ライトは行わないでください。

**(4) 本 LSI へのアクセス**

- メモリ空間

「13.4.4 (1) 本LSIメモリ空間へのアクセス」を参照ください。アクセス可能な空間は本LSIメモリマップ上でエリア0~2、4~6およびDDR-SDRAM空間です。

- 内蔵I/O空間

PCIローカルバスからメモリリードまたはメモリライトコマンドを使用して、内蔵IO空間のリード/ライトは行わないでください。リード/ライト時の動作は保証しません。

## 13. PCI コントローラ (PCIC)

---

### (5) 排他的アクセス

PCI バス上のロックアクセスをサポートしています。

一度ロックされると、 $\overline{\text{LOCK}}$  をアサートした PCI デバイスからのみアクセスできます。

SuperHyway バス上のリソースロックは行いません（ロック転送中に他の内蔵モジュールによってアクセスは可能）。

### (6) エンディアン

本 LSI の PCIC は、ビッグおよびリトルエンディアンをサポートします。PCI バスはリトルエンディアンですので、PCIC はデータスワップおよびデータ非スワップをサポートします。

これらのエンディアンの設定は、PCI コントロールレジスタ (PCICR) の TBS ビットの設定によって行われます。

以下の図では、最上位バイトを MSByte (Most Significant Byte)、最下位バイトを LSByte (Least Significant Byte) と表記しています。

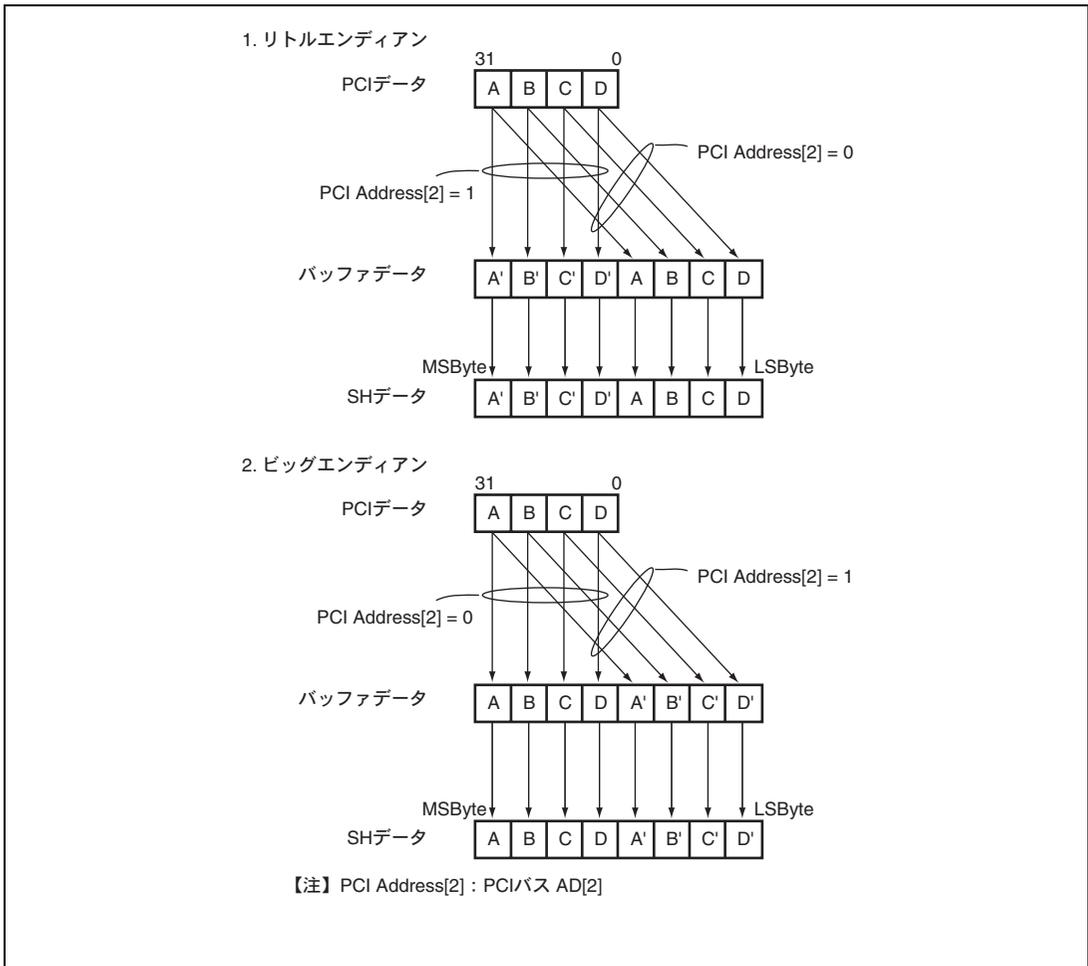


図13.12 PCI ローカルバスから SuperHyway バスへのエンディアン変換 (非スワップ : TBS=0)

### 13. PCI コントローラ (PCIC)

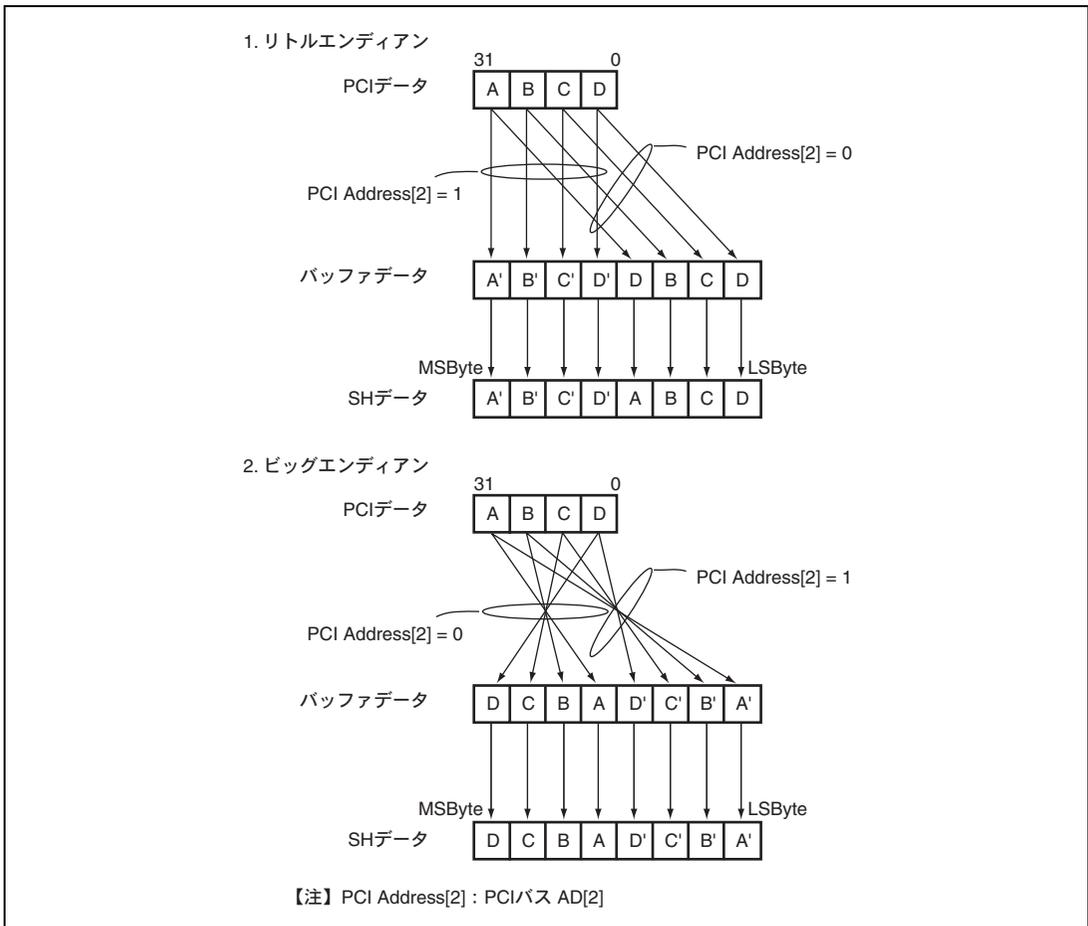


図13.13 PCI ローカルバスから SuperHyway バスへのエンディアン変換 (スワップ : TBS=1)

## (7) キャッシュコヒーレンシ

PCIC は、キャッシュスヌープ機能をサポートします。

PCIC が、ターゲットデバイスとして動作したときに、PCI バス上でマスタデバイスからのアクセスに対しキャッシュコヒーレンシを保証します（ホストモードおよびノーマルモード）。本 LSI のキャッシュ可能な領域をアクセスするときは、PCI キャッシュスヌープコントロールレジスタ 0/1（PCICSCR0/1）、PCI キャッシュスヌープアドレスレジスタ 0/1（PCICSAR0/1）を設定してください。

本機能を使用した場合の注意点を以下に示します。

- スヌープアドレスの設定は最大2条件設定できます。アドレスの比較は設定された2条件の論理和をとります。
- 本機能を使用した場合、アドレスヒットした場合のアクセス時に、CPUへキャッシュのフラッシュ/ページリクエストを実行後、メモリへのリード/ライトを実行します。そのためPCIバス上での転送性能およびCPUの処理性能を大幅に下げることになります。
- 本機能使用時にプリフェッチ機能を使用しないでください（PCICRのPFEビットを1にしないでください）。
- CPUがスリープ時には本機能を使用しないでください。CPUがスリープ状態のときにキャッシュヒットが発生した場合にはSuperHywayバス上でエラーアクセスとなり、メモリへのリード/ライトが実行されません。CPUをスリープする前には、PCICSCRのSNPMDビット（スヌープモード）に00（スヌープ機能オフ）を設定してください。また、CPUのスリープ前後でのコヒーレンシを保証する場合には、スリープ命令実行前にキャッシュのページを行ってください。
- 本機能と同時に以下の機能は使用しないでください。

エミュレータによるデバッグ機能（エミュレータ使用時は本機能をOFFにしてください）

DMACによるLRAM/メモリ割り付けキャッシュアレイへのアクセス

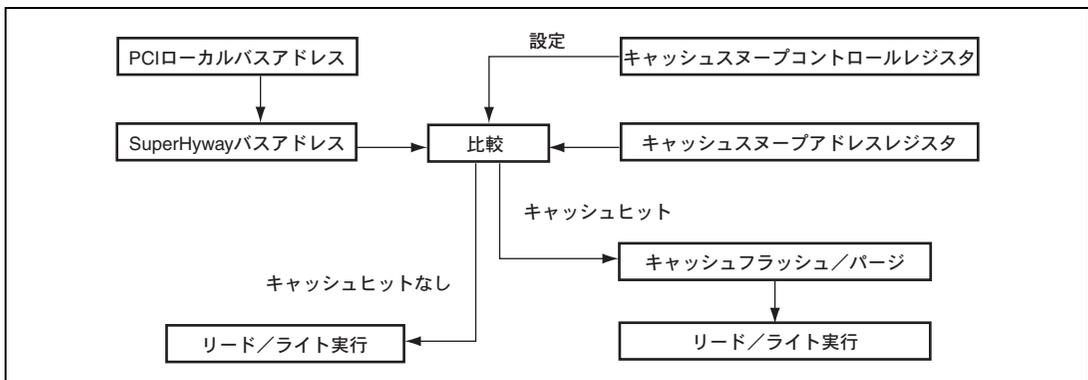


図13.14 PCI ローカルバスから SuperHyway バスへのキャッシュフラッシュ/ページ実行フロー

## 13. PCI コントローラ (PCIC)

### 13.4.5 ホストモード

#### (1) ホストモード時の動作

本 LSI の PCI インタフェースは PCI バージョン 2.2 のサブセットをサポートしており、PCI バスインタフェースを持つデバイスと接続できます。

PCIC がホストモードに設定されているときとノーマルモードに設定されているときでは、バスパーキングを PCIC が無条件に行うか否か、PCI バスのアービトレーション機能が有効か無効かの 2 点において動作が異なります。

またホストモードでは、PCI バス上の転送が行われていないときには、AD、CBE、PAR の各信号線は PCIC がドライブします。その後 PCIC がマスタとして転送を開始するときには、最低でもアドレスフェーズが終了するまで、これらの信号をドライブし続けます。PCIC 内のアービタと PCIC 間の REQ および GNT 信号は内部で接続されます。このとき  $\overline{\text{REQ0}}/\overline{\text{REQOUT}}$ 、 $\overline{\text{REQ1}}$ 、 $\overline{\text{REQ2}}$ 、 $\overline{\text{REQ3}}$  の各端子はそれぞれ外部のマスタ 0～マスタ 3 からの REQ 入力として、 $\overline{\text{GNT0}}/\overline{\text{GNTIN}}$ 、 $\overline{\text{GNT1}}$ 、 $\overline{\text{GNT2}}$ 、 $\overline{\text{GNT3}}$  の各端子はそれぞれ外部のマスタ 0～マスタ 3 への GNT 出力として動作します。PCIC を含め最大 5 マスタのアービトレーションが可能です。

#### (2) コンフィグレーションアクセス

コンフィグレーションメカニズム#1 は、それぞれコンフィグレーションアドレスレジスタおよびコンフィグレーションデータレジスタに対応する PCI PIO (Programmed I/O) アドレスレジスタ (PCIPAR) および PCI PIO データレジスタ (PCIPDR) をサポートします。

PCIPAR をセットし、PCIPDR をリードまたはライトすると、PCI バス上でコンフィグレーションサイクルが発行されます。タイプ 0 の転送では、ビット [10:2] は変化せずに PCI バスに送られます。しかし、AD[31:11] は IDSEL 信号として使用されるように変更されます。

デバイス番号を 0 にセットすると、AD16 は 1 になり、他は 0 になります。

デバイス番号を 1 にセットすると、AD17 は 1 になり、他は 0 になります。以降、同じようにデバイス番号を 2 にセットすると、AD18 は 1 になり、3 にセットすると AD19 が 1 に対応しており、デバイス番号を 16 にセットすると、AD31 は 1 になり、他は 0 になります。

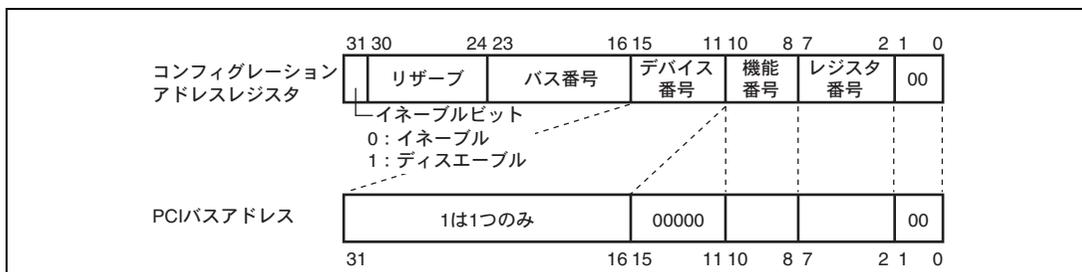


図13.15 タイプ 0 コンフィグレーションのアドレス発生

コンフィグレーションアクセスでは、PCI マスタアポート (デバイス未接続) は、割り込みを発生させません。コンフィグレーション書き込みは、正常に終了します。コンフィグレーション読み出しは、0 を返します。

### (3) スペシャルサイクルアクセス

PCIC がホストデバイスとして動作する場合には、PCIPAR に H'8000 FF00 を設定し、PCIPDR への書き込みを行うことでスペシャルサイクルを発行することができます。

### (4) アービトレーション

ホストモードでは、PCIC 内の PCI バスアービタが作動します。

4 種類の外部マスタをサポートします ( $\overline{\text{REQ}}_n$  と  $\overline{\text{GNT}}_n$  ペア 4 つ。n=0~3)。

2 つ以上のデバイスから同時にバスの使用が要求されている場合には、優先順位が高いデバイスのバス要求を許可します。

デバイスの優先順位を決定するために、PCI バスアービタは、固定優先順位と擬似ラウンドロビンの 2 モードをサポートします。2 つのモードはレジスタフィールド PCICR.BMAM によって選択します。

以下デバイス n は  $\overline{\text{REQ}}_n$  を使用する PCI デバイスを示します。

#### (a) 固定優先順位

PCICR.BMAM を 0 に設定してください。

デバイスの優先順位を以下のデフォルト値で固定します。

- PCIC > デバイス0 > デバイス1 > デバイス2 > デバイス3

PCIC は、他のデバイス以上にバスを優先的に使用することができます。

#### (b) 擬似ラウンドロビン

PCICR.BMAM を 1 に設定してください。

最後に許可されたデバイスが最下位の優先順位を割り当てます。

最初の優先順位は、固定優先順位モードと同じです。

デバイス 1 がバスおよび転送データを要求し許可した後に、優先順位は次のようになります。

- PCIC > デバイス0 > デバイス2 > デバイス3 > デバイス1

そして、PCIC がバスおよび転送データを要求し許可した後に、優先順位は次のようになります。

- デバイス0 > デバイス2 > デバイス3 > デバイス1 > PCIC

そして、デバイス 3 がバスおよび転送データを要求し許可した後に、優先順位は次のようになります。

- デバイス0 > デバイス2 > デバイス1 > PCIC > デバイス3

ホストモードでは、バスパーキングは常に PCIC によって行われます。

### 13. PCI コントローラ (PCIC)

#### (5) 割り込み

- PCICには、10種類の割り込みがあります（これらの信号は本LSIのINTCに接続しています）。
- 本LSI INTCにより、これらの割り込みの優先順位を許可／禁止および設定できます。
- PCICがノーマルモードで動作する場合に、PCIバス上のホストデバイスに対する割り込みとして、 $\overline{\text{INTA}}$ 出力が用意されています。 $\overline{\text{INTA}}$ は、PCIコントロールレジスタ (PCICR) のINTA出力ビット (IOCS) でアサート／ネゲートの制御を行うことができます。

表13.6 割り込み優先順位

名 称	割り込み要因	優先順位
PCISERR	ホストモードでの $\overline{\text{SERR}}$ アサート検出	高   低
PCIINTA	ホストモードでの $\overline{\text{INTA}}$ (PCI 割り込み A) アサート検出	
PCIINTB	ホストモードでの $\overline{\text{INTB}}$ (PCI 割り込み B) アサート検出	
PCIINTC	ホストモードでの $\overline{\text{INTC}}$ (PCI 割り込み C) アサート検出	
PCIINTD	ホストモードでの $\overline{\text{INTD}}$ (PCI 割り込み D) アサート検出	
PCIEER	PCI がエラー時、PCIIR と PCIAINT による (マスク可能)	
PCIPWD3	D3 へのパワーステート、PCIPINT による (マスク可能)	
PCIPWD2	D2 へのパワーステート、PCIPINT による (マスク可能)	
PCIPWD1	D1 へのパワーステート、PCIPINT による (マスク可能)	
PCIPWD0	D0 へのパワーステート、PCIPINT による (マスク可能)	

PCIC では PCI バス上で発生したエラー情報を保持しておく事ができます。PCI エラーアドレス情報レジスタ (PCIAIR) にエラー発生時のアドレスを、PCI エラーコマンド情報レジスタ (PCICIR) にエラー発生時の転送の種類およびコマンドの値が保持されます。また、PCIC がホストモードのときには PCI バスマスタエラー情報レジスタ (PCIBMIR) にエラー発生時のバスマスタ情報が保持されます。

各エラー情報の保持は、1つのエラー情報しか行われません。このためエラーが複数回発生した場合、最初のエラー情報のみ保持され、2つめ以降のエラー情報に関しては保持されません。エラー情報はパワーオンリセットによりクリアされます。

### 13.4.6 ノーマルモード (非ホストモード)

ノーマルモードでは、本 LSI の PCIC のバスアービタは動作しません。PCI バスアービトレーションは、外部 PCI バスアービタによって行われます。

ノーマルモードでは、バスパーキングを行うマスタは、外部のアービタによって出力される GNT 信号によって決められます。パーキングを行うマスタと、次に転送を始めるマスタが異なる場合、アドレスフェーズの前に最低 1 クロック期間のハイインピーダンス状態が生じます。

また、ノーマルモード時には、 $\overline{\text{GNT0}}/\overline{\text{GNT1N}}$  端子は PCIC の GNT 入力として、 $\overline{\text{REQ0}}/\overline{\text{REQ0UT}}$  端子は PCIC の REQ 出力として動作します。

### 13.4.7 パワーマネジメント

PCIC では、PCI のパワーマネジメント (レビジョン 1.1 のサブセットをサポート) に対応したコンフィグレーションレジスタをサポートします。サポートされている特長は以下の通りです。

- PCI のパワーマネジメント制御用コンフィグレーションレジスタをサポート
- PCI バス上のホストデバイスからのパワーダウン/復帰要求に応じた割り込みをサポート

PCI のパワーマネジメント制御用コンフィグレーションレジスタとして、以下の 7 つのレジスタがあります。PCI 拡張機能ポインタレジスタ (PCICP) はパワーマネジメント用コンフィグレーションレジスタに対するアドレスオフセットを示します。PCIC では PCICP は H40 (固定) です。PCI 拡張機能 ID レジスタ (PCICID)、PCI 次項目ポインタレジスタ (PCINIP)、PCI パワーマネジメントレジスタ (PCIPMC)、PCI パワーマネジメントコントロール/ステータスレジスタ (PCIPMCSR)、PCIPMCSR ブリッジサポート拡張レジスタ (PCIPMCSRSE)、PCI パワー消費/拡散データ (PCIPCDD) がパワーマネジメントレジスタで、パワーステート D0 (通常状態)、パワーステート D1 (バスアイドル)、パワーステート D2 (クロック停止)、パワーステート D3 (パワーダウン) の 4 つのステートをサポートします。

PCI バス上のパワーダウンステートの遷移図を図 13.16 に示します。

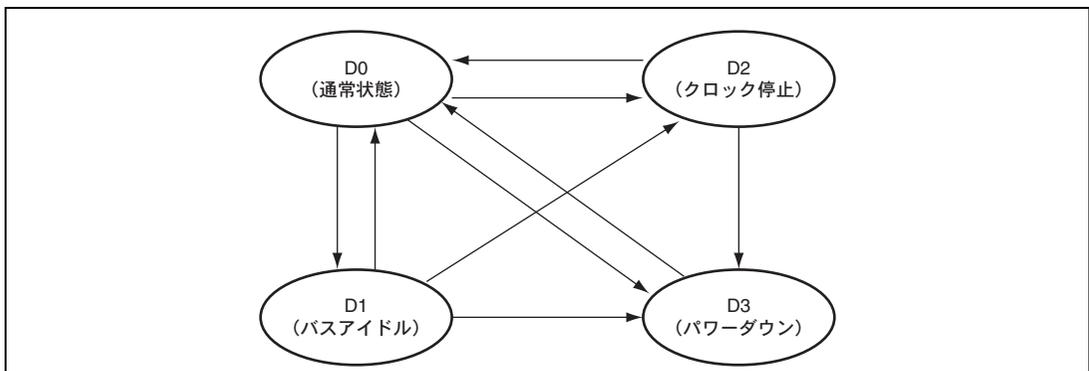


図 13.16 PCI バスパワーダウンステート遷移図

### 13. PCI コントローラ (PCIC)

---

PCICはPCIパワーマネジメントコントロール/ステータスレジスタのパワーステート (PS) ビットが変化したこと (外部PCIデバイスからのライト) を検出して、パワーマネジメント割り込みを発生します。パワーマネジメント割り込みを制御するために、PCIパワーマネジメント割り込みレジスタ (PCIPINT)、PCIパワーマネジメント割り込みマスクレジスタ (PCIPINTM) が用意されています。パワーマネジメント割り込みとしては、パワーステートD1/D2/D3からD0への遷移を検出するパワーステートD0 (PCIPWD0) 割り込み、パワーステートD0からD1への遷移を検出するパワーステートD1 (PCIPWD1) 割り込み、パワーステートD0/D1からD2への遷移を検出するパワーステートD2 (PCIPWD2) 割り込み、パワーステートD0/D1/D2からD3への遷移を検出するパワーステートD3 (PCIPWD3) 割り込みが用意されています。各パワーステート割り込みごとに割り込みマスクを設定できます。

パワーオンリセット時は、パワーステートD0割り込みは発生しません。

PCICがノーマルモードで動作し、外部のホストデバイスからパワーダウン割り込みを受け付ける場合には、以下の点に注意してください。

PCIのパワーマネジメントでは、ホストデバイスはパワーステートD3への遷移を指示してから、最速16クロックでPCIバスクロックを停止します。そのため、パワーステートD3割り込みの検出後は、CPUとPCIバスの両方からアクセス可能なPCIC内のローカルレジスタ、コンフィグレーションレジスタおよびPCIバスへのアクセス (I/O およびメモリ空間) に対してリード/ライトを実行しないでください。これらのアクセス制御はPCIバスクロックで動作しているため、アクセスの途中でこのクロックが停止した場合、リード/ライトサイクルが終了せず、SuperHywayバス上でハングアップしてしまいます。

### 13.4.8 PCI バス基本インタフェース

本 LSI の PCIC は PCI バージョン 2.2 のサブセットをサポートしており、PCI バスインタフェースを持つデバイスと接続できます。以下、各動作モードでの動作タイミングを示します。

#### (1) マスタリード/ライトサイクルのタイミング

図 13.17 にホストモードでのシングルライトサイクル例を、図 13.18 にホストモードでのシングルリードサイクル例を、図 13.19 にノーマルモード時のバーストライトサイクル例を、図 13.20 にノーマルモード時のバーストリードサイクル例を示します。ただし  $\overline{\text{DEVSEL}}$ 、 $\overline{\text{TRDY}}$  の応答速度は接続されたターゲットデバイスにより異なります。ホストモード時のマスタアクセスは、必ずシングルリード/ライトサイクルになります。コンフィグレーション転送の発行はホストモードでのみ可能です。

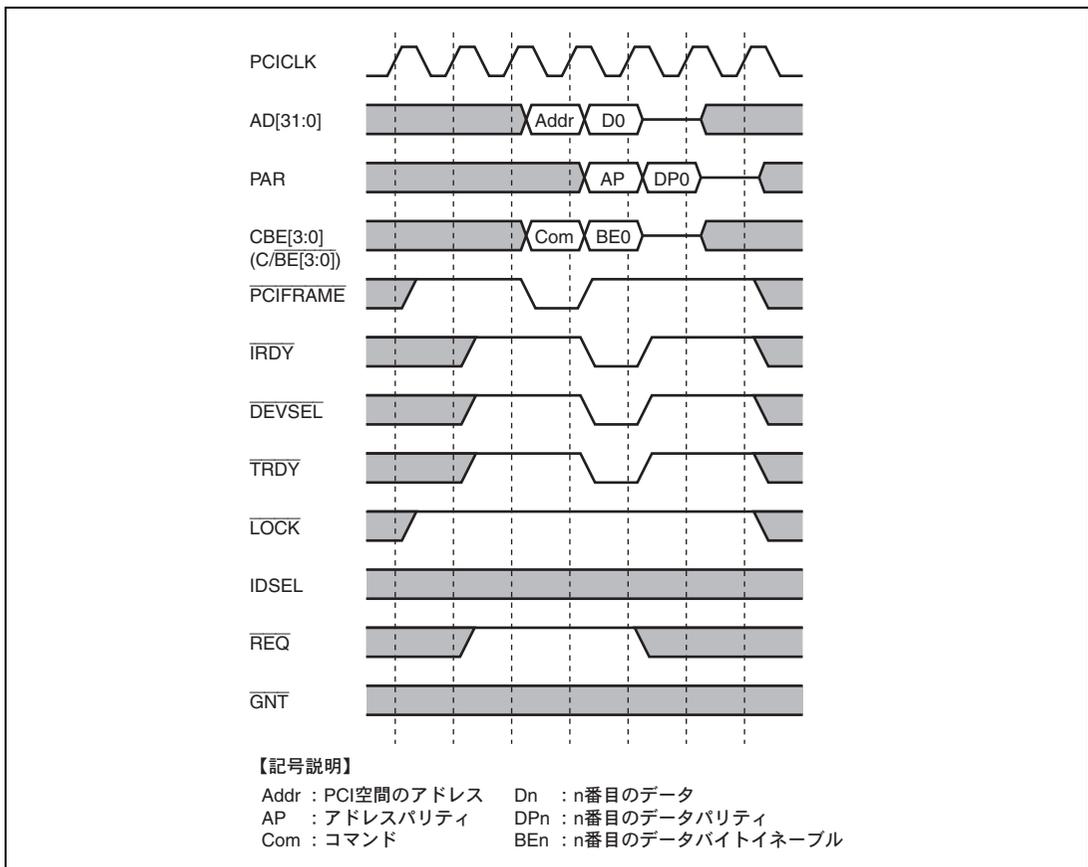


図13.17 ホスト時マスタライトサイクル (シングル)

### 13. PCI コントローラ (PCIC)

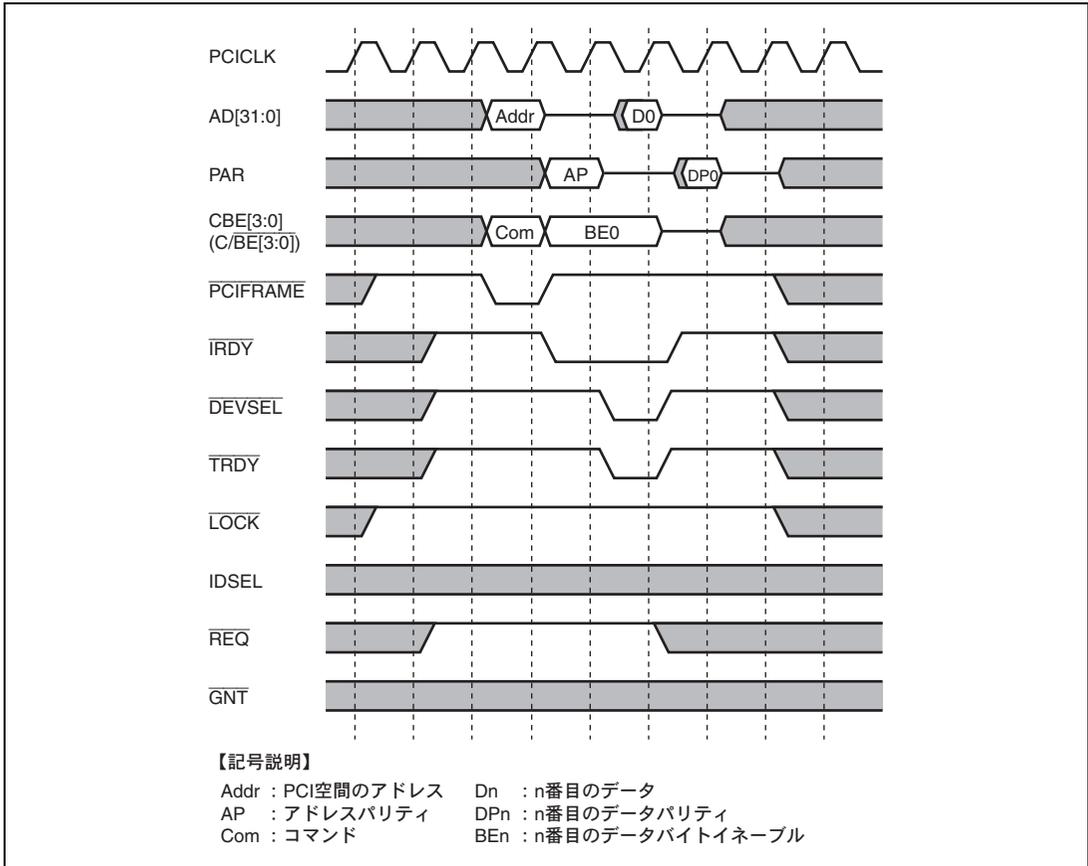


図13.18 ホスト時マスタリードサイクル (シングル)

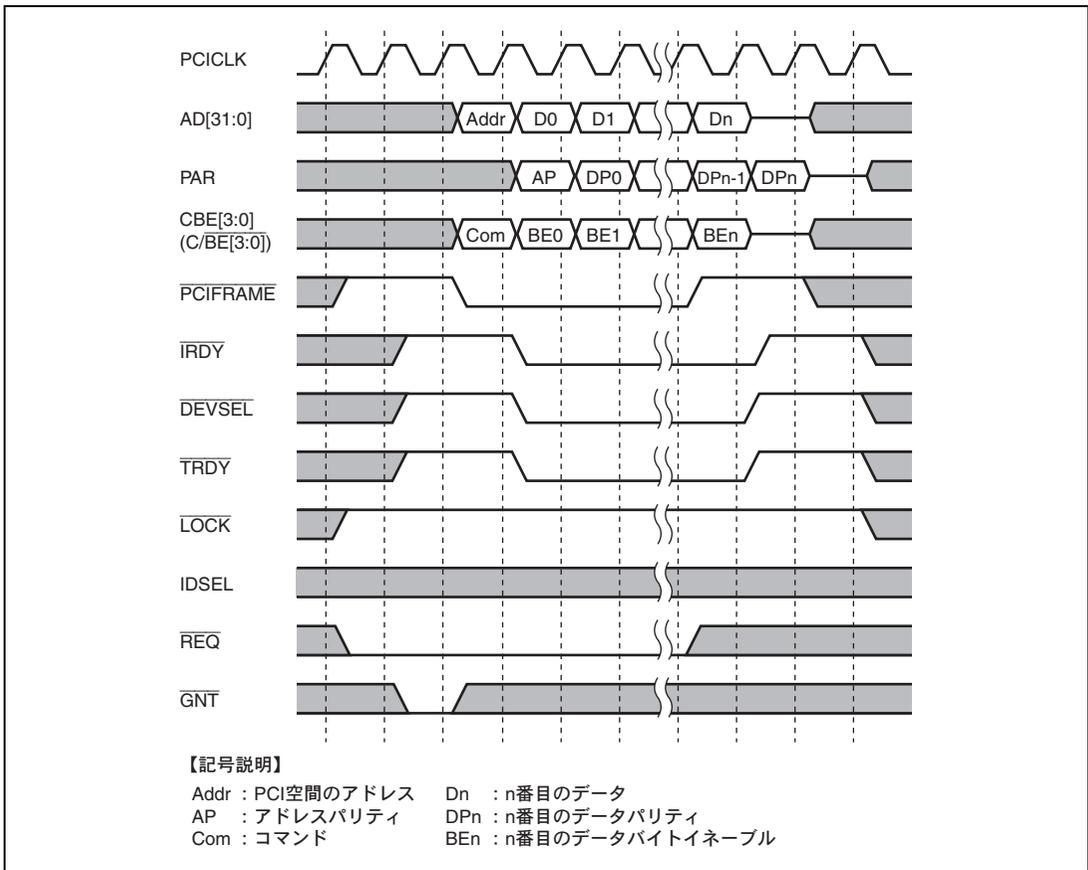


図13.19 ノーマル時マスタライトサイクル (バースト)

### 13. PCI コントローラ (PCIC)

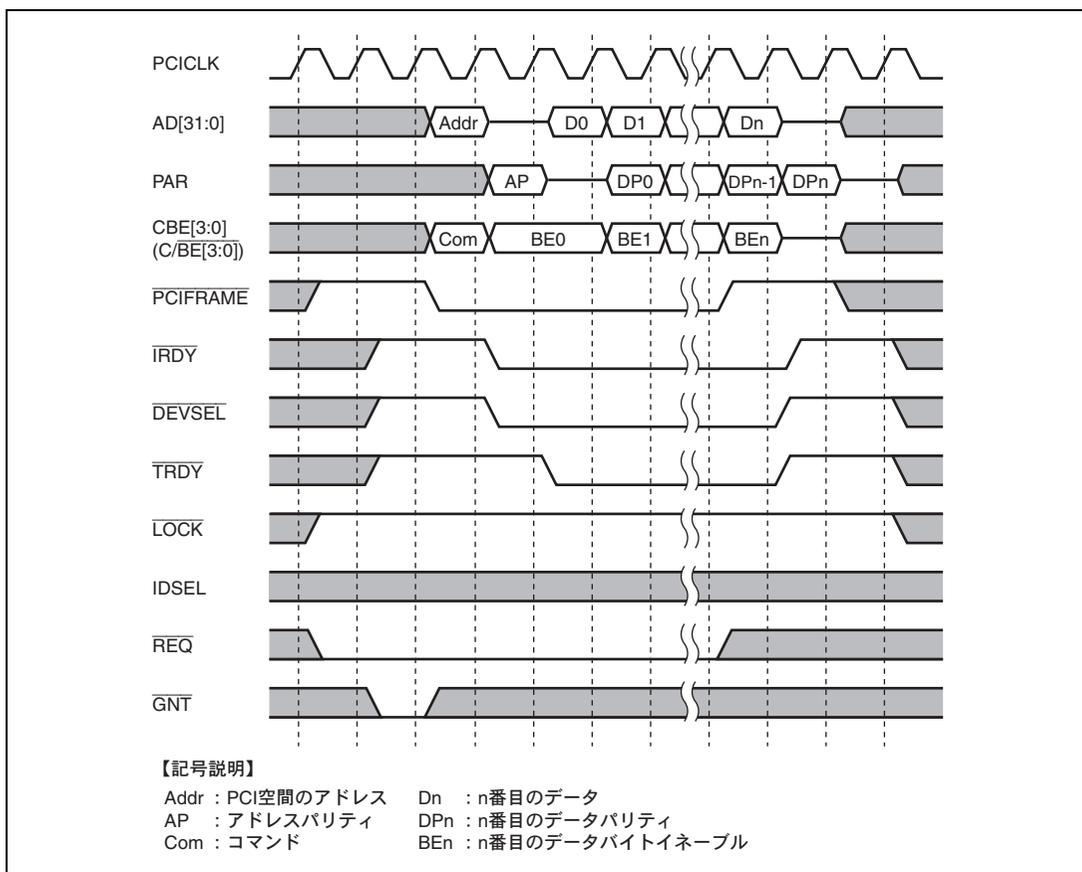


図13.20 ノーマル時マスタリードサイクル (バースト)

#### (2) ターゲットリード/ライトサイクルのタイミング

PCIC は、外部マスタからのターゲットメモリバーストリードアクセスに対して、PCIC 内部の FIFO に 8 ロングワードのデータが準備できるまでリトライで応答します。つまり初めてのターゲットメモリバーストリードアクセスには必ずリトライで応答します。シングルメモリリードアクセスに対しては、データが準備でき次第応答します。

また、PCIC に対するターゲットメモリライトアクセスがあった場合、ライトされたデータがローカルメモリに完全に書き込まれるまでは、ターゲットメモリライトしたデータを直後にターゲットリードする場合、そのデータの内容は保証されません。

コンフィグレーション空間および I/O 空間に対するターゲットアクセスはシングル転送のみです。バーストアクセス要求があった場合には、1 つ目の転送が終了した時点でディスコネクトします。なお、PCIC に対するターゲットアクセスでは、 $\overline{\text{DEVSEL}}$  の応答速度は 2 クロック (中速) に固定されています。

図 13.21 にノーマルモードでのターゲットシングルリードサイクル例を、図 13.22 にノーマルモードでのターゲットシングルライトサイクル例を、図 13.23 にホストモードでのターゲットバーストリードサイクル例を、図 13.24 にホストモードでのターゲットバーストライトサイクル例を示します。

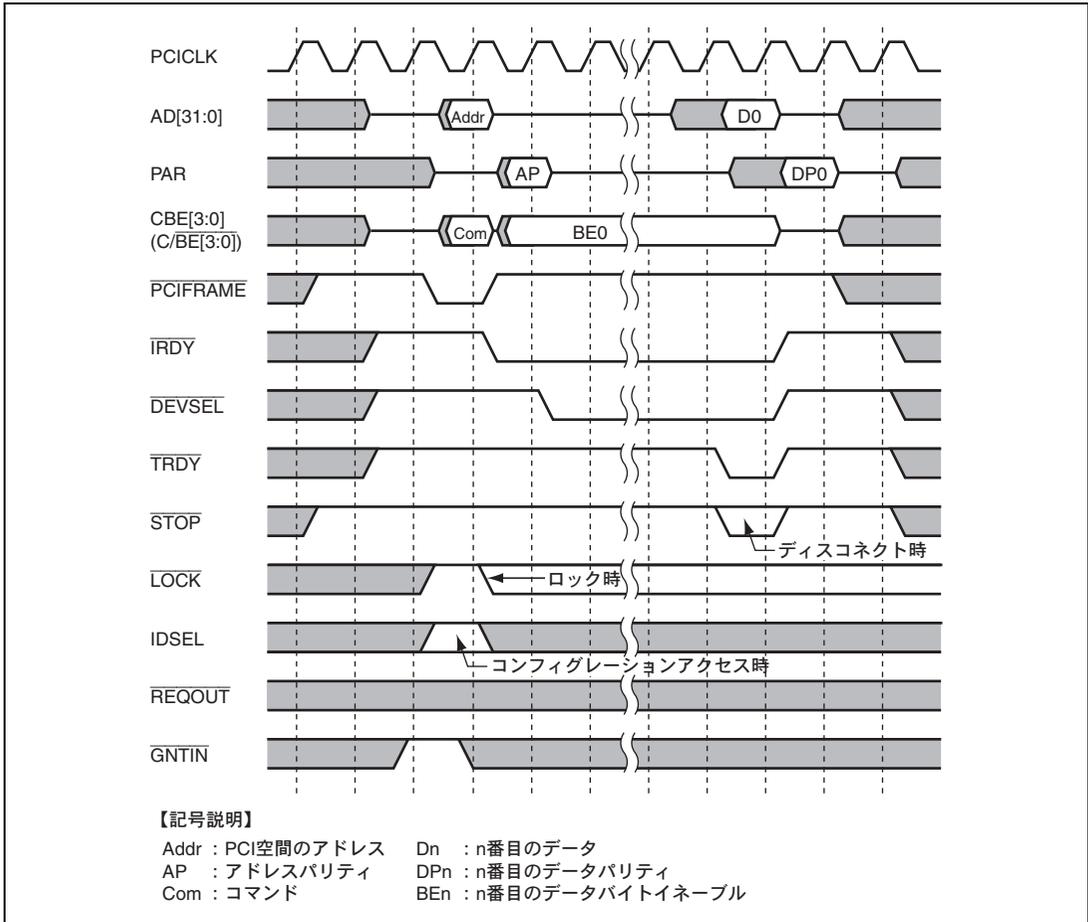


図13.21 ノーマル時ターゲットリードサイクル (シングル)

### 13. PCI コントローラ (PCIC)

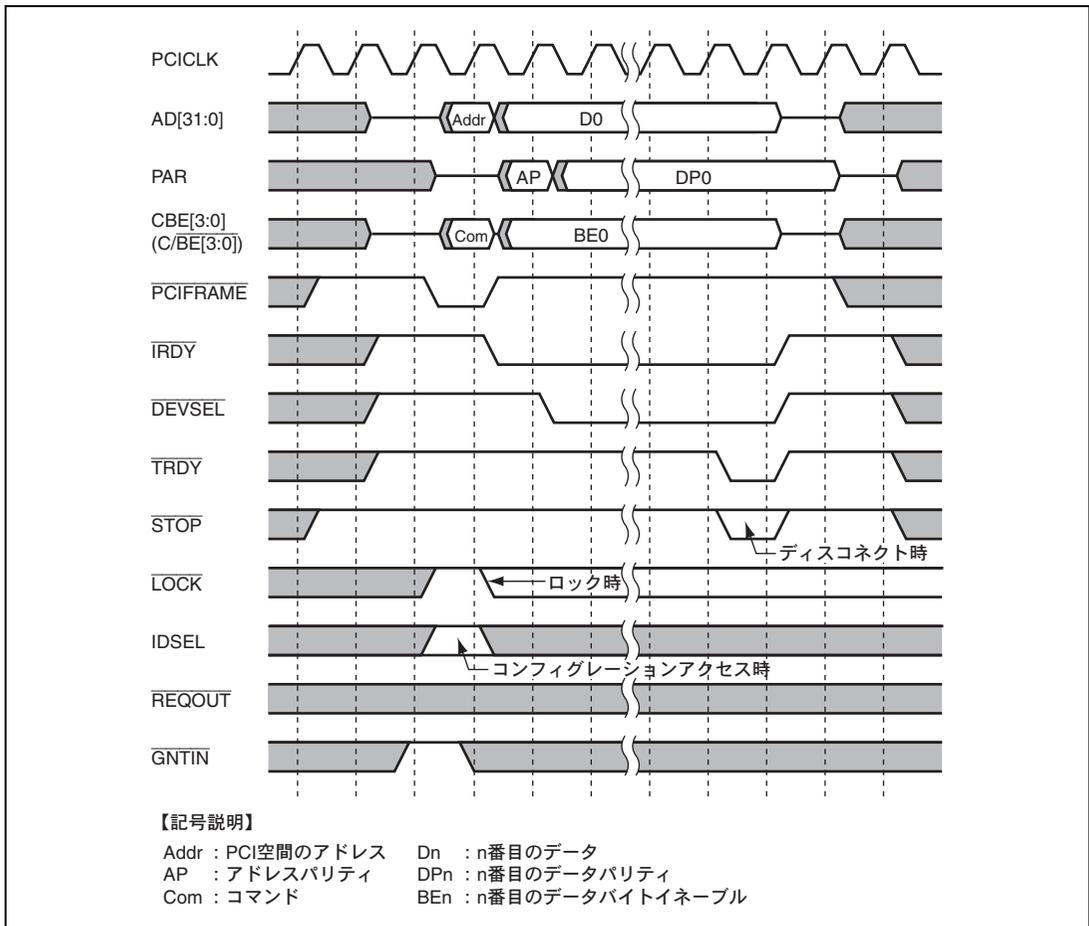


図13.22 ノーマル時ターゲットライトサイクル (シングル)

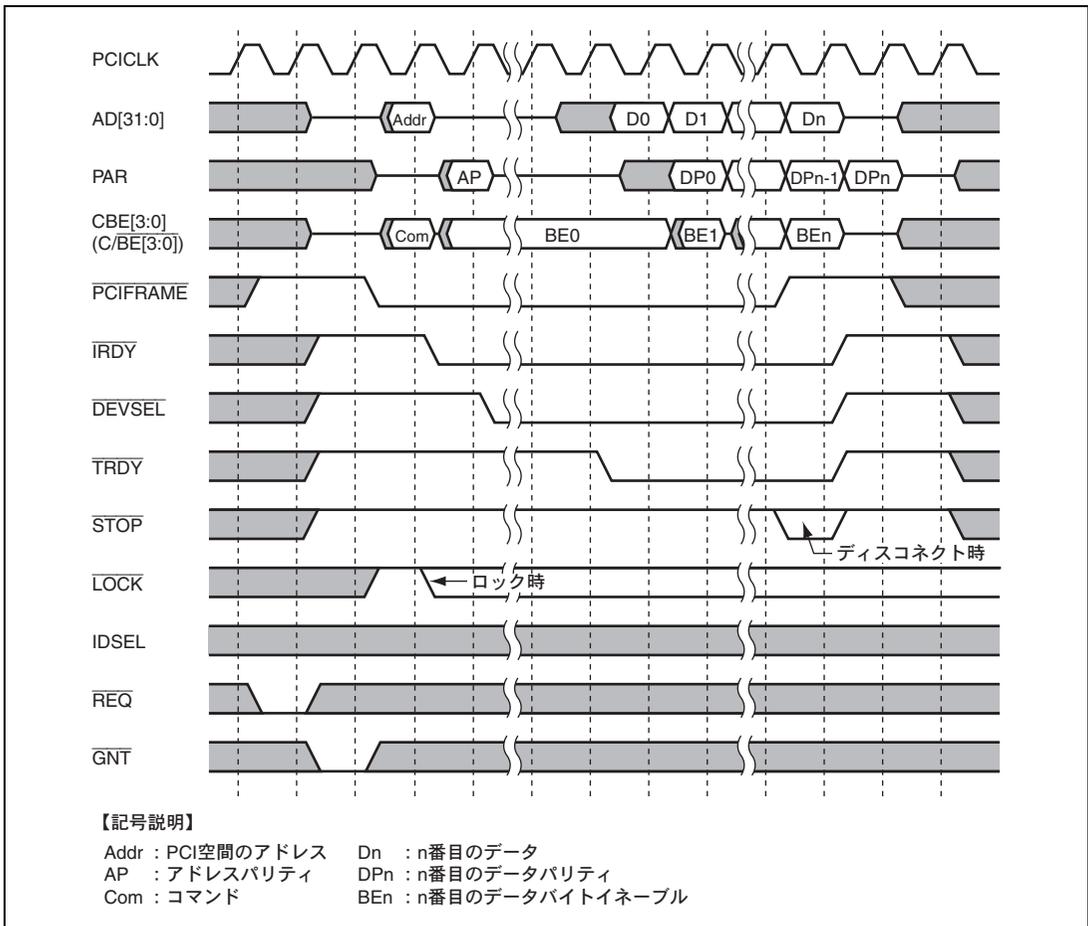


図13.23 ホスト時ターゲットメモリリードサイクル (バースト)

### 13. PCI コントローラ (PCIC)

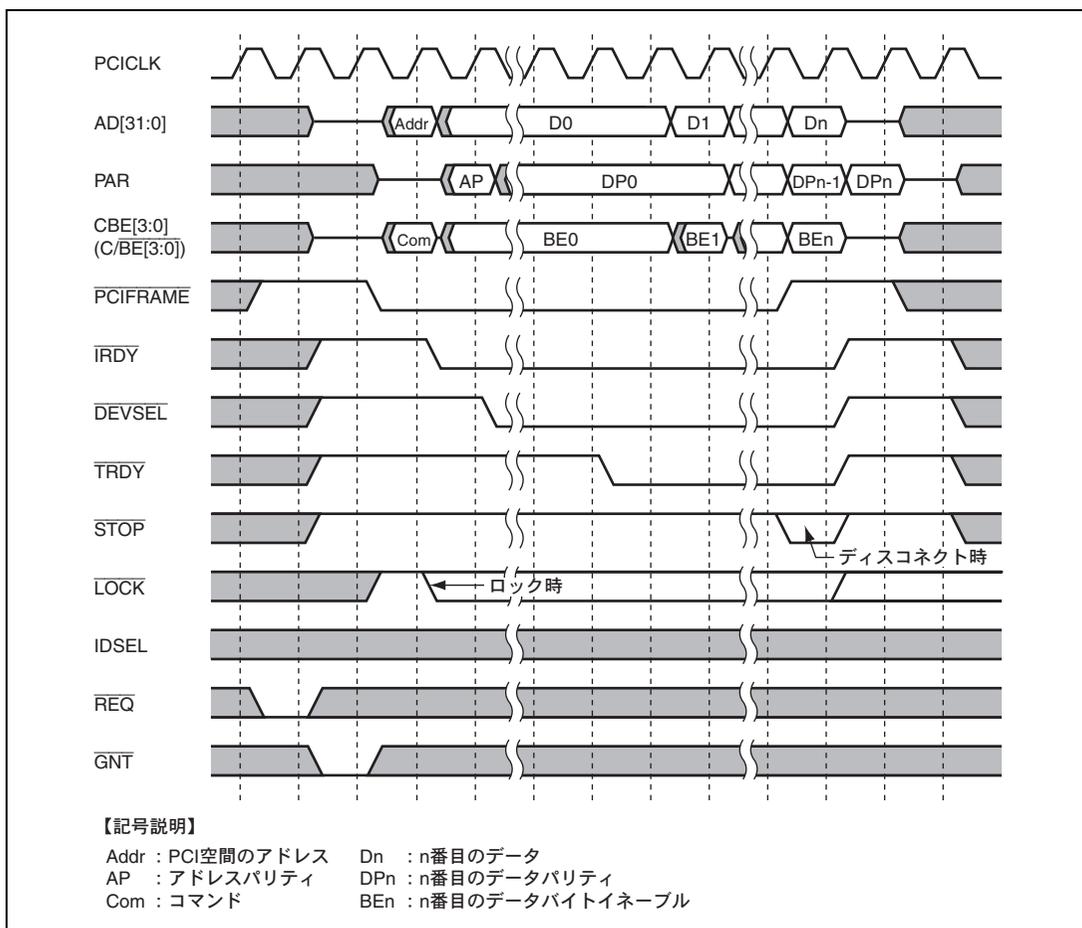


図13.24 ホスト時ターゲットメモリアイトサイクル (バースト)

#### (3) アドレス/データステッピングのタイミング

PCICは、PCICMDレジスタのWCCビットを1にすることにより、PCICがADバスをドライブする際、1クロックのウェイト(ステッピング)を挿入することができます。これにより、PCICは2クロックかけてADバスをドライブすることになります。PCIバスの負荷が重く、1クロックでADバスが規定の論理レベルに達しない環境で使用します。また、PCICがホストモード時、コンフィグレーション転送を発行する際にも、使用することを推奨します。

図13.25にアドレスステッピングありの場合のバーストメモリアイトサイクル例を、図13.26にアドレスステッピングありの場合のターゲットバーストリードサイクル例を示します。

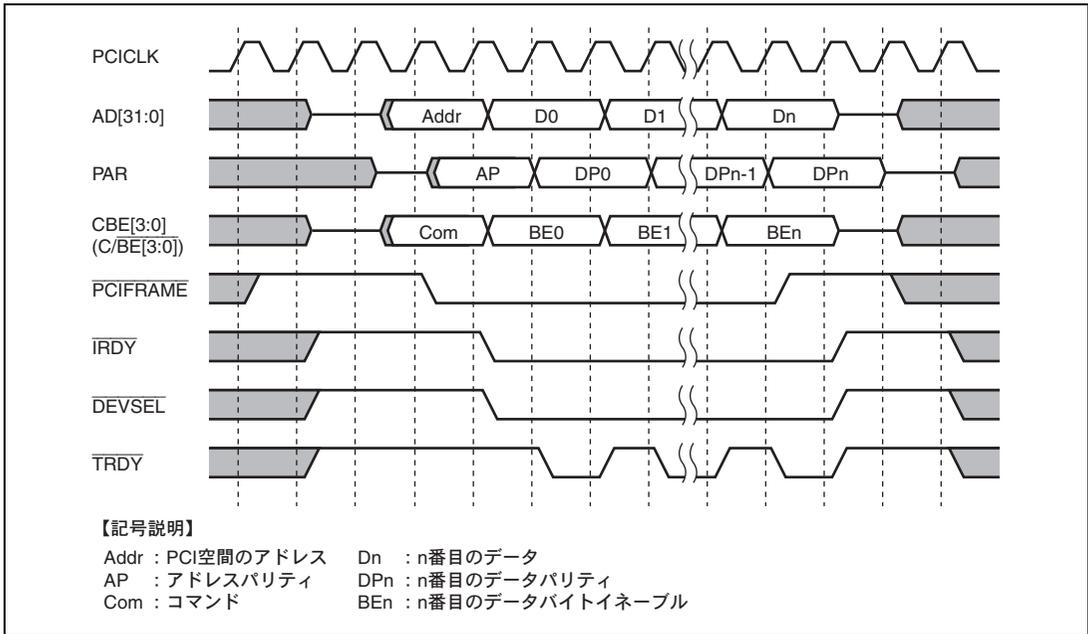


図13.25 ホスト時マスタライトサイクル (バースト、ステッピングあり)

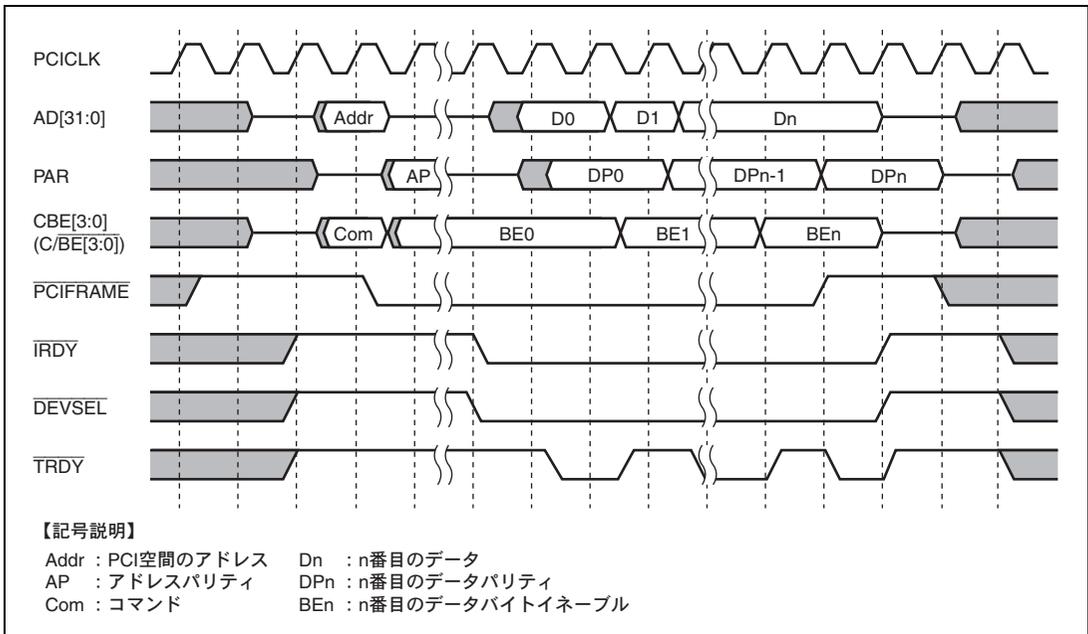


図13.26 ホスト時ターゲットメモリアドレスリードサイクル (バースト、ステッピングあり)



---

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

---

本 LSI は、ダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (DMA 転送終了通知) 付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、周辺モジュール間のデータ転送を、CPU に代わって高速に行うことができます。

### 14.1 特長

- チャンネル数：12チャンネル (うちチャンネル0~3は外部リクエスト受け付け可能)
- アドレス空間：アーキテクチャ上は4Gバイト
- 転送データ長：バイト、ワード (2バイト)、ロングワード (4バイト)、16バイト、32バイト
- 最大転送回数：16,777,216回
- アドレスモード：デュアルアドレスモード
- 転送要求：  
外部リクエスト (チャンネル0~3)、周辺モジュールリクエスト (チャンネル0~5)、オートリクエストの3種類から選択可能。  
周辺モジュールリクエストを発行できるものは以下のモジュールです。  
SCIF0、SCIF1、HAC、HSPI、SIOF、SSI、FLCTL、MMCIF
- バスモード：  
サイクルスチールモード (通常モードとインタミットモード) とバーストモードから選択可能
- 優先順位：チャンネル優先順位固定モードとラウンドロビンモードから選択可能
- 割り込み要求：データ転送ハーフエンド時およびデータ転送終了時、また、アドレスエラー発生時にCPUへ割り込み要求を発生可能
- 外部リクエスト検出：DREQ入力のロー/ハイレベル検出、立ち上がり/立ち下がりエッジ検出から選択可能 (初期値：ローレベル検出)
- DMA転送終了通知信号：DACK、DRAKはそれぞれ独立にアクティブレベルを設定可能 (初期値：ローアクティブ)

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

DMAC のブロック図を図 14.1 に示します。

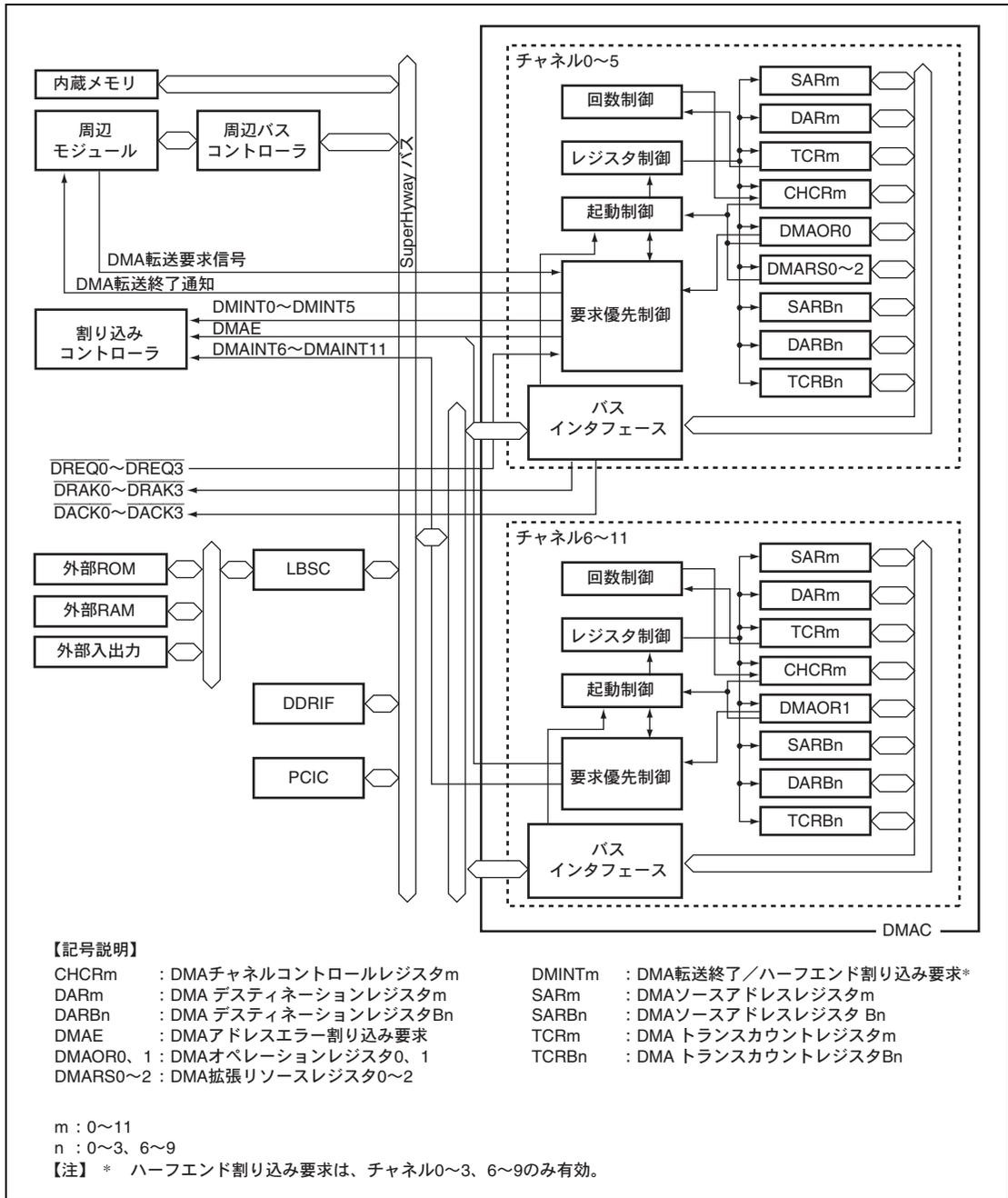


図14.1 DMAC ブロック図

## 14.2 入出力端子

DMAC 関係の外部端子を以下に示します。

外部バスに接続する端子の構成を表 14.1 に示します。DMAC としては、外部バス用に 4 チャンネル分の端子 (チャンネル 0~3) を持ちます。

表14.1 外部バスに対する端子構成

チャンネル	端子名	機能	入出力	説明
0	DREQ0 <sup>*1*</sup> <sup>9</sup>	DMA 転送要求	入力	外部デバイスからチャンネル 0 への DMA 転送要求入力
	DRAK0 <sup>*2*</sup> <sup>4</sup>	DREQ 受け付け確認	出力	チャンネル 0 から外部デバイスへの DMA 転送要求受け付け、実行開始を外部デバイスへ通知
	DACK0 <sup>*2*</sup> <sup>5</sup>	DMA 転送終了通知	出力	チャンネル 0 から外部デバイスへの DMA 転送要求に対するストローブを出力
1	DREQ1 <sup>*1*</sup> <sup>6</sup>	DMA 転送要求	入力	外部デバイスからチャンネル 1 への DMA 転送要求入力
	DRAK1 <sup>*2*</sup> <sup>7</sup>	DREQ 受け付け確認	出力	チャンネル 1 から外部デバイスへの DMA 転送要求受け付け、実行開始を外部デバイスへ通知
	DACK1 <sup>*2*</sup> <sup>8</sup>	DMA 転送終了通知	出力	チャンネル 1 から外部デバイスへの DMA 転送要求に対するストローブを出力
2	DREQ2 <sup>*1*</sup> <sup>9</sup>	DMA 転送要求	入力	外部デバイスからチャンネル 2 への DMA 転送要求入力
	DRAK2 <sup>*2*</sup> <sup>10</sup>	DREQ 受け付け確認	出力	チャンネル 2 から外部デバイスへの DMA 転送要求受け付け、実行開始を外部デバイスへ通知
	DACK2 <sup>*2*</sup> <sup>11</sup>	DMA 転送終了通知	出力	チャンネル 2 から外部デバイスへの DMA 転送要求に対するストローブを出力
3	DREQ3 <sup>*1*</sup> <sup>12</sup>	DMA 転送要求	入力	外部デバイスからチャンネル 3 への DMA 転送要求入力
	DRAK3 <sup>*2*</sup> <sup>13</sup>	DREQ 受け付け確認	出力	チャンネル 3 から外部デバイスへの DMA 転送要求受け付け、実行開始を外部デバイスへ通知
	DACK3 <sup>*2*</sup> <sup>14</sup>	DMA 転送終了通知	出力	チャンネル 3 から外部デバイスへの DMA 転送要求に対するストローブを出力

【注】 \*1 初期値はローレベル検出です。

\*2 初期値はローアクティブです。

\*3 ポート K7 (GPIO) とマルチプレクスされています。

\*4 MODE2、ポート L1 (GPIO) とマルチプレクスされています。

\*5 MODE0、ポート L3 (GPIO) とマルチプレクスされています。

\*6 ポート K6 (GPIO) とマルチプレクスされています。

\*7 MODE7、ポート L0 (GPIO) とマルチプレクスされています。

\*8 MODE1、ポート L2 (GPIO) とマルチプレクスされています。

\*9  $\overline{\text{INTB}}$ 、AUDATA0、ポート K5 (GPIO) とマルチプレクスされています。

\*10  $\overline{\text{CE2A}}$ 、AUDCK、ポート K1 (GPIO) とマルチプレクスされています。

\*11  $\overline{\text{MRESETOUT}}$ 、AUDATA2、ポート K3 (GPIO) とマルチプレクスされています。

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

---

- \*12  $\overline{\text{INTC}}$ 、AUDATA1、ポート K4 (GPIO) とマルチプレクスされています。
- \*13  $\overline{\text{CE2B}}$ 、AUDSYNC、ポート K0 (GPIO) とマルチプレクスされています。
- \*14  $\overline{\text{IRQOUT}}$ 、AUDATA3、ポート K2 (GPIO) とマルチプレクスされています。

### 14.3 レジスタの説明

DMAC のレジスタ構成を表 14.2 に示します。また、各処理モードにおけるレジスタの状態を表 14.3 に示します。

表14.2 レジスタ構成

チャンネル	名 称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ <sup>*3</sup>
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	H'FC80 8020	H'1C80 8020	32
	DMA デスティネーションアドレスレジスタ 0	DAR0	R/W	H'FC80 8024	H'1C80 8024	32
	DMA トランスファカウントレジスタ 0	TCR0	R/W	H'FC80 8028	H'1C80 8028	32
	DMA チャンネルコントロールレジスタ 0	CHCR0	R/W <sup>*1</sup>	H'FC80 802C	H'1C80 802C	32
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	H'FC80 8030	H'1C80 8030	32
	DMA デスティネーションアドレスレジスタ 1	DAR1	R/W	H'FC80 8034	H'1C80 8034	32
	DMA トランスファカウントレジスタ 1	TCR1	R/W	H'FC80 8038	H'1C80 8038	32
	DMA チャンネルコントロールレジスタ 1	CHCR1	R/W <sup>*1</sup>	H'FC80 803C	H'1C80 803C	32
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	H'FC80 8040	H'1C80 8040	32
	DMA デスティネーションアドレスレジスタ 2	DAR2	R/W	H'FC80 8044	H'1C80 8044	32
	DMA トランスファカウントレジスタ 2	TCR2	R/W	H'FC80 8048	H'1C80 8048	32
	DMA チャンネルコントロールレジスタ 2	CHCR2	R/W <sup>*1</sup>	H'FC80 804C	H'1C80 804C	32
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	H'FC80 8050	H'1C80 8050	32
	DMA デスティネーションアドレスレジスタ 3	DAR3	R/W	H'FC80 8054	H'1C80 8054	32
	DMA トランスファカウントレジスタ 3	TCR3	R/W	H'FC80 8058	H'1C80 8058	32
	DMA チャンネルコントロールレジスタ 3	CHCR3	R/W <sup>*1</sup>	H'FC80 805C	H'1C80 805C	32
0~5 共通	DMA オペレーションレジスタ 0	DMAOR0	R/W <sup>*2</sup>	H'FC80 8060	H'1C80 8060	16
4	DMA ソースアドレスレジスタ 4	SAR4	R/W	H'FC80 8070	H'1C80 8070	32
	DMA デスティネーションアドレスレジスタ 4	DAR4	R/W	H'FC80 8074	H'1C80 8074	32
	DMA トランスファカウントレジスタ 4	TCR4	R/W	H'FC80 8078	H'1C80 8078	32
	DMA チャンネルコントロールレジスタ 4	CHCR4	R/W <sup>*1</sup>	H'FC80 807C	H'1C80 807C	32
5	DMA ソースアドレスレジスタ 5	SAR5	R/W	H'FC80 8080	H'1C80 8080	32
	DMA デスティネーションアドレスレジスタ 5	DAR5	R/W	H'FC80 8084	H'1C80 8084	32
	DMA トランスファカウントレジスタ 5	TCR5	R/W	H'FC80 8088	H'1C80 8088	32
	DMA チャンネルコントロールレジスタ 5	CHCR5	R/W <sup>*1</sup>	H'FC80 808C	H'1C80 808C	32
0	DMA ソースアドレスレジスタ B0	SARB0	R/W	H'FC80 8120	H'1C80 8120	32
	DMA デスティネーションアドレスレジスタ B0	DARB0	R/W	H'FC80 8124	H'1C80 8124	32
	DMA トランスファカウントレジスタ B0	TCRB0	R/W	H'FC80 8128	H'1C80 8128	32
1	DMA ソースアドレスレジスタ B1	SARB1	R/W	H'FC80 8130	H'1C80 8130	32
	DMA デスティネーションアドレスレジスタ B1	DARB1	R/W	H'FC80 8134	H'1C80 8134	32
	DMA トランスファカウントレジスタ B1	TCRB1	R/W	H'FC80 8138	H'1C80 8138	32

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

チャンネル	名 称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ*3
2	DMA ソースアドレスレジスタ B2	SARB2	R/W	H'FC80 8140	H'1C80 8140	32
	DMA デスティネーションアドレスレジスタ B2	DARB2	R/W	H'FC80 8144	H'1C80 8144	32
	DMA トランスファカウントレジスタ B2	TCRB2	R/W	H'FC80 8148	H'1C80 8148	32
3	DMA ソースアドレスレジスタ B3	SARB3	R/W	H'FC80 8150	H'1C80 8150	32
	DMA デスティネーションアドレスレジスタ B3	DARB3	R/W	H'FC80 8154	H'1C80 8154	32
	DMA トランスファカウントレジスタ B3	TCRB3	R/W	H'FC80 8158	H'1C80 8158	32
0/1	DMA 拡張リソースセクタ 0	DMARS0	R/W	H'FC80 9000	H'1C80 9000	16
2/3	DMA 拡張リソースセクタ 1	DMARS1	R/W	H'FC80 9004	H'1C80 9004	16
4/5	DMA 拡張リソースセクタ 2	DMARS2	R/W	H'FC80 9008	H'1C80 9008	16
6	DMA ソースアドレスレジスタ 6	SAR6	R/W	H'FC81 8020	H'1C81 8020	32
	DMA デスティネーションアドレスレジスタ 6	DAR6	R/W	H'FC81 8024	H'1C81 8024	32
	DMA トランスファカウントレジスタ 6	TCR6	R/W	H'FC81 8028	H'1C81 8028	32
	DMA チャンネルコントロールレジスタ 6	CHCR6	R/W*1	H'FC81 802C	H'1C81 802C	32
7	DMA ソースアドレスレジスタ 7	SAR7	R/W	H'FC81 8030	H'1C81 8030	32
	DMA デスティネーションアドレスレジスタ 7	DAR7	R/W	H'FC81 8034	H'1C81 8034	32
	DMA トランスファカウントレジスタ 7	TCR7	R/W	H'FC81 8038	H'1C81 8038	32
	DMA チャンネルコントロールレジスタ 7	CHCR7	R/W*1	H'FC81 803C	H'1C81 803C	32
8	DMA ソースアドレスレジスタ 8	SAR8	R/W	H'FC81 8040	H'1C81 8040	32
	DMA デスティネーションアドレスレジスタ 8	DAR8	R/W	H'FC81 8044	H'1C81 8044	32
	DMA トランスファカウントレジスタ 8	TCR8	R/W	H'FC81 8048	H'1C81 8048	32
	DMA チャンネルコントロールレジスタ 8	CHCR8	R/W*1	H'FC81 804C	H'1C81 804C	32
9	DMA ソースアドレスレジスタ 9	SAR9	R/W	H'FC81 8050	H'1C81 8050	32
	DMA デスティネーションアドレスレジスタ 9	DAR9	R/W	H'FC81 8054	H'1C81 8054	32
	DMA トランスファカウントレジスタ 9	TCR9	R/W	H'FC81 8058	H'1C81 8058	32
	DMA チャンネルコントロールレジスタ 9	CHCR9	R/W*1	H'FC81 805C	H'1C81 805C	32
6~11 共通	DMA オペレーションレジスタ 1	DMAOR1	R/W*2	H'FC81 8060	H'1C81 8060	16
10	DMA ソースアドレスレジスタ 10	SAR10	R/W	H'FC81 8070	H'1C81 8070	32
	DMA デスティネーションアドレスレジスタ 10	DAR10	R/W	H'FC81 8074	H'1C81 8074	32
	DMA トランスファカウントレジスタ 10	TCR10	R/W	H'FC81 8078	H'1C81 8078	32
	DMA チャンネルコントロールレジスタ 10	CHCR10	R/W*1	H'FC81 807C	H'1C81 807C	32
11	DMA ソースアドレスレジスタ 11	SAR11	R/W	H'FC81 8080	H'1C81 8080	32
	DMA デスティネーションアドレスレジスタ 11	DAR11	R/W	H'FC81 8084	H'1C81 8084	32
	DMA トランスファカウントレジスタ 11	TCR11	R/W	H'FC81 8088	H'1C81 8088	32
	DMA チャンネルコントロールレジスタ 11	CHCR11	R/W*1	H'FC81 808C	H'1C81 808C	32

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

チャンネル	名 称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ*3
6	DMA ソースアドレスレジスタ B6	SARB6	R/W	H'FC81 8120	H'1C81 8120	32
	DMA デスティネーションアドレスレジスタ B6	DARB6	R/W	H'FC81 8124	H'1C81 8124	32
	DMA トランスファカウントレジスタ B6	TCRB6	R/W	H'FC81 8128	H'1C81 8128	32
7	DMA ソースアドレスレジスタ B7	SARB7	R/W	H'FC81 8130	H'1C81 8130	32
	DMA デスティネーションアドレスレジスタ B7	DARB7	R/W	H'FC81 8134	H'1C81 8134	32
	DMA トランスファカウントレジスタ B7	TCRB7	R/W	H'FC81 8138	H'1C81 8138	32
8	DMA ソースアドレスレジスタ B8	SARB8	R/W	H'FC81 8140	H'1C81 8140	32
	DMA デスティネーションアドレスレジスタ B8	DARB8	R/W	H'FC81 8144	H'1C81 8144	32
	DMA トランスファカウントレジスタ B8	TCRB8	R/W	H'FC81 8148	H'1C81 8148	32
9	DMA ソースアドレスレジスタ B9	SARB9	R/W	H'FC81 8150	H'1C81 8150	32
	DMA デスティネーションアドレスレジスタ B9	DARB9	R/W	H'FC81 8154	H'1C81 8154	32
	DMA トランスファカウントレジスタ B9	TCRB9	R/W	H'FC81 8158	H'1C81 8158	32

- 【注】 \*1 CHCR の HE、TE ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。
- \*2 DMAOR の AE、NMIF ビットは、フラグをクリアするために、1 リード後の 0 ライトのみ可能です。
- \*3 指定アクセスサイズ以外のアクセスは行わないでください。

表14.3 各処理モードにおけるレジスタの状態

チャンネル	名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	モジュール スタンバイ
0	DMA ソースアドレスレジスタ 0	SAR0	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 0	DAR0	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 0	TCR0	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 0	CHCR0	H'4000 0000	H'4000 0000	保持	保持
1	DMA ソースアドレスレジスタ 1	SAR1	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 1	DAR1	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 1	TCR1	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 1	CHCR1	H'4000 0000	H'4000 0000	保持	保持
2	DMA ソースアドレスレジスタ 2	SAR2	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 2	DAR2	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 2	TCR2	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 2	CHCR2	H'4000 0000	H'4000 0000	保持	保持
3	DMA ソースアドレスレジスタ 3	SAR3	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 3	DAR3	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 3	TCR3	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 3	CHCR3	H'4000 0000	H'4000 0000	保持	保持
0~5 共通	DMA オペレーションレジスタ 0	DMAOR0	H'0000	H'0000	保持	保持

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

チャンネル	名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	モジュール スタンバイ
4	DMA ソースアドレスレジスタ 4	SAR4	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 4	DAR4	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 4	TCR4	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 4	CHCR4	H'4000 0000	H'4000 0000	保持	保持
5	DMA ソースアドレスレジスタ 5	SAR5	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 5	DAR5	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 5	TCR5	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 5	CHCR5	H'4000 0000	H'4000 0000	保持	保持
0	DMA ソースアドレスレジスタ B0	SARB0	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B0	DARB0	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B0	TCRB0	不定	不定	保持	保持
1	DMA ソースアドレスレジスタ B1	SARB1	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B1	DARB1	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B1	TCRB1	不定	不定	保持	保持
2	DMA ソースアドレスレジスタ B2	SARB2	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B2	DARB2	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B2	TCRB2	不定	不定	保持	保持
3	DMA ソースアドレスレジスタ B3	SARB3	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B3	DARB3	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B3	TCRB3	不定	不定	保持	保持
0/1	DMA 拡張リソースセクタ 0	DMARS0	H'0000	H'0000	保持	保持
2/3	DMA 拡張リソースセクタ 1	DMARS1	H'0000	H'0000	保持	保持
4/5	DMA 拡張リソースセクタ 2	DMARS2	H'0000	H'0000	保持	保持
6	DMA ソースアドレスレジスタ 6	SAR6	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 6	DAR6	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 6	TCR6	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 6	CHCR6	H'4000 0000	H'4000 0000	保持	保持
7	DMA ソースアドレスレジスタ 7	SAR7	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 7	DAR7	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 7	TCR7	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 7	CHCR7	H'4000 0000	H'4000 0000	保持	保持
8	DMA ソースアドレスレジスタ 8	SAR8	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 8	DAR8	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 8	TCR8	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 8	CHCR8	H'4000 0000	H'4000 0000	保持	保持

14. ダイレクトメモリアクセスコントローラ (DMAC)

チャンネル	名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	モジュール スタンバイ
9	DMA ソースアドレスレジスタ 9	SAR9	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 9	DAR9	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 9	TCR9	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 9	CHCR9	H'4000 0000	H'4000 0000	保持	保持
6~11 共通	DMA オペレーションレジスタ 1	DMAOR1	H'0000	H'0000	保持	保持
10	DMA ソースアドレスレジスタ 10	SAR10	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 10	DAR10	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 10	TCR10	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 10	CHCR10	H'4000 0000	H'4000 0000	保持	保持
11	DMA ソースアドレスレジスタ 11	SAR11	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ 11	DAR11	不定	不定	保持	保持
	DMA トランスファカウントレジスタ 11	TCR11	不定	不定	保持	保持
	DMA チャンネルコントロールレジスタ 11	CHCR11	H'4000 0000	H'4000 0000	保持	保持
6	DMA ソースアドレスレジスタ B6	SARB6	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B6	DARB6	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B6	TCRB6	不定	不定	保持	保持
7	DMA ソースアドレスレジスタ B7	SARB7	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B7	DARB7	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B7	TCRB7	不定	不定	保持	保持
8	DMA ソースアドレスレジスタ B8	SARB8	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B8	DARB8	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B8	TCRB8	不定	不定	保持	保持
9	DMA ソースアドレスレジスタ B9	SARB9	不定	不定	保持	保持
	DMA デスティネーションアドレスレジスタ B9	DARB9	不定	不定	保持	保持
	DMA トランスファカウントレジスタ B9	TCRB9	不定	不定	保持	保持

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

### 14.3.1 DMA ソースアドレスレジスタ 0~11 (SAR0~SAR11)

SAR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送元のアドレスを指定します。DMA 転送中は、次の転送元アドレスを示しています。ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

SAR の初期値は不定です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SAR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SAR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															

### 14.3.2 DMA ソースアドレスレジスタ B0~3、6~9 (SARB0~3、SARB6~9)

SARB は、読み出し／書き込み可能な 32 ビットのレジスタで、リピート／リロードモードで SAR に再設定する DMA 転送元のアドレスを指定します。CPU からの SAR への書き込みデータが SARB にも書き込まれます。SAR と異なるアドレスを設定したい場合は、SAR 書き込み後に SARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

SARB の初期値は不定です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SARB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SARB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 14.3.3 DMA デスティネーションアドレスレジスタ 0~11 (DAR0~DAR11)

DAR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送先のアドレスを指定します。DMA 転送中は、次の転送先アドレスを示しています。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

DAR の初期値は不定です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DAR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DAR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															

### 14.3.4 DMA デスティネーションアドレスレジスタ B0~3、6~9 (DARB0~DARB3、DARB6~DARB9)

DARB は、読み出し／書き込み可能な 32 ビットのレジスタで、リピート／リロードモードで DAR に再設定する DMA 転送先のアドレスを指定します。CPU からの DAR への書き込みデータが DARB にも書き込まれます。DAR と異なるアドレスを設定したい場合は、DAR 書き込み後に DARB への書き込みを行ってください。

ワード、ロングワード幅のデータ転送を行う場合は、それぞれ、ワード、ロングワード境界のアドレスを指定してください。16 バイト、32 バイトで転送を行う場合は、16 バイト、32 バイト境界に値を設定してください。

DARB の初期値は不定です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DARB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DARB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

### 14.3.5 DMA トランスファカウンタレジスタ 0~11 (TCR0~TCR11)

TCR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送回数を指定します。転送回数は、設定値が H'0000 0001 のときは 1 回、H'00FF FFFF のときは 16,777,215 回で、H'0000 0000 のときは 16,777,216 回 (最大転送回数) になります。DMA 転送中は、残りの転送回数を示しています。

TCR のビット 31~24 は、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

TCR の初期値は不定です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W															

### 14.3.6 DMA トランスファカウンタレジスタ B0~3, 6~9 (TCRB0~TCRB3, TCRB6~TCRB9)

TCRB は、読み出し／書き込み可能な 32 ビットのレジスタで、CPU からの TCR への書き込みデータが TCRB にも書き込まれます。ハーフエンド機能使用時はハーフエンド検出に使用する初期値保持レジスタとして用いられます。また本レジスタは、リピートモードで TCR に再設定する DMA 転送回数を指定します。リロードモードでは DMA 転送回数の設定および転送回数カウンタとして用いられます。

リロードモードにおいて、ビット 7~0 は転送回数カウンタとして動作し、値が 0 になると SAR/DAR が更新され、TCRB のビット 23~16 がビット 7~0 にロードされます。ビット 23~16 はリロードするまでの転送回数を設定してください。リロードモード使用時、設定可能な TCRB のビット 23~16 とビット 7~0 の値は H'FF (255 回) ~H'01 (1 回) で、ビット 23~16 とビット 7~0 は同じ値を設定し、ビット 15~8 は H'00 を設定してください。また、リロードモード使用時は、CHCR の HIE ビットを 0 とし、ハーフエンド機能を使用しないでください。

TCRB のビット 31~24 は、読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

TCRB の初期値は不定です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TCRB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R/W							
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCRB															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.3.7 DMA チャネルコントロールレジスタ 0~11 (CHCR0~CHCR11)

CHCR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送モードを制御します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	LCKN	—	—	RPT2	RPT1	RPT0	—	DO	RL	—	TS2	HE	HIE	AM	AL
初期値:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R/W	R/W	R/W	R	R/W	R/W	R	R/W	R/(W)*	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DM1	DM0	SM1	SM0	RS3	RS2	RS1	RS0	DL	DS	TB	TS1	TS0	IE	TE	DE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/(W)*	R/W													

【注】 \* フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30	LCKN	1	R/W	バスロック信号抑止ビット SuperHyway バス読み出し命令時に SuperHyway バスロック信号の出力／抑止を設定します。本ビットはサイクルスチールモード実行時に有効となります。バーストモード実行時には0を設定してください。 SuperHyway バスロック信号を抑止することにより、DMAC 以外のバスマスタのバス要求が受け付けられます。これにより、バス使用効率をあげることが可能です。 0: バスロック信号出力許可 1: バスロック信号出力抑止
29~28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27	RPT2	0	R/W	DMA 設定更新指定ビット 本ビットは CHCR0~CHCR3、CHCR6~CHCR9 でのみ有効となります。 000: 通常モード 001: リpeatモード: SAR/DAR/TCR をリpeatします 010: リpeatモード: DAR/TCR をリpeatします 011: リpeatモード: SAR/TCR をリpeatします 100: リザーブ (設定禁止) 101: リロードモード: SAR/DAR をリロードします 110: リロードモード: DAR をリロードします 111: リロードモード: SAR をリロードします
26	RPT1	0	R/W	
25	RPT0	0	R/W	
24	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
23	DO	0	R/W	<p>DMA オーバラン</p> <p>DREQ をオーバラン 0 で検出するか、オーバラン 1 で検出するかを選択します。本ビットは CHCR0~CHCR3 でのみ有効です。</p> <p>0 : DREQ をオーバラン 0 で検出</p> <p>1 : DREQ をオーバラン 1 で検出</p>
22	RL	0	R/W	<p>リクエストチェックレベルビット</p> <p>DRAK 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは CHCR0~CHCR3 でのみ有効です。</p> <p>0 : DRAK をローアクティブ出力</p> <p>1 : DRAK をハイアクティブ出力</p>
21	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
20	TS2	0	R/W	<p>DMA 転送サイズ指定ビット</p> <p>TS1、TS0 と合わせて DMA 転送サイズの設定を行います。転送元または転送先が、アクセスサイズが指定された周辺モジュールのレジスタの場合には、必ずその転送サイズとアクセスサイズを合わせてください。転送元または転送先として SAR または DAR に設定するアドレスは、転送サイズとアドレス境界を必ず一致させてください。</p> <p>TS[2:0]</p> <p>000 : バイト単位</p> <p>001 : ワード (2 バイト) 単位</p> <p>010 : ロングワード (4 バイト) 単位</p> <p>011 : 16 バイト単位</p> <p>100 : 32 バイト単位</p> <p>上記以外 : 設定禁止</p>

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
19	HE	0	R/(W)*	<p>ハーフエンドフラグビット</p> <p>HIE (ビット 18) に 1 を設定し、転送回数が転送開始前に設定した TCR の値の 1/2 (右に 1 ビットシフトした値) になると、HE は 1 になります。</p> <ul style="list-style-type: none"> <li>• 偶数回のときは、(転送前にセットした TCR) ÷ 2 で HE は 1 にセット</li> <li>• 奇数回のときは、(転送前にセットした TCR - 1) ÷ 2 で HE は 1 にセット</li> <li>• 最大転送回数のときは、8,388,608 回 (H'0080 0000) で HE は 1 にセット</li> </ul> <p>転送回数が転送開始前に設定した値の 1/2 になる前に、NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット (ビット 0)、DMAOR の DME ビット (ビット 0) をクリアして転送を終了させた場合には、HE ビットはセットされません。また、HE ビットに 1 がセットされてから NMI 割り込み、アドレスエラーによって転送が終了した場合および DE ビット (ビット 0)、DMAOR の DME ビット (ビット 0) をクリアして転送を終了させた場合、HE ビットはセットされたままとなります。HE ビットのクリアは、HE ビットの 1 を読み出してから 0 を書き込む必要があります。本ビットは CHCR0~CHCR3、CHCR6~CHCR9 でのみ有効となります。</p> <p>0 : DMA 転送中または DMA 転送中断で、  <math>TCR &gt; (\text{転送前にセットした TCR}) \div 2</math>                      [クリア条件] HE ビットの 1 読み出し後、0 書き込み                      1 : <math>TCR = (\text{転送前にセットした TCR}) \div 2</math></p>
18	HIE	0	R/W	<p>ハーフエンドイネーブルビット</p> <p>転送回数が、転送開始前にセットした TCR の値が 1/2 になった転送の読み出しサイクルが終わった時点で、CPU に割り込み要求するかどうかを指定します。HIE ビットを 1 にセットした場合、HE ビットがセットされると CPU に対し割り込みを要求します。TCR の値が 1/2 の転送完了を確認するには割り込み発生後に転送先空間にダミーリードをした後、SYNCO 命令を発行してください。リロードモード設定時は本ビットを 0 に設定してください。本ビットは CHCR0~CHCR3、CHCR6~CHCR9 でのみ有効となります。</p> <p>0 : ハーフエンド割り込みを禁止                      1 : ハーフエンド割り込みを許可</p>
17	AM	0	R/W	<p>アクノリッジモード</p> <p>デュアルアドレスモードで、DACK をデータ読み出しサイクルで出力するか、書き込みサイクルで出力するかを選択します。本ビットは CHCR0~CHCR3 でのみ有効です。</p> <p>0 : 読み出しサイクルで DACK を出力                      1 : 書き込みサイクルで DACK を出力</p>
16	AL	0	R/W	<p>アクノリッジレベル</p> <p>DACK 信号をハイアクティブにするかローアクティブにするかを指定します。本ビットは CHCR0~CHCR3 でのみ有効です。</p> <p>0 : DACK をローアクティブ出力                      1 : DACK をハイアクティブ出力</p>

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
15	DM1	0	R/W	デスティネーションアドレスモード 1、0
14	DM0	0	R/W	DMA 転送先のアドレスの増減を指定します。 00: デスティネーションアドレスは固定 01: デスティネーションアドレスは増加 バイト単位転送時は+1 ワード単位転送時は+2 ロングワード単位転送時は+4 16バイト単位転送時は+16 32バイト単位転送時は+32 10: デスティネーションアドレスは減少 バイト単位転送時は-1 ワード単位転送時は-2 ロングワード単位転送時は-4 16/32バイト単位転送時は設定禁止 11: 設定禁止
13	SM1	0	R/W	ソースアドレスモード 1、0
12	SM0	0	R/W	DMA 転送元のアドレスの増減を指定します。 00: ソースアドレスは固定 01: ソースアドレスは増加 バイト単位転送時は+1 ワード単位転送時は+2 ロングワード単位転送時は+4 16バイト単位転送時は+16 32バイト単位転送時は+32 10: ソースアドレスは減少 バイト単位転送時は-1 ワード単位転送時は-2 ロングワード単位転送時は-4 16/32バイト単位転送時は設定禁止 11: 設定禁止

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
11 10 9 8	RS3 RS2 RS1 RS0	0 0 0 0	R/W R/W R/W R/W	<p>リソースセレクト 3~0</p> <p>転送要求元を指定します。転送要求元の変更は、必ず DMA イネーブルビット (DE) が 0 の状態で行ってください。</p> <p>0000 : 外部リクエスト、デュアルアドレスモード 0100 : オートリクエスト 1000 : 周辺モジュールリクエスト DMA 拡張リソースセクタ (DMARS0~2) で選択</p> <p>上記以外 : 設定禁止</p> <p>【注】 外部リクエストの指定は CHCR0~CHCR3 でのみ有効です。CHCR4~CHCR11 では外部リクエスト指定は設定禁止です。周辺モジュールリクエストの指定は CHCR0~CHCR5 でのみ有効です。CHCR6~CHCR11 では周辺モジュールリクエスト指定は設定禁止です。</p>
7 6	DL DS	0 0	R/W R/W	<p>DREQ レベル、DREQ エッジセレクト</p> <p>DREQ 入力の検出方法と、検出レベルを選択します。</p> <p>本ビットは CHCR0~CHCR3 でのみ有効です。またチャンネル 0~3 でも転送要求元を周辺モジュール、またはオートリクエストに指定した場合、本ビットは無効です。</p> <p>00 : ローレベル検出 01 : 立ち下がりエッジ検出 10 : ハイレベル検出 11 : 立ち上がりエッジ検出</p>
5	TB	0	R/W	<p>トランスファバスモード</p> <p>DMA 転送のバスモードを選択します。</p> <p>0 : サイクルスチールモード 1 : バーストモード</p> <p>周辺モジュールリクエストを設定したときはサイクルスチールモードとしてください。</p>
4 3	TS1 TS0	0 0	R/W R/W	<p>DMA 転送サイズ指定ビット</p> <p>TS2 (ビット 20) の説明を参照してください。</p>
2	IE	0	R/W	<p>インタラプトイネーブル</p> <p>DMA 最終転送時に CPU に割り込み要求するかどうかを指定します。IE ビットを 1 にセットした場合、TE ビットがセットされ DMA 最終転送の読み出しサイクルが終わった時に、CPU に対し割り込み (DMINT) を要求します。最終転送完了を確認するには割り込み発生後に転送先空間にダミーリードをした後、SYNCO 命令を発行してください。</p> <p>0 : 割り込み要求を禁止 1 : 割り込み要求を許可</p>

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
1	TE	0	R/(W)*	<p>トランスファエンドフラグ</p> <p>DMA トランスファカウンタレジスタ (TCR) の値が 0 になり (DMA 最終転送の実行を開始するとき)、TE ビットは 1 にセットされます。TCR が 0 にならないときに、NMI 割り込み、DMA アドレスエラーによって転送が終了した場合、および DE ビット、DMA オペレーションレジスタ (DMAOR) の DME ビットをクリアして転送を終了させた場合には、TE ビットはセットされません。TE ビットをクリアするには、TE ビットの 1 を読み出してから 0 を書き込みます。</p> <p>TE ビットがセットされていると、DE ビットを 1 にしていても転送は許可されません。</p> <p>0 : DMA 転送中または DMA 転送の転送中断            [クリア条件] TE ビットの 1 読み出し後、0 書き込み            1 : TCR=0 (DMA 最終転送中または DMA 転送終了)</p>
0	DE	0	R/W	<p>DMA イネーブル</p> <p>DMA 転送を許可または禁止します。オートリクエストモードでは、DE ビットおよび DMAOR の DME ビットを 1 にセットすると転送を開始します。ただし、TE ビット、DMAOR の NMIF ビット、AE ビットのすべてが 0 である必要があります。外部リクエスト、周辺モジュールリクエストでは、DE ビットと DME ビットを 1 にセットした後で、さらに該当デバイスまたは該当周辺モジュールから DMA 転送要求があると転送を開始します。ただし、この場合にもオートリクエストモードと同じく、TE ビット、NMIF ビット、AE ビットのすべてが 0 である必要があります。DE ビットを 0 にクリアすると、転送を中断することができます。</p> <p>0 : DMA 転送を禁止            1 : DMA 転送を許可</p>

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 14.3.8 DMA オペレーションレジスタ 0、1 (DMAOR0、DMAOR1)

DMAOR は、読み出し／書き込み可能な 16 ビットレジスタで、DMA 転送時のチャンネルの優先順位を指定します。また、DMA の転送状態 (ステータス) も示します。

DMAOR0 はチャンネル 0～5 の共通レジスタ、DMAOR1 はチャンネル 6～11 の共通レジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CMS1	CMS0	—	—	PR1	PR0	—	—	—	—	—	AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R/(W)*R/(W)*	R/W	R/W

【注】 \* フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
15, 14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13 12	CMS1 CMS0	0 0	R/W R/W	サイクルスチールモードセレクト 1、0 サイクルスチールモード時に通常モードとインタミットモードを選択します。 インタミットモードを有効にするためには、DMAOR0 に対応する全チャンネル (チャンネル 0～5)、または DMAOR1 に対応する全チャンネル (チャンネル 6～11) のバスモードがサイクルスチールモードであることが必要です。 00: 通常モード 01: 設定禁止 10: インタミットモード 16 外部バスクロック 16 クロック待った後に 1 回 DMA 転送を実行 11: インタミットモード 64 外部バスクロック 64 クロック待った後に 1 回 DMA 転送を実行
11, 10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9 8	PR1 PR0	0 0	R/W R/W	プライオリティーモード 1、0 同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。 00: CH0>CH1>CH2>CH3>CH4>CH5 (DMAOR0) CH6>CH7>CH8>CH9>CH10>CH11 (DMAOR1) 01: CH0>CH2>CH3>CH1>CH4 >CH5 (DMAOR0) CH6>CH8>CH9>CH7>CH10>CH11 (DMAOR1) 10: 設定禁止 11: CH0～CH5 のラウンドロビンモード (DMAOR0) CH6～CH11 のラウンドロビンモード (DMAOR1) ラウンドロビンモードを指定した場合、DMAOR0 に対応する全チャンネル (チャンネル 0～5)、または DMAOR1 に対応する全チャンネル (チャンネル 6～11) でサイクルスチールモードとバーストモードの混在はできません。

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	AE	0	R/(W)*	アドレスエラーフラグ DMA 転送中にアドレスエラーが発生したことを示すフラグです。 本ビットは、以下の条件でセットされます。 <ul style="list-style-type: none"> <li>• SAR または DAR に設定された値が転送サイズ境界と不一致の場合</li> <li>• 転送元または転送先が無効空間の場合</li> <li>• 転送元または転送先がモジュールストップ中の場合</li> </ul> DMAOR0 の AE ビットがセットされると、DMAOR0 に対応するチャンネル(チャンネル 0~5) の CHCR0~5 の DE ビットと DMAOR0 の DME ビットを 1 にセットしても、チャンネル 0~5 の DMA 転送は許可されません。 同様に DMAOR1 の AE ビットがセットされると、DMAOR1 に対応するチャンネルチャンネル 6~11 の CHCR6~11 の DE ビットと DMAOR1 の DME ビットを 1 にセットしても、チャンネル 6~11 の DMA 転送は許可されません。 0 : DMAC によるアドレスエラーなし [クリア条件] AE ビットの 1 読み出し後、0 書き込み 1 : DMA 転送中にアドレスエラー発生
1	NMIF	0	R/(W)*	NMI フラグ NMI 割り込みが発生したことを示すフラグです。NMIF ビットがセットされると、CHCR の DE ビットと DMAOR の DME ビットを 1 にセットしても、DMA 転送は許可されません。 NMI が入力されたとき、少なくとも実行中の DMA 転送の 1 転送単位までは行われます。DMAC が動作していないときに NMI 割り込みが入力されても、NMIF ビットは 1 にセットされます。 0 : NMI 割り込みなし [クリア条件] NMIF ビットの 1 読み出し後、0 書き込み 1 : NMI 割り込み発生
0	DME	0	R/W	DMA マスタイネーブル DRMOR0 に対応する全チャンネル (チャンネル 0~5)、DRMOR1 に対応する全チャンネル (チャンネル 6~11) の DMA 転送を許可または禁止します。DME ビットおよび CHCR の DE ビットを 1 にセットすると、DMA 転送が許可されます。ただし転送を行うチャンネルの CHCR にある TE ビットとチャンネルに対応する DMAOR の NMIF ビット、AE ビットのすべてが 0 であることが必要です。DME ビットを 0 にクリアすると DRMOR0 に対応する全チャンネル (チャンネル 0~5)、DRMOR1 に対応する全チャンネル (チャンネル 6~11) の DMA 転送が中断されます。 0 : チャンネル 0~5 の DMA 転送を禁止 (DRMOR0) チャンネル 6~11 の DMA 転送を禁止 (DRMOR1) 1 : チャンネル 0~5 の DMA 転送を許可 (DRMOR0) チャンネル 6~11 の DMA 転送を許可 (DRMOR1)

【注】 \* フラグをクリアするための 0 ライトのみ可能です。

### 14.3.9 DMA 拡張リソースセクタ 0~2 (DMARS0~DMARS2)

DMARS は、読み出し／書き込み可能な 16 ビットレジスタです。DMARS0 はチャンネル 0 および 1、DMARS1 はチャンネル 2 および 3、DMARS2 はチャンネル 4 および 5 の周辺モジュールからの DMA 転送要求元を設定します。本レジスタで、SCIF0、SCIF1、HAC、HSPI、SIOF、SSI、FLCTL、MMCIF の転送要求を設定できます。

表 14.4 以外の MID/RID を設定したときの動作は保証できません。DMARS レジスタからの転送要求は、CHCR0 ~5 レジスタのリソースセレクトビット (RS3~RS0) = B'1000 に設定したときのみ有効です。B'1000 以外の場合は、DMARS を設定しても転送要求元として受け付けられません。

- DMARS0

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

C1MID[5:0]						C1RID[1:0]		C0MID[5:0]						C0RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS1

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

C3MID[5:0]						C3RID[1:0]		C2MID[5:0]						C2RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS2

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

C5MID[5:0]						C5RID[1:0]		C4MID[5:0]						C4RID[1:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

### • DMARS0の設定

ビット	ビット名	初期値	R/W	説明
15	C1MID5	0	R/W	DMA チャンネル 1 転送要求元モジュール ID5~ID0 (MID) 表 14.4 参照
14	C1MID4	0	R/W	
13	C1MID3	0	R/W	
12	C1MID2	0	R/W	
11	C1MID1	0	R/W	
10	C1MID0	0	R/W	
9	C1RID1	0	R/W	DMA チャンネル 1 転送要求元レジスタ ID1~ID0 (RID) 表 14.4 参照
8	C1RID0	0	R/W	
7	C0MID5	0	R/W	DMA チャンネル 0 転送要求元モジュール ID5~ID0 (MID) 表 14.4 参照
6	C0MID4	0	R/W	
5	C0MID3	0	R/W	
4	C0MID2	0	R/W	
3	C0MID1	0	R/W	
2	C0MID0	0	R/W	
1	C0RID1	0	R/W	DMA チャンネル 0 転送要求元レジスタ ID1~ID0 (RID) 表 14.4 参照
0	C0RID0	0	R/W	

### • DMARS1の設定

ビット	ビット名	初期値	R/W	説明
15	C3MID5	0	R/W	DMA チャンネル 3 転送要求元モジュール ID5~ID0 (MID) 表 14.4 参照
14	C3MID4	0	R/W	
13	C3MID3	0	R/W	
12	C3MID2	0	R/W	
11	C3MID1	0	R/W	
10	C3MID0	0	R/W	
9	C3RID1	0	R/W	DMA チャンネル 3 転送要求元レジスタ ID1、ID0 (RID) 表 14.4 参照
8	C3RID0	0	R/W	
7	C2MID5	0	R/W	DMA チャンネル 2 転送要求元モジュール ID5~ID0 (MID) 表 14.4 参照
6	C2MID4	0	R/W	
5	C2MID3	0	R/W	
4	C2MID2	0	R/W	
3	C2MID1	0	R/W	
2	C2MID0	0	R/W	
1	C2RID1	0	R/W	DMA チャンネル 2 転送要求元レジスタ ID1、ID0 (RID) 表 14.4 参照
0	C2RID0	0	R/W	

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

• DMARS2の設定

ビット	ビット名	初期値	R/W	説明
15	C5MID5	0	R/W	DMA チャンネル 5 転送要求元モジュール ID5~ID0 (MID) 表 14.4 参照
14	C5MID4	0	R/W	
13	C5MID3	0	R/W	
12	C5MID2	0	R/W	
11	C5MID1	0	R/W	
10	C5MID0	0	R/W	
9	C5RID1	0	R/W	DMA チャンネル 5 転送要求元レジスタ ID1、ID0 (RID) 表 14.4 参照
8	C5RID0	0	R/W	
7	C4MID5	0	R/W	DMA チャンネル 4 転送要求元モジュール ID5~ID0 (MID) 表 14.4 参照
6	C4MID4	0	R/W	
5	C4MID3	0	R/W	
4	C4MID2	0	R/W	
3	C4MID1	0	R/W	
2	C4MID0	0	R/W	
1	C4RID1	0	R/W	DMA チャンネル 4 転送要求元レジスタ ID1、ID0 (RID) 表 14.4 参照
0	C4RID0	0	R/W	

表14.4 転送要求元一覧

周辺モジュール	1チャンネル分の設定値 (MIDおよびRIDフィールド)	MID	RID	機能
SCIF0	H'21	B'00 1000	B'01	送信
	H'22		B'10	受信
SCIF1	H'29	B'00 1010	B'01	送信
	H'2A		B'10	受信
HAC	H'41	B'01 0000	B'01	送信
	H'42		B'10	受信
HSPI	H'45	B'01 0001	B'01	送信
	H'46		B'10	受信
SIOF	H'51	B'01 0100	B'01	送信
	H'52		B'10	受信
SSI	H'73	B'01 1100	B'11	送受信
FLCTL	H'83	B'10 0000	B'11	データ部送受信
	H'87	B'10 0001	B'11	管理コード部送受信
MMCIF	H'93	B'10 0100	B'11	送受信

### 14.4 動作説明

DMACはDMA転送要求があると決められたチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、周辺モジュールリクエストの3種類のモードがあります。パスモードは、パーストモードとサイクルスチールモードを選択することができます。

#### 14.4.1 DMA転送要求

DMA転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、周辺モジュールリクエストの3種類があります。転送要求の選択はDMAチャンネルごとにCHCRのRS3~RS0ビットおよびDMARS0、DMARS1、DMARS2レジスタによって行います。

##### (1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、DMAC内部で自動的に転送要求信号を発生するモードです。使用するチャンネルのCHCR<sub>n</sub> (n=0~11)のRS[3:0]ビットにB'0100を設定してください。DMAチャンネルごとにCHCRのDEビットおよびチャンネル0~5共通のDMAOR0、チャンネル6~11共通のDMAOR1のDMEビットを1にセットすると転送が開始されます。ただしチャンネル0~5ではDMAOR0のAEビット、NMIFビットがすべて0、チャンネル6~11ではDMAOR1のAEビット、NMIFビットがすべて0である必要があります。

##### (2) 外部リクエストモード

外部リクエストモードは、LSIの外部デバイスからの転送要求信号(DREQ)によって転送を開始させるモードです。DMAチャンネル0~3のみ有効です。使用するチャンネルのCHCR<sub>n</sub> (n=0~3)のRS[3:0]ビットにB'0000を設定してください。DMA転送が許可されているとき(DE=1、DME=1、TE=0、AE=0、NMIF=0)にDREQが入力されるとDMA転送が開始されます。

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

DREQ をエッジで検出するかレベルで検出するかは、表 14.5 に示す CHCR0~CHCR3 の DREQ レベル (DL) ビットと DREQ エッジセレクト (DS) ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。

表14.5 DL、DS ビットによる外部リクエスト検出の選択

CHCR		外部リクエスト検出方法
DL	DS	
0	0	ローレベル検出 (初期値 DREQ)
	1	立ち下がり検出
1	0	ハイレベル検出
	1	立ち上がり検出

DREQ が受け付けられると DREQ 端子は要求受け付け不可能状態となります。受け付けた DREQ に対するアクノリッジ DACK を出力した後、再び DREQ 端子は要求を受け付けることが可能になります。

DREQ をレベル検出で使う場合、DACK を出力して次の DREQ を検出するタイミングによって、リクエストと同じ回数の転送を実行して中断する場合 (オーバラン 0) と、リクエストより 1 つ多い回数の転送を実行して中断する場合 (オーバラン 1) があります。オーバランを 0 にするか 1 にするかは、CHCR の DO ビットで選択します。

表14.6 DO ビットによる外部リクエスト検出の選択

CHCR	外部リクエスト
DO	
0	オーバラン 0 (初期値)
1	オーバラン 1

### (3) 周辺モジュールリクエストモード

周辺モジュールリクエストモードでは、周辺モジュールからの DMA 転送要求信号によって転送が実行されます。DMA 転送要求信号は、DMARS0/1/2 にて設定する SCIF0、SCIF1、HAC、HSPI、HSPI、SIOF、SSI、MMCIF からの送信データエンプティ転送要求と受信データフル転送要求、FLCTL からの転送要求があります。DMA チャンネル 0~5 のみ有効です。使用するチャンネルの CHCRn (n=0~5) の RS[3:0] ビットに B'1000 を設定してください。

周辺モジュールリクエストモード選択時に、DMA 転送許可状態 (DE=1、DME=1、TE=0、AE=0、NMIF=0) であると、転送要求信号によって転送が実行されます。

転送要求を SCIF0 の送信データエンプティ転送要求に設定した場合、転送先を当該 SCIF0 のトランスミット FIFO データレジスタ (送信データバッファ) とする必要があります。同様に転送要求を SCIF0 の受信データフル転送要求に設定した場合、転送元を当該 SCIF0 のレシーブ FIFO データレジスタ (受信データバッファ) とする必要があります。これらは SCIF1、HAC、HSPI、SIOF、SSI、MMCIF も同様です。

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

表14.7 周辺モジュールリクエストモード一覧 (DMA チャンネル 0~5 のみ)

DMARS		DMA 転送 要求元	DMA 転送要求信号	転送元	転送先	バス モード
MID	RID					
001000	01	SCIF0 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR0	サイクル スチール
	10	SCIF0 受信部	RXI (受信 FIFO データフル)	SCFRDR0	任意	サイクル スチール
001010	01	SCIF1 送信部	TXI (送信 FIFO データエンプティ)	任意	SCFTDR1	サイクル スチール
	10	SCIF1 受信部	RXI (受信 FIFO データフル)	SCFRDR1	任意	サイクル スチール
010000	01	HAC 送信部	送信データエンプティ要求	任意	HACPCML、 HACPCMR	サイクル スチール
	10	HAC 受信部	未読受信データあり	HACPCML、 HACPCMR	任意	サイクル スチール
010001	01	HSPI 送信部	送信データ	任意	SPTBR	サイクル スチール
	10	HSPI 受信部	受信データ	SPRBR	任意	サイクル スチール
010100	01	SIOF 送信部	TXI (送信 FIFO データエンプティ)	任意	SITDR	サイクル スチール
	10	SIOF 受信部	RXI (受信 FIFO データフル)	SIRDR	任意	サイクル スチール
011100	11	SSI 送信部	送信モード時 : DMRQ=1 (送信データエンプティ)	任意	SSITDR	サイクル スチール
		SSI 受信部	受信モード時 : DMRQ=1 (未読データあり)	SSIRDR	任意	サイクル スチール
100000	11	FLCTL データ 部送信	送信 FIFO データエンプティ要求	任意	FLDTFIFO	サイクル スチール
		FLCTL データ 部受信	受信 FIFO データフル要求	FLDTFIFO	任意	サイクル スチール
100001	11	FLCTL 管理 コード部送信	送信 FIFO データエンプティ要求	任意	FLECFIFO	サイクル スチール
		FLCTL 管理 コード部受信	受信 FIFO データフル要求	FLECFIFO	任意	サイクル スチール
100100	11	MMCIF データ部送信	FIFO ライト要求	任意	DR	サイクル スチール
		MMCIF データ部受信	FIFO リード要求	DR	任意	サイクル スチール

### 14.4.2 チャンネルの優先順位

DMACは、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの2種類のモードから選択できます。モードの選択はDMAOR0（チャンネル0～5）、DMAOR1（チャンネル6～11）のPR1、PR0ビットにより行います。

チャンネル0～5とチャンネル6～11の優先順位の関係はラウンドロビンです。

リセット直後の優先順位はCH0～5>CH6～11です。

#### (1) 固定モード

固定モードではチャンネルの優先順位は変化しません。

固定モードには以下に示す2種類があります。

- チャンネル0～5

CH0>CH1>CH2>CH3>CH4>CH5

CH0>CH2>CH3>CH1>CH4>CH5

- チャンネル6～11

CH6>CH7>CH8>CH9>CH10>CH11

CH6>CH8>CH9>CH7>CH10>CH11

これらの選択はDMAOR0/1のPR1、PR0ビットにより行います。

#### (2) ラウンドロビンモード

ラウンドロビンモードでは、1つのチャンネルで、1転送単位（バイト、ワード、ロングワード、16バイト、または32バイト単位）の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図14.2に示します。なおリセット直後のラウンドロビンモードの優先順位は、CH0>CH1>CH2>CH3>CH4>CH5とCH6>CH7>CH8>CH9>CH10>CH11です。

ラウンドロビンモードを指定した場合、DMAOR0に対応する全チャンネル（チャンネル0～5）、またはDMAOR1に対応する全チャンネル（チャンネル6～11）でサイクルスチールモードとバーストモードの混在はできません。

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

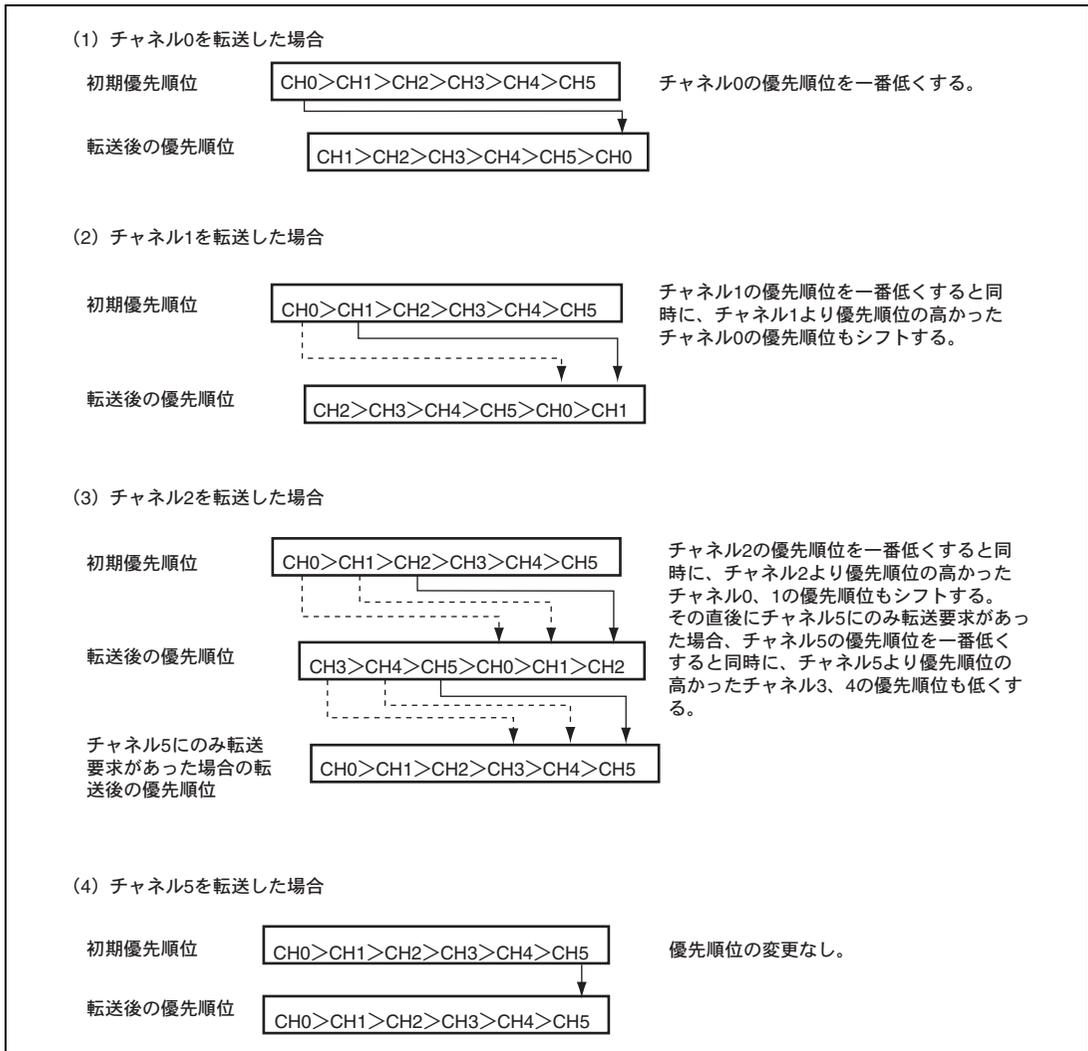


図14.2 ラウンドロビンモード (例: チャンネル 0~5)

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

図 14.3 にチャンネル 0 とチャンネル 3 に同時に転送要求が発生し、チャンネル 0 の転送中にチャンネル 1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下のようになります。

1. チャンネル0とチャンネル3に同時に転送要求が発生します。
2. チャンネル0のほうがチャンネル3より優先順位が高いため、チャンネル0の転送を開始します（チャンネル3は転送待ち）。
3. チャンネル0の転送中にチャンネル1に転送要求が発生します（チャンネル1とチャンネル3は転送待ち）。
4. チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
5. この時点でチャンネル1のほうがチャンネル3より優先順位が高いため、チャンネル1の転送を開始します（チャンネル3は転送待ち）。
6. チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
7. チャンネル3の転送を開始します。
8. チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

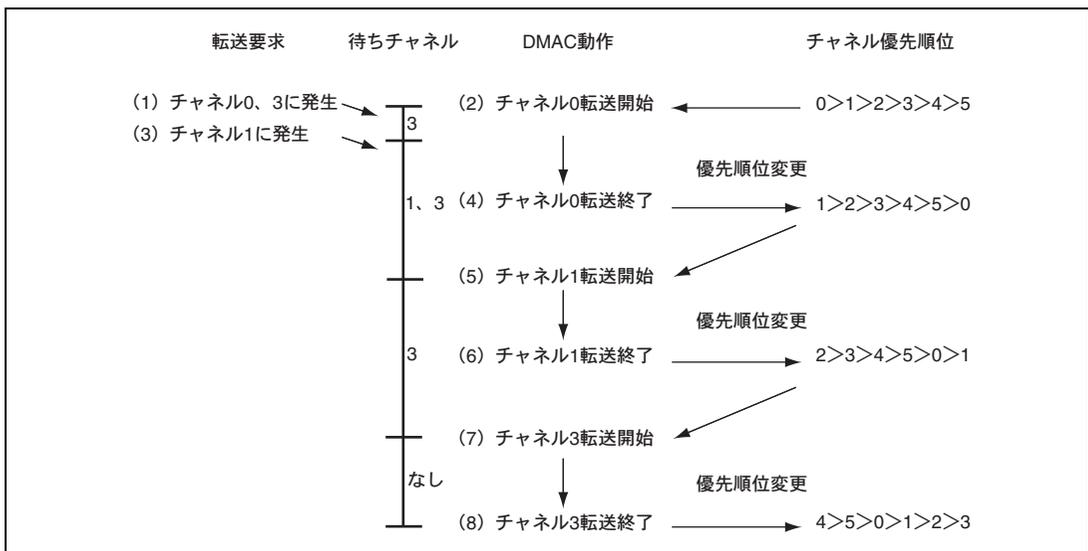


図 14.3 ラウンドロビンモードでのチャンネル優先順位 (例：チャンネル 0～5)

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

### 14.4.3 DMA 転送の種類

アドレスモードは、デュアルアドレスモードをサポートします。具体的な転送動作タイミングは、バスモードによって異なります。バスモードは、サイクルスチールモードとバーストモードがあります。

#### (1) デュアルアドレスモード

デュアルアドレスモードは、転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は外部でも内部でもかまいません。このモードでは、DMAC は、読み出しサイクルで転送元を、書き込みサイクルで転送先をアクセスし、2つのバスサイクルで転送を行います。このとき、転送データは一時的にDMAC に格納されます。たとえば、図 14.4 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータがDMAC に読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。

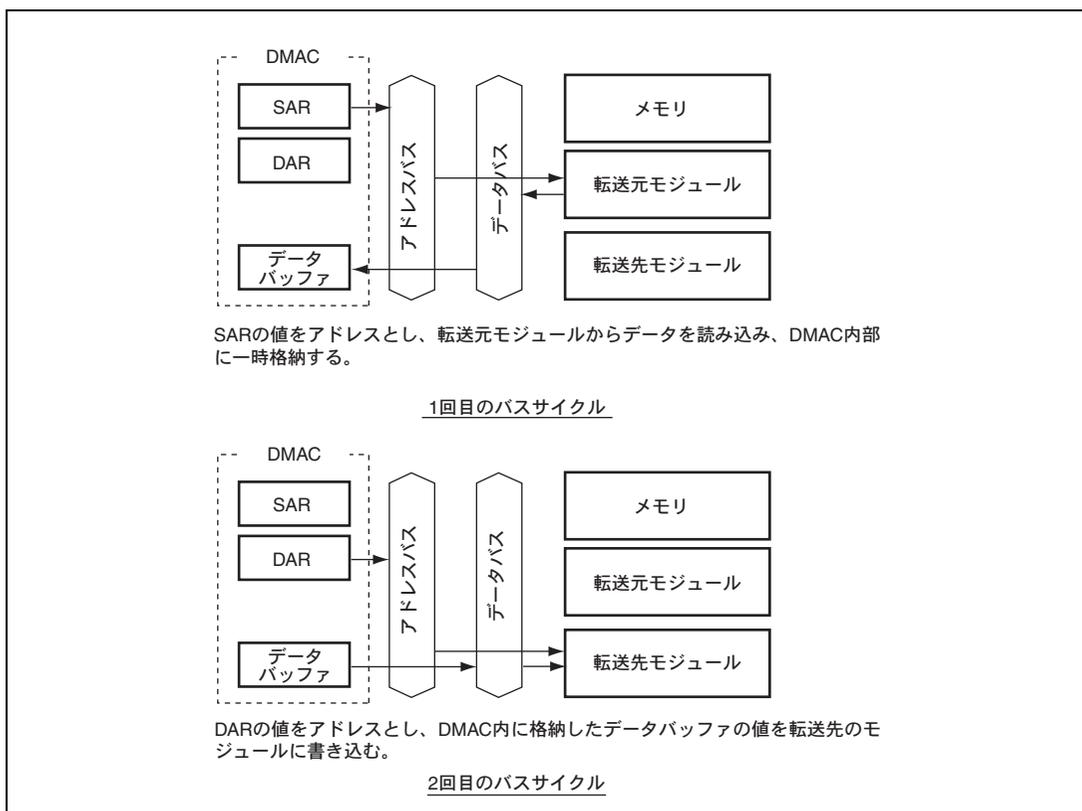


図14.4 デュアルアドレスモードのデータフロー

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

転送要求は、オートリクエスト、外部リクエスト、周辺モジュールリクエストのいずれでも可能です。デュアルアドレスモードでは、DACK はリードサイクルあるいはライトサイクルに出力可能です。リードサイクルとライトサイクルのどちらに出力するかはチャンネルコントロールレジスタ (CHCR) によって設定可能です。

図 14.5 にデュアルアドレスモードでの DMA 転送タイミング例を示します。

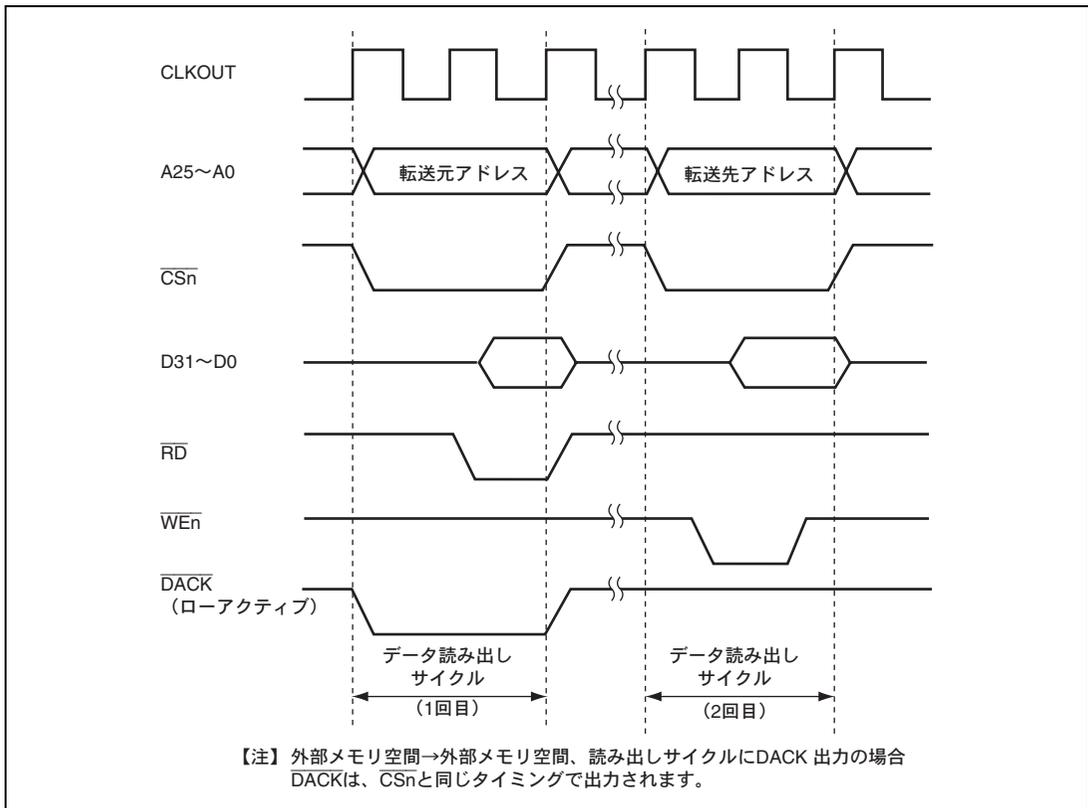


図14.5 デュアルモードの DMA 転送タイミング例 (転送元：通常メモリ、転送先：通常メモリ)

### (2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択はチャンネルコントロールレジスタ (CHCR) の LCKN ビット、TB ビットによって行います。また、サイクルスチールモードには通常モードとインタミットモードがあり、モードの選択は DMAOR の CMS ビットによって行います。

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

### (a) サイクルスチールモード

- 通常モード1 (CHCR.LCKN=0, CHCR.TB=0)

サイクルスチールの通常モード1では、DMACは一回の転送単位 (バイト、ワード、ロングワード、16バイト、または32バイト単位) の転送を終了するたびにSuperHywayバスのバス権を他のバスマスタに渡します。その後転送要求があれば、次の転送要求を発行し、バス権を取得し、再び1転送単位の転送を行い、その転送を終了するとまたSuperHywayバスのバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

図14.6にサイクルスチール通常モード1でのDMA転送タイミング例を示します。

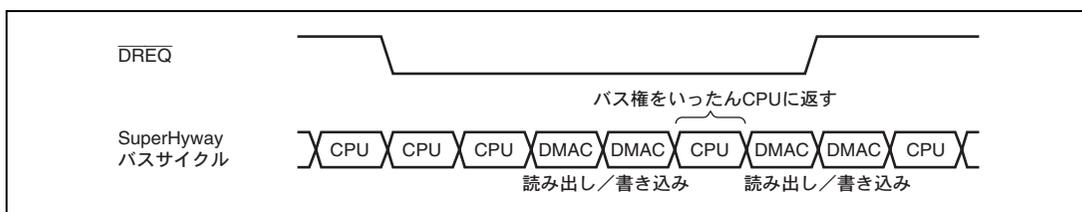


図14.6 サイクルスチール通常モード1のDMA転送例 (DREQローレベル検出)

- 通常モード2 (CHCR.LCKN=1, CHCR.TB=0)

サイクルスチールの通常モード2では、DMACはSuperHywayバスのバス権の確保は行わず1転送単位の読み出しサイクル、書き込みサイクルごとにSuperHywayバスのバス権を取りに行く転送です。

図14.7にサイクルスチールモード2でのDMA転送タイミング例を示します。

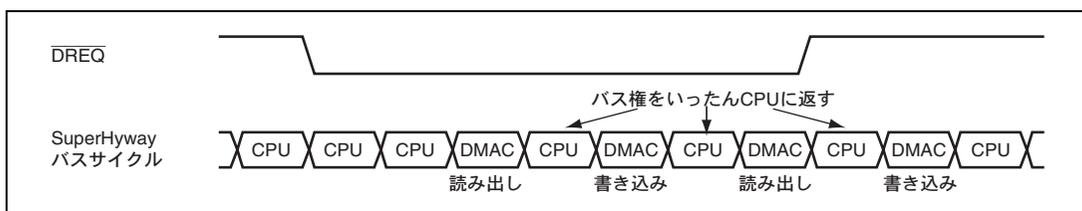


図14.7 サイクルスチール通常モード2のDMA転送例 (DREQローレベル検出)

- インタミットモード16 (DMAOR.CMS=10, CHCR.LCKN=0または1, CHCR.TB=0)、インタミットモード64 (DMAOR.CMS=11, CHCR.LCKN=0または1, CHCR.TB=0)

サイクルスチールのインタミットモードでは、DMACは一回の転送単位 (バイト、ワード、ロングワード、16バイト、または32バイト単位) の転送を終了するたびにSuperHywayバスのバス権を他のバスマスタに渡します。その後転送要求があれば、Bckで16クロックまたは64クロック待った後に、次の転送要求を発行し、再び1転送単位の転送を行い、その転送を終了するとまたSuperHywayバスのバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。このためDMA転送によるバス占有割合をサイクルスチール通常モード1、通常モード2に比べ、低く抑えることが可能です。

DMACが再び次の転送要求を発行するときに、キャッシュミスによるエントリの更新などが行われているときなどは、DMA転送がさらに待たされる場合があります。

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

インタミットモードは、DMAOR0に対応する全チャンネル（チャンネル0～5）、またはDMAOR1に対応する全チャンネル（チャンネル6～11）のバスモードがサイクルスチールモードである必要があります。

図14.8にサイクルスチールインタミットモードでのDMA転送タイミング例を示します。

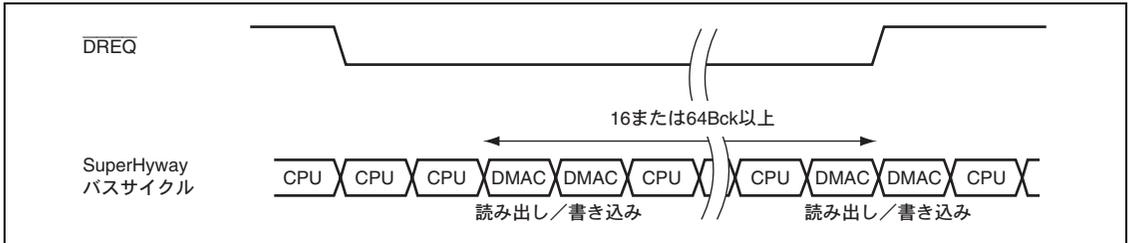


図14.8 サイクルスチールインタミットモードのDMA転送例（DREQローレベル検出）

### (b) バーストモード（LCKN=0、TB=1）

バーストモードではDMACは一度SuperHywayバスのバス権を取ると、転送終了条件が満たされるまでSuperHywayバスのバス権を解放せずに転送を続けます。ただし、外部リクエストモードで、DREQをレベルで検出する場合には、DREQがアクティブなレベルでなくなると、転送終了条件が満たされていなくても、すでに要求を受け付けたDMA転送要求を終了後に他のバスマスタにSuperHywayバスのバス権を渡します。

バーストモードは、周辺モジュールが転送要求元となっている場合には使用できません。

図14.9にバーストモードでのDMA転送タイミングを示します。

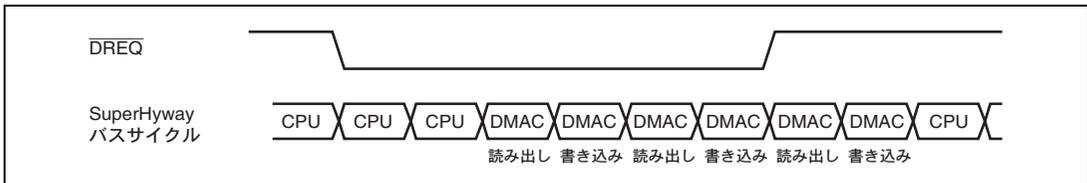


図14.9 バーストモードでのDMA転送例（DREQローレベル検出）

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

### (3) DMA 転送区間

表 14.9 にオートリクエストでの DMA 転送区間、表 14.10 に外部リクエストでの DMA 転送区間、表 14.11 に周辺リクエストでの DMA 転送区間を示します。

表14.8 オートリクエストでの DMA 転送区間

転送元	転送先				
	LBSC 空間	DDR 空間	PCI バス空間	周辺モジュール*	L メモリ SuperHyway メモリ
LBSC 空間	○	○	○	○	○
DDR 空間	○	○	○	○	○
PCI バス空間	○	○	○	○	○
周辺モジュール*	○	○	○	○	○
L メモリ、SuperHyway メモリ	○	○	○	○	○

【記号説明】○：転送可能

【注】 \* 転送元または転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズ。

表14.9 外部リクエストでの DMA 転送区間 (チャンネル0~3のみ)

転送元	転送先				
	LBSC 空間	DDR 空間	PCI バス空間	周辺モジュール* <sup>1</sup>	L メモリ SuperHyway メモリ
LBSC 空間	○	○* <sup>2</sup>	○* <sup>2</sup>	○	○
DDR 空間	○* <sup>3</sup>	×	○* <sup>4</sup>	○* <sup>3</sup>	○* <sup>3</sup>
PCI バス空間	○* <sup>3</sup>	○* <sup>5</sup>	○* <sup>5</sup>	○* <sup>3</sup>	○* <sup>3</sup>
周辺モジュール* <sup>1</sup>	○	○* <sup>2</sup>	○* <sup>2</sup>	○	○
L メモリ、SuperHyway メモリ	○	○* <sup>2</sup>	○* <sup>2</sup>	○	○

【記号説明】○：転送可能、×：転送不可

【注】 \*<sup>1</sup> 転送元または転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズ。

\*<sup>2</sup> CHCR の AM ビットを 0 に設定した場合は転送可能です。

\*<sup>3</sup> CHCR の AM ビットを 1 に設定した場合は転送可能です。

\*<sup>4</sup> CHCR の AM ビットを 1 に設定し、かつ転送先の PCIC アドレス空間のアドレスは H'FD00 0000~H'FDFF FFFF (PCI メモリ空間 0) のみ転送可能です。

\*<sup>5</sup> CHCR の AM ビットを 0 に設定し、かつ転送元の PCIC アドレス空間のアドレスは H'FD00 0000~H'FDFF FFFF (PCI メモリ空間 0) のみ転送可能です。

\*<sup>6</sup> 転送元、転送先の両方もしくはどちらか一方の PCI 空間アドレスのアドレスは H'FD00 0000~H'FDFF FFFF (PCI メモリ空間 0) を設定した場合のみ転送可能です。

転送元に H'FD00 0000~H'FDFF FFFF を設定した場合は、CHCR の AM ビットを 0 に設定してください。

転送先に H'FD00 0000~H'FDFF FFFF を設定した場合は、CHCR の AM ビットを 1 に設定してください。

表14.10 周辺リクエストでの DMA 転送区間

転送元	転送先				
	LBSC 空間	DDR 空間	PCI バス空間	周辺モジュール*	Lメモリ SuperHyway メモリ
LBSC 空間	×	×	×	○	×
DDR 空間	×	×	×	○	×
PCI バス空間	×	×	×	○	×
周辺モジュール*	○	○	○	○	○
Lメモリ、SuperHyway メモリ	×	×	×	○	×

【記号説明】 ○：転送可能、×：転送不可

【注】 \* 転送元または転送先が周辺モジュールの場合、レジスタで許されるアクセスサイズ。転送元または転送先は周辺リクエストの要求元レジスタである必要があります。また、要求元が周辺モジュールの場合、チャンネル 0~5 でサイクルスチールモードのみ選択可能です。

(4) バスモードとチャンネルの優先順位

優先順位固定モード (CH0>CH1) において、チャンネル 1 がバーストモード転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、ただちにチャンネル 0 の転送を開始します。

このとき、チャンネル 0 もバーストモードの場合は、優先順位の高いチャンネル 0 の転送がすべて終了してから、チャンネル 1 の転送を継続します。

また、チャンネル 0 がサイクルスチールモードの場合、まず優先順位の高いチャンネル 0 が 1 転送単位の転送を行った後、バス権を解放せずに連続してチャンネル 1 が転送されます。その後も、チャンネル 0→チャンネル 1→チャンネル 0→チャンネル 1 というように交互に転送が行われます。

この例を図 14.10 に示します。競合するバーストモードが複数チャンネルある場合は、その中で一番優先順位の高いチャンネルが優先実行されます。

DMA 転送を複数チャンネルで行う場合は、競合するすべてのバースト転送が終了するまで、バス権はバスマスタに開放しません。

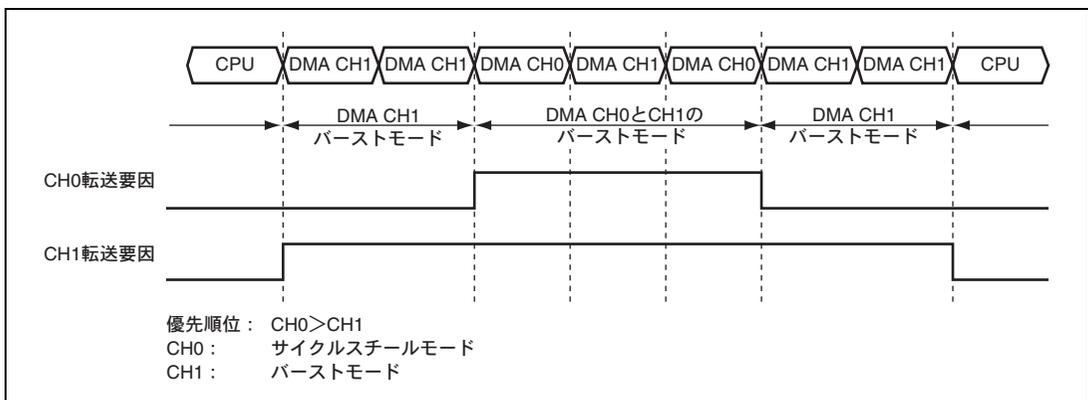


図14.10 複数チャンネルが動作する場合のバス状態

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

---

ラウンドロビンモードでは、図 14.3 に示した仕様で優先順位が変化します。ただし、バスモードがサイクルスチールモードのチャンネルとバーストモードのチャンネルを混在することはできません。

### 14.4.4 転送フロー

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスマフカウントレジスタ (TCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR)、DMA 拡張リソースセレクタ (DMARS) に目的の転送条件設定後、DMAC は以下の順序でデータを転送します。

転送許可状態かどうか (DE=1、DME=1、TE=0、AE=0、NMIF=0) をチェックします。

転送許可状態で転送要求が発生すると 1 転送単位のデータ (TS2、TS1、TS0 の設定により決定) を転送します。オートリクエストモードの場合は DE ビットおよび DME ビットが 1 にセットされると自動的に転送を開始します。

1 回の転送を行うごとに TCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。

指定された回数の転送を終える (TCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットに 1 がセットしてあれば、CPU に DMINT 割り込みを発生します。

DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。

図 14.11 に DMA 転送のフローチャートを示します。

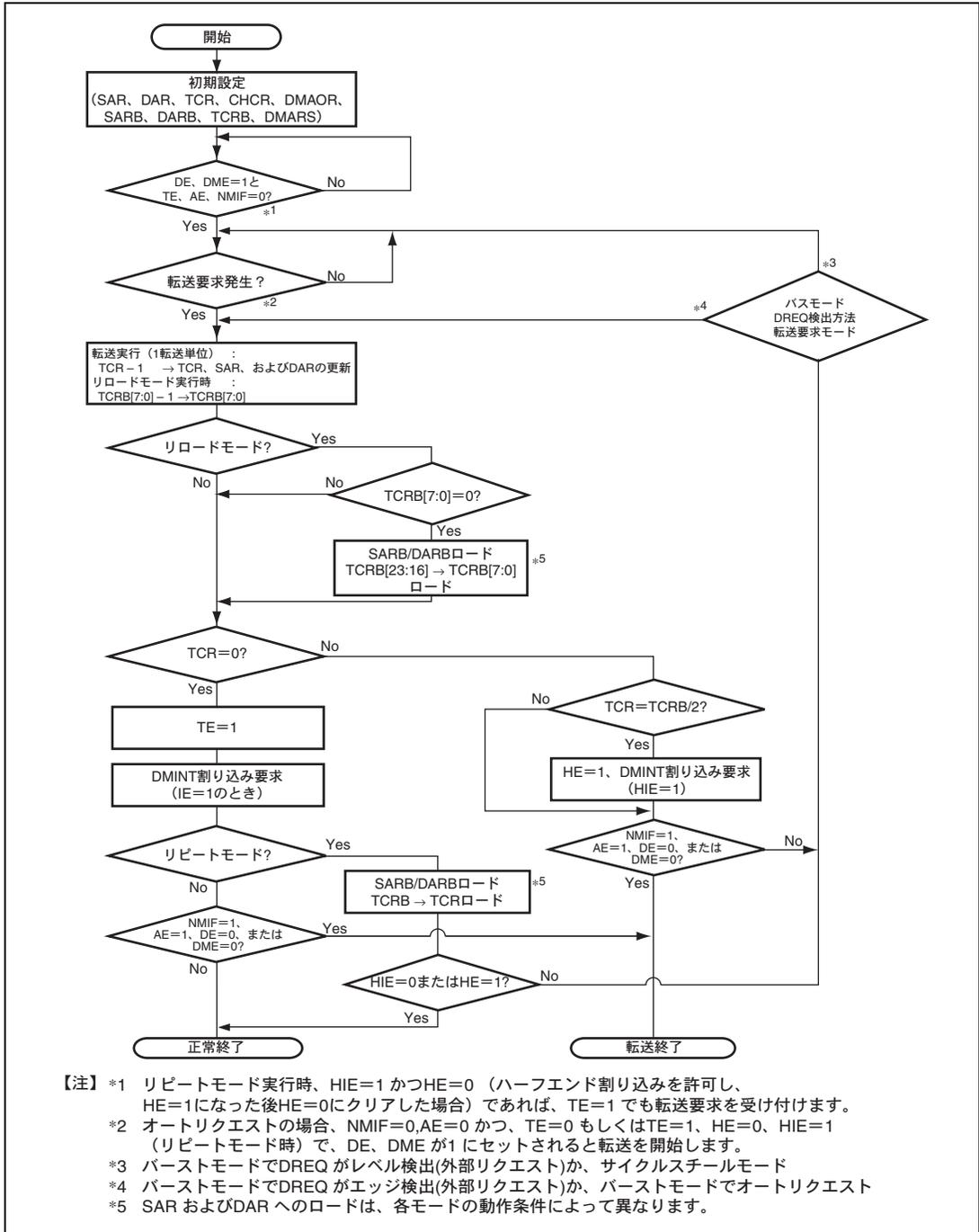


図14.11 DMA 転送フローチャート

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

---

### 14.4.5 リピートモード転送

DMACのリピートモード転送を使用すると、DMA転送を再設定することなく繰り返し実行することが可能となります。

本機能をハーフエンド機能とセットで使用することで二重バッファ転送を仮想的に行うことが可能となります。本機能により以下の処理を効率的に行うことが可能となります。例として、VOICE CODECから音声データを受け取り、圧縮処理を行う場合の動作を説明します。

ここでは40ワードの音声データを受け取りごとに順次圧縮処理を行うことを仮定し、その際の処理を説明します。ここで音声データはSIOFにより受け取ることと仮定します。

#### 1. DMACの設定

SARにSIOFの受信データレジスタのアドレスを設定します。

DARに内部メモリのデータ格納領域のアドレスを設定します。

TCRにH'50 (80回)を設定します。

CHCRに以下の設定をします。

RPT (ビット27、26、25) = B'010 : リピートモード  
(DARをリピート領域として使用)

HIE (ビット18) = B'1 : TCR/2の割り込み発生

DM (ビット15、14) = B'01 : DARは増加

SM (ビット13、12) = B'00 : SARは固定

IE (ビット2) = B'1 : 割り込み許可

DE (ビット0) = B'1 : DMA転送許可

この他、TB、TSなど使用条件に合わせて設定。

DMAORのCMS、PRを使用条件に合わせて設定し、DMEに1を設定します。

2. 音声データの受信転送をSIOF/DMACが実行。

3. TCRが初期設定値の1/2になり割り込み発生。

割り込み処理にて、CHCRを読み出しHE (ビット19)に1がセットされていることを確認し、HEを0にクリアし、DARに設定したアドレスから40ワード分のデータを用いた音声圧縮を実行。

4. TCRが0になり割り込み発生。

割り込み処理にて、CHCRを読み出しTE (ビット1)に1がセットされていることを確認し、TEを0にクリアし、DARに設定したアドレスから40を足したアドレスから40ワード分のデータを用いた音声圧縮を実行。

この際DMACでは、DARにDARBの値がコピーされ初期化されるとともに、TCRにもTCRBの値がコピーされ、初期値80に戻ります。

5. 以後、2.~4.がDME=B'0もしくはDE=B'0が設定されるか、NMI割り込みが発生するまで繰り返し実行されます。(3.でHEを0クリアしなかった場合、または4.でTEを0クリアしなかった場合、HE=1かつTE=1の条

件で停止します。)

つまり、本機能を使用することで、順次受け取るデータの格納バッファと信号処理用のデータバッファとを交互に切り替えながら、逐次音声圧縮が可能となります。

#### 14.4.6 リロードモード転送

DMAC のリロードモード転送を使用すると、CHCR の RPT[2:0]ビットの設定により、TCRB[7:0]に設定した回数の転送ごとに SARB/DARB に設定された値を SAR/DAR に、TCRB[23:16]に設定された値を TCRB[7:0]に再設定し、TCR が 0 になるまで転送を再設定することなく繰り返し実行することが可能となります。本機能は、特定エリアを使ったデータ転送を繰り返し行う際に有効です。この動作を図 14.12 に示します。

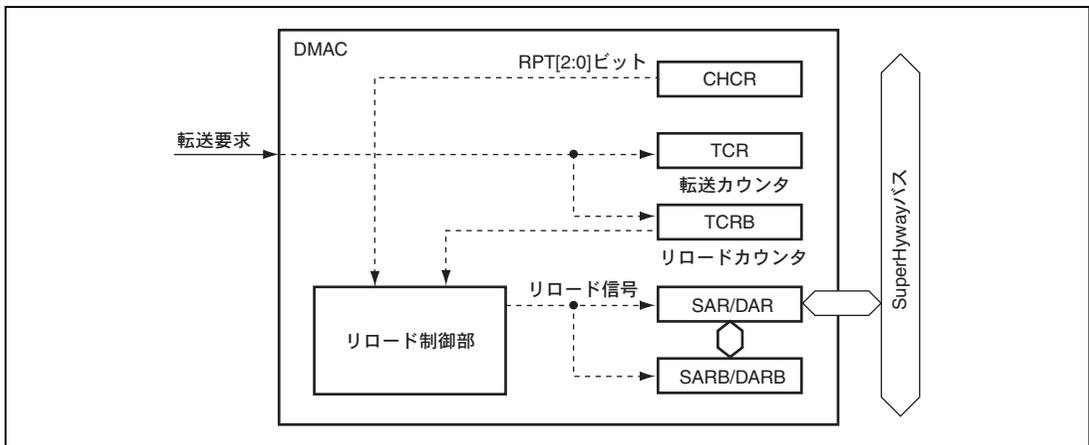


図14.12 リロード機能図

リロードモード実行時は、TCRB をリロードカウンタとして使用します。「14.3.6 DMA トランスファカウンタレジスタ B0~3、6~9 (TCRB0~TCRB3、TCRB6~TCRB9)」を参照し、TCRB を設定してください。

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

### 14.4.7 DREQ 端子のサンプリングタイミング

各バスモードに対する DREQ 入力のサンプリングタイミングを図 14.13、図 14.14、図 14.15、図 14.16 に示します。

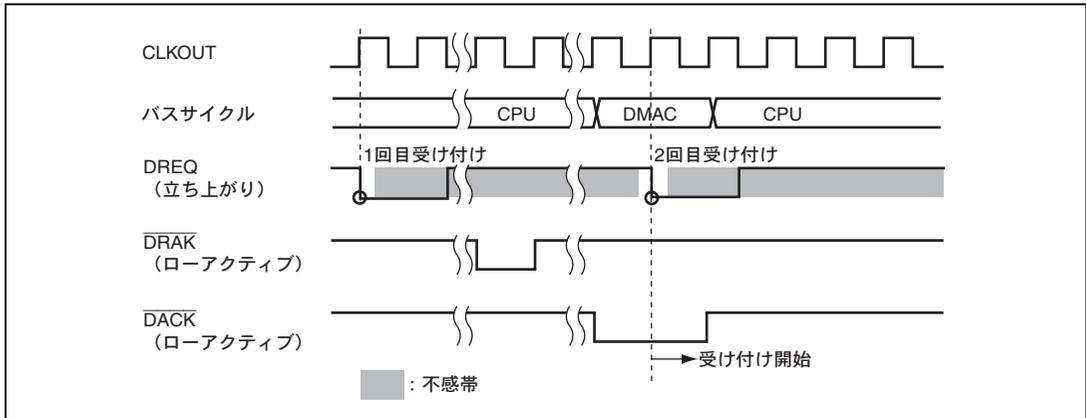


図14.13 サイクルスチールモード・エッジ検出時の DREQ 入力検出タイミング例

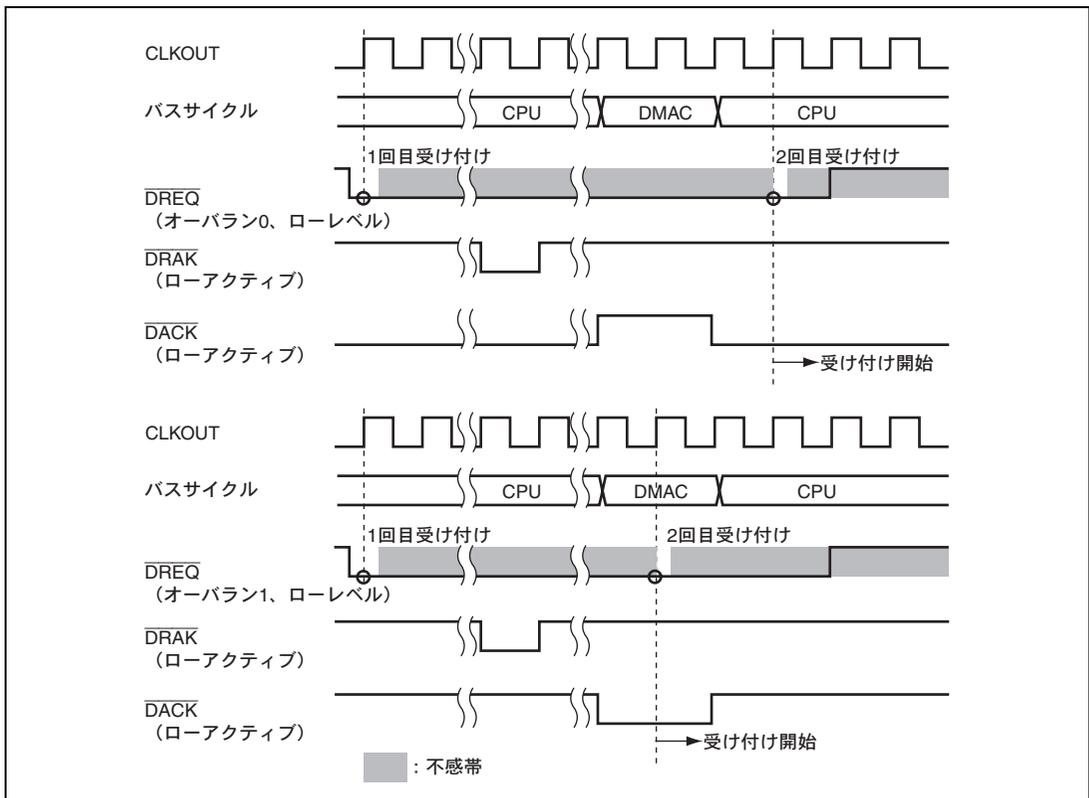


図14.14 サイクルスチールモード・レベル検出時の DREQ 入力検出タイミング例

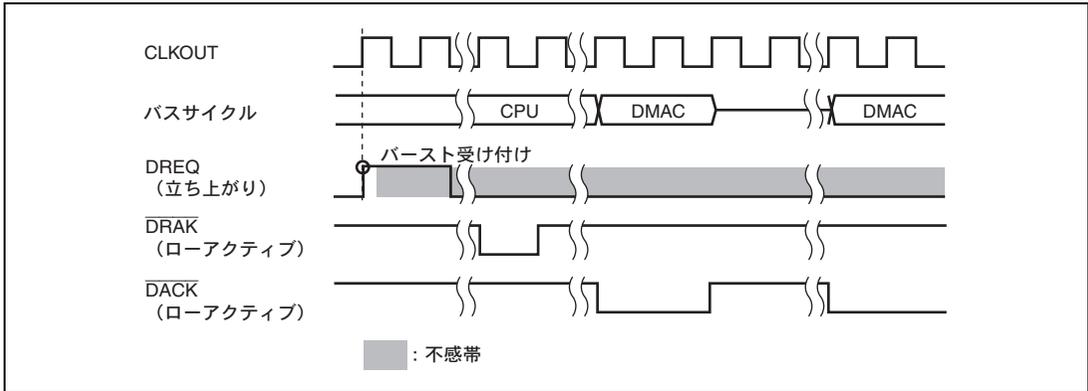


図14.15 バーストモード・エッジ検出時のDREQ入力検出タイミング例

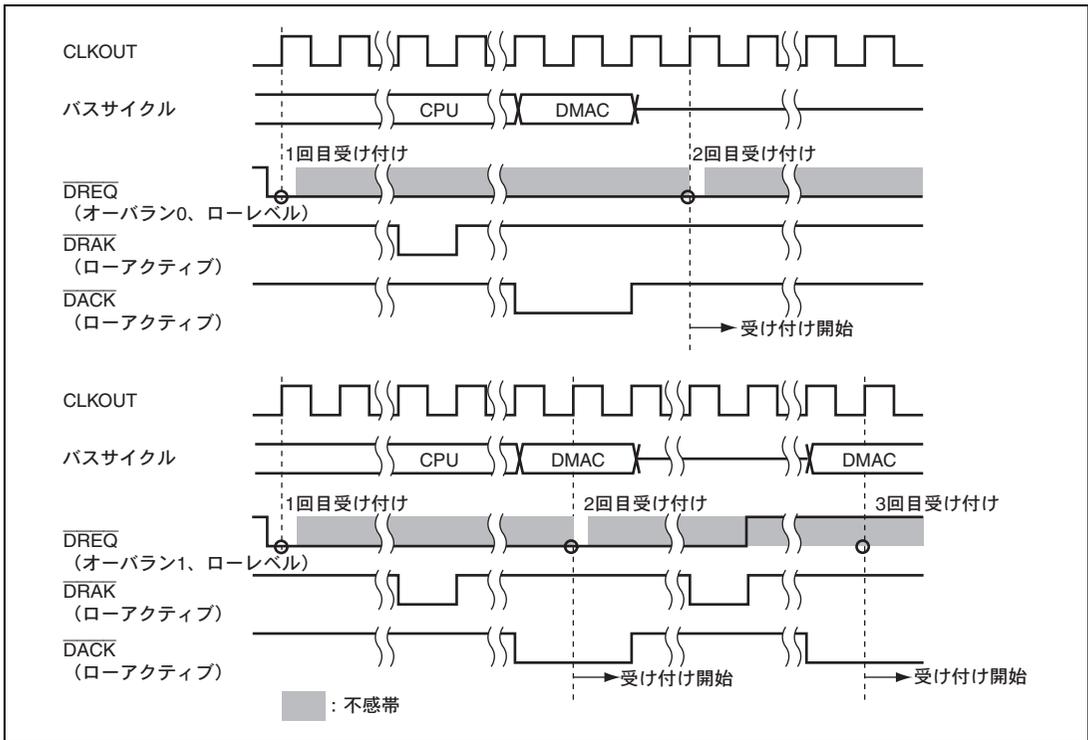


図14.16 バーストモード・レベル検出時のDREQ入力検出タイミング例

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

---

### 14.5 使用上の注意

本 DMAC を使用する際は、以下のことに注意してください。

#### 14.5.1 モジュールストップについて

本 DMAC 動作中に、MSTPCR レジスタ設定によるモジュールスタンバイ(モジュールスタンバイ状態への遷移)を行わないでください。モジュールストップさせた場合、動作中の転送内容は保証できません。

#### 14.5.2 アドレスエラーについて

DMA アドレスエラーが発生した場合、下記手順を行ったの後、DMAOR に対応する全チャンネルの再設定してから転送を開始してください。

1. 下記モジュールへのダミーリード。
  - LBSC : BCR (バスステートコントロールレジスタ) ダミーリード
  - PCIC : PCIECR (イネーブルコントロールレジスタ) のダミーリード
  - DDRIF : MIM (メモリインタフェースレジスタ) のダミーリード
  - INTC : INTC2B3 (モジュール別割り込み要因レジスタ3) のダミーリード
  - SuperHywayメモリ : SuperHywayメモリのダミーリード
2. SYNCO命令を発行。
3. DMAアドレスエラーの発生したDMAORに対応する全チャンネルの再設定。
  - DMAOR0のAEビットが1にセットされた場合はチャンネル0~5の再設定をしてください。
  - DMAOR1のAEビットが1にセットされた場合はチャンネル6~11の再設定をしてください。

#### 14.5.3 バーストモード転送時の注意

バーストモード転送中は、そのチャンネルの転送が完了するまで以下の操作を行わないでください。

- 周波数を変更しないでください。
- スリープモードに遷移させないでください。

#### 14.5.4 DACK の分割出力

8ビット外部デバイスや16ビット外部デバイスにロングワードアクセスしたり、8ビット外部デバイスにワードアクセスなど、DMA転送単位が複数のバスサイクルに分割され場合、かつバスサイクル間でCSがネゲートする場合、データをアライメントするため $\overline{CS}_n$ 同様に $\overline{DACK}$ 出力も分割されるので注意してください。

### 14.5.5 DMINT 割り込みのクリアについて

クリアした DMINT 割り込みを再度受け付けないようにするために、INT2B3 レジスタの該当フラグが 0 になったのを確認したのちに BL ビットをクリアするか、RTE 命令を実行してください。

### 14.5.6 外部バス幅を超える DMA 転送サイズにおける $\overline{CSn}$ 出力の設定

1 回の DMA 転送が複数のバスサイクルに分かれる場合\*<sup>1</sup>、それらのバスサイクル間で  $\overline{CSn}$  がネゲートされないように設定してください\*<sup>2</sup>。設定の詳細は表 11.11～11.14 を参照してください。

$\overline{CSn}$  がネゲートされる設定をおこなった場合、DREQ のサンプリングが正しく行われず、誤動作する可能性があります。

【注】 \*<sup>1</sup> LBSC 外部バス幅にバス幅以上の DMA 転送単位で転送を行う場合。

例：8、16、32 ビットバス幅のエリアに 16、32 バイト転送を行った場合、または、8、16 ビットバス幅のエリアにロングワード (32 ビット) 転送を行った場合や 8 ビットのエリアにワード (16 ビット) 転送を行った場合。  
 なお、MPX インタフェースに対する 32 バイト転送は除きます。この場合、バスサイクルは 1 (バースト) となります。

\*<sup>2</sup> バスサイクル間で  $\overline{CSn}$  がネゲートされる場合、 $\overline{DACK}$  出力もネゲートされます (DACK が分割されます)。

### 14.5.7 DACK のアサートと DREQ 検出について

2 回以上の DMA 転送において、DREQ レベル検出オーバラン 1 および DREQ エッジ検出の場合、それぞれの DMA 転送の間も DACK がアサートされ続けてしまう場合があります\*。この場合、DMA 転送が途中で停止状態となり、正しく行われぬ可能性がありますので、下記のようにそれぞれの DMA 転送の間にアイドルを 1 サイクル以上挿入してください。

転送元が LBSC 空間で読み出しサイクルに DACK を出力する設定 (CHCR.AM=0) の場合

- (1) IWRRD=B'001～B'111 (別空間リード-リードサイクル間アイドルを 1 サイクル以上挿入)
- (2) IWRRS=B'001～B'111 (同一空間リード-リードサイクル間アイドルを 1 サイクル以上挿入)

転送先が LBSC 空間で書き込みサイクルに DACK を出力する設定 (CHCR.AM=1) の場合

- (1) IWW=B'001～B'111 (ライト-リード/ライト-ライトサイクル間アイドルを 1 サイクル以上挿入)

【注】 \* 転送元が LBSC 空間で読み出しサイクルに DACK を出力する設定の場合、または、転送先が LBSC 空間で書き込みサイクルに DACK を出力する設定の場合で、アイドルサイクルなしを設定 (CSnBCR.IWRRD、IWRRS、IWW に B'000 を設定) した場合。転送元と転送先がともに LBSC 空間の場合は該当しません。

表 14.11～14.14 に 1 回の DMA 転送におけるバスサイクル発生数と LBSC のレジスタ設定を示します。本設定により、複数のバスサイクルが発生した場合においても、 $\overline{CSn}$  はネゲートされません。なお、下記設定において、転送元または転送先のどちらか一方のみが LBSC 空間の場合、2 回以上の DMA 転送の間も DACK がアサートされ続けてしまうのを避けるため CSnBCR.IWRRD、IWRRS または IWW を B'001～B'111 に設定してください。この場合、16 バイト転送では、14.5.6 により複数のバスサイクルが発生し、かつそれらバスサイクルの間で  $\overline{CSn}$  がネゲートされるため DREQ のサンプリングが正しく行われず、誤動作する可能性がありますので御注意ください。

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

表 14.11 SRAM、バースト ROM、バイト制御 SRAM インタフェース使用時

バス幅 [ビット]	DMA 転送の アクセスサイズ	バスサイクル 発生数	CSn がネゲートされない設定	
			CSnBCR.IWRRD,IWRRS または IWW	CSnWCR.ADS および ADH
8	バイト	1	任意	任意
	ワード	2	任意	B'000
	ロングワード	4	任意	B'000
	16 バイト	16	B'000	B'000
	32 バイト	32	任意	B'000
16	バイト	1	任意	任意
	ワード	1	任意	任意
	ロングワード	2	任意	B'000
	16 バイト	8	B'000	B'000
	32 バイト	16	任意	B'000
32	バイト	1	任意	任意
	ワード	1	任意	任意
	ロングワード	1	任意	任意
	16 バイト	4	B'000	B'000
	32 バイト	8	任意	B'000

表 14.12 PCMCIA インタフェース使用時

バス幅 [ビット]	DMA 転送の アクセスサイズ	バスサイクル 発生数	CSn がネゲートされない設定
			CSnBCR.IWRRD、IWRRS または IWW
8	バイト	1	任意
	ワード	2	任意
	ロングワード	4	任意
	16 バイト	16	B'000
	32 バイト	32	任意
16	バイト	1	任意
	ワード	1	任意
	ロングワード	2	任意
	16 バイト	8	B'000
	32 バイト	16	任意

14. ダイレクトメモリアクセスコントローラ (DMAC)

表 14.13 MPX インタフェース使用時 (リードアクセス時)

バス幅 [ビット]	DMA 転送の アクセスサイズ	バスサイクル 発生数	$\overline{CSn}$ がネゲートされない設定	
			CSnBCR.IWRRD、または IWRRS	
32	バイト	1	任意	
	ワード	1	任意	
	ロングワード	1	任意	
	16 バイト	4	不可 (常にネゲートされます)	
	32 バイト	1	任意	

表 14.14 MPX インタフェース使用時 (ライトアクセス時)

バス幅 [ビット]	DMA 転送の アクセスサイズ	バスサイクル 発生数	$\overline{CSn}$ がネゲートされない設定	
			CSnBCR.IWW	CSnWCR.IW[1:0]
32	バイト	1	任意	任意
	ワード	1	任意	任意
	ロングワード	1	任意	任意
	16 バイト	4	B'000	B'11~B'01
	32 バイト	1	任意	任意

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

---

---

## 15. クロック発振器 (CPG)

---

クロック発振器 (CPG) は本 LSI の内蔵モジュールおよび外部バスインタフェースに供給するクロックの生成と低消費電力の制御を行います。クロック発振器は、水晶発振回路、PLL 回路、分周器および制御部で構成されます。

### 15.1 特長

- 本LSI内部用のクロックを生成  
CPU、FPU、キャッシュ、TLBで使用するCPUクロック (Ick) と、SuperHywayで使用するSuperHywayクロック (SHck)、さらに周辺モジュールとのインタフェースで使用する周辺クロック (Pck) を生成します。
- 本LSI外部用のクロックを生成  
外部バスインタフェースで使用するバスクロック (Bck) とDDRインタフェースで使用するメモリクロックとしてDDRクロック (DDRck) を生成します。
- クロックモード  
CPGへのクロック入力について水晶発振子入力か外部クロック入力かを選択します。
- 低消費電力モードの制御  
スリープモードでのCPUの停止、モジュールスタンバイ機能での特定モジュールの停止が可能です。  
詳細は、「第17章 低消費電力モード」を参照してください。

## 15. クロック発振器 (CPG)

図 15.1 に CPG のブロック図を示します。

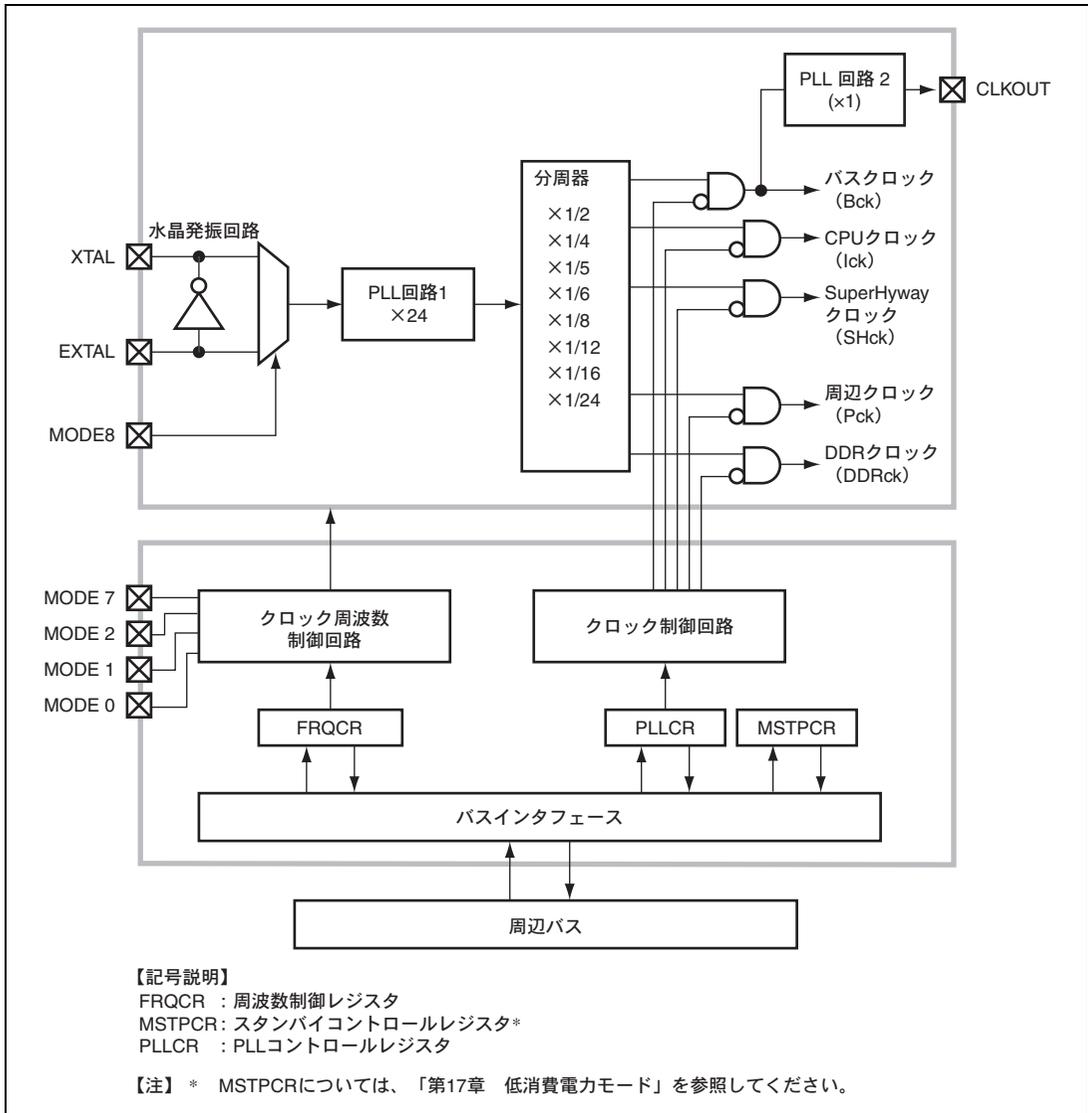


図15.1 CPG ブロック図

CPG の各ブロックは次のように機能します。

#### (1) PLL 回路 1

PLL 回路 1 は、水晶発振回路または EXTAL 端子からの入力クロック周波数を、24 倍に通倍する機能を持ちます。

#### (2) PLL 回路 2

PLL 回路 2 は、バスクロック (Bck) と、外部周辺インタフェースで使用する CLKOUT のクロックの位相を合わせる機能を持ちます。

#### (3) 水晶発振回路

XTAL、EXTAL 端子に水晶発振子を接続して使用する場合の発振回路です。

水晶発振回路は、MODE8 端子の設定により使用可能となります。

#### (4) 分周器

分周器は、CPU クロック (Ick)、SuperHyway クロック (SHck)、周辺クロック (Pck)、DDR メモリクロック (DDRck)、バスクロック (Bck)、を生成します。

分周率は、モード制御端子 MODE0、MODE1、MODE2、および MODE7 の組み合わせにより設定します。

## 15.2 入出力端子

CPG の端子構成を表 15.1 に示します。

表15.1 CPG の端子構成と機能

端子名	機能	入出力	説明
MODE0 MODE1 MODE2 MODE7*1	モード制御端子 0、1、2、7 クロック動作モード	入力	パワーオンリセット後のクロック動作モードを設定します。
MODE8*2	モード制御端子 8 クロック入力モード	入力	水晶発振子の使用/不使用を設定します。 MODE8=Low のとき、EXTAL から外部クロックを入力します。 MODE8=High のとき、EXTAL、XTAL に水晶発振子を接続します。
XTAL	クロック端子	出力	水晶発振子を接続します。
EXTAL		入力	水晶発振子を接続します。 または外部クロック入力端子として使用します。
CLKOUT		出力	外部バスクロック出力端子として使用します

【注】 \*1 これらの端子は DMAC、GPIO 端子とマルチプレクスされています。

\*2 SCIF0、HSPI、FLCTL、GPIO 端子とマルチプレクスされています。

## 15. クロック発振器 (CPG)

### 15.3 クロック動作モード

モード制御端子 (MODE0、MODE1、MODE2、および MODE7) の組み合わせとパワーオンリセット後のクロック動作モードの関係を表 15.2 に示します。

表15.2 クロック動作モード

クロック動作モード	モード制御端子組み合わせ				PLL 1、2	周波数逡倍率 (対入力クロック)					FRQCR 初期値
	MODE7	MODE2	MODE1	MODE0		lck	SHck	Pck	DDRck	Bck	
0	L	L	L	L	ON	×12	×6	×3/2	×24/5	×3	H'1023 3335
1	L	L	L	H	ON	×12	×6	×1	×24/5	×2	H'1024 4336
2	L	L	H	L	ON	×12	×6	×3/2	×24/5	×3/2	H'1025 5335
3	L	L	H	H	ON	×12	×6	×1	×24/5	×1	H'1026 6336
12	H	H	L	L	ON	×12	×4	×1	×4	×2	H'1044 4346

【注】 上記以外のモード端子 MODE0、MODE1、MODE2、および MODE7 の組み合わせは設定禁止です。

### 15.4 レジスタの説明

CPG のレジスタ構成を表 15.3 に示します。また、各処理モードにおけるレジスタの状態を表 15.4 に示します。

表15.3 レジスタ構成

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
周波数制御レジスタ	FRQCR	R/W	H'FFC8 0000	H'1FC8 0000	32	Pck
PLL コントロールレジスタ	PLLCR	R/W	H'FFC8 0024	H'1FC8 0024	32	Pck
スタンバイコントロールレジスタ*	MSTPCR	R/W	H'FFC8 0030	H'1FC8 0030	32	Pck

【注】 \* スタンバイコントロールレジスタについては、「第 17 章 低消費電力モード」を参照してください。

表15.4 各処理モードにおけるレジスタの状態

名称	略称	パワーオンリセット		マニュアルリセット WDT/多重例外による	スリープ SLEEP 命令による
		PRESET 端子による	WDT/H-UDI による		
周波数制御レジスタ	FRQCR	H'1xxx x3xx*2	H'1xxx x3xx*2	保持	保持
PLL コントロールレジスタ	PLLCR	H'0000 E001	保持	保持	保持
スタンバイコントロールレジスタ*1	MSTPCR	H'0000 0000	保持	保持	保持

【注】 \*1 スタンバイコントロールレジスタについては、「第 17 章 低消費電力モード」を参照してください。

\*2 パワーオンリセット後の初期値は、外部端子 MODE0、MODE1、MODE2、および MODE7 の組み合わせにより決まります。

### 15.4.1 周波数制御レジスタ (FRQCR)

FRQCR は、読み出しと一部分書き込み可能な 32 ビットのレジスタで、SuperHyway クロック (SHck)、周辺クロック (Pck)、DDR クロック (DDRck)、バスクロック (Bck) のパワーオンリセット後の周波数通倍率の確認、CPU クロック (Ick) および SuperHyway クロックの通倍率の変更が可能です。周波数通倍率は、表 15.2 クロック動作モード表を参照してください。FRQCR はロングワードアクセスのみ可能です。

本レジスタは **PRESET** 端子によるパワーオンリセット時および WDT オーバフローによるパワーオンリセット時のみリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	IFC0	CFC3	CFC2	CFC1	CFC0	BFC3	BFC2	BFC1	BFC0
初期値:	0	0	0	1	0	0	0	—	0	—	—	0	0	—	—	—
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	P1FC3	P1FC2	P1FC1	P1FC0
初期値:	0	—	—	—	0	0	1	1	0	—	—	—	0	1	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 初期値 (— : 不定値のビット) は、外部端子 MODE0、MODE1、MODE2、および MODE7 の組み合わせにより決まります。

ビット	ビット名	初期値	R/W	説明
31~28	—	0001	R	リザーブビット 読み出すと常に 0001 が読み出されます。書き込む値も常に 0001 にしてください。
27~25	—	000	R/W	リザーブビット 読み出すと常に 000 が読み出されます。書き込む値も常に 000 にしてください。000 以外の値を書き込んだ場合、動作は保証できません。
24	IFC0	不定	R/W	CPU クロック (Ick) および SuperHyway クロック (SHck) 周波数の分周率 IFC0、CFC2、CFC1 ビットの初期値は、外部端子 MODE0、MODE1、MODE2、および MODE7 の組み合わせにより決まります (表 15.2 参照)。 (×12 通倍, ×6 通倍) : 00010 (クロック動作モード 0、1、2、3) (×12 通倍, ×4 通倍) : 00100 (クロック動作モード 12) (×6 通倍, ×6 通倍) : 10000 (初期化終了後のレジスタ設定) 上記以外 : 設定禁止
23	CFC3	0	R/W	
22	CFC2	不定	R/W	
21	CFC1	不定	R/W	
20	CFC0	0	R/W	
19	BFC3	0	R	バスクロック (Bck) 周波数の分周率 BFC2~BFC0 ビットの初期値は、外部端子 MODE0、MODE1、MODE2、および MODE7 の組み合わせにより決まります。書き込みは無効です。 0011 : ×3 通倍 (クロック動作モード 0) 0100 : ×2 通倍 (クロック動作モード 1、12) 0101 : ×3/2 通倍 (クロック動作モード 2) 0110 : ×1 通倍 (クロック動作モード 3)
18	BFC2	不定	R	
17	BFC1	不定	R	
16	BFC0	不定	R	

## 15. クロック発振器 (CPG)

ビット	ビット名	初期値	R/W	説明
15~12	—	0xxx	R	リザーブビット ビット 14~12 の初期値は、外部端子 MODE0、MODE1、MODE2、および MODE7 の組み合わせにより決まります。書き込みは無効です。
11~8	—	0011	R	リザーブビット 読み出すと常に 0011 が読み出されます。書き込む値も常に 0011 にしてください。
7~4	—	0xxx	R	リザーブビット ビット 6~4 の初期値は、外部端子 MODE0、MODE1、MODE2、および MODE7 の組み合わせにより決まります。書き込みは無効です。
3	P1FC3	0	R	周辺クロック (Pck) 周波数の分周率 P1FC1、P1FC0 ビットの初期値は、外部端子 MODE0、MODE1、MODE2、および MODE7 の組み合わせにより決まります。書き込みは無効です。 0101 : ×3/2 逡倍 (クロック動作モード 0、2) 0110 : ×1 逡倍 (クロック動作モード 1、3、12)
2	P1FC2	1	R	
1	P1FC1	不定	R	
0	P1FC0	不定	R	

【注】 FRQCR の IFC と CFC (CPU クロックと SuperHyway クロックの周波数の分周率設定) を変更する場合は、IFC (ビット 24) と CFC (ビット 23~0) 両方の値を設定する必要があります。

### 15.4.2 PLL コントロールレジスタ (PLLCR)

PLLCR は、読み出し／書き込み可能な 32 ビットのレジスタで、CLKOUT 端子からのクロック出力の有無の指定を行います。PLLCR はロングワードアクセスのみ可能です。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CKOFF	—
初期値 :	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。
15~13	—	111	R/W	リザーブビット 読み出すと 111 が読み出されます。書き込む値も常に 111 にしてください。 111 以外の値を書き込んだ場合、動作は保証できません。
12~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	CKOFF	0	R/W	CLKOUT 出力停止 0 : CLKOUT 端子からのクロックを出力します。 1 : CLKOUT 端子からのクロック出力を停止します。端子状態は、Hi-Z です。
0	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

## 15.5 ボード設計上の注意事項

### (1) 水晶発振器使用時の注意

水晶発振器と容量はできるだけ EXTAL 端子および XTAL 端子の近くに置いてください。また、これらの端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなることがあります。

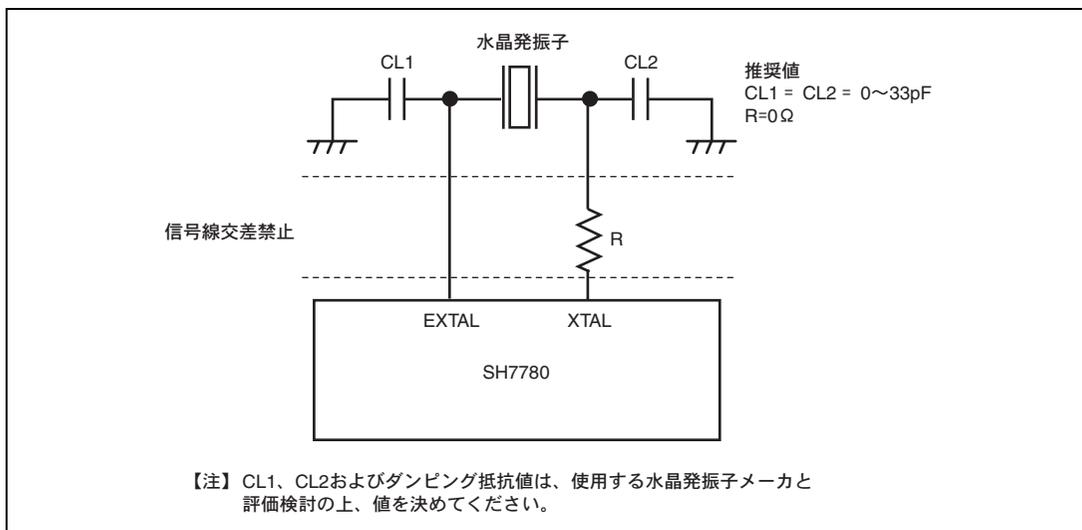


図 15.2 水晶発振器使用時の注意

### (2) 外部クロックを EXTAL 端子から入力するときの注意

XTAL 端子には、何も接続しないでください。

### (3) PLL、DLL 使用時の注意

各 VDD-PLL、VDD-DLL、VSS-PLL、VSS-DLL は、その他の VDD、VSS とはボードの電源供給元から分離し、端子の近くにノイズフィルタとして抵抗 RCB、RD およびバイパスコンデンサ CPB、CD を挿入してください。

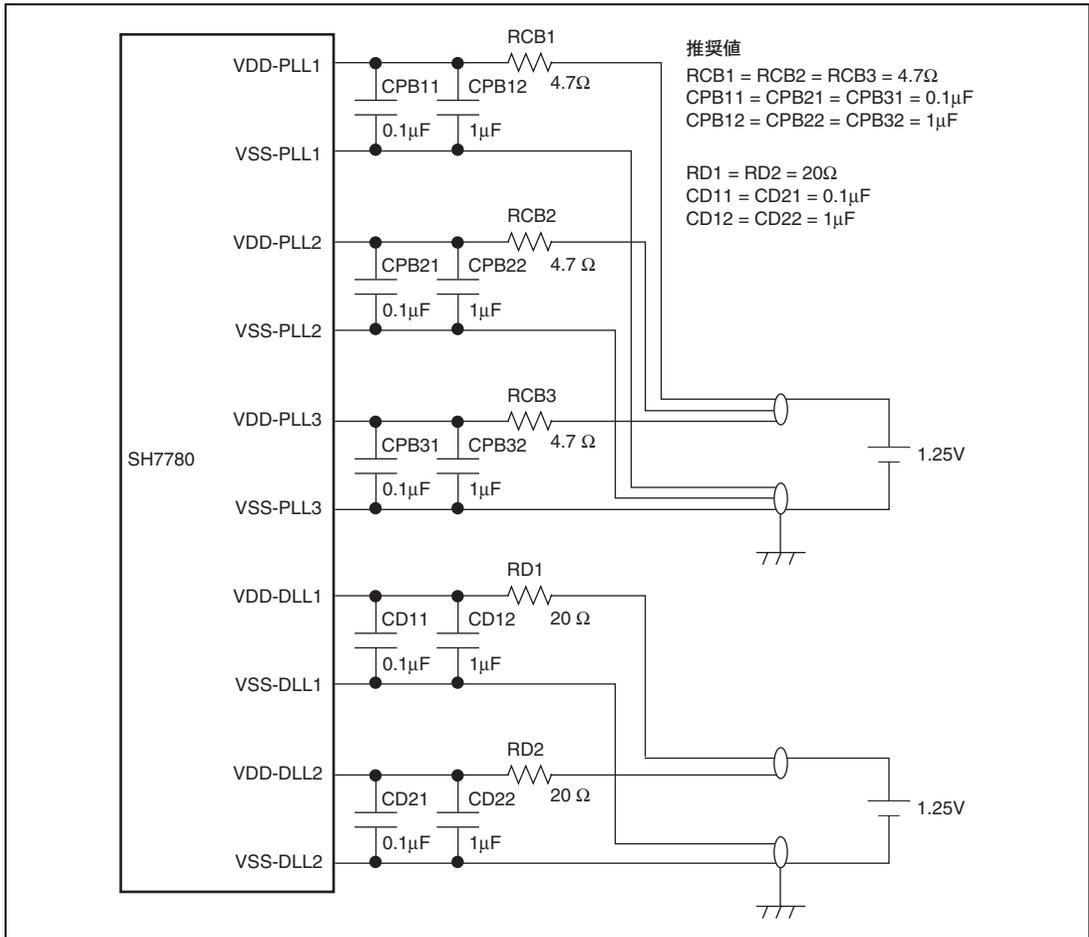


図 15.3 PLL、DLL 発振回路使用時の注意



---

## 16. リセット、ウォッチドッグタイマ (WDT)

---

リセット、ウォッチドッグタイマ (WDT) は、リセット制御部とウォッチドッグタイマ制御部から構成され、パワーオンリセット時のシーケンス制御と、本 LSI 内部および外部周辺デバイスのリセットを制御します。

WDT は 1 チャンネルのタイマでありウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

### 16.1 特長

- 一定周期でカウントするタイマを使用して、システムの暴走を監視する機能を実現します。
- カウンタオーバーフローにより内部をリセットするウォッチドッグタイマモードと、割り込みを発生するインターバルタイマモードがあります。
- ウォッチドッグタイマモード時、カウンタオーバーフローにより内部モジュールをリセットします。
- リセットの種類は、パワーオンリセットとマニュアルリセットを選択できます。また、マニュアルリセット選択時には、 $\overline{\text{MRESETOUT}}$ 端子からマニュアルリセット信号を出力します。
- インターバルタイマモード時、カウンタオーバーフローによりインターバルタイマ割り込みを発生します。
- WDT 関連のレジスタは、容易に書き換えられないように上位 8 ビットにコード値を設定しています。
- カウンタがオーバーフローするまでの最大時間は、約 21 秒 (周辺クロック : Pck=50MHz 時) です。

## 16. リセット、ウォッチドッグタイマ (WDT)

図 16.1 にリセット、ウォッチドッグタイマ (WDT) のブロック図を示します。

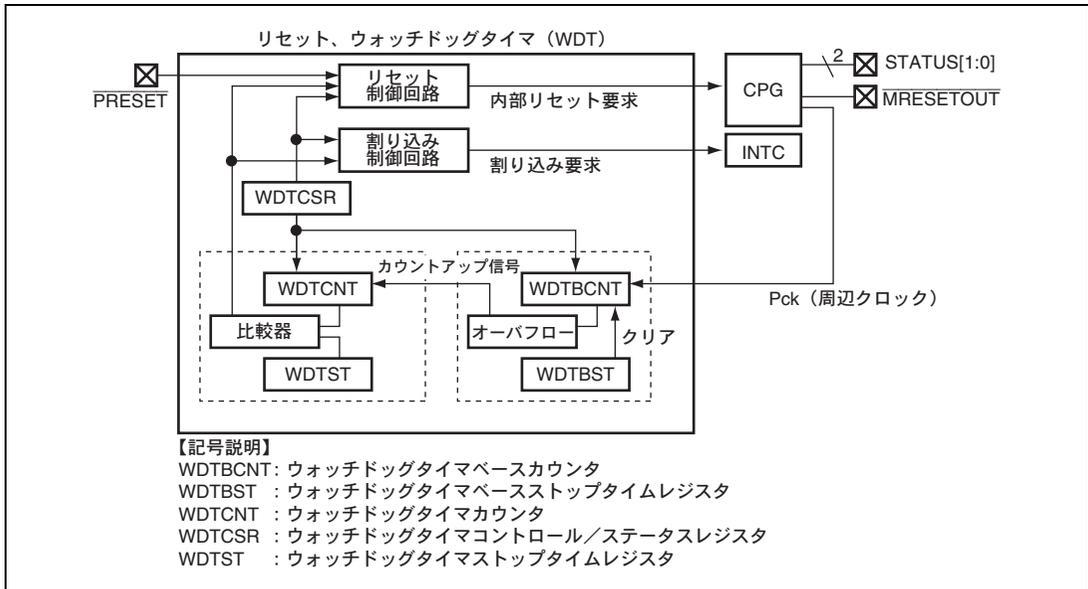


図16.1 ブロック図

## 16.2 入出力端子

リセット、WDT の端子構成と機能を表 16.1 に示します。

表16.1 リセット、WDT の端子構成と機能

端子名	機能	入出力	説明
PRESET	パワーオンリセット 入力端子	入力	端子にローレベルを入力することによりパワーオンリセット状態に移ります。
MRESETOUT*1	マニュアルリセット 出力端子	出力	マニュアルリセット発行中にローレベルを出力します。
STATUS[1:0]**2	ステータス出力	出力	プロセッサの動作状態を表します。 HH: リセット HL: スリープモード LL: 通常動作

【注】 \*1 MRESETOUT 端子は、DMAC、H-UDI、GPIO 端子とマルチプレクスされています。

\*2 STATUS[1:0]端子は、CMT チャンネル 1、0 端子と、それぞれマルチプレクスされています。

### 16.3 レジスタの説明

WDT のレジスタ構成を表 16.2 に示します。また、各処理モードにおけるレジスタの状態を表 16.3 に示します。

表16.2 レジスタ構成

名 称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
ウォッチドッグタイマストップ タイムレジスタ	WDTST	R/W	H'FFCC 0000	H'1FCC 0000	32	Pck
ウォッチドッグタイマコントロール/ ステータスレジスタ	WDTCSR	R/W	H'FFCC 0004	H'1FCC 0004	32	Pck
ウォッチドッグタイマベース ストップタイムレジスタ	WDTBST	R/W	H'FFCC 0008	H'1FCC 0008	32	Pck
ウォッチドッグタイマカウンタ	WDTCNT	R	H'FFCC 0010	H'1FCC0010	32	Pck
ウォッチドッグタイマベース カウンタ	WDTBCNT	R	H'FFCC 0018	H'1FCC 0018	32	Pck

表16.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット		マニュアル リセット	スリープ
		PRESET 端子 による	WDT/H-UDI による	WDT/多重例外 による	SLEEP 命令 による
ウォッチドッグタイマストップ タイムレジスタ	WDTST	H'0000 0000	保持	保持	保持
ウォッチドッグタイマコントロール/ ステータスレジスタ	WDTCSR	H'0000 0000	保持	保持	保持
ウォッチドッグタイマベース ストップタイムレジスタ	WDTBST	H'0000 0000	保持	保持	保持
ウォッチドッグタイマカウンタ	WDTCNT	H'0000 0000	保持	保持	保持
ウォッチドッグタイマベース カウンタ	WDTBCNT	H'0000 0000	保持	保持	保持

## 16. リセット、ウォッチドッグタイマ (WDT)

### 16.3.1 ウォッチドッグタイマストップタイムレジスタ (WDTST)

WDTST は、読み出し/書き込み可能な 32 ビットのレジスタで、WDTCNT のオーバフロー値を設定します。ビット 11~0 に H'001 を設定したときがオーバフローまでの最小時間で、H'000 を設定したときがオーバフローまでの最大時間になります。

WDTST への書き込みはビット 31~24 にコード値 (H'5A) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値 (H'5A)								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	WDTST											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	コード値	すべて 0	R/W	コード値 (H'5A) 読み出すと常に 0 が読み出されます。本レジスタへの書き込み時は H'5A を書き込んでください。
23~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	WDTST	H'000	R/W	WDTCNT のオーバフロー値

### 16.3.2 ウォッチドッグタイマコントロール/ステータスレジスタ (WDTCR)

WDTCR は、読み出し/書き込み可能な 32 ビットのレジスタで、タイマのモードを選択するビット、オーバフローフラグから成ります。

WDTCR への書き込みは上位バイトをコード値 (H'A5) にしてロングワードサイズで行ってください。コード値を読み出すと常に 0 が読み出されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値 (H'A5)								-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TME	WT/IT	RSTS	WOVF	IOVF	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~24	コード値	すべて 0	R/W	コード値 (H'A5) 読み出すと常に 0 が読み出されます。本レジスタへの書き込み時は H'A5 を書き込んでください。
23~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	TME	0	R/W	タイマイネーブル タイマ動作の開始または停止を設定します。 0: カウントアップ停止 1: カウントアップ開始
6	WT/IT	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。なお、WDT の動作中に WT/IT を書き替えるとカウントアップが正しく行われない場合があります。 0: インターバルタイマモード 1: ウォッチドッグタイマモード
5	RSTS	0	R/W	リセットセレクト ウォッチドッグタイマモードで WDTCNT がオーバフローしたときのリセットの種類を指定します。インターバルタイマモードの場合、設定値は無視されます。 0: パワーオンリセット 1: マニュアルリセット

## 16. リセット、ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
4	WOVF	0	R/W	ウォッチドッグタイマオーバーフロー ウォッチドッグタイマモードで WDTCNT がオーバーフローしたことを示します。インターバルタイマモードではセットされません。 0：オーバーフローなし 1：ウォッチドッグタイマモードで WDTCNT がオーバーフローした
3	IOVF	0	R/W	インターバルタイマオーバーフロー インターバルタイマモードで WDTCNT がオーバーフローしたことを示します。ウォッチドッグタイマモードではセットされません。 0：オーバーフローなし 1：インターバルタイマモードで WDTCNT がオーバーフローした
2~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 16.3.3 ウォッチドッグタイマベースストップタイムレジスタ (WDTBST)

WDTBST は、読み出し／書き込み可能な 32 ビットのレジスタで、WDTBCNT のクリアを行います。

WDTBCNT のクリアは、WDTBST の上位バイトにコード値 (H'55) をロングワードサイズで書き込むことで実行します。WDTBCNT を読み出すと常に 0 が読み出されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	コード値 (H'55)								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

### 16.3.4 ウォッチドッグタイマカウンタ (WDTCNT)

WDTCNT は、読み出し可能な 32 ビットのレジスタで、WDTBCNT のオーバフローによりカウントアップします。WDTCNT がオーバフローすると、ウォッチドッグタイマモードでは選択したリセットが発生し、インターバルタイマモードでは割り込みが発生します。

WDTCNT への書き込みは無効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	WDTCNT											
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

### 16.3.5 ウォッチドッグタイマベースカウンタ (WDTBCNT)

WDTBCNT は、読み出し可能な 32 ビットのレジスタで、周辺クロック (Pck) によりカウントアップします。WDTBCNT がオーバフローすると、WDTCNT のカウントアップを行い、WDTBCNT を H'0000 0000 にクリアします。

WDTBCNT への書き込みは無効です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WDTBCNT
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDTBCNT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

### 16.4 動作説明

#### 16.4.1 リセット要求

リセットには、パワーオンリセットとマニュアルリセットがあります。それぞれの発生要因を説明します。

##### (1) パワーオンリセット

###### 1. 要因：

- $\overline{\text{PRESET}}$ 端子からローレベルを入力した場合
- WDTCSRのWT/ITビットが1かつWDTCSRのRSTSビットが0の状態、WDTCNTがオーバフロー発生した場合。
- H-UDIリセットが発生した場合

詳細は「第 30 章 ユーザデバッグインタフェース (H-UDI)」を参照してください。

###### 2. 遷移先アドレス：H'A000 0000

###### 3. 遷移時動作：

例外コード H'000 を EXPEVT にセットします。VBR、SR の初期化を行い、PC=H'A000 0000 に分岐します。初期化により、VBR レジスタは H'0000 0000 にセットされます。SR は、MD、RB、BL ビットが 1 にセットされ、FD ビットが 0 にクリアされ、割り込みマスクレベル (IMASK3~IMASK0) が B'1111 にセットされます。CPU および周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。電源投入時には必ず  $\overline{\text{PRESET}}$  端子にローレベルを入力してください。また、H-UDI を初期化するために、 $\overline{\text{TRST}}$  端子にローレベルを入力する必要があります。

```
Power_on_reset ()
{
    EXPEVT = H'0000 0000;
    VBR = H'0000 0000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR. (I0-I3) = B'1111;
    SR.FD = 0;
    Initialize_CPU ();
    Initialize_Module (PowerOn);
    PC = H'A000 0000;
}
```

## (2) マニュアルリセット

### 1. 要因:

- SRのBLビットが1のときユーザブレークを除く一般例外が発生した場合
- WDTCSRのWT/ITビットが1かつWDTCSRのRSTSビットが1の状態、WDTCNTがオーバフロー発生した場合

### 2. 遷移先アドレス: H'A000 0000

### 3. 遷移時動作:

例外コードH'020をEXPEVTにセットします。VBR、SRの初期化を行い、PC=H'A000 0000に分岐します。

初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクレベル (IMASK3~IMASK0) がB'1111にセットされます。

CPUおよび周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

```
Manual_reset ()
{
    EXPEVT = H'0000 0020;
    VBR = H'0000 0000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR. (I0-I3) = B'1111;
    SR.FD = 0;
    Initialize_CPU ();
    Initialize_Module (Manual) ;
    PC = H'A000 0000;
}
```

## 16.4.2 ウォッチドッグタイマモードの使用法

1. WDTSTにWDTCNTのオーバフロー時間を設定する。
2. WDTCSRのWT/ITビットに1、RSTSビットにリセットのタイプを設定する。
3. WDTCSRのTMEビットに1を設定すると、WDTカウンタのカウントを開始します。
4. ウォッチドッグタイマモードでは、WDTCNTがオーバフローしないように定期的にWDTCNT、またはWDTBCNTをクリアしてください。クリア方法は「16.4.5 WDTカウンタのクリア方法」を参照してください。
5. WDTCNTがオーバフローすると、WDTCSRのWOVFフラグを1にセットし、RSTSビットで指定したリセットが発生します。リセット解除後、WDTCNT、およびWDTBCNTはカウントを再開します。

### 16.4.3 インターバルタイマモードの使用法

インターバルタイマモードでは、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WDTSTにWDCNTのオーバーフロー時間を設定する。
2. WDTCRのWT/ITビットに0を設定する。
3. WDTCRのTMEビットに1を設定すると、WDTカウンタのカウントを開始します。
4. WDCNTがオーバーフローすると、WDTCRのIOVFフラグを1にセットし、インターバルタイマ割り込み要求を発生します。このとき、WDCNT、およびWDTBCNTはカウントを続行しています。

図 16.2 に WDT のカウントアップ動作を示します。

インターバルタイマモードでは、WDCNT のオーバーフロー後もカウントアップを継続します。

ウォッチドッグタイマモードでは、リセット解除後に WDCNT、WDTBCNT を 0 にクリアしてカウントアップを再開します。

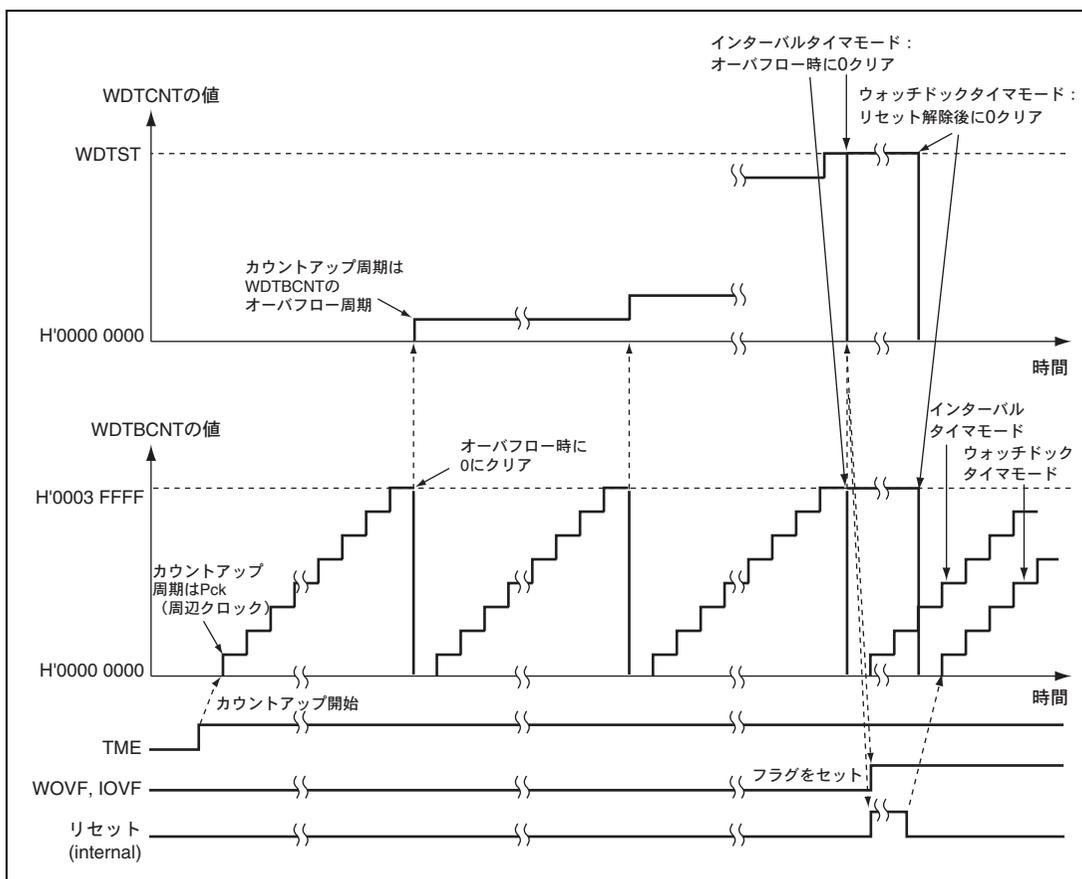


図16.2 WDT のカウントアップ動作

#### 16.4.4 WDT オーバフロー発生までの時間

WDTBCNT は 18 ビットのカウンタで、周辺クロック (Pck) でカウントアップします。

WDTBST のビット 31~24 に H'55 を書き込むことにより WDTBCNT がクリアされます。WDTBCNT のオーバフロー時間は、周辺クロックが 50MHz の場合、

$$2^{18}[\text{bit}] \times 1/50[\text{MHz}] = \text{約 } 5.243[\text{ms}]$$

となります。

WDTCNT は 12 ビットのカウンタで、WDTBCNT でオーバフローが発生するとカウントアップします。WDTST に H'000 を書き込んだ場合がオーバフローまでの最大時間になります。周辺クロックが 50MHz の場合、

$$2^{12}[\text{bit}] \times 5.243 [\text{ms}] = \text{約 } 21.475[\text{s}]$$

がオーバフローまでの最大時間です。

また最小時間は、WDTST に H'001 を書き込んだ場合で、

$$2^1[\text{bit}] \times 5.243[\text{ms}] = 5.243[\text{ms}]$$

となります。

#### 16.4.5 WDT カウンタのクリア方法

WDTBST にコード値をロングワードサイズで書き込むことにより WDTBCNT が、WDTST にオーバフロー値を設定することにより WDTCNT が、それぞれ 0 にクリアされます。

## 16.5 リセット中の端子タイミング

### 16.5.1 PRESET 端子によるパワーオンリセット

パワーオンリセットは、パワーオンリセット状態に遷移した際に PLL をリセットするため、PLL 同期安定化時間を確保する必要があります。したがって、PLL 同期安定化時間中に  $\overline{\text{PRESET}}$  端子にハイレベルを入力しないでください。PLL 同期安定化時間は、PLL1 同期安定化時間と PLL2 同期安定化時間を合計した時間です。

$\overline{\text{PRESET}}$  端子入力をローレベルからハイレベルに変化させた後、リセット保持時間を経過するまで LSI 内部でリセット状態を継続しています。リセット保持時間は、XTAL クロックの 20 サイクル、周辺クロック (Pck) 周期の 45 サイクル以上になります。

STATUS[1:0]がリセット状態を表示するタイミングは非同期になります。また、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、XTAL クロック、CLKOUT 端子出力とは非同期になります。

#### (1) 電源投入時

電源投入時は、必ず  $\overline{\text{PRESET}}$  端子にローレベルを入力してください。また、H-UDI を初期化するために、 $\overline{\text{TRST}}$  端子にローレベルを入力する必要があります。

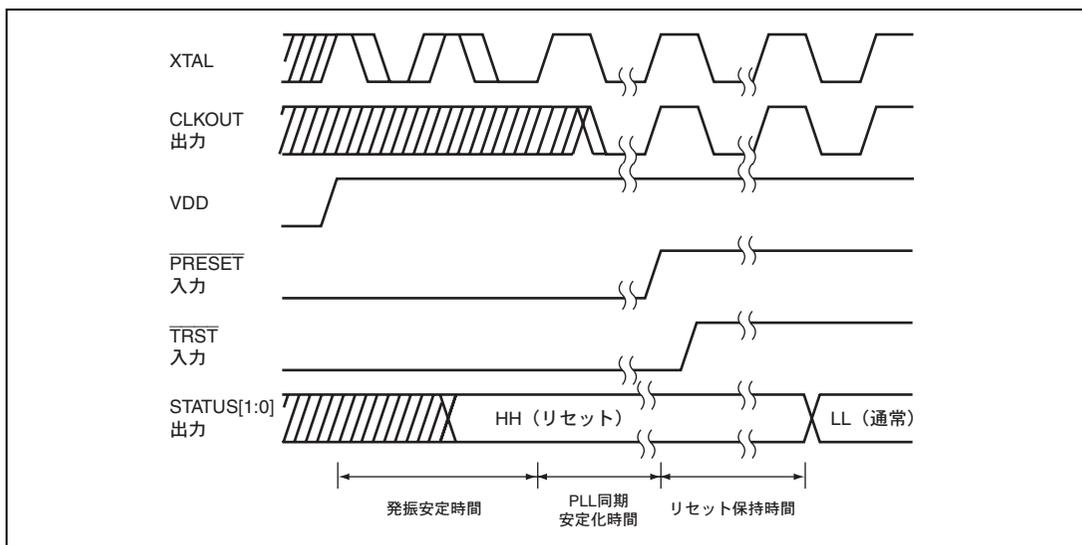
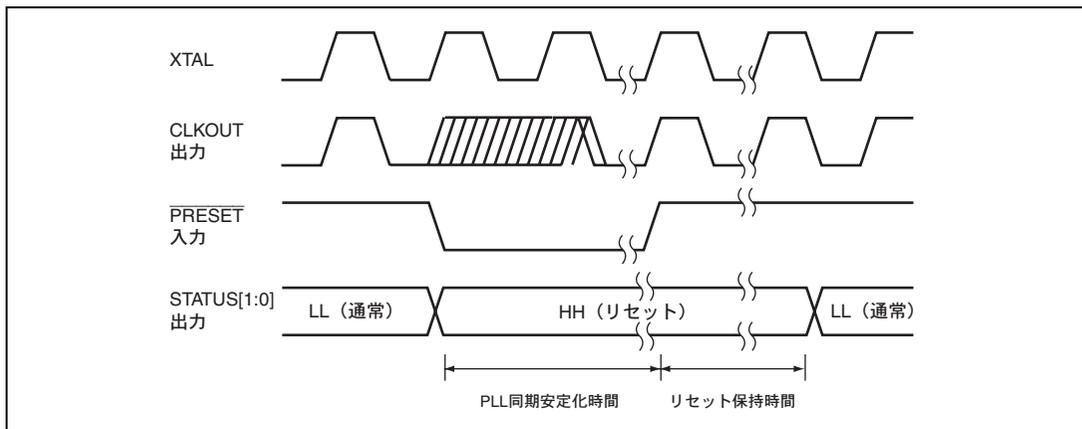


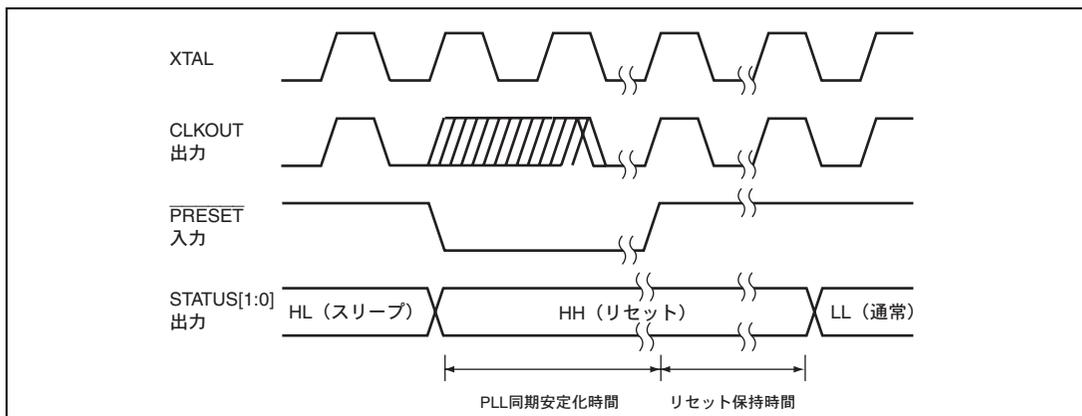
図16.3 電源投入時

(2) 通常動作中に  $\overline{\text{PRESET}}$  端子からパワーオンリセットを発生させた場合

通常動作中に  $\overline{\text{PRESET}}$  端子にローレベルを入力してパワーオンリセットを発生させた場合、PLL 同期安定化時間を確保する必要があります。

図16.4 通常動作中の  $\overline{\text{PRESET}}$  端子によるパワーオンリセット(3) スリープ中に  $\overline{\text{PRESET}}$  端子からパワーオンリセットを発生させた場合

スリープ中に  $\overline{\text{PRESET}}$  端子にローレベルを入力してパワーオンリセットを発生させた場合、PLL 同期安定化時間を確保する必要があります。

図16.5 スリープ中の  $\overline{\text{PRESET}}$  端子によるパワーオンリセット

## 16. リセット、ウォッチドッグタイマ (WDT)

### 16.5.2 WDT オーバフローによるパワーオンリセット

WDT オーバフローからパワーオンリセット状態に移移するまでの時間 (WDT リセットセットアップ時間) は、XTAL クロック周期の 1 サイクル、および周辺クロック (Pck) 周期の 5 サイクル以上になります。

また、WDT オーバフローによるパワーオンリセットの期間 (WDT リセット時間) は、XTAL クロック周期の 3774 サイクル、および周辺クロック (Pck) 周期の 45 サイクル以上になります。

STATUS[1:0] がリセット状態、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、XTAL クロック、CLKOUT 端子出力とは非同期になります。

#### (1) 通常動作中に WDT オーバフローによりパワーオンリセットが発生させた場合

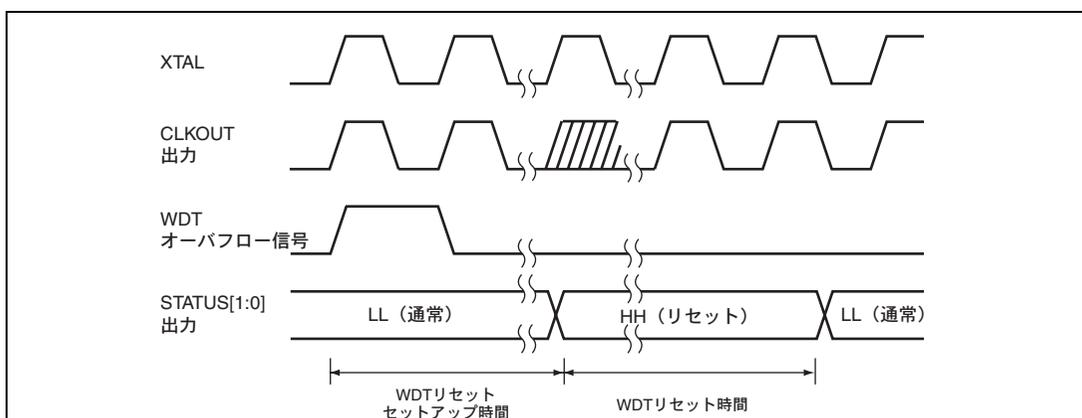


図16.6 通常動作中の WDT オーバフローによるパワーオンリセット

#### (2) スリープ中に WDT オーバフローによりパワーオンリセットが発生させた場合

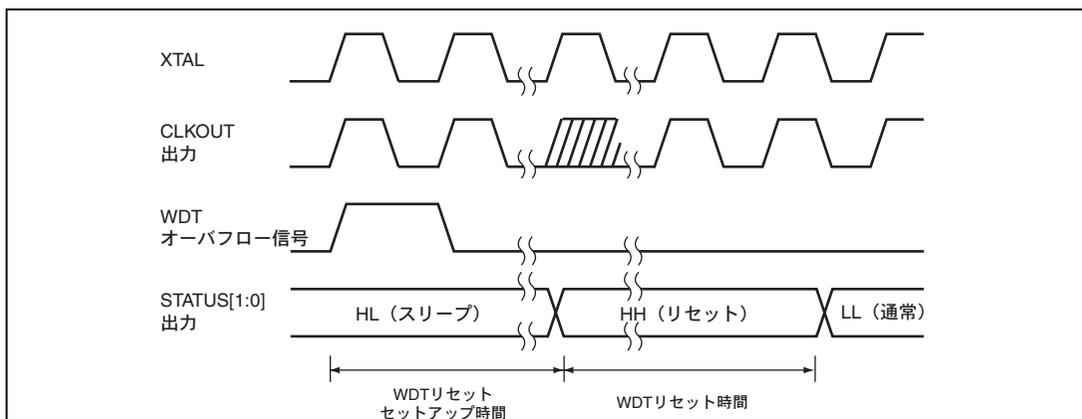


図16.7 スリープ中の WDT オーバフローによるパワーオンリセット

### 16.5.3 WDT オーバフローによるマニュアルリセット

WDT オーバフローによるマニュアルリセットの期間 (WDT マニュアルリセット時間) は、XTAL クロック周期の 3774 サイクル以上になります。

また、WDT オーバフローからマニュアルリセット状態に移移するまでの時間 (WDT リセットセットアップ時間) は、XTAL クロック周期の 1 サイクル、および周辺クロック (Pck) 周期の 5 サイクル以上になります。

STATUS[1:0] がリセット状態、通常状態を表示するタイミングは周辺クロック (Pck) 同期であるため、XTAL クロック、CLKOUT 端子出力とは非同期になります。

#### (1) 通常動作中に WDT オーバフローによりマニュアルリセットを発生させた場合

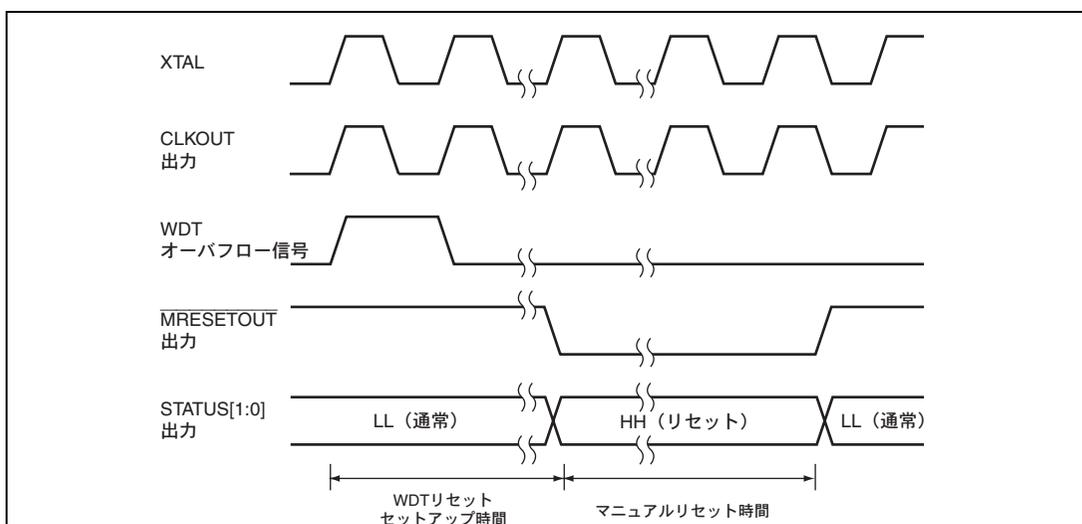


図16.8 通常動作中の WDT オーバフローによるマニュアルリセット

## 16. リセット、ウォッチドッグタイマ (WDT)

### (2) スリープ中に WDT オーバフローによりマニュアルリセットが発生させた場合

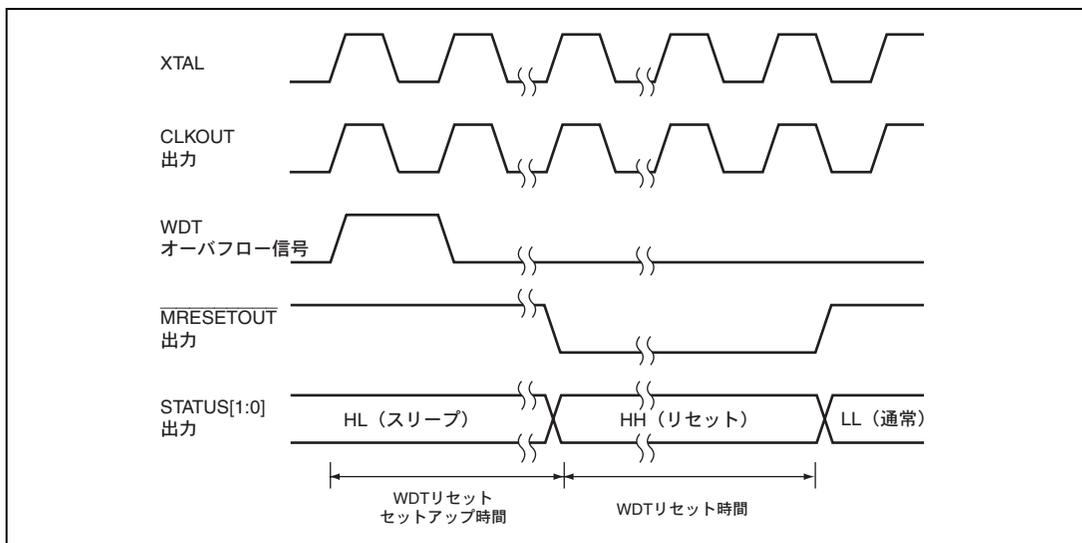


図16.9 スリープ中の WDT オーバフローによるマニュアルリセット

---

## 17. 低消費電力モード

---

低消費電力モードでは、内蔵モジュールの一部と CPU が機能を停止します。これによって、消費電力を低減させることができます。

### 17.1 特長

- スリープモード／モジュールスタンバイモードのサポート
- RTC電源のみを保持し、他の電源をオフするRTC電源バックアップモードのサポート。
- 2.5V系電源のみを保持し、他の電源をオフするDDR-SDRAM電源バックアップモードのサポート。

#### 17.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

- スリープモード
- モジュールスタンバイ機能
- RTC電源バックアップ
- DDR-SDRAM電源バックアップ

## 17. 低消費電力モード

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や内蔵モジュールなどの状態、各モードの解除方法を、表 17.1 に示します。

表 17.1 低消費電力モードの状態

低消費電力モード	遷移状態	状態								解除方法
		CPG	CPU	内蔵メモリ	内蔵モジュール			端子	DDR-SDRAM	
					DMAC	RTC	その他			
スリープモード	SLEEP 命令を実行 (17.4 節参照)	動作	停止 (レジスタは保持)	保持	動作	動作	動作	動作状態を保持	オートリフレッシュまたは、セルフリフレッシュ <sup>*3</sup>	(1) 割り込み (2) パワーオンリセット (3) マニュアルリセット
モジュールスタンバイ機能	スタンバイコントロールレジスタ MSTPCR の該当ビットを 1 にする。 (17.3.1 節参照)	動作	動作	動作	停止	動作	指定モジュールが停止	動作状態を保持	オートリフレッシュまたは、セルフリフレッシュ	スタンバイコントロールレジスタ MSTPCR の該当ビットを 0 にする。 (17.3.1 節参照)
DDR-SDRAM 電源バックアップ <sup>*1,*3,*4</sup>	17.7 節参照	停止	停止	停止	停止	停止	停止	2.5V 系インタフェース以外はハイインピダンス状態	セルフリフレッシュ	パワーオンリセット
RTC 電源バックアップ <sup>*2,*3,*4</sup>	17.8 節参照	停止	停止	保持	停止	動作	停止	RTC モジュールインタフェース以外はハイインピダンス状態	不定 (リフレッシュも行いません)	パワーオンリセット

【注】 \*1 DDR-SDRAM 電源バックアップ時は、2.5V 電源以外の電源 (1.25V、3.3V 電源) は遮断されますので DDRIF のパッド部分以外は DDRIF モジュール含め、すべて停止するとともにレジスタ情報も保持されません。

\*2 RTC 電源バックアップ時は、RTC 電源以外の電源 (1.25V、2.5V、3.3V 電源) は遮断されますので RTC モジュール以外のモジュールは、すべて停止するとともにレジスタ情報も保持されません。

\*3 DDR-SDRAM 電源バックアップ、RTC 電源バックアップ両方を実行する場合は、双方の遷移条件を満たすようにしてください。

\*4 VDDQ 遮断時は端子に信号を入力しないでください。

## 17.2 入出力端子

低消費電力モードに関連する端子を表 17.2 に示します。

表 17.2 端子構成

端子名	機能	入出力	説明
STATUS1	処理状態 1	出力	本 LSI の動作状態を表します。 STATUS[1:0] 動作状態 H H : リセット H L : スリープモード L L : 通常動作 STATUS1、STATUS0 端子は、CMT_CTR1 (CMT 入出力)、 CMT_CTR0 (CMT 入出力) 端子と、それぞれマルチプレクスされています。
STATUS0	処理状態 0		

## 17.3 レジスタの説明

低消費電力モードのレジスタ構成を表 17.3 に示します。また、各処理モードにおけるレジスタの状態を表 17.4 に示します。

表 17.3 レジスタ構成

名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
スタンバイコントロールレジスタ	MSTPCR	R/W	H'FFC8 0030	H'1FC8 0030	32	Pck

【注】 スタンバイコントロールレジスタについては、図 15.1 も参照してください。

表 17.4 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット		マニュアル リセット	スリープ
		PRESET 端子による	WDT/H-UDI による	WDT/多重 例外による	SLEEP 命令 による
スタンバイコントロールレジスタ	MSTPCR	H'0000 0000	保持	保持	保持

【注】 スタンバイコントロールレジスタについては、図 15.1 も参照してください。

## 17. 低消費電力モード

### 17.3.1 スタンバイコントロールレジスタ (MSTPCR)

MSTPCR は、読み出し／書き込み可能な 32 ビットのレジスタで、割り当てられた各モジュールに対し、個別に動作、停止の指定ができます。

MSTPCR は、ロングワードアクセスのみ可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	MSTP <sub>21</sub>	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	MSTP <sub>13</sub>	MSTP <sub>12</sub>	MSTP <sub>11</sub>	MSTP <sub>10</sub>	MSTP <sub>9</sub>	MSTP <sub>8</sub>	—	—	MSTP <sub>5</sub>	MSTP <sub>4</sub>	MSTP <sub>3</sub>	MSTP <sub>2</sub>	MSTP <sub>1</sub>	MSTP <sub>0</sub>
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21	MSTP21	0	R/W	モジュールストップビット 21 クロック停止に移行する場合は、DMA オペレーションレジスタ (DMAOR) のビット 0 (DME) が 0 であるか、または DMA チャンネルコントロールレジスタ n (CHCRn, n=0~11) のビット 1 (TE) がすべて 1 であることを確認後、MSTP21 を 1 にしてください。 0: DMAC 動作 1: DMAC 停止
20~14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13~8	MSTP13 MSTP12 MSTP11 MSTP10 MSTP9 MSTP8	0 0 0 0 0 0	R/W R/W R/W R/W R/W R/W	モジュールストップビット 13~8 該当ビットのモジュールへのクロックの供給の停止を指定します。 [13]: MMCIF、[12]: FLCTL、[11]: RTC、[10]: TMU チャンネル 0~2、 [9]: TMU チャンネル 3~5、[8]: CMT 0: 該当モジュールは動作 1: 該当モジュールへのクロックの供給を停止
7、6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
5~0	MSTP5	0	R/W	モジュールストップビット 5~0
	MSTP4	0	R/W	該当ビットのモジュールへのクロックの供給の停止を指定します。
	MSTP3	0	R/W	[5] : SCIF チャネル 0、[4] : SCIF チャネル 1、[3] : SIOF、[2] : HSPI、
	MSTP2	0	R/W	[1] : SSI、[0] : HAC
	MSTP1	0	R/W	0 : 該当モジュールは動作
	MSTP0	0	R/W	1 : 該当モジュールへのクロックの供給を停止

【注】 DMAC モジュールのモジュールスタンバイ移行中に、スリープ命令発行あるいは動作周波数を変更する場合は、以下の点に注意してください。

- (1) スタンバイコントロールレジスタ (MSTPCR) の MSTP21 ビット (DMAC) への 1 設定は、DMAC の転送動作が終了したことを確認してから行ってください。
- (2) スリープ命令発行あるいは動作周波数を変更する前に MSTPCR レジスタを 2 回ダミーリードしてください。

## 17.4 スリープモード

### 17.4.1 スリープモードへの遷移

スリープモードへ移行する場合は、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。

CPU 以外の内蔵モジュールは動作を続けます。また、CLKOUT 端子にはクロックが出力されつづけます。

スリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

### 17.4.2 スリープモードの解除

スリープモードは、割り込み (NMI、 $\overline{\text{IRQ}}[\overline{\text{IRL}}[7:0]]$ 、内蔵モジュール)、リセットにより解除されます。

スリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けます。必要ならば、

SLEEP 命令実行前に SPC、SSR 等をスタックに退避してください。

#### (1) 割り込みによる解除

NMI、 $\overline{\text{IRQ}}[\overline{\text{IRL}}[7:0]]$ 、内蔵モジュールの各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVT レジスタには、割り込み要因に対応したコードがセットされます。

#### (2) リセットによる解除

$\overline{\text{PRESET}}$  端子によるパワーオンリセットおよび、ウォッチドッグタイマオーパフロー時に発生するパワーオンリセット、マニュアルリセットにより、スリープモードは解除されます。

### 17.5 モジュールスタンバイ機能

#### 17.5.1 モジュールスタンバイ機能への遷移

モジュールスタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵モジュールへのクロック供給を停止させることができます。

モジュールスタンバイ状態にある各モジュールは、モジュールスタンバイ状態に遷移する直前の状態が保持され続けます。レジスタ設定値も停止前の状態を保持します。また、外部端子も停止前の状態を保持します。モジュールスタンバイ状態から復帰すると、停止前の状態から動作を開始します。

**【注】** モジュールの動作が完了してアイドル状態にあり、外部端子や他のモジュールからの起動要因もありえない状態で MSTP ビットに 1 をセットしてください。

#### 17.5.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、各 MSTP ビットを 0 にクリアすることにより行います。

## 17.6 DDR-SDRAM 電源バックアップ

### 17.6.1 セルフリフレッシュ、初期化制御

システム電源をオフする際に DDR-SDRAM の電源をバッテリーでバックアップしてデータを保持するためには、電源オフの前に DDR-SDRAM をセルフリフレッシュ状態にしておく必要があります。また、システム電源オン時に DDR-SDRAM が未初期化状態であるかセルフリフレッシュ状態であるかによって SDRAM の初期化やセルフリフレッシュの解除を行う必要があります。DDR-SDRAM ではセルフリフレッシュへの移行、解除もコマンド発行によって行われます。

#### (1) RMODE ビット

MIM レジスタのビット 33。初期値は 0 で、MIM ビット 9 の DRE ビットを 1 にし、更に本ビットに 1 を設定すると DDRIF は SELF リフレッシュ移行シーケンスを実行します。詳細は DDRIF の「12.5.5 (1) セルフリフレッシュモード」を参照してください。

#### (2) SMS ビット

SCR レジスタのビット 2~0。SMS=B'011 により CKE をイネーブル (ハイレベル) にし、DESELECT コマンドを発行してセルフリフレッシュを解除する時に使用します。

#### (3) $\overline{\text{BKPRST}}$ 信号

LSI の電源投入および遮断時に CKE が一時的に不定になることを防ぐために、外部端子  $\overline{\text{BKPRST}}$  の信号を LSI の電源投入/遮断に同期して入力する必要があります。なお、 $\overline{\text{BKPRST}}$  信号は、システム電源遮断時もローレベルを保持する必要があります。

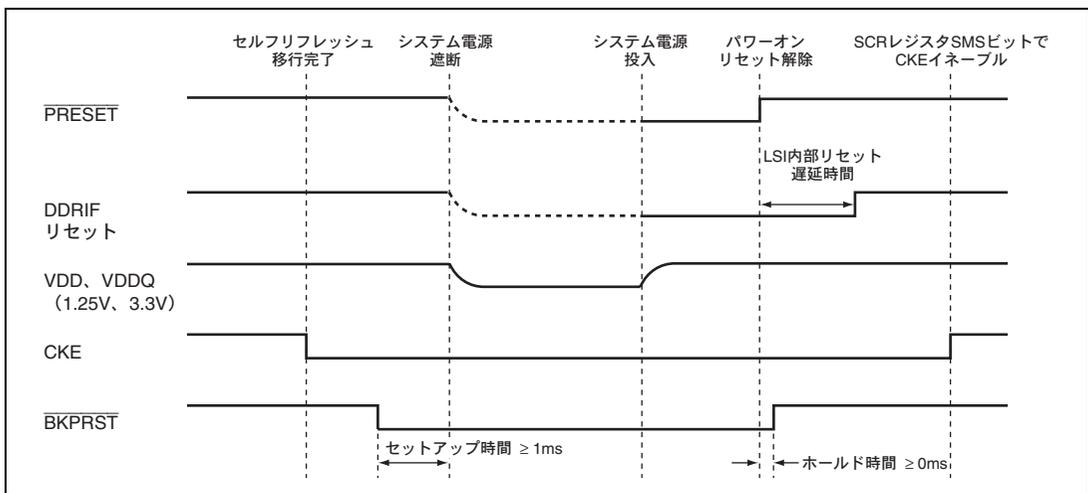


図 17.1 システム電源遮断・投入時の DDR-SDRAM インタフェース動作

### 17.6.2 システム電源遮断時の DDR-SDRAM バックアップシーケンス

システム電源を遮断する際のシーケンスを示します。

セルフリフレッシュに移行し、システム電源を遮断するシーケンスを図 17.3 に示します。

1. 各内蔵モジュールにおけるDDRIFへのアクセスがすべて完了していることを確認してください。
2. ソフトウェアによりSCRレジスタのSMSビットを使用してPREALL（全バンクプリチャージ）コマンドを発行してください。開かれていたSDRAMのバンクが閉じられます。その後、SCRレジスタのSMSビットを使用してREFA（オートリフレッシュ）コマンドを発行し、メモリのすべてのロウアドレスに対してリフレッシュ（REFA）を行ってください。
3. セルフリフレッシュ状態へSDRAMを遷移させるためにDDRIFのMIMレジスタのDRE、RMODE ビットの設定を行ってください。（この時DCEは1のままとしてください。）  
DDRIFはセルフリフレッシュコマンドを自動的に発行し、CKEをローレベルにします。その後DDR-SDRAMは自動的にパワーダウンモードになります。
4. MIMレジスタのSELFSビットが1になります。
5.  $\overline{\text{BKPRST}}$ 端子をハイからローレベルにしてください。  
システム電源遮断直後は、CKE出力が不定となりますので、システム電源遮断前にLSI外部の $\overline{\text{BKPRST}}$ 信号を使ってパワーオンリセット解除までDDR-SDRAMのCKE入力をローレベルに固定してください（図17.1）。
6. システム電源（1.25V、3.3V）を遮断します。

オートリフレッシュからセルフリフレッシュに遷移する場合、現在のオートリフレッシュが遷移前に完了しているか、ディスエーブルされている必要があります。

なお、システム電源投入後においてもLSIの電源が安定してかつクロックが供給されるまでCKE出力は不定となりますので、LSI外部の $\overline{\text{BKPRST}}$ 信号を使ってリセット解除までDDR-SDRAMのCKE入力をローレベルに固定してください。

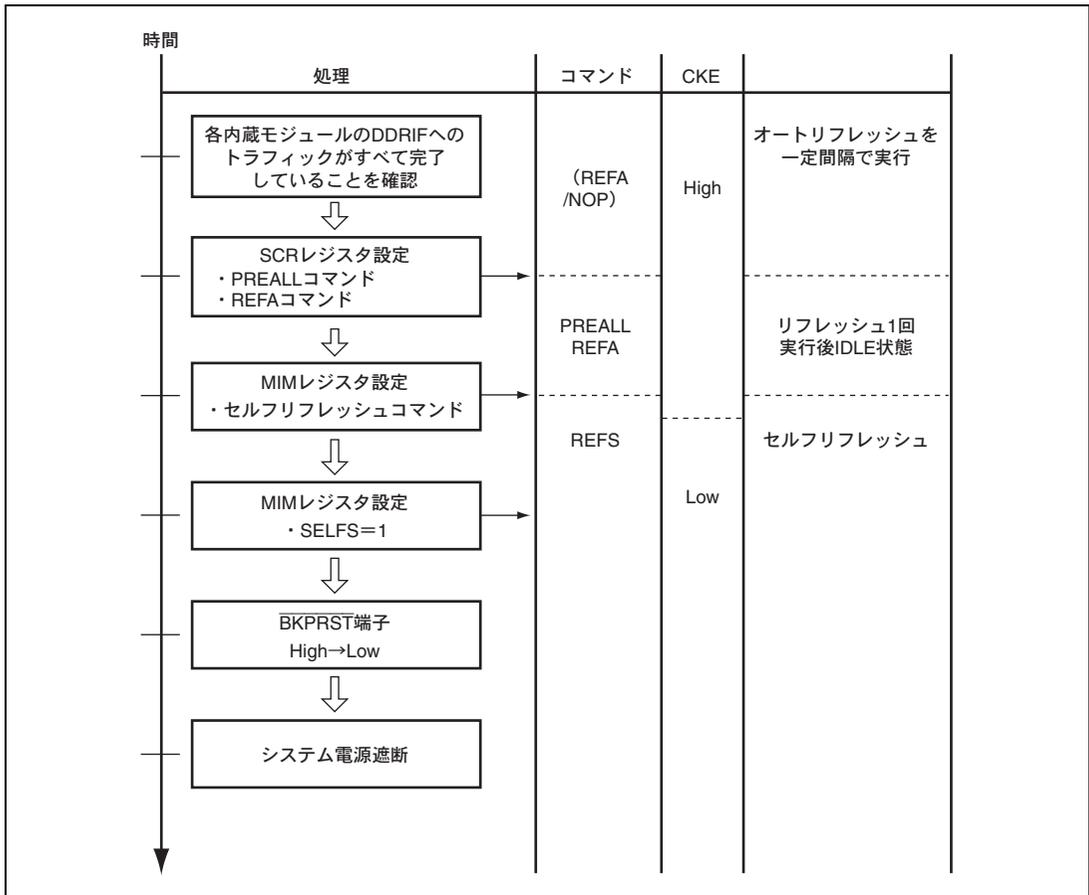


図 17.2 セルフリフレッシュ移行後、システム電源遮断シーケンス

## 17.7 RTC 電源バックアップ

### 17.7.1 RTC 電源バックアップモードへの遷移

VDD 電源 (1.25V) を遮断して RTC 電源バックアップモードにする場合は、 $\overline{\text{XRTCSTBI}}$  をローレベルに保ったまま、VDD (1.25V) をオフにしてください。VDD (1.25V) をオフにすることにより、VDD (1.25V) 動作領域で発生していた電流を削減することが可能となり低消費電力を実現できます。32.768kHz 水晶からクロックが供給されていた場合は、VDD (1.25V) が遮断されている間も、RTC は秒～年カウンタのカウントアップは動作し続けます。

### 17.7.2 RTC 電源バックアップモードの解除

RTC 電源バックアップモードはパワーオンリセットにより解除されます。RTC 電源バックアップ中に割り込み条件が成立してもパワーオンリセットにより無効となります。下記の手順により、RTC 電源バックアップモードを解除することが可能です。

1.  $\overline{\text{PRESET}}$  をローレベルに保ったまま、VDD (1.25V) をオンにします。
2. RTC専用VDD-RTC (3.3V) が供給されているので、貫通電流によるLSI素子破壊防止のために、VDD (1.25V) 電源が安定してから、パワーオン発振安定時間経過後、 $\overline{\text{XRTCSTBI}}$  をハイレベルにしてください。
3. RTCがリセットされるまで $\overline{\text{PRESET}}$ はローレベルを保持してから、パワーオンリセットを解除してください。表 17.5 に RTC 電源バックアップモード関連の端子構成を示します。

表 17.5 端子構成

端子名	機能	入出力	説明
XRTCSTBI	RTC スタンバイ端子	入力	ローレベルで RTC 電源バックアップモード状態になります

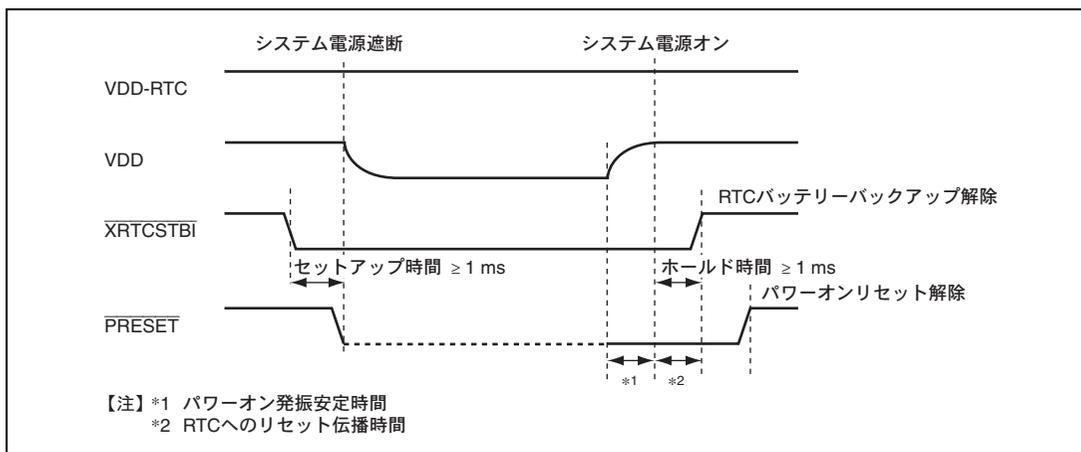


図 17.3 VDD 電源 (1.25V) 遮断/投入シーケンス

## 17.8 モード遷移

図 17.4 にモードの状態遷移を示します。

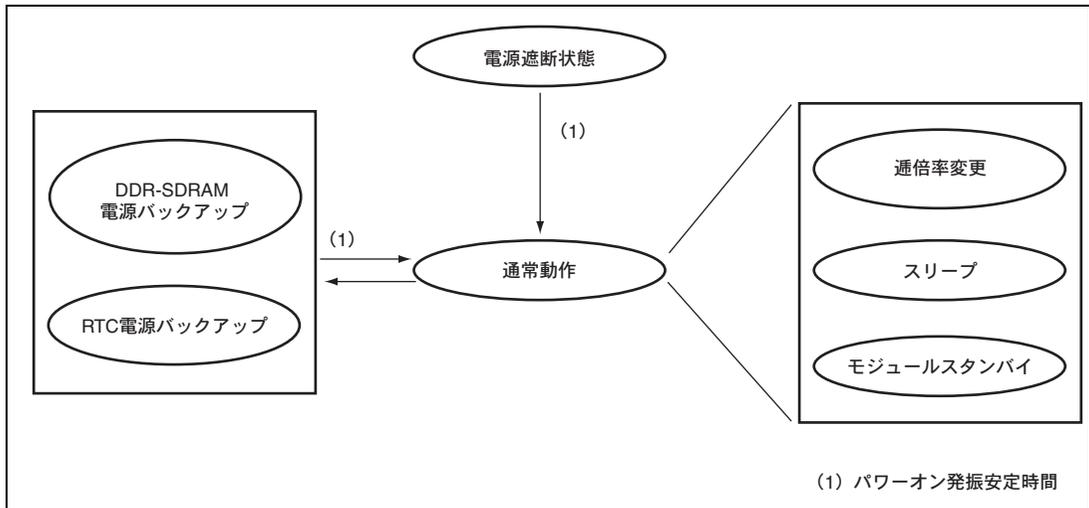


図 17.4 各モード間の状態遷移

## 17.9 STATUS 端子の変化タイミング

### 17.9.1 リセットの場合

「16.5 リセット中の端子タイミング」を参照してください。

### 17.9.2 スリープ解除の場合

スリープ→割り込みの STATUS 端子の変化タイミングを図 17.5 に示します。

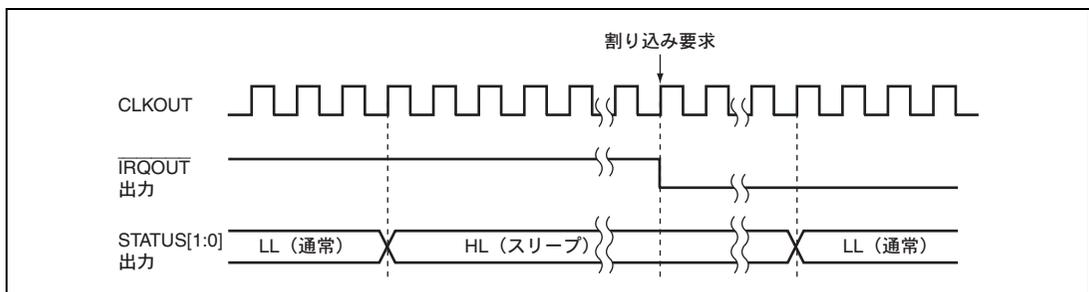


図 17.5 スリープ→割り込みの STATUS 出力

## 17. 低消費電力モード

---

---

## 18. タイマユニット (TMU)

---

本 LSI は 6 チャンネル (チャンネル 0~5) の 32 ビットタイマにより構成される 32 ビットタイマユニット (TMU : Timer Unit) を内蔵しています。

### 18.1 特長

TMU には次のような特長があります。

- 各チャンネルとも、オートリロード方式の32ビットダウンカウンタを搭載
- チャンネル2は、インプットキャプチャ機能を搭載
- チャンネル0~2は、外部クロック選択時もしくはチャンネル2インプットキャプチャ機能使用時には、外部クロックの入力エッジとして立ち上がりエッジ/立ち下がりエッジ選択可能
- 各チャンネルとも、任意の時点で読み出し/書き込み可能なオートリロード用の32ビットタイマコンスタントレジスタおよび32ビットダウンカウンタを搭載
- チャンネル0~2は、7種類のカウンタ入力クロックを選択可能  
外部クロック (TCLK)、内蔵RTCの出カクロック、5種類の周辺クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) (ただし、Pckは周辺クロック)
- チャンネル3~5は、6種類のカウンタ入力クロックを選択可能  
内蔵RTCの出カクロック、5種類の周辺クロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024)
- 2種類の割り込み要因  
アンダフロー×1要因 (各チャンネル)、インプットキャプチャ×1要因 (チャンネル2) があります。

## 18. タイマユニット (TMU)

図 18.1 に TMU のブロック図を示します。

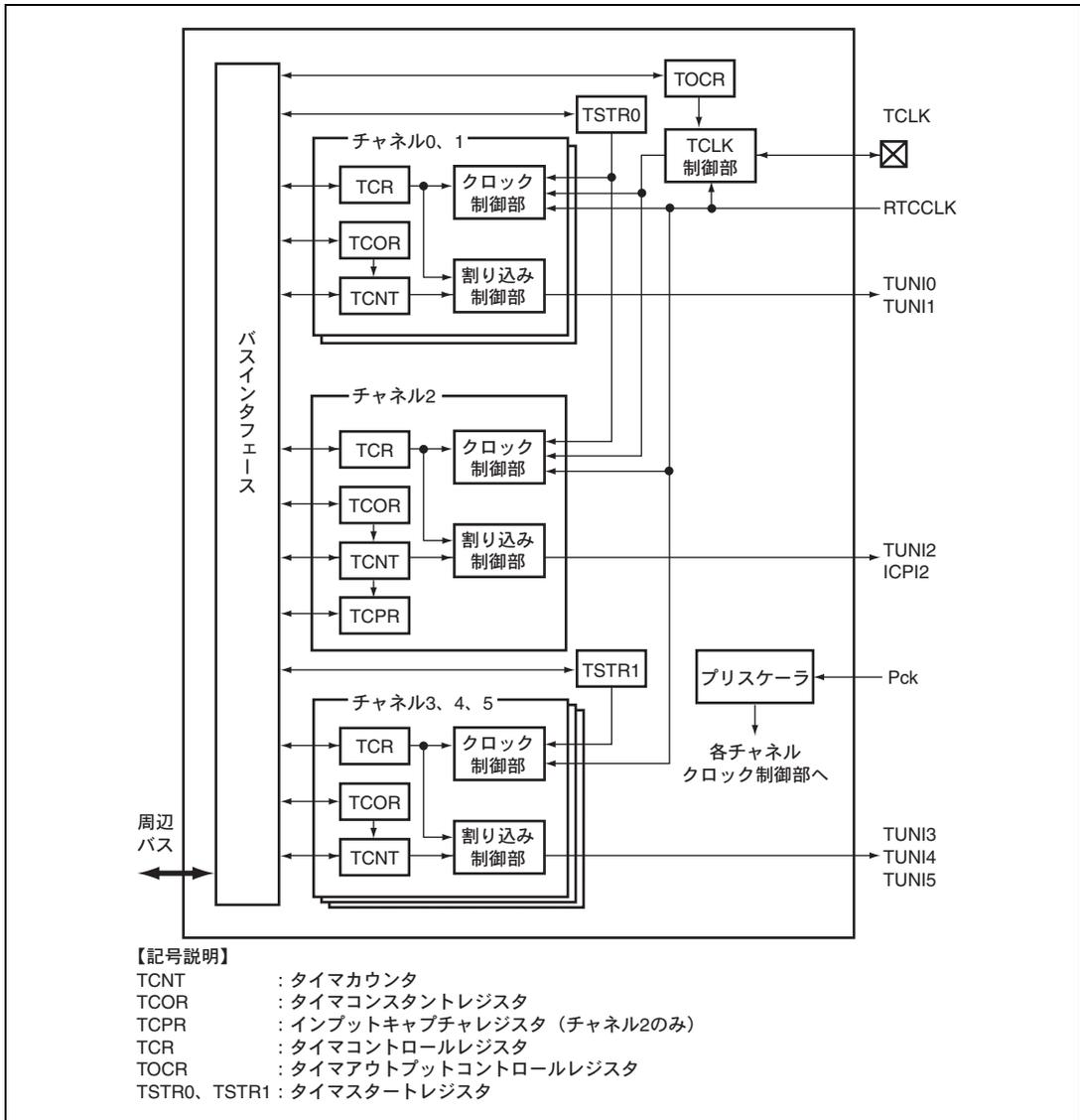


図 18.1 TMU のブロック図

## 18.2 入出力端子

表 18.1 に TMU の端子構成を示します。

表 18.1 端子構成

端子名	機能	入出力	説明
TCLK*	クロック入力/クロック出力	入出力	チャンネル 0、1、2 外部クロック入力端子/ チャンネル 2 インプットキャプチャ制御入力端子/ RTC 用出力端子 (RTC と兼用)

【注】 \* 本端子は、LBSC、GPIO 端子とマルチプレクスされています。

## 18. タイマユニット (TMU)

### 18.3 レジスタの説明

TMU のレジスタ構成を表 18.2 に示します。また、各処理モードにおけるレジスタの状態を表 18.3 に示します。

表 18.2 レジスタ構成

チャンネル	名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
012 共通	タイマアウトプット コントロールレジスタ	TOCR	R/W	H'FFD8 0000	H'1FD8 0000	8	Pck
012 共通	タイマスタートレジスタ 0	TSTR0	R/W	H'FFD8 0004	H'1FD8 0004	8	Pck
0	タイマコンスタントレジスタ 0	TCOR0	R/W	H'FFD8 0008	H'1FD8 0008	32	Pck
	タイマカウンタ 0	TCNT0	R/W	H'FFD8 000C	H'1FD8 000C	32	Pck
	タイマコントロールレジスタ 0	TCR0	R/W	H'FFD8 0010	H'1FD8 0010	16	Pck
1	タイマコンスタントレジスタ 1	TCOR1	R/W	H'FFD8 0014	H'1FD8 0014	32	Pck
	タイマカウンタ 1	TCNT1	R/W	H'FFD8 0018	H'1FD8 0018	32	Pck
	タイマコントロールレジスタ 1	TCR1	R/W	H'FFD8 001C	H'1FD8 001C	16	Pck
2	タイマコンスタントレジスタ 2	TCOR2	R/W	H'FFD8 0020	H'1FD8 0020	32	Pck
	タイマカウンタ 2	TCNT2	R/W	H'FFD8 0024	H'1FD8 0024	32	Pck
	タイマコントロールレジスタ 2	TCR2	R/W	H'FFD8 0028	H'1FD8 0028	16	Pck
	インプットキャプチャレジスタ 2	TCPR2	R	H'FFD8 002C	H'1FD8 002C	32	Pck
345 共通	タイマスタートレジスタ 1	TSTR1	R/W	H'FFDC 0004	H'1FDC 0004	8	Pck
3	タイマコンスタントレジスタ 3	TCOR3	R/W	H'FFDC 0008	H'1FDC 0008	32	Pck
	タイマカウンタ 3	TCNT3	R/W	H'FFDC 000C	H'1FDC 000C	32	Pck
	タイマコントロールレジスタ 3	TCR3	R/W	H'FFDC 0010	H'1FDC 0010	16	Pck
4	タイマコンスタントレジスタ 4	TCOR4	R/W	H'FFDC 0014	H'1FDC 0014	32	Pck
	タイマカウンタ 4	TCNT4	R/W	H'FFDC 0018	H'1FDC 0018	32	Pck
	タイマコントロールレジスタ 4	TCR4	R/W	H'FFDC 001C	H'1FDC 001C	16	Pck
5	タイマコンスタントレジスタ 5	TCOR5	R/W	H'FFDC 0020	H'1FDC 0020	32	Pck
	タイマカウンタ 5	TCNT5	R/W	H'FFDC 0024	H'1FDC 0024	32	Pck
	タイマコントロールレジスタ 5	TCR5	R/W	H'FFDC 0028	H'1FDC 0028	16	Pck

表 18.3 各処理モードにおけるレジスタの構成

チャンネル	名 称	略称	パワーオン リセット PRESET 端子/ WDT/H-UDI による	マニュアル リセット WDT/多重例外 による	スリープ SLEEP 命令 による	モジュール スタンバイ
012 共通	タイマアウトプット コントロールレジスタ	TOCR	H'00	H'00	保持	保持
012 共通	タイマスタートレジスタ 0	TSTR0	H'00	H'00	保持	保持
0	タイマコンスタントレジスタ 0	TCOR0	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 0	TCNT0	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 0	TCR0	H'0000	H'0000	保持	保持
1	タイマコンスタントレジスタ 1	TCOR1	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 1	TCNT1	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 1	TCR1	H'0000	H'0000	保持	保持
2	タイマコンスタントレジスタ 2	TCOR2	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 2	TCNT2	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 2	TCR2	H'0000	H'0000	保持	保持
	インプットキャプチャレジスタ 2	TCPR2	保持	保持	保持	保持
345 共通	タイマスタートレジスタ 1	TSTR1	H'00	H'00	保持	保持
3	タイマコンスタントレジスタ 3	TCOR3	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 3	TCNT3	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 3	TCR3	H'0000	H'0000	保持	保持
4	タイマコンスタントレジスタ 4	TCOR4	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 4	TCNT4	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 4	TCR4	H'0000	H'0000	保持	保持
5	タイマコンスタントレジスタ 5	TCOR5	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマカウンタ 5	TCNT5	H'FFFF FFFF	H'FFFF FFFF	保持	保持
	タイマコントロールレジスタ 5	TCR5	H'0000	H'0000	保持	保持

## 18. タイマユニット (TMU)

### 18.3.1 タイマアウトプットコントロールレジスタ (TOCR)

タイマアウトプットコントロールレジスタ (TOCR) は、読み出し／書き込み可能な 8 ビットのレジスタです。外部端子の TCLK を外部クロックまたはインプットキャプチャ制御用の入力端子とするか、内蔵 RTC の出力クロック用の出力端子とするかを選択します。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	TCOE
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	TCOE	0	R/W	タイマクロック端子制御 (TCOE) タイマクロック端子 (TCLK) を外部クロックまたはインプットキャプチャ制御用の入力端子とするか、内蔵 RTC の出力クロック用の出力端子とするかを選択します。  0：外部クロックまたはインプットキャプチャ制御用の入力端子とする 1：内蔵 RTC の出力クロック用の出力端子とする

### 18.3.2 タイマスタートレジスタ (TSTR0、TSTR1)

TSTR は、読み出し／書き込み可能な 8 ビットのレジスタです。TCNT を動作させるか、停止させるかを選択します。

- TSTR0

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	STR2	STR1	STR0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR2	0	R/W	カウンタスタート 2 TCNT2 を動作させるか、停止させるかを選択します。  0：TCNT2 のカウント動作は停止 1：TCNT2 はカウント動作する

ビット	ビット名	初期値	R/W	説明
1	STR1	0	R/W	カウンタスタート 1 TCNT1 を動作させるか、停止させるかを選択します。 0 : TCNT1 のカウント動作は停止 1 : TCNT1 はカウント動作する
0	STR0	0	R/W	カウンタスタート 0 TCNT0 を動作させるか、停止させるかを選択します。 0 : TCNT0 のカウント動作は停止 1 : TCNT0 はカウント動作する

- TSTR1

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	STR5	STR4	STR3
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	STR5	0	R/W	カウンタスタート 5 TCNT5 を動作させるか、停止させるかを選択します。 0 : TCNT5 のカウント動作は停止 1 : TCNT5 はカウント動作する
1	STR4	0	R/W	カウンタスタート 4 TCNT4 を動作させるか、停止させるかを選択します。 0 : TCNT4 のカウント動作は停止 1 : TCNT4 はカウント動作する
0	STR3	0	R/W	カウンタスタート 3 TCNT3 を動作させるか、停止させるかを選択します。 0 : TCNT3 のカウント動作は停止 1 : TCNT3 はカウント動作する

## 18. タイマユニット (TMU)

### 18.3.3 タイマコンスタントレジスタ (TCORn) (n=0~5)

TCOR は、読み出し／書き込み可能な 32 ビットレジスタです。TCNT のカウントダウンの結果、アンダフローが発生すると、この TCOR の値が TCNT にセットされ、TCNT はセットされた値からカウントダウンを続けます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

### 18.3.4 タイマカウンタ (TCNTn) (n=0~5)

TCNT は、読み出し／書き込み可能な 32 ビットレジスタです。TCNT は、TCR の TPSC2~TPSC0 ビットにより選択した入力クロックにより、カウントダウン動作を行います。

TCNT のカウントダウン動作の結果、アンダフローが発生すると、対応するチャンネルの TCR の UNF が 1 にセットされます。また、同時に TCNT には、TCOR の値が設定され、設定された値からカウントダウン動作を続けます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

### 18.3.5 タイマコントロールレジスタ (TCRn) (n=0~5)

TCR は、読み出し／書き込み可能な 16 ビットレジスタです。カウントクロックの選択、外部クロック選択時のエッジの選択、TCNT のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生制御を行います。また、チャンネル 2 の TCR はインプットキャプチャ機能の制御およびインプットキャプチャ時の割り込み発生制御を行います。

- TCR0、TCR1、TCR3、TCR4、TCR5

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	UNF	-	-	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

## • TCR2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	ICPF	UNF	ICPE1	ICPE0	UNIE	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	ICPF* <sup>1</sup>	0	R/W	インプットキャプチャ割り込みフラグ チャンネル2のみの機能で、インプットキャプチャの発生を示すステータスフラグです。 0: インプットキャプチャが発生していないことを示します [クリア条件] ICPF に0を書き込んだとき 1: インプットキャプチャが発生したことを示します [セット条件] インプットキャプチャが発生したとき* <sup>2</sup>
8	UNF	0	R/W	アンドフローフラグ TCNTのアンドフローの発生を示すステータスフラグです。 0: TCNTがアンドフローを起こしていないことを示します [クリア条件] UNF に0を書き込んだとき 1: TCNTがアンドフローを起こしたことを示します [セット条件] TCNTがアンドフローを起こしたとき* <sup>2</sup>
7	ICPE1* <sup>1</sup>	0	R/W	インプットキャプチャ制御 チャンネル2のみの機能で、インプットキャプチャ機能を使用するかどうか、および使用時の割り込み発生を許可するかどうかを制御します。 TCLK端子の立ち上がりエッジ/立ち下がりがエッジのいずれかを使ってTCPR2にTCNT2の値をセットするかは、CKEGビットで設定します。 TCR2のICPFビットが0のときのみ、TCNT2の値がTCPR2にセットされます。ICPFビットが1のときは、インプットキャプチャが発生してもTCPR2はセットされません。 00: インプットキャプチャ機能を使用しないことを示します 01: リザーブ (設定禁止) 10: インプットキャプチャ機能を使用するが、インプットキャプチャによる割り込み (TICPI2) を許可しないことを示します。 11: インプットキャプチャ機能を使用し、またインプットキャプチャによる割り込み (TICPI2) を許可することを示します。
6	ICPE0* <sup>1</sup>	0	R/W	
5	UNIE	0	R/W	アンドフロー割り込み制御 TCNTのアンドフローの発生を示すステータスフラグ UNF が1にセットされたときに割り込み発生を許可するかどうかを制御します。 0: アンドフローによる割り込み (TUNI) を許可しない 1: アンドフローによる割り込み (TUNI) を許可する

## 18. タイマユニット (TMU)

ビット	ビット名	初期値	R/W	説明
4	CKEG1	0	R/W	クロックエッジ 1、0 外部クロック選択時もしくはインプットキャプチャ機能使用時に、外部クロックの入力エッジを選択します。 00：立ち上がりエッジでカウント/インプットキャプチャレジスタセット 01：立ち下がりエッジでカウント/インプットキャプチャレジスタセット 1X：立ち上がり/立ち下がり両エッジでカウント/インプットキャプチャレジスタセット
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	
1	TPSC1	0	R/W	タイマプリスケアラ 2~0 TCNT のカウントクロックを選択します。 000：Pck/4 でカウント 001：Pck/16 でカウント 010：Pck/64 でカウント 011：Pck/256 でカウント 100：Pck/1024 でカウント 101：設定禁止 110：内蔵 RTC の出力クロック (RTCCLK) でカウント 111：外部クロック (TCLK) でカウント*3
0	TPSC0	0	R/W	

【注】 X：Don't care

\*1 チャンネル 0、1、3、4、5 ではリザーブビットです (初期値 0、リードのみ)。

\*2 1 を書き込むと元の値が保持されます。

\*3 チャンネル 3、4、5 では設定禁止です。

### 18.3.6 インプットキャプチャレジスタ 2 (TCPR2)

TCPR2 は、チャンネル 2 のみに内蔵されているインプットキャプチャ機能用の読み出し専用の 32 ビットレジスタです。TCR2 の ICPE ビットおよび CKEG ビットによって、インプットキャプチャ機能を制御します。インプットキャプチャが発生すると、TCNT2 の値が TCPR2 にコピーされます。TCR2 の ICPF ビットが 0 のときのみ TCPR2 にセットします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

## 18.4 動作説明

各チャンネルには、32ビットのタイマカウンタ (TCNT) と 32ビットのタイマコンスタントレジスタ (TCOR) があります。TCNT は、カウントダウン動作を行います。オートリロード機能によって周期カウント動作または外部イベントカウント動作が可能です。また、チャンネル2には、インプットキャプチャ機能があります。

### 18.4.1 カウンタの動作

TSTR0~TSTR1 の STR5~STR0 ビットを1にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。TCNT がアンダフローすると対応する TCR の UNF フラグが1にセットされます。このとき、TCR の UNIE ビットが1ならば、CPU に割り込みを要求します。また、このとき TCNT には TCOR から値がコピーされ、カウントダウン動作を継続します (オートリロード機能)。

#### (1) カウント動作の設定手順例

図 18.2 にカウント動作の設定手順例を示します。

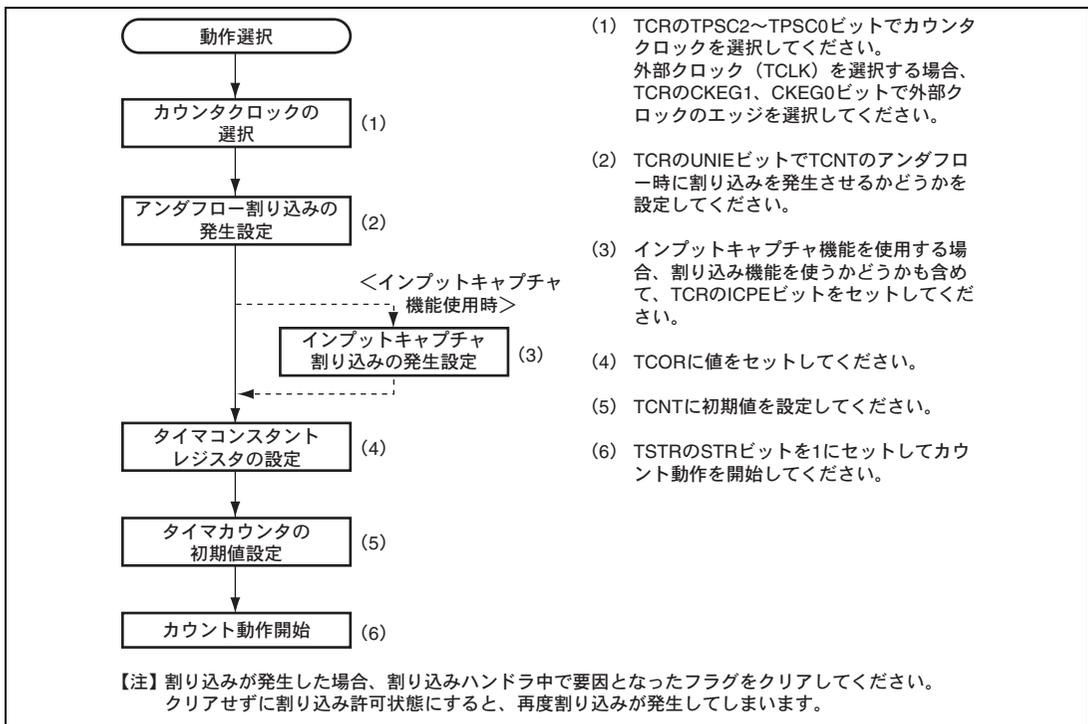


図 18.2 カウント動作設定手順例

## 18. タイマユニット (TMU)

### (2) オートリロードカウント動作

図 18.3 に TCNT のオートリロード動作を示します。

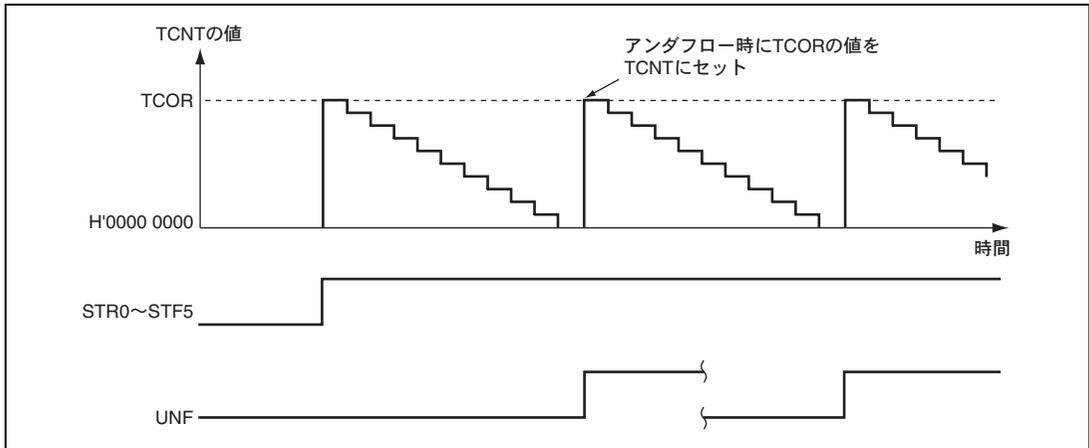


図 18.3 TCNT のオートリロード動作

### (3) TCNT のカウントタイミング

#### • 内部クロック動作の場合

TCRのTPSC2~TPSC0ビットにより、カウントクロックとして周辺クロックを分周した5種類のクロック (Pck/4、Pck/16、Pck/64、Pck/256、Pck/1024) を選択できます。

この時のタイミングを図18.4に示します。

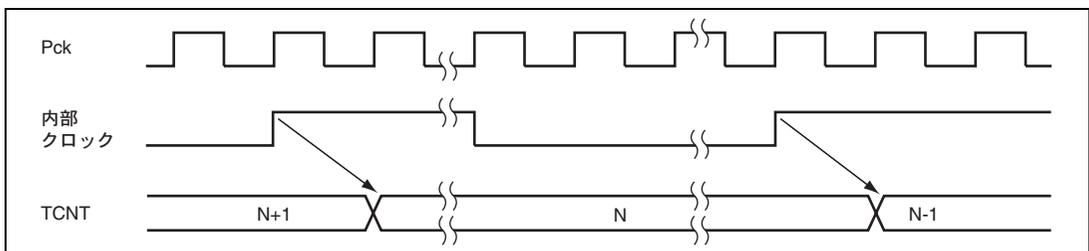


図 18.4 内部クロック動作時のカウントタイミング

- 外部クロック動作の場合

チャンネル0、1、2では、TCRのTPSC2～TPSC0ビットにより、タイマ用クロックとして外部クロック端子(TCLK)からの入力を選択できます。また、TCRのCKEG1、CKEG0ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり／立ち下がり／両エッジの選択が可能です。

図18.5に両エッジ検出時のタイミングを示します。

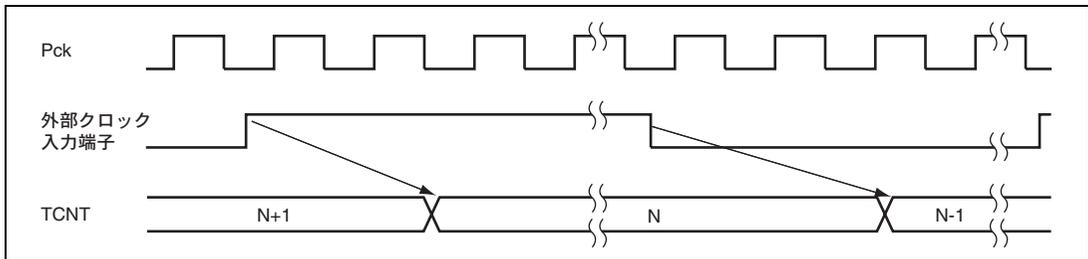


図 18.5 外部クロック動作時のカウントタイミング

- 内蔵RTCの出カクロック動作の場合

TCRのTPSC2～TPSC0ビットにより、タイマ用クロックとして内蔵RTCの出カクロック (RTCCLK) を選択できます。

この時のタイミングを図18.6に示します。

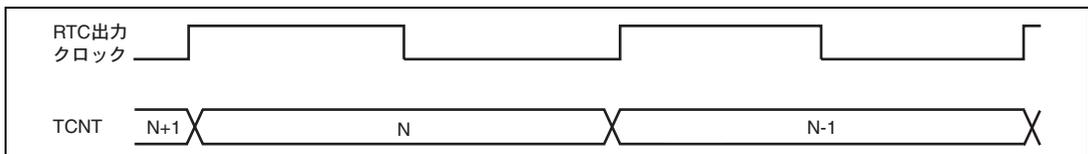


図 18.6 内蔵 RTC の出カクロック動作時のカウントタイミング

## 18. タイマユニット (TMU)

### 18.4.2 インพุットキャプチャ機能

チャンネル 2 には、インพุットキャプチャ機能があります。

インพุットキャプチャ機能を使用する場合、

1. TCRのTPSC2～TPSC0ビットでのタイマの動作クロックを内部クロックに設定します。
2. TCRのICPE1、ICPE0ビットでインพุットキャプチャ機能の使用および使用の際に割り込みを発生させるかを指定します。
3. TCRのCKEG1、CKEG0ビットでTCLK端子の立ち上がり／立ち下がりのどのエッジを使用してTCPR2にTCNTの値をセットするかを指定します。

インพุットキャプチャ発生時、TCR2 の ICPF ビットが 0 のときのみ、TCNT2 の値を TCPR2 にセットします。

図 18.7 にインพุットキャプチャ機能使用時の動作タイミングを示します (TCLK の立ち上がりエッジ使用)。

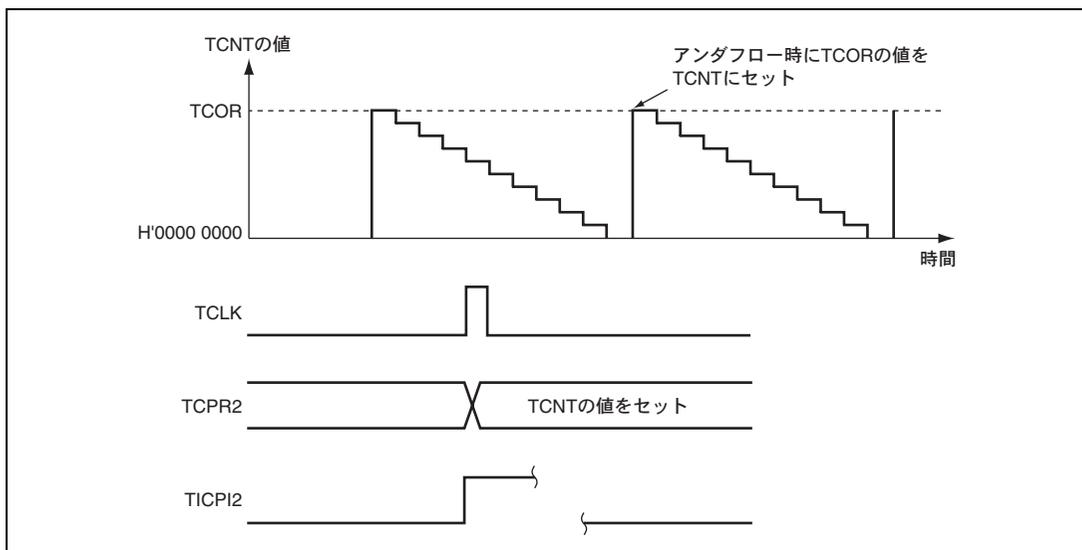


図 18.7 インพุットキャプチャ機能使用時の動作タイミング

## 18.5 割り込み

TMU の割り込み要因は、アンドフロー割り込みおよびインプットキャプチャ機能使用時のインプットキャプチャ割り込みです。アンドフロー割り込みは各チャンネルで、インプットキャプチャ割り込みはチャンネル 2 のみで発生します。

UNF ビットが 1 であり、そのチャンネルの割り込み許可ビットが 1 のとき、アンドフロー割り込み要求が発生します (チャンネルごと)。

インプットキャプチャ機能使用時、インプットキャプチャ要求が発生すると TCR2 の ICPF ビットが 1 で TCR2 のインプットキャプチャ制御ビット (ICPE1、ICPE0) が 11 の場合に割り込み要求が発生します。

表 18.4 に TMU の割り込み要因を示します。

表 18.4 TMU の割り込み要因

チャンネル	割り込み要因	内 容
0	TUNI0	アンドフロー割り込み 0
1	TUNI1	アンドフロー割り込み 1
2	TUNI2	アンドフロー割り込み 2
	TICPI2	インプットキャプチャ割り込み 2
3	TUNI3	アンドフロー割り込み 3
4	TUNI4	アンドフロー割り込み 4
5	TUNI5	アンドフロー割り込み 5

### 18.6 使用上の注意事項

#### 18.6.1 レジスタの書き込みについて

TMU のレジスタに書き込むときには、必ず TSTR の該当チャネルのスタートビット (STR5~STR0) をクリアして、タイマのカウント動作を停止させてください。

ただし、TSTR の書き込み、TCR の UNF、ICPF ビットのクリアは、カウント動作中に行うことができます。カウント動作中にフラグ (UNF、ICPF) をクリアする際は、クリアするビット以外は変更しないようにしてください。

#### 18.6.2 TCNT レジスタの読み出しについて

TCNT レジスタの読み出し時に、タイマのカウント動作との同期処理を行っています。タイマカウント動作とレジスタの読み出し処理が同時に行われた場合は、同期処理により TCNT カウンタのカウントダウン動作前の値が読み出されます。

#### 18.6.3 RTC 分周回路のリセットについて

内蔵 RTC の出カクロックをカウントクロックに選択する際には、RTC 分周回路をリセットしてください。

#### 18.6.4 外部クロック周波数について

チャンネル 0、1、2 への外部クロック (TCLK) 入力周波数は  $Pck/4$  を超えないようにしてください。

---

## 19. コンペアマッチタイマ (CMT)

---

本 LSI は、4 チャンネルの 32 ビットコンペアマッチタイマ (タイマ/カウンタ) を内蔵しています。

動作モードは、32 ビットフリーランニングタイマを 4 チャンネル共通のタイムベースとする 32 ビットフリーランニングタイマモードと、4 チャンネルが独立したタイマ、またはカウンタとして動作する 16 ビットタイマ/カウンタモードがあります。

### 19.1 特長

- 32ビットフリーランニングタイマモード
  - 2チャンネルのアウトプットコンペアまたはインプットキャプチャ機能を選択可能 (チャンネル0、1のみ)
- 16ビットタイマ/カウンタモード
  - 4チャンネルの16ビットタイマ機能
  - 2チャンネルのアウトプットコンペアまたはインプットキャプチャ機能を選択可能 (チャンネル0、1のみ)
  - アップカウンタ機能を選択可能 (チャンネル0、1のみ)
  - アップダウンカウンタ機能を選択可能 (チャンネル0のみ)
  - ロータリーモードをサポート
- キャプチャ割り込み、コンペア割り込み、オーバフロー割り込み
- プログラム可能なタイマクロック
- プログラム可能な端子/エッジ極性 (チャンネル0、1のみ)

## 19. コンペアマッチタイマ (CMT)

図 19.1 に CMT のブロック図を示します。

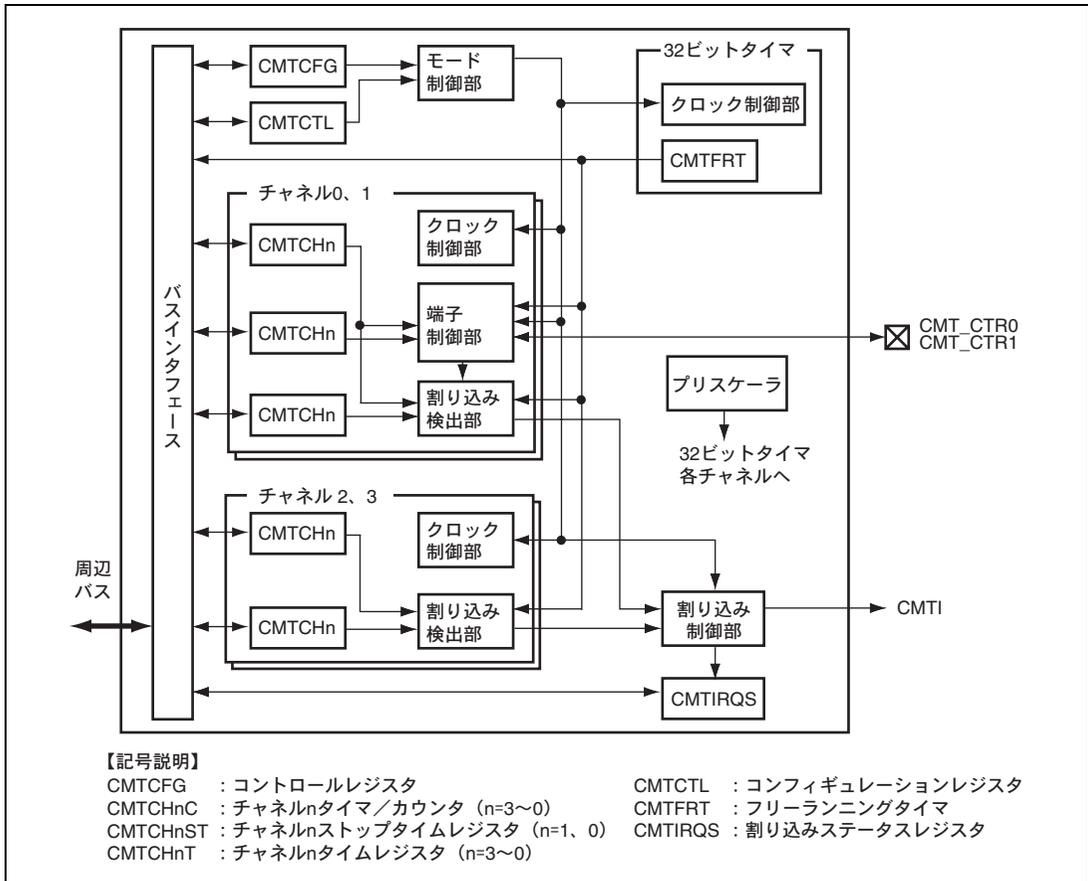


図 19.1 CMT のブロック図

## 19.2 入出力端子

CMT に関する端子構成を示します。

表 19.1 端子構成

端子名	機能	入出力	説明
CMT_CTRL0*	チャンネル0 タイマ/カウンタ入出力	入出力	32ビットフリーランニングタイマまたは16ビットタイマ/カウンタのインプットキャプチャ入力、アウトプットコンペア出力、外部トリガ入力端子。
CMT_CTRL1*	チャンネル1 タイマ/カウンタ入出力	入出力	

【注】 \* これらの端子は STATUS0、STATUS1 とマルチプレクスされています。

### 19.3 レジスタの説明

CMT のレジスタ構成を表 19.2 に示します。また、各処理モードにおけるレジスタの状態を表 19.3 に示します。

表 19.2 レジスタ構成

チャンネル	名 称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
共通	コンフィギュレーションレジスタ	CMTCFG	R/W	H'FFE3 0000	H'1FE3 0000	32	Pck
	フリーランニングタイマ	CMTFRT	R	H'FFE3 0004	H'1FE3 0004	32	Pck
	コントロールレジスタ	CMTCTL	R/W	H'FFE3 0008	H'1FE3 0008	32	Pck
	割り込みステータスレジスタ	CMTIRQS	R/W	H'FFE3 000C	H'1FE3 000C	32	Pck
0	チャンネル0 タイムレジスタ	CMTCH0T	R/W	H'FFE3 0010	H'1FE3 0010	32	Pck
	チャンネル0 ストップタイムレジスタ	CMTCH0ST	R/W	H'FFE3 0020	H'1FE3 0020	32	Pck
	チャンネル0 タイマ/カウンタ	CMTCH0C	R/W	H'FFE3 0030	H'1FE3 0030	32	Pck
1	チャンネル1 タイムレジスタ	CMTCH1T	R/W	H'FFE3 0014	H'1FE3 0014	32	Pck
	チャンネル1 ストップタイムレジスタ	CMTCH1ST	R/W	H'FFE3 0024	H'1FE3 0024	32	Pck
	チャンネル1 タイマ/カウンタ	CMTCH1C	R/W	H'FFE3 0034	H'1FE3 0034	32	Pck
2	チャンネル2 タイムレジスタ	CMTCH2T	R/W	H'FFE3 0018	H'1FE3 0018	32	Pck
	チャンネル2 タイマ/カウンタ	CMTCH2C	R/W	H'FFE3 0038	H'1FE3 0038	32	Pck
3	チャンネル3 タイムレジスタ	CMTCH3T	R/W	H'FFE3 001C	H'1FE3 001C	32	Pck
	チャンネル3 タイマ/カウンタ	CMTCH3C	R/W	H'FFE3 003C	H'1FE3 003C	32	Pck

表 19.3 各処理モードにおけるレジスタの状態

チャンネル	名 称	略称	パワーオン リセット	マニュアル リセット	スリープ SLEEP 命令 による	モジュール スタンバイ
			PRESET 端子/ WDT/H-UDI による	WDT/ 多重例外 による		
共通	コンフィギュレーションレジスタ	CMTCFG	H'0000 0000	H'0000 0000	保持	保持
	フリーランニングタイマ	CMTFRT	H'0000 0000	H'0000 0000	保持	保持
	コントロールレジスタ	CMTCTL	H'0000 0000	H'0000 0000	保持	保持
	割り込みステータスレジスタ	CMTIRQS	H'0000 0000	H'0000 0000	保持	保持
0	チャンネル0 タイムレジスタ	CMTCH0T	H'0000 0000	H'0000 0000	保持	保持
	チャンネル0 ストップタイムレジスタ	CMTCH0ST	H'0000 0000	H'0000 0000	保持	保持
	チャンネル0 タイマ/カウンタ	CMTCH0C	H'0000 0000	H'0000 0000	保持	保持
1	チャンネル1 タイムレジスタ	CMTCH1T	H'0000 0000	H'0000 0000	保持	保持
	チャンネル1 ストップタイムレジスタ	CMTCH1ST	H'0000 0000	H'0000 0000	保持	保持
	チャンネル1 タイマ/カウンタ	CMTCH1C	H'0000 0000	H'0000 0000	保持	保持
2	チャンネル2 タイムレジスタ	CMTCH2T	H'0000 0000	H'0000 0000	保持	保持
	チャンネル2 タイマ/カウンタ	CMTCH2C	H'0000 0000	H'0000 0000	保持	保持
3	チャンネル3 タイムレジスタ	CMTCH3T	H'0000 0000	H'0000 0000	保持	保持
	チャンネル3 タイマ/カウンタ	CMTCH3C	H'0000 0000	H'0000 0000	保持	保持

## 19. コンペアマッチタイム (CMT)

### 19.3.1 コンフィギュレーションレジスタ (CMTCFG)

CMTCFG は、読み出し／書き込み可能な 32 ビットレジスタです。端子の設定により、タイマコンペア、タイムインプットキャプチャ、カウントアップ、カウントダウン、キャプチャ入力等の動作が可能です。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ROTO
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ED1		ED0		—	—	FRTM	—	—	—	T01	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R/W	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	ROTO	0	R/W	チャンネル 0、1 ローテーションイネーブル [アップダウンカウンタモード (T01=11) で動作しているとき] 0: CMT_CTR0 端子はカウントアップ、CMT_CTR1 端子はカウントダウンに使用 1: CMT_CTR1 端子、CMT_CTR1 端子はロータリーモードで動作 1 を設定すると ED0、ED1 の設定は無効になります。 [アップダウンカウンタモード以外で動作しているとき] 必ず 0 を設定してください。
15~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11、10	ED1	すべて 0	R/W	チャンネル 1 ピンアクティブコントロール [インプットキャプチャモードのとき] 00: 設定禁止* 01: CMT_CTR1 端子入力の立ち上がりエッジでエッジ検出 10: CMT_CTR1 端子入力の立ち下がりエッジでエッジ検出 11: CMT_CTR1 端子入力の立ち上がりおよび立ち下がりエッジでエッジ検出 [アウトプットコンペアモードのとき] 00: 設定禁止* 01: アクティブ期間中に CMT_CTR1 端子へ H (ハイレベル) を出力 10: アクティブ期間中に CMT_CTR1 端子へ L (ローレベル) を出力 11: 設定禁止

## 19. コンペアマッチタイマ (CMT)

ビット	ビット名	初期値	R/W	説明
9、8	ED0	すべて0	R/W	<p>チャンネル0 ピンアクティブコントロール</p> <p>[インプットキャプチャモードのとき]</p> <p>00: 設定禁止*</p> <p>01: CMT_CTRL0 端子入力の立ち上がりエッジでエッジ検出</p> <p>10: CMT_CTRL0 端子入力の立ち下がりエッジでエッジ検出</p> <p>11: CMT_CTRL0 端子入力の立ち上がりおよび立ち下がりエッジでエッジ検出</p> <p>[アウトプットコンペアモードのとき]</p> <p>00: 設定禁止*</p> <p>01: アクティブ期間中に CMT_CTRL0 端子へH (ハイレベル) を出力</p> <p>10: アクティブ期間中に CMT_CTRL0 端子へL (ローレベル) を出力</p> <p>11: 設定禁止</p>
7、6	—	00	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
5	FRTM	0	R/W	<p>フリーランニングタイマモード</p> <p>共通の32ビットフリーランニングタイマとして動作するかあるいは、4本の独立した16ビットタイマ/カウンタとして動作するかを設定します。</p> <p>0: チャンネル0、1は16ビットタイマ/カウンタモード、チャンネル2、3は16ビットタイマモードで動作</p> <p>1: 各チャンネルは32ビットフリーランニングタイマ (FRT) モードで動作1を設定する場合は、T01に0を設定してください。</p>
4~2	—	すべて0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>
1、0	T01	すべて0	R/W	<p>タイマ0、1 コンフィギュレーション</p> <p>チャンネル0、チャンネル1の動作モードを設定します。32ビットフリーランニングタイマモード (FRTM=1) では00を設定してください。</p> <p>00: タイマ0、1</p> <p>01: アップカウンタ0、タイマ1</p> <p>10: アップカウンタ0、1</p> <p>11: アップダウンカウンタ0</p>

【注】 \* 当該チャンネルを使用する場合は、必ず設定禁止以外の値を設定してください。

## 19. コンペアマッチタイマ (CMT)

### 19.3.2 フリーランニングタイマ (CMTFRT)

CMTFRT は、読み出しのみ可能な 32 ビットレジスタです。32 ビットのフリーランニングタイマ (FRT) モードで、32 ビットのフリーランニングタイマが 2 本のキャプチャ/コンペアレジスタ (チャンネル 0、1)、2 本のコンペアレジスタ (チャンネル 2、3) に共通なタイムベースになります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FRT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRT															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~0	FRT	すべて 0	R	フリーランニングタイマ フリーランニングタイマ (FRT) の現在の値を示します。

### 19.3.3 コントロールレジスタ (CMTCTL)

CMTCTL は、読み出し/書き込み可能な 32 ビットレジスタです。各ビットで割り込みの制御、クロックの設定、動作モードの選択を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TE3	TE2	TE1	TE0	IOE3	IOE2	IOE1	IOE0	ICE3	ICE2	ICE1	ICE0	—	—	IEE1	IEE0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CC3	CC2	CC1	CC0	—	—	STC1	STC0	OP3	OP2	OP1	OP0				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	TE3	0	R/W	チャンネル 3~0 タイマイネーブル TE <sub>n</sub> はチャンネル n の 16 ビットタイマ/カウンタのカウンタ動作を許可します。アップダウンカウンタモードでは、チャンネル 1 をカウンタ禁止にする必要があります (TE <sub>1</sub> =0)。 0 : カウンタ禁止。カウンタは H'0000 にリセットされます。 1 : カウンタ動作許可 【注】 n=3~0
30	TE2	0	R/W	
29	TE1	0	R/W	
28	TE0	0	R/W	

## 19. コンペアマッチタイマ (CMT)

ビット	ビット名	初期値	R/W	説明
27	IOE3	0	R/W	チャンネル 3~0 オーバフロー割り込みイネーブル IOEn はチャンネル n に対応する CMTIRQS レジスタの IO <sub>n</sub> ビットが 1 にセットしているとき、割り込みが発生するのを許可します。 0 : 割り込みの発生を禁止 1 : 割り込みの発生を許可 <b>【注】</b> n=3~0
26	IOE2	0	R/W	
25	IOE1	0	R/W	
24	IOE0	0	R/W	
23	ICE3	0	R/W	チャンネル 3~0 コンペアマッチ割り込みイネーブル ICEn はチャンネル n に対応する CMTIRQS レジスタの IC <sub>n</sub> ビットが 1 にセットしているとき、割り込みが発生するのを許可します。 0 : 割り込みの発生を禁止 1 : 割り込みの発生を許可 <b>【注】</b> n=3~0
22	ICE2	0	R/W	
21	ICE1	0	R/W	
20	ICE0	0	R/W	
19, 18	-	00	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	IEE1	0	R/W	チャンネル 1、0 エッジ割り込みイネーブル IEE <sub>n</sub> はチャンネル n に対応する CMTIRQS レジスタの IE <sub>n</sub> ビットが 1 にセットしているとき、割り込みが発生するのを許可します。 0 : 割り込みの発生を禁止 1 : 割り込みの発生を許可 <b>【注】</b> チャンネル n が出力モードに設定されているときは、対応する IEE <sub>n</sub> ビットは 0 に設定してください。 n=1, 0
16	IEE0	0	R/W	
15, 14	CC3	すべて 0	R/W	タイマクロックコントロールチャンネル 3 このビットはチャンネル 3 の 16 ビットタイマのクロック入力を指定します。 00 : タイマ 3 のクロックは、周辺クロック (Pck) の 1/32 01 : タイマ 3 のクロックは、周辺クロック (Pck) の 1/128 10 : タイマ 3 のクロックは、周辺クロック (Pck) の 1/512 11 : タイマ 3 のクロックは、周辺クロック (Pck) の 1/1024 <b>【注】</b> 周辺クロック (Pck) を分周したクロックがタイマ/カウンタの分解能です。
13, 12	CC2	すべて 0	R/W	タイマクロックコントロールチャンネル 2 このビットはチャンネル 2 の 16 ビットタイマのクロック入力を指定します。 00 : タイマ 2 のクロックは、周辺クロック (Pck) の 1/32 01 : タイマ 2 のクロックは、周辺クロック (Pck) の 1/128 10 : タイマ 2 のクロックは、周辺クロック (Pck) の 1/512 11 : タイマ 2 のクロックは、周辺クロック (Pck) の 1/1024 <b>【注】</b> 周辺クロック (Pck) を分周したクロックがタイマ/カウンタの分解能です。

## 19. コンペアマッチタイム (CMT)

ビット	ビット名	初期値	R/W	説明
11, 10	CC1	すべて 0	R/W	<p>タイマクロックコントロールチャンネル 1</p> <p>このビットはチャンネル 1 の 16 ビットタイマ/カウンタのクロック入力を指定します。</p> <p>00 : タイマ 1 のクロックは、周辺クロック (Pck) の 1/32            01 : タイマ 1 のクロックは、周辺クロック (Pck) の 1/128            10 : タイマ 1 のクロックは、周辺クロック (Pck) の 1/512            11 : タイマ 1 のクロックは、周辺クロック (Pck) の 1/1024</p> <p>【注】 16 ビットインプットキャプチャモードを使用するときは、CC0 と同じ値を設定してください。</p> <p>周辺クロック (Pck) を分周したクロックがタイマ/カウンタの分解能です。</p>
9, 8	CC0	すべて 0	R/W	<p>フリーランニングタイマクロックコントロール</p> <p>このクロックは 32 ビットフリーランニングタイマ (FRT) およびチャンネル 0 の 16 ビットタイマ/カウンタに使用されます。</p> <p>00 : FRT のクロックおよびタイマ 0 は周辺クロック (Pck) の 1/32            01 : FRT のクロックおよびタイマ 0 は周辺クロック (Pck) の 1/128            10 : FRT のクロックおよびタイマ 0 は周辺クロック (Pck) の 1/512            11 : FRT のクロックおよびタイマ 0 は周辺クロック (Pck) の 1/1024</p> <p>【注】 周辺クロック (Pck) を分周したクロックがタイマ/カウンタの分解能です。</p>
7, 6	-	00	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
5 4	STC1 STC0	0 0	R/W R/W	<p>チャンネル 1, 0 ストップタイムコントロール</p> <p>32 ビットフリーランニングタイマ (FRT) モードでアウトプットコンペアモード選択時、CMT_CTRn 端子出力のアクティブ状態を保持する期間を設定します。</p> <p>0 : チャンネル n ストップタイムレジスタ値に到達するまで出力はアクティブを保持            1 : FRT のオーバフロー周期の半分まで出力はアクティブを保持</p> <p>【注】 n=1, 0</p>
3 2 1 0	OP3 OP2 OP1 OP0	0 0 0 0	R/W R/W R/W R/W	<p>チャンネル 3~0 オペレーション</p> <p>OPn ビットは、チャンネル n において、タイマモードのとき、アウトプットコンペアモードあるいはインプットキャプチャモードのどちらでタイマを使用するかを決定します。</p> <p>チャンネル 2, 3 をタイマとして使用する場合は、OPn ビットに 1 を設定してください。</p> <p>0 : インプットキャプチャモード (チャンネル 0, 1 で設定可能)            1 : アウトプットコンペアモード</p> <p>【注】 チャンネルが出力モードに設定されているときは、対応する IEE n ビットは 0 に設定してください。</p> <p>n=3~0</p>

### 19.3.4 割り込みステータスレジスタ (CMTIRQS)

CMTIRQS は、読み出し／書き込み可能な 32 ビットレジスタです。割り込み要因により 1 に設定されると、書き込みでしか 0 にクリアされません。各ビットに 0 を書き込むことにより、各割り込みステータスビットは 0 にクリアすることができます。該当する割り込みイネーブルビットが設定されていると、本レジスタの割り込みフラグにより割り込みを発生させることができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	IO3	IO2	IO1	IO0	IC3	IC2	IC1	IC0	—	—	IE1	IE0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R	R	R/W	R/W							

ビット	ビット名	初期値	R/W	説明
31~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	IO3	0	R/W	チャンネル 3~0 オーバフローフラグ アップカウンタあるいはアップダウンカウンタがオーバフロー (H'FFFF→H'0000) あるいはアンダフロー (H'0000→H'FFFF) しているかどうかを示します。 0: カウンタはオーバフローあるいはアンダフローしていない。 1: カウンタはオーバフローあるいはアンダフローしている。
10	IO2	0	R/W	
9	IO1	0	R/W	
8	IO0	0	R/W	
7	IC3	0	R/W	チャンネル 3~0 コンペアフラグ タイマモードのとき、フリーランニングタイマの値がチャンネルタイム値と同じかどうかを示します。 0: タイマはチャンネルタイム値と異なる。 1: タイマはチャンネルタイム値と同じ。
6	IC2	0	R/W	
5	IC1	0	R/W	
4	IC0	0	R/W	
3, 2	—	00	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	IE1	0	R/W	チャンネル 1、0 エッジ検出フラグ CMTCFG で指定したエッジが検出されたかどうか示します。 0: チャンネル 1、0 は CMTCFG で指定したエッジを検出していない。 1: チャンネル 1、0 は CMTCFG で指定したエッジを検出している。
0	IE0	0	R/W	

## 19. コンペアマッチタイム (CMT)

### 19.3.5 チャンネル0～チャンネル3 タイムレジスタ (CMTCH0T～CMTCH3T)

アウトプットコンペアモードのとき、本レジスタはフリーランニングタイムと比較する値を指定します。インプットキャプチャモードのとき、このレジスタは入力のアクティブエッジにおける、フリーランニングタイム値 (CMTFRT) あるいは16ビットタイム値 (CMTCHnC) を格納します。エッジが検出されるとレジスタは更新され、新しくキャプチャされた値が格納されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	チャンネルnタイム															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	チャンネルnタイム															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n = 3～0

### 19.3.6 チャンネル0、チャンネル1 ストップタイムレジスタ (CMTCH0ST、CMTCH1ST)

アウトプットコンペアモードのとき、本レジスタはフリーランニングタイムと比較する値を指定します。CMTCTL の STCn を0にクリアしている場合、CMTFRT と CMTCHnT の値が一致すると CMT\_CTRn 端子出力は CMTCFG で指定した値の反転値を出力します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	チャンネルnストップタイム															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	チャンネルnストップタイム															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n = 1, 0

### 19.3.7 チャンネル0～チャンネル3 タイマ/カウンタ (CMTCH0C～CMTCH3C)

各チャンネルのレジスタはタイマ/カウンタの現在の値を示します。本レジスタに書き込むことにより、タイマ/カウンタの値を設定できます。このレジスタを読み出しても、タイマ/カウンタの値には影響しません。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	チャンネルnカウンタ															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n = 3～0

## 19.4 動作説明

CMTは2つの動作モードがあります。1つは、クロックが1.5MHz(周辺クロック50MHzで1/32選択時)～30kHz(周辺クロック33MHzで1/1024選択時)の間で動作する32ビットのフリーランニングタイマ(FRT)を4チャンネル共通のタイムベースとするモードです。

もう1つのモードは、2チャンネルの16ビットタイマ/カウンタと2チャンネルの16ビットタイマとして動作します。カウンタ動作時は、CMT\_CTR端子入力のエッジ検出によりカウントアップ、カウントダウンを行います。タイマ動作時は、インプットキャプチャ機能、アウトプットコンペア機能を選択できます。キャプチャ入力やコンペアマッチが発生したときにタイマがH'0000に初期化されるという点で、32ビットフリーランニングタイマと異なります。

### 19.4.1 エッジ検出

タイマとカウンタは入力端子のエッジ検出を基にしています。CMTCFGで指定したエッジは、立ち上がりエッジまたは立ち下がりエッジ、両エッジのいずれかになるように設定できます。ロータリーモードでは、2つの入力の組み合わせでスイッチが右回転か、あるいは左回転かを検出し、アップダウンカウンタのインクリメントやデクリメント動作を行います。2つの端子のエッジ検出信号は、タイマやアップカウンタを独立して制御する場合と、アップダウンカウンタのカウントアップやカウントダウンを制御するために1つの組になって動作する場合があります。

図19.2は、エッジ検出(立ち上がりエッジ)を表しています。エッジが検出されるには、入力パルスがチャンネルに対して少なくとも周辺クロック(Pck)を分周したクロックの2サイクルの間続くようにしてください。

## 19. コンペアマッチタイマ (CMT)

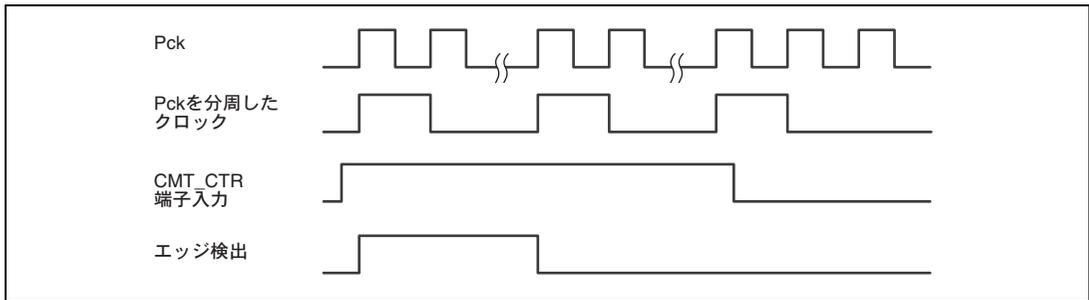


図 19.2 エッジ検出

### 19.4.2 タイマ 32 ビット : インพุットキャプチャ

CMTFRT のカウントアップ時に、CMT\_CTR 端子入力の立ち上がりエッジまたは立ち下がりエッジを検出していた場合、CMTFRT の値を該当するチャンネルの CMTCHnT ( $n=1\sim 0$ ) にキャプチャします。このとき CMTIRQS の IEn フラグ (ビット 1、ビット 0) を 1 にセットし、CMTCTL の IEE<sub>n</sub> ビット (ビット 17、ビット 16) に 1 を設定している場合は割り込みが発生します。

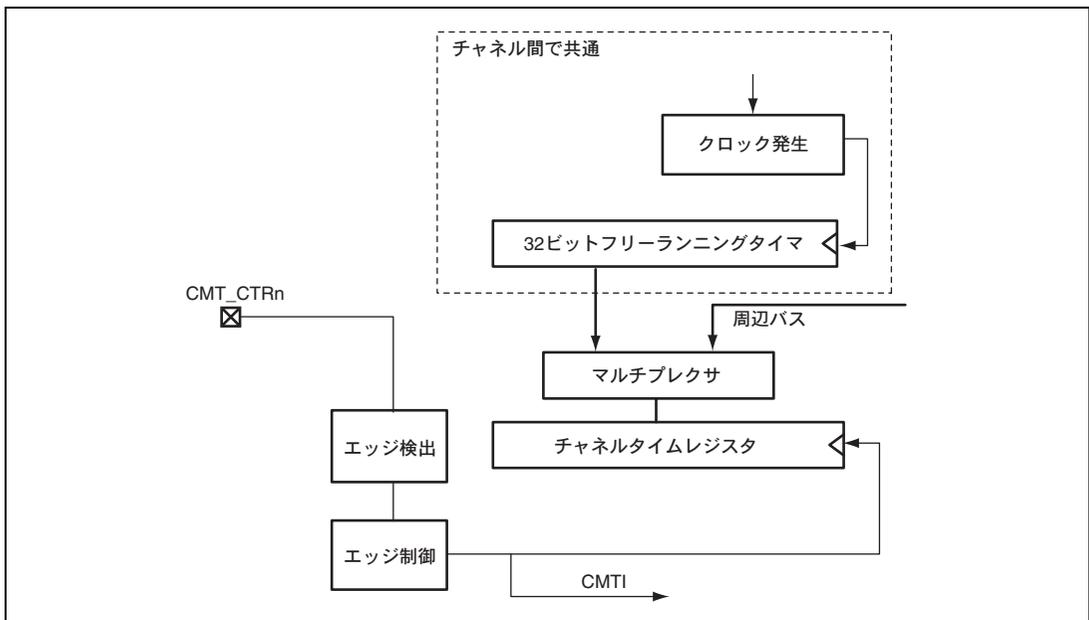


図 19.3 タイマ 32 ビットモード : インพุットキャプチャ (チャンネル 0、1 のみ)

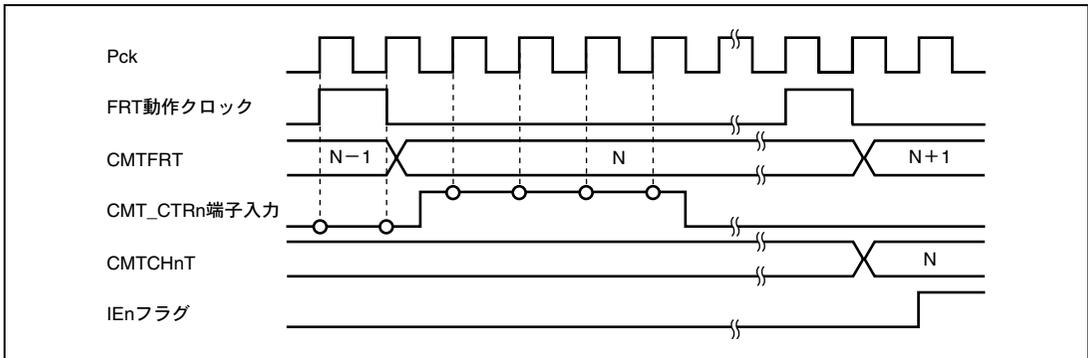


図 19.4 タイマ 32 ビットモードでの入力キャプチャ動作タイミング

表 19.4 タイマ 32 ビットモードでの入力キャプチャ設定例

レジスタ	ビット	設定値
CMTCFG	31~12	すべて 0
	11~8	任意の値 (各チャンネルの端子設定)
	7, 6	すべて 0
	5	1 (タイマ 32 ビット)
	4~0	すべて 0
CMTCTL	31~18	すべて 0
	17, 16	任意の値 (各チャンネルのエッジ割り込み設定)
	15~10	すべて 0
	9, 8	任意の値 (FRT のクロック設定)
	7~2	すべて 0
	1, 0	すべて 0 (全チャンネルを入力キャプチャモードに設定)

### 19.4.3 タイマ 32 ビット : アウトプットコンペア

タイマ CMTFRT のカウントアップ時に、タイマ CMTFRT の値がタイムレジスタ CMTCHnT (n=1~0) の値に 1 を加えた値と一致した場合、CMT\_CTR 端子出力は CMTCFG の ED1、ED0 ビット (ビット 11 からビット 8) で選択した値を出力します。このとき CMTIRQS の ICn フラグ (ビット 5、ビット 4) を 1 にセットし、CMTCTL の ICEn ビット (ビット 21、ビット 20) に 1 を設定している場合は割り込みが発生します。

CMT\_CTR 端子は、CMTFRT のカウントアップ時に、CMTFRT の値が CMTCHnST (n=3~0) の値に 1 を加えた値と一致するまで、または、CMTFRT の値が CMTCHnT (n=3~0) + H'80000001 の値と一致するまでアサートされ続けます。

CMT\_CTR 端子出力を非アクティブ状態にするには、CMTCTL の STCn ビット (ビット 5、ビット 4) を設定することにより選択できます。

チャンネル 2,3 は端子出力がありませんので、一定周期で割り込みを発生させるタイマとして使用してください。

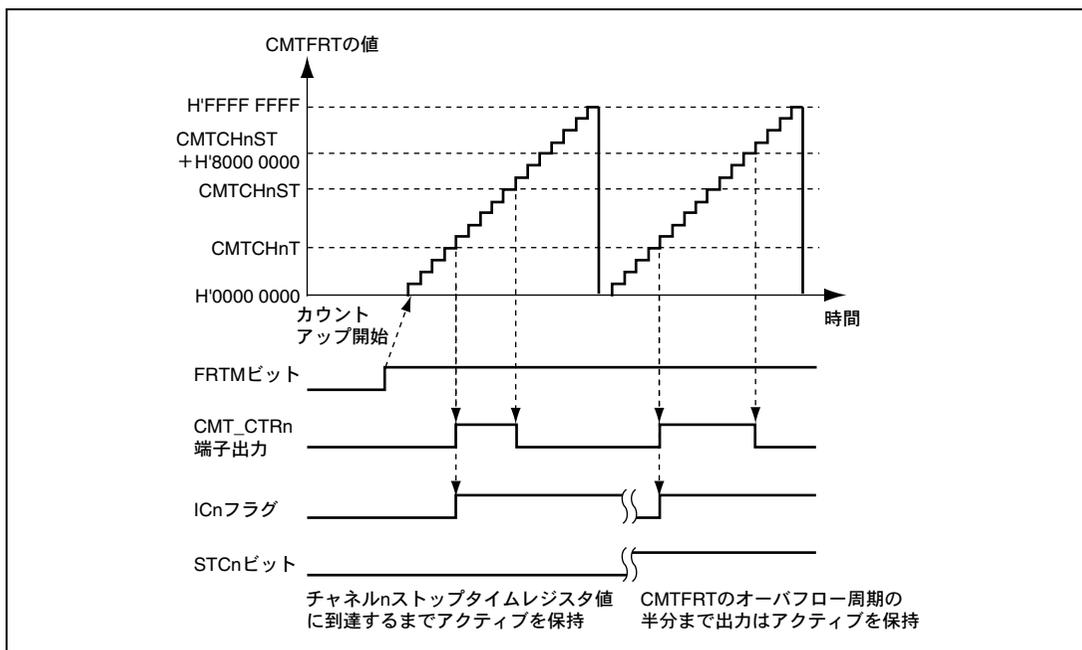


図 19.5 出力端子アサート期間 (チャンネル 0、1 のみ)

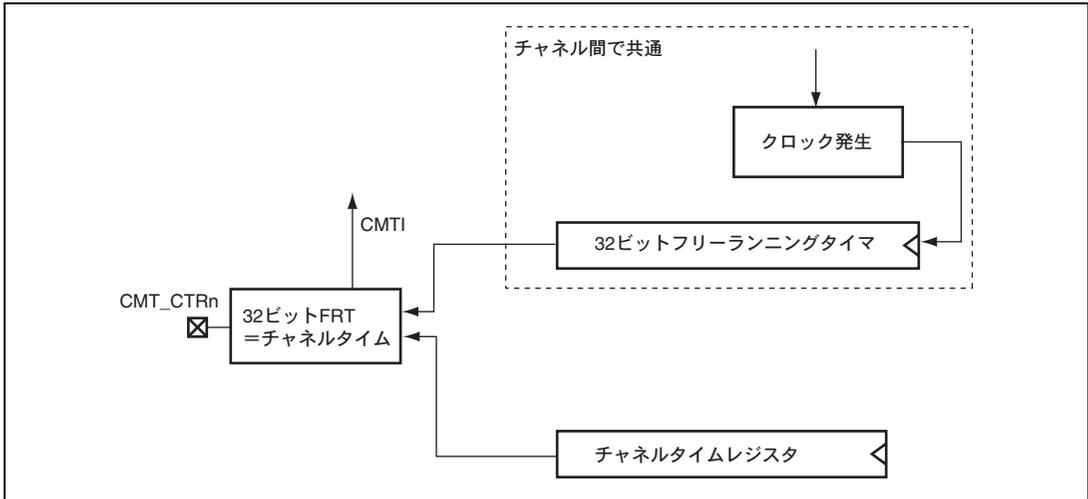


図 19.6 タイマ 32 ビットモード：アウトプットコンペア (チャンネル0、1のみ)

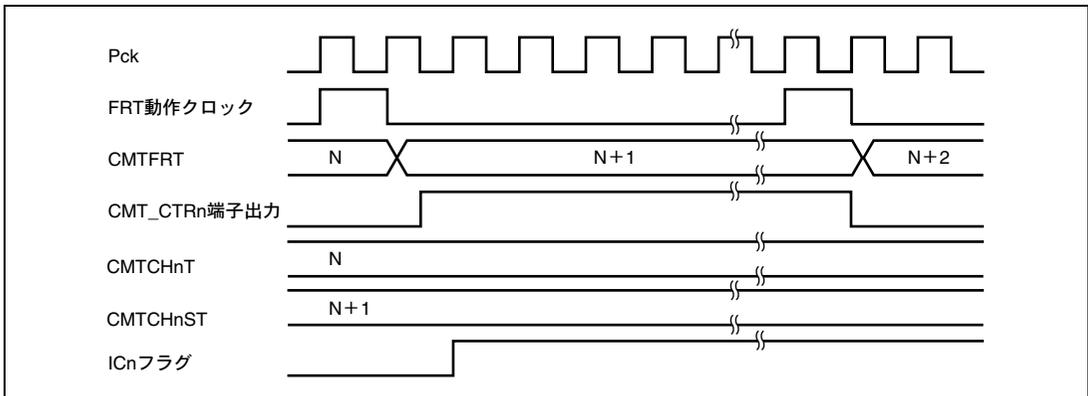


図 19.7 タイマ 32 ビットモードでのアウトプットコンペア動作タイミング  
(アクティブ状態で1出力、CMTCHnSTで非アクティブにする場合)

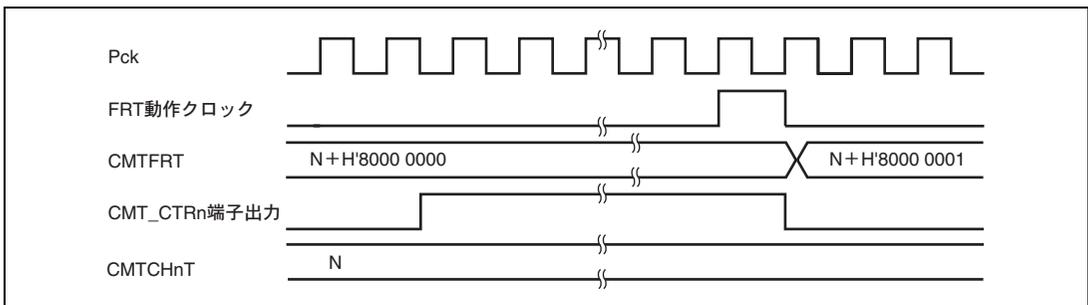


図 19.8 タイマ 32 ビットモードでの出力端子非アクティブ動作タイミング  
(アクティブ状態で1出力、CMTFRTで非アクティブにする場合)

## 19. コンペアマッチタイマ (CMT)

表 19.5 タイマ 32 ビットモードでのアウトプットコンペア設定例

レジスタ	ビット	設定値
CMTCFG	31~12	すべて 0
	11~8	任意の値 (各チャンネルの端子設定)
	7, 6	すべて 0
	5	1 (タイマ 32 ビット)
	4~0	すべて 0
CMTCTL	31~24	すべて 0
	23~20	任意の値 (各チャンネルのコンペア割り込み設定)
	19~10	すべて 0
	9, 8	任意の値 (FRT のクロック設定)
	7, 6	すべて 0
	5, 4	任意の値 (各チャンネルのアクティブ状態の設定)
	3~0	すべて 1 (全チャンネルをアウトプットコンペアモードに設定)

### 19.4.4 タイマ 16 ビット : インプットキャプチャ

チャンネル 0 のタイマ CMTCH0C のカウントアップ時に、CMT\_CTR 端子入力の立ち上がりエッジまたは立ち下がりエッジを検出していた場合、該当するチャンネルのタイマ CMTCHnC (n=1~0) をタイムレジスタ CMTCHnT (n=1~0) にキャプチャします。このとき CMTIRQS の IEn フラグ (ビット 1, ビット 0) を 1 にセットし、CMTCTL の IEE<sub>n</sub> ビット (ビット 19, ビット 16) に 1 を設定している場合は割り込みが発生します。

各チャンネルのタイマ CMTCHnC (n=1~0) の値が H'FFFF の時にカウントアップが発生すると、オーバフローが発生します。このとき CMTIRQS の IO<sub>n</sub> フラグ (ビット 9, ビット 8) を 1 にセットし、CMTCTL の IOE<sub>n</sub> ビット (ビット 21, ビット 20) に 1 を設定している場合は割り込みが発生します。

16 ビットタイマ CMTCHnC (n=1~0) は、CMTCTL の TE<sub>n</sub> ビット (ビット 29, ビット 28) に 0 を設定した場合、およびインプットキャプチャが発生した場合に H'0000 に初期化されます。

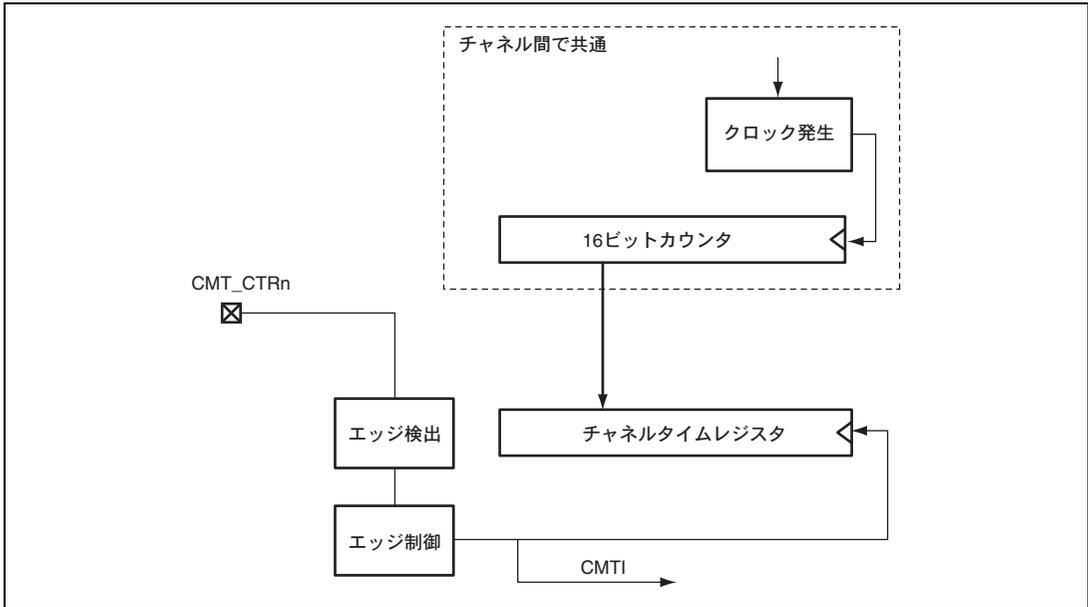


図 19.9 タイマ 16 ビットモード：インプットキャプチャ（チャンネル 0、1 のみ）

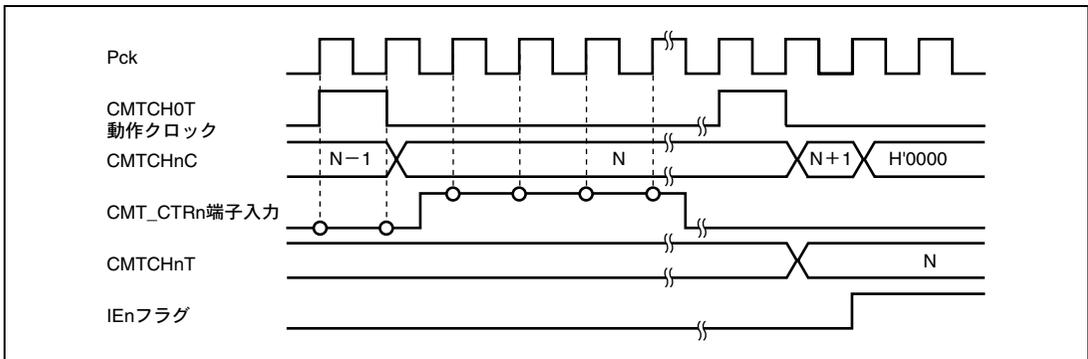


図 19.10 タイマ 16 ビットモードでのインプットキャプチャ動作タイミング

## 19. コンペアマッチタイマ (CMT)

表 19.6 タイマ 16 ビットモードでのインプットキャプチャ設定例

レジスタ	ビット	設定値
CMTCFG	31~12	すべて 0
	11~8	任意の値 (各チャネルの端子設定)
	7, 6	すべて 0
	5	0 (16 ビットタイマ/カウンタ)
	4~0	すべて 0 (全チャネルを 16 ビットタイマに設定)
CMTCTL	31~30	すべて 0
	29~28	すべて 1 (全チャネルのカウント動作を許可)
	27~26	すべて 0
	25~24	任意の値 (各チャネルのオーバフロー割り込み設定)
	23~18	すべて 0
	17~16	任意の値 (各チャネルのエッジ割り込み設定)
	15~10	チャンネル 0 と同じクロック設定
	9, 8	任意の値 (チャンネル 0 のクロック設定)
	7~2	すべて 0
	1~0	すべて 0 (全チャネルをインプットキャプチャモードに設定)

### 19.4.5 タイマ 16 ビット : アウトプットコンペア

各チャネルのタイマ CMTCHnC ( $n=1\sim 0$ ) のカウントアップ時に、タイマ CMTCHnC ( $n=1\sim 0$ ) の値がタイムレジスタ CMTCHnT ( $n=1\sim 0$ ) の下位 16 ビットと一致していた場合、CMT\_CTR 端子出力を現在の状態から反転 (トグル) します。このとき CMTIRQS の ICn フラグ (ビット 5、ビット 4) を 1 にセットし、CMTCTL の ICEn ビット (ビット 21、ビット 20) に 1 を設定している場合は割り込みが発生します。ただし、タイムレジスタ CMTCHnT ( $n=1\sim 0$ ) の下位 16 ビットが H'0000 の場合、コンペアマッチは発生しません。

各チャネルのタイマ CMTCHnC ( $n=3\sim 0$ ) の値が H'FFFF の時にカウントアップが発生すると、オーバフローが発生します。このとき CMTIRQS の IO<sub>n</sub> フラグ (ビット 11 からビット 8) を 1 にセットし、CMTCTL の IOEn ビット (ビット 23 からビット 20) に 1 を設定している場合は割り込みが発生します。

16 ビットタイマ CMTCHnC ( $n=3\sim 0$ ) は、CMTCTL の TE<sub>n</sub> ビット (ビット 31 からビット 28) に 0 を設定した場合、コンペアマッチが発生した場合に H'0000 に初期化されます。

チャンネル 2,3 は端子出力がありませんので、一定周期で割り込みを発生させるタイマとして使用してください。

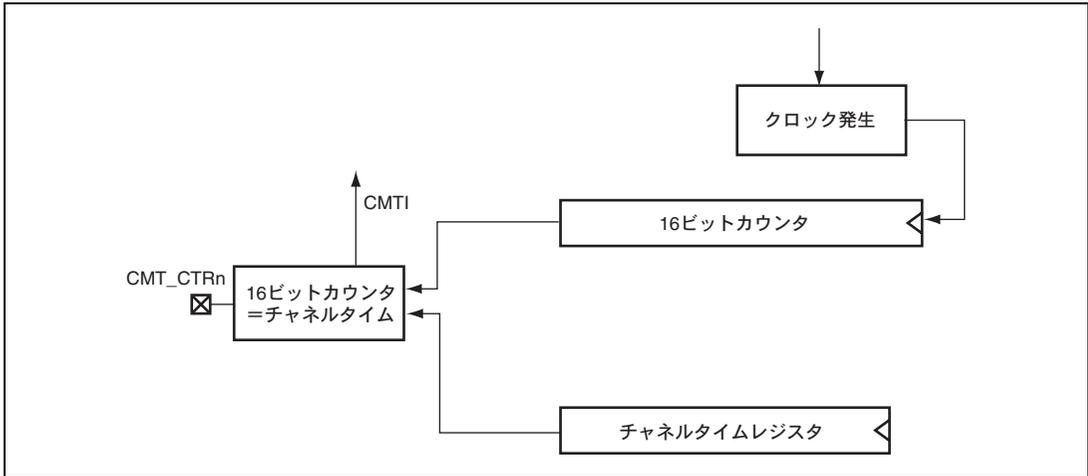


図 19.11 タイマ 16 ビットモード : アウトプットコンペア (CMT\_CTRn 端子はチャンネル 0、1 のみ)

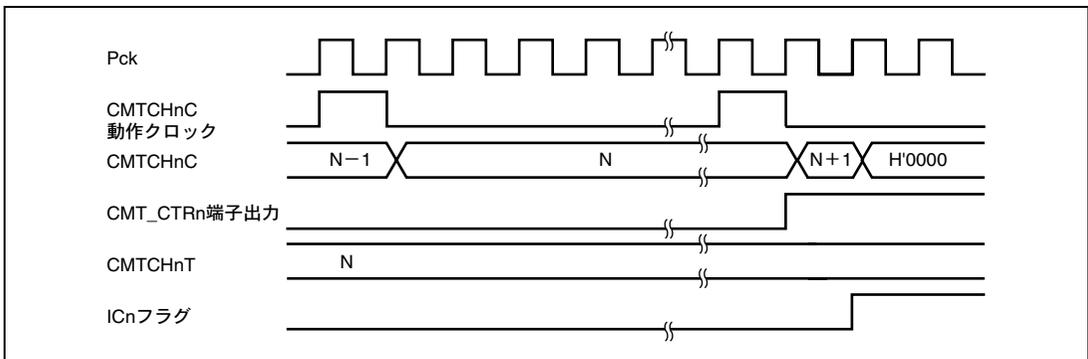


図 19.12 タイマ 16 ビットモードでのアウトプットコンペア動作タイミング

## 19. コンペアマッチタイマ (CMT)

表 19.7 タイマ 16 ビットモードでのアウトプットコンペア設定例

レジスタ	ビット	設定値
CMTCFG	31~16	すべて 0
	15~8	すべて 0
	7, 6	すべて 0
	5	0 (16 ビットタイマ/カウンタ)
	4~0	すべて 0 (全チャンネルを 16 ビットタイマに設定)
CMTCTL	31~28	すべて 1 (全チャンネルのカウント動作を許可)
	27~24	任意の値 (各チャンネルのオーバフロー割り込み設定)
	23~20	任意の値 (各チャンネルのコンペア割り込み設定)
	19~16	すべて 0
	15~8	任意の値 (各チャンネルのクロック設定)
	7~4	すべて 0
	3~0	すべて 1 (全チャンネルをアウトプットコンペアモードに設定)

### 19.4.6 カウンタ : アップカウンタ

各チャンネルの動作クロックの立ち上がり時に、CMT\_CTRn 端子入力の立ち上がりエッジまたは立ち下がりエッジを検出していた場合、該当するチャンネルのカウンタ CMTCHnC ( $n=1\sim 0$ ) をタイムレジスタ CMTCHnT ( $n=1\sim 0$ ) にキャプチャし、カウンタ CMTCHnC ( $n=1\sim 0$ ) をカウントアップします。このとき CMTIRQS の IEn フラグ (ビット 1、ビット 0) を 1 にセットし、CMTCTL の IEE<sub>n</sub> ビット (ビット 17、ビット 16) に 1 を設定している場合は割り込みが発生します。

また、各チャンネルのカウンタ CMTCHnC ( $n=1\sim 0$ ) がオーバフローした場合、CMTIRQS の IO<sub>n</sub> フラグ (ビット 9、ビット 8) を 1 にセットし、CMTCTL の IOE<sub>n</sub> ビット (ビット 21、ビット 20) に 1 を設定している場合は割り込みが発生します。

カウンタ CMTCHnC ( $n=1\sim 0$ ) は、CMTCTL の TE<sub>n</sub> ビット (ビット 29、ビット 28) に 0 を設定した場合に H'0000 に初期化されます。

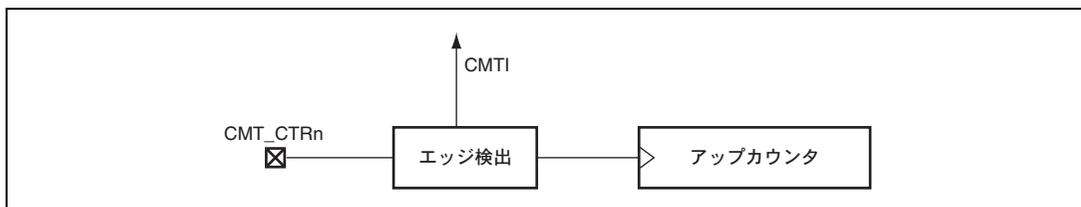


図 19.13 アップカウンタモード (チャンネル 0、1 のみ)

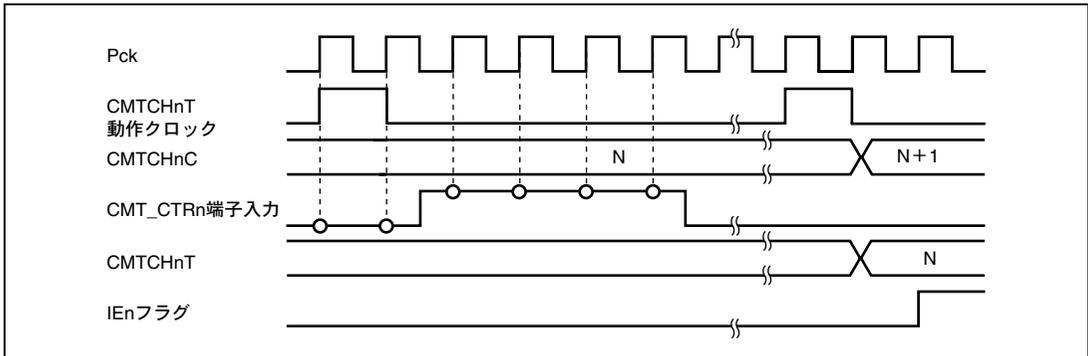


図 19.14 アップカウンタモードでの動作タイミング

表 19.8 アップカウンタモードの設定例

レジスタ	ビット	設定値
CMTCFG	31~12	すべて 0
	11~8	任意の値 (各チャンネルの端子設定)
	7, 6	すべて 0
	5	0 (16 ビットタイマ/カウンタ)
	4~2	すべて 0
	1, 0	10 (全チャンネルをアップカウンタに設定)
CMTCTL	31, 30	すべて 0
	29, 28	すべて 1 (全チャンネルのカウント動作を許可)
	27, 26	すべて 0
	25, 24	任意の値 (各チャンネルのオーバフロー割り込み設定)
	23~18	すべて 0
	17, 16	任意の値 (各チャンネルのエッジ割り込み設定)
	15~12	すべて 0
	11~8	任意の値 (各チャンネルのクロック設定)
7~0	すべて 0	

### 19.4.7 カウンタ : アップダウンカウンタ

チャンネル0はアップダウンカウンタとして使用することができます。ただし、カウントダウン端子としてCMT\_CTR1端子をチャンネル0に接続するため、チャンネル1のタイマ/カウンタはカウント禁止にする必要があります。

チャンネル0の動作クロックの立ち上がり時に、CMT\_CTR端子入力の立ち上がりエッジまたは立ち下がりエッジを検出していた場合、該当するチャンネルのカウンタCMTCH0Cをカウントアップまたはカウントダウンします。このときCMTIRQSのIE<sub>n</sub>フラグ(ビット1, 0)を1にセットし、CMTCTLのIEE<sub>n</sub>ビット(ビット17, 16)に1を設定している場合は割り込みが発生します。カウントアップ端子(CMT\_CTR0)、カウントダウン端子(CMT\_CTR1)ともにエッジを検出していた場合、カウンタの値は更新しませんがCMTIRQSのIE<sub>n</sub>(ビット1, 0)を1にセットします。

また、各チャンネルのカウンタCMTCH0Cがオーバーフローまたはアンダフローした場合、CMTIRQSのIO0フラグ(ビット8)をセットし、CMTCTLのIOE0ビット(ビット20)に1を設定している場合は割り込みが発生します。

カウンタCMTCH0Cは、CMTCTLのTE0ビット(ビット28)に0を設定した場合にH'0000に初期化されます。

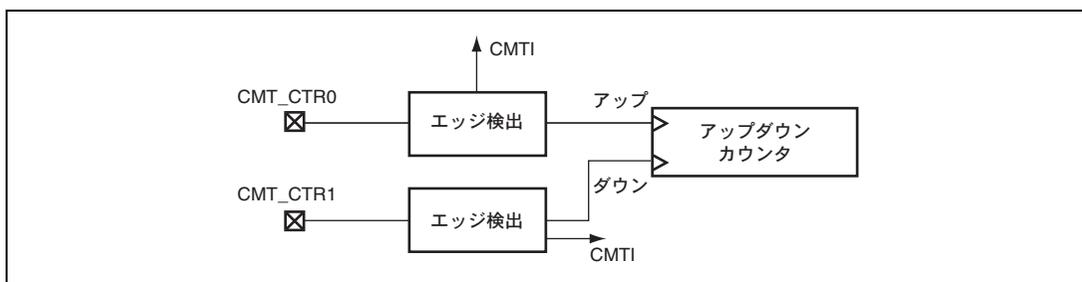


図 19.15 アップダウンカウンタモード (チャンネル0のみ)

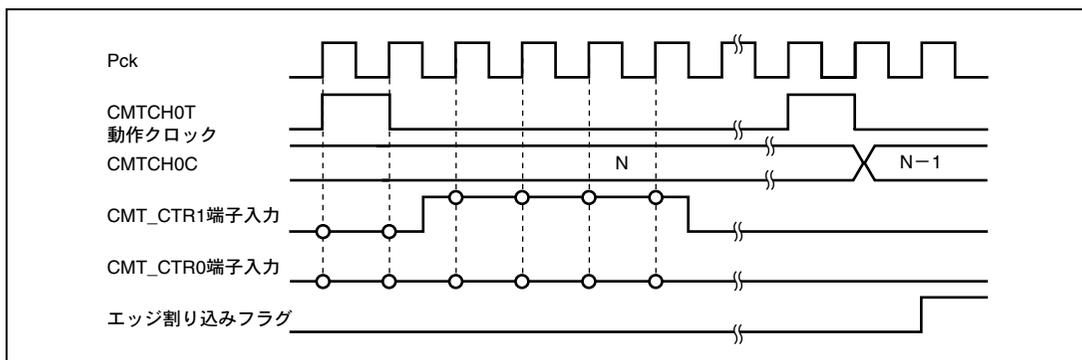


図 19.16 アップダウンカウンタモードでのカウントダウン動作タイミング (チャンネル0の場合)

表 19.9 アップダウンカウンタモードの設定例

レジスタ	ビット	設定値
CMTCFG	31~12	すべて 0
	11~8	任意の値 (各チャンネルの端子設定)
	7, 6	すべて 0
	5	0 (16 ビットタイマ/カウンタ)
	4~2	すべて 0
	1, 0	11 (チャンネル 0 をアップダウンカウンタに設定)
CMTCTL	31~29	すべて 0
	28	1 (チャンネル 0 のカウント動作を許可)
	27~25	すべて 0
	24	任意の値 (チャンネル 0 のオーバーフロー割り込み設定)
	23~18	すべて 0
	17, 16	任意の値 (各チャンネルのエッジ割り込み設定)
	15~10	すべて 0
	9, 8	任意の値 (チャンネル 0 のクロック設定)
	7~0	すべて 0

#### 19.4.8 カウンタ：ロータリーモード アップダウンカウンタ

アップダウンカウンタの動作モードには、ロータリーモードがあります。カウンタに接続している2つの端子をデータ端子、制御端子に割り当て、制御端子の立ち下がりエッジを検出した時に、データ端子がL（ローレベル）ならばカウントアップ、H（ハイレベル）ならばカウントダウンを行います。このとき、カウントアップの場合はCMTIRQSのIE0フラグ（ビット8）を、カウントダウンの場合はCMTIRQSのIE1フラグ（ビット9）を1にセットし、CMTCTLのIEEnビット（ビット17、16）に1を設定している場合は割り込みが発生します。カウントアップ、およびカウントダウンをともに検出した場合、フラグはともに1にセットしますが最後に検出したエッジをカウンタCMTCH0Cに反映させます。

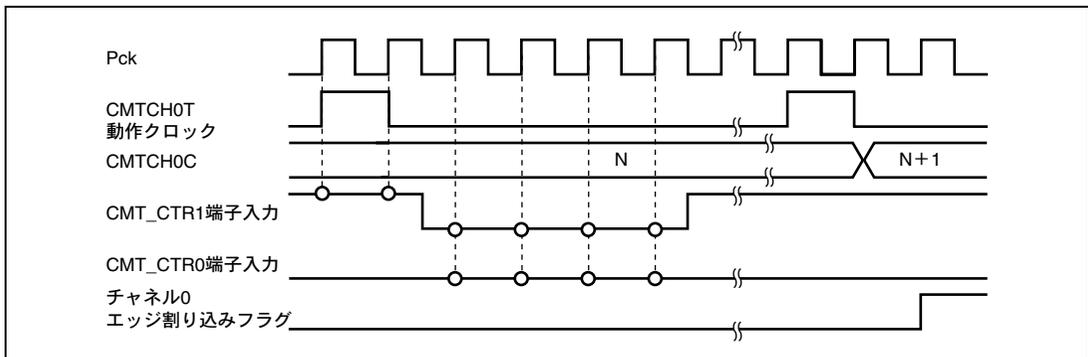


図 19.17 ロータリーモードでのカウントアップ動作タイミング

## 19. コンペアマッチタイム (CMT)

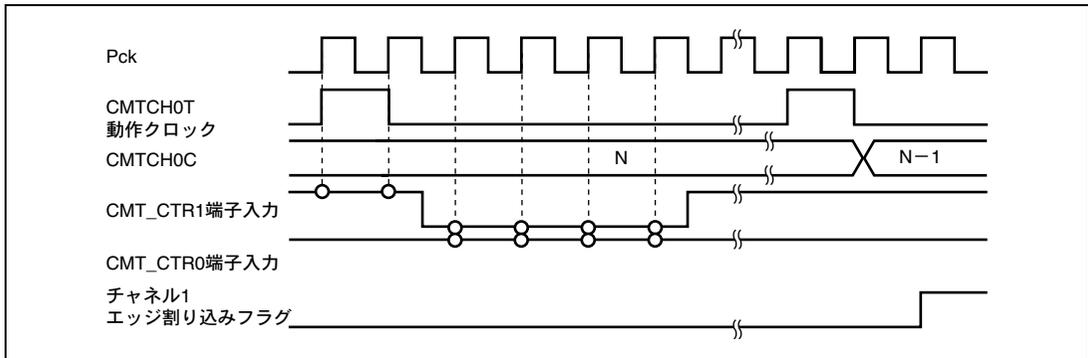


図 19.18 ロータリーモードでのカウントダウン動作タイミング

表 19.10 ロータリーモードの設定例

レジスタ	ビット	設定値
CMTCFG	31~17	すべて 0
	16	すべて 1 (チャンネル 0 をロータリーモードに設定)
	15~6	すべて 0
	5	0 (16 ビットタイマ/カウンタ)
	4~2	すべて 0
	1, 0	11 (チャンネル 0 をアップダウンカウンタに設定)
CMTCTL	31~29	すべて 0
	28	1 (チャンネル 0 のカウント動作を許可)
	27~25	すべて 0
	24	任意の値 (チャンネル 0 のオーバフロー割り込み設定)
	23~18	すべて 0
	17, 16	任意の値 (各チャンネルのエッジ割り込み設定)
	15~10	すべて 0
	9, 8	任意の値 (チャンネル 0 のクロック設定)
7~0	すべて 0	

### 19.4.9 割り込み

CMT の割り込み要因は、オーバフロー割り込み、コンペア割り込み、エッジ割り込みの 3 種類あります。ただし、CMT に割り当てられている割り込み要求は 1 つなので、割り込み要因の判別はできません。

表 19.11 CMT の割り込み設定

動作モード		割り込み要因		
		オーバフロー	コンペア	エッジ
タイマ 32 ビット	インプットキャプチャ	不可	不可	可
	アウトプットコンペア	不可	可	不可
タイマ 16 ビット	インプットキャプチャ	可	不可	可
	アウトプットコンペア	可	可	不可
カウンタ	アップカウンタ	可	不可	可
	アップダウンカウンタ	可	不可	可

## 19. コンペアマッチタイマ (CMT)

---

---

## 20. リアルタイムクロック (RTC)

---

### 20.1 特長

本 LSI は、リアルタイムクロック (RTC : Real Time Clock) および RTC 用の 32.768kHz 水晶発振回路を内蔵しています。

- 時計・カレンダー機能 (BCD表示) を搭載  
秒、分、時、曜日、日、月、年をカウント
- 1~64Hzタイマ (バイナリ表示) を搭載  
64Hzカウンタレジスタが、RTCの分周回路のうち、64Hz~1Hzの状態を示します。
- スタート/ストップ機能
- 30秒調整機能
- アラーム割り込み  
アラーム割り込み条件として、秒、分、時、曜日、日、月、年のいずれと比較するか選択可能
- 周期割り込み  
割り込み周期として、1/256秒、1/64秒、1/16秒、1/4秒、1/2秒、1秒、2秒周期から選択可能
- 桁上げ割り込み  
秒カウンタ桁上げ、または64Hzカウンタの読み出し時に64Hzカウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能

## 20. リアルタイムクロック (RTC)

図 20.1 に RTC のブロック図を示します。

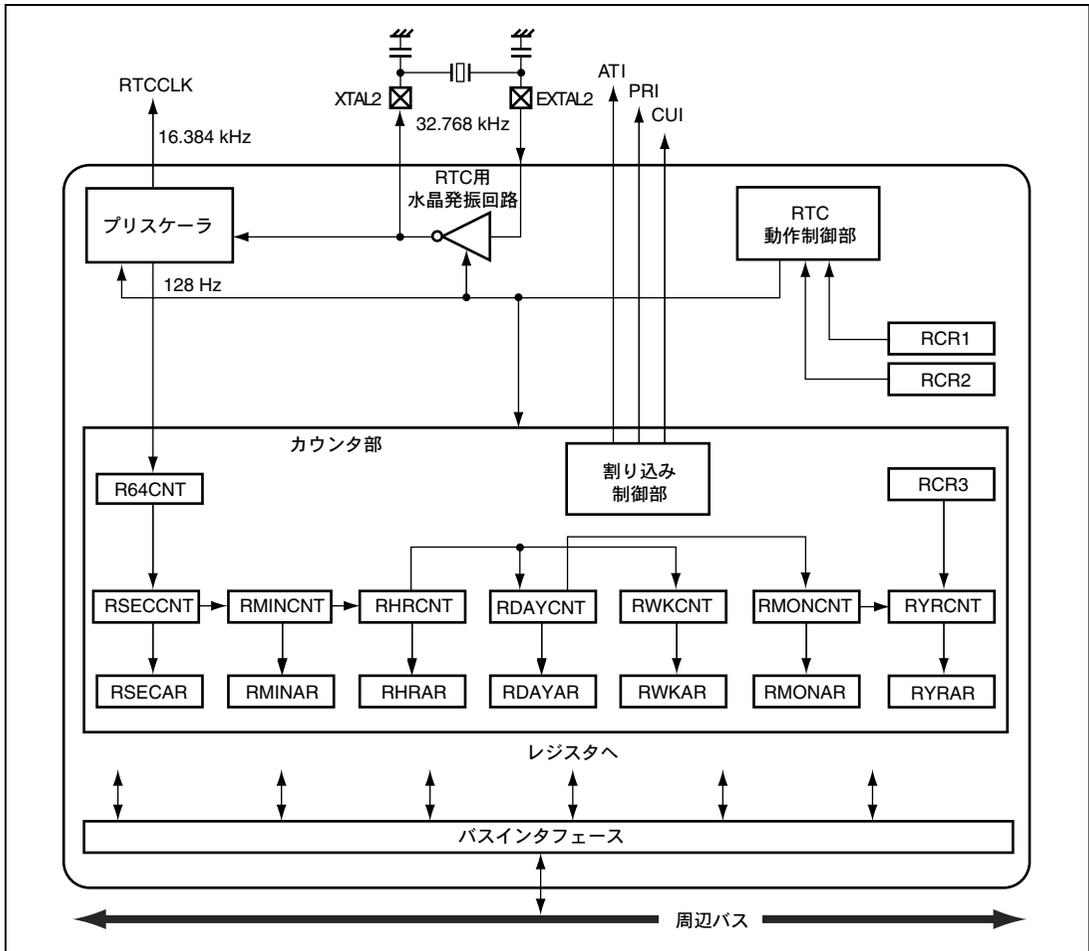


図 20.1 RTC のブロック図

## 20.2 端子構成

表 20.1 に RTC の端子構成を示します。

表 20.1 端子構成

端子名	機 能	入出力	説 明
EXTAL2	RTC 用水晶発振回路端子	入力	RTC 用発振器に水晶を接続する
XTAL2	RTC 用水晶発振回路端子	出力	RTC 用発振器に水晶を接続する
TCLK* <sup>1</sup>	クロック入力/クロック出力	入出力	外部クロック入力端子あるいはインプットキャプチャ制御入力端子あるいは RTC 用出力端子 (TMU と兼用)
VDD-RTC	RTC 専用電源端子	—	RTC 発振器用電源端子* <sup>2</sup>
VSS-RTC	RTC 専用 GND 端子	—	RTC 発振器用 GND 端子* <sup>2</sup>

【注】 \*1 TCLK 端子は、LBSC、GPIO 端子とマルチプレクスされています。

\*2 RTC 用の電源端子は RTC を使用しないときも必ず電源を供給してください。

## 20.3 レジスタ構成

RTC のレジスタ構成を表 20.2 に示します。また、各処理モードにおけるレジスタの状態を表 20.3 に示します。

表 20.2 レジスタ構成

名 称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ
64Hz カウンタ	R64CNT	R	H'FFE8 0000	H'1FE8 0000	8
秒カウンタ	RSECCNT	R/W	H'FFE8 0004	H'1FE8 0004	8
分カウンタ	RMINCNT	R/W	H'FFE8 0008	H'1FE8 0008	8
時カウンタ	RHRCNT	R/W	H'FFE8 000C	H'1FE8 000C	8
曜日カウンタ	RWKCNT	R/W	H'FFE8 0010	H'1FE8 0010	8
日カウンタ	RDAYCNT	R/W	H'FFE8 0014	H'1FE8 0014	8
月カウンタ	RMONCNT	R/W	H'FFE8 0018	H'1FE8 0018	8
年カウンタ	RYRCNT	R/W	H'FFE8 001C	H'1FE8 001C	16
秒アラームレジスタ	RSECAR	R/W	H'FFE8 0020	H'1FE8 0020	8
分アラームレジスタ	RMINAR	R/W	H'FFE8 0024	H'1FE8 0024	8
時アラームレジスタ	RHRAR	R/W	H'FFE8 0028	H'1FE8 0028	8
曜日アラームレジスタ	RWKAR	R/W	H'FFE8 002C	H'1FE8 002C	8
日アラームレジスタ	RDAYAR	R/W	H'FFE8 0030	H'1FE8 0030	8
月アラームレジスタ	RMONAR	R/W	H'FFE8 0034	H'1FE8 0034	8
RTC コントロールレジスタ 1	RCR1	R/W	H'FFE8 0038	H'1FE8 0038	8
RTC コントロールレジスタ 2	RCR2	R/W	H'FFE8 003C	H'1FE8 003C	8
RTC コントロールレジスタ 3	RCR3	R/W	H'FFE8 0050	H'1FE8 0050	8
年アラームレジスタ	RYRAR	R/W	H'FFE8 0054	H'1FE8 0054	16

## 20. リアルタイムクロック (RTC)

表 20.3 各処理モードにおけるレジスタの状態

名 称	略称	初期値	パワーオン リセット	マニュアル リセット	スリープ/RTC 電源バックアップ
64Hz カウンタ	R64CNT	不定	カウント	カウント	カウント
秒カウンタ	RSECCNT	不定	不定カウント	カウント	カウント
分カウンタ	RMINCNT	不定	カウント	カウント	カウント
時カウンタ	RHRCNT	不定	カウント	カウント	カウント
曜日カウンタ	RWKCNT	不定	カウント	カウント	カウント
日カウンタ	RDAYCNT	不定	カウント	カウント	カウント
月カウンタ	RMONCNT	不定	カウント	カウント	カウント
年カウンタ	RYRCNT	不定	カウント	カウント	カウント
秒アラームレジスタ	RSECAR	不定 <sup>*1</sup>	初期化 <sup>*1</sup>	保持	保持
分アラームレジスタ	RMINAR	不定 <sup>*1</sup>	初期化 <sup>*1</sup>	保持	保持
時アラームレジスタ	RHRAR	不定 <sup>*1</sup>	初期化 <sup>*1</sup>	保持	保持
曜日アラームレジスタ	RWKAR	不定 <sup>*1</sup>	初期化 <sup>*1</sup>	保持	保持
日アラームレジスタ	RDAYAR	不定 <sup>*1</sup>	初期化 <sup>*1</sup>	保持	保持
月アラームレジスタ	RMONAR	不定 <sup>*1</sup>	初期化 <sup>*1</sup>	保持	保持
RTC コントロールレジスタ 1	RCR1	H'00 <sup>*3</sup>	初期化	初期化	保持
RTC コントロールレジスタ 2	RCR2	H'09 <sup>*4</sup>	初期化	初期化 <sup>*2</sup>	保持
RTC コントロールレジスタ 3	RCR3	H'00	初期化	保持	保持
年アラームレジスタ	RYRAR	不定	保持	保持	保持

【注】 \*1 各レジスタの ENB ビットのみが初期化されます。

\*2 RTCEN ビットおよび START ビット以外が初期化されます。

\*3 CF ビット、CRF ビット、および AF ビットは不定です。

\*4 PEF ビットは不定です。

### 20.3.1 64Hz カウンタ (R64CNT)

64Hz カウンタ (R64CNT) は、読み出しのみ可能な 8 ビットのレジスタです。RTC の分周回路のうち、64Hz～1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、RTC コントロールレジスタ 1 (RCR1) のビット 7 (CF) が 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、RTC の分周回路が初期化され、R64CNT は H'00 に初期化されます。

R64CNT は、パワーオンリセット、マニュアルリセットのいずれでも、初期化されません。

ビット 7 は、読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	—	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値 :	0	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R

### 20.3.2 秒カウンタ (RSECCNT)

秒カウンタ (RSECCNT) は、読み出し／書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの 1 秒ごとのキャリ (R64CNT.1Hz ビットの 1→0 への変化) によってカウント動作を行います。

設定可能範囲は、10 進で 00～59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RSECCNT は、パワーオンリセット、マニュアルリセットのいずれでも初期化されません。

ビット 7 は、読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	—	10秒			1秒			
初期値 :	0	—	—	—	—	—	—	—
R/W :	R	R/W						

## 20. リアルタイムクロック (RTC)

### 20.3.3 分カウンタ (RMINCNT)

分カウンタ (RMINCNT) は、読み出し/書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された分部分の設定・カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00~59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMINCNT は、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 7 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	—	10分			1分			
初期値 :	0	—	—	—	—	—	—	—
R/W :	R	R/W						

### 20.3.4 時カウンタ (RHRCNT)

時カウンタ (RHRCNT) は、読み出し/書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00~23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RHRCNT は、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 7~6 は、読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット :	7	6	5	4	3	2	1	0
	—	—	10時間		1時間			
初期値 :	0	0	—	—	—	—	—	—
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

### 20.3.5 曜日カウンタ (RWKCNT)

曜日カウンタ (RWKCNT) は、読み出し／書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 0～6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RWKCNT は、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 7～3 は、読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	曜日のコード		
初期値:	0	0	0	0	0	—	—	—
R/W:	R	R	R	R	R	R/W	R/W	R/W

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

### 20.3.6 日カウンタ (RDAYCNT)

日カウンタ (RDAYCNT) は、読み出し／書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01～31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RDAYCNT は、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

RDAYCNT の設定可能範囲は、月ごとおよびうるう年によって変化しますので、確認の上、設定してください。うるう年は年カウンタ (RYRCNT) を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

ビット 7～6 は、読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
	—	—	10日		1日			
初期値:	0	0	—	—	—	—	—	—
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

## 20. リアルタイムクロック (RTC)

### 20.3.7 月カウンタ (RMONCNT)

月カウンタ (RMONCNT) は、読み出し／書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された月部分の設定・カウント用のカウンタであり、日カウンタの月ごとのキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01～12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMONCNT は、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 7～5 は、読み出しは常に 0 です。書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	10月	1月			
初期値:	0	0	0	—	—	—	—	—
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

### 20.3.8 年カウンタ (RYRCNT)

年カウンタ (RYRCNT) は、読み出し／書き込み可能な 16 ビットのレジスタです。RTC の BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの 1 年ごとのキャリによって、カウント動作を行います。

設定可能範囲は、10 進で 0000～9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RYRCNT は、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

### 20.3.9 秒アラームレジスタ (RSECAR)

秒アラームレジスタ (RSECAR) は、読み出し/書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された秒部分のカウント RSECNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウントとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00~59+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RSECAR の ENB ビットは、パワーオンリセットで 0 に初期化されます。RSECAR の残りのフィールドは、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB		10秒			1秒		
初期値 :	0	-	-	-	-	-	-	-
R/W :	R/W							

### 20.3.10 分アラームレジスタ (RMINAR)

分アラームレジスタ (RMINAR) は、読み出し/書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された分部分のカウント RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウントとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00~59+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMINAR の ENB ビットは、パワーオンリセットで初期化されます。RMINAR の残りのフィールドは、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット :	7	6	5	4	3	2	1	0
	ENB		10分			1分		
初期値 :	0	-	-	-	-	-	-	-
R/W :	R/W							

## 20. リアルタイムクロック (RTC)

### 20.3.11 時アラームレジスタ (RHRAR)

時アラームレジスタ (RHRAR) は、読み出し/書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された時部分のカウンタ RHRCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHRCNT の値と比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00~23+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RHRAR の ENB ビットは、パワーオンリセットで初期化されます。RHRAR の残りのフィールドは、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 6 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
	ENB	—	10時間	1時間				
初期値:	0	0	—	—	—	—	—	—
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

### 20.3.12 曜日アラームレジスタ (RWKAR)

曜日アラームレジスタ (RWKAR) は、読み出し/書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 0~6+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RWKAR の ENB ビットは、パワーオンリセットで初期化されます。RWKAR の残りのフィールドは、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 6~3 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
	ENB	—	—	—	—	曜日のコード		
初期値:	0	0	0	0	0	—	—	—
R/W:	R/W	R	R	R	R	R/W	R/W	R/W

曜日のコード	0	1	2	3	4	5	6
曜日	日	月	火	水	木	金	土

### 20.3.13 日アラームレジスタ (RDAYAR)

日アラームレジスタ (RDAYAR) は、読み出し/書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01~31+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RDAYAR の ENB ビットは、パワーオンリセットで初期化されます。RDAYAR の残りのフィールドは、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 6 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	10日	1日				
初期値:	0	0	-	-	-	-	-	-
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

### 20.3.14 月アラームレジスタ (RMONAR)

月アラームレジスタ (RMONAR) は、読み出し/書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01~12+ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMONAR の ENB ビットは、パワーオンリセットで初期化されます。RMONAR の残りのフィールドは、パワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット 6、5 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
	ENB	-	-	10月	1月			
初期値:	0	0	0	-	-	-	-	-
R/W:	R/W	R	R	R/W	R/W	R/W	R/W	R/W

## 20. リアルタイムクロック (RTC)

---

### 20.3.15 年アラームレジスタ (RYRAR)

年アラームレジスタ (RYRAR) は、読み出し/書き込み可能なレジスタであり、RTC の BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。RCR3 の YENB ビットが 1 にセットされていると、RYRCNT の値と RYRAR の値の比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットおよび YENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

RYRAR の設定可能範囲は、10 進で 0000~9999 であり、それ以外の値が設定されると、正常に動作しません。RYRAR はパワーオンリセット、マニュアルリセットいずれでも初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## 20.3.16 RTC コントロールレジスタ 1 (RCR1)

RTC コントロールレジスタ 1 (RCR1) は、読み出し／書き込み可能な 8 ビットのレジスタであり、桁上げおよびアラームフラグに関するレジスタです。また、各々のフラグについて、割り込みを発生するかどうか選択できます。

CIE ビットおよび AIE ビットはパワーオンリセットおよびマニュアルリセットで 0 に初期化されます。CIE ビットと AIE ビット以外のビットは不定です。

ビット:	7	6	5	4	3	2	1	0
	CF	-	-	CIE	AIE	-	CRF	AF
初期値:	-	-	-	0	0	-	-	-
R/W:	R/W	R	R	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7	CF	不定	R/W	桁上げフラグ このフラグが 1 にセットされた場合、秒カウンタの桁上げまたは、64Hz カウンタ読み出し時に 64Hz カウンタ桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。 0: 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げなし [クリア条件] CF に 0 を書き込んだとき 1: 秒カウンタ桁上げまたは 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり [セット条件] • 秒カウンタ桁上げ • 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり • CF に 1 を書き込んだとき
6, 5	-	不定	R	リザーブビット 読み出すと不定値が読み出されます。書き込みは無効ですが、書き込む値は常に 0 にしてください。
4	CIE	0	R/W	桁上げ割り込みイネーブルフラグ (CIE) 桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0: 桁上げ割り込みを発生させない 1: 桁上げ割り込みを発生させる
3	AIE	0	R/W	アラーム割り込みイネーブルフラグ (AIE) アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。 0: アラーム割り込みを発生させない 1: アラーム割り込みを発生させる

## 20. リアルタイムクロック (RTC)

ビット	ビット名	初期値	R/W	説明
2	—	不定	R	リザーブビット 読み出すと不定値が読み出されます。書き込みは無効ですが、書き込む値は常に0にしてください。
1	CRF	不定	R	桁上げ準備フラグ (CRF) 64Hz カウンタの 1Hz ビットの 1→0 への変化から秒カウンタが桁上げされるまでの桁上げ準備期間に 1 にセットされるフラグです。書き込みは無効ですが、書き込む値も常に 0 にしてください。 0: 桁上げ準備期間でない [クリア条件] 64Hz カウンタレジスタの 1Hz ビットの 1→0 への変化から秒カウンタが桁上げされるまでの桁上げ準備期間でないとき 1: 桁上げ準備期間中 [セット条件] 64Hz カウンタレジスタの 1Hz ビットの 1→0 への変化から秒カウンタが桁上げされるまでの桁上げ準備期間中のとき
0	AF	不定	R/W	アラームフラグ (AF) アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) で設定したアラーム時刻 (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したときに 1 にセットされるフラグです。 0: アラームレジスタとカウンタは不一致 [クリア条件] AF に 0 を書き込んだとき 1: アラームレジスタとカウンタが一致* [セット条件] アラームレジスタ (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき 【注】* 1 を書き込むと、元の値が保持されます。

## 20.3.17 RTC コントロールレジスタ 2 (RCR2)

RTC コントロールレジスタ 2 (RCR2) は、読み出し／書き込み可能な 8 ビットのレジスタであり、周期割り込み制御、30 秒調整、分周回路 RESET、RTC カウント制御に関するレジスタです。

パワーオンリセットで H'09 に初期化されますが、PEF ビットは不定です。マニュアルリセット時には、RTCEN ビットおよび START ビット以外が初期化され、PEF ビットは不定です。

ビット :	7	6	5	4	3	2	1	0
	PEF	PES[2:0]			RTCEN	ADJ	RESET	START
初期値 :	-	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PEF	不定	R/W	周期割り込みフラグ PES ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みを発生します。 0 : PES ビットで設定された周期で割り込み発生なし [クリア条件] PEF に 0 を書き込んだとき 1 : PES ビットで設定された周期で割り込み発生あり [セット条件] PES ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき
6~4	PES	すべて 0	R/W	周期割り込みイネーブルフラグ 周期割り込みの周期を設定します。 000 : 周期割り込み発生なし 001 : 周期割り込み発生の周期を 1/256 秒にする 010 : 周期割り込み発生の周期を 1/64 秒にする 011 : 周期割り込み発生の周期を 1/16 秒にする 100 : 周期割り込み発生の周期を 1/4 秒にする 101 : 周期割り込み発生の周期を 1/2 秒にする 110 : 周期割り込み発生の周期を 1 秒にする 111 : 周期割り込み発生の周期を 2 秒にする
3	RTCEN	1	R/W	発振器有効 RTC 用水晶発振回路の動作を制御します。 0 : RTC 用水晶発振回路を停止させる 1 : RTC 用水晶発振回路を動作させる

## 20. リアルタイムクロック (RTC)

ビット	ビット名	初期値	R/W	説明
2	ADJ	0	R/W	30 秒調整 30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。なお、このビットからの読み出しは常に 0 が読み出されます。 0 : 通常の時計動作 1 : 30 秒の調整を行う
1	RESET	0	R/W	リセット 1 を書き込むことによって、分周回路が初期化されます。なお、1 が書き込まれた場合、分周回路 (RTC プリスケアラおよび R64CNT) はリセットされ、自動的にこの RESET ビットは 0 になりますので、特に 0 を書き込む必要はありません。
0	START	1	R/W	START ビット カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。 0 : 秒、分、時、日、曜日、月、年カウンタは停止* 1 : 秒、分、時、日、曜日、月、年カウンタは通常動作* 【注】* 64Hz カウンタは RTCEN ビットで停止させない限り動作します。

### 20.3.18 RTC コントロールレジスタ 3 (RCR3)

RTC コントロールレジスタ 3 (RCR3) は、読み出し/書き込み可能なレジスタであり、RTC の BCD コード化された年部分のカウンタ RYRCNT に対応するアラームを使用許可/禁止できるレジスタです。RCR3 の YENB ビットが 1 にセットされていると、RYRCNT の値と RYRAR の値の比較を行います。

RCR3 はパワーオンリセットで初期化されます。

RCR3 のビット 6~0 は、読み出しは常に 0 です。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット:	7	6	5	4	3	2	1	0
	YENB	—	—	—	—	—	—	—
初期値:	—	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

## 20.4 動作説明

RTC の使用例を示します。

### 20.4.1 時刻設定手順

図 20.2 に時刻設定手順例を示します。

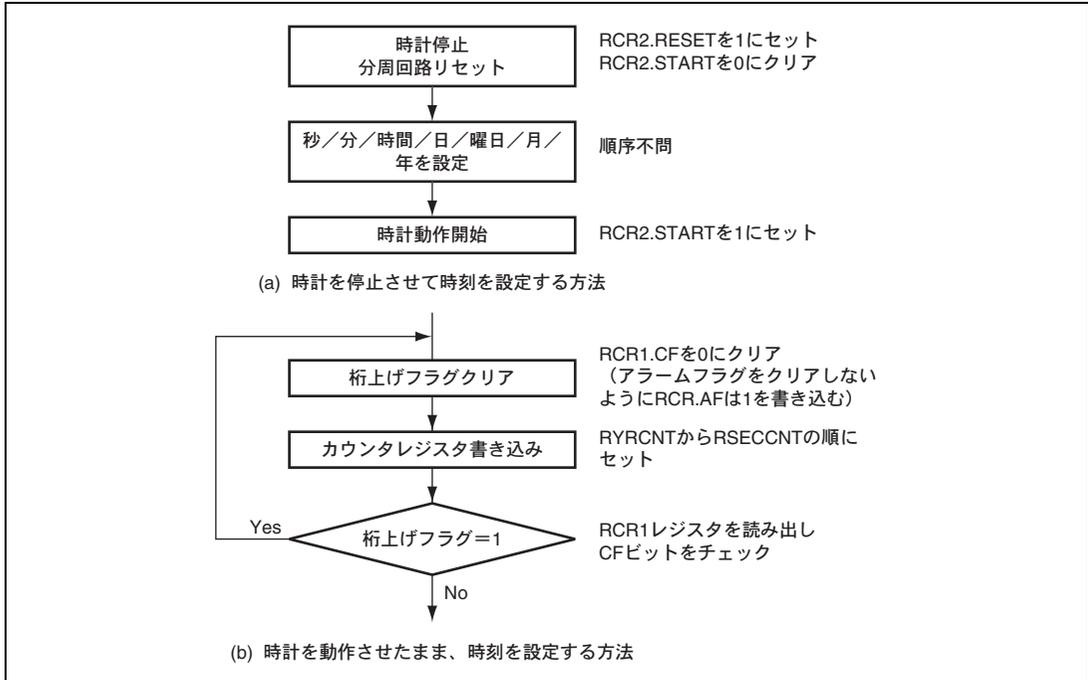


図 20.2 時刻設定手順例

時計を停止させて時刻を設定する方法例を図 20.2 (a) に示します。プログラムが容易であり、秒～年カウンタの全体を設定する場合に有効です。

時計を動作させたまま、時刻を設定する方法例を図 20.2 (b) に示します。秒～年カウンタの一部（例えば、秒データや時間データのみ）を書き換える場合に有効です。書き込み中に桁上げがあると、書き込みデータが自動的に更新され、設定データに誤差が発生するので、桁上げフラグを使って書き込み状態をチェックします。桁上げフラグ (RCR1.CF) が 1 にセットされている場合は、再度書き込みを行います。

桁上げフラグの判断に割り込み機能を使用することもできます。

20.4.2 時刻読み出し手順

図 20.3 に時刻読み出し手順例を示します。

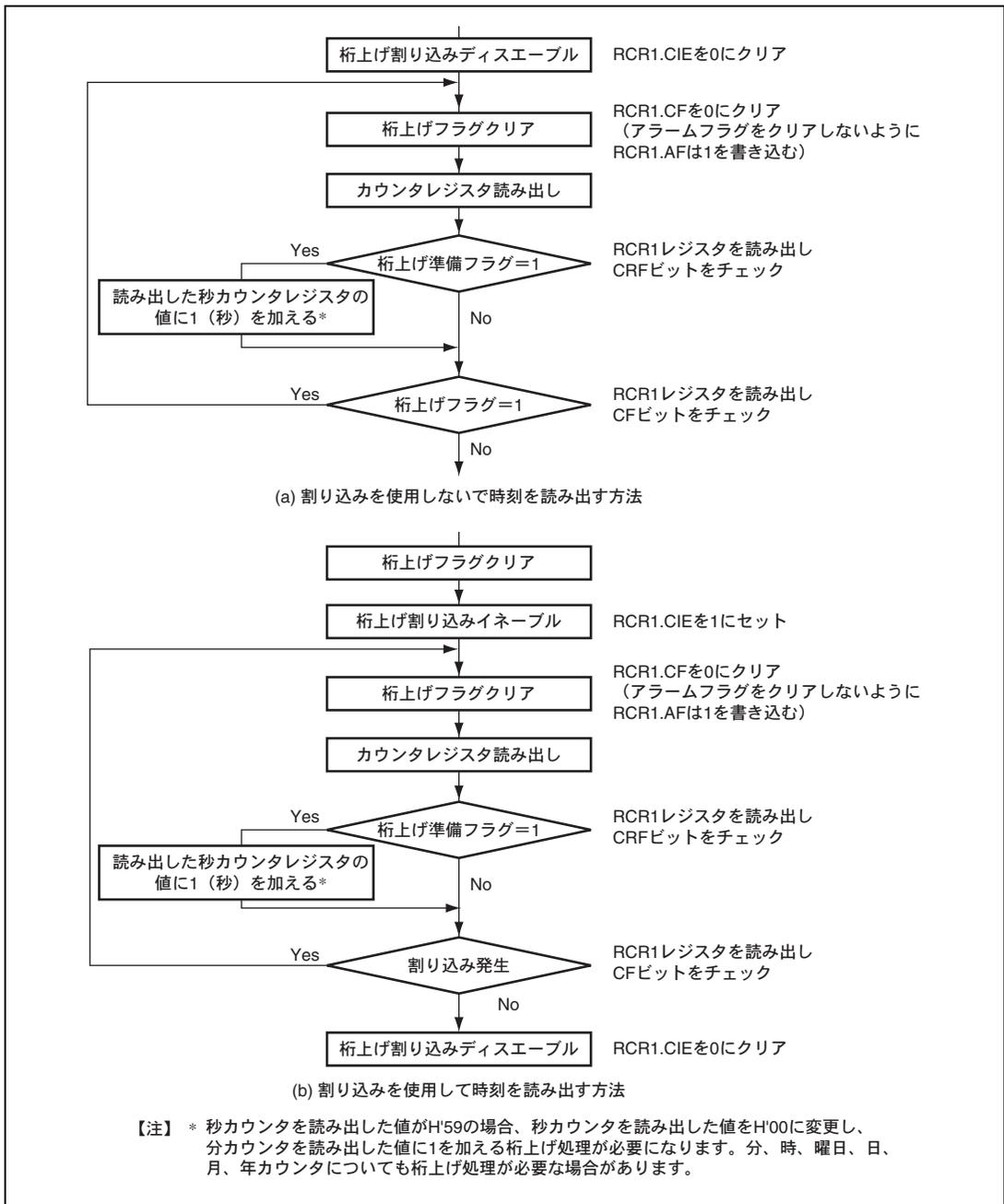


図 20.3 時刻読み出し手順例

時刻読み出し中に桁上げが起ると、正しい時刻が得られないため、再度読み出す必要があります。また、桁上げ準備期間中（RCR1.CRF が 1 の時）に時刻を読み出した場合も正しい時刻が得られないため、読み出した時刻に 1 秒を加える処理が必要になります。割り込みを使用しない方法例を図 20.3 (a) に、桁上げ割り込みを使用する方法例を図 20.3 (b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

### 20.4.3 アラーム機能

図 20.4 にアラーム機能の使用例を示します。

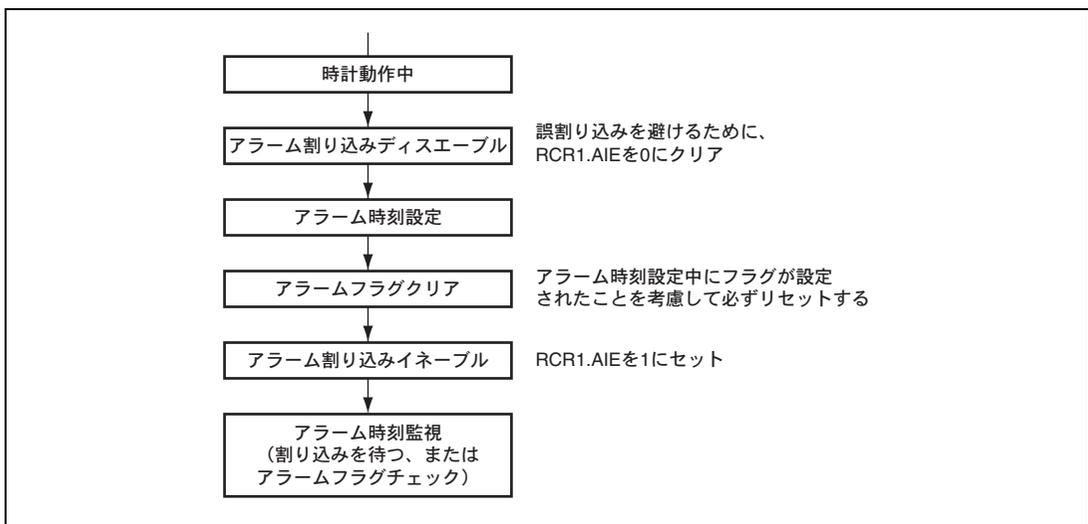


図 20.4 アラーム機能の使用例

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタの ENB ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは ENB ビットに 0 を書き込みます。

カウンタとアラーム時刻が一致した場合、RCR1.AF に 1 がセットされます。アラームの検出は、このビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1.AIE に 1 が書き込まれている場合、アラーム時にアラーム割り込みが発生し、アラームを検出することができます。

## 20. リアルタイムクロック (RTC)

---

### 20.5 割り込み

RTC の割り込み要因は、アラーム割り込み、周期割り込みおよび桁上げ割り込みです。

RCR1 のアラームフラグビット (AF) が 1 にセットされ、アラーム割り込みイネーブルビット (AIE) が 1 にセットされているとき、アラーム割り込み要求 (ATI) を発生します。

RCR2 の周期割り込みイネーブルビット (PES2~PES0) が 000 以外にセットされ、かつ周期割り込みフラグ (PEF) が 1 にセットされた場合、周期割り込み要求 (PRI) を発生します。

RCR1 の桁上げフラグビット (CF) が 1 にセットされ、桁上げ割り込みイネーブルビット (CIE) が 1 にセットされているとき、桁上げ割り込み要求 (CUI) を発生します。

### 20.6 使用上の注意

#### 20.6.1 レジスタの初期設定について

電源投入後、RCR1 レジスタ設定後、分周回路をリセット (RCR2.RESET に 1 をセット) し、全レジスタを初期設定してください。

#### 20.6.2 水晶発振回路

水晶発振回路の各定数 (推奨値) を表 20.4 に、RTC 用水晶発振回路を図 20.5 に示します。

表 20.4 水晶発振回路の定数 (推奨値)

$f_{osc}$	$C_{in}$	$C_{out}$
32.768kHz	10~22pF	10~22pF

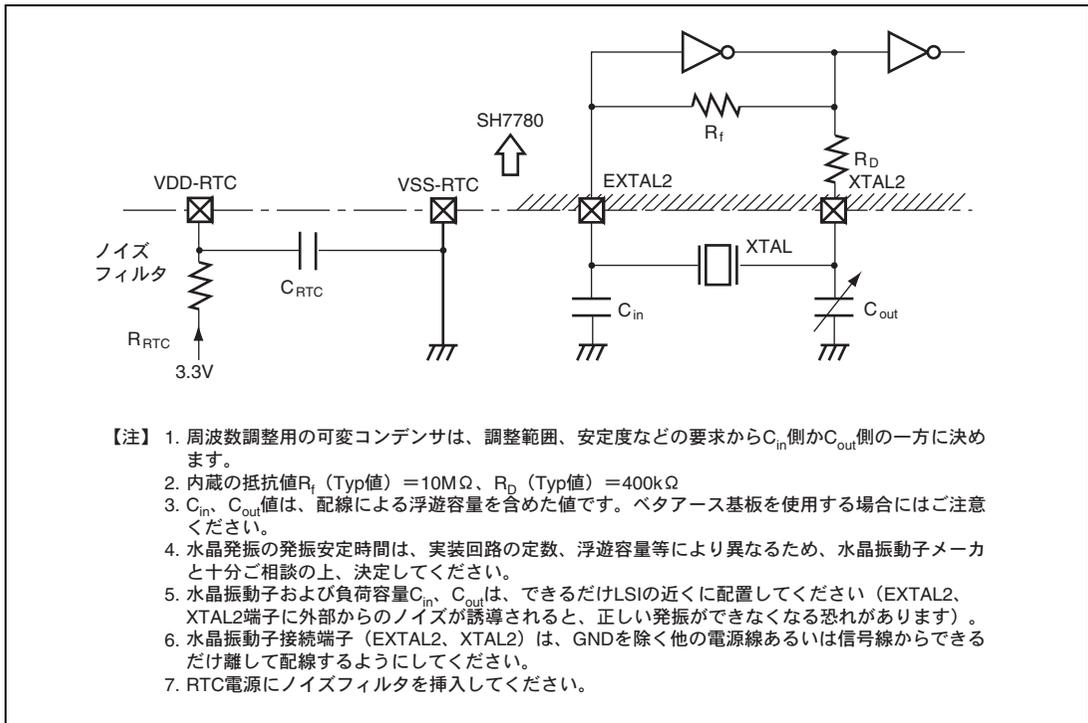


図 20.5 水晶発振回路接続例

## 20. リアルタイムクロック (RTC)

### 20.6.3 割り込みの発生順について

アラーム割り込み、周期割り込み、桁上げ割り込みで、複数の割り込み発生条件が重なった時、RTC は図 20.6 に示すようなタイミングで割り込み要求信号を発生します。

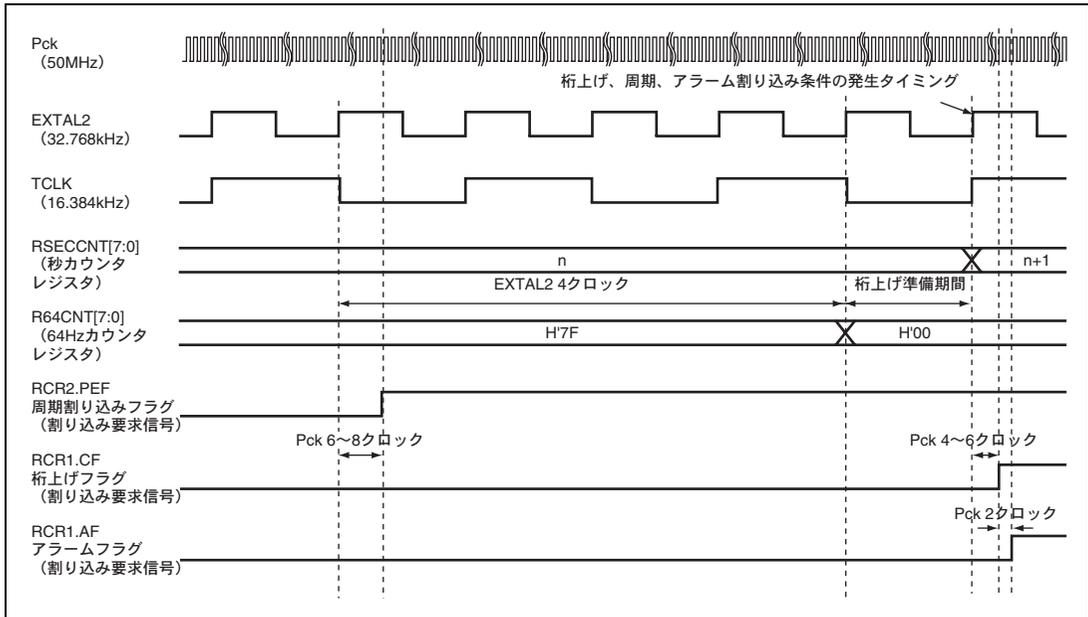


図 20.6 3種類（周期、桁上げ、アラーム）の割り込み発生条件が重なった場合の各種割り込み要求信号の発生タイミング

---

## 21. FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF)

---

本 LSI は、2 チャンネルの FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF : Serial Communication Interface with FIFO) を内蔵しています。SCIF は、調歩同期式とクロック同期式の 2 方式でシリアル通信ができます。

送受信に FIFO バッファをおのおの 64 段内蔵しており、効率の良い高速連続通信を行うことができます。チャンネル 0 は、モデムコントロール機能 ( $\overline{\text{RTS}}$ 、 $\overline{\text{CTS}}$ ) を内蔵しています。

### 21.1 特長

SCIF には次のような特長があります。

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。

シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

受信エラーの検出 : パリティエラー、フレーミングエラー、オーバランエラーを検出

ブレイクの検出 : フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレイクを検出します。また、フレーミングエラー発生時に SCIF0\_RXD、SCIF1\_RXD 端子のレベルをシリアルポートレジスタ (SCSPTR) から直接読み出すことによってもブレイクを検出できます。

- クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信ができます。シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

---

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また送信部および受信部ともに64段のFIFOバッファ構造になっているのでシリアルデータの連続送信、連続受信ができます。

- データの送受信はLSBが先頭 (LSB First)
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- クロックソース：ボーレートジェネレータからの内部クロック、またはSCIF0\_SCK、SCIF1\_SCK端子からの外部クロックから選択可能
- 4種類の割り込み要因  
送信FIFOデータエンプティ、ブレーク、受信FIFOデータフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。
- 送信FIFOデータエンプティ時と受信FIFO内に受信データがあるとき、DMA転送要求を出すことにより、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- SCIFを使用しないときは、消費電力低減のためSCIFに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期式モードにおいてモデムコントロール機能 ( $\overline{\text{SCIF0\_RTS}}$ 、 $\overline{\text{SCIF0\_CTS}}$ ) を内蔵しています。(チャネル0のみ)
- 送受信FIFOレジスタ内のデータ数および受信FIFOレジスタ内の受信データの受信エラー数を知ることができます。
- 調歩同期式モードにおいて、受信時、タイムアウトエラー (DR) を検出できます。

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

図 21.1 に SCIF のブロック図を、図 21.2～図 21.6 に I/O ポートのブロック図を示します。本 LSI は 2 チャンネルあります。図 21.1、図 21.4～図 21.6 ではチャンネル番号を  $n$  ( $n=0, 1$ ) と表記しています。

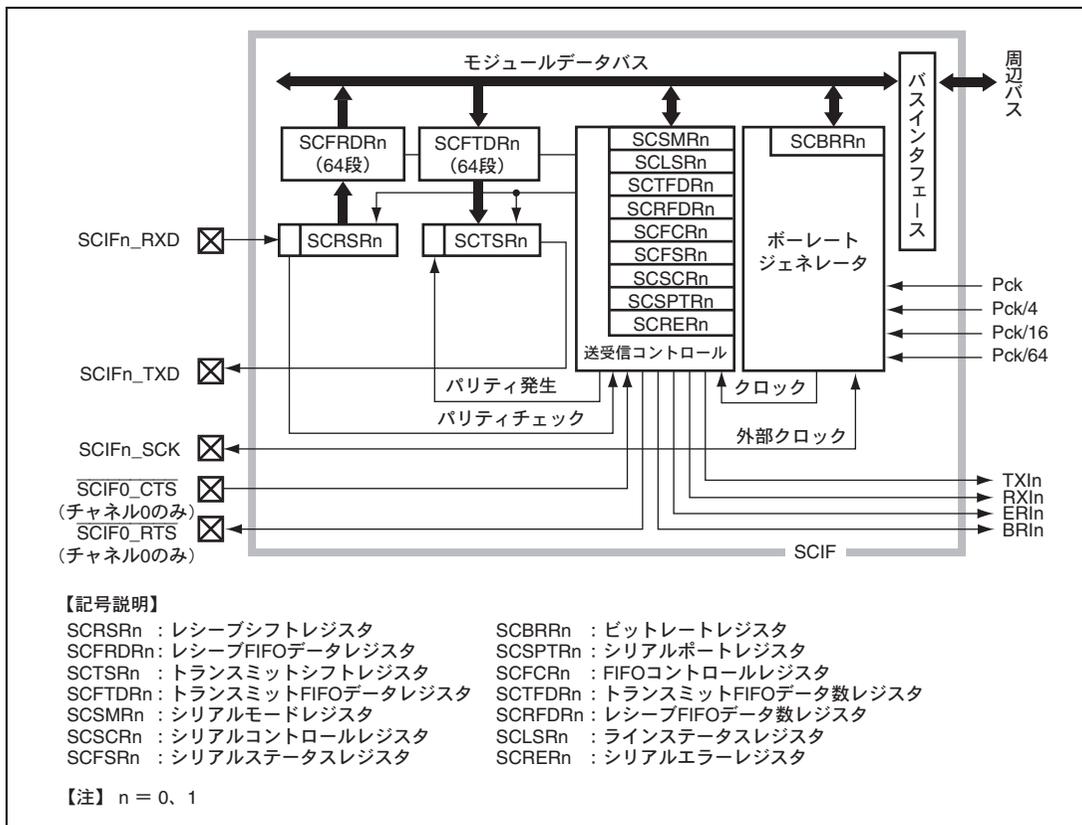


図 21.1 SCIF のブロック図

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

SCIF の I/O ポートのブロック図を図 21.2～図 21.6 に示します。

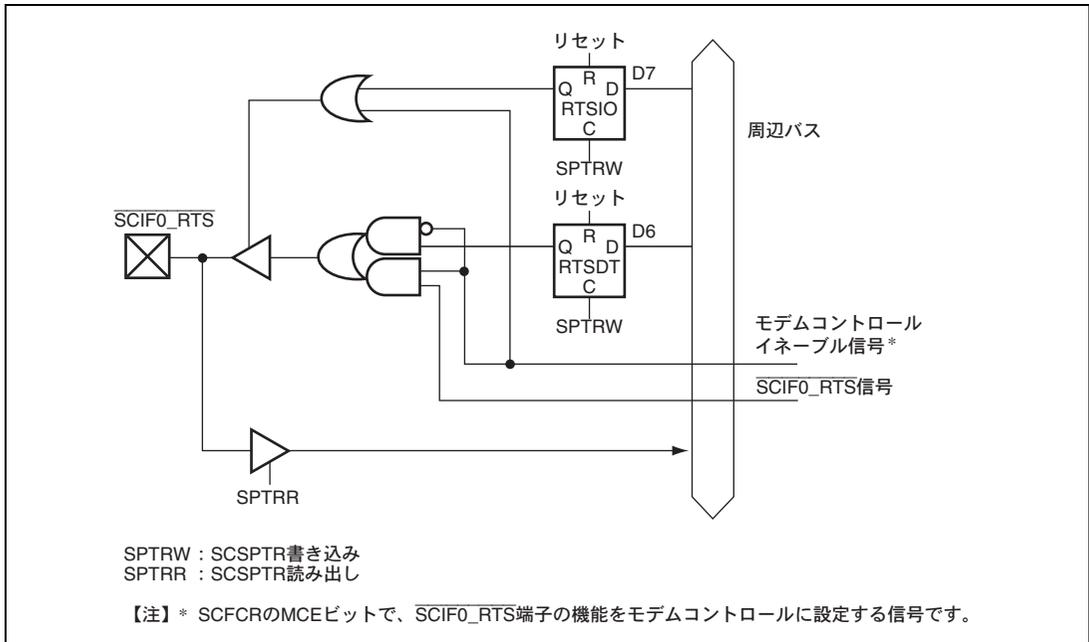


図 21.2 SCIF0\_RTS 端子 (チャンネル0のみ)

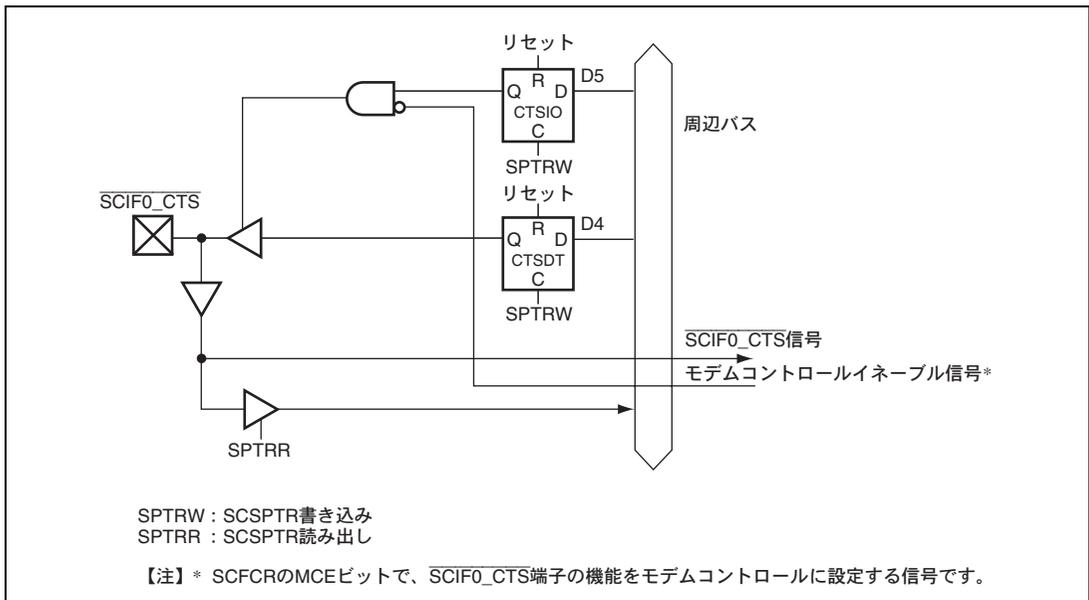


図 21.3 SCIF0\_CTS 端子 (チャンネル0のみ)

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

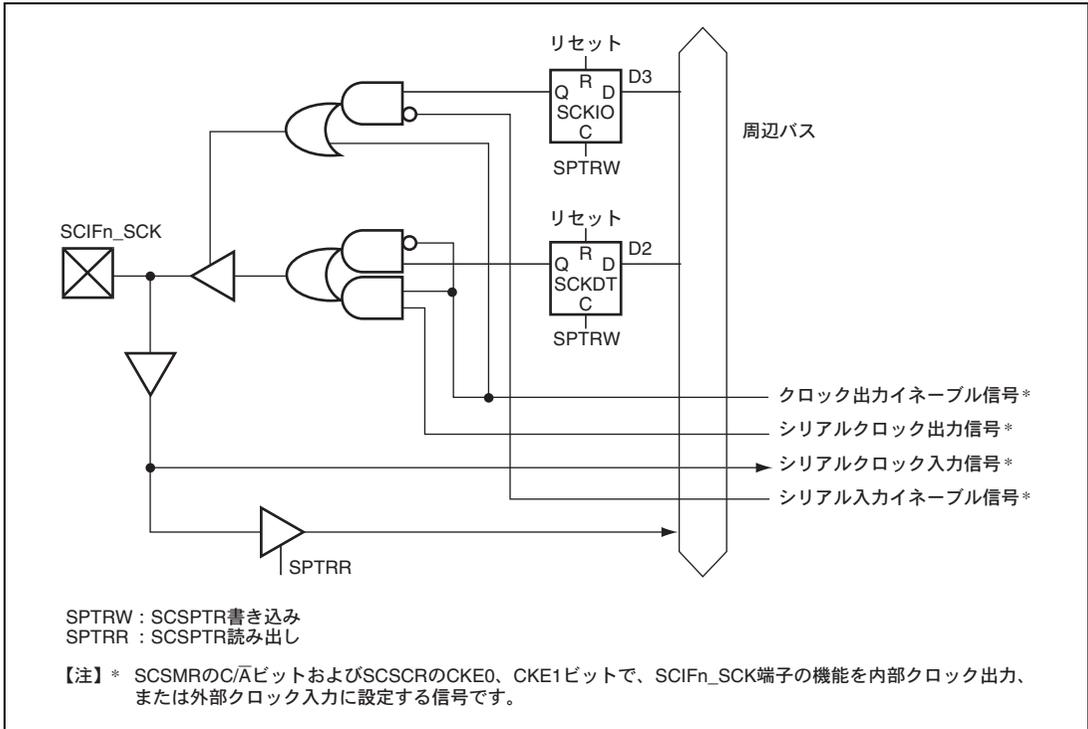


図 21.4 SCIFn\_SCK 端子 (n=0, 1)

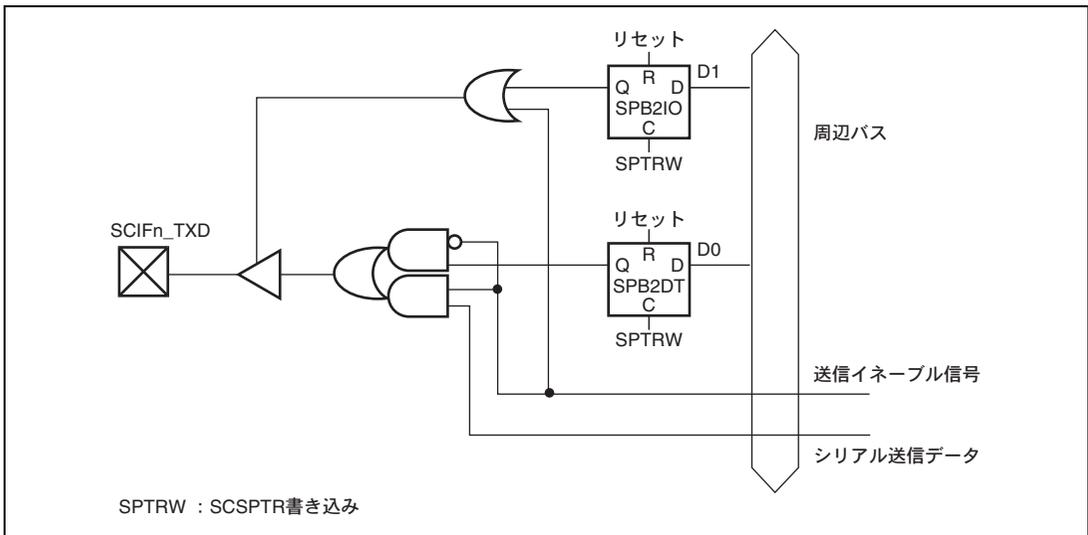


図 21.5 SCIFn\_TXD 端子 (n=0, 1)

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

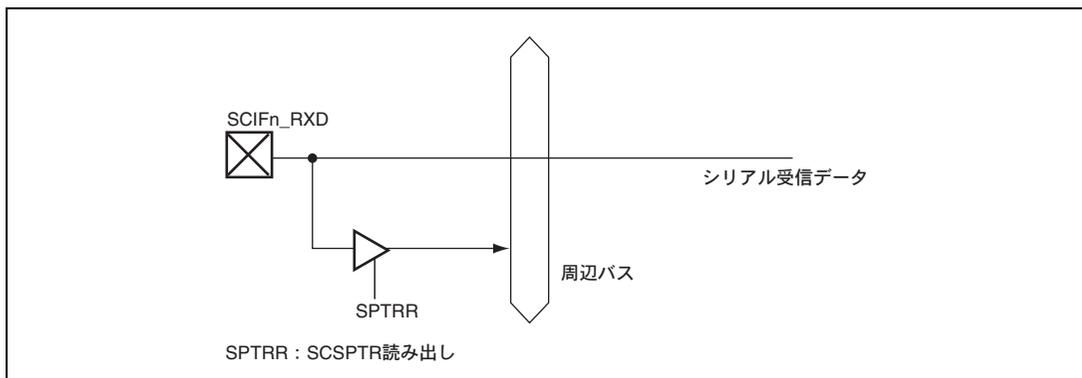


図 21.6 SCIFn\_RXD 端子 (n=0, 1)

### 21.2 入出力端子

SCIF の端子構成を表 21.1 に示します。なお、モデムコントロール端子はチャンネル 0 にあります。

表 21.1 SCIF の端子構成

チャンネル	端子名	機能	入出力	説明
0	SCIF0_SCK	シリアルクロック端子	入出力	クロック入出力
	SCIF0_RXD	受信データ端子	入力	受信データ入力
	SCIF0_TXD	送信データ端子	出力	送信データ出力
	SCIF0_CTS	モデムコントロール端子	入出力	送信可
	SCIF0_RTS	モデムコントロール端子	入出力	送信要求
1	SCIF1_SCK	シリアルクロック端子	入出力	クロック入出力
	SCIF1_RXD	受信データ端子	入力	受信データ入力
	SCIF1_TXD	送信データ端子	出力	送信データ出力

【注】 SCIF の動作設定を SCSMR の C/A ビット、SCSCR の TE、RE、CKE1、CKE0 ビットおよび SCFCR の MCE ビットで行うことにより、シリアル端子として機能します。ブレーク状態の送出、検出は、SCIF の SCSPTR によって行うことができます。

チャンネル 0 の端子は、PCIC、HSPI、FLCTL、GPIO、MODE 制御端子とマルチプレクスされています。チャンネル 1 の端子は、MMCIF、GPIO、MODE 制御端子とマルチプレクスされています。

## 21.3 レジスタの説明

SCIF のレジスタ構成を表 21.2 に示します。また、各処理モードにおけるレジスタの状態を表 21.3 に示します。

表 21.2 レジスタ構成

チャネル	名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
0	シリアルモードレジスタ 0	SCSMR0	R/W	H'FFE0 0000	H'1FE0 0000	16	Pck
	ビットレートレジスタ 0	SCBRR0	R/W	H'FFE0 0004	H'1FE0 0004	8	Pck
	シリアルコントロールレジスタ 0	SCSCR0	R/W	H'FFE0 0008	H'1FE0 0008	16	Pck
	トランスミット FIFO データレジスタ 0	SCFTDR0	W	H'FFE0 000C	H'1FE0 000C	8	Pck
	シリアルステータスレジスタ 0	SCFSR0	R/W <sup>*1</sup>	H'FFE0 0010	H'1FE0 0010	16	Pck
	レシーブ FIFO データレジスタ 0	SCFRDR0	R	H'FFE0 0014	H'1FE0 0014	8	Pck
	FIFO コントロールレジスタ 0	SCFCR0	R/W	H'FFE0 0018	H'1FE0 0018	16	Pck
	トランスミット FIFO データ数レジスタ 0	SCTFDR0	R	H'FFE0 001C	H'1FE0 001C	16	Pck
	レシーブ FIFO データ数レジスタ 0	SCRFDR0	R	H'FFE0 0020	H'1FE0 0020	16	Pck
	シリアルポートレジスタ 0	SCSPTR0	R/W	H'FFE0 0024	H'1FE0 0024	16	Pck
	ラインステータスレジスタ 0	SCLSR0	R/W <sup>*2</sup>	H'FFE0 0028	H'1FE0 0028	16	Pck
	シリアルエラーレジスタ 0	SCRER0	R	H'FFE0 002C	H'1FE0 002C	16	Pck
1	シリアルモードレジスタ 1	SCSMR1	R/W	H'FFE1 0000	H'1FE1 0000	16	Pck
	ビットレートレジスタ 1	SCBRR1	R/W	H'FFE1 0004	H'1FE1 0004	8	Pck
	シリアルコントロールレジスタ 1	SCSCR1	R/W	H'FFE1 0008	H'1FE1 0008	16	Pck
	トランスミット FIFO データレジスタ 1	SCFTDR1	W	H'FFE1 000C	H'1FE1 000C	8	Pck
	シリアルステータスレジスタ 1	SCFSR1	R/W <sup>*1</sup>	H'FFE1 0010	H'1FE1 0010	16	Pck
	レシーブ FIFO データレジスタ 1	SCFRDR1	R	H'FFE1 0014	H'1FE1 0014	8	Pck
	FIFO コントロールレジスタ 1	SCFCR1	R/W	H'FFE1 0018	H'1FE1 0018	16	Pck
	トランスミット FIFO データ数レジスタ 1	SCTFDR1	R	H'FFE1 001C	H'1FE1 001C	16	Pck
	レシーブ FIFO データ数レジスタ 1	SCRFDR1	R	H'FFE1 0020	H'1FE1 0020	16	Pck
	シリアルポートレジスタ 1	SCSPTR1	R/W	H'FFE1 0024	H'1FE1 0024	16	Pck
	ラインステータスレジスタ 1	SCLSR1	R/W <sup>*2</sup>	H'FFE1 0028	H'1FE1 0028	16	Pck
	シリアルエラーレジスタ 1	SCRER1	R	H'FFE1 002C	H'1FE1 002C	16	Pck

【注】 \*1 ビット 7~4、1、0 はフラグをクリアするための 0 書き込みのみ可能です。

\*2 ビット 0 はフラグをクリアするための 0 書き込みのみ可能です。

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 21.3 各処理モードにおけるレジスタの状態

チャネル	名称	略称	パワーオン リセット PRESET 端子 /WDT/ H-UDI による	マニュアル リセット WDT/多重例外 による	スリープ SLEEP 命令 による	モジュール スタンバイ
0	シリアルモードレジスタ 0	SCSMR0	H'0000	H'0000	保持	保持
	ビットレートレジスタ 0	SCBRR0	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 0	SCSCR0	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 0	SCFTDR0	不定	不定	保持	保持
	シリアルステータスレジスタ 0	SCFSR0	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 0	SCFRDR0	不定	不定	保持	保持
	FIFO コントロールレジスタ 0	SCFCR0	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 0	SCTFDR0	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 0	SCRFDR0	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 0	SCSPTR0	H'0000*1	H'0000*1	保持	保持
	ラインステータスレジスタ 0	SCLSR0	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 0	SCRER0	H'0000	H'0000	保持	保持
1	シリアルモードレジスタ 1	SCSMR1	H'0000	H'0000	保持	保持
	ビットレートレジスタ 1	SCBRR1	H'FF	H'FF	保持	保持
	シリアルコントロールレジスタ 1	SCSCR1	H'0000	H'0000	保持	保持
	トランスミット FIFO データレジスタ 1	SCFTDR1	不定	不定	保持	保持
	シリアルステータスレジスタ 1	SCFSR1	H'0060	H'0060	保持	保持
	レシーブ FIFO データレジスタ 1	SCFRDR1	不定	不定	保持	保持
	FIFO コントロールレジスタ 1	SCFCR1	H'0000	H'0000	保持	保持
	トランスミット FIFO データ数レジスタ 1	SCTFDR1	H'0000	H'0000	保持	保持
	レシーブ FIFO データ数レジスタ 1	SCRFDR1	H'0000	H'0000	保持	保持
	シリアルポートレジスタ 1	SCSPTR1	H'0000*2	H'0000*2	保持	保持
	ラインステータスレジスタ 1	SCLSR1	H'0000	H'0000	保持	保持
	シリアルエラーレジスタ 1	SCRER1	H'0000	H'0000	保持	保持

【注】 \*1 ビット 2、0 は不定です。

\*2 ビット 6、4、2、0 は不定です。

モデム制御関係を除き、レジスタ、端子、割り込みの機能は各チャンネルで同じであるため、以下チャンネル番号  $n$  ( $n=0, 1$ ) は省略しています。

### 21.3.1 レシーブシフトレジスタ (SCRSR)

SCRSR は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR に RXD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCFRDR へ転送されます。

SCRSR は、CPU から直接読み出し／書き込みできません。

ビット :	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-

### 21.3.2 レシーブ FIFO データレジスタ (SCFRDR)

SCFRDR は、受信したシリアルデータを格納する 8 ビット長の 64 段 FIFO レジスタです。

SCIF は、1 バイトのシリアルデータの受信が終了すると、SCRSR から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR は受信可能になり、SCFRDR がいっぱいになる 64 バイトデータまで連続した受信動作が可能です。

SCFRDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、SCFRDR に受信データがない状態で読み出した値は不定値になります。SCFRDR 内の受信データがいっぱいになると、以降のシリアルデータは失われます。

ビット :	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-
R/W :	R	R	R	R	R	R	R	R

### 21.3.3 トランスミットシフトレジスタ (SCTSR)

SCTSR は、シリアルデータを送信するためのレジスタです。

SCIF は、SCFTDR から送信データをいったん SCTSR に転送し、LSB (ビット 0) から順に TXD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

SCTSR は、CPU から直接読み出し／書き込みできません。

ビット :	7	6	5	4	3	2	1	0
初期値 :	-	-	-	-	-	-	-	-
R/W :	-	-	-	-	-	-	-	-

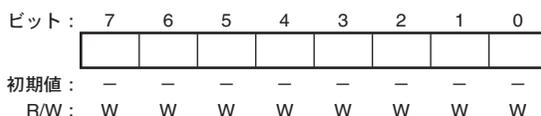
## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### 21.3.4 トランスミット FIFO データレジスタ (SCFTDR)

SCFTDR は、シリアル送信するデータを格納する 8 ビット長の 64 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR に書き込まれたとき、SCTSR が空ならば、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。

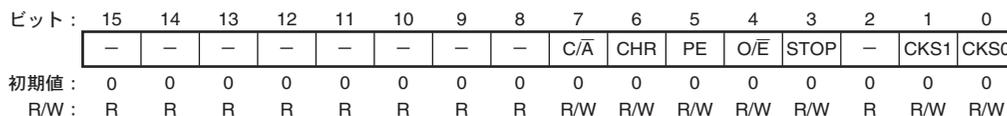
SCFTDR は、書き込み専用レジスタですので CPU から読み出すことはできません。SCFTDR 内の送信データが 64 バイトでいっぱいの際は次のデータを書き込むことはできません。書き込んだデータは無視されます。



### 21.3.5 シリアルモードレジスタ (SCSMR)

SCSMR は、SCIF のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。

SCSMR は、常に CPU による読み出し/書き込みが可能です。



ビット	ビット名	初期値	R/W	説明
15~8	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	C/Ā	0	R/W	コミュニケーションモード SCIF の動作モードを調歩同期式モードまたはクロック同期式モードのいずれかから選択します。 0: 調歩同期式モード 1: クロック同期式モード
6	CHR	0	R/W	キャラクタレンクス 調歩同期式モードのデータ長を 7 ビット/8 ビットデータのいずれかから選択します。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。7 ビットデータを選択した場合、SCFTDR の MSB (ビット 7) は送信されません。 0: 8 ビットデータ 1: 7 ビットデータ

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5	PE	0	R/W	<p>パリティイネーブル</p> <p>調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加およびチェックは行いません。</p> <p>0：パリティビットの付加、およびチェックを禁止 1：パリティビットの付加、およびチェックを許可*</p> <p>【注】* PE ビットに1をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。</p>
4	O/E	0	R/W	<p>パリティモード</p> <p>パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに1を設定しパリティビットの付加やチェックを許可したときのみに有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。</p> <p>0：偶数パリティ 1：奇数パリティ</p> <p>偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。</p> <p>奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。</p>
3	STOP	0	R/W	<p>ストップビットレングス</p> <p>調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。ストップビットの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。</p> <p>0：1ストップビット*<sup>1</sup> 1：2ストップビット*<sup>2</sup></p> <p>なお受信時には、STOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は次の送信キャラクタのスタートビットとして扱います。</p> <p>【注】*<sup>1</sup> 送信時には、送信キャラクタの最後尾に1ビットの1（ストップビット）を付加して送信します。 *<sup>2</sup> 送信時には、送信キャラクタの最後尾に2ビットの1（ストップビット）を付加して送信します。</p>

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
2	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 内蔵ポーレートジェネレータへの入力クロックを選択します。CKS1、CKS0 ビットの設定で Pck、Pck/4、Pck/16、Pck/64 の 4 種類から選択できます。 選択したクロックと、ビットレートレジスタの設定値、およびポーレートの関係については、「21.3.8 ビットレートレジスタ (SCBRR)」を参照してください。 00 : Pck 01 : Pck/4 10 : Pck/16 11 : Pck/64 【注】 Pck : 周辺クロック

### 21.3.6 シリアルコントロールレジスタ (SCSCR)

SCSCR は、SCIF の送信／受信動作、シリアルクロック出力、割り込み要求の許可／禁止、および送信／受信クロックソースの選択を行うレジスタです。

SCSCR は、常に CPU による読み出し／書き込みが可能です。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TIE	RIE	TE	RE	REIE	—	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	TIE	0	R/W	トランスミットインタラプトイネーブル SCFTDR から SCTSR ヘシリアル送信データが転送され、SCFTDR 内のデータ数が送信トリガ設定数以下になり、SCFSR の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可／禁止します。 TXI の解除は、SCFSR の TDFE フラグの 1 を読み出した後、SCFTDR に送信トリガ設定数より多い送信データを書き込み、SCFSR の TDFE フラグを 0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。 0 : 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止 1 : 送信 FIFO データエンプティ割り込み (TXI) 要求を許可

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>SCFSR の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされたときのブレイク割り込み (BRI) 要求の発生を許可/禁止します。</p> <p>0: 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブレイク割り込み (BRI) 要求を禁止</p> <p>1: 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブレイク割り込み (BRI) 要求を許可</p> <p><b>【注】</b> RXI 割り込み要求の解除は、SCFSR の RDF フラグまたは DR フラグの 1 を読み出した後で 0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、SCFSR の ER、BRK、SCLSR の ORER の各フラグで 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>SCIF のシリアル送信動作の開始を許可/禁止します。</p> <p>TE ビットが 1 のときに、SCFTDR に送信データを書き込むとシリアル送信を開始します。</p> <p>0: 送信動作を禁止</p> <p>1: 送信動作を許可*</p> <p><b>【注】</b> * なお、TE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>SCIF のシリアル受信動作の開始を許可/禁止します。</p> <p>RE ビットが 1 のときに調歩同期式モードの場合はスタートビットを、クロック同期式モードでは同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。</p> <p>RE ビットを 0 にクリアしても SCFSR の ER、BRK、FER、PER、RDF、DR、SCLSR の ORER の各フラグは影響を受けず、状態を保持しますので注意してください。</p> <p>この状態でスタートビットを検出すると、シリアル受信を開始します。</p> <p>0: 受信動作を禁止</p> <p>1: 受信動作を許可*</p> <p><b>【注】</b> * なお、RE ビットを 1 にセットする前に必ず SCSMR、SCFCR の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。</p>

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
3	REIE	0	R/W	<p>レシーブエラーインタラプトイネーブル</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の発生を許可/禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。</p> <p>受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求の解除は、SCFSR の ER、BRK、SCLSR の ORER の各フラグで 1 を読み出した後で 0 にクリアするか、RIE と REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMA 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。</p> <p>0 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を禁止</p> <p>1 : 受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を許可</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0</p> <p>SCIF のクロックソースの選択、および SCIF_SCK 端子からのクロック出力の許可/禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCIF_SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。ただし CKE0 ビットの設定は、内部クロック動作 (CKE1=0) のときのみ有効です。外部クロック動作 (CKE1=1) の場合は、CKE0 ビットの設定は無効です。また、SCSMR で SCIF の動作モードを決定する前に、必ず CKE1、CKE0 ビットの設定をしてください。</p> <ul style="list-style-type: none"> <li>調歩同期式 <ul style="list-style-type: none"> <li>00 : 内部クロック/SCIF_SCK 端子は SCSPTR の設定によりポートとして使用可能</li> <li>01 : 内部クロック/SCIF_SCK 端子はクロック出力*1</li> <li>1x : 外部クロック/SCIF_SCK 端子はクロック入力*2</li> </ul> </li> <li>クロック同期式 <ul style="list-style-type: none"> <li>0x : 内部クロック/SCIF_SCK 端子は同期クロック出力</li> <li>1x : 外部クロック/SCIF_SCK 端子は同期クロック入力</li> </ul> </li> </ul> <p>【記号説明】 x : Don't care</p> <p>【注】 *1 出力クロックの周波数はビットレートの 16 倍 *2 入力クロックの周波数はビットレートの 16 倍</p>

## 21.3.7 シリアルステータスレジスタ (SCFSR)

SCFSR は 16 ビット長のレジスタで、SCIF の動作状態を示すステータスフラグです。

SCFSR は常に CPU から読み出し/書き込みできます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。なお、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値:	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*	R	R	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	ER	0	R/W*	<p>レシーブエラー</p> <p>受信時にフレーミングエラー、パリティエラーが発生したことを示します。SCSCR の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR に転送され、受信動作を続けます。SCFRDR から読み出すデータに受信エラーがあるかどうかは、SCFSR の FER、PER ビットで判定できます。</p> <p>0: 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• ER=1 の状態を読み出した後、0 を書き込んだとき</li> </ul> <p>1: 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき*</li> <li>• 受信時の受信データとパリティビットを合わせた 1 の数がシリアルモードレジスタ (SCSMR) の O/E ビットで指定した偶数/奇数パリティの設定と一致しなかったとき</li> </ul> <p>【注】 2 ストップモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ストップビット目のストップビットはチェックしません。</p>

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
6	TEND	1	R/W*	<p>トランスミットエンド*</p> <p>送信キャラクタの最後尾ビットの送信後に SCFTDR に有効なデータがなく、送信を終了したことを示します。</p> <p>0: 送信中であることを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• SCFTDR に送信データを書き込み、TEND フラグが 1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき</li> <li>• DMAC で SCFTDR へデータを書き込んだとき</li> </ul> <p>1: 送信を終了したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• SCSCR の TE ビットが 0 のとき</li> <li>• 1 バイトのシリアル送信キャラクタの最後尾ビットの送信後に SCFTDR に送信データがないとき</li> </ul>
5	TD FE	1	R/W*	<p>トランスミット FIFO データエンpty</p> <p>SCFTDR から SCTSR にデータ転送が行われ、SCFTDR 内のデータ数が SCFCR の TTRG1、TTRG0 ビットで設定した送信トリガデータ数以下になり、SCFTDR に送信データを書き込むことが可能になったことを示します。</p> <p>0: SCFTDR 内の送信データ数が送信トリガ設定数より多いことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• TD FE=1 の状態を読み出した後、SCFTDR に送信トリガ設定数を超える送信データを書き込み、0 を書き込んだとき</li> <li>• DMAC で SCFTDR に送信トリガ設定数を超えるデータを書き込んだとき</li> </ul> <p>1: SCFTDR の送信データ数が送信トリガ設定数以下であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• SCFTDR の送信データ数が送信動作によって送信トリガ設定数以下になったとき*</li> </ul> <p><b>【注】</b> SCFTDR は 64 バイトの FIFO レジスタですので TD FE=1 で書き込むことができる最大データ数は、64 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR 内のデータ数は SCTFDR に示されます。</p>

21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
4	BRK	0	R/W*	<p>ブレイク検出</p> <p>受信データのブレイク信号を検出して示します。</p> <p>0: ブレイク信号を受信していないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>•パワーオンリセット、マニュアルリセット時</li> <li>•BRK=1の状態を読み出した後、0を書き込んだとき</li> </ul> <p>1: ブレイク信号を受信したことを表示*</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>•フレーミングエラーを伴うデータを受信したとき、引き続き1フレーム長以上スペース0（ローレベル）の場合</li> </ul> <p>【注】ブレイク検出すると受信データ（H'00）のFIFOへの転送は停止します。ブレイクが終了し、受信信号がマーク1に戻ると受信データの転送が再開します。</p>
3	FER	0	R	<p>フレーミングエラー表示</p> <p>調歩同期式モードで、次にSCFRDRから読み出すデータにフレーミングエラーがあったかどうかを表示します。</p> <p>0: 次にSCFRDRから読み出す受信データにフレーミングエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>•パワーオンリセット、マニュアルリセット時</li> <li>•次にSCFRDRから読み出す受信データにフレーミングエラーなし</li> </ul> <p>1: 次にSCFRDRから読み出す受信データにフレーミングエラーが発生したことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>•次にSCFRDRから読み出す受信データにフレーミングエラーあり</li> </ul>
2	PER	0	R	<p>パリティエラー表示</p> <p>調歩同期式モードで、次にSCFRDRから読み出すデータにパリティエラーがあったかどうかを表示します。</p> <p>0: 次にSCFRDRから読み出す受信データにパリティエラーが発生しなかったことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>•パワーオンリセット、マニュアルリセット時</li> <li>•次にSCFRDRから読み出す受信データにパリティエラーなし</li> </ul> <p>1: 次にSCFRDRから読み出す受信データにパリティエラーが発生していることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>•次にSCFRDRから読み出すデータにパリティエラーあり</li> </ul>

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
1	RDF	0	R/W*	<p>レシーブ FIFO データフル</p> <p>受信したデータが SCRSR から SCFRDR に転送され、SCFRDR 内の受信データ数が、SCFCR の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。</p> <p>0 : SCFRDR 内の受信データ数が受信トリガ設定数より少ないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• RDF=1 を読み出した後、SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出し、0 を書き込んだとき</li> <li>• DMAC で SCFRDR 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR を読み出したとき</li> </ul> <p>1 : SCFRDR 内の受信データ数が受信トリガ設定数以上であることを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SCFRDR に受信トリガ設定数以上の受信データが格納されたとき</li> </ul> <p>【注】 SCFRDR は 64 バイトの FIFO レジスタです。RDF=1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR が空の状態ではデータを読み出すと不定値が読み出されます。なお SCFRDR 内の受信データ数は SCFRDR に示されます。</p>
0	DR	0	R/W*	<p>レシーブデータレディ</p> <p>調歩同期式モードでは、SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上、次のデータが来ないことを示します。クロック同期式モードに設定した場合はセットされません。</p> <p>0 : 受信中または正常に受信完了して SCFRDR に受信データが残っていないことを表示</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• DR=1 を読み出した後、SCFRDR 内の受信データをすべて読み出し、0 を書き込んだとき</li> <li>• DMAC で SCFRDR 内の受信データをすべて読み出したとき</li> </ul> <p>1 : 次の受信データが来ないことを表示</p> <p>[セット条件]</p> <ul style="list-style-type: none"> <li>• SCFRDR に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないとき</li> </ul> <p>【記号説明】 etu (Elementary Time Unit : 1 ビットの転送期間の略)</p> <p>【注】 15etu 時間は、8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。</p>

【注】 \* フラグをクリアするために 0 を書き込むことのみ可能です。

### 21.3.8 ビットレートレジスタ (SCBRR)

SCBRR は、SCSMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信／受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し／書き込みが可能です。

SCBRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{Pck}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{Pck}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR の設定値 ( $0 \leq N \leq 255$ )

Pck : 周辺モジュール用動作周波数 (MHz)

n : 0、1、2、3

(n とボーレートジェネレータ入力クロックの関係は、表 21.4 を参照してください)

表 21.4 SCSMR の設定値

n	ボーレートジェネレータ 入力クロック	SCSMR の設定値	
		CKS1	CKS0
0	Pck	0	0
1	Pck/4	0	1
2	Pck/16	1	0
3	Pck/64	1	1

【注】 調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{Pck \times 10^6}{(N + 1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### 21.3.9 FIFO コントロールレジスタ (SCFCR)

SCFCR は送信／受信の各 FIFO レジスタのリセットおよびトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し／書き込みが可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	RST RG2*	RST RG1*	RST RG0*	RTRG1	RTRG0	TTRG1	TTRG0	MCE*	TFCL	RFCL	LOOP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明	
15~11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。	
10	RSTRG2*	0	R/W	SCIF0_RTS 出力アクティブトリガ	
9	RSTRG1*	0	R/W	SCFRDR 内に格納された受信データ数が下に示すトリガ設定数以上になったとき、SCIF0_RTS 信号はハイレベルになります。	
8	RSTRG0*	0	R/W		
					000 : 63
					001 : 1
				010 : 8	
				011 : 16	
				100 : 32	
				101 : 48	
				110 : 54	
				111 : 60	
7	RTRG1	0	R/W	レシーブ FIFO データ数トリガ	
6	RTRG0	0	R/W	SCFSR の RDF フラグをセットする受信データ数を設定するビットです。SCFRDR 内に格納された受信データ数が下に示すトリガ設定数以上になったとき RDF フラグをセットします。	
					00 : 1
					01 : 16
					10 : 32
				11 : 48	

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
5 4	TTRG1 TTRG0	0 0	R/W R/W	<p>トランスミット FIFO データ数トリガ</p> <p>SCFSR の TDFE フラグをセットする未送信のデータ数を設定するビットです。</p> <p>送信動作により SCFTDR 内の送信データ数が、下に示すトリガ設定数以下になったとき TDFE フラグをセットします。</p> <p>00 : 32 (32) 01 : 16 (48) 10 : 2 (62) 11 : 0 (64)</p> <p>【注】 ( ) 内の値はフラグ発生時の SCFTDR の空き数を示します。</p>
3	MCE*	0	R/W	<p>モデムコントロールイネーブル</p> <p>モデムコントロール信号 SCIF0_CTS、SCIF0_RTS を有効にします。クロック同期モードでは MCE ビットを常に 0 にしてください。</p> <p>0 : モデム信号を無効 1 : モデム信号を有効</p> <p>【注】 SCIF0_CTS は入力値にかかわらず 0 アクティブに、SCIF0_RTS 出力も 0 に固定します。</p>
2	TFCL	0	R/W	<p>トランスミット FIFO データ数レジスタクリア</p> <p>トランスミット FIFO データ数レジスタ内の送信データ数を 0 にクリアします。</p> <p>0 : クリアしない 1 : FIFO データ数を 0 にクリアする</p> <p>【注】 パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。</p>
1	RFCL	0	R/W	<p>レシーブ FIFO データ数レジスタクリア</p> <p>レシーブ FIFO データ数レジスタ内の受信データ数を 0 にクリアします。</p> <p>0 : クリアしない 1 : FIFO データ数を 0 にクリアする</p> <p>【注】 パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。</p>
0	LOOP	0	R/W	<p>ループバックテスト</p> <p>送信出力端子 (SCIF_TXD) と受信入力端子 (SCIF_RXD)、SCIF0_RTS 端子と SCIF0_CTS 端子を内部で接続し、ループバックテストを可能にします。</p> <p>0 : ループバックテストを禁止 1 : ループバックテストを許可</p>

【注】 \* チャンネル 0 にのみあります。チャンネル 1 ではリザーブビットです。

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### 21.3.10 トランスミット FIFO データ数レジスタ (SCTFDR)

SCTFDR は、SCFTDR 内に格納されている送信データ数を示す 16 ビット長のレジスタです。

SCTFDR は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	T6	T5	T4	T3	T2	T1	T0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	T6~T0	すべて 0	R	SCFTDR 内に格納されている未送信のデータ数を示します。 H'00 は送信データがないことを、H'40 は SCFTDR に最大数 (64 バイト) の送信データが格納されていることを示します。

### 21.3.11 レシーブ FIFO データ数レジスタ (SCRFDR)

SCRFDR は、SCFRDR 内に格納されている受信データ数を示す 16 ビット長のレジスタです。SCRFDR は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	R6	R5	R4	R3	R2	R1	R0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~7	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6~0	R6~R0	すべて 0	R	SCFRDR 内に格納されている受信データ数を示します。 H'00 は受信データがないことを、H'40 は SCFRDR に最大数 (64 バイト) の受信データが格納されていることを示します。

## 21.3.12 シリアルポートレジスタ (SCSPTR)

SCSPTR は、常に CPU による読み出し／書き込み可能な 16 ビットのレジスタで、SCIF の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって RXD 端子から入力データを読み出し、TXD 端子へ出力データを書き込むことができ、シリアル送受信のブ레이크を制御します。

パワーオンリセット、マニュアルリセット時にビット 6、4、2、0 を除いたすべてのビットが 0 に初期化されません。ビット 6、4、2、0 は不定です。モジュールスタンバイ時には初期化されません。シリアルポートを使用して SCIF 端子の値を読み出す場合、周辺クロックの 2 サイクル前の値を読み出しますので注意してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RT SIO*	RT SDT*	CT SIO*	CT SDT*	SCK IO	SCK DT	SPB2 IO	SPB2 DT
初期値:	0	0	0	0	0	0	0	0	0	—	0	—	0	—	0	—
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	RTSIO*	0	R/W	シリアルポート SCIF0_RTS ポート入出力 シリアルポートの SCIF0_RTS 端子の入出力を指定します。実際に SCIF0_RTS 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0: SCIF0_RTS 端子に RTSDT ビットの値を出力しないことを示します 1: SCIF0_RTS 端子に RTSDT ビットの値を出力することを示します
6	RTSDT*	—	R/W	シリアルポート SCIF0_RTS ポートデータ シリアルポートの SCIF0_RTS 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が SCIF0_RTS 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは SCIF0_RTS 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します
5	CTSIO*	0	R/W	シリアルポート SCIF0_CTS ポート入出力 シリアルポートの SCIF0_CTS 端子の入出力を指定します。実際に SCIF0_CTS 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0: CTS 端子に CTSDT ビットの値を出力しないことを示します 1: CTS 端子に CTSDT ビットの値を出力することを示します

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

ビット	ビット名	初期値	R/W	説明
4	CTS $\overline{\text{SDT}}$ *	—	R/W	シリアルポート SCIF0_CTS ポートデータ シリアルポートの SCIF0_CTS 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTS $\overline{\text{SDT}}$ ビットの値が SCIF0_CTS 端子に出力されます。CTSIO ビットの値にかかわらず、CTS $\overline{\text{SDT}}$ ビットからは SCIF0_CTS 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します
3	SCKIO	0	R/W	シリアルポートクロックポート入出力 シリアルポートの SCIF_SCK 端子の入出力を指定します。実際に SCIF_SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。 0: SCIF_SCK 端子に SCKDT ビットの値を出力しないことを示します 1: SCIF_SCK 端子に SCKDT ビットの値を出力することを示します
2	SCKDT	—	R/W	シリアルポートクロックポートデータ シリアルポートの SCIF_SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCIF_SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCIF_SCK 端子の値が読み出されます。 パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します
1	SPB2IO	0	R/W	シリアルポートブ레이크入出力 シリアルポートの SCIF_TXD 端子の出力条件を指定します。実際に SCIF_TXD 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。 0: SCIF_TXD 端子に SPB2DT ビットの値を出力しないことを示します 1: SCIF_TXD 端子に SPB2DT ビットの値を出力することを示します
0	SPB2DT	—	R/W	シリアルポートブ레이크データ シリアルポートの SCIF_RXD 端子の入出力データおよび SCIF_TXD 端子の出力データを指定します。SCIF_TXD 端子の出力条件は SPB2IO ビットで指定します。SCIF_TXD 端子を出力に設定した場合、SPB2DT ビットの値が SCIF_TXD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは SCIF_RXD 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。 0: 入出力データがローレベルであることを示します 1: 入出力データがハイレベルであることを示します

【注】 \* チャネル 0 のみです。チャネル 1 ではリザーブビットです。

## 21.3.13 ラインステータスレジスタ (SCLSR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ORER
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W*

ビット	ビット名	初期値	R/W	説明
15~1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ORER	0	R/W*	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを示します。</p> <p>0: 受信中、または正常に受信を完了したことを表示 [クリア条件]</p> <ul style="list-style-type: none"> <li>• パワーオンリセット、マニュアルリセット時</li> <li>• ORER=1の状態を読み出した後、0を書き込んだとき</li> </ul> <p>SCSCRのREビットを0にクリアしたときには、ORERフラグは影響を受けず以前の状態を保持します。</p> <p>1: 受信時にオーバランエラーが発生したことを表示 [セット条件]</p> <ul style="list-style-type: none"> <li>• SCFRDRが最大数(64バイト)のデータを受信した状態で次のシリアル受信を完了したとき</li> </ul> <p>SCFRDRではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。</p>

【注】 \* フラグをクリアするために0を書き込むことのみ可能です。

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### 21.3.14 シリアルエラーレジスタ (SCRER)

SCRER は 16 ビットのレジスタで、SCFRDR 内のデータの受信エラー数を示します。SCRER は常に CPU から読み出すことができます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PER5	PER4	PER3	PER2	PER1	PER0	—	—	FER5	FER4	FER3	FER2	FER1	FER0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PER5	0	R	パリティエラー数 SCFRDR に格納されている受信データでパリティエラーの発生しているデータ数を示します。SCFSR の ER ビットがセットされた後、PER5~PER0 に示される値がパリティエラー発生データ数を表示します。 SCFRDR の 64 バイトの受信データすべてがパリティエラーをとまなう場合、PER5~PER0 は 0 を表示します。
12	PER4	0	R	
11	PER3	0	R	
10	PER2	0	R	
9	PER1	0	R	
8	PER0	0	R	
7~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	FER5	0	R	フレーミングエラー数 SCFRDR に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。 SCFSR の ER ビットがセットされた後、FER5~FER0 で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDR の 64 バイトの受信データすべてがフレーミングエラーをとまなう場合、FER5~FER0 は 0 を表示します。
4	FER4	0	R	
3	FER3	0	R	
2	FER2	0	R	
1	FER1	0	R	
0	FER0	0	R	

## 21.4 動作説明

### 21.4.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。調歩同期式モードの動作については、「21.4.2 調歩同期式モードの動作」を参照してください。

送受信おのおのに 64 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として  $\overline{\text{SCIF0\_RTS}}$ 、 $\overline{\text{SCIF0\_CTS}}$  信号を内蔵しています (SCIF0 のみ)。

送受信フォーマットの選択は、SCSMR で行います。これを表 21.5 に示します。また、SCIF のクロックソースは、SCSMR の  $\text{C}/\overline{\text{A}}$  ビットおよび SCSCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 21.6 に示します。

#### (1) 調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- データの送受信はLSBが先頭 (LSB First)
- パリティの付加および1ビット/2ビットのストップビットの付加を選択可能 (これらの組み合わせにより送信/受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、レシープFIFOデータフル、オーバランエラー、レシープデータレディ、およびブレークの検出が可能
- 送受信FIFOレジスタのおのおのの格納データ数を表示
- SCIFのクロックソース：周辺クロック (Pck) / SCIF\_SCK端子入力から選択可能  
 周辺クロック (Pck) を選択した場合：SCIFはポーレートジェネレータのクロックで動作  
 (SCIF\_SCK端子からビットレートの16倍の周波数でクロックを出力可能)  
 SCIF\_SCK端子入力を選択した場合：ビットレートの16倍の周波数でクロックを入力することが必要  
 (内蔵ポーレートジェネレータを使用しない)

#### (2) クロック同期式モード

- データ長：8ビットに固定
- データの送受信はLSBが先頭 (LSB First)
- 受信時にオーバランエラーの検出が可能
- SCIFのクロックソース：周辺クロック (Pck) / SCIF\_SCK端子入力から選択可能  
 周辺クロック (Pck) を選択した場合：SCIFはポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力  
 SCIF\_SCK端子入力を選択した場合：入力同期クロックで動作 (内蔵ポーレートジェネレータを使用しない)

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

表 21.5 SCSMR の設定値とシリアル送信/受信フォーマット

SCSMR の設定値				モード	SCIF の送信/受信フォーマット		
ビット7	ビット6	ビット5	ビット3		データ長	パリティビット	ストップ ビット長
C/ $\bar{A}$	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1			2 ビット	
	1	0	0		7 ビットデータ	なし	1 ビット
			1				2 ビット
		1	0			あり	1 ビット
			1				2 ビット
1	*	*	*	クロック同期式モード	8 ビットデータ	なし	なし

【注】 \* Don't care

表 21.6 SCSMR、SCSCR の設定と SCIF のクロックソースの選択

SCSMR	SCSCR の設定		モード	クロック ソース	SCIF_SCK 端子の機能
	ビット7	ビット1			
C/ $\bar{A}$	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCIF は SCIF_SCK 端子を使用しません
		1			ビットレートの 16 倍の周波数でクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数でクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

### 21.4.2 調歩同期式モードの動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCIF 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 64 段の FIFO バッファ構造になっていて、送信／受信中にデータの読み出し／書き込みができるので、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 21.7 に示します。

調歩同期式シリアル通信では、通常、通信回線はマーク状態（ハイレベル）に保たれています。SCIF は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ／ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCIF は受信時にスタートビットの立ち下がりエッジで同期化を行います。また、SCIF はデータを 1 ビット期間の 16 倍の周波数で入出力するクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

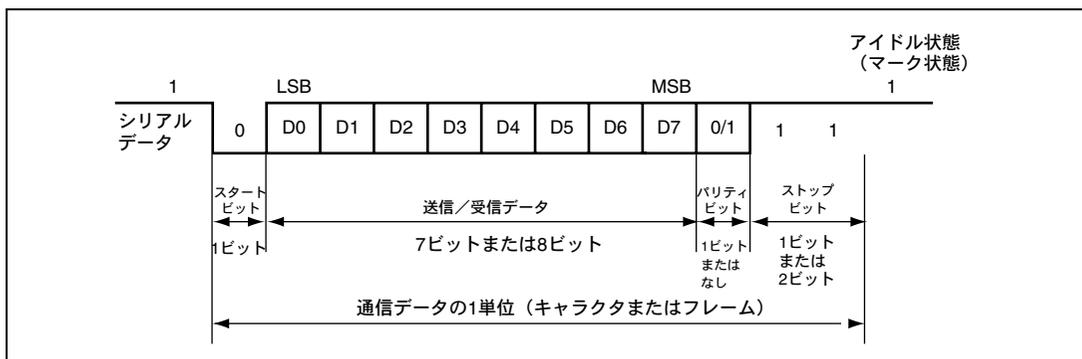


図 21.7 調歩同期式通信のデータフォーマット  
(8 ビットデータ／パリティあり／2 ストップビットの例)

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### (1) 送信/受信フォーマット

設定可能な送信/受信フォーマットを、表 21.7 に示します。

送信/受信フォーマットは 8 種類あり、SCSMR の設定により選択できます。

表 21.7 シリアル送信/受信フォーマット (調歩同期式モード)

SCSMR の設定			シリアル送信/受信フォーマットとフレーム長												
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	S	8ビットデータ								STOP			
0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	S	8ビットデータ								P	STOP		
0	1	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	S	7ビットデータ							STOP				
1	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	S	7ビットデータ							P	STOP			
1	1	1	S	7ビットデータ							P	STOP	STOP		

#### 【記号説明】

S : スタートビット  
 STOP: ストップビット  
 P : パリティビット

### (2) クロック

SCIF の送受信クロックは、SCSMR の  $\overline{C/A}$  ビットおよび SCSCR の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは SCIF\_SCK 端子から入力された外部クロックの 2 種類から選択できます。SCIF のクロックソースの選択については表 21.6 を参照してください。

外部クロックを SCIF\_SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数でクロックを入力してください。

内部クロックで動作させるとき、SCIF\_SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16 倍です。

### (3) SCIF の初期化 (調歩同期式)

データの送信/受信前には、まず SCSCR の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCIF を初期化してください。動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。

1. TE ビットを 0 にクリアすると、SCTSR が初期化されます。TE、RE ビットを 0 にクリアしても、SCFSR、SCFTDR、および SCFRDR の内容は保持されますので注意してください。

2. TEビットの0クリアは、送信データをすべて送信しSCFSRのTENDフラグがセットされた後に行ってください。送信中でも0クリア可能ですが、送信中のデータは0クリア後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットをいったん1にセットしてSCFTDRをリセットしてください。
3. 外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 21.8 に SCIF の初期化フローチャートの例を示します。

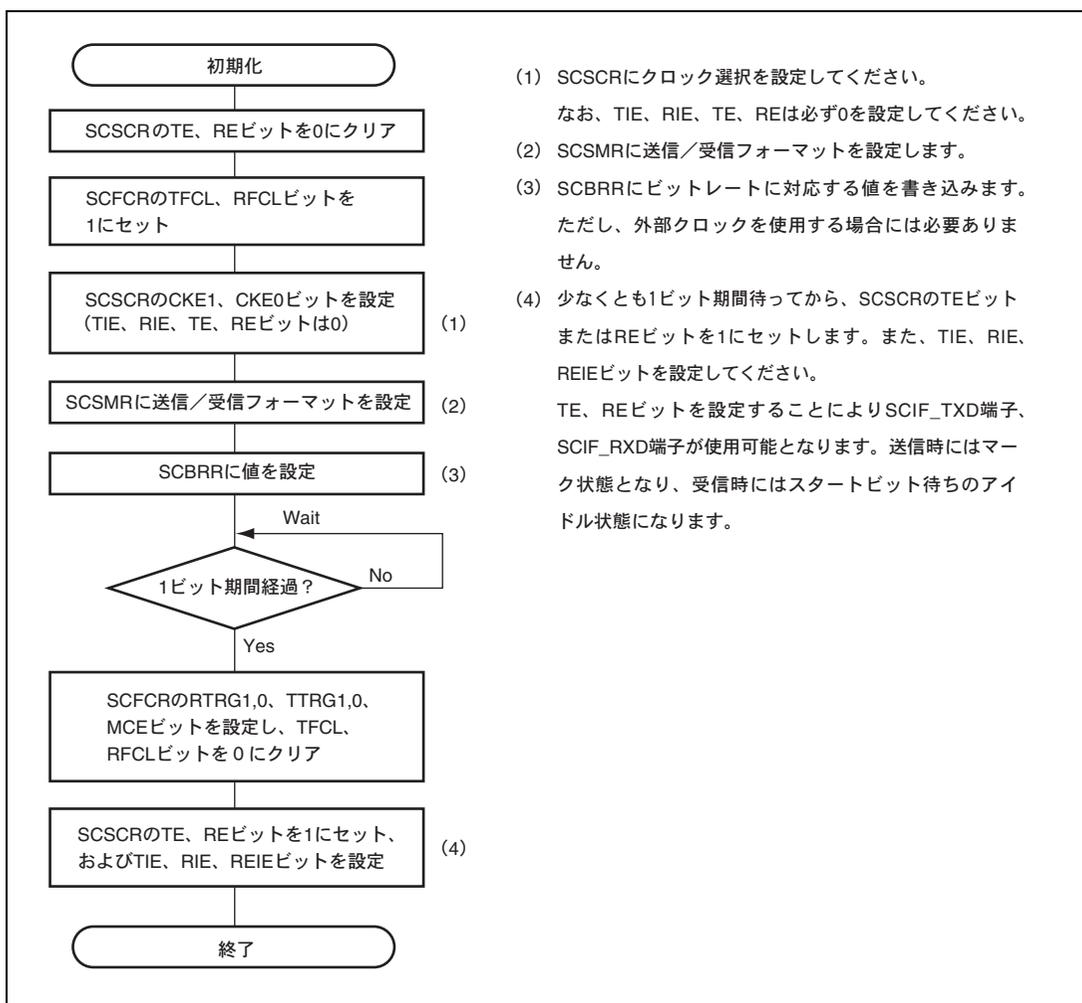


図 21.8 SCIF の初期化フローチャートの例

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### (4) シリアルデータ送信 (調歩同期式)

図 21.9 にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIF を送信動作可能状態に設定した後、以下の手順を参考に行ってください。

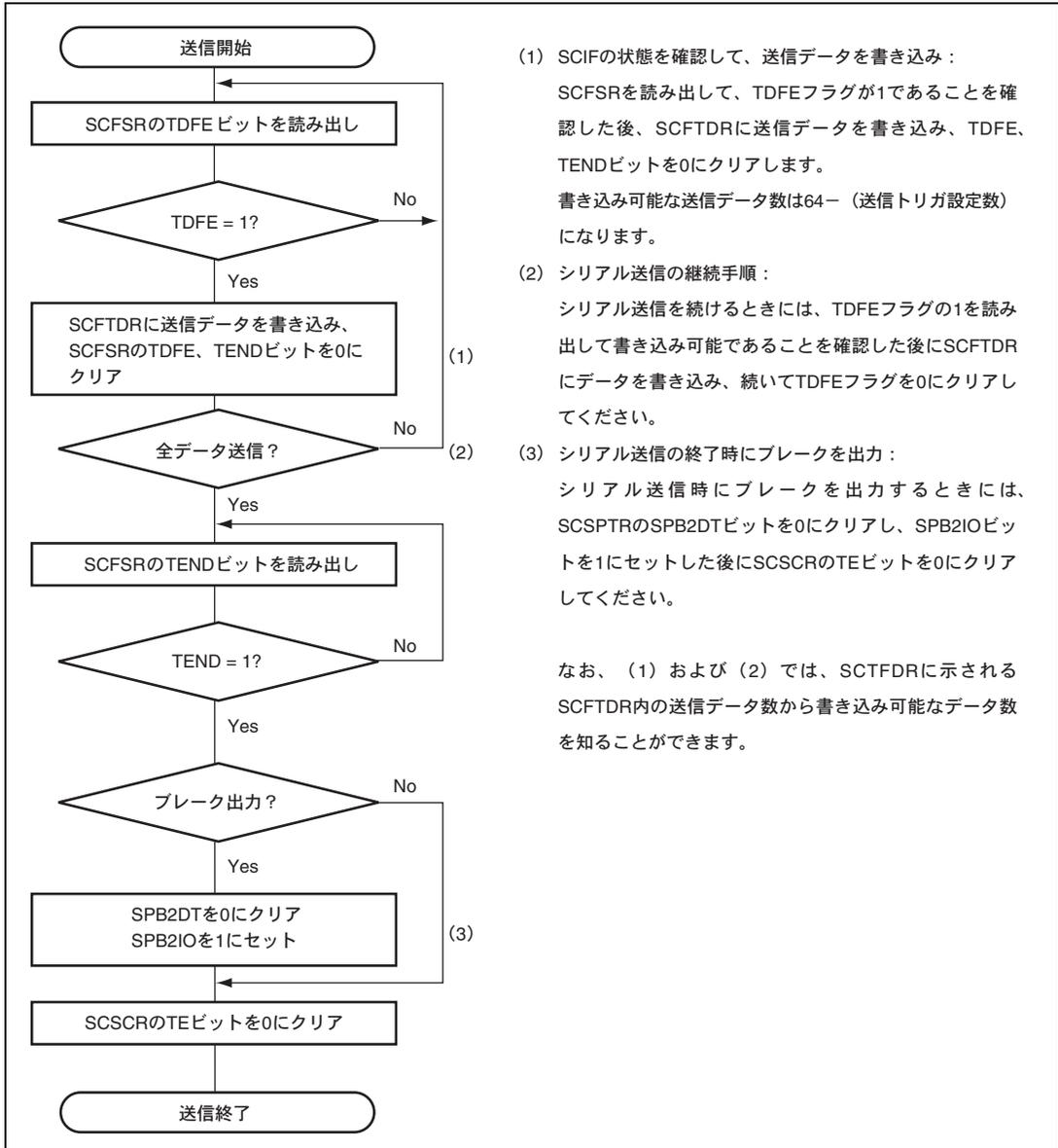


図 21.9 シリアル送信のフローチャートの例

SCIF はシリアル送信時に以下のように動作します。

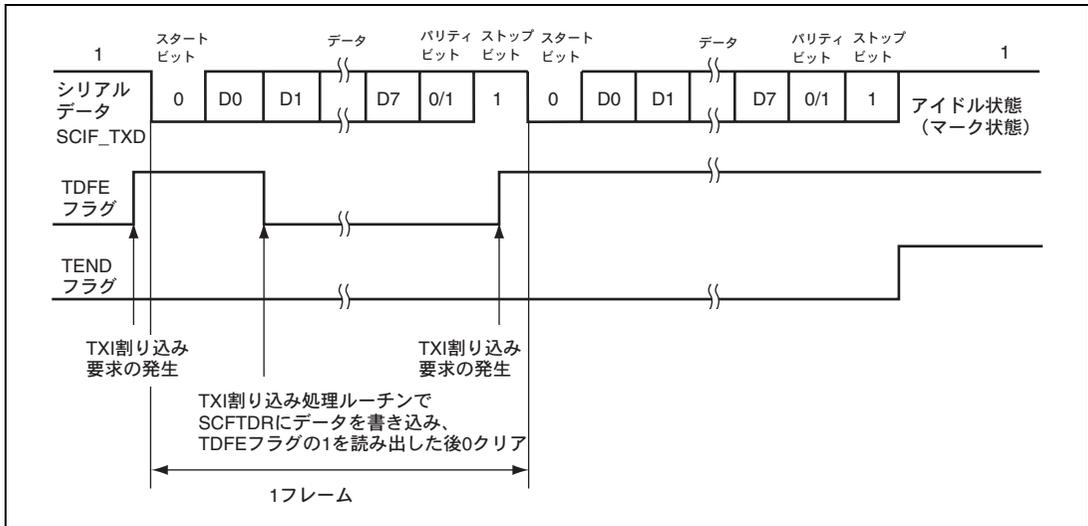
1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも64－（送信トリガ設定数）です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定した送信トリガ数以下になったとき、TDFEフラグをセットします。このとき、SCSCRのTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み（TXI）要求を発生します。

シリアル送信データは、以下の順に SCIF\_TXD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
  - (b) 送信データ：8ビットまたは7ビットのデータがLSBから順に出力されます。
  - (c) パリティビット（偶数パリティ、または奇数パリティ）が出力されます。  
なお、パリティビットを出力しないフォーマットも選択できます。
  - (d) ストップビット：1ビットまたは2ビットの1（ストップビット）が出力されます。
  - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
3. SCIFは、ストップビットを送出するタイミングでSCFTDRの送信データをチェックします。  
データがあるとSCFTDRからSCTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。  
ストップビットを送り出した後、送信データがないとSCFSRのTENDフラグに1をセットし、SCIF\_TXD端子から1を出力するマーク状態になります。

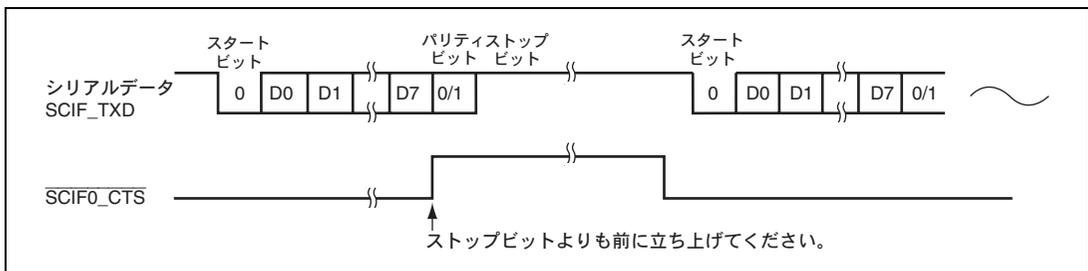
## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

調歩同期式モードでの送信時の動作例を図 21.10 に示します。



4. モデムコントロールイネーブル時は  $\overline{\text{SCIF0\_CTS}}$  入力値によって送信動作を停止/再開することができます。 $\overline{\text{SCIF0\_CTS}}$  が 1 になると現在送信中のときは 1 フレーム送信終了後マーク状態になります。 $\overline{\text{SCIF0\_CTS}}$  を 0 にすると再びスタートビットから次の送信データを出力します。

モデムコントロール時の動作例を図 21.11 に示します。



## (5) シリアルデータ受信 (調歩同期式)

図21.12にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、図21.12の手順で行ってください。

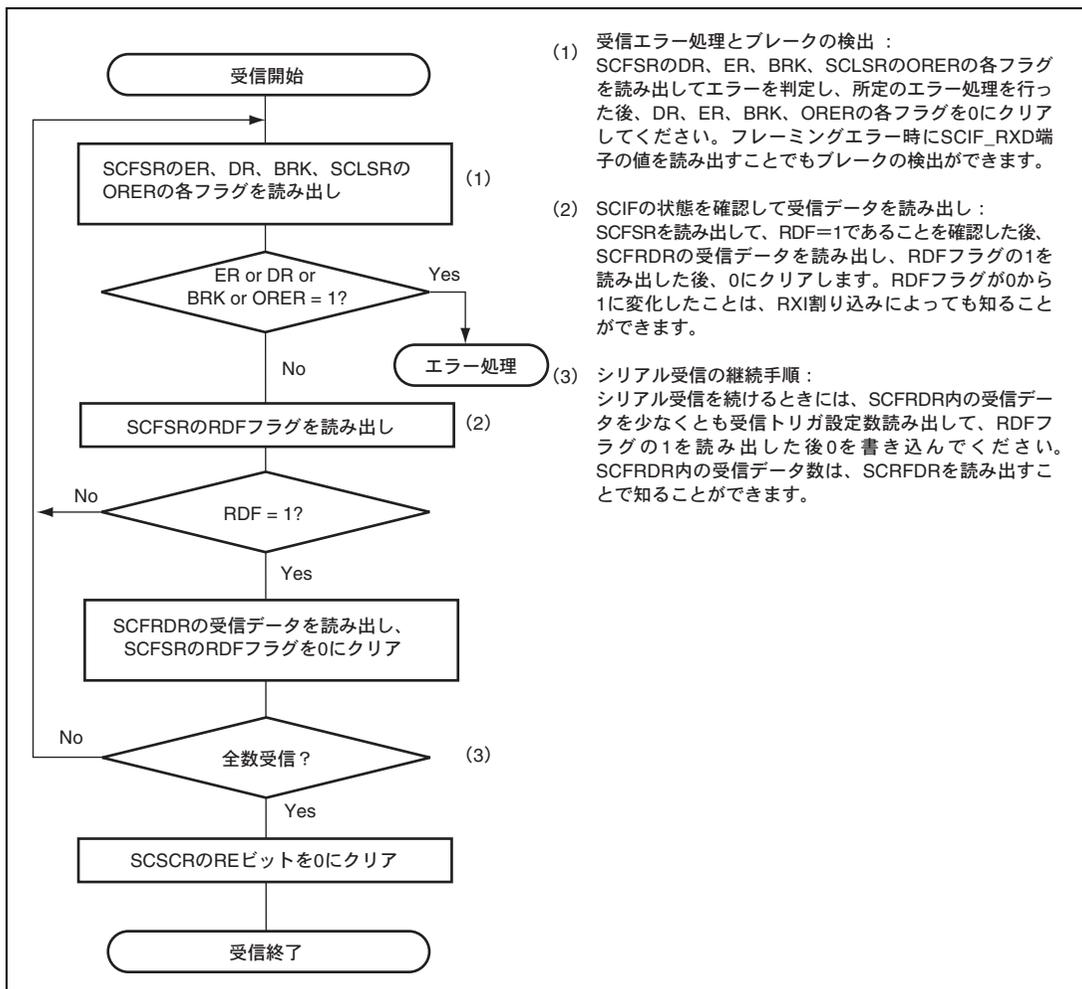


図 21.12 シリアル受信のフローチャートの例 (1)

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

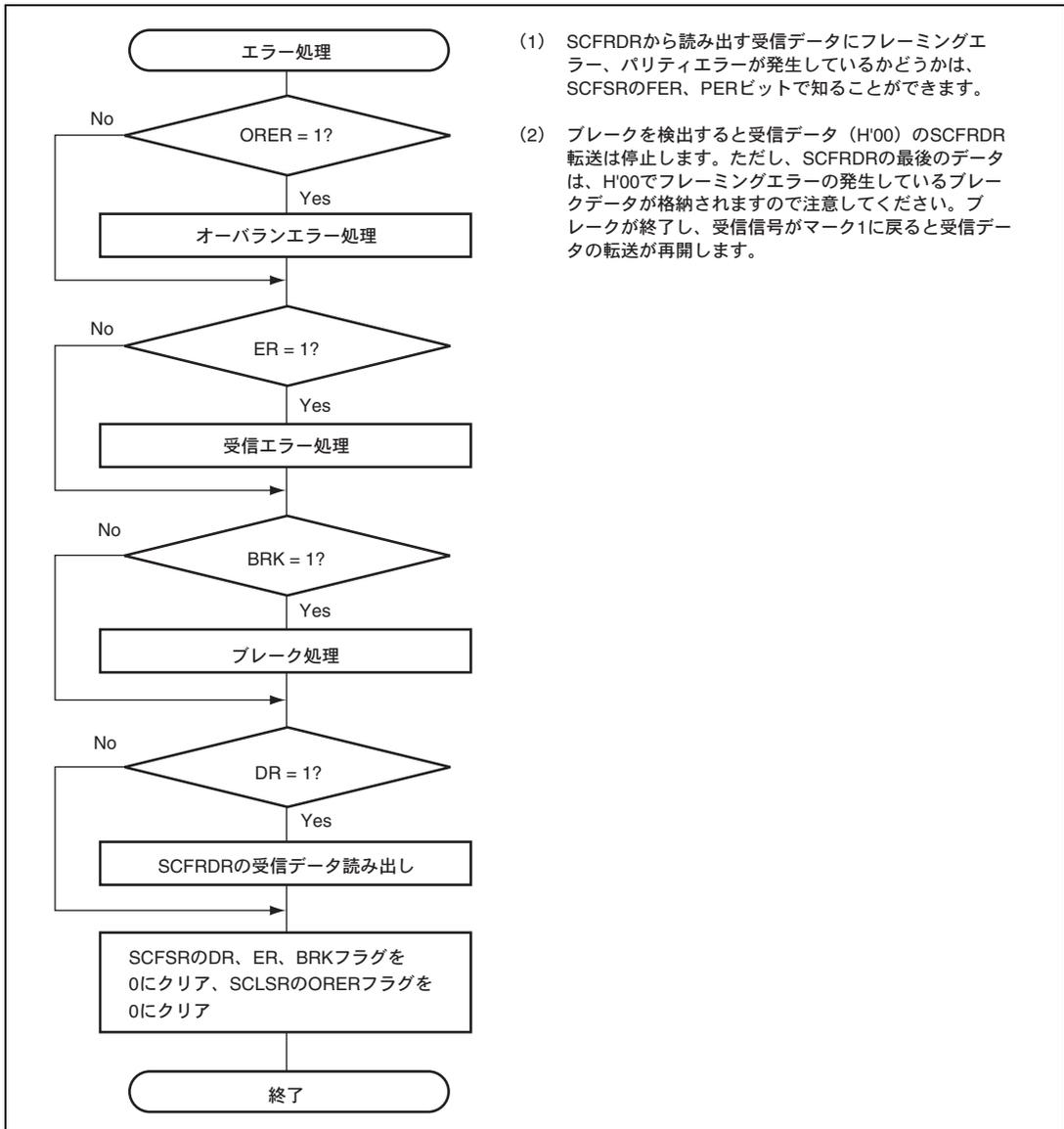


図 21.12 シリアル受信のフローチャートの例 (2)

SCIF は受信時に以下のように動作します。

1. SCIFは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
2. 受信したデータをSCRSRのLSBからMSBの順に格納します。
3. パリティビットおよびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが1であるかをチェックします。  
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
  - (b) 受信データを SCRSR から SCFRDR に転送できる状態であるかをチェックします。\*
  - (c) オーバランエラーチェック：ORER フラグが0であり、オーバランエラーが発生していないことをチェックします。\*
  - (d) ブレークチェック：BRK フラグが0であり、ブレーク状態でないことをチェックします。\*
- (b) (c) (d) のチェックがパスしたとき、SCFRDR に受信データが格納されます。

**【注】** \* パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDFフラグまたはDRフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。

また、ERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

さらに、BRKフラグまたはORERフラグが1になったとき、SCSCRのRIEビットまたはREIEビットが1にセットされていると、ブレーク受信割り込み (BRI) 要求を発生します。

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

調歩同期式モード受信時の動作例を図 21.13 に示します。

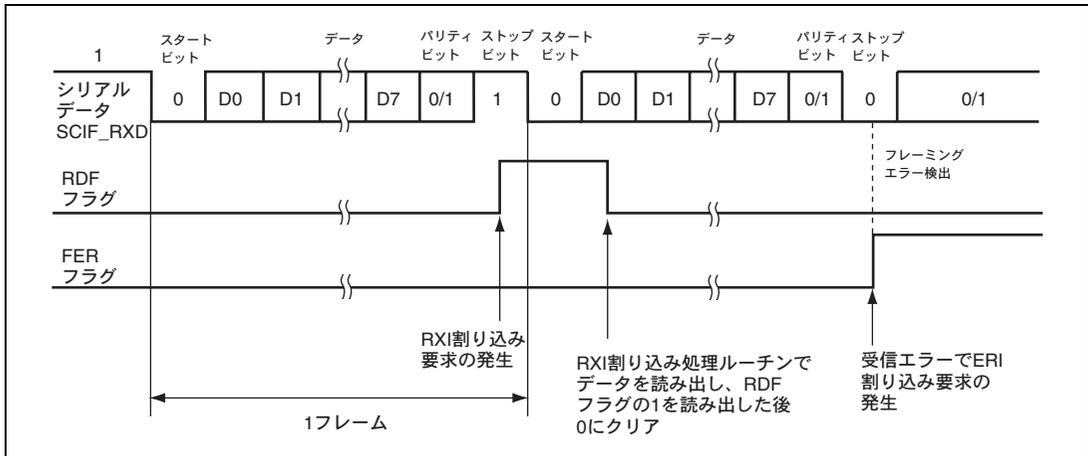


図 21.13 SCIF の受信時の動作例  
(8 ビットデータ/パリティあり/1 ストップビットの例)

5. モデムコントロールイネーブル時は、SCFRDRの空き状況によってSCIF0\_RTS信号を出力します。SCIF0\_RTSが0のときは受信可能状態です。SCIF0\_RTSが1のときはSCFRDR内のデータ数が、SCIF0\_RTS出力アクティブトリガ設定数以上であることを示します。SCIF0\_RTS出力アクティブトリガ値は、「21.3.9 FIFOコントロールレジスタ (SCFCR)」のビット10~8で指定します。また、SCSCRのREビットが0のときも、SCIF0\_RTSが1になります。モデムコントロール時の動作例を図21.14に示します。

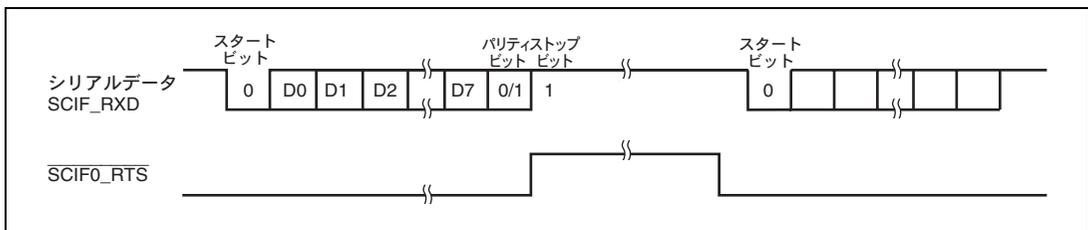


図 21.14 モデムコントロール (SCIF0\_RTS) 時の動作例 (チャンネル0)

### 21.4.3 クロック同期式モードの動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

SCIF 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 64 段の FIFO バッファ構造になっていますので送信／受信中にデータの読み出し／書き込みができ連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 21.15 に示します。

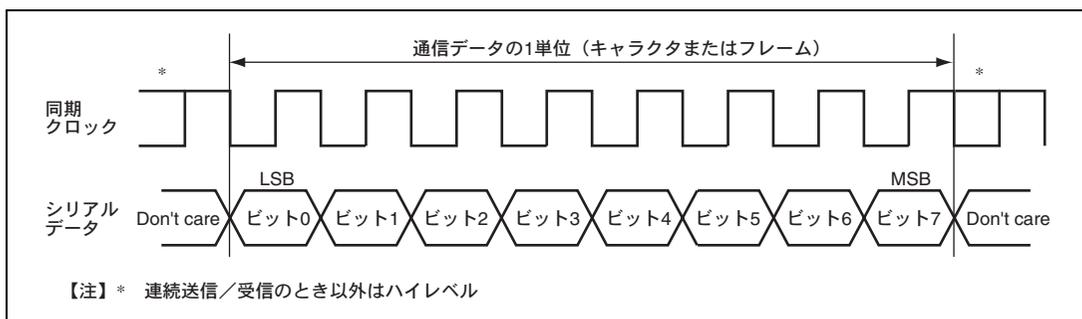


図 21.15 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロック立ち下がりから次の立ち下がりまで出力されます。また、クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、LSB から始まり最後に MSB が出力されます。最終データ出力後の通信回線の状態は最終データの状態を保ちます。

クロック同期式モードでは、SCIF は同期クロックの立ち上がりに同期してデータを受信します。

#### (1) 送信／受信フォーマット

8 ビット固定です。

パリティビットの付加はできません。

#### (2) クロック

SCSMR の  $C\bar{A}$  ビットと SCSCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCIF\_SCK 端子から入力された外部同期クロックの2種類から選択できます。SCIF のクロックソース選択については、表 21.6 を参照してください。

内部クロックで動作させるとき、SCIF\_SCK 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信／受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが1の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### (3) SCIF の初期化 (クロック同期式)

データの送信／受信前に SCSCR の TE、RE ビットを 0 にクリアした後、以下の手順で SCIF を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると SCTSR が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および SCFRDR の内容は保持されますので注意してください。

図 21.16 に SCIF の初期化フローチャート例を示します。

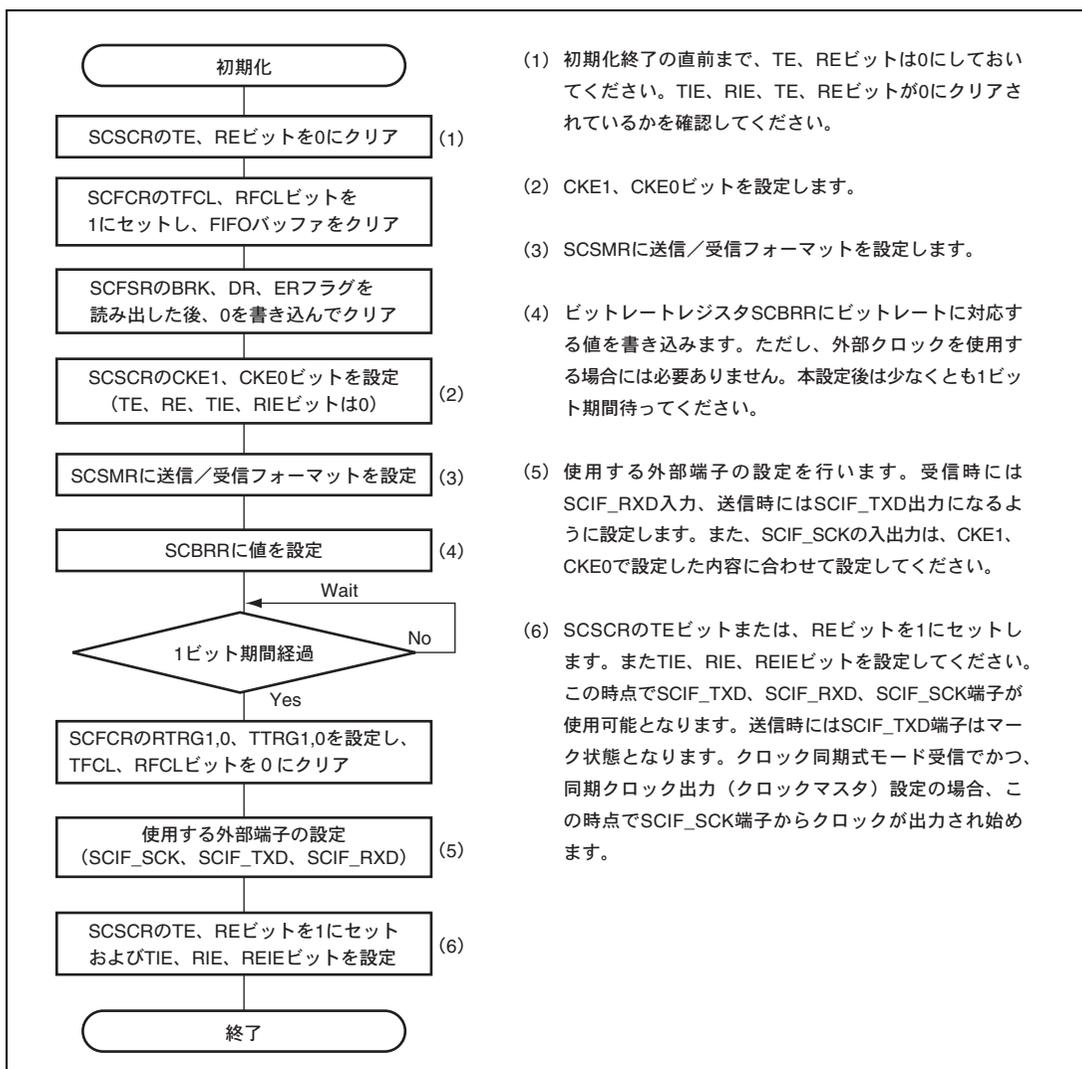


図 21.16 SCIF 初期化フローチャートの例

## (4) シリアルデータ送信 (クロック同期式)

図 21.17 にシリアル送信のフローチャートの例を示します。

シリアルデータの送信は、SCIF を送信動作可能状態に設定した後、以下の手順で行ってください。

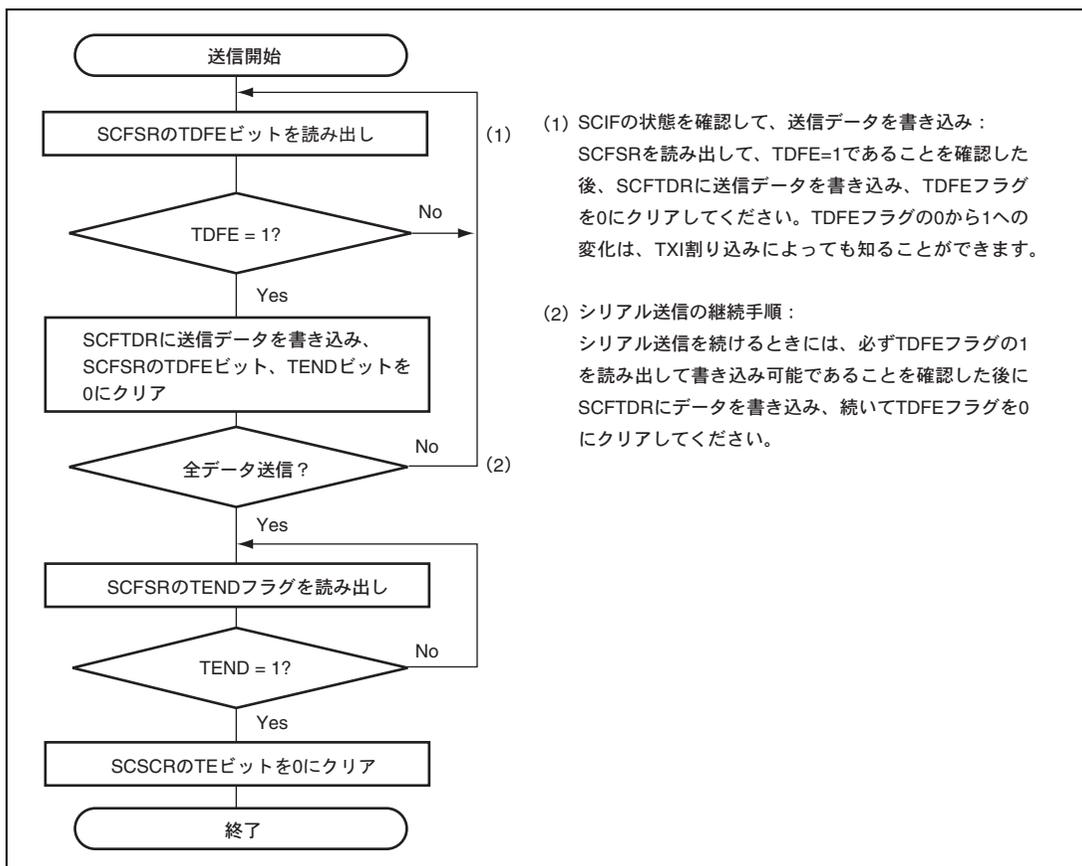


図 21.17 シリアル送信のフローチャートの例

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

SCIF はシリアル送信時に以下のように動作します。

1. SCIFは、SCFTDRにデータが書き込まれると、SCFTDRからSCTSRにデータを転送し、送信を開始します。SCFTDRにはSCFSRのTDFEフラグが1であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも64－（送信トリガ設定数）です。
2. SCFTDRからSCTSRへデータが転送され、送信を開始すると、SCFTDRに送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR内の送信データ数がSCFCRで設定したトリガ数以下になったとき、TDFEフラグをセットします。このときSCSCRのTIEビットが1にセットされていると送信FIFOデータエンプティ割り込み（TXI）要求を発生します。クロック出力モードに設定したときには、SCIFは1データに対し同期クロック8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSBから順にSCIF\_TXD端子から送り出されます。
3. SCIFは、最終ビットを送り出すタイミングでSCFTDRの送信データをチェックします。送信データがあるとSCFTDRからSCTSRにデータを転送し、次のフレームのシリアル送信を開始します。送信データがないと、最終ビットを送り出した後、SCFSRのTENDフラグを1にセットし、トランスミットデータ端子（SCIF\_TXD端子）は状態を保持します。
4. シリアル送信終了後、SCSCRのCKE1ビットが0のとき、SCIF\_SCK端子から出力する同期クロックはハイレベル固定になります。

図 21.18 に SCIF の送信時の動作例を示します。

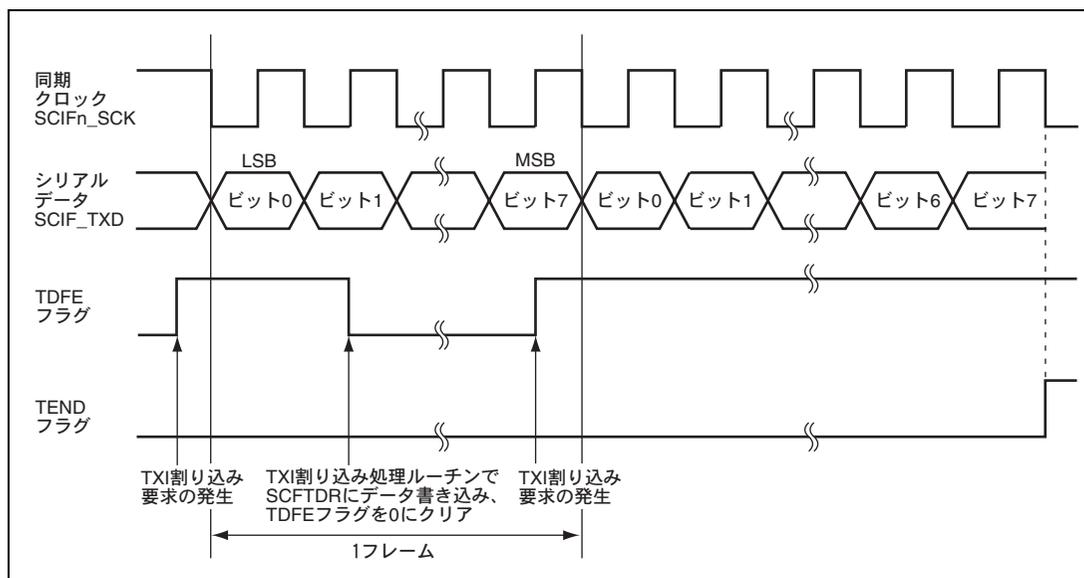


図 21.18 SCIF 送信時の動作例

## (5) シリアルデータ受信 (クロック同期式)

図 21.19 にシリアル受信のフローチャート例を示します。

シリアルデータの受信は、SCIF を受信動作可能状態に設定した後、以下の手順で行ってください。

SCIF の初期化を行わずに、動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER7~PER0、FER7~FER0 の各フラグが 0 にクリアされていることを確認してください。

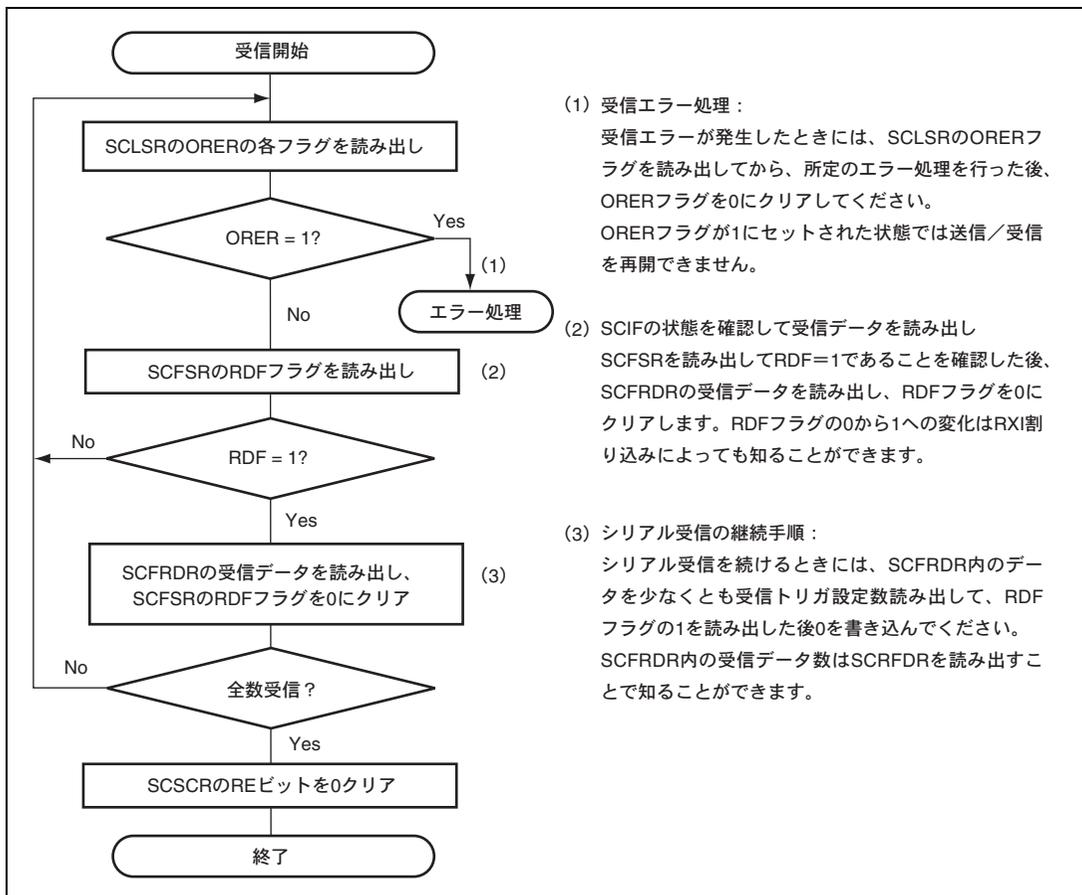


図 21.19 シリアル受信のフローチャートの例 (1)

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

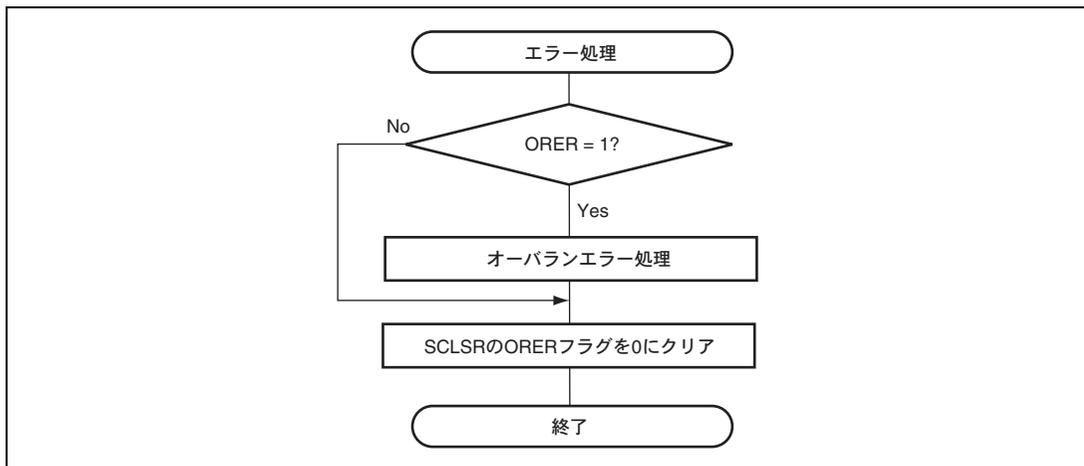


図 21.19 シリアル受信のフローチャートの例 (2)

SCIF はシリアル受信時に以下のように動作します。

1. SCIFは同期クロックの入力または出力に同期して内部を初期化します。

2. 受信したデータをSCRSRのLSBからMSBの順に格納します。

受信後、SCIFは受信データをSCRSRからSCFRDRに転送できる状態であるかをチェックし、このチェックがパスしたときSCFRDRに受信データが格納されます。

エラーチェックでオーバランエラーを検出すると以後の受信動作ができません。

3. RDFフラグが1になったとき、SCSCRのRIEビットが1にセットされていると受信FIFOデータフル割り込み (RXI) 要求を発生します。

また、ORERフラグが1になったとき、SCSCRのRIEビットが1にセットされているとブレイク割り込み (BRI) 要求を発生します。

図 21.20 に SCIF の受信時の動作例を示します。

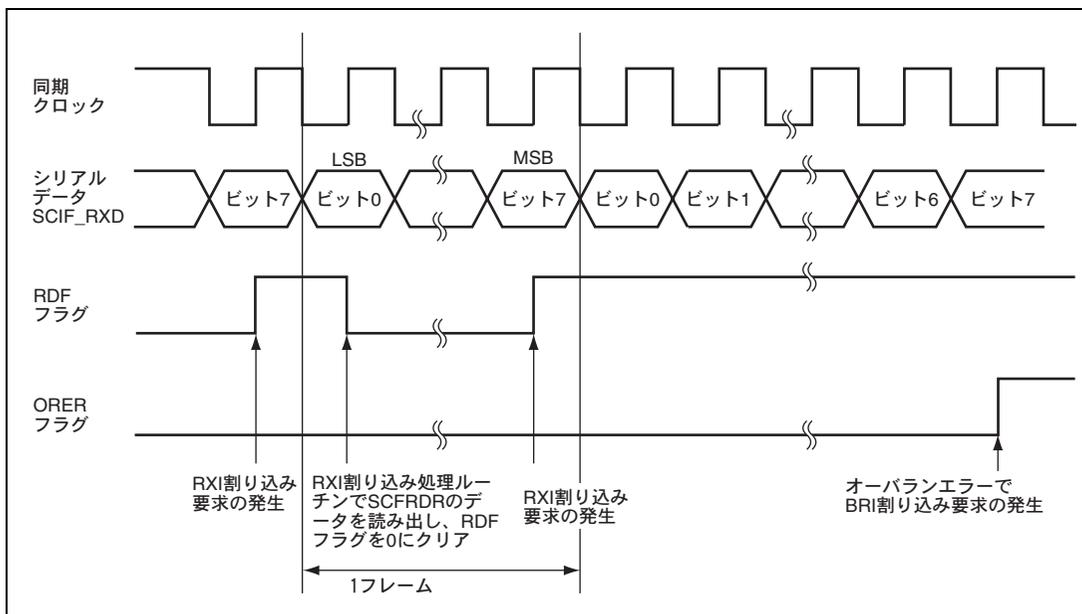


図 21.20 SCIF の受信時の動作例

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### (6) シリアルデータ送受信同時動作 (クロック同期式)

図 21.21 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータの送受信同時動作は、SCIF を送受信動作可能状態に設定した後、以下の手順に従って行ってください。

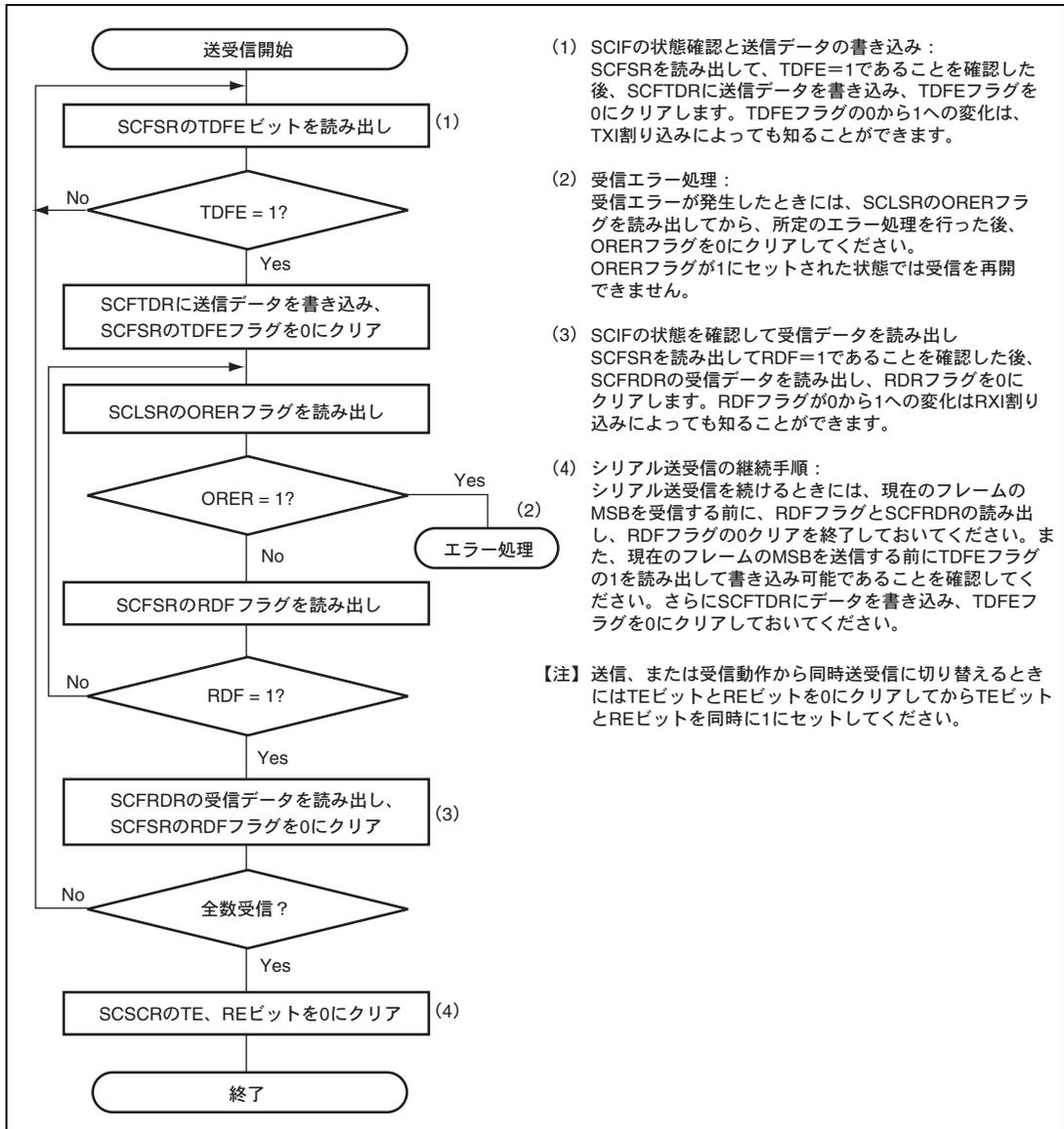


図 21.21 シリアル送受信のフローチャートの例

## 21.5 SCIF 割り込み要因と DMAC

SCIF はチャンネルごとに、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブレイク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 21.8 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、SCFSR の TDFE フラグが 1 にセットされると、TXI 割り込み要求と送信 FIFO データエンプティ DMA 転送要求が発生します。TIE ビットにより TXI が禁止されている場合、TDFE フラグが 1 にセットされると、送信 FIFO データエンプティ DMA 転送要求のみが発生します。送信 FIFO データエンプティ DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求と受信 FIFO データフル DMA 転送要求が発生します。RIE ビットにより RXI が禁止されている場合、RDF フラグまたは DR フラグが 1 にセットされると、受信 FIFO データフル DMA 転送要求のみが発生します。受信 FIFO データフル DMA 転送要求で、DMAC を起動してデータ転送を行うことができます。なお、DR フラグが 1 にセットされたことによる RXI 割り込みまたは受信 FIFO データフル DMA 転送要求は、調歩同期モード時のみ発生します。

SCFSR の BRK フラグまたは SCLSR の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。また、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出す設定にした場合、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求だけを出すことができます。

表 21.8 SCIF 割り込み要因

割り込み要因	内 容	DMAC の起動	リセット解除時の 優先順位
ERI	受信エラー (ER) による割り込み	不可	高 ↑ ↓ 低
RXI	受信 FIFO データフル (RDF) または受信データレディ (DR) *による割り込み	可	
BRI	ブレイク (BRK) またはオーバランエラー (ORER) による割り込み	不可	
TXI	送信 FIFO データエンプティ (TDFE) による割り込み	可	

【注】 \* DR による RXI 割り込みは、調歩同期モード時のみ可能です。

### 21.6 使用上の注意事項

SCIF を使用する際は、以下のことに注意してください。

#### (1) SCFTDR への書き込みと TDFE フラグについて

SCFSR の TDFE フラグは SCFTDR 内に書き込んだ送信データ数が、SCFCR の TTRG1、0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、SCFTDR の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR 内に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR に格納されたときに行ってください。

SCFTDR 内の送信データ数は SCFTDR で知ることができます。

#### (2) SCFRDR の読み出しと RDF フラグについて

SCFSR の RDF フラグは、SCFRDR 内の受信データ数が SCFCR の RTRG1、0 ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされた後、SCFRDR からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、SCFRDR 内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR 内の受信データ数は SCFRDR で知ることができます。

#### (3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に SCIF\_RXD 端子の値を直接読み出すことによっても、ブレークを検出できます。ブレークでは、SCIF\_RXD 端子からの入力すべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けています。

#### (4) ブレークの送り出し

SCIF\_TXD 端子は、SCSPTR の SPB2IO、SPB2DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、SCIF\_TXD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB2DT ビットを 0 (ローレベル) にクリアした後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、SCIF\_TXD 端子からは 0 が出力されます。

## (5) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIF は転送レートの 16 倍を周波数とする基本クロックで動作しています。

受信時に SCIF は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 21.22 に示します。

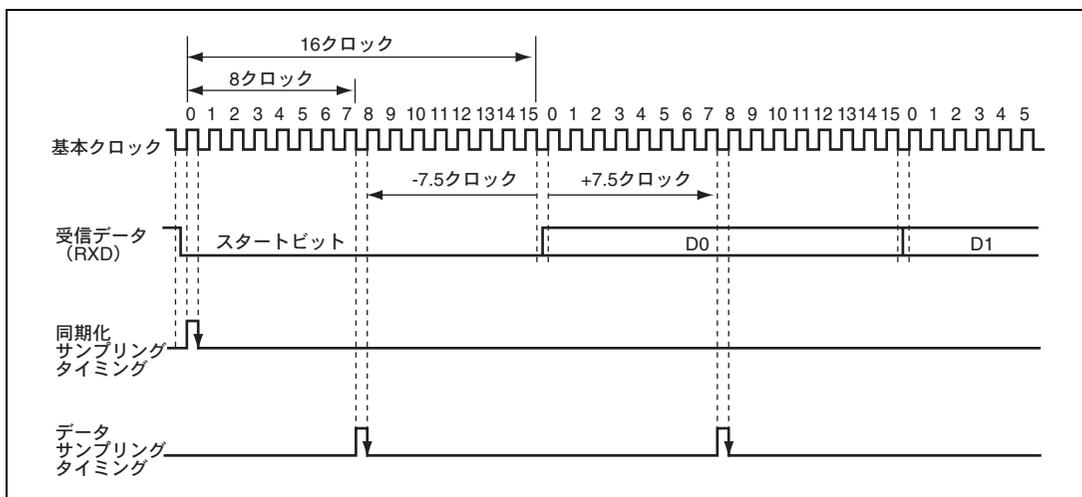


図 21.22 受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \text{式 (1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき

$$M = (0.5 - 1 / (2 \times 16)) \times 100\%$$

$$= 46.875\% \dots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

## 21. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### (6) クロック同期式モードで DMAC により SCFTDR を更新する場合の注意事項

クロック同期式モードにおいて SCIF\_SCK 端子入力を使用する場合、DMAC による SCFTDR の更新後、周辺クロック (Pck) で 5 サイクル以上経過した後に SCIF\_SCK 端子にクロックを入力してください。SCFTDR の更新後 4 サイクル以内に送信クロックを入力すると誤動作することがあります (図 21.23)。

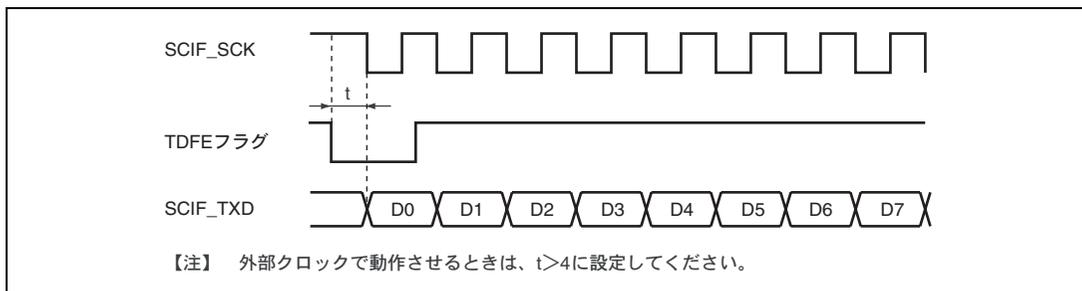


図 21.23 DMAC による同期クロック転送例

---

## 22. シリアル I/O FIFO 付き (SIOF)

---

本 LSI は、FIFO 付きクロック同期シリアル I/O モジュール (SIOF) を内蔵しています。

### 22.1 特長

- シリアル転送

FIFO容量32ビット×16段 (送受信独立)

8ビット/16ビット/16ビットステレオ音声入出力に対応

データの送受信はMSBが先頭 (MSB First)

サンプリングレート最大48kHzに対応

同期方法はフレーム同期パルス/左右チャンネル切り替えに対応

CODEC制御データインタフェースに対応

リニア/オーディオ/A-Law、 $\mu$ -Law CODECチップに接続可能

マスタ/スレーブ両モードに対応

- シリアルクロック

クロックソースとして外部端子入力と周辺クロック (Pck) からの選択が可能

- 割り込み: 1種類

- DMA転送

送信の転送要求による、DMA転送を用いた送受信動作に対応

## 22. シリアル I/O FIFO 付き (SIOF)

図 22.1 に SIOF のブロック図を示します。

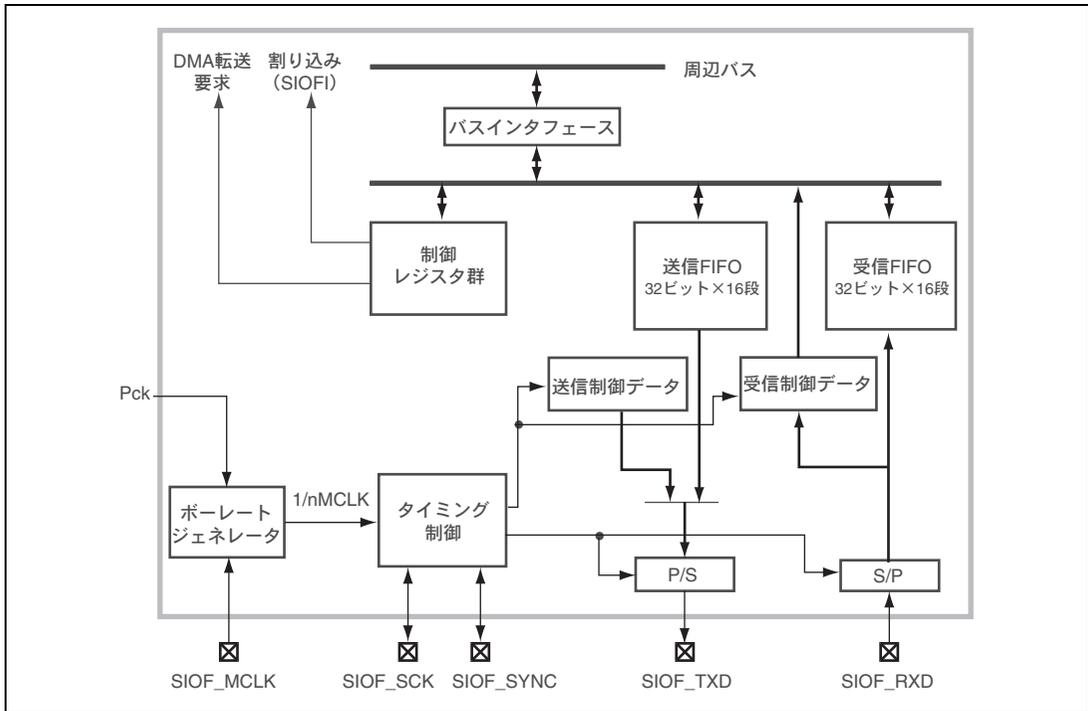


図 22.1 SIOF のブロック図

## 22.2 入出力端子

SIOF の端子構成を表 22.1 に示します。

表 22.1 端子構成

端子名	機能	入出力	説明
SIOF_MCLK	マスタクロック	入力	マスタクロック入力端子です。
SIOF_SCK	シリアルクロック	入出力	シリアルクロック (送受信共通) 端子です。
SIOF_SYNC	フレーム同期信号	入出力	フレーム同期信号 (送受信共通) です。
SIOF_TXD	送信データ	出力	送信データ端子です。
SIOF_RXD	受信データ	入力	受信データ端子です。

【注】 SIOF の端子は、HAC、SSI、GPIO の端子とマルチプレクスされています。

## 22.3 レジスタの説明

SIOF のレジスタ構成を表 22.2 に示します。また、各処理モードにおけるレジスタの状態を表 22.3 に示します。

表 22.2 レジスタ構成

レジスタ名称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
モードレジスタ	SIMDR	R/W	H'FFE2 0000	H'1FE2 0000	16	Pck
クロックセレクトレジスタ	SISCR	R/W	H'FFE2 0002	H'1FE2 0002	16	Pck
送信データアサインレジスタ	SITDAR	R/W	H'FFE2 0004	H'1FE2 0004	16	Pck
受信データアサインレジスタ	SIRDAR	R/W	H'FFE2 0006	H'1FE2 0006	16	Pck
制御データアサインレジスタ	SICDAR	R/W	H'FFE2 0008	H'1FE2 0008	16	Pck
コントロールレジスタ	SICTR	R/W	H'FFE2 000C	H'1FE2 000C	16	Pck
FIFO コントロールレジスタ	SIFCTR	R/W	H'FFE2 0010	H'1FE2 0010	16	Pck
ステータスレジスタ	SISTR	R/W	H'FFE2 0014	H'1FE2 0014	16	Pck
割り込み許可レジスタ	SIIER	R/W	H'FFE2 0016	H'1FE2 0016	16	Pck
送信データレジスタ	SITDR	W	H'FFE2 0020	H'1FE2 0020	32	Pck
受信データレジスタ	SIRDR	R	H'FFE2 0024	H'1FE2 0024	32	Pck
送信制御データレジスタ	SITCR	R/W	H'FFE2 0028	H'1FE2 0028	32	Pck
受信制御データレジスタ	SIRCR	R/W	H'FFE2 002C	H'1FE2 002C	32	Pck

表 22.3 各処理モードにおけるレジスタの状態

レジスタ名称	略称	パワーオン リセット PRESET 端子/ WDT/H-UDI による	マニュアル リセット WDT/多重例外 による	スリープ SLEEP 命令 による	モジュール スタンバイ
モードレジスタ	SIMDR	H'8000	H'8000	保持	保持
クロックセレクトレジスタ	SISCR	H'C000	H'C000	保持	保持
送信データアサインレジスタ	SITDAR	H'0000	H'0000	保持	保持
受信データアサインレジスタ	SIRDAR	H'0000	H'0000	保持	保持
制御データアサインレジスタ	SICDAR	H'0000	H'0000	保持	保持
コントロールレジスタ	SICTR	H'0000	H'0000	保持	保持
FIFO コントロールレジスタ	SIFCTR	H'1000	H'1000	保持	保持
ステータスレジスタ	SISTR	H'0000	H'0000	保持	保持
割り込み許可レジスタ	SIIER	H'0000	H'0000	保持	保持
送信データレジスタ	SITDR	H'xxxx xxxx	H'xxxx xxxx	保持	保持
受信データレジスタ	SIRDR	H'xxxx xxxx	H'xxxx xxxx	保持	保持
送信制御データレジスタ	SITCR	H'0000 0000	H'0000 0000	保持	保持
受信制御データレジスタ	SIRCR	H'xxxx xxxx	H'xxxx xxxx	保持	保持

## 22. シリアル I/O FIFO 付き (SIOF)

### 22.3.1 モードレジスタ (SIMDR)

SIMDR は、読み出し／書き込み可能な 16 ビットのレジスタで、SIOF の動作モードを設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TRMD[1:0]		SYN CAT	REDG	FL[3:0]			TXDIZ	RCIM	SYN CAC	SYN CDL	—	—	—	—	
初期値:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15, 14	TRMD[1:0]	10	R/W	転送モード 1、0 表 22.4 に示す転送モードを選択します。 00: スレーブモード 1 01: スレーブモード 2 10: マスタモード 1 11: マスタモード 2
13	SYNCAT	0	R/W	SIOF_SYNC 端子有効タイミング SIOF_SYNC 信号を同期パルスで出力する場合の出力位置を示します。 0: フレームの先頭ビットデータ 1: スロットの最終ビットデータ
12	REDG	0	R/W	受信データサンプリングエッジ 0: SIOF_RXD を SIOF_SCK の立ち下がりエッジでサンプリングする 1: SIOF_RXD を SIOF_SCK の立ち上がりエッジでサンプリングする 【注】 SIOF_TXD の送出タイミングは、SIOF_RXD をサンプリングするエッジに対して反対のエッジとなります。また、本ビットは、マスタモード時のみ有効となります。
11~8	FL[3:0]	0000	R/W	フレーム長 3~0 転送データフォーマットのフレーム長を設定します。 設定値とデータ長、フレーム長との対応は表 22.7 を参照してください。
7	TXDIZ	0	R/W	送信無効時* SIOF_TXD 端子の出力 0: 無効時 1 出力 1: 無効時ハイインピーダンス状態 【注】* 無効時とは、ディセーブル時および送信データ、制御データとして割り当てていないスロットを送出する場合です。
6	RCIM	0	R/W	受信制御データ割り込みモード 0: SIRCR の内容が変化したときに SISTR の RCRDY ビットをセットする 1: SIRCR への制御データ受信タイミングごとに SISTR の RCRDY ビットをセットする

ビット	ビット名	初期値	R/W	説明
5	SYNCAC	0	R/W	SIOF_SYNC 端子極性 SIOF_SYNC 信号を同期パルスで出力する場合に有効となります。 0 : ハイアクティブ 1 : ローアクティブ
4	SYNCDL	0	R/W	SIOF_SYNC 端子に対しデータ端子ビットの遅延 SIOF_SYNC 信号が同期パルスの場合に有効となります。また、スレーブモード時での送信時は 1 ビット遅延のみ有効です。 0 : ビット遅延なし 1 : 1 ビット遅延
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 22.4 に、転送モードごとの動作を示します。

表 22.4 転送モードごとの動作

転送モード	マスタ/スレーブ	SIOF_SYNC	ビット遅延	制御データ方式*
スレーブモード 1	スレーブ	同期パルス	SYNCDL ビット	スロット位置
スレーブモード 2	スレーブ	同期パルス		セカンダリ FS
マスタモード 1	マスタ	同期パルス		スロット位置
マスタモード 2	マスタ	L/R	なし	非対応

【注】 \* 制御データ方式については、FL[3:0]に B'1xxx を設定した場合に有効となります。(x : Don't care)

## 22. シリアル I/O FIFO 付き (SIOF)

### 22.3.2 クロックセレクトレジスタ (SISCR)

SISCR は、読み出し／書き込み可能な 16 ビットのレジスタで、マスタ時のシリアルクロック生成条件を設定します。本レジスタへの設定は、SIMDR の TRMD[1:0] ビットに B'10 もしくは B'11 が設定されているときに有効です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MSSEL	MSIMM	—	BRPS[4:0]				—	—	—	—	—	BRDV[2:0]			
初期値:	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	MSSEL	1	R/W	マスタクロックソース選択 マスタクロックとは、ポーレートジェネレータ（プリスケアラ）に入力するクロックソースを指します。 0: マスタクロックとして SIOF_MCLK 端子入力クロックを使用 1: マスタクロックとして周辺クロック (Pck) を使用
14	MSIMM	1	R/W	マスタクロック直接選択 0: シリアルクロックとしてポーレートジェネレータ出力クロックを使用 1: シリアルクロックとしてマスタクロックをそのまま使用
13	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12~8	BRPS[4:0]	00000	R/W	プリスケアラ設定 ポーレートジェネレータに内蔵されたプリスケアラの分周比を設定します。設定の範囲は 00000 (×1/1) ~ 11111 (×1/32) となります。
7~3	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2~0	BRDV[2:0]	000	R/W	ポーレートジェネレータ分周比 マスタクロックを BRPS[4:0] で分周したプリスケアラ出力の分周比を設定します。 000: プリスケアラ出力×1/2 001: プリスケアラ出力×1/4 010: プリスケアラ出力×1/8 011: プリスケアラ出力×1/16 100: プリスケアラ出力×1/32 101: 設定禁止 110: 設定禁止 111: プリスケアラ出力×1/1 • 111 は BRPS[4:0] ビットが 00001 の場合のみ設定可能です。ポーレートジェネレータの最終分周比は、BRPS と BRDV の設定値により決定します (最大 1/1024)。

## 22.3.3 コントロールレジスタ (SICTR)

SICTR は、読み出し／書き込み可能な 16 ビットのレジスタで、SIOF の動作状態を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKE	FSE	—	—	—	—	TXE	RXE	—	—	—	—	—	—	TXRST	RXRST
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SCKE	0	R/W	シリアルクロック出力イネーブル 本ビットはマスタモード時に有効となります。 0: SIOF_SCK の出力を禁止 (ローレベルを出力する) 1: SIOF_SCK の出力を許可 • 本ビットに 1 を設定すると、SIOF はポーレートジェネレータを初期化し、動作を開始すると同時に SIOF_SCK にポーレートジェネレータで生成したクロックを出力します。
14	FSE	0	R/W	フレーム同期信号出力イネーブル 本ビットはマスタモード時に有効となります。 0: SIOF_SYNC の出力を禁止 (ローレベルを出力する) 1: SIOF_SYNC の出力を許可 • 本ビットに 1 を設定すると、SIOF はフレームカウンタを初期化し、動作を開始します。
13~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	TXE	0	R/W	送信イネーブル 0: SIOF_TXD からのデータ送出を禁止 1: SIOF_TXD からのデータ送出を許可 • 本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。 • 本ビットへの 1 設定が有効になると、SIOF は SIFCTR の TFWM ビットの設定に従い、送信転送要求を発行します。送信 FIFO にデータが格納されると、SIOF_TXD から送信データの送出を開始します。 • 送信リセット時に初期化されます。
8	RXE	0	R/W	受信イネーブル 0: SIOF_RXD からのデータ受信を禁止 1: SIOF_RXD からのデータ受信を許可 • 本ビットへの設定は、次のフレーム先頭(フレーム同期信号の立ち上がり)時に有効となります。 • 本ビットへの 1 設定が有効になると、SIOF は SIOF_RXD からの受信データの取り込みを開始します。受信 FIFO にデータが格納されると、SIFCTR の RFWM ビットの設定に従い、受信転送要求を発行します。 • 受信リセット時に初期化されます。

## 22. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説 明
7~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TXRST	0	R/W	送信リセット 0: 送信動作をリセットしない 1: 送信動作をリセットする • 本ビットへの設定は、直ちに有効となります。初期化の対象は「22.4.7 (5) 送受信リセット」を参照してください。 • 本ビットはリセット動作を完了すると SIOF が自動的にクリアするため、読み出し時の値は常に 0 です。
0	RXRST	0	R/W	受信リセット 0: 受信動作をリセットしない 1: 受信動作をリセットする • 本ビットへの設定は、直ちに有効となります。初期化の対象は「22.4.7 (5) 送受信リセット」を参照してください。 • 本ビットはリセット動作を完了すると SIOF が自動的にクリアするため、読み出し時の値は常に 0 です。

## 22.3.4 送信データレジスタ (SITDR)

SITDR は、書き込み専用の 32 ビットのレジスタで、SIOF の送信データを設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITDL[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITDR[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31~16	SITDL[15:0]	不定	W	左チャンネル送信データ 左チャンネルデータとして SIOF_TXD から送出するデータを設定します。送信フレームにおける左チャンネルデータの位置は、SITDAR の TDLA ビットへの設定値に従います。 • 本ビットは SITDAR の TDLE ビットに 1 を設定した場合に有効となります。
15~0	SITDR[15:0]	不定	W	右チャンネル送信データ 右チャンネルデータとして SIOF_TXD から送出するデータを設定します。送信フレームにおける右チャンネルデータの位置は、SITDAR の TDRA ビットへの設定値に従います。 • 本ビットは SITDAR の TDRE ビットに 1 で、かつ SITDAR の TLREP ビットに 0 を設定した場合に有効となります。

## 22. シリアル I/O FIFO 付き (SIOF)

### 22.3.5 受信データレジスタ (SIRDR)

SIRDR は、読み出し専用の 32 ビットのレジスタで、SIOF の受信データの読み出しを行います。本レジスタには受信 FIFO のデータが格納されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRDRL[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRDR[15:0]															
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	SIRDRL[15:0]	不定	R	左チャンネル受信データ 左チャンネルデータとして SIOF_RXD から受信したデータを格納します。受信フレームにおける左チャンネルデータの位置は、SIRDAR の RDLA ビットへの設定値に従います。 • 本ビットは SIRDAR の RDLE ビットに 1 を設定した場合に有効となります。
15~0	SIRDR[15:0]	不定	R	右チャンネル受信データ 右チャンネルデータとして SIOF_RXD から受信したデータを格納します。受信フレームにおける右チャンネルデータの位置は、SIRDAR の RDRA ビットへの設定値に従います。 • 本ビットは SIRDAR の RDRE ビットに 1 を設定した場合に有効となります。

### 22.3.6 送信制御データレジスタ (SITCR)

SITCR は、読み出し／書き込み可能な 32 ビットのレジスタで、SIOF の送信制御データを設定します。本レジスタへの設定は、SIMDR の FL3~0 ビットに B'1xxx (x : Don't care) を設定したときに有効となります。

本レジスタは、表 22.3 に示す初期化条件のほか、SICTR の TXRST ビットにより送信リセットされた場合も、初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SITC0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SITC1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~16	SITC0[15:0]	H'0000	R/W	制御 0 チャネル送信データ 制御 0 チャネル送信データとして SIOF_TXD から送出するデータを設定します。送受信フレームにおける制御 0 チャネルデータの位置は、SICDAR の CD0A ビットへの設定値に従います。 • 本ビットは SICDAR の CD0E ビットに 1 を設定した場合に有効となります。
15~0	SITC1[15:0]	H'0000	R/W	制御 1 チャネル送信データ 制御 1 チャネル送信データとして SIOF_TXD から送出するデータを設定します。送受信フレームにおける制御 1 チャネルデータの位置は、SICDAR の CD1A ビットへの設定値に従います。 • 本ビットは SICDAR の CD1E ビットに 1 を設定した場合に有効となります。

## 22. シリアル I/O FIFO 付き (SIOF)

### 22.3.7 受信制御データレジスタ (SIRCR)

SIRCR は、読み出し/書き込み可能な 32 ビットのレジスタで、SIOF の受信制御データが格納されます。本レジスタへの設定は、SIMDR の FL3~0 ビットに B'1xxx (x : Don't care) を設定したときに有効となります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SIRC0[15:0]															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SIRC1[15:0]															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~16	SIRC0[15:0]	不定	R/W	制御 0 チャネル受信データ 制御 0 チャネル受信データとして SIOF_RXD から受信したデータを格納します。送受信フレームにおける制御 0 チャネルデータの位置は、SICDAR の CD0A ビットへの設定値に従います。 • 本ビットは SICDAR の CD0E ビットに 1 を設定した場合に有効となります。
15~0	SIRC1[15:0]	不定	R/W	制御 1 チャネル受信データ 制御 1 チャネル受信データとして SIOF_RXD から受信したデータを格納します。送受信フレームにおける制御 1 チャネルデータの位置は、SICDAR の CD1A ビットへの設定値に従います。 • 本ビットは SICDAR の CD1E ビットに 1 を設定した場合に有効となります。

## 22.3.8 ステータスレジスタ (SISTR)

SISTR は、読み出し／書き込み可能な 16 ビットのレジスタで、SIOF の状態を表示します。本レジスタの各ビットは、SIER の対応するビットに 1 を設定した場合に、SIOF の割り込み要因となります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	TCRDY	TFEMP	TDREQ	—	RCRDY	RFFUL	RDREQ	—	—	SAERR	FSERR	TFOVF	TFUDF	RFUDF	RFOVF
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	TCRDY	0	R	送信制御データレディ 0: SITCR への書き込みが可能でない 1: SITCR への書き込みが可能である • 本ビットが 0 時に SITCR への書き込みを行うと SITCR は上書きされ、以前の内容は SIOF_TXD から送出されません。 • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SITCR への書き込みを行うと SIOF が 0 にクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。
13	TFEMP	0	R	送信 FIFO エンプティ 0: 送信 FIFO が空でない 1: 送信 FIFO が空である • 本ビットは SICTR の TXE ビットが 1 のときに有効となります。 • 本ビットは状態を表示するビットであり、SITDR への書き込みが行われると SIOF が 0 にクリアします。 • 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。

## 22. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
12	TDREQ	0	R	<p>送信データ転送リクエスト</p> <p>0: 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値より少ない</p> <p>1: 送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値以上になった</p> <p>送信データ転送リクエストは、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値以上になったときに発行します。</p> <p>DMAC による送信データ転送を用いる場合には、DMAC による 1 回のアクセスによって、本ビットは必ずクリアされます。DMAC アクセス後も本ビットの設定条件が満たされている場合には、SIOF は再び本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、送信 FIFO の空き領域が SIFCTR の TFWM ビットによる設定値よりも少なくなると SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
11	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
10	RCRDY	0	R	<p>受信制御データレディ</p> <p>0: SIRCR に有効データが格納されていない</p> <p>1: SIRCR に有効データが格納されている</p> <ul style="list-style-type: none"> <li>• 本ビットが 1 のときに再び SIRCR への有効データの書き込みが発生した場合、SIRCR には最新のデータが上書きされます。</li> <li>• 本ビットは SICTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、SIRCR の読み出しを行うと SIOF が 0 にクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
9	RFFUL	0	R	<p>受信 FIFO フル</p> <p>0: 受信 FIFO が満杯でない</p> <p>1: 受信 FIFO が満杯である</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、SIRDR の読み出しを行うと SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>

ビット	ビット名	初期値	R/W	説 明
8	RDREQ	0	R	<p>受信データ転送リクエスト</p> <p>0: 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値より少ない</p> <p>1: 受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値以上になった</p> <p>受信データ転送リクエストは、受信 FIFO の有効データ領域が SIFCTR の RFWM ビットによる設定値を超えたときに発行します。</p> <p>DMAC による受信データ転送を用いる場合には、DMAC による 1 回のアクセスによって、本ビットは必ずクリアされます。DMAC アクセス後も本ビットの設定条件が満たされている場合には、SIOF は再び本ビットに 1 を表示します。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットは状態を表示するビットであり、受信 FIFO の有効領域が SIFCTR の RFWM ビットによる設定値よりも少なくなると SIOF がクリアします。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
7、6	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
5	SAERR	0	R/W	<p>スロットアサインエラー</p> <p>0: スロットアサインエラー未発生</p> <p>1: スロットアサインエラー発生</p> <p>スロットアサインエラーとは、SITDAR、SIRDAR、SICDAR の設定に重複があったことを表します。</p> <p>スロットアサインエラー発生時、SIOF は SIOF_TXD への送信および SIOF_RXD からの受信を行いません。ただし、SICTR の TXE ビット、RXE ビットのクリアは行いません。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットもしくは RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>

## 22. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説 明
4	FSERR	0	R/W	<p>フレーム同期エラー</p> <p>0 : フレーム同期エラー未発生 1 : フレーム同期エラー発生</p> <p>フレーム同期エラーとは、転送データ、制御データの送受信完了前に、次のフレーム同期タイミングとなったことを表します。</p> <p>フレーム同期エラー発生時、SIOF は転送可能なスロットに対してのみ送受信を行います。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットもしくは RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
3	TFOVF	0	R/W	<p>送信 FIFO オーバフロー</p> <p>0 : 送信 FIFO オーバフロー未発生 1 : 送信 FIFO オーバフロー発生</p> <p>送信 FIFO オーバフローとは、送信 FIFO が満杯時に SITDR への書き込みが発生したことを表します。</p> <p>送信 FIFO オーバフロー時、SIOF はオーバフローとなった書き込みを無効とします。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
2	TFUDF	0	R/W	<p>送信 FIFO アンダフロー</p> <p>0 : 送信 FIFO アンダフロー未発生 1 : 送信 FIFO アンダフロー発生</p> <p>送信 FIFO アンダフローとは、送信 FIFO が空時に送信動作による読み出しが発生したことを表します。</p> <p>送信 FIFO アンダフロー時、SIOF は前回送出データを繰り返して送出します。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の TXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>

## 22. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説 明
1	RFUDF	0	R/W	<p>受信 FIFO アンダフロー</p> <p>0: 受信 FIFO アンダフロー未発生 1: 受信 FIFO アンダフロー発生</p> <p>受信 FIFO アンダフローとは、受信 FIFO が空時に SIRDR の読み出しが発生したことを表します。</p> <p>受信 FIFO アンダフロー時、SIRDR から読み出したデータの値は保証しません。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>
0	RFOVF	0	R/W	<p>受信 FIFO オーバフロー</p> <p>0: 受信 FIFO オーバフロー未発生 1: 受信 FIFO オーバフロー発生</p> <p>受信 FIFO オーバフローとは、受信 FIFO が満杯時に受信動作による書き込みが発生したことを表します。</p> <p>受信 FIFO オーバフロー時、オーバーフローとなった受信データは消失します。</p> <ul style="list-style-type: none"> <li>• 本ビットは SICTR の RXE ビットが 1 のときに有効となります。</li> <li>• 本ビットに 1 を書き込むと、内容がクリアされます。0 書き込みは無効です。</li> <li>• 本ビットによる割り込み発行が許可されている場合、SIOF 割り込みを発行します。</li> </ul>

## 22. シリアル I/O FIFO 付き (SIOF)

### 22.3.9 割り込み許可レジスタ (SIER)

SIER は、読み出し／書き込み可能な 16 ビットのレジスタで、SIOF 割り込みの発行を許可します。本レジスタの各ビットに 1 を設定した場合に、SISTR の対応するビットに 1 がセットされると、SIOF は割り込みを発行します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TD MAE	TCR DYE	TFE MPE	TDR EQE	RD MAE	RC RDYE	RF FULE	RD REQE	—	—	SA ERRE	FS ERRE	TF OVFE	TF UDFE	RF UDFE	RF OVFE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TDMAE	0	R/W	送信データ DMA 転送要求イネーブル 割り込みを CPU への割り込み/DMA 転送要求として伝えます。要因としては、TDREQE が設定できます。 0: CPU への割り込みとして使用 1: DMAC への DMA 転送要求として使用
14	TCRDYE	0	R/W	送信制御データレディイネーブル 0: 送信制御データレディによる割り込みを禁止 1: 送信制御データレディによる割り込みを許可
13	TFEMPE	0	R/W	送信 FIFO エンプティイネーブル 0: 送信エンプティによる割り込みを禁止 1: 送信エンプティによる割り込みを許可
12	TDREQE	0	R/W	送信データ転送リクエストイネーブル 0: 送信データ転送リクエストによる割り込みを禁止 1: 送信データ転送リクエストによる割り込みを許可
11	RDMAE	0	R/W	受信データ DMA 転送要求イネーブル 割り込みを CPU への割り込み/DMA 転送要求として伝えます。要因としては、RDREQE が設定できます。 0: CPU への割り込みとして使用 1: DMAC への DMA 転送要求として使用
10	RCRDYE	0	R/W	受信制御データレディイネーブル 0: 受信制御データレディによる割り込みを禁止 1: 受信制御データレディによる割り込みを許可
9	RFFULE	0	R/W	受信 FIFO フルイネーブル 0: 受信 FIFO フルによる割り込みを禁止 1: 受信 FIFO フルによる割り込みを許可
8	RDREQE	0	R/W	受信データ転送リクエストイネーブル 0: 受信データ転送リクエストによる割り込みを禁止 1: 受信データ転送リクエストによる割り込みを許可

ビット	ビット名	初期値	R/W	説明
7、6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	SAERRE	0	R/W	スロットアサインエラーイネーブル 0: スロットアサインエラーによる割り込みを禁止 1: スロットアサインエラーによる割り込みを許可
4	FSERRE	0	R/W	フレーム同期エラーイネーブル 0: フレーム同期エラーによる割り込みを禁止 1: フレーム同期エラーによる割り込みを許可
3	TFOVFE	0	R/W	送信 FIFO オーバフローイネーブル 0: 送信 FIFO オーバフローによる割り込みを禁止 1: 送信 FIFO オーバフローによる割り込みを許可
2	TFUDFE	0	R/W	送信 FIFO アンダフローイネーブル 0: 送信 FIFO アンダフローによる割り込みを禁止 1: 送信 FIFO アンダフローによる割り込みを許可
1	RFUDFE	0	R/W	受信 FIFO アンダフローイネーブル 0: 受信 FIFO アンダフローによる割り込みを禁止 1: 受信 FIFO アンダフローによる割り込みを許可
0	RFOVFE	0	R/W	受信 FIFO オーバフローイネーブル 0: 受信 FIFO オーバフローによる割り込みを禁止 1: 受信 FIFO オーバフローによる割り込みを許可

### 22.3.10 FIFO コントロールレジスタ (SIFCTR)

SIFCTR は、読み出し/書き込み可能な 16 ビットのレジスタで、送受信 FIFO の転送が可能なエリアを表示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TFWM[2:0]			TFUA[4:0]				RFBM[2:0]			RFUA[4:0]					
初期値:	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R

## 22. シリアル I/O FIFO 付き (SIOF)

ビット	ビット名	初期値	R/W	説明
15~13	TFWM[2:0]	000	R/W	<p>送信 FIFO ウォータマーク</p> <p>000 : 送信 FIFO の空き領域が 16 段のときに転送要求を発行する</p> <p>001 : 設定禁止</p> <p>010 : 設定禁止</p> <p>011 : 設定禁止</p> <p>100 : 送信 FIFO の空き領域が 12 段以上のときに転送要求を発行する</p> <p>101 : 送信 FIFO の空き領域が 8 段以上のときに転送要求を発行する</p> <p>110 : 送信 FIFO の空き領域が 4 段以上のときに転送要求を発行する</p> <p>111 : 送信 FIFO の空き領域が 1 段以上のときに転送要求を発行する</p> <ul style="list-style-type: none"> <li>送信 FIFO の転送要求は、SISTR の TDREQE ビットで行います。</li> <li>本ビットへの設定にかかわらず、送信 FIFO は常に 16 段の FIFO として動作を行います。</li> </ul>
12~8	TFUA[4:0]	10000	R	<p>送信 FIFO 使用可能エリア</p> <p>CPU または DMAC が転送可能な段数を 00000 (満杯) ~10000 (空) で表示します。</p>
7~5	RFWM[2:0]	000	R/W	<p>受信 FIFO ウォータマーク</p> <p>000 : 受信 FIFO の有効データ領域が 1 段以上のときに転送要求を発行する</p> <p>001 : 設定禁止</p> <p>010 : 設定禁止</p> <p>011 : 設定禁止</p> <p>100 : 受信 FIFO の有効データ領域が 4 段以上のときに転送要求を発行する</p> <p>101 : 受信 FIFO の有効データ領域が 8 段以上のときに転送要求を発行する</p> <p>110 : 受信 FIFO の有効データ領域が 12 段以上のときに転送要求を発行する</p> <p>111 : 受信 FIFO の有効データ領域が 16 段のときに転送要求を発行する</p> <ul style="list-style-type: none"> <li>受信 FIFO の転送要求は、SISTR の RDREQE ビットで行います。</li> <li>本ビットへの設定にかかわらず、受信 FIFO は常に 16 段の FIFO として動作を行います。</li> </ul>
4~0	RFUA[4:0]	00000	R	<p>受信 FIFO 使用可能エリア</p> <p>CPU または DMAC が転送可能な段数を 00000 (空) ~10000 (満杯) で表示します。</p>

## 22.3.11 送信データアサインレジスタ (SITDAR)

SITDAR は、読み出し/書き込み可能な 16 ビットのレジスタで、フレーム内の送信データ位置を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TDLE	—	—	—	TDLA[3:0]			TDRE	TLREP	—	—	TDRA[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TDLE	0	R/W	送信左チャンネルデータイネーブル 0: 左チャンネルデータの送信を許可しない 1: 左チャンネルデータの送信を許可する
14~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	TDLA[3:0]	0000	R/W	送信左チャンネルデータアサイン 3~0 送信フレームにおける左チャンネルデータの位置を 0000 (スロット No.0) から 1110 (スロット No.14) で設定します。 1111: 設定禁止 • 左チャンネルデータの送信データは SITDR の SITDL ビットに設定します。
7	TDRE	0	R/W	送信右チャンネルデータイネーブル 0: 右チャンネルデータの送信を許可しない 1: 右チャンネルデータの送信を許可する
6	TLREP	0	R/W	送信左チャンネルリピート 0: 右チャンネルデータとして SITDR の SITDR ビット設定値を送出する 1: 右チャンネルデータとして SITDR の SITDL ビット設定値を繰り返して送出的 • 本ビットの設定は TDRE ビットが 1 のとき有効となります。 • 本ビットに 1 を設定した場合、SITDR への設定は無視されます。
5, 4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	TDRA[3:0]	0000	R/W	送信右チャンネルデータアサイン 3~0 送信フレームにおける右チャンネルデータの位置を 0000 (スロット No.0) から 1110 (スロット No.14) で設定します。 1111: 設定禁止 • 右チャンネルデータの送信データは SITDR の SITDR ビットに設定します。

## 22. シリアル I/O FIFO 付き (SIOF)

### 22.3.12 受信データアサインレジスタ (SIRDAR)

SIRDAR は、読み出し/書き込み可能な 16 ビットのレジスタで、フレーム内の受信データ位置を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDLE	—	—	—	RDLA[3:0]			RDRE	—	—	—	RDRA[3:0]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	RDLE	0	R/W	受信左チャンネルデータイネーブル 0: 左チャンネルデータの受信を許可しない 1: 左チャンネルデータの受信を許可する
14~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	RDLA[3:0]	0000	R/W	受信左チャンネルデータアサイン 3~0 受信フレームにおける左チャンネルデータの位置を 0000 (スロット No.0) から 1110 (スロット No.14) で設定します。 1111: 設定禁止 • 左チャンネルデータの受信データは SIRDAR の SIRDLE ビットに格納されません。
7	RDRE	0	R/W	受信右チャンネルデータイネーブル 0: 右チャンネルデータの受信を許可しない 1: 右チャンネルデータの受信を許可する
6~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	RDRA[3:0]	0000	R/W	受信右チャンネルデータアサイン 3~0 受信フレームにおける右チャンネルデータの位置を 0000 (スロット No.0) から 1110 (スロット No.14) で設定します。 1111: 設定禁止 • 右チャンネルデータの受信データは SIRDAR の SIRDRE ビットに格納されません。

## 22.3.13 制御データアサインレジスタ (SICDAR)

SICDAR は、読み出し/書き込み可能な 16 ビットのレジスタで、フレーム内の制御データ位置を設定します。本レジスタへの設定は、SIMDR の FL ビットに B'1xxx (x : Don't care) を設定したときに有効となります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD0E	—	—	—	CD0A[3:0]				CD1E	—	—	—	CD1A[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	CD0E	0	R/W	制御 0 チャネルデータイネーブル 0 : 制御 0 チャネルデータの送受信を許可しない 1 : 制御 0 チャネルデータの送受信を許可する
14~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~8	CD0A[3:0]	0000	R/W	制御 0 チャネルデータアサイン 3~0 送受信フレームにおける制御 0 チャネルデータの位置を 0000 (スロット No.0) から 1110 (スロット No.14) で設定します。 1111 : 設定禁止 • 制御 0 チャネルデータの送信データは SITCR の SITD0 ビットに設定します。 • 制御 0 チャネルデータの受信データは SIRCR の SIRD0 ビットに格納されます。
7	CD1E	0	R/W	制御 1 チャネルデータイネーブル 0 : 制御 1 チャネルデータの送受信を許可しない 1 : 制御 1 チャネルデータの送受信を許可する
6~4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3~0	CD1A[3:0]	0000	R/W	制御 1 チャネルデータアサイン 3~0 送受信フレームにおける制御 1 チャネルデータの位置を 0000 (スロット No.0) から 1110 (スロット No.14) で設定します。 1111 : 設定禁止 • 制御 1 チャネルデータの送信データは SITCR の SITD1 ビットに設定します。 • 制御 1 チャネルデータの受信データは SIRCR の SIRD1 ビットに格納されます。

## 22.4 動作説明

### 22.4.1 シリアルクロック

#### (1) マスタ/スレーブ

SIOF のクロックモードとして下記の 2 モードがあります。

- スレーブモード : SIOF\_SCK、SIOF\_SYNCは入力
- マスタモード : SIOF\_SCK、SIOF\_SYNCは出力

#### (2) ポーレートジェネレータ

SIOF マスタ時には、ポーレートジェネレータを用いてシリアルクロックを生成します。ポーレートジェネレータは、SISCR の BRPS[4:0]ビットで 1~1/32 の 32 通りの分周比を選択可能なプリスケアラと、SISCR の BRDV[2:0]ビットで 1、1/2、1/4、1/8、1/16、1/32 の 6 通りの分周比を選択可能な分周器で構成しています。ポーレートジェネレータの分周比は、プリスケアラの分周比と分周期の分周比を乗じた 1/1~1/1024 になります。

ただし、ポーレートジェネレータでマスタクロックを分周しない（分周比が 1/1）場合、SISCR の MSIMM ビットに 1 をセットしてマスタクロックをそのままシリアルクロックとして使用してください。

図 22.2 にシリアルクロック供給系統図を示します。

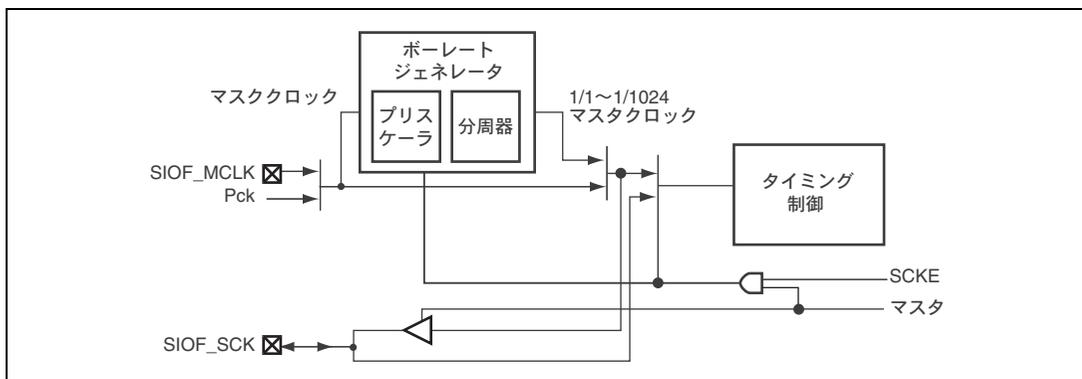


図 22.2 シリアルクロック供給

また、表 22.5 にシリアルクロック周波数の例を示します。

表 22.5 SIOF シリアルクロック周波数例

フレーム長	サンプリングレート		
	8kHz	44.1kHz	48kHz
32 ビット	256kHz	1.4112MHz	1.536MHz
64 ビット	512kHz	2.8224MHz	3.072MHz
128 ビット	1.024MHz	5.6448MHz	6.144MHz
256 ビット	2.048MHz	11.2896MHz	12.288MHz

## 22.4.2 シリアルタイミング

### (1) SIOF\_SYNC

SIOF\_SYNC はフレーム同期信号です。転送モードによって下記の 2 通りの機能を持ちます。

- 同期パルス：フレーム先頭を表す1ビット幅のパルス
- L/R : ステレオデータの左チャンネル (L) をハイレベル、右チャンネル (R) をローレベルで表す1/2フレーム幅のパルス

図 22.3 に SIOF\_SYNC による同期タイミングを示します。

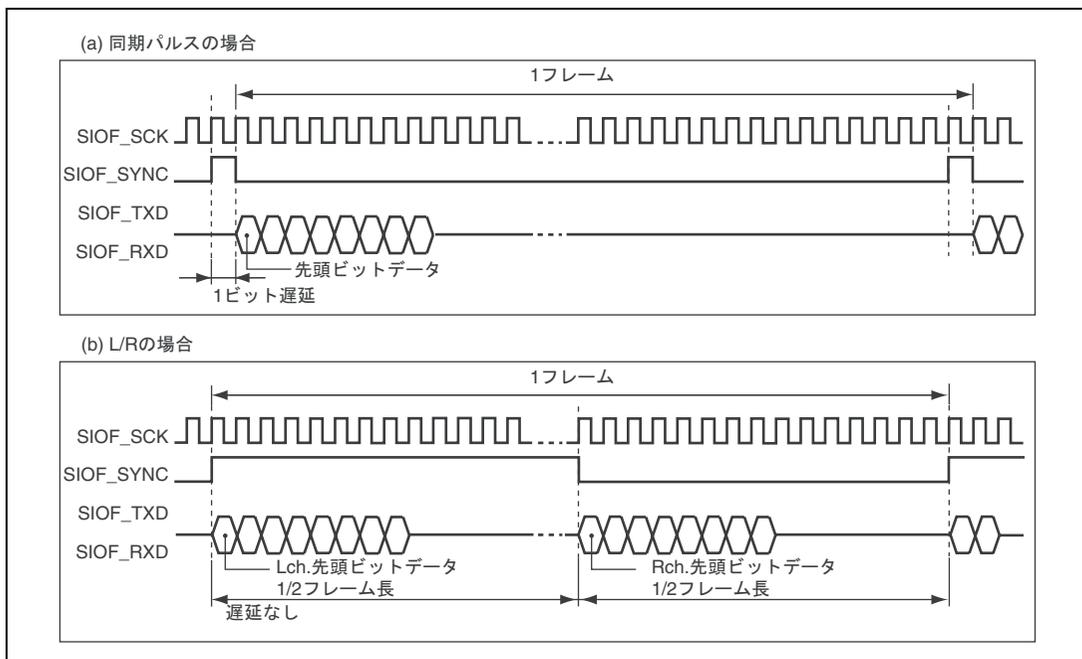


図 22.3 シリアルデータ同期タイミング

## 22. シリアル I/O FIFO 付き (SIOF)

### (2) 送受信タイミング

SIOF\_SCK に対する SIOF\_TXD の送信タイミングおよび SIOF\_RXD の受信タイミングは、サンプリングタイミングとして下記の 2 通りの設定が可能です。送受信タイミングの設定は、SIMDR の REDG ビットで行います。

- 立ち下がりサンプリング
- 立ち上がりサンプリング

図 22.4 に送受信タイミングを示します。

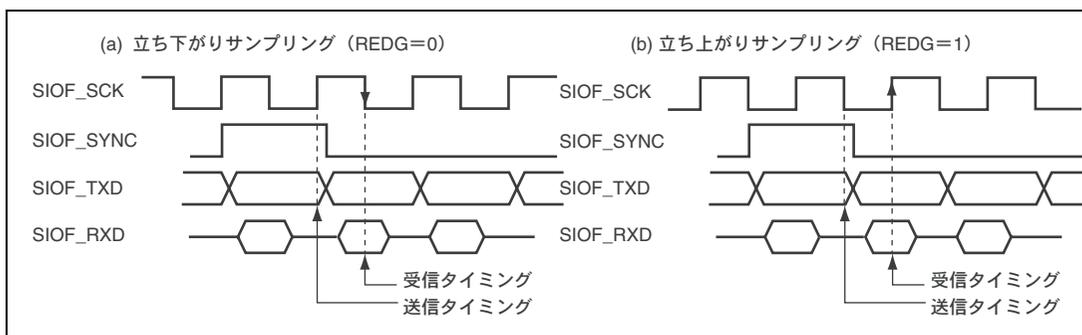


図 22.4 SIOF 送受信タイミング

### 22.4.3 転送データフォーマット

SIOF は、下記の転送を行います。

- 送受信データ 8ビット/16ビット/16ビットステレオの転送データ
- 制御データ 16ビット長（専用レジスタを用いてインタフェースを行います）

#### (1) 転送モード

SIOF は、転送モードとして表 22.6 に示すように 4 通りのモードを持っています。転送モードの設定は SIMDR の TRMD[1:0] ビットで行います。

表 22.6 シリアル転送モード

TRMD[1:0]	転送モード	SIOF_SYNC	ビット遅延	制御データ方式*
00	スレーブモード 1	同期パルス	SYNCDL ビット	スロット位置
01	スレーブモード 2	同期パルス		セカンダリ FS
10	マスタモード 1	同期パルス		スロット位置
11	マスタモード 2	L/R	なし	非対応

【注】 \* 制御データ方式については、FL[3:0]に B'1xxx を設定した場合に有効となります。(x : Don't care)

## (2) フレーム長

SIOF が転送を行うフレームの長さは SIMDR の FL[3:0]ビットに対して設定を行います。表 22.7 に設定値とフレーム長の関係を示します。

表 22.7 フレーム長

FL3~FL0	スロット長	1 フレーム当たりのビット	対応する転送データ
00xx	8	8	8 ビットモノラル
0100	8	16	8 ビットモノラル
0101	8	32	8 ビットモノラル
0110	8	64	8 ビットモノラル
0111	8	128	8 ビットモノラル
10xx	16	16	16 ビットモノラル
1100	16	32	16 ビットモノラル/ステレオ
1101	16	64	16 ビットモノラル/ステレオ
1110	16	128	16 ビットモノラル/ステレオ
1111	16	256	16 ビットモノラル/ステレオ

【注】 x : Don't care

## (3) スロット位置

SIOF は、1 フレームにおける送信データ、受信データ、制御データ（送受信共通）の位置をスロット番号でそれぞれ個別に設定することが可能です。設定は下記のレジスタに対して行います。

- 送信データ：SITDAR
- 受信データ：SIRDAR
- 制御データ：SICDAR

制御データは、データ長 16 ビットのときのみ有効となります。また、制御データは送信と受信で必ず同じスロットに割り当てられます。

## 22.4.4 転送データのレジスタ割り付け

## (1) 送受信データ

送受信データの書き込み/読み出しは下記のレジスタに対して行います。

- 送信データ書き込み：SITDR (32ビットアクセス)
- 受信データ読み出し：SIRDR (32ビットアクセス)

図 22.5 に送受信データと SITDR、SIRDR のビットアライメントを示します。

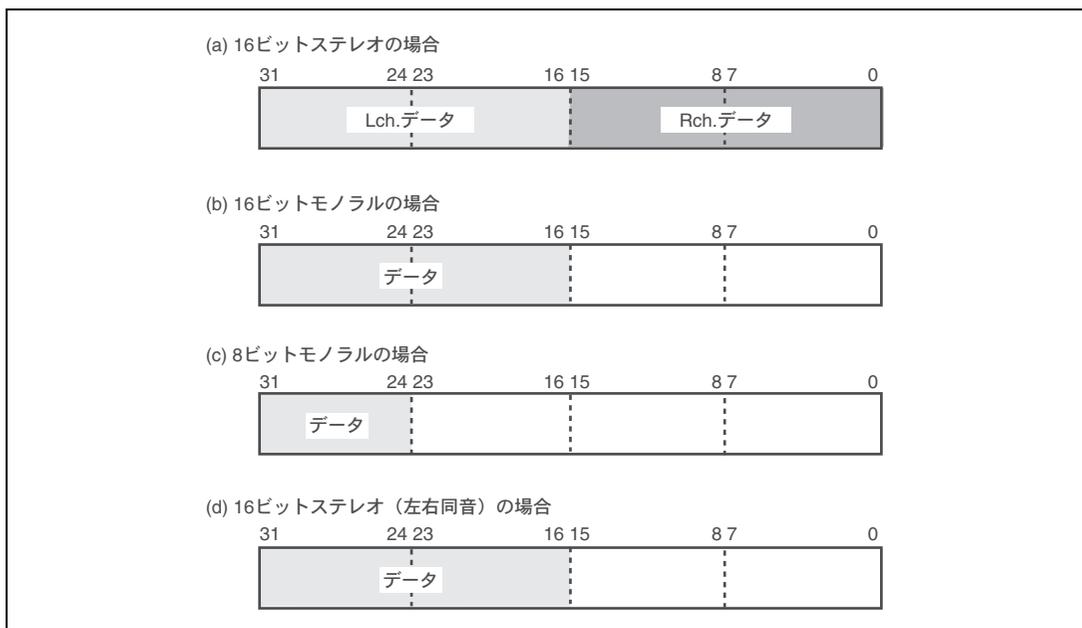


図 22.5 送受信データビットアライメント

**【注】** ハッチングの部分だけが有効なデータとして送受信されます。このため、8ビットデータ時にはバイト転送、16ビットデータ時にはワード転送でアクセスを行う必要があります。ハッチングが掛かっていない領域のデータは送受信の対象となりません。

送信データのモノラル/ステレオの設定は、SITDAR の TDLE ビットおよび TDRE ビットに対して行います。受信データのモノラル/ステレオの設定は、SIRDAR の RDLE ビットおよび RDRE ビットに対して行います。また、送信データステレオ時の左右同音出力は、SITDAR の TLREP ビットに設定を行います。表 22.8 に送信データにおける音声モードの設定を、表 22.9 に受信データにおける音声モードの設定を示します。

表 22.8 送信データ音声モード

モード \ ビット	TDLE	TDRE	TLREP
モノラル	1	0	x
ステレオ	1	1	0
左右同音	1	1	1

【注】 x : Don't care

表 22.9 受信データ音声モード

モード \ ビット	RDLE	RDRE
モノラル	1	0
ステレオ	1	1

【注】 受信データには、左右同音モードは存在しません。

8ビットモノラルで送受信を行う場合には、左チャンネル側を使用してください。

## (2) 制御データ

制御データの書き込み/読み出しは下記のレジスタに対して行います。

- 送信制御データ書き込み : SITCR (32ビットアクセス)
- 受信制御データ読み出し : SIRCR (32ビットアクセス)

図 22.6 に送受信制御データと SITCR、SIRCR のビットアライメントを示します。

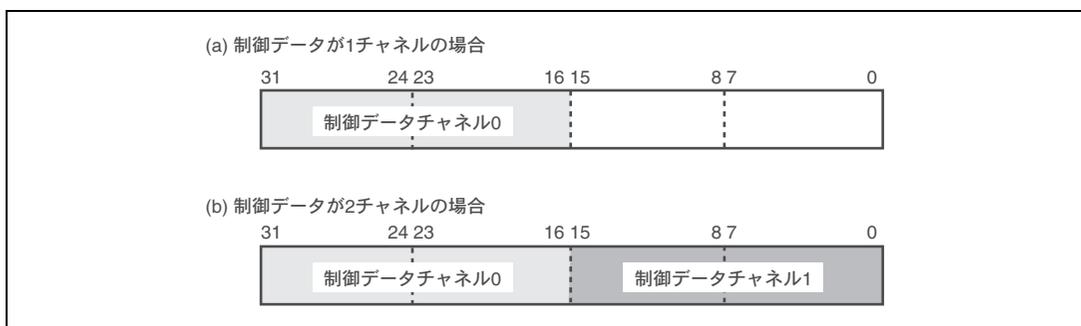


図 22.6 制御データビットアライメント

## 22. シリアル I/O FIFO 付き (SIOF)

制御データのチャンネル数の設定は、SICDAR の CD0E ビットおよび CD1E ビットに対して行います。

表 22.10 に制御データにおけるチャンネル数の設定を示します。

表 22.10 制御データのチャンネル数設定

チャンネル数 \ ビット	CD0E	CD1E
1	1	0
2	1	1

【注】 制御データを 1 チャンネルだけ用いる場合には、チャンネル 0 側を使用してください。

### 22.4.5 制御データインタフェース

制御データは、CODEC への制御コマンド出力と CODEC の状態入力を行います。SIOF は、制御データのインタフェース方式として、下記 2 方式に対応します。

- スロット位置による制御
- セカンダリ FS による制御

制御データは、データ長として 16 ビットを選択した場合に有効となります。

#### (1) スロット位置による制御 (マスタモード 1、スレーブモード 1)

制御データのスロット位置を指定して、SIOF が送受信を行う全フレームで制御データの送受信を行う方式です。SIOF マスタ、スレーブのどちらでも使用可能です。図 22.7 にスロット位置による制御データインタフェースのタイミング例を示します。

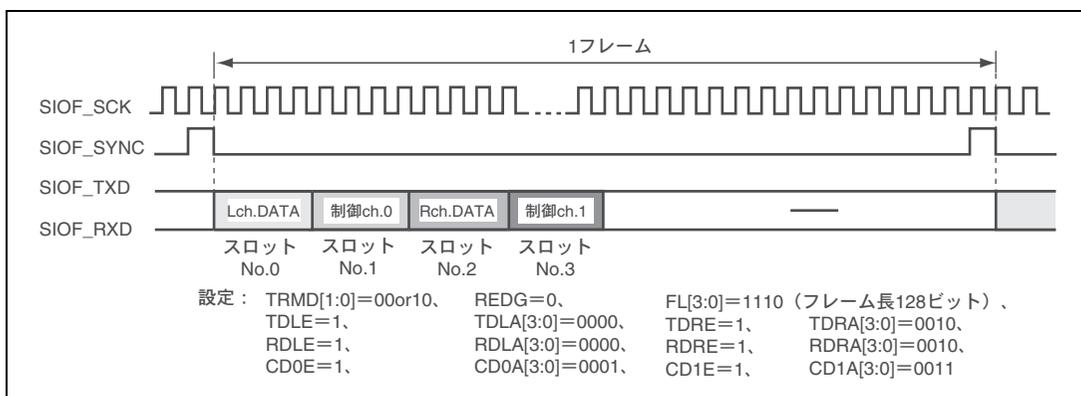


図 22.7 制御データインタフェース (スロット位置)

## (2) セカンダリ FS による制御 (スレーブモード 2)

SIOF\_SYNC を同期パルス (FS) として出力する CODEC が、本来の FS 出力位置でない 1/2 フレーム時間経過後に、制御データ送受信専用のセカンダリ FS を出力して、制御データの送受信を行う方式です。SIOF スレーブのみ使用可能です。セカンダリ FS による制御データインタフェースの手順を以下に示します。

- 通常の送信データは LSB=0 で送出 (SIOF が強制的に 0 とする)
- 制御データ送信を行う場合には LSB=1 の送信データ送出 (SITCR への書き込みで SIOF が 1 とする)
- CODEC はセカンダリ FS を出力する
- SIOF はセカンダリ FS に同期して制御データ (SITCR 設定データ) の送信および受信 (SIRCR へ格納) を行う

図 22.8 にセカンダリ FS による制御データインタフェースのタイミング例を示します。

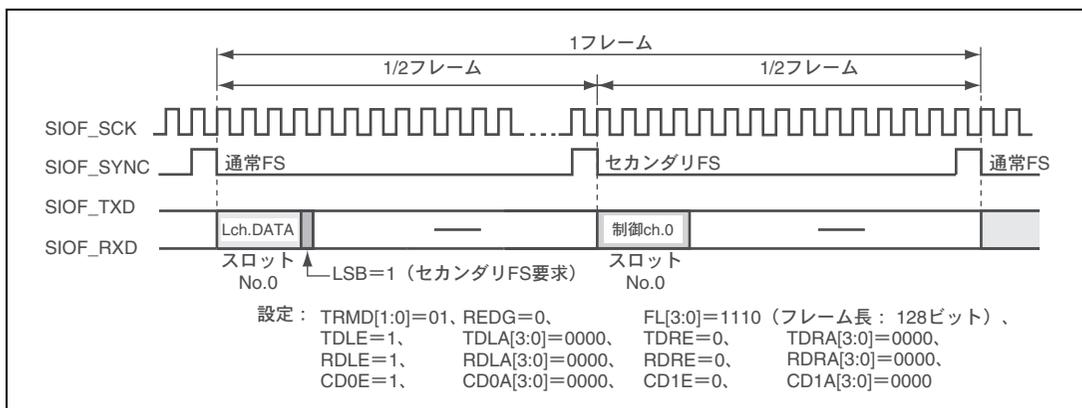


図 22.8 制御データインタフェース (セカンダリ FS)

## 22.4.6 FIFO

## (1) 概要

SIOF 送受信 FIFO の特長を以下に示します。

- 送受信それぞれ 32 ビット × 16 段の容量
- CPU、DMAC のアクセスサイズにかかわらず、1 回の読み出し / 書き込みサイクルでポインタは更新されます。  
(1 段のアクセスを複数回に分割することは不可能です。)

## (2) 転送要求

FIFO の送信要求は、以下に記す割り込み要因として CPU および DMAC に出力することが可能です。

- 送信要求: TDREQ (送信用割り込み要因)
- 受信要求: RDREQ (受信用割り込み要因)

送受信 FIFO の送信要求を発行する条件は、それぞれ個別に設定が可能です。送信要求の条件は SIFCTR の TFWM[2:0] ビットに、受信 FIFO の転送要求は RFWM[2:0] ビットに設定します。表 22.11 に送信要求発行条件を、表 22.12 に受信要求発行条件を示します。

## 22. シリアル I/O FIFO 付き (SIOF)

表 22.11 送信要求発行条件

TFWM[2:0]	リクエスト段数	送信要求発行	使用領域
000	1	空き領域が 16 段	小 ↑ ↓ 大
100	4	空き領域が 12 段以上	
101	8	空き領域が 8 段以上	
110	12	空き領域が 4 段以上	
111	16	空き領域が 1 段以上	

表 22.12 受信要求発行条件

RFWM[2:0]	リクエスト段数	受信要求発行	使用領域
000	1	有効データが 1 段以上	小 ↑ ↓ 大
100	4	有効データが 4 段以上	
101	8	有効データが 8 段以上	
110	12	有効データが 12 段以上	
111	16	有効データが 16 段	

データ領域もしくは空き領域が上記の段数を超えた場合でも、FIFO の容量は常に 16 段使用可能です。したがって、オーバフローもしくはアンダフローエラーは、データ領域もしくは空き領域が 16 段を超えた場合に発行されます。

また、転送要求は FIFO が空もしくは満杯にならなくても、上記の条件を満たさなくなった時点で解除します。

### (3) 段数表示

送受信 FIFO の使用状況を、下記の内容でレジスタに表示します。

- 送信FIFO：SIFCTRのTFUA[4:0]ビットに空き領域の段数を表示
- 受信FIFO：SIFCTRのRFUA[4:0]ビットに有効データの段数を表示

上記の内容は、CPU もしくは DMAC が転送可能なデータ数を表します。

## 22.4.7 送受信手順

## (1) マスタモード送信

図 22.9 にマスタモード時の送信の設定例および動作を示します。

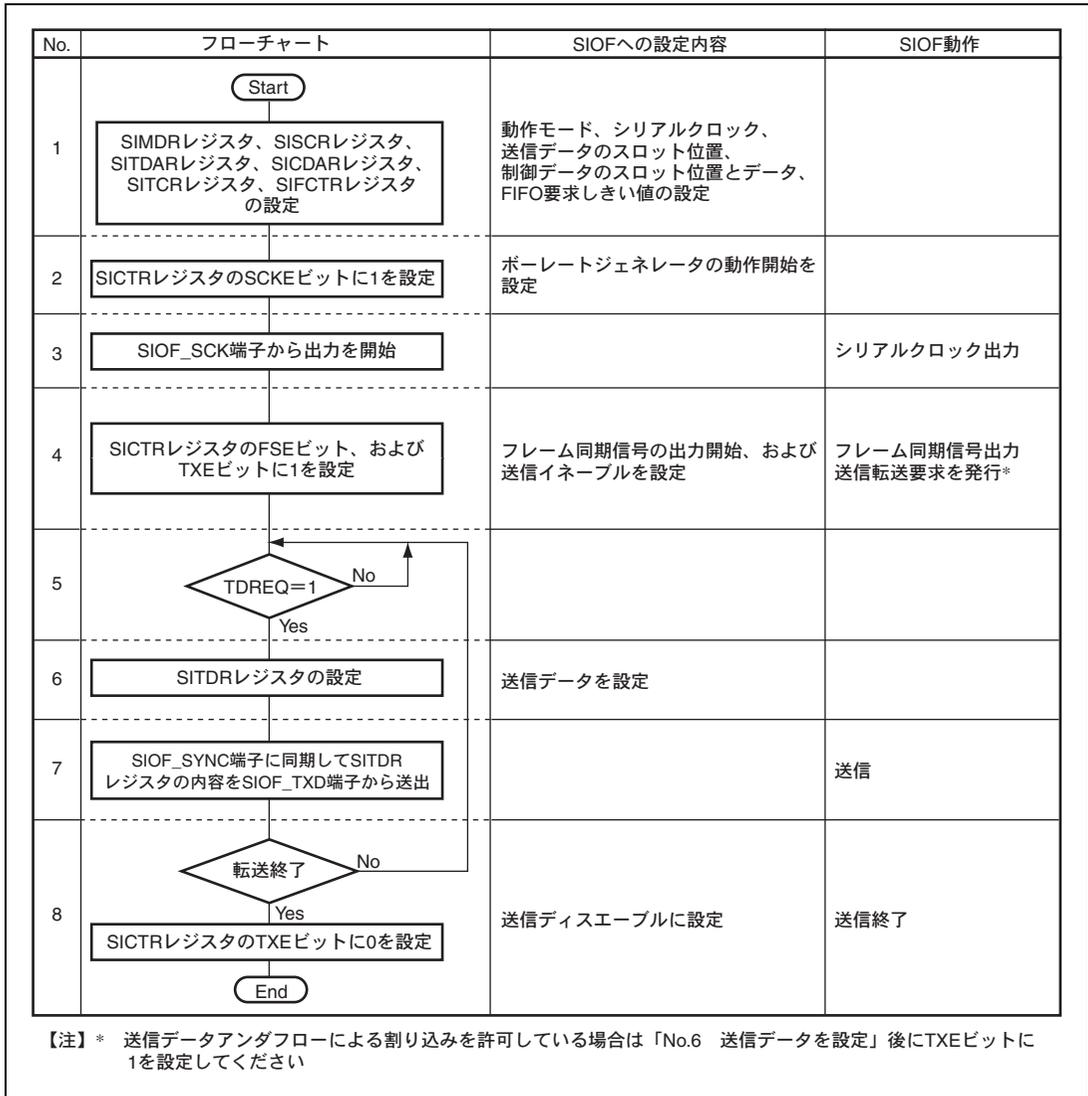


図 22.9 マスタモードの送信動作例

## 22. シリアル I/O FIFO 付き (SIOF)

### (2) マスタモード受信

図 22.10 にマスタモードの受信の設定例および動作を示します。

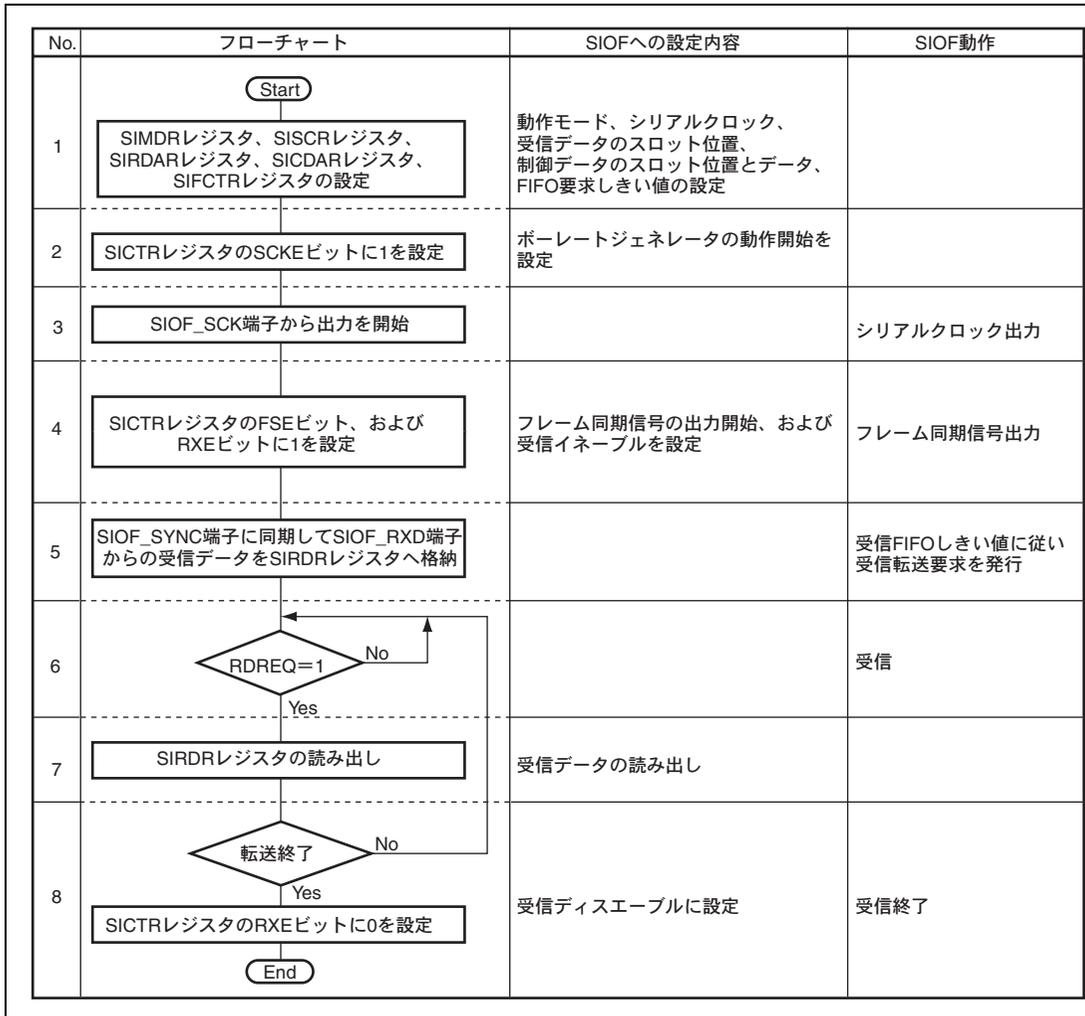


図 22.10 マスタモードの受信動作例

## (3) スレーブモード送信

図 22.11 にスレーブモードの送信の設定例および動作を示します。

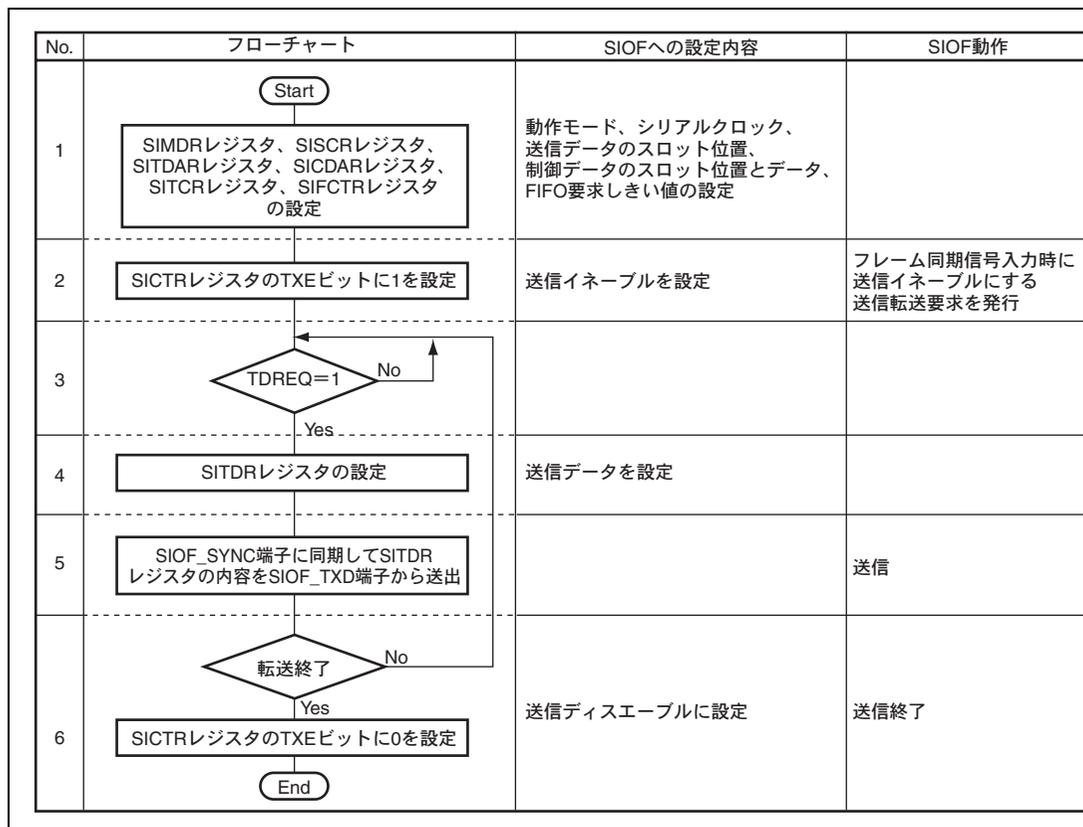


図 22.11 スレーブモードの送信動作例

## 22. シリアル I/O FIFO 付き (SIOF)

### (4) スレーブモード受信

図 22.12 にスレーブモードの受信の設定例および動作を示します。

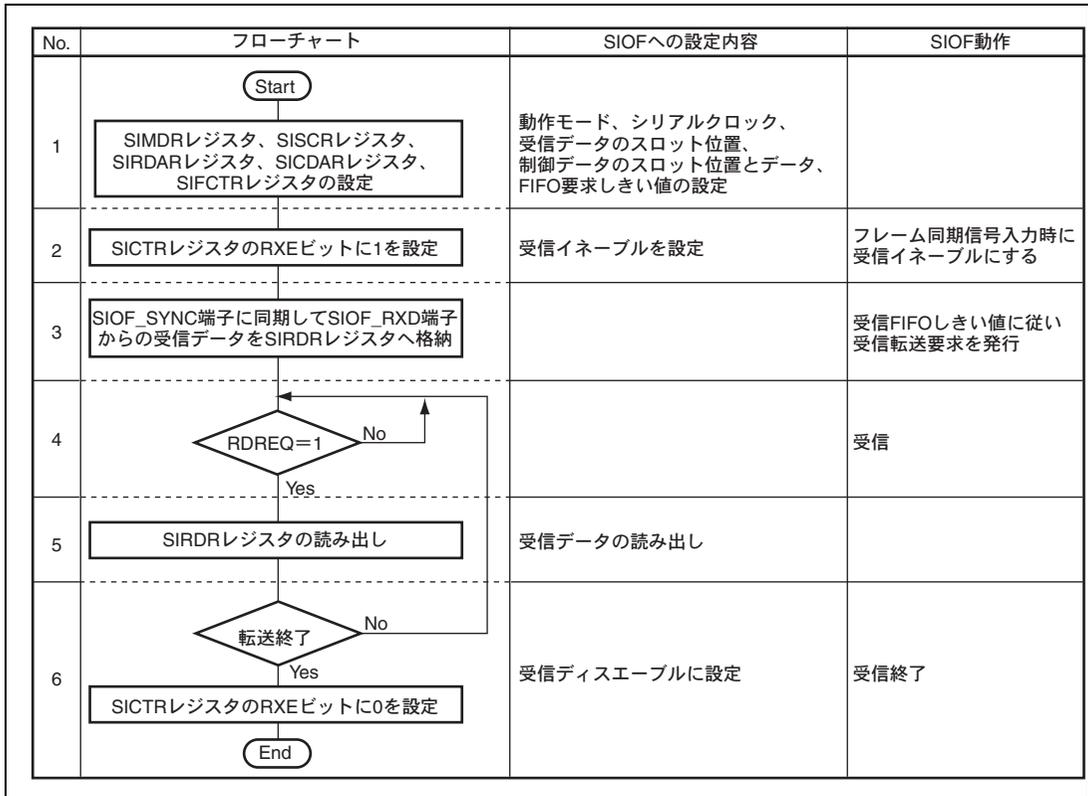


図 22.12 スレーブモードの受信動作例

## (5) 送受信リセット

SIOF は、下記ビットに 1 を設定することにより、送信部と受信部を個別にリセットすることが可能です。

- 送信リセット：(SICTRのTXRSTビット)
- 受信リセット：(SICTRのRXRSTビット)

表 22.13 に送受信リセットで初期化される内容を示します。

表 22.13 送受信リセット

種類	初期化対象
送信リセット	SIOF_TXD 端子からの送信を停止 (ハイレベルを出力) 送信 FIFO ライトポイント SISTR の TCRDY ビット、TFEMP ビット、TDREQ ビット SICTR の TXE ビット
受信リセット	SIOF_RXD 端子からの受信を停止 受信 FIFO ライトポイント SISTR の RCRDY ビット、RFFUL ビット、RDREQ ビット SICTR の RXE ビット

## 22.4.8 割り込み

SIOF は、1 種類の割り込みを持っています。

## (1) 割り込み要因

割り込みは、それぞれ複数の要因によって発行することができます。各要因は、SISTR に SIOF ステータスとして表示します。表 22.14 に SIOF 割り込み要因一覧を示します。

表 22.14 SIOF 割り込み要因

No.	区分	ビット名	機能名称	内 容
1	送信	TDREQ	送信 FIFO 転送要求	送信 FIFO の空き領域が設定値以上になった
2		TFEMP	送信 FIFO エンプティ	送信 FIFO が空である
3	受信	RDREQ	受信 FIFO 転送要求	受信 FIFO に設定値以上のデータが格納された
4		RFFUL	受信 FIFO フル	受信 FIFO が満杯である
5	制御	TCRDY	送信制御データレディ	送信制御レジスタに書き込みが可能である
6		RCRDY	受信制御データレディ	受信制御データレジスタに有効な値が格納された
7	エラー	TFUDF	送信 FIFO アンダフロー	送信 FIFO が空時にシリアルデータ送出タイミングが来た
8		TFOVF	送信 FIFO オーバフロー	送信 FIFO が満杯時に送信 FIFO に書き込みを行った
9		RFOVF	受信 FIFO オーバフロー	受信 FIFO が満杯時にシリアルデータを受信した
10		RFUDF	受信 FIFO アンダフロー	受信 FIFO が空時に受信 FIFO 読み出しを行った
11		FSERR	FS エラー	設定ビット数以前に同期信号が入力された (スレーブ時)
12		SAERR	アサインエラー	シリアルデータ、制御データのスロット設定が重複している

割り込み要因によって割り込みを発行するか否かは、SIER への設定によって決定します。SIER の対応するビットに 1 が設定してある割り込み要因が 1 にセットされたときに、SIOF 割り込みを発行します。

## 22. シリアル I/O FIFO 付き (SIOF)

---

### (2) 送受信区分について

送信区分の要因、受信区分の要因は状態を表すビットであり、いったんセットされてもその後状態が変化すると SIOF が自動的にクリアします。

ただし、DMA 転送を用いた場合には、DMA 転送による FIFO アクセスを実行した時点で、FIFO 転送要求は必ず 1 サイクル期間 0 にクリアします。

### (3) エラー発生時の処理

SISTR にステータスとして表示する各エラー発生時、SIOF は下記の動作を行います。

- 送信FIFOアンダフロー (TFUDF)  
直前の送信データを再び送出します。
- 送信FIFOオーバフロー (TFOVF)  
送信FIFOの内容は保護され、オーバフローとなった書き込みは無視します。
- 受信FIFOオーバフロー (RFOVF)  
オーバフローとなったデータが廃棄され、消失します。
- 受信FIFOアンダフロー (RFUDF)  
不定値がバス上に出力されます。
- FSエラー (FSERR)  
エラーとなった同期信号に従って、内部カウンタはリセットされます。
- アサインエラー (SAERR)  
送受信データと制御データが重複した場合には、送受信データが優先されます。  
制御データ同士が重複した場合には、送受信データは保証されません。

## 22.4.9 送受信タイミング

SIOF のシリアル送受信の例を図 22.13～図 22.19 に示します。

## (1) 8 ビットモノラルの場合 (その 1)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 8 ビット

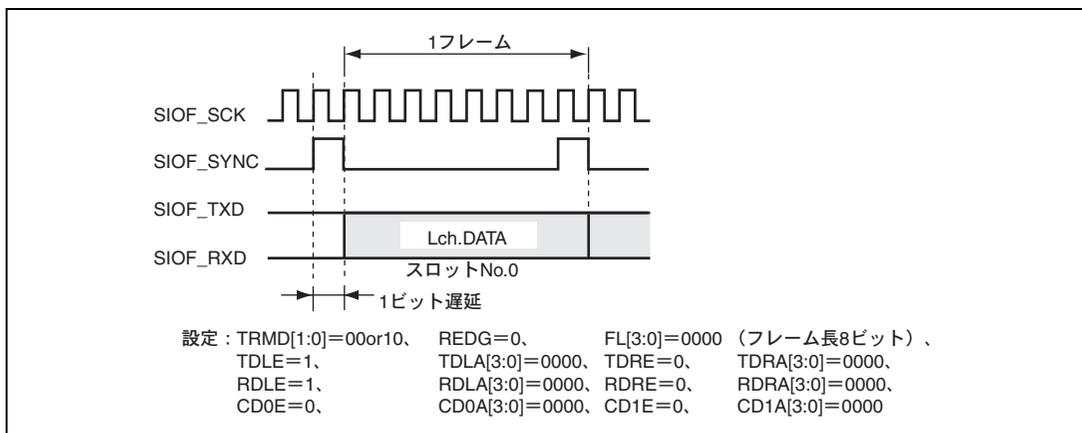


図 22.13 送受信タイミング (8 ビットモノラル-1)

## (2) 8 ビットモノラルの場合 (その 2)

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 16 ビット

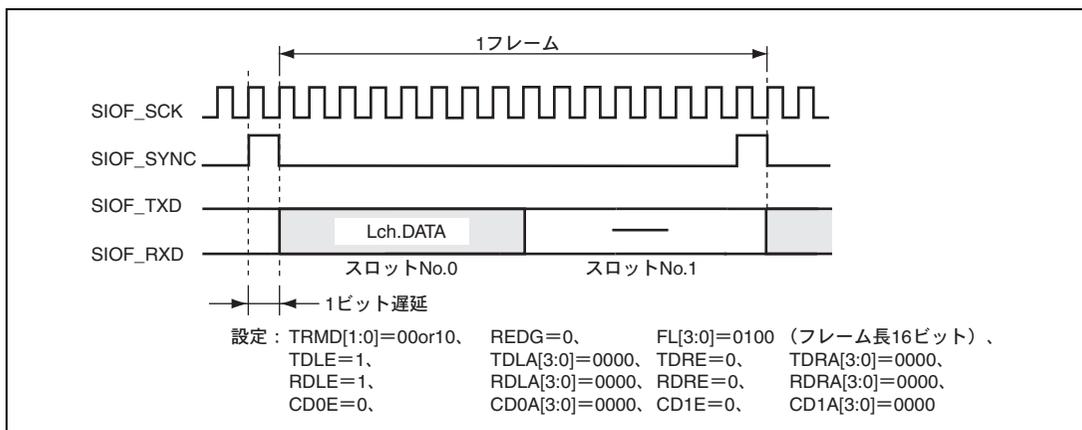


図 22.14 送受信タイミング (8 ビットモノラル-2)

## 22. シリアル I/O FIFO 付き (SIOF)

### (3) 16 ビットモノラルの場合

同期パルス方式、立ち下がりサンプリング、送信データ、受信データはスロット No.0、フレーム長は 64 ビット

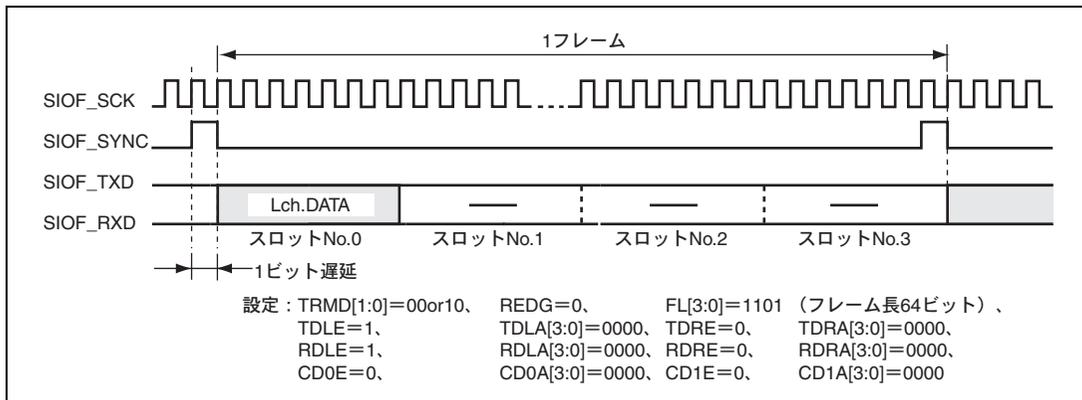


図 22.15 送受信タイミング (16 ビットモノラル)

### (4) 16 ビットステレオの場合 (その 1)

L/R 方式、立ち上がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.1、フレーム長は 32 ビット

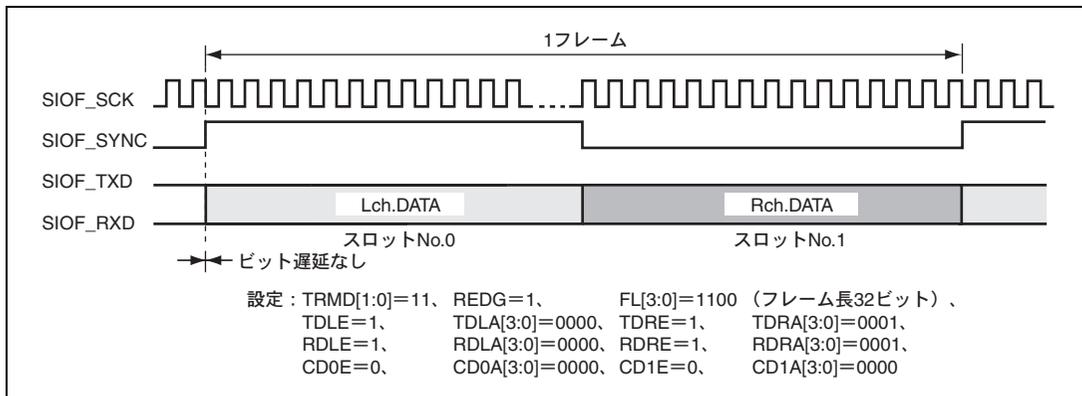


図 22.16 送受信タイミング (16 ビットステレオ-1)

## (5) 16 ビットステレオの場合 (その 2)

L/R 方式、立ち上がりサンプリング、L チャンネル送信データはスロット No.0、L チャンネル受信データはスロット No.1、R チャンネル送信データはスロット No.2、R チャンネル受信データはスロット No.3、フレーム長は 64 ビット

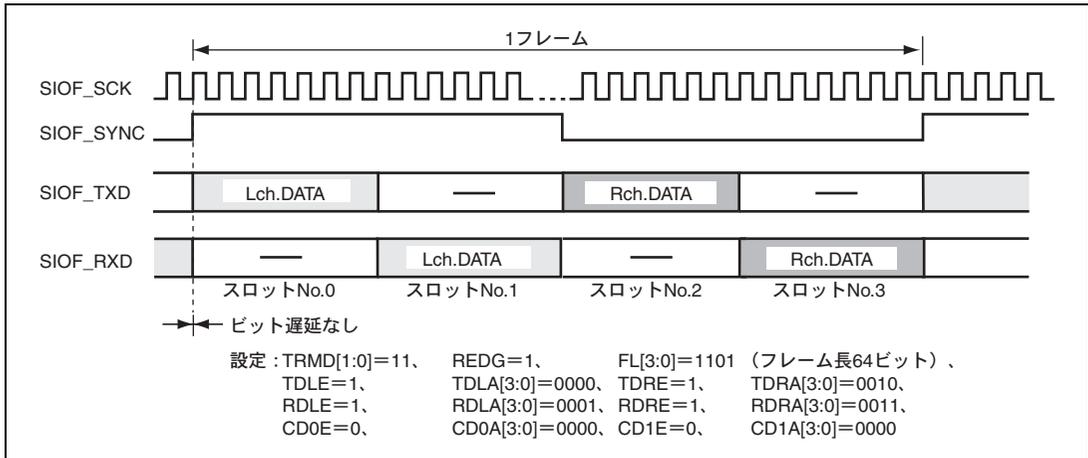


図 22.17 送受信タイミング (16 ビットステレオ-2)

## (6) 16 ビットステレオの場合 (その 3)

同期パルス方式、立ち下がりサンプリング、L チャンネルデータはスロット No.0、R チャンネルデータはスロット No.1、制御チャンネルデータ 0 はスロット No.2、制御チャンネルデータ 1 はスロット No.3、フレーム長は 128 ビット

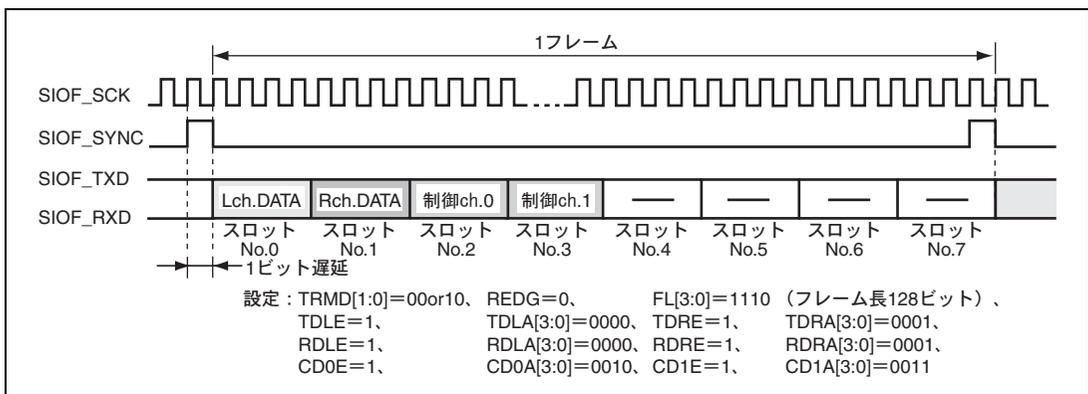


図 22.18 送受信タイミング (16 ビットステレオ-3)

## 22. シリアル I/O FIFO 付き (SIOF)

### (7) 16 ビットステレオの場合 (その 4)

同期パルス方式、立ち下がりサンプリング、Lチャンネルデータはスロット No.0、Rチャンネルデータはスロット No.2、制御チャンネルデータ 0 はスロット No.1、制御チャンネルデータ 1 はスロット No.3、フレーム長は 128 ビット

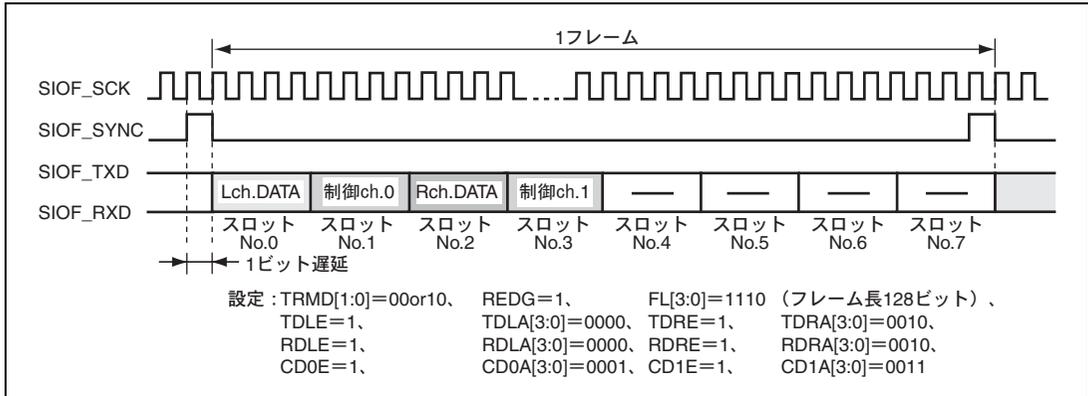


図 22.19 送受信タイミング (16 ビットステレオ-4)

### (8) 各スロット終了時に同期パルスを出力するモードの場合 (SYNCCAT ビットが 1 のとき)

同期パルス方式、立ち下がりサンプリング、Lチャンネルデータはスロット No.0、Rチャンネルデータはスロット No.1、制御チャンネルデータ 0 はスロット No.2、制御チャンネルデータ 1 はスロット No.3、フレーム長は 128 ビット

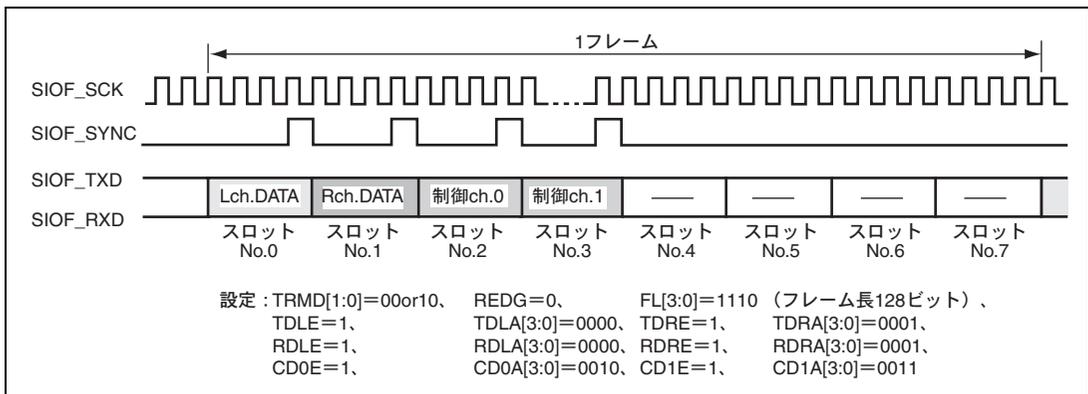


図 22.20 送受信タイミング (16 ビットステレオ)

---

## 23. シリアルプロトコルインタフェース (HSPI)

---

本 LSI は、シリアルプロトコルインタフェース (HSPI) を 1 チャンネル内蔵しています。

### 23.1 特長

HSPI には次のような特長があります。

- 動作モード：マスタモード、スレーブモード
- 送信部と受信部はダブルバッファ構造で、全二重通信が可能
- 周辺クロック分周機能により、広範囲のビットレートをサポート
- クロックのレジスタ設定により、2種類の送信プロトコルを設定でき、シリアルビットクロックの立ち上がりエッジまたは立ち下がりエッジのいずれかと同期した送信／受信機能を実現しています。
- 受信エラーに関しては、レシーブバッファのオーバフローを検出できます。
- マスタ設定のとき、データ転送中に自動的に、または手動でコントロールすることにより、スレーブモジュールに対するチップセレクト信号を生成できます。
- 送信データと受信データの両方を2つのDMAチャンネルを経由して独立してDMA転送することが可能です。

## 23. シリアルプロトコルインタフェース (HSPI)

図 23.1 に HSPI のブロック図を示します。

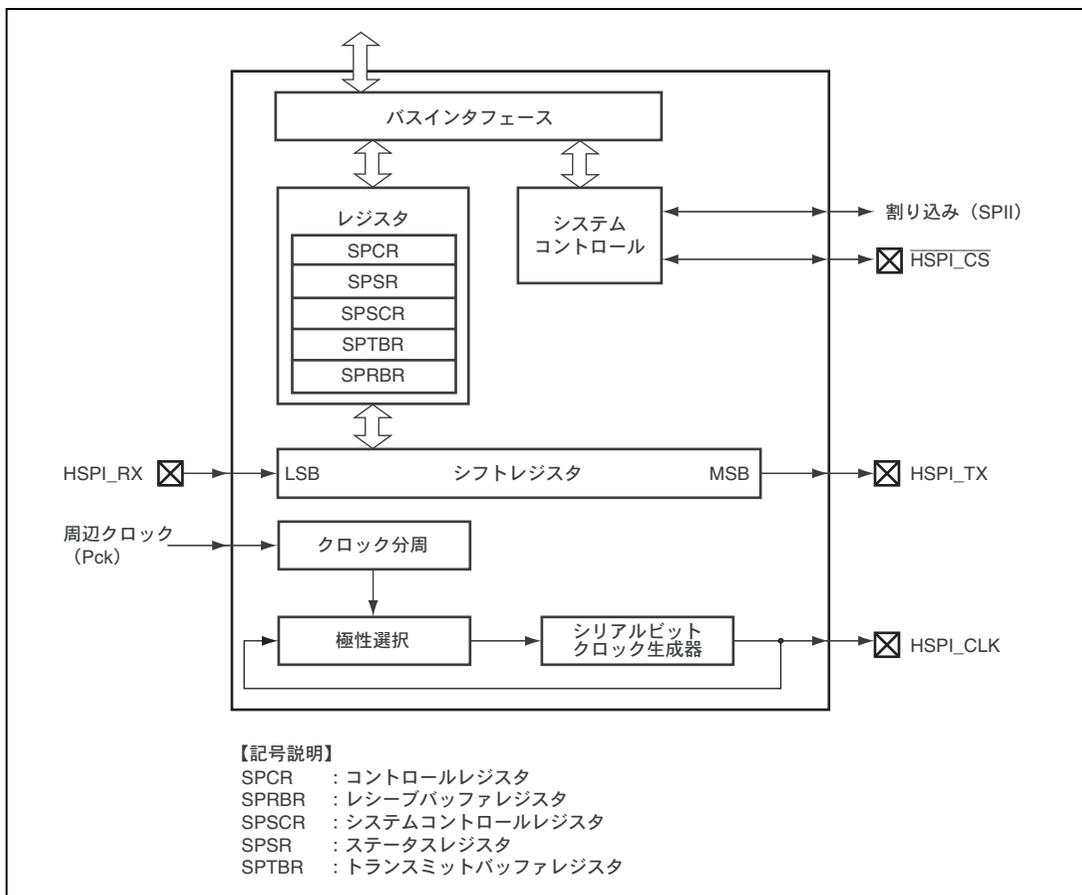


図 23.1 HSPI のブロック図

## 23.2 入出力端子

表 23.1 に HSPI の端子構成を示します。

表 23.1 端子構成

端子名	機能	入出力	説明
HSPI_CLK	シリアルクロック端子	入出力	クロック入出力
HSPI_TX	送信データ端子	出力	送信データ出力
HSPI_RX	受信データ端子	入力	受信データ入力
HSPI_CS	チップセレクト端子	入出力	チップセレクト

【注】 HSPI の端子は、SCIF チャネル 0、FLCTL、GPIO、モード制御端子とマルチプレクスされています。

## 23.3 レジスタの説明

HSPI のレジスタ構成を表 23.2 に示します。また、各処理モードにおけるレジスタの状態を表 23.3 に示します。

表 23.2 レジスタ構成

名称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
コントロールレジスタ	SPCR	R/W	H'FFE5 0000	H'1FE5 0000	32	Pck
ステータスレジスタ	SPSR	R/W*	H'FFE5 0004	H'1FE5 0004	32	Pck
システムコントロールレジスタ	SPSCR	R/W	H'FFE5 0008	H'1FE5 0008	32	Pck
トランスミットバッファレジスタ	SPTBR	R/W	H'FFE5 000C	H'1FE5 000C	32	Pck
レシーブバッファレジスタ	SPRBR	R	H'FFE5 0010	H'1FE5 0010	32	Pck

【注】 \* ビット 4、3 はフラグをクリアするための 0 書き込みが可能です。

表 23.3 各処理モードにおけるレジスタの状態

名称	略称	パワーオン リセット PRESET 端子/ WDT/H-UDI による	マニュアル リセット WDT/多重例外 による	スリープ SLEEP 命令 による	モジュール スタンバイ
コントロールレジスタ	SPCR	H'0000 0000	H'0000 0000	保持	保持
ステータスレジスタ	SPSR	H'xxxx xx20	H'xxxx xx20	保持	保持
システムコントロールレジスタ	SPSCR	H'0000 0040	H'0000 0040	保持	保持
トランスミットバッファレジスタ	SPTBR	H'0000 0000	H'0000 0000	保持	保持
レシーブバッファレジスタ	SPRBR	H'0000 0000	H'0000 0000	保持	保持

## 23. シリアルプロトコルインタフェース (HSPI)

### 23.3.1 コントロールレジスタ (SPCR)

SPCR は、32 ビットの読み出し／書き込み可能なレジスタで、転送データのシフトタイミングの制御、クロック極性、およびクロック周波数を設定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	FBS	CLKP	IDIV	CLKC4	CLKC3	CLKC2	CLKC1	CLKC0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~8	—	すべて 0	R	リザーブビットです。 読み出したときの値は不定です。書き込み値は常に 0 にしてください。
7	FBS	0	R/W	ファーストビットスタート 各ビットの転送されたデータとシリアルビットクロックの間のタイミングを制御します。 0 : HSPI から転送された最初のビットが、 $\overline{\text{HSPI\_CS}}$ 端子がローレベルになった後の最初の HSPI_CLK エッジで受信デバイスによりサンプルされるように設定します。同様に、受信した最初のビットが、 $\overline{\text{HSPI\_CS}}$ 端子がローレベルになった後の最初の HSPI_CLK エッジでサンプルされます。 1 : HSPI から転送された最初のビットが、 $\overline{\text{HSPI\_CS}}$ 端子がローレベルになった後の 2 番目の HSPI_CLK エッジで受信デバイスによりサンプルされるように設定します。同様に、受信した最初のビットが、 $\overline{\text{HSPI\_CS}}$ 端子がローレベルになった後の 2 番目の HSPI_CLK エッジでサンプルされます。
6	CLKP	0	R/W	シリアルクロック極性 0 : HSPI_CLK 信号は反転されず、インアクティブ期間中はローレベルです。 1 : HSPI_CLK 信号は反転され、インアクティブ期間中はハイレベルです。
5	IDIV	0	R/W	初期クロック分周比 0 : 初期化時、インタミディエイト周波数を生成するために周辺クロック (Pck) は 4 で分周され、マスタモード用のシリアルビットクロックを生成するためにさらに分周されます。 1 : 初期化時、インタミディエイト周波数を生成するために周辺クロック (Pck) は 32 で分周され、マスタモード用のシリアルビットクロックを生成するためにさらに分周されます。

## 23. シリアルプロトコルインタフェース (HSPI)

ビット	ビット名	初期値	R/W	説明
4	CLKC4	0	R/W	クロック分周カウント
3	CLKC3	0	R/W	シリアルビットクロックがハイレベルとローレベルの間中のインタミディエイト周波数サイクル数を設定します。
2	CLKC2	0	R/W	0000 : 1 インタミディエイト周波数サイクル。
1	CLKC1	0	R/W	シリアルビットクロック周波数は、インタミディエイト周波数/2
0	CLKC0	0	R/W	00001 : 2 インタミディエイト周波数サイクル。
				シリアルビットクロック周波数は、インタミディエイト周波数/4
				00010 : 3 インタミディエイト周波数サイクル。
				シリアルビットクロック周波数は、インタミディエイト周波数/6
				:
				:
				11111 : 32 インタミディエイト周波数サイクル。
				シリアルビットクロック周波数は、インタミディエイト周波数/64

シリアルビットクロック周波数は以下の計算式で求められます。

$$\text{シリアルビットクロック周波数} = \frac{\text{周辺クロック周波数}}{(\text{初期クロック分周比} \times (\text{クロック分周カウント} + 1) \times 2)}$$

HSPI がスレーブとして動作する場合、IDIV と CLKC ビットは無視され、HSPI は外部から供給されたシリアルビットクロックと同期します。動作可能な外部シリアルビットクロックの最大値は、周辺クロック (Pck) 周波数 /8 です。

FBS または CLKP、IDIV、CLKC ビットのいずれかが変更された場合、HSPI はソフトリセットされます。

### 23.3.2 ステータスレジスタ (SPSR)

SPSCR のステータスフラグにより、HSPI の動作状態を確認できます。

SPSCR の ROIE ビットが 1 に設定されている場合、レシーブバッファオーバーラン発生やレシーブバッファオーバーラン警告により割り込み要求を発生します。SPSCR の TFIE ビットが 1 に設定されている場合、送信完了フラグにより割り込み要求を発生します。SPSCR の該当イネーブルビットが 1 に設定されている場合、受信 FIFO ハーフウェイや受信 FIFO フル、送信 FIFO エンプティ、送信 FIFO ハーフウェイフラグにより割り込み要求を発生します。SPSCR の RNIE ビットが 1 に設定されていると、受信 FIFO が空ではない場合に割り込み要求を発生します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TXFU	TXHA	TXEM	RXFU	RXHA	RXEM	RXOO	RXOW	RXFL	TXFN	TXFL
初期値 :	—	—	—	—	—	0	0	1	0	0	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R/W*	R/W*	R	R	R

## 23. シリアルプロトコルインタフェース (HSPI)

ビット	ビット名	初期値	R/W	説明
31~11	—	不定	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に0にしてください。
10	TXFU	0	R	送信 FIFO フルフラグ 本ステータスフラグはFIFOモード時の動作にのみ適用されます。送信FIFOが送信データでいっぱいになり、次の送信データを受け付けなくなったときにこのフラグはセットされます。送信データが転送のためにHSPIバスに出力されたときにこのフラグはクリアされます。
9	TXHA	0	R	送信 FIFO ハーフウェイフラグ 本ステータスフラグはFIFOモード時の動作にのみ適用されます。送信FIFOが中間点に到達したとき、つまり、4バイトに送信データを格納し、4バイトが空いている状態のときにこのフラグはセットされます。送信FIFOにさらにデータが書き込まれたときにこのフラグはクリアされます。次に続くFIFOレベルが中間点より下回っても、このフラグは中間点より上回るまではセットされたままです。 TXHA=1 かつ THIE=1 のとき、割り込みが発生します。
8	TXEM	1	R	送信 FIFO エンプティフラグ 本ステータスフラグはFIFOモード時の動作にのみ適用されます。送信FIFOに送信データが入ってないときにこのフラグはセットされます。送信FIFOにデータが書き込まれたときにこのフラグはクリアされます。 TXEM=1 かつ TEIE=1 のとき、割り込みが発生します。
7	RXFU	0	R	受信 FIFO フルフラグ 本ステータスフラグはFIFOモード時の動作にのみ適用されます。受信FIFOが受信データでいっぱいになり、次の受信データを受け付けなくなったときにこのフラグはセットされます。受信FIFOからデータが読み出されたときにこのフラグはクリアされます。 RXFU=1 かつ RFIE=1 のとき、割り込みが発生します。
6	RXHA	0	R	受信 FIFO ハーフウェイフラグ 本ステータスフラグはFIFOモード時の動作にのみ適用されます。受信FIFOが中間点に到達したとき、つまり、4バイトに受信データを格納し、4バイトが空いている状態のときにこのフラグはセットされます。受信FIFOを読み出し、4バイト(中間点)を下回った場合にフラグはクリアされます。 RXHA=1 かつ RHIE=1 のとき、割り込みが発生します。
5	RXEM	1	R	受信 FIFO エンプティフラグ 本ステータスフラグはFIFOモード時の動作にのみ適用されます。受信FIFOに受信データが入ってないときにこのフラグはセットされます。受信FIFOにデータが書き込まれたときにこのフラグはクリアされます。 RXEM=1 かつ RNIE=1 のとき、割り込みが発生します。

## 23. シリアルプロトコルインタフェース (HSPI)

ビット	ビット名	初期値	R/W	説 明
4	RXOO	0	R/W*	<p>レシーブバッファオーバーラン発生フラグ</p> <p>新しいデータを受信したが、前の受信データが HSPI の SPRBR からまだ読み出されていないときにこのフラグはセットされます。新しく受信したデータは、前に受信したデータを上書きしません。RXOO フラグは、対応するビット位置への 0 の書き込みでリセットされるまで、1 のままです。</p> <p>RXOO=1 かつ ROIE=1 のとき、割り込みが発生します。</p>
3	RXOW	0	R/W*	<p>レシーブバッファオーバーラン警告フラグ</p> <p>新しいシリアルデータ転送が開始されたのに、前の受信データが HSPI の SPRBR からまだ読み出されていないときにこのフラグはセットされます。</p> <p>RXOW フラグは、対応するビット位置への 0 の書き込みでリセットされるまで、1 のままです。</p> <p>RXOW=1 かつ ROIE=1 のとき、割り込みが発生します。</p>
2	RXFL	0	R	<p>レシーブバッファフルステータスフラグ</p> <p>本ステータスフラグは、SPRBR に読み出されていない新しいデータが格納されていることを示します。シリアルバス転送の終わりの方で、シフトレジスタ内容がレシーブバッファにロードされた時点でこのフラグはセットされます。SPRBR を読み出すことで、このビットをリセットできます。</p> <p>RXFL=1 かつ RXDE=1 のとき、DMA 転送要求を許可します。</p>
1	TXFN	0	R	<p>送信完了ステータスフラグ</p> <p>本ステータスフラグは、最後の転送が完了したことを示します。SPTBR が周辺バスからデータを受信できるようになったときにこのフラグはセットされます。SPTBR にデータを書き込むことで、このビットをリセットできます。</p> <p>TXFN=1 かつ TFIE=1 のとき、割り込みが発生します。</p>
0	TXFL	0	R	<p>トランスミットバッファフルステータスフラグ</p> <p>本ステータスフラグは、SPTBR に送信していないデータがあることを示します。周辺バスからのデータが SPTBR に書き込まれたときにこのフラグはセットされます。SPTBR が周辺バスからのデータを受信できるようになったときにこのビットはリセットされます。</p> <p>TXFL=0 (すなわち、トランスミットバッファが空のとき) かつ TXDE=1 のとき、DMA 転送要求を許可します。</p>

【注】 \* 読み出し/書き込み可能です。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

## 23. シリアルプロトコルインタフェース (HSPI)

### 23.3.3 システムコントロールレジスタ (SPSCR)

SPSCR は、読み出し／書き込み可能な 32 ビットのレジスタで、割り込みまたは FIFO モードの制御、データを送受信するときの LSB/MSB ファーストの選択、ソフトリセットの発生を行うことができます。

FFEN または LMSB、CSA、MASL ビットのいずれかが変更された場合、HSPI はソフトリセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TEIE	THIE	RNIE	RHIE	RFIE	FFEN	LMSB	CSV	CSA	TFIE	ROIE	RXDE	TXDE	MASL
初期値:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
R/W:	R	R	W	W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて 0	R	リザーブビット 読み出したときの値は不定です。書き込む値は常に 0 にしてください。
13	TEIE	0	W	送信 FIFO エンプティ割り込みイネーブル 0: 送信 FIFO エンプティ割り込みを禁止 1: 送信 FIFO エンプティ割り込みを許可 このレジスタは書き込みのみ可能なレジスタです。読み出し値は不定です。
12	THIE	0	W	送信 FIFO ハーフウェイ割り込みイネーブル 0: 送信 FIFO ハーフウェイ割り込みを禁止 1: 送信 FIFO ハーフウェイ割り込みを許可 このレジスタは書き込みのみ可能なレジスタです。読み出し値は不定です。
11	RNIE	0	R/W	受信 FIFO ノットエンプティ割り込みイネーブル 0: 受信 FIFO ノットエンプティ割り込みを禁止 1: 受信 FIFO ノットエンプティ割り込みを許可
10	RHIE	0	R/W	受信 FIFO ハーフウェイ割り込みイネーブル 0: 受信 FIFO ハーフウェイ割り込みを禁止 1: 受信 FIFO ハーフウェイ割り込みを許可
9	RFIE	0	R/W	受信 FIFO フル割り込みイネーブル 0: 受信 FIFO フル割り込みを禁止 1: 受信 FIFO フル割り込みを許可

## 23. シリアルプロトコルインタフェース (HSPI)

ビット	ビット名	初期値	R/W	説明
8	FFEN	0	R/W	<p>FIFO モードイネーブル</p> <p>FIFO モードを許可/禁止します。FIFO モードが許可されているとき、送信データと受信データのためにそれぞれ1つずつ8エントリ FIFO が使用可能になります。これらの FIFO は、SPTBR と SPRBR 経由で読み出しと書き込みができます。FIFO モードが禁止されているとき、存在する SPTBR と SPRBR が直接使われるため、HSPI バス上のすべての転送ごとに新しいデータを SPTBR に書き込んだり、SPRBR から読み出ししたりする必要があります。SPTBR と SPRBR のために DMA 要求が使われる場合、FIFO モードを禁止しておく必要があります。</p> <p>0: FIFO モードを禁止 1: FIFO モードを許可</p>
7	LMSB	0	R/W	<p>LSB/MSB ファーストコントロール</p> <p>0: データの送受信は MSB ファースト 1: データの送受信は LSB ファースト</p>
6	CSV	1	R/W	<p>チップセレクト値</p> <p>HSPI がマスタで、チップセレクト生成が選択されているとき、このビットがチップセレクト出力値をコントロールします。</p> <p>0: チップセレクト出力がローレベル 1: チップセレクト出力がハイレベル</p>
5	CSA	0	R/W	<p>自動/手動チップセレクト</p> <p>0: チップセレクト出力をデータ転送中に自動生成 1: チップセレクト出力を手動でコントロールし、CSV ビットが値を決定</p>
4	TFIE	0	R/W	<p>送信完了割り込みイネーブル</p> <p>0: 送信完了割り込みを禁止 1: 送信完了割り込みを許可</p>
3	ROIE	0	R/W	<p>レシーブオーバラン発生/警告割り込みイネーブル</p> <p>0: レシーブオーバラン発生/警告割り込みを禁止 1: レシーブオーバラン発生/警告割り込みを許可</p>
2	RXDE	0	R/W	<p>レシーブ DMA イネーブル</p> <p>0: レシーブ DMA の転送要求を禁止 1: レシーブ DMA の転送要求を許可</p>
1	TXDE	0	R/W	<p>トランスミット DMA イネーブル</p> <p>0: トランスミット DMA の転送要求を禁止 1: トランスミット DMA の転送要求を許可</p>
0	MASL	0	R/W	<p>マスタ/スレーブセレクト</p> <p>0: HSPI はスレーブとして動作 1: HSPI はマスタとして動作</p>

## 23. シリアルプロトコルインタフェース (HSPI)

### 23.3.4 トランスミットバッファレジスタ (SPTBR)

SPTBR は、読み出し／書き込み可能な 32 ビットのレジスタで、送信するデータを格納します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TD							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W							

ビット	ビット名	初期値	R/W	説明
31～8	—	すべて 0	R	リザーブビット 読み出したときの値は不定です。書き込み値は常に 0 にしてください。
7～0	TD	すべて 0	R/W	送信データ これらのビットに書き込まれたデータは送信のためのシフトレジスタに転送されます。 読み出し時には、送信バッファに格納されているデータが読み出されます。

### 23.3.5 レシーブバッファレジスタ (SPRBR)

SPRBR は、読み出し専用の 32 ビットのレジスタで、受信したデータ数を格納します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RD							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～8	—	すべて 0	R	リザーブビット 読み出したときの値は不定です。書き込み値は常に 0 にしてください。
7～0	RD	すべて 0	R	受信データ 前回受信したデータの読み出しが完了しているならば、1 バイトを受信するごとにシフトレジスタからデータがこれらのビットに格納されます。

## 23.4 動作説明

### 23.4.1 DMA を使用しない場合 (FIFO モード無効時) の動作

図 23.2 に送信／受信動作の手順フローを示します。

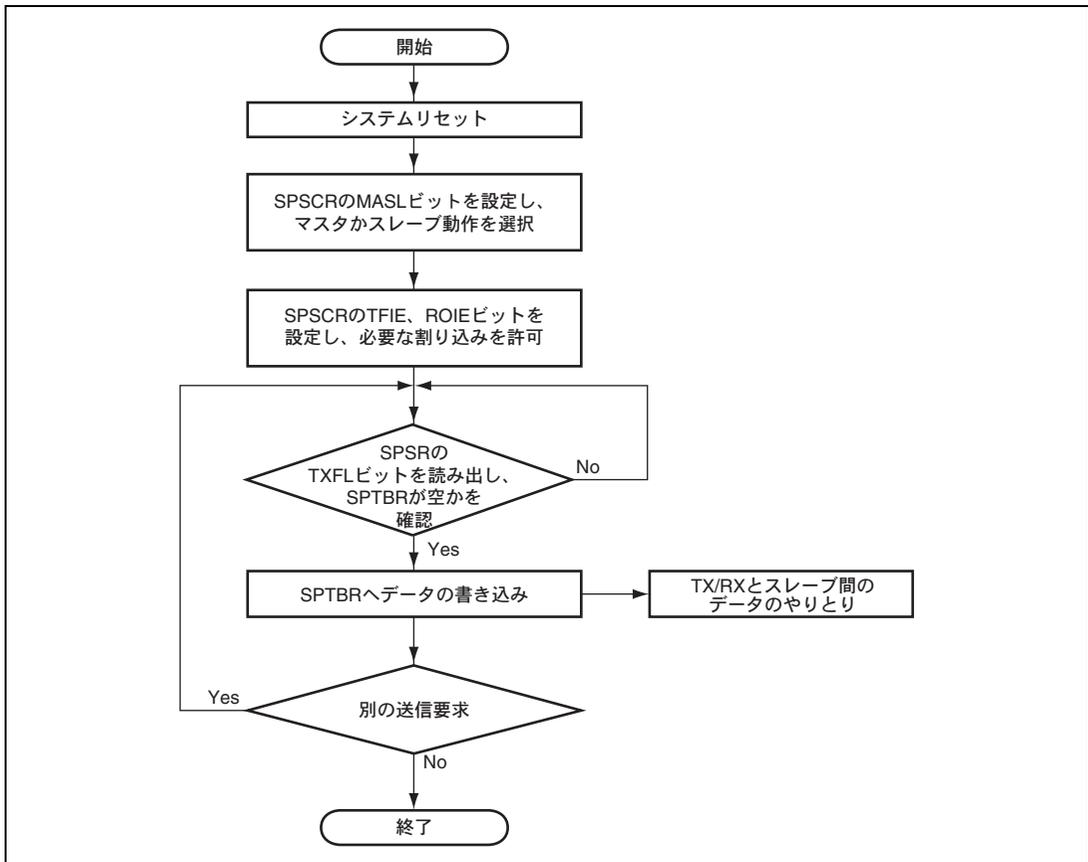


図 23.2 動作フローチャート

マスタは SPCR の設定により HSPI\_CLK の立ち下がりか立ち上がりエッジでスレーブにデータを送信し、反対のエッジでスレーブからのデータをサンプリングします。マスタとスレーブ間のデータ転送は、SPSR の TXFN ビット (送信完了ステータスフラグ) が 1 にセットされたときに終了します。HSPI モジュールが受信専用 (スルデータ送信中) に設定されている場合にでも、TXFN ビットを使えば、HSPI 転送イベント (バイト送信とバイト受信) がいつ発生したかを調べることができます。データ送信方式のデフォルトは MSB ファーストですが、SPSCR の LMSB ビットの設定によっては、LSB ファーストも可能です。

送信動作中のスレーブは、マスタからの HSPI\_CLK 出力と同期して、マスタにデータを送信しています。スレーブから送信されたデータはサンプリングされたあとでシフトレジスタに転送され、送信完了時には SPRBR に転送されます。

## 23. シリアルプロトコルインタフェース (HSPI)

---

HSPI がスレーブとして動作する場合、 $\overline{\text{HSPI\_CS}}$  端子を用いて HSPI を選択し、外部マスタからのデータを受信できるように準備します。SPCR の FBS ビットが 0 のとき、バイトデータとバイトデータの間は  $\overline{\text{HSPI\_CS}}$  端子をハイレベルに保持する必要があります (1 バイト転送後には、 $\overline{\text{HSPI\_CS}}$  端子をハイレベルにする必要があります)。FBS=1 のとき、複数バイトの送信期間なら、 $\overline{\text{HSPI\_CS}}$  端子がローレベルでも問題ありません。常に FBS=1 となるようにシステムが構成されている場合、 $\overline{\text{HSPI\_CS}}$  端子をグランドに固定できます (ただし、HSPI がスレーブとして動作する場合にのみ限られます)。

### 23.4.2 DMA を使用する場合の動作

HSPI の動作は、DMA を使わないときより DMA を使ってデータの送受信を行うときの方が簡略化されます。HSPI は、DMA を使わない転送の場合と同じように設定されます。FIFO モードは必ず無効にしてください。次に、DMA コントローラ (DMAC) が要求されたデータ量を転送するように設定します。これにより、DMA 要求は HSPI で有効になり、さらに操作しなくても転送が実行されます。

DMAC がすべての転送が終了したことを通知してきたら、残っている DMA 要求をクリアするために HSPI の DMA 要求信号を無効にしなくてはなりません。これを行わないと、HSPI は常に送信するデータを要求し続けます。

### 23.4.3 FIFO モード有効時の動作

DMA モードを使用しない場合のプロセッサの割り込みオーバーヘッドを低減するために FIFO モードが用意されています。FIFO モード有効時、送信前に最大 8 バイトのデータが書き込みでき、受信 FIFO からの読み出し前に最大 8 バイトのデータを受信できます。HSPI モジュールと外部デバイス間で、決められたデータ量を転送する場合、以下の手順にしたがってください。

1. 要求された HSPI 転送特性 (マスタ/スレーブ、クロック極性等) を満足できるようにモジュールをセットアップし、FIFO モードを有効にします。
2. SPTBR 経由で送信 FIFO にバイトデータを書き込みます。8 バイトより多いデータを送信する場合は、データ送信時の FIFO レベルが分かるように送信 FIFO ハーフウェイ割り込みを許可します。
3. 送信 FIFO ハーフウェイ割り込みが発生したら、送信 FIFO にさらにデータを書き込み、SPRBR 経由で受信 FIFO からデータを読み出します。
4. すべての送信データを送信 FIFO に書き込んだら、送信 FIFO ハーフウェイ割り込みを禁止し、受信 FIFO が空になるまでデータを読み出します。送信された最後のバイトデータがいつ受信されたかが分かるように受信 FIFO ノットエンプティ割り込みを許可します。
5. 予定されているデータの受信が完了するまでは、受信 FIFO ノットエンプティ割り込みには対処します。
6. 次に使うときまでモジュールを無効にします。

アプリケーションによっては、外部の HSPI デバイスから未定量のデータを受信することもあります。この場合は、以下の手順にしたがってください。

1. 要求されたHSPI転送特性（マスタ/スレーブ、クロック極性等）を満足できるようにモジュールをセットアップし、FIFOモードを有効にします。
2. 送信するデータを送信FIFOに書き込みます。受信FIFOが空になるまでデータを許可します。
3. 受信FIFOが空になるまで受信FIFOが空になるまでデータを読み出します。必要に応じて、さらにデータを送信FIFOに書き込みます。
4. 送信が停止するときにモジュールを無効にします。

### 23.4.4 タイミング図

HSPI のシフトとサンプリング処理におけるタイミング関係を以下の図で示します。図 23.3 に SPCR の FBS ビットが 0 のときの状態、図 23.4 に SPCR の FBS ビットが 1 のときの状態を示します。これらの図からも分かるように、SPCR の CLKP ビットが 0 のとき、送信データは HSPI\_CLK の立ち下がりエッジでシフトされ、受信データは立ち上がりエッジでサンプリングされます。逆のことが、CLKP ビットが 1 のときに起こります。

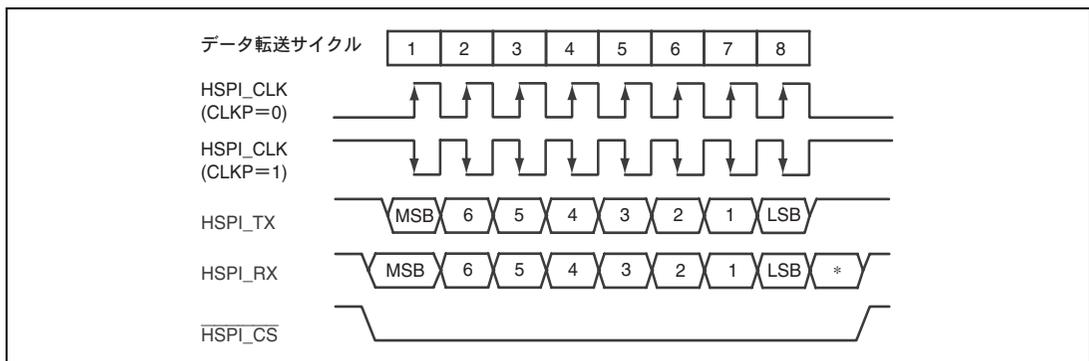


図 23.3 FBS=0 のときのタイミング

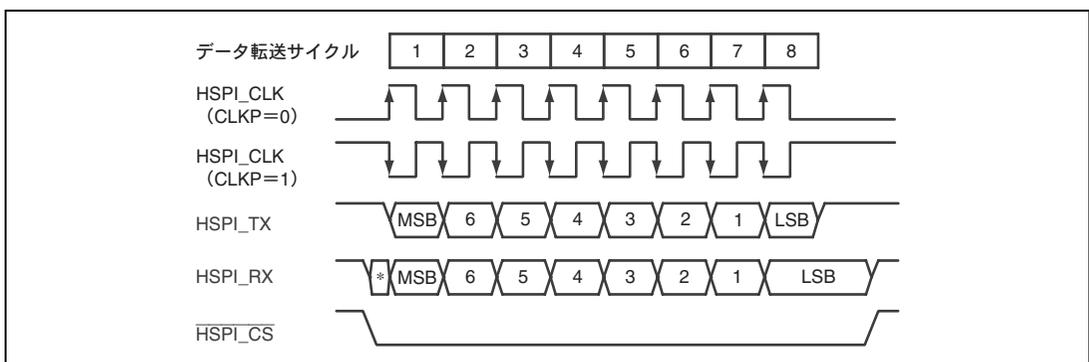


図 23.4 FBS=1 のときのタイミング

## 23. シリアルプロトコルインタフェース (HSPI)

---

### 23.4.5 ソフトリセット

ソフトリセットにより、モジュールを決められた状態に戻し、受信と送信 FIFO ポインタを初期化することができます。SPCR と SPSCR の割り込み/DMA イネーブルビットとチップセレクト値 (CSV) ビットを除いたコントロールビットが変化したときにソフトリセットは発生します。

HSPI がスレーブモード時にマスタデバイスがデータ転送中の場合を除いて  $\overline{\text{HSPI\_CS}}$  をローレベルにする場合、ソフトリセット後に CS を設定し直してください。これにより、データの誤った受信を防ぐことができます。

### 23.4.6 クロック極性と送信制御

SPCR を使って、転送データのシフトタイミングと極性を設定できます。SPCR の FBS ビットで異なる 2 つの転送方式から選択できます。MSB または LSB は、 $\overline{\text{HSPI\_CS}}$  の立ち下がりエッジで有効になります。SPCR の CLKP ビットを使って、マスタとスレーブで HSPI\_CLK の立ち上がりエッジと立ち下がりエッジのどちらでデータをシフトしてサンプリングするかを制御する極性選択ブロックを制御できます。

### 23.4.7 送信と受信ルーチン

接続されたマスタとスレーブは、HSPI\_CLK に同期した巡回シフトレジスタとして機能すると考えることができます。マスタからの送信バイトは、8 HSPI\_CLK サイクルでスレーブからの受信バイトと交換されます。送信部、および受信部ともにダブルバッファ構造になっていますので連続読み出し/書き込みができます。FIFO モード有効時、送信データと受信データのために 8 エントリ FIFO があります。

HSPI はバスクロックに同期して動作します。

モジュールスタンバイモード（低消費電力モード）への遷移は、スタンバイコントロールレジスタ (MSTPCR) の MSTP2 ビットで制御します。MSTPCR については、「第 17 章 低消費電力モード」を参照してください。

モジュールスタンバイモードに入るには以下の手順に従って行ってください。

1. すべてのデータ転送が行われたかを確認します。すなわち、トランスミットバッファ（またはFIFO）が空で、レシーブバッファ（またはFIFO）が空になるまで読み出されている必要があります。
2. すべてのDMA要求と割り込み要求を禁止します。FIFOモードも無効にします。
3. スタンバイコントロールレジスタ (MSTPCR) のMSTP2ビットを1にセットします。

HSPI を起動するには、スタンバイコントロールレジスタ (MSTPCR) の MSTP2 ビットに 0 を書き込んでください。

---

## 24. マルチメディアカードインタフェース (MMCIF)

---

本 LSI は、マルチメディアカードインタフェース (MMCIF) を内蔵しており、カードインタフェースとして、MMC モードのインタフェースが使用可能です。MMCIF は、クロック同期のシリアルインタフェースで、コマンド/レスポンスとデータを区別して通信します。マルチメディアカードでは、いくつかのコマンド/レスポンスのタイプが定義されています。MMCIF は、コマンド発行時に、コマンドコードとコマンドタイプ/レスポンスタイプを設定する構成になっているため、現在定義されているコマンドタイプ/レスポンスタイプの組み合わせの範囲内なら、セキュアマルチメディアカード (Secure-MMC) で拡張されたコマンドや将来のコマンドの追加にも対応が可能です。

### 24.1 特長

MMCIF には次のような特長があります。

- The MultiMediaCard System Specification Version3.1に対応したインタフェース
- MMCモードに対応
- データ転送用FIFOを16ビット64段搭載
- DMA転送に対応
- 割り込み要因：4種類

FIFOエンプティ/フル (FSTAT)、コマンド/レスポンス/データ転送完了 (TRAN)、転送エラー (ERR)、FIFOレディ (FRDY)

- MCCLK出力 (転送クロック出力) 端子、MCCMD入出力 (コマンド出力/レスポンス入力) 端子、MCDAT入出力 (データ入出力) 端子によるインタフェース

## 24. マルチメディアカードインタフェース (MMCIF)

図 24.1 に MMCIF のブロック図を示します。

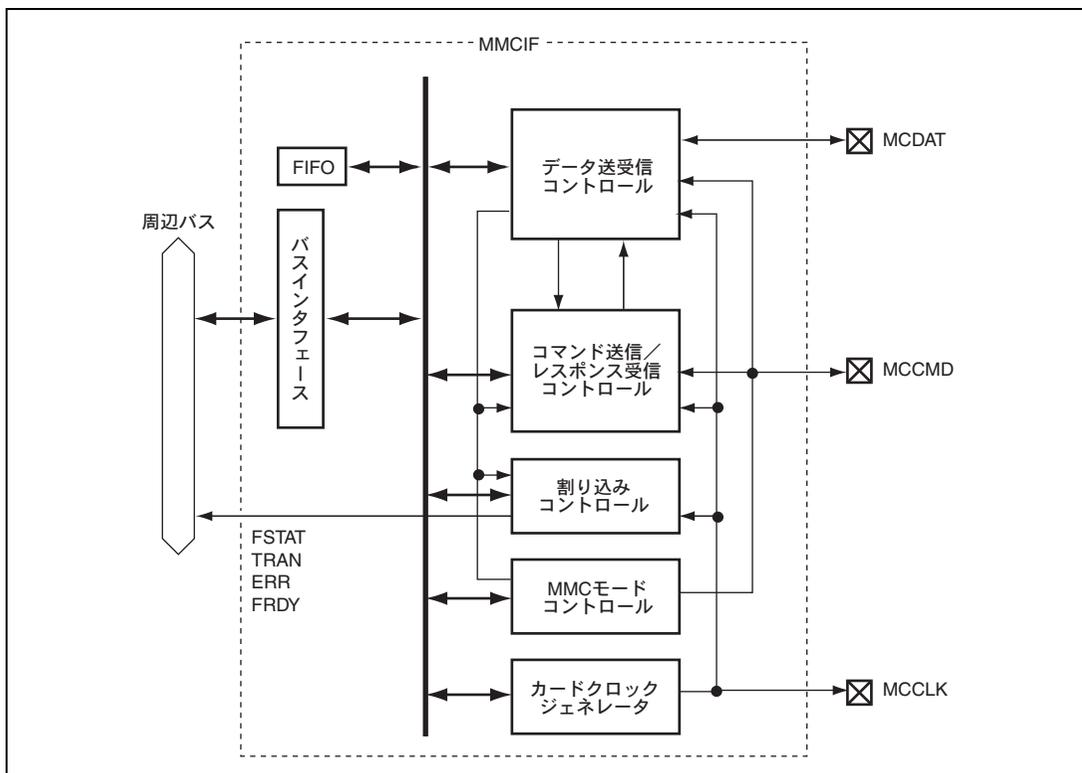


図 24.1 MMCIF のブロック図

## 24.2 入出力端子

MMCIF の端子構成を表 24.1 に示します。

表 24.1 端子構成

名 称	入出力	機 能
MCCLK	出力	カードクロック出力
MCCMD	入出力	コマンド出力/レスポンス入力
MCDAT	入出力	データ入出力

- 【注】
1. カードの挿抜、オープンドレイン/CMOS モードの切り替え信号等は、本 LSI の GPIO (汎用入出力ポート) をご利用ください。
  2. これらの端子は SCIF チャネル 1、GPIO、モード制御端子とマルチプレクスされています。

## 24.3 レジスタの説明

MMCIF のレジスタ構成を表 24.2 に示します。また、各処理モードにおけるレジスタの状態を表 24.3 に示します。

表 24.2 レジスタ構成

名 称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
コマンドレジスタ 0	CMDR0	R/W	H'FFE6 0000	H'1FE6 0000	8	Pck
コマンドレジスタ 1	CMDR1	R/W	H'FFE6 0001	H'1FE6 0001	8	Pck
コマンドレジスタ 2	CMDR2	R/W	H'FFE6 0002	H'1FE6 0002	8	Pck
コマンドレジスタ 3	CMDR3	R/W	H'FFE6 0003	H'1FE6 0003	8	Pck
コマンドレジスタ 4	CMDR4	R/W	H'FFE6 0004	H'1FE6 0004	8	Pck
コマンドレジスタ 5	CMDR5	R	H'FFE6 0005	H'1FE6 0005	8	Pck
コマンドスタートレジスタ	CMDSTRT	R/W	H'FFE6 0006	H'1FE6 0006	8	Pck
オペレーションコントロールレジスタ	OPCR	R/W	H'FFE6 000A	H'1FE6 000A	8	Pck
カードステータスレジスタ	CSTR	R	H'FFE6 000B	H'1FE6 000B	8	Pck
割り込みコントロールレジスタ 0	INTCR0	R/W	H'FFE6 000C	H'1FE6 000C	8	Pck
割り込みコントロールレジスタ 1	INTCR1	R/W	H'FFE6 000D	H'1FE6 000D	8	Pck
割り込みステータスレジスタ 0	INTSTR0	R/W	H'FFE6 000E	H'1FE6 000E	8	Pck
割り込みステータスレジスタ 1	INTSTR1	R/W	H'FFE6 000F	H'1FE6 000F	8	Pck
転送クロックコントロールレジスタ	CLKON	R/W	H'FFE6 0010	H'1FE6 0010	8	Pck
コマンドタイムアウトコントロールレジスタ	CTOCR	R/W	H'FFE6 0011	H'1FE6 0011	8	Pck
転送バイト数カウントレジスタ	TBCR	R/W	H'FFE6 0014	H'1FE6 0014	8	Pck
モードレジスタ	MODER	R/W	H'FFE6 0016	H'1FE6 0016	8	Pck
コマンドタイプレジスタ	CMDTYR	R/W	H'FFE6 0018	H'1FE6 0018	8	Pck
レスポンスタイプレジスタ	RSPTYR	R/W	H'FFE6 0019	H'1FE6 0019	8	Pck
転送ブロック数カウンタ	TBNCR	R/W	H'FFE6 001A	H'1FE6 001A	16	Pck

## 24. マルチメディアカードインタフェース (MMCIF)

名 称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ	同期 クロック
レスポンスレジスタ 0	RSPR0	R/W	H'FFE6 0020	H'1FE6 0020	8	Pck
レスポンスレジスタ 1	RSPR1	R/W	H'FFE6 0021	H'1FE6 0021	8	Pck
レスポンスレジスタ 2	RSPR2	R/W	H'FFE6 0022	H'1FE6 0022	8	Pck
レスポンスレジスタ 3	RSPR3	R/W	H'FFE6 0023	H'1FE6 0023	8	Pck
レスポンスレジスタ 4	RSPR4	R/W	H'FFE6 0024	H'1FE6 0024	8	Pck
レスポンスレジスタ 5	RSPR5	R/W	H'FFE6 0025	H'1FE6 0025	8	Pck
レスポンスレジスタ 6	RSPR6	R/W	H'FFE6 0026	H'1FE6 0026	8	Pck
レスポンスレジスタ 7	RSPR7	R/W	H'FFE6 0027	H'1FE6 0027	8	Pck
レスポンスレジスタ 8	RSPR8	R/W	H'FFE6 0028	H'1FE6 0028	8	Pck
レスポンスレジスタ 9	RSPR9	R/W	H'FFE6 0029	H'1FE6 0029	8	Pck
レスポンスレジスタ 10	RSPR10	R/W	H'FFE6 002A	H'1FE6 002A	8	Pck
レスポンスレジスタ 11	RSPR11	R/W	H'FFE6 002B	H'1FE6 002B	8	Pck
レスポンスレジスタ 12	RSPR12	R/W	H'FFE6 002C	H'1FE6 002C	8	Pck
レスポンスレジスタ 13	RSPR13	R/W	H'FFE6 002D	H'1FE6 002D	8	Pck
レスポンスレジスタ 14	RSPR14	R/W	H'FFE6 002E	H'1FE6 002E	8	Pck
レスポンスレジスタ 15	RSPR15	R/W	H'FFE6 002F	H'1FE6 002F	8	Pck
レスポンスレジスタ 16	RSPR16	R/W	H'FFE6 0030	H'1FE6 0030	8	Pck
CRC ステータスレジスタ	RSPRD	R/W	H'FFE6 0031	H'1FE6 0031	8	Pck
データタイムアウトレジスタ	DTOUTR	R/W	H'FFE6 0032	H'1FE6 0032	16	Pck
データレジスタ	DR	R/W	H'FFE6 0040	H'1FE6 0040	16	Pck
FIFO ボイntagクリアレジスタ	FIFOCLR	W	H'FFE6 0042	H'1FE6 0042	8	Pck
DMA コントロールレジスタ	DMACR	R/W	H'FFE6 0044	H'1FE6 0044	8	Pck
割り込みコントロールレジスタ 2	INTCR2	R/W	H'FFE6 0046	H'1FE6 0046	8	Pck
割り込みステータスレジスタ 2	INTSTR2	R/W	H'FFE6 0048	H'1FE6 0048	8	Pck

表 24.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	モジュール スタンバイ
コマンドレジスタ 0	CMDR0	H'00	H'00	保持	保持
コマンドレジスタ 1	CMDR1	H'00	H'00	保持	保持
コマンドレジスタ 2	CMDR2	H'00	H'00	保持	保持
コマンドレジスタ 3	CMDR3	H'00	H'00	保持	保持
コマンドレジスタ 4	CMDR4	H'00	H'00	保持	保持
コマンドレジスタ 5	CMDR5	H'00	H'00	保持	保持
コマンドスタートレジスタ	CMDSTRT	H'00	H'00	保持	保持
オペレーションコントロールレジスタ	OPCR	H'00	H'00	保持	保持

## 24. マルチメディアカードインタフェース (MMCIF)

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	モジュール スタンバイ
カードステータスレジスタ	CSTR	H'0x	H'0x	保持	保持
割り込みコントロールレジスタ 0	INTCR0	H'00	H'00	保持	保持
割り込みコントロールレジスタ 1	INTCR1	H'00	H'00	保持	保持
割り込みステータスレジスタ 0	INTSTR0	H'00	H'00	保持	保持
割り込みステータスレジスタ 1	INTSTR1	H'00	H'00	保持	保持
転送クロックコントロールレジスタ	CLKON	H'00	H'00	保持	保持
コマンドタイムアウトコントロールレジスタ	CTOCR	H'00	H'00	保持	保持
転送バイト数カウントレジスタ	TBCR	H'00	H'00	保持	保持
モードレジスタ	MODER	H'00	H'00	保持	保持
コマンドタイプレジスタ	CMDTYR	H'00	H'00	保持	保持
レスポンスタイプレジスタ	RSPTYR	H'00	H'00	保持	保持
転送ブロック数カウンタ	TBNCR	H'0000	H'0000	保持	保持
レスポンスレジスタ 0	RSPR0	H'00	H'00	保持	保持
レスポンスレジスタ 1	RSPR1	H'00	H'00	保持	保持
レスポンスレジスタ 2	RSPR2	H'00	H'00	保持	保持
レスポンスレジスタ 3	RSPR3	H'00	H'00	保持	保持
レスポンスレジスタ 4	RSPR4	H'00	H'00	保持	保持
レスポンスレジスタ 5	RSPR5	H'00	H'00	保持	保持
レスポンスレジスタ 6	RSPR6	H'00	H'00	保持	保持
レスポンスレジスタ 7	RSPR7	H'00	H'00	保持	保持
レスポンスレジスタ 8	RSPR8	H'00	H'00	保持	保持
レスポンスレジスタ 9	RSPR9	H'00	H'00	保持	保持
レスポンスレジスタ 10	RSPR10	H'00	H'00	保持	保持
レスポンスレジスタ 11	RSPR11	H'00	H'00	保持	保持
レスポンスレジスタ 12	RSPR12	H'00	H'00	保持	保持
レスポンスレジスタ 13	RSPR13	H'00	H'00	保持	保持
レスポンスレジスタ 14	RSPR14	H'00	H'00	保持	保持
レスポンスレジスタ 15	RSPR15	H'00	H'00	保持	保持
レスポンスレジスタ 16	RSPR16	H'00	H'00	保持	保持
CRC ステータスレジスタ	RSPRD	H'00	H'00	保持	保持
データタイムアウトレジスタ	DTOUTR	H'FFFF	H'FFFF	保持	保持
データレジスタ	DR	H'xxxx	H'xxxx	保持	保持
FIFO ポインタクリアレジスタ	FIFOCLR	H'00	H'00	保持	保持
DMA コントロールレジスタ	DMACR	H'00	H'00	保持	保持
割り込みコントロールレジスタ 2	INTCR2	H'00	H'00	保持	保持
割り込みステータスレジスタ 2	INTSTR2	H'0x	H'0x	保持	保持

## 24. マルチメディアカードインタフェース (MMCIF)

### 24.3.1 コマンドレジスタ 0~5 (CMDR0~CMDR5)

CMDR は、6個の8ビットレジスタです。CMDR には表 24.4 のようにコマンドを書き込み、CMDSTRT の START ビットを 1 にセットすることによりコマンドを送出します。

表 24.4 CMDR の構成

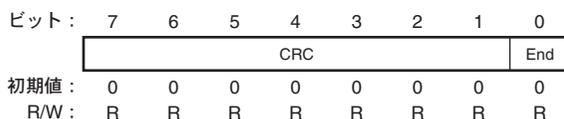
レジスタ	内容	操 作
CMDR0~CMDR4	コマンド引数	コマンド引数書き込み
CMDR5	CRC、End ビット	CRC、End ビットは自動設定のため設定不要。 CMDR5 のリード値は 0 ですが、MMCIF にて自動的に設定し、送信します。

#### (1) CMDR0~CMDR4



ビット	ビット名	初期値	R/W	説 明
7~0	(コマンド引数)	すべて 0	R/W	コマンド引数 MMC カード側の仕様をご参照ください。 コマンド送信時は CMDR0 の MSB から CMDR5 の LSB まで順番に送信されます。

#### (2) CMDR5



ビット	ビット名	初期値	R/W	説 明
7~1	CRC	すべて 0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	End	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 24.3.2 コマンドスタートレジスタ (CMDSTRT)

CMDSTRT は、読み出し／書き込み可能な 8 ビットのレジスタで、コマンド送出の開始をトリガします。コマンド送出開始は、同時にコマンドシーケンスの開始となります。コマンドシーケンスの開始に先立って、次の操作を完了しておく必要があります。

- 前コマンドのレスポンスの解析、必要ならばコマンドレスポンスレジスタの書き込みクリア
- 必要ならば前コマンドの受信データの解析／転送
- 必要ならば次コマンドの送信データの準備
- CMDTYR、RSPTYR、TBCR、TBNCR の設定
- CMDR0～CMDR4 の設定

CMDR0～CMDR4、CMDTYR、RSPTYR、TBCR、TBNCR は、コマンド送出が終了するまで (CSTR の CWRE フラグが 1 にセット中、またはコマンド送信終了割込み発生) 変更しないでください。

コマンドシーケンスは、MMCIF 側と MMC カード側それぞれのシーケンサで管理されています。これらは、通常は同期して動作していますが、エラーの発生やコマンドの中止などが発生すると一時的に同期できない場合があります。OPCR の CMDOFF ビットのセット、CMD12 コマンドの発行や、エラー処理の場合は注意が必要です。MMCIF 側、カード側両方のコマンドシーケンスが終了していることを確認して、新しいコマンドシーケンスを開始してください。エラー発生時の動作は、「24.4 動作説明」を参照してください。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	START
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7～1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	START	0	R/W	1 の書き込みでコマンド送出を開始します。1 を書き込んだ後 MMCIF が START を受付後にクリアされます。 0 を書き込んだとき：動作に影響ありません 1 を書き込んだとき：コマンド送出を開始します

## 24. マルチメディアカードインタフェース (MMCIF)

### 24.3.3 オペレーションコントロールレジスタ (OPCR)

OPCR は、読み出し／書き込み可能な 8 ビットのレジスタで、コマンドの動作中止、データ転送の中断／継続を制御します。

ビット :	7	6	5	4	3	2	1	0
	CMDOFF	-	RD_ CONTI	DATAEN	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	CMDOFF	0	R/W	<p>コマンドオフ</p> <p>コマンド送出後に 1 を書き込むことで、そのコマンドに関する動作 (MMCIF のコマンドシーケンス) をすべて中止します。1 を書き込んだ後 MMCIF が CMDOFF を受付時にクリアされます。</p> <p>書き込み有効期間 : コマンド送出完了からコマンドシーケンス終了まで (有効期間以外は書き込まないでください)</p> <p>0 を書き込んだとき : 動作に影響ありません</p> <p>1 を書き込んだとき : コマンドシーケンスを強制的に中止します</p>
6	-	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。</p>
5	RD_ CONTI	0	R/W	<p>読み出しコontiニュー</p> <p>1 の書き込みにより、FIFO フルやマルチブロック読み出しのブロック読み出し終了によるシーケンス中断状態で、読み出しデータの受信を再開します。1 を書き込んだ後 MMCIF が RD_ CONTI を受付時にクリアされます。</p> <p>書き込み有効期間 : 読み出しデータ受信シーケンス中断中 (有効期間以外は書き込まないでください)</p> <p>0 を書き込んだとき : 動作に影響ありません</p> <p>1 を書き込んだとき : 読み出しデータ受信を再開します</p>
4	DATAEN	0	R/W	<p>データイネーブル</p> <p>書き込みデータを伴うコマンドで、書き込みデータの送信を開始します。1 を書き込んだ後 MMCIF が DATAEN を受付時にクリアされます。FIFO エンプティやマルチブロック書き込みのブロック書き込み終了によるシーケンス中断状態で書き込みデータの送信を再開します。</p> <p>書き込み有効期間 :</p> <ol style="list-style-type: none"> <li>(1) 書き込みデータを伴うコマンドレスポンス受信後</li> <li>(2) FIFO エンプティによるシーケンス停止状態</li> <li>(3) マルチブロック書き込みの 1 ブロック書き込み終了後</li> </ol> <p>(有効期間以外は書き込まないでください)</p> <p>0 を書き込んだとき : 動作に影響ありません</p> <p>1 を書き込んだとき : 書き込みデータ送信を開始または再開します</p>
3~0	-	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。</p>

書き込みデータの送信は、コマンドレスポンスやデータレスポンスの内容を解析後、送信のトリガを行う必要があります。また、データ転送は、FIFO のフル/エンプティにより一時的に停止し、準備が整ったところでデータ転送を再開する必要があります。

マルチブロック転送の場合は、ブロックの区切りごとに一時的に停止し、次のブロックに進むか、CMD12 コマンドを発行してマルチブロック転送コマンドを中止するかを選択が可能です。次のブロックに進むときは、RD\_CONTI ビットや DATAEN ビットを 1 にセットします。CMD12 を発行する場合は、CMDOFF ビットを 1 にセットして MMCIF 側のコマンドシーケンスを中止します。また、pre-define マルチブロック転送でオートモードを使用する場合は、ブロック間での RD\_CONTI ビットや DATAEN ビットの設定を省略することが可能です。

### 24.3.4 カードステータスレジスタ (CSTR)

CSTR は、コマンドシーケンス実行中の MMCIF のステータスを示します。

ビット:	7	6	5	4	3	2	1	0
	BUSY	FIFO_FULL	FIFO_EMPTY	CWRE	DTBUSY	DTBUSY_TU	-	REQ
初期値:	0	0	0	0	0	-	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	BUSY	0	R	コマンドビジー コマンドの実行状態を示します。OPCR の CMDOFF ビットを 1 にセットすると、MMCIF のコマンドシーケンスが中止されるため、0 にクリアされます。 0 : コマンド待ちのアイドル状態、またはデータビジー状態 1 : コマンドシーケンス実行中
6	FIFO_FULL	0	R	FIFO フル カードよりデータを受信する際に、FIFO がフルになると 1 にセットされます。RD_CONTI を 1 にセットするか、コマンドシーケンスが終了すると 0 にクリアされます。 FIFO の空きの有無を示します。 0 : FIFO に空きがある 1 : FIFO がフル状態
5	FIFO_EMPTY	0	R	FIFO エンプティ カードにデータを送信する際に、FIFO がエンプティになると 1 にセットされます。DATA_EN を 1 にセットするか、コマンドシーケンスが終了すると 0 にクリアされます。 FIFO のデータの有無を示します。 0 : FIFO にデータがある 1 : FIFO がエンプティ状態

## 24. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説明
4	CWRE	0	R	<p>コマンドレジスタ書き込みイネーブル</p> <p>CMDR のコマンドが送信中か送信済みかを示します。</p> <p>0 : CMDR のコマンドが送信済み、または CMDSTRT の START ビットのセット前で、新しいコマンドを書き込み可能です。</p> <p>1 : CMDR のコマンドを送信待ちまたは送信中で、新しいコマンドを書き込むと誤動作します。</p>
3	DTBUSY	0	R	<p>データビジー</p> <p>コマンドの実行状態を示します。データの転送を伴わないコマンドでレスポンスにビジー状態のあるコマンド、または書き込みデータを伴うコマンドのシーケンス終了後、カードがビジーである状態を表示します。</p> <p>0 : コマンド待ちのアイドル状態またはコマンドシーケンス実行中</p> <p>1 : コマンドシーケンスの終了後、カード側がデータビジー表示</p>
2	DTBUSY_TU	—	R	<p>データビジー端子状態</p> <p>MCDAT 端子のレベルが設定されます。このビットを読むことによって MCDAT 端子のレベルを知ることができます。</p> <p>0 : MCDAT 端子にローレベルが入力されている</p> <p>1 : MCDAT 端子にハイレベルが入力されている</p>
1	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
0	REQ	0	R	<p>割り込み要求</p> <p>割り込み処理要求の有無を示します。割り込み要求は、INTSTR0、INTSTR1、INTSTR2 のフラグの論理和です。INTSTR0、INTSTR1、INTSTR2 のフラグのセットは、INTCR0、INTCR1、INTCR2 のイネーブルビットによって制御されます。</p> <p>0 : 割り込み要求なし</p> <p>1 : 割り込み要求あり</p>

## 24.3.5 割り込みコントロールレジスタ 0~2 (INTCR0~INTCR2)

INTCR は、割り込みの許可/禁止を制御します。

## (1) INTCR0

ビット:	7	6	5	4	3	2	1	0
	FEIE	FFIE	DRPIE	DTIE	CRPIE	CMDIE	DBSYIE	BTIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	FEIE	0	R/W	FIFO エンプティ割り込みフラグセットイネーブル 0: FIFO エンプティ割り込み禁止 (FEI フラグのセットを禁止) 1: FIFO エンプティ割り込み許可 (FEI フラグのセットを許可)
6	FFIE	0	R/W	FIFO フル割り込みフラグセットイネーブル 0: FIFO フル割り込み禁止 (FFI フラグのセットを禁止) 1: FIFO フル割り込み許可 (FFI フラグのセットを許可)
5	DRPIE	0	R/W	データレスポンス割り込みフラグセットイネーブル 0: データレスポンス割り込み禁止 (DRPI フラグのセットを禁止) 1: データレスポンス割り込み許可 (DRPI フラグのセットを許可)
4	DTIE	0	R/W	データ転送終了割り込みフラグセットイネーブル 0: データ転送終了割り込み禁止 (DTI フラグのセットを禁止) 1: データ転送終了割り込み許可 (DTI フラグのセットを許可)
3	CRPIE	0	R/W	コマンドレスポンス受信終了割り込みフラグセットイネーブル 0: コマンドレスポンス受信終了割り込み禁止 (CRPI フラグのセットを禁止) 1: コマンドレスポンス受信終了割り込み許可 (CRPI フラグのセットを許可)
2	CMDIE	0	R/W	コマンド送信終了割り込みフラグセットイネーブル 0: コマンド送信終了割り込み禁止 (CMDI フラグのセットを禁止) 1: コマンド送信終了割り込み許可 (CMDI フラグのセットを許可)
1	DBSYIE	0	R/W	データビジー終了割り込みフラグセットイネーブル 0: データビジー終了割り込み禁止 (DBSYI フラグのセットを禁止) 1: データビジー終了割り込み許可 (DBSYI フラグのセットを許可)
0	BTIE	0	R/W	マルチブロック転送終了フラグセットイネーブル 0: マルチブロック転送終了フラグのセットを禁止 1: マルチブロック転送終了フラグのセットを許可

## 24. マルチメディアカードインタフェース (MMCIF)

### (2) INTCR1

ビット:	7	6	5	4	3	2	1	0
	INTRQ2E	INTRQ1E	INTRQ0E	-	-	CRCERIE	DTERIE	CTERIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	INTRQ2E	0	R/W	ERR 割り込みイネーブル 0: ERR の割り込み禁止 1: ERR の割り込み許可
6	INTRQ1E	0	R/W	TRAN 割り込みイネーブル 0: TRAN の割り込み禁止 1: TRAN の割り込み許可
5	INTRQ0E	0	R/W	FSTAT 割り込みイネーブル 0: FSTAT の割り込み禁止 1: FSTAT の割り込み許可
4、3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	CRCERIE	0	R/W	CRC エラー割り込みフラグセットイネーブル 0: CRC エラー割り込み禁止 (CRCERI フラグのセットを禁止) 1: CRC エラー割り込み許可 (CRCERI フラグのセットを許可)
1	DTERIE	0	R/W	データタイムアウトエラー割り込みフラグセットイネーブル 0: データタイムアウトエラー割り込み禁止 (DTERI フラグのセットを禁止) 1: データタイムアウトエラー割り込み許可 (DTERI フラグのセットを許可)
0	CTERIE	0	R/W	コマンドタイムアウトエラー割り込みフラグセットイネーブル 0: コマンドタイムアウトエラー割り込み禁止 (CTERI フラグのセットを禁止) 1: コマンドタイムアウトエラー割り込み許可 (CTERI フラグのセットを許可)

## (3) INTCR2

ビット:	7	6	5	4	3	2	1	0
	INTRQ3E	-	-	-	-	-	-	FRDYIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7	INTRQ3E	0	R/W	FRDY 割り込みイネーブル 0: FRDY の割り込み禁止 1: FRDY の割り込み許可
6~1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	FRDYIE	0	R/W	FIFO 準備完了割り込みフラグセットイネーブル 0: FIFO 準備完了割り込み禁止 (FRDYI フラグのセットを禁止) 1: FIFO 準備完了割り込み許可 (FRDYI フラグのセットを許可)

## 24.3.6 割り込みステータスレジスタ 0~2 (INTSTR0~INTSTR2)

INTSTR は、MMCIF の割り込み FSTAT, TRAN, ERR, FRDY を制御します。

## (1) INTSTR0

ビット:	7	6	5	4	3	2	1	0
	FEI	FFI	DRPI	DTI	CRPI	CMDI	DBSYI	BTI
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明	割り込み出力
7	FEI	0	R/W	FIFO エンプティ割り込みフラグ 0: 割り込み要求なし [クリア条件] FEI=1を読み出した後に0を書き込んだとき (1書き込みは無効です) 1: 割り込み要求あり [セット条件] FEIE=1の状態、データ送信中にFIFOがエンプティとなったとき (CSTRのFIFO_EMPTYビットがセットされたとき)	FSTAT

## 24. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説明	割り込み出力
6	FFI	0	R/W	FIFO フル割り込みフラグ 0: 割り込み要求なし [クリア条件] FFI=1 を読み出した後に 0 を書き込んだとき (1 書き込みは無効です) 1: 割り込み要求あり [セット条件] FFIE=1 の状態で、データ受信中に FIFO がフルとなったとき (CSTR の FIFO_FULL ビットがセットされたとき)	FSTAT
5	DRPI	0	R/W	データレスポンス割り込みフラグ 0: 割り込み要求なし [クリア条件] DRPI=1 を読み出した後に 0 を書き込んだとき (1 書き込みは無効です) 1: 割り込み要求あり [セット条件] DRPIE=1 の状態で CRC ステータスを受信したとき	TRAN
4	DTI	0	R/W	データ転送終了割り込みフラグ 0: 割り込み要求なし [クリア条件] DTI=1 を読み出した後に 0 を書き込んだとき (1 書き込みは無効です) 1: 割り込み要求あり [セット条件] DTIE=1 の状態で、TBCR に設定したバイト数のデータ転送が終了したとき	TRAN
3	CRPI	0	R/W	コマンドレスポンス受信終了割り込みフラグ 0: 割り込み要求なし [クリア条件] CRPI=1 を読み出した後に 0 を書き込んだとき (1 書き込みは無効です) 1: 割り込み要求あり [セット条件] CRPIE=1 の状態で、コマンドレスポンスの受信が終了したとき	TRAN

24. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説明	割り込み出力
2	CMDI	0	R/W	<p>コマンド送信終了割り込みフラグ</p> <p>0: 割り込み要求なし</p> <p>[クリア条件]</p> <p>CMDI=1 を読み出した後に 0 を書き込んだとき (1 書き込みは無効です)</p> <p>1: 割り込み要求あり</p> <p>[セット条件]</p> <p>CMDIE=1 の状態で、コマンドの送信が終了したとき (CSTR の CWRE ビットがクリアされたとき)</p>	TRAN
1	DBSYI	0	R/W	<p>データビジー終了割り込みフラグ</p> <p>0: 割り込み要求なし</p> <p>[クリア条件]</p> <p>DBSYI=1 を読み出した後に 0 を書き込んだとき (1 書き込みは無効です)</p> <p>1: 割り込み要求あり</p> <p>[セット条件]</p> <p>DBSYIE=1 の状態で、データビジーの状態が解消したとき (CSTR の DTBUSY ビットがクリアされたとき)</p>	TRAN
0	BTI	0	R/W	<p>マルチブロック転送終了フラグ</p> <p>0: 割り込み要求なし</p> <p>[クリア条件]</p> <p>BTI=1 を読み出した後に 0 を書き込んだとき (1 書き込みは無効です)</p> <p>1: 割り込み要求あり</p> <p>[セット条件]</p> <p>BTIE=1 の状態で、TBNCR=0 で、TBCR で設定したバイト数のデータ転送が終了したとき</p>	TRAN

## 24. マルチメディアカードインタフェース (MMCIF)

### (2) INTSTR1

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	CRCERI	DTERI	CTERI
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明	割り込み出力
7~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	-
2	CRCERI	0	R/W	CRC エラー割り込みフラグ 0: 割り込み要求なし [クリア条件] CRCERI=1を読み出した後に0を書き込んだとき (1書き込みは無効です) 1: 割り込み要求あり [セット条件] CRCERIE=1の状態、コマンドレスポンスまたは受信データのCRCエラーおよび、送信データレスポンスでCRCステータスのエラーを検出したとき R2以外のコマンドレスポンスに対してはRSPTYRのRTY4をイネーブル時、CRCをチェックします。 R2のコマンドレスポンスに対してはCRCチェックが行われないため本フラグはセットされません。	ERR
1	DTERI	0	R/W	データタイムアウトエラー割り込みフラグ 0: 割り込み要求なし [クリア条件] DTERI=1を読み出した後に0を書き込んだとき (1書き込みは無効です) 1: 割り込み要求あり [セット条件] DTERIE=1の状態、DTOUTRに設定したデータタイムアウトエラーが発生したとき	ERR
0	CTERI	0	R/W	コマンドタイムアウトエラー割り込みフラグ 0: 割り込み要求なし [クリア条件] CTERI=1を読み出した後に0を書き込んだとき (1書き込みは無効です) 1: 割り込み要求あり [セット条件] CTERIE=1の状態、TOCRに設定したコマンドタイムアウトエラーが発生したとき	ERR

## (3) INTSTR2

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	FRDY_TU	FRDIY
初期値:	0	0	0	0	0	0	-	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明	割り込み出力
7~2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。	-
1	FRDY_TU	-	R	FIFO 準備完了フラグ DMAEN、FRDYIE のセット値に関わらず、FIFO のデータ量が DMACR[2:0]に設定した条件であれば0、条件以外であれば1が読み出されます。	-
0	FRDYI	0	R/W	FIFO 準備完了割り込みフラグ 0: 割り込み要求なし [クリア条件] FRDYI=1 を読み出した後に0を書き込んだとき (1書き込みは無効です) 1: 割り込み要求あり [セット条件] FRDYIE=1 かつ DMAEN=1 の状態で、FIFO の残データが DMACR で設定したアサート条件以外のとき 【注】FRDYI は、クリア後もセット条件であればセットされます。クリアするときは、INTCR2 のFRDYIE によりフラグのセットを禁止にしてクリアしてください。	FRDY

## 24. マルチメディアカードインタフェース (MMCIF)

### 24.3.7 転送クロックコントロールレジスタ (CLKON)

CLKON は、転送クロックの周波数およびオン/オフを制御します。

MMC モードでのオープンドレイン形式出力状態では、十分に遅い転送クロックで転送を行ってください。

コマンドシーケンス中は、クロックのオン/オフ、周波数の変更は行わないでください。

ビット:	7	6	5	4	3	2	1	0
	CLKON	-	-	-	CSEL3	CSEL2	CSEL1	CSEL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CLKON	0	R/W	クロックオン 0: MCCLK 端子からの転送クロック出力をローレベルに固定します。 1: MCCLK 端子から転送クロックを出力します。
6~4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	CSEL3	0	R/W	転送クロック周波数セレクト 0000: リザーブ 0001: 周辺クロックを2分周して転送クロックとします。 0010: 周辺クロックを4分周して転送クロックとします。 0011: 周辺クロックを8分周して転送クロックとします。 0100: 周辺クロックを16分周して転送クロックとします。 0101: 周辺クロックを32分周して転送クロックとします。 0110: 周辺クロックを64分周して転送クロックとします。 0111: 周辺クロックを128分周して転送クロックとします。 1000: 周辺クロックを256分周して転送クロックとします。 1001~1111: 設定禁止です。
2	CSEL2	0	R/W	
1	CSEL1	0	R/W	
0	CSEL0	0	R/W	

### 24.3.8 コマンドタイムアウトコントロールレジスタ (CTOCR)

CTOCR は、コマンドレスポンスのタイムアウトを発生する周期を設定します。

コマンドタイムアウトを監視するために、周辺バスからはアクセスできないカウンタ (CTOUTC) があり、転送クロックをカウントしています。CTOUTC は、初期値が 0 で、コマンド送出開始から転送クロックのカウントを開始します。CTOUTC は、コマンドレスポンス受信を完了するか、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止することにより、クリアされ転送クロックのカウントを停止します。

コマンドレスポンスが受信できない場合は、CTOUTC は転送クロックのカウントを続け、CTOCR に設定した転送クロック数に達するとコマンドタイムアウトエラーの状態になります。ここで INTCR1 の CTERIE ビットが 1 にセットされていると、INTSTR1 の CTERI フラグがセットされます。CTOUTC は、その後も転送クロックのカウントを継続するため、繰り返し CTERI フラグのセット条件が発生します。コマンドタイムアウトエラー処理をする場合は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してから CTERI フラグをクリアするなどして、余分な割り込みが発生しないよう注意する必要があります。

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CTSELO
初期値:	0	0	0	0	0	0	0	1
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	CTSELO	1	R/W	コマンドタイムアウトセレクト 0: コマンド送信完了からレスポンス受信完了まで 128 転送クロック 1: コマンド送信完了からレスポンス受信完了まで 256 転送クロック

【注】 R2 レスポンス (17 バイトのコマンドレスポンス) を要求するときには、CTSELO を 0 にクリアすると、レスポンス受信中に、タイムアウトを発生するため、CTSELO を 1 に設定してください。

## 24. マルチメディアカードインタフェース (MMCIF)

### 24.3.9 転送バイト数カウントレジスタ (TBCR)

TBCR は、読み出し／書き込み可能な 8 ビットのレジスタで、ひとつのシングルブロック転送コマンドあたりの転送バイト数（ブロックサイズ）を設定します。スタートビット、エンドビット、CRC を含まない、データブロックバイト数を設定します。

マルチブロック転送コマンドでは、各データブロックのバイト数に対応します。ストリーム転送コマンドでは、本設定は無視されます。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	C3	C2	C1	C0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	C3	0	R/W	転送データブロックサイズ 0000 : 1 バイト 0001 : 2 バイト 0010 : 4 バイト 0011 : 8 バイト 0100 : 16 バイト 0101 : 32 バイト 0110 : 64 バイト 0111 : 128 バイト 1000 : 256 バイト 1001 : 512 バイト 1010 : 1024 バイト 1011 : 2048 バイト 1100~1111 : 設定禁止
2	C2	0	R/W	
1	C1	0	R/W	
0	C0	0	R/W	

### 24.3.10 モードレジスタ (MODER)

MODER は、読み出し／書き込み可能な 8 ビットのレジスタで、MMCIF の動作モードを設定します。MMCIF でマルチメディアカードを操作する場合は、コマンドを送出し、コマンドシーケンスの終了およびデータビジー状態の終了を待ち、次のコマンドを送出する繰り返しとなります。

コマンド送出から、コマンドレスポンス受信、データ送信／受信、データレスポンス受信などの一連の動作をコマンドシーケンスと呼びます。コマンドシーケンスは、CMDSTRT の START ビットを 1 にセットすることによってコマンドが送出されることから始まり、必要なデータ送信／受信やレスポンス受信がすべて完了したときに終了します。コマンドシーケンス実行中および終了後に、マルチメディアカードには、カード内のフラッシュメモリの書き込み／消去のためにある特定のコマンドしか受け付けないデータビジー状態があります。データビジー状態は、MCDAT 端子に、カード側からのローレベル出力で表示されます。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	MODE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	MODE	0	R/W	モード動作 MMCIF の動作モードを設定します。 0 : MMC モードで動作します。 1 : 設定禁止

## 24.3.11 コマンドタイプレジスタ (CMDTYR)

CMDTYR は、読み出し／書き込み可能な 8 ビットのレジスタで、RSPTYR とともにコマンドの形式を設定します。TY1、TY0 ビットで転送データの有無および方向を設定し、TY6～TY2 で付加的な設定をします。TY6～TY2 は、すべて 0 にクリアするか、いずれかひとつだけを 1 にセットしてください。TY6～TY2 ビットを 1 にセットする場合は、TY1、TY0 ビットを TY6～TY2 のビットの意味に対応した設定にする必要があります。正しい設定が行われなかった場合、動作の保証はされません。シングルブロック転送の際は、TY1～TY0 を 01 または 10 に設定し、TY6～TY2 ビットを 0 にセットします。

ビット：	7	6	5	4	3	2	1	0
	-	TY6	TY5	TY4	TY3	TY2	TY1	TY0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W						

ビット	ビット名	初期値	R/W	説 明
7	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	TY6	0	R/W	タイプ 6 pre-defined マルチブロック転送を設定します。TY[1:0]を 01 または 10 に設定する必要があります。 本ビットを指定するコマンド使用時は、TBCR に転送ブロックサイズを、TBNCR に転送ブロック数を指定する必要があります。
5	TY5	0	R/W	タイプ 5 セキュア MMC 使用時のマルチブロック転送を設定します。TY[1:0]を 01 または 10 に設定する必要があります。 本ビットを指定するコマンド使用時は、TBCR に転送ブロックサイズを、TBNCR に転送ブロック数を指定する必要があります。
4	TY4	0	R/W	タイプ 4 CMD12 を設定する際、1 にセットします。TY[1:0]を 00 に設定する必要があります。
3	TY3	0	R/W	タイプ 3 ストリーム転送を設定する際、1 にします。TY[1:0]を 01 または 10 に設定する必要があります。 本ビットで設定されたストリーム転送のコマンドシーケンスは、CMD12 によって中止したときに終了します。
2	TY2	0	R/W	タイプ 2 マルチブロック転送を設定する際、1 にします。TY[1:0]を 01 または 10 に設定する必要があります。 本ビットで設定されたマルチブロック転送のコマンドシーケンスは、CMD12 によって中止したときに終了します。

## 24. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説 明
1	TY1	0	R/W	タイプ 1、0 転送データの有無および方向を設定します。 00：データ転送を伴わないコマンド 01：読み出しデータの受信を伴うコマンド 10：書き込みデータの送信を伴うコマンド 11：設定禁止
0	TY0	0	R/W	

### 24.3.12 レスポンスタイプレジスタ (RSPTYR)

RSPTYR は、読み出し／書き込み可能な 8 ビットのレジスタで、CMDTYR とともにコマンドの形式を設定します。RTY2～RTY0 でレスポンスバイト数を設定し、RTY5～RTY4 で付加的な設定をします。

ビット：	7	6	5	4	3	2	1	0
	-	-	RTY5	RTY4	-	RTY2	RTY1	RTY0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7、6	-	00	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	RTY5	0	R/W	レスポンスタイプ 5 MMC カードからのデータビジー状態有無を設定します。 0：データビジーのないコマンド 1：データビジーのあるコマンド
4	RTY4	0	R/W	レスポンスタイプ 4 コマンドレスポンス (R2 レスポンス以外) の CRC を CRC7 でチェックする設定にします。RTY[2:0]を、100 に設定する必要があります。 0：CRC を CRC7 でチェックしない 1：CRC を CRC7 でチェックする
3	-	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 24. マルチメディアカードインタフェース (MMCIF)

ビット	ビット名	初期値	R/W	説 明
2	RTY2	0	R/W	レスポンスタイプ 2~0 コマンドレスポンスバイト数を設定します。 000 : コマンドレスポンスを要しないコマンド 001 : 設定禁止 010 : 設定禁止 011 : 設定禁止 100 : コマンドレスポンス 6 バイトを要するコマンド R1、R1b、R3、R4、R5 レスポンスで設定します。 101 : コマンドレスポンス 17 バイトを要するコマンド* R2 レスポンスで設定します。 110 : 設定禁止 111 : 設定禁止
1	RTY1	0	R/W	
0	RTY0	0	R/W	

【注】 \* R2のCRCのチェックを行う場合、レスポンスの受信が完了した後にレスポンスレジスタ0~16(RSPR0~RSPR16)の値を読み出して、ソフトウェアにて行ってください。

表 24.5 に、「The MultiMediaCard System Specification Version3.1」記載のコマンドと、CMDTYR、RSPTYR の設定の対応を示します。

表 24.5 コマンドと CMDTYR、RSPTYR の設定

CMD INDEX	略称	resp	CMDTYR					RSPTYR			
			6	5	4	3	2	1~0	5	4	2~0
CMD0	GO_IDLE_STATE	—						00			000
CMD1	SEND_OP_COND	R3						00			100
CMD2	ALL_SEND_CID	R2						00			101
CMD3	SET_RELATIVE_ADDR	R1						00		*4	100
CMD4	SET_DSR	—						00			000
CMD7	SELECT/DESELECT_CARD	R1b						00	1	*4	100
CMD9	SEND_CSD	R2						00			101
CMD10	SEND_CID	R2						00			101
CMD11	READ_DAT_UNTIL_STOP	R1				1		01		*4	100
CMD12	STOP_TRANSMISSION	R1b			1			00	1	*4	100
CMD13	SEND_STATUS	R1						00		*4	100
CMD15	GO_INACTIVE_STATE	—						00			000
CMD16	SET_BLOCKLEN	R1						00		*4	100
CMD17	READ_SINGLE_BLOCK	R1		*3				01		*4	100
CMD18	READ_MULTIPLE_BLOCK	R1	*2				*2	01		*4	100
CMD20	WRITE_DAT_UNTIL_STOP	R1				1		10		*4	100
CMD23	SET_BLOCK_COUNT	R1						00		*4	100
CMD24	WRITE_BLOCK	R1		*3				10		*4	100

## 24. マルチメディアカードインタフェース (MMCIF)

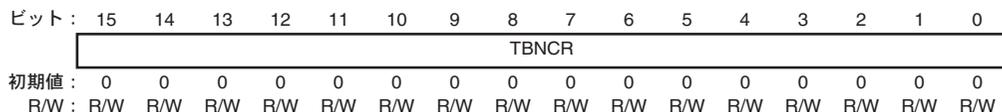
CMD INDEX	略称	resp	CMDTYR					RSPTYR			
			6	5	4	3	2	1~0	5	4	2~0
CMD25	WRITE_MULTIPLE_BLOCK	R1	*2				*2	10		*4	100
CMD26	PROGRAM_CID	R1						10		*4	100
CMD27	PROGRAM_CSD	R1						10		*4	100
CMD28	SET_WRITE_PROT	R1b						00	1	*4	100
CMD29	CLR_WRITE_PROT	R1b						00	1	*4	100
CMD30	SEND_WRITE_PROT	R1						01		*4	100
CMD32*1	TAG_SECTOR_START	R1						00		*4	100
CMD33*1	TAG_SECTOR_END	R1						00		*4	100
CMD34*1	UNTAG_SECTOR	R1						00		*4	100
CMD35	TAG_ERASE_GROUP_START	R1						00		*4	100
CMD36	TAG_ERASE_GROUP_END	R1						00		*4	100
CMD37*1	UNTAG_ERASE_GROUP	R1						00		*4	100
CMD38	ERASE	R1b						00	1	*4	100
CMD39	FAST_IO	R4						00		*4	100
CMD40	GO_IRQ_STATE	R5						00		*4	100
CMD42	LOCK_UNLOCK	R1b						10	1	*4	100
CMD55	APP_CMD	R1						00		*4	100
CMD56	GEN_CMD	R1b						*5	1	*4	100

- 【注】 \*1 MMCA Ver3.1 以降のカードではこれらのコマンドはサポートしていません。
- \*2 予めブロック数を設定する転送時は TY6=1、TY2=0、設定しない転送時は TY6=0、TY2=1 を設定します。
- \*3 セキュア MMC 使用時のマルチブロック転送時設定します。
- \*4 R2 以外のコマンドレスポンスの CRC チェック時 1 を設定します。（R2 のコマンドレスポンスの CRC チェックはできません。）
- \*5 リード時は 01、ライト時は 10 を設定します。
- 空欄 : 0 を設定してください。

## 24. マルチメディアカードインタフェース (MMCIF)

### 24.3.13 転送ブロック数カウンタ (TBNCR)

TBNCR は、CMDTYR の TY5、TY6 ビットでマルチブロック転送を設定した場合、必ず TBNCR に 0 以外の値をライトする必要があります。TBNCR には、転送するブロック数を設定してください。TBNCR の内容は、1 ブロックの転送が完了するたびにデクリメントされ、0 になるとコマンドシーケンスを終了します。



ビット	ビット名	初期値	R/W	説明
15~0	TBNCR	H'0000	R/W	転送ブロック数カウンタ [クリア条件] 指定ブロック数転送時および0ライト時

### 24.3.14 レスポンスレジスタ 0~16、D (RSPR0~RSPR16、RSPRD)

RSPR0~RSPR16はコマンドレスポンスレジスタで、17個の8ビットレジスタです。RSPRDは8ビットのCRCステータスレジスタです。

コマンドレスポンスバイト数は、コマンドにより異なります。MMCIFでは、コマンドレスポンスバイト数を、RSPTYRで指定することができます。コマンドレスポンスは、RSPR16のビット0からシフトインされ、コマンドレスポンスバイト数×8ビットまでシフトされます。表 24.6 にコマンドレスポンスバイト数と有効な RSPR の対応を示します。

表 24.6 コマンドレスポンスバイト数と RSPR レジスタの対応

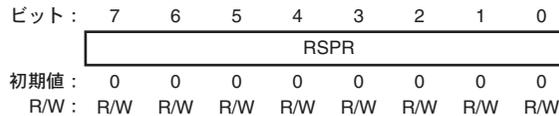
RSPR レジスタ	MMC モードレスポンス	
	6 バイト (R1、R1b、R3、R4、R5)	17 バイト (R2)
RSPR0	—	1 バイト目
RSPR1	—	2 バイト目
RSPR2	—	3 バイト目
RSPR3	—	4 バイト目
RSPR4	—	5 バイト目
RSPR5	—	6 バイト目
RSPR6	—	7 バイト目
RSPR7	—	8 バイト目
RSPR8	—	9 バイト目
RSPR9	—	10 バイト目
RSPR10	—	11 バイト目

## 24. マルチメディアカードインタフェース (MMCIF)

	MMC モードレスポンス	
RSPR11	1 バイト目	12 バイト目
RSPR12	2 バイト目	13 バイト目
RSPR13	3 バイト目	14 バイト目
RSPR14	4 バイト目	15 バイト目
RSPR15	5 バイト目	16 バイト目
RSPR16	6 バイト目	17 バイト目

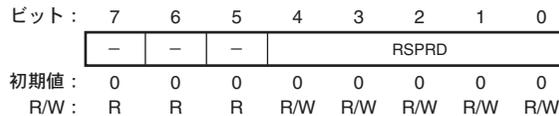
RSPR0~RSPR16は、単純なシフトレジスタであり、一度シフトインされたコマンドレスポンスは自動的にクリアされず、RSPR0のビット7からシフトアウトされるまでシフトされ続けます。不要なバイトをH'00にクリアするためには、各RSPRに任意の値を書き込んでください。

### (1) RSPR0~RSPR16



ビット	ビット名	初期値	R/W	説明
7~0	RSPR	H'00	R/W	任意の値の書き込みでH'00にクリアされます。 RSPR0~16は連結された17バイトのシフトレジスタです。

### (2) RSPRD



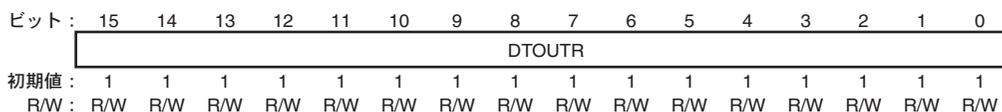
ビット	ビット名	初期値	R/W	説明
7~5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4~0	RSPRD	00000	R/W	任意の値のライトで00000にクリアされます。 CRCステータスが格納されます。CRCステータスはデータライト時にMMCカードから送信されるレスポンスです。

### 24.3.15 データタイムアウトレジスタ (DTOUTR)

DTOUTR は、データタイムアウトを発生する周期を設定します。データタイムアウトを監視するために、周辺バスからはアクセスできない 16 ビットカウンタ (DTOUTC) とプリスケアラがあり、周辺クロックをカウントします。プリスケアラは、常に周辺クロックをカウントしており、10,000 周辺クロックごとにカウントパルスを出力します。DTOUTC は、初期値が 0 で、コマンドシーケンスの開始からプリスケアラ出力のカウントを開始します。DTOUTC は、コマンドシーケンスが終了するか、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止することにより、クリアされプリスケアラ出力のカウントを停止します。

コマンドシーケンスが終了しない場合は、DTOUTC はプリスケアラ出力のカウントを続け、DTOUTR に設定した値に達するとデータタイムアウトエラーの状態になります。ここで INTCR1 の DTERIE ビットが 1 にセットされていると、INTSTR1 の DTERI フラグがセットされます。DTOUTC は、その後もプリスケアラ出力のカウントを継続するため、繰り返し DTERI フラグのセット条件が発生します。データタイムアウトエラー処理をする場合は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してから DTERI フラグをクリアするなどして、余分な割り込みが発生しないよう注意する必要があります。

データビジー状態があるコマンドの場合、コマンドシーケンスはデータビジー状態の前に終了するため、データタイムアウトでタイムアウトの監視をすることができません。データビジー状態のタイムアウト監視はファームウェアで実現する必要があります。

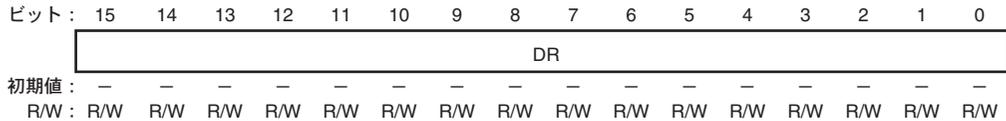


ビット	ビット名	初期値	R/W	説明
15~0	DTOUTR	H'FFFF	R/W	データタイムアウト時間 / 10,000 データタイムアウト時間は、周辺クロック周期 × DTOUTR 設定値 × 10,000 となります。

### 24.3.16 データレジスタ (DR)

DR は、FIFO のデータを読み出し／書き込みするためのレジスタです。

本レジスタのアドレスに対しワード、バイトアクセス可能です。



ビット	ビット名	初期値	R/W	説明
15~0	DR	不定	R/W	FIFO のデータを読み出し／書き込みするためのレジスタです。 ワード、バイトアクセス可能です。 DR にワードサイズでアクセスするときには、送信および受信順序は上位バイト、下位バイトとなります。ワードアクセスとバイトアクセスが順不同で行われても問題ありません。また、(DR のアドレス+1) 番地にバイトサイズでアクセスすることはできません。

以下に、DR にアクセスするときの例を示します。

FIFO がエンプティの状態、DR に対して下記の 1.~4. に示すようなデータの書き込みをしたとき、送信データは図 24.2 に示すように FIFO へ格納されます。

1. DR にワードアクセスで H'0123 を書き込み
2. DR にバイトアクセスで H'45 を書き込み
3. DR にワードアクセスで H'6789 を書き込み
4. DR にバイトアクセスで H'AB を書き込み

また図 24.2 のように、受信データが FIFO へ格納されているとき (例えば、FIFO がエンプティの状態データの受信を開始し、データ H'01、H'23、……、H'AB を順番で受信した後) には、DR から下記の 5.~8. に示す例のようにデータを読み出すことができます。

5. DR からバイトアクセスで H'01 を読み出し
6. DR からワードアクセスで H'2345 を読み出し
7. DR からバイトアクセスで H'67 を読み出し
8. DR からワードアクセスで H'89AB を読み出し

## 24. マルチメディアカードインタフェース (MMCIF)

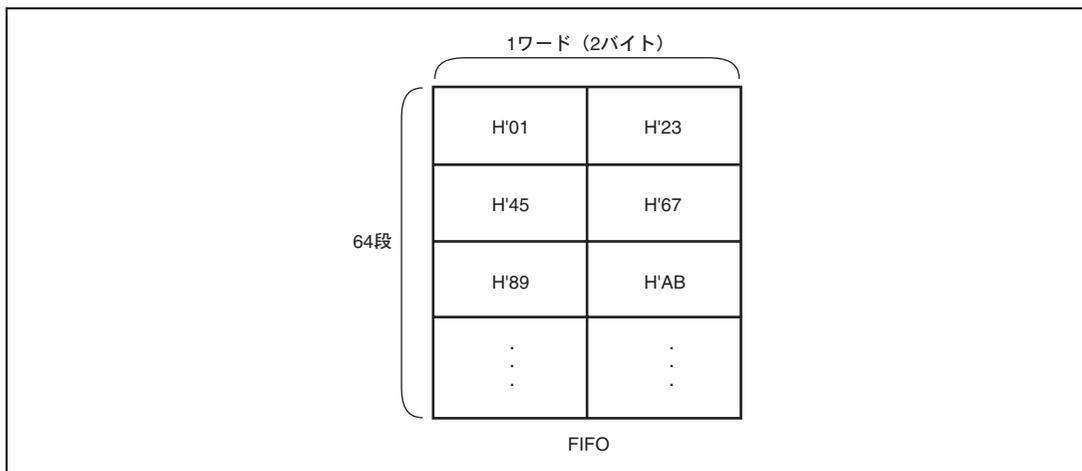


図 24.2 DR アクセスの例

### 24.3.17 FIFO ポインタクリアレジスタ (FIFOCLR)

FIFOCLR に任意の値を書き込むことによって、FIFO の書き込みポインタ、読み出しポインタがクリアされます。

ビット:	7	6	5	4	3	2	1	0
	FIFOCLR							
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
7~0	FIFOCLR	H'00	W	任意の値を書き込むことで、FIFO ポインタがクリアされます。

## 24.3.18 DMA コントロールレジスタ (DMACR)

DMACR は、DMA 要求信号出力を設定します。DMAEN で DMA 要求信号の許可、禁止を設定し、SET2～SET0 で設定した値により DMA 要求信号を出力します。

ビット :	7	6	5	4	3	2	1	0
	DMAEN	AUTO	-	-	-	SET2	SET1	SET0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	DMAEN	0	R/W	DMA イネーブル 0 : DMA 要求信号の出力禁止 1 : DMA 要求信号の出力許可
6	AUTO	0	R/W	DMA 転送を使用する pre-define マルチブロック転送で、オートモードを使用する際設定します。 0 : オートモードを使用しない。 1 : オートモードを使用。
5~3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	SET2	0	R/W	DMA 要求信号アサート条件 DMA 要求信号アサート条件を設定します。 000 : 出力しません 001 : FIFO 残データが FIFO 容量の 1/4 以下 010 : FIFO 残データが FIFO 容量の 1/2 以下 011 : FIFO 残データが FIFO 容量の 3/4 以下 100 : FIFO 残データが 1 バイト以上 101 : FIFO 残データが FIFO 容量の 1/4 以上 110 : FIFO 残データが FIFO 容量の 1/2 以上 111 : FIFO 残データが FIFO 容量の 3/4 以上
1	SET1	0	R/W	
0	SET0	0	R/W	

### 24.4 動作説明

マルチメディアカードは、着脱可能な外部記憶メディアです。MMCIFはMMCモードでの動作が可能です。

MMCIFは、カードが接続されカードの電源がONされている状態で、適切な転送クロックの周波数を設定後、転送クロックを印可し動作開始してください。

コマンドシーケンス中、データビジー中のカードの挿抜は行わないでください。

#### 24.4.1 MMCモードの動作

MMCモードは、転送クロックを出力するMCCLK端子、コマンドを送信しレスポンスを受信するMCCMD端子、データを送受信するMCDAT端子からなる動作モードです。この端子構成により、データ送受信中でも次のコマンドを発行できることが特長になっています。この特長は、マルチブロック転送やストリーム転送にかかれています。例えば、現在のコマンドシーケンスを中止させるCMD12が挙げられます。

また、MMCモードでは、複数のカードに同時にコマンドを発行するブロードキャスト型のコマンドをサポートしています。ブロードキャスト型のコマンドを用いて挿入されているカードの情報を認識した後、個々のカードに相対アドレスを与えます。相対アドレスによって1枚のカードを選択し、他のカードを非選択にした後、選択したカードに対して種々のコマンドを発行します。

MMCモードでのコマンドは、大別するとブロードキャスト型、相対アドレス型、フラッシュメモリ操作型の3種類に分けることができます。これらのコマンドをカードの状態に合わせ、適切に与えることによってカードを操作することができます。

##### (1) ブロードキャスト型コマンドの動作

CMD0、CMD1、CMD2、CMD4はブロードキャスト型のコマンドです。これにCMD3を加えて、個々のカードに相対アドレスを与えるシーケンスを構成します。本シーケンスの間は、CMD出力形式はオープンドレインに設定され、コマンドレスポンスはワイヤード-オアされます。このとき、転送クロックの周波数は充分遅くしておく必要があります。

- CMD0で、すべてのカードをアイドル状態に初期化します。
- CMD1で、すべてのカードのオペレーションコンディションレジスタ (OCR) をワイヤード-オアで読み出し、動作できないカードを不活性化します。  
不活性化されなかったカードはレディ状態になります。
- CMD2で、すべてのレディ状態のカードのカードアイデンティフィケーション (CID) をワイヤード-オアで読み出します。  
個々のカードは、自身のCIDとMCCMD上のデータを比較し、異なっていればただちにCID出力を中止します。CIDを最後まで出力できた1枚のカードは認識状態になります。  
R2レスポンスを必要とする場合はCTOCRをH'01に設定してください。
- CMD3で、認識状態のカードに相対アドレス (RCA) を与えます。  
RCAを得たカードはスタンバイ状態になります。
- CMD2、CMD3を繰り返し、すべてのレディ状態のカードにRCAを与え、スタンバイ状態にします。

## (2) 相対アドレス型コマンドの動作

CMD7、CMD9、CMD10、CMD13、CMD15、CMD39、CMD55は、RCAでカードをアドレスする相対アドレス型コマンドです。相対アドレス型コマンドは、カードの管理情報や固有情報を読み取るほか、特定のカードの状態を変更するために用います。

CMD7は、アドレスした1枚のカードを転送状態に設定し、それ以外のカードをスタンバイ状態にします。転送状態のカードのみが、ブロードキャスト型、相対アドレス型以外の、フラッシュメモリ操作型コマンドを実行することができます。

## (3) コマンドレスポンスを要しないコマンドの動作

ブロードキャスト型コマンドの中には、コマンドレスポンスを要しないコマンドがあります。

図 24.3 に、コマンドレスポンスを要さないコマンドのコマンドシーケンスの例を示します。

図 24.4 に、コマンドレスポンスを要さないコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送出を開始します。エンドビットの送出完了まで MCCMDをドライブします。
- コマンドシーケンス終了を、CSTRのBUSYフラグのポーリングかコマンド送信終了割り込み (CMDI) で検出します。

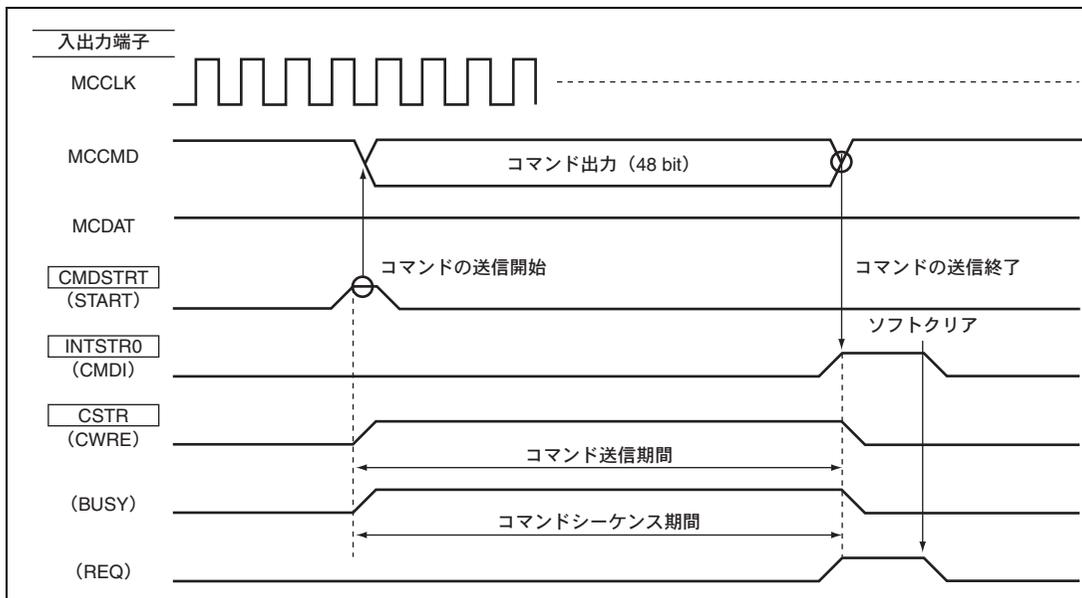


図 24.3 コマンドレスポンスを要さないコマンドシーケンスの例

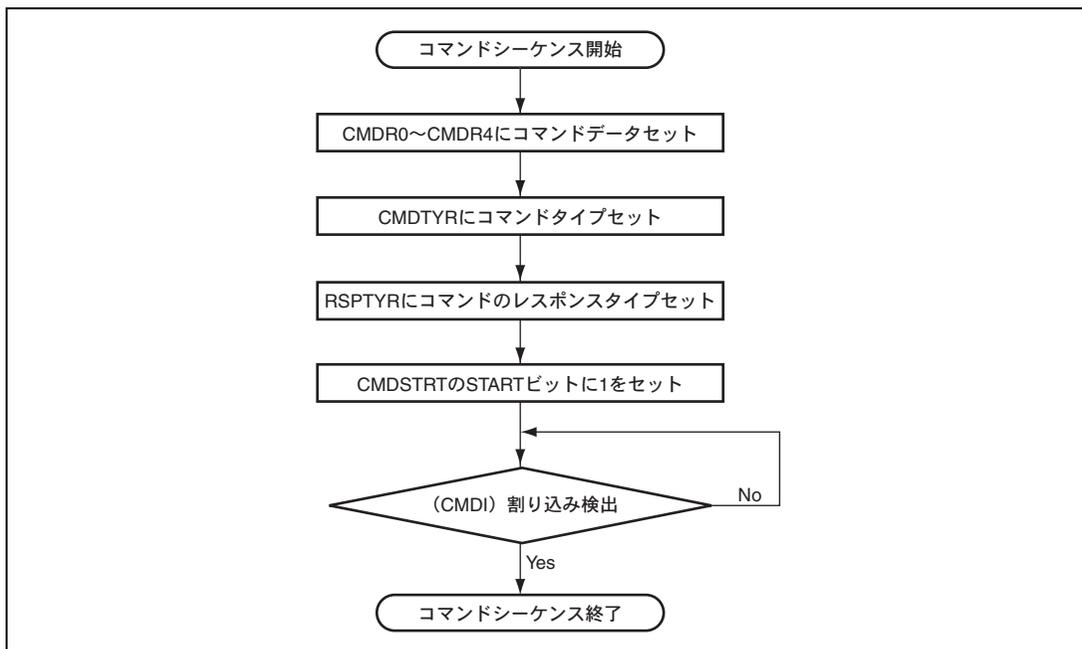


図 24.4 コマンドレスポンスを要さないコマンドの動作フローチャートの例

#### (4) データ転送を伴わないコマンドの動作

ブロードキャスト型、相対アドレス型、フラッシュメモリ操作型のすべてにデータ転送を伴わないコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスで、所望のデータ転送を実行します。フラッシュメモリの書き込み/消去など時間を要する処理に関するコマンドでは、カードはMCDATにデータビジー状態を表示します。

図 24.5 と図 24.6 に、データ転送を伴わないコマンドのコマンドシーケンスの例を示します。

図 24.7 に、データ転送を伴わないコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送出を開始します。コマンド送出完了は、コマンド送信終了割り込み (CMDI) で確認できます。
- カードからコマンドレスポンスを受信します。カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- コマンドシーケンス終了を、CSTRのBUSYフラグのポーリングか、コマンドレスポンス受信終了割り込み (CRPI) で検出します。
- CSTRのDTBUSYにより、データビジーであるか否かの判定を行い、データビジーであれば、データビジー状態終了は、データビジー終了割り込み (DBSYI) で検出します。
- CRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトしてください。

- MCCMDおよびMCDATは、MMCIFおよびマルチメディアカードがドライブしていないときは、ハイインピーダンス状態で、プルアップによりHになっております。

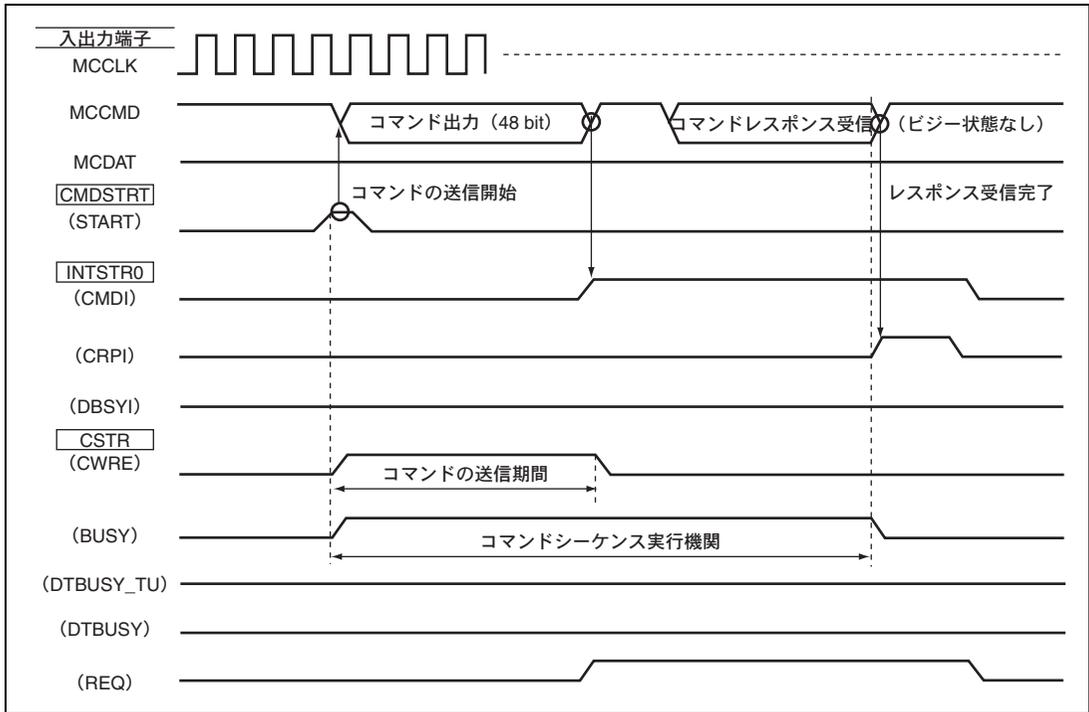


図 24.5 データ転送を伴わないコマンドシーケンスの例 (データビジー状態なし)

## 24. マルチメディアカードインタフェース (MMCIF)

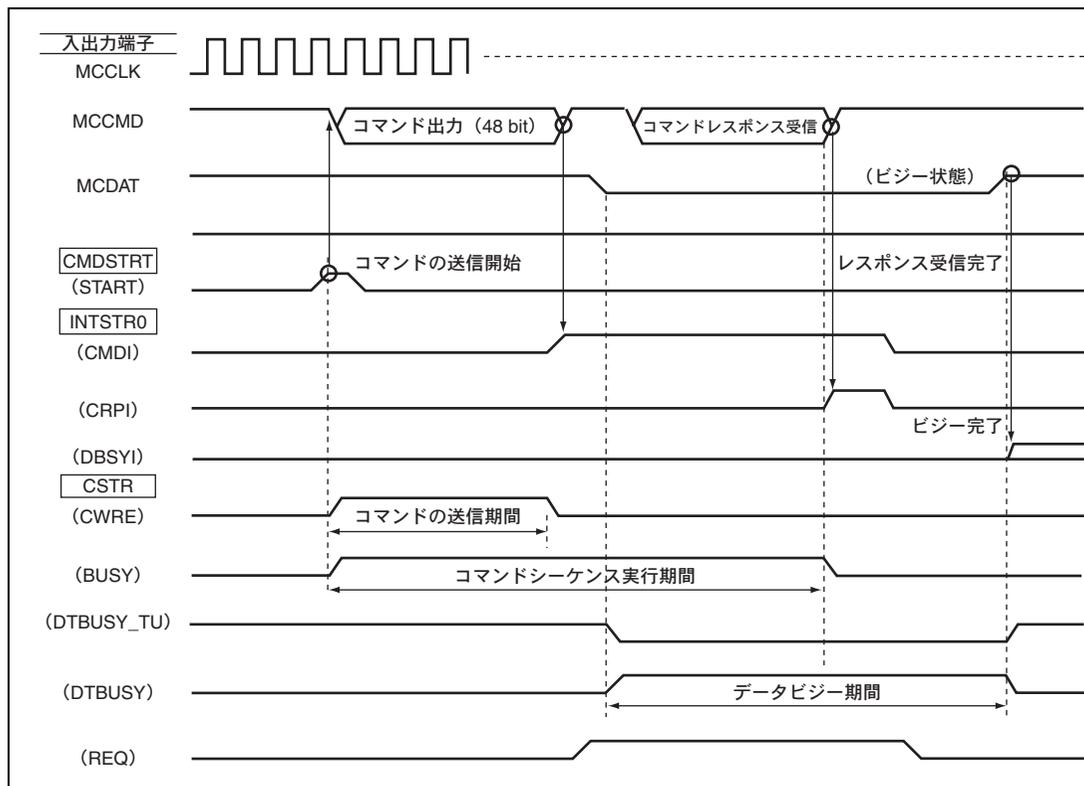


図 24.6 データ転送を伴わないコマンドシーケンスの例 (データビジー状態あり)

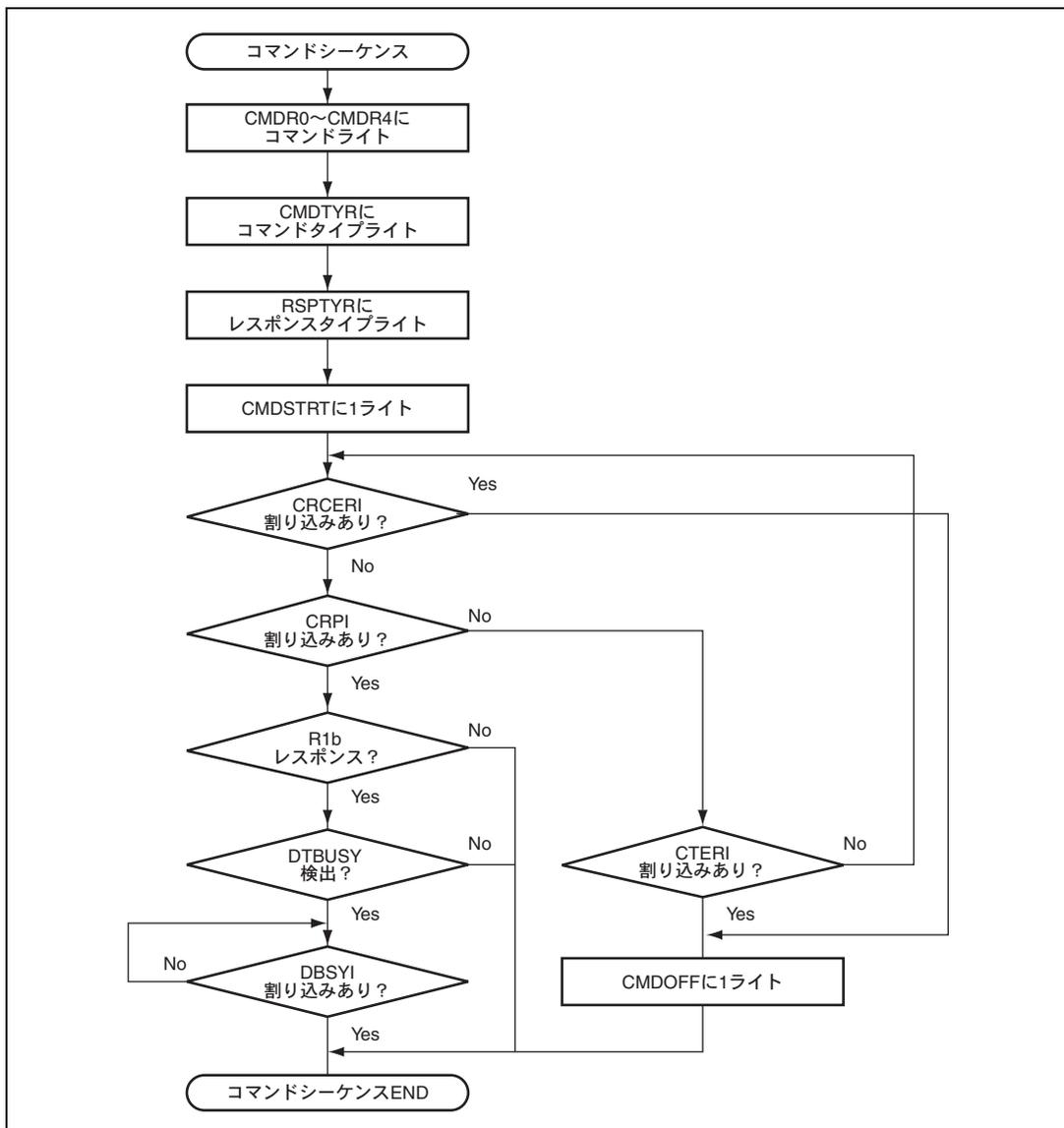


図 24.7 データ転送を伴わないコマンドの動作フローチャート

## 24. マルチメディアカードインタフェース (MMCIF)

---

### (5) 読み出しデータを伴うコマンド

フラッシュメモリ操作型の中に、読み出しデータを伴うコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスでカードの状態を確認した後に、カードの情報やフラッシュメモリのデータを MCDAT から受信します。

マルチブロック転送では、ブロックごとに転送を中断してコマンドシーケンスを継続するか否かの指示を待つ方式 (open-ended) と前もってブロック数を設定して転送を開始する方式 (pre-defined) の2つの方式があります。

また、マルチブロック転送のブロック間、FIFO がフルになったときにコマンドシーケンスは中断します。中断した場合は、必要であれば FIFO 中のデータを処理した後、コマンドシーケンスを継続します。

#### 【注意事項】

マルチブロック転送において、コマンドレスポンス受信終了 (CRPI) 前にコマンドシーケンスを終了 (CMDOFF ビットに1をライト) した場合、コマンドレスポンスを正常に受信できません。コマンドレスポンスを受信する場合は、コマンドレスポンス受信終了までコマンドシーケンスを継続 (RD\_CONTI ビットを1にセット) してください。

図 24.8～図 24.11 に、読み出しデータを伴うコマンドのコマンドシーケンスの例を示します。

図 24.12～図 24.14 に、読み出しデータを伴うコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。FIFOをクリアします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送出を開始します。エンドビットの送出完了まで MCCMDをドライブします。コマンド送出完了は、コマンド送信終了割り込み (CMDI) で確認できます。
- カードからコマンドレスポンスを受信します。カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- カードから読み出しデータを受信します。
- マルチブロック転送でのブロック間中断およびFIFOフルによる中断を、それぞれデータ転送終了割り込み (DTI) およびFIFOフル割り込み (FFI) で検出します。  
コマンドシーケンスを継続する場合は、OPCRのRD\_CONTIビットを1にセットします。終了する場合は、OPCRのCMDOFFビットを1にセットして、CMD12を発行します。ただし、pre-definedマルチブロック転送の場合は、途中でシーケンスを中止するとき以外はCMD12を必要としません。
- コマンドシーケンス終了の検出は、CSTRのBUSYフラグのポーリングか、データ転送終了割り込み (DTI)、マルチブロック転送 (pre-defined) 完了 (BTI) で検出します。
- コマンドレスポンス受信時のCRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトしてください。
- リードデータ受信時のCRCエラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFFビットに1をライトし、FIFOをクリアしてください。

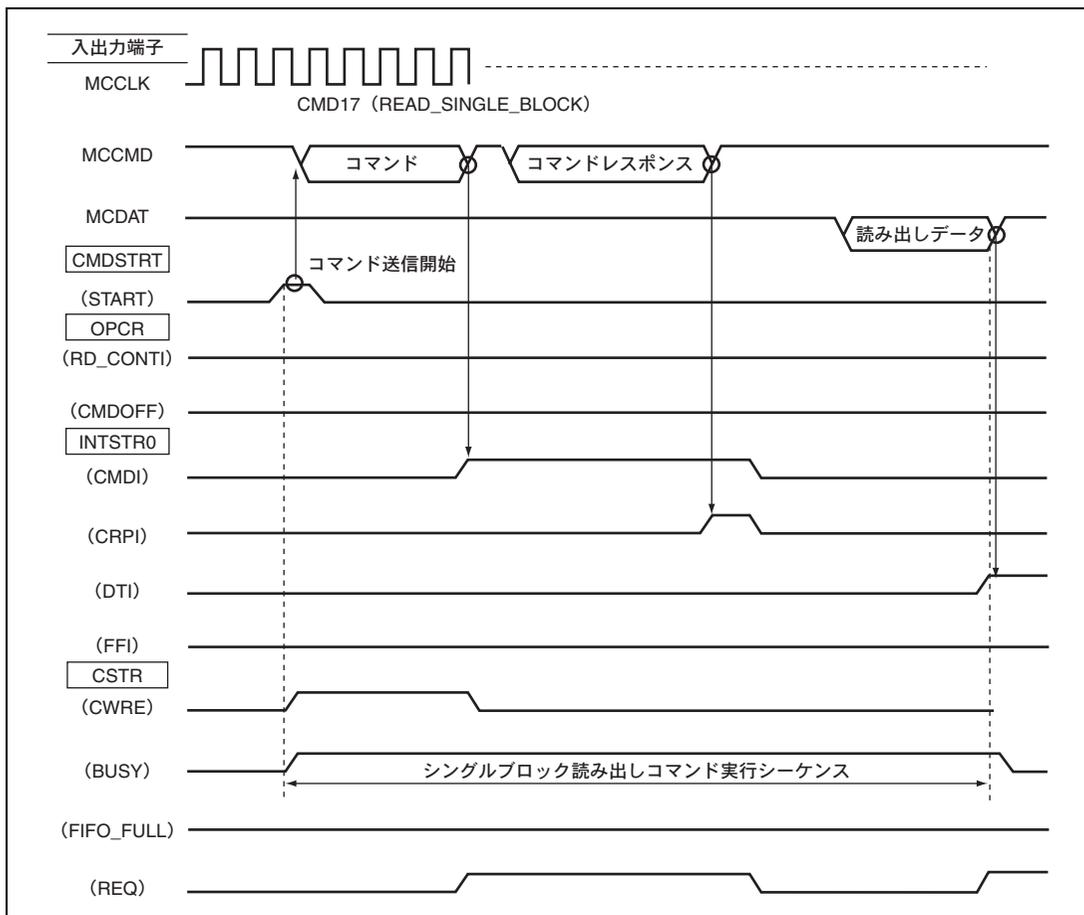


図 24.8 読み出しデータを伴うコマンドシーケンスの例 (ブロックサイズ ≤ FIFO サイズ)

## 24. マルチメディアカードインタフェース (MMCIF)

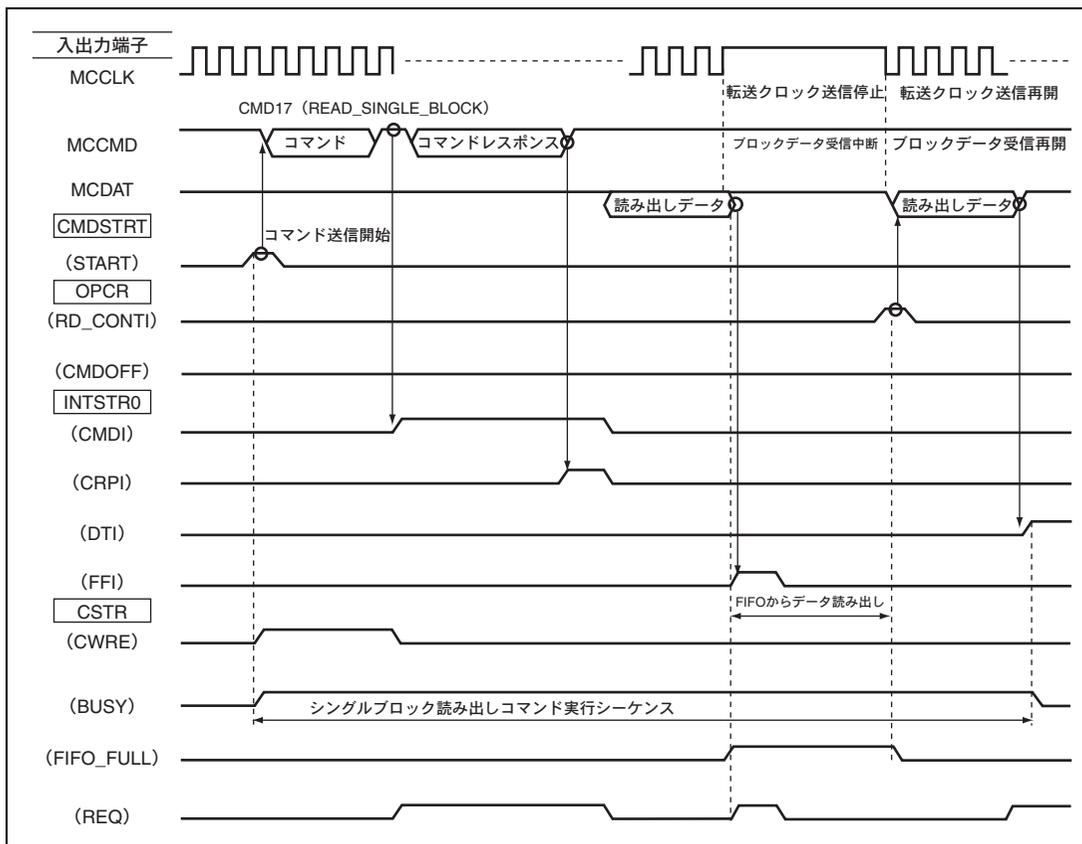


図 24.9 読み出しデータを伴うコマンドシーケンスの例 (ブロックサイズ>FIFO サイズ)

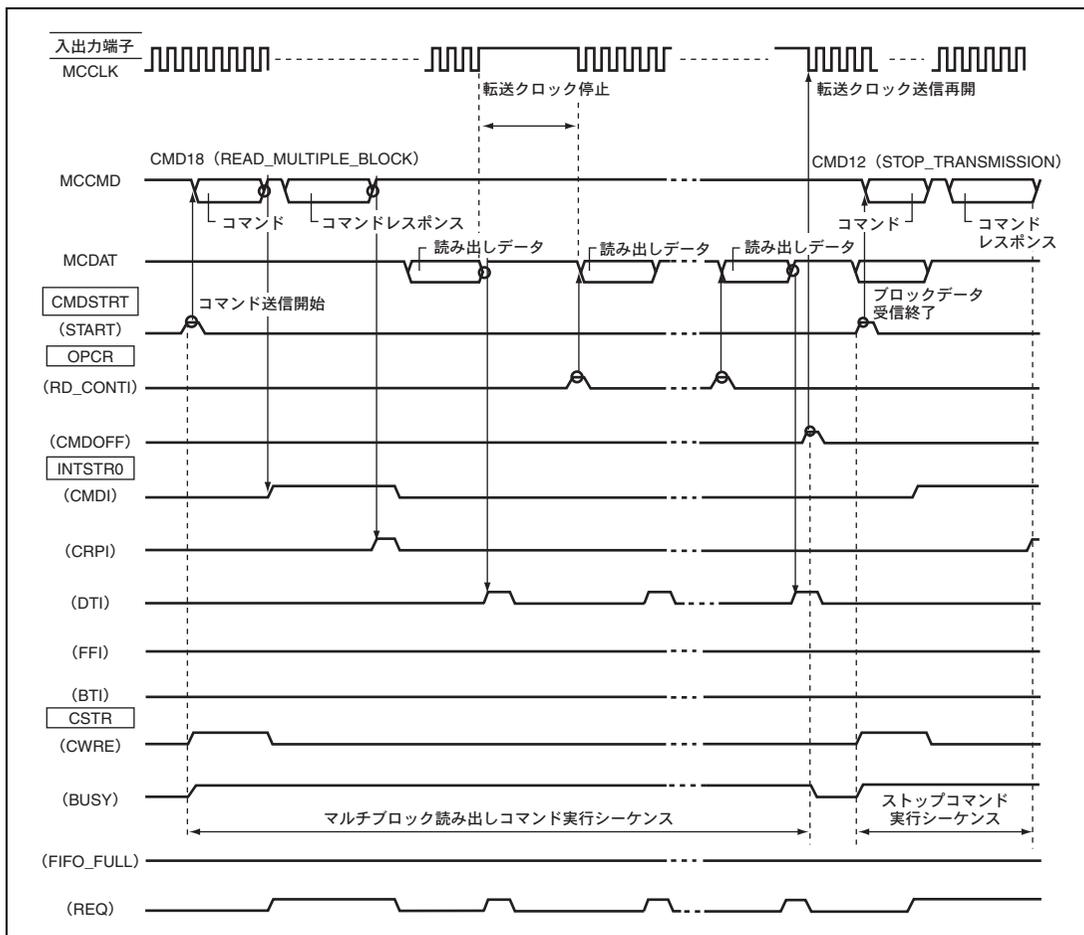


図 24.10 読み出しデータを伴うコマンドシーケンスの例 (マルチブロック転送)

## 24. マルチメディアカードインタフェース (MMCIF)

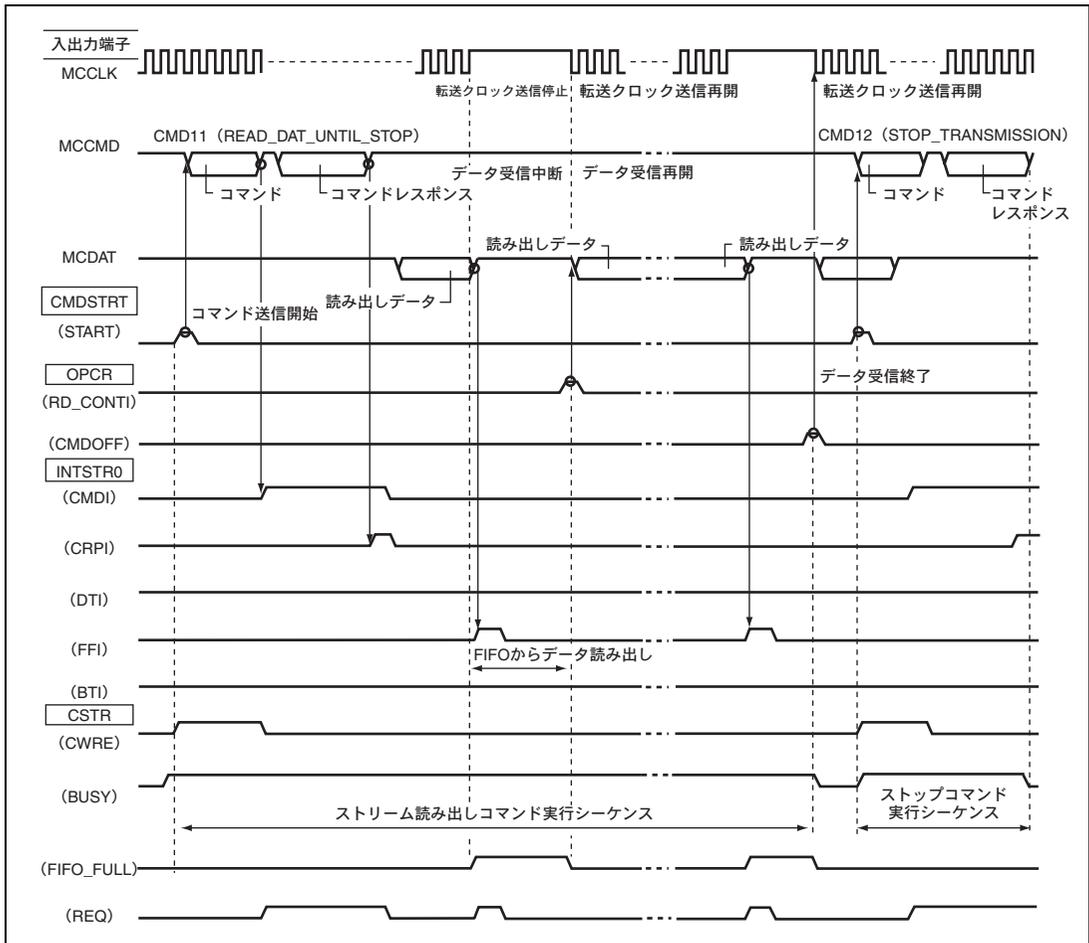


図 24.11 読み出しデータを伴うコマンドシーケンスの例 (ストリーム転送)

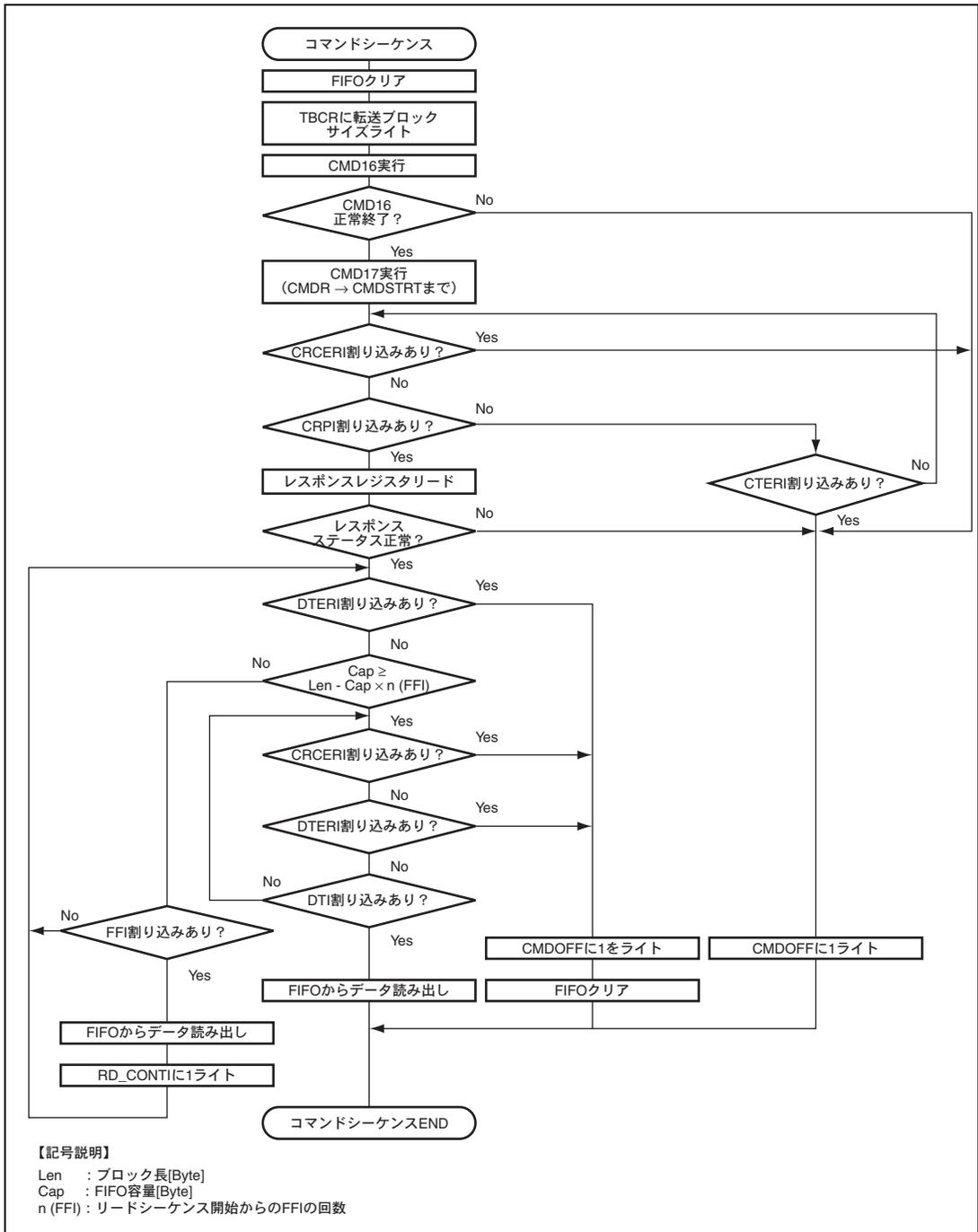


図 24.12 読み出しデータを伴うコマンドの動作フローチャートの例 (シングルブロック転送)

## 24. マルチメディアカードインタフェース (MMCIF)

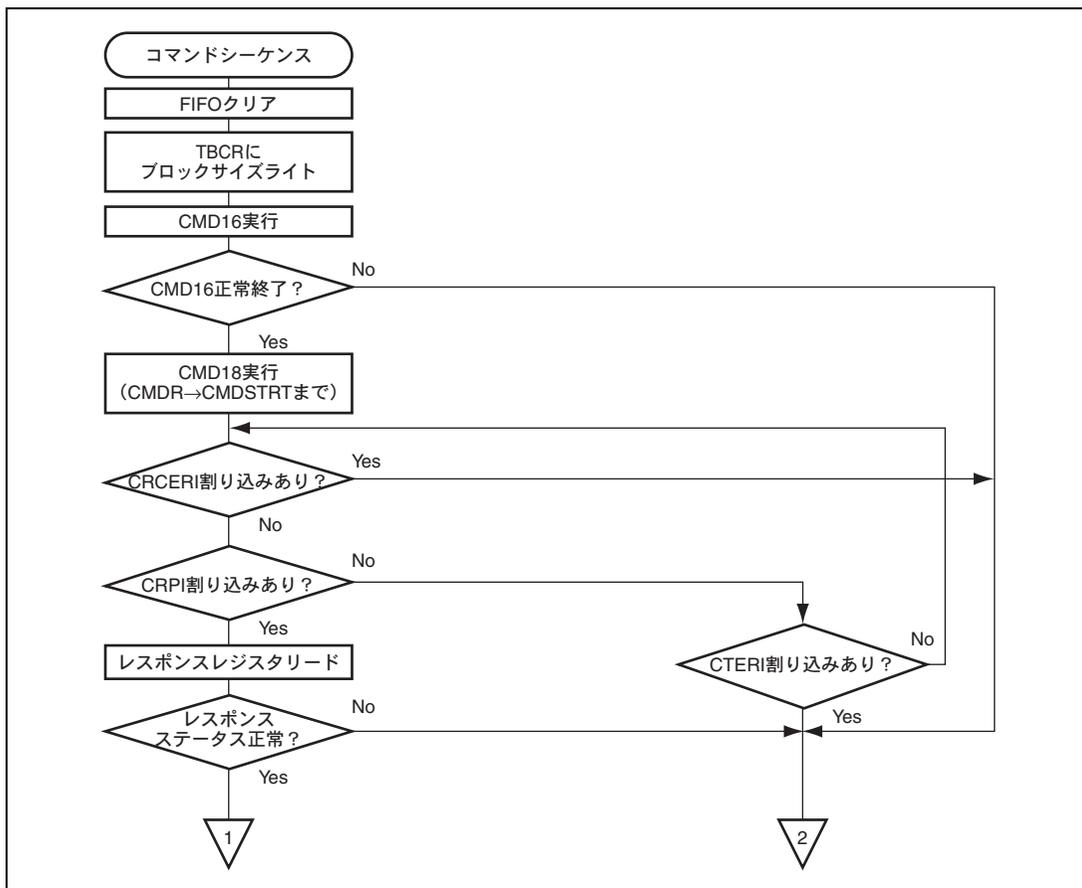


図 24.13 読み出しデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送) (1)

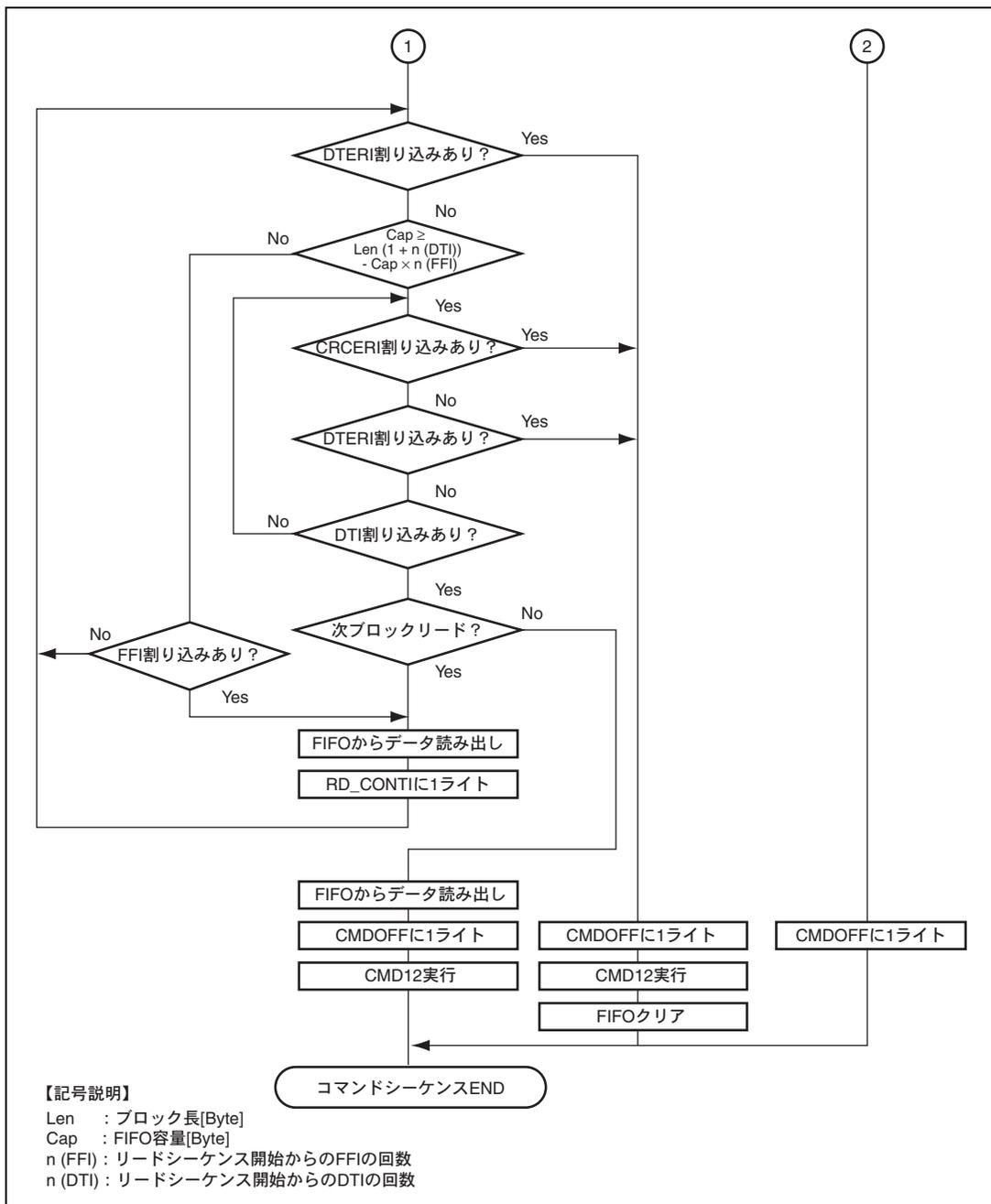


図 24.13 読み出しデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送) (2)

## 24. マルチメディアカードインタフェース (MMCIF)

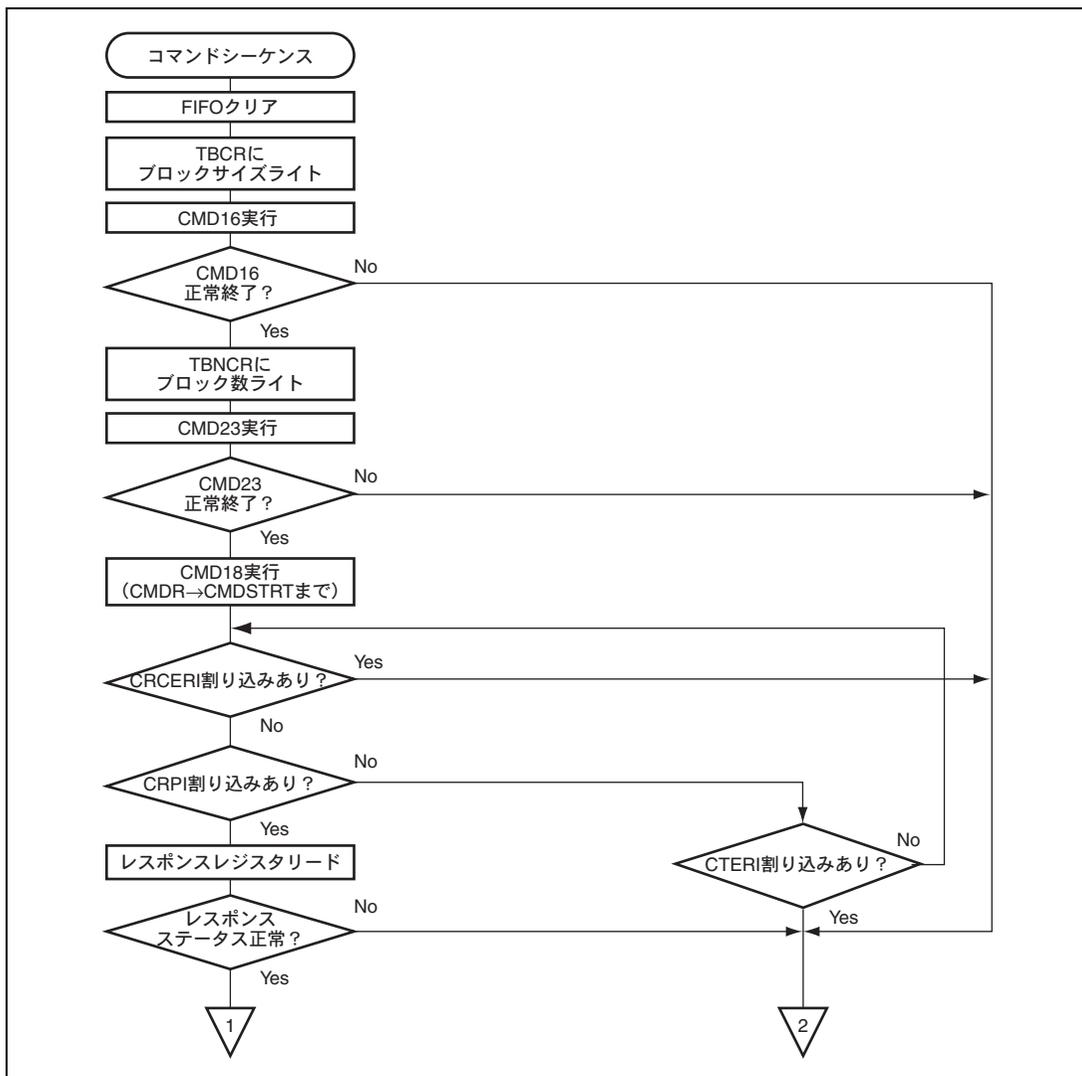


図 24.13 読み出しデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送) (3)

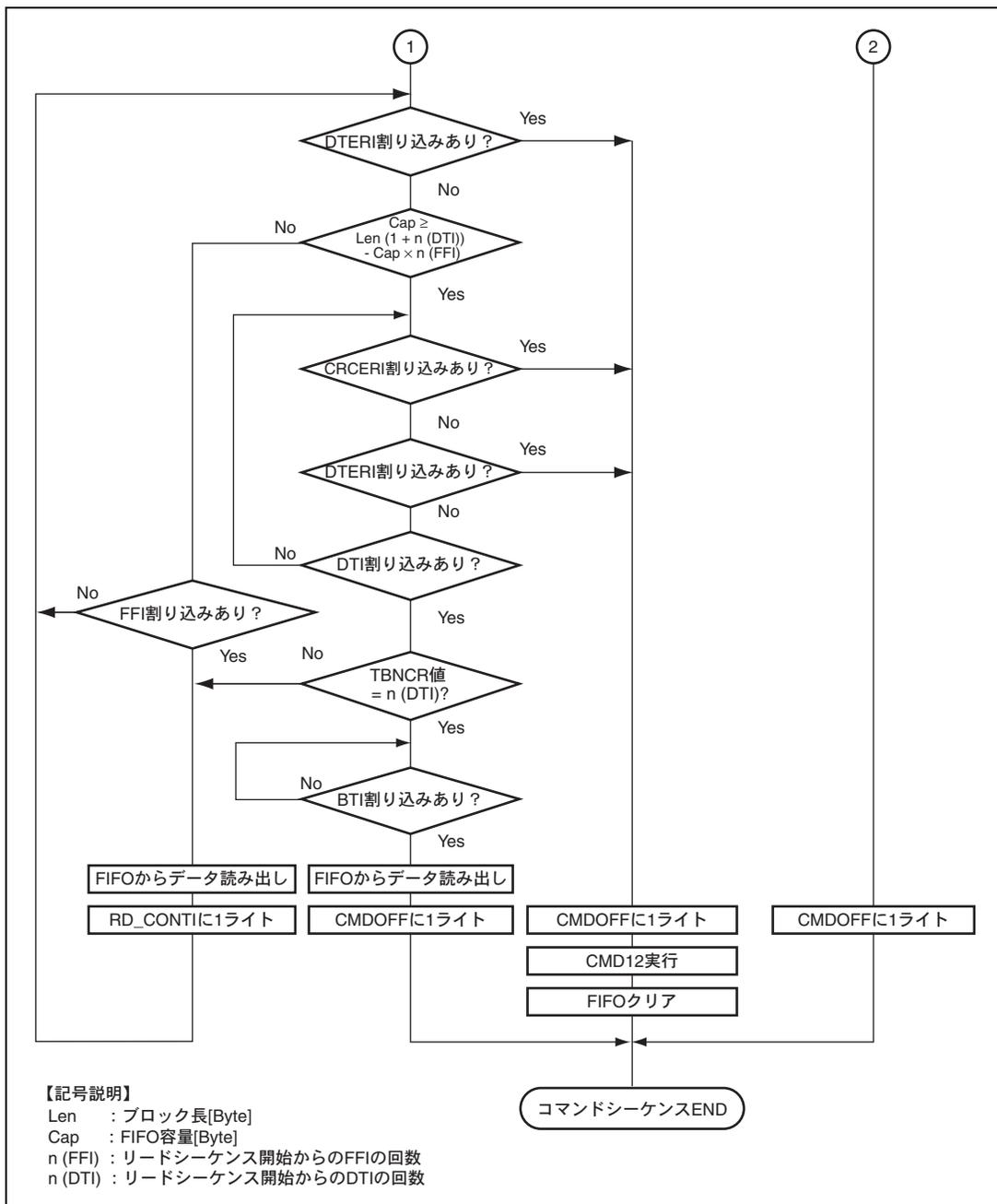


図 24.13 読み出しデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送) (4)

24. マルチメディアカードインタフェース (MMCIF)

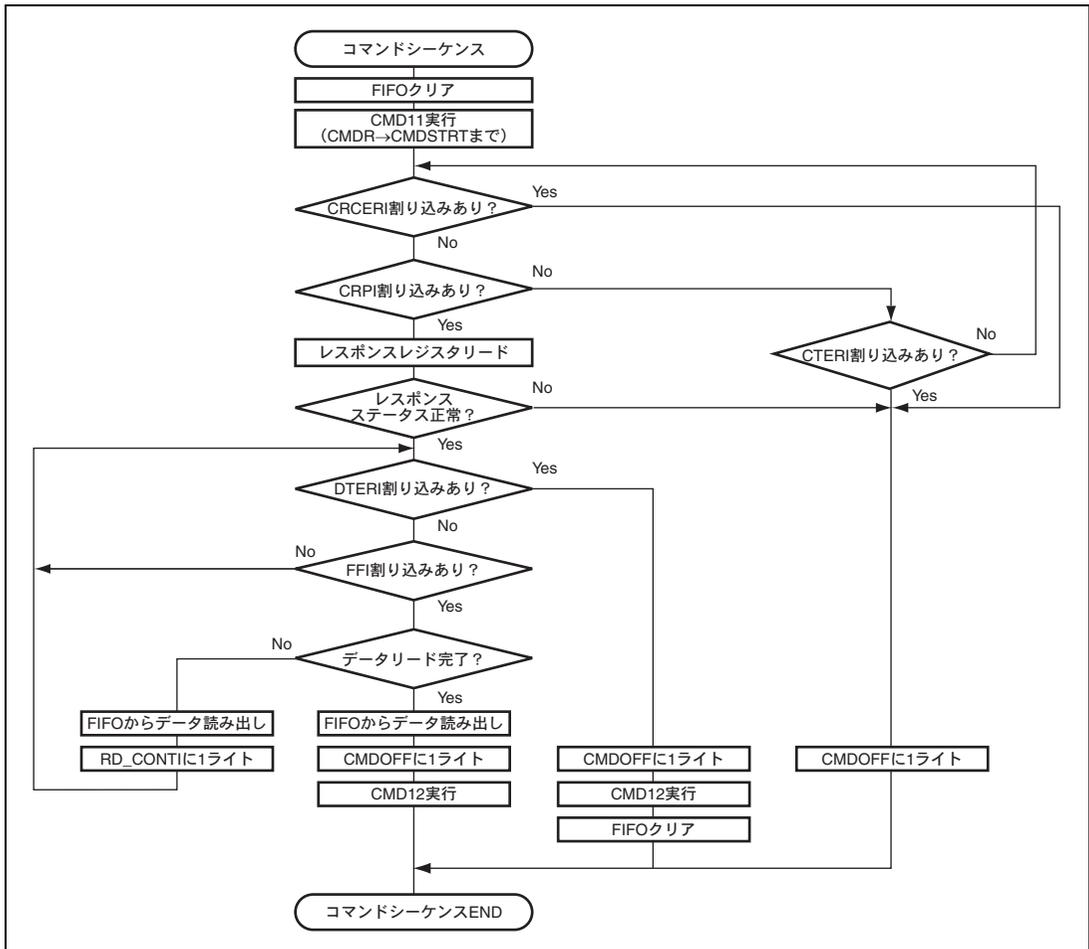


図 24.14 読み出しデータを伴うコマンドの動作フローチャートの例 (ストリーム転送)

**(6) 書き込みデータを伴うコマンド**

フラッシュメモリ操作型の中に、書き込みデータを伴うコマンドがあります。これらコマンドは、コマンドの引数およびコマンドレスポンスでカードの状態を確認した後に、カードの情報やフラッシュメモリのデータを MCDAT から送信します。フラッシュメモリの書き込みなど時間を要する処理に関するコマンドでは、カードは MCDAT にデータビジー状態を表示します。

マルチブロック転送では、ブロックごとに転送を中断してコマンドシーケンスを継続するか否かの指示を待つ方式 (open-ended) と前もってブロック数を設定して転送を開始する方式 (pre-defined) の2つの方式があります。

また、マルチブロック転送のブロック間、FIFOがエンプティになったときにコマンドシーケンスは中断します。中断した場合は、必要であればFIFO中のデータを処理した後、コマンドシーケンスを継続します。

図 24.15～図 24.18 に、書き込みデータを伴うコマンドのコマンドシーケンスの例を示します。

図 24.19～図 24.21 に、書き込みデータを伴うコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。FIFOをクリアします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送出を開始します。エンドビットの送出完了まで MCCMDをドライブします。
- コマンド送出完了は、コマンド送信終了割り込み (CMDI) で確認できます。
- カードからコマンドレスポンスを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- FIFOに書き込みデータをセットします。
- OPCRのDATAENビットを1にセットして、書き込みデータの送信を開始します。エンドビットの送出完了までMCDATをドライブします。
- マルチブロック転送でのブロック間中断およびFIFOエンプティによる中断を、それぞれデータレスポンス完了フラグ (DRPI) およびFIFOエンプティフラグ (FEI) で検出します。コマンドシーケンスを継続する場合は、FIFOにライトデータを補充し、OPCRのDATAENビットを1にセットします。終了する場合は、OPCRのCMDOFFビットを1にセットして、CMD12を発行します。ただし、pre-definedマルチブロック転送で、途中でシーケンスを中止するとき以外はCMD12を必要としません。
- コマンドシーケンス終了の検出は、CSTRのBUSYフラグのポーリングか、データ転送終了割り込み (DTI) データレスポンス割り込み (DRPI) 、またはマルチブロック転送 (pre-defined) 完了 (BTI) で検出します。
- CSTRのDTBUSYにより、データビジーであることを確認し、データビジーであればデータビジー状態の終了をデータビジー終了割り込み (DBSYI) で検出します。
- コマンドレスポンス受信時のCRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトしてください。
- ライトデータ送信時のCRCエラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFFビットに1をライトしてください。

【注】 ストリーム転送によって、カードへ書き込むときには、FIFO エンプティ割り込み確認後も MMCIF はカードへのデータ転送を継続しています。その場合、通信クロックの 24 クロック分以上経過してから、コマンドシーケンスを終了してください。

## 24. マルチメディアカードインタフェース (MMCIF)

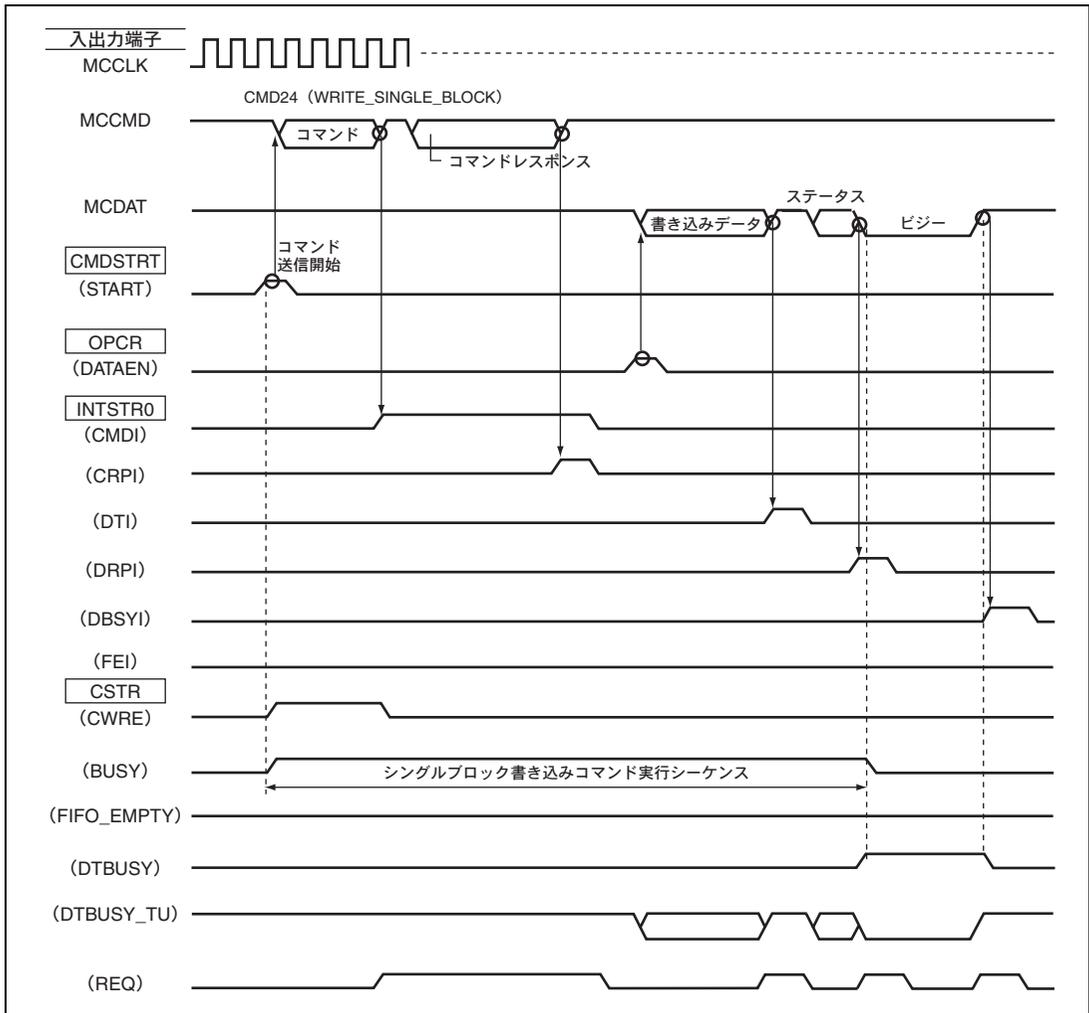


図 24.15 書き込みデータを伴うコマンドシーケンスの例 (ブロックサイズ ≤ FIFO サイズ)

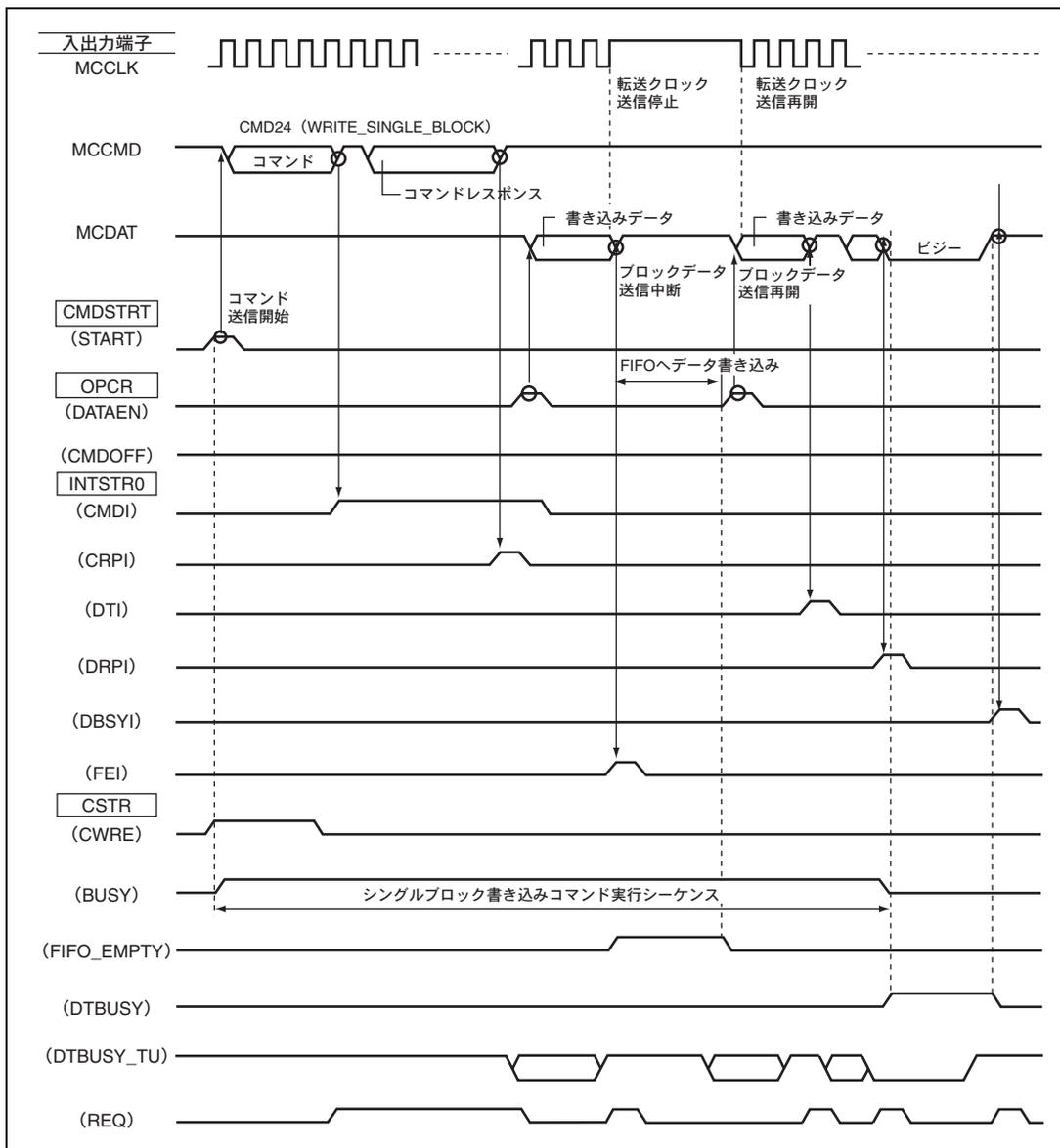


図 24.16 書き込みデータを伴うコマンドシーケンスの例 (ブロックサイズ>FIFO サイズ)

## 24. マルチメディアカードインタフェース (MMCIF)

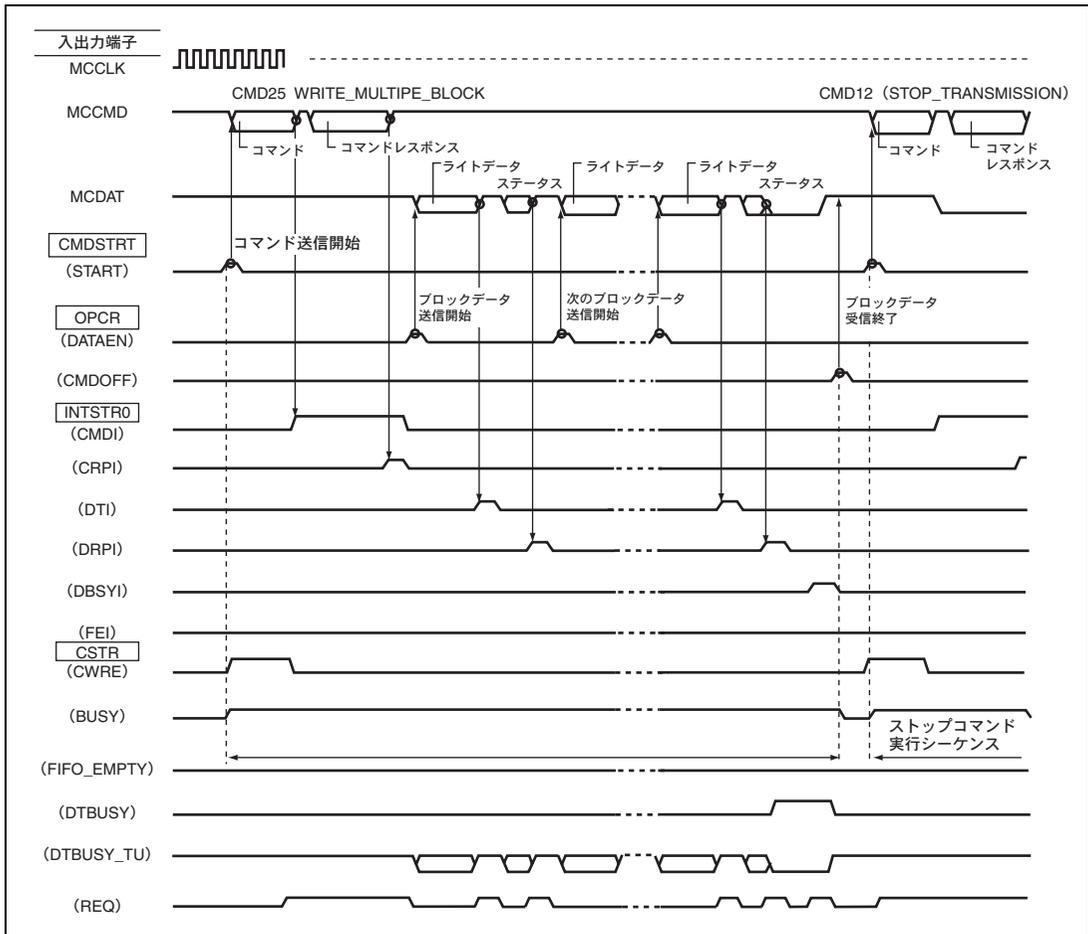


図 24.17 書き込みデータを伴うコマンドのコマンドシーケンスの例 (マルチブロック転送)

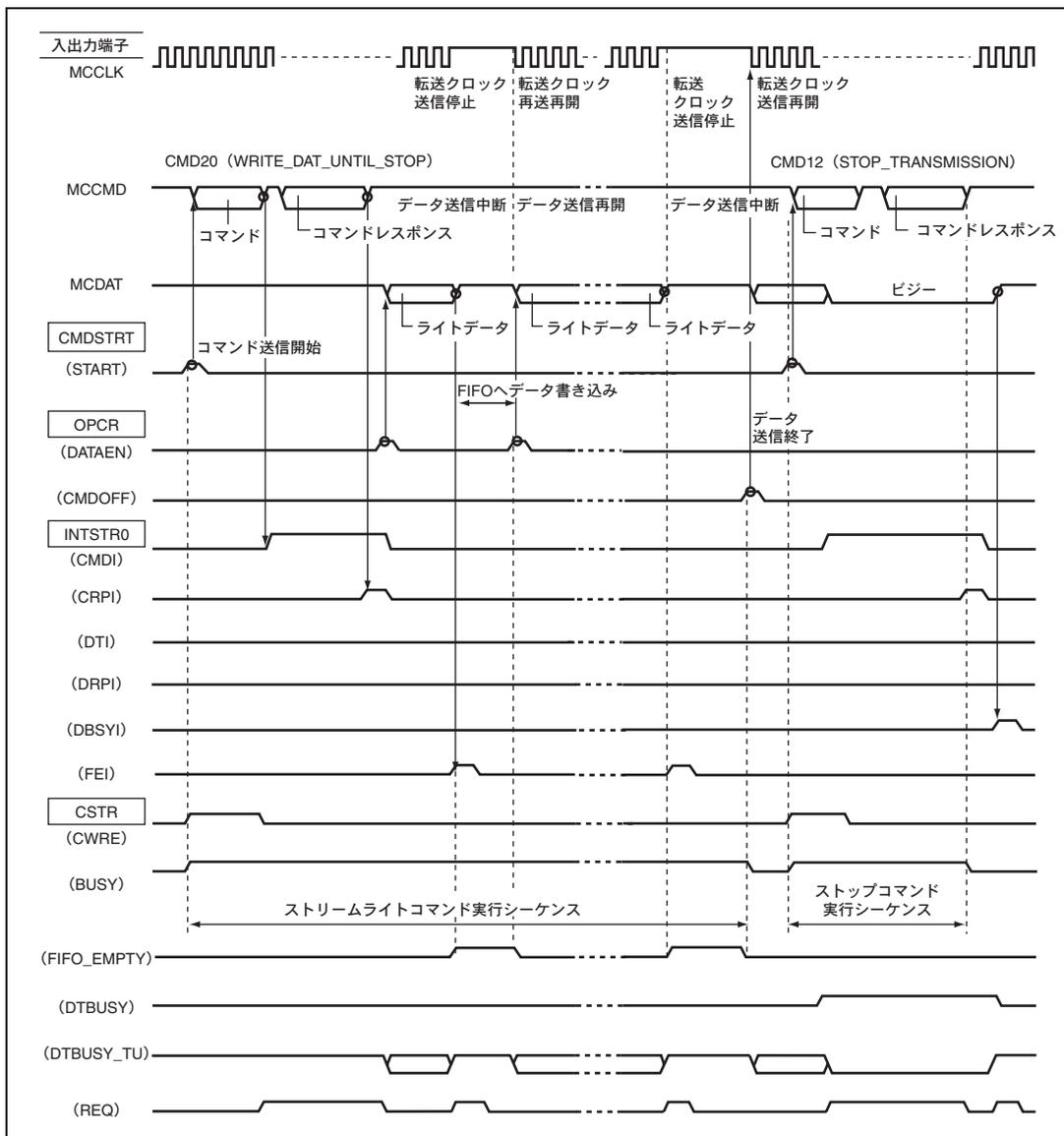


図 24.18 書き込みデータを伴うコマンドシーケンスの例 (ストリーム転送)

## 24. マルチメディアカードインタフェース (MMCIF)

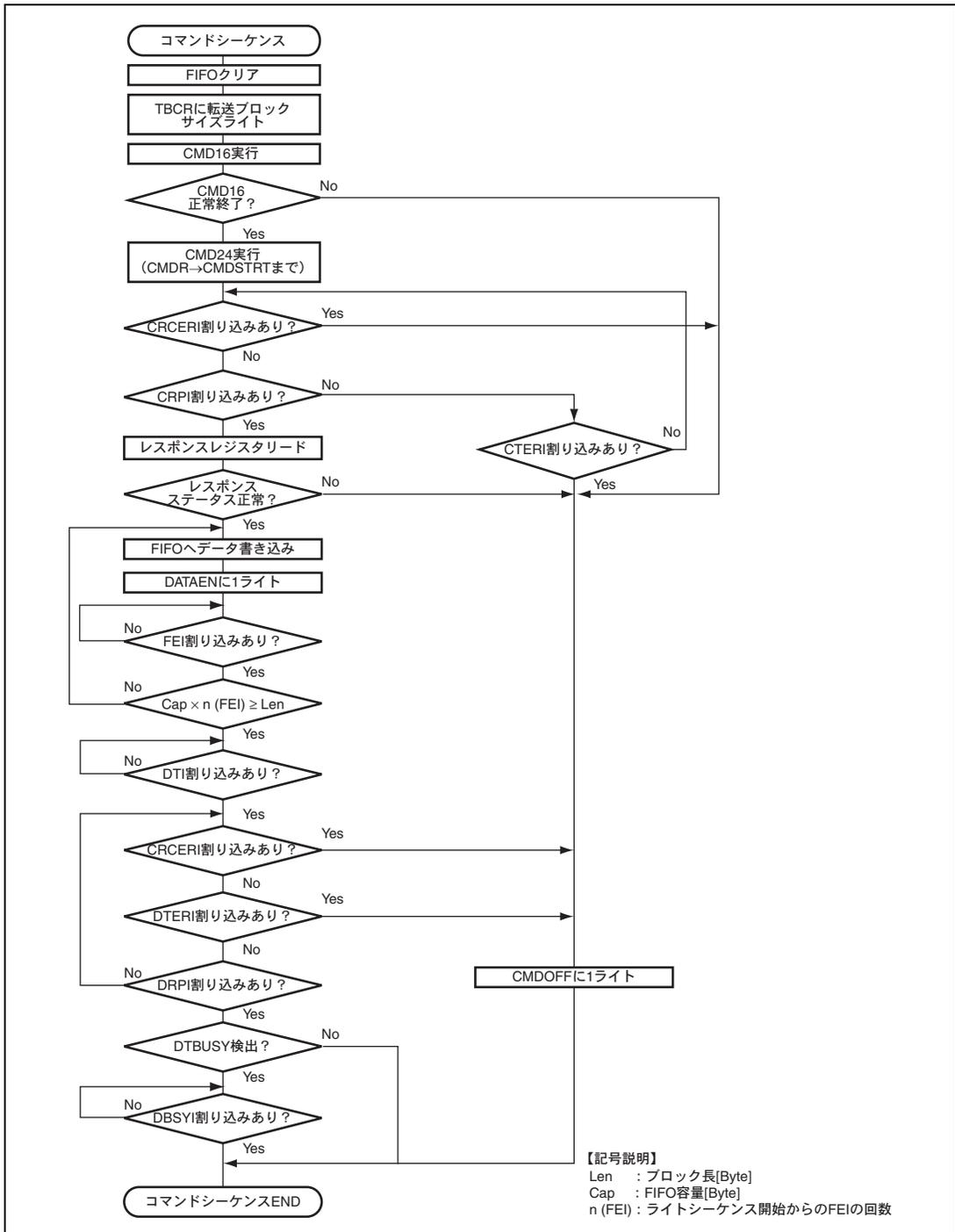


図 24.19 書き込みデータを伴うコマンドの動作フローチャート (シングルブロック転送)

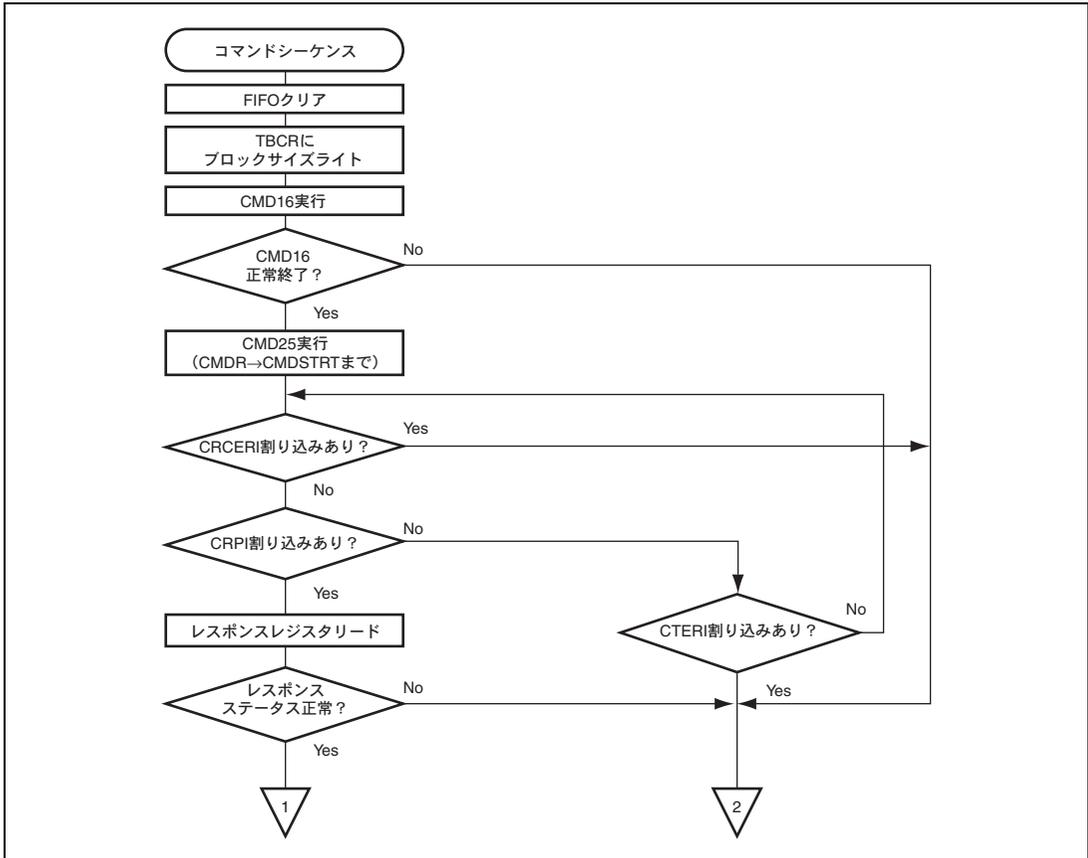


図 24.20 書き込みデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送) (1)

## 24. マルチメディアカードインタフェース (MMCIF)

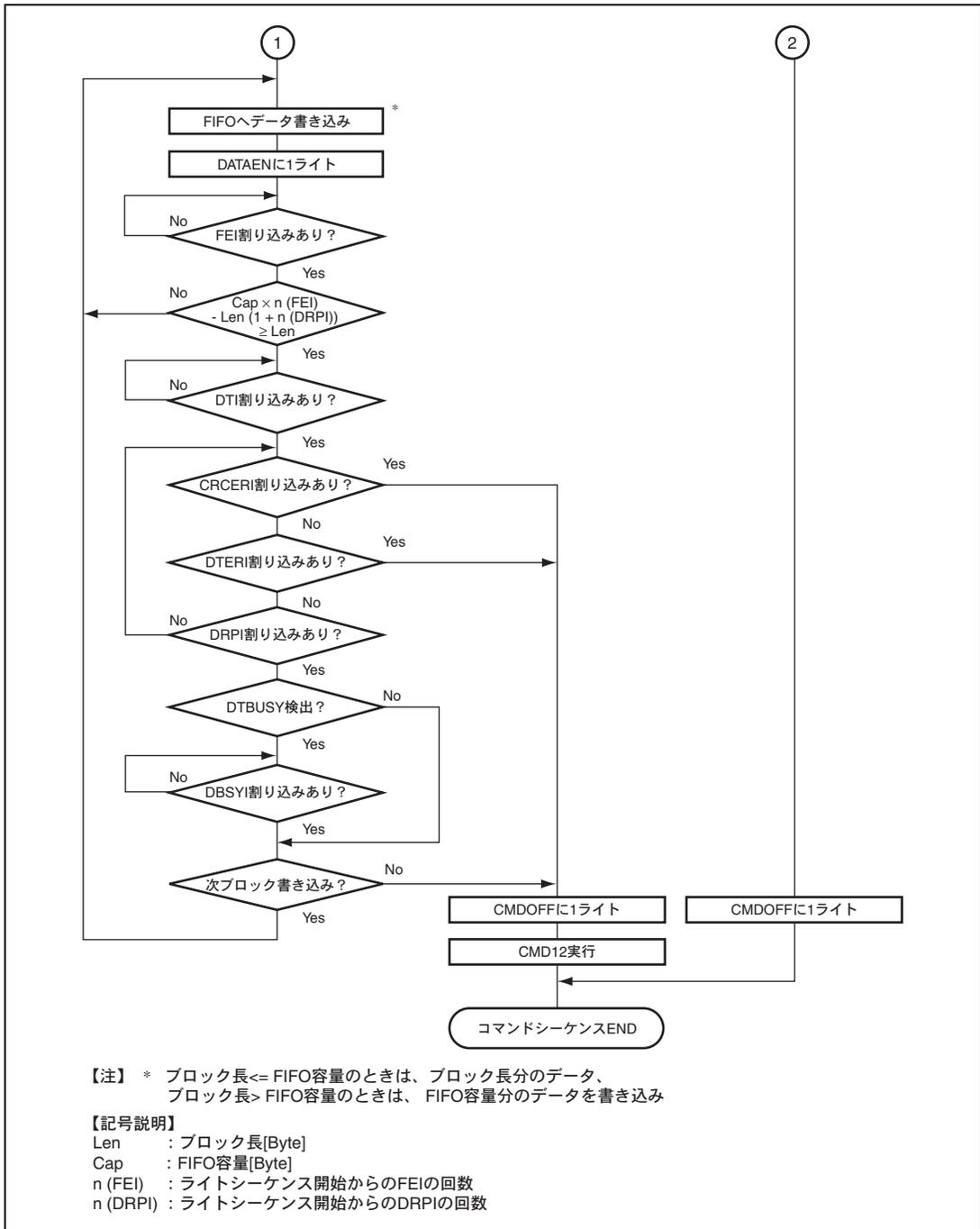


図 24.20 書き込みデータを伴うコマンドの動作フローチャートの例 (open-ended マルチブロック転送) (2)

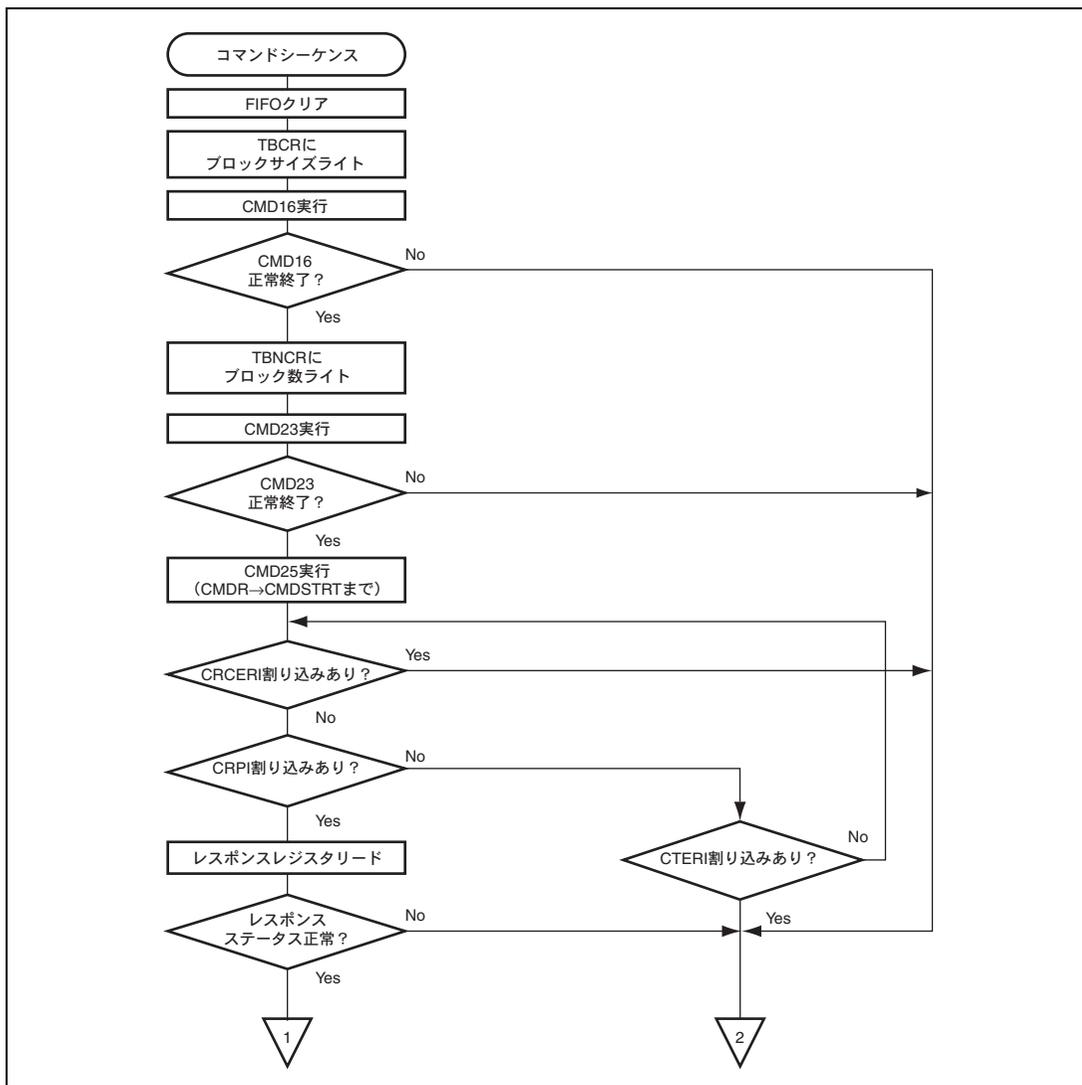


図 24.20 書き込みデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送) (3)

24. マルチメディアカードインタフェース (MMCIF)

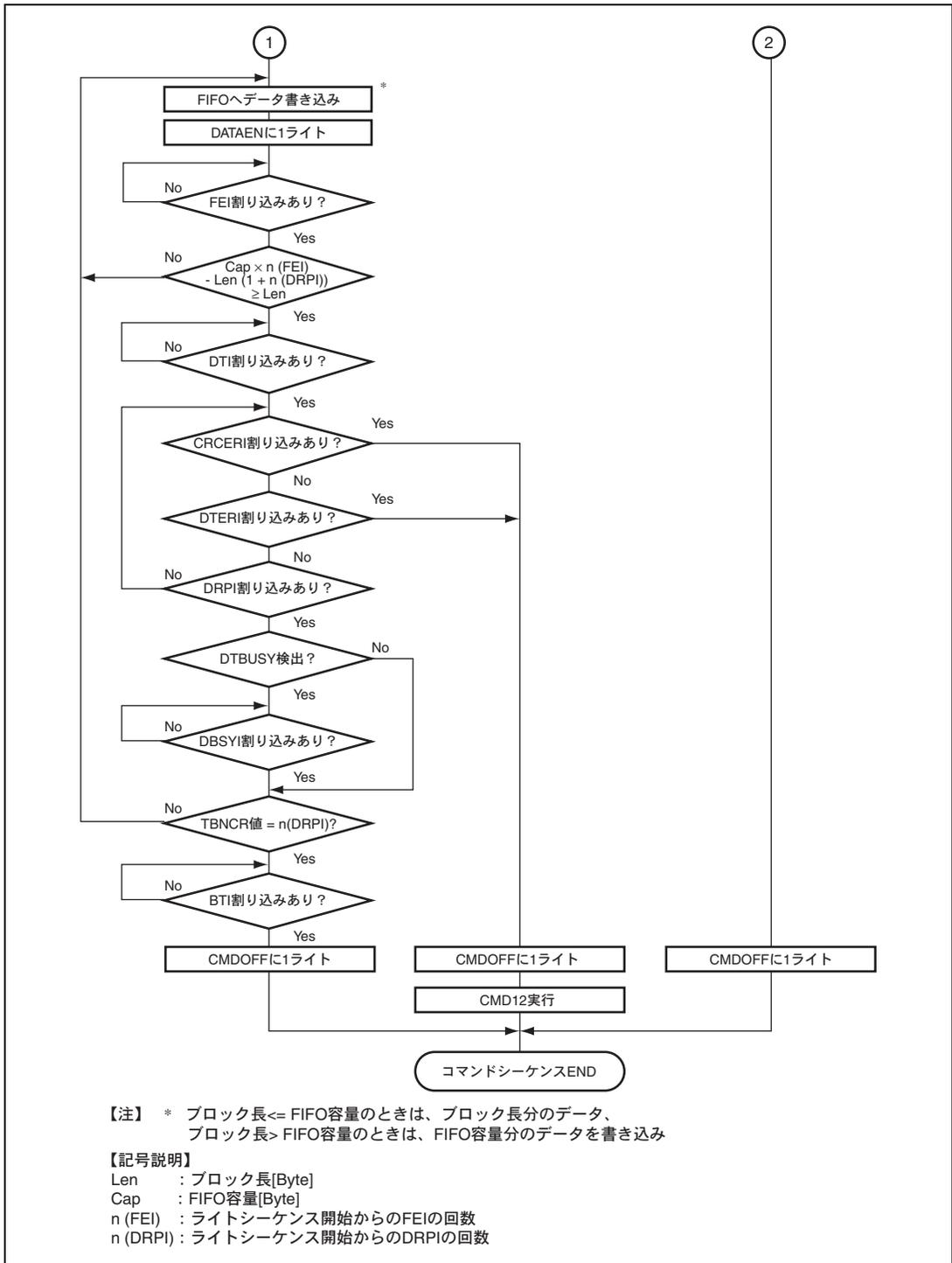


図 24.20 書き込みデータを伴うコマンドの動作フローチャートの例 (pre-defined マルチブロック転送) (4)

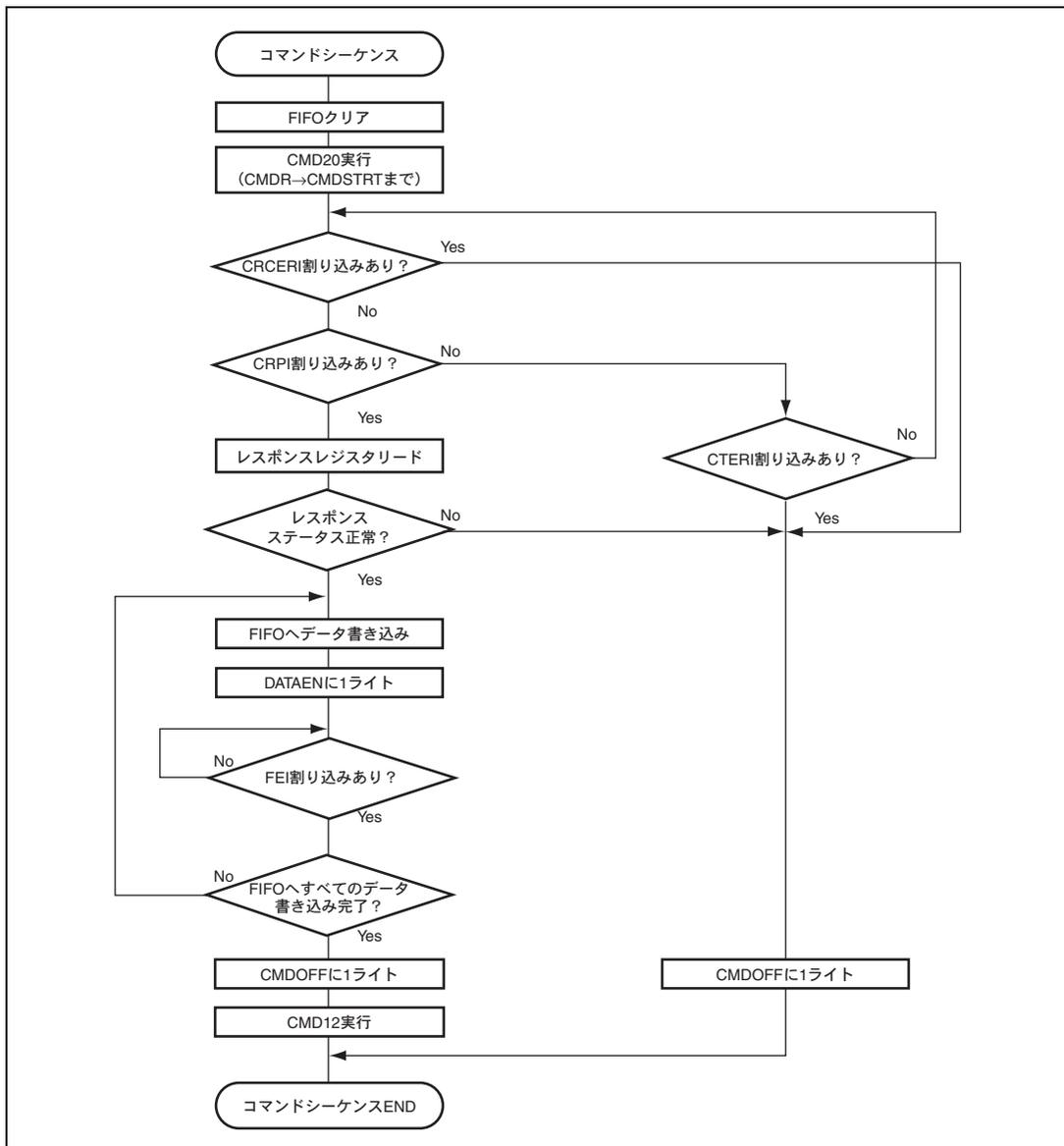


図 24.21 書き込みデータを伴うコマンドの動作フローチャートの例 (ストリーム転送)

## 24.5 MMCIF 割り込み要因

表 24.7 に MMCIF の割り込み要因を示します。割り込み要因は 4 グループに分類されており、4 つの割り込みベクタが割り当てられています。各割り込み要因は、INTCR0～INTCR2 のイネーブルビットにより独立にイネーブルにすることができます。ディスエーブルにされた割り込み要因は、フラグをセットしません。

表 24.7 MMCIF 割り込み要因

名 称	割り込み要因	割り込みフラグ
FSTAT	FIFO エンプティ	FEI
	FIFO フル	FFI
TRAN	データレスポンス	DPRI
	データ転送終了	DTI
	コマンドレスポンス受信終了	CRPI
	コマンド送信終了	CMDI
	データビジー終了	DBSYI
ERR	CRC エラー	CRCERI*
	データタイムアウトエラー	DTERI
	コマンドタイムアウトエラー	CTERI
FRDY	FIFO 準備完了	FRDYI

【注】 \* R2 のコマンドレスポンスの CRC エラーは除く。

## 24.6 DMA 使用時の動作説明

### 24.6.1 読み出しシーケンス時の動作

DMAC を用いて FIFO 内データの転送を行うときは、DMAC の各設定後\*、MMCIF (DMACR) の設定を行ってください。DMACR の設定後、読み出しコマンドを送信してください。

図 24.22～図 24.24 に読み出しシーケンスフローを示します。

- FIFO をクリアし、DMACR を設定します。
- 読み出しコマンド送出を開始します。
- カードからコマンドレスポンスを受信します。
- カードから読み出しデータを受信します。
- 読み出しシーケンス終了後、FIFO にはデータが残っています。必要であれば、FIFO 内のデータをすべて読み出すことができるように DMACR の SET[2:0] に 100 を書き込みます。
- DMAC の転送が完了したことを確認し、DMACR の DMAEN ビットに 0 をセットしてください。
- コマンドレスポンス受信時の CRC エラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFF ビットに 1 をライトし、DMACR に H'00 を設定してください。

- リードデータ受信時のCRCエラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMD0FFビットに1をライトし、DMACRにH'00を設定し、FIFOをクリアしてください。

また、DMA 使用時は、DMACR の AUTO ビットに 1 を設定することにより、pre-defined マルチブロック転送のブロック終了後に正常にリードできたことを検出できたら、次のブロックのリードを自動で再開します。図 24.25 にオートモードを用いるときの pre-defined マルチリードシーケンスフローを示します。

- FIFOをクリアします。
- TBNCRにブロック数を設定します。
- DMACRを設定します。
- リードコマンド送出を開始します。
- カードからコマンドレスポンス、リードデータを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- コマンドシーケンス終了の検出は、CSTRのBUSYフラグのポーリングか、マルチブロック転送 (pre-defined) 完了 (BTI) フラグで検出します。
- コマンドシーケンス中 (データ受信) のエラーはCRCエラーフラグ、データタイムアウトフラグにより、検出します。これらのフラグを検出した時はOPCRのCMD0FFビットを1にセットして、CMD12を発行しコマンドシーケンスを中止します。
- リードシーケンス終了後、FIFOにはデータが残っています。必要であれば、FIFO内のデータすべてをリードできるようにDMACRのSET[2:0]に100をライトします。
- DMACの転送が完了したことを確認し、DMACRのDMAENビットに0をセットします。
- コマンドレスポンス受信時のCRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMD0FFビットに1をライトし、DMACRにH'00を設定してください。
- リードデータ受信時のCRCエラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMD0FFビットに1をライトし、DMACRにH'00を設定し、FIFOをクリアしてください。

- 【注】**
1. マルチブロック転送において、コマンドレスポンス受信終了 (CRPI) 前にコマンドシーケンスを終了 (CMD0FF ビットに 1 をライト) した場合、コマンドレスポンスを正常に受信できません。コマンドレスポンスを受信する場合は、コマンドレスポンス受信終了までコマンドシーケンスを継続 (RD\_CONTI ビットを 1 にセット) してください。
  2. DMAC からの FIFO へのアクセスは、バイトまたはワードアクセスを行ってください。

24. マルチメディアカードインタフェース (MMCIF)

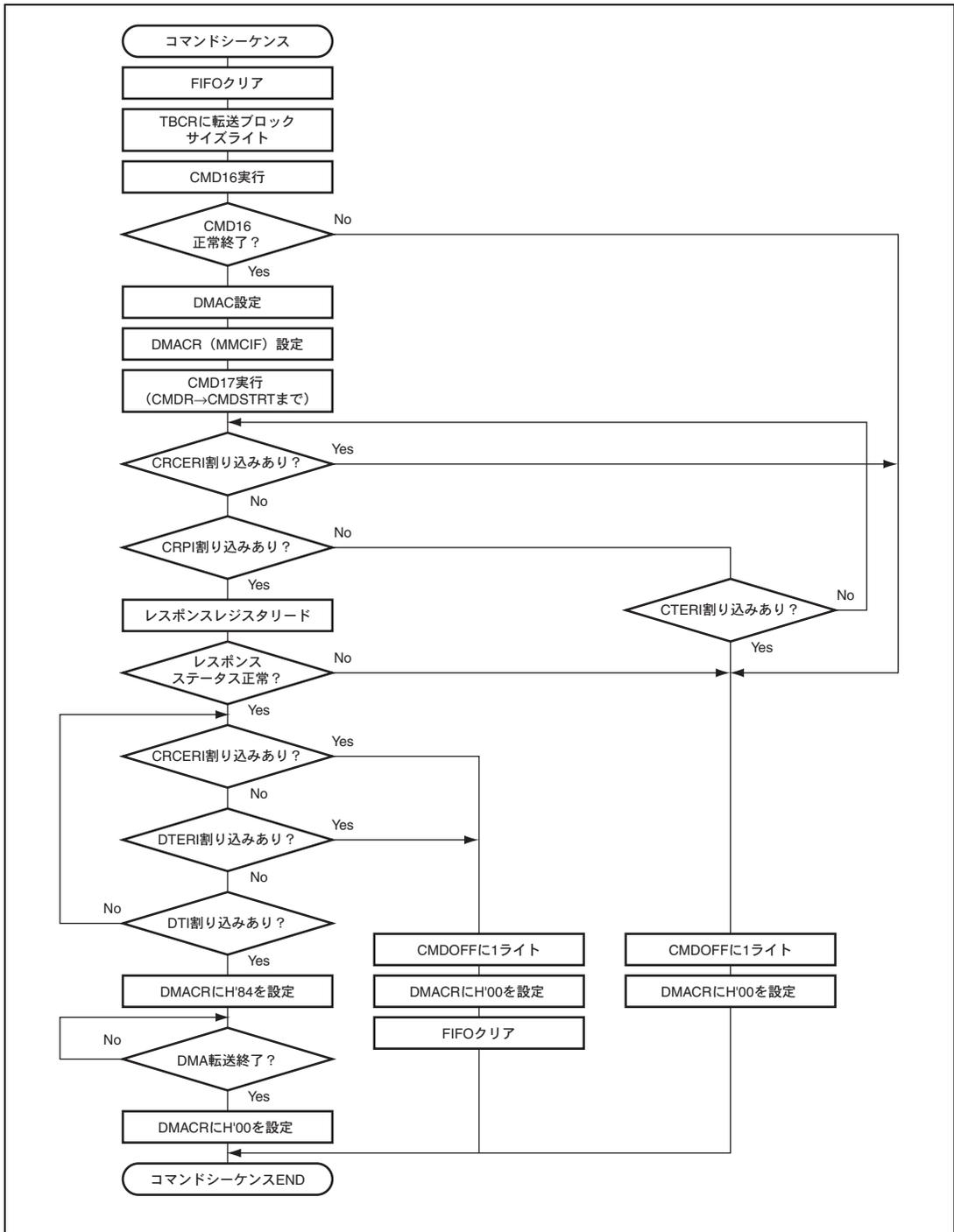


図 24.22 リードシーケンスフローの例 (シングルブロック転送)

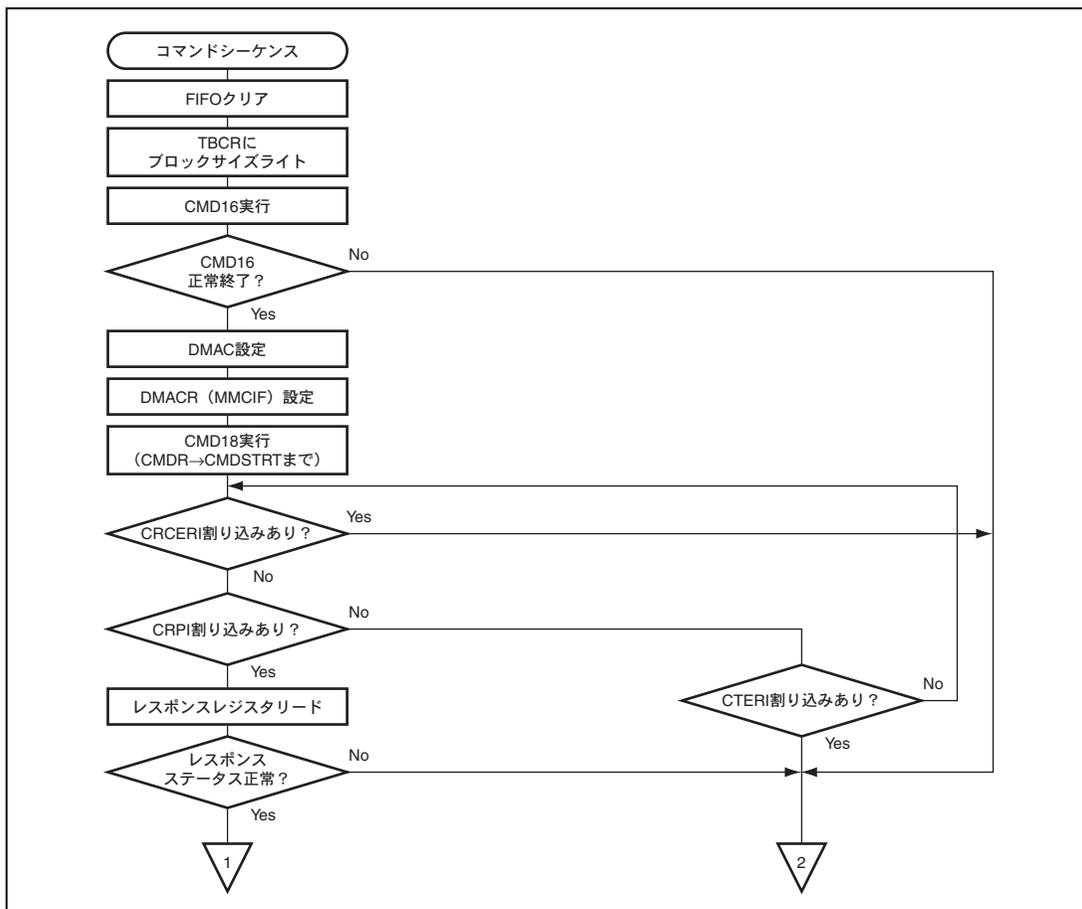


図 24.23 リードシーケンスフローの例 (open-ended マルチブロック転送) (1)

## 24. マルチメディアカードインタフェース (MMCIF)

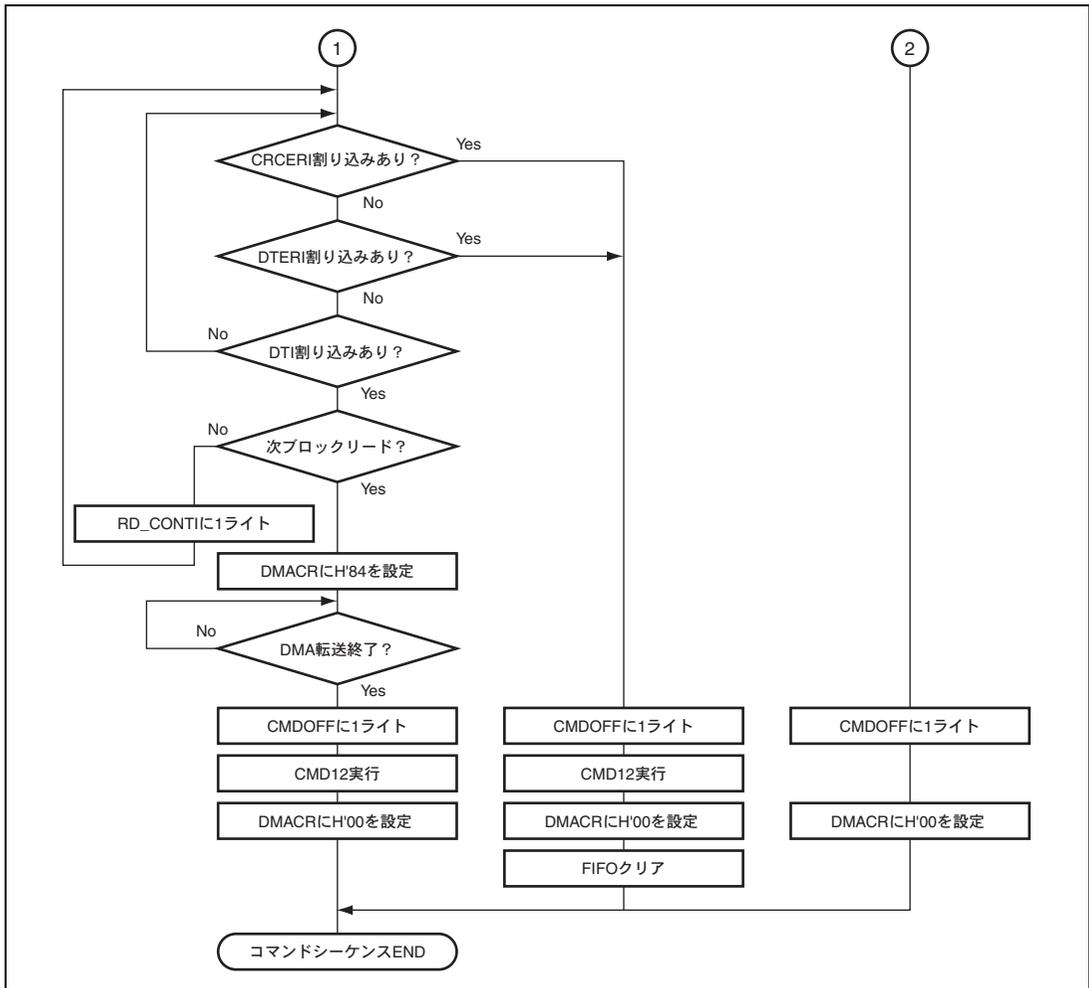


図 24.23 リードシーケンスフローの例 (open-ended マルチブロック転送) (2)

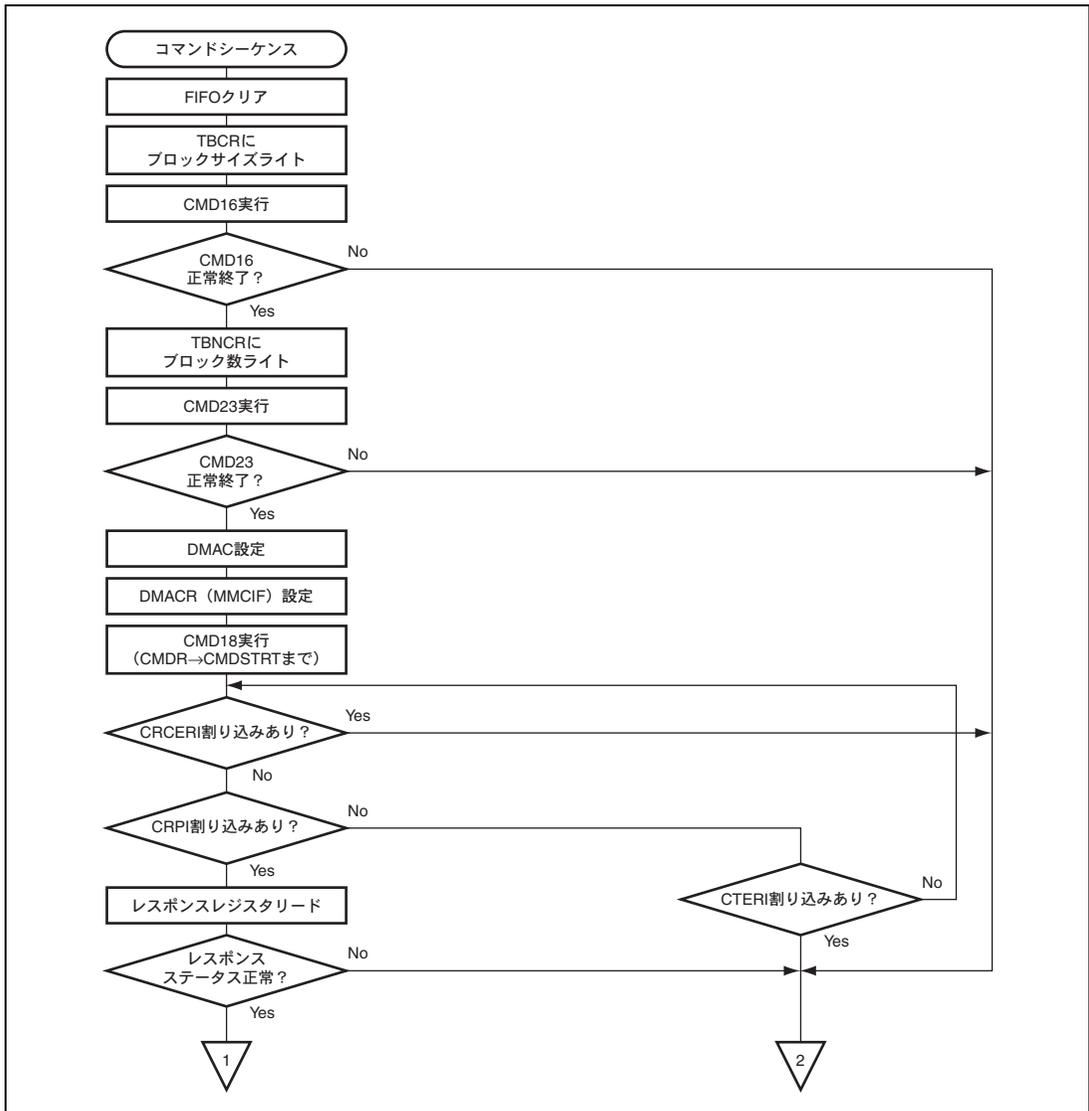


図 24.23 リードシーケンスフローの例 (pre-defined マルチブロック転送) (3)

24. マルチメディアカードインタフェース (MMCIF)

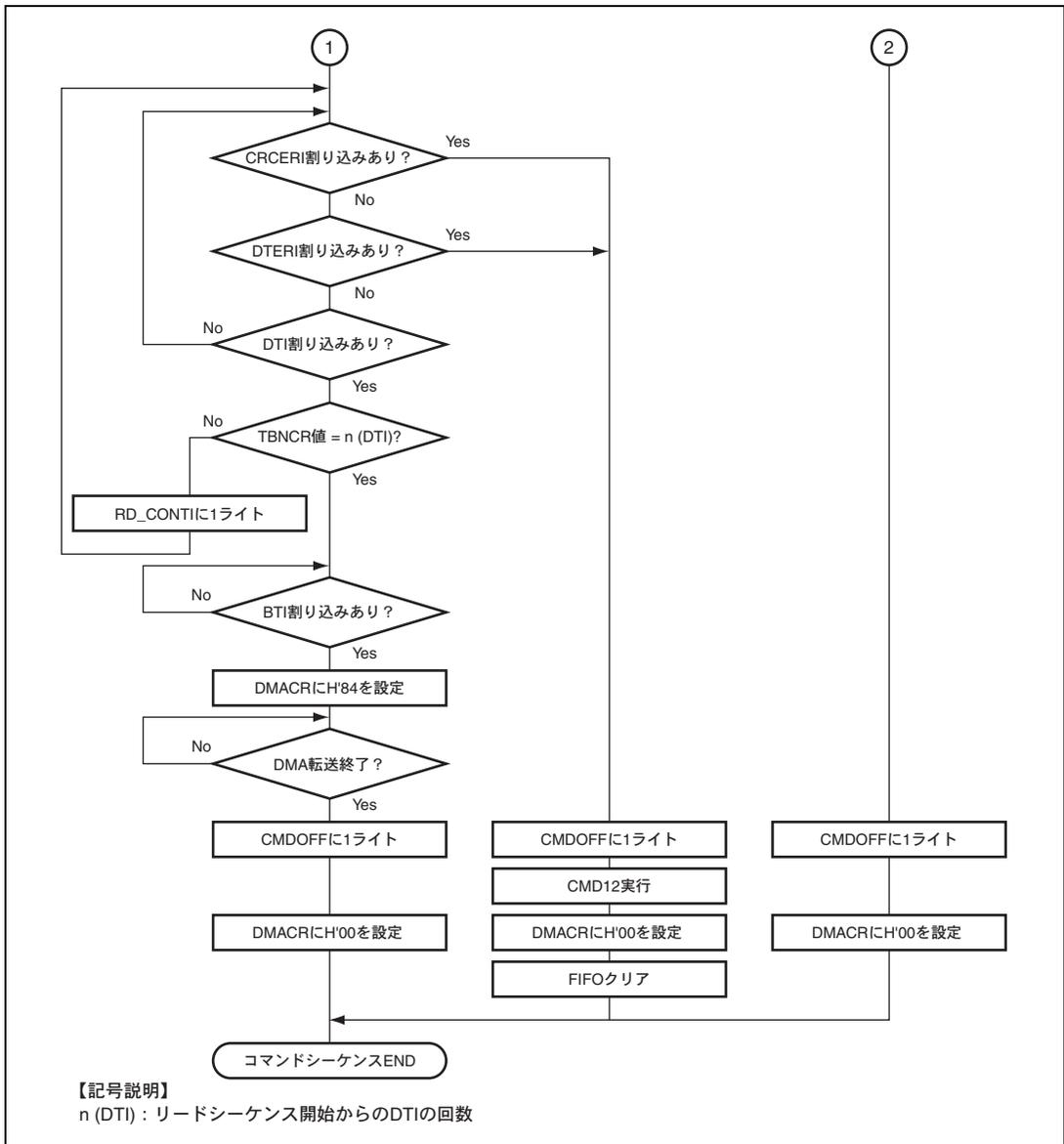


図 24.23 リードシーケンスフローの例 (pre-defined マルチブロック転送) (4)

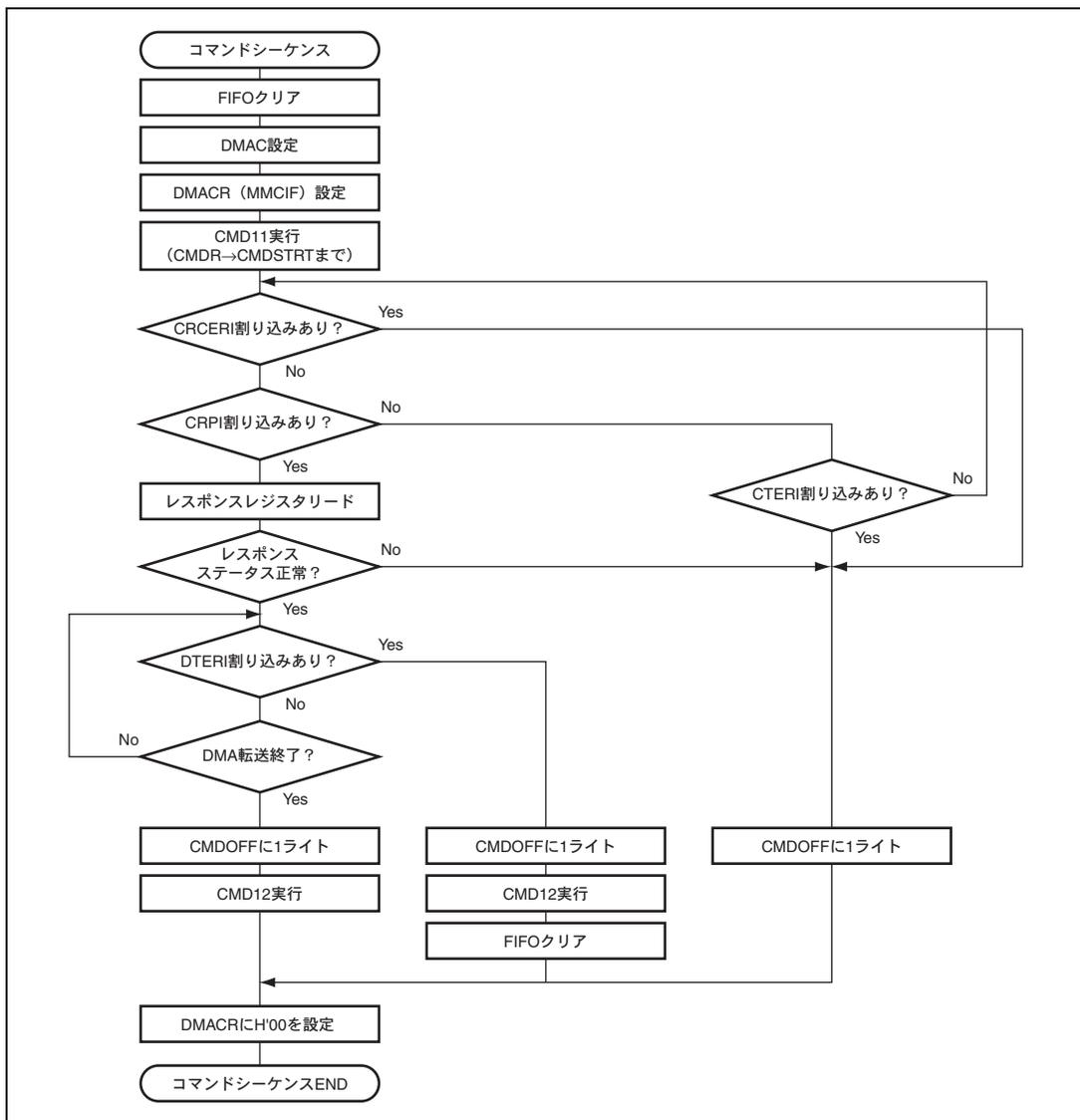


図 24.24 ストリームリード転送の動作フローの例

## 24. マルチメディアカードインタフェース (MMCIF)

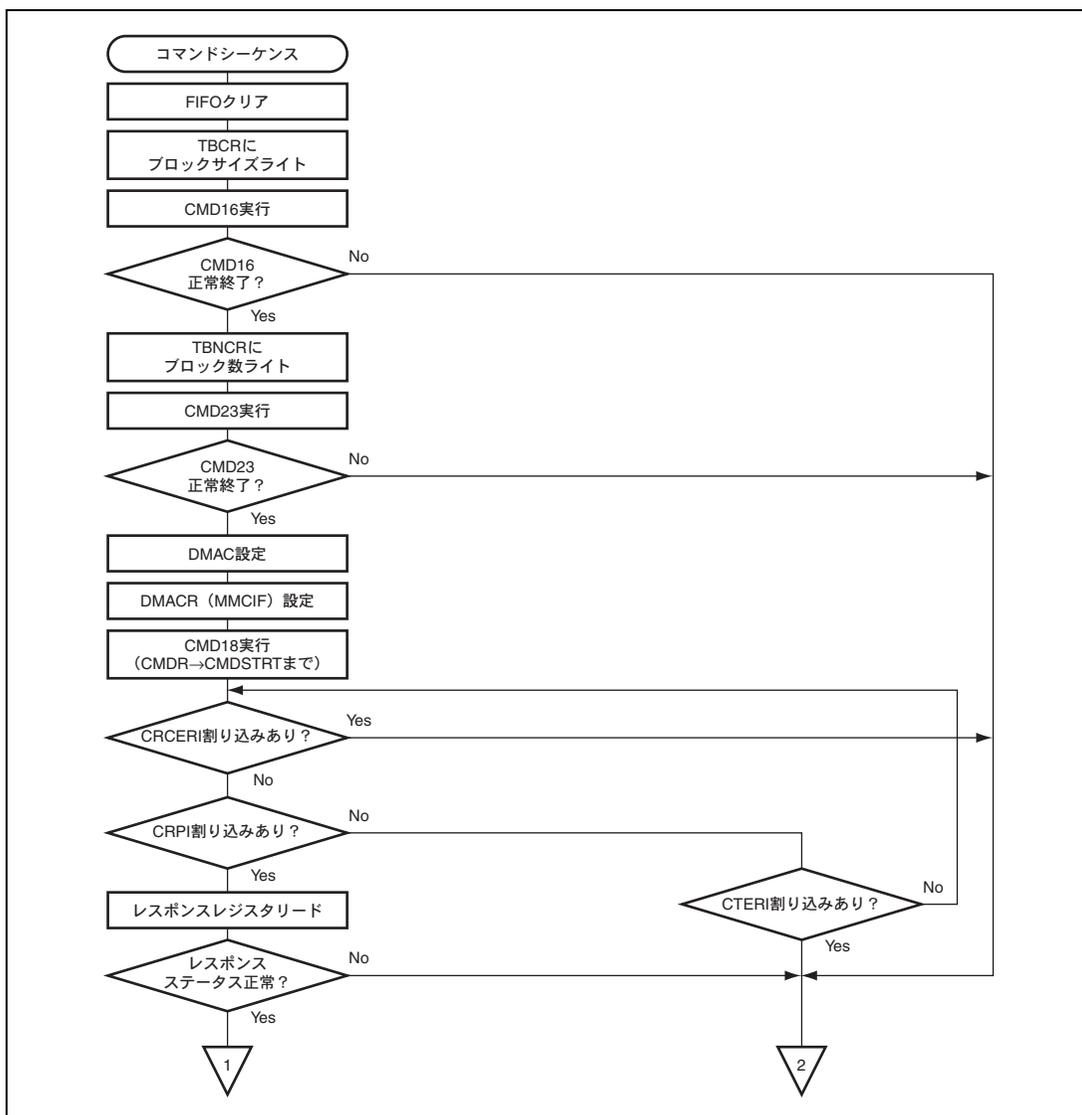


図 24.25 オートモード pre-defined マルチブロックリード転送の動作フローの例 (1)

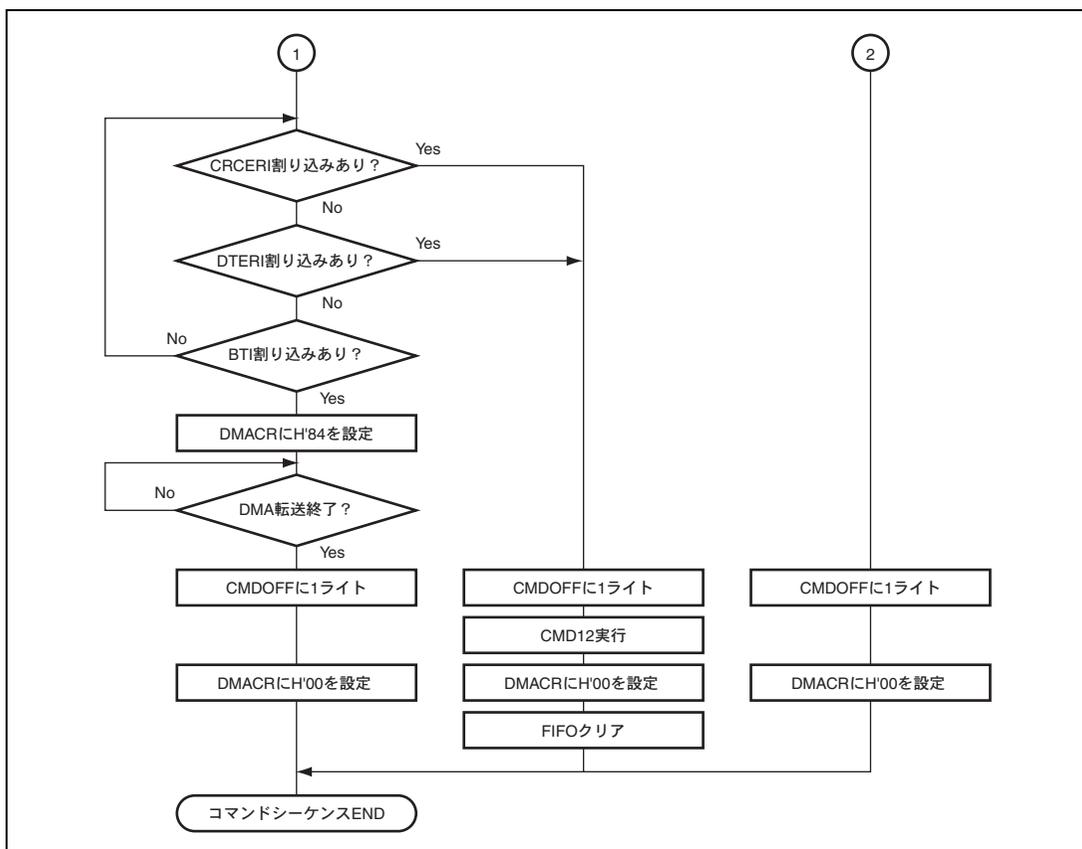


図 24.25 オートモード pre-defined マルチブロックリード転送の動作フローの例 (2)

### 24.6.2 書き込みシーケンス時の動作

DMAC を用いて FIFO へデータ転送を行うときは、DMAC の各設定後、MMCIF (DMACR) の設定を行ってください。DMACR の設定後、FIFO 準備完了割り込み後にカードへの転送を開始してください。図 24.26～図 24.28 に書き込みシーケンスフローを示します。

- FIFOをクリアします。
- ライトコマンドを送出します。
- DMACRの設定を行い、FIFOに書き込みデータをセットします。
- DMACR設定条件以上のデータがFIFOに書き込まれているかをFIFO準備完了フラグ (FRDYI) により確認後、または、DMACがすべてのデータをFIFOに書き込んだことを確認後、OPCRのDATAENビットに1をセットし、書き込みデータの送信を開始します。

ストリーム転送によって、カードへ書き込むときには、FIFOエンプティ割り込み確認後もMMCIFはカードへのデータ転送を継続しています。よって転送クロックの24クロック分以上経過して、書き込みシーケンスを終了してください。

## 24. マルチメディアカードインタフェース (MMCIF)

---

- DMACによるすべての転送完了を確認し、必ずDMACRのDMAENビットに0をセットしてください。
- コマンドレスポンス受信時のCRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトしてください。
- ライトデータ送信時のCRCエラー (CRCERI) 発生時、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFFビットに1をライトし、FIFOをクリアし、DMACRにH'00を設定してください。

また、DMA 使用時は、DMACR の AUTO ビットに 1 を設定することにより、pre-defined マルチブロック転送のブロック間割り込み処理の部分をハードで行うことが可能です。図 24.29 にオートモードを用いるときの pre-defined マルチライトシーケンスフローを MMC モードを例に示します。

- FIFOをクリアします。
- (TBNCR) にブロック数を設定します。
- CMDSTRのSTARTビットを1にセットして、コマンド送出を開始します。
- カードからコマンドレスポンスを受信します。
- カードがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー (CTERI) で検出します。
- DMACRの設定を行い、FIFOにライトデータをセットします。
- DMACによるすべての転送完了を確認し、DMACRのDMAENビットに0をセットしてください。
- コマンドシーケンス終了の検出は、CSTRのBUSYフラグのポーリングか、マルチブロック転送 (pre-defined) 完了 (BTI) で検出します。
- コマンドシーケンス中 (データ送信中) のエラーはCRCエラーフラグ (CRCERI) 、データタイムアウトエラーフラグ (DTERI) により検出します。これらの割り込みを検出した時はOPCRのCMDOFFビットを1にセットして、CMD12を発行しコマンドシーケンスを中止します。
- データビジーでないことを確認します。データビジーのときは、データビジー終了フラグ (DBSYI) でデータビジー状態を検出します。
- さらにデータ転送終了後 (DRPI検出後) CSTRのDTBUSYにより、データビジーであるか否かの判定を行い、データビジーであれば、データビジー状態の終了を、データビジー終了フラグ (DBSYI) で検出します。
- CMDOFFビットに1をセットし、コマンドシーケンスを終了します。
- コマンドレスポンス受信時のCRCエラー (CRCERI) 発生時、およびコマンドタイムアウトエラー (CTERI) 発生時は、CMDOFFビットに1をライトしてください。
- ライトデータ送信時のCRCエラー (CRCERI) 、およびデータタイムアウトエラー (DTERI) 発生時は、CMDOFFビットに1をライトし、DMACRにH'00を設定し、FIFOをクリアしてください。

**【注】** DMAC からの FIFO へのアクセスは、バイトまたはワードアクセスを行ってください。

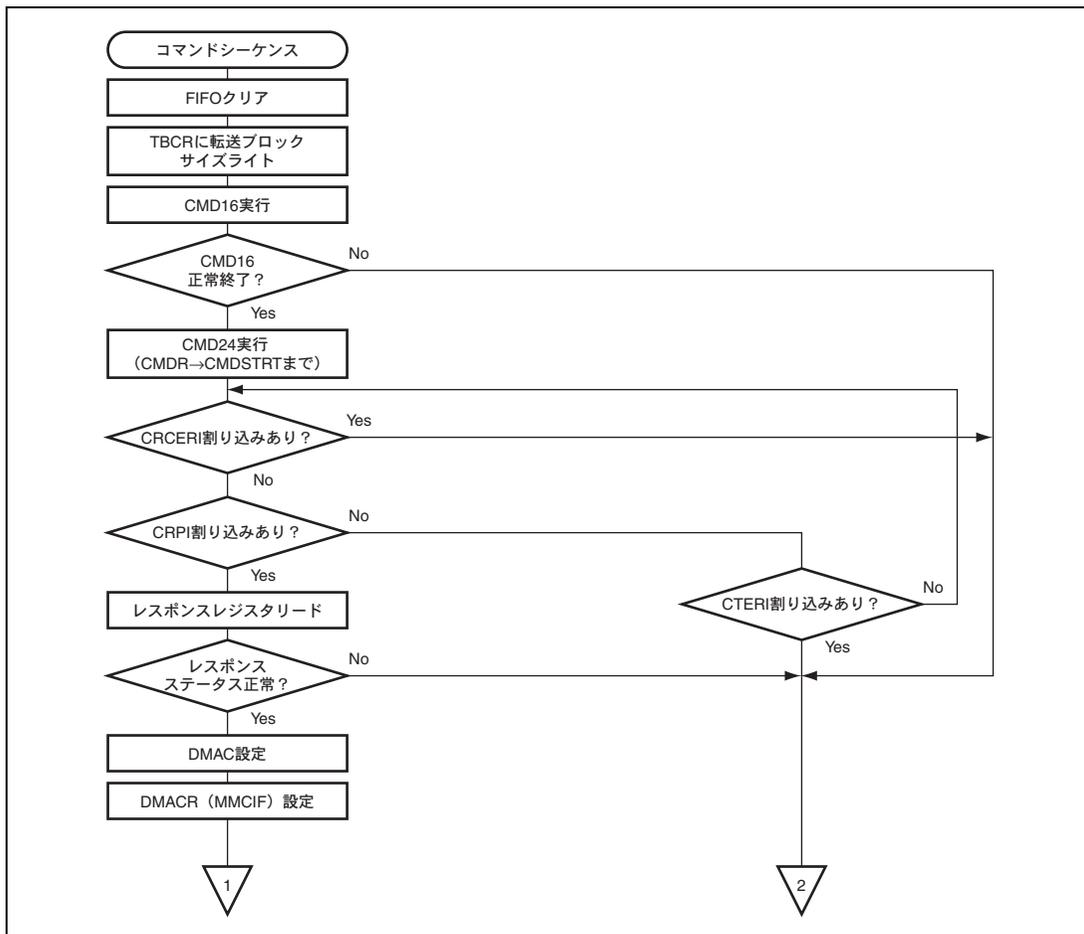


図 24.26 ライトシーケンスフローの例 (シングルブロック転送) (1)

24. マルチメディアカードインタフェース (MMCIF)

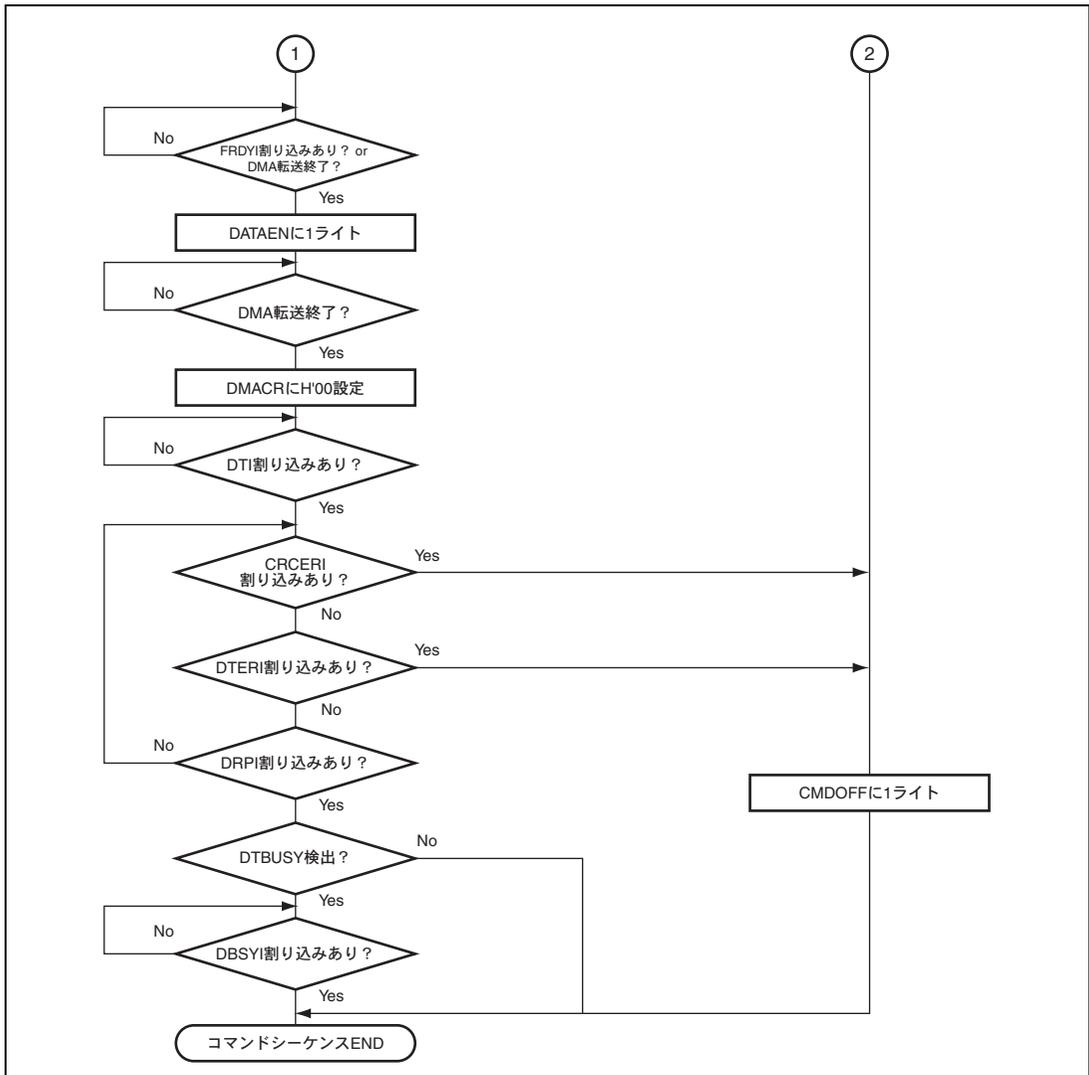


図 24.26 ライトシーケンスフローの例 (シングルブロック転送) (2)

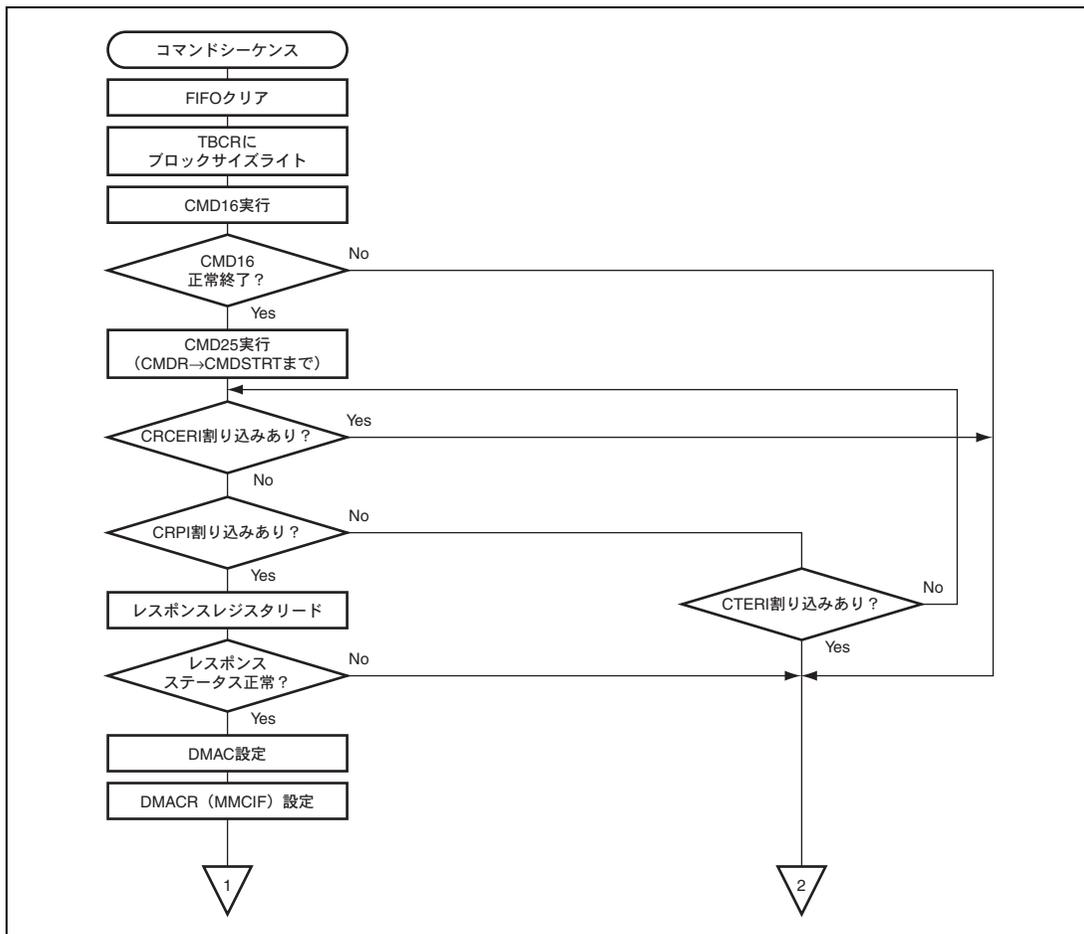


図 24.27 ライトシーケンスフローの例 (open-ended マルチブロック転送) (1)

24. マルチメディアカードインタフェース (MMCIF)

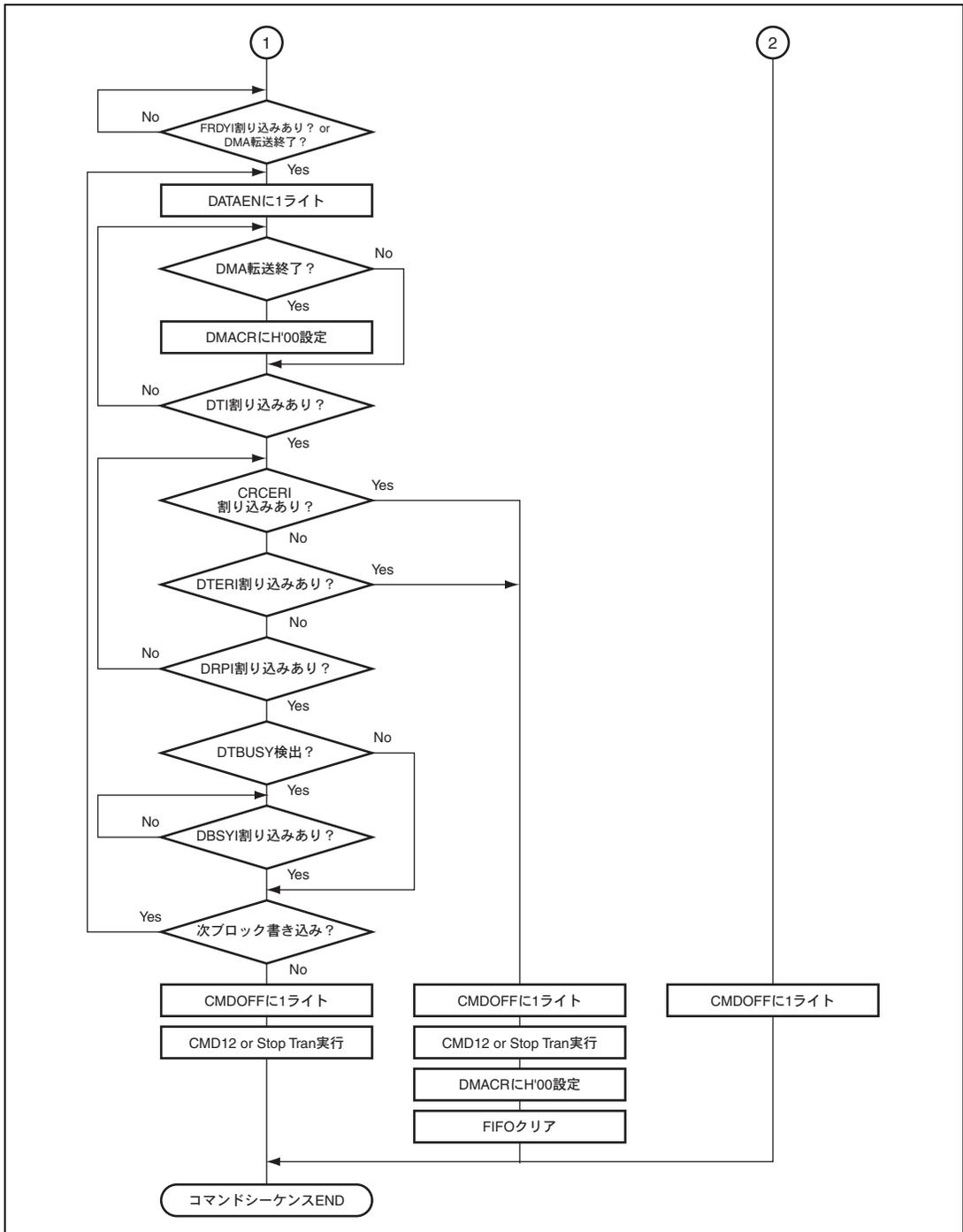


図 24.27 ライトシーケンスフローの例 (open-ended マルチブロック転送) (2)

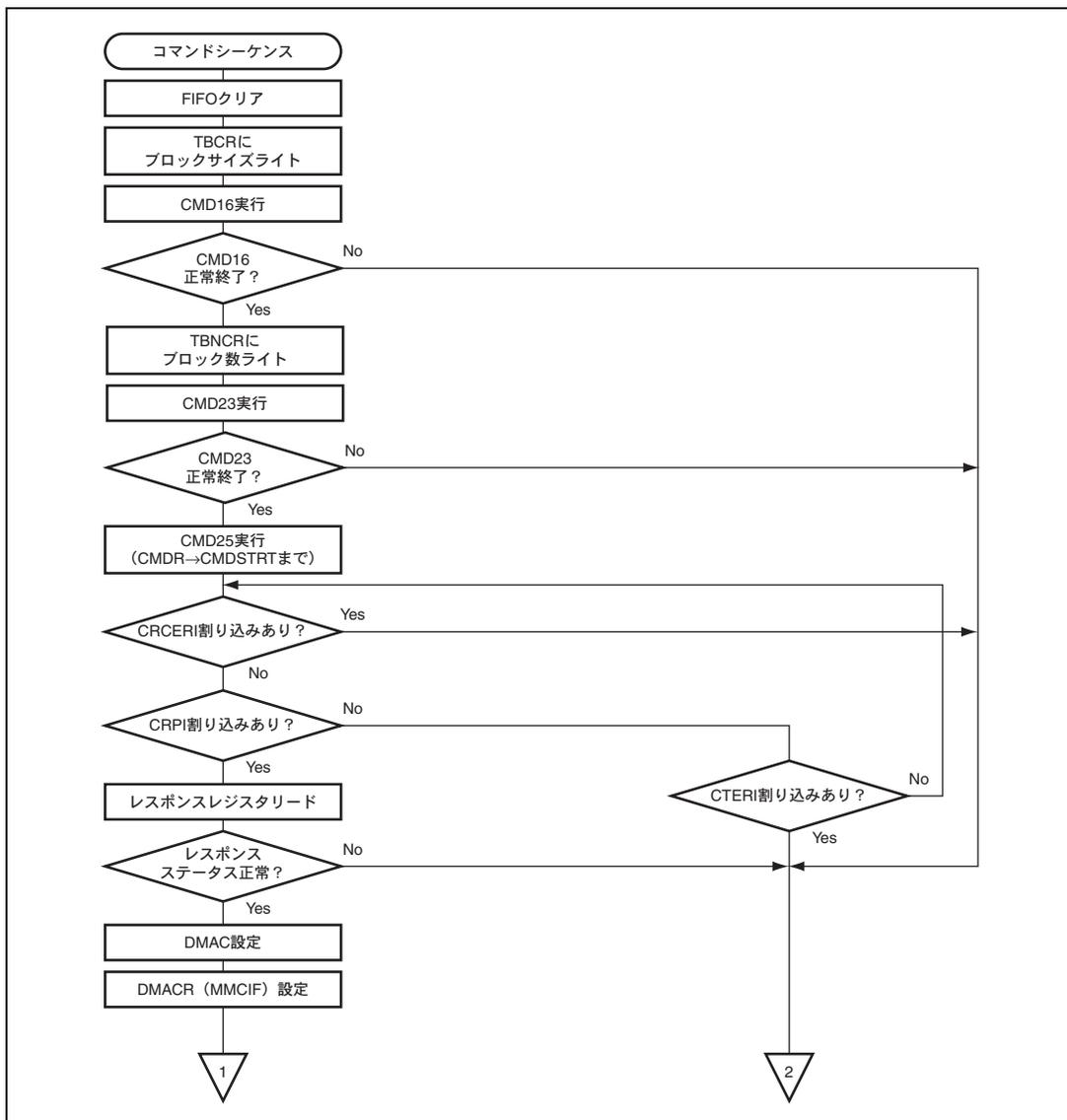


図 24.27 ライトシーケンスフローの例 (pre-defined マルチブロック転送) (3)

24. マルチメディアカードインタフェース (MMCIF)

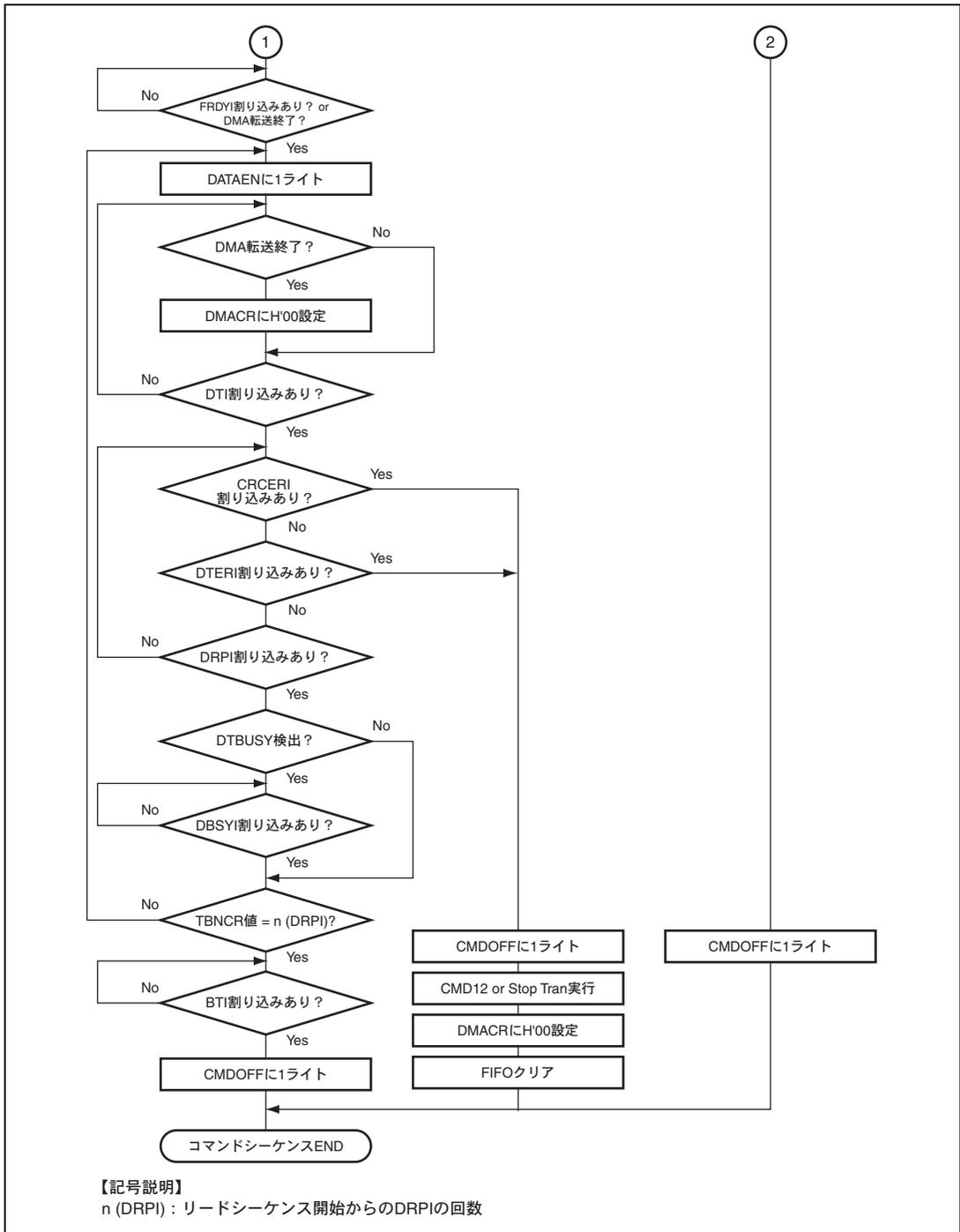


図 24.27 ライトシーケンスフローの例 (pre-defined マルチブロック転送) (4)

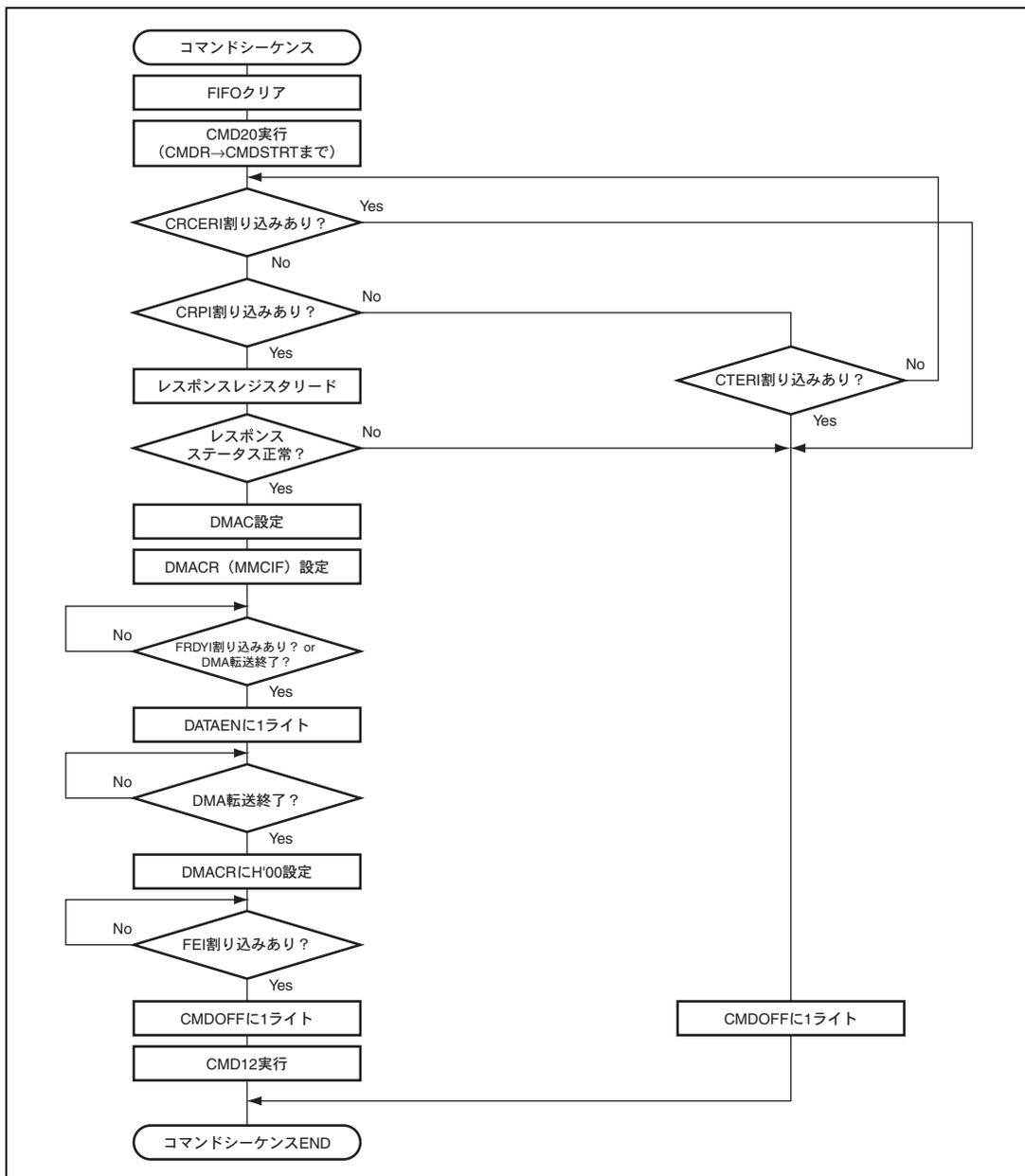


図 24.28 ストリームライト転送動作フローの例

## 24. マルチメディアカードインタフェース (MMCIF)

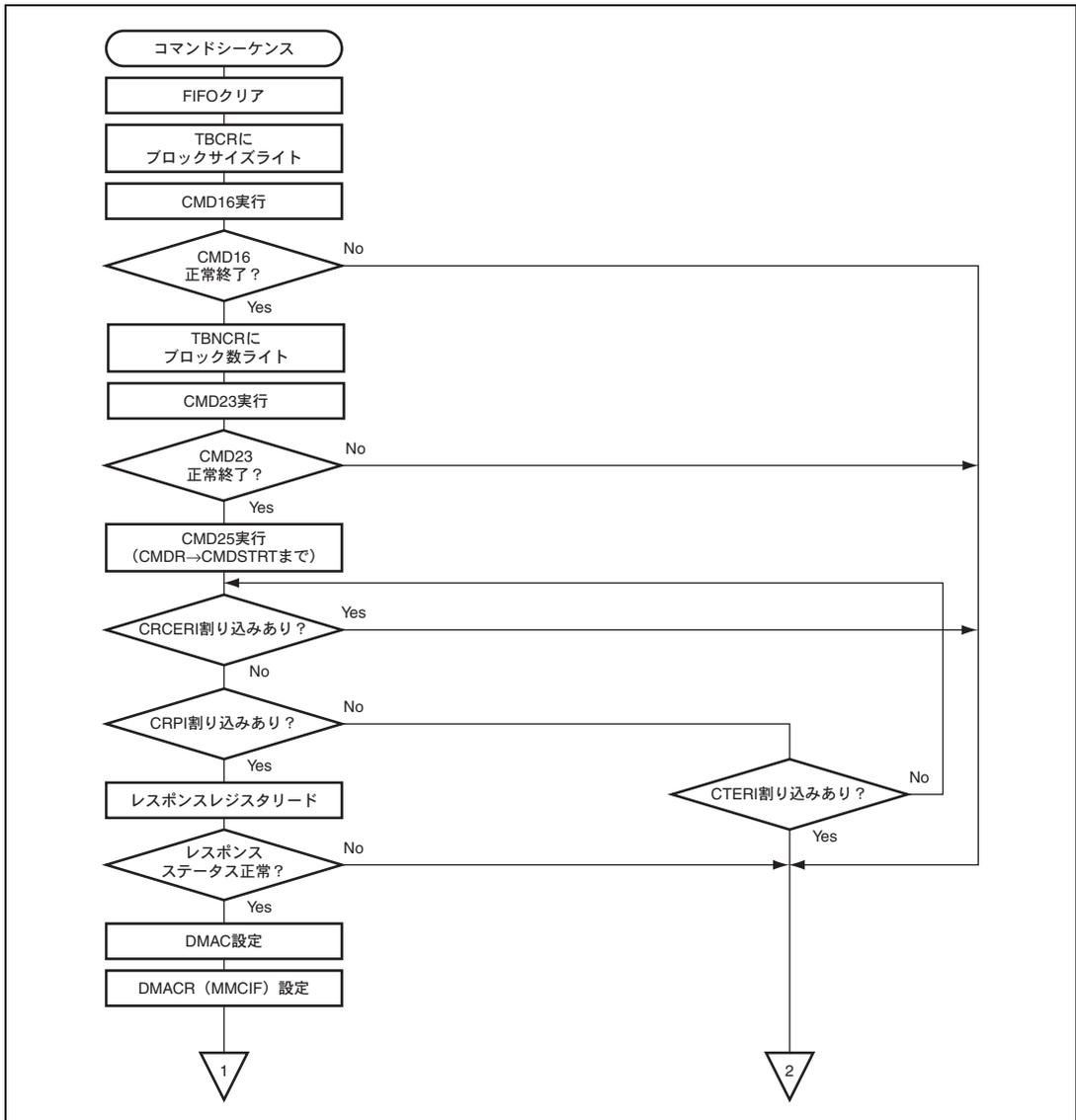


図 24.29 オートモード pre-defined マルチブロックライト転送動作フローの例 (1)

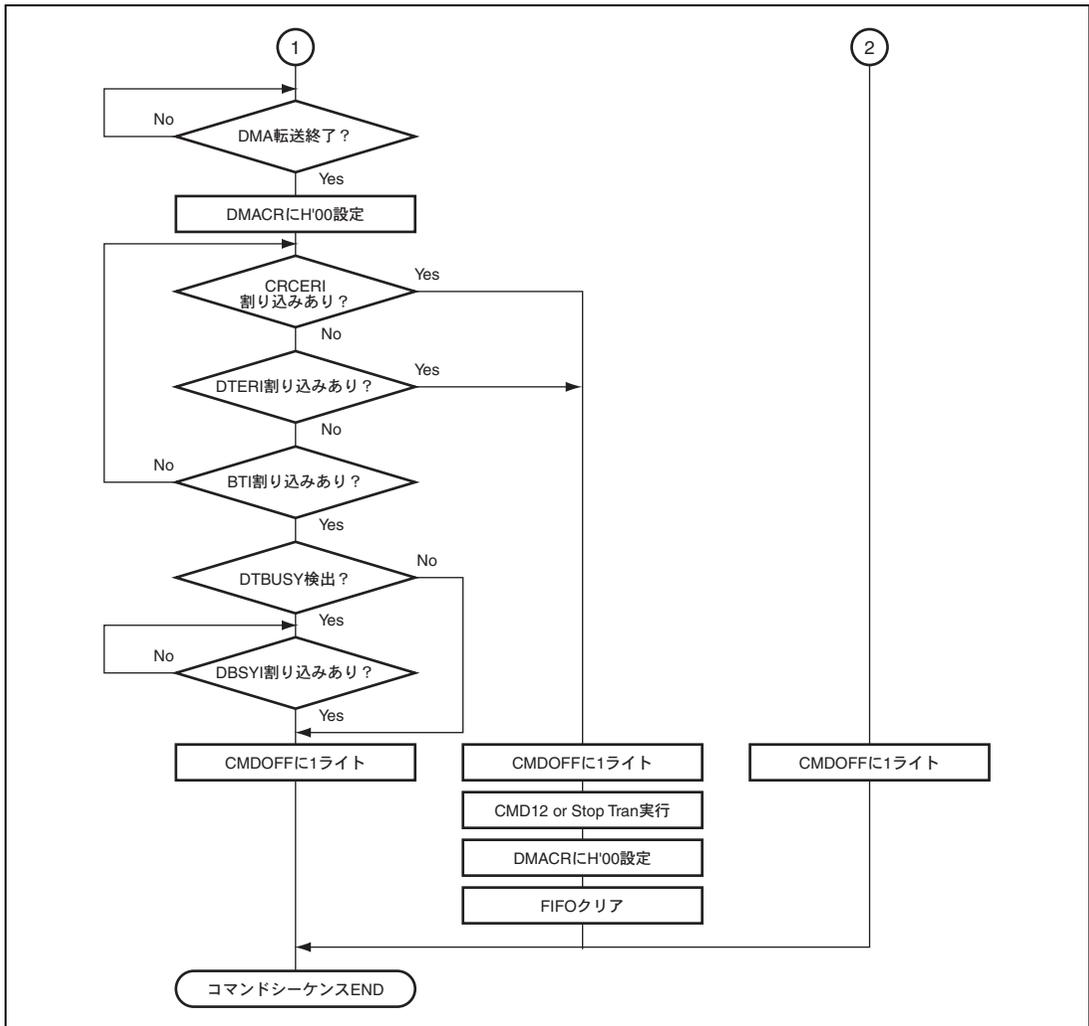


図 24.29 オートモード pre-defined マルチブロックライト転送動作フローの例 (2)

### 24.7 リトルエンディアン設定時のレジスタアクセス

リトルエンディアン設定時は、レジスタアクセスサイズおよび該当するデータが格納されているメモリ上へのアクセスサイズを固定してください。例えば、MMCIF からワードサイズで読み込んだデータをメモリに書き込んだ後にバイトサイズでメモリから読み込むと、データアライメントの不一致が起きます。

---

## 25. オーディオコーデックインタフェース (HAC)

---

オーディオコーデックデジタルコントローラインタフェースは Audio Codec 97 (AC'97) の双方向データ転送をサポートしています。データは、シリアルで AC97 コーデックに対して送受信されます。ただし、2 つ以上のオーディオコーデックを接続することはできません。

HAC は、オーディオフレームに対してデータを抽出/挿入します。受信フレーム、送信フレームともにフレーム内のデータスロットは CPU による PIO 転送または DMAC による DMA 転送が可能です。

### 25.1 特長

HAC には次のような特長があります。

- シングル Audio Codec 97 (AC'97) Revision 2.1 デジタルインタフェースサブセットサポート
- Rx フレームでステータススロット 1 と 2 の PIO 転送
- Tx フレームでコマンドスロット 1 と 2 の PIO 転送
- Rx フレームでデータスロット 3 と 4 の PIO 転送
- Tx フレームでデータスロット 3 と 4 の PIO 転送
- Rx フレームでデータスロット 3 と 4 の DMA 転送は 16 または 20 ビットが選択可能
- Tx フレームでデータスロット 3 と 4 の DMA 転送は 16 または 20 ビットが選択可能
- タグビットによってスロットを選択すること、また Rx フレームの Tx フレーム要求ビットを監視することにより、様々なサンプリングレートをサポート
- データレディ、データリクエスト、オーバフロー、アンダフローの割り込みを生成
- コールドリセット、ウォームリセット、低消費電力モードをサポート

## 25. オーディオコーデックインタフェース (HAC)

図 25.1 に HAC のブロック図を示します。

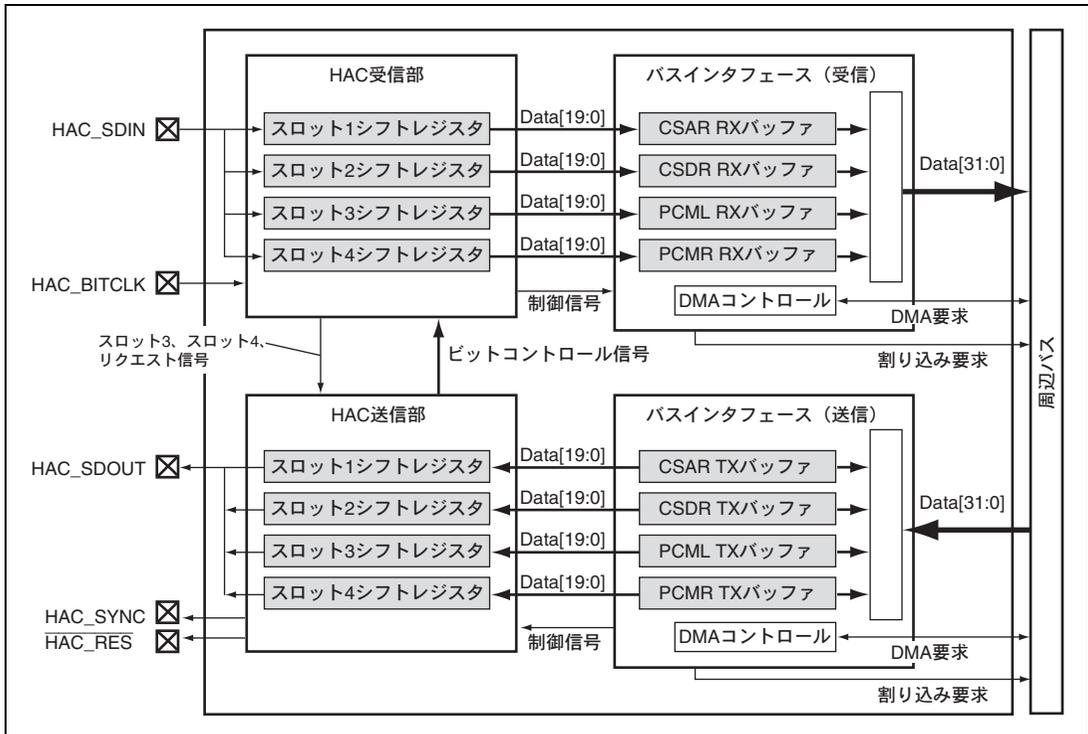


図 25.1 ブロック図

## 25.2 入出力端子

HAC の端子構成を表 25.1 に示します。

表 25.1 HAC の端子構成

端子名	入出力	機能
HAC_BITCLK	入力	シリアルデータクロック
HAC_SDIN	入力	Rx フレームシリアル入力データ
HAC_SDOUT	出力	Tx フレームシリアル出力データ
HAC_SYNC	出力	フレーム同期
HAC_RES	出力	リセット

【注】 HAC の端子は、SIOF、SSI、GPIO の端子とマルチプレクスされています。

## 25.3 レジスタの説明

HAC のレジスタ構成を表 25.2 に示します。また、各処理モードにおけるレジスタの状態を表 25.3 に示します。

表 25.2 レジスタ構成

名 称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
コントロールステータスレジスタ	HACCR	R/W	H'FFE4 0008	H'1FE4 0008	32	Pck
コマンド/ステータスアドレス レジスタ	HACCSAR	R/W	H'FFE4 0020	H'1FE4 0020	32	Pck
コマンド/ステータスデータ レジスタ	HACCSSDR	R/W	H'FFE4 0024	H'1FE4 0024	32	Pck
PCM レフトチャンネルレジスタ	HACPCML	R/W	H'FFE4 0028	H'1FE4 0028	32	Pck
PCM ライトチャンネルレジスタ	HACPCMR	R/W	H'FFE4 002C	H'1FE4 002C	32	Pck
TX 割り込みイネーブルレジスタ	HACTIER	R/W	H'FFE4 0050	H'1FE4 0050	32	Pck
TX ステータスレジスタ	HACTSR	R/W	H'FFE4 0054	H'1FE4 0054	32	Pck
RX 割り込みイネーブルレジスタ	HACRIER	R/W	H'FFE4 0058	H'1FE4 0058	32	Pck
RX ステータスレジスタ	HACRSR	R/W	H'FFE4 005C	H'1FE4 005C	32	Pck
HAC コントロールレジスタ	HACACR	R/W	H'FFE4 0060	H'1FE4 0060	32	Pck

表 25.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット PRESET 端子/ WDT/H-UDI	マニュアル リセット WDT/ 多重例外	スリープ SLEEP 命令	モジュール スタンバイ
コントロールステータスレジスタ	HACCR	H'0000 0200	H'0000 0200	保持	保持
コマンド/ステータスアドレス レジスタ	HACCSAR	H'0000 0000	H'0000 0000	保持	保持
コマンド/ステータスデータ レジスタ	HACCSSDR	H'0000 0000	H'0000 0000	保持	保持
PCM レフトチャンネルレジスタ	HACPCML	H'0000 0000	H'0000 0000	保持	保持
PCM ライトチャンネルレジスタ	HACPCMR	H'0000 0000	H'0000 0000	保持	保持
TX 割り込みイネーブルレジスタ	HACTIER	H'0000 0000	H'0000 0000	保持	保持
TX ステータスレジスタ	HACTSR	H'F000 0000	H'F000 0000	保持	保持
RX 割り込みイネーブルレジスタ	HACRIER	H'0000 0000	H'0000 0000	保持	保持
RX ステータスレジスタ	HACRSR	H'0000 0000	H'0000 0000	保持	保持
HAC コントロールレジスタ	HACACR	H'8400 0000	H'8400 0000	保持	保持

## 25. オーディオコーデックインタフェース (HAC)

### 25.3.1 コントロールステータスレジスタ (HACCR)

HACCR は、読み出し／書き込み可能な 32 ビットのレジスタで、入出力の制御と状態のモニタを行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CR	—	—	—	CDRT	WMRT	—	—	—	—	ST	—	—	—	—	—
初期値:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	W	W	R	R	R	R	W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	CR	0	R	コーデックレディ 0: HAC に接続されたコーデックがレディ状態ではありません。 1: HAC に接続されたコーデックがレディ状態です。
14~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みできません。
11	CDRT	0	W	HAC コールドリセット コールドリセットはパワーオン後、または低消費電力コマンド発行後に低消費電力モードを解除するためだけに行ってください。 [書き込み時] 0: 再び 1 を書き込むときには、0 を書き込んだ後に行います。 1: HAC に接続されたコーデックはコールドリセットされます。 [読み出し時] 読み出すと常に 0 が読み出されます。
10	WMRT	0	W	HAC ウォームリセット ウォームリセットはパワーオン後、または低消費電力コマンド発行後に低消費電力モードを解除するためだけに行ってください。 [書き込み時] 0: 再び 1 を書き込むときには、0 を書き込んだ後に行います。 1: HAC に接続されたコーデックはウォームリセットされます。 [読み出し時] 読み出すと常に 0 が読み出されます。
9	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
8~6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W	説明
5	ST	0	W	転送開始 [書き込み時] 0: フレームの終わりで送受信を終了します。通常動作で送受信を終了させるためには、この方法を使用しないでください。 1: データの送受信を開始します。 [読み出し時] 読み出すと常に0が読み出されます。
4~0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

HACは、外部コーデックデバイスのレジスタインデックス26のビット12に1を書き込むことで低消費電力モードにすることができます。外部コーデックデバイスは低消費電力モードになるとHAC\_BITCLKを停止し、通常動作を一時停止します。これはパワーオンのおきも同じです。動作を再開するためには、外部コーデックデバイスに対してコールドリセットかウォームリセットを行わなければなりません。

### 25.3.2 コマンド/ステータスアドレスレジスタ (HACCSAR)

HACCSARは、読み出し/書き込み可能な32ビットのレジスタで、接続されたコーデックのレジスタをアクセスする際のアドレスを指定します。コーデックのレジスタに書き込みまたは読み出しを要求する場合、レジスタアドレスをHACCSARに書き込むとコマンドアドレスとしてスロット1で送信されます。

コーデックが読み出し要求に応答した後(HACRSR.STARY=1)HACCSARを読み出すことで、スロット1で受信したステータスアドレスを得ることができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	RW	CA6/ SA6	CA5/ SA5	CA4/ SA4
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA3/ SA3	CA2/ SA2	CA1/ SA1	CA0/ SA0	SLR EQ3	SLR EQ4	SLR EQ5	SLR EQ6	SLR EQ7	SLR EQ8	SLR EQ9	SLR EQ10	SLR EQ11	SLR EQ12	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

## 25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W	説明
31~20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	RW	0	R/W	コーデック読み出し/書き込みコマンド 0: アドレスフィールド (CA6/SA6~CA0/SA0) で示されるレジスタを書き込むことを外部コーデックデバイスに通知します。HACCSDR にあらかじめデータを書き込んでおいてください。 HACACR.TX12_ATOMIC が 1 のとき、HACCSAR と HACCSDR は同じ Tx フレームで送信されます。 HACACR.TX12_ATOMIC が 0 のとき、HACCSAR と HACCSDR が同じ Tx フレームで送信されることは保証できません。 1: アドレスフィールド (CA6/SA6~CA0/SA0) で示されるレジスタを読み出すことを外部コーデックデバイスに通知します。
18	CA6/SA6	0	R/W	コーデックコントロールレジスタアドレス 6~0/コーデックステータスレジスタアドレス 6~0 [書き込み時] 書き込んだ値はアクセスするコーデックレジスタのアドレスを示します。 [読み出し時] 読み出した値はスロット 1 で受信したステータスアドレスを示します。 HACCSDR で受信される外部コーデックのレジスタに対応しています。
17	CA5/SA5	0	R/W	
16	CA4/SA4	0	R/W	
15	CA3/SA3	0	R/W	
14	CA2/SA2	0	R/W	
13	CA1/SA1	0	R/W	
12	CA0/SA0	0	R/W	
11	SLREQ3	0	R	スロットリクエスト 3~12 Rx フレーム内でのみ有効です。スロットデータが次の Tx フレームでコーデックから要求されるかどうかを示します。 これらのビットはハードウェアによって自動的に扱われます。Rx フレームのスロット 1 のビット 11~2 と同じです。 0: スロットデータが要求されています。 1: スロットデータが要求されていません。
10	SLREQ4	0	R	
9	SLREQ5	0	R	
8	SLREQ6	0	R	
7	SLREQ7	0	R	
6	SLREQ8	0	R	
5	SLREQ9	0	R	
4	SLREQ10	0	R	
3	SLREQ11	0	R	
2	SLREQ12	0	R	
1、0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 25.3.3 コマンド/ステータスデータレジスタ (HACCSDR)

HACCSDR は、読み出し/書き込み可能な 32 ビットのレジスタで、接続されたコーデックのレジスタをアクセスする際のデータレジスタです。コーデックのレジスタに書き込む場合に HACCSDR へ書き込みを行うと、コマンドデータとしてスロット 2 で送信されます。

コーデックが読み出し要求に応答した後 (HACRSR.STDRY=1) HACCSDR を読み出すことで、スロット 2 で受信したステータスデータを得ることができます。どちらの場合も対応するコーデックレジスタのアドレスは HACC SAR に格納されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CD15/ SD15	CD14/ SD14	CD13/ SD13	CD12/ SD12
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD11/ SD11	CD10/ SD10	CD9/ SD9	CD8/ SD8	CD7/ SD7	CD6/ SD6	CD5/ SD5	CD4/ SD4	CD3/ SD3	CD2/ SD2	CD1/ SD1	CD0/ SD0	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	CD15/SD15	0	R/W	コマンドデータ 15~0/ステータスデータ 15~0 これらのビットに値を設定した後、コーデックレジスタのアドレスを HACC SAR に書き込むと、データがコーデックに送信されます。 これらのビットを読み出すと、HACC SAR で示されるアドレスのコーデックレジスタの内容を示します。
18	CD14/SD14	0	R/W	
17	CD13/SD13	0	R/W	
16	CD12/SD12	0	R/W	
15	CD11/SD11	0	R/W	
14	CD10/SD10	0	R/W	
13	CD9/SD9	0	R/W	
12	CD8/SD8	0	R/W	
11	CD7/SD7	0	R/W	
10	CD6/SD6	0	R/W	
9	CD5/SD5	0	R/W	
8	CD4/SD4	0	R/W	
7	CD3/SD3	0	R/W	
6	CD2/SD2	0	R/W	
5	CD1/SD1	0	R/W	
4	CD0/SD0	0	R/W	
3~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 25. オーディオコーデックインタフェース (HAC)

### 25.3.4 PCM レフトチャネルレジスタ (HACPCML)

HACPCML は、読み出し/書き込み可能な 32 ビットのレジスタで、コーデックのデジタルオーディオ録音とストリーム再生時のレフトチャネルにアクセスします。HACPCML に書き込むと PCM 再生レフトチャネルデータをコーデックに送信します。HACPCML を読み出すとコーデックからの PCM 録音レフトチャネルデータを受信します。DAC や ADC が 20 ビット以下のコーデックを搭載するためにデータは左詰めで格納されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	D19	D18	D17	D16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31~20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~0	D19~D0	すべて 0	R/W	データ 19~0 これらのビットに書き込むと、要求のあったときに PCM 再生レフトチャネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音レフトチャネルデータを受信します。

16 ビットパケット DMA モードでは以下ようになります。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LD15	LD14	LD13	LD12	LD11	LD10	LD9	LD8	LD7	LD6	LD5	LD4	LD3	LD2	LD1	LD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RD15	RD14	RD13	RD12	RD11	RD10	RD9	RD8	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	LD15~LD0	すべて 0	R/W	レフトデータ 15~0 これらのビットに書き込むと、要求のあったときに PCM 再生レフトチャネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音レフトチャネルデータを受信します。

## 25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W	説明
15~0	RD15~RD0	すべて 0	R/W	ライトデータ 15~0 これらのビットに書き込むと、要求のあったときに PCM 再生ライトチャネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音ライトチャネルデータを受信します。

### 25.3.5 PCM ライトチャネルレジスタ (HACPCMR)

HACPCMR は、読み出し／書き込み可能な 32 ビットのレジスタで、コーデックのデジタルオーディオ録音とストリーム再生時のライトチャネルにアクセスします。HACPCMR に書き込むと PCM 再生ライトチャネルデータをコーデックに送信します。HACPCMR を読み出すとコーデックからの PCM 録音ライトチャネルデータを受信します。DAC や ADC が 20 ビット以下のコーデックを搭載するためにデータは左詰めで格納されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	D19	D18	D17	D16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31~20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~0	D19~D0	すべて 0	R/W	データ 19~0 これらのビットに書き込むと、要求のあったときに PCM 再生ライトチャネルデータがコーデックへ送信されます。 これらのビットを読み出すと、コーデックからの PCM 録音ライトチャネルデータを受信します。

## 25. オーディオコーデックインタフェース (HAC)

### 25.3.6 TX 割り込みイネーブルレジスタ (HACTIER)

HACTIER は、読み出し／書き込み可能な 32 ビットのレジスタで、HAC の TX 割り込みの許可／禁止を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	PLTF RQIE	PRTF RQIE	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PLT FUNIE	PRT FUNIE	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~30	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29	PLTFRQIE	0	R/W	PCML TX リクエスト割り込みイネーブル 0: PCML TX リクエスト割り込みを禁止します。 1: PCML TX リクエスト割り込みを許可します。
28	PRTFRQIE	0	R/W	PCMR TX リクエスト割り込みイネーブル 0: PCMR TX リクエスト割り込みを禁止します。 1: PCMR TX リクエスト割り込みを許可します。
27~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PLTFUNIE	0	R/W	PCML TX アンダフロー割り込みイネーブル 0: PCML TX アンダフロー割り込みを禁止します。 1: PCML TX アンダフロー割り込みを許可します。
8	PRTFUNIE	0	R/W	PCMR TX アンダフロー割り込みイネーブル 0: PCMR TX アンダフロー割り込みを禁止します。 1: PCMR TX アンダフロー割り込みを許可します。
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 25.3.7 TX ステータスレジスタ (HACTSR)

HACTSR は、読み出し/書き込み可能な 32 ビットのレジスタで、HAC の TX コントローラの状態を示します。各ビットは 0 を書き込むと初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CMD AMT	CMD DMT	PLT FRQ	PRT FRQ	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PLT FUN	PRT FUN	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	CMDAMT	1	R/W	コマンドアドレスエンブティ 0: CSAR Tx バッファに未送信のデータがあります。 1: CSAR Tx バッファが空で、データを格納することができます*1。
30	CMDDMT	1	R/W	コマンドデータエンブティ 0: CSDR Tx バッファに未送信のデータがあります。 1: CSDR Tx バッファが空で、データを格納することができます*1。
29	PLTFRQ	1	R/W	PCML TX リクエスト 0: PCML TX バッファに未送信のデータがあります。 1: PCML TX バッファが空で、データを格納する必要があります。このビットは DMA モードでは HACPCML が書き込まれると自動的に 0 にクリアされます。
28	PRTFRQ	1	R/W	PCMR TX リクエスト 0: PCMR TX バッファに未送信のデータがあります。 1: PCMR TX バッファが空でデータを格納する必要があります。このビットは DMA モードでは HACPCMR が書き込まれると自動的に 0 にクリアされます。
27~10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	PLTFUN	0	R/W	PCML TX アンダフロー 0: PCML TX のアンダフローが発生していません。 1: PCML TX のアンダフローが発生したことを示します。コーデックがスロット 3 のデータを要求するのに HACPCML に新しいデータが書かれなかったときに発生します。

## 25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W	説明
8	PRTFUN	0	R/W	PCMR TX アンダフロー 0 : PCMR TX のアンダフローが発生していません。 1 : PCMR TX のアンダフローが発生したことを示します。コーデックが スロット 4 のデータを要求したのに HACPCMR に新しいデータが書 かれなかったときに発生します。
7~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【注】 \*1 CMDAMT と CMDDMT には、対応する割り込みがありません。新しいコマンドを HACCSAR または HACCSDR に書き込む前に、これらのビットをポーリングして 1 を読み出してください。HACCSAR のビット 19 (RW) が 0 で TX12\_ATOMIC が 1 のときは以下の手順に従ってください。

1. 初期化後、最初に外部コーデックデバイスのレジスタをアクセスする前に CMDDMT と CMDAMT を初期化してください。
2. HACCSDR と HACCSAR の設定後、CMDAMT と CMDDMT が 1 になるまでポーリングし、1 になったら初期化してください。
3. 次のレジスタの書き込みが行えます。

\*2 読み出し／書き込み可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

## 25.3.8 RX 割り込みイネーブルレジスタ (HACRIER)

HACRIER は読み出し/書き込み可能な 32 ビットのレジスタで、HAC RX 割り込みの許可/禁止を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	STAR YIE	STDR YIE	PLRF RQIE	PRRF RQIE	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PLRF OVIE	PRRF OVIE	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~23	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
22	STARYIE	0	R/W	ステータスアドレスレディ割り込みイネーブル 0: ステータスアドレスレディ割り込みを禁止します。 1: ステータスアドレスレディ割り込みを許可します。
21	STDRYIE	0	R/W	ステータスデータレディ割り込みイネーブル 0: ステータスデータレディ割り込みを禁止します。 1: ステータスデータレディ割り込みを許可します。
20	PLRFRQIE	0	R/W	PCML RX リクエスト割り込みイネーブル 0: PCML RX リクエスト割り込みを禁止します。 1: PCML RX リクエスト割り込みを許可します。
19	PRRFRQIE	0	R/W	PCMR RX リクエスト割り込みイネーブル 0: PCMR RX リクエスト割り込みを禁止します。 1: PCMR RX リクエスト割り込みを許可します。
18~14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
13	PLRFOVIE	0	R/W	PCML RX オーバフロー割り込みイネーブル 0: PCML RX オーバフロー割り込みを禁止します。 1: PCML RX オーバフロー割り込みを許可します。
12	PRRFOVIE	0	R/W	PCMR RX オーバフロー割り込みイネーブル 0: PCMR RX オーバフロー割り込みを禁止します。 1: PCMR RX オーバフロー割り込みを許可します。
11~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。

## 25. オーディオコーデックインタフェース (HAC)

### 25.3.9 RX ステータスレジスタ (HACRSR)

HACRSR は、読み出し/書き込み可能な 32 ビットのレジスタで、HAC の RX コントローラの状態を示します。各ビットは 0 を書き込むと初期化されます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	STA RY	STD RY	PLR FRQ	PRR FRQ	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PLR FOV	PRR FOV	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~23	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
22	STARY	0	R/W	ステータスアドレスレディ 0: HACCSAR (ステータスアドレス) がレディ状態ではありません。 1: HACCSAR (ステータスアドレス) がレディ状態です。
21	STDRY	0	R/W	ステータスデータレディ 0: HACCSDR (ステータスデータ) がレディ状態ではありません。 1: HACCSDR (ステータスデータ) がレディ状態です。
20	PLRFRQ	0	R/W	PCML RX リクエスト 0: PCML RX データがレディ状態ではありません。 1: PCML RX データがレディ状態で読み出される必要があります。このビットは DMA モードでは HACPCML が読み出されると自動的に 0 にクリアされます。
19	PRRFRQ	0	R/W	PCMR RX リクエスト 0: PCMR RX データがレディ状態ではありません。 1: PCMR RX データがレディ状態で読み出される必要があります。このビットは DMA モードでは HACPCMR が読み出されると自動的に 0 にクリアされます。
18~14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PLRFOV	0	R/W	PCML RX オーバフロー 0: PCML RX データのオーバーフローが発生していません。 1: PCML RX データのオーバーフローが発生したことを示します。 HACPCML のデータが読み出される前に新しいデータをスロット 3 から受信したときに発生します。

## 25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W	説明
12	PRRFOV	0	R/W	PCMR RX オーバフロー 0 : PCMR RX データのオーバーフローが発生していません。 1 : PCMR RX データのオーバーフローが発生したことを示します。 HACPCMR のデータが読み出される前に新しいデータをスロット 4 から受信したときに発生します。
11~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。

【注】 \* 読み出し/書き込み可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

### 25.3.10 HAC コントロールレジスタ (HACACR)

HACACR は、読み出し/書き込み可能な 32 ビットのレジスタで、HAC のインタフェースを制御します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	DMA RX16	DMA TX16	—	—	TX12 ATOMIC	—	RXD MAL EN	TXD MAL EN	RXD MAR EN	TXD MAR EN	—	—	—	—	—
初期値 :	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R	R

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込み値も常に 1 にしてください。
30	DMARX16	0	R/W	16 ビット RX DMA イネーブル 0 : 16 ビットパケット RXDMA モードを無効にします。 このビットを 0 に設定すると RXDMAL_EN、RXDMAR_EN 設定を許可します。 1 : 16 ビットパケット RX DMA モードを有効にします。 このビットを 1 に設定すると RXDMAL_EN、RXDMAR_EN 設定は無視されます。
29	DMATX16	0	R/W	16 ビット TX DMA イネーブル 0 : 16 ビットパケット TXDMA モードを無効にします。 このビットを 0 に設定すると TXDMAL_EN、TXDMAR_EN 設定を許可します。 1 : 16 ビットパケット TXDMA モードを有効にします。 このビットを 1 に設定すると TXDMAL_EN、TXDMAR_EN 設定は無視されます。
28~27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。

## 25. オーディオコーデックインタフェース (HAC)

ビット	ビット名	初期値	R/W	説明
26	TX12_ATOMIC	1	R/W	TX スロット 1、2 アトミックコントロール 0: HACCSAR と HACCSDR の TX データが独立して送信されます (設定禁止)。 1: HACCSAR のビット 19 が書き込みに設定されているとき HACCSAR と HACCSDR の TX データが同じフレームで送信されます。 (HACCSAR は最後に書き込む必要があります。)
25	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください
24	RXDMAL_EN	0	R/W	RX DMA レフトイネーブル 0: 20 ビット RX DMA が HACPCML で無効です。 1: 20 ビット RX DMA が HACPCML で有効です。
23	TXDMAL_EN	0	R/W	TX DMA レフトイネーブル 0: 20 ビット TX DMA が HACPCML で無効です。 1: 20 ビット TX DMA が HACPCML で有効です。
22	RXDMAR_EN	0	R/W	RX DMA ライトイネーブル 0: 20 ビット RX DMA が HACPCMR で無効です。 1: 20 ビット RX DMA が HACPCMR で有効です。
21	TXDMAR_EN	0	R/W	TX DMA ライトイネーブル 0: 20 ビット TX DMA が HACPCMR で無効です。 1: 20 ビット TX DMA が HACPCMR で有効です。
20~0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 25.4 AC フレームの-slot構成

図 25.2 に AC97 フレームの-slot構成を示します。本 LSI は、slot 0~4 をサポートし、slot 5~12 はサポートしません。

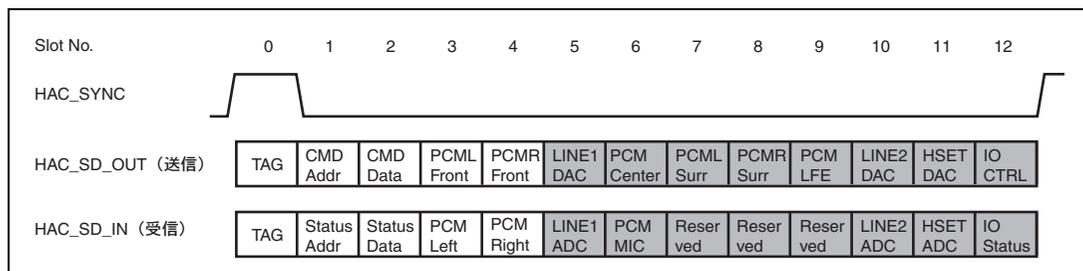


図 25.2 AC97 フレームの-slot構成

表 25.4 AC97 送信フレームの説明

slot	名 称	説 明
0	SDATA_OUT TAG	有効データを示す TAG および Code ID
1	Control CMD Addr write port	Read/Write コマンドおよびレジスタアドレス
2	Control DATA write port	レジスタライト時のデータ
3	PCM L DAC playback	左チャンネル PCM 出力データ
4	PCM R DAC playback	右チャンネル PCM 出力データ
5	Modem Line 1 DAC	モデム 1 出力データ (未サポート) *
6	PCM Center	中央チャンネル PCM データ (未サポート) *
7	PCM Surround L	サラウンド左チャンネル PCM データ (未サポート) *
8	PCM Surround R	サラウンド右チャンネル PCM データ (未サポート) *
9	PCM LFE	LFE チャンネル PCM データ (未サポート) *
10	Modem Line 2 DAC	モデム 2 出力データ (未サポート) *
11	Modem handset DAC	モデム handset 出力データ (未サポート) *
12	Modem IO control	モデム制御用 IO 出力 (未サポート) *

【注】 \* 未サポート部はレジスタとして存在しません。

## 25. オーディオコーデックインタフェース (HAC)

---

表 25.5 AC97 受信フレームの説明

スロット	名 称	説 明
0	SDATA_IN TAG	有効データを示す TAG
1	Status ADDR read port	レジスタアドレスおよびスロットリクエスト
2	Status DATA read port	レジスタリードデータ
3	PCM L ADC record	左チャンネル PCM 入力データ
4	PCM R ADC record	右チャンネル PCM 入力データ
5	Modem Line 1 ADC	モデム 1 入力データ (未サポート) *
6	Dedicated Microphone ADC	オプション PCM 入力データ (未サポート) *
7、8、9	Reserved	予約
10	Modem Line 2 ADC	モデム 2 入力データ (未サポート) *
11	Modem handset input DAC	モデム handset 入力データ (未サポート) *
12	Modem IO status	モデム制御用 IO 入力 (未サポート) *

【注】 \* 未サポート部はレジスタとして存在しません。

## 25.5 動作説明

### 25.5.1 レシーバ

シリアルオーディオデータは、HAC\_BITCLK を基準とする HAC\_SDIN 信号でモジュールに入力されます。タグビットはスロット 0 から抽出され、対応する他のスロットの有効・無効を示します。タグビットによって有効なスロットを受信しないかぎり、受信データは更新されません。

サポートするのはスロット 1~4 のデータで、他のスロットに対応するタグビットやデータは無視されます。有効なスロットデータはシフトレジスタにロードされ、PIO 転送または DMA 転送のために保持されます。対応するステータスビットも生成されます。各データは 32 ビットレジスタ内の 20 ビットが PIO で読み出し可能です。

RX オーバフローが起きたときは、HAC の現在の RX バッファデータが新しいデータで上書きされます。

### 25.5.2 トランスミッタ

シリアルオーディオデータは、HAC\_BITCLK を基準とする HAC\_SDOUT 信号でモジュールから出力されます。タグビットはスロット 0 に設定され、現在のフレーム内のどのスロットにあるデータが有効であるかを示します。データスロットは前の RX フレームのスロット要求の該当するビットに対応して現在の TX フレームにロードされます。

サポートするのはスロット 1~4 のデータです。PIO 転送または DMA 転送により転送されたデータは、Tx バッファに保持されます。各データは 32 ビットレジスタ内の 20 ビットが PIO で書き込み可能です。対応するステータスビットも生成されます。

TX アンダフローが起きたときは、次のデータが埋まるまで HAC の現在の TX バッファデータが送信されます。

### 25.5.3 DMA

DMA 転送は、RX フレームと TX フレームの両方のスロット 3 とスロット 4 でサポートされます。HACACR の DMARX16、DMATX16 ビットで DMA 転送のスロットデータサイズが 16 ビットか 20 ビットかを決定します。

データサイズが 20 ビットの場合、スロット 3 と 4 の両方のデータスロットを転送するのに 2 回のローカルバスアクセスが必要です。また、レシーバとトランスミッタのそれぞれに 1 つの DMA リクエストがあるので、ステレオモードで DMA リクエストはスロット 3 と 4 それぞれ別に発生します。モノラルモードでは DMA は 1 つのスロットに対してのみ発生します。

データサイズが 16 ビットの場合、スロット 3 と 4 からのデータはシングル 32 ビットのバケット形式（レフトデータとライトデータが PCML に入れられる）になります。このとき必要なローカルバスアクセスは 1 サイクルのみです。

システムによっては終了カウントに達する前に DMA を停止させる必要があります。これは HACACR の該当する DMA ビットを無効にすることで行います。DMAC をプログラムし直したあと、再度該当する DMA ビットを有効にすると次の転送を行うことができます。

### 25.5.4 割り込み

レシーバとトランスミッタからのフラグイベントに対して割り込みが使用できます。各割り込みは割り込みイネーブルレジスタで設定されます。割り込みにはスロットデータの読み出し／書き込みのCPUへの要求やオーバーフローやアンダフローなどがあります。割り込み要因はステータスレジスタを読み出すことで把握できます。対応するビットに0を書き込むことで割り込みをクリアできます。

### 25.5.5 初期化シーケンス

図 25.3 に初期化シーケンスの例を示します。

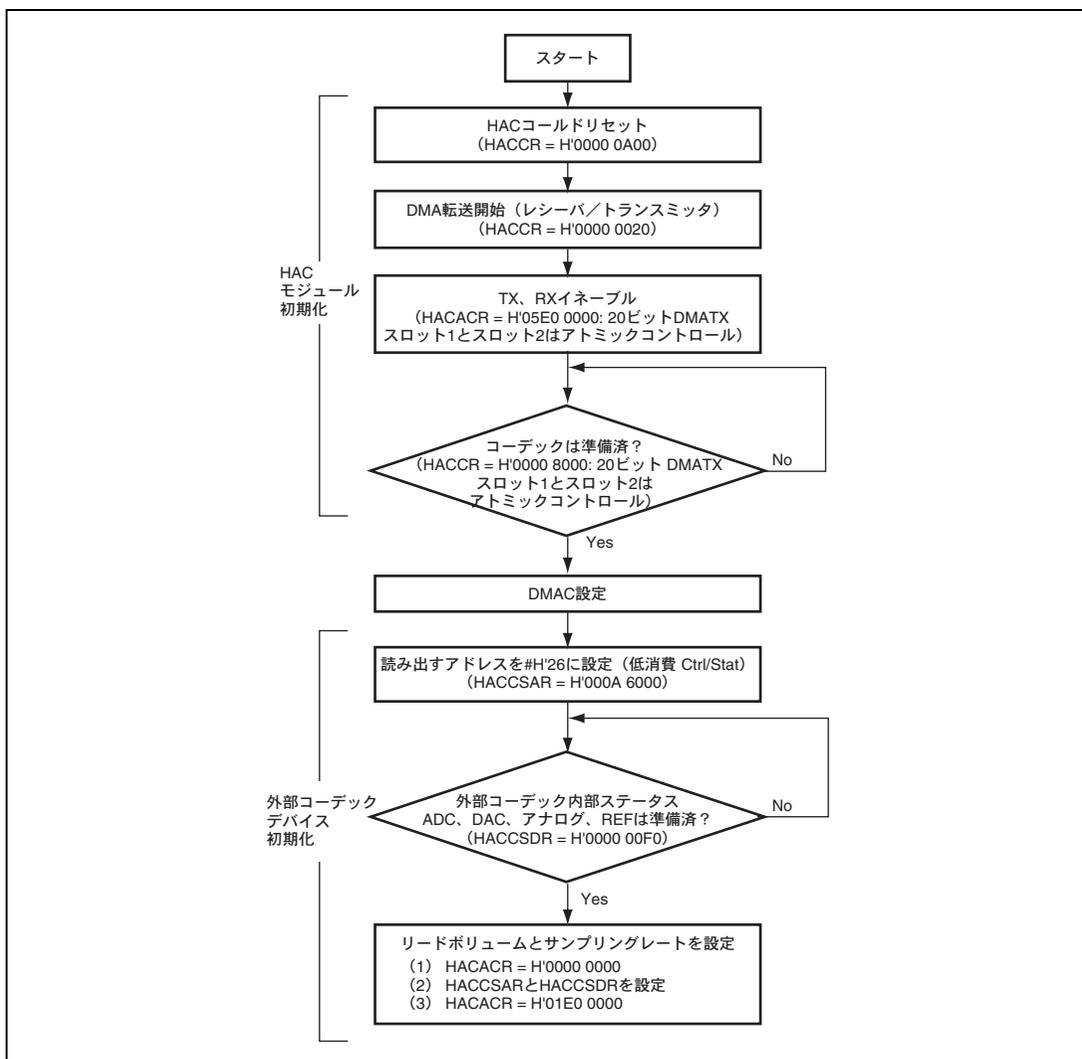


図 25.3 初期化シーケンス

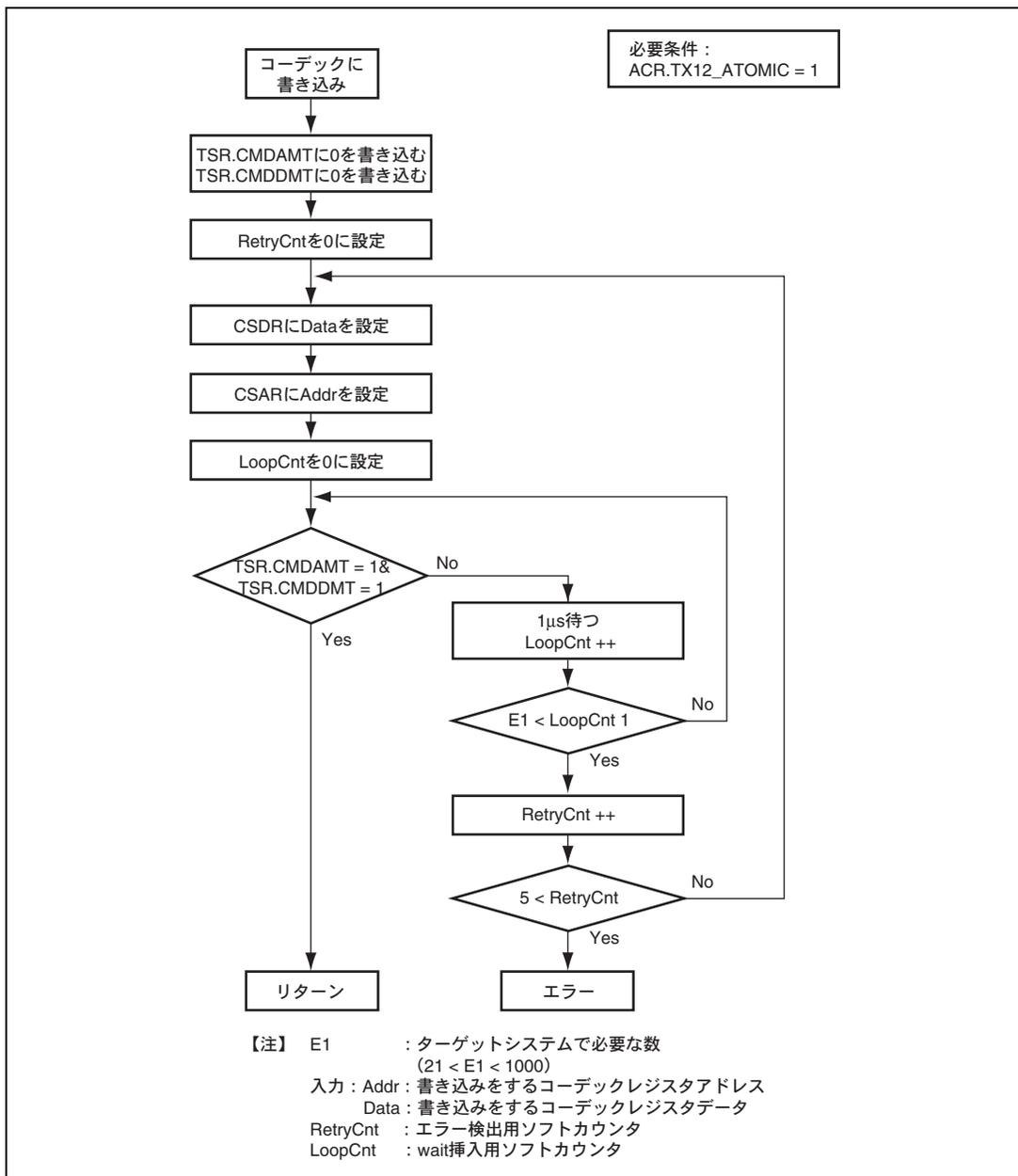


図 25.4 外部コーデックレジスタ書き込みフローチャート例

## 25. オーディオコーデックインタフェース (HAC)

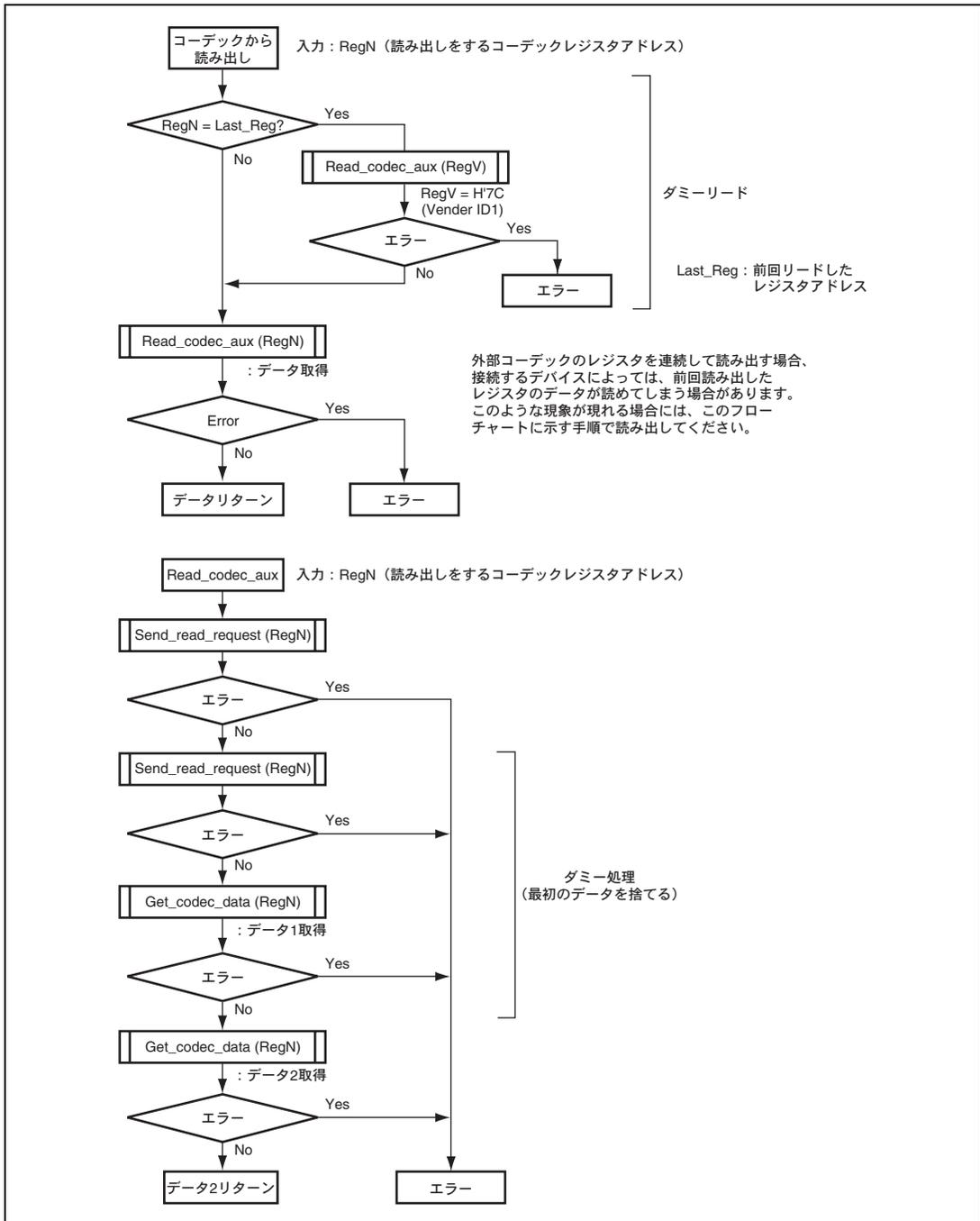


図 25.5 外部コーデックレジスタ読み出しフローチャート例 (1)

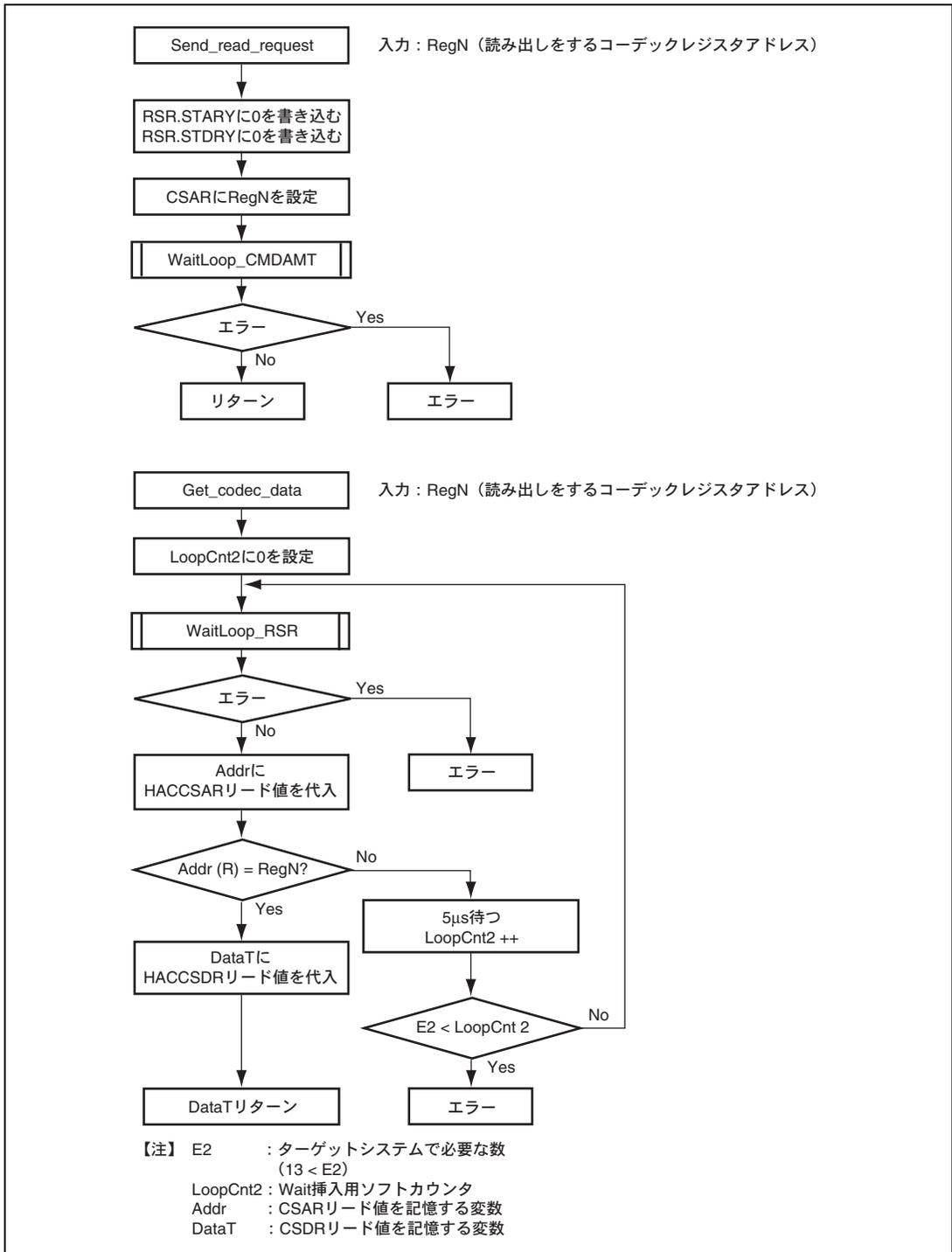


図 25.6 外部コーデックレジスタ読み出しフローチャート例 (2)

## 25. オーディオコーデックインタフェース (HAC)

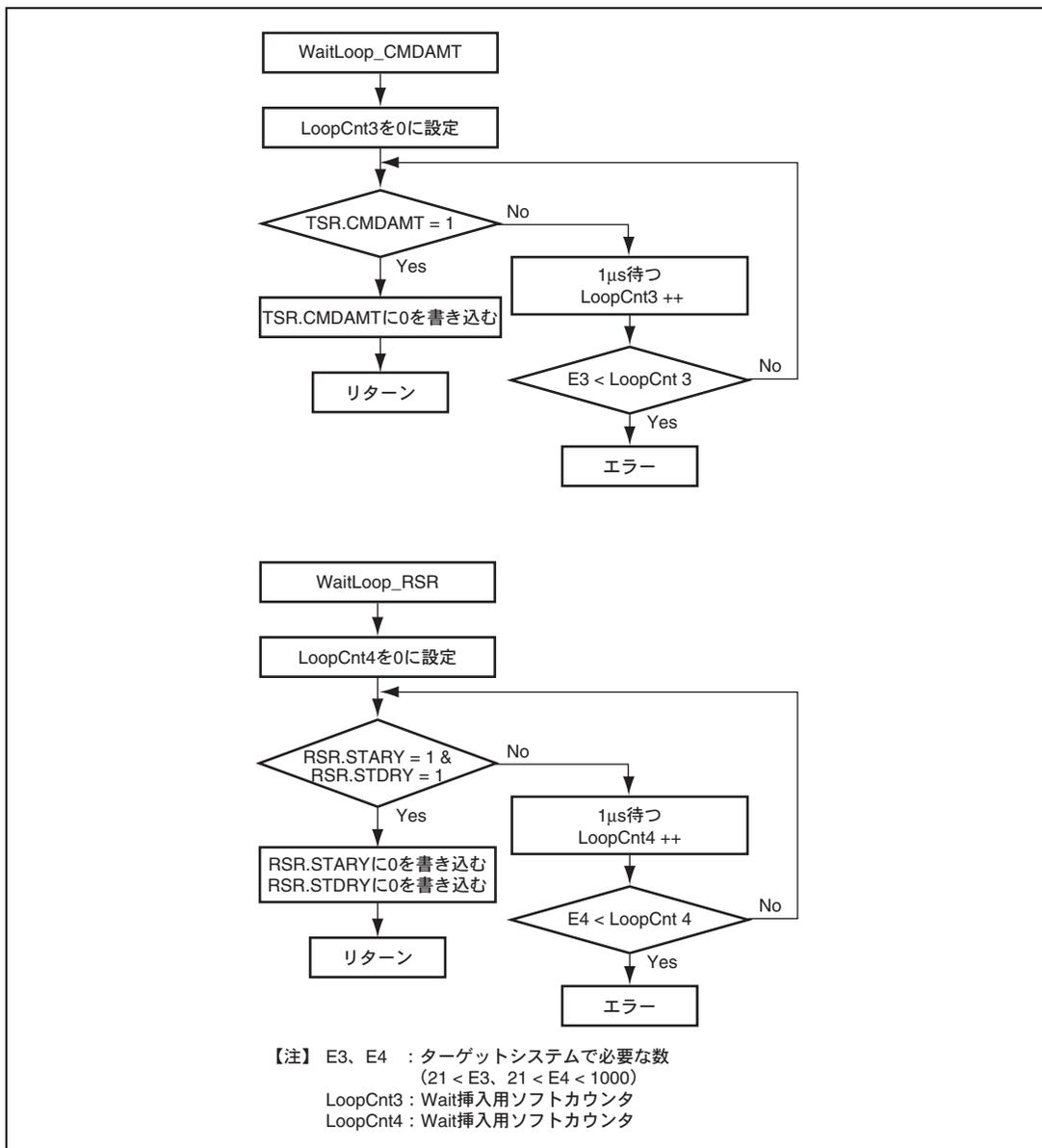


図 25.7 外部コーデックレジスタ読み出しフローチャート例 (3)

モジュールスタンバイモード（低消費電力モード）への遷移は、スタンバイコントロールレジスタ（MSTPCR）の MSTP0 ビットで制御します。MSTPCR については、「第 17 章 低消費電力モード」を参照してください。

モジュールスタンバイ機能を解除してクロックを供給するには MSTPCR の MSTP0 ビットに 0 を書き込みます。その後、HAC へのすべてのアクセスが可能になります。

モジュールを低消費電力モードにするには以下の手順に従ってください。

1. すべてのデータ転送が終了していることを確認します。送信バッファが空で受信バッファが空になるまで読み出されていることを確認します。
2. すべてのDMAリクエストと割り込み要求を無効にします。
3. コーデックを低消費電力モードにします。
4. MSTPCRのMSTP0ビットに1を書き込みます。

### 25.5.6 注意事項

モジュールが生成する HAC\_SYNC 信号は、フレーム内のスロット 0 の位置を示すために使用されます。

### 25.5.7 参考

AC'97 Component Specification, Revision 2.1

## 25. オーディオコーデックインタフェース (HAC)

---

---

## 26. シリアルサウンドインタフェース (SSI)

---

シリアルサウンドインタフェース (SSI) モジュールは、Philips 方式と互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。他の一般的フォーマットだけでなく、バーストとマルチチャンネルモードにも対応しています。

### 26.1 特長

SSI には次のような特長があります。

- チャンネル数：1チャンネル。
- 動作モード：圧縮モード、非圧縮モード  
圧縮モードは、連続ビットストリームの転送に使用されます。  
非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。
- SSIモジュールは、トランスミッタまたはレシーバのいずれとしても動作できます。また、圧縮モードと非圧縮モードのどちらでもシリアルバスフォーマットを使用できます。
- データバッファとシフトレジスタ間は非同期転送
- シリアルバスインタフェースで使用されるクロックの分周比が選択可能です。
- DMACまたは割り込みで、データ送受信を制御できます。

## 26. シリアルサウンドインタフェース (SSI)

図 26.1 に SSI モジュール単体のブロック図を示します。

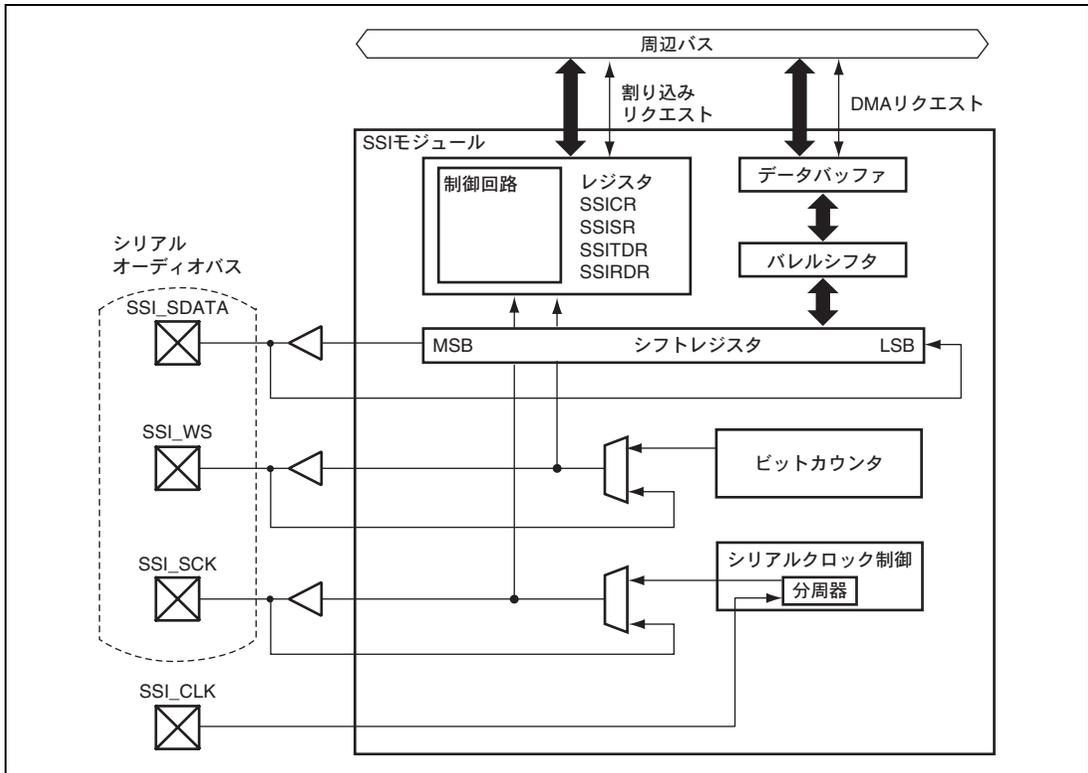


図 26.1 SSI のブロック図

## 26.2 入出力端子

SSI モジュールに関する端子構成を表 26.1 に示します。

表 26.1 端子構成

端子名	入出力	機能
SSI_SCK	入出力	シリアルビットクロック
SSI_WS	入出力	ワード選択
SSI_SDATA	入出力	シリアルデータ入出力
SSI_CLK	入力	分周器入力クロック (オーバサンプルクロック, 256/384/512fs を入力)

【注】 SSI の端子は、SIOF、HAC、GPIO の端子とマルチプレクスされています。

## 26.3 レジスタの説明

SSI のレジスタ構成を表 26.2 に示します。また、各処理モードにおけるレジスタの状態を表 26.3 に示します。

表 26.2 レジスタ構成

名 称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ
コントロールレジスタ	SSICR	R/W	H'FFE7 0000	H'1FE7 0000	32
ステータスレジスタ	SSISR	R/W*	H'FFE7 0004	H'1FE7 0004	32
トランスミットデータレジスタ	SSITDR	R/W	H'FFE7 0008	H'1FE7 0008	32
レシーブデータレジスタ	SSIRDR	R	H'FFE7 000C	H'1FE7 000C	32

【注】 \* 本レジスタの 26、27 ビットは読み出し／書き込み可能で、それ以外は読み出し専用です、詳細は、「26.3.2 ステータスレジスタ (SSISR)」を参照ください。

表 26.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	モジュール スタンバイ
コントロールレジスタ	SSICR	H'0000 0000	H'0000 0000	保持	保持
ステータスレジスタ	SSISR	H'0200 0003	H'0200 0003	保持	保持
トランスミットデータレジスタ	SSITDR	H'0000 0000	H'0000 0000	保持	保持
レシーブデータレジスタ	SSIRDR	H'0000 0000	H'0000 0000	保持	保持

## 26. シリアルサウンドインタフェース (SSI)

### 26.3.1 コントロールレジスタ (SSICR)

SSICR は、読み出し／書き込み可能な 32 ビットのレジスタで、IRQ の制御、各極性の状態の選択、動作モードの設定を行います。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DMEN	UIEN	OIEN	IEN	DIEN	CHNL1	CHNL0	DWL2	DWL1	DWL0	SWL2	SWL1	SWL0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	BREN	CKDV2	CKDV1	CKDV0	MUEN	CPEN	TRMD	EN
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
28	DMEN	0	R/W	DMA イネーブル DMA 要求を許可／禁止します。 0: DMA 要求を禁止 1: DMA 要求を許可
27	UIEN	0	R/W	アンダフロー割り込みイネーブル 0: アンダフロー割り込みを禁止 1: アンダフロー割り込みを許可
26	OIEN	0	R/W	オーバフロー割り込みイネーブル 0: オーバフロー割り込みを禁止 1: オーバフロー割り込みを許可
25	IEN	0	R/W	アイドルモード割り込みイネーブル 0: アイドルモード割り込みを禁止 1: アイドルモード割り込みを許可
24	DIEN	0	R/W	データ割り込みイネーブル 0: データ割り込みを禁止 1: データ割り込みを許可
23	CHNL1	0	R/W	チャンネル 各システムワードのチャンネル数を示します。CPEN=1 のとき、これらのビットは無視されます。 00: 各システムワードは 1 チャンネルで構成されています。 01: 各システムワードは 2 チャンネルで構成されています。 10: 各システムワードは 3 チャンネルで構成されています。 11: 各システムワードは 4 チャンネルで構成されています。
22	CHNL0	0	R/W	

26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説 明
21 20 19	DWL2 DWL1 DWL0	0 0 0	R/W R/W R/W	データワード長 データワードのビット数を示します。CPEN=1 のとき、これらのビットは無視されます。 000 : 8 ビット 001 : 16 ビット 010 : 18 ビット 011 : 20 ビット 100 : 22 ビット 101 : 24 ビット 110 : 32 ビット 111 : 設定禁止
18 17 16	SWL2 SWL1 SWL0	0 0 0	R/W R/W R/W	システムワード長 システムワードのビット数を示します。CPEN=1 のとき、これらのビットは無視されます。 000 : 8 ビット 001 : 16 ビット 010 : 24 ビット 011 : 32 ビット 100 : 48 ビット 101 : 64 ビット 110 : 128 ビット 111 : 256 ビット
15	SCKD	0	R/W	シリアルビットクロック方向 0 : シリアルビットクロック入力、スレーブモード 1 : シリアルビットクロック出力、マスタモード
14	SWSD	0	R/W	シリアル WS 方向 0 : シリアルワード選択入力、スレーブモード 1 : シリアルワード選択出力、マスタモード

## 26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説明															
13	SCKP	0	R/W	<p>シリアルビットクロック極性</p> <p>0: SSI_WS と SSI_SDATA は SSI_SCK の立ち下がりエッジで変化 (SCK 立ち上がりエッジでサンプリング)</p> <p>1: SSI_WS と SSI_SDATA は SSI_SCK の立ち上がりエッジで変化 (SCK 立ち下がりエッジでサンプリング)</p> <table border="1"> <thead> <tr> <th></th> <th>SCKP=0</th> <th>SCKP=1</th> </tr> </thead> <tbody> <tr> <td>受信時 (TRMD=0) SSI_SDATA 入力サンプリングタイミング</td> <td>SSI_SCK 立ち上がりエッジ</td> <td>SSI_SCK 立ち下がりエッジ</td> </tr> <tr> <td>送信時 (TRMD=1) SSI_SDATA 出力変化タイミング</td> <td>SSI_SCK 立ち下がりエッジ</td> <td>SSI_SCK 立ち上がりエッジ</td> </tr> <tr> <td>スレーブモード時 (SWSD=0) SSI_WS 入力サンプリングタイミング</td> <td>SSI_SCK 立ち上がりエッジ</td> <td>SSI_SCK 立ち下がりエッジ</td> </tr> <tr> <td>マスタモード時 (SWSD=1) SSI_WS 出力変化タイミング</td> <td>SSI_SCK 立ち下がりエッジ</td> <td>SSI_SCK 立ち上がりエッジ</td> </tr> </tbody> </table>		SCKP=0	SCKP=1	受信時 (TRMD=0) SSI_SDATA 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ	送信時 (TRMD=1) SSI_SDATA 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ	スレーブモード時 (SWSD=0) SSI_WS 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ	マスタモード時 (SWSD=1) SSI_WS 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ
	SCKP=0	SCKP=1																	
受信時 (TRMD=0) SSI_SDATA 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ																	
送信時 (TRMD=1) SSI_SDATA 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ																	
スレーブモード時 (SWSD=0) SSI_WS 入力サンプリングタイミング	SSI_SCK 立ち上がりエッジ	SSI_SCK 立ち下がりエッジ																	
マスタモード時 (SWSD=1) SSI_WS 出力変化タイミング	SSI_SCK 立ち下がりエッジ	SSI_SCK 立ち上がりエッジ																	
12	SWSP	0	R/W	<p>シリアル WS 極性</p> <p>このビットの機能は SSI モジュールが非圧縮モードか圧縮モードであるかによって異なります。</p> <p>CPEN=0 (非圧縮モード) のとき:</p> <p>0: SSI_WS は第 1 チャネルではローレベル、第 2 チャネルではハイレベル</p> <p>1: SSI_WS は第 1 チャネルではハイレベル、第 2 チャネルではローレベル</p> <p>CPEN=1 (圧縮モード) のとき:</p> <p>0: SSI_WS はアクティブハイフロー制御。つまり、WS がハイレベルのときデータは転送され、WS がローレベルのときデータは転送されません。</p> <p>1: SSI_WS はアクティブローフロー制御。つまり、WS がローレベルのときデータは転送され、WS がハイレベルのときデータは転送されません。</p>															
11	SPDP	0	R/W	<p>シリアルパディング極性</p> <p>CPEN=1 のとき、このビットは無視されます。</p> <p>0: パディングビットはローレベル</p> <p>1: パディングビットはハイレベル</p>															
10	SDTA	0	R/W	<p>シリアルデータアラインメント</p> <p>CPEN=1 のとき、このビットは無視されます。</p> <p>0: シリアルデータ、パディングビットの順に送受信</p> <p>1: パディングビット、シリアルデータの順に送受信</p>															

26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説明
9	PDTA	0	R/W	<p>パラレルデータアラインメント</p> <p>CPEN=1 のとき、このビットは無視されます。データワード長が 32、16、8 ビットのとき、このビットは意味を持ちません。</p> <p>このビットは、受信モード時の SSIRDR と送信モード時の SSITDR に適用します。</p> <p>0 : パラレルデータ (SSITDR、SSIRDR) を左詰め 1 : パラレルデータ (SSITDR、SSIRDR) を右詰め</p> <ul style="list-style-type: none"> <li>• DWL=000 (データワード長 8 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 4 データワードが送受信されます。ビット 7~0 には第 1 のデータワード、ビット 15~8 には第 2 のデータワード、ビット 23~16 には第 3 のデータワード、そしてビット 31~24 には第 4 のデータワードが格納されています。</li> <li>• DWL=001 (データワード長 16 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。各 32 ビットアクセスには 2 データワードが送受信されます。ビット 15~0 には第 1 のデータワード、そしてビット 31~16 には第 2 のデータワードが格納されています。</li> <li>• DWL=010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA=0 (左詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。 ビット 31~ビット (32-DWL によって設定されたデータワード長のビット数) つまり、DWL=011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 31~12 が使用されます。他のすべてのビットは無視されるかりザービットになります。</li> <li>• DWL=010、011、100、101 (データワード長 18、20、22、24 ビット時)、PDTA=1 (右詰め) SSIRDR か SSITDR のデータビットで使用されるのは以下のビットです。 ビット (DWL によって設定されたデータワード長のビット数-1) ~ ビット 0 つまり、DWL=011 のとき、データワード長は 20 ビットになり、SSIRDR か SSITDR のビット 19~0 が使用されます。他のすべてのビットは無視されるかりザービットになります。</li> <li>• DWL=110 (データワード長 32 ビット時)、PDTA 設定は無視 SSIRDR か SSITDR の全データビットがシリアルオーディオバス上で使用されます。</li> </ul>
8	DEL	0	R/W	<p>シリアルデータディレイ</p> <p>0 : SSI_WS と SSI_SDATA 間で 1 クロックサイクルの遅延 1 : SSI_WS と SSI_SDATA 間の遅延なし</p> <p>CPEN=1 のとき、このビットは無視されます。</p>

## 26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説明
7	BREN	0	R/W	バーストモードイネーブル 0: バーストモードを禁止 1: バーストモードを許可  バーストモードは圧縮モード (CPEN=1) のみ使用可能です。バーストモードが許可されているとき、SSI_SCK 信号は出力制御されます。SSI_SDATA に有効なシリアルデータが出力されている期間中のみクロックパルスを出力します。
6~4	CKDV2 CKDV1 CKDV0	0 0 0	R/W R/W R/W	シリアルオーバーサンプルクロック分周比 オーバーサンプルクロック SSI_CLK とシリアルビットクロックの分周比を設定します。SCKD=0 のとき、このビットは無視されます。 シリアルビットクロックはシフトレジスタで使われ、SSI_SCK 端子から供給されます。  000: シリアルビットクロック周波数=オーバーサンプルクロック周波数/1 001: シリアルビットクロック周波数=オーバーサンプルクロック周波数/2 010: シリアルビットクロック周波数=オーバーサンプルクロック周波数/4 011: シリアルビットクロック周波数=オーバーサンプルクロック周波数/8 100: シリアルビットクロック周波数=オーバーサンプルクロック周波数/16 101: シリアルビットクロック周波数=オーバーサンプルクロック周波数/6 110: シリアルビットクロック周波数=オーバーサンプルクロック周波数/12 111: 設定禁止
3	MUEN	0	R/W	ミュートイネーブル 0: SSI モジュールはミュート状態でない 1: SSI モジュールはミュート状態
2	CPEN	0	R/W	圧縮モードイネーブル 0: 圧縮モードを禁止 1: 圧縮モードを許可  【注】圧縮モード (CPEN=1) の場合、スレーブトランスミッタ (SWSD=0 かつ TRMD=1) 以外の動作でご使用ください
1	TRMD	0	R/W	送信/受信モード選択 0: SSI モジュールは受信モード 1: SSI モジュールは送信モード
0	EN	0	R/W	SSI モジュールイネーブル 0: SSI モジュール動作を禁止 1: SSI モジュール動作を許可

## 26.3.2 ステータスレジスタ (SSISR)

SSISR は、SSI モジュールの動作状態を示すステータスフラグと、現在のチャンネル番号とワード番号を示すビットで構成されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DMRQ	UIRQ	OIRQ	IIRQ	DIRQ	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W*	R/W*	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CHNO1	CHNO0	SWNO	IDST
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31~29	—	すべて 0	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
28	DMRQ	0	R	<p>DMA 要求ステータスフラグ</p> <p>本ステータスフラグにより、CPU は SSI モジュールの DMA リクエストの状態を知ることができます。</p> <p>TRMD=0 (受信モード) のとき :</p> <ul style="list-style-type: none"> <li>DMRQ=1 のとき、SSIRD R に未読データがあります。</li> <li>SSIRD R が読み出された場合、次の未読データがくるまで DMRQ=0 になります。</li> </ul> <p>TRMD=1 (送信モード) のとき :</p> <ul style="list-style-type: none"> <li>DMRQ=1 のとき、SSITDR は、シリアルオーディオバス上の送信を継続できるようにデータの書き込みを要求します。</li> <li>SSITDR にデータが書き込まれた場合、次の送信データの要求があるまで DMRQ=0 になります。</li> </ul>

## 26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説明
27	UIRQ	0	R/W*	<p>アンダフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより低いレートでデータが供給されたことを示します。</p> <p>このビットは、UIEN ビットの設定に関わらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>UIRQ=1 かつ UIEN=1 のとき、割り込みが発生します。</p> <p>TRMD=0 (受信モード) のとき :</p> <p>UIRQ=1 のとき、DMRQ や DIRQ ビットが新しい未読データの存在を示す前に、SSIRDR が読み出されたことを示しています。このとき、同じ受信データがホストによって 2 回格納される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>TRMD=1 (送信モード) のとき :</p> <p>UIRQ=1 のとき、送信する前に SSITDR に送信データが書き込まれなかったことを示しています。これにより同じデータが 1 回多く送信される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。結果として間違った SSI データが出力されるため、このエラーは、受信モードのアンダフローエラーより深刻です。</p> <p>【注】 アンダフローエラーが発生すると、次のデータが書き込まれるまで、データバッファ中にあるデータが送信されます。</p>
26	OIRQ	0	R/W*	<p>オーバーフローエラー割り込みステータスフラグ</p> <p>本ステータスフラグは要求レートより高いレートでデータが供給されたことを示します。</p> <p>このビットは OIEN ビットの設定に関わらず 1 にセットされます。0 にクリアするには、0 を書き込んでください。</p> <p>OIRQ=1 かつ OIEN=1 のとき、割り込みが発生します。</p> <p>TRMD=0 (受信モード) のとき :</p> <p>OIRQ=1 のとき、SSIRDR に、新しい未読データが書き込まれる前に以前の未読データが読み出されなかったことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>TRMD=1 (送信モード) のとき :</p> <p>OIRQ=1 のとき、SSITDR 中のデータがシフトレジスタに転送される前に SSITDR にデータが書き込まれたことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。</p> <p>【注】 オーバーフローエラーが発生すると、データバッファ中にあるデータは、SSI インタフェースから送られてくる次のデータに上書きされます。</p>

## 26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説明
25	IIRQ	1	R	<p>アイドルモード割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがアイドル状態であるかどうかを示します。ポーリングを可能にするため、このビットは、I IEN ビットの設定に関わらず 1 にセットされます。</p> <p>割り込みは、I IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んでも割り込みをクリアできません。</p> <p>I IRQ=1 かつ I IEN=1 のとき、割り込みが発生します。</p> <p>0 : SSI モジュールはアイドル状態でない 1 : SSI モジュールはアイドル状態</p>
24	DIRQ	0	R	<p>データ割り込みステータスフラグ</p> <p>本ステータスフラグは SSI モジュールがデータの読み出しか書き込みを必要としていることを示します。</p> <p>ポーリングを可能にするため、このビットは、D IEN ビットの設定に関わらず 1 にセットされます。</p> <p>割り込みは、D IEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んでも割り込みをクリアできません。</p> <p>D I RQ=1 かつ D I EN=1 のとき、割り込みが発生します。</p> <p>TRMD=0 (受信モード) のとき :</p> <p>0 : SSIRDR に未読データなし 1 : SSIRDR に未読データあり</p> <p>TRMD=1 (送信モード) のとき :</p> <p>0 : 送信バッファはフル 1 : 送信バッファは空で、SSITDR へのデータ書き込みを要求しています</p>
23~4	—	すべて 0	R	<p>リザーブビット</p> <p>読み出し値は不定です。書き込む値は常に 0 にしてください。</p>
3	CHNO1	0	R	<p>チャンネル番号</p> <p>現在のチャンネルを示します。</p> <p>TRMD=0 (受信モード) のとき :</p> <p>このビットは、SSIRDR 内の現在のデータがどのチャンネルのものを表わします。シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>TRMD=1 (送信モード) のとき :</p> <p>このビットは、SSITDR にどのチャンネルのデータを書き込むべきかを表わします。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかに関わらず、この値は変化します。</p>
2	CHNO0	0	R	

## 26. シリアルサウンドインタフェース (SSI)

ビット	ビット名	初期値	R/W	説 明
1	SWNO	1	R	<p>シリアルワード番号 現在のワード番号を示します。</p> <p>TRMD=0 (受信モード) のとき： このビットは、SSIRDR 内の現在のデータがどちらのシステムワードであるかを表わします。SSIRDR が読み出されたかどうかに関わらず、シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。</p> <p>TRMD=1 (送信モード) のとき： このビットは、SSITDR にどちらのシステムワードを書き込むべきかを表わします。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかに関わらず、この値は変化します。</p>
0	IDST	1	R	<p>アイドルモードステータスフラグ 本ステータスフラグはシリアルバスが停止した状態であることを示します。EN=1 かつシリアルバスが動作中のとき、このビットはクリアされます。このビットは以下の条件のときに自動的に 1 にセットされます。</p> <p>SSI がマスタトランスミッタ (SWSD=1 かつ TRMD=1) のとき： システムワード中送信すべきデータがすべて SSITDR に書き込まれた後で、EN ビットをクリアして現在出力中のシステムワードを終了すると、このビットは 1 にセットされます。</p> <p>SSI がマスタレシーバ (SWSD=1 かつ TRMD=0) のとき： EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>SSI がスレーブトランスミッタ/レシーバ (SWSD=0) のとき： EN ビットがクリアされ、現在のシステムワードが終了すると、このビットは 1 にセットされます。</p> <p>【注】 現在のシステムワードが終了する前に外部デバイスがシリアルバスクロックを停止すると、このビットはセットされません。</p>

【注】 \* 読み出し/書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

### 26.3.3 トランスミットデータレジスタ (SSITDR)

SSITDR は、32 ビットのレジスタで、送信するデータを格納します。

本レジスタに書き込まれたデータは、送信の要求があると、シフトレジスタに転送されます。データワード長が32 ビット未満のとき、アラインメントは SSICR の PDTA コントロールビットの設定に従って行われます。

本レジスタを読むことで、バッファ内のデータが得られます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

### 26.3.4 レシーブデータレジスタ (SSIRDR)

SSIRDR は、32 ビットのレジスタで、受信したデータを格納します。

本レジスタのデータは、データワードが受信されるごとにシフトレジスタから転送されます。データワード長が32 ビット未満のとき、アラインメントは SSICR の PDTA コントロールビットの設定に従って行われます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

## 26.4 動作説明

### 26.4.1 バスフォーマット

SSI モジュールは、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは表 26.4 に示す 8 つの主要なモードから選択できます。

表 26.4 SSI モジュールのバスフォーマット

バスフォーマット	TRMD	CPEM	SCKD	SWSD	EN	MUEN	DIEN	IEN	OIEN	UIEN	DEL	PDTA	SDTA	SPDP	SWSP	SCKP	SWL[2:0]	DWL[2:0]	CHNL[1:0]
非圧縮スレーブレシーバ	0	0	0	0	コントロールビット						コンフィギュレーションビット								
非圧縮スレーブトランスミッタ	1	0	0	0	コントロールビット						コンフィギュレーションビット								
非圧縮マスタレシーバ	0	0	1	1	コントロールビット						コンフィギュレーションビット								
非圧縮マスタトランスミッタ	1	0	1	1	コントロールビット						コンフィギュレーションビット								
圧縮スレーブレシーバ	0	1	0/1	0	コントロールビット						無視されます			コンフィギュレーションビット			無視されます		
圧縮スレーブトランスミッタ	1	1	0/1	0	コントロールビット						無視されます			コンフィギュレーションビット			無視されます		
圧縮マスタレシーバ	0	1	0/1	1	コントロールビット						無視されます			コンフィギュレーションビット			無視されます		
圧縮マスタトランスミッタ	1	1	0/1	1	コントロールビット						無視されます			コンフィギュレーションビット			無視されます		

### 26.4.2 非圧縮モード

非圧縮モードは、チャンネルに分割されるシリアルオーディオストリームをサポートします。Philips、Sony または松下モードだけでなく、多数の改良版にも対応しています。

#### (1) スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

#### (2) スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

#### (3) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号は SSI\_CLK 入力クロックから内部生成されます。これらの信号のフォーマットは SSI モジュールの設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

## (4) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号は SSI\_CLK 入力クロックから内部生成されます。これらの信号のフォーマットは SSI モジュールのコンフィギュレーションビットの設定に従います。

## (5) 動作設定キーワード長関連

非圧縮モードでは、SSICR のワード長に関するすべてのビットが有効です。SSI モジュールは多数のコンフィギュレーションをサポートできますが、ここでは Philips、Sony、松下のフォーマットについて説明します。

## (a) Philips フォーマット

図 26.2 と図 26.3 に、パディングありとパディングなしの Philips フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

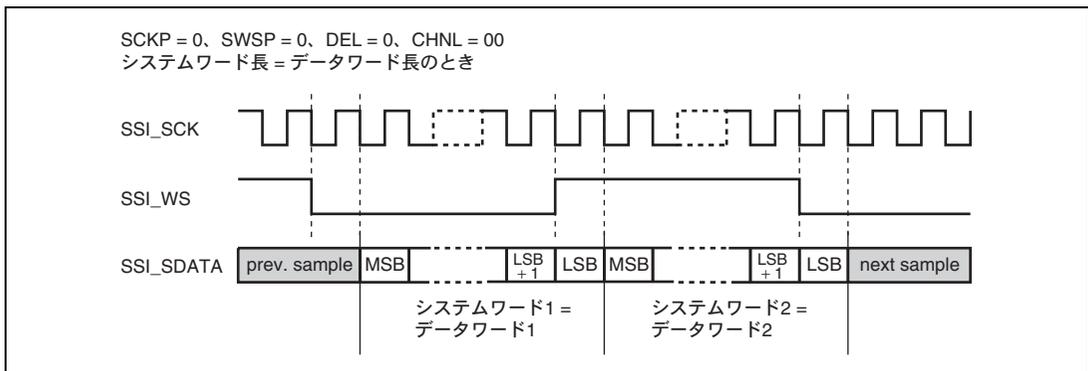


図 26.2 Philips フォーマット (パディングなし)

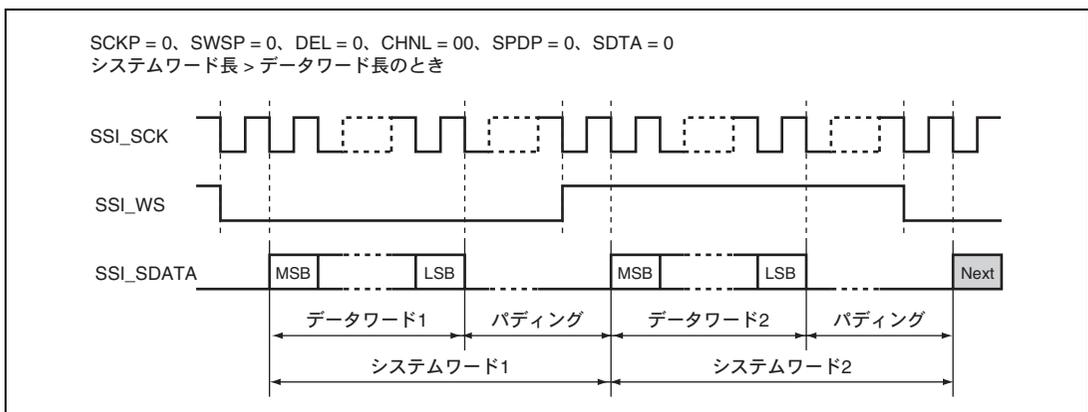


図 26.3 Philips フォーマット (パディングあり)

## 26. シリアルサウンドインタフェース (SSI)

図 26.4 に Sony フォーマットを、図 26.5 に松下のフォーマットを示します。2 つともパディングありの例ですが、システムワード長とデータワード長が同じだった場合はパディングなしとなることもあります。

### (b) Sony フォーマット

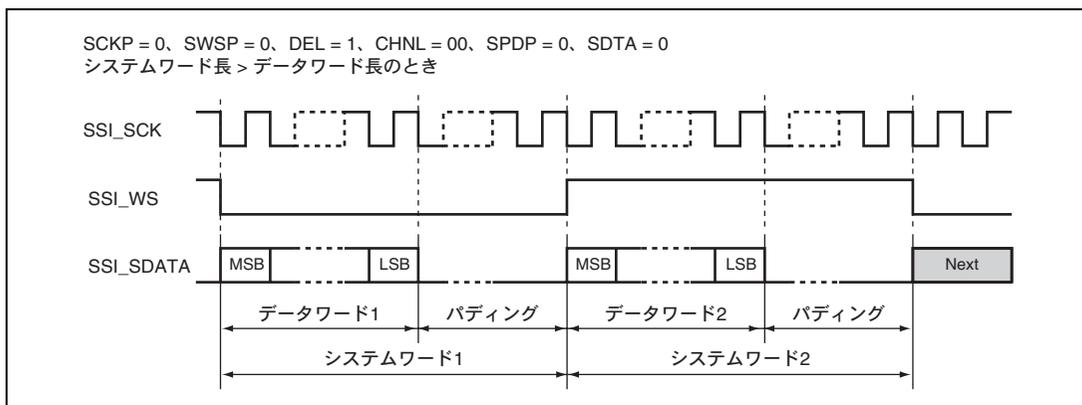


図 26.4 Sony フォーマット (シリアルデータ、パディングビットの順に送受信)

### (c) 松下フォーマット

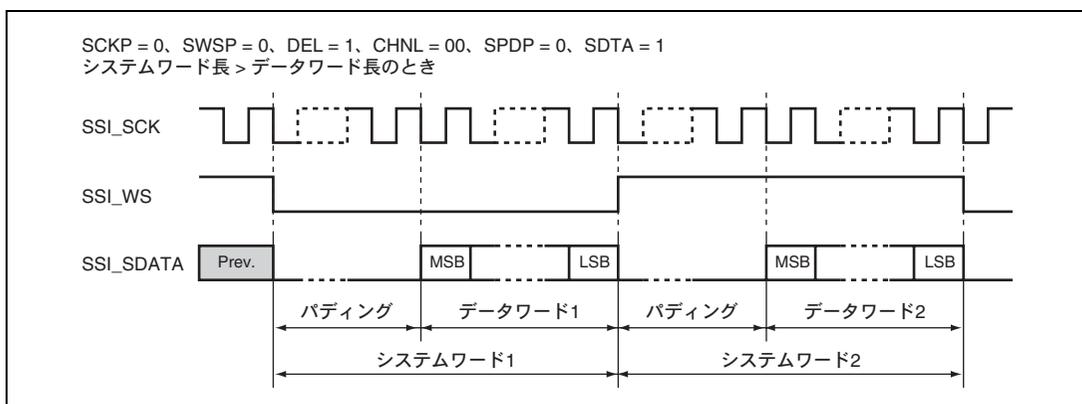


図 26.5 松下フォーマット (パディングビット、シリアルデータの順に送受信)

### (6) マルチチャンネルフォーマット

2 システムワード中に 2 より多いチャンネルの転送を行う拡張フォーマットもサポートします。

SSI モジュールは、CHNL、SWL および DWL ビットを使って、4、6、および 8 チャンネルの転送を実行します。ただし、システムワード長 (SWL) が、データワード長 (DWL) にチャンネル数 (CHNL) を掛けたもの以上の長さの場合に限ります。

表 26.5 に有効な設定とパディングビット数を示します。有効ではない設定には数字の代わりに「-」が記入されています。

26. シリアルサウンドインタフェース (SSI)

表 26.5 有効な設定とパディングビット数

システムワードごとのパディングビット数			DWL[2:0]	000	001	010	011	100	101	110
CHNL [1:0]	システムワードごとに デコードされるチャンネル	SWL [2:0]	デコードされた ワード長	8	16	18	20	22	24	32
00	1	000	8	0	—	—	—	—	—	—
		001	16	8	0	—	—	—	—	—
		010	24	16	8	6	4	2	0	—
		011	32	24	16	14	12	10	8	0
		100	48	40	32	30	28	26	24	16
		101	64	56	48	46	44	42	40	32
		110	128	120	112	110	108	106	104	96
		111	256	248	240	238	236	234	232	224
01	2	000	8	—	—	—	—	—	—	—
		001	16	0	—	—	—	—	—	—
		010	24	8	—	—	—	—	—	—
		011	32	16	0	—	—	—	—	—
		100	48	32	16	12	8	4	0	—
		101	64	48	32	28	24	20	16	0
		110	128	112	96	92	88	84	80	64
		111	256	240	224	220	216	212	208	192
10	3	000	8	—	—	—	—	—	—	—
		001	16	—	—	—	—	—	—	—
		010	24	0	—	—	—	—	—	—
		011	32	8	—	—	—	—	—	—
		100	48	24	0	—	—	—	—	—
		101	64	40	16	10	4	—	—	—
		110	128	104	80	74	68	62	56	32
		111	256	232	208	202	196	190	184	160
11	4	000	8	—	—	—	—	—	—	—
		001	16	—	—	—	—	—	—	—
		010	24	—	—	—	—	—	—	—
		011	32	0	—	—	—	—	—	—
		100	48	16	—	—	—	—	—	—
		101	64	32	0	—	—	—	—	—
		110	128	96	64	56	48	40	32	0
		111	256	224	192	184	176	168	160	128

## 26. シリアルサウンドインタフェース (SSI)

SSI モジュールがトランスミッタとして動作する場合、SSITDR に書き込まれた各ワードは書き込まれた順にシリアルオーディオバスに送信されます。SSI モジュールがレシーバとして動作する場合、シリアルオーディオバスが受信した各ワードは SSIRDR から受信した順に読み出されます。

図 26.6～図 26.8 に、4、6 および 8 チャンルのデータがどのようにシリアルオーディオバスに転送されるかを示します。第 1 の例にはパディングビットがなく、第 2 の例は左詰め、そして第 3 の例は右詰めです。これらの例は、すべて任意の例です。

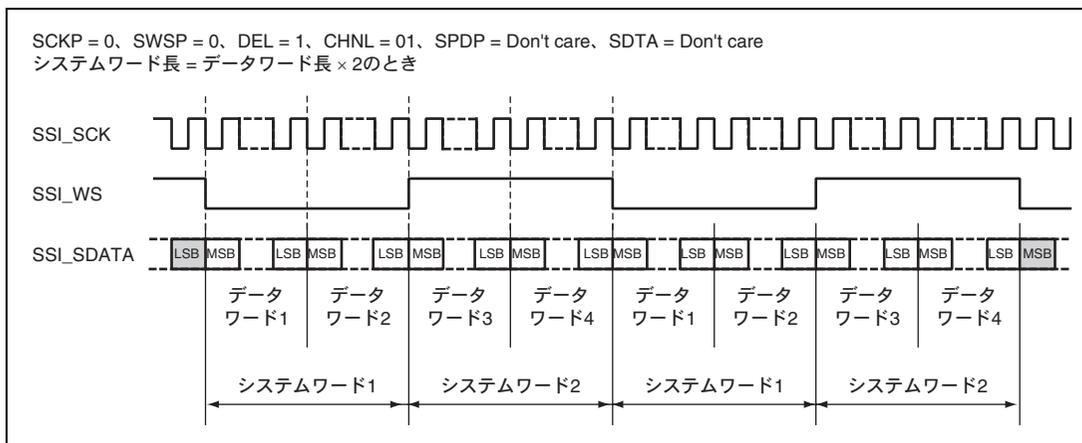


図 26.6 マルチチャンネルフォーマット (4 チャンネル、パディングなし)

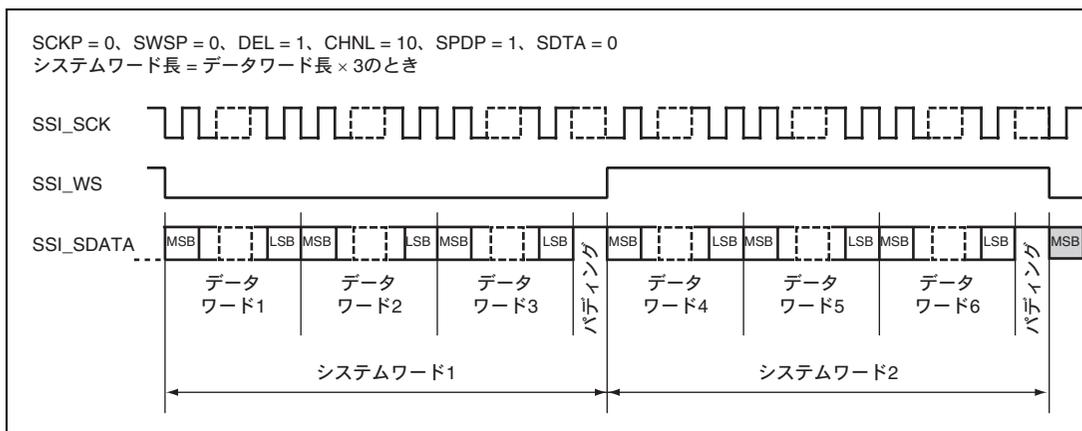


図 26.7 マルチチャンネルフォーマット (6 チャンネル、High パディング)

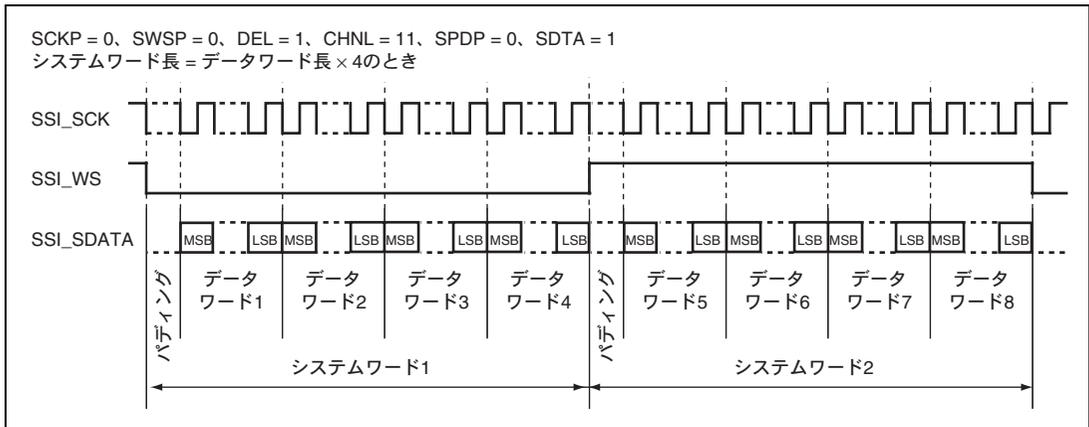


図 26.8 マルチチャンネルフォーマット  
 (8 チャンネル、パディングビット、シリアルデータの順に送受信、パディングあり)

(7) 動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図 26.9 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

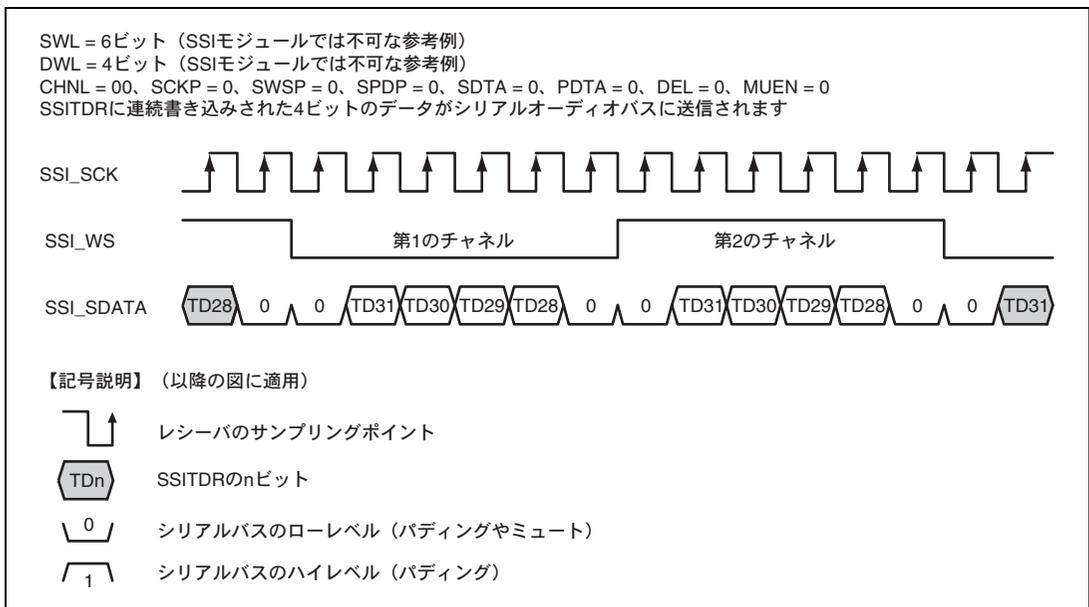


図 26.9 基本フォーマット例 (送信モード、任意のシステム/データワード長)

図 26.9 の例では、6 ビットのシステムワードと4 ビットのデータワードが使用されます。これらの設定は SSI モジュールでは実現不可能ですが、その他の設定ビットの説明のためにここでは例として用いています。

## 26. シリアルサウンドインタフェース (SSI)

### (a) 反転クロック

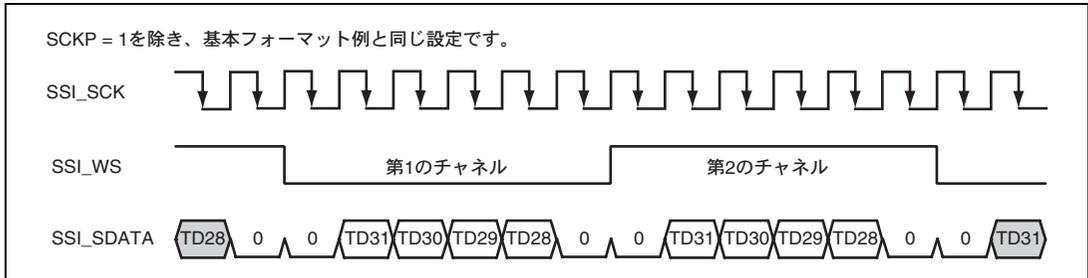


図 26.10 反転クロック

### (b) 反転ワード選択信号

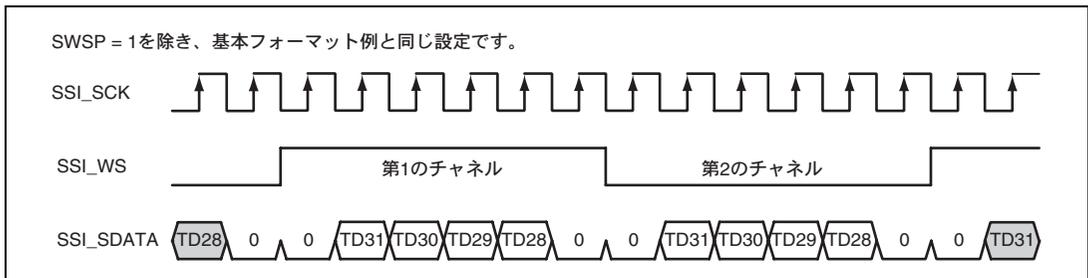


図 26.11 反転ワード選択信号

### (c) 反転パディング極性

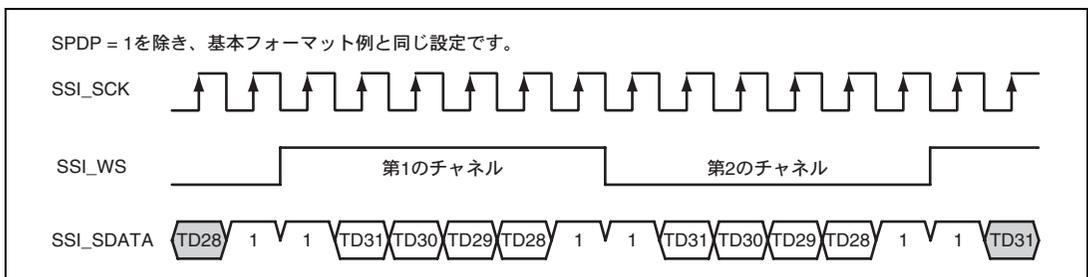


図 26.12 反転パディング極性

(d) シリアルデータ、パディングビットの順に送受信、遅延あり

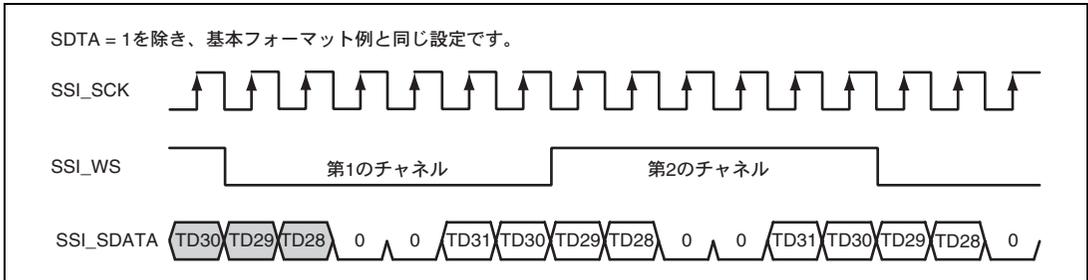


図 26.13 パディングビット、シリアルデータの順に送受信、遅延あり

(e) シリアルデータ、パディングビットの順に送受信、遅延なし

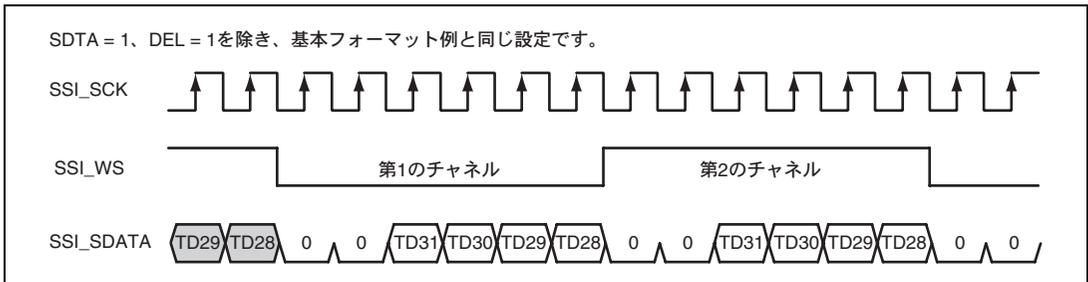


図 26.14 パディングビット、シリアルデータの順に送受信、遅延なし

(f) パディングビット、シリアルデータの順に送受信、遅延なし

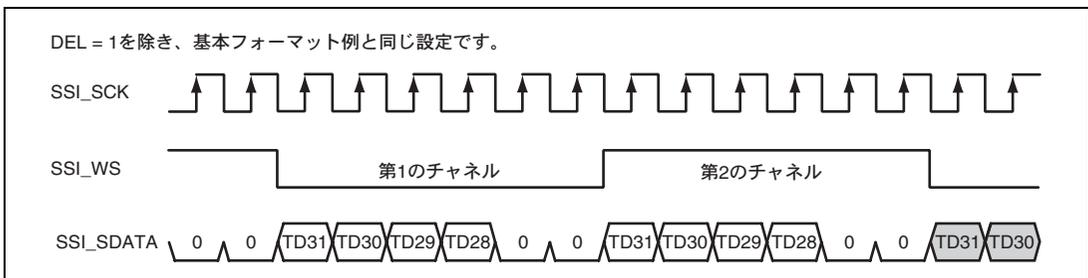


図 26.15 シリアルデータ、パディングビットの順に送受信、遅延なし

## 26. シリアルサウンドインタフェース (SSI)

### (g) パラレルデータの右詰め、遅延あり

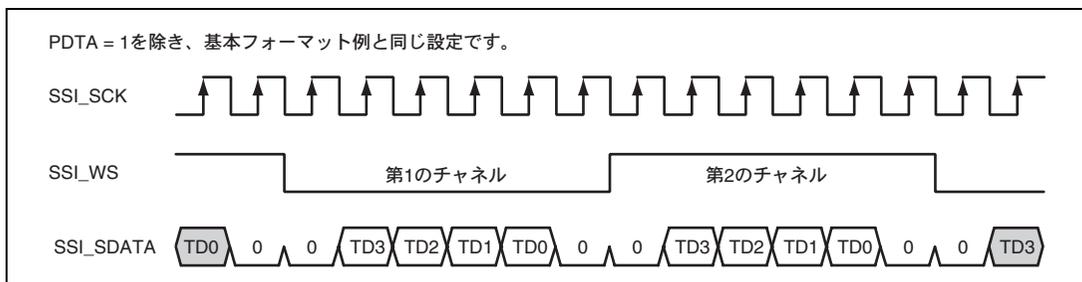


図 26.16 パラレルデータの右詰め、遅延あり

### (h) ミュート有効

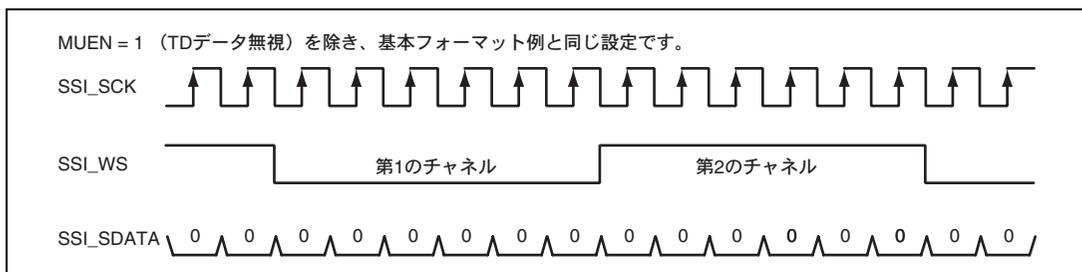


図 26.17 ミュート有効

### 26.4.3 圧縮モード

圧縮モードは、連続ビットストリームの転送に使用されます。このモードでは、受信側で圧縮されたビットストリームからデータを抽出する操作を必要とします。

ストリーム転送（バーストモード無効）のとき、データワードという概念は存在しません。しかし、送信と受信を行うには、シリアルバスとメモリ間の転送が必要です。送信／受信時のワードバウンダリ設定は任意ですので、別の手段で処理しなくてはなりません。バーストモード有効時、送信されているデータビットは、出力するワードが存在するときのみシリアルビットクロック出力が有効であり、各 32 ビットワードを出力するのに必要なクロックパルス数しか生成されないことで認識されます。シリアルビットクロックは、SSICR.SCKP=0 のときローレベル、SSICR.SCKP=1 のときハイレベルで停止します。SSI モジュールがトランスミッタの場合にのみバーストモードは有効になるのでご注意ください。このモジュールはバーストモードデータを受信できません。

データの送信と受信は 32 ビットのブロック単位で行われ、メモリに保存する際には、最初に送信された／受信したビットがビット 31 になります。

非圧縮モードと違って、このモードでのワード選択端子からの出力はシステムワード開始信号ではなく、レシーバが次のデータバーストを受信できる状態にあることやトランスミッタが次のデータバーストを送信できる状態にあることを示すのに使用されます。

図 26.18 と図 26.19 では、バーストモード無効時と有効時の圧縮モードデータ転送をそれぞれ示します。

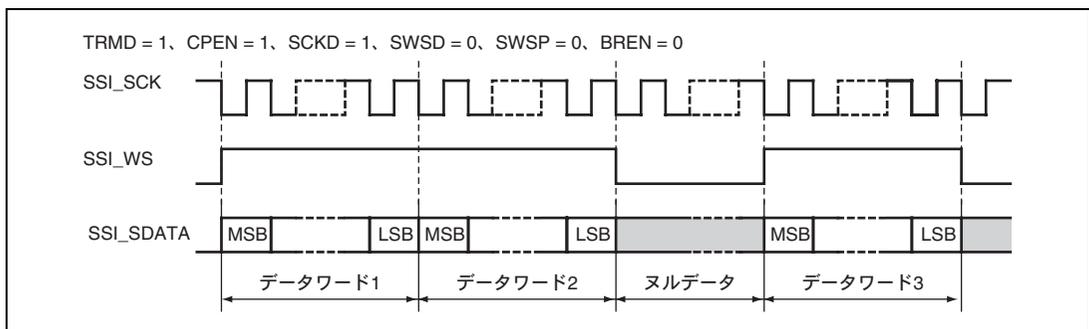


図 26.18 圧縮データフォーマット、スレーブトランスミッタ、バーストモード無効

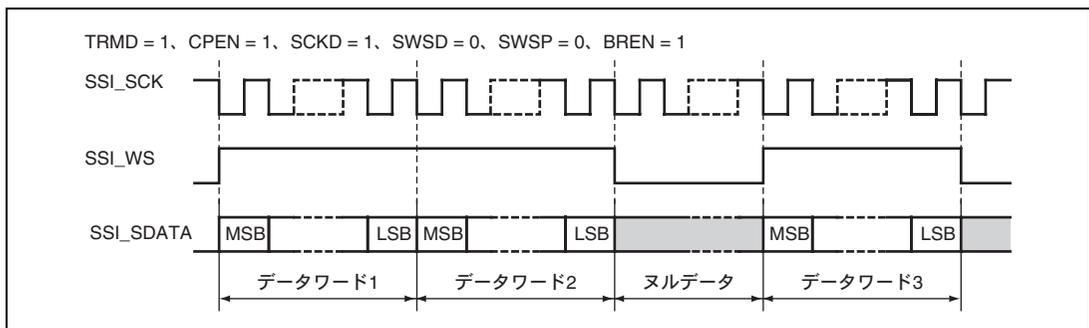


図 26.19 圧縮データフォーマット、スレーブトランスミッタ、バーストモード有効

### (1) スレーブレシーバ

このモードでは、別のデバイスからシリアルビットストリームを受信し、メモリに保存できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は入力フロー制御に使われます。SWSP=0 のとき、SSI\_WS がハイレベルなら、1 クロックサイクルに 1 データビットのタイミングで、32 ビットのブロック単位でビットストリームを受信します。SSI\_WS がローレベルになった場合、現在の 32 ビットブロックが終了した時点で受信を停止します。SSI\_WS が再びハイレベルになったときに受信を再開します。

### (2) スレーブトランスミッタ

このモードは、使用しないでください。

### (3) マスタレシーバ

このモードでは、別のデバイスからシリアルビットストリームを受信し、メモリに保存できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は出力フロー制御に使われます。データを続けて受信できることを示すために、ワード選択端子は常にアサートされています。データの損失が起きないタイミングで SSI モジュールにデータを送信するのは送信デバイスの責任です。

### (4) マスタトランスミッタ

このモードでは、メモリから別のデバイスにシリアルビットストリームを転送できます。シフトレジスタクロックは外部デバイスか内部クロックから供給されます。

ワード選択端子は出力フロー制御に使われます。データを続けて送信することを示すために、ワード選択端子は常にアサートされています。ただし、ワード選択端子は最初のワードの転送準備ができるまではアサートされません。データの損失が起きないタイミングでシリアルデータを受信するのは受信デバイスの責任です。

データ転送用にコンフィギュレーションが終了したら、SSI モジュールは最小限の CPU とのやりとりで動作できます。CPU は、SSI モジュールと DMAC の設定をし、必要に応じてオーバフローやアンダフロー割り込みを処理します。

### 26.4.4 動作モード

コンフィギュレーション、有効および無効の3つの動作モードがあります。図 26.20 に動作モードの遷移図を示します。

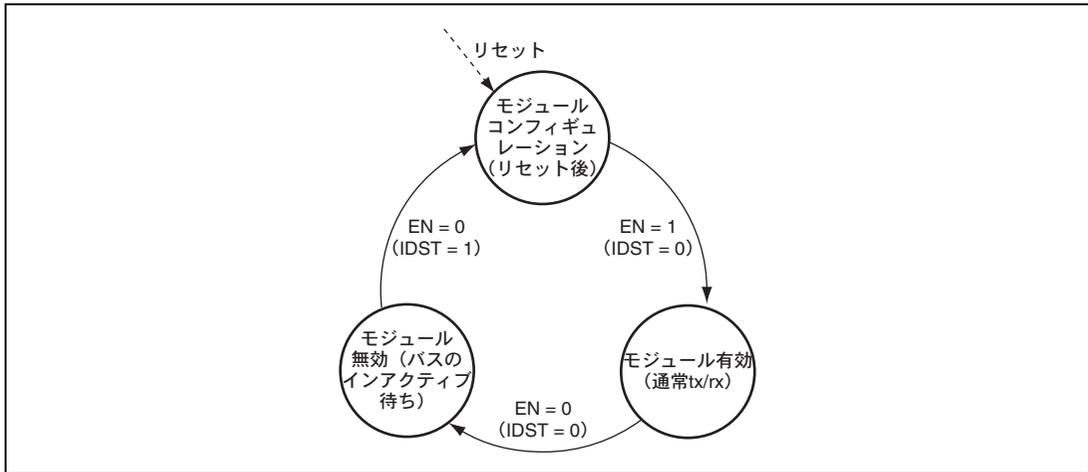


図 26.20 動作モード遷移図

#### (1) コンフィギュレーションモード

リセット解除後にこのモードになります。SSI モジュールが EN ビットのセットで有効になる前に、このモードでコントロールレジスタに必要な設定をする必要があります。

EN ビットをセットすると、SSI モジュールはモジュール有効モードに遷移します。

#### (2) モジュール有効モード

このモードの動作は選択された動作モードに依存しています。詳細については「26.4.5 送信動作」と「26.4.6 受信動作」を参照してください。

### 26.4.5 送信動作

送信は DMA か割り込みで制御できます。

CPU 負荷を低減するという点では、DMA 制御の方が優れています。DMA 制御モードでは、データのアンダフローやオーバフローの発生時、または DMAC の転送終了は、割り込みによって通知されます。

別の制御方法としては、必要に応じて SSI モジュールがデータ供給のために生成する割り込みを用いる方法があります。SSI モジュールは単にダブルバッファ構造であり、少なくともシステムワードごとにデータの書き込みを必要とするため、割り込み制御モードの方が高い負荷が生じます。

SSI モジュールを無効にする場合、IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック\*は供給され続けなければなりません。

図 26.21 に DMA 制御モードの送信動作を、図 26.22 に割り込み制御モードの送信動作を示します。

## 26. シリアルサウンドインタフェース (SSI)

【注】 \* SCKD=0 のとき SSI\_SCK 端子からの入カクロック  
SCKD=1 のとき SSI\_CLK 端子からの入カクロック

### (1) DMA コントローラを使用した送信

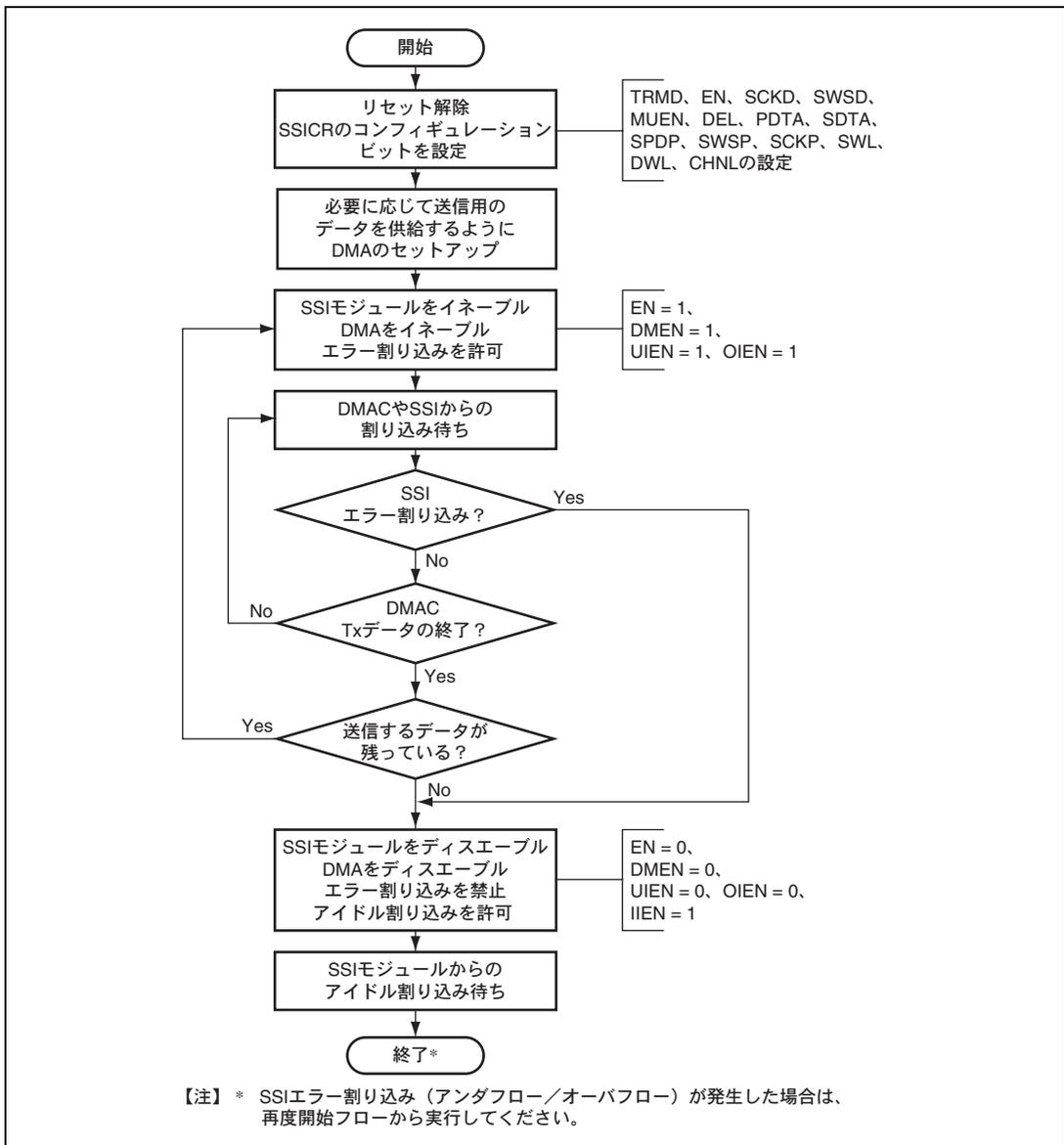


図 26.21 DMA コントローラを使用した送信

## (2) 割り込みデータフロー制御を使用した送信

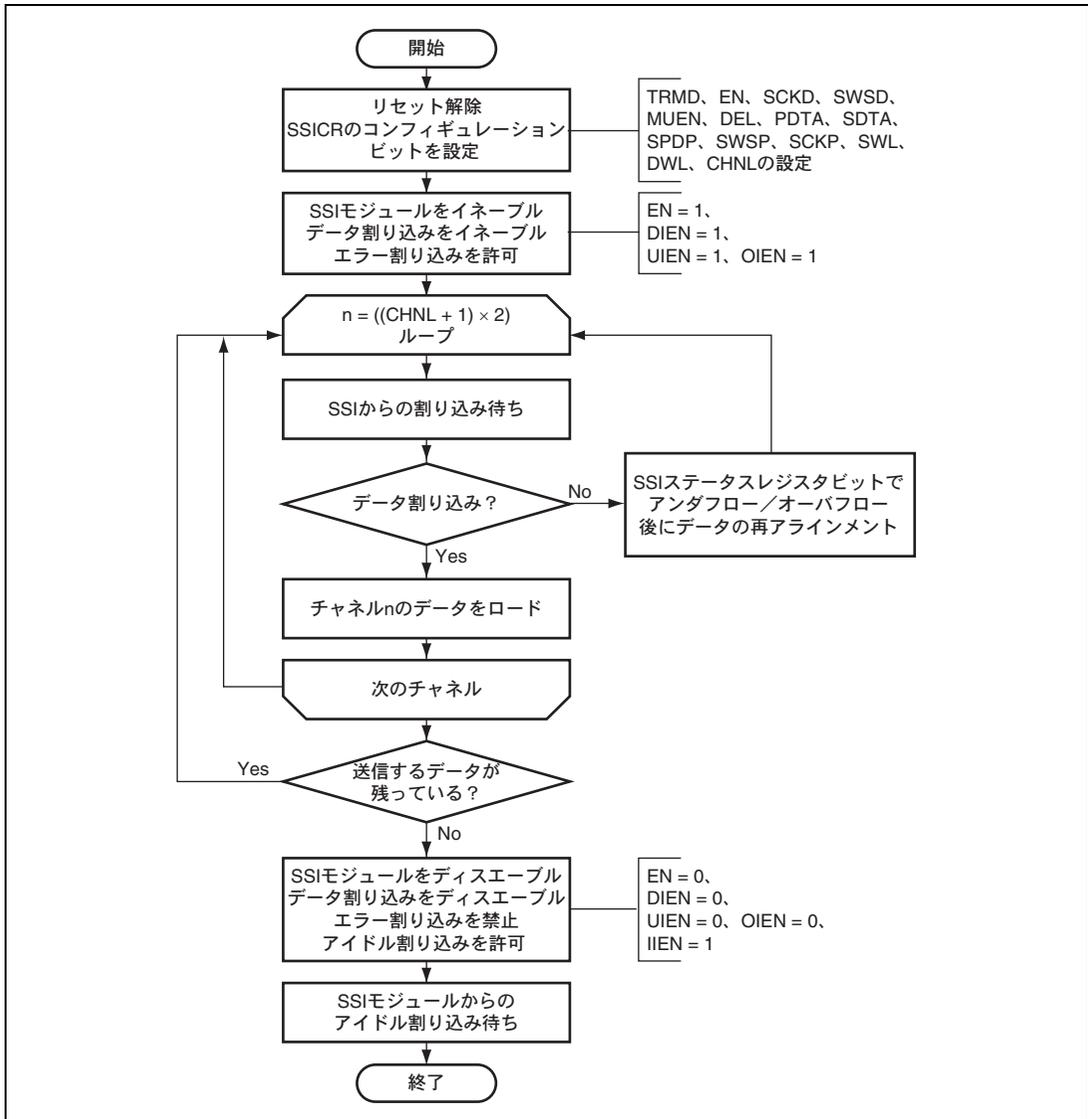


図 26.22 割り込みデータフロー制御を使用した送信

## 26.4.6 受信動作

送信同様、受信も DMA または割り込みで制御できます。

図 26.23 と図 26.24 にそれぞれの動作フローチャートを示します。

SSI モジュールを無効にする場合、IIRQ ビットが SSI のアイドル状態を示すまで SSI クロック\*は供給され続けなければなりません。

## 26. シリアルサウンドインタフェース (SSI)

【注】 \* SCKD=0 のとき SSI\_SCK 端子からの入カクロック  
 SCKD=1 のとき SSI\_CLK 端子からの入カクロック

### (1) DMA コントローラを使用した受信

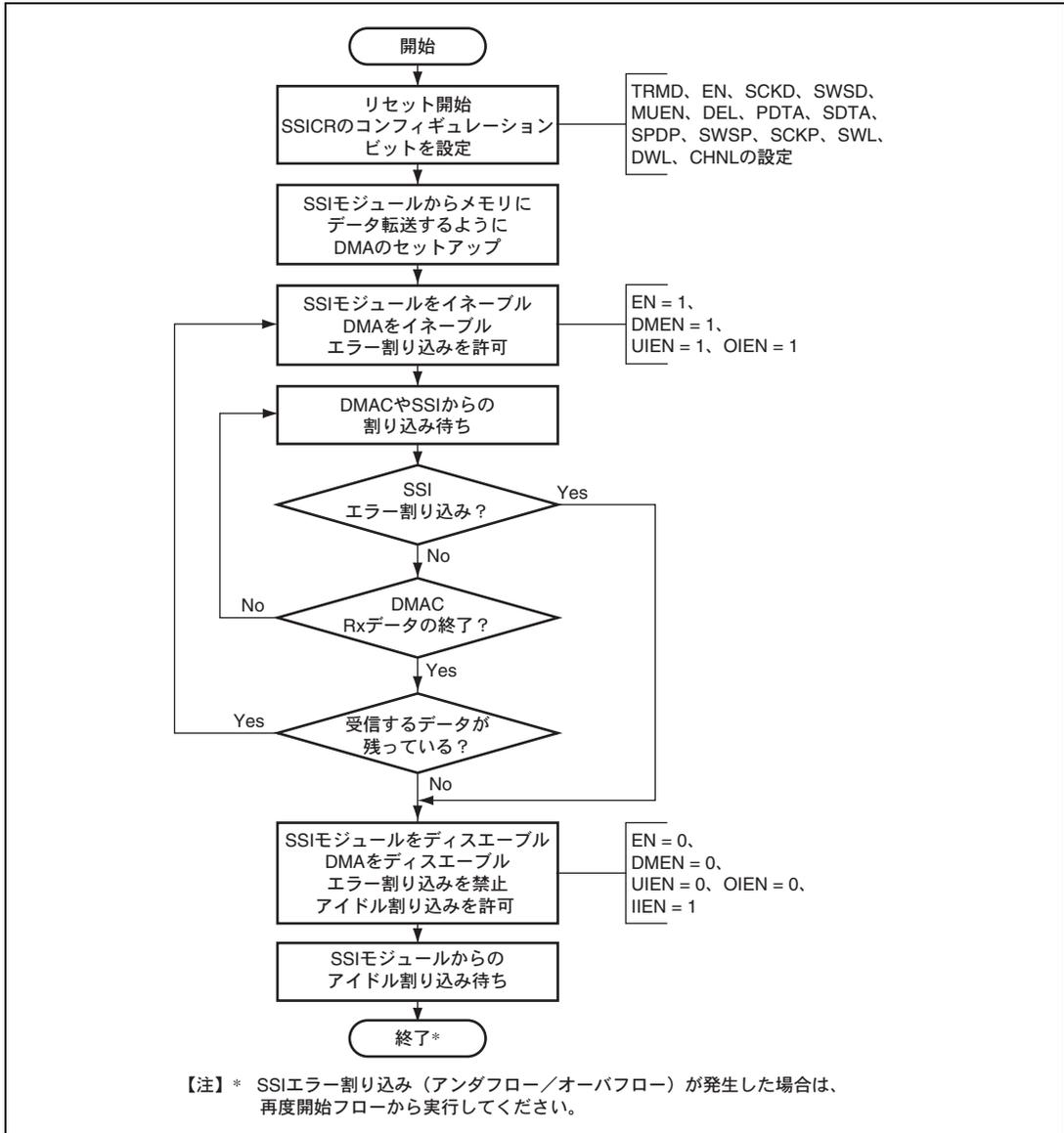


図 26.23 DMA コントローラを使用した受信

## (2) 割り込みデータフロー制御を使用した受信

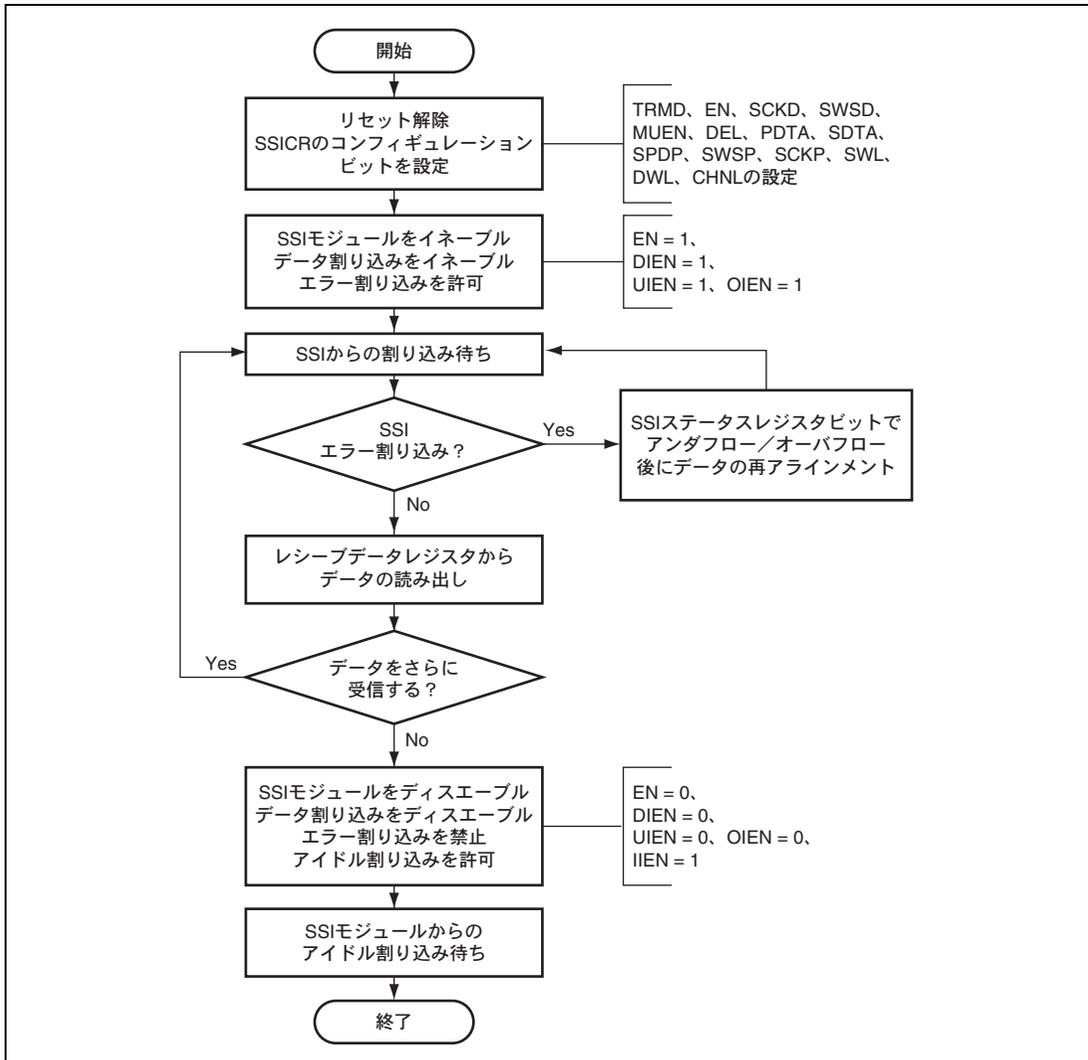


図 26.24 割り込みデータフロー制御を使用した受信

アンダフローやオーバフロー条件が一致した場合、CHNO[1:0]ビットとSWNOビットを使ってSSIモジュールを一致する前の状態に回復できます。アンダフローやオーバフローが発生したら、ホストCPUはチャンネル数とシステムワード数を読み出すことで、シリアルオーディオストリームの到達した位置を知ることができます。トランスミッタとして動作する場合、SSIモジュールが次に送信する予定のデータに到達するまでホストCPUは送信データをスキップすることが可能です。これにより、オーディオデータストリームと再び同期できます。レシーバとして動作する場合、SSIモジュールが次に受信すると示しているデータを格納できるようになるまでホストCPUはヌルデータを格納することにより、受信データ数の整合性をとり、オーディオデータストリームと再び同期できます。

### 26.4.7 シリアルビットクロックコントロール

シリアルビットクロック機能を用いて、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合 (SSICR.SCKD=0)、SSI モジュールはクロックスレーブモードであり、シフトレジスタが使うビットクロックは SSI\_SCK 端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合 (SSICR.SCKD=1)、SSI モジュールはクロックマスターモードであり、シフトレジスタが使うビットクロックは SSI\_CLK 入力端子あるいは内蔵 DLL から入力されたクロックまたはそれを分周したクロックです。SSI\_CLK 端子あるいは内蔵 DLL から入力されたクロックは、SSICR のシリアルオーバサンプルクロック分周比 (SSICR.CKDV) ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、SSI\_SCK 端子の出力はビットクロックと同じになります。

## 26.5 使用上の注意事項

### 26.5.1 受信 DMA 動作中にオーバーフローが起こった場合の制限事項

受信 DMA 動作中にオーバーフローが起こった場合、モジュールの再起動が必要です。SSI 内の受信バッファは L チャンネルと R チャンネルが共用の 32 ビットのレジスタで構成しています。そのため、例えばコントロールレジスタ (SSICR) のデータワード長 (DWL2~DWL0) が 32 ビットの設定で、システムワード長 (SWL2~SWL0) が 32 ビットの設定の場合、オーバーフローが一度発生すると、L チャンネルで受信すべきデータが、R チャンネルで受信してしまうことがあります。

そこで、オーバーフローエラー割り込みまたはオーバーフローエラーステータスフラグ (SSISR の OIRQ ビット) によりオーバーフローを確認した場合、SSICR の EN ビットおよび DMEN ビットに 0 を書き込むことにより、SSI モジュールの DMA を禁止して動作を停止させてください (この時 DMA コントローラの設定も停止させてください)。その後、OIRQ ビットに 0 を書き込み、オーバーフローステータスをクリアし、再度 DMA の設定を行い、転送を再開してください。

---

## 27. NAND フラッシュメモリコントローラ (FLCTL)

---

NAND フラッシュメモリコントローラ (FLCTL) は、外付けの NAND 型フラッシュメモリとのメモリインタフェースを提供します。

### 27.1 特長

#### (1) NAND 型フラッシュメモリのメモリインタフェース

- NAND型フラッシュメモリとの接続が可能なインタフェース
- セクタ\* (512+16バイト) 単位のリードライト。
- バイト単位のリードライト
- 512Mビットまでのメモリに対応

【注】 \* NAND 型フラッシュメモリのデータシートでは、512+16 バイトのアクセス単位をページと表記されますが、本書では、セクタに統一します。

#### (2) アクセスモード：FLCTL では次の2つのアクセスモードが選択できます。

- コマンドアクセスモード：  
本FLCTLからフラッシュメモリに対して発行するコマンド、アドレス、入出力するデータサイズをレジスタに指定することで一連のアクセスを行います。これにより、ECC処理をともなわないデータのリードライトおよびイレースが行えます。
- セクタアクセスモード：  
物理セクタを指定することで、物理セクタ単位のリードライトを実行します。を指定することで、連続する物理セクタに対するリードライトを実行できます。
- ECC生成エラー検出およびエラー訂正はソフトウェアにより処理してください。

#### (3) セクタと管理コード

- 1セクタは、512バイトのデータと16バイトの管理コードから構成されます。管理コードには、8バイトのECCが含まれます。
- 管理コード内のECCの埋め込まれる位置は、4バイト単位で指定可能です。
- ECC以外の管理コードには、ユーザ情報を書き込むことができます。

## 27. NAND フラッシュメモリコントローラ (FLCTL)

---

### (4) データエラー時

- プログラム/イレースエラー発生時、エラー要因フラグに反映されます。独立要因の割り込みが指定可能です。
- ソフトウェアによりECCエラーを検出した場合、エラー訂正を行い、代替セクタを指定し、必要に応じてブロックの内容を代替セクタにコピーしてください。

### (5) データ転送用 FIFO

- フラッシュメモリのデータ転送用に224バイトのFLDTFIFOを内蔵
- 管理コードのデータ転送用に32バイトのFLECFIFOを内蔵
- CPUおよびDMAからのアクセス時、オーバラン/アンダラン検出フラグビットがあります。

### (6) DMA 転送

- DMAコントローラにフラッシュメモリのデータと管理コードの転送先を個別に指定することにより、異なる領域にデータと管理コードを転送できます。

### (7) アクセスサイズ

- レジスタには、32ビットアクセスのレジスタと8ビットアクセスのレジスタがあります。指定されたアクセスサイズでリードライトを行ってください。
- FIFOのアクセスサイズは、32ビット（4バイト）です。ライト時のバイト数として4の倍数を設定してください。また、リード時のバイト数には4の倍数を設定してください。

### (8) アクセスタイム

- 本FLCTLの端子側の動作周波数は、周辺バスの動作周波数とは別に、共通コントロールレジスタ (FLCMNCR) のFCKSELビットとQTSELビットにより指定可能です。
- NAND型フラッシュメモリ端子側の動作クロックFCLKは、周辺バスの動作クロックPckを分周して使用します。
- NAND型フラッシュメモリでは、 $\overline{\text{FRE}}$ 端子、 $\overline{\text{FWE}}$ 端子が共通コントロールレジスタで指定したFCLKで動作します。セットアップタイムを確保するため接続するメモリの最大動作周波数を超えないように設定してください。

FLCTL のブロックを図 27.1 に示します。

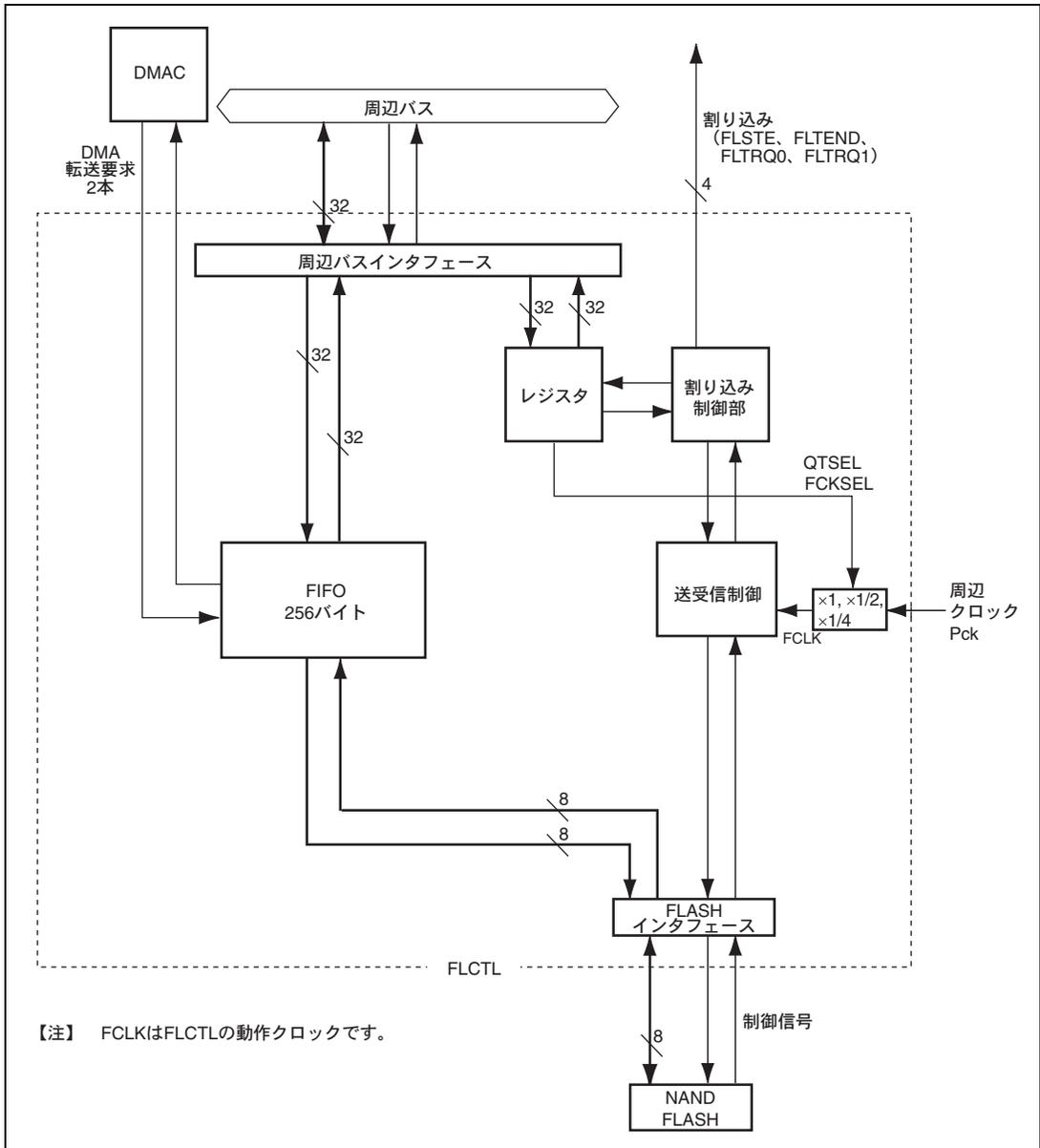


図 27.1 FLCTL のブロック図

## 27.2 入出力端子

FLCTL の端子構成を表 27.1 に示します。

表 27.1 端子構成

端子名	機能	入出力	対応する フラッシュ メモリの端子	説 明
			NAND 型	
$\overline{FCE}^{*1}$	チップイネーブル	出力	$\overline{CE}$	本 LSI に接続されたフラッシュメモリをイネーブルにします。
FD7~FD0 <sup>*2</sup>	データ入出力	入出力	I/O7~I/O0	コマンド、アドレス、データの入出力端子です。
FCLE <sup>*3</sup>	コマンドラッチ イネーブル	出力	CLE	コマンドラッチイネーブル (CLE) コマンド出力時にアサートします。
FALE <sup>*1</sup>	アドレスラッチ イネーブル	出力	ALE	アドレスラッチイネーブル (ALE) アドレス出力時にアサートします。 データ入出力時にネゲートします。
FRE <sup>*4</sup>	リードイネーブル	出力	RE	リードイネーブル (RE) RE の立ち下がりがエッジでデータリードします。
FWE <sup>*5</sup>	ライトイネーブル	出力	WE	ライトイネーブル WE の立ち上がりエッジでフラッシュメモリがコマンド、アドレスおよびデータをラッチします。
FRB <sup>*4</sup>	レディ/ビジー	入力	R/B	レディ/ビジー ハイレベルでレディ状態を、ローレベルでビジー状態を示します。
—	—	—	$\overline{WP}$	ライトプロテクト/リセット (本 LSI では、サポートしていません) ローレベルで電源投入切断時の偶発的消去/プログラムから保護します。
$\overline{FSE}^{*4}$	スペアエリア イネーブル	出力	$\overline{SE}$	スペアエリアイネーブル スペアエリアアクセス可能にする端子です。セクタアクセスモードを使う場合は、ローレベル固定にしてください。

【注】 \*1 これらの端子は H-UDI 端子とマルチプレクスされています。

\*2 これらの端子は INTC、H-UDI、GPIO、モード制御端子とマルチプレクスされています。

\*3 この端子は SCIF0 チャンネル 0、PCIC、GPIO 端子とマルチプレクスされています。

\*4 これらの端子は SCIF チャンネル 0、HSPI、GPIO 端子とマルチプレクスされています。

\*5 この端子は SCIF チャンネル 0、HSPI、GPIO、モード制御端子とマルチプレクスされています。

## 27.3 レジスタの説明

FLCTL のレジスタ構成を表 27.2 に示します。また、各処理モードにおけるレジスタの状態を表 27.3 に示します。

表 27.2 レジスタ構成

名 称	略称	R/W	P4 アドレス	エリア 7 アドレス	アクセス サイズ	同期 クロック
共通コントロールレジスタ	FLCMNCR	R/W	H'FFE9 0000	H'1FE9 0000	32	Pck
コマンド制御レジスタ	FLCMDCR	R/W	H'FFE9 0004	H'1FE9 0004	32	Pck
コマンドコードレジスタ	FLCMCDR	R/W	H'FFE9 0008	H'1FE9 0008	32	Pck
アドレスレジスタ	FLADR	R/W	H'FFE9 000C	H'1FE9 000C	32	Pck
データレジスタ	FLDATAR	R/W	H'FFE9 0010	H'1FE9 0010	32	Pck
データカウンタレジスタ	FLDTCNTR	R/W	H'FFE9 0014	H'1FE9 0014	32	Pck
割り込み DMA 制御レジスタ	FLINTDMACR	R/W	H'FFE9 0018	H'1FE9 0018	32	Pck
レディビジータイムアウト設定 レジスタ	FLBSYTMR	R/W	H'FFE9 001C	H'1FE9 001C	32	Pck
レディビジータイムアウトカウンタ	FLBSYCNT	R	H'FFE9 0020	H'1FE9 0020	32	Pck
データ FIFO レジスタ	FLDTFIFO	R/W	H'FFE9 0024	H'1FE9 0024	32	Pck
管理コード FIFO レジスタ	FLECFIFO	R/W	H'FFE9 0028	H'1FE9 0028	32	Pck
転送制御レジスタ	FLTRCR	R/W	H'FFE9 002C	H'1FE9 002C	8	Pck

表 27.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	モジュール スタンバイ
共通コントロールレジスタ	FLCMNCR	H'0000 0000	H'0000 0000	保持	保持
コマンド制御レジスタ	FLCMDCR	H'0000 0000	H'0000 0000	保持	保持
コマンドコードレジスタ	FLCMCDR	H'0000 0000	H'0000 0000	保持	保持
アドレスレジスタ	FLADR	H'0000 0000	H'0000 0000	保持	保持
データレジスタ	FLDATAR	H'0000 0000	H'0000 0000	保持	保持
データカウンタレジスタ	FLDTCNTR	H'0000 0000	H'0000 0000	保持	保持
割り込み DMA 制御レジスタ	FLINTDMACR	H'0000 0000	H'0000 0000	保持	保持
レディビジータイムアウト設定 レジスタ	FLBSYTMR	H'0000 0000	H'0000 0000	保持	保持
レディビジータイムアウトカウンタ	FLBSYCNT	H'0000 0000	H'0000 0000	保持	保持
データ FIFO レジスタ	FLDTFIFO	不定	不定	保持	保持
管理コード FIFO レジスタ	FLECFIFO	不定	不定	保持	保持
転送制御レジスタ	FLTRCR	H'00	H'00	保持	保持

## 27. NAND フラッシュメモリコントローラ (FLCTL)

### 27.3.1 共通コントロールレジスタ (FLCMNCR)

FLCMNCR は、読み出し／書き込み可能な 32 ビットのレジスタで、フラッシュのメモリタイプ (NAND)、アクセスモードなどを指定します。また、 $\overline{\text{FCE}}$  端子の出力を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	QTSEL	—

初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FCKSEL	—	ECCPOS[1:0]	ACM[1:0]	NANDWF	—	—	—	—	—	—	CE0	—	—	—	TYPESEL

初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~18	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	QTSEL	0	R/W	フラッシュクロック 4 分周選択ビット 0: FCKSEL の値に従います 1: FCKSEL=0 のとき周辺クロック (Pck) を 4 分の 1 に分周して FCLK (動作クロック) として使用します 【注】 FCKSEL=1 のときは、1 へ設定禁止。
16	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	FCKSEL	0	R/W	フラッシュクロック選択ビット 0: 周辺クロック (Pck) を 2 分の 1 に分周して FCLK として使用します 1: 周辺クロック (Pck) をそのまま FCLK として使用します
14	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13, 12	ECCPOS[1:0]	00	R/W	ECC 埋め込み位置指定ビット 1、0 管理コード領域内の ECC の埋め込み位置 (0/4/8 バイト目) を指定します。 00: 管理コード領域の 0~7 バイト目に ECC を配置します 01: 管理コード領域の 4~11 バイト目に ECC を配置します 10: 管理コード領域の 8~15 バイト目に ECC を配置します 11: 設定禁止
11, 10	ACM[1:0]	00	R/W	アクセスモード指定ビット 1、0 アクセスモードを指定します。 00: コマンドアクセスモード 01: セクタアクセスモード 10: 設定禁止 11: 設定禁止

## 27. NAND フラッシュメモリコントローラ (FLCTL)

ビット	ビット名	初期値	R/W	説明
9	NANDWF	0	R/W	NAND ウェイト挿入動作ビット 0: ウェイトなし 1: ウェイト1サイクルあり
8	SE	0	R/W	スペアエアラインイネーブルビット イネーブル状態のとき、データエリアとスペアエリア（管理コード領域）を連続してアクセス可能になります。 0: スペアエリアアクセスイネーブル 1: スペアエリアアクセスディスエーブル (セクタアクセスモード時は、0を設定してください。)
7~4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	CE0	0	R/W	チップイネーブルビット0 0: ディスエーブル (FCE 端子にハイレベルを出力します。) 1: イネーブル (FCE 端子にローレベルを出力します。)
2, 1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	TYPESEL	0	R/W	メモリ選択ビット 0: リザーブ 1: NAND 型フラッシュメモリを選択します FLCTL 使用時は、必ずこのビットを1に設定してください。

### 27.3.2 コマンド制御レジスタ (FLCMDCR)

FLCMDCR は、読み出し／書き込み可能な32ビットのレジスタで、コマンドアクセスモードでのコマンド発行、アドレス発行の有無やデータの入出力先の指定ができます。セクタアクセスモードでは、セクタ転送回数の指定ができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	ADRM	CDSRC	DOSR	—	—	SELRW	DOADR	ADRCNT[1:0]	DOCMD2	DOCMD1	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCTCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## 27. NAND フラッシュメモリコントローラ (FLCTL)

ビット	ビット名	初期値	R/W	説明
31~27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26	ADRMD	0	R/W	セクタアクセスアドレス指定ビット コマンドアクセスモード時は、このビットは無効です。セクタアクセスモード時のみ有効となります。 0: アドレスレジスタの値は物理セクタ番号として処理されます セクタアクセス時は通常こちらを使用してください 1: アドレスレジスタの値がそのまま、フラッシュメモリのアドレスとして出力されます <b>【注】</b> 連続セクタアクセス時は、0 に設定してください。
25	CDSRC	0	R/W	データバッファ指定ビット コマンドアクセスモード時、データステージ*のリード/ライトするデータバッファを指定します。 0: データバッファとして FLDATAR を指定 1: データバッファとして FLDTFIFO を指定
24	DOSR	0	R/W	ステータスリードチェックビット コマンドアクセスモード時、第 2 コマンド発行後、ステータスリードを行うか指定します。 0: ステータスリードを行わない 1: ステータスリードを実行する
23, 22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21	SELRW	0	R/W	データリードライト指定ビット データステージでのリードライト方向を指定します。 0: リード 1: ライト
20	DOADR	0	R/W	アドレスステージ実行指定ビット コマンドアクセスモード時、アドレスステージ*を実行するかどうかを指定します。 0: アドレスステージを実行しない 1: アドレスステージを実行する
19, 18	ADRCNT[1:0]	00	R/W	アドレス発行バイト数指定ビット アドレスステージ*で発行するアドレスデータのバイト数を指定します。 00: 1 バイトのアドレスを発行 01: 2 バイトのアドレスを発行 10: 3 バイトのアドレスを発行 11: 4 バイトのアドレスを発行

## 27. NAND フラッシュメモリコントローラ (FLCTL)

ビット	ビット名	初期値	R/W	説明
17	DOCMD2	0	R/W	第2コマンドステージ*実行指定ビット コマンドアクセスモード時、第2コマンドステージを実行するかどうかを指定します。 0: 第2コマンドステージを実行しない 1: 第2コマンドステージを実行する
16	DOCMD1	0	R/W	第1コマンドステージ*実行指定ビット コマンドアクセスモード時、第1コマンドステージを実行するかどうかを指定します。 0: 第1コマンドステージを実行しない 1: 第1コマンドステージを実行する
15~0	SCTCNT[15:0]	H'0000	R/W	セクタ転送回数指定ビット セクタアクセスモードで連続して読み出すセクタ数を指定します。1セクタ転送終了ごとにカウントダウンし、0になると停止します。 1セクタのアクセスの場合は、1を設定してください。

【注】 \* コマンドステージ、アドレスステージ、データステージについては図 27.2 を参照してください。

### 27.3.3 コマンドコードレジスタ (FLCMCDR)

FLCMCDR は、読み出し/書き込み可能な 32 ビットのレジスタで、コマンドアクセス、セクタアクセス時に発行するコマンドの値を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMD[15:8]								CMD[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15~8	CMD[15:8]	H'00	R/W	第2コマンドステージに発行するコマンドコードを指定します。
7~0	CMD[7:0]	H'00	R/W	第1コマンドステージに発行するコマンドコードを指定します。

## 27. NAND フラッシュメモリコントローラ (FLCTL)

### 27.3.4 アドレスレジスタ (FLADR)

FLADR は、読み出し/書き込み可能な 32 ビットのレジスタで、コマンドアクセスモードでアドレスとして出力する値を指定します。セクタアクセスモードでは、物理セクタアドレスビットに指定された物理セクタ番号がアドレスに変換され、出力されます。

#### • コマンドアクセスモード時

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR[31:24]								ADR[23:16]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:8]								ADR[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	ADR[31:24]	H'00	R/W	第 4 アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに 4 番目に出力されるデータを指定します。
23~16	ADR[23:16]	H'00	R/W	第 3 アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに 3 番目に出力されるデータを指定します。
15~8	ADR[15:8]	H'00	R/W	第 2 アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに 2 番目に出力されるデータを指定します。
7~0	ADR[7:0]	H'00	R/W	第 1 アドレスデータビット コマンドアクセスモード時にアドレスとしてフラッシュメモリに最初に出力されるデータを指定します。

#### • セクタアクセスモード時

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADR[17:16]	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

## 27. NAND フラッシュメモリコントローラ (FLCTL)

ビット	ビット名	初期値	R/W	説明
31~18	—	すべて 0	R/W	リザーブビット FLCTL の動作モードにより不定になります。
17~0	ADR[17:0]	H'0000 0	R/W	物理セクタアドレスビット セクタアクセスモードでアクセスする物理セクタ番号を指定します。 物理セクタ番号は、アドレスに変換されてフラッシュメモリに出力されます。

### 27.3.5 データカウンタレジスタ (FLDTCNTR)

FLDTCNTR は、読み出し／書き込み可能な 32 ビットのレジスタです。コマンドアクセスモード時に、リードライトするバイト数を指定します。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFLW[7:0]								DTFLW[7:0]							
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	DTCNT[11:0]											
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	ECFLW[7:0]	H'00	R	FLECFIFO アクセス数ビット FLECFIFO のリードライト可能なロングワード数 (4 バイト) を示します。 CPU による FLECFIFO リードライト時に利用できます。 FLECFIFO リード時は、FLECFIFO 内の読み出し可能なデータのロングワード数を示します。 FLECFIFO ライト時は、FLECFIFO 内の書き込み可能な空きロングワード数を示します。
23~16	DTFLW[7:0]	H'00	R	FLDTFIFO アクセス数ビット FLDTFIFO のリードライト可能なロングワード数 (4 バイト) を示します。 CPU による FLDTFIFO リードライト時に利用できます。 FLDTFIFO リード時は、FLDTFIFO 内の読み出し可能なデータのロングワード数を示します。 FLDTFIFO ライト時は、FLDTFIFO 内の書き込み可能な空きロングワード数を示します。
15~12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	DTCNT[11:0]	H'000	R/W	データ数指定ビット コマンドアクセスモードで、リードライトするデータのバイト数を指定します (2048+64 バイトまで指定可能です)。

## 27. NAND フラッシュメモリコントローラ (FLCTL)

### 27.3.6 データレジスタ (FLDATAR)

FLDATAR は、読み出し/書き込み可能な 32 ビットのレジスタです。

コマンドアクセスモードで FLCMDCR の CDSRC ビットに 0 を設定した場合に使用される入出力データ格納用レジスタです。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DT[31:24]								DT[23:16]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DT[15:8]								DT[7:0]							
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~24	DT[31:24]	H'00	R/W	第 4 データビット FD7~FD0 から 4 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します 読み出し時: 読み出しデータが格納されます
23~16	DT[23:16]	H'00	R/W	第 3 データビット FD7~FD0 から 3 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します 読み出し時: 読み出しデータが格納されます
15~8	DT[15:8]	H'00	R/W	第 2 データビット FD7~FD0 から 2 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します 読み出し時: 読み出しデータが格納されます
7~0	DT[7:0]	H'00	R/W	第 1 データビット FD7~FD0 から 1 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します 読み出し時: 読み出しデータが格納されます

### 27.3.7 割り込み DMA 制御レジスタ (FLINTDMACR)

FLINTDMACR は、読み出し／書き込み可能な 32 ビットのレジスタで、DMA 転送要求および割り込みの許可／禁止を設定します。FLCTL から DMAC に対する転送要求は、各アクセスモードの動作開始後発生します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	FIFOTRG[1:0]	AC1 CLR	AC0 CLR	DREQ1 EN	DREQ0 EN	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	STE RB	BTO ERB	TRR EQF1	TRR EQF0	STER INTE	RBER INTE	TE INTE	TR INTE1	TR INTE0
初期値:	0	0	0	0	0	0	—	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~22	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21, 20	FIFOTRG[1:0]	00	R/W	FIFO トリガ設定ビット FIFO の転送要求発生条件を切り替えます。 フラッシュメモリ読み出し時 00: FLDTFIFO に 4 バイト書き込まれた時、CPU に割り込み。もしくは、DMA 転送要求を発生 01: FLDTFIFO に 16 バイト書き込まれた時、CPU に割り込み。もしくは、DMA 転送要求を発生 10: FLDTFIFO に 128 バイト書き込まれた時、CPU に割り込み。もしくは、DMA 転送要求を発生 11: FLDTFIFO に 128 バイト書き込まれた時、CPU に割り込み。もしくは、16 バイトたまったとき、DMA 転送要求を発生 フラッシュメモリ書き込み時 00: FLDTFIFO に 4 バイト以上空きがあるとき、CPU に割り込み (DMA 転送設定しないでください) 01: FLDTFIFO に 16 バイト以上空きがあるとき、CPU に割り込み/DMA 転送要求を発生 10: FLDTFIFO にデータが 128 バイト以上空きがあるとき、CPU に割り込み (DMA 転送設定しないでください) 11: FLDTFIFO にデータが 128 バイト以上空きがあるとき、CPU に割り込み。もしくは、16 バイト以上空きがあるとき、DMA 転送要求を発生
19	AC1CLR	0	R/W	FLECFIFO クリアビット FLECFIFO のアドレスカウンタをクリアします。 0: FLECFIFO のアドレスカウンタ値を保持します。フラッシュメモリアクセス時は 0 に設定してください 1: FLECFIFO のアドレスカウンタ値をクリアします。クリア後は 0 に設定してください

## 27. NAND フラッシュメモリコントローラ (FLCTL)

ビット	ビット名	初期値	R/W	説明
18	AC0CLR	0	R/W	FLDTFIFO クリアビット FLDTFIFO のアドレスカウンタをクリアします。 0 : FLDTFIFO のアドレスカウンタ値を保持します。フラッシュメモリアクセス時は0に設定してください 1 : FLDTFIFO のアドレスカウンタ値をクリアします。クリア後は0に設定してください
17	DREQ1EN	0	R/W	FLECFIFODMA リクエストイネーブルビット FLECFIFO からの DMA 転送要求発行許可/禁止を選択します。 0 : FLECFIFO からの DMA 転送要求発行を禁止します 1 : FLECFIFO からの DMA 転送要求発行を許可します
16	DREQ0EN	0	R/W	FLDTFIFODMA リクエストイネーブルビット FLDTFIFO からの DMA 転送要求発行許可/禁止を選択します。 0 : FLDTFIFO からの DMA 転送要求発行を禁止します 1 : FLDTFIFO からの DMA 転送要求発行を許可します
15~10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9	—	不定	R	リザーブビット 読み出しは不定です。書き込む値は常に0にしてください。
8	STERB	0	R/W	ステータスエラービット ステータスリードの結果を示します。ステータスリードした場合、FLBSYCNT の STAT[7:0]ビットの特定ビットが1であれば、本ビットに1がセットされます。 本ビットはフラグビットであるため、1は書き込みません。フラグをクリアするための0書き込みのみ可能です。 0 : ステータスエラーなし (FLBSYCNT の STAT[7:0]ビットの特定ビットが0であったことを示します) 1 : ステータスエラーが発生したことを示します 特定ビットに関しては「27.4.5 ステータスリード」を参照してください
7	BTOERB	0	R/W	タイムアウトエラービット タイムアウトエラーが発生した (FLBSYCNT の RBTIMCNT[19:0]ビットがカウントダウン後0になった) とき、本ビットに1がセットされます。 本ビットはフラグビットであるため、1は書き込みません。フラグをクリアするための0書き込みのみ可能です。 0 : タイムアウトエラーなし 1 : タイムアウトエラーが発生したことを示します
6	TRREQF1	0	R/W	FLECFIFO 転送要求フラグビット FLECFIFO からの転送要求が発生したことを示します。 本ビットはフラグビットであるため、1は書き込みません。フラグをクリアするための0書き込みのみ可能です。 0 : FLECFIFO からの転送要求は発生していません 1 : FLECFIFO からの転送要求が発生したことを示します

## 27. NAND フラッシュメモリコントローラ (FLCTL)

ビット	ビット名	初期値	R/W	説明
5	TRREQF0	0	R/W	<p>FLDTFIFO 転送要求フラグビット</p> <p>FLDTFIFO からの転送要求が発生したことを示します。</p> <p>本ビットはフラグビットであるため、1は書き込みません。フラグをクリアするための0書き込みのみ可能です。</p> <p>0: FLDTFIFO からの転送要求は発生していません</p> <p>1: FLDTFIFO からの転送要求が発生したことを示します</p>
4	STERINTE	0	R/W	<p>ステータスエラー発生時の割り込み許可ビット</p> <p>ステータスエラーによる CPU に対する割り込みの許可/禁止を選択します。</p> <p>0: ステータスエラーによる CPU に対する割り込み禁止</p> <p>1: ステータスエラーによる CPU に対する割り込み許可</p>
3	BTOINTE	0	R/W	<p>タイムアウトエラー発生時の割り込み許可ビット</p> <p>タイムアウトエラーによる CPU に対する割り込みの許可/禁止を選択します。</p> <p>0: タイムアウトエラーによる CPU に対する割り込み禁止</p> <p>1: タイムアウトエラーによる CPU に対する割り込み許可</p>
2	TEINTE	0	R/W	<p>転送終了割り込み許可ビット</p> <p>転送終了 (FLTRCR の TREND ビット) による CPU に対する割り込みの許可/禁止を選択します。</p> <p>0: 転送終了による CPU に対する割り込み禁止</p> <p>1: 転送終了による CPU に対する割り込み許可</p>
1	TRINTE1	0	R/W	<p>CPU への FLECFIFO 転送要求許可ビット</p> <p>FLECFIFO からの転送要求による CPU に対する割り込みの許可/禁止を選択します。</p> <p>0: FLECFIFO からの転送要求による CPU に対する割り込み禁止</p> <p>1: FLECFIFO からの転送要求による CPU に対する割り込み許可</p> <p>DMA 転送をイネーブルにしている時は、本ビットを0に設定してください。</p>
0	TRINTE0	0	R/W	<p>CPU への FLDTFIFO 転送要求許可ビット</p> <p>FLDTFIFO からの転送要求による CPU に対する割り込みの許可/禁止を選択します。</p> <p>0: FLDTFIFO からの転送要求による CPU に対する割り込み禁止</p> <p>1: FLDTFIFO からの転送要求による CPU に対する割り込み許可</p> <p>DMA 転送をイネーブルにしている時は、本ビットを0に設定してください。</p>

## 27. NAND フラッシュメモリコントローラ (FLCTL)

### 27.3.8 レディビジータイムアウト設定レジスタ (FLBSYTMR)

FLBSYTMR は、読み出し／書き込み可能な 32 ビットのレジスタです。

FRB 端子がビジー状態のときのタイムアウト時間を設定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	RBTMOUT[19:16]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTMOUT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19~0	RBTMOUT[19:0]	H'0000 0	R/W	レディビジータイムアウトビット ビジー状態のタイムアウトまでの時間を設定します。 本ビットには、H'0000 0 以外の値を設定してください。 H'0000 0 : 設定禁止 H'0000 1 : Pck で 1 サイクル H'0000 2 以上 : Pck で (レジスタの設定値 -1) × 2 サイクル

### 27.3.9 レディビジータイムアウトカウンタ (FLBSYCNT)

FLBSYCNT は、読み出し専用の 32 ビットのレジスタです。

ステータスリード動作で読み出したフラッシュメモリのステータスを STAT[7:0]に格納します。

FRB 端子がビジー状態になると、FLBSYTMR の RBTMOUT[19:0]ビットに設定したタイムアウト時間を RBTIMCNT[19:0]ビットにコピーしカウントダウンを開始します。RBTIMCNT[19:0]ビットの値が 0 になると FLINTDMACR の BTOERB ビットに 1 をセットしタイムアウトエラーが発生したことを通知します。このとき FLINTDMACR の RBERINTE ビットで割り込みを許可していれば、FLSTE 割り込みを発行することができます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	STAT[7:0]							—	—	—	—	RBTIMCNT[19:16]				
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RBTIMCNT[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

## 27. NAND フラッシュメモリコントローラ (FLCTL)

ビット	ビット名	初期値	R/W	説明
31~24	STAT[7:0]	H'00	R	フラッシュメモリからステータスリードした値を表示します。
23~20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
19~0	RBTIMCNT[19:0]	H'0000 0	R	レディビジータイムアウトカウンタビット FRB 端子がビジー状態になったとき、FLBSYTMR の RBTMOUT[19:0] ビットの設定値が本ビットにコピーされます。 その後 FRB 端子がビジー状態の間、本ビットの値はカウントダウンされ、0 になるとタイムアウトエラーが発生します。

### 27.3.10 データ FIFO レジスタ (FLDTFIFO)

FLDTFIFO は、データ FIFO 領域に対するリードライト用レジスタです。

FLCMDCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DTFO[31:24]								DTFO[23:16]							
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DTFO[15:8]								DTFO[7:0]							
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	DTFO[31:24]	不定	R/W	第 1 データビット FD7~FD0 から 1 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
23~16	DTFO[23:16]	不定	R/W	第 2 データビット FD7~FD0 から 2 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
15~8	DTFO[15:8]	不定	R/W	第 3 データビット FD7~FD0 から 3 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます
7~0	DTFO[7:0]	不定	R/W	第 4 データビット FD7~FD0 から 4 番目に入出力されるデータを指定します。 書き込み時：書き込むデータを指定します 読み出し時：読み出しデータが格納されます

## 27. NAND フラッシュメモリコントローラ (FLCTL)

### 27.3.11 管理コード FIFO レジスタ (FLECFIFO)

FLECFIFO は、管理コード FIFO 領域に対するリードライト用レジスタです。

FLCMDRCR の SELRW ビットで指定したリードライト方向と本レジスタのリードライトアクセスの向きは一致させてください。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ECFO[31:24]								ECFO[23:16]							
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ECFO[15:8]								ECFO[7:0]							
初期値:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~24	ECFO[31:24]	不定	R/W	第 1 データビット FD7~FD0 から 1 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します 読み出し時: 読み出しデータが格納されます
23~16	ECFO[23:16]	不定	R/W	第 2 データビット FD7~FD0 から 2 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します 読み出し時: 読み出しデータが格納されます
15~8	ECFO[15:8]	不定	R/W	第 3 データビット FD7~FD0 から 3 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します 読み出し時: 読み出しデータが格納されます
7~0	ECFO[7:0]	不定	R/W	第 4 データビット FD7~FD0 から 4 番目に入出力されるデータを指定します。 書き込み時: 書き込むデータを指定します 読み出し時: 読み出しデータが格納されます

## 27.3.12 転送制御レジスタ (FLTRCR)

TRSTRT ビットを 1 にすることによりフラッシュメモリへのアクセスを開始させます。TREND ビットによりアクセスの終了を確認できます。

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	TR END	TR STRT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	TREND	0	R/W	処理終了フラグビット 指定したアクセスモードによる処理が終了したことを示します。 書き込むときは、0 を書き込んでください。
0	TRSTRT	0	R/W	転送開始ビット TREND が 0 のときに TRSTR を 0 から 1 にセットすることで、アクセスモード指定ビット ACM[1:0]で指定したアクセスモードでの処理を開始します。 0 : 転送停止 1 : 転送開始

## 27.4 動作説明

### 27.4.1 動作モード

動作モードには、

- コマンドアクセスモード
  - セクタアクセスモード
- の 2 モードがあります。

### 27.4.2 コマンドアクセスモード

コマンドアクセスモードは、レジスタにフラッシュメモリに対して発行するコマンド、アドレス、データ、リード/ライト方向および回数等を設定することにより、フラッシュメモリにアクセスを行うモードです。入出力データは、FLDTFIFO を用い DMA 転送が可能です。

#### NAND 型フラッシュメモリのアクセス

図 27.2 に NAND 型フラッシュメモリに対して読み出し動作を行った例を示します。本例は、第 1 コマンドに H'00 を指定、アドレス長は 3 バイトを指定。リードバイト数としてデータカウンタに 8 バイトを指定した場合の動作です。

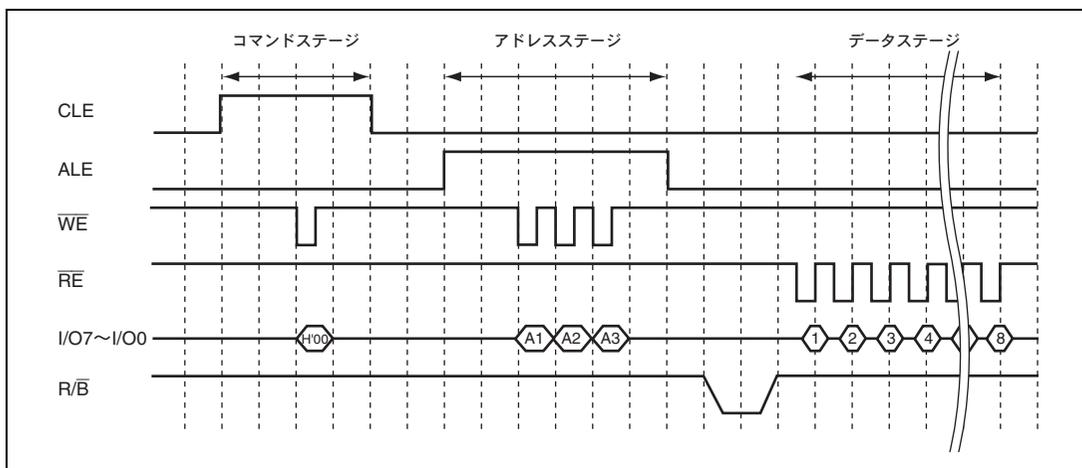


図 27.2 NAND 型フラッシュメモリの読み出し動作タイミング

次に図 27.3、図 27.4 に NAND 型フラッシュメモリに対して書き込み動作を行った場合の波形を示します。

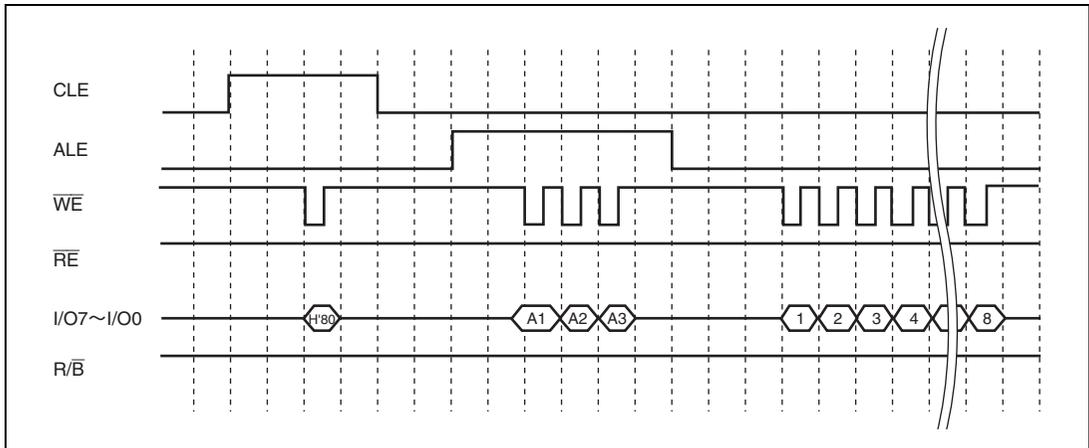


図 27.3 NAND 型フラッシュメモリの書き込み動作タイミング

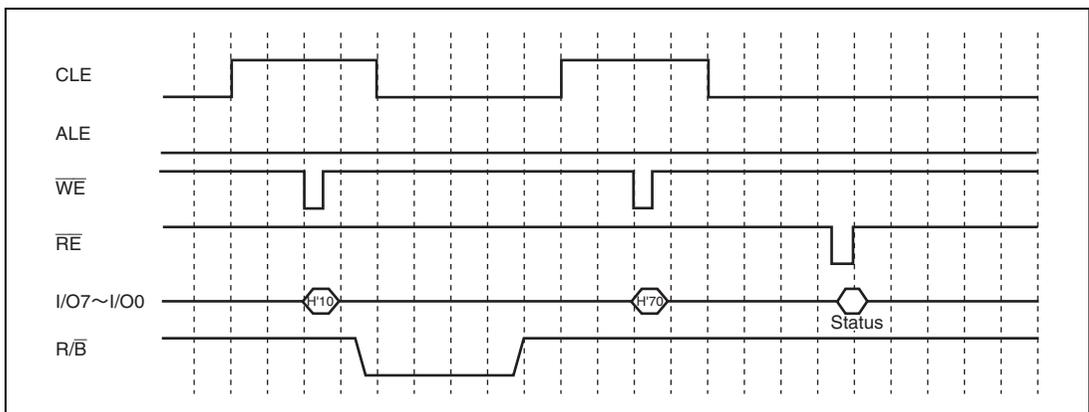


図 27.4 NAND 型フラッシュメモリのステータスリード動作タイミング

### 27.4.3 セクタアクセスモード

セクタアクセスモードでは、アクセスする物理セクタ番号を指定することによりセクタ単位のリードライトが可能です。

512バイトのデータは FLDTFIFO に、16バイトの管理コードは FLECFIFO に格納されるので、FLINTDMACR の DREQ1EN、DREQ0EN を設定しそれぞれ DMA 転送が行えます。

フラッシュメモリ内のセクタ (データ+管理コード) とアドレス空間上のメモリとの DMA 転送の関係を図 27.5 に示します。

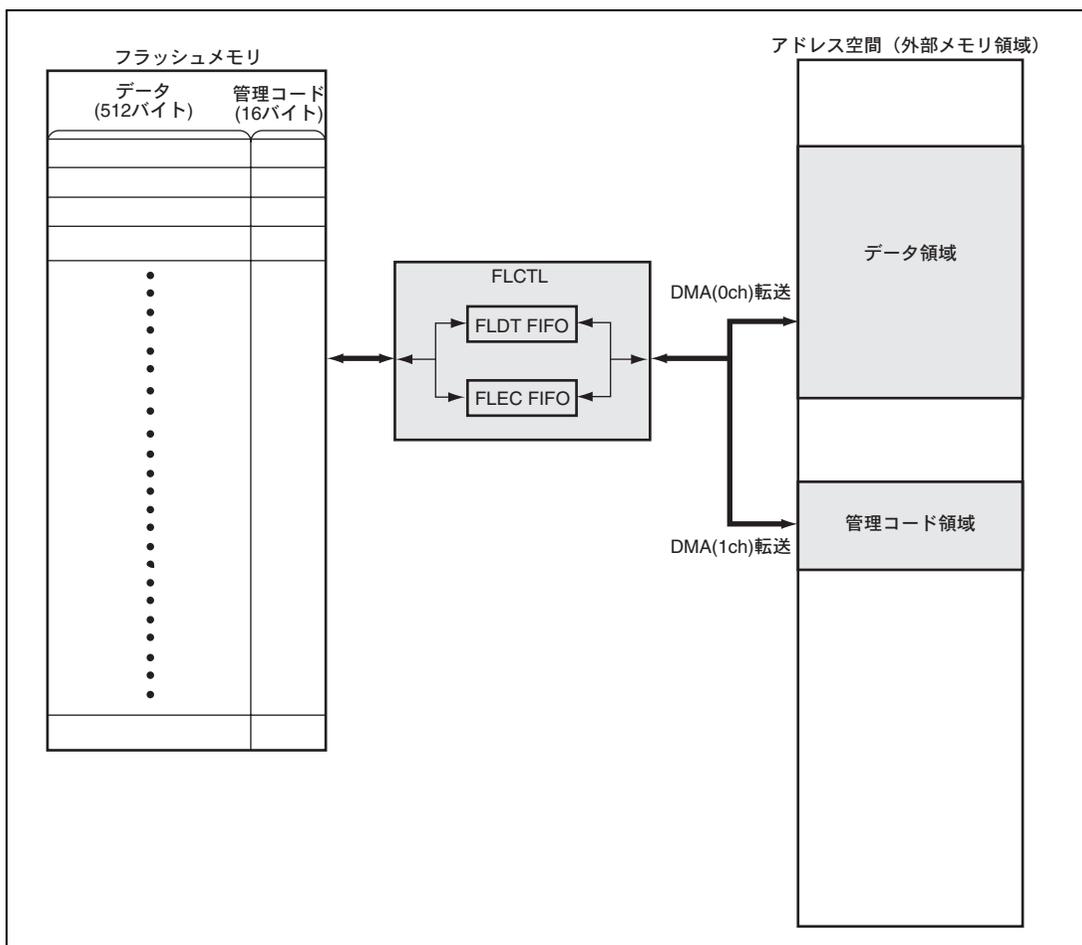


図 27.5 DMA 転送とセクタ (データ、管理コード) とメモリと DMA 転送の関連模式図

(1) 物理セクタ

NAND 型フラッシュメモリの物理セクタアドレスとフラッシュメモリのアドレスの関係を図 27.6 に示します。

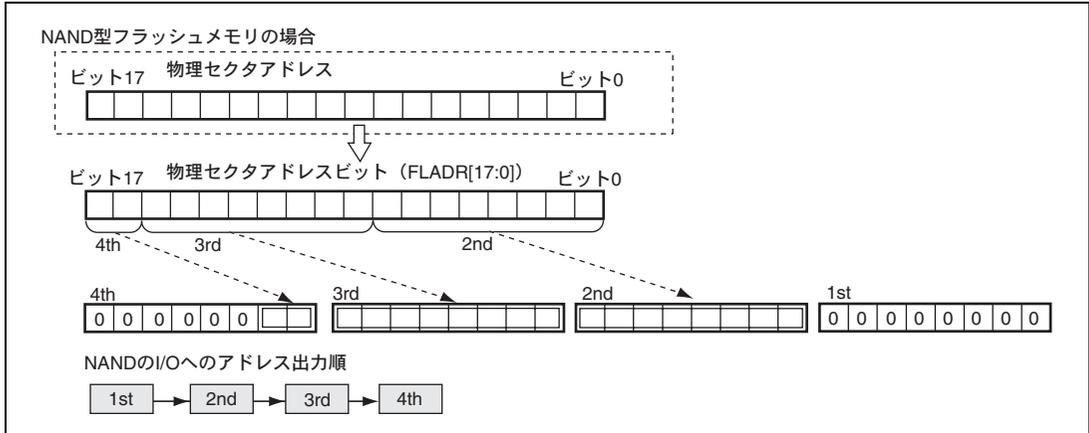


図 27.6 セクタ番号と NAND 型フラッシュメモリのアドレスの展開例

(2) 連続セクタアクセス

NAND 型フラッシュメモリの先頭の物理セクタアドレスとセクタ転送回数を指定することにより、連続した物理セクタのリードライトが可能になります。途中に不良セクタが存在し、物理セクタが不連続である 0~40 までの論理セクタを転送する場合の物理セクタ指定レジスタとセクタ転送回数指定レジスタの設定例を図 27.7 にまとめます。

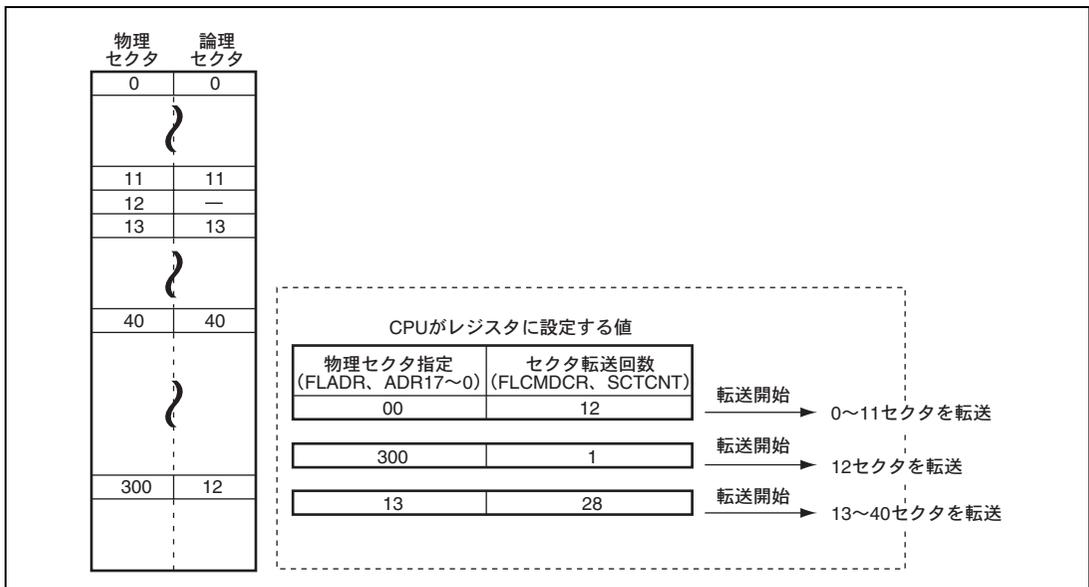


図 27.7 不良セクタがある場合のセクタアクセス例

## 27. NAND フラッシュメモリコントローラ (FLCTL)

### 27.4.4 ECC のエラーの修正

本 FLCTL では、セクタアクセスモードの書き込み時の ECC の生成および付加、読み出し時の ECC エラーチェック、エラー訂正は、ソフトウェアで行う必要があります。

### 27.4.5 ステータスリード

FLCTL は NAND 型フラッシュメモリのステータスレジスタの値を読み出すことができます。NAND フラッシュメモリのステータスレジスタの値は I/O7~I/O0 から入力され FLBSYCNT の STAT[7:0]ビットに格納されます。FLBSYCNT の STAT[7:0]ビットは CPU からの読み出しが可能です。ステータスレジスタの値が FLBSYCNT の STAT[7:0]ビットに格納されたときに書き込みエラーやイレースエラーを検出した場合、FLINTDMACR の STERB ビットに 1 がセットされ、FLINTDMACR の STERINTE ビットが許可されていれば CPU に対し割り込みを発生させます。

#### (1) NAND 型フラッシュメモリのステータスリード

NAND 型フラッシュメモリのステータスリードは、NAND 型フラッシュメモリに対し、コマンド H'70 を入力することで実現できます。FLCMDCR の DOSR ビットを 1 にセットし、コマンドアクセスモードまたはセクタアクセスモードで書き込みを実行すれば、FLCTL は自動的に H'70 を NAND 型フラッシュメモリに入力し、ステータスリードを行います。NAND 型フラッシュメモリステータスリード時、I/O7~I/O0 から入力されるステータスレジスタ各ビットの意味を表 27.4 に示します。

表 27.4 NAND 型フラッシュメモリのステータスリード

I/O	状態 (definition)	説明
I/O7	書き込み保護	0 : 書き込み不可 1 : 書き込み可
I/O6	レディ/ビジー	0 : ビジー状態 1 : レディ状態
I/O5~I/O1	リザーブ	—
I/O0	書き込み/消去	0 : Pass (成功) 1 : Fail (失敗)

## 27.5 レジスタ設定の手順例

下記に各アクセスモードにおけるレジスタの設定例、起動の手順例を示します。

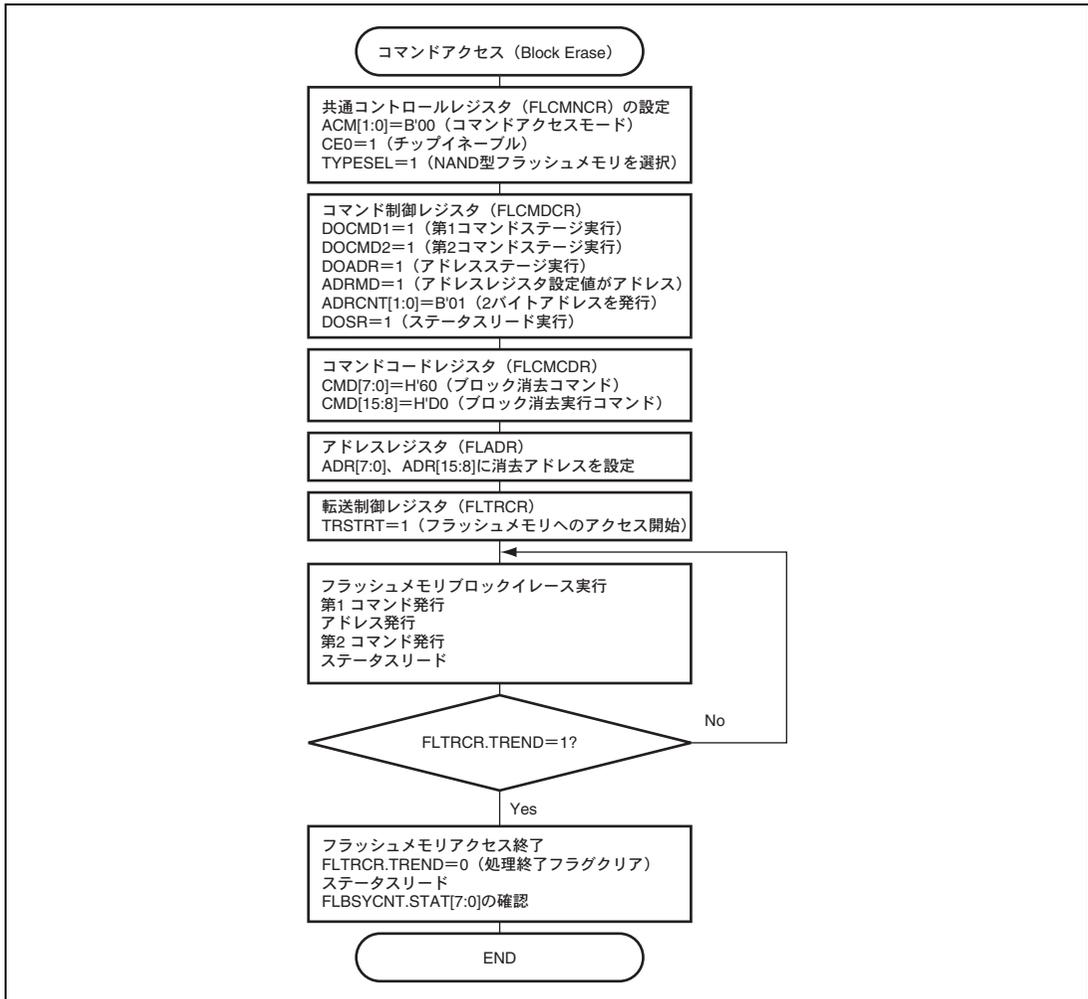


図 27.8 NAND コマンドアクセス (Block Erase)

## 27. NAND フラッシュメモリコントローラ (FLCTL)

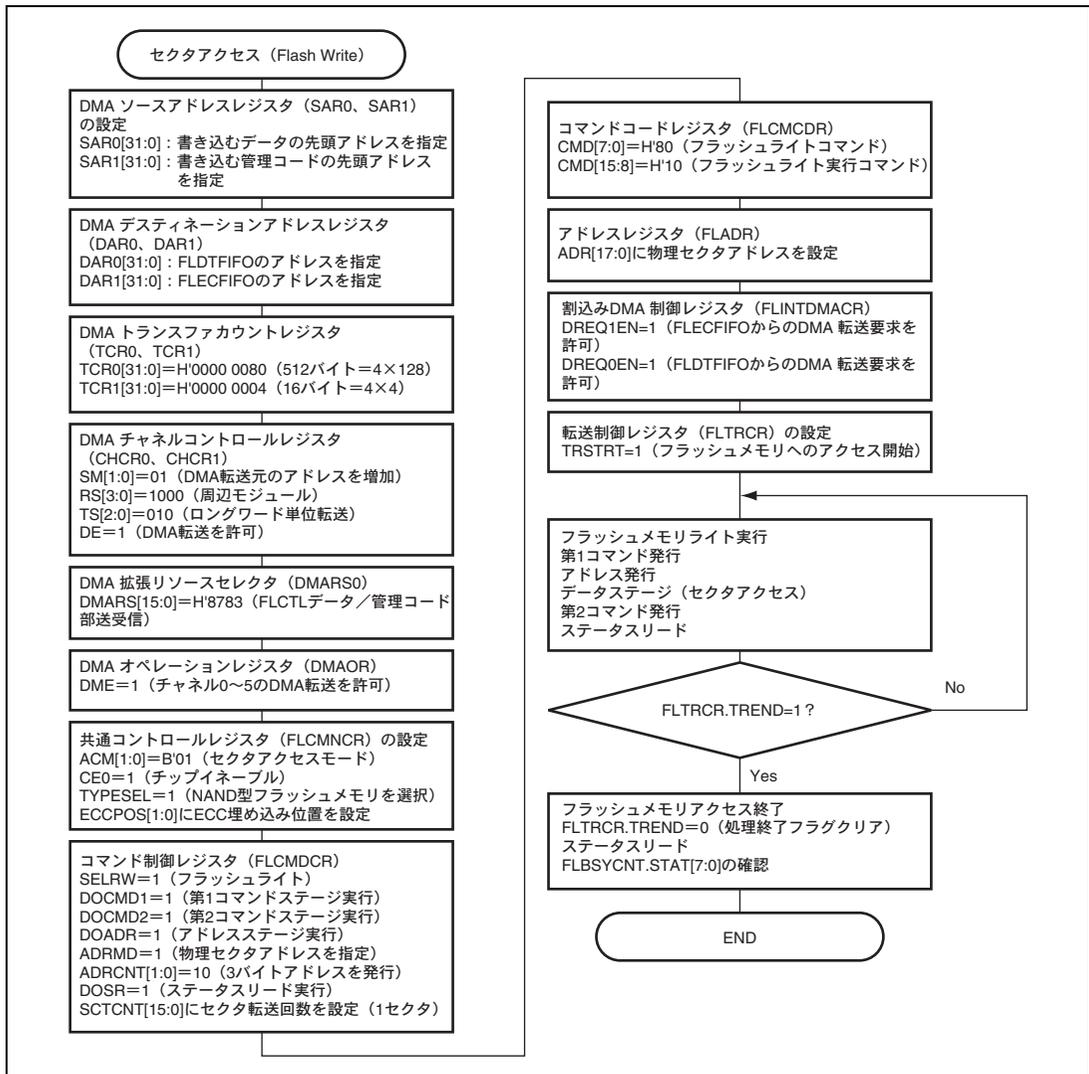


図 27.9 NAND セクタアクセス (Flash Write) DMAC 使用例

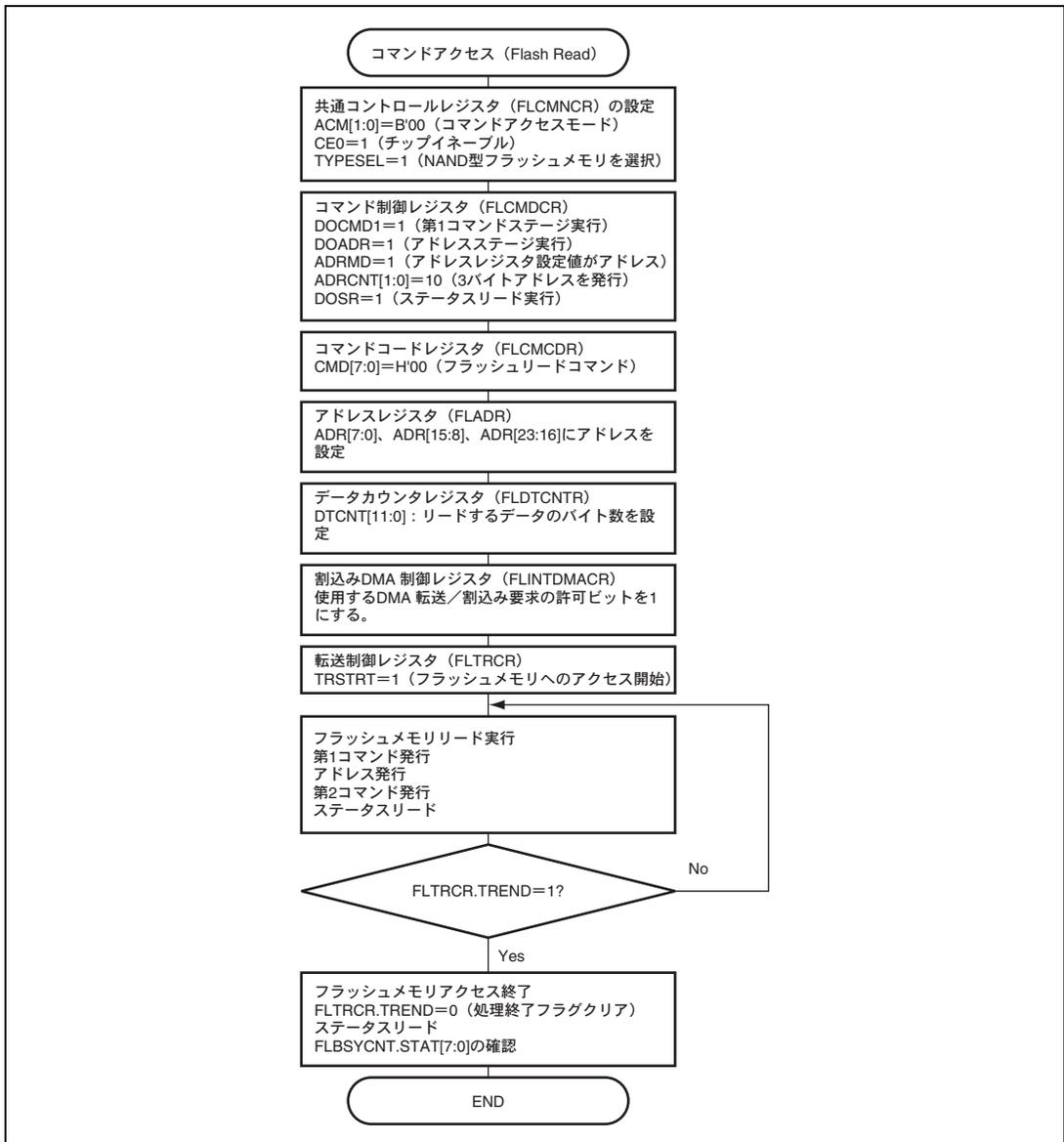


図 27.10 NAND コマンドアクセス (Flash Read)

## 27.6 割り込み処理

FLCTL には 4 種類の割り込み要因があります。すべての割り込み要因は独立した割り込みフラグを持っており、割り込みイネーブルビットにより許可されていれば、独立した割り込み要求が発生します。ステータスエラーとレディ/ビジータイムアウトエラーは共通の FLSTE 割り込みを使用します。

表 27.5 FLCTL の割り込み要求

割り込み要因	割り込みフラグ	許可ビット	意味
FLSTE 割り込み	STERB	STERINTE	ステータスエラー
	BTOERB	RBERINTE	レディ/ビジータイムアウトエラー
FLTEND 割り込み	TREND	TEINTE	転送終了
FLTRQ0 割り込み	TRREQF0	TRINTE0	FIFO0 転送要求
FLTRQ1 割り込み	TRREQF1	TRINTE1	FIFO1 転送要求

【注】 FIFO0 オーバラン/アンダラン、FIFO1 オーバラン/アンダランエラーにもフラグは存在しますが、CPU に対する割り込みは発生しません。

## 27.7 DMA 転送の設定

FLCTL はデータ FLDTFIFO と管理コード FLECFIFO から個別に DMA 転送要求を出すことができます。各アクセスモードでの DMA 転送の可/不可を表 27.6 に示します。

表 27.6 DMA 転送の設定

	セクタアクセスモード	コマンドアクセスモード
FLDTFIFO	可能	可能
FLECFIFO	可能	不可

DMAC の設定については「第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)」を参照してください。

---

## 28. 汎用入出力ポート（GPIO）

---

### 28.1 特長

本 LSI は 12 組（ポート A～H、J～M）の汎用ポート（入出力：75 本、出力：8 本）があります。

GPIO（汎用入出力ポート）の各ポートは内蔵モジュールの端子とマルチプレクスされており、ポートコントロールレジスタ（A～H、J～M）および内蔵モジュール選択レジスタ（OMSELR）によって GPIO、内蔵モジュールの選択を行います。

GPIO には次のような特長があります。

- それぞれのポート端子は、ポートコントロールレジスタで端子機能とプルアップMOS制御を端子ごとに行えるマルチプレクス端子です。
- ポートはそれぞれ端子のデータを格納するためのデータレジスタを1本ずつ持っています。
- GPIO割り込みあり\*

【注】 \* GPIO 割り込みポートとして使用可能なポートについては表 28.1 を参照してください。  
GPIO 割り込みの設定については「第 10 章 割り込みコントローラ（INTC）」を参照してください。

## 28. 汎用入出力ポート (GPIO)

表 28.1 にポートコントロールレジスタで制御されるマルチプレクス端子を示します。

表 28.1 ポートコントロールレジスタで制御されるマルチプレクス一覧表

端子名	ポート	GPIO	マルチプレクスされている モジュール	GPIO 割り込み
AD31	A	PA7 入出力	PCIC	-
AD30	A	PA6 入出力	PCIC	-
AD29	A	PA5 入出力	PCIC	-
AD28	A	PA4 入出力	PCIC	-
AD27	A	PA3 入出力	PCIC	-
AD26	A	PA2 入出力	PCIC	-
AD25	A	PA1 入出力	PCIC	-
AD24	A	PA0 入出力	PCIC	-
AD23	B	PB7 入出力	PCIC	-
AD22	B	PB6 入出力	PCIC	-
AD21	B	PB5 入出力	PCIC	-
AD20	B	PB4 入出力	PCIC	-
AD19	B	PB3 入出力	PCIC	-
AD18	B	PB2 入出力	PCIC	-
AD17	B	PB1 入出力	PCIC	-
AD16	B	PB0 入出力	PCIC	-
AD15	C	PC7 入出力	PCIC	-
AD14	C	PC6 入出力	PCIC	-
AD13	C	PC5 入出力	PCIC	-
AD12	C	PC4 入出力	PCIC	-
AD11	C	PC3 入出力	PCIC	-
AD10	C	PC2 入出力	PCIC	-
AD9	C	PC1 入出力	PCIC	-
AD8	C	PC0 入出力	PCIC	-
AD7	D	PD7 入出力	PCIC	-
AD6	D	PD6 入出力	PCIC	-
AD5	D	PD5 入出力	PCIC	-
AD4	D	PD4 入出力	PCIC	-
AD3	D	PD3 入出力	PCIC	-
AD2	D	PD2 入出力	PCIC	-
AD1	D	PD1 入出力	PCIC	-
AD0	D	PD0 入出力	PCIC	-
IRQ/IRL7/FD7*	E	PE6 入出力	INTC/FLCTL	○

## 28. 汎用入出力ポート (GPIO)

端子名	ポート	GPIO	マルチプレクスされている モジュール	GPIO 割り込み
REQ1	E	PE5 入出力	PCIC	○
REQ2	E	PE4 入出力	PCIC	○
REQ3	E	PE3 入出力	PCIC	○
GNT1	E	PE2 入出力	PCIC	○
GNT2	E	PE1 入出力	PCIC	○
GNT3	E	PE0 入出力	PCIC	○
D31	F	PF7 入出力	LBSC	-
D30	F	PF6 入出力	LBSC	-
D29	F	PF5 入出力	LBSC	-
D28	F	PF4 入出力	LBSC	-
D27	F	PF3 入出力	LBSC	-
D26	F	PF2 入出力	LBSC	-
D25	F	PF1 入出力	LBSC	-
D24	F	PF0 入出力	LBSC	-
D23	G	PG7 入出力	LBSC	-
D22	G	PG6 入出力	LBSC	-
D21	G	PG5 入出力	LBSC	-
D20	G	PG4 入出力	LBSC	-
D19	G	PG3 入出力	LBSC	-
D18	G	PG2 入出力	LBSC	-
D17	G	PG1 入出力	LBSC	-
D16	G	PG0 入出力	LBSC	-
SCIF1_SCK/MCCMD*	H	PH7 入出力	SCIF[1]/MMCIF	-
SCIF1_TXD/MCCLK/MODE5*	H	PH6 出力	SCIF[1]/MMCIF/-	-
SCIF1_RXD/MCDAT*	H	PH5 入出力	SCIF[1]/MMCIF	-
SCIF0_SCK/HSPI_CLK/FRE*	H	PH4 入出力	SCIF[0]/HSPI/FLCTL	-
SCIF0_TXD/HSPI_TX/FWE/MODE8*	H	PH3 出力	SCIF[0]/HSPI/FLCTL/-	-
SCIF0_RXD/HSPI_RX/FRB*	H	PH2 入出力	SCIF[0]/HSPI/FLCTL	-
SCIF0_CTS/INTD/FCLE*	H	PH1 入出力	SCIF[0]/PCIC/FLCTL	○
SCIF0_RTS/HSPI_CS/FSE*	H	PH0 入出力	SCIF[0]/HSPI/FLCTL	○
SIOF_TXD/HAC_SDOOUT/SSI_SDATA*	J	PJ5 入出力	SIOF/HAC/SSI	-
SIOF_RXD/HAC_SDIN/SSI_SCK*	J	PJ4 入出力	SIOF/HAC/SSI	-
SIOF_SYNC/HAC_SYNC/SSI_WS*	J	PJ3 入出力	SIOF/HAC/SSI	-
SIOF_MCLK/HAC_RES*	J	PJ2 入出力	SIOF/HAC	-
SIOF_SCLK/HAC_BITCLK/SSI_CLK*	J	PJ1 入出力	SIOF/HAC/SSI	-
TCLK/IOIS16*	J	PJ0 入出力	TMU/LBSC	○

## 28. 汎用入出力ポート (GPIO)

端子名	ポート	GPIO	マルチプレクスされている モジュール	GPIO 割り込み
DREQ0	K	PK7 入出力	DMAC	-
DREQ1	K	PK6 入出力	DMAC	-
DREQ2/INTB/AUDATA0*	K	PK5 入出力	DMAC/LBSC/H-UDI	○
DREQ3/INTC/AUDATA1*	K	PK4 入出力	DMAC/LBSC/H-UDI	○
DACK2/MRESETOUT/AUDATA2*	K	PK3 入出力	DMAC/LBSC/H-UDI	-
DACK3/IRQOUT/AUDATA3*	K	PK2 入出力	DMAC/LBSC/H-UDI	-
DRAK2/CE2A/AUDCK*	K	PK1 出力	DMAC/LBSC/H-UDI	-
DRAK3/CE2B/AUDSYNC*	K	PK0 出力	DMAC/LBSC/H-UDI	-
DACK0/MODE0	L	PL3 出力	DMAC/-	-
DACK1/MODE1	L	PL2 出力	DMAC/-	-
DRAK0/MODE2	L	PL1 出力	DMAC/-	-
DRAK1/MODE7	L	PL0 出力	DMAC/-	-
BREQ	M	PM1 入出力	LBSC	-
BACK	M	PM0 入出力	LBSC	-
IRL4/FD4/MODE3*	-	-	INTC/FLCTL/-	-
IRL5/FD5/MODE4*	-	-	INTC/FLCTL/-	-
IRL6/FD6/MODE6*	-	-	INTC/FLCTL/-	-
AUDATA0/FD0*	-	-	H-UDI/FLCTL	-
AUDATA1/FD1*	-	-	H-UDI/FLCTL	-
AUDATA2/FD2*	-	-	H-UDI/FLCTL	-
AUDATA3/FD3*	-	-	H-UDI/FLCTL	-
AUDCK/FALE*	-	-	H-UDI/FLCTL	-
AUDSYNC/FCE*	-	-	H-UDI/FLCTL	-
STATUS0/CMT_CTR0*	-	-	STATUS/CMT	-
STATUS1/CMT_CTR1*	-	-	STATUS/CMT	-

【注】 \* 内蔵モジュールセレクトレジスタ (OMSELR) により、これらの端子を使用するモジュールを選択できます。

## 28.2 レジスタの説明

GPIO のレジスタ構成を表 28.2 に示します。また、各処理モードにおけるレジスタの状態を表 28.3 に示します。

表 28.2 レジスタ構成

名 称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ*	同期 クロック
ポート A コントロールレジスタ	PACR	R/W	H'FFEA 0000	H'1FEA 0000	16	Pck
ポート B コントロールレジスタ	PBCR	R/W	H'FFEA 0002	H'1FEA 0002	16	Pck
ポート C コントロールレジスタ	PCCR	R/W	H'FFEA 0004	H'1FEA 0004	16	Pck
ポート D コントロールレジスタ	PDCR	R/W	H'FFEA 0006	H'1FEA 0006	16	Pck
ポート E コントロールレジスタ	PECR	R/W	H'FFEA 0008	H'1FEA 0008	16	Pck
ポート F コントロールレジスタ	PFDR	R/W	H'FFEA 000A	H'1FEA 000A	16	Pck
ポート G コントロールレジスタ	PGCR	R/W	H'FFEA 000C	H'1FEA 000C	16	Pck
ポート H コントロールレジスタ	PHCR	R/W	H'FFEA 000E	H'1FEA 000E	16	Pck
ポート J コントロールレジスタ	PJCR	R/W	H'FFEA 0010	H'1FEA 0010	16	Pck
ポート K コントロールレジスタ	PKCR	R/W	H'FFEA 0012	H'1FEA 0012	16	Pck
ポート L コントロールレジスタ	PLCR	R/W	H'FFEA 0014	H'1FEA 0014	16	Pck
ポート M コントロールレジスタ	PMCR	R/W	H'FFEA 0016	H'1FEA 0016	16	Pck
ポート A データレジスタ	PADR	R/W	H'FFEA 0020	H'1FEA 0020	8	Pck
ポート B データレジスタ	PBDR	R/W	H'FFEA 0022	H'1FEA 0022	8	Pck
ポート C データレジスタ	PCDR	R/W	H'FFEA 0024	H'1FEA 0024	8	Pck
ポート D データレジスタ	PDDR	R/W	H'FFEA 0026	H'1FEA 0026	8	Pck
ポート E データレジスタ	PEDR	R/W	H'FFEA 0028	H'1FEA 0028	8	Pck
ポート F データレジスタ	PFDR	R/W	H'FFEA 002A	H'1FEA 002A	8	Pck
ポート G データレジスタ	PGDR	R/W	H'FFEA 002C	H'1FEA 002C	8	Pck
ポート H データレジスタ	PHDR	R/W	H'FFEA 002E	H'1FEA 002E	8	Pck
ポート J データレジスタ	PJDR	R/W	H'FFEA 0030	H'1FEA 0030	8	Pck
ポート K データレジスタ	PKDR	R/W	H'FFEA 0032	H'1FEA 0032	8	Pck
ポート L データレジスタ	PLDR	R/W	H'FFEA 0034	H'1FEA 0034	8	Pck
ポート M データレジスタ	PMDR	R/W	H'FFEA 0036	H'1FEA 0036	8	Pck
ポート E ブルアップ制御レジスタ	PEPUPR	R/W	H'FFEA 0048	H'1FEA 0048	8	Pck
ポート H ブルアップ制御レジスタ	PHPUPR	R/W	H'FFEA 004E	H'1FEA 004E	8	Pck
ポート J ブルアップ制御レジスタ	PJPUPR	R/W	H'FFEA 0050	H'1FEA 0050	8	Pck
ポート K ブルアップ制御レジスタ	PKPUPR	R/W	H'FFEA 0052	H'1FEA 0052	8	Pck

## 28. 汎用入出力ポート (GPIO)

---

名 称	略称	R/W	P4 アドレス	エリア7 アドレス	アクセス サイズ*	同期 クロック
ポート M ブルアップ制御レジスタ	PMPUPR	R/W	H'FFEA 0056	H'1FEA 0056	8	Pck
入力端子ブルアップ制御レジスタ 1	PPUPR1	R/W	H'FFEA 0060	H'1FEA 0060	16	Pck
入力端子ブルアップ制御レジスタ 2	PPUPR2	R/W	H'FFEA 0062	H'1FEA 0062	16	Pck
内蔵モジュールセレクトレジスタ	OMSELR	R/W	H'FFEA 0080	H'1FEA 0080	16	Pck

【注】 \* レジスタには 16 ビットアクセスのレジスタと 8 ビットアクセスのレジスタがあります。指定されたアクセスサイズでリードライトを行ってください。

表 28.3 各処理モードにおけるレジスタの状態

名 称	略称	パワーオン リセット PRESET 端子/ WDT/H-UDI による	マニュアル リセット WDT/多重例外 による	スリープ SLEEP 命令 による
ポート A コントロールレジスタ	PACR	H'0000	保持	保持
ポート B コントロールレジスタ	PBCR	H'0000	保持	保持
ポート C コントロールレジスタ	PCCR	H'0000	保持	保持
ポート D コントロールレジスタ	PDCR	H'0000	保持	保持
ポート E コントロールレジスタ	PECR	H'3000	保持	保持
ポート F コントロールレジスタ	PFCR	H'0000	保持	保持
ポート G コントロールレジスタ	PGCR	H'0000	保持	保持
ポート H コントロールレジスタ	PHCR	H'FFFF	保持	保持
ポート J コントロールレジスタ	PJCR	H'FFFF	保持	保持
ポート K コントロールレジスタ	PKCR	H'FFFF	保持	保持
ポート L コントロールレジスタ	PLCR	H'FFFF	保持	保持
ポート M コントロールレジスタ	PMCR	H'FFFF	保持	保持
ポート A データレジスタ	PADR	H'00	保持	保持
ポート B データレジスタ	PBDR	H'00	保持	保持
ポート C データレジスタ	PCDR	H'00	保持	保持
ポート D データレジスタ	PDDR	H'00	保持	保持
ポート E データレジスタ	PEDR	H'x0	保持	保持
ポート F データレジスタ	PFDR	H'00	保持	保持
ポート G データレジスタ	PGDR	H'00	保持	保持
ポート H データレジスタ	PHDR	H'xx	保持	保持
ポート J データレジスタ	PJDR	H'xx	保持	保持
ポート K データレジスタ	PKDR	H'xx	保持	保持
ポート L データレジスタ	PLDR	H'00	保持	保持
ポート M データレジスタ	PMDR	H'0x	保持	保持
ポート E ブルアップ制御レジスタ	PEPUPR	H'FF	保持	保持
ポート H ブルアップ制御レジスタ	PHPUPR	H'FF	保持	保持
ポート J ブルアップ制御レジスタ	PJPUPR	H'FF	保持	保持
ポート K ブルアップ制御レジスタ	PKPUPR	H'FF	保持	保持
ポート M ブルアップ制御レジスタ	PMPUPR	H'FF	保持	保持
入力端子ブルアップ制御レジスタ 1	PPUPR1	H'FFFF	保持	保持
入力端子ブルアップ制御レジスタ 2	PPUPR2	H'FFFF	保持	保持
内蔵モジュールセレクトレジスタ	OMSELR	H'0000	保持	保持

## 28. 汎用入出力ポート (GPIO)

### 28.2.1 ポート A コントロールレジスタ (PACR)

PACR は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA7 MD1	PA7 MD0	PA6 MD1	PA6 MD0	PA5 MD1	PA5 MD0	PA4 MD1	PA4 MD0	PA3 MD1	PA3 MD0	PA2 MD1	PA2 MD0	PA1 MD1	PA1 MD0	PA0 MD1	PA0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	PA7MD1	0	R/W	PA7 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
14	PA7MD0	0	R/W	
13	PA6MD1	0	R/W	PA6 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
12	PA6MD0	0	R/W	
11	PA5MD1	0	R/W	PA5 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
10	PA5MD0	0	R/W	
9	PA4MD1	0	R/W	PA4 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
8	PA4MD0	0	R/W	
7	PA3MD1	0	R/W	PA3 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
6	PA3MD0	0	R/W	
5	PA2MD1	0	R/W	PA2 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
4	PA2MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	PA1MD1	0	R/W	PA1 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
2	PA1MD0	0	R/W	
1	PA0MD1	0	R/W	PA0 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
0	PA0MD0	0	R/W	

### 28.2.2 ポート B コントロールレジスタ (PBCR)

PBCR は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7 MD1	PB7 MD0	PB6 MD1	PB6 MD0	PB5 MD1	PB5 MD0	PB4 MD1	PB4 MD0	PB3 MD1	PB3 MD0	PB2 MD1	PB2 MD0	PB1 MD1	PB1 MD0	PB0 MD1	PB0 MD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
15	PB7MD1	0	R/W	PB7 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
14	PB7MD0	0	R/W	
13	PB6MD1	0	R/W	PB6 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
12	PB6MD0	0	R/W	
11	PB5MD1	0	R/W	PB5 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
10	PB5MD0	0	R/W	

## 28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
9	PB4MD1	0	R/W	PB4 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
8	PB4MD0	0	R/W	
7	PB3MD1	0	R/W	PB3 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
6	PB3MD0	0	R/W	
5	PB2MD1	0	R/W	PB2 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
4	PB2MD0	0	R/W	
3	PB1MD1	0	R/W	PB1 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
2	PB1MD0	0	R/W	
1	PB0MD1	0	R/W	PB0 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
0	PB0MD0	0	R/W	

## 28.2.3 ポート C コントロールレジスタ (PCCR)

PCCR は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PC7 MD1	PC7 MD0	PC6 MD1	PC6 MD0	PC5 MD1	PC5 MD0	PC4 MD1	PC4 MD0	PC3 MD1	PC3 MD0	PC2 MD1	PC2 MD0	PC1 MD1	PC1 MD0	PC0 MD1	PC0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	PC7MD1	0	R/W	PC7 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
14	PC7MD0	0	R/W	
13	PC6MD1	0	R/W	PC6 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
12	PC6MD0	0	R/W	
11	PC5MD1	0	R/W	PC5 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
10	PC5MD0	0	R/W	
9	PC4MD1	0	R/W	PC4 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
8	PC4MD0	0	R/W	
7	PC3MD1	0	R/W	PC3 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
6	PC3MD0	0	R/W	
5	PC2MD1	0	R/W	PC2 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
4	PC2MD0	0	R/W	

## 28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
3	PC1MD1	0	R/W	PC1 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
2	PC1MD0	0	R/W	
1	PC0MD1	0	R/W	PC0 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
0	PC0MD0	0	R/W	

### 28.2.4 ポート D コントロールレジスタ (PDCR)

PDCR は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PD7 MD1	PD7 MD0	PD6 MD1	PD6 MD0	PD5 MD1	PD5 MD0	PD4 MD1	PD4 MD0	PD3 MD1	PD3 MD0	PD2 MD1	PD2 MD0	PD1 MD1	PD1 MD0	PD0 MD1	PD0 MD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
15	PD7MD1	0	R/W	PD7 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
14	PD7MD0	0	R/W	
13	PD6MD1	0	R/W	PD6 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
12	PD6MD0	0	R/W	
11	PD5MD1	0	R/W	PD5 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
10	PD5MD0	0	R/W	

## 28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
9	PD4MD1	0	R/W	PD4 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
8	PD4MD0	0	R/W	
7	PD3MD1	0	R/W	PD3 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
6	PD3MD0	0	R/W	
5	PD2MD1	0	R/W	PD2 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
4	PD2MD0	0	R/W	
3	PD1MD1	0	R/W	PD1 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
2	PD1MD0	0	R/W	
1	PD0MD1	0	R/W	PD0 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : 設定禁止
0	PD0MD0	0	R/W	

## 28. 汎用入出力ポート (GPIO)

### 28.2.5 ポート E コントロールレジスタ (PECR)

PECR は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PE6 MD1	PE6 MD0	PE5 MD1	PE5 MD0	PE4 MD1	PE4 MD0	PE3 MD1	PE3 MD0	PE2 MD1	PE2 MD0	PE1 MD1	PE1 MD0	PE0 MD1	PE0 MD0
初期値:	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	すべて 0	R/W	リザーブビット
14				読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	PE6MD1	1	R/W	PE6 モード 00: INTC/FLCTL モジュール機能 (IRQ/IRL7/FD7) * 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
12	PE6MD0	1	R/W	
11	PE5MD1	0	R/W	PE5 モード 00: PCIC モジュール機能 01: ポート出力 10: 設定禁止 11: ポート入力 (プルアップ MOS: オン)
10	PE5MD0	0	R/W	
9	PE4MD1	0	R/W	PE4 モード 00: PCIC モジュール機能 01: ポート出力 10: 設定禁止 11: ポート入力 (プルアップ MOS: オン)
8	PE4MD0	0	R/W	
7	PE3MD1	0	R/W	PE3 モード 00: PCIC モジュール機能 01: ポート出力 10: 設定禁止 11: ポート入力 (プルアップ MOS: オン)
6	PE3MD0	0	R/W	
5	PE2MD1	0	R/W	PE2 モード 00: PCIC モジュール機能 01: ポート出力 10: 設定禁止 11: ポート入力 (プルアップ MOS: オン)
4	PE2MD0	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	PE1MD1	0	R/W	PE1 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : 設定禁止 11 : ポート入力 (プルアップ MOS : オン)
2	PE1MD0	0	R/W	
1	PE0MD1	0	R/W	PE0 モード 00 : PCIC モジュール機能 01 : ポート出力 10 : 設定禁止 11 : ポート入力 (プルアップ MOS : オン)
0	PE0MD0	0	R/W	

【注】 \* 内蔵モジュールセレクトレジスタ (OMSELR) により、この端子を使用するモジュールを選択できます。

### 28.2.6 ポート F コントロールレジスタ (PF CR)

PF CR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF7 MD1	PF7 MD0	PF6 MD1	PF6 MD0	PF5 MD1	PF5 MD0	PF4 MD1	PF4 MD0	PF3 MD1	PF3 MD0	PF2 MD1	PF2 MD0	PF1 MD1	PF1 MD0	PF0 MD1	PF0 MD0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
15	PF7MD1	0	R/W	PF7 モード 00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PF7MD0	0	R/W	
13	PF6MD1	0	R/W	PF6 モード 00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
12	PF6MD0	0	R/W	
11	PF5MD1	0	R/W	PF5 モード 00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
10	PF5MD0	0	R/W	

## 28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
9	PF4MD1	0	R/W	PF4 モード 00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
8	PF4MD0	0	R/W	
7	PF3MD1	0	R/W	PF3 モード 00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
6	PF3MD0	0	R/W	
5	PF2MD1	0	R/W	PF2 モード 00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
4	PF2MD0	0	R/W	
3	PF1MD1	0	R/W	PF1 モード 00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
2	PF1MD0	0	R/W	
1	PF0MD1	0	R/W	PF0 モード 00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
0	PF0MD0	0	R/W	

## 28.2.7 ポート G コントロールレジスタ (PGCR)

PGCR は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PG7 MD1	PG7 MD0	PG6 MD1	PG6 MD0	PG5 MD1	PG5 MD0	PG4 MD1	PG4 MD0	PG3 MD1	PG3 MD0	PG2 MD1	PG2 MD0	PG1 MD1	PG1 MD0	PG0 MD1	PG0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
15	PG7MD1	0	R/W	PG7 モード
14	PG7MD0	0	R/W	00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
13	PG6MD1	0	R/W	PG6 モード
12	PG6MD0	0	R/W	00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
11	PG5MD1	0	R/W	PG5 モード
10	PG5MD0	0	R/W	00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9	PG4MD1	0	R/W	PG4 モード
8	PG4MD0	0	R/W	00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
7	PG3MD1	0	R/W	PG3 モード
6	PG3MD0	0	R/W	00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5	PG2MD1	0	R/W	PG2 モード
4	PG2MD0	0	R/W	00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

## 28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
3	PG1MD1	0	R/W	PG1 モード 00 : LBSC モジュール機能 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
2	PG1MD0	0	R/W	
1	PG0MD1	0	R/W	
0	PG0MD0	0	R/W	

### 28.2.8 ポートHコントロールレジスタ (PHCR)

PHCR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH7 MD1	PH7 MD0	—	PH6 MD0	PH5 MD1	PH5 MD0	PH4 MD1	PH4 MD0	—	PH3 MD0	PH2 MD1	PH2 MD0	PH1 MD1	PH1 MD0	PH0 MD1	PH0 MD0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PH7MD1	1	R/W	PH7 モード 00 : SCIF1/MMCIF モジュール機能 (SCIF1_SCK/MCCMD) * <sup>1</sup> 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PH7MD0	1	R/W	
13	—	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
12	PH6MD0	1	R/W	PH6 モード 0 : SCIF1/MMCIF モジュール機能 (SCIF1_TXD/MCCLK/MODE5) * <sup>1</sup> 1 : ポート出力
11	PH5MD1	1	R/W	PH5 モード 00 : SCIF1/MMCIF モジュール機能 (SCIF1_RXD/MCDAT) * <sup>1</sup> 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
10	PH5MD0	1	R/W	

28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
9	PH4MD1	1	R/W	PH4 モード 00 : SCIF0/HSPI/FLCTL モジュール機能 (SCIF0_SCK/HSPI_CLK/FRE) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
8	PH4MD0	1	R/W	
7	—	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	PH3MD	1	R/W R/W	PH3 モード 0 : SCIF0/HSPI/FLCTL モジュール機能 (SCIF0_TXD/HSPI_TX/FWE/MODE8) * 1 : ポート出力
5	PH2MD1	1	R/W	PH2 モード 00 : SCIF0/HSPI/FLCTL モジュール機能 (SCIF0_RXD/HSPI_RX/FRB) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
4	PH2MD0	1	R/W	
3	PH1MD1	1	R/W	PH1 モード 00 : SCIF0/PCIC/FLCTL モジュール機能 (SCIF0_CTS/INTD/FCLE) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
2	PH1MD0	1	R/W	
1	PH0MD1	1	R/W	PH0 モード 00 : SCIF0/HSPI/FLCTL モジュール機能 (SCIF0_RTS/HSPI_CS/FSE) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
0	PH0MD0	1	R/W	

【注】 \* 内蔵モジュールセレクトレジスタ (OMSELR) により、これらの端子を使用するモジュールを選択できます。

## 28. 汎用入出力ポート (GPIO)

### 28.2.9 ポート J コントロールレジスタ (PJCR)

PJCR は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PJ5 MD1	PJ5 MD0	PJ4 MD1	PJ4 MD0	PJ3 MD1	PJ3 MD0	PJ2 MD1	PJ2 MD0	PJ1 MD1	PJ1 MD0	PJ0 MD1	PJ0 MD0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
11 10	PJ5MD1 PJ5MD0	1 1	R/W R/W	PJ5 モード 00 : SIOF/HAC/SSI モジュール機能 (SIOF_TXD/HAC_SDOOUT/SSI_SDATA) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
9 8	PJ4MD1 PJ4MD0	1 1	R/W R/W	PJ4 モード 00 : SIOF/HAC/SSI モジュール機能 (SIOF_RXD/HAC_SDIN/SSI_SCK) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
7 6	PJ3M1 PJ3M0	1 1	R/W R/W	PJ3 モード 00 : SIOF/HAC/SSI モジュール機能 (SIOF_SYNC/HAC_SYNC/SSI_WS) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
5 4	PJ2MD1 PJ2MD0	1 1	R/W R/W	PJ2 モード 00 : SIOF/HAC モジュール機能 (SIOF_MCLK/HAC_RES) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)

ビット	ビット名	初期値	R/W	説明
3	PJ1MD1	1	R/W	PJ1 モード 00 : SIOF/HAC/SSI モジュール機能 (SIOF_SCK/HAC_BITCLK/SSI_CLK) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
2	PJ1MD0	1	R/W	
1	PJ0MD1	1	R/W	PJ0 モード 00 : TMU/LBSC モジュール機能 (TCLK/IOIS16) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
0	PJ0MD0	1	R/W	

【注】 \* 内蔵モジュールセレクトレジスタ (OMSELR) により、これらの端子を使用するモジュールを選択できます。

### 28.2.10 ポート K コントロールレジスタ (PKCR)

PKCR は、読み出し/書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK7 MD1	PK7 MD0	PK6 MD1	PK6 MD0	PK5 MD1	PK5 MD0	PK4 MD1	PK4 MD0	PK3 MD1	PK3 MD0	PK2 MD1	PK2 MD0	—	PK1 MD0	—	PK0 MD0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W											

ビット	ビット名	初期値	R/W	説明
15	PK7MD1	1	R/W	PK7 モード 00 : DMAC モジュール機能 ( $\overline{DREQ0}$ ) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
14	PK7MD0	1	R/W	
13	PK6MD1	1	R/W	PK6 モード 00 : DMAC モジュール機能 ( $\overline{DREQ1}$ ) 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
12	PK6MD0	1	R/W	
11	PK5MD1	1	R/W	PK5 モード 00 : DMAC/PCIC/H-UDI モジュール機能 ( $\overline{DREQ2/INTB/AUDATA0}$ ) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
10	PK5MD0	1	R/W	

## 28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
9	PK4MD1	1	R/W	PK4 モード 00 : DMAC/PCIC/H-UDI モジュール機能 ( $\overline{\text{DREQ3}}/\overline{\text{INTC}}/\text{AUDATA1}$ ) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
8	PK4MD0	1	R/W	
7	PK3MD1	1	R/W	PK3 モード 00 : DMAC/リセット/H-UDI モジュール機能 ( $\overline{\text{DACK2}}/\overline{\text{MRESETOUT}}/\text{AUDATA2}$ ) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
6	PK3MD0	1	R/W	
5	PK2MD1	1	R/W	PK2 モード 00 : DMAC/INTC/H-UDI モジュール機能 ( $\overline{\text{DACK3}}/\overline{\text{IRQOUT}}/\text{AUDATA3}$ ) * 01 : ポート出力 10 : ポート入力 (プルアップ MOS : オフ) 11 : ポート入力 (プルアップ MOS : オン)
4	PK2MD0	1	R/W	
3	—	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	PK1MD0	1	R/W	PK1 モード 0 : DMAC/LBSC/H-UDI モジュール機能 ( $\overline{\text{DRAK2}}/\overline{\text{CE2A}}/\text{AUDCK}$ ) * 1 : ポート出力
1	—	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
0	PK0MD0	1	R/W	PK0 モード 0 : DMAC/LBSC/H-UDI モジュール機能 ( $\overline{\text{DRAK3}}/\overline{\text{CE2B}}/\text{AUDSYNC}$ ) * 1 : ポート出力

【注】 \* 内蔵モジュールセレクトレジスタ (OMSELR) により、これらの端子を使用するモジュールを選択できます。

## 28.2.11 ポートLコントロールレジスタ (PLCR)

PLCR は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	PL3MD	—	PL2MD	—	PL1MD	—	PL0MD
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W									

ビット	ビット名	初期値	R/W	説明
15~7	—	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	PL3MD	1	R/W	PL3 モード 0: DMAC モジュール機能 ( $\overline{\text{DACK0}}/\text{MODE0}$ ) 1: ポート出力
5	—	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	PL2MD	1	R/W	PL2 モード 0: DMAC モジュール機能 ( $\overline{\text{DACK1}}/\text{MODE1}$ ) 1: ポート出力
3	—	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	PL1MD	1	R/W	PL1 モード 0: DMAC モジュール機能 ( $\overline{\text{DRAK0}}/\text{MODE2}$ ) 1: ポート出力
1	—	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
0	PL0MD	1	R/W	PL0 モード 0: DMAC モジュール機能 ( $\overline{\text{DRAK1}}/\text{MODE7}$ ) 1: ポート出力

## 28. 汎用入出力ポート (GPIO)

### 28.2.12 ポート M コントロールレジスタ (PMCR)

PMCR は、読み出し／書き込み可能な 16 ビットのレジスタで、端子機能と入力プルアップ MOS 制御を選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PM1 MD1	PM1 MD0	PM0 MD1	PM0 MD0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W												

ビット	ビット名	初期値	R/W	説 明
15~4	-	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	PM1MD1	1	R/W	PM1 モード 00: LBSC モジュール機能 ( $\overline{\text{BREQ}}$ ) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
2	PM1MD0	1	R/W	
1	PM0MD1	1	R/W	PM0 モード 00: LBSC モジュール機能 ( $\overline{\text{BACK}}$ ) 01: ポート出力 10: ポート入力 (プルアップ MOS: オフ) 11: ポート入力 (プルアップ MOS: オン)
0	PM0MD0	1	R/W	

### 28.2.13 ポート A データレジスタ (PADR)

PADR は、読み出し／書き込み可能な 8 ビットのレジスタでポート A のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PA7DT	PA6DT	PA5DT	PA4DT	PA3DT	PA2DT	PA1DT	PA0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PA7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PA6DT	0	R/W	
5	PA5DT	0	R/W	
4	PA4DT	0	R/W	
3	PA3DT	0	R/W	
2	PA2DT	0	R/W	
1	PA1DT	0	R/W	
0	PA0DT	0	R/W	

### 28.2.14 ポート B データレジスタ (PBDR)

PBDR は、読み出し／書き込み可能な 8 ビットのレジスタでポート B のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PB7DT	PB6DT	PB5DT	PB4DT	PB3DT	PB2DT	PB1DT	PB0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PB7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PB6DT	0	R/W	
5	PB5DT	0	R/W	
4	PB4DT	0	R/W	
3	PB3DT	0	R/W	
2	PB2DT	0	R/W	
1	PB1DT	0	R/W	
0	PB0DT	0	R/W	

## 28. 汎用入出力ポート (GPIO)

### 28.2.15 ポート C データレジスタ (PCDR)

PCDR は、読み出し／書き込み可能な 8 ビットのレジスタでポート C のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PC7DT	PC6DT	PC5DT	PC4DT	PC3DT	PC2DT	PC1DT	PC0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PC7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PC6DT	0	R/W	
5	PC5DT	0	R/W	
4	PC4DT	0	R/W	
3	PC3DT	0	R/W	
2	PC2DT	0	R/W	
1	PC1DT	0	R/W	
0	PC0DT	0	R/W	

### 28.2.16 ポート D データレジスタ (PDDR)

PDDR は、読み出し／書き込み可能な 8 ビットのレジスタでポート D のデータを格納します。

ビット :	7	6	5	4	3	2	1	0
	PD7DT	PD6DT	PD5DT	PD4DT	PD3DT	PD2DT	PD1DT	PD0DT
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PD7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PD6DT	0	R/W	
5	PD5DT	0	R/W	
4	PD4DT	0	R/W	
3	PD3DT	0	R/W	
2	PD2DT	0	R/W	
1	PD1DT	0	R/W	
0	PD0DT	0	R/W	

### 28.2.17 ポート E データレジスタ (PEDR)

PEDR は、読み出し／書き込み可能な 8 ビットのレジスタでポート E のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	-	PE6DT	PE5DT	PE4DT	PE3DT	PE2DT	PE1DT	PE0DT
初期値：	0	-	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	-	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	PE6DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
5	PE5DT	0	R/W	
4	PE4DT	0	R/W	
3	PE3DT	0	R/W	
2	PE2DT	0	R/W	
1	PE1DT	0	R/W	
0	PE0DT	0	R/W	

### 28.2.18 ポート F データレジスタ (PFDR)

PFDR は、読み出し／書き込み可能な 8 ビットのレジスタでポート F のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PF7DT	PF6DT	PF5DT	PF4DT	PF3DT	PF2DT	PF1DT	PF0DT
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PF7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PF6DT	0	R/W	
5	PF5DT	0	R/W	
4	PF4DT	0	R/W	
3	PF3DT	0	R/W	
2	PF2DT	0	R/W	
1	PF1DT	0	R/W	
0	PF0DT	0	R/W	

## 28. 汎用入出力ポート (GPIO)

### 28.2.19 ポート G データレジスタ (PGDR)

PGDR は、読み出し／書き込み可能な 8 ビットのレジスタでポート G のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PG7DT	PG6DT	PG5DT	PG4DT	PG3DT	PG2DT	PG1DT	PG0DT
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PG7DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PG6DT	0	R/W	
5	PG5DT	0	R/W	
4	PG4DT	0	R/W	
3	PG3DT	0	R/W	
2	PG2DT	0	R/W	
1	PG1DT	0	R/W	
0	PG0DT	0	R/W	

### 28.2.20 ポート H データレジスタ (PHDR)

PHDR は、読み出し／書き込み可能な 8 ビットのレジスタでポート H のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PH7DT	PH6DT	PH5DT	PH4DT	PH3DT	PH2DT	PH1DT	PH0DT
初期値：	-	0	-	-	0	-	-	-
R/W：	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PH7DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PH6DT	0	R/W	
5	PH5DT	端子入力	R/W	
4	PH4DT	端子入力	R/W	
3	PH3DT	0	R/W	
2	PH2DT	端子入力	R/W	
1	PH1DT	端子入力	R/W	
0	PH0DT	端子入力	R/W	

### 28.2.21 ポート J データレジスタ (PJDR)

PJDR は、読み出し／書き込み可能な 8 ビットのレジスタでポート J のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	-	-	PJ5DT	PJ4DT	PJ3DT	PJ2DT	PJ1DT	PJ0DT
初期値：	0	0	-	-	-	-	-	-
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7, 6	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	PJ5DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
4	PJ4DT	端子入力	R/W	
3	PJ3DT	端子入力	R/W	
2	PJ2DT	端子入力	R/W	
1	PJ1DT	端子入力	R/W	
0	PJ0DT	端子入力	R/W	

### 28.2.22 ポート K データレジスタ (PKDR)

PKDR は、読み出し／書き込み可能な 8 ビットのレジスタでポート K のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	PK7DT	PK6DT	PK5DT	PK4DT	PK3DT	PK2DT	PK1DT	PK0DT
初期値：	-	-	-	-	-	-	0	0
R/W：	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PK7DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
6	PK6DT	端子入力	R/W	
5	PK5DT	端子入力	R/W	
4	PK4DT	端子入力	R/W	
3	PK3DT	端子入力	R/W	
2	PK2DT	端子入力	R/W	
1	PK1DT	0	R/W	
0	PK0DT	0	R/W	

## 28. 汎用入出力ポート (GPIO)

### 28.2.23 ポート L データレジスタ (PLDR)

PLDR は、読み出し／書き込み可能な 8 ビットのレジスタでポート L のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	PL3DT	PL2DT	PL1DT	PL0DT
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	PL3DT	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。
2	PL2DT	0	R/W	
1	PL1DT	0	R/W	
0	PL0DT	0	R/W	

### 28.2.24 ポート M データレジスタ (PMDR)

PMDR は、読み出し／書き込み可能な 8 ビットのレジスタでポート M のデータを格納します。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PM1DT	PM0DT
初期値：	0	0	0	0	0	0	-	-
R/W：	R/W	R/W						

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PM1DT	端子入力	R/W	汎用出力ポートとして使用する端子の出力データを格納します。端子機能が汎用出力ポートの場合には、ポートを読み出すと対応する本レジスタの値が読み出されます。端子機能が汎用入力ポートの場合には、ポートを読み出すと対応する端子の状態が読み出されます。
0	PM0DT	端子入力	R/W	

### 28.2.25 ポート E プルアップ制御レジスタ (PEPUPR)

PEPUPR は、読み出し/書き込み可能な 8 ビットのレジスタです。本レジスタのビット 6 はポート E6 (PE6) に相当し、ポート E の端子を内蔵モジュールが使用している場合に PE6 に対応する端子のプルアップ制御を行います。ただし、ポート E の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット :	7	6	5	4	3	2	1	0
	-	PE6 PUPR	-	-	-	-	-	-
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	-	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
6	PE6PUPR	1	R/W	ポート PE6 端子のプルアップ制御を設定できます。 0 : PE6 プルアップオフ 1 : PE6 プルアップオン
5~0	-	すべて 1	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### 28.2.26 ポート H プルアップ制御レジスタ (PHPUPR)

PHPUPR は、読み出し/書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットはポート H7~0 (PH7~PH0) に相当し、ポート H に対応する端子を内蔵モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート H の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット :	7	6	5	4	3	2	1	0
	PH7 PUPR	PH6 PUPR	PH5 PUPR	PH4 PUPR	PH3 PUPR	PH2 PUPR	PH1 PUPR	PH0 PUPR
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

ビット	ビット名	初期値	R/W	説明
7	PH7PUPR	1	R/W	ポート H の各端子のプルアップ制御を個別に設定できます。 0 : PHn プルアップオフ 1 : PHn プルアップオン
6	PH6PUPR	1	R/W	
5	PH5PUPR	1	R/W	
4	PH4PUPR	1	R/W	
3	PH3PUPR	1	R/W	
2	PH2PUPR	1	R/W	
1	PH1PUPR	1	R/W	
0	PH0PUPR	1	R/W	

【注】 n=7~0

## 28. 汎用入出力ポート (GPIO)

### 28.2.27 ポート J プルアップ制御レジスタ (PJPUPR)

PJPUPR は、読み出し／書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットはポート J5~0 (PJ5~PJ0) に相当し、ポート J に対応する端子を内蔵モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート J の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット :	7	6	5	4	3	2	1	0
	-	-	PJ5 PUPR	PJ4 PUPR	PJ3 PUPR	PJ2 PUPR	PJ1 PUPR	PJ0 PUPR
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7, 6	-	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	PJ5PUPR	1	R/W	ポート J の各端子のプルアップ制御を個別に設定できます。 0 : PJn プルアップオフ 1 : PJn プルアップオン
4	PJ4PUPR	1	R/W	
3	PJ3PUPR	1	R/W	
2	PJ2PUPR	1	R/W	
1	PJ1PUPR	1	R/W	
0	PJ0PUPR	1	R/W	

【注】 n=5~0

### 28.2.28 ポート K プルアップ制御レジスタ (PKPUPR)

PKPUPR は、読み出し／書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットはポート K7~0 (PK7~PK0) に相当し、ポート K に対応する端子を内蔵モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ただし、ポート K の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット :	7	6	5	4	3	2	1	0
	PK7 PUPR	PK6 PUPR	PK5 PUPR	PK4 PUPR	PK3 PUPR	PK2 PUPR	PK1 PUPR	PK0 PUPR
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

ビット	ビット名	初期値	R/W	説 明
7	PK7PUPR	1	R/W	ポート K の各端子のプルアップ制御を個別に設定できます。 0 : PKn プルアップオフ 1 : PKn プルアップオン
6	PK6PUPR	1	R/W	
5	PK5PUPR	1	R/W	
4	PK4PUPR	1	R/W	
3	PK3PUPR	1	R/W	
2	PK2PUPR	1	R/W	
1	PK1PUPR	1	R/W	
0	PK0PUPR	1	R/W	

【注】 n=7~0

### 28.2.29 ポート M プルアップ制御レジスタ (PMPUPR)

PMPUPR は、読み出し/書き込み可能な 8 ビットのレジスタです。本レジスタの各ビットはポート M1~0 (PM1~PM0) に相当し、ポート M に対応する端子を内蔵モジュールが使用している場合に各端子のプルアップ制御を個別に行います。ポート M の端子を GPIO が使用している場合、本レジスタの設定は無視されます。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	PM1 PUPR	PM0 PUPR
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W						

ビット	ビット名	初期値	R/W	説 明
7~2	-	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	PM1PUPR	1	R/W	ポート M の各端子のプルアップ制御を個別に設定できます。 0 : PMn プルアップオフ 1 : PMn プルアップオン
0	PM0PUPR	1	R/W	

【注】 n=1, 0

### 28.2.30 入力端子プルアップ制御レジスタ 1 (PPUPR1)

PPUPR1 は、読み出し/書き込み可能な 16 ビットのレジスタで、各ビットに接続された端子のプルアップ制御を個別に行います。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	RDY PUP	CTR1 PUP	CTR0 PUP
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W													

ビット	ビット名	初期値	R/W	説 明
15~3	-	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	RDYPUP	1	R/W	$\overline{RDY}$ 端子のプルアップの制御 0 : $\overline{RDY}$ プルアップオフ 1 : $\overline{RDY}$ プルアップオン
1	CTR1PUP	1	R/W	CMT_CTR1 端子のプルアップの制御 0 : CMT_CTR1 プルアップオフ 1 : CMT_CTR1 プルアップオン
0	CTR0PUP	1	R/W	CMT_CTR0 のプルアップの制御 0 : CMT_CTR0 プルアップオフ 1 : CMT_CTR0 プルアップオン

## 28. 汎用入出力ポート (GPIO)

### 28.2.31 入力端子プルアップ制御レジスタ 2 (PPUPR2)

PPUPR2 は、読み出し／書き込み可能な 16 ビットのレジスタで、各ビットに接続された端子のプルアップ制御を個別に行います。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	FD3 PUP	FD2 PUP	FD1 PUP	FD0 PUP	NMI PUP	—	—	—	IRL3 PUP	IRL2 PUP	IRL1 PUP	IRL0 PUP
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~12	—	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
11	FD3PUP	1	R/W	FD3 端子のプルアップの制御を行います。 0: FD3 プルアップオフ 1: FD3 プルアップオン
10	FD2PUP	1	R/W	FD2 端子のプルアップの制御を行います。 0: FD2 プルアップオフ 1: FD2 プルアップオン
9	FD1PUP	1	R/W	FD1 端子のプルアップの制御を行います。 0: FD1 プルアップオフ 1: FD1 プルアップオン
8	FD0PUP	1	R/W	FD0 端子のプルアップの制御を行います。 0: FD0 プルアップオフ 1: FD0 プルアップオン
7	NMIPUP	1	R/W	NMI 端子のプルアップの制御を行います。 0: NMI プルアップオフ 1: NMI プルアップオン
6~4	—	すべて 1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	IRL3PUP	1	R/W	IRQ/IRL3 端子のプルアップの制御を行います。 0: IRQ/IRL3 プルアップオフ 1: IRQ/IRL3 プルアップオン
2	IRL2PUP	1	R/W	IRQ/IRL2 端子のプルアップの制御を行います。 0: IRQ/IRL2 プルアップオフ 1: IRQ/IRL2 プルアップオン
1	IRL1PUP	1	R/W	IRQ/IRL1 端子のプルアップの制御を行います。 0: IRQ/IRL1 プルアップオフ 1: IRQ/IRL1 プルアップオン
0	IRL0PUP	1	R/W	IRQ/IRL0 端子のプルアップの制御を行います。 0: IRQ/IRL0 プルアップオフ 1: IRQ/IRL0 プルアップオン

### 28.2.32 内蔵モジュールセレクトレジスタ (OMSELR)

OMSELR は、読み出し/書き込み可能な 16 ビットのレジスタです。本レジスタの設定によりマルチプレクスされた端子を使用するモジュールを選択することができます。端子のマルチプレクスは表 28.1 を参照してください。

なお、本レジスタは、GPIO の PACR~PHCR、PJCK~PMCR で内蔵モジュールを選択しているときにのみ有効になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	OMSEL14	OMSEL13	OMSEL12	OMSEL11	OMSEL10	OMSEL9	OMSEL8	—	OMSEL6	OMSEL5	OMSEL4	OMSEL3	OMSEL2	OMSEL1	OMSEL0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	—	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	OMSEL14	0	R/W	リセット (STATUS)、CMT のうち、端子 STATUS0/CMT_CTR0、STATUS1/CMT_CTR1 を使用するモジュールを選択します。 0: リセット (STATUS 出力) 1: CMT
13	OMSEL13	0	R/W	SCIF1、MMCIF のうち端子 SCIF1_SCK/MCCMD、SCIF1_TXD/MCCLK、SCIF1_RXD/MCDAT を使用するモジュールを選択します。 0: SCIF1 1: MMCIF
12	OMSEL12	0	R/W	H-UDI (AUD)、INTC、FLCTL のうち端子 AUDATA3~0/FD3~0、AUDCK/FALE、AUDSYNC/FCE、IRQ/IRL4/FD4、IRQ/IRL5/FD5、IRQ/IRL6/FD6、IRQ/IRL7/FD7 を使用するモジュールを選択します。 0: H-UDI (AUD)、INTC 1: FLCTL
11 10	OMSEL11 OMSEL10	0 0	R/W R/W	SCIF0、HSPI、PCIC、FLCTL のうち端子 SCIF0_SCK/HSPI_CLK/FRE、SCIF0_TXD/HSPI_TX/FWE、SCIF0_RXD/HSPI_RX/FRB、SCIF0_CTS/INTD/FCLE、SCIF0_RTS/HSPI_CE/FSE を使用するモジュールを選択します。 00: SCIF0 01: HSPI、PCIC 10: FLCTL 11: SCIF0、PCIC 【注】 11 を選択すると SCIF0_CTS/INTD/FCLE 端子は、PCIC として使用されます。

## 28. 汎用入出力ポート (GPIO)

ビット	ビット名	初期値	R/W	説明
9 8	OMSEL9 OMSEL8	0 0	R/W R/W	SIOF、HAC、SSIのうち端子 SIOF_TXD/HAC_SDOOUT/SSI_SDATA、SIOF_RXD/HAC_SDIN/SSI_SCK、SIOF_SYNC/HAC_SYNC/SSI_WS、SIOF_MCLK/HAC_RES、SIOF_SCK/HAC_BITCLK/SSI_CLK を使用するモジュールを選択します。  00 : SIOF 01 : HAC 10 : SSI 11 : 設定禁止
7	—	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	OMSEL6	0	R/W	TMU、LBSCのうち端子 TCLK/OIS16を使用するモジュールを選択します。  0 : TMU 1 : LBSC
5 4	OMSEL5 OMSEL4	0 0	R/W R/W	DMAC、PCIC、H-UDI (AUD)のうち端子 DREQ3/INTC/AUDATA1、DREQ2/INTB/AUDATA0を使用するモジュールを選択します。  00 : DMAC 01 : PCIC 10 : AUD 11 : 設定禁止
3 2	OMSEL3 OMSEL2	0 0	R/W R/W	DMAC、INTC、リセット、H-UDI (AUD)のうち端子 DACK3/IRQOUT/AUDATA3、DACK2/MRESETOUT/AUDATA2を使用するモジュールを選択します。  00 : DMAC 01 : INTC、リセット 10 : H-UDI (AUD) 11 : 設定禁止
1 0	OMSEL1 OMSEL0	0 0	R/W R/W	DMAC、LBSC、H-UDI (AUD)のうち端子 DRAK3/CE2B/AUDSYNC、DRAK2/CE2A/AUDCKを使用するモジュールを選択します。  00 : DMAC 01 : LBSC 10 : H-UDI (AUD) 11 : 設定禁止

## 28.3 使用例

PFCの設定手順の例を示します。

### 28.3.1 ポート出力機能

- ポート出力機能の設定は、ポートコントロールレジスタ (PACR~PMCR) の該当する2ビットにB'01を書き込んでください。ポートデータレジスタ (PADR~PMDR) の該当するビットの値を端子に出力します。
- このとき、ポート出力機能に設定した端子に対するポートプルアップ制御レジスタ (PEPUPR、PHPUPR、PJPUPR、PKPUPR、PMPUPR)、内蔵モジュールセレクトレジスタ (OMSELR) の設定は無視されます。

図 28.1 に各ポートをポート出力機能として使用した場合の動作例を示します。

出力データをセットし、Pck (周辺クロック) で1クロック後に各ポートに対応する端子へ出力されます。

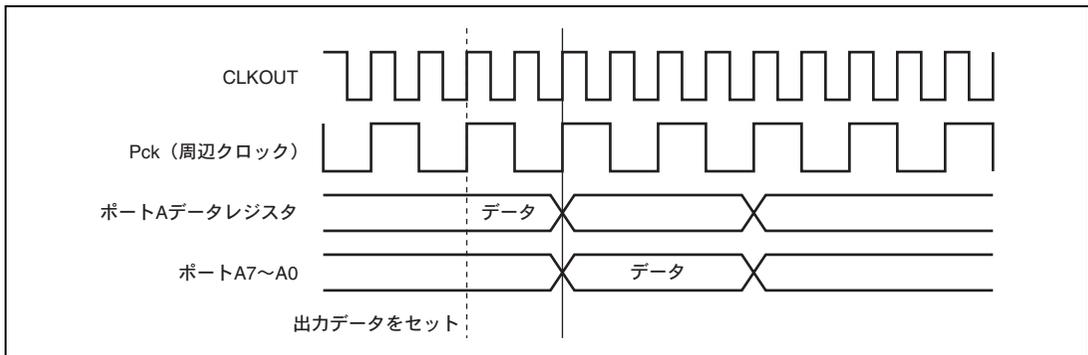


図 28.1 ポート書き込み動作タイミング

### 28.3.2 ポート入力機能

- ポート入力機能の設定は、ポートコントロールレジスタ (PACR~PKCR、PMCR) の該当する2ビットにプルアップMOSを使用しない場合はB'10を、使用する場合はB'11を書き込んでください。ポートデータレジスタ (PADR~PKDR、PMDR) の該当するビットから端子に入力している値が読み出せます。
- このとき、ポート入力機能に設定した端子に対するポートプルアップ制御レジスタ (PEPUPR、PHPUPR、PJPUPR、PKPUPR、PMPUPR)、内蔵モジュールセレクトレジスタ (OMSELR) の設定は無視されます。

図 28.2 に各ポートを入力機能として使用した場合の動作例を示します。

各ポートに対応する端子へデータ入力後、Pck (周辺クロック) の2回目の立ち上がりよりポートデータレジスタを読むことで端子の状態が読み出されます。

## 28. 汎用入出力ポート (GPIO)

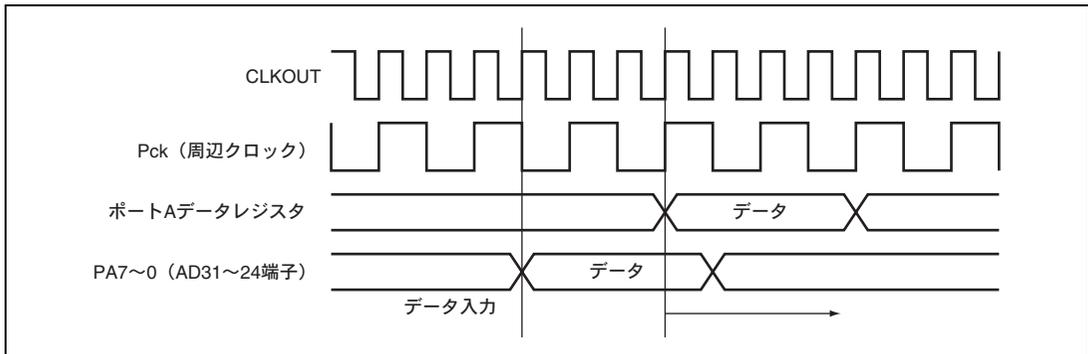


図 28.2 ポート読み出し動作タイミング

### 28.3.3 内蔵モジュール機能

- 内蔵モジュール機能の設定は、まず内蔵モジュールセレクトレジスタ (OMSELR) で使用するモジュールを選択してください。
- 次に使用する端子が入力または入出力の場合は、ポートプルアップ制御レジスタ (PEPUPR、PHPUPR、PJPUPR、PKPUPR、PMPUPR) でプルアップMOSの設定をしてください。該当するビットにプルアップMOSを使用しない場合はB'0を、使用する場合はB'1を書き込んでください。端子が出力の場合は、設定した値に関係なくプルアップMOSはオフになります。
- 最後に、ポートコントロールレジスタ (PACR~PMCR) の該当する2ビットにB'00を書き込んでください。

---

## 29. ユーザブレイクコントローラ (UBC)

---

ユーザブレイクコントローラ (UBC) は、プログラムデバッグを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。UBC に設定できるブレイク条件には、命令フェッチまたはオペランドの読み出し書き込み、オペランドのサイズ、データの内容、アドレスの値、および命令フェッチのときの停止タイミングがあります。

### 29.1 特長

1. 次のようなブレイク比較条件を設定できます

ブレイクチャネル数：2 チャネル (チャネル 0 と 1)

ユーザブレイクは、チャネル 0、1 独立に、または連続した (シーケンシャル) 一つの条件として設定することができます (シーケンシャルブレイク設定：チャネル 0 のブレイク条件が一致した後チャネル 1 のブレイク条件の一致が発生、またはチャネル 1 のブレイク条件が一致した後チャネル 0 のブレイク条件の一致が発生し、しかも両者が同じバスサイクルで発生しないとき)。

- アドレス

ASID とアドレス 32 ビットから構成された 40 ビットの比較において、ASID は全ビット比較または全ビットマスクのいずれかを選択できます。

アドレス 32 ビットの比較はビットごとにマスク可能で、ユーザは下位 12 ビット (4K バイトページ)、下位 10 ビット (1K バイトページ)、あるいは任意の大きさのページ等でアドレスをマスク可能です。

- データ

チャネル 1 のみ、32 ビットマスク可能。

- バスサイクル

命令フェッチでのブレイク (PCブレイク) またはオペランドアクセスでのブレイク

- 読み出しまたは書き込み

- オペランドサイズ

バイト、ワード、ロングワード、およびクワッドワードをサポート

2. ユーザ指定のユーザブレイク条件例外処理ルーチンを実行可能。
3. PC ブレイクにおいて、ブレイクを命令の実行の前に設定するか、後に設定するかを指定可能。
4. ブレイク条件 (チャネル 1 に対してのみ) として、最大  $2^{12}-1$  回まで繰り返し回数を指定可能。

## 29. ユーザブレイクコントローラ (UBC)

図 29.1 に UBC のブロック図を示します。

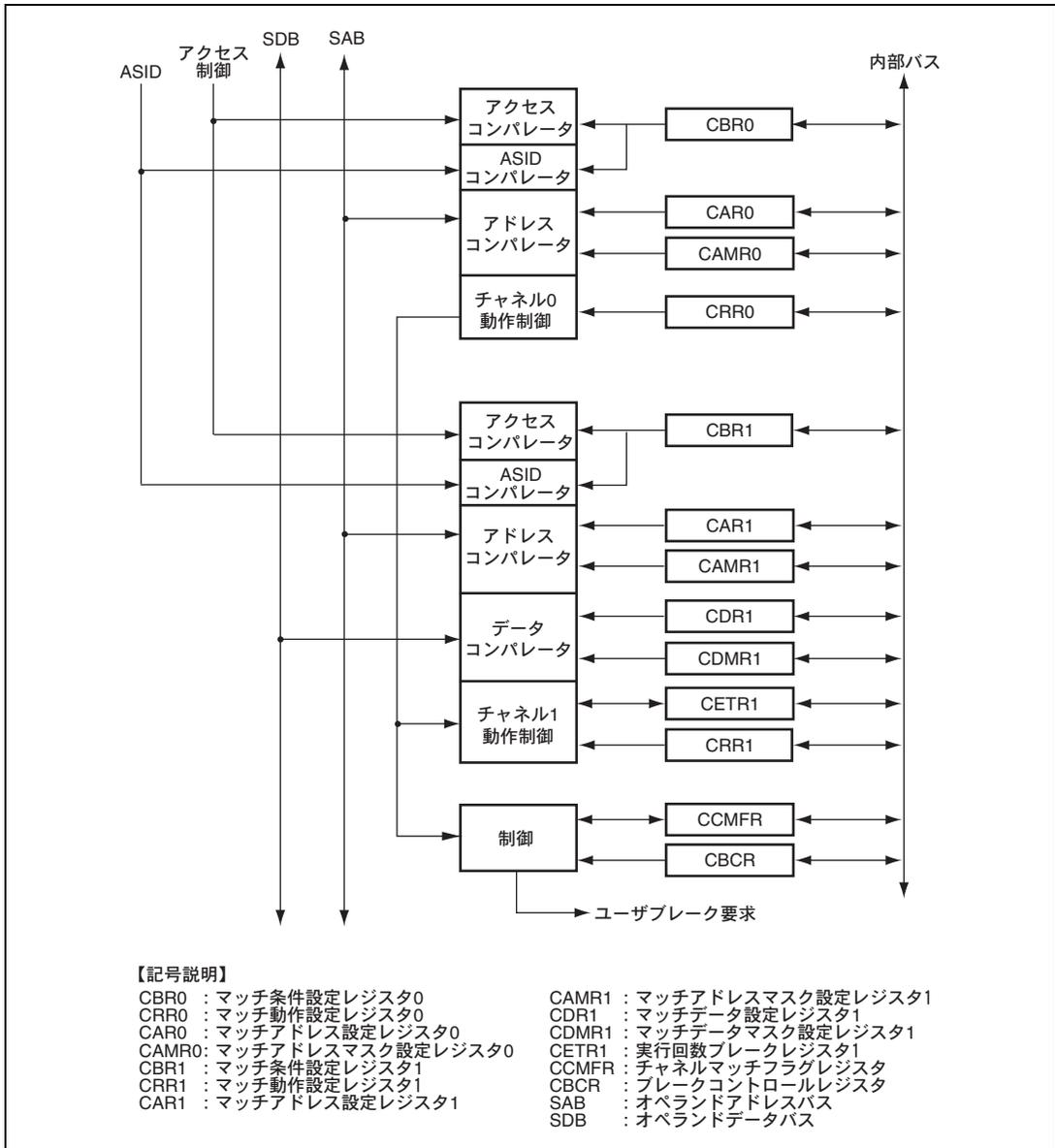


図 29.1 UBC のブロック図

## 29.2 レジスタの説明

UBC のレジスタ構成を表 29.1 に示します。また、各処理モードにおけるレジスタの状態を表 29.2 に示します。

表 29.1 レジスタ構成

名 称	略称	R/W	P4 領域 アドレス*	エリア7 アドレス*	アクセス サイズ
マッチ条件設定レジスタ 0	CBR0	R/W	H'FF20 0000	H'1F20 0000	32
マッチ動作設定レジスタ 0	CRR0	R/W	H'FF20 0004	H'1F20 0004	32
マッチアドレス設定レジスタ 0	CAR0	R/W	H'FF20 0008	H'1F20 0008	32
マッチアドレスマスク設定レジスタ 0	CAMR0	R/W	H'FF20 000C	H'1F20 000C	32
マッチ条件設定レジスタ 1	CBR1	R/W	H'FF20 0020	H'1F20 0020	32
マッチ動作設定レジスタ 1	CRR1	R/W	H'FF20 0024	H'1F20 0024	32
マッチアドレス設定レジスタ 1	CAR1	R/W	H'FF20 0028	H'1F20 0028	32
マッチアドレスマスク設定レジスタ 1	CAMR1	R/W	H'FF20 002C	H'1F20 002C	32
マッチデータ設定レジスタ 1	CDR1	R/W	H'FF20 0030	H'1F20 0030	32
マッチデータマスク設定レジスタ 1	CDMR1	R/W	H'FF20 0034	H'1F20 0034	32
実行回数ブ레이크レジスタ 1	CETR1	R/W	H'FF20 0038	H'1F20 0038	32
チャンネルマッチフラグレジスタ	CCMFR	R/W	H'FF20 0600	H'1F20 0600	32
ブ레이크コントロールレジスタ	CBCR	R/W	H'FF20 0620	H'1F20 0620	32

【注】 \* P4 アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア7アドレスは、TLB を用いて物理アドレス空間のエリア7からアクセスするものです。

表 29.2 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ
マッチ条件設定レジスタ 0	CBR0	H'2000 0000	保持	保持
マッチ動作設定レジスタ 0	CRR0	H'0000 2000	保持	保持
マッチアドレス設定レジスタ 0	CAR0	不定	保持	保持
マッチアドレスマスク設定レジスタ 0	CAMR0	不定	保持	保持
マッチ条件設定レジスタ 1	CBR1	H'2000 0000	保持	保持
マッチ動作設定レジスタ 1	CRR1	H'0000 2000	保持	保持
マッチアドレス設定レジスタ 1	CAR1	不定	保持	保持
マッチアドレスマスク設定レジスタ 1	CAMR1	不定	保持	保持
マッチデータ設定レジスタ 1	CDR1	不定	保持	保持
マッチデータマスク設定レジスタ 1	CDMR1	不定	保持	保持
実行回数ブ레이크レジスタ 1	CETR1	不定	保持	保持
チャンネルマッチフラグレジスタ	CCMFR	H'0000 0000	保持	保持
ブ레이크コントロールレジスタ	CBCR	H'0000 0000	保持	保持

## 29. ユーザブレイクコントローラ (UBC)

アクセスサイズはコントロールレジスタのサイズと同じでなければなりません。サイズが異なると、レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。コントロールレジスタを書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。コントロールレジスタが変更されるタイミングを知るためには、最後に書き込んだデータを読み出ししてください。それ以降の命令は、新しく書き込んだレジスタ値に対して有効です。

### 29.2.1 マッチ条件設定レジスタ 0、1 (CBR0、CBR1)

CBR0、CBR1 は、読み出し/書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 のブレイク条件を指定します。設定可能なブレイク条件は、(1) マッチフラグの有無、(2) ASID の有無とその値、(3) データ値の有無、(4) オペランドサイズ、(5) 実行回数の有無、(6) パス、(7) 命令フェッチまたはオペランドアクセス、(8) 読み出しまたは書き込みです。

#### • CBR0

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	MFE	AIE	MFI						AIV								
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R/W																
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	—	SZ			—	—	—	—	CD		ID		—	RW		CE	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
R/W:	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	

29. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	<p>マッチフラグイネーブル</p> <p>マッチ条件に本レジスタの MFI ビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が 1 のとき、条件一致となります。</p> <p>0 : マッチフラグはマッチ条件に含まれず、チェックされない</p> <p>1 : マッチ条件にマッチフラグを含める</p>
30	AIE	0	R/W	<p>ASID イネーブル</p> <p>マッチ条件に本レジスタの AIV ビットで指定した ASID を含めるかどうかを指定します。</p> <p>0 : ASID はマッチ条件に含まれず、チェックされない</p> <p>1 : マッチ条件に ASID を含める</p>
29~24	MFI	100000	R/W	<p>マッチフラグ指定</p> <p>マッチ条件とするマッチフラグを指定します。</p> <p>000000 : CCMFR レジスタの MF0 ビット</p> <p>000001 : CCMFR レジスタの MF1 ビット</p> <p>上記以外 : リザーブ (設定禁止)</p> <p>【注】 初期値はリザーブ (設定禁止) の状態になりますが、CBR0[0]に 1 を書き込む際に必ず 000000 あるいは 000001 を設定してください。また CCRMF レジスタの MF0 ビットが 0 の状態で、本レジスタの MFE ビットを 1 に、MFI ビットを 000000 に設定するとチャネル 0 でヒットしなくなりますので注意してください。</p>
23~16	AIV	すべて 0	R/W	<p>ASID 指定</p> <p>マッチ条件とする ASID 値を指定します。</p>
15	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
14~12	SZ	すべて 0	R/W	<p>オペランドサイズセレクト</p> <p>マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>000 : オペランドサイズはマッチ条件に含まれず、チェックされない (すべてのサイズが対象となる) *<sup>1</sup></p> <p>001 : バイトアクセスを対象とする</p> <p>010 : ワードアクセスを対象とする</p> <p>011 : ロングワードアクセスを対象とする</p> <p>100 : クワッドワードアクセスを対象とする*<sup>3</sup></p> <p>上記以外 : リザーブ (設定禁止)</p>
11~8	—	すべて 0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>

## 29. ユーザブ레이크コントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
7、6	CD	すべて0	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：オペランドアクセスにおいてオペランドバスを対象とする 上記以外：リザーブ（設定禁止）
5、4	ID	すべて0	R/W	命令フェッチ／オペランドアクセスセレクト マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01：命令フェッチサイクルを対象とする 10：オペランドアクセスサイクルを対象とする 11：命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2、1	RW	すべて0	R/W	バスコマンドセレクト マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00：読み出しサイクルまたは書き込みサイクルを対象とする 01：読み出しサイクルを対象とする 10：書き込みサイクルを対象とする 11：読み出しサイクルまたは書き込みサイクルを対象とする
0	CE	0	R/W	チャンネルイネーブル チャンネルを有効にするかどうかを指定します。本ビットに0を設定した場合、他のビットの設定はすべて無効です。 0：本チャンネルは無効 1：本チャンネルは有効

• CBR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MFE	AIE	MFI						AIV							
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DBE	SZ			ETBE	-	-	-	CD	ID		-	RW	CE		
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	MFE	0	R/W	<p>マッチフラグイネーブル</p> <p>マッチ条件に本レジスタのMFIビットで指定したマッチフラグの値を含めるかどうかを指定します。指定したマッチフラグの値が1のとき、条件一致となります。</p> <p>0: マッチフラグはマッチ条件に含まれず、チェックされない</p> <p>1: マッチ条件にマッチフラグを含める</p>
30	AIE	0	R/W	<p>ASID イネーブル</p> <p>マッチ条件に本レジスタのAIVビットで指定したASIDを含めるかどうかを指定します。</p> <p>0: ASIDはマッチ条件に含まれず、チェックされない</p> <p>1: マッチ条件にASIDを含める</p>
29~24	MFI	100000	R/W	<p>マッチフラグ指定</p> <p>マッチ条件とするマッチフラグを指定します。</p> <p>000000: CCMFRレジスタのMF0ビット</p> <p>000001: CCMFRレジスタのMF1ビット</p> <p>上記以外: リザーブ (設定禁止)</p> <p>【注】 初期値はリザーブ (設定禁止) の状態になりますが、CBR1[0]に1を書き込む際に必ず000000あるいは000001を設定してください。また、CCRMFレジスタのMF1ビットが0の状態、本レジスタのMFEビットを1に、MFIビットを000001に設定するとチャネル1でヒットしなくなりますので注意してください。</p>
23~16	AIV	すべて0	R/W	<p>ASID 指定</p> <p>マッチ条件とするASID値を指定します。</p>
15	DBE	0	R/W	<p>データ値イネーブル<sup>*2</sup></p> <p>マッチ条件にデータ値を含めるかどうかを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>0: データ値はマッチ条件に含まれず、チェックされない</p> <p>1: マッチ条件にデータ値を含める</p>

## 29. ユーザブレイクコントローラ (UBC)

ビット	ビット名	初期値	R/W	説明
14~12	SZ	すべて0	R/W	オペランドサイズセレクト マッチ条件とするオペランドサイズを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 000: オペランドサイズはマッチ条件に含まれず、チェックされない(すべてのサイズが対象となる) * <sup>1</sup> 001: バイトアクセスを対象とする 010: ワードアクセスを対象とする 011: ロングワードアクセスを対象とする 100: クワッドワードアクセスを対象とする* <sup>3</sup> 上記以外: リザーブ (設定禁止)
11	ETBE	0	R/W	実行回数値イネーブル マッチ条件に実行回数値を含めるかどうかを指定します。このビットが 1 の場合、マッチ条件が成立した回数が CETR1 レジスタで指定した値と等しくなったとき、CRR1 レジスタで指定した動作が発生します。 0: 実行回数値はマッチ条件に含まれず、チェックされない 1: マッチ条件に実行回数値を含める
10~8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7、6	CD	すべて0	R/W	バスセレクト マッチ条件とするバスを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。 00: オペランドアクセスにおいてオペランドバスを対象とする 上記以外: リザーブ (設定禁止)
5、4	ID	すべて0	R/W	命令フェッチ/オペランドアクセスセレクト マッチ条件として、命令フェッチサイクルまたはオペランドアクセスサイクルを指定します。 00: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする 01: 命令フェッチサイクルを対象とする 10: オペランドアクセスサイクルを対象とする 11: 命令フェッチサイクルまたはオペランドアクセスサイクルを対象とする
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2, 1	RW	すべて 0	R/W	<p>バスコマンドセレクト</p> <p>マッチ条件として、読み出しサイクルまたは書き込みサイクルを指定します。本ビットは、オペランドアクセスサイクルを対象とする場合のみ有効です。</p> <p>00：読み出しサイクルまたは書き込みサイクルを対象とする</p> <p>01：読み出しサイクルを対象とする</p> <p>10：書き込みサイクルを対象とする</p> <p>11：読み出しサイクルまたは書き込みサイクルを対象とする</p>
0	CE	0	R/W	<p>チャンネルイネーブル</p> <p>チャンネルを有効にするかどうかを指定します。本ビットに 0 を設定した場合、他のビットの設定はすべて無効です。</p> <p>0：本チャンネルは無効</p> <p>1：本チャンネルは有効</p>

- 【注】 \*1 データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
- \*2 OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
- \*3 クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

## 29. ユーザブレークコントローラ (UBC)

### 29.2.2 マッチ動作設定レジスタ 0、1 (CRR0、CRR1)

CRR0、CRR1 は、読み出し／書き込み可能な 32 ビットのレジスタであり、それぞれチャンネル 0、チャンネル 1 がマッチ条件を満たした場合の動作を指定します。設定可能な動作内容は、(1) 命令フェッチサイクルに対するブレークタイミング、(2) ブレーク要求の有無です。

#### • CRR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値 :	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
12~2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	PCB	0	R/W	PC ブレークセレクト 命令フェッチサイクルのブレークタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレークに対して、本ビットは無効です。 0 : PC ブレークを命令実行前に設定する 1 : PC ブレークを命令実行後に設定する
0	BIE	0	R/W	ブレークイネーブル チャンネルのマッチ条件が成立したときに、ブレークを要求するかどうかを指定します。 0 : ブレーク要求しない 1 : ブレークを要求する

• CRR1

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCB	BIE
初期値:	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31~14	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
12~2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	PCB	0	R/W	PCブレイクセレクト 命令フェッチサイクルのブレイクタイミングが命令実行の前か後かを指定します。命令フェッチサイクル以外のブレイクに対して、本ビットは無効です。 0: PCブレイクを命令実行前に設定する 1: PCブレイクを命令実行後に設定する
0	BIE	0	R/W	ブレイクイネーブル チャンネルのマッチ条件が成立したときに、ブレイクを要求するかどうかを指定します。 0: ブレイク要求しない 1: ブレイクを要求する

## 29. ユーザブレークコントローラ (UBC)

### 29.2.3 マッチアドレス設定レジスタ 0、1 (CAR0、CAR1)

CAR0、CAR1 は、それぞれ読み出し／書き込み可能な 32 ビットのレジスタであり、チャンネル 0、チャンネル 1 のブレーク条件とする仮想アドレスを指定します。

- CAR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	CA	不定	R/W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR0 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

- CAR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CA															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	CA	不定	R/W	比較アドレス ブレーク条件とするアドレスを指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CA[31:0]に SAB のアドレスを指定します。

## 29.2.4 マッチアドレスマスク設定レジスタ 0、1 (CAMR0、CAMR1)

CAMR0、CAMR1 は、それぞれ読み出し／書き込み可能な 32 ビットのレジスタであり、対応するチャンネルのマッチアドレス設定レジスタによって指定されるアドレスビットのうちマスクするビットを指定します（マスクするビットに 1 を設定します）。

## • CAMR0

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR0 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します（マスクするビットに 1 を指定します）。 0 : アドレスビット CA[n]は、ブレーク条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】 n=31~0

## • CAMR1

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAM															
初期値 :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W :	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	CAM	不定	R/W	比較アドレスマスク CAR1 レジスタによって指定されるアドレスビットのうちマスクするビットを指定します（マスクするビットに 1 を指定します）。 0 : アドレスビット CA[n]は、ブレーク条件に含まれる 1 : アドレスビット CA[n]はマスクされ、ブレーク条件に含まれない 【注】 n=31~0

## 29. ユーザブレイクコントローラ (UBC)

### 29.2.5 マッチデータ設定レジスタ 1 (CDR1)

CDR1 は、読み出し／書き込み可能な 32 ビットのレジスタであり、チャンネル 1 のブレイク条件とするデータ値を指定します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CD															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CD															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	CD	不定	R/W	比較データ値 ブレイク条件とするデータ値を指定します。 CBR1 レジスタによりオペランドバスを指定した場合は、CD[31:0]に SDB のデータ値を指定します。

表 29.3 マッチデータ設定レジスタの指定

CBR1 でのバスセレクト	CD[31:24]	CD[23:16]	CD[15:8]	CD[7:0]
オペランドバス (バイト)	Don't care			SDB7~0
オペランドバス (ワード)	Don't care		SDB15~0	
オペランドバス (ロングワード)	SDB31~0			

- 【注】
1. データ値をマッチ条件に含める場合は、オペランドサイズを指定してください。
  2. OCBI 命令はデータ値のないロングワード書き込み、PREF、OCBP、OCBWB 命令はデータ値のないロングワード読み出しとして扱います。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。
  3. クワッドワードアクセスを指定しかつデータ値をマッチ条件に含めた場合、64 ビットデータの上位 32 ビットまたは下位 32 ビットそれぞれについて、マッチデータ設定レジスタおよびマッチデータマスク設定レジスタによる設定内容との比較が行われます。

### 29.2.6 マッチデータマスク設定レジスタ 1 (CDMR1)

CDMR1 は、読み出し／書き込み可能な 32 ビットのレジスタであり、マッチデータによって指定されるデータ値のうちマスクするビットを指定します（マスクするビットに 1 を設定します）。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDM															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W															
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDM															
初期値:	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R/W															

ビット	ビット名	初期値	R/W	説明
31~0	CDM	不定	R/W	比較データマスク CDR1 レジスタによって指定されるデータ値のうちマスクするビットを指定します（マスクするビットに 1 を指定します）。 0: データ値ビット CD[n]は、ブ레이크条件に含まれる 1: データ値ビット CD[n]はマスクされ、ブ레이크条件に含まれない 【注】 n=31~0

### 29.2.7 実行回数ブ레이크レジスタ 1 (CETR1)

CETR1 は、読み出し／書き込み可能な 32 ビットのレジスタであり、ブ레이크が発生するまでのチャンネルヒット回数を指定します。指定できる最大値は  $2^{12}-1$  です。マッチ条件設定レジスタによりマッチ条件に実行回数値を含めた場合、チャンネルがヒットするごとに本レジスタ値は 1 ずつデクリメントされ、レジスタ値が H'001 になった後さらにヒットするとブ레이크が発生します。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	CET											
初期値:	0	0	0	0	-	-	-	-	-	-	-	-	-	-	-	-
R/W:	R	R	R	R	R/W											

ビット	ビット名	初期値	R/W	説明
31~12	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11~0	CET	不定	R/W	実行回数 ブ레이크条件とする実行回数を指定します。

### 29.2.8 チャンネルマッチフラグレジスタ (CCMFR)

CCMFR は、読み出し／書き込み可能な 32 ビットのレジスタであり、各チャンネルのマッチ条件が成立したかどうかを示します。チャンネルのマッチ条件が成立した場合、対応するフラグビットに 1 が設定されます。フラグのクリアは、クリアしたいビットを 0、それ以外のビットを 1 にしたデータを本レジスタに書き込むことで行います（書き込み値と現在値の論理積が書き込まれます）。本マッチフラグを用いることで、複数チャンネルによるシーケンシャル動作を実現できます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MF1	MF0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
31~2	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み値も常に 0 にしてください。
1	MF1	0	R/W	チャンネル 1 条件一致フラグ チャンネル 1 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 1 のマッチ条件不一致 1 : チャンネル 1 のマッチ条件一致
0	MF0	0	R/W	チャンネル 0 条件一致フラグ チャンネル 0 にセットしたマッチ条件が成立すると、このフラグは 1 にセットされます。フラグをクリアするには、このビットに 0 を書き込みます。 0 : チャンネル 0 のマッチ条件不一致 1 : チャンネル 0 のマッチ条件一致

## 29.2.9 ブレークコントロールレジスタ (CBCR)

CBCR は、読み出し／書き込み可能な 32 ビットのレジスタであり、ユーザブレークデバッグサポート機能を使用するかどうかを指定します。ユーザブレークデバッグサポート機能の詳細については、「29.4 ユーザブレークデバッグサポート機能」を参照してください。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UBDE
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	UBDE	0	R/W	ユーザブレークデバッグサポート機能イネーブル ユーザブレークデバッグサポート機能を使用するかどうかを指定します。 0 : デバッグサポート機能を使用しない 1 : デバッグサポート機能を使用する

### 29.3 動作説明

#### 29.3.1 アクセスに関する用語の説明

命令フェッチとは、命令を取得するアクセスを指します。たとえば、分岐命令の実行による分岐先命令のフェッチは命令アクセスです。オペランドアクセスとは、命令実行による任意のメモリアccessを指します。たとえば、命令 `MOV.W @(disp,PC),Rn` のアドレス ( $PC+disp \times 2+4$ ) に対するアクセスはオペランドアクセスです。「データ」という用語は「アドレス」との対比で使用します。

すべてのオペランドアクセスは、読み出しアクセスまたは書き込みアクセスのいずれかに分類されます。次の命令は特別の注意が必要です。

- `PREF`、`OCBP` および `OCBWB` 命令：読み出しアクセスとして扱います。
- `MOVCA.L` および `OCBI` 命令：書き込みアクセスとして扱います。
- `TAS.B` 命令：1つの読み出しアクセス、1つの書き込みアクセスとして扱います。

`PREF`、`OCBP`、`OCBWB`、`OCBI` 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対してマッチ条件を設定する場合、データ値を含めないようにしてください。

すべてのオペランドアクセスは、オペランドサイズが定義されます。オペランドサイズには、バイト、ワード、ロングワード、クワッドワードがあります。`PREF`、`OCBP`、`OCBWB`、`MOVCA.L`、`OCBI` 命令によるオペランドアクセスにおいては、オペランドサイズはロングワードとして定義されます。

#### 29.3.2 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作の流れは、次のとおりです。

1. マッチ条件とするオペランドサイズ、バス、命令フェッチ/オペランドアクセス、読み出し/書き込み条件を、マッチ条件設定レジスタ (`CBR0`または`CBR1`) により指定します。ブレイクアドレスをマッチアドレス設定レジスタ (`CAR0`、`CAR1`)、アドレスのマスク条件をマッチアドレスマスク設定レジスタ (`CAMR0`、`CAMR1`) により指定します。マッチ条件に`ASID`を含める場合は、マッチ条件設定レジスタの`AIE`ビットをセットし、`AIV`ビットにより`ASID`を指定します。マッチ条件にデータ値を含める場合は、マッチ条件設定レジスタの`DBE`ビットをセットし、ブレイクデータをマッチデータ設定レジスタ (`CDR1`)、データのマスク条件をマッチデータマスク設定レジスタ (`CDMR1`) により指定します。マッチ条件に実行回数を含める場合は、マッチ条件設定レジスタの`ETBE`ビットをセットし、実行回数条件を実行回数ブレイクレジスタ (`CETR1`) により指定します。シーケンシャルブレイクを設定する場合、マッチ条件設定レジスタの`MFE`ビットをセットし、シーケンス元チャンネル番号を`MFI`により指定します。

2. マッチ条件が成立した場合のブ레이크要求の有無、命令フェッチによる条件成立の場合のブ레이크位置を、マッチ動作設定レジスタ (CRR0、CRR1) により指定します。他のすべてのレジスタ、およびマッチ条件設定レジスタの CE ビットを除くビットの設定が終了したのち、マッチ条件設定レジスタの CE ビットをセットし、再度マッチ条件設定レジスタを読み出してください。この手順により、コントロールレジスタの設定値が直後の後続命令から有効となることを保証できます。リセット後、初期状態のコントロールレジスタからマッチ条件設定レジスタの CE ビットをセットした場合、意図しないブ레이크が発生する場合があります。
3. マッチ条件が成立すると、チャンネルマッチフラグレジスタ (CCMFR) の該当する条件一致フラグ (MF1、MF0) がセットされます。さらに、マッチ動作設定レジスタ (CRR0、CRR1) の設定内容により、CPU へのブ레이크要求が発生します。SR レジスタの BL ビットにより、ブ레이크要求に対する CPU の動作が異なります。BL ビットが 0 のとき、ブ레이크要求は受理され所定の例外処理が行われますが、BL ビットが 1 の場合例外処理は行われません。
4. マッチ条件の一致または不一致をチェックするため、該当する条件一致フラグ (MF1、MF0) を使用することができます。フラグは条件一致によりセットされますが、自動的にクリアされません。フラグを再び使用できるようにするためには、チャンネルマッチフラグレジスタ (CCMFR) に対するメモリストア命令により 0 を書き込んでください。
5. チャンネル 0 およびチャンネル 1 で設定したブ레이크がほぼ同時に発生する場合があります。CPU に対するブ레이크要求は 1 つだけであっても、これらのブ레이크に対する条件一致フラグが 2 つともセットされる場合があります。
6. SR レジスタの BL ビットが 1 の期間は、すべてのブ레이크要求は受理されません。ただし、条件判定は行われ、一致した場合は条件一致フラグがセットされます。
7. シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。

### 29.3.3 命令フェッチサイクルブレーク

1. マッチ条件設定レジスタ (CBR0またはCBR1) に命令フェッチが設定されると、マッチ条件は命令フェッチとなります。マッチ条件によりブレーク要求を発生させる場合、該当するチャンネルに対するマッチ動作レジスタ (CRR0またはCRR1) のBIEビットをセットしてください。ブレークのタイミングを命令実行の前にするか後にするかは、PCBビットで指定できます。マッチ条件として命令フェッチサイクルを指定する場合、マッチアドレス設定レジスタ (CAR0またはCAR1) のLSBを0にクリアしてください。このビットが1にセットされているとブレークは発生しません。
2. 命令フェッチサイクルにおいて命令実行前ブレークを指定すると、命令がフェッチされ実行することが確定した時点でブレーク要求が発生します。したがって、この機能はオーバラン (分岐または割り込みの遷移中にフェッチされ、しかも実行されない命令) によってフェッチされる命令には使用できません。命令実行前ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令の遅延スロットに対して実行前ブレークが指定されると、遅延分岐命令の実行前にブレークが発生します。ただし、RTE命令の遅延スロットには実行前ブレークを指定しないでください。
3. 命令フェッチサイクルにおいて命令実行後ブレークを指定すると、マッチ条件と一致した命令が実行されたのち、次の命令の実行前にブレークが発生します。実行前のブレークの場合と同様、オーバランによってフェッチされる命令には使用できません。命令実行後ブレークと他の例外との優先順位については、「第5章 例外処理」を参照してください。遅延分岐命令およびその遅延スロットに対して実行後ブレークが指定されると、分岐先の最初の命令までブレークは発生しません。
4. チャンネル1のマッチ条件として命令フェッチサイクルを指定すると、マッチ条件設定レジスタ CBR1 のDBEビットは無効となり、マッチデータ設定レジスタ CDR1 およびマッチデータマスク設定レジスタ CDMR1 の設定は無視されます。したがって、命令フェッチサイクルのブレークには、データ値を設定することはできません。

### 29.3.4 オペランドアクセスサイクルブ레이크

1. オペランドアクセスサイクルブ레이크の場合、マッチ条件設定レジスタ (CBR0またはCBR1) のオペランドサイズ指定と、条件比較の対象となるアドレスとの関係は、以下のようになります。

表 29.4 オペランドサイズ指定と比較対象アドレス

オペランドサイズセレクト	比較アドレスビット
クワッドワード	アドレスビット A31~A3
ロングワード	アドレスビット A31~A2
ワード	アドレスビット A31~A1
バイト	アドレスビット A31~A0
マッチ条件に含まれない	クワッドワードアクセス時のアドレスビット A31~A3 ロングワードアクセス時のアドレスビット A31~A2 ワードアクセス時のアドレスビット A31~A1 バイトアクセス時のアドレスビット A31~A0

これは、たとえばマッチアドレス設定レジスタ (CAR0またはCAR1) にアドレスH'00001003を設定するとき、マッチ条件が成立するオペランドアクセスサイクルには、（他のすべての条件が成立すると仮定した場合）以下が含まれることを意味します。

アドレスH'00001000に対するロングワードアクセス

アドレスH'00001002に対するワードアクセス

アドレスH'00001003に対するバイトアクセス

2. チャンネル1のマッチ条件にデータ値が含まれる場合

データ値をマッチ条件に含める場合は、マッチ条件設定レジスタ (CBR1) のオペランドサイズセレクト (SZ ビット) によりクワッドワード、ロングワード、ワード、またはバイトを指定し、かつマッチデータ設定レジスタ (CDR1) およびマッチデータマスク設定レジスタ (CDMR1) を設定する必要があります。このとき、アドレス条件とデータ条件が一致するとマッチ条件が成立します。バイトアクセス、ワードアクセス、ロングワードアクセスに対するデータ値およびマスクは、それぞれCDR1およびCDMR1のビット7~0、ビット15~0、ビット31~0に設定します。クワッドワードアクセスの場合、64ビットデータは上位32ビットと下位32ビットに分割され、2つの32ビットデータ単位として条件比較が行われます。2つの32ビットデータ単位のいずれかがマッチ条件を満足すると、マッチ条件成立となります。

3. PREF、OCBP、OCBWB、OCBI 命令によるオペランドアクセスはデータ値のないアクセスです。これらの命令に対するマッチ条件としてデータ値を含めた場合、マッチ条件は成立しません。

## 29. ユーザブレイクコントローラ (UBC)

4. オペランドバスを選択している場合、条件が一致した命令の実行を完了し、次の命令を実行する直前にブレイクが発生します。ただし、条件にデータ値を含める場合は、条件が一致した命令から数命令実行した後になる場合もあり、ブレイクが発生する命令を特定することはできません。また、遅延分岐命令やその遅延スロットでこの種のブレイクが発生した場合は、分岐先の最初の命令までブレイクは発生しません。RTE 命令の遅延スロットには、オペランドブレイクを設定しないでください。また、データ値を条件に含める場合は、RTE 命令の 1.~6.命令前でブレイクを発生させないでください。

### 29.3.5 シーケンシャルブレイク

1. マッチ条件設定レジスタ (CBR0、CBR1) のMFEビットおよびMFIビットを設定することで、シーケンシャル条件 (チャンネル0マッチ条件が成立した後チャンネル1マッチ条件が成立、またはその逆) を指定することができます。シーケンス元チャンネルについては、マッチ条件設定レジスタのMFE、およびマッチ動作設定レジスタのBIEビットをクリアしてください。シーケンス先チャンネルについては、マッチ条件設定レジスタのMFEビットをセットし、シーケンス元チャンネル番号をMFIで指定します。シーケンシャル条件成立時のブレイク要求の有無は、シーケンス先マッチ動作設定レジスタのBIEビットにより指定します。シーケンシャル条件指定時、各チャンネルのマッチ条件が成立するごとに該当する条件一致フラグがセットされます。シーケンス元チャンネルのマッチ条件が成立し、シーケンス先チャンネルのマッチ条件が未成立のときにシーケンス元チャンネルのマッチ状態をクリアするには、シーケンス元チャンネルの条件一致フラグをクリアしてください。
2. シーケンシャル条件指定では、チャンネル1については実行回数ブレイク条件も指定することができます。
3. シーケンス元チャンネルとシーケンス先チャンネルのマッチ条件成立タイミングが接近している場合、シーケンシャル条件が保証されない場合があります。

- シーケンス元チャンネル、シーケンス先チャンネルとも命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0 命令後	同じアドレスを設定するのと等価です。この設定は使用しないでください。
命令 B は命令 A の 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルは命令フェッチサイクルでマッチ成立、シーケンス先チャンネルはオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0 または 1 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 2 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャンネルはオペランドアクセスサイクルでマッチ成立、シーケンス先チャンネルは命令フェッチサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

- シーケンス元チャネル、シーケンス先チャネルともオペランドアクセスサイクルでマッチ成立

命令 B は命令 A の 0~5 命令後	シーケンシャル動作は保証されません。
命令 B は命令 A の 6 命令以上後	シーケンシャル動作は保証されます。

### 29.3.6 退避されるプログラムカウンタの値

ブレイク発生時は、実行を再開すべき命令のアドレスを SPC に退避し、例外処理状態に移行します。マッチ条件にデータ値を含む場合を除き、ブレイクの発生する命令を一意に決定することができます。

- 命令フェッチサイクル（命令実行前）をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令のアドレスが退避されます。条件が一致した命令は実行されず、その前にブレイクが発生します。ただし、遅延スロット命令で条件が一致した場合は、遅延分岐命令のアドレスが SPC に退避されます。

- 命令フェッチサイクル（命令実行後）をマッチ条件として指定する場合

SPC には、マッチ条件と一致した命令の次の命令のアドレスが退避されます。条件が一致した命令は実行され、次の命令の実行前にブレイクが発生します。遅延分岐命令やその遅延スロットで一致した場合は、それらの命令は実行され、分岐先のアドレスが SPC に退避されます。

- オペランドアクセス（アドレスのみ）をマッチ条件として指定する場合

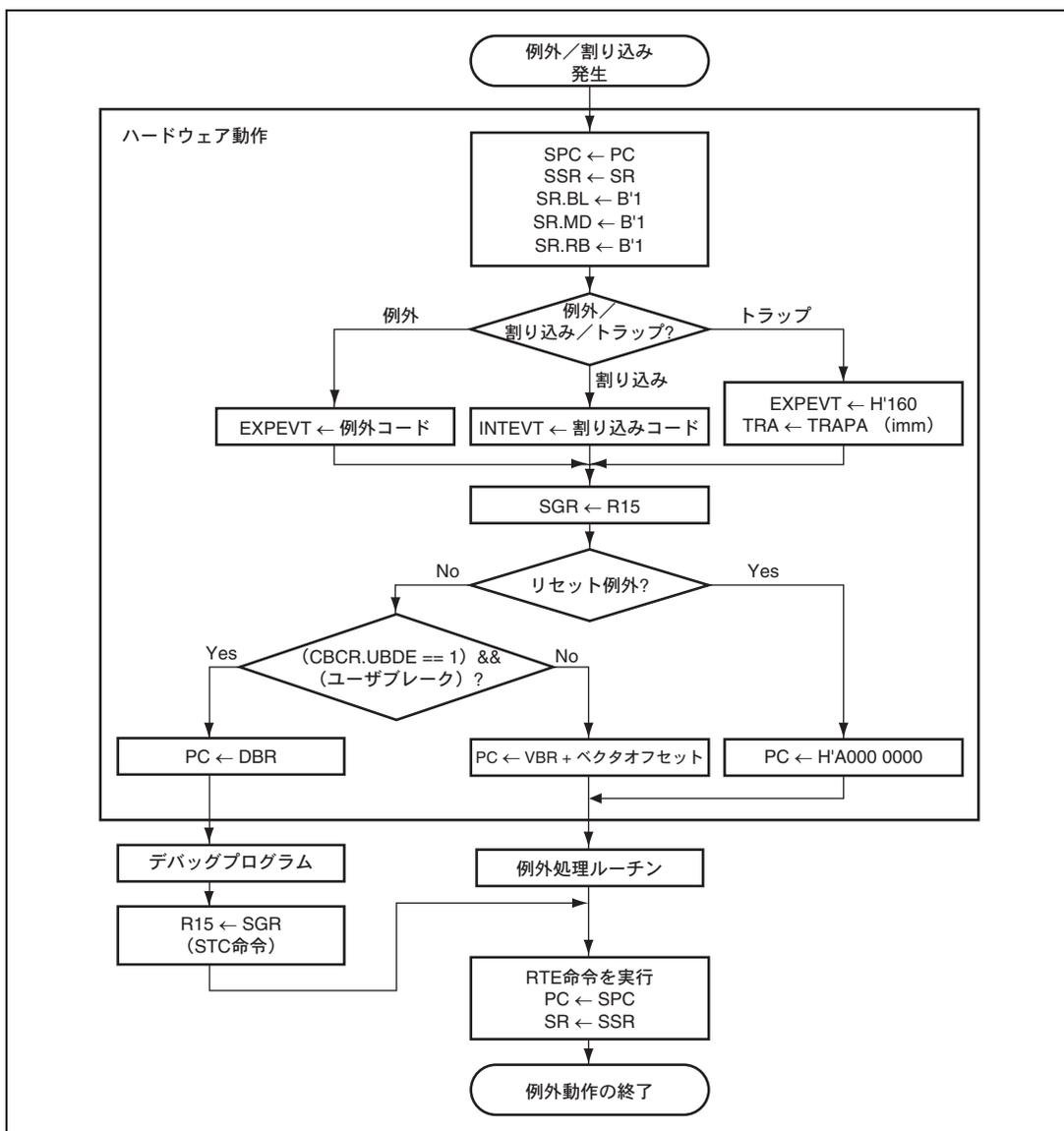
SPC には、ブレイク条件に一致した命令の直後の命令のアドレスが退避されます。条件に一致した命令が実行され、次の命令の実行前にブレイクが発生します。ただし、遅延スロットで条件が一致した場合は、分岐先のアドレスが SPC に退避されます。

- オペランドアクセス（アドレス+データ）をマッチ条件と指定指定する場合

データ値がマッチ条件に追加されると、マッチ条件に一致した命令は実行を完了します。1 命令後から 6 命令後までのいずれかの命令の実行前にユーザブレイクが発生し、その命令のアドレスが SPC に退避されます。ブレイクが発生する場所を正確に決定することはできません。遅延スロット命令で条件が一致した場合は、分岐先アドレスが SPC に退避されます。また、条件に一致した命令の次命令が分岐命令である場合は、分岐命令や遅延スロットの実行まで完了した後にブレイクが発生する場合があります。この場合も、SPC には分岐先のアドレスが退避されます。

## 29.4 ユーザブレイクデバッグサポート機能

ユーザブレイクデバッグサポート機能を用いることにより、CPUがユーザブレイク要求を受理した場合の分岐先アドレスを変更することができます。ブレイクコントロールレジスタ CBCR の UBDE ビットを 1 にセットすることにより、[VBR+オフセット]で表示されるアドレスへ分岐するかわりに DBR で示されるアドレスへ分岐します。ユーザブレイクデバッグサポート機能のフローチャートを図 29.2 に示します。



## 29.5 ユーザブレイク使用例

### (1) 命令フェッチサイクルに指定したマッチ条件

#### • 例1-1

レジスタ設定

```
CBR0=H'00000013/CRR0=H'00002003/CAR0=H'00000404/CAMR0=H'00000000/
CBR1=H'00000013/CRR1=H'00002001/CAR1=H'00008010/CAMR1=H'00000006/
CDR1=H'00000000/CDMR1=H'00000000/CETR1=H'00000000/
CBCR=H'00000000
```

指定条件：チャンネル 0 / チャンネル 1 独立条件

#### 【チャンネル 0】

アドレス：H'00000404、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行後）

ASID は条件に含まれない

#### 【チャンネル 1】

アドレス：H'00008010、アドレスマスク：H'00000006

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

ユーザブレイクは、アドレス H'00000404 の命令実行後、またはアドレス H'00008010~H'00008016 の命令実行前に発生します。

#### • 例1-2

レジスタ設定

```
CBR0=H'40800013/CRR0=H'00002000/CAR0=H'00037226/CAMR0=H'00000000/
CBR1=H'C0700013/CRR1=H'00002001/CAR1=H'0003722E/CAMR1=H'00000000/
CDR1=H'00000000/CDMR1=H'00000000/CETR1=H'00000000/
CBCR=H'00000000
```

指定条件：チャンネル 0 → チャンネル 1 シーケンシャルモード

#### 【チャンネル 0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：命令フェッチ（命令実行前）

## 29. ユーザブレイクコントローラ (UBC)

---

### 【チャンネル 1】

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ASID=H'80 かつアドレス H'00037226 の命令が実行された後、ASID=H'70 かつアドレス H'0003722E の命令実行前にユーザブレイクが発生します。

### • 例1-3

レジスタ設定

CBR0=H'00000013/CRR0=H'00002001/CAR0=H'00027128/CAMR0=H'00000000/

CBR1=H'00000013/CRR1=H'00002001/CAR1=H'00031415/CAMR1=H'00000000/

CDR1=H'00000000/CDMR1=H'00000000/CETR1=H'00000000/

CBCR=H'00000000

指定条件：チャンネル 0 / チャンネル 1 独立条件

### 【チャンネル 0】

アドレス：H'00027128、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID は条件に含まれない

### 【チャンネル 1】

アドレス：H'00031415、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID、データ値、実行回数は条件に含まれない

チャンネル 0 では、アドレス H'00027128 の命令実行前に発生します。チャンネル 1 では、命令フェッチは偶数アドレスに対して実行されるのでユーザブレイクは発生しません。

### • 例1-4

レジスタ設定

CBR0=H'40800013/CRR0=H'00002000/CAR0=H'00037226/CAMR0=H'00000000/

CBR1=H'C0700013/CRR1=H'00002001/CAR1=H'0003722E/CAMR1=H'00000000/

CDR1=H'00000000/CDMR1=H'00000000/CETR1=H'00000000/

CBCR=H'00000000

指定条件：チャンネル 0 → チャンネル 1 シーケンシャルモード

## 【チャンネル 0】

アドレス：H'00037226、アドレスマスク：H'00000000、ASID=H'80

バスサイクル：命令フェッチ（命令実行前）

## 【チャンネル 1】

アドレス：H'0003722E、アドレスマスク：H'00000000、ASID=H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ASID=H'80 かつアドレス H'00037226 の命令が実行された後、ASID=H'70 かつアドレス H'0003722E の命令実行前にブレークが発生します。

## • 例1-5

レジスタ設定

CBR0=H'00000013/CRR0=H'00002001/CAR0=H'00000500/CAMR0=H'00000000/

CBR1=H'00000813/CRR1=H'00002001/CAR1=H'00001000/CAMR1=H'00000000/

CDR1=H'00000000/CDMR1=H'00000000/CETR1=H'00000005/

CBCR=H'00000000

指定条件：チャンネル 0/チャンネル 1 独立条件

## 【チャンネル 0】

アドレス：H'00000500、アドレスマスク：H'00000000

バスサイクル：命令フェッチ（命令実行前）

ASID は条件に含まれない

## 【チャンネル 1】

アドレス：H'00001000、アドレスマスク：H'00000000

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000005

バスサイクル：命令フェッチ（命令実行前）

実行回数：5 回

ASID、データ値は条件に含まれない

チャンネル 0 では、ユーザブレークはアドレス H'00000500 の命令の実行前に生じます。チャンネル 1 では、ユーザブレークは、アドレス H'00001000 の命令を 4 回実行した後、5 回目の命令実行前に生じます。

## 29. ユーザブレークコントローラ (UBC)

---

- 例1-6

レジスタ設定

```
CBR0=H'40800013/CRR0=H'00002003/CAR0=H'00008404/CAMR0=H'00000FFF/  
CBR1=H'40700013/CRR1=H'00002001/CAR1=H'00008010/CAMR1=H'00000006/  
CDR1=H'00000000/CDMR1=H'00000000/CETR1=H'00000000/  
CBCR=H'00000000
```

指定条件：チャンネル0/チャンネル1 独立条件

【チャンネル0】

アドレス：H'00008404、アドレスマスク：H'00000FFF、ASID：H'80

バスサイクル：命令フェッチ（命令実行後）

【チャンネル1】

アドレス：H'00008010、アドレスマスク：H'00000006、ASID：H'70

データ：H'00000000、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：命令フェッチ（命令実行前）

データ値、実行回数は条件に含まれない

ユーザブレークは、ASID=H'80 でアドレス H'00008000～H'00008FFE の命令の実行後、または、ASID=H'70 でアドレス H'00008010～H'00008016 の命令の実行前に生じます。

## (2) オペランドアクセスサイクルに指定したマッチ条件

## • 例2-1

レジスタ設定

```
CBR0=H'40800023/CRR0=H'00002001/CAR0=H'00123456/CAMR0=H'00000000/  
CBR1=H'4070A025/CRR1=H'00002001/CAR1=H'000ABCDE/CAMR1=H'000000FF/  
CDR1=H'0000A512/CDMR1=H'00000000/CETR1=H'00000000/  
CBCR=H'00000000
```

指定条件：チャンネル 0 / チャンネル 1 独立条件

## 【チャンネル 0】

アドレス：H'00123456、アドレスマスク：H'00000000、ASID：H'80

バスサイクル：オペランドバス / オペランドアクセス / 読み出し（オペランドサイズは条件に含まれない）

## 【チャンネル 1】

アドレス：H'000ABCDE、アドレスマスク：H'000000FF、ASID：H'70

データ：H'0000A512、データマスク：H'00000000、実行回数：H'00000000

バスサイクル：オペランドバス / オペランドアクセス / 書き込み / ワード

実行回数は条件に含まれない

チャンネル 0 では、ユーザブレイクは、ASID=H'80 でアドレス H'00123454 に対するロングワードの読み出し、アドレス H'00123456 に対するワード読み出し、あるいはアドレス H'00123456 に対するバイト読み出しで生じます。チャンネル 1 では、ユーザブレイクは ASID=H'70 で H'000ABC00~H'000ABCFE にワード H'A512 を書き込むときに生じます。

### 29.6 使用上の注意事項

1. UBCのレジスタの値を書き換える命令を実行してから実際にその値が反映されるまでの期間は、所望のブレイクが発生しない場合があります。UBCレジスタを変更後、ブレイク対象の命令を実行する前に、以下の(1)～(3)のいずれかを実行してください。

- (1) 変更したレジスタをリードした後、RTE命令による分岐を実行してください(レジスタリードとRTE命令は連続している必要はありません)。

- (2) 変更したレジスタをリードした後、任意のアドレス(キャッシング不可領域でもよい)に対して、ICBI命令を実行してください(レジスタリードとICBI命令は連続している必要はありません)。

- (3) UBCレジスタの変更前にIRMCR.R1=0(初期値)と設定しておき、レジスタライト→レジスタリード→(もう一度同じ値を)レジスタライトというシーケンスでレジスタを更新してください。

なお、複数のUBCレジスタを変更する場合には、それぞれについて上記の手順を踏む必要はありません。最後に変更するレジスタについてのみ、上記の手順が必要になります。

2. CRR0 および CRR1 の PCB ビットは、命令フェッチをマッチ条件にしたときのみに有効です。
3. シーケンシャル条件設定時、シーケンス元チャンネルのマッチ条件成立後シーケンス先チャンネルのマッチ条件が成立するとき、シーケンシャル条件が成立します。したがって、同一バスサイクルに対してチャンネル0およびチャンネル1の条件一致が同時に発生するようにマッチ条件が設定されてもシーケンシャル条件は成立せず、ブレイクは発生しません。
4. SLEEP 命令に対しては、命令フェッチサイクルをマッチ条件とする命令実行後ブレイクを発生させないでください。また、SLEEP 命令の1～5命令前では、オペランドアクセスをマッチ条件とするブレイクを発生させないでください。
5. ユーザブレイクと他の例外が同一命令で発生した場合は、定められた優先順位で判定が行われます。優先順位に関しては、「第5章 例外処理」を参照してください。より高い優先度の例外が発生した場合は、ユーザブレイクは発生しません。
  - 命令実行前のブレイクは他のどの例外よりも優先して受け付けられます。
  - 命令実行後ブレイクやデータアクセスブレイクは、より優先度の高い再実行型の例外(命令実行前ブレイクを含む)と同時に発生した場合、再実行型の例外が受け付けられ、条件一致を示すフラグもセットされません。例外処理により再実行型の例外要因が解消され、同命令が再実行された完了する時点で改めてブレイクが発生し、フラグがセットされます。
  - 命令実行後ブレイクやオペランドアクセスブレイクが、より優先度の高い完了型の例外(TRAPA)と同時に発生した場合は、ブレイクは発生しませんが、条件一致を示すフラグはセットされます。

6. チャンネル0、チャンネル1において、マッチ条件が同時に独立して成立し、またその結果 SPC の値が両方のブレークに対して同じ場合、ユーザブレークは一度だけ発生しますが、条件一致フラグは両チャンネルともにセットされます。たとえば、  
アドレス 110 の命令 (チャンネル0 で命令フェッチに対する実行後ブレーク) →SPC=112、CCMFR.MF0=1  
アドレス 112 の命令 (チャンネル1 で命令フェッチに対する実行前ブレーク) →SPC=112、CCMFR.MF1=1
7. RTE 命令の遅延スロット命令に対して命令実行前ブレークやオペランドブレークを設定しないでください。またオペランドブレークにデータ値を含める場合には、RTE 命令の 1~6 命令前でブレークを発生させないでください。
8. 実行ステートが2以上の命令において再実行型例外と実行後ブレークが競合した場合、再実行型例外が発生します。このとき、ブレーク条件の成立に対して、CCMFR.MF0 (または CCMFR.MF1) ビットが1にセットされる場合と、セットされない場合があります。



---

## 30. ユーザデバッグインタフェース (H-UDI)

---

ユーザデバッグインタフェース (H-UDI) は、JTAG (IEEE1149.1) に準拠したシリアル入出力インタフェースであり、エミュレータの接続に使用します。

### 30.1 特長

H-UDI は JTAG、IEEE1149.1 "IEEE Standard Test Access Port and Boundary-Scan Architecture" に準拠したシリアル入出力インタフェースです。H-UDI は、エミュレータとの接続に使用します。エミュレータを使用する場合は本インタフェースの機能を使用しないでください。なお、エミュレータとの接続方法は各エミュレータのマニュアルを参照してください。

H-UDI は 6 本の端子 (TCK、TMS、TDI、TDO、 $\overline{\text{TRST}}$ 、 $\overline{\text{ASEBRK/BRKACK}}$ ) からなります。 $\overline{\text{ASEBRK/BRKACK}}$  を除く端子機能やシリアル転送プロトコルは、JTAG の規格に準拠します。さらにエミュレータ用端子として 6 本の信号 (AUDSYNC、ADUCK、AUDATA3~AUDATA0)、チップモード指定端子として 1 本の信号 (MPMD) があります。エミュレータ用端子は兼用端子であり、PFC の PMSELR の設定により使用する端子が切り替わります。

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラとバウンダリスキャン以外の H-UDI の機能を制御する TAP コントローラを分離しています。電源投入時を含め、 $\overline{\text{TRST}}$  のアサートによりバウンダリスキャン用 TAP コントローラが選択されるため、H-UDI の機能を利用するためには切り替えコマンドを入力する必要があります。また、バウンダリスキャン TAP コントローラは CPU からアクセスすることは出来ません。

図 30.1 に H-UDI のブロック図を示します。

H-UDI 回路は内部に TAP コントローラと、SDBPR、SDBSR、SDIR、SDINT の計 4 本のレジスタを持ちます。SDBPR は JTAG のバイパスモードをサポートするためのレジスタ、SDBSR は JTAG のバウンダリスキャンモードをサポートするためのレジスタ、SDIR はコマンド用のレジスタ、SDINT は H-UDI 割り込み用のレジスタです。SDIR は TDI、TDO 端子から直接アクセスできます。

TAP (Test Access Port) コントローラと制御レジスタおよびバウンダリスキャン TAP コントローラはチップのリセット端子とは独立して、 $\overline{\text{TRST}}$  端子をローレベルにするか、TMS を 1 に設定して TCK を 5 サイクル以上かけることによりリセットがかかります。その他の回路は通常リセット期間中にリセットがかかり初期化されます。

### 30. ユーザデバッグインタフェース (H-UDI)

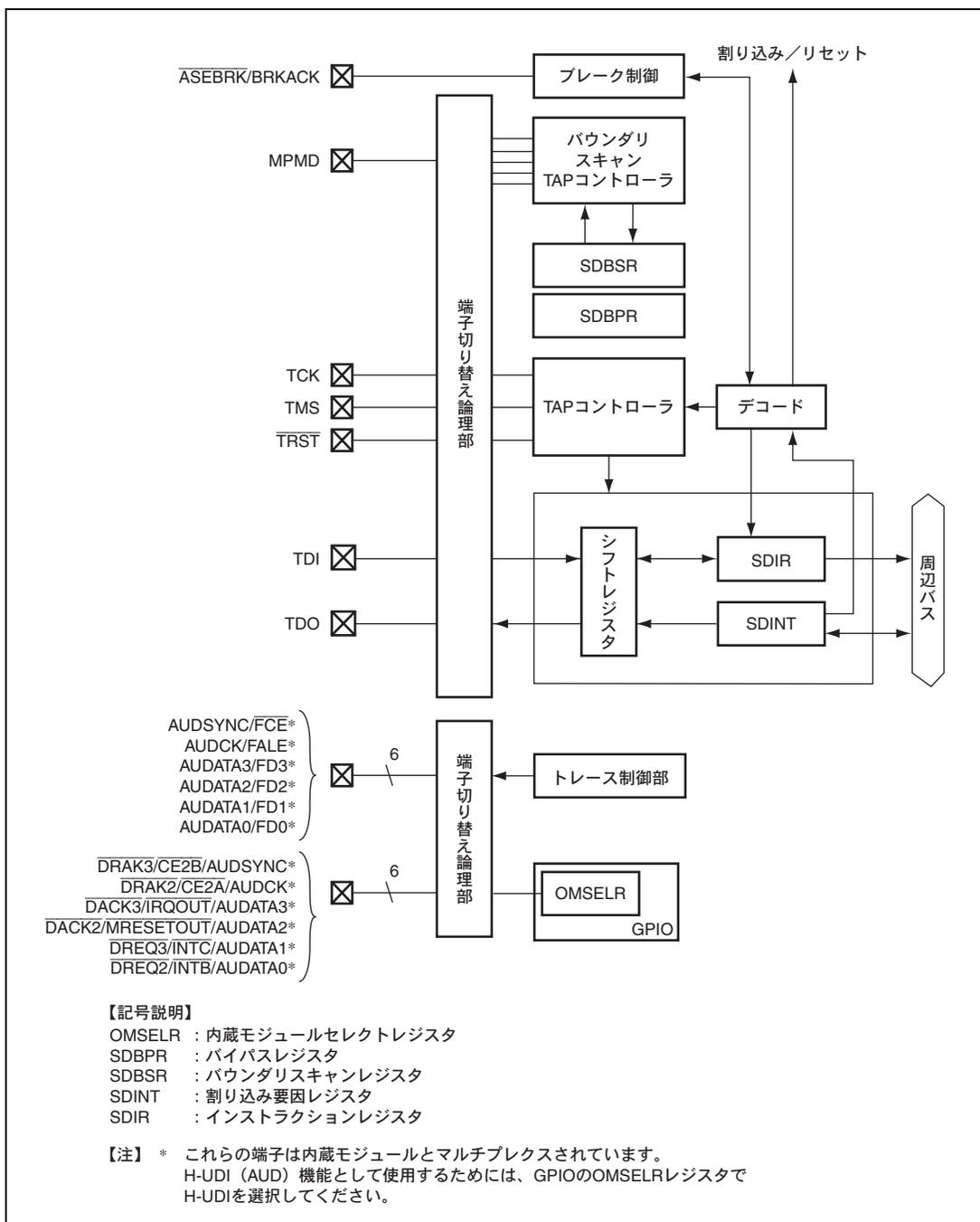


図30.1 H-UDIのブロック図

## 30.2 入出力端子

H-UDI の端子構成を表 30.1 に示します。

表 30.1 H-UDI の端子構成

端子名	機能	入出力	説明	未使用時
TCK	クロック端子	入力	JTAG のシリアルクロック入力端子と同じです。この信号に同期してデータ入力端子 TDI から H-UDI 回路にデータを与えるか、データ出力端子 TDO からデータを読み出します。	オープン* <sup>1</sup>
TMS	モード端子	入力	モードセレクト入力端子。TCK に同期してこの信号を変化させることで、TDI から入力するデータの意味を決定します。そのプロトコルは JTAG (IEEE Std 1149.1) 規格に準拠します。	オープン* <sup>1</sup>
TRST* <sup>2</sup>	リセット端子	入力	H-UDI をリセットする入力端子。TCK とは非同期に受け付け、ローレベルで JTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に TRST を一定期間ローレベルにしなければなりません。これは IEEE の規格と異なります。	グランド固定 または RESET 接続* <sup>3</sup>
TDI	データ入力端子	入力	データ入力端子。TCK に同期してこの信号を変化させることで H-UDI 回路にデータを送ります。	オープン* <sup>1</sup>
TDO	データ出力端子	出力	データ出力端子。TCK に同期してこの信号を読むことで、H-UDI 回路からデータを読み取ります。	オープン
ASEBRK/ BRKACK	エミュレータ用端子	入出力	エミュレータ専用の端子	オープン* <sup>1</sup>
AUDSYNC AUDCK AUDATA3~ AUDATA0	エミュレータ用端子	出力	エミュレータ専用の端子	オープン
MPMD	チップモード指定端子	入力	エミュレーションサポートモードとして動作させる (MPMD=Low level) か、本体チップモードとして動作させる (MPMD=High level) かを指定します。	オープン* <sup>1</sup>

- 【注】 \*1 チップ内でプルアップされています。エミュレータを使用可能なボードを設計する場合、あるいは H-UDI 経由で割り込み、リセットを利用する場合、外部にプルアップ抵抗を付けても問題ありません。
- \*2 エミュレータを使用可能なボードを設計する場合あるいは H-UDI 経由で割り込み/リセットを利用する場合は、電源投入時に PRESET と重複する期間 TRST をローレベルにし、かつ TRST 単独でも制御可能となるようにしてください。なお、H-UDI を使用する前にもパワーオンリセットを行ってください。
- \*3 グランド固定または PRESET と同じ (あるいは同じ挙動の) 信号と接続してください。ただし、グランド固定の場合には下記の問題があります。TRST はチップ内でプルアップされているため外部からグランドに固定すると微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。

TCK の周波数が本 LSI の周辺クロックの周波数より低くなるように TCK あるいは本 LSI の CPG の設定を行ってください。

### 30.3 バウンダリスキャン TAP コントローラ (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS)

本 LSI の H-UDI はバウンダリスキャン用 TAP コントローラと H-UDI リセット、H-UDI 割り込み機能を制御する TAP コントローラを分離しています。電源投入時を含め、 $\overline{\text{TRST}}$  アサートによりバウンダリスキャン用 TAP コントローラが有効になり、JTAG で規定されているバウンダリスキャン機能を利用できます。また、H-UDI 切り替えコマンドを入力することで、H-UDI リセット、H-UDI 割り込み機能が利用できるようになります。ただし本 LSI の場合、以下の制限事項が存在します。

- クロック関連信号 (EXTAL、XTAL、EXTAL2、XTAL2) はバウンダリスキャンの対象から外れます。
- リセット関連信号 ( $\overline{\text{PRESET}}$ ) はバウンダリスキャンの対象から外れます。
- H-UDI 関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$ 、MPMD) はバウンダリスキャンの対象から外れます。
- DDR IF 関連端子はバウンダリスキャンの対象から外れます。
- $\overline{\text{XRTCSTBI}}$  端子はバウンダリスキャンの対象から外れます。
- バウンダリスキャン (IDCODE、EXTEST、SAMPLE/PRELOAD、BYPASS、H-UDI 切り替えコマンド) 実行時、TCK の最大周波数は 2MHz です。
- H-UDI 側 (外部コントローラ) からバウンダリスキャン TAP コントローラへのアクセスサイズは 8 ビットです。

【注】 バウンダリスキャン時、MPMD 端子、 $\overline{\text{PRESET}}$  端子はハイレベルに固定にしてください。

表 30.2 に、バウンダリスキャン TAP コントローラのサポートコマンドを示します。また、図 30.2 にバウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンスを示します。

表 30.2 バウンダリスキャン TAP コントローラのサポートコマンド

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	説 明
0	1	0	1	0	1	0	1	IDCODE
1	1	1	1	1	1	1	1	BYPASS
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
0	0	0	0	1	0	0	0	H-UDI 切り替えコマンド
上記以外								設定禁止

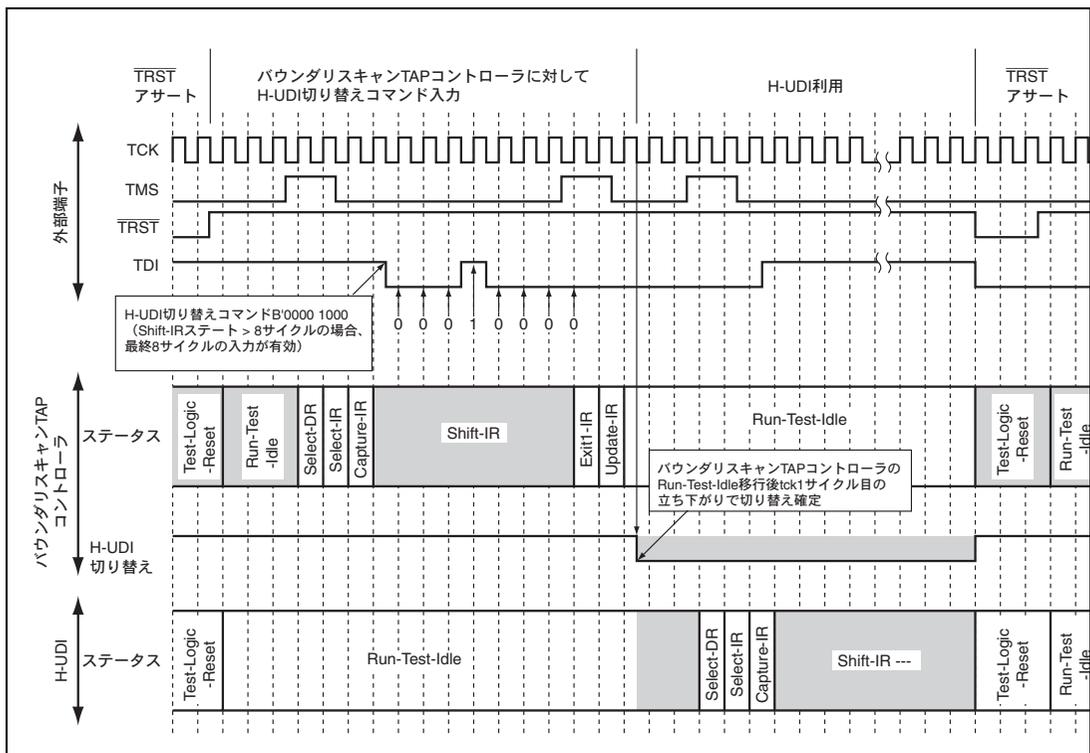


図30.2 バウンダリスキャン TAP コントローラから H-UDI への切り替えシーケンス

## 30.4 レジスタの説明

H-UDI のレジスタ構成を表 30.3、表 30.4 に示します。また、各処理モードにおけるレジスタの状態を表 30.5 に示します。

表 30.3 レジスタ構成 (1)

名 称	略称	CPU 側				
		R/W	P4 アドレス* <sup>1</sup>	エリア 7 アドレス* <sup>1</sup>	アクセス サイズ	初期値* <sup>2</sup>
インストラクションレジスタ	SDIR	R	H'FC11 0000	H'1C11 0000	16	H'0EFF
割り込み要因レジスタ	SDINT	R/W	H'FC11 0018	H'1C11 0018	16	H'0000
バウンダリスキャンレジスタ	SDBSR	—	—	—	—	—
バイパスレジスタ	SDBPR	—	—	—	—	—

【注】 \*1 P4 アドレスは、仮想アドレス空間の P4 領域を用いた場合のものです。エリア 7 アドレスは、TLB を用いて物理アドレス空間のエリア 7 からアクセスするものです。

\*2  $\overline{\text{TRST}}$  子がローレベル、または TAP が Test-Logic-Reset の状態で初期化されます。

表 30.4 レジスタ構成 (2)

名 称	略称	H-UDI 端子側		
		R/W	アクセスサイズ	初期値* <sup>1</sup>
インストラクションレジスタ	SDIR	R/W	32	H'FFFF FFFD (固定値* <sup>2</sup> )
割り込み要因レジスタ	SDINT	W* <sup>3</sup>	32	H'0000 0000
バウンダリスキャンレジスタ	SDBSR	—	—	—
バイパスレジスタ	SDBPR	R/W	1	不定

【注】 \*1  $\overline{\text{TRST}}$  端子がローレベル、または TAP が Test-Logic-Reset 状態で初期化されます。

\*2 H-UDI からの読み出し値は常に固定値 (H'FFFF FFFD) となります。

\*3 H-UDI 割り込みコマンドにより最下位ビットへ 1 を書き込むことができます。

表 30.5 各処理状態におけるレジスタの状態

名 称	略称	パワーオン リセット	マニュアル リセット	スリープ	モジュール スタンバイ
インストラクションレジスタ	SDIR	H'0EFF	保持	保持	保持
割り込み要因レジスタ	SDINT	H'0000	保持	保持	保持

### 30.4.1 インストラクションレジスタ (SDIR)

SDIR は、CPU から読み出しのみ可能な 16 ビットのレジスタです。シリアル入力 (TDI) から値 (コマンド) をセットします。 $\overline{\text{TRST}}$  または TAP の Test Logic Reset ステートで初期状態になります。H-UDI からの書き込みの場合、CPU のモードとは無関係に書き込みができます。またリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TI								—	—	—	—	—	—	—	—
初期値:	0	0	0	0	1	1	1	0	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~8	TI	00001110	R	テストインストラクションビット 7~0 0110xxxx : H-UDI リセットネゲート 0111xxxx : H-UDI リセットアサート 101xxxxx : H-UDI 割り込み 00001110 : 初期状態 上記以外 : 設定禁止 【注】 H-UDI リセットを行っても CPG および、WDT/リセットモジュール、RTC の一部は初期化されません。
7~0	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。

### 30.4.2 割り込み要因レジスタ (SDINT)

SDINT は CPU から読み出し/書き込み可能な 16 ビットのレジスタです。H-UDI 端子側からは、SDIR に「H-UDI 割り込み」コマンドをセットした (Update-IR) 場合に、INTREQ ビットが 1 になります。SDIR が「H-UDI 割り込み」コマンドの間、H-UDI 端子の TDI と TDO の間に SDINT が接続され、32 ビットのレジスタとして読み出し可能です。その場合上位 16 ビットが 0 に、下位 16 ビットが SDINT になります。

CPU 側からは INTREQ ビットに 0 を書き込むことしかできません。このビットが 1 の間は割り込み要求が発行され続けますので、割り込み処理ルーチン内で必ず 0 にクリアするようにしてください。このレジスタ値は  $\overline{\text{TRST}}$  または TAP の Test Logic Reset ステートで初期状態になります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INTREQ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

## 30. ユーザデバッグインタフェース (H-UDI)

---

ビット	ビット名	初期値	R/W	説明
15~1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	INTREQ	0	R/W	割り込み要求ビット 「H-UDI 割り込み」コマンドによる割り込み要求の有無を示します。CPU からはこのビットに 0 を書き込むことにより割り込み要求をクリアできます。このビットに 1 を書き込んだ場合は、直前の値を保持します。

### 30.4.3 バイパスレジスタ (SDBPR)

バイパスレジスタ (SDBPR) は JTAG のバイパスモードをサポートするための 1 ビットのレジスタです。パウンダリスキャン TAP コントローラに BYPASS コマンドがセットされると、TDI と TDO の間に SDBPR が接続されます。CPU からのアクセスは出来ません。このレジスタはパワーオンリセットあるいは  $\overline{\text{TRST}}$  のアサートでも初期化されません。ただし、Capture-DR ステートでは 0 に初期化されます。

## 30.4.4 バウンダリスキャンレジスタ (SDBSR)

バウンダリスキャンレジスタ (SDBSR) は JTAG のバウンダリスキャンモードをサポートするためのレジスタです。本レジスタは外部入出力ピンの制御を行うために PAD 上に配置されたシフトレジスタで、SAMPLE/PRELOAD、EXTEST コマンドを用いて JTAG (IEEE Std1149.1) 規格に準拠したバウンダリスキャンテストを行うことができます。チップのモードにかかわらず CPU からのアクセスはできません。このレジスタはパワーオンリセットあるいは  $\overline{\text{TRST}}$  のアサートでも初期化されません。

表 30.6 バウンダリスキャンレジスタの構成

番号	ピン名称	タイプ	番号	ピン名称	タイプ
From TDI			499	DRAK3/CE2B/AUDSYNC	CONTROL
524	$\overline{\text{DACK3}}/\text{IRQOUT}/\text{AUDATA3}$	OUTPUT	498	$\overline{\text{DRAK3}}/\text{CE2B}/\text{AUDSYNC}$	INPUT
523	$\overline{\text{DACK3}}/\text{IRQOUT}/\text{AUDATA3}$	CONTROL	497	$\overline{\text{DRAK2}}/\text{CE2A}/\text{AUDCK}$	OUTPUT
522	$\overline{\text{DACK3}}/\text{IRQOUT}/\text{AUDATA3}$	INPUT	496	$\overline{\text{DRAK2}}/\text{CE2A}/\text{AUDCK}$	CONTROL
521	$\overline{\text{DACK2}}/\text{MRESETOUT}/\text{AUDATA2}$	OUTPUT	495	$\overline{\text{DRAK2}}/\text{CE2A}/\text{AUDCK}$	INPUT
520	$\overline{\text{DACK2}}/\text{MRESETOUT}/\text{AUDATA2}$	CONTROL	494	$\overline{\text{DRAK1}}/\text{MODE7}$	OUTPUT
519	$\overline{\text{DACK2}}/\text{MRESETOUT}/\text{AUDATA2}$	INPUT	493	$\overline{\text{DRAK1}}/\text{MODE7}$	CONTROL
518	$\overline{\text{DACK1}}/\text{MODE1}$	OUTPUT	492	$\overline{\text{DRAK1}}/\text{MODE7}$	INPUT
517	$\overline{\text{DACK1}}/\text{MODE1}$	CONTROL	491	$\overline{\text{DRAK0}}/\text{MODE2}$	OUTPUT
516	$\overline{\text{DACK1}}/\text{MODE1}$	INPUT	490	$\overline{\text{DRAK0}}/\text{MODE2}$	CONTROL
515	$\overline{\text{DACK0}}/\text{MODE0}$	OUTPUT	489	$\overline{\text{DRAK0}}/\text{MODE2}$	INPUT
514	$\overline{\text{DACK0}}/\text{MODE0}$	CONTROL	488	A25	OUTPUT
513	$\overline{\text{DACK0}}/\text{MODE0}$	INPUT	487	A25	CONTROL
512	$\overline{\text{DREQ3}}/\text{INTC}/\text{AUDATA1}$	OUTPUT	486	A25	INPUT
511	$\overline{\text{DREQ3}}/\text{INTC}/\text{AUDATA1}$	CONTROL	485	STATUS0/CMT_CTR0	OUTPUT
510	$\overline{\text{DREQ3}}/\text{INTC}/\text{AUDATA1}$	INPUT	484	STATUS0/CMT_CTR0	CONTROL
509	$\overline{\text{DREQ2}}/\text{INTB}/\text{AUDATA0}$	OUTPUT	483	STATUS0/CMT_CTR0	INPUT
508	$\overline{\text{DREQ2}}/\text{INTB}/\text{AUDATA0}$	CONTROL	482	STATUS1/CMT_CTR1	OUTPUT
507	$\overline{\text{DREQ2}}/\text{INTB}/\text{AUDATA0}$	INPUT	481	STATUS1/CMT_CTR1	CONTROL
506	$\overline{\text{DREQ1}}$	OUTPUT	480	STATUS1/CMT_CTR1	INPUT
505	$\overline{\text{DREQ1}}$	CONTROL	479	A22	OUTPUT
504	$\overline{\text{DREQ1}}$	INPUT	478	A22	CONTROL
503	$\overline{\text{DREQ0}}$	OUTPUT	477	A22	INPUT
502	$\overline{\text{DREQ0}}$	CONTROL	476	A23	OUTPUT
501	$\overline{\text{DREQ0}}$	INPUT	475	A23	CONTROL
500	$\overline{\text{DRAK3}}/\text{CE2B}/\text{AUDSYNC}$	OUTPUT	474	A23	INPUT

### 30. ユーザデバッグインタフェース (H-UDI)

番号	ピン名称	タイプ	番号	ピン名称	タイプ
473	A24	OUTPUT	439	A11	CONTROL
472	A24	CONTROL	438	A11	INPUT
471	A24	INPUT	437	A10	OUTPUT
470	A19	OUTPUT	436	A10	CONTROL
469	A19	CONTROL	435	A10	INPUT
468	A19	INPUT	434	A9	OUTPUT
467	A20	OUTPUT	433	A9	CONTROL
466	A20	CONTROL	432	A9	INPUT
465	A20	INPUT	431	A8	OUTPUT
464	A21	OUTPUT	430	A8	CONTROL
463	A21	CONTROL	429	A8	INPUT
462	A21	INPUT	428	A7	OUTPUT
461	A16	OUTPUT	427	A7	CONTROL
460	A16	CONTROL	426	A7	INPUT
459	A16	INPUT	424	A6	CONTROL
458	A17	OUTPUT	423	A6	INPUT
457	A17	CONTROL	422	A5	OUTPUT
456	A17	INPUT	421	A5	CONTROL
455	A18	OUTPUT	420	A5	INPUT
454	A18	CONTROL	419	A4	OUTPUT
453	A18	INPUT	418	A4	CONTROL
452	A14	OUTPUT	417	A4	INPUT
451	A14	CONTROL	416	A3	OUTPUT
450	A14	INPUT	415	A3	CONTROL
449	A15	OUTPUT	414	A3	INPUT
448	A15	CONTROL	413	A2	OUTPUT
447	A15	INPUT	412	A2	CONTROL
446	A13	OUTPUT	411	A2	INPUT
445	A13	CONTROL	410	A1	OUTPUT
444	A13	INPUT	409	A1	CONTROL
443	A12	OUTPUT	408	A1	INPUT
442	A12	CONTROL	407	A0	OUTPUT
441	A12	INPUT	406	A0	CONTROL
440	A11	OUTPUT	405	A0	INPUT

### 30. ユーザデバッグインタフェース (H-UDI)

番号	ピン名称	タイプ	番号	ピン名称	タイプ
404	D31	OUTPUT	369	D21	INPUT
403	D31	CONTROL	368	D20	OUTPUT
402	D31	INPUT	367	D20	CONTROL
401	D30	OUTPUT	366	D20	INPUT
400	D30	CONTROL	365	D19	OUTPUT
399	D30	INPUT	364	D19	CONTROL
398	D29	OUTPUT	363	D19	INPUT
397	D29	CONTROL	362	D18	OUTPUT
396	D29	INPUT	361	D18	CONTROL
395	D28	OUTPUT	360	D18	INPUT
394	D28	CONTROL	359	D17	OUTPUT
393	D28	INPUT	358	D17	CONTROL
392	D27	OUTPUT	357	D17	INPUT
391	D27	CONTROL	356	D15	OUTPUT
390	D27	INPUT	355	D15	CONTROL
389	D26	OUTPUT	354	D15	INPUT
388	D26	CONTROL	353	D16	OUTPUT
387	D26	INPUT	352	D16	CONTROL
386	D25	OUTPUT	351	D16	INPUT
385	D25	CONTROL	365	D19	OUTPUT
384	D25	INPUT	364	D19	CONTROL
383	D24	OUTPUT	363	D19	INPUT
382	D24	CONTROL	362	D18	OUTPUT
381	D24	INPUT	361	D18	CONTROL
380	$\overline{WE3}/IOWR$	OUTPUT	360	D18	INPUT
379	$\overline{WE3}/IOWR$	CONTROL	359	D17	OUTPUT
378	$\overline{WE3}/IOWR$	INPUT	358	D17	CONTROL
377	D23	OUTPUT	357	D17	INPUT
376	D23	CONTROL	356	D15	OUTPUT
375	D23	INPUT	355	D15	CONTROL
374	D22	OUTPUT	354	D15	INPUT
373	D22	CONTROL	353	D16	OUTPUT
372	D22	INPUT	352	D16	CONTROL
371	D21	OUTPUT	351	D16	INPUT
370	D21	CONTROL	350	$\overline{WE2}/IORD$	OUTPUT

### 30. ユーザデバッグインタフェース (H-UDI)

番号	ピン名称	タイプ	番号	ピン名称	タイプ
349	$\overline{WE2}/\overline{IORD}$	CONTROL	314	D6	OUTPUT
348	$\overline{WE2}/\overline{IORD}$	INPUT	313	D6	CONTROL
347	D14	OUTPUT	312	D6	INPUT
346	D14	CONTROL	311	D1	OUTPUT
345	D14	INPUT	310	D1	CONTROL
344	D13	OUTPUT	309	D1	INPUT
343	D13	CONTROL	308	D2	OUTPUT
342	D13	INPUT	307	D2	CONTROL
341	D12	OUTPUT	306	D2	INPUT
340	D12	CONTROL	305	D3	OUTPUT
339	D12	INPUT	304	D3	CONTROL
338	D11	OUTPUT	303	D3	INPUT
337	D11	CONTROL	302	$\overline{WE0}/\overline{REG}$	OUTPUT
336	D11	INPUT	301	$\overline{WE0}/\overline{REG}$	CONTROL
335	D10	OUTPUT	300	$\overline{WE0}/\overline{REG}$	INPUT
334	D10	CONTROL	299	D0	OUTPUT
333	D10	INPUT	298	D0	CONTROL
332	D9	OUTPUT	297	D0	INPUT
331	D9	CONTROL	296	$\overline{BREQ}$	OUTPUT
330	D9	INPUT	295	$\overline{BREQ}$	CONTROL
329	$\overline{WE1}$	OUTPUT	294	$\overline{BREQ}$	INPUT
328	$\overline{WE1}$	CONTROL	293	$\overline{BACK}$	OUTPUT
327	$\overline{WE1}$	INPUT	292	$\overline{BACK}$	CONTROL
326	D7	OUTPUT	291	$\overline{BACK}$	INPUT
325	D7	CONTROL	290	R/ $\overline{W}$	OUTPUT
324	D7	INPUT	289	R/ $\overline{W}$	CONTROL
323	D8	OUTPUT	288	R/ $\overline{W}$	INPUT
322	D8	CONTROL	287	$\overline{RD}/\overline{FRAME}$	OUTPUT
321	D8	INPUT	286	$\overline{RD}/\overline{FRAME}$	CONTROL
320	D4	OUTPUT	285	$\overline{RD}/\overline{FRAME}$	INPUT
319	D4	CONTROL	284	$\overline{BS}$	OUTPUT
318	D4	INPUT	283	$\overline{BS}$	CONTROL
317	D5	OUTPUT	282	$\overline{BS}$	INPUT
316	D5	CONTROL	281	$\overline{CS4}$	OUTPUT
315	D5	INPUT	280	$\overline{CS4}$	CONTROL

## 30. ユーザデバッグインタフェース (H-UDI)

番号	ピン名称	タイプ	番号	ピン名称	タイプ
279	CS4	INPUT	244	REQ2	CONTROL
278	RDY	OUTPUT	243	REQ2	INPUT
277	RDY	CONTROL	242	REQ1	OUTPUT
276	RDY	INPUT	241	REQ1	CONTROL
275	CS2	OUTPUT	240	REQ1	INPUT
274	CS2	CONTROL	239	GNT2	OUTPUT
273	CS2	INPUT	238	GNT2	CONTROL
272	CS5	OUTPUT	237	GNT2	INPUT
271	CS5	CONTROL	236	GNT1	OUTPUT
270	CS5	INPUT	235	GNT1	CONTROL
269	CS6	OUTPUT	234	GNT1	INPUT
268	CS6	CONTROL	233	AD31	OUTPUT
267	CS6	INPUT	232	AD31	CONTROL
266	CLKOUT	CONTROL	231	AD31	INPUT
265	CLKOUT	OUTPUT	230	REQ3	OUTPUT
264	CS0	OUTPUT	229	REQ3	CONTROL
263	CS0	CONTROL	228	REQ3	INPUT
262	CS0	INPUT	227	AD30	OUTPUT
261	CS1	OUTPUT	226	AD30	CONTROL
260	CS1	CONTROL	225	AD30	INPUT
259	CS1	INPUT	224	GNT3	OUTPUT
258	INTA	OUTPUT	223	GNT3	CONTROL
257	INTA	CONTROL	222	GNT3	INPUT
256	INTA	INPUT	221	AD27	OUTPUT
255	REQ0/REQOUT	OUTPUT	220	AD27	CONTROL
254	REQ0/REQOUT	CONTROL	219	AD27	INPUT
253	REQ0/REQOUT	INPUT	218	AD29	OUTPUT
252	PCICLK	OUTPUT	217	AD29	CONTROL
251	PCICLK	CONTROL	216	AD29	INPUT
250	PCICLK	INPUT	215	AD26	OUTPUT
249	GNT0/GNTIN	OUTPUT	214	AD26	CONTROL
248	GNT0/GNTIN	CONTROL	213	AD26	INPUT
247	GNT0/GNTIN	INPUT	212	AD28	OUTPUT
246	PCIRESET	OUTPUT	211	AD28	CONTROL
245	REQ2	OUTPUT	210	AD28	INPUT

### 30. ユーザデバッグインタフェース (H-UDI)

番号	ピン名称	タイプ	番号	ピン名称	タイプ
209	CBE3	OUTPUT	174	AD18	INPUT
208	CBE3	CONTROL	173	$\overline{\text{IRDY}}$	OUTPUT
207	CBE3	INPUT	172	$\overline{\text{IRDY}}$	CONTROL
206	AD25	OUTPUT	171	$\overline{\text{IRDY}}$	INPUT
205	AD25	CONTROL	170	CBE2	OUTPUT
204	AD25	INPUT	169	CBE2	CONTROL
203	IDSEL	OUTPUT	168	CBE2	INPUT
202	IDSEL	CONTROL	167	$\overline{\text{TRDY}}$	OUTPUT
201	IDSEL	INPUT	166	$\overline{\text{TRDY}}$	CONTROL
200	AD24	OUTPUT	165	$\overline{\text{TRDY}}$	INPUT
199	AD24	CONTROL	164	PCIFRAME	OUTPUT
198	AD24	INPUT	163	$\overline{\text{PCIFRAME}}$	CONTROL
197	AD21	OUTPUT	162	$\overline{\text{PCIFRAME}}$	INPUT
196	AD21	CONTROL	161	$\overline{\text{STOP}}$	OUTPUT
195	AD21	INPUT	160	$\overline{\text{STOP}}$	CONTROL
194	AD23	OUTPUT	159	$\overline{\text{STOP}}$	INPUT
193	AD23	CONTROL	158	PAR	OUTPUT
192	AD23	INPUT	157	PAR	CONTROL
191	AD20	OUTPUT	156	PAR	INPUT
190	AD20	CONTROL	155	$\overline{\text{DEVSEL}}$	OUTPUT
189	AD20	INPUT	154	$\overline{\text{DEVSEL}}$	CONTROL
188	AD22	OUTPUT	153	$\overline{\text{DEVSEL}}$	INPUT
187	AD22	CONTROL	152	$\overline{\text{LOCK}}$	OUTPUT
186	AD22	INPUT	151	$\overline{\text{LOCK}}$	CONTROL
185	AD17	OUTPUT	150	$\overline{\text{LOCK}}$	INPUT
184	AD17	CONTROL	149	AD15	OUTPUT
183	AD17	INPUT	148	AD15	CONTROL
182	AD19	OUTPUT	147	AD15	INPUT
181	AD19	CONTROL	146	AD13	OUTPUT
180	AD19	INPUT	145	AD13	CONTROL
179	AD16	OUTPUT	144	AD13	INPUT
178	AD16	CONTROL	143	$\overline{\text{PERR}}$	OUTPUT
177	AD16	INPUT	142	$\overline{\text{PERR}}$	CONTROL
176	AD18	OUTPUT	141	$\overline{\text{PERR}}$	INPUT
175	AD18	CONTROL	140	$\overline{\text{SERR}}$	OUTPUT

### 30. ユーザデバッグインタフェース (H-UDI)

番号	ピン名称	タイプ	番号	ピン名称	タイプ
139	SERR	CONTROL	104	AD7	OUTPUT
138	SERR	INPUT	103	AD7	CONTROL
137	AD11	OUTPUT	102	AD7	INPUT
136	AD11	CONTROL	101	AD0	OUTPUT
135	AD11	INPUT	100	AD0	CONTROL
134	AD9	OUTPUT	99	AD0	INPUT
133	AD9	CONTROL	98	AD5	OUTPUT
132	AD9	INPUT	97	AD5	CONTROL
131	CBE1	OUTPUT	96	AD5	INPUT
130	CBE1	CONTROL	95	AD3	OUTPUT
129	CBE1	INPUT	94	AD3	CONTROL
128	AD14	OUTPUT	93	AD3	INPUT
127	AD14	CONTROL	92	AD1	OUTPUT
126	AD14	INPUT	91	AD1	CONTROL
125	CBE0	OUTPUT	90	AD1	INPUT
124	CBE0	CONTROL	89	NMI	OUTPUT
123	CBE0	INPUT	88	NMI	CONTROL
122	AD6	OUTPUT	87	NMI	INPUT
121	AD6	CONTROL	86	IRQ/IRL0	OUTPUT
120	AD6	INPUT	85	IRQ/IRL0	CONTROL
119	AD12	OUTPUT	84	IRQ/IRL0	INPUT
118	AD12	CONTROL	83	IRQ/IRL1	OUTPUT
117	AD12	INPUT	82	IRQ/IRL1	CONTROL
116	AD10	OUTPUT	81	IRQ/IRL1	INPUT
115	AD10	CONTROL	80	IRQ/IRL2	OUTPUT
114	AD10	INPUT	79	IRQ/IRL2	CONTROL
113	AD4	OUTPUT	78	IRQ/IRL2	INPUT
112	AD4	CONTROL	77	IRQ/IRL3	OUTPUT
111	AD4	INPUT	76	IRQ/IRL3	CONTROL
110	AD2	OUTPUT	75	IRQ/IRL3	INPUT
109	AD2	CONTROL	74	IRQ/IRL4/FD4/MODE3	OUTPUT
108	AD2	INPUT	73	IRQ/IRL4/FD4/MODE3	CONTROL
107	AD8	OUTPUT	72	IRQ/IRL4/FD4/MODE3	INPUT
106	AD8	CONTROL	71	IRQ/IRL5/FD5/MODE4	OUTPUT
105	AD8	INPUT	70	IRQ/IRL5/FD5/MODE4	CONTROL

### 30. ユーザデバッグインタフェース (H-UDI)

番号	ピン名称	タイプ	番号	ピン名称	タイプ
69	IRQ/IRL5/FD5/MODE4	INPUT	33	SIOF_TXD/HAC_SDOOUT/SSI_SDATA	INPUT
68	IRQ/IRL6/FD6/MODE6	OUTPUT	32	SIOF_RXD/HAC_SDIN/SSI_SCK	OUTPUT
67	IRQ/IRL6/FD6/MODE6	CONTROL	31	SIOF_RXD/HAC_SDIN/SSI_SCK	CONTROL
66	IRQ/IRL6/FD6/MODE6	INPUT	30	SIOF_RXD/HAC_SDIN/SSI_SCK	INPUT
65	IRQ/IRL7/FD7	OUTPUT	29	SIOF_SYNC/HAC_SYNC/SSI_WS	OUTPUT
64	IRQ/IRL7/FD7	CONTROL	28	SIOF_SYNC/HAC_SYNC/SSI_WS	CONTROL
63	IRQ/IRL7/FD7	INPUT	27	SIOF_SYNC/HAC_SYNC/SSI_WS	INPUT
62	SCIF0_SCK/HSPI_CLK/FRE	OUTPUT	26	SIOF_MCLK/HAC_RES	OUTPUT
61	SCIF0_SCK/HSPI_CLK/FRE	CONTROL	25	SIOF_MCLK/HAC_RES	CONTROL
60	SCIF0_SCK/HSPI_CLK/FRE	INPUT	24	SIOF_MCLK/HAC_RES	INPUT
59	TCLK/IOIS16	OUTPUT	23	SIOF_SCK/HAC_BITCLK/SSI_CLK	OUTPUT
58	TCLK/IOIS16	CONTROL	22	SIOF_SCK/HAC_BITCLK/SSI_CLK	CONTROL
57	TCLK/IOIS16	INPUT	21	SIOF_SCK/HAC_BITCLK/SSI_CLK	INPUT
56	SCIF0_TXD/HSPI_TX/FWE/MODE8	OUTPUT	20	AUDATA0/FD0	OUTPUT
55	SCIF0_TXD/HSPI_TX/FWE/MODE8	CONTROL	19	AUDATA0/FD0	CONTROL
54	SCIF0_TXD/HSPI_TX/FWE/MODE8	INPUT	18	AUDATA0/FD0	INPUT
53	SCIF0_RXD/HSPI_RX/FRB	OUTPUT	17	AUDATA1/FD1	OUTPUT
52	SCIF0_RXD/HSPI_RX/FRB	CONTROL	16	AUDATA1/FD1	CONTROL
51	SCIF0_RXD/HSPI_RX/FRB	INPUT	15	AUDATA1/FD1	INPUT
50	SCIF0_CTS/INTD/FCLE	OUTPUT	14	AUDATA2/FD2	OUTPUT
49	SCIF0_CTS/INTD/FCLE	CONTROL	13	AUDATA2/FD2	CONTROL
48	SCIF0_CTS/INTD/FCLE	INPUT	12	AUDATA2/FD2	INPUT
47	SCIF0_RTS/HSPI_CS/FSE	OUTPUT	11	AUDATA3/FD3	OUTPUT
46	SCIF0_RTS/HSPI_CS/FSE	CONTROL	10	AUDATA3/FD3	CONTROL
45	SCIF0_RTS/HSPI_CS/FSE	INPUT	9	AUDATA3/FD3	INPUT
44	SCIF1_SCK/MCCMD	OUTPUT	8	AUDCK/FALE	OUTPUT
43	SCIF1_SCK/MCCMD	CONTROL	7	AUDCK/FALE	CONTROL
42	SCIF1_SCK/MCCMD	INPUT	6	AUDCK/FALE	INPUT
41	SCIF1_TXD/MCCLK/MODE5	OUTPUT	5	AUDSYNC/FCE	OUTPUT
40	SCIF1_TXD/MCCLK/MODE5	CONTROL	4	AUDSYNC/FCE	CONTROL
39	SCIF1_TXD/MCCLK/MODE5	INPUT	3	AUDSYNC/FCE	INPUT
38	SCIF1_RXD/MCDAT	OUTPUT	2	ASEBRK/BRKACK	OUTPUT
37	SCIF1_RXD/MCDAT	CONTROL	1	ASEBRK/BRKACK	CONTROL
36	SCIF1_RXD/MCDAT	INPUT	0	ASEBRK/BRKACK	INPUT
35	SIOF_TXD/HAC_SDOOUT/SSI_SDATA	OUTPUT	To TDO		
34	SIOF_TXD/HAC_SDOOUT/SSI_SDATA	CONTROL			

【注】 CONTROL はローアクティブの信号。CONTROL を LOW にすることで、該当ピンを OUT 値でドライブする。

## 30.5 動作説明

### 30.5.1 TAP 制御

図 30.3 に TAP 制御回路の内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

- 遷移条件はTCKの立ち上がりエッジにおけるTMS値です。
- TDI値はTCKの立ち上がりエッジでサンプリングし、TCKの立ち下がりエッジでシフトします。
- TDO値はTCKの立ち下がりエッジで変化します。またTDOはShift-DR、Shift-IRステート以外ではハイインピーダンス状態です。
- $\overline{\text{TRST}}=0$ への遷移でTCKとは非同期で"Test-Logic-Reset"状態へ遷移します。

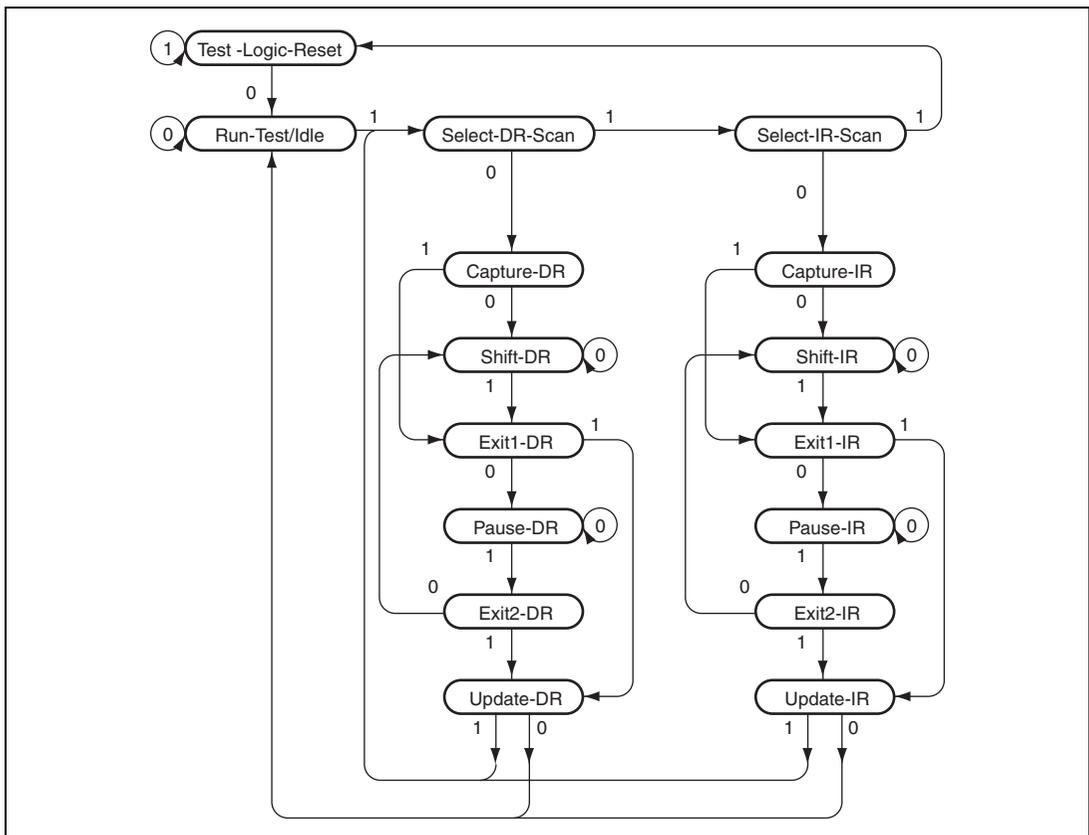


図30.3 TAP 制御状態遷移図

### 30.5.2 H-UDI リセット

SDIR コマンドによりパワーオンリセットをかけられます。H-UDI の端子から H-UDI リセット・アサートコマンドを送り、さらに H-UDI リセット・ネゲートコマンドを送ることでリセットをかけます (図 30.4 参照)。H-UDI リセット・アサートコマンドと H-UDI リセット・ネゲートコマンド間に必要な時間は、パワーオンリセットをかけるためにリセット端子をローレベルに保つ時間と同じです。

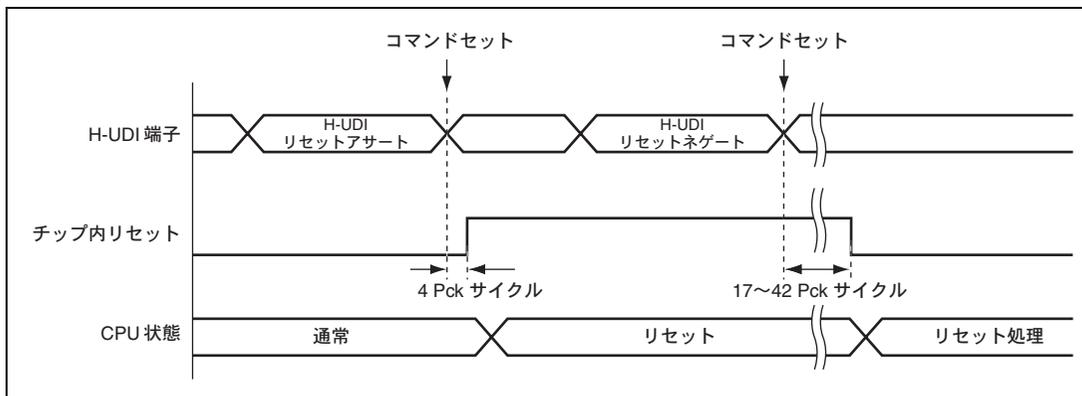


図30.4 H-UDI リセット

### 30.5.3 H-UDI 割り込み

H-UDI 割り込み機能は、H-UDI から SDIR にコマンド値を設定することにより割り込みを発生させる機能です。H-UDI 割り込みは一般例外/割り込み動作であり、VBR に基づいたアドレスに分岐し、RTE 命令で復帰します。この時、割り込み事象レジスタ INTEVT に格納される例外コードは H'600 です。また割り込み優先順位は、割り込みコントローラの INT2PRI3 レジスタのビット 28~24 により設定することができます。

H-UDI 割り込みの要求信号は、コマンドセット後 (Update-IR) に SDINT レジスタの INTREQ ビットが 1 になることによりアサートされます。ソフトウェアにより INTREQ ビットに 0 を書き込まない限り割り込み要求信号はネゲートされませんので、割り込み要求を取りこぼすことはありません。H-UDI 割り込みコマンドが SDIR にセットされている間は、TDI と TDO の間に SDINT が接続されます。

## 30.6 注意事項

一度設定した SDIR コマンドは  $\overline{\text{TRST}}$  のアサート、または TAP を Test-Logic-Reset 状態にすることによる初期化以外は H-UDI から他のコマンドを書き込まない限り変化しません。

スリープモードは、H-UDI 割り込み、H-UDI リセットにより解除され、それらの要求を受け付けます。

H-UDI は、エミュレータの接続に使用されます。したがって、エミュレータを使用する場合には、H-UDI の機能は使用できません。

## 31. 電気的特性

### 31.1 絶対最大定格<sup>\*1\*2</sup>

表 31.1 絶対最大定格

項目	記号	定格値	単位
I/O、RTC、電源電圧	$V_{DDQ}$ $V_{DD-RTC}$	-0.3~4.6	V
	$V_{CCQ-DDR}$	-0.3~3.6	
内部電源電圧	$V_{DD}$ $V_{DD-PLL1/2/3}$ $V_{DD-DLL1/2}$	-0.3~1.8	V
入力電圧	$V_{in}$	$-0.3 \sim V_{DDQ} + 0.3^{*3}$	V
	$V_{in-DDR}$	$-0.3 \sim V_{CCQ-DDR} + 0.3^{*3}$	
動作温度	$T_{opr}$	-20~75 -40~85 <sup>*4</sup>	°C
保存温度	$T_{stg}$	-55~125	°C

- 【注】 \*1 最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
- \*2 すべての  $V_{SS}$  を GND に接続しない場合、LSI の永久破壊となることがあります。
- \*3 上限は電源電圧を超えないこと。
- \*4 R8A77800ADBG (V) のみ ("V"は鉛フリー製品)。
- \*5 電源投入遮断手順については「付録 H. 電源投入遮断手順」を参照してください。
- \*6 下記に示す端子はパワーオンリセット直後にポート出力となるため信号を入力しないようにしてください。
- $\overline{DACK0}/MODE0$  (ポート L3 出力端子)
  - $\overline{DACK1}/MODE1$  (ポート L2 出力端子)
  - $\overline{DRAK0}/MODE2$  (ポート L1 出力端子)
  - $\overline{DRAK1}/MODE7$  (ポート L0 出力端子)
  - $\overline{DRAK2}/\overline{CE2A}/AUDCK$  (ポート K1 出力端子)
  - $\overline{DRAK3}/\overline{CE2B}/AUDSYNC$  (ポート K0 出力端子)
  - $\overline{SCIF0\_TXD}/\overline{HSPL\_TX}/\overline{FWWE}/MODE8$  (ポート H3 出力端子)

## 31. 電気的特性

### 31.2 DC 特性

表 31.2 DC 特性

( $T_a = -20 \sim 75^\circ\text{C}$ 、 $-40 \sim 85^\circ\text{C}$ )

項目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		$V_{DDQ}$	3.0	3.3	3.6	V	通常動作時
		$V_{DD-RTC}$	3.0	3.3	3.6		スリープモード時
			2.0	—	3.6		RTC バックアップモード
		$V_{DD}$	1.15	1.25	1.35		通常動作時
		$V_{DD-PLL1/2/3}$ $V_{DD-DLL1/2}$					スリープモード時
		$V_{CCQ-DDR}$	2.3	2.5	2.7	通常動作時	
参照電圧		DDR- $V_{REF}$	1.15	1.25	1.35		スリープモード時 DDR バックアップモード
消費電流	通常動作	$I_{DD}$	—	740	1300	mA	ICK=400MHz
	スリープモード		—	—	530		
	通常動作	$I_{DDQ}$	—	150	220	mA	ICK=400MHz BCK=100MHz
	スリープモード		—	—	90		
	通常動作	$\Sigma I_{DD-PLL}$	—	—	25	mA	
		$\Sigma I_{DD-DLL}$	—	—	400		
	DDR 通常動作	$I_{CCQ-DDR}$	—	—	530	mA	DDRCk=160MHz
	DDR バックアップモード		—	—	160		
	RTC 動作	$I_{DD-RTC}$	—	—	660	$\mu\text{A}$	$V_{DD-RTC}=3.3\text{V}$
RTC バックアップモード	—		—	8	32.768kHz $V_{DD-RTC}=2.0\text{V}$		
入力電圧	PRESET、NMI、TRST、 ASEBRK/BRKACK、 SCIF0_RTS、 IRQ/IRL7/FD7、 IRQ/IRL6/FD6/MODE6、 IRQ/IRL5/FD5/MODE4、 IRQ/IRL4/FD4/MODE3、 IRQ/IRL3、IRQ/IRL2、 IRQ/IRL1、IRQ/IRL0	$V_{IH}$	$V_{DDQ} \times 0.9$	—	$V_{DDQ} + 0.3$	V	$V_{DDQ} = 3.0 \sim 3.6\text{V}$
	DDR 端子		DDR- $V_{REF}$ +0.15	—	$V_{CCQ-DDR}$ +0.3		DDR- $V_{REF} = 1.15 \sim 1.35\text{V}$ $V_{CCQ-DDR} = 2.3 \sim 2.7\text{V}$
	PCICLK		$V_{DDQ} \times 0.6$	—	$V_{DDQ} + 0.3$		$V_{DDQ} = 3.0 \sim 3.6\text{V}$
	その他の PCI 端子		$V_{DDQ} \times 0.5$	—	$V_{DDQ} + 0.3$		
	その他の入力端子		2	—	$V_{DDQ} + 0.3$		

項目		記号	Min.	Typ.	Max.	単位	測定条件
入力電圧	PRESET、NMI、TRST、 ASEBRK/BRKACK、 SCIF0_RTS、 IRQ/IRL7/FD7、 IRQ/IRL6/FD6/MODE6、 IRQ/IRL5/FD5/MODE4、 IRQ/IRL4/FD4/MODE3、 IRQ/IRL3、IRQ/IRL2、 IRQ/IRL1、IRQ/IRL0	$V_{IL}$	-0.3	-	$V_{DD0} + 0.3$	V	$V_{DD0} = 3.0 \sim 3.6V$
	DDR 端子		-0.3	-	$DDR-V_{REF} - 0.15$		$DDR-V_{REF} = 1.15 \sim 1.35V$
	PCICLK		-0.3	-	$V_{DD0} \times 0.2$		$V_{DD0} = 3.0 \sim 3.6V$
	その他の PCI 端子		-0.3	-	$V_{DD0} \times 0.3$		
	その他の入力端子		-0.3	-	$V_{DD0} \times 0.2$		
入力リーク電流	DDR 端子	ILI	-	-	2	$\mu A$	$V_{IN} = 0.5$ 、 $V_{CCQ-DDR} = -0.5V$
	全入力端子	IIInI	-	-	1		$V_{IN} = 0.5$ 、 $V_{DD0} = -0.5V$
スリーステートリーク電流	入出力、全出力端子 (オフ状態)	IIstI	-	-	1		
出力電圧	PCI 端子	$V_{OH}$	2.4	-	-	V	$V_{DD0} = 3.0 \sim 3.6V$ $I_{OH} = -4mA$
	DDR 端子		1.84	-	-		$V_{CCQ-DDR} = 2.3V$ $I_{OH} = -7.6mA$
	その他の端子		2.4	-	-		$V_{DD0} = 3.0 \sim 3.6V$ $I_{OH} = -2mA$
	PCI 端子	$V_{OL}$	-	-	0.55		$V_{DD0} = 3.0 \sim 3.6V$ $I_{OL} = 4mA$
	DDR 端子		-	-	0.54		$V_{CCQ-DDR} = 2.3V$ $I_{OL} = 7.6mA$
	その他の端子		-	-	0.55		$V_{DD0} = 3.0 \sim 3.6V$ $I_{OL} = 2mA$
ブルアップ抵抗	全端子	$R_{pull}$	20	60	180	k $\Omega$	
端子容量	DDR 端子	$C_L$	-	-	5	pF	
	その他		-	-	10		

【注】 消費電流値は、 $V_{IH} (Min.) = V_{DD0} - 0.5V$  および  $V_{IL} (Max.) = 0.5V$  の条件で、すべての出力端子を無負荷状態にした場合の値です。

## 31. 電気的特性

表 31.3 出力許容電流値

項 目	記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流 (DDR1 端子あたり)	$I_{OL}$	—	—	16	mA
出力ローレベル許容電流 (PCI1 端子あたり)		—	—	4	
出力ローレベル許容電流 (DDR と PCI 以外の 1 端子あたり)		—	—	2	
出力ハイレベル許容電流 (総和)	$\Sigma I_{OL}$	—	—	120	
出力ハイレベル許容電流 (DDR1 端子あたり)	$-I_{OL}$	—	—	16	mA
出力ハイレベル許容電流 (PCI1 端子あたり)		—	—	4	
出力ハイレベル許容電流 (DDR と PCI 以外の 1 端子あたり)		—	—	2	
出力ハイレベル許容電流 (総和)	$\Sigma  I_{OH} $	—	—	40	

【注】 LSI の信頼性を確保するため、出力電流値は表 31.3 の値を超えないようにしてください。

### 31.3 AC 特性

本 LSI の入力は、原則としてクロック同期入力です。特に断りがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 31.4 クロックタイミング

項 目		記号	Min.	Typ.	Max.	単位
動作周波数	CPU、FPU、キャッシュ、TLB	f	2	—	402	MHz
	DDR-SDRAM バス		112	—	164	
	外部バス		2	—	101	
	PCI バス		DC	—	67	
	周辺モジュール		2.5	—	51	
	RTC 発振器		32	—	33	kHz

#### 31.3.1 クロック・制御信号タイミング

表 31.5 クロック・制御信号タイミング

( $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim 75^\circ C/-40\sim 85^\circ C$ 、 $C_L=30pF$ )

項 目		記号	Min.	Max.	単位	参照図
EXTAL クロック入力周波数	PLL1 24 通倍/PLL2 動作時	f <sub>EX</sub>	2	33.4	MHz	
EXTAL クロック入力サイクル時間		t <sub>EXyc</sub>	30	500	ns	31.1
EXTAL クロック入力ローレベルパルス幅		t <sub>EXL</sub>	3.5	—	ns	31.1
EXTAL クロック入力ハイレベルパルス幅		t <sub>EXH</sub>	3.5	—	ns	31.1
EXTAL クロック入力立ち上がり時間		t <sub>EXr</sub>	—	4	ns	31.1
EXTAL クロック入力立ち下がり時間		t <sub>EXf</sub>	—	4	ns	31.1
CLKOUT クロック出力	PLL1/PLL2 動作時	t <sub>OP</sub>	25	101	MHz	
CLKOUT クロック出力サイクル時間		t <sub>CLKOUTyc</sub>	10	40	ns	31.2
CLKOUT クロック出力ローレベルパルス幅		t <sub>CLKOUTL1</sub>	1	—	ns	31.2
CLKOUT クロック出力ハイレベルパルス幅		t <sub>CLKOUTH1</sub>	1	—	ns	31.2
CLKOUT クロック出力立ち上がり時間		t <sub>CLKOUTr</sub>	—	3	ns	31.2
CLKOUT クロック出力立ち下がり時間		t <sub>CLKOUTf</sub>	—	3	ns	31.2
CLKOUT クロック出力ローレベルパルス幅		t <sub>CLKOUTL2</sub>	3	—	ns	31.3
CLKOUT クロック出力ハイレベルパルス幅		t <sub>CLKOUTH2</sub>	3	—	ns	31.3
パワーオン発振安定時間		t <sub>OSC1</sub>	18	—	ms	31.4
パワーオン発振安定時間/モード安定時間		t <sub>OSCMD</sub>	18	—	ms	31.4
パワーオン RTC 発振安定時間		t <sub>RTC-OSC</sub>	—	3	s	
MODEn リセットセットアップ時間		t <sub>MDRS</sub>	3	—	t <sub>eyc</sub>	31.5
MODEn リセットホールド時間		t <sub>MDRH</sub>	0	—	ns	31.5

### 31. 電氣的特性

項目	記号	Min.	Max.	単位	参照図
PRESET アサート時間	$t_{RESW}$	20	—	$t_{cyc}$	31.4
PLL 同期安定時間	$t_{PLL}$	200	—	$\mu s$	31.6
TRST リセットホールド時間	$t_{TRSTRH}$	0	—	ns	31.4

- 【注】
1. 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 33.4MHz になります。また、3 次オーバートーン水晶発振子を使用する場合には、外付け回路としてタンク回路が必要になります。
  2. CLKOUT 端子への接続負荷容量は最大 50pF としてください。
  3.  $t_{cyc}$  は CLKOUT クロックの 1 サイクル時間を示します。

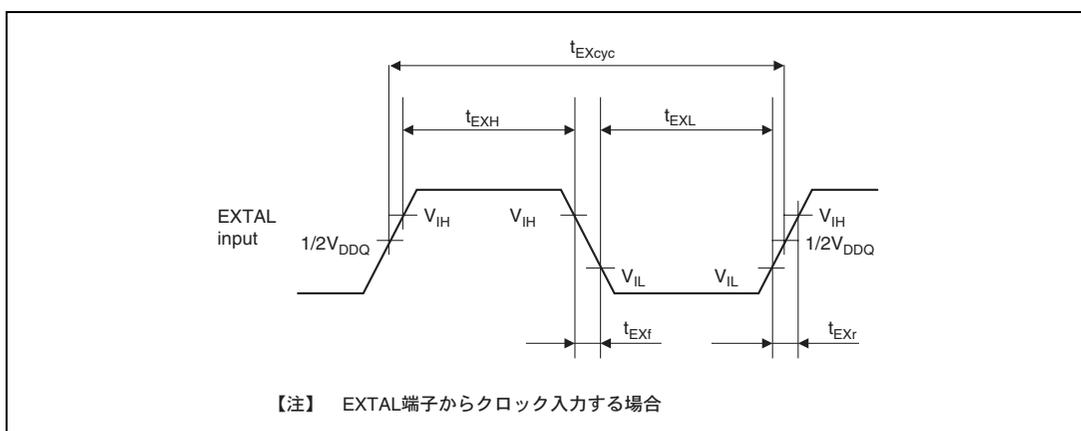


図 31.1 EXTAL クロック入力タイミング

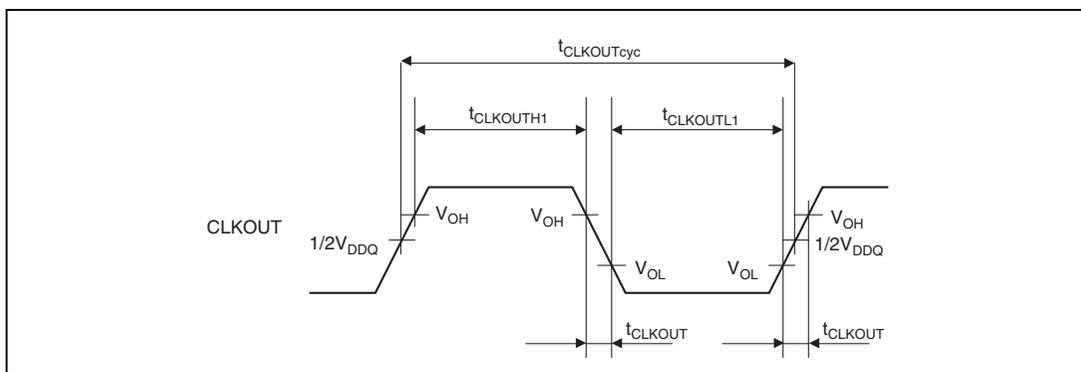


図 31.2 CLKOUT クロック出力タイミング (1)

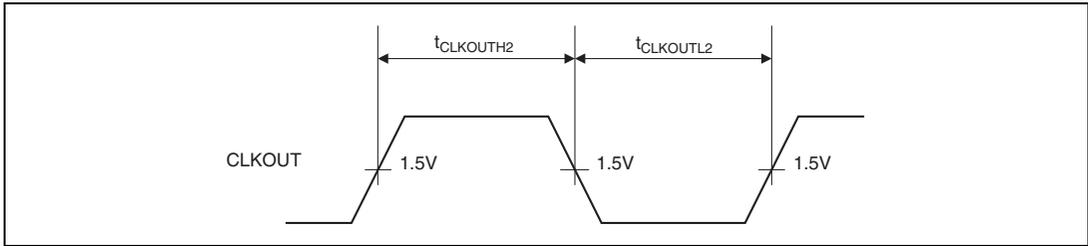


図 31.3 CLKOUT クロック出カタイミング (2)

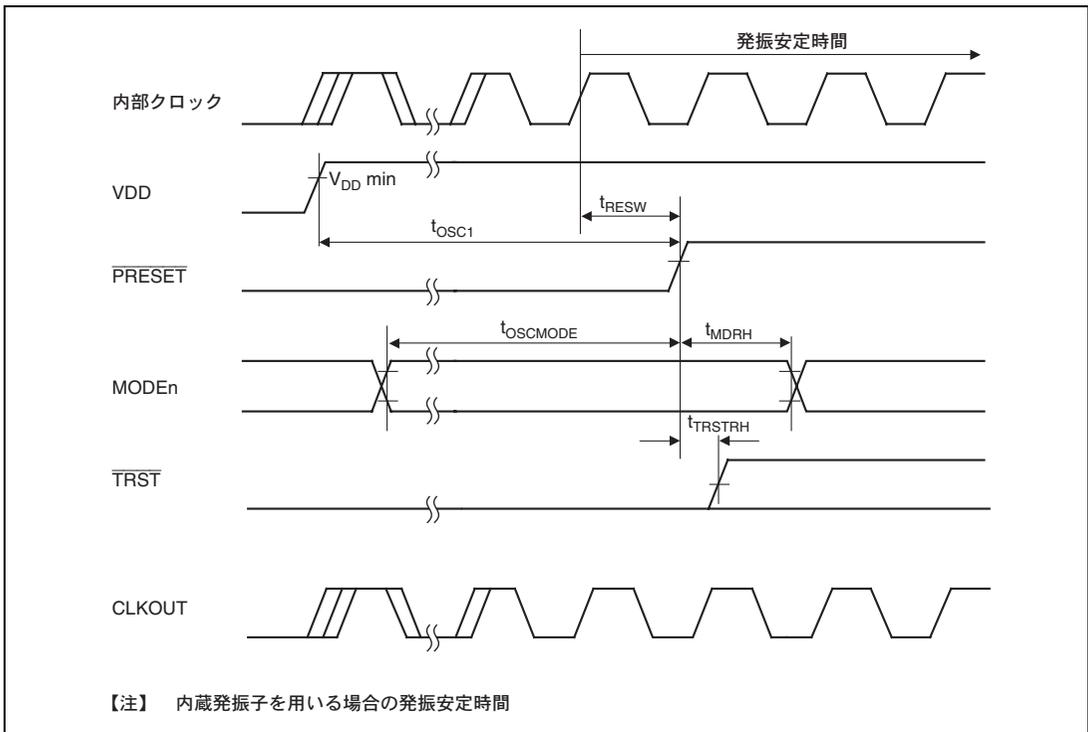


図 31.4 パワーオン時発振安定時間

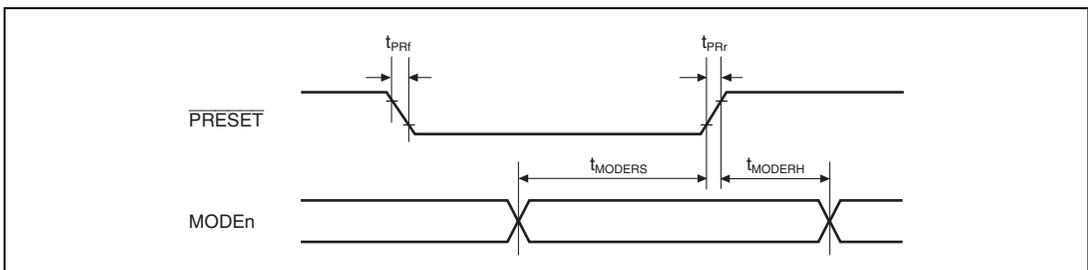


図 31.5 MODE 端子セットアップ/ホールドタイミング

### 31. 電氣的特性

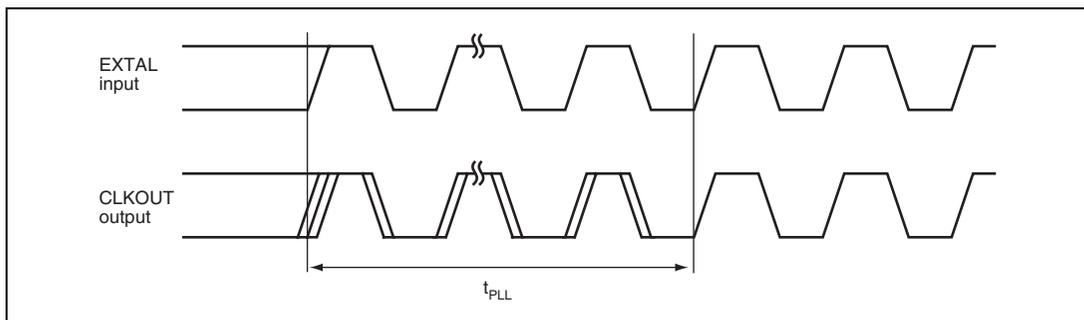


图 31.6 PLL 同期安定時間

## 31.3.2 制御信号タイミング

表 31.6 制御信号タイミング

(V<sub>DD0</sub> = 3.0~3.6V、V<sub>DD</sub> = 1.25V、T<sub>a</sub> = -20~75°C/-40~85°C、C<sub>L</sub> = 30pF)

項目	記号	Min.	Max.	単位	参照図
BREQ セットアップ時間	t <sub>BREQS</sub>	2.5	—	ns	31.7
BREQ ホールド時間	t <sub>BREQH</sub>	1.5	—	ns	31.7
BACK 遅延時間	t <sub>BACKD</sub>	1.5	6	ns	31.7
バストライステート遅延時間	t <sub>BOFF1</sub>	—	12	ns	31.7
バスバッファオンタイム	t <sub>BON1</sub>	—	12	ns	31.7

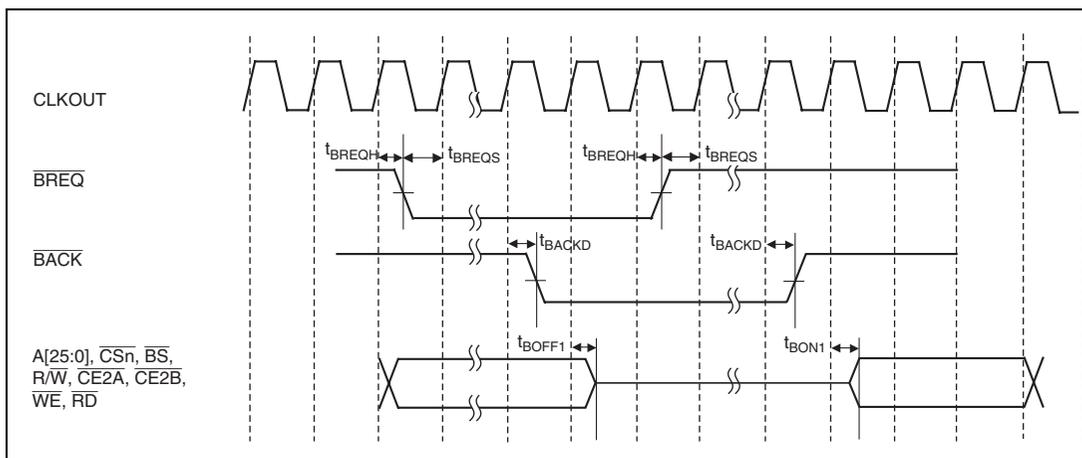
【注】 t<sub>cy</sub> は CLKOUT クロックの 1 サイクル時間を示します。

図 31.7 制御信号タイミング

## 31. 電気的特性

### 31.3.3 バスタイミング

表 31.7 バスタイミング

( $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim 75^{\circ}C/-40\sim 85^{\circ}C$ 、 $C_L=30pF$ )

項 目	記号	Min.	Max.	単位	備考
アドレス遅延時間	$t_{AD}$	1.5	6	ns	
$\overline{BS}$ 遅延時間	$t_{SSD}$	1.5	6	ns	
$CS\bar{n}$ 遅延時間	$t_{CSD}$	1.5	6	ns	
$\overline{R/W}$ 遅延時間	$t_{RWD}$	1.5	6	ns	
$RD$ 遅延時間	$t_{RSD}$	1.5	6	ns	
読み出しデータセットアップ時間	$t_{RDS}$	2.5	—	ns	
読み出しデータホールド時間	$t_{RDH}$	1.5	—	ns	
$\overline{WEn}$ 遅延時間 (立ち下がりエッジ時)	$t_{WEDF}$	—	6	ns	CLKOUT の立ち下がりエッジに対して
$\overline{WEn}$ 遅延時間	$t_{WED1}$	1.5	6	ns	
書き込みデータ遅延時間	$t_{WDD}$	1.5	6	ns	
$RD\bar{Y}$ セットアップ時間	$t_{RDYS}$	2.5	—	ns	
$RD\bar{Y}$ ホールド時間	$t_{RDYH}$	1.5	—	ns	
FRAME 遅延時間	$t_{FMD}$	1.5	6	ns	MPX
$\overline{IOIS16}$ セットアップ時間	$t_{IO16S}$	2.5	—	ns	PCMCIA
$\overline{IOIS16}$ ホールド時間	$t_{IO16H}$	1.5	—	ns	PCMCIA
$\overline{IOWR}$ 遅延時間 (立ち下がりエッジ時)	$t_{ICWSDF}$	1.5	6	ns	PCMCIA
$\overline{IORD}$ 遅延時間	$t_{ICRSD}$	1.5	6	ns	PCMCIA
DACK 遅延時間	$t_{DACD}$	1.5	6	ns	

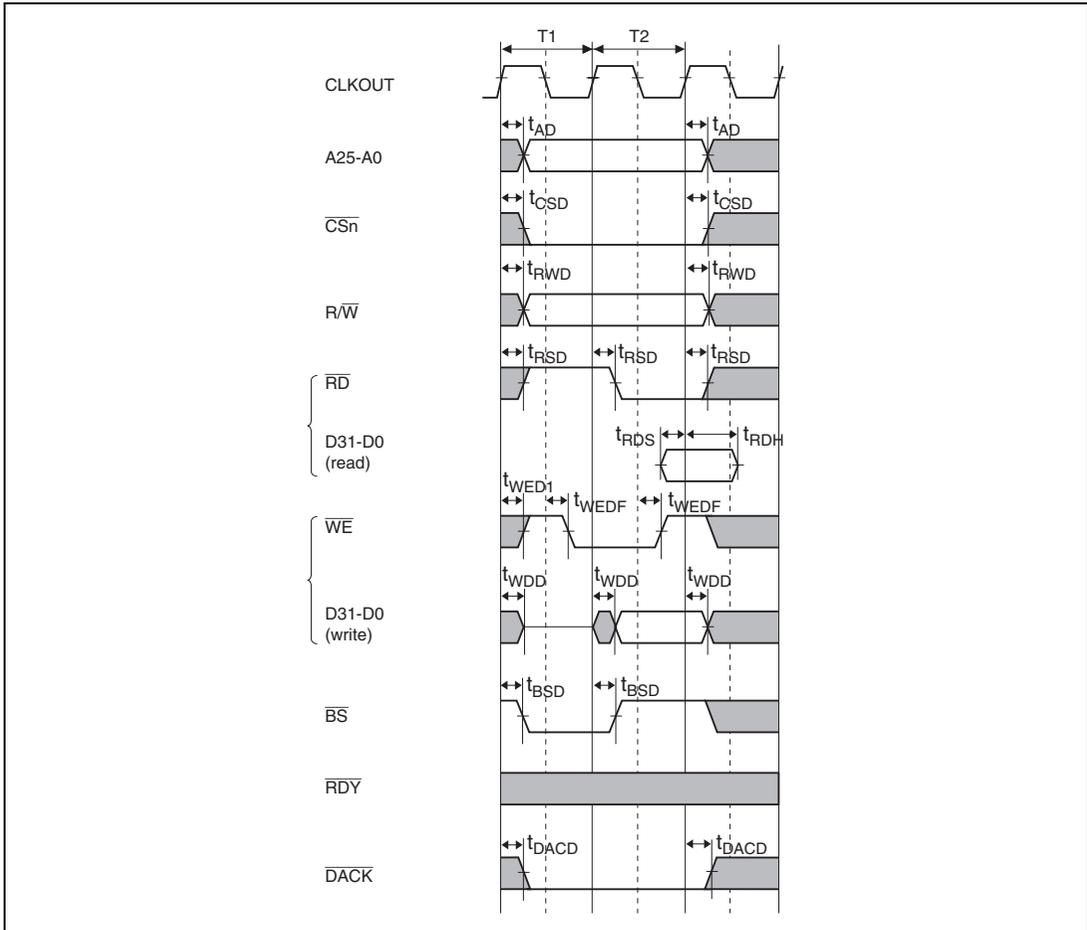


図 31.8 SRAM バスサイクル 基本バスサイクル (ノーウェイト)

### 31. 電気的特性

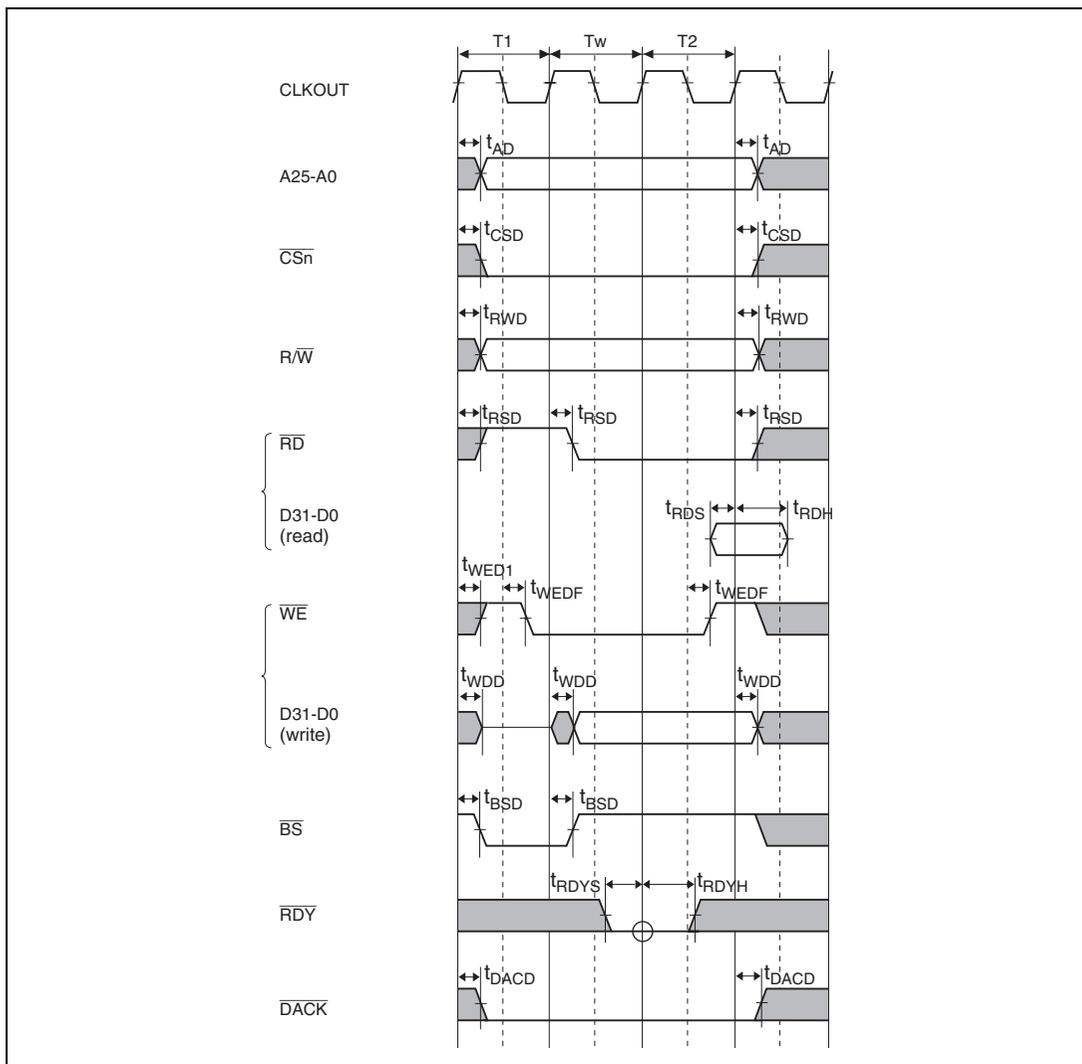


図 31.9 SRAM バスサイクル 基本バスサイクル (ソフトウェアウェイトのみ)

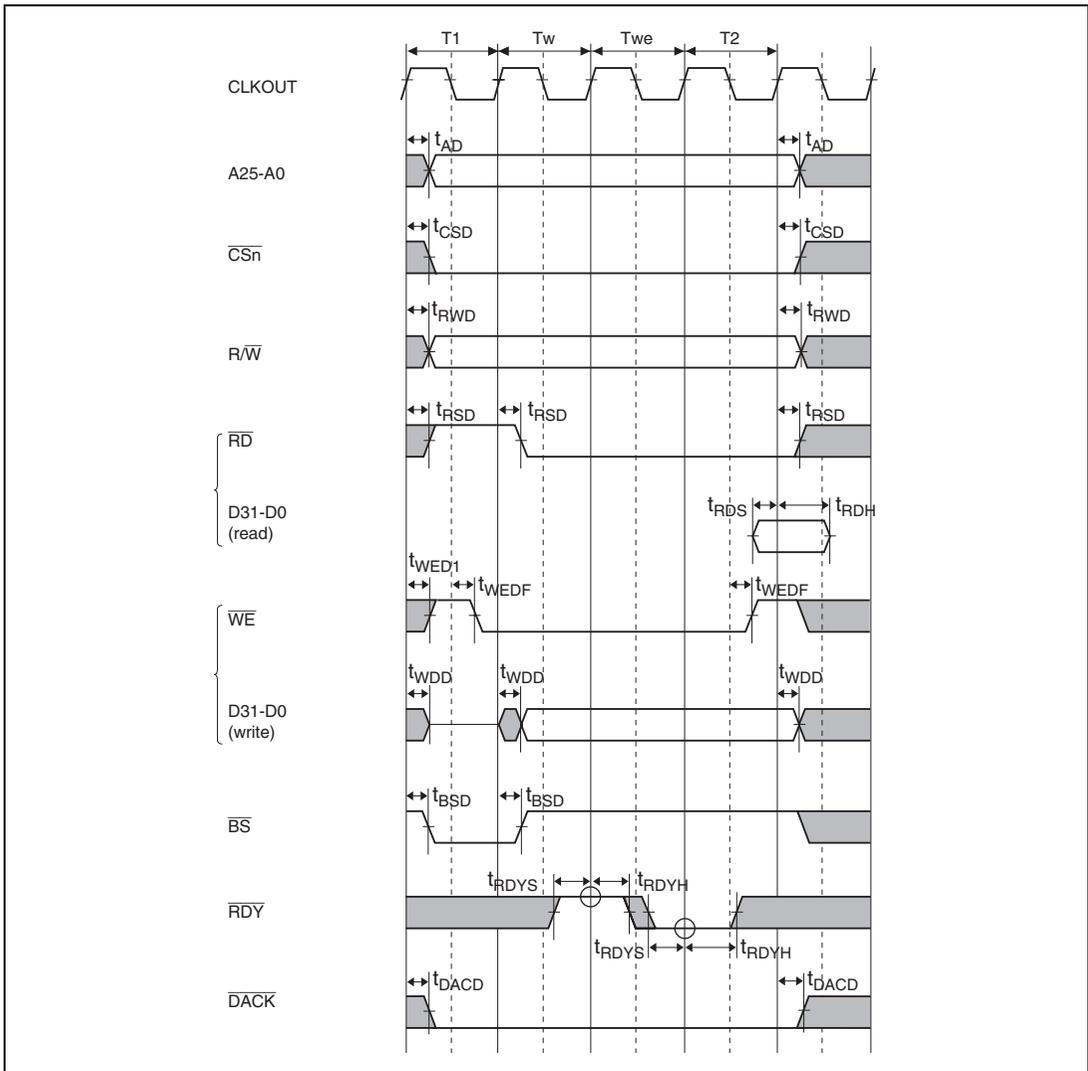


図 31.10 SRAM バスサイクル 基本バスサイクル  
 (ソフトウェアウェイト+RDYによるウェイト、RDYは同期入力)

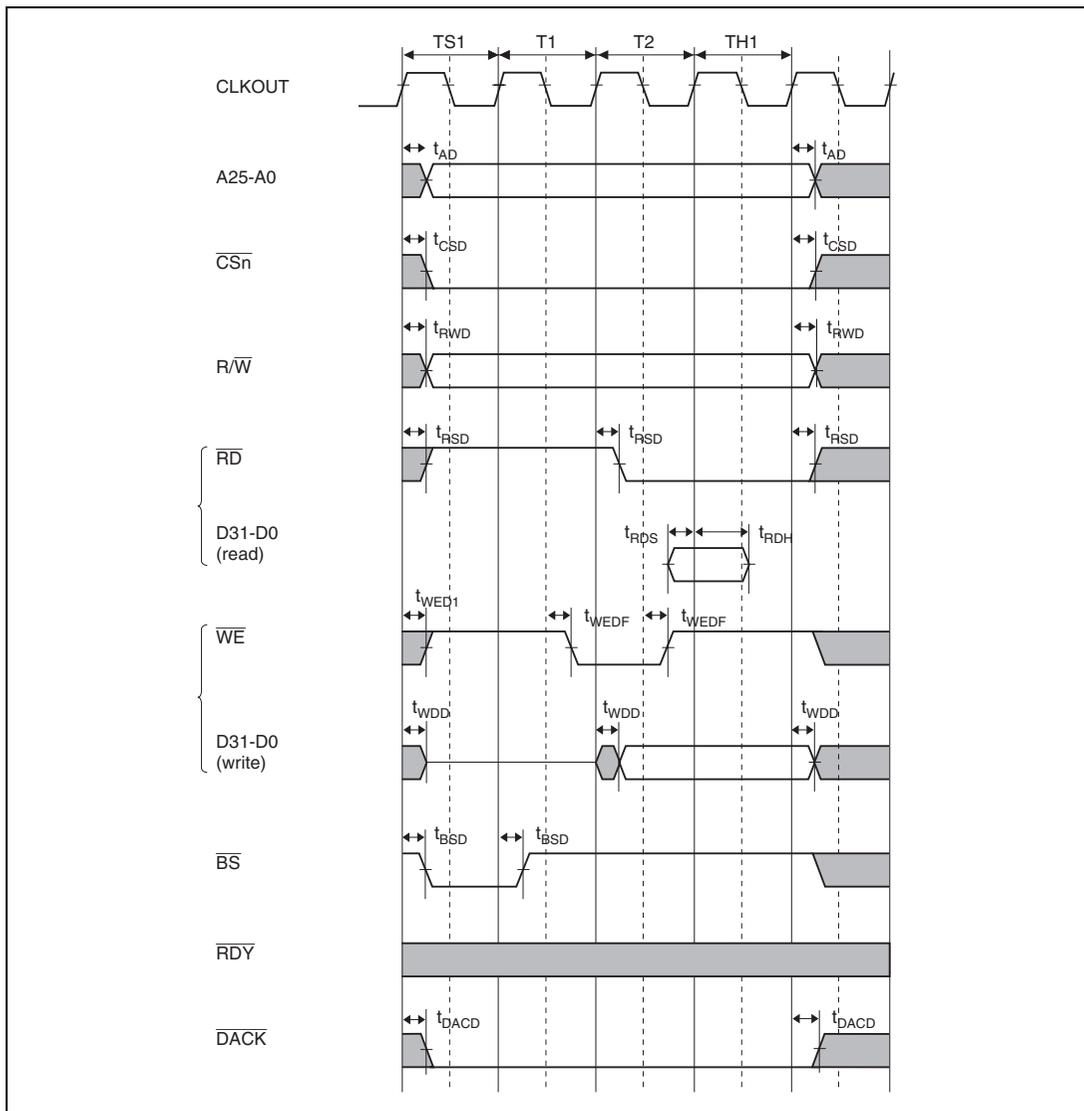


図 31.11 SRAM バスサイクル 基本バスサイクル

(ノーウェイト、アドレスセットアップ/ホールド挿入なし、RDS=1、RDH=0、WTS=1、WTH=1)

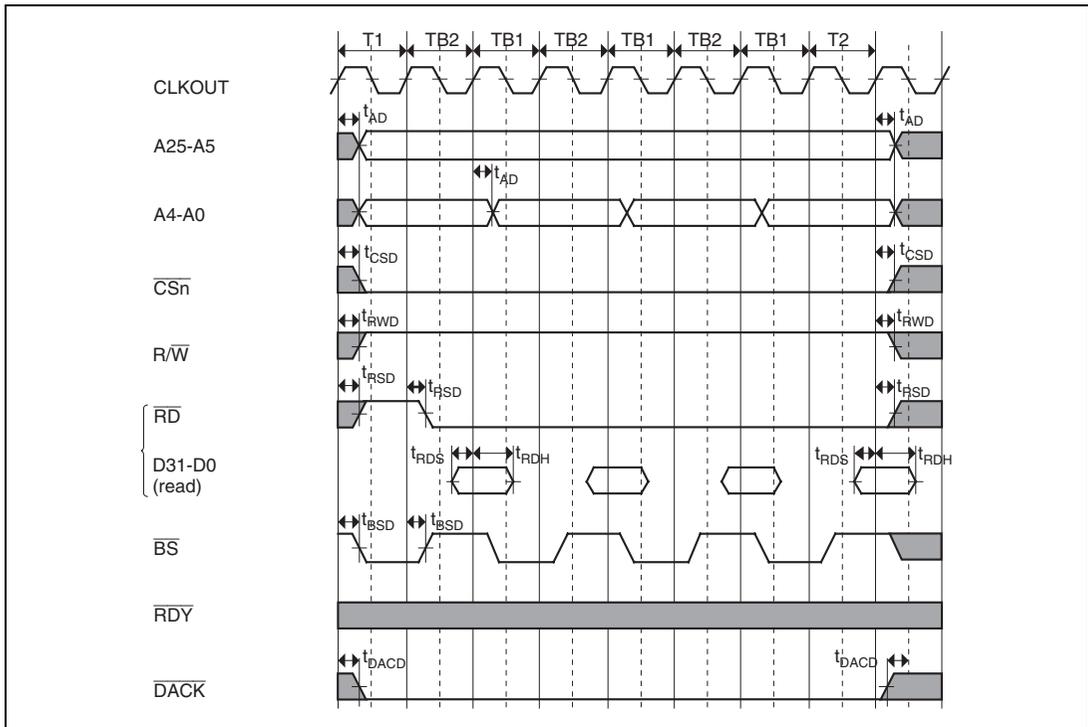


図 31.12 バースト ROM バスサイクル (ノーウェイト)

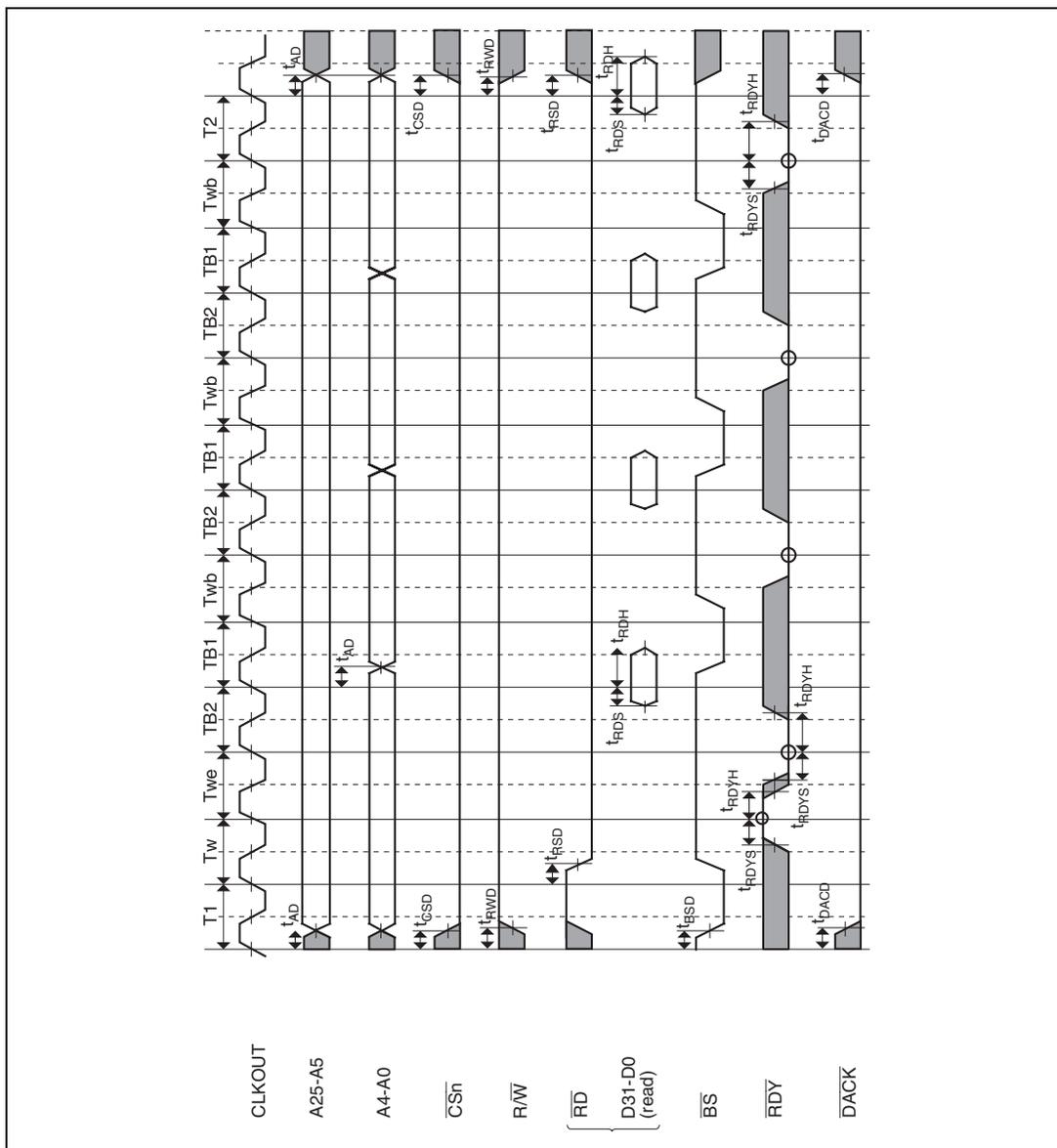


図 31.13 バースト ROM バスサイクル  
 (1番目のデータ：ソフトウェアウェイト+RDYによるウェイト  
 2、3、4番目のデータ：ソフトウェアウェイトのみ)

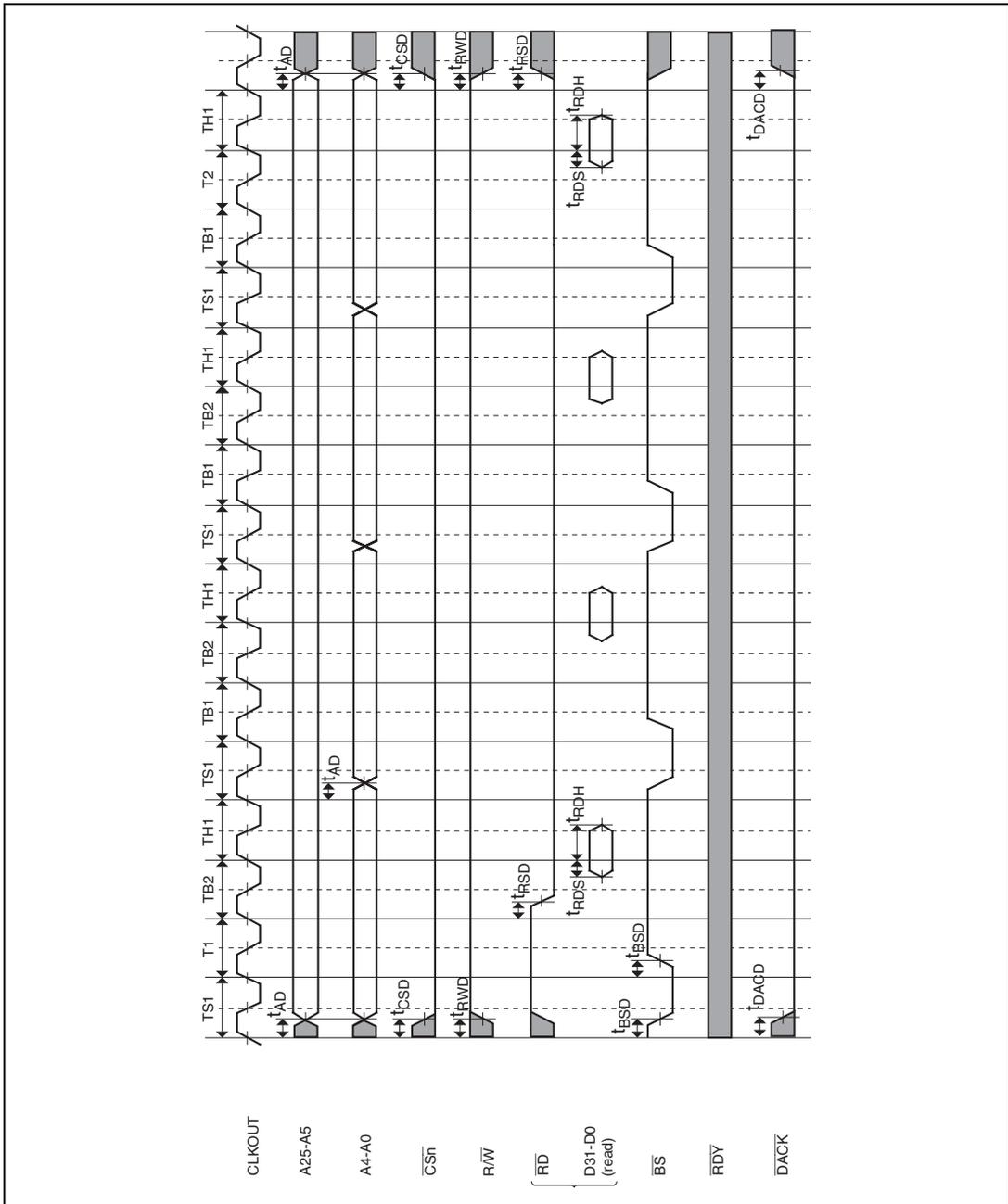


図 31.14 バースト ROM バスサイクル  
 (ノーウェイト、アドレスセットアップ/ホールド挿入無し、RDS=1、RDH=0)

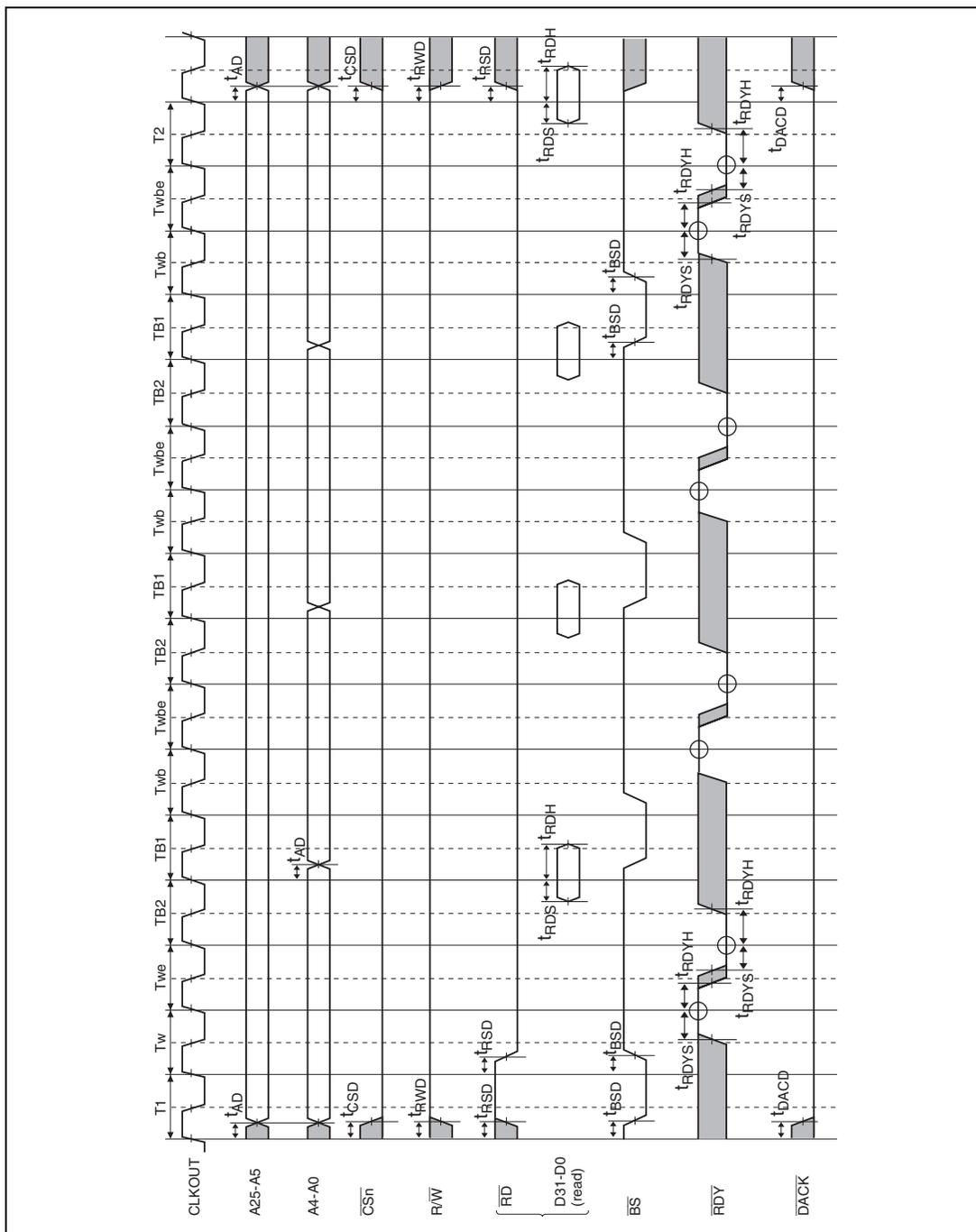


図 31.15 バースト ROM バスサイクル  
(ソフトウェアウェイト+ RDY によるウェイト)

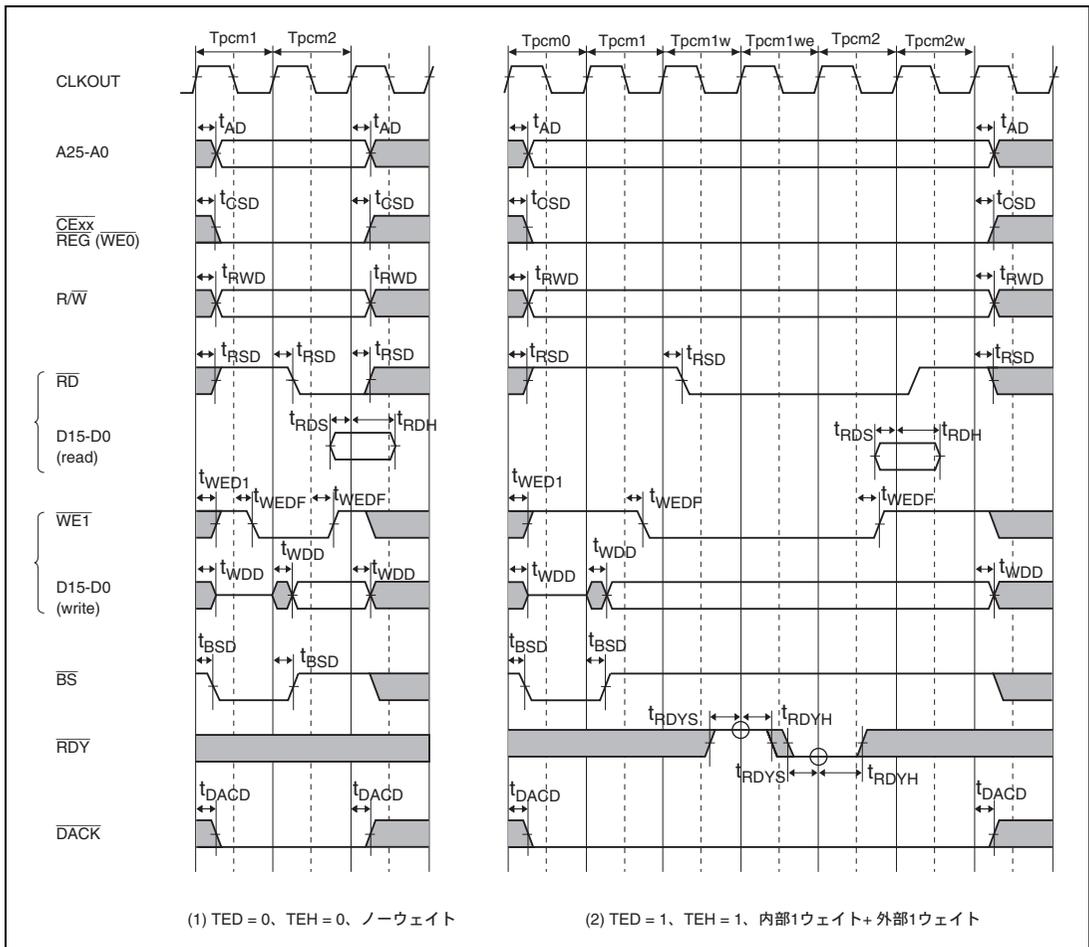


図 31.16 PCMCIA メモリバスサイクル

### 31. 電気的特性

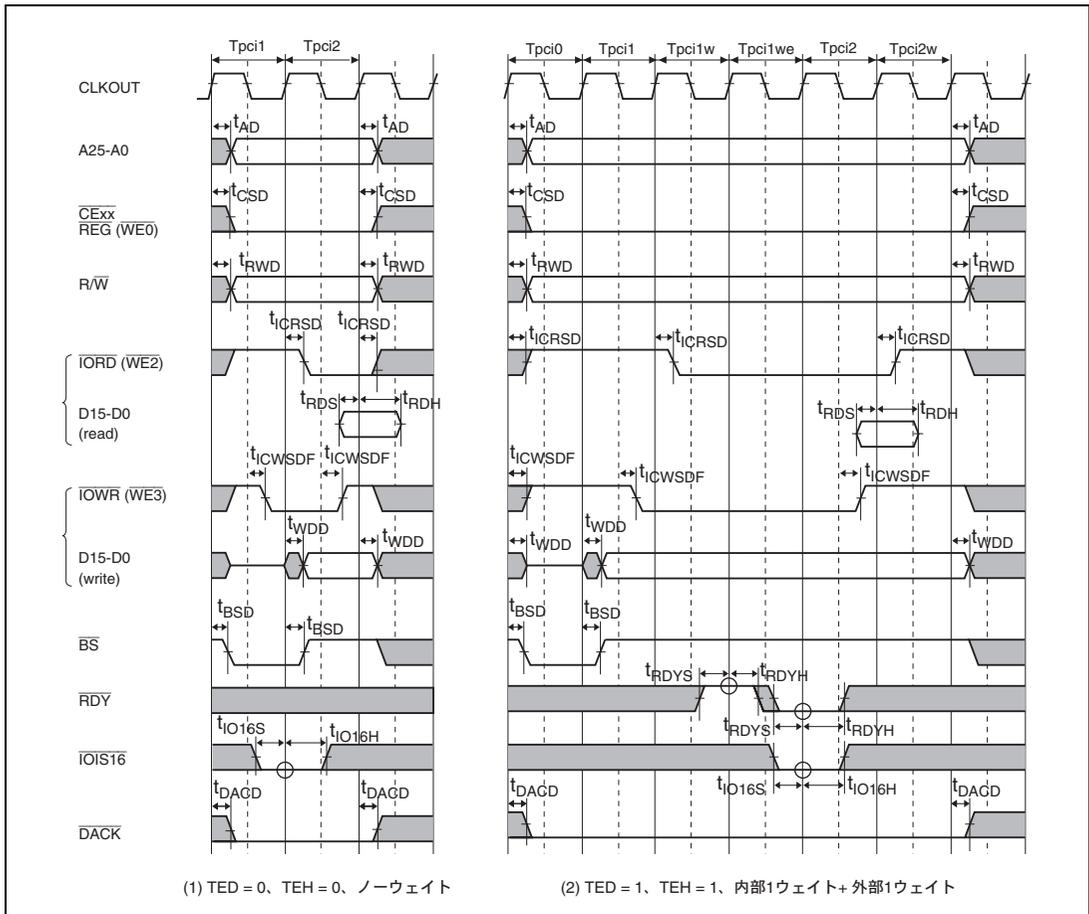


図 31.17 PCMCIA I/O バスサイクル

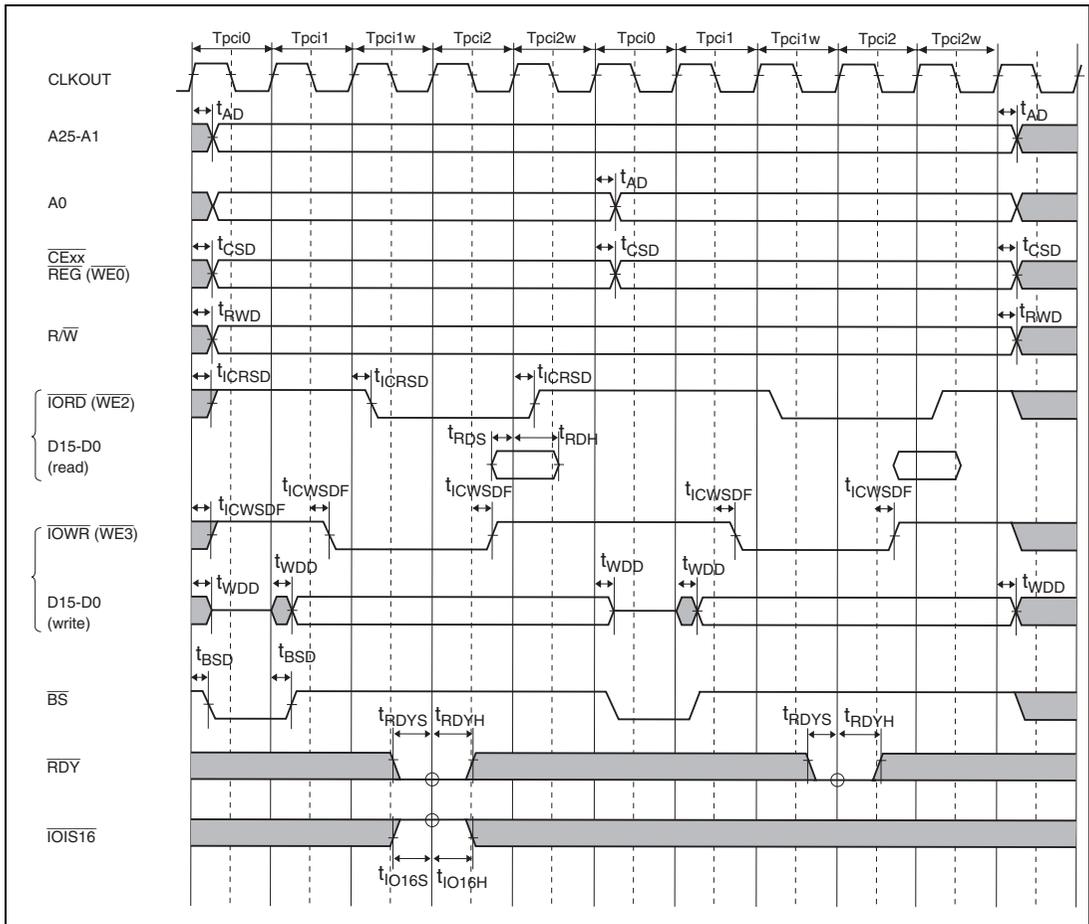


図 31.18 PCMCIA I/O バスサイクル  
 (TEDA/TEDB=1、TEHA/TEHB=1、IW/PCIW=1、ダイナミックバスサイジング)

### 31. 電気的特性

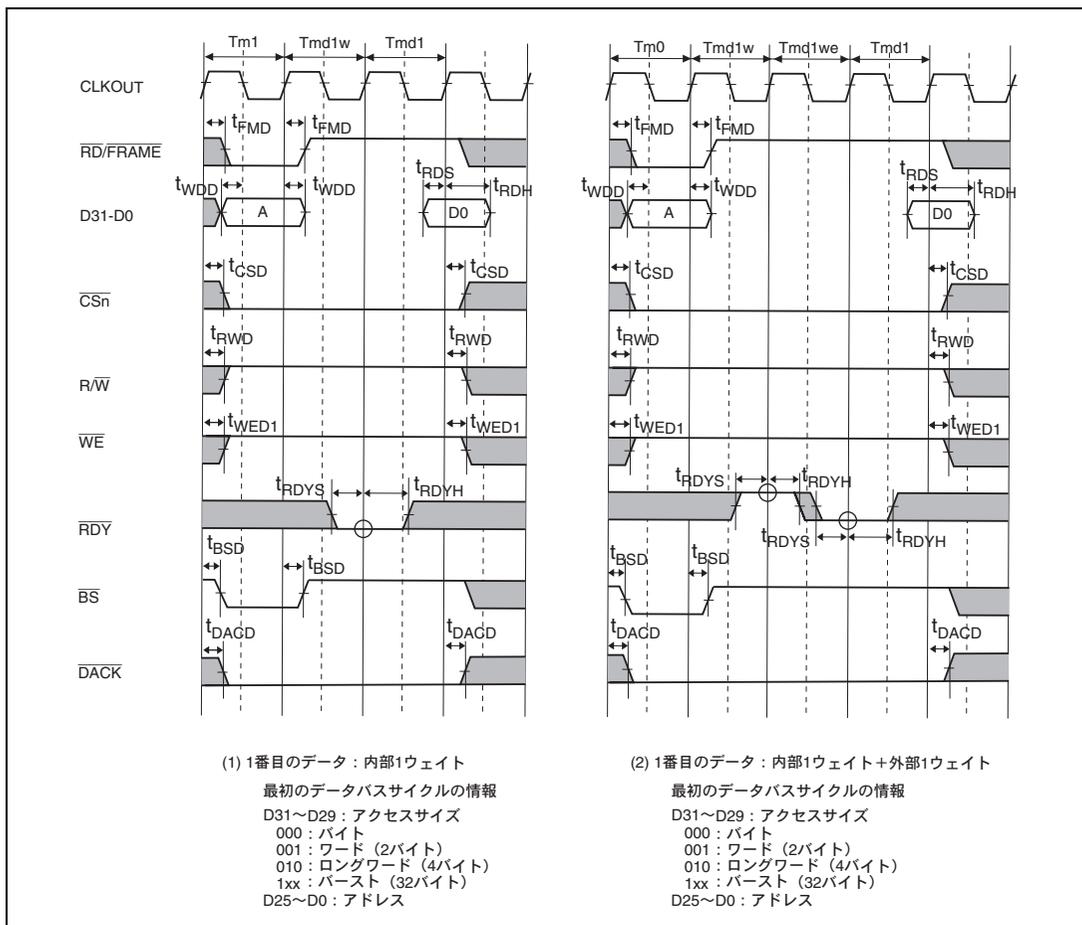


図 31.19 MPX 基本バスサイクル、リード

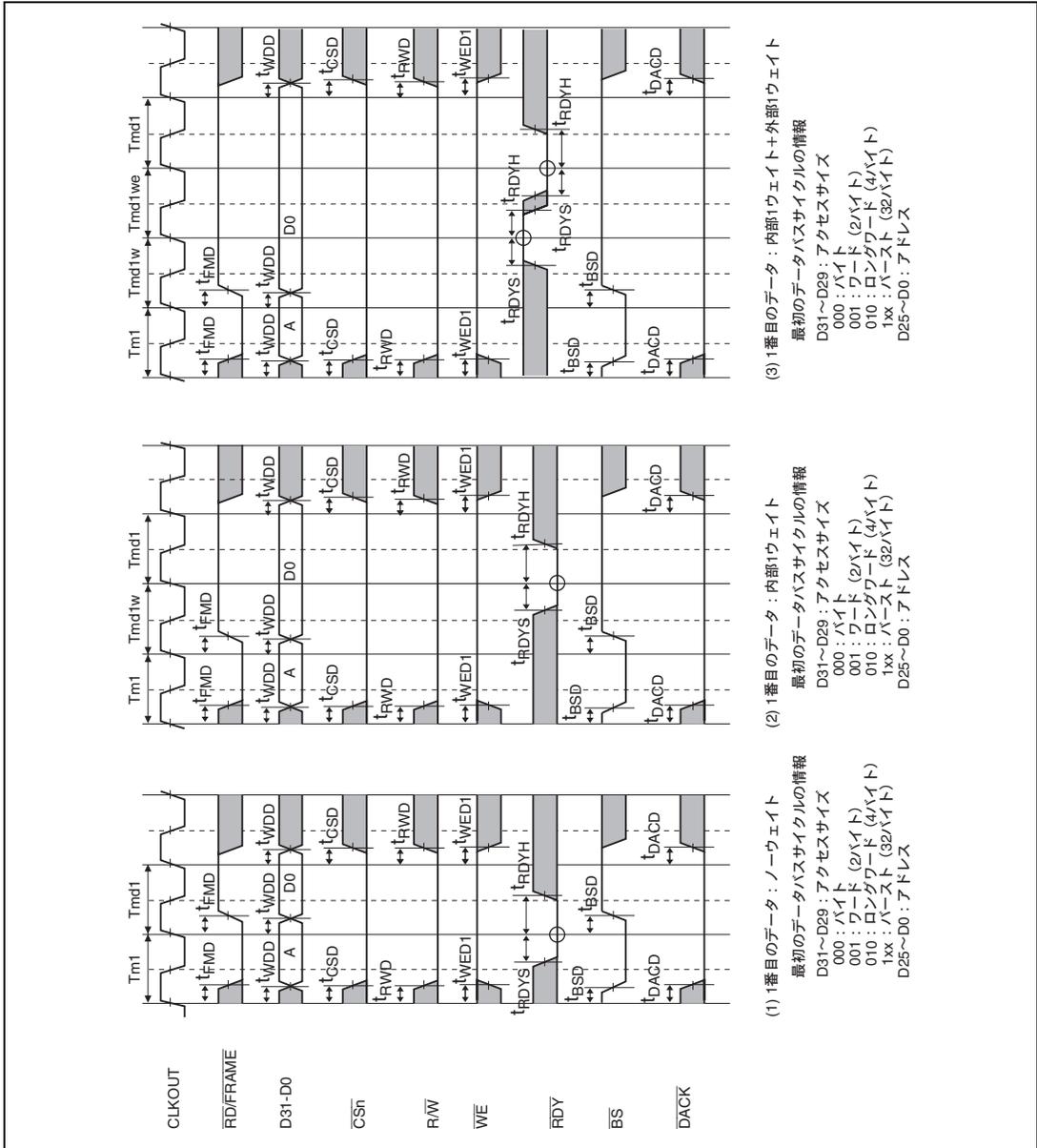


図 31.20 MPX 基本バスサイクル、ライト

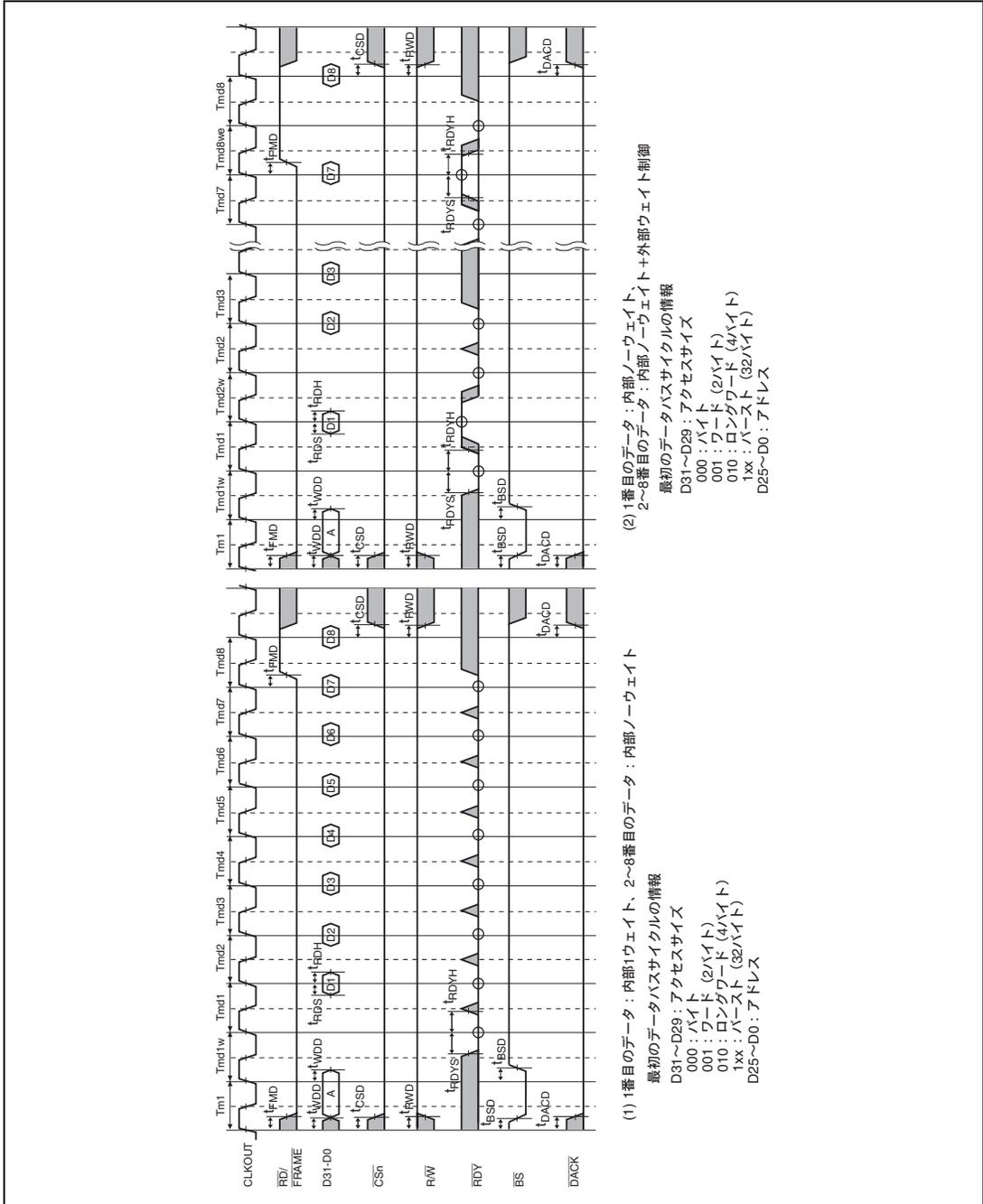


図 31.21 MPX バスサイクル、バーストリード

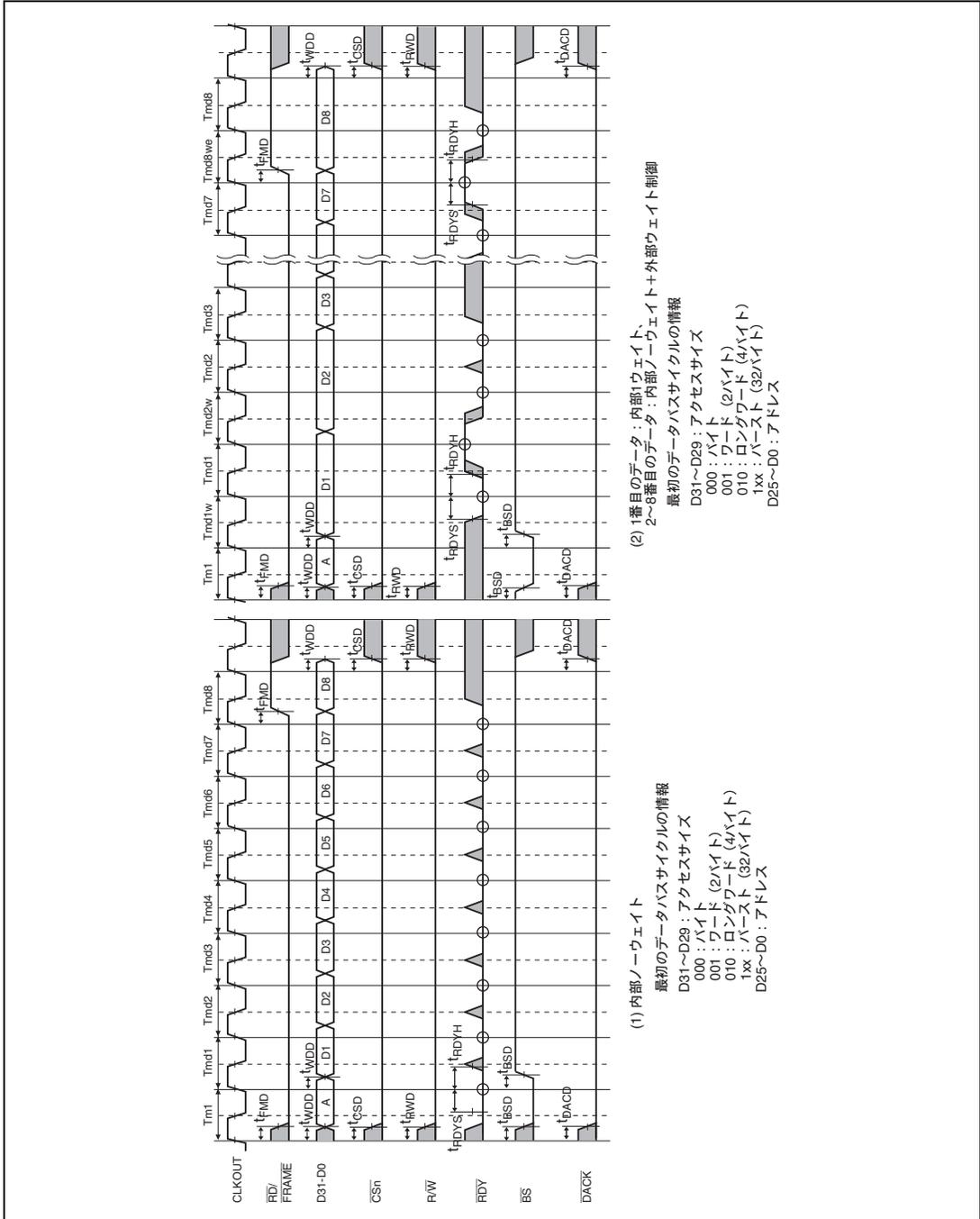


図 31.22 MPX バスサイクル、バーストライト

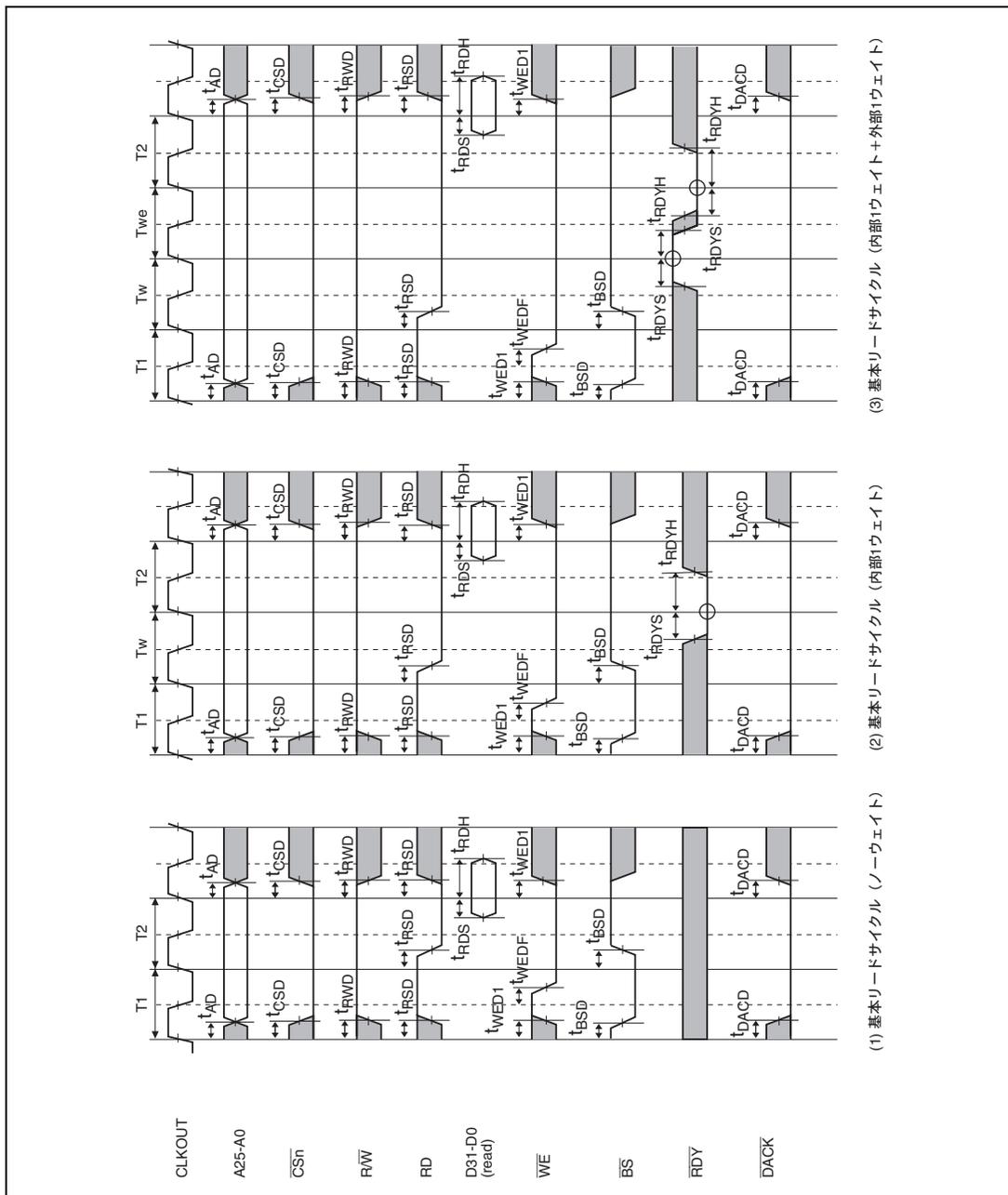


図 31.23 バイト制御 SRAM バスサイクル

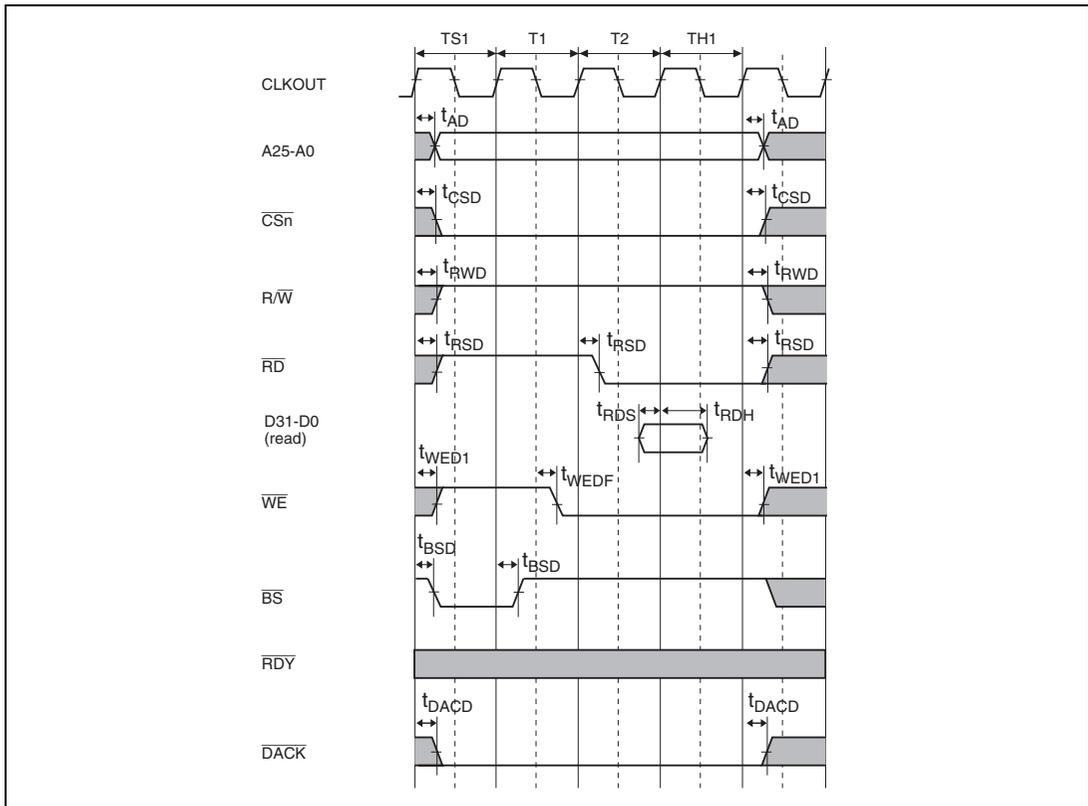


図 31.24 バイト制御 SRAM バスサイクル 基本リードサイクル  
 (ノーウェイト、アドレスセットアップ/ホールド時間挿入無し、RDS=1、RDH=0)

## 31. 電気的特性

### 31.3.4 DDRIF 信号タイミング

表 31.8 DDRIF 信号タイミング

( $V_{CCQ-DDR} = 2.3 \sim 2.7V$ ,  $DDR-V_{REF} = 1.25V$ ,  $V_{DD} = 1.25V$ ,  
 $T_a = -20 \sim 75^\circ C / -40 \sim 85^\circ C$ ,  $C_L = 30pF$ ,  $R_T = 50\Omega$ , DLL1/2 on, fast slew rate)

項目	記号	Min.	Max.	単位	参照図	備考
MCLK 出力サイクル	$t_{MCLK}$	6.2	12	ns	31.25	DDR320
		7.5	12			DDR266
MCLK 出力 High レベルパルス幅	$t_{MCLKH}$	0.45	0.55	$t_{MCLK}$	31.25	—
MCLK 出力 Low レベルパルス幅	$t_{MCLKL}$	0.45	0.55	$t_{MCLK}$	31.25	
MCLK 立ち上がりに対するアドレス、コマンドの セットアップ時間	$t_{ADCTLS}$	1.0	—	ns	31.26, 31.27	DDR320
		1.2	—			DDR266
MCLK 立ち上がりに対するアドレス、コマンドの ホールド時間	$t_{ADCTLH}$	1.0	—	ns	31.26, 31.27	DDR320
		1.2	—			DDR266
MCLK と MDQS とのスキュー時間 (read)	$t_{MDQS-MCLK}$	-0.75	0.75	ns	31.26	DDR320
		-0.8	0.8			DDR266
MDQS と MDA とのスキュー時間 (read)	$t_{MDQSQ}$	—	0.5	ns	31.26	DDR320
		—	0.6			DDR266
Write コマンドと初回の MDQS の遅れ時間 (立ち上がり)	$t_{WMDQSS}$	0.8	1.2	$t_{MCLK}$	31.27	
MCLK 立ち上がりから MDQS 立ち下がりセットアップ 時間 (write)	$t_{WDSS}$	0.25	—	$t_{MCLK}$	31.27	
MCLK 立ち上がりから MDQS 立ち下がりホールド時間 (write)	$t_{WDSH}$	0.25	—	$t_{MCLK}$	31.27	
MDQS High レベルパルス幅 (write)	$t_{WMDQSH}$	0.35	—	$t_{MCLK}$	31.27	
MDQS Low レベルパルス幅 (write)	$t_{WMDQSL}$	0.35	—	$t_{MCLK}$	31.27	
MDQS 立ち上がり／立ち下がりに対する MDA/MDQM セットアップ時間	$t_{WDS}$	0.7	—	ns	31.27	DDR320
		0.75	—			DDR266
MDQS 立ち上がり／立ち下がりに対する MDA/MDQM のホールド時間	$t_{WDH}$	0.7	—	ns	31.27	DDR320
		0.75	—			DDR266

【注】  $t_{MCLK}$  は MCLK クロックの 1 サイクル時間を示します。

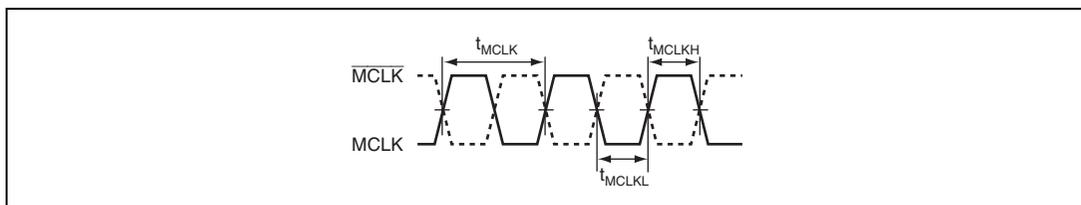


図 31.25 DDRIF MCLK 出力タイミング

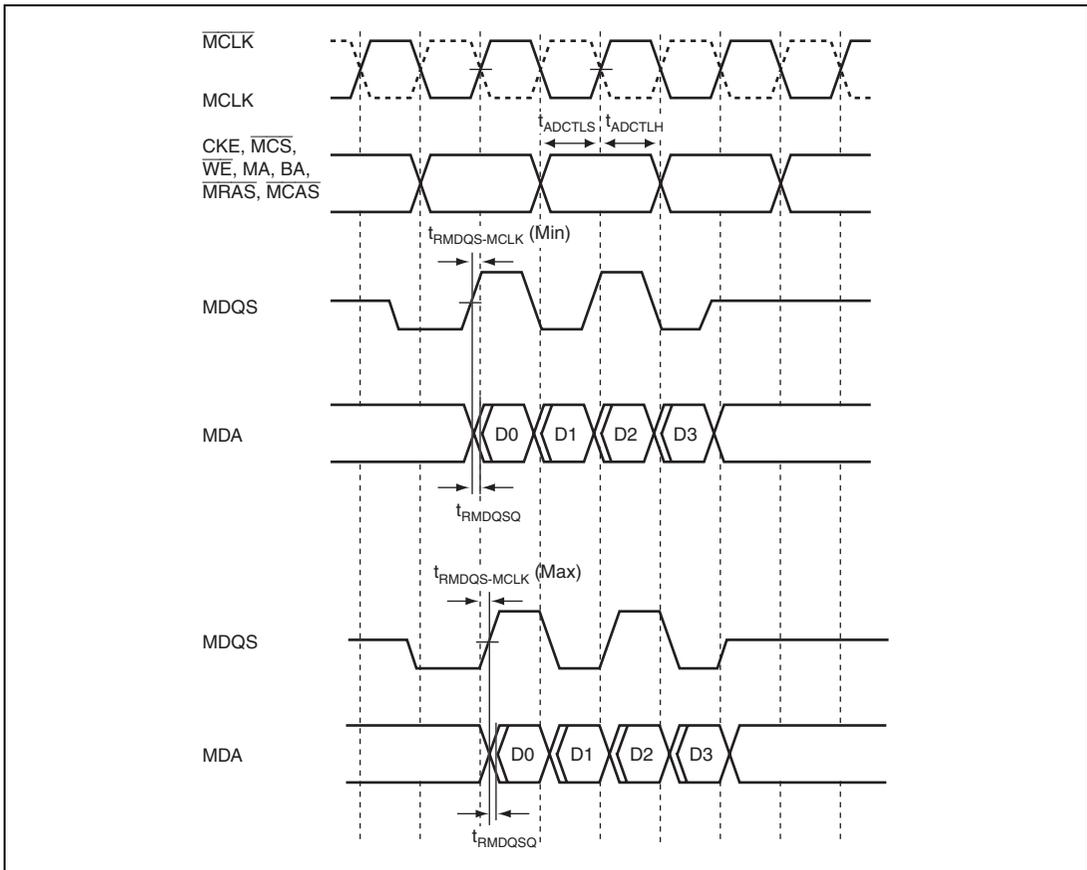


図 31.26 DDR-SDRAM のリードタイミング (2 バーストリード)

31. 電気的特性

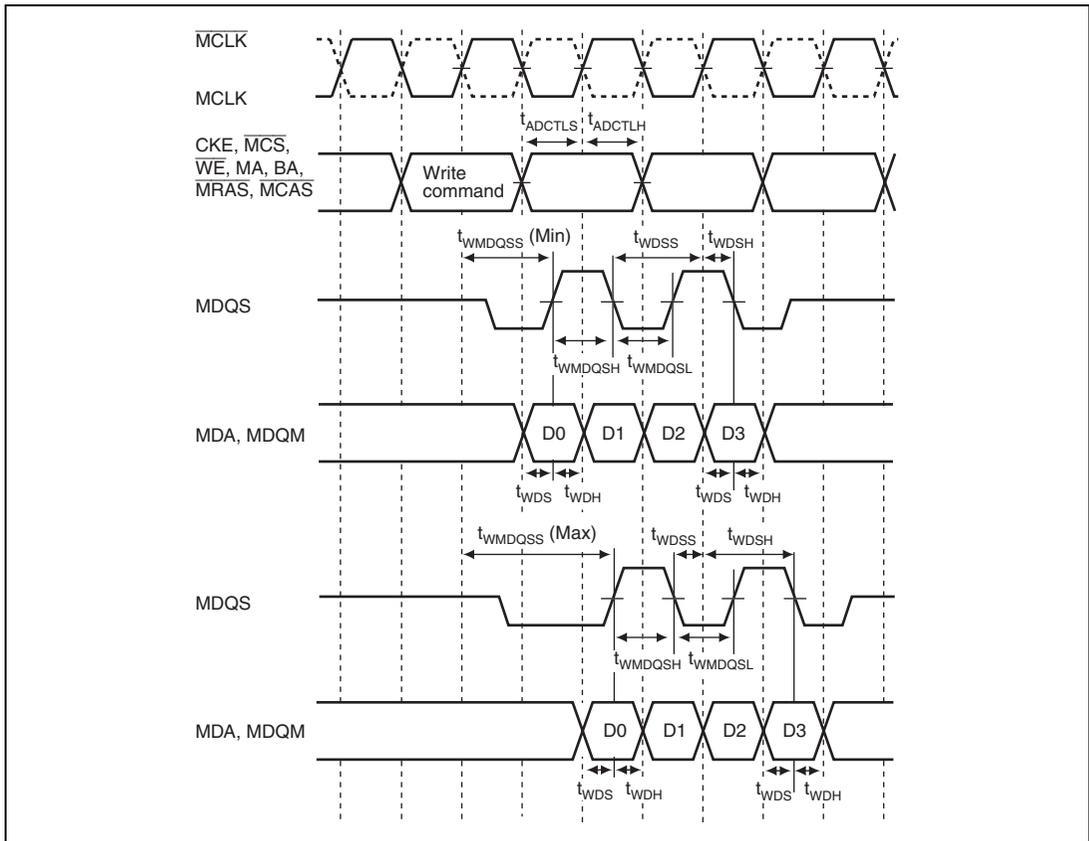


図 31.27 DDR-SDRAM 書き込みタイミング (2 バーストライト)

## 31.3.5 INTC モジュール信号タイミング

表 31.9 INTC モジュール信号タイミング

(V<sub>DD0</sub> = 3.0~3.6V, V<sub>DD</sub> = 1.25V, T<sub>a</sub> = -20~75°C/-40~85°C, C<sub>L</sub> = 30pF)

項目	記号	Min.	Max.	単位	参照図	備考
NMI パルス幅 (High 時)	t <sub>NMIH</sub>	5	—	t <sub>cyc</sub>	31.28	通常時 スリープ時
NMI パルス幅 (Low 時)	t <sub>NMIL</sub>	5	—	t <sub>cyc</sub>	31.28	通常時 スリープ時
IRQ/IRL7~IRL/IRQ0 セットアップ時間	t <sub>IRGS</sub>	3.5	—	ns	31.29	IRQ 入力
IRQ/IRL7~IRL/IRQ0 ホールド時間	t <sub>IROH</sub>	1.5	—	ns	31.29	IRQ 入力
IRQ/IRL7~IRL/IRQ0 セットアップ時間	t <sub>IRLS</sub>	3.5	—	ns	31.29	IRL 入力
IRQ/IRL7~IRL/IRQ0 ホールド時間	t <sub>IRLH</sub>	1.5	—	ns	31.29	IRL 入力
GPIO 割り込みセットアップ時間 (端子 E6-E0, H1, H0, J0, K5, K4)	t <sub>GPIOIS</sub>	3.5	—	ns	31.29	GPIO 割り込み入力
GPIO 割り込みセットアップ時間 (端子 E6-E0, H1, H0, J0, K5, K4)	t <sub>GPIOH</sub>	1.5	—	ns	31.29	GPIO 割り込み入力
IRQOUT 出力遅延時間	t <sub>IRQOD</sub>	1.5	6	ns	31.29	IRQOUT 出力

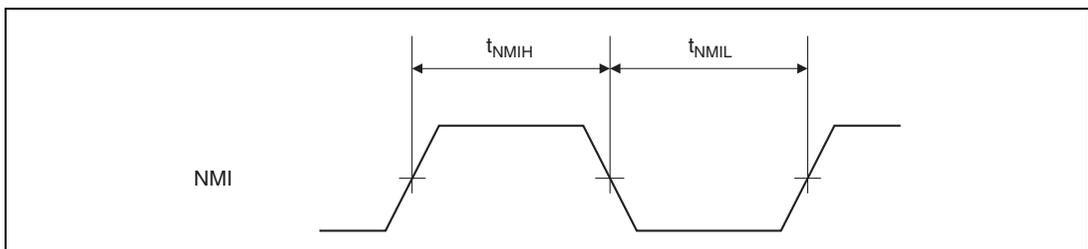
【注】 t<sub>cyc</sub> は CLKOUT クロックの 1 サイクル時間を示します。

図 31.28 NMI 入力タイミング

## 31. 電気的特性

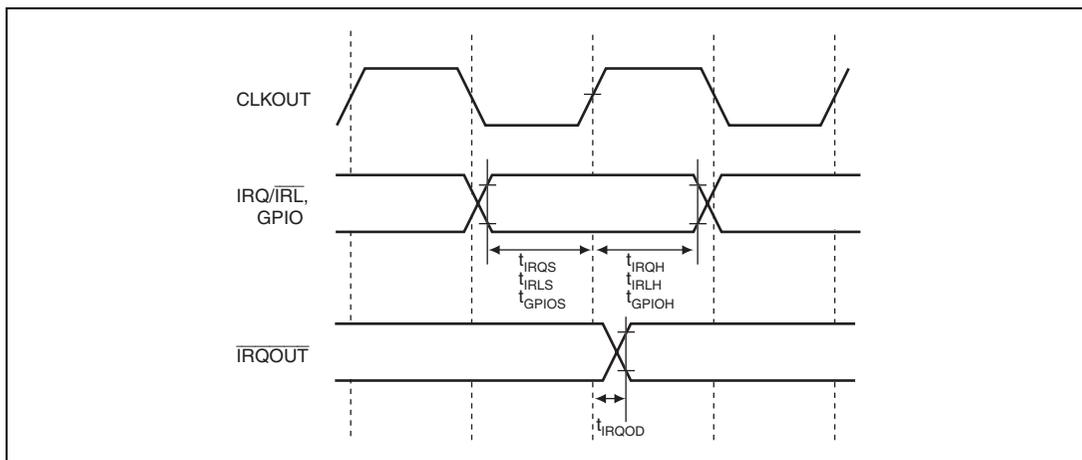


図 31.29 IRQ/ $\overline{\text{IRL}}$ 、GPIO 割り込み入力、 $\overline{\text{IRQOUT}}$  出力タイミング

## 31.3.6 PCIC モジュール信号タイミング

表 31.10 PCIC 信号タイミング

(V<sub>DD0</sub> = 3.0~3.6V, V<sub>DD</sub> = 1.25V, T<sub>a</sub> = -20~75°C / -40~85°C, C<sub>L</sub> = 30pF)

端子	項目	記号	33MHz		66MHz		単位	参照図
			Min.	Max.	Min.	Max.		
PCICLK	クロックサイクル	t <sub>PCICYC</sub>	30	—	15	30	ns	31.30
	クロックパルス幅 (high)	t <sub>PCIHIGH</sub>	11	—	6	—	ns	31.30
	クロックパルス幅 (low)	t <sub>PCILOW</sub>	11	—	6	—	ns	31.30
	クロック立ち上がり時間	t <sub>PCIF</sub>	—	4	—	1.5	ns	31.30
	クロック立ち下がり時間	t <sub>PCIF</sub>	—	4	—	1.5	ns	31.30
IDSEL	入力セットアップ時間	t <sub>PCISU</sub>	3	—	3	—	ns	31.32
	入力ホールド時間	t <sub>PCIH</sub>	1.5	—	1.5	—	ns	31.32
AD31-AD0 CBE3-CBE0 PAR PCIFRAME IRDY TRDY STOP LOCK DEVSEL PERR	出力データ遅延時間	t <sub>PCIVAL</sub>	2	10	2	6	ns	31.31
	トライステート駆動遅延時間	t <sub>PCION</sub>	2	10	2	6	ns	31.31
	トライステートハイインピーダンス遅延時間	t <sub>PCIOFF</sub>	2	12	2	6	ns	31.31
	入力セットアップ時間	t <sub>PCISU</sub>	3	—	3	—	ns	31.32
	入力ホールド時間	t <sub>PCIH</sub>	1.5	—	1.5	—	ns	31.32
REQ0/ REQOUT REQ3- REQ1 GNT0/ GNTIN GNT3-GNT1	出力データ遅延時間	t <sub>PCIVAL</sub>	2	10	2	6	ns	31.31
	トライステート駆動遅延時間	t <sub>PCION</sub>	2	10	2	6	ns	31.31
	トライステートハイインピーダンス遅延時間	t <sub>PCIOFF</sub>	—	12	—	6	ns	31.31
	入力セットアップ時間	t <sub>PCISU</sub>	3	—	3	—	ns	31.32
	入力ホールド時間	t <sub>PCIH</sub>	1.5	—	1.5	—	ns	31.32
SERR INTA-INTD	トライステート駆動遅延時間	t <sub>PCION</sub>	2	10	2	6	ns	31.31
	トライステートハイインピーダンス遅延時間	t <sub>PCIOFF</sub>	2	12	2	6	ns	31.31
	入力セットアップ時間	t <sub>PCISU</sub>	3	—	3	—	ns	31.32
	入力ホールド時間	t <sub>PCIH</sub>	1.5	—	1.5	—	ns	31.32

31. 電気的特性

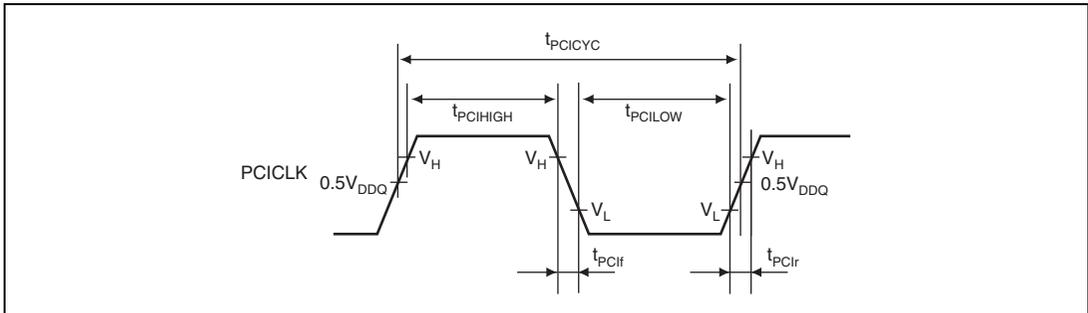


図 31.30 PCI クロック入力タイミング

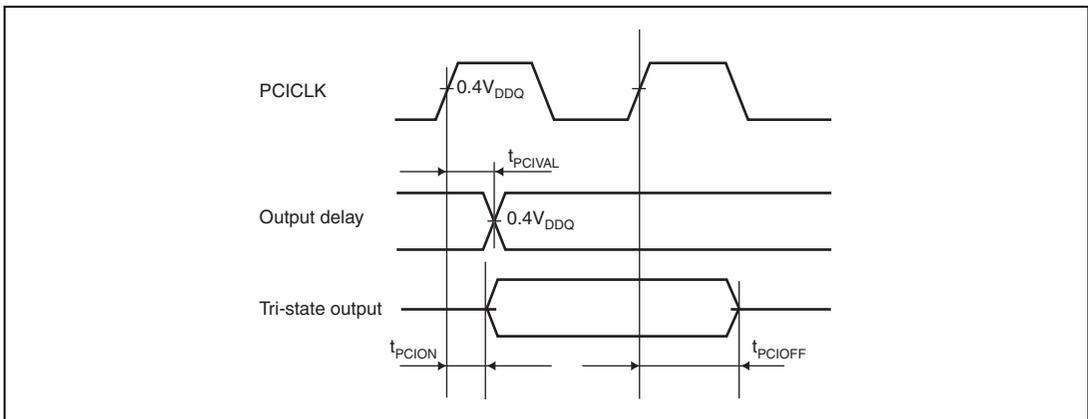


図 31.31 出力信号タイミング

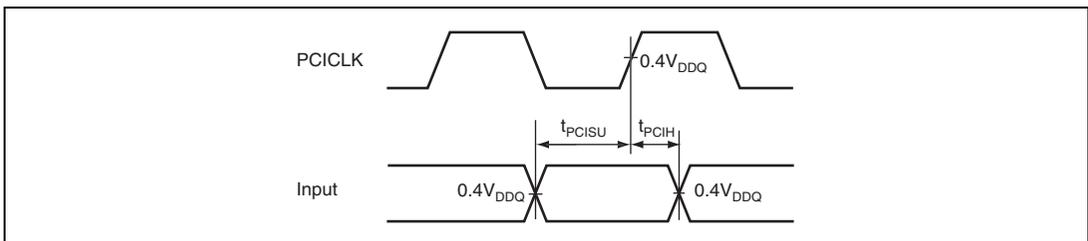


図 31.32 入力信号タイミング

## 31.3.7 DMAC モジュール信号タイミング

表 31.11 DMAC モジュール信号タイミング

(V<sub>DD0</sub> = 3.0~3.6V, V<sub>DD</sub> = 1.25V, T<sub>a</sub> = -20~75°C/-40~85°C, C<sub>L</sub> = 30pF)

項目	記号	Min.	Max.	単位	参照図	備考
DREQ <sub>n</sub> セットアップ時間	t <sub>DRQS</sub>	2.5	—	ns	31.33	
DREQ <sub>n</sub> ホールド時間	t <sub>DRQH</sub>	1.5	—	ns	31.33	
DRAK <sub>n</sub> 遅延時間	t <sub>DRAKD</sub>	1.5	5.3	ns	31.33	
DACK <sub>n</sub> 遅延時間	t <sub>DACD</sub>	1.5	6.0	ns	31.8 他	バスタイミングの 図参照

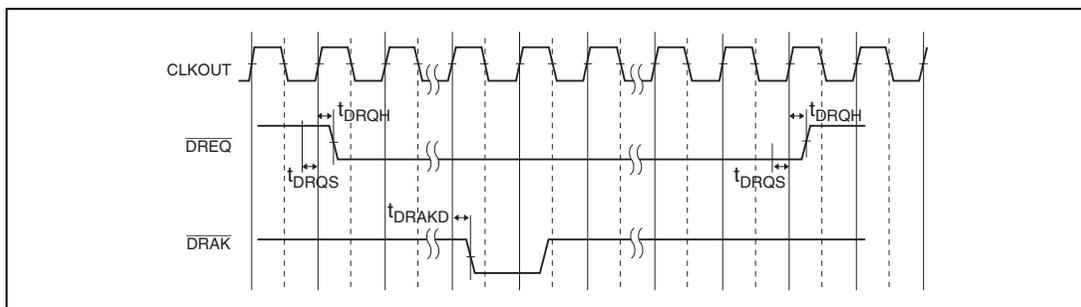


図 31.33 DREQ、DRAK タイミング

## 31.3.8 TMU モジュール信号タイミング

表 31.12 TMU モジュール信号タイミング

(V<sub>DD0</sub> = 3.0~3.6V, V<sub>DD</sub> = 1.25V, T<sub>a</sub> = -20~75°C/-40~85°C, C<sub>L</sub> = 30pF)

項目	記号	Min.	Max.	単位	参照図	備考
タイマクロックパルス幅 (High 時)	t <sub>TCLKWH</sub>	4	—	t <sub>psyc</sub>	31.34	
タイマクロックパルス幅 (Low 時)	t <sub>TCLKWL</sub>	4	—	t <sub>psyc</sub>	31.34	
タイマクロック立ち上がり時間	t <sub>TCLKr</sub>	—	0.8	t <sub>psyc</sub>	31.34	
タイマクロック立ち下がり時間	t <sub>TCLKf</sub>	—	0.8	t <sub>psyc</sub>	31.34	

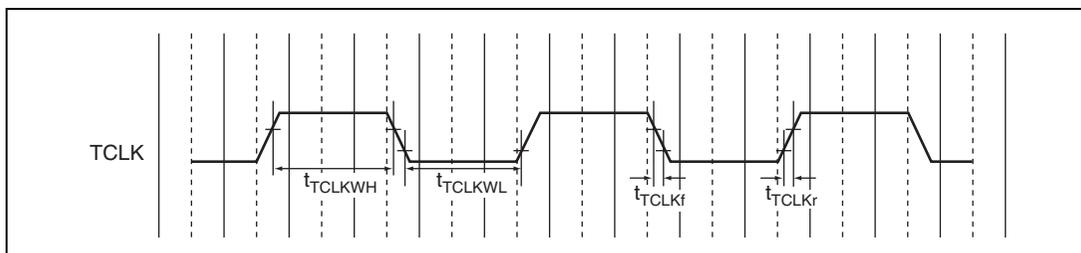
【注】 t<sub>psyc</sub> は周辺クロック (Pck) の 1 サイクル時間を示します。

図 31.34 TCLK 入力タイミング

### 31.3.9 CMT モジュール信号タイミング

表 31.13 CMT モジュール信号タイミング

( $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim 75^{\circ}C/-40\sim 85^{\circ}C$ 、 $C_L=30pF$ )

項目	記号	Min.	Max.	単位	参照図
CMT_CTR 出力遅延時間	$t_{TMD}$	—	8	ns	31.35
CMT_CTR 入力セットアップ時間	$t_{TMS}$	5	—	ns	31.35
CMT_CTR 入力ホールド時間	$t_{TMH}$	5	—	ns	31.35
タイマクロックローレベル幅	$t_{TMLOW}$	1.5	—	$t_{cyc}$	31.36
タイマクロックハイレベル幅	$t_{TMHIGH}$	1.5	—	$t_{cyc}$	31.36

【注】  $t_{cyc}$  は CLKOUT クロックの 1 サイクル時間を示します。

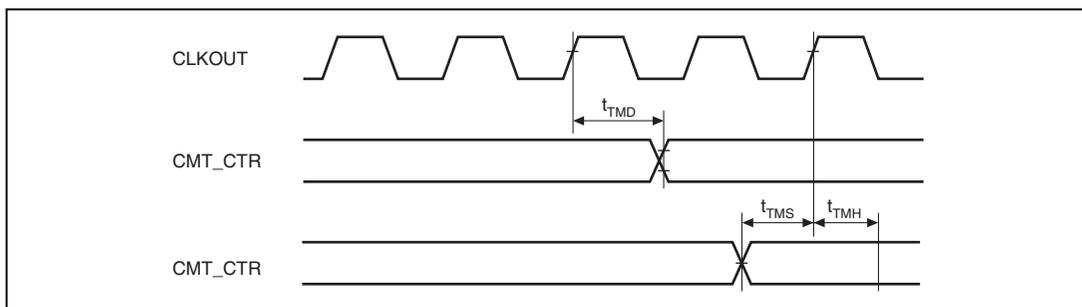


図 31.35 CMT タイミング (1)

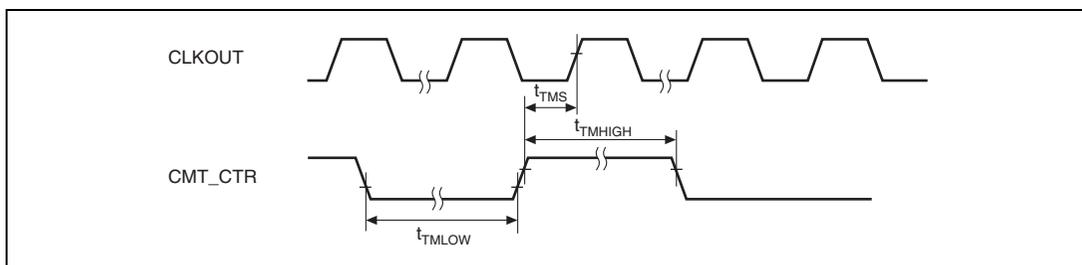


図 31.36 CMT タイミング (2)

## 31.3.10 SCIF モジュール信号タイミング

表 31.14 SCIF モジュール信号タイミング

(V<sub>DD0</sub>=3.0~3.6V、V<sub>DD</sub>=1.25V、T<sub>a</sub>=-20~75°C/-40~85°C、C<sub>L</sub>=30pF)

項目	記号	Min.	Max.	単位	参照図	備考
入カロックサイクル (調歩同期)	t <sub>Scyc</sub>	4	—	t <sub>Pcyc</sub>	31.37	
入カロックサイクル (クロック同期)		6	—	t <sub>Pcyc</sub>	31.37	
入カロックパルス幅	t <sub>SCKW</sub>	0.4	0.6	t <sub>Scyc</sub>	31.37	
入カロック立ち上がり時間	t <sub>SCKr</sub>	—	0.8	t <sub>Pcyc</sub>	31.37	
入カロック立ち下がり時間	t <sub>SCKf</sub>	—	0.8	t <sub>Pcyc</sub>	31.37	
転送データ遅延時間	t <sub>TXD</sub>	1.5	6	ns	31.38	
受信データセットアップ時間 (クロック同期)	t <sub>RXS</sub>	16	—	ns	31.38	
受信データホールド時間 (クロック同期)	t <sub>RXH</sub>	16	—	ns	31.38	

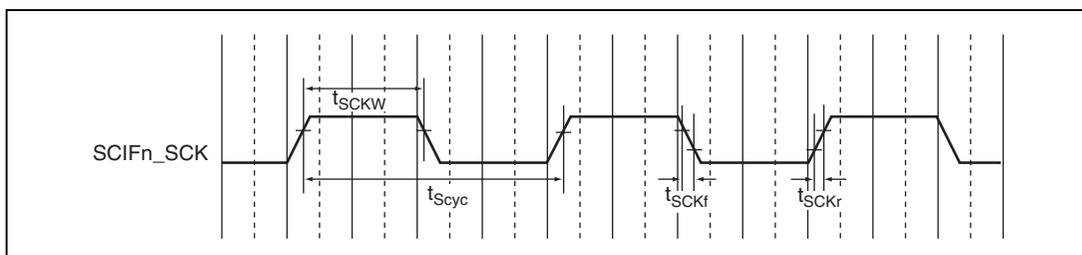
【注】 t<sub>Pcyc</sub>は周辺クロック (Pck) の1サイクル時間を示します。

図 31.37 SCIFn\_SCK 入カロックタイミング (n=0, 1)

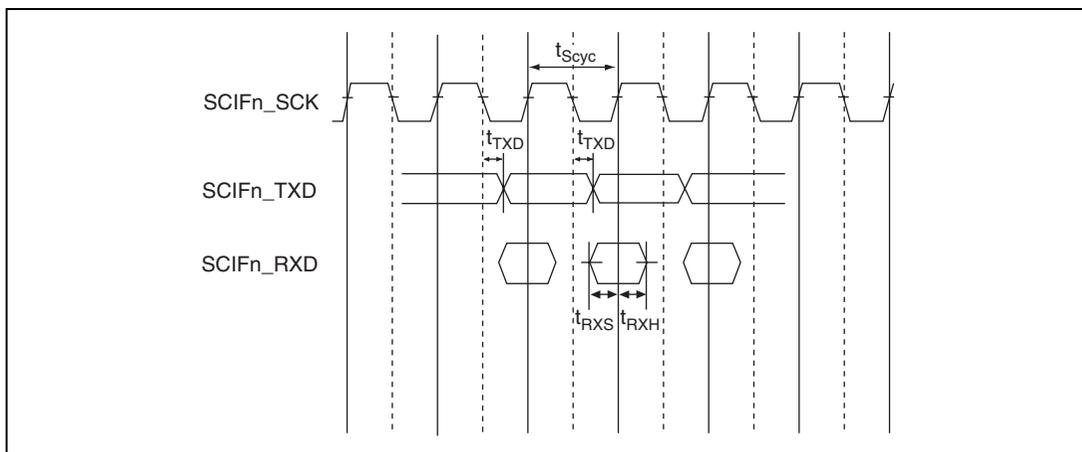


図 31.38 SCIFn I/O 同期モードクロックタイミング (n=0, 1)

## 31. 電気的特性

### 31.3.11 SIOF モジュール信号タイミング

表 31.15 SIOF モジュール信号タイミング

( $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim 75^{\circ}C/-40\sim 85^{\circ}C$ 、 $C_L=30pF$ )

項目	記号	Min.	Max.	単位	参照図
SIOFMCK クロック入力サイクル時間	$t_{MCYC}$	$t_{PcyC}^*$	—	ns	31.39
SIOFMCK 入力 High レベル幅	$t_{MWH}$	$0.4 \times t_{MCYC}$	—	ns	31.39
SIOFMCK 入力 Low レベル幅	$t_{MWL}$	$0.4 \times t_{MCYC}$	—	ns	31.39
SIOFSCK クロックサイクル時間	$t_{SICYC}$	$t_{PcyC}^*$	—	ns	31.40~31.44
SIOFSCK 出力 High レベル幅	$t_{SWHO}$	$0.4 \times t_{MCYC}$	—	ns	31.40~31.43
SIOFSCK 出力 Low レベル幅	$t_{SWLO}$	$0.4 \times t_{MCYC}$	—	ns	31.40~31.43
SIOFSYNC 出力遅延時間	$t_{FSD}$	—	10	ns	31.40~31.43
SIOFSCK 入力 High レベル幅	$t_{SWHI}$	$0.4 \times t_{SICYC}$	—	ns	31.44
SIOFSCK 入力 Low レベル幅	$t_{SWLI}$	$0.4 \times t_{SICYC}$	—	ns	31.44
SIOFSYNC 入力セットアップ時間	$t_{FSS}$	10	—	ns	31.44
SIOFSYNC 入力ホールド時間	$t_{FSH}$	10	—	ns	31.44
SIOFTXD 出力遅延時間	$t_{STDD}$	—	10	ns	31.40~31.44
SIOFRXD 入力セットアップ時間	$t_{SRDS}$	10	—	ns	31.40~31.44
SIOFRXD 入力ホールド時間	$t_{SRDH}$	10	—	ns	31.40~31.44

【注】 \*  $t_{PcyC}$  は周辺クロック (Pck) の 1 サイクル時間を示します。

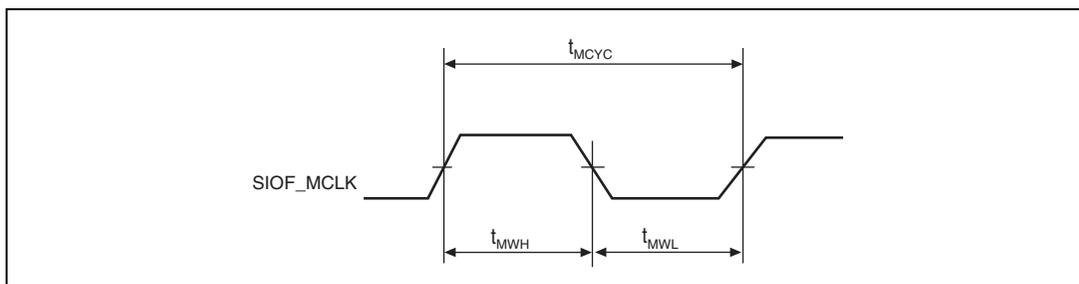


図 31.39 SIOF\_MCLK 入力タイミング

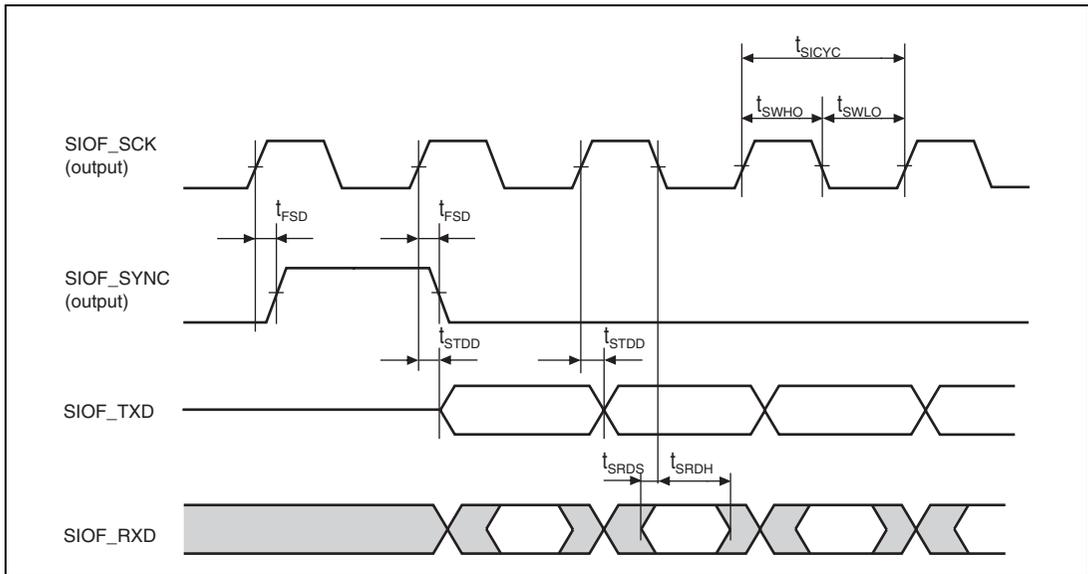


図 31.40 SIOF 送受信タイミング (マスターモード 1、立ち下がりサンプリング)

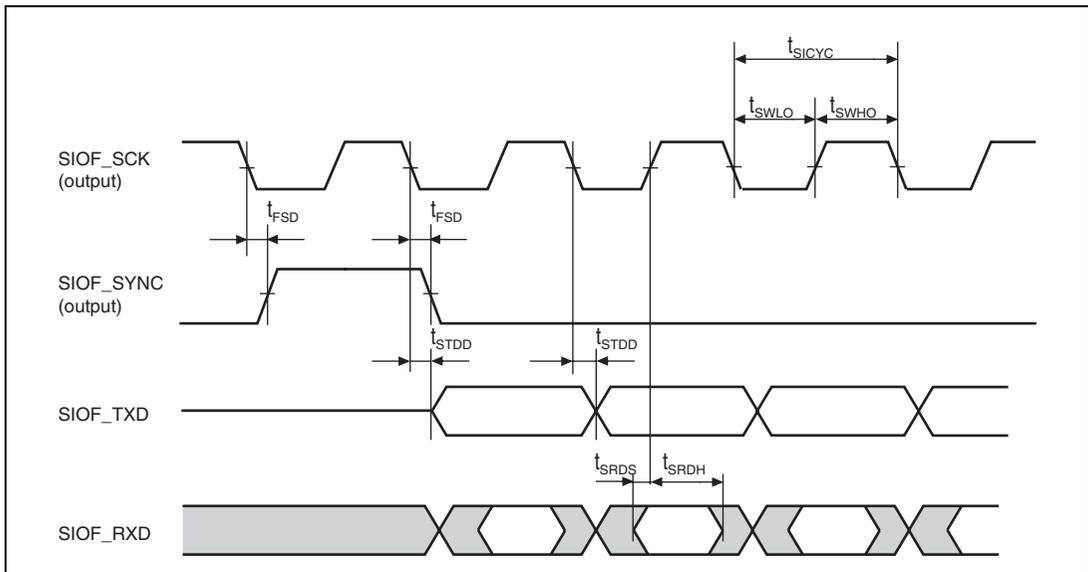


図 31.41 SIOF 送受信タイミング (マスターモード 1、立ち上がりサンプリング)

### 31. 電気的特性

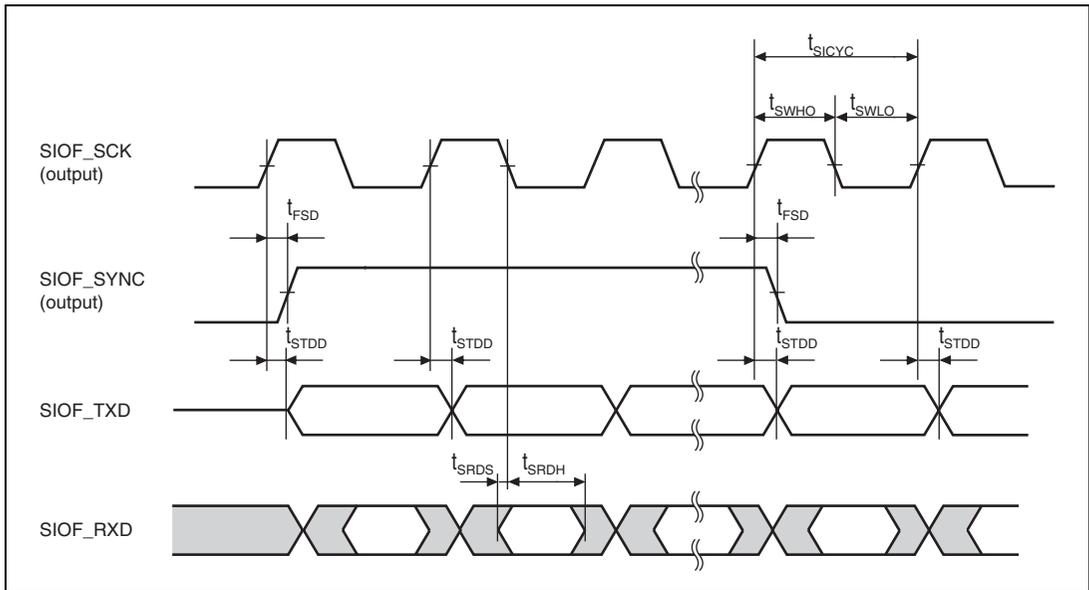


図 31.42 SIOF 送受信タイミング (マスターモード 2、立ち下がりサンプリング)

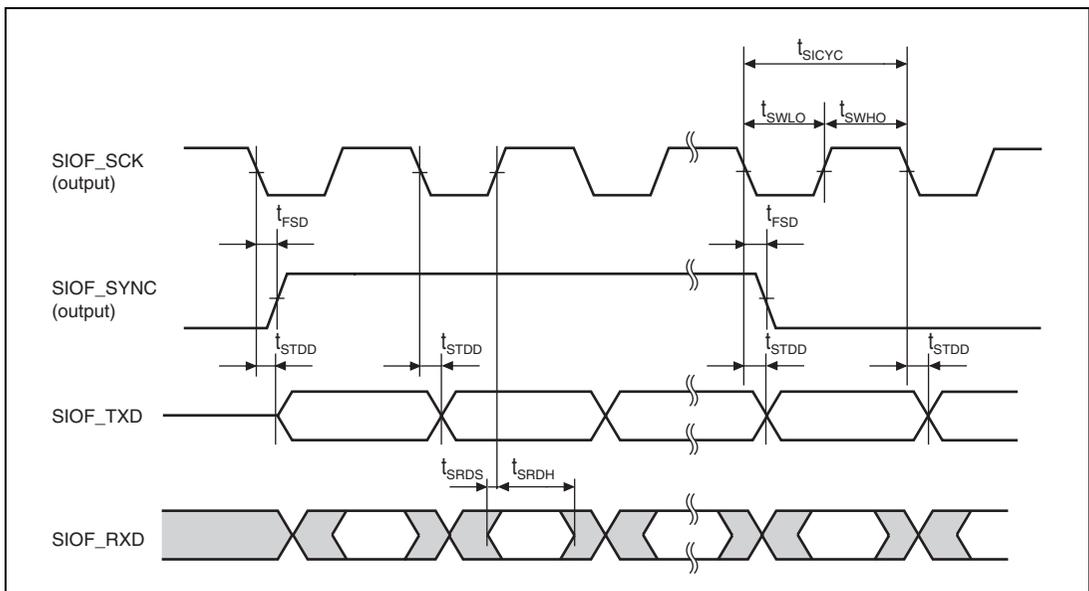


図 31.43 SIOF 送受信タイミング (マスターモード 2、立ち上がりサンプリング)

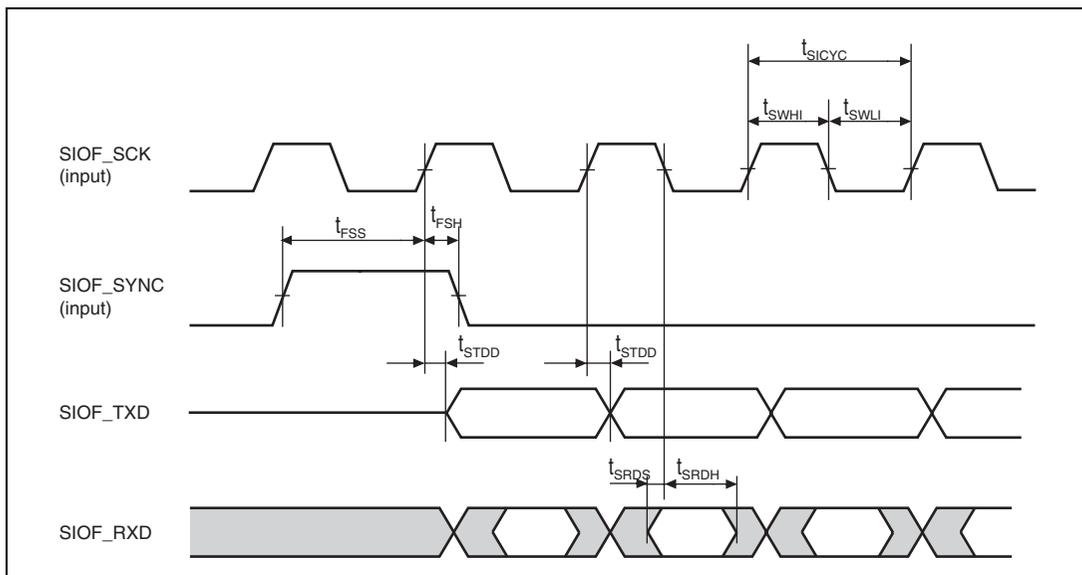


図 31.44 SIOF 送受信タイミング (スレーブモード 1、スレーブモード 2)

### 31.3.12 HSPI モジュール信号タイミング

表 31.16 HSPI モジュール信号タイミング

( $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim 75^{\circ}C/-40\sim 85^{\circ}C$ 、 $C_L=30pF$ )

項目	記号	Min.	Max.	単位	参照図
HSPI_CLK 周波数	$t_{SPICyc}$	—	Pck/8	Hz	31.45
HSPI クロック High レベル幅	$t_{SPIHW}$	60	—	ns	31.45
HSPI クロック Low レベル幅	$t_{SPILW}$	60	—	ns	31.45
HSPI_TX セットアップ時間 (master mode)	$t_{SUSPITX}$	20	—	ns	31.45
HSPI_TX 遅延時間 (master mode)	$t_{DSPITX}$	—	20	ns	31.45
HSPI_TX セットアップ 時間 (slave mode)	$t_{SUSPITX}$	10	—	ns	31.45
HSPI_TX 遅延時間 (slave mode)	$t_{DSPITX}$	—	80	ns	31.45
HSPI_RX セットアップ時間	$t_{SUSPIRX}$	20	—	ns	31.45
HSPI_RX ホールド時間	$t_{HLSPIRX}$	20	—	ns	31.45
HSPI_CS リード時間	$t_{CSLEAD}$	100	—	ns	31.45

【注】 Pck : 周辺クロック周波数

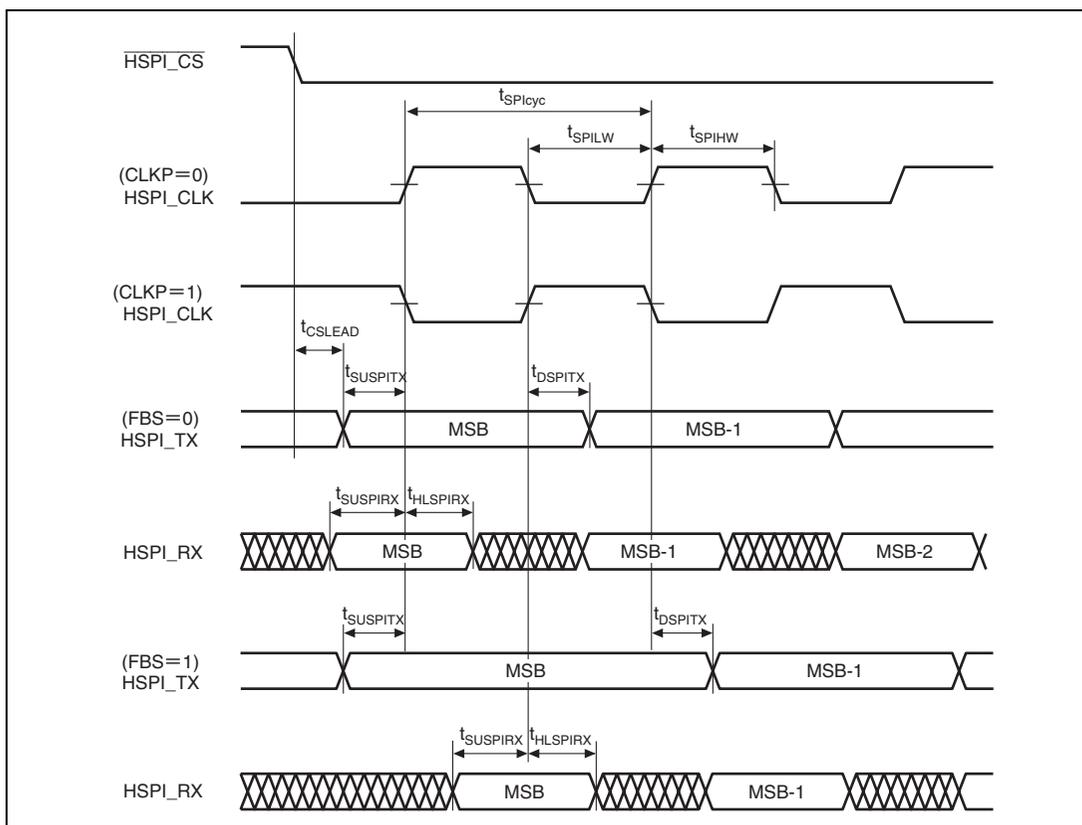


図 31.45 HSPI データ出力/入カタイミング

## 31.3.13 MMCIF モジュール信号タイミング

表 31.17 MMCIF モジュール信号タイミング

(V<sub>DD0</sub> = 3.0~3.6V, V<sub>DD</sub> = 1.25V, T<sub>a</sub> = -20~75°C/-40~85°C, C<sub>L</sub> = 30pF)

項目	記号	Min.	Max.	単位	参照図
MCCLK クロックサイクル時間	t <sub>MMcyc</sub>	50	—	ns	31.46
MCCLK クロック High レベル幅	t <sub>MMWH</sub>	0.4 × t <sub>MMcyc</sub>	—	ns	31.46
MCCLK クロック Low レベル幅	t <sub>MMWL</sub>	0.4 × t <sub>MMcyc</sub>	—	ns	31.46
MCCMD 出カデータ遅延時間	t <sub>MMTCD</sub>	—	10	ns	31.46
MCCMD 入カデータセットアップ時間	t <sub>MMRCS</sub>	10	—	ns	31.47
MCCMD 入カデータホールド時間	t <sub>MMRCH</sub>	10	—	ns	31.47
MCDAT 出カデータ遅延時間	t <sub>MMTDD</sub>	—	10	ns	31.46
MCDAT 入カデータセットアップ時間	t <sub>MMRDS</sub>	10	—	ns	31.47
MCDAT 入カデータホールド時間	t <sub>MMRDH</sub>	10	—	ns	31.47

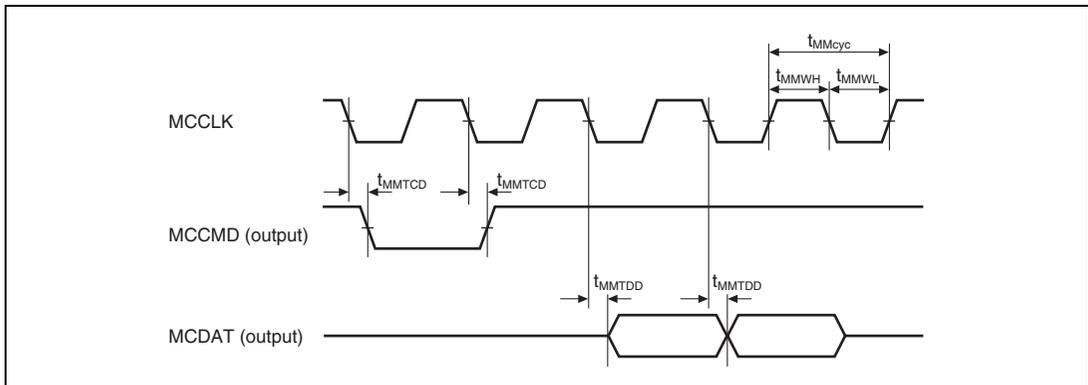


図 31.46 MMCIF 送信タイミング

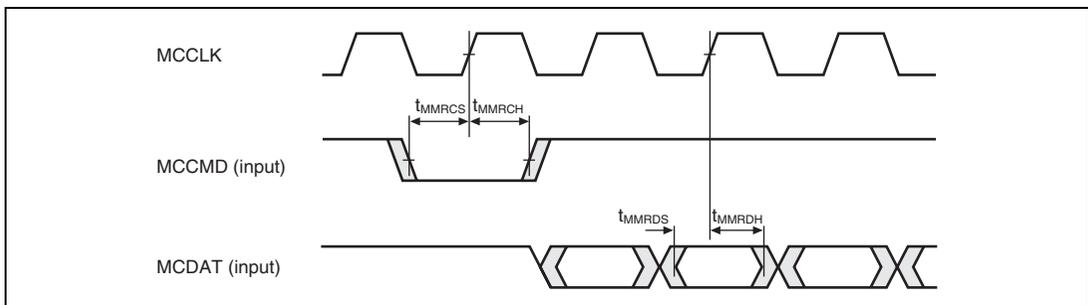


図 31.47 MMCIF 受信タイミング

## 31. 電気的特性

### 31.3.14 HAC インタフェースモジュール信号タイミング

表 31.18 HAC インタフェースモジュール信号タイミング

( $V_{DD0}=3.0\sim 3.6V$ ,  $V_{DD}=1.25V$ ,  $T_a=-20\sim 75^{\circ}C/-40\sim 85^{\circ}C$ ,  $C_L=30pF$ )

項目	記号	Min.	Max.	単位	参照図
HAC_RES アクティブ Low パルス幅	$t_{RST\_LOW}$	1000	—	ns	31.48
HAC_SYNC アクティブ High パルス幅	$t_{SYN\_HIGH}$	1000	—	ns	31.49
HAC_SYNC 遅延時間 1	$t_{SYNCD1}$	0	15	ns	31.51
HAC_SYNC 遅延時間 2	$t_{SYNCD2}$	0	15	ns	31.51
HAC_SDOUT 遅延時間	$t_{SDOUTD}$	0	15	ns	31.51
HAC_SDIN セットアップ時間	$t_{SDINS}$	10	—	ns	31.51
HAC_SDIN ホールド時間	$t_{SDINH}$	10	—	ns	31.51
HAC_BITCLK 入力 High レベル幅	$t_{ICL\_HIGH}$	$t_{pclk}/2$	—	ns	31.50
HAC_BITCLK 入力 Low レベル幅	$t_{ICL\_LOW}$	$t_{pclk}/2$	—	ns	31.50

【注】  $t_{pclk}$  は周辺クロック (Pck) の 1 サイクル時間を示します。

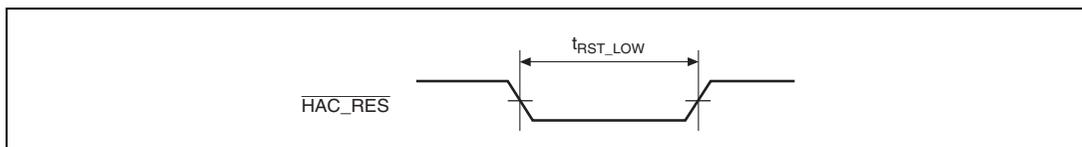


図 31.48 HAC コールドリセットタイミング

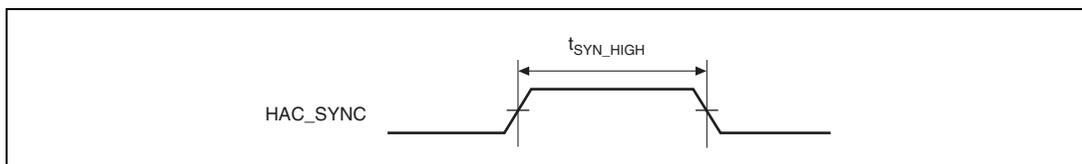


図 31.49 HACSYNC 出カタイミング

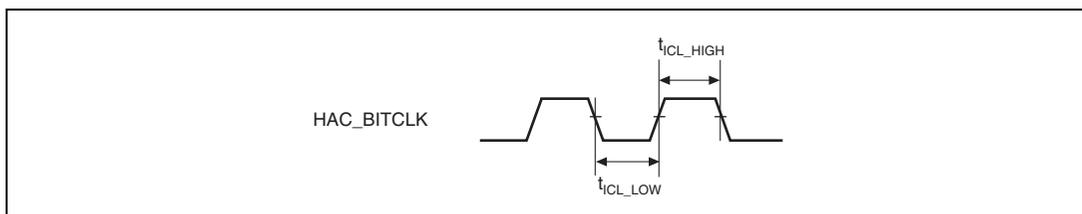


図 31.50 HAC クロック入カタイミング

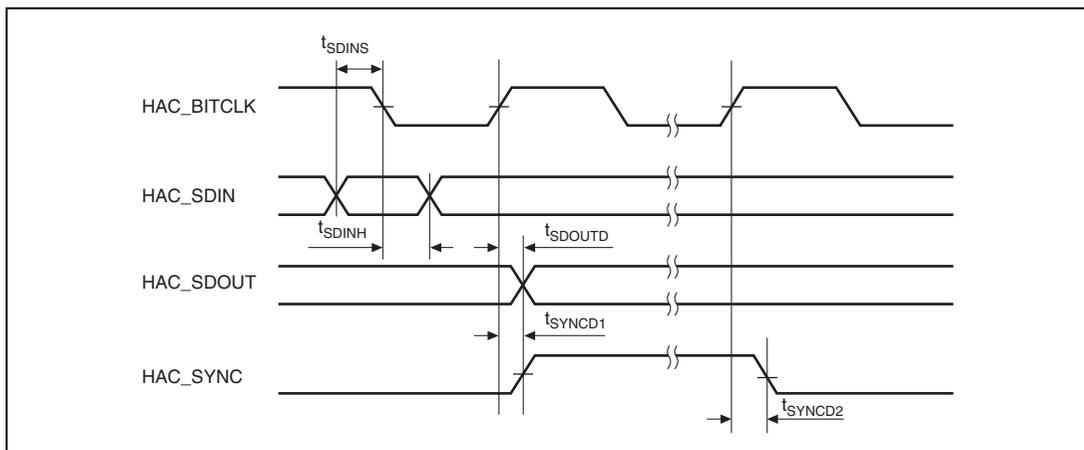


図 31.51 HAC インタフェースモジュール信号タイミング

## 31. 電気的特性

### 31.3.15 SSI インタフェースモジュール信号タイミング

表 31.19 SSI インタフェースモジュール信号タイミング

( $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim 75^{\circ}C/-40\sim 85^{\circ}C$ 、 $C_L=30pF$ )

項目	記号	Min.	Max.	単位	備考	参照図
出力サイクル時間	$t_{OSCK}$	40	710	ns	出力	31.52
入力サイクル時間	$t_{ISCK}$	80	3300	ns	入力	31.52
入力 High レベル幅/出力 High レベル幅	$t_{IHC}/t_{OHC}$	65	—	ns	入力、出力	31.52
入力 Low レベル幅/出力 Low レベル幅	$t_{ILC}/t_{OLC}$	65	—	ns	入力、出力	31.52
SSI_SCK 出力立ち上がり時間	$t_{RC}$	—	60	ns	出力	31.52
SSI_SDATA/WS 出力遅延時間	$t_{DTR}$	—	10	ns	送信	31.53、31.54
SSI_SDATA/WS 入力セットアップ時間	$t_{SR}$	10	—	ns	受信	31.55、31.56
SSI_SDATA/WS 入力ホールド時間	$t_{HTR}$	10	—	ns	受信	31.55、31.56

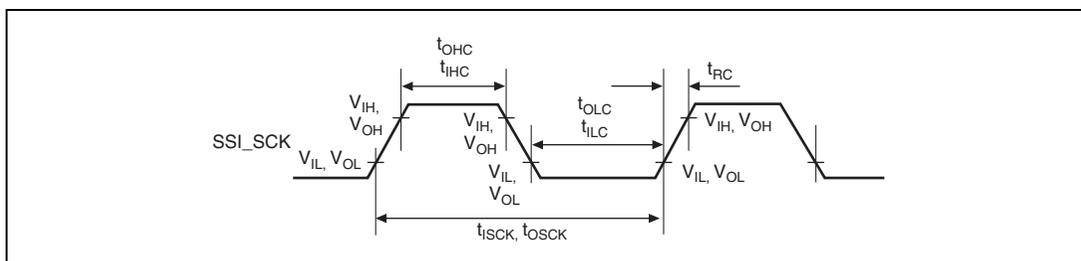


図 31.52 SSI クロック入力/出力タイミング

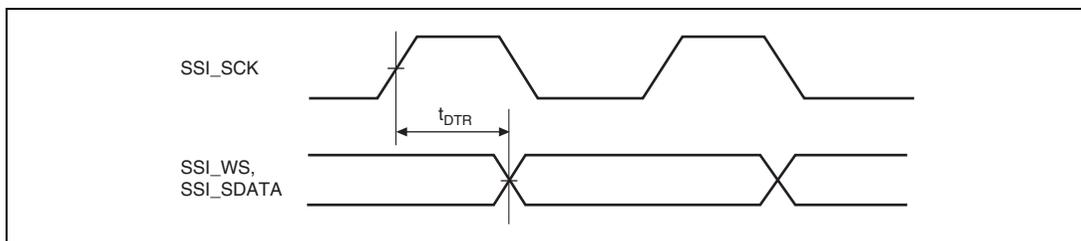


図 31.53 SSI 送信タイミング (1)

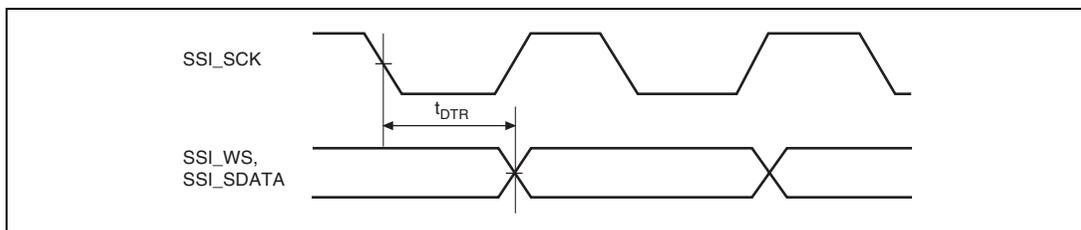


図 31.54 SSI 送信タイミング (2)

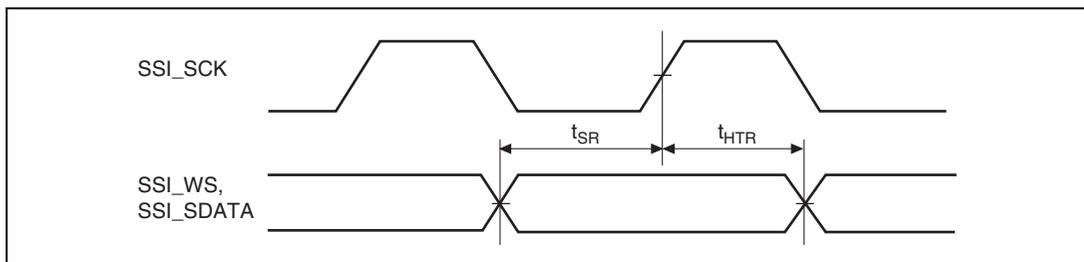


図 31.55 SSI 受信タイミング (1)

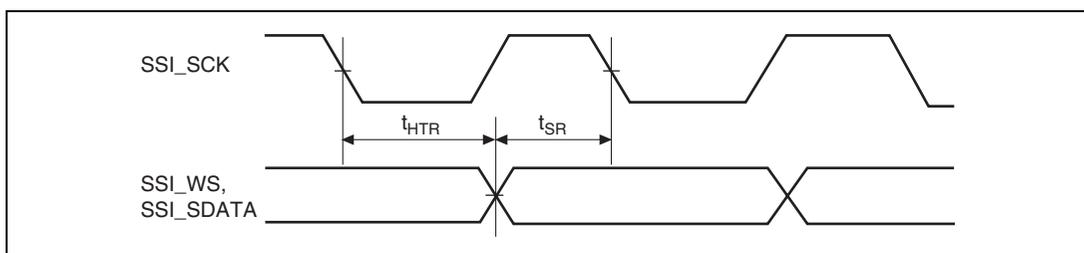


図 31.56 SSI 受信タイミング (2)

## 31. 電気的特性

### 31.3.16 FLCTL モジュール信号タイミング

表 31.20 FLCTL モジュール信号タイミング

( $V_{DD0}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim 75^\circ C/-40\sim 85^\circ C$ 、 $C_L=30pF$ 、ノーマル)

項目	記号	Min.	Max.	単位	参照図
コマンド出力セットアップ時間	$t_{NCDS}$	$2 \times t_{Fcytc}$ -10	-	ns	31.57
コマンド出力ホールド時間	$t_{NCHD}$	$1.5 \times t_{Fcytc}$ -5	-	ns	
データ出力セットアップ時間	$t_{NDOS}$	$0.5 \times t_{Fcytc}$ -5	-	ns	31.57、31.58、 31.60
データ出力ホールド時間	$t_{NDOH}$	$0.5 \times t_{Fcytc}$ -10	-	ns	
コマンド～アドレス変換時間 1	$t_{NCDAD1}$	$1.5 \times t_{Fcytc}$ -10	-	ns	31.57、31.58
コマンド～アドレス変換時間時間 2	$t_{NCDAD2}$	$2 \times t_{Fcytc}$ -10	-	ns	31.58
FWE サイクル時間	$t_{NWC}$	$t_{Fcytc}$ -5	-	ns	31.58、31.60
FWE Low パルス幅	$t_{NWP}$	$0.5 \times t_{Fcytc}$ -5	-	ns	31.57、31.58、 31.60、31.61
FWE High パルス幅	$t_{NWH}$	$0.5 \times t_{Fcytc}$ -5	-	ns	31.58、31.60
アドレス～レディ/ビジー変換時間	$t_{NADRB}$	-	$32 \times t_{Pcytc}$	ns	31.58、31.59
レディ/ビジー～データリード変換時間 1	$t_{NRBDR1}$	$1.5 \times t_{Fcytc}$	-	ns	31.59
レディ/ビジー～データリード変換時間 2	$t_{NRBDR2}$	$32 \times t_{Fcytc}$	-	ns	
FRE サイクル時間	$t_{NSCC}$	$t_{Fcytc}$ -5	-	ns	
FRE Low パルス幅	$t_{NSP}$	$0.5 \times t_{Fcytc}$ -5	-	ns	31.59、31.61
FRE High パルス幅	$t_{NSPH}$	$0.5 \times t_{Fcytc}$ -5	-	ns	31.59
リードデータセットアップ時間	$t_{NRDS}$	24	-	ns	31.59、31.61
リードデータホールド時間	$t_{NRDH}$	5	-	ns	
データライトセットアップ時間	$t_{NDWS}$	$32 \times t_{Fcytc}$	-	ns	31.59
コマンド～ステータスリード変換時間	$t_{NCDSR}$	$4 \times t_{Fcytc}$	-	ns	31.60
コマンド出力 OFF～ステータスリード変換時間	$t_{NCDFSR}$	$3.5 \times t_{Fcytc}$	-	ns	
ステータスリードセットアップ時間	$t_{NSTS}$	$2.5 \times t_{Fcytc}$	-	ns	

【注】  $t_{Fcytc}$  は FLCTL クロックの 1 サイクル時間を示します。

$T_{Pcytc}$  は周辺クロック (Pck) の 1 サイクル時間を示します。



### 31. 電気的特性

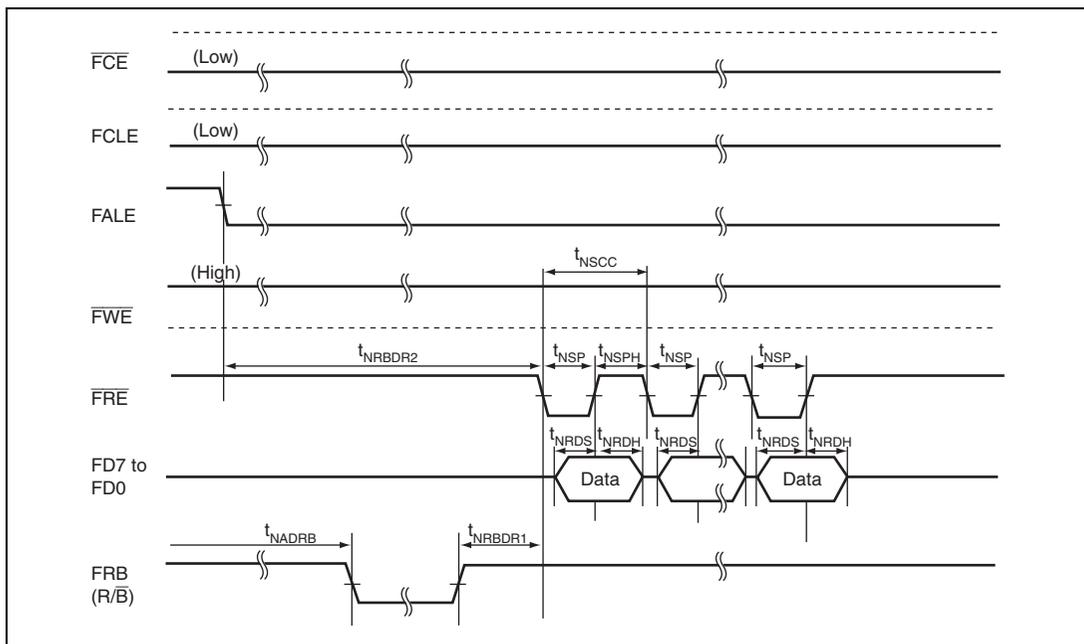


図 31.59 NAND 型フラッシュメモリのデータリードタイミング

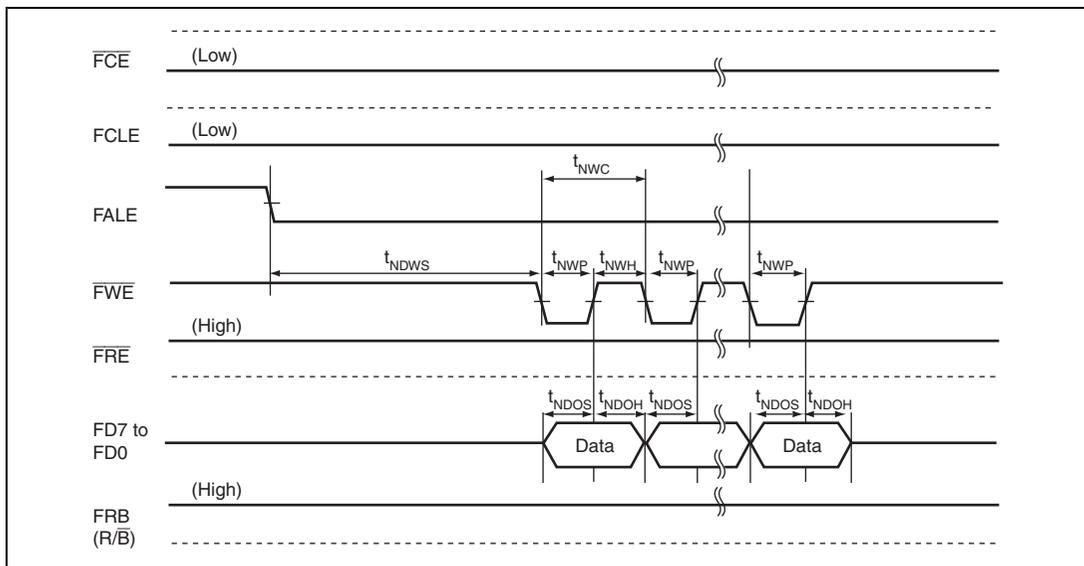


図 31.60 NAND 型フラッシュメモリのデータライトタイミング

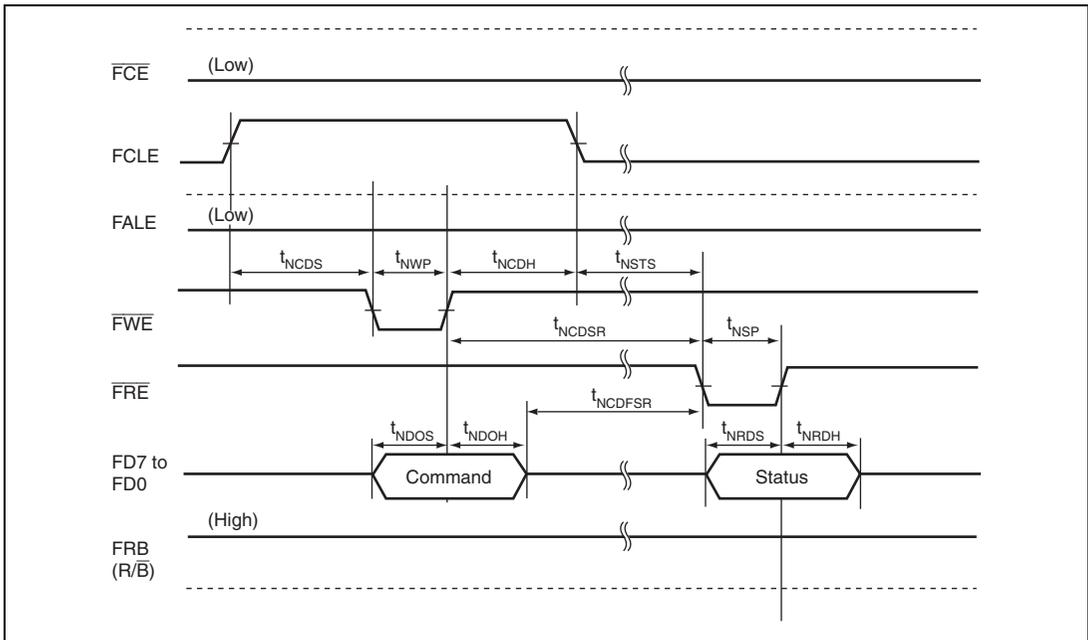


図 31.61 NAND 型フラッシュメモリのステータスリードタイミング

### 31.3.17 GPIO 信号タイミング

表 31.21 GPIO 信号タイミング

( $V_{DD0} = 3.0 \sim 3.6V$ ,  $V_{DD} = 1.25V$ ,  $T_a = -20 \sim 75^\circ C / -40 \sim 85^\circ C$ ,  $C_L = 30pF$ )

項目	記号	Min.	Max.	単位	参照図
GPIO 出力遅延時間	$t_{IOPD}$	1.5	6	ns	31.62
GPIO 入力セットアップ時間	$t_{IOPS}$	3.5	—	ns	31.62
GPIO 入力ホールド時間	$t_{IOPH}$	1.5	—	ns	31.62

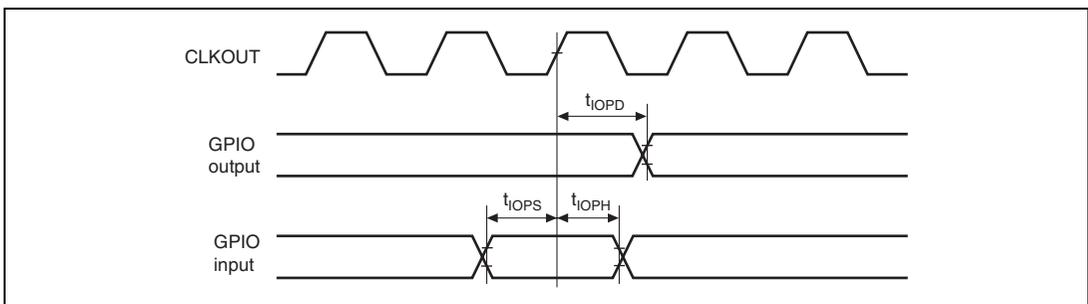


図 31.62 GPIO タイミング

## 31. 電気的特性

### 31.3.18 H-UDI モジュール信号タイミング

表 31.22 H-UDI モジュール信号タイミング

( $V_{DDQ}=3.0\sim 3.6V$ 、 $V_{DD}=1.25V$ 、 $T_a=-20\sim 75^{\circ}C/-40\sim 85^{\circ}C$ 、 $C_L=30pF$ )

項目	記号	Min.	Max.	単位	参照図	備考
入力クロックサイクル	$t_{TCKcyc}$	50	—	ns	31.63, 31.65	
入力クロックパルス幅 (High 時)	$t_{TCKH}$	15	—	ns	31.63	
入力クロックパルス幅 (Low 時)	$t_{TCKL}$	15	—	ns	31.63	
入力クロック立ち上がり時間	$t_{TCKr}$	—	10	ns	31.63	
入力クロック立ち下がり時間	$t_{TCKf}$	—	10	ns	31.63	
ASEBRK セットアップ時間	$t_{ASEBRKS}$	10	—	$t_{cyc}$	31.64	
ASEBRK ホールド時間	$t_{ASEBRKH}$	10	—	$t_{cyc}$	31.64	
TDI/TMS セットアップ時間	$t_{TDS}$	15	—	ns	31.65	
TDI/TMS ホールド時間	$t_{TDH}$	15	—	ns	31.65	
TDO データ遅延時間	$t_{TDO}$	0	10	ns	31.65	
ASE-PINBRK パルス幅	$t_{PINBRK}$	2	—	$t_{Pcyc}$	31.66	

- 【注】 1.  $t_{cyc}$  は CLKOUT クロックの 1 サイクル時間を示します。  
 2.  $t_{Pcyc}$  は周辺クロック (Pck) の 1 サイクル時間を示します。

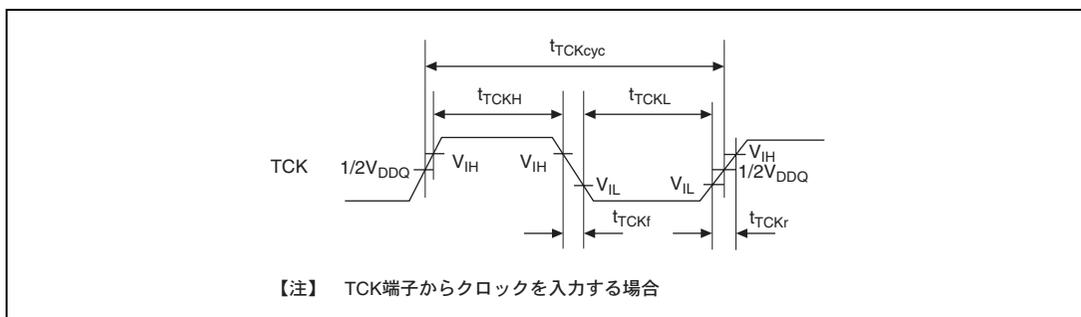


図 31.63 TCK 入力タイミング

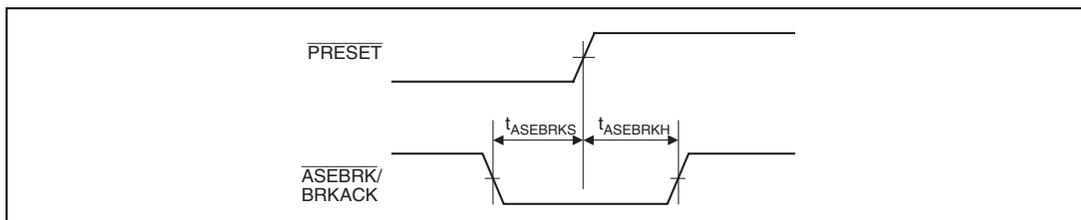


図 31.64 PRESET ホールドタイミング

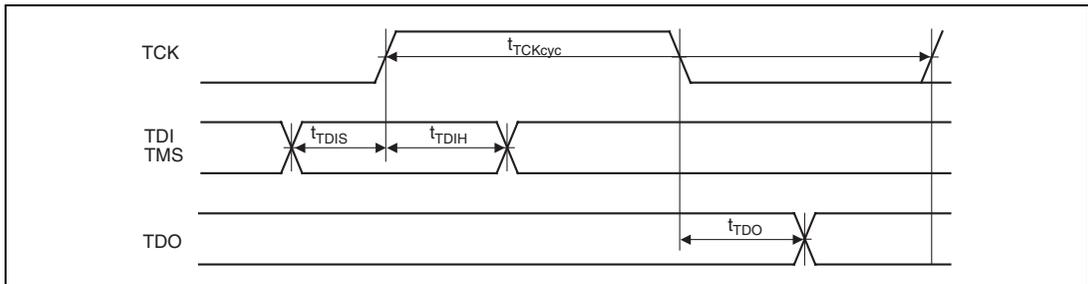


図 31.65 H-UDI データ転送タイミング

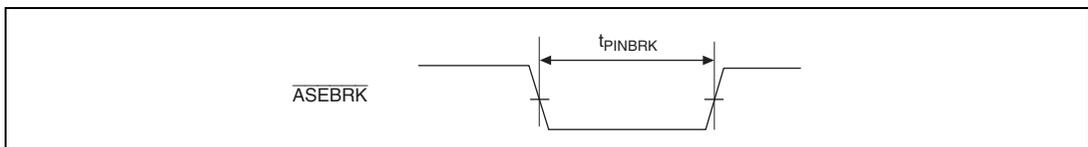


図 31.66 ASEBRK 端子ブレイクタイミング

## 31.4 AC 特性測定条件

AC 特性測定条件は次のとおりです。

- 入出力信号参照レベル： $V^*/2$
- 入力パルスレベル： $V_{SSQ} \sim V^*$
- 入力立ち上がり、立ち下がり時間：1ns

【注】  $V^* : V_{DDQ}, V_{CCQ-DDR}$  ( $V_{DDQ}=3.0 \sim 3.6V, V_{CCQ-DDR}=2.3 \sim 2.7V$ )

出力付加回路を図 31.67 に示します。

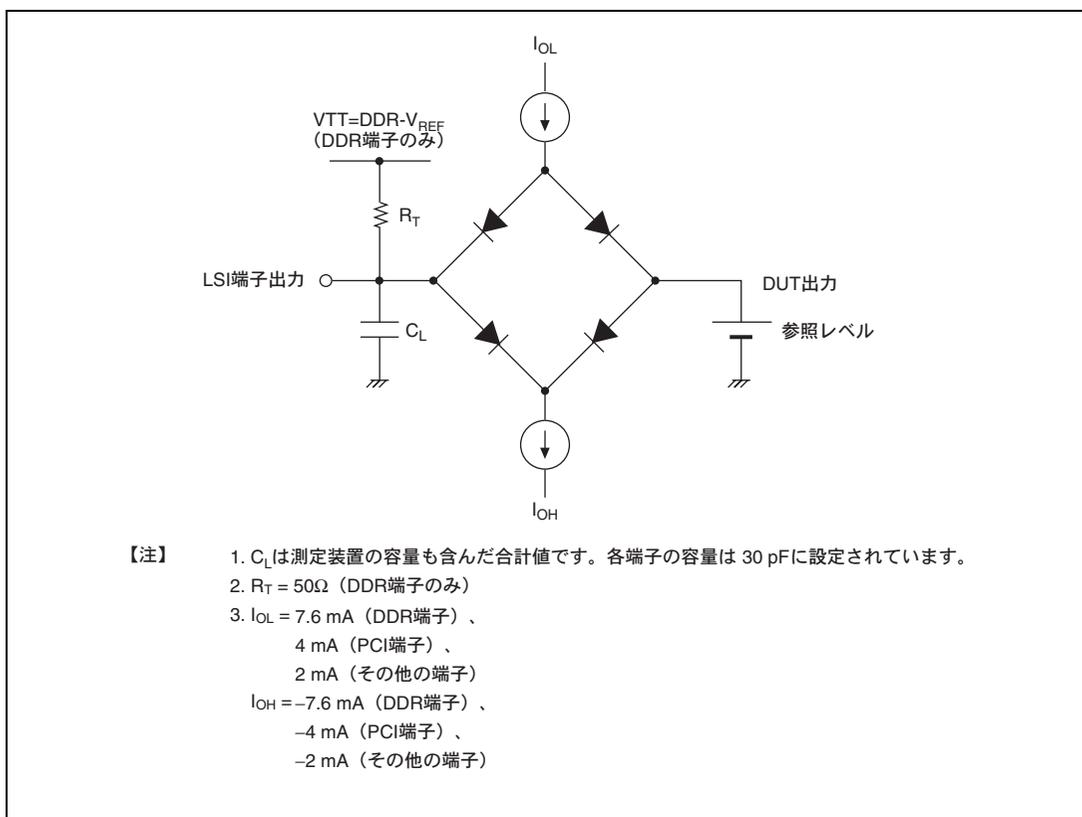


図 31.67 出力付加回路

### 31.5 負荷容量による遅延時間の変化

下記に、本 LSI の各端子に規定以上 (30pF) の負荷容量を接続した場合の遅延時間の変化のグラフ (参考データ) を示します。規定容量を超えて、外部デバイスを接続される場合は、**図 31.68** のグラフを参考に設計してください。

なお、接続される負荷容量が**図 31.68** の範囲を超える場合は、グラフは直線にはなりません。

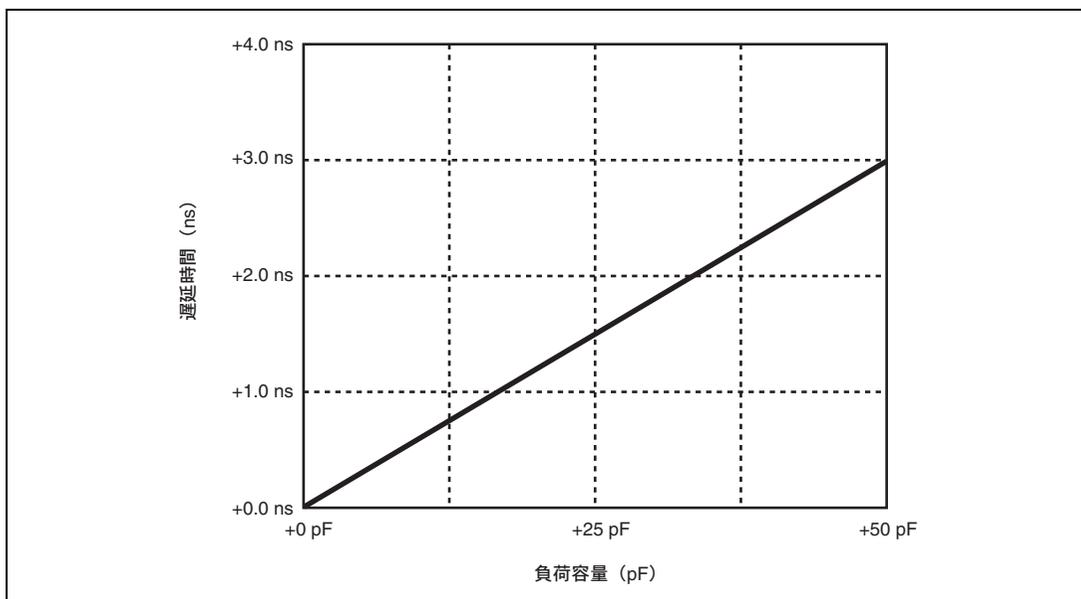


図 31.68 負荷容量－遅延時間



# 付録

## A. CPU 動作モードレジスタ (CPUOPM)

CPUOPM は、CPU の動作モードを切り替えるために使用します。本レジスタは P4 領域の H'FF2F0000 あるいはエリア7アドレスの H'1F2F0000 から 32 ビットサイズで読み出し／書き込みが可能です。本レジスタへ書き込む際には、必ずリザーブビットに初期値を書き込むようにしてください。リザーブビットに初期値以外の値を書き込んだ場合の動作は保証されません。

CPUOPM の更新は、CPU 以外の SuperHyway バスマスタからのアクセスでなく、CPU のストア命令で行ってください。また、CPUOPM 更新後、一度 CPUOPM を読み出した後で、以下の 1.または 2.のどちらかを実行してください。

1. RTE命令による分岐を実行してください。
  2. 任意のアドレス（キャッシング不可領域でもよい）に対して、ICBI命令を実行してください。
- 1.または 2.の実行後、CPU は更新後の CPUOPM の値を用いて動作することが保証されます。

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	RABD	—	INTMU	—	—	—
初期値 :	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31~6	—	H'000000F	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
5	RABD	1	R/W	サブルーチン復帰投機実行ビット 0: サブルーチンからの復帰時に命令フェッチを投機的に発行します。本ビットを0に設定する場合は、「付録 C. サブルーチン復帰投機実行」を参照してください。 1: サブルーチンからの復帰時に命令フェッチを投機的に発行しません。
4	—	0	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。
3	INTMU	0	R/W	割り込み動作モード切り替えビット 0: 割り込みを受理しても SR.IMASK の値は変化しません。 1: 割り込みを受理した場合、受け付けたレベルを SR.IMASK の値に自動的に設定します。
2~0	—	000	R	リザーブビット 書き込み時は、必ず初期値を書き込むようにしてください。

## B. 命令プリフェッチとその副作用について

本 LSI は、先読みした命令を保持するためのバッファを内部に設けており、常に命令の先読みを行っています。したがって、各メモリ空間の最終 64 バイト領域にプログラムを配置しないでください。その領域にプログラムを配置した場合、メモリエリアを超えて命令の先読みのためのバスアクセスが発生する場合があります。

以下にこれが問題となるケースを示します。

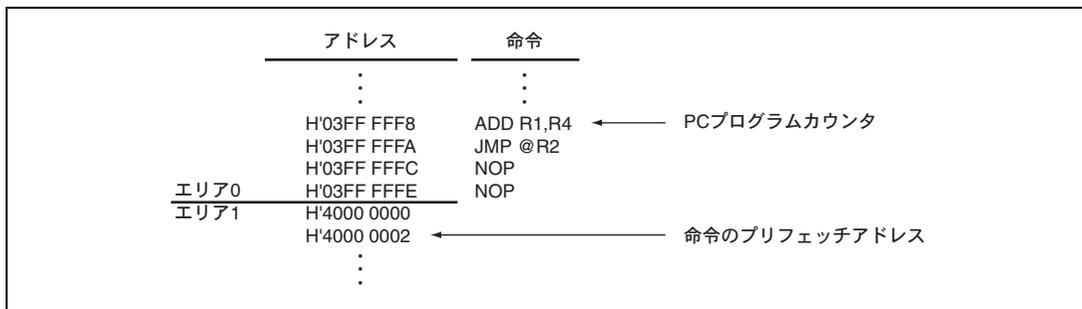


図 B.1 命令のプリフェッチ例

図 B.1 では、PC（プログラムカウンタ）が指し示す命令（ADD）と、H'0400 0002 番地の命令フェッチが同時に行われるケースを想定しています。また、プログラムは、後続の JMP 命令、ディレイスロット命令の実行後、エリア 1 以外の領域に分岐するものと仮定します。

この場合、プログラムのフローから想定し得ないエリア 1 へのバスアクセス（命令のプリフェッチ）が発生する可能性があります。

### (1) 命令のプリフェッチの副作用

- 命令プリフェッチが引き起こす外部バスアクセスが原因でその領域に接続されたFIFOなどの外部デバイスが誤動作する場合があります。
- 命令プリフェッチが引き起こす外部バス要求に応答するデバイスが存在しない場合、ハングアップの原因になります。

### (2) 回避方法

- MMUを用いることで、これら不当な命令フェッチを回避することが可能です。
- 各エリア最終64バイトの領域にプログラムを配置しないことで、回避することが可能です。

## C. サブルーチン復帰投機実行

本 LSI はサブルーチンからの復帰時に命令フェッチを投機的に発行する仕組みを内部に持っています。サブルーチンからの復帰時に命令フェッチを投機的に発行することにより、復帰時の実行サイクルを短縮することができます。この機能は CPU 動作モードレジスタ (CPUOPM) のビット 5 (RABD) の値を 0 に設定すると有効になります。しかしサブルーチンからの復帰時に命令フェッチを投機的に発行すると、プログラム上アクセスするはずのないアドレスに対する命令フェッチが起きる場合があります。その結果、想定し得ないエリアへのバスアクセスが発生したり、内部的に命令アドレスエラーが発生して誤動作を引き起こす可能性があります。想定し得ないエリアへのバスアクセスが発生することによる副作用は、「付録 B. (1) 命令のプリフェッチの副作用」を参照してください。

### 使用条件：

サブルーチン復帰投機実行の機能を有効にする場合、サブルーチンからの復帰は JSR/BSR/BSRF 命令で PR に設定した戻りアドレスに対して、RTS 命令を使って行うようにしてください。これによりプログラム上アクセスするはずのないアドレスに対するアクセスを抑制でき、誤動作を回避することが可能です。

## D. レジスタアドレスマップ

本アドレスマップは、内蔵 I/O レジスタの情報を示します。下記のアドレスは、ビッグエンディアンのものです。レジスタが 16 ビットもしくは 32 ビットの場合、アドレスは MSB 側のものを示します。アクセスサイズの単位はビットです。

【注】 リザーブアドレスへのアクセスおよびアクセスサイズ以下でのアクセスは禁止です。アクセスした場合の動作は保証できません。

【略号】 初期値の「x」は不定もしくは外部端子の設定によります。詳細は、各モジュールの章を参照してください。

### H-UDI (H'FC00 0000-H'FC7F FFFF; 8M バイト)

物理アドレス	レジスタ名	略称	初期値	R/W	アクセスサイズ	モジュール
H'FC00 0000~ H'FC10 FFFF	リザーブ (1,114,112 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセスサイズ	モジュール
H'FC11 0000	インストラクションレジスタ	SDIR	H'0EFF	R	16	H-UDI
H'FC11 0018	割り込み要因レジスタ	SDINT	H'0000	R/W	16	H-UDI
H'FC11 001A~ H'FC7F FFFF	リザーブ (7,274,470 バイト)	—	—	—	—	—

## DMAC (H'FC80 0000-H'FCFF FFFF; 8Mバイト)

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FC80 0000～ H'FC80 7FFF	リザーブ (32,768 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FC80 8000～ H'FC80 801F	リザーブ (32 バイト)	—	—	—	—	—
H'FC80 8020	DMA ソースアドレスレジスタ 0	SAR0	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8024	DMA デスティネーション アドレスレジスタ 0	DAR0	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8028	DMA トランスファカウント レジスタ 0	TCR0	H'xxxx xxxx	R/W	32	DMAC
H'FC80 802C	DMA チャネルコントロール レジスタ 0	CHCR0	H'4000 0000	R/W	32	DMAC
H'FC80 8030	DMA ソースアドレスレジスタ 1	SAR1	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8034	DMA デスティネーション アドレスレジスタ 1	DAR1	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8038	DMA トランスファカウント レジスタ 1	TCR1	H'xxxx xxxx	R/W	32	DMAC
H'FC80 803C	DMA チャネルコントロール レジスタ 1	CHCR1	H'4000 0000	R/W	32	DMAC
H'FC80 8040	DMA ソースアドレスレジスタ 2	SAR2	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8044	DMA デスティネーション アドレスレジスタ 2	DAR2	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8048	DMA トランスファカウント レジスタ 2	TCR2	H'xxxx xxxx	R/W	32	DMAC
H'FC80 804C	DMA チャネルコントロール レジスタ 2	CHCR2	H'4000 0000	R/W	32	DMAC
H'FC80 8050	DMA ソースアドレスレジスタ 3	SAR3	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8054	DMA デスティネーション アドレスレジスタ 3	DAR3	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8058	DMA トランスファカウント レジスタ 3	TCR3	H'xxxx xxxx	R/W	32	DMAC
H'FC80 805C	DMA チャネルコントロール レジスタ 3	CHCR3	H'4000 0000	R/W	32	DMAC
H'FC80 8060	DMA オペレーションレジスタ 0	DMAOR0	H'0000	R/W	16	DMAC
H'FC80 8062～ H'FC80 806F	リザーブ (14 バイト)	—	—	—	—	—
H'FC80 8070	DMA ソースアドレスレジスタ 4	SAR4	H'xxxx xxxx	R/W	32	DMAC

付録

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FC80 8074	DMA デスティネーション アドレスレジスタ 4	DAR4	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8078	DMA トランスファカウント レジスタ 4	TCR4	H'xxxx xxxx	R/W	32	DMAC
H'FC80 807C	DMA チャネルコントロール レジスタ 4	CHCR4	H'4000 0000	R/W	32	DMAC
H'FC80 8080	DMA ソースアドレスレジスタ 5	SAR5	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8084	DMA デスティネーション アドレスレジスタ 5	DAR5	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8088	DMA トランスファカウント レジスタ 5	TCR5	H'xxxx xxxx	R/W	32	DMAC
H'FC80 808C	DMA チャネルコントロール レジスタ 5	CHCR5	H'4000 0000	R/W	32	DMAC
H'FC80 8090~ H'FC80 80FF	リザーブ (112 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FC80 8100～ H'FC80 811F	リザーブ (32 バイト)	—	—	—	—	—
H'FC80 8120	DMA ソースアドレスレジスタ B0	SARB0	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8124	DMA デスティネーション アドレスレジスタ B0	DARB0	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8128	DMA トランスファカウン レジスタ B0	TCRB0	H'xxxx xxxx	R/W	32	DMAC
H'FC80 812C	リザーブ	—	—	—	—	—
H'FC80 8130	DMA ソースアドレスレジスタ B1	SARB1	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8134	DMA デスティネーション アドレスレジスタ B1	DARB1	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8138	DMA トランスファカウン レジスタ B1	TCRB1	H'xxxx xxxx	R/W	32	DMAC
H'FC80 813C	リザーブ	—	—	—	—	—
H'FC80 8140	DMA ソースアドレスレジスタ B2	SARB2	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8144	DMA デスティネーション アドレスレジスタ B2	DARB2	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8148	DMA トランスファカウン レジスタ B2	TCRB2	H'xxxx xxxx	R/W	32	DMAC
H'FC80 814C	リザーブ	—	—	—	—	—
H'FC80 8150	DMA ソースアドレスレジスタ B3	SARB3	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8154	DMA デスティネーション アドレスレジスタ B3	DARB3	H'xxxx xxxx	R/W	32	DMAC
H'FC80 8158	DMA トランスファカウン レジスタ B3	TCRB3	H'xxxx xxxx	R/W	32	DMAC
H'FC80 815C～ H'FC80 8FFF	リザーブ (3,748 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FC80 9000	DMA 拡張リソースセクタ 0	DMARS0	H'0000	R/W	16	DMAC
H'FC80 9004	DMA 拡張リソースセクタ 1	DMARS1	H'0000	R/W	16	DMAC
H'FC80 9008	DMA 拡張リソースセクタ 2	DMARS2	H'0000	R/W	16	DMAC
H'FC80 900A～ H'FC80 7FFF	リザーブ (61,430 バイト)	—	—	—	—	—

付録

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FC81 8000~ H'FC81 801F	リザーブ (32 バイト)	—	—	—	—	—
H'FC81 8020	DMA ソースアドレスレジスタ 6	SAR6	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8024	DMA デスティネーション アドレスレジスタ 6	DAR6	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8028	DMA トランスファカウン レジスタ 6	TCR6	H'xxxx xxxx	R/W	32	DMAC
H'FC81 802C	DMA チャネルコントロール レジスタ 6	CHCR6	H'4000 0000	R/W	32	DMAC
H'FC81 8030	DMA ソースアドレスレジスタ 7	SAR7	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8034	DMA デスティネーションアドレ スレジスタ 7	DAR7	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8038	DMA トランスファカウン レジスタ 7	TCR7	H'xxxx xxxx	R/W	32	DMAC
H'FC81 803C	DMA チャネルコントロール レジスタ 7	CHCR7	H'4000 0000	R/W	32	DMAC
H'FC81 8040	DMA ソースアドレスレジスタ 8	SAR8	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8044	DMA デスティネーションアドレ スレジスタ 8	DAR8	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8048	DMA トランスファカウン レジスタ 8	TCR8	H'xxxx xxxx	R/W	32	DMAC
H'FC81 804C	DMA チャネルコントロール レジスタ 8	CHCR8	H'4000 0000	R/W	32	DMAC
H'FC81 8050	DMA ソースアドレスレジスタ 9	SAR9	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8054	DMA デスティネーションアドレ スレジスタ 9	DAR9	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8058	DMA トランスファカウン レジスタ 9	TCR9	H'xxxx xxxx	R/W	32	DMAC
H'FC81 805C	DMA チャネルコントロール レジスタ 9	CHCR9	H'4000 0000	R/W	32	DMAC
H'FC81 8060	DMA オペレーションレジスタ 1	DMAOR1	H'0000	R/W	16	DMAC
H'FC81 8062~ H'FC81 806F	リザーブ (14 バイト)	—	—	—	—	—
H'FC81 8070	DMA ソースアドレスレジスタ 10	SAR10	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8074	DMA デスティネーションアドレ スレジスタ 10	DAR10	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8078	DMA トランスファカウン レジスタ 10	TCR10	H'xxxx xxxx	R/W	32	DMAC

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FC81 807C	DMA チャンネルコントロール レジスタ 10	CHCR10	H'4000 0000	R/W	32	DMAC
H'FC81 8080	DMA ソースアドレスレジスタ 11	SAR11	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8084	DMA デスティネーションアドレス レジスタ 11	DAR11	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8088	DMA トランスファカウンタ レジスタ 11	TCR11	H'xxxx xxxx	R/W	32	DMAC
H'FC81 808C	DMA チャンネルコントロール レジスタ 11	CHCR11	H'4000 0000	R/W	32	DMAC
H'FC81 8090~ H'FC81 80FF	リザーブ (112 バイト)	—	—	—	—	—

付録

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FC81 8100~ H'FC81 811F	リザーブ (32 バイト)	—	—	—	—	—
H'FC81 8120	DMA ソースアドレスレジスタ B6	SARB6	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8124	DMA デスティネーションアドレス レジスタ B6	DARB6	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8128	DMA トランスファカウンタ レジスタ B6	TCRB6	H'xxxx xxxx	R/W	32	DMAC
H'FC81 812C	リザーブ	—	—	—	—	—
H'FC81 8130	DMA ソースアドレスレジスタ B7	SARB7	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8134	DMA デスティネーションアドレス レジスタ B7	DARB7	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8138	DMA トランスファカウンタ レジスタ B7	TCRB7	H'xxxx xxxx	R/W	32	DMAC
H'FC81 813C	リザーブ	—	—	—	—	—
H'FC81 8140	DMA ソースアドレスレジスタ B8	SARB8	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8144	DMA デスティネーションアドレス レジスタ B8	DARB8	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8148	DMA トランスファカウンタ レジスタ B8	TCRB8	H'xxxx xxxx	R/W	32	DMAC
H'FC81 814C	リザーブ	—	—	—	—	—
H'FC81 8150	DMA ソースアドレスレジスタ B9	SARB9	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8154	DMA デスティネーションアドレス レジスタ B9	DARB9	H'xxxx xxxx	R/W	32	DMAC
H'FC81 8158	DMA トランスファカウンタ レジスタ B9	TCRB9	H'xxxx xxxx	R/W	32	DMAC
H'FC81 815C~ H'FCFF FFFF	リザーブ (8,289,956 バイト)	—	—	—	—	—

**PCIメモリ (H'FD00 0000-H'FDFF FFFF; 16Mバイト外部メモリ空間)**

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FD00 0000～ H'FDFF FFFF	PCIメモリ空間0 (16Mバイト= 16,777,216バイト)	—	—	—	—	—

**PCIC (H'FE00 0000-H'FE3F FFFF; 4Mバイト)**

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FE00 0000～ H'FE00 0007	リザーブ (8バイト)	—	—	—	—	—
H'FE00 0008	PCIイネーブル制御レジスタ	PCIECR	H'0000 0000	R/W	32	PCIC
H'FE00 000C～ H'FE03 FFFF	リザーブ (262,132バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FE04 0000	PCIデバイスIDレジスタ	PCIDID	H'0002	R	16	PCIC
H'FE04 0002	PCIベンダーIDレジスタ	PCIVID	H'1912	R	16	PCIC
H'FE04 0004	PCIステータスレジスタ	PCISTATUS	H'0290	R/W	16	PCIC
H'FE04 0006	PCIコマンドレジスタ	PCICMD	H'0080	R/W	16	PCIC
H'FE04 0008	PCIベースクラスコード レジスタ	PCIBCC	H'00	R/W	8	PCIC
H'FE04 0009	PCIサブクラスコードレジスタ	PCISUB	H'00	R/W	8	PCIC
H'FE04 000A	PCIプログラムインタフェース レジスタ	PCIPIF	H'00	R/W	8	PCIC
H'FE04 000B	PCIレビジョンIDレジスタ	PCIRID	H'00	R	8	PCIC
H'FE04 000C	PCI BISTレジスタ	PCIBIST	H'00	R	8	PCIC
H'FE04 000D	PCIヘッダタイプレジスタ	PCIHDR	H'00	R	8	PCIC
H'FE04 000E	PCIレイテンシタイムレジスタ	PCILTM	H'00	R/W	8	PCIC
H'FE04 000F	PCIキャッシュラインサイズ レジスタ	PCICLS	H'20	R	8	PCIC
H'FE04 0010	PCI I/O ベースアドレスレジスタ	PCIIBAR	H'0000 0001	R/W	32	PCIC
H'FE04 0014	PCIメモリベースアドレス レジスタ0	PCIMBAR0	H'0000 0000	R/W	32	PCIC
H'FE04 0018	PCIメモリベースアドレス レジスタ1	PCIMBAR1	H'0000 0000	R/W	32	PCIC
H'FE04 001C～ H'FE04 002B	リザーブ (16バイト)	—	—	—	—	—

付録

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FE04 002C	PCI サブシステム ID	PCISID	H'0000	R/W	16	PCIC
H'FE04 002E	PCI サブシステムベンダ ID	PCISVID	H'0000	R/W	16	PCIC
H'FE04 0030~ H'FE04 0036	リザーブ (7 バイト)	—	—	—	—	—
H'FE04 0037	PCI 拡張機能ポインタレジスタ	PCLCP	H'40	R/W	8	PCIC
H'FE04 0038	リザーブ	—	—	—	—	—
H'FE04 003C	PCI 最大レイテンシ指定 レジスタ	PCIMAXLAT	H'00	R	8	PCIC
H'FE04 003D	PCI 最小グラント指定レジスタ	PCIMINGNT	H'00	R	8	PCIC
H'FE04 003E	PCI 割り込み端子指定レジスタ	PCIINTPIN	H'01	R/W	8	PCIC
H'FE04 003F	PCI 割り込みラインレジスタ	PCIINTLINE	H'00	R/W	8	PCIC
H'FE04 0040	PCI パワーマネジメント レジスタ	PCIPMC	H'000A	R/W	16	PCIC
H'FE04 0042	PCI 次項目ポインタレジスタ	PCINIP	H'00	R	8	PCIC
H'FE04 0043	PCI 拡張機能 ID レジスタ	PCICID	H'01	R	8	PCIC
H'FE04 0044	PCI パワー消費/放散データ レジスタ	PCIPCDD	H'00	R/W	8	PCIC
H'FE04 0045	PCI_PMC SR ブリッジサポート 拡張レジスタ	PCIPMCSR BSE	H'00	R/W	8	PCIC
H'FE04 0046	PCI パワーマネジメントコント ロール/ステータスレジスタ	PCIPMCSR	H'0000	R/W	16	PCIC
H'FE04 0048~ H'FE04 00FF	リザーブ (184 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FE04 0100	PCI コントロールレジスタ	PCICR	H'0000 00xx	R/W	32	PCIC
H'FE04 0104	PCI ローカルスペースレジスタ 0	PCILSR0	H'0000 0000	R/W	32	PCIC
H'FE04 0108	PCI ローカルスペースレジスタ 1	PCILSR1	H'0000 0000	R/W	32	PCIC
H'FE04 010C	PCI ローカルアドレスレジスタ 0	PCILAR0	H'0000 0000	R/W	32	PCIC
H'FE04 0110	PCI ローカルアドレスレジスタ 1	PCILAR1	H'0000 0000	R/W	32	PCIC
H'FE04 0114	PCI 割り込みレジスタ	PCIIR	H'0000 0000	R/W	32	PCIC
H'FE04 0118	PCI 割り込みマスクレジスタ	PCIIMR	H'0000 0000	R/W	32	PCIC
H'FE04 011C	PCI エラーアドレス情報レジスタ	PCIAIR	H'xxxx xxxx	R	32	PCIC
H'FE04 0120	PCI エラーコマンド情報レジスタ	PCICIR	H'xx00 000x	R	32	PCIC
H'FE04 0124~ H'FE04 012F	リザーブ (12 バイト)	—	—	—	—	—
H'FE04 0130	PCI アービタ割り込みレジスタ	PCIAINT	H'0000 0000	R/W	32	PCIC
H'FE04 0134	PCI アービタ割り込みマスク レジスタ	PCIAINTM	H'0000 0000	R/W	32	PCIC
H'FE04 0138	PCI バスマスタエラー情報 レジスタ	PCIBMIR	H'0000 00xx	R	32	PCIC
H'FE04 013C~ H'FE04 01BF	リザーブ (132 バイト)	—	—	—	—	—
H'FE04 01C0	PCI PIO アドレスレジスタ	PCIPAR	H'80xx xxxx	R/W	32	PCIC
H'FE04 01C4~ H'FE04 01CB	リザーブ (8 バイト)	—	—	—	—	—
H'FE04 01CC	PCI パワーマネジメント割り込み レジスタ	PCIPINT	H'0000 0000	R/W	32	PCIC
H'FE04 01D0	PCI パワーマネジメント割り込み マスクレジスタ	PCIPINTM	H'0000 0000	R/W	32	PCIC
H'FE04 01D4~ H'FE04 01DF	リザーブ (12 バイト)	—	—	—	—	—
H'FE04 01E0	PCI メモリバンクレジスタ 0	PCIMBR0	H'0000 0000	R/W	32	PCIC
H'FE04 01E4	PCI メモリバンクマスク レジスタ 0	PCIMBMR0	H'0000 0000	R/W	32	PCIC
H'FE04 01E8	PCI メモリバンクレジスタ 1	PCIMBR1	H'0000 0000	R/W	32	PCIC
H'FE04 01EC	PCI メモリバンクマスク レジスタ 1	PCIMBMR1	H'0000 0000	R/W	32	PCIC
H'FE04 01F0	PCI メモリバンクレジスタ 2	PCIMBR2	H'0000 0000	R/W	32	PCIC
H'FE04 01F4	PCI メモリバンクマスク レジスタ 2	PCIMBMR2	H'0000 0000	R/W	32	PCIC
H'FE04 01F8	PCI I/O バンクレジスタ	PCIOBR	H'0000 0000	R/W	32	PCIC
H'FE04 01FC	PCI I/O バンクマスクレジスタ	PCIOBMR	H'0000 0000	R/W	32	PCIC

付録

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FE04 0200～ H'FE04 020F	リザーブ (16 バイト)	—	—	—	—	—
H'FE04 0210	PCI キャッシュスヌープ コントロールレジスタ 0	PCICSCRO	H'0000 0000	R/W	32	PCIC
H'FE04 0214	PCI キャッシュスヌープ コントロールレジスタ 1	PCICSCR1	H'0000 0000	R/W	32	PCIC
H'FE04 0218	PCI キャッシュスヌープ アドレスレジスタ 0	PCICSAR0	H'0000 0000	R/W	32	PCIC
H'FE04 021C	PCI キャッシュスヌープ アドレスレジスタ 1	PCICSAR1	H'0000 0000	R/W	32	PCIC
H'FE04 0220	PCI PIO データレジスタ	PCIPDR	H'xxxx xxxx	R/W	32	PCIC
H'FE04 022C～ H'FE04 03FF	リザーブ (468 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FE04 0400～ H'FE3F FFFF	リザーブ (3,996,672 バイト)	—	—	—	—	—

**SuperHyway RAM (H'FE40 0000-H'FE7F FFFF; 4Mバイト)**

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FE40 0000～ H'FE40 FFFF	リザーブ (65,536 バイト)	—	—	—	—	—
H'FE41 0000～ H'FE41 3FFF	SuperHyway RAM0 (16K バイ ト) = (16,384 バイト)	—	不定	R/W	*	SuperHyway RAM
H'FE41 4000～ H'FE41 FFFF	リザーブ (49,152 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FE42 0000～ H'FE42 3FFF	SuperHyway RAM1 (16K バイ ト) = (16,384 バイト)	—	不定	R/W	*	SuperHyway RAM
H'FE42 4000～ H'FE7F FFFF	リザーブ (4,046,848 バイト)	—	—	—	—	—

【注】 \* 8/16/32/64 ビット、16/32 バイト

**DDRIF (H'FE80 0000-H'FEFF FFFF; 8Mバイト)**

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FE80 0000~ H'FE80 0007	リザーブ (8 バイト)	—	—	—	—	—
H'FE80 0008	メモリアンタフェース モードレジスタ (1)	MIM (1)	H'0000 0000	R/W	32	DDRIF
H'FE80 000C	メモリアンタフェース モードレジスタ (2)	MIM (2)	H'0C34 x100	R/W	32	DDRIF
H'FE80 0010	DDR-SDRAM コントロール レジスタ (1)	SCR (1)	H'0000 0000	R/W	32	DDRIF
H'FE80 0014	DDR-SDRAM コントロール レジスタ (2)	SCR (2)	H'0000 0000	R/W	32	DDRIF
H'FE80 0018	DDR-SDRAM タイミング レジスタ (1)	STR (1)	H'0000 0000	R/W	32	DDRIF
H'FE80 001C	DDR-SDRAM タイミング レジスタ (2)	STR (2)	H'0000 0000	R/W	32	DDRIF
H'FE80 0030	DDR-SDRAM ロウアトリビ ュートレジスタ (1)	SDR (1)	H'0000 0000	R/W	32	DDRIF
H'FE80 0034	DDR-SDRAM ロウアトリビ ュートレジスタ (2)	SDR (2)	H'0000 0000	R/W	32	DDRIF
H'FE80 0038~ H'FE80 03FF	リザーブ (968 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FE80 0400	DDR-SDRAM バックアップ レジスタ (1)	DBK (1)	H'0000 0000	R	32	DDRIF
H'FE80 0408	DDR-SDRAM バックアップ レジスタ (2)	DBK (2)	H'0000 000x	R	32	DDRIF
H'FE80 040C~ H'FEBF FFFF	リザーブ (4,193,268 バイト)	—	—	—	—	—
H'FECx xxxx*	DDR-SDRAM モード レジスタ	SDMR	—	W	32	DDRIF

【注】 \* DDR-SDRAM モードレジスタは DDR-SDRAM 内にあります。本アドレスをアクセスすることにより DDR-SDRAM 内のレジスタに書き込まれます。詳細は「第 12 章 DDR-SDRAM インタフェース (DDRIF)」を参照してください。

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FEC8 0000~ H'FEFF FFFF	リザーブ (3,670,016 バイト)	—	—	—	—	—

## CPU and Lメモリ (H'FF00 0000-H'FF3F FFFF; 4Mバイト)

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FF00 0000	ページテーブルエントリ上位 レジスタ	PTEH	H'xxxx xxxx	R/W	32	MMU
H'FF00 0004	ページテーブルエントリ下位 レジスタ	PTEL	H'xxxx xxxx	R/W	32	MMU
H'FF00 0008	変換テーブルベースレジスタ	TTB	H'xxxx xxxx	R/W	32	MMU
H'FF00 000C	TLB 例外アドレスレジスタ	TEA	H'xxxx xxxx	R/W	32	MMU
H'FF00 0010	MMU 制御レジスタ	MMUCR	H'0000 0000	R/W	32	MMU
H'FF00 0014~ H'FF00 001B	リザーブ (8 バイト)	—	—	—	—	—
H'FF00 001C	キャッシュ制御レジスタ	CCR	H'0000 0000	R/W	32	キャッシュ
H'FF00 0020	TRAPA 例外レジスタ	TRA	H'xxxx xxxx	R/W	32	例外処理
H'FF00 0024	例外事象レジスタ	EXPEVT	H'0000 0000	R/W	32	例外処理
H'FF00 0028	割り込み事象レジスタ	INTEVT	H'xxxx xxxx	R/W	32	例外処理
H'FF00 002C~ H'FF00 0037	リザーブ (12 バイト)	—	—	R/W	—	—
H'FF00 0038	キューアドレス制御レジスタ 0	QACR0	H'0000 00xx	R/W	32	キャッシュ
H'FF00 003C	キューアドレス制御レジスタ 1	QACR1	H'0000 00xx	R/W	32	キャッシュ
H'FF00 0040~ H'FF00 004F	リザーブ (16 バイト)	—	—	—	—	—
H'FF00 0050	Lメモリ転送元アドレスレジスタ 0	LSA0	H'xxxx xxxx	R/W	32	Lメモリ
H'FF00 0054	Lメモリ転送元アドレスレジスタ 1	LSA1	H'xxxx xxxx	R/W	32	Lメモリ
H'FF00 0058	Lメモリ転送先アドレスレジスタ 0	LDA0	H'xxxx xxxx	R/W	32	Lメモリ
H'FF00 005C	Lメモリ転送先アドレスレジスタ 1	LDA1	H'xxxx xxxx	R/W	32	Lメモリ
H'FF00 0060~ H'FF00 006F	リザーブ (16 バイト)	—	—	—	—	—
H'FF00 0070	物理アドレス空間制御レジスタ	PASCR	H'0000 0000	R/W	32	MMU
H'FF00 0074	内蔵メモリ制御レジスタ	RAMCR	H'0000 0000	R/W	32	キャッシュ/ Lメモリ
H'FF00 0078	命令再フェッチ抑止制御レジスタ	IRMCR	H'0000 0000	R/W	32	MMU
H'FF00 007C~ H'FF1F FFFF	リザーブ (2,097,028 バイト)	—	—	—	—	—

付録

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FF20 0000	マッチ条件設定レジスタ 0	CBR0	H'2000 0000	R/W	32	UBC
H'FF20 0004	マッチ動作設定レジスタ 0	CRR0	H'0000 2000	R/W	32	UBC
H'FF20 0008	マッチアドレス設定レジスタ 0	CAR0	H'xxxx xxxx	R/W	32	UBC
H'FF20 000C	マッチアドレスマスク設定 レジスタ 0	CAMR0	H'xxxx xxxx	R/W	32	UBC
H'FF20 0010～ H'FF20 001F	リザーブ (16 バイト)	—	—	—	—	—
H'FF20 0020	マッチ条件設定レジスタ 1	CBR1	H'2000 0000	R/W	32	UBC
H'FF20 0024	マッチ動作設定レジスタ 1	CRR1	H'0000 2000	R/W	32	UBC
H'FF20 0028	マッチアドレス設定レジスタ 1	CAR1	H'xxxx xxxx	R/W	32	UBC
H'FF20 002C	マッチアドレスマスク設定 レジスタ 1	CAMR1	H'xxxx xxxx	R/W	32	UBC
H'FF20 0030	マッチデータ設定レジスタ 1	CDR1	H'xxxx xxxx	R/W	32	UBC
H'FF20 0034	マッチデータマスク設定レジスタ 1	CDMR1	H'xxxx xxxx	R/W	32	UBC
H'FF20 0038	実行回数ブレークレジスタ 1	CETR1	H'xxxx xxxx	R/W	32	UBC
H'FF20 003C～ H'FF20 05FF	リザーブ (1,476 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FF20 0600	チャンネルマッチフラグレジスタ	CCMFR	H'0000 0000	R/W	32	UBC
H'FF20 0604～ H'FF20 061F	リザーブ (28 バイト)	—	—	—	—	—
H'FF20 0620	ブレークコントロールレジスタ	CBCR	H'0000 0000	R/W	32	UBC
H'FF20 0624～ H'FF2E FFFF	リザーブ (981,468 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FF2F 0000	CPU 動作モードレジスタ	CPUOPM	H'0000 03E0	R/W	32	例外処理
H'FF2F 0004～ H'FF3F FFFF	リザーブ (1,114,108 バイト)	—	—	—	—	—

**SuperHyway Router (H'FF40 0000-H'FF7F FFFF; 4Mバイト)**

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FF40 0000～ H'FF40 001F	リザーブ (32 バイト)	—	—	—	—	—
H'FF40 0020	メモリアドレスマップ選択 レジスタ	MMSELR	H'0000 0000	R/W	32	LBSC

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FF40 0024～ H'FF7F FFFF	リザーブ (4,194,268 バイト)	—	—	—	—	—

**LBSC (H'FF80 0000-H'FFBF FFFF; 4Mバイト)**

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FF80 0000～ H'FF80 0FFF	リザーブ (4,096 バイト)	—	—	—	—	—
H'FF80 1000	バスコントロールレジスタ	BCR	H'0000 0000	R/W	32	LBSC
H'FF80 1004～ H'FF80 1FFF	リザーブ (4,092 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FF80 2000	CS0 バスコントロール レジスタ	CS0BCR	H'7777 7770	R/W	32	LBSC
H'FF80 2004	リザーブ	—	—	—	—	—
H'FF80 2008	CS0 ウェイトコントロール レジスタ	CS0WCR	H'7777 770F	R/W	32	LBSC
H'FF80 200C	リザーブ	—	—	—	—	—
H'FF80 2010	CS1 バスコントロール レジスタ	CS1BCR	H'7777 7770	R/W	32	LBSC
H'FF80 2014	リザーブ	—	—	—	—	—
H'FF80 2018	CS1 ウェイトコントロール レジスタ	CS1WCR	H'7777 770F	R/W	32	LBSC
H'FF80 201C	リザーブ	—	—	—	—	—
H'FF80 2020	CS2 バスコントロール レジスタ	CS2BCR	H'7777 7770	R/W	32	LBSC
H'FF80 2024	リザーブ	—	—	—	—	—
H'FF80 2028	CS2 ウェイトコントロール レジスタ	CS2WCR	H'7777 770F	R/W	32	LBSC

付録

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FF80 202C~ H'FF80 203F	リザーブ (20 バイト)	—	—	—	—	—
H'FF80 2040	CS4 バスコントロール レジスタ	CS4BCR	H'7777 7770	R/W	32	LBSC
H'FF80 2044	リザーブ	—	—	—	—	—
H'FF80 2048	CS4 ウェイトコントロール レジスタ	CS4WCR	H'7777 770F	R/W	32	LBSC
H'FF80 204C	リザーブ	—	—	—	—	—
H'FF80 2050	CS5 バスコントロール レジスタ	CS5BCR	H'7777 7770	R/W	32	LBSC
H'FF80 2054	リザーブ	—	—	—	—	—
H'FF80 2058	CS5 ウェイトコントロール レジスタ	CS5WCR	H'7777 770F	R/W	32	LBSC
H'FF80 205C	リザーブ	—	—	—	—	—
H'FF80 2060	CS6 バスコントロール レジスタ	CS6BCR	H'7777 7770	R/W	32	LBSC
H'FF80 2064	リザーブ	—	—	—	—	—
H'FF80 2068	CS6 ウェイトコントロール レジスタ	CS6WCR	H'7777 770F	R/W	32	LBSC
H'FF80 206C	リザーブ	—	—	—	—	—
H'FF80 2070	CS5PCMCIA コントロール レジスタ	CS5PCR	H'7700 0000	R/W	32	LBSC
H'FF80 2074~ H'FF80 207F	リザーブ (12 バイト)	—	—	—	—	—
H'FF80 2080	CS6PCMCIA コントロール レジスタ	CS6PCR	H'7700 0000	R/W	32	LBSC
H'FF80 2084~ H'FFBF FFFF	リザーブ (4,185,980 バイト)	—	—	—	—	—

## 周辺モジュール (H'FFC0 0000-H'FFFF FFFF; 4Mバイト)

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFC0 0000~ H'FFC7 FFFF	リザーブ (524,288 バイト)	—	—	—	—	—
H'FFC8 0000	周波数制御レジスタ	FRQCR	H'1xxx x3xx	R/W	32	CPG
H'FFC8 0004~ H'FFC8 0023	リザーブ (32 バイト)	—	—	—	—	—
H'FFC8 0024	PLL コントロールレジスタ	PLLCR	H'0000 E001	R/W	32	CPG
H'FFC8 0028~ H'FFC8 002F	リザーブ (8 バイト)	—	—	—	—	—
H'FFC8 0030	スタンバイコントロール レジスタ	MSTPCR	H'0000 0000	R/W	32	CPG
H'FFC8 0034~ H'FFCB FFFF	リザーブ (262,092 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFCC 0000	ウォッチドッグタイマ ストップタイムレジスタ	WDTST	H'0000 0000	R/W	32	WDT
H'FFCC 0004	ウォッチドッグタイマコン トロール/ステータス レジスタ	WDTCSR	H'0000 0000	R/W	32	WDT
H'FFCC 0008	ウォッチドッグタイマベー スストップタイムレジスタ	WDTBST	H'0000 0000	R/W	32	WDT
H'FFCC 000C	リザーブ	—	—	—	—	—
H'FFCC 0010	ウォッチドッグタイマ カウンタ	WDCNT	H'0000 0000	R	32	WDT
H'FFCC 0014	リザーブ	—	—	—	—	—
H'FFCC 0018	ウォッチドッグタイマ ベースカウンタ	WDTBCNT	H'0000 0000	R	32	WDT
H'FFCC 001C~ H'FFCF FFFF	リザーブ (262,116 バイト)	—	—	—	—	—

付録

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFD0 0000	割り込みコントロール レジスタ 0	ICR0	H'x000 0000	R/W	32	INTC
H'FFD0 0004~ H'FFD0 000F	リザーブ (12 バイト)	—	—	—	—	—
H'FFD0 0010	割り込み優先順位設定 レジスタ	INTPRI	H'0000 0000	R/W	32	INTC
H'FFD0 0014~ H'FFD0 001B	リザーブ (8 バイト)	—	—	—	—	—
H'FFD0 001C	割り込みコントロール レジスタ 1	ICR1	H'0000 0000	R/W	32	INTC
H'FFD0 0020	リザーブ	—	—	—	—	—
H'FFD0 0024	割り込み要因レジスタ	INTREQ	H'0000 0000	R/W	32	INTC
H'FFD0 0028~ H'FFD0 0043	リザーブ (28 バイト)	—	—	—	—	—
H'FFD0 0044	割り込みマスクレジスタ 0	INTMSK0	H'FF00 0000	R/W	32	INTC
H'FFD0 0048	割り込みマスクレジスタ 1	INTMSK1	H'FF00 0000	R/W	32	INTC
H'FFD0 004C~ H'FFD0 0063	リザーブ (24 バイト)	—	—	—	—	—
H'FFD0 0064	割り込みマスククリア レジスタ 0	INTMSKCLR0	H'0000 0000	R/W	32	INTC
H'FFD0 0068	割り込みマスククリア レジスタ 1	INTMSKCLR1	H'0000 0000	R/W	32	INTC
H'FFD0 006C~ H'FFD0 00BF	リザーブ (84 バイト)	—	—	—	—	—
H'FFD0 00C0	NMI フラグコントロール レジスタ	NMIFCR	H'x000 0000	R/W	32	INTC
H'FFD0 00C4~ H'FFD2 FFFF	リザーブ (196,412 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFD3 0000	ユーザ割り込みマスク レベル設定レジスタ	USERIMASK	H'0000 0000	R/W	32	INTC
H'FFD3 0004~ H'FFD3 FFFF	リザーブ (65,532 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFD4 0000	割り込み優先順位設定レジスタ 0	INT2PRI0	H'0000 0000	R/W	32	INTC
H'FFD4 0004	割り込み優先順位設定レジスタ 1	INT2PRI1	H'0000 0000	R/W	32	INTC
H'FFD4 0008	割り込み優先順位設定レジスタ 2	INT2PRI2	H'0000 0000	R/W	32	INTC
H'FFD4 000C	割り込み優先順位設定レジスタ 3	INT2PRI3	H'0000 0000	R/W	32	INTC
H'FFD4 0010	割り込み優先順位設定レジスタ 4	INT2PRI4	H'0000 0000	R/W	32	INTC
H'FFD4 0014	割り込み優先順位設定レジスタ 5	INT2PRI5	H'0000 0000	R/W	32	INTC
H'FFD4 0018	割り込み優先順位設定レジスタ 6	INT2PRI6	H'0000 0000	R/W	32	INTC
H'FFD4 001C	割り込み優先順位設定レジスタ 7	INT2PRI7	H'0000 0000	R/W	32	INTC
H'FFD4 0020~ H'FFD4 002F	リザーブ (16 バイト)	—	—	—	—	—
H'FFD4 0030	割り込み要因レジスタ (マスク状態の影響なし)	INT2A0	H'xxxx xxxx	R	32	INTC
H'FFD4 0034	割り込み要因レジスタ (マスク状態の影響あり)	INT2A1	H'0000 0000	R	32	INTC
H'FFD4 0038	割り込みマスクレジスタ	INT2MSKRG	H'FFFF FFFF	R/W	32	INTC
H'FFD4 003C	割り込みマスククリアレジスタ	INT2MSKCR	H'0000 0000	R/W	32	INTC
H'FFD4 0040	モジュール別割り込み要因 レジスタ 0	INT2B0	H'xxxx xxxx	R	32	INTC
H'FFD4 0044	モジュール別割り込み要因 レジスタ 1	INT2B1	H'xxxx xxxx	R	32	INTC
H'FFD4 0048	モジュール別割り込み要因 レジスタ 2	INT2B2	H'xxxx xxxx	R	32	INTC
H'FFD4 004C	モジュール別割り込み要因 レジスタ 3	INT2B3	H'xxxx xxxx	R	32	INTC
H'FFD4 0050	モジュール別割り込み要因 レジスタ 4	INT2B4	H'xxxx xxxx	R	32	INTC
H'FFD4 0054	モジュール別割り込み要因 レジスタ 5	INT2B5	H'xxxx xxxx	R	32	INTC
H'FFD4 0058	モジュール別割り込み要因 レジスタ 6	INT2B6	H'xxxx xxxx	R	32	INTC
H'FFD4 005C	モジュール別割り込み要因 レジスタ 7	INT2B7	H'xxxx xxxx	R	32	INTC
H'FFD4 0060~ H'FFD4 007F	リザーブ (32 バイト)	—	—	—	—	—
H'FFD4 0080	割り込みマスクレジスタ 2	INTMSK2	H'0000 0000	R/W	32	INTC
H'FFD4 0084	割り込みマスククリアレジスタ 2	INTMSKCLR2	H'0000 0000	R/W	32	INTC

付録

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFD4 0088~ H'FFD4 008F	リザーブ (8 バイト)	—	—	—	—	—
H'FFD4 0090	GPIO 割り込み設定レジスタ	INT2GPIC	H'0000 0000	R/W	32	INTC
H'FFD4 0094~ H'FFD7 FFFF	リザーブ (261,996 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFD8 0000	タイマアウトプット コントロールレジスタ	TOCR	H'00	R/W	8	TMU
H'FFD8 0004	タイマスタートレジスタ 0	TSTR0	H'00	R/W	8	TMU
H'FFD8 0008	タイマコンスタントレジスタ 0	TCOR0	H'FFFF FFFF	R/W	32	TMU
H'FFD8 000C	タイマカウンタ 0	TCNT0	H'FFFF FFFF	R/W	32	TMU
H'FFD8 0010	タイマコントロールレジスタ 0	TCR0	H'0000	R/W	16	TMU
H'FFD8 0014	タイマコンスタントレジスタ 1	TCOR1	H'FFFF FFFF	R/W	32	TMU
H'FFD8 0018	タイマカウンタ 1	TCNT1	H'FFFF FFFF	R/W	32	TMU
H'FFD8 001C	タイマコントロールレジスタ 1	TCR1	H'0000	R/W	16	TMU
H'FFD8 0020	タイマコンスタントレジスタ 2	TCOR2	H'FFFF FFFF	R/W	32	TMU
H'FFD8 0024	タイマカウンタ 2	TCNT2	H'FFFF FFFF	R/W	32	TMU
H'FFD8 0028	タイマコントロールレジスタ 2	TCR2	H'0000	R/W	16	TMU
H'FFD8 002C	インプットキャプチャ レジスタ 2	TCPR2	H'xxxx xxxx	R	32	TMU
H'FFD8 0030~ H'FFDB FFFF	リザーブ (262,096 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFDC 0000	リザーブ (4 バイト)	—	—	—	—	—
H'FFDC 0004	タイマスタートレジスタ 1	TSTR1	H'00	R/W	8	TMU
H'FFDC 0008	タイマコンスタントレジスタ 3	TCOR3	H'FFFF FFFF	R/W	32	TMU
H'FFDC 000C	タイマカウンタ 3	TCNT3	H'FFFF FFFF	R/W	32	TMU
H'FFDC 0010	タイマコントロールレジスタ 3	TCR3	H'0000	R/W	16	TMU
H'FFDC 0014	タイマコンスタントレジスタ 4	TCOR4	H'FFFF FFFF	R/W	32	TMU
H'FFDC 0018	タイマカウンタ 4	TCNT4	H'FFFF FFFF	R/W	32	TMU
H'FFDC 001C	タイマコントロールレジスタ 4	TCR4	H'0000	R/W	16	TMU
H'FFDC 0020	タイマコンスタントレジスタ 5	TCOR5	H'FFFF FFFF	R/W	32	TMU
H'FFDC 0024	タイマカウンタ 5	TCNT5	H'FFFF FFFF	R/W	32	TMU
H'FFDC 0028	タイマコントロールレジスタ 5	TCR5	H'0000	R/W	16	TMU
H'FFDC 002A~ H'FFDF FFFF	リザーブ (262,102 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFE0 0000	シリアルモードレジスタ 0	SCSMR0	H'0000	R/W	16	SCIF
H'FFE0 0004	ビットレートレジスタ 0	SCBRR0	H'FF	R/W	8	SCIF
H'FFE0 0008	シリアルコントロール レジスタ 0	SCSCR0	H'0000	R/W	16	SCIF
H'FFE0 000C	トランスミット FIFO データ レジスタ 0	SCFTDR0	H'xx	W	8	SCIF
H'FFE0 0010	シリアルステータスレジスタ 0	SCFSR0	H'0060	R/W	16	SCIF
H'FFE0 0014	レシーブ FIFO データ レジスタ 0	SCFRDR0	H'xx	R	8	SCIF
H'FFE0 0018	FIFO コントロールレジスタ 0	SCFCR0	H'0000	R/W	16	SCIF
H'FFE0 001C	トランスミット FIFO データ数 レジスタ 0	SCTFDR0	H'0000	R	16	SCIF
H'FFE0 0020	レシーブ FIFO データ数 レジスタ 0	SCRFRDR0	H'0000	R	16	SCIF
H'FFE0 0024	シリアルポートレジスタ 0	SCSPTR0	H'000x	R/W	16	SCIF
H'FFE0 0028	ラインステータスレジスタ 0	SCLSR0	H'0000	R/W	16	SCIF
H'FFE0 002C	シリアルエラーレジスタ 0	SCRER0	H'0000	R	16	SCIF
H'FFE0 002E~ H'FFE0 FFFF	リザーブ (65,490 バイト)	—	—	—	—	—

付録

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFE1 0000	シリアルモードレジスタ 1	SCSMR1	H'0000	R/W	16	SCIF
H'FFE1 0004	ビットレートレジスタ 1	SCBRR1	H'FF	R/W	8	SCIF
H'FFE1 0008	シリアルコントロールレジスタ 1	SCSCR1	H'0000	R/W	16	SCIF
H'FFE1 000C	トランスミット FIFO データ レジスタ 1	SCFTDR1	H'xx	W	8	SCIF
H'FFE1 0010	シリアルステータスレジスタ 1	SCFSR1	H'0060	R/W*	16	SCIF
H'FFE1 0014	レシーブ FIFO データレジスタ 1	SCFRDR1	H'xx	R	8	SCIF
H'FFE1 0018	FIFO コントロールレジスタ 1	SCFCR1	H'0000	R/W	16	SCIF
H'FFE1 001C	トランスミット FIFO データ数 レジスタ 1	SCTFDR1	H'0000	R	16	SCIF
H'FFE1 0020	レシーブ FIFO データ数レジスタ 1	SCRFDR1	H'0000	R	16	SCIF
H'FFE1 0024	シリアルポートレジスタ 1	SCSPTR1	H'00xx	R/W	16	SCIF
H'FFE1 0028	ラインステータスレジスタ 1	SCLSR1	H'0000	R/W	16	SCIF
H'FFE1 002C	シリアルエラーレジスタ 1	SCRER1	H'0000	R	16	SCIF
H'FFE1 002E~ H'FFE1 FFFF	リザーブ (65,490 バイト)	-	-	-	-	-

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFE2 0000	モードレジスタ	SIMDR	H'8000	R/W	16	SIOF
H'FFE2 0002	クロックセレクトレジスタ	SISCR	H'C000	R/W	16	SIOF
H'FFE2 0004	送信データアサインレジスタ	SITDAR	H'0000	R/W	16	SIOF
H'FFE2 0006	受信データアサインレジスタ	SIRDAR	H'0000	R/W	16	SIOF
H'FFE2 0008	制御データアサインレジスタ	SICDAR	H'0000	R/W	16	SIOF
H'FFE2 000C	コントロールレジスタ	SICTR	H'0000	R/W	16	SIOF
H'FFE2 0010	FIFO コントロールレジスタ	SIFCTR	H'1000	R/W	16	SIOF
H'FFE2 0014	ステータスレジスタ	SISTR	H'0000	R/W	16	SIOF
H'FFE2 0016	割り込み許可レジスタ	SIER	H'0000	R/W	16	SIOF
H'FFE2 0018~ H'FFE2 001F	リザーブ (8 バイト)	-	-	-	-	-
H'FFE2 0020	送信データレジスタ	SITDR	H'xxxx xxxx	W	32	SIOF
H'FFE2 0024	受信データレジスタ	SIRDR	H'xxxx xxxx	R	32	SIOF
H'FFE2 0028	送信制御データレジスタ	SITCR	H'0000 0000	R/W	32	SIOF
H'FFE2 002C	受信制御データレジスタ	SIRCR	H'xxxx xxxx	R/W	32	SIOF
H'FFE2 002C~ H'FFE2 FFFF	リザーブ (65,492 バイト)	-	-	-	-	-

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFE3 0000	コンフィギュレーションレジスタ	CMTCFG	H'0000 0000	R/W	32	CMT
H'FFE3 0004	フリーランニングタイマ	CMTFRT	H'0000 0000	R	32	CMT
H'FFE3 0008	コントロールレジスタ	CMTCTL	H'0000 0000	R/W	32	CMT
H'FFE3 000C	割り込みステータスレジスタ	CMTIRQS	H'0000 0000	R/W	32	CMT
H'FFE3 0010	チャンネル0 タイムレジスタ	CMTCH0T	H'0000 0000	R/W	32	CMT
H'FFE3 0014	チャンネル1 タイムレジスタ	CMTCH1T	H'0000 0000	R/W	32	CMT
H'FFE3 0018	チャンネル2 タイムレジスタ	CMTCH2T	H'0000 0000	R/W	32	CMT
H'FFE3 001C	チャンネル3 タイムレジスタ	CMTCH3T	H'0000 0000	R/W	32	CMT
H'FFE3 0020	チャンネル0 ストップタイム レジスタ	CMTCH0ST	H'0000 0000	R/W	32	CMT
H'FFE3 0024	チャンネル1 ストップタイム レジスタ	CMTCH1ST	H'0000 0000	R/W	32	CMT
H'FFE3 0028~ H'FFE3 002F	リザーブ (8 バイト)	—	—	—	—	—
H'FFE3 0030	チャンネル0 タイマ/カウンタ	CMTCH0C	H'0000 0000	R/W	32	CMT
H'FFE3 0034	チャンネル1 タイマ/カウンタ	CMTCH1C	H'0000 0000	R/W	32	CMT
H'FFE3 0038	チャンネル2 タイマ/カウンタ	CMTCH2C	H'0000 0000	R/W	32	CMT
H'FFE3 003C	チャンネル3 タイマ/カウンタ	CMTCH3C	H'0000 0000	R/W	32	CMT
H'FFE3 0040~ H'FFE4 5FFF	リザーブ (90,048 バイト)	—	—	—	—	—

付録

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFE4 6000~ H'FFE4 6007	リザーブ (8 バイト)	—	—	—	—	—
H'FFE4 6008	コントロールステータスレジスタ	HACCR	H'0000 0200	R/W	32	HAC
H'FFE4 600C~ H'FFE4 601F	リザーブ (20 バイト)	—	—	—	—	—
H'FFE4 6020	コマンド/ステータスアドレス レジスタ	HACCSAR	H'0000 0000	R/W	32	HAC
H'FFE4 6024	コマンド/ステータスデータ レジスタ	HACCSDR	H'0000 0000	R/W	32	HAC
H'FFE4 6028	PCM レフトチャンネルレジスタ	HACPCML	H'0000 0000	R/W	32	HAC
H'FFE4 602C	PCM ライトチャンネルレジスタ	HACPCMR	H'0000 0000	R/W	32	HAC
H'FFE4 6030~ H'FFE4 604F	リザーブ (32 バイト)	—	—	—	—	—
H'FFE4 6050	TX 割り込みイネーブルレジスタ	HACTIER	H'0000 0000	R/W	32	HAC
H'FFE4 6054	TX ステータスレジスタ	HACTSR	H'F000 0000	R/W	32	HAC
H'FFE4 6058	RX 割り込みイネーブルレジスタ	HACRIER	H'0000 0000	R/W	32	HAC
H'FFE4 605C	RX ステータスレジスタ	HACRSR	H'0000 0000	R/W	32	HAC
H'FFE4 6060	HAC コントロールレジスタ	HACACR	H'8400 0000	R/W	32	HAC
H'FFE4 6064~ H'FFE4 FFFF	リザーブ (40,860 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFE5 0000	コントロールレジスタ	SPCR	H'0000 0000	R/W	32	HSPI
H'FFE5 0004	ステータスレジスタ	SPSR	H'xxxx xx20	R	32	HSPI
H'FFE5 0008	システムコントロール レジスタ	SPSCR	H'0000 0040	R/W	32	HSPI
H'FFE5 000C	トランスミットバッファ レジスタ	SPTBR	H'0000 0000	R/W	32	HSPI
H'FFE5 0010	レシーブバッファレジスタ	SPRBR	H'0000 0000	R	32	HSPI
H'FFE5 0014~ H'FFE5 FFFF	リザーブ (65,516 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFE6 0000	コマンドレジスタ 0	CMDR0	H'00	R/W	8	MMCIF
H'FFE6 0001	コマンドレジスタ 1	CMDR1	H'00	R/W	8	MMCIF
H'FFE6 0002	コマンドレジスタ 2	CMDR2	H'00	R/W	8	MMCIF
H'FFE6 0003	コマンドレジスタ 3	CMDR3	H'00	R/W	8	MMCIF
H'FFE6 0004	コマンドレジスタ 4	CMDR4	H'00	R/W	8	MMCIF
H'FFE6 0005	コマンドレジスタ 5	CMDR5	H'00	R	8	MMCIF
H'FFE6 0006	コマンドスタートレジスタ	CMDSTRT	H'00	R/W	8	MMCIF
H'FFE6 000A	オペレーションコントロール レジスタ	OPCR	H'00	R/W	8	MMCIF
H'FFE6 000B	カードステータスレジスタ	CSTR	H'0x	R	8	MMCIF
H'FFE6 000C	割り込みコントロールレジスタ 0	INTCR0	H'00	R/W	8	MMCIF
H'FFE6 000D	割り込みコントロールレジスタ 1	INTCR1	H'00	R/W	8	MMCIF
H'FFE6 000E	割り込みステータスレジスタ 0	INTSTR0	H'00	R/W	8	MMCIF
H'FFE6 000F	割り込みステータスレジスタ 1	INTSTR1	H'00	R/W	8	MMCIF
H'FFE6 0010	転送クロックコントロール レジスタ	CLKON	H'00	R/W	8	MMCIF
H'FFE6 0011	コマンドタイムアウト コントロールレジスタ	CTOCR	H'00	R/W	8	MMCIF
H'FFE6 0014	転送バイト数カウントレジスタ	TBCR	H'00	R/W	8	MMCIF
H'FFE6 0016	モードレジスタ	MODER	H'00	R/W	8	MMCIF
H'FFE6 0018	コマンドタイプレジスタ	CMDTYR	H'00	R/W	8	MMCIF
H'FFE6 0019	レスポンスタイプレジスタ	RSPTYR	H'00	R/W	8	MMCIF
H'FFE6 001A	転送ブロック数カウンタ	TBNCR	H'0000	R/W	16	MMCIF
H'FFE6 001C	リザーブ	—	—	—	—	—
H'FFE6 0020	レスポンスレジスタ 0	RSPR0	H'00	R/W	8	MMCIF
H'FFE6 0021	レスポンスレジスタ 1	RSPR1	H'00	R/W	8	MMCIF
H'FFE6 0022	レスポンスレジスタ 2	RSPR2	H'00	R/W	8	MMCIF
H'FFE6 0023	レスポンスレジスタ 3	RSPR3	H'00	R/W	8	MMCIF
H'FFE6 0024	レスポンスレジスタ 4	RSPR4	H'00	R/W	8	MMCIF
H'FFE6 0025	レスポンスレジスタ 5	RSPR5	H'00	R/W	8	MMCIF
H'FFE6 0026	レスポンスレジスタ 6	RSPR6	H'00	R/W	8	MMCIF
H'FFE6 0027	レスポンスレジスタ 7	RSPR7	H'00	R/W	8	MMCIF
H'FFE6 0028	レスポンスレジスタ 8	RSPR8	H'00	R/W	8	MMCIF
H'FFE6 0029	レスポンスレジスタ 9	RSPR9	H'00	R/W	8	MMCIF
H'FFE6 002A	レスポンスレジスタ 10	RSPR10	H'00	R/W	8	MMCIF
H'FFE6 002B	レスポンスレジスタ 11	RSPR11	H'00	R/W	8	MMCIF

付録

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFE6 002C	レスポンスレジスタ 12	RSPR12	H'00	R/W	8	MMCIF
H'FFE6 002D	レスポンスレジスタ 13	RSPR13	H'00	R/W	8	MMCIF
H'FFE6 002E	レスポンスレジスタ 14	RSPR14	H'00	R/W	8	MMCIF
H'FFE6 002F	レスポンスレジスタ 15	RSPR15	H'00	R/W	8	MMCIF
H'FFE6 0030	レスポンスレジスタ 16	RSPR16	H'00	R/W	8	MMCIF
H'FFE6 0031	CRC ステータスレジスタ	RSPRD	H'00	R/W	8	MMCIF
H'FFE6 0032	データタイムアウトレジスタ	DTOUTR	H'FFFF	R/W	16	MMCIF
H'FFE6 0034~ H'FFE6 003F	リザーブ (12 バイト)	—	—	—	—	—
H'FFE6 0040	データレジスタ	DR	H'xxxx	R/W	16	MMCIF
H'FFE6 0042	FIFO ポインタクリアレジスタ	FIFOCLR	H'00	W	8	MMCIF
H'FFE6 0044	DMA コントロールレジスタ	DMACR	H'00	R/W	8	MMCIF
H'FFE6 0046	割り込みコントロール レジスタ 2	INTCR2	H'00	R/W	8	MMCIF
H'FFE6 0048	割り込みステータスレジスタ 2	INTSTR2	H'0x	R/W	8	MMCIF
H'FFE6 0049~ H'FFE6 FFFF	リザーブ (65,463 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFE7 0000	コントロールレジスタ	SSICR	H'0000 0000	R/W	32	SSI
H'FFE7 0004	ステータスレジスタ	SSISR	H'0200 0003	R/W	32	SSI
H'FFE7 0008	トランスミットデータレジスタ	SSITDR	H'0000 0000	R/W	32	SSI
H'FFE7 000C	レシーブデータレジスタ	SSIRDR	H'0000 0000	R	32	SSI
H'FFE7 0010~ H'FFE7 FFFF	リザーブ (65,520 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFE8 0000	64Hz カウンタ	R64CNT	H'xx	R	8	RTC
H'FFE8 0004	秒カウンタ	RSECCNT	H'xx	R/W	8	RTC
H'FFE8 0008	分カウンタ	RMINCNT	H'xx	R/W	8	RTC
H'FFE8 000C	時カウンタ	RHRCNT	H'xx	R/W	8	RTC
H'FFE8 0010	曜日カウンタ	RWKCNT	H'xx	R/W	8	RTC
H'FFE8 0014	日カウンタ	RDAYCNT	H'xx	R/W	8	RTC
H'FFE8 0018	月カウンタ	RMONCNT	H'xx	R/W	8	RTC
H'FFE8 001C	年カウンタ	RYRCNT	H'xxxx	R/W	16	RTC
H'FFE8 0020	秒アラームレジスタ	RSECAR	H'xx	R/W	8	RTC
H'FFE8 0024	分アラームレジスタ	RMINAR	H'xx	R/W	8	RTC
H'FFE8 0028	時アラームレジスタ	RHRAR	H'xx	R/W	8	RTC
H'FFE8 002C	曜日アラームレジスタ	RWKAR	H'xx	R/W	8	RTC
H'FFE8 0030	日アラームレジスタ	RDAYAR	H'xx	R/W	8	RTC
H'FFE8 0034	月アラームレジスタ	RMONAR	H'xx	R/W	8	RTC
H'FFE8 0038	RTC コントロールレジスタ 1	RCR1	H'xx	R/W	8	RTC
H'FFE8 003C	RTC コントロールレジスタ 2	RCR2	H'x9	R/W	8	RTC
H'FFE8 003D~ H'FFE8 004F	リザーブ (19 バイト)	—	—	—	—	—
H'FFE8 0050	RTC コントロールレジスタ 3	RCR3	H'x0	R/W	8	RTC
H'FFE8 0054	年アラームレジスタ	RYRAR	H'xxxx	R/W	16	RTC
H'FFE8 0056~ H'FFE8 FFFF	リザーブ (65,450 バイト)	—	—	—	—	—

付録

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFE9 0000	共通コントロールレジスタ	FLCMNCR	H'0000 0000	R/W	32	FLCTL
H'FFE9 0004	コマンド制御レジスタ	FLCMDCR	H'0000 0000	R/W	32	FLCTL
H'FFE9 0008	コマンドコードレジスタ	FLCMCDR	H'0000 0000	R/W	32	FLCTL
H'FFE9 000C	アドレスレジスタ	FLADR	H'0000 0000	R/W	32	FLCTL
H'FFE9 0010	データレジスタ	FLDATAR	H'0000 0000	R/W	32	FLCTL
H'FFE9 0014	データカウンタレジスタ	FLDTCNTR	H'0000 0000	R/W	32	FLCTL
H'FFE9 0018	割り込み DMA 制御レジスタ	FLINTDMACR	H'0000 0000	R/W	32	FLCTL
H'FFE9 001C	レディビジータイムアウト 設定レジスタ	FLBSYTMR	H'0000 0000	R/W	32	FLCTL
H'FFE9 0020	レディビジータイムアウト カウンタ	FLBSYCNT	H'0000 0000	R	32	FLCTL
H'FFE9 0024	データ FIFO レジスタ	FLDTFIFO	H'xxxx xxxx	R/W	32	FLCTL
H'FFE9 0028	管理コード FIFO レジスタ	FLECFIFO	H'xxxx xxxx	R/W	32	FLCTL
H'FFE9 002C	転送制御レジスタ	FLTRCR	H'00	R/W	8	FLCTL
H'FFE9 002D～ H'FFE9 FFFF	リザーブ (65,491 バイト)	—	—	—	—	—

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFEA 0000	ポート A コントロールレジスタ	PACR	H'0000	R/W	16	GPIO
H'FFEA 0002	ポート B コントロールレジスタ	PBCR	H'0000	R/W	16	GPIO
H'FFEA 0004	ポート C コントロールレジスタ	PCCR	H'0000	R/W	16	GPIO
H'FFEA 0006	ポート D コントロールレジスタ	PDCR	H'0000	R/W	16	GPIO
H'FFEA 0008	ポート E コントロールレジスタ	PECR	H'3000	R/W	16	GPIO
H'FFEA 000A	ポート F コントロールレジスタ	PFGR	H'0000	R/W	16	GPIO
H'FFEA 000C	ポート G コントロールレジスタ	PGCR	H'0000	R/W	16	GPIO
H'FFEA 000E	ポート H コントロールレジスタ	PHCR	H'FFFF	R/W	16	GPIO
H'FFEA 0010	ポート J コントロールレジスタ	PJCR	H'FFFF	R/W	16	GPIO
H'FFEA 0012	ポート K コントロールレジスタ	PKCR	H'FFFF	R/W	16	GPIO
H'FFEA 0014	ポート L コントロールレジスタ	PLCR	H'FFFF	R/W	16	GPIO
H'FFEA 0016	ポート M コントロールレジスタ	PMCR	H'FFFF	R/W	16	GPIO
H'FFEA 0018~ H'FFEA 001F	リザーブ (8 バイト)	—	—	—	—	—
H'FFEA 0020	ポート A データレジスタ	PADR	H'00	R/W	8	GPIO
H'FFEA 0022	ポート B データレジスタ	PBDR	H'00	R/W	8	GPIO
H'FFEA 0024	ポート C データレジスタ	PCDR	H'00	R/W	8	GPIO
H'FFEA 0026	ポート D データレジスタ	PDDR	H'00	R/W	8	GPIO
H'FFEA 0028	ポート E データレジスタ	PEDR	H'x0	R/W	8	GPIO
H'FFEA 002A	ポート F データレジスタ	PFDR	H'00	R/W	8	GPIO
H'FFEA 002C	ポート G データレジスタ	PGDR	H'00	R/W	8	GPIO
H'FFEA 002E	ポート H データレジスタ	PHDR	H'xx	R/W	8	GPIO
H'FFEA 0030	ポート J データレジスタ	PJDR	H'xx	R/W	8	GPIO
H'FFEA 0032	ポート K データレジスタ	PKDR	H'xx	R/W	8	GPIO
H'FFEA 0034	ポート L データレジスタ	PLDR	H'00	R/W	8	GPIO
H'FFEA 0036	ポート M データレジスタ	PMDR	H'0x	R/W	8	GPIO
H'FFEA 0037~ H'FFEA 0047	リザーブ (17 バイト)	—	—	—	—	—
H'FFEA 0048	ポート E ブルアップ制御 レジスタ	PEPUPR	H'FF	R/W	8	GPIO
H'FFEA 0049~ H'FFEA 004D	リザーブ (5 バイト)	—	—	—	—	—
H'FFEA 004E	ポート H ブルアップ制御 レジスタ	PHPUPR	H'FF	R/W	8	GPIO
H'FFEA 0050	ポート J ブルアップ制御 レジスタ	PJPUPR	H'FF	R/W	8	GPIO

付録

物理アドレス	レジスタ名	略称	初期値	R/W	アクセス サイズ	モジュール
H'FFEA 0052	ポート K ブルアップ制御 レジスタ	PKPUPR	H'FF	R/W	8	GPIO
H'FFEA 0056	ポート M ブルアップ制御 レジスタ	PMPUPR	H'FF	R/W	8	GPIO
H'FFEA 0057～ H'FFEA 005F	リザーブ (9 バイト)	—	—	—	—	—
H'FFEA 0060	入力端子ブルアップ制御 レジスタ 1	PPUPR1	H'FFFF	R/W	16	GPIO
H'FFEA 0062	入力端子ブルアップ制御 レジスタ 2	PPUPR2	H'FFFF	R/W	16	GPIO
H'FFEA 0064～ H'FFEA 007F	リザーブ (28 バイト)	—	—	—	—	—
H'FFEA 0080	内蔵モジュールセレクト レジスタ	OMSELR	H'0000	R/W	16	GPIO
H'FFEA 0082～ H'FFFF FFFF	リザーブ (1,441,661 バイト)	—	—	—	—	—

E. 外形寸法図

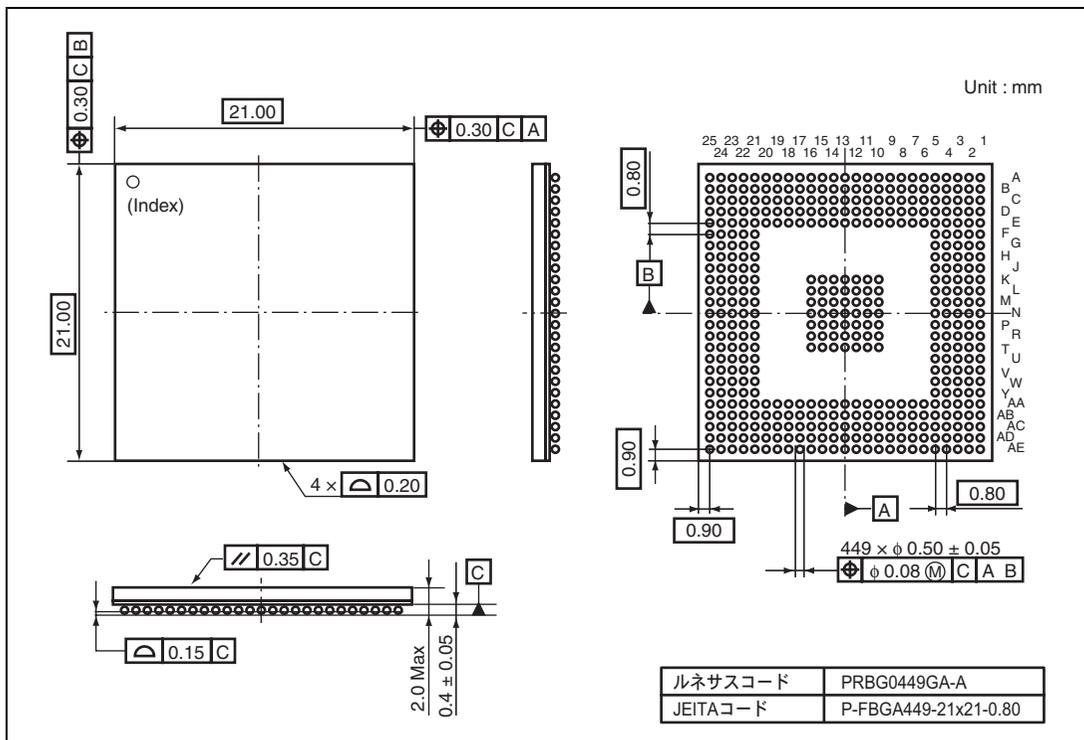


図 E.1 外形寸法図 (449 ピン BGA)

【注】 本 LSI は最大消費電力で動作する場合、 $T_j$  (接合部温度) が  $125^{\circ}\text{C}$  を超えます。十分な熱設計の上、ご使用ください。  
 $T_j$  を下げるため、ヒートシンクや強制冷却をご利用ください。

## F. モード端子の設定

MODE8～MODE0 端子の設定値は、 $\overline{\text{PRESET}}$  端子によるパワーオンリセット時に入力されます。

### 【記号説明】

H: ハイレベル入力

L: ローレベル入力

表 F.1 SH7780 のクロック動作モード

クロック動作モード	端子の組み合わせ			PLL1, PLL2	周波数 (対入力クロック)					FRQCR 初期値
	モード 7、2	モード 1	モード 0		CPU クロック (lck)	SuperHyway クロック (SHck)	周辺クロック (Pck)	DDR クロック (DDRck)	バスクロック (Bck)	
0	LL	L	L	On	×12	×6	×3/2	×24/5	×3	H'1023 3335
1			H	On	×12	×6	×1	×24/5	×2	H'1024 4336
2		H	L	On	×12	×6	×3/2	×24/5	×3/2	H'1025 5335
3			H	On	×12	×6	×1	×24/5	×1	H'1026 6336
12	HH	L	L	On	×12	×4	×1	×4	×2	H'1044 4346

表 F.2 エリア 0 のメモリタイプ・バス幅

端子の組み合わせ		メモリタイプ	バス幅
MODE4	MODE3		
L	L	MPX インタフェース	32 ビット
	H	SRAM インタフェース	8 ビット
H	L	SRAM インタフェース	16 ビット
	H	SRAM インタフェース	32 ビット

表 F.3 エンディアン

端子の設定	エンディアン
MODE5	
L	ビッグエンディアン
H	リトルエンディアン

表 F.4 PCI モード

端子の設定	モード
MODE6	
L	PCI ノーマル (非ホスト)
H	PCI ホスト

表 F.5 クロック入力

端子の設定	クロック入力
MODE8	
L	外部入力クロック
H	水晶発振子

表 F.6 モード制御

端子の設定	モード
MPMD	
L	エミュレーションサポートモード
H	本体チップモード (通常動作モード)

【注】 エミュレーションサポートモードを使用する場合は、「SuperH™ファミリ用 E10A-USB エミュレータ ユーザーズマニュアル 別冊 E10A-USB for SH7780 HS7780KCU01HJ」を参照してください。  
[http://www.renesas.com/jpn/products/mpumcu/tool/download/emulator/e10a\\_usb/pdf/j7780upa.pdf](http://www.renesas.com/jpn/products/mpumcu/tool/download/emulator/e10a_usb/pdf/j7780upa.pdf)

## G. 端子機能

## G1. 端子状態

表 G.1 リセット、低消費電力状態、バス解放状態での端子状態

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュール スタンバイ	バス権 解放
				パワー オン	マニュアル			
A[25:0]	A[25:0]	LBSC	O	PZ* <sup>1</sup>	PZ/Z	O	—	PZ/Z
D[31:24]	D[31:24] (初期状態)	LBSC	I/O	Z	PZ/Z	PZ/Z	—	PZ/Z
	ポート F[7:0]	GPIO	I/O	—	PI/I/O	PI/I/O	—	PI/I/O
D[23:16]	D[23:16] (初期状態)	LBSC	I/O	Z	PZ/Z	PZ/Z	—	PZ/Z
	ポート G[7:0]	GPIO	I/O	—	PI/I/O	PI/I/O	—	PI/I/O
D[15:0]	D[15:0]	LBSC	I/O	Z	PZ/Z	PZ/Z	—	PZ/Z
CS[2:0], CS[6:4]	CS[2:0], CS[6:4]	LBSC	O	H	H	O	—	PZ/Z
BACK	ポート M0 (初期状態)	GPIO	I/O	PI* <sup>2</sup>	PI/I/O	PI/I/O	—	PI/I/O
	$\overline{\text{BACK}}$	LBSC	O	—	H	O	—	O
$\overline{\text{BREQ}}$	ポート M1 (初期状態)	GPIO	I/O	PI* <sup>2</sup>	PI/I/O	PI/I/O	—	PI/I/O
	$\overline{\text{BREQ}}$	LBSC	I	—	I	I	—	I
$\overline{\text{BS}}$	$\overline{\text{BS}}$	LBSC	O	H	H	O	—	PZ/Z
$\overline{\text{R/W}}$	$\overline{\text{R/W}}$	LBSC	O	H	H	O	—	PZ/Z
$\overline{\text{RD/FRAME}}$	$\overline{\text{RD/FRAME}}$	LBSC	O	H	O	O	—	PZ/Z/O
$\overline{\text{RDY}}$	$\overline{\text{RDY}}$	LBSC	I	Z	PI/I	PI/I	—	PI/I
$\overline{\text{WE0/REG}}$	$\overline{\text{WE0/REG}}$	LBSC	O	H	O	O	—	PZ/Z/O
$\overline{\text{WE1}}$	$\overline{\text{WE1}}$	LBSC	O	H	O	O	—	PZ/Z/O
$\overline{\text{WE2/IORD}}$	$\overline{\text{WE2/IORD}}$	LBSC	O	H	O	O	—	PZ/Z/O
$\overline{\text{WE3/IOWR}}$	$\overline{\text{WE3/IOWR}}$	LBSC	O	H	O	O	—	PZ/Z/O
$\overline{\text{DACK0/MODE0}}$	MODE0 (POR)	CPG	I	I	—	—	—	—
	ポート L3* <sup>3</sup> (初期状態)	GPIO	O	—	O	O	—	O
	$\overline{\text{DACK0}}$	DMAC	O	—	O	O	K	O
$\overline{\text{DACK1/MODE1}}$	MODE1 (POR)	CPG	I	I	—	—	—	—
	ポート L2* <sup>3</sup> (初期状態)	GPIO	O	—	O	O	—	O
	$\overline{\text{DACK1}}$	DMAC	O	—	O	O	K	O

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュール スタンバイ	バス権 解放
				パワー オン	マニュアル			
DACK2/ MRESETOUT/ AUDATA2	ポート K3 (初期状態)	GPIO	I/O	PI* <sup>2</sup>	I/O	I/O	—	I/O
	$\overline{\text{DACK2}}$	DMAC	O	—	O	O	K	O
	MRESETOUT	リセット	O	—	L	O	—	O
	AUDATA2	H-UDI	O	—	O	O	—	O
DACK3/IRQOUT/ AUDATA3	ポート K2 (初期状態)	GPIO	I/O	PI* <sup>2</sup>	I/O	I/O	—	I/O
	$\overline{\text{DACK3}}$	DMAC	O	—	O	O	K	O
	IRQOUT	INTC	O	—	O	O	—	O
	AUDATA3	H-UDI	O	—	O	O	—	O
$\overline{\text{DRAK0}}/\text{MODE2}$	MODE2 (POR)	CPG	I	I	—	—	—	—
	ポート L1* <sup>3</sup> (初期状態)	GPIO	O	—	O	O	—	O
	$\overline{\text{DRAK0}}$	DMAC	O	—	O	O	K	O
$\overline{\text{DRAK1}}/\text{MODE7}$	MODE7 (POR)	CPG	I	I	—	—	—	—
	ポート L0* <sup>3</sup> (初期状態)	GPIO	O	—	O	O	—	O
	$\overline{\text{DRAK1}}$	DMAC	O	—	O	O	K	O
$\overline{\text{DRAK2}}/\text{CE2A}/$ AUDCK	ポート K1* <sup>3</sup> (初期状態)	GPIO	O	O	O	O	—	O
	$\overline{\text{DRAK2}}$	DMAC	O	—	O	O	K	O
	$\overline{\text{CE2A}}$	LBSC	O	—	O	O	—	PZ/Z
	AUDCK	H-UDI	O	—	O	O	—	O
$\overline{\text{DRAK3}}/\text{CE2B}/$ AUDSYNC	ポート K0* <sup>3</sup> (初期状態)	GPIO	O	O	O	O	—	O
	$\overline{\text{DRAK3}}$	DMAC	O	—	O	O	K	O
	$\overline{\text{CE2B}}$	LBSC	O	—	O	O	—	PZ/Z
	AUDSYNC	H-UDI	O	—	O	O	—	O
DREQ0	ポート K7 (初期状態)	GPIO	I/O	PI* <sup>2</sup>	PI/I/O	PI/I/O	—	PI/I/O
	$\overline{\text{DREQ0}}$	DMAC	I	—	PZ/Z	PI/I	PZ/Z	PI/I
$\overline{\text{DREQ1}}$	ポート K6 (初期状態)	GPIO	I/O	PI* <sup>2</sup>	PI/I/O	PI/I/O	—	PI/I/O
	$\overline{\text{DREQ1}}$	DMAC	I	—	PZ/Z	PI/I	PZ/Z	PI/I

付録

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュールスタンバイ	バス権解放
				パワーオン	マニュアル			
DREQ2/INTB/ AUDATA0	ポート K5 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	DREQ2	DMAC	I	—	PZ/Z	PI/I	PZ/Z	PI/I
	INTB	PCIC	I	—	PI/I	PI/I	—	PI/I
	AUDATA0	H-UDI	O	—	O	O	—	O
DREQ3/INTC/ AUDATA1	ポート K4 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	DREQ3	DMAC	I	—	PZ/Z	PI/I	PZ/Z	PI/I
	INTC	PCIC	I	—	PI/I	PI/I	—	PI/I
	AUDATA1	H-UDI	O	—	O	O	—	O
MCLK	MCLK	DDRIF	O	O	O	O	—	O
$\overline{\text{MCLK}}$	$\overline{\text{MCLK}}$	DDRIF	O	O	O	O	—	O
MDQS[3:0]	MDQS[3:0]	DDRIF	I/O	Z	Z	I/O	—	I/O
MDQM[3:0]	MDQM[3:0]	DDRIF	O	H	H	O	—	O
MDA[31:0]	MDA[31:0]	DDRIF	I/O	Z	Z	I/O	—	I/O
CKE	CKE	DDRIF	O	O	O	O	—	O
$\overline{\text{MCAS}}$	$\overline{\text{MCAS}}$	DDRIF	O	H	H	O	—	O
$\overline{\text{MRAS}}$	$\overline{\text{MRAS}}$	DDRIF	O	H	H	O	—	O
$\overline{\text{MCS}}$	$\overline{\text{MCS}}$	DDRIF	O	H	H	O	—	O
$\overline{\text{MWE}}$	$\overline{\text{MWE}}$	DDRIF	O	H	H	O	—	O
MA[13:0]	MA[13:0]	DDRIF	O	L	L	O	—	O
BA[1:0]	BA[1:0]	DDRIF	O	L	L	O	—	O
$\overline{\text{BKPRST}}$	$\overline{\text{BKPRST}}$	DDRIF	I	PI	PI	PI	—	PI
AD [31:24]	AD[31:24] (初期状態)	PCIC	I/O	Z	I/O	I/O	—	I/O
	ポート A[7:0]	GPIO	I/O	—	I/O	I/O	—	I/O
AD [23:16]	AD[23:16] (初期状態)	PCIC	I/O	Z	I/O	I/O	—	I/O
	ポート B[7:0]	GPIO	I/O	—	I/O	I/O	—	I/O
AD [15:8]	AD[15:8] (初期状態)	PCIC	I/O	Z	I/O	I/O	—	I/O
	ポート C[7:0]	GPIO	I/O	—	I/O	I/O	—	I/O
AD [7:0]	AD[7:0] (初期状態)	PCIC	I/O	Z	I/O	I/O	—	I/O
	ポート D[7:0]	GPIO	I/O	—	I/O	I/O	—	I/O
CBE[3:0]	CBE[3:0]	PCIC	I/O	Z	I/O	I/O	—	I/O
$\overline{\text{GNT0/GNTIN}}$	$\overline{\text{GNT0/GNTIN}}$	PCIC	I/O	PZ	PI/O	PI/O	—	PI/O
$\overline{\text{GNT}}[3:1]$	$\overline{\text{GNT}}[3:1]$ (初期状態)	PCIC	O	PZ	O	O	—	O
	ポート E0-E2	GPIO	I/O	—	PI/O	PI/O	—	PI/O

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュールスタンバイ	バス権解放
				パワーオン	マニュアル			
REQ0/REQOUT	REQ0/REQOUT	PCIC	I/O	PZ	I/O	I/O	—	I/O
REQ[3:1]	REQ[3:1] (初期状態)	PCIC	I	PZ	PI	PI	—	PI
	ポート E3-E5	GPIO	I/O	PZ	PI/O	PI/O	—	PI/O
DEVSEL	DEVSEL	PCIC	I/O	PZ	PI/O	PI/O	—	PI/O
PCIFRAME	PCIFRAME	PCIC	I/O	PZ	PI/O	PI/O	—	PI/O
IDSEL	IDSEL	PCIC	I	PZ	PI	PI	—	PI
INTA	INTA	PCIC	I/O	PZ	PI/O	PI/O	—	PI/O
IRDY	IRDY	PCIC	I/O	PZ	PI/O	PI/O	—	PI/O
LOCK	LOCK	PCIC	I/O	PZ	PI/O	PI/O	—	PI/O
PAR	PAR	PCIC	I/O	Z	I/O	I/O	—	I/O
PCICLK	PCICLK	PCIC	I	I	I	I	—	I
PCIRESET	PCIRESET	PCIC	O	L	K	K	—	O
PERR	PERR	PCIC	I/O	PZ	PI/O	PI/O	—	PI/O
SERR	SERR	PCIC	I/O	PZ	PI/O	PI/O	—	PI/O
STOP	STOP	PCIC	I/O	PZ	PI/O	PI/O	—	PI/O
TRDY	TRDY	PCIC	I/O	PZ	PI/O	PI/O	—	PI/O
CLKOUT	CLKOUT	CPG	O	O	O/Z	O/Z	—	O/Z
PRESET	PRESET	リセット	I	I	I	I	—	I
EXTAL	EXTAL	CPG	I	I	I	I	—	I
XTAL	XTAL	CPG	O	O	O	O	—	O
STATUS0/ CMT_CTR0	STATUS0 (初期状態)	リセット	O	H	H	L	—	O
	CMT_CTR0	CMT	I/O	—	PZ/O	I/O	K	PI/I/O
STATUS1/ CMT_CTR1	STATUS1 (初期状態)	リセット	O	H	H	H	—	O
	CMT_CTR1	CMT	I/O	—	PZ/O	I/O	K	PI/I/O
IRQ/IRL[3:0]	IRQ/IRL[3:0]	INTC	I	PI*2	PI/I	PI/I	—	PI/I
IRQ/IRL4/FD4/ MODE3	MODE3 (POR)	LBSC	I	I	—	—	—	—
	IRQ/IRL4 (初期状態)	INTC	I	—	I	I	—	I
	FD4	FLCTL	I/O	—	I/O	I/O	K	I/O
IRQ/IRL5/FD5/ MODE4	MODE4 (POR)	LBSC	I	I	—	—	—	—
	IRQ/IRL5 (初期状態)	INTC	I	—	I	I	—	I
	FD5	FLCTL	I/O	—	I/O	I/O	K	I/O

付録

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュールスタンバイ	バス権解放
				パワーオン	マニュアル			
IRQ/IRL6/FD6/ MODE6	MODE6 (POR)	PCIC	I	I	—	—	—	—
	IRQ/IRL6 (初期状態)	INTC	I	—	I	I	—	I
	FD6	FLCTL	I/O	—	Z	I/O	K	I/O
IRQ/IRL7/FD7	ポート E6 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	IRQ/IRL7	INTC	I	—	PI/I	PI/I	—	PI/I
	FD7	FLCTL	I/O	—	I/O	PI/I/O	K	PI/I/O
NMI	NMI	INTC	I	PI*2	PI/I	PI/I	—	PI/I
SCIF0_CTS/ INTD/FCLE	ポート H1 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	SCIF0_CTS	SCIF	I/O	—	PI/I/O	PI/I/O	K	PI/I/O
	INTD	PCIC	I	—	PI/I	PI/I	—	PI/I
SCIF0_RTS/ HSPI_CS/FSE	ポート H0 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	SCIF0_RTS	SCIF	I/O	—	PI/I/O	PI/I/O	K	PI/I/O
	HSPI_CS	HSPI	I/O	—	PI/I/O	PI/I/O	K	PI/I/O
	FSE	FLCTL	O	—	O	O	K	O
SCIF0_RXD/ HSPI_RX/FRB	ポート H2 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	SCIF_RXD	SCIF	I	—	PI/I	PI/I	PZ/Z	PI/I
	HSPI_RX	HSPI	I	—	PI/I	PI/I	PZ/Z	PI/I
	FRB	FLCTL	I	—	PI/I	PI/I	PZ/Z	PI/I
SCIF0_SCK/ HSPI_CLK/FRE	ポート H4 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	SCIF0_SCK	SCIF	I/O	—	PI/I	PI/I/O	K	PI/I/O
	HSPI_CLK	HSPI	I/O	—	PI/I/O	PI/I/O	K	PI/I/O
	FRE	FLCTL	O	—	O	O	K	O
SCIF0_TXD/ HSPI_TX/FWE/ MODE8	MODE8 (POR)	CPG	I	I	—	—	—	—
	ポート H3*3 (初期状態)	GPIO	O	—	O	O	—	O
	SCIF0_TXD	SCIF	O	—	PZ/Z	O	K	O
	HSPI_TX	HSPI	O	—	PZ/Z	O	K	O
	FWE	FLCTL	O	—	PZ/Z	O	K	O

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュール スタンバイ	バス権 解放
				パワー オン	マニュアル			
SCIF1_RXD/ MCDAT	ポート H5 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	SCIF1_RXD	SCIF	I	—	PI/I	PI/I	PZ/Z	PI/I
	MCDAT	MMCIF	I/O	—	PI/I	PI/I/O	K	PI/I/O
SCIF1_SCK/ MCCMD	ポート H7 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	SCIF1_SCK	SCIF	I/O	—	PI/I	PI/I/O	K	PI/I/O
	MCCMD	MMCIF	I/O	—	PI/I	PI/I/O	K	PI/I/O
SCIF1_TXD/ MCCLK/MODE5	MODE5 (POR)	LBSC	I	I	—	—	—	—
	ポート H6*3 (初期状態)	GPIO	O	—	O	O	—	O
	SCIF1_TXD	SCIF	O	—	O	O	K	O
	MCCLK	MMCIF	O	—	O	O	K	O
SIOF_MCLK/ HAC_RES	ポート J2 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	SIOF_MCLK	SIOF	I	—	PI/I	PI/I	PZ/Z	PI/I
	HAC_RES	HAC	O	—	O	O	K	O
SIOF_RXD/ HAC_SDIN/ SSI_SCK	ポート J4 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	SIOF_RXD	SIOF	I	—	PI/I	PI/I	PZ/Z	PI/I
	HAC_SDIN	HAC	I	—	PI/I	PI/I	PZ/Z	PI/I
	SSI_SCK	SSI	I/O	—	PI/I	PI/I/O	K	PI/I/O
SIOF_SCK/ HAC_BITCLK/ SSI_CLK	ポート J1 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	SIOF_SCK	SIOF	I/O	—	PI/I/O	PI/I/O	K	PI/I/O
	HAC_BITCLK	HAC	I	—	PI/I	PI/I	PZ/Z	PI/I
	SSI_CLK	SSI	I/O	—	PI/I	PI/I/O	K	PI/I/O
SIOF_SYNC/ HAC_SYNC/ SSI_WS	ポート J3 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	SIOF_SYNC	SIOF	I/O	—	PI/I/O	PI/I/O	K	PI/I/O
	HAC_SYNC	HAC	O	—	O	O	K	O
	SSI_WS	SSI	I/O	—	PI/I	PI/I/O	K	PI/I/O
SIOF_TXD/ HAC_SDOOUT/ SSI_SDATA	ポート J5 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	SIOF_TXD	SIOF	O	—	O	O/Z	K	O/Z
	HAC_SDOOUT	HAC	O	—	O	O	K	O
	SSI_SDATA	SSI	I/O	—	PI/I	PI/I/O	K	PI/I/O

信号名	端子名	モジュール	I/O	リセット		スリープ	モジュールスタンバイ	バス権解放
				パワーオン	マニュアル			
TCLK/ $\overline{\text{IOIS16}}$	ポート J0 (初期状態)	GPIO	I/O	PI*2	PI/I/O	PI/I/O	—	PI/I/O
	TCLK	TMU	I/O	—	PI/I/O	PI/I/O	K	PI/I/O
	$\overline{\text{IOIS16}}$	LBSC	I	—	PI/I	PI/I	—	PI/I
$\overline{\text{ASEBRK}}$ / BRKACK	$\overline{\text{ASEBRK}}$ / BRKACK	H-UDI	I/O	PI	PI/O	PI/O	—	PI/O
TCK	TCK	TMU	I	PI	PI	PI	—	PI
$\overline{\text{TRST}}$	$\overline{\text{TRST}}$	H-UDI	I	PI	PI	PI	—	PI
TDI	TDI	H-UDI	I	PI	PI	PI	—	PI
TMS	TMS	H-UDI	I	PI	PI	PI	—	PI
TDO	TDO	H-UDI	O	O	O	O	—	O
AUDCK/FALE	AUDCK (初期状態)	H-UDI	O	O	O	O	—	O
	FALE	FLCTL	O	—	O	O	K	O
AUDSYNC/ $\overline{\text{FCE}}$	AUDSYNC (初期状態)	H-UDI	O	O	O	O	—	O
	$\overline{\text{FCE}}$	FLCTL	O	—	O	O	K	O
AUDATA[3:0]/ FD [3:0]	AUDATA[3:0] (初期状態)	H-UDI	O	O	O	O	—	O
	FD[3:0]	FLCTL	I/O	—	PI/I/O	PI/I/O	K	PI/I/O
MPMD	MPMD	H-UDI	I	PI	PI	PI	—	PI
$\overline{\text{XRTCSTBI}}$	$\overline{\text{XRTCSTBI}}$	RTC	I	I	I	I	—	I
XTAL2	XTAL2	RTC	O	O	O	O	—	O
EXTAL2	EXTAL2	RTC	I	I	I	I	—	I

【記号説明】 — : ディスエーブル (選択されない) または未サポート

I : 入力

O : 出力

H : ハイレベル出力

L : ローレベル出力

Z : ハイインピーダンス

PI : 内蔵プルアップ抵抗によりプルアップされた入力

PZ : 内蔵プルアップ抵抗によりプルアップされたハイインピーダンス

PI/I, PZ/Z etc. : レジスタ設定によります。詳細は、「第 11 章 ローカルバスステートコントローラ (LBSC)」、「第 28 章 汎用入出力ポート (GPIO)」関連モジュールの章を参照してください。

K : 入力はハイインピーダンス、出力は状態保持

POR : パワーオンリセット

【注】 \*1 内部クロックが確定するまではハイインピーダンス

\*2 内部クロックが確定するまでは入力

\*3 これらの端子はパワーオンリセット直後に出力となるため、信号を入力しないようにしてください。

## G2. 未使用端子の処理

表 G.2 未使用端子の処理

端子名 (LSI レベル)	端子名 (モジュールレベル)	モジュール	I/O	未使用時の処理
A[25:0]	A[25:0]	LBSC	O	オープン
D[31:24]	D[31:24] (初期状態)	LBSC	I/O	オープン
	ポート F [7:0]	GPIO	I/O	
D[23:16]	D[23:16] (初期状態)	LBSC	I/O	オープン
	ポート G [7:0]	GPIO	I/O	
D[15:8]	D[15:8]	LBSC	I/O	オープン
D[7:0]	D[7:0]	LBSC	I/O	必ず使用してください
CS[2:0], CS[6:4]	CS[2:0], CS[6:4]	LBSC	O	オープン
BACK	ポート M0 (初期状態)	GPIO	I/O	オープン
	BACK	LBSC	O	
BREQ	ポート M1 (初期状態)	GPIO	I/O	オープン
	BREQ	LBSC	I	
BS	BS	LBSC	O	オープン
R/W	R/W	LBSC	O	オープン
RD/FRAME	RD/FRAME	LBSC	O	オープン
RDY	RDY	LBSC	I	VSSQ* <sup>1</sup> にプルダウン
WE0/REG	WE0/REG	LBSC	O	オープン
WE1	WE1	LBSC	O	オープン
WE2/IORD	WE2/IORD	LBSC	O	オープン
WE3/IOWR	WE3/IOWR	LBSC	O	オープン
DACK0/MODE0	MODE0 (POR)	CPG	I	必ず使用してください
	ポート L3 (初期状態)	GPIO	O	オープン
	DACK0	DMAC	O	
DACK1/MODE1	MODE1 (POR)	DMAC	I	必ず使用してください
	ポート L2 (初期状態)	GPIO	O	オープン
	DACK1	DMAC	O	
DACK2/MRESETOUT/ AUDATA2	ポート K3 (初期状態)	GPIO	I/O	オープン
	DACK2	DMAC	O	
	MRESETOUT	リセット	O	
	AUDATA2	H-UDI	O	
DACK3/IRQOUT/AUDATA3	ポート K2 (初期状態)	GPIO	I/O	オープン
	DACK3	DMAC	O	
	IRQOUT	INTC	O	
	AUDATA3	H-UDI	O	

端子名 (LSI レベル)	端子名 (モジュールレベル)	モジュール	I/O	未使用時の処理
$\overline{\text{DRAK0}}/\text{MODE2}$	MODE2 (POR)	CPG	I	必ず使用してください
	ポート L1 (初期状態)	GPIO	O	オープン
	$\overline{\text{DRAK0}}$	DMAC	O	
$\overline{\text{DRAK1}}/\text{MODE7}$	MODE7 (POR)	CPG	I	必ず使用してください
	ポート L0 (初期状態)	GPIO	O	オープン
	$\overline{\text{DRAK1}}$	DMAC	O	
$\overline{\text{DRAK2}}/\text{CE2A}/\text{AUDCK}$	ポート K1 (初期状態)	GPIO	O	オープン
	$\overline{\text{DRAK2}}$	DMAC	O	
	$\overline{\text{CE2A}}$	LBSC	O	
	AUDCK	H-UDI	O	
$\overline{\text{DRAK3}}/\text{CE2B}/\text{AUDSYNC}$	ポート K0 (初期状態)	GPIO	O	オープン
	$\overline{\text{DRAK3}}$	DMAC	O	
	CE2B	LBSC	O	
	AUDSYNC	H-UDI	O	
$\overline{\text{DREQ0}}$	ポート K7 (初期状態)	GPIO	I/O	オープン
	$\overline{\text{DREQ0}}$	DMAC	I	
$\overline{\text{DREQ1}}$	ポート K6 (初期状態)	GPIO	I/O	オープン
	$\overline{\text{DREQ1}}$	DMAC	I	
$\overline{\text{DREQ2}}/\text{INTB}/\text{AUDATA0}$	ポート K5 (初期状態)	GPIO	I/O	オープン
	$\overline{\text{DREQ2}}$	DMAC	I	
	INTB	PCIC	I	
	AUDATA0	H-UDI	O	
$\overline{\text{DREQ3}}/\text{INTC}/\text{AUDATA1}$	ポート K4 (初期状態)	GPIO	I/O	オープン
	$\overline{\text{DREQ3}}$	DMAC	I	
	INTC	PCIC	I	
	AUDATA1	H-UDI	O	
MCLK	MCLK	DDRIF	O	オープン
$\overline{\text{MCLK}}$	$\overline{\text{MCLK}}$	DDRIF	O	オープン
MDQS[3:0]	MDQS[3:0]	DDRIF	I/O	オープン
MDQM[3:0]	MDQM[3:0]	DDRIF	O	オープン
MDA[31:0]	MDA[31:0]	DDRIF	I/O	オープン
CKE	CKE	DDRIF	O	オープン
MCAS	$\overline{\text{MCAS}}$	DDRIF	O	オープン
MRAS	$\overline{\text{MRAS}}$	DDRIF	O	オープン
$\overline{\text{MCS}}$	$\overline{\text{MCS}}$	DDRIF	O	オープン
$\overline{\text{MWE}}$	$\overline{\text{MWE}}$	DDRIF	O	オープン
MA[13:0]	MA[13:0]	DDRIF	O	オープン

付録

端子名 (LSI レベル)	端子名 (モジュールレベル)	モジュール	I/O	未使用時の処理
BA[1:0]	BA[1:0]	DDRIF	O	オープン
BKPRST	BKPRST	DDRIF	I	VCCQ-DDR にプルアップ
AD[31:24]	AD[31:24] (初期状態)	PCIC	I/O	オープン
	ポート A[7:0]	GPIO	I/O	
AD[23:16]	AD[23:16] (初期状態)	PCIC	I/O	オープン
	ポート B[7:0]	GPIO	I/O	
AD[15:8]	AD[15:8] (初期状態)	PCIC	I/O	オープン
	ポート C[7:0]	GPIO	I/O	
AD[7:0]	AD[7:0] (初期状態)	PCIC	I/O	オープン
	ポート D[7:0]	GPIO	I/O	
CBE[3:0]	CBE[3:0]	PCIC	I/O	オープン
$\overline{\text{GNT0}}/\text{GNTIN}$	$\overline{\text{GNT0}}/\text{GNTIN}$	PCIC	I/O	オープン
GNT[3:1]	GNT[3:1] (初期状態)	PCIC	O	オープン
	ポート E0-E2	GPIO	I/O	
$\overline{\text{REQ0}}/\text{REQOUT}$	$\overline{\text{REQ0}}/\text{REQOUT}$	PCIC	I/O	オープン
REQ[3:1]	REQ[3:1] (初期状態)	PCIC	I	オープン
	ポート E3-E5	GPIO	I/O	
DEVSEL	DEVSEL	PCIC	I/O	オープン
PCIFRAME	PCIFRAME	PCIC	I/O	オープン
IDSEL	IDSEL	PCIC	I	VSSQ にプルダウン
$\overline{\text{INTA}}$	$\overline{\text{INTA}}$	PCIC	I/O	VDDQ にプルアップ
$\overline{\text{IRDY}}$	$\overline{\text{IRDY}}$	PCIC	I/O	オープン
$\overline{\text{LOCK}}$	$\overline{\text{LOCK}}$	PCIC	I/O	オープン
PAR	PAR	PCIC	I/O	オープン
PCICLK	PCICLK	PCIC	I	VSSQ に固定
$\overline{\text{PCIRESET}}$	$\overline{\text{PCIRESET}}$	PCIC	O	オープン
$\overline{\text{PERR}}$	$\overline{\text{PERR}}$	PCIC	I/O	オープン
$\overline{\text{SERR}}$	$\overline{\text{SERR}}$	PCIC	I/O	VDDQ にプルアップ
$\overline{\text{STOP}}$	$\overline{\text{STOP}}$	PCIC	I/O	オープン
$\overline{\text{TRDY}}$	$\overline{\text{TRDY}}$	PCIC	I/O	オープン
CLKOUT	CLKOUT	CPG	O	オープン
$\overline{\text{PRESET}}$	$\overline{\text{PRESET}}$	リセット	I	必ず使用してください
EXTAL	EXTAL	CPG	I	必ず使用してください
XTAL	XTAL	CPG	O	オープン
STATUS0/CMT_CTRL0	STATUS0 (初期状態)	リセット	O	オープン
	CMT_CTRL0	CMT	I/O	オープン

端子名 (LSI レベル)	端子名 (モジュールレベル)	モジュール	I/O	未使用時の処理
STATUS1/CMT_CTR1	STATUS1 (初期状態)	RESET	O	オープン
	CMT_CTR1	CMT	I/O	オープン
IRQ/IRL[3:0]	IRQ/IRL[3:0]	INTC	I	VDDQ にプルアップ
IRQ/IRL4/FD4/MODE3	MODE3 (POR)	LBSC	I	必ず使用してください
	IRQ/IRL4 (初期状態)	INTC	I	VDDQ にプルアップ
	FD4	FLCTL	I/O	
IRQ/IRL5/FD5/MODE4	MODE4 (POR)	LBSC	I	必ず使用してください
	IRQ/IRL5 (初期状態)	INTC	I	VDDQ にプルアップ
	FD5	FLCTL	I/O	
IRQ/IRL6/FD6/MODE6	MODE6 (POR)	PCIC	I	必ず使用してください
	IRQ/IRL6 (初期状態)	INTC	I	VDDQ にプルアップ
	FD6	FLCTL	I/O	
IRQ/IRL7/FD7	ポート E6 (初期状態)	GPIO	I/O	オープン
	IRQ/IRL7	INTC	I	
	FD7	FLCTL	I/O	
NMI	NMI	INTC	I	VDDQ にプルアップ
SCIF0_CTS/INTD/FCLE	ポート H1 (初期状態)	GPIO	I/O	オープン
	SCIF0_CTS	SCIF	I	
	INTD	PCIC	I	
SCIF0_RTS/HSPI_CS/FSE	ポート H0 (初期状態)	GPIO	I/O	オープン
	SCIF0_RTS	SCIF	O	
	HSPI_CS	HSPI	I/O	
	FSE	FLCTL	O	
SCIF0_RXD/HSPI_RX/ FRB	ポート H2 (初期状態)	GPIO	I/O	オープン
	SCIF0_RXD	SCIF	I	
	HSPI_RX	HSPI	I	
	FRB	FLCTL	I	
SCIF0_SCK/HSPI_CLK/ FRE	ポート H4 (初期状態)	GPIO	I/O	オープン
	SCIF0_SCK	SCIF	I/O	
	HSPI_CLK	HSPI	I/O	
	FRE	FLCTL	O	
SCIF0_TXD/HSPI_TX/ FWE/MODE8	MODE8 (POR)	CPG	I	必ず使用してください
	ポート H3 (初期状態)	GPIO	O	オープン
	SCIF0_TXD	SCIF	O	
	HSPI_TX	HSPI	O	
	FWE	FLCTL	O	

付録

端子名 (LSI レベル)	端子名 (モジュールレベル)	モジュール	I/O	未使用時の処理
SCIF1_RXD/MCDAT	ポート H5 (初期状態)	GPIO	I/O	オープン
	SCIF1_RXD	SCIF	I	
	MCDAT	MMCIF	I/O	
SCIF1_SCK/MCCMD	ポート H7 (初期状態)	GPIO	I/O	オープン
	SCIF1_SCK	SCIF	I/O	
	MCCMD	MMCIF	I/O	
SCIF1_TXD/MCCLK/ MODE5	MODE5 (POR)	LBSC	I	必ず使用してください
	ポート H6 (初期状態)	GPIO	O	オープン
	SCIF1_TXD	SCIF	O	
	MCCLK	MMCIF	O	
SIOF_MCLK/HAC_RES	ポート J2 (初期状態)	GPIO	I/O	オープン
	SIOF_MCLK	SIOF	I	
	HAC_RES	HAC	O	
SIOF_RXD/HAC_SDIN/ SSI_SCK	ポート J4 (初期状態)	GPIO	I/O	オープン
	SIOF_RXD	SIOF	I	
	HAC_SDIN	HAC	I	
	SSI_SCK	SSI	I/O	
SIOF_SCK/HAC_BITCLK/ SSI_CLK	ポート J1 (初期状態)	GPIO	I/O	オープン
	SIOF_SCK	SIOF	I/O	
	HAC_BITCLK	HAC	I	
	SSI_CLK	SSI	I/O	
SIOF_SYNC/HAC_SYNC/ SSI_WS	ポート J3 (初期状態)	GPIO	I/O	オープン
	SIOF_SYNC	SIOF	I/O	
	HAC_SYNC	HAC	O	
	SSI_WS	SSI	I/O	
SIOF_TXD/HAC_SDOUT/ SSI_SDATA	ポート J5 (初期状態)	GPIO	I/O	オープン
	SIOF_TXD	SIOF	O	
	HAC_SDOUT	HAC	O	
	SSI_SDATA	SSI	I/O	
TCLK/ $\overline{\text{IOIS16}}$	ポート J0 (初期状態)	GPIO	I/O	オープン
	TCLK	TMU	I/O	
	$\overline{\text{IOIS16}}$	LBSC	I	
$\overline{\text{ASEBRK}}/\text{BRKACK}$	$\overline{\text{ASEBRK}}/\text{BRKACK}$	H-UDI	I/O	オープン <sup>*2</sup>
TCK	TCK	TMU	I	オープン <sup>*2</sup>
$\overline{\text{TRST}}$	$\overline{\text{TRST}}$	H-UDI	I	グランド固定または PRESET に接続 <sup>*2*3</sup>

端子名 (LSI レベル)	端子名 (モジュールレベル)	モジュール	I/O	未使用時の処理
TDI	TDI	H-UDI	I	オープン <sup>*2</sup>
TMS	TMS	H-UDI	I	オープン <sup>*2</sup>
TDO	TDO	H-UDI	O	オープン <sup>*2</sup>
AUDCK/FALE	AUDCK (初期状態)	H-UDI	O	オープン
	FALE	FLCTL	O	
AUDSYNC/ $\overline{\text{FCE}}$	AUDSYNC (初期状態)	H-UDI	O	オープン
	$\overline{\text{FCE}}$	FLCTL	O	
AUDATA[3:0]/FD[3:0]	AUDATA[3:0] (初期状態)	H-UDI	O	オープン
	FD[3:0]	FLCTL	I/O	
MPMD	MPMD	H-UDI	I	VDDQ <sup>*2</sup> にプルアップ
$\overline{\text{XRTCSTBI}}$	$\overline{\text{XRTCSTBI}}$	RTC	I	VDD-RTC にプルアップ
XTAL2	XTAL2	RTC	O	オープン
EXTAL2	EXTAL2	RTC	I	VDD-RTC にプルアップ

【注】 各電源端子は、端子機能未使用時も必ず供給してください。

端子を使用しない場合は、該当する端子のレジスタ設定などは行わないでください。

- \*1 パワーオンリセット後 LSI 内部でプルアップ されます (初期状態)。PUPR1.RDYPUP (GPIO) を 0 にクリアしてプルアップオフにしてください。
- \*2 エミュレータが使用可能なボードを設計する場合にはエミュレータの指示に従ってください。
- \*3 エミュレータを使用しないボードを設定する場合にはグラウンド固定、または RESETP と同じ信号と接続してください。ただし、グラウンド固定とする場合は、TRST は LSI 内部でプルアップされているため微小な電流が流れます。電流値はポート端子のプルアップ抵抗の規定に従います。本電流はチップの動作には何ら影響を及ぼしませんが、不要な電力を消費することになります。

## H. 電源投入遮断手順

### (1) 電源投入時

各電源についての電源投入順序の制限はありません。すべての電源を 300ms 以内に立ち上げてください。

(DDR バックアップ時、RTC バックアップ時を除く)

### (2) 電源遮断時

各電源についての電源遮断順序の制限はありません。すべての電源を 300ms 以内に立ち下げてください。

(DDR バックアップ時、RTC バックアップ時を除く)

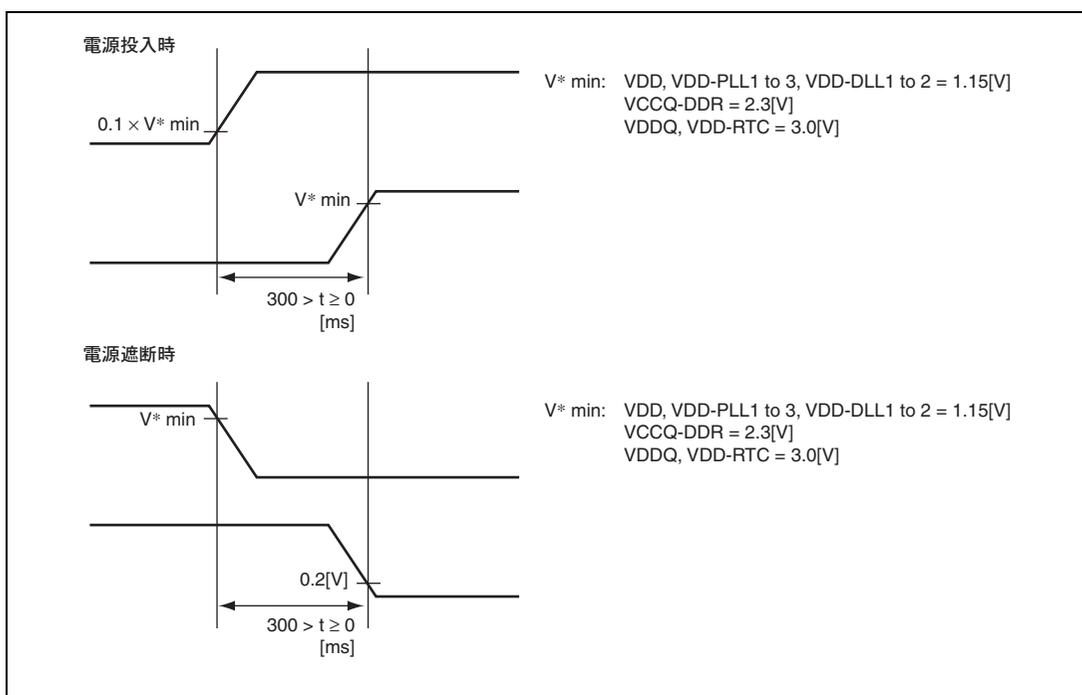


図 H.1 電源投入遮断手順

## I. バージョンレジスタ

製品バージョンレジスタに関するレジスタ構成を以下に示します。

表 I.1 バージョンレジスタの構成

名称	略称	R/W	初期値	P4 アドレス	エリア7 アドレス	サイズ
プロセッサバージョンレジスタ	PVR	R	H'1020 0Axx	H'FF00 0030	H'1F00 0030	32
プロダクトレジスタ	PRR	R	H'0000 092x	H'FF00 0044	H'1F00 0044	32

【記号説明】 x : 不定

### (1) プロセッサバージョンレジスタ (PVR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	バージョン情報																
初期値 :	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	バージョン情報										-	-	-	-	-	-	-
初期値 :	0	0	0	0	1	0	1	0	-	-	-	-	-	-	-	-	
R/W :	R	R	R	R	R	R	R	R	-	-	-	-	-	-	-	-	

### (2) プロダクトレジスタ (PRR)

ビット :	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	バージョン情報															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	バージョン情報												-	-	-	-
初期値 :	0	0	0	0	1	0	0	1	0	0	1	0	-	-	-	-
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	-	-	-	-

## J. 品名一覧

表 J.1 SH7780 (R8A77800A) 品名一覧

型名	電圧	動作周波数	品名	動作温度	パッケージ
SH7780	1.25V	400MHz	R8A77800ADBG	-40 to 85°C	449-pin BGA
			R8A77800ADBGV		449-pin BGA (鉛フリー)
			R8A77800ANBG	-20 to 75°C	449-pin BGA
			R8A77800ANBGV		449-pin BGA (鉛フリー)

---

# 索引

---

## 【数字/記号】

0 による除算 .....	6-11
32 ビットアドレス拡張 .....	7-34

## 【A】

AND/NAND フラッシュコントローラ (FLCTL) .....	27-1
ASID .....	7-7
ATI .....	20-20

## 【C】

CUI .....	20-20
-----------	-------

## 【D】

DDR-SDRAM インタフェース (DDRIF) .....	12-1
---------------------------------	------

## 【E】

ECC .....	27-24
ECC エラーチェック .....	27-24

## 【F】

FIFO 内蔵シリアルコミュニケーション インタフェース (SCIF) .....	21-1
FPU エラー .....	6-11
FPU に関するシステムレジスタ .....	2-3
FPU 例外 .....	5-19, 6-11
FPU 例外処理 .....	6-12

## 【H】

H-UDI リセット .....	5-9
------------------	-----

## 【I】

I/O カードインタフェース .....	11-9, 11-47
IC 2 ウェイモード .....	8-14
IC メモリカードインタフェース .....	11-9, 11-47
IRL 割り込み .....	10-40
IRQ 割り込み .....	10-39
ITLB .....	7-19

## 【L】

LDTLB .....	7-22
-------------	------

L メモリ .....	9-1
-------------	-----

## 【M】

MMCIF 割り込み要因 .....	24-60
MMU の機能 .....	7-22
MMU 例外 .....	7-24
MPX インタフェース .....	11-57

## 【N】

NMI (ノンマスクابل割り込み) .....	5-20
--------------------------	------

## 【O】

OC 2 ウェイモード .....	8-12
-------------------	------

## 【P】

PCI コマンド .....	13-62
PCI コントローラ (PCIC) .....	13-1
PCI コンフィグレーションレジスタ .....	13-11
PCI バスアービタ .....	13-79
PCI 規格信号 .....	13-4, 13-5
PCMCIA インタフェース .....	11-47
PCMCIA サポート .....	11-9
PRI .....	20-20

## 【S】

SCIF 割り込み要因 .....	21-47
SRAM インタフェース .....	11-39

## 【T】

TAP 制御 .....	30-17
TCNT のカウントタイミング .....	18-12
TLB .....	7-1, 7-17
T ビット .....	3-2

## 【U】

UTLB .....	7-17
U ビット .....	8-3

## 【V】

V ビット .....	8-3
-------------	-----

<b>【あ】</b>	
アクセスサイクル間ウェイト	11-68
アドレス/データステッピング	13-90
アドレスアレイ	7-30, 7-32, 8-16, 8-18
アドレス空間識別子	7-7
アドレス変換	7-7
アドレス変換方式	7-20
アドレッシングモード	3-3
アラーム機能	20-19
アンドフロー	6-11
一般 FPU 抑止/スロット FPU 抑止例外	6-11
一般 FPU 抑止例外	5-17
一般不当命令例外	5-16
一般割り込み要求	5-20
インタミットモード	14-32
エリア	11-5, 11-35
エンディアン	11-31
オーディオコーデックインタフェース (HAC)	25-1
オートリクエストモード	14-24
オートリロードカウント動作	18-12
オーバフロー	6-11
オペラントアクセスサイクルブレイク	29-21
オペラントキャッシュ	8-1

<b>【か】</b>	
外部リクエストモード	14-24
外部メモリ空間マップ	11-7
書き込みデータを伴うコマンド	24-49
仮想アドレス空間	7-2, 7-3, 7-4
仮想記憶方式	7-1
擬似ラウンドロビン	13-79
キャッシュ	8-1
キャッシュコヒーレンシー	13-77
キャッシュフィル	8-15
クロック発振器 (CPG)	15-1
クロック同期式モード	21-1
固定モード	14-27
固定小数点転送命令	3-8
コマンドアクセスモード	27-20
コマンドと CMDTYR、RSPTYR の設定	24-24
コマンドレスポンスバイト数と	
RSPP レジスタの対応	24-26
コマンドレスポンスを要しないコマンドの動作	24-33
コントロールレジスタ	2-2
コンフィグレーションアクセス	13-78

<b>【さ】</b>	
サイクルスチール	14-32
算術演算命令	3-9
ジオメトリック演算命令	6-13
時刻設定	20-17
システムレジスタ	2-2
システム制御命令	3-14
実効アドレスの計算	3-3
実行ステート	4-15
シノニム問題	7-23
シフト命令	3-12
受信 FIFO データフル割り込み (RXI)	21-47
受信エラー割り込み (ERI)	21-47
初期ページ書き込み例外	5-11
処理モード	2-2
シリアル I/O FIFO 付き (SIOF)	22-1
シリアルサウンドインタフェース (SSI)	26-1
シリアルプロトコルインタフェース (HSPI)	23-1
水晶発振回路	20-20
ストアキュー	8-21
スレープモード 1	22-30
スレープモード 2	22-31
スレープ時受信	22-36
スレープ時送信	22-35
スロット FPU 抑止例外	5-18
スロット不当命令例外	5-17
セクタアクセスモード	27-22
送受信リセット	22-37
送信 FIFO データエンプティ割り込み (TXI)	21-47
相対アドレス型コマンドの動作	24-33

<b>【た】</b>	
タイマ/カウンタ (CMT)	19-1
タイマ 16 ビット: アウトプットコンペア	19-18
タイマ 16 ビット: インพุットキャプチャ	19-16
タイマ 32 ビット: アウトプットコンペア	19-14
タイマ 32 ビット: インพุットキャプチャ	19-12
タイマユニット (TMU)	18-1
タイムシェアリングシステム	7-1
ダイレクトメモリアクセスコントローラ (DMAC)	14-1
タグ	8-3
多重割り込み	10-51
遅延スロット	3-1
遅延分岐	3-1
調歩同期式モード	21-1
データ TLB 多重ヒット例外	5-10

低消費電力モード	17-1
データ TLB ミス例外	5-10
データ TLB 保護違反例外	5-12
データアドレスエラー	5-14
データアレイ	7-31, 7-33, 8-17, 8-20
データスワップ	13-69, 13-74
データ転送を伴わないコマンドの動作	24-34
データ非スワップ	13-69, 13-74
デュアルアドレスモード	14-30
特権空間マッピングバッファ (PMB) 構成	7-35
特権モード	2-2

### 【な】

内蔵周辺モジュールリクエストモード	14-25
内蔵モジュール割り込み	10-42
ノーマルモード	13-81

### 【は】

バースト ROM インタフェース	11-45
バーストモード	14-33
排他的アクセス	13-74
バイト制御 SRAM	11-65
パイプライン動作	4-1
バウンダリスキャン TAP コントローラ	30-4
バスアービトレーション	11-69
バスステートコントローラ (LBSC)	11-1
発行レート	4-15
パワーオンリセット	5-9
パワーステート D0 (通常状態)	13-81
パワーステート D1 (バスアイドル)	13-81
パワーステート D2 (クロック停止)	13-81
パワーステート D3 (パワーダウンモード)	13-81
パワーマネジメント	13-81
汎用入出力ポート (GPIO)	28-1
汎用レジスタ	2-2
ビッグエンディアン	2-15
符号拡張	2-14
不正確例外	6-11
物理アドレス空間	7-2, 7-6
浮動小数点グラフィック強化命令	3-18
浮動小数点制御命令	3-17
浮動小数点単精度命令	3-16
浮動小数点倍精度命令	3-17
浮動小数点ユニット (FPU)	6-1
浮動小数点レジスタ	2-3
プリフェッチ	8-22, 9-8
プリフェッチ動作	8-15

ブレーク割り込み (BRI)	21-47
ブロードキャスト型コマンドの動作	24-32
プログラミングモデル	2-1
分岐命令	3-13
ヘア単精度データ転送命令	6-14
ベクタアドレス	5-5
ポーレートジェネレータ	22-24
ホストモード	13-78

### 【ま】

マスタモード	11-71
マスタモード 1	22-30
マスタ時受信	22-34
マスタ時送信	22-33
マニュアルリセット	5-9
マルチプレクス一覧表	28-2
マルチメディアカードインタフェース (MMCIF)	24-1
丸め	6-10
無効演算	6-11
無条件トラップ	5-15
命令 TLB 多重ヒット例外	5-9
命令 TLB 保護違反例外	5-13
命令 TLB ミス例外	5-11
命令アドレスエラー	5-15
命令キャッシュ	8-1
命令実行後ユーザブレーク	5-19
命令実行前ユーザブレーク	5-19
命令セット	3-1
命令フェッチサイクルブレーク	29-20
メモリマネジメントユニット (MMU)	7-1
メモリ割り付け PMB の構成	7-37
メモリ割り付けレジスタ	2-14

### 【や】

ユーザデバッグインタフェース (H-UDI)	30-1
ユーザブレークコントローラ (UBC)	29-1
ユーザブレーク動作の流れ	29-18
ユーザモード	2-2
読み出しデータを伴うコマンド	24-38

### 【ら】

ライトスルーバッファ	8-12
ライトバック	9-8
ライトバックバッファ	8-12
ラウンドロビンモード	14-27
リアルタイムクロック (RTC)	20-1
リセット、ウォッチドッグタイマ (WDT)	16-1

リトルエンディアン .....	2-15	DMACR .....	24-31
例外／割り込みコード .....	5-5	DMAOR .....	14-19
例外処理 .....	5-1, 5-4	DMARS .....	14-21
例外フロー .....	5-6	DR .....	24-29
レジスタ		DTOUTR .....	24-28
BCR .....	11-16	EXPEVT .....	5-2
CAMR .....	29-13	FIFOCLR .....	24-30
CAR .....	29-12	FLADR .....	27-10
CBCR .....	29-17	FLBSYCNT .....	27-16
CBR0 .....	29-4	FLBSYTMR .....	27-16
CBR1 .....	29-4	FLCMCDR .....	27-9
CCMFR .....	29-16	FLCMDCR .....	27-7
CCR .....	8-5	FLCMNCR .....	27-6
CDMR1 .....	29-15	FLDATAR .....	27-12
CDR1 .....	29-14	FLDTCNTR .....	27-11
CETR1 .....	29-15	FLDTFIFO .....	27-17
CHCR .....	14-13	FLECFIFO .....	27-18
CLKON .....	24-18	FLINTDMACR .....	27-13
CMDR .....	24-6	FLTRCR .....	27-19
CMDSTRT .....	24-7	FPSCR .....	2-11, 6-8
CMDTYR .....	24-22	FPUL .....	6-10
CMTCFG .....	19-4	FRQCR .....	15-5
CMTCH0C .....	19-11	GBR .....	2-10
CMTCH0ST .....	19-10	HACACR .....	25-15
CMTCH0T .....	19-10	HACCR .....	25-4
CMTCH1C .....	19-11	HACCSAR .....	25-5
CMTCH1ST .....	19-10	HACCSSDR .....	25-7
CMTCH1T .....	19-10	HACPCML .....	25-8
CMTCH2C .....	19-11	HACPCMR .....	25-9
CMTCH2ST .....	19-10	HACRIER .....	25-13
CMTCH2T .....	19-10	HACRSR .....	25-14
CMTCH3C .....	19-11	HACTIER .....	25-10
CMTCH3ST .....	19-10	HACTSR .....	25-11
CMTCH3T .....	19-10	ICR .....	10-10
CMTCTL .....	19-6	INT2A .....	10-26
CMTFRT .....	19-6	INT2B .....	10-32
CMTIRQS .....	19-9	INT2GPIC .....	10-37
CPUOPM .....	付録-1	INT2MSKCR .....	10-30
CRR .....	29-10	INT2MSKR .....	10-29
CSnBCR .....	11-18	INT2PRI .....	10-25
CSnWCR .....	11-23	INTCR .....	24-11
CSTR .....	24-9	INTEVT .....	5-3
CTOCR .....	24-19	INTMSK .....	10-15
DAR .....	14-11	INTMSKCLR .....	10-19
DARB .....	14-11	INTPRI .....	10-12
DBK .....	12-19	INTREQ .....	10-14
DBR .....	2-10	INTSTR .....	24-13

IRMCR .....	7-15	PCILSR .....	13-33
LDA0 .....	9-6	PCILTM .....	13-18
LDA1 .....	9-7	PCIMAXLAT .....	13-26
LSA0 .....	9-4	PCIMBAR .....	13-20
LSA1 .....	9-5	PCIMBMR .....	13-51
MACH .....	2-11	PCIMBR .....	13-51
MACL .....	2-11	PCIMINGNT .....	13-25
MIM .....	12-10	PCINIP .....	13-26
MMSELR .....	11-14	PCIPAR .....	13-47
MMUCR .....	7-11	PCIPCDD .....	13-29
MODER .....	24-21	PCIPDR .....	13-61
MSTPCR .....	17-4	PCIPIF .....	13-16
NMIFCR .....	10-23	PCIPINT .....	13-49
OPCR .....	24-8	PCIPINTM .....	13-50
PACR .....	28-8	PCIPMC .....	13-27
PADR .....	28-25	PCIPMCSR .....	13-28
PASCR .....	7-14	PCIPMCSRBSE .....	13-29
PBCR .....	28-9	PCIRID .....	13-15
PBDR .....	28-25	PCISID .....	13-23
PC .....	2-11	PCISTATUS .....	13-13
PCCR .....	28-11	PCISUB .....	13-17
PCDR .....	28-26	PCISVID .....	13-23
PCIAINT .....	13-43	PCIVID .....	13-11
PCIAINTM .....	13-45	PCR .....	11-27
PCIAIR .....	13-42	PDCR .....	28-12
PCIBCC .....	13-17	PDDR .....	28-26
PCIBIST .....	13-19	PECR .....	28-14
PCIBMIR .....	13-46	PEDR .....	28-27
PCICID .....	13-26	PEPUPR .....	28-31
PCICIR .....	13-42	PFCR .....	28-15
PCICLS .....	13-17	PFDR .....	28-27
PCICMD .....	13-12	PGCR .....	28-17
PCICP .....	13-24	PGDR .....	28-28
PCICR .....	13-30	PHCR .....	28-18
PCICSAR .....	13-60	PHDR .....	28-28
PCICSCR .....	13-58	PHPUPR .....	28-31
PCIDID .....	13-11	PJCR .....	28-20
PCIECR .....	13-10	PJDR .....	28-29
PCIHDR .....	13-18	PJPUPR .....	28-32
PCIIBAR .....	13-19	PKCR .....	28-21
PCIIMR .....	13-40	PKDR .....	28-29
PCIINTLINE .....	13-24	PKPUPR .....	28-32
PCIINTPIN .....	13-25	PLCR .....	28-23
PCIIOBMR .....	13-57	PLDR .....	28-30
PCIIOBR .....	13-56	PLLCR .....	15-7
PCIIR .....	13-37	PMCR .....	28-24
PCILAR .....	13-35	PMDR .....	28-30

PMPUPR.....	28-33	SDBPR.....	30-8
PMSLR.....	28-35	SDBSR.....	30-9
PPUPR1.....	28-33	SDINT.....	30-7
PPUPR2.....	28-34	SDIR.....	30-7
PR.....	2-11	SDMR.....	12-18
PRR.....	付録-53	SDR.....	12-17
PTEH.....	7-9	SGR.....	2-10
PTEL.....	7-10	SICDAR.....	22-23
PVR.....	付録-53	SICTR.....	22-7
QACR0.....	8-6	SIFCTR.....	22-19
QACR1.....	8-7	SIER.....	22-18
R64CNT.....	20-5	SIMDR.....	22-4
RAMCR.....	8-7, 9-3	SIRCR.....	22-12
RCR.....	20-13	SIRDAR.....	22-22
RDAYAR.....	20-11	SIRDAR.....	22-10
RDAYCNT.....	20-7	SISCR.....	22-6
RHRAR.....	20-10	SISTR.....	22-13
RHRCNT.....	20-6	SITCR.....	22-11
RMINAR.....	20-9	SITDAR.....	22-21
RMINCNT.....	20-6	SITDR.....	22-9
RMONAR.....	20-11	SPC.....	2-10
RMONCNT.....	20-8	SPCR.....	23-4
RSECAR.....	20-9	SPRBR.....	23-10
RSECCNT.....	20-5	SPSCR.....	23-8
RSPR.....	24-26	SPSR.....	23-5
RSPTYR.....	24-23	SPTBR.....	23-10
RWKAR.....	20-10	SR.....	2-9
RWKCNT.....	20-7	SSICR.....	26-4
RYRAR.....	20-12	SSIRDAR.....	26-13
RYRCNT.....	20-8	SSISR.....	26-9
SAR.....	14-10	SSITDR.....	26-13
SARB.....	14-10	SSR.....	2-10
SCBRR.....	21-19	STR.....	12-14
SCFCR.....	21-20	TBCR.....	24-20
SCFRDR.....	21-9	TBNCR.....	24-26
SCFSR.....	21-15	TCNTn.....	18-8
SCFTDR.....	21-10	TCORn.....	18-8
SCLSR.....	21-25	TCPR2.....	18-10
SCR.....	12-13	TCR.....	14-12
SCRER.....	21-26	TCRB.....	14-12
SCRFRDR.....	21-22	TCRn.....	18-8
SCRSR.....	21-9	TEA.....	7-11
SCSCR.....	21-12	TOCR.....	18-6
SCSMR.....	21-10	TRA.....	5-2
SCSPTR.....	21-23	TSTRn.....	18-6
SCTFDR.....	21-22	TTB.....	7-11
SCTSR.....	21-9	USERIMASK.....	10-24

VBR .....	2-10
WDTBCNT .....	16-7
WDTBST .....	16-6
WDTCNT .....	16-7
WDTCSR.....	16-5
WDTST .....	16-4

ロード/ストアアーキテクチャ .....	3-1
論理演算命令 .....	3-11

**【わ】**

割り込み応答時間 .....	10-52
割り込みコントローラ (INTC) .....	10-1



---

ルネサス32ビットRISCマイクロコンピュータ  
ハードウェアマニュアル  
SH7780

発行年月日 2006年1月11日 Rev.1.00  
発行 株式会社ルネサス テクノロジ 営業企画統括部  
〒100-0004 東京都千代田区大手町 2-6-2  
編集 株式会社ルネサスソリューションズ  
グローバルストラテジックコミュニケーション本部  
カスタマサポート部



営業お問合せ窓口  
株式会社ルネサス販売

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)



SH7780  
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0221-0100