

# SH72A0/A2 グループ

R01AN1159JJ0101

Rev.1.00

## MTU-III,TPU,SBI,ADC,MPU,EEPROM 機能

2012.04.17

### 1. 要約

本アプリケーションノートは、SH72A0/A2 の機能の使用方法をまとめたものです。

なお、本アプリケーションノートに掲載されているタスク例およびアプリケーション例は動作確認しておりますが、実際にご使用になる場合には、必ず動作確認の上ご使用くださいますようお願いいたします。

### 2. 適用

この資料は、SH72A0/A2 に適用されます。

#### 2.1 適用条件

- ・ 統合開発環境 : ルネサス エレクトロニクス製  
High-performance Embedded Workshop Ver.4.09.00.007
- ・ C コンパイラ : ルネサス エレクトロニクス製 SuperH RISC engine ファミリ  
C/C++ コンパイラパッケージ Ver.9.04 Release 00
- ・ コンパイルオプション : `-cpu=sh2a -object="$(CONFIGDIR)¥$(FILELEAF).obj" -debug -optimize=0  
-gbr=auto -chgincpath -errorpath -global_volatile=0 -opt_range=all -infinite_loop=0  
-del_vacant_loop=0 -struct_alloc=1 -nologo`

## 目次

1. 要約 .....	1
2. 適用 .....	1
2.1 適用条件 .....	1
3. マルチファンクションタイマパルスユニット(MTU-III).....	3
3.1 インพุットキャプチャ機能 .....	4
3.2 アウツプツットコンペア機能 .....	8
3.3 PWM モード 1 機能 .....	12
3.4 PWM モード 2 機能 .....	16
3.5 位相計数モード機能 .....	20
3.6 相補 PWM モード(ダブルバッファ)機能 .....	23
3.7 PWM 出力<->方形波出力切り替え機能 .....	30
4. タイマパルスユニット(TPU).....	35
4.1 インพุットキャプチャ機能 .....	37
4.2 アウツプツットコンペア機能(単相波形出力モード).....	40
5. シリアルバスインタフェース(SBI) .....	43
5.1 SBI 機能.....	44
5.2 クロック同期式動作機能 SBI 機能.....	49
6. 12 ビツット A/D コンバータ(AD0) .....	54
6.1 1 サイクルスキャンモード機能.....	55
6.2 識別子追加機能 .....	59
7. 10 ビツット A/D コンバータ(AD1) .....	62
7.1 1 サイクルスキャンモード機能.....	62
7.2 TPU(PWM)のタイマトリガ/TPCNT リセットによるスキャン変換の起動.....	67
8. メモリプロテクションユニット(MPU) .....	74
8.1 保護属性の設定 .....	74
8.2 MPU エラー(CPU).....	77
8.3 サンプルソフト説明.....	78
9. EEPROM.....	80
9.1 EEPROM 書き換え動作 .....	80

3. マルチファンクションタイマパルスユニット(MTU-III)

SH72A0/A2 は、8 チャンネル(チャンネル0~7)の16ビットタイマにより構成されるマルチファンクションタイマパルスユニット(MTU-III)を内蔵しています。図 3.1にMTU-IIIのブロック図を示します。

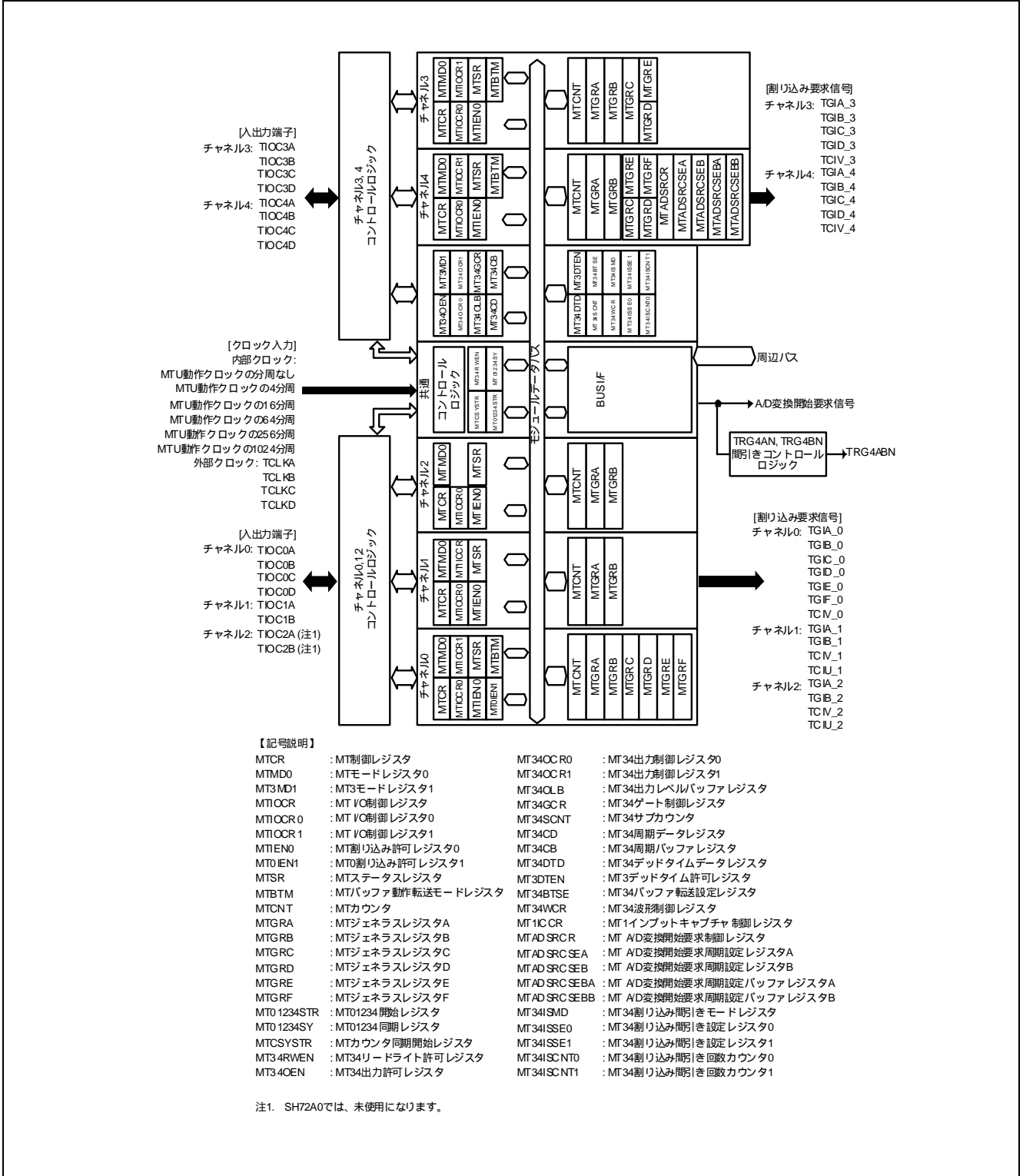


図 3.1 MTU-IIIのブロック図(チャンネル0~4)

### 3.1 インプットキャプチャ機能

TIOC 端子の入力エッジを検出して MTCNT カウンタの値を MTGR レジスタに転送することができます。検出エッジは立ち上がりエッジ/ 立ち下がりエッジ/ 両エッジから選択できます。また、チャンネル 0、1 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインプットキャプチャの要因とすることもできます。

#### 3.1.1 応用例の説明

図 3.2に MTU-III のチャンネル 1 を使用したインプットキャプチャ機能の動作例を示します。TIOC1B 端子から入力した任意のパルスの立ち上がりエッジ/立ち下がりエッジを検出し、MT1CNT カウンタの値を MT1GRB レジスタに転送してパルス幅を計測可能です。MT1CNT カウンタは MT1GRB レジスタのインプットキャプチャでクリアします。本応用例ではインプットキャプチャ割り込み使用し、MT1GRB に格納されたデータを 16 ビット変数 : INPUT\_cycle に格納します。

また、チャンネル 1 のインプットキャプチャを利用して、チャンネル 3、4 で生成した相補 PWM 出力のうち TIOCB/D を、一定期間方形波出力に切り替えます。方形波出力期間は割り込み処理内のループカウントで調整します。

相補 PWM モード機能については「3.6相補 PWM モード(ダブルバッファ)機能」を参照してください。

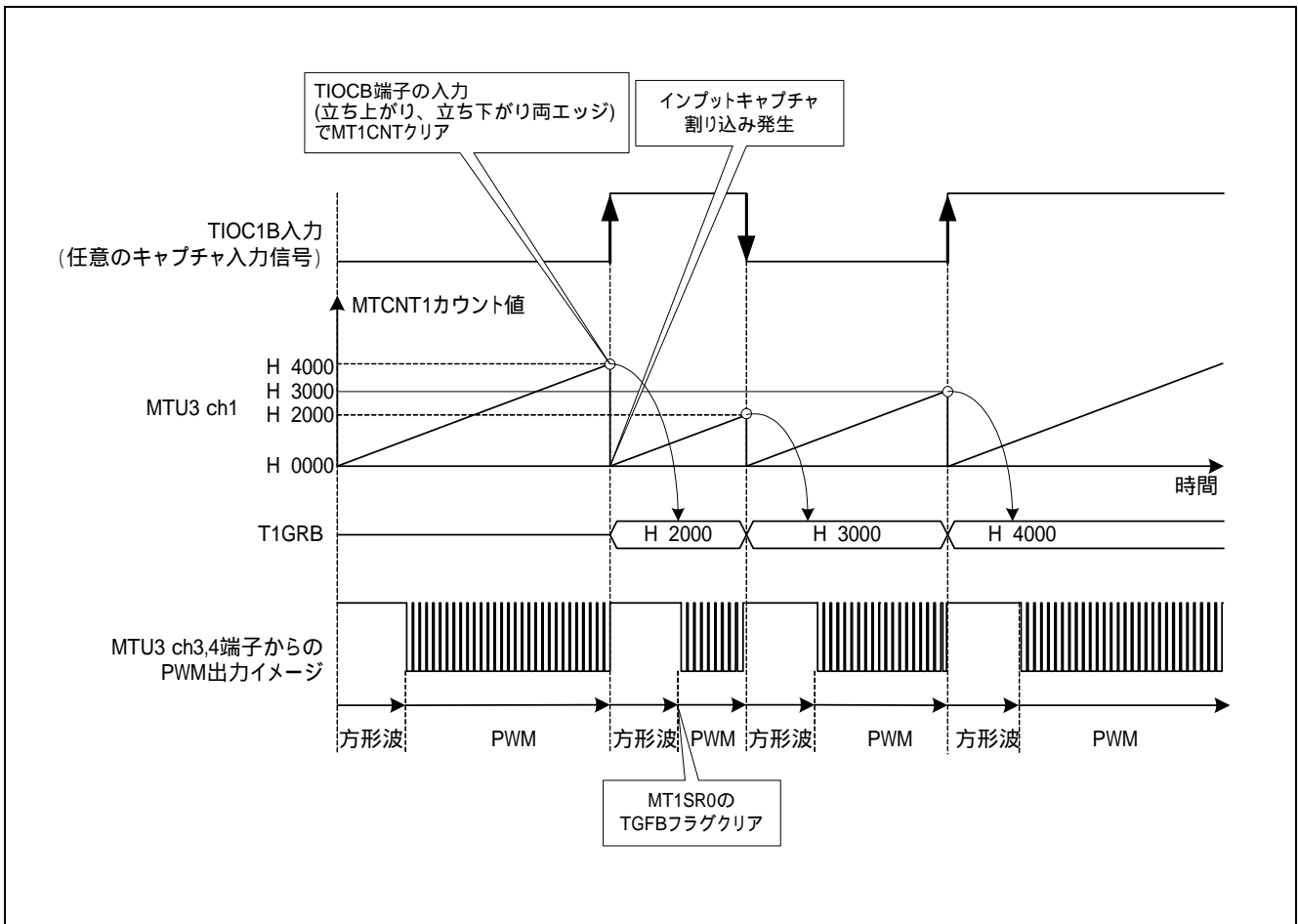


図 3.2 インプットキャプチャ動作例

### 3.1.2 レジスタ説明

インプットキャプチャ機能で使用するレジスタの説明を以下に示します。

#### MT1 制御レジスタ (MT1CR)

MT1CR レジスタは MT1CNT カウンタを制御します。MT1CR レジスタの設定は、MT1CNT カウンタの動作が停止した状態で行ってください。

#### MT1 モードレジスタ 0 (MT1MD0)

MT1MD0 レジスタは、動作モードを設定します。MT1MD0 レジスタの設定は、MT1CNT カウンタの動作が停止した状態で行ってください。

#### MT1 ジェネラルレジスタ A/B (MT1GRA/B)

MT1GRA/B レジスタは、16 ビットの読み出し/書き込み可能なレジスタです。チャンネル 1 に 2 本のジェネラルレジスタがあります。MT1GRA、MT1GRB レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

注：SH72A0 グループでは MT1GRA 機能は使用できません。

#### MT1 波形インプットキャプチャ/アウトプットコンペア切り替え許可レジスタ B (MT1WIOSWENB)

MT1WIOSWENB レジスタは、対応するビットに"1"を書き込むことにより、外部端子 TIOC3B/D、TIOC4A/C、TIOC4B/D、TIOC6B/D、TIOC7A/C、TIOC7B/D の出力を MT1GRB レジスタがインプットキャプチャ/アウトプットコンペア時に MTU-III PWM 出力または方形波出力に切り替えることができます。

#### MT1 割り込み許可レジスタ 0 (MT1IEN0)

MT1IEN0 レジスタは、各チャンネルの割り込み要求の許可、禁止を制御します。

#### MT01234 開始レジスタ (MT01234STR)

MT01234STR レジスタは、チャンネル 0~4 の MTCNT カウンタの動作/停止を選択します。

#### その他 (MTU-III チャンネル 3,4 相補 PWM 生成用レジスタ説明)

相補 PWM 生成に使用するレジスタについては、章「3.6 相補 PWM モード(ダブルバッファ)機能」の「3.6.2 レジスタ説明」を参照してください。

表 3.1に関連レジスタの設定例を示します。

表 3.1 MTU-III インพุットキャプチャ機能 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
MT1CR	H'FFFF 8380	H'43	CCLR[2:0]: カウンタクリア要因を MT1GRB のインพุットキャプチャに設定 CKEG[1:0]: 立ち上がりエッジでカウント TPSC[2:0]: 内部クロック MTU 動作クロックの 64 分周でカウント
MT1MD0	H'FFFF 8381	H'00	MD[3:0]: 通常動作に設定
MT1IOCR0	H'FFFF 8382	H'A0	IOB[3:0]: MT1GRB の機能 インพุットキャプチャレジスタ、TIOC1B の機能 両エッジでインพุットキャプチャ IOA[3:0]: 出力保持(SH72A0 グループでは無効)
MT1IEN0	H'FFFF 8384	H'02	TGIEB: MTSR レジスタの TGFB フラグが"1"にセットされたとき、TGFB フラグによる割り込み要求(TGIB)を許可
MT1WIOSWENB	H'FFFF 9512	H'01	ICOC1B34: チャンネル 1 の MTGRB レジスタがインพุットキャプチャ時に、TIOC3B/D の出力を方形波出力に切り替え
MT01234STR	H'FFFF 8280	H'02	CST1: MT1CNT カウント動作開始



### 3.2 アウトプットコンペア機能

MTCNT カウンタのクリア要因にコンペアマッチを選択したときは、対応するチャンネルの MTCNT カウンタは周期カウント動作を行います。周期設定用の MTGR レジスタをアウトプットコンペアレジスタに設定し、MTiCR レジスタ(i = 0 ~ 4, 6, 7) の CCLR ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、MTSTR レジスタの対応するビットを"1" にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が MTGR レジスタの値と一致すると、MTSR レジスタの TGF フラグが"1" にセットされ、MTCNT カウンタは"H'0000" にクリアされます。

このとき対応する MTIEN レジスタの TGIE ビットが"1" ならば、MTU-III は割り込みを要求します。MTCNT カウンタはコンペアマッチ後、"H'0000" からアップカウント動作を継続します。

MTU-III は、コンペアマッチにより対応する出力端子から 0 出力/1 出力/トグル出力を行うことができます。

#### 3.2.1 応用例の説明

図 3.4に MTU-III のチャンネル 1 を使用したコンペアマッチ機能の動作例を示します。MT3CNT カウンタを周期カウント動作(コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定します。TOC3A および TIOC3B からトグル出力パルスを出力します。

また、チャンネル1のコンペアマッチ機能を利用して、チャンネル3,4で生成した相補PWM出力のうち TIOCB/D を、一定期間方形波出力に切り替えます。方形波出力期間は割り込み処理内のループカウントで調整します。

相補 PWM モード機能については「3.6 相補 PWM モード(ダブルパッファ)機能」を参照してください。

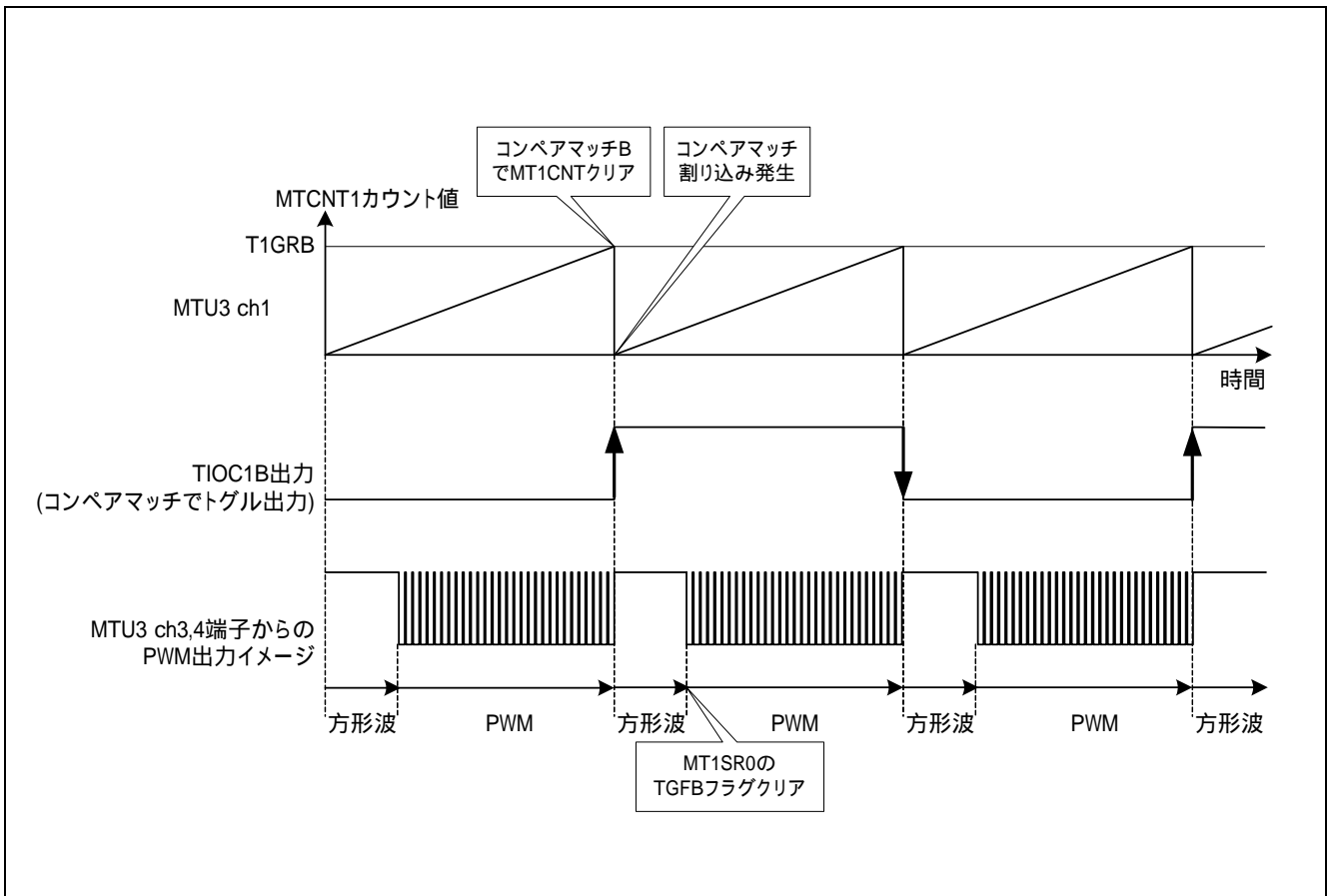


図 3.4 トグル出力動作例

### 3.2.2 レジスタ説明

アウトプットコンペア機能で使用するレジスタの説明を以下に示します。

#### MT1 制御レジスタ (MT1CR)

MT1CR レジスタは MT1CNT カウンタを制御します。MT1CR レジスタの設定は、MT1CNT カウンタの動作が停止した状態で行ってください。

#### MT1 モードレジスタ 0 (MT1MD0)

MT1MD0 レジスタは、動作モードを設定します。MT1MD0 レジスタの設定は、MT1CNT カウンタの動作が停止した状態で行ってください。

#### MT1 ジェネラルレジスタ A/B (MT1GRA/B)

MT1GRA/B レジスタは、16 ビットの読み出し/書き込み可能なレジスタです。チャンネル 1 に 2 本のジェネラルレジスタがあります。MT1GRA、MT1GRB レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

注：SH72A0 グループでは MT1GRA 機能は使用できません。

#### MT1 割り込み許可レジスタ 0 (MT1IEN0)

MT1IEN0 レジスタは、各チャンネルの割り込み要求の許可、禁止を制御します。

#### MT1 波形インプットキャプチャ/アウトプットコンペア切り替え許可レジスタ B (MT1WIOSWENB)

MT1WIOSWENB レジスタは、対応するビットに"1"を書き込むことにより、外部端子 TIOC3B/D、TIOC4A/C、TIOC4B/D、TIOC6B/D、TIOC7A/C、TIOC7B/D の出力を MT1GRB レジスタがインプットキャプチャ/アウトプットコンペア時に MTU-III PWM 出力または方形波出力に切り替えることができます。

#### MT01234 開始レジスタ (MT01234STR)

MT01234STR レジスタは、チャンネル 0~4 の MTCNT カウンタの動作/停止を選択します。

#### その他 (MTU-III チャンネル 3,4 相補 PWM 生成用レジスタ説明)

相補 PWM 生成に使用するレジスタについては、章「3.6 相補 PWM モード(ダブルバッファ)機能」の「3.6.2 レジスタ説明」を参照してください。

表 3.2に関連レジスタの設定例を示します。

表 3.2 MTU-III アウトプットコンペア機能 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
MT1CR	H'FFFF 8380	H'45	CCLR[2:0] : カウンタクリア要因を MT1GRB のコンペアマッチに設定 CKEG[1:0] : 立ち上がりエッジでカウント TPSC[2:0] : 内部クロック MTU 動作クロックの 64 分周でカウント
MT1MD0	H'FFFF 8381	H'00	BFB : MT1GRB レジスタと MT1GRD レジスタは通常動作 BFA : MT1GRA レジスタと MT1GRC レジスタは通常動作 MD[3:0] : 通常動作に設定
MT1IOCR0	H'FFFF 8382	H'30	IOB[3:0] : MT1GRB の機能 アウトプットコンペアレジスタ、初期出力は"0"出力、コンペアマッチでトグル出力 IOA[3:0] : 出力保持(SH72A0 グループでは無効)
MT1IEN0	H'FFFF 8384	H'02	TGIEB : MTSR レジスタの TGFB フラグが"1"にセットされたとき、TGFB フラグによる割り込み要求(TGIB)を許可
MT1GRB	H'FFFF 838A	H'4E20	トグル周期設定
MT1WIOSWENB	H'FFFF 9512	H'01	ICOC1B34[0] : チャンネル 1 の MTGRB レジスタがアウトプットコンペアマッチ時に、TIOC1B/D の出力を方形波出力に切り替え
MT01234STR	H'FFFF 8280	H'02	CST1 : MT1CNT カウント動作開始

3.2.3 フローチャート

図 3.5にコンペアマッチによる波形出力動作例のフローチャートを示します。

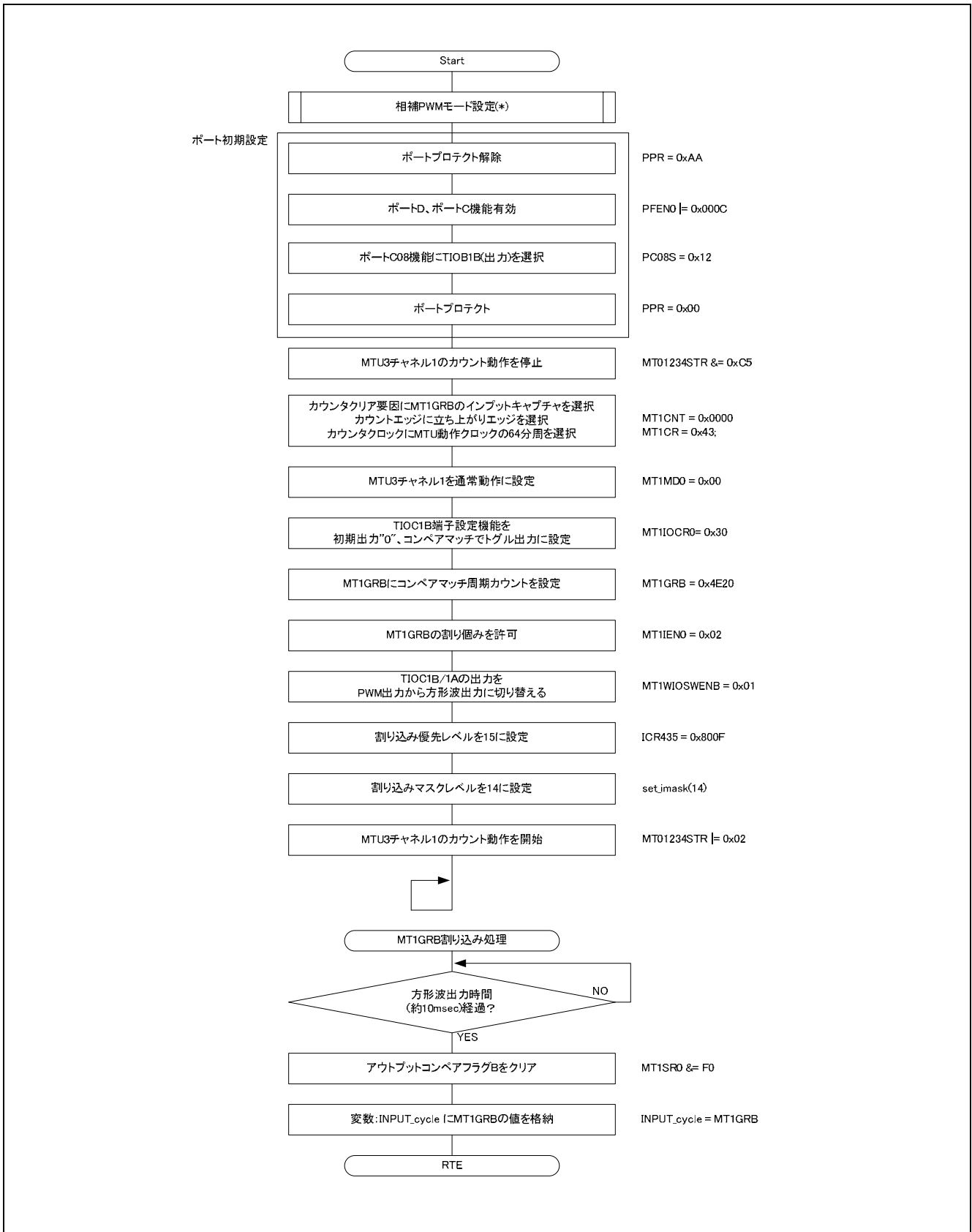


図 3.5 コンペアマッチによる波形出力動作設定例

(\*)相補 PWM モード設定については「図 3.13 相補 PWM モード動作の設定例」を参照してください。

### 3.3 PWM モード 1 機能

MTGRA レジスタと MTGRB レジスタ、MTGRC レジスタと MTGRD レジスタをペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。

TIOCA、TIOCC 端子からコンペアマッチ A、C によって MTIOCR レジスタの IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって MTIOCR レジスタの IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は MTGRA、MTGRC レジスタに設定した値になります。ペアで使用する MTGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 12 相の PWM 出力が可能です。

#### 3.3.1 応用例の説明

図 3.6に MTU-III のチャンネル 3 を使用した PWM モード 1 機能の動作例を示します。

MT3CNT カウンタのクリア要因を MT3GRA レジスタのコンペアマッチとし、MT3GRA レジスタの初期出力値と出力値を"0"、MT3GRB レジスタの出力値を"1" に設定します。この場合、MT3GRA レジスタに設定した値が周期となり、MT3GRB レジスタに設定した値がデューティとなります。

本動作例では、TIOC3A 端子から、デューティ 50%の PWM 信号を出力します。

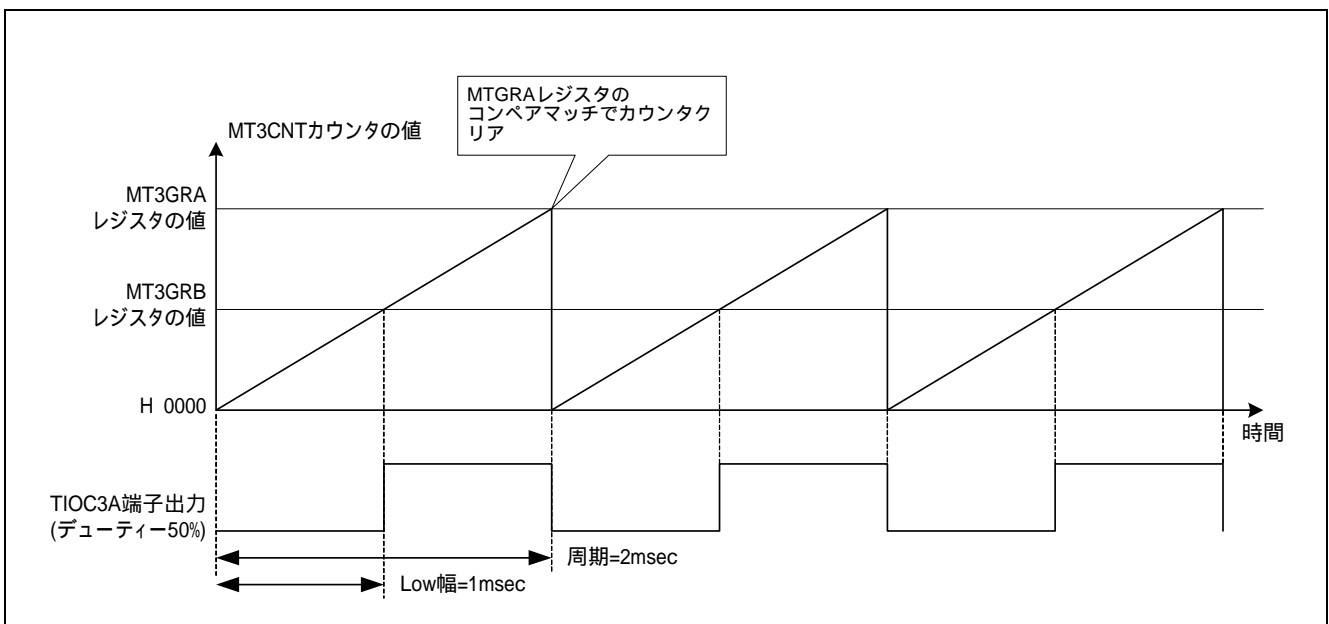


図 3.6 PWM モード 1 の動作例

### 3.3.2 レジスタ説明

PWM モード 1 機能で使用するレジスタの説明を以下に示します。

#### MT3 制御レジスタ (MT3CR)

MT3CR レジスタは MT3CNT カウンタを制御します。MT3CR レジスタの設定は、MT3CNT カウンタの動作が停止した状態で行ってください。

#### MT3 モードレジスタ 0 (MT3MD0)

MT3MD0 レジスタは、動作モードを設定します。MT3MD0 レジスタの設定は、MT3CNT カウンタの動作が停止した状態で行ってください。

#### MT3 I/O 制御レジスタ 0 (MT3IOCR0)

MT3IOCR0 レジスタは、MT3GR レジスタを制御します。MT3IOCR0 レジスタは MT3MD0 レジスタの設定により影響を受けますので注意してください。

#### MT3 ジェネラルレジスタ A/B

MT3GRA/B レジスタは、16 ビットの読み出し/書き込み可能なレジスタです。チャンネル 3 に 5 本のジェネラルレジスタがあります。MT3GRA、MT3GRB レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

#### MT01234 開始レジスタ (MT01234STR)

MT01234STR レジスタは、チャンネル 0~4 の MTCNT カウンタの動作/停止を選択します。

表 3.3に関連レジスタの設定例を示します。

表 3.3 MTU-III PWM モード 1 機能 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
MT3CR	H'FFFF 8200	H'21	CCLR[2:0] : カウンタクリア要因を MT3GRA のコンペアマッチに設定 CKEG[1:0] : 立ち上がりエッジでカウント TPSC[2:0] : 内部クロック MTU 動作クロックの4分周でカウント
MT3MD0	H'FFFF 8202	H'02	BFB : MT3GRB レジスタと MT3GRD レジスタは通常動作 BFA : MT3GRA レジスタと MT3GRC レジスタは通常動作 MD[3:0] : PWM モード 1 に設定
MT3IOCR0	H'FFFF 8204	H'21	IOB[3:0] : MT3GRB の機能 アウトプットコンペア TIOC3B の機能 初期出力は Low, コンペアマッチで High 出力 IOA[3:0] : MT3GRA の機能 アウトプットコンペア TIOC3A の機能 初期出力は Low, コンペアマッチで Low 出力
MT3GRA	H'FFFF 8218	H'9C40	PWM 周期設定
MT3GRB	H'FFFF 821A	H'4E20	PWM デューティ設定
MT01234STR	H'FFFF 8280	H'40	CST3 : MT3CNT カウント動作開始

3.3.3 フローチャート

図 3.7に PWM モード 1 動作例のフローチャートを示します。

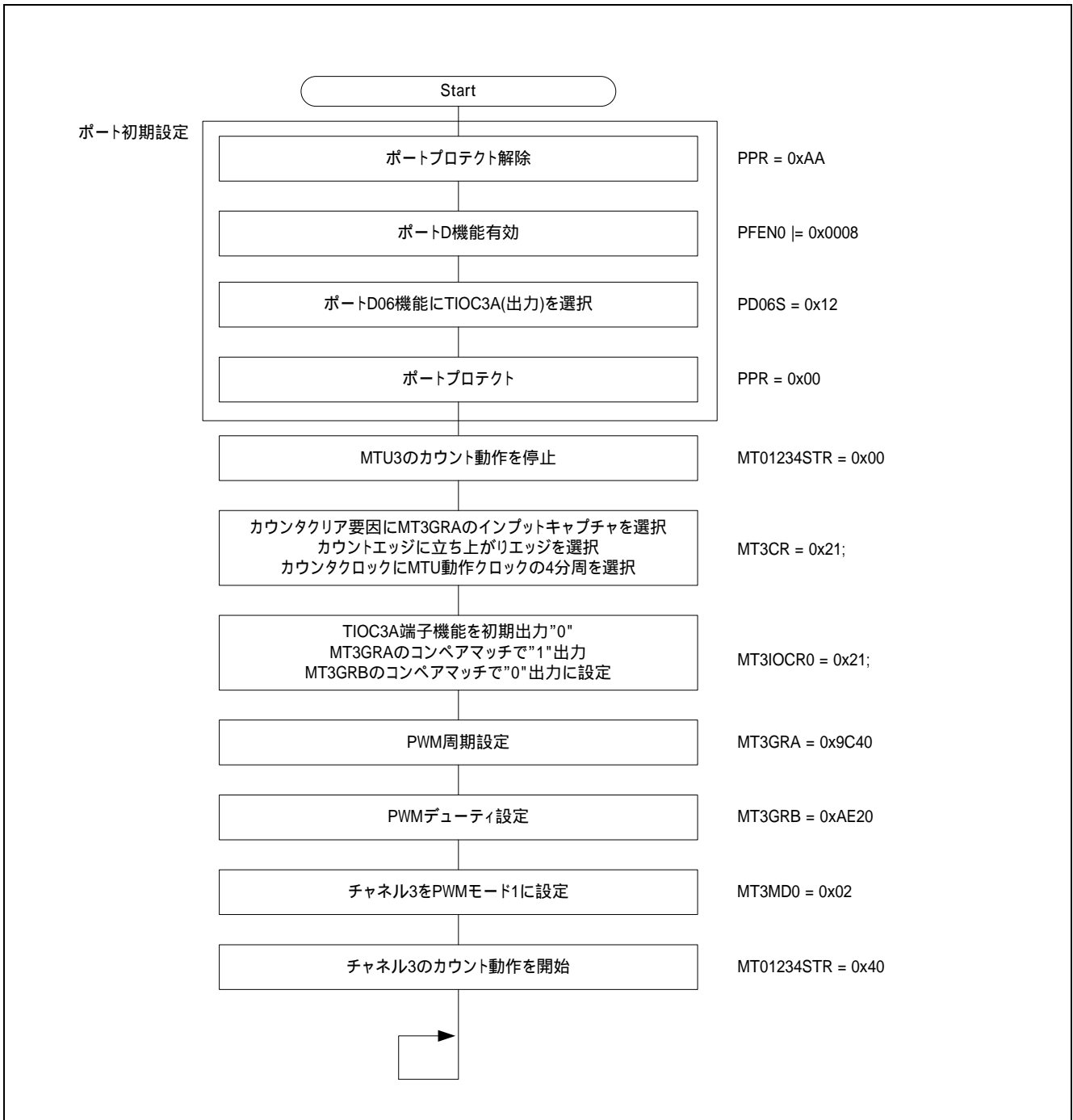


図 3.7 PWM モード 1 動作の設定例

### 3.4 PWM モード 2 機能

MTGR レジスタの 1 本を周期レジスタ、他の MTGR レジスタをデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、MTIOCR レジスタで指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は MTIOCR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。

#### 3.4.1 応用例の説明

図 3.8に MTU-III のチャンネル 0 および 1 を使用した PWM モード 2 機能の動作例を示します。

チャンネル 0 と 1 を同期動作させ、MTCNT カウンタのクリア要因を MT1GRB レジスタのコンペアマッチとし、他の MT0GRA ~ MT0GRD、MT1GRA レジスタの初期出力値を"0"、出力値を"1" に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、MT1GRB レジスタに設定した値が周期となり、他の MTGR レジスタに設定した値がデューティになります。

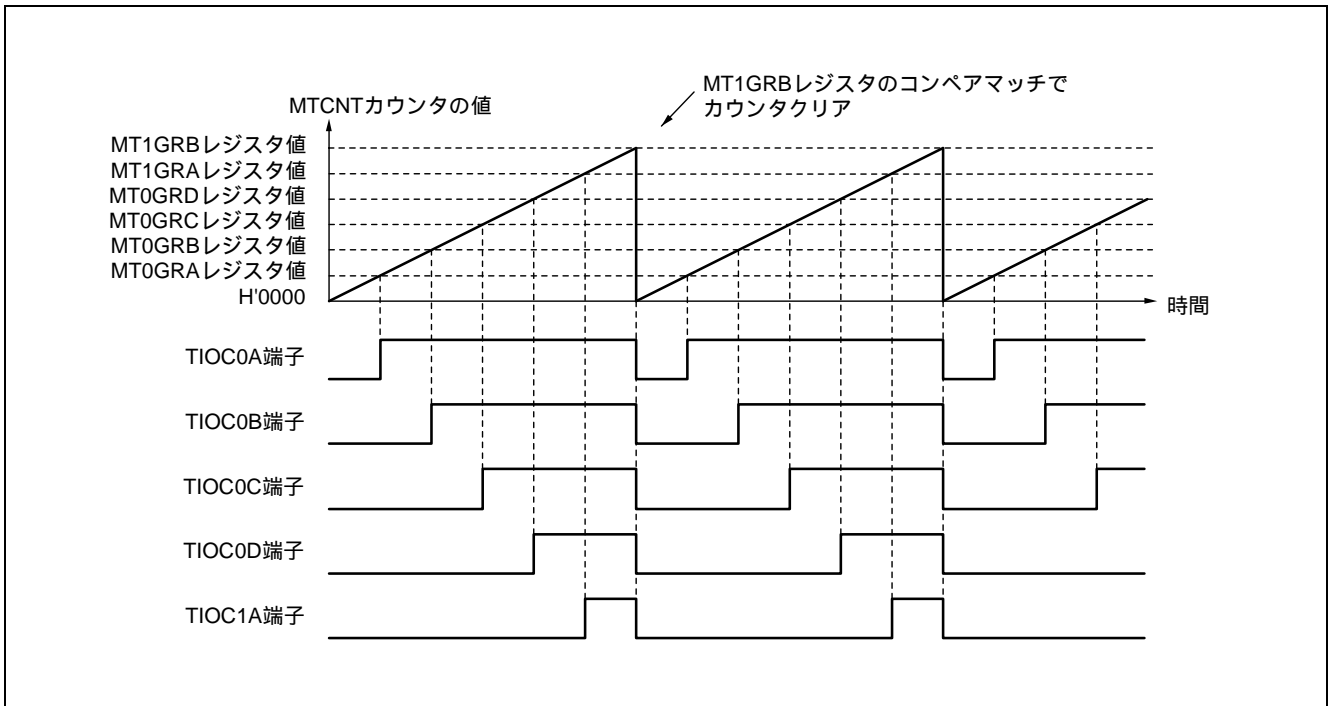


図 3.8 PWM モード 2 の動作例

#### 3.4.2 レジスタ説明

PWM モード 2 機能で使用するレジスタの説明を以下に示します。

##### MT0 制御レジスタ (MT0CR)

MT0CR レジスタは MT0CNT カウンタを制御します。MT0CR レジスタの設定は、MT0CNT カウンタの動作が停止した状態で行ってください。

##### MT0 モードレジスタ 0 (MT0MD0)

MT0MD0 レジスタは、動作モードを設定します。MT0MD0 レジスタの設定は、MT0CNT カウンタの動作が停止した状態で行ってください。

MT0 I/O 制御レジスタ 0/1 (MT0IOCR0/1)

MT0IOCR0/1 レジスタは、MT0GR レジスタを制御します。MT0IOCR0/1 レジスタは MT0MD0 レジスタの設定により影響を受けますので注意してください。

MT0 ジェネラルレジスタ A/B/C/D (MT0GRA/B/C/D)

MT0GRA/B/C/D レジスタは、16 ビットの読み出し/書き込み可能なレジスタです。チャンネル0に6本のジェネラルレジスタがあります。MT3GRA、MT3GRB、MT3GRC、MT3GRD レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

MT1 制御レジスタ (MT1CR)

MT1CR レジスタは MT1CNT カウンタを制御します。MT1CR レジスタの設定は、MT1CNT カウンタの動作が停止した状態で行ってください。

MT1 モードレジスタ 0 (MT1MD0)

MT1MD0 レジスタは、動作モードを設定します。MT1MD0 レジスタの設定は、MT1CNT カウンタの動作が停止した状態で行ってください。

MT1 I/O 制御レジスタ 0 (MT1IOCR0)

MT1IOCR0 レジスタは、MT1GR レジスタを制御します。MT1IOCR0 レジスタは MT1MD0 レジスタの設定により影響を受けますので注意してください。

MT1 ジェネラルレジスタ A/B (MT1GRA/B)

MT1GRA/B レジスタは、16 ビットの読み出し/書き込み可能なレジスタです。チャンネル1に2本のジェネラルレジスタがあります。MT3GRA、MT3GRB レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

MT01234 同期レジスタ (MT01234SY)

MT01234SY レジスタはチャンネル0~4のMTCNTカウンタの独立動作または同期動作を選択します。対応するビットを"1"にセットしたチャンネルが同期動作を行います。

MT カウンタ同期開始レジスタ (MTCSTR)

MTCSTR レジスタは、MTU-III のカウンタを同期スタートします。

表 3.4に関連レジスタの設定例を示します。

表 3.4 MTU-III PWM モード 2 機能 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
MT0CR	H'FFFF 8300	H'61	CCLR[2:0] : 同期動作をしている他チャンネルのカウントクリアで MTCNT をクリア CKEG[1:0] : 立ち上がりエッジでカウント TPSC[2:0] : 内部クロック MTU 動作クロックの 4 分周でカウント
MT1CR	H'FFFF 8380	H'41	CCLR[2:0] : MT1GRB のコンペアマッチで MTCNT クリア CKEG[1:0] : 立ち上がりエッジでカウント TPSC[2:0] : 内部クロック MTU 動作クロックの 4 分周でカウント
MT0IOCR0	H'FFFF 8302	H'22	IOB[3:0] : MT0GRB の機能 アウトプットコンペア TIOC0B の機能 初期出力は Low, コンペアマッチで High 出力 IOA[3:0] : MT0GRA の機能 アウトプットコンペア TIOC0A の機能 初期出力は Low, コンペアマッチで High 出力
MT0IOCR1	H'FFFF 8303	H'22	IOD[3:0] : MT0GRD の機能 アウトプットコンペア TIOC0D の機能 初期出力は Low, コンペアマッチで High 出力 IOC[3:0] : MT0GRC の機能 アウトプットコンペア TIOC0C の機能 初期出力は Low, コンペアマッチで High 出力
MT1IOCR0	H'FFFF 8382	H'12	IOB[3:0] : MT0GRB の機能 アウトプットコンペア TIOC1B の機能 初期出力は Low, コンペアマッチで Low 出力 IOA[3:0] : MT1GRA の機能 アウトプットコンペア TIOC1A の機能 初期出力は Low, コンペアマッチで High 出力
MT0GRA	H'FFFF 8308	H'1000	デューティ設定
MT0GRB	H'FFFF 830A	H'2000	デューティ設定
MT0GRC	H'FFFF 830C	H'3000	デューティ設定
MT0GRD	H'FFFF 830E	H'4000	デューティ設定
MT1GRA	H'FFFF 8388	H'5000	デューティ設定
MT1GRB	H'FFFF 838A	H'6000	PWM 周期設定
MT0MD0	H'FFFF 8301	H'03	BFE : MT0GRE レジスタと MT0GRF レジスタは通常動作 BFB : MT0GRB レジスタと MT0GRD レジスタは通常動作 BFA : MT0GRA レジスタと MT0GRC レジスタは通常動作 MD[3:0] : PWM モード 2 に設定
MT1MD0	H'FFFF 8381	H'03	MD[3:0] : PWM モード 2 に設定
MT01234SY	H'FFFF 8281	H'03	MT0CNT と MT1CNT は同期動作
MTCSYTR	H'FFFF 8282	H'C0	SCH0 : MT0CNT カウンタをシンクロスタートする SCH1 : MT1CNT カウンタをシンクロスタートする

3.4.3 フローチャート

図 3.9に PWM モード 2 動作例のフローチャートを示します。

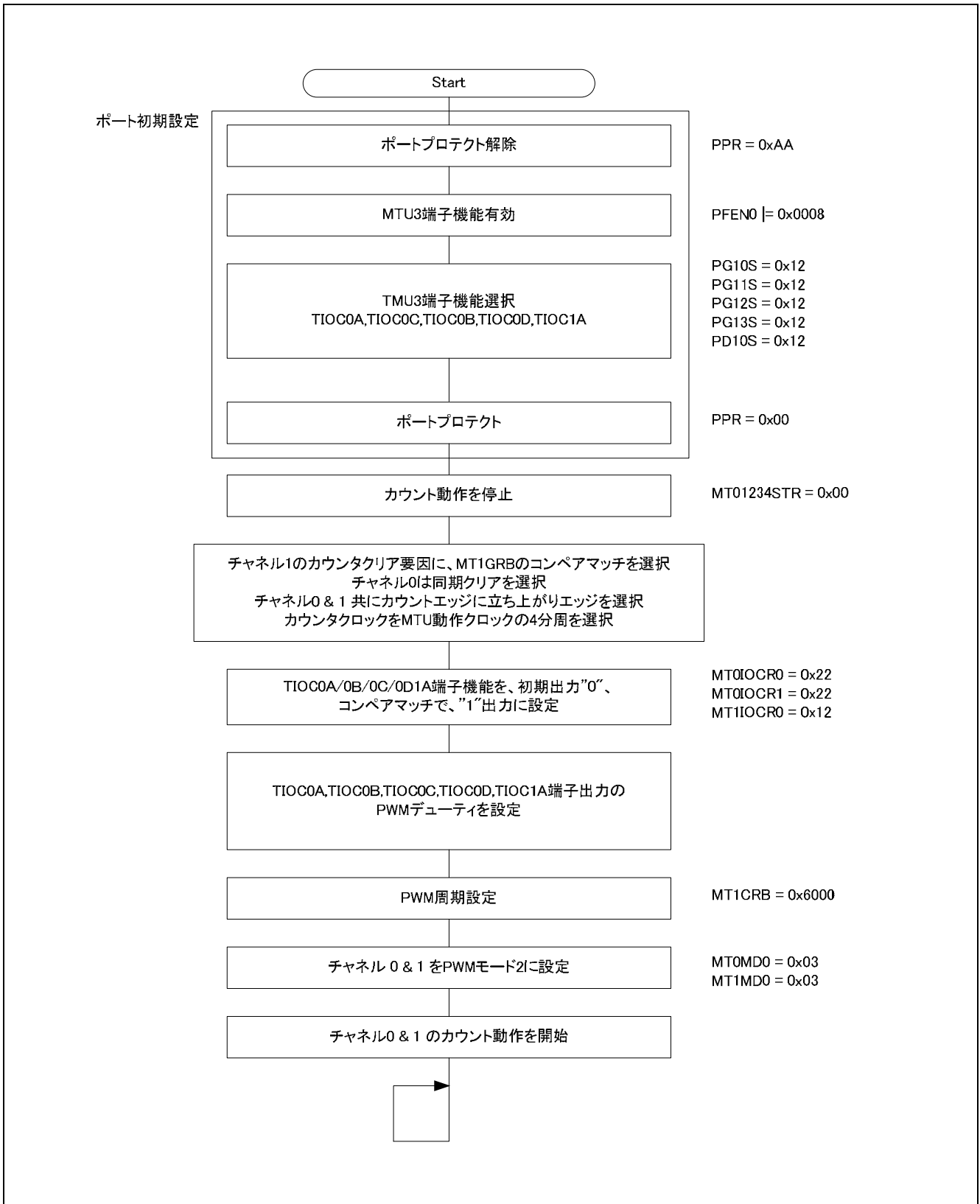


図 3.9 PWM モード 2 動作の設定例

### 3.5 位相計数モード機能

位相計数モードは、チャンネル1、2の設定により、2本の外部クロック入力の位相差を検出し、MTCNTカウンタをアップ/ダウンカウントします。

位相計数モードに設定すると、MTCRレジスタのTPSCビット、CKEGビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、MTCNTカウンタはアップ/ダウンカウンタとして動作します。ただし、MTCRレジスタのCCLRビット、MTIOCRレジスタ、MTIENレジスタ、MTGRレジスタの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2相エンコーダパルスを入力として使用できます。

MTCNTカウンタがアップカウント時、オーバフローが発生するとMTCRレジスタのTCFVフラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFUフラグがセットされます。

MTCRレジスタのTCFDビットはカウント方向フラグです。TCFDフラグを読み出すことにより、MTCNTカウンタがアップカウントしているかダウンカウントしているかを確認することができます。

#### 3.5.1 応用例の説明

図3.10にMTU-IIIのチャンネル1を使用した位相計数モード機能の動作例を示します。

位相計数モードでは、TCLKA、TCLKBの2本の外部クロック位相差でMTCNTカウンタがアップ/ダウンカウントします。なお、カウント条件により4つのモードがあります。

本動作例では位相計数モード1を使用しており、TCLKA/TCLKBからそれぞれ図のようなパターンとなる外部クロックを入力します。2本の外部クロックの位相差に従い、MTCNTカウンタをアップ/ダウンさせます。表3.5に位相計数モード1のアップ/ダウンカウント条件を示します。

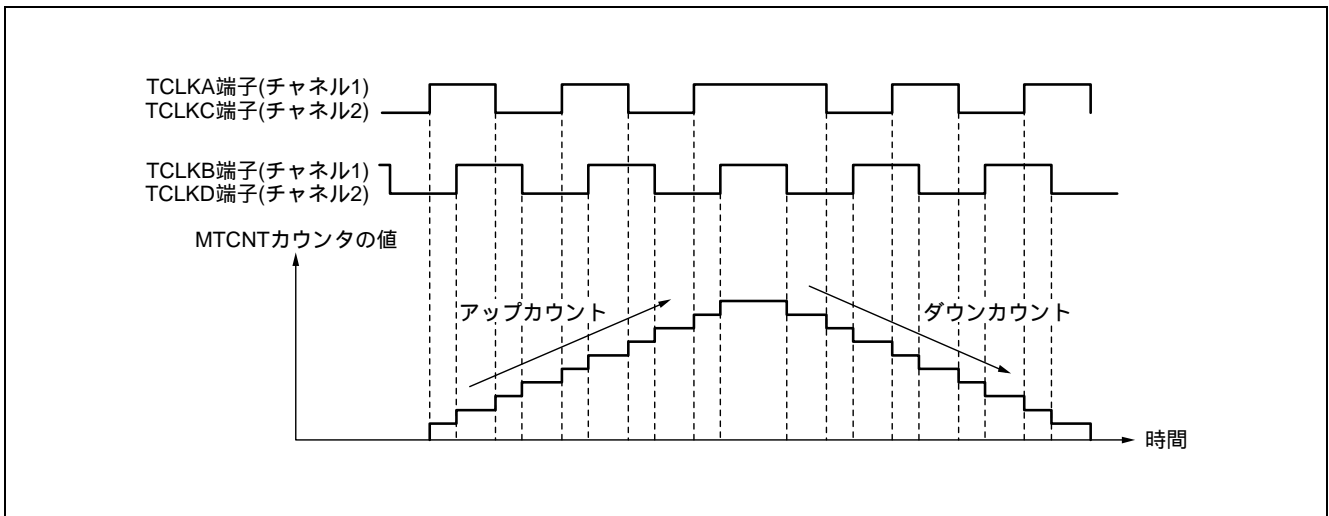


図 3.10 位相計数モード1の動作例

表 3.5 位相計数モード1のアップ/ダウンカウント条件

TCLKA 端子(チャンネル1)	TCLKB 端子(チャンネル1)	動作内容
TCLKC 端子(チャンネル2)(注1)	TCLKD 端子(チャンネル2)(注1)	
High レベル	立ち上がりエッジ	アップカウント
Low レベル	立ち下がりエッジ	
立ち上がりエッジ	Low レベル	
立ち下がりエッジ	High レベル	
High レベル	立ち下がりエッジ	ダウンカウント
Low レベル	立ち上がりエッジ	
立ち上がりエッジ	High レベル	
立ち下がりエッジ	Low レベル	

注1：SH72A0 グループ：本機能は使用できません。

### 3.5.2 レジスタ説明

位相計数モード機能で使用するレジスタの説明を以下に示します

#### MT1 モードレジスタ0 (MT1MD0)

MT1MD0 レジスタは、動作モードを設定します。MT1MD0 レジスタの設定は、MT1CNT カウンタの動作が停止した状態で行ってください。

#### MT01234 開始レジスタ (MT01234STR)

MT01234STR レジスタは、チャンネル0~4のMTCNTカウンタの動作/停止を選択します。

表 3.6に関連レジスタの設定例を示します。

表 3.6 MTU-III 位相計数モード機能 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
MT1MD0	H'FFFF 8381	H'04	MD[3:0]：位相計数モード1に設定
MT01234STR	H'FFFF 8280	H'02	CST1：MT1CNT カウント動作開始

3.5.3 フローチャート

図 3.11に位相計数モード動作例のフローチャートを示します。

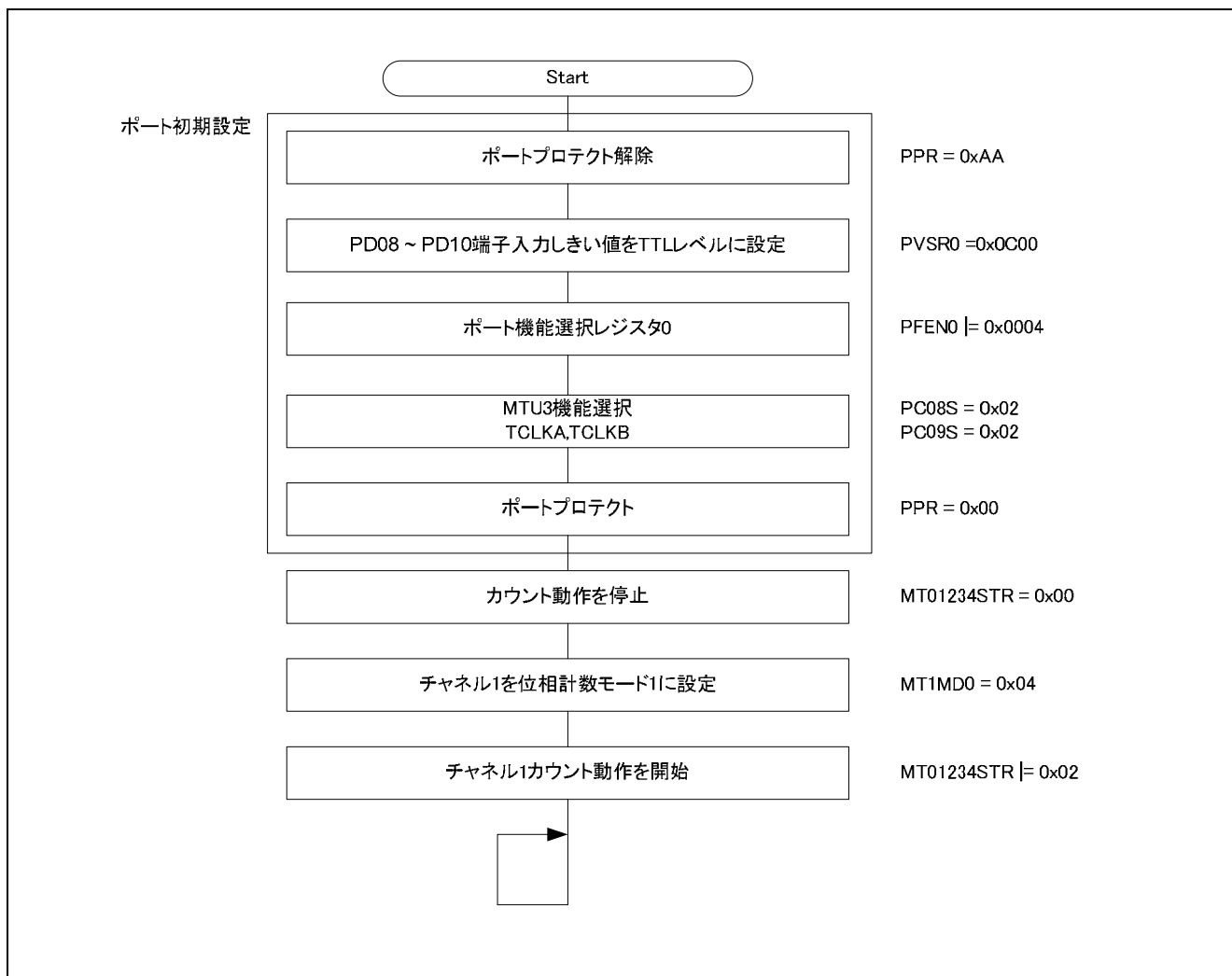


図 3.11 位相計数モード動作の設定例

### 3.6 相補 PWM モード(ダブルバッファ)機能

相補 PWM モードは、チャンネル 3、4 およびチャンネル 6、7 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を各 3 相、計 6 相出力します。ノンオーバーラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D、TIOC6B、TIOC6D、TIOC7A、TIOC7B、TIOC7C、TIOC7D 端子は PWM 出力端子となり、TIOC3A、TIOC6A 端子は PWM 周期に同期したトグル出力として設定することが可能です。また、MT3CNT カウンタと MT4CNT カウンタ、MT6CNT カウンタと MT7CNT カウンタはアップ/ ダウンカウンタとして機能します。表 3.7に相補 PWM 出力に使用する端子を示します。

また、相補 PWM モードでは、ダブルバッファ機能を使用することで、相補 PWM モード 3(山・谷で転送)のとき、MTMD1 レジスタの DRS ビットを"1"に設定することにより、PWM 変更時の PWM 出力の最小分解能を  $\pm 2$  から  $\pm 1$  にすることが可能です。

バッファレジスタ A(MT3GRD、MT4GRC、MT4GRD)を設定する際は、バッファレジスタ B(MT3GRE、MT4GRE、MT4GRF)も同時に設定してください。また、バッファレジスタ B の値はバッファレジスタ A の値、またはバッファレジスタ A の値-1 を設定してください。

設定手順の詳細はハードウェアマニュアルの「16.3.8(1)相補 PWM モードの設定手順例」を参照してください。

表 3.7 MTU-III 相補 PWM モード機能(ダブルバッファ) 関連レジスタの設定例

チャンネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力(または入出力ポート)
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート (注 1)
	TIOC3D	PWM 出力端子 1' (PWM 出力 1 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2' (PWM 出力 2 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3' (PWM 出力 3 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
6	TIOC6A (注 2)	PWM 周期に同期したトグル出力(または入出力ポート)
	TIOC6B	PWM 出力端子 4
	TIOC6C(注 2)	入出力ポート (注 1)
	TIOC6D	PWM 出力端子 4' (PWM 出力 4 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
7	TIOC7A	PWM 出力端子 5
	TIOC7C	PWM 出力端子 5' (PWM 出力 5 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)
	TIOC7B	PWM 出力端子 6
	TIOC7D	PWM 出力端子 6' (PWM 出力 6 とノンオーバーラップ関係にある逆相波形。ノンオーバーラップ時間を持たない設定も可能)

注 1. TIOC3C、TIOC6C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

注 2. SH72A0 グループでは本端子は使用できません。

3.6.1 応用例の説明

図 3.12にチャンネル 3、4 を使用した相補 PWM モード(ダブルバッファ)の動作例を示します。各レジスタのデータ転送方式は下記に示します。

( 1 ) 図中 のタイミングで、Temp3B(テンポラリ B)から MT4GRB(コンペア)レジスタへのデータ転送が行われます。(MT4GRB = DataB1)

( 2 ) 図中 のタイミングで、Temp3A(テンポラリ A)から MT4GRB(コンペア)レジスタへのデータ転送が行われます。(MT4GRB = DataA1)

( 3 ) 図中 のタイミングで、MT4GRD(バッファ A)の値が'Data A1'から'Data A2'に更新されます。更新された MT4GRD(バッファ A)と MT4GRF(バッファ B) の値('Data A2'と'Data B2')が、Temp3A(テンポラリ A)と Temp3B(テンポラリ B)にそれぞれ転送されます。(Temp3A = DataA2, Temp3B = DataB2)

( 4 ) 図中 のタイミングで、(1)と同じく Temp3B(テンポラリ B)から MT4GRB レジスタへのデータ転送が行われますが、(3)で更新された値('Data B2')が転送されます。(MT4GRB = Data B2)

( 5 ) 図中 のタイミングでは、(2)と同じく、Temp3A(テンポラリ A)から MT4GRA レジスタへのデータ転送が行われますが、(3)で更新された値('Data A2')が転送されます。(MT4GRA = Data A2)

\*Temp3A,Temp3B は直接に読み出し/書き込み不可

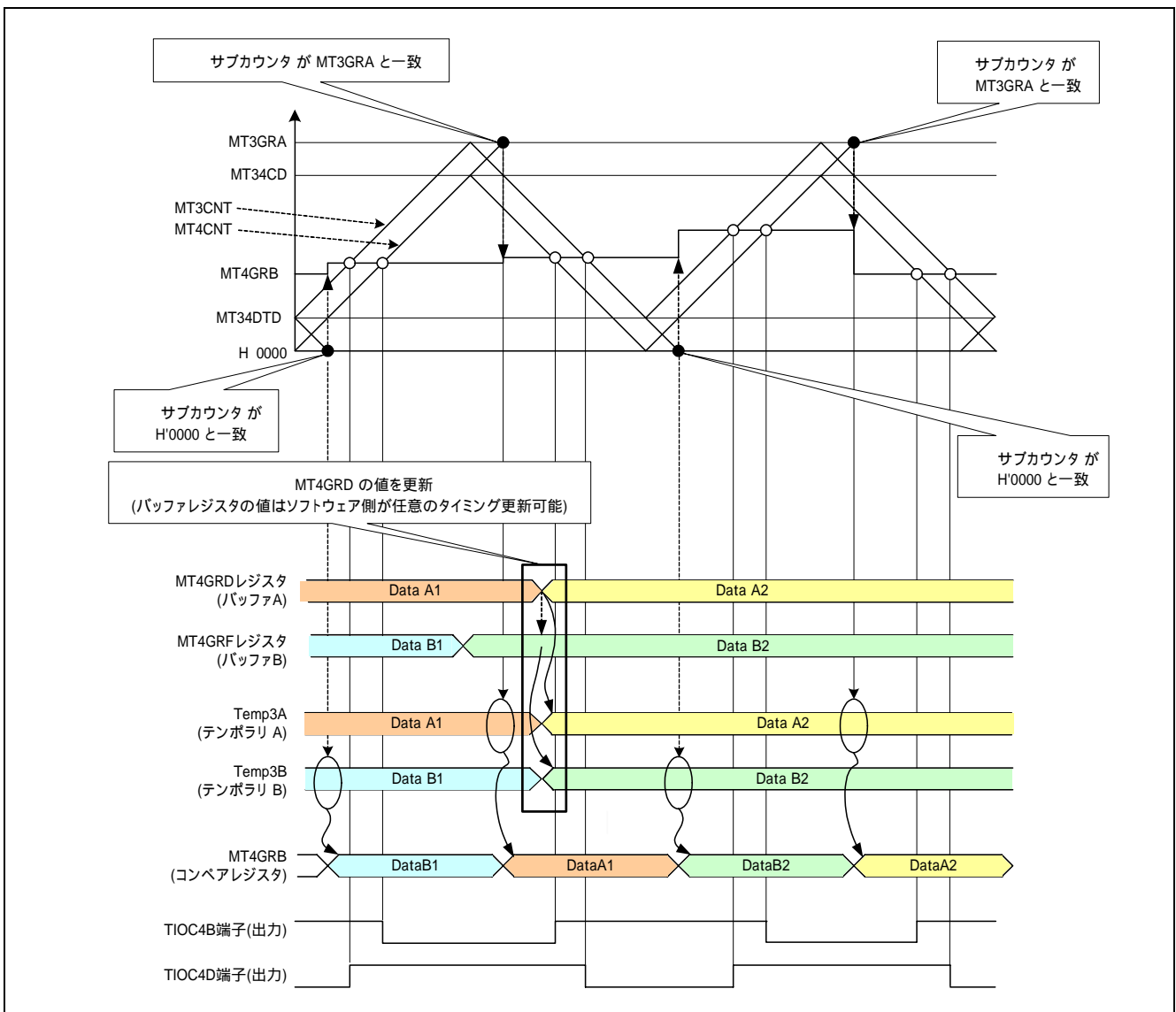


図 3.12 相補 PWM モード(ダブルバッファ)の動作例

### 3.6.2 レジスタ説明

相補 PWM モード(ダブルバッファ)機能で使用するレジスタの説明を以下に示します。

#### MT3 制御レジスタ (MT3CR)

MT3CR レジスタは MT3CNT カウンタを制御します。MT3CR レジスタの設定は、MT3CNT カウンタの動作が停止した状態で行ってください。

#### MT3 カウンタ (MT3CNT)

MT3CNT レジスタは、16 ビットの読み出し/書き込み可能なレジスタです。

#### MT3 モードレジスタ 0 (MT3MD0)

MT3MD0 レジスタは、動作モードを設定します。MT3MD0 レジスタの設定は、MT3CNT カウンタの動作が停止した状態で行ってください。

#### MT3 モードレジスタ 1 (MT3MD1)

MT3MD1 レジスタは、相補 PWM モード 3 のとき、ダブルバッファ機能を設定します。MT3MD1 レジスタの設定は、MT3CNT カウンタの動作が停止した状態で行ってください。

#### MT3 ジェネラルレジスタ A/B/C/D/E (MT3GRA/B/C/D/E)

MT3GRA/B/C/D/E レジスタは、16 ビットの読み出し/書き込み可能なレジスタです。チャンネル 4 に 5 本のジェネラルレジスタがあります。MT3GRA、MT3GRB、MT3GRC、MT3GRD レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。MT3GRE はコンペアレジスタとして機能します。MT3GRB/D/E レジスタはバッファレジスタとして動作設定することができます。

#### MT4 制御レジスタ (MT4CR)

MT4CR レジスタは MT4CNT カウンタを制御します。MT4CR レジスタの設定は、MT4CNT カウンタの動作が停止した状態で行ってください。

#### MT4 カウンタ (MT4CNT)

MT4CNT レジスタは、16 ビットの読み出し/書き込み可能なレジスタです。

#### MT4 ジェネラルレジスタ A/B/C/D/E/F (MT4GRA/B/C/D/E/F)

MT4GRA/B/C/D/E/F レジスタは、16 ビットの読み出し/書き込み可能なレジスタです。チャンネル 3 に 5 本のジェネラルレジスタがあります。MT4GRA、MT4GRB、MT4GRC、MT4GRD レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。MT4GRE/F はコンペアレジスタとして機能します。MT4GRB/D/E/F レジスタはバッファレジスタとして動作設定することができます。

#### MT3 デッドタイムデータレジスタ(MT3DTD)

MT3DTD レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時に MT3CNT と MT4CNT カウンタのオフセット値を設定します。相補 PWM モード時に MT3CNT、MT4CNT カウンタをクリアして再スタートするときは、MTDTD レジスタの値が MT3CNT カウンタにロードされカウント動作を開始します。

MT34 周期データレジスタ(MT34CD)

MT34CD レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタです。MTCD レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。

MT34 出力制御レジスタ 0(MT34OCR0)

MT34OCR0 レジスタは、相補 PWM モード/ リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可/ 禁止、および PWM 出力の出力レベル反転を制御します。

MT34 出力許可レジスタ(MT34OEN)

MT34OEN レジスタは、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定を許可/ 禁止します。これらの端子は MT34OEN レジスタの各ビットの設定をしないと正しく出力されません。チャンネル 3、4 において、MT34OEN レジスタはチャンネル 3、4 の MTIOCR レジスタ設定の前に値をセットしてください。

MT34 周期バッファレジスタ(MT34CB)

MT34CB レジスタは、相補 PWM モード時のみ使用される 16 ビットのレジスタで、MTCD レジスタのバッファレジスタとして機能します。MTMD0 レジスタで設定した転送タイミングで MTCB レジスタの値が MTCD レジスタに転送されます。

MT01234 開始レジスタ (MT01234STR)

MT01234STR レジスタは、チャンネル 0~4 の MTCNT カウンタの動作/ 停止を選択します。

表 3.8 に関連レジスタの設定例を示します。

表 3.8 MTU-III 相補 PWM モード機能(ダブルバッファ) 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
MT3CR	H'FFFF 8200	H'00	CCLR[2:0] : MT3CNT カウンタクリア禁止 CKEG[1:0] : 立ち上がりエッジでカウント TPSC[2:0] : 内部クロック MTU 動作クロックの分周なしでカウント
MT4CR	H'FFFF 8201	H'00	CCLR[2:0] : MT4CNT カウンタクリア禁止 CKEG[1:0] : 立ち上がりエッジでカウント TPSC[2:0] : 内部クロック MTU 動作クロックの分周なしでカウント
MT3CNT	H'FFFF 8210	H'00C8	デッドタイムを設定
MT4CNT	H'FFFF 8212	H'0000	初期値
MT3GRA	H'FFFF 8218	H'2AF8	MT3CNT の上限値(キャリア周期の 1/2 + デッドタイム)
MT3GRB	H'FFFF 821A	H'0320	PWM 出力 1 のコンペアレジスタ
MT3GRC	H'FFFF 8224	H'2AF8	MT3GRA のバッファレジスタ
MT3GRD	H'FFFF 8226	H'0320	PWM 出力 1/MT3GRB のバッファレジスタ
MT4GRA	H'FFFF 821C	H'0640	PWM 出力 2 のコンペアレジスタ
MT4GRB	H'FFFF 821E	H'0960	PWM 出力 3 のコンペアレジスタ
MT4GRC	H'FFFF 8228	H'0640	PWM 出力 2/MT4GRA のバッファレジスタ
MT4GRD	H'FFFF 822A	H'0960	PWM 出力 3/MT4GRB のバッファレジスタ
MT3GRE	H'FFFF 8272	H'031F	MT3GRB のバッファレジスタ B(PWM デューティ初期値-1)
MT4GRE	H'FFFF 8274	H'063F	MT4GRA のバッファレジスタ B(PWM デューティ初期値-1)
MT4GRF	H'FFFF 8276	H'095F	MT4GRB のバッファレジスタ B(PWM デューティ初期値-1)
MT3MD1	H'FFFF 8270	H'01	DRS : ダブルバッファ機能有効
MT3DTD	H'FFFF 8216	H'00C8	デッドタイムの設定
MT34CD	H'FFFF 8214	H'0FA0	MT34 周期データレジスタ(キャリア周期の 1/2)
MT34CB	H'FFFF 8222	H'0FA0	MT34CD レジスタのバッファレジスタ(キャリア周期の 1/2)
MT34OCR0	H'FFFF 820E	H'43	PSYE : PWM 周期に同期したトグルの出力許可 OLSN : 逆相出力レベル 初期出力 L、アクティブレベル H OLSP : 正相出力レベル 初期出力 L、アクティブレベル H
MT3MD0	H'FFFF 8202	H'3F	BFB : MT3GRB と MT3GRD はバッファ動作 BFA : MT3GRA と MT3GRC はバッファ動作 MD[3:0] : ch3 動作モード 相補 PWM モード 3(山・谷で転送)
MT34OEN	H'FFFF 820A	H'FF	OE4D : TIOC4D の MTU-III 出力を許可 OE4C : TIOC4C の MTU-III 出力を許可 OE3D : TIOC3D の MTU-III 出力を許可 OE4B : TIOC4B の MTU-III 出力を許可 OE4A : TIOC4A の MTU-III 出力を許可 OE3B : TIOC3B の MTU-III 出力を許可
MT01234STR	H'FFFF 8280	H'C0	CST4 : MT4CNT のカウント動作開始 CST3 : MT3CNT のカウント動作開始

3.6.3 フローチャート

図 3.13に相補 PWM モード(ダブルバッファ)動作例のフローチャートを示します。

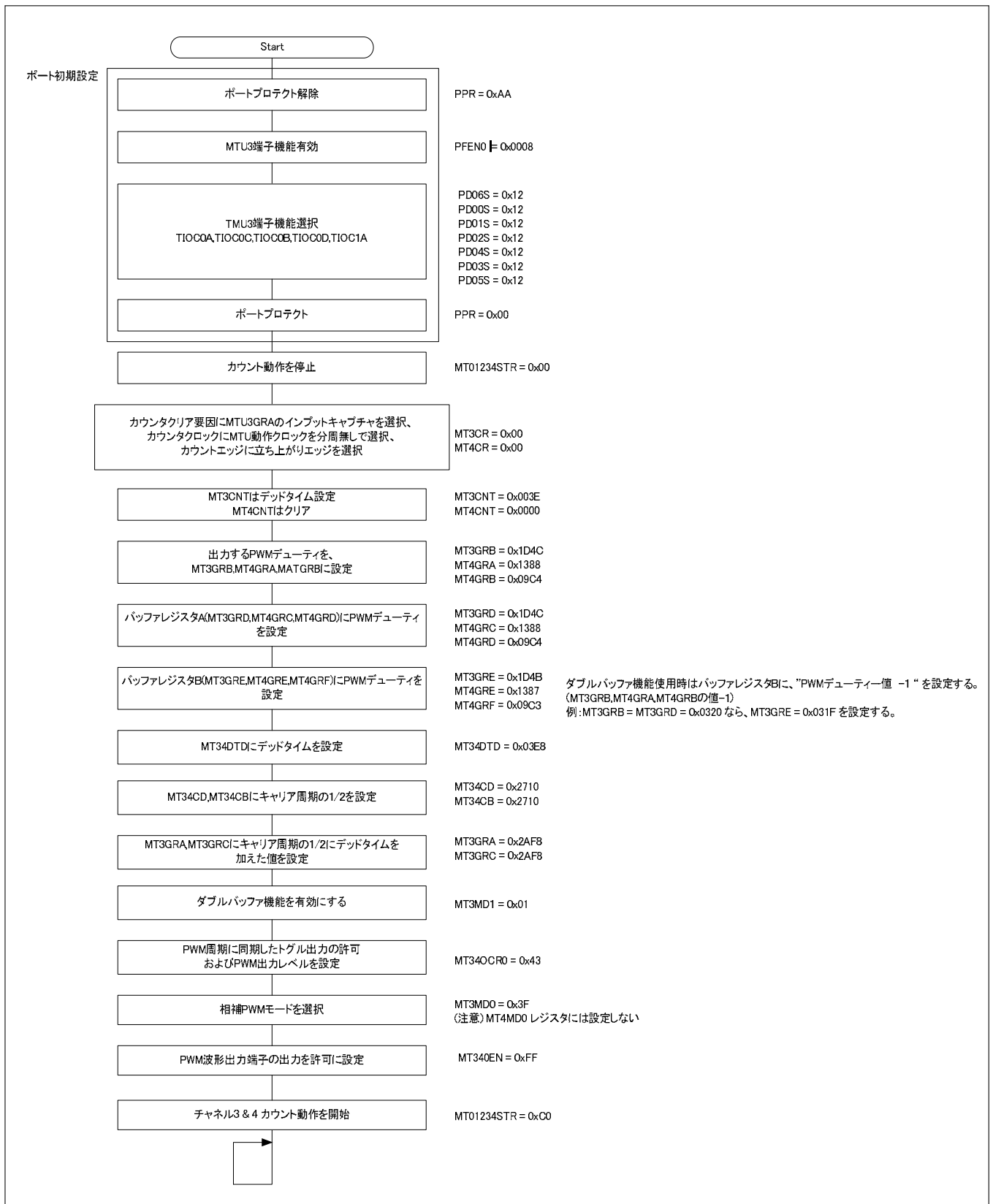


図 3.13 相補 PWM モード動作の設定例

### 3.7 PWM 出力<->方形波出力切り替え機能

出力端子(TIOC3B/D、TIOC4A/C、TIOC4B/D、TIOC6/D、TIOC7A/C、TIOC7B/D) の PWM 出力を、任意のタイミングで方形波出力へ切り替えます。また、任意のタイミングで方形波から MTU-III の PWM 出力へ切り替えます。このときのアクティブレベルは MTOCR1A、MTOCR2A、MTOCR1B、MTOCR2B レジスタの設定に従います。

PWM 出力 方形波出力切り替え後、短絡防止時間内は正相/逆相ともにノンアクティブレベル出力、短絡防止時間後に方形波(正相を 100%出力、逆相を 0%) を出力します。

方形波出力 PWM 出力切り替え後、短絡防止時間内は正相/逆相ともにノンアクティブレベル出力、短絡防止時間後に PWM 出力を出力します。

設定可能な切り替え要因と設定レジスタの対応を以下に示します。

(1)ソフトウェアによる強制的な切り替え

MT3467WSW(MT3467 波形切り替えレジスタ)で設定

(2)チャンネル 1 の MT1 波形インプットキャプチャ/アウトプットコンペア切り替え許可レジスタ A (チャンネル 1 MTGRA)

MT1WIOSWENA で設定

(3)チャンネル 1 の MT1 波形インプットキャプチャ/ アウトプットコンペア切り替え許可レジスタ B(チャンネル 1 MTGRB)

MT1WIOSWENB で設定

(4)チャンネル 2 の MT2 波形インプットキャプチャ/ アウトプットコンペア切り替え許可レジスタ A (チャンネル 2 MTGRA)

MT2WIOSWENA で設定

(5)チャンネル 2 の MT2 波形インプットキャプチャ/ アウトプットコンペア切り替え許可レジスタ B (チャンネル 2 MTGRB)

MT2WIOSWENB で設定

3相(U、V、W 相)の切り替えは、同一要因で同一タイミングにて切り替え可能です。また、各相で別要因での切り替えも可能です。

ただし、本例のように方形波出力切り替え機能を用いる場合、チャンネル 3 と 4 のタイマプリスケラ 2、1、0(TCR の TPSC[2:0]ビット) で内部クロックの分周比を 1 以外は設定しないでください。動作クロックを分周比 1 以外で設定した場合、方形波出力切り替え時のデッドタイムが正しく出力されません。

3.7.1 応用例の説明

外部端子 TIOC3B/D、TIOC4A/C、TIOC4B/D の出力を、チャンネル 1 の MT1GRA のコンペアマッチをトリガにして方形波出力に、また、MT1GRB のコンペアマッチをトリガに PWM 出力に切り替える場合の動作例を示します。

カウント動作開始後、MT1GRA のコンペアマッチ(PWM 出力から方形波出力への切り替え要因)によりトリガ(MT1GRA のコンペアマッチ)が掛かると、内部カウンタが動作し短絡防止時間(MT34DTD レジスタ)と一致するまでカウントアップします。この間、正相/ 逆相出力ともにノンアクティブレベルを出力します。カウンタ値が短絡防止時間と一致すると正相出力はアクティブレベル、逆相出力はノンアクティブレベルを出力します。

MT1GRB のコンペアマッチ(方形波出力から PWM 出力への切り替え要因)により(トリガ)が掛かると、内部カウンタが動作しカウンタ値が"0"になるまでカウントダウンします。この間、正相/ 逆相出力ともにノンアクティブレベルを出力します。

カウンタ値が"0"と一致すると正相/ 逆相ともに PWM 出力をそのまま出力します。

図 3.14に PWM 出力方形波出力切り替え機能の動作説明図を示します。

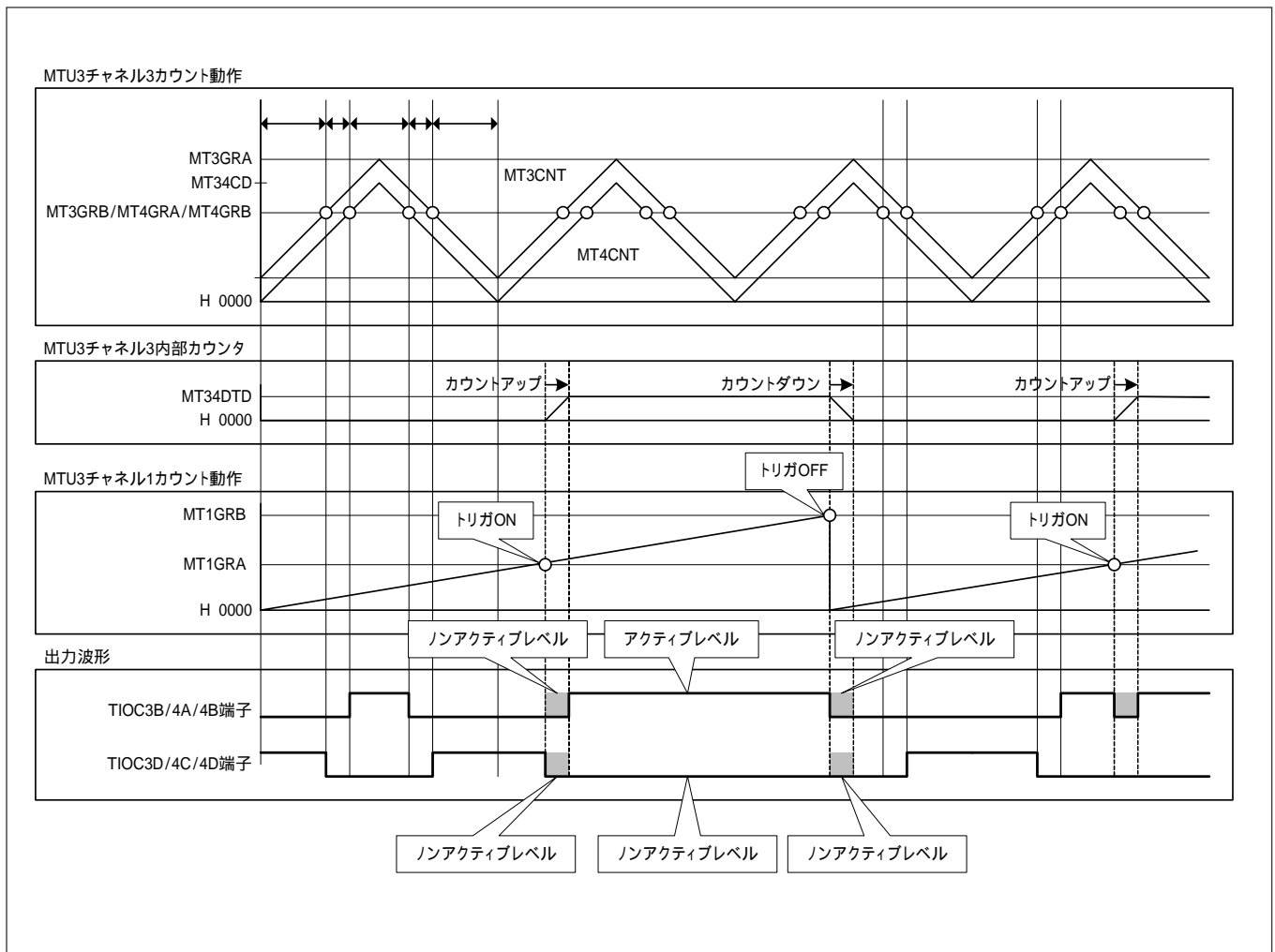


図 3.14 PWM 出力<->方形波出力切り替え機能の動作例

### 3.7.2 レジスタ説明

PWM 出力 方形波出力機能で使用するレジスタの説明を以下に示します。

#### MT1 制御レジスタ (MT1CR)

MT1CR レジスタは MT1CNT カウンタを制御します。MT1CR レジスタの設定は、MT1CNT カウンタの動作が停止した状態で行ってください。

#### MT1 モードレジスタ 0 (MT1MD0)

MT1MD0 レジスタは、動作モードを設定します。MT1MD0 レジスタの設定は、MT1CNT カウンタの動作が停止した状態で行ってください。

#### MT1 ジェネラルレジスタ A/B (MT1GRA/B)

MT1GRA/B レジスタは、16 ビットの読み出し/書き込み可能なレジスタです。チャンネル 1 に 2 本のジェネラルレジスタがあります。MT1GRA、MT1GRB レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

注：SH72A0 グループでは MT1GRA 機能は使用できません。

#### MT1 割り込み許可レジスタ 0 (MT1IEN0)

MT1IEN0 レジスタは、各チャンネルの割り込み要求の許可、禁止を制御します。

#### MT3467 波形切り替えレジスタ(MT3467WSW)

MT3467WSW レジスタは、対応するビットに"1"を書き込むことにより、外部端子 TIOC3B/D、TIOC4A/C、TIOC4B/D、TIOC6B/D、TIOC7A/C、TIOC7B/D の出力をソフトウェアによって強制的に MTU-III PWM 出力または方形波出力に設定することができます。

#### MT01234 開始レジスタ (MT01234STR)

MT01234STR レジスタは、チャンネル 0~4 の MTCNT カウンタの動作/停止を選択します。

#### その他 (MTU-III チャンネル 3,4 相補 PWM 生成用レジスタ説明)

相補 PWM 生成に使用するレジスタについては、章「3.6 相補 PWM モード(ダブルバッファ)機能」の「3.6.2 レジスタ説明」を参照してください。

表 3.9に関連レジスタの設定例を示します。相補PWM生成のレジスタ設定に関しては、表 3.8 MTU-III 相補PWMモード機能(ダブルバッファ) 関連レジスタの設定例 を参照してください。

表 3.9 MTU-III PWM 出力<->方形波出力切り替え機能 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
MT1CR	H'FFFF 8380	H'43	CCLR[2:0] : カウンタクリア要因を MT1GRB のコンペアマッチに設定 CKEG[1:0] : 立ち上がりエッジでカウント TPSC[2:0] : 内部クロック MTU 動作クロックの64分周でカウント
MT1MD0	H'FFFF 8381	H'00	BFB : MT3GRB レジスタと MT3GRD レジスタは通常動作 BFA : MT3GRA レジスタと MT3GRC レジスタは通常動作 MD[3:0] : 通常動作に設定
MT1IOCR0	H'FFFF 8382	H'30	IOB[3:0] : MT1GRB の機能 アウトプットコンペアレジスタ、初期出力は"0"出力、コンペアマッチでトグル出力 IOA[3:0] : 出力保持(SH72A0 グループでは無効)
MT1IEN0	H'FFFF 8384	H'02	TGIEB : MTSR レジスタの TGFB フラグが"1"にセットされたとき、TGFB フラグによる割り込み要求(TGIB)を許可
MT1GRB	H'FFFF 838A	H'4E20	トグル周期設定
MT3467WSW	H'FFFF 9500	H'01	TWSW34[0] : 外部端子 TIOC3B/D の出力を方形波出力に切り替え
MT01234STR	H'FFFF 8280	H'02	CST1 : MT3CNT カウント動作開始

3.7.3 フローチャート

図 3.15に PWM 出力 方形波出力動作例のフローチャートを示します。

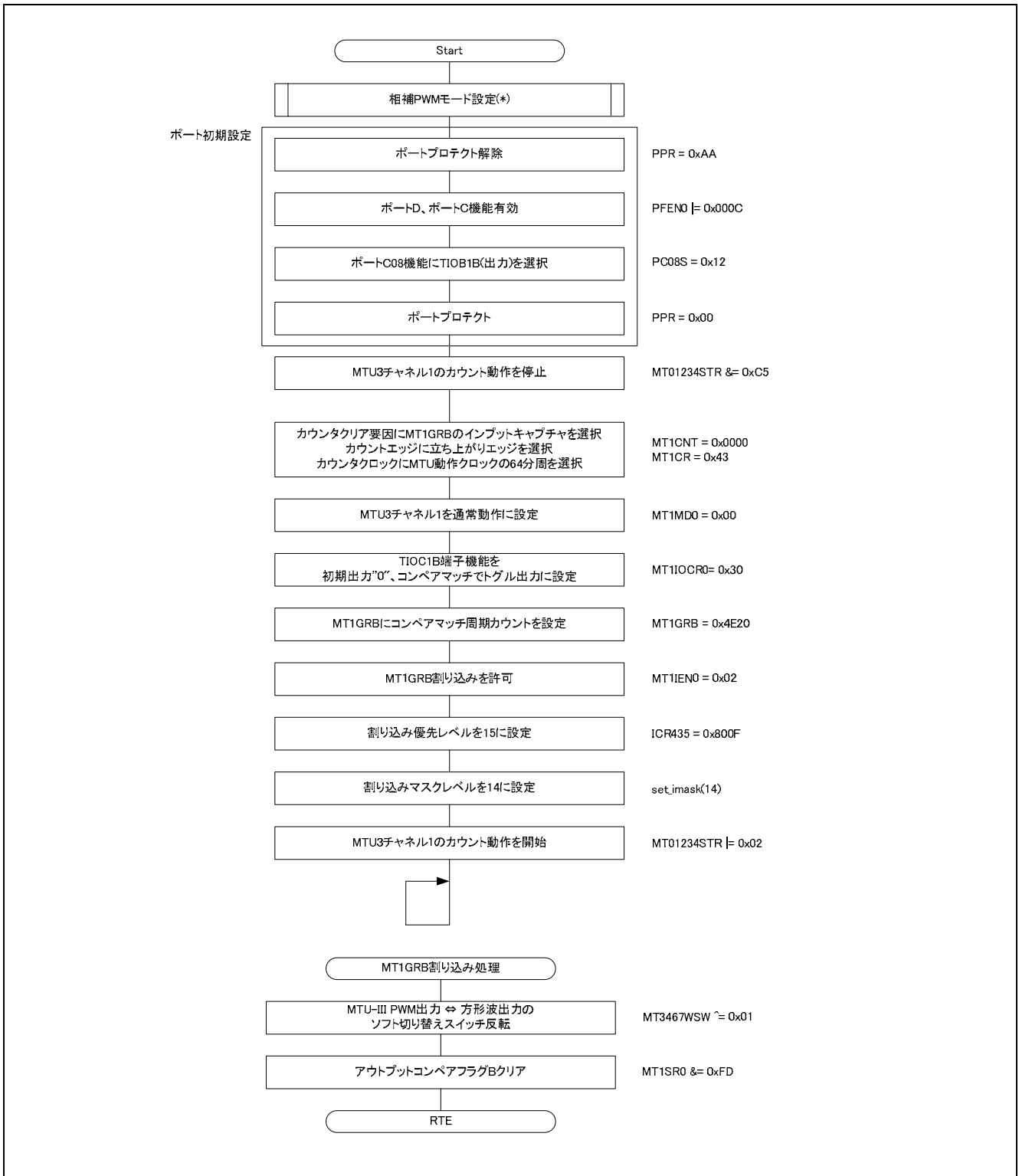


図 3.15 PWM 出力 方形波出力動作の設定例

(\*)相補 PWM モード設定については「図 3.13 相補 PWM モード動作の設定例」を参照してください。

#### 4. タイマパルスユニット(TPU)

SH72A0/A2 は、16 ビットタイマパルスユニット(TPU) を4 ユニット(TPU1 ~ TPU4) 内蔵しています。カスケード接続動作は、ユニット 2, 3 (TPU2, TPU3) が対応します。

表 4.1に TPU の機能とチャンネルを、また、

図 4.1にブロック図を示します。

また、本章では、ユニット i、チャンネル k と記載します。

表 4.1 TPU の機能とユニットごとのチャンネル数

機能		チャンネル数
インプットキャプチャ		4 チャンネル/ユニット
	デジタルフィルタ機能	4 チャンネル/ユニット
アウトプットコンペア		4 チャンネル/ユニット
	単相波形出力モード	4 チャンネル/ユニット
	PWM モード	PWM モード 1 2 チャンネル/ユニット
		PWM モード 2 4 チャンネル/ユニット

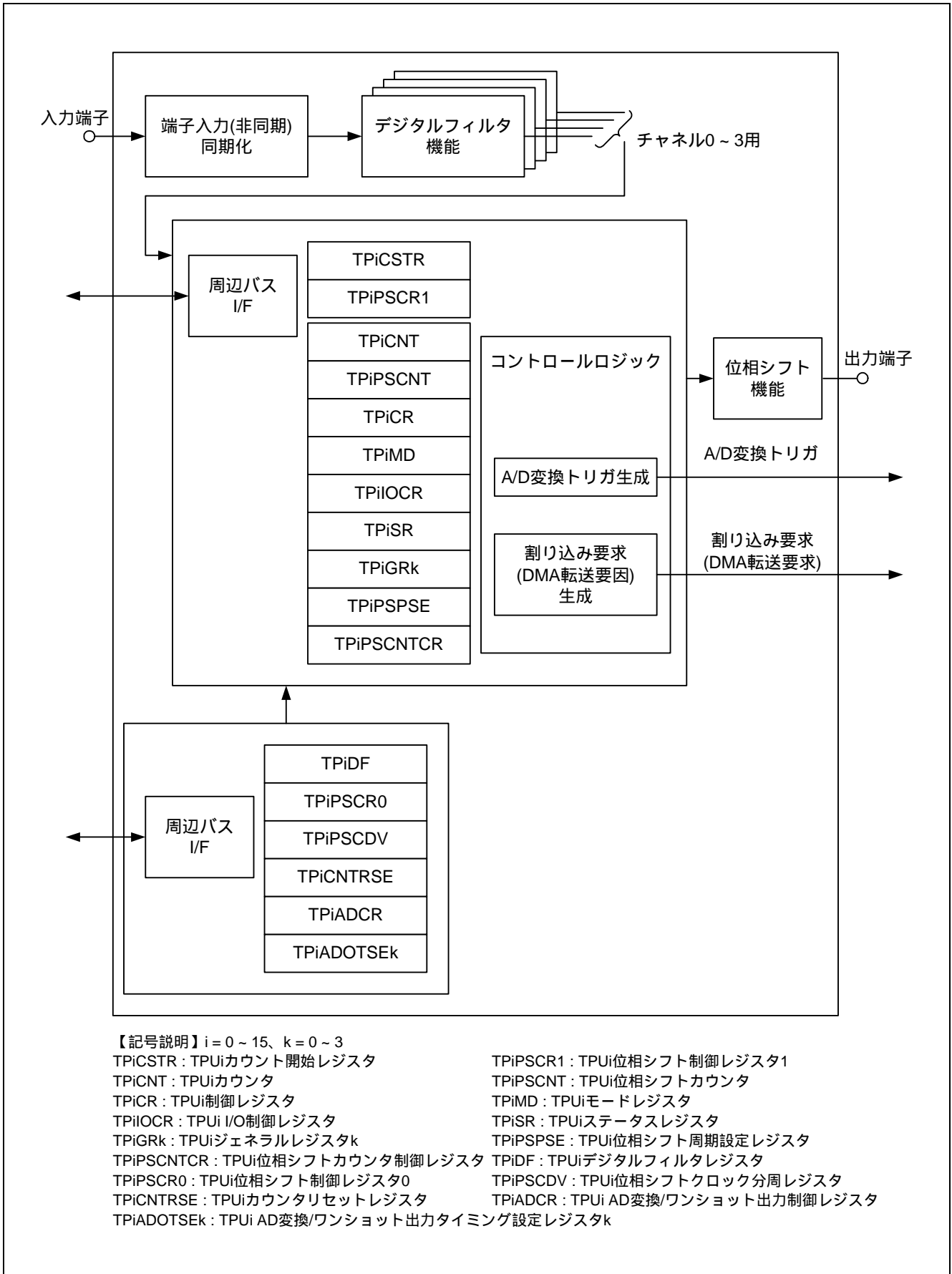


図 4.1 TPU ブロック図

## 4.1 インプットキャプチャ機能

TPU 端子の入力エッジを検出して TPiCNT カウンタの値を TPiGRk レジスタに転送することができます。検出エッジは立ち上がりエッジ/ 立ち下がりエッジ/ 両エッジから選択できます。

### 4.1.1 応用例の説明

図 4.2に TPU のユニット 3 を使用したインプットキャプチャ機能の動作例を示します。

TP03A 端子から入力した任意のパルスの立ち上がり/立ち下がりエッジを検出し、TP3CNT カウンタの値を TP3GR0 レジスタに転送してパルス幅を計測します。また TP03B 端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、TP3CNT カウンタは TP03B レジスタのインプットキャプチャでカウンタクリアされます。

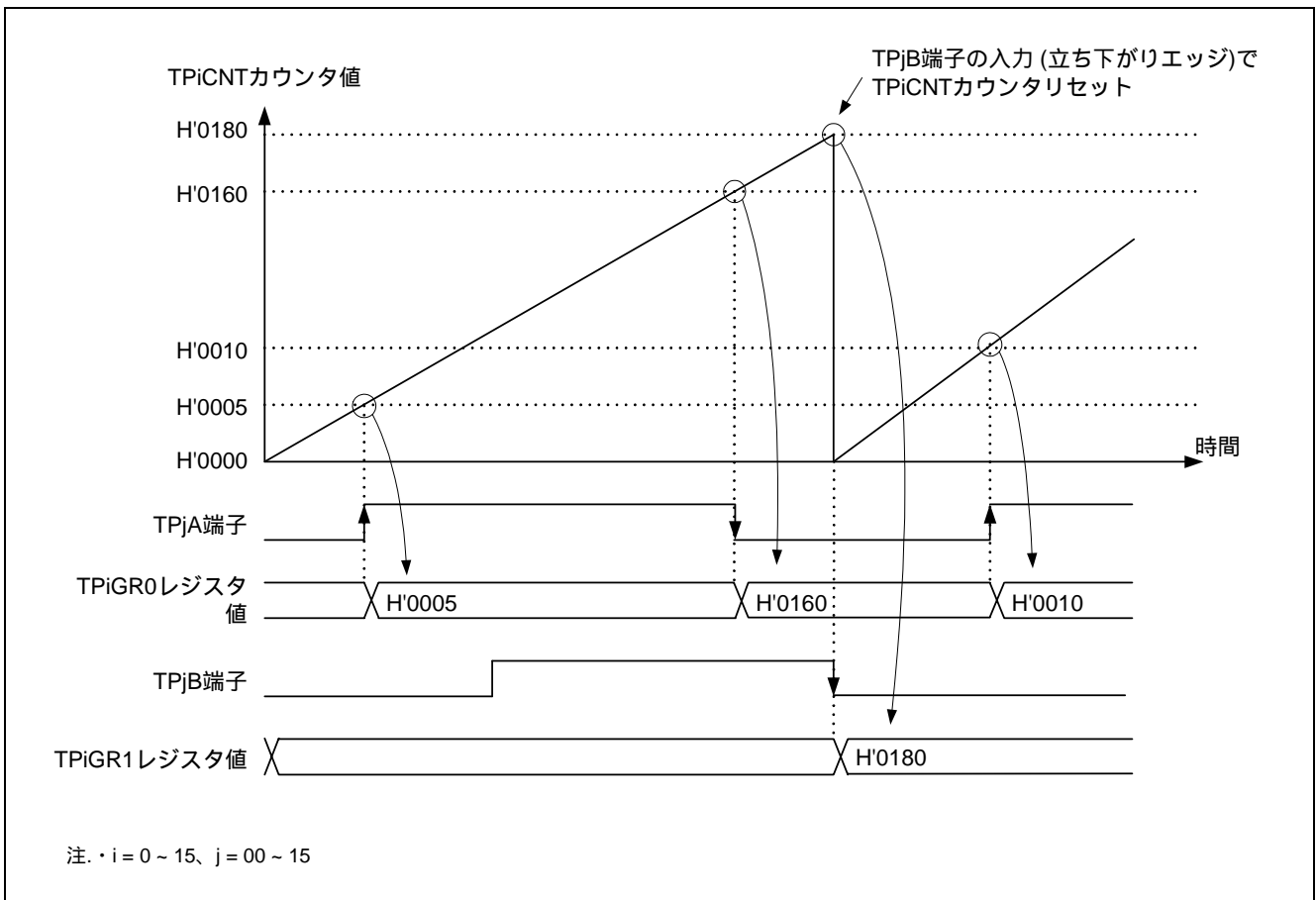


図 4.2 インプットキャプチャ動作例

#### 4.1.2 レジスタ説明

インプットキャプチャ機能で使用するレジスタの説明を以下に示します。

##### TPU3 制御レジスタ (TP3CR)

TP3CR レジスタは TP3CNT カウンタを制御します。TP3CR レジスタの設定は、TP3CNT カウンタの動作が停止した状態で行ってください。

##### TPU3 モードレジスタ(TP3MD)

TP3MD レジスタは、動作モードを設定します。TP3MD レジスタの設定は、TP3CNT カウンタの動作が停止した状態で行ってください。

##### TPU3 I/O 制御レジスタ (TP3IOCR)

TP3IOCR レジスタは、TP3GR0 レジスタを制御します。

##### TPU3 カウント開始レジスタ(TP3CSTR)

TP3STR レジスタは、TP3CNT カウンタの動作/ 停止を選択します。

表 4.2に関連レジスタの設定例を示します。

表 4.2 TPU インプットキャプチャ機能 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
TP3CR	H'FFFE 4300	H'41	TRS[2:0]: チャンネル 1 のコンペアマッチ/インプットキャプチャで TP3CNT カウンタをリセット CES[1:0]: 立ち上がりエッジでカウント CSS[2:0]: 周辺バスクロック A の 4 分周でカウント
TP3MD	H'FFFE 4301	H'C0	GR3FS: TP3GR3 レジスタをインプットキャプチャ/アウトプットコンペアで使用する GR2FS: TP3GR2 レジスタをインプットキャプチャ/アウトプットコンペアで使用する MD[2:0]: タイマモードに設定
TP3CNT	H'FFFE 4304	H'0000	初期値
TP3IOCR	H'FFFE 430E	H'9A00	IO1[3:0]: TP03B 端子からの立ち下がりエッジでインプットキャプチャ IO0 [3:0]: TP03A 端子からの両エッジでインプットキャプチャ IO3[3:0]: 出力禁止 IO2[3:0]: 出力禁止
TP3CSTR	H'FFFE 4350	H'08	CST3: TP3CNT カウント動作開始

4.1.3 フローチャート

図 4.3にインプットキャプチャ動作例のフローチャートを示します。

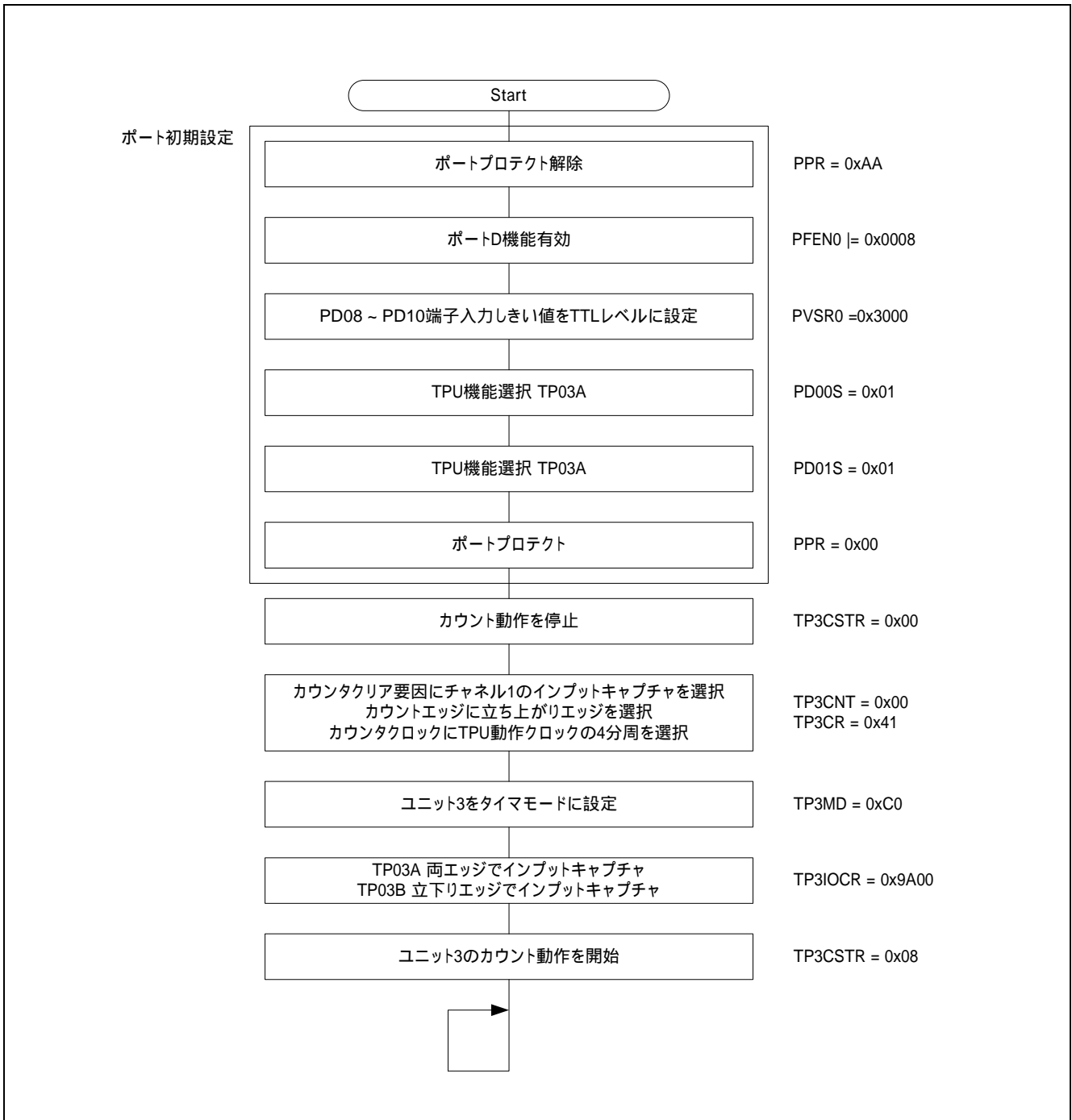


図 4.3 インプットキャプチャ動作の設定例

## 4.2 アウトプットコンペア機能(单相波形出力モード)

TPiCNT カウンタと TPiGRk レジスタのコンペアマッチにより、TPj x 端子から波形出力を行います。TPiCNT カウンタと TPiGRk レジスタの値が一致すると、TPj x 端子から TPiOCR レジスタの IOk ビットで設定された値が出力されます。出力レベルは Low レベル出力/High レベル出力/ トグル出力の 3 種類から選択できます。

### 4.2.1 応用例の説明

図 4.4に TPU のユニット 3 を使用したアウトプットコンペア機能の動作例を示します。

TP3CNT カウンタを周期カウント動作(コンペアマッチ 0 によりカウンタクリア) に、コンペアマッチ 0、1 ともトグル出力となるように設定します。TP03A および TP03B からトグル出力パルスを出力します。

なお、本動作例では割り込み処理は未使用です。

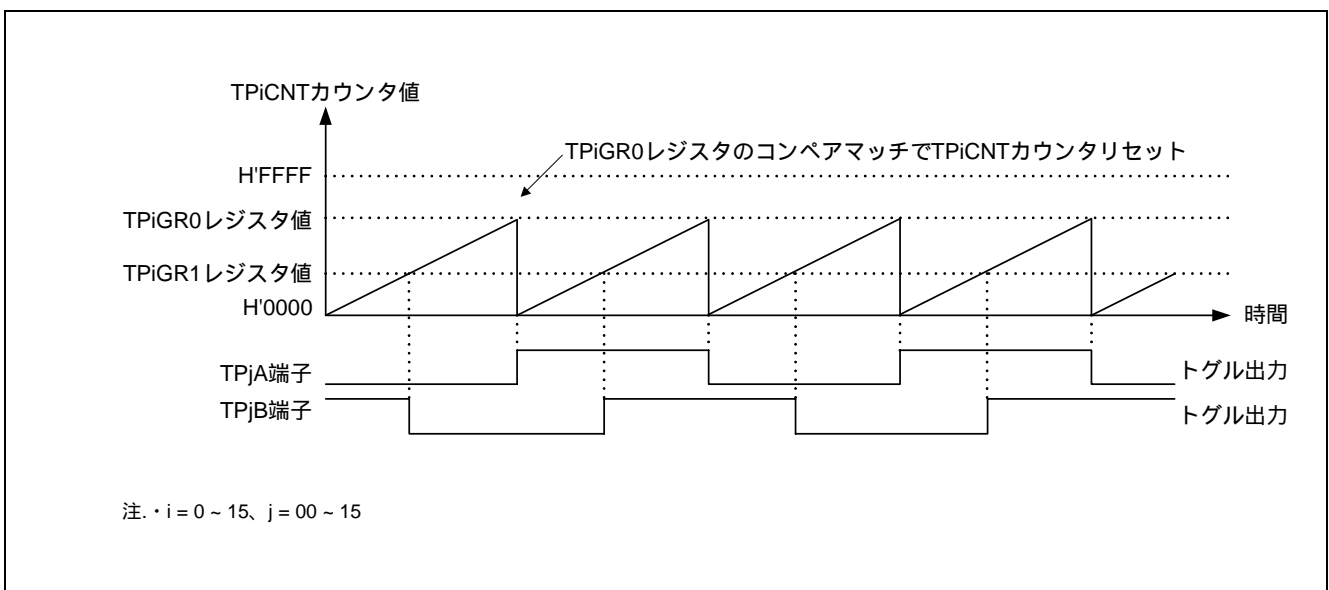


図 4.4 トグル出力動作例

## 4.2.2 レジスタ説明

アウトプットコンペア機能で使用するレジスタの説明を以下に示します。

TPU3 制御レジスタ (TP3CR)

TP3CR レジスタは TP3CNT カウンタを制御します。TP3CR レジスタの設定は、TP3CNT カウンタの動作が停止した状態で行ってください。

TPU3 モードレジスタ(TP3MD)

TP3MD レジスタは、動作モードを設定します。TP3MD レジスタの設定は、TP3CNT カウンタの動作が停止した状態で行ってください。

TPU3I/O 制御レジスタ (TP3IOCR)

TP3IOCR レジスタは、TP3GR0 レジスタを制御します。

TPU3 ジェネラルレジスタ(TP3GR0/1/2/3)

TP3GR0/1/2/3 レジスタは、16 ビットの読み出し/書き込み可能なレジスタです。各ユニットに 4 本のジェネラルレジスタがあります。TP3GR0/1/2/3 レジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

TPU3 カウント開始レジスタ(TP3CSTR)

TP3CSTR レジスタは、TP3CNT カウンタの動作/ 停止を選択します。

表 4.3に関連レジスタの設定例を示します。

表 4.3 TPU アウトプットコンペア機能 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
TP3CR	H'FFFE 4300	H'21	TRS[2:0]: チャンネル 0 のコンペアマッチ/インプットキャプチャで TP3CNT カウンタをリセット CES[1:0]: 立ち上がりエッジでカウント CSS[2:0]: 周辺バスクロック A の 4 分周でカウント
TP3MD	H'FFFE 4301	H'C0	GR3FS: TP3GR3 レジスタをインプットキャプチャ/アウトプットコンペアで使用する GR2FS: TP3GR2 レジスタをインプットキャプチャ/アウトプットコンペアで使用する MD[2:0]: タイマモードに設定
TP3CNT	H'FFFE 4304	H'0000	初期値
TP3GR0	H'FFFE 4306	H'270C	トグル周期
TP3GR1	H'FFFE 4308	H'1D49	トグル周期
TP3IOCR	H'FFFE 430E	H'3300	IO1[3:0]: TP03B 端子 出力初期値 Low、コンペアマッチでトグル出力 IO0 [3:0]: TP03A 端子 出力初期値 Low、コンペアマッチでトグル出力 IO3[3:0]: 出力禁止 IO2[3:0]: 出力禁止
TP3CSTR	H'FFFE 4350	H'08	CST3: TP3CNT カウント動作開始

4.2.3 フローチャート

図 4.5にコンペアマッチによる波形出力動作例のフローチャートを示します。

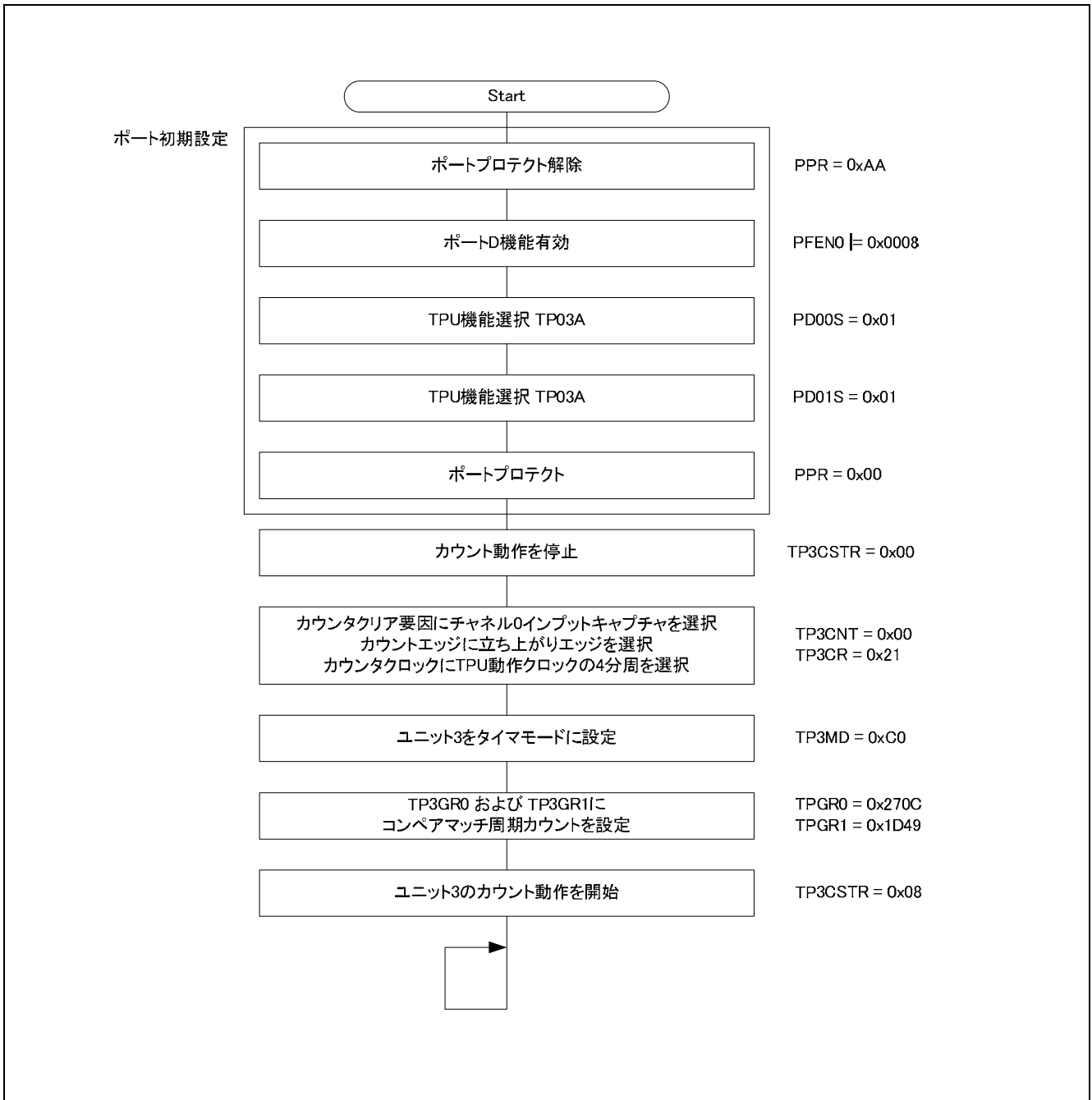


図 4.5 コンペアマッチによる波形出力動作例

## 5. シリアルバスインタフェース(SBI)

SH72A0/A2 は、独立したシリアルバスインタフェース(SBI) を SH72A2 グループでは 4 チャンネル、SH72A0 グループでは 3 チャンネル(SBI0 ~ SBI2) 内蔵しています。

SBI は、全二重同期式のシリアル通信、送信のみの動作ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を備えています。図 5.1に SBI のブロック図を示します。

なお本章では、SBI<sub>i</sub> の *i* と端子名および信号名で使用している *i* は 0 ~ 3 と規定しています。

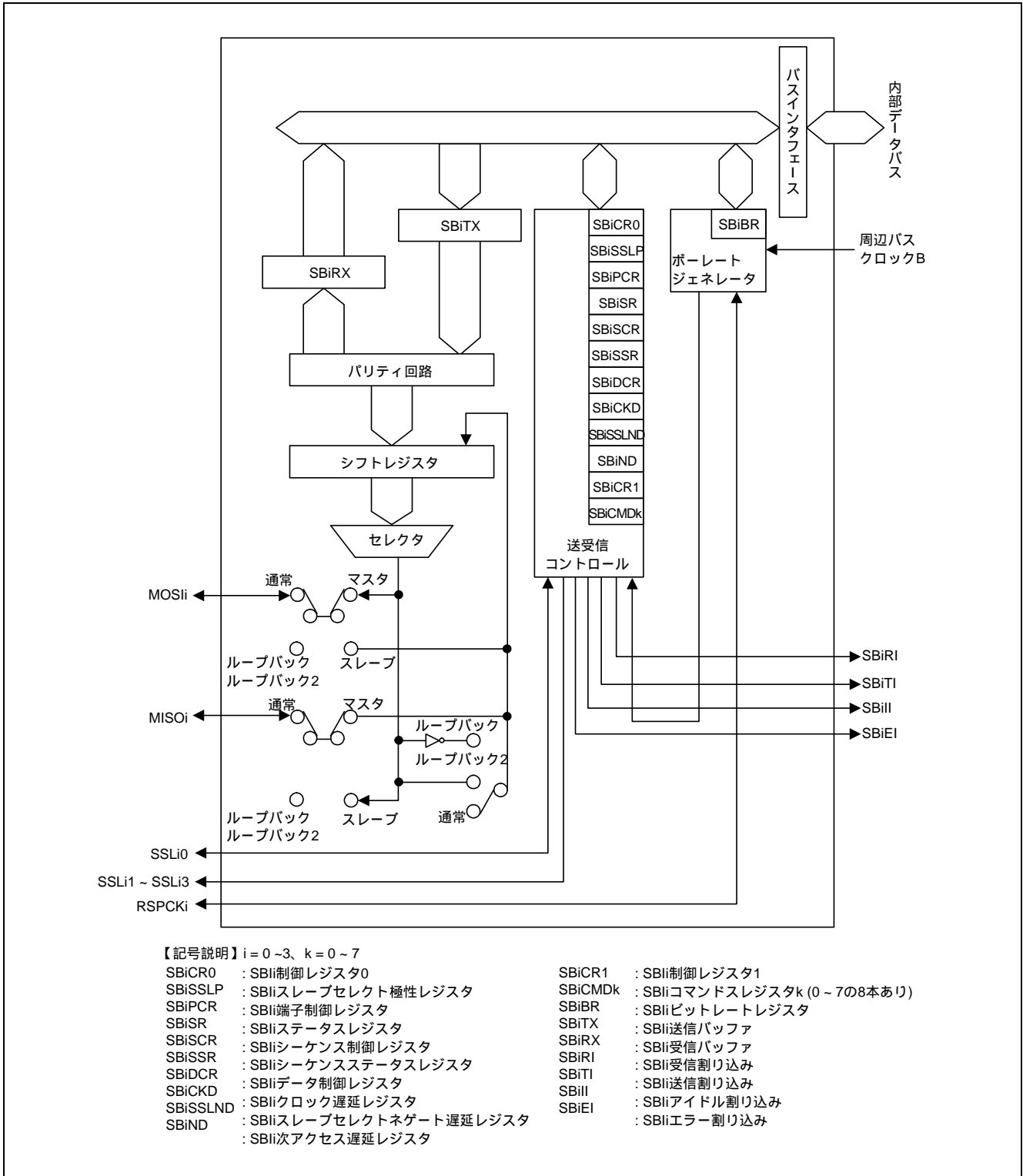


図 5.1 SBI のブロック図 (1 チャンネル分)

## 5.1 SBI 機能

SBI は、スレーブモード(SBI 動作)、シングルマスタモード(SBI 動作)、マルチマスタモード(SBI 動作)、スレーブモード( クロック同期式動作)、マスタモード( クロック同期式動作) での同期式のシリアル転送が可能です。

SBI のモードは、SBI<sub>i</sub> 制御レジスタ 0 (SBI<sub>i</sub>CR0) の MSTR、MODFEN、および SPMS ビットによって設定可能です。また、SBI<sub>i</sub> 制御レジスタ 0 (SBI<sub>i</sub>CR0) の MSTR、MODFEN、および SPMS ビット、ならびに SBI<sub>i</sub> 端子制御レジスタ(SBI<sub>i</sub>PCR) の SPOM ビットの設定に従って、端子方向と出力モードを自動的に切り替えます。

### 5.1.1 応用例の説明

本応用例では、図 5.2に示すように SBI チャンネル 0 同士を接続し、SBI 動作によるシングルマスタモード、およびシングルスレーブモードでの全二重通信処理を行います。

図 5.3に本応用例での動作イメージを示します。以下、本応用例の動作について、( 1 )初期設定、( 2 )マスタモード、( 3 )スレーブモードの3つに分けて説明します。

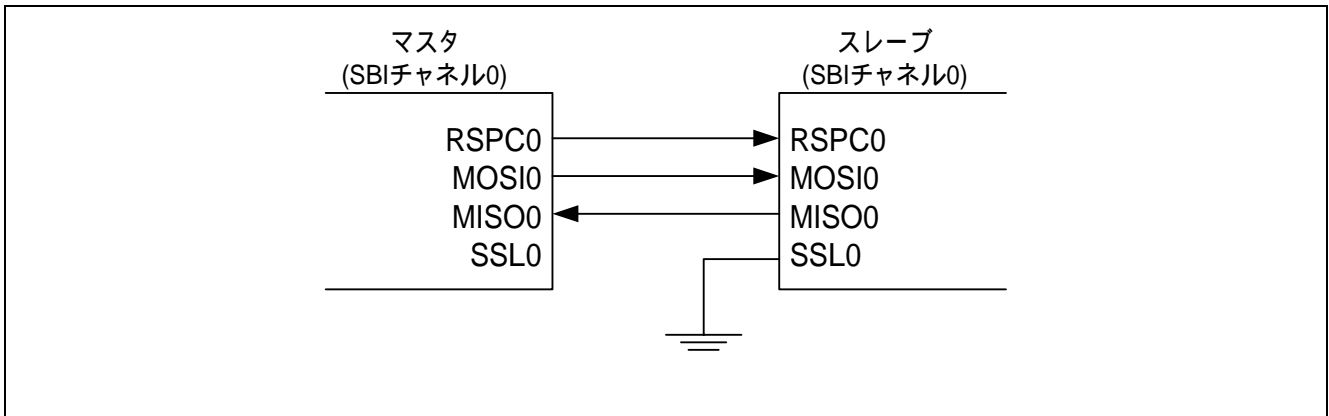


図 5.2 シングルマスタ/シングルスレーブの構成例

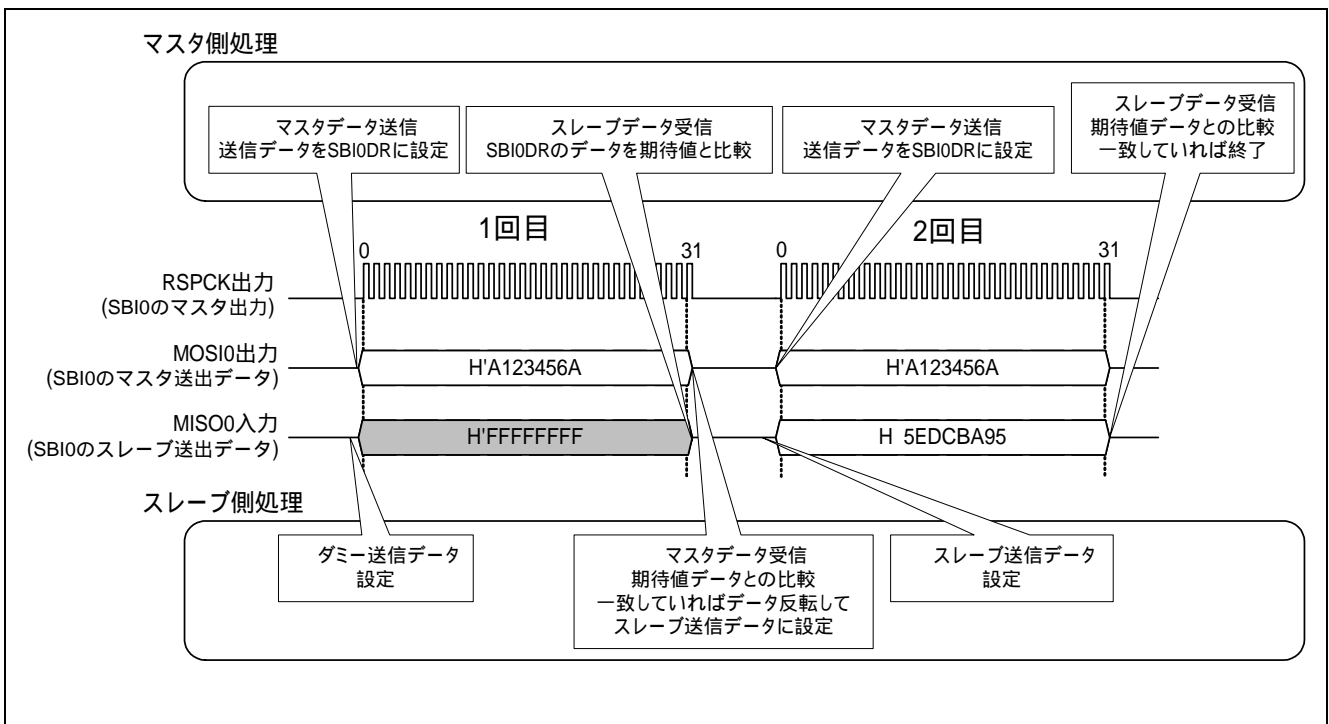


図 5.3 SBI 応用例の送受信動作イメージ

### ( 1 ) 初期設定

SBI は SBI0 制御レジスタ 0 (SB0CR0) の SPMS ビットを"0"にすることで SBI 動作となります。また、MSTR ビットの設定に従ってマスタモード/スレーブモードを決定でき、それによって RSPCK、MOSIO、MISO0 端子の方向は自動的に切り替わります。

本動作例での通信仕様を記します。

転送フォーマット:データ長は 32 ビット、データ数は 1 個、MSB ファースト送信、SSLA0 を 0 アクティブ  
ビットレート:2.5Mbps

転送回数:送信/受信 各 1 回

RSPCKA 端子のクロックの極性はアイドル時に"0"出力、位相は奇数エッジでデータ変化

### ( 2 ) マスタモード

SBI をマスタモードにするには、SBI0 制御レジスタ 0 (SB0CR0) の MSTR を"1"に設定します。

シングルマスタ/ シングルスレーブの構成では、マスタの SSL 出力は使用しません。

マスタ側では任意の送信データの送信と同時にスレーブ側からのデータを受信します。受信したデータが期待値と一致するまで連続実行します。

本応用例では、マスタ送信データ=H'A123456A 固定とし、マスタ側においてスレーブ側から期待値(同データを反転した値)=H'5EDCBA95 と一致するデータを受信した場合のみ通信成功として動作を終了します。

期待値と一致するまで繰り返し実行します。

### ( 3 ) スレーブモード

SBI をスレーブモードにするには、SBI0 制御レジスタ 0 (SB0CR0) の MSTR を"0"に設定します。

シングルマスタ/ シングルスレーブの構成では、スレーブの SSL 入力は Low レベルに固定して、SBI スレーブを常にセレクト状態にします。

スレーブ側では任意の送信データデータの送信と同時にスレーブ側からの送信データを受信します。また、受信したデータが期待値と比較し、比較結果を示すデータを次の送信データとしてセットします。

本応用例では、スレーブ側からの送信データ初期値を H'FFFFFFFF とし、マスタからのデータ受信と同時に送信を行います。2 回目以降の送信データはマスタ側からの受信データを期待値と比較し、一致していればそのデータを反転させた値を次の送信データとして SB0DR にセットし、マスタ側からのアクセスを待ちます。

転送回数は 1 回としていますが、スレーブ側送信データの初期値は H'FFFFFFFF としており、マスタ/スレーブ間の送受信は同時に実行されるため、1 回目の通信は必ず不一致となります。上記のハンドシェイクを成立させるためには最低 2 回の通信が必要となります。

### 5.1.2 レジスタ説明

SBI 動作に使用するレジスタの説明を以下に示します。

#### SBI0 制御レジスタ 0(SB0CR0)

SB0CR レジスタは、SBI の動作モードを設定するためのレジスタです。SB0CR は、常に CPU による読み出し/書き込みが可能です。SPE ビットが 1 で SBI 機能がイネーブルである状態において、MSTR ビット、MODFEN ビットの設定値を変更した場合には、以降の動作は保証されません。

#### SBI0 端子制御レジスタ(SB0PCR)

SB0PCR レジスタは、SBI の端子モードを設定するために使用されるレジスタです。SB0PCR は、常に CPU による読み出し/書き込みが可能です。SBI0 制御レジスタ 0 (SB0CR0) の SPE ビットが"1" で SBI 機能がイネーブルの状態において、CPU が SB0PCR レジスタを書き換えた場合には、以降の動作は保証されません。

#### SBI0 ビットレートレジスタ(SB0BR)

SB0BR レジスタは、マスタモード時のビットレート設定に使用します。SBI0 制御レジスタ 0 (SB0CR0) の MSTR ビットと SPE ビットが"1" で、マスタモードの SBI 機能がイネーブルの状態において、CPU が SB0BR レジスタを書き換えた場合には、以降の動作は保証されません。SBI をスレーブモードで使用する場合には、SB0BR レジスタ、および SBI0 コマンドレジスタ k (SB0CMDk) の BRDV ビットの設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートに設定してください。) ビットレートは SB0BR レジスタの設定値と BRDV ビットの設定値の組み合わせで決定されます。

#### SBI0 データ制御レジスタ(SB0DCR)

SB0DCR レジスタは、SB0DR レジスタに格納できるフレーム数を設定、SB0DR レジスタの読み出し、SB0DR レジスタへのアクセス幅をロングワードアクセス/ワードアクセスに設定するためのレジスタです。

SBI コマンドレジスタ(SB0CMD)の SBI データ長設定ビット(SBB3~0)、SBI シーケンス制御レジスタ(SBSCR)のシーケンス長設定ビット(SBSLN1、SBSLN0)、SBI データコントロールレジスタ(SBDCR)のフレーム数設定ビット(SBFC1、SBFC0)の組み合わせから 1 回の送受信起動で最大 4 フレームを送受信できます。

SBDCR は、常に CPU による読み出し/書き込みが可能です。SBI 制御レジスタ(SB0CR)の SBE ビットが 1 で SBI 機能がイネーブルである状態において、CPU が SB0DCR を書き換えた場合には、以降の動作は保証されません。

#### SBI0 クロック遅延レジスタ(SB0CKD)

SB0CKD レジスタは、SBI0 コマンドレジスタ k (SB0CMDk) の SCKDEN ビットが"1" の状態における、SSL 信号アサート開始から RSPCK 発振までの期間(RSPCK 遅延)を設定します。SBI0 制御レジスタ 0 (SB0CR0) の MSTR ビットと SPE ビットが"1" で、マスタモードの SBI がイネーブルの状態において、CPU が SB0CKD レジスタを書き換えた場合には、以降の動作は保証されません。SBI をスレーブモードで使用する場合には、SCKDL に"000"を設定してください。

#### SBI0 スレーブセレクトネゲート遅延レジスタ(SB0SSLND)

SB0SSLND レジスタは、マスタモードの SBI がシリアル転送の最終 RSPCK エッジを送出してから SSL 信号をネゲートするまでの期間(SSL ネゲート遅延)を設定します。SBI0 制御レジスタ 0 (SB0CR0) の MSTR ビットと SPE ビットが"1" で、マスタモードの SBI がイネーブルの状態において、CPU が SB0SSLND レジスタを書き換えた場合には、以降の動作は保証されません。SBI をスレーブモードで使用する場合には、SLNDL に"000"を設定してください。

SBI0 次アクセス遅延レジスタ(SB0ND)

SB0ND レジスタは、SBI0 コマンドレジスタ k (SB0CMDk) の SPNDEN ビットが"1" の状態における、シリアル転送終了後の SSL 信号の非アクティブ期間(次アクセス遅延)を設定します。SBI0 制御レジスタ 0 (SB0CR0) の MSTR ビットと SPE ビットが"1" で、マスタモードの SBI がイネーブルの状態において、CPU が SB0ND レジスタを書き換えた場合には、以降の動作は保証されません。SBI をスレーブモードで使用する場合には、SPNDL ビットに"000" を設定してください。

SBI0 コマンドレジスタ(SB0CMDk)

SBI には、各チャンネルに SBIi コマンドレジスタ k (SB0CMDk) が 8 本あります。これらのレジスタは、マスタモードの SBI の転送フォーマットを設定するために使用されます。また、SB0CMD0 レジスタの一部のビットは、スレーブモードの SBI の転送フォーマットを設定するためにも使用されます。マスタモードの SBI は SBI0 シーケンス制御レジスタ(SB0SCR) の SPSLN ビットの設定に従ってシーケンシャルに SB0CMDk レジスタを参照し、参照した SB0CMDk レジスタに設定されたシリアル転送を実行します。

SB0CMDk レジスタの設定は SBI0 ステータスレジスタ(SB0SR)の SPTEF フラグが"1"の状態でのその SB0CMDk レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの SBI が参照している SB0CMDk レジスタは、SBI0 シーケンスステータスレジスタ(SB0SSR)の SPCP ビットにより確認できます。また、スレーブモードの SBI がイネーブルの状態において、SB0CMDk レジスタを CPU が書き換えた場合には、以降の動作は保証されません。

表 5.1に関連レジスタの設定例を示します。

表 5.1 SBI 動作 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
SB0CR0	H'FF62 0000	H'48	SPE : SBI 機能を有効化 MSTR : マスタモード MODFEN : モードフォルトエラー検出を禁止 TXMD : 全二重式のシリアル通信 SPMS : SBI 動作(4 線式)
SB0PCR	H'FF62 0002	H'00	SPLP2 : 通常モード SPLP : 通常モード
SB0BR	H'FF62 000A	H'03	マスタモード時のビットレート : 2.5Mbps (f(PBB)=40MHz)
SB0DCR	H'FF62 000B	H'20	SPLW : SB0DR へはロングワードアクセス
SB0CKD	H'FF62 000C	H'00	RSPCK 遅延 : 1RSPCK
SB0SSLND	H'FF62 000D	H'00	SSL ネゲート遅延 : 1RSPCK
SB0ND	H'FF62 000E	H'00	SBI アクセス遅延 : 1RSPCK + 周辺バスクロック B の 2 サイクル
SB0CMD0	H'FF62 0010	H'0305	SPB[3:0] : SBI データ長 32 ビット BRDV[1:0] : ベースのビットレートの 2 分周を選択 CPHA : 奇数エッジでデータ変化、偶数エッジでデータサンプル

5.1.3 フローチャート

図 5.4に SBI 動作例のフローチャートを示します。

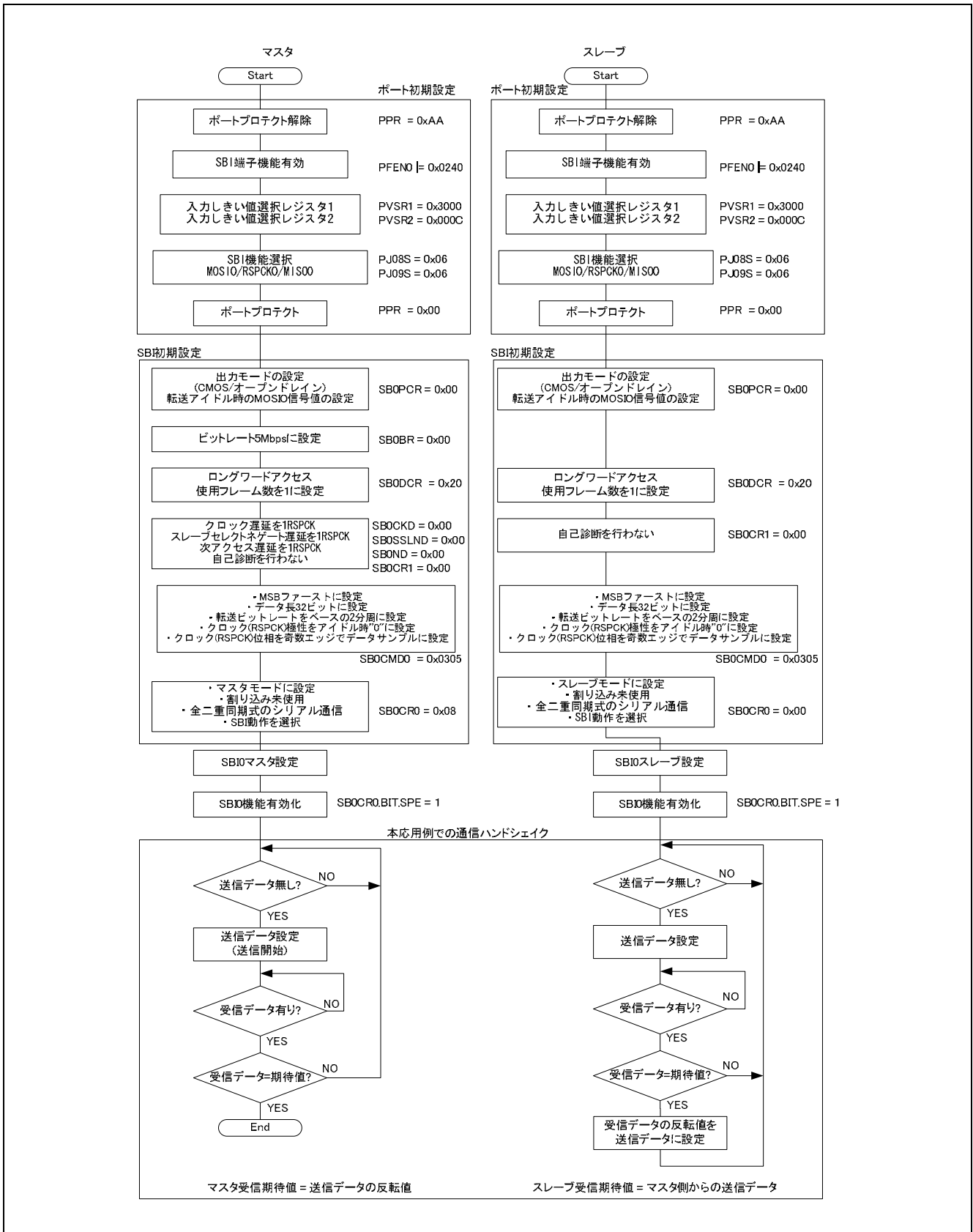


図 5.4 SBI 動作の設定例

## 5.2 クロック同期式動作機能 SBI 機能

SBI は、SBI0 制御レジスタ 0 (SB0CR0)の SPMS ビットが"1"であるとき、クロック同期式動作となります。クロック同期式動作は、SSL0 端子を使用せず、RSPCK、MOSI0、MISO0 の 3 本の端子を用いて通信を行い、SSL0 端子は IO ポートとして使用することができます。

クロック同期式動作は、SSL0 端子を使用せず通信を行います。モジュール内部の動作は SBI 動作と同様の動作を行います。マスタ動作、スレーブ動作において、クロック同期式動作時と同様のフローで通信を行うことができますが、SSL0 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、SBI0 コマンドレジスタ k (SB0CMDk)の CPHA ビットを"0"に設定した場合の動作について保証しておりません。

### 5.2.1 応用例の説明

本応用例では、図 5.5に示すように SBI チャンネル 0 同士を接続し、クロック同期式動作でのマスタモード、およびスレーブモードでの全二重通信処理を行います。

また、図 5.6に本応用例での動作イメージを示します。以下、本応用例の動作について、(1)初期設定、(2)マスタモード、(3)スレーブモードの3つに分けて説明します。

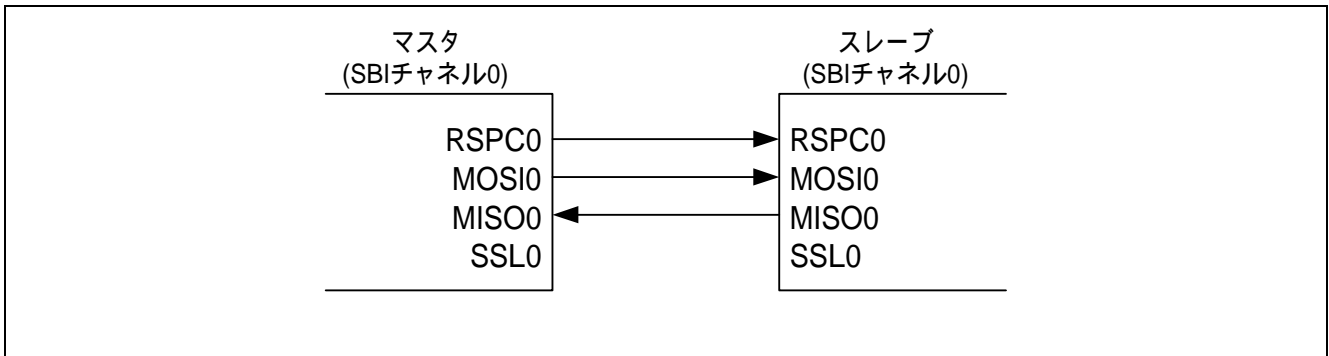


図 5.5 マスタ(クロック同期式動作)/スレーブ(クロック同期式動作)の構成例

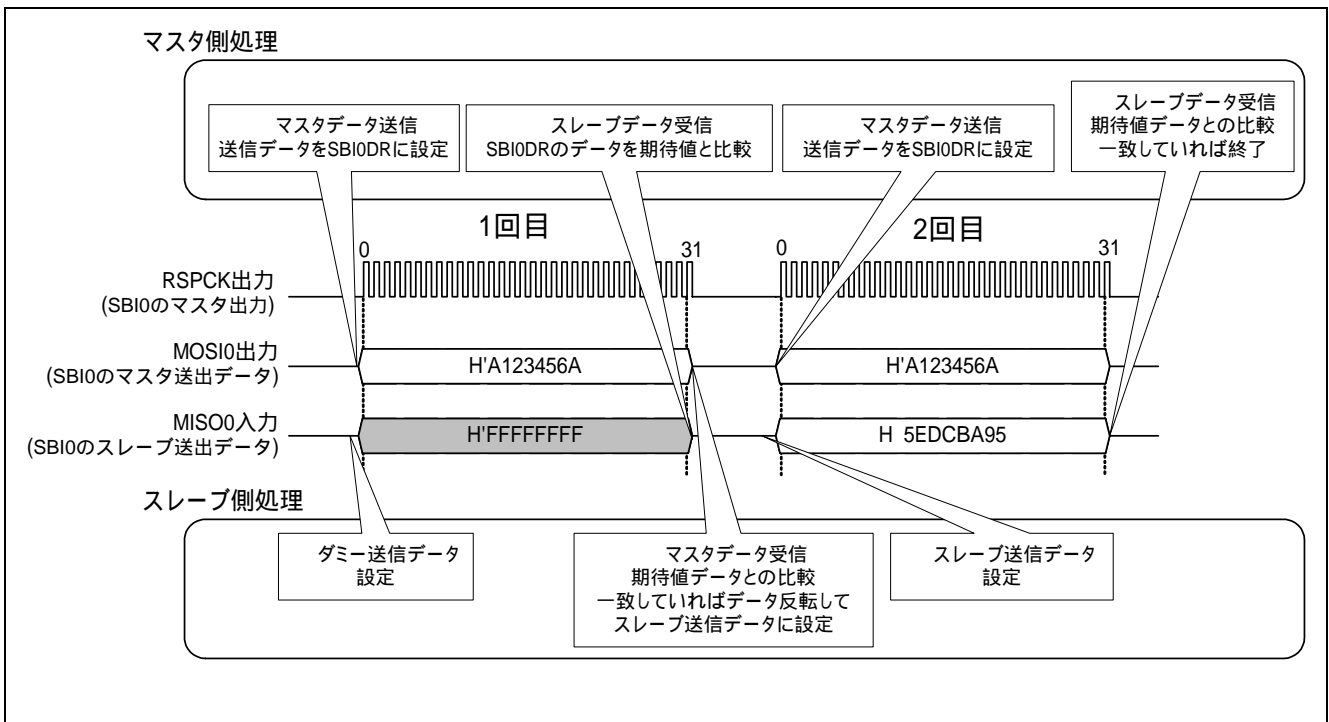


図 5.6 クロック同期式応用例の送受信動作イメージ

### ( 1 ) 初期設定

SBI は SBI0 制御レジスタ 0 (SB0CR0) の SPMS ビットを"1"にすることでクロック同期式動作となります。また、MSTR ビットの設定に従ってマスタモード/スレーブモードを決定でき、それによって RSPCK、MOSI0、MISO0 端子の方向は自動的に切り替わります。

本動作例での通信仕様を記します。

転送フォーマット:データ長は 32 ビット、データ数は 1 個、MSB ファースト送信、SSLA0 を 0 アクティブ  
ビットレート:2.5Mbps

転送回数:送信/受信 各 1 回

RSPCKA 端子のクロックの極性はアイドル時に"0"出力、位相は奇数エッジでデータ変化

### ( 2 ) マスタモード

SBI をマスタモードにするには、SBI0 制御レジスタ 0 (SB0CR0) の MSTR を"1"に設定します。

マスタ(クロック同期式動作)/スレーブ(クロック同期式動作)の構成では、SSL 出力は使用しません。本 LSI(マスタ)は RSPCK と MOSI0 を常にドライブします。

本応用例では、マスタ送信データ=H'A123456A 固定とし、マスタ側においてスレーブ側から期待値(同データを反転した値)=H'5EDCBA95 と一致するデータを受信した場合のみ通信成功として動作を終了します。

期待値と一致するまで繰り返し実行します。

### ( 3 ) スレーブモード

SBI をスレーブモードにするには、SBI0 制御レジスタ 0 (SB0CR0) の MSTR を"0"に設定します。

本 LSI(スレーブ)は MISO0 を常にドライブします。SBI0 コマンドレジスタ (SB0CMD) の CPHA ビットを"1"に設定したシングルスレーブ構成の場合のみ、スレーブ側はシリアル転送を実行することが可能です。

本応用例では、スレーブ側からの送信データは初期値 H'FFFFFFFF とし、2 回目以降の送信データはマスタ側からの受信データを期待値と比較し、一致していればそのデータを反転させた値を送信データとして SB0DR にセットし、マスタ側からのアクセスを待って次回送出します。

転送回数は 1 回としていますが、スレーブ側送信データの初期値は H'FFFFFFFF としており、マスタ/スレーブ間の送受信は同時に実行されるため、1 回目の通信は必ず不一致となります。上記のハンドシェイクを成立させるためには最低 2 回の通信が必要となります。

## 5.2.2 レジスタ説明

クロック同期式動作に使用するレジスタの説明を以下に示します。

### SBI0 制御レジスタ 0(SB0CR0)

SB0CR レジスタは、SBI の動作モードを設定するためのレジスタです。SB0CR は、常に CPU による読み出し/書き込みが可能です。SPE ビットが 1 で SBI 機能がイネーブルである状態において、MSTR ビット、MODFEN ビットの設定値を変更した場合には、以降の動作は保証されません。

### SBI0 端子制御レジスタ(SB0PCR)

SB0PCR レジスタは、SBI の端子モードを設定するために使用されるレジスタです。SB0PCR は、常に CPU による読み出し/書き込みが可能です。SBI0 制御レジスタ 0 (SB0CR0) の SPE ビットが"1" で SBI 機能がイネーブルの状態において、CPU が SB0PCR レジスタを書き換えた場合には、以降の動作は保証されません。

### SBI0 ビットレートレジスタ(SB0BR)

SB0BR レジスタは、マスタモード時のビットレート設定に使用します。SBI0 制御レジスタ 0 (SB0CR0) の MSTR ビットと SPE ビットが"1" で、マスタモードの SBI 機能がイネーブルの状態において、CPU が SB0BR レジスタを書き換えた場合には、以降の動作は保証されません。SBI をスレーブモードで使用する場合には、SB0BR レジスタ、および SBI0 コマンドレジスタ k (SB0CMDk) の BRDV ビットの設定に関係なく、入力クロックのビットレートに依存します。(電気的特性を満足するビットレートに設定してください。) ビットレートは SB0BR レジスタの設定値と BRDV ビットの設定値の組み合わせで決定されます。

### SBI0 データ制御レジスタ(SB0DCR)

SB0DCR レジスタは、SB0DR レジスタに格納できるフレーム数を設定、SB0DR レジスタの読み出し、SB0DR レジスタへのアクセス幅をロングワードアクセス/ワードアクセスに設定するためのレジスタです。

SBI コマンドレジスタ(SB0CMD)の SBI データ長設定ビット(SBB3~0)、SBI シーケンス制御レジスタ(SBSCR)のシーケンス長設定ビット(SBSLN1、SBSLN0)、SBI データコントロールレジスタ(SBDCR)のフレーム数設定ビット(SBFC1、SBFC0)の組み合わせから 1 回の送受信起動で最大 4 フレームを送受信できます。

SBDCR は、常に CPU による読み出し/書き込みが可能です。SBI 制御レジスタ(SB0CR)の SBE ビットが 1 で SBI 機能がイネーブルである状態において、CPU が SB0DCR を書き換えた場合には、以降の動作は保証されません。

### SBI0 クロック遅延レジスタ(SB0CKD)

SB0CKD レジスタは、SBI0 コマンドレジスタ k (SB0CMDk) の SCKDEN ビットが"1" の状態における、SSL 信号アサート開始から RSPCK 発振までの期間(RSPCK 遅延)を設定します。SBI0 制御レジスタ 0 (SB0CR0) の MSTR ビットと SPE ビットが"1" で、マスタモードの SBI がイネーブルの状態において、CPU が SB0CKD レジスタを書き換えた場合には、以降の動作は保証されません。SBI をスレーブモードで使用する場合には、SCKDL に"000"を設定してください。

### SBI0 スレーブセレクトネゲート遅延レジスタ(SB0SSLND)

SB0SSLND レジスタは、マスタモードの SBI がシリアル転送の最終 RSPCK エッジを送出してから SSL 信号をネゲートするまでの期間(SSL ネゲート遅延)を設定します。SBI0 制御レジスタ 0 (SB0CR0) の MSTR ビットと SPE ビットが"1" で、マスタモードの SBI がイネーブルの状態において、CPU が SB0SSLND レジスタを書き換えた場合には、以降の動作は保証されません。SBI をスレーブモードで使用する場合には、SLNDL に"000"を設定してください。

SBI0 次アクセス遅延レジスタ(SB0ND)

SB0ND レジスタは、SBI0 コマンドレジスタ k (SB0CMDk) の SPNDEN ビットが"1" の状態における、シリアル転送終了後の SSL 信号の非アクティブ期間(次アクセス遅延)を設定します。SBI0 制御レジスタ 0 (SB0CR0) の MSTR ビットと SPE ビットが"1" で、マスタモードの SBI がイネーブルの状態において、CPU が SB0ND レジスタを書き換えた場合には、以降の動作は保証されません。SBI をスレーブモードで使用する場合には、SPNDL ビットに"000" を設定してください。

SBI0 コマンドレジスタ(SB0CMDk)

SBI には、各チャンネルに SBIi コマンドレジスタ k (SBIiCMDk) が 8 本あります。これらのレジスタは、マスタモードの SBI の転送フォーマットを設定するために使用されます。また、SBIiCMD0 レジスタの一部のビットは、スレーブモードの SBI の転送フォーマットを設定するためにも使用されます。マスタモードの SBI は SBI0 シーケンス制御レジスタ(SB0SCR) の SPSLN ビットの設定に従ってシーケンシャルに SB0CMDk レジスタを参照し、参照した SB0CMDk レジスタに設定されたシリアル転送を実行します。

SB0CMDk レジスタの設定は SBI0 ステータスレジスタ(SB0SR)の SPTEF フラグが"1"の状態での SB0CMDk レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの SBI が参照している SB0CMDk レジスタは、SBI0 シーケンスステータスレジスタ (SB0SSR)の SPCP ビットにより確認できます。また、スレーブモードの SBI がイネーブルの状態において、SB0CMDk レジスタを CPU が書き換えた場合には、以降の動作は保証されません。

表 5.2 に関連レジスタの設定例を示します。

表 5.2 SBI クロック同期式動作 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
SB0CR0	H'FF62 0000	H'41	SPE : SBI 機能を有効化 MSTR : "B'1"=マスタモード MODFEN : モードフォルトエラー検出を禁止 TXMD : 全二重式のシリアル通信 SPMS : クロック同期式動作(3線式)
SB0PCR	H'FF62 0002	H'00	SPLP2 : 通常モード SPLP : 通常モード
SB0BR	H'FF62 000A	H'03	マスタモード時のビットレート : 2.5Mbps (f(PBB)=40MHz)
SB0DCR	H'FF62 000B	H'20	SPLW : SB0DR へはロングワードアクセス
SB0CKD	H'FF62 000C	H'00	RSPCK 遅延 : 1RSPCK
SB0SSLND	H'FF62 000D	H'00	SSL ネゲート遅延 : 1RSPCK
SB0ND	H'FF62 000E	H'00	SBI アクセス遅延 : 1RSPCK + 周辺バスクロック B の 2 サイクル
SB0CMD0	H'FF62 0010	H'0305	SPB[3:0] : SBI データ長 32 ビット BRDV[1:0] : ベースのビットレートの 2 分周を選択 CPHA : 奇数エッジでデータ変化、偶数エッジでデータサンプル

5.2.3 フローチャート

A/D 変換チャンネル 31、30、28、24、17、16、05、04 を選択

図 5.7にクロック同期式動作例のフローチャートを示します。

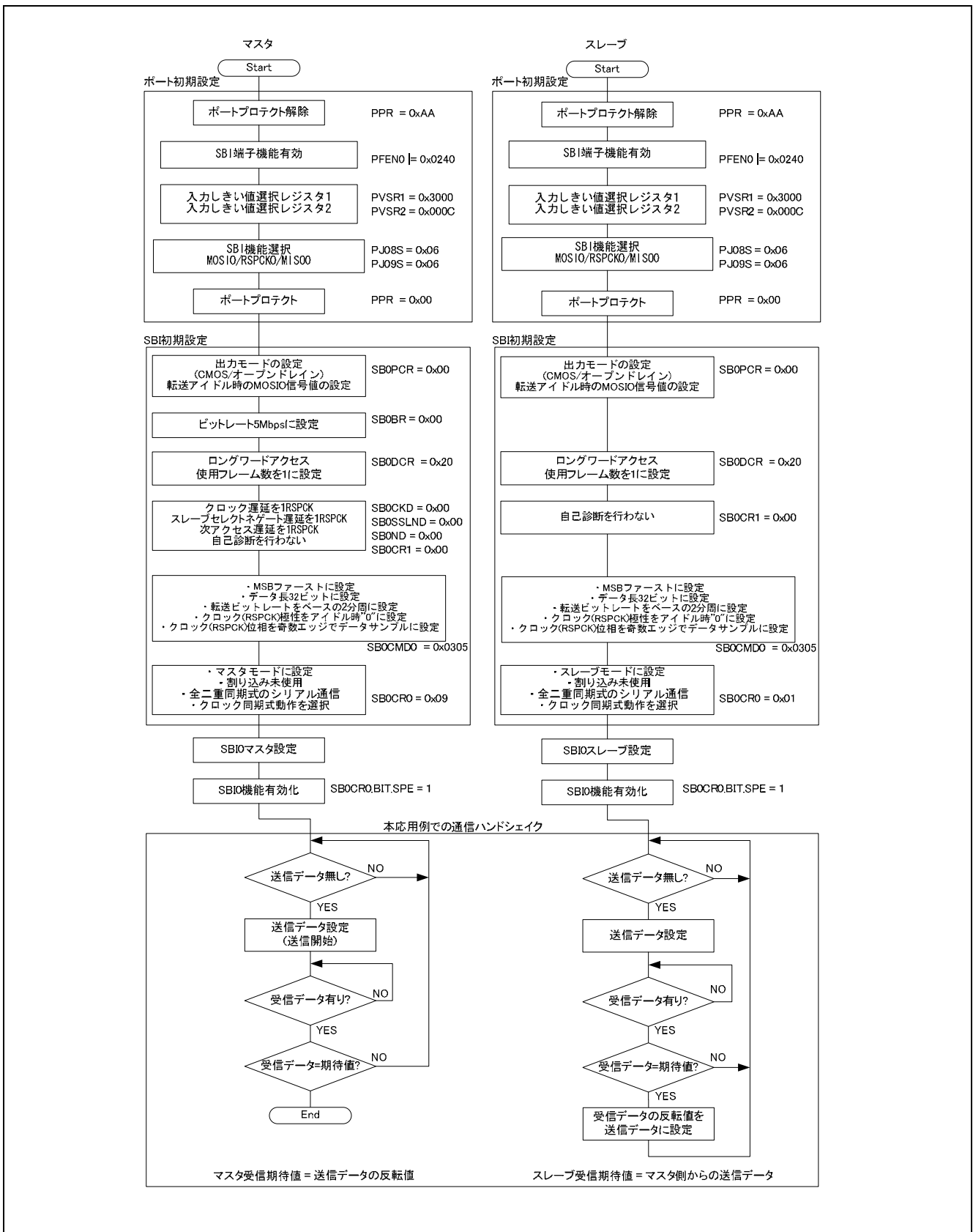


図 5.7 クロック同期式動作の設定例

## 6. 12ビット A/D コンバータ(AD0)

SH72A0/A2 は、逐次比較方式の 12 ビット A/D コンバータを内蔵しています。A/D コンバータは、独立した 1 つのモジュール(AD0) より構成されています。ソフトウェアにより最大 6 チャンネルのアナログ入力を選択することができます。

図 6.1に AD0 のブロック図を示します。

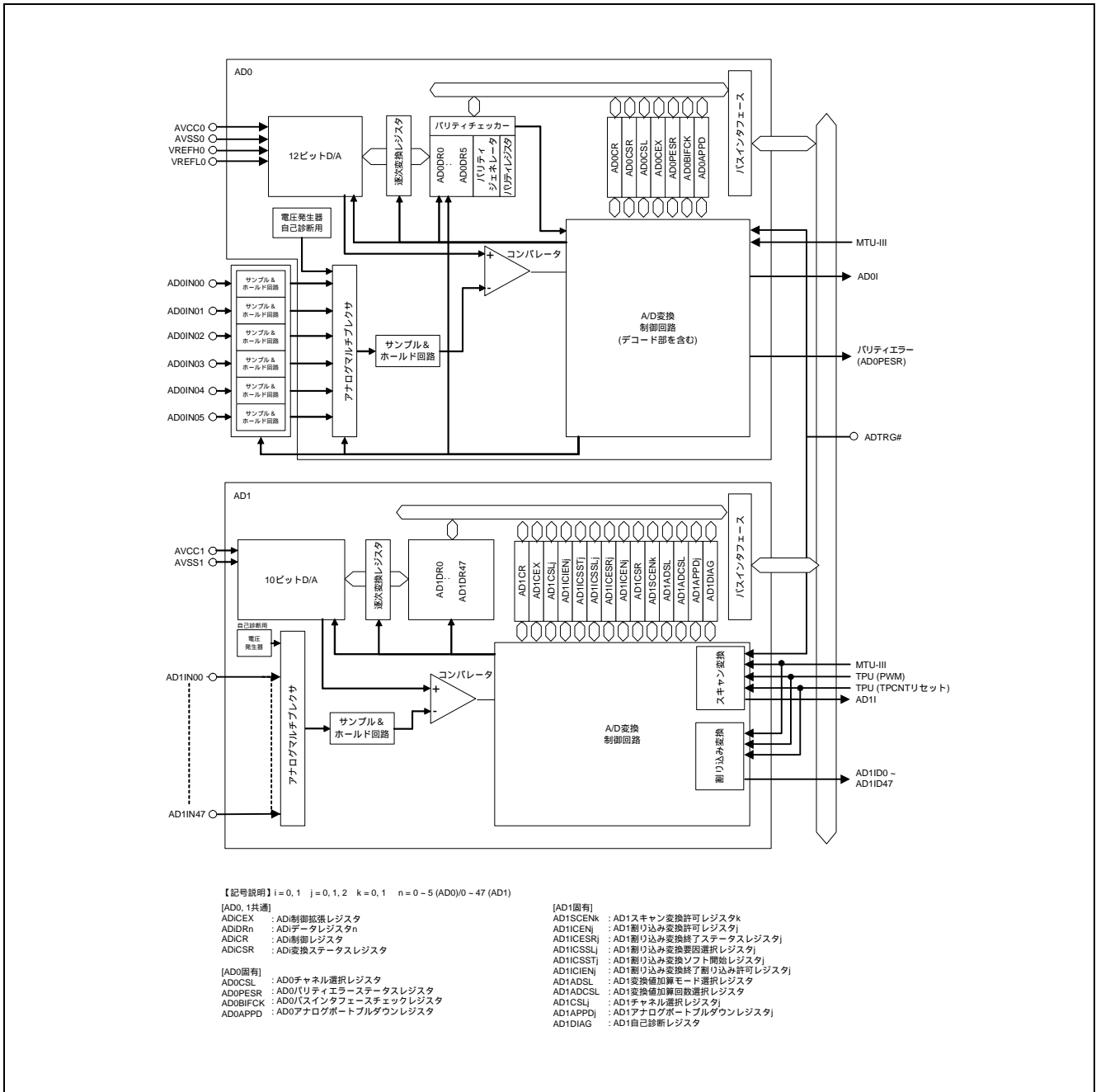


図 6.1 A/D コンバータ(AD0 ~ AD1)のブロック図

## 6.1 1 サイクルスキャンモード機能

1 サイクルスキャンモードは、指定した 1 チャンネル以上のスキャンを 1 回実施して終了するモードです。

1 サイクルスキャンモードの選択は、AD0 制御レジスタ(AD0CR) の ADCS ビットを"0"にセットすることにより行います。

スキャン変換が開始すると、AD0 チャンネル選択レジスタ(AD0CSL) で選択した AD0IN00~05 の番号が小さい順から A/D 変換を行います(AD0 は AD0IN00、AD0IN01、... AD0IN05 の順番です)。

選択したすべてのチャンネルを一とおり A/D 変換(スキャン)すると、AD0 変換ステータスレジスタ(AD0CSR) の ADF ビットを"1"にセットし、ADSCACT ビットが"0"にクリアされ、スキャン変換を終了します。

ADF ビットは、各スキャンが終了するたびに"1"にセットされます。

ADF ビットを"0"にクリアするときには、ADF ビットが"1"の状態を読み出した後、"0"を書き込んでください。ただし、ADI 割り込みで DMAC を起動した場合には自動的に"0"にクリアされ、ADI 割り込みもクリアされます。

### 6.1.1 応用例の説明

AD0IN05~AD0IN00 を選択し、6 チャンネルすべての 1 サイクルスキャンモードでスキャン変換を 1 回実行する場合の動作例を示します。各チャンネルの変換結果は内蔵 RAM 領域(変数: Ad\_data[ i ])に格納します。

1 サイクルスキャンモードの選択は、AD0 制御レジスタ(AD0CR) の ADCS ビットを"0" にセットすることにより行います。

スキャン変換が開始すると、AD0 チャンネル選択レジスタ(AD0CSL) で選択した AD0IN $m$  の  $m$  ( $m=00\sim 05$ ) が小さい順から A/D 変換を行います。AD0 は AD0IN00、AD0IN01、... AD0IN05 の順番です。

1 サイクルスキャンの場合、選択したすべてのチャンネルを一とおり A/D 変換(スキャン)すると AD0 変換ステータスレジスタ(AD0CSR) の ADF ビットを"1" にセットし、ADSCACT ビットが"0" にクリアされ、スキャン変換を終了します。

スキャン変換を停止する場合、ADST ビットを"1" の状態のときに"0" を書き込んでください。ADST ビットが"0" の状態で"0" を書き込んでも、A/D コンバータには何も影響しません。同様に ADST ビットが"1" の状態のときに"1" を書き込んでも、A/D コンバータには何も影響しません。したがって、ADST ビット以外のスキャン変換要求でスキャン変換を起動し、途中でスキャン変換を停止させる場合は、一度 ADST ビットに"1" を書き込んでから"0" を書き込んでください。

ADF ビットが"1" にセットされたとき、AD0CR レジスタの ADIE ビットが"1" にセットされていると ADI 割り込み要求が発生します。

ADF ビットを"0" にクリアするときには、ADF ビットが"1" の状態を読み出した後、"0" を書き込んでください。ただし、ADI 割り込みで DMAC を起動した場合には自動的に"0" にクリアされ、ADI 割り込みもクリアされます。

図 6.2に 1 サイクルスキャンモードの動作例を示します。

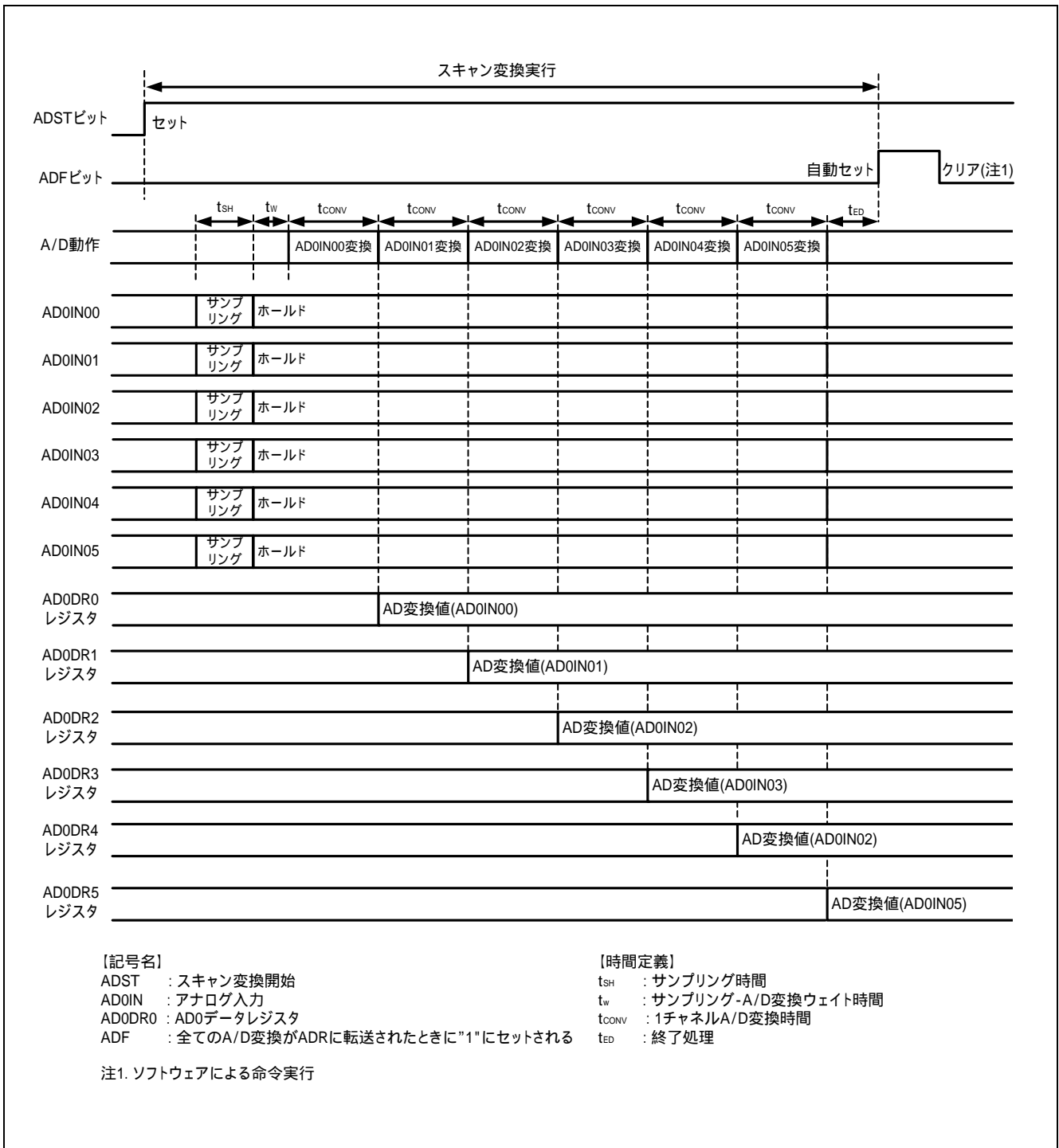


図 6.2 1 サイクルスキャンモードの動作イメージ

## 6.1.2 レジスタ説明

1 サイクルスキャンモードでの A/D 変換機能で使用するレジスタの説明を以下に示します。

### AD0 データレジスタ 0~5 (AD0DR0~5)

AD0 データレジスタ n (AD0DRn) は読み出し専用で、アナログ入力(AD0IN00 ~ AD0IN05) を A/D 変換した結果を格納します。アナログ入力(AD0IN00 ~ AD0IN05) に対応するレジスタは、6 本あります。

### AD0 制御レジスタ (AD0CR)

スキャン変換の開始/ 停止を制御のほか、スキャン変換モードを選択や、A/D スキャン変換終了割り込み (AD0I) の発生を許可/ 禁止を設定します。また、外部トリガ(ADTRG# 端子)によるスキャン変換の許可/ 禁止および、スキャン変換のトリガソースを選択など、各種の A/D 変換動作を制御します。

### AD0 チャンネル選択レジスタ (AD0CSL)

AD0CSL レジスタは、スキャン変換で変換するチャンネルを選択します。誤動作を防ぐために AD0CSL レジスタは、AD0CSR レジスタの ADSCACT ビットが"0" の状態で変更してください。

### AD0 変換ステータスレジスタ (AD0CSR)

AD0CSR レジスタは、AD 変換器の状態を表すレジスタです。

表 6.1に関連レジスタの設定例を示します。

表 6.1 AD0 の 1 サイクルスキャンモード 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
AD0CR	H'FFFE 7800	H'00	ADST : スキャン変換停止 ADCS : 1 サイクルスキャンモード ADIE : スキャン変換終了後の ADI 割り込み発生の禁止 TRGE : 外部トリガまたは MTU-III のタイマトリガによるスキャン変換禁止 EXTRG : AD0 開始トリガ選択レジスタで選択されたタイマ要因によるスキャン変換を許可
AD0CSR	H'FFFE 7802	H'00	ADF : 1 スキャン終了フラグクリア
AD0CSL	H'FFFE 7820	H'3F	AD0CSL5 : AD0IN5 を変換対象とする AD0CSL4 : AD0IN4 を変換対象とする AD0CSL3 : AD0IN3 を変換対象とする AD0CSL2 : AD0IN2 を変換対象とする AD0CSL1 : AD0IN1 を変換対象とする AD0CSL0 : AD0IN0 を変換対象とする

6.1.3 フローチャート

図 6.3に 1 サイクルスキャンモードでの A/D 変換動作例のフローチャートを示します。

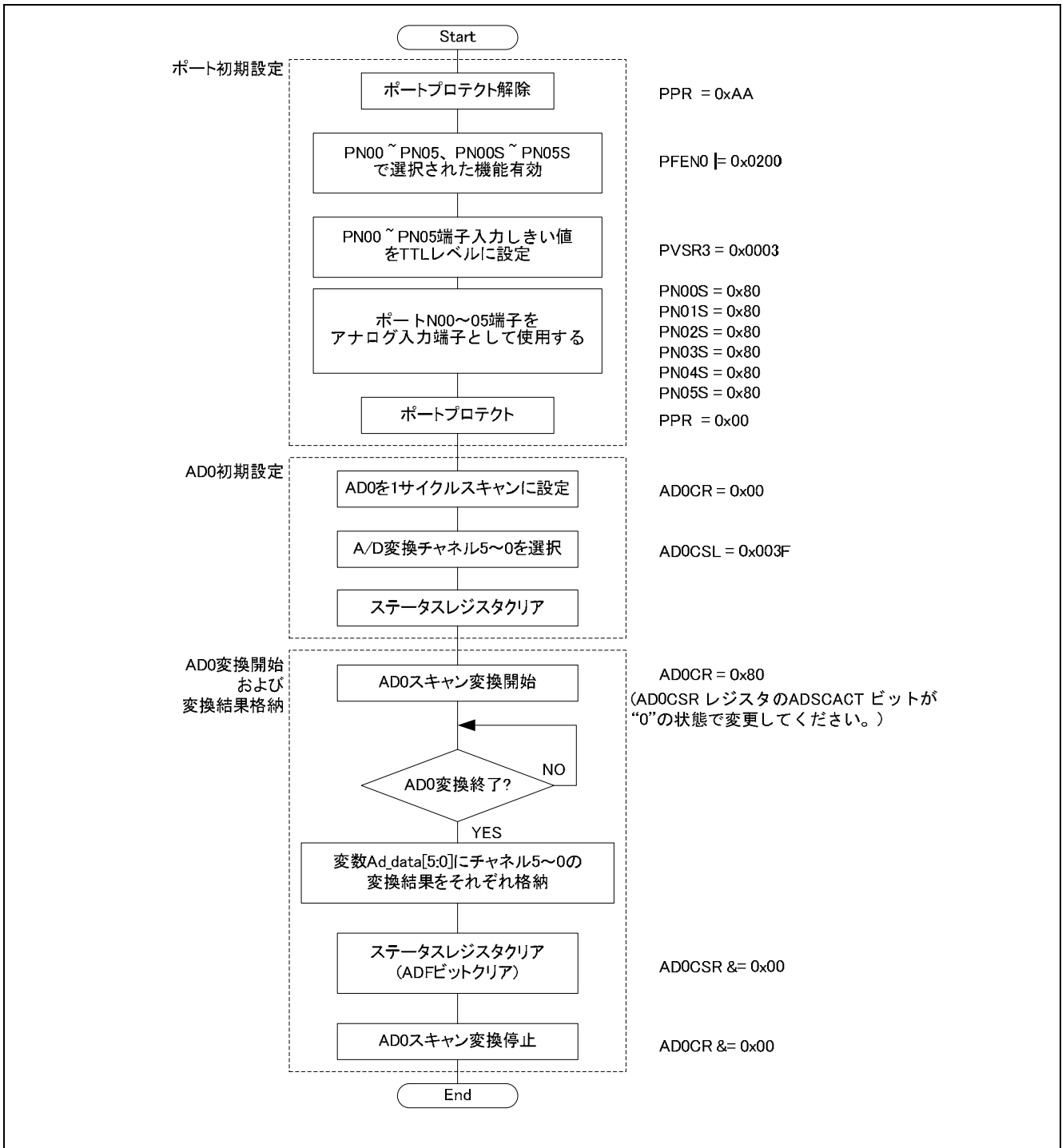


図 6.3 1 サイクルスキャンモードでの A/D 変換動作設定例

## 6.2 識別子追加機能

AD0 制御拡張レジスタ AD0CEX レジスタの IDE ビットを"1" にセットすることにより、A/D 変換結果を AD0 データレジスタ(AD0DRn) に格納すると同時に変換チャンネルに相当する識別子(ID)を下位 4 ビットに格納します。AD0DRn レジスタを読み出した際に ID を確認することで、正しいチャンネルが変換されたかを確認することが可能です。AD0CEX の AD データレジスタフォーマット選択ビット(ADRFMT) の設定は無効となります。

識別子データの付加を選択した場合データレジスタのフォーマットは必ず左詰めとなります。

また、加算モード選択時は加算された結果上位 12 ビットのみ有効となります。

### 6.2.1 応用例の説明

AD0IN05 ~ AD0IN00 を選択し、6 チャンネルすべての 1 サイクルスキャンモードでスキャン変換を 1 回実行する場合の動作例を示します。

本応用例の実行後、各チャンネルの A/D 変換結果である AD0DDR5 ~ 0 の下位 4 ビットには、それぞれのチャンネルを示す識別子(ID)が格納され、上位 12 ビットに変換結果が格納されます。図 6.4 に各チャンネルと識別子の対応および、変換結果の格納イメージを示します。

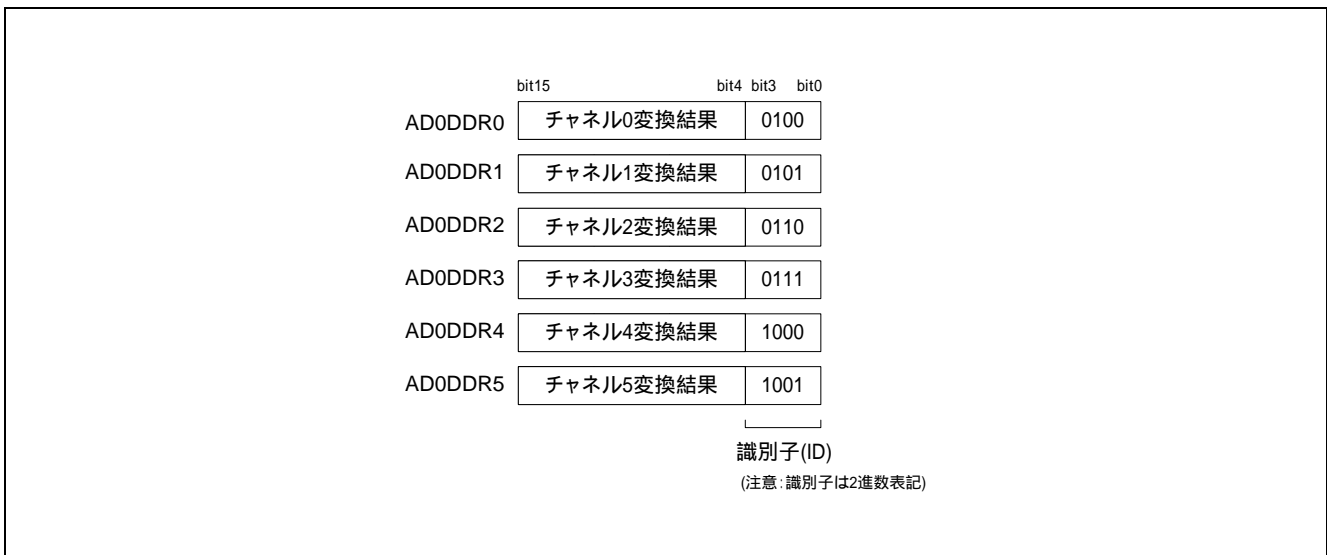


図 6.4 識別子付き A/D 変換結果の格納イメージ

### 6.2.2 レジスタ説明

1 サイクルスキャンモードでの識別子付き A/D 変換機能で使用するレジスタの説明を以下に示します。

#### AD0 データレジスタ 0~5 (AD0DR0~5)

AD0 データレジスタ n (AD0DRn) は読み出し専用で、アナログ入力(AD0IN00 ~ AD0IN05) を A/D 変換した結果を格納します。アナログ入力(AD0IN00 ~ AD0IN05) に対応するレジスタは、6 本あります。

#### AD0 制御レジスタ (AD0CR)

スキャン変換の開始/ 停止を制御のほか、スキャン変換モードを選択や、A/D スキャン変換終了割り込み(AD0I) の発生を許可/ 禁止を設定します。また、外部トリガ(ADTRG# 端子)によるスキャン変換の許可/ 禁止および、スキャン変換のトリガソースを選択など、各種の A/D 変換動作を制御します。

AD0 制御拡張レジスタ (AD0CEX)

AD データレジスタフォーマット選択ビット(ADRFMT) の設定により、左詰めまたは右詰めのフォーマットのどちらかを設定できます。このとき、ADD11~ADD0 ビットは、12 ビットの A/D 変換値を示します。それ以外のビットは予約ビットです。読むと"0" が読み出されます。書き込みは"0" にしてください。

識別子選択ビット(IDE) を識別子付加に設定されている場合は、AD0DDRn の下位 4 ビットに変換したチャンネルに相当する識別子(ID) が格納されます。AD0DRn レジスタを読み出した際に ID を確認することで正しいチャンネルが変換されたかを確認することが可能です。AD0 制御拡張レジスタ(AD0CEX) の AD データレジスタフォーマット選択ビット(ADRFMT) の設定は無効となります。

AD0 チャンネル選択レジスタ (AD0CSL)

AD0CSL レジスタは、スキャン変換で変換するチャンネルを選択します。誤動作を防ぐために AD0CSL レジスタは、AD0CSR レジスタの ADSCACT ビットが"0" の状態で変更してください。

AD0 変換ステータスレジスタ (AD0CSR)

AD0CSR レジスタは、AD 変換器の状態を表すレジスタです。

AD0 開始トリガ選択レジスタ (AD0STRSL)

AD0STRSL レジスタは、AD0CR レジスタの TRGE ビットを"1" に設定し、かつ AD0CR レジスタの EXTRG ビットを"0" に設定した場合に、A/D 変換開始要因として使用する MTU-III の A/D 変換開始トリガを選択します。

表 6.2に関連レジスタの設定例を示します。

表 6.2 AD0 の 1 サイクルスキャンモード識別子付き A/D 変換機能 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
AD0CR	H'FFFE 7800	H'00	ADST : スキャン変換停止 ADCS : 1 サイクルスキャンモード ADIE : スキャン変換終了後の ADI 割り込み発生の禁止 TRGE : 外部トリガまたは MTU-III のタイマトリガによるスキャン変換禁止 EXTRG : AD0 開始トリガ選択レジスタで選択されたタイマ要因によるスキャン変換を許可
AD0CSR	H'FFFE 7802	H'00	ADF : 1 スキャン終了フラグクリア
AD0CSL	H'FFFE 7820	H'3F	AD0CSL5 : AD0IN5 を変換対象とする AD0CSL4 : AD0IN4 を変換対象とする AD0CSL3 : AD0IN3 を変換対象とする AD0CSL2 : AD0IN2 を変換対象とする AD0CSL1 : AD0IN1 を変換対象とする AD0CSL0 : AD0IN0 を変換対象とする
AD0CEX	H'FFFE 7830	H'2008	IDE : AD0 データレジスタに識別子を付加する

6.2.3 フローチャート

図 6.5に 1 サイクルスキャンモードでの識別子付き A/D 変換動作例のフローチャートを示します。

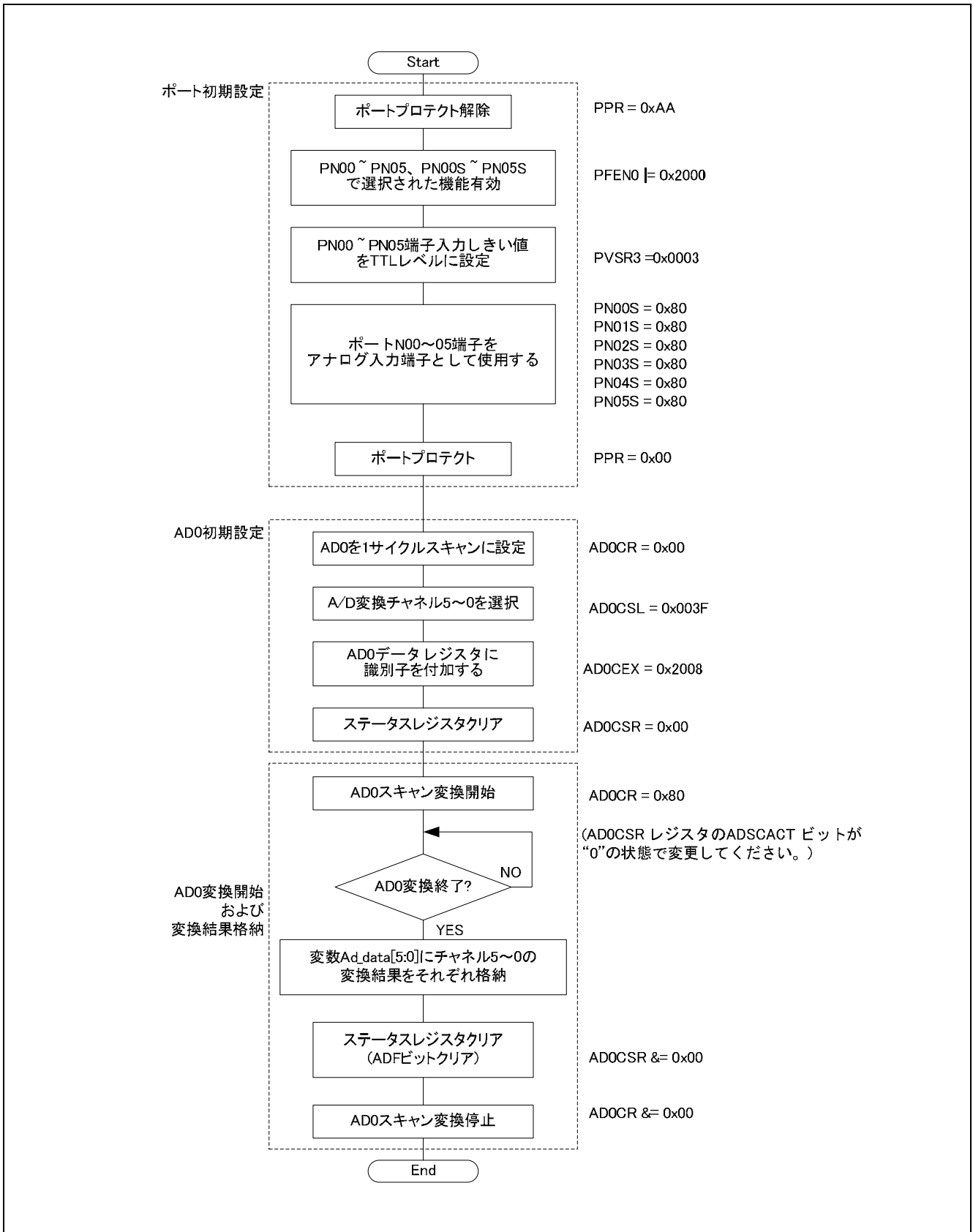


図 6.5 1 サイクルスキャンモードでの識別子付き A/D 変換動作設定例

## 7. 10ビットA/Dコンバータ(AD1)

SH72A0/A2は、逐次比較方式の10ビットA/Dコンバータを内蔵しています。A/Dコンバータは、独立した1つのモジュール(AD1)により構成されています。ソフトウェアにより、SH72A2グループは最大24チャンネル、SH72A0グループは最大8チャンネルのアナログ入力を選択することができます。

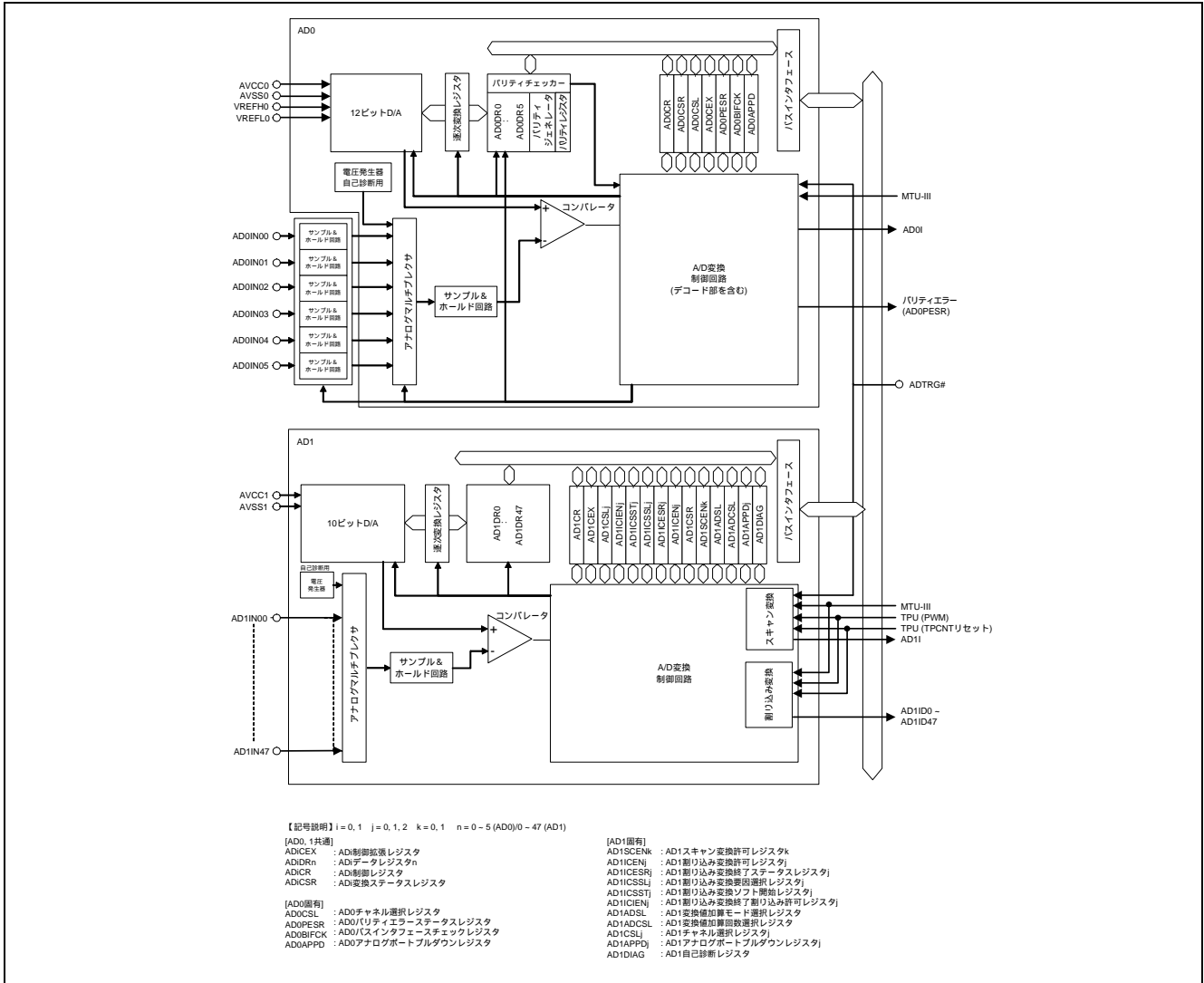


図 7.1 A/Dコンバータ(AD0~AD1)のブロック図

### 7.1 1サイクルスキャンモード機能

1 サイクルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。

1 サイクルスキャンモードの選択は、AD1CRレジスタのADCSビットを"0"にセットすることにより行います。

スキャン変換は、AD1はAD1IN00~AD1IN47のチャンネル番号の小さい順に実施されます。

1 サイクルスキャンの場合、選択したすべてのチャンネルを一とおりA/D変換(スキャン)するとAD<sub>i</sub>変換ステータスレジスタ(AD<sub>i</sub>CSR)のADFビットを"1"にセットし、ADSCACTビットが"0"にクリアされ、スキャン変換を終了します。

ADFビットは、各スキャンが終了するたびに"1"にセットされます。

ADFビットを"0"にクリアするときには、ADFビットが"1"の状態を読み出した後、"0"を書き込んでください。

### 7.1.1 応用例の説明

AD1IN04/05/16/17/24/28/30/31 を選択し、1 サイクルスキャンモードでスキャン変換を行う場合の動作例を次に示します。各チャンネルの変換結果は内蔵 RAM 領域(変数: Ad\_data[ i ])に格納します。

( 1 ) AD1 制御レジスタ(AD1CR)の ADCS ビットに"0"を設定します。

( 2 ) AD1 チャンネル選択レジスタ 0(AD1CSL0) の AD1CSL4、AD1CSL5 ビットにそれぞれ"1"を設定します。

( 3 ) AD1 チャンネル選択レジスタ 1(AD1CSL1) の AD1CSL16、AD1CSL17、AD1CSL24、AD1CSL28、AD1CSL30、AD1CSL31 ビットにそれぞれ"1"を設定します。

( 4 ) AD1 制御レジスタ(AD1CR) の ADST ビットに"1"をセットし、スキャン変換を開始します。すでに ADST ビットが"1"にセットされている場合は、一度"0"にクリアしてから"1"をセットします。この場合、一定時間(注 1) 以上の間隔を開けて、ADST ビットに"1"を書き込んでください。

注 1.

CKS = "0"時: 周辺バスクロック A の 2 サイクル分

CKS = "1"時: 周辺バスクロック A の 4 サイクル分

( 5 ) スキャン変換が開始すると、ADSCACT ビットが"1"にセットされます。次に AD1IN04 の A/D 変換が開始されます。A/D 変換が終了すると、A/D 変換値を AD1DR4 レジスタに転送します。

その後は、AD1IN05 AD1IN16...の順番で AD1IN04 と同じように順次処理されていきます。

( 6 ) 設定したすべてのチャンネル(AD1IN04/05/16/17/24/28/30/31) の A/D 変換値が AD1DRn レジスタに転送されると、ADF ビットが"1"にセットされます。また、ADSCACT ビットは"0"にクリアされ、スキャン変換が終了します。

( 7 ) AD1DR4/5/16/17/24/28/30/31 レジスタを読み出し、内蔵 RAM 領域(変数: Ad\_data[ i ])に格納します。

図 7.2に 1 サイクルスキャンモードの動作例を示します。

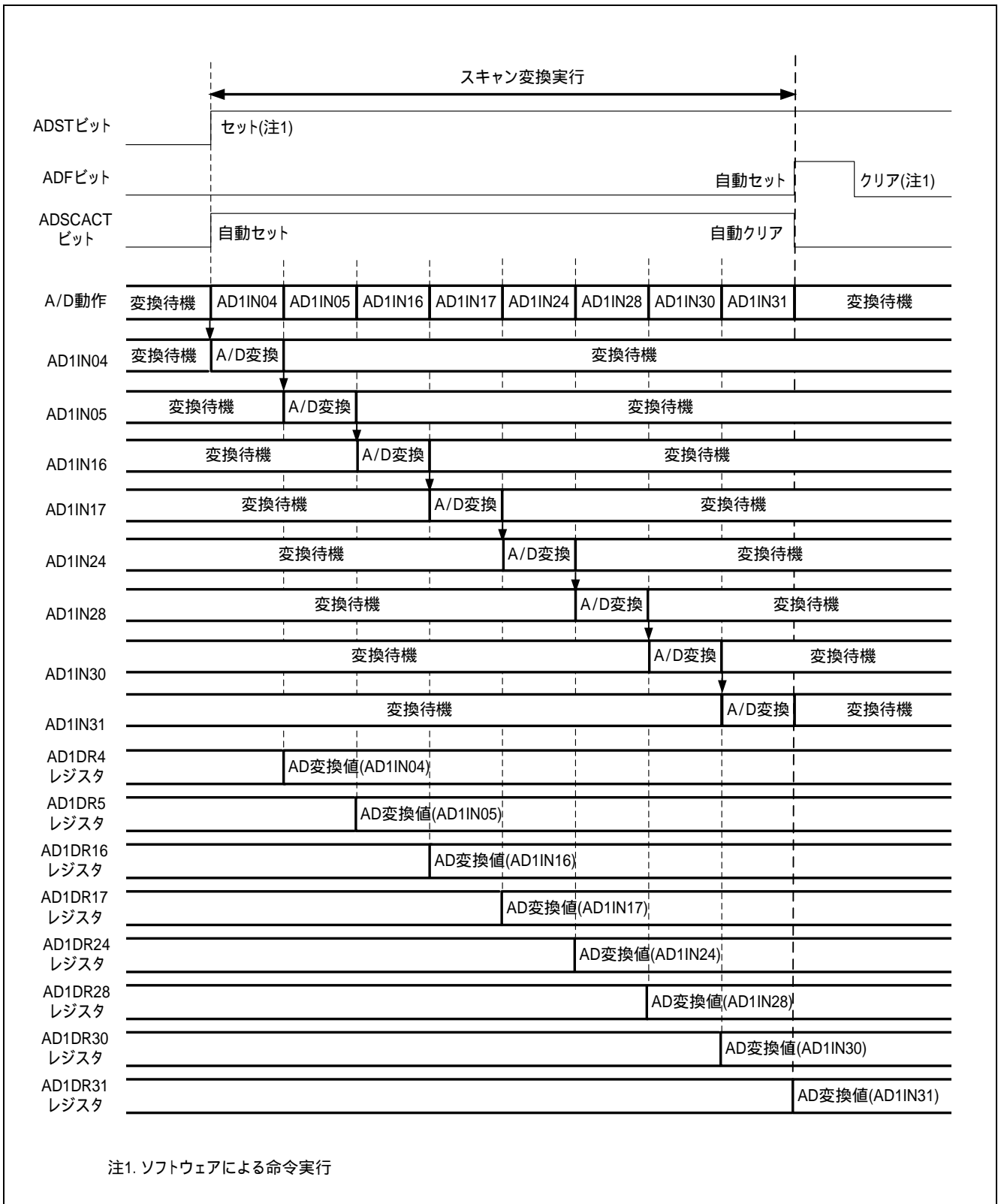


図 7.2 1 サイクルスキャンモードの動作例

7.1.2 レジスタ説明

1 サイクルスキャンモードでの A/D 変換機能で使用するレジスタの説明を以下に示します。

AD1 データレジスタ n (AD1DRn (n = 4,5,16,17,24,28,30,31))

AD1 データレジスタ n (AD1DRn) は読み出し専用で、アナログ入力(AD1INn) を A/D 変換した結果を格納します。

AD1 制御レジスタ (AD1CR)

スキャン変換の開始/ 停止を制御のほか、スキャン変換モードを選択や、A/D スキャン変換終了割り込み (AD1I) の発生を許可/ 禁止を設定します。また、外部トリガ(ADTRG# 端子)によるスキャン変換の許可/ 禁止および、スキャン変換のトリガソースを選択など、各種の A/D 変換動作を制御します。

AD1 チャンネル選択レジスタ 0/1 (AD1CSL0/1)

AD1CSL0/1 レジスタは、スキャン変換で変換するチャンネルを選択します。誤動作を防ぐために AD1CSL0/1 レジスタは、AD1CSR レジスタの ADSCACT ビットが"0" の状態で変更してください。

AD1 変換ステータスレジスタ (AD1CSR)

AD1CSR レジスタは、AD 変換器の状態を表すレジスタです。

AD1 開始トリガ選択レジスタ (AD1STRSL)

AD1STRSL レジスタは、AD1CR レジスタの TRGE ビットを"1" に設定し、かつ AD1CR レジスタの EXTRG ビットを"0" に設定した場合に、A/D 変換開始要因として使用する MTU-III の A/D 変換開始トリガを選択します。

表 7.1に関連レジスタの設定例を示します。

表 7.1 AD1 1 サイクルスキャンモード 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
AD1CR	H'FFFE 8000	H'00	ADST : スキャン変換停止 ADCS : 1 サイクルスキャンモード ADIE : スキャン変換終了後の ADI 割り込み発生の禁止 TRGE : 外部トリガまたは MTU-III のタイマトリガによるスキャン変換禁止 EXTRG : AD1 開始トリガ選択レジスタで選択されたタイマ要因によるスキャン変換を許可
AD1CSR	H'FFFE 8002	H'00	ADF : 1 スキャン終了フラグクリア
AD1CSL0	H'FFFE 8026	H'0030	AD1CSL5 : AD1IN5 を選択 AD1CSL4 : AD1IN4 を選択
AD1CSL1	H'FFFE 8026	H'D103	AD1CSL31 : AD1IN31 を選択 AD1CSL30 : AD1IN30 を選択 AD1CSL28 : AD1IN28 を選択 AD1CSL24 : AD1IN24 を選択 AD1CSL17 : AD1IN17 を選択 AD1CSL16 : AD1IN16 を選択

7.1.3 フローチャート

図 7.3に 1 サイクルスキャンモードでの A/D 変換動作例のフローチャートを示します。

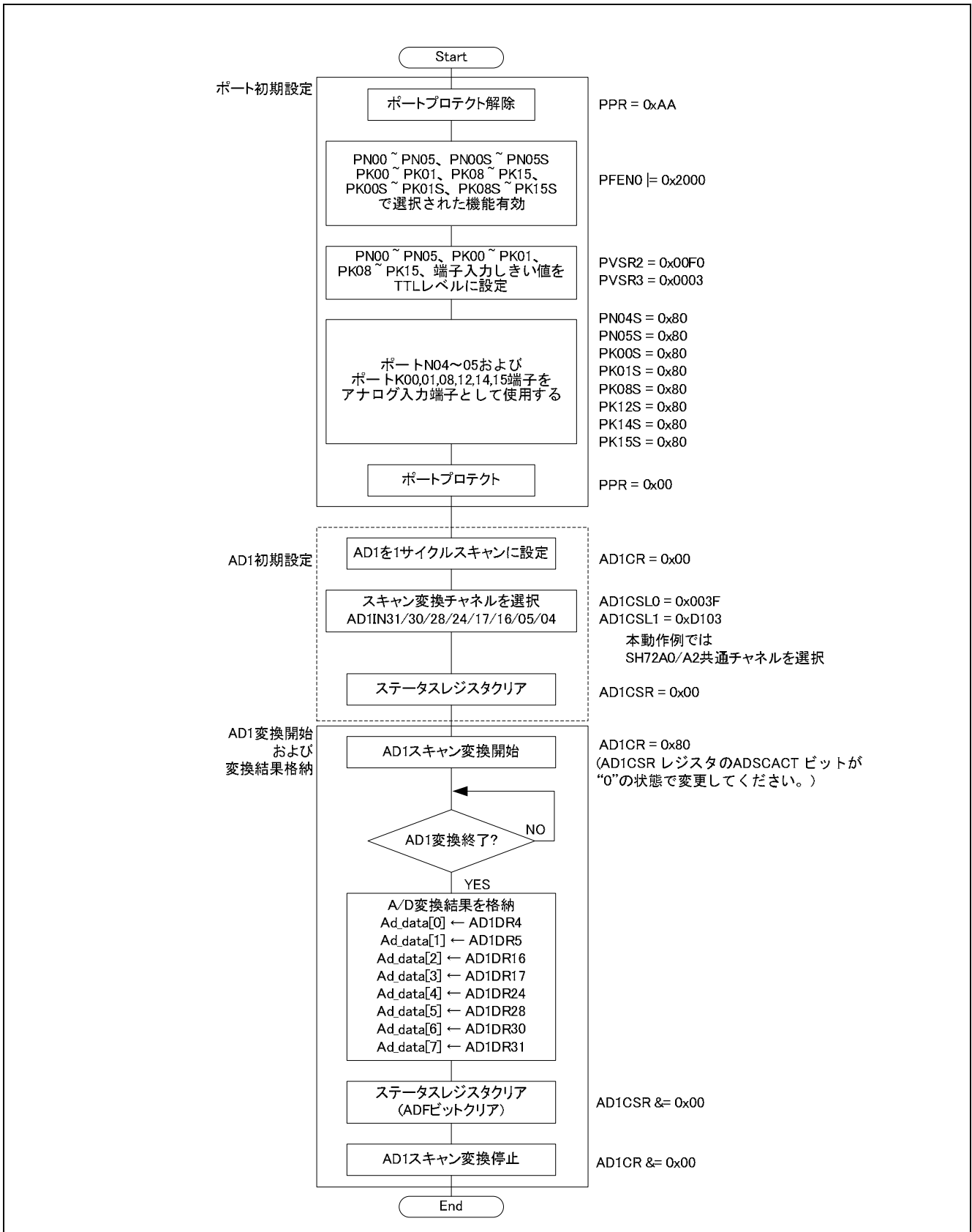


図 7.3 1 サイクルスキャンモードでの A/D 変換動作設定例

## 7.2 TPU(PWM)のタイマトリガ/TPCNT リセットによるスキャン変換の起動

AD1 制御レジスタ(AD1CR) の TRGE ビットを"1"、EXTRG ビットを"0" にセットすることで TPU (PWM) のタイマトリガ/TPCNT リセット/MTU-III のタイマトリガによって、スキャン変換を起動することができます。

この状態で TPU (PWM) のタイマトリガ/TPCNT リセット/MTU-III のタイマトリガが入ると、ADSCACT ビットを"1"にセットします。

ADSCACT ビットが"1"にセットされてからスキャン変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットが"0"の状態を"1"にセットされた場合と同じです。

また、途中でスキャン変換を停止させる場合は、一度 ADST ビットに"1"を書き込んでから"0"を書き込んでください。

A/D 変換の実行タイミングについては、次節 7.2.1 の図 7.4 A/D 変換タイミング生成機能の動作例を参照してください。

割り込み変換が競合した場合、優先順位に従って A/D 変換します。AD1 は、AD1IN00 > AD1IN01 > ... > AD1IN46 > AD1IN47 のように、優先順位は番号の小さいチャンネルが高くなります。ただし、あるチャンネル(AD1INi) の割り込み変換中に別のチャンネル(AD1INj、AD1INk) の割り込み変換要求が入った場合、優先順位にかかわらず途中で A/D 変換を中断しません。この場合には、A/D 変換中の AD1INi が終了した後に、処理されていない割り込み変換要求のあるすべてのチャンネル( この場合 AD1INj、AD1INk) を優先順位に従った順番で A/D 変換します。したがって、割り込み変換の優先順位は、次に処理する割り込み変換のチャンネルを決定するものです。一つのトリガソースで 2 チャンネルに対して割り込み変換要求を発生した場合や、複数のトリガソースが同時に割り込み変換要求を発生した場合にも、この優先順位に従った順番で A/D 変換します。

### 7.2.1 応用例の説明

TPU のユニット 3 のカウンタ TP3CNT のリセットによって、AD1 のスキャン変換を起動する場合の動作例を示します。図 7.4 に A/D 変換タイミング生成機能の動作例を示します。

TP3CR レジスタの TRS ビットが "B'100" に設定することで、TPU3 カウンタリセットレジスタ (TP3CNTRSE) の設定値と TP3CNT カウンタ値が一致すると、TP3CNT カウンタはリセットされます。この場合、TPU3 AD 変換/ワンショット出力制御レジスタ (TP3ADCR) の設定に関わらず、A/D コンバータへ A/D 変換トリガを出力します。

一方 AD1 レジスタでは、AD1 チャンネル選択レジスタ 0/1 (AD1CSL0/1) でスキャン変換を実行する AD のチャンネルを選択します。本動作例では SH72A0/A2 共に存在するチャンネルであるチャンネル 31、30、28、24、17、16、05、04 のスキャン変換を実行します。

TPU と AD1 の連携のための設定として、AD1SCEN0 レジスタの AD1SCEN15 ビットをセットし、TP3CNTRSE レジスタ設定によるリセット TPU3 のタイマトリガ (TP03A) からのスキャン変換要求を許可します。また、AD1 制御レジスタ (AD1CR) の TRGE ビットを "1"、EXTRG ビットを "0" にセットすることで TPU (PWM) のタイマトリガ/TPCNT リセット/MTU-III のタイマトリガによって、スキャン変換を起動するよう設定します。

TP3CNT カウント動作を開始し、TPU3 カウンタリセットレジスタ (TP3CNTRSE) の設定値と TP3CNT カウンタ値が一致すると、TP3CNT カウンタのリセットと同時に A/D 変換トリガ信号が発生します。これにより許可したチャンネルのスキャン変換が実行され、実行結果が AD1DR31、30、28、24、17、16、05、04 にそれぞれ格納されます。

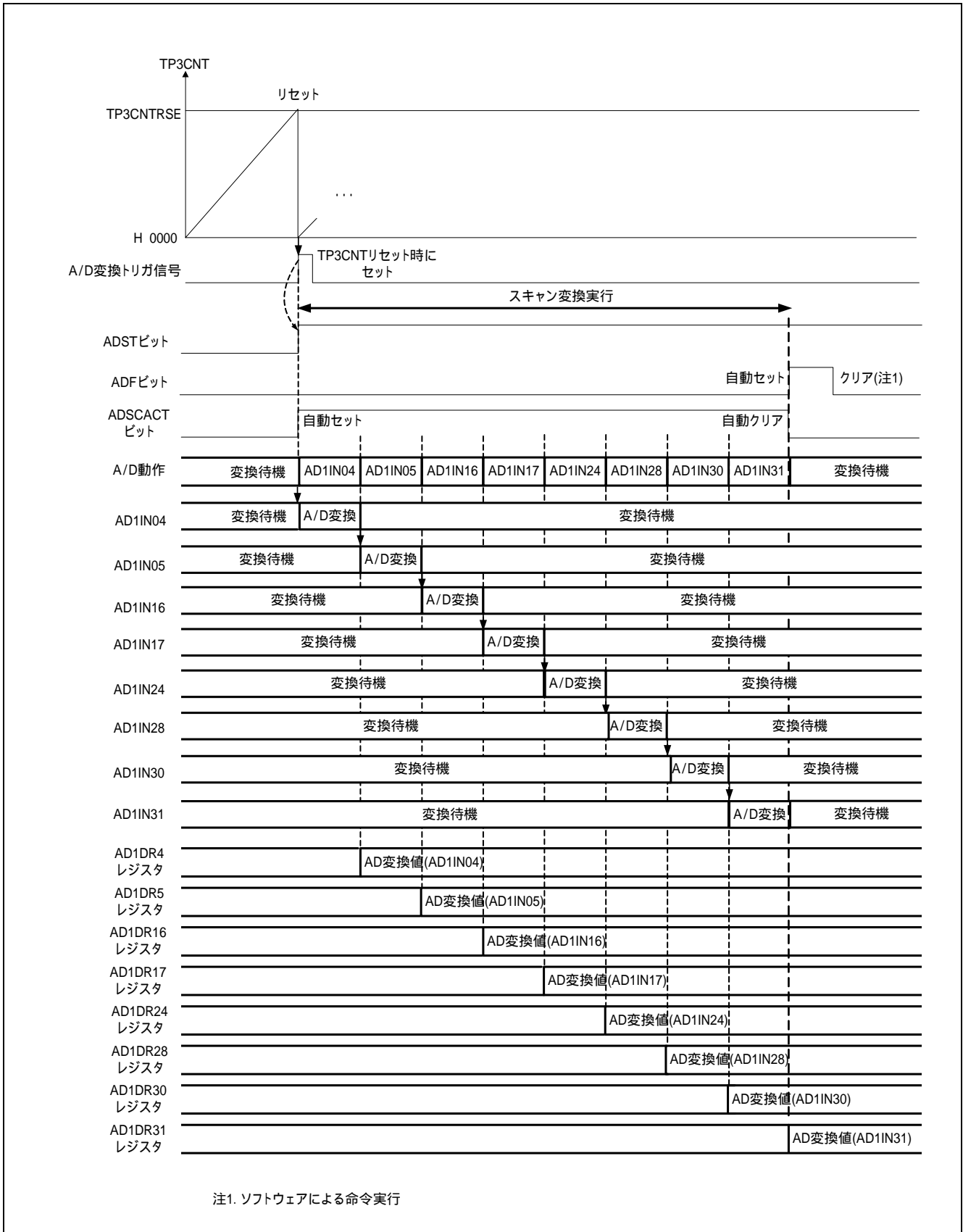


図 7.4 A/D 変換タイミング生成機能の動作例

他のトリガソースを選択する場合には、AD1 制御レジスタ(AD1CR)の TRGE ビットによるトリガソースの変更と、選択したトリガソースモジュールの動作設定を行ってください。

AD1SCEN1,0 レジスタの AD1SCEN31 ~ 1 ビットとスキャン要求トリガソースの対応については表 7.2を参照してください。

表 7.2 AD1SCENn ビットとスキャン要求トリガソースの対応

レジスタ名	ビット名	AD1SCEN ビットに対応するスキャン変換トリガ
AD1SCEN1	AD1SCEN31	MTU-III タイマトリガ(TRG0N)
	AD1SCEN30	MTU-III タイマトリガ(TRGA7N)
	AD1SCEN28	MTU-III タイマトリガ(TRGA4N)
	AD1SCEN24	MTU-III タイマトリガ(TRGA0N)
	AD1SCEN16	TPU(PWM)タイマトリガ(TP4CNT リセット)
AD1SCEN0	AD1SCEN4	TPU(PWM)タイマトリガ(TP04A)

## 7.2.2 レジスタ説明

TPU(PWM)のタイマトリガによるスキャン変換起動で使用するレジスタの説明を以下に示します。

### AD1 データレジスタ n (AD1DRn (n = 4,5,16,17,24,28,30,31))

AD1 データレジスタ n (AD1DRn) は読み出し専用で、アナログ入力(AD1INn) を A/D 変換した結果を格納します。

### AD1 制御レジスタ (AD1CR)

スキャン変換の開始/ 停止を制御のほか、スキャン変換モードを選択や、A/D スキャン変換終了割り込み (AD1I) の発生を許可/ 禁止を設定します。また、外部トリガ(ADTRG# 端子)によるスキャン変換の許可/ 禁止および、スキャン変換のトリガソースを選択など、各種の A/D 変換動作を制御します。

### AD1 チャンネル選択レジスタ (AD1CSL0/1)

AD1CSL0/1 レジスタは、スキャン変換で変換するチャンネルを選択します。誤動作を防ぐために AD1CSL0/1 レジスタは、AD1CSR レジスタの ADSCACT ビットが"0" の状態で変更してください。

### AD1 変換ステータスレジスタ (AD1CSR)

AD1CSR レジスタは、AD 変換器の状態を表すレジスタです。

### TPU3 制御レジスタ (TP3CR)

TP3CR レジスタは TP3CNT カウンタを制御します。TP3CR レジスタの設定は、TP3CNT カウンタの動作が停止した状態で行ってください。

### TPU3 モードレジスタ(TP3MD)

TP3MD レジスタは、動作モードを設定します。TP3MD レジスタの設定は、TP3CNT カウンタの動作が停止した状態で行ってください。

### TPU3AD 変換/ワンショット出力制御レジスタ (TP3ADCR)

TP3ADCR レジスタは、A/D 変換トリガ機能、ワンショット出力機能の使用を選択します。

### TPU3 カウンタリセットレジスタ(TP3CNTRSE)

TP3CR レジスタの TRS ビットが"B'100" の場合、TP3CNTRSE レジスタの設定値と TP3CNT カウンタ値が一致すると、TP3CNT カウンタはリセットされます。このとき、TP3ADCR レジスタの設定に関わらず、A/D コンバータへ A/D 変換トリガを出力します。

### TPU3 カウント開始レジスタ(TP3CSTR)

TP3STR レジスタは、TP3CNT カウンタの動作/ 停止を選択します。

表 7.3に関連レジスタの設定例を示します。

表 7.3 TPU(PWM)のタイマトリガによるスキャン変換起動 関連レジスタの設定例

レジスタ名	アドレス	設定値	機能
TP3CR	H'FFFE 4300	H'81	TRS[2:0] : TP3CNTRSE レジスタ設定によるリセット CES[1:0] : 立ち上がりエッジでカウント CSS[2:0] : 周辺バスクロック A の 4 分周でカウント
TP3MD	H'FFFE 4301	H'C0	GR3FS : TP3GR3 レジスタをインプットキャプチャ/ アウトプットコンペアで使用する GR2FS : TP3GR2 レジスタをインプットキャプチャ/ アウトプットコンペアで使用する MD[2:0] : タイマモードに設定
TP3CNT	H'FFFE 4304	H'0000	初期値
TP3GR0	H'FFFE 4306	H'1000	コンペアマッチ周期
TP3ADCR	H'FFFE 4334	H'01	ADTE0 [1:0] : A/D 変換トリガ機能を使用する
TP3CNTRSE	H'FFFE 433E	H'1FFF	TP3CNT リセット周期
TP3CSTR	H'FFFE 4350	H'08	CST3 : TP3CNT カウント動作開始
AD1CR	H'FFFE 8000	H'02	ADST : スキャン変換停止 ADCS : 1 サイクルスキャンモード ADIE : スキャン変換終了後の ADI 割り込み発生の禁止 TRGE : 外部トリガまたは TPU(PWM)のタイマトリガ/ TPCNT リセット/MTU-III のタイマトリガによるスキャン 変換を許可 EXTRG : AD1 開始トリガ選択レジスタで選択された タイマ要因によるスキャン変換を選択
AD1CSR	H'FFFE 8002	H'00	ADF : 1 スキャン終了フラグクリア
AD1CSL0	H'FFFE 8026	H'0030	AD1CSL5 : AD1IN5 を選択 AD1CSL4 : AD1IN4 を選択
AD1CSL1	H'FFFE 8028	H'D103	AD1CSL31 : AD1IN31 を選択 AD1CSL30 : AD1IN30 を選択 AD1CSL28 : AD1IN28 を選択 AD1CSL24 : AD1IN24 を選択 AD1CSL17 : AD1IN17 を選択 AD1CSL16 : AD1IN16 を選択
AD1SCEN0	H'FFFE 802C	H'8000	AD1SCEN15 : TPU (PWM)のタイマトリガ/TPCNT リセットからのスキャン変換要求許可

7.2.3 フローチャート

図 7.5に TPU(PWM)のタイマトリガによるスキャン変換起動設定例のフローチャートを示します。

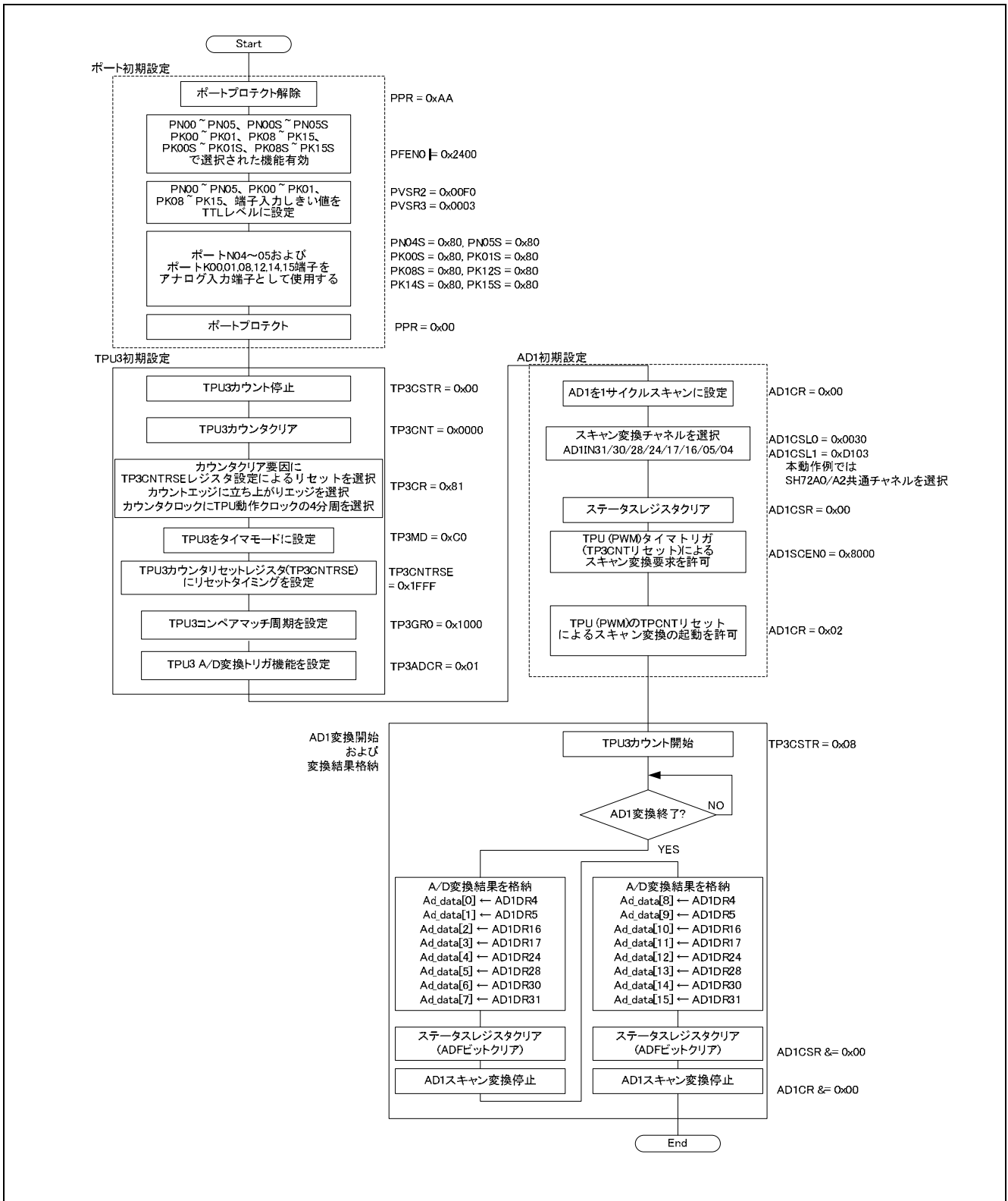


図 7.5 TPU(PWM)のタイマトリガによるスキャン変換起動設定例

## 8. メモリプロテクションユニット(MPU)

SH72A0/A2 には、メモリプロテクションユニット(MPU) が内蔵されており、バスマスタ(CPU、DMAC) ごとに、全アドレス空間(H'0000 0000 ~ H'FFFF FFFF) に 16 の領域を設定し、領域ごとに保護属性を設定することができます。各領域の保護属性は、読み出し許可/ 禁止、書き込み許可/ 禁止、命令実行許可/ 禁止(CPU のみ)をサポートしています。

MPU は特定ソフトウェアがアクセスしてはならない記憶領域にアクセスしていないかを判定する機能です。本機能により、システムの安全性を高めることができます。

### 8.1 保護属性の設定

領域 0~3 にそれぞれ個別の保護属性を設定し、属性違反時の動作を検証するための設定例について以下説明します。

#### 8.1.1 応用例の説明

本動作例では CPU 用 MPU を使用し、領域 0~3 にそれぞれ個別の保護属性を設定します。保護属性に従った動作確認を行うため、設定完了後にプログラムで意図的に各領域の属性違反を実行することでエラー割り込みを発生させます。このため各領域範囲は確認用プログラムの該当処理前後を設定しています。

なお、DMAC 用 MPU を使用する際には CPU 用 MPU レジスタの代わりに、DMAC 用 MPU レジスタを設定してください。

図 8.1に MPU 保護属性設定領域とアドレス空間を示します。

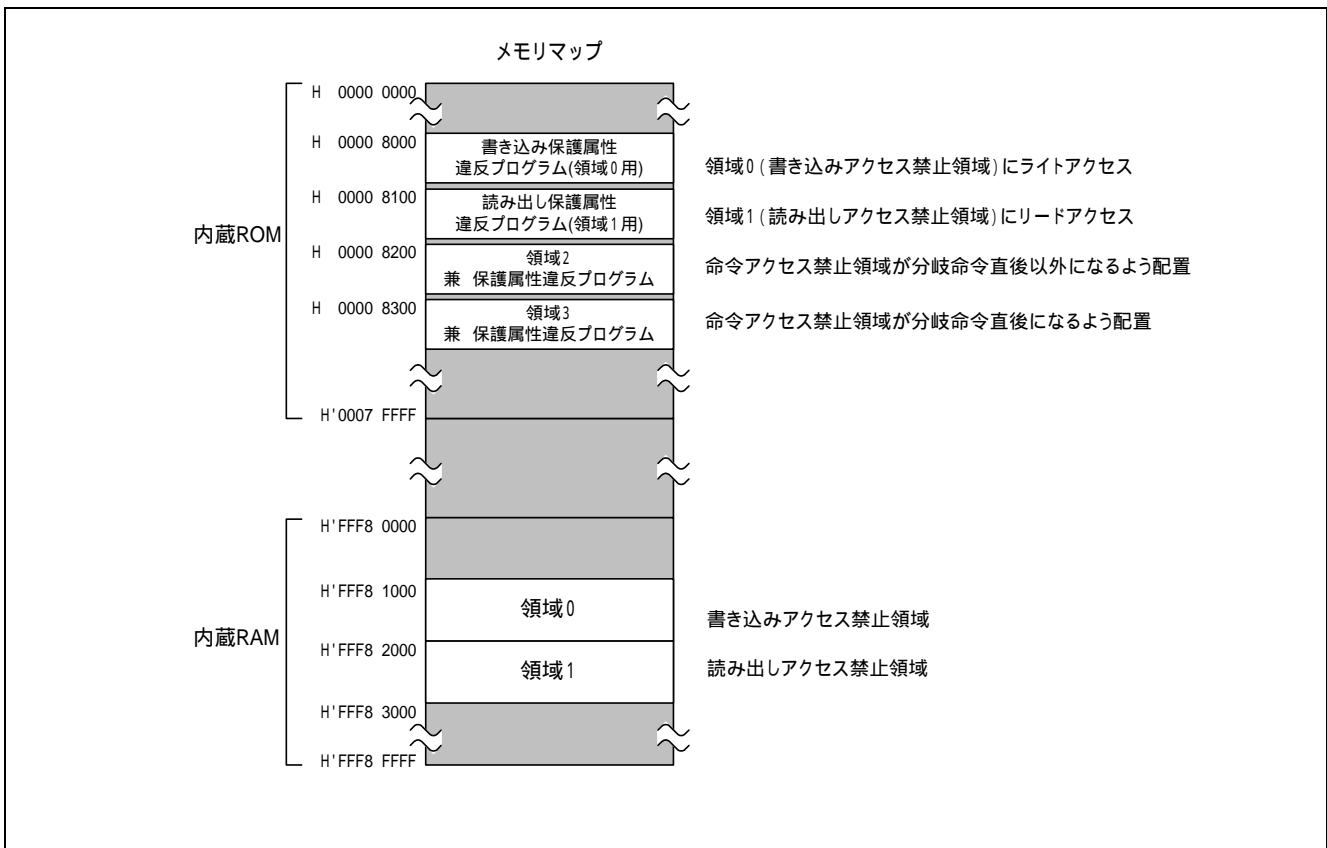


図 8.1 MPU 保護属性設定領域とアドレス空間

なお、内蔵 ROM 上の各違反プログラム先頭にはプロテクト解除処理を配置しています。MPCMPEN レジスタの MPEN ビットを"1"にすることで、MPU レジスタはプロテクトされ、CPU 用 MPU が有効になります。ただし、CPU は命令の先読みを行っているため、CPU 用 MPU を有効にする(MPCMPEN レジスタの MPEN ビットを"1"にする) 命令より後にある数命令は、MPU が無効のときに CPU に読み込まれた命令になります。MPU の設定と CPU の動作の整合性をとる必要があります。

注意事項として、すべての MPU のレジスタは、CPU 用 MPU によるアクセス保護の対象になります。したがって、CPU 用 MPU のレジスタのアドレスや DMAC 用 MPU のレジスタのアドレスを含む領域の保護属性を CPU からの書き込みアクセス禁止に設定すると、CPU 用 MPU のレジスタや DMAC 用 MPU のレジスタの設定変更ができなくなりますので、ご注意ください。

### 8.1.2 レジスタ説明

#### MPUC 有効レジスタ (MPCMPEN)

MPCMPEN レジスタは CPU 用 MPU の有効/無効を設定します。また、CPU 用 MPU のレジスタを簡単に書き換えられないように保護するレジスタプロテクト機能を設定します。

#### MPUC バックグラウンド領域アクセス制御レジスタ (MPCACBCR)

MPCACBCR レジスタは CPU 用 MPU のバックグラウンド領域の読み出し・書き込み・命令アクセスの許可/禁止を設定します。

#### MPUC エラーステータスクリアレジスタ (MPCECLR)

MPCECLR レジスタは MPCESR、MPCHITI、MPCHITO レジスタのすべてのビットを"0"にします。

#### MPUC 領域サーチアドレスレジスタ (MPCRSADR)

MPCRSADR レジスタは領域サーチオペレーションで、CPU 用 MPU の各領域の開始アドレス、終了アドレスと比較するアドレスを設定します。

#### MPUC 領域サーチオペレーションレジスタ (MPCRSOP)

MPCRSOP レジスタは MPCRSADR レジスタで指定したアドレスが含まれる CPU 用 MPU の領域をサーチします。サーチ結果は、MPCHITO レジスタに格納されます。

#### MPUC 領域 n 開始アドレスレジスタ (MPCSADR<sub>n</sub>) (n=0~2)

MPCSADR<sub>n</sub> レジスタは CPU 用 MPU の領域 n の開始アドレスの上位 30 ビットを設定します。

#### MPUC 領域 n 終了アドレスレジスタ (MPCEADR<sub>n</sub>) (n=0~2)

MPCEADR<sub>n</sub> レジスタは CPU 用 MPU の領域 0 の終了アドレスの上位 30 ビットを設定します。

#### MPUC 領域 n アクセス制御レジスタ (MPCACR<sub>n</sub>) (n=0~2)

MPCACR<sub>n</sub> レジスタは CPU 用 MPU の領域 0 の読み出し・書き込み・命令アクセスの許可/禁止を設定します。

MPCMPEN、MPCECLR、MPCRSADR、MPCRSOP、MPCSADR<sub>n</sub>、MPCEADR<sub>n</sub>、MPCACR<sub>n</sub>

レジスタの値を変更する場合は、MPCMPEN レジスタでプロテクトを解除してから変更してください。

8.1.3 フローチャート

図 8.2に CPU 用 MPU の設定手順のフローチャートを示します。

なお、本応用例でのサンプルプログラムでは、プロテクト後にインラインアセンブラで記述したプログラムで意図的に保護属性違反を発生させ、割り込みを発生させ、エミュレータ上で期待通りの割り込みの発生と、期待値通りの値であることを確認しています。

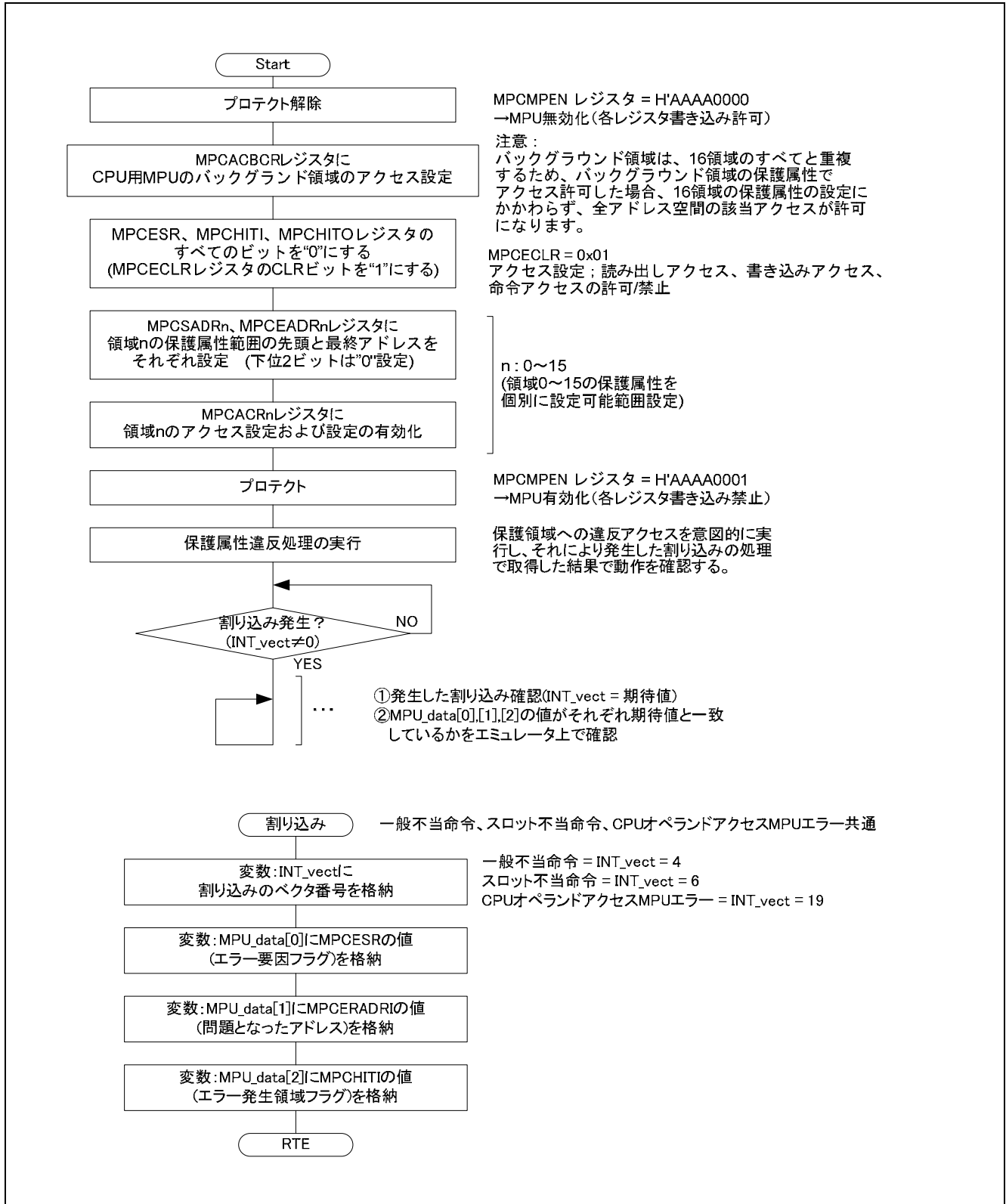


図 8.2 CPU 用 MPU の設定例

## 8.2 MPU エラー(CPU)

図 8.3に MPU エラー(CPU)を示します。CPU のオペランドアクセスが、アクセス対象の領域に設定されている保護属性に違反した場合、CPU オペランドアクセス MPU エラーが発生します。MPU エラーが発生したアクセスが書き込みアクセスの場合、書き込み処理は実行されません。MPU エラーが発生したアクセスが読み出しアクセスの場合、不定値が読み出しデータとして CPU に返ります。MPU エラーの要因は、MPCESR レジスタに、MPU エラーが発生したオペランドアクセスのアドレスは、MPCERADRO レジスタに、MPU エラーが発生した領域の情報は、MPCHITO レジスタに格納されます。これらのレジスタに格納される MPU エラーの情報は、MPCECLR レジスタの CLR ビットを"1"にし、MPCESR レジスタの RER、WER フラグが"0"になった後、最初に発生した CPU オペランドアクセス MPU エラーの情報になります。

また、CPU が命令実行禁止に設定されている領域の命令をデコードすると、CPU 命令アクセス MPU エラーが発生します。MPU エラーの要因は、MPCESR レジスタに、MPU エラーが発生した命令アクセスのアドレスは、MPCERADRI レジスタに、MPU エラーが発生した領域の情報は、MPCHITI レジスタに格納されます。これらのレジスタに格納される MPU エラーの情報は、MPCECLR レジスタの CLR ビットを"1"にし、MPCESR レジスタの RER、WER、IER フラグが"0"になった後、最初に発生した CPU 命令アクセス MPU エラーの情報となります。

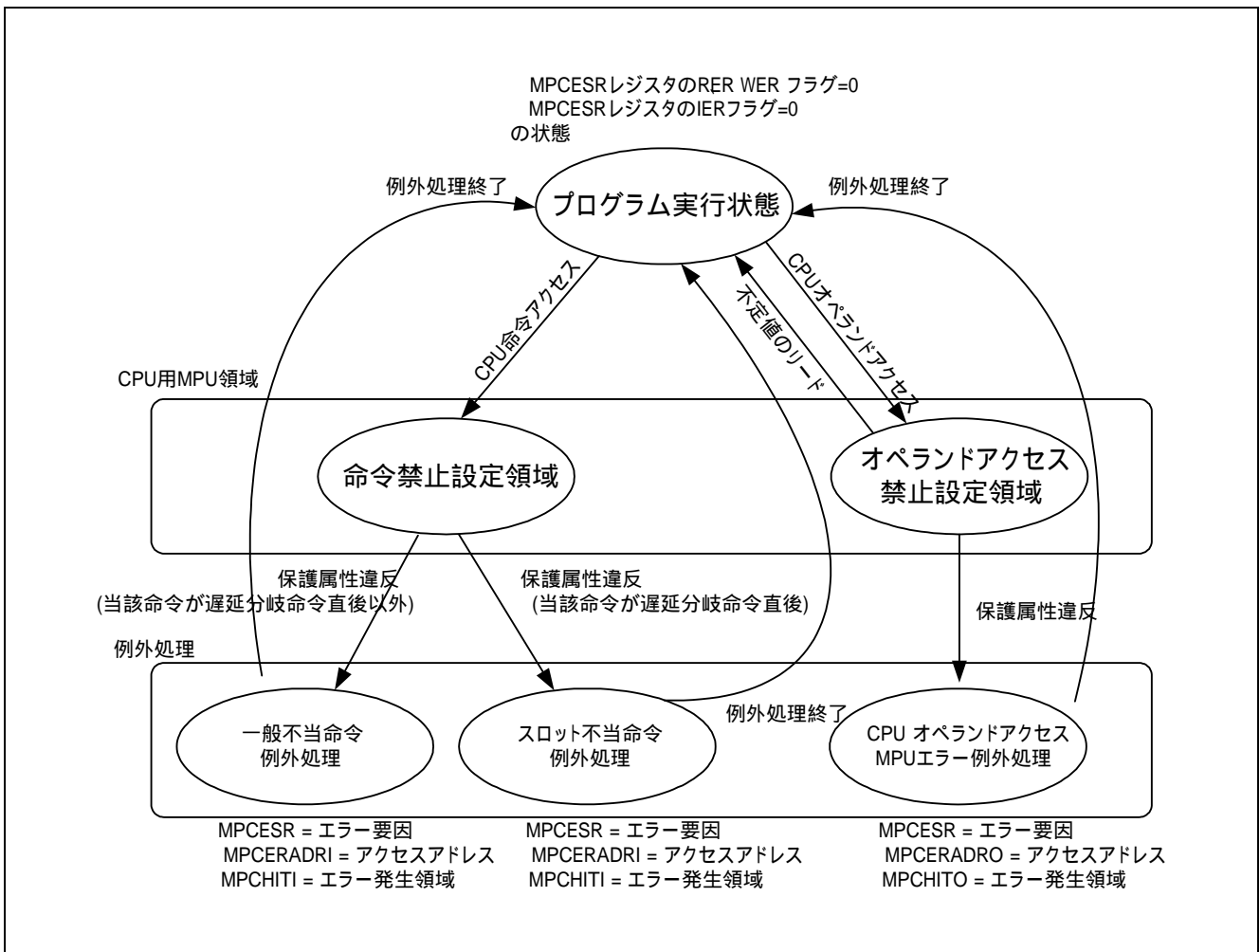


図 8.3 MPU エラー(CPU)

### 8.3 サンプルソフト説明

サンプルソフトを使用した属性違反の確認方法について説明します。

図 8.4 はサンプルソフトの、MPU の保護領域 1 で CPU のオペランドアドレス禁止領域へのアクセスが行われた場合の MPU 動作の設定と確認を行っている箇所を抜粋したものです。

<pre> MPU.MPCMPEN.LONG = 0xAAAA0000;  /* 保護属性の設定 */ MPU.MPCACBCR.BYTE = 0x06; MPU.MPCECLR.BYTE = 0x01;  /* 領域1を設定 */ MPU.MPCSADR1.LONG = 0xFFF82000; MPU.MPCEADR1.LONG = 0xFFF82FFC; MPU.MPCACR1.BYTE = 0x07;  mpu_test1();  /* 結果確認 */ while( INT_vect!=19 ); while( MPU.MPCESR.BYTE != 0x00000008); while( MPU.MPCERADRO.LONG != 0xFFF82000); while( MPU.MPCHITO.LONG != 0x00020006); </pre>	<pre> [address : 00008100] void mpu_test1(void) {     MOV.L #H'FFF78000,R0     MOV.L #H'AAAA0001,R1     MOV.L R1,@R0     NOP     NOP     NOP     NOP     NOP     NOP     BRA      test1     NOP  test1:     MOV.I20 #H'FFF82000,R0 ; Set Area1 address     MOV.B @R0,R1          ; Read } [address : 00008124] </pre>
--	---

図 8.4 MPU 保護領域 1 での MPU 動作確認プログラム例

MPU の設定を行うために、MPU の動作を停止します。

保護属性を設定します。CPU 用 MPU のバックグラウンド領域への読み出しアクセスを禁止し、エラーフラグをクリアします。

MPU 保護領域 1 を 0xFFF82000 ~ 0xFFF82FFC に設定し、読み出し禁止に設定します。

MPU の動作を許可します。

保護領域 1 に設定したアドレスへのアクセスが行われ、エラー要因、エラーアドレス、エラー領域がセットされます。(MPCESR、MPCERADRO、MPCHITO に値がセットされる)

結果を確認します。保護領域へのアクセスにより、CPU オペランドアクセス MPU エラー割り込みが発生していることを確認します。(INT\_vect)

エラー要因が保護領域へのリード命令の実行であることを確認します(MPCESR)。

エラーの発生したアドレスが mpu\_test1 でアクセスした箇所であることを確認します。(MPCERADRO)

オペランドアクセスエラーが、MPU 保護領域 1 で発生していることを確認します。(MPCHITO)

以上のように、チェックしたい保護領域、保護属性の設定と確認を行うことができます。

## 注意事項：

MPCMPEN レジスタの MPEN ビットを"1" にすることで、CPU 用 MPU が有効になります。ただし、CPU は命令の先読みを行っているため、CPU 用 MPU を有効にする(MPCMPEN レジスタの MPEN ビットを"1" にする) 命令より後にある数命令は、MPU が無効のときに CPU に読み込まれた命令になります。MPU の設定と CPU の動作の整合性をとる必要があります。MPU 動作を確認するためには、保護属性を MPU バックグラウンド領域アクセス制御レジスタの MPCACBCR で設定します。

図 8.5 に CPU 用 MPU の有効設定プログラム例を示します。

MOV.L	#H' FFF7 8000, R0	; R0 = MPCMPENレジスタのアドレス	
MOV.L	#H' AAAA 0001, R1	; R1 = MPCMPENレジスタへの書き込みデータ	
MOV.L	R1, @R0	; MPCMPENレジスタのMPENビットに"1"を設定	
NOP			} この領域は命令実行禁止に設定しない
NOP			
NOP		;5個以上のNOPを実行	
NOP			
NOP			
BRA	L1	;分岐命令を実行	
NOP ;			
:			
L1:			
:			

図 8.5 CPU 用 MPU の有効設定のプログラム例

## 9. EEPROM

SH72A0/A2 には 32K バイトのデータ格納用のフラッシュメモリ(EEPROM) を内蔵しています。

表 9.1に EEPROM の仕様を示します。

表 9.1 EEPROM の仕様

項目	仕様
フラッシュメモリマップ	データマップ：32K バイト 製品情報マップ：128 バイト
読み出し	データマップ、製品情報マップともに、周辺バス A 経由の読み出しが可能 バイトアクセス時：CPU クロックの 5 サイクル ワードアクセス時：CPU クロックの 9 サイクル
書き込み/消去方式	周辺バス A 経由で ROM/EEPROM 専用のシーケンサ(FCU)にコマンドを発行することにより、データマップの書き込み/消去を実行可
書き込み/消去単位	書き込み単位：8 バイトまたは 128 バイト(ユーザモード、ユーザプログラムモード、ユーザブートモード) 256 バイト(ブートモード) 消去単位：ブロック単位(2K バイト)
ブランクチェック機能	EEPROM が消去状態(ブランク状態)であるかどうかを確認可能
オンボードプログラミングモード	3 種類(ブートモード、ユーザプログラムモード、ユーザブートモード)
プロテクトモード	ソフトウェアプロテクト
書き込み時間/消去時間/ 書き換え回数	SH72A2 グループ、SH72A0 グループユーザーズマニュアル ハードウェア編「30. 電気的特性」を参照

### 9.1 EEPROM 書き換え動作

SH72A0/A2 内蔵 EEPROM への書き込み/消去を専用シーケンサ(FCU)へのコマンド発行で行います。EEPROM へ書き込む値は、予めタスク内で用意されている値を用います。

#### 9.1.1 応用例の説明

FCU に対してブランクチェックコマンドを発行し、EEPROM 領域にデータが書き込まれているか確認を行います。対象の領域にデータが書き込まれていた場合、消去動作を行うブロックイレイズコマンドを発行し、対象のデータブロックを消去します。また、FCU のエラーを検出するために、FCU にコマンドを発行した後にエラーフラグを確認しています。

以下 EEPROM 書き換えについて各手順の流れを説明します。

#### ( 1 ) EEPROM 書き込み全体の流れ

図 9.1の流れに沿って、EEPROM への書き込みを行います。EEPROM の消去状態の如何に関わらず、ブランクチェックコマンドで確認を行ってください。

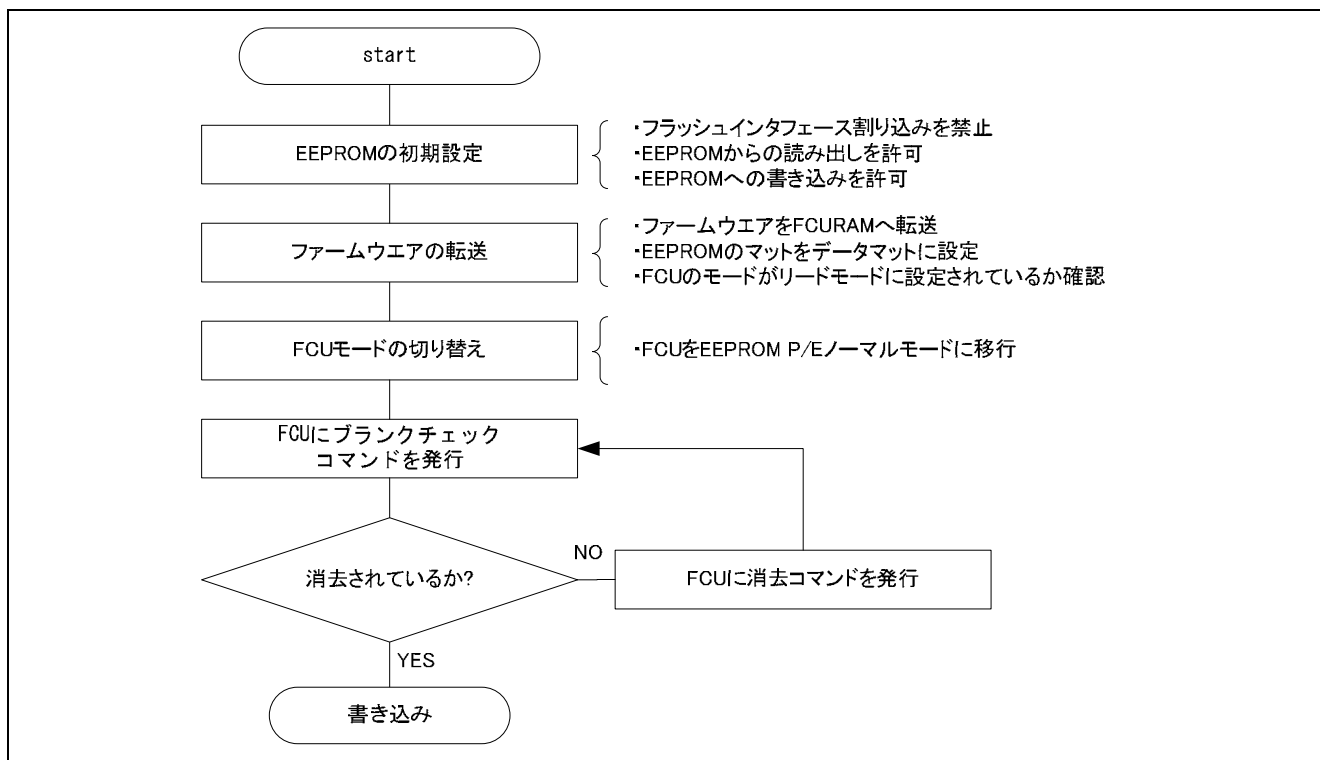


図 9.1 EEPROM ブランクチェックから書き込みへの流れ

## (2) 各動作の流れ

本タスク例では、以下の手順で EEPROM の書き込みを行います。

## EEPROM の初期設定

EEPROM の書き込み/消去、読み出しプロテクト解除を設定します。

## FCU ファームウェアの転送

- 1:FCURAM へアクセスするために FCURAME に 1 をセットし、FCURAM 領域のアクセスを許可します。
- 2:ROM 上の FCU ファーム領域から FCURAM 領域へ FCU 用ファームウェアを転送します。

図 9.2に FCU ファームウェア転送のイメージ図を示します。

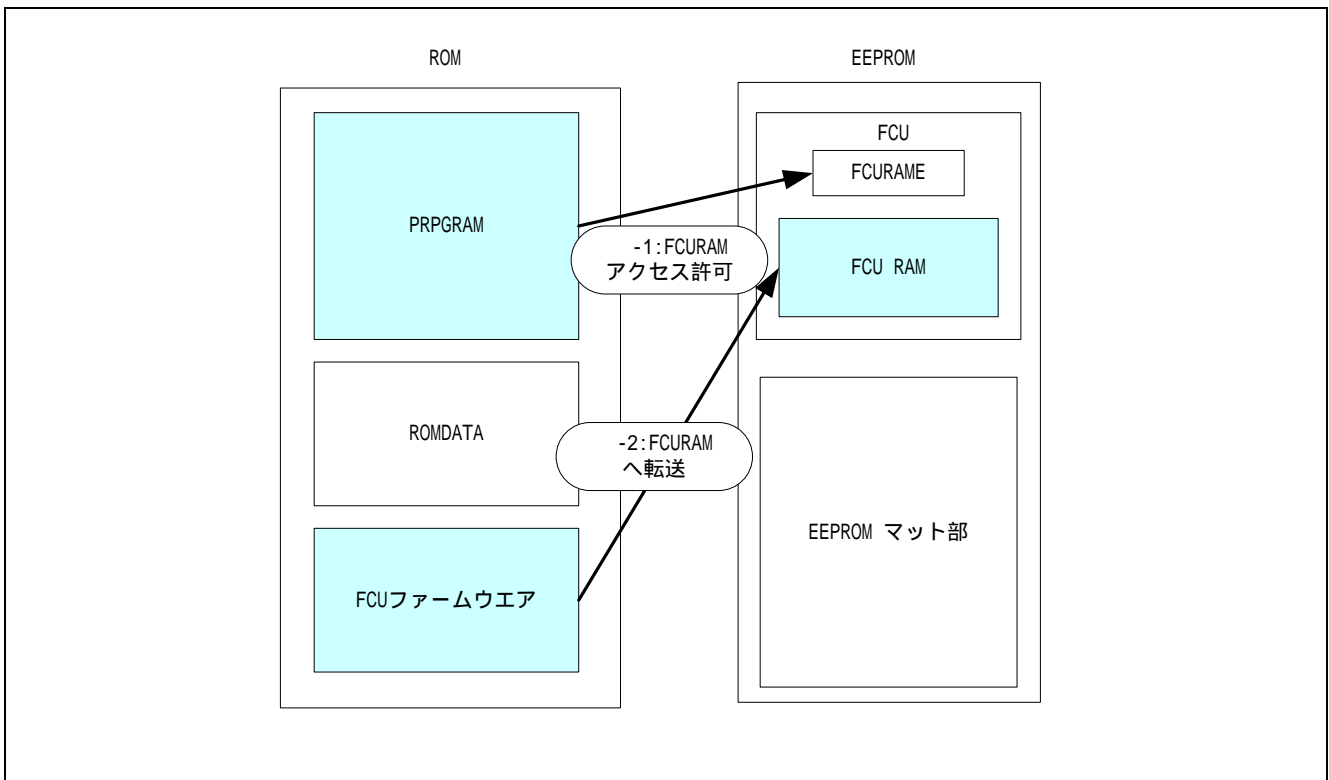


図 9.2 FCU ファームウェア転送のイメージ図

## FCU のモード変更

FCU がコマンドの受付を可能にするために、FENTRYR レジスタを設定して FCU のモードを初期値の ROM/EEPROM リードモードから EEPROM P/E ノーマルモードへ移行します。これ以降、FCU コマンドを発行することが可能になります。

## データマットのブランクチェック

- 1:表 9.2に示した順で FCU にブランクチェックコマンドを発行します。
- 2:FCU が正常にプログラムコマンドを受けると、コマンドが発行されたアドレス領域のブランクチェック処理を実行します。
- 3:対象領域のブランクチェックの結果がブランクチェックステータスレジスタ内のブランクチェックステータスビット(BCST)にセットされます。

図 9.3にブランクチェックのイメージ図を示します。

表 9.2 ブランクチェックコマンド発行シーケンス

コマンド サイクル	アドレス	データ	アクセスサイズ	説明
1	H'80102000*1	H'71	バイト	ブランクチェックコマンド
2	H'80102000*1	H'D0	バイト	FCU 動作開始

\*1:ブランクチェックする EEPROM Block 内の任意のアドレス

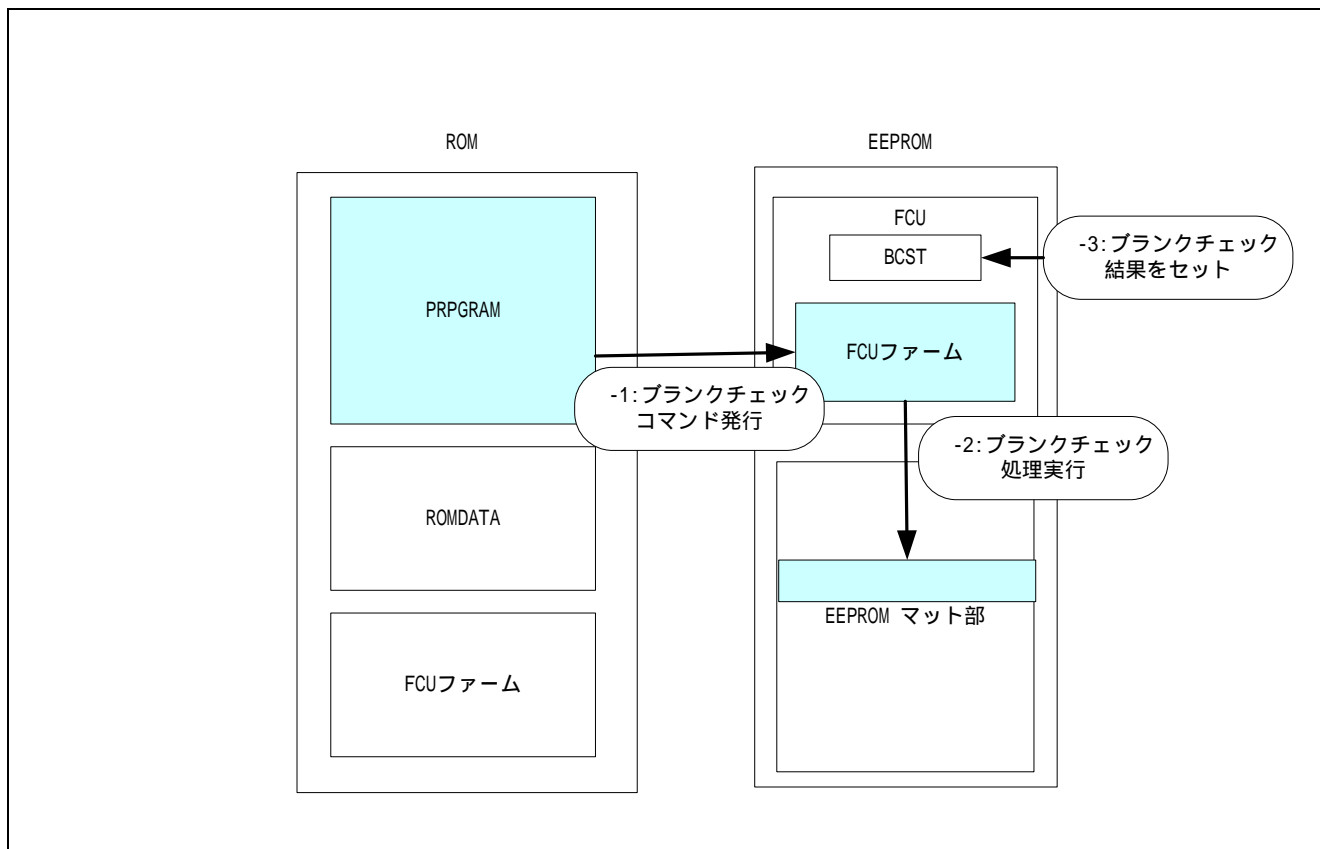


図 9.3 ブランクチェックのイメージ図

データマットのブロック消去

-1:表 9.3に示した順でFCU にブロックイレーズコマンドを発行します。

-2:FCU が正常にプログラムコマンドを受けると、コマンドが発行されたアドレス領域の消去処理を行います。消去処理が行われている間はFRDY が自動的に0にクリアされます。

-3:消去処理が終了するとFRDY に1がセットされます。

図 9.4にブロック消去のイメージ図を示します。

表 9.3 ブロックイレーズコマンド発行シーケンス

コマンド サイクル	アドレス	データ	アクセスサイズ	説明
1	H'80102000*1	H'20	バイト	ブロックイレーズコマンド
2	H'80102000*1	H'D0	バイト	FCU 動作開始

\*1:消去する EEPROM Block 内の任意のアドレス

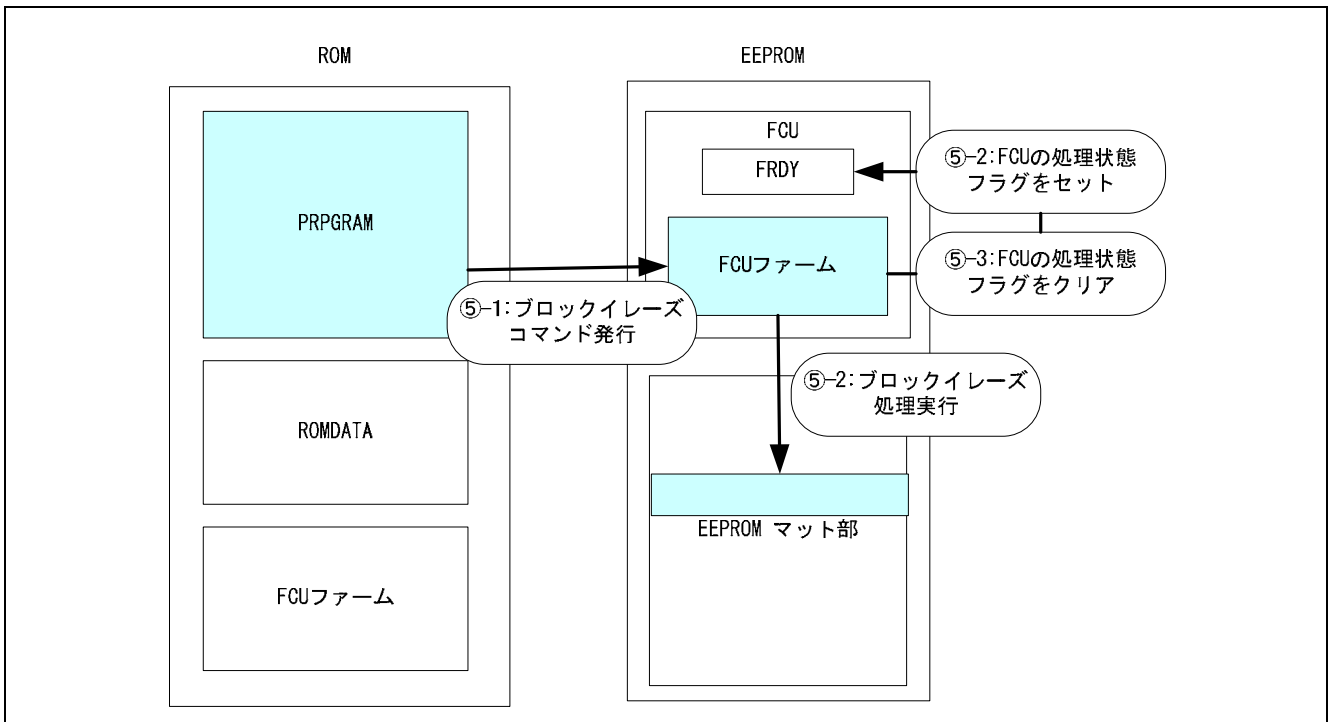


図 9.4 ブロック消去のイメージ図

プログラムコマンドの発行による、書き込み対象領域へのデータ書き込み

-1:表 9.4に示した順で、FCU にプログラムコマンドを発行します。

-2:FCU が正常にプログラムコマンドを受けると、コマンドが発行されたアドレス領域にデータの書き込み処理を行います。書き込み処理が行われている間はFRDY が自動的に0にクリアされます。

-3:書き込み処理が終了するとFRDY に1がセットされます。

本タスク例で使用するプログラムコマンドシーケンスを表 9.4に示します。

図 9.5にデータ書き込みのイメージ図を示します。

表 9.4 プログラムコマンド発行シーケンス

コマンド サイクル	アドレス	データ	アクセスサイズ	説明
1	H'80102000*1	H'E8	バイト	プログラムコマンド
2	H'80102000*1	H'04(H'40)*2	バイト	書き込みデータサイズ (8 バイト/128 バイト)
3~6 (3~66)*2	H'80102000	H'0000~ H'0003(H'003E)*2	ワード	書き込み先の先頭アドレス指定と 書き込みデータの送信
7(67)*2	H'80102000*1	H'D0	バイト	FCU 動作開始

\*1:任意の EEPROM 領域内のアドレス \*2:128 バイトの場合

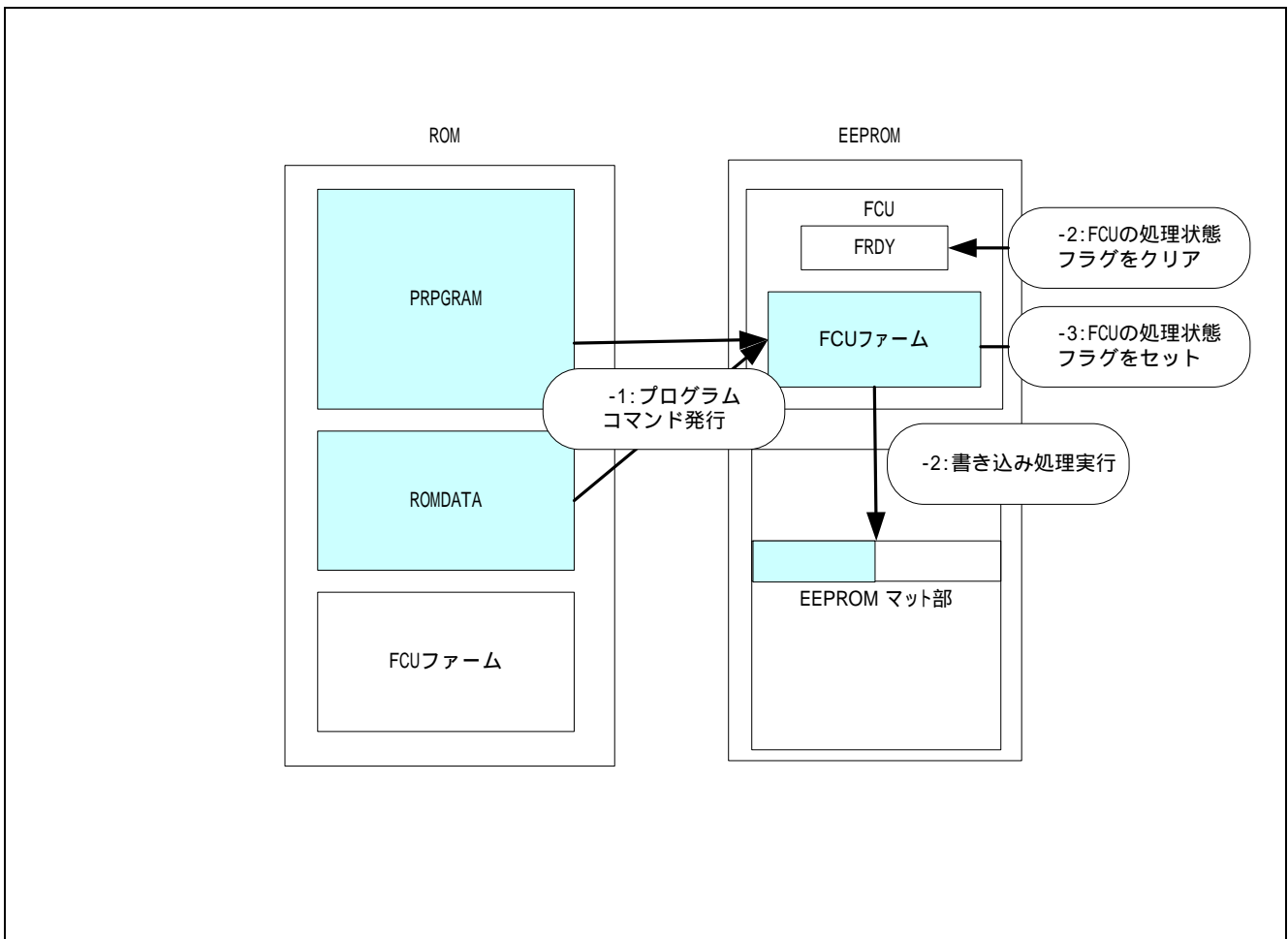


図 9.5 データ書き込みのイメージ図

## (3) 参考プログラムの処理手順

表 9.5に、EEPROM 書き込みの参考プログラムの各レジスタの設定例を示します。

表 9.5 EEPROM 書き込みレジスタ設定例

レジスタ名	アドレス	設定値	機能
フラッシュアクセス エラー割り込み許可 レジスタ(FAEINT)	H'FFFFFFA811	H'00000000	フラッシュインターフェース割り込み禁止
EEPROM 読み出し許可 レジスタ 0(EEPREAD)	H'FFFFFFA840	H'2D02	EEPROM からの読み出しを許可
EEPROM 書き込み/消去 許可レジスタ 0(EEPWRITE)	H'FFFFFFA850	H'1E02	EEPROM への書き込みを許可
ROM マット選択 レジスタ(ROMMAT)	H'FFFFFFA820	H'B300	EEPROM のマットをデータマットに設定
フラッシュ P/E モード エントリレジスタ (FENTRYR)	H'FFFFFFA902	ROM リード (H'AA00) ROM P/E (H'AA01)	ROM/FLD を P/E モードまたはリードモード にするために使用 上位 8 ビットは、KRY コード : AA 固定 7 ビット : FLD P/E モードエントリ 6-1 ビット : リザーブビットすべて"0" 0 ビット : FENTRY0 : 0 : ROM はリードモード 1 : ROM は P/E モード
FCURAM イネーブル レジスタ(FCURAME)	H'FFFFFFA854	H'C401	FCU RAM へのアクセス許可
ファームウェア転送	-	-	転送元アドレス : H'402000 転送先アドレス : H'80FF8000 ファームウェアを FCURAM へ転送
フラッシュモード レジスタ(FMODR)	H'FFFFFFA802	H'10	FCU モード レジスタリードモード
EEPROM ブランク チェック制御レジスタ (EEPBCCNT)	H'FFFFFFA91A	H'0001	ブランクチェックサイズ : 8K バイト
フラッシュリセット レジスタ(FRESETR)	H'FFFFFFA906	H'CC00 H'CC01	FCU を初期化するためのレジスタです。 15-8 ビット : FRKY キーコード 7-1 ビット : リザーブビット"0" 0 ビット : フラッシュリセットビット 0 : FCU はリセットされない 1 : FCU はリセットされ

### 9.1.2 レジスタ説明

EEPROM の消去/書き込みはシングルチップモードで動作いたします。図 9.6に EEPROM の消去ブロック図と図 9.7に EEPROM ブロック図を示します。また、以下に本タスクで使用した FCU 機能のレジスタについて説明します。

#### フラッシュモードレジスタ (FMODR)

FMODR は FCU の動作モードを指定するレジスタです。本タスク例では、ブランクチェックコマンドをレジスタリードモードで行う様に設定しています。

#### フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

FAEINT は、フラッシュインタフェースエラー割り込み(FIFE) の出力許可/禁止を設定するためのレジスタです。本タスク例では、すべての割り込みを禁止に設定します。

#### EEPROM ブランクチェック制御レジスタ (EEPBCCNT)

EEPBCCNT は、ブランクチェック時の対象領域のアドレスおよびサイズを決定します。本タスク例では 8K バイト単位でブランクチェックを行う設定にしています。

#### EEPROM ブランクチェックステータスレジスタ (EEPBCSTAT)

EEPBCSTAT レジスタは、ブランクチェックコマンドの処理結果が格納されるレジスタです。

#### フラッシュリセットレジスタ (FRESETR)

FRESETR は FCU と EEPROM を初期化します。本タスク例では、消去、書き込み/消去、ブランクチェック時にタイムアウトが発生した場合に、FRESETR は FCU を初期化します。

#### フラッシュステータスレジスタ 0(FSTATR0)

FSTATR0 は、FCU の状態を示します。本タスク例では、FCU の処理状態の確認、または FCU の不正コマンド、EEPROM への不正アクセス、消去処理中のエラー、書き込み処理中のエラー判定に使用します。

#### フラッシュステータスレジスタ 1(FSTATR1)

FSTATR1 は、FCU の状態を示します。本タスク例では、FCU の処理結果の確認に使用します。

#### EEPROM 書き込み/消去許可レジスタ 0 (EEPWE0)

EEPWE0 は、データマットの DB22 ~ DB15 ブロックの書き込み/消去の許可/禁止を指定します。本タスク例では DB15 の書き込み/消去を許可しています。

#### EEPROM 読み出し許可レジスタ 0 (EEPWE0)

EEPWE0 は、データマットの DB22 ~ DB15 ブロックの読み出しの許可/禁止を指定します。本タスク例では DB15 の読み出しを許可しています。

フラッシュ P/E モードエントリレジスタ (FENTRYR)

FENTRYR は、EEPROM を P/E モードに設定します。本タスク例では書き込み/消去の際に P/E モードに切り替えています。

FCU RAM イネーブルレジスタ (FCURAME)

FCURAME は、FCU RAM 領域へのアクセス許可/禁止をします。本タスク例では FCU ファームウェア転送を行う際に FCU RAM 領域へのアクセスを許可しています。

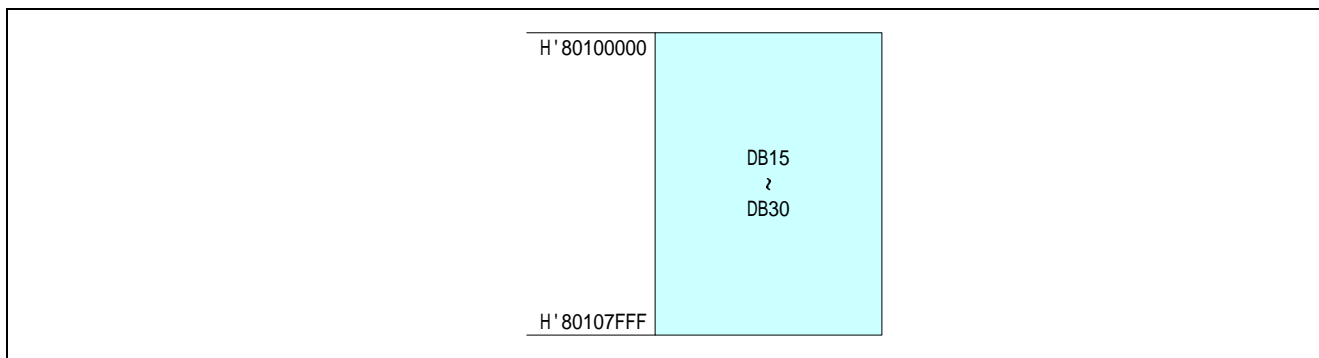


図 9.6 EEPROM 消去ブロック

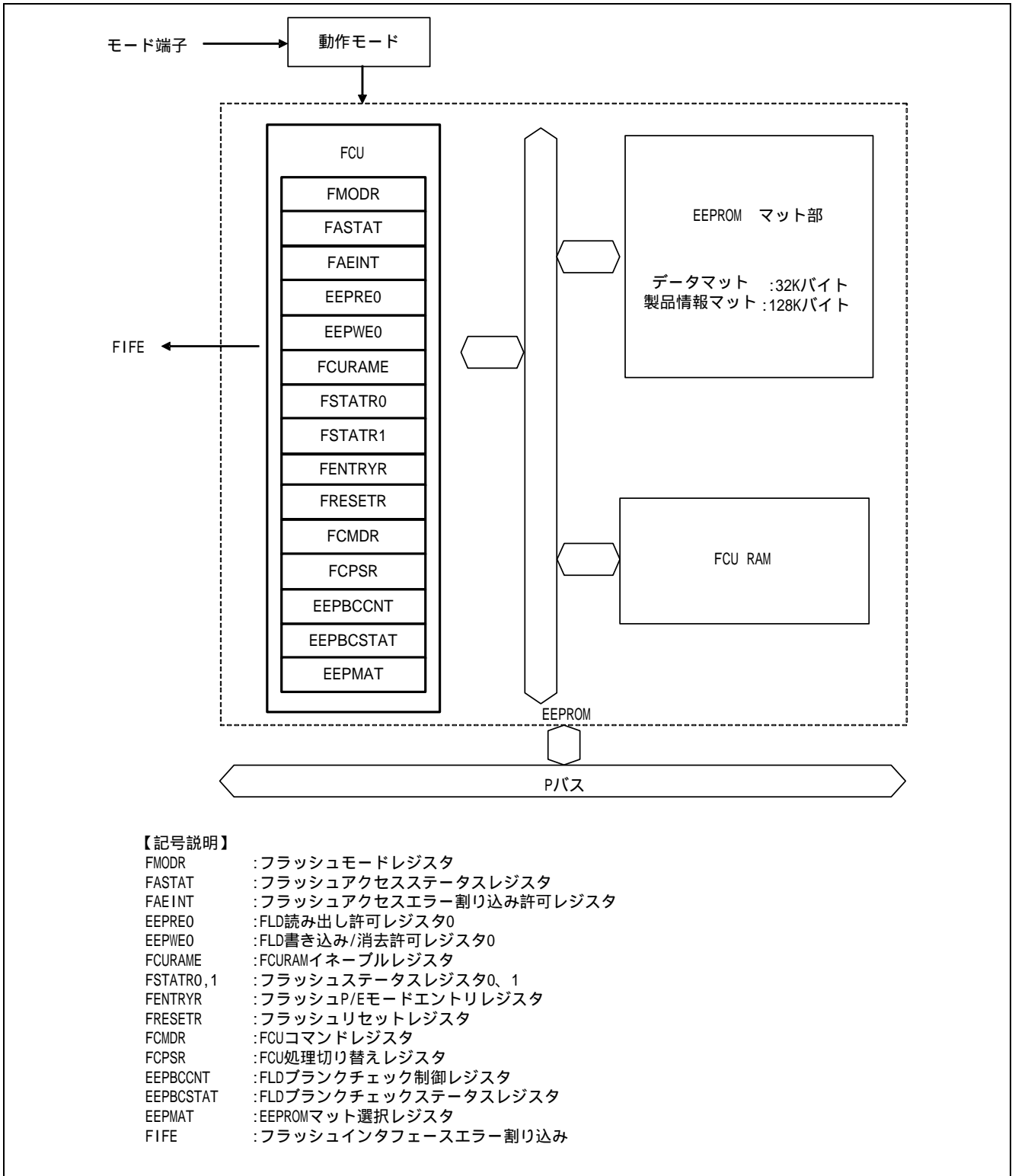


図 9.7 EEPROM ブロック図

9.1.3 フローチャート

表 9.6に本応用例で使用する関数一覧を示します。以下、各関数ごとに詳細とフローチャートを示します。

表 9.6 関数一覧

関数名	内容
Main	メイン関数 各プログラムの呼び出し
init_eeeprom	EEPROM の初期化
copy_firm	FCU ファームウェアの転送
fcu_md_pe	FCU を EEPROM P/E ノーマルモードに移行
fcu_eebck	ブランクチェックコマンド発行
fcu_eerm	ブロックイレーズコマンド発行
fcu_eeprg	書き込みコマンド発行
fcu_res	FCU,ROM,EEPROM のリセット
fcu_chk0	FSTART0 のエラーフラグチェック
fcu_chk01	FSTART0 と FSTATR1 のエラーフラグチェック

( 1 ) Main 関数

- ・機能概要

各関数のコールを行います。

- ・引数

なし

- ・戻り値

なし

- ・使用内部レジスタ

EEPROM ブランクチェックステータスレジスタ (EEPBCSTAT)

ビット	ビット名	設定値	備考
0	BCST	-	ブランクチェックステータスビット 0 : ブランクチェック領域は消去されています (blank) 1 : ブランクチェックエリアに値が書き込まれた状態

・フローチャート

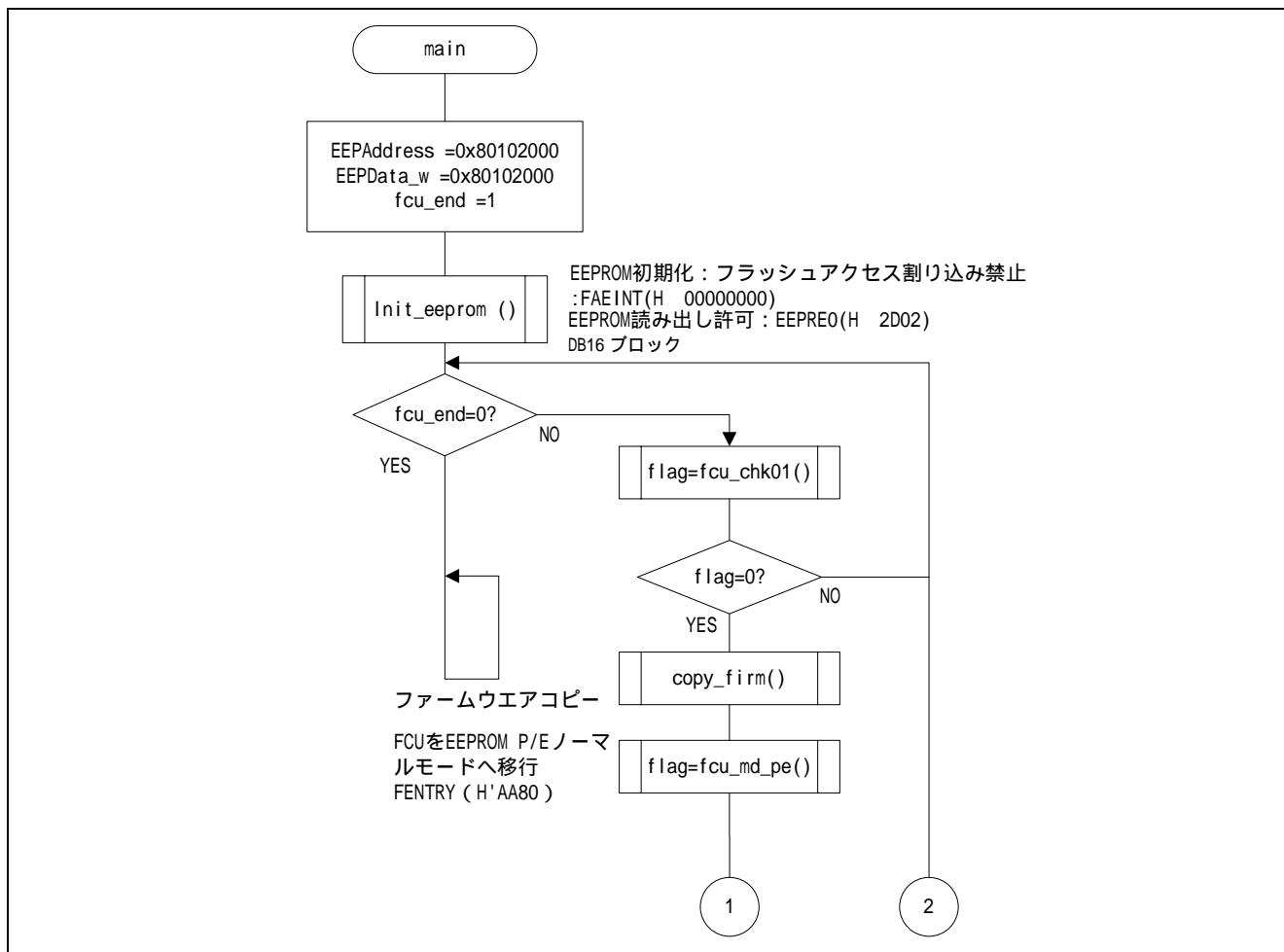


図 9.8 Main 関数フローチャート(1)

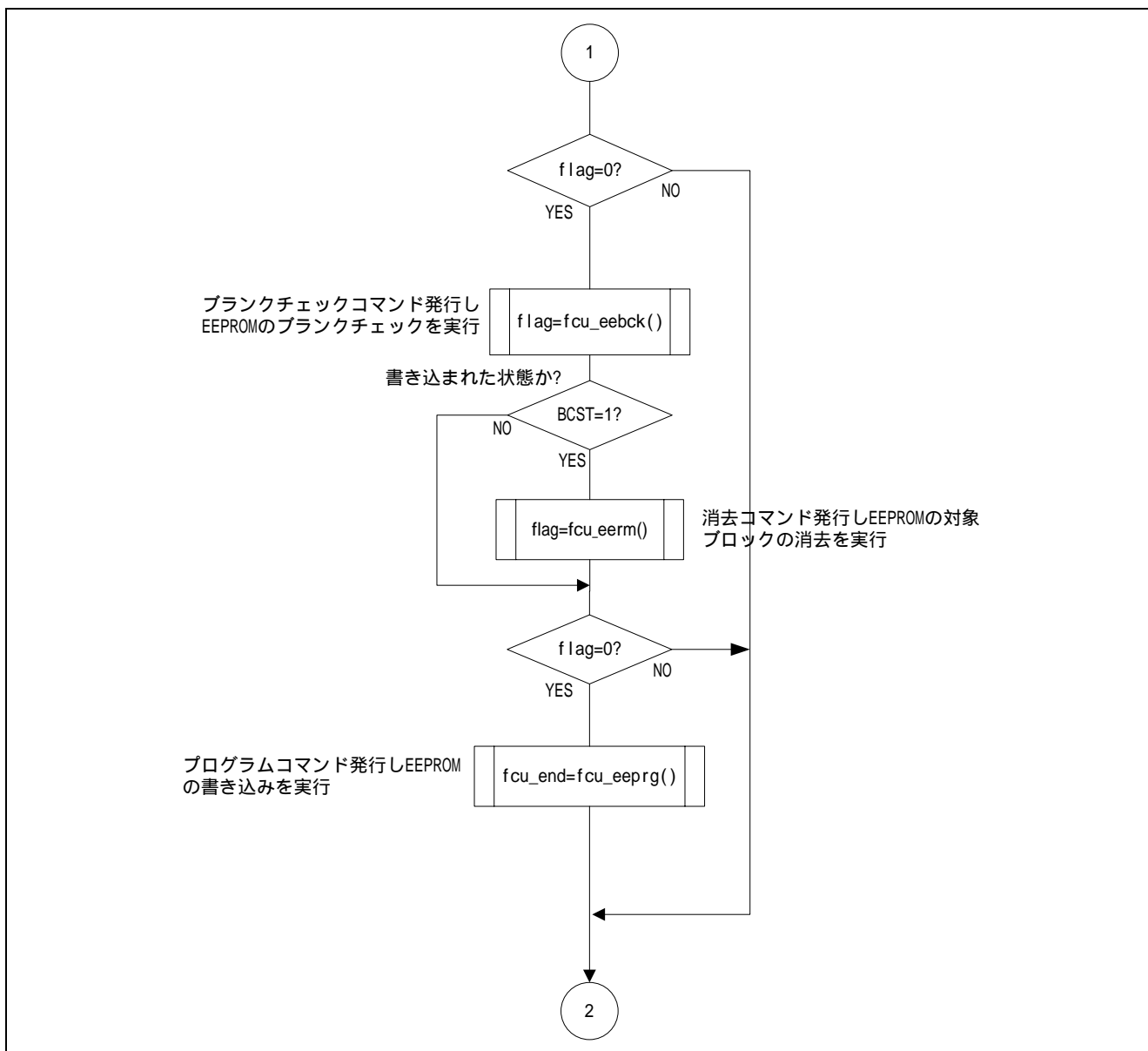


図 9.9 Main 関数フローチャート(2)

## ( 2 ) Init\_eeeprom 関数

## ・機能概要

EEPROM の書き込み/読み出しを許可します。

## ・引数

なし

## ・戻り値

なし

## ・使用内部レジスタ

## フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

ビット	ビット名	設定値	備考
7	ROMAEIE	B'0	ROM アクセス違反割り込みイネーブル
4	CMDLKIE	B'0	FCU コマンドロック割り込みイネーブル
3	EEPAEIE	B'0	EEPROM アクセス違反割り込みイネーブル
2	EEPIFIE	B'0	EEPROM 命令フェッチ違反割り込みイネーブル
1	EEPRPEIE	B'0	EEPROM リードプロテクト違反割り込みイネーブル
0	EEPWPEIE	B'0	EEPROM 書き込み/消去プロテクト違反割り込みイネーブル

## EEPROM 読み出し許可レジスタ 0 (EEPREG0)

ビット	ビット名	設定値	備考
15-8	KEY	H'2D	キーコード 書き込みデータは保持されません
7-4	-	B'0	リザーブビット
3	DBRE03	B'0	ブロック読み出し許可ビット 0 : 読み出し禁止 1 : 読み出し許可
2	DBRE02	B'0	
1	DBRE01	B'1	
0	DBRE00	B'0	

・フローチャート

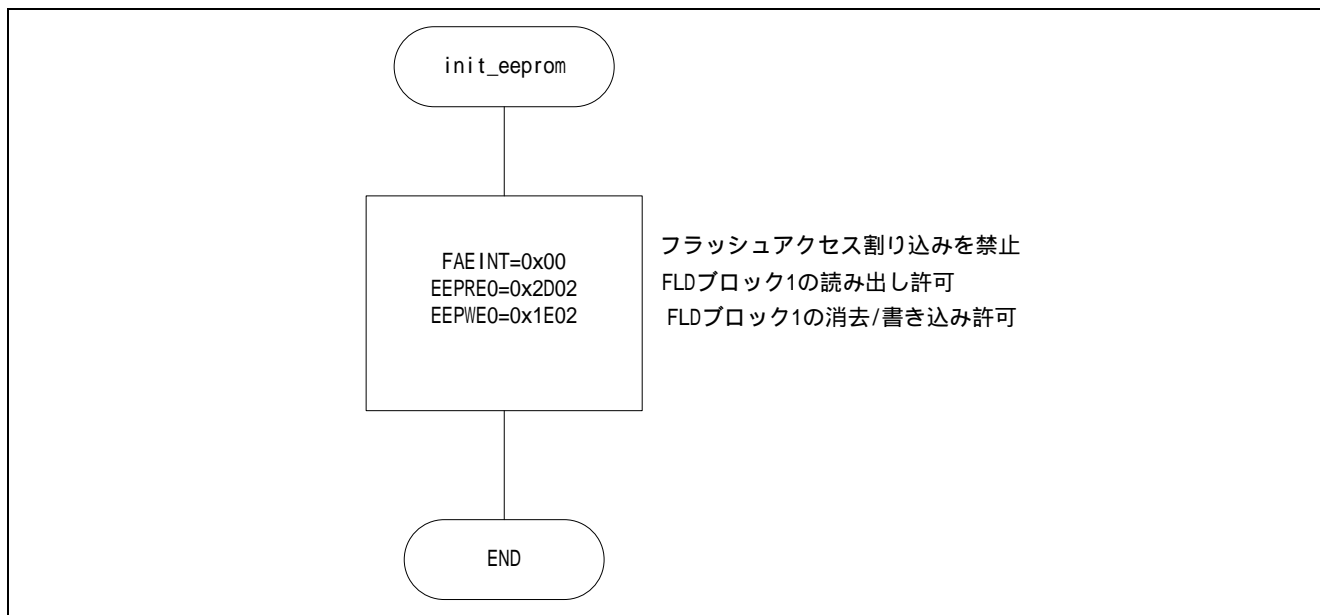


図 9.10 Init\_eeprom 関数フローチャート

## ( 3 ) copy\_firm 関数

## ・機能概要

ROM 上の FCU ファームウェアを、RAM 上のファームウェア領域に転送します。

## ・引数

なし

## ・戻り値

なし

## ・使用内部レジスタ

## FCURAM イネーブルレジスタ (FCURAME)

ビット	ビット名	設定値	備考
15-8	KEY	H'C4	キーコード 書き込みデータは保持されません
0	FCRME	B'1	FCURAM enable 0 : FCURAM 領域への書き込み禁止 1 : FCURAM 領域への書き込み許可

## フラッシュ P/E モードエントリレジスタ(FENTRYR)

ビット	ビット名	設定値	備考
15-8	KEY	H'AA	キーコード 書き込みデータは保持されません。
7	FENTRYD	B'0	EEPROM P/E モードエントリビット 0 : EEPROM はリードモード 1 : EEPROM は P/E モード
6-1	-	B'0	リザーブビット書き込む値は 0 としてください
0	FENTRY0	B'0	ROM P/E モードエントリビット 0

・フローチャート

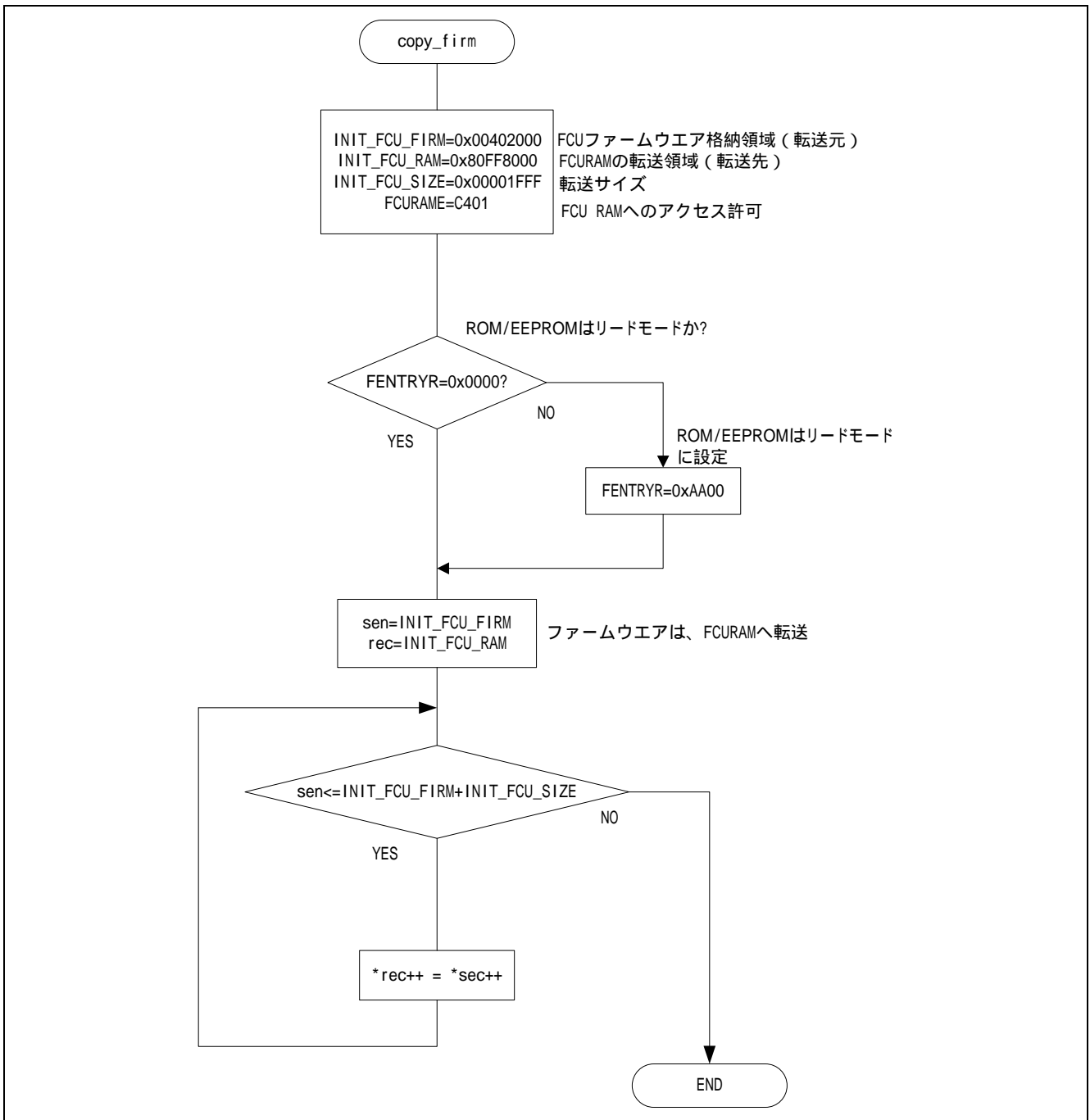


図 9.11 copy\_firm 関数フローチャート

( 4 ) fcu\_md\_pe 関数

・機能概要

FCU を P/E ノーマルモードに移行させます。

・引数

なし

・戻り値

unsigned char fcu\_pe\_flag

戻り値	内容
H'00	モード移行時にエラーはなし
H'01	FCU はモード変更命令を正常に実行していません

・使用内部レジスタ

フラッシュアクセスステータスレジスタ (FASTAT)

ビット	ビット名	設定値	備考
7	ROMAE	B'0	ROM アクセス違反ビット
4	CMDLK	B'0	FCU コマンドロックビット 0 : FCU はコマンドロック状態ではない 1 : FCU はコマンドロック状態
3	EEPAAE	B'0	EEPROM アクセス違反ビット 0 : EEPROM アクセス違反なし 1 : EEPROM アクセス違反あり
2	EEPIFE	B'0	EEPROM 命令フェッチビット 0 : EEPROM 命令フェッチ違反なし 1 : EEPROM 命令フェッチ違反あり
1	EEPRPE	B'0	EEPROM リードプロテクト違反ビット 0 : EEPRE0,1 設定に違反した EEPROM 読み出しなし 1 : EEPRE0,1 設定に違反した EEPROM 読み出しあり
0	EEPWPE	B'0	EEPROM 書き込み/消去プロテクト違反ビット 0 : EEPWE0,1 設定に違反した EEPROM 書き込みなし 1 : EEPWE0,1 設定に違反した EEPROM 書き込みあり

フラッシュ P/E モードエントリレジスタ (FENTRYR)

ビット	ビット名	設定値	備考
15-8	KEY	H'AA	キーコード 書き込みデータは保持されません
7	FENTRYD	B'1	EEPROM P/E モードエントリビット 0 : EEPROM はリードモード 1 : EEPROM は P/E モード
6-1	-	B'0	リザーブビット書き込む値は 0 にしてください
0	FENTRY0	B'0	ROM P/E モードエントリビット 0

・フローチャート

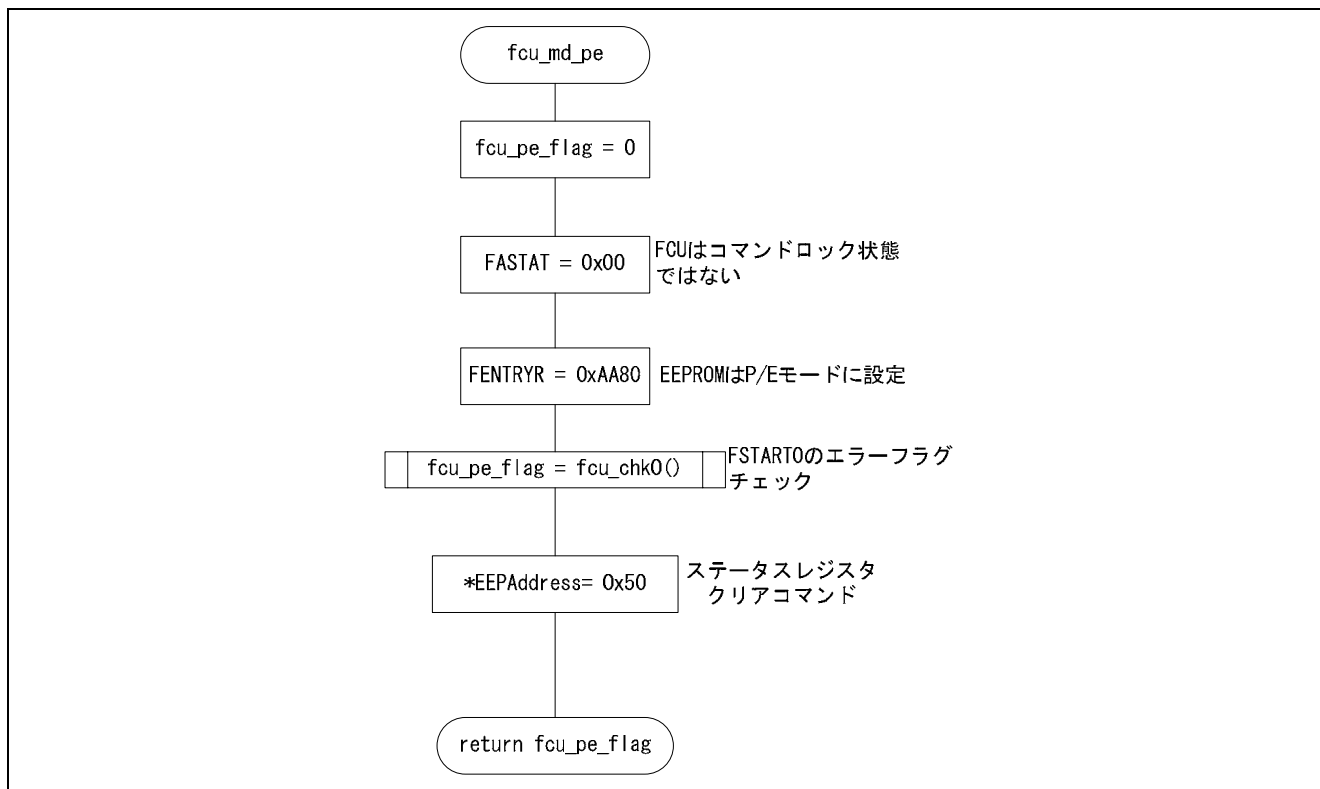


図 9.12 fcu\_md\_pe 関数フローチャート

( 5 ) fcu\_eebck 関数

・機能概要

ブランクチェックコマンドを発行し、対象領域の確認を行います。

・引数

なし

・戻り値

unsigned char fcu\_eebck\_flag

戻り値	内容
H'00	ブランクチェックコマンド発行時にエラーなし
H'01	タイムアウトか不正なコマンド発行、EEPROM/ROM アクセスが発生しています

・使用内部レジスタ

フラッシュモードレジスタ (FMODR)

ビット	ビット名	設定値	備考
4	FRDMD	B'1	FCU リードモードセレクトビット 0 : メモリ領域リードモード 1 : レジスタリードモード

EEPROM ブランクチェックレジスタ (EEPBCCNT)

ビット	ビット名	設定値	備考
15-13	-	リザーブビット	書き込む値は0にしてください
12-3	BCADR	B'0	ブランクチェックアドレス設定ビット
2,1	-	リザーブビット	書き込む値は0にしてください
0	BCSIZE	B'1	ブランクチェックサイズ設定ビット 0 : ブランクチェック対象領域は 8 バイト 1 : ブランクチェック対象領域は 2K バイト

・フローチャート

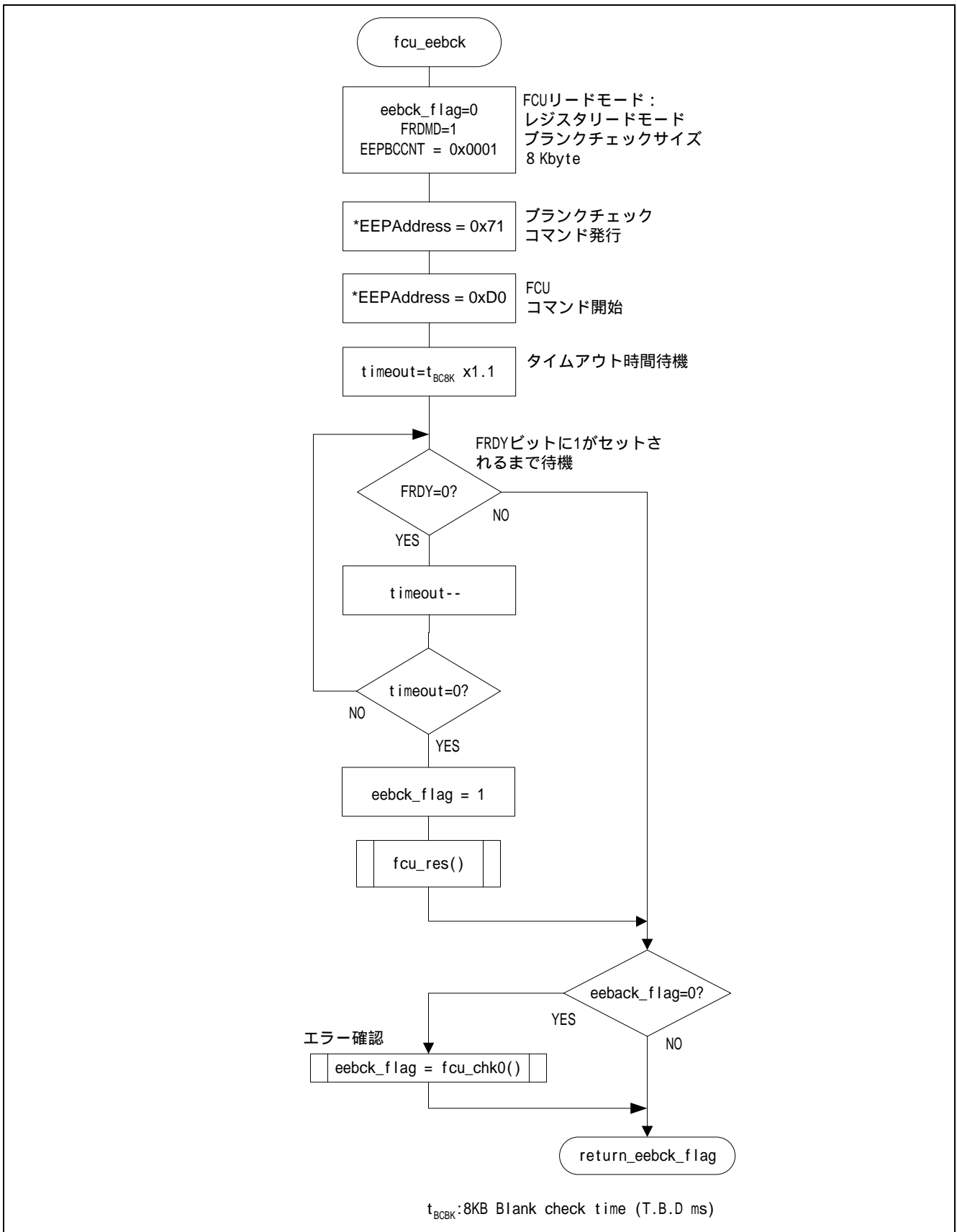


図 9.13 fcu\_eebck 関数フローチャート

## ( 6 ) fcu\_eerm 関数

## ・機能概要

ブロックイレーズコマンドを発行し、結果の確認を行います。

## ・引数

なし

## ・戻り値

unsigned char fcu\_eerm\_flag

戻り値	内容
H'00	ブロックイレーズコマンド発行時にエラーなし
H'01	タイムアウトか不正なコマンド発行、EEPROM/ROM アクセスが発生しています

## ・使用内部レジスタ

なし

・フローチャート

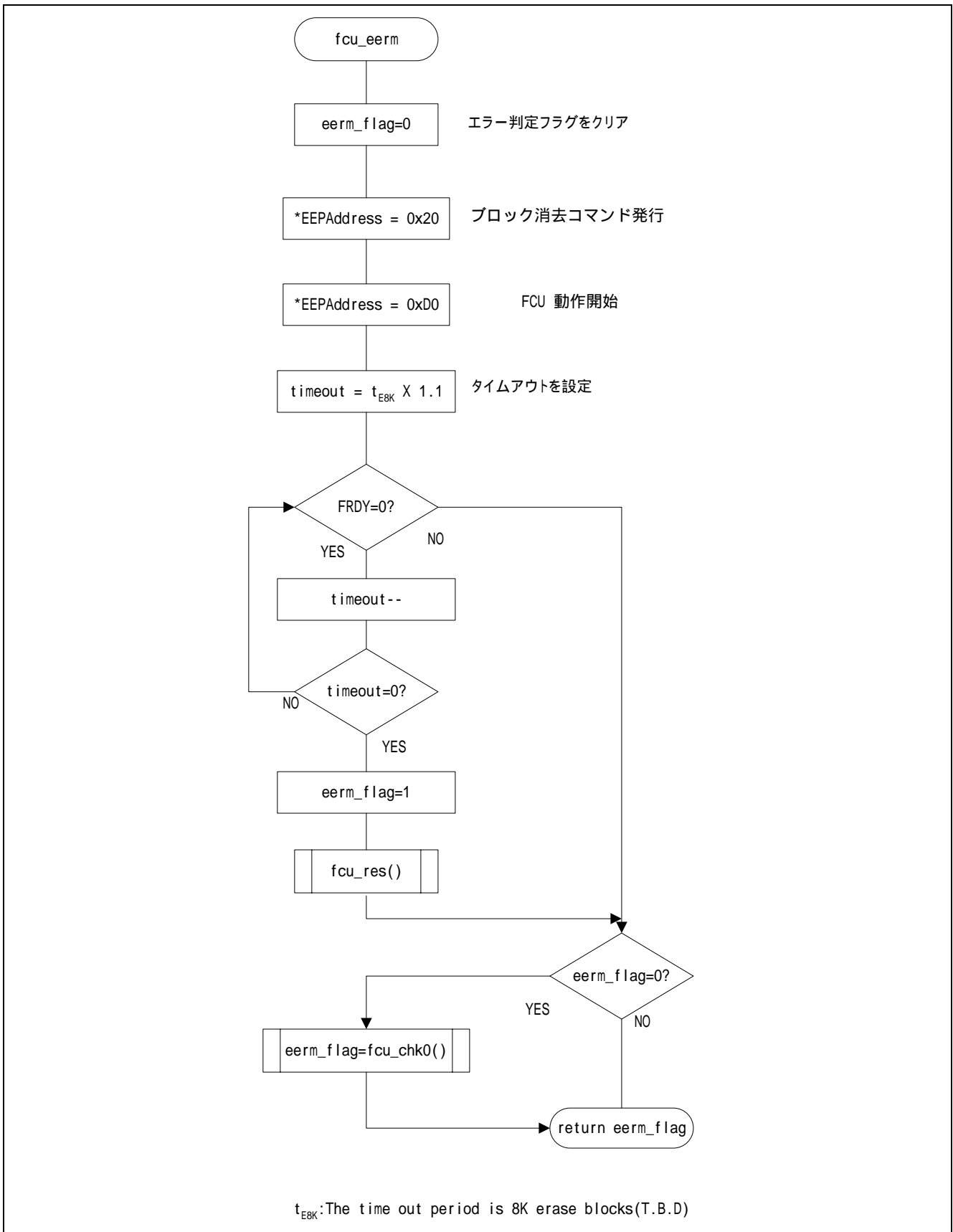


図 9.14 fcu\_eerm 関数フローチャート

## ( 7 ) fcu\_eeprg 関数

## ・動作概要

プログラムコマンドを発行して、書き込みを行い、結果を確認します。

## ・引数

なし

## ・戻り値

unsigned char fcu\_eeprg\_flag

戻り値	内容
H'00	プログラムコマンド発行時にエラーなし
H'01	タイムアウトか不正なコマンド発行、EEPROM/ROM アクセスが発生しています

## ・使用内部レジスタ

なし

・フローチャート

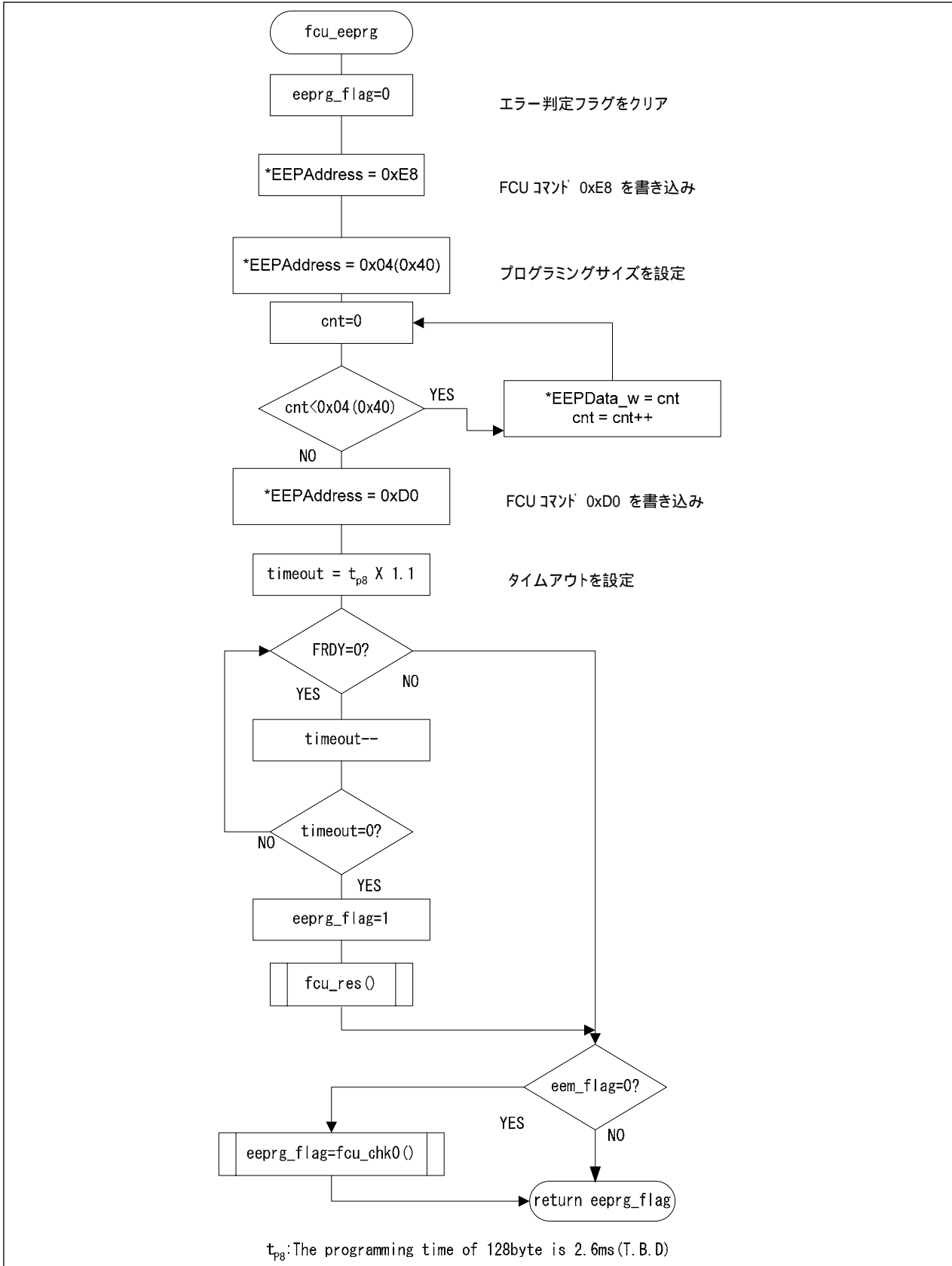


図 9.15 fcu\_eeprg 関数

( 8 ) fcu\_res 関数

・動作概要

FCU,EEPROM を初期化します。

・引数

なし

・戻り値

なし

・使用内部レジスタ

フラッシュリセットレジスタ (FRESETR)

ビット	ビット名	設定値	備考
15-8	KEY	H'CC	キーコード 書き込みデータは保持されません
7-1	-	B'0	リザーブビット
0	FCRME	B'1	フラッシュリセットビット 0 : FCU はリセットされない 1 : FCU はリセットされます

・フローチャート

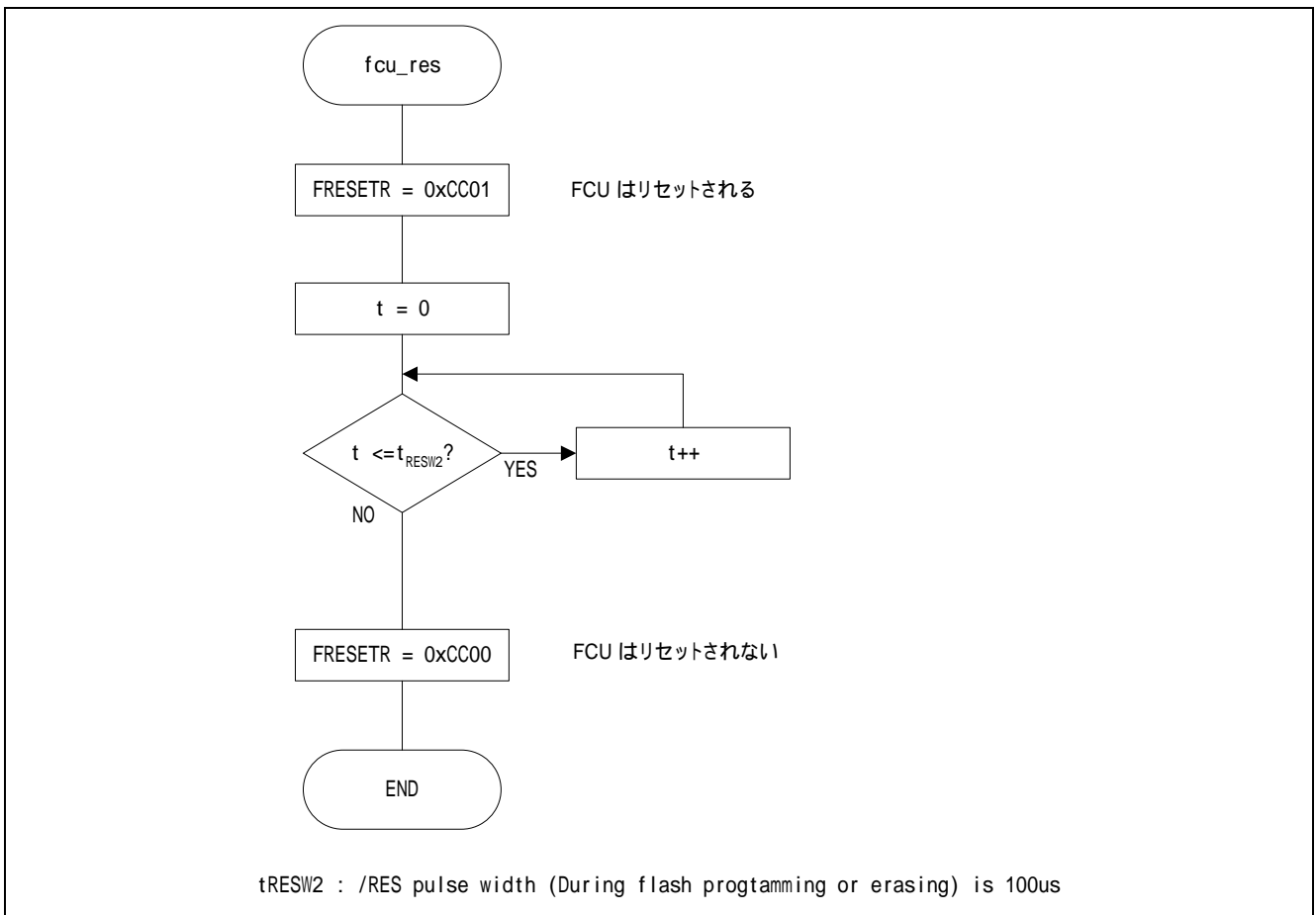


図 9.16 fcu\_res 関数フローチャート

## ( 9 ) fcu\_chk0 関数

## ・動作概要

FSTART0 レジスタを読み出し、エラーを確認します。

## ・引数

なし

## ・戻り値

unsigned char fcu\_chk0

戻り値	内容
H'00	FSTART0 にエラーフラグはセットされていません
H'01	FCU が不正なコマンドや EEPROM/ROM アクセスを検出したか、書き込み/消去中にエラーが発生しています

## ・使用内部レジスタ

## フラッシュステータスレジスタ 0 (FSTATR0)

ビット	ビット名	設定値	備考
7	FRDY	-	フラッシュレディビット
6	ILGLERR	-	イリーガルコマンドエラービット 0 : FCU は不正なコマンドや ROM/EEPROM アクセスを検出していない 1 : FCU は不正なコマンドや ROM/EEPROM アクセスを検出しています
5	ERSERR	-	消去エラービット 0 : 消去処理は正常終了 1 : 消去処理中にエラー発生
4	PRGERR	-	書き込みエラービット 0 : 書き込み処理は正常終了 1 : 書き込み処理中にエラー発生
3	SUSRDY	-	サスペンドレディビット
1	ERSSPD	-	消去サスペンドステータスビット
0	PRGSPD	-	書き込みサスペンドステータスビット

・フローチャート

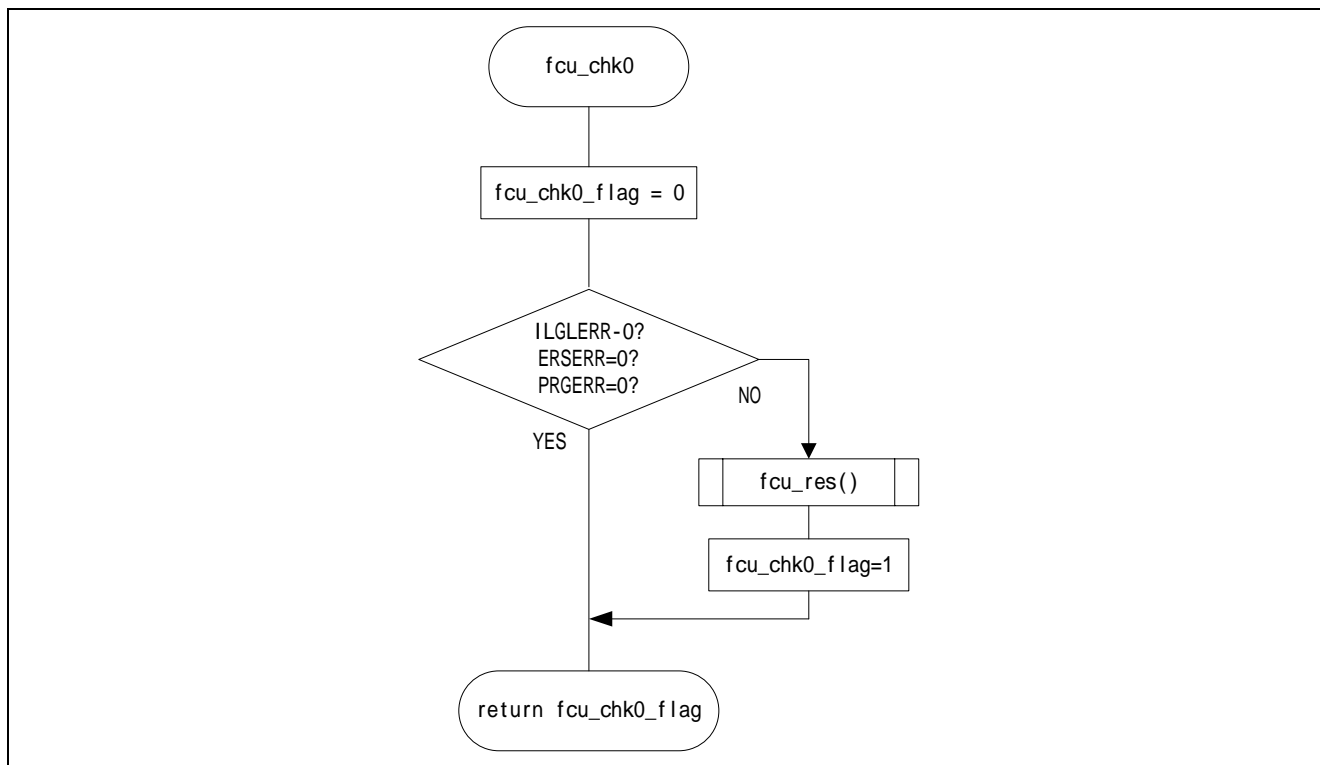


図 9.17 fcu\_chk0 関数

( 1 0 ) fcu\_chk01 関数

・動作概要

FSTATR0,FSTATR1 レジスタを読み出し、エラーを確認します。

・引数

なし

・戻り値

unsigned char fcu\_chk01

戻り値	内容
H'00	No error
H'01	FCU が不正なコマンドや EEPROM/ROM アクセスを検出したか、書き込み/消去中にエラーが発生したか、FCU の CPU 処理中にエラーが発生しています

・使用内部レジスタ

フラッシュステータスレジスタ 0(FSTATR0)

ビット	ビット名	設定値	備考
7	FRDY	-	フラッシュレディビット
6	ILGLERR	-	イリールガルコマンドエラービット 0 : FCU は不正なコマンドや ROM/EEPROM アクセスを検出していない 1 : FCU は不正なコマンドや ROM/EEPROM アクセスを検出しています
5	ERSERR	-	消去エラービット 0 : 消去処理は正常終了 1 : 消去処理中にエラー発生
4	PRGERR	-	書き込みエラービット 0 : 書き込み処理は正常終了 1 : 書き込み処理中にエラー発生
3	SUSRDY	-	サスペンドレディビット
1	ERSSPD	-	消去サスペンドステータスビット
0	PRGSPD	-	書き込みサスペンドステータスビット

フラッシュステータスレジスタ 1(FSTATR1)

ビット	ビット名	設定値	備考
7	FCUERR	-	FCU エラービット 0 : FCU の CPU 処理でエラー未発生 1 : FCU の CPU 処理でエラーが発生
4	FLOCKST	-	ロックビットステータスビット 0 : プロテクト状態 1 : 非プロテクト状態
3-0	-	-	リザーブビット

・フローチャート

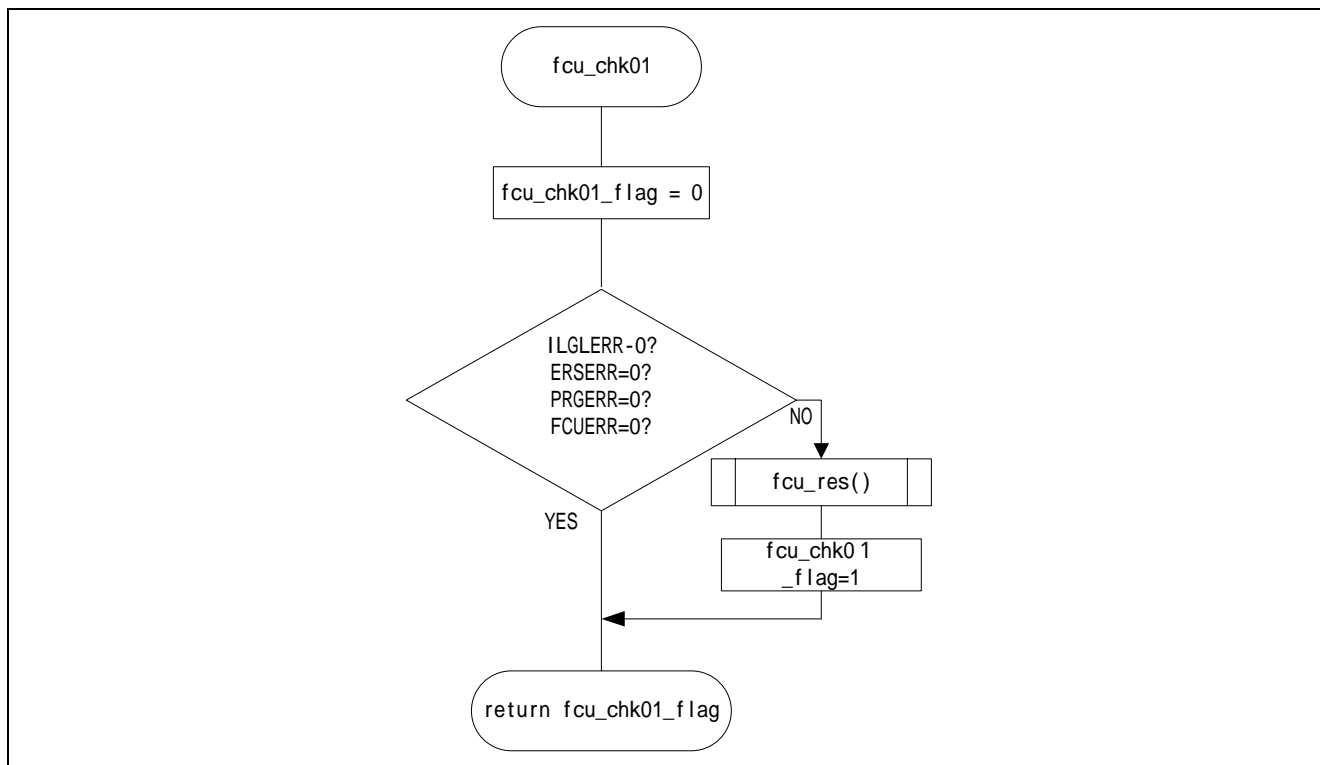


図 9.18 fcu\_chk01 関数フローチャート

9.1.4 詳細仕様

( 1 ) セクション配置表

表 9.7にセクションの配置表を示します。

表 9.7 セクション配置表

0x00000000	DVECTTBL
	DINTTBL
0x00000800	PResePRG
	PIntPRG
0x00001000	P
	C\$BSEC
	C\$DSEC
	D
0xFFF80000	B
	R
0xFFF9FC00	S

( 2 ) ROM/EEPROM/FCURAM アドレス表

図 9.19にユーザーマット(ROM),EEPROM,FCURAM のアドレス表を示します。

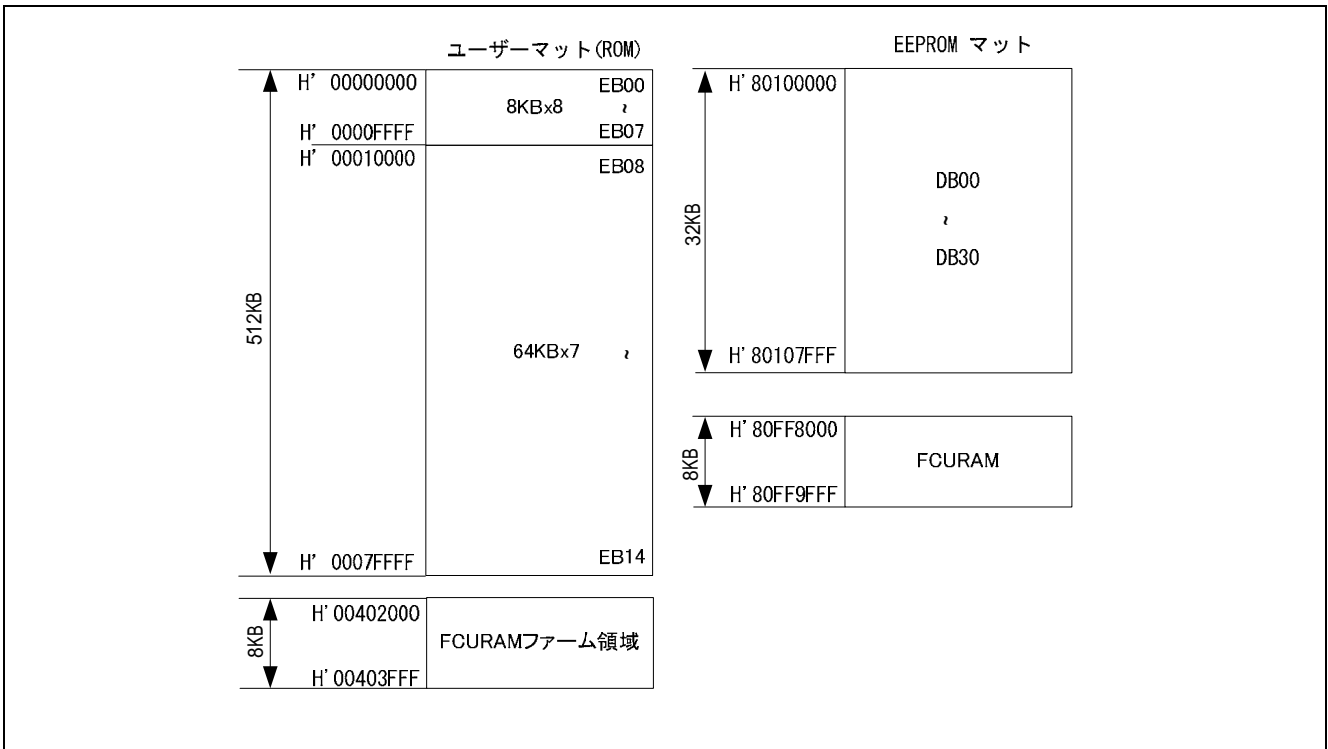


図 9.19 ROM/EEPROM/FCURAM アドレス表

## ホームページとサポート窓口

- ルネサス エレクトロニクスホームページ  
<http://japan.renesas.com/>
- お問い合わせ先  
<http://japan.renesas.com/inquiry>

すべての商標および登録商標は、それぞれの所有者に帰属します

## 製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

### 1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

### 2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

### 3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

### 4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

### 5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。  
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、  
家電、工作機械、パーソナル機器、産業用ロボット等  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、  
防災・防犯装置、各種安全装置等  
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報に使用しないで行ってください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>