

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

概要

3803 群 (H 规格 QzROM 版) 是采用了 740 族内核的 8 位单片机, 内置串行接口、8/16 位定时器、A/D 转换器以及 D/A 转换器, 最适于进行家电和 OA 设备等模拟信号处理的系统控制。

特点

- 基本机器指令 71
- 指令执行时间 0.24 μ s
(在最小指令、振荡频率为 16.8MHz 时)
- 存储器容量 QzROM 16K~48K 字节
RAM 2048 字节
- 可编程输入/输出端口 56 个
- 软件上拉电阻 内置
- 中断 21 个源、16 个向量
(外部 8 个源、内部 12 个源、软件 1 个源)
- 定时器 16 位 \times 1
8 位 \times 4 (带 8 位预分频器)
- 串行接口
 时钟异步/同步 8 位 \times 2
 时钟同步 8 位 \times 1
- PWM 8 位 \times 1 (带 8 位预分频器)
- A/D 转换器 10 位分辨率 \times 16 个通道 (可读 8 位)
- D/A 转换器 8 位分辨率 \times 2 个通道
- 看门狗定时器 16 位 \times 1
- LED 直接驱动端口 8 个
- 时钟发生电路 内置 2 个电路
(外接陶瓷谐振器或者晶体谐振器)
- 电源电压
 [在高速模式时]
 在振荡频率为 16.8MHz 时 4.5~5.5V
 在振荡频率为 12.5MHz 时 4.0~5.5V
 在振荡频率为 8.4MHz 时 2.7~5.5V
 在振荡频率为 4.2MHz 时 2.2~5.5V
 在振荡频率为 2.1MHz 时 2.0~5.5V
 [在中速模式时]
 在振荡频率为 16.8MHz 时 4.5~5.5V
 在振荡频率为 12.5MHz 时 2.7~5.5V
 在振荡频率为 8.4MHz 时 2.2~5.5V
 在振荡频率为 6.3MHz 时 1.8~5.5V
 [在低速模式时]
 在振荡频率为 32kHz 时 1.8~5.5V
- 功耗
 在高速模式时 40mW (典型)
 (在振荡频率为 16.8MHz、电源电压为 5V 时)
 在低速模式时 45 μ W (典型)
 (在振荡频率为 32kHz、电源电压为 3V 时)
- 工作环境温度 -20~85 $^{\circ}$ C
- 封装 SP PRDP0064BA-A (64P4B) <64 引脚 750mil SDIP>
 HP PLQP0064KB-A (64P6Q-A) <64 引脚 10 \times 10mm LQFP>
 KP PLQP0064GA-A (64P6U-A) <64 引脚 14 \times 14mm LQFP>
 WG PTLG0064JA-A (64F0G) <64 引脚 6 \times 6mm FLGA>

应用

家电和 OA 设备等

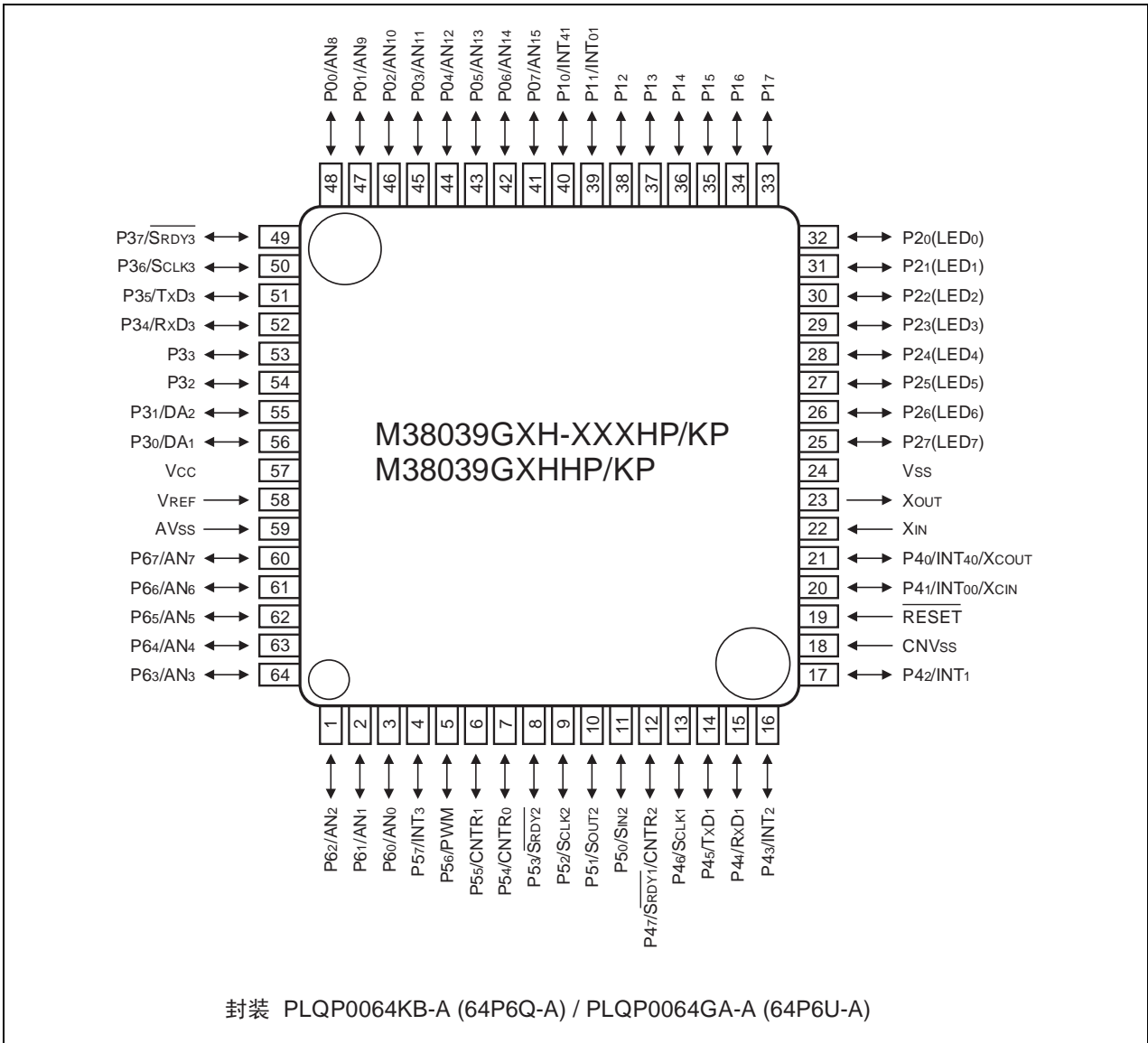


图 1 引脚的连接图 (俯视图) (PLQP0064KB-A(64P6Q-A)/PLQP0064GA-A(64P6U-A))

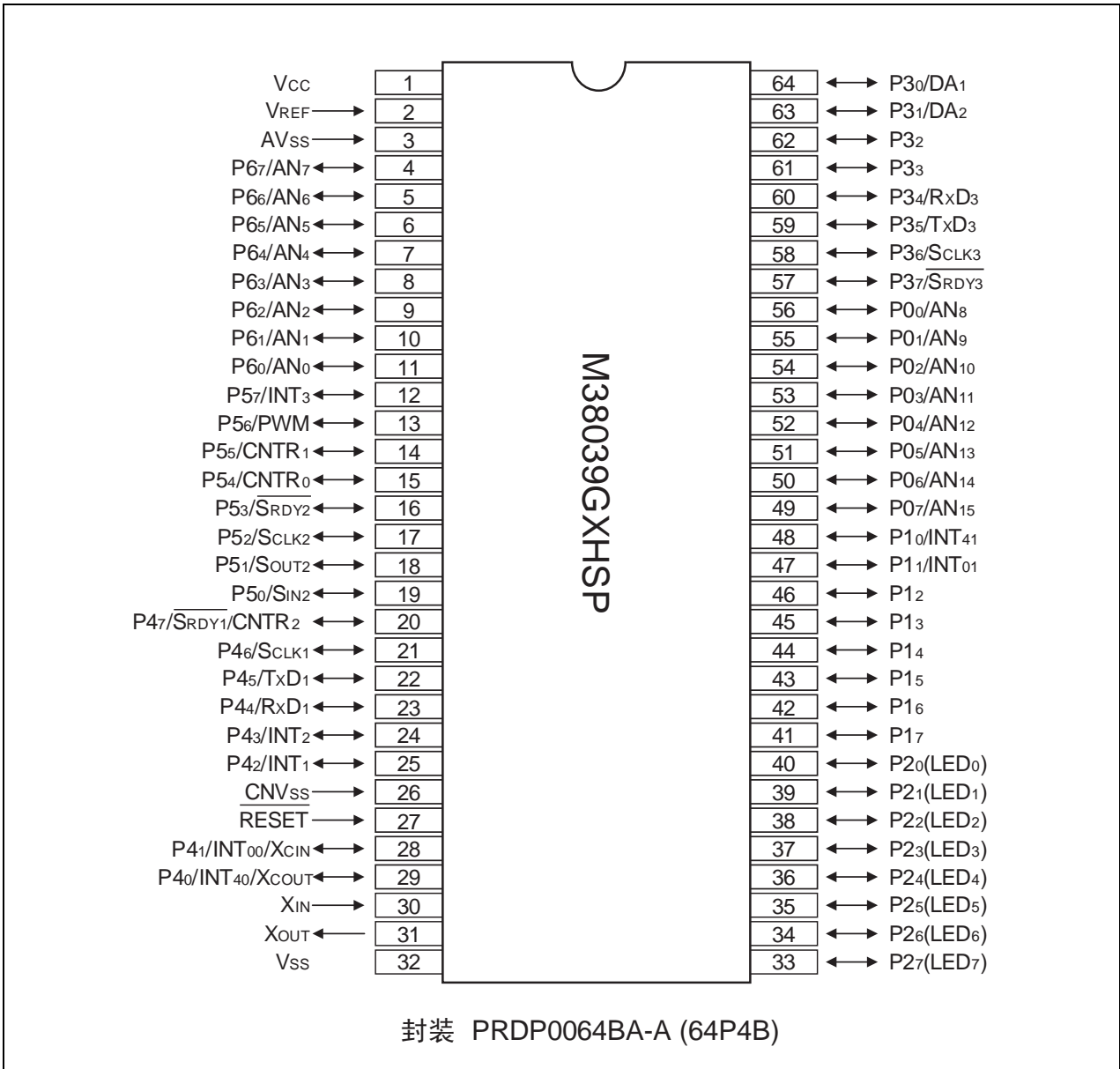
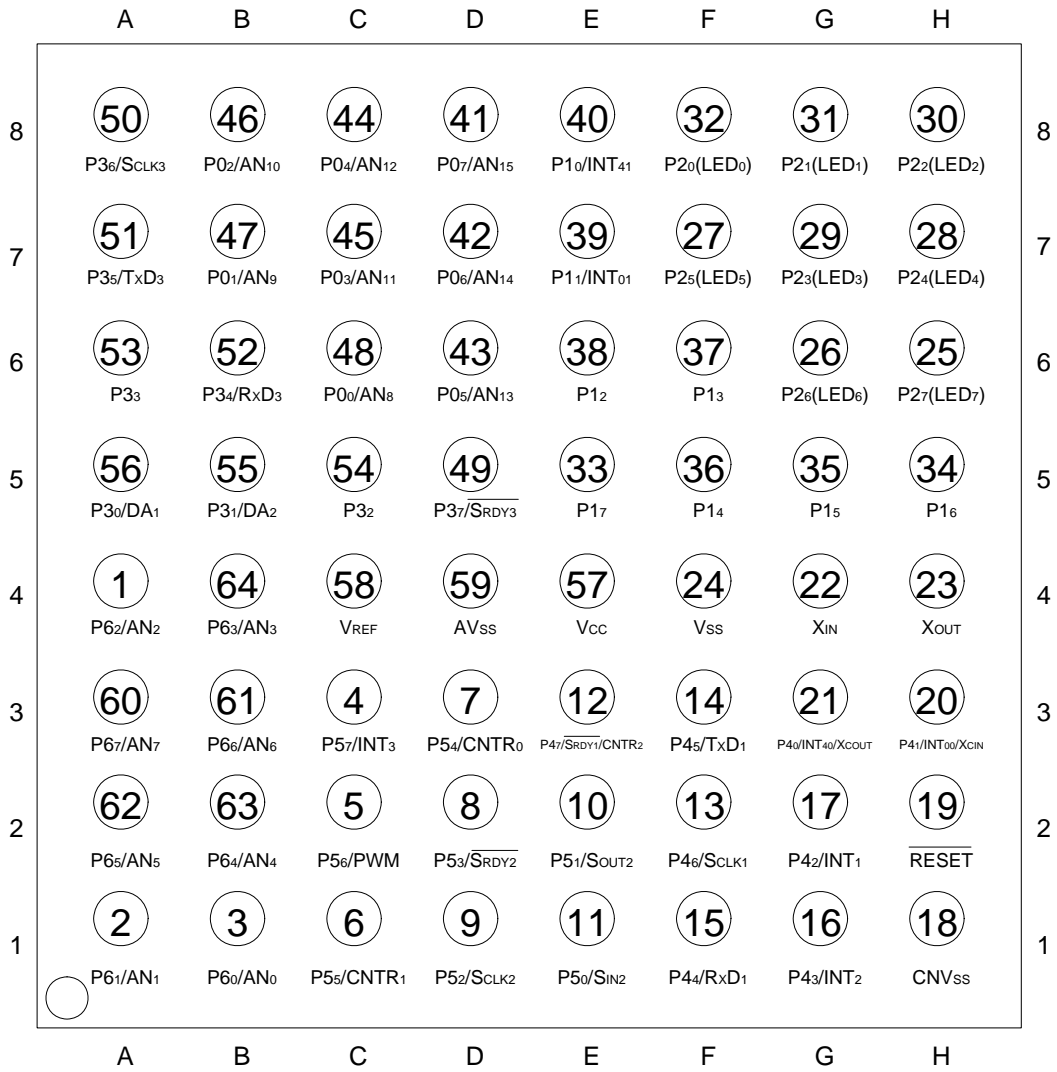


图 2 引脚的连接图 (俯视图) (PRDP0064BA-A(64P4B))

引脚连接图 (俯视图)



外形 PTLG0064JA-A (64F0G)

注. ○中的数字相当于FP/HP/KP封装的引脚序号。



封装 (俯视图)

图 3 引脚的连接图 (俯视图) (PTLG0064JA-A(64F0G))

表 1 性能概要

| 项 目 | | 性 能 | |
|------------|----------------------|--|------------|
| 基本指令数 | | 71 | |
| 最小指令执行时间 | | 0.24 μ s (振荡频率为 16.8MHz 时) | |
| 振荡频率 | | 16.8MHz (最大) | |
| 存储器容量 | | ROM | 16K~48K 字节 |
| | | RAM | 2048 字节 |
| 输入/输出端口 | P0、P1、P2、P3、P4、P5、P6 | 56 个 | |
| 软件上拉电阻 | | 内置 | |
| 中断 | | 21 个中断源、16 个向量 (8 个外部中断源、12 个内部中断源、1 个软件中断源) | |
| 定时器 | | 8 位 \times 4 (带 8 位预分频器) 16 位 \times 1 | |
| 串行接口 | | 8 位 \times 2 (时钟异步/同步) 8 位 \times 1 (时钟同步) | |
| PWM | | 8 位 \times 1 (带预分频器) | |
| A/D 转换器 | | 10 位分辨率 \times 16ch (可读取 8 位) | |
| D/A 转换器 | | 8 位分辨率 \times 2ch | |
| 看门狗定时器 | | 16 位 \times 1ch | |
| LED 直接驱动端口 | | 8 个 (平均电流 10mA、峰值电流 20mA、总峰值电流 80mA) | |
| 时钟发生电路 | | 2 个电路 (外接陶瓷谐振器或者晶体振荡器) | |
| 电源电压 | 高速模式 | 16.8MHz 时 | 4.5~5.5V |
| | | 12.5MHz 时 | 4.0~5.5V |
| | | 8.4MHz 时 | 2.7~5.5V |
| | | 4.2MHz 时 | 2.2~5.5V |
| | | 2.1MHz 时 | 2.0~5.5V |
| | 中速模式 | 16.8MHz 时 | 4.5~5.5V |
| | | 12.5MHz 时 | 2.7~5.5V |
| | | 8.4MHz 时 | 2.2~5.5V |
| | | 6.3MHz 时 | 1.8~5.5V |
| 低速模式 | 32kHz 时 | 1.8~5.5V | |
| 功耗 | 高速模式 | 典型 40mW (V _{CC} =5.0V、f(X _{IN})=16.8MHz、T _a =25°C) | |
| | 低速模式 | 典型 45 μ W (V _{CC} =3.0V、f(X _{IN})=停止、f(X _{CIN})=32kHz、T _a =25°C) | |
| 输入/输出特性 | 输入/输出耐压 | V _{CC} | |
| | 输出电流 | 10mA | |
| 工作环境温度 | | -20~85°C | |
| 元件结构 | | CMOS 硅栅 | |
| 封装 | | 64 引脚塑模 SDIP/LQFP | |

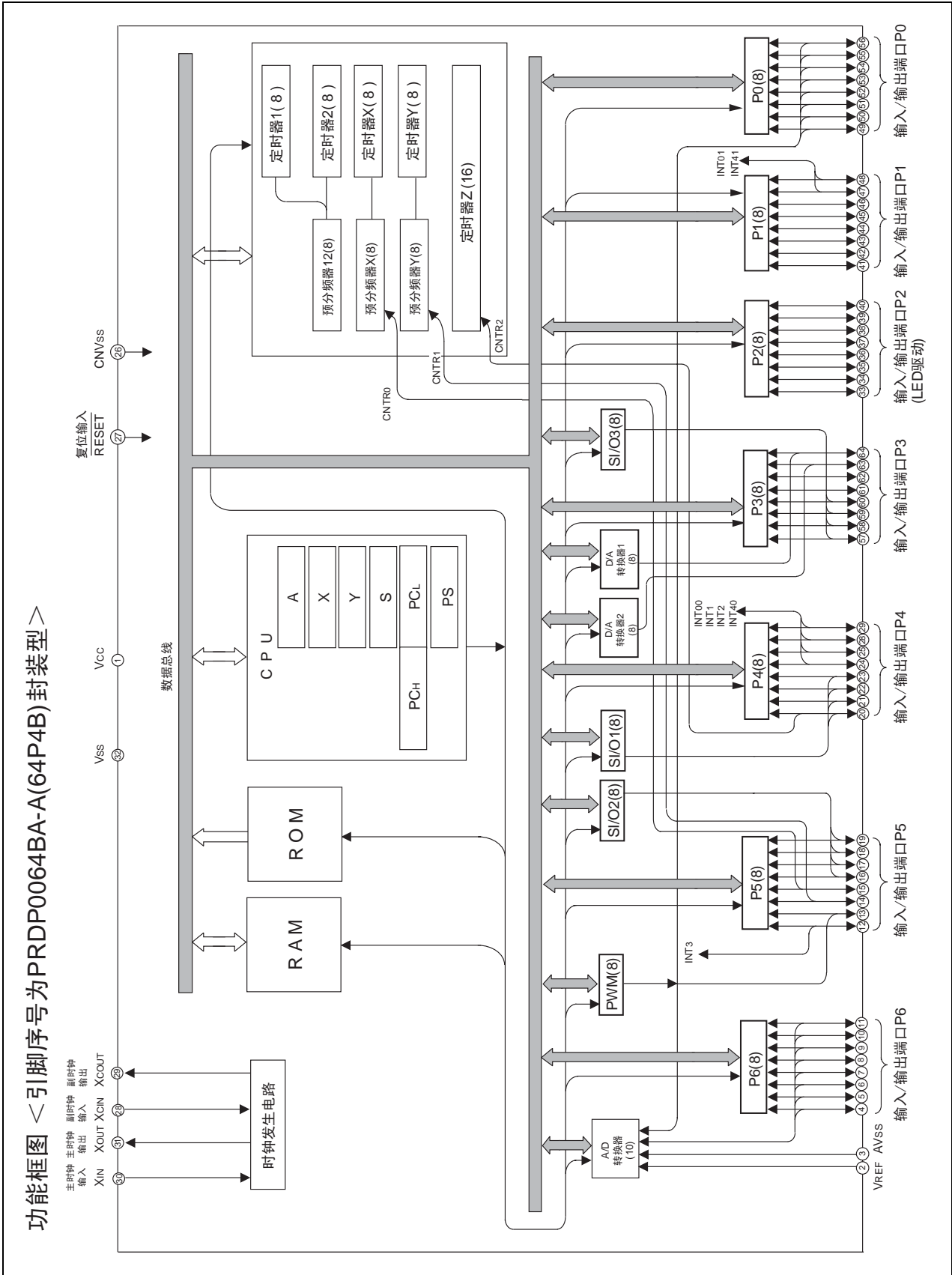


图 4 功能框图

引脚功能的说明

表 2 引脚功能的说明

| 引脚名 | 名称 | 功能 | |
|--|------------|--|--|
| | | | 端口以外的功能 |
| Vcc、Vss | 电源输入 | 给 Vcc 外加 1.8~5.5V, 给 Vss 外加 0V。 | |
| CNVss | CNVss | 是控制芯片运行模式的引脚, 并且是和 QzROM 编程电源 Vpp 兼用的引脚。通常连接到 Vss。 | |
| VREF | 基准电压输入 | 是 A/D 转换器和 D/A 转换器的基准电压输入引脚。 | |
| AVss | 模拟电源输入 | 是 A/D 转换器和 D/A 转换器的模拟电源输入引脚。 此引脚必须连接到 Vss。 | |
| RESET | 复位输入 | 是“L”电平有效的复位输入引脚。 | |
| XIN | 主时钟输入 | 是时钟发生电路的输入/输出引脚, 在 XIN 和 XOUT 之间连接陶瓷谐振器或者晶体谐振器。 在使用外部时钟时, 将时钟振荡源连接到 XIN 引脚, XOUT 引脚开路。内置反馈电阻。 | |
| XOUT | 主时钟输出 | | |
| P00/AN8~ P07/AN15 | 输入/输出端口 P0 | 是 8 位输入/输出端口, 可通过程序以位单位指定输入/输出。 输入为 CMOS 输入电平, 输出为 CMOS 三态。 能以位单位进行上拉控制。 P20~P27 的 8 位可进行用于 LED 驱动输出的大电流输出。 | A/D 转换器的输入引脚 |
| P10/INT41 P11/INT01 | 输入/输出端口 P1 | | 中断输入引脚 |
| P12~P17 | | | |
| P20(LED0)~ P27(LED7) | 输入/输出端口 P2 | | |
| P30/DA1 P31/DA2 | 输入/输出端口 P3 | 是 8 位的输入/输出端口, 可通过程序以位单位指定输入/输出。 输入为 CMOS 输入电平。 P30、P31 和 P34~P37 输出为 CMOS 三态。 P32 和 P33 为 N 沟道漏极开路。 P32 和 P33 以外的端口能以位单位进行上拉控制。 | D/A 转换器的输出引脚 |
| P32、P33 | | | |
| P34/RxD3 P35/TxD3 P36/SCLK3 P37/SRDY3 | | | 串行 I/O3 的功能引脚 |
| | | | |
| P40/INT40/XCOUT P41/INT00/XCIN | 输入/输出端口 P4 | 是 8 位的输入/输出端口, 可通过程序以位单位指定输入/输出。 输入为 CMOS 输入电平, 输出为 CMOS 三态。 能以位单位进行上拉控制。 | 中断输入引脚 副时钟发生电路的输入/输出引脚 (连接谐振器) |
| P42/INT1 P43/INT2 | | | 中断输入引脚 |
| P44/RxD1 P45/TxD1 P46/SCLK1 | | | 串行 I/O1 的功能引脚 |
| P47/SRDY1/CNTR2 | | | 串行 I/O1 和定时器 Z 的功能引脚 |
| P50/SIN2 51/SOUT2 P52/SCLK2 P53/SRDY2 | | | 串行 I/O2 的功能引脚 |
| P54/CNTR0 P55/CNTR1 P56/PWM P57/INT3 | | | 定时器 X 的功能引脚 定时器 Y 的功能引脚 PWM 输出引脚 中断输入引脚 |
| P60/AN0~ P67/AN7 | 输入/输出端口 P6 | | A/D 转换器的输入引脚 |

型号、存储器容量和封装

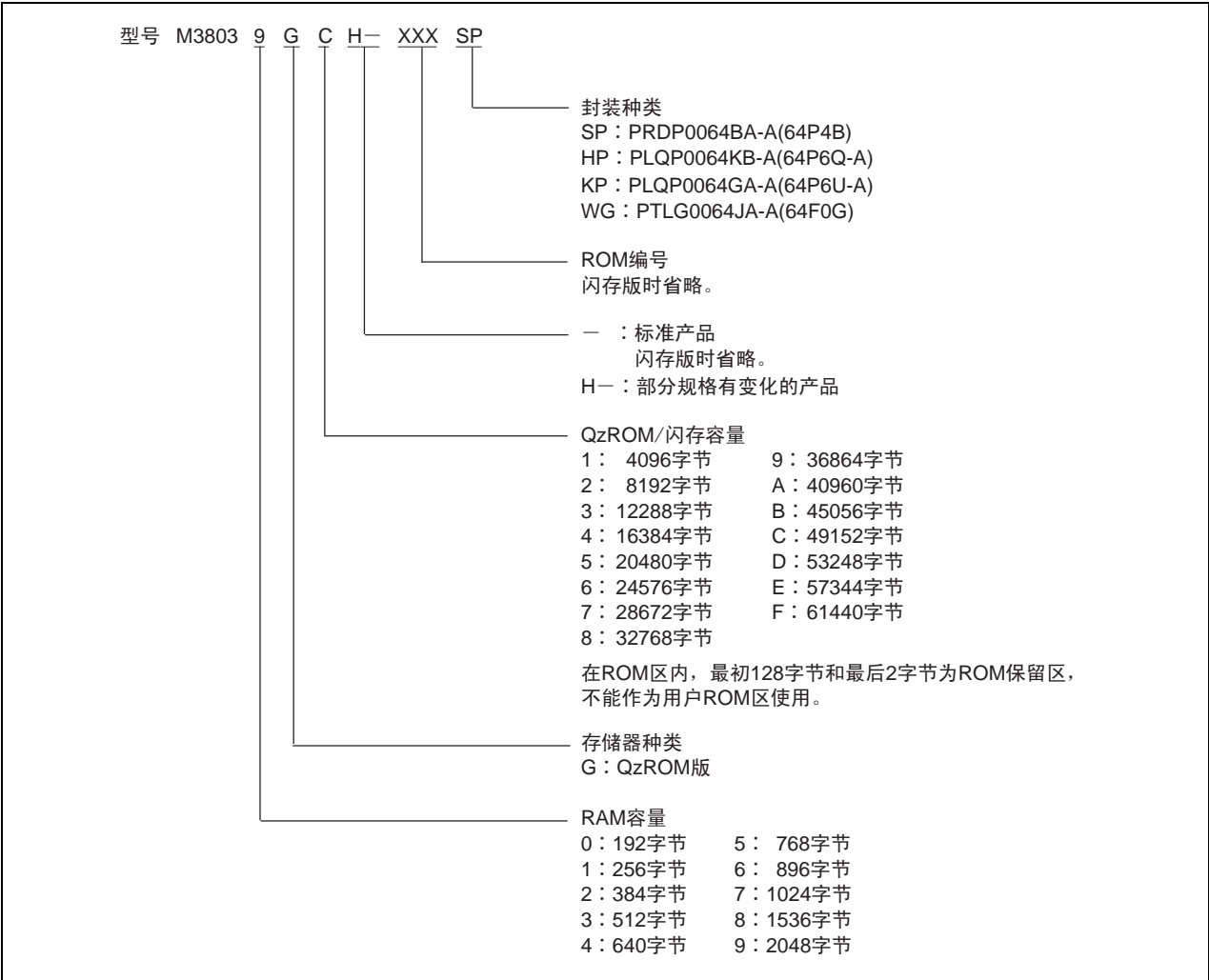


图 5 型号、存储器容量和封装

群的展开

正在计划对 3803 群 (H 规格 QzROM 版) 进行如下的展开。

存储器的种类

支持 QzROM 版。

存储器容量

QzROM 容量 16K~48K 字节
 RAM 容量 2048 字节

封装

- PRDP0064BA-A (64P4B)
缩型塑封 SDIP
- PLQP0064KB-A (64P6Q-A)
0.5mm 节距塑封 LQFP
- PLQP0064GA-A (64P6U-A)
0.8mm 节距塑封 LQFP
- PTLG0064JA-A (64F0G)
0.65mm 节距塑封 FLGA

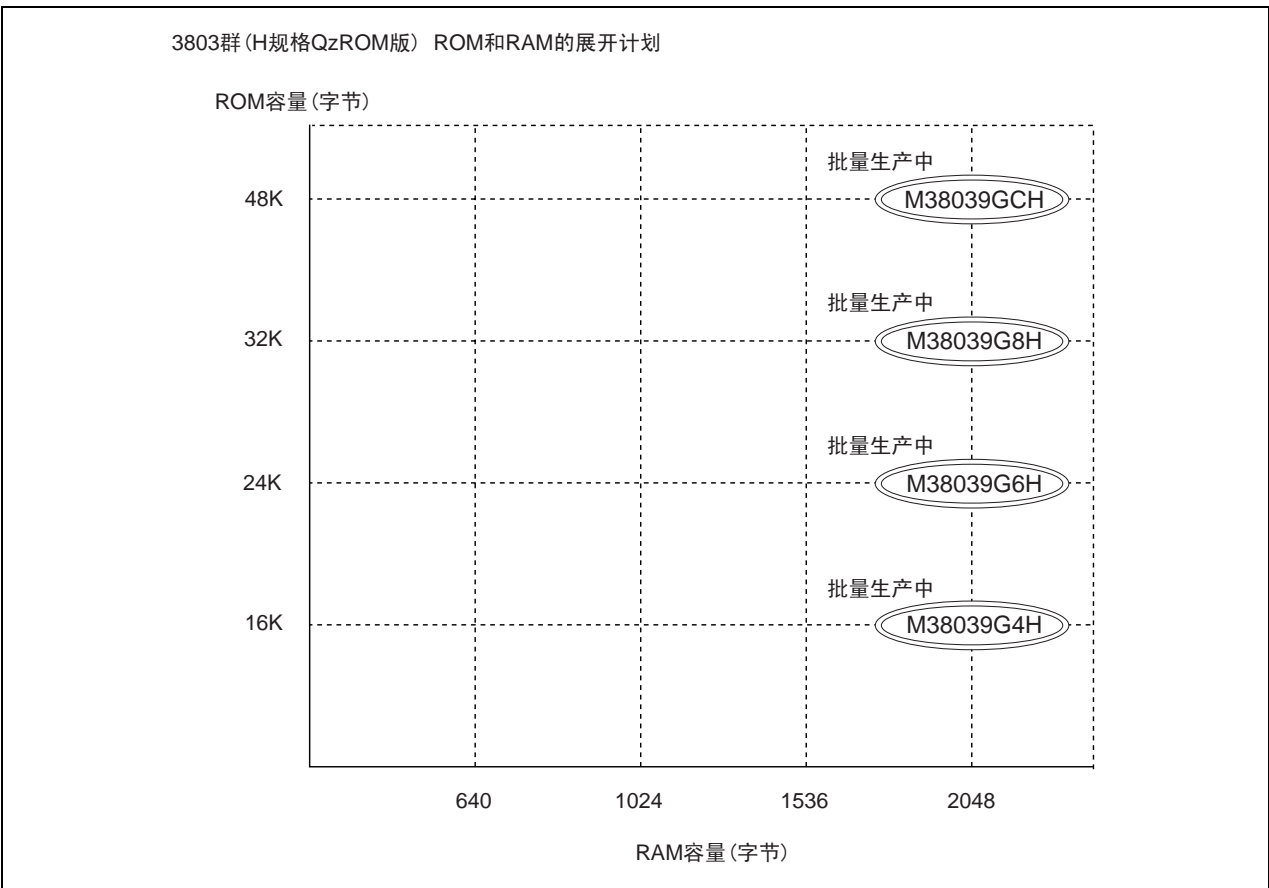


图 6 ROM 和 RAM 的展开计划

表 3 产品一览表

| 产品型号 | QzROM 容量 (字节) () 内为用户 ROM 容量 | RAM 容量 (字节) | 封装 | 备注 |
|-----------------|----------------------------------|------------------------|------------------------|-------------------------------|
| M38039G4H-XXXHP | 16384 | 2048 | PLQP0064KB-A (64P6Q-A) | QzROM 版 (编程后发货产品) (注 1) |
| M38039G4H-XXXKP | (16254) (注 3) | | PLQP0064GA-A (64P6U-A) | |
| M38039G6H-XXXHP | 24576 | | PLQP0064KB-A (64P6Q-A) | |
| M38039G6H-XXXKP | (24446) (注 3) | | PLQP0064GA-A (64P6U-A) | |
| M38039G8H-XXXHP | 32768 | | PLQP0064KB-A (64P6Q-A) | |
| M38039G8H-XXXKP | (32638) (注 3) | | PLQP0064GA-A (64P6U-A) | |
| M38039GCH-XXXHP | 49152 | | PLQP0064KB-A (64P6Q-A) | |
| M38039GCH-XXXKP | (49022) (注 3) | | PLQP0064GA-A (64P6U-A) | |
| M38039GCH-XXXWG | | | PTLG0064-JA-A (64F0G) | |
| M38039G4HSP | 16384 | | PRDP0064BA-A (64P4B) | |
| M38039G4HHP | (16254) (注 3) | | PLQP0064KB-A (64P6Q-A) | |
| M38039G4HKP | | | PLQP0064GA-A (64P6U-A) | |
| M38039G6HSP | 24576 | | PRDP0064BA-A (64P4B) | |
| M38039G6HHP | (24446) (注 3) | | PLQP0064KB-A (64P6Q-A) | |
| M38039G6HKP | | | PLQP0064GA-A (64P6U-A) | |
| M38039G8HSP | 32768 | | PRDP0064BA-A (64P4B) | |
| M38039G8HHP | (32638) (注 3) | | PLQP0064KB-A (64P6Q-A) | |
| M38039G8HKP | | | PLQP0064GA-A (64P6U-A) | |
| M38039GCHSP | 49152 | | PRDP0064BA-A (64P4B) | |
| M38039GCHHP | (49022) (注 3) | | PLQP0064KB-A (64P6Q-A) | |
| M38039GCHKP | | PLQP0064GA-A (64P6U-A) | | |
| M38039GCHWG | | PTLG0064-JA-A (64F0G) | | |

注 1. 用户 ROM 编程后发货。

注 2. 空白产品的用户 ROM 区为空白。

注 3. ROM 容量包含 ROM 代码保护区。

功能块的运行说明

中央处理器 (CPU)

3803 群 (H 规格 QzROM 版) 具有和 740 族共同的 CPU。关于各指令的运行, 请参照 740 族寻址方式和机器指令一览表、或者 740 族软件手册。

依存于产品种类的指令如下:

1. 没有 FST、SLW 指令。
2. 能使用 MUL、DIV 指令。
3. 能使用 WIT 指令。
4. 能使用 STP 指令。

中央运算处理器 (CPU) 有 6 个寄存器。CPU 的寄存器结构如图 9 所示。

【累加器】(A)

累加器是 8 位寄存器。以此寄存器为核心执行运算、传送等数据处理。

【变址寄存器 X】(X)

变址寄存器 X 是 8 位寄存器。在变址寻址方式中, 使用此寄存器进行寻址。

【变址寄存器 Y】(Y)

变址寄存器 Y 是 8 位寄存器。在变址寻址方式中, 使用此寄存器进行寻址。

【栈指针】(S)

栈指针是 8 位寄存器。在调用子程序或者中断时, 此寄存器指向保存寄存器的存储位置 (堆栈) 的起始地址。

用此寄存器指定堆栈的低 8 位地址。高 8 位地址由栈页选择位的内容决定, 此位是 “0” 时, 高 8 位为 “00₁₆”, 此位是 “1” 时, 高 8 位为 “01₁₆”。

堆栈的保存和恢复运行如图 8 所示。对这里所示以外的必要的寄存器必须用程序保存 (参照表 4)。

【程序计数器】(PC)

程序计数器是由 PCH 和 PCL 构成的 16 位计数器。PCH 和 PCL 都是 8 位结构。程序计数器指定下一个要执行的程序存储地址。

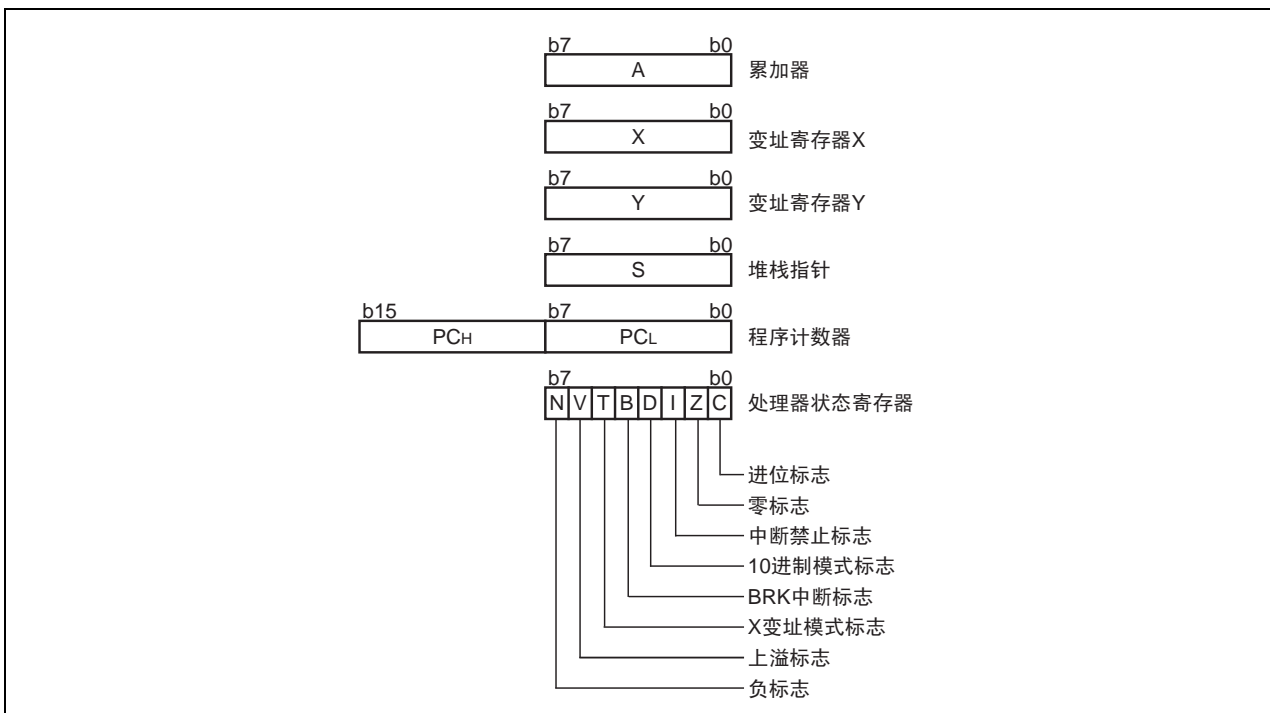


图 7 740 族 CPU 的结构

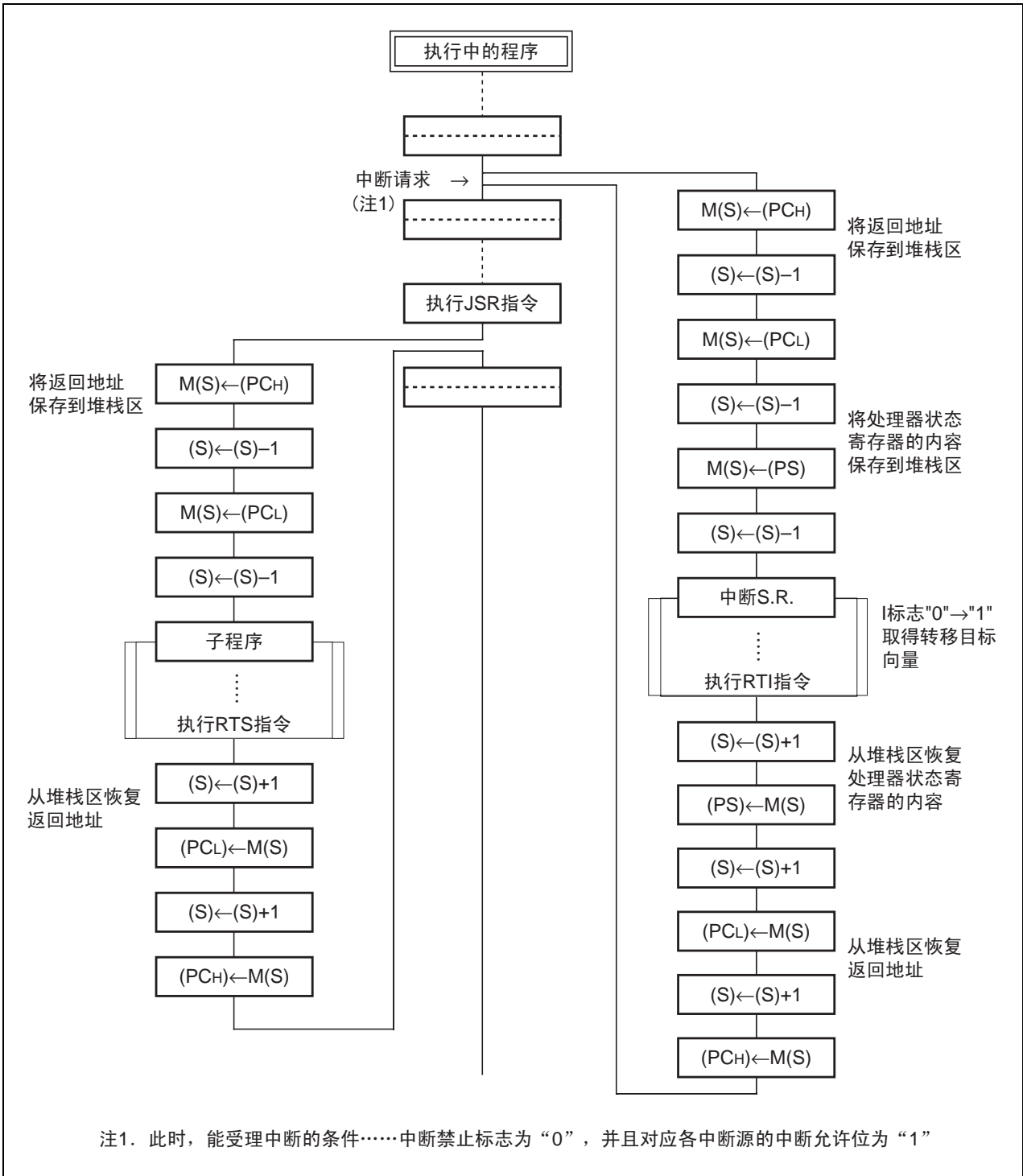


图 8 堆栈的保存和恢复的操作

表 4 累加器和处理器状态寄存器的保存指令和恢复指令

| | 保存到堆栈的指令 | 从堆栈恢复的指令 |
|----------|----------|----------|
| 累加器 | PHA | PLA |
| 处理器状态寄存器 | PHP | PLP |

【处理器状态寄存器】 (PS)

处理器状态寄存器是 8 位寄存器，由保持刚进行运算后的状态的 5 个标志和决定 MCU 运行的 3 个标志构成。C、Z、V 以及 N 标志能用于转移指令的检测，在 10 进制模式时，Z、V 以及 N 标志无效。

- bit0: 进位标志 (C)

保持来自运算处理后的算术逻辑运算器的进位或者借位。移位指令或者循环指令也会改变此标志。

- bit1: 零标志 (Z)

在运算处理或者数据传送的结果为“0”时，此标志被置位；结果不为“0”时，此标志被清除。

- bit2: 中断禁止标志 (I)

用于禁止除了 BRK 指令以外的所有中断的标志。此标志为“1”时，为中断禁止状态。

- bit3: 10 进制模式标志 (D)

决定用 2 进制还是用 10 进制进行加减运算的标志。此标志为“1”时，把 1 字节作为 2 位的 10 进制数进行运算。自动进行 10 进制调整，但是，只有 ADC 指令和 SBC 指令能进行 10 进制运算。

- bit4: 中断标志 (B)

用于识别是否用 BRK 指令中断的标志。用 BRK 指令中断时，标志内容自动置“1”，除此以外的中断将此位置“0”，然后保存到堆栈。

- bit5: X 变址模式标志 (T)

此标志为“0”时，在累加器和存储器之间进行运算；此标志为“1”时，能通过累加器，直接在存储器与存储器之间进行运算。

- bit6: 溢出标志 (V)

在把 1 字节作为带符号的 2 进制数进行加减运算时，使用此标志。在加减运算结果超过+127 或者小于-128 时，此标志被置位。另外，在执行 BIT 指令的情况下，BIT 指令执行对象的存储器的 bit6 存入此标志。

- bit7: 负标志 (N)

在运算处理或者数据传送的结果为负时，此标志被置位。另外，在执行了 BIT 指令的情况下，BIT 指令执行对象的存储器的 bit7 存入此标志。

表 5 置位或者清除处理器状态寄存器各标志的指令

| | C 标志 | Z 标志 | I 标志 | D 标志 | B 标志 | T 标志 | V 标志 | N 标志 |
|------|------|------|------|------|------|------|------|------|
| 置位指令 | SEC | — | SEI | SED | — | SET | — | — |
| 清除指令 | CLC | — | CLI | CLD | — | CLT | CLV | — |

【CPU 模式寄存器】CPUM

在 CPU 模式寄存器中分配了栈页选择位和内部系统时钟控制位等，此寄存器分配在地址 003B16。

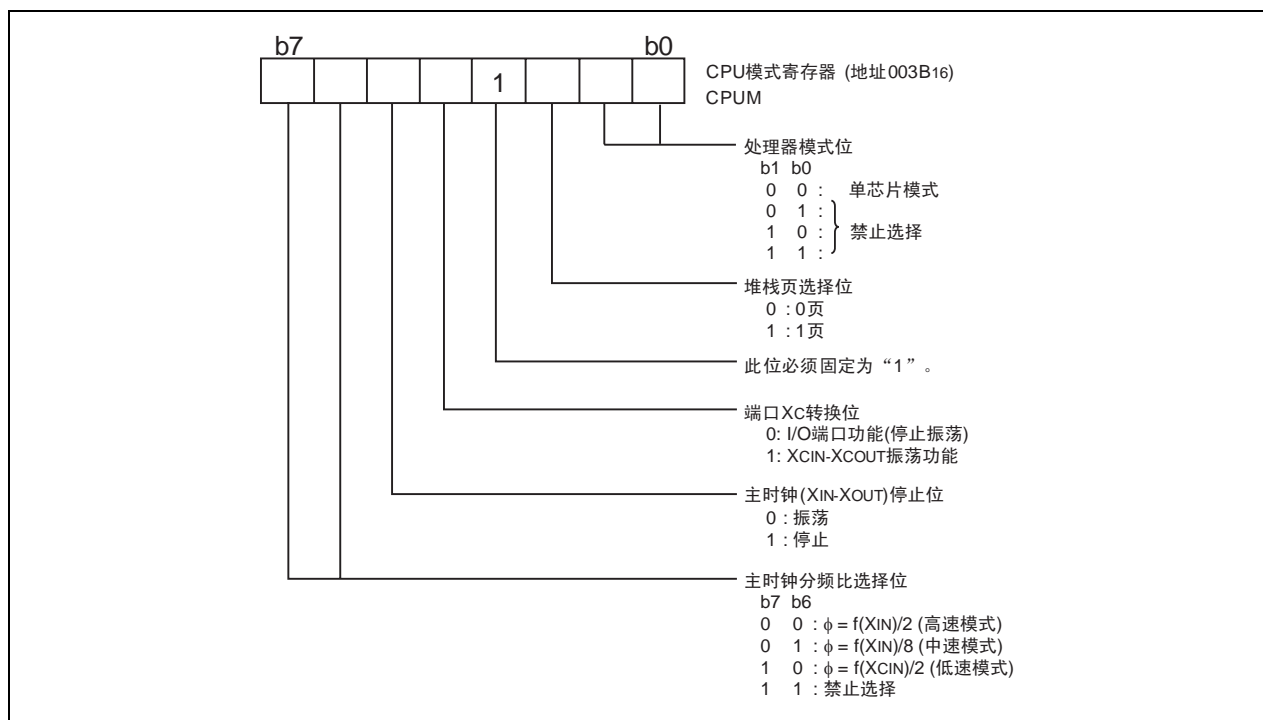


图 9 CPU 模式寄存器的结构

【MISRG】 MISRG**(1) 解除 STP 指令后的振荡稳定时间设定位 (地址 0010₁₆ 的 bit0)**

在根据 STP 指令振荡处于停止状态的情况下, 如果通过外部中断源解除 STP 指令, 因为需要等待振荡稳定时间, 所以通常将值自动设定到定时器 1 和预分频器 12 (定时器 1←01₁₆、预分频器 12←FF₁₆)。能通过 MISRG (地址 0010₁₆) 的 bit0 置“1”, 禁止自动设定。

但是, 在将此位设定为“1”时, 因为执行 STP 指令前的设定值还留在定时器 1 和预分频器 12 中, 所以必须在执行 STP 指令前将作为振荡稳定时间的适当值设定到各自的寄存器。

MISRG 的结构如图 10 所示。

(2) 中速模式的自动转换功能 (地址 0010₁₆ 的 bit1、2、3)

在持有副时钟的单片机从低速模式转换到中速模式 (或者高速模式) 时, 需要设定 CPU 模式寄存器 (地址 003B₁₆), 进行主时钟振荡开始→等待振荡稳定时间→中速模式的转换。本单片机内置了通过软件从低速模式自动转换到中速模式的功能。

●通过软件的中速模式自动转换

单片机在低速模式中运行中, 可以通过软件自动转换到中速模式。在低速模式运行中, 如果在低速模式自动转换设定位为“1”的状态下将 MISRG (地址 0010₁₆) 的中速模式自动转换开始位 (bit3) 设定为“1”, 就自动转换到中速模式。能通过 MISRG (地址 0010₁₆) 的中速模式自动转换等待时间设定位 (bit2) 选择此时的主时钟的振荡稳定时间。

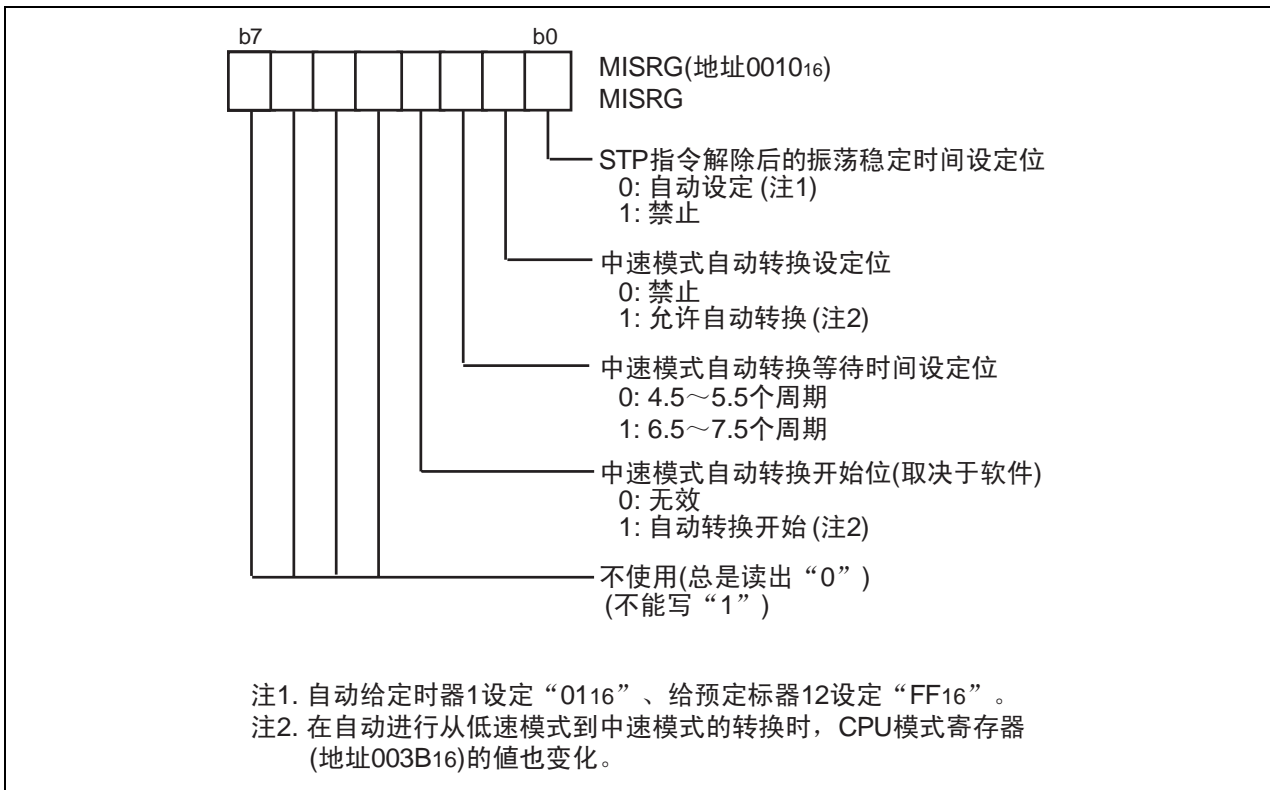


图 10 MISRG 的结构

存储器

●SFR 区

配置了输入/输出端口、定时器等控制寄存器。

●RAM

它用于数据保存、子程序调用以及中断时的堆栈等。

●ROM

最初 128 字节和最后 2 字节是用于检查产品的保留区，除此以外是用户区。

另外，对于 QzROM 版，地址 FFDB₁₆ 的 1 个字节也为保留区。

●中断向量区

它是复位和中断的向量地址保存区。

●零页

它是能通过使用零页寻址方式以 2 字节存取的区域。

●专用页

它是能通过使用专用页寻址方式以 2 字节存取的区域。

●ROM 代码保护地址 (地址 FFDB₁₆)

QzROM 版的保留区的地址 FFDB₁₆ 为 ROM 代码保护地址。如果选择了“串行编程器的保护位写”或者在编程后产品发货 (本公司) 时选择了“有保护”，“00₁₆”或者“FE₁₆”就被写入该地址。如果将“00₁₆”或者“FE₁₆”写到 ROM 代码保护地址，保护功能就有效，此后串行编程器不能对其读写。

在由串行编程器对 QzROM 空白产品进行 ROM 写操作时，通过选择“保护位写”来保护 ROM 代码。

3803 群 (H 规格 QzROM 版) 能分 2 次执行保护，从 ROM 起始地址到“EFFF₁₆”的区域为保护区 1。

对于 QzROM 编程后发货产品，在本公司进行编程时将“00₁₆”(全区域有保护)、“FE₁₆”(保护区 1 有保护)或者“FF₁₆”(无保护)写入 ROM 代码保护地址。订货时可用 ROM 选项 (在掩模转换实用程序中记为“掩模选项”)选择。

■注意事项

因为 RAM 的内容在复位时不定，所以必须在使用前设定初始值。

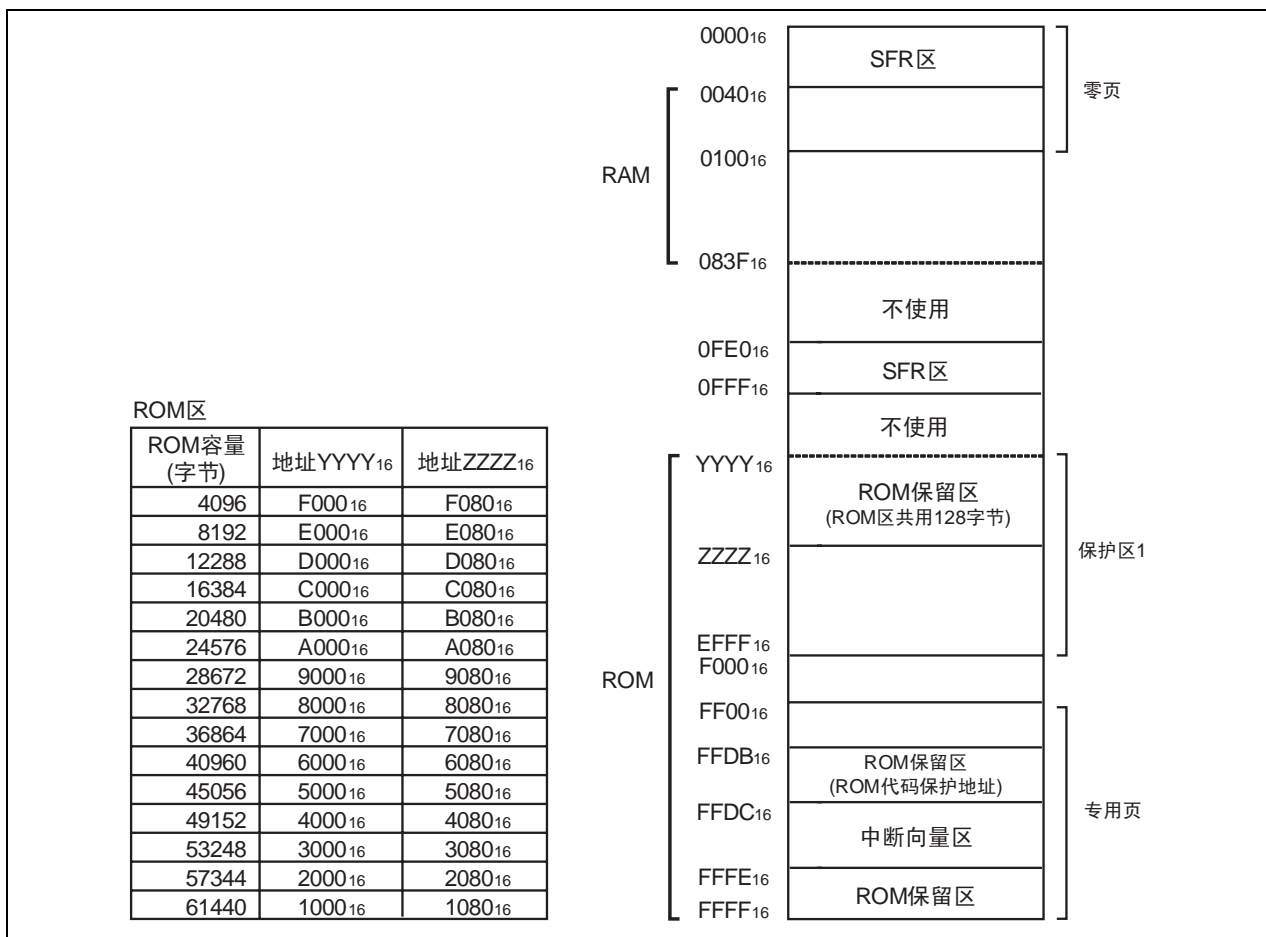


图 11 存储器配置图

| | | | |
|--------------------|---------------------------|--------------------|-----------------------|
| 0000 ₁₆ | 端口P0 (P0) | 0020 ₁₆ | 预分频器12 (PRE12) |
| 0001 ₁₆ | 端口P0方向寄存器 (P0D) | 0021 ₁₆ | 定时器1 (T1) |
| 0002 ₁₆ | 端口P1 (P1) | 0022 ₁₆ | 定时器2 (T2) |
| 0003 ₁₆ | 端口P1方向寄存器 (P1D) | 0023 ₁₆ | 定时器XY模式寄存器 (TM) |
| 0004 ₁₆ | 端口P2 (P2) | 0024 ₁₆ | 预分频器X (PREX) |
| 0005 ₁₆ | 端口P2方向寄存器 (P2D) | 0025 ₁₆ | 定时器X (TX) |
| 0006 ₁₆ | 端口P3P (P3) | 0026 ₁₆ | 预分频器Y (PREY) |
| 0007 ₁₆ | 端口P3方向寄存器 (P3D) | 0027 ₁₆ | 定时器Y (TY) |
| 0008 ₁₆ | 端口P4 (P4) | 0028 ₁₆ | 定时器Z低位 (TZL) |
| 0009 ₁₆ | 端口P4方向寄存器 (P4D) | 0029 ₁₆ | 定时器Z高位 (TZH) |
| 000A ₁₆ | 端口P5 (P5) | 002A ₁₆ | 定时器Z模式寄存器 (TZM) |
| 000B ₁₆ | 端口P5方向寄存器 (P5D) | 002B ₁₆ | PWM控制寄存器 (PWMCON) |
| 000C ₁₆ | 端口P6 (P6) | 002C ₁₆ | PWM预分频器 (PREPWM) |
| 000D ₁₆ | 端口P6方向寄存器 (P6D) | 002D ₁₆ | PWM寄存器 (PWM) |
| 000E ₁₆ | 定时器12,X计数源选择寄存器 (T12XCSS) | 002E ₁₆ | |
| 000F ₁₆ | 定时器Y,Z计数源选择寄存器 (TYZCSS) | 002F ₁₆ | 波特率发生器3 (BRG3) |
| 0010 ₁₆ | MISRG | 0030 ₁₆ | 发送/接收缓冲寄存器3 (TB3/RB3) |
| 0011 ₁₆ | 保留 (注) | 0031 ₁₆ | 串行I/O3状态寄存器 (SIO3STS) |
| 0012 ₁₆ | 保留 (注) | 0032 ₁₆ | 串行I/O3控制寄存器 (SIO3CON) |
| 0013 ₁₆ | 保留 (注) | 0033 ₁₆ | UART3控制寄存器 (UART3CON) |
| 0014 ₁₆ | 保留 (注) | 0034 ₁₆ | AD/DA控制寄存器 (ADCON) |
| 0015 ₁₆ | 保留 (注) | 0035 ₁₆ | AD转换寄存器1 (AD1) |
| 0016 ₁₆ | 保留 (注) | 0036 ₁₆ | DA1转换寄存器 (DA1) |
| 0017 ₁₆ | 保留 (注) | 0037 ₁₆ | DA2转换寄存器 (DA2) |
| 0018 ₁₆ | 发送/接收缓冲寄存器1 (TB1/RB1) | 0038 ₁₆ | AD转换寄存器2 (AD2) |
| 0019 ₁₆ | 串行I/O1状态寄存器 (SIO1STS) | 0039 ₁₆ | 中断源选择寄存器 (INTSEL) |
| 001A ₁₆ | 串行I/O1控制寄存器 (SIO1CON) | 003A ₁₆ | 中断边沿选择寄存器 (INTEDGE) |
| 001B ₁₆ | UART1控制寄存器 (UART1CON) | 003B ₁₆ | CPU模式寄存器 (CPUM) |
| 001C ₁₆ | 波特率发生器1 (BRG1) | 003C ₁₆ | 中断请求寄存器1 (IREQ1) |
| 001D ₁₆ | 串行I/O2控制寄存器 (SIO2CON) | 003D ₁₆ | 中断请求寄存器2 (IREQ2) |
| 001E ₁₆ | 闪存定时器控制寄存器 (WDTCON) | 003E ₁₆ | 中断控制寄存器1 (ICON1) |
| 001F ₁₆ | 串行I/O2寄存器 (SIO2) | 003F ₁₆ | 中断控制寄存器2 (ICON2) |
| 0FE0 ₁₆ | 保留 (注) | 0FF0 ₁₆ | 端口P0上拉控制寄存器 (PULL0) |
| 0FE1 ₁₆ | 保留 (注) | 0FF1 ₁₆ | 端口P1上拉控制寄存器 (PULL1) |
| 0FE2 ₁₆ | 保留 (注) | 0FF2 ₁₆ | 端口P2上拉控制寄存器 (PULL2) |
| 0FE3 ₁₆ | 保留 (注) | 0FF3 ₁₆ | 端口P3上拉控制寄存器 (PULL3) |
| 0FE4 ₁₆ | 保留 (注) | 0FF4 ₁₆ | 端口P4上拉控制寄存器 (PULL4) |
| 0FE5 ₁₆ | 保留 (注) | 0FF5 ₁₆ | 端口P5上拉控制寄存器 (PULL5) |
| 0FE6 ₁₆ | 保留 (注) | 0FF6 ₁₆ | 端口P6上拉控制寄存器 (PULL6) |
| 0FE7 ₁₆ | 保留 (注) | | |
| 0FE8 ₁₆ | 保留 (注) | | |
| 0FE9 ₁₆ | 保留 (注) | | |
| 0FEA ₁₆ | 保留 (注) | | |
| 0FEB ₁₆ | 保留 (注) | | |
| 0FEC ₁₆ | 保留 (注) | | |
| 0FED ₁₆ | 保留 (注) | | |
| 0FEE ₁₆ | 保留 (注) | | |
| 0FEF ₁₆ | 保留 (注) | | |

注1. 不能对保留区写任何数据。
注2. 不能存取SFR的空区。

图 12 SFR (专用功能寄存器) 存储器映像

输入/输出端口

输入/输出端口持有方向寄存器，可按位单位设定是用作输入端口还是用作输出端口。如果将方向寄存器置“1”，该引脚就为输出端口；清“0”，为输入端口。

如果读被设定为输出端口的引脚，就读取端口锁存器的内容而不是引脚的值。设定为输入端口的引脚处于浮动状态，能读取引脚的值，如果对其进行写操作，虽然能写到端口锁存器，但是引脚仍然处于浮动状态。

可以通过设定端口 P0 上拉控制寄存器（地址 0FF016）～端口 P6 上拉控制寄存器（地址 0FF616），在程序中进行上拉控制。但是，被设定为输出端口的引脚不进行上拉。

表 6 输入/输出端口的功能一览表

| 引脚名 | 名称 | 输入/输出 | 输入/输出格式 | 端口以外的功能 | 关联的 SFR | 图号 | |
|---|-------|------------------------------------|------------------------------|-------------------------|------------------------------|------------------------------|--------------------------|
| P00/AN8～ P07/AN15 | 端口 P0 | 输入/输出 位单位 | CMOS 输入电平 CMOS 三态输出 | A/D 转换器输入 | AD/DA 控制寄存器 | (1) | |
| P10/INT41 P11/INT01 | 端口 P1 | | | 外部中断输入 | 中断边沿选择寄存器 | (2) | |
| P12～P17 | | | | | | (3) | |
| P20/LED0～ P27/LED7 | 端口 P2 | | | | | | |
| P30/DA1 P31/DA2 | 端口 P3 | | | D/A 转换器输出 | AD/DA 控制寄存器 | (4) | |
| P32、P33 | | | | CMOS 输入电平 N 沟道漏极开路输出 | | | (5) |
| P34/RxD3 P35/TxD3 P36/SCLK3 P37/ $\overline{\text{SRDY}}_3$ | 端口 P4 | | | CMOS 输入电平 CMOS 三态输出 | 串行 I/O3 功能的输入/输出 | 串行 I/O3 控制寄存器 UART3 控制寄存器 | (6) (7) (8) (9) |
| P40/INT40/XCOUT P41/INT00/XCIN | | | | 外部中断输入 副时钟振荡电路 | 中断边沿选择寄存器 CPU 模式寄存器 | (10) (11) | |
| P42/INT1 P43/INT2 | | | | 外部中断输入 | 中断边沿选择寄存器 | (2) | |
| P44/RxD1 P45/TxD1 P46/SCLK1 | | | | 串行 I/O1 功能的输入/输出 | 串行 I/O1 控制寄存器 UART1 控制寄存器 | (6) (7) (8) | |
| P47/ $\overline{\text{SRDY}}_1$ /CNTR2 | | 串行 I/O1 功能的输入/输出 定时器 Z 功能的输入/输出 | 串行 I/O1 控制寄存器 定时器 Z 模式寄存器 | (12) | | | |
| P50/SIN2 P51/SOUT2 P52/SCLK2 P53/ $\overline{\text{SRDY}}_2$ | | 端口 P5 | 串行 I/O2 功能的输入/输出 | 串行 I/O2 控制寄存器 | (13) (14) (15) (16) | | |
| P54/CNTR0 P55/CNTR1 | | | 定时器 X、Y 功能的输入/ 输出 | 定时器 XY 模式寄存 器 | (17) | | |
| P56/PWM | | | PWM 输出 | PWM 控制寄存器 | (18) | | |
| P57/INT3 | | | 外部中断输入 | 中断边沿选择寄存器 | (2) | | |
| P60/AN0～ P67/AN7 | | | 端口 P6 | A/D 转换器输入 | AD/DA 控制寄存器 | (1) | |

注 1. 有关将双功能端口用作功能输入/输出引脚的方法，请参照相关的项目。

注 2. 在执行 STP 指令中，必须将各引脚的输入电平置为 0V 或者 Vcc。如果电位不稳定，输入端的栅极穿透电流就会流通，增加电源电流。

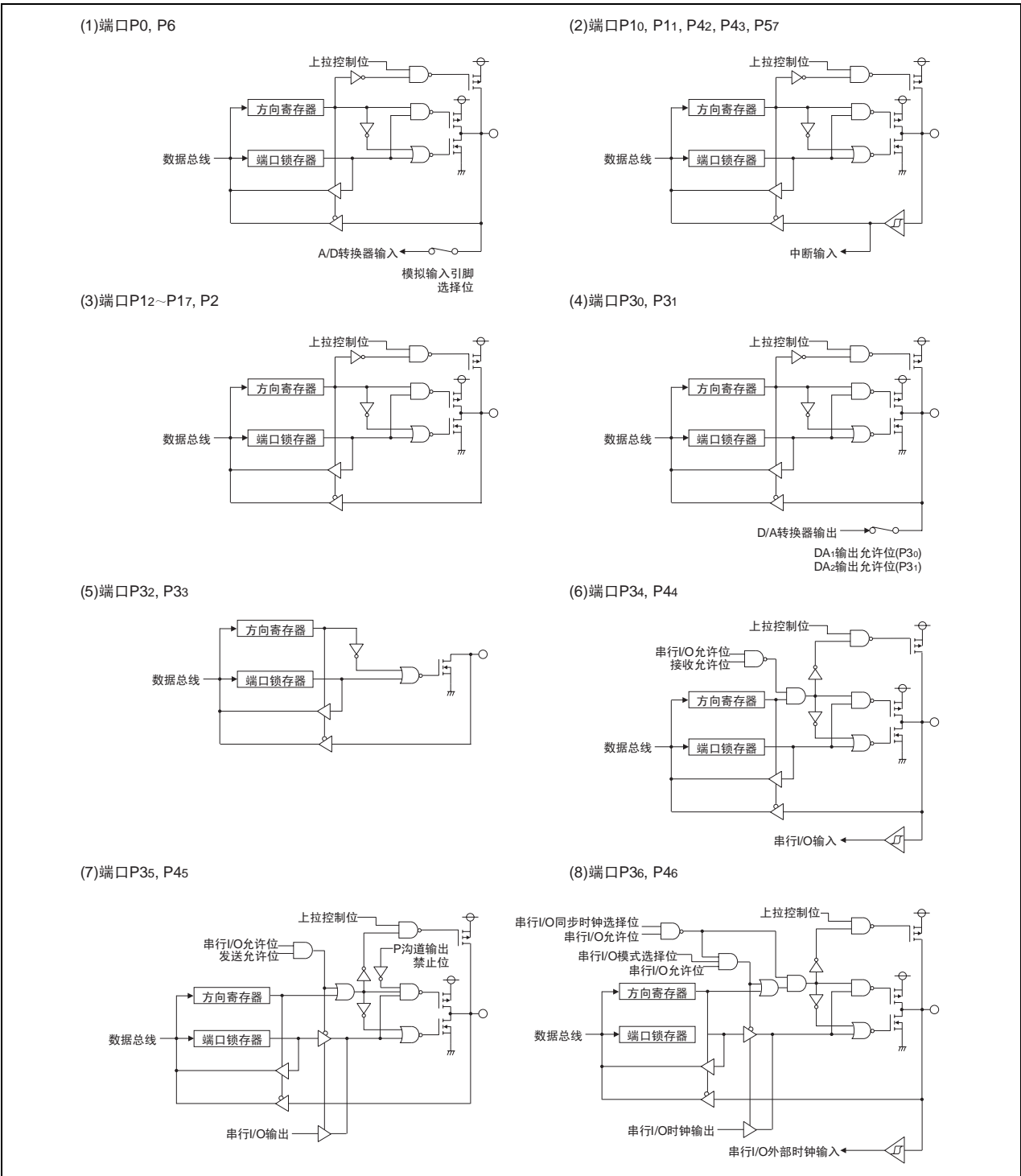


图 13 端口的框图 (1)

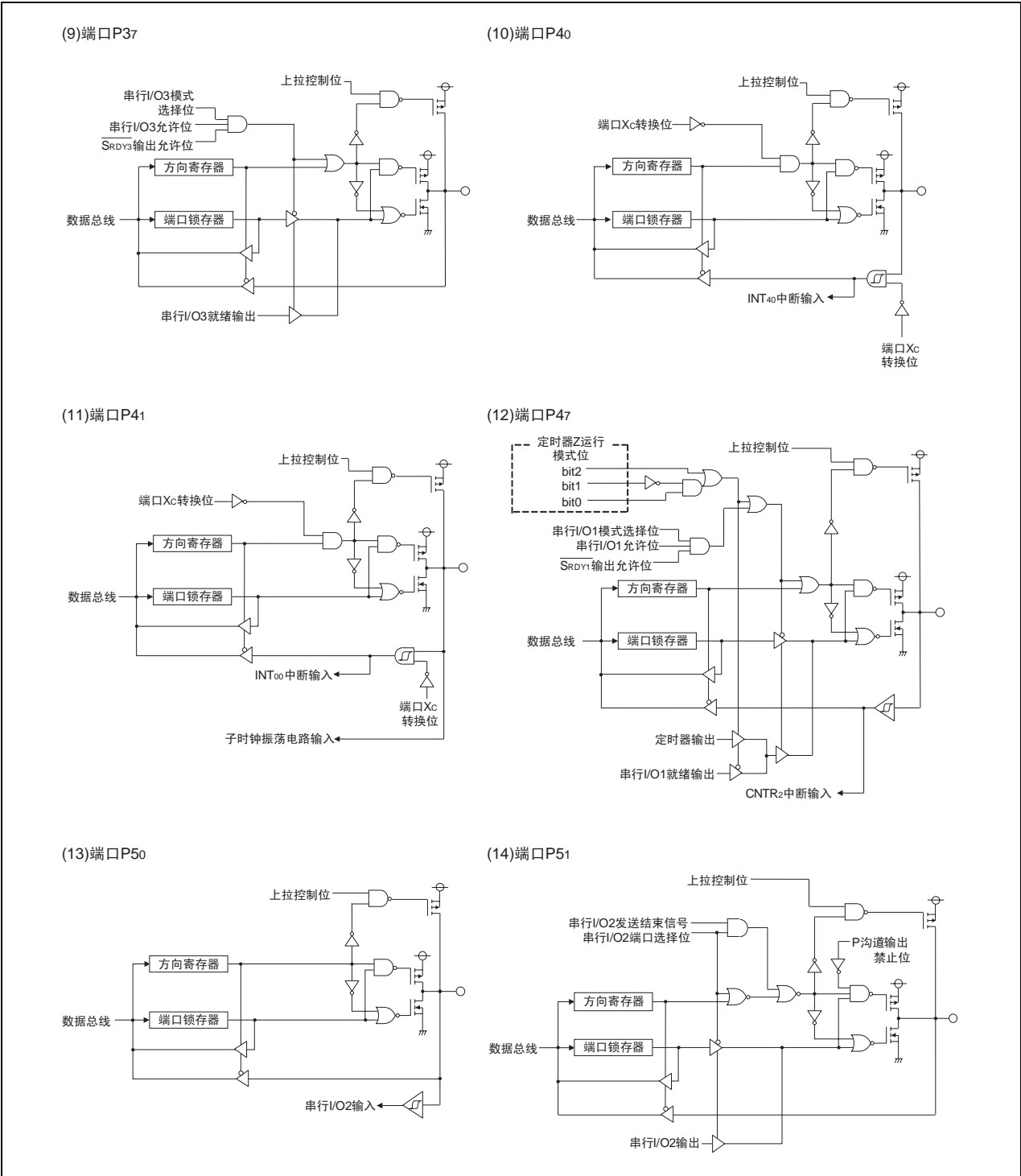


图 14 端口的框图 (2)

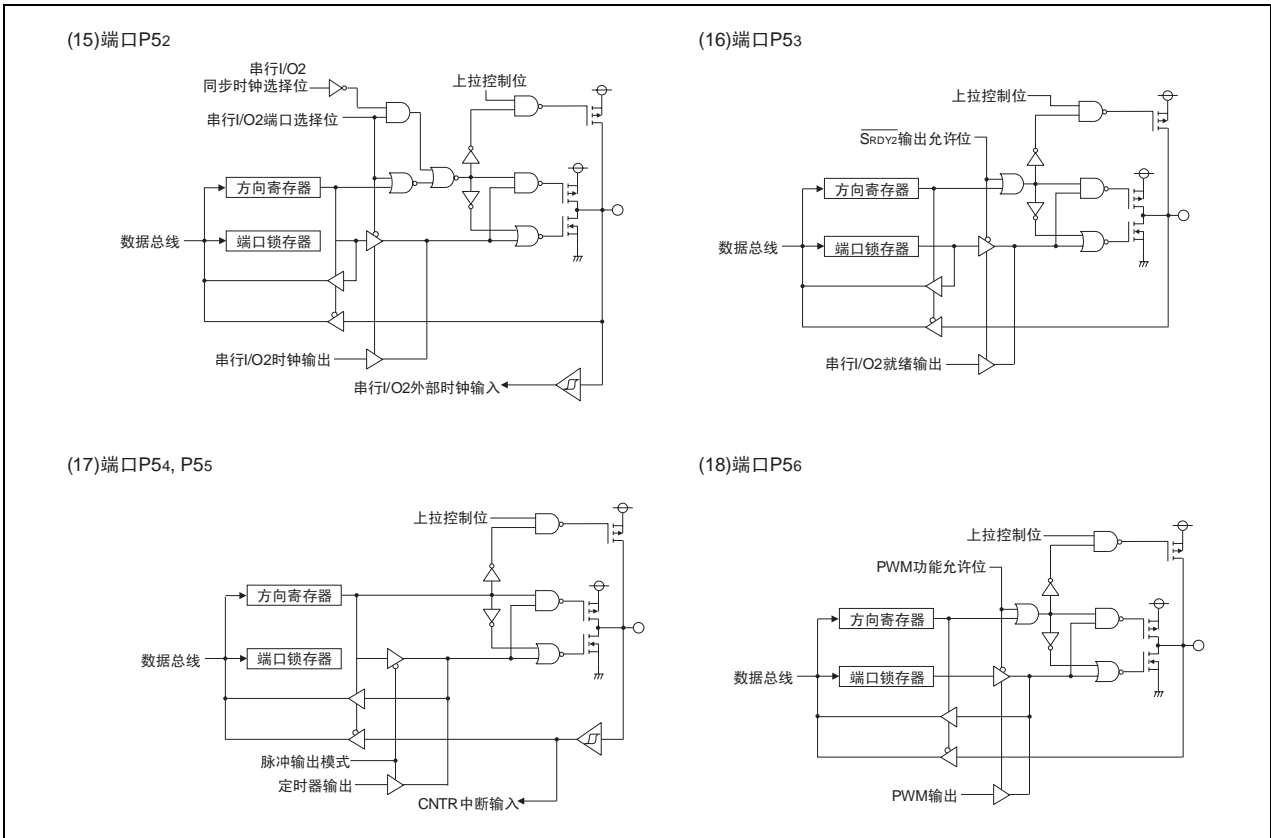


图 15 端口的框图 (3)

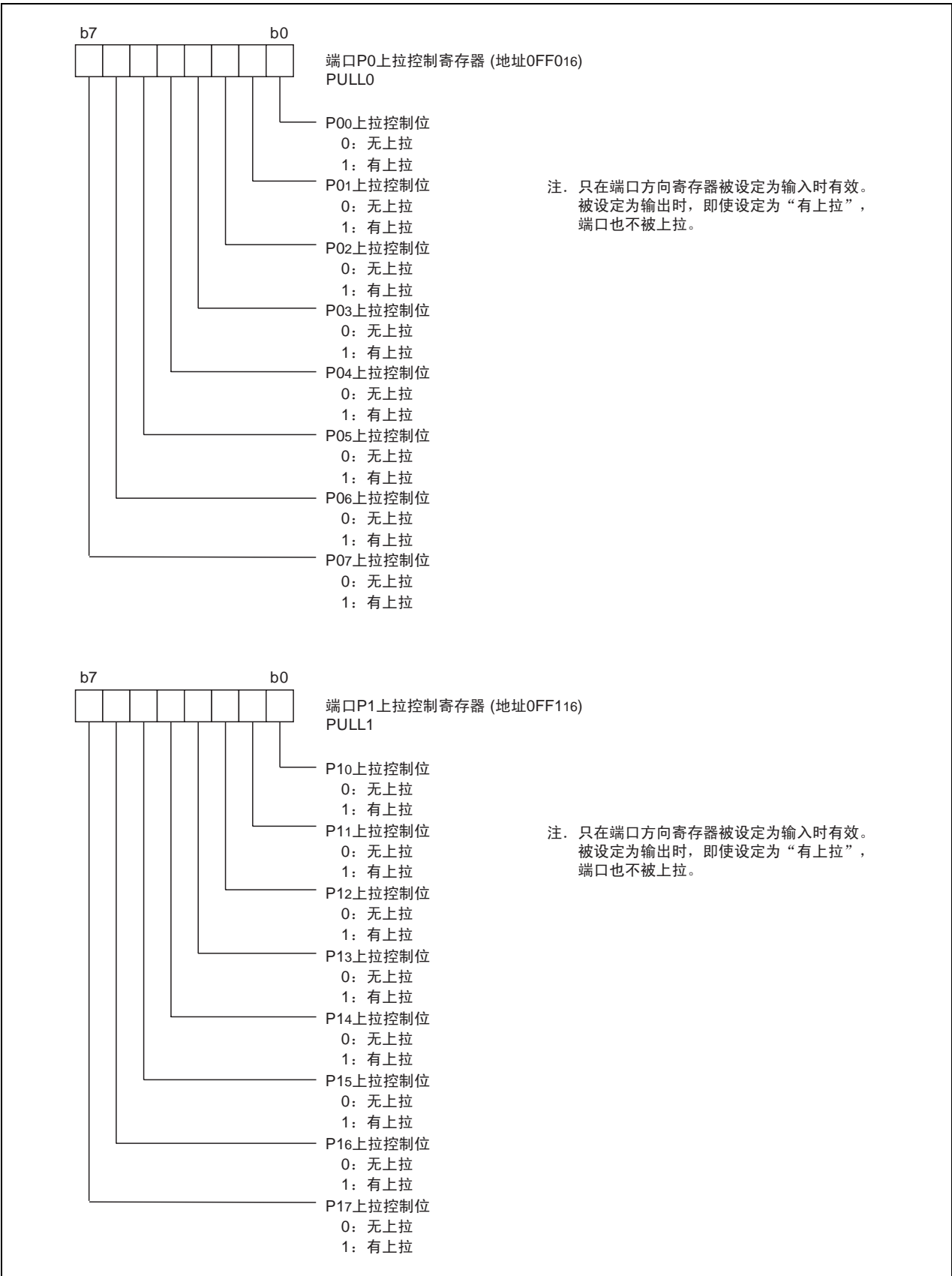


图 16 端口寄存器的结构图 (1)

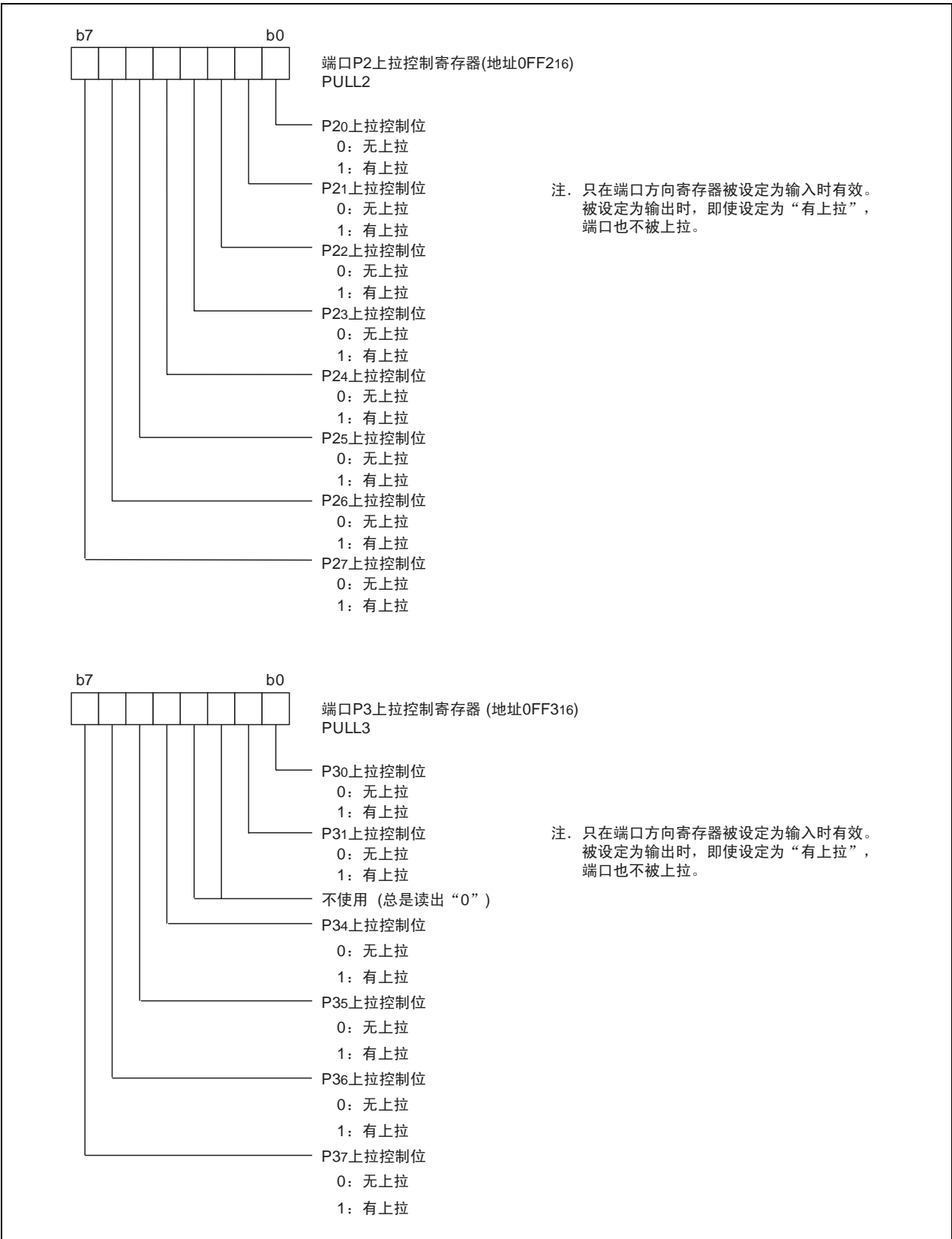


图 17 端口寄存器的结构图 (2)

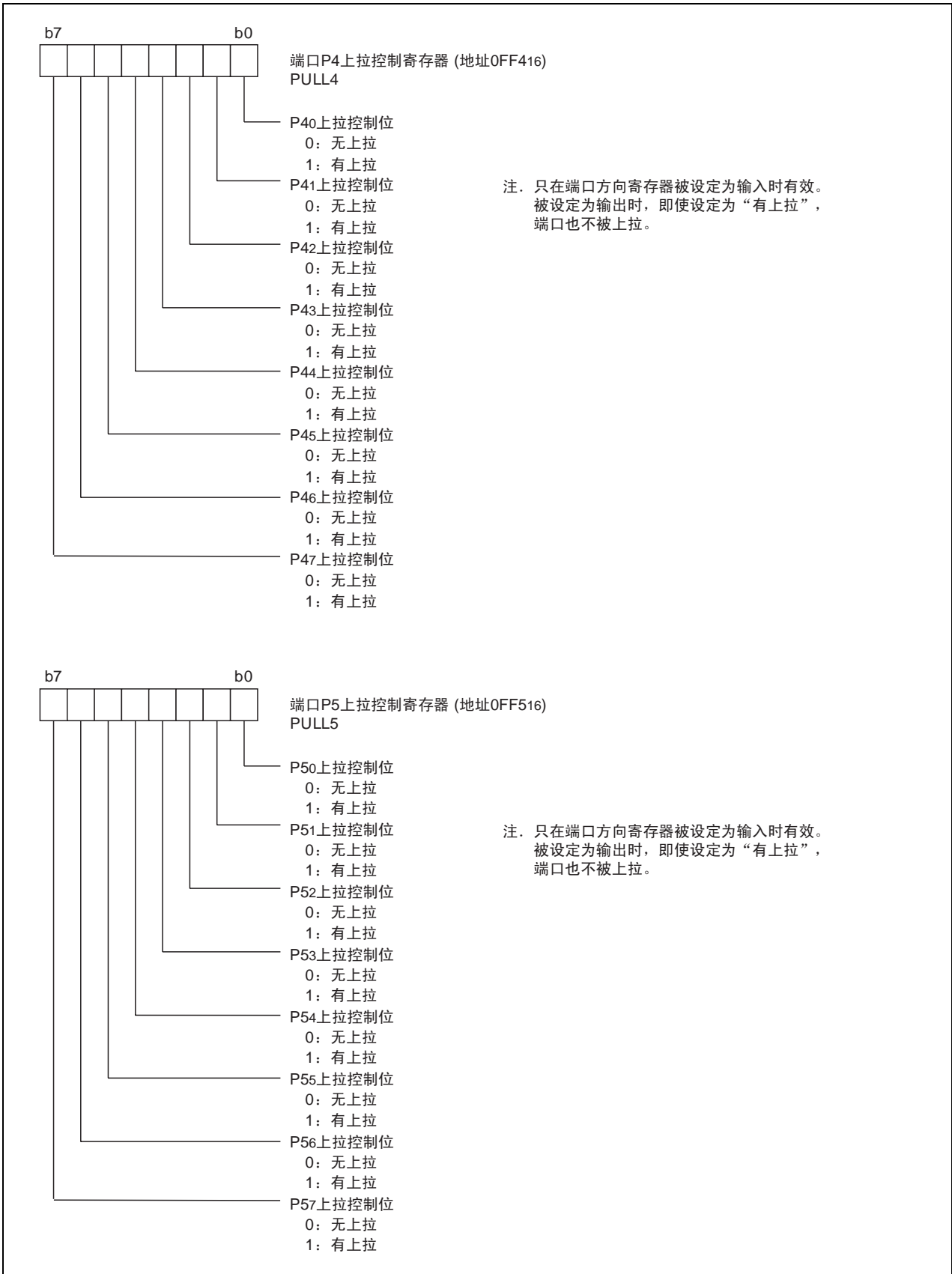


图 18 端口寄存器的结构图 (3)

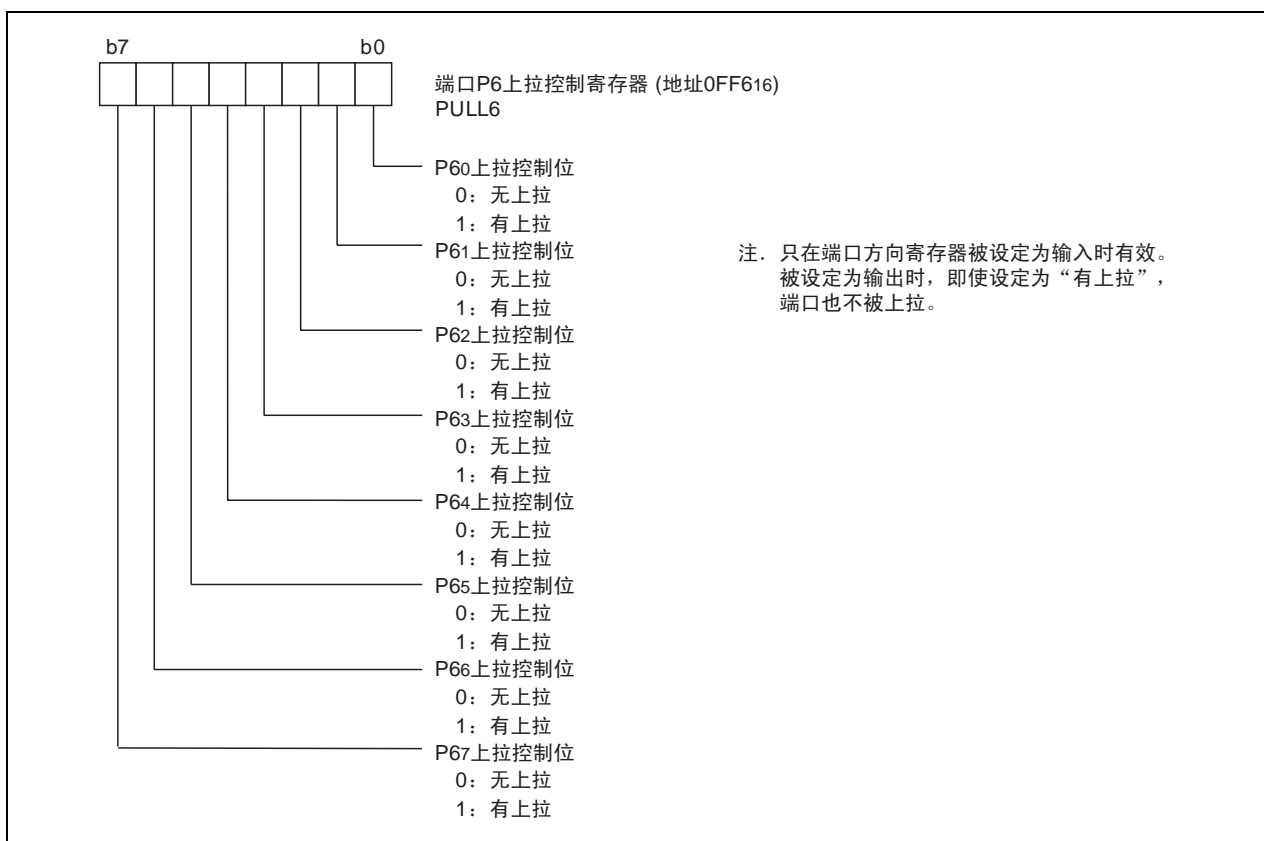


图 19 端口寄存器的结构图 (4)

●未使用引脚的处理方法

• 一般引脚的处理方法

输入/输出端口： 必须选择输入端口或者输出端口并遵循各自的处理方法。另外，考虑到误动作等情况，建议定期地对关联寄存器进行重写。

输出端口： 必须开路。

输入端口： 在输入电平不稳定的情况下，因为穿透电流流入输入电路，尤其在低消耗电流模式时（在执行 STP、WIT 指令中等），有可能增大电源电流，所以必须上拉或者下拉（可使用内部电阻）。设想到由于误动作等而作为输出端口运行的情况，推荐通过能确保 $I_{OH(ave)}$ 或者 $I_{OL(ave)}$ 的电阻处理引脚。

表 7 未使用引脚的处理（单芯片模式时）

| 引脚/端口名 | 处理方法 |
|----------------------|--|
| P0、P1、P2、P3、P4、P5、P6 | <ul style="list-style-type: none"> • 设定为输入模式，通过 $1k\Omega \sim 10k\Omega$ 的电阻将各引脚连接到 V_{CC} 或者 V_{SS} • 设定为输出模式，在“L”或者“H”的输出状态下，将引脚置为开路 |
| VREF 引脚 | 连接到 V_{CC} 或者 V_{SS} (GND) |
| AVSS 引脚 | 连接到 V_{SS} (GND) |
| XOUT 引脚 | 开路（只在使用外部时钟时） |

中断

3803 群 (H 规格 QzROM 版) 的中断是固定优先级方式的向量中断, 能从 8 个外部中断源、12 个内部中断源、1 个软件中断源的 21 个中断源中的 16 个中断源发生中断。中断源、向量地址 (注 1) 和中断优先级如表 8 所示。

BRK 指令中断除外的各中断都有中断请求位和中断允许位, 能通过这些位和中断禁止标志 (I 标志) 控制中断请求的接受。中断控制图如图 20 所示。

在以下条件都成立时, 接受中断请求:

- 中断禁止标志..... “0”
- 中断请求位..... “1”
- 中断允许位..... “1”

中断优先级由硬件固定, 但是能用上述位和标志通过程序进行优先处理。

表 8 中断向量的地址和优先级

| 中断源 | 优先级 | 向量地址 (注 1) | | 发生中断请求的条件 | 备注 |
|-------------------|-----|--------------------------------|--------------------------------|-------------------------------------|-----------------|
| | | 高位 | 低位 | | |
| 复位 (注 2) | 1 | FFFD ₁₆ | FFFC ₁₆ | 在复位时 | 非屏蔽 |
| INT ₀ | 2 | FFFB ₁₆ | FFFA ₁₆ | 在检测到 INT ₀ 输入的上升沿或者下降沿时 | 外部中断 (极性可编程) |
| 定时器 Z | | | | 在定时器 Z 下溢时 | |
| INT ₁ | 3 | FFF9 ₁₆ | FFF8 ₁₆ | 在检测到 INT ₁ 输入的上升沿或者下降沿时 | 外部中断 (极性可编程) |
| 串行 I/O1 接收 | 4 | FFF7 ₁₆ | FFF6 ₁₆ | 在结束串行 I/O1 数据接收时 | 只在选择串行 I/O1 时有效 |
| 串行 I/O1 发送 | 5 | FFF5 ₁₆ | FFF4 ₁₆ | 在结束串行 I/O1 发送移位或者发送缓冲器空时 | 只在选择串行 I/O1 时有效 |
| 定时器 X | 6 | FFF3 ₁₆ | FFF2 ₁₆ | 在定时器 X 下溢时 | |
| 定时器 Y | 7 | FFF1 ₁₆ | FFF0 ₁₆ | 在定时器 Y 下溢时 | |
| 定时器 1 | 8 | FFEF ₁₆ | FFEE ₁₆ | 在定时器 1 下溢时 | STP 解除定时器的下溢 |
| 定时器 2 | 9 | FFED ₁₆ | FFEC ₁₆ | 在定时器 2 下溢时 | |
| CNTR ₀ | 10 | FFE _B ₁₆ | FFE _A ₁₆ | 在检测到 CNTR ₀ 输入的上升沿或者下降沿时 | 外部中断 (极性可编程) |
| 串行 I/O3 接收 | | | | 在结束接收串行 I/O3 的数据时 | |
| 串行 I/O2 | 12 | FFE ₇ ₁₆ | FFE ₆ ₁₆ | 在结束串行 I/O2 数据发送/接收时 | 只在选择串行 I/O2 时有效 |
| 定时器 Z | | | | 在定时器 Z 下溢时 | |
| INT ₂ | 13 | FFE ₅ ₁₆ | FFE ₄ ₁₆ | 在检测到 INT ₂ 输入的上升沿或者下降沿时 | 外部中断 (极性可编程) |
| INT ₃ | 14 | FFE ₃ ₁₆ | FFE ₂ ₁₆ | 在检测到 INT ₃ 输入的上升沿或者下降沿时 | 外部中断 (极性可编程) |
| INT ₄ | 15 | FFE ₁ ₁₆ | FFE ₀ ₁₆ | 在检测到 INT ₄ 输入的上升沿或者下降沿时 | 外部中断 (极性可编程) |
| CNTR ₂ | | | | 在检测到 CNTR ₂ 输入的上升沿或者下降沿时 | |
| A/D 转换 | 16 | FFD _F ₁₆ | FFD _E ₁₆ | 在结束 A/D 转换时 | 只在选择串行 I/O3 时有效 |
| 串行 I/O3 发送 | | | | 在结束串行 I/O3 发送移位或者发送缓冲器空时 | |
| BRK 指令 | 17 | FFD _D ₁₆ | FFD _C ₁₆ | 在执行 BRK 指令时 | 非屏蔽软件中断 |

注1. 向量地址是指中断转移地址的保存地址。

2. 复位作为优先级最高的中断进行处理。

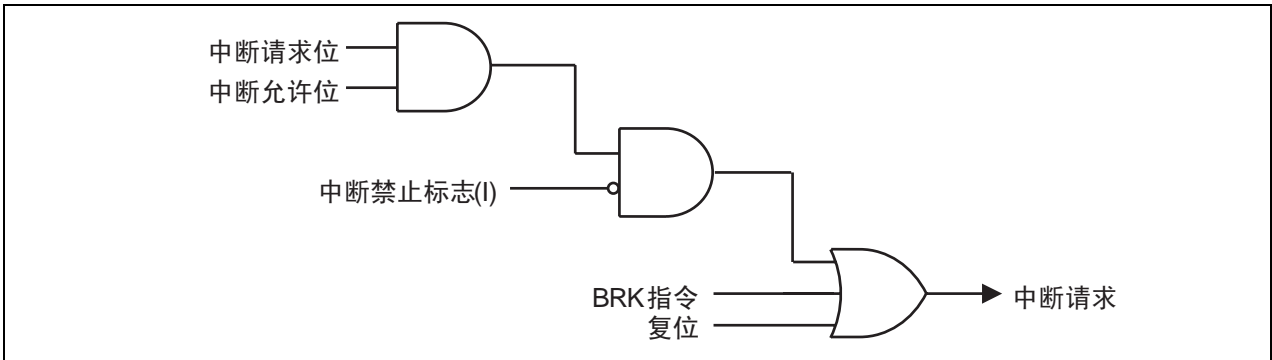


图 20 中断控制图

• 中断禁止标志

处理器状态寄存器的 bit2 是中断禁止标志。中断禁止标志控制 BRK 指令以外的所有中断请求的接受。

如果将此标志置“1”，就禁止接受中断请求；如果置“0”，就允许接受中断请求。置“1”的指令为 SEI 指令，置“0”的指令为 CLI 指令。

如果接受中断请求，就在中断禁止标志为“0”的状态下将处理器状态寄存器的内容保存到堆栈。然后，此标志自动变为“1”，禁止多重中断。在使用多重中断时，必须在中断程序中用 CLI 指令将此标志置“0”。

通过 RTI 指令恢复处理器状态寄存器的内容。

• 中断请求位

如果发生中断请求，对应的中断请求位就变为“1”，并且保持到接受中断请求为止。如果接受中断请求，此位就自动变为“0”。

能通过程序将中断请求位置“0”，但是不能置“1”。

• 中断允许位

中断允许位控制接受对应的中断请求。

当此位为“0”时，就禁止接受中断请求。此时，如果发生中断请求，就只有中断请求位变为“1”，而不接受中断请求。当此位为“1”时，就允许接受中断请求。能通过程序将中断允许位置“0”或者置“1”。

必须将不用中断的中断允许位置“0”。

• 中断源的选择

能通过中断源选择寄存器（地址 0039₁₆）选择以下任意的中断源：

1. INT₀ 或者定时器 Z
2. CNTR₁ 或者串行 I/O₃ 接收
3. 串行 I/O₂ 或者定时器 Z
4. INT₄ 或者 CNTR₂
5. A/D 转换或者串行 I/O₃ 发送

• 外部中断引脚的选择

通过中断边沿选择寄存器的 INT₀ 和 INT₄ 中断转换位（地址 003A₁₆ 的 bit6），能选择外部输入引脚的 INT₀₀、INT₄₀ 或者 INT₀₁、INT₄₁ 作为外部中断 INT₀、INT₄。

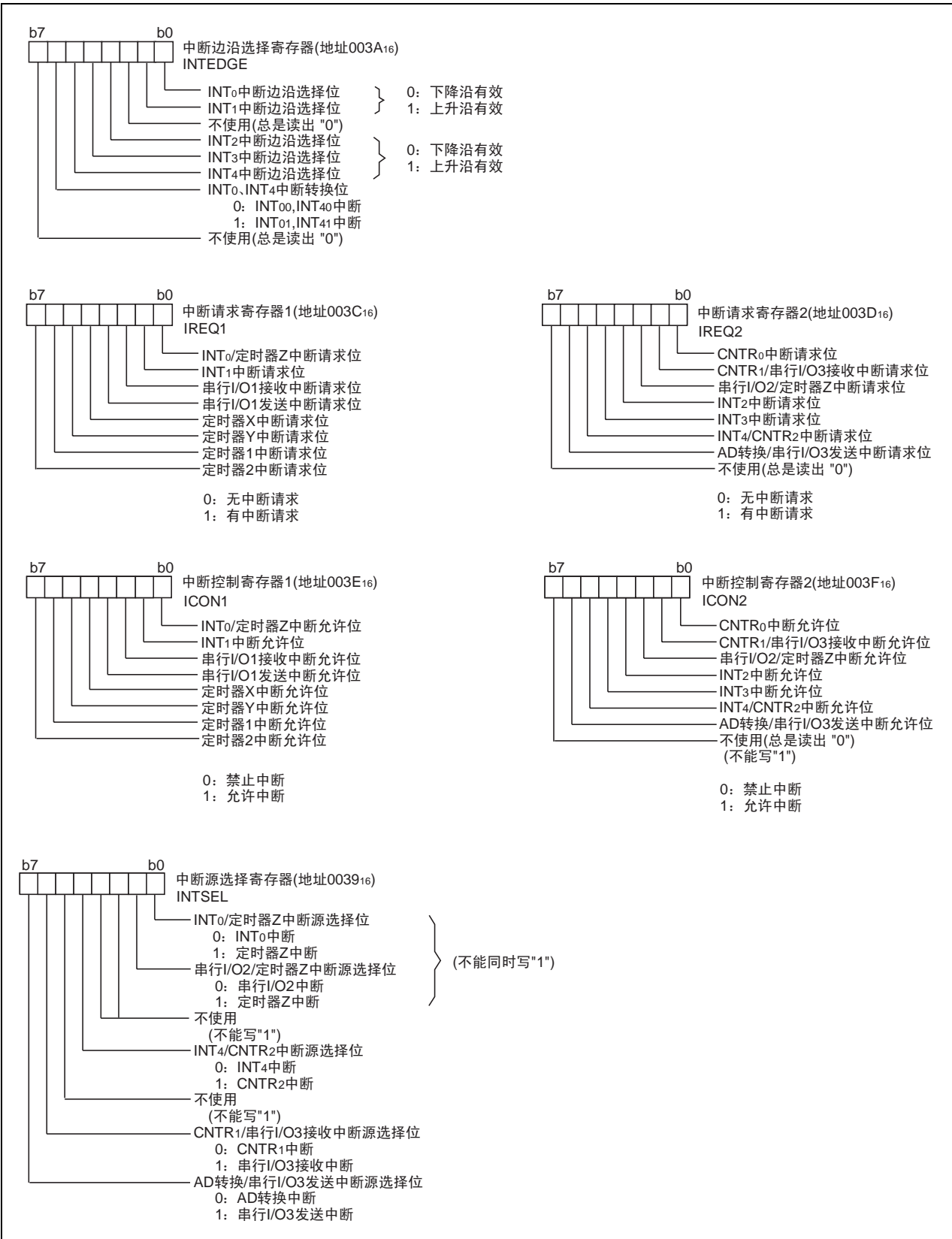


图 21 中断相关的寄存器结构

• 中断请求的发生/接受/处理

中断分为以下 3 个阶段：

(i) 中断请求的发生

由各种中断源（外部中断信号输入、定时器的下溢等）产生中断请求，中断请求位变为“1”。

(ii) 中断请求的接受

通过各指令周期的中断接受时序，中断控制电路判断接受条件（中断请求位、中断允许位和中断禁止标志）和中断优先级后，然后接受中断请求。如果在相同时序发生多个中断请求，就接受优先级最高的中断请求，并且保持没被接受的中断的中断请求位，在下一个中断接受时序再次判断接受条件。

(iii) 接受的中断处理

进行被接受的中断处理。

到执行中断程序的时间和中断响应顺序分别如图 22 和图 23 所示，中断请求的发生、中断请求位和中断请求接受的时序如图 24 所示。

• 中断处理的执行

执行中断处理时，自动执行以下运行：

- (1) 如果现在执行中的指令结束，就接受中断请求。
- (2) 此时的程序计数器和处理器状态寄存器的内容按照①→②→③的顺序被压栈。
 - ①程序计数器高位（PCH）
 - ②程序计数器低位（PCL）
 - ③处理器状态寄存器（PS）
- (3) 在压栈的同时，将对应的中断转移地址（中断程序的起始地址）从中断向量传送到程序计数器。
- (4) 对应中断的中断请求位变为“0”，并且中断禁止标志变为“1”，禁止多重中断。
- (5) 执行中断程序
- (6) 如果执行RTI指令，被压栈的寄存器内容按照③→②→①的顺序出栈，并继续执行中断处理前的程序。

因此，为了执行中断程序，需要设定栈指针和各中断对应的向量内的转移地址。

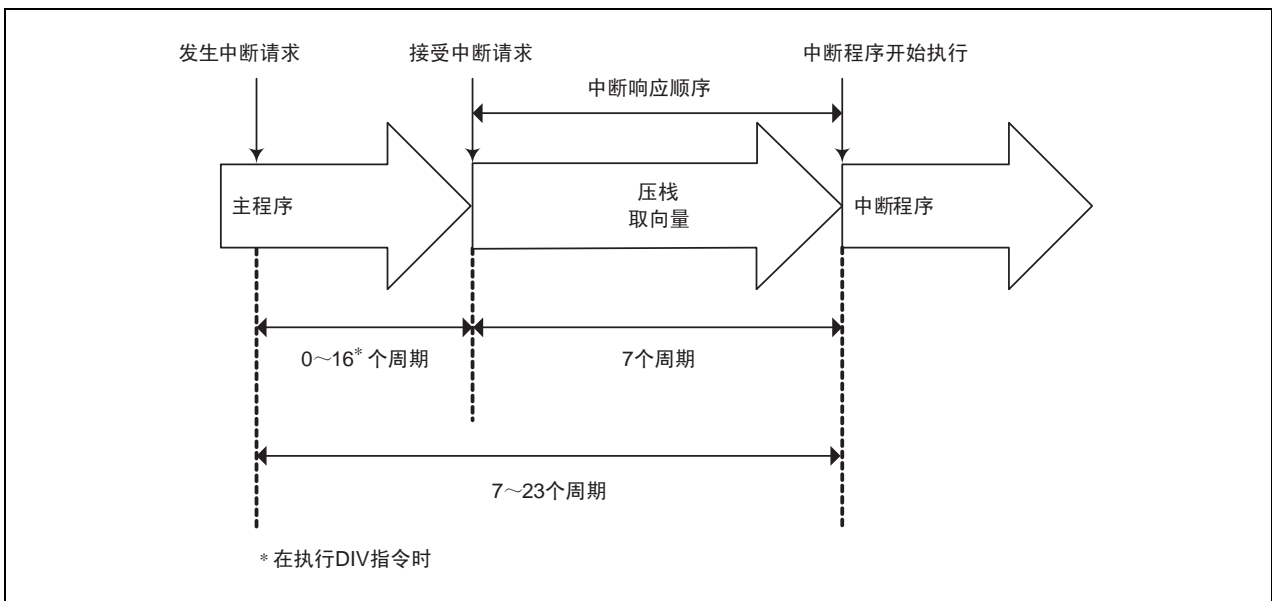


图 22 到执行中断程序的时间

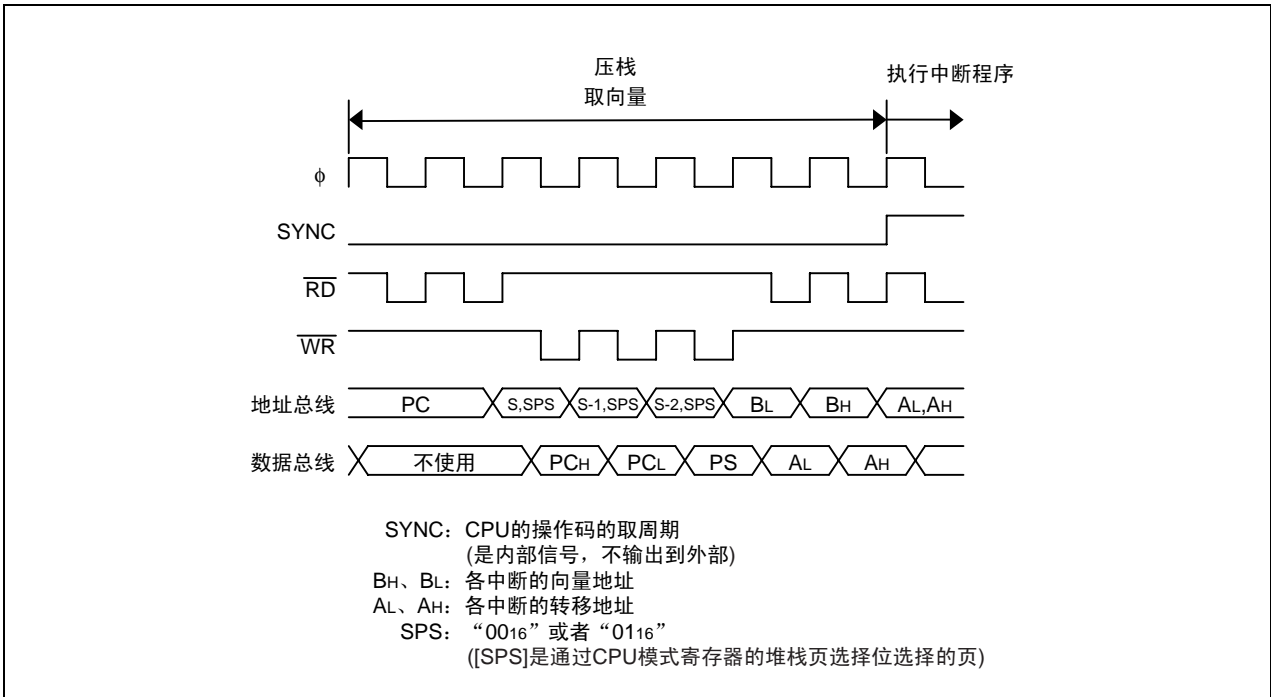


图 23 中断响应顺序

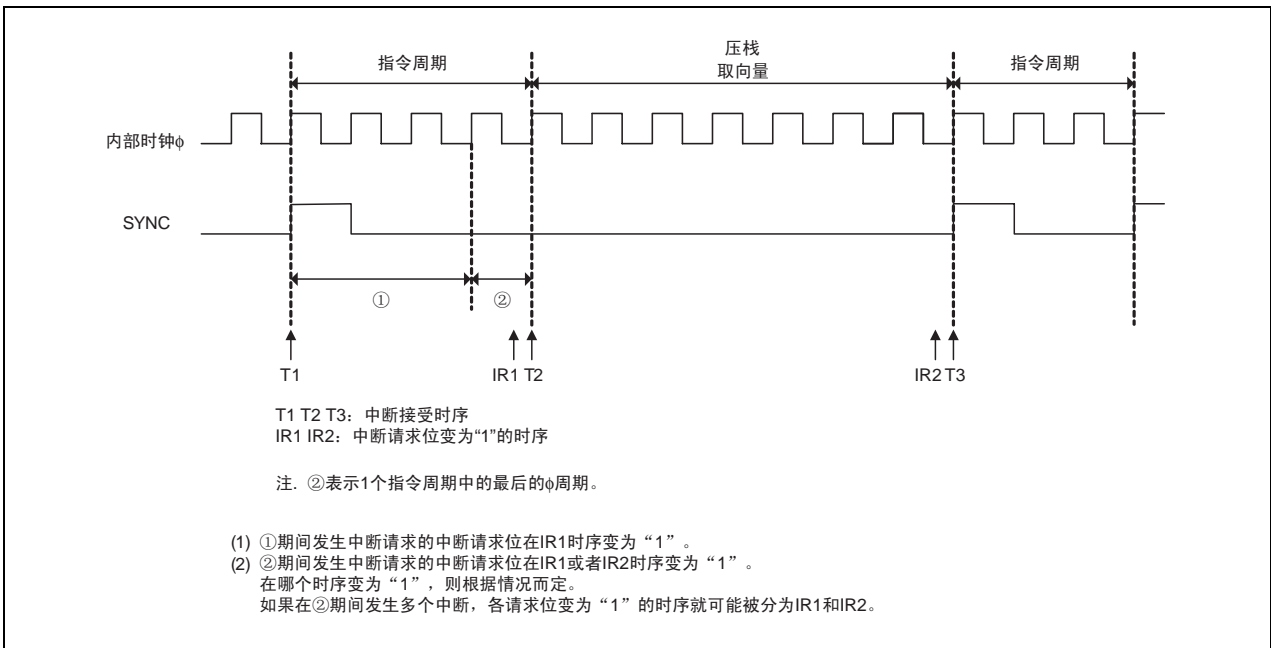


图 24 中断请求发生、中断请求位、中断请求接受的时序

■ 注意事项

在以下情况下，中断请求位可能会变为“1”：

〈在转换外部中断的有效边沿时〉

- INT0 中断边沿选择位
(中断边沿选择寄存器 (地址 003A16) 的 bit0)
- INT1 中断边沿选择位
(中断边沿选择寄存器 (地址 003A16) 的 bit1)
- INT2 中断边沿选择位
(中断边沿选择寄存器 (地址 003A16) 的 bit3)
- INT3 中断边沿选择位
(中断边沿选择寄存器 (地址 003A16) 的 bit4)
- INT4 中断边沿选择位
(中断边沿选择寄存器 (地址 003A16) 的 bit5)
- CNTR0 极性转换位
(定时器 XY 模式寄存器 (地址 002316) 的 bit2)
- CNTR1 极性转换位
(定时器 XY 模式寄存器 (地址 002316) 的 bit6)
- CNTR2 极性转换位
(定时器 Z 模式寄存器 (地址 002A16) 的 bit5)

〈在转换多个中断源共享的中断向量的中断源时〉

- INT0 和 INT4 中断转换位
(中断边沿选择寄存器 (地址 003A16) 的 bit6)
- INT0/定时器 Z 中断源选择位
(中断源选择寄存器 (地址 003916) 的 bit0)
- 串行 I/O2/定时器 Z 中断源选择位
(中断源选择寄存器 (地址 003916) 的 bit1)
- INT4/CNTR2 中断源选择位
(中断源选择寄存器 (地址 003916) 的 bit4)
- CNTR1/串行 I/O3 接受中断源选择位
(中断源选择寄存器 (地址 003916) 的 bit6)
- AD 转换/串行 I/O3 发送中断源选择位
(中断源选择寄存器 (地址 003916) 的 bit7)

当不需要发生与这些设定同步的中断时，必须按以下步骤设定：

- (1) 将该中断允许位置“0”（禁止）。
- (2) 设定中断边沿选择位（极性转换位）或者中断源位。
- (3) 在至少执行一条指令后，将该中断请求位置“0”。
- (4) 将该中断允许位置“1”（允许）。

定时器

●8 位定时器

定时器 1、定时器 2、定时器 X 和定时器 Y 是 8 位定时器。定时器 1 和定时器 2 内置 1 个共用的 8 位预分频器；定时器 X 和定时器 Y 各自内置 1 个 8 位预分频器。各个定时器、预分频器都有定时器锁存器和预分频器锁存器。

假设定时器锁存器或者预分频器锁存器的内容为 n ，则全部定时器和预分频器的分频比为 $1/(n+1)$ 。

定时器为递减计数方式，在计数器内容为“0”的下一个计数脉冲发生下溢，并且再次将定时器锁存器的内容装入定时器，然后继续递减计数。另外，当定时器下溢时，对应各定时器的中断请求位就被置“1”。

• 定时器的分频器

当 CPU 模式寄存器（地址 003B16）的主时钟分频比选择位（b7、b6）为“00”（高速模式）、“01”（中速模式）时，分频器的计数源为 XIN；为“10”（低速模式）时，分频器的计数源为 XCIN。

• 预分频器 12

预分频器 12 对定时器的分频器输出进行计数。计数源由定时器 12 和定时器 X 的计数源选择寄存器（地址 000E16）控制，能分别选择 $f(XIN)$ 或者 $f(XCIN)$ 的 1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024。

• 定时器 1、定时器 2

定时器 1 和定时器 2 总是对预分频器 12 的输出进行计数，并且周期性地对中断请求位置位。

• 预分频器 X、预分频器 Y

预分频器 X 和预分频器 Y 对定时器的分频器输出或者 $f(XCIN)$ 进行计数。计数源由定时器 12、定时器 X 计数源选择寄存器（地址 000E16）、定时器 Y 以及 Z 计数源选择寄存器（地址 000F16）控制，能分别选择 $f(XIN)$ 或者 $f(XCIN)$ 的 1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024 或者 $f(XCIN)$ 。

• 定时器 X、定时器 Y

能通过设定定时器 XY 模式寄存器（地址 002316），分别选择 4 种运行模式。

(1) 定时器模式

<模式的选择>

通过将定时器 XY 模式寄存器（地址 002316）的定时器 X 运行模式位（b1、b0）、定时器 Y 运行模式位（b5、b4）设定为“00”选择此模式。

<运行说明>

通过将定时器 XY 模式寄存器（地址 002316）的定时器 X 计数停止位（b3）、定时器 Y 计数停止位（b7）设定为“0”开始定时器的计数运行。在定时器内容为“00”的下一个计数脉冲发生下溢，并且再次装入定时器锁存器的内容，然后继续计数。

(2) 脉冲输出模式

<模式的选择>

通过将定时器 XY 模式寄存器（地址 002316）的定时器 X 运行模式位（b1、b0）、定时器 Y 运行模式位（b5、b4）设定为“01”选择此模式。

<运行说明>

每当定时器发生下溢时，除了从 CNTR0/CNTR1 引脚输出极性相反的脉冲以外，和定时器模式的运行相同。无论定时器计数运行处在停止中或者允许中，都通过写定时器将 CNTR0/CNTR1 引脚的输出初始化为 CNTR0/CNTR1 极性转换位设定的电平。在定时器 XY 模式寄存器（地址 002316）的 CNTR0 极性转换位（b2）和 CNTR1 极性转换位（b6）为“0”时，CNTR0/CNTR1 引脚从“H”电平开始输出；为“1”时，从“L”电平开始输出。

如果改写 CNTR0/CNTR1 极性转换位的值，就反转 CNTR0/CNTR1 引脚的输出电平。

<注意事项>

必须在此模式中将和 CNTR0/CNTR1 引脚共用的端口 P54/P55 设定为输出。

(3) 事件计数器模式**<模式的选择>**

通过将定时器 XY 模式寄存器 (地址 002316) 的定时器 X 运行模式位 (b1、b0)、定时器 Y 运行模式位 (b5、b4) 设定为 “10” 选择此模式。

<运行说明>

除了对 CNTR0/CNTR1 引脚的输入信号进行计数以外,和定时器模式的运行相同。通过设定定时器 XY 模式寄存器(地址 002316) 的 CNTR0 极性转换位 (b2)、CNTR1 极性转换位 (b6) 决定计数运行的有效边沿。当设定为 “0” 时,对上升沿计数;为 “1” 时,对下降沿计数。

<注意事项>

必须在此模式中将和 CNTR0/CNTR1 引脚共用的端口 P54/P55 设定为输入。

(4) 脉宽测量模式**<模式的选择>**

通过将定时器 XY 模式寄存器 (地址 002316) 的定时器 X 运行模式位 (b1、b0)、定时器 Y 运行模式位 (b5、b4) 设定为 “11” 选择此模式。

<运行说明>

当定时器 XY 模式寄存器 (地址 002316) 的 CNTR0 极性转换位 (b2)、CNTR1 极性转换位 (b6) 为 “1” 时,就在 CNTR0/CNTR1 引脚输入的下降沿到下一个上升沿 (“L” 电平期间) 的期间进行计数;为 “0” 时,就在 CNTR0/CNTR1 引脚输入的上升沿到下一个下降沿 (“H” 电平期间) 的期间进行计数。

<注意事项>

必须在此模式中将和 CNTR0/CNTR1 引脚共用的端口 P54/P55 设定为输入。

无论在哪个模式,都可以通过将定时器 XY 模式寄存器 (地址 002316) 的定时器 X 计数停止位 (b3)、定时器 Y 计数停止位 (b7) 设定为 “1” 停止计数。

另外,每当定时器发生下溢时,对中断请求位置位。

• 转换计数源时的注意事项

在通过定时器 12 计数源选择位、定时器 X 计数源选择位和定时器 Y 计数源选择位转换定时器的计数源时,有可能对计数输入信号产生微小脉冲,使定时器的计数值发生较大的变化。因此,必须在设定定时器的计数源后,将值设定到预分频器和定时器。

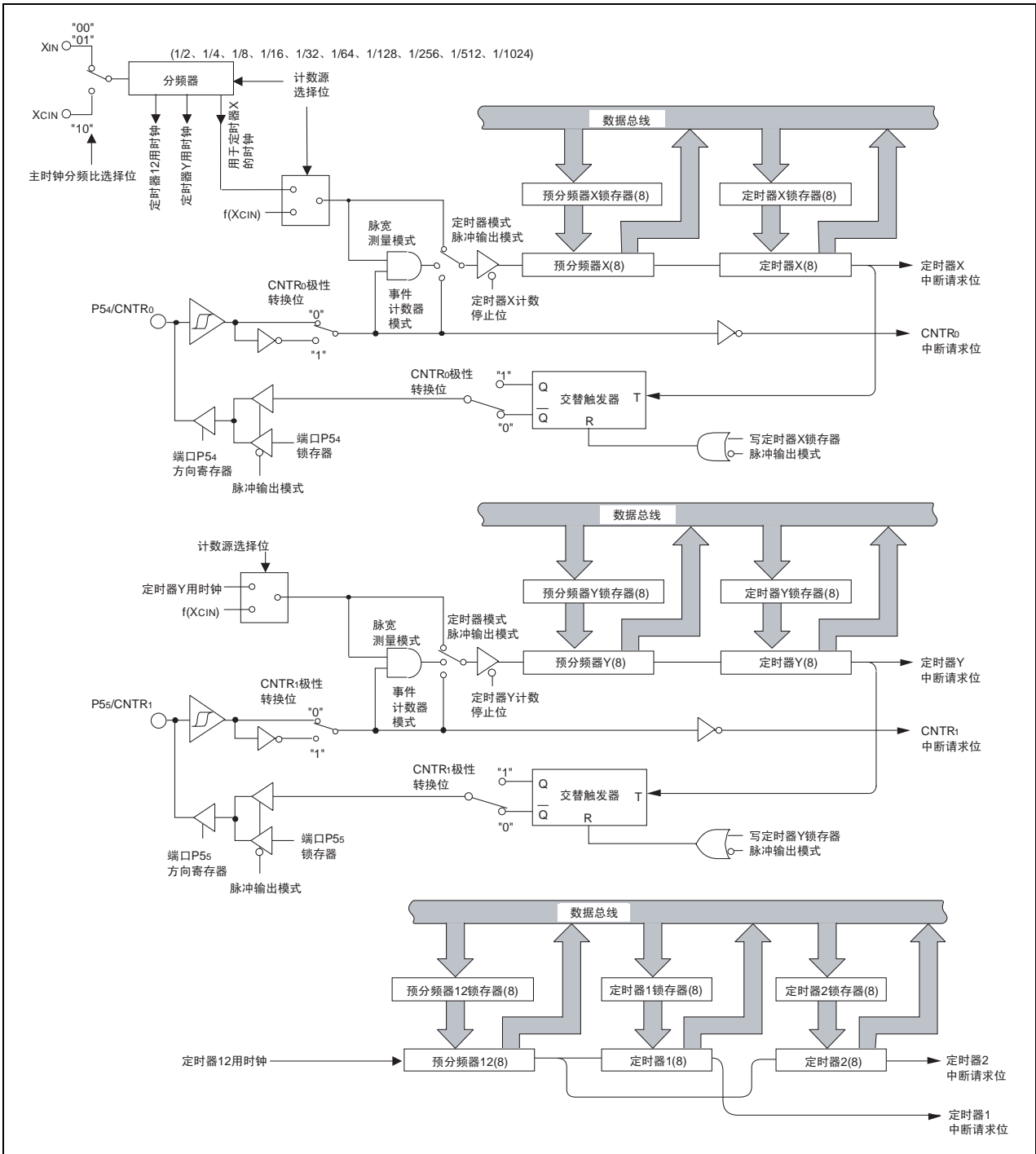


图 25 定时器 X、定时器 Y、定时器 1 和定时器 2 的框图

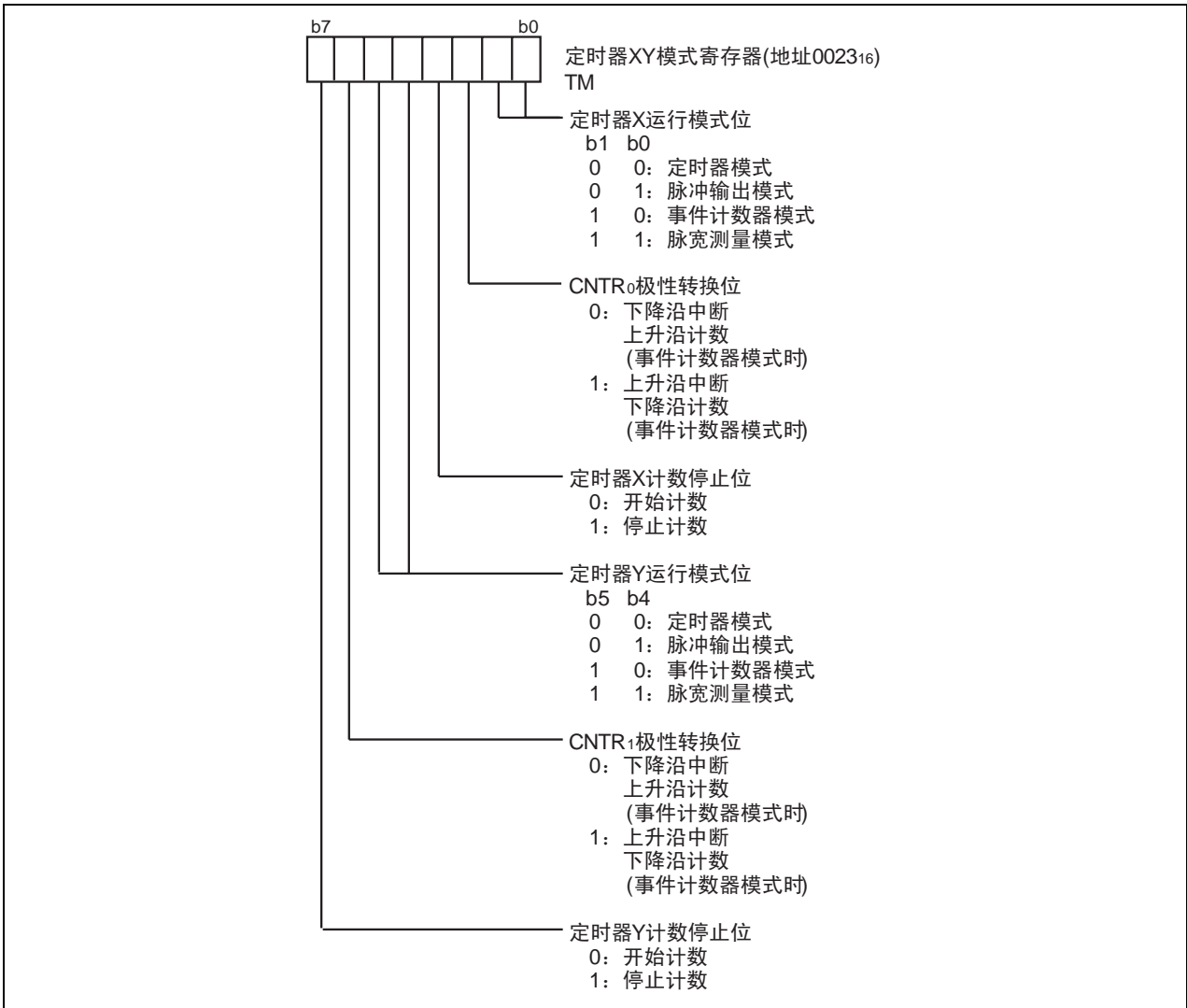


图 26 定时器 XY 模式寄存器的结构

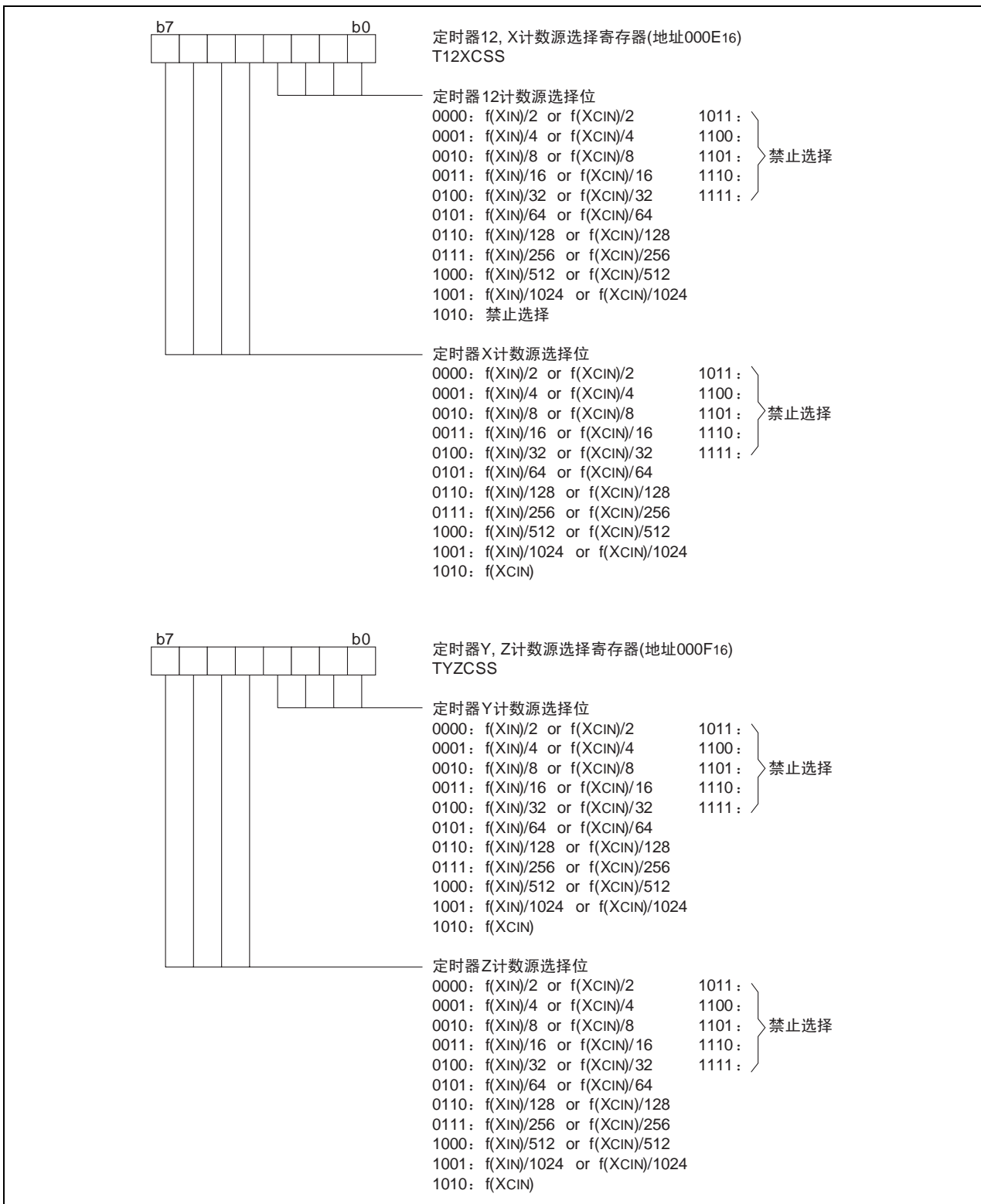


图 27 定时器 12、X、Y、Z 计数源选择寄存器的结构

● 16 位定时器

定时器 Z 是 16 位定时器，在定时器内容为“0000₁₆”的下一个计数脉冲发生下溢，重新装入定时器锁存器的内容后继续递减计数。另外，如果定时器下溢，对应定时器 Z 的中断请求位就被置“1”。

在读写定时器 Z 时，必须同时读写高位字节和低位字节。在读定时器 Z 的值时，按高位字节、低位字节的顺序进行，在高位字节的读操作和低位字节的读操作之间不能写定时器 Z。在将值写到定时器 Z 时，按低位字节、高位字节的顺序进行，在低位字节的写操作和高位字节的写操作之间不能读定时器 Z。

能通过定时器 Y、Z 计数源选择寄存器（地址 000F₁₆）的定时器 Z 计数源选择位（b7、b6、b5、b4）选择计数源。

定时器 Z 能通过定时器 Z 模式寄存器选择 7 种运行模式。

(1) 定时器模式

<模式的选择>

通过将定时器 Z 模式寄存器（地址 002A₁₆）的定时器 Z 运行模式位（b2、b1、b0）设定为“000”并且将定时器模式/事件计数器模式转换位（b7）设定为“0”，选择此模式。

<计数源的选择>

选择高速或者中速模式时的计数源为 $f(XIN)$ 的 1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024 或者 $f(XCIN)$ 。

选择低速模式时的计数源为 $f(XCIN)$ 的 1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024 或者 $f(XCIN)$ 。

<中断>

当发生下溢时，中断请求寄存器 1（地址 003C₁₆）的 INT0/定时器 Z 的中断请求位（b0）为“1”。

<运行说明>

在定时器停止的状态下，通常通过同时写锁存器和定时器设定定时器的值。通过将定时器 Z 模式寄存器（地址 002A₁₆）的定时器 Z 计数停止位（b6）设定为“0”开始定时器的运行。在定时器内容为“0000₁₆”的下一个计数脉冲发生下溢，重新装入定时器锁存器的内容后继续计数。在计数运行中更改定时器的值时，通过只写锁存器更改锁存器的值，而在下一次下溢时通过重新装入定时器锁存器更改定时器的值。

(2) 事件计数器模式

<模式的选择>

通过将定时器 Z 模式寄存器（地址 002A₁₆）的定时器 Z 运行模式位（b2、b1、b0）设定为“000”并且将定时器模式/事件计数器模式转换位（b7）设定为“1”，选择此模式。计数运行的有效边沿取决于定时器 Z 模式寄存器（地址 002A₁₆）的 CNTR2 极性转换位（b5）的设定，当设定为“0”时，对上升沿计数；为“1”时，对下降沿计数。

<中断>

下溢时的中断和定时器模式的说明相同。

<运行说明>

和定时器模式的运行说明相同。必须在此模式中将和 CNTR2 引脚共用的端口 P47 设定为输入。

定时器和事件计数器模式的时序图如图 30 所示。

(3) 脉冲输出模式

<模式的选择>

通过将定时器 Z 模式寄存器（地址 002A₁₆）的定时器 Z 运行模式位（b2、b1、b0）设定为“001”并且将定时器模式/事件计数器模式转换位（b7）设定为“0”，选择此模式。

<计数源的选择>

选择高速或者中速模式时的计数源为 $f(XIN)$ 的 1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024 或者 $f(XCIN)$ 。

选择低速模式时的计数源为 $f(XCIN)$ 的 1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024 或者 $f(XCIN)$ 。

<中断>

下溢时的中断和定时器模式的说明相同。

<运行说明>

每当定时器发生下溢时，除了从 CNTR2 引脚输出极性相反的脉冲以外，和定时器模式的运行相同。在定时器 Z 模式寄存器（地址 002A16）的 CNTR2 极性转换位（b5）为“0”时，CNTR2 引脚从“H”电平开始输出；为“1”时，从“L”电平开始输出。

<注意事项>

如果选择此模式，和 CNTR2 引脚共用的端口 P47 就自动设定为定时器脉冲输出端口。
通过定时器的写操作，CNTR2 引脚的输出被初始化为 CNTR2 极性转换位设定的电平。
如果改写 CNTR2 极性转换位的值，CNTR2 引脚的输出电平就反转。
脉冲输出模式的时序图如图 31 所示。

(4) 脉冲周期测量模式**<模式的选择>**

通过将定时器 Z 模式寄存器（地址 002A16）的定时器 Z 运行模式位（b2、b1、b0）设定为“010”并且将定时器模式/事件计数器模式转换位（b7）设定为“0”，选择此模式。

<计数源的选择>

选择高速或者中速模式时的计数源为 $f(XIN)$ 的 1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024 或者 $f(XCIN)$ 。

选择低速模式时的计数源为 $f(XCIN)$ 的 1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024 或者 $f(XCIN)$ 。

<中断>

下溢时的中断和定时器模式的说明相同。

在结束测量脉冲周期的同时，中断请求寄存器 2（地址 003D16）的 INT4/CNTR2 中断请求位（b5）变为“1”。

<运行说明>

测量从 CNTR2 引脚输入的脉冲的周期。当定时器 Z 模式寄存器（地址 002A16）的 CNTR2 极性转换位（b5）为“0”时，就在 CNTR2 引脚输入的下降沿到下一个下降沿的期间进行计数；为“1”时，就在 CNTR2 引脚输入的上升沿到下一个上升沿的期间进行计数。如果检测到测量结束/测量开始的有效边沿，就将定时器值的 1 的补码（测量值）写到定时器锁存器，并且将“FFFF16”设定到定时器。另外，如果定时器发生下溢，就产生定时器 Z 中断，将“FFFF16”设定到定时器。如果读定时器 Z，就读取定时器锁存器（测量值）。测量值被保持到下一次测量结束。

<注意事项>

必须在此模式中将和 CNTR2 引脚共用的端口 P47 设定为输入。

不能在此模式中读定时器的值（测量中的定时器的值）。定时器的写操作只在定时器的运行停止时（未测量脉冲周期时）有效。

因为此模式的定时器锁存器是只读测量值的锁存器，所以不能在测量中进行写操作。

只在定时器发生下溢或者检测到脉冲周期测量的有效边沿时，定时器的值被设定为“FFFF16”。因此，脉冲周期测量开始时的定时器的值取决于测量开始前的定时器的值。

脉冲周期测量模式的时序图如图 32 所示。

(5) 脉宽测量模式**<模式的选择>**

通过将定时器 Z 模式寄存器（地址 002A16）的定时器 Z 运行模式位（b2、b1、b0）设定为“011”并且将定时器模式/事件计数器模式的转换位（b7）设定为“0”，选择此模式。

<计数源的选择>

选择高速或者中速模式时的计数源为 $f(XIN)$ 的 1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024 或者 $f(XCIN)$ 。

选择低速模式时的计数源为 $f(XCIN)$ 的 1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024 或者 $f(XCIN)$ 。

<中断>

下溢时的中断和定时器模式的说明相同。

在结束脉宽测量的同时，中断请求寄存器 2 (地址 003D16) 的 INT4/CNTR2 中断请求位 (b5) 变为 “1”。

<运行说明>

测量从 CNTR2 引脚输入的脉宽。当定时器 Z 模式寄存器 (地址 002A16) 的 CNTR2 极性转换位 (b5) 为 “0” 时，就在 CNTR2 引脚输入的上升沿到下一个下降沿 (“H” 电平期间) 的期间进行计数。当定时器 Z 模式寄存器 (地址 002A16) 的 CNTR2 极性转换位 (b5) 为 “1” 时，就在 CNTR2 引脚输入的下沿到下一个上升沿 (“L” 电平期间) 的期间进行计数。如果检测到测量结束/测量开始的有效边沿，就将定时器值的 1 的补码 (测量值) 写到定时器锁存器，并且将 “FFFF16” 设定到定时器。另外，如果定时器发生下溢，就产生定时器 Z 中断，将 “FFFF16” 设定到定时器。

如果读定时器 Z，就读取定时器锁存器 (测量值)。测量值被保持到下一次测量结束。

<注意事项>

必须在此模式中将和 CNTR2 引脚共用的端口 P47 设定为输入。

不能在此模式中读定时器的值 (测量中的定时器的值)。定时器的写操作只在定时器的运行停止时 (未测量脉宽时) 有效。

因为此模式的定时器锁存器是只读测量值的锁存器，所以不能在测量中进行写操作。

只在定时器发生下溢或者检测到脉宽测量的有效边沿时，定时器的值被设定为 “FFFF16”。

因此，脉宽测量开始时的定时器的值取决于测量开始前的定时器的值。

脉宽测量模式的时序图如图 33 所示。

(6) 可编程波形发生模式**<模式的选择>**

通过将定时器 Z 模式寄存器 (地址 002A16) 的定时器 Z 运行模式位 (b2、b1、b0) 设定为 “100” 并且将定时器模式/事件计数器模式转换位 (b7) 设定为 “0”，选择此模式。

<计数源的选择>

选择高速或者中速模式时的计数源为 $f(XIN)$ 的 1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024 或者 $f(XCIN)$ 。

选择低速模式时的计数源为 $f(XCIN)$ 的 1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024 或者 $f(XCIN)$ 。

<中断>

下溢时的中断和定时器模式的说明相同。

<运行说明>

每当定时器发生下溢时，除了从 CNTR2 引脚输出被设定在定时器 Z 模式寄存器 (地址 002A16) 输出电平锁存器 (b4) 的值的电平以外，和定时器模式的运行相同。在发生下溢后，可通过更改输出电平锁存器和定时器锁存器的值，从 CNTR2 引脚产生任意波形。

<注意事项>

当选择此模式时，和 CNTR2 引脚共用的端口 P47 就自动设定为可编程波形发生端口。
可编程波形发生模式的时序图如图 34 所示。

(7) 可编程单触发生模式**<模式的选择>**

通过将定时器 Z 模式寄存器（地址 002A16）的定时器 Z 运行模式位（b2、b1、b0）设定为“101”并且将定时器模式/事件计数器模式转换位（b7）设定为“0”，选择此模式。

<计数源的选择>

选择高速或者中速模式时的计数源为 $f(XIN)$ 的 1/2、1/4、1/8、1/16、1/32、1/64、1/128、1/256、1/512、1/1024 或者 $f(XCIN)$ 。

<中断>

下溢时的中断和定时器模式的说明相同。通过设定中断边沿选择寄存器（地址 003A16）的 INT1 中断边沿选择位（b1）选择单触发生的触发，即当设定为“0”时，选择下降沿有效；为“1”时，选择上升沿有效。另外，如果检测到 INT1 引脚的有效边沿，中断请求寄存器 1（地址 003C16）的 INT1 中断请求位（b1）就为“1”。

<运行说明>

“H”电平单触发脉冲的情况：定时器 Z 模式寄存器的 b5=“0”

CNTR2 引脚的输出电平在选择模式时被初始化为“L”电平。当检测到触发发生（INT1 引脚的输入信号）时，从 CNTR2 引脚输出“H”电平，然后通过定时器的下溢转换到“L”电平输出。根据定时器 Z 低位、定时器 Z 高位寄存器的设定值，设定“H”电平单触发脉宽。如果在定时器计数停止时检测到触发发生，也从 CNTR2 引脚输出“H”电平，但是因为不发生下溢，所以继续保持“H”电平的输出状态。

“L”电平单触发脉冲的情况：定时器 Z 模式寄存器的 b5=“1”

CNTR2 引脚的输出电平在选择模式时被初始化为“H”电平。当检测到触发发生（INT1 引脚的输入信号）时，从 CNTR2 引脚输出“L”电平，然后通过定时器的下溢转换到“H”电平输出。根据定时器 Z 低位、定时器 Z 高位寄存器的设定值，设定“L”电平单触发脉宽。如果在定时器计数停止时检测到触发发生，也从 CNTR2 引脚输出“L”电平，但是因为不发生下溢，所以继续保持“L”电平的输出状态。

<注意事项>

必须在此模式中将和 INT1 引脚共用的端口 P42 设定为输入。

如果选择此模式，和 CNTR2 引脚共用的端口 P47 就自动设定为可编程波形发生端口。

不能在选择低速模式时使用此模式。

如果在允许发生单触发或者发生单触发时更改 CNTR2 极性转换位的值，CNTR2 引脚输出的电平就发生变化。

可编程单触发生模式的时序图如图 35 所示。

■全部模式的注意事项**• 定时器 Z 的写控制**

定时器 Z 能通过定时器 Z 模式寄存器（地址 002A16）的定时器 Z 的写控制位（b3），选择是同时写锁存器和定时器还是只写锁存器。在只写锁存器时，如果将值写到定时器 Z 的地址，值就被设定到定时器锁存器，定时器在下次下溢时被更新。在复位解除后，变为同时写锁存器和定时器状态，如果将值写到定时器 Z 的地址，值就同时被设定到定时器和定时器锁存器。

另外，在只写锁存器时，如果写到重加载锁存器的时序和下溢的时序大致相同，设定到定时器的值就有可能不定。

• 定时器 Z 的读控制

在选择脉冲周期测量模式和脉宽测量模式时，不能读定时器的值。在其他模式中，与计数的运行或者停止无关，可读定时器的值。但是，不能读定时器锁存器的值。

• 有关 CNTR2、INT1 中断极性转换的注意事项

根据 CNTR2 极性转换位和 INT1 中断边沿选择位的设定，各中断极性也会受影响。

• 计数源转换时的注意事项

在通过定时器 Z 计数源选择位转换定时器的计数源时，有可能对计数输入信号产生微小脉冲，使定时器的计数值发生较大的变化。因此，必须在设定定时器的计数源后将值设定到定时器。

• 将 CNTR2 引脚用作通常的输入/输出端口 P47 时的注意事项

在将和 CNTR2 引脚共用的端口 P47 用作通常的输入/输出端口时，必须将定时器 Z 模式寄存器（地址 002A16）的定时器 Z 运行模式位（b2、b1、b0）设定为“000”。

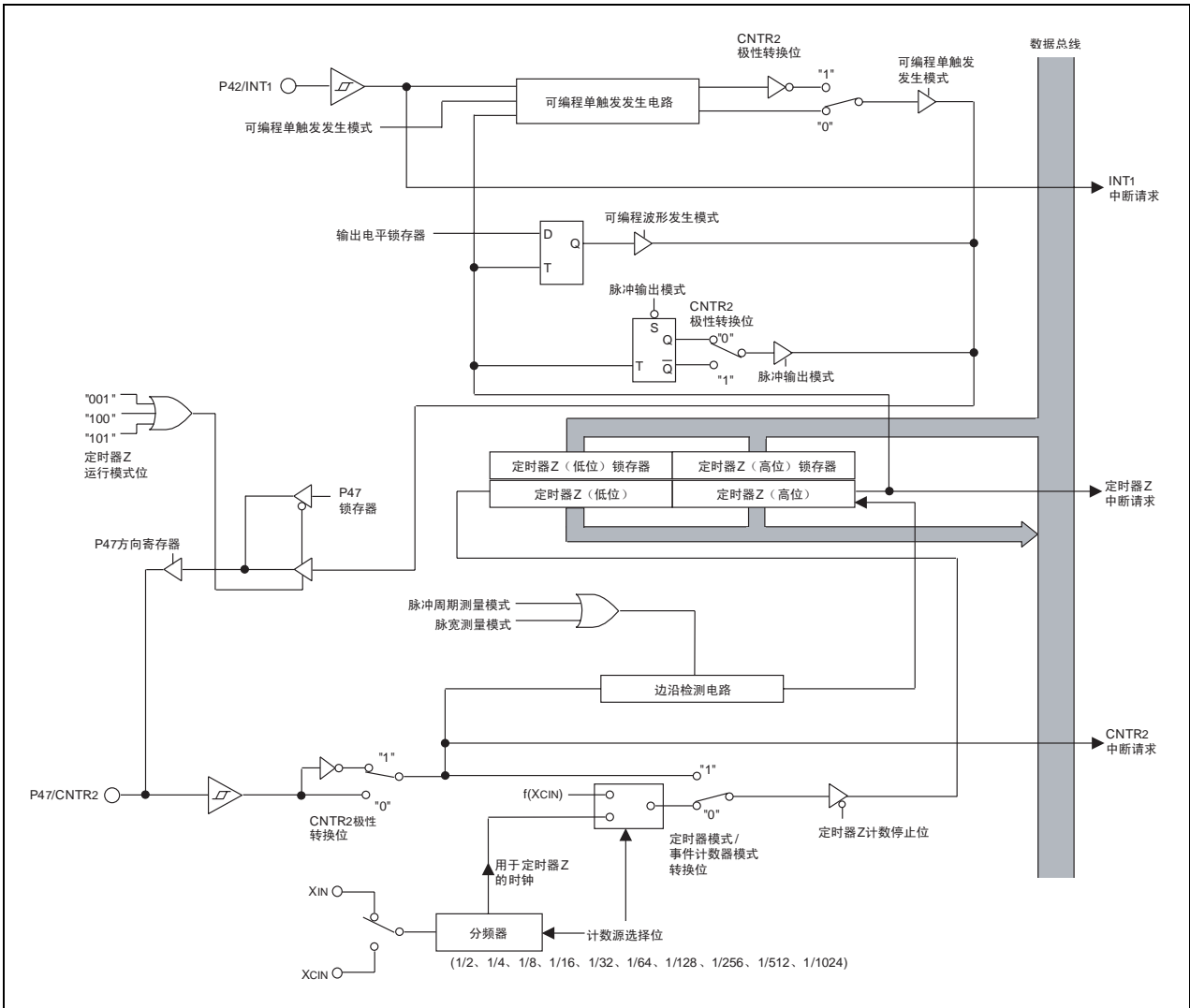


图 28 定时器 Z 的框图

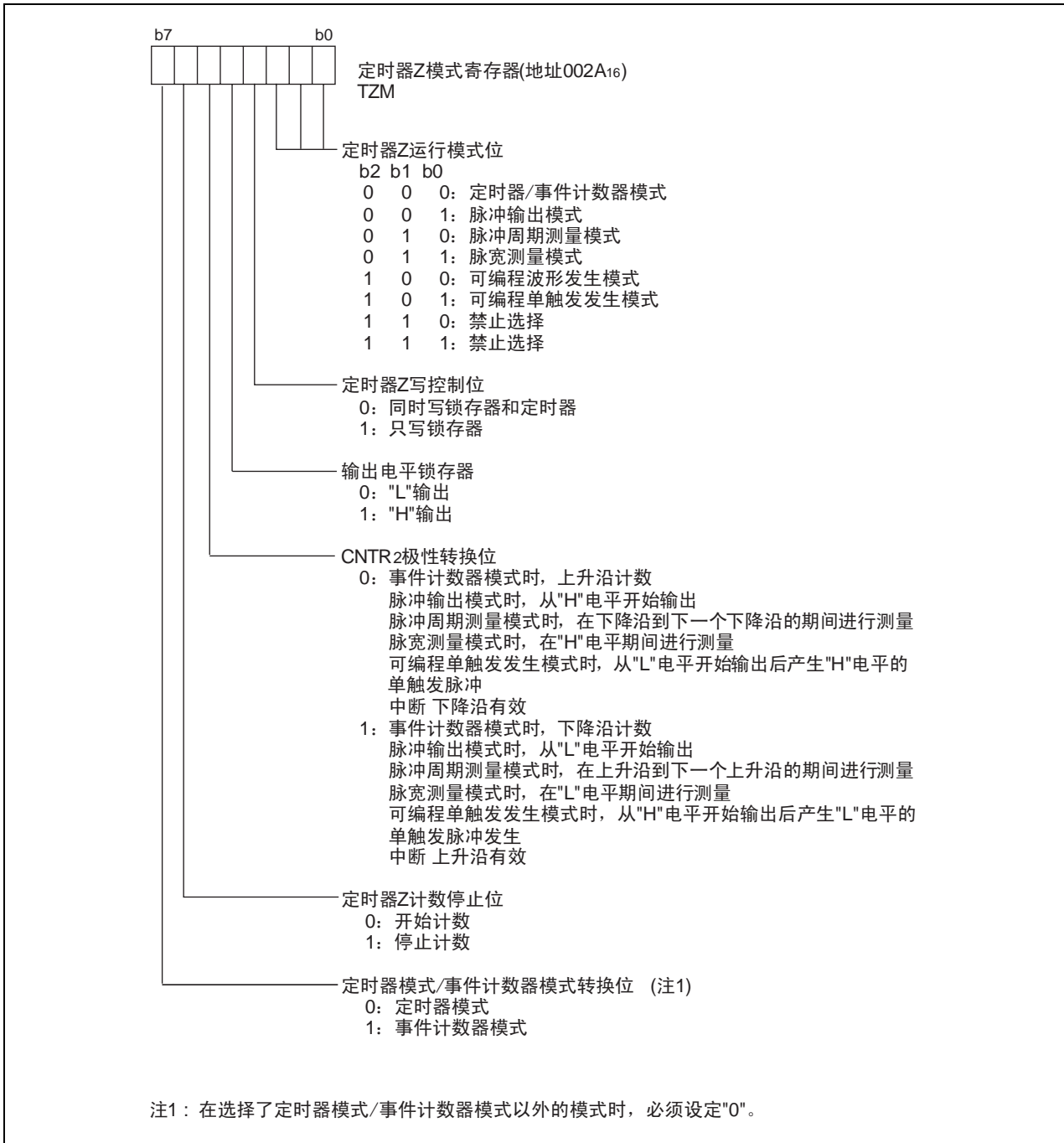


图 29 定时器 Z 模式寄存器的结构

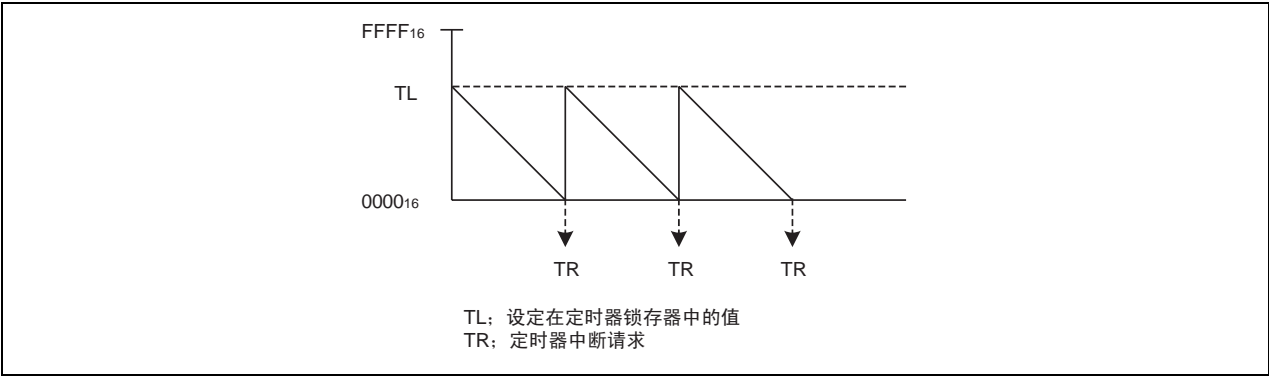


图 30 定时器和事件计数器模式的时序图

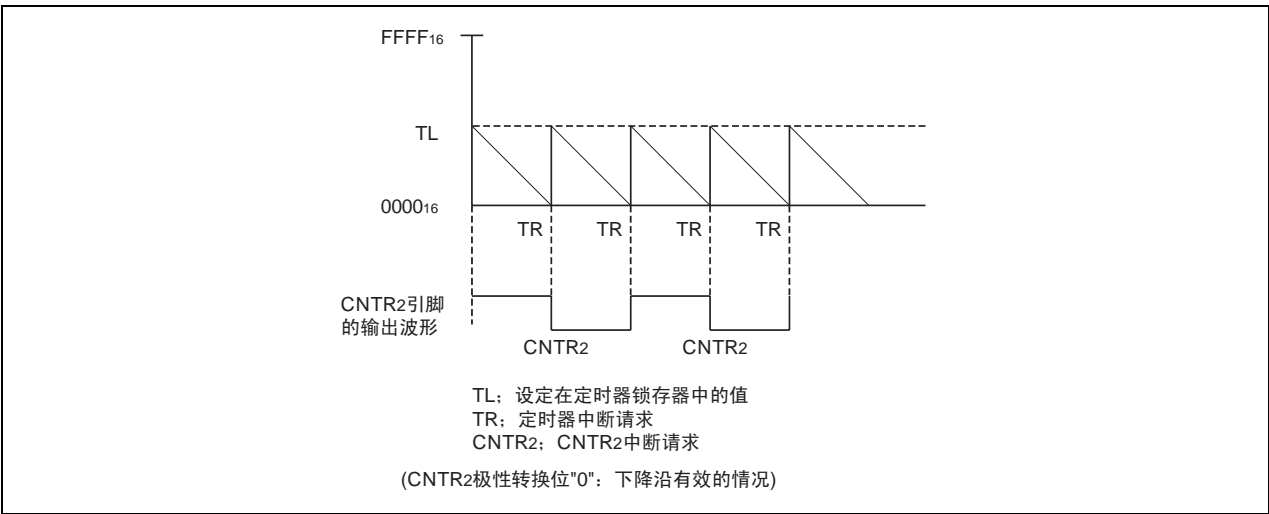


图 31 脉冲输出模式的时序图

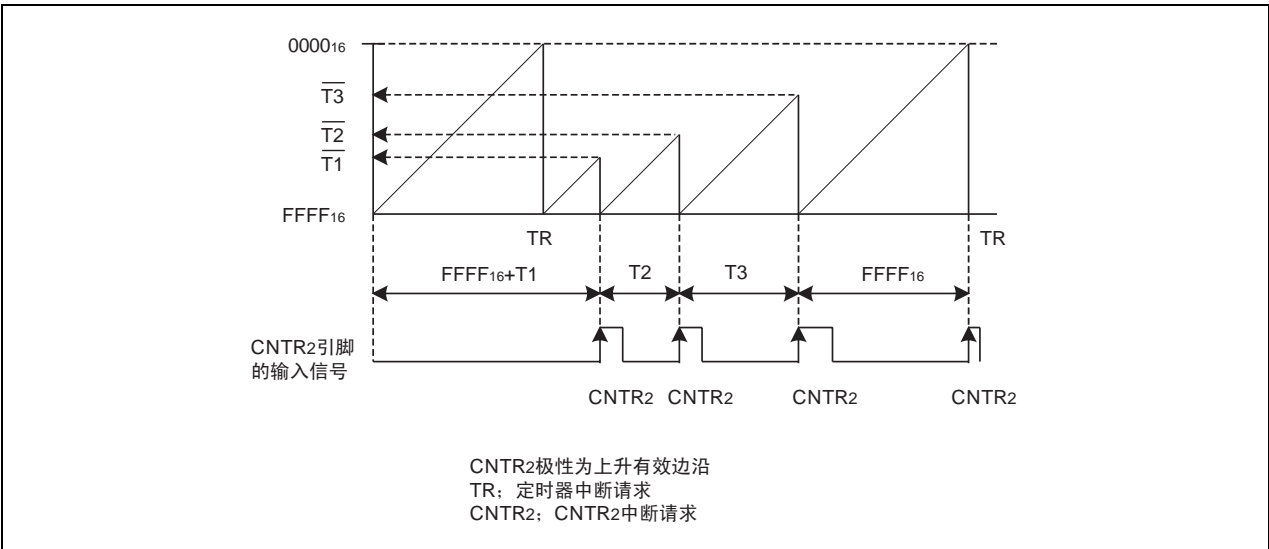


图 32 脉冲周期测量模式的时序图 (测量上升沿区间时)

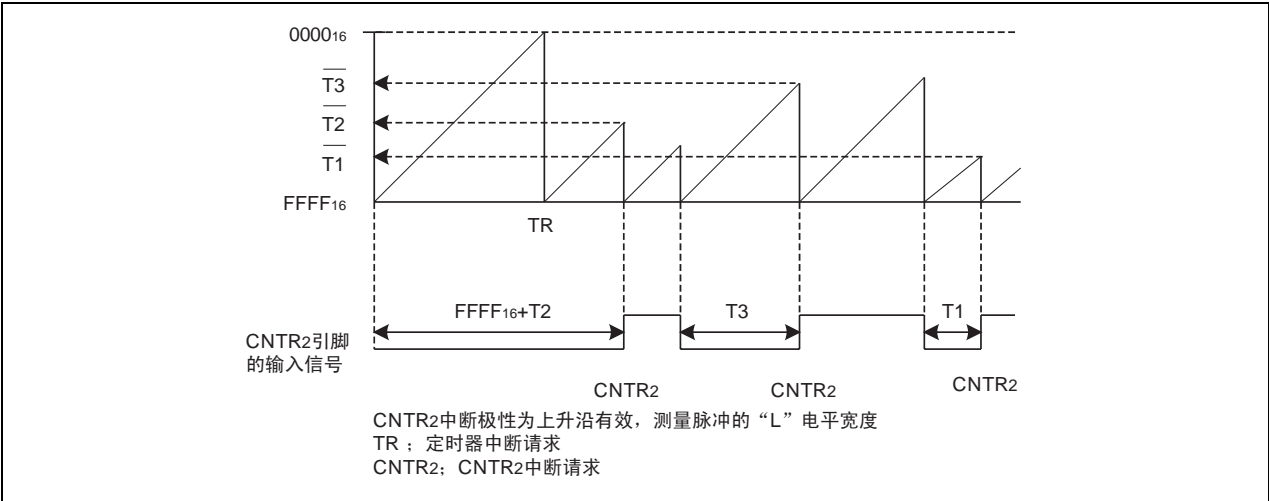


图 33 脉宽测量模式的时序图 (测量“L”电平区间”时)

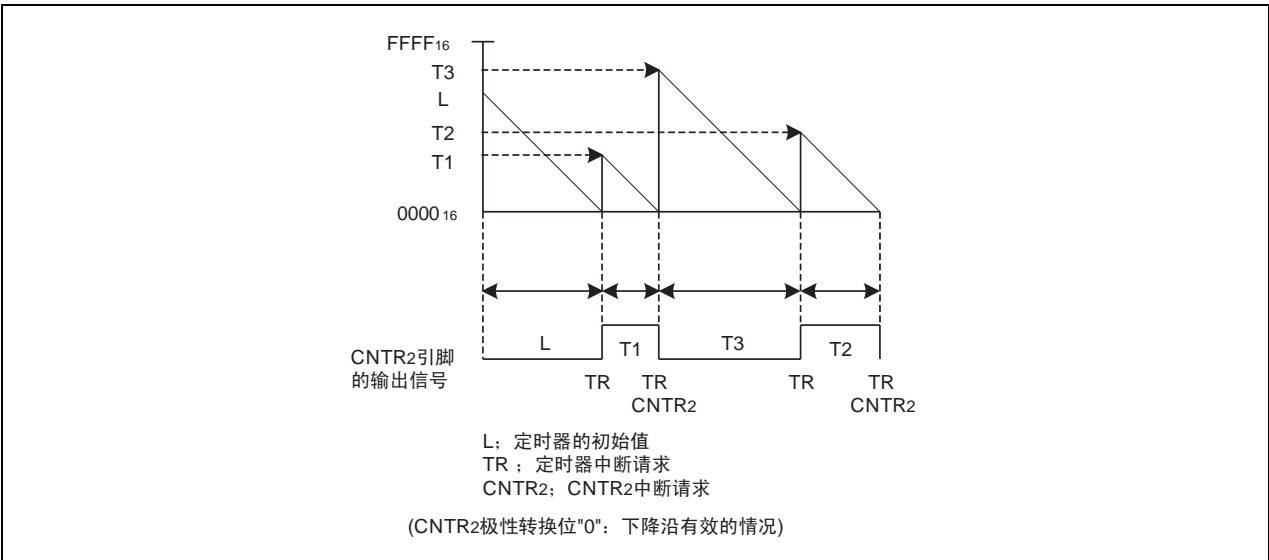


图 34 可编程波形发生模式的时序图

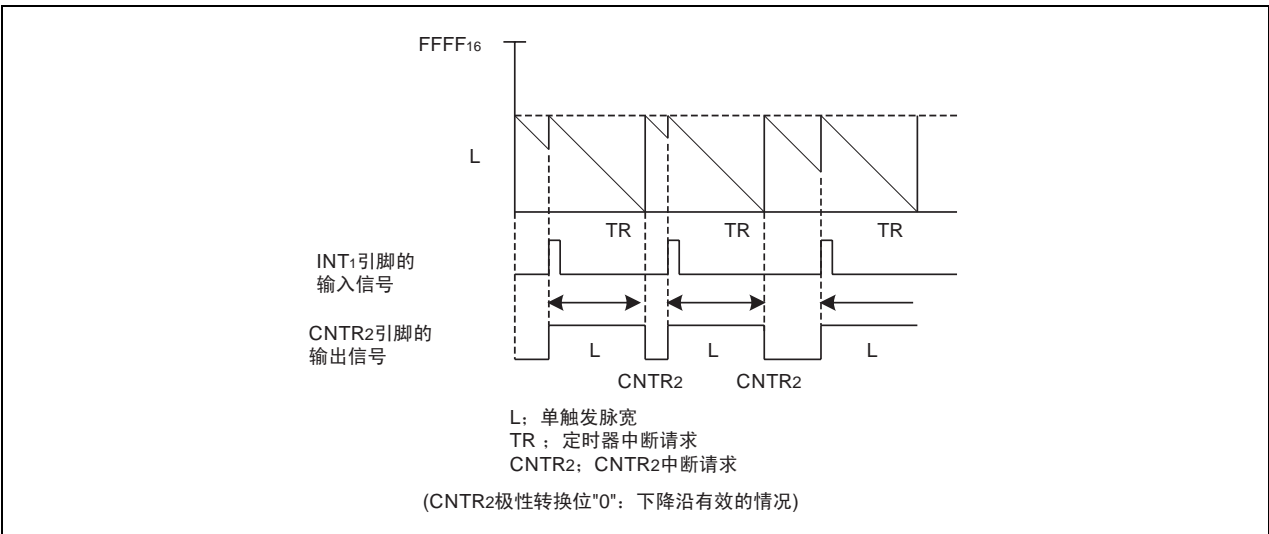


图 35 可编程单触发生模式的时序图 (发生“H”电平单触发脉冲时)

串行接口

● 串行 I/O1

串行 I/O1 无论在时钟同步模式还是在异步模式 (UART) 都能运行。同时, 备有串行 I/O1 运行时的波特率发生专用定时器 (波特率发生器)。

(1) 时钟同步串行 I/O 模式

通过将串行 I/O1 控制寄存器的模式选择位置 “1”, 选择时钟同步串行 I/O。

在时钟同步串行 I/O 中, 对于串行 I/O 运行时, 发送侧单片机和接收侧单片机都使用相同的时钟。如果将内部时钟用作运行时, 就通过给发送/接收缓冲寄存器的写信号开始发送和接收。

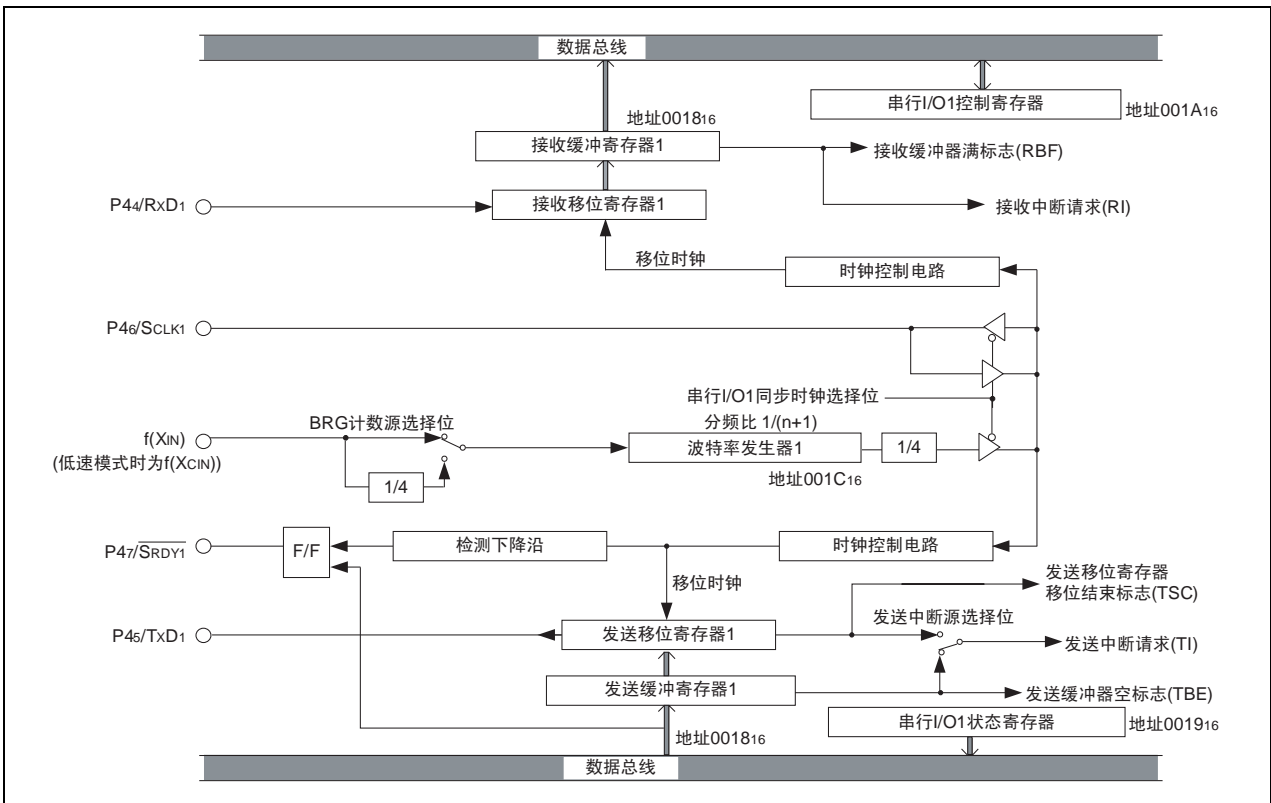


图 36 时钟同步串行 I/O1 的框图

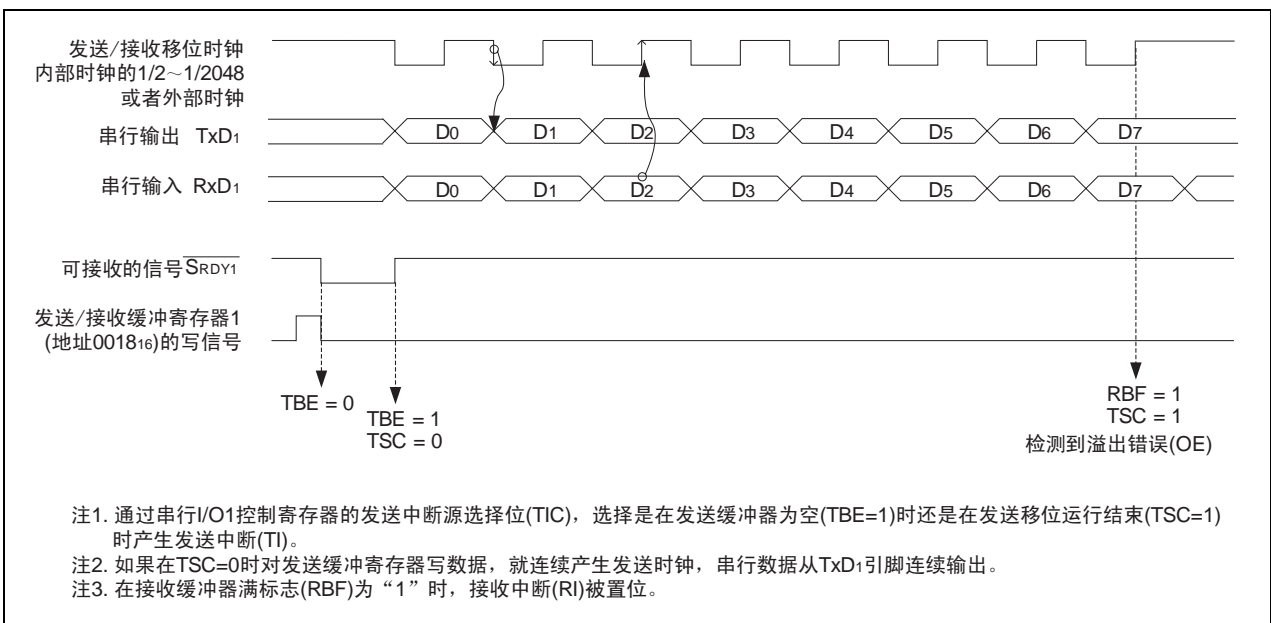


图 37 时钟同步串行 I/O1 的运行图

(2) 异步串行 I/O (UART) 模式

通过将串行 I/O1 控制寄存器的串行 I/O1 模式选择位 (b6) 置 “0”，选择 UART。

能选择 8 种串行数据传送格式。在发送侧和接收侧必须统一该传送格式。

进行串行数据发送和接收的发送移位寄存器和接收移位寄存器持有各自的缓冲寄存器 (存储器内的地址相同)。由于不能直接读写移位寄存器，因此对各自的缓冲寄存器写发送数据或者读接收数据。另外，能通过这些缓冲寄存器，预写下一个要发送的数据，或者连续接收 2 字节的接收数据。

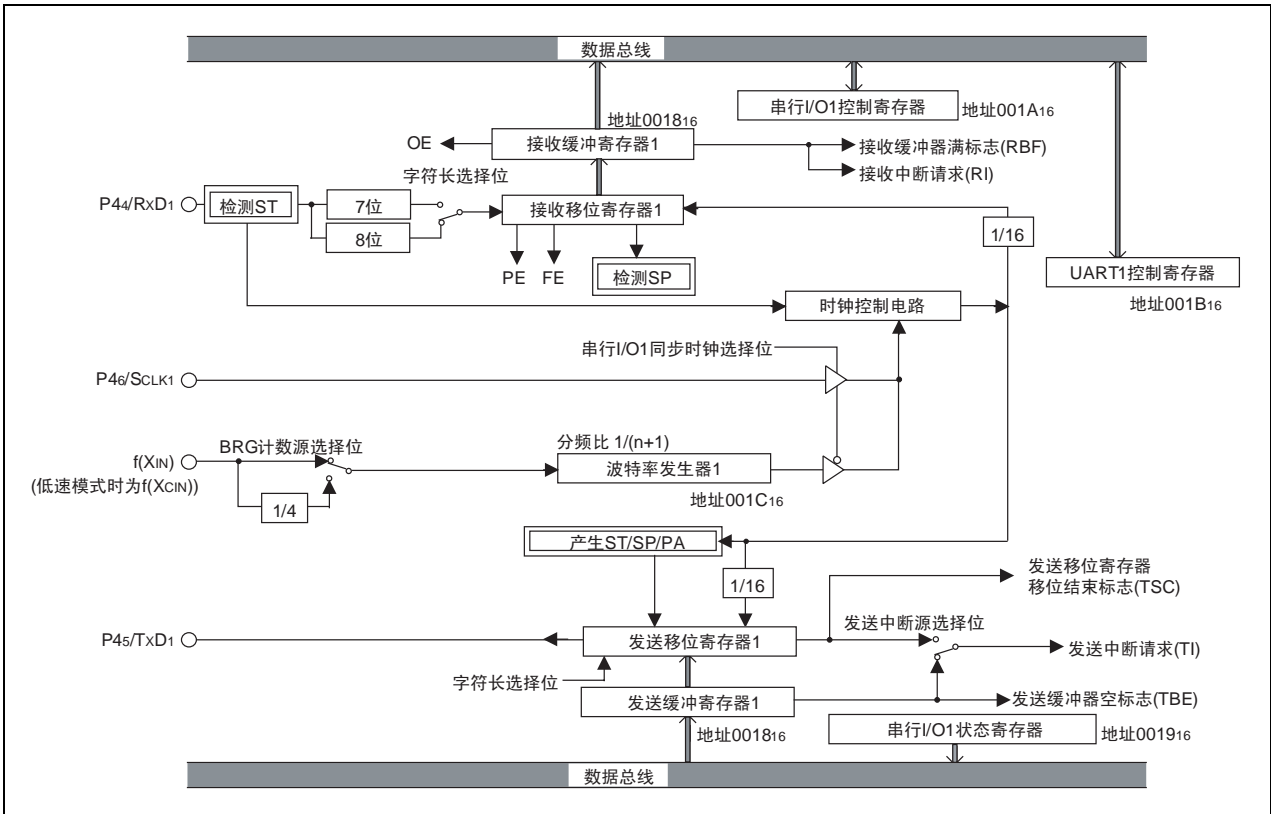
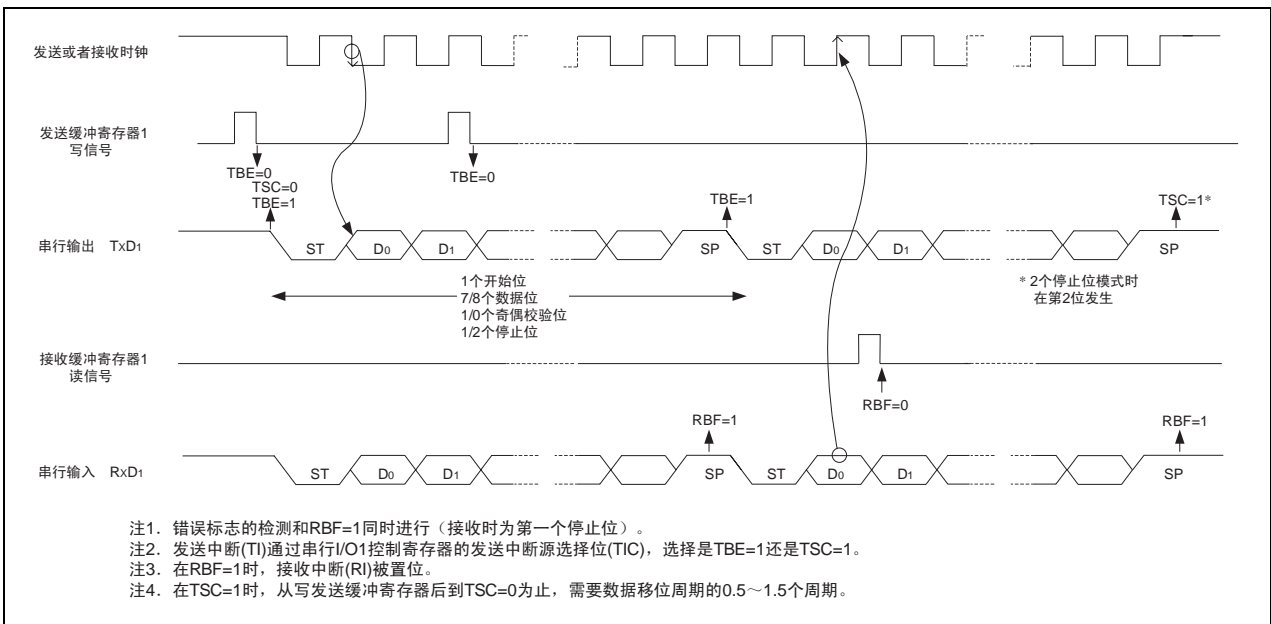


图 38 UART 串行 I/O1 的框图



- 注1. 错误标志的检测和RBF=1同时进行 (接收时为第一个停止位)。
- 注2. 发送中断(TI)通过串行I/O1控制寄存器的发送中断源选择位(TIC)，选择是TBE=1还是TSC=1。
- 注3. 在RBF=1时，接收中断(RI)被置位。
- 注4. 在TSC=1时，从写发送缓冲寄存器后到TSC=0为止，需要数据移位周期的0.5~1.5个周期。

图 39 UART 串行 I/O1 的运行图

【发送缓冲寄存器 1/接收缓冲寄存器 1】TB1/RB1

发送缓冲寄存器 1 和接收缓冲寄存器 1 被分配了相同的地址，发送缓冲寄存器 1 为只写寄存器，接收缓冲寄存器 1 为只读寄存器。另外，在字符位长为 7 位时，保存在接收缓冲寄存器 1 的接收数据的 MSB 为“0”。

【串行 I/O1 状态寄存器】SIO1STS

它是由表示串行 I/O1 运行状态的标志和各种错误标志构成的 7 位只读寄存器。bit4~bit6 的 3 位只在 UART 模式时有效。

如果读取接收缓冲寄存器，接收缓冲器满标志就清“0”。

在数据从接收移位寄存器传送到接收缓冲寄存器或者接收缓冲器满标志置位的同时，进行错误检测。通过写串行 I/O1 状态寄存器，清除所有错误标志 (OE、PE、FE、SE)。另外，如果给串行 I/O1 控制寄存器的串行 I/O1 允许位 (b7) 写“0”，包括错误标志的所有状态标志就被清“0”。

虽然此寄存器的 bit0~bit6 在复位时被初始化为“0”，但是，在将串行 I/O1 控制寄存器的发送允许位 (b4) 置“1”时，bit2 和 bit0 变为“1”。

【串行 I/O1 控制寄存器】SIO1CON

串行 I/O1 控制寄存器由进行串行 I/O1 各种控制的 8 位选择位构成。

【UART1 控制寄存器】UART1CON

它是由在选择 UART 时有效的 4 位控制位和总是有效的 1 位控制位构成的 5 位寄存器。根据此寄存器的内容，设定发送和接收串行数据时的数据格式、P45/TxD1 引脚的输出形式等。

【波特率发生器 1】BRG1

它决定串行传送的位速率。

它是持有重加载寄存器的 8 位计数器，通过设定值 n，以 $1/(n+1)$ 的分频比分频计数源。

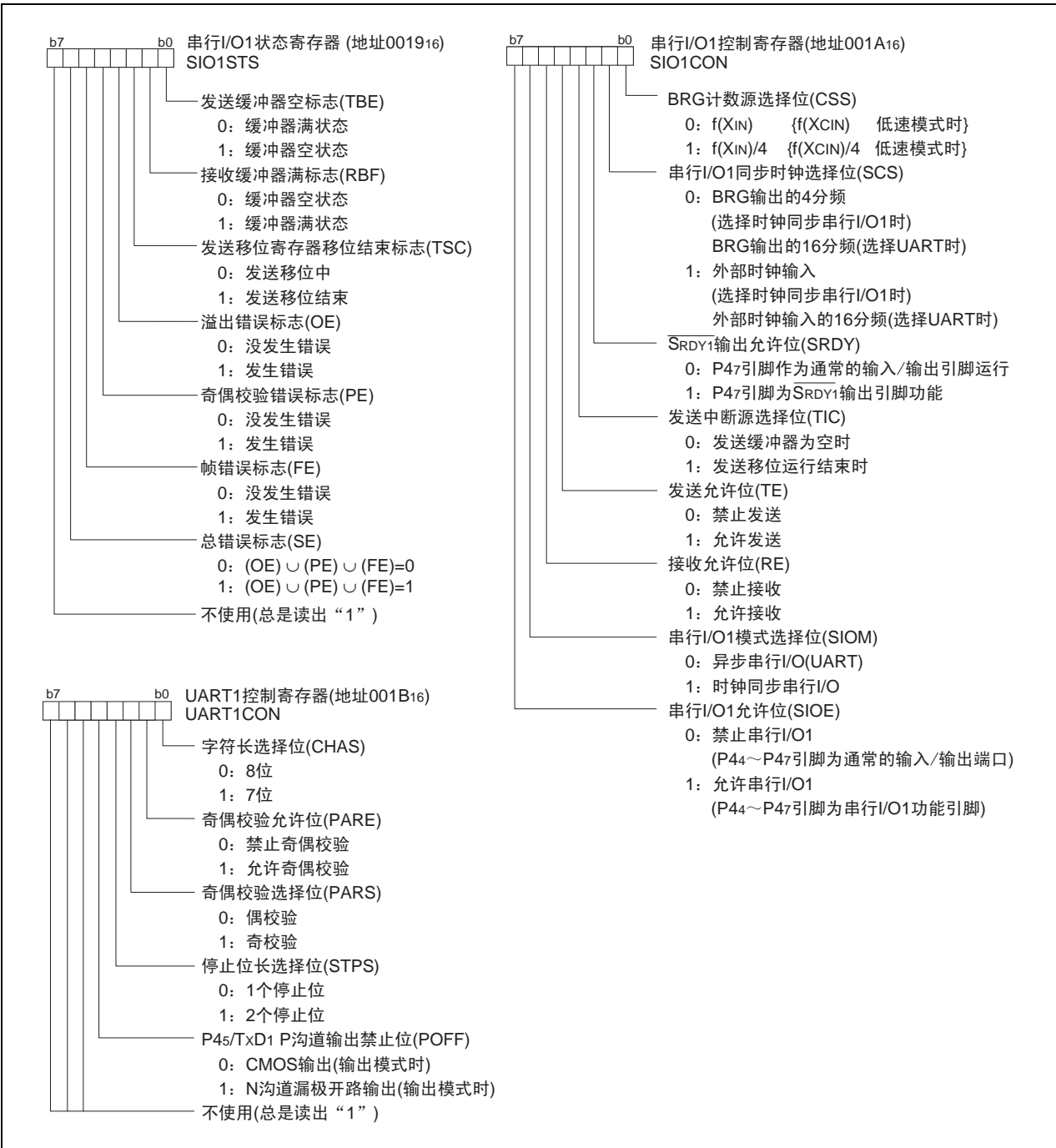


图 40 串行 I/O1 相关的寄存器结构

■ 串行 I/O1 的注意事项

1. 同步的选择

(1) 发送运行的停止

- 注意事项

必须将串行 I/O1 允许位和发送允许位设定为“0”（禁止串行 I/O 和发送）。

- 理由

即使只将串行 I/O1 允许位设定为“0”（禁止串行 I/O），也不停止发送运行以及初始化发送电路，而继续进行内部的发送运行（因为 TxD1、RxD1、SCLK1、 $\overline{\text{SRDY1}}$ 各引脚的功能为输入/输出端口功能，所以发送数据不会被输出到外部）。在此状态下，如果将数据写到发送缓冲寄存器，就开始单片机内部的移位运行，所以该数据被传送到发送移位寄存器。此时，如果将串行 I/O1 允许位设定为“1”，内部移位中的数据就被中途输出到 TxD1 引脚，导致错误。

(2) 接收运行的停止

- 注意事项

必须将接收允许位设定为“0”（禁止接收）或者将串行 I/O1 允许位设定为“0”（禁止串行 I/O）。

(3) 发送/接收运行的停止

- 注意事项

必须将发送允许位和接收允许位同时设定为“0”（禁止发送/接收）。

（在时钟同步串行 I/O 模式的数据发送/接收时，不能只停止发送运行或者接收运行。）

- 理由

因为在时钟同步串行 I/O 模式中，发送和接收使用相同的时钟，如果只禁止任何一方，发送和接收就不能取得同步，产生位的错位。

在时钟同步串行 I/O 模式中，为了接收，发送电路的时钟电路也在运行。因此，其结构为：即使只将发送允许位设定为“0”（禁止发送）也不停止发送电路。另外，和“1.(1)发送运行的停止”相同，即使将串行 I/O1 允许位设定为“0”（禁止串行 I/O），也不能初始化发送电路。

2. 异步的选择

(1) 发送运行的停止

- 注意事项

必须将发送允许位设定为“0”（禁止发送）。即使将串行 I/O1 允许位设定为“0”，也不停止发送运行。

- 理由

即使只将串行 I/O1 允许位设定为“0”（禁止串行 I/O），也不停止发送运行以及初始化发送电路，而继续进行内部的发送运行（因为 TxD1、RxD1、SCLK1、 $\overline{\text{SRDY1}}$ 各引脚的功能为输入/输出端口功能，所以发送数据不会被输出到外部）。在此状态下，如果将数据写到发送缓冲寄存器，就开始单片机内部的移位运行，所以该数据被传送到发送移位寄存器。此时，如果将串行 I/O1 允许位设定为“1”，内部移位中的数据就被中途输出到 TxD1 引脚，导致错误。

(2) 接收运行的停止

- 注意事项

必须将接收允许位设定为“0”（禁止接收）。

(3) 发送/接收运行的停止

- 注意事项 1（只停止发送）

必须将发送允许位设定为“0”（禁止发送）。即使将串行 I/O1 允许位设定为“0”，也不停止发送运行。

- 理由

即使只将串行 I/O1 允许位设定为“0”（禁止串行 I/O），也不停止发送运行以及初始化发送电路，而继续进行内部的发送运行（因为 TxD1、RxD1、SCLK1、 $\overline{\text{SRDY1}}$ 各引脚的功能为输入/输出端口功能，所以发送数据不会被输出到外部）。在此状态下，如果将数据写到发送缓冲寄存器，就开始单片机内部的移位运行，所以该数据被传送到发送移位寄存器 1。此时，如果将串行 I/O1 允许位设定为“1”，内部移位中的数据就被中途输出到 TxD1 引脚，导致错误。

- 注意事项 2（只停止接收）

必须将接收允许位设定为“0”（禁止接收）。

3. 接收的 $\overline{\text{SRDY1}}$ 输出

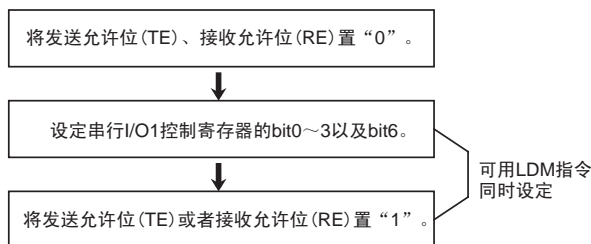
- 注意事项

在时钟同步串行 I/O 模式中，接收侧使用外部时钟进行 $\overline{\text{SRDY1}}$ 输出时，必须将接收允许位、 $\overline{\text{SRDY1}}$ 输出允许位和发送允许位同时设定为“1”（允许发送）。

4. 串行 I/O1 控制寄存器的重新设定

- 注意事项

在重新设定串行 I/O1 控制寄存器时，必须在将发送允许位和接收允许位都设定为“0”，然后在复位发送和接收电路后重新设定。



5. 使用发送移位寄存器移位结束标志的数据发送控制

- 注意事项

在将发送数据写到发送缓冲器后，发送移位寄存器移位结束标志比移位时钟迟 0.5~1.5 个时钟从“1”变为“0”。因此，在将发送数据写到发送缓冲器后，参照发送移位寄存器移位结束标志控制数据的发送时，必须注意此延时。

6. 选择外部时钟时的发送控制

- 注意事项

在发送数据时，选择外部时钟作为同步时钟的情况下，必须在 SCLK1 为“H”电平的状态下将发送允许位设定为“1”。另外，也必须在 SCLK1 为“H”电平的状态下写发送缓冲寄存器。

7. 发送允许位置位时的发送中断请求

- 注意事项

在使用发送中断时，必须按以下的顺序设定：

- ①将串行 I/O1 发送中断允许位设定为“0”（禁止）。
- ②将发送允许位设定为“1”。
- ③在至少执行一条指令后将串行 I/O1 发送中断请求位设定为“0”。
- ④将串行 I/O1 发送中断允许位设定为“1”（允许）。

- 理由

如果将发送允许位设定为“1”，发送缓冲器空标志和发送移位寄存器移位结束标志就被设定为“1”。

因此，发送中断的发生源无论选择了上述哪个标志的置“1”时序，都发生中断请求，并且发送中断请求位被置位。

● 串行 I/O2

串行 I/O2 只能作为时钟同步运行。

在串行 I/O2 中，对于串行 I/O 运行时钟，发送侧单片机和接收侧单片机都使用相同的时钟。如果将内部时钟用作运行时钟，就通过串行 I/O2 寄存器（地址 001F16）的写信号开始发送/接收。

【串行 I/O2 控制寄存器】SIO2CON

串行 I/O2 控制寄存器为 8 位，由进行串行 I/O2 各种控制的选择位构成。

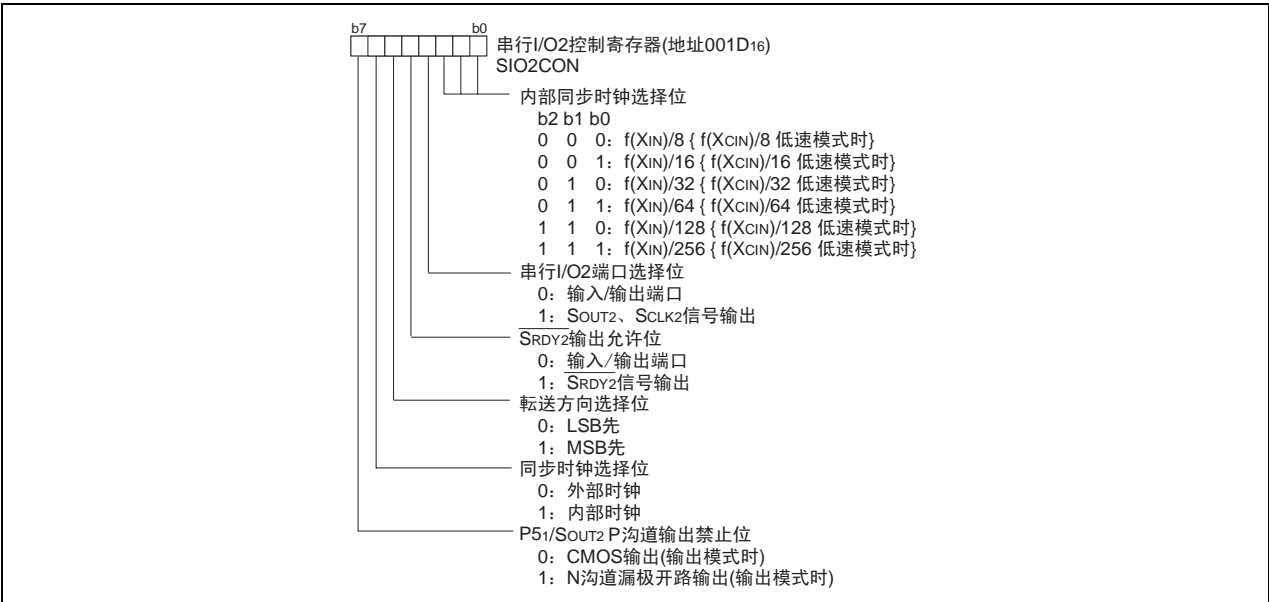


图 41 串行 I/O2 控制寄存器的结构

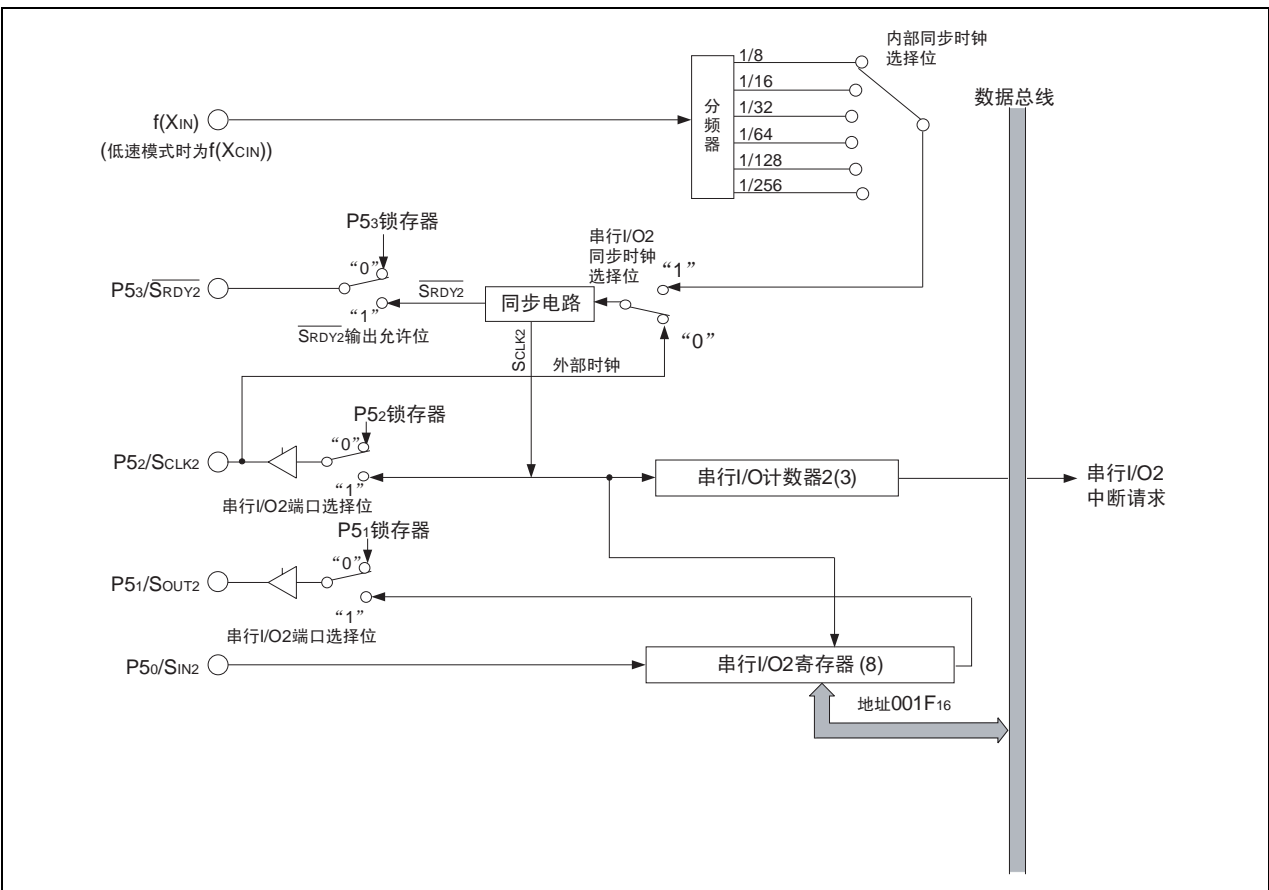


图 42 串行 I/O2 的框图

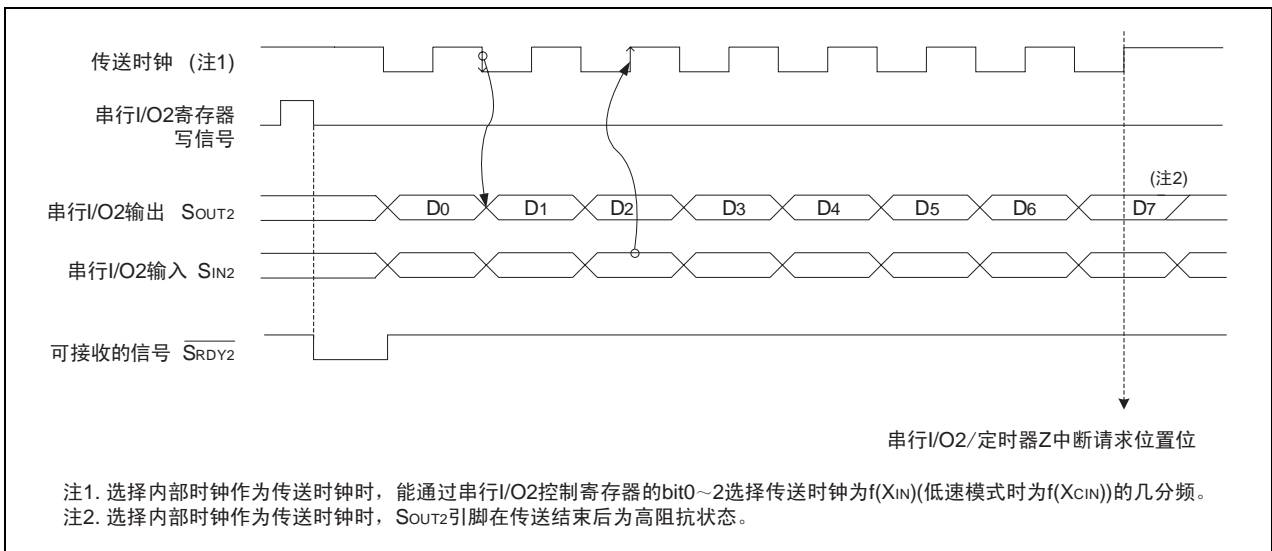


图 43 串行 I/O2 的时序图

● 串行 I/O3

串行 I/O3 无论在时钟同步模式还是在异步模式 (UART) 都能运行。同时, 备有串行 I/O3 运行时的波特率发生专用定时器 (波特率发生器)。

(1) 时钟同步串行 I/O 模式

通过将串行 I/O3 控制寄存器的模式选择位置“1”, 选择时钟同步串行 I/O。

在时钟同步串行 I/O 中, 对于串行 I/O 运行时, 发送侧单片机和接收侧单片机都使用相同的时钟。如果将内部时钟用作运行时, 就通过给发送/接收缓冲寄存器的写信号开始发送和接收。

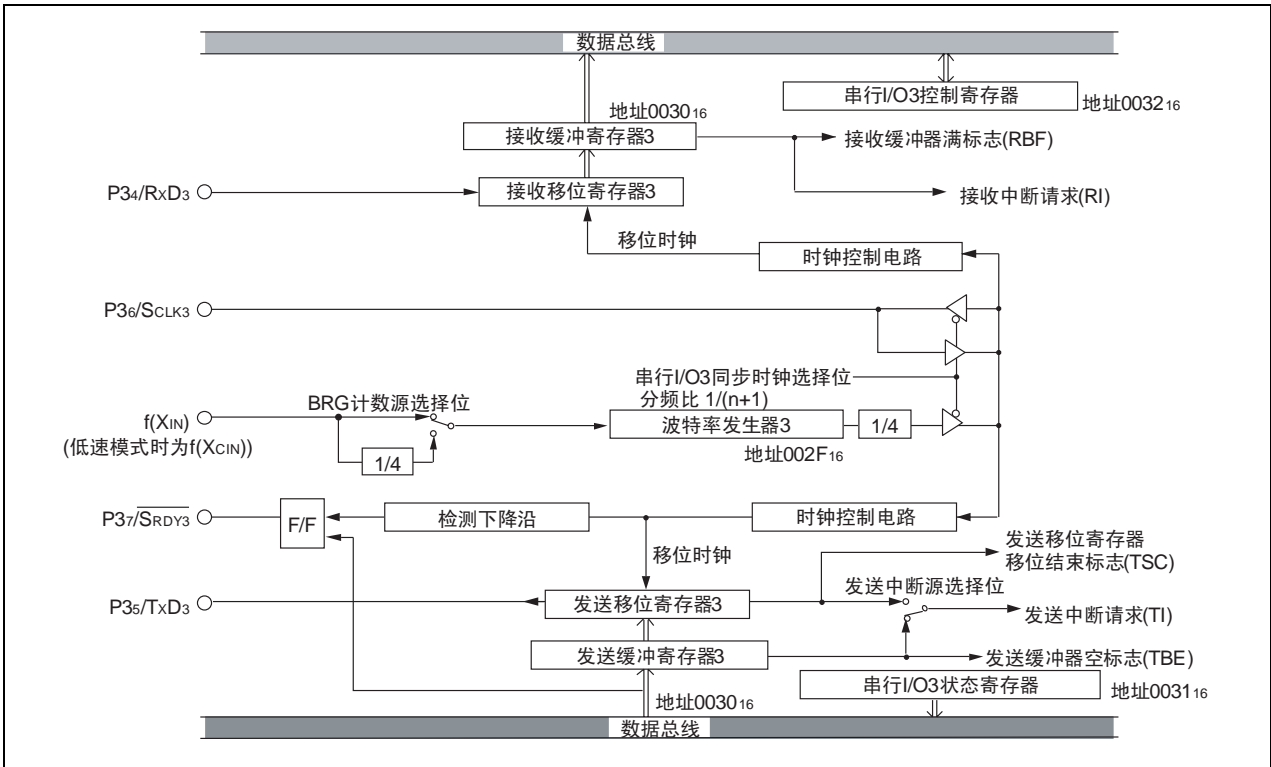


图 44 时钟同步串行 I/O3 的框图

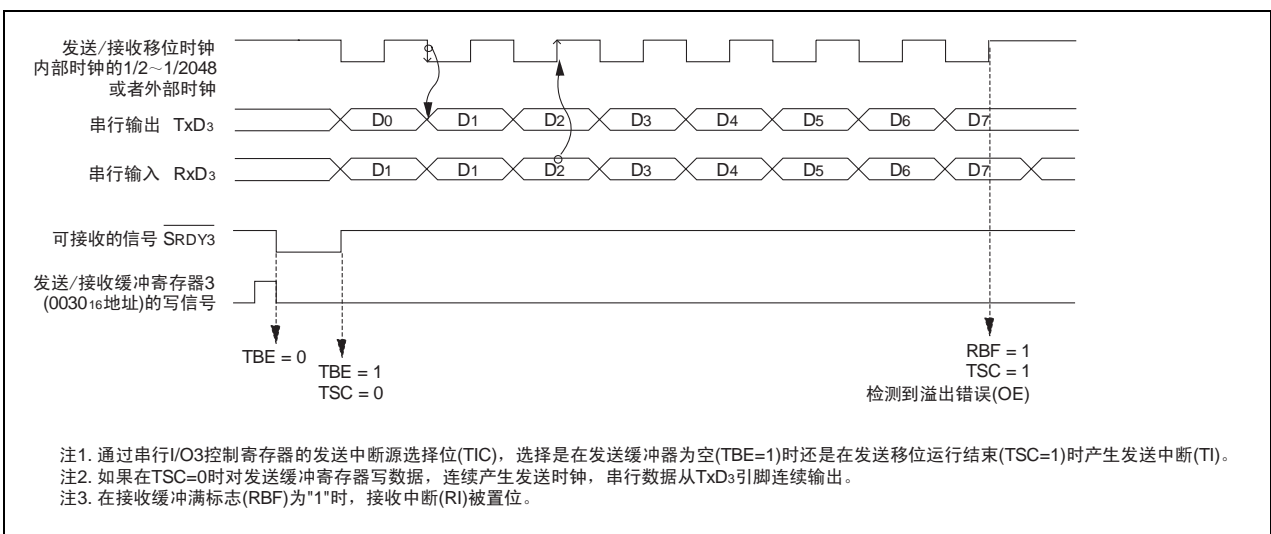


图 45 时钟同步串行 I/O3 的运行图

(2) 异步串行 I/O (UART) 模式

通过将串行 I/O3 控制寄存器的串行 I/O3 模式选择位 (b6) 置 “0”，选择 UART。

能选择 8 种串行数据传送格式。在发送侧和接收侧必须统一该传送格式。

进行串行数据发送和接收的发送移位寄存器 3 和接收移位寄存器 3 持有各自的缓冲寄存器 3 (存储器内的地址相同)。由于不能直接读写移位寄存器 3，因此对各自的缓冲寄存器 3 写发送数据或者读接收数据。另外，能通过这些缓冲寄存器，预写下一个要发送的数据，或者连续接收 2 字节的接收数据。

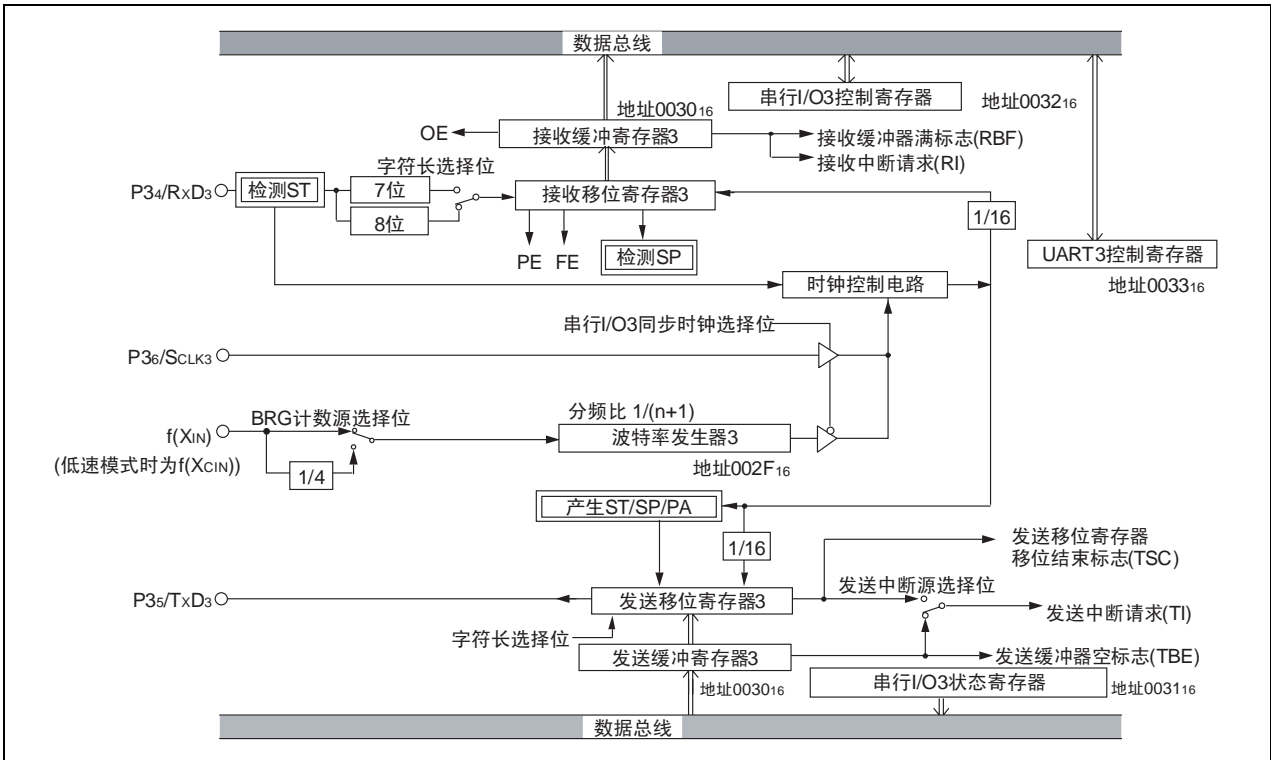


图 46 UART 串行 I/O3 的框图

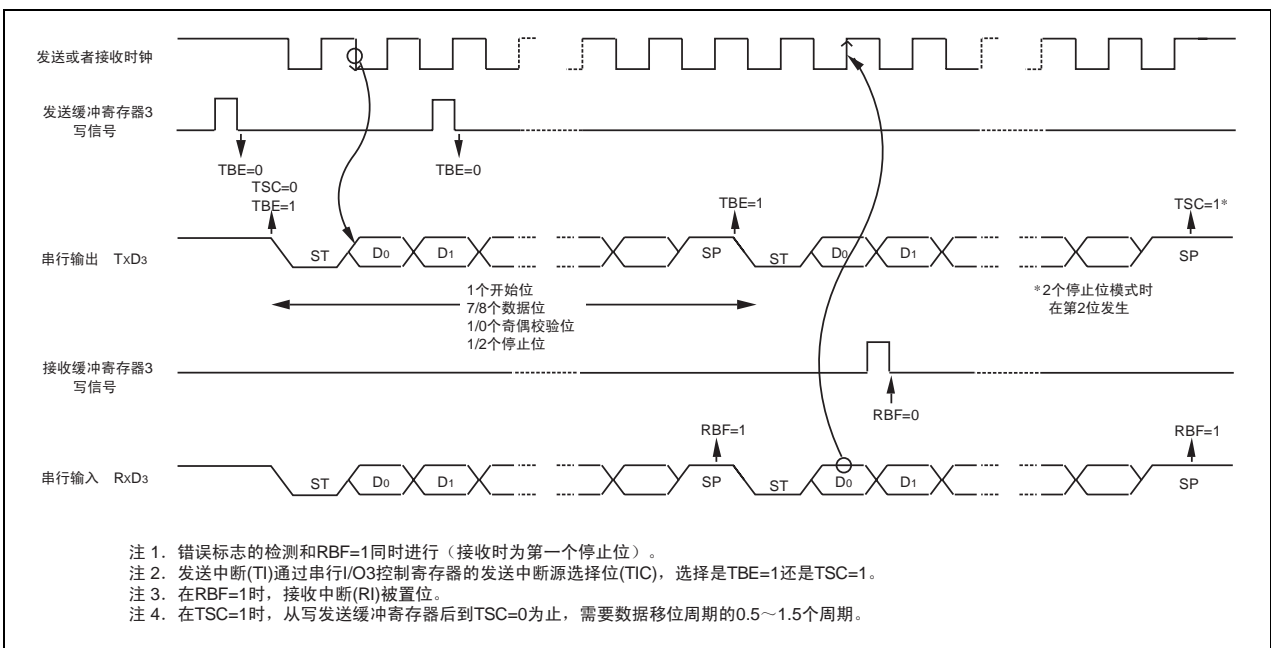


图 47 UART 串行 I/O3 的运行图

【发送缓冲寄存器 3/接收缓冲寄存器 3】TB3/RB3

发送缓冲寄存器 3 和接收缓冲寄存器 3 被分配了相同的地址，发送缓冲寄存器 3 为只写寄存器，接收缓冲寄存器 3 为只读寄存器。另外，在字符位长为 7 位时，保存在接收缓冲寄存器 3 的接收数据的 MSB 为“0”。

【串行 I/O3 状态寄存器】SIO3STS

它是由表示串行 I/O3 运行状态的标志和各种错误标志构成的 7 位只读寄存器。bit4~bit6 的 3 位只在 UART 模式时有效。

如果读取接收缓冲寄存器，接收缓冲器满标志就清“0”。

在数据从接收移位寄存器 3 传送到接收缓冲寄存器 3 或者接收缓冲器满标志置位的同时，进行错误检测。通过写串行 I/O3 状态寄存器，清除所有错误标志 (OE、PE、FE、SE)。另外，如果给串行 I/O3 控制寄存器的串行 I/O3 允许位 (b7) 写“0”，包括错误标志的所有状态标志就被清“0”。

虽然此寄存器的 bit0~bit6 在复位时被初始化为“0”，但是，在将串行 I/O3 控制寄存器的发送允许位 (b4) 置“1”时，bit2 和 bit0 变为“1”。

【串行 I/O3 控制寄存器】SIO3CON

串行 I/O3 控制寄存器由进行串行 I/O3 各种控制的 8 位选择位构成。

【UART3 控制寄存器】UART3CON

它是由在选择 UART 时有效的 4 位控制位和总是有效的 1 位控制位构成的 5 位寄存器。根据此寄存器的内容，设定发送和接收串行数据时的数据格式、P3s/TxD3 引脚的输出形式等。

【波特率发生器 3】BRG3

它决定串行传送的位速率。

它是持有重加载寄存器的 8 位计数器，通过设定值 n，以 $1/(n+1)$ 的分频比分频计数源。



图 48 串行 I/O3 相关寄存器的结构

■ 串行 I/O3 的注意事项

1. 同步的选择

(1) 发送运行的停止

- 注意事项

必须将串行 I/O3 允许位和发送允许位设定为“0”（禁止串行 I/O 和发送）。

- 理由

即使只将串行 I/O3 允许位设定为“0”（禁止串行 I/O），也不停止发送运行以及初始化发送电路，而继续进行内部的发送运行（因为 TxD3、RxD3、SCLK3、 $\overline{\text{SRDY}}3$ 各引脚的功能为输入/输出端口功能，所以发送数据不会被输出到外部）。在此状态下，如果将数据写到发送缓冲寄存器 3，就开始单片机内部的移位运行，所以该数据被传送到发送移位寄存器 3。此时，如果将串行 I/O3 允许位设定为“1”，内部移位中的数据就被中途输出到 TxD3 引脚，导致错误。

(2) 接收运行的停止

- 注意事项

必须将接收允许位设定为“0”（禁止接收）或者将串行 I/O3 允许位设定为“0”（禁止串行 I/O）。

(3) 发送/接收运行的停止

- 注意事项

必须将发送允许位和接收允许位同时设定为“0”（禁止发送/接收）。

（在时钟同步串行 I/O 模式的数据发送/接收时，不能只停止发送运行或者接收运行。）

- 理由

因为在时钟同步串行 I/O 模式中，发送和接收使用相同的时钟，如果只禁止任何一方，发送和接收就不能取得同步，产生位的错位。

在时钟同步串行 I/O 模式中，为了接收，发送电路的时钟电路也在运行。因此，其结构为：即使只将发送允许位设定为“0”（禁止发送）也不停止发送电路。另外，和“1.(1)发送运行的停止”相同，即使将串行 I/O3 允许位设定为“0”（禁止串行 I/O），也不能初始化发送电路。

2. 异步的选择

(1) 发送运行的停止

- 注意事项

必须将发送允许位设定为“0”（禁止发送）。即使将串行 I/O3 允许位设定为“0”，也不停止发送运行。

- 理由

即使只将串行 I/O3 允许位设定为“0”（禁止串行 I/O），也不停止发送运行以及初始化发送电路，而继续进行内部的发送运行（因为 TxD3、RxD3、SCLK3、 $\overline{\text{SRDY}}3$ 各引脚的功能为输入/输出端口功能，所以发送数据不会被输出到外部）。在此状态下，如果将数据写到发送缓冲寄存器，就开始单片机内部的移位运行，所以该数据被传送到发送移位寄存器。此时，如果将串行 I/O3 允许位设定为“1”，内部移位中的数据就被中途输出到 TxD3 引脚，导致错误。

(2) 接收运行的停止

- 注意事项

必须将接收允许位设定为“0”（禁止接收）。

(3) 发送/接收运行的停止

- 注意事项 1（只停止发送）

必须将发送允许位设定为“0”（禁止发送）。即使将串行 I/O3 允许位设定为“0”，也不停止发送运行。

- 理由

即使只将串行 I/O3 允许位设定为“0”（禁止串行 I/O），也不停止发送运行以及初始化发送电路，而继续进行内部的发送运行（因为 TxD3、RxD3、SCLK3、 $\overline{\text{SRDY}}3$ 各引脚的功能为输入/输出端口功能，所以发送数据不会被输出到外部）。在此状态下，如果将数据写到发送缓冲寄存器 3，就开始单片机内部的移位运行，所以该数据被传送到发送移位寄存器 3。此时，如果将串行 I/O3 允许位设定为“1”，内部移位中的数据就被中途输出到 TxD3 引脚，导致错误。

- 注意事项 2（只停止接收）

必须将接收允许位设定为“0”（禁止接收）。

3. 接收的 $\overline{\text{SRDY}}3$ 输出

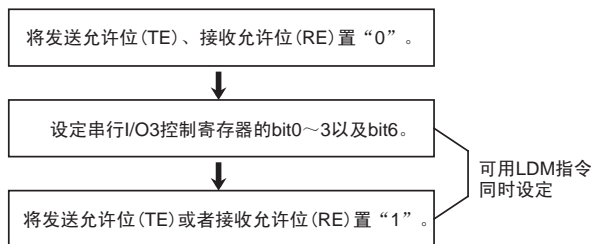
- 注意事项

在时钟同步串行 I/O 模式中，接收侧使用外部时钟进行 $\overline{\text{SRDY}}3$ 输出时，必须将接收允许位、 $\overline{\text{SRDY}}3$ 输出允许位和发送允许位同时设定为“1”（允许发送）。

4. 串行 I/O3 控制寄存器的重新设定

- 注意事项

在重新设定串行 I/O3 控制寄存器时，必须在将发送允许位和接收允许位都设定为“0”，然后在复位发送和接收电路后重新设定。



5. 使用发送移位寄存器移位结束标志的数据发送控制

- 注意事项

在将发送数据写到发送缓冲器后，发送移位寄存器移位结束标志比移位时钟迟 0.5~1.5 个时钟从“1”变为“0”。因此，在将发送数据写到发送缓冲器后，参照发送移位寄存器移位结束标志控制数据的发送时，必须注意此延时。

6. 选择外部时钟时的发送控制

- 注意事项

在发送数据时，选择外部时钟作为同步时钟的情况下，必须在 SCLK3 为“H”电平的状态下将发送允许位设定为“1”。另外，也必须在 SCLK3 为“H”电平的状态下写发送缓冲寄存器。

7. 发送允许位置位时的发送中断请求

- 注意事项

在使用发送中断时，必须按以下的顺序设定：

- ①将串行 I/O3 发送中断允许位设定为“0”（禁止）。
- ②将发送允许位设定为“1”。
- ③在至少执行一条指令后将 AD 转换/串行 I/O3 发送中断请求位设定为“0”。
- ④将 AD 转换/串行 I/O3 发送中断允许位设定为“1”（允许）。

- 理由

如果将发送允许位设定为“1”，发送缓冲器空标志和发送移位寄存器移位结束标志就被设定为“1”。

因此，发送中断的发生源无论选择了上述哪个标志的置“1”时序，都发生中断请求，并且 AD 转换/串行 I/O3 发送中断请求位被置位。

PWM (PWM: Pulse Width Modulation)

PWM 具有 8 位分辨率，以时钟输入 X_{IN} 或者 X_{IN} 的 2 分频后的信号为基础（低速模式时为 X_{CIN} 或者 $X_{CIN}/2$ ）。

• 数据设定

PWM 的输出引脚和端口 P56 共用。通过 PWM 预分频器，设定 PWM 周期；通过 PWM 寄存器，设定输出脉冲的“H”期间。

如果 PWM 预分频器的值为 n 、PWM 寄存器的值为 m ($n=0\sim 255$ 、 $m=0\sim 255$)，就有：

$$\begin{aligned} \text{PWM 周期} &= 255 \times (n+1) / f(X_{IN}) \\ &= 31.875 \times (n+1) \mu\text{s} \end{aligned}$$

（在 $f(X_{IN})=8\text{MHz}$ 、计数源选择位=“0”时）

$$\begin{aligned} \text{输出脉冲“H”期间} &= \text{PWM 周期} \times m / 255 \\ &= 0.125 \times (n+1) \times m \mu\text{s} \end{aligned}$$

（在 $f(X_{IN})=8\text{MHz}$ 、计数源选择位=“0”时）

• PWM 运行

如果 PWM 控制寄存器的 bit0 (PWM 允许位) 置为“1”，PWM 输出电路就从初始状态开始运行，输出从“H”开始的脉冲。

如果在 PWM 输出过程中改变 PWM 寄存器和 PWM 预分频器，就在改变后的下一个周期输出对应改变内容的脉冲。

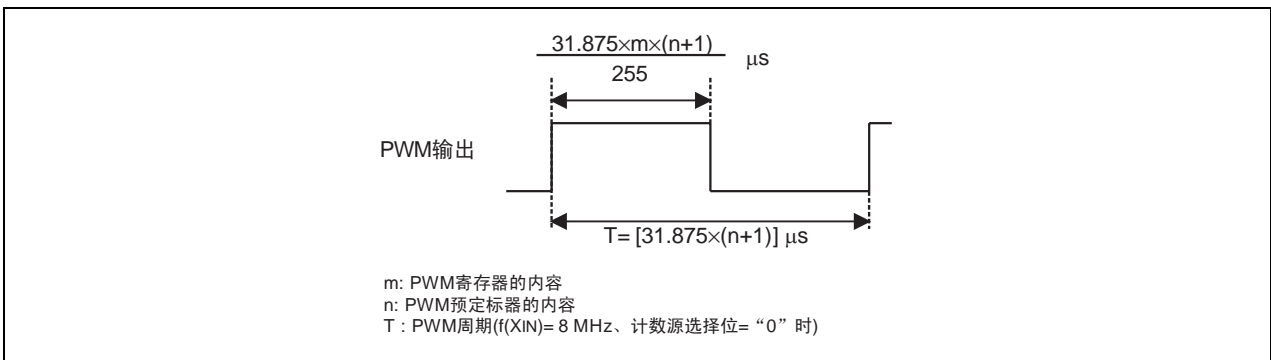


图 49 PWM 周期的时序图

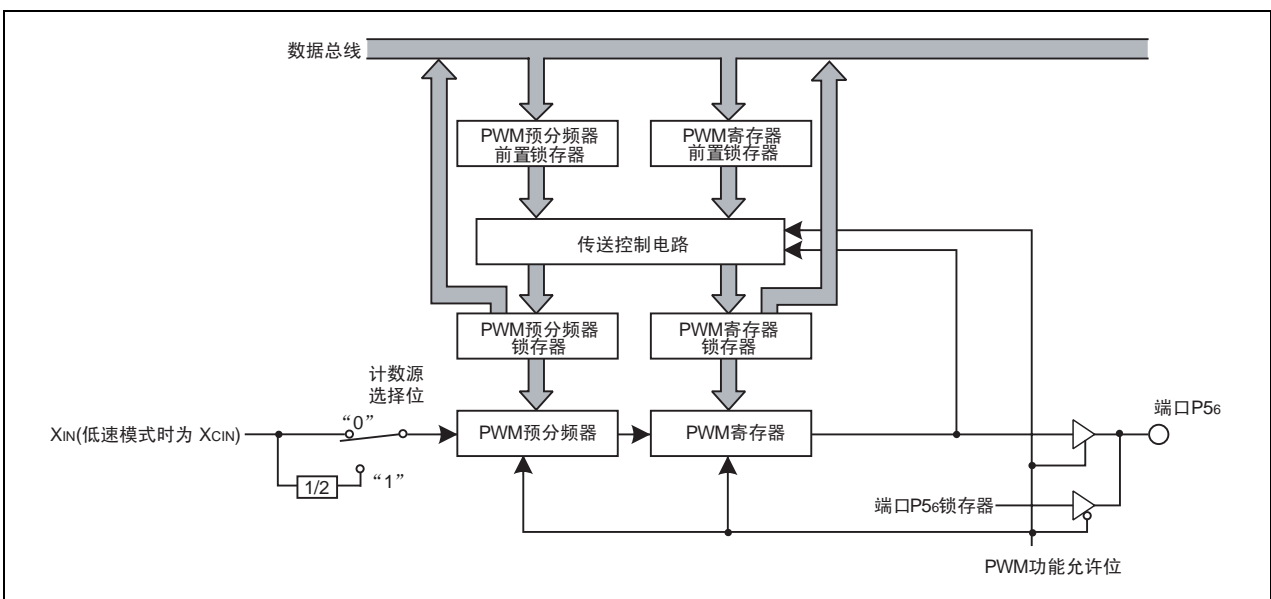


图 50 PWM 框图

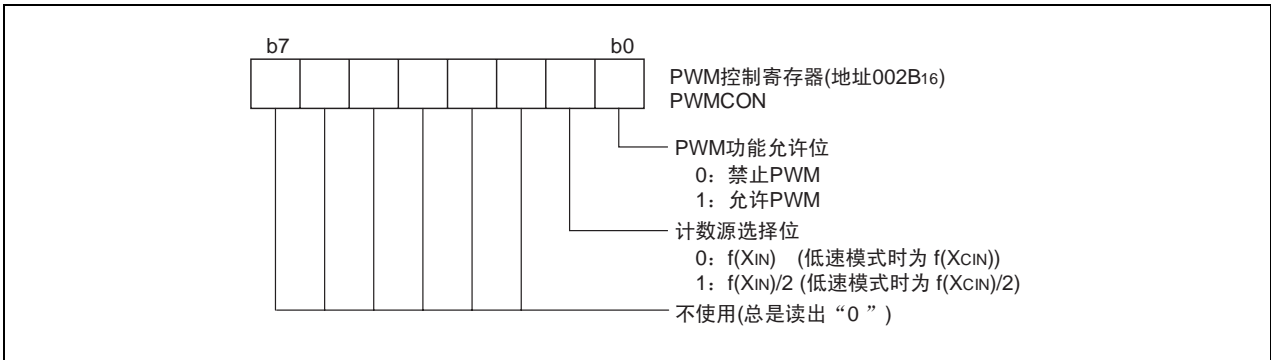


图 51 PWM 控制寄存器的结构

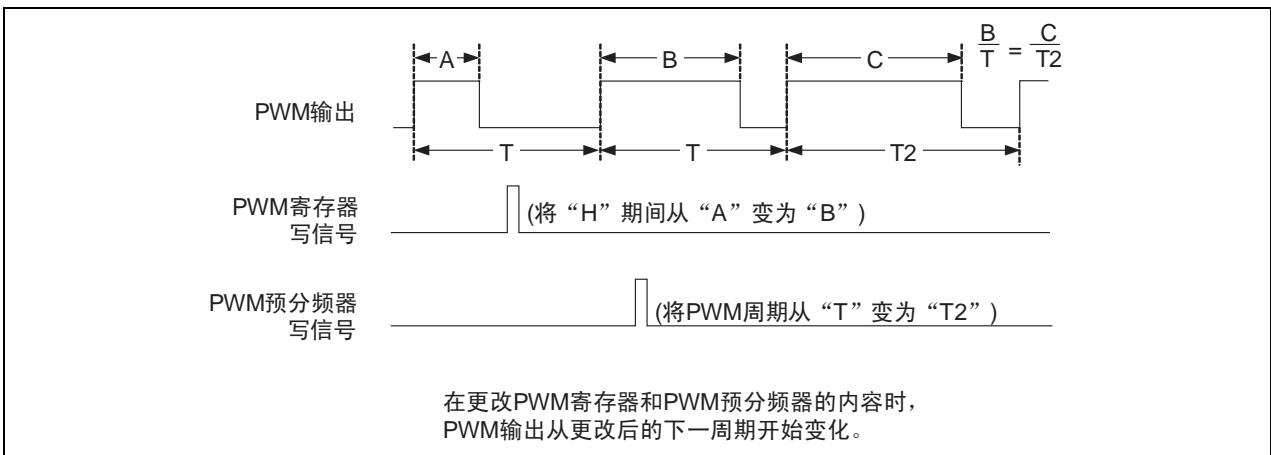


图 52 更改 PWM 寄存器和 PWM 预分频器时的 PWM 输出时序图

■ 注意事项

在将 PWM 功能允许位设定成允许并从 PWM 引脚输出“L”电平后, 开始 PWM 运行。此“L”电平输出时间如下:

- 计数源选择位=“0”、n=预分频器设定值

$$\frac{n+1}{2 \times f(X_{IN})} \quad (\text{秒})$$

- 计数源选择位=“1”、n=预分频器设定值

$$\frac{n+1}{f(X_{IN})} \quad (\text{秒})$$

A/D 转换器 (逐次逼近型)**【AD 转换寄存器 1、2】AD1、AD2**

AD 转换寄存器是保存 A/D 转换结果的只读寄存器。如果在 A/D 转换时读此寄存器，就读取上次的转换结果。

AD 转换寄存器 2 的 bit7 是转换模式选择位。如果将此位设定为“0”，就为 10 位 A/D 模式；如果设定为“1”，就为 8 位 A/D 模式。

8 位 A/D 模式的转换结果被保存在 AD 转换寄存器 1。

在 10 位 A/D 模式中，如图 55 所示，在 A/D 转换结束后，通过选择读 AD 转换寄存器 1、2 的顺序，不仅可读 10 位转换结果，也可只读高 8 位。

在 10 位 A/D 模式中，如果在 A/D 转换开始后读 AD 转换寄存器 1，就读取 MSB 侧的 8 位；如果在读 AD 转换寄存器 2 后读 AD 转换寄存器 1，就读取 LSB 侧的 8 位。

【AD/DA 控制寄存器】ADCON

AD/DA 控制寄存器是控制 A/D 转换器的寄存器。bit4、bit2~bit0 是模拟输入引脚选择位。bit3 是 AD 转换结束位，当 A/D 转换时为“0”；当 A/D 转换结束时为“1”。通过给此位写“0”开始 A/D 转换。

【比较电压发生器】

在 10 位 A/D 模式中，将 AVSS 和 VREF 之间的电压进行 1024 分压（在 8 位 A/D 模式中为 256 分压），输出比较电压。各模式中的比较电压 Vref 将 VREF 电压进行如下分压，进行和输入电压的逐次逼近。

10 位 A/D 模式（读 10 位）

$$V_{\text{ref}} = \frac{V_{\text{REF}}}{1024} \times n \quad (n=0 \sim 1023)$$

10 位 A/D 模式（读 8 位）

$$V_{\text{ref}} = \frac{V_{\text{REF}}}{256} \times n \quad (n=0 \sim 255)$$

8 位 A/D 模式

$$V_{\text{ref}} = \frac{V_{\text{REF}}}{256} \times (n-0.5) \quad (n=1 \sim 255)$$

$$= 0 \quad (n=0)$$

【通道选择器】

从端口 P67/AN7~P60/AN0、P07/AN15~P00/AN8 中选择 1 个通道输入到比较器。

【比较器和控制电路】

将模拟输入电压和比较电压进行比较，其结果保存到 AD 转换寄存器 1、2。另外，在 A/D 转换结束时，将 AD 转换结束位和 AD 转换/串行 I/O3 发送中断请求位设定为“1”。因为比较器由电容耦合构成，所以在 A/D 转换时必须将 f(XIN) 至少设定为 500kHz。

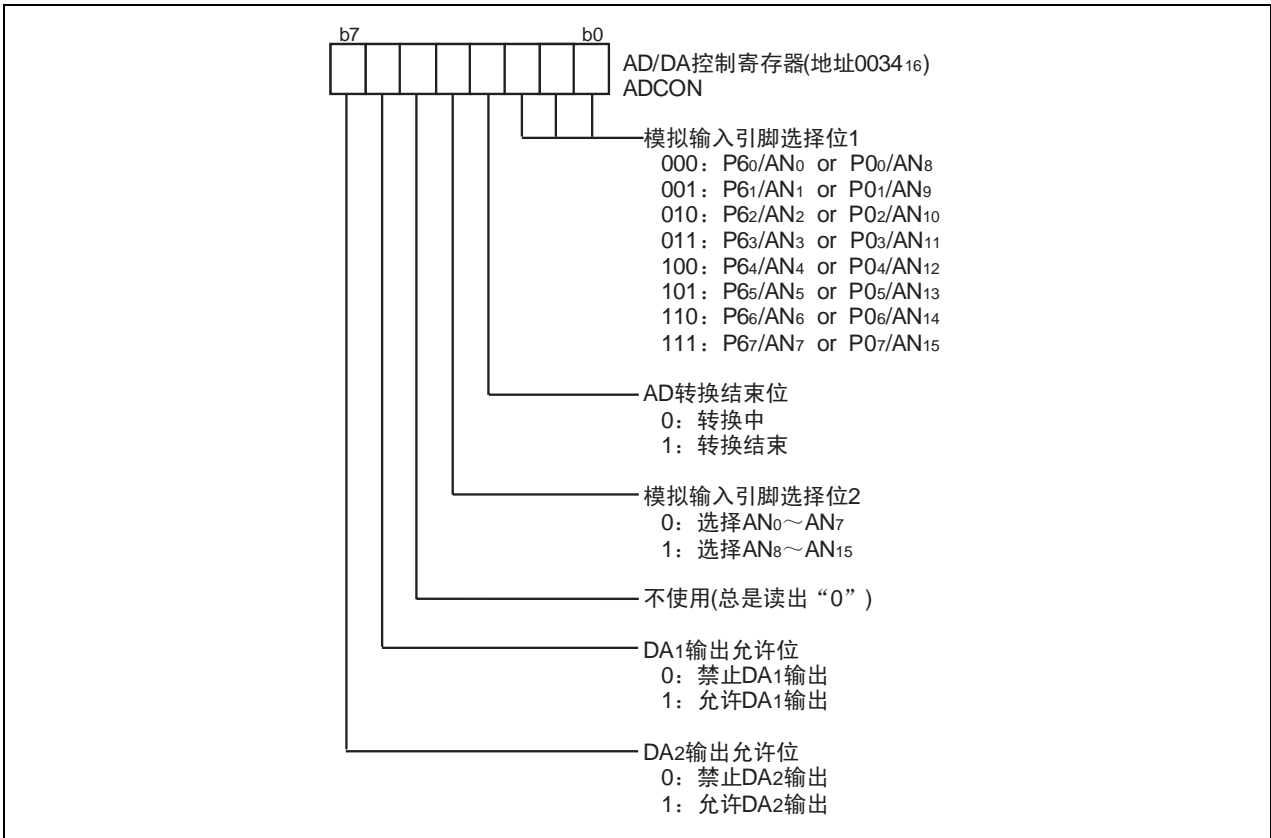


图 53 AD/DA 控制寄存器的结构

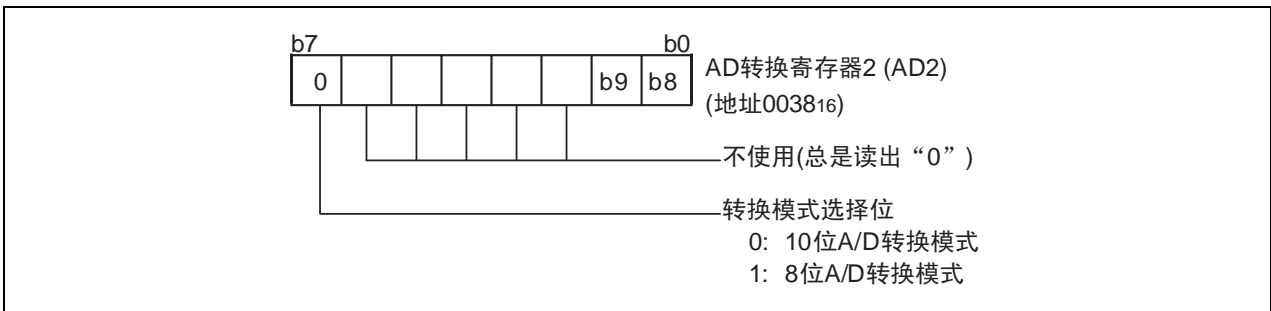


图 54 AD 转换寄存器 2 的结构

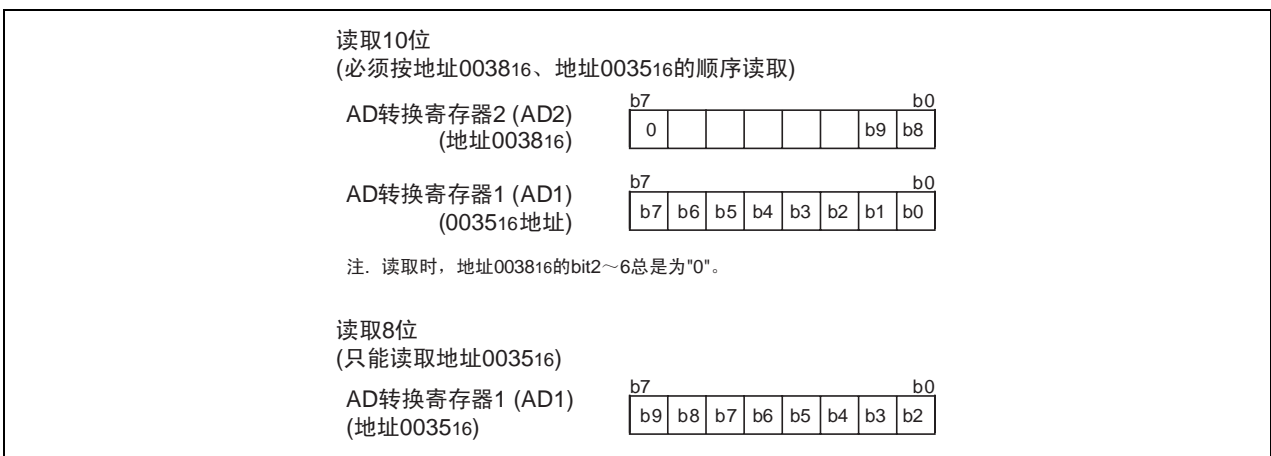


图 55 10 位 A/D 模式的读操作

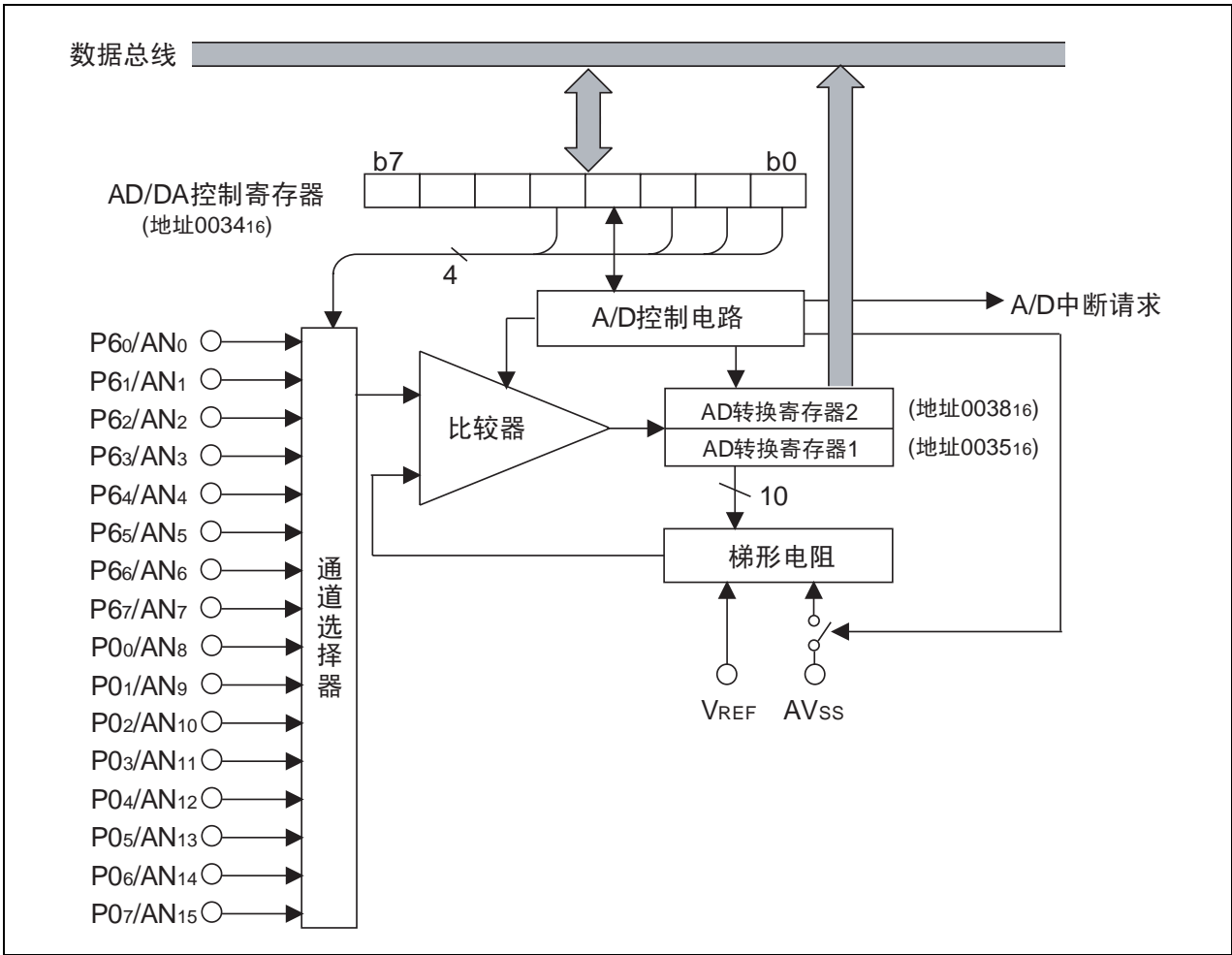


图 56 A/D 转换器的框图

D/A 转换器

D/A 转换器的分辨率为 8 位，内置 2 个通道 (DA1、DA2)。

通过将值设定到各自对应的 DA_i 转换寄存器进行 D/A 转换。通过将 DA_i 输出允许位 (i=1、2) 设定为“1”，从 DA1、DA2 引脚输出 D/A 的转换结果。此时，必须将 P30/DA1、P31/DA2 的方向寄存器置“0” (输入状态)。

输出的模拟电压 V 由设定在 DA_i 转换寄存器中的值 n (n 为 10 进制数) 决定。

$$V = V_{REF} \times n / 256 \quad (n=0 \sim 255)$$

*V_{REF} 为基准电压

DA_i 转换寄存器 (i=1、2) 在复位时被清为“0016”，DA_i 输出允许位 (i=1、2) 也在复位时被清“0”，P30/DA1、P31/DA2 引脚为高阻抗状态。另外，因为 DA 输出没有内置缓冲器，所以在连接阻抗低的负载时，必须在外部连接缓冲器。

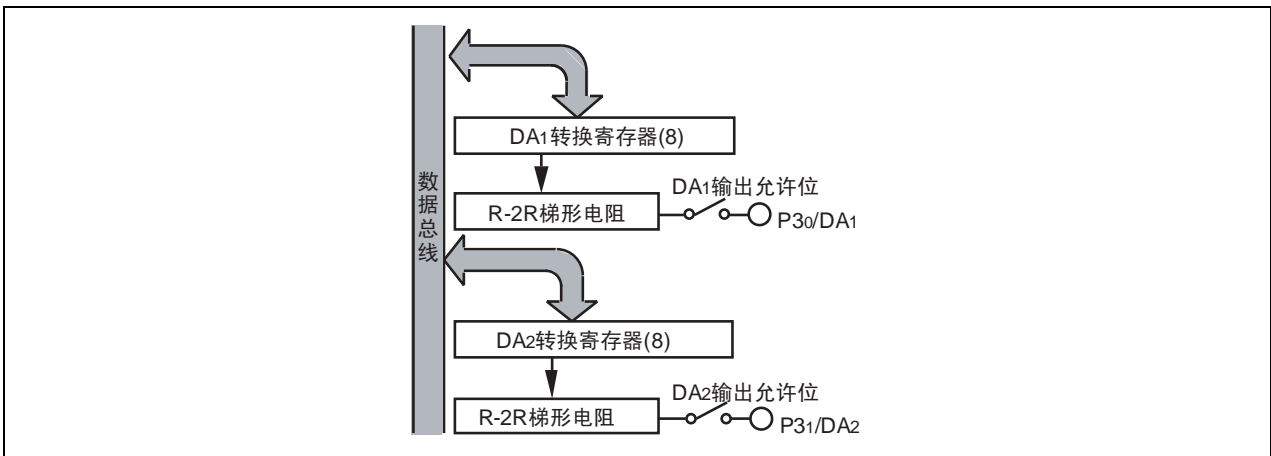


图 57 D/A 转换器的框图

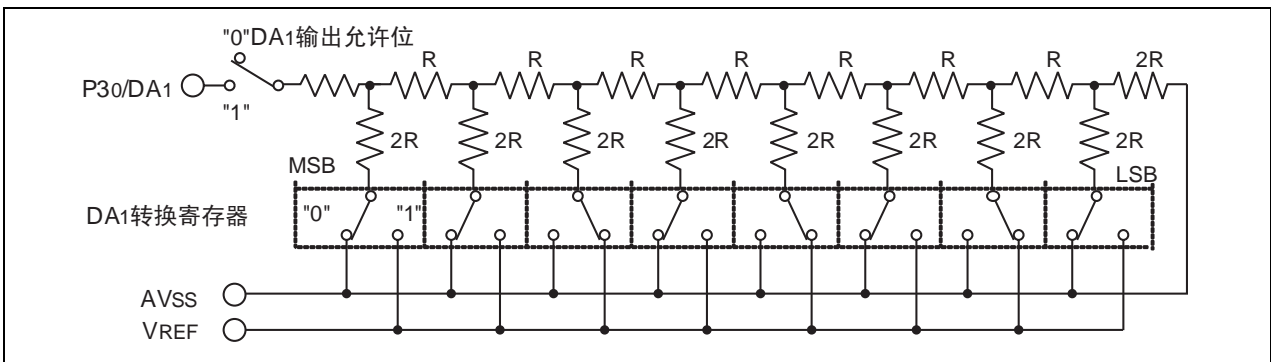


图 58 D/A 转换器的等效电路图 (D/A1)

看门狗定时器

在因失控等原因而导致程序不能正常循环的情况下，看门狗定时器提供返回到复位状态的手段。

看门狗定时器是由 8 位看门狗定时器 H 和 8 位看门狗定时器 L 构成的 16 位计数器。

(1) 看门狗定时器的初始值

在复位时或者通过写看门狗定时器控制寄存器（地址 001E16），看门狗定时器 H 被置位为“FF16”，看门狗定时器 L 被置位为“FF16”。如果写操作的指令是 STA、LDM 和 CLB 等产生写信号的指令，就都能使用。看门狗定时器控制寄存器的写数据只有 bit6、7 有效，与写到 bit0~5 的值无关，将上述的值设定到各定时器。

bit6 只能在复位解除后写一次，并且写后被锁定，因此不能进行改写。

(2) 看门狗定时器的运行

在复位时，看门狗定时器停止运行，通过写看门狗定时器控制寄存器（地址 001E16）开始递减计数。如果看门狗定时器 H 发生下溢，就产生内部复位，在等待复位解除时间后解除复位，从复位向量地址开始重新执行程序。通常，需要编入在看门狗定时器 H 发生下溢前对看门狗定时器控制寄存器进行写操作的程序。如果一次也没有写看门狗定时器控制寄存器，看门狗定时器就不起作用。

(3) 看门狗定时器控制寄存器的 bit6

- 如果在此位为“0”时执行 STP 指令，就转移到停止模式。看门狗定时器在解除停止模式的同时重新开始计数。（注）在执行 WIT 指令时看门狗定时器不停止。
- 如果在此位为“1”时执行 STP 指令，就在内部产生复位。一旦将此位改写为“1”，就不能通过程序改写为“0”。复位后的值为“0”。

在写看门狗定时器控制寄存器后到看门狗定时器 H 发生下溢前的时间如下所示：

看门狗定时器控制寄存器的 bit7 为“0”的情况：

当 $X_{CIN}=32.768\text{kHz}$ 时为 32s；当 $X_{IN}=16\text{MHz}$ 时为 65.536ms

看门狗定时器控制寄存器的 bit7 为“1”的情况：

当 $X_{CIN}=32.768\text{kHz}$ 时为 125ms；当 $X_{IN}=16\text{MHz}$ 时为 256 μs

注. 因为在等待停止解除期间看门狗定时器也进行计数，所以必须注意：看门狗定时器 H 不能在此期间发生下溢。

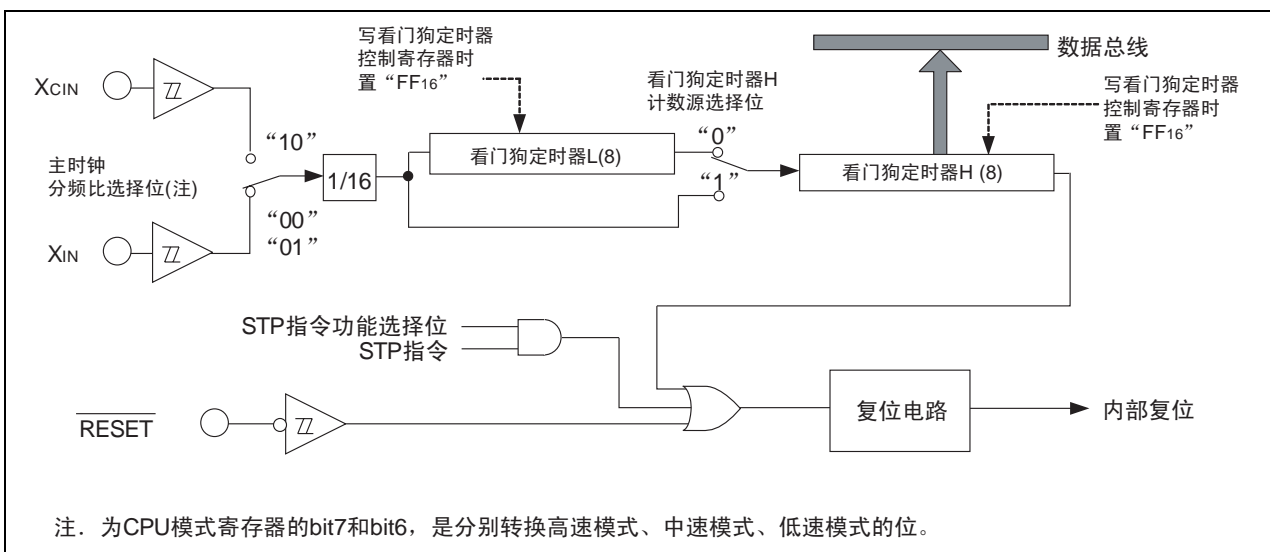


图 59 看门狗定时器的框图

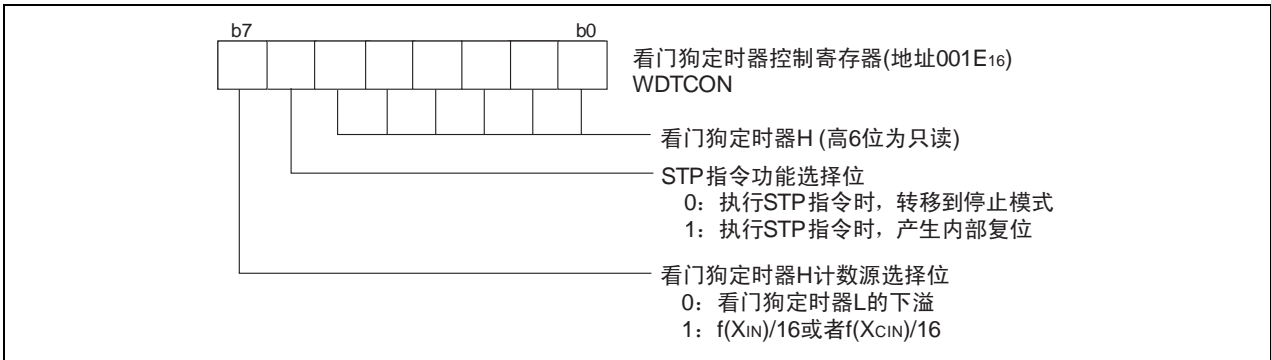


图 60 看门狗定时器控制寄存器的结构

复位电路

电源电压在 1.8~5.5V 内、 X_{IN} 稳定振荡时，如果将 \overline{RESET} 引脚至少保持 16 个 X_{IN} 周期的“L”电平，就变为复位状态，此后，如果将 \overline{RESET} 引脚恢复到“H”电平，就解除复位，从 FFFD₁₆ 地址的内容作为高位地址、FFFC₁₆ 地址的内容作为低位地址的地址开始启动程序。

必须在电源电压超过 1.8V 时，保持复位输入电压不超过 0.29V。

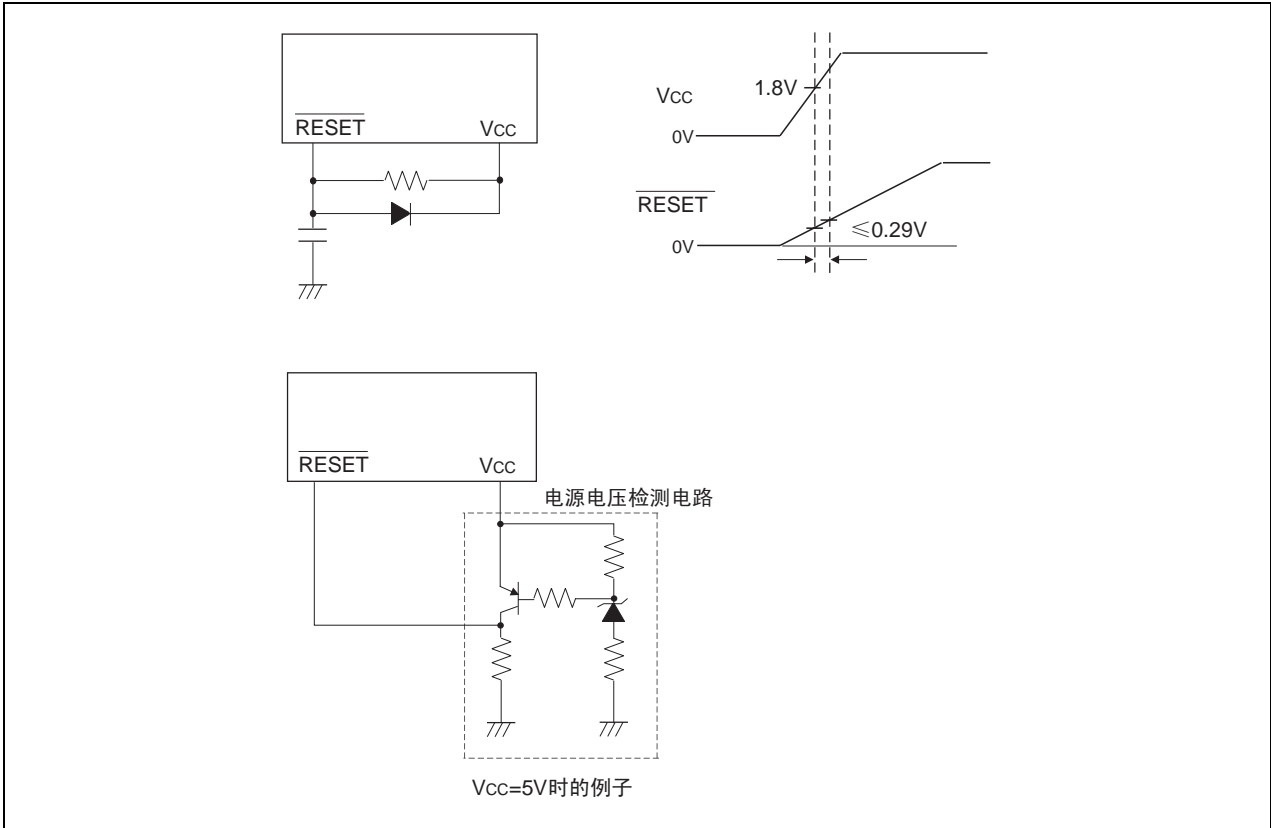


图 61 复位电路的例子

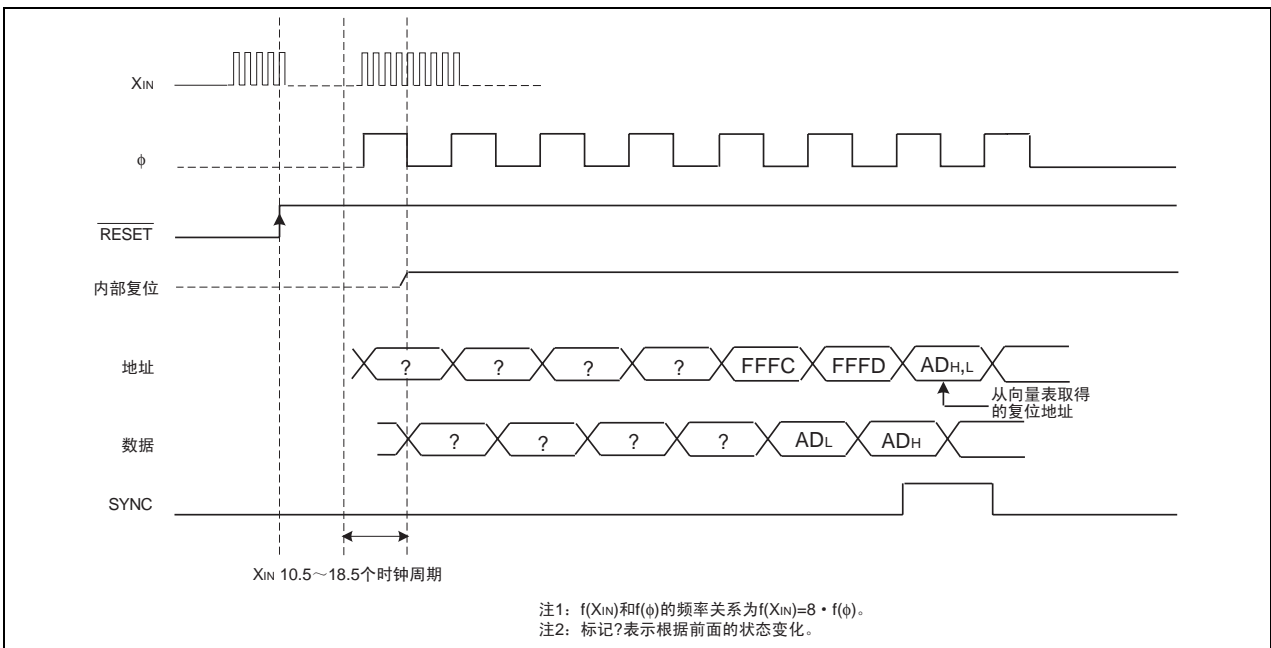


图 62 复位顺序

| | 地址 | 寄存器的内容 | | 地址 | 寄存器的内容 |
|----------------------|--------------------|------------------|------------------|--------------------|--------------------------|
| (1) 端口P0 | 0000 ₁₆ | 00 ₁₆ | (35) 定时器Z高位 | 0029 ₁₆ | FF ₁₆ |
| (2) 端口P0方向寄存器 | 0001 ₁₆ | 00 ₁₆ | (36) 定时器Z模式寄存器 | 002A ₁₆ | 00 ₁₆ |
| (3) 端口P1 | 0002 ₁₆ | 00 ₁₆ | (37) PWM控制寄存器 | 002B ₁₆ | 00 ₁₆ |
| (4) 端口P1方向寄存器 | 0003 ₁₆ | 00 ₁₆ | (38) PWM预分频器 | 002C ₁₆ | X X X X X X X X |
| (5) 端口P2 | 0004 ₁₆ | 00 ₁₆ | (39) PWM寄存器 | 002D ₁₆ | X X X X X X X X |
| (6) 端口P2方向寄存器 | 0005 ₁₆ | 00 ₁₆ | (40) 波特率发生器3 | 002F ₁₆ | X X X X X X X X |
| (7) 端口P3 | 0006 ₁₆ | 00 ₁₆ | (41) 发送/接收缓冲寄存器3 | 0030 ₁₆ | X X X X X X X X |
| (8) 端口P3方向寄存器 | 0007 ₁₆ | 00 ₁₆ | (42) 串行I/O3状态寄存器 | 0031 ₁₆ | 1 0 0 0 0 0 0 0 |
| (9) 端口P4 | 0008 ₁₆ | 00 ₁₆ | (43) 串行I/O3控制寄存器 | 0032 ₁₆ | 00 ₁₆ |
| (10) 端口P4方向寄存器 | 0009 ₁₆ | 00 ₁₆ | (44) UART3控制寄存器 | 0033 ₁₆ | 1 1 1 0 0 0 0 0 |
| (11) 端口P5 | 000A ₁₆ | 00 ₁₆ | (45) AD/DA控制寄存器 | 0034 ₁₆ | 0 0 0 0 1 0 0 0 |
| (12) 端口P5方向寄存器 | 000B ₁₆ | 00 ₁₆ | (46) AD转换寄存器1 | 0035 ₁₆ | X X X X X X X X |
| (13) 端口P6 | 000C ₁₆ | 00 ₁₆ | (47) DA1转换寄存器 | 0036 ₁₆ | 00 ₁₆ |
| (14) 端口P6方向寄存器 | 000D ₁₆ | 00 ₁₆ | (48) DA2转换寄存器 | 0037 ₁₆ | 00 ₁₆ |
| (15) 定时器12,X计数源选择寄存器 | 000E ₁₆ | 0 0 1 1 0 0 1 1 | (49) AD转换寄存器2 | 0038 ₁₆ | 0 0 0 0 0 0 X X |
| (16) 定时器Y,Z计数源选择寄存器 | 000F ₁₆ | 0 0 1 1 0 0 1 1 | (50) 中断源选择寄存器 | 0039 ₁₆ | 00 ₁₆ |
| (17) MISRG | 0010 ₁₆ | 00 ₁₆ | (51) 中断边沿选择寄存器 | 003A ₁₆ | 00 ₁₆ |
| (18) 发送/接收缓冲寄存器1 | 0018 ₁₆ | X X X X X X X X | (52) CPU模式寄存器 | 003B ₁₆ | 0 1 0 0 1 0 0 0 |
| (19) 串行I/O1状态寄存器 | 0019 ₁₆ | 1 0 0 0 0 0 0 0 | (53) 中断请求寄存器1 | 003C ₁₆ | 00 ₁₆ |
| (20) 串行I/O1控制寄存器 | 001A ₁₆ | 00 ₁₆ | (54) 中断请求寄存器2 | 003D ₁₆ | 00 ₁₆ |
| (21) UART1控制寄存器 | 001B ₁₆ | 1 1 1 0 0 0 0 0 | (55) 中断控制寄存器1 | 003E ₁₆ | 00 ₁₆ |
| (22) 波特率发生器1 | 001C ₁₆ | X X X X X X X X | (56) 中断控制寄存器2 | 003F ₁₆ | 00 ₁₆ |
| (23) 串行I/O2控制寄存器 | 001D ₁₆ | 00 ₁₆ | (57) 端口P0上拉控制寄存器 | 0FF0 ₁₆ | 00 ₁₆ |
| (24) 看门狗定时器控制寄存器 | 001E ₁₆ | 0 0 1 1 1 1 1 1 | (58) 端口P1上拉控制寄存器 | 0FF1 ₁₆ | 00 ₁₆ |
| (25) 串行I/O2寄存器 | 001F ₁₆ | X X X X X X X X | (59) 端口P2上拉控制寄存器 | 0FF2 ₁₆ | 00 ₁₆ |
| (26) 预分频器12 | 0020 ₁₆ | FF ₁₆ | (60) 端口P3上拉控制寄存器 | 0FF3 ₁₆ | 00 ₁₆ |
| (27) 定时器1 | 0021 ₁₆ | 01 ₁₆ | (61) 端口P4上拉控制寄存器 | 0FF4 ₁₆ | 00 ₁₆ |
| (28) 定时器2 | 0022 ₁₆ | FF ₁₆ | (62) 端口P5上拉控制寄存器 | 0FF5 ₁₆ | 00 ₁₆ |
| (29) 定时器XY模式寄存器 | 0023 ₁₆ | 00 ₁₆ | (63) 端口P6上拉控制寄存器 | 0FF6 ₁₆ | 00 ₁₆ |
| (30) 预分频器X | 0024 ₁₆ | FF ₁₆ | (64) 处理器状态寄存器 | (PS) | X X X X X 1 X X |
| (31) 定时器X | 0025 ₁₆ | FF ₁₆ | (65) 程序计数器 | (PC _H) | FFF ₁₆ 地址的内容 |
| (32) 预分频器Y | 0026 ₁₆ | FF ₁₆ | | (PC _L) | FFFC ₁₆ 地址的内容 |
| (33) 定时器Y | 0027 ₁₆ | FF ₁₆ | | | |
| (34) 定时器Z低位 | 0028 ₁₆ | FF ₁₆ | | | |

注. x: 不定。
复位时上述以外的寄存器和RAM的内容不定，必须置初始值。

图 63 复位时的内部状态

时钟发生电路

本单片机内置了主时钟 XIN-XOUT 和副时钟 XCIN-XCOUT 的 2 个振荡电路。能通过 XIN 和 XOUT 的引脚之间或者 XCIN 和 XCOUT 的引脚之间连接谐振器，形成振荡电路。电容等常数因谐振器而不同，请使用谐振器厂家的推荐值。

在 XIN-XOUT 的引脚之间内置了反馈电阻（根据条件，有时需要外接反馈电阻）。因为在 XCIN-XCOUT 之间没有内置电阻，所以必须外接反馈电阻。

在刚接通电源后，只有 XIN 的振荡电路开始振荡，XCIN 和 XCOUT 引脚为输入/输出端口。

● 频率的控制

(1) 中速模式

加到 XIN 引脚的频率的 8 分频为内部时钟 ϕ ，解除复位后为此模式。

(2) 高速模式

加到 XIN 引脚的频率的 2 分频为内部时钟 ϕ 。

(3) 低速模式

加到 XIN 引脚的频率的 2 分频为内部时钟 ϕ 。

(4) 低功耗模式

在低速模式中，能通过将 CPU 模式寄存器的主时钟 (XIN-XOUT) 停止位 (b5) 设定为“1”，停止主时钟 XIN，实现低功耗运行。此时，在重新开始主时钟 XIN 振荡时，必须在将主时钟 (XIN-XOUT) 停止位设定为“0”后，通过程序生成振荡稳定前的等待时间。

由于 XCIN-XCOUT 振荡电路的振荡不能通过输入外部时钟进行，因此，必须通过外接谐振器，使 XCIN-XCOUT 振荡电路振荡。

● 振荡控制

(1) 停止模式

如果执行 STP 指令，内部时钟 ϕ 就在“H”状态下停止，并且停止 XIN 和 XCIN 的振荡。此时，在解除 STP 指令后的振荡稳定时间设定位（地址 0010₁₆ 的 bit0）为“0”时，定时器 1 被设定成“01₁₆”，而预分频器 12 被设定成“FF₁₆”。另一方面，在解除 STP 指令后的振荡稳定时间设定位为“1”时，由于没有给定定时器 1 和预分频器 12 设定任何值，所以必须设定符合使用谐振器的振荡稳定时间的等待时间。

执行 STP 指令时设定的计数源连接到 STP 指令解除后的预分频器 12 的输入，预分频器 12 的输出连接到定时器 1。

如果接受外部中断，就重新开始振荡，但是，在定时器 1 下溢前内部时钟 ϕ 保持“H”状态，在定时器 1 下溢后开始供给内部时钟 ϕ 。这是由于在使用陶瓷振荡等时，需要启动振荡的时间。

在通过复位重新开始振荡时，由于不产生等待时间，因此在振荡稳定之前，必须给 $\overline{\text{RESET}}$ 引脚外加“L”电平。

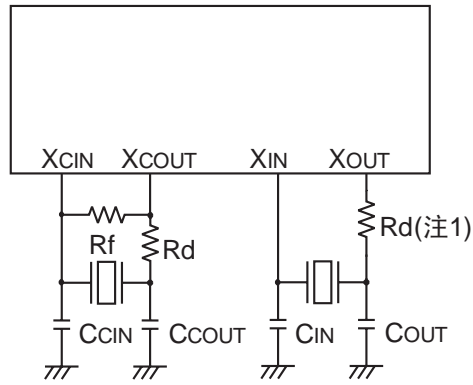
(2) 等待模式

如果执行 WIT 指令，内部时钟 ϕ 就在“H”状态下停止，但是振荡器不停止振荡。如果接受复位或者中断，就解除内部时钟 ϕ 的停止。由于振荡器没有停止振荡，因此能立即执行指令。

在解除 STP 或者 WIT 状态时，为了能接受中断，必须在执行 STP 或者 WIT 指令前，先将所对应的中断允许位置“1”。另外，在解除 STP 状态时，由于预分频器 12 和定时器 1 对 XIN 16 分频后的时钟进行计数，因此必须在执行 STP 指令前将定时器 1 中断允许位置“0”。

■ 注意事项

- 在进行中/高速模式和低速模式之间的转移时，需要 XIN 和 XCIN 的振荡都处于稳定状态。尤其是 XCIN 的振荡上升需要时间，所以在刚接通电源后或者从停止模式返回时必须注意。另外，在转移时需要 $f(\text{XIN}) > 3 \cdot f(\text{XCIN})$ 。
- 当使用 16MHz 等高频率晶体谐振器时，有时需要根据规格要求等选择特殊的谐振器。
- 在通过解除 STP 指令后的振荡稳定时间设定位设定为“1”使用时，必须在充分评价所使用的谐振器的振荡稳定时间后，对定时器 1 和预分频器 12 设定值。



注1. 必须根据需要插入阻尼电阻。电阻值因谐振器、振荡驱动能力而不同，所以请使用谐振器厂家的推荐值。
另外，在XIN-XOUT引脚之间内置了反馈电阻，但是如果得到谐振器厂家的有关追加反馈电阻的指示，必须根据该指示附加反馈电阻。

图 64 外接陶瓷谐振器的电路

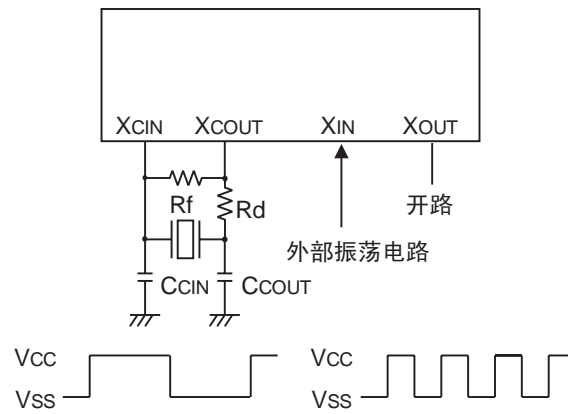


图 65 外部时钟输入电路

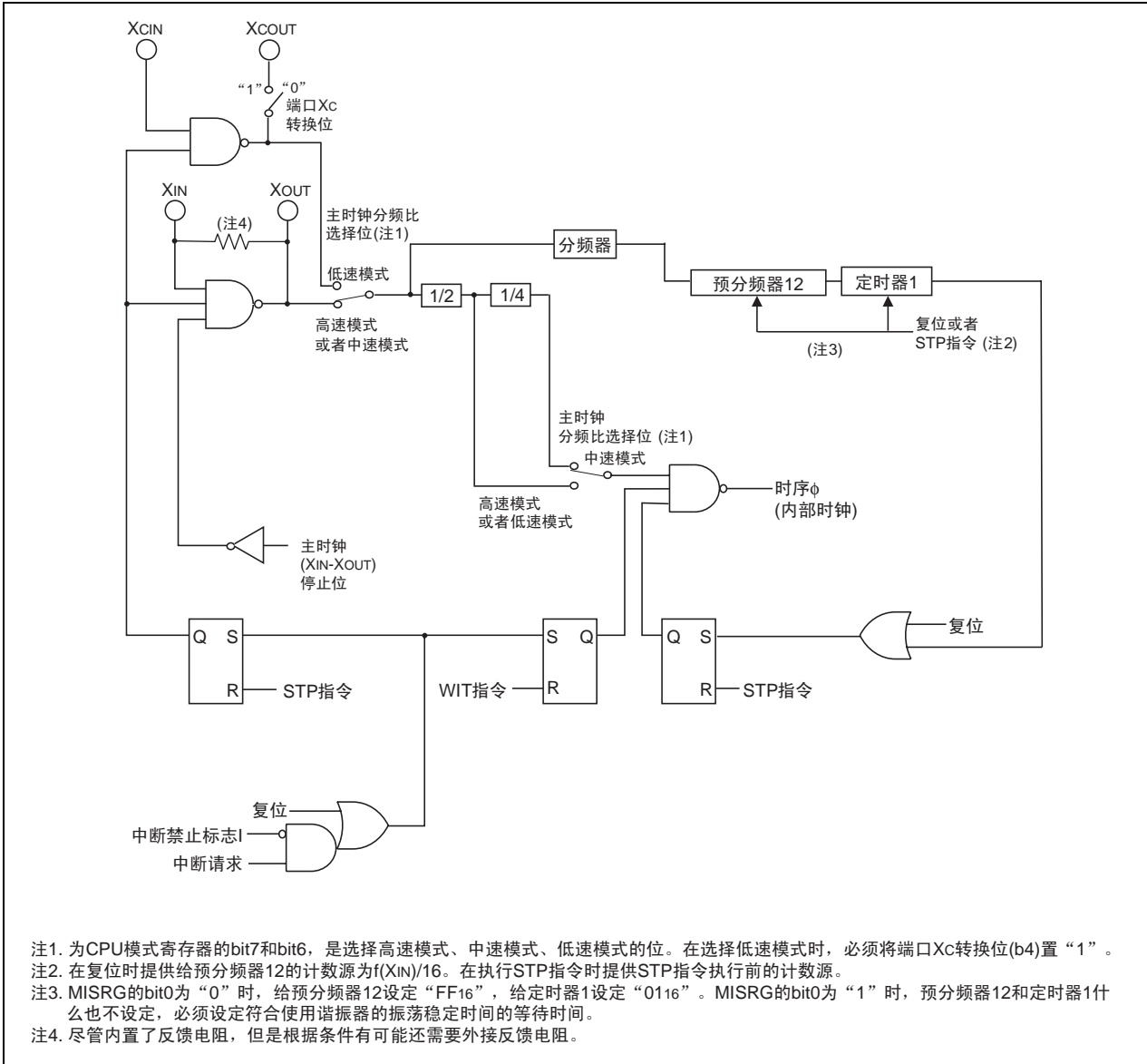
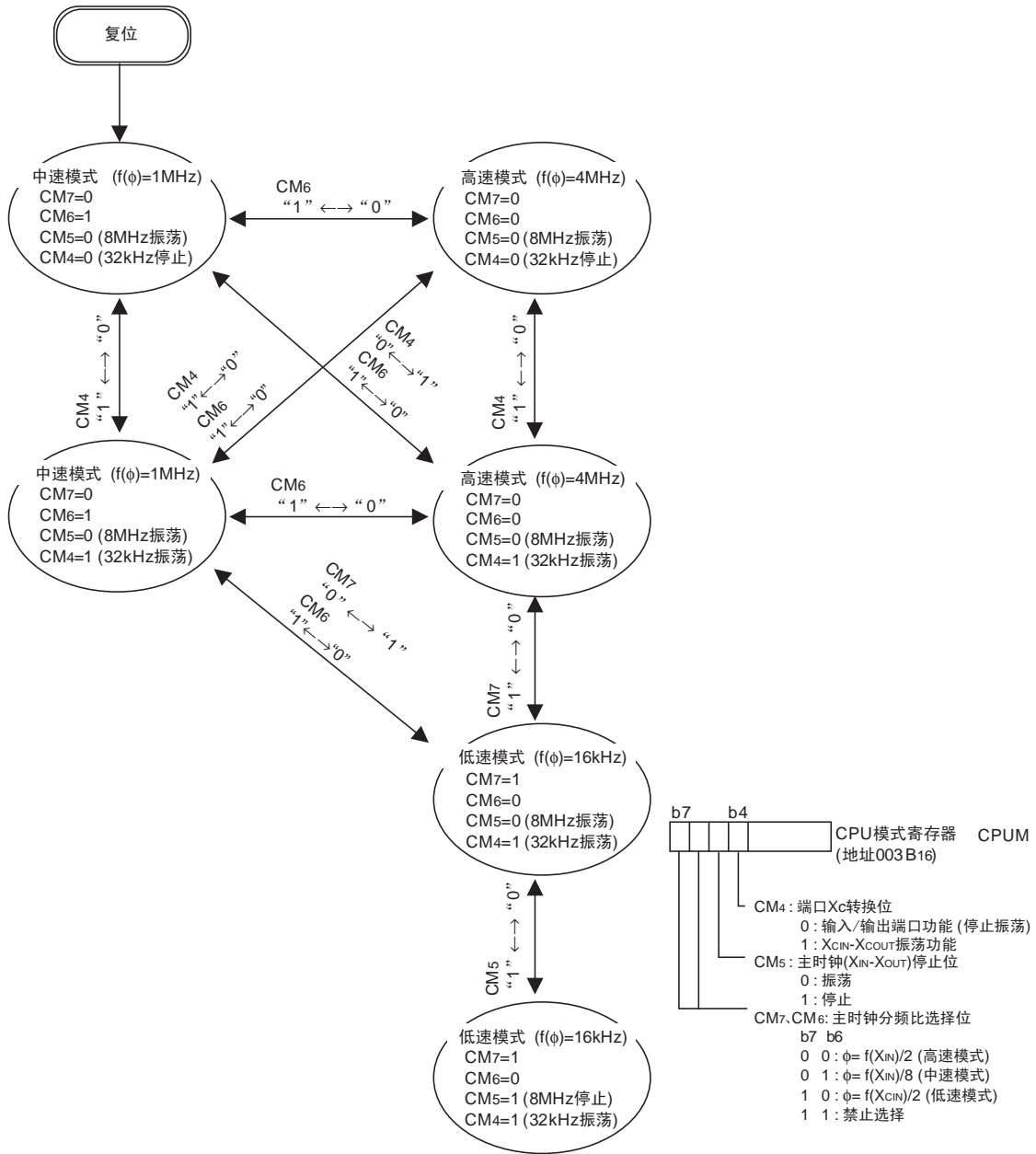


图 66 系统时钟发生电路的框图 (单芯片模式)



- 注1. 必须按箭头进行模式间的转移(不能直接进行没有箭头的模式间的转移)。
- 注2. 能从所有模式转移到停止模式或者等待模式，解除后返回原模式。
- 注3. 等待模式时定时器运行。
- 注4. 在解除中/高速模式的停止模式时，因需要进行预分频器12和定时器1的接续，自动产生约1ms的等待时间。
- 注5. 解除低速模式的停止模式时的等待时间在重新振荡后需要约0.25s。
- 注6. 从低速模式转移到中/高速模式时，必须在主时钟XIN振荡后等待振荡稳定。
- 注7. 在上述例子中，假定了给XIN引脚外加8MHz信号、给XCIN引脚外加32kHz信号。 ϕ 表示内部时钟。

图 67 系统时钟的状态转移图

QzROM 编程模式

在 QzROM 编程模式中, 能使用与本单片机对应的串行编程器, 在单片机安装在电路板的状态下对用户 ROM 区进行编程。

引脚的功能说明 (QzROM 编程模式) 如表 9, 引脚连接图如图 68、图 69 和图 70 所示。

与串行编程器连接的例子请参照电路板上引脚处理的例子 (图 68~图 70)。有关串行编程器请向各厂家询问, 有关串行编程器的操作方法请参照串行编程器的用户手册。

表 9 引脚的功能说明 (QzROM 编程模式)

| 引脚名 | 名称 | 输入/输出 | 功能 |
|---|------------|-------|---|
| VCC、VSS | 电源输入 | 输入 | 给 VCC 外加 2.7~5.5V, 给 VSS 外加 0V。 |
| CNVSS | VPP 输入 | 输入 | QzROM 的电源输入引脚。 |
| VREF | 基准电压输入 | 输入 | 必须输入 A/D 转换器和 D/A 转换器的基准电压。 |
| AVSS | 模拟电源输入 | 输入 | 必须连接 VSS。 |
| RESET | 复位输入 | 输入 | 是复位输入引脚, 如果至少保持 16 个 XIN 周期的“L”电平, 就进入复位状态。 |
| XIN | 时钟输入 | 输入 | 必须进行与单芯片模式时相同的引脚处理。 |
| XOUT | 时钟输出 | 输出 | |
| P00~P07 P10~P17 P20~P27 P30~P37 P40~P44 P50~P57 P60~P67 | 输入/输出端口 | 输入/输出 | 必须输入“H”电平或者“L”电平, 或者置为开路。 |
| P45 | ESDA 输入/输出 | 输入/输出 | 是串行数据的输入/输出引脚。 |
| P46 | ESCLK 输入 | 输入 | 是串行时钟的输入引脚。 |
| P47 | ESPGMB 输入 | 输入 | 是读/编程脉冲信号的输入引脚。 |

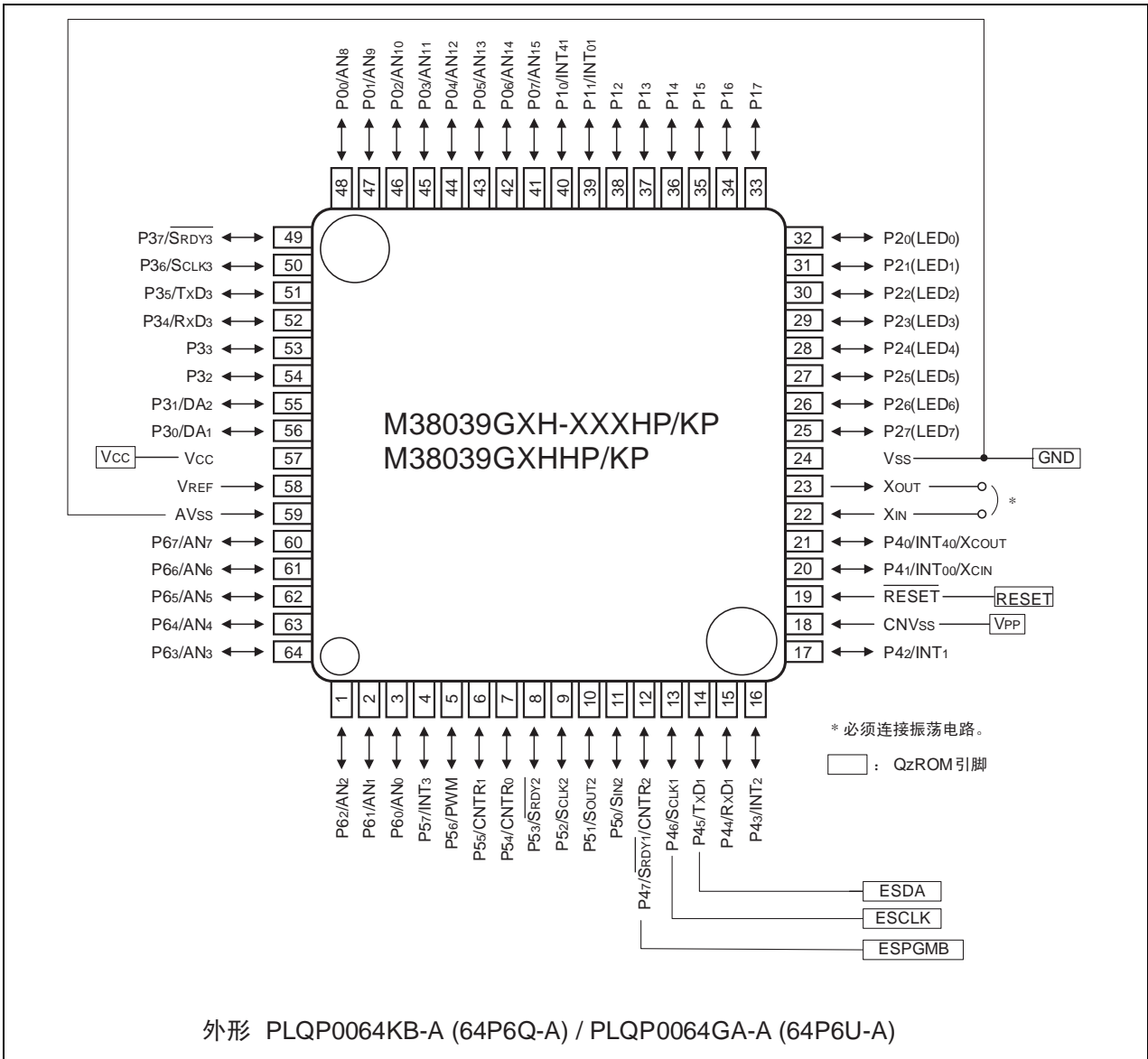


图 68 引脚连接图 (M38039GXH-XXXHP/KP、M38039GXHHP/KP)

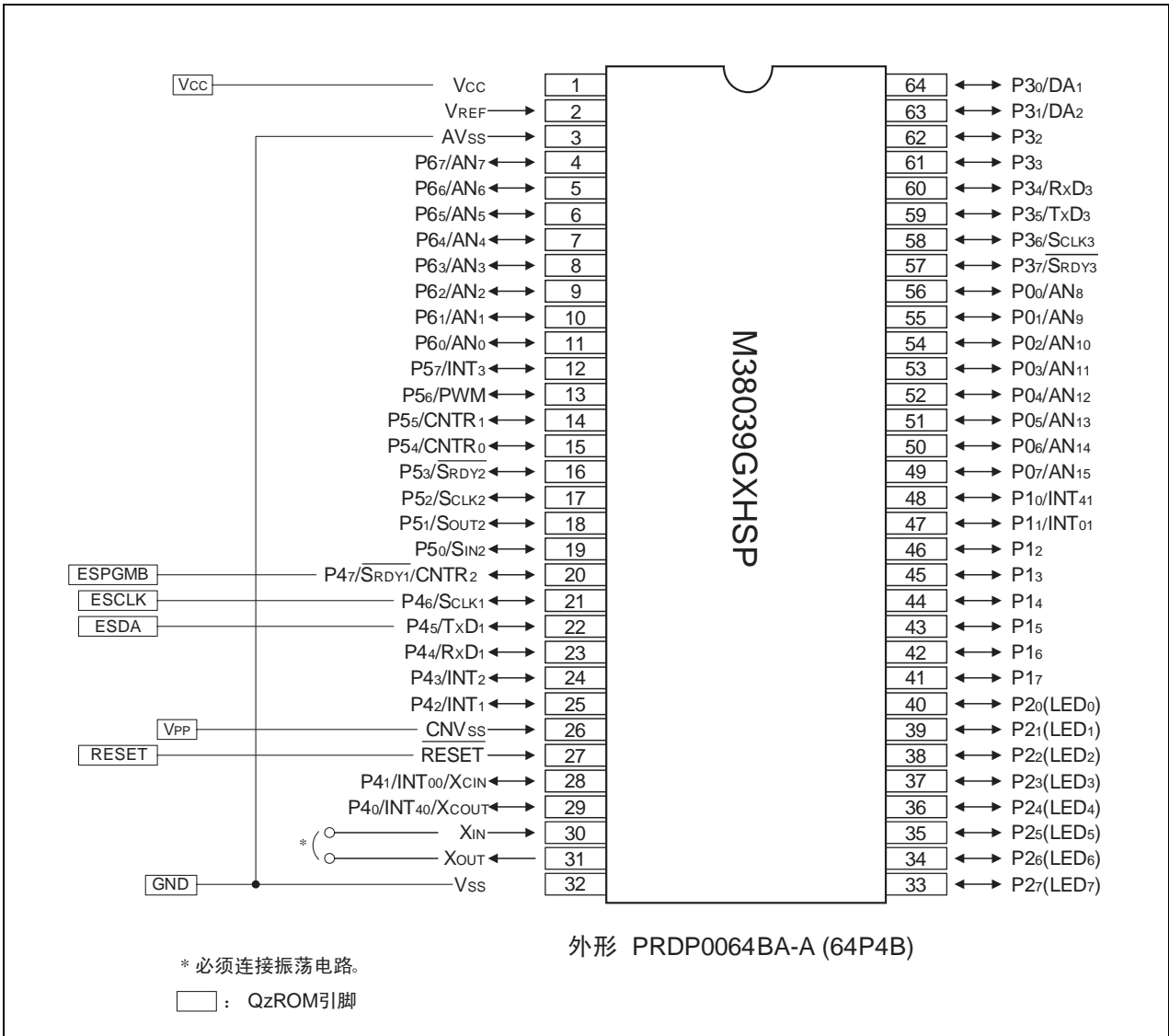


图 69 引脚连接图 (M38039GXHSP)

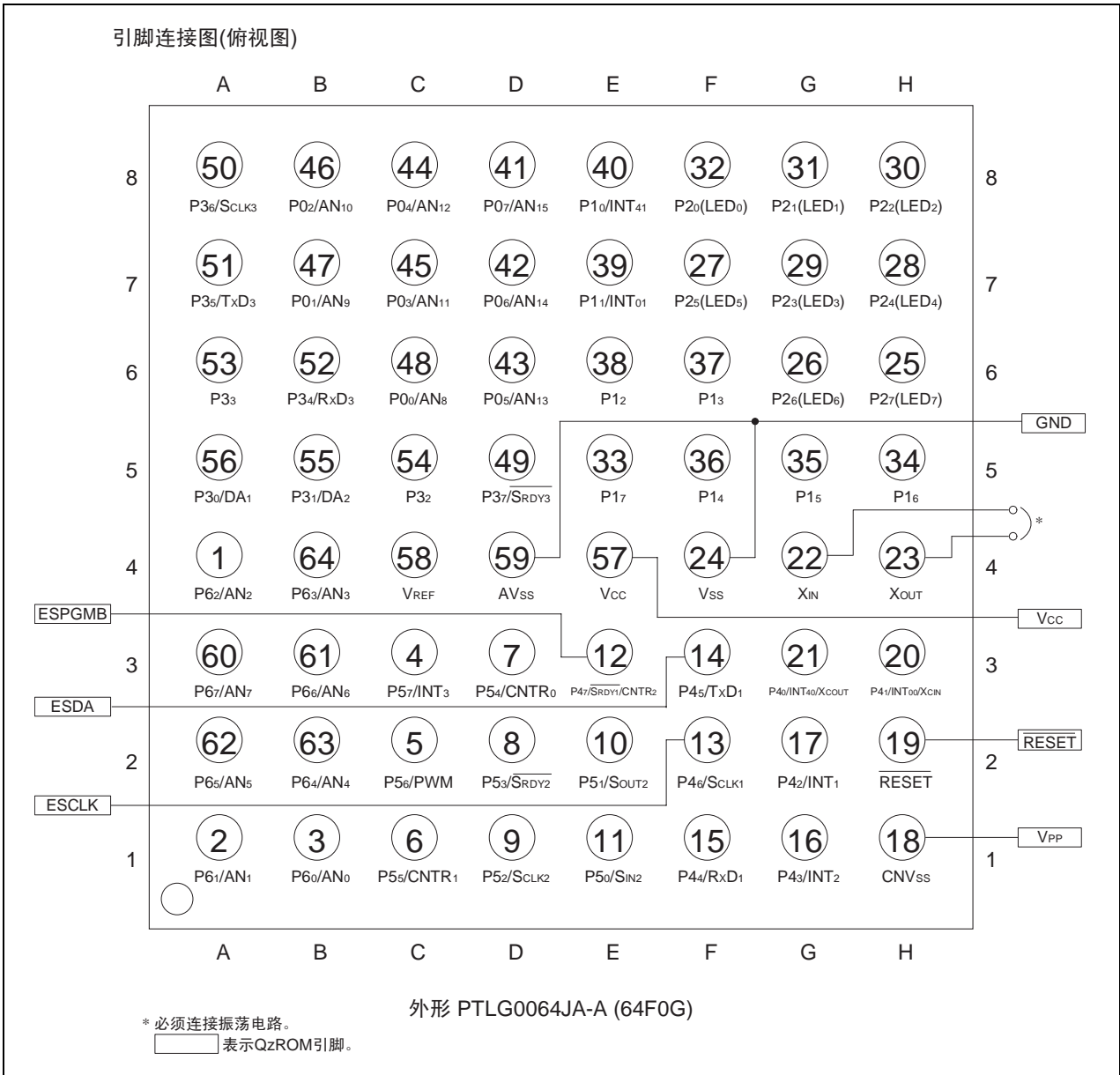


图 70 引脚连接图 (M38039GCHWG)

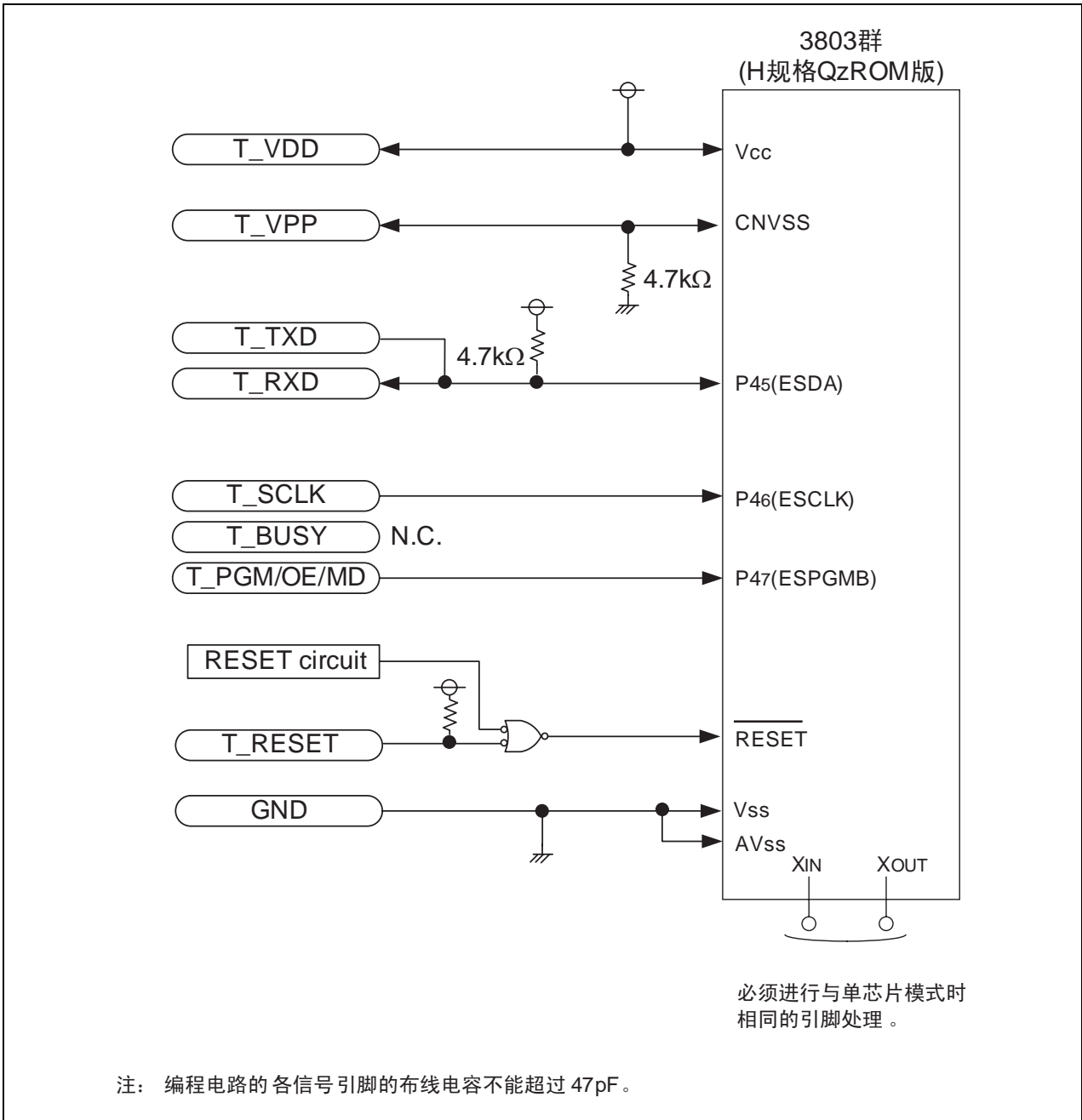


图 71 使用彗星电子系统公司产的编程器时的电路板上引脚处理的例子

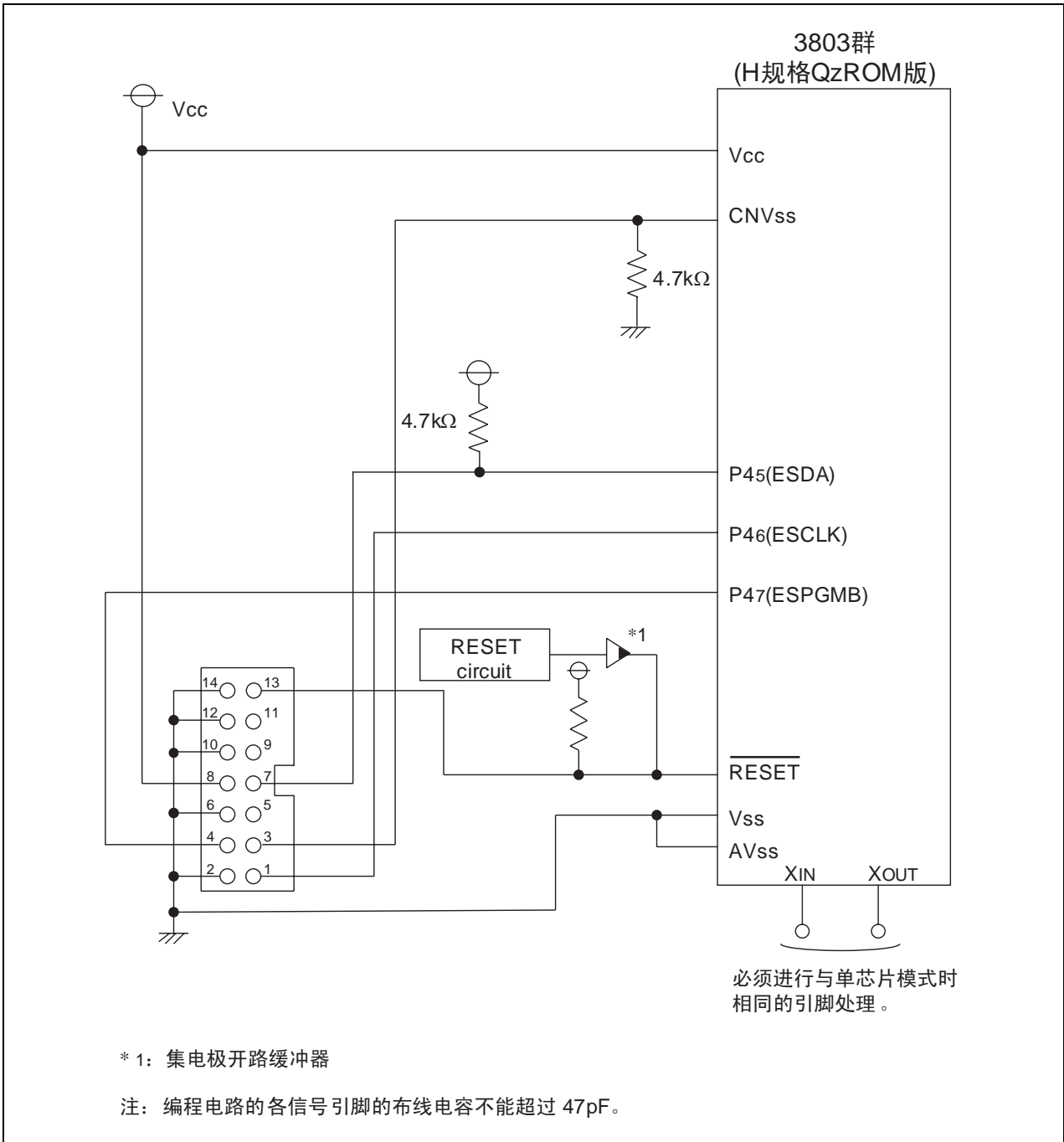


图 72 使用 E8 编程器时的电路板上引脚处理的例子

注意事项

有关编程的注意事项

1. 处理器状态寄存器

(1) 处理器状态寄存器的初始化

有必要对影响程序执行的处理器状态寄存器 (PS) 的标志进行初始化。

特别是 T 标志和 D 标志直接影响到运算本身, 因此必须对其初始化。请在程序的起始部分进行初始化。

<理由>

处理器状态寄存器 (PS) 除了 I 标志为 “1” 以外, 复位后的值不定。

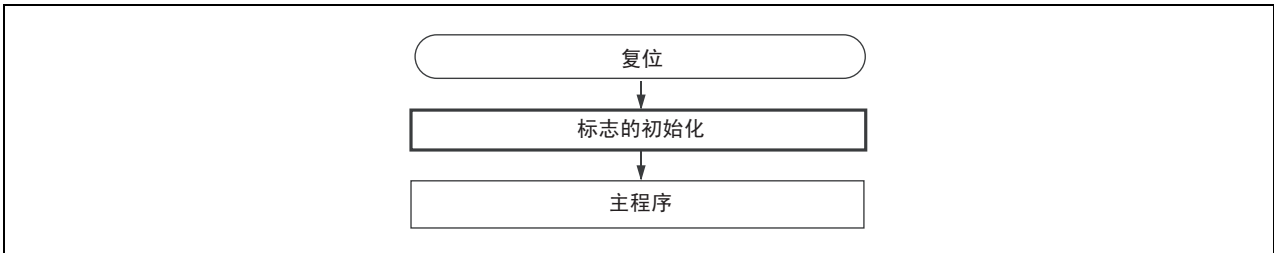


图 73 处理器状态寄存器的标志的初始化

(2) 处理器状态寄存器的参照方法

在要参照处理器状态寄存器 (PS) 的内容时, 请在执行一次 PHP 指令后读取 (S) + 1 的内容。如果需要, 通过 PLP 指令的执行恢复被保存的 PS。

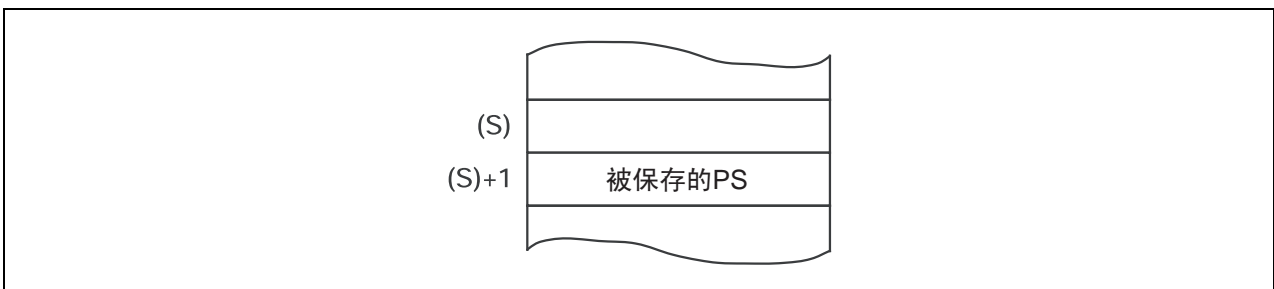


图 74 执行 PHP 指令后的堆栈存储器的内容

2. 十进制运算

(1) 十进制运算时的指令

在十进制运算时, 通过 SED 指令将十进制模式标志 D 置 “1”, 然后执行 ADC 指令或者 SBC 指令。此时, 必须在 ADC 指令或者 SBC 指令后执行一条指令, 然后执行 SEC 指令、CLC 指令或者 CLD 指令。

(2) 十进制运算时的状态标志

在十进制模式 (D 标志= “1”) 时执行 ADC、SBC 指令后, 状态标志中的 N、V 和 Z 的 3 个标志变为无效。

另外, C (进位) 标志在运算结果发生进位时被置 “1”, 在发生借位时被清 “0”, 因此 C (进位) 标志可用作判断运算结果的进位或借位的标志。在运算前必须对 C 标志初始化。

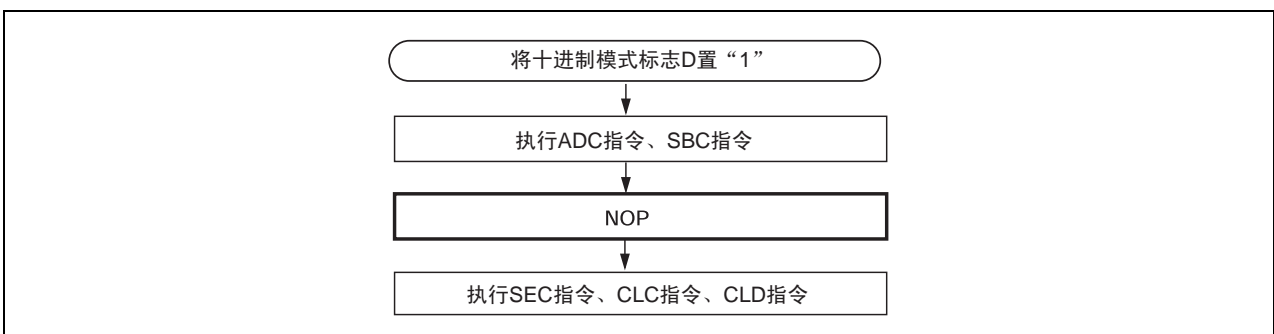


图 75 十进制运算时的指令

3. JMP 指令

在使用 JMP 指令 (间接寻址方式) 时, 不能将低 8 位为 “FF₁₆” 的地址指定为操作数。

4. 乘除指令

- MUL、DIV 指令不受 T、D 标志的影响。
- 在执行乘除指令时, 处理器状态寄存器的内容不变。

5. 读/修改/写指令

对不可读取的 SFR 不能执行读/修改/写指令。

读/修改/写指令是以字节为单位读或者修改存储器的内容, 并以字节为单位写原存储器。

740 族的读/修改/写指令如下所示:

(1) 位处理指令

CLB、SEB

(2) 移位、循环指令

ASL、LSR、ROL、ROR、RRF

(3) 加减运算指令

DEC、INC

(4) 逻辑运算指令 (1 的补码)

COM

另外, 虽然加减运算指令和逻辑运算指令 (ADC、SBC、AND、EOR、ORA) 不是读/修改/写指令, 但是在 T 标志为 “1” 时, 这些指令和读/修改/写指令进行同样的运行。因此, 对不可读的 SFR 不能执行这些指令。

<理由>

如果对不可读的 SFR 执行这些指令, 就会出现如下情况:

由于 SFR 为不可读的寄存器, 因此读取的值不定。如果对该不定值进行修改并写入寄存器, 就会写入不可预计的值。

6. 串行接口

对于时钟同步串行 I/O, 当接收侧使用外部时钟进行 $\overline{\text{SRDY}}$ 输出时, 必须将接收允许位、 $\overline{\text{SRDY}}$ 输出允许位和发送允许位同时设定为 “1”。

另外, 串行 I/O1 在发送结束后, 锁存最后位, 并从 Tx_{D1} 引脚继续输出最后位。

串行 I/O2 在发送结束后, Sout₂ 引脚为高阻抗。

对于串行 I/O1 (时钟同步模式)、串行 I/O3 (时钟同步模式) 和串行 I/O2, 如果将外部时钟选择为同步时钟, 就在传送时钟的输入电平为 “H” 时, 必须将发送数据分别写入发送缓冲寄存器和串行 I/O2 寄存器。

7. A/D 转换

比较器由电容耦合构成。如果时钟频率太低, 就会失去电荷, 所以在中/高速模式的 A/D 转换中必须将 f(X_{IN}) 至少设定为 500kHz。

另外, 不能在 A/D 转换中执行 STP 指令。

8. D/A 转换

在 V_{CC} ≤ 4.0V 时, D/A 转换器的精度不同。在使用 D/A 转换器时, 建议 V_{CC} 不低于 4.0V。在不使用 D/A 转换器时, 必须将 DA_i 转换寄存器 (i=1、2) 的设定值全部设定为 “00₁₆”。

9. 有关指令执行时间

有关指令执行时间, 请参照《740 族软件手册》。指令执行时间能通过手册中记载的周期数乘以内部时钟 ϕ 周期得到, 内部时钟 ϕ 周期在高速模式时为 X_{IN} 周期的 2 倍, 在中速模式时为 X_{IN} 周期的 8 倍, 在低速模式时为 X_{CIN} 周期的 2 倍。

8. 有关保留区和保留位的注意事项

不能给 SFR 和专用页中的保留区写任何数据 (不能改变复位后的状态)。

9. 有关 CPU 模式寄存器的注意事项

CPU 模式寄存器 (地址 003B₁₆) 的 bit3 必须固定为 “1”。

有关噪声的注意事项

防止噪声的系统设计如下所示，必须进行充分的评价。

(1) 缩短布线的长度

① 复位引脚的布线

必须缩短连接复位引脚的布线，尤其是连接在复位引脚和 Vss 引脚之间的电容，必须用尽量短的（20mm 以内）布线连接。

<理由>

时序的必要条件规定了复位引脚的脉冲输入宽度。如果将小于规定宽度的脉宽噪声输入到复位引脚，就在单片机内部完全进入初始化状态前解除复位，导致程序失控。

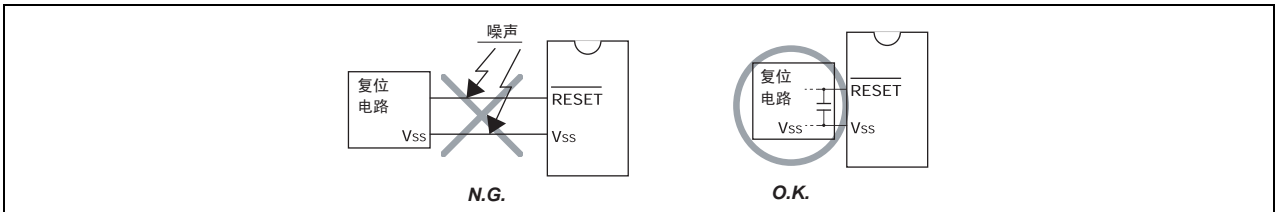


图 76 复位输入引脚的布线

② 时钟输入/输出引脚的布线

- 必须缩短连接时钟输入/输出引脚的布线。
- 必须用最短的（20mm 以内）布线连接谐振器的电容接地端引线和单片机的 Vss 引脚。
- 必须将用于振荡的 Vss 布线作为振荡电路专用布线，并和其他 Vss 布线分离。

<理由>

如果有噪声侵入时钟输入/输出引脚，时钟的波形就会发生紊乱，导致误动作和失控。另外，如果因噪声而引起单片机 Vss 电平和谐振器 Vss 电平之间的电位差，就不能将正确的时钟输入到单片机。

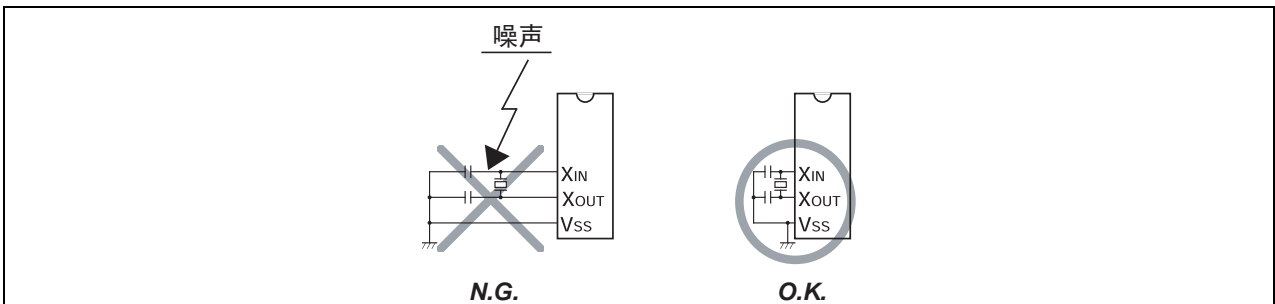


图 77 时钟输入/输出引脚的布线

(2) 在 Vss-Vcc 的布线之间插入旁路电容

为了系统稳定工作和防止闩锁，必须用以下的方法在 Vss-Vcc 的布线之间插入 0.1μF 左右的旁路电容。

- Vss 引脚-旁路电容间的布线长度和 Vcc 引脚-旁路电容间的布线长度相等
- 尽量缩短 Vss 引脚-旁路电容之间的布线长度和 Vcc 引脚-旁路电容之间的布线长度
- Vss 布线和 Vcc 布线使用比其他信号线粗的布线
- 电源布线经由旁路电容连接到 Vss 引脚和 Vcc 引脚

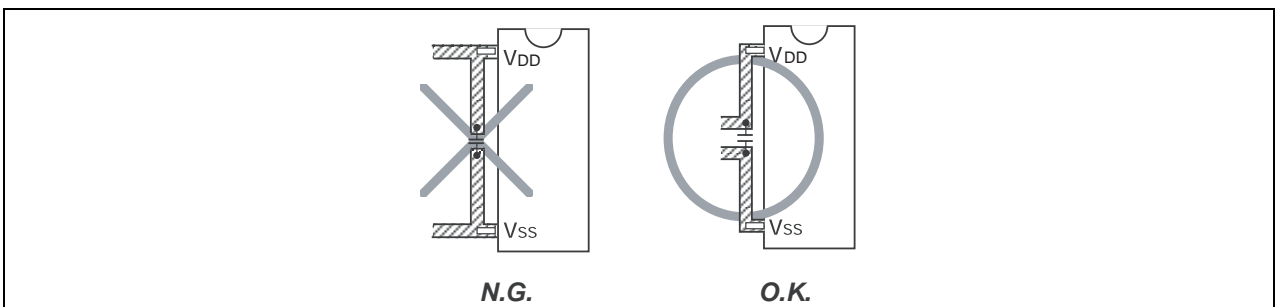


图 78 Vss-Vcc 布线间的旁路电容

(3) 对谐振器的考虑

对于用户系统及其使用条件，为了获得稳定的运行时钟，必须在和谐振器厂家商谈的基础上选定谐振器和振荡电路常数。在大电压范围和大温度范围的条件下使用时需特别注意。另外，生成单片机运行基本时钟的谐振器不能受其他信号的影响。

①大电流信号线的回避

请尽量使超过单片机处理的电流值范围的大电流信号线远离单片机（特别是谐振器）。

<理由>

在使用单片机的系统中有控制马达、LED 和热敏头等信号线。在这些信号线有大电流流动时，由于互感而产生噪声。

②高速电平变化信号线的回避

请尽量使高速电平变化的信号线远离谐振器和谐振器的布线。

另外，高速电平变化的信号线不能和时钟相关的信号线及其他易受噪声影响的信号线交叉。

<理由>

高速电平变化的 CNTR 引脚等信号因上升或者下降时的电平变化而容易影响其他信号线。尤其是在和时钟相关的信号线交叉时，时钟的波形会发生紊乱，导致误动作和失控。

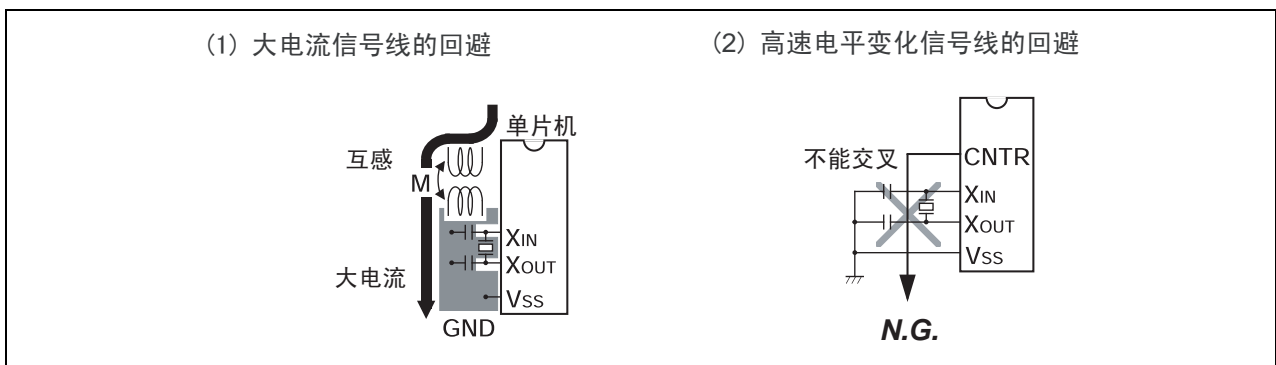


图 79 大电流信号线的布线以及高速电平变化信号线的布线

(4) 模拟输入

模拟输入引脚连接电压比较器的电容。因此，如果将高阻抗的模拟信号源连接到模拟输入引脚，就可能因 A/D 转换时的充放电电流而得不到充分的精度。为了获得更稳定的 A/D 转换结果，必须减小模拟信号源的阻抗或者给模拟输入引脚附加平滑电容。

(5) 存储器容量的不同

同群有不同存储器容量的产品，其电特性、A/D 转换精度以及噪声误动作耐量等指标值可能不同。在换用这些产品时，必须在确认产品规格的基础上对每个产品进行系统评价。

(6) CNVss 引脚的布线

CNVss 引脚是决定闪存模式的引脚。

必须尽量以最短的布线将 CNVss 引脚连接到离供给单片机 Vss 引脚的 GND 最近的 GND 图形。(注)

另外，如果通过串联的方式插入 5kΩ 左右的电阻并连接到 GND，就可能改善噪声耐量。此时也要和上述同样，必须尽量以最短的布线连接到离供给单片机 Vss 引脚的 GND 最近的 GND 图形。

注. 在使用引导模式或者标准串行输入/输出模式时，需要切换 CNVss 引脚的输入电平。

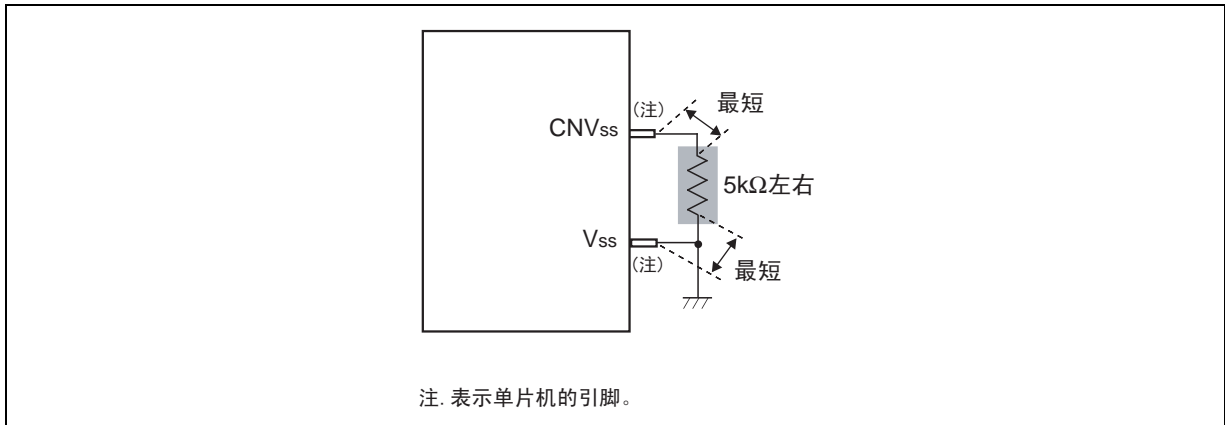


图 80. CNVss 引脚的布线

有关外围功能的注意事项

有关输入/输出端口的注意事项

(1) 在等待状态的使用

在等待状态*1 以低功耗为目的使用时, 不能将输入/输出端口的输入电平置为不定状态, 尤其要注意 N 沟道漏极开路的输入/输出端口。

此时, 必须用电阻上拉 (连接 Vcc) 或者下拉 (连接 Vss) 端口。

在决定电阻值时, 请注意以下 2 点:

- 外接电路
- 通常运行时的输出电平的变动

另外, 在使用内部上拉电阻时, 必须注意电流值的偏差。

- 设定成输入端口时: 固定输入电平。
- 设定成输出端口时: 不要将电流流向外部。

<理由>

尽管通过方向寄存器将端口设定成输入端口, 但是在端口锁存器的内容为“1”时输出晶体管为 OFF 状态, 因此端口为高阻抗状态。所以, 根据外接电路, 电平可能出现不定的状态。

如果输入/输出端口的输入电平出现不定的状态, 被输入到单片机内部的输入缓冲区的电位就变为不稳定状态, 可能会发生电源电流的流动。

*1 等待状态: 通过 STP 指令执行的停止模式
通过 WIT 指令执行的等待模式

(2) 通过位处理指令改写输出数据

在使用位处理指令*2 改写输入/输出端口的端口锁存器时, 可能会改变未指定位的值。

<理由>

能以位为单位将输入/输出端口设定输入模式或输出模式。如果读或者写端口寄存器, 就会进行以下的运行:

- 输入模式的端口
 - 读: 读引脚的电平
 - 写: 写端口锁存器
- 输出模式的端口
 - 读: 读端口锁存器, 或者读外围功能的输出内容 (规格根据端口而不同)。
 - 写: 写端口锁存器 (从引脚输出端口锁存器的内容)。

位处理指令为读/修改/写形式的指令*2, 在对端口寄存器执行位处理指令时, 指令没指定的位也会同时进行读和写。

当没指定的位为输入模式时, 就读取引脚的电平, 并将该值写入端口锁存器。此时, 如果原端口锁存器的内容和引脚的电平不同, 就会改变端口锁存器的内容。

当没指定的位为输出模式时, 基本上读取端口锁存器, 但是也可能读取外围功能的输出内容, 并且将该值写入端口锁存器。此时, 如果原端口锁存器的内容和外围功能的输出内容不同, 就会改变端口锁存器的内容。

*1 位处理指令: SEB 指令、CLB 指令

*2 读/修改/写指令: 是以字节为单位读或者修改存储器的内容, 并以字节为单位写原存储器。

(3) 方向寄存器

不能读取端口方向寄存器的值。也就是说, 不能使用 LDA 指令、T 标志为“1”时的存储器运算指令、将方向寄存器的值作为变址值的寻址方式以及 BBC、BBS 等位测试指令。另外, 也不能使用 CLB 和 SEB 等位操作指令以及进行 ROR 等运算的方向寄存器读/修改/写指令。必须使用 LDM、STA 等指令设定方向寄存器。

有关处理未使用引脚的注意事项

1. 未使用引脚的正确处理

(1) 输出专用端口

请置为开路。

(2) 输入/输出端口

请设定为输入模式，用 $1k\sim 10k\Omega$ 的电阻将各引脚连接到 Vcc 或者 Vss。对于能选择内部上拉电阻的端口，也可使用内部上拉电阻。在设定为输出模式时，请在“L”或者“H”输出状态下将各引脚置成开路。

- 在设定为输出模式且置为开路的情况下，从复位后到由程序将端口切换成输出模式为止，保持初始状态的输入模式。因此，引脚的电压电平不定，在端口变为输入模式时电源电流可能会增大。关于对系统的影响，用户必须进行充分的系统评价。
- 请考虑因噪声和程序失控等引起方向寄存器变化的情况，通过用程序定期重新设定方向寄存器，进一步提高程序的可靠性。

(3) 不使用 A/D 转换器时的 A/D 转换电源引脚 AVss

在不使用 A/D 转换器时，A/D 转换电源引脚 AVss 必须进行如下处理：

- AVss：连接到 Vss

2. 处理时的注意事项

(1) 将输入/输出端口设定为输入端口时

[1] 请不要置为开路。

<理由>

- 根据初级电路，电源电流可能会增大。
- 与上述“1.(2)输入/输出端口”的处理相比，容易受噪声影响。

[2] 请不要直接连接 Vcc 或者 Vss。

<理由>

在因噪声和程序失控等引起方向寄存器变成输出模式时，可能发生短路。

[3] 请不要用一个电阻将多个端口一起连接到 Vcc 或者 Vss

<理由>

在因噪声和程序失控等引起方向寄存器变成输出模式时，端口间有可能发生短路。

有关中断的注意事项

1. 改变相关寄存器的设定

在选择外部中断的有效边沿以及选择多个中断源共用的中断向量的中断源时，如果要禁止与这些设定同步产生的中断，就请按以下的步骤进行设定：

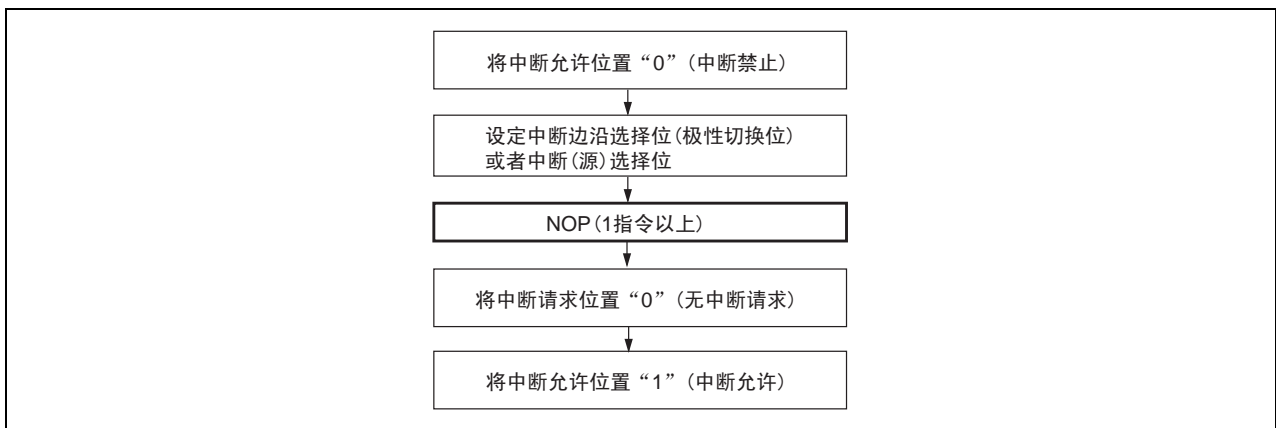


图 81 相关寄存器的设定更改步骤

<理由>

在以下的情况下，中断请求位可能会变为“1”：

〈在转换外部中断的有效边沿时〉

- INT0 中断边沿选择位
(中断边沿选择寄存器 (地址 003A16) 的 bit0)
- INT1 中断边沿选择位
(中断边沿选择寄存器 (地址 003A16) 的 bit1)
- INT2 中断边沿选择位
(中断边沿选择寄存器 (地址 003A16) 的 bit3)
- INT3 中断边沿选择位
(中断边沿选择寄存器 (地址 003A16) 的 bit4)
- INT4 中断边沿选择位
(中断边沿选择寄存器 (地址 003A16) 的 bit5)
- CNTR0 极性转换位
(定时器 XY 模式寄存器 (地址 002316) 的 bit2)
- CNTR1 极性转换位
(定时器 XY 模式寄存器 (地址 002316) 的 bit6)
- CNTR2 极性转换位
(定时器 Z 模式寄存器 (地址 002A16) 的 bit5)

〈在转换多个中断源共享的中断向量的中断源时〉

- INT0 和 INT4 中断转换位
(中断边沿选择寄存器 (地址 003A16) 的 bit6)
- INT0/定时器 Z 中断源选择位
(中断源选择寄存器 (地址 003916) 的 bit0)
- 串行 I/O2/定时器 Z 中断源选择位
(中断源选择寄存器 (地址 003916) 的 bit1)
- INT4/CNTR2 中断源选择位
(中断源选择寄存器 (地址 003916) 的 bit4)
- CNTR1/串行 I/O3 接受中断源选择位
(中断源选择寄存器 (地址 003916) 的 bit6)
- AD 转换/串行 I/O3 发送中断源选择位
(中断源选择寄存器 (地址 003916) 的 bit7)

2. 中断请求位的判断

在将中断请求寄存器的中断请求位置“0”后，如果立即对此位执行 BBC 指令或者 BBS 指令，就必须在执行 BBC 指令或者 BBS 指令前执行 1 条指令。

<理由>

如果在将中断请求寄存器的中断请求位置“0”后立即执行 BBC 指令或者 BBS 指令，就判断置“0”前的中断请求位的值。

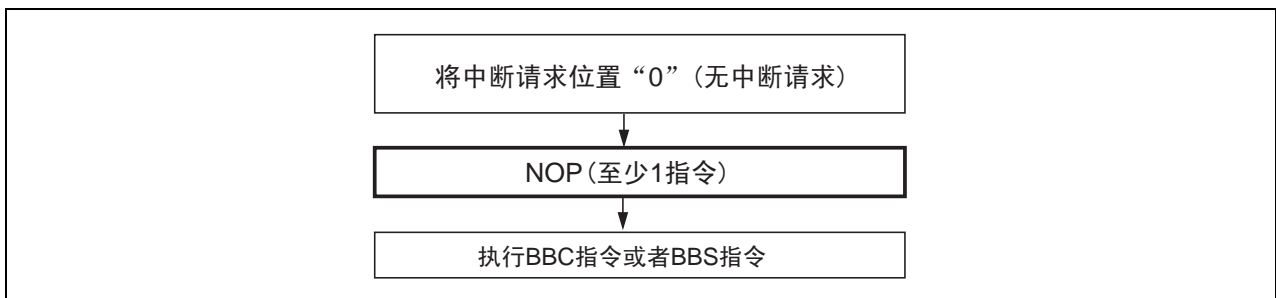


图 82 中断请求位的设定步骤

有关 8 位定时器 (定时器 1、定时器 2、定时器 X 和定时器 Y) 的注意事项

- 给定时器锁存器写值 n (“0” ~ “255”) 时的分频比为 $1/(n+1)$ 。
- 在通过定时器 12 计数源选择位、定时器 X 计数源选择位和定时器 Y 计数源选择位转换定时器的计数源时, 有可能对定时器的计数输入信号产生微小脉冲, 使定时器的计数值发生较大的变化。因此, 必须在设定定时器的计数源后将值设定到定时器。
- 必须在脉冲输出模式中将和 CNTR0/CNTR1 引脚共用的端口 P54/P55 设定为输出。
- 必须在事件计数器模式和脉宽测量模式中将和 CNTR0/CNTR1 引脚共用的端口 P54/P55 设定为输入。

有关 16 位定时器 (定时器 Z) 的注意事项**1. 脉冲输出模式**

- 必须将和 CNTR2 引脚共用的端口 P47 设定为输出。

2. 脉冲周期测量模式

- 必须将和 CNTR2 引脚共用的端口 P47 设定为输入。
- 不能在此模式中读定时器的值。定时器的写操作只在定时器的运行停止时 (未测量脉冲周期时) 有效。
- 因为此模式的定时器锁存器是只读测量值的锁存器, 所以不能在测量中进行写操作。
- 只在定时器发生下溢或者检测到脉冲周期测量的有效边沿时, 定时器的值被设定为 “FFFF₁₆”。因此, 脉冲周期测量开始时的定时器的值取决于测量开始前的定时器的值。

3. 脉宽测量模式

- 必须在此模式中将和 CNTR2 引脚共用的端口 P47 设定为输入。
- 不能在此模式中读定时器的值。定时器的写操作只在定时器的运行停止时 (未测量脉宽时) 有效。
- 因为此模式的定时器锁存器是只读测量值的锁存器, 所以不能在测量中进行写操作。
- 只在定时器发生下溢或者检测到脉宽测量的有效边沿时, 定时器的值被设定为 “FFFF₁₆”。因此, 脉宽测量开始时的定时器的值取决于测量开始前的定时器的值。

4. 可编程波形发生模式

- 必须在此模式中将和 CNTR2 引脚共用的端口 P47 设定为输出。

5. 可编程单触发生模式

- 必须在此模式中将和 CNTR2 引脚共用的端口 P47 设定为输出, 和 INT1 引脚共用的端口 P42 设定为输入。
- 不能在选择低速模式时使用可编程单触发生模式。
- 如果在允许发生单触发或者发生单触发时更改 CNTR2 极性转换位的值, CNTR2 引脚输出的电平就发生变化。

6. 全部模式的注意事项**• 定时器 Z 的写控制**

定时器 Z 能通过定时器 Z 模式寄存器 (地址 002A₁₆) 的定时器 Z 的写控制位 (b3), 选择是同时写锁存器和定时器还是只写锁存器。在只写锁存器时, 如果将值写到定时器 Z 的地址, 值就被设定到定时器锁存器, 定时器在下次下溢时被更新。在复位解除后, 变为同时写锁存器和定时器状态, 如果将值写到定时器 Z 的地址, 值就同时被设定到定时器和定时器锁存器。

另外, 在只写锁存器时, 如果写到重加载锁存器的时序和下溢的时序大致相同, 设定到定时器的值就有可能不定。

• 定时器 Z 的读控制

在选择脉冲周期测量模式和脉宽测量模式时, 不能读定时器的值。在其他模式中, 与计数的运行或者停止无关, 可读定时器的值。但是, 不能读定时器锁存器的值。

• CNTR2、INT1 中断极性转换

根据 CNTR2 极性转换位和 INT1 中断边沿选择位的设定, 各中断极性也会受影响。

• 计数源的转换

在通过定时器 Z 计数源选择位转换定时器的计数源时, 有可能对计数输入信号产生微小脉冲, 使定时器的计数值发生较大的变化。因此, 必须在设定定时器的计数源后将值设定到定时器。

有关串行接口的注意事项**1. 在选择同步时****(1) 发送运行的停止**

对于可进行同步/异步转换的串行 I/Oi (i=1、3)，必须将串行 I/Oi 允许位和发送允许位设定为“0”（禁止串行 I/Oi 和发送）。

<理由>

即使只将串行 I/Oi 允许位设定为“0”（禁止串行 I/Oi），也不停止发送运行以及初始化发送电路，而继续进行内部的发送运行（因为 TxDi、RxDi、SCLKi、 $\overline{\text{SRDYi}}$ 各引脚的功能为输入/输出端口功能，所以发送数据不会被输出到外部）。在此状态下，如果将数据写到发送缓冲寄存器 i，就开始单片机内部的移位运行，所以该数据被传送到发送移位寄存器 i。此时，如果将串行 I/Oi 允许位设定为“1”，内部移位中的数据就被中途输出到 TxDi 引脚，导致错误。

(2) 接收运行的停止

对于可进行同步/异步转换的串行 I/Oi (i=1、3)，必须将接收允许位设定为“0”（禁止接收）或者将串行 I/Oi 允许位设定为“0”（禁止串行 I/Oi）。

(3) 发送/接收运行的停止

对于可进行同步/异步转换的串行 I/Oi (i=1、3)，必须在时钟同步串行 I/O 模式时将发送允许位和接收允许位同时设定为“0”（禁止发送/接收）。

（在时钟同步串行 I/O 模式的数据发送/接收时，不能只停止发送运行或者接收运行。）

<理由>

因为在时钟同步串行 I/O 模式中，发送和接收使用相同的时钟，如果只禁止任何一方，发送和接收就不能取得同步，产生位的错位。

在时钟同步串行 I/O 模式中，为了接收，发送电路的时钟电路也在运行。因此，其结构为：即使只将发送允许位设定为“0”（禁止发送）也不停止发送电路。另外，和“(1)发送运行的停止”相同，即使将串行 I/Oi 允许位设定为“0”（禁止串行 I/O），也不能初始化发送电路。

2. 在选择异步时**(1) 发送运行的停止**

必须将发送允许位设定为“0”（禁止发送）。即使将串行 I/Oi (i=1、3) 允许位设定为“0”，也不停止发送运行。

<理由>

和“1.(1)发送运行的停止”相同。

(2) 接收运行的停止

必须将接收允许位设定为“0”（禁止接收）。

(3) 发送/接收运行的停止

只停止发送

必须将发送允许位设定为“0”（禁止发送）。即使将串行 I/Oi (i=1、3) 允许位设定为“0”，也不停止发送运行。

<理由>

和“1.(1)发送运行的停止”相同。

只停止接收

必须将接收允许位设定为“0”（禁止接收）。

3. 接收侧的 $\overline{\text{SRDYi}}$ (i=1、3) 输出

在时钟同步串行 I/O 模式中，接收侧使用外部时钟进行 $\overline{\text{SRDYi}}$ 输出时，必须将接收允许位、 $\overline{\text{SRDYi}}$ 输出允许位和发送允许位同时设定为“1”（允许发送）。

4. 串行 I/O_i (i=1、3) 控制寄存器的重新设定

在重新设定串行 I/O_i 控制寄存器时，必须在将发送允许位和接收允许位都设定为“0”，然后在复位发送和接收电路后重新设定。

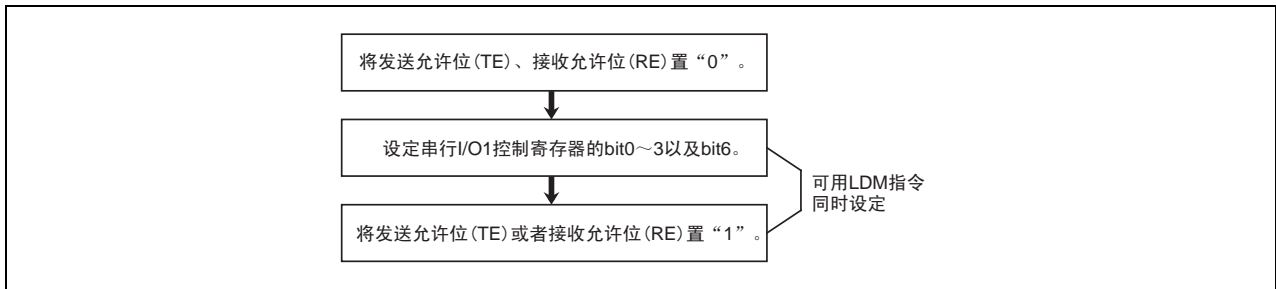


图 83 串行 I/O_i (i=1、3) 控制寄存器的重新设定步骤

5. 使用发送移位寄存器移位结束标志的数据发送控制

在将发送数据写到发送缓冲器后，发送移位寄存器移位结束标志比移位时钟迟 0.5~1.5 个时钟从“1”变为“0”。因此，在将发送数据写到发送缓冲器后，参照发送移位寄存器移位结束标志控制数据的发送时，必须注意此延时。

6. 选择外部时钟时的发送控制

在发送数据时，选择外部时钟作为同步时钟的情况下，必须在 SCLK_i (i=1、3) 为“H”电平的状态下将发送允许位设定为“1”。另外，也必须在 SCLK_i 为“H”电平的状态下写发送缓冲寄存器。

7. 发送允许位置位时的发送中断请求

在使用发送中断时，必须按以下的顺序设定：

- (1) 将串行 I/O_i 发送中断允许位 (i=1、3) 设定为“0”（禁止）。
- (2) 将发送允许位设定为“1”。
- (3) 在至少执行一条指令后将串行 I/O_i 发送中断请求位 (i=1、3) 设定为“0”。
- (4) 将串行 I/O_i 发送中断允许位 (i=1、3) 设定为“1”（允许）。

<理由>

如果将发送允许位设定为“1”，发送缓冲器空标志和发送移位寄存器移位结束标志就被设定为“1”。

因此，发送中断的发生源无论选择了上述哪个标志的置“1”时序，也发生中断请求，并且发送中断请求位被置位。

8. 波特率发生器 i (BRG_i) (i=1、3) 的写

写 UART_i (i=1、3) 波特率发生器 i (BRG_i) (i=1、3) 时，必须在发送和接收停止中进行。

有关 PWM 的注意事项

通过 PWM 功能允许位允许 PWM 后，在 PWM 引脚输出“L”电平后，PWM 从“H”电平开始运行。

此“L”电平输出时间如下：

- 计数源选择位=“0”、n=预分频器设定值

$$\frac{n+1}{2 \times f(X_{IN})} \quad (\text{秒})$$

- 计数源选择位=“1”、n=预分频器设定值

$$\frac{n+1}{f(X_{IN})} \quad (\text{秒})$$

有关 A/D 转换的注意事项

1. 模拟输入引脚

必须减小模拟输入信号源的阻抗，或者给模拟输入引脚外接 $0.01\mu\text{F}\sim 1\mu\text{F}$ 的电容。用户必须充分确认应用产品的运行。

<理由>

因为模拟输入引脚内置了用于模拟电压比较的电容，所以如果将高阻抗信号源的信号输入到模拟输入引脚，就会产生充放电噪声，无法获得充分的 A/D 转换精度。

2. A/D 转换器的电源引脚

不管是否使用 A/D 转换功能，必须将 A/D 转换器的电源引脚 AVss 连接到 Vss。

<理由>

如果将 AVss 引脚开路，就可能会受噪声等的影响，产生单片机的误动作。

3. A/D 转换中的时钟频率

比较器由电容耦合构成，如果时钟频率太低，就会丢失电荷。所以必须在转换中注意以下 2 点：

- $f(\text{XIN})$ 至少为 500kHz。
- 不能执行 STP 指令。

4. 10 位 A/D 模式时的 8 位读操作和 8 位模式的差异

在 10 位 A/D 模式时的 8 位读操作情况下，不对 A/D 转换结果进行“-1/2LSB”的补正。而在 8 位 A/D 模式中进行“-1/2LSB”的补正，其转换特性和 3802 群相同。

有关 D/A 转换的注意事项

必须在使用 D/A 转换器时注意以下几点：

1. 使用 D/A 转换器时的 Vcc

D/A 转换器的精度在 $V_{\text{CC}}\leq 4.0\text{V}$ 时发生变化。在使用 D/A 转换器时，建议 V_{CC} 不低于 4.0V。

2. 不使用 D/A 转换器时的 D/Ai 转换寄存器

在不使用 D/A 转换器时，必须将 DAi 转换寄存器 ($i=1, 2$) 的设定值全部设定为“00₁₆”。复位后的初始值为“00₁₆”。

有关看门狗定时器的注意事项

- 因为在等待停止解除期间看门狗定时器也进行计数，所以必须注意：看门狗定时器 H 不能在此期间发生下溢。
- 一旦将看门狗定时器控制寄存器的 STP 指令禁止位置“1”，就不能通过程序改写为“0”。

有关复位引脚的注意事项

电容的连接

当复位信号缓慢上升时，请在 $\overline{\text{RESET}}$ 引脚和 Vss 引脚之间连接陶瓷电容等高频特性良好的 1000pF 以上的电容。在连接电容时，请注意以下 2 点：

- 使电容的布线长度为最短。
- 请用户充分确认应用产品的运行。

<理由>

如果几 ns 到几十 ns 的冲击性噪声侵入 $\overline{\text{RESET}}$ 输入引脚，单片机就可能产生误动作。

有关低速模式的注意事项

1. 副时钟的使用

使用副时钟时，必须将 CPU 模式寄存器的 bit3 固定为“1”。并且，必须调整 R_d (参照图 84) 的电阻值，使振荡稳定。有关此电阻值，请向谐振器厂家询问。

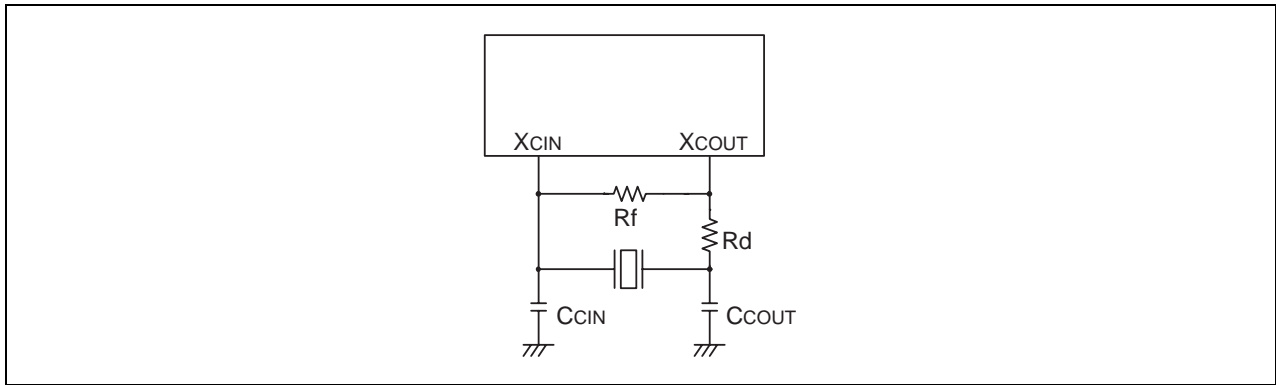


图 84 外接晶体振荡器

<理由>

如果将 CPU 模式寄存器的 bit3 置“0”，副时钟的振荡就可能会停止。

2. 中/高速模式和低速模式间的转移

在进行中/高速模式和低速模式间的转移时，需要 XIN 和 XCIN 两侧都处于振荡稳定。尤其是 XCIN 侧的振荡稳定需要时间，所以必须在接通电源后或者从停止返回时注意。另外，转移时必需 $f(XIN) > 3 \cdot f(XCIN)$ 。

有关晶体振荡器的注意事项

在使用 16MHz 等高频的晶体振荡器时，根据要求规格可能需要选择特殊的振荡器。

有关重新开始振荡的注意事项

重新开始振荡

通常，如果通过外部中断解除停止指令，为了等待振荡稳定，定时器 1 和预分频器 12 就自动设定特定的值（定时器 1 为“0116”、预分频器 12 为“FF16”）。另一方面，能通过将 MISRG（地址 001016）的 bit0 置“1”使此自动设定无效。但是，如果此位置“1”，停止指令执行前的留在定时器 1 和预分频器 12 中的值就变为振荡稳定等待时间的计数值，所以必须给定时器 1 和预分频器 12 设定能充分确保振荡稳定时间的值。

<理由>

在接受到外部中断时重新开始振荡，但是在定时器 1 下溢后开始给 CPU 提供内部时钟 ϕ 。这是因为在使用陶瓷谐振器等的情况下需要振荡稳定时间。

停止模式的使用注意事项

• 寄存器设定

从停止模式返回时，预分频器 12 和定时器 1 的值被自动改写，所以必须分别重新设定（在 STP 指令解除后振荡稳定时间设定为“0”时）。

• 返回后的时钟

如果通过中断从停止模式返回，就保持 STP 指令执行前的 CPU 模式寄存器的内容。因此，在执行 STP 指令前让主时钟和副时钟振荡的情况下，如果通过中断从停止模式返回，主时钟和副时钟就重新开始振荡。

在上述中，如果主时钟设定为系统时钟，就在从停止模式返回时确保约 8000 个 XIN 输入周期的振荡稳定时间。此时，必须注意：即使经过了主时钟的振荡稳定时间，副时钟的振荡也没稳定。

等待模式的使用注意事项

返回后的时钟

在执行 WIT 指令时将 XCIN 设定为系统时钟且停止 XIN 振荡的情况下，如果通过复位从等待模式返回，就停止 XCIN 振荡而开始 XIN 的振荡，XIN 变为系统时钟。

在上述的 XIN 振荡稳定前，需要给 $\overline{\text{RESET}}$ 引脚输入“L”电平。

有关电源引脚的处理注意事项

在使用时,为了防止闩锁现象,必须将高频特性良好的电容作为旁路电容外接到元件的电源引脚(V_{CC}引脚)和 GND 引脚(V_{SS}引脚)之间以及电源引脚(V_{CC}引脚)和模拟电源输入引脚(AV_{SS}引脚)之间。旁路电容推荐 0.01 μ F~0.1 μ F 的陶瓷电容。

另外,必须以最短距离将旁路电容外接在电源引脚和 GND 引脚之间以及电源引脚和模拟电源输入引脚之间。

有关电源电压的注意事项

在单片机的电源电压低于推荐运行条件值时,单片机可能无法正常运行,处于不稳定的运行状态。

对于在电源电压下降和切断电源时电源电压缓慢下降的系统,系统设计时必须考虑即使在电源电压低于推荐运行条件时的不稳定运行状态下也能保证系统正常的单片机复位等对策。

有关空白发货产品的注意事项

虽然在装配工程前对空白发货产品进行了充分的 QzROM 编程测试,但是在装配工程后对用户 ROM 区没有进行编程测试。因此,有可能发生 0.1%左右的编程故障。另外,编程的环境也会造成写故障,所以必须在使用时充分注意电缆的接触和插座上的异物等。

有关过电压的注意事项

必须注意:不能给其他引脚外加超过 V_{CC} 引脚电压的电压。

尤其是电源上升和下降时的 CNV_{SS} 引脚(QzROM 的 V_{PP} 电源输入引脚),不能出现如下图所示的粗线区间的状态。如果出现此状态, QzROM 的内容可能被改写。

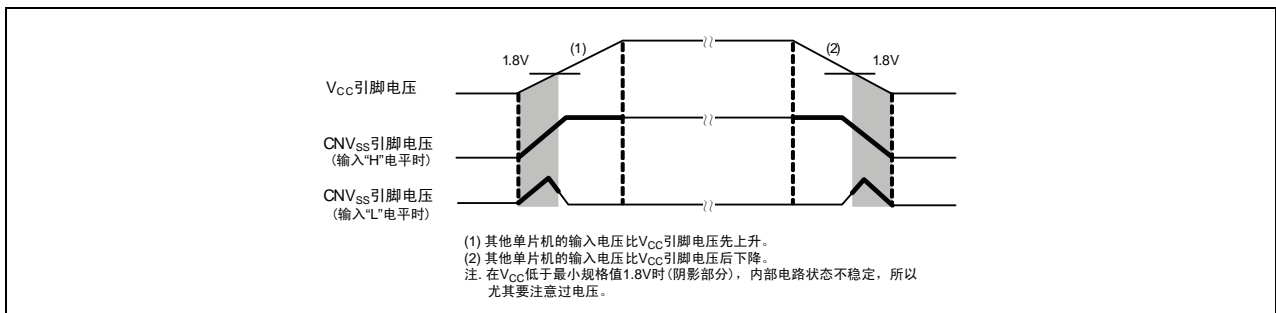


图 85 时序图(粗线区间)

有关 QzROM 版的注意事项

必须尽量以最短的布线将 CNV_{SS}/V_{PP} 引脚连接到离供给单片机 V_{SS} 引脚的 GND 最近的 GND 图形。

另外,如果通过串联的方式插入 5k Ω 左右的电阻连接到 GND,就可能改善噪声耐力。此时也要和上述同样,必须尽量以最短的布线连接到离供给单片机 V_{SS} 引脚的 GND 最近的 GND 图形。

<理由>

CNV_{SS}/V_{PP} 引脚是内部 QzROM 的电源输入引脚。在给 QzROM 编程时,为了产生编程电流,降低了 V_{PP} 引脚的阻抗,所以噪声容易侵入。如果噪声从 V_{PP} 引脚侵入, QzROM 的指令码和数据的读操作就不能正常进行而导致失控。

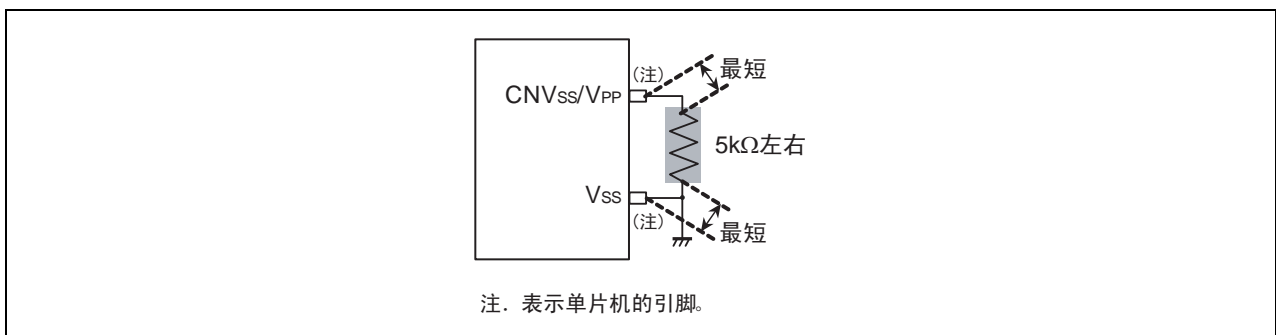


图 86 CNV_{SS}/V_{PP} 引脚的布线

订购 QzROM 编程后的产品时的注意事项

在订购 QzROM 编程后的发货产品时, 必须提交使用掩模文件转换实用程序 (MM) 建立的掩模文件 (扩展名为 .msk)。

另外, 在执行掩模文件转换实用程序 (MM) 建立掩模文件时, 必须设定 ROM 选项 (在掩模转换实用程序中记为“掩模选项”) 的数据。

有关 ROM 代码保护的注意事项

(QzROM 编程后的发货产品)

QzROM 编程后的发货产品的 ROM 代码保护, 由订货时提出的在建立掩模文件时的 ROM 选项数据决定。

在本公司进行 QzROM 编程时, 将 ROM 选项数据写入 ROM 代码保护地址 (地址 FFDB16)。因此, ROM 代码保护地址的内容会有订货时的值与实际写入的值不同的情况。

建立掩模文件时的 ROM 选项数据为“有保护”时, 设定“0016”; 仅保护区 1 为“有保护”时, 设定“FE16”; 为“无保护”时, 设定“FF16”。因此, QzROM 编程后的发货产品的 ROM 代码保护地址的内容为“0016”、“FE16”或者“FF16”。

另外, 必须注意: 在没有设定 ROM 选项数据或者设定了“0016”、“FE16”和“FF16”以外的数据时, 不能接受该掩模文件。

订购 QzROM 编程后的产品时的提交资料

必须在订购 QzROM 编程后的发货产品时提交以下的资料:

- QzROM 编程确认书*
- 标志指定书*
- ROM 的数据 . . . 掩模文件

* 有关 QzROM 编程确认书和标记指定书, 请参照瑞萨科技公司主页 (<http://www.renesas.com/>)。

另外, QzROM 单片机不对应特殊字体的标记 (贵公司商标等)。

QzROM 产品的验货步骤

由客户进行编程时, 请按照以下步骤进行验货:

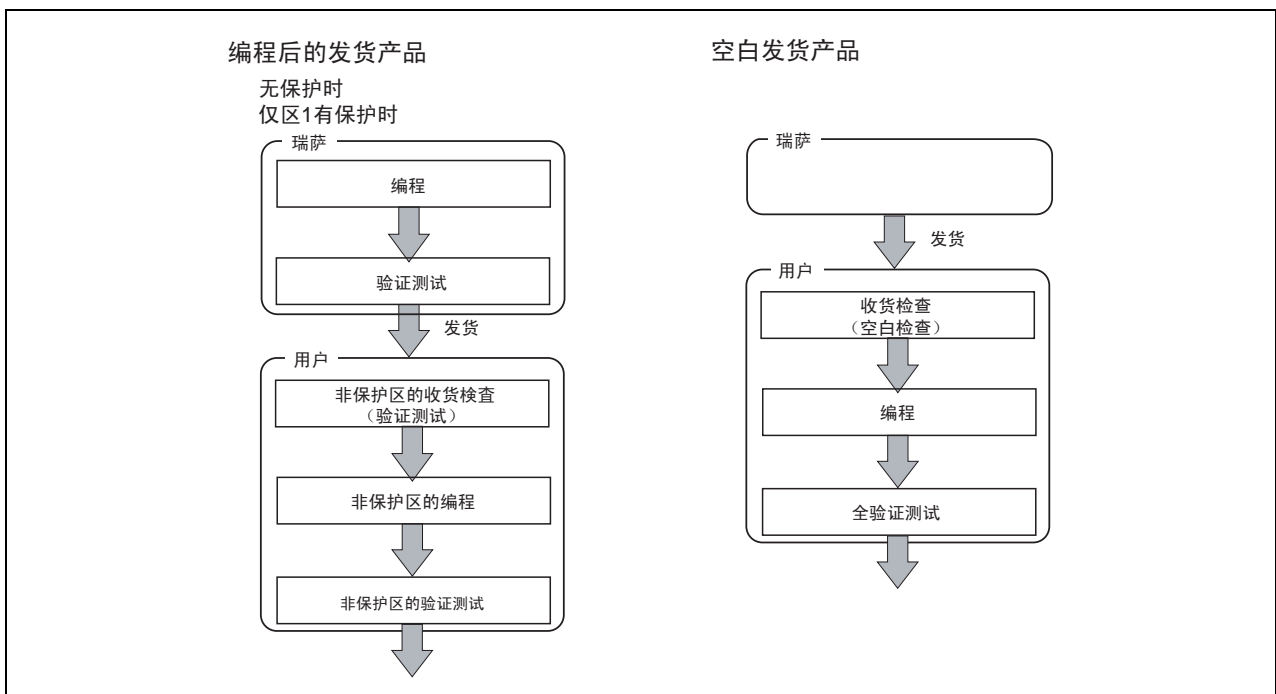


图 87 QzROM 产品的验货步骤

电特性
绝对最大规格

表 10 绝对最大额定值

| 符号 | 项目 | 条件 | 额定值 | 单位 |
|------------------|--|---|---------------------------|----------|
| V _{CC} | 电源电压 | 以 V _{SS} 引脚为基准进行测量。 在测量输入电压时，输出晶体管处于截止状态。 | -0.3~6.5 | V |
| V _I | 输入电压 P00~P07、P10~P17、P20~P27、P30、P31、 P34~P37、P40~P47、P50~P57、P60~P67、V _{REF} | | -0.3~V _{CC} +0.3 | V |
| V _I | 输入电压 P32、P33 | | -0.3~5.8 | V |
| V _I | 输入电压 RESET、X _{IN} | | -0.3~V _{CC} +0.3 | V |
| V _I | 输入电压 CNV _{SS} | | -0.3~8.0 | V |
| V _O | 输出电压 P00~P07、P10~P17、P20~P27、P30、P31、 P34~P37、P40~P47、P50~P57、P60~P67、X _{OUT} | | -0.3~V _{CC} +0.3 | V |
| V _O | 输出电压 P32、P33 | | -0.3~5.8 | V |
| P _d | 功耗 | | T _a =25°C | 1000 (注) |
| T _{opr} | 工作环境温度 | — | -20~85 | °C |
| T _{stg} | 保存温度 | — | -65~125 | °C |

注. SP 封装以外的产品为 300mW。

推荐运行条件

表 11 推荐运行条件 (1) (在没有指定时: $V_{CC}=1.8\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^\circ C$)

| 符号 | 项目 | 条件 | 规格值 | | | 单位 | |
|---------------------------|--|---------------------------------|---------------------------|------|---------------------|---|-----|
| | | | 最小 | 典型 | 最大 | | |
| V _{CC} | 电源电压 (注 1) | 在振荡开始时 (注 2) | 2.2 | 5.0 | 5.5 | V | |
| | | 在高速模式时 $f(\phi)=f(X_{IN})/2$ | $f(X_{IN})\leq 2.1MHz$ | 2.0 | 5.0 | 5.5 | V |
| | | | $f(X_{IN})\leq 4.2MHz$ | 2.2 | 5.0 | 5.5 | |
| | | | $f(X_{IN})\leq 8.4MHz$ | 2.7 | 5.0 | 5.5 | |
| | | | $f(X_{IN})\leq 12.5MHz$ | 4.0 | 5.0 | 5.5 | |
| | | | $f(X_{IN})\leq 16.8MHz$ | 4.5 | 5.0 | 5.5 | |
| | | 在中速模式时 $f(\phi)=f(X_{IN})/8$ | $f(X_{IN})\leq 6.3MHz$ | 1.8 | 5.0 | 5.5 | V |
| | | | $f(X_{IN})\leq 8.4MHz$ | 2.2 | 5.0 | 5.5 | |
| $f(X_{IN})\leq 12.5MHz$ | 2.7 | | 5.0 | 5.5 | | | |
| $f(X_{IN})\leq 16.8MHz$ | 4.5 | | 5.0 | 5.5 | | | |
| V _{SS} | 电源电压 | | 0 | | V | | |
| V _{IH} | “H”电平输入电压 P00~P07、P10~P17、P20~P27、 P30、P31、P34~P37、P40~P47、 P50~P57、P60~P67 | $1.8\leq V_{CC}<2.7V$ | 0.85V _{CC} | | V _{CC} | V | |
| | | $2.7\leq V_{CC}\leq 5.5V$ | 0.8V _{CC} | | V _{CC} | | |
| V _{IH} | “H”电平输入电压 P32、P33 | $1.8\leq V_{CC}<2.7V$ | 0.85V _{CC} | | 5.5 | V | |
| | | $2.7\leq V_{CC}\leq 5.5V$ | 0.8V _{CC} | | 5.5 | | |
| V _{IH} | “H”电平输入电压 RESET、X _{IN} 、X _{CIN} 、CNV _{SS} | $1.8\leq V_{CC}<2.7V$ | 0.85V _{CC} | | V _{CC} | V | |
| | | $2.7\leq V_{CC}\leq 5.5V$ | 0.8V _{CC} | | V _{CC} | | |
| V _{IL} | “L”电平输入电压 P00~P07、P10~P17、P20~P27、 P30~P37、P40~P47、 P50~P57、P60~P67 | $1.8\leq V_{CC}<2.7V$ | 0 | | 0.16V _{CC} | V | |
| | | $2.7\leq V_{CC}\leq 5.5V$ | 0 | | 0.2V _{CC} | | |
| V _{IL} | “L”电平输入电压 RESET、CNV _{SS} | $1.8\leq V_{CC}<2.7V$ | 0 | | 0.16V _{CC} | V | |
| | | $2.7\leq V_{CC}\leq 5.5V$ | 0 | | 0.2V _{CC} | | |
| V _{IL} | “L”电平输入电压 X _{IN} 、X _{CIN} | $1.8\leq V_{CC}\leq 5.5V$ | 0 | | 0.16V _{CC} | V | |
| f(X _{IN}) | 主时钟输入振荡频率 (注 3) | 在高速模式时 $f(\phi)=f(X_{IN})/2$ | $2.0\leq V_{CC}<2.2V$ | | | $\frac{(20\times V_{CC}-36)\times 1.05}{2}$ | MHz |
| | | | $2.2\leq V_{CC}<2.7V$ | | | $\frac{(24\times V_{CC}-40.8)\times 1.05}{3}$ | |
| | | | $2.7\leq V_{CC}<4.0V$ | | | $\frac{(9\times V_{CC}-0.3)\times 1.05}{3}$ | |
| | | | $4.0\leq V_{CC}<4.5V$ | | | $\frac{(24\times V_{CC}-60)\times 1.05}{3}$ | |
| | | | $4.5\leq V_{CC}\leq 5.5V$ | | | 16.8 | |
| | | 在中速模式时 $f(\phi)=f(X_{IN})/8$ | $1.8\leq V_{CC}<2.2V$ | | | $\frac{(15\times V_{CC}-9)\times 1.05}{3}$ | MHz |
| | | | $2.2\leq V_{CC}<2.7V$ | | | $\frac{(24\times V_{CC}-28.8)\times 1.05}{3}$ | |
| | | | $2.7\leq V_{CC}<4.5V$ | | | $\frac{(15\times V_{CC}+39)\times 1.1}{7}$ | |
| $4.5\leq V_{CC}\leq 5.5V$ | | | | 16.8 | | | |
| f(X _{CIN}) | 副时钟输入振荡频率 (注 3)、(注 4) | | 32.768 | | 50 | kHz | |

注 1. 在使用 A/D 转换器时, 请参照 A/D 转换器的推荐运行条件。

注 2. 振荡开始电压和振荡开始时间因振荡器、电路常数和工作环境温度等而不同。尤其是高频率的振荡器, 有可能在低电压时很难开始振荡, 所以必须注意。

注 3. 振荡频率为占空 50% 的情况。

注 4. 使用低速模式时的副时钟输入振荡频率必须为 $f(X_{CIN})<f(X_{IN})/3$ 。

表 12 推荐运行条件 (2) (在没有指定时: $V_{CC}=1.8\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

| 符号 | 项目 | 规格值 | | | 单位 |
|------------------------------|--|-----|----|-----|----|
| | | 最小 | 典型 | 最大 | |
| $\Sigma I_{OH}(\text{peak})$ | “H”电平输出总峰值电流 (注 1) P00~P07、P10~P17、P20~P27、P30、P31、P34~P37 | | | -80 | mA |
| $\Sigma I_{OH}(\text{peak})$ | “H”电平输出总峰值电流 (注 1) P40~P47、P50~P57、P60~P67 | | | -80 | mA |
| $\Sigma I_{OL}(\text{peak})$ | “L”电平输出总峰值电流 (注 1) P00~P07、P10~P17、P30~P37 | | | 80 | mA |
| $\Sigma I_{OL}(\text{peak})$ | “L”电平输出总峰值电流 (注 1) P20~P27 | | | 80 | mA |
| $\Sigma I_{OL}(\text{peak})$ | “L”电平输出总峰值电流 (注 1) P40~P47、P50~P57、P60~P67 | | | 80 | mA |
| $\Sigma I_{OH}(\text{avg})$ | “H”电平输出总平均电流 (注 1) P00~P07、P10~P17、P20~P27、P30、P31、P34~P37 | | | -40 | mA |
| $\Sigma I_{OH}(\text{avg})$ | “H”电平输出总平均电流 (注 1) P40~P47、P50~P57、P60~P67 | | | -40 | mA |
| $\Sigma I_{OL}(\text{avg})$ | “L”电平输出总平均电流 (注 1) P00~P07、P10~P17、P30~P37 | | | 40 | mA |
| $\Sigma I_{OL}(\text{avg})$ | “L”电平输出总平均电流 (注 1) P20~P27 | | | 40 | mA |
| $\Sigma I_{OL}(\text{avg})$ | “L”电平输出总平均电流 (注 1) P40~P47、P50~P57、P60~P67 | | | 40 | mA |
| $I_{OH}(\text{peak})$ | “H”电平输出峰值电流 (注 2) P00~P07、P10~P17、P20~P27、P30、P31、P34~P37、 P40~P47、P50~P57、P60~P67 | | | -10 | mA |
| $I_{OL}(\text{peak})$ | “L”电平输出峰值电流 (注 2) P00~P07、P10~P17、P30~P37、P40~P47、P50~P57、 P60~P67 | | | 10 | mA |
| $I_{OL}(\text{peak})$ | “L”电平输出峰值电流 (注 2) P20~P27 | | | 20 | mA |
| $I_{OH}(\text{avg})$ | “H”电平输出平均电流 (注 3) P00~P07、P10~P17、P20~P27、P30、P31、P34~P37、 P40~P47、P50~P57、P60~P67 | | | -5 | mA |
| $I_{OL}(\text{avg})$ | “L”电平输出平均电流 (注 3) P00~P07、P10~P17、P30~P37、P40~P47、P50~P57、 P60~P67 | | | 5 | mA |
| $I_{OL}(\text{avg})$ | “L”电平输出平均电流 (注 3) P20~P27 | | | 10 | mA |

注 1. 输出总电流是流到相应端口的全部电流的总和, 总平均电流是 100ms 期间的平均值, 总峰值电流是峰值的总和。

注 2. 输出峰值电流规定每 1 个端口流通的电流的峰值。

注 3. 输出平均电流是 $I_{OL}(\text{avg})$ 、 $I_{OH}(\text{avg})$ 100ms 期间的平均值。

电特性

表 13 电特性 (1) (在没有指定时: $V_{CC}=1.8\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

| 符号 | 项目 | 测量条件 | 规格值 | | | 单位 |
|----------------------------------|---|--|----------------------|------|-----------------|----|
| | | | 最小 | 典型 | 最大 | |
| V _{OH} | “H”电平输出电压 (注 1) P00~P07、P10~P17、P20~P27、 P30、P31、P34~P37、P40~P47、 P50~P57、P60~P67 | I _{OH} =-10mA V _{CC} =4.0~5.5V | V _{CC} -2.0 | | | V |
| | | I _{OH} =-1.0mA V _{CC} =1.8~5.5V | V _{CC} -1.0 | | | |
| V _{OL} | “L”电平输出电压 P00~P07、P10~P17、P20~P27、 P30~P37、P40~P47、P50~P57、 P60~P67 | I _{OL} =10mA V _{CC} =4.0~5.5V | | | 2.0 | V |
| | | I _{OL} =1.6mA V _{CC} =1.8~5.5V | | | 1.0 | |
| V _{OL} | “L”电平输出电压 P20~P27 | I _{OL} =20mA V _{CC} =4.0~5.5V | | | 2.0 | V |
| | | I _{OL} =1.6mA V _{CC} =1.8~5.5V | | | 0.4 | |
| V _{T+} -V _{T-} | 滞后 CNTR0、CNTR1、CNTR2、INT0~INT4 | | | 0.4 | | V |
| V _{T+} -V _{T-} | 滞后 RXD1、SCLK1、SIN2、SCLK2、RXD3、SCLK3 | | | 0.5 | | V |
| V _{T+} -V _{T-} | 滞后 \overline{RESET} | | | 0.5 | | V |
| I _{IH} | “H”电平输入电流 P00~P07、P10~P17、P20~P27、 P30~P37、P40~P47、P50~P57、 P60~P67 | V _I =V _{CC} (引脚为浮动状态, 上拉 晶体管为截止状态) | | | 5.0 | μA |
| I _{IH} | “H”电平输入电流 \overline{RESET} 、CNV _{SS} | V _I =V _{CC} | | | 5.0 | μA |
| I _{IH} | “H”电平输入电流 X _{IN} | V _I =V _{CC} | | 4.0 | | μA |
| I _{IL} | “L”电平输入电流 P00~P07、P10~P17、P20~P27、 P30~P37、P40~P47、P50~P57、 P60~P67 | V _I =V _{SS} (引脚为浮动状态, 上拉 晶体管为截止状态) | | | -5.0 | μA |
| I _{IL} | “L”电平输入电流 \overline{RESET} 、CNV _{SS} | V _I =V _{SS} | | | -5.0 | μA |
| I _{IL} | “L”电平输入电流 X _{IN} | V _I =V _{SS} | | -4.0 | | μA |
| I _{IL} | “L”电平输入电流 (在上拉有效时) P00~P07、P10~P17、P20~P27、 P30、P31、P34~P37、P40~P47、 P50~P57、P60~P67 | V _I =V _{SS} V _{CC} =5.0V | -80 | -210 | -420 | μA |
| | | V _I =V _{SS} V _{CC} =3.0V | -30 | -70 | -140 | |
| V _{RAM} | RAM 保持电压 | 在时钟停止时 | 1.8 | | V _{CC} | V |

注 1. P35: 在 UART3 控制寄存器的 P35/TxD3 P 沟道输出禁止位 (地址 003316 的 bit4) 为 “0” 时。

P45: 在 UART1 控制寄存器的 P45/TxD1 P 沟道输出禁止位 (地址 001B16 的 bit4) 为 “0” 时。

表 14 电特性 (2) (在没有指定时: $V_{CC}=1.8\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$ 、 $f(X_{CIN})=32.768kHz$ (在中速模式时停止)、输出晶体管为截止状态、A/D 转换器不运行时)

| 符号 | 项目 | 测量条件 | | | 规格值 | | | 单位 | | | |
|-------------------------|------|---|-----------------------------|--|-----------------------|-----------------------------|------|----|-----|-----|----|
| | | | | | 最小 | 典型 | 最大 | | | | |
| I _{CC} | 电源电流 | 在高速模式时 | V _{CC} =5.0V | f(X _{IN})=16.8MHz | | 8.0 | 15.0 | mA | | | |
| | | | | f(X _{IN})=12.5MHz | | 6.5 | 12.0 | | | | |
| | | | | f(X _{IN})=8.4MHz | | 5.0 | 9.0 | | | | |
| | | | | f(X _{IN})=4.2MHz | | 2.5 | 5.0 | | | | |
| | | | | f(X _{IN})=16.8MHz(在执行 WIT 指令时) | | 2.0 | 3.6 | | | | |
| | | | V _{CC} =3.0V | f(X _{IN})=8.4MHz | | 1.9 | 3.8 | mA | | | |
| | | | | f(X _{IN})=4.2MHz | | 1.0 | 2.0 | | | | |
| | | | | f(X _{IN})=2.1MHz | | 0.6 | 1.2 | | | | |
| | | | | 在中速模式时 | V _{CC} =5.0V | f(X _{IN})=16.8MHz | | | 4.0 | 7.0 | mA |
| | | | | | | f(X _{IN})=12.5MHz | | | 3.0 | 6.0 | |
| | | f(X _{IN})=8.4MHz | | | | 2.5 | 5.0 | | | | |
| | | f(X _{IN})=16.8MHz(在执行 WIT 指令时) | | | | 1.8 | 3.3 | | | | |
| | | V _{CC} =3.0V | f(X _{IN})=12.5MHz | | 1.5 | 3.0 | mA | | | | |
| | | | f(X _{IN})=8.4MHz | | 1.2 | 2.4 | | | | | |
| | | | f(X _{IN})=6.3MHz | | 1.0 | 2.0 | | | | | |
| | | 在低速模式时 | V _{CC} =5.0V | f(X _{IN})=停止 | | 55 | 200 | μA | | | |
| | | | | 在执行 WIT 指令时 | | 40 | 70 | | | | |
| | | | V _{CC} =3.0V | f(X _{IN})=停止 | | 15 | 40 | μA | | | |
| | | | | 在执行 WIT 指令时 | | 8 | 15 | | | | |
| | | | V _{CC} =2.0V | f(X _{IN})=停止 | | 6 | 15 | μA | | | |
| 在执行 WIT 指令时 | | | | 3 | 6 | | | | | | |
| 在执行 STP 指令时 (振荡全部停止) | | T _a =25°C | | 0.1 | 1.0 | μA | | | | | |
| | | T _a =85°C | | | 10 | | | | | | |
| A/D 转换器运行时的电流增量 | | f(X _{IN})=16.8MHz、V _{CC} =5.0V 在中、高速模式时 | | | | 500 | μA | | | | |

A/D 转换器的推荐运行条件

表 15 A/D 转换器的推荐运行条件 (在没有指定时: $V_{CC}=2.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim 85^\circ C$)

| 符号 | 项目 | 测量条件 | 规格值 | | | 单位 |
|---------------------|--|-------------------------------------|-----|-----|---|-----|
| | | | 最小 | 典型 | 最大 | |
| V _{CC} | 电源电压 (在使用 A/D 转换器时) | 在 8 位 A/D 模式时 (注 1) | 2.0 | 5.0 | 5.5 | V |
| | | 在 10 位 A/D 模式时 (注 2) | 2.2 | 5.0 | 5.5 | |
| V _{REF} | A/D 转换器的基准电压 | | 2.0 | | V _{CC} | V |
| AV _{SS} | 模拟电源电压 | | | 0 | | V |
| V _{IA} | 模拟输入电压 AN ₀ ~AN ₁₅ | | 0 | | V _{CC} | V |
| f(X _{IN}) | 主时钟输入振荡频率 (在使用 A/D 转换器时) | $2.0 \leq V_{CC}=V_{REF} < 2.2V$ | 0.5 | | $\frac{(20 \times V_{CC} - 36) \times 1.05}{2}$ | MHz |
| | | $2.2 \leq V_{CC}=V_{REF} < 2.7V$ | 0.5 | | $\frac{(24 \times V_{CC} - 40.8) \times 1.05}{3}$ | |
| | | $2.7 \leq V_{CC}=V_{REF} < 4.0V$ | 0.5 | | $\frac{(9 \times V_{CC} - 0.3) \times 1.05}{3}$ | |
| | | $4.0 \leq V_{CC}=V_{REF} < 4.5V$ | 0.5 | | $\frac{(24.6 \times V_{CC} - 62.7) \times 1.05}{3}$ | |
| | | $4.5 \leq V_{CC}=V_{REF} \leq 5.5V$ | 0.5 | | 16.8 | |

注 1. 8 位 A/D 模式: 在转换模式选择位 (地址 0038₁₆ 的 bit7) 为 “1” 时注 2. 10 位 A/D 模式: 在转换模式选择位 (地址 0038₁₆ 的 bit7) 为 “0” 时

A/D 转换器的特性

表 16 A/D 转换器的特性 (在没有指定时: $V_{CC}=2.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim 85^\circ C$)

| 符号 | 项目 | 测量条件 | 规格值 | | | 单位 | | |
|--------------------|------------------|-------------------------|------------------------------|----|-----|-----|------------------------------------|-----|
| | | | 最小 | 典型 | 最大 | | | |
| — | 分辨率 | 在 8 位 A/D 模式时 (注 1) | | | 8 | bit | | |
| | | 在 10 位 A/D 模式时 (注 2) | | | 10 | | | |
| — | 绝对精度 (量化误差除外) | 在 8 位 A/D 模式时 (注 1) | $2.0 \leq V_{REF} < 2.2V$ | | | ±3 | LSB | |
| | | | $2.2 \leq V_{REF} \leq 5.5V$ | | | ±2 | | |
| | | 在 10 位 A/D 模式时 (注 2) | $2.2 \leq V_{REF} < 2.7V$ | | | | ±5 | LSB |
| | | | $2.7 \leq V_{REF} \leq 5.5V$ | | | | ±4 | |
| t _{CONV} | 转换时间 | 在 8 位 A/D 模式时 (注 1) | | | | 50 | 2t _c (X _{IN}) | |
| | | 在 10 位 A/D 模式时 (注 2) | | | | 61 | | |
| RLADDER | 梯形电阻 | | 12 | 35 | 100 | kΩ | | |
| I _{VREF} | 基准电源 输入电流 | 在 A/D 转换运行时 | V _{REF} =5.0V | 50 | 150 | 200 | μA | |
| | | 在 A/D 转换停止时 | V _{REF} =5.0V | | | 5.0 | | |
| I _{I(AD)} | A/D 端口输入电流 | | | | | 5.0 | μA | |

注 1. 8 位 A/D 模式: 在转换模式选择位 (地址 0038₁₆ 的 bit7) 为 “1” 时注 2. 10 位 A/D 模式: 在转换模式选择位 (地址 0038₁₆ 的 bit7) 为 “0” 时

D/A 转换器的特性

表 17. D/A 转换器的特性 (在不指定时: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $V_{REF}=2.7V\sim V_{CC}$ 、 $T_a=-20\sim 85^{\circ}C$)

| 符号 | 项目 | 规格值 | | | 单位 |
|------------|----------------|----------------------------|-----|-----|-----------|
| | | 最小 | 典型 | 最大 | |
| — | 分辨率 | | | 8 | bit |
| — | 绝对精度 | $4.0\leq V_{REF}\leq 5.5V$ | | 1.0 | % |
| | | $2.7\leq V_{REF}< 4.0V$ | | 2.5 | |
| t_{su} | 设定时间 | | | 3 | ms |
| RO | 输出电阻 | 2 | 3.5 | 5 | $k\Omega$ |
| I_{VREF} | 基准电源输入电流 (注 1) | | | 3.2 | mA |

注 1. 使用 1 个 D/A 转换器, 其它的 DA 转换寄存器 ($i=1, 2$) 的值为 "0016".

时序的必要条件

表 18 时序的必要条件 (1) (在不指定时: $V_{CC}=2.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

| 符号 | 项目 | | 规格值 | | | 单位 |
|-------------------------|--|---------------------------|------------------------------|----|----|-------------|
| | | | 最小 | 典型 | 最大 | |
| $t_w(\overline{RESET})$ | 复位输入的“L”电平脉宽 | | 16 | | | X_{IN} 周期 |
| $t_c(X_{IN})$ | 主时钟 X_{IN} 输入的周期时间 | $4.5\leq V_{CC}\leq 5.5V$ | 59.5 | | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | $10000/(86V_{CC}-219)$ | | | |
| | | $2.7\leq V_{CC}< 4.0V$ | $26\times 10^3/(82V_{CC}-3)$ | | | |
| | | $2.2\leq V_{CC}< 2.7V$ | $10000/(84V_{CC}-143)$ | | | |
| | | $2.0\leq V_{CC}< 2.2V$ | $10000/(105V_{CC}-189)$ | | | |
| $t_{WH}(X_{IN})$ | 主时钟 X_{IN} 输入的“H”电平脉宽 | $4.5\leq V_{CC}\leq 5.5V$ | 25 | | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | $4000/(86V_{CC}-219)$ | | | |
| | | $2.7\leq V_{CC}< 4.0V$ | $10000/(82V_{CC}-3)$ | | | |
| | | $2.2\leq V_{CC}< 2.7V$ | $4000/(84V_{CC}-143)$ | | | |
| | | $2.0\leq V_{CC}< 2.2V$ | $4000/(105V_{CC}-189)$ | | | |
| $t_{WL}(X_{IN})$ | 主时钟 X_{IN} 输入的“L”电平脉宽 | $4.5\leq V_{CC}\leq 5.5V$ | 25 | | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | $4000/(86V_{CC}-219)$ | | | |
| | | $2.7\leq V_{CC}< 4.0V$ | $10000/(82V_{CC}-3)$ | | | |
| | | $2.2\leq V_{CC}< 2.7V$ | $4000/(84V_{CC}-143)$ | | | |
| | | $2.0\leq V_{CC}< 2.2V$ | $4000/(105V_{CC}-189)$ | | | |
| $t_c(X_{CIN})$ | 副时钟 X_{CIN} 输入的周期时间 | | 20 | | | μs |
| $t_{WH}(X_{CIN})$ | 副时钟 X_{CIN} 输入的“H”电平脉宽 | | 5 | | | μs |
| $t_{WL}(X_{CIN})$ | 副时钟 X_{CIN} 输入的“L”电平脉宽 | | 5 | | | μs |
| $t_c(CNTR)$ | $CNTR_0\sim CNTR_2$ 输入周期时间 | $4.5\leq V_{CC}\leq 5.5V$ | 120 | | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 160 | | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 250 | | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 500 | | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 1000 | | | |
| $t_{WH}(CNTR)$ | $CNTR_0\sim CNTR_2$ “H”电平输入脉宽 | $4.5\leq V_{CC}\leq 5.5V$ | 48 | | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 64 | | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 115 | | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 230 | | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 460 | | | |
| $t_{WL}(CNTR)$ | $CNTR_0\sim CNTR_2$ “L”电平输入脉宽 | $4.5\leq V_{CC}\leq 5.5V$ | 48 | | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 64 | | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 115 | | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 230 | | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 460 | | | |
| $t_{WH}(INT)$ | INT_{00} 、 INT_{01} 、 INT_1 、 INT_2 、 INT_3 、 INT_{40} 、 INT_{41} 输入的“H”电平脉宽 | $4.5\leq V_{CC}\leq 5.5V$ | 48 | | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 64 | | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 115 | | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 230 | | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 460 | | | |
| $t_{WL}(INT)$ | INT_{00} 、 INT_{01} 、 INT_1 、 INT_2 、 INT_3 、 INT_{40} 、 INT_{41} 输入的“L”电平脉宽 | $4.5\leq V_{CC}\leq 5.5V$ | 48 | | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 64 | | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 115 | | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 230 | | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 460 | | | |

表 19 时序的必要条件 (2) (在不指定时: $V_{CC}=2.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

| 符号 | 项目 | 规格值 | | | 单位 |
|------------------------------------|---------------------------------------|---------------------------|------|----|----|
| | | 最小 | 典型 | 最大 | |
| tc(SCLK1) tc(SCLK3) | 串行 I/O1、串行 I/O3 时钟输入的周期时间 (注 1) | $4.5\leq V_{CC}\leq 5.5V$ | 250 | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 320 | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 500 | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 1000 | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 2000 | | |
| tWH(SCLK1) tWH(SCLK3) | 串行 I/O1、串行 I/O3 时钟输入的“H”电平脉宽 (注 1) | $4.5\leq V_{CC}\leq 5.5V$ | 120 | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 150 | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 240 | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 480 | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 950 | | |
| tWL(SCLK1) tWL(SCLK3) | 串行 I/O1、串行 I/O3 时钟输入的“L”电平脉宽 (注 1) | $4.5\leq V_{CC}\leq 5.5V$ | 120 | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 150 | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 240 | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 480 | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 950 | | |
| tsu(RxD1-SCLK1) tsu(RxD3-SCLK3) | 串行 I/O1、串行 I/O3 时钟输入的准备时间 | $4.5\leq V_{CC}\leq 5.5V$ | 70 | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 90 | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 100 | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 200 | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 400 | | |
| th(SCLK1-RxD1) th(SCLK3-RxD3) | 串行 I/O1、串行 I/O3 时钟输入的保持时间 | $4.5\leq V_{CC}\leq 5.5V$ | 32 | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 40 | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 50 | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 100 | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 200 | | |
| tc(SCLK2) | 串行 I/O2 时钟输入的周期时间 | $4.5\leq V_{CC}\leq 5.5V$ | 500 | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 650 | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 1000 | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 2000 | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 4000 | | |
| tWH(SCLK2) | 串行 I/O2 时钟输入的“H”电平脉宽 | $4.5\leq V_{CC}\leq 5.5V$ | 200 | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 260 | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 400 | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 950 | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 2000 | | |
| tWL(SCLK2) | 串行 I/O2 时钟输入的“L”电平脉宽 | $4.5\leq V_{CC}\leq 5.5V$ | 200 | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 260 | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 400 | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 950 | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 2000 | | |
| tsu(SIN2-SCLK2) | 串行 I/O2 时钟输入的准备时间 | $4.5\leq V_{CC}\leq 5.5V$ | 100 | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 130 | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 200 | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 400 | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 800 | | |
| th(SCLK2-SIN2) | 串行 I/O2 时钟输入的保持时间 | $4.5\leq V_{CC}\leq 5.5V$ | 100 | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | 130 | | |
| | | $2.7\leq V_{CC}< 4.0V$ | 150 | | |
| | | $2.2\leq V_{CC}< 2.7V$ | 300 | | |
| | | $2.0\leq V_{CC}< 2.2V$ | 600 | | |

注 1. 在地址 001A₁₆ 的 bit6、地址 0032₁₆ 的 bit6 为 “1” (时钟同步模式) 时。

在地址 001A₁₆ 的 bit6、地址 0032₁₆ 的 bit6 为 “0” (异步模式) 时。

开关特性

表 20 开关特性 (1) (在不指定时: $V_{CC}=2.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

| 符号 | 项目 | 测量条件 | 规格值 | | | 单位 |
|--------------------|----------------------------------|------|---------------------------|---------------------------------------|-----|----|
| | | | 最小 | 典型 | 最大 | |
| $t_{WH}(SCLK1)$ | 串行 I/O1、串行 I/O3 时钟输出的“H”电平脉宽 | 图 88 | $4.5\leq V_{CC}\leq 5.5V$ | $t_c(SCLK1)/2-30$ 、 $t_c(SCLK3)/2-30$ | | ns |
| $t_{WH}(SCLK3)$ | | | $4.0\leq V_{CC}< 4.5V$ | $t_c(SCLK1)/2-35$ 、 $t_c(SCLK3)/2-35$ | | |
| | | | $2.7\leq V_{CC}< 4.0V$ | $t_c(SCLK1)/2-40$ 、 $t_c(SCLK3)/2-40$ | | |
| | | | $2.2\leq V_{CC}< 2.7V$ | $t_c(SCLK1)/2-45$ 、 $t_c(SCLK3)/2-45$ | | |
| | | | $2.0\leq V_{CC}< 2.2V$ | $t_c(SCLK1)/2-50$ 、 $t_c(SCLK3)/2-50$ | | |
| $t_{WL}(SCLK1)$ | 串行 I/O1、串行 I/O3 时钟输出的“L”电平脉宽 | | $4.5\leq V_{CC}\leq 5.5V$ | $t_c(SCLK1)/2-30$ 、 $t_c(SCLK3)/2-30$ | | ns |
| $t_{WL}(SCLK3)$ | | | $4.0\leq V_{CC}< 4.5V$ | $t_c(SCLK1)/2-35$ 、 $t_c(SCLK3)/2-35$ | | |
| | | | $2.7\leq V_{CC}< 4.0V$ | $t_c(SCLK1)/2-40$ 、 $t_c(SCLK3)/2-40$ | | |
| | | | $2.2\leq V_{CC}< 2.7V$ | $t_c(SCLK1)/2-45$ 、 $t_c(SCLK3)/2-45$ | | |
| | | | $2.0\leq V_{CC}< 2.2V$ | $t_c(SCLK1)/2-50$ 、 $t_c(SCLK3)/2-50$ | | |
| $t_d(SCLK1-TxD1)$ | 串行 I/O1、串行 I/O3 输出的延迟时间 (注 1) | | $4.5\leq V_{CC}\leq 5.5V$ | | 140 | ns |
| $t_d(SCLK3-TxD3)$ | | | $4.0\leq V_{CC}< 4.5V$ | | 200 | |
| | | | $2.7\leq V_{CC}< 4.0V$ | | 350 | |
| | | | $2.2\leq V_{CC}< 2.7V$ | | 400 | |
| | | | $2.0\leq V_{CC}< 2.2V$ | | 420 | |
| $t_v(SCLK1-TxD1)$ | 串行 I/O1、串行 I/O3 输出的有效时间 (注 1) | | $4.5\leq V_{CC}\leq 5.5V$ | -30 | | ns |
| $t_v(SCLK3-TxD3)$ | | | $4.0\leq V_{CC}< 4.5V$ | -30 | | |
| | | | $2.7\leq V_{CC}< 4.0V$ | -30 | | |
| | | | $2.2\leq V_{CC}< 2.7V$ | -30 | | |
| | | | $2.0\leq V_{CC}< 2.2V$ | -30 | | |
| $t_r(SCLK1)$ | 串行 I/O1、串行 I/O3 时钟输出的上升时间 | | $4.5\leq V_{CC}\leq 5.5V$ | | 30 | ns |
| $t_r(SCLK3)$ | | | $4.0\leq V_{CC}< 4.5V$ | | 35 | |
| | | | $2.7\leq V_{CC}< 4.0V$ | | 40 | |
| | | | $2.2\leq V_{CC}< 2.7V$ | | 45 | |
| | | | $2.0\leq V_{CC}< 2.2V$ | | 50 | |
| $t_f(SCLK1)$ | 串行 I/O1、串行 I/O3 时钟输出的下降时间 | | $4.5\leq V_{CC}\leq 5.5V$ | | 30 | ns |
| $t_f(SCLK3)$ | | | $4.0\leq V_{CC}< 4.5V$ | | 35 | |
| | | | $2.7\leq V_{CC}< 4.0V$ | | 40 | |
| | | | $2.2\leq V_{CC}< 2.7V$ | | 45 | |
| | | | $2.0\leq V_{CC}< 2.2V$ | | 50 | |
| $t_{WH}(SCLK2)$ | 串行 I/O2 时钟输出的“H”电平脉宽 | | $4.5\leq V_{CC}\leq 5.5V$ | $t_c(SCLK2)/2-160$ | | ns |
| | | | $4.0\leq V_{CC}< 4.5V$ | $t_c(SCLK2)/2-200$ | | |
| | | | $2.7\leq V_{CC}< 4.0V$ | $t_c(SCLK2)/2-240$ | | |
| | | | $2.2\leq V_{CC}< 2.7V$ | $t_c(SCLK2)/2-260$ | | |
| | | | $2.0\leq V_{CC}< 2.2V$ | $t_c(SCLK2)/2-280$ | | |
| $t_{WL}(SCLK2)$ | 串行 I/O2 时钟输出的“L”电平脉宽 | | $4.5\leq V_{CC}\leq 5.5V$ | $t_c(SCLK2)/2-160$ | | ns |
| | | | $4.0\leq V_{CC}< 4.5V$ | $t_c(SCLK2)/2-200$ | | |
| | | | $2.7\leq V_{CC}< 4.0V$ | $t_c(SCLK2)/2-240$ | | |
| | | | $2.2\leq V_{CC}< 2.7V$ | $t_c(SCLK2)/2-260$ | | |
| | | | $2.0\leq V_{CC}< 2.2V$ | $t_c(SCLK2)/2-280$ | | |
| $t_d(SCLK2-SOUT2)$ | 串行 I/O2 输出的延迟时间 | | $4.5\leq V_{CC}\leq 5.5V$ | | 200 | ns |
| | | | $4.0\leq V_{CC}< 4.5V$ | | 250 | |
| | | | $2.7\leq V_{CC}< 4.0V$ | | 300 | |
| | | | $2.2\leq V_{CC}< 2.7V$ | | 350 | |
| | | | $2.0\leq V_{CC}< 2.2V$ | | 400 | |

注 1. 在 UART1 控制寄存器的 P45/TxD1 P 沟道输出禁止位 (地址 001B16 的 bit4) 为“0”时。

表 21 开关特性 (2) (在不指定时: $V_{CC}=2.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

| 符号 | 项目 | 测量条件 | 规格值 | | | 单位 |
|-----------------|-----------------------|---------------------------|------|----|----|----|
| | | | 最小 | 典型 | 最大 | |
| tv(SCLK2-SOUT2) | 串行 I/O2 输出的有效时间 | $4.5\leq V_{CC}\leq 5.5V$ | 图 88 | 0 | | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | | 0 | | |
| | | $2.7\leq V_{CC}< 4.0V$ | | 0 | | |
| | | $2.2\leq V_{CC}< 2.7V$ | | 0 | | |
| | | $2.0\leq V_{CC}< 2.2V$ | | 0 | | |
| tr(SCLK2) | 串行 I/O2 | $4.5\leq V_{CC}\leq 5.5V$ | | | 30 | ns |
| | 时钟输出的下降时间 | $4.0\leq V_{CC}< 4.5V$ | | | 35 | |
| | | $2.7\leq V_{CC}< 4.0V$ | | | 40 | |
| | | $2.2\leq V_{CC}< 2.7V$ | | | 45 | |
| | | $2.0\leq V_{CC}< 2.2V$ | | | 50 | |
| tr(CMOS) | CMOS 输出的上升时间 (注 1) | $4.5\leq V_{CC}\leq 5.5V$ | | 10 | 30 | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | | 12 | 35 | |
| | | $2.7\leq V_{CC}< 4.0V$ | | 15 | 40 | |
| | | $2.2\leq V_{CC}< 2.7V$ | | 17 | 45 | |
| | | $2.0\leq V_{CC}< 2.2V$ | | 20 | 50 | |
| tr(CMOS) | CMOS 输出的下降时间(注 1) | $4.5\leq V_{CC}\leq 5.5V$ | | 10 | 30 | ns |
| | | $4.0\leq V_{CC}< 4.5V$ | | 12 | 35 | |
| | | $2.7\leq V_{CC}< 4.0V$ | | 15 | 40 | |
| | | $2.2\leq V_{CC}< 2.7V$ | | 17 | 45 | |
| | | $2.0\leq V_{CC}< 2.2V$ | | 20 | 50 | |

注 1. 在 UART3 控制寄存器的 P35/TxD3 P 沟道输出禁止位 (地址 0033₁₆ 的 bit4) 为 “0” 时。

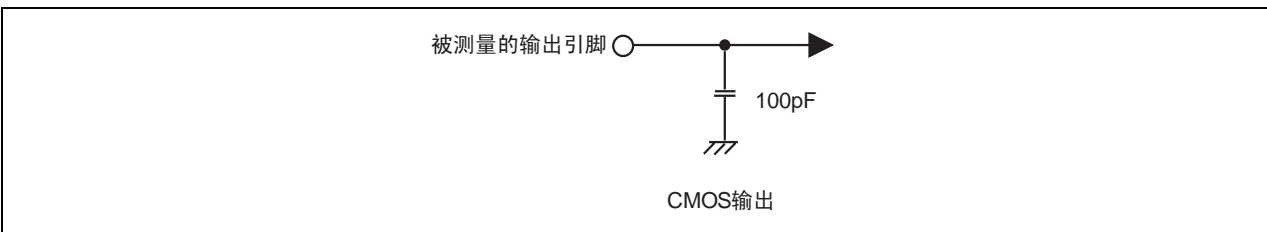


图 88 输出开关特性的测量电路图 (1)

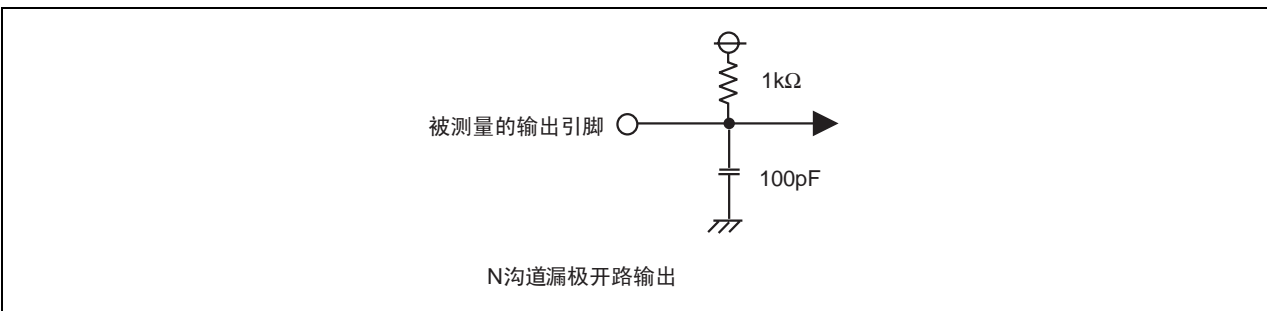


图 89 输出开关特性的测量电路图 (2)

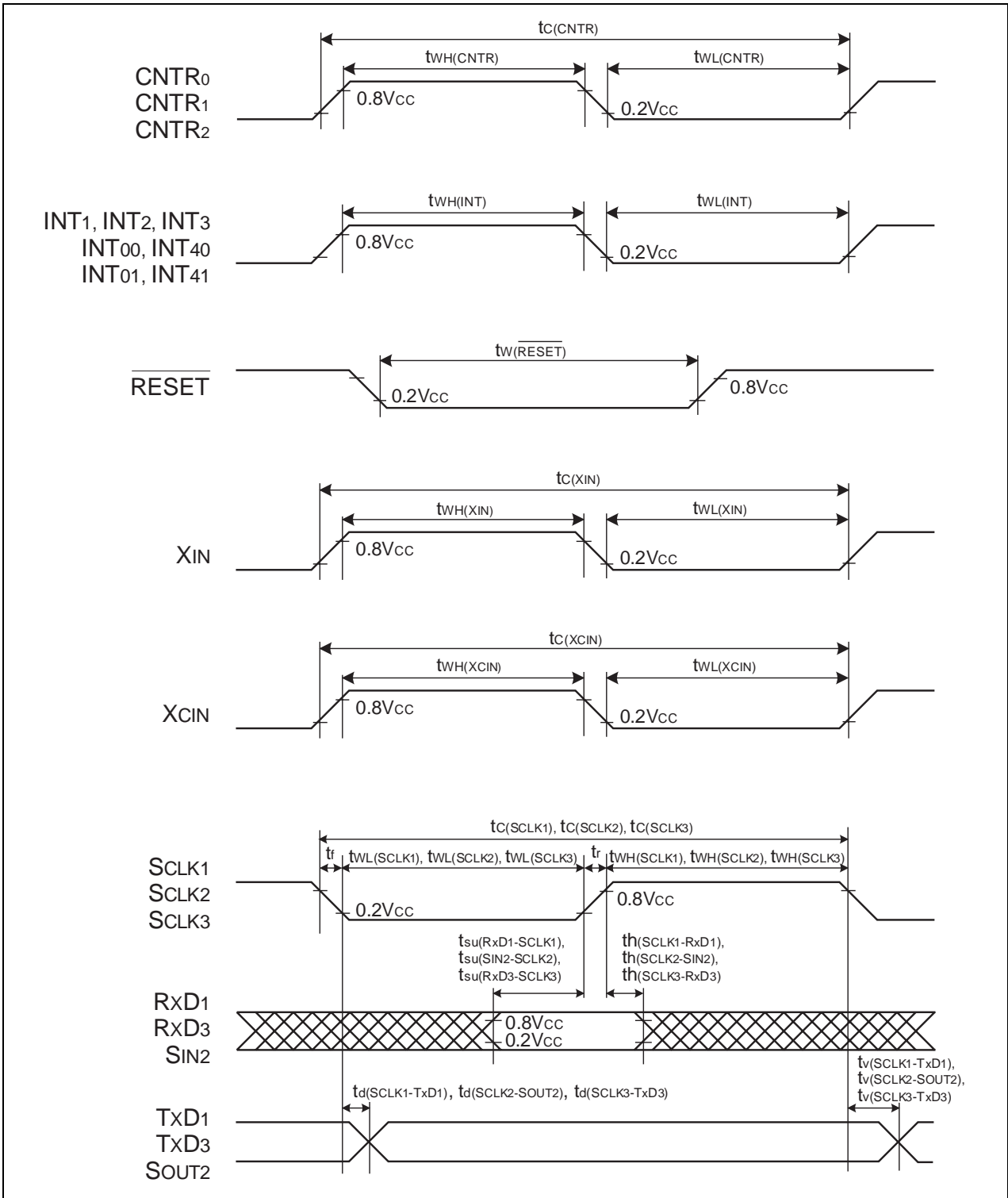
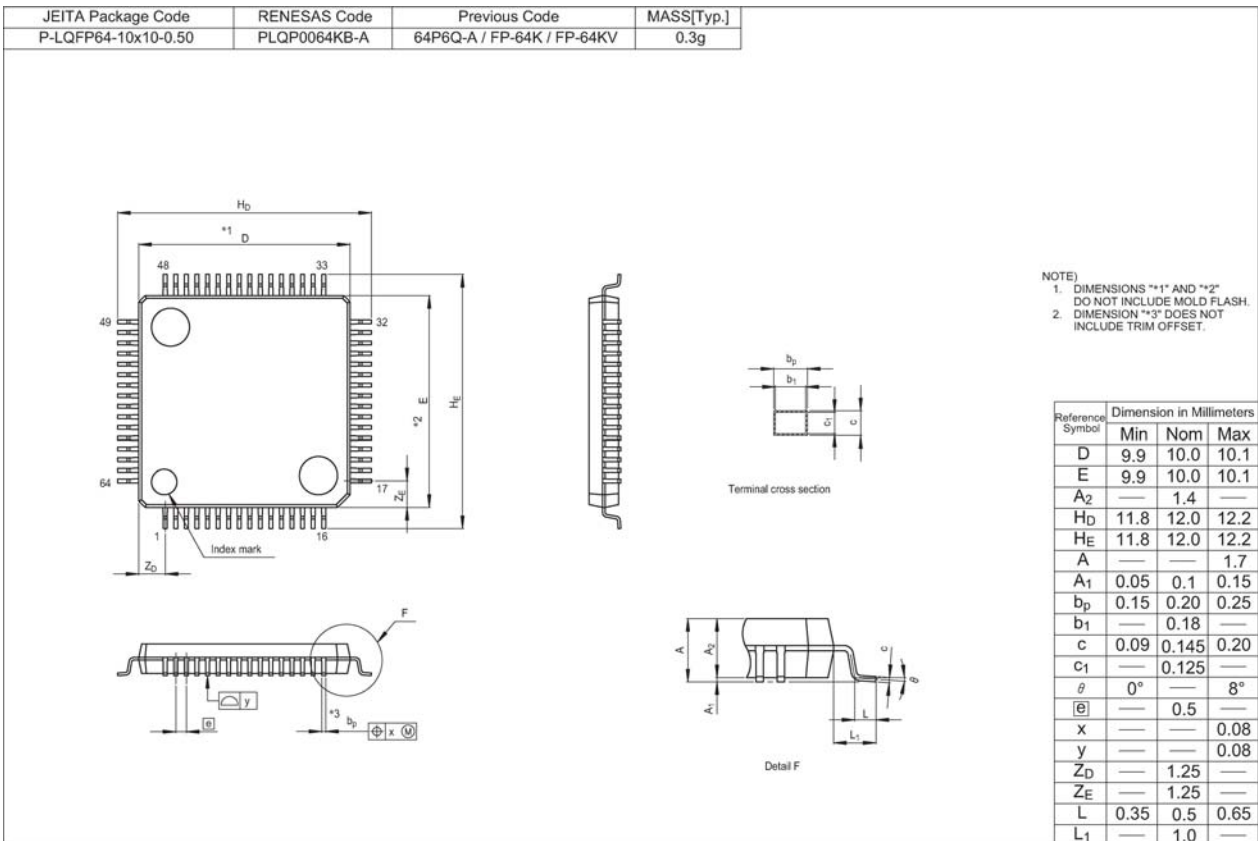
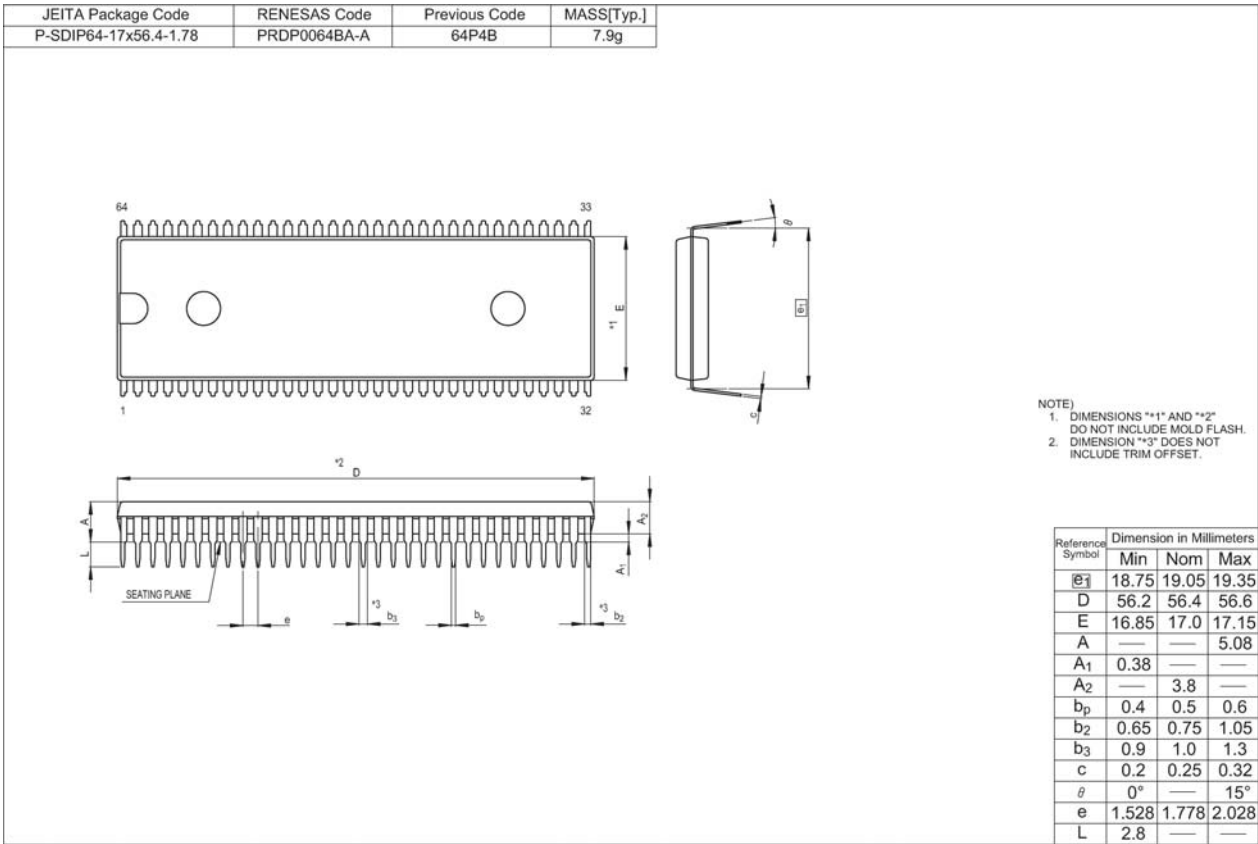


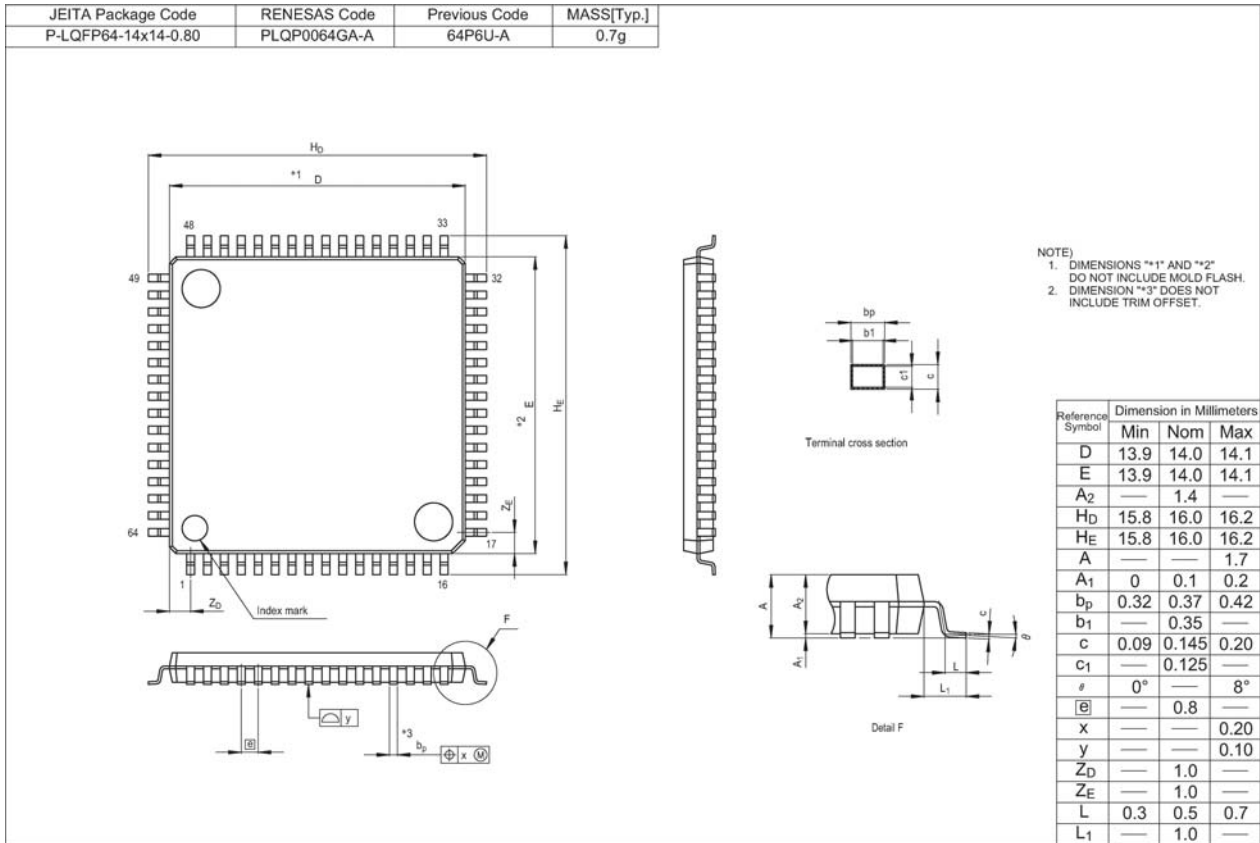
图 90 时序图 (单芯片模式)

外形尺寸图

关于外形尺寸图的最新版和安装信息，请参照刊登在瑞萨科技主页中的“封装”。



3803 群 (H 规格 QzROM 版)



| | |
|------|------------------------|
| 修订记录 | 3803 (H 规格 QzROM) 群数据表 |
|------|------------------------|

| Rev. | 发行日 | 修订内容 | |
|------|------------|---------|---|
| | | 页 | 修订处 |
| 1.00 | 2006.03.24 | — | 初版发行 |
| 1.10 | 2008.03.11 | 全文 | 删除了“开发中”。 |
| | | 全文 | 追加了“WG 封装”。 |
| | | 2 | 将旧表 1 “产品一览表” 移到了第 10 页。 |
| | | 2、3 | 删除了旧表 2 和表 3 “封装一览表”。 |
| | | 5 | 追加了“表 1 性能概要”。 |
| | | 10 | 删除了“群的说明”和旧表 5。 |
| | | 17 | 修改了“图 11 存储器配置图”。 |
| | | 18 | 追加了图 12 中的注 2。 |
| | | 22 | 修改了图 15 的“(17)端口 P54,P55”。 |
| | | 27 | 追加了“未使用引脚的处理”。 |
| | | 28~33 | 修改了“中断”。 |
| | | 64 | 追加了“图 54 AD 转换寄存器 2 的结构”。 |
| | | 67 | 在“(1)看门狗定时器控制的初始值”的说明文中, 追加了部分内容。 |
| | | 72 | 追加了“图 65 外部时钟输入电路”。 |
| | | 75~80 | 追加了“QzROM 编程模式”。 |
| | | 81~95 | 将“附录”改为“注意事项”, 并移到“电特性”的前面。 追加了“有关噪声的注意事项”、“有关过电压的注意事项”和 “QzROM 产品的验货步骤”。 |
| | | 92 | 追加了“不使用 D/A 转换器时的 D/Ai 转换寄存器”。 |
| | | 96 | 将“表 10 绝对最大额定值”中的“输入电压 CNVss”的“-0.3~VCC+0.3”改为“-0.3~8.0”。 |
| | | 101 | 修改了“表 15 A/D 转换器的推荐运行条件”中的“f(XIN)测量条件”(VCC→VCC=VREF)。 |
| | | 108~109 | 修改了“外形尺寸图”。 |

所有商标及注册商标分别归属于其所有者

Notes:

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guaranties regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
 - (1) artificial life support devices or systems
 - (2) surgical implantations
 - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
 - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

株式会社 瑞萨科技

下面所记中文只作为参考译文，英文具有正式效力。

请遵循安全第一进行电路设计:

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页 (<http://www.renesas.com>) 等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而致使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负担任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统(如各种安全装置或者运输交通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等)而设计和制造的,特别是对于品质和可靠性要求极高的机器和系统等(将本公司指定用于汽车方面的产品用于汽车时除外)。如果要用于上述的目的,请务必事先向本公司的营业窗口咨询。另外,对于用于上述目的而造成的损失等,本公司概不负责。
8. 除上述第7项内容外,不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失,本公司概不负责。
 - 1) 生命维持装置。
 - 2) 生命维持装置。
 - 3) 用于治疗(切除患部、给药等)的装置。
 - 4) 其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时,对于最大额定值、工作电源电压的范围、散热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时,对于由此而造成的故障和出现的事故,本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性,但一般来说,半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失,希望客户能自行负责进行冗余设计、采取延缓对策及进行防止错误运行等的安全设计(包括硬件和软件两方面的设计)以及老化处理等,这是作为机器和系统的出厂保证。特别是单片机的软件,由于单独进行验证很困难,所以要求在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下,有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时,请顾客自行负责将本公司产品设置为不容易剥离的安全设计。如果从顾客的设备上剥离而造成事故时,本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时,不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容,或者有其他关心的问题,请向本公司的营业窗口咨询。



RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.

450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.

Unit 204, 205, AZIACenter, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7858/7898

Renesas Technology Hong Kong Ltd.

7th Floor, North Tower, World Finance Centre, Harbour City, Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2377-3473

Renesas Technology Taiwan Co., Ltd.

10th Floor, No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 3518-3399

Renesas Technology Singapore Pte. Ltd.

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

Renesas Technology Malaysia Sdn. Bhd

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510