

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

概要

3850 群 (A 规格) 是采用了 740 族内核技术的 8 位单片机。
内置串行接口、8 位定时器和 A/D 转换器，最适于家电和 OA 设备。

特点

- 基本机器指令.....71
- 指令执行时间.....0.32 μ s
(在最短指令、振荡频率为 12.5MHz 时)
- 存储容量 ROM8~32K 字节
RAM512~1K 字节
- 可编程输入/输出端口.....34 个
- 软件上拉电阻.....内置
- 中断.....15 个源、14 个向量
- 定时器.....8 位 \times 4
- 串行接口
串行 I/O1.....8 位 \times 1
(UART 或者时钟同步)
串行 I/O2.....8 位 \times 1
(时钟同步)
- PWM.....8 位 \times 1
- A/D 转换器.....10 位分辨率 \times 9 个通道
- 时钟发生电路.....内置 2 个电路
(外接陶瓷谐振器或者晶体谐振器)
- 看门狗定时器.....16 位 \times 1
- 电源电压
在高速模式时.....4.0~5.5V
(在振荡频率为 12.5MHz 时)
在高速模式时.....2.7~5.5V
(在振荡频率为 6MHz 时)
在中速模式时.....2.7~5.5V
(在振荡频率为 12.5MHz、选择中速模式时)
在低速模式时.....2.7~5.5V
(在振荡频率为 32kHz 时)
- 功耗
在高速模式时 M38507F8ASP/FP 除外.....32.5mW
M38507F8ASP/FP.....37.5mW
(在振荡频率为 12.5Mhz 时, 电源电压为 5V)
在低速模式时 M38507F8ASP/FP 除外.....60 μ W
M38507F8ASP/FP.....450 μ W
(在振荡频率为 32kHz 时, 电源电压为 3V)
- 工作环境温度.....-20~85°C

应用

OA 设备、FA 设备、家电以及民用设备等。

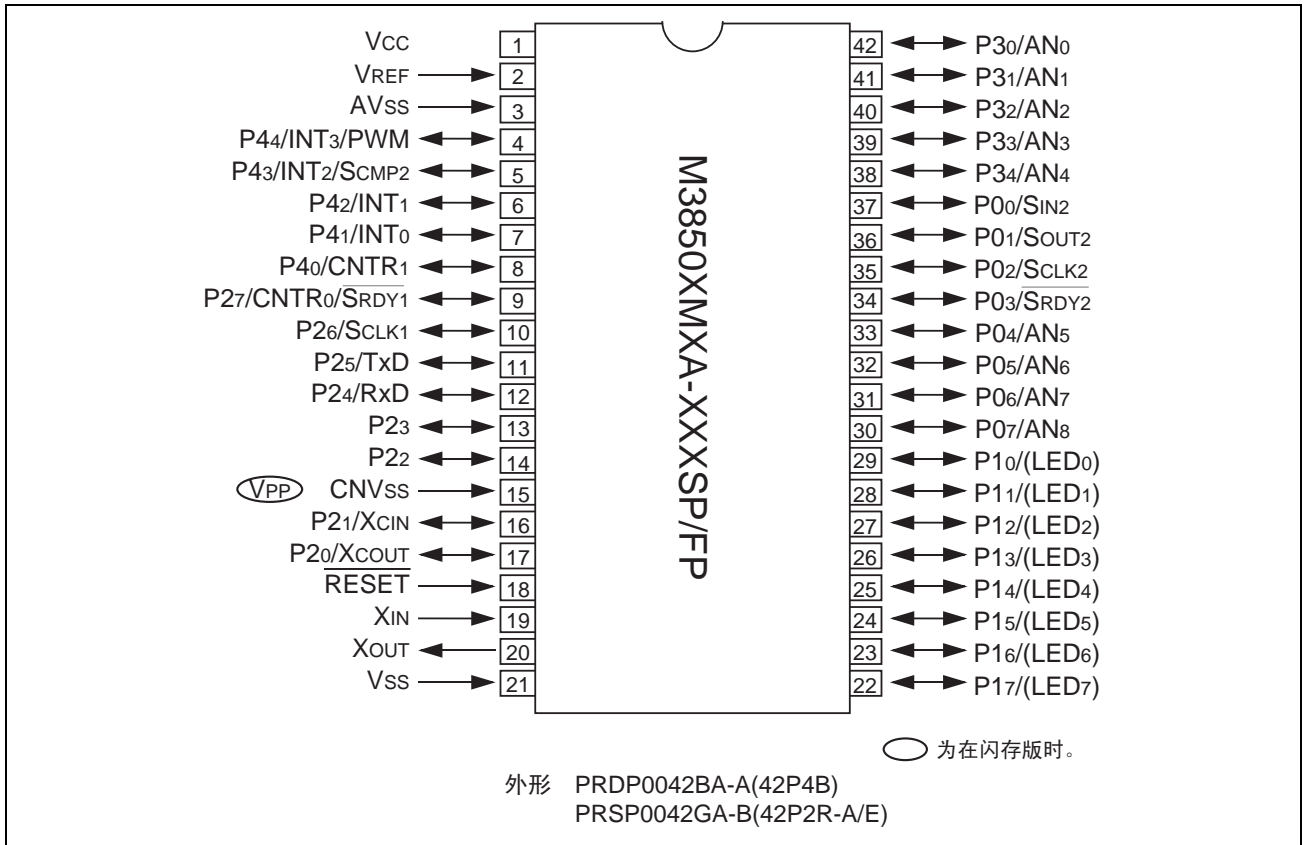


图 1. M3850MXA-XXXSP/FP 的引脚连接图

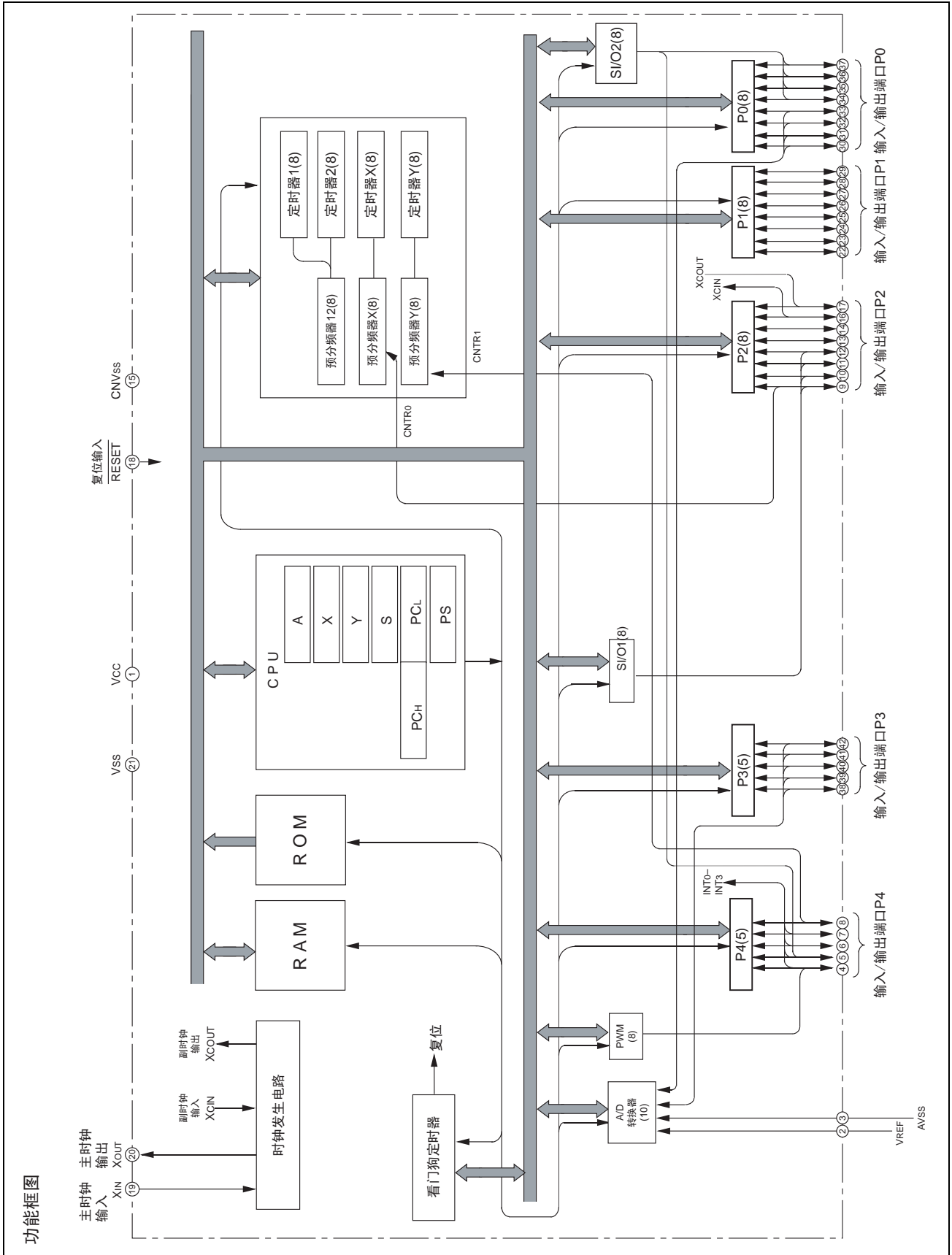


图 2. 功能框图

引脚功能说明

表 1. 引脚功能说明

引脚名	名称	功能	端口除外的功能
VCC、VSS	电源输入	给VCC外加2.7~5.5V, 给VSS外加0V。	
CNVSS	CNVSS	控制芯片运行模式的引脚, 通常与VSS连接。	
VREF	基准电压输入	A/D转换器的基准电压输入引脚。	
AVSS	模拟电源输入	A/D转换器的模拟电源输入引脚。此引脚必须与VSS连接。	
RESET	复位输入	低电平有效的复位输入引脚。	
XIN	主时钟输入	时钟发生电路的输入/输出引脚, 在XIN和XOUT之间连接陶瓷谐振器或者晶体谐振器。在使用外部时钟时, 将时钟振荡源连接到XIN引脚, 将XOUT引脚开路。	
XOUT	主时钟输出		
P00/SIN2 P01/SOUT2 P02/SCLK2 P03/SRDY2	输入/输出端口P0	8位输入/输出端口。能通过程序, 以位单位进行输入/输出的指定。输入电平为CMOS输入电平, 输出形式为CMOS三态。能以字节单位进行上拉控制。P10~P17的8位能用于LED驱动输出的大电流输出。	串行I/O2功能引脚
P04/AN5~ P07/AN8			A/D转换器的输入引脚
P10~P17	输入/输出端口P1		
P20/XCOUT P21/XCIN	输入/输出端口P2	8位输入/输出端口。能通过程序, 以位单位进行输入/输出的指定。输入电平为CMOS输入电平, 输出形式: P20、P21、P24~P27为CMOS三态。 P22和P23为N沟道漏极开路。 除了P22和P23以外, 能以字节单位进行上拉控制。	副时钟发生输入/输出引脚 (连接谐振器)
P22 P23			
P24/RxD P25/TxD			串行I/O1功能引脚
P26/SCLK1			串行I/O1功能引脚/ 定时器X功能引脚
P27/CNTR0/ SRDY1			
P30/AN0~ P34/AN4			输入/输出端口P3
P40/CNTR1	输入/输出端口P4	具有和P0几乎相同功能的5位输入/输出端口。输入电平为CMOS输入电平, 输出形式为CMOS三态。能以位单位进行上拉控制。	定时器Y功能引脚
P41/INT0 P42/INT1			中断输入引脚
P43/INT2/ SCMP2			中断输入引脚 SCMP2输出引脚
P44/INT3/ PWM			中断输入引脚 PWM输出引脚

型号、存储器容量和封装

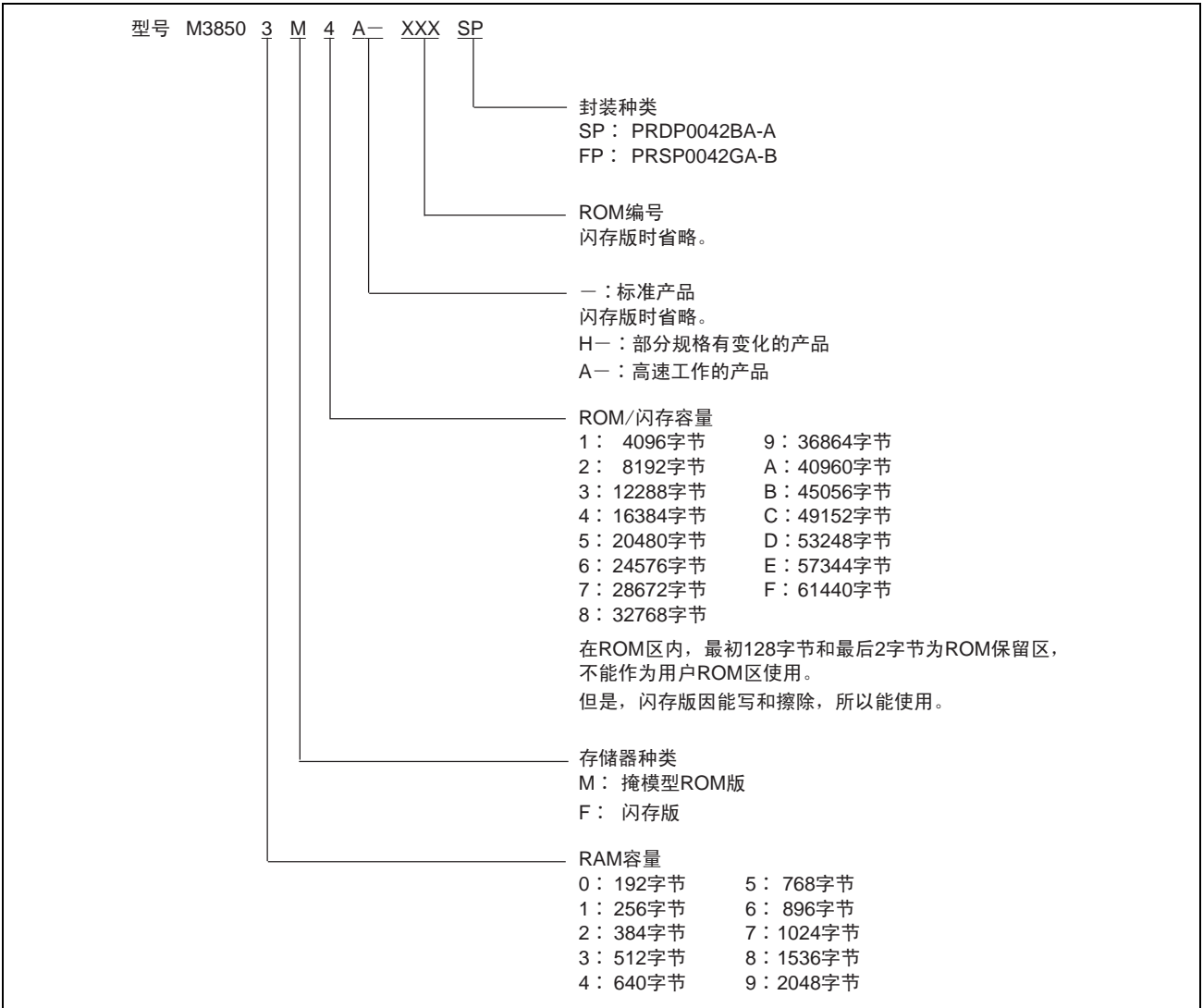


图 3. 型号、存储器容量和封装

群展开

3850 群 (A 规格) 按下面的计划进行产品展开。

存储器种类

支持掩模型 ROM 版和闪存版。

存储器容量

闪存容量.....32K 字节
掩模型ROM容量.....8K~32K 字节
RAM 容量.....512~1K 字节

封装

PRDP0042BA-A.....42引脚收缩塑封DIP
PRSP0042GA-B.....42引脚塑封SSOP

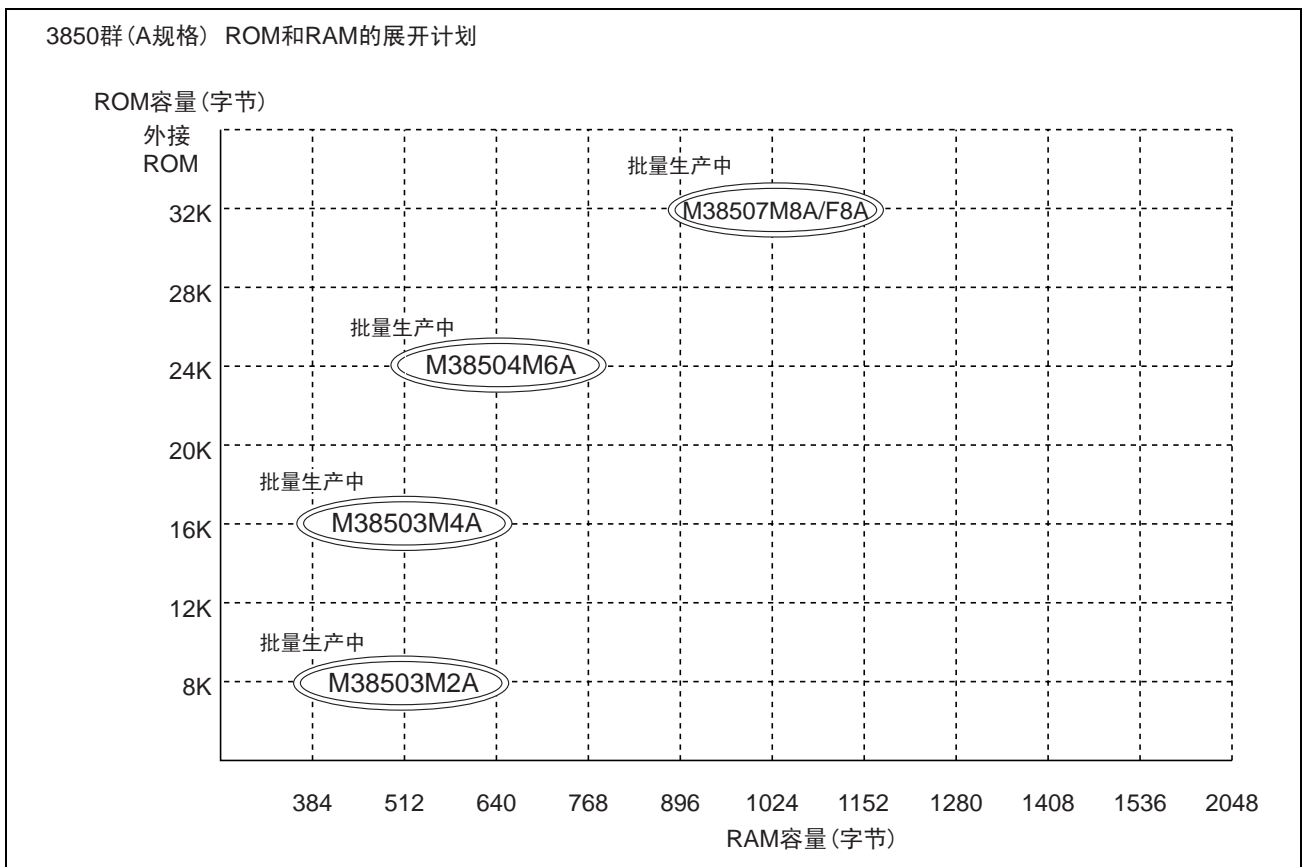


图 4. ROM 和 RAM 展开计划

现在支持的产品如下所示:

表 2. 3850 群 (A 规格) 支持产品一览表

产品型号	ROM 容量 (字节) () 内为用户 ROM 容量	RAM (字节)	封装	备注
M38503M2A-XXXSP	8192	512	PRDP0042BA-A	掩模型ROM版
M38503M2A-XXXFP	(8062)		PRSP0042GA-B	掩模型ROM版
M38503M4A-XXXSP	16384	512	PRDP0042BA-A	掩模型ROM版
M38503M4A-XXXFP	(16254)		PRSP0042GA-B	掩模型ROM版
M38504M6A-XXXSP	24576	640	PRDP0042BA-A	掩模型ROM版
M38504M6A-XXXFP	(24446)		PRSP0042GA-B	
M38507F8ASP	32768	1024	PRDP0042BA-A	闪存版
M38507F8AFP			PRSP0042GA-B	
M38507M8A-XXXSP	32768	1024	PRDP0042BA-A	掩模型ROM版
M38507M8A-XXXFP	(32638)		PRSP0042GA-B	

表 3. 3850 群 (标准产品)、3850 群 (H 规格) 和 3850 群 (A 规格) 的不同点

	3850 群 (标准产品)	3850 群 (H 规格)	3850 群 (A 规格)
串行接口	1个: 串行I/O (UART或者时钟同步)	2个: 串行I/O1 (UART或者时钟同步) 串行I/O2 (时钟同步)	2个: 串行I/O1 (UART或者时钟同步) 串行I/O2 (时钟同步)
A/D转换器	不能在低速模式运行 5个模拟通道	能在低速模式运行 5个模拟通道	能在低速模式运行 9个模拟通道
大电流端口	5个: P13~P17	8个: P10~P17	8个: P10~P17
软件上拉电阻	无	无	内置 (端口P0~P4)
最大工作频率	8MHz	8MHz	12.5MHz

有关 3850 群 (标准产品) 和 3850 群 (A 规格) 不同的注意点

- (1) 3850 群 (A 规格) 的绝对最大额定值小于 3850 群 (标准产品)。
电源电压 $V_{CC} = -0.3 \sim 6.5V$ 、 CNV_{SS} 输入电压 $V_I = -0.3 \sim V_{CC} + 0.3V$
- (2) X_{IN} - X_{OUT} 、 X_{CIN} - X_{COUT} 的振荡电路常数可能不同。
- (3) 不能对保留区和保留位写任何数据 (不能改变复位后的状态)。
- (4) CPU 模式寄存器的 bit3 必须固定为 “1”。
- (5) 必须正确处理未使用的引脚。

功能块运行说明

中央运算处理器 (CPU)

3850群 (A规格) 具有和740族共同的CPU。关于各指令的运行, 请参照740族寻址方式和机器指令一览表或者740族软件手册。

依存于产品种类的指令如下:

1. 没有FST、SLW指令。
2. 能使用MUL、DIV指令。
3. 能使用WIT指令。
4. 能使用STP指令。

中央运算处理器 (CPU) 有 6 个寄存器。CPU 的寄存器结构如图 5 所示。

【累加器】 (A)

累加器是8位寄存器。以此寄存器为中心执行运算、传送等数据处理。

【变址寄存器 X】 (X)

变址寄存器X是8位寄存器。在变址寻址方式中, 使用此寄存器进行寻址。

【变址寄存器 Y】 (Y)

变址寄存器Y是8位寄存器。在变址寻址方式中, 使用此寄存器进行寻址。

【堆栈指针】 (S)

堆栈指针是8位寄存器。在调用子程序或者中断时, 此寄存器指向保存寄存器的存储位置 (堆栈) 的起始地址。

用此寄存器指定堆栈的低8位地址。高8位地址由堆栈页选择位的内容决定, 此位是“0”时, 高8位为“0016”, 此位是“1”时, 高8位为“0116”。

压栈和出栈运行如图6所示。除了在此所示以外, 必要的寄存器必须通过程序压栈 (参照表4)。

【程序计数器】 (PC)

程序计数器是由PC_H和PC_L构成的16位计数器。PC_H和PC_L都是8位结构。程序计数器指定下一个要执行的程序存储地址。

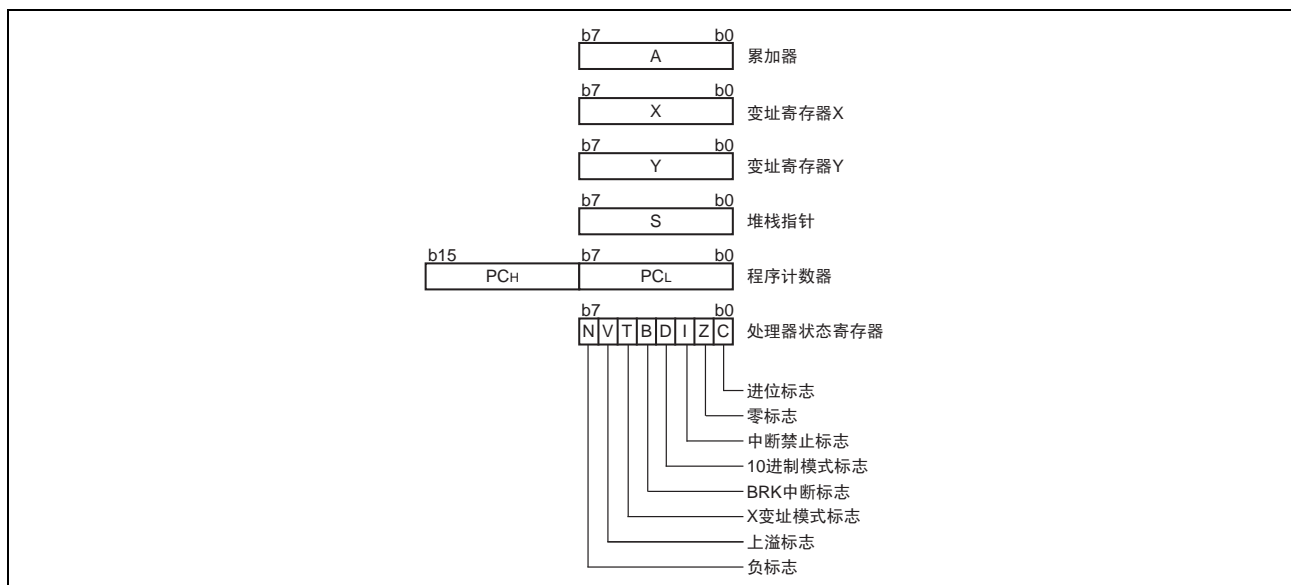


图 5. 740 族的 CPU 结构

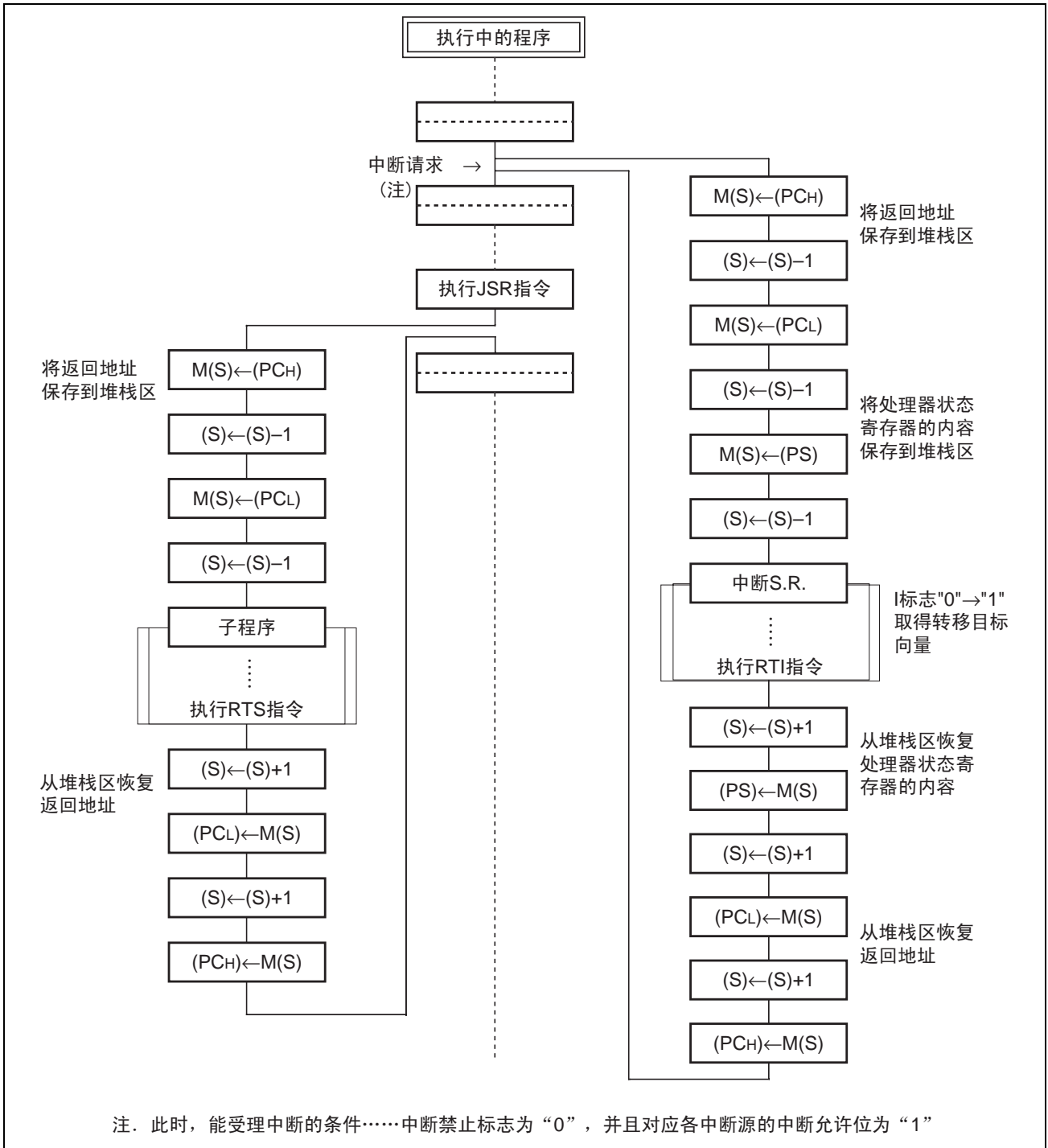


图 6. 压栈和出栈运行

表 4. 累加器和处理器状态寄存器的压栈指令以及出栈指令

	压栈指令	出栈指令
累加器	PHA	PLA
处理器状态寄存器	PHP	PLP

【处理器状态寄存器】 (PS)

处理器状态寄存器是8位寄存器，由保持刚进行运算后的状态的5个标志和决定MCU运行的3个标志构成。

C、Z、V以及N标志能用于转移指令的检测，在10进制模式时，Z、V以及N标志无效。

• bit0: 进位标志 (C)

保持来自运算处理后的算术逻辑运算器的进位或者借位。在执行移位指令或者循环指令时也会改变此标志。

• bit1: 零标志 (Z)

在运算处理或者数据传送的结果为“0”时，此标志被置位；否则，此标志被清除。

• bit2: 中断禁止标志 (I)

用于禁止BRK指令除外的所有中断的标志。此标志为“1”时，为中断禁止状态。

• bit3: 10进制运算标志 (D)

决定用2进制还是用10进制进行加减运算的标志。此标志为“1”时，把1字作为2位的10进制数进行运算。自动进行10进制调整，但是，只有ADC指令和SBC指令能进行10进制运算。

• bit4: 中断标志 (B)

用于识别是否用BRK指令中断的标志。用BRK指令中断时，标志内容自动置“1”，除此以外的中断将此位置“0”，然后压栈。

• bit5: X变址模式标志 (T)

此标志为“0”时，在累加器和存储器之间进行运算；此标志为“1”时，能不通过累加器，直接在存储器与存储器之间进行运算。

• bit6: 上溢标志 (V)

在把1字作为带符号的2进制数进行加减运算时，使用此标志。在加减运算结果超过-128~+127时，此标志被置位。另外，在执行BIT指令的情况下，被BIT指令执行的存储器的bit6存入此标志。

• bit7: 负标志 (N)

在运算处理或者数据传送的结果为负时，此标志被置位。另外，在执行了BIT指令的情况下，被BIT指令执行的存储器的bit7存入此标志。

表 5. 置位或者清除处理器状态寄存器各标志的指令

	C标志	Z标志	I标志	D标志	B标志	T标志	V标志	N标志
置位指令	SEC	—	SEI	SED	—	SET	—	—
清除指令	CLC	—	CLI	CLD	—	CLT	CLV	—

【CPU 模式寄存器】CPUM

在CPU模式寄存器中，分配了堆栈页选择位和内部系统时钟控制位等。此寄存器被分配在地址003B16。

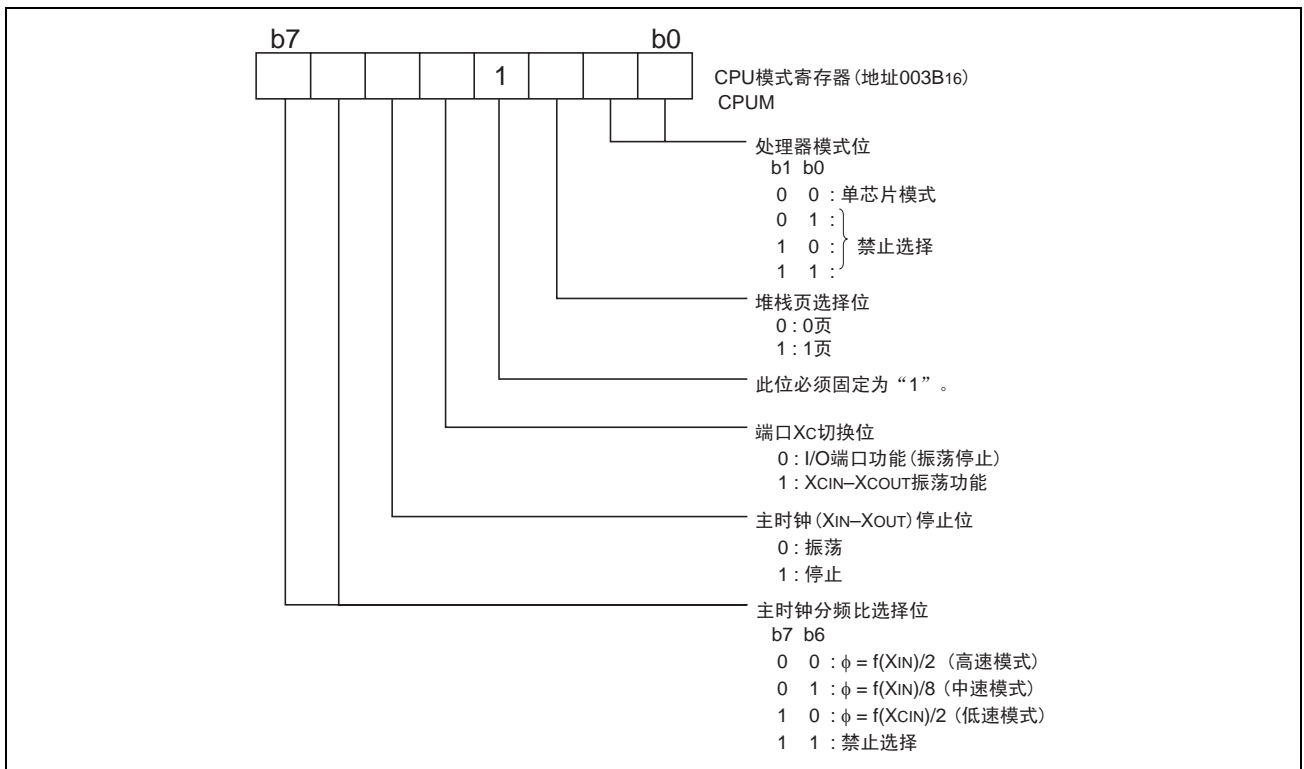


图 7. CPU 模式寄存器的结构

存储器

●SFR 区

此区域在零页内，配置了输入/输出端口、定时器等控制寄存器。

●RAM

它用于数据保存、子程序调用以及中断时的堆栈等。

●ROM

最初128字节和最后2字节是用于检查产品的保留区，除此以外是用户区。

●中断向量区

它是复位和中断的向量地址保存区。

●零页

它是能通过使用零页寻址方式以2字节存取的区域。

●专用页

它是能通过使用专用页寻址方式以2字节存取的区域。

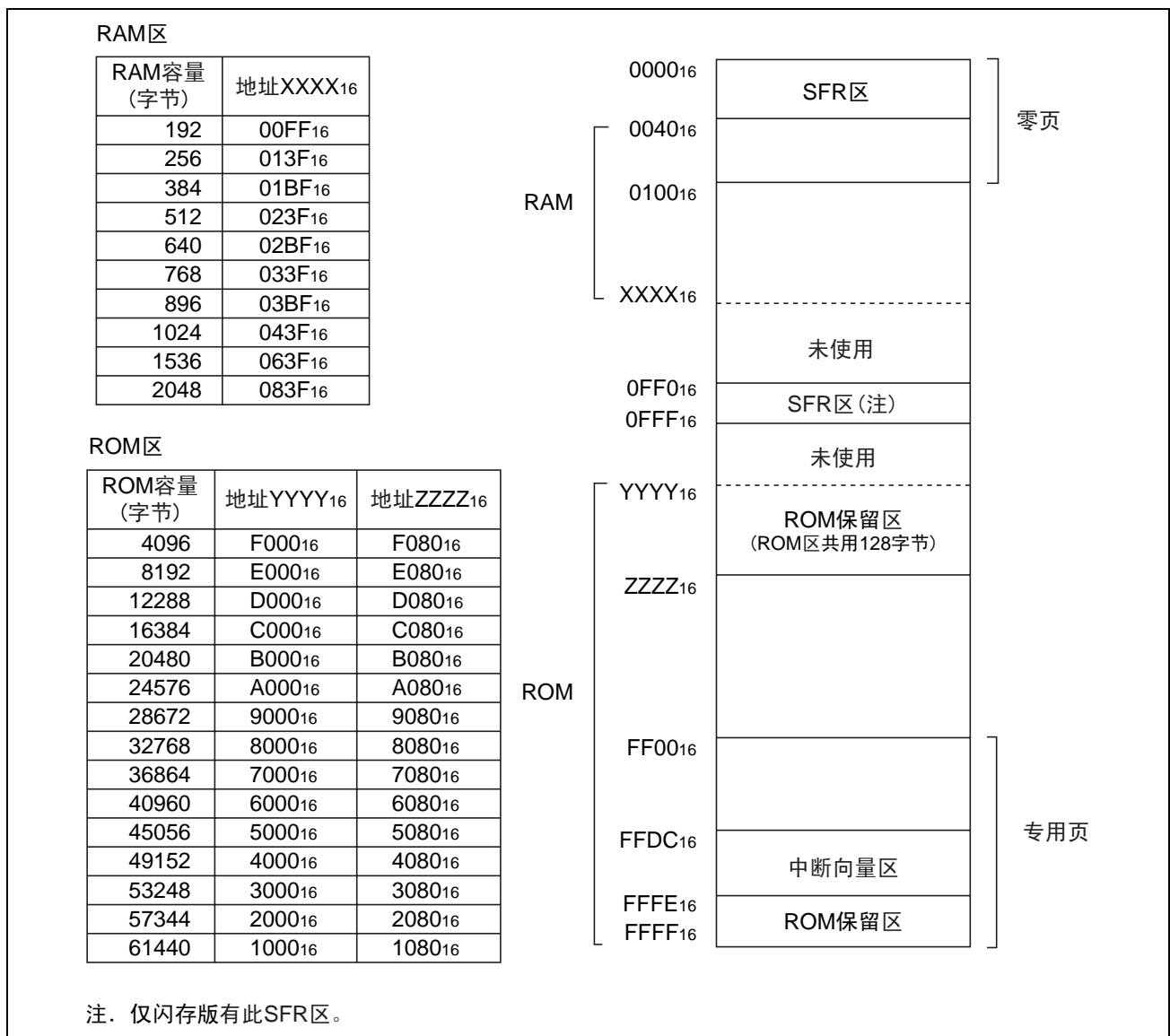


图 8. 存储器分配图

0000 ₁₆	端口P0(P0)	0020 ₁₆	预分频器12(PRE12)
0001 ₁₆	端口P0方向寄存器(P0D)	0021 ₁₆	定时器1(T1)
0002 ₁₆	端口P1(P1)	0022 ₁₆	定时器2(T2)
0003 ₁₆	端口P1方向寄存器(P1D)	0023 ₁₆	定时器XY模式寄存器(TM)
0004 ₁₆	端口P2(P2)	0024 ₁₆	预分频器X(PREX)
0005 ₁₆	端口P2方向寄存器(P2D)	0025 ₁₆	定时器X(TX)
0006 ₁₆	端口P3(P3)	0026 ₁₆	预分频器Y(PREY)
0007 ₁₆	端口P3方向寄存器(P3D)	0027 ₁₆	定时器Y(TY)
0008 ₁₆	端口P4(P4)	0028 ₁₆	定时器计数源设定寄存器(TCSS)
0009 ₁₆	端口P4方向寄存器(P4D)	0029 ₁₆	
000A ₁₆		002A ₁₆	
000B ₁₆		002B ₁₆	保留 (注)
000C ₁₆		002C ₁₆	保留 (注)
000D ₁₆		002D ₁₆	保留 (注)
000E ₁₆		002E ₁₆	保留 (注)
000F ₁₆		002F ₁₆	保留 (注)
0010 ₁₆		0030 ₁₆	保留 (注)
0011 ₁₆		0031 ₁₆	保留 (注)
0012 ₁₆	端口P0、P1、P2上拉控制寄存器(PULL012)	0032 ₁₆	
0013 ₁₆	端口P3上拉控制寄存器(PULL3)	0033 ₁₆	
0014 ₁₆	端口P4上拉控制寄存器(PULL4)	0034 ₁₆	AD控制寄存器(ADCON)
0015 ₁₆	串行I/O2控制寄存器1(SIO2CON1)	0035 ₁₆	AD转换低位寄存器(ADL)
0016 ₁₆	串行I/O2控制寄存器2(SIO2CON2)	0036 ₁₆	AD转换高位寄存器(ADH)
0017 ₁₆	串行I/O2寄存器(SIO2)	0037 ₁₆	AD输入选择寄存器(ADSEL)
0018 ₁₆	发送/接收缓冲寄存器(TB/RB)	0038 ₁₆	MISRG
0019 ₁₆	串行I/O1状态寄存器(SIOSTS)	0039 ₁₆	看门狗定时器控制寄存器(WDTCON)
001A ₁₆	串行I/O1控制寄存器(SIOCON)	003A ₁₆	中断边沿选择寄存器(INTEDGE)
001B ₁₆	UART控制寄存器(UARTCON)	003B ₁₆	CPU模式寄存器(CPUM)
001C ₁₆	波特率发生器(BRG)	003C ₁₆	中断请求寄存器1(IREQ1)
001D ₁₆	PWM控制寄存器(PWMCON)	003D ₁₆	中断请求寄存器2(IREQ2)
001E ₁₆	PWM预分频器(PREPWM)	003E ₁₆	中断控制寄存器1(ICON1)
001F ₁₆	PWM寄存器(PWM)	003F ₁₆	中断控制寄存器2(ICON2)
		00FE ₁₆	闪存控制寄存器(FMCR)

(注) 是保留区, 不能写任何数据。

图 9. SFR (专用功能寄存器) 存储器映像

输入/输出端口

输入/输出端口具有方向寄存器，能以位单位设定作为输入端口还是作为输出端口使用。如果将方向寄存器置“1”，该引脚就为输出端口；如果清“0”，就为输入端口。

在从被设定为输出端口的引脚读取时，读到的不是引脚的值而是端口锁存器的内容。设定为输入端口的引脚为浮动状态，能读取引脚的值。对输入端口的引脚进行写时，数据虽然被写到端口锁存器，但是引脚仍为浮动状态。

通过设定端口P0、P1、P2上拉控制寄存器（地址001216）、端口P3上拉控制寄存器（地址001316）以及端口P4上拉控制寄存器（地址001416），能由程序进行上拉控制。但是，被设定为输出端口的引脚从此控制分离，不进行上拉。

表 6. 输入/输出端口功能一览表

引脚名	名称	输入/输出	输入/输出形式	端口除外的功能	相关的SFR	图标号		
P00/SIN2	端口P0	输入/输出 位单位	CMOS输入电平 CMOS三态输出	串行I/O2功能输入/输出	串行I/O2控制寄存器	(1)		
P01/SOUT2						(2)		
P02/SCLK2						(3)		
P03/SRDY2						(4)		
P04/AN5~ P07/AN8	端口P1			A/D转换器输入	AD控制寄存器 AD输入选择寄存器	(13)		
P10~P17						(5)		
P20/XCOUT P21/XCIN				端口P2		副时钟振荡电路	CPU模式寄存器	(6)
P22 P23	(7)							
P24/RxD P25/TxD P26/SCLK1	端口P3 (注)		CMOS输入电平 N沟道漏极开路 输出	串行I/O1功能输入/输出	串行I/O1控制寄存器	(8)		
P27/CNTR0/ SRDY1						串行I/O1功能输入/输出 定时器X功能输入/输出	串行I/O1控制寄存器 定时器XY模式寄存器	(9)
P30/AN0~ P34/AN4						(10)		
P40/CNTR1	端口P4 (注)		CMOS输入电平 CMOS三态输出	串行I/O1功能输入/输出	串行I/O1控制寄存器	(11)		
P41/INT0 P42/INT1						定时器Y功能输入/输出	定时器XY模式寄存器	(12)
P43/INT2/ SCMP2						外部中断输入	中断边沿选择寄存器	(13)
P44/INT3/ PWM						外部中断输入 SCMP2输出	中断边沿选择寄存器 串行I/O2控制寄存器	(14)
				外部中断输入 PWM输出	中断边沿选择寄存器 PWM控制寄存器	(15)		
						(16)		
						(17)		

注. 在读端口P3和P4的bit5~7时，该内容不定。

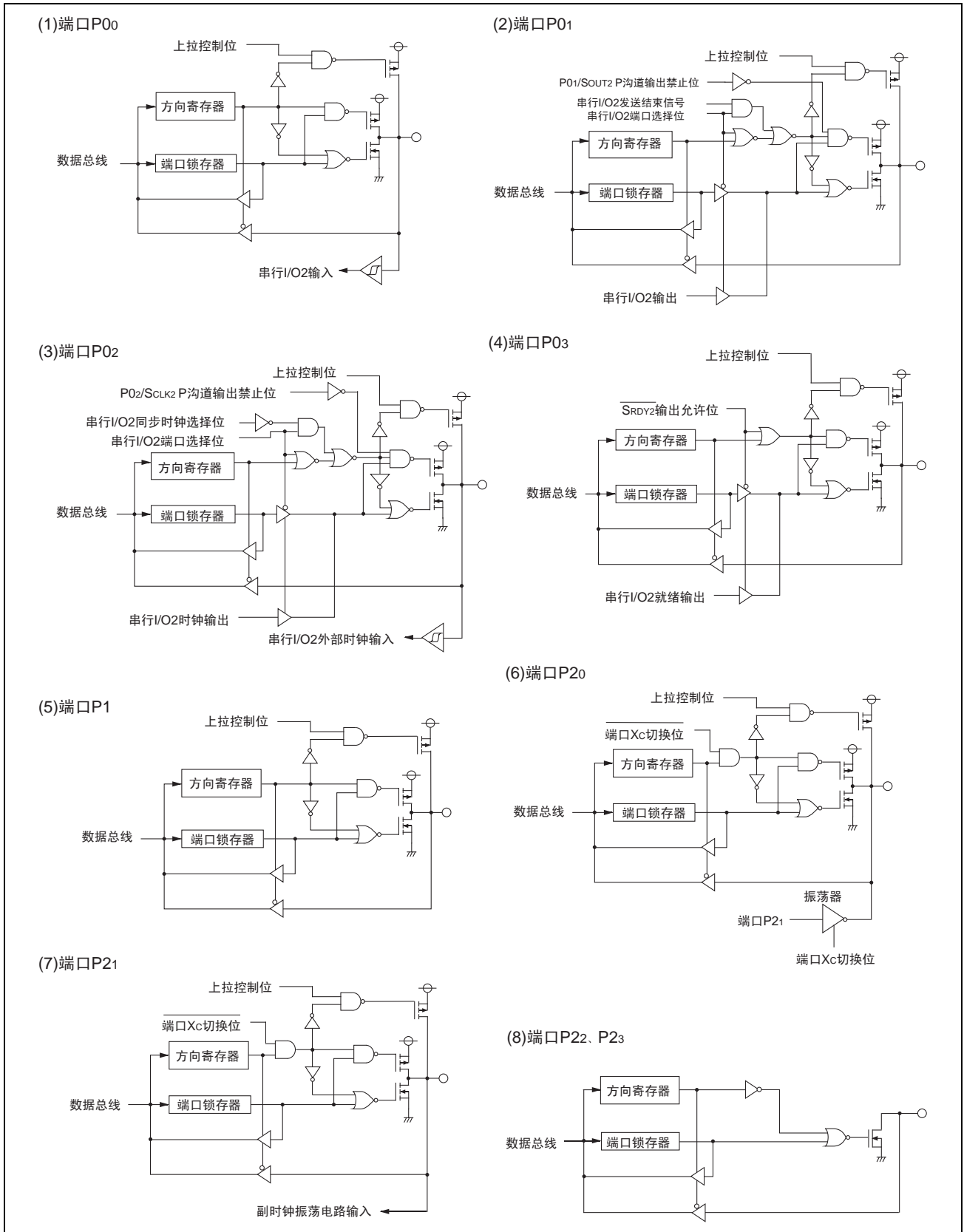


图 10. 端口框图 (1)

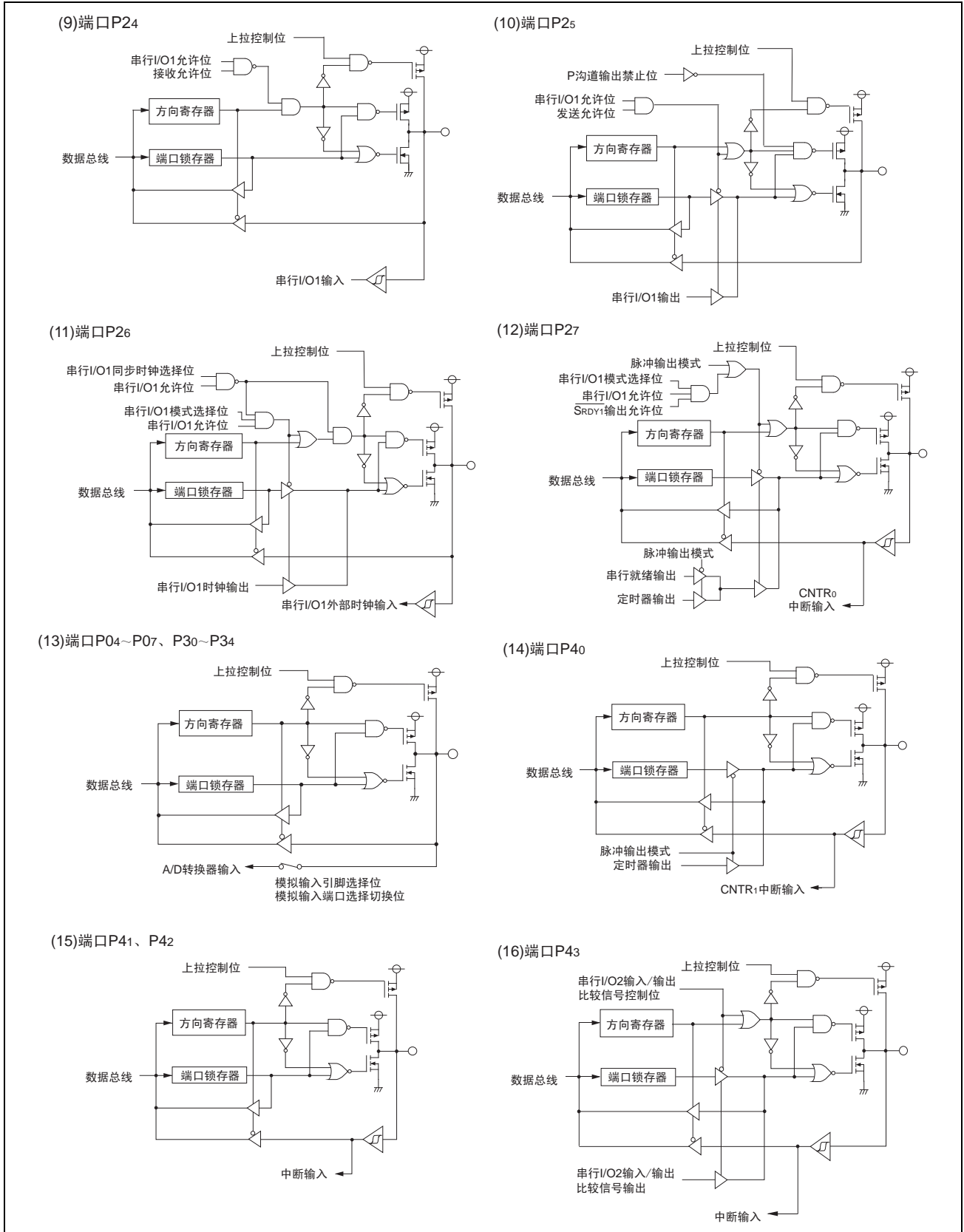


图 11. 端口框图 (2)

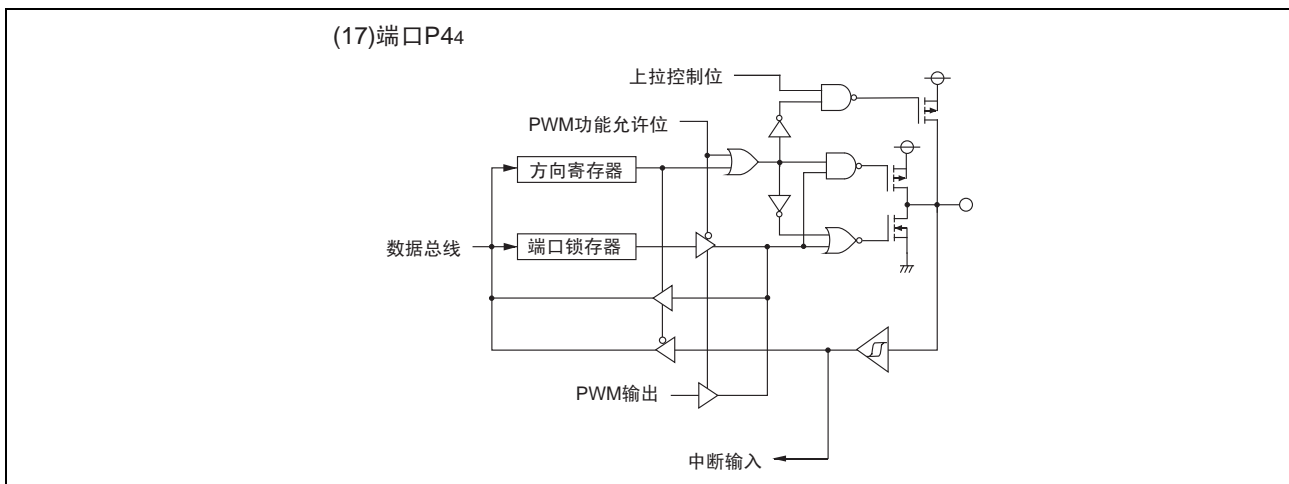


图 12. 端口框图 (3)

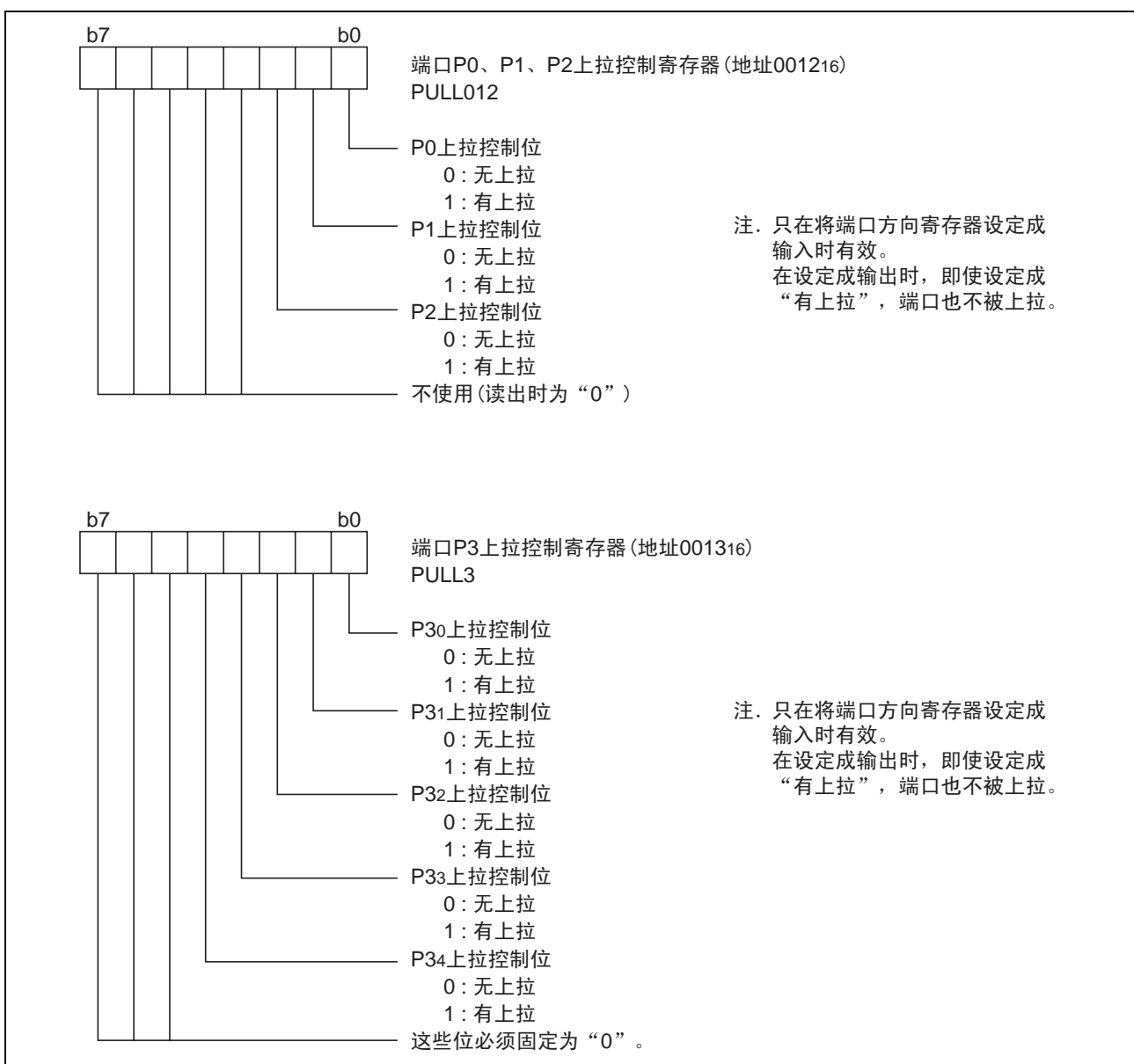


图 13. 端口寄存器结构图 (1)

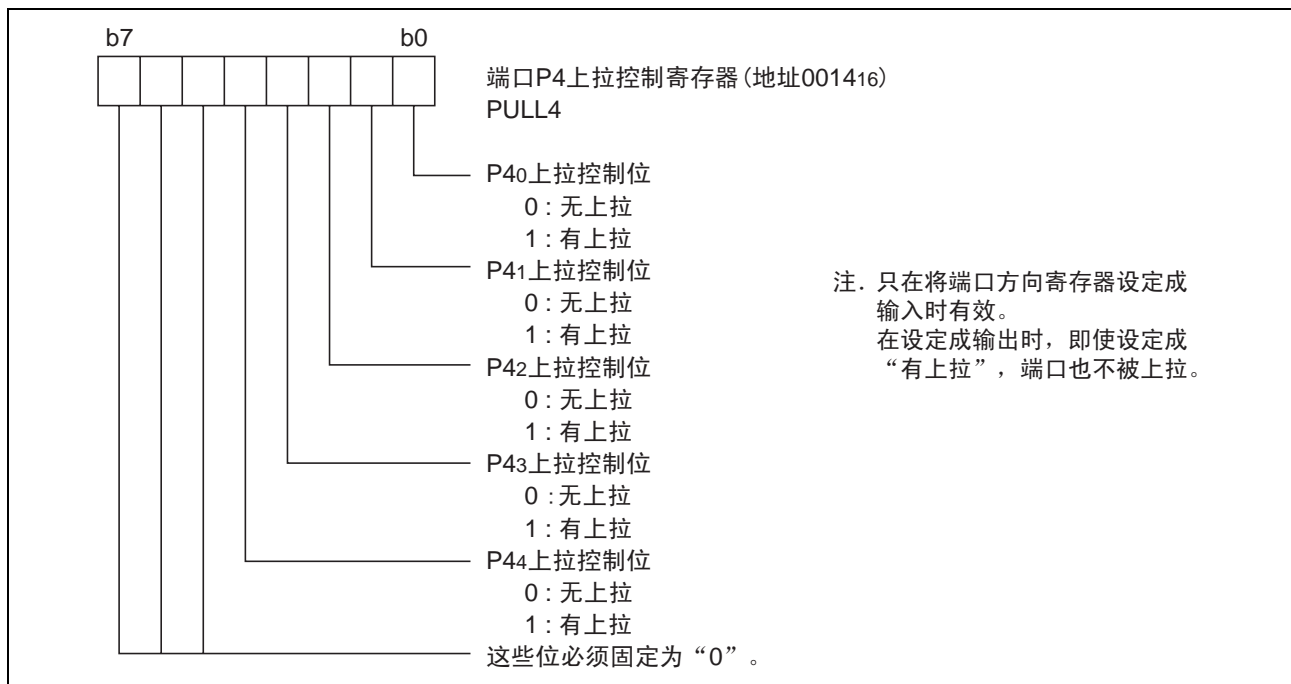


图 14. 端口寄存器结构图 (2)

中断

中断是向量中断，能由6个外部源、8个内部源、1个软件源的15个中断源发生。

• 中断控制

BRK指令中断除外的各中断都有中断请求位和中断允许位，并且受中断禁止标志的影响。在中断允许位和中断请求位为“1”，并且中断禁止标志为“0”时，接受中断。

中断请求位能通过程序清除，但是不能置位。中断允许位能通过程序置位和清除。

没有禁止复位和禁止BRK指令中断的标志或者位。对于除此以外的中断，如果中断禁止标志被置位，就不接受中断。在同时发生多个中断请求的情况下，接受高优先级的中断。

• 中断运行

如果接受中断，就进行以下处理：

1. 自动将程序计数器和处理器状态寄存器压栈。
2. 置中断禁止标志，清除中断请求位。
3. 将中断转移目标地址存入程序计数器。

表 7. 中断向量地址和优先级

中断源	优先级	向量地址 (注1)		中断请求的发生条件	备注
		高位	低位		
复位 (注2)	1	FFFD16	FFFC16	在复位时	非屏蔽
INT0	2	FFFB16	FFFA16	在检测到INT0输入的上升沿或者下降沿时	外部中断 (极性可编程)
保留	3	FFF916	FFF816	保留	
INT1	4	FFF716	FFF616	在检测到INT1输入的上升沿或者下降沿时	外部中断 (极性可编程)
INT2	5	FFF516	FFF416	在检测到INT2输入的上升沿或者下降沿时	外部中断 (极性可编程)
INT3/串行I/O2	6	FFF316	FFF216	在检测到INT3输入的上升沿或者下降沿时/在串行I/O2发送或者接收结束时	外部中断 (极性可编程) 通过串行I/O2/INT3中断源位切换
保留	7	FFF116	FFF016	保留	
定时器X	8	FFEF16	FFEE16	在定时器X下溢时	
定时器Y	9	FFED16	FFEC16	在定时器Y下溢时	
定时器1	10	FFEB16	FFEA16	在定时器1下溢时	STP解除定时器下溢
定时器2	11	FFE916	FFE816	在定时器2下溢时	
串行I/O1接收	12	FFE716	FFE616	在串行I/O1数据接收结束时	只在选择串行I/O1时有效
串行I/O1发送	13	FFE516	FFE416	在串行I/O1发送移位结束时，或者在发送缓冲器空时	只在选择串行I/O1时有效
CNTR0	14	FFE316	FFE216	在检测到CNTR0输入的上升沿或者下降沿时	外部中断 (极性可编程)
CNTR1	15	FFE116	FFE016	在检测到CNTR1输入的上升沿或者下降沿时	外部中断 (极性可编程)
A/D转换	16	FFDF16	FFDE16	在A/D转换结束时	
BRK指令	17	FFDD16	FFDC16	在执行BRK指令时	非屏蔽软件中断

注 1. 向量地址指向中断转移目标地址的保存地址。

2. 复位作为具有最高优先级的中断被处理。

■ 注意事项

在以下情况，中断请求位可能被置“1”。

- 在设定外部中断的有效边沿时，
对象寄存器：中断边沿选择寄存器（地址003A16）
 定时器XY模式寄存器（地址002316）
- 当切换在同一中断向量中分配了多个中断源的向量中断源时，
对象寄存器：中断边沿选择寄存器（地址003A16）

当不需要发生与这些设定同步的中断时，必须按以下步骤设定：

- (1) 将相应中断允许位置“0”（禁止）。
- (2) 设定中断边沿选择位（极性切换位）或者中断源位。
- (3) 在至少执行一条指令后，将相应中断请求位置“0”。
- (4) 将相应中断允许位置“1”（允许）。

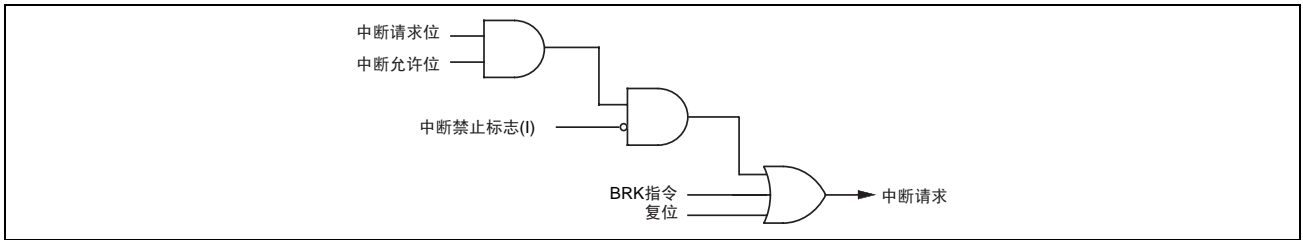


图 15. 中断控制图

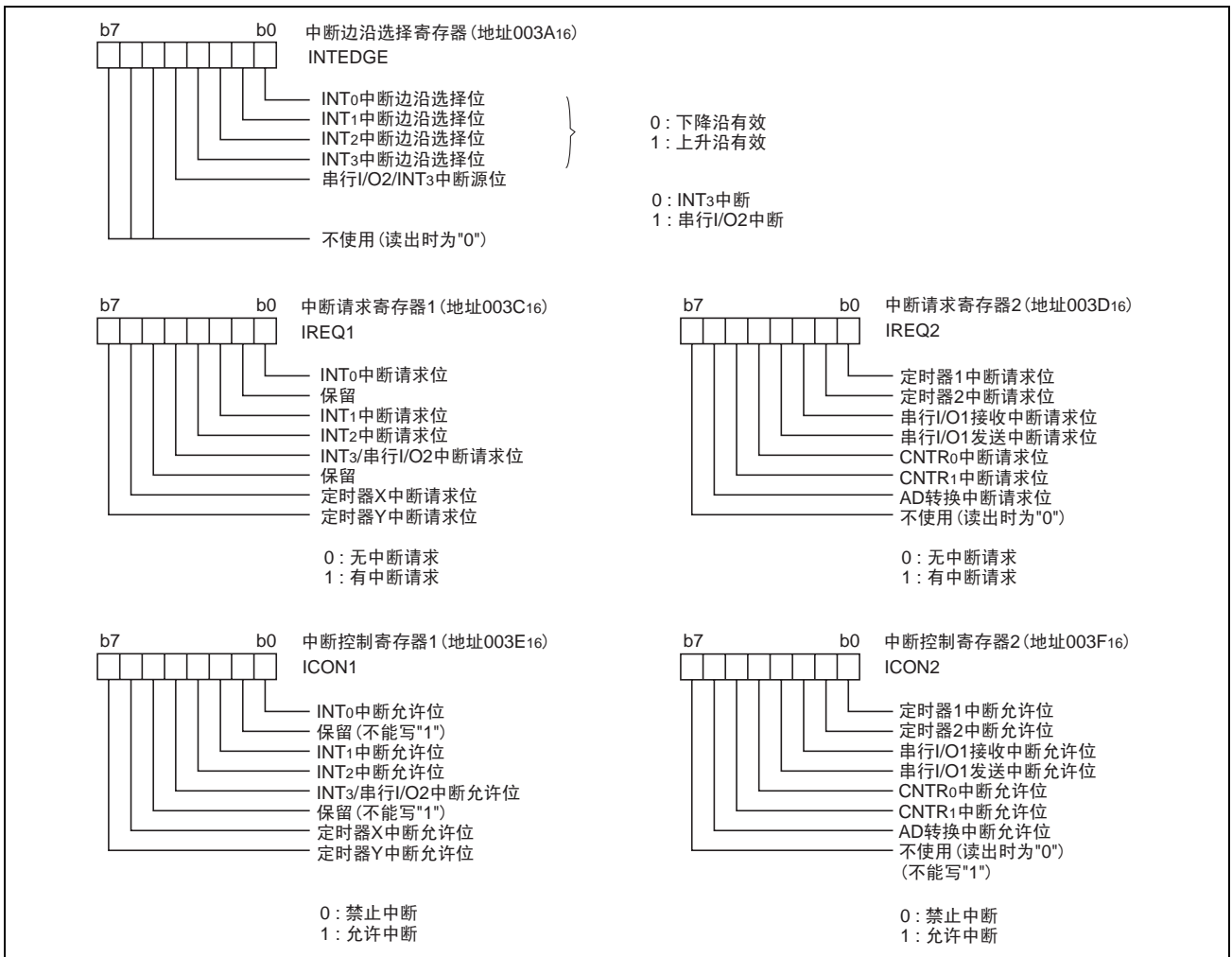


图 16. 与中断相关的寄存器结构

定时器

定时器有4个：定时器X、定时器Y、定时器1以及定时器2。

如果定时器锁存器或者预分频器锁存器的内容为n，所有定时器和预分频器的分频比就为1/(n+1)。

定时器采用递减计数方式，在计数器的内容变为“0”后的下一个计数脉冲发生下溢，把定时器锁存器的内容再次装入定时器。另外，如果定时器下溢，对应各定时器的中断请求位就被置“1”。

●定时器 1、定时器 2

预分频器 12 对由定时器计数源选择位选择的信号进行计数。定时器 1 和定时器 2 总是对预分频器的输出进行计数，周期性地将中断请求位置位。

●定时器 X、定时器 Y

定时器 X 和定时器 Y 能通过设定定时器 XY 模式寄存器，分别选择 4 个运行模式。

(1) 定时器模式

对由定时器计数源选择位选择的信号进行计数。

(2) 脉冲输出模式

对由定时器计数源选择位选择的信号进行计数，每当定时器的内容为“0”，就从 CNTR0/CNTR1 引脚输出反转极性的信号。在 CNTR0/CNTR1 极性切换位为“0”时，CNTR0/CNTR1 引脚从“H”开始输出；在 CNTR0/CNTR1 极性切换位为“1”时，CNTR0/CNTR1 引脚从“L”开始输出。在使用此模式的情况下，必须将端口 P27/端口 P40 的方向寄存器设定为输出模式。

(3) 事件计数器模式

除了对从 CNTR0/CNTR1 引脚输入的信号进行计数以外，和定时器模式的运行相同。

在 CNTR0/CNTR1 极性切换位为“0”时，对 CNTR0/CNTR1 引脚的上升沿进行计数；在 CNTR0/CNTR1 极性切换位为“1”时，对 CNTR0/CNTR1 引脚的下降沿进行计数。

(4) 脉冲宽度测定模式

当 CNTR0/CNTR1 极性切换位为“0”时，在 CNTR0/CNTR1 引脚为“H”期间，对由定时器计数源选择位选择的信号进行计数；当 CNTR0/CNTR1 极性切换位为“1”时，在 CNTR0/CNTR1 引脚为“L”期间，对由定时器计数源选择位选择的信号进行计数。

无论在哪种运行模式，都能通过将定时器 X/定时器 Y 计数停止位设定为“1”来停止计数。另外，每当定时器发生下溢，就将中断请求位置位。

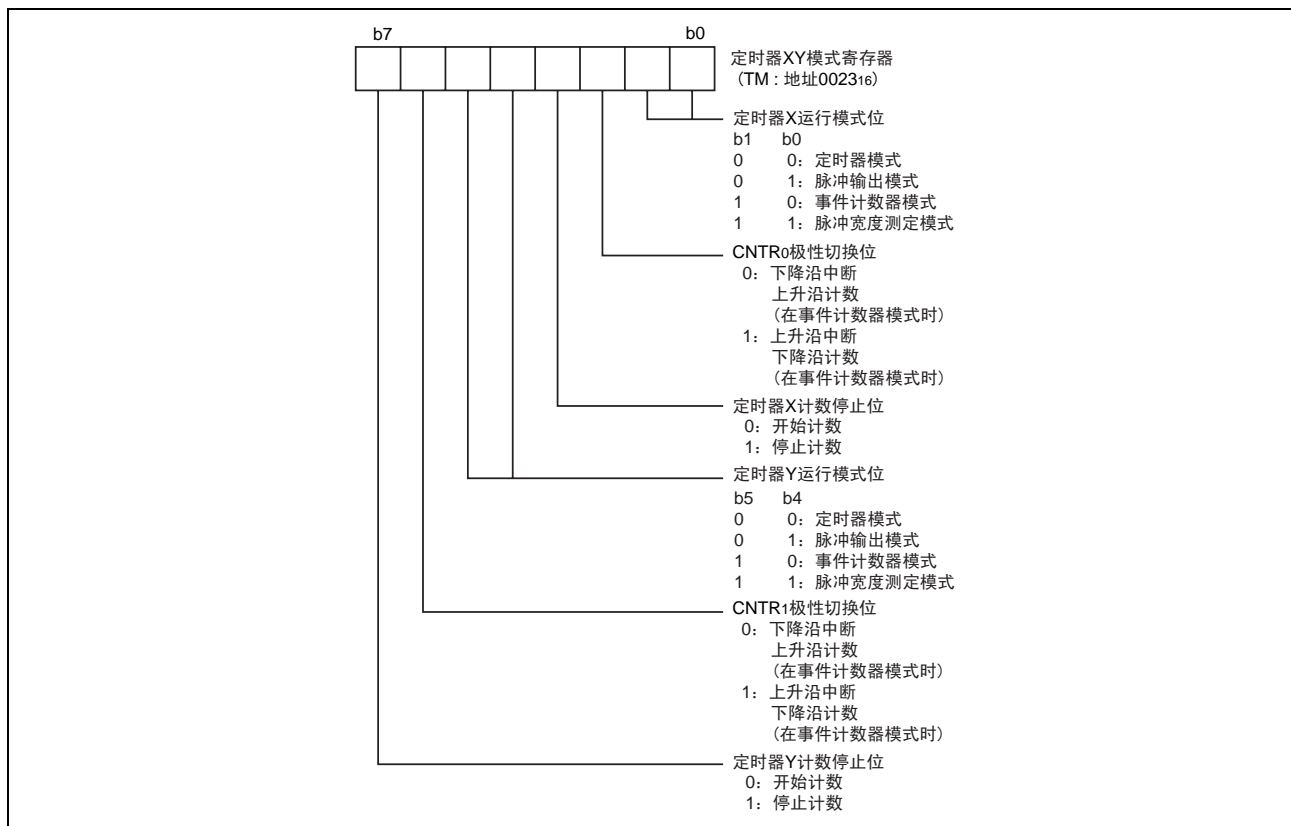


图 17. 定时器 XY 模式寄存器的结构

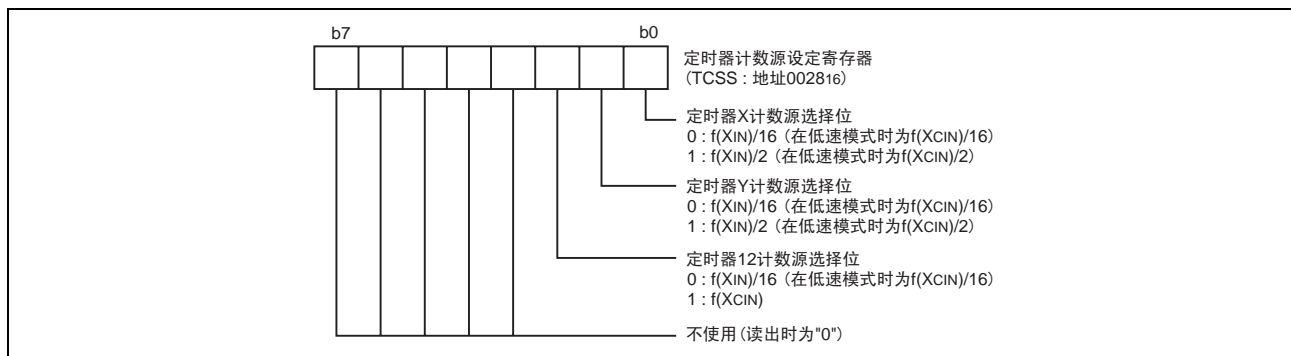


图 18. 定时器计数源设定寄存器

■ 注意事项

在通过定时器 12 计数源选择位、定时器 X 计数源选择位以及定时器 Y 计数源选择位切换定时器的计数源时，可能会在计数输入信号中产生微小的脉冲，导致定时器的计数值发生变化。因此，必须在设定定时器的计数源后，对预分频器和定时器设定值。

在执行将定时器 X/定时器 Y 计数停止位置“1”的指令过程中，如果定时器 X/定时器 Y 下溢，定时器 X/定时器 Y 中断请求位就变为“1”。此时，如果允许定时器 X/定时器 Y 中断，中断就被接受。根据定时器下溢的时序，接受中断的时序可能发生在将计数停止位置“1”的指令后或者在它的下一条指令后。在不需要此中断的情况下，必须在将中断允许位置“0”（禁止）后，将计数停止位置“1”。

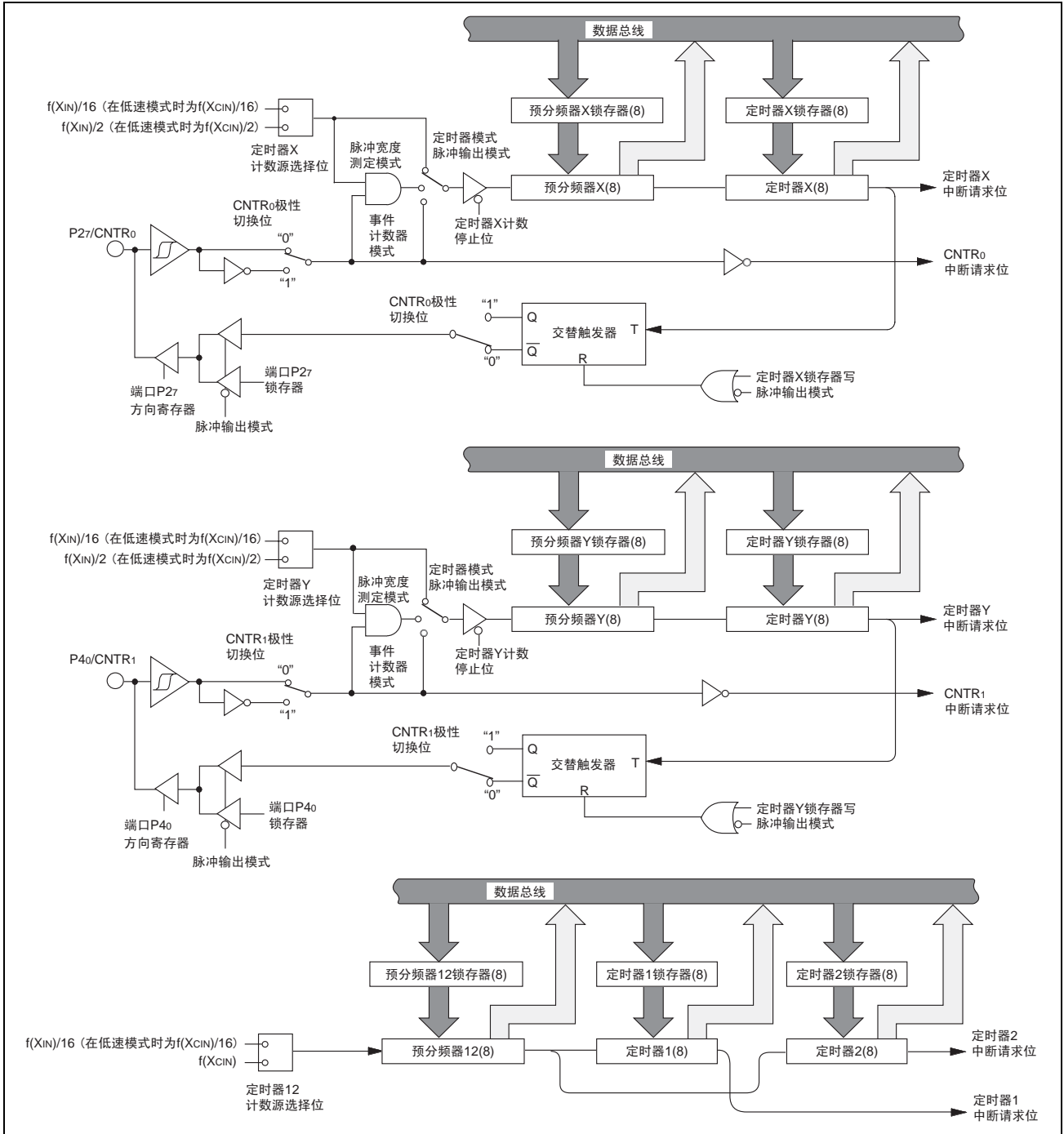


图 19. 定时器 X、定时器 Y、定时器 1 以及定时器 2 的框图

串行接口

● 串行 I/O1

串行 I/O1 无论在时钟同步模式还是在异步模式 (UART) 都能运行。同时, 备有串行 I/O 运行时的波特率发生专用定时器 (波特率发生器)。

(1) 时钟同步串行 I/O 模式

通过将串行 I/O1 控制寄存器的模式选择位置 “1”, 选择时钟同步串行 I/O。

在时钟同步串行 I/O, 对于串行 I/O 运行时钟, 发送侧单片机和接收侧单片机使用同一时钟。作为运行时钟, 在使用内部时钟的情况下, 通过给发送/接收缓冲寄存器的写信号, 开始发送和接收。

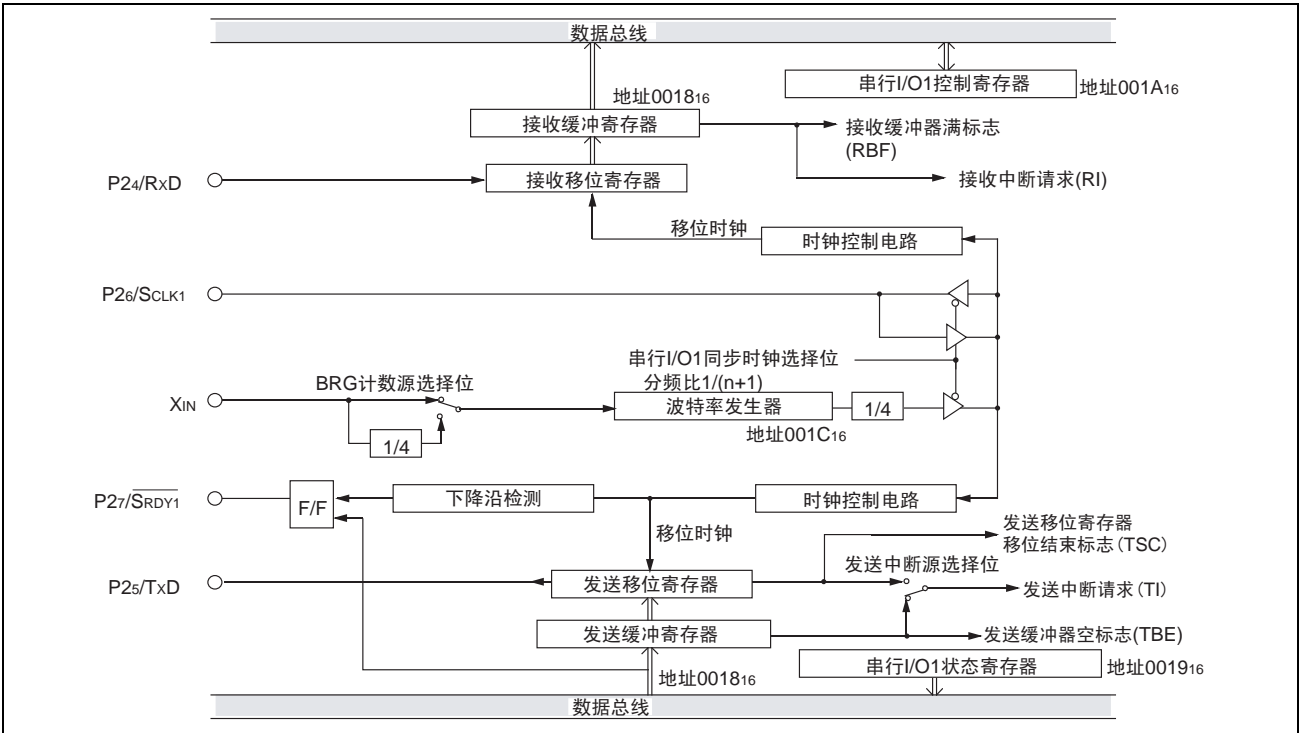


图 20. 时钟同步串行 I/O1 框图

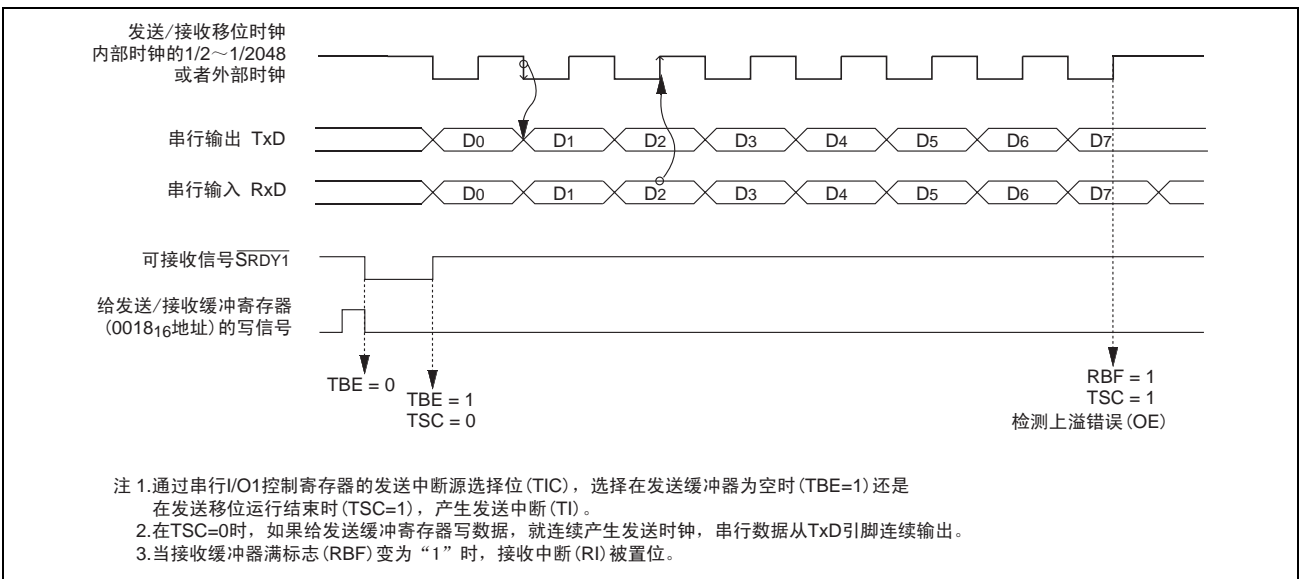


图 21. 时钟同步串行 I/O1 运行图

(2) 异步串行 I/O (UART) 模式

通过将串行 I/O 控制寄存器的串行 I/O 模式选择位 (b6) 置 “0”，选择 UART。

能选择 8 种串行数据传送格式。在发送侧和接收侧必须统一该传送格式。

对于进行串行数据发送和接收的发送移位寄存器和接收移位寄存器，具有各自的缓冲寄存器（存储器里的地址相同）。由于不能直接读写移位寄存器，因此对各自的缓冲寄存器写发送数据和读接收数据。另外，能通过这些缓冲寄存器，预先写下一个要发送的数据，或者连续接收 2 字节的接收数据。

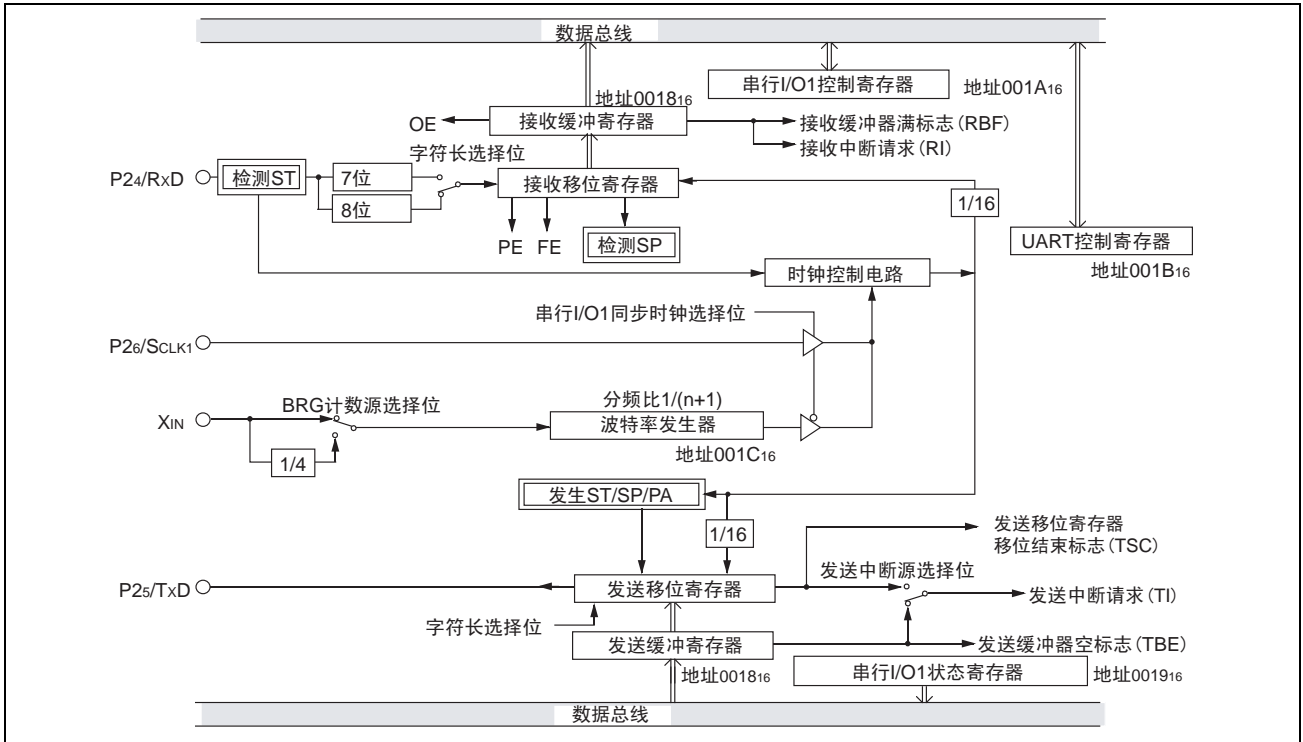


图 22. UART 串行 I/O 框图

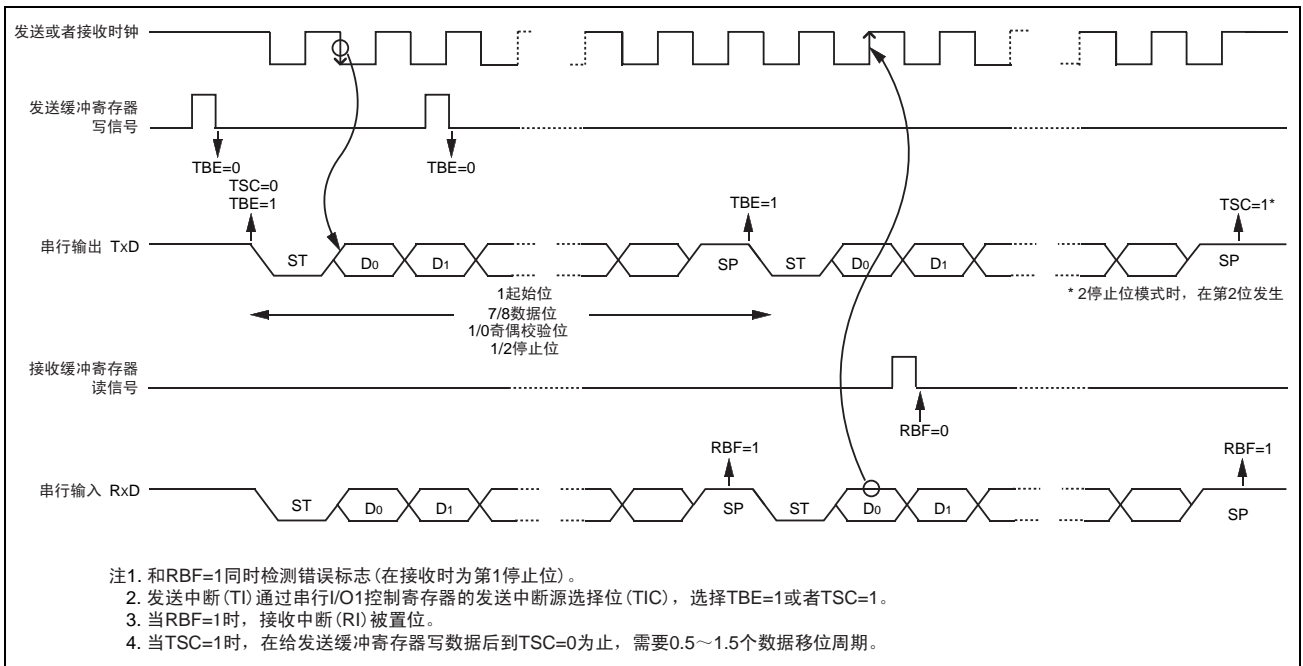


图 23. UART 串行 I/O 运行图

【发送缓冲寄存器/接收缓冲寄存器】TB/RB

发送缓冲寄存器和接收缓冲寄存器被分配在相同的地址，发送缓冲寄存器为只写，接收缓冲寄存器为只读。另外，在字符位长为7位时，保存在接收缓冲寄存器的接收数据的MSB为“0”。

【串行 I/O1 状态寄存器】SIOSTS

它是由表示串行I/O1运行状态的标志和各种错误标志构成的7位只读寄存器。bit4~bit6的3位只在UART模式时有效。

如果读取接收缓冲寄存器，接收缓冲器满标志就被清“0”。

在将数据从接收移位寄存器传送到接收缓冲寄存器、将接收缓冲器满标志置位的同时，进行错误检测。通过对串行I/O1状态寄存器的写，清除所有错误标志（OE、PE、FE、SE）。另外，如果给串行I/O1允许位（b7）写“0”，包括错误标志的所有状态标志就被清“0”。

虽然在复位时，此寄存器的bit0~bit6被初始化成“0”，但是，在将串行I/O1控制寄存器的发送允许位（b4）置成“1”时，bit2和bit0变为“1”。

【串行 I/O1 控制寄存器】SIOCON

串行I/O1控制寄存器由进行串行I/O1各种控制的8位选择位构成。

【UART 控制寄存器】UARTCON

它是由在选择UART时有效的4位控制位和总是有效的1位控制位构成的5位寄存器。通过此寄存器的内容，设定发送和接收串行数据时的数据格式、P2s/TxD引脚的输出形式等。

【波特率发生器】BRG

决定串行传送的位速率。

它是持有重加载寄存器的8位计数器，通过设定值n，以 $1/(n+1)$ 的分频比分频计数源。

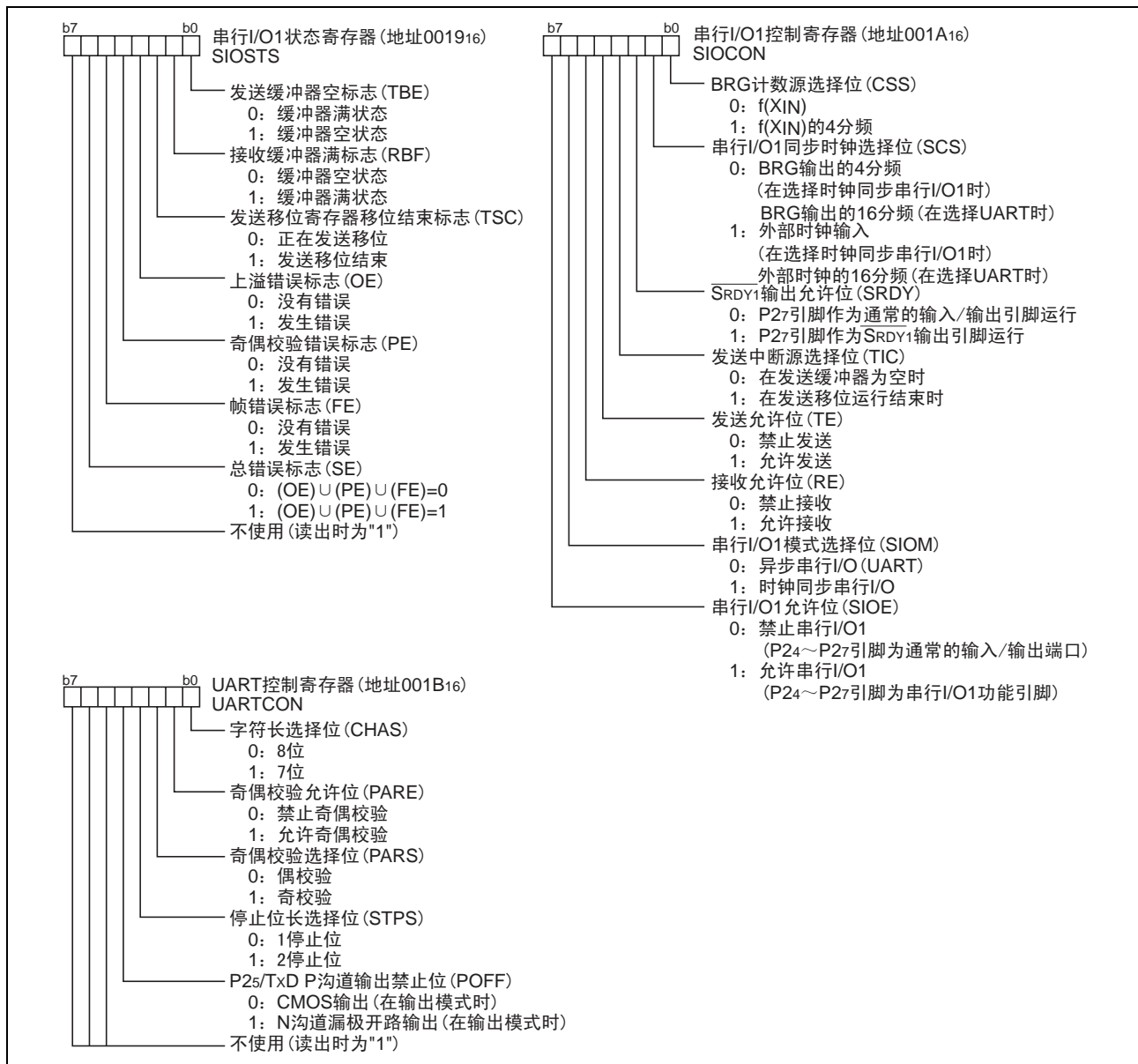


图 24. 与串行 I/O1 相关的寄存器结构

■ 注意事项

在将串行I/O1发送允许位置“1”时，串行I/O1发送中断请求位变为“1”。当不需要发生与发送允许同步的中断时，必须按以下步骤设定：

- ①将串行I/O1发送中断允许位置“0”（禁止）。
- ②将发送允许位置“1”。
- ③在至少执行一条指令后，将串行I/O1发送中断请求位置“0”。
- ④将串行I/O1发送中断允许位置“1”（允许）。

● 串行 I/O2

串行 I/O2 只能作为时钟同步格式运行。

用于串行传送的同步时钟能通过串行 I/O2 控制寄存器 1 的串行 I/O2 同步时钟选择位 (b6)，选择内部时钟或者外部时钟。

内部时钟内置了专用的分频器，能通过串行 I/O2 控制寄存器 1 的内部同步时钟选择位 (b2、b1、b0)，选择 6 种时钟。

关于输出引脚的 SOUT2 和 SCLK2，能通过串行 I/O2 控制寄存器 1 的 P01/SOUT2、P02/SCLK2，P 沟道输出禁止位 (b7)，选择 CMOS 输出或者 N 沟道漏极开路输出的格式。

当选择了内部时钟时，根据对串行 I/O2 寄存器 (地址 001716) 的写信号，开始传送。在数据传送结束后，SOUT2 引脚的电平自动变为高阻抗状态，但是串行 I/O2 控制寄存器 2 的 bit7 不会自动变为“1”。

当选择了外部时钟时，由于在输入传送时钟期间，串行 I/O2 寄存器的内容被连续移位，因此必须在外部控制时钟。必须注意：在数据传送结束后，SOUT2 引脚的电平不会变为高阻抗状态。

当选择了外部时钟时，为了将 SOUT2 引脚置成高阻抗状态，必须在数据传送结束后，在 SCLK2 为“H”的状态下，将串行 I/O2 控制寄存器 2 的 bit7 设定为“1”。如果开始传送下一个数据 (传送时钟下降)，串行 I/O2 控制寄存器 2 的 bit7 就为“0”，SOUT2 引脚变成有效状态。

无论是内部时钟，还是外部时钟，在传送由任意传送位选择的位数 (1~8 位) 后，中断请求位被置位。

当最终数据为不满 8 位的尾数时，如果串行 I/O2 控制寄存器 1 的传送方向选择位为 LSB 先，保存在串行 I/O2 寄存器中的接收数据就为靠近 MSB 的尾数；如果串行 I/O2 控制寄存器 1 的传送方向选择位为 MSB 先，保存在串行 I/O2 寄存器中的接收数据就为靠近 LSB 的尾数。剩余位为前一个被移位的接收数据。

在用时钟同步串行 I/O 进行发送运行时，能与传送时钟的上升沿同步，将接收引脚 SIN2 的状态和发送引脚 SOUT2 比较，输出 SCMP2 信号。如果 SOUT2 引脚的输出电平和对 SIN2 引脚的输入电平相同，就从 SCMP2 引脚输出“L”信号，否则就输出“H”信号。另外，此时也能产生 INT2 中断请求。必须通过中断边沿选择寄存器 (地址 003A16) 的 bit2 选择有效边沿。

【串行 I/O2 控制寄存器 1、2】SIO2CON1、SIO2CON2

串行 I/O2 控制寄存器 1、2 由进行各种串行 I/O2 控制的选择位构成。

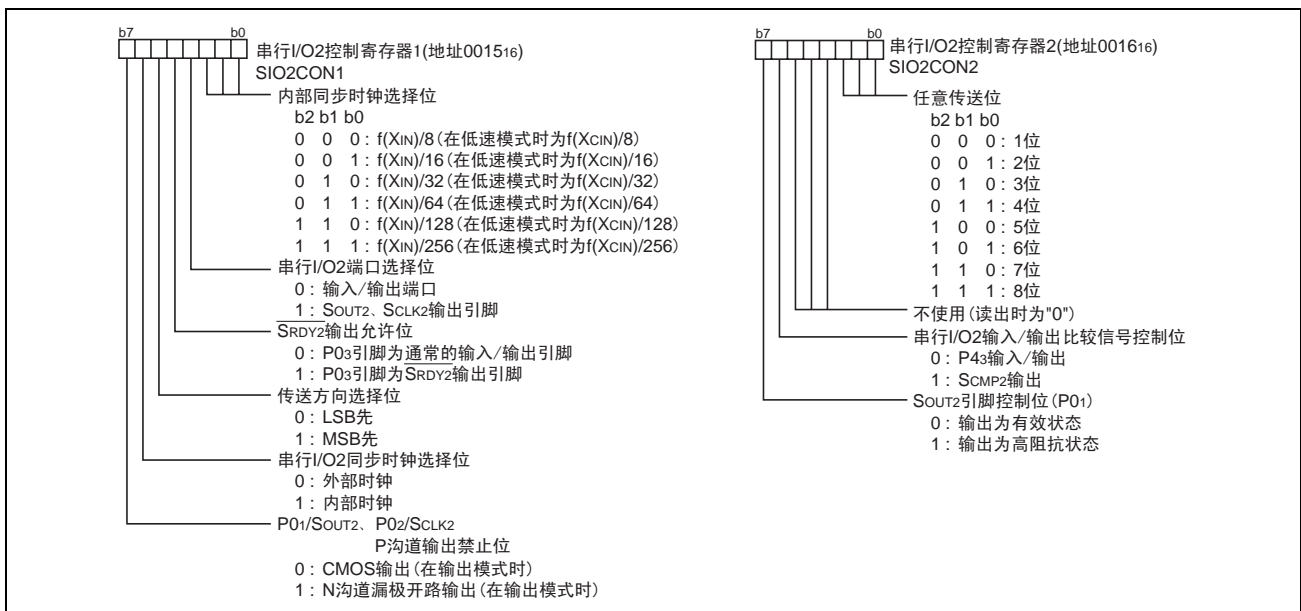


图 25. 串行 I/O2 控制寄存器 1、2 的结构

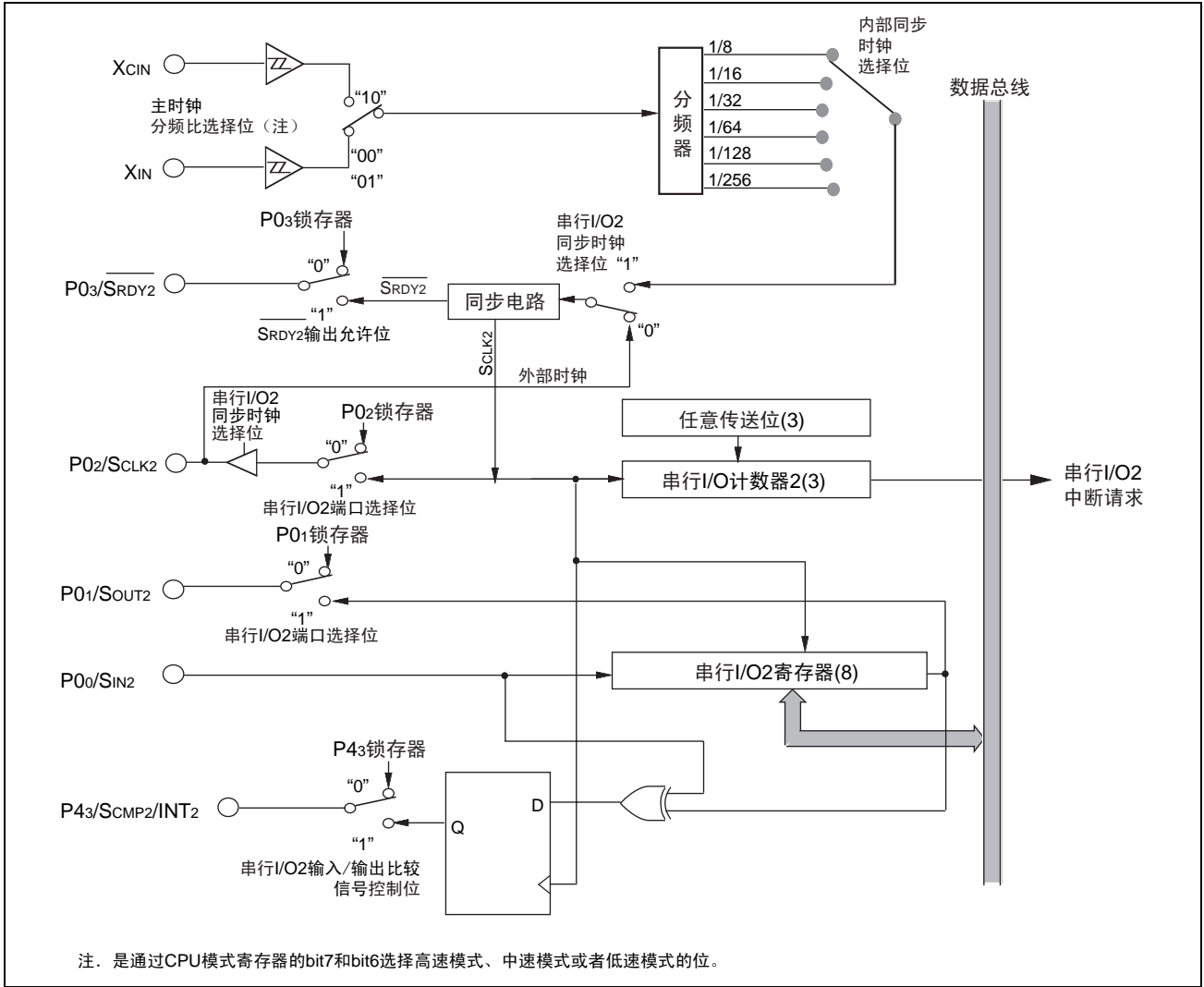


图 26. 串行 I/O2 框图

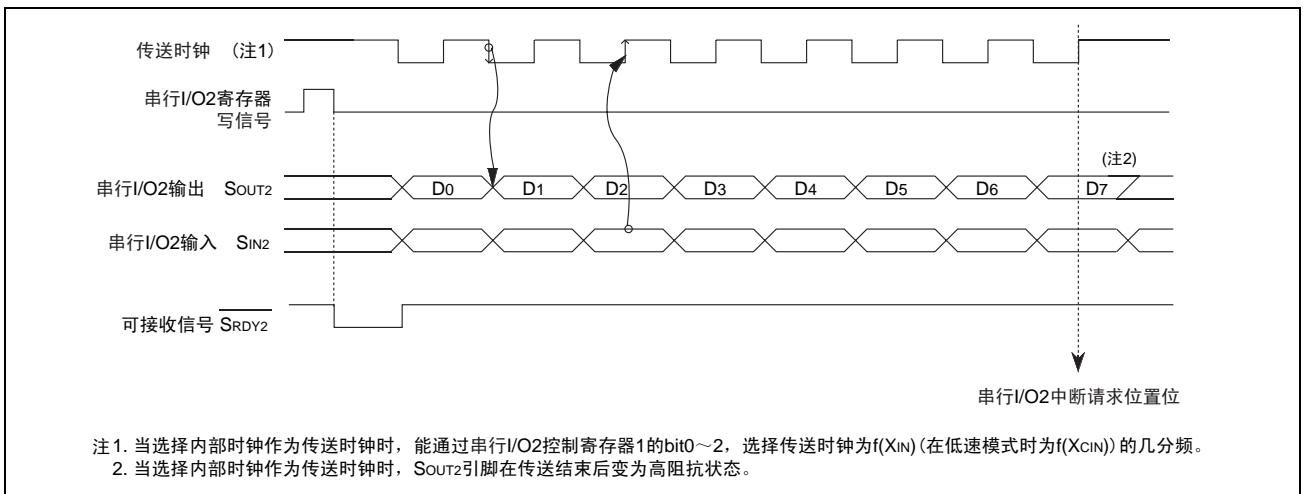


图 27. 串行 I/O2 时序图

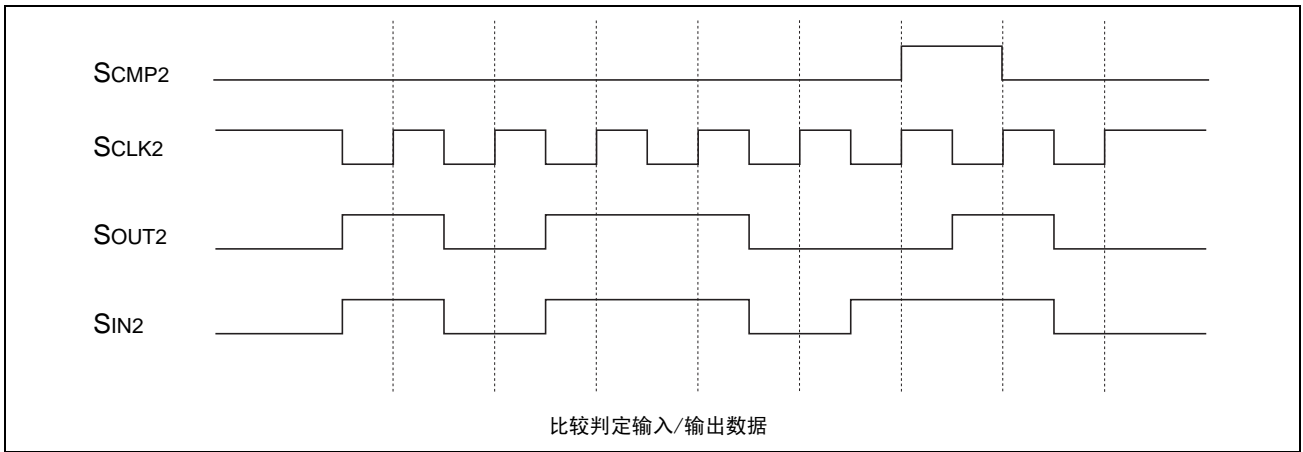


图 28. SCMP2 输出运行

PWM (PWM:Pulse Width Modulation)

PWM 具有 8 位分辨率，以时钟输入 X_{IN} 或者 X_{IN} 2 分频后的信号为基础。

• 数据设定

PWM 的输出引脚和端口 P44 复用。通过 PWM 预分频器，设定 PWM 周期；通过 PWM 寄存器，设定输出脉冲的“H”期间。

如果 PWM 预分频器的值为 n、PWM 寄存器的值为 m (n=0~255、m=0~255)，就有：

$$\begin{aligned} \text{PWM 周期} &= 255 \times (n+1) / f(\text{X}_{\text{IN}}) \\ &= 31.875 \times (n+1) \mu\text{s} \end{aligned}$$

(在 f(X_{IN})=8MHz、计数源选择位=“0”时)

$$\begin{aligned} \text{输出脉冲“H”期间} &= \text{PWM 周期} \times m / 255 \\ &= 0.125 \times (n+1) \times m \mu\text{s} \end{aligned}$$

(在 f(X_{IN})=8MHz、计数源选择位=“0”时)

• PWM 运行

如果 PWM 控制寄存器的 bit0 (PWM 允许位) 置为“1”，PWM 输出电路就从初始状态开始运行，输出从“H”开始的脉冲。

如果在 PWM 输出过程中改变 PWM 寄存器和 PWM 预分频器，就在改变后的下一个周期输出对应改变内容的脉冲。

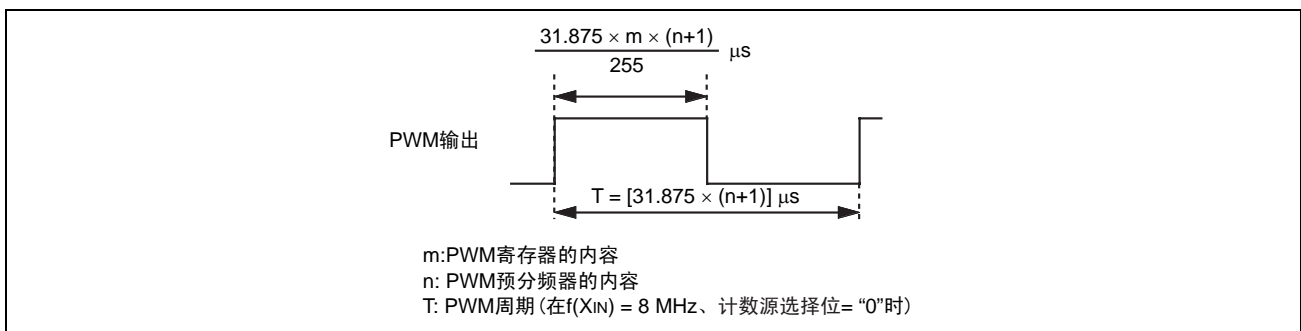


图 29. PWM 周期的时序图

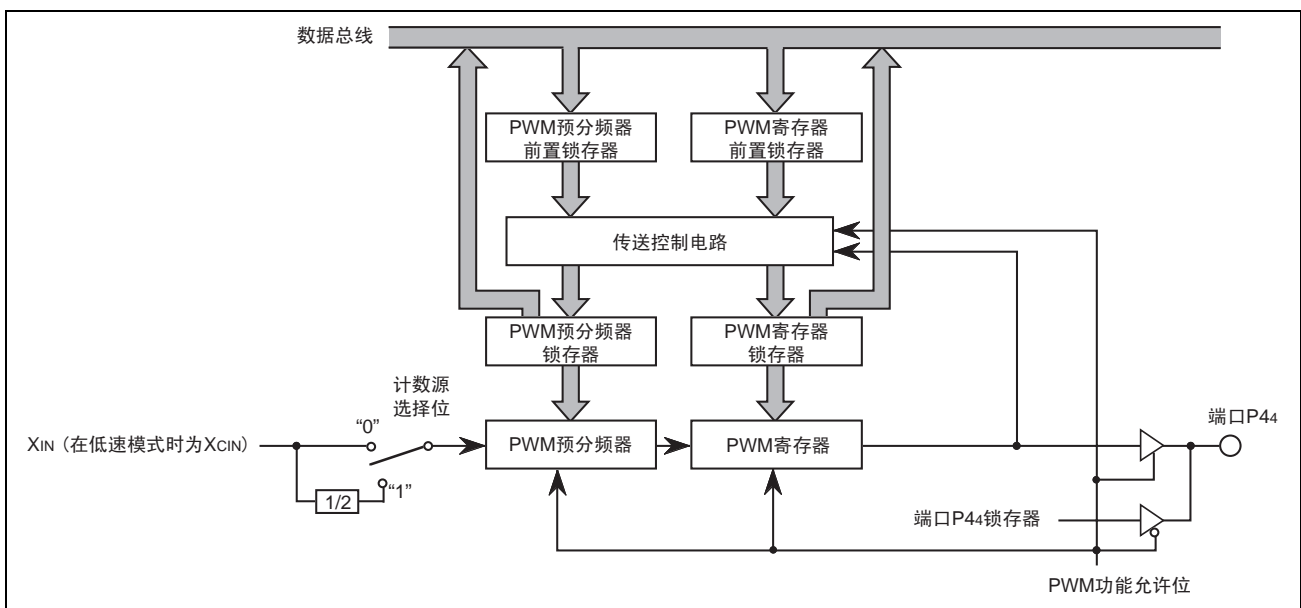


图 30. PWM 框图

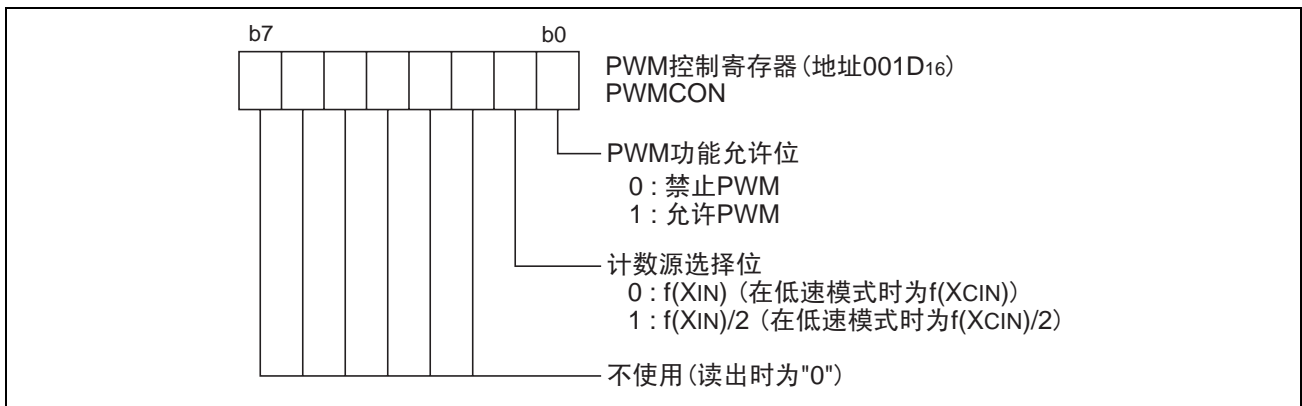


图 31. PWM 控制寄存器结构

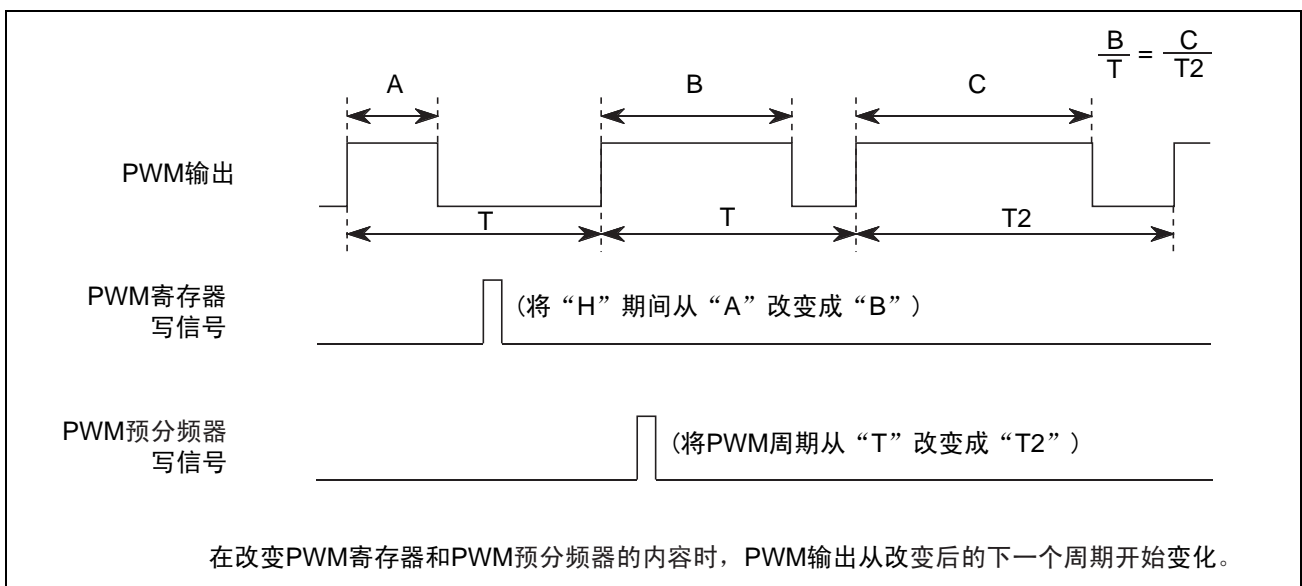


图 32. 改变 PWM 寄存器和 PWM 预分频器时的 PWM 输出时序图

■ 注意事项

在将PWM功能允许位设定为允许并从PWM引脚输出“L”电平后, 开始PWM运行。此“L”电平输出时间如下:

- 计数源选择位=“0”、n=预分频器设定值

$$\frac{n+1}{2 \times f(XIN)} \quad (\text{秒})$$

- 计数源选择位=“1”、n=预分频器设定值

$$\frac{n+1}{f(XIN)} \quad (\text{秒})$$

A/D 转换器

【AD 转换寄存器】ADL、ADH

它是保存A/D转换结果的只读寄存器。在A/D转换过程中不能读取此寄存器。

【AD 控制寄存器】ADCON

它是用于控制A/D转换器的寄存器。bit2~bit0为模拟输入引脚的选择位。给这些位设定值，当AD输入选择寄存器（地址0037₁₆）的bit0为“0”时，就能选择P30/AN0~P34/AN4；当AD输入选择寄存器（地址0037₁₆）的bit0为“1”时，就能选择P04/AN5~P07/AN8。bit4为AD转换结束位，在A/D转换期间为“0”，如果A/D转换结束，就变为“1”。通过给此位写“0”，开始A/D转换。

【AD 输入选择寄存器】ADSEL

A/D转换器的模拟输入端口选择切换位被分配在AD输入选择寄存器的bit0。

如果将此模拟输入端口切换位设定为“0”，就能通过AD控制寄存器（地址0034₁₆）的模拟输入引脚选择位（b2、b1、b0），选择P30/AN0~P34/AN4。

如果将此模拟输入端口切换位设定为“1”，就能通过AD控制寄存器（地址0034₁₆）的模拟输入引脚选择位（b2、b1、b0），选择P04/AN5~P07/AN8。

【比较电压发生器】

将AVSS和VREF之间的电压分成1024等份，进行分压输出。

【通道选择器】

从端口P30/AN0~P34/AN4和P04/AN5~P07/AN8中选择1个通道，输入到比较器。

【比较器和控制电路】

进行模拟输入电压和比较电压的比较，将其结果保存到AD转换寄存器。另外，在A/D转换结束时，将AD转换结束位和AD中断请求位置“1”。由于比较器由电容耦合构成，因此在A/D转换期间，必须将f(XIN)至少设定为500kHz。

如果在低速模式执行A/D转换，由于使用内置的自振荡电路进行A/D转换，因此没有f(XIN)和f(XCIN)下限频率的限制。

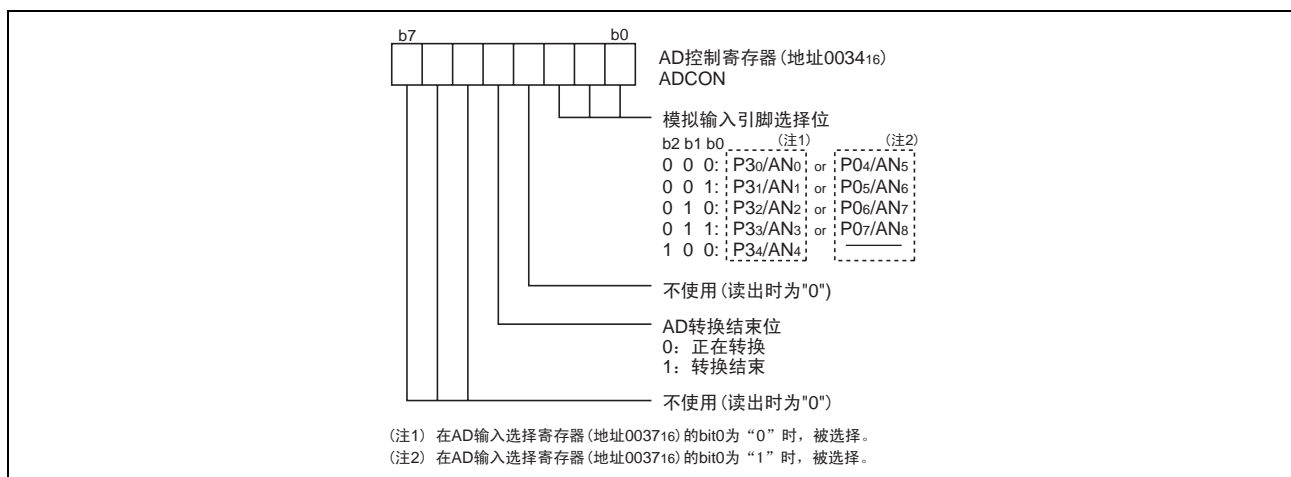


图 33. AD 控制寄存器结构

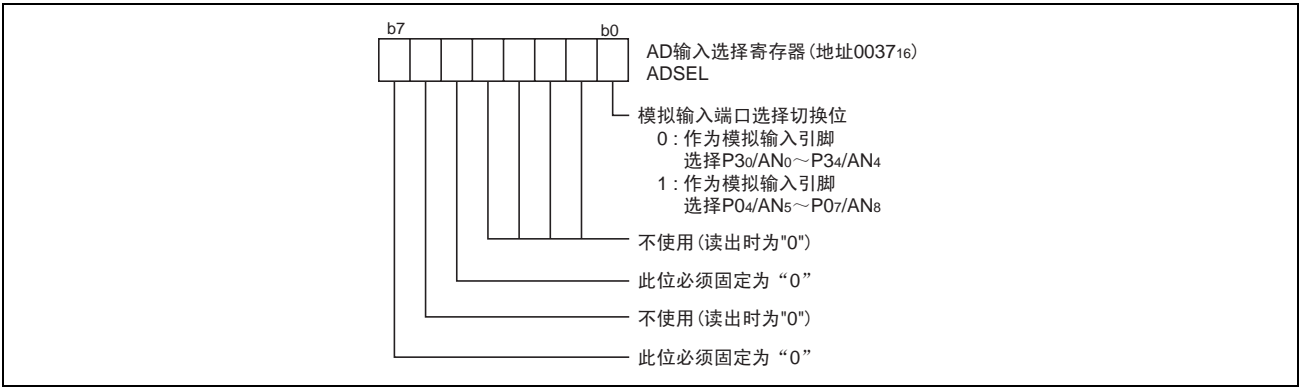


图 34. AD 输入选择寄存器结构

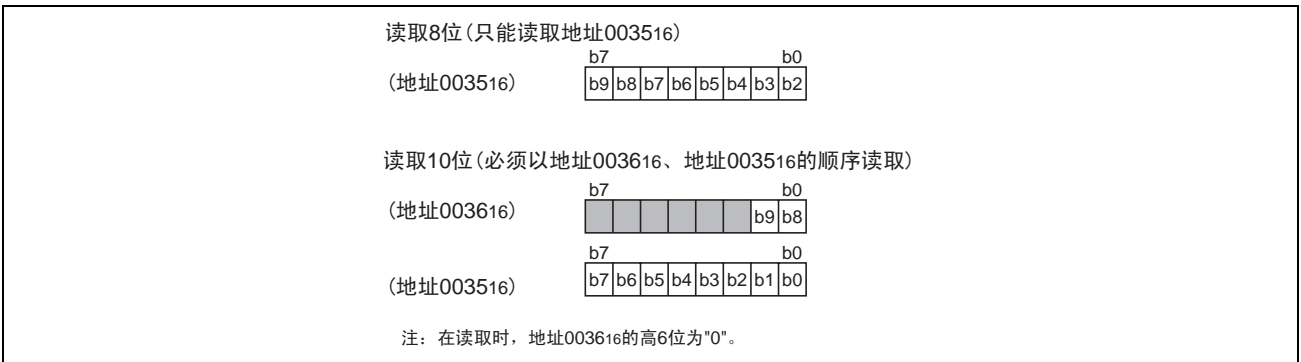


图 35. AD 转换寄存器结构

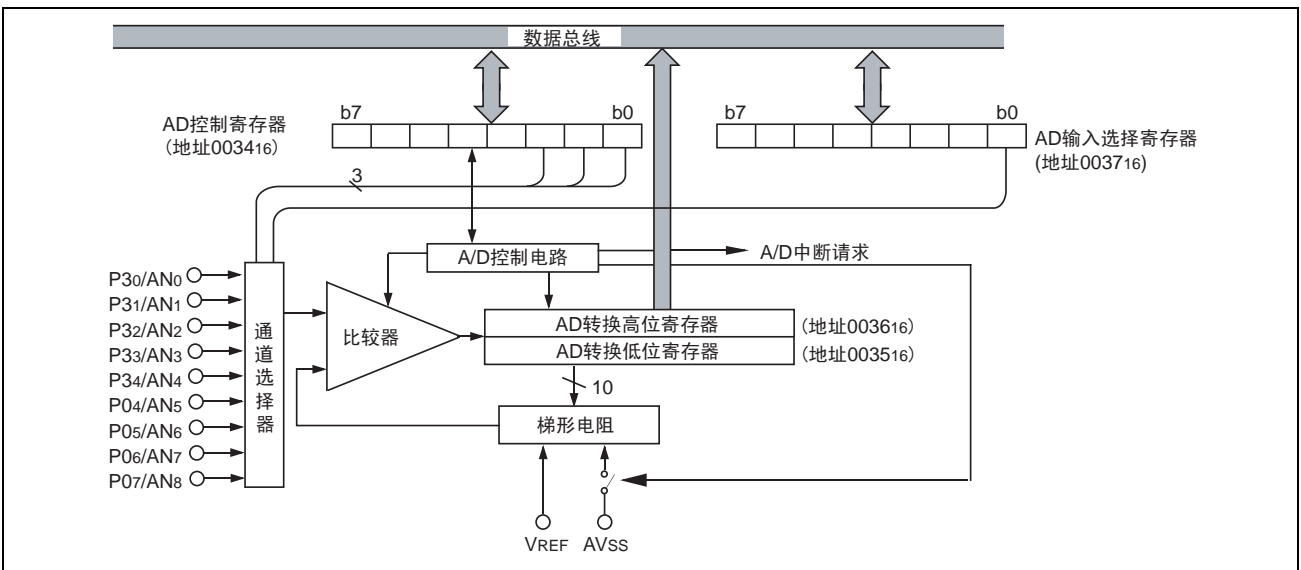


图 36. A/D 转换器框图

看门狗定时器

看门狗定时器提供由于失控等原因而程序不能正常运行时返回复位状态的手段。

看门狗定时器是由8位看门狗定时器H和8位看门狗定时器L构成的16位计数器。

(1) 看门狗定时器的初始值

在复位时或者写看门狗定时器控制寄存器（地址003916）时，看门狗定时器H被置位为“FF16”，看门狗定时器L被置位为“FF16”。如果写操作的指令是STA、LDM和CLB等产生写信号的指令，就都能使用。看门狗定时器控制寄存器的写数据只有bit6和bit7有效，与写到bit0~5的值无关，将上述的值设定到各定时器。

(2) 看门狗定时器的运行

在复位时，看门狗定时器停止运行，通过写看门狗定时器控制寄存器（地址003916）开始递减计数。如果看门狗定时器H发生下溢，就产生内部复位，在等待复位解除时间后解除复位，并且从复位向量地址开始重新执行程序。通常，需要编入在看门狗定时器H发生下溢前对看门狗定时器控制寄存器进行写操作的程序。如果一次也没有写看门狗定时器控制寄存器，看门狗定时器就不起作用。

(3) 看门狗定时器控制寄存器的 bit6

- 如果在此位为“0”时执行STP指令，就转移到停止模式。看门狗定时器在解除停止模式的同时重新开始计数。
(注)

在执行WIT指令时看门狗定时器不停止。

- 如果在此位为“1”时执行STP指令，就在内部产生复位。一旦将此位改写为“1”，就不能通过程序改写为“0”。复位后的值为“0”。

在写看门狗定时器控制寄存器后，到看门狗定时器H发生下溢前的时间如下所示：

看门狗定时器控制寄存器的bit7为“0”的情况：

当XCIN=32.768kHz时为32s；当XIN=16MHz时为65.536ms

看门狗定时器控制寄存器的bit7为“1”的情况：

当XCIN=32.768kHz时为125ms；当XIN=16MHz时为256μs

注. 在等待停止解除期间，看门狗定时器也进行计数，所以必须注意：看门狗定时器H不能在此期间发生下溢。

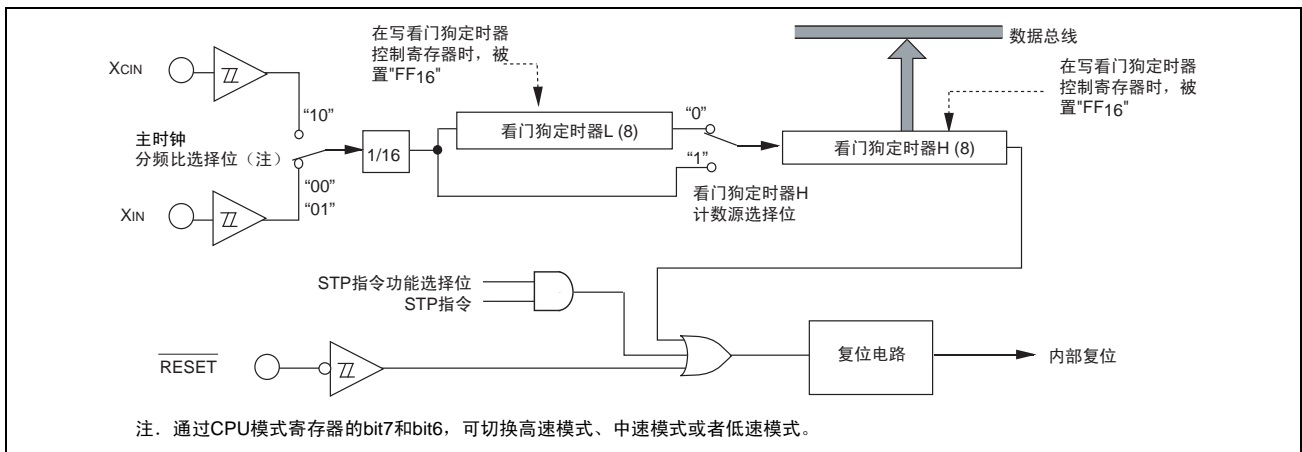


图 37. 看门狗定时器框图

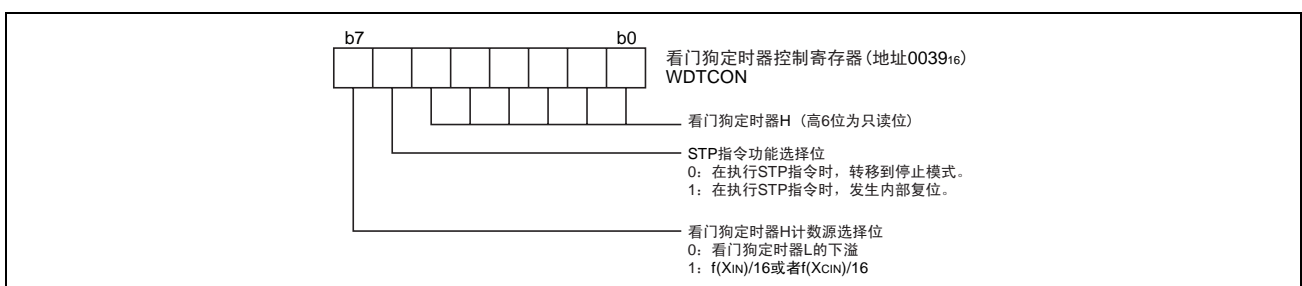


图 38. 看门狗定时器控制寄存器结构

复位电路

电源电压在2.7~5.5V内、XIN稳定振荡时，如果将RESET引脚至少保持20个XIN周期的“L”电平，就变为复位状态，此后，如果将RESET引脚恢复到“H”电平，就解除复位。从地址FFFD₁₆的内容为高位地址、地址FFFC₁₆的内容为低位地址的地址开始启动程序。

必须在电源电压超过2.7V时，保持复位输入电压不超过0.54V。

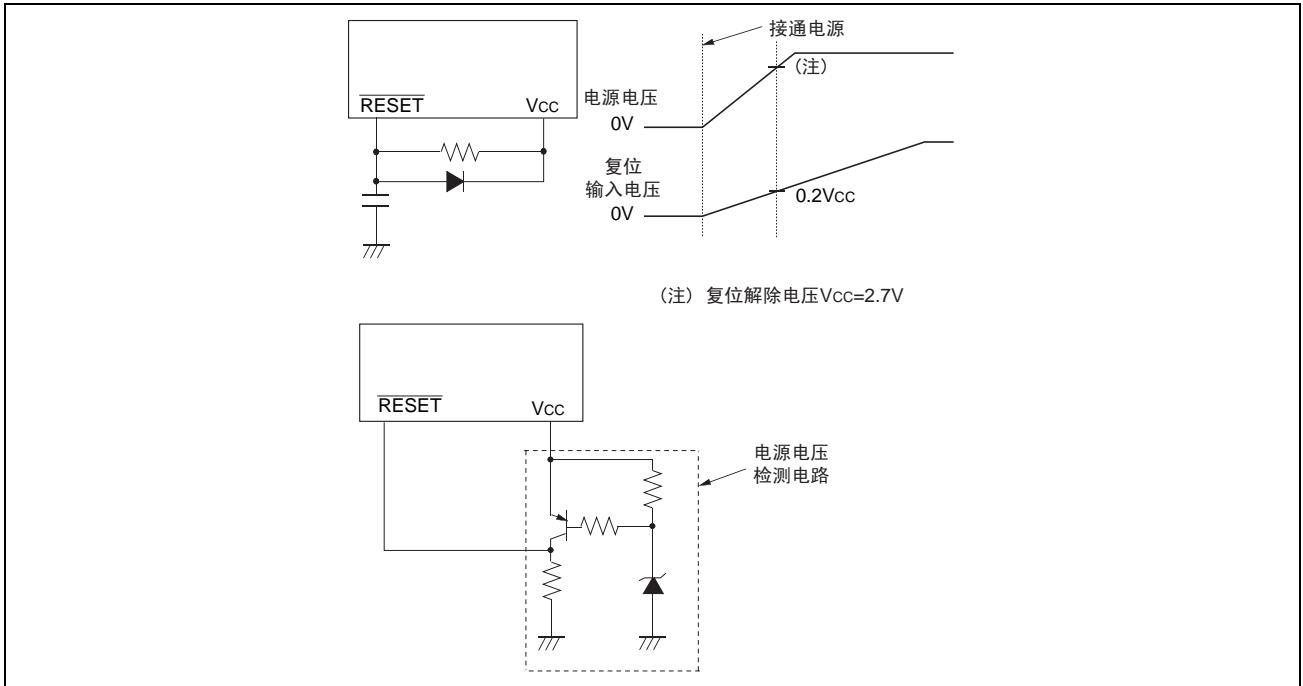


图 39. 复位电路例子

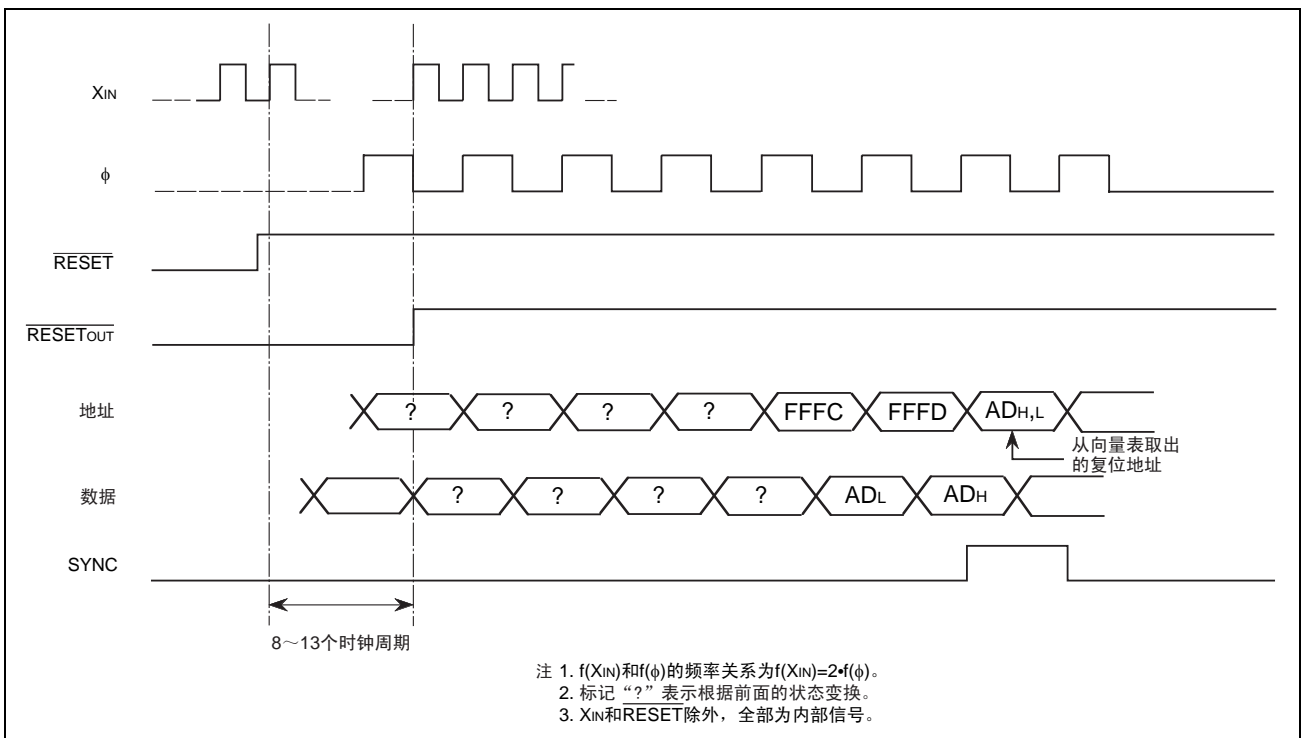


图 40. 复位时的时序图

	地址	寄存器内容		地址	寄存器内容
(1) 端口P0	0000 ₁₆	00 ₁₆	(34) AD控制寄存器	0034 ₁₆	00010000
(2) 端口P0方向寄存器	0001 ₁₆	00 ₁₆	(35) AD转换低位寄存器	0035 ₁₆	XXXXXXXXXX
(3) 端口P1	0002 ₁₆	00 ₁₆	(36) AD转换高位寄存器	0036 ₁₆	0000000X
(4) 端口P1方向寄存器	0003 ₁₆	00 ₁₆	(37) AD输入选择寄存器	0037 ₁₆	00 ₁₆
(5) 端口P2	0004 ₁₆	00 ₁₆	(38) MISRG	0038 ₁₆	00 ₁₆
(6) 端口P2方向寄存器	0005 ₁₆	00 ₁₆	(39) 看门狗定时器控制寄存器	0039 ₁₆	00111111
(7) 端口P3	0006 ₁₆	00 ₁₆	(40) 中断边沿选择寄存器	003A ₁₆	00 ₁₆
(8) 端口P3方向寄存器	0007 ₁₆	00 ₁₆	(41) CPU模式寄存器	003B ₁₆	01001000
(9) 端口P4	0008 ₁₆	00 ₁₆	(42) 中断请求寄存器1	003C ₁₆	00 ₁₆
(10) 端口P4方向寄存器	0009 ₁₆	00 ₁₆	(43) 中断请求寄存器2	003D ₁₆	00 ₁₆
(11) 端口P0、P1、P2上拉控制寄存器	0012 ₁₆	00 ₁₆	(44) 中断控制寄存器1	003E ₁₆	00 ₁₆
(12) 端口P3上拉控制寄存器	0013 ₁₆	00 ₁₆	(45) 中断控制寄存器2	003F ₁₆	00 ₁₆
(13) 端口P4上拉控制寄存器	0014 ₁₆	00 ₁₆	(46) 处理器状态寄存器	(PS)	XXXXXXXX1X
(14) 串行I/O2控制寄存器1	0015 ₁₆	00 ₁₆	(47) 程序计数器	(PC _H)	地址FFFD ₁₆ 的内容
(15) 串行I/O2控制寄存器2	0016 ₁₆	00000111		(PC _L)	地址FFFC ₁₆ 的内容
(16) 串行I/O2寄存器	0017 ₁₆	XXXXXXXXXX			
(17) 发送/接收缓冲寄存器	0018 ₁₆	XXXXXXXXXX			
(18) 串行I/O1状态寄存器	0019 ₁₆	10000000			
(19) 串行I/O1控制寄存器	001A ₁₆	00 ₁₆			
(20) UART控制寄存器	001B ₁₆	11100000			
(21) 波特率发生器	001C ₁₆	XXXXXXXXXX			
(22) PWM控制寄存器	001D ₁₆	00 ₁₆			
(23) PWM预分频器	001E ₁₆	XXXXXXXXXX			
(24) PWM寄存器	001F ₁₆	XXXXXXXXXX			
(25) 预分频器12	0020 ₁₆	FF ₁₆			
(26) 定时器1	0021 ₁₆	01 ₁₆			
(27) 定时器2	0022 ₁₆	00 ₁₆			
(28) 定时器XY模式寄存器	0023 ₁₆	00 ₁₆			
(29) 预分频器X	0024 ₁₆	FF ₁₆			
(30) 定时器X	0025 ₁₆	FF ₁₆			
(31) 预分频器Y	0026 ₁₆	FF ₁₆			
(32) 定时器Y	0027 ₁₆	FF ₁₆			
(33) 定时器计数源设定寄存器	0028 ₁₆	00 ₁₆			

注 X为不定。
 由于在复位时，上述除外的寄存器和RAM的内容不定，
 因此，必须设定初始值。

图 41. 复位时的内部状态

时钟发生电路

3850群内置2个内部振荡电路。在XIN和XOUT或者XCIN和XCOUT之间，能通过连接谐振器形成振荡电路。由于电容等常数因谐振器不同而不同，因此必须使用谐振器制造厂家的推荐值。在引脚XIN和XOUT之间内置了反馈电阻（根据条件，可能需要外接反馈电阻）。由于在XCIN和XCOUT之间不内置电阻，必须在外部连接反馈电阻。

在刚接通电源后，只有XIN侧的振荡电路开始振荡，XCIN和XCOUT引脚功能作为输入/输出端口。

● 频率控制

(1) 中速模式

将加给XIN引脚的频率8分频后的时钟成为内部时钟 ϕ 。在复位解除后，为中速模式。

(2) 高速模式

将加给XIN引脚的频率2分频后的时钟成为内部时钟 ϕ 。

(3) 低速模式

将加给XCIN引脚的频率2分频后的时钟成为内部时钟 ϕ 。

(4) 低功耗模式

在低速模式时，能通过将CPU模式寄存器的主时钟停止位（b5）置“1”，停止主时钟XIN，实现低功耗运行。此时，当主时钟XIN重新开始振荡时，必须通过程序取得在将主时钟停止位置“0”后到振荡稳定为止的等待时间。

由于XCIN-XCOUT振荡电路的振荡不能通过输入外部时钟进行，因此，必须通过外接谐振器，使XCIN-XCOUT振荡电路振荡。

● 振荡控制

(1) 停止模式

如果执行STP指令，内部时钟 ϕ 就在“H”状态停止，并且停止XIN和XCIN的振荡。此时，在解除STP指令后，当振荡稳定时间设定位（地址003816的bit0）为“0”时，定时器1被设定为“0116”，预分频器12被设定为“FF16”。一方面，在解除STP指令后，当振荡稳定时间设定位为“1”时，由于没有给定时器1和预分频器12设定任何值，因此必须设定符合使用的谐振器的振荡稳定时间的等待时间。执行STP指令时设定的计数源连接到STP指令解除后的预分频器12的输入，预分频器12的输出连接到定时器1。如果接受外部中断，就重新开始振荡，但是，在定时器1下溢前，内部时钟 ϕ 保持“H”状态，在定时器1下溢后，开始供给内部时钟 ϕ 。这是由于在使用陶瓷振荡器等时，启动振荡需要时间的缘故。在通过复位重新开始振荡时，由于不产生等待时间，因此在到振荡稳定为止期间，必须给RESET引脚外加“L”电平。

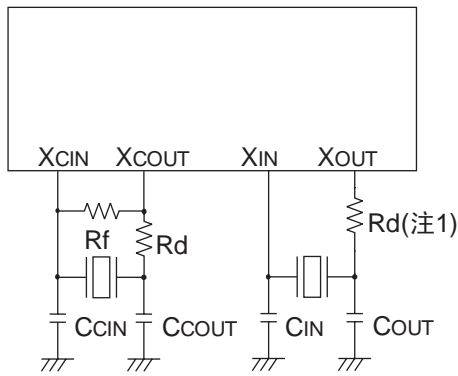
(2) 等待模式

如果执行WIT指令，内部时钟 ϕ 就在“H”状态停止，但是振荡器不停止振荡。如果接受复位或者中断，就解除停止内部时钟 ϕ 。由于振荡器没有停止振荡，因此能立即执行指令。

在解除STP或者WIT状态时，为了能接受中断，必须在执行STP或者WIT指令前，先将所对应的中断允许位置“1”。另外，在解除STP状态时，由于预分频器12和定时器1对XIN 16分频后的时钟进行计数，因此必须在执行STP指令前将定时器1中断允许位置“0”。

■ 注意事项

- 在进行中/高速模式和低速模式之间的转移时，需要XIN和XCIN的振荡都处于稳定状态。尤其是XCIN的振荡上升需要时间，所以在刚接通电源后或者从停止模式返回时必须注意。另外，在转移时需要 $f(XIN) > 3 \cdot f(XCIN)$ 。
- 在解除STP指令后的振荡稳定时间设定位被置“1”的情况下，必须在充分评价所使用的谐振器的振荡稳定时间后，对定时器1和预分频器12设定值。



注1. 必须根据需要插入阻尼电阻。电阻值因谐振器、振荡驱动能力而不同，所以请使用谐振器厂家的推荐值。
另外，在XIN-XOUT引脚之内置了反馈电阻，但是如果得到谐振器厂家的有关追加反馈电阻的指示，必须根据该指示附加反馈电阻。

图 42. 陶瓷谐振器的外接电路

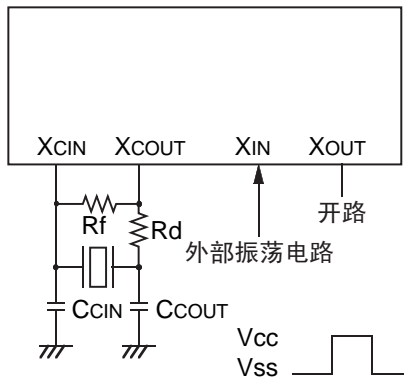
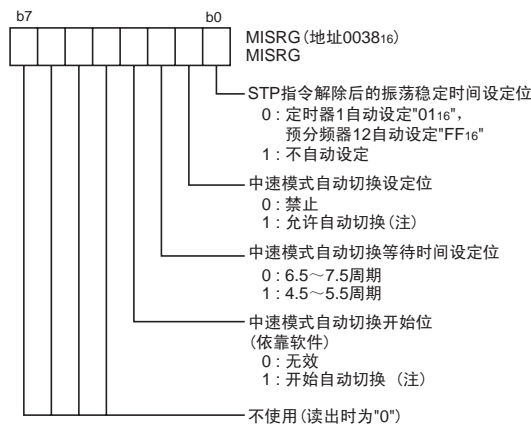


图 43. 外部时钟输入电路

【MISRG】 MISRG

MISRG由进行有关中速模式自动转换的各种控制的位和控制设定STP指令解除后振荡稳定时间的位构成。

当中速模式自动转换设定位为“1”并且运行在低速模式时，能通过将中速模式自动转换开始位置“1”，自动开始XIN振荡，转移到中速模式。



注. 在从低速模式向中速模式自动切换时，CPU模式寄存器(地址003B16)的值也发生变化。

图 44. MISRG 的结构

闪存版

M38507F8A (闪存版) 内置NEW DINOR (DIvided bit line NOR) 型闪存, 除了通常的运行模式 (单片机模式) 以外, 能用5V单电源或者 $V_{PP}=5V$ 、 $V_{CC}=3.0V\sim 5.5V$ 2电源进行改写。为了对此闪存进行读、编程、擦除等操作, 提供了使用编程器进行闪存操作的并行输入/输出模式、标准串行输入/输出模式以及通过中央运算处理装置 (CPU) 操作闪存的CPU改写模式的3种模式。

性能概要

M38507F8A (闪存版) 的性能概要如表8所示。

如图47所示, M38507F8A的闪存分成用户ROM区和引导ROM区2块。

内置的闪存除了有保存通常单片机运行的控制程序的用户ROM区以外, 还有用于保存在CPU改写模式和标准串行输入/输出模式的改写控制程序的引导ROM区。发货时, 虽然在此引导ROM区存有标准串行输入/输出模式的控制程序, 但是用户也能写入适合系统的改写控制程序。此引导ROM区只能在并行输入/输出模式进行改写。

表 8. M38507F8A (闪存版) 的性能概要

项 目		性 能
电源电压		$V_{CC}=2.7\sim 5.5V$ (注1) $V_{CC}=2.7\sim 3.6V$ (注2)
编程/擦除电压		4.5~5.5V
闪存模式		3种模式 (并行输入/输出模式、标准串行输入/输出模式、CPU改写模式)
擦除块区分	用户ROM区	1块 (32K字节)
	引导ROM区	1块 (4K字节) (注3)
编程方式		字节单位
擦除方式		整块擦除
编程/擦除控制方式		由软件命令控制编程/擦除
命令数		6种命令
编程/擦除次数		100次
ROM码保护		对应并行输入/输出模式和标准串行输入/输出模式

注 1. 编程/擦除时的电源电压必须为 $V_{CC}=4.5\sim 5.5V$ 。

2. 编程/擦除时的电源电压也能为 $V_{CC}=3.0\sim 3.6V$ 。

3. 发货时, 在引导ROM区存有标准串行输入/输出模式的控制程序。此区域只能在并行输入/输出模式进行擦除和写操作。

(1) CPU 改写模式

CPU改写模式是通过中央运算处理装置(CPU)的控制, 对内部闪存操作 (读、编程、擦除等) 的模式。

在CPU改写模式, 只能改写如图47所示的用户ROM区, 不能改写引导ROM区。编程、块擦除的命令只能用于用户ROM区和各块区域。

能将CPU改写模式的控制程序保存在用户ROM区或者保存在引导ROM区。在CPU改写模式, 由于不能从CPU读闪存, 因此改写控制程序必须在被传送到内部RAM后, 在RAM中执行。

单片机模式和引导模式

必须预先在并行输入/输出模式，将CPU改写模式的控制程序写到用户ROM区或者引导ROM区（在给引导ROM区写时，不能使用标准串行输入/输出模式）。

引导ROM区如图47所示。

在将CNVss引脚置“L”解除复位时，变为通常的单片机模式，CPU使用用户ROM区的控制程序运行。

在将P4i/INT0引脚置“H”、CNVss引脚置“H”解除复位时，用引导ROM区的控制程序开始运行（程序的开始地址保存在地址FFFC₁₆和FFFD₁₆）。此模式称为引导模式。用引导ROM区上的控制程序也能改写用户ROM区。

块地址

块地址为各块的最大地址，用于块擦除命令。在M38507F8A的情况下，只有1块。

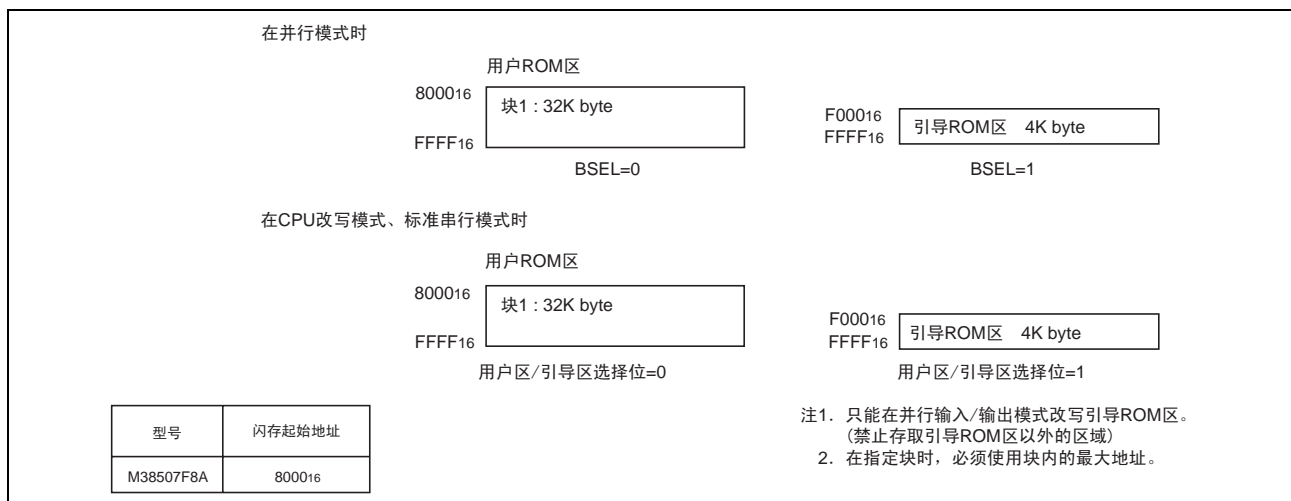


图 47. 内部闪存的框图

功能概要 (CPU 改写模式)

CPU改写模式能在单芯片模式和引导模式执行，并且只能改写用户ROM区。

在CPU改写模式，CPU通过执行软件命令，对内部闪存进行擦除、编程、读等操作。请注意：此控制程序必须预先传送到RAM，在RAM中执行。

通过给CNVss引脚外加5V±0.5V并且将CPU改写模式选择位（地址0FFE₁₆的bit1）置“1”，转移到CPU改写模式，成为能接受软件命令的状态。

通过软件命令，控制编程和擦除的运行。通过读取状态寄存器，能检查编程或者擦除的正常/错误结束等状态。

闪存控制寄存器如图48所示。

闪存控制寄存器的bit0为表示闪存运行状况的只读RY/BY状态标志。在编程、擦除运行中为“0”（忙），此外为“1”（就绪）。

bit1是CPU改写模式选择位。通过将此位设定为“1”，变为CPU改写模式，可接受软件命令。在CPU改写模式，CPU不能直接存取内部闪存。因此，必须通过传送到RAM的控制程序进行对bit1的写操作。为了给bit1设定“1”，必须对bit1写“0”后连续写“1”；在给bit1设定“0”时，只需对bit1写“0”。

bit2为CPU改写模式进入标志。在CPU改写模式时，由于此位为“1”，因此能通过读取此位，确认是否已转移到CPU改写模式。

bit3是用于复位内部闪存控制电路的闪存复位位。在结束CPU改写模式时，或者在闪存的存取发生异常时使用。在CPU改写模式选择位为“1”的状态下，如果对此位写“1”，就执行复位。为了解除复位，必须写“0”。

bit4为用户ROM区/引导ROM区选择位，通过对该位设定“1”，成为能存取引导ROM区的状态，进行使用引导ROM的CPU改写。在引导模式时，此位被自动置“1”。bit4的操作必须通过内部RAM上的程序进行。

CPU改写模式的设定/解除流程图如图49所示。必须根据该流程图进行操作。

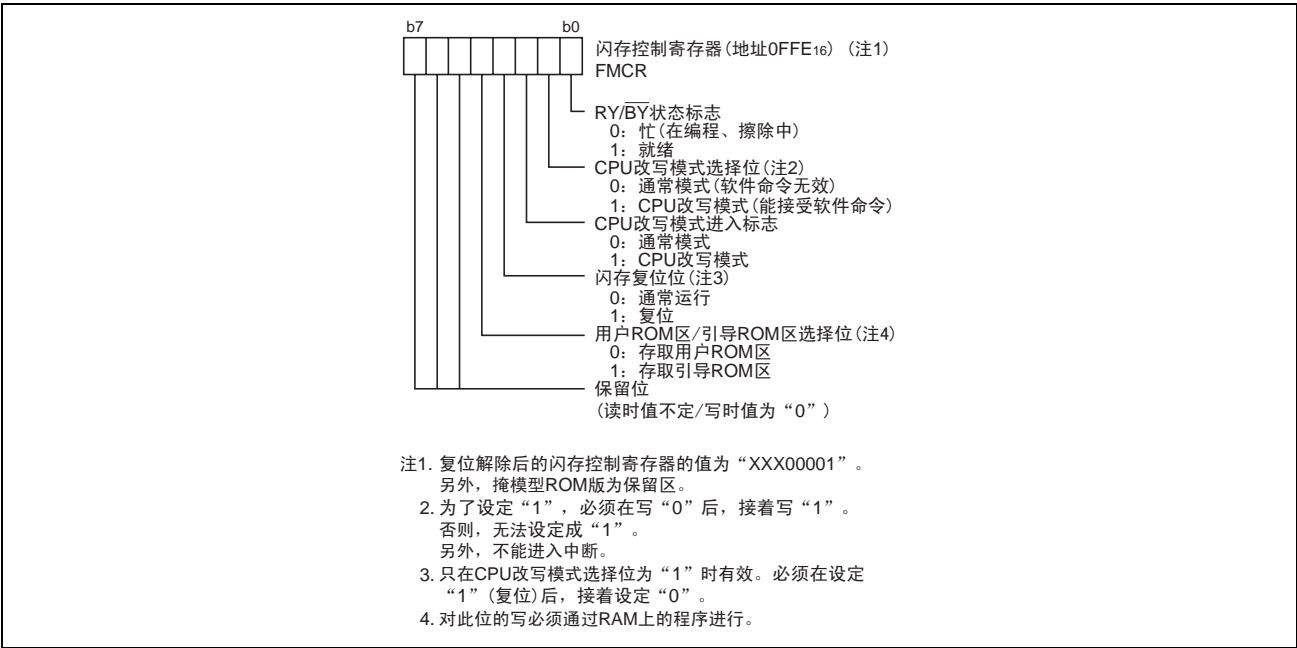


图 48. 闪存控制寄存器结构

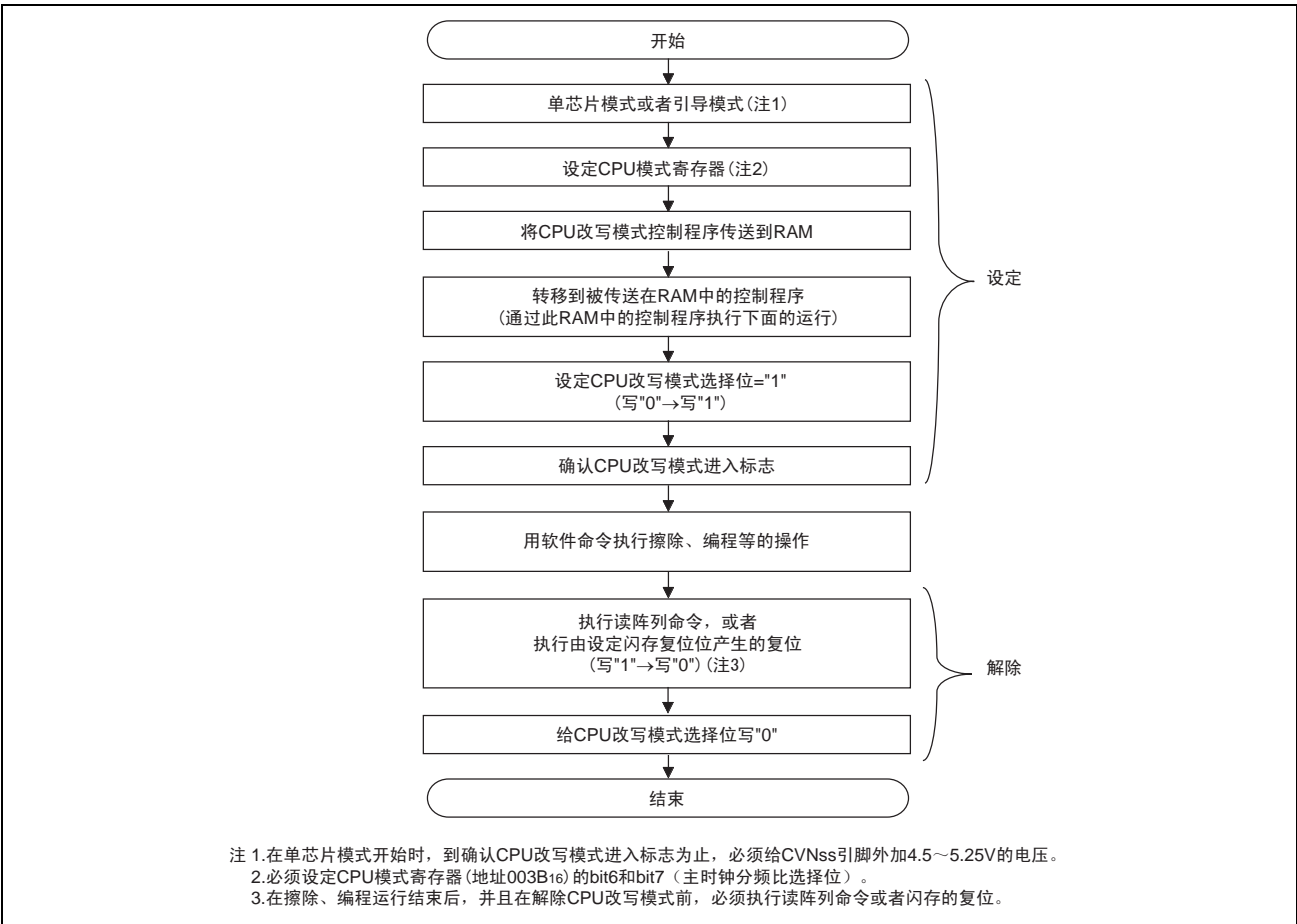


图 49. CPU 改写模式的设定/解除流程图

CPU 改写模式的注意事项

在使用CPU改写模式改写闪存的情况下，有以下注意事项：

(1) 运行速度

在CPU改写模式中，必须通过主时钟分频比选择位（地址003B₁₆的bit6和bit7）设定内部时钟 ϕ ，使内部时钟 ϕ 不超过6.25MHz。

(2) 使用禁止指令

在CPU改写模式中，不能使用参照闪存内部数据的指令。

(3) 中断

在CPU改写模式中，由于参照闪存内部的数据，不能使用中断。

(4) 看门狗定时器

在已经启动看门狗定时器的情况下，由于在编程或者擦除期间，看门狗定时器总是被清除，因此不发生由下溢引起的内部复位。

(5) 复位

总是接受复位。在复位解除时，并且在CNVss=“H”的情况下，由于用引导模式启动，因此从被保存在引导ROM区的地址FFFC₁₆和FFFD₁₆的地址开始执行程序。

软件命令 (CPU 改写模式)

软件命令一览表如表9所示。

在对闪存控制寄存器的CPU改写模式选择位设定“1”后，通过执行软件命令，指定擦除、编程等。

以下说明各软件命令的内容：

● 读阵列命令 (FF₁₆)

如果在第1个总线周期写命令码“FF₁₆”，就变为读阵列模式。如果在下一个总线周期以后输入读地址，指定地址的内容就被读到数据总线 (D₀~D₇)。读阵列模式被保持到写其它命令为止。

● 读状态寄存器命令 (70₁₆)

如果在第1个总线周期写命令码“70₁₆”，就成为读状态模式。能通过第2个总线周期的读，将状态寄存器的内容读到数据总线 (D₀~D₇)。

状态寄存器在下一节说明。

● 清除状态寄存器命令 (50₁₆)

是在表示状态寄存器的错误结束位 (SR1、SR4、SR5) 被置位后，用于清除这些位的命令。在第1总线周期写命令码“50₁₆”。

● 编程命令 (40₁₆)

如果在第1个总线周期写命令码“40₁₆”，就变为编程模式。如果继续在第2个总线周期写编程的地址和数据，就开始编程运行 (数据的编程和验证)。

能通过读取状态寄存器或者读取闪存控制寄存器的RY/ $\overline{\text{BY}}$ 状态标志，确认编程结束。在开始编程的同时，自动变为读状态寄存器模式，并将状态寄存器的内容读到数据总线 (D₀~D₇)。状态寄存器的bit7 (SR7) 在开始编程的同时变为“0”，在结束时返回到“1”。此时的读状态寄存器模式被保持到写下一条命令为止。

闪存控制寄存器的RY/ $\overline{\text{BY}}$ 状态标志，在编程期间为“0” (忙)，在结束后变为“1” (就绪)。

在编程结束后，能通过读取状态寄存器的bit4 (SR4)，知道编程结果。

编程命令流程图如图 50 所示。

表 9. 软件命令一览表 (CPU 改写模式)

命令	周期数	第1个总线周期			第2个总线周期		
		模式	地址	数据 (D0~D7)	模式	地址	数据 (D0~D7)
读阵列	1	写	X (注1)	FF ₁₆			
读状态寄存器	2	写	X	70 ₁₆	读	X	SRD (注2)
清除状态寄存器	1	写	X	50 ₁₆			
编程	2	写	X	40 ₁₆	写	WA (注3)	WD (注3)
全块擦除	2	写	X	20 ₁₆	写	X	20 ₁₆
块擦除	2	写	X	20 ₁₆	写	BA (注4)	D0 ₁₆

注1. X为用户ROM区内的任意地址

2. SRD=状态寄存器数据

3. WA=写地址、WD=写数据

4. BA=擦除块地址 (必须输入各块的最大地址。)

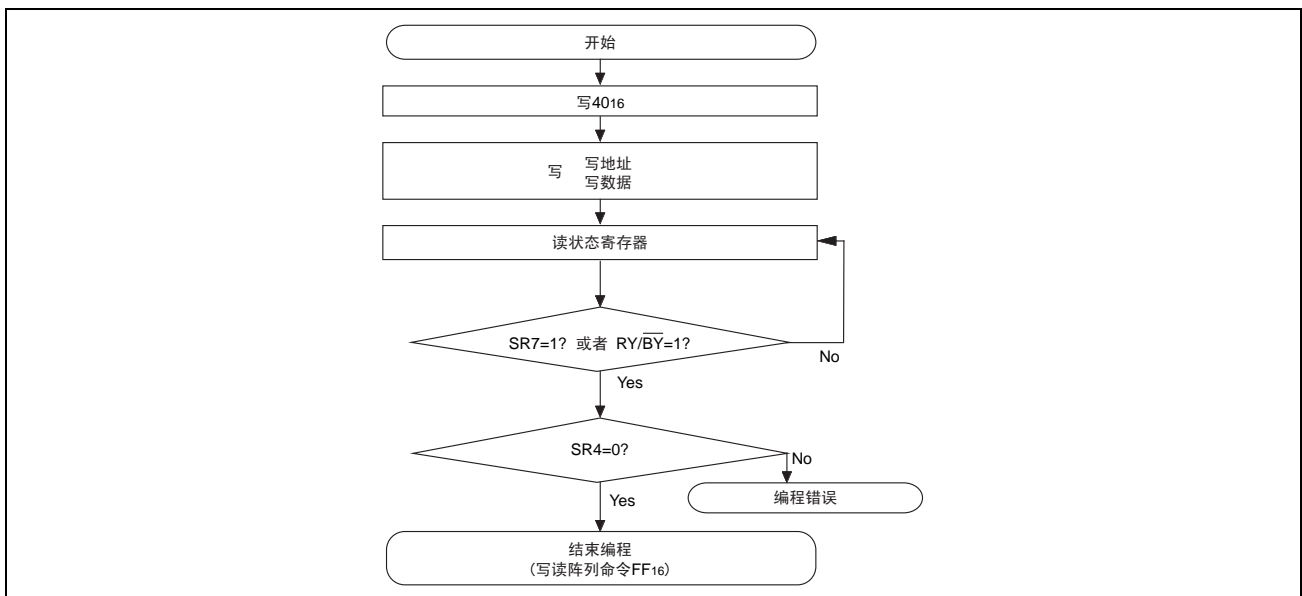


图 50. 编程命令流程图

●全块擦除命令 (20₁₆/20₁₆)

如果在第1个总线周期写命令码“20₁₆”后，继续在第2个总线周期写确认命令码“20₁₆”，就开始全块擦除运行（擦除和擦除验证）。

能通过读取状态寄存器或者读取闪存控制寄存器的RY/BY状态标志，确认全块擦除的结束。在开始全块擦除的同时，自动变为读状态寄存器模式，并且状态寄存器的内容被读到数据总线（D0~D7）。状态寄存器的bit7（SR7）在开始全块擦除的同时变为“0”，在结束时返回到“1”。此时的读状态寄存器模式被保持到写其它命令为止。

RY/BY状态标志和状态寄存器的bit7（SR7）相同，在擦除期间为“0”，在结束后变为“1”。

在全块擦除结束后，能通过读取状态寄存器的bit5（SR5），知道全块擦除的结果。详细内容请参照状态寄存器的章节。

● 块擦除命令 (2016/D016)

如果在第1个总线周期写命令码“2016”后，继续在第2个总线周期写确认命令码“D016”和块地址，就对指定的块开始块擦除运行（擦除和擦除验证）。

能通过读取状态寄存器或者读取闪存控制寄存器的 $\overline{RY}/\overline{BY}$ 状态标志，确认块擦除的结束。在开始块擦除的同时，自动变为读状态寄存器模式，并且能读取状态寄存器的内容。状态寄存器的bit7 (SR7) 在开始块擦除的同时变为“0”，在结束时返回到“1”。此时的读状态寄存器模式被保持到写其它命令为止。

$\overline{RY}/\overline{BY}$ 状态标志和状态寄存器的bit7相同，在擦除期间为“0”，在结束后变为“1”。

在块擦除结束后，能通过读取状态寄存器的bit5 (SR5)，知道块擦除的结果。详细内容请参照状态寄存器的章节。

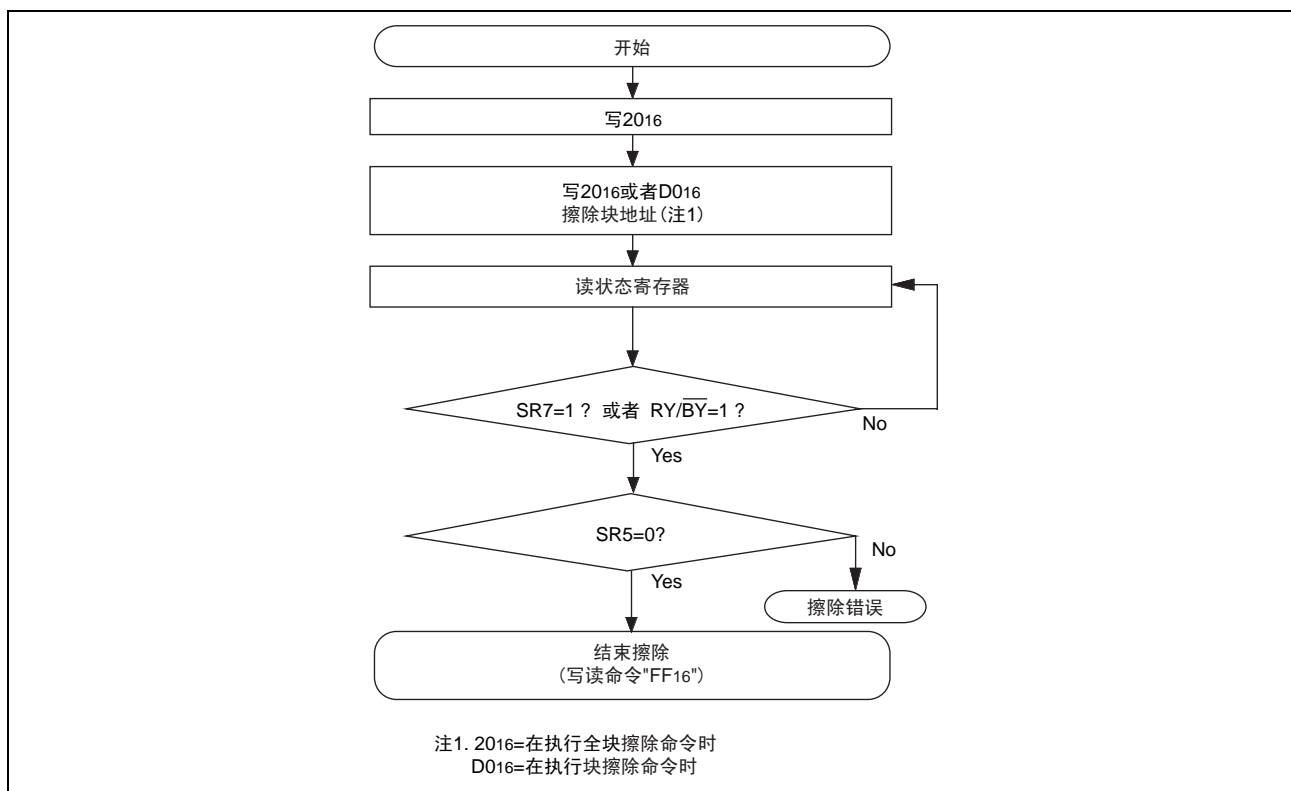


图 51. 擦除命令流程图

状态寄存器 (SRD)

状态寄存器是表示闪存的运行状态和擦除、编程的正常/错误结束等状态的寄存器。在具备以下的条件时能读取此状态寄存器的内容：

- (1) 在写读状态寄存器命令 (7016) 后，读取用户ROM区内的任意地址时。
- (2) 在从编程开始或者擦除开始到写读阵列命令 (FF16) 为止的期间，读取了用户ROM区的任意地址时。

另外，在写清除状态寄存器命令 (5016) 时，清除状态寄存器。

在复位解除后，状态寄存器变为“8016”。

各位的定义如下所示：

● 定序器状态 (SR7)

在接通电源后，定序器状态被置“1”（就绪）。

定序器状态表示闪存的运行状况。在编程和擦除运行中被置“0”（忙），在这些运行结束的同时被置“1”（就绪）。

● 擦除状态 (SR5)

擦除状态表示擦除的运行状况，在发生擦除错误时被置“1”。

在清除时，擦除状态变为“0”。

●编程状态 (SR4)

编程状态表示编程的运行状况，在发生编程错误时被置“1”。

在清除时，编程状态变为“0”。

在编程状态或者擦除状态 (SR4、SR5) 为“1”时，不接受读阵列命令、编程命令、全块擦除命令以及块擦除命令。在执行这些命令前，必须执行清除状态寄存器命令，清除状态寄存器。

另外，在没有正确输入命令时，SR4和SR5双方都被置“1”。

表 10. 状态寄存器 (SRD) 各位的定义

SRD的各位	状态名	定义	
		“1”	“0”
SR7(bit7)	定序器状态	就绪	忙
SR6(bit6)	保留	—	—
SR5(bit5)	擦除状态	错误结束	正常结束
SR4(bit4)	编程状态	错误结束	正常结束
SR3(bit3)	保留	—	—
SR2(bit2)	保留	—	—
SR1(bit1)	保留	—	—
SR0(bit0)	保留	—	—

全状态检查

通过全状态的检查，能知道擦除、编程的执行结果。全状态检查流程图和各错误发生时的处理方法如图52所示。

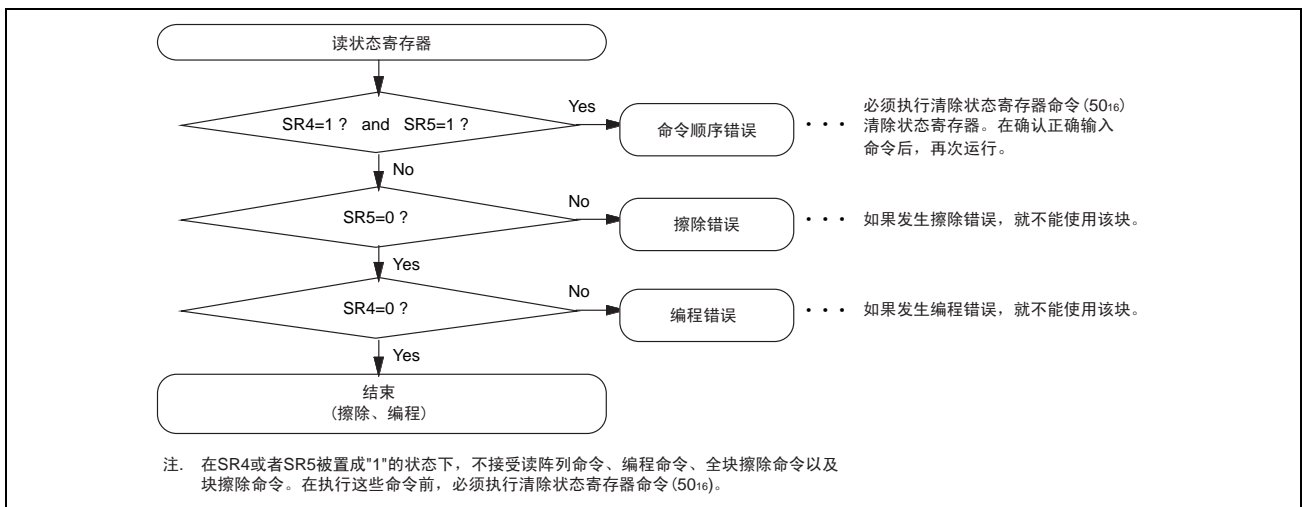


图 52. 全状态检查流程图和各错误发生时的处理方法

内部闪存改写禁止功能

为了不能随意读取或者改写内部闪存的内容，在并行输入/输出模式，内置ROM码保护功能；在标准串行输入/输出模式，内置ID码检查功能。

●ROM 码保护功能（在使用并行输入/输出模式时）

ROM码保护是在使用并行输入/输出模式时，通过ROM码保护控制寄存器（地址FFDB16），禁止读取或者改写内部闪存内容的功能。ROM码保护控制寄存器（地址FFDB16）结构如图53所示（此地址存在于用户ROM区）。

在由2位构成的ROM码保护位中，无论给其中的哪一位或者二位设定“0”，ROM码保护都被设定，禁止读取或者改写内部闪存的内容。ROM码保护有1级和2级，如果选择2级，用于发货检查的LSI测试仪等的读操作也不能进行。在1级和2级双方都被选择的情况下，2级被选择。

如果给ROM码保护解除位的2位设定“00”，就解除ROM码保护，并能读取或者改写内部闪存内容。一旦设定ROM码保护，就不能在并行输入/输出模式改变ROM码保护解除位的内容，必须在标准串行输入/输出模式或者CPU改写模式，改写ROM码保护解除位的内容。

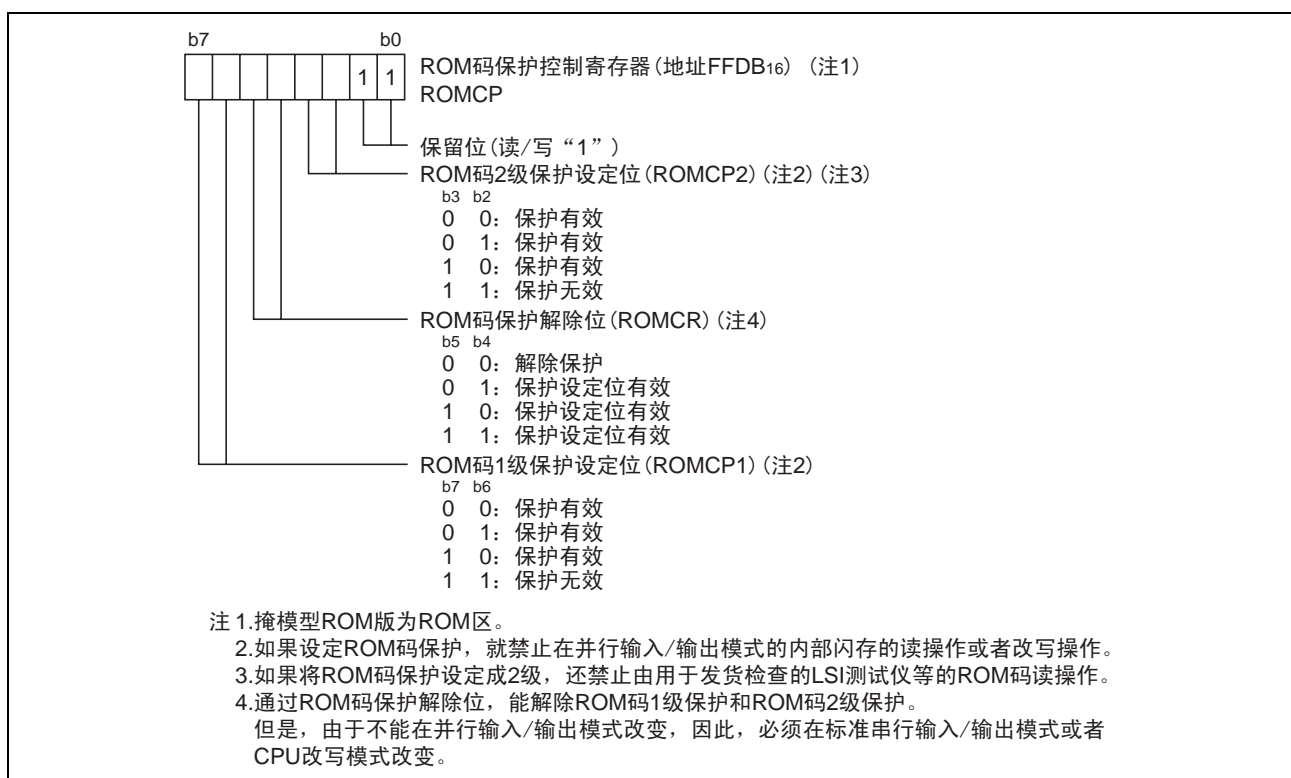


图 53. ROM 码保护控制寄存器结构

检查 ID 码功能（在使用标准串行输入/输出模式时）

在标准串行输入/输出模式使用。在闪存的内容不为空的情况下，判断从串行编程器送来的ID码和写在闪存中的ID码是否一致。如果ID码不一致，就不接受从串行编程器送来的命令。ID码各为8位数据，该区域为地址FFD416~FFDA16。必须将预先给这些地址设定ID码的程序写入闪存。

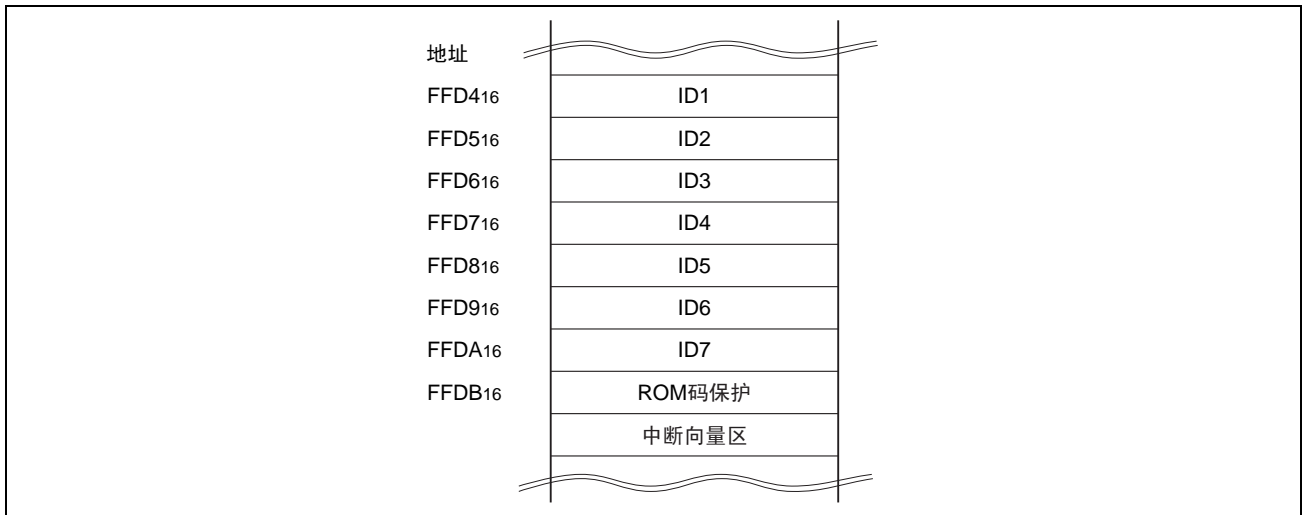


图 54. ID 码的保存地址

(2) 并行输入/输出模式

并行输入/输出模式是并行输入/输出对内部闪存操作（读、编程以及擦除等）所必需的软件命令、地址以及数据的模式。

必须使用支持3850群（闪存版）的专用外部装置（编程器）。使用方法的详细内容，请参照各编程器厂家的使用说明书。

用户 ROM 区和引导 ROM 区

在并行输入/输出模式，能改写如图47所示的用户ROM区和引导ROM区。对两区域，闪存的操作方法相同。

编程、块擦除必须以用户ROM区为对象。用户ROM区和块如图47所示。

引导ROM区为4K字节，被分配在地址F000₁₆~FFFF₁₆。编程、块擦除只能在此范围内进行（禁止对此范围外的存取）。

引导ROM区的擦除块只有4K字节单位的一个块。在发货时，在此引导ROM区存有标准串行输入/输出模式的控制软件。因此，在标准串行输入/输出模式使用时，不必写引导ROM区。

(3) 标准串行输入/输出模式

标准串行输入/输出模式是串行输入/输出对内部闪存操作（读、编程以及擦除等）所必需的软件命令、地址以及数据的模式。使用专用的外部装置（串行编程器等）。

标准串行输入/输出模式和并行输入/输出模式不同，CPU控制闪存的改写（使用CPU改写模式）和控制改写数据的串行输入等。通过将P26（SCLK1）引脚和P41（INT0）引脚置“H”、将CNVss引脚置“H”（在Vcc=4.5~5.5V时，连接到Vcc；在Vcc=2.7~4.5V时，将CNVss引脚作为Vpp引脚，从外部供给Vpp=4.5~5.5V），通过解除复位启动标准串行输入/输出模式（在通常的单片机模式，必须将CNVss设定为“L”。）。

在产品发货时，在引导ROM区存有此控制程序。因此，必须注意：在并行输入/输出模式改写引导ROM区时，无法使用标准串行输入/输出模式。在标准串行输入/输出模式时的引脚连接图如图55所示。使用串行I/O的4个引脚SCLK1、RxD、TxD以及SRDY1（BUSY）进行串行数据的输入/输出。

SCLK1引脚是传送时钟的输入引脚，从外部输入传送时钟。TxD引脚为CMOS输出。如果接收准备结束， $\overline{\text{SRDY1}}$ （BUSY）引脚就为“L”；如果开始接收运行，就输出“H”。发送/接收数据以8位单位进行串行传送。

在标准串行输入/输出模式，只能改写如图47所示的用户ROM区，不能改写引导ROM区。标准串行输入/输出模式具有7字节的ID码。在闪存的内容不为空的情况下，如果ID码的内容不一致，就不接受从外部装置（串行编程器等）送来的命令。

功能概要 (标准串行输入/输出模式)

在标准串行输入/输出模式, 使用4线式时钟同步串行I/O (串行I/O1), 和外部装置 (串行编程器等) 之间进行软件命令、地址以及数据等的输入/输出。在接收时, 软件命令、地址以及编程数据与输入到SCLK1引脚的传送时钟的上升沿同步, 从RxD引脚输入到内部。在发送时, 读数据和状态与传送时钟的下降沿同步, 从TxD引脚输出到外部。

TxD引脚为CMOS输出。以8位单位和LSB先, 进行传送。

在发送和接收、以及在执行擦除和编程等过程中的占线期间, $\overline{\text{SRDY1}}$ (BUSY) 引脚为“H”。因此, 必须在 $\overline{\text{SRDY1}}$ (BUSY) 引脚变为“L”后, 开始下一次传送。

另外, 通过输入软件命令后的读操作, 能读取存储器内的数据和状态寄存器等。通过读取状态寄存器, 能检查闪存的运行状态、编程或者擦除的正常/错误结束等状态。有关软件命令和状态寄存器等说明如下:

表 11. 引脚功能说明 (标准串行输入/输出模式)

引脚名	名称	输入/输出	功能
VCC、VSS	电源输入		必须给VCC引脚外加编程/擦除的保证电压、给VSS外加0V。
CNVSS	CNVSS	输入	在VCC=4.5~5.5V时, 必须连接VCC。在VCC=2.7~4.5V时, 必须连接VPP。
$\overline{\text{RESET}}$	复位输入	输入	复位输入引脚。在复位为“L”期间, XIN引脚至少需要20个周期的时钟。
XIN	时钟输入	输入	必须在XIN引脚和XOUT引脚之间连接陶瓷谐振器或者晶体谐振器。当输入在外部生成的时钟时, 必须从XIN输入, 并且将XOUT开路。
XOUT	时钟输出	输出	
AVSS	模拟电源输入		必须连接VSS。
VREF	基准电压输入	输入	必须输入AD的基准电压。
P00~P07	输入端口P0	输入	必须输入“H”、“L”, 或者开路。
P10~P17	输入端口P1	输入	必须输入“H”、“L”, 或者开路。
P20~P23	输入端口P2	输入	必须输入“H”、“L”, 或者开路。
P24	RxD输入	输入	串行数据的输入引脚。
P25	TxD输出	输出	串行数据的输出引脚。
P26	SCLK1输入	输入	串行时钟的输入引脚。
P27	BUSY输出	输出	BUSY信号的输出引脚。
P30~P34	输入端口P3	输入	必须输入“H”、“L”, 或者开路。
P40、P42~P44	输入端口P4	输入	必须输入“H”、“L”, 或者开路。
P41	输入端口P4	输入	只能在RESET解除时, 输入“H”。

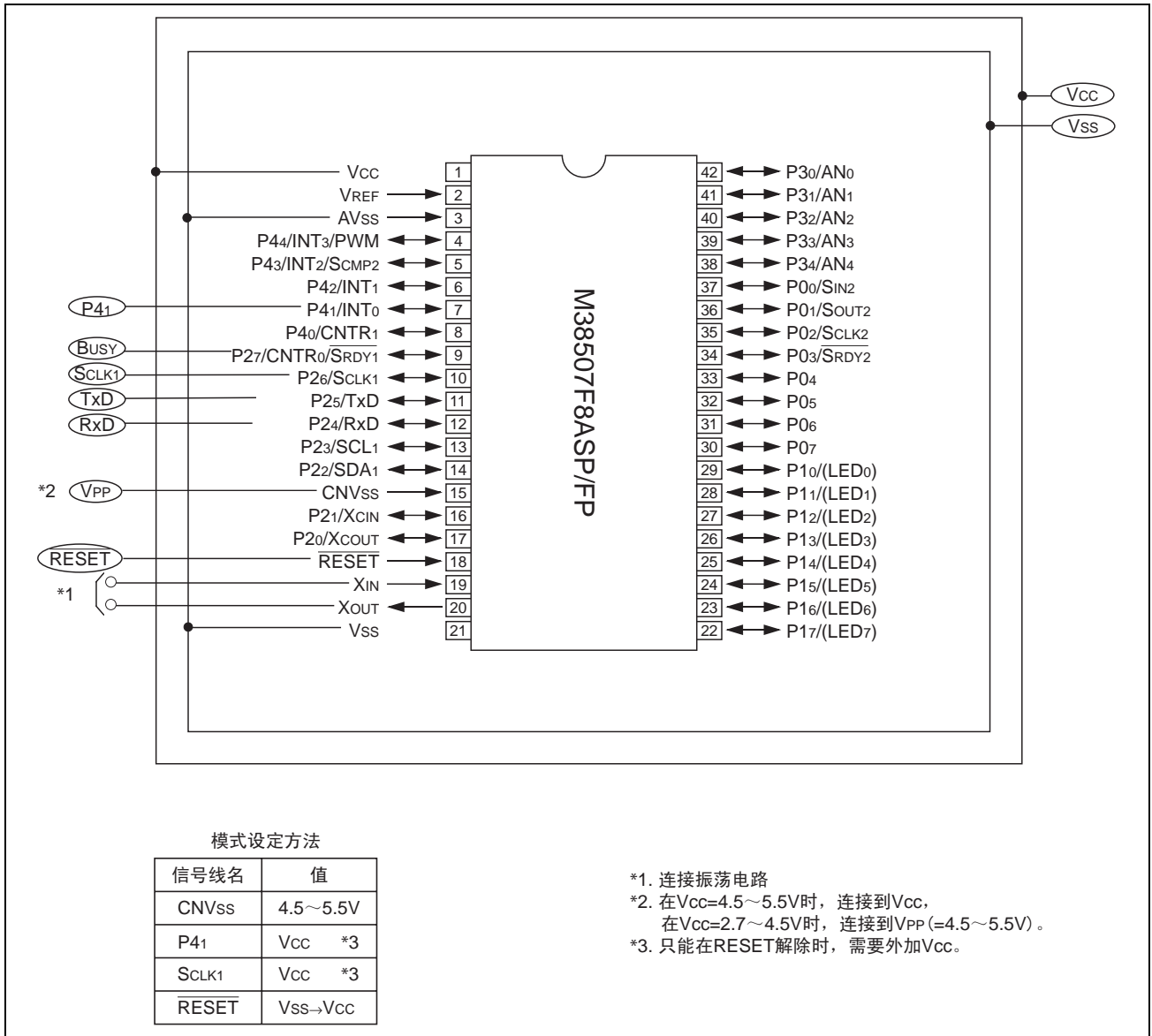


图 55. 标准串行输入/输出模式时的引脚连接图

软件命令 (标准串行输入/输出模式)

软件命令一览表如表12所示。在标准串行输入/输出模式，通过从Rx/D引脚传送软件命令，控制擦除、编程和读等。

表 12. 软件命令一览表 (标准串行输入/输出模式)

	控制命令名	第 1 字节的传送	第 2 字节	第 3 字节	第 4 字节	第 5 字节	第 6 字节	~	ID 未检查
1	页读	FF ₁₆	地址 (中位)	地址 (高位)	数据输出	数据输出	数据输出	~第 259 字节 数据输出	不能受理
2	页编程	41 ₁₆	地址 (中位)	地址 (高位)	数据输入	数据输入	数据输入	~第 259 字节 数据输入	不能受理
3	全块擦除	A7 ₁₆	D0 ₁₆						不能受理
4	读状态寄存器	70 ₁₆	SRD 输出	SRD1 输出					能受理
5	清除状态寄存器	50 ₁₆							不能受理
6	ID 检查功能	F5 ₁₆	地址 (低位)	地址 (中位)	地址 (高位)	ID 长度	ID1	~ID7	能受理
7	下载功能	FA ₁₆	长度 (低位)	长度 (高位)	校验和	数据输入	~需要 的次数		不能受理
8	版本信息输出功能	FB ₁₆	版本数据 输出	版本数据 输出	版本数据 输出	版本数据 输出	版本数据 输出	~第 9 字节版 本数据输出	能受理

注 1. 阴影部分为从内置闪存的单片机传送到串行编程器。除此以外部分为从串行编程器传送到内置闪存的单片机。

2. SRD为状态寄存器的数据，SRD1为状态寄存器1的数据。
3. 对空白的闪存，能接受所有命令。
4. 高位地址 (A₁₆~A₂₃) 总为“00₁₆”。

各软件命令的内容说明如下：

• 页读命令

按每1字节顺序读取指定的闪存页（256字节）。必须按如下的步骤执行页读命令：

- (1) 在传送第1字节时，输入命令码“FF₁₆”。
- (2) 在传送第2、3字节时，输入地址A₈~A₁₅和地址A₁₆~A₂₃（“00₁₆”）。
- (3) 从第4字节开始，和时钟的下降沿同步，从最小地址开始顺序输出用地址A₈~A₁₅和地址A₁₆~A₂₃指定的页（256字节）的数据（D₀~D₇）。

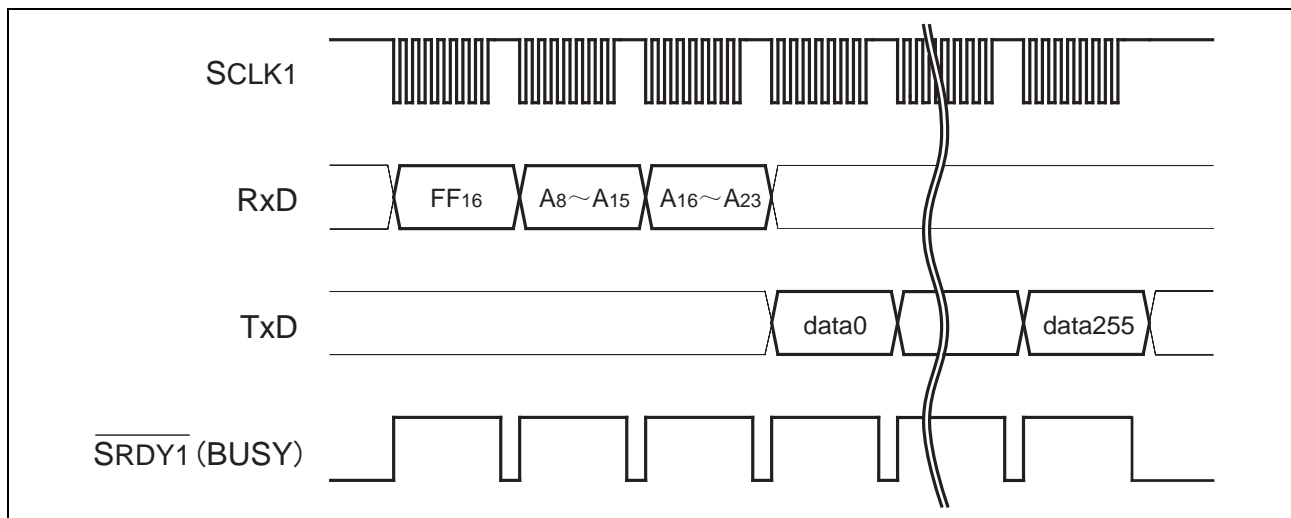


图 56. 页读命令时的时序

• 读状态寄存器命令

读取状态信息。如果在传送第1字节时传送命令码“70₁₆”，就在传送第2字节时输出状态寄存器（SRD）的内容，在传送第3字节时输出状态寄存器1（SRD1）的内容。

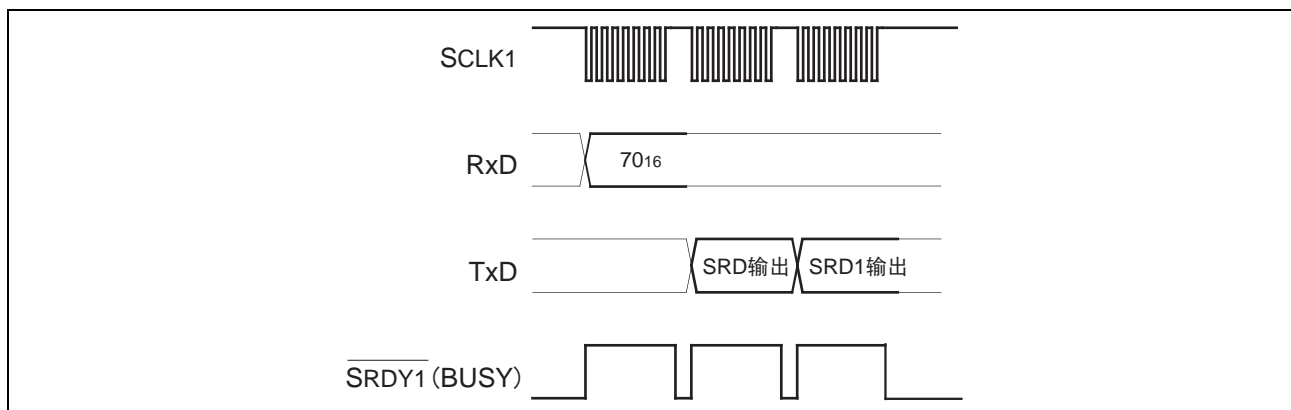


图 57. 读状态寄存器命令时的时序

• 清除状态寄存器命令

它是用于在将表示状态寄存器错误结束的位 (SR4、SR5) 置位后, 再将这些位清除的命令。如果在传送第1字节时输入命令码“50₁₆”, 就清除这些位。如果清除状态寄存器结束, $\overline{\text{SRDY1}}$ (BUSY) 信号就从“H”变成“L”。

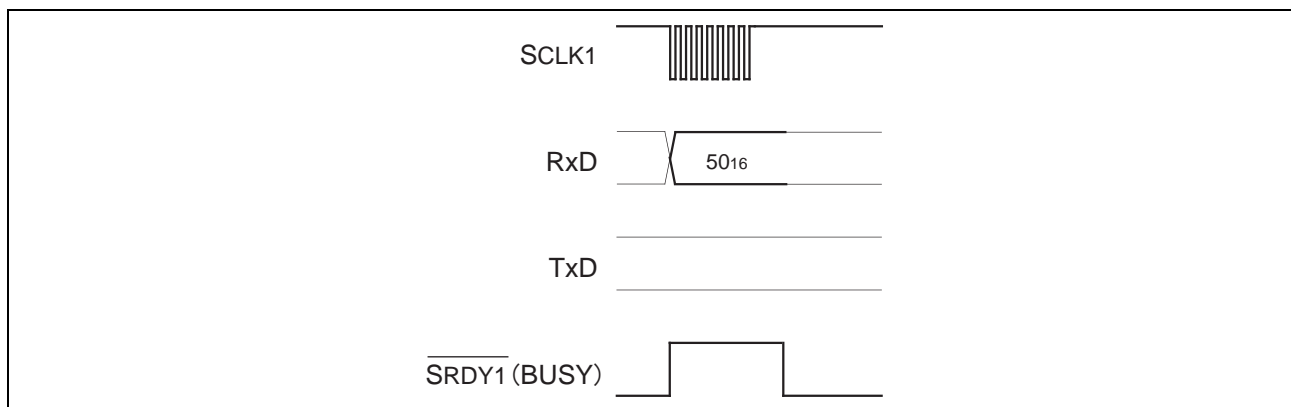


图 58. 清除状态寄存器命令时的时序

• 页编程命令

按每1字节顺序写指定的闪存页 (256字节)。必须按如下的步骤执行页编程命令:

- (1) 在传送第1字节时, 输入命令码“41₁₆”。
- (2) 在传送第2、3字节时, 输入地址A8~A15和地址A16~A23 (“00₁₆”)。
- (3) 从第4字节开始, 如果从指定写数据 (D0~D7) 的页的最小地址开始顺序输入256字节, 就自动对指定的页开始写操作。

如果完成下一次256字节的接收准备, $\overline{\text{SRDY1}}$ (BUSY) 信号就从“H”变成“L”。通过读取状态寄存器, 能知道编程结果。详细内容请参照状态寄存器的章节。

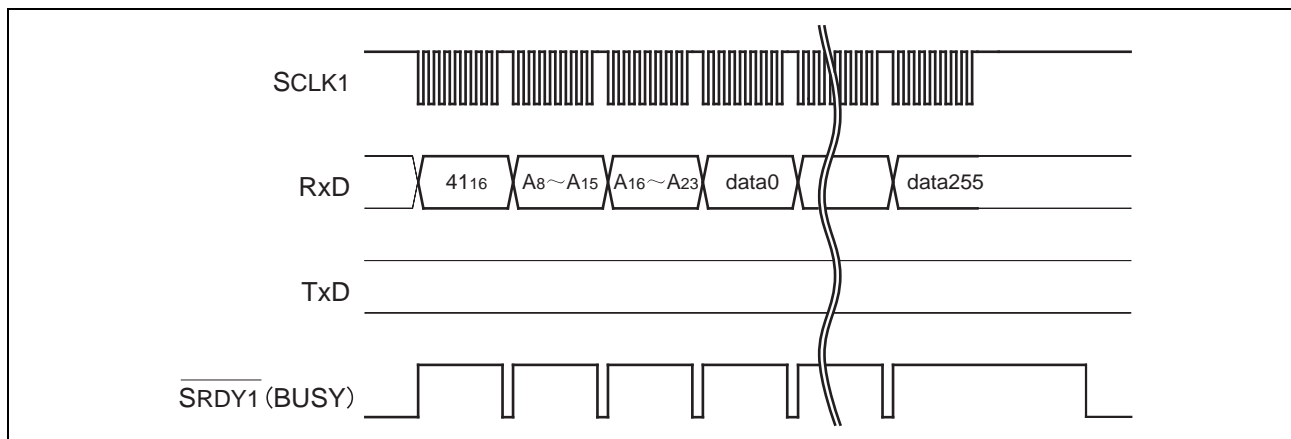


图 59. 页编程命令时的时序

• 全块擦除命令

它是擦除所有块内容的命令。必须按如下的步骤执行全块擦除命令：

- (1) 在传送第1字节时，输入命令码“A7₁₆”。
- (2) 如果在传送第2字节时输入确认命令“D0₁₆”，就对所有块开始连续块擦除操作。

如果全块擦除结束， $\overline{\text{SRDY1}}$ (BUSY) 信号就从“H”变成“L”。通过读取状态寄存器，能知道擦除结果。

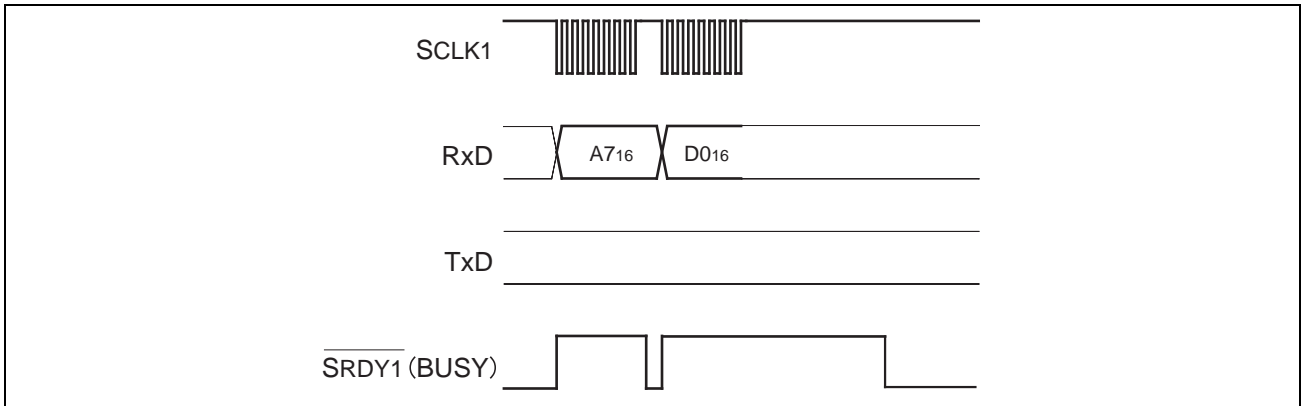


图 60. 全块擦除命令时的时序

• 下载功能

它是给 RAM 下载执行程序的命令。必须按如下的步骤执行下载：

- (1) 在传送第1字节时，输入命令码“FA₁₆”。
- (2) 在传送第2、3字节时，输入程序长度。
- (3) 在传送第4字节时，输入校验和。校验和是将第5字节开始的全部传送数据相加的数据。
- (4) 从第5字节开始，输入执行程序。

如果所有数据传送结束，并且校验和一致，就执行传送程序。传送程序的容量根据内部 RAM 的不同而不同。

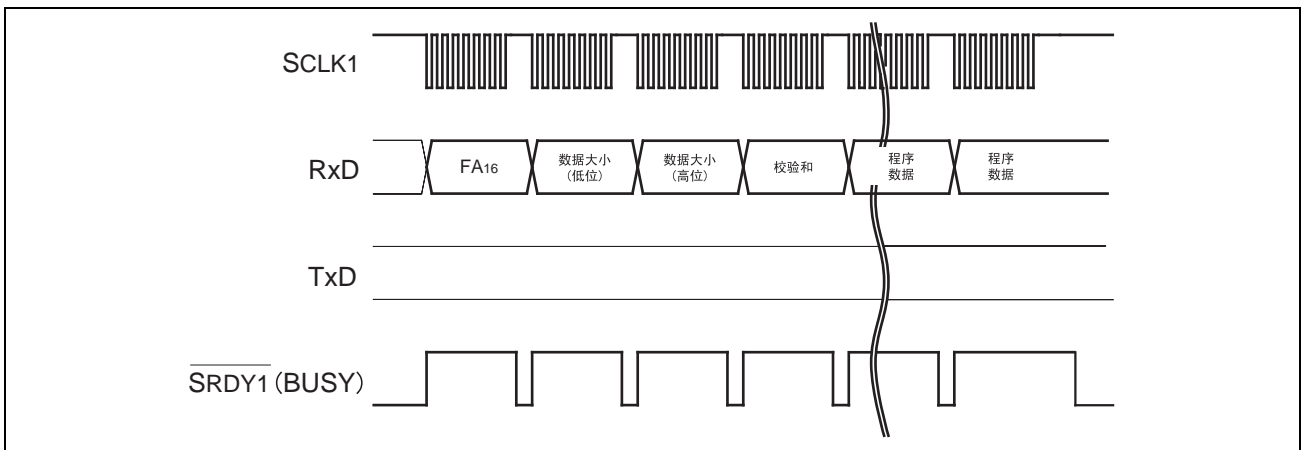


图 61. 下载功能的时序

• 版本信息输出功能

输出保存在引导 ROM 区的控制程序的版本信息。必须按如下的步骤执行版本信息输出功能：

- (1) 在传送第1字节时，输入命令码“FB16”。
- (2) 从第2字节开始，输出版本信息。版本信息由8字母的ASCII码构成。

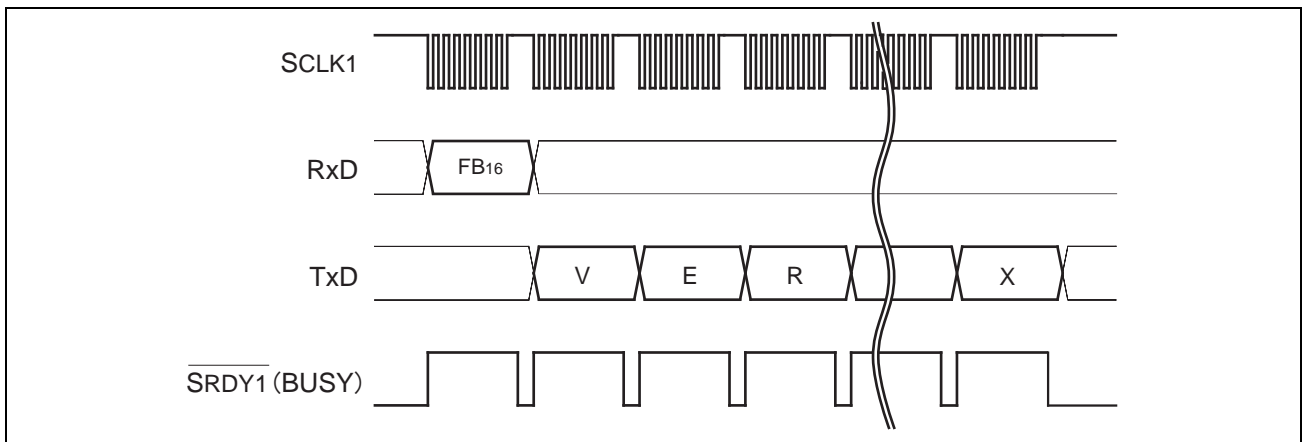


图 62. 版本信息输出功能的时序

• ID 检查功能

它是判断 ID 码的命令。必须按如下的步骤执行 ID 检查：

- (1) 在传送第1字节时，输入命令码“F5₁₆”。
- (2) 在传送第2、3、4字节时，分别输入ID码的第1字节的地址A0~A7、A8~A15和A16~A23（“00₁₆”）。
- (3) 在第5字节，输入ID码的数据个数。
- (4) 从第6字节开始，从ID码的第1字节开始输入ID码。

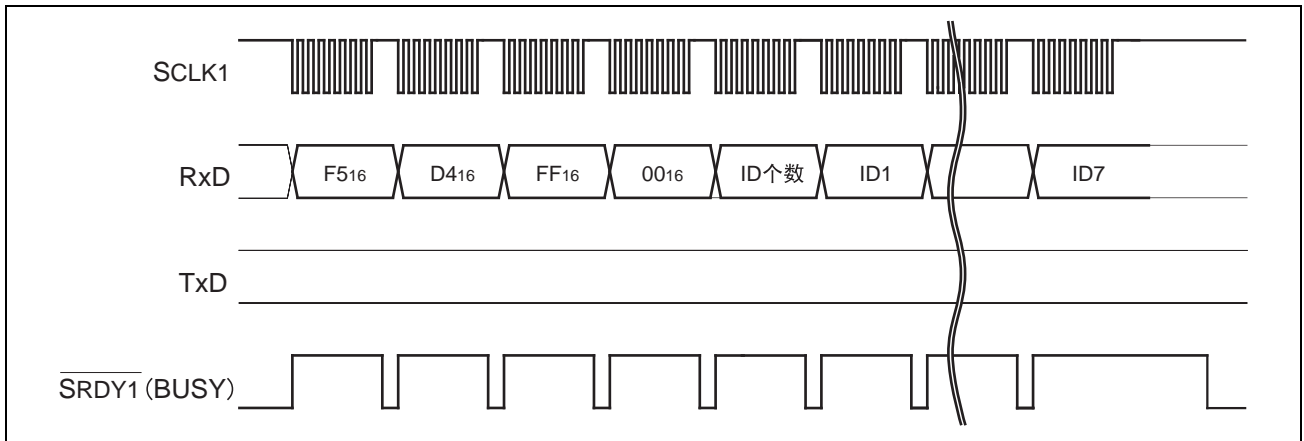


图 63. ID 检查功能的时序

ID 码

在闪存的内容不为空的情况下，判断从串行编程器送来的ID码和写在闪存中的ID码是否一致。如果码不一致，就不接受从串行编程器送来的命令。ID码各为8位数据，该区域为地址FFD4₁₆~FFDA₁₆。必须将预先给这些地址设定ID码的程序写入闪存。

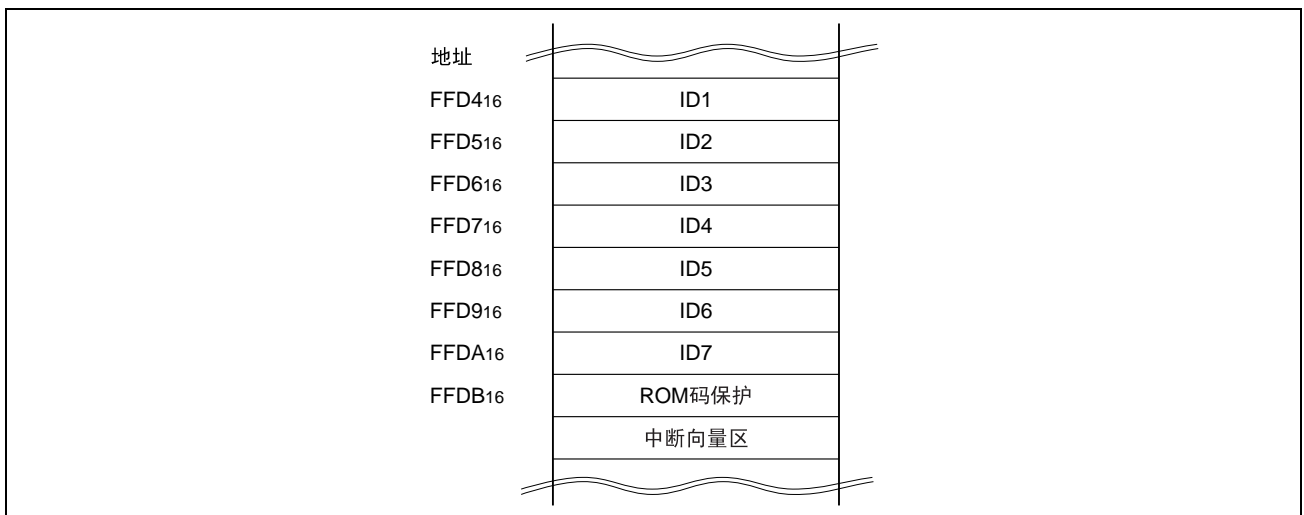


图 64. ID 码的保存地址

状态寄存器 (SRD)

状态寄存器是表示闪存的运行状态和擦除、编程的正常/错误结束等状态的寄存器。在读写状态寄存器命令 (70₁₆) 后, 能读取状态寄存器。另外, 在写清除状态寄存器命令 (50₁₆) 时, 清除状态寄存器。

状态寄存器的各位定义如表13所示。

在复位解除后, 状态寄存器变为“80₁₆”。

表 13. 状态寄存器 (SRD) 的各位定义

SRD的各位	状态名	定义	
		“1”	“0”
SR7(bit7)	定序器状态	就绪	忙
SR6(bit6)	保留	—	—
SR5(bit5)	擦除状态	错误结束	正常结束
SR4(bit4)	编程状态	错误结束	正常结束
SR3(bit3)	保留	—	—
SR2(bit2)	保留	—	—
SR1(bit1)	保留	—	—
SR0(bit0)	保留	—	—

- 定序器状态 (SR7)

定序器状态表示闪存的运行状况。在接通电源时和在从深断电模式返回时, 定序器状态被置“1” (就绪)。在编程和擦除运行中被置“0” (忙), 在这些运行结束的同时被置“1”。

- 擦除状态 (SR5)

擦除状态表示擦除的运行状况, 在发生擦除错误时被置“1”。在清除时, 擦除状态变为“0”。

- 编程状态 (SR4)

编程状态表示编程的运行状况, 在发生编程错误时被置“1”。在清除时, 编程状态变为“0”。

状态寄存器 1 (SRD1)

状态寄存器1是表示串行通信的状态、ID码的比较结果以及校验和的比较结果等的寄存器。如果在写读状态寄存器命令 (70₁₆) 后, 就能接着状态寄存器 (SRD) 读取状态寄存器1。在写清除状态寄存器命令 (50₁₆) 时, 清除状态寄存器1。

状态寄存器1的各位定义如表14所示。

在接通电源时, 状态寄存器1为“00₁₆”。在复位后, 保持标志的状态。

表 14. 状态寄存器 1 (SRD1) 的各位定义

SRD1的各位	状态名	定义	
		“1”	“0”
SR15(bit7)	引导已更新位	已更新	未更新
SR14(bit6)	保留	—	—
SR13(bit5)	保留	—	—
SR12(bit4)	校验和一致位	一致	不一致
SR11(bit3) SR10(bit2)	ID已检查位	00 01 10 11	未检查 检查不一致 保留 已检查
SR9(bit1)	数据接收超时	超时	正常运行
SR8(bit0)	保留	—	—

- 引导已更新位 (SR15)

它是表示是否已使用下载功能将控制程序下载到 RAM 中的标志。

- 校验和一致位 (SR12)

它是表示在使用下载功能下载控制程序时校验和是否一致的标志。

- ID 已检查位 (SR11、SR10)

它是表示 ID 检查结果。如果不检查 ID, 就有不能接受的命令。

- 数据接收超时位 (SR9)

它是表示在数据接收中发生超时错误的标志。在数据接收中, 如果此标志为“1”, 接收的数据就被取消, 返回等待命令状态。

全状态检查

通过全状态的检查，能知道擦除、编程的执行结果。全状态检查流程图和各错误发生时的处理方法如图65所示。

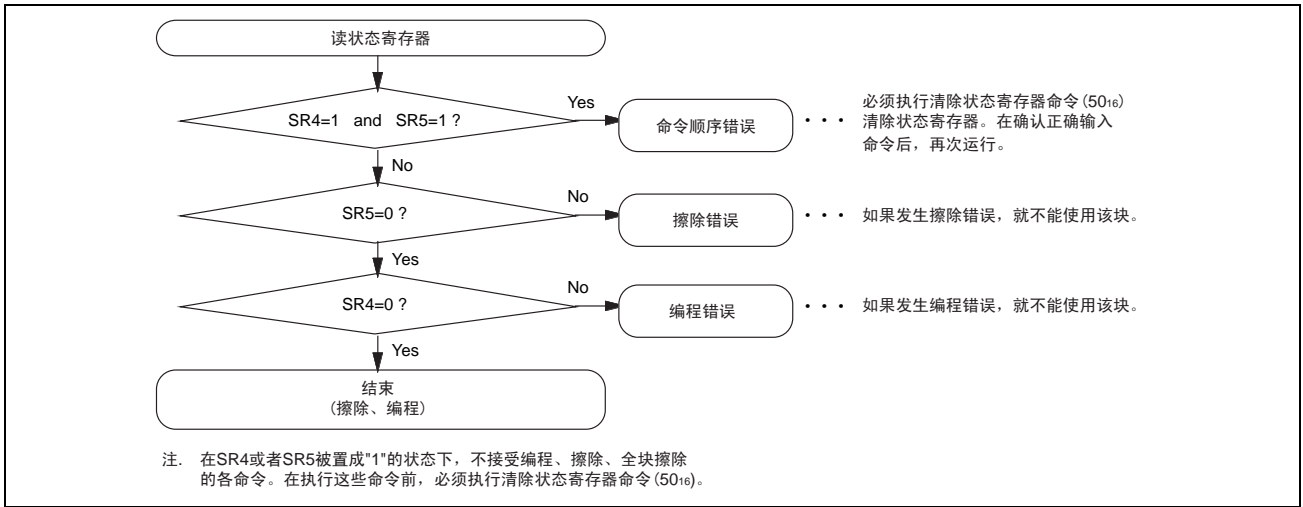


图 65. 全状态检查流程图和各错误发生时的处理方法

标准串行输入/输出模式时的应用电路 (例子)

使用标准串行输入/输出模式时的应用电路例子如图所示。控制引脚等根据编程器的不同而不同，详细内容请参照编程器的使用说明书。

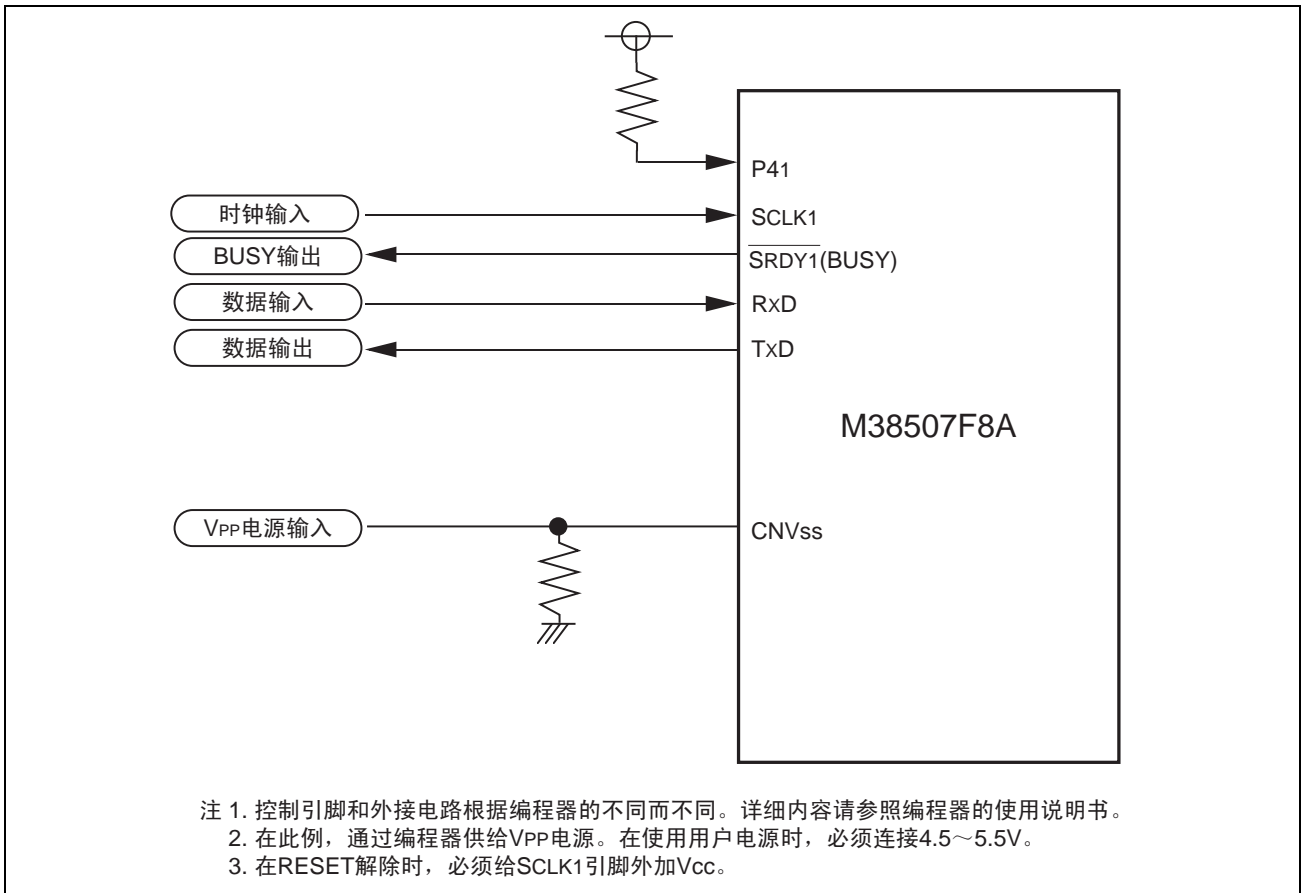


图 66. 标准串行输入/输出模式时的应用电路例子

闪存模式的电特性

绝对最大规格

表 15. 绝对最大额定值

符号	项 目	条 件	额 定 值	单 位
VCC	电源电压	以Vss引脚为基准测定。 在测定输入电压时，输出晶体引为截止状态。	-0.3~6.5	V
VI	输入电压 P00~P07、P10~P17、P20、P21、P24~P27、 P30~P34、P40~P44、VREF		-0.3~VCC+0.3	V
VI	输入电压 P22、P23		-0.3~5.8	V
VI	输入电压 $\overline{\text{RESET}}$ 、XIN		-0.3~VCC+0.3	V
VI	输入电压 CNVss		-0.3~6.5	V
VO	输出电压 P00~P07、P10~P17、P20、P21、P24~P27、 P30~P34、P40~P44、XOUT		-0.3~VCC+0.3	V
VO	输出电压 P22、P23		-0.3~5.8	V
Pd	功耗		Ta=25°C	1000(注1)
Topr	工作环境温度		25±5	°C
Tstg	保存温度		-40~125	°C

注 1. PRSP0042GA-B 封装产品为 300mW。

表 16. 直流电特性 (在没有指定的情况下, Ta=25°C、Vcc=4.5~5.5V)

符号	项 目	条 件	规格值			单 位
			最小	典型	最大	
I _{PP1}	V _{PP} 电源电流 (在读时)	V _{PP} = VCC			100	μA
I _{PP2}	V _{PP} 电源电流 (在编程时)	V _{PP} = VCC			60	mA
I _{PP3}	V _{PP} 电源电流 (在擦除时)	V _{PP} = VCC			30	mA
V _{PP}	V _{PP} 电源电压		4.5		5.5	V
VCC	VCC电源电压	单片机模式运行在 VCC=2.7~5.5V 时	4.5		5.5	V
		单片机模式运行在 VCC=2.7~3.6V 时	3.0		3.6	V

编程上的注意事项

有关处理器状态寄存器的注意事项

处理器状态寄存器 (PS) 除了中断禁止标志 I 为“1”以外, 刚复位后的值不定。因此, 必须对影响程序执行的标志进行初始化。

尤其对影响运算本身的 T 标志和 D 标志必须初始化。

有关中断的注意事项

在刚通过程序改变中断请求位的内容后, 即使执行 BBC、BBS 指令, 也只对改变前的内容执行, 因此为了对改变后的内容执行, 必须在至少执行一条指令后进行。

有关 10 进制运算的注意事项

- 在进行 10 进制运算时, 将 10 进制模式标志 D 设定为“1”, 然后执行 ADC 指令或者 SBC 指令, 此时, 必须在从 ADC 指令或者 SBC 指令开始至少执行一条指令后, 再执行 SEC 指令、CLC 指令或者 CLD 指令。
- 在 10 进制模式, N (负)、V (上溢) 以及 Z (零) 标志无效。

有关定时器的注意事项

对定时器锁存器写值 n (0~255) 时的分频比为 $1/(n+1)$ 。

有关乘除指令的注意事项

- MUL、DIV 指令不受 T 标志和 D 标志的影响。
- 乘除指令的执行不改变处理器状态寄存器的内容。

有关端口的注意事项

不能读取端口方向寄存器的值。也就是说, 不能使用 LDA 指令、T 标志为“1”时的存储器运算指令、以及将方向寄存器的值作为修改值的寻址方式和 BBC、BBS 等位测试指令。另外, 也不能使用 CLB、SEB 等位操作指令、以及 ROR 等运算的方向寄存器的读/修改/写指令。必须使用 LDM、STA 等指令设定方向寄存器。

有关串行接口的注意事项

对于串行 I/O1 (时钟同步模式), 当接收侧采用外部时钟输出 $\overline{\text{SRDY1}}$ 时, 必须将接收允许位、 $\overline{\text{SRDY1}}$ 输出允许位以及发送允许位都设定为“1”。

另外, 串行 I/O1 在发送结束后, 锁存最后位, 并从 TxD 引脚输出最后位。

串行 I/O2 在发送结束时, Sout2 引脚为高阻抗状态。

对于串行 I/O1 (时钟同步模式) 和串行 I/O2, 在选择外部时钟作为同步时钟情况下, 当传送时钟的输入电平为“H”时, 必须将发送数据分别写入发送缓冲寄存器和串行 I/O2 寄存器。

有关 A/D 转换的注意事项

比较器由电容耦合构成, 如果时钟频率太低, 就会丢失电荷。因此, 在中速模式或者高速模式的 A/D 转换期间, 必须将 $f(\text{XIn})$ 至少保持为 500kHz。

另外, 在 A/D 转换期间, 不能执行 STP 指令。

有关指令执行时间的注意事项

指令执行时间能通过机器指令一览表所记载的周期数乘以内部时钟 ϕ 的周期得到。在高速模式，内部时钟 ϕ 的周期为XIN周期的2倍。

有关保留区和保留位的注意事项

不能对保留区和保留位写任何数据（不能改变复位后的状态）。

有关 CPU 模式寄存器的注意事项

CPU模式寄存器的bit3必须固定为“1”。

使用时的注意事项

有关 3850 群 (标准产品)、3850 群 (H 规格) 和 3850 群 (A 规格) 不同的注意事项

- (1) 3850 群 (A 规格) 的绝对最大额定值小于 3850 群 (标准产品)。
电源电压 $V_{CC} = -0.3 \sim 6.5V$ 、 CNV_{SS} 输入电压 $V_I = -0.3 \sim V_{CC} + 0.3V$
- (2) $XIN-XOUT$ 、 $XCIN-XCOUT$ 的振荡电路常数可能不同。
- (3) 必须正确处理未使用的引脚。

有关使用电源引脚的注意事项

在使用时, 为了防止闩锁现象, 必须将高频特性良好的电容作为旁路电容外接到元件的电源引脚 (V_{CC} 引脚) 和 GND 引脚 (V_{SS} 引脚) 之间以及电源引脚 (V_{CC} 引脚) 和模拟电源输入引脚 (AV_{SS} 引脚) 之间。旁路电容推荐 $0.01\mu F \sim 0.1\mu F$ 的陶瓷电容。

另外, 必须以最短距离将旁路电容外接在电源引脚和 GND 引脚之间以及电源引脚和模拟电源输入引脚之间。

有关电源电压的注意事项

在单片机的电源电压低于推荐运行条件的值时, 单片机可能无法正常运行而处于不稳定的运行状态。

对于在电源电压下降和切断电源时电源电压缓慢下降的系统, 必须将系统设计为即使在电源电压低于推荐运行条件时的不稳定运行状态下, 通过单片机复位等手段使系统不发生异常。

有关闪存版和掩模型 ROM 版的不同点的注意事项

闪存版和掩模型 ROM 版根据制造工艺、内部 ROM、布线图形等的不同, 在电特性的范围内, 特性值、运行容限、噪声耐量、噪声辐射量等可能不同。在切换到掩模型 ROM 时, 必须实施和闪存版进行的系统评估试验同等的试验。

有关闪存版的注意事项

必须尽量以最短的布线将 CNV_{SS}/V_{PP} 引脚连接到离供给单片机 V_{SS} 引脚的 GND 最近的 GND 布线。

另外, 通过串联的方式插入 $1k \sim 5k\Omega$ 的电阻, 并且连接到 GND, 有可能改善噪声耐量。此时也要和上述同样, 必须尽量以最短的布线连接到离供给单片机 V_{SS} 引脚的 GND 最近的 GND 布线。

• 理由

CNV_{SS}/V_{PP} 引脚是内部闪存的电源输入引脚。

在给闪存编程时, 为了产生编程电流, 降低了 V_{PP} 引脚的阻抗, 所以噪声容易侵入。如果噪声从 V_{PP} 引脚侵入, 来自闪存的指令码和数据的读操作就不能正常进行而导致失控。

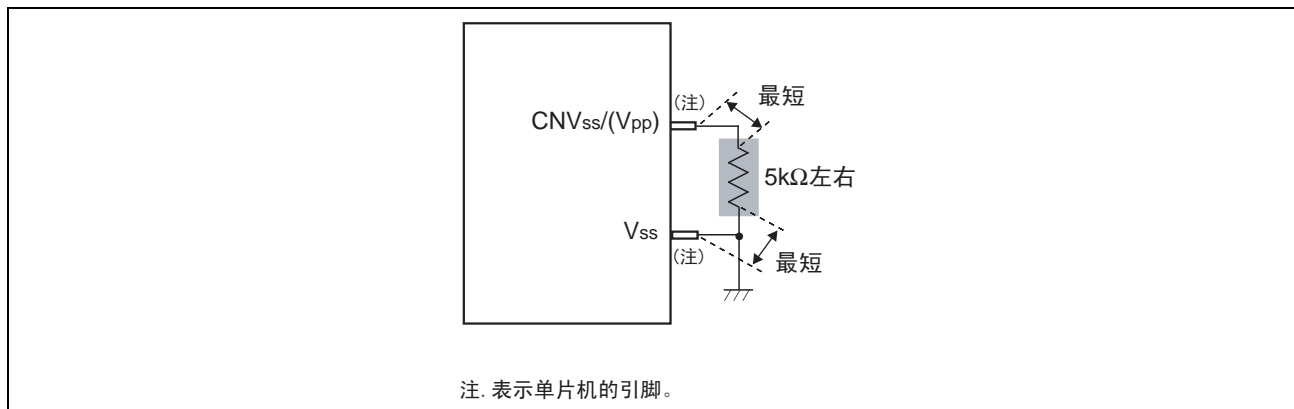


图 67. CNV_{SS}/V_{PP} 引脚的布线

订购掩模化产品时的提交资料

必须在订购掩模型ROM版的掩模化产品时提交以下的资料:

- (1) 掩模化确认书*¹
- (2) 标记指定书*²
- (3) ROM的数据 · · · 掩模文件

* 有关掩模化确认书和标记指定书, 请参照瑞萨科技主页ROM订购 (<http://www.renesas.com>)。

电特性

绝对最大额定值

表 17. 绝对最大额定值

符号	项 目	条 件	额 定 值	单 位	
VCC	电源电压	以Vss引脚为基准测定。 在测定输入电压时，输出晶体引为截止状态。	-0.3~6.5	V	
VI	输入电压 P00~P07、P10~P17、P20、P21、P24~P27、 P30~P34、P40~P44、VREF		-0.3~VCC+0.3	V	
VI	输入电压 P22、P23		-0.3~5.8	V	
VI	输入电压 $\overline{\text{RESET}}$ 、XIN		-0.3~VCC+0.3	V	
VI	输入电压 CNVss		-0.3~VCC+0.3	V	
VO	输出电压 P00~P07、P10~P17、P20、P21、P24~P27、 P30~P34、P40~P44、XOUT		-0.3~VCC+0.3	V	
VO	输出电压 P22、P23		-0.3~5.8	V	
Pd	功耗		Ta=25°C	1000 (注)	mW
Topr	工作环境温度			-20~85	°C
Tstg	保存温度			-40~125	°C

注. PRSP0042GA-B 封装产品为 300mW。

推荐运行条件

表 18. 推荐运行条件 (1) (在没有指定的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$)

符号	项 目		规格值			单位
			最小	典型	最大	
VCC	电源电压	在12.5MHz时 (高速模式)	4.0	5.0	5.5	V
		在12.5MHz时 (中速模式)、在6MHz时 (高速模式)	2.7	5.0	5.5	V
		在32kHz时 (低速模式)				
VSS	电源电压			0		V
VREF	A/D 转换器基准电压		2.0		VCC	V
AVSS	模拟电源电压			0		V
VIA	模拟输入电压 AN0~AN8		AVSS		VCC	V
VIH	“H” 输入电压 P00~P07、P10~P17、P20、P21、P24~P27、P30~P34 P40~P44		0.8VCC		VCC	V
VIH	“H” 输入电压 P22、P23		0.8VCC		5.8	V
VIH	“H” 输入电压 RESET、XIN、CNVSS		0.8VCC		VCC	V
VIL	“L” 输入电压 P00~P07、P10~P17、P20~P27、P30~P34 P40~P44		0		0.2VCC	V
VIL	“L” 输入电压 RESET、CNVSS		0		0.2VCC	V
VIL	“L” 输入电压 XIN		0		0.16VCC	V
$\Sigma I_{OH}(\text{peak})$	“H” 电平输出总峰值电流 (注) P00~P07、P10~P17、P30~P34				-80	mA
$\Sigma I_{OH}(\text{peak})$	“H” 电平输出总峰值电流 (注) P20、P21、P24~P27、P40~P44				-80	mA
$\Sigma I_{OL}(\text{peak})$	“L” 电平输出总峰值电流 (注) P00~P07、P30~P34				80	mA
$\Sigma I_{OL}(\text{peak})$	“L” 电平输出总峰值电流 (注) P10~P17				120	mA
$\Sigma I_{OL}(\text{peak})$	“L” 电平输出总峰值电流 (注) P20~P27、P40~P44				80	mA
$\Sigma I_{OH}(\text{avg})$	“H” 电平输出总平均电流 (注) P00~P07、P10~P17、P30~P34				-40	mA
$\Sigma I_{OH}(\text{avg})$	“H” 电平输出总平均电流 (注) P20、P21、P24~P27、P40~P44				-40	mA
$\Sigma I_{OL}(\text{avg})$	“L” 电平输出总平均电流 (注) P00~P07、P30~P34				40	mA
$\Sigma I_{OL}(\text{avg})$	“L” 电平输出总平均电流 (注) P10~P17				60	mA
$\Sigma I_{OL}(\text{avg})$	“L” 电平输出总平均电流 (注) P20~P27、P40~P44				40	mA

注. 总输出电流为流向所有对应端口的电流总和。总平均电流是在100ms期间的平均值, 总峰值电流为对应端口的总和电流峰值。

表 19. 推荐运行条件 (2) (在没有指定的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $T_a=-20\sim 85^{\circ}C$)

符号	项 目		规格值			单位
			最小	典型	最大	
I _{OH} (peak)	“H”电平输出峰值电流 (注1) P00~P07、P10~P17、P20、P21、P24~P27 P30~P34、P40~P44				-10	mA
I _{OL} (peak)	“L”电平输出峰值电流 (注1)	P00~P07、P20~P27、P30~P34、 P40~P44			10	mA
I _{OL} (peak)	“L”电平输出峰值电流 (注1)	P10~P17			20	mA
I _{OH} (avg)	“H”电平输出平均电流 (注2) P00~P07、P10~P17、P20、P21、P24~P27 P30~P34、P40~P44				-5	mA
I _{OL} (avg)	“L”电平输出平均电流 (注2)	P00~P07、P20~P27、P30~P34、 P40~P44			5	mA
I _{OL} (avg)	“L”电平输出平均电流 (注2)	P10~P17			15	mA
f(XIN)	内部时钟振荡频率 (注3) ($V_{CC}=4.0\sim 5.5V$)				12.5	MHz
f(XIN)	内部时钟振荡频率 (注3) ($V_{CC}=2.7\sim 4.0V$)				5V _{CC} -7.5	MHz
f(XCIN)	副时钟输入振荡频率 (注3)、(注4)			32.768	50	MHz

注1. 峰值输出电流规定流向每个端口的电流峰值。

2. 平均输出电流I_{OL}(avg)、I_{OH}(avg)是在100ms期间的平均值。

3. 振荡频率是占空比为50%的情况。

4. 使用低速模式时的副时钟输入振荡频率必须为 $f(XCIN) < f(XIN)/3$ 。

电特性

表 20. 电特性 (1) (在没有指定的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^\circ C$)

符号	项 目	测 定 条 件	规 格 值			单 位
			最小	典型	最大	
VOH	“H” 输出电压 P00~P07、P10~P17、P20、P21 P24~P27、P30~P34、P40~P44 (注)	IOH=-10mA VCC=4.0~5.5V	VCC-2.0			V
		IOH=-1.0mA VCC=2.7~5.5V	VCC-1.0			V
VOL	“L” 输出电压 P00~P07、P20~P27、P30~P34 P40~P44	IOL=10mA VCC=4.0~5.5V			2.0	V
		IOL=1.0mA VCC=2.7~5.5V			1.0	V
VOL	“L” 输出电压 P10~P17	IOL=20mA VCC=4.0~5.5V			2.0	V
		IOL=10mA VCC=2.7~5.5V			1.0	V

注. 有关P25, 是在UART控制寄存器的P25/TxD P沟道输出禁止位(地址001B16的bit4)为“0”的情况。

表 21. 电特性 (2) (在没有指定的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^\circ C$)

符号	项 目	测 定 条 件	规 格 值			单 位
			最小	典型	最大	
VT+ - VT-	滞后 CNTR0、CNTR1、INT0~INT3			0.4		V
VT+ - VT-	滞后 RXD、SCLK1、SCLK2、SIN2			0.5		V
VT+ - VT-	滞后 RESET			0.5		V
I _{IH}	“H” 输入电流 P00~P07、P10~P17、P20、P21 P24~P27、P30~P34、P40~P44	VI=VCC (引脚为浮动状态。上拉晶体引为分离状态)			5.0	μA
I _{IH}	“H” 输入电流 \overline{RESET} 、CNVSS	VI=VCC			5.0	μA
I _{IH}	“H” 输入电流 XIN	VI=VCC		4		μA
I _{IL}	“L” 输入电流 P00~P07、P10~P17、P20~P27 P30~P34、P40~P44	VI=VSS (引脚为浮动状态。上拉晶体引为分离状态)			-5.0	μA
I _{IL}	“L” 输入电流 \overline{RESET} 、CNVSS	VI=VSS			-5.0	μA
I _{IL}	“L” 输入电流 XIN	VI=VSS		-4.0		μA
		VI=VSS VCC=5.0V	-25	-65	-120	μA
I _{IL}	“L” 输入电流 (在上拉有效时) P00~P07、P10~P17、P20、P21、 P24~P27、P30~P34、P40~P44	VI=VSS VCC=3.0V	-8	-22	-40	μA
VRAM	RAM 保持电压	在时钟停止时	2.0		5.5	V

表 22. 电特性 (3) (在没有指定的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^\circ C$)

符号	项目	测定条件		规格值			单位
				最小	典型	最大	
I _{CC}	电源电流	在高速模式时 f(XIN)=12.5MHz f(XCIN)=32.768kHz 输出晶体引为截止状态	M38507F8AFP/SP 除外		6.5	13.0	mA
			M38507F8AFP/SP		7.5	15.0	mA
		在高速模式时 f(XIN)=8MHz f(XCIN)=32.768kHz 输出晶体引为截止状态	M38507F8AFP/SP 除外		5.0	10.0	mA
			M38507F8AFP/SP		6.8	13.0	mA
		在高速模式时 f(XIN)=12.5MHz (在执行WIT指令时) f(XCIN)=32.768kHz 输出晶体引为截止状态			1.6	4.5	mA
		在高速模式时 f(XIN)=8MHz (在执行WIT指令时) f(XCIN)=32.768kHz 输出晶体引为截止状态			1.6	4.2	mA
		在中速模式时 f(XIN)=12.5MHz f(XCIN)=停止 输出晶体引为截止状态	M38507F8AFP/SP 除外		4.0	7.0	mA
			M38507F8AFP/SP		4.0	8.5	mA
		在中速模式时 f(XIN)=8MHz f(XCIN)=停止 输出晶体引为截止状态	M38507F8AFP/SP 除外		3.0	6.5	mA
			M38507F8AFP/SP		3.0	7.0	mA
		在中速模式时 f(XIN)=12.5MHz (在执行WIT指令时) f(XCIN)=停止 输出晶体引为截止状态			1.5	4.2	mA
		在中速模式时 f(XIN)=8MHz (在执行WIT指令时) f(XCIN)=停止 输出晶体引为截止状态			1.5	4.0	mA
		在低速模式时 f(XIN)=停止 f(XCIN)=32.768kHz 输出晶体引为截止状态	M38507F8AFP/SP 除外		60	200	μA
			M38507F8AFP/SP		250	500	μA
		在低速模式时 f(XIN)=停止 f(XCIN)=32.768kHz (在执行WIT指令时) 输出晶体引为截止状态	M38507F8AFP/SP 除外		40	70	μA
			M38507F8AFP/SP		70	150	μA
		在低速模式时 (V _{CC} =3V) f(XIN)=停止 f(XCIN)=32.768kHz 输出晶体引为截止状态	M38507F8AFP/SP 除外		20	55	μA
			M38507F8AFP/SP		150	300	μA
		在低速模式时 (V _{CC} =3V) f(XIN)=停止 f(XCIN)=32.768kHz (在执行WIT指令时) 输出晶体引为截止状态	M38507F8AFP/SP 除外		5	10	μA
			M38507F8AFP/SP		20	40	μA
A/D转换器运行时的增量 f(XIN)=8MHz			800		μA		
振荡全部停止 (在执行STP指令时) 输出晶体引为截止状态	T _a =25°C		0.1	1.0	μA		
	T _a =85°C			10	μA		

A/D 转换器特性

表 23. A/D 转换器特性

(在没有指定的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$ 、 $f(X_{IN})=12.5MHz$)

符号	项 目		测 定 条 件	规 格 值			单 位
				最小	典型	最大	
—	分辨率					10	bit
—	绝对精度 (量化误差除外)					± 4	LSB
tCONV	转换时间		高速模式和中速模式			61	$2t_c(X_{IN})$
			低速模式		40		μs
RLADDER	梯形电阻			35			$k\Omega$
I _{VREF}	基准电源输入电流	在VREF连接时	VREF=5.0V	50	150	200	μA
		在VREF断开时					
I _{I(AD)}	A/D 端口输入电流			0.5		5.0	μA

时序的必要条件

表 24. 时序的必要条件 (1) (在没有指定的情况下, $V_{CC}=4.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

符号	项目	规格值			单位
		最小	典型	最大	
t _w (RESET)	复位输入“L”脉冲宽度	20			XIN 周期
t _c (XIN)	外部时钟输入周期时间	80			ns
t _{WH} (XIN)	外部时钟输入“H”脉冲宽度	32			ns
t _{WL} (XIN)	外部时钟输入“L”脉冲宽度	32			ns
t _c (CNTR)	CNTR ₀ 、CNTR ₁ 输入周期时间	200			ns
t _{WH} (CNTR)	CNTR ₀ 、CNTR ₁ 输入“H”脉冲宽度	80			ns
t _{WL} (CNTR)	CNTR ₀ 、CNTR ₁ 输入“L”脉冲宽度	80			ns
t _{WH} (INT)	INT ₀ ~INT ₃ 输入“H”脉冲宽度	80			ns
t _{WL} (INT)	INT ₀ ~INT ₃ 输入“L”脉冲宽度	80			ns
t _c (SCLK1)	串行I/O1时钟输入周期时间 (注)	800			ns
t _{WH} (SCLK1)	串行I/O1时钟输入“H”脉冲宽度 (注)	370			ns
t _{WL} (SCLK1)	串行I/O1时钟输入“L”脉冲宽度 (注)	370			ns
t _{su} (RXD-SCLK1)	串行I/O1输入准备时间	220			ns
t _h (SCLK1-RXD)	串行I/O1输入保持时间	100			ns
t _c (SCLK2)	串行I/O2时钟输入周期时间	1000			ns
t _{WH} (SCLK2)	串行I/O2时钟输入“H”脉冲宽度	400			ns
t _{WL} (SCLK2)	串行I/O2时钟输入“L”脉冲宽度	400			ns
t _{su} (SIN2-SCLK2)	串行I/O2时钟输入准备时间	200			ns
t _h (SCLK2-SIN2)	串行I/O2时钟输入保持时间	200			ns

注. 是在 $f(XIN)=8MHz$ 、地址001A16的bit6为“1”(时钟同步模式)的情况。

在 $f(XIN)=8MHz$ 、地址001A16的bit6为“0”(异步模式)的情况下, 值为1/4。

表 25. 时序的必要条件 (2) (在没有指定的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

符号	项目	规格值			单位
		最小	典型	最大	
t _w (RESET)	复位输入“L”脉冲宽度	20			XIN 周期
t _c (XIN)	外部时钟输入周期时间	166			ns
t _{WH} (XIN)	外部时钟输入“H”脉冲宽度	66			ns
t _{WL} (XIN)	外部时钟输入“L”脉冲宽度	66			ns
t _c (CNTR)	CNTR ₀ 、CNTR ₁ 输入周期时间	500			ns
t _{WH} (CNTR)	CNTR ₀ 、CNTR ₁ 输入“H”脉冲宽度	230			ns
t _{WL} (CNTR)	CNTR ₀ 、CNTR ₁ 输入“L”脉冲宽度	230			ns
t _{WH} (INT)	INT ₀ ~INT ₃ 输入“H”脉冲宽度	230			ns
t _{WL} (INT)	INT ₀ ~INT ₃ 输入“L”脉冲宽度	230			ns
t _c (SCLK1)	串行I/O1时钟输入周期时间 (注)	2000			ns
t _{WH} (SCLK1)	串行I/O1时钟输入“H”脉冲宽度 (注)	950			ns
t _{WL} (SCLK1)	串行I/O1时钟输入“L”脉冲宽度 (注)	950			ns
t _{su} (RXD-SCLK1)	串行I/O1输入准备时间	400			ns
t _h (SCLK1-RXD)	串行I/O1输入保持时间	200			ns
t _c (SCLK2)	串行I/O2时钟输入周期时间	2000			ns
t _{WH} (SCLK2)	串行I/O2时钟输入“H”脉冲宽度	950			ns
t _{WL} (SCLK2)	串行I/O2时钟输入“L”脉冲宽度	950			ns
t _{su} (SIN2-SCLK2)	串行I/O2时钟输入准备时间	400			ns
t _h (SCLK2-SIN2)	串行I/O2时钟输入保持时间	300			ns

注. 是在 $f(XIN)=4MHz$ 、地址001A16的bit6为“1”(时钟同步模式)的情况。

在 $f(XIN)=4MHz$ 、地址001A16的bit6为“0”(异步模式)的情况下, 值为1/4。

开关特性

表 26. 开关特性 (1) (在没有指定的情况下, $V_{CC}=4.0\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

符号	项 目	测定条件	规格值			单位
			最小	典型	最大	
t _{WH} (SCLK1)	串行I/O1时钟输出“H”脉冲宽度	图68	tc(SCLK1)/2-30			ns
t _{WL} (SCLK1)	串行I/O1时钟输出“L”脉冲宽度		tc(SCLK1)/2-30			ns
t _d (SCLK1-TxD)	串行I/O1输出延迟时间 (注1)				140	ns
t _v (SCLK1-TxD)	串行I/O1输出有效时间 (注1)		-30			ns
t _r (SCLK1)	串行I/O1时钟输出上升时间				30	ns
t _f (SCLK1)	串行I/O1时钟输出下降时间				30	ns
t _{WH} (SCLK2)	串行I/O2时钟输出“H”脉冲宽度		tc(SCLK2)/2-160			ns
t _{WL} (SCLK2)	串行I/O2时钟输出“L”脉冲宽度		tc(SCLK2)/2-160			ns
t _d (SCLK2-SOUT2)	串行I/O2输出延迟时间 (注2)				200	ns
t _v (SCLK2-SOUT2)	串行I/O2输出有效时间 (注2)		0			ns
t _f (SCLK2)	串行I/O2时钟输出下降时间				30	ns
t _r (CMOS)	CMOS输出上升时间 (注3)			10	30	ns
t _f (CMOS)	CMOS输出下降时间 (注3)			10	30	ns

注 1. 是在 UART 控制寄存器的 P25/TxD P 沟道输出禁止位 (地址 001B₁₆ 的 bit4) 为“0”的情况。

2. 是在串行 I/O2 控制寄存器 1 的 P01/SOUT2、P02/SCLK2 P 沟道输出禁止位 (地址 0015₁₆ 的 bit7) 为“0”的情况。

3. XOUT 引脚除外。

表 27. 开关特性 (2) (在没有指定的情况下, $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim 85^{\circ}C$)

符号	项 目	测定条件	规格值			单位
			最小	典型	最大	
t _{WH} (SCLK1)	串行I/O1时钟输出“H”脉冲宽度	图68	tc(SCLK1)/2-50			ns
t _{WL} (SCLK1)	串行I/O1时钟输出“L”脉冲宽度		tc(SCLK1)/2-50			ns
t _d (SCLK1-TxD)	串行I/O1输出延迟时间 (注1)				350	ns
t _v (SCLK1-TxD)	串行I/O1输出有效时间 (注1)		-30			ns
t _r (SCLK1)	串行I/O1时钟输出上升时间				50	ns
t _f (SCLK1)	串行I/O1时钟输出下降时间				50	ns
t _{WH} (SCLK2)	串行I/O2时钟输出“H”脉冲宽度		tc(SCLK2)/2-240			ns
t _{WL} (SCLK2)	串行I/O2时钟输出“L”脉冲宽度		tc(SCLK2)/2-240			ns
t _d (SCLK2-SOUT2)	串行I/O2输出延迟时间 (注2)				400	ns
t _v (SCLK2-SOUT2)	串行I/O2输出有效时间 (注2)		0			ns
t _f (SCLK2)	串行I/O2时钟输出下降时间				50	ns
t _r (CMOS)	CMOS输出上升时间 (注3)			20	50	ns
t _f (CMOS)	CMOS输出下降时间 (注3)			20	50	ns

注 1. 是在 UART 控制寄存器的 P25/TxD P 沟道输出禁止位 (地址 001B₁₆ 的 bit4) 为“0”的情况。

2. 是在串行 I/O2 控制寄存器 1 的 P01/SOUT2、P02/SCLK2 P 沟道输出禁止位 (地址 0015₁₆ 的 bit7) 为“0”的情况。

3. XOUT 引脚除外。

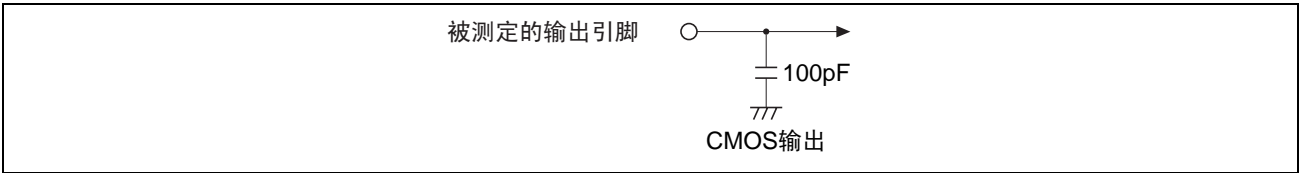


图 68. 输出开关特性测定电路图

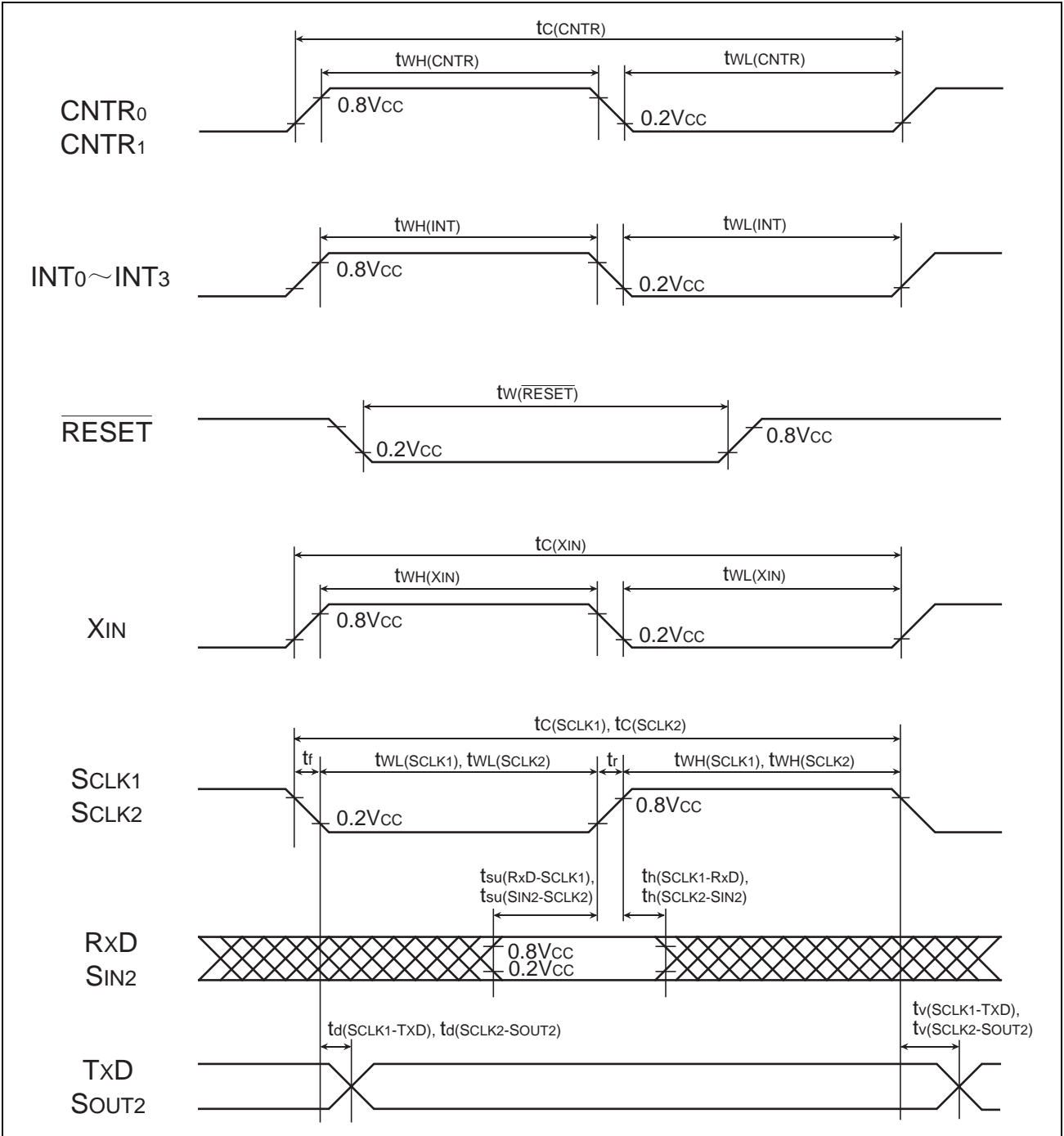
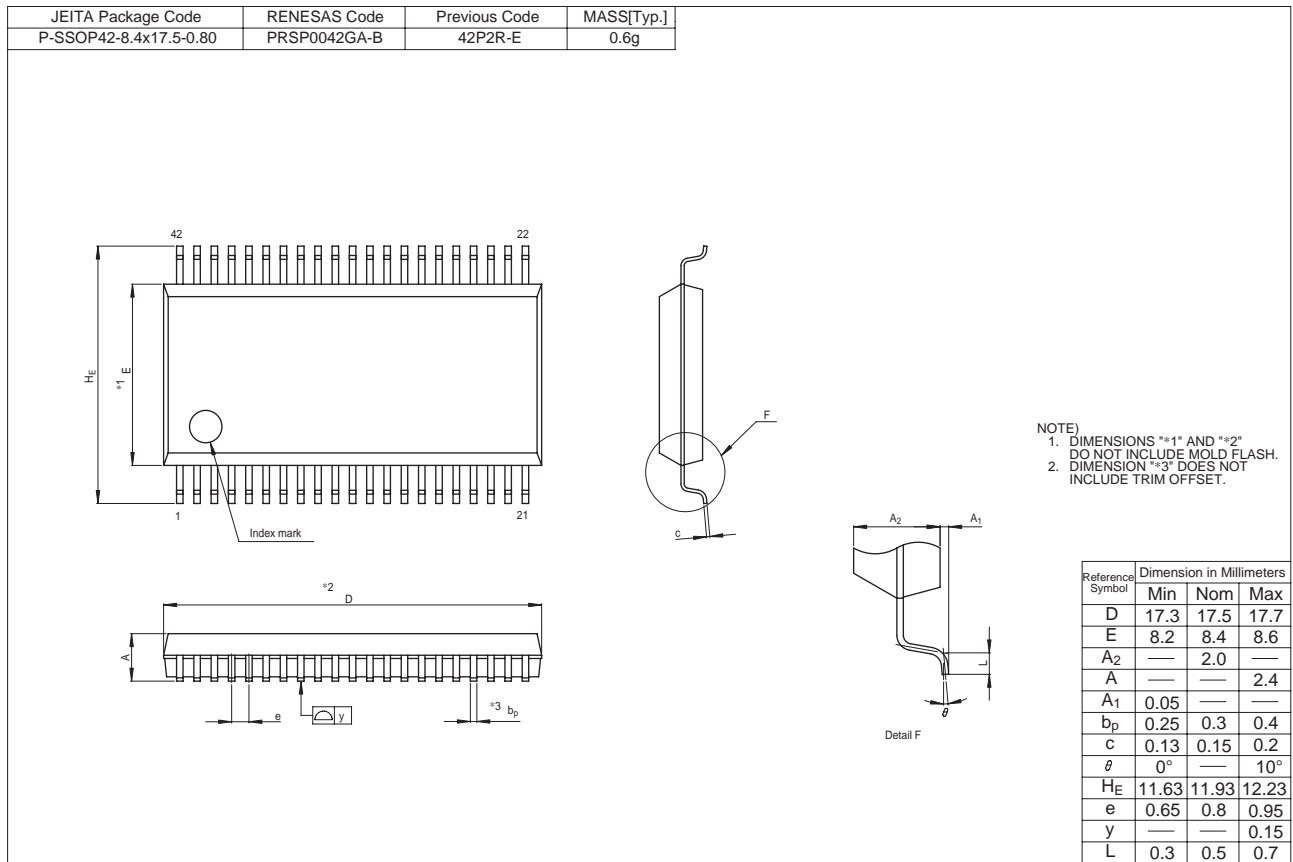
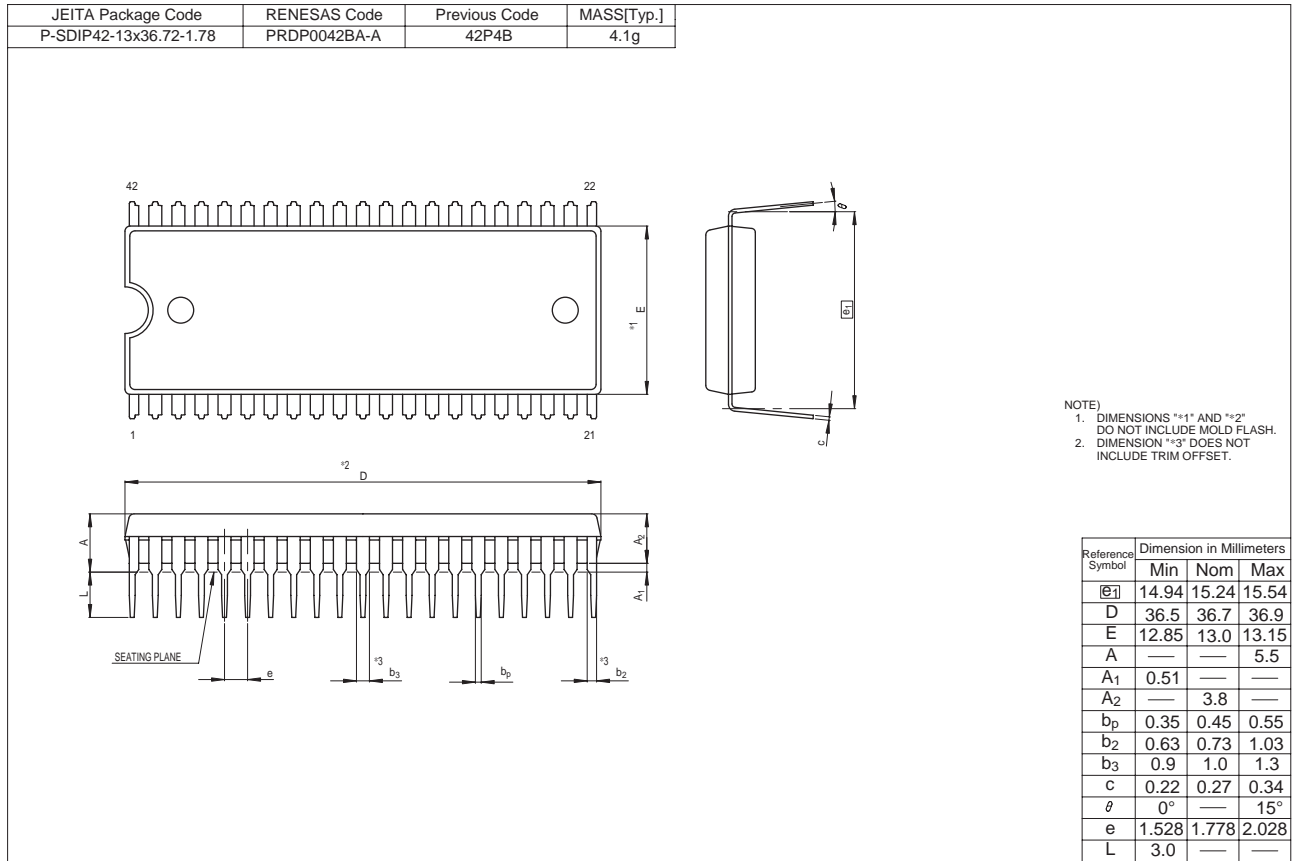


图 69. 时序图

外形尺寸图



附录

有关编程的注意事项

1. 处理器状态寄存器

(1) 处理器状态寄存器的初始化

需要对影响程序执行的处理器状态寄存器 (PS) 的标志进行初始化。

尤其是 T 标志和 D 标志直接影响到运算本身, 必须对其初始化。

<理由>

处理器状态寄存器 (PS) 除了 I 标志为 “1” 以外, 复位后的值不定。

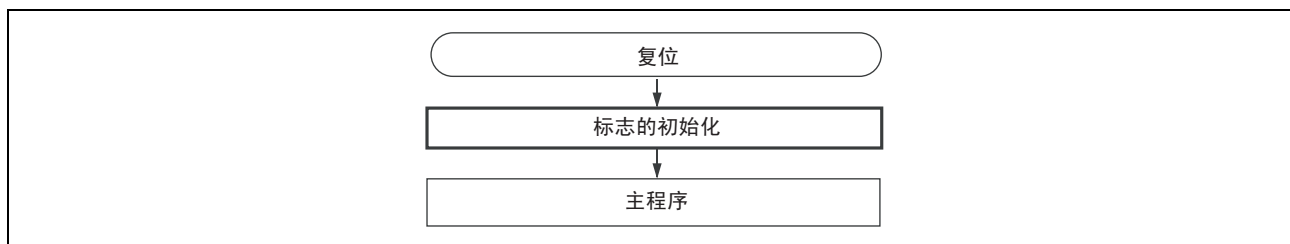


图 1 处理器状态寄存器的标志的初始化

(2) 处理器状态寄存器的参照方法

在要参照处理器状态寄存器 (PS) 的内容时, 请在执行一次 PHP 指令后读取 (S) +1 的内容。如果需要, 通过 PLP 指令的执行恢复被保存的 PS。

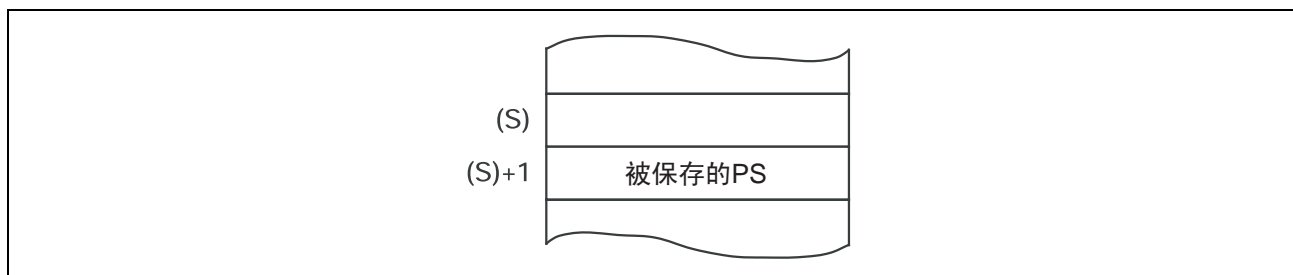


图 2 执行 PHP 指令后的堆栈存储器的内容

2. BRK 指令

(1) 中断优先级

如果在以下 2 个状态时执行 BRK 指令, 就从中断源中优先级最高的中断向量地址执行中断。

- 中断请求位和中断允许位都为 “1”
- 将 I 标志置 “1”, 禁止中断

3. 十进制运算

(1) 十进制运算时的指令

在十进制运算时, 通过 SED 指令将十进制模式标志 D 置 “1”, 然后执行 ADC 指令或者 SBC 指令。此时, 必须在 ADC 指令或者 SBC 指令后执行一条指令, 然后执行 SEC 指令、CLC 指令或者 CLD 指令。

(2) 十进制运算时的状态标志

在十进制模式 (D 标志= “1”) 时执行 ADC、SBC 指令后, 状态标志中的 N、V 和 Z 的 3 个标志变为无效。

另外, C (进位) 标志在运算结果发生进位时被置 “1”, 在发生借位时被清 “0”, 因此 C (进位) 标志可用作判断运算结果的进位或借位的标志。在运算前必须对 C 标志初始化。

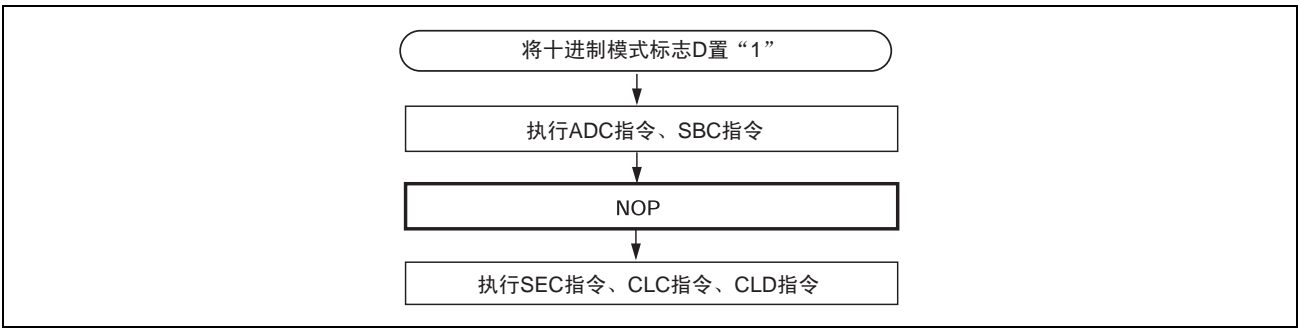


图 3 十进制运算时的指令

4. JMP 指令

在使用 JMP 指令（间接寻址方式）时，不能将低 8 位为“FF₁₆”的地址指定为操作数。

5. 乘除指令

- MUL、DIV 指令不受 T、D 标志的影响。
- 在执行乘除指令时，处理器状态寄存器的内容不变。

6. 端口

不能读取端口方向寄存器的值。也就是说，不能使用 LDA 指令、T 标志为“1”时的存储器运算指令、将方向寄存器的值作为变址值的寻址方式以及 BBC、BBS 等位测试指令。另外，也不能使用 CLB 和 SEB 等位操作指令、方向寄存器的读/修改/写指令（ROR 等指令）。必须使用 LDM、STA 等指令设定方向寄存器。

7. 指令的执行时间

指令执行时间请参照《740 族软件手册》，能通过记载的周期数乘以内部时钟 ϕ 的周期得到。内部时钟 ϕ 的周期在高速模式时为 X_{IN} 周期的 2 倍，在中速模式时为 X_{IN} 周期的 8 倍，在低速模式时为 X_{CIN} 周期的 2 倍。

有关外围功能的注意事项

有关输入/输出端口的注意事项

1. 在等待状态下的使用

在等待状态*1下使用时，不能将输入/输出端口的输入电平置为不定状态，尤其要注意 N 沟道漏极开路的输入/输出端口，而且即使在将 N 沟道漏极开路的输入/输出端口设定为输出端口时，也同样要注意。

此时，必须用电阻上拉（连接 Vcc）或者下拉（连接 Vss）端口。

在决定电阻值时，请注意以下 2 点：

- 外接电路
- 通常运行时的输出电平的变动

<理由>

在由方向寄存器将端口设定为输入端口时晶体管为 OFF 状态，因此端口为高阻抗状态。此时，如果将输入电平置为不定状态，被输入到单片机内部的输入缓冲器的电位就处于不稳定状态，可能会发生电源电流的流动。

在 N 沟道漏极开路的输入/输出端口的端口锁存器内容为“1”时，即使通过方向寄存器设定为输出端口，也会出现与输入端口同样的现象。

*1 等待状态： 通过 STP 指令执行的停止模式
通过 WIT 指令执行的等待模式

2. 通过位处理指令改写输出数据

在使用位处理指令*改写输入/输出端口的端口锁存器时，可能会改变未指定位的值。

<理由>

位处理指令为读/修改/写形式的指令，能以字节单位进行读和写。因此，对输入/输出端口的端口锁存器的某一位执行此指令时，将对此端口锁存器的所有位进行以下的处理：

- 设定为输入的位：CPU 读取引脚的值，进行位处理后写入此位。
- 设定为输出的位：CPU 读取端口锁存器的位的值，进行位处理后写入此位。

但是，必须注意以下几点：

- 即使将设定为输出的端口改变为输入端口，端口锁存器中的输出数据也被保持。
- 在位处理指令没有对设定为输入的端口锁存器的位进行指定时，如果引脚和端口锁存器的内容不同，位的值就发生变化。

* 位处理指令：SEB 指令、CLB 指令

有关处理未使用引脚的注意事项

1. 未使用引脚的正确处理

(1) 输入/输出端口

在设定为输入模式时，请用 1k~10kΩ 的电阻将引脚连接到 Vcc 或者 Vss。对于能选择内部上拉电阻的端口，也可使用内部上拉电阻。在设定为输出模式时，请在“L”或者“H”输出状态将引脚置成开路。

- 在设定为输出模式且置成开路的情况下，从复位后到由程序将端口切换成输出模式为止，保持初始状态的输入模式。因此，引脚的电压电平不定，在端口变为输入模式时电源电流可能会增大。关于对系统的影响，用户必须进行充分的系统评价。
- 请考虑因噪声和噪声引起的程序失控等导致方向寄存器变化的情况，通过用程序定期重新设定方向寄存器，进一步提高程序的可靠性。

(2) 不使用 A/D 转换器时的用于 A/D 转换的电源引脚 AVss

在不使用 A/D 转换器时，用于 A/D 转换的电源引脚 AVss 必须进行以下处理：

- AVss：连接到 Vss

2. 处理时的注意事项

(1) 输入端口和输入/输出端口

在设定为输入模式时，请不要置成开路。

<理由>

- 根据初级电路，电源电流可能会增大。
- 与“1. (1) 输入/输出端口”的处理相比，容易受噪声影响。

(2) 输入/输出端口

在设定为输入模式时，请不要直接连接 VCC 或者 VSS。

<理由>

在因程序失控和噪声等引起方向寄存器变成输出模式时，有可能发生短路的情况。

(3) 输入/输出端口

在设定为输入模式时，请不要用一个电阻将多个端口一起连接到 VCC 或者 VSS。

<理由>

在因程序失控和噪声等引起方向寄存器变成输出模式时，端口间有可能发生短路的情况。

- 请尽量从单片机引脚用短的布线（20mm 以内）处理未使用的引脚。

有关中断的注意事项

1. 改变关联寄存器的设定

在改变中断边沿选择寄存器（地址 003A16）和定时器 XY 模式寄存器（地址 002316）时，如果要禁止与这些设定同步产生的中断，就请按以下的步骤进行设定：

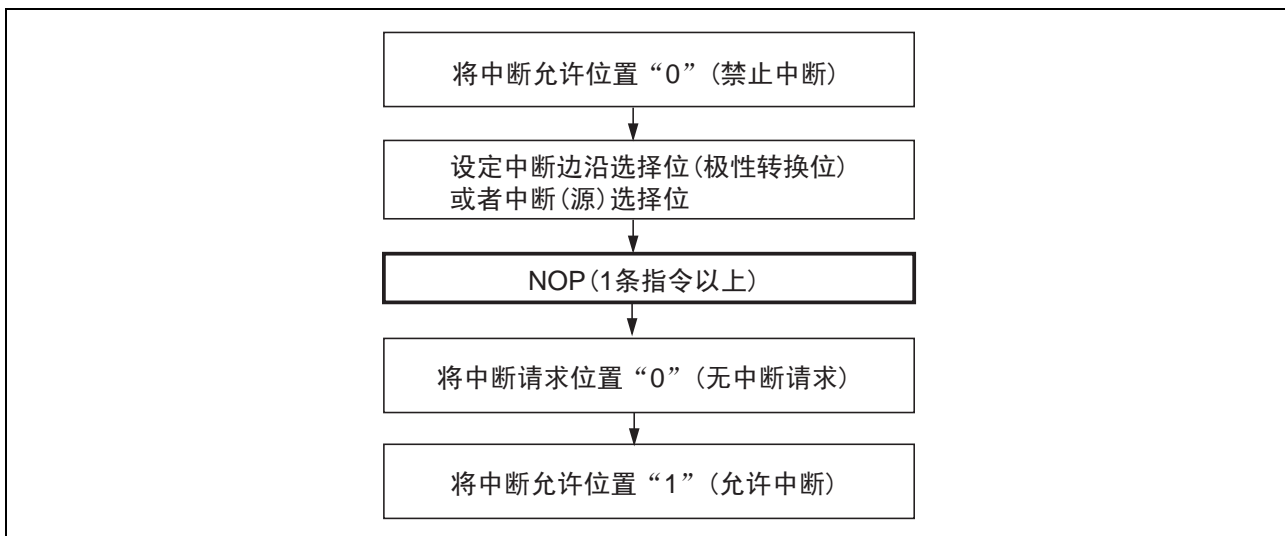


图 4 关联寄存器的设定变更步骤

<理由>

在以下的情况下，中断请求位有可能变为“1”。

- 当设定外部中断的有效边沿时
对象寄存器：中断边沿选择寄存器（地址 003A16）
定时器 XY 模式寄存器（地址 002316）
- 当切换在同一中断向量中分配了多个中断源的向量中断源时
对象寄存器：中断边沿选择寄存器（地址 003A16）

2. 中断请求位的判断

在用数据传送指令将中断请求寄存器的中断请求位置“0”后，如果对此中断请求位执行 BBC 指令或者 BBS 指令，就必须在执行 BBC 指令或者 BBS 指令前执行 1 条指令。

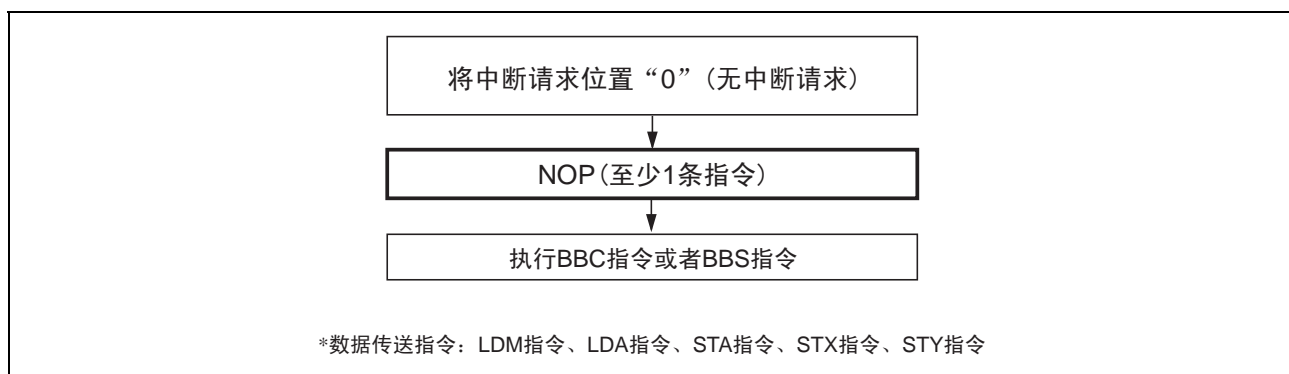


图 5 中断请求位的判断步骤

<理由>

如果在将中断请求寄存器的中断请求位置“0”后立即执行 BBC 指令或者 BBS 指令，就判断置“0”前的中断请求位的值。

有关定时器的注意事项

- 给定时器锁存器写值 n (“0” ~ “255”) 时的分频比为 $1/(n+1)$ 。
- 在通过定时器 12 计数源选择位、定时器 X 计数源选择位以及定时器 Y 计数源选择位切换定时器的计数源时，可能会在定时器的计数输入信号中产生微小的脉冲，导致定时器的计数值发生变化。因此，必须在设定定时器的计数源后，对预分频器和定时器设定值。

有关串行接口的注意事项

1. 在选择时钟同步时（串行 I/O1）

(1) 发送运行的停止

必须将串行 I/O1 允许位和发送允许位设定为“0”（禁止串行 I/O 和发送）。

<理由>

即使只将串行 I/O1 允许位设定为“0”（禁止串行 I/O1），也不停止发送运行以及不初始化发送电路，而继续进行内部的发送运行（因为 Tx_D、Rx_D、SCLK₁、SRDY₁ 各引脚的功能为输入/输出端口功能，所以发送数据不会被输出到外部）。在此状态下，如果将数据写到发送缓冲寄存器，该数据就被传送到发送移位寄存器，开始单片机内部的移位运行。此时，如果将串行 I/O 允许位设定为“1”，内部移位中的数据就被中途输出到 Tx_D 引脚，导致错误。

(2) 接收运行的停止

必须将接收允许位设定为“0”（禁止接收）或者将串行 I/O1 允许位设定为“0”（禁止串行 I/O）。

(3) 发送/接收运行的停止

必须将发送允许位和接收允许位同时设定为“0”（禁止发送/接收）。

（在时钟同步串行 I/O 模式的数据发送/接收时，不能只停止发送运行或者接收运行。）

<理由>

因为在时钟同步串行 I/O 模式中，发送和接收使用相同的时钟，如果只禁止任何一方，发送和接收就不能取得同步，产生位的错位。

在时钟同步串行 I/O 模式中，为了接收，发送电路的时钟电路也在运行。因此，其结构为：即使只将发送允许位设定为“0”（禁止发送）也不停止发送电路。另外，和“1. (1) 发送运行的停止”相同，即使将串行 I/O1 允许位设定为“0”（禁止串行 I/O），也不能初始化发送电路。

(4) 接收侧的 $\overline{\text{SRDY1}}$ 输出 (串行 I/O1)

在时钟同步串行 I/O 模式中, 如果接收侧使用外部时钟进行 $\overline{\text{SRDY1}}$ 输出, 必须同时将接收允许位、 $\overline{\text{SRDY1}}$ 输出允许位以及发送允许位设定为“1” (允许发送)。

2. 在选择异步时 (串行 I/O1)

(1) 发送运行的停止

必须将发送允许位设定为“0” (禁止发送)。

<理由>

即使只将串行 I/O1 允许位设定为“0” (禁止串行 I/O1), 也不停止发送运行以及初始化发送电路, 而继续进行内部的发送运行 (因为 TxD、RxD、SCLK1、 $\overline{\text{SRDY1}}$ 各引脚的功能为输入/输出端口功能, 所以发送数据不会被输出到外部)。在此状态下, 如果将数据写到发送缓冲寄存器, 该数据就被传送到发送移位寄存器, 开始单片机内部的移位运行。此时, 如果将串行 I/O 允许位设定为“1”, 内部移位中的数据就被中途输出到 TxD 引脚, 导致错误。

(2) 接收运行的停止

必须将接收允许位设定为“0” (禁止接收)。

(3) 发送/接收运行的停止

只停止发送

必须将发送允许位设定为“0” (禁止发送)。

<理由>

即使只将串行 I/O1 允许位设定为“0” (禁止串行 I/O1), 也不停止发送运行以及初始化发送电路, 而继续进行内部的发送运行 (因为 TxD、RxD、SCLK1、 $\overline{\text{SRDY1}}$ 各引脚的功能为输入/输出端口功能, 所以发送数据不会被输出到外部)。在此状态下, 如果将数据写到发送缓冲寄存器, 该数据就被传送到发送移位寄存器, 开始单片机内部的移位运行。此时, 如果将串行 I/O 允许位设定为“1”, 内部移位中的数据就被中途输出到 TxD 引脚, 导致错误。

只停止接收

必须将接收允许位设定为“0” (禁止接收)。

3. 串行 I/O1 控制寄存器的重新设定 (串行 I/O1)

在重新设定串行 I/O1 控制寄存器时, 必须在将发送允许位和接收允许位都设定为“0”, 然后在复位发送和接收电路后重新设定。

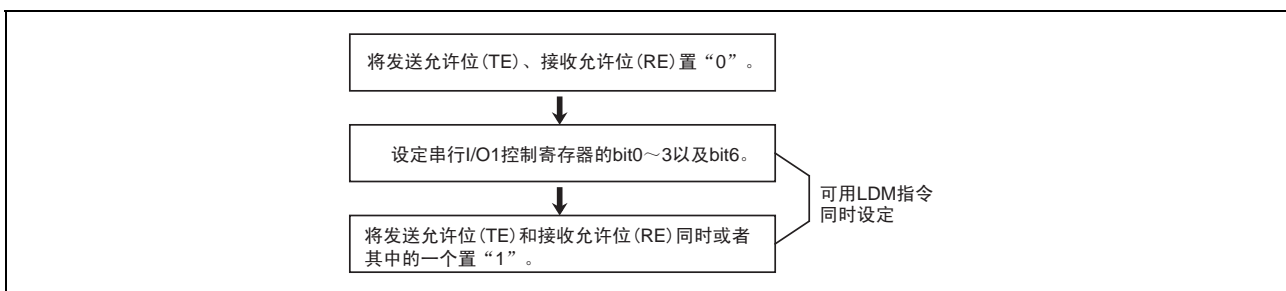


图 6 串行 I/O1 控制寄存器的重新设定步骤

4. 使用发送移位寄存器移位结束标志的数据发送控制 (串行 I/O1)

在将发送数据写到发送缓冲器后, 发送移位寄存器移位结束标志比移位时钟迟 0.5~1.5 个时钟从“1”变为“0”。因此, 在将发送数据写到发送缓冲器后, 参照发送移位寄存器移位结束标志控制数据的发送时, 必须注意此延时。

5. 发送允许位置位时的发送中断请求 (串行 I/O1)

在使用发送中断时, 必须按以下的顺序将发送允许位设定为允许状态:

- (1) 通过 CLB 指令, 将中断允许位设定为“0” (禁止状态)。
- (2) 进行串行 I/O 的发送/接收准备。
- (3) 在至少执行一条指令后, 通过 CLB 指令将中断请求位设定为“0”。
- (4) 将中断允许位设定为“1” (允许状态)。

<理由>

如果将发送允许位设定为“1”, 发送缓冲器空标志和发送移位寄存器移位结束标志就被设定为“1”。发送中断的发生时序无论选择了下述哪个标志的置“1”时序, 也发生中断请求, 并且发送中断请求位被置位。

- 将发送缓冲器空标志设定为“1”
- 将发送移位寄存器的移位结束标志设定为“1”

6. 选择外部时钟时的发送控制 (串行 I/O1 (时钟同步模式))

在发送数据时, 选择外部时钟作为同步时钟的情况下, 必须在 SCLK1 为“H”电平的状态下将发送允许位设定为“1”。另外, 也必须在 SCLK1 为“H”电平的状态下写发送缓冲寄存器。

7. 发送数据的写操作 (串行 I/O2)

在时钟同步串行 I/O2 中, 选择外部时钟作为同步时钟的情况下, 必须在传送时钟的输入电平为“H”电平时, 将发送数据写到串行 I/O2 寄存器 (串行 I/O 移位寄存器)。

有关 PWM 的注意事项

在 PWM 功能允许位被设定为允许并从 PWM 引脚输出“L”电平后, 开始 PWM 运行。

此“L”电平输出时间如下:

- 计数源选择位=“0”、n=预分频器设定值

$$\frac{n+1}{2 \times f(XIN)} \quad (\text{秒})$$

- 计数源选择位=“1”、n=预分频器设定值

$$\frac{n+1}{f(XIN)} \quad (\text{秒})$$

有关 A/D 转换器的注意事项

1. 模拟输入引脚

必须减小模拟输入信号源的阻抗, 或者给模拟输入引脚外接 0.01 μ F~1 μ F 的电容。用户必须充分确认应用产品的运行。

<理由>

因为模拟输入引脚内置了用于模拟电压比较的电容, 所以如果将高阻抗信号源的信号输入到模拟输入引脚, 就会产生充放电噪声, 无法获得充分的 A/D 转换精度。

2. A/D 转换器的电源引脚

不管是否使用 A/D 转换功能, 必须将 A/D 转换器的电源引脚 AVSS 进行如下处理:

- AVSS: 连接到 VSS

<理由>

如果将 AVSS 引脚开路, 就可能会受噪声等的影响, 产生单片机的误动作。

3. A/D 转换中的时钟频率

比较器由电容耦合构成, 如果时钟频率低, 电荷就会丢失。所以必须在 A/D 转换中注意以下 2 点:

- 中速/高速模式时的 f(XIN)至少为 500kHz。
- 不能执行 STP 指令。
- 在低速模式中执行 A/D 转换时, 由于使用内部自振荡电路进行 A/D 转换, 因此没有 f(XIN)下限频率的限制。

有关看门狗定时器的注意事项

- 因为在等待停止解除期间看门狗定时器也进行计数，所以必须注意：看门狗定时器不能在此期间发生下溢。
- 如果将看门狗定时器控制寄存器的 STP 指令禁止位置“1”，就不能通过程序改写为“0”。

有关复位引脚的注意事项

1. 电容的连接

当复位信号缓慢上升时，必须在 $\overline{\text{RESET}}$ 引脚和 Vss 引脚之间连接陶瓷电容等高频特性良好的 1000pF 以上的电容。在连接电容时，请注意以下 2 点：

- 使电容的布线长度为最短。
- 请用户充分确认应用产品的运行。

<理由>

如果几个 ns 到几十个 ns 的冲击性噪声侵入 $\overline{\text{RESET}}$ 输入引脚，单片机就可能产生误动作。

2. 通电后的复位解除

在解除上电复位等通电后的复位时，必须在电源电压至少达到 2.7V 并且在 X_{IN} 稳定振荡的状态下至少经过 20 个周期以后解除复位。

<理由>

对于复位的解除，需要在电源电压为 2.7V~5.5V 并且在 X_{IN} 稳定振荡时至少保持 20 个 X_{IN} 周期的“L”电平。

有关停止模式的注意事项

• 寄存器设定

在将 STP 指令解除后的振荡稳定时间设定位置为“0”时使用的情况下，因为从停止模式返回时预分频器 12 和定时器 1 的值被自动改写，所以必须分别重新设定。

在将 STP 指令解除后的振荡稳定时间设定位置为“1”时使用的情况下，必须在对使用的谐振器的振荡稳定时间进行充分评估后，给定时器 1 和预分频器 12 设定值。

• 返回后的时钟

如果通过中断从停止模式返回，就保持 STP 指令执行前的 CPU 模式寄存器的内容。因此，在执行 STP 指令前让主时钟和副时钟振荡的情况下，如果通过中断从停止模式返回，主时钟和副时钟就重新开始振荡。

在上述中，如果主时钟设定为系统时钟，就在从停止模式返回时确保约 8000 个 X_{IN} 输入周期的振荡稳定时间。此时，必须注意：即使经过了主时钟的振荡稳定时间，副时钟的振荡可能还没稳定。

有关等待模式的注意事项

• 返回后的时钟

在执行 WIT 指令时将 X_{CIN} 设定为系统时钟且停止 X_{IN} 振荡的情况下，如果通过复位从等待模式返回，就停止 X_{CIN} 振荡而开始 X_{IN} 的振荡，X_{IN} 变为系统时钟。

在上述的 X_{IN} 振荡稳定前，需要给 $\overline{\text{RESET}}$ 引脚输入“L”电平。

有关闪存版的 CPU 改写模式的注意事项

在使用 CPU 改写模式改写闪存时，需要注意以下的注意事项：

1. 运行速度

在 CPU 改写模式中，必须通过主时钟分频比选择位（地址 003B16 的 bit6 和 bit7）设定内部时钟 ϕ ，使内部时钟 ϕ 不超过 4.0MHz。

2. 禁止使用的指令

在 CPU 改写模式中，不能使用闪存内部的数据参照指令。

3. 中断

因为在 CPU 改写模式中参照闪存的内部数据，所以不能使用中断。

4. 看门狗定时器

在已经启动了看门狗定时器的情况下，由于在编程或者擦除中看门狗定时器总是被清除，所以不发生由下溢引起的内部复位。

5. 复位

总能接受复位。如果在解除复位时 CNVss=H，就用引导模式启动，并且从保存在引导 ROM 区的地址 FFFC16 和 FFFD16 中的地址开始执行程序。

有关重新开始振荡的注意事项

• 重新开始振荡

通常，如果通过外部中断解除停止指令，为了等待振荡稳定，定时器 1 和预分频器 12 就自动设定特定的值（定时器 1 为“0116”、预分频器 12 为“FF16”）。另一方面，能通过将 MISRG（地址 003816）的 bit0 置“1”使此自动设定无效。但是，如果此位置“1”，停止指令执行前的留在定时器 1 和预分频器 12 中的值就变为振荡稳定等待时间的计数值，所以必须在 STP 指令执行前给定时器 1 和预分频器 12 设定能充分确保振荡稳定时间的值。

<理由>

在接受到外部中断时重新开始振荡，但是在定时器 1 下溢后开始给 CPU 提供内部时钟 ϕ 。这是因为在使用陶瓷谐振器时需要振荡稳定时间。

有关闪存版的注意事项

必须尽量以最短的布线将 CNVss/Vpp 引脚连接到离供给单片机 Vss 引脚的 GND 最近的 GND 布线。

另外，通过串联的方式插入 1k~5k Ω 的电阻，并且连接到 GND，有可能改善噪声耐量。此时也要和上述同样，必须尽量以最短的布线连接到离供给单片机 Vss 引脚的 GND 最近的 GND 布线。

• 理由

CNVss/Vpp 引脚是内部闪存的电源输入引脚。

在给闪存编程时，为了产生编程电流，降低了 Vpp 引脚的阻抗，所以噪声容易侵入。如果噪声从 Vpp 引脚侵入，来自闪存的指令码和数据的读操作就不能正常进行而导致失控。

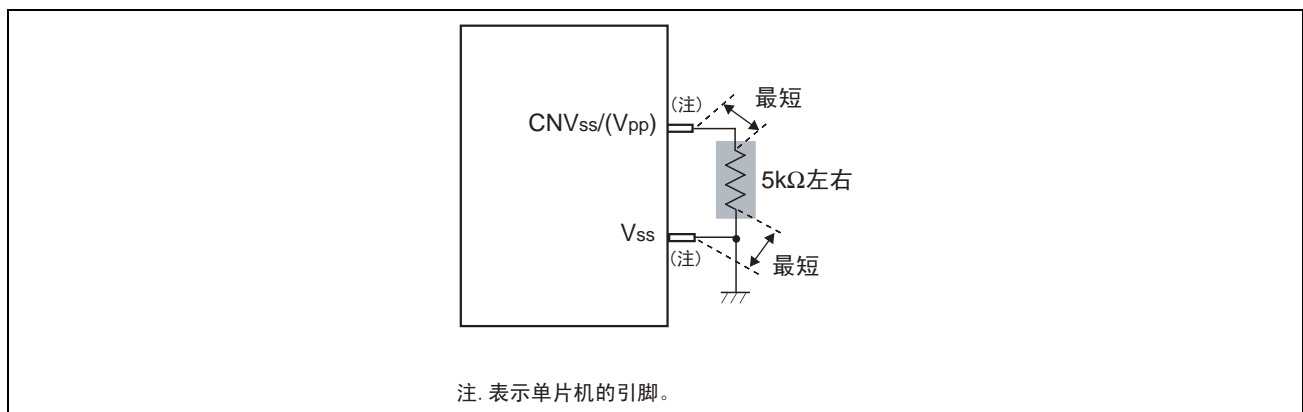


图 7. CNVss/Vpp 引脚的布线

有关电源引脚的处理注意事项

在使用时，为了防止门锁现象，必须将高频特性良好的电容作为旁路电容外接到元件的电源引脚（Vcc 引脚）和 GND 引脚（Vss 引脚）之间以及电源引脚（Vcc 引脚）和模拟电源输入引脚（AVss 引脚）之间。旁路电容推荐 0.01 μ F~0.1 μ F 的陶瓷电容。

另外，必须以最短距离将旁路电容外接在电源引脚和 GND 引脚之间以及电源引脚和模拟电源输入引脚之间。

有关 3850 群（标准产品）、3850 群（H 规格）和 3850 群（A 规格）不同点的注意事项

1. 3850 群（H 规格和 A 规格）的绝对最大额定值小于 3850 群（标准产品）。电源电压 $V_{CC} = -0.3 \sim 6.5V$ 、CNVss 输入电压 $V_I = -0.3 \sim V_{CC} + 0.3V$
2. XIN-XOUT、XCIN-XCOUT 的振荡电路常数可能不同。
3. 不能对保留区和保留位写任何数据（不能改变复位后的状态）。
4. CPU 模式寄存器的 bit3 必须固定为“1”。
5. 必须正确处理未使用的引脚。

Rev.	发行日	修订内容	
		页	修订处
1.00	2004.03.22	—	初版发行
1.10	2008.03.07	全文	更改了封装型号：“42P4B”改为“PRDP0042BA-A”。 “42P2R-A/E”改为“PRSP0042GA-B”。
		4	将“表 1. 引脚功能说明”中的 P3、P4 的“8 位输入/输出端口”改为“5 位输入/输出端口”。
			在“表 1. 引脚功能说明”中追加了“VREF”和“AVSS”项。
		5	修改了“图 3. 型号、存储器容量和封装”中的部分内容。
		6	将“群展开”说明文中的“展开”改为“产品展开”。
			删除了“存储器种类”和“封装”的部分文章内容。
			删除了文章的部分内容。
			修改了“图 4. ROM 和 RAM 展开计划”中的部分内容。
		17	修改了“图 12. 端口框图 (3)”中的部分内容。
		35	修改了“看门狗定时器”的说明文。
			修改了“图 37. 看门狗定时器框图”。
			修改了“图 38. 看门狗定时器控制寄存器结构”中的“STP 指令禁止位”的内容。
		38	将“时钟发生电路”说明文中的“在引脚 XIN 和 XOUT 之间内藏了反馈电阻，能省略外接电阻”改为“在引脚 XIN 和 XOUT 之间内置了反馈电阻（根据条件，可能需要外接反馈电阻）”。
			在“●振荡控制(1)停止模式”的说明文中追加了“（地址 0038 ₁₆ 的 bit0）”。
		39	修改了“图 42. 陶瓷谐振器的外接电路”。
		40	在“图 45. 系统时钟发生电路框图”中追加了注 4。
		41	修改了“图 46. 系统时钟状态转移图”中的注。
		62、67	在“表 15. 绝对最大额定值”和“表 17. 绝对最大额定值”的条件栏中，追加了“在测定输入电压时，”
		64	追加了“有关保留区和保留位的注意事项”和“有关 CPU 模式寄存器的注意事项”的内容。
		65	删除了“有关 3850 群 (标准产品)、3850 群 (H 规格) 和 3850 群 (A 规格) 不同的注意事项”中的(3)和(4)。
			删除了“有关闪存版和掩模型 ROM 版的不同点的注意事项”的标题和说明文的部分内容。
			追加了“有关电源电压的注意事项”。
			追加了“有关闪存版的注意事项”。
			追加了“订购掩模化产品时的提交资料”。
			删除了“ROM 编程方法”。
		68	在“表 18. 推荐运行条件 (1)”中追加了 P2 ₂ 、P2 ₃ 的 V _{IH} 项。
		69	在“表 19. 推荐运行条件 (2)”中追加了 f(XCIN)项和注 4。
		76	修改了“外形尺寸图”。
		77~85	追加了“附录”。

Notes:

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guaranties regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
 - (1) artificial life support devices or systems
 - (2) surgical implantations
 - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
 - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

株式会社 瑞萨科技

下面所记中文只作为参考译文，英文具有正式效力。

请遵循安全第一进行电路设计:

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页 (<http://www.renesas.com>) 等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而致使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负担任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统(如各种安全装置或者运输交通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等)而设计和制造的,特别是对于品质和可靠性要求极高的机器和系统等(将本公司指定用于汽车方面的产品用于汽车时除外)。如果要用于上述的目的,请务必事先向本公司的营业窗口咨询。另外,对于用于上述目的而造成的损失等,本公司概不负责。
8. 除上述第7项内容外,不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失,本公司概不负责。
 - 1) 生命维持装置。
 - 2) 生命维持装置。
 - 3) 用于治疗(切除患部、给药等)的装置。
 - 4) 其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时,对于最大额定值、工作电源电压的范围、散热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时,对于由此而造成的故障和出现的事故,本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性,但一般来说,半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失,希望客户能自行负责进行冗余设计、采取延缓对策及进行防止错误运行等的安全设计(包括硬件和软件两方面的设计)以及老化处理等,这是作为机器和系统的出厂保证。特别是单片机的软件,由于单独进行验证很困难,所以要求在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下,有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时,请顾客自行负责将本公司产品设置为不容易剥离的安全设计。如果从顾客的设备上剥离而造成事故时,本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时,不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容,或者有其他关心的问题,请向本公司的营业窗口咨询。



RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.

450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.

Unit 204, 205, AZIACenter, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7858/7898

Renesas Technology Hong Kong Ltd.

7th Floor, North Tower, World Finance Centre, Harbour City, Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2377-3473

Renesas Technology Taiwan Co., Ltd.

10th Floor, No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 3518-3399

Renesas Technology Singapore Pte. Ltd.

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

Renesas Technology Malaysia Sdn. Bhd

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510