

致尊敬的顾客

---

## 关于产品目录等资料中的旧公司名称

---

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日  
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

## Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
  - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
  - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
  - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

## 概要

38D5 群是采用了 740 族内核的 8 位单片机，是和 38C5 群引脚兼容的群，具有 LCD 驱动控制电路、A/D 转换器和串行接口等附加功能。作为新功能追加了 ROM 校正功能。

38D5 群有 QzROM 版和闪存版，闪存版没有振荡开始模式的选择功能。振荡开始只是开始内部振荡器的振荡。

有多种不同的内部存储器容量和封装种类的产品。详细内容请参照“产品型号、存储器容量和封装”。

## 特点

- 基本机器指令 .....71
- 指令执行时间 .....0.32 $\mu$ s（在最短指令、振荡频率为 12.5MHz 时）
- 存储器容量（QzROM 版）
  - ROM .....32K ~ 60K 字节
  - RAM .....1536 ~ 2048 字节
- 存储器容量（闪存版）
  - ROM .....60K 字节
  - RAM .....2048 字节
- 可编程输入 / 输出端口 .....59 个（SEG 共用 36 个）
- 中断 .....17 个源、16 个向量  
（包括键输入中断）
- 定时器 .....8 位  $\times$ 4、16 位  $\times$ 2
- 串行接口
  - 串行 I/O1 .....8 位  $\times$ 1（时钟异步 / 同步）
  - 串行 I/O2 .....8 位  $\times$ 1（时钟同步）
- PWM .....10 位  $\times$ 2、16 位  $\times$ 1（IGBT 输出兼用）
- A/D 转换器 .....10 位  $\times$ 8  
（可在低速模式中运行）
- 看门狗定时器 .....8 位  $\times$ 1
- ROM 校正功能 .....32 字节  $\times$ 2 个向量
- LED 直接驱动端口 .....6 个  
（平均电流 15mA、峰值电流 30mA、总和电流 90mA）
- LCD 驱动控制电路
  - 偏压 .....1/2、1/3 偏压
  - 分时 .....静态、2、3、4、8 分时
  - 公共输出 .....4/8 个
  - 段输出 .....32/36 个
- 主时钟发生电路 .....内置 1 个电路  
（陶瓷谐振器或者内部振荡器）
- 副时钟发生电路 .....内置 1 个电路  
（外接晶体谐振器）

## ●电源电压（QzROM 版）

[ 在 2 分频模式时 ]

$f(X_{IN}) \leq 12.5\text{MHz}$ .....	4.5 ~ 5.5V
$f(X_{IN}) \leq 8\text{MHz}$ .....	4.0 ~ 5.5V
$f(X_{IN}) \leq 4\text{MHz}$ .....	2.0 ~ 5.5V
$f(X_{IN}) \leq 2\text{MHz}$ .....	1.8 ~ 5.5V

[ 在 4 分频模式时 ]

$f(X_{IN}) \leq 16\text{MHz}$ .....	4.5 ~ 5.5V
$f(X_{IN}) \leq 8\text{MHz}$ .....	2.0 ~ 5.5V
$f(X_{IN}) \leq 4\text{MHz}$ .....	1.8 ~ 5.5V

[ 在 8 分频模式时 ]

$f(X_{IN}) \leq 16\text{MHz}$ .....	4.5 ~ 5.5V
$f(X_{IN}) \leq 8\text{MHz}$ .....	2.0 ~ 5.5V
$f(X_{IN}) \leq 4\text{MHz}$ .....	1.8 ~ 5.5V

[ 在低速模式时 ].....1.8 ~ 5.5V

【注】不能在 2 分频模式中使用  $12.5\text{MHz} < f(X_{IN}) \leq 16\text{MHz}$ 。

## ●电源电压（闪存版）

[ 在 2 分频模式时 ]

$f(X_{IN}) \leq 12.5\text{MHz}$ .....	4.5 ~ 5.5V
$f(X_{IN}) \leq 8\text{MHz}$ .....	4.0 ~ 5.5V
$f(X_{IN}) \leq 4\text{MHz}$ .....	2.7 ~ 5.5V

[ 在 4 分频模式时 ]

$f(X_{IN}) \leq 16\text{MHz}$ .....	4.5 ~ 5.5V
$f(X_{IN}) \leq 8\text{MHz}$ .....	2.7 ~ 5.5V

[ 在 8 分频模式时 ]

$f(X_{IN}) \leq 16\text{MHz}$ .....	4.5 ~ 5.5V
$f(X_{IN}) \leq 8\text{MHz}$ .....	2.7 ~ 5.5V

[ 在低速模式时 ].....2.7 ~ 5.5V

【注】不能在 2 分频模式中使用  $12.5\text{MHz} < f(X_{IN}) \leq 16\text{MHz}$ 。

## ●功耗（QzROM 版）

在 2 分频模式时 ..... 典型值 32mW  
( $V_{CC}=5\text{V}$ 、 $f(X_{IN})=12.5\text{MHz}$ 、 $T_a=25^\circ\text{C}$ )在低速模式时 ..... 典型值  $18\mu\text{W}$   
( $V_{CC}=2.5\text{V}$ 、 $f(X_{IN})=\text{停止}$ 、 $f(X_{CIN})=32\text{kHz}$ 、 $T_a=25^\circ\text{C}$ )

## ●功耗（闪存版）

在 2 分频模式时 ..... 典型值 20mW  
( $V_{CC}=5\text{V}$ 、 $f(X_{IN})=12.5\text{MHz}$ 、 $T_a=25^\circ\text{C}$ )在低速模式时 ..... 典型值  $1.1\text{mW}$   
( $V_{CC}=2.7\text{V}$ 、 $f(X_{IN})=\text{停止}$ 、 $f(X_{CIN})=32\text{kHz}$ 、 $T_a=25^\circ\text{C}$ )●工作环境温度 .....  $-20 \sim 85^\circ\text{C}$ 

## 闪存模式

●编程和擦除电压 .....  $V_{CC}=2.7 \sim 5.5\text{V}$ 

●编程 ..... 字节单位

●擦除 ..... 块擦除

●编程和擦除控制方式 ..... 通过软件代码的编程和擦除控制

# 应用

家电和民用设备等。

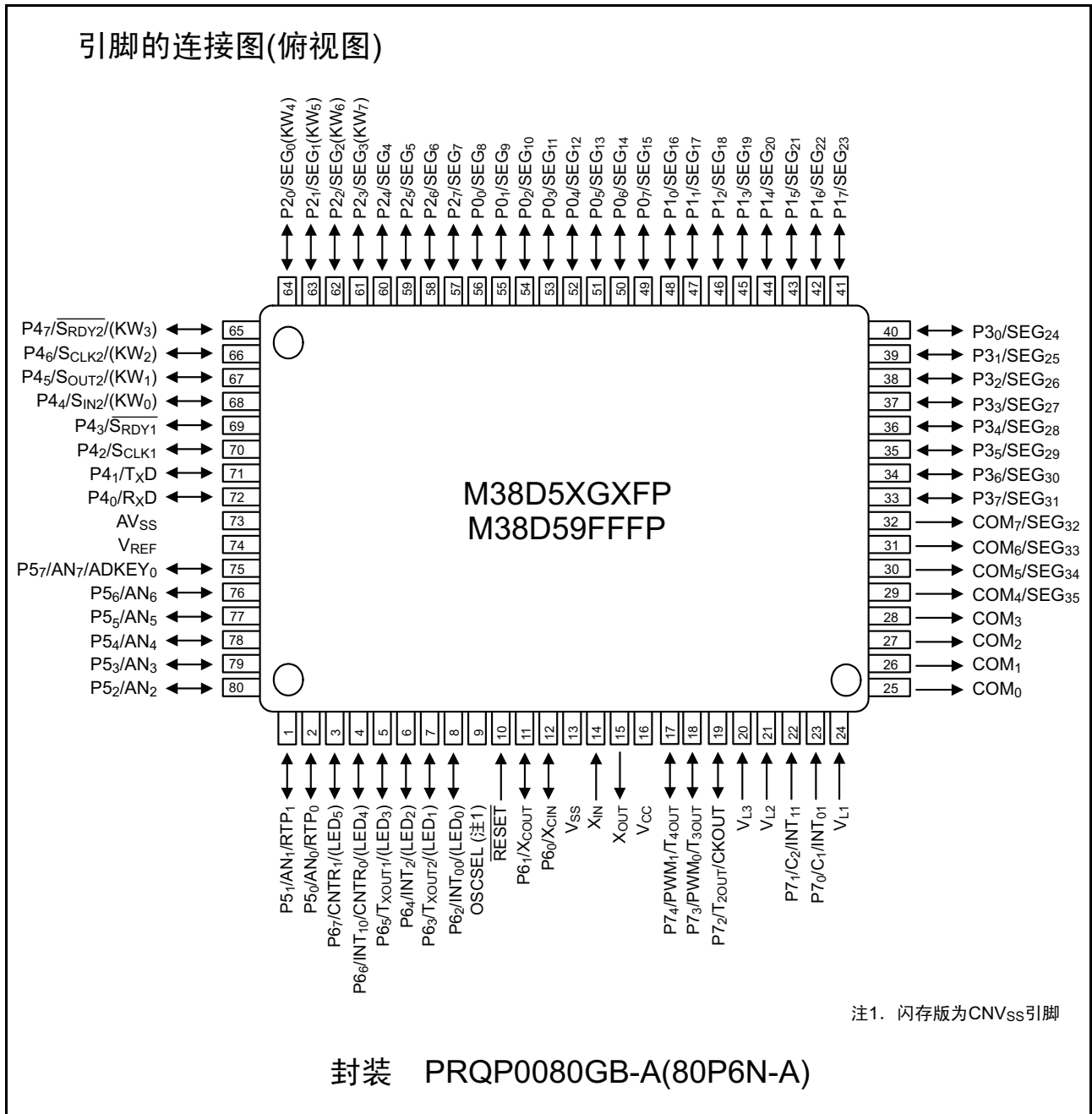


图 1 引脚连接图 (俯视图)

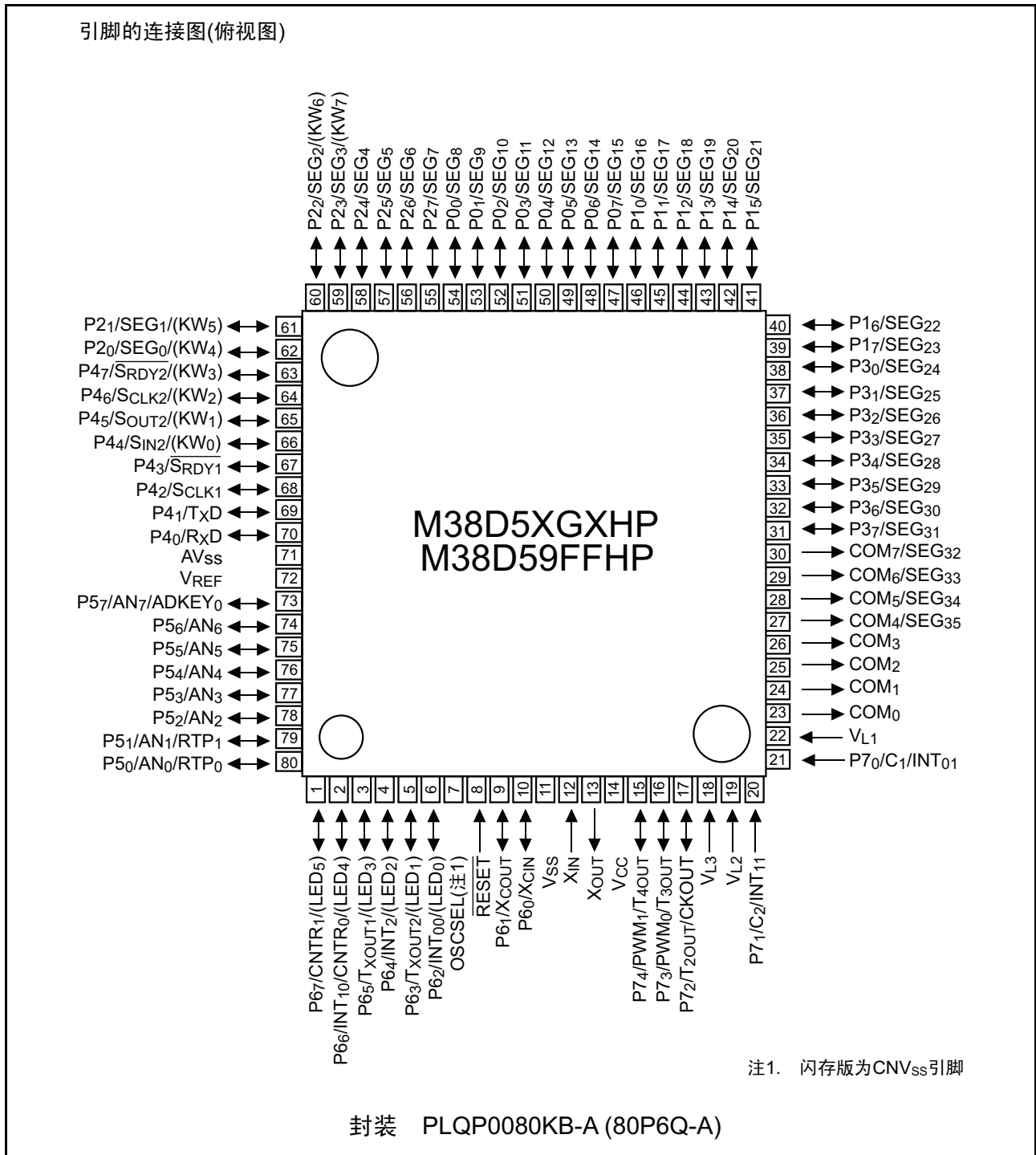


图2 引脚连接图 (俯视图)

表 1 性能概要 (1)

项目		性能		
基本指令数		71		
指令执行时间		0.32 $\mu$ s (在最短指令、振荡频率 12.5MHz 时)		
振荡频率		16MHz (最大) (注)		
存储器容量 (QzROM 版)	ROM	32K ~ 60K 字节		
	RAM	1536 ~ 2048 字节		
存储器容量 (闪存版)	ROM	60K 字节		
	RAM	2048 字节		
输入端口	P7 <sub>0</sub> ~ P7 <sub>1</sub>	2 位 $\times$ 1		
输入 / 输出端口	P0 ~ P6、P7 <sub>2</sub> ~ P7 <sub>4</sub>	8 位 $\times$ 7、3 位 $\times$ 1 (SEG 共用 36 个)		
中断		17 个源 16 个向量 (包括键输入中断)		
定时器		8 位 $\times$ 4、16 位 $\times$ 2		
串行 I/O1		8 位 $\times$ 1 (时钟异步 / 同步)		
串行 I/O2		8 位 $\times$ 1 (时钟同步)		
PWM		10 位 $\times$ 2、16 位 $\times$ 1 (IGBT 输出兼用)		
A/D 转换器		10 位 $\times$ 8 (可在低速模式中运行)		
看门狗定时器		8 位 $\times$ 1		
ROM 校正功能		32 字节 $\times$ 2 个向量		
LED 直接驱动端口		6 个 (平均电流 15mA、峰值电流 30mA、总和电流 90mA)		
LCD 驱动控制电路	偏压	1/2、1/3 偏压		
	分时	2、3、4、8 分时		
	公共输出	4/8 个		
	段输出	32/36 个		
主时钟发生电路		内置 1 个电路 (陶瓷谐振器或者内部振荡器)		
副时钟发生电路		内置 1 个电路 (外接晶体谐振器)		
电源电压 (QzROM 版)	在 2 分频模式时 (注 1)	$f(X_{IN}) \leq 12.5\text{MHz}$	4.5 ~ 5.5V	
		$f(X_{IN}) \leq 8\text{MHz}$	4.0 ~ 5.5V	
		$f(X_{IN}) \leq 4\text{MHz}$	2.0 ~ 5.5V	
		$f(X_{IN}) \leq 2\text{MHz}$	1.8 ~ 5.5V	
	在 4 分频模式时	$f(X_{IN}) \leq 16\text{MHz}$	4.5 ~ 5.5V	
		$f(X_{IN}) \leq 8\text{MHz}$	2.0 ~ 5.5V	
		$f(X_{IN}) \leq 4\text{MHz}$	1.8 ~ 5.5V	
	在 8 分频模式时	$f(X_{IN}) \leq 16\text{MHz}$	4.5 ~ 5.5V	
		$f(X_{IN}) \leq 8\text{MHz}$	2.0 ~ 5.5V	
		$f(X_{IN}) \leq 4\text{MHz}$	1.8 ~ 5.5V	
在低速模式时		1.8 ~ 5.5V		
电源电压 (闪存版)	在 2 分频模式时 (注 1)	$f(X_{IN}) \leq 12.5\text{MHz}$	4.5 ~ 5.5V	
		$f(X_{IN}) \leq 8\text{MHz}$	4.0 ~ 5.5V	
		$f(X_{IN}) \leq 4\text{MHz}$	2.7 ~ 5.5V	
	在 4 分频模式时	$f(X_{IN}) \leq 16\text{MHz}$	4.5 ~ 5.5V	
		$f(X_{IN}) \leq 8\text{MHz}$	2.7 ~ 5.5V	
	在 8 分频模式时	$f(X_{IN}) \leq 16\text{MHz}$	4.5 ~ 5.5V	
		$f(X_{IN}) \leq 8\text{MHz}$	2.7 ~ 5.5V	
	在低速模式时		2.7 ~ 5.5V	

【注】 1. 不能在 2 分频模式中使用  $12.5\text{MHz} < f(X_{IN}) \leq 16\text{MHz}$ 。

表 2 性能概要 (2)

项目		性能
功耗 (QzROM 版)	在 2 分频模式时	标准 32mW (V <sub>CC</sub> =5V、f(X <sub>IN</sub> )=12.5MHz、Ta=25°C)
	在低速模式时	标准 18μW (V <sub>CC</sub> =2.5V、f(X <sub>IN</sub> )= 停止、f(X <sub>CIN</sub> )=32kHz、Ta=25°C)
功耗 (闪存版)	在 2 分频模式时	标准 20mW (V <sub>CC</sub> =5V、f(X <sub>IN</sub> )=12.5MHz、Ta=25°C)
	在低速模式时	标准 1.1mW (V <sub>CC</sub> =2.7V、f(X <sub>IN</sub> )= 停止、f(X <sub>CIN</sub> )=32kHz、Ta=25°C)
输入 / 输出特性	输入 / 输出耐压	V <sub>CC</sub>
	输出电流	10mA
工作环境温度		-20 ~ 85°C
器件结构		CMOS 硅栅
封装		80 引脚塑封 LQFP/QFP

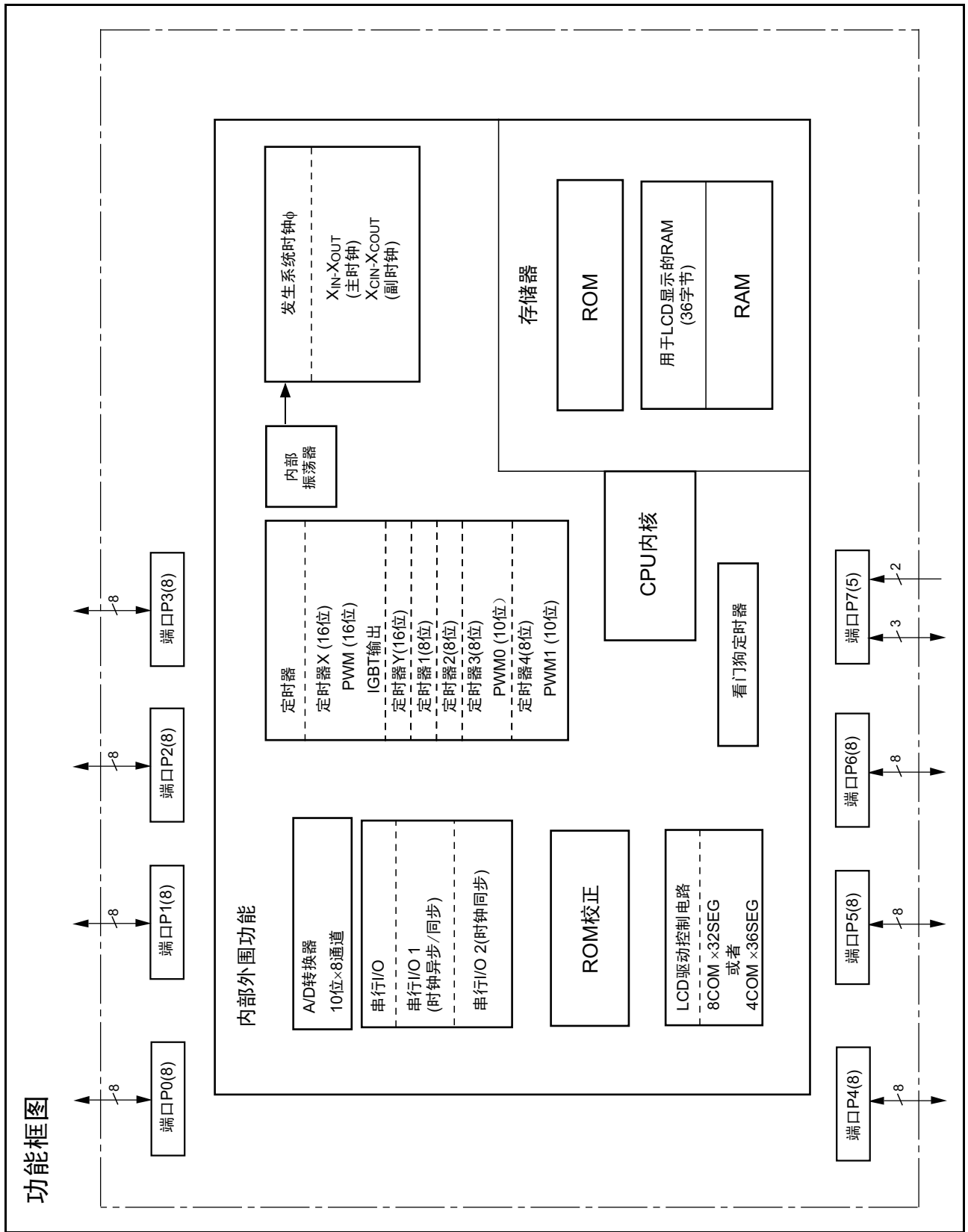


图 3 功能框图

表 3 引脚的功能说明 (1)

引脚名	名称	功 能	端口以外的功能	
VCC、VSS	电源输入	给 VCC 外加电源电压, 给 VSS 外加 0V。		
RESET	复位输入	是“L”电平有效的复位输入引脚。		
XIN	时钟输入	是主时钟发生电路的输入/输出引脚, 在 XIN 和 XOUT 之间连接陶瓷谐振器或者晶体谐振器。在使用外部时钟时, 将时钟振荡源连接到 XIN, XOUT 开路。内置反馈电阻。		
XOUT	时钟输出			
VL1、VL2、VL3	LCD 的电源输入	外加 $0 \leq VL1 \leq VL2 \leq VL3$ 的电压, 给 LCD 外加 $0 \sim VL3$ 的电压。		
COM0 ~ COM3	公共输出	是 LCD 的公共输出引脚。在 2 分时的情况下不使用 COM2 和 COM3; 在 3 分时的情况下不使用 COM3。		
COM4/SEG35 ~ COM7/SEG32	公共输出 / 段输出	是 LCD 的公共 / 段的输出引脚。		
P00/SEG8 ~ P07/SEG15	输入 / 输出端口 P0	是 8 位输入 / 输出端口。输入为 CMOS 输入电平, 输出为 CMOS 三态输出。可通过程序以位单位指定输入 / 输出, 并能以位单位进行上拉控制。	键输入中断的输入引脚	
P10/SEG16 ~ P17/SEG23	输入 / 输出端口 P1	是 8 位输入 / 输出端口。输入为 CMOS 输入电平, 输出为 CMOS 三态输出。可通过程序以位为单位指定输入 / 输出, 并能以 4 位为单位进行上拉控制。		
P20/SEG0/(KW4) ~ P23/SEG3/(KW7)	输入 / 输出端口 P2	是 8 位输入 / 输出端口。输入为 CMOS 输入电平, 输出为 CMOS 三态输出。可通过程序以位单位指定输入 / 输出, 并能以位单位进行上拉控制。		
P24/SEG4 ~ P27/SEG7				
P30/SEG24 ~ P37/SEG31	输入 / 输出端口 P3	是 8 位输入 / 输出端口。输入为 CMOS 输入电平, 输出为 CMOS 三态输出。可通过程序以位为单位指定输入 / 输出, 并能以 4 位为单位进行上拉控制。		
P40/RxD、P41/TxD、P42/SCLK1、P43/SRDY1	输入 / 输出端口 P4	是 8 位输入 / 输出端口。输入为 CMOS 输入电平, 输出为 CMOS 三态输出。可通过程序以位为单位指定输入 / 输出, 并能以 4 位为单位进行上拉控制。	串行 I/O1 的功能引脚	
P44/SIN2/(KW0)、P45/SOUT2/(KW1)、P46/SCLK2/(KW2)、P47/SRDY2/(KW3)			串行 I/O2 的功能引脚	键输入中断的输入引脚
P50/AN0/RTP0、P51/AN1/RTP1	输入 / 输出端口 P5	是 8 位输入 / 输出端口。输入为 CMOS 输入电平, 输出为 CMOS 三态输出。可通过程序以位单位指定输入 / 输出, 并能以位单位进行上拉控制。	A/D 转换器的输入引脚	实时端口功能的引脚
P52/AN2 ~ P56/AN6				
P57/AN7/ADKEY0				ADKEY 的输入引脚

表 3 引脚的功能说明 (2)

引脚名	名称	功 能	端口以外的功能	
P60/XCIN、 P61/XCOUT	输入 / 输出端口 P6	是 8 位输入 / 输出端口。输入为 CMOS 输入电平，输出为 CMOS 三态输出。可通过程序以位单位指定输入 / 输出，并能以位单位进行上拉控制。P62 ~ P67 可用于 LED 驱动的大电流输出。	副时钟发生电路的输入 / 输出引脚 (连接谐振器)	
P62/INT00/(LED0)、 P63/TXOUT2/(LED1)、 P64/INT2/(LED2)			外部中断引脚	
P65/TXOUT1/(LED3)			定时器 X 的输出引脚	
P66/INT10/CNTR0/ (LED4)、 P67/CNTR1/(LED5)			外部中断引脚	
			定时器 X 的输出引脚	定时器 X、定 时器 Y 的功能 引脚
P70/C1/INT01、 P71/C2/INT11	输入端口 P7	是 2 位输入端口。输入为 CMOS 输入电平。	外部中断引脚	用于 LCD 升压的 电容连接引脚
P72/T2OUT/CKOUT	输入 / 输出端口 P7	是 3 位输入 / 输出端口。输入为 CMOS 输入电平，输出为 CMOS 三态输出。可通过程序以位单位指定输入 / 输出，并能以 3 位单位进行上拉控制。	时钟输出引脚	定时器 2 的输出引脚
P73/PWM0/T3OUT、 P74/PWM1/T4OUT			PWM 输出引脚	定时器 3 的输出引脚
				定时器 4 的输出引脚
OSCSEL (仅 QzROM 版)	振荡开始的选择引脚	选择是通过 X <sub>IN</sub> 、X <sub>OUT</sub> 间的谐振器开始振荡还是通过内部振荡器开始振荡。 在 QzROM 编程模式时，为 V <sub>PP</sub> 电源输入引脚。		
CNV <sub>SS</sub> (仅闪存)	CNV <sub>SS</sub>	控制芯片工作模式的引脚，必须连接到 V <sub>SS</sub> 。		
V <sub>REF</sub>	基准电压输入	是 A/D 转换器的基准电压输入引脚。		
AV <sub>SS</sub>	模拟电源输入	是 A/D 转换器的电源输入引脚，必须将此引脚连接到 V <sub>SS</sub> 。		

## 产品型号、存储器容量和封装

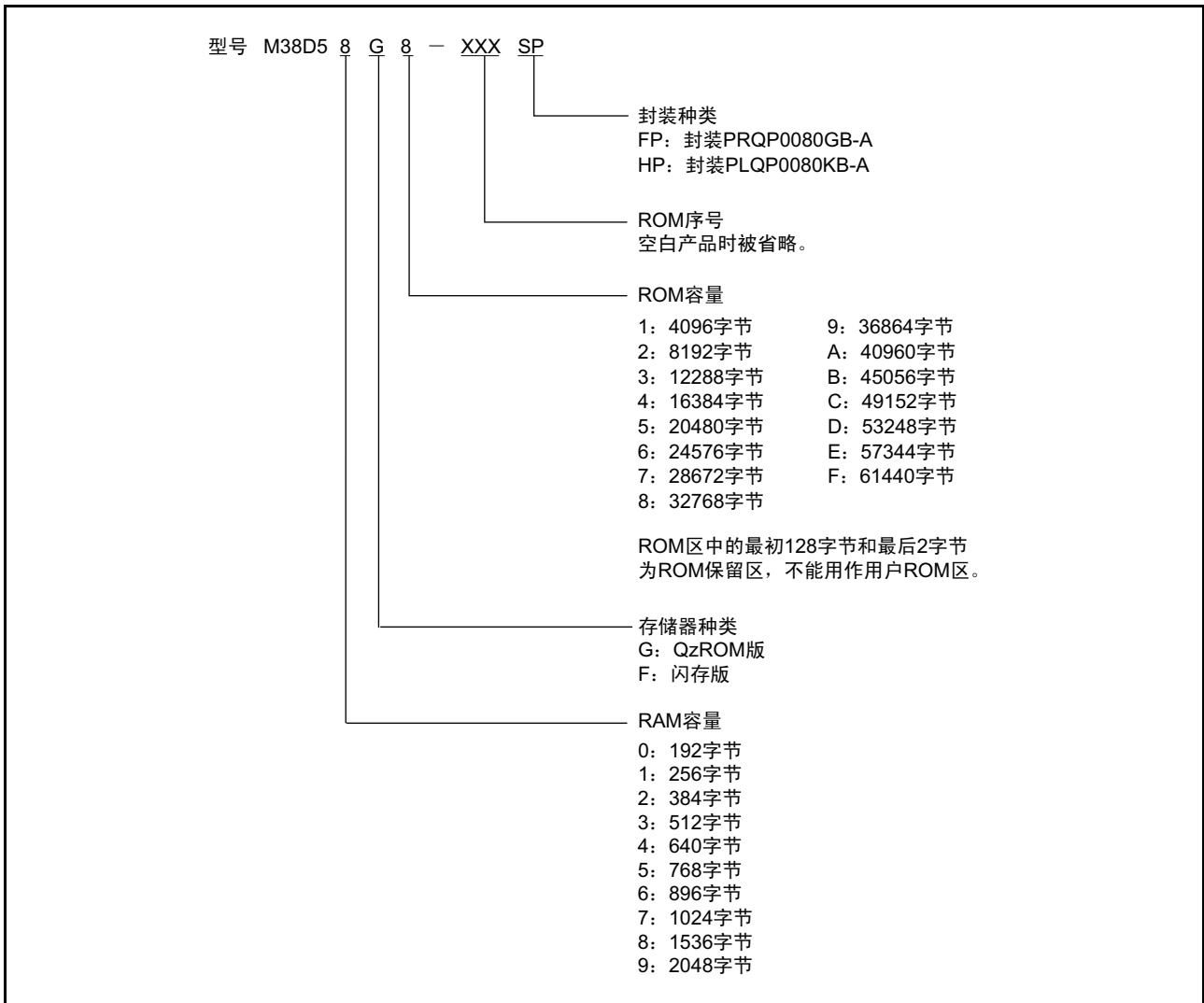


图 4 产品型号、存储器容量和封装

## 群的展开

38D5 群正在按如下的计划展开。

### 存储器容量

< QzROM 版 >

ROM 容量 ..... 32K ~ 60K 字节

RAM 容量 ..... 1536 ~ 2048 字节

< 闪存版 >

ROM 容量 ..... 60K 字节

RAM 容量 ..... 2048 字节

### 封装

- PRQP0080GB-A ..... 0.8mm 节距塑封 QFP
- PLQP0080KB-A ..... 0.5mm 节距塑封 LQFP

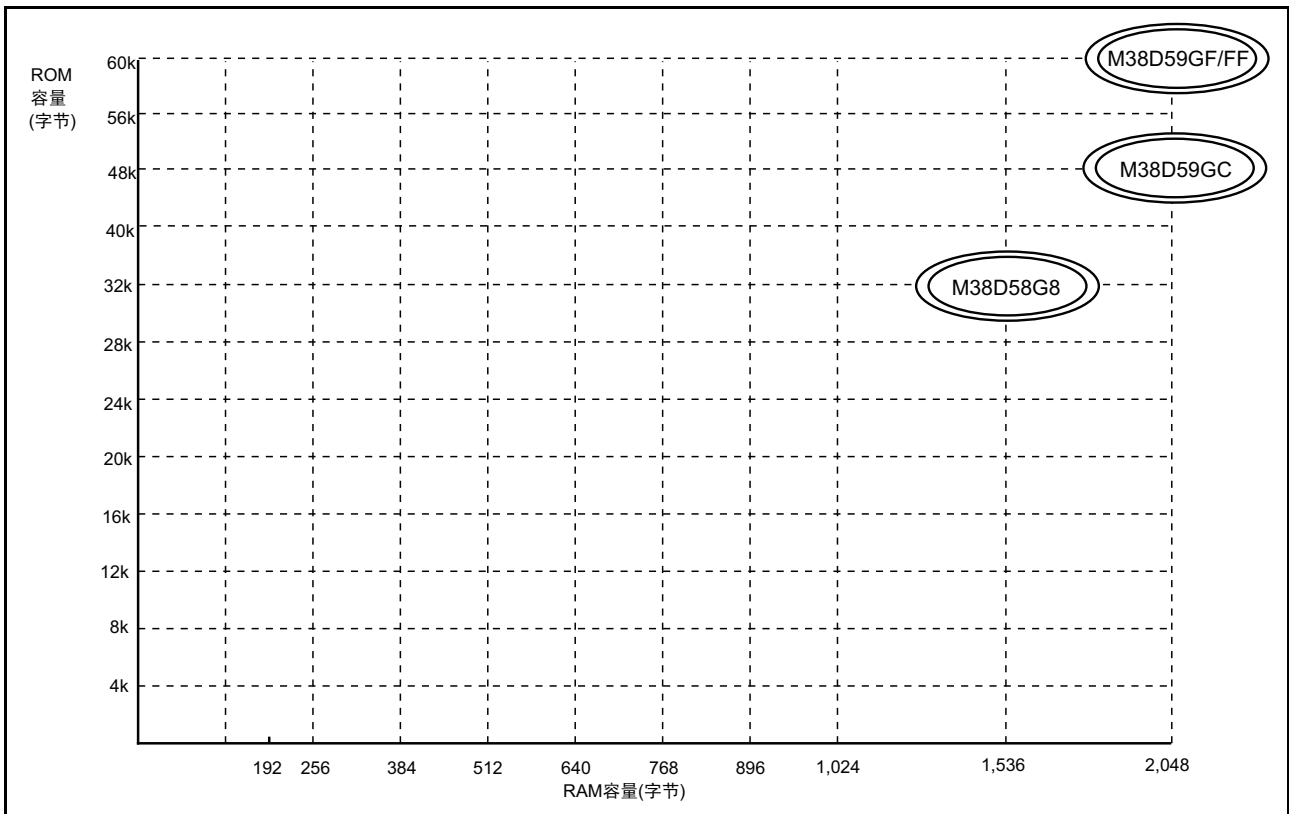


图 5 38D5 群的 ROM、RAM 展开计划

现在正计划支持的产品如表 4 所示。

表 4 支持产品一览表

截至 2007 年 4 月

产品型号	ROM 容量 (字节) ( ) 内为用户 ROM 容量	RAM 容量 (字节)	封装	备考
M38D58G8-XXXFP	32768	1536	PRQP0080GB-A	QzROM 版
M38D58G8-XXXHP	(32638)		PLQP0080KB-A	
M38D58G8FP	32768	1536	PRQP0080GB-A	QzROM 版 (空白产品)
M38D58G8HP	(32638)		PLQP0080KB-A	
M38D59GC-XXXFP	49152	2048	PRQP0080GB-A	QzROM 版
M38D59GC-XXXHP	(49022)		PLQP0080KB-A	
M38D59GCFP	49152	2048	PRQP0080GB-A	QzROM 版 (空白产品)
M38D59GCHP	(49022)		PLQP0080KB-A	
M38D59GF-XXXFP	61440	2048	PRQP0080GB-A	QzROM 版
M38D59GF-XXXHP	(61310)		PLQP0080KB-A	
M38D59GFFP	61440	2048	PRQP0080GB-A	QzROM 版 (空白产品)
M38D59GFHP	(61310)		PLQP0080KB-A	
M38D59FFFP	61440	2048	PRQP0080GB-A	闪存版
M38D59FFHP	(61310)		PLQP0080KB-A	

表 5 QzROM 版和闪存版的不同点

	QzROM 版		闪存版
复位时和从停止模式返回时的振荡电路	通过 OSCSEL 引脚可以从主时钟 X <sub>IN</sub> 或者内部振荡器中选择		内部振荡器
OSCSEL/CNV <sub>SS</sub> 引脚处理	OSCSEL= "H"	OSCSEL= "L"	CNV <sub>SS</sub> = "L"
复位时和从停止模式返回时主时钟的振荡	振荡	停止	停止
复位时和从停止模式返回时内部振荡器的振荡	停止	振荡	振荡
复位时和从停止模式返回时系统时钟 $\phi$ 的振荡	$f(X_{IN})/8$	$f(OCO)/32$	$f(OCO)/32$
主时钟振荡电路的安装	必须	任意	任意
低速模式时的内部振荡器振荡	停止		因为不停止, 所以必须通过内部振荡器停止位使其停止
内部振荡器模式时内部振荡器停止位的位置 "1"	内部振荡器停止		内部振荡器不停止
复位输入 "L" 电平的脉宽	$\geq 2\mu s$		$\geq 2ms$
绝对最大额定值 OSCSEL/CNV <sub>SS</sub> 引脚	-0.3V ~ 8.0V		-0.3V ~ V <sub>CC</sub> +0.3V
最低工作电源电压	1.8V		2.7V
A/D 转换器最低工作电源电压	2.0V		2.7V

【注】 1. 详细内容请在本文中确认。

### 有关 QzROM 版和闪存版不同的注意点

1. 部分存储器配置、编程模式和编程电路因不同的内存而不同。
2. X<sub>IN</sub>-X<sub>OUT</sub>、X<sub>CIN</sub>-X<sub>COUT</sub>的振荡电路常数可能不同。
3. 因为制造工艺、内部ROM、布局图形的不同，QzROM版和闪存版在电特性范围内的特性值、工作容限、A/D转换精度、噪声耐量、噪声辐射量等的指标值可能不同。
4. 从闪存版改换到QzROM版时，必须进行与闪存版系统评价试验同等的试验。
5. 使用仿真器（仿真器MCU电路板：M38D59T-RLFS）时，电特性以外的功能与QzROM版的运行相同。

## 功能块的运行说明

### 中央运算处理器（CPU）

38D5 群具有和 740 族共同的 CPU。关于各指令的运行，请参照《740 族软件手册》。

依存于产品种类的指令如下：

1. 没有 FST、SLW 指令。
2. 能使用 MUL、DIV 指令。
3. 能使用 WIT 指令。
4. 能使用 STP 指令。

中央运算处理器（CPU）有 6 个寄存器，CPU 的寄存器结构如图 6 所示。

#### 【累加器】（A）

累加器是 8 位寄存器。以此寄存器为核心执行运算、传送等数据处理。

#### 【变址寄存器 X】（X）

变址寄存器 X 是 8 位寄存器。在变址寻址方式中，使用此寄存器进行寻址。

#### 【变址寄存器 Y】（Y）

变址寄存器 Y 是 8 位寄存器。在变址寻址方式中，使用此寄存器进行寻址。

#### 【栈指针】（S）

栈指针是 8 位寄存器。在调用子程序或者中断时，此寄存器指向保存寄存器的存储位置（堆栈）的起始地址。

用此寄存器指定堆栈的低 8 位地址。高 8 位地址由栈页选择位的内容决定，此位是“0”时，高 8 位为“00<sub>16</sub>”；此位是“1”时，高 8 位为“01<sub>16</sub>”。

堆栈的保存和恢复如图 7 所示，累加器和处理器状态寄存器的保存指令和恢复指令如表 4 所示。对这里所列出以外的必要的寄存器，必须通过程序保存。

#### 【程序计数器】（PC）

程序计数器是由 PC<sub>H</sub> 和 PC<sub>L</sub> 构成的 16 位计数器，PC<sub>H</sub> 和 PC<sub>L</sub> 都是 8 位结构。程序计数器指定下一个应该执行的程序存储地址。

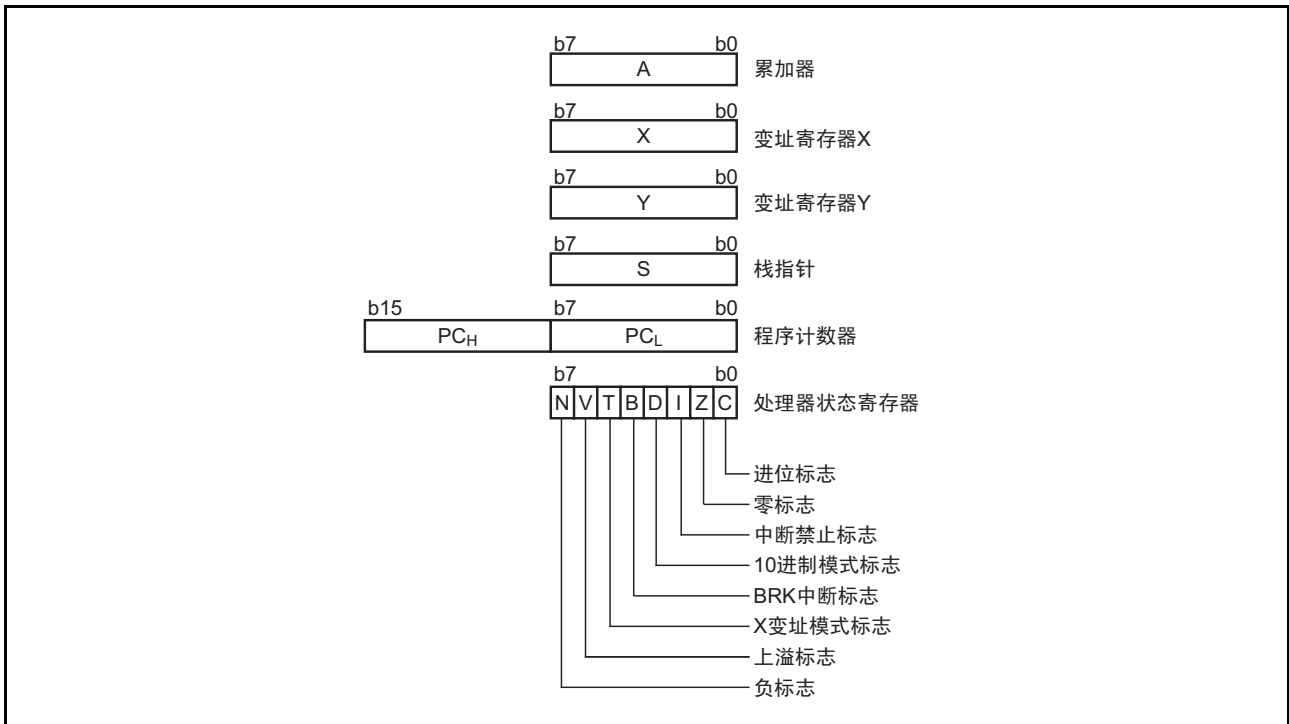


图6 740 族 CPU 的结构

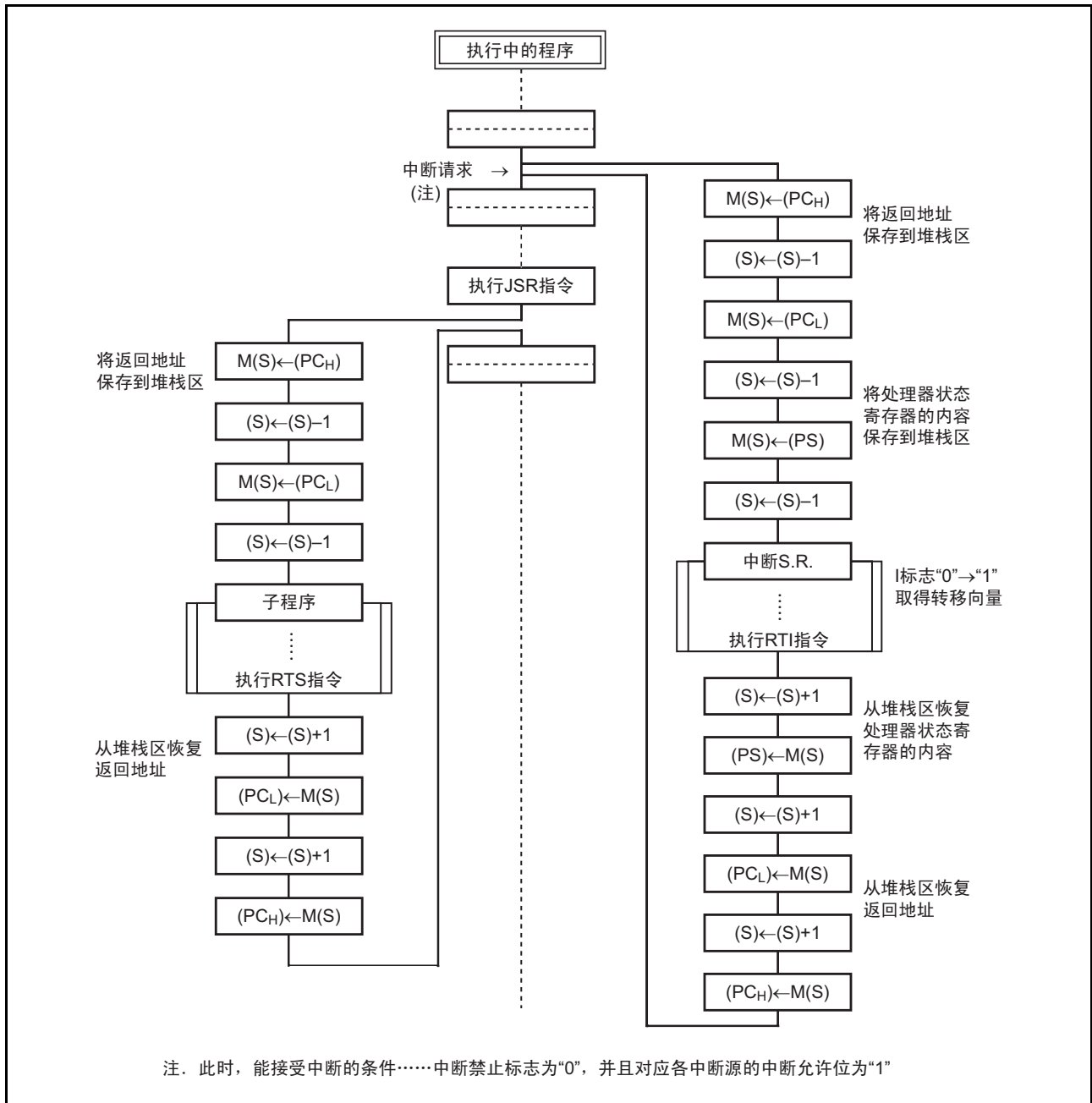


图7 堆栈的保存和恢复

表6 累加器和处理器状态寄存器的保存指令和恢复指令

	保存到堆栈的指令	从堆栈恢复的指令
累加器	PHA	PLA
处理器状态寄存器	PHP	PLP

### 【处理器状态寄存器】（PS）

处理器状态寄存器是 8 位寄存器，由保持刚进行运算后的状态的 5 个标志和决定 MCU 运行的 3 个标志构成。

C、Z、V 和 N 标志能用于转移指令的检测，但是在 10 进制模式时，Z、V 和 N 标志无效。

- bit0: 进位标志（C）  
保持来自运算处理后的算术逻辑运算器的进位或者借位。移位指令或者循环指令也会改变此标志。
- bit1: 零标志（Z）  
当运算处理或者数据传送的结果是“0”时，此标志为“1”，否则为“0”。
- bit2: 中断禁止标志（I）  
用于禁止除 BRK 指令以外的全部中断的标志。当此标志为“1”时，为中断禁止状态。
- bit3: 10 进制运算标志（D）  
决定是用 2 进制还是用 10 进制进行加减运算的标志。当此标志为“1”时，将 1 字节作为 2 位的 10 进制数进行运算。自动进行 10 进制调整，但是只有 ADC 指令和 SBC 指令能进行 10 进制运算。
- bit4: 中断标志（B）  
用于识别 BRK 指令中断的标志。在 BRK 指令中断时，此标志自动置“1”，否则清“0”，然后保存到堆栈。
- bit5: X 变址运算模式标志（T）  
当此标志为“0”时，在累加器和存储器之间进行运算；当此标志为“1”时，不通过累加器，而直接在存储器和存储器之间进行运算。
- bit6: 溢出标志（V）  
在将 1 字节作为带符号的 2 进制数进行加减运算时，使用此标志。在加减运算结果大于 +127 或者小于 -128 时，此标志为“1”。另外，如果执行 BIT 指令，BIT 指令执行对象的存储器的 bit6 就存入此标志。
- bit7: 负标志（N）  
当运算处理或者数据传送的结果为负时，此标志为“1”。另外，如果执行 BIT 指令，BIT 指令执行对象的存储器的 bit7 就存入此标志。

表 7 置位或者清除处理器状态寄存器各标志的指令

	C 标志	Z 标志	I 标志	D 标志	B 标志	T 标志	V 标志	N 标志
置位指令	SEC	—	SEI	SED	—	SET	—	—
清除指令	CLC	—	CLI	CLD	—	CLT	CLV	—

### 【CPU 模式寄存器】 CPUM

在 CPU 模式寄存器中分配了栈页选择位和内部系统时钟控制位等。

此寄存器被分配到地址 003B<sub>16</sub>。

QzROM 版根据 OSCSEL 引脚的状态决定复位解除后的运行模式。

如果将 OSCSEL 引脚置为 GND 电平，就只有内部振荡器开始振荡。X<sub>IN</sub>-X<sub>OUT</sub> 的振荡为停止状态，X<sub>CIN</sub>-X<sub>COUT</sub> 引脚用作输入 / 输出端口，运行模式为内部振荡器模式。

如果将 OSCSEL 引脚置为 V<sub>CC</sub> 电平，就只有 X<sub>IN</sub>-X<sub>OUT</sub> 开始振荡。内部振荡器为停止状态，X<sub>CIN</sub>-X<sub>COUT</sub> 引脚用作输入 / 输出端口，运行模式为 8 分频模式。

闪存版只开始内部振荡器的振荡。X<sub>IN</sub>-X<sub>OUT</sub> 的振荡为停止状态，X<sub>CIN</sub>-X<sub>COUT</sub> 引脚用作输入 / 输出端口，运行模式为内部振荡器模式。

当使用低速、X<sub>IN</sub> 模式时，必须在允许 X<sub>IN</sub>-X<sub>OUT</sub> 和 X<sub>CIN</sub>-X<sub>COUT</sub> 之间的振荡后，通过内部振荡器模式等等待振荡稳定，然后进行转换。

如果不使用 X<sub>IN</sub> 模式（不进行 X<sub>IN</sub>-X<sub>OUT</sub> 之间的振荡和 X<sub>IN</sub> 的外部时钟输入），就必须通过电阻将 X<sub>IN</sub> 连接到 V<sub>CC</sub>。将 X<sub>OUT</sub> 置为开路。

【CPU 模式寄存器 2】 CPUM2

CPU 模式寄存器 2 分配了内部振荡器控制位。  
此寄存器被分配到地址 0011<sub>16</sub>。

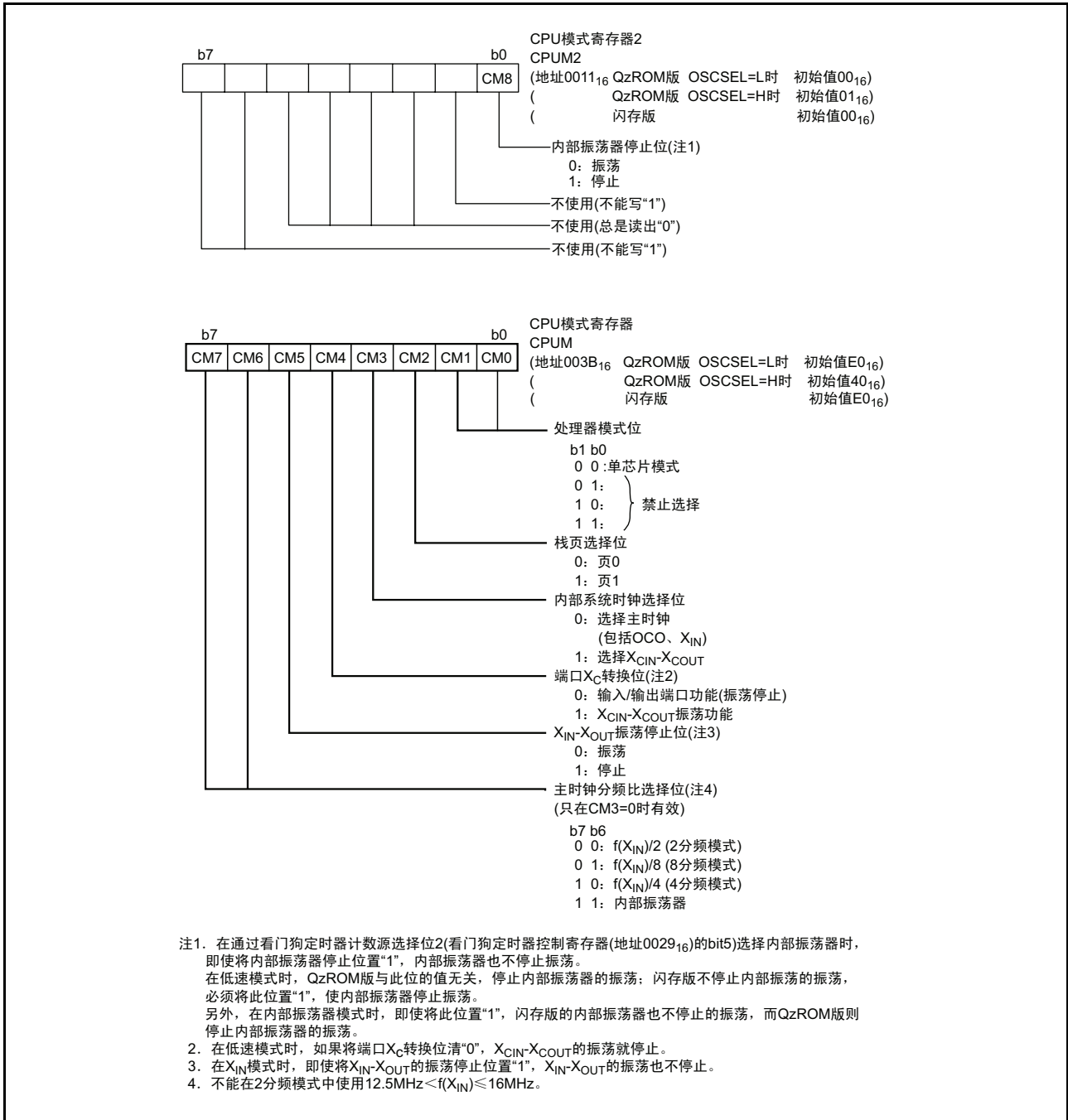


图 8 CPU 模式寄存器的结构

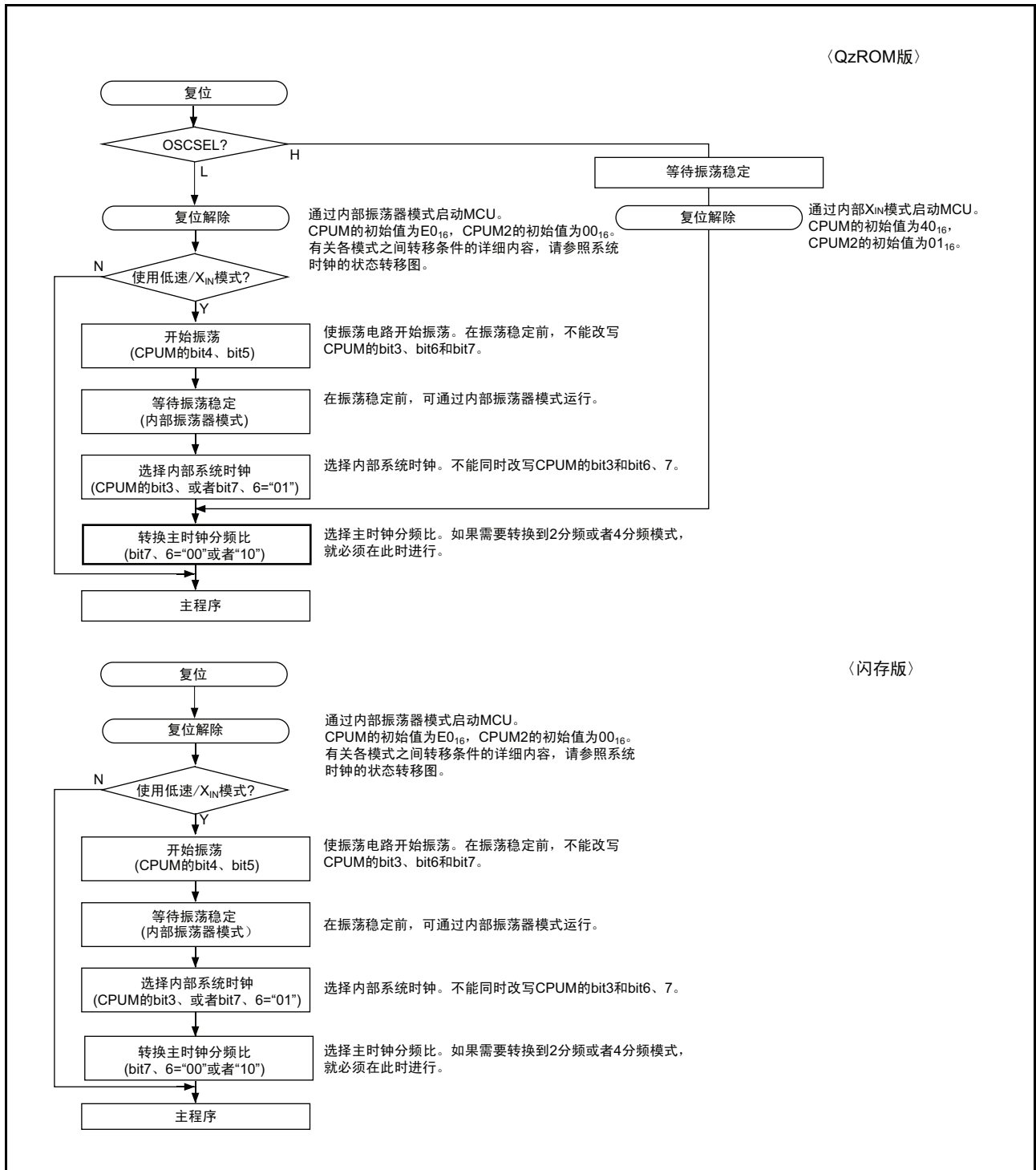


图9 CPU模式寄存器的转换步骤

## 存储器

### ● SFR 区

此区域在页 0 内，并配置了输入 / 输出端口、定时器等控制寄存器。

### ● RAM

用于数据保存、子程序调用以及中断时的堆栈等。

### ● ROM

QzROM 版的最初的 128 字节和最后的 2 字节是用于检查产品的保留区，除此以外是用户区。另外，地址 FFDB<sub>16</sub> 的 1 字节也是保留区。

闪存版可对 ROM 保留区进行编程和擦除。

### ● 中断向量区

它是复位和中断的向量地址保存区。

### ● 零页

它是能通过使用零页寻址方式以 2 字节存取的区域。

### ● 专用页

它是能通过使用专用页寻址方式以 2 字节存取的区域。

### ● QzROM 版的 ROM 码保护地址（地址 FFDB<sub>16</sub>）

作为 QzROM 版的 ROM 保留区的地址 FFDB<sub>16</sub> 是 ROM 码保护地址。如果选择“串行编程器的保护位写”或者在本公司已编程产品的出货时选择“有保护”，“00<sub>16</sub>”或者“FE<sub>16</sub>”就被写到此地址。如果将“00<sub>16</sub>”或者“FE<sub>16</sub>”写到 ROM 码保护地址，保护功能就有效，此后串行编程器不能读写对应的该区域。

在由串行编程器对 QzROM 空白产品进行 ROM 写操作时，通过选择“写保护位”来保护 ROM 码。

能分 2 次进行保护，从 ROM 起始地址到“EFFF<sub>16</sub>”的区域为保护区 1。

对于 QzROM 已编程出货产品，本公司在进行编程时，将“00<sub>16</sub>”（全区有保护）、“FE<sub>16</sub>”（保护区 1 有保护）或者“FF<sub>16</sub>”（无保护）写到 ROM 码保护地址。在订货时，必须用 ROM 选项（在掩模转换实用程序中记为“掩模选项”）选择写的内容为“00<sub>16</sub>”、“FE<sub>16</sub>”和“FF<sub>16</sub>”的其中之一。

关于闪存版的 ROM 码保护，请参照“闪存模式”。

### ■ 注意事项

由于在复位时 RAM 的内容不定，所以在使用前请务必设定初始值。

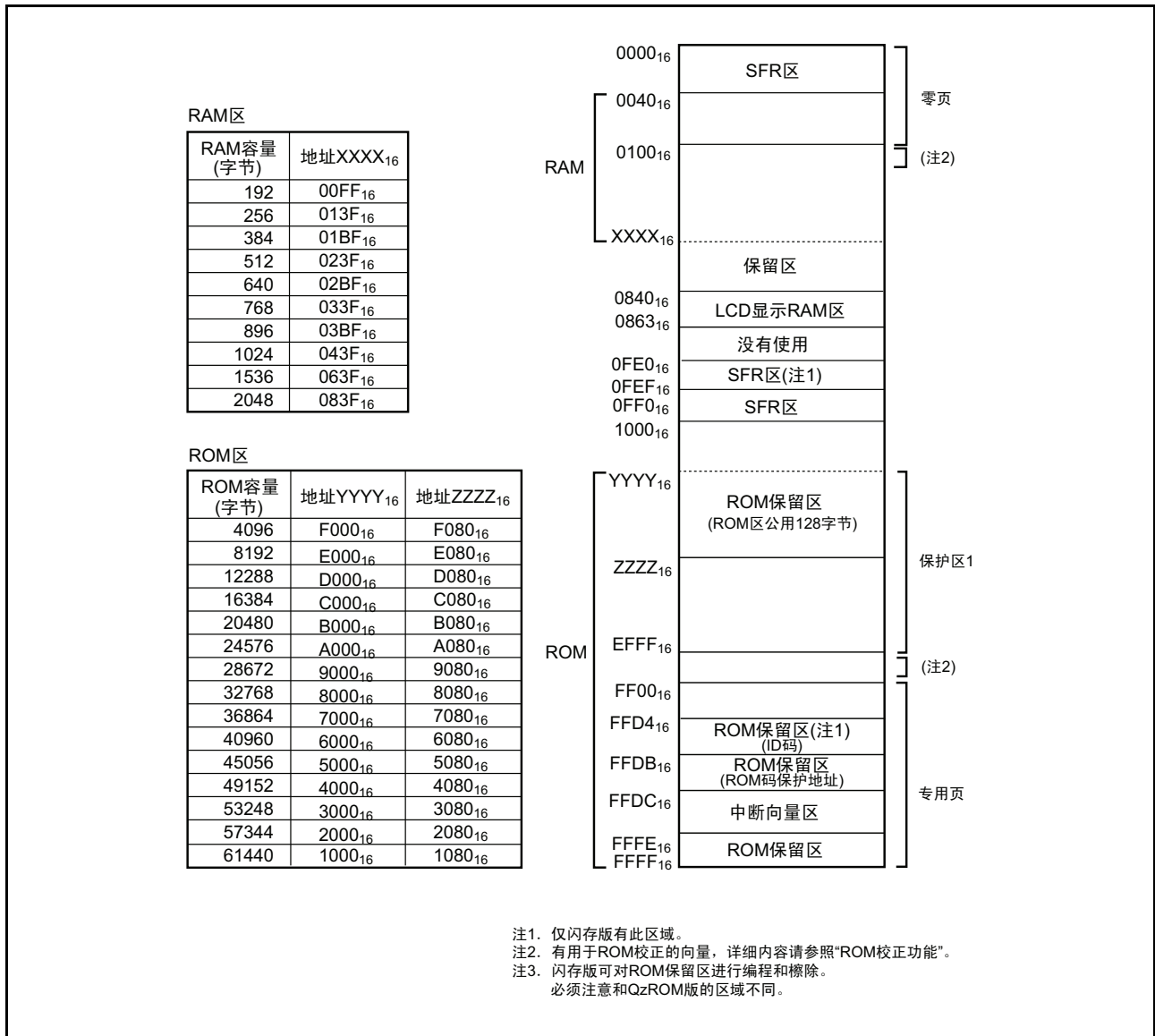


图 10 存储器配置图

0000 <sub>16</sub>	端口P0(P0)	0020 <sub>16</sub>	定时器1(T1)
0001 <sub>16</sub>	端口P0方向寄存器(P0D)	0021 <sub>16</sub>	定时器2(T2)
0002 <sub>16</sub>	端口P1(P1)	0022 <sub>16</sub>	定时器3(T3)
0003 <sub>16</sub>	端口P1方向寄存器(P1D)	0023 <sub>16</sub>	定时器4(T4)
0004 <sub>16</sub>	端口P2(P2)	0024 <sub>16</sub>	PWM01寄存器(PWM01)
0005 <sub>16</sub>	端口P2方向寄存器(P2D)	0025 <sub>16</sub>	定时器12的模式寄存器(T12M)
0006 <sub>16</sub>	端口P3(P3)	0026 <sub>16</sub>	定时器34的模式寄存器(T34M)
0007 <sub>16</sub>	端口P3方向寄存器(P3D)	0027 <sub>16</sub>	定时器1234的模式寄存器(T1234M)
0008 <sub>16</sub>	端口P4(P4)	0028 <sub>16</sub>	定时器1234的分频选择寄存器(PRE1234)
0009 <sub>16</sub>	端口P4方向寄存器(P4D)	0029 <sub>16</sub>	看门狗定时器的控制寄存器(WDTCON)
000A <sub>16</sub>	端口P5(P5)	002A <sub>16</sub>	定时器X(低位)(TXL)
000B <sub>16</sub>	端口P5方向寄存器(P5D)	002B <sub>16</sub>	定时器X(高位)(TXH)
000C <sub>16</sub>	端口P6(P6)	002C <sub>16</sub>	定时器X(扩展)(TEX)
000D <sub>16</sub>	端口P6方向寄存器(P6D)	002D <sub>16</sub>	定时器X的模式寄存器(TXM)
000E <sub>16</sub>	端口P7(P7)	002E <sub>16</sub>	定时器X的控制寄存器1(TXCON1)
000F <sub>16</sub>	端口P7方向寄存器(P7D)	002F <sub>16</sub>	定时器X的控制寄存器2(TXCON2)
0010 <sub>16</sub>		0030 <sub>16</sub>	比较寄存器1(低位)(COMP1L)
0011 <sub>16</sub>	CPU模式寄存器2(CPUM2)	0031 <sub>16</sub>	比较寄存器1(高位)(COMP1H)
0012 <sub>16</sub>	RRF寄存器(RRFR)	0032 <sub>16</sub>	比较寄存器2(低位)(COMP2L)
0013 <sub>16</sub>	LCD模式寄存器1(LM1)	0033 <sub>16</sub>	比较寄存器2(高位)(COMP2H)
0014 <sub>16</sub>	LCD模式寄存器2(LM2)	0034 <sub>16</sub>	比较寄存器3(低位)(COMP3L)
0015 <sub>16</sub>	AD控制寄存器(ADCON)	0035 <sub>16</sub>	比较寄存器3(高位)(COMP3H)
0016 <sub>16</sub>	AD转换寄存器(低位)(ADL)	0036 <sub>16</sub>	定时器Y(低位)(TYL)
0017 <sub>16</sub>	AD转换寄存器(高位)(ADH)	0037 <sub>16</sub>	定时器Y(高位)(TYH)
0018 <sub>16</sub>	发送/接收缓冲寄存器1(TB1/RB1)	0038 <sub>16</sub>	定时器Y的模式寄存器(TYM)
0019 <sub>16</sub>	串行I/O1状态寄存器(SIO1STS)	0039 <sub>16</sub>	定时器Y的控制寄存器(TYCON)
001A <sub>16</sub>	串行I/O1控制寄存器(SIO1CON)	003A <sub>16</sub>	中断边沿选择寄存器(INTEDGE)
001B <sub>16</sub>	UART控制寄存器(UARTCON)	003B <sub>16</sub>	CPU模式寄存器(CPUM)
001C <sub>16</sub>	波特率发生器(BRG)	003C <sub>16</sub>	中断请求寄存器1(IREQ1)
001D <sub>16</sub>	串行I/O2控制寄存器(SIO2CON)	003D <sub>16</sub>	中断请求寄存器2(IREQ2)
001E <sub>16</sub>	保留(注1)	003E <sub>16</sub>	中断控制寄存器1(ICON1)
001F <sub>16</sub>	串行I/O2寄存器(SIO2)	003F <sub>16</sub>	中断控制寄存器2(ICON2)
0FE0 <sub>16</sub>	闪存控制寄存器0(FMCR0)	0FF0 <sub>16</sub>	PULL寄存器1(PULL1)
0FE1 <sub>16</sub>	闪存控制寄存器1(FMCR1)	0FF1 <sub>16</sub>	PULL寄存器2(PULL2)
0FE2 <sub>16</sub>	闪存控制寄存器2(FMCR2)	0FF2 <sub>16</sub>	PULL寄存器3(PULL3)
0FE3 <sub>16</sub>	保留(注1)	0FF3 <sub>16</sub>	时钟输出控制寄存器(CKOUT)
0FE4 <sub>16</sub>	保留(注1)	0FF4 <sub>16</sub>	段输出禁止寄存器0(SEG0)
0FE5 <sub>16</sub>	保留(注1)	0FF5 <sub>16</sub>	段输出禁止寄存器1(SEG1)
0FE6 <sub>16</sub>	保留(注1)	0FF6 <sub>16</sub>	段输出禁止寄存器2(SEG2)
0FE7 <sub>16</sub>	保留(注1)	0FF7 <sub>16</sub>	键输入控制寄存器(KIC)
0FE8 <sub>16</sub>	保留(注1)	0FF8 <sub>16</sub>	ROM校正地址1高位寄存器(RCA1H)
0FE9 <sub>16</sub>	保留(注1)	0FF9 <sub>16</sub>	ROM校正地址1低位寄存器(RCA1L)
0FEA <sub>16</sub>	保留(注1)	0FFA <sub>16</sub>	ROM校正地址2高位寄存器(RCA2H)
0FEB <sub>16</sub>	保留(注1)	0FFB <sub>16</sub>	ROM校正地址2低位寄存器(RCA2L)
0FEC <sub>16</sub>	保留(注1)	0FFC <sub>16</sub>	ROM校正允许寄存器(RCR)
0FED <sub>16</sub>	保留(注1)	0FFD <sub>16</sub>	保留(注1)
0FEE <sub>16</sub>	保留(注1)	0FFE <sub>16</sub>	
0FEF <sub>16</sub>	保留(注1)	0FFF <sub>16</sub>	

注1. 不能对保留区写任何数据。  
注2. 不能存取SFR空白区的存储器。  
注3. 仅闪存版有0FE0<sub>16</sub>~0FEF<sub>16</sub>区。

图 11 SFR (特殊功能寄存器) 存储器映像

## 输入 / 输出端口

### ●方向寄存器（端口 P0 ~ P6、P7<sub>2</sub> ~ P7<sub>4</sub>）

输入 / 输出端口 P0 ~ P6、P7<sub>2</sub> ~ P7<sub>4</sub> 有方向寄存器，可按位单位设定是用作输入端口还是用作输出端口。如果将方向寄存器清“0”，该引脚就为输出端口。另外，如果将方向寄存器和段输出禁止寄存器都置“1”，端口 P0 ~ P3 就为输出端口；如果将方向寄存器置“1”，端口 P4 ~ P6、P7<sub>2</sub> ~ P7<sub>4</sub> 就为输出端口。

如果从被设定为输出端口的引脚进行读操作，就读取端口锁存器的内容而不是引脚的值。但是，如果已选择 RTP<sub>1</sub>、RTP<sub>0</sub>、TXOUT<sub>1</sub>、TXOUT<sub>2</sub>、T4OUT、T3OUT 和 T2OUT/CKOUT 的外围功能输出，就能读取该输出值。

被设定为输入端口的引脚处于浮动状态，能读引脚的值。如果进行写操作，虽然数据被写到端口锁存器，但是引脚仍然处于浮动状态。

### ●端口 P7<sub>0</sub>、P7<sub>1</sub>

它是和升压电路兼用的输入端口。在使用升压电路时，读取值为“1”。

### ●上拉控制

通过设定方向寄存器和段输出禁止寄存器 0 ~ 2（地址 0FF4 ~ 0FF6<sub>16</sub>），能通过程序以位单位或者 4 位为单位对端口 P0 ~ P3 进行上拉控制。如果将方向寄存器清“0”并将段输出禁止寄存器置“1”，就上拉该引脚。通过设定 PULL 寄存器（地址 0FF0 ~ 0FF2<sub>16</sub>），能通过程序以位单位或者 4 位为单位对端口 P4 ~ P7 进行上拉控制。但是，被设定为输出端口的引脚从此控制分离，不进行上拉。

段输出禁止寄存器 方向寄存器	“0”	“1”	
“0”	输入端口 无上拉	输入端口 有上拉	← 初始状态
“1”	段输出	端口输出	

图 12 端口 P0 ~ P3 的设定

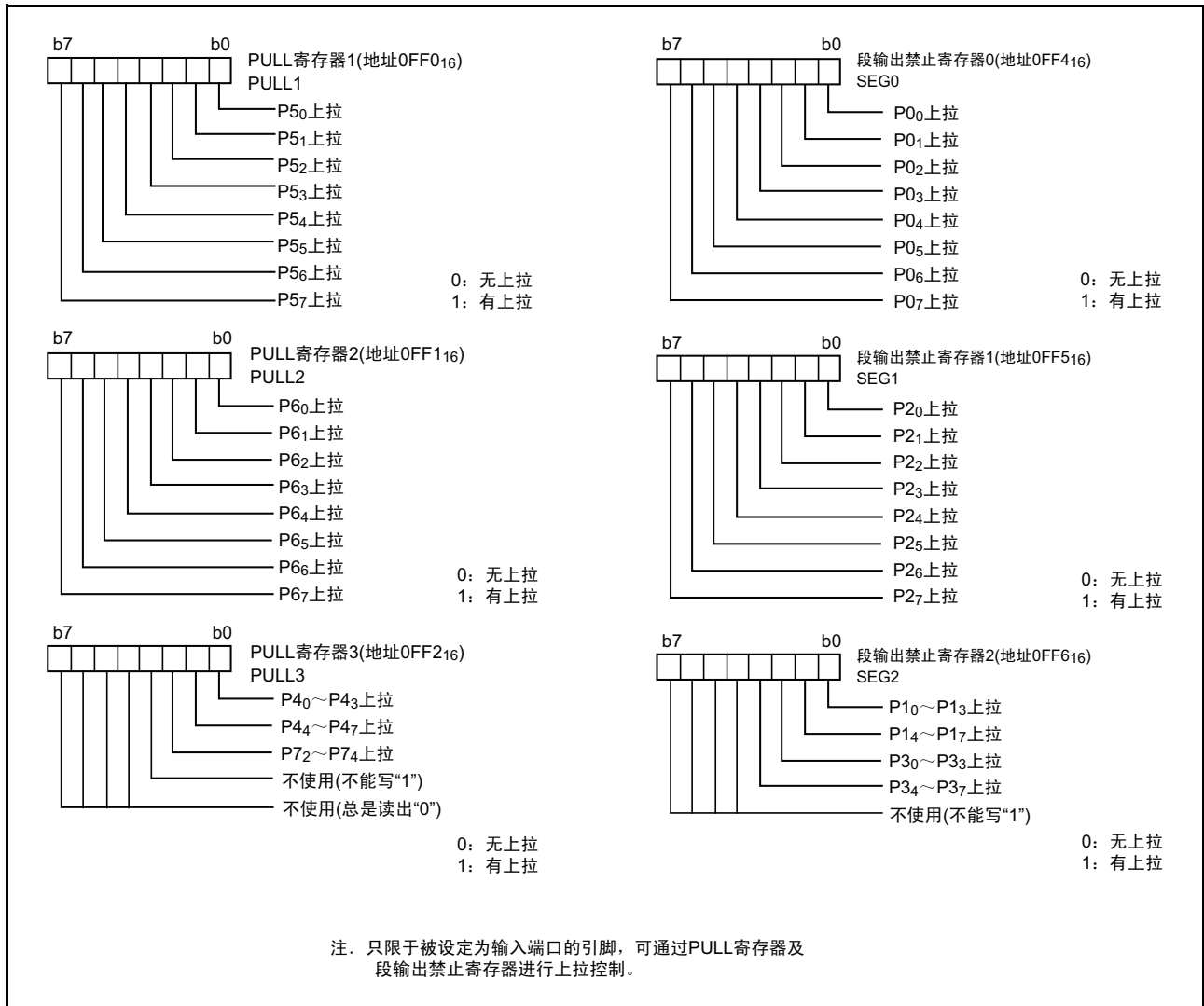


图 13 PULL 寄存器和段输出禁止寄存器的结构

表 8 输入 / 输出端口的功能一览表 (1)

引脚名	名称	输入 / 输出	输入 / 输出格式	端口以外的功能		关联的 SFR	图号	
P00/SEG8 ~ P07/SEG15	端口 P0	输入 / 输出 位单位	CMOS 输入电平 CMOS 三态输出	LCD 的段输出		段输出禁止寄存器 0	(1)	
P10/SEG16 ~ P17/SEG23	端口 P1	输入 / 输出 位单位	CMOS 输入电平 CMOS 三态输出			段输出禁止寄存器 2		
P20/SEG0/(KW4) ~ P23/SEG3/(KW7)	端口 P2	输入 / 输出 位单位	CMOS 输入电平 CMOS 三态输出		键输入 (键唤醒) 中断输入	段输出禁止寄存器 1 键输入控制寄存器	(2)	
P24/SEG4 ~ P27/SEG7						段输出禁止寄存器 1	(1)	
P30/SEG24 ~ P37/SEG31	端口 P3	输入 / 输出 位单位	CMOS 输入电平 CMOS 三态输出			段输出禁止寄存器 2		
P40/RxD、 P41/TxD、 P42/SCLK1、 P43/SRDY1	端口 P4	输入 / 输出 位单位	CMOS 输入电平 CMOS 三态输出	串行 I/O1 功能的输入 / 输出		PULL 寄存器 3 串行 I/O1 控制寄存器 串行 I/O1 状态寄存器 UART 控制寄存器	(3)	
							(4)	
							(5)	
							(6)	
P44/SIN2/(KW0)、 P45/SOUT2/(KW1)、 P46/SCLK2/(KW2)、 P47/SRDY2/(KW3)				串行 I/O2 功能的输入 / 输出	键输入 (键 唤醒) 中断 输入	PULL 寄存器 3 串行 I/O2 控制寄存器 串行 I/O2 寄存器 键输入控制寄存器	(7)	
								(8)
								(9)
								(10)
P50/AN0/RTP0、 P51/AN1/RTP1	端口 P5	输入 / 输出 位单位	CMOS 输入电平 CMOS 三态输出	A/D 转换输 入	实时端口 功能的输出	PULL 寄存器 1 AD 控制寄存器 定时器 Y 的模式寄存器	(11)	
							PULL 寄存器 1 AD 控制寄存器	(12)
						ADKEY 输入		(13)
P60/XCIN、 P61/XCOUT P62/INT00/(LED0) P63/TXOUT2/(LED1) P64/INT2/(LED2) P65/TXOUT1/(LED3)	端口 P6	输入 / 输出 位单位	CMOS 输入电平 CMOS 三态输出	副时钟振荡电路		PULL 寄存器 2 CPU 模式寄存器	(14)	
							(15)	
				外部中断输入		PULL 寄存器 2 中断边沿选择寄存器	(16)	
				定时器 X 的输出 2		PULL 寄存器 2 定时器 X 的模式寄存器 定时器 X 的控制寄存器 1、2	(18)	
				外部中断输入		PULL 寄存器 2 中断边沿选择寄存器	(17)	
定时器 X 的输出 1		PULL 寄存器 2 定时器 X 的模式寄存器 定时器 X 的控制寄存器 1	(18)					

表 8 输入 / 输出端口的功能一览表 (2)

引脚名	名称	输入 / 输出	输入 / 输出格式	端口以外的功能		关联的 SFR	图号
P66/INT <sub>10</sub> /CNTR <sub>0</sub> / (LED <sub>4</sub> )	端口 P6	输入 / 输出 位单位	CMOS 输入电平 CMOS 三态输出	定时器 X 功能的输入 外部中断输入		PULL 寄存器 2 中断边沿选择寄存器 定时器 X 的模式寄存器 定时器 X 的控制寄存器 1、2	(19)
P67/CNTR <sub>1</sub> /(LED <sub>5</sub> )				定时器 Y 功能的输入			
P70/C <sub>1</sub> /INT <sub>01</sub> 、 P71/C <sub>2</sub> /INT <sub>11</sub>	端口 P7	输入 位单位	CMOS 输入电平 CMOS 三态输出	外部中断输入 LCD 升压电路的控制输入		中断边沿选择寄存器 LCD 模式寄存器 1、2	(20)
P72/T <sub>2</sub> OUT/CKOUT、 P73/PWM <sub>0</sub> /T <sub>3</sub> OUT、 P74/PWM <sub>1</sub> /T <sub>4</sub> OUT		输入 / 输出 位单位		定时器 2 的 输出 定时器 3 的 输出 定时器 4 的 输出	时钟输出 PWM 输出		
COM <sub>0</sub> ~ COM <sub>3</sub>	公共	输出	LCD 的公共输出	LCD 的公共输出		LCD 模式寄存器 1、2	(22)
COM <sub>4</sub> /SEG <sub>35</sub> ~ COM <sub>7</sub> /SEG <sub>32</sub>	公共 / 段		LCD 的公共 / 段 的输出	LCD 的段 输出			(23)

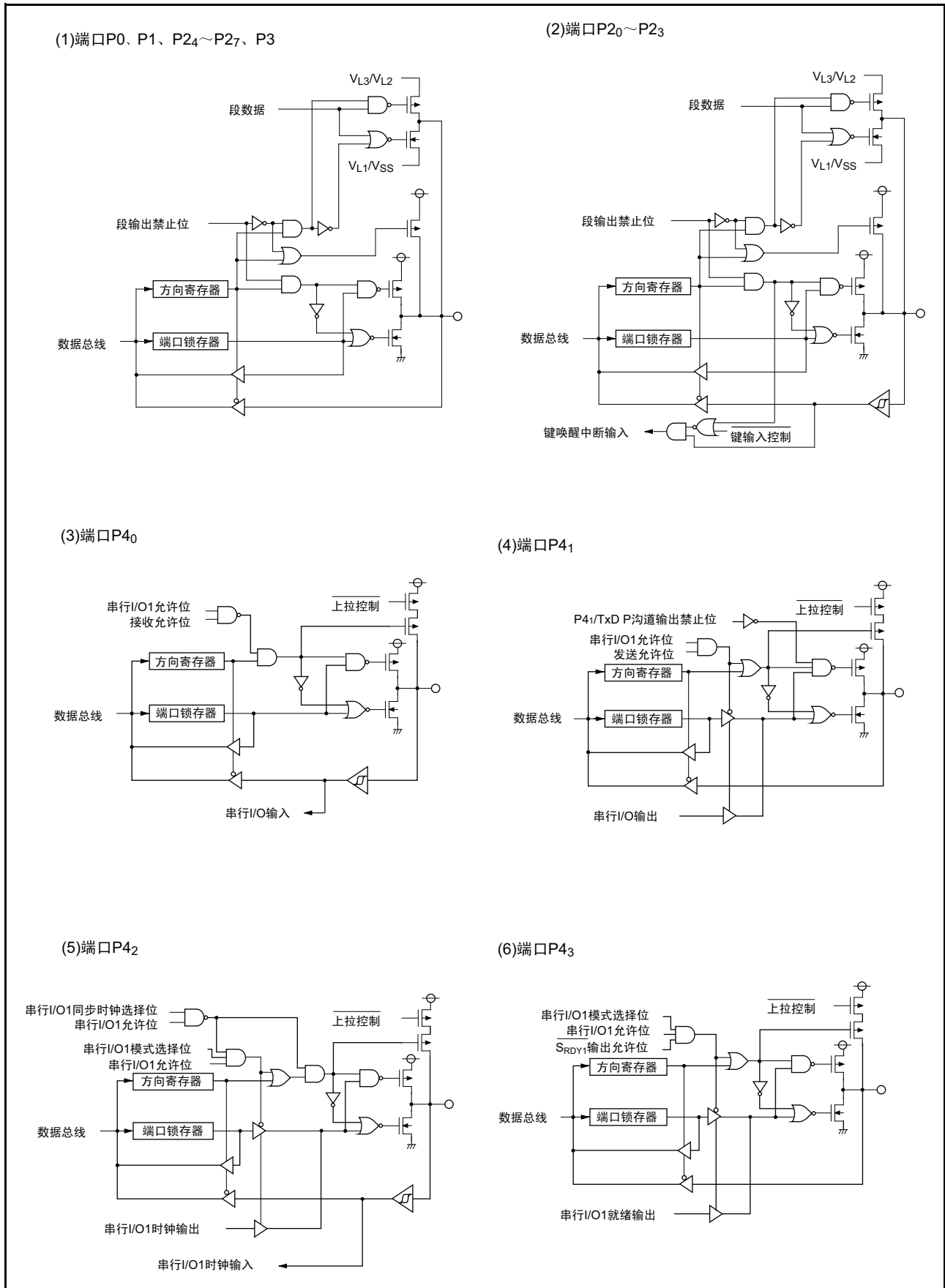


图 14 端口的框图 (1)

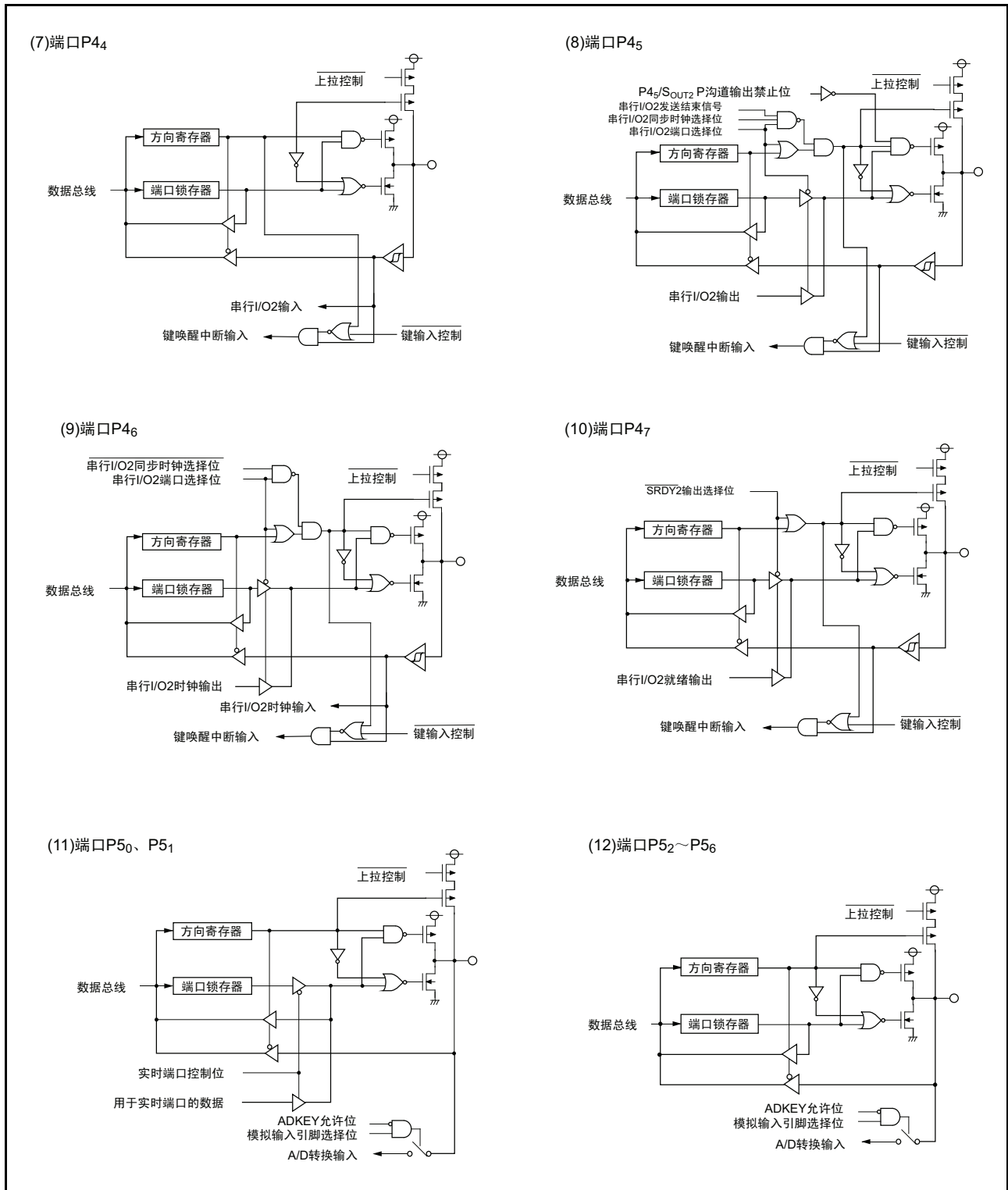


图 15 端口的框图 (2)

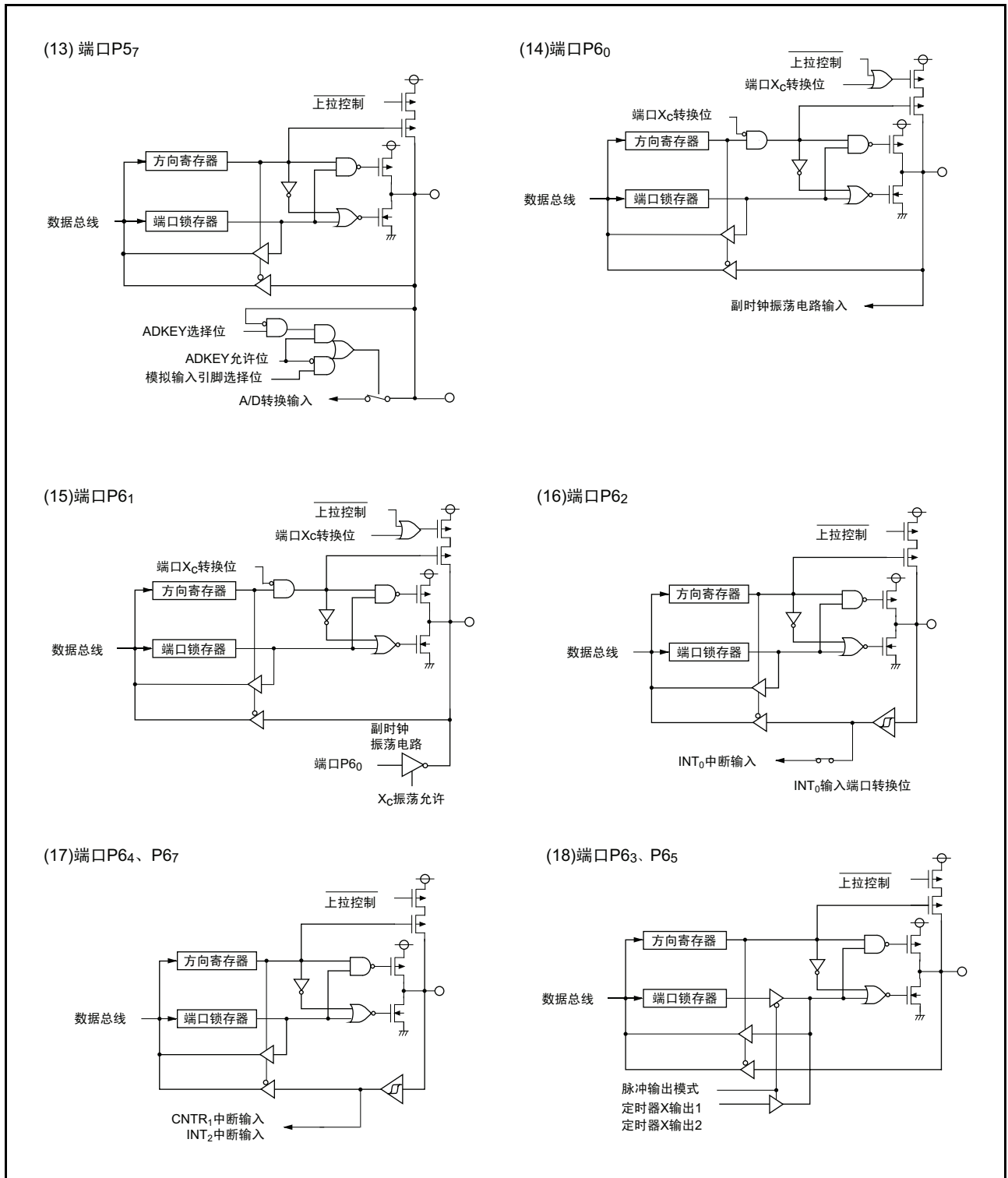


图 16 端口的框图 (3)

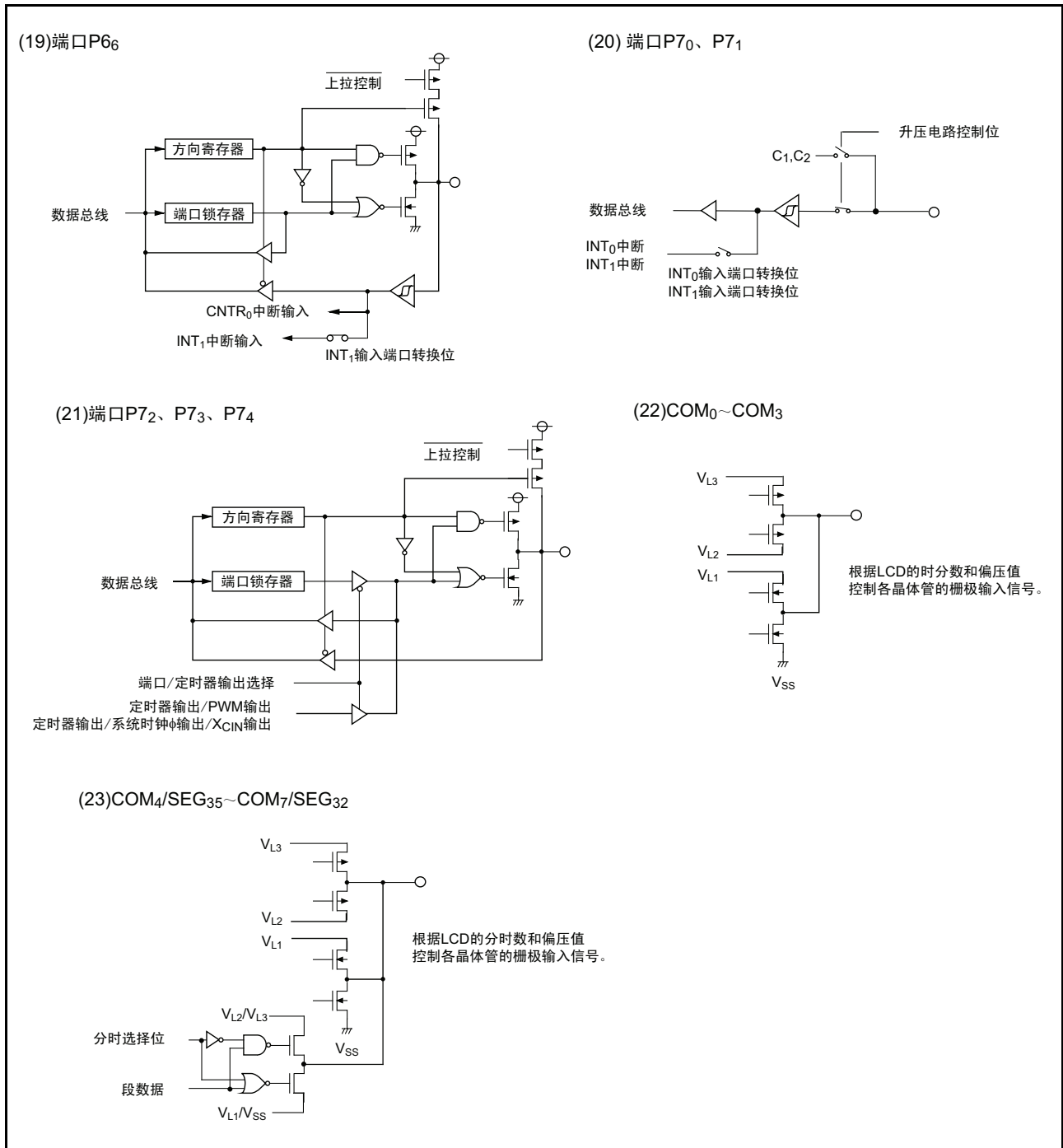


图 17 端口的框图 (4)

## ●未使用引脚的处理方法

- 一般的引脚处理方法

输入/输出端口：必须选择输入端口或者输出端口并遵循各自的处理方法。另外，考虑到误动作等情况，建议定期地对关联寄存器进行重写。

输出端口：必须开路。

输入端口：在输入电平不稳定的情况下，因为穿透电流流入输入电路，尤其是在期待低消耗电流的状态下（在执行STP、WIT指令中等），有可能增大电源电流，所以必须进行上拉或者下拉（可使用内部电阻）。在将具有输入/输出端口和输出功能的引脚作为输入端口处理未使用引脚时，设想由于误动作等而作为输出端口运行的情况，推荐通过能确保 $I_{OH(avg)}$ 或者 $I_{OL(avg)}$ 的电阻处理引脚。

表 9 未使用引脚的处理方法 (1)

引脚名	处理方法 1	处理方法 2	处理方法 3
P00/SEG8 ~ P07/SEG15	输入 / 输出端口	当选择 SEG 输出时, 必须置为开路。	—
P10/SEG16 ~ P17/SEG23			—
P20/SEG0 ~ P27/SEG7			—
P30/SEG24 ~ P37/SEG31			—
P40/RxD		当选择 RxD 功能时, 必须进行输入端口的处理。	—
P41/TxD		当选择 TxD 功能时, 必须进行输出端口的处理。	—
P42/SCLK1		当选择外部时钟输入时, 必须进行输入端口的处理。	当选择内部时钟输出时, 必须进行输出端口的处理。
P43/ $\overline{\text{SRDY1}}$		当选择 $\overline{\text{SRDY1}}$ 功能时, 必须进行输出端口的处理。	—
P44/SIN2/(KW0)		当选择 SIN2 功能时, 必须进行输入端口的处理。	—
P45/SOUT2/(KW1)		当选择 SOUT2 功能时, 必须进行输出端口的处理。	—
P46/SCLK2/(KW2)		当选择外部时钟输入时, 必须进行输入端口的处理。	当选择内部时钟输出时, 必须进行输出端口的处理。
P47/ $\overline{\text{SRDY2}}$ /(KW3)		当选择 $\overline{\text{SRDY2}}$ 功能时, 必须进行输出端口的处理。	—
P50/AN0/RTP0 P51/AN1/RTP1		当选择 AN 功能时, 可置为开路 (不能保证 A/D 转换结果)。	当选择 RTP 功能时, 必须进行输出端口的处理。
P52/AN2 ~ P56/AN6			—
P57/AN7/ADKEY0			当选择 ADKEY 功能时, 必须通过电阻上拉到 Vcc。
P60/XCIN P61/XCOUT		不能通过程序选择 XCIN-XCOUT 的振荡功能。	—
P62/INT00/(LED0)		当选择 INT 功能时, 必须进行输入端口的处理。	—
P63/TXOUT2/(LED1)		当选择 TXOUT 功能时, 必须进行输出端口的处理。	—
P64/INT2/(LED2)		当选择 INT 功能时, 必须进行输入端口的处理。	—
P65/TXOUT1/(LED3)	当选择 TXOUT 功能时, 必须进行输出端口的处理。	—	
P66/INT10/CNTR0/(LED4)	当选择 INT 功能或者 CNTR 输入功能时, 必须进行输入端口的处理。	—	
P67/CNTR1/(LED5)	当选择 CNTR 输入功能时, 必须进行输入端口的处理。	—	

表 9 未使用引脚的处理方法 (2)

引脚名	处理方法 1	处理方法 2	处理方法 3
P70/C1/INT01 P71/C2/INT11	将升压电路设定为禁止状态，通过电阻连接 VSS	当选择 INT 功能时，将升压电路设定为禁止状态，通过电阻连接 VSS。	—
P72/T2OUT/CKOUT	输入 / 输出端口	当选择 T2OUT 功能或者 CKOUT 功能时，必须进行输出端口的处理。	—
P73/PWM0/T3OUT P74/PWM1/T4OUT		当选择 PWM 功能、T3OUT 或者 T4OUT 功能时，必须进行输出端口的处理。	—
VL3	在将 VL3 连接位置“1”后，连接 VCC	在将 VL3 连接位清“0”后，置为开路。	—
VL2	$VL3 \geq VL2 \geq VL1$	—	—
VL1	VSS	—	—
COM0 ~ COM3	开路	—	—
COM4/SEG35 ~ COM7/SEG32	开路	—	—
VREF	连接 VCC	—	—
XIN	当只使用内部振荡器时，通过电阻连接 VCC	—	—
XOUT	当输入外部时钟或者只使用内部振荡器时，置为开路	—	—

## 中断

38D5 群的中断是固定优先级方式的向量中断，能从 6 个外部中断源、10 个内部中断源、1 个软件中断源的 17 个中断源中的 16 个中断源发生中断。中断源、向量地址（注 1）和中断优先级如表 10 所示。

BRK 指令中断除外的各中断都有中断请求位和中断允许位，能通过这些位和中断禁止标志（I 标志）控制中断请求的接受。中断控制图如图 18 所示。在以下条件都成立时，接受中断请求：

- 中断禁止标志 ..... “0”
- 中断请求位 ..... “1”
- 中断允许位 ..... “1”

中断优先级由硬件固定，但是能用上述位和标志通过程序进行优先处理。

表 10 中断向量的地址和优先级

中断源	优先级	向量地址（注 1）		产生中断请求的条件	备注
		高位	低位		
复位（注 2）	1	FFFD <sub>16</sub>	FFFC <sub>16</sub>	当复位时	非屏蔽
INT <sub>0</sub> （INT <sub>00</sub> 或者 INT <sub>01</sub> ） （注 3）	2	FFFB <sub>16</sub>	FFFA <sub>16</sub>	当检测到 INT <sub>0</sub> 输入的上升沿或者下降沿时	外部中断（极性可编程）
INT <sub>1</sub> （INT <sub>10</sub> 或者 INT <sub>11</sub> ） （注 3）	3	FFF9 <sub>16</sub>	FFF8 <sub>16</sub>	当检测到 INT <sub>1</sub> 输入的上升沿或者下降沿时	外部中断（极性可编程）
INT <sub>2</sub>	4	FFF7 <sub>16</sub>	FFF6 <sub>16</sub>	当检测到 INT <sub>2</sub> 输入的上升沿或者下降沿时	在选择 INT <sub>2</sub> 中断时有效 外部中断（极性可编程）
键输入（键唤醒）	5	FFF5 <sub>16</sub>	FFF4 <sub>16</sub>	在端口 P2 <sub>0</sub> ~ 2 <sub>3</sub> 、P4 <sub>4</sub> ~ 4 <sub>7</sub> 输入电平的逻辑与的下降沿时	在选择键输入中断时有效 外部中断（下降沿有效）
定时器 X	6	FFF3 <sub>16</sub>	FFF2 <sub>16</sub>	当定时器 X 发生下溢时	
定时器 1	7	FFF1 <sub>16</sub>	FFF0 <sub>16</sub>	当定时器 1 发生下溢时	
定时器 2	8	FFEF <sub>16</sub>	FFEE <sub>16</sub>	当定时器 2 发生下溢时	
定时器 3	9	FFED <sub>16</sub>	FFEC <sub>16</sub>	当定时器 3 发生下溢时	
定时器 4	10	FFEB <sub>16</sub>	FFEA <sub>16</sub>	当定时器 4 发生下溢时	
串行 I/O1 接收	11	FFE9 <sub>16</sub>	FFE8 <sub>16</sub>	当结束串行 I/O1 的数据接收时	只在选择串行 I/O1 时有效
串行 I/O1 发送	12	FFE7 <sub>16</sub>	FFE6 <sub>16</sub>	当结束串行 I/O1 的发送移位时或者发送缓冲器空时	只在选择串行 I/O1 时有效
串行 I/O2	13	FFE5 <sub>16</sub>	FFE4 <sub>16</sub>	当结束串行 I/O2 的数据发送和接收时	
CNTR <sub>0</sub>	14	FFE3 <sub>16</sub>	FFE2 <sub>16</sub>	当检测到 CNTR <sub>0</sub> 输入的上升沿或者下降沿时	外部中断（极性可编程）
定时器 Y	15	FFE1 <sub>16</sub>	FFE0 <sub>16</sub>	当定时器 Y 发生下溢时	
CNTR <sub>1</sub>				当检测到 CNTR <sub>1</sub> 输入的上升沿或者下降沿时	外部中断 （极性可编程）
A/D 转换	16	FFDF <sub>16</sub>	FFDE <sub>16</sub>	当结束 A/D 转换时	
BRK 指令	17	FFDD <sub>16</sub>	FFDC <sub>16</sub>	当执行 BRK 指令时	非屏蔽的软件中断

- 【注】
1. 向量地址是指中断转移地址的保存地址。
  2. 复位被作为优先级最高的中断进行处理。
  3. 通过中断边沿选择寄存器（INTEDGE）选择 INT<sub>0</sub> 和 INT<sub>1</sub> 的输入引脚。

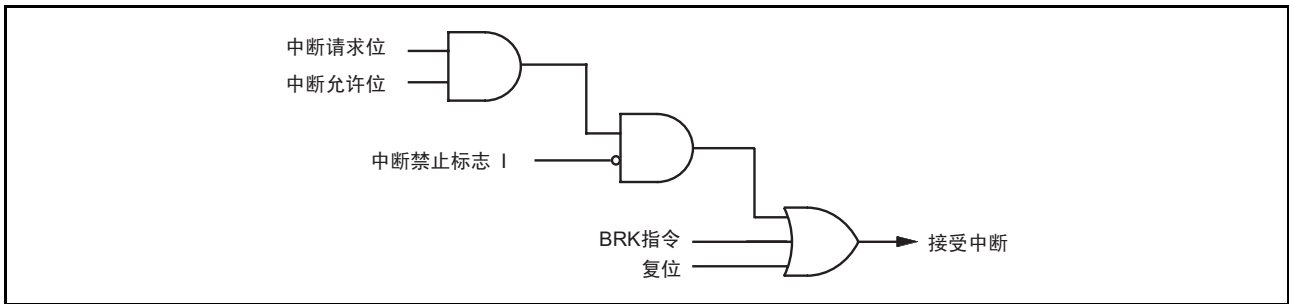


图 18 中断控制图

### ● 中断禁止标志

处理器状态寄存器的 bit2 是中断禁止标志。中断禁止除标志控制 BRK 指令外的所有中断请求的接受。

如果将此标志置“1”，就禁止接受中断请求；如果清“0”，就允许接受中断请求。置“1”的指令为 SEI 指令，清“0”的指令为 CLI 指令。

如果接受中断请求，就在中断禁止标志为“0”的状态下将处理器状态寄存器的内容保存到堆栈。然后，此标志自动变为“1”，禁止多重中断。在使用多重中断时，必须在中断程序中用 CLI 指令将此标志清“0”。

通过 RTI 指令恢复处理器状态寄存器的内容。

### ● 中断请求位

如果发生中断请求，对应的中断请求位就变为“1”，并且保持到接受中断请求为止。如果接受中断请求，此位就自动变为“0”。

能通过程序将中断请求位清“0”，但是不能置“1”。

### ● 中断允许位

中断允许位控制接受对应的中断请求。

当此位为“0”时，就禁止接受中断请求。此时，如果发生中断请求，就只有中断请求位变为“1”，而不接受中断请求。当此位为“1”时，就允许接受中断请求。能通过程序将中断允许位清“0”或者置“1”。

必须将不用中断的中断允许位清“0”。

### ● 中断源的选择

能通过中断源选择寄存器（地址 003A<sub>16</sub>）选择以下任意的中断源：

- 定时器 Y 或者 CNTR<sub>1</sub>

### ● 外部中断引脚的选择

通过中断边沿选择寄存器的 INT<sub>0</sub> 和 INT<sub>1</sub> 输入端口转换位（地址 003A<sub>16</sub> 的 bit4、bit5），能选择外部输入引脚的 INT<sub>00</sub>、INT<sub>10</sub> 或者 INT<sub>11</sub> 作为外部中断 INT<sub>0</sub>、INT<sub>1</sub>。

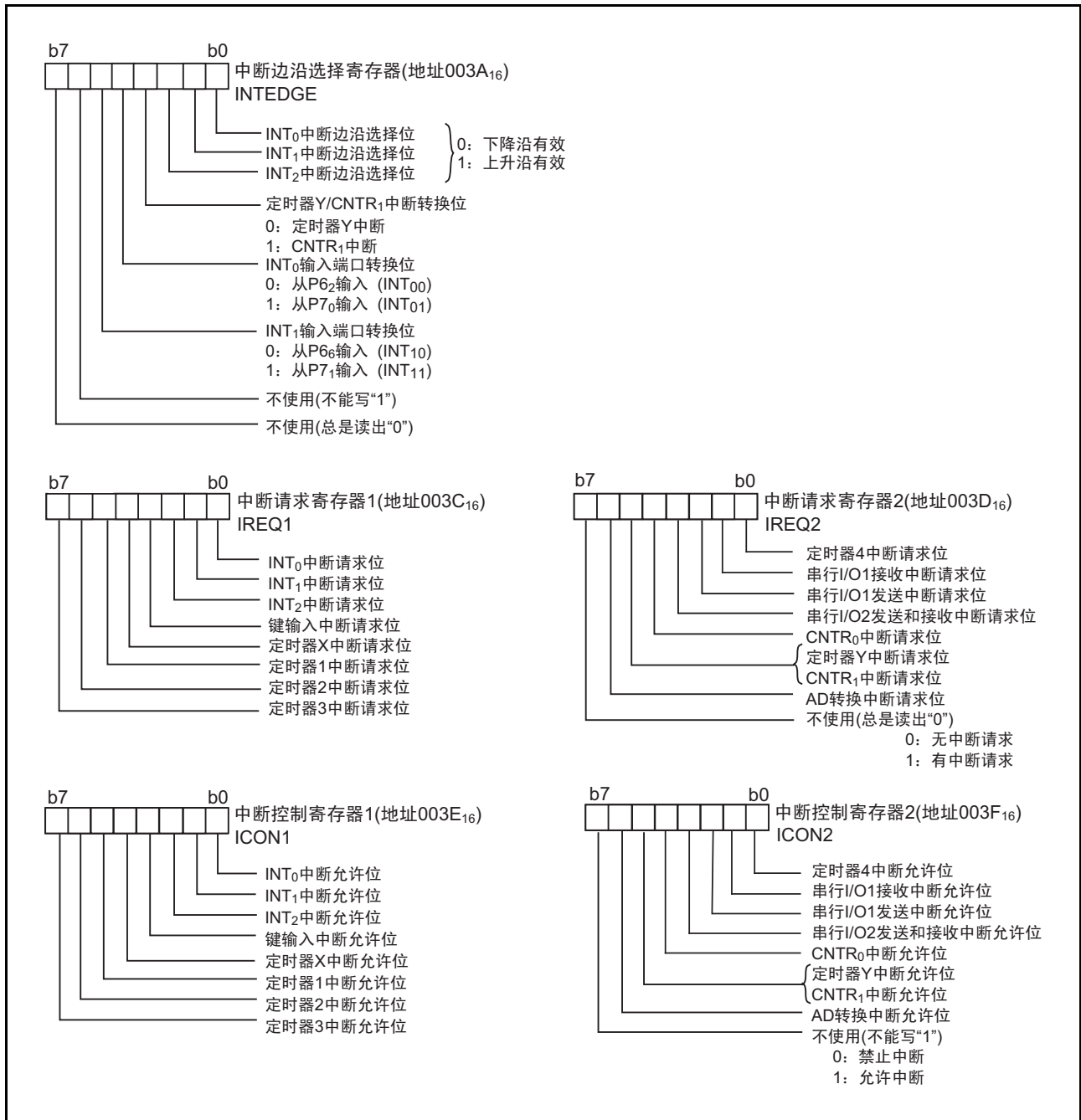


图 19 中断关联寄存器的结构

## ● 中断请求的发生 / 接受 / 处理

中断分为以下 3 个阶段：

### 1. 中断请求的发生

由各种中断源（外部中断信号输入、定时器的下溢等）产生中断请求，中断请求位变为“1”。

### 2. 中断请求的接受

通过各指令周期的中断接受时序，中断控制电路判断接受条件（中断请求位、中断允许位和中断禁止标志）和中断优先级后，然后接受中断请求。如果在相同时序发生多个中断请求，就接受优先级最高的中断请求，并且保持没被接受的中断的中断请求位，在下一个中断接受时序再次判断接受条件。

### 3. 接受的中断处理

进行被接受的中断处理。

到执行中断程序的时间和中断响应顺序分别如图 20 和图 21 所示，中断请求的发生、中断请求位和中断请求接受的时序如图 22 所示。

## ● 中断处理的执行

执行中断处理时，自动执行以下运行：

### 1. 如果现在执行中的指令结束，就接受中断请求。

### 2. 此时的程序计数器和处理器状态寄存器的内容按照①→②→③的顺序被压栈。

①程序计数器高位（PCH）

②程序计数器低位（PCL）

③处理器状态寄存器（PS）

### 3. 在压栈的同时，将对应的中断转移地址（中断程序的起始地址）从中断向量传送到程序计数器。

### 4. 对应中断的中断请求位变为“0”，并且中断禁止标志变为“1”，禁止多重中断。

### 5. 执行中断程序

### 6. 如果执行 RTI 指令，被压栈的寄存器内容按照③→②→①的顺序出栈，并继续执行中断处理前的程序。

因此，为了执行中断程序，需要设定栈指针和各中断对应的向量内的转移地址。

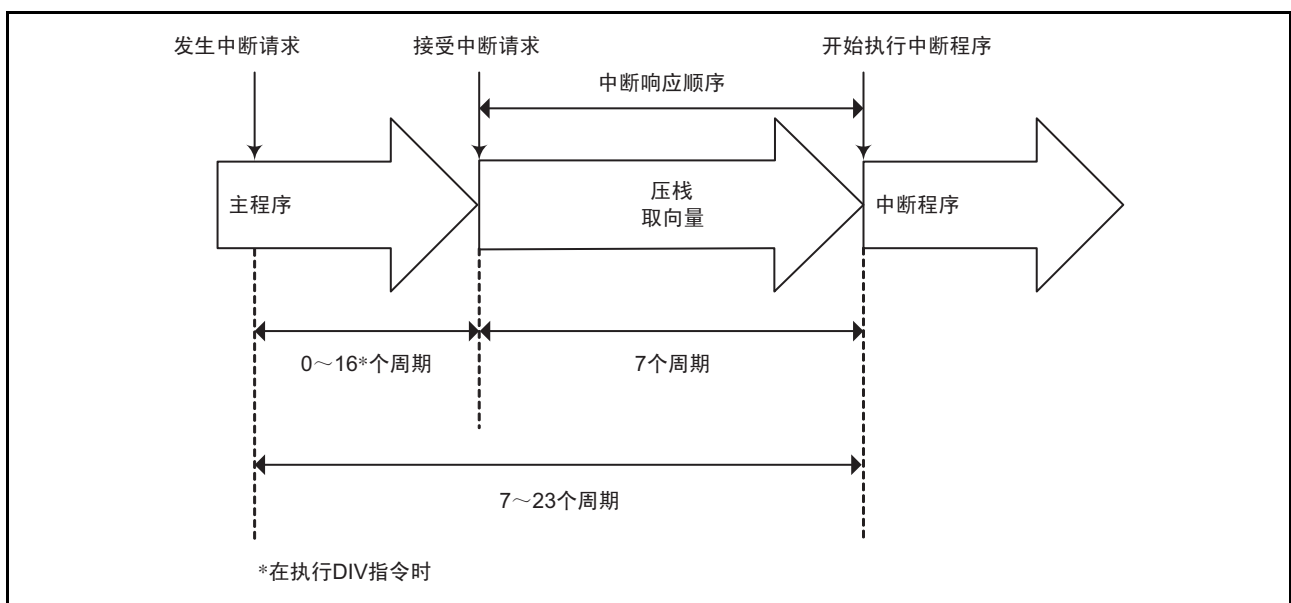


图 20 到执行中断程序的时间

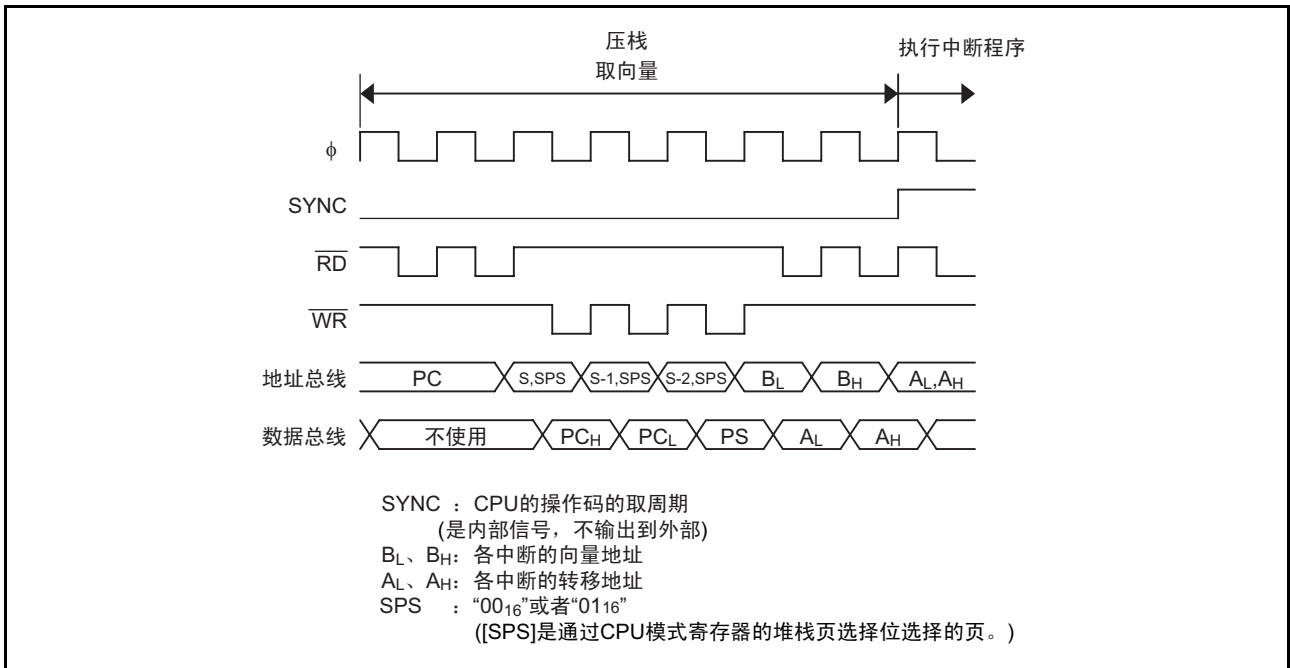


图 21 中断响应顺序

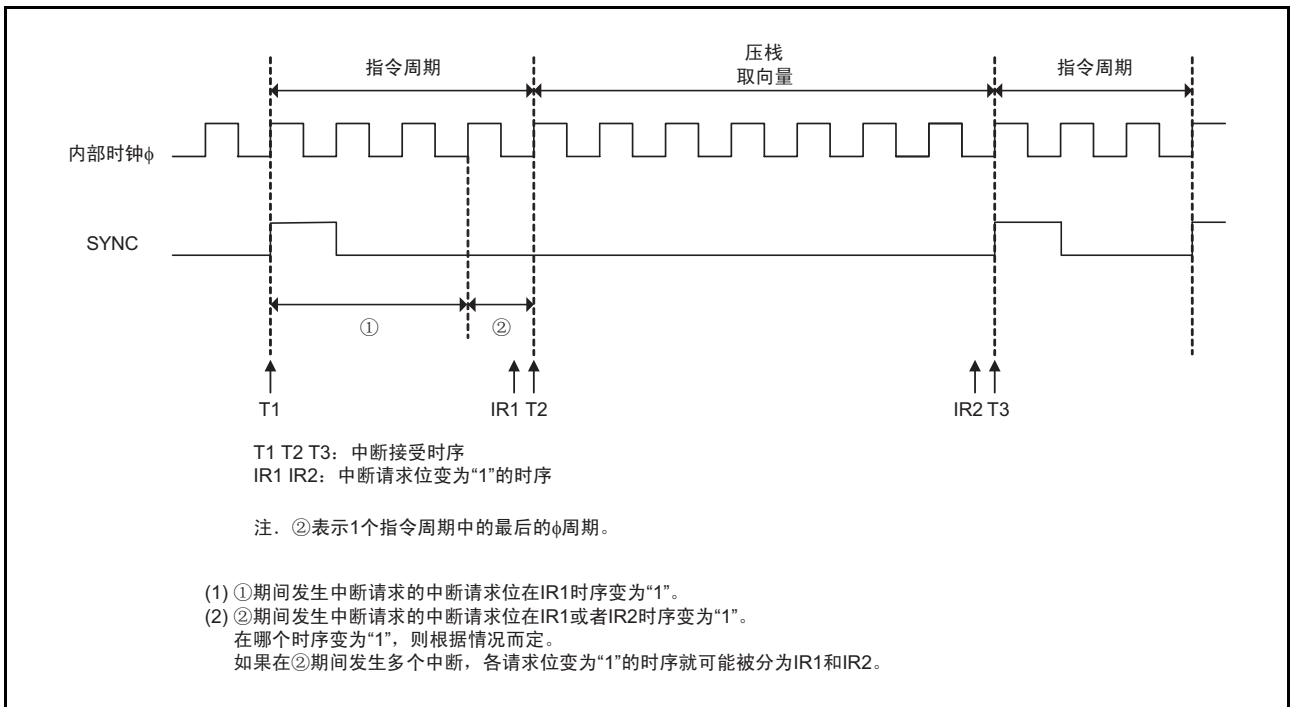


图 22 中断请求发生、中断请求位、中断请求接受的时序

**■ 注意事项**

在以下情况下，中断请求位可能会变为“1”：

〈在转换外部中断的有效边沿时〉

- INT<sub>0</sub>中断边沿选择位  
（中断边沿选择寄存器（地址003A<sub>16</sub>）的bit0）
- INT<sub>1</sub>中断边沿选择位  
（中断边沿选择寄存器的bit1）
- INT<sub>2</sub>中断边沿选择位  
（中断边沿选择寄存器的bit2）
- CNTR<sub>0</sub>极性转换位  
（定时器X控制寄存器1（地址002E<sub>16</sub>）的bit6、7）
- CNTR<sub>1</sub>极性转换位  
（定时器Y模式寄存器（地址0038<sub>16</sub>）的bit6）

〈在转换多个中断源共享的中断向量的中断源时〉

- 定时器Y/CNTR<sub>1</sub>中断转换位  
（中断边沿选择寄存器的bit3）

〈在转换INT引脚时〉

- INT<sub>0</sub>输入端口转换位  
（中断源选择寄存器的bit4）
- INT<sub>1</sub>输入端口转换位  
（中断源选择寄存器的bit5）

当不需要发生与这些设定同步的中断时，必须按以下步骤设定：

1. 将该中断允许位清“0”（禁止）。
2. 设定中断边沿选择位（极性转换位）或者中断源位。
3. 在至少执行一条指令后，将该中断请求位清“0”。
4. 将该中断允许位置“1”（允许）。

● 键输入中断（键唤醒）

如果检测到端口 P20 ~ P23、P44 ~ P47 中任何一个被设定为输入引脚的下降沿（即，输入电平的逻辑与从“1”变为“0”），就产生键输入中断请求。图 23 是使用键输入中断的一个例子，如果将端口 P44 ~ P47 作为输入，构成“L”电平有效的键矩阵，就通过按键产生中断请求。

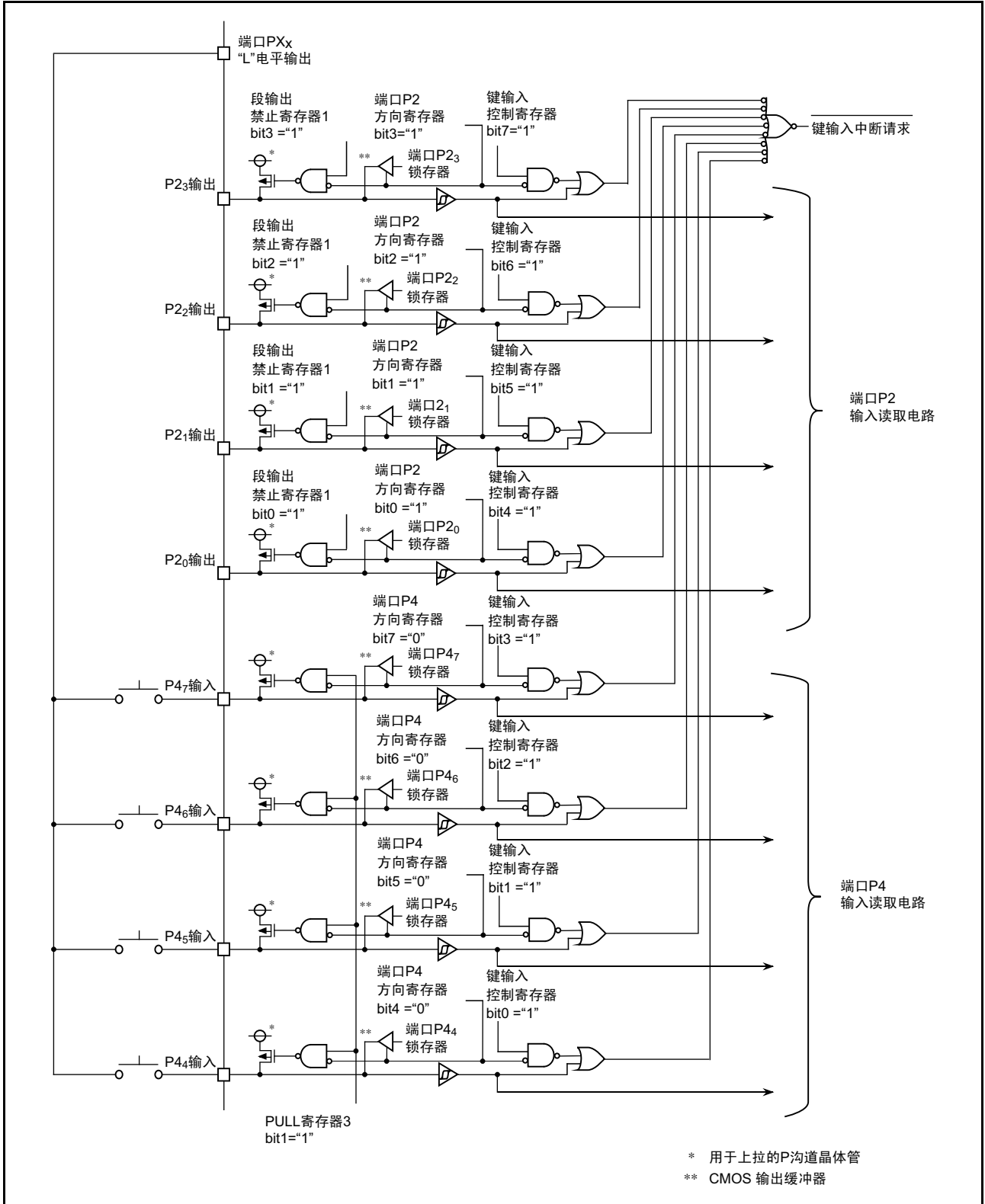


图 23 使用键输入中断时的接线例

键输入中断由键输入控制寄存器和端口的方向寄存器控制。在允许键输入中断时，必须将键输入控制寄存器置“1”。由端口 P20 ~ P23、P44 ~ P47 中被设定为输入的引脚接受键输入。

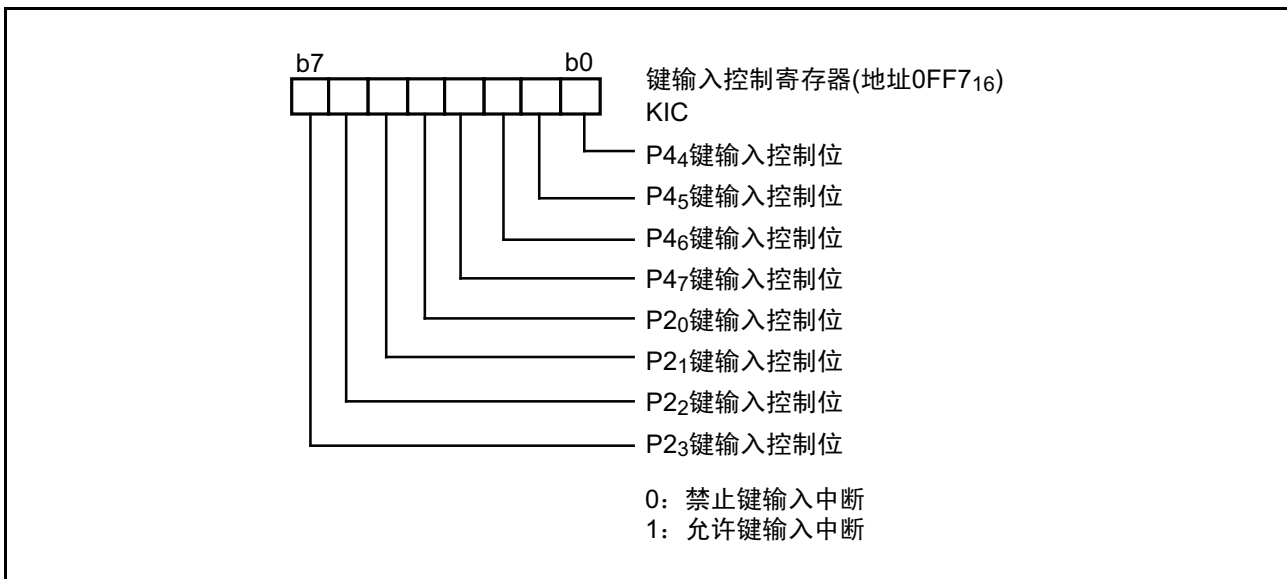


图 24 键输入控制寄存器的结构

## 定时器

### 8 位定时器

定时器 1、定时器 2、定时器 3 和定时器 4 是 8 位定时器，各自有定时器的锁存器。

定时器为递减计数方式，在计数器的内容为“00<sub>16</sub>”的下一个计数脉冲，再次将定时器的锁存器内容装入到定时器。与此同时，对应各定时器的中断请求位被置“1”。

另外，能通过将各定时器的停止位设定为“1”来停止计数。

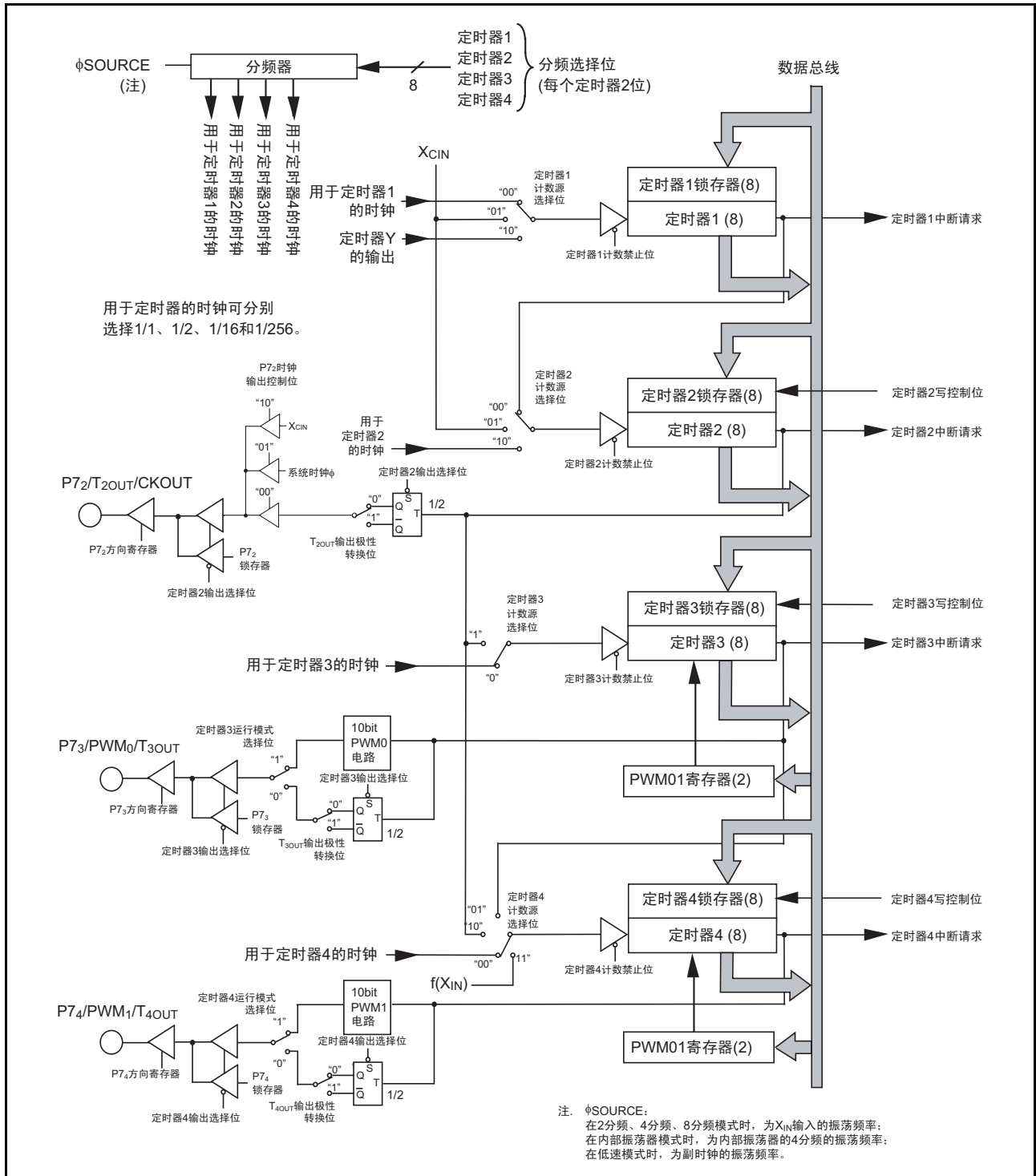


图 25 定时器 1234 的框图

## ● 定时器的分频器

定时器 1、定时器 2、定时器 3 和定时器 4 有计数源分频器。分频器的计数源通过 CPU 模式寄存器转换为  $X_{IN}$  或  $X_{CIN}$ ，或者在内部振荡器模式时转换为内部振荡器 OCO 的 4 分频。能通过各定时器的分频比选择位分别从  $f(X_{IN})$ 、 $f(X_{CIN})$  和  $f(OCO)/4$  的 1/1、1/2、1/16 和 1/256 中选择分频比。必须在定时器计数停止的状态下进行分频转换和计数源的转换（※）。

※ 将分频器输出选为定时器的计数源时，随着运行模式（内部振荡器模式、 $X_{IN}$  模式、低速模式）的转移，计数源也可能被转换。在改变 CPU 模式寄存器的设定时必须注意。

## ● 定时器 1 和定时器 2

定时器 1 和定时器 2 能通过设定定时器 12 的模式寄存器选择计数源。能选择  $X_{CIN}$  为计数源，如果选择  $X_{CIN}$  为计数源，就能与  $X_{IN}$  和内部振荡器无关进行计数。每当定时器 2 发生下溢时，能通过此寄存器从  $P7_2/T2_{OUT}$  引脚输出极性相反的信号。

在复位输入时，定时器 12 的模式寄存器的全部位都被清除，并分别给定时器 1 和定时器 2 置“FF<sub>16</sub>”和“01<sub>16</sub>”。

在执行 STP 指令时，必须预先设定返回时的等待时间。

## ● 定时器 3 和定时器 4

定时器 3 和定时器 4 能通过设定定时器 34 的模式寄存器选择计数源。每当定时器 3 或者定时器 4 发生下溢时，能通过此寄存器从  $P7_3/T3_{OUT}$  或者  $P7_4/T4_{OUT}$  引脚输出极性相反的信号。

## ● 定时器 3 的 PWM<sub>0</sub> 模式和定时器 4 的 PWM<sub>1</sub> 模式

能通过设定定时器 34 的模式寄存器和 PWM01 寄存器，从  $P7_3/PWM_0$  和  $P7_4/PWM_1$  引脚输出相当于 10 位精度的 PWM 方波（参照图 26）。

输出脉冲的 1 个周期为小区间，4 个周期为大区间。假设定时器 3（地址 0022<sub>16</sub>）或者定时器 4（地址 0023<sub>16</sub>）的设定值为  $n$ ，定时器 3 或者定时器 4 的计数源的 1 个周期为  $t_s$ ，则小区间的“H”电平宽度用  $n \times t_s$  表示。但是在大区间中，对应 PWM01 寄存器（地址 0024<sub>16</sub>）设定值的次数，输出脉冲的“H”电平宽度被延长  $t_s$  的时间。

## ■ 注意事项

### (1) 有关定时器 3 的 PWM<sub>0</sub> 模式和定时器 4 的 PWM<sub>1</sub> 模式

- 如果在开始 PWM 输出后暂停，根据此时的输出脉冲电平，重新开始输出的时间就有可能延迟 1 个小区间（ $256 \times t_s$ ）。  
停止在“H”电平时：无输出延迟  
停止在“L”电平时：输出延迟  $256 \times t_s$  的时间
- 在使用 PWM 模式时，按每个大区间（ $4 \times 256 \times t_s$ ）的周期产生定时器 3 和定时器 4 的中断请求以及更新定时器 3 和定时器 4 的值。

### (2) 有关定时器 2、定时器 3 和定时器 4 的写操作

在只写锁存器时，如果写重加载锁存器的时序和发生下溢的时序几乎同时，值就同时被设定到定时器和定时器锁存器。此时，在重加载锁存器的写操作中停止计数。

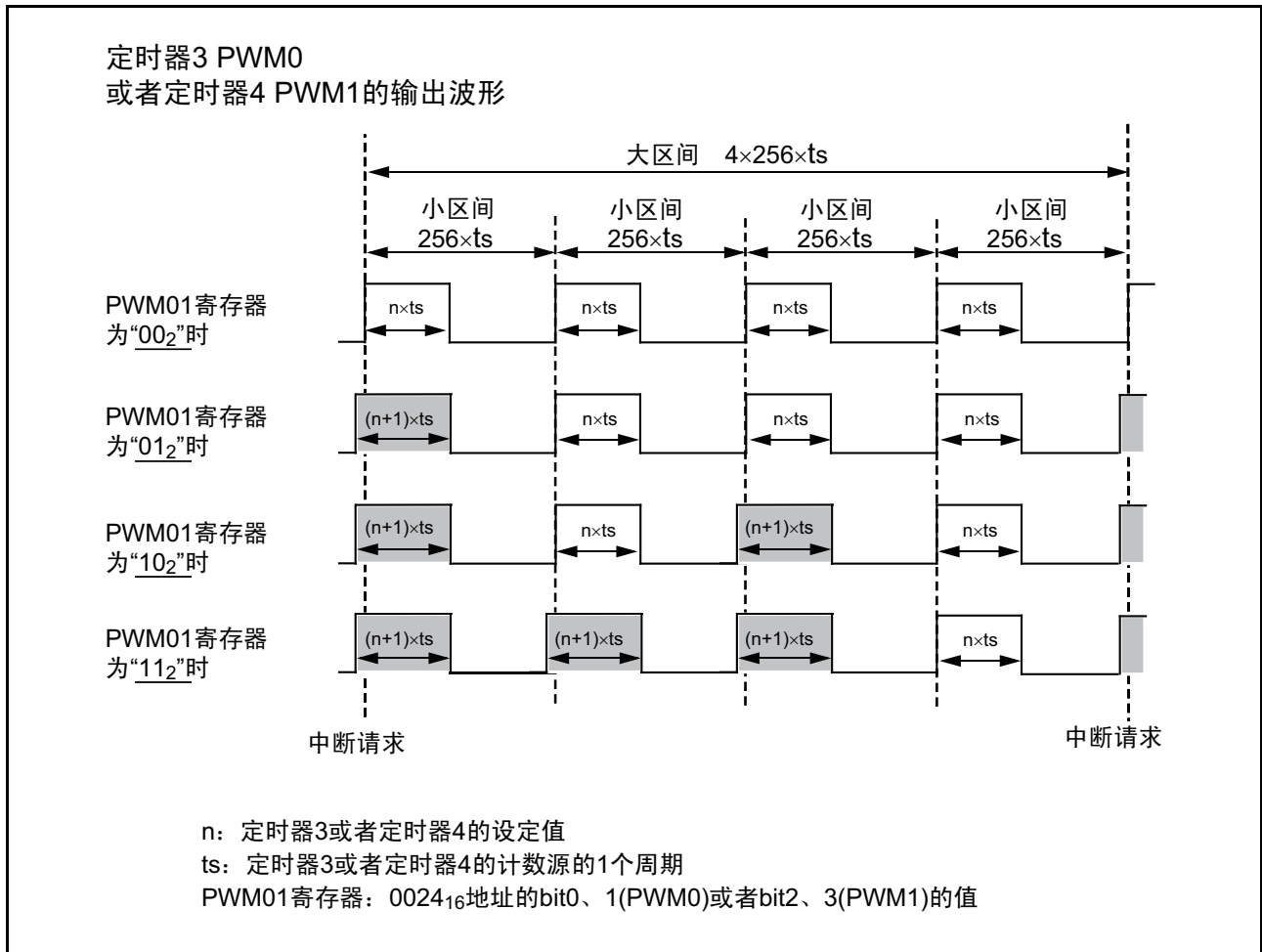


图 26 PWM0 和 PWM1 的波形图

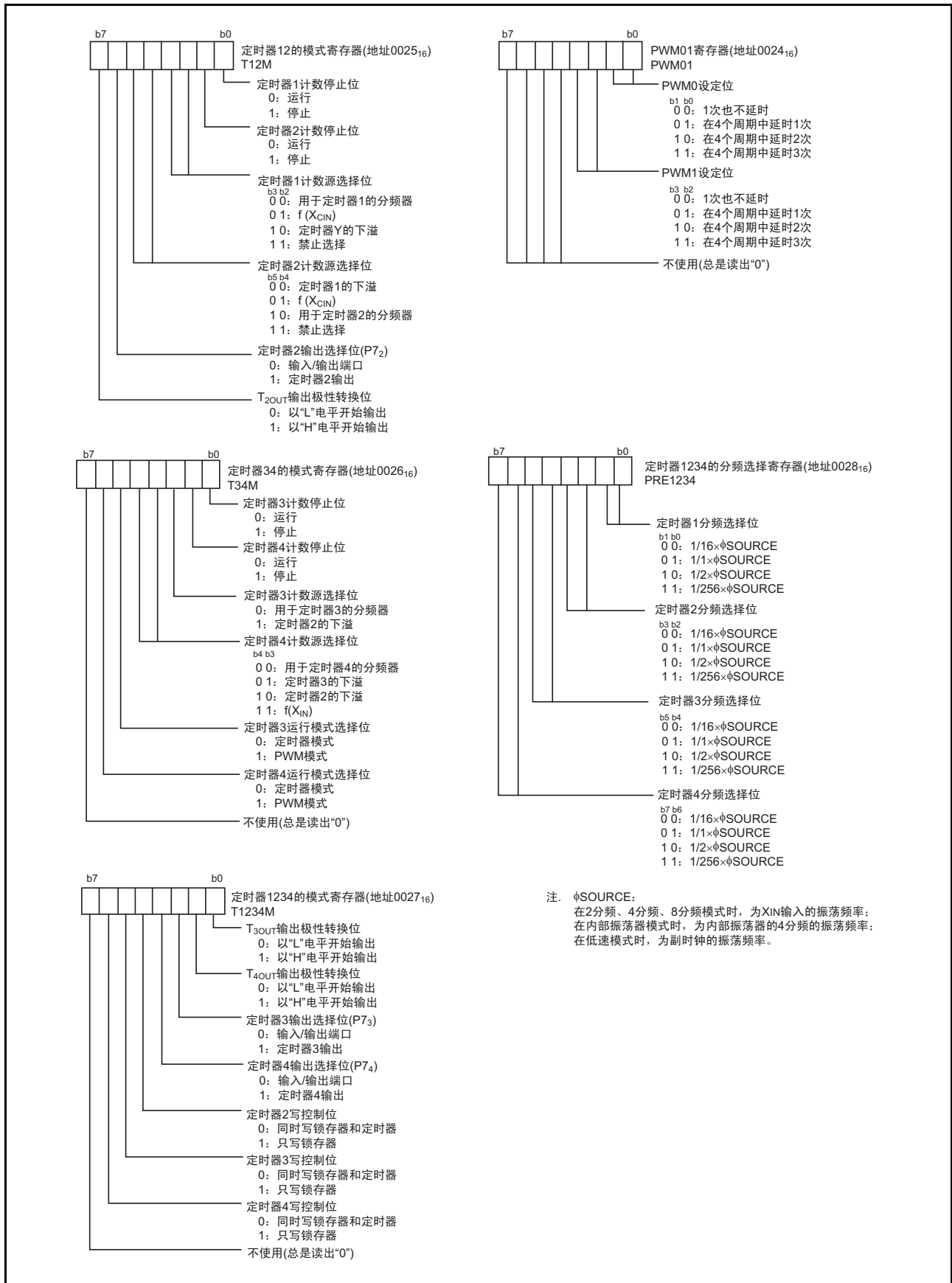


图 27 定时器 1 ~ 4 的关联寄存器的结构

### 16 位定时器

在读写定时器时，高位字节和低位字节都必须读写。在读定时器的值时，必须按照高位字节到低位字节的顺序进行；在写定时器的值时，必须按照低位字节到高位字节的顺序进行。另外，如果在写操作中进行读操作或者在读操作中进行写操作，就不能正常运行。

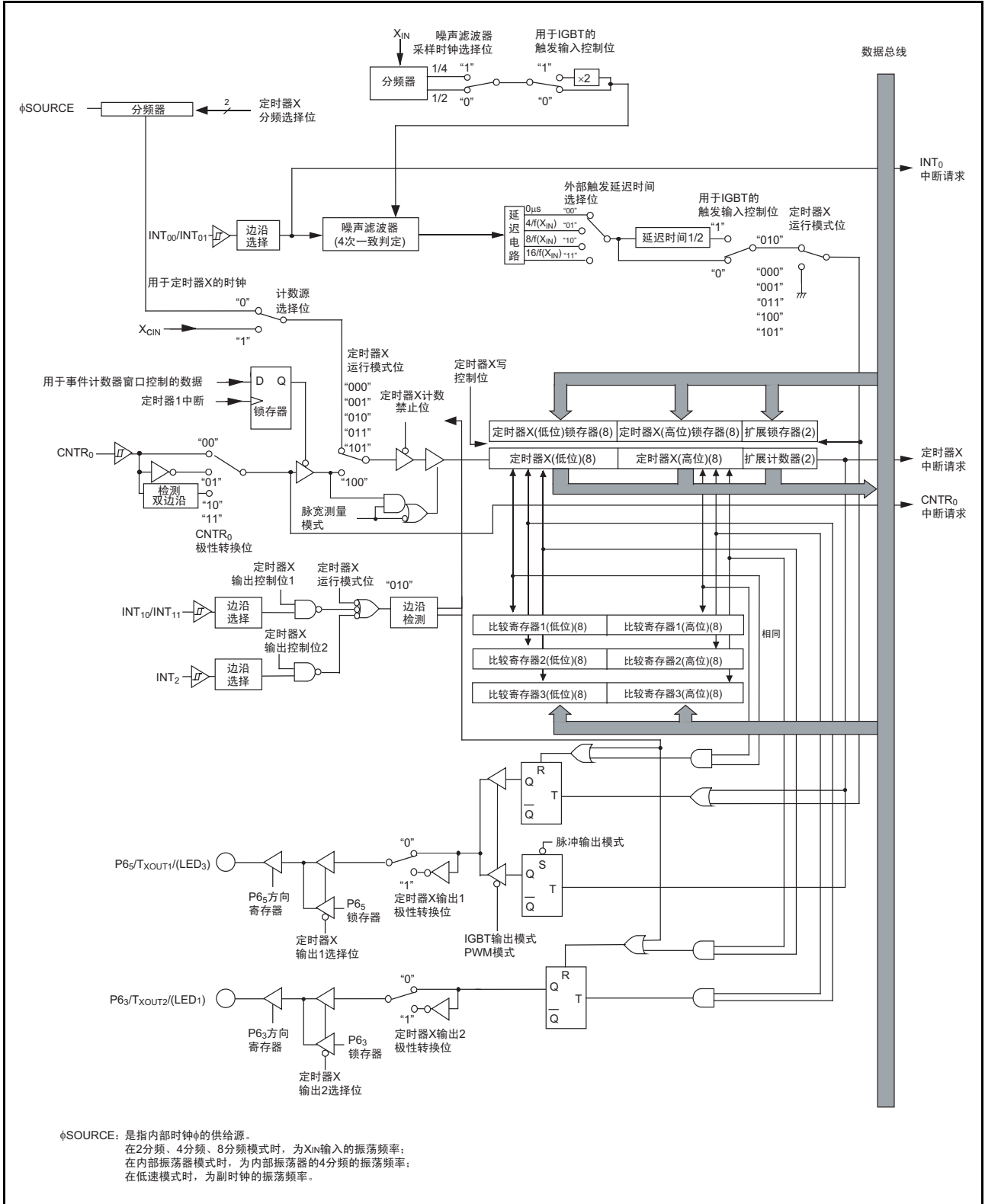


图 28 定时器 X 的框图

## ● 定时器的分频器

定时器 X 和定时器 Y 有计数源分频器。分频器的计数源通过 CPU 模式寄存器转换为  $X_{IN}$  或  $X_{CIN}$ ，或者在内部振荡器模式时转换为内部振荡器 OCO 的 4 分频。能通过各定时器的分频选择位分别从  $f(X_{IN})$ 、 $f(X_{CIN})$  和  $f(OCO)/4$  的 1/1、1/2、1/16 和 1/256 中选择分频比。必须在定时器计数停止的状态下进行分频转换和计数源的转换（※）。

※ 将分频器输出选为定时器的计数源时，随着运行模式（内部振荡器模式、 $X_{IN}$  模式、低速模式）的转移，计数源也可能被转换。在改变 CPU 模式寄存器的设定时必须注意。

## ● 定时器 X

定时器 X 能通过设定定时器 X 的模式寄存器选择计数源。能选择  $X_{CIN}$  为计数源。如果选择  $X_{CIN}$  为计数源，就与  $X_{IN}$  和内部振荡器无关可进行计数。

定时器 X 为递减计数方式，在定时器的内容为“0000<sub>16</sub>”的下一个计数脉冲发生下溢后，再次装入定时器的锁存器内容，继续递减计数。另外，如果定时器发生下溢，对应定时器 X 的中断请求位就被置“1”。

定时器 X 能通过定时器 X 的模式寄存器和定时器 X 的控制寄存器选择 6 种运行模式。

### (1) 定时器模式

能通过设定定时器 X 的模式寄存器选择计数源。如果在此模式中设定定时器 X 的寄存器（扩展），定时器 X 就作为 18 位计数器运行。

### (2) 脉冲输出模式

每当定时器发生下溢时，除了从  $TXOUT1$  引脚输出极性相反的脉冲以外，和定时器模式的运行相同。必须在此模式中将  $TXOUT1$  引脚和共用的端口设定为输出。

### (3) IGBT 输出模式

在  $TXOUT1$  引脚的虚输出后，将  $INT_0$  引脚的输入作为触发开始计数。在定时器 X 的输出 1 极性转换位为“0”时，如果检测到触发或者定时器 X 发生下溢，就从  $TXOUT1$  引脚输出“H”电平。此后，当定时器 X 的计数值和比较寄存器 1 的值相同时， $TXOUT1$  的输出变为“L”电平。

在噪声滤波器（在采样时钟连续 4 次为相同电平时，判断为信号）消除噪声成分后， $INT_0$  信号能通过延迟电路选择 4 种延迟时间。

必须在此模式中将  $INT_0$  引脚和共用的端口设定为输入，并将用作  $TXOUT1$  和  $TXOUT2$  引脚的共用端口设定为输出。

如果将定时器 X 的控制寄存器的输出控制位 1 或者位 2 置“1”，就通过  $INT_1$  或者  $INT_2$  的中断信号将定时器 X 的计数停止位强制固定为“1”，在定时器 X 停止计数的同时，能将  $TXOUT1$  和  $TXOUT2$  引脚的输出强制设定为“L”电平输出。

在使用 IGBT 输出模式时，不能给定时器 X 的寄存器（扩展）写“1”。

### (4) PWM 模式

除了不使用 IGBT 的虚输出、 $INT_0$  引脚的外部触发以及  $INT_1$  和  $INT_2$  引脚的输出控制以外，和 IGBT 输出模式的运行相同。PWM 波形的周期由定时器 X 的设定值决定。当定时器 X 的输出 1 极性转换位为“0”时，“H”电平期间由比较寄存器 1 的设定值决定；当定时器 X 的输出 2 极性转换位为“0”时，“H”电平期间由比较寄存器 2 和比较寄存器 3 的设定值决定。必须在此模式中将用作  $TXOUT1$  和  $TXOUT2$  引脚的共用端口设定为输出。

在使用 PWM 模式时，不能给定时器 X 的寄存器（扩展）写“1”。

## (5) 事件计数器模式

对 CNTR<sub>0</sub> 引脚的输入进行计数。如果在此模式中设定定时器 X 的寄存器（扩展），定时器 X 就作为 18 位计数器运行。必须在此模式中将 CNTR<sub>0</sub> 引脚和共用的端口设定为输入。

在此模式中，能通过定时器 1 的下溢进行窗口控制。如果将用于事件计数器窗口控制的数据位设定为“1”，就在下次定时器 1 发生下溢时停止计数；如果清“0”，就在下次定时器 1 发生下溢时重新开始计数。

## (6) 脉宽测定模式

计数源为定时器的分频器的输出。如果在此模式中设定定时器 X 的寄存器（扩展），定时器 X 就作为 18 位计数器运行。当 CNTR<sub>0</sub> 极性转换位的 bit6 为“0”时，就在 CNTR<sub>0</sub> 引脚的输入为“H”电平期间进行计数；当为“1”时，就在 CNTR<sub>0</sub> 引脚的输入为“L”电平期间进行计数。必须在此模式中将 CNTR<sub>0</sub> 引脚和共用的端口设定为输入。

另外，必须将用于事件计数器窗口控制的数据（定时器 X 模式寄存器（地址 002D<sub>16</sub>）的 bit5）设定为允许（“0”）。

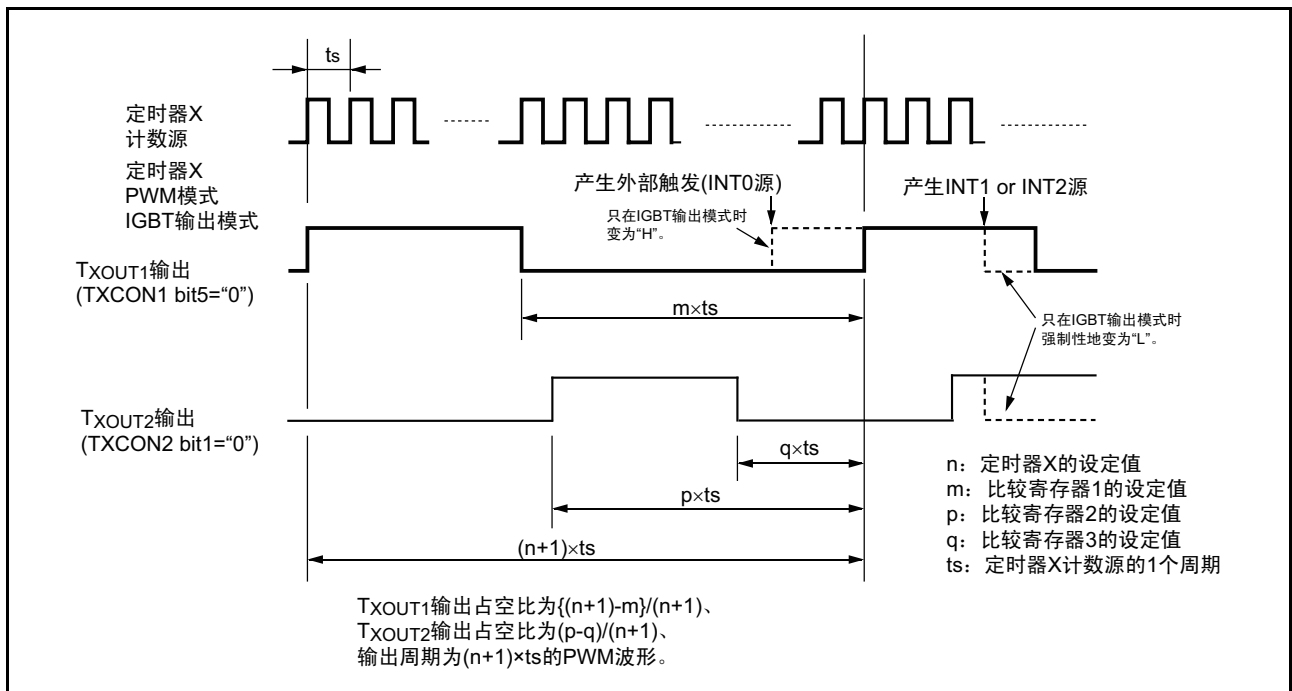


图 29 IGBT/PWM 波形图

## ■ 注意事项

### (1) 有关写定时器 X 的顺序

- 在设定定时器模式、脉冲输出模式、事件计数器模式或者脉宽测定模式时，必须按照定时器 X 的寄存器（扩展）、定时器 X 的寄存器（低位）、定时器 X 的寄存器（高位）的顺序进行写操作。另外，不能只写定时器 X 的寄存器（扩展）、定时器 X 的寄存器（低位）和定时器 X 的寄存器（高位）其中之一。

在设定上述的模式时定时器 X 作为 16 位计数器运行的情况下，如果在复位解除后一次也没有设定定时器 X 的寄存器（扩展），就不需要设定定时器 X 的寄存器（扩展）。此时必须按照定时器 X 的寄存器（低位）到定时器 X 的寄存器（高位）的顺序进行设定。但是必须注意：一旦写定时器 X 的寄存器（扩展），值就被保持到重加载锁存器。

- 必须以 16 位为单位写定时器 X 寄存器。不能在写操作期间进行读操作。如果在中途停止写操作，就不能正常运行。
- 在设定 PWM 模式和 IGBT 输出模式时，不能给定时器 X 的寄存器（扩展）写“1”。另外，如果已经写“1”，就必须先写“0”后再使用。按照比较寄存器 1、2、3（高位、低位）、定时器 X 的寄存器（扩展）、定时器 X 的寄存器（低位）、定时器 X 的寄存器（高位）的顺序进行写操作。比较寄存器的高位和低位没有写顺序，但是比较寄存器 1、2、3 和定时器 X 的寄存器都必须写。另外，必须给比较寄存器设定小于定时器 X 寄存器的设定值的值，但是不能设定为“00<sub>16</sub>”。

### (2) 有关读定时器 X 的顺序

- 各模式都必须按照定时器 X 的寄存器（扩展）、定时器 X 的寄存器（高位）、定时器 X 的寄存器（低位）的顺序进行读操作。在不需读定时器 X 的寄存器（扩展）时，必须按照定时器 X 的寄存器（高位）到定时器 X 的寄存器（低位）的顺序进行读操作。有关比较寄存器 1、2、3，没有规定读的顺序。
- 必须以 16 位为单位读写定时器 X 的寄存器。不能在读操作期间进行写操作。如果在中途停止读写操作，就不能正常运行。

### (3) 有关定时器 X 的写操作

- 定时器 X 能通过定时器 X 的模式寄存器（地址 002D<sub>16</sub>）的写控制位（b3）选择是同时写锁存器和定时器还是只写锁存器。在只写锁存器的情况下，如果给定时器 X 的地址写值，值就被设定到重加载锁存器，定时器在下次发生下溢时被更新。在复位解除后为同时写锁存器和定时器，如果给定时器 X 的地址写值，值就同时被设定到定时器和定时器的锁存器。

另外，在只写锁存器的情况下，如果写高位重加载锁存器的时序和发生下溢的时序几乎同时，值就同时被设定到定时器和定时器的锁存器。此时，在高位重加载锁存器的写操作中停止计数。

- 必须在定时器计数停止的状态下进行分频转换和计数源的转换（※）。

※ 将分频器输出选为定时器的计数源时，随着运行模式（内部振荡器模式、X<sub>IN</sub> 模式、低速模式）的转移，计数源也可能被转换。在改变 CPU 模式寄存器的设定时必须注意。

### (4) 有关定时器 X 的模式寄存器的设定

- 在设定 PWM 模式和 IGBT 输出模式时，必须将定时器 X 的模式寄存器的写控制位设定为“1”（只写锁存器）。在写定时器 X 的寄存器（高位）后，在下次发生下溢时两个寄存器的内容同时被反映到输出波形。

(5) 有关定时器 X 的输出控制功能

- 在使用输出控制功能 (INT1、INT2) 时, 必须在转换为 IGBT 输出模式前, 将 INT1、INT2 的电平设定为 “H” 电平 (当下降沿有效时) 或者设定为 “L” 电平 (当上升沿有效时)。

(6) 有关 CNTR<sub>0</sub> 中断极性转换的注意事项

- CNTR<sub>0</sub> 中断极性转换位的设定同时也会影响中断极性。
- 在测定脉宽时, 必须将 CNTR<sub>0</sub> 极性转换位的 bit7 置 “0”。

(7) 使用定时器 X 脉宽测定模式时

在使用定时器 X 脉宽测定模式时, 必须将用于事件计数器窗口控制的数据 (定时器 X 模式寄存器 (地址 002D16) 的 bit5) 设为允许 (“0”)。

<理由>

为了允许或者禁止 CNTR<sub>0</sub> 的输入, 如果将用于事件计数器窗口控制的数据 (定时器 X 模式寄存器 (地址 002D16) 的 bit5) 置 “1” (禁止) 时, 就在定时器 1 下溢后不能接受 CNTR<sub>0</sub> 的输入。

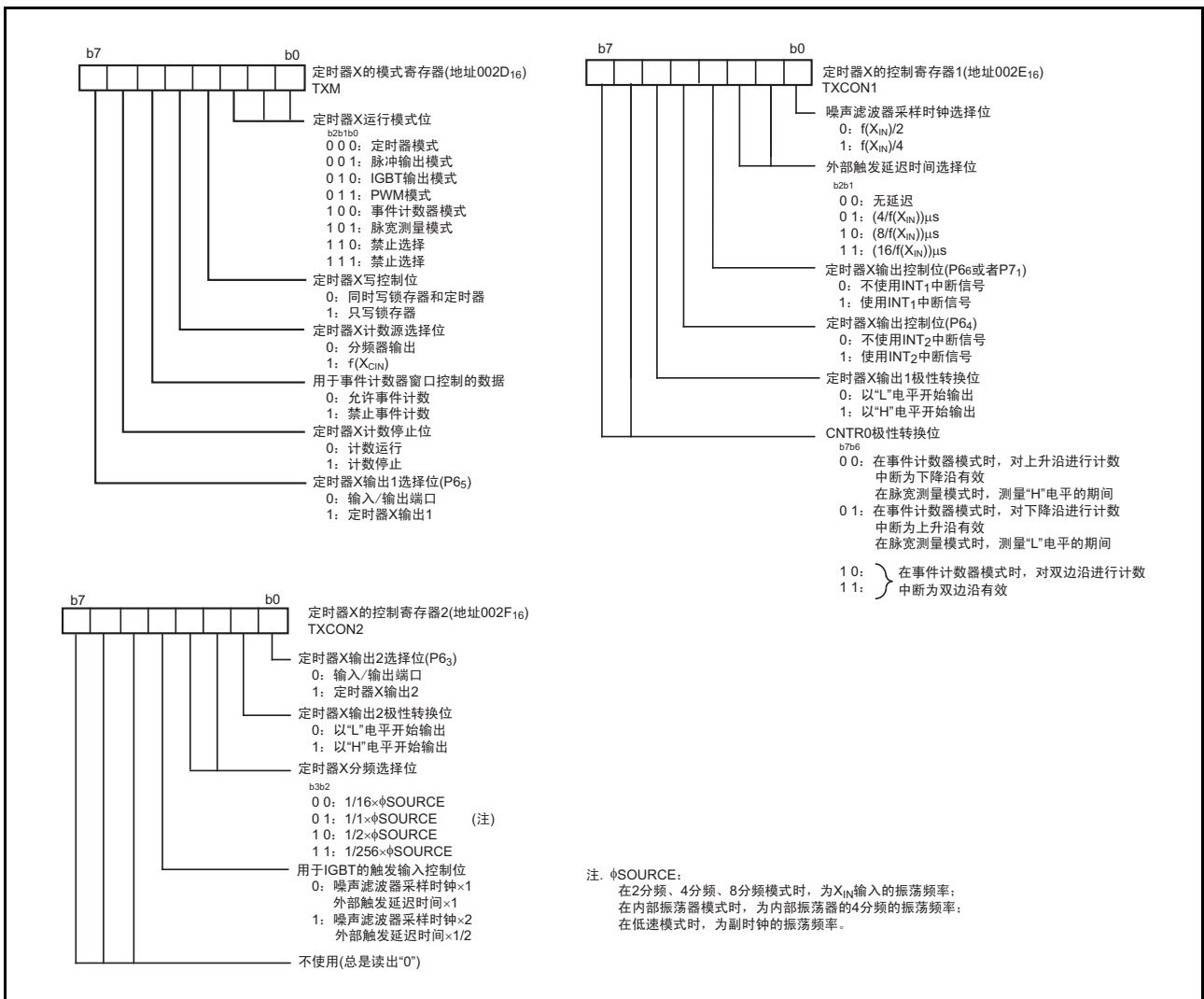


图 30 定时器 X 的关联寄存器的结构

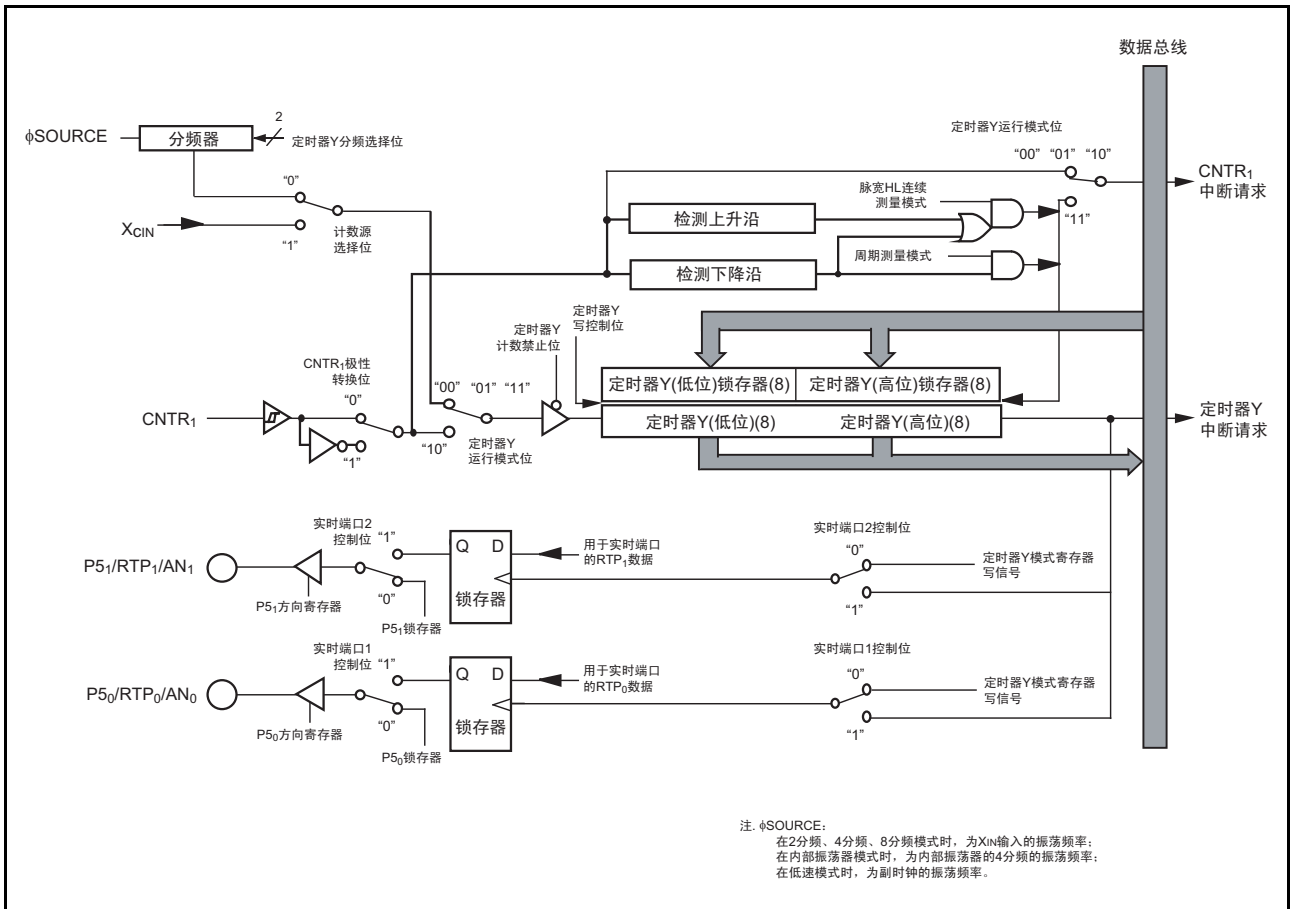


图 31 定时器 Y 的框图

● 定时器 Y

定时器 Y 是 16 位定时器, 能通过设定定时器 Y 的模式寄存器选择计数源。能选择 XCIN 为计数源。如果选择了 XCIN 为计数源, 就与 XIN 和内部振荡器无关可进行计数。定时器 Y 能通过定时器 Y 的模式寄存器选择 4 种运行模式, 也能控制实时端口。

(1) 定时器模式

能通过设定定时器 Y 的模式寄存器选择计数源。

(2) 周期测定模式

除了在 CNTR1 引脚输入的上升沿或者下降沿发生中断请求后, 将定时器的锁存器内容重新装入到定时器, 并继续进行计数以外, 和定时器模式的运行相同。

将重新装入前 (在 CNTR1 引脚输入的上升或者下降时) 的定时器值保持到重新装入后该值被读出为止。另外, 能通过 CNTR1 中断得知 CNTR1 引脚输入的上升或者下降的时序。必须在此模式中将 CNTR1 引脚和共用的端口设定为输入。

(3) 事件计数器模式

除了对 CNTR1 引脚的输入进行计数以外, 和定时器模式的运行相同。必须在此模式中将 CNTR1 引脚和共用的端口设定为输入。

#### (4) 脉宽 HL 连续测定模式

除了在 CNTR<sub>1</sub> 引脚输入的上升沿和下降沿都发生中断请求以外，和周期测定模式的运行相同。必须在此模式中将 CNTR<sub>1</sub> 引脚和共用的端口设定为输入。

#### (5) 实时端口的控制

在实时端口功能有效时，每当定时器 Y 发生下溢，实时端口的数据就分别从端口 P5<sub>0</sub>、P5<sub>1</sub> 输出（但是，如果在设定实时端口的数据后将实时端口控制位从“0”变为“1”，就输出数据而与定时器 Y 的运行无关）。在实时端口功能有效时，如果更改实时端口的数据，就在下次定时器 Y 发生下溢时输出被更改的值。

在利用此功能时，必须将对应端口的方向寄存器设定为输出。

### ■ 注意事项

#### (1) 有关 CNTR<sub>1</sub> 中断的极性转换

CNTR<sub>1</sub> 极性转换位的设定同时也会影响中断有效边沿。但是，在脉宽 HL 连续测定模式的情况下，与 CNTR<sub>1</sub> 极性转换位的设定无关，在引脚的上升沿和下降沿都发生 CNTR<sub>1</sub> 中断请求。

#### (2) 有关定时器 Y 的读写操作

- 在读写定时器 Y 时，必须读写高位字节和低位字节。在读定时器的值时，必须按照高位字节到低位字节的顺序进行；在写定时器的值时，必须按照低位字节到高位字节的顺序进行。另外，必须以 16 位为单位进行读写操作。如果在中途更改读写操作，就不能正常运行。
- 定时器 Y 能通过定时器 Y 的控制寄存器（地址 0039<sub>16</sub>）的写控制位（b0）选择是同时写锁存器和定时器还是只写锁存器。在只写锁存器的情况下，如果给定时器 Y 的地址写值，值就被设定到重加载锁存器，定时器在下次发生下溢时被更新。在复位解除后为同时写锁存器和定时器，如果给定时器 Y 的地址写值，值就同时被设定到定时器和定时器锁存器。  
另外，在只写锁存器的情况下，如果写高位重加载锁存器的时序和发生下溢的时序几乎同时，值就同时被设定到定时器和定时器的锁存器。此时，在高位重加载锁存器的写操作中停止计数。
- 必须在定时器计数停止的状态下进行分频转换和计数源的转换（※）。

※ 将分频器输出选为定时器的计数源时，随着运行模式（内部振荡器模式、X<sub>IN</sub> 模式、低速模式）的转移，计数源也可能被转换。在改变 CPU 模式寄存器的设定时必须注意。

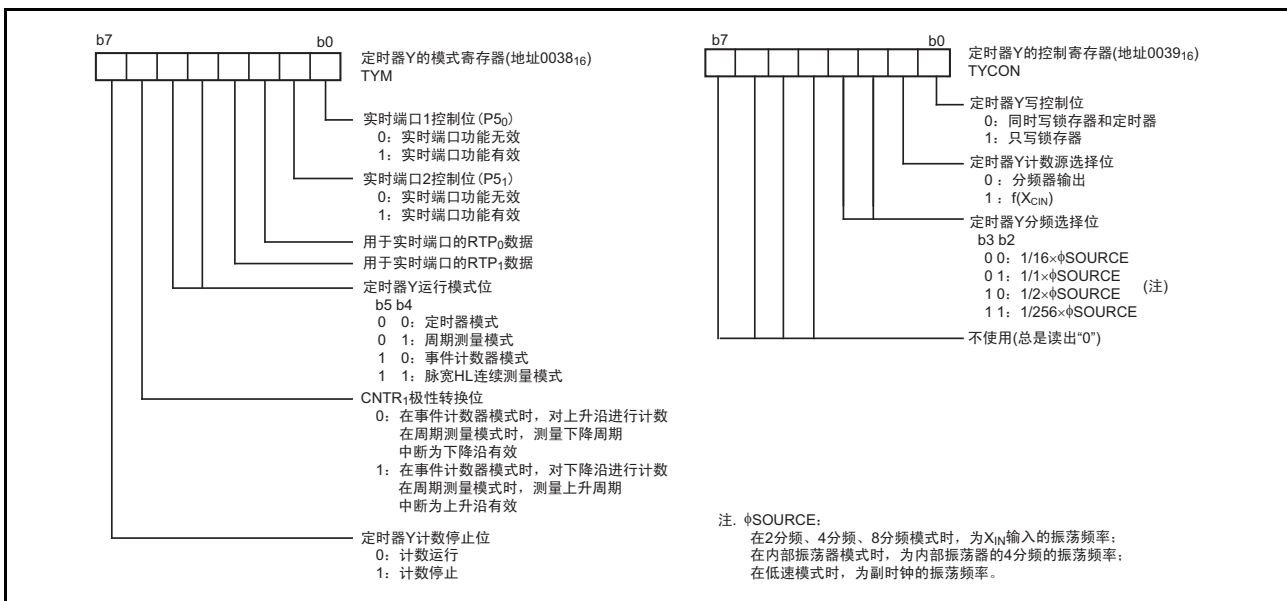


图 32 定时器 Y 的关联寄存器的结构

## 串行接口

### 串行 I/O1

串行 I/O1 在时钟同步模式或者在异步模式（UART）中都能运行，具有串行 I/O1 运行时的波特率发生专用定时器（波特率发生器）。

#### (1) 时钟同步串行 I/O 模式

通过将串行 I/O1 控制寄存器的模式选择位设定为“1”，选择时钟同步串行 I/O1。

在时钟同步串行 I/O1 中，对于串行 I/O1 运行时钟，发送侧的单片机和接收侧的单片机使用同一时钟。在将内部时钟用作运行时钟的情况下，通过发送 / 接收缓冲寄存器的写信号开始发送和接收。

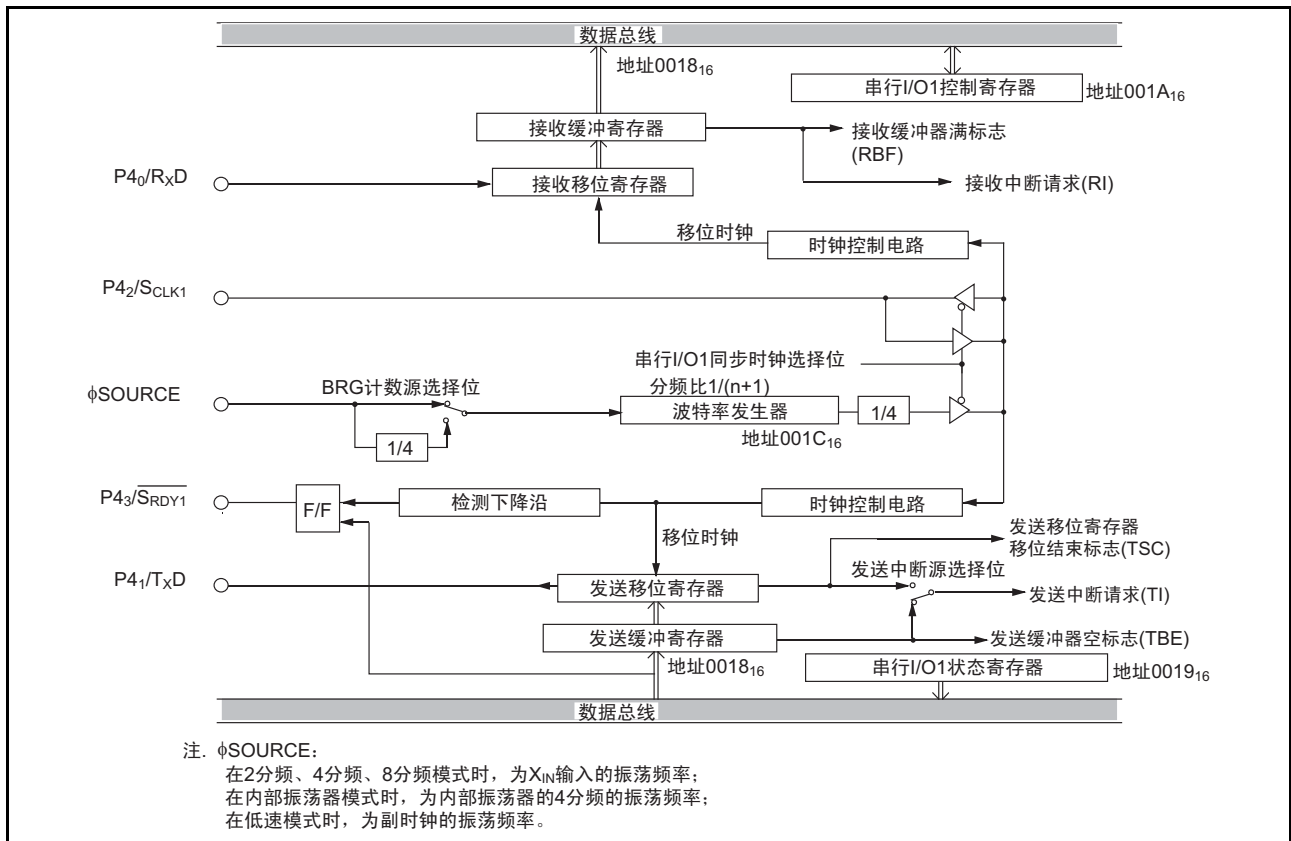


图 33 时钟同步串行 I/O1 的框图

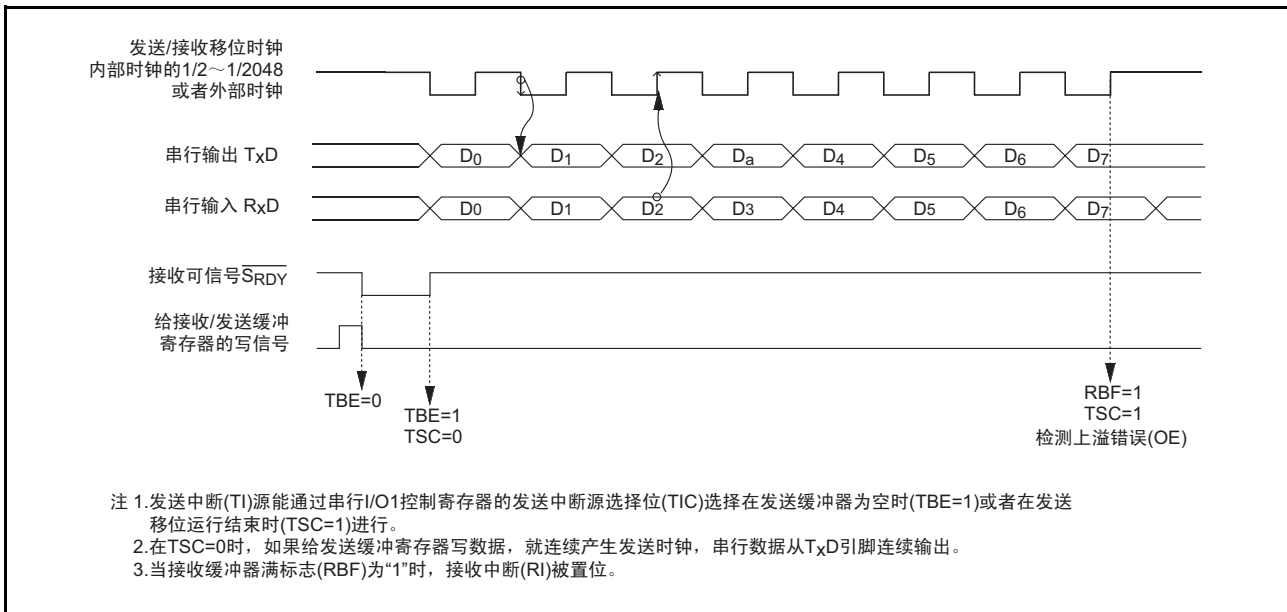


图 34 时钟同步串行 I/O1 的运行图

## (2) 异步串行 I/O (UART) 模式

通过将串行 I/O1 控制寄存器的模式选择位设定为“0”，选择 UART。

38D5 群可选择 8 种串行数据传送格式，必须在发送侧和接收侧统一传送格式。

38D5 群的发送移位寄存器（用于发送串行数据）和接收移位寄存器（用于接收串行数据）有各自的缓冲寄存器（存储器内的地址相同）。因为不能直接读写移位寄存器，所以对各自的缓冲寄存器写发送数据或者读接收数据。另外，能通过这些缓冲寄存器预写下一个要发送的数据，或者连续接收 2 字节的接收数据。

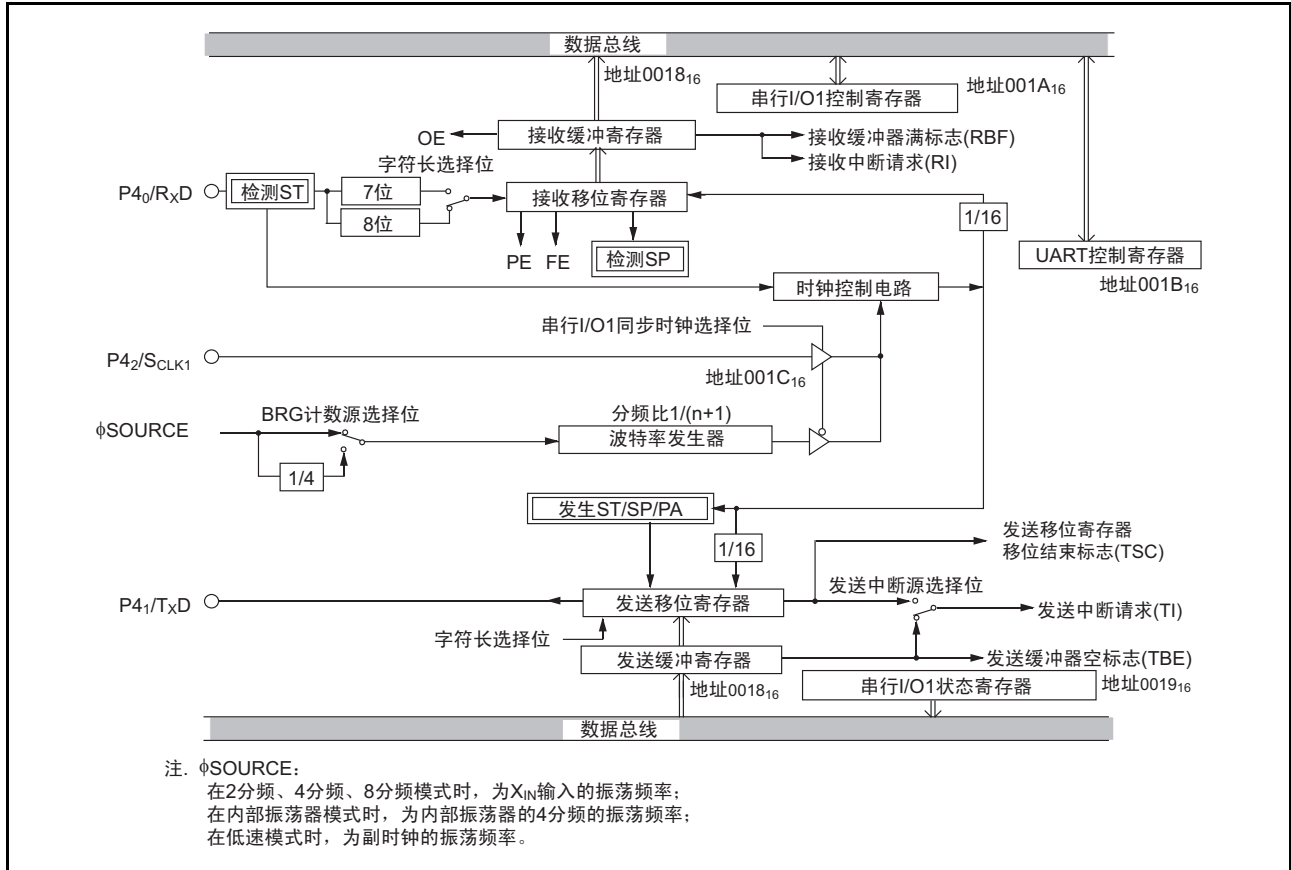


图 35 UART 串行 I/O1 的框图

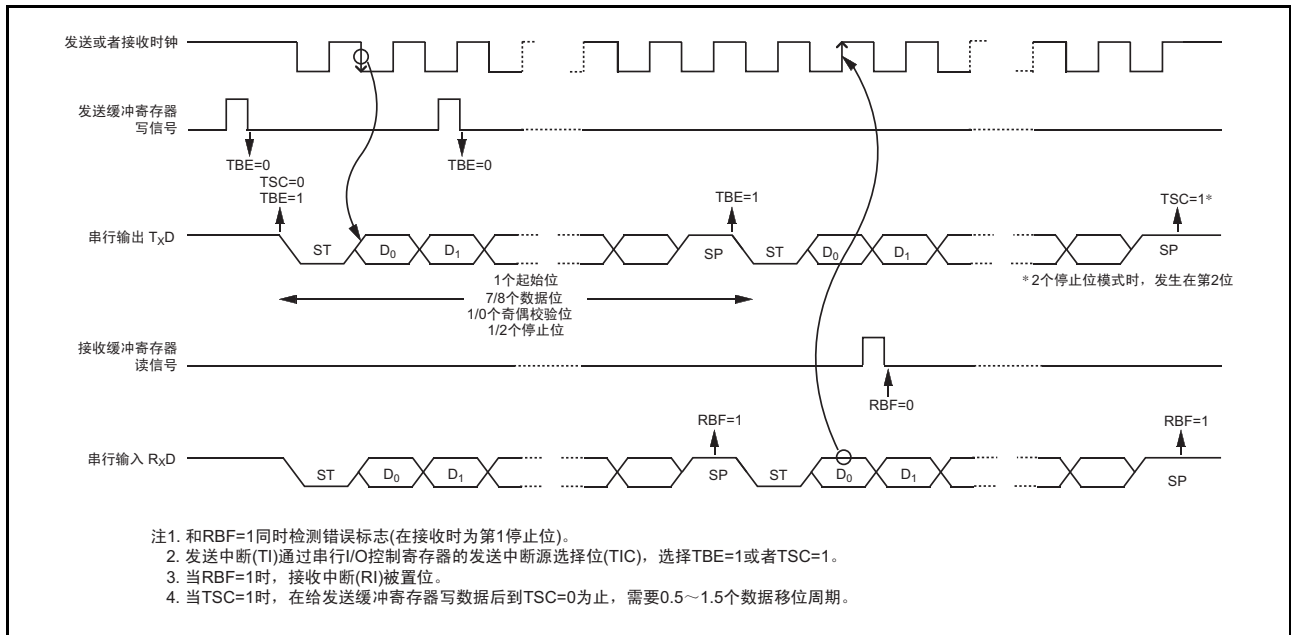


图 36 UART 串行 I/O1 的运行图

#### 【发送缓冲寄存器 / 接收缓冲寄存器】TB1/RB1

发送缓冲寄存器和接收缓冲寄存器被分配到相同的地址, 发送缓冲寄存器为只写寄存器, 接收缓冲寄存器为只读寄存器。另外, 在字符位长为 7 位时, 保存在接收缓冲寄存器的接收数据的 MSB 为 “0”。

#### 【串行 I/O1 状态寄存器】SIO1STS

它是由表示串行 I/O1 运行状态的标志和各种错误标志构成的 7 位只读寄存器, bit4 ~ 6 只在 UART 模式时有效。

如果读接收缓冲寄存器, 接收缓冲器满标志就被清 “0”。

在数据从接收移位寄存器被传送到接收缓冲寄存器并且接收缓冲器满标志被置位的同时, 进行错误检测。通过写串行 I/O1 状态寄存器, 清除全部的错误标志 (OE、PE、FE 和 SE)。另外, 如果给串行 I/O1 允许位 (SIOE) 写 “0”, 包括错误标志的全部状态标志就被清 “0”。

虽然此寄存器全部的位在复位时被初始化为 “0”, 但是, 在将串行 I/O1 控制寄存器的发送允许位设定为 “1” 时, bit2 和 bit0 变为 “1”。

#### 【串行 I/O1 控制寄存器】SIO1CON

串行 I/O1 控制寄存器由进行串行 I/O1 各种控制的 8 位选择位构成。

#### 【UART 控制寄存器】UARTCON

它是由在选择 UART 时 4 位有效的控制位和 1 位总是有效的控制位构成的 5 位寄存器。根据此寄存器的内容设定发送和接收串行数据时的数据格式和 P41/TxD 引脚的输出格式等。

#### 【波特率发生器】BRG

它决定串行传送的位速率, 是有重加载寄存器的 8 位计数器, 通过设定值  $n$  以  $1/(n+1)$  的分频比分频计数源。

## ■ 注意事项

在将串行 I/O1 的发送允许位设定为“1”时，串行 I/O1 的发送中断请求位变为“1”。如果不需要发生与发送允许同步的中断，就必须按以下步骤进行设定：

1. 将串行 I/O1 的发送中断允许位设定为“0”（禁止）。
2. 将发送允许位设定为“1”。
3. 在至少执行一条指令后，将串行 I/O1 的发送中断请求位设定为“0”。
4. 将串行 I/O1 的发送中断允许位设定为“1”（允许）。



图 37 串行 I/O1 的关联寄存器的结构

## 串行 I/O2

串行 I/O2 只能作为时钟同步运行。

在串行 I/O2 中，对于串行 I/O 的运行时钟，发送侧的单片机和接收侧的单片机使用同一时钟。

在将内部时钟用作运行时钟时，通过串行 I/O2 寄存器的写信号，串行 I/O2 被初始化，并且开始发送和接收。

在将外部时钟用作运行时钟时，通过串行 I/O2 寄存器的写信号，串行 I/O2 被初始化，并且进入能发送和接收的状态。如果输入外部时钟，就开始发送和接收。另外，在将外部时钟用作运行时钟时，串行 I/O2 寄存器的写操作必须在 SCLK2 为“H”电平的状态下进行。

### 【串行 I/O2 控制寄存器】SIO2CON

串行 I/O2 控制寄存器由进行串行 I/O2 各种控制的 8 位选择位构成。

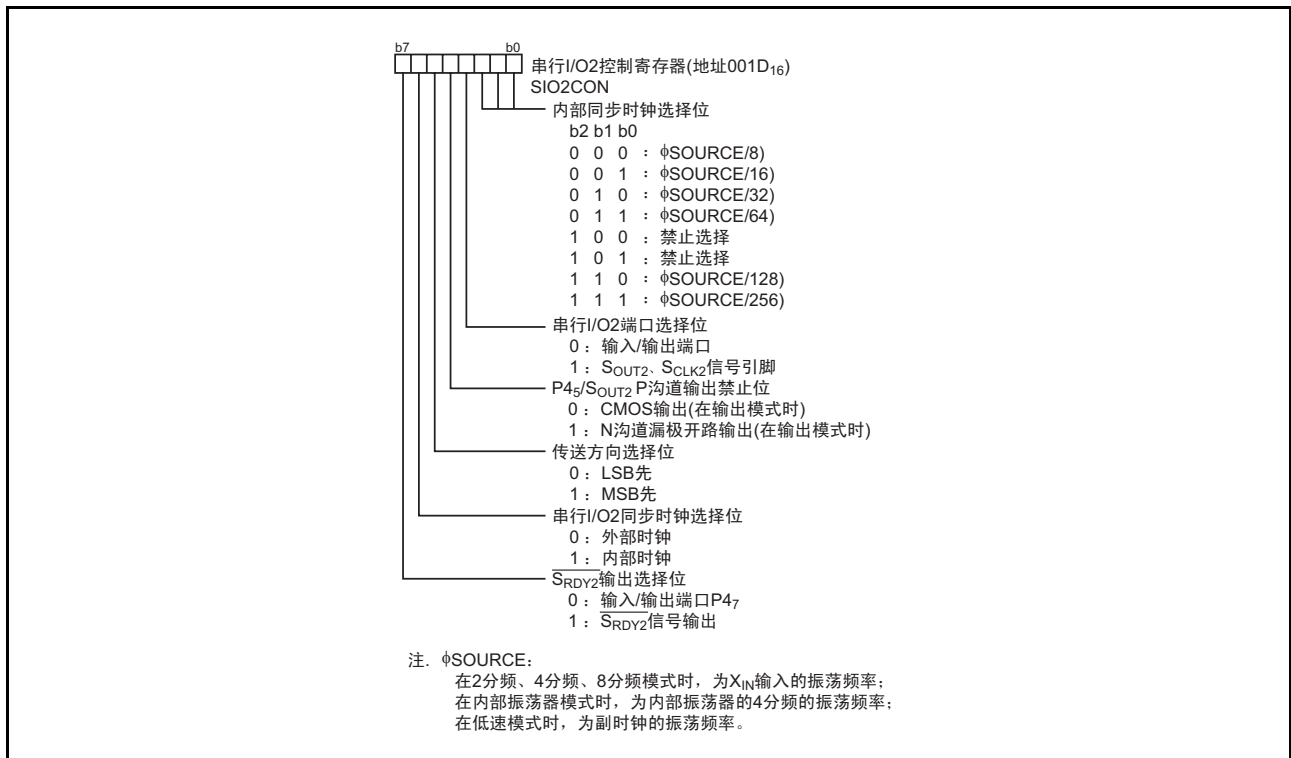


图 38 串行 I/O2 的控制寄存器的结构

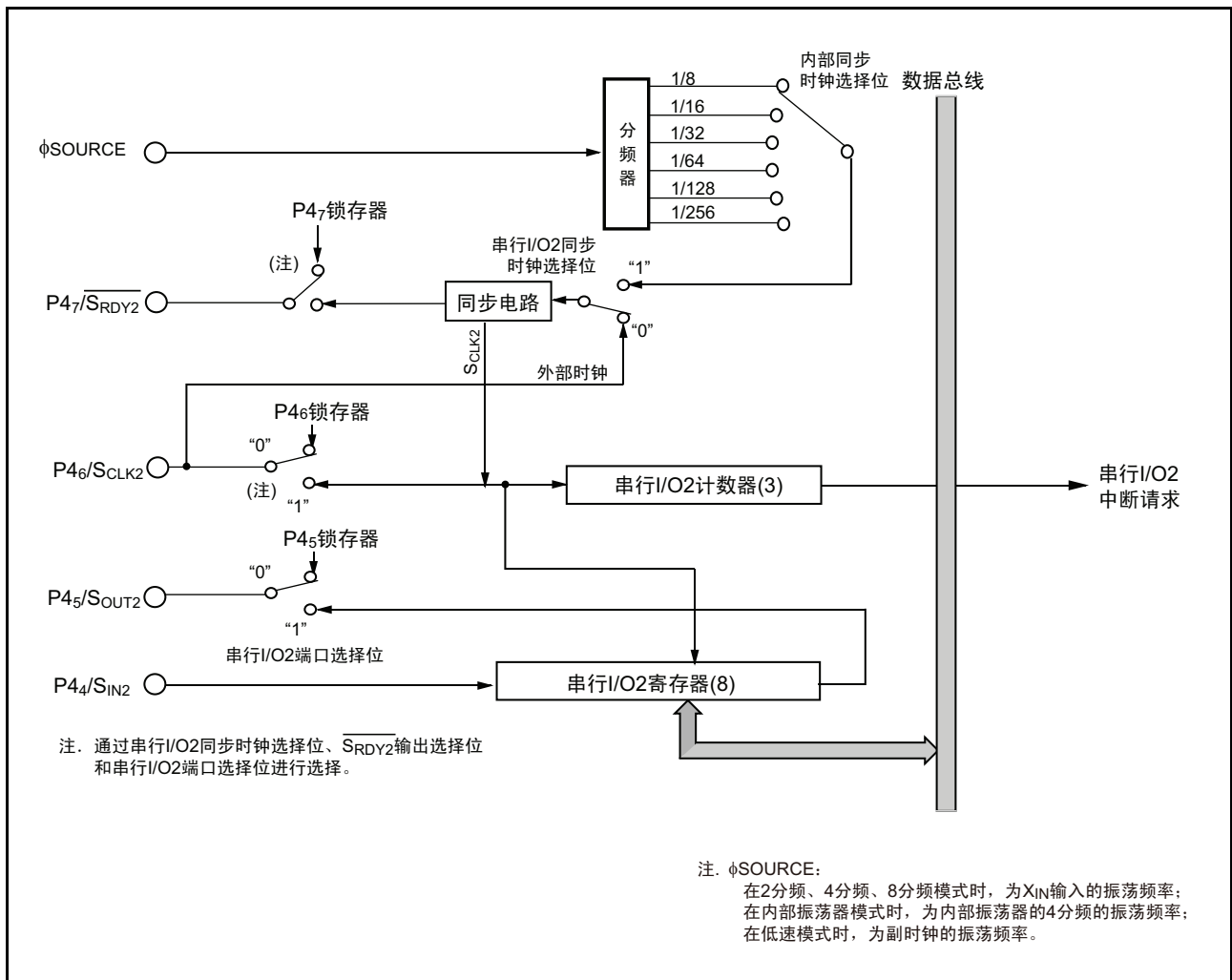


图 39 串行 I/O2 的框图

### 【串行 I/O2 的运行】

通过写串行 I/O2 寄存器, 串行 I/O2 计数器被初始化为 “7”。

在写数据后, 每当同步时钟从 “H” 电平变为 “L” 电平时, 就从 SOUT2 引脚输出数据; 每当同步时钟从 “L” 电平变为 “H” 电平时, 就从 SIN2 引脚取入数据, 并且串行 I/O2 寄存器移 1 位。

在将内部时钟用作同步时钟时, 如果对同步时钟进行 8 次计数, 就进行以下处理:

- 串行 I/O2 计数器 = “0”
- 同步时钟停止在 “H” 电平
- 串行 I/O2 中断请求位 = “1”

在传送结束后, SOUT2 引脚变为高阻抗状态。

在将外部时钟用作同步时钟时, 如果对同步时钟进行 8 次计数, 串行 I/O2 中断请求位就变为 “1”, 并且 SOUT2 引脚保持 D7 的输出电平。但是, 如果继续输入同步时钟, 串行 I/O2 寄存器就继续移位, 并且从 SOUT2 引脚连续输出发送数据。

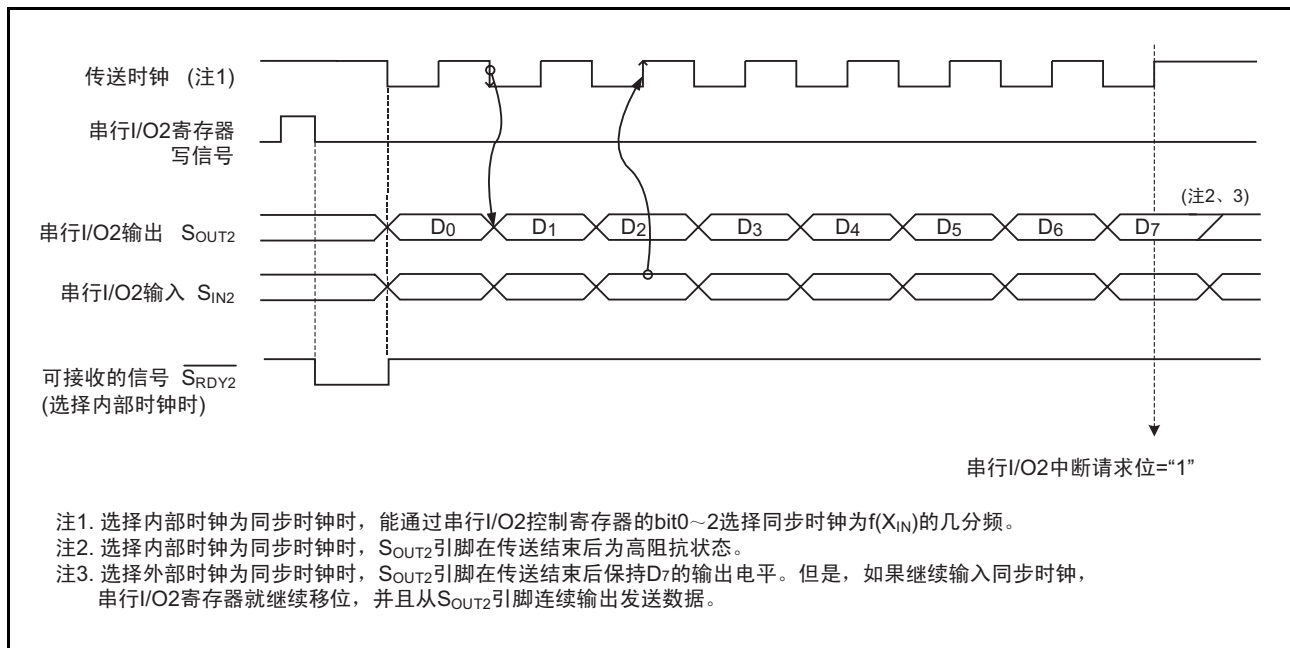


图 40 串行 I/O2 的时序图

## A/D 转换器

### ● A/D 转换器

它是 10 位分辨率逐次逼近方式的 A/D 转换器，具有自动将 ADKEY 引脚的“L”电平模拟输入进行 A/D 转换的 ADKEY 功能。

#### 【AD 转换寄存器】ADL 和 ADH

AD 转换寄存器是保存 A/D 转换结果的寄存器，有高位寄存器和低位寄存器。转换结果的高 8 位保存到 AD 转换寄存器（高位）（地址 0017<sub>16</sub>），低 2 位保存到 AD 转换寄存器（低位）（地址 0016<sub>16</sub>）的 bit7 和 bit6。不能在 A/D 转换中读此寄存器。

另外，能通过 V<sub>REF</sub> 输入开关位（地址 0016<sub>16</sub> 的 bit0）控制梯形电阻和基准电压输入引脚（V<sub>REF</sub>）的连接。如果给此位写“1”，梯形电阻就总是连接到 V<sub>REF</sub>；如果写“0”，除在 A/D 转换中以外，梯形电阻就从 V<sub>REF</sub> 分离。

#### 【AD 控制寄存器】ADCON

AD 控制寄存器是控制 A/D 转换器的寄存器。bit2 ~ 0 是模拟输入引脚的选择位。bit3 是 AD 转换结束位，在 A/D 转换中为“0”，当 A/D 转换结束时为“1”。通过给此位写“0”开始进行 A/D 转换。

bit5 是 ADKEY 允许位，通过给此位写“1”允许 ADKEY 功能。如果将此功能设定为有效，就忽略模拟输入选择位。另外，当 bit5 为“1”时，不能通过程序给 bit3 写“0”。

#### 【比较电压发生器】

用电阻对 AV<sub>SS</sub> 和 V<sub>REF</sub> 之间的电压进行分压，并输出分压。

#### 【通道选择器】

从端口 P57/AN7 ~ P50/AN0 中选择 1 个通道，输入到比较器。

#### 【比较器和控制电路】

将模拟输入电压和比较电压进行比较，该结果保存到 AD 转换寄存器。在 A/D 转换结束时，将 AD 转换结束位和 AD 转换中断请求位设定为“1”。

比较器的输入由电容耦合构成。如果转换速度不充分，就可能因电荷的消失而降低转换精度，所以在 X<sub>IN</sub> 模式中进行 A/D 转换时，必须将 f(X<sub>IN</sub>) 至少设定为 500kHz。另外，不能在 A/D 转换中执行 STP 指令和 WIT 指令。

在低速模式和内部振荡器模式中，因为将内部振荡器用作 A/D 转换时钟，所以频率没有限制。在低速模式时，即使内部振荡器停止，在执行 A/D 转换时也会自动振荡，并且在 A/D 转换结束时会自动停止。

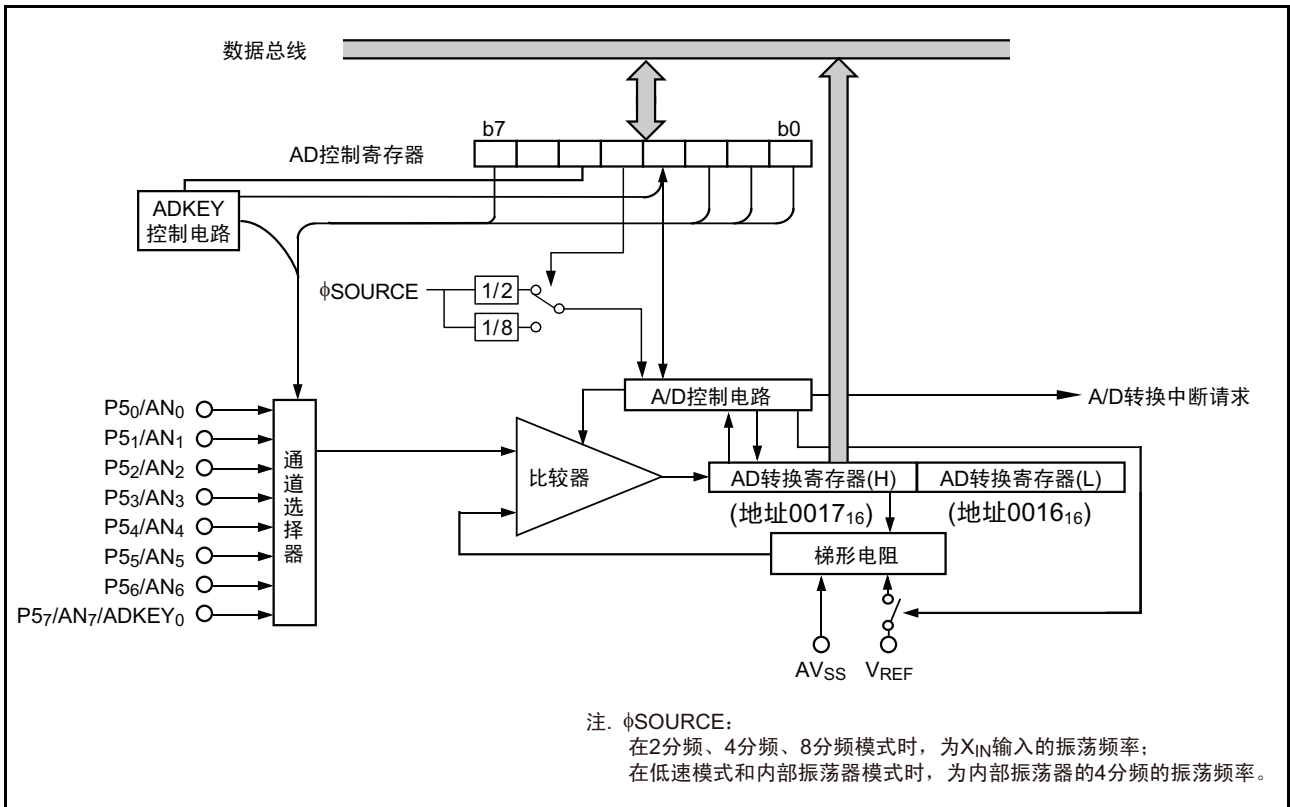


图 41 A/D 转换器的框图

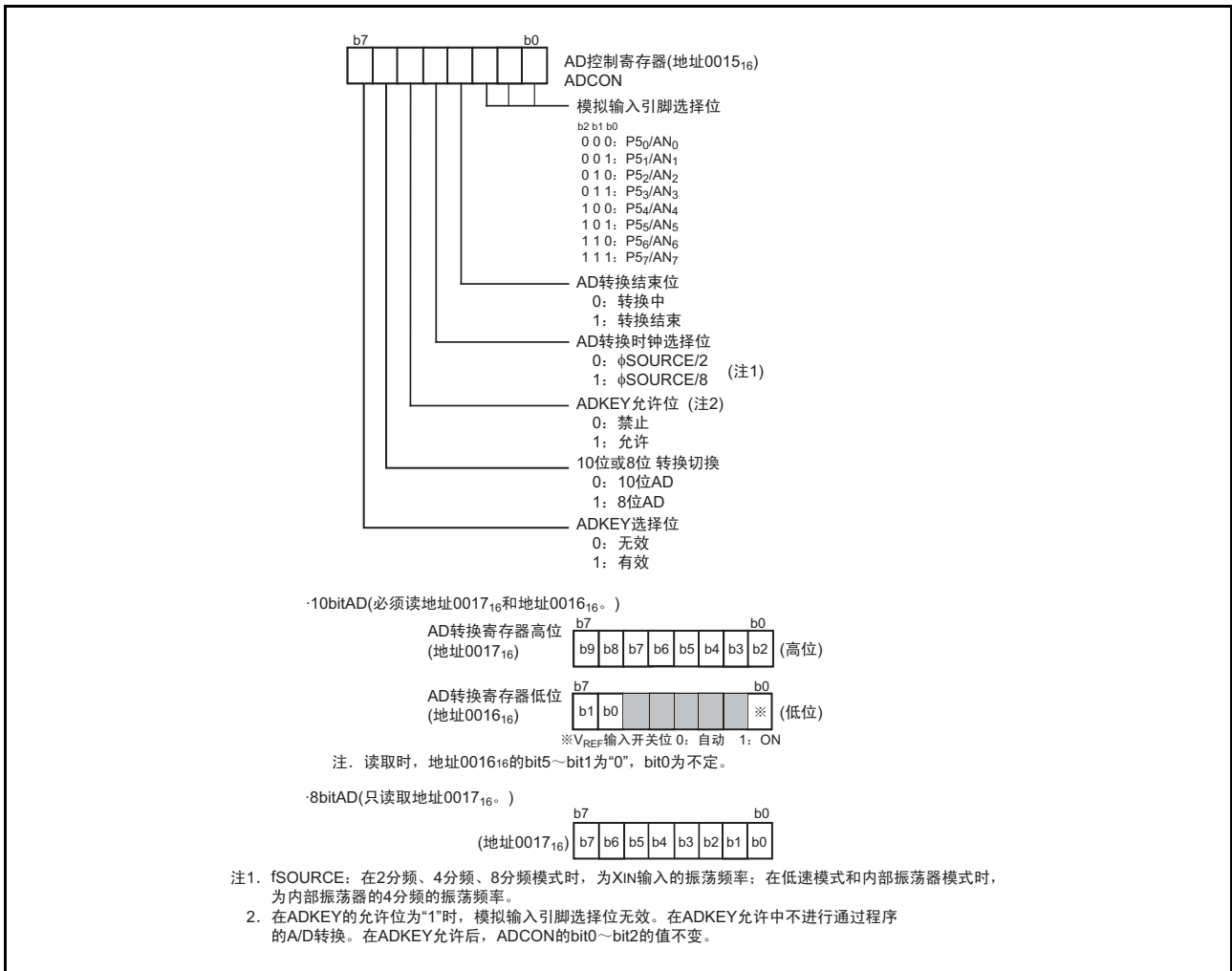


图 42 AD 控制寄存器的结构

● ADKEY 功能

ADKEY 功能是判断输入到 ADKEY 引脚的模拟输入电压的功能。如果将不超过 V<sub>IL</sub> (0.7×V<sub>CC</sub>-0.5) 的电压输入到 ADKEY 引脚, A/D 转换器就开始工作, 所以能通过 A/D 转换中断等进行判断。在 STP 和 WIT 状态下也能使用此功能。

对于 38D5 群的 ADKEY 功能, 在 ADKEY 功能刚启动后不进行模拟输入电压的 A/D 转换, 因此 ADKEY 功能刚启动后的 A/D 转换结果不稳定。在需要输入到 ADKEY 引脚的模拟输入电压的 A/D 转换结果时, 必须在选择与 ADKEY 对应的模拟输入引脚后进行 A/D 转换。

- ADKEY 选择  
在使用 ADKEY 引脚时, 必须给 ADKEY 选择位设定 “1”。在由 ADKEY 功能开始进行 A/D 转换后, ADKEY 选择位为 “0”。
- ADKEY 允许  
通过给 ADKEY 允许位写 “1”, ADKEY 功能变为有效。在将 ADKEY 功能设定为有效时, 必须在给 ADKEY 选择位设定 “1” 后给 ADKEY 允许位设定 “1”。  
当 ADKEY 允许位为 “1” 时, 模拟输入引脚选择位变为无效。不能在 ADKEY 允许中给 AD 转换结束位写 “0”。

**【ADKEY 控制电路】**

必须将 ADKEY 引脚的输入波形置为急剧下降的波形，并且必须在输入电压下降到  $V_{IL}$  以下（含  $V_{IL}$ ）的瞬间后的 8 个时钟周期（当  $f(X_{IN})=8MHz$  时，为  $1\mu s$ ）内稳定输入电压。

ADKEY 引脚的实际阈值电压为  $V_{IH}-V_{IL}$  之间的电压。

为了不进行因噪声等引起的不必要的 ADKEY 运行，必须在等待输入的状态下使 ADKEY 引脚的电压不低于  $V_{IH}$  ( $0.9V_{CC}$ )。

在进行以下操作时，不能保证 A/D 转换的运行：

- 在 A/D 转换中操作 CPU 模式寄存器时
- 在 A/D 转换中操作 AD 控制寄存器时
- 在 A/D 转换中执行 STP、WIT 指令时

**LCD 驱动控制电路**

38D5 群内置 LCD（液晶显示器件）的驱动控制电路。

LCD 驱动控制电路由以下电路构成：

- LCD 显示 RAM
- 段输出禁止寄存器
- LCD 模式寄存器
- 选择器
- 时序控制器
- 公共驱动器
- 段驱动器
- 偏压控制电路

段输出引脚最多能使用 36 个，公共输出引脚最多能使用 8 个，LCD 显示最多为 256 像素。

如果在将数据设定到 LCD 模式寄存器、段输出禁止寄存器和 LCD 显示 RAM 后将 LCD 允许位设定为点灯，LCD 驱动控制电路就自动读显示数据，进行偏压控制、分时控制等以及进行 LCD 屏的显示。

表 11 在各分时情况下的最大显示像素数

分时数	最大显示像素数
1	36 点或者 8 段 LCD 4 位
2	72 点或者 8 段 LCD 9 位
3	108 点或者 8 段 LCD 13 位
4	144 点或者 8 段 LCD 18 位
8	256 点或者 8 段 LCD 32 位

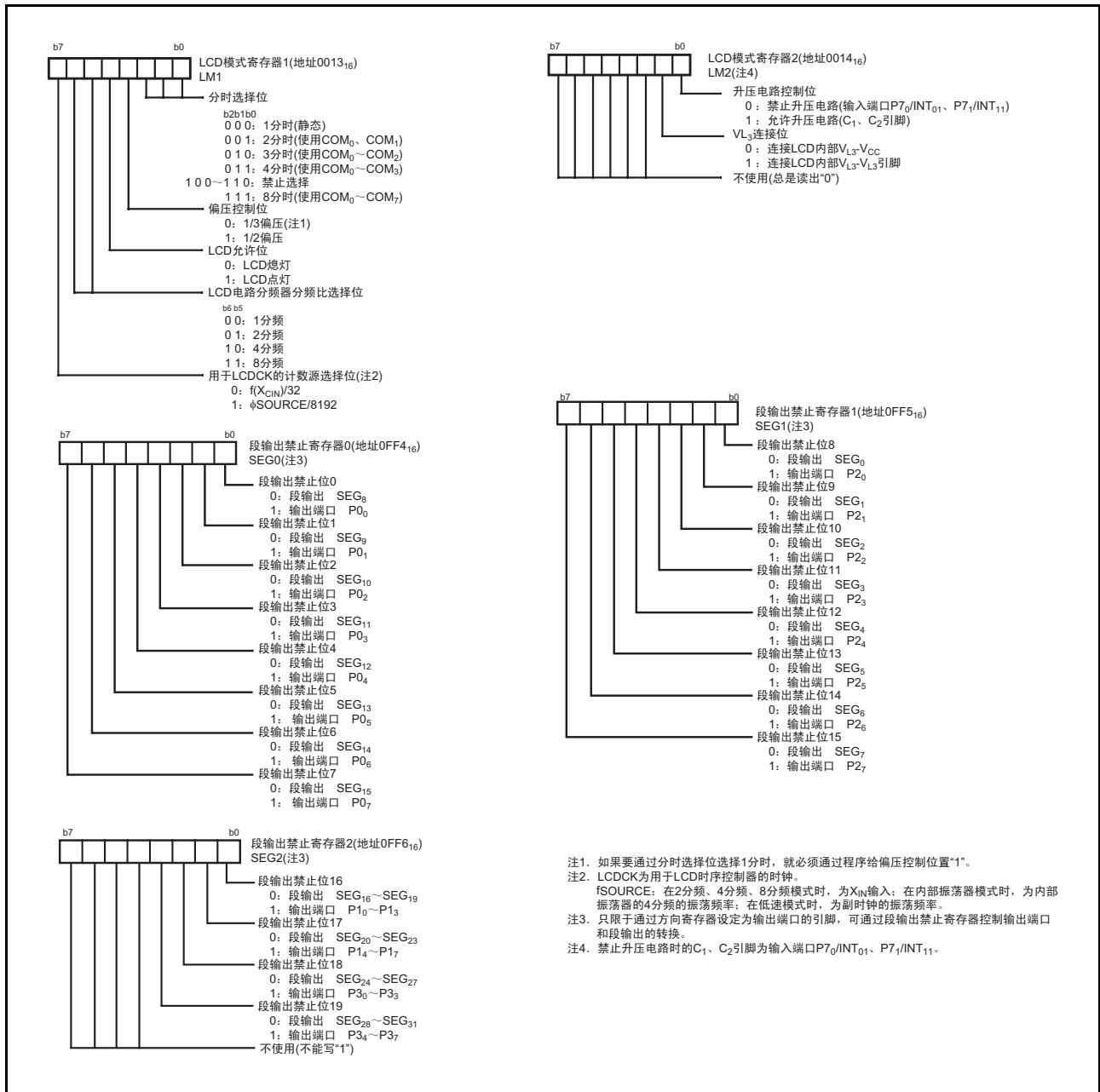


图 43 LCD 关联寄存器的结构

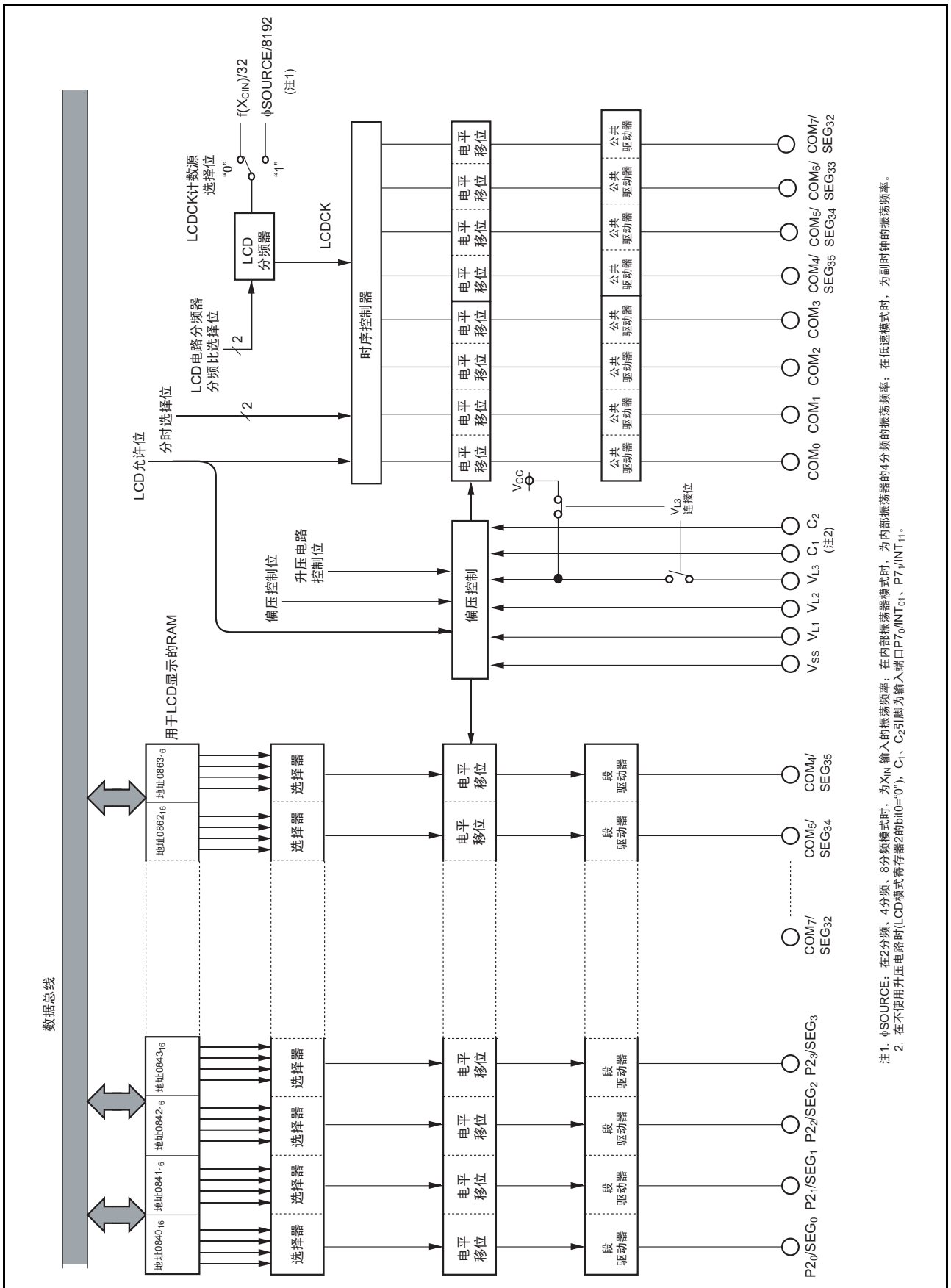


图 44 LCD 控制器 / 驱动器的框图

注1.  $\phi$ SOURCE: 在2分频、4分频、8分频模式时, 为 $X_{IN}$ 输入的振荡频率; 在内部振荡器模式时, 为内部振荡器的4分频的振荡频率; 在低速模式时, 为副时钟的振荡频率。  
 2. 在不使用升压电路时(LCD模式寄存器2的bit0=“0”),  $C_1$ 、 $C_2$ 引脚为输入端口 $P7_0/INT_0$ 、 $P7_1/INT_1$ 。

## ● 升压电路

升压电路进行 3 倍升压，从 LCD 的电源输入引脚  $V_{L1}$  输入升压的基准电源。

要使升压电路运行时，必须在通过段输出禁止寄存器 0、1、2 和 LCD 模式寄存器 1、2 选择段 / 端口、分时、偏压控制、LCD 电路分频器的分频比以及 LCDCK 的计数源后，将  $V_{L3}$  连接位（LCD 模式寄存器 2 的 bit1）置“1”（开路），并将升压电路控制位（LCD 模式寄存器 2 的 bit0）置“1”（允许升压电路）。

在升压电路运行时，如果将电压输入到  $V_{L1}$  引脚， $V_{L2}$  引脚就产生  $V_{L1}$  引脚的 2 倍电压， $V_{L3}$  引脚产生  $V_{L1}$  引脚的 3 倍电压。

通过升压电路控制位（LCD 模式寄存器 2 的 bit0）控制升压电路。

另外，在使用升压电路时，必须在给  $V_{L1}$  引脚外加 1.3V ~ 2.1V 的电压后将升压电路控制位设定为“1”（允许升压电路）。

在不使用升压电路时，必须将  $V_{L3}$  连接位设定为“1”（开路），并给 LCD 的电源输入引脚（ $V_{L1}$  ~  $V_{L3}$ ）外加适当的电压。在  $V_{L3}$  连接位被置为开路时， $V_{L3}$  引脚处于高阻抗状态。

在使用升压电路时，LCDCK 的频率不能低于 100Hz。另外，内部振荡器不能用于 LCDCK。

在使用升压电路的系统（在  $C_1$  引脚和  $C_2$  引脚之间外接用于升压的电容）中，必须在将升压电路控制位置“1”（允许升压电路）后，执行 STP 指令和 WIT 指令。

## ● 偏压控制和给 LCD 的电源输入引脚外加电压

必须按照偏压值给 LCD 的电源输入引脚（ $V_{L1}$  ~  $V_{L3}$ ）外加如表 12 所示的电压值。在不使用升压电路时，必须将  $V_{L3}$  连接位置“1”（LCD 模式寄存器 2 的 bit1），并根据偏压值外加如表 12 所示的电压值。

另外，通过偏压控制位（LCD 模式寄存器 1 的 bit3）选择偏压值。

表 12 偏压控制和给  $V_{L1}$  ~  $V_{L3}$  的外加电压

偏压值	电压值
1/3 偏压	$V_{L3} = V_{LCD}$ $V_{L2} = 2/3 V_{LCD}$ $V_{L1} = 1/3 V_{LCD}$
1/2 偏压	$V_{L3} = V_{LCD}$ $V_{L2} = V_{L1} = 1/2 V_{LCD}$

【注】  $V_{LCD}$  是对 LCD 显示屏的供给电压的最大值。

## ● 公共引脚和分时控制

公共引脚（ $COM_0$  ~  $COM_7$ ）由分时数决定要使用的引脚。必须通过分时选择位（LCD 模式寄存器的 bit0、bit1 和 bit2）选择分时数。在复位解除时，从公共引脚输出  $V_{CC}$  的电压。

表 13 分时控制和使用的公共引脚

分时数	分时选择位			使用的公共引脚名
	bit2	bit1	bit0	
1	0	0	0	$COM_0$
2	0	0	1	$COM_0 \sim COM_1$
3	0	1	0	$COM_0 \sim COM_2$
4	0	1	1	$COM_0 \sim COM_3$
8	1	1	1	$COM_0 \sim COM_7$

【注】 不使用公共的引脚输出未选择波形。

●段信号的输出引脚

段信号的输出引脚（SEG<sub>0</sub> ~ SEG<sub>31</sub>）和端口 P0 ~ P3 兼用。在这些引脚用作段信号的输出引脚时，将对引脚的方向寄存器置“1”，并将段输出禁止寄存器清“0”。

另外，这些引脚在复位解除后被设定为输入端口，通过上拉电阻输出 V<sub>CC</sub> 的电压。

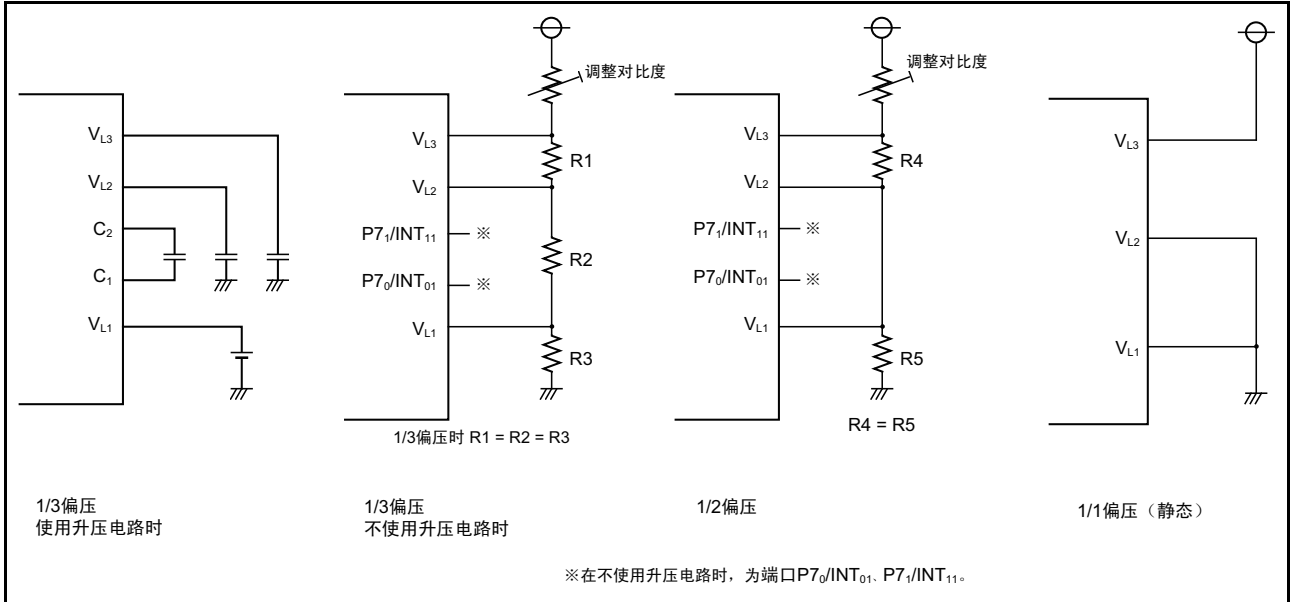


图 45 各偏压时的电路例（输入外部电源时）

●用于 LCD 显示的 RAM

从地址 0840<sub>16</sub> 到地址 0863<sub>16</sub> 的 36 字节是用于 LCD 显示的 RAM。当给这些位写“1”时，LCD 显示屏的对应段就点灯。

决定 LCD 驱动时序的内部信号 LCDCK 的频率和帧频如下：

$$f(\text{LCDCK}) = \frac{(\text{LCDCK 计数源频率})}{(\text{LCD 分频器分频比})}$$

帧频 = f(LCDCK)/ 分时段

■注意事项

1. 如果执行 STP 指令，LCD 允许位（LCD 模式寄存器 1（地址 0013<sub>16</sub>）的 bit4）就变为“0”，并且 LCD 显示屏熄灯。从停止模式返回后，要使 LCD 显示屏点灯时，必须将 LCD 允许位置“1”。
2. 如果在 V<sub>L3</sub> 和 V<sub>CC</sub> 为相等电压时使用 LCD 驱动控制电路，就必须给 V<sub>L3</sub> 引脚外加 V<sub>CC</sub> 电压，并且将 V<sub>L3</sub> 连接位（LCD 电源控制寄存器 2（地址 0014<sub>16</sub>）的 bit1）置“1”。

4COM×36SEG时								8COM×32SEG时									
位 地址	7	6	5	4	3	2	1	0	位 地址	7	6	5	4	3	2	1	0
0840 <sub>16</sub>	未使用 (可用作通常的RAM)				SEG0				0840 <sub>16</sub>	SEG0							
0841 <sub>16</sub>					SEG1				0841 <sub>16</sub>	SEG1							
0842 <sub>16</sub>					SEG2				0842 <sub>16</sub>	SEG2							
0843 <sub>16</sub>					SEG3				0843 <sub>16</sub>	SEG3							
0844 <sub>16</sub>					SEG4				0844 <sub>16</sub>	SEG4							
0845 <sub>16</sub>					SEG5				0845 <sub>16</sub>	SEG5							
0846 <sub>16</sub>					SEG6				0846 <sub>16</sub>	SEG6							
0847 <sub>16</sub>					SEG7				0847 <sub>16</sub>	SEG7							
0848 <sub>16</sub>					SEG8				0848 <sub>16</sub>	SEG8							
0849 <sub>16</sub>					SEG9				0849 <sub>16</sub>	SEG9							
084A <sub>16</sub>					SEG10				084A <sub>16</sub>	SEG10							
084B <sub>16</sub>					SEG11				084B <sub>16</sub>	SEG11							
084C <sub>16</sub>					SEG12				084C <sub>16</sub>	SEG12							
084D <sub>16</sub>					SEG13				084D <sub>16</sub>	SEG13							
084E <sub>16</sub>					SEG14				084E <sub>16</sub>	SEG14							
084F <sub>16</sub>					SEG15				084F <sub>16</sub>	SEG15							
0850 <sub>16</sub>					SEG16				0850 <sub>16</sub>	SEG16							
0851 <sub>16</sub>					SEG17				0851 <sub>16</sub>	SEG17							
0852 <sub>16</sub>					SEG18				0852 <sub>16</sub>	SEG18							
0853 <sub>16</sub>					SEG19				0853 <sub>16</sub>	SEG19							
0854 <sub>16</sub>					SEG20				0854 <sub>16</sub>	SEG20							
0855 <sub>16</sub>					SEG21				0855 <sub>16</sub>	SEG21							
0856 <sub>16</sub>					SEG22				0856 <sub>16</sub>	SEG22							
0857 <sub>16</sub>					SEG23				0857 <sub>16</sub>	SEG23							
0858 <sub>16</sub>					SEG24				0858 <sub>16</sub>	SEG24							
0859 <sub>16</sub>					SEG25				0859 <sub>16</sub>	SEG25							
085A <sub>16</sub>					SEG26				085A <sub>16</sub>	SEG26							
085B <sub>16</sub>					SEG27				085B <sub>16</sub>	SEG27							
085C <sub>16</sub>					SEG28				085C <sub>16</sub>	SEG28							
085D <sub>16</sub>					SEG29				085D <sub>16</sub>	SEG29							
085E <sub>16</sub>					SEG30				085E <sub>16</sub>	SEG30							
085F <sub>16</sub>					SEG31				085F <sub>16</sub>	SEG31							
0860 <sub>16</sub>									0860 <sub>16</sub>	未使用 (可用作通常的RAM)							
0861 <sub>16</sub>									0861 <sub>16</sub>								
0862 <sub>16</sub>									0862 <sub>16</sub>								
0863 <sub>16</sub>					0863 <sub>16</sub>												
					COM3	COM2	COM1	COM0		COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0

图 46 用于 LCD 显示的 RAM 的映像

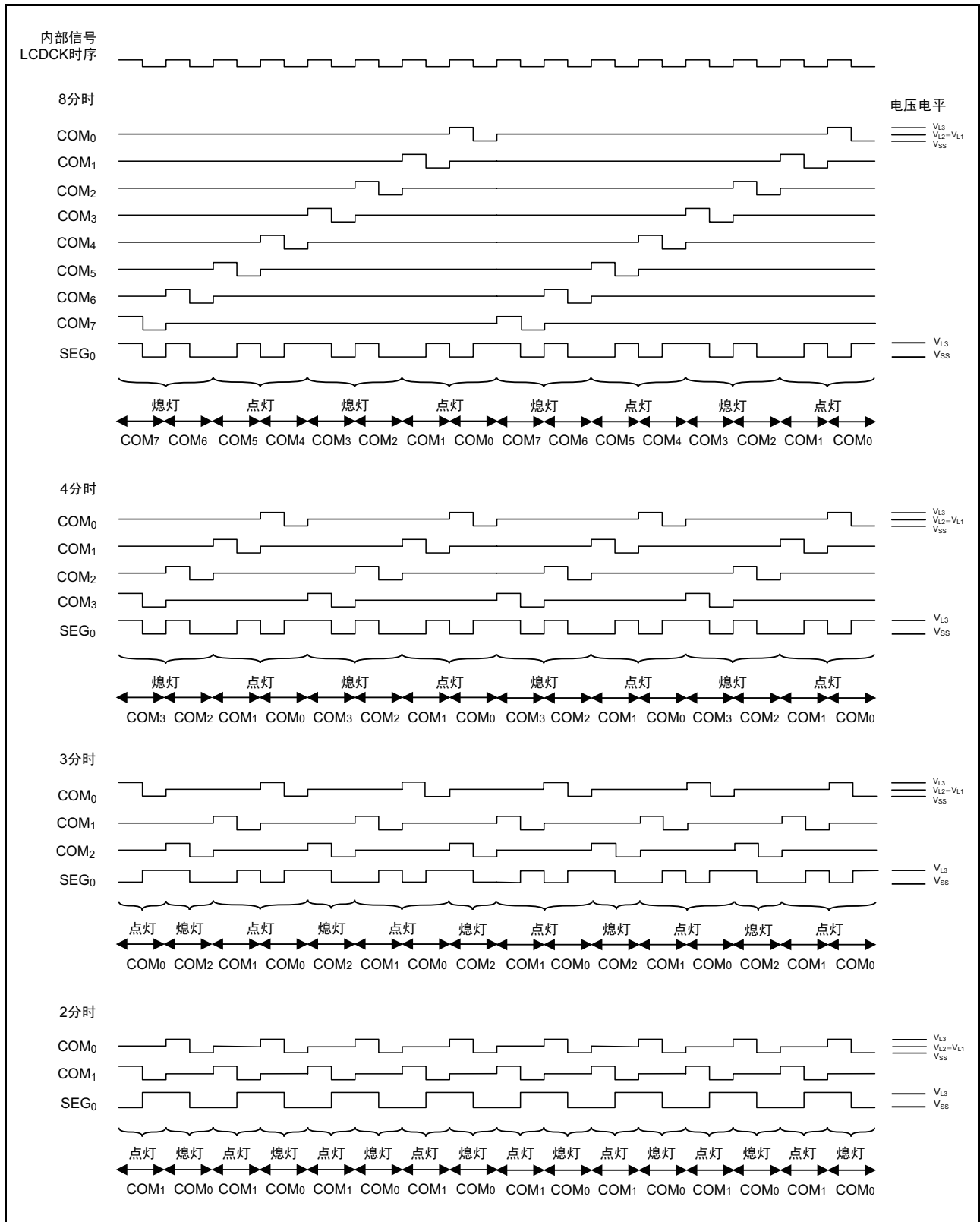


图 47 LCD 驱动波形 (1/2 偏压)

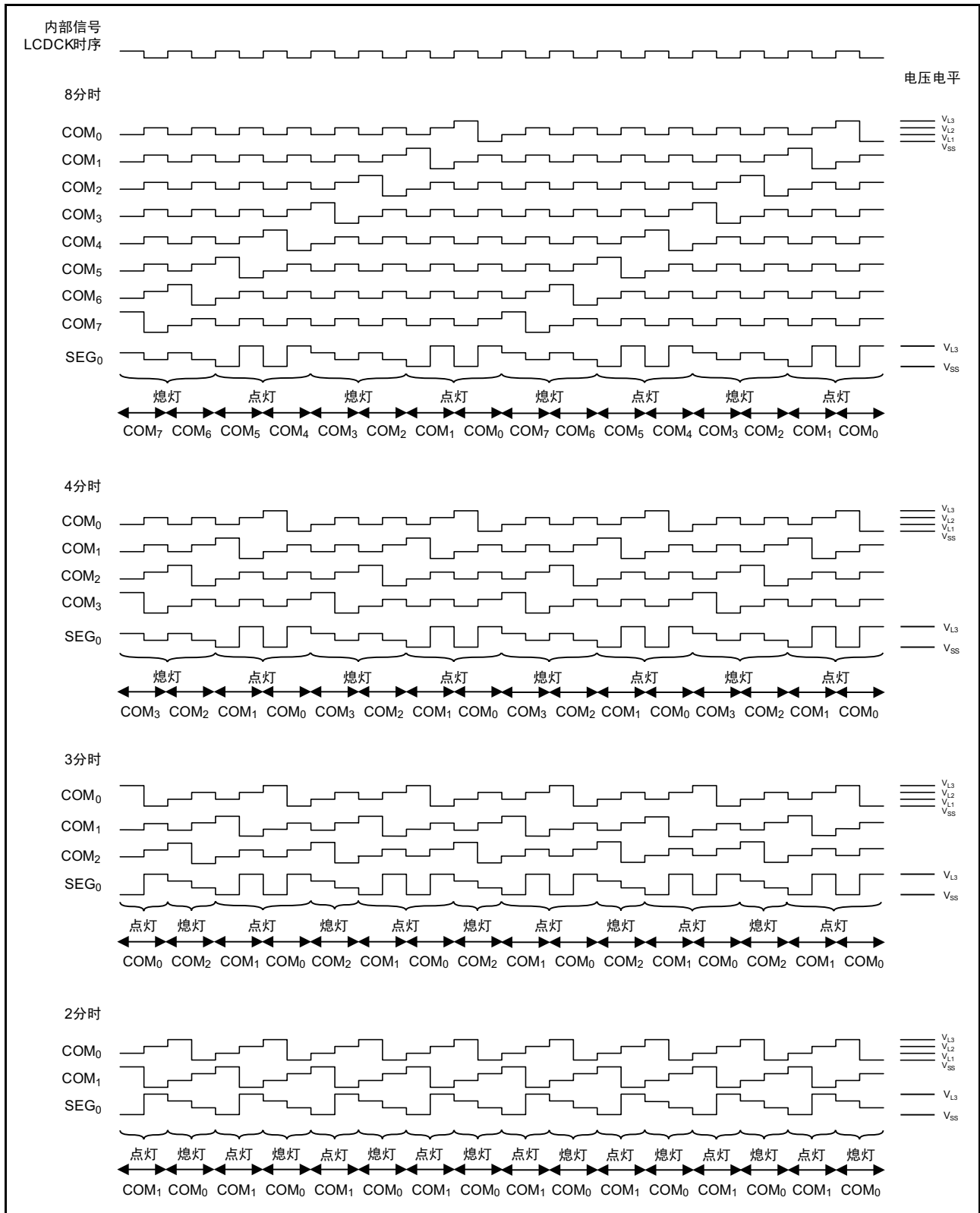


图 48 LCD 驱动波形 (1/3 偏压)

## ROM 校正功能

能校正 ROM 内的一部分程序。

将要校正部分的起始地址（起始指令操作码的地址）设定到 ROM 校正地址的高位寄存器和低位寄存器。在执行程序时，如果程序计数器的值和设定在 ROM 校正地址寄存器的值相同，就转移到 ROM 校正向量。能通过将校正程序预先设定到校正向量执行此校正程序。要从校正程序返回主程序时，必须使用 JMP 指令（3 字节指令）。

能校正的部分最多为 2 个，有 2 个 ROM 校正向量。另外，能通过 ROM 校正存储器选择位从 RAM 区或者 ROM 区选择 ROM 校正向量。

	RAM 区 RC2=0	ROM 区 RC2=1
向量 1	地址 0100 <sub>16</sub>	地址 F100 <sub>16</sub>
向量 2	地址 0120 <sub>16</sub>	地址 F120 <sub>16</sub>

通过 ROM 校正地址 1 允许位和 ROM 校正地址 2 允许位控制 ROM 校正功能。

在不使用 ROM 校正功能时，能将 ROM 校正向量作为通常的 RAM/ROM 使用。在作为通常的 RAM/ROM 使用时，必须将 ROM 校正允许寄存器的 bit1、0 清“0”（禁止使用）。

### ■ 注意事项

1. 在使用 ROM 校正功能时，必须在设定 ROM 校正地址寄存器后将 ROM 校正地址允许位设定为允许状态。
2. 不能给 ROM 校正地址寄存器设定 ROM 区以外的地址。  
另外，不能给 ROM 校正地址 1 寄存器和 ROM 校正地址 2 寄存器设定相同的地址。
3. 需要预先将 ROM 校正处理编入程序。

ROM校正地址1高位寄存器(RCA1H)	0FF8 <sub>16</sub>
ROM校正地址1低位寄存器(RCA1L)	0FF9 <sub>16</sub>
ROM校正地址2高位寄存器(RCA2H)	0FFA <sub>16</sub>
ROM校正地址2低位寄存器(RCA2L)	0FFB <sub>16</sub>

注. 不能设定ROM区以外的地址。

图 49 ROM 校正地址寄存器

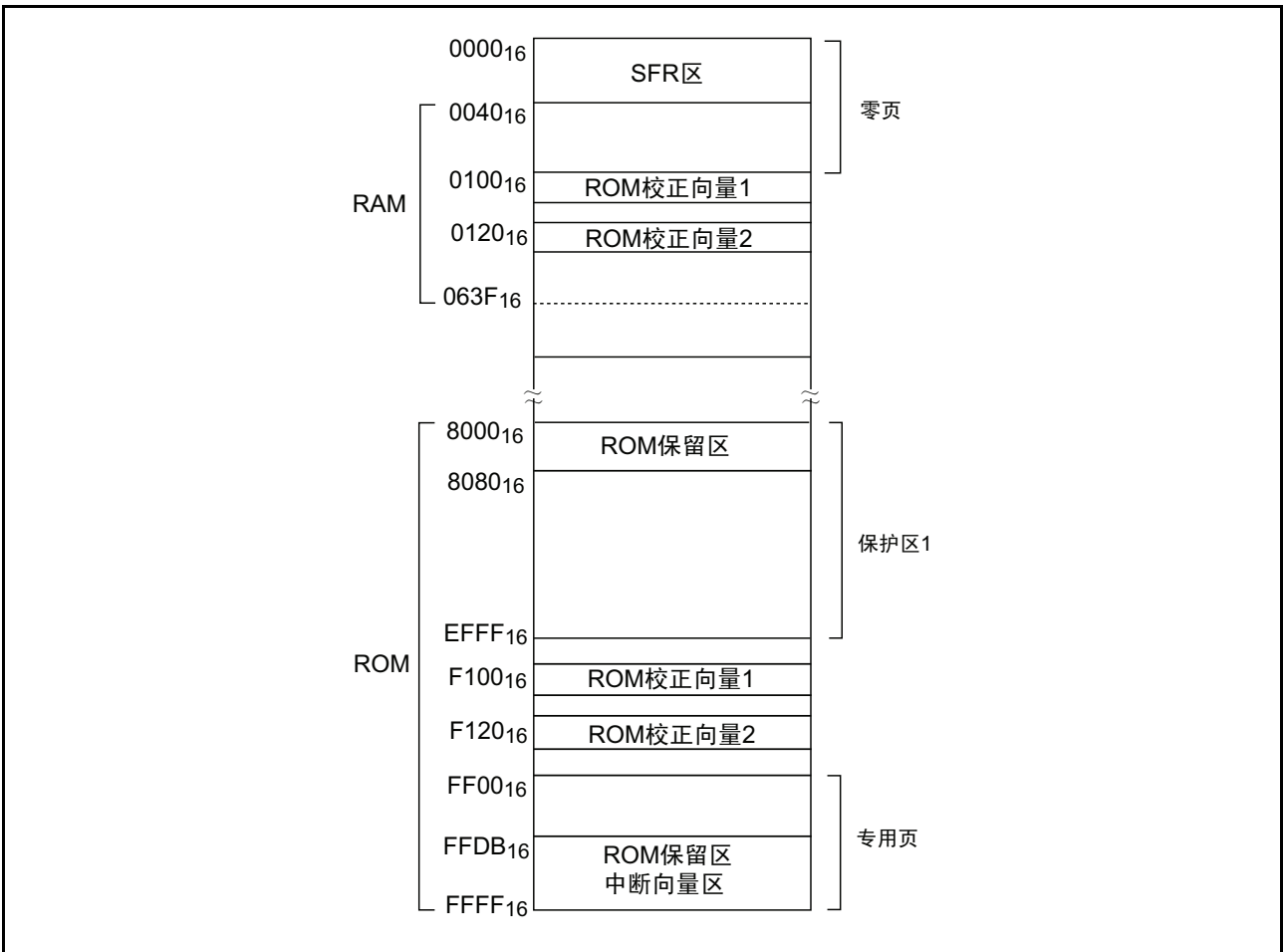


图 50 M38D58G8 的存储器配置图

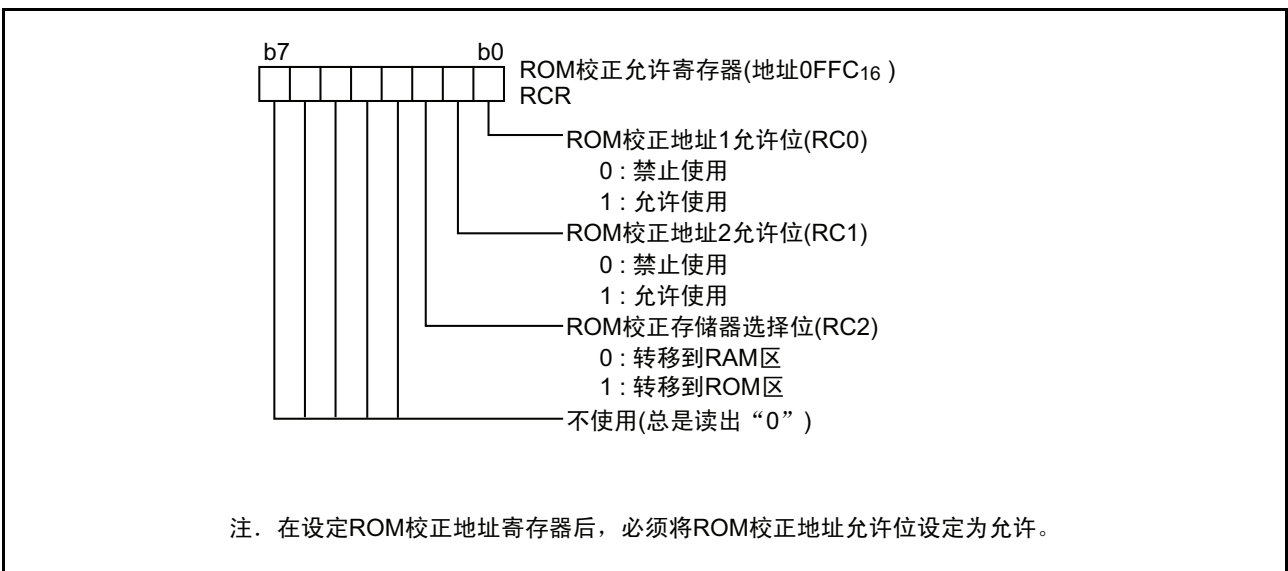


图 51 ROM 校正允许寄存器

## 看门狗定时器

在因失控等而程序不能正常循环的情况下，看门狗定时器提供返回到复位状态的手段。

看门狗定时器由 8 位计数器构成。

### ●看门狗定时器的初始值

在复位时或者通过写看门狗定时器的控制寄存器，看门狗定时器被置为“FF<sub>16</sub>”。写操作的指令只要是 STA、LDM 和 CLB 等产生写信号的指令都能使用。写数据的 bit7、bit6 和 bit5 以外的位没有含意，无条件地被设定为上述值。

bit7 ~ 5 只能在复位解除后写 1 次。因为在写操作后被锁住，所以无法改写。这些位在复位后为“0”。

### ●看门狗定时器的运行

看门狗定时器在复位时停止运行，并通过写看门狗定时器的控制寄存器开始递减计数。如果看门狗定时器发生下溢，就产生内部复位，在等待复位解除时间后解除复位，从复位向量地址开始执行程序。通常，需要编写在看门狗定时器发生下溢前对看门狗定时器的控制寄存器进行写操作的程序。如果一次也没有写看门狗定时器的控制寄存器，看门狗定时器就不起作用。

如果读看门狗定时器的控制寄存器，就读高 5 位的计数器、计数源选择位 2 (bit5)、STP 指令功能选择位 (bit6) 以及计数源选择位 (bit7) 的值。

### ●看门狗定时器的控制寄存器的 bit6

- 当此位为“0”时，如果执行 STP 指令，就转移到停止模式。在停止模式解除的同时看门狗定时器重新开始计数（注1）。  
另外，在执行 WIT 指令时，看门狗定时器不停止运行。
- 当此位为“1”时，如果执行 STP 指令，就产生内部复位。一旦将此位改写为“1”，就不能通过程序改写为“0”，复位后的值为“0”。

在写看门狗定时器的控制寄存器后到看门狗定时器的寄存器发生下溢前的时间如下所示（当看门狗定时器的控制寄存器的 bit7 为“0”时）：

- 在 X<sub>IN</sub> 模式时 (f(X<sub>IN</sub>)=8MHz) …… 32.768ms
- 在低速模式时 (f(X<sub>CIN</sub>)=32kHz) …… 8.19s

### ■注意事项

1. 在停止模式时看门狗定时器不运行，但是在停止解除的等待时间（用定时器1和定时器2设定的时间）和等待模式时，看门狗定时器进行计数，所以必须在此期间写看门狗定时器的控制寄存器，使看门狗定时器在此期间不发生下溢。
2. 如果通过看门狗定时器的计数源选择位2选择内部振荡器，内部振荡器就被强制振荡而不能停止。另外，必须将此时的 STP 指令功能选择位设定为“1”。  
在停止内部振荡器的系统中，必须将看门狗定时器计数源选择位2清“0” (φSOURCE)。

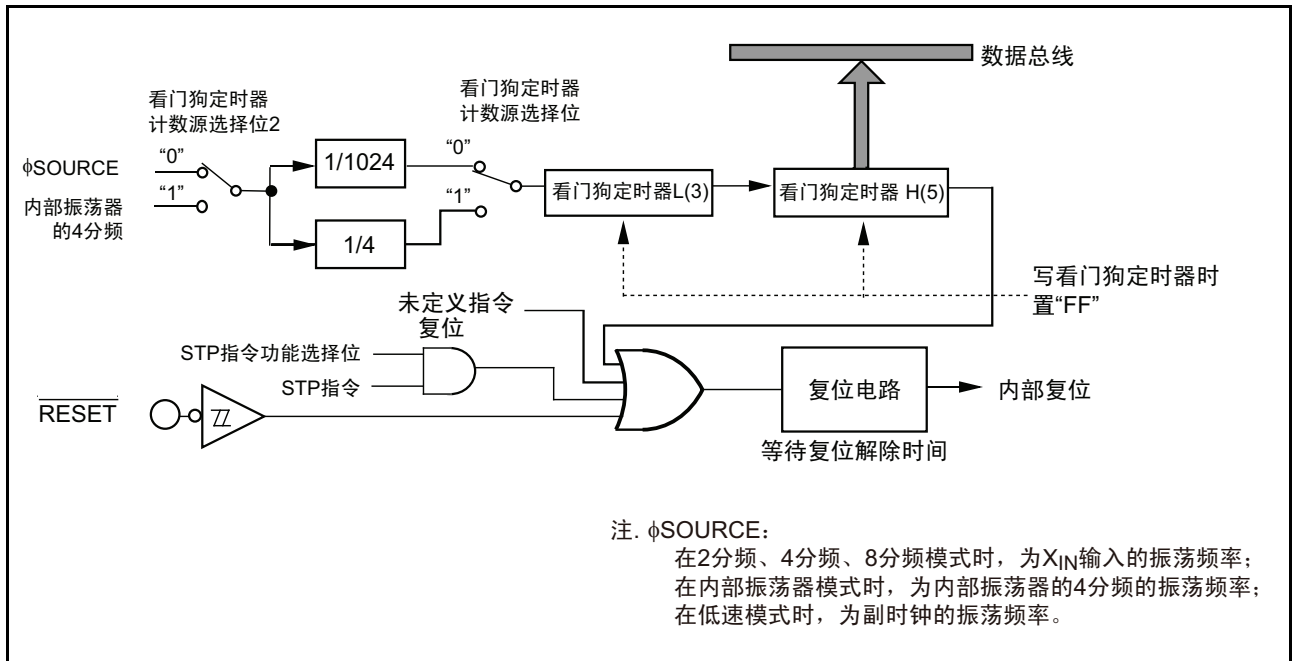


图 52 看门狗定时器的框图

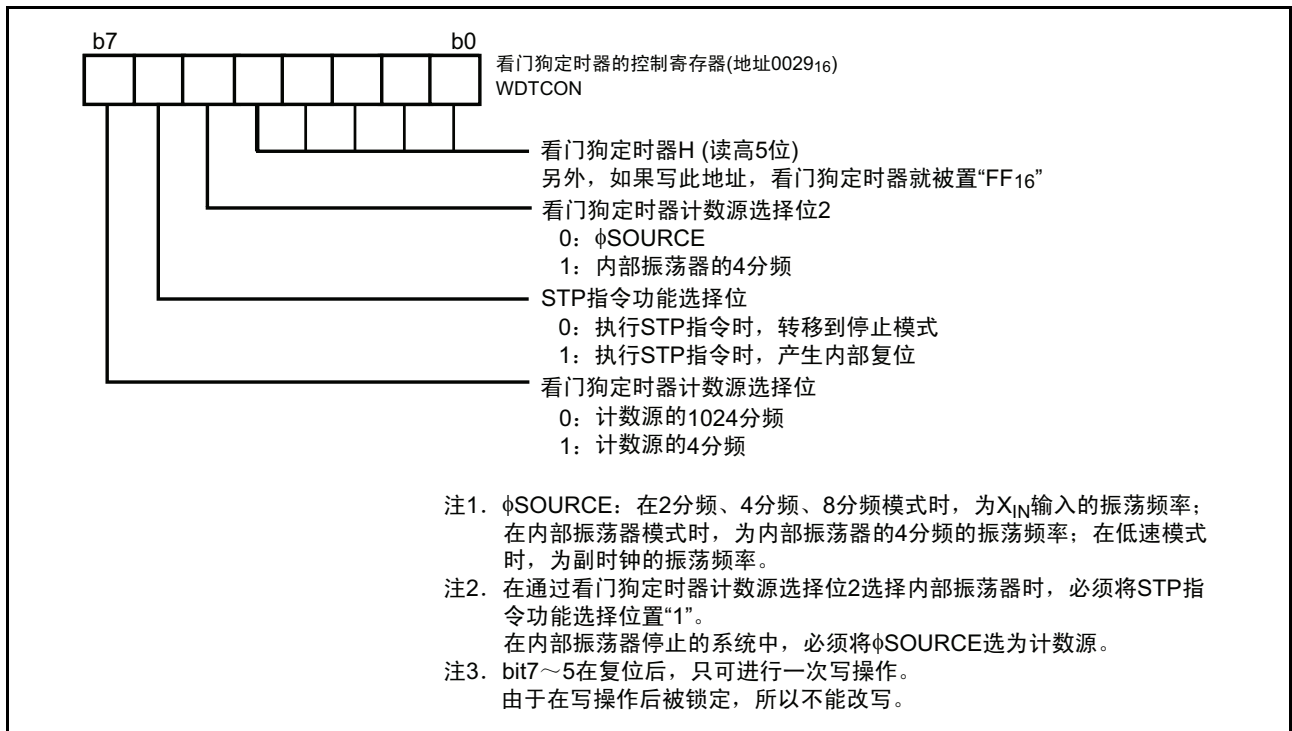


图 53 看门狗定时器的控制寄存器的结构

### 时钟输出功能

能从输入 / 输出端口 P7<sub>2</sub> 输出系统时钟  $\phi$ 。通过时钟输出控制寄存器（地址 0FF3<sub>16</sub>）和定时器 12 的模式寄存器（地址 0025<sub>16</sub>）的定时器 2 输出选择位（bit6），控制输入 / 输出端口、定时器 2 输出功能和系统时钟  $\phi$  输出功能。

为了从输入 / 输出端口 P7<sub>2</sub> 输出系统时钟  $\phi$ ，需要将定时器 2 输出选择位设定为“1”，并将时钟输出控制寄存器的 P7<sub>2</sub> 时钟输出控制位设定为“01”。另外，为了输出和副时钟 X<sub>CIN</sub> 的振荡频率相同的信号，将 P7<sub>2</sub> 时钟输出控制位设定为“10”。如果选择时钟输出功能，就在端口 P7<sub>2</sub> 的方向寄存器被设定为输出的期间输出时钟。

在改写 P7<sub>2</sub> 时钟输出控制位后的下一个周期，P7<sub>2</sub> 进行端口输出和非端口输出（定时器 2 的输出或者时钟的输出）的转换。

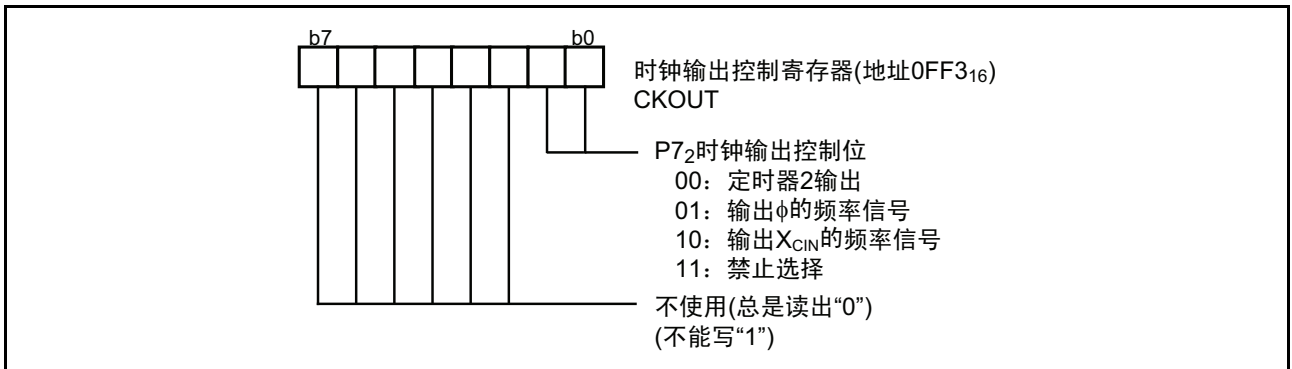


图 54 时钟输出控制寄存器的结构

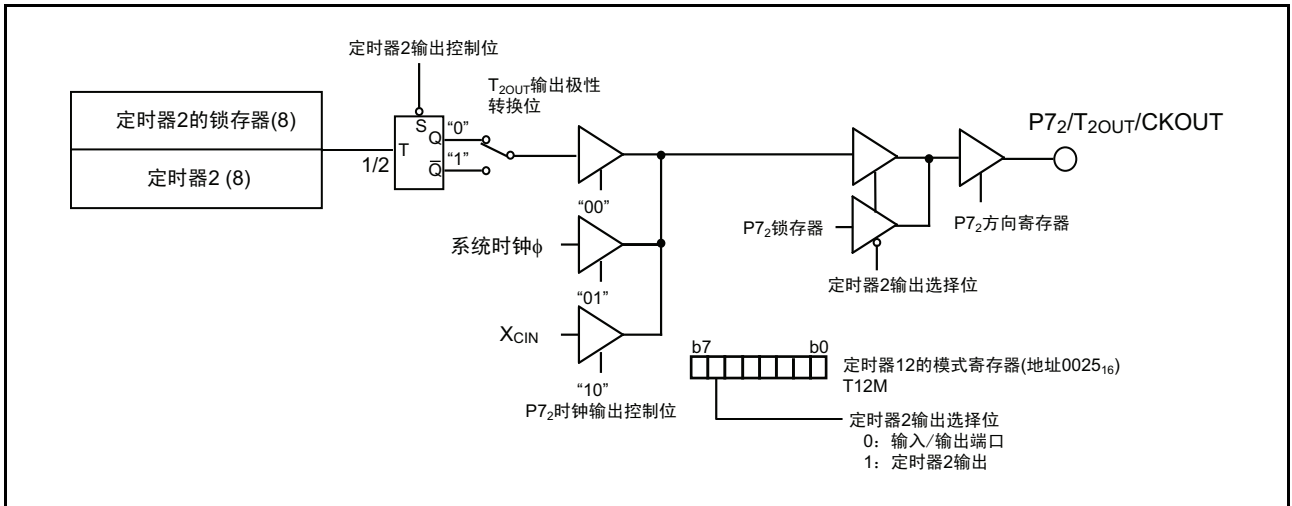


图 55 时钟输出功能的框图

## 其他功能寄存器

## 【RRF 寄存器】RRFR

地址  $0012_{16}$  是没有控制功能的 8 位寄存器，写到此寄存器的值进行高 4 位和低 4 位的交换。此寄存器在复位后被初始化。

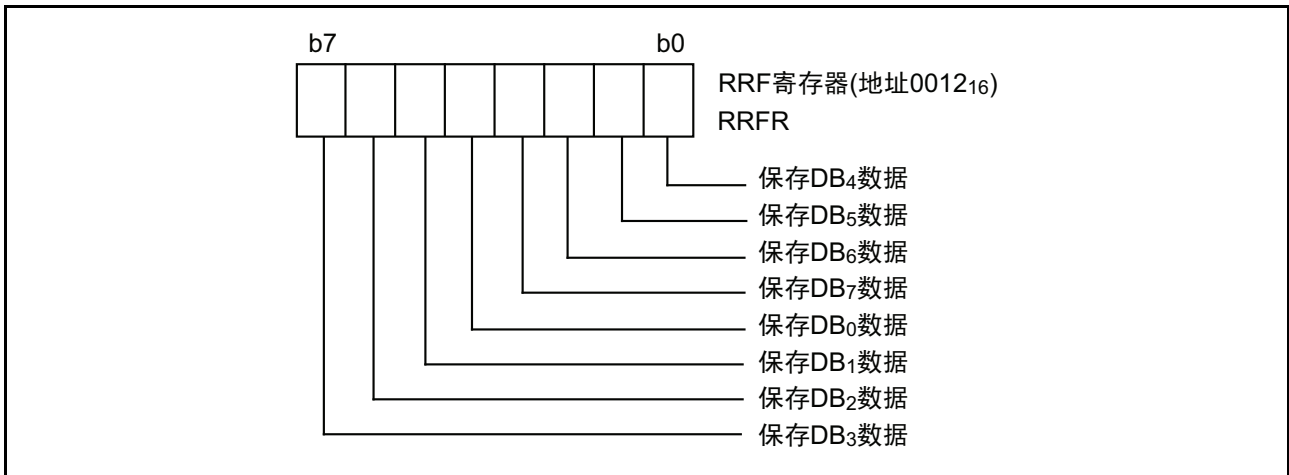


图 56 RRF 寄存器的结构

## 复位电路

当电源电压在  $V_{CC}(\text{min.}) \sim 5.5\text{V}$  的范围内时，如果将  $\overline{\text{RESET}}$  引脚至少保持  $2\mu\text{s}$  的“L”电平后恢复到“H”电平，38D5 群就解除复位，并从地址  $\text{FFFD}_{16}$  的内容为高位、地址  $\text{FFFC}_{16}$  的内容为低位的地址开始执行程序。

在电源电压通过  $V_{CC}(\text{min.})$  时，复位输入电压必须符合  $V_{IL}$  的规格。

对于闪存版，必须按照以下步骤进行  $\overline{\text{RESET}}$  引脚的输入：

●在电源稳定时

1. 给  $\overline{\text{RESET}}$  引脚输入至少  $2\mu\text{s}$  的“L”电平
2. 给  $\overline{\text{RESET}}$  引脚输入“H”电平

●在上电时

1. 给  $\overline{\text{RESET}}$  引脚输入“L”电平
2. 使电源电压上升到  $2.7\text{V}$
3. 等待  $t_d(\text{P-R})$  时间，直到内部电源稳定
4. 给  $\overline{\text{RESET}}$  引脚输入“H”电平

QzROM 版在  $\overline{\text{RESET}}$  引脚从“L”电平变为“H”电平时，判断 OSCSEL 引脚的输入电平。

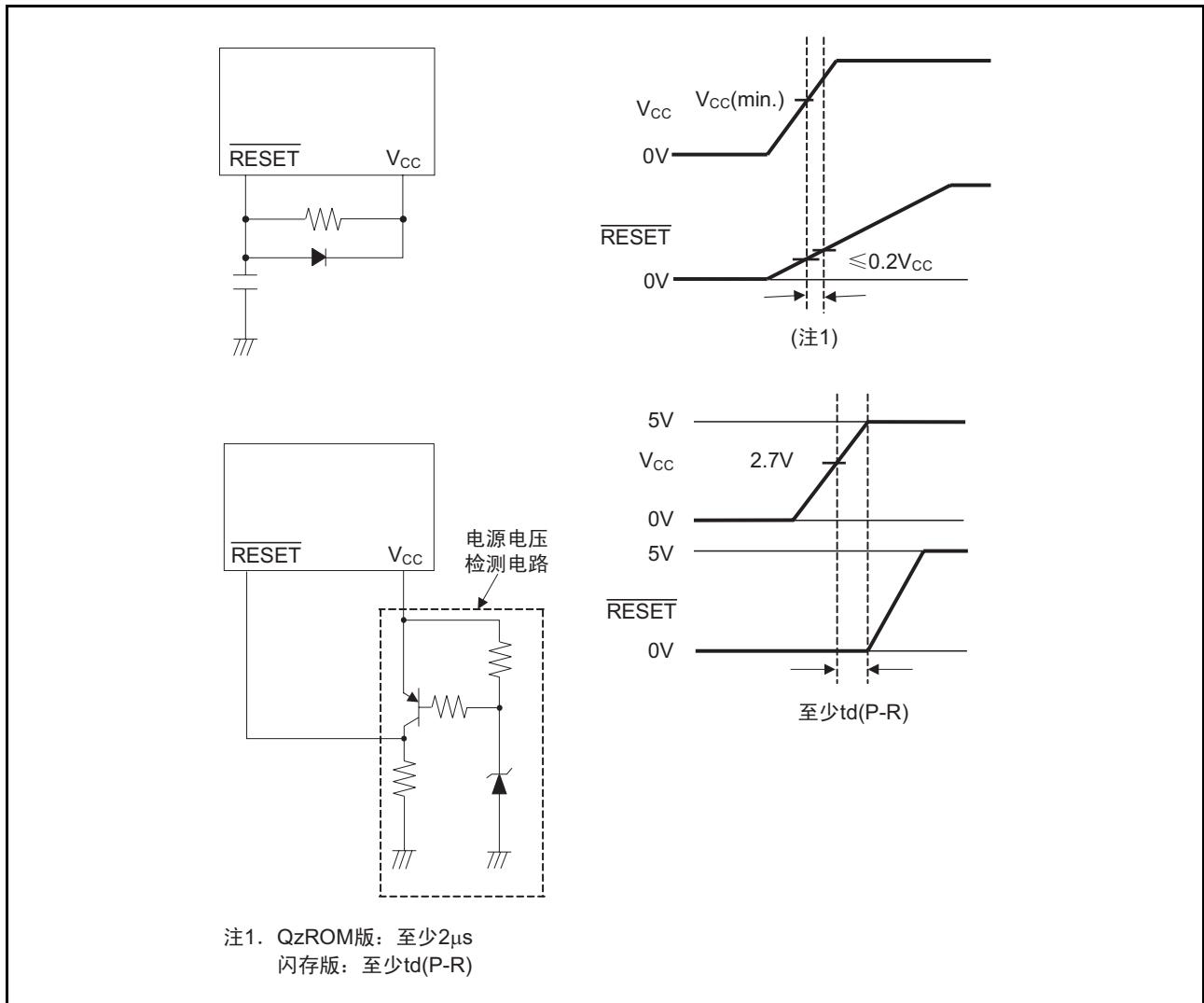


图 57 复位电路图

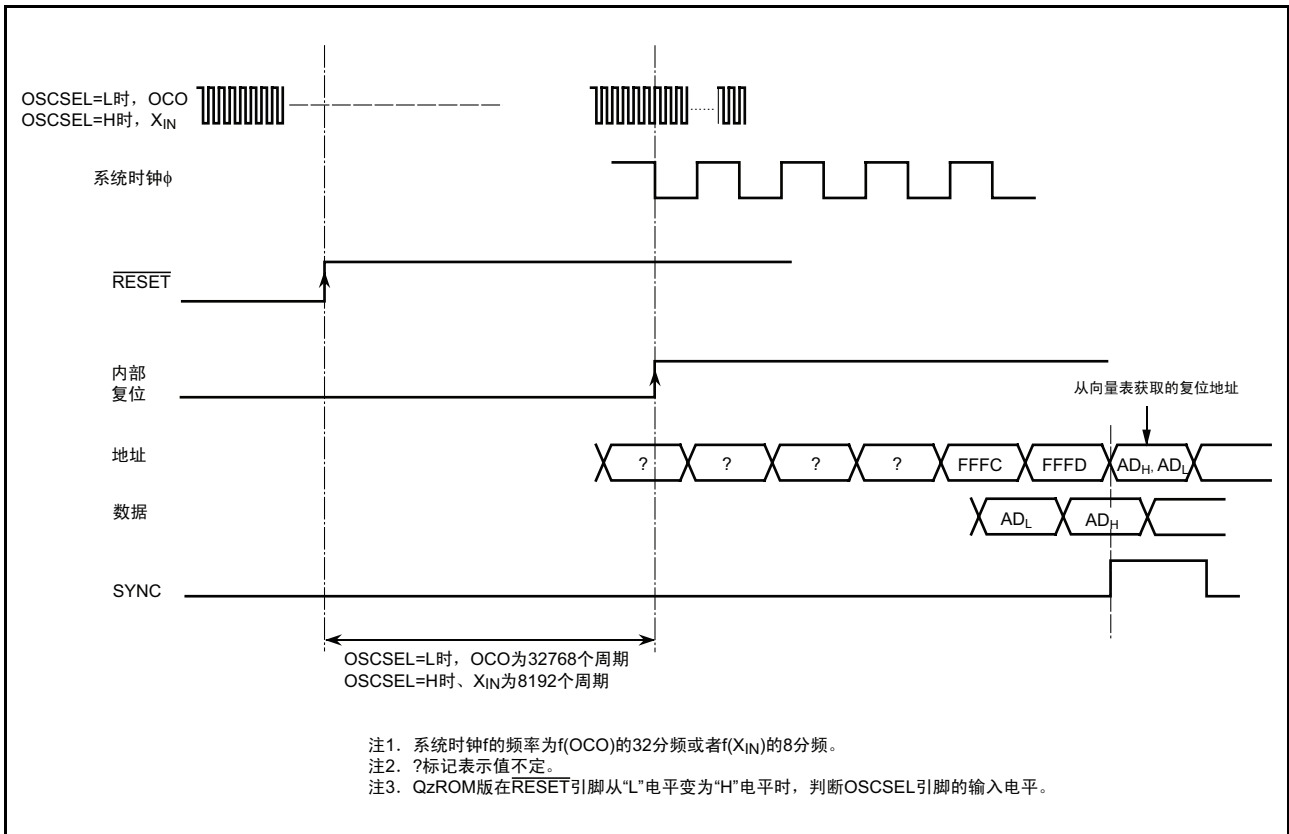


图 58 复位时的时序图

	地址	寄存器的内容		地址	寄存器的内容
(1) 端口P0	0000 <sub>16</sub>	00 <sub>16</sub>	(36) 定时器X(低位)	002A <sub>16</sub>	FF <sub>16</sub>
(2) 端口P0方向寄存器	0001 <sub>16</sub>	00 <sub>16</sub>	(37) 定时器X(高位)	002B <sub>16</sub>	FF <sub>16</sub>
(3) 端口P1	0002 <sub>16</sub>	00 <sub>16</sub>	(38) 定时器X(扩展)	002C <sub>16</sub>	00 <sub>16</sub>
(4) 端口P1方向寄存器	0003 <sub>16</sub>	00 <sub>16</sub>	(39) 定时器X的模式寄存器	002D <sub>16</sub>	00 <sub>16</sub>
(5) 端口P2	0004 <sub>16</sub>	00 <sub>16</sub>	(40) 定时器X的控制寄存器1	002E <sub>16</sub>	00 <sub>16</sub>
(6) 端口P2方向寄存器	0005 <sub>16</sub>	00 <sub>16</sub>	(41) 定时器X的控制寄存器2	002F <sub>16</sub>	00 <sub>16</sub>
(7) 端口P3	0006 <sub>16</sub>	00 <sub>16</sub>	(42) 比较寄存器1(低位)	0030 <sub>16</sub>	00 <sub>16</sub>
(8) 端口P3方向寄存器	0007 <sub>16</sub>	00 <sub>16</sub>	(43) 比较寄存器1(高位)	0031 <sub>16</sub>	00 <sub>16</sub>
(9) 端口P4	0008 <sub>16</sub>		(44) 比较寄存器2(低位)	0032 <sub>16</sub>	00 <sub>16</sub>
(10) 端口P4方向寄存器	0009 <sub>16</sub>	00 <sub>16</sub>	(45) 比较寄存器2(高位)	0033 <sub>16</sub>	00 <sub>16</sub>
(11) 端口P5	000A <sub>16</sub>	00 <sub>16</sub>	(46) 比较寄存器3(低位)	0034 <sub>16</sub>	00 <sub>16</sub>
(12) 端口P5方向寄存器	000B <sub>16</sub>	00 <sub>16</sub>	(47) 比较寄存器3(高位)	0035 <sub>16</sub>	00 <sub>16</sub>
(13) 端口P6	000C <sub>16</sub>	00 <sub>16</sub>	(48) 定时器Y(低位)	0036 <sub>16</sub>	FF <sub>16</sub>
(14) 端口P6方向寄存器	000D <sub>16</sub>	00 <sub>16</sub>	(49) 定时器Y(高位)	0037 <sub>16</sub>	FF <sub>16</sub>
(15) 端口P7	000E <sub>16</sub>	00 <sub>16</sub>	(50) 定时器Y的模式寄存器	0038 <sub>16</sub>	00 <sub>16</sub>
(16) 端口P7方向寄存器	000F <sub>16</sub>	00 <sub>16</sub>	(51) 定时器Y的控制寄存器	0039 <sub>16</sub>	00 <sub>16</sub>
(17) CPU模式寄存器2	0011 <sub>16</sub>	0 0 0 0 0 0 0 0 *	(52) 中断沿选择寄存器	003A <sub>16</sub>	00 <sub>16</sub>
(18) RRF寄存器 (RRFR)	0012 <sub>16</sub>	00 <sub>16</sub>	(53) CPU模式寄存器	003B <sub>16</sub>	* 1 * 0 0 0 0 0 0
(19) LCD模式寄存器1	0013 <sub>16</sub>	00 <sub>16</sub>	(54) 中断请求寄存器1	003C <sub>16</sub>	00 <sub>16</sub>
(20) LCD模式寄存器2	0014 <sub>16</sub>	00 <sub>16</sub>	(55) 中断请求寄存器2	003D <sub>16</sub>	00 <sub>16</sub>
(21) AD控制寄存器	0015 <sub>16</sub>	08 <sub>16</sub>	(56) 中断控制寄存器1	003E <sub>16</sub>	00 <sub>16</sub>
(22) 串行I/O1状态寄存器	0019 <sub>16</sub>	1 0 0 0 0 0 0 0	(57) 中断控制寄存器2	003F <sub>16</sub>	00 <sub>16</sub>
(23) 串行I/O1控制寄存器	001A <sub>16</sub>	00 <sub>16</sub>	(58) PULL寄存器1	0FF0 <sub>16</sub>	00 <sub>16</sub>
(24) UART控制寄存器	001B <sub>16</sub>	1 1 1 0 0 0 0 0	(59) PULL寄存器2	0FF1 <sub>16</sub>	00 <sub>16</sub>
(25) 串行I/O2控制寄存器	001D <sub>16</sub>	00 <sub>16</sub>	(60) PULL寄存器3	0FF2 <sub>16</sub>	00 <sub>16</sub>
(26) 定时器1	0020 <sub>16</sub>	FF <sub>16</sub>	(61) 时钟输出控制寄存器	0FF3 <sub>16</sub>	00 <sub>16</sub>
(27) 定时器2	0021 <sub>16</sub>	01 <sub>16</sub>	(62) 段输出禁止寄存器0	0FF4 <sub>16</sub>	FF <sub>16</sub>
(28) 定时器3	0022 <sub>16</sub>	FF <sub>16</sub>	(63) 段输出禁止寄存器1	0FF5 <sub>16</sub>	FF <sub>16</sub>
(29) 定时器4	0023 <sub>16</sub>	FF <sub>16</sub>	(64) 段输出禁止寄存器2	0FF6 <sub>16</sub>	0F <sub>16</sub>
(30) PWM01寄存器	0024 <sub>16</sub>	00 <sub>16</sub>	(65) 键输入控制寄存器	0FF7 <sub>16</sub>	00 <sub>16</sub>
(31) 定时器12的模式寄存器	0025 <sub>16</sub>	00 <sub>16</sub>	(66) ROM校正地址1高位(高位)	0FF8 <sub>16</sub>	00 <sub>16</sub>
(32) 定时器34的模式寄存器	0026 <sub>16</sub>	00 <sub>16</sub>	(67) ROM校正地址1低位(低位)	0FF9 <sub>16</sub>	00 <sub>16</sub>
(33) 定时器1234的模式寄存器	0027 <sub>16</sub>	00 <sub>16</sub>	(68) ROM校正地址2高位(高位)	0FFA <sub>16</sub>	00 <sub>16</sub>
(34) 定时器1234的分频选择寄存器	0028 <sub>16</sub>	00 <sub>16</sub>	(69) ROM校正地址2低位(低位)	0FFB <sub>16</sub>	00 <sub>16</sub>
(35) 看门狗定时器的控制寄存器	0029 <sub>16</sub>	0 0 0 0 1 1 1 1	(70) ROM校正允许寄存器	0FFC <sub>16</sub>	00 <sub>16</sub>
			(71) 处理器的状态寄存器 (PS)		x   x   x   x   x   1   x   x
			(72) 程序计数器 (PC <sub>H</sub> )		地址FFFD <sub>16</sub> 的内容
			(PC <sub>L</sub> )		地址FFFC <sub>16</sub> 的内容

注. \*: 为不定。  
 \*: QzROM版由OSCSEL的设置决定。  
 闪存版: CPU模式寄存器2(地址0011<sub>16</sub>)为"00<sub>16</sub>".  
 CPU模式寄存器(地址003B<sub>16</sub>)为"E0<sub>16</sub>".  
 上述以外的寄存器及RAM的内容在复位时为不定, 必须设定初始值。

图 59 复位时的内部状态

## 时钟发生电路

能通过在主时钟 X<sub>IN</sub>-X<sub>OUT</sub> 的引脚之间和副时钟 X<sub>CIN</sub>-X<sub>COU</sub>T 的引脚之间连接谐振器、电容和电阻等，形成振荡电路。

在由外部提供时钟的情况下，将时钟输入到 X<sub>IN</sub> 引脚并将 X<sub>OUT</sub> 引脚置为开路，而不能将时钟从外部输入到 X<sub>CIN</sub>。由于振荡电路的各常数因谐振器而不同，所以请使用谐振器厂家的推荐值。

在 X<sub>IN</sub>-X<sub>OUT</sub> 的引脚之间内置了反馈电阻（根据条件，有时需要外接反馈电阻）。因为在 X<sub>CIN</sub>-X<sub>COU</sub>T 之间没有内置反馈电阻，所以必须附加 10MΩ 左右的反馈电阻。

QzROM 群根据 OSCSEL 引脚的状态决定复位后的运行模式。

如果将 OSCSEL 引脚置为 GND 电平，就只有内部振荡器开始振荡。X<sub>IN</sub>-X<sub>OUT</sub> 的振荡为停止状态，X<sub>CIN</sub>-X<sub>COU</sub>T 引脚用作输入 / 输出端口，运行模式为内部振荡器模式。闪存版也同样如此。

如果将 OSCSEL 引脚置为 V<sub>CC</sub> 电平，就只有 X<sub>IN</sub>-X<sub>OUT</sub> 开始振荡。内部振荡器为停止状态，X<sub>CIN</sub>-X<sub>COU</sub>T 引脚用作输入 / 输出端口，运行模式为 8 分频模式。

另外，在各个模式时，必须注意以下事项：

- X<sub>IN</sub> 模式  
即使将 X<sub>IN</sub>-X<sub>OUT</sub> 振荡停止位置 “1”，X<sub>IN</sub>-X<sub>OUT</sub> 的振荡也不停止。
- 低速模式  
如果将端口 X<sub>C</sub> 转换位置 “0”，X<sub>CIN</sub>-X<sub>COU</sub>T 的振荡就停止。
- 内部振荡器模式  
即使将内部振荡器停止位置 “1”，内部振荡器在闪存版时也不停止振荡，而在 QzROM 版时停止振荡。

### ● 运行模式

#### (1) 内部振荡器模式

系统时钟 φ 为内部振荡器振荡的 32 分频时钟。

#### (2) X<sub>IN</sub> 模式

将 2 分频模式、4 分频模式和 8 分频模式统称为 X<sub>IN</sub> 模式。

- 8 分频模式  
系统时钟 φ 为 X<sub>IN</sub> 输入的 8 分频信号。
- 4 分频模式  
系统时钟 φ 为 X<sub>IN</sub> 输入的 4 分频信号。
- 2 分频模式  
系统时钟 φ 为 X<sub>IN</sub> 输入的 2 分频信号。

#### (3) 低速模式

系统时钟 φ 为副时钟振荡的 2 分频信号。

有关复位解除后的运行模式以及从停止状态返回后的运行模式，在闪存版时取决于内部振荡器模式，而在 QzROM 版时取决于 OSCSEL 引脚的状态。在 RESET 引脚从 “L” 电平变为 “H” 电平以及执行 STP 指令时，判断 OSCSEL 引脚的输入电平。

各模式的转移步骤必须遵循系统时钟的状态转移图。

X<sub>IN</sub>-X<sub>OUT</sub> 之间的振荡和副时钟的振荡分别由 CPUM 的 bit5 和 bit4 控制，内部振荡器的振荡由 CPUM2 的 bit0 控制。在内部振荡器模式中，能停止振荡器的振荡；在低速模式中，能停止 X<sub>IN</sub>-X<sub>OUT</sub> 之间的振荡，降低消耗电流。在低速模式时，QzROM 版与内部振荡器停止位的值无关，停止内部振荡器的振荡。但是，闪存版不停止振荡，所以必须将内部振荡器停止位置 “1”，停止内部振荡器的振荡。在从这些模式重新开始已停止的振荡以及转换运行模式时，必须通过程序生成重新开始后的振荡稳定等待时间，在振荡充分稳定后进行运行模式的转换。在转换定时器的计数源时，也必须在振荡充分稳定后进行。

## ■ 注意事项

在进行内部振荡器模式、XIN 模式和低速模式之间的转移时，XIN 和 XCIN 都需要处于振荡稳定状态，在刚接通电源后或者从停止模式返回时要特别注意。模式之间的转移必须遵循系统时钟的状态转移图，另外  $f(XIN)$  必须至少为  $f(XCIN)$  的 3 倍的频率。

当不使用 XIN 模式（不进行 XIN-XOUT 之间的振荡以及 XIN 的外部时钟输入）时，必须通过电阻将 XIN 连接到 VCC。

## ● 振荡的控制

### (1) 停止模式

如果执行 STP 指令，系统时钟  $\phi$  就在“H”电平的状态下停止，并且主时钟和副时钟停止振荡。此时，自动将预先设定在定时器 1 锁存器和定时器 2 锁存器中的值装入定时器 1 和定时器 2。因此，必须在执行 STP 指令前将生成振荡稳定等待时间的值 \* 写到定时器 1 和定时器 2 的锁存器（给定时器 1 和定时器 2 分别设定低 8 位和高 8 位）。将定时器 1 的分频器强制连接到定时器 1 的计数源，并将定时器 1 的输出强制连接到定时器 2。此时，定时器 12 的模式寄存器除了 bit7 和 bit6 以外，全部被清“0”，定时器 12 的分频选择寄存器的值不变。必须在执行 STP 指令前将定时器 1 和定时器 2 的中断允许位设定为禁止状态（“0”）。

\* 参考值（必须根据所使用的谐振器和系统决定）

- 当闪存版和 QzROM 版的 OSCSEL=L 时 ..... 不低于  $0005_{16}$
- 当 QzROM 版的 OSCSEL=H 时 ..... 不低于  $01FF_{16}$

如果接受外部中断请求，QzROM 版就根据 OSCSEL 引脚状态设定的时钟开始振荡，并且返回时的运行模式由 OSCSEL 引脚的状态决定，CPUM 的 bit3、5、6、7 和 CPUM2 的 bit0 根据 OSCSEL 引脚的状态被强制改变。闪存版开始内部振荡器的振荡，并且返回时的运行模式为内部振荡器模式，强制将 CPUM 的 bit3 改为“0”，bit5、6、7 改为“1”，CPUM2 的 bit0 改为“0”。

在定时器 2 发生下溢后，给 CPU 提供系统时钟  $\phi$ ，但是在将系统时钟从内部振荡器转换到主时钟或者副时钟时，必须通过程序生成各自的振荡稳定等待时间，在振荡充分稳定后进行转换。

### (2) 等待模式

如果执行 WIT 指令，只有系统时钟  $\phi$  在“H”电平的状态下停止。此时，主时钟、内部振荡器以及副时钟处于和执行 WIT 指令前相同的状态，不停止振荡。由于在刚接受中断后就开始提供系统时钟  $\phi$ ，所以能立即执行指令。

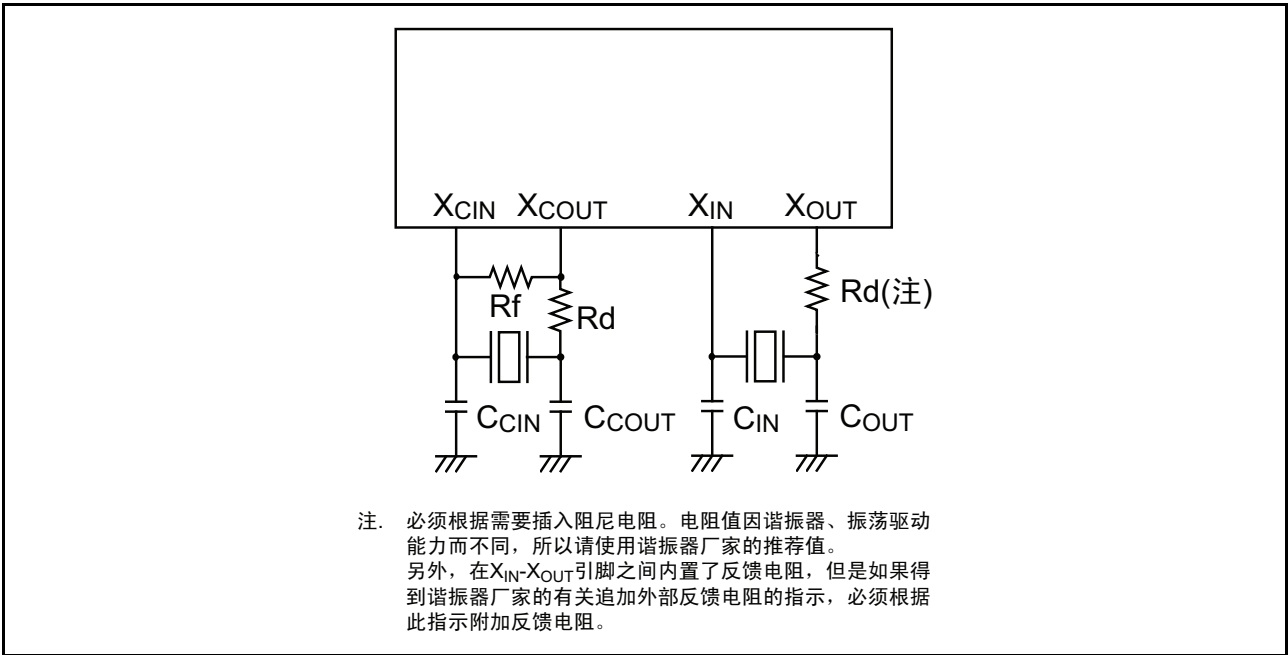


图 60 外接陶瓷谐振器的电路例

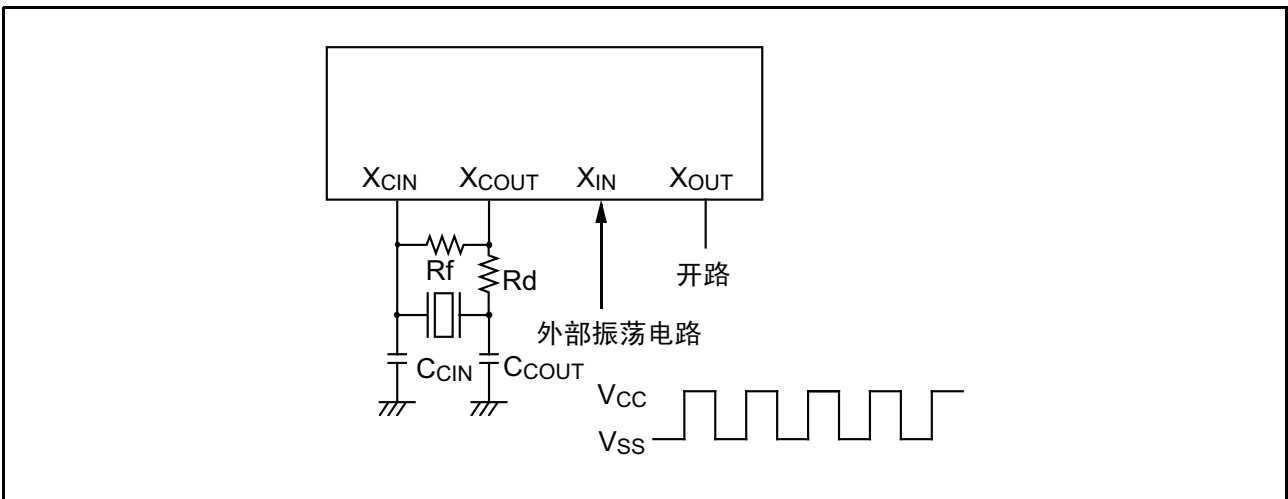


图 61 外部时钟的输入电路

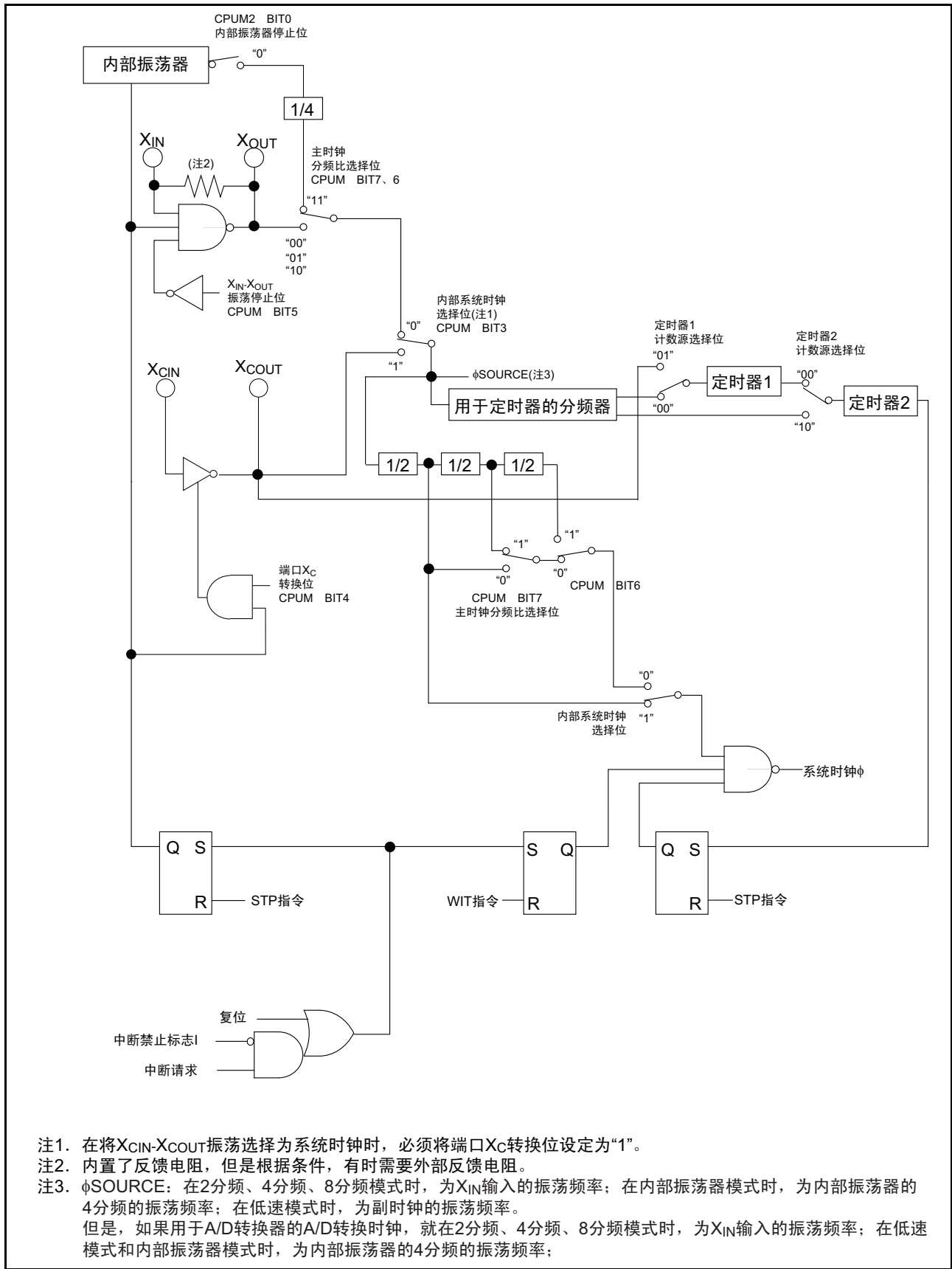


图 62 时钟发生电路的框图

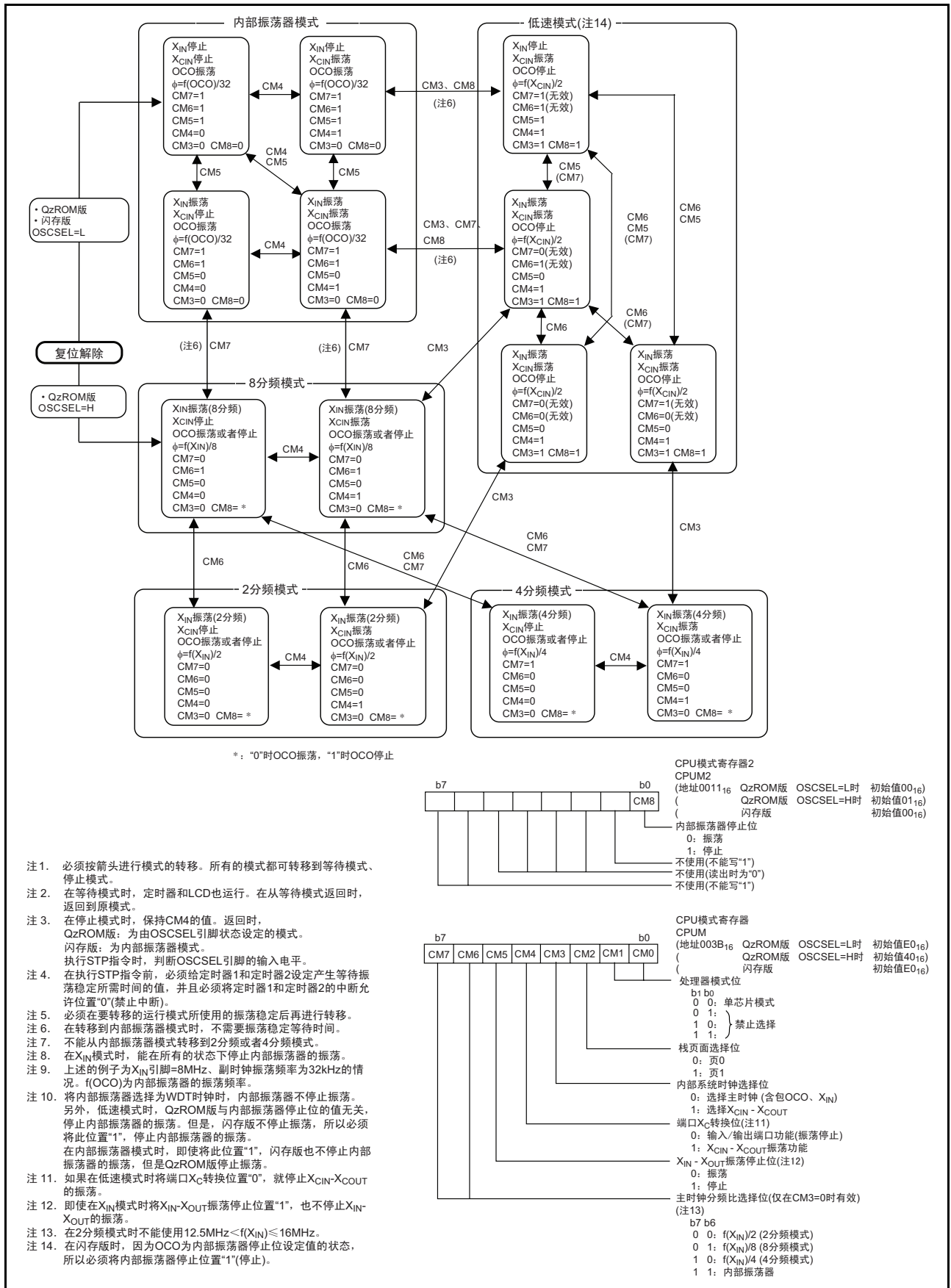


图 63 系统时钟的状态转移图

## QzROM 编程模式

在 QzROM 编程模式中，能使用与本单片机对应的串行编程器，在单片机安装在电路板的状态下对用户 ROM 区进行编程。

引脚的功能说明（QzROM 编程模式）如表 14 所示，引脚连接图如图 64 和图 65 所示。

与串行编程器连接的例子请参照电路板上引脚处理的例子（图 66 和图 69）。有关串行编程器请向各厂家询问，有关串行编程器的操作方法请参照串行编程器的用户手册。

表 14 引脚的功能说明（QzROM 编程模式）

引脚名	名称	输入 / 输出	功能
V <sub>CC</sub> 、V <sub>SS</sub>	电源输入	输入	必须给 V <sub>CC</sub> 外加 2.7 ~ 5.5V、给 V <sub>SS</sub> 外加 0V。
$\overline{\text{RESET}}$	复位输入	输入	是复位输入引脚。 如果至少保持 16 个 X <sub>IN</sub> 的周期的“L”电平，就进入复位状态。
X <sub>IN</sub>	时钟输入	输入	必须进行和单芯片模式相同的引脚处理。
X <sub>OUT</sub>	时钟输出	输出	
V <sub>REF</sub>	基准电压输入	输入	必须输入 A/D 转换器的基准电压。
AV <sub>SS</sub>	模拟电源输入	输入	必须连接到 V <sub>SS</sub> 。
P <sub>00</sub> ~ P <sub>07</sub> P <sub>10</sub> ~ P <sub>17</sub> P <sub>20</sub> ~ P <sub>27</sub> P <sub>30</sub> ~ P <sub>37</sub> P <sub>40</sub> 、 P <sub>44</sub> ~ P <sub>47</sub> P <sub>50</sub> ~ P <sub>57</sub> P <sub>60</sub> ~ P <sub>67</sub> P <sub>72</sub> ~ P <sub>74</sub>	输入 / 输出端口	输入 / 输出	必须输入“H”电平或者“L”电平，或者置为开路。
P <sub>70</sub> 、P <sub>71</sub>	输入端口	输入	必须输入“H”电平或者“L”电平，或者置为开路。
OSCSEL	V <sub>PP</sub> 输入	输入	是 QzROM 的电源输入引脚。
P <sub>41</sub>	ESDA 输入	输入 / 输出	是串行数据的输入 / 输出引脚。
P <sub>42</sub>	ESCLK 输入	输入	是串行时钟的输入引脚。
P <sub>43</sub>	ESPGMB 输入	输入	是读 / 编程脉冲信号的输入引脚。

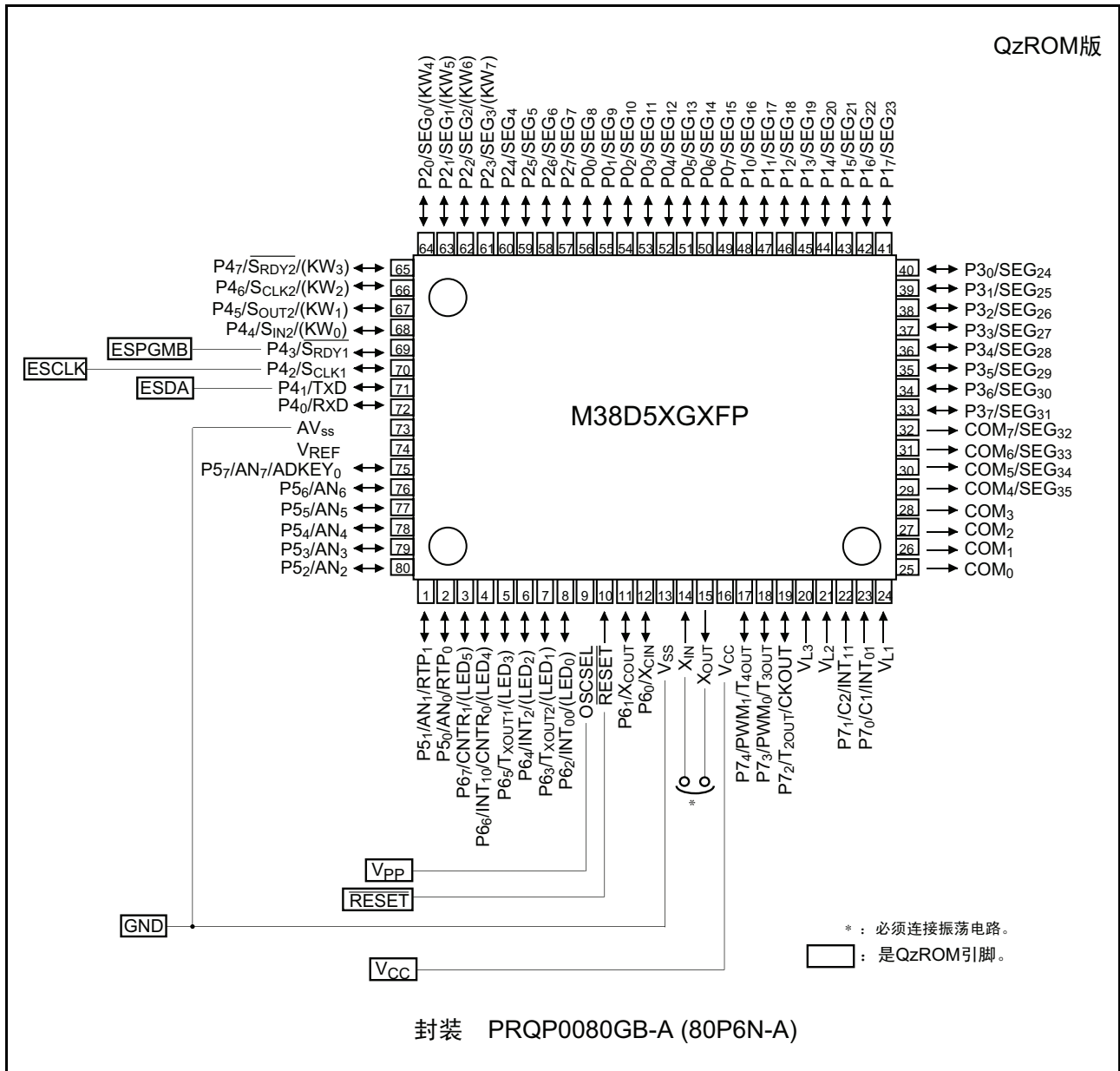


图 64 引脚连接图 (M38D5XGXFP)

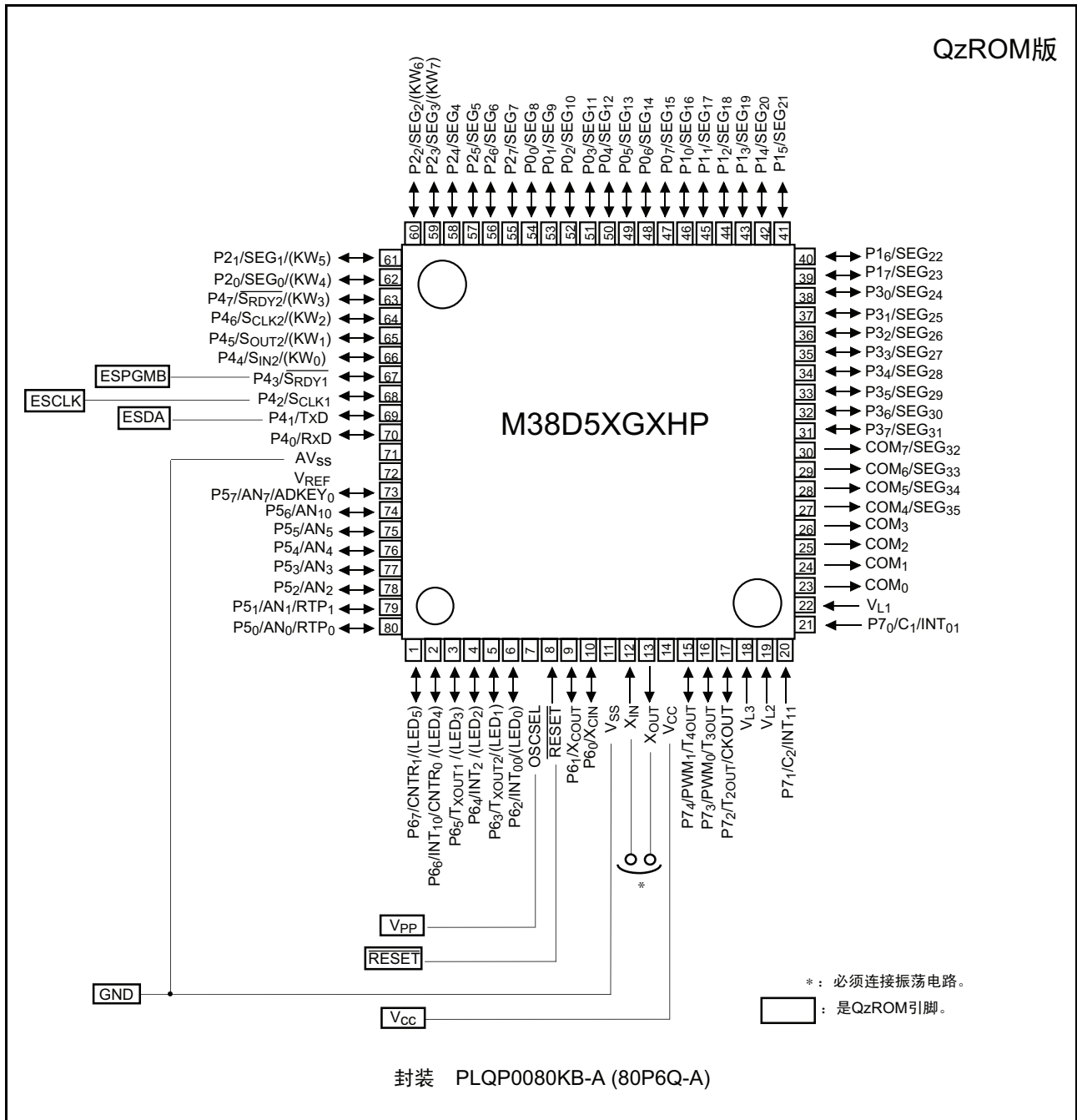


图 65 引脚连接图 (M38D5XGXHP)

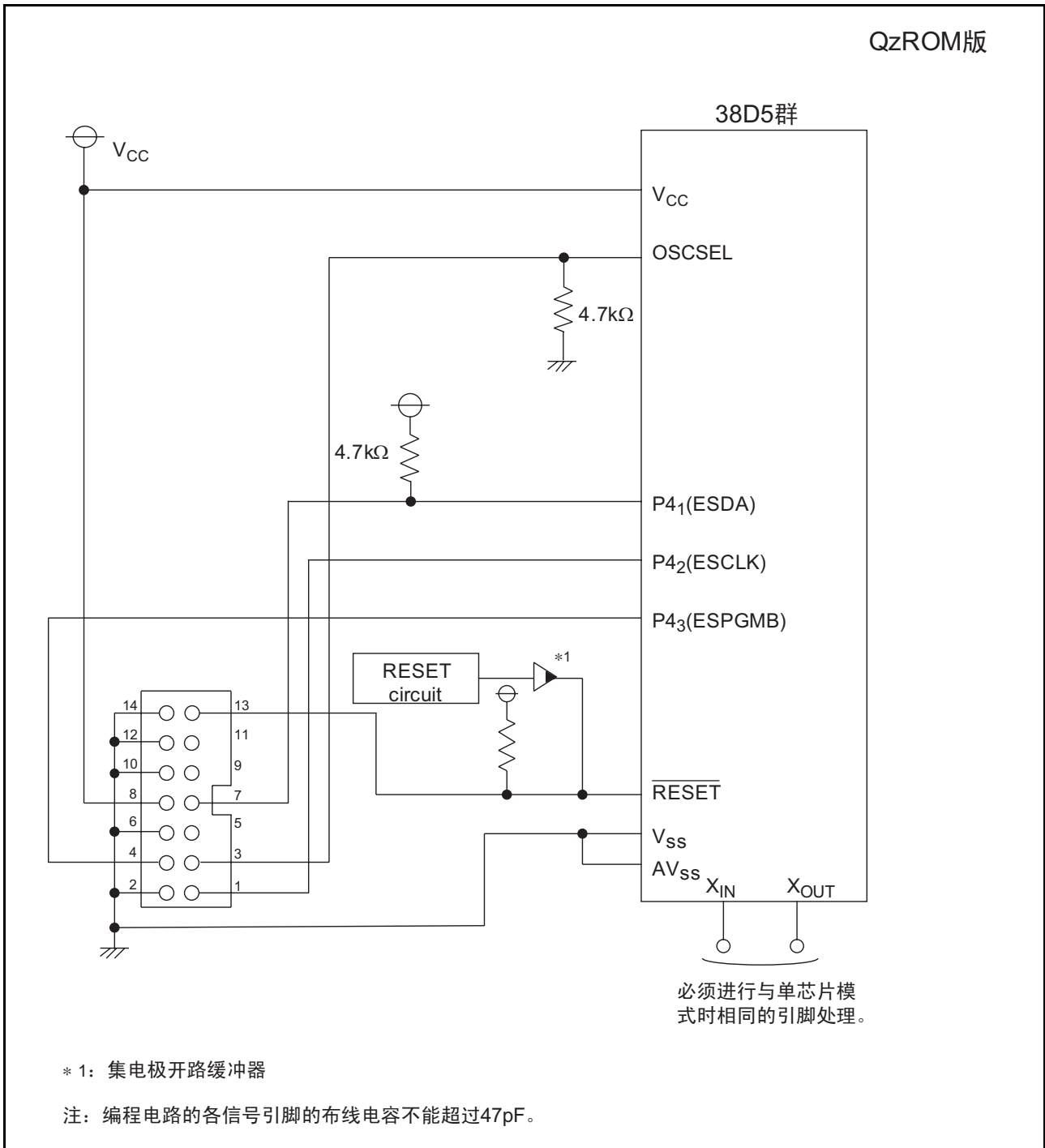


图 66 使用 E8 编程器时的电路板上引脚处理的例子 1 (OSCSEL= “L” 电平的系统例)

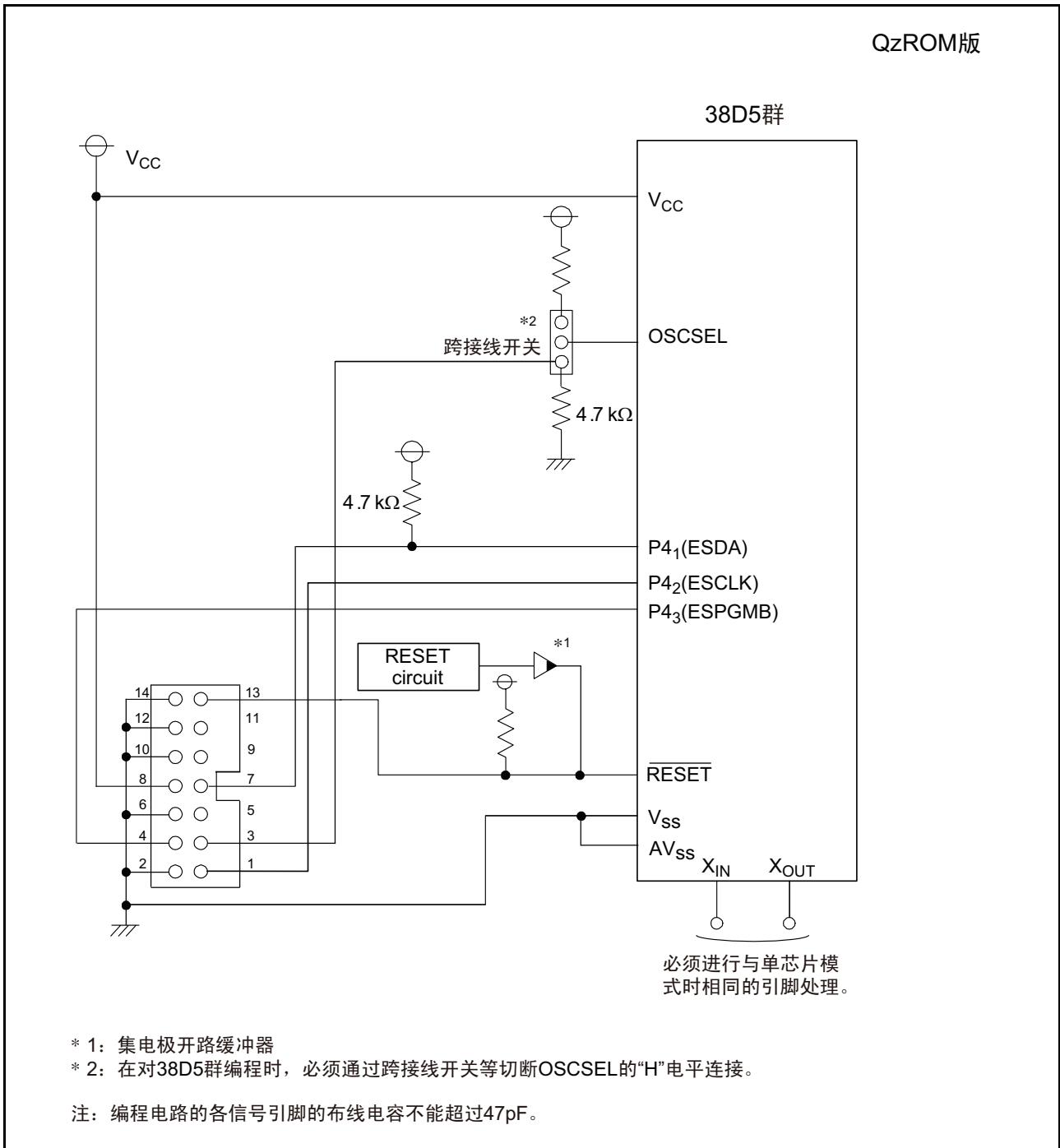


图 67 使用 E8 编程器时的电路板上引脚处理的例子 2 (OSCSEL= “H” 电平的系统例)

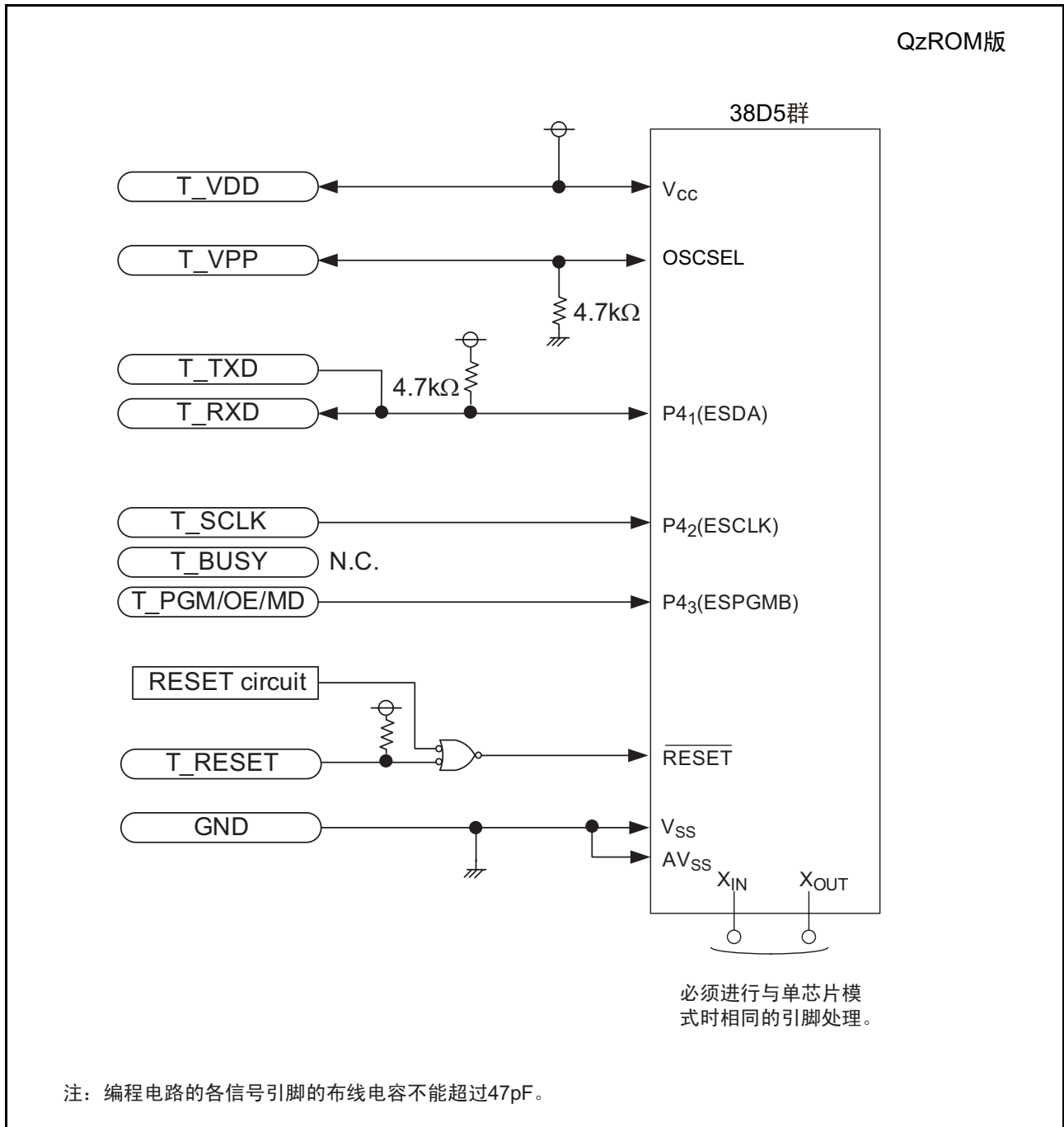


图 68 使用彗星电子系统公司产的编程器时的电路板上引脚处理的例子 1 (OSCSEL=“L”电平的系统例)

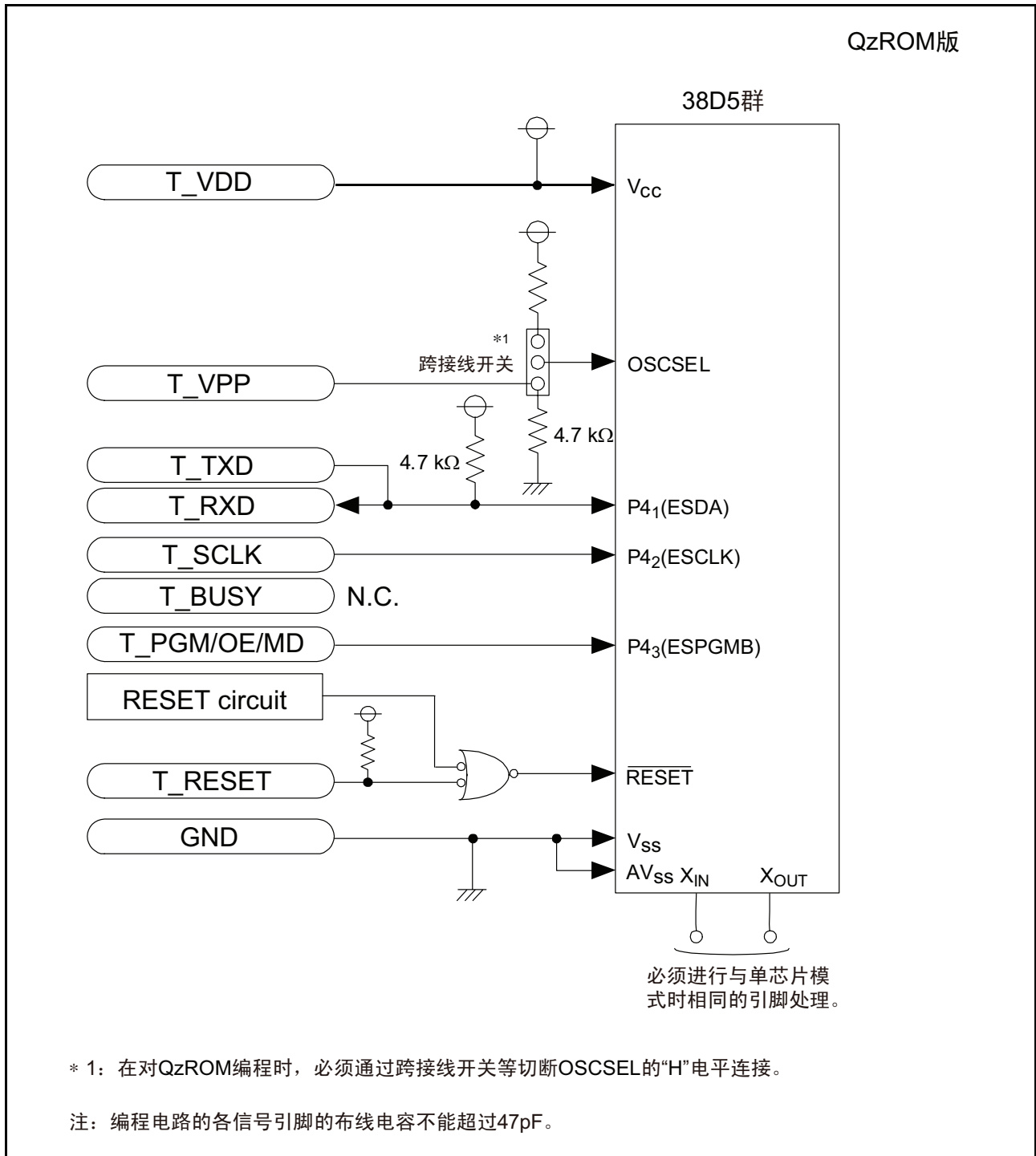


图 69 使用彗星电子系统公司产的编程器时的电路板上引脚处理的例子 2 (OSCSEL= “H” 电平的系统例)

## 闪存模式

38D5 群闪存版内置了能用单电源改写的闪存。为了对闪存进行读、编程、擦除等操作，有 3 种闪存模式：用编程器进行闪存操作的并行输入 / 输出模式和标准串行输入 / 输出模式、以及通过中央运算处理器（CPU）进行闪存操作的 CPU 改写模式。本节将对各种模式进行说明。有关编程器，请向各生产厂家询问。另外，有关编程器的操作方法，请参照编程器的用户手册。

如图 70 所示，闪存被分成几块，能按各块擦除。

内置的闪存除了有保存通常单片机运行控制程序的用户 ROM 区以外，还有保存 CPU 改写模式和标准串行输入 / 输出模式时的改写控制程序的引导 ROM 区。发货时，虽然此引导 ROM 区存有标准串行输入 / 输出模式的控制程序，但是用户也能写入适合系统的改写控制程序。此引导 ROM 区只能在并行输入 / 输出模式进行改写。

### ●性能概要

闪存版的性能概要如表 15 所示。

表 15 闪存版的性能概要

项目		性能
电源电压		$V_{CC}=2.7V \sim 5.5V$
编程 / 擦除电压		$V_{CC}=2.7V \sim 5.5V$
闪存模式		3 种模式（并行输入 / 输出、标准串行输入 / 输出、CPU 改写）
擦除块分割	用户 ROM 区 / 数据 ROM 区	请参照图 70
	引导 ROM 区（注 1）	无分割（4K 字节）
编程方式		字节单位
擦除方式		块擦除
编程 / 擦除控制方式		通过软件命令控制编程 / 擦除
命令数		5 个命令
编程 / 擦除次数		100 次
ROM 码保护		支持并行输入 / 输出、标准串行输入 / 输出模式

【注】1. 发货时，引导 ROM 区中保存了标准串行输入 / 输出模式的控制程序。此区只能在并行输入 / 输出模式进行擦除和编程。

### ●引导模式

必须预先通过并行输入 / 输出模式，将 CPU 改写模式的控制程序写到用户 ROM 区或者引导 ROM 区（在对引导 ROM 区进行编程时，不能使用标准串行输入 / 输出模式）。

引导 ROM 区如图 70 所示。

在 CNV<sub>SS</sub> 引脚为“L”电平进行复位解除时，进入通常的单片机模式，CPU 使用用户 ROM 区的控制程序运行。

在 P4<sub>1</sub>/Tx<sub>D</sub> 引脚和 CNV<sub>SS</sub> 引脚都为“H”电平的状态下进行复位解除时，CPU 使用引导 ROM 区的控制程序开始运行（程序的开始地址保存在地址 FFFC<sub>16</sub>、地址 FFFD<sub>16</sub>）。此模式称为引导模式。引导 ROM 区中的控制程序也能改写用户 ROM 区。

### ●块地址

块地址为各块的最大地址，块擦除命令使用此地址。

## ● CPU 改写模式

CPU 改写模式通过中央运算处理器（CPU）的控制，对内部闪存进行操作（读、编程、擦除等）。

在 CPU 改写模式，只能改写如图 70 所示的用户 ROM 区，不能改写引导 ROM 区。编程、块擦除的命令只能用于用户 ROM 区和各块区域。

能将 CPU 改写模式的控制程序保存在用户 ROM 区或者引导 ROM 区。在 CPU 改写模式，由于不能从 CPU 读闪存，所以改写控制程序必须在传送到内部 RAM 后，在 RAM 中执行。

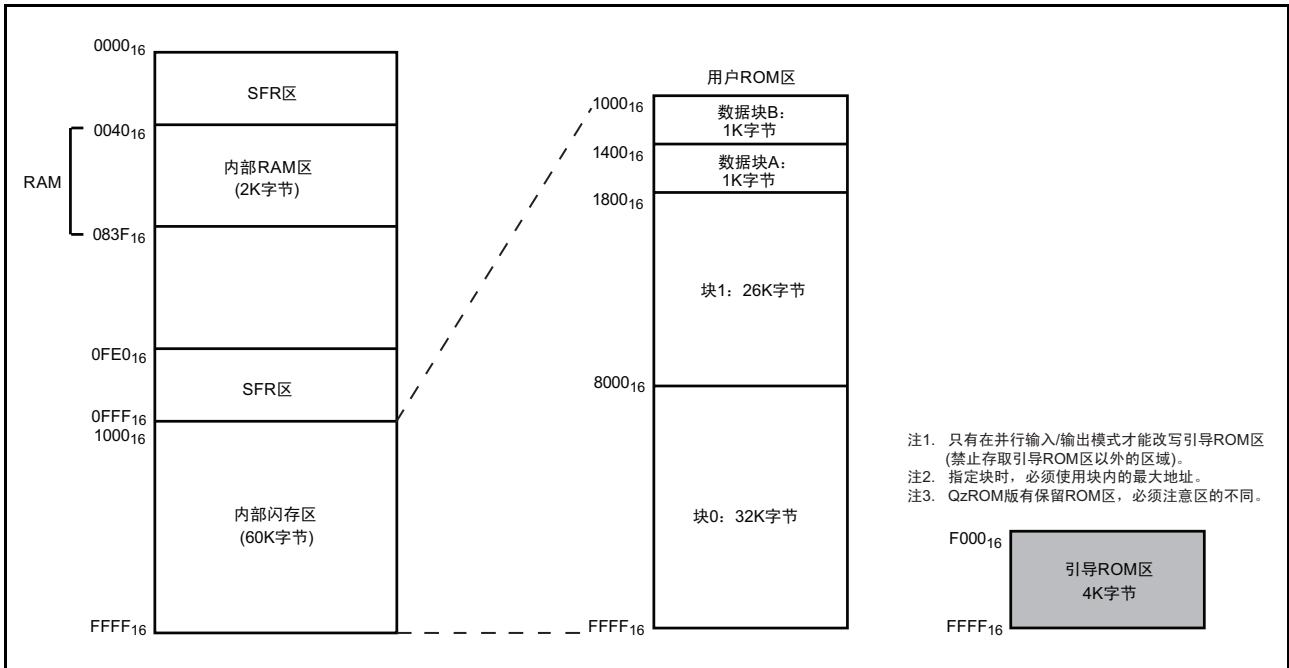


图 70 内部闪存框图

## ● 功能概要

CPU 改写模式能在单芯片模式和引导模式执行，并且只能改写用户 ROM 区。

在 CPU 改写模式，CPU 通过执行软件命令，对内部闪存进行擦除、编程、读等操作。此控制程序必须预先传送到 RAM，在 RAM 中执行。

通过将 CPU 改写模式选择位（地址 0FE0<sub>16</sub> 的 bit1）置“1”，转移到 CPU 改写模式，进入能接受软件命令的状态。

通过读取状态寄存器，能检查编程或者擦除的正常 / 错误结束等状态。

闪存控制寄存器 0 如图 71 所示。bit0 是 RY/BY 的状态标志，是表示闪存运行状况的只读位。在编程、擦除运行中为“0”（忙），否则为“1”（就绪）。

bit1 是 CPU 改写模式选择位。通过将此位置“1”，变为 CPU 改写模式，并且可接受软件命令。在 CPU 改写模式，CPU 不能直接存取内部闪存。因此，必须通过传送到 RAM 中的控制程序进行 bit1 的写操作。要将 bit1 置“1”时，必须对 bit1 连续写“0”和写“1”；要将 bit1 置“0”时，只需写“0”。

bit2 是用户块 1 的 E/W 允许位。如果此位和用户块 0 的 E/W 允许位（闪存控制寄存器 2（地址 0FE2<sub>16</sub>）的 bit4）进行组合，就能在 CPU 改写模式时禁止如表 16 所示的对用户块的 E/W。

bit3 是闪存复位位，用于对内部闪存控制电路的复位。在闪存的存取发生异常时使用。如果在 CPU 改写模式选择位为“1”的状态下将 bit3 置“1”，就进行复位。要解除复位时，必须写“0”。

bit5 是用户 ROM 区选择位，只在引导模式时有效。通过将此位置“1”，进入能存取用户 ROM 区的状态，并进行 CPU 改写。此位的操作必须通过 RAM 中的程序进行。

bit6 是编程状态标志，在闪存的编程发生异常结束时变为“1”。如果发生编程错误，就不能使用该块。

bit7 是擦除状态标志，在闪存的擦除发生异常结束时变为“1”。如果发生擦除错误，就不能使用该块。

闪存控制寄存器 1 如图 72 所示。bit0 是擦除挂起允许位。通过将此位置“1”，能使用擦除挂起模式来暂时中止块擦除命令执行中的擦除处理。要将 bit0 置“1”时，必须对 bit0 连续写“0”和写“1”；要将 bit0 置“0”时，只需写“0”。

bit1 是擦除挂起请求位。如果在擦除挂起允许位为“1”的状态下将此位置“1”，就中止擦除处理。

bit6 是擦除挂起标志，在擦除闪存时此位为“0”。

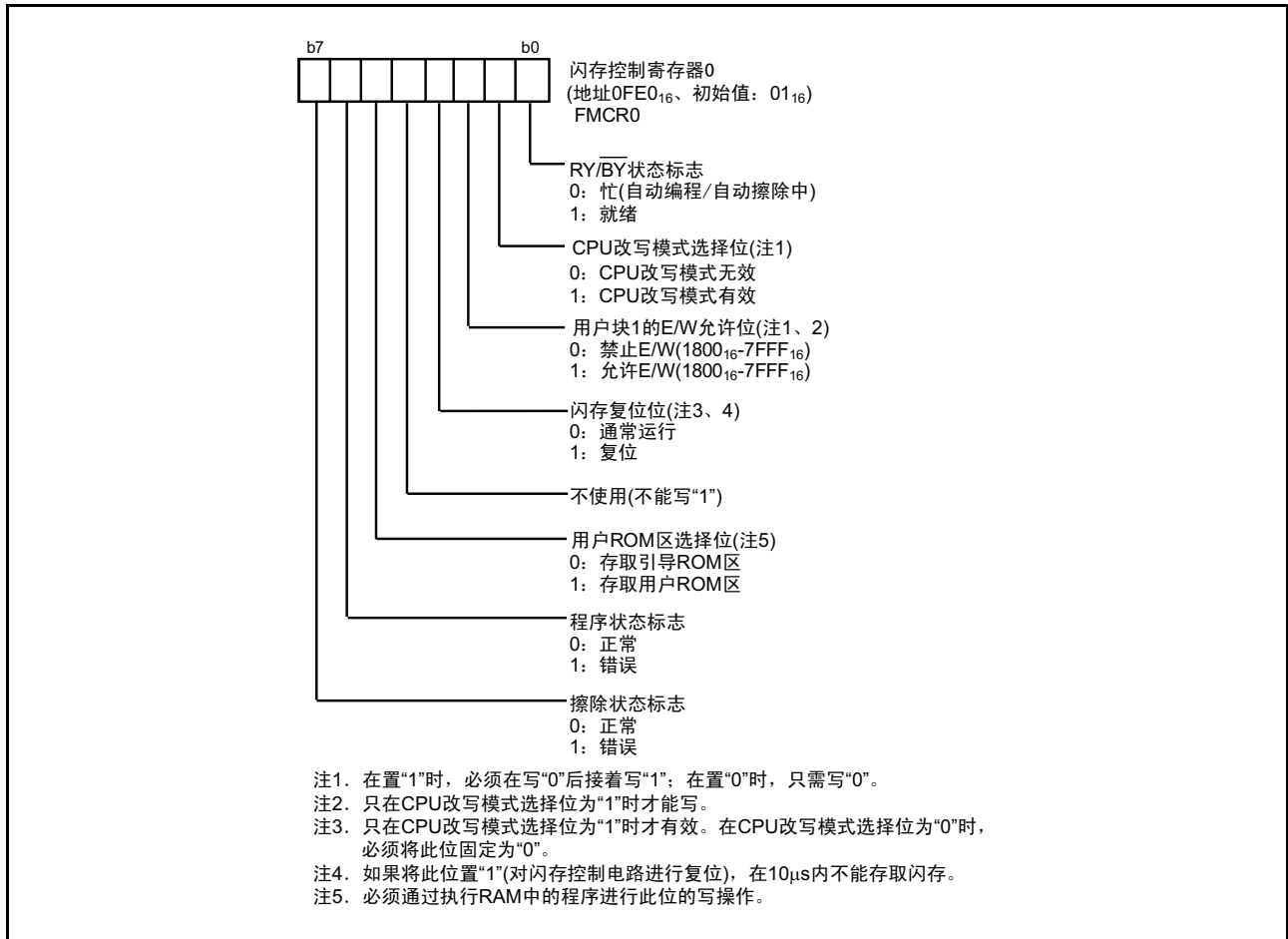


图 71 闪存控制寄存器 0 的结构

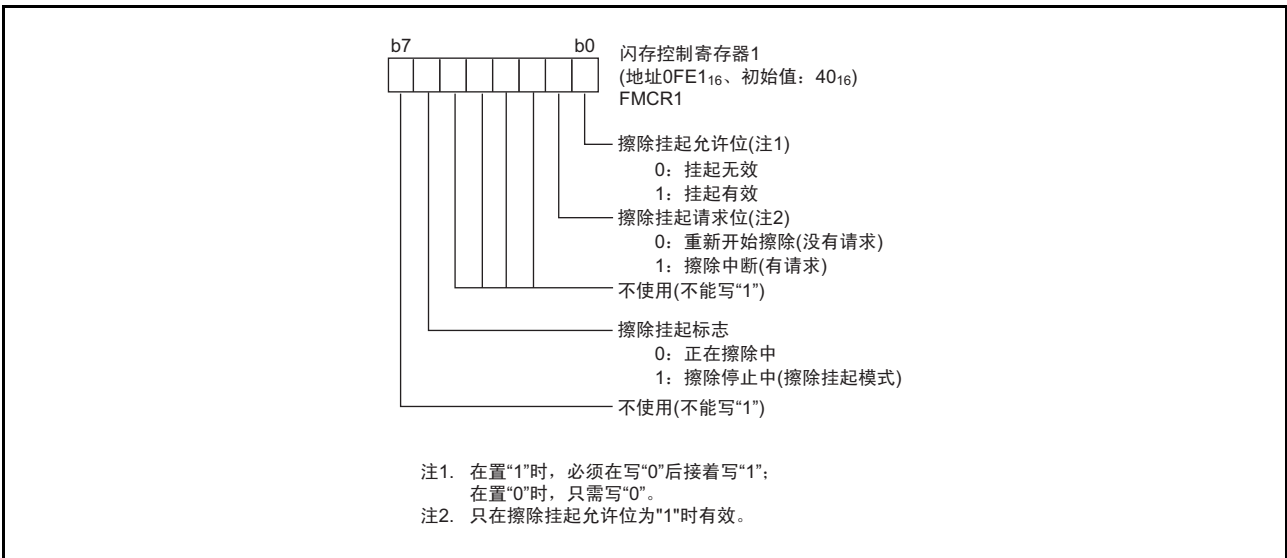


图 72 闪存控制寄存器 1 的结构

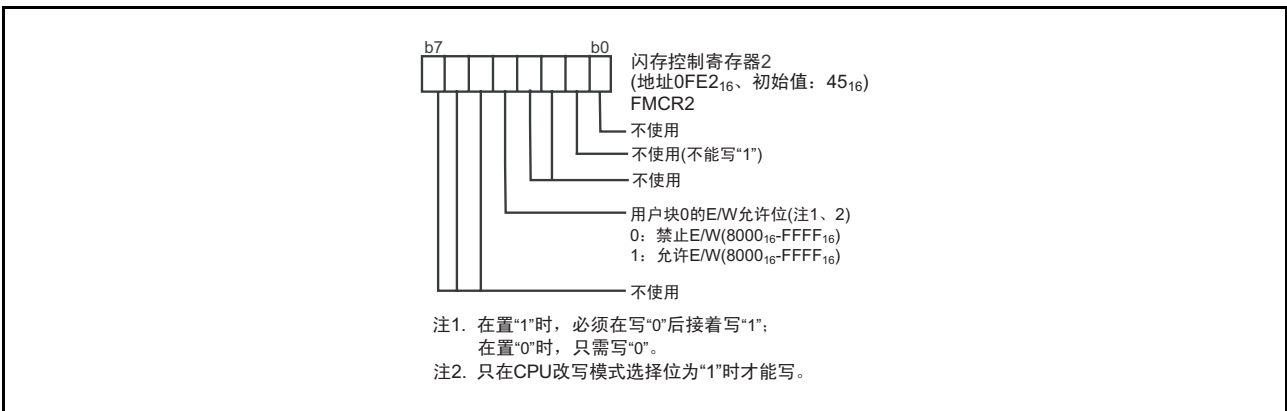


图 73 闪存控制寄存器 2 的结构

表 16 E/W 禁止功能的状态

用户块 0 E/W 允许位	用户块 1 E/W 允许位	用户块 0 8000 <sub>16</sub> ~ FFFF <sub>16</sub>	用户块 1 1800 <sub>16</sub> ~ 7FFF <sub>16</sub>	数据块 1000 <sub>16</sub> ~ 17FF <sub>16</sub>
0	0	禁止 E/W	禁止 E/W	允许 E/W
0	1	禁止 E/W	允许 E/W	允许 E/W
1	0	允许 E/W	禁止 E/W	允许 E/W
1	1	允许 E/W	允许 E/W	允许 E/W

CPU 改写模式的设定 / 解除流程图如图 74 所示。必须按照此流程图进行操作。

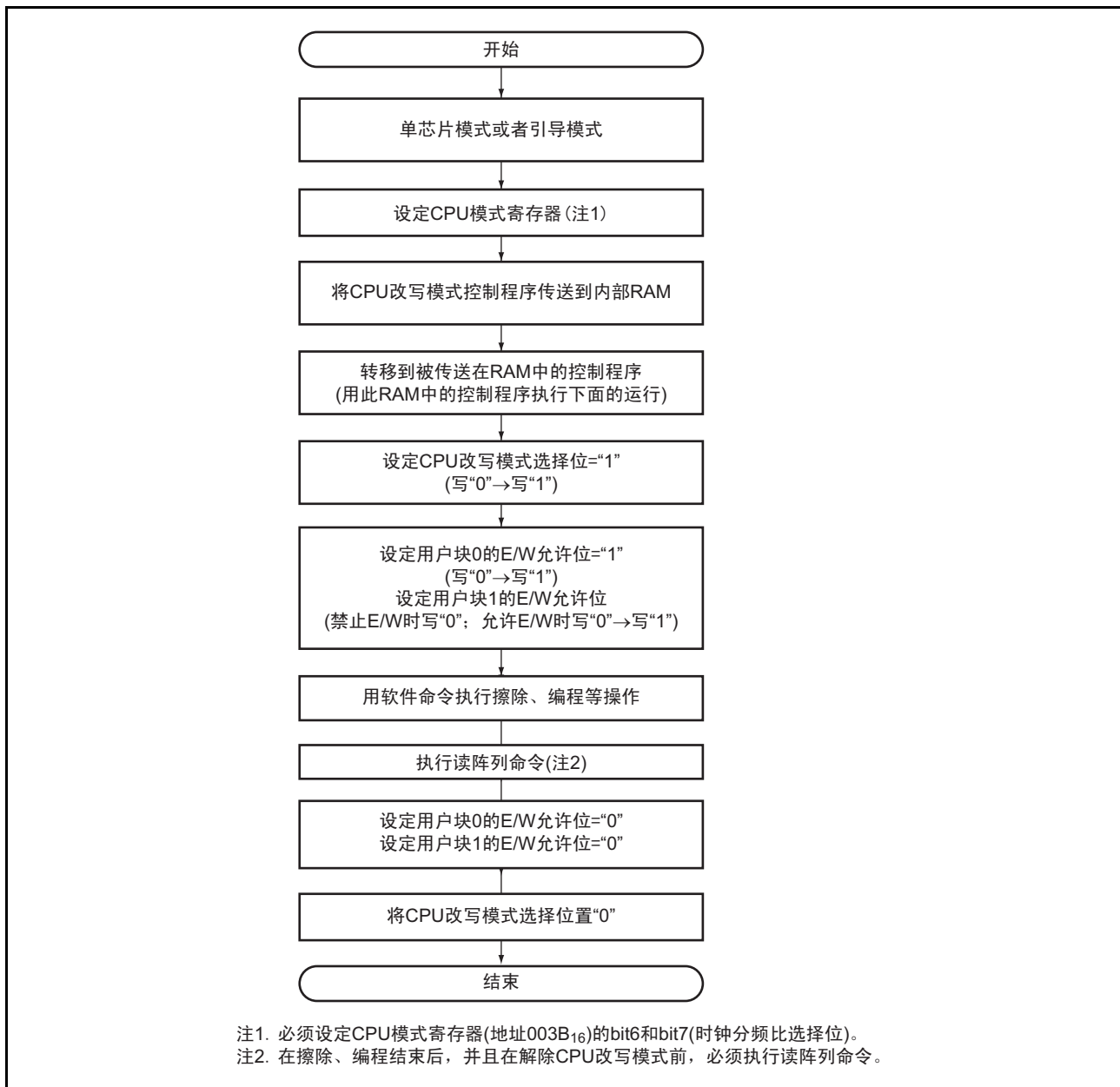


图 74 CPU 改写模式的设定 / 解除流程图

## ■ CPU 改写模式的注意事项

在使用 CPU 改写模式改写闪存的情况下，有以下注意事项：

### (1) 运行速度

在 CPU 改写模式中，必须通过主时钟分频比选择位（地址 003B<sub>16</sub> 的 bit6 和 bit7）设定系统时钟  $\phi$ ，并且使系统时钟  $\phi$  不超过 4.0MHz。

### (2) 使用禁止指令

在 CPU 改写模式中，不能使用访问闪存内部数据的指令。

### (3) 中断

在 CPU 改写模式中，由于访问闪存内部的数据，不能使用中断。

### (4) 看门狗定时器

在已经启动看门狗定时器的情况下，由于在编程或者擦除期间，看门狗定时器总是被清除，因此不发生由下溢引起的内部复位。

### (5) 复位

总是接受复位。在复位解除时，并且在 CNV<sub>SS</sub>=H 的情况下，由于用引导模式启动，因此从被保存在引导 ROM 区的地址 FFFC<sub>16</sub> 和 FFFD<sub>16</sub> 的地址开始执行程序。

## ● 软件命令

软件命令一览表如表 17 所示。将 CPU 改写模式选择位置“1”后，通过执行软件命令指定擦除、编程等。以下说明各软件命令的内容。

#### • 读阵列命令（FF<sub>16</sub>）

如果在第 1 总线周期写命令码“FF<sub>16</sub>”，就变为读阵列模式。如果在下一个总线周期以后输入读地址，指定地址的内容就被读到数据总线（D<sub>0</sub> ~ D<sub>7</sub>）。读阵列模式被保持到写其它命令为止。

#### • 读状态寄存器命令（70<sub>16</sub>）

如果在第 1 总线周期写命令码“70<sub>16</sub>”，就能通过第 2 总线周期的读，将状态寄存器的内容读到数据总线（D<sub>0</sub> ~ D<sub>7</sub>）。

状态寄存器在下一节说明。

#### • 清除状态寄存器命令（50<sub>16</sub>）

它是在表示状态寄存器的错误结束位（SR<sub>4</sub>、SR<sub>5</sub>）被置位后，用于清除这些位的命令。在第 1 总线周期写命令码“50<sub>16</sub>”。

#### • 编程命令（40<sub>16</sub>）

如果在第 1 总线周期写命令码“40<sub>16</sub>”，就变为编程模式。如果继续在第 2 总线周期写编程的地址和数据，就开始编程运行（数据的编程和验证）

通过读取状态寄存器或者读取 RY/BY 状态标志，能确认编程结束。要读状态寄存器时，必须写读状态寄存器命令“70<sub>16</sub>”。状态寄存器的 bit7（SR<sub>7</sub>）在开始编程的同时变为“0”，在结束的同时变为“1”。读状态寄存器模式被保持到下一次写读阵列命令（FF<sub>16</sub>）为止。RY/BY 状态标志和状态寄存器的 bit7 相同，在编程期间为“0”，在结束后变为“1”。在编程结束后，能通过读取状态寄存器知道编程结果。

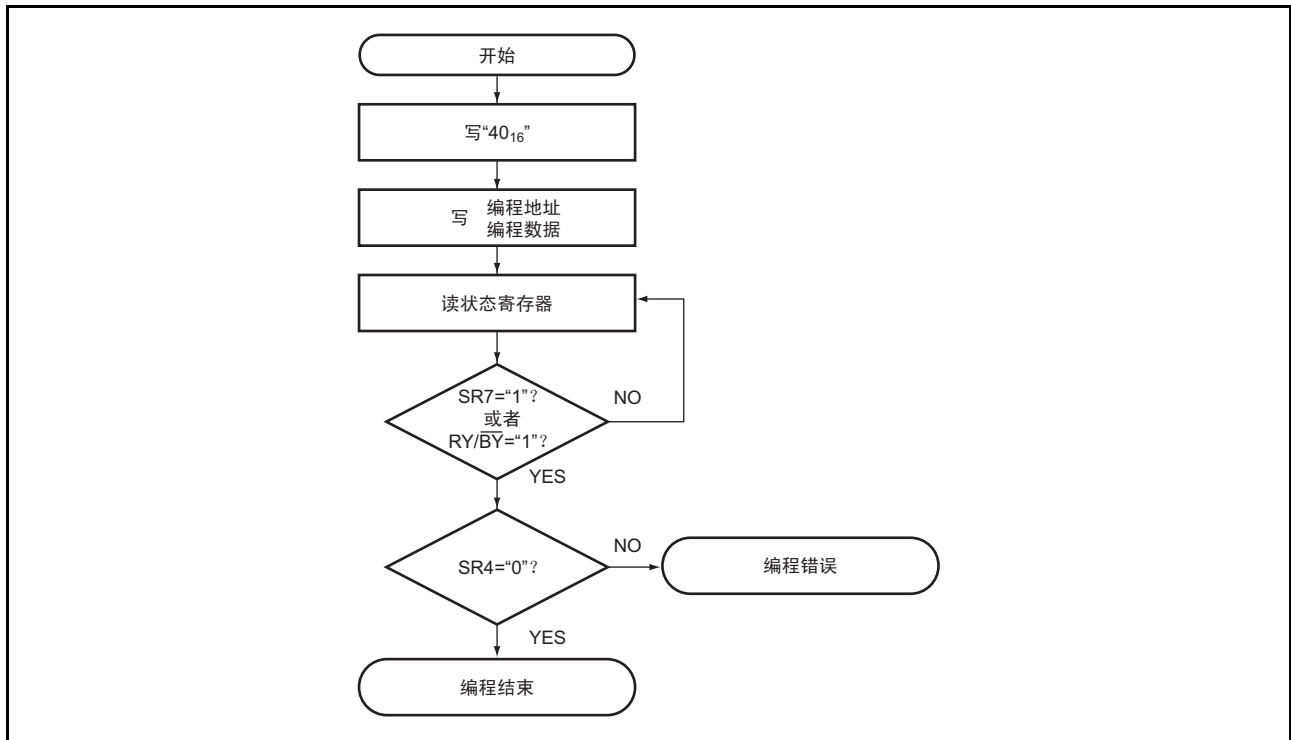


图 75 编程流程图

表 17 软件命令一览表（CPU 改写模式）

命令	周期数	第 1 总线周期			第 2 总线周期		
		模式	地址	数据 (D <sub>0</sub> ~ D <sub>7</sub> )	模式	地址	数据 (D <sub>0</sub> ~ D <sub>7</sub> )
读阵列	1	写	× (注 4)	FF <sub>16</sub>			
读状态寄存器	2	写	×	70 <sub>16</sub>	读	×	SRD (注 1)
清除状态寄存器	1	写	×	50 <sub>16</sub>			
编程	2	写	×	40 <sub>16</sub>	写	WA (注 2)	WD (注 2)
块擦除	2	写	×	20 <sub>16</sub>	写	BA (注 3)	D0 <sub>16</sub>

- 【注】
1. SRD= 状态寄存器数据
  2. WA= 编程地址、WD= 编程数据
  3. BA= 擦除块地址（必须输入各块的最大地址。）
  4. X 是用户 ROM 区内的任意地址

• 块擦除 (20<sub>16</sub>/D0<sub>16</sub>)

如果在第 1 总线周期写命令码“20<sub>16</sub>”后，继续在第 2 总线周期写确认命令码“D0<sub>16</sub>”和块地址，就对指定的块开始块擦除运行（擦除和擦除验证）。

通过读取状态寄存器或者读取 RY/BY 状态标志，能确认块擦除的结束。在读状态寄存器时，必须写读状态寄存器命令“70<sub>16</sub>”。状态寄存器的 bit7 (SR7) 在开始块擦除的同时变为“0”，在结束的同时返回到“1”。此时的读状态寄存器模式被保持到下一次写读阵列命令 (FF<sub>16</sub>) 为止。

RY/BY 状态标志和状态寄存器的 bit7 相同，在擦除期间为“0”，在结束后变为“1”。

在块擦除结束后，能通过读取状态寄存器知道块擦除的结果。详细内容请参照状态寄存器的章节。

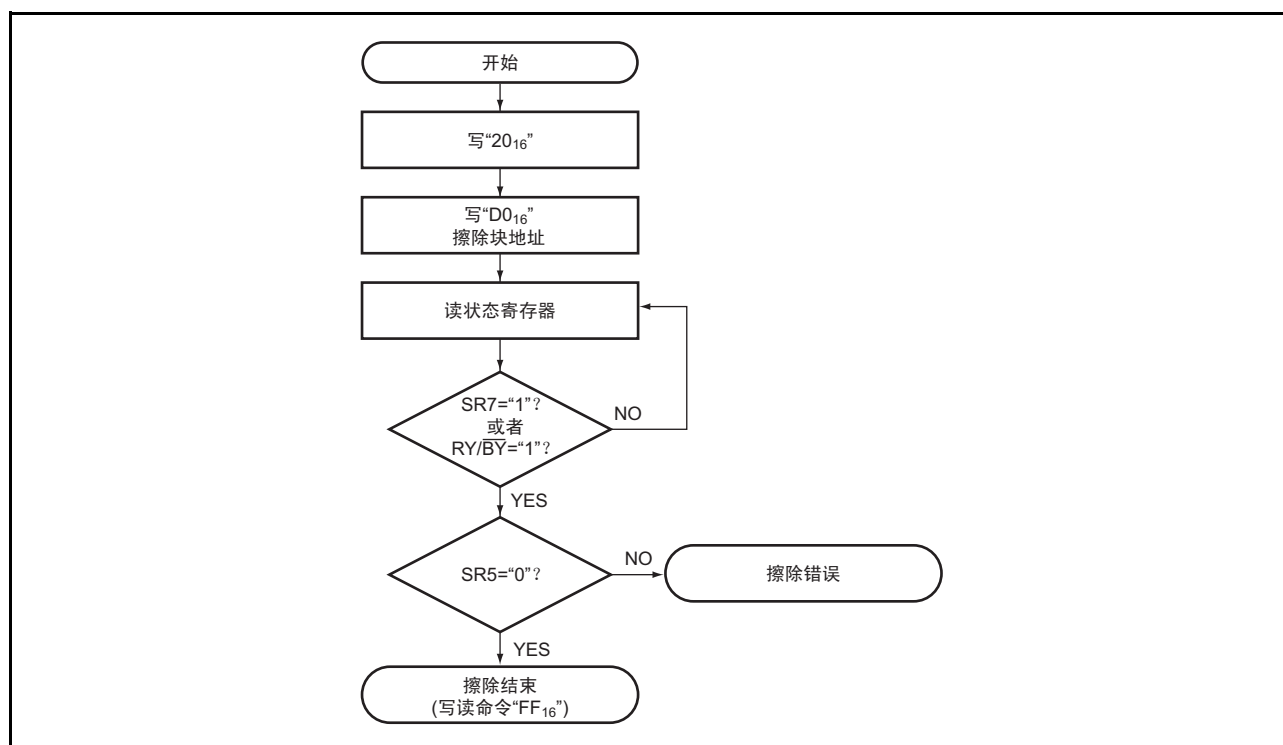


图 76 擦除流程图

## ● 状态寄存器

状态寄存器是表示闪存的运行状态和擦除、编程的正常 / 错误结束等状态的寄存器。在具备以下的条件时能读取状态寄存器的内容：

- (1) 在写读状态寄存器命令（70<sub>16</sub>）后，读取用户 ROM 区内的任意地址时
  - (2) 在从编程开始或者擦除开始到输入读阵列命令（FF<sub>16</sub>）为止的期间，读取用户 ROM 区的任意地址时
- 另外，在具备以下的条件时，清除状态寄存器：

- (1) 在写清除状态寄存器命令（50<sub>16</sub>）时

状态寄存器各位的定义如表 18 所示。

在复位解除后，状态寄存器变为“80<sub>16</sub>”。

### • 定时器状态（SR7）

定时器状态表示闪存的运行状况，在接通电源时被置“1”（就绪）。在编程和擦除运行中被清“0”（忙），在这些运行结束的同时被置“1”。

### • 擦除状态（SR5）

擦除状态通知擦除的运行状况，在发生擦除错误时被置“1”。

在清除擦除状态时，变为“0”。

### • 编程状态（SR4）

编程状态通知编程的运行状况，在发生编程错误时被置“1”。

在清除编程状态时，变为“0”。

在 SR5 或者 SR4 被置成“1”的状态下，不接受读阵列命令、编程命令和块擦除命令。在执行这些命令前，必须执行清除状态寄存器命令，清除状态寄存器。

另外，在没有正确输入命令时，SR5 和 SR4 双方都被置“1”。

表 18 状态寄存器各位的定义

SRD 的各位	状态名	定义	
		“1”	“0”
SR7(bit7)	顺序状态	就绪	忙
SR6(bit6)	保留	—	—
SR5(bit5)	擦除状态	错误结束	正常结束
SR4(bit4)	编程状态	错误结束	正常结束
SR3(bit3)	保留	—	—
SR2(bit2)	保留	—	—
SR1(bit1)	保留	—	—
SR0(bit0)	保留	—	—

●全状态检查

通过全状态检查，能知道擦除、编程的执行结果。全状态检查流程图和各错误发生时的处理方法如图 77 所示。

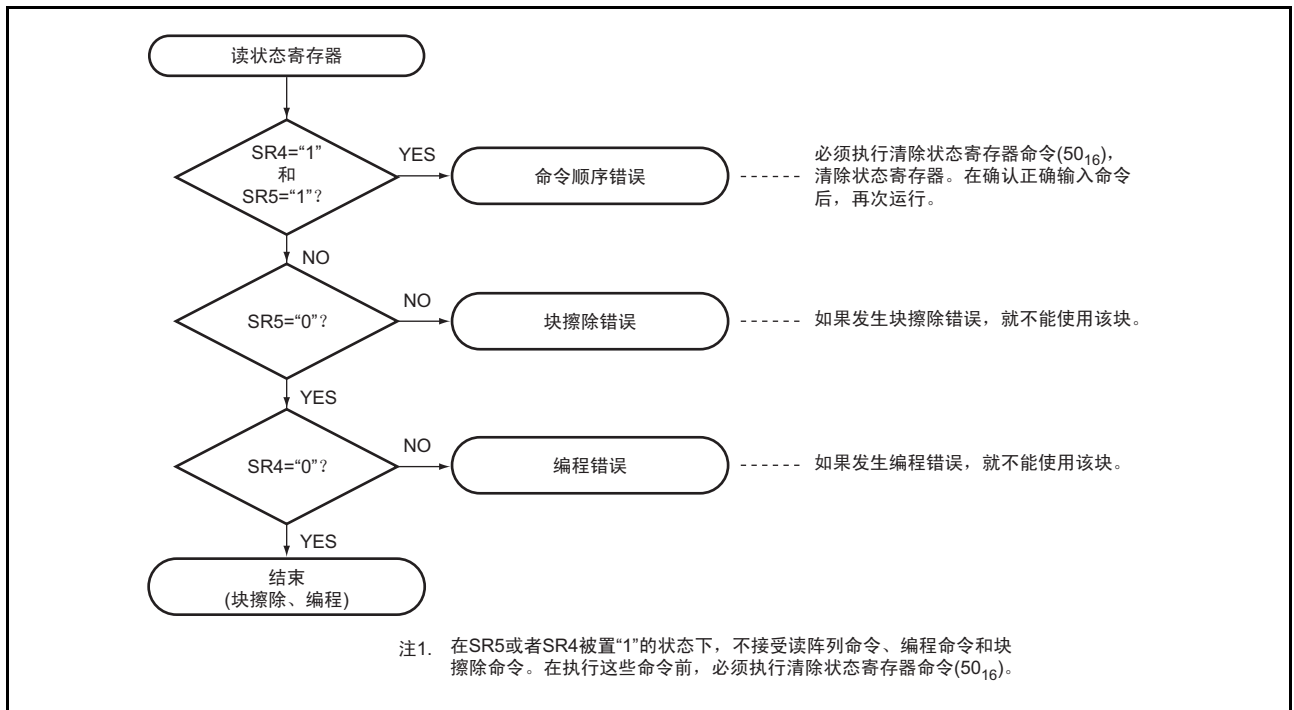


图 77 全状态检查流程图和各错误发生时的处理方法

## ● 内部闪存的改写禁止功能

为了使内部闪存的内容不容易被读取或者改写，在并行输入 / 输出模式，内置了 ROM 码保护功能；在标准串行输入 / 输出模式，内置了 ID 码检查功能。

### • ROM 码保护功能

ROM 码保护是在使用并行输入 / 输出模式时，通过 ROM 码保护控制地址（地址 FFDB<sub>16</sub>），禁止读取或者改写内部闪存内容的功能。ROM 码保护控制地址（地址 FFDB<sub>16</sub>）的结构如图 78 所示（此地址存在于用户 ROM 区）。

在由 2 位构成的 ROM 码保护位中，无论给其中的哪一位设定为“0”，ROM 码保护都被设定，禁止读取或者改写内部闪存的内容。ROM 码保护有级 1 和级 2，如果选择级 2，就禁止用于发货检测的 LSI 测试器等的读取。在级 1 和级 2 都被选择的情况下，级 2 被选择。

如果给 ROM 码保护解除位设定“00”，就解除 ROM 码保护，并能读取或者改写内部闪存内容。一旦设定 ROM 码保护，就不能在并行输入 / 输出模式改变 ROM 码保护解除位的内容。必须在标准串行输入 / 输出模式等其它模式中，改写 ROM 码保护解除位的内容。

改写时，必须改写包含 ROM 码保护控制地址（地址 FFDB<sub>16</sub>）的整个用户 ROM 区（块 0）。不能只改写 ROM 码保护控制地址（地址 FFDB<sub>16</sub>）。

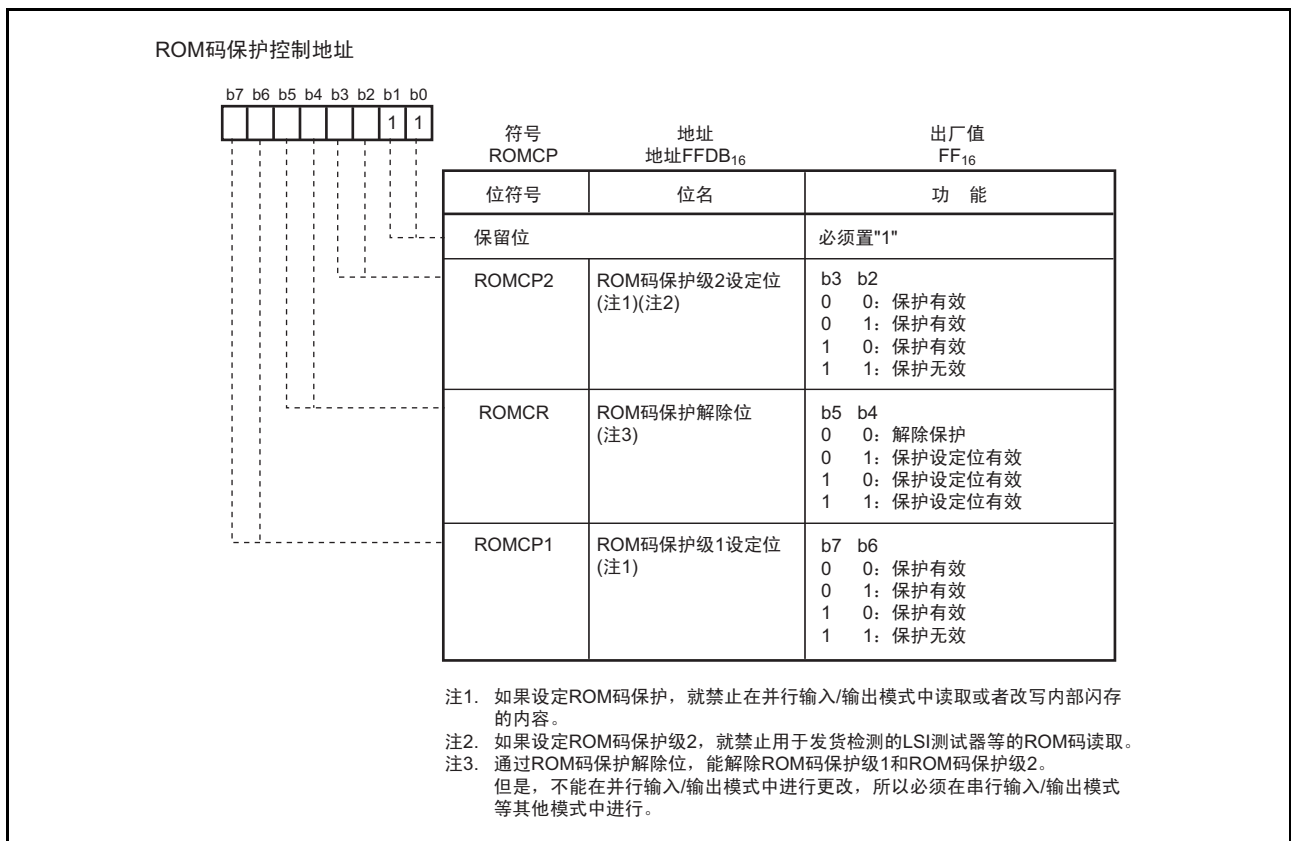


图 78 ROM 码保护控制地址的结构

### • ID 码检查功能

ID 码检查功能在标准串行输入 / 输出模式时使用。在闪存的内容不为空的情况下，判断从串行编程器送来的 ID 码和写在闪存中的 ID 码是否相同。如果码不相同，就不接受从串行编程器送来的命令。ID 码各为 8 位数据，被分配在地址 FFD4<sub>16</sub> ~ FFDA<sub>16</sub>。必须将要预先给这些地址设定 ID 码的程序写入闪存。

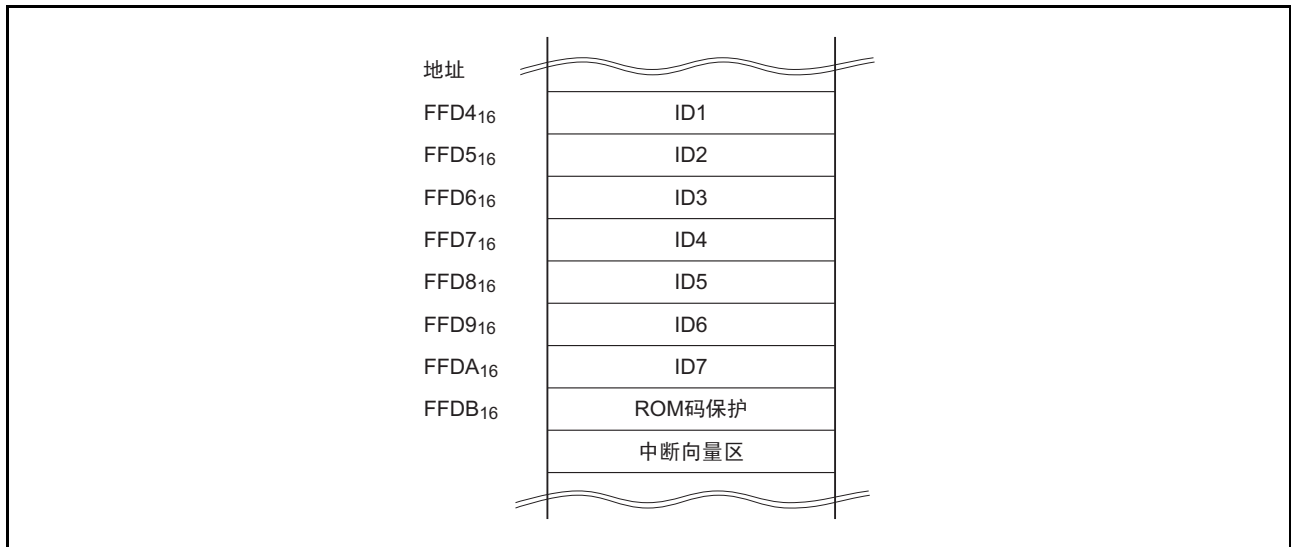


图 79 ID 码的保存地址

## ● 并行输入 / 输出模式

并行输入 / 输出模式是对内部闪存的操作（读、编程以及擦除等）所需软件命令、地址和数据进行并行输入 / 输出的模式。

### • 用户 ROM 区和引导 ROM 区

在并行输入 / 输出模式中，能改写如图 70 所示的用户 ROM 区和引导 ROM 区。闪存的两区域的操作方法相同。

引导 ROM 区为 4K 字节，被分配在地址 F000<sub>16</sub> ~ FFFF<sub>16</sub>。编程、块擦除只能在此范围内进行（禁止对此范围外的存取）。

引导 ROM 区的擦除块只有 4K 字节单位的一个块。在发货时，引导 ROM 区存有标准串行输入 / 输出模式的控制软件。因此，在标准串行输入 / 输出模式使用时，不必写引导 ROM 区。

## ● 标准串行输入 / 输出模式

标准串行输入 / 输出模式是对内部闪存的操作（读、编程以及擦除等）需要软件命令、地址以及数据进行串行输入 / 输出的模式。使用专用串行编程器。

标准串行输入 / 输出模式和并行输入 / 输出模式不同，CPU 控制闪存的改写（使用 CPU 改写模式）和控制改写数据的串行输入等。在 P4<sub>1</sub>（BOOTENT）引脚和 CNV<sub>SS</sub> 引脚都为“H”的状态下，通过解除复位来启动标准串行输入 / 输出模式（在通常的单片机模式下，必须将 CNV<sub>SS</sub> 置“L”电平）。

在发货时，在引导 ROM 区存有此控制程序。因此，必须注意：在并行输入 / 输出模式改写引导 ROM 区时，无法使用标准串行输入 / 输出模式。标准串行输入 / 输出模式有时钟同步串行的标准串行输入 / 输出模式 1 和时钟异步串行的标准串行输入 / 输出模式 2。标准串行输入 / 输出模式时的引脚功能说明如表 19 和表 20 所示，使用标准串行输入 / 输出模式 1 时的引脚连接图如图 80 和图 81 所示，使用标准串行输入 / 输出模式 1 时的电路板上引脚处理的例子如图 82 和图 83 所示，标准串行输入 / 输出模式 1 和 2 时的运行波形图如图 84 和图 85 所示。

在标准串行输入 / 输出模式，只能改写如图 70 所示的用户 ROM 区，不能改写引导 ROM 区。

标准串行输入 / 输出模式具有 7 字节的 ID 码。在闪存的内容不为空的情况下，判断从编程器送来的 ID 码是否与写在闪存中的 ID 码相同。如果 ID 码的内容不相同，就不接受从编程器送来的命令。

表 19 引脚的功能说明（闪存标准串行输入 / 输出模式 1）

引脚名	名称	输入 / 输出	功能
VCC、VSS	电源输入	输入	必须给 VCC 外加 2.7V ~ 5.5V、给 VSS 外加 0V。
CNVSS	CNVSS	输入	在进行端口的输入设定后，必须设定为“H”电平。
$\overline{\text{RESET}}$	复位输入	输入	复位输入引脚。如果保持至少 16 个 X <sub>IN</sub> 周期的“L”电平，就变为复位状态。
X <sub>IN</sub>	时钟输入	输入	必须将 X <sub>IN</sub> 引脚和 X <sub>OUT</sub> 引脚连接振荡电路。有关连接方法，请参照“时钟发生电路”。
X <sub>OUT</sub>	时钟输出	输出	
AVSS	模拟电源输入		必须连接到 VSS。
VREF	基准电压输入	输入	必须输入 A/D 转换器的基准电压。
P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub> P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> P6 <sub>0</sub> ~ P6 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>	输入 / 输出端口	输入 / 输出	必须输入“H”电平、“L”电平，或者置为开路。
P4 <sub>0</sub>	RxD 输入	输入	串行数据的输入引脚。
P4 <sub>1</sub>	TxD 输出	输出	串行数据的输出引脚。
P4 <sub>2</sub>	SCLK 输入	输入	串行时钟的输入引脚。
P4 <sub>3</sub>	BUSY 输出	输出	BUSY 信号的输出引脚。

表 20 引脚的功能说明（闪存标准串行输入 / 输出模式 2）

引脚名	名称	输入 / 输出	功能
VCC、VSS	电源输入	输入	必须给 VCC 外加 2.7V ~ 5.5V、给 VSS 外加 0V。
CNVSS	CNVSS	输入	在进行端口的输入设定后，必须设定为“H”电平。
$\overline{\text{RESET}}$	复位输入	输入	复位输入引脚。如果保持至少 16 个 X <sub>IN</sub> 周期的“L”电平，就变为复位状态。
X <sub>IN</sub>	时钟输入	输入	必须将 X <sub>IN</sub> 引脚和 X <sub>OUT</sub> 引脚连接振荡电路。有关连接方法，请参照“时钟发生电路”。
X <sub>OUT</sub>	时钟输出	输出	
AVSS	模拟电源输入		必须连接到 VSS。
VREF	基准电压输入	输入	必须输入 A/D 转换器的基准电压。
P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub> P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> P6 <sub>0</sub> ~ P6 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>	输入 / 输出端口	输入 / 输出	必须输入“H”电平、“L”电平，或者置为开路。
P4 <sub>0</sub>	RxD 输入	输入	串行数据的输入引脚。
P4 <sub>1</sub>	TxD 输出	输出	串行数据的输出引脚。
P4 <sub>2</sub>	SCLK 输入	输入	必须输入“L”电平。
P4 <sub>3</sub>	BUSY 输出	输出	BUSY 信号的输出引脚。

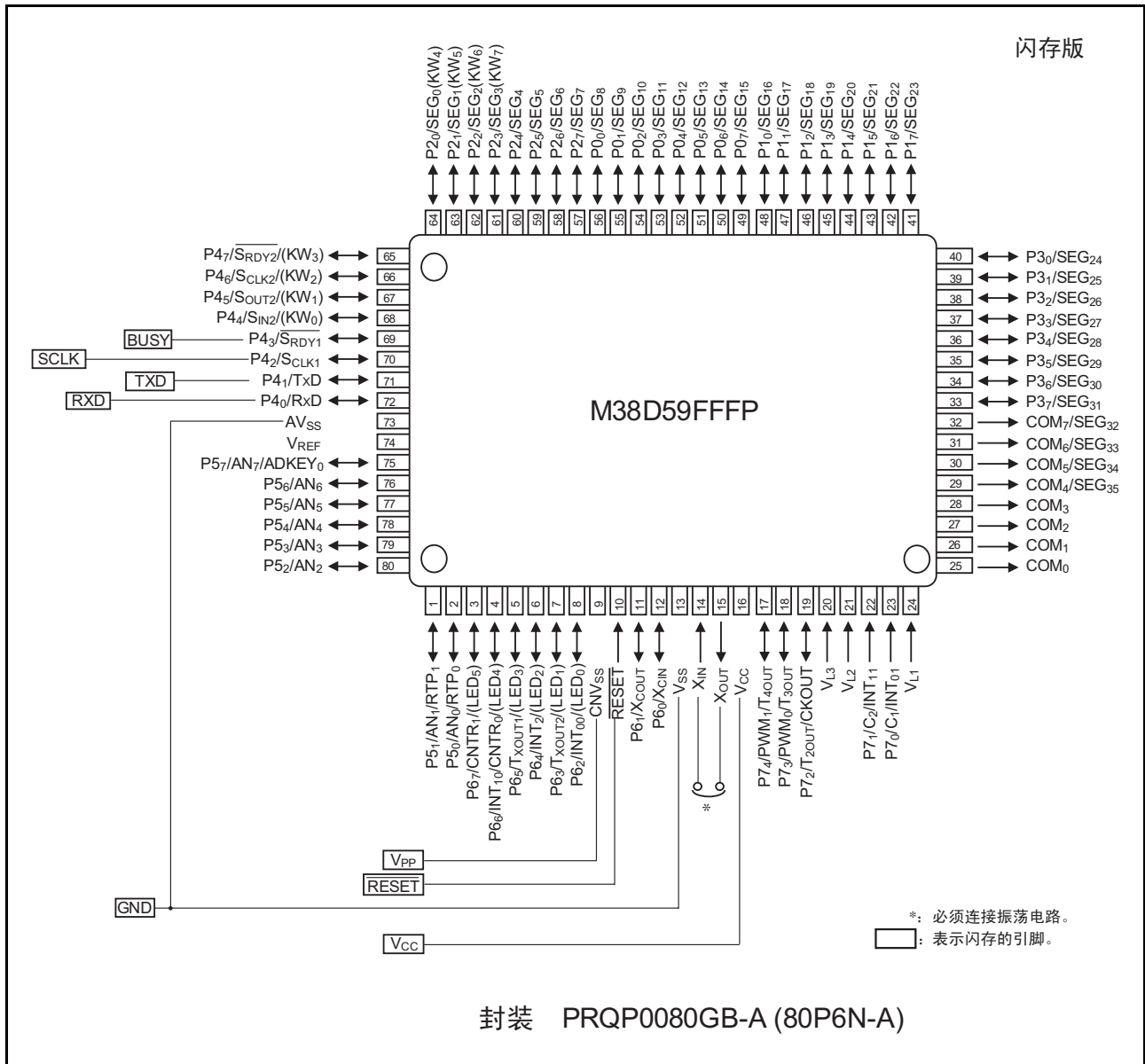


图 80 标准串行输入 / 输出模式 1 时的引脚连接图

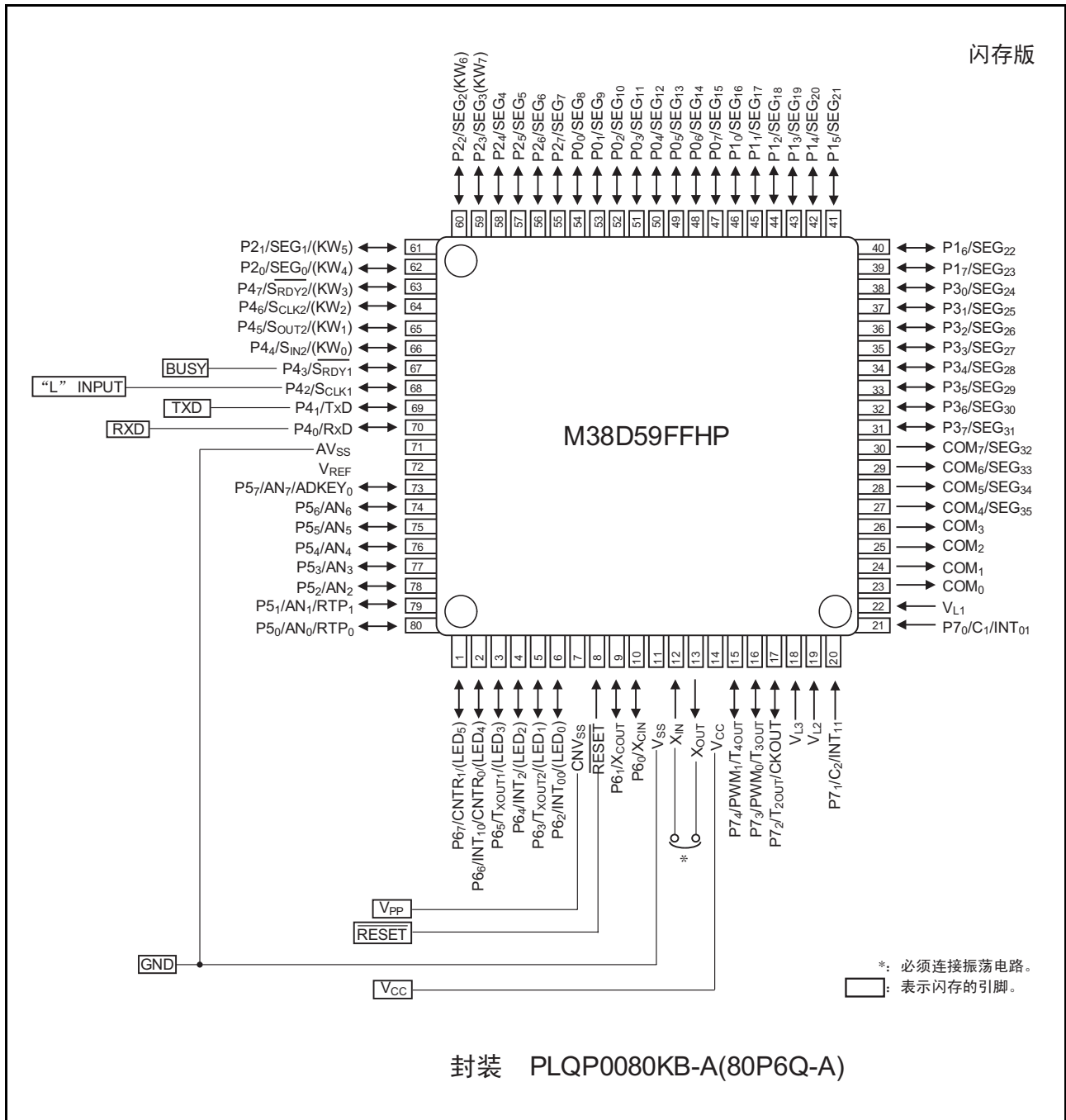


图 81 标准串行输入 / 输出模式 2 时的引脚连接图

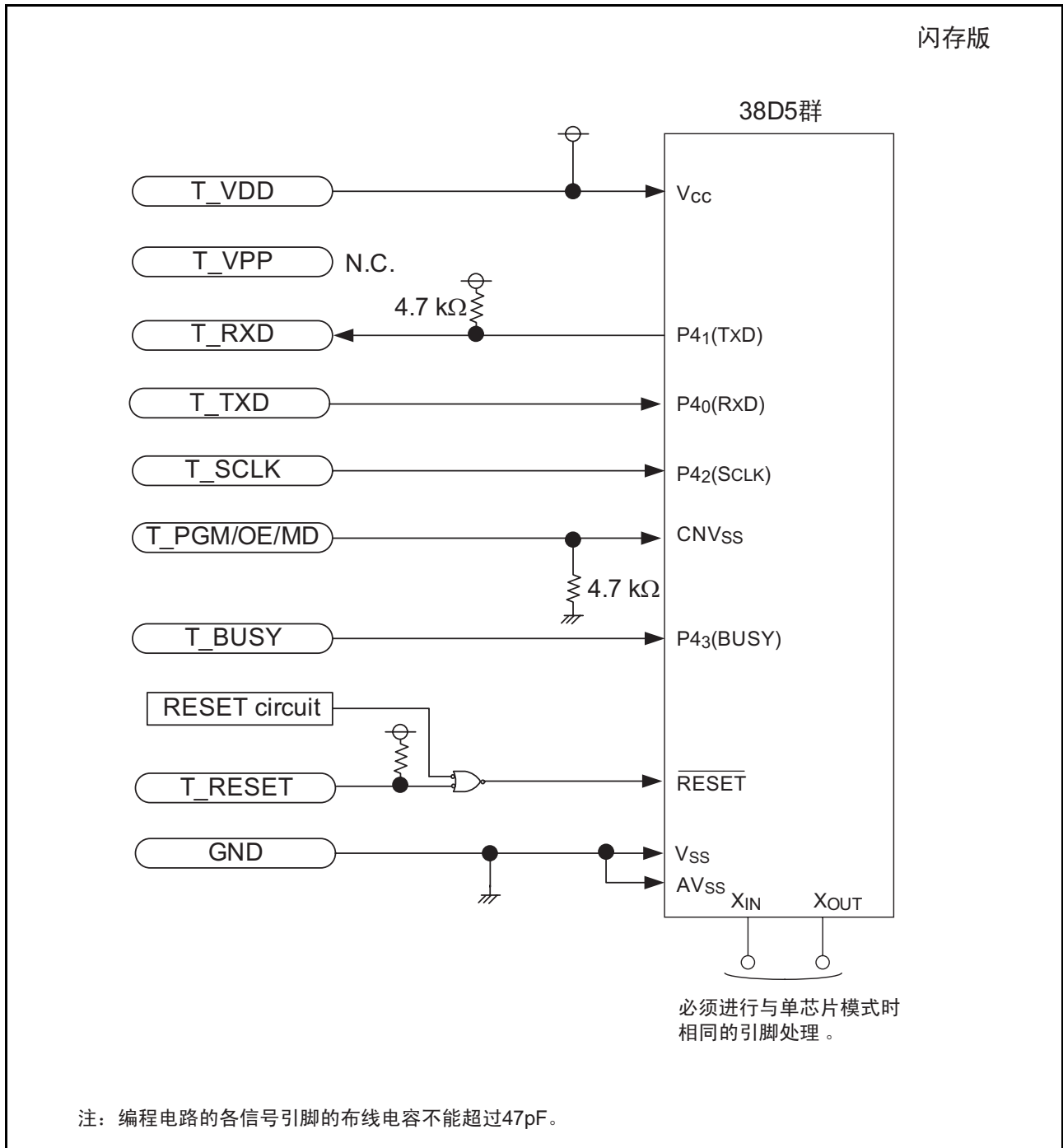


图 82 使用彗星电子系统公司产的编程器（标准串行输入 / 输出模式 1）时的电路板上引脚处理的例子

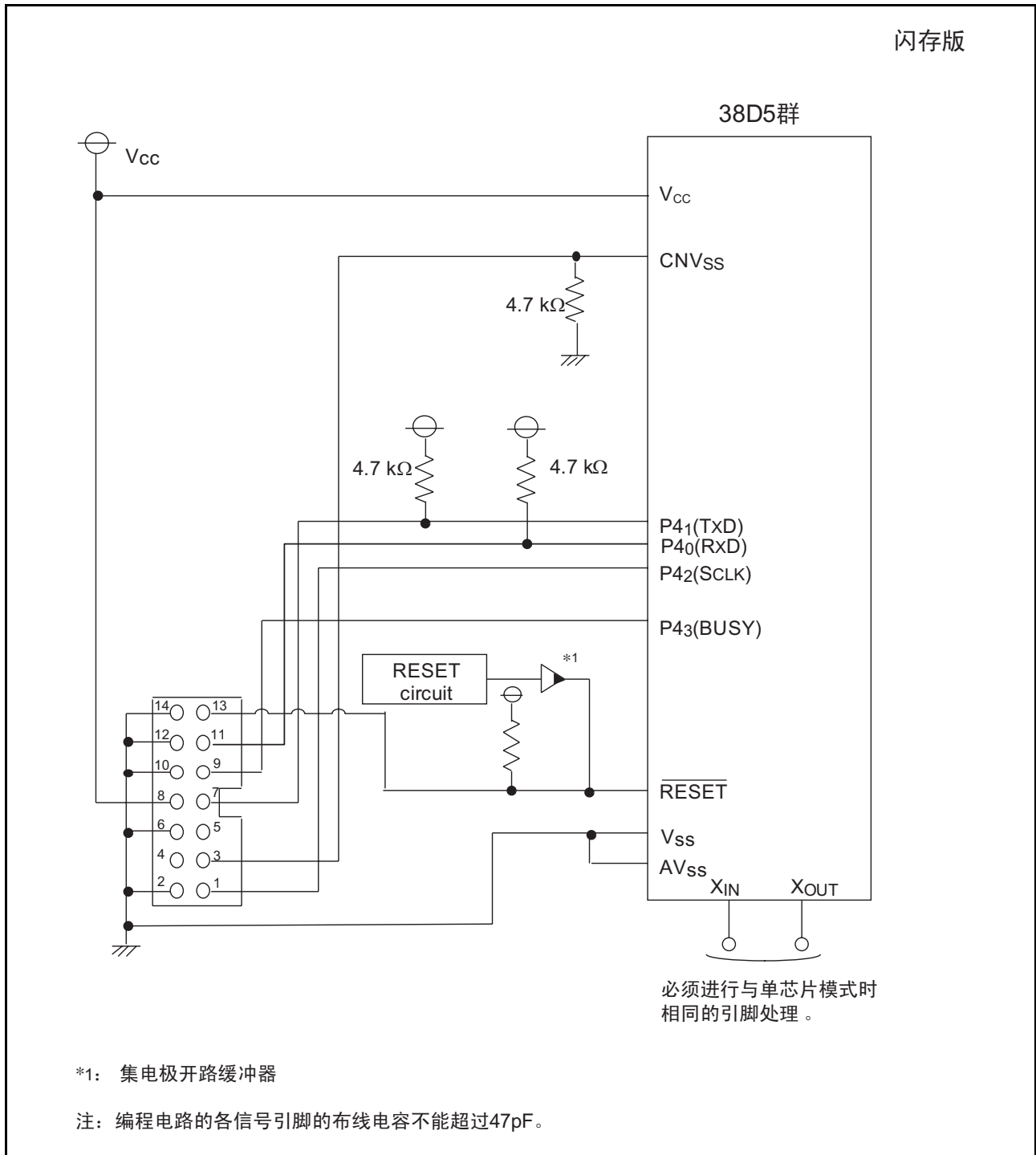


图 83 使用 E8 编程器（标准串行输入 / 输出模式 1）时的电路板上引脚处理的例子

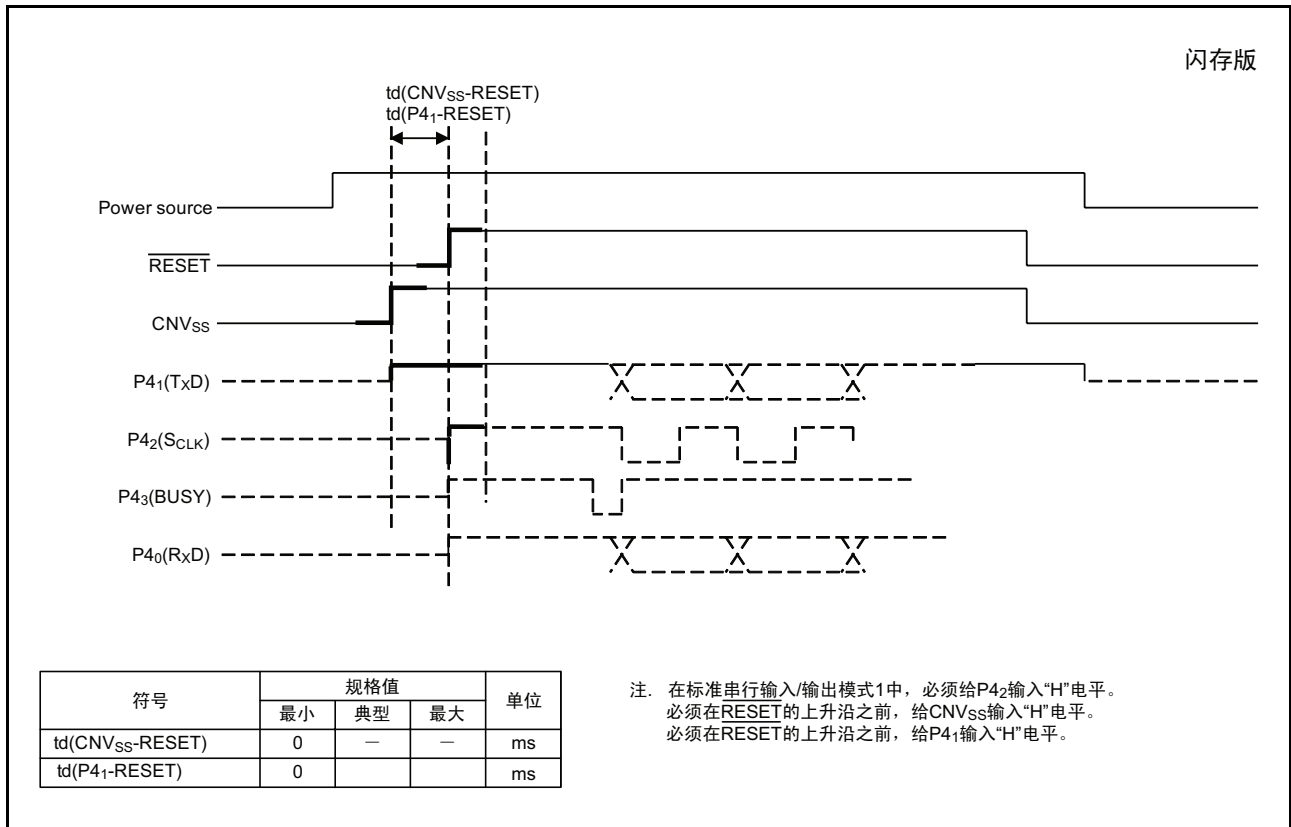


图 84 标准串行输入 / 输出模式 1 时的运行波形图

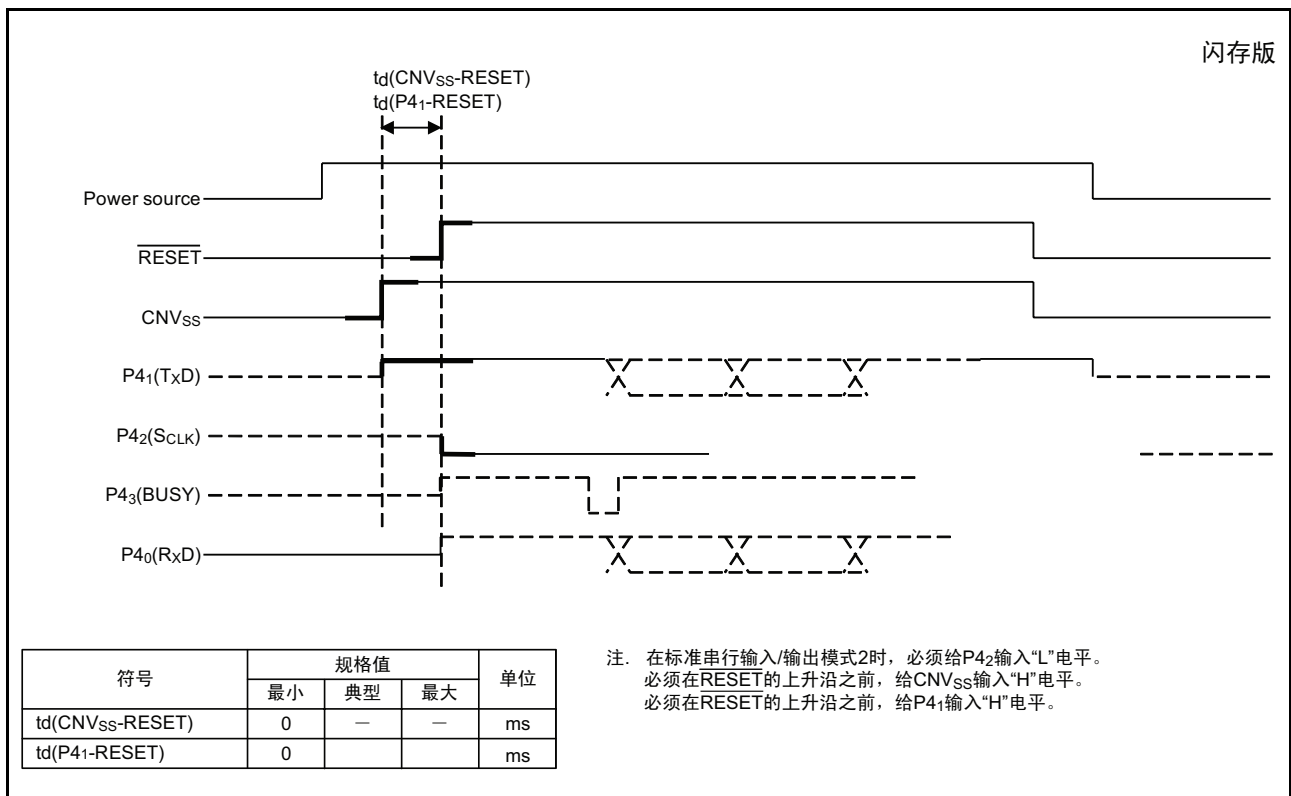


图 85 标准串行输入 / 输出模式 2 时的运行波形图

## 使用时的注意事项

### 有关处理器状态寄存器的注意事项

处理器状态寄存器（PS）除了中断禁止标志 I 为“1”以外，刚复位后的值不定。因此，需要对影响程序执行的标志进行初始化。

尤其是必须对影响运算本身的 T 标志和 D 标志进行初始化。请在程序的起始部分进行初始化。

### 有关中断的注意事项

在通过程序更改中断请求位的内容后，如果立即执行 BBC 和 BBS 指令，就执行更改前的内容。为了执行更改后的内容，必须在至少执行一条指令后进行。

### 有关 10 进制运算的注意事项

- 在进行 10 进制运算时，必须在将 10 进制模式标志 D 置“1”后执行 ADC 指令或者 SBC 指令。此时，必须在 ADC 指令或者 SBC 指令后至少执行一条指令，然后执行 SEC 指令、CLC 指令或者 CLD 指令。
- 在 10 进制模式中 N（负）、V（上溢）和 Z（零）标志无效。

### 有关定时器的注意事项

给定时器锁存器写值 n（0 ~ 255）时的分频比为  $1/(n+1)$ 。

### 有关乘除指令的注意事项

- MUL 和 DIV 指令不受 T 标志和 D 标志的影响。
- 在执行乘除指令时，处理器状态寄存器的内容不变。

### 有关方向寄存器的注意事项

不能读端口方向寄存器的值，即，不能使用 LDA 指令、T 标志为“1”时的存储器运算指令以及将方向寄存器的值作为变址值的寻址方式、BBC 和 BBS 等位测试指令。另外，也不能使用 CLB、SEB 等位操作指令和 ROR 运算等方向寄存器的读 / 修改 / 写指令。必须使用 LDM、STA 等指令设定方向寄存器。

### 有关串行接口的注意事项

对于时钟同步串行 I/O，当接收侧使用外部时钟输出 SRDY 时，必须将接收允许位、SRDY 输出允许位和发送允许位都置“1”。

另外，串行 I/O 在发送结束后，TxD 引脚锁存最后的位并继续输出。

### 有关 A/D 转换的注意事项

比较器的输入由电容耦合构成。如果转换速度不充分，就可能因电荷的消失而降低转换精度，所以在 X<sub>IN</sub> 模式中进行 A/D 转换时，必须将 f(X<sub>IN</sub>) 至少设定为 500kHz。另外，不能在 A/D 转换中执行 STP 指令和 WIT 指令。

因为在低速模式（在选择内部振荡器时）中使用内部振荡器进行 A/D 转换，所以对 f(X<sub>IN</sub>) 没有下限频率的限制。

### 有关 LCD 驱动控制电路的注意事项

如果执行 STP 指令，LCD 允许位（LCD 模式寄存器（地址 13<sub>16</sub>）的 bit4）就变为“0”，LCD 显示屏熄灭。如果要在从停止模式返回后使 LCD 显示屏点灯，必须将 LCD 允许位（LCD 模式寄存器（地址 13<sub>16</sub>）的 bit4）置“1”。

## 有关指令执行时间的注意事项

可由机器指令一览表所记载的周期数乘系统时钟  $\phi$  的周期得到指令执行时间。

## 有关电源电压的注意事项

在单片机的电源电压低于推荐运行条件值时，单片机可能无法正常运行而处于不稳定的运行状态。

对于在电源电压下降和切断电源时电源电压缓慢下降的系统，必须将系统设计为：即使在电源电压低于推荐运行条件时的不稳定运行状态下，通过单片机复位等手段使系统不发生异常。

## 有关使用电源引脚的注意事项

在使用时，为了防止闩锁现象，必须将高频特性良好的电容作为旁路电容外接到元件的电源引脚（VCC 引脚）和 GND 引脚（VSS 引脚）之间以及电源引脚（VCC 引脚）和模拟电源输入引脚（AVSS 引脚）之间。旁路电容推荐使用  $0.01\mu\text{F} \sim 0.1\mu\text{F}$  的陶瓷电容。

另外，必须以最短距离将旁路电容外接在电源引脚和 GND 引脚之间以及电源引脚和模拟电源输入引脚之间。

## 有关 LCD 驱动电源的注意事项

根据 LCD 电源的分压电阻值和 LCD 显示屏的特性，电源容量有可能不足，此时可将  $0.1 \sim 0.33\mu\text{F}$  左右的旁路电容连接到  $V_{L1} \sim V_{L3}$  引脚。LCD 驱动电源的强化对策例子如图 86 所示。

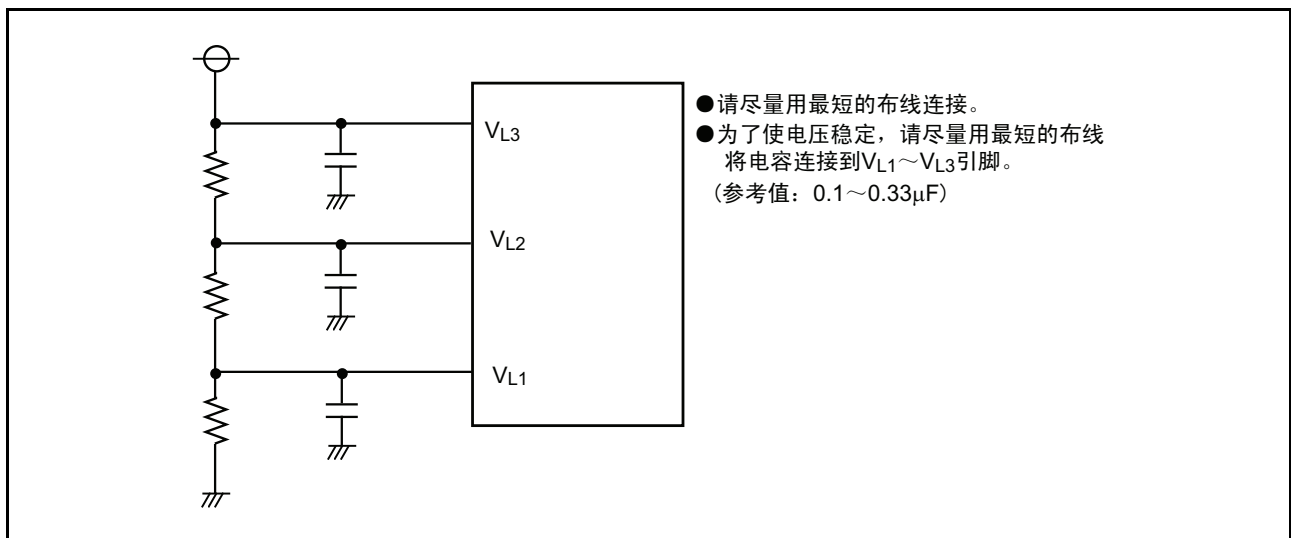


图 86 LCD 驱动电源的强化对策例子

## 有关 QzROM 版的注意事项

### 1. OSCSEL 引脚的布线

#### (1) OSCSEL 引脚 = “L” 电平

请尽量以最短的布线将 OSCSEL 引脚连接到离供给单片机 V<sub>SS</sub> 引脚的 GND 最近的 GND 布线。

另外，通过将约 5kΩ 的电阻串联到 GND，有可能改善抗噪声能力。此时和上述同样，尽量以最短的布线将电阻连接到离供给单片机的 V<sub>SS</sub> 引脚的 GND 最近的 GND 布线。

#### (2) OSCSEL 引脚 = “H” 电平

请尽量以最短的布线将 OSCSEL 引脚连接到离供给单片机 V<sub>CC</sub> 引脚的 V<sub>CC</sub> 最近的 V<sub>CC</sub> 布线。

另外，通过将约 5kΩ 的电阻串联到 V<sub>CC</sub>，有可能改善抗噪声能力。此时和上述同样，尽量以最短的布线将电阻连接到离供给单片机 V<sub>CC</sub> 引脚的 V<sub>CC</sub> 最近的 V<sub>CC</sub> 布线。

●理由

OSCSEL 引脚是内部 QzROM 的电源输入引脚。在给 QzROM 写程序时，为了产生写电流，降低了 OSCSEL 引脚的阻抗，所以噪声容易侵入。如果噪声从 OSCSEL 引脚侵入，QzROM 的指令码和数据的读操作就不能正常进行而导致失控。

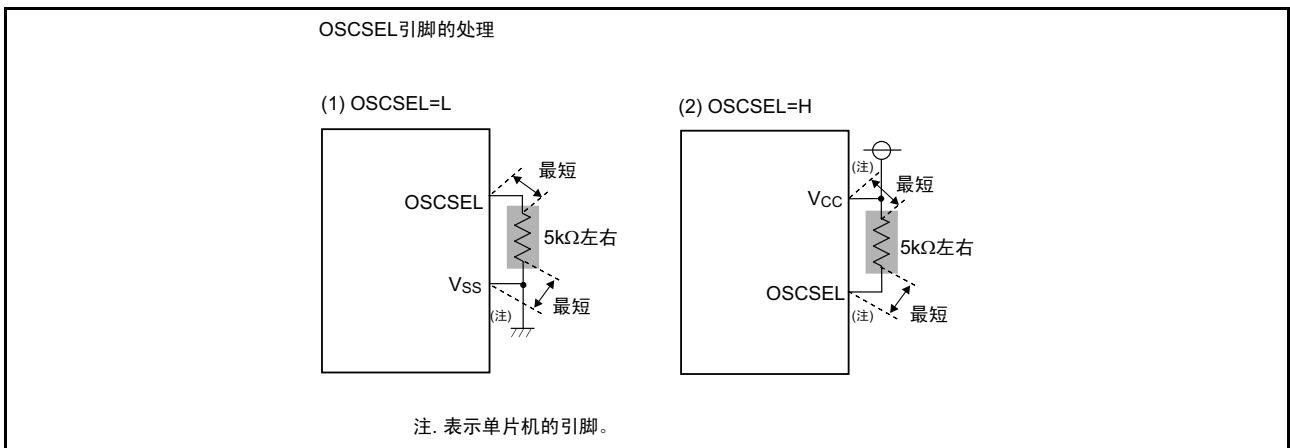


图 87 OSCSEL 引脚的布线

### 2. QzROM 版过电压

必须注意：不能给其他引脚外加超过 V<sub>CC</sub> 引脚电压的电压。

尤其是电源上升和下降时的 OSCSEL 引脚（QzROM 的 V<sub>PP</sub> 电源输入引脚），不能出现如下图所示的粗线区间的状态。如果出现此状态，QzROM 的内容可能被改写。

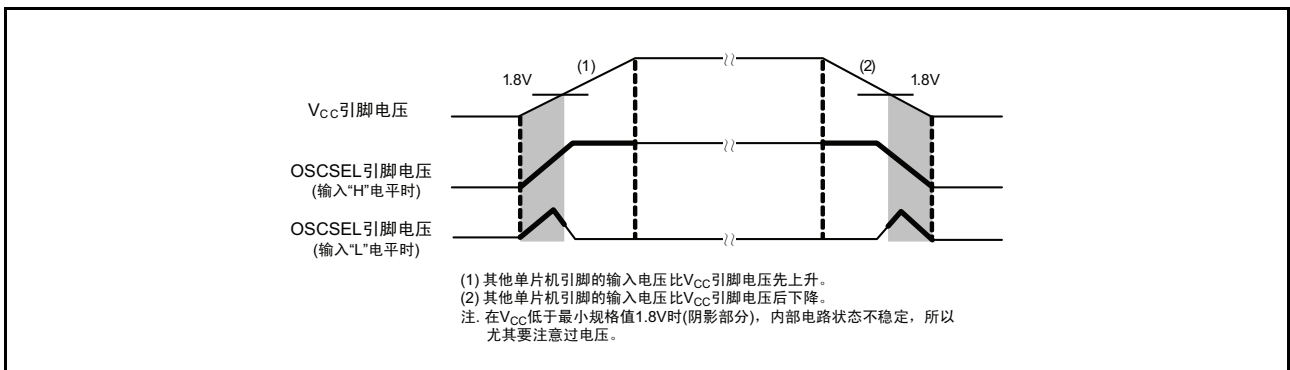


图 88 时序图（粗线区间）

### 3. QzROM 版空白发货产品

虽然在组装工序前对空白发货产品进行了充分的 QzROM 写测试，但是在组装工程后对用户 ROM 区没有进行写测试，因此有可能发生 0.1% 左右的写失败。另外，写的环境也是造成写失败的原因之一，所以在使用时必须充分注意电缆的接触和插座上的异物等。

### 4. 订购 QzROM 编程后的产品时

在订购 QzROM 编程后的发货产品时，必须提交用掩模文件转换实用程序（MM）建立的掩模文件（扩展名 .msk）。

另外，在执行掩模文件转换实用程序（MM）建立掩模文件时，必须设定 ROM 选项（在掩模转换实用程序中记为“掩模选项”）的数据。

### 5. ROM 码保护

（QzROM 编程后的发货产品）

QzROM 编程后的发货产品的 ROM 码保护由订货时提出的建立掩模文件时的 ROM 选项数据决定。

建立掩模文件时的 ROM 选项数据为“有保护”时设为“00<sub>16</sub>”；为“只对保护区 1 进行保护”时设定“FE<sub>16</sub>”；为“无保护”时设为“FF<sub>16</sub>”。因此，QzROM 编程后的发货产品的 ROM 码保护地址（ROM 保留区）的内容为“00<sub>16</sub>”、“FF<sub>16</sub>”和“FE<sub>16</sub>”的其中之一。

另外，必须注意：在没有设定 ROM 选项数据或者设定了“00<sub>16</sub>”、“FF<sub>16</sub>”和“FE<sub>16</sub>”以外的数据时，不能接受该掩模文件。

### 6. 订购 QzROM 编程后的产品时的提交资料

在订购 QzROM 编程后的发货产品时须提交以下的资料：

- QzROM 编程确认书\*
- 标记指定书\*
- ROM 的数据 • • • 掩模文件

\* 有关 QzROM 编程确认书和标记指定书，请参照瑞萨科技主页（<http://www.renesas.com/>）。另外，QzROM 单片机不对应特殊字体标记（如贵公司商标等）。

### 7. QzROM 产品的验货步骤

由客户进行编程时，请按照以下步骤进行验货：

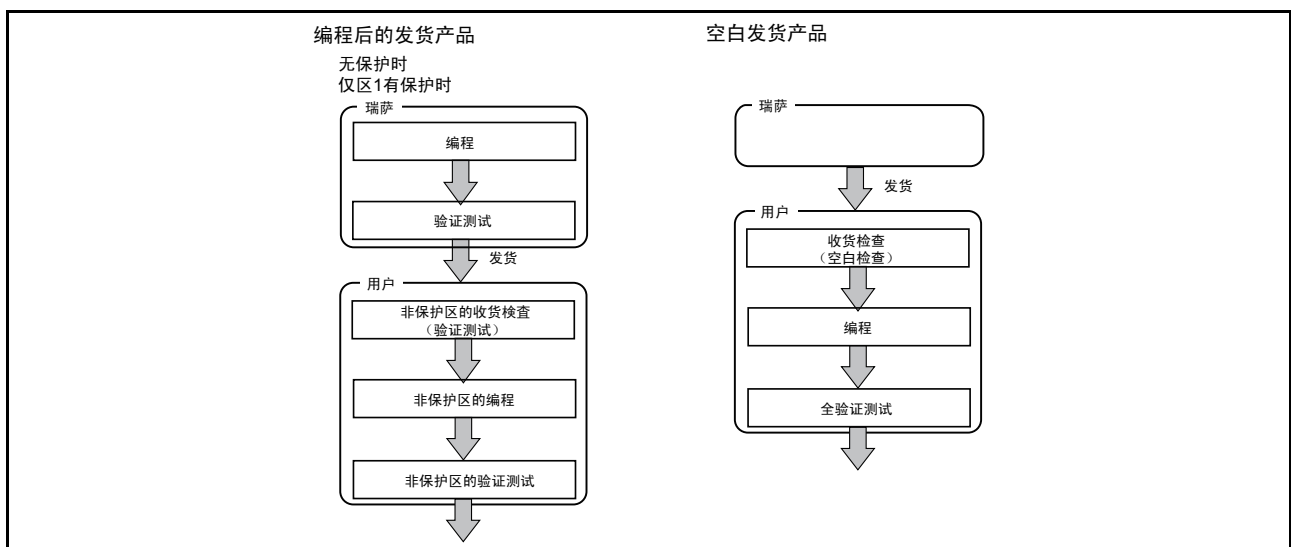


图 89 QzROM 产品的验货步骤

## 有关闪存版的注意事项

### 1. CPU 改写模式

#### (1) 运行速度

在 CPU 改写模式中，必须通过主时钟分频比选择位（地址 003B<sub>16</sub> 的 bit6 和 bit7）设定系统时钟  $\phi$ ，并且使系统时钟  $\phi$  不超过 4.0MHz。

#### (2) 使用禁止指令

在 CPU 改写模式中，不能使用访问闪存内部数据的指令。

#### (3) 中断

在 CPU 改写模式中，由于访问闪存内部的数据，不能使用中断。

#### (4) 看门狗定时器

在已经启动看门狗定时器的情况下，由于在编程或者擦除期间，看门狗定时器总是被清除，因此不发生由下溢引起的内部复位。

#### (5) 复位

总是接受复位。在复位解除时，并且在 CNV<sub>SS</sub>=H 的情况下，由于用引导模式启动，因此从被保存在引导 ROM 区的地址 FFFC<sub>16</sub> 和 FFFD<sub>16</sub> 的地址开始执行程序。

### 2. CNV<sub>SS</sub> 引脚

CNV<sub>SS</sub> 引脚决定闪存模式。

必须尽量以最短的布线将 CNV<sub>SS</sub> 引脚连接到离供给单片机 V<sub>SS</sub> 引脚的 GND 最近的 GND 布线（注）。另外，如果以串联的方式插入 5k $\Omega$  的电阻连接到 GND，就可能改善噪声耐量。此时也要和上述同样，必须尽量以最短的布线连接到离供给单片机 V<sub>SS</sub> 引脚的 GND 最近的 GND 布线。

**【注】** 在使用引导模式、标准串行输入 / 输出模式时，必须转换 CNV<sub>SS</sub> 引脚的输入电平。

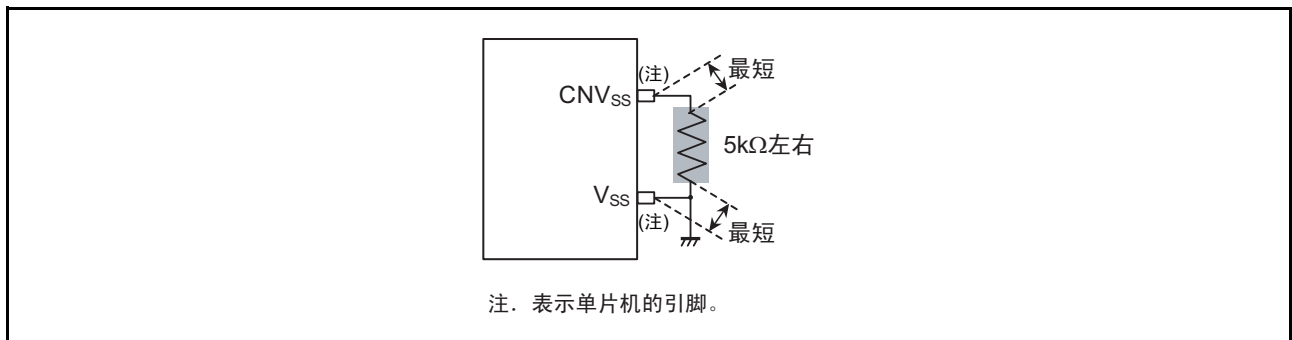


图 90 CNV<sub>SS</sub> 引脚的布线

## 有关 QzROM 版和闪存版不同点的注意事项

QzROM 版和闪存版根据制造工艺、内部 ROM、布线图形等的不同，在电特性的范围内，特性值、运行容限、噪声耐量、噪声辐射量等可能不同。在从闪存版切换到 QzROM 版时，必须实施和闪存版进行的系统评估试验同等的试验。

功能差异请在第 12 页确认。

## 有关噪声的注意事项

请按照如下的处理，进行防止噪声的系统设计和充分的评价。

### 1. 缩短布线的长度

#### (1) 复位引脚的布线

必须缩短连接复位引脚的布线，尤其是连接在复位引脚和  $V_{SS}$  引脚之间的电容，必须用尽量短（20mm 以内）的布线连接。

##### ●理由

时序的必要条件规定了输入到复位引脚的脉宽。如果将小于规定宽度的脉宽噪声输入到复位引脚，就在单片机内部完全进入初始化状态前解除复位，造成程序失控。

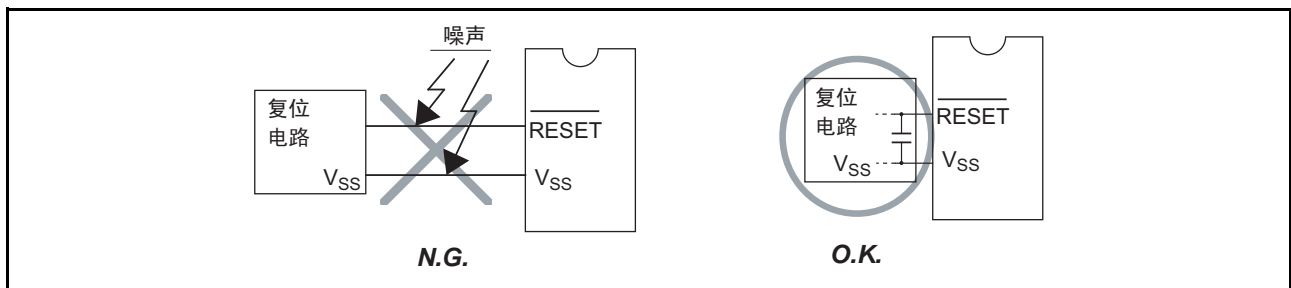


图 91 复位输入引脚的布线

#### (2) 时钟输入 / 输出引脚的布线

- 必须缩短连接时钟输入/输出引脚的布线。
- 必须用最短（20mm 以内）的布线连接谐振器的电容接地端引线和单片机的  $V_{SS}$  引脚。
- 必须将用于振荡的  $V_{SS}$  布线作为振荡电路专用布线，和其他  $V_{SS}$  布线分离。

##### ●理由

如果有噪声侵入时钟输入 / 输出引脚，时钟的波形就会发生紊乱，导致误动作和失控。另外，如果因噪声而引起单片机  $V_{SS}$  电平和谐振器  $V_{SS}$  电平之间的电位差，就不能将正确的时钟输入到单片机。

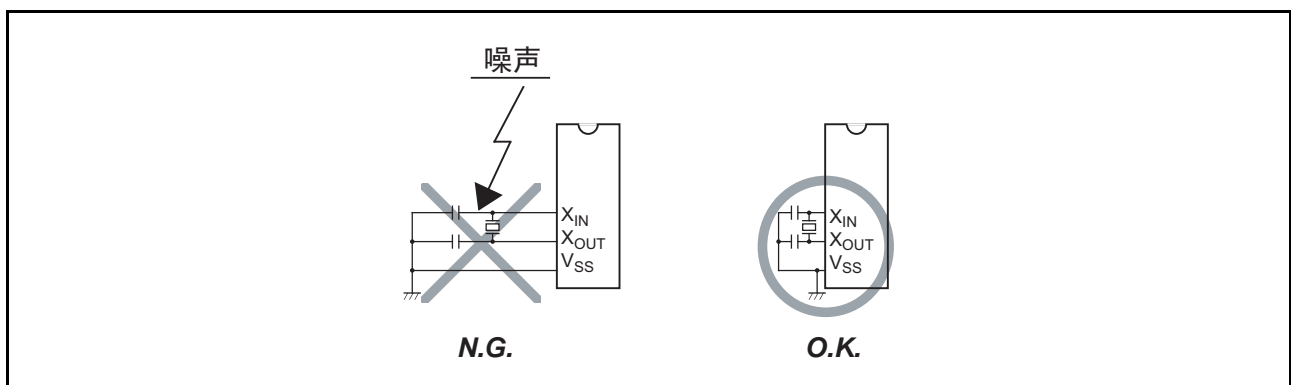


图 92 时钟输入 / 输出引脚的布线

## 2. 在 V<sub>SS</sub>-V<sub>CC</sub> 的布线之间插入旁路电容

为了使系统稳定工作和防止闩锁，必须用以下的方法在 V<sub>SS</sub>-V<sub>CC</sub> 的布线之间插入 0.1 $\mu$ F 左右的旁路电容。

- V<sub>CC</sub>引脚-旁路电容间的布线长度和V<sub>CC</sub>引脚-旁路电容间的布线长度相等
- 尽量缩短V<sub>SS</sub>引脚-旁路电容间的布线长度和V<sub>CC</sub>引脚-旁路电容间的布线长度
- V<sub>SS</sub>布线和V<sub>CC</sub>布线使用比其他信号线粗的布线
- 电源布线经由旁路电容连接到V<sub>SS</sub>引脚和V<sub>CC</sub>引脚

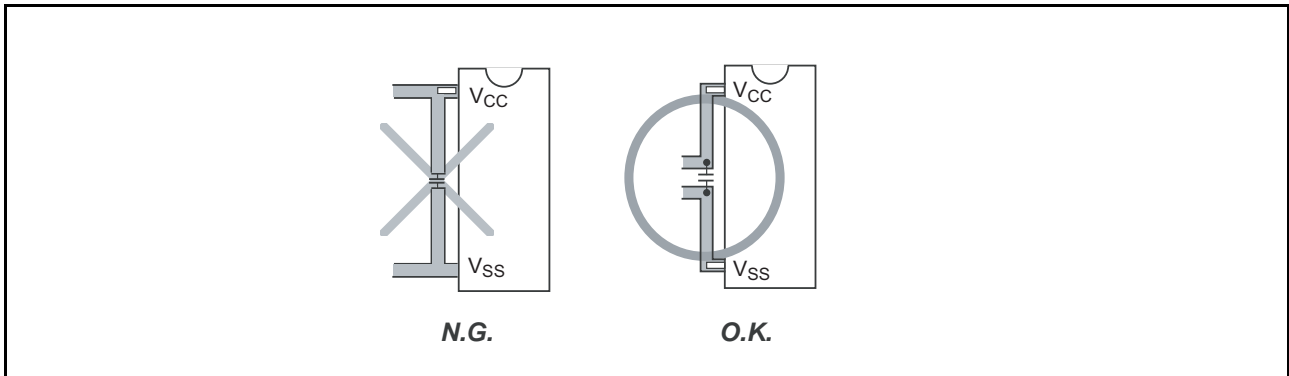


图 93 V<sub>SS</sub>-V<sub>CC</sub> 布线间的旁路电容

### 3. 对谐振器的考虑

对于用户系统及其使用条件，为了能获得稳定的运行时钟，请在征求谐振器厂家意见的基础上选定谐振器和振荡电路常数。在大电压范围和大温度范围的条件下使用时需特别注意。

另外，必须考虑不能让其他信号影响产生单片机运行基本时钟的谐振器。

#### (1) 电流信号线的回避

请尽量使超过单片机处理的电流值范围的大电流信号线远离单片机（特别是谐振器）。

##### ●理由

在使用单片机的系统中有控制马达、LED 和热敏头等的信号线。在这些信号线有大电流流动时，由于互感而产生噪声。

#### (2) 高速电平变化信号线的回避

请尽量使高速电平变化的信号线远离谐振器和谐振器的布线。

另外，高速电平变化的信号线不能和时钟相关的信号线及其他易受噪声影响的信号线交叉。

##### ●理由

高速电平变化的 CNTR 引脚等信号因上升或者下降时的电平变化而容易影响其他信号线。尤其是在和时钟相关的信号线交叉时，时钟的波形会发生紊乱，导致误动作和失控。

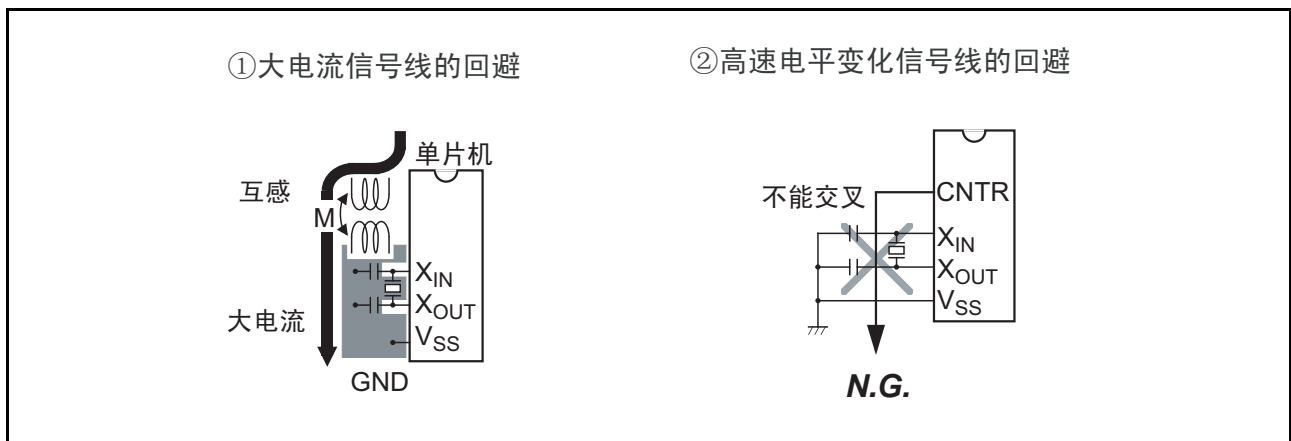


图 94 大电流信号线的布线和高速电平变化信号线的布线

### 4. 模拟输入

模拟输入引脚连接电压比较器的电容。因此，如果将高阻抗的模拟信号源连接到模拟输入引脚，就有可能因 A/D 转换时的充放电电流而得不到充分的精度。为了获得更稳定的 A/D 转换结果，必须减小模拟信号源的阻抗或者在模拟输入引脚附加平滑电容。

### 5. 存储器容量的不同

在同一群内有不同存储器容量的产品，其电特性、A/D 转换精度以及抗噪声误动作性能等指标值有可能不同。在换用这些产品时，必须在确认产品规格后对每个产品进行系统评价。

## QzROM 版电特性

表 21 绝对最大额定值

符号	项 目	条件	额定值	单位
V <sub>CC</sub>	电源电压	以 V <sub>SS</sub> 引脚为基准进行测定。 在测定输入电压时， 输出晶体管处于截止状态。	-0.3 ~ 6.5	V
V <sub>I</sub>	输入电压 P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub> 、 P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> ~ P6 <sub>7</sub> 、P7 <sub>0</sub> ~ P7 <sub>4</sub>		-0.3 ~ V <sub>CC</sub> +0.3	V
V <sub>I</sub>	输入电压 V <sub>L1</sub>		-0.3 ~ V <sub>L2</sub>	V
V <sub>I</sub>	输入电压 V <sub>L2</sub>		V <sub>L1</sub> ~ V <sub>L3</sub>	V
V <sub>I</sub>	输入电压 V <sub>L3</sub>		V <sub>L2</sub> ~ 6.5	V
V <sub>I</sub>	输入电压 C <sub>1</sub> 、C <sub>2</sub>		-0.3 ~ 6.5	V
V <sub>I</sub>	输入电压 $\overline{\text{RESET}}$ 、X <sub>IN</sub>		-0.3 ~ V <sub>CC</sub> +0.3	V
V <sub>I</sub>	输入电压 OSCSEL		-0.3 ~ 8.0	V
V <sub>O</sub>	输出电压 C <sub>1</sub> 、C <sub>2</sub>		-0.3 ~ 6.5	V
V <sub>O</sub>	输出电压 P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub>		在输出端口时	-0.3 ~ V <sub>CC</sub> +0.3
		在段输出时	-0.3 ~ V <sub>L3</sub> +0.3	V
V <sub>O</sub>	输出电压 P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> ~ P6 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>	以 V <sub>SS</sub> 引脚为基准进行测定	-0.3 ~ V <sub>CC</sub> +0.3	V
V <sub>O</sub>	输出电压 V <sub>L3</sub>		-0.3 ~ 6.5	V
V <sub>O</sub>	输出电压 V <sub>L2</sub> 、SEG <sub>32</sub> ~ SEG <sub>35</sub> 、COM <sub>0</sub> ~ COM <sub>3</sub>		-0.3 ~ V <sub>L3</sub> +0.3	V
V <sub>O</sub>	输出电压 X <sub>OUT</sub>		-0.3 ~ V <sub>CC</sub> +0.3	V
P <sub>d</sub>	功耗	T <sub>a</sub> =25°C	300	mW
T <sub>opr</sub>	工作环境温度	—	-20 ~ 85	°C
T <sub>stg</sub>	保存温度	—	-40 ~ 125	°C

表 22 推荐运行条件 (1)

(在没有指定时:  $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目		规格值			单位	
			最小	典型	最大		
V <sub>CC</sub>	电源电压 (注 1)	在 2 分频模式时 (注 2)	$f(X_{IN}) \leq 12.5MHz$	4.5		5.5	V
			$f(X_{IN}) \leq 8MHz$	4.0		5.5	V
			$f(X_{IN}) \leq 4MHz$	2.0		5.5	V
			$f(X_{IN}) \leq 2MHz$	1.8		5.5	V
		在 4 分频模式时	$f(X_{IN}) \leq 16MHz$	4.5		5.5	V
			$f(X_{IN}) \leq 8MHz$	2.0		5.5	V
			$f(X_{IN}) \leq 4MHz$	1.8		5.5	V
		在 8 分频模式时	$f(X_{IN}) \leq 16MHz$	4.5		5.5	V
			$f(X_{IN}) \leq 8MHz$	2.0		5.5	V
			$f(X_{IN}) \leq 4MHz$	1.8		5.5	V
在低速模式时			1.8		5.5	V	
在内部振荡器模式时			1.8		5.5	V	
在开始振荡时 (注 3)			$0.05 \times f + 1.9$			V	
V <sub>SS</sub>	电源电压			0		V	
V <sub>LI</sub>	V <sub>L1</sub> 输入电压	在使用升压电路时		1.3	1.8	2.1	V
V <sub>REF</sub>	A/D 转换器的基准电压			2.0		V <sub>CC</sub>	V
AV <sub>SS</sub>	模拟电源电压			0			V
V <sub>IA</sub>	模拟输入电压 AN <sub>0</sub> ~ AN <sub>7</sub>			AV <sub>SS</sub>		V <sub>CC</sub>	V
V <sub>IH</sub>	“H”电平输入电压 P <sub>00</sub> ~ P <sub>07</sub> 、P <sub>10</sub> ~ P <sub>17</sub> 、P <sub>24</sub> ~ P <sub>27</sub> 、P <sub>30</sub> ~ P <sub>37</sub> 、P <sub>41</sub> 、 P <sub>43</sub> 、P <sub>50</sub> ~ P <sub>57</sub> 、P <sub>60</sub> 、P <sub>61</sub> 、P <sub>65</sub> 、P <sub>72</sub> ~ P <sub>74</sub>			$0.7V_{CC}$		V <sub>CC</sub>	V
V <sub>IH</sub>	“H”电平输入电压 P <sub>20</sub> ~ P <sub>23</sub> 、P <sub>40</sub> 、P <sub>42</sub> 、P <sub>44</sub> ~ P <sub>47</sub> 、P <sub>62</sub> ~ P <sub>64</sub> 、P <sub>66</sub> 、 P <sub>67</sub> 、P <sub>70</sub> 、P <sub>71</sub>			$0.8V_{CC}$		V <sub>CC</sub>	V
V <sub>IH</sub>	“H”电平输入电压 RESET	$2.2V < V_{CC} \leq 5.5V$		$0.8V_{CC}$		V <sub>CC</sub>	V
		$V_{CC} \leq 2.2V$		$V_{CC} - \frac{65 \times V_{CC} - 99}{100}$		V <sub>CC</sub>	V
V <sub>IH</sub>	“H”电平输入电压 X <sub>IN</sub>			$0.8V_{CC}$		V <sub>CC</sub>	V
V <sub>IL</sub>	“L”电平输入电压 P <sub>00</sub> ~ P <sub>07</sub> 、P <sub>10</sub> ~ P <sub>17</sub> 、P <sub>24</sub> ~ P <sub>27</sub> 、P <sub>30</sub> ~ P <sub>37</sub> 、P <sub>41</sub> 、 P <sub>43</sub> 、P <sub>50</sub> ~ P <sub>57</sub> 、P <sub>60</sub> (CM <sub>4</sub> =0)、P <sub>61</sub> 、P <sub>65</sub> 、P <sub>72</sub> ~ P <sub>74</sub>			0		$0.3V_{CC}$	V
V <sub>IL</sub>	“L”电平输入电压 P <sub>20</sub> ~ P <sub>23</sub> 、P <sub>40</sub> 、P <sub>42</sub> 、P <sub>44</sub> ~ P <sub>47</sub> 、P <sub>62</sub> ~ P <sub>64</sub> 、P <sub>66</sub> 、 P <sub>67</sub> 、P <sub>70</sub> 、P <sub>71</sub> 、OSCSEL			0		$0.2V_{CC}$	V
V <sub>IL</sub>	“L”电平输入电压 RESET	$2.2V < V_{CC} \leq 5.5V$		0		$0.2V_{CC}$	V
		$V_{CC} \leq 2.2V$		0		$\frac{65 \times V_{CC} - 99}{100}$	V
V <sub>IL</sub>	“L”电平输入电压 X <sub>IN</sub>			0		$0.2V_{CC}$	V

- 【注】
1. 在使用 A/D 转换器时, 请参照 A/D 转换器的推荐运行条件。
  2. 不能在 2 分频模式中使用  $12.5MHz < f(X_{IN}) \leq 16MHz$
  3. 振荡开始电压和振荡开始时间因谐振器、电路常数和温度等而不同。  
尤其是高频的谐振器在低电压时可能很难开始振荡, 所以必须注意。  
f: 为谐振器的振荡频率 ( $1MHz \leq f(X_{IN}) \leq 8MHz$ ), 当 8MHz 时为 “8”。

表 23 推荐运行条件 (2)

(在没有指定时:  $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目	规格值			单位
		最小	典型	最大	
$\Sigma I_{OH(peak)}$	“H”电平输出总峰值电流 (注1) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			-40	mA
$\Sigma I_{OH(peak)}$	“H”电平输出总峰值电流 (注1) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> ~ P6 <sub>7</sub>			-40	mA
$\Sigma I_{OL(peak)}$	“L”电平输出总峰值电流 (注1) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			40	mA
$\Sigma I_{OL(peak)}$	“L”电平输出总峰值电流 (注1) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> 、P6 <sub>1</sub>			40	mA
$\Sigma I_{OL(peak)}$	“L”电平输出总峰值电流 (注1) P6 <sub>2</sub> ~ P6 <sub>7</sub>			110	mA
$\Sigma I_{OH(avg)}$	“H”电平输出总平均电流 (注1) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			-20	mA
$\Sigma I_{OH(avg)}$	“H”电平输出总平均电流 (注1) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> ~ P6 <sub>7</sub>			-20	mA
$\Sigma I_{OL(avg)}$	“L”电平输出总平均电流 (注1) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			20	mA
$\Sigma I_{OL(avg)}$	“L”电平输出总平均电流 (注1) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> 、P6 <sub>1</sub>			20	mA
$\Sigma I_{OL(avg)}$	“L”电平输出总平均电流 (注1) P6 <sub>2</sub> ~ P6 <sub>7</sub>			90	mA
$I_{OH(peak)}$	“H”电平输出峰值电流 (注2) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub>			-2	mA
$I_{OH(peak)}$	“H”电平输出峰值电流 (注2) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> ~ P6 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			-5	mA
$I_{OL(peak)}$	“L”电平输出峰值电流 (注2) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub>			5	mA
$I_{OL(peak)}$	“L”电平输出峰值电流 (注2) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> 、P6 <sub>1</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			10	mA
$I_{OL(peak)}$	“L”电平输出峰值电流 (注2) P6 <sub>2</sub> ~ P6 <sub>7</sub>			30	mA
$I_{OH(avg)}$	“H”电平输出平均电流 (注3) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub>			-1.0	mA
$I_{OH(avg)}$	“H”电平输出平均电流 (注3) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> ~ P6 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			-2.5	mA
$I_{OL(avg)}$	“L”电平输出平均电流 (注3) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub>			2.5	mA
$I_{OL(avg)}$	“L”电平输出平均电流 (注3) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> 、P6 <sub>1</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			5.0	mA
$I_{OL(avg)}$	“L”电平输出平均电流 (注3) P6 <sub>2</sub> ~ P6 <sub>7</sub>			15	mA

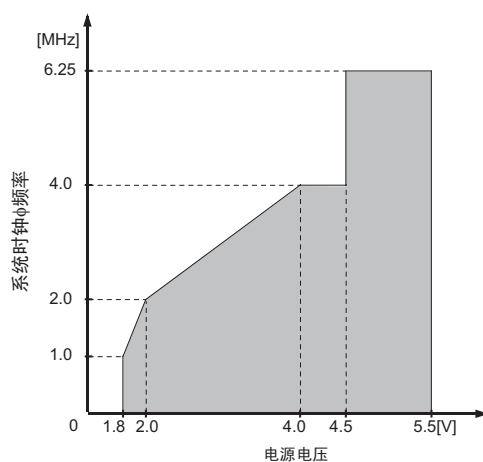
- 【注】 1. 输出总电流是流到相应端口的全部电流的总和。总平均电流是 100ms 期间的平均值，总峰值电流是峰值的总和。
2. 输出峰值电流规定每 1 个端口流通的电流峰值。
3. 输出平均电流是  $I_{OL(avg)}$  和  $I_{OH(avg)}$  100ms 期间的平均值。

表 24 推荐运行条件 (3)

(在没有指定时:  $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目	条件	规格值			单位
			最小	典型	最大	
f(CNTR0) f(CNTR1)	定时器 X 和定时器 Y 的输入频率 (当占空比为 50% 时)	$4.5V \leq V_{CC} \leq 5.5V$			6.25	MHz
		$4.0V \leq V_{CC} < 4.5V$			$2 \times V_{CC} - 4$	MHz
		$2.0V \leq V_{CC} < 4.0V$			$V_{CC}$	MHz
		$V_{CC} < 2.0V$			$5 \times V_{CC} - 8$	MHz
f(Tclk)	定时器 X、定时器 Y 和定时器 1、2、3、4 的时钟频率 (各定时器的计数源频率)	$4.5V \leq V_{CC} \leq 5.5V$			16	MHz
		$4.0V \leq V_{CC} < 4.5V$			$4 \times V_{CC} - 8$	MHz
		$2.0V \leq V_{CC} < 4.0V$			$2 \times V_{CC}$	MHz
		$V_{CC} < 2.0V$			$10 \times V_{CC} - 16$	MHz
f( $\phi$ )	系统时钟 $\phi$ 频率 (注 1)	$4.5V \leq V_{CC} \leq 5.5V$			6.25	MHz
		$4.0V \leq V_{CC} < 4.5V$			4	MHz
		$2.0V \leq V_{CC} < 4.0V$			$V_{CC}$	MHz
		$V_{CC} < 2.0V$			$5 \times V_{CC} - 8$	MHz
f(XIN)	主时钟输入振荡频率 (当占空比为 50% 时) (注 2、3)	$4.5V \leq V_{CC} \leq 5.5V$	1.0		16	MHz
		$2.0V \leq V_{CC} < 4.5V$	1.0		8.0	MHz
		$V_{CC} < 2.0V$	1.0		$20 \times V_{CC} - 32$	MHz
f(XCIN)	副时钟输入振荡频率 (当占空比为 50% 时) (注 4、5)		32.768	80	kHz	

- 【注】
1. 系统时钟  $\phi$  的频率和电源电压的关系如下图所示。
  2. 在使用 A/D 转换器时, 请参照 A/D 转换器的推荐运行条件。
  3. 不能在 2 分频模式中使用  $12.5MHz < f(XIN) \leq 16MHz$ 。
  4. 振荡开始电压和振荡开始时间因谐振器、电路常数和运行环境的温度等而不同。尤其是高频率的谐振器在低电压时可能很难开始振荡, 所以必须注意。
  5. 在使用低速模式时, 必须将钟表时钟的输入振荡频率设定为  $f(XCIN) < f(XIN)/3$ 。

<系统时钟 $\phi$ 的频率>

&lt;主时钟XIN的频率&gt;

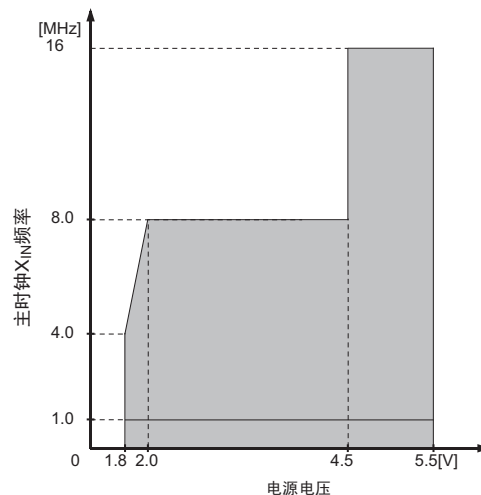


表 25 电特性 (1)

(在没有指定时:  $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目	测定条件	规格值			单位
			最小	典型	最大	
VOH	“H”电平输出电压 P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、 P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub>	I <sub>OH</sub> =-2.5mA	V <sub>CC</sub> -2.0			V
		I <sub>OH</sub> =-0.6mA	V <sub>CC</sub> -1.0			V
		V <sub>CC</sub> =2.5V				
VOH	“H”电平输出电压 P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、 P6 <sub>0</sub> ~ P6 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub> (注1)	I <sub>OH</sub> =-5mA	V <sub>CC</sub> -2.0			V
		I <sub>OH</sub> =-1.25mA	V <sub>CC</sub> -0.5			V
		I <sub>OH</sub> =-1.25mA V <sub>CC</sub> =2.5V	V <sub>CC</sub> -1.0			V
VOL	“L”电平输出电压 P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、 P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub>	I <sub>OL</sub> =5mA			2.0	V
		I <sub>OL</sub> =1.25mA			0.5	V
		I <sub>OL</sub> =1.25mA V <sub>CC</sub> =2.5V			1.0	V
VOL	“L”电平输出电压 P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> 、 P6 <sub>1</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub> (注1)	I <sub>OL</sub> =10mA			2.0	V
		I <sub>OL</sub> =2.5mA			0.5	V
		I <sub>OL</sub> =2.5mA V <sub>CC</sub> =2.5V			1.0	V
VOL	“L”电平输出电压 P6 <sub>2</sub> ~ P6 <sub>7</sub>	I <sub>OL</sub> =15mA			2.0	V
		I <sub>OL</sub> =3.0mA V <sub>CC</sub> =2.5V			0.8	V
V <sub>T+</sub> - V <sub>T-</sub>	滞后 INT <sub>00</sub> 、INT <sub>01</sub> 、INT <sub>10</sub> 、INT <sub>11</sub> 、INT <sub>2</sub> 、 CNTR <sub>0</sub> 、CNTR <sub>1</sub> 、KW <sub>0</sub> ~ KW <sub>7</sub>			0.5		V
V <sub>T+</sub> - V <sub>T-</sub>	滞后 SIN <sub>2</sub> 、SCLK <sub>1</sub> 、SCLK <sub>2</sub> 、RxD			0.5		V
V <sub>T+</sub> - V <sub>T-</sub>	滞后 RESET	RESET: V <sub>CC</sub> =2.0V ~ 5.5V		0.5		V
I <sub>IH</sub>	“H”电平输入电流 P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、 P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub>	V <sub>I</sub> =V <sub>CC</sub>			5.0	μA
I <sub>IH</sub>	“H”电平输入电流 P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、 P6 <sub>0</sub> ~ P6 <sub>7</sub> 、P7 <sub>0</sub> ~ P7 <sub>4</sub>	V <sub>I</sub> =V <sub>CC</sub>			5.0	μA
I <sub>IH</sub>	“H”电平输入电流 RESET、OSCSEL	V <sub>I</sub> =V <sub>CC</sub>			5.0	μA
I <sub>IH</sub>	“H”电平输入电流 XIN	V <sub>I</sub> =V <sub>CC</sub>		4.0		μA
I <sub>IL</sub>	“L”电平输入电流 P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、 P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub>	V <sub>I</sub> =V <sub>SS</sub> 、上拉 OFF			-5.0	μA
		V <sub>CC</sub> =5V、V <sub>I</sub> =V <sub>SS</sub> 、上拉 ON	-60	-120	-240	μA
		V <sub>CC</sub> =3V、V <sub>I</sub> =V <sub>SS</sub> 、上拉 ON	-25	-50	-100	μA
I <sub>IL</sub>	“L”电平输入电流 P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、 P6 <sub>0</sub> ~ P6 <sub>7</sub> 、P7 <sub>0</sub> ~ P7 <sub>4</sub>	V <sub>I</sub> =V <sub>SS</sub> 、上拉 OFF			-5.0	μA
		V <sub>CC</sub> =5V、V <sub>I</sub> =V <sub>SS</sub> 、上拉 ON	-30	-70	-140	μA
		V <sub>CC</sub> =3V、V <sub>I</sub> =V <sub>SS</sub> 、上拉 ON	-6.5	-25	-45	μA
I <sub>IL</sub>	“L”电平输入电流 RESET、OSCSEL	V <sub>I</sub> =V <sub>SS</sub>			-5.0	μA
I <sub>IL</sub>	“L”电平输入电流 XIN	V <sub>I</sub> =V <sub>SS</sub>		-4.0		μA
f(OCO)	内部振荡器的振荡频率	V <sub>CC</sub> =5V、T <sub>a</sub> =25°C	2500	5000	7500	kHz

【注】 1. 当 CPU 模式寄存器的端口 Xc 转换位 (地址 003B<sub>16</sub> 的 bit4) 为 “1” 时, P6<sub>1</sub> 的驱动能力和上述不同。

表 26 电特性 (2)

(在没有指定时:  $V_{CC}=1.8 \sim 5.5V$ 、 $T_a=-20 \sim 85^{\circ}C$ 、 $f(X_{CIN})=32.768kHz$ 、输出晶体管处于截止状态、A/D 转换器不运行时)

符号	项目	测定条件			规格值			单位
					最小	典型	最大	
V <sub>RAM</sub>	RAM 保持电压	在时钟停止时			1.8		5.5	V
I <sub>CC</sub>	电源电流	2 分频模式	V <sub>CC</sub> =5V	f(X <sub>IN</sub> )=12.5MHz		6.4	13	mA
				f(X <sub>IN</sub> )=12.5MHz (在执行 WIT 指令时)		1.5	3.0	mA
				f(X <sub>IN</sub> )=4MHz		2.2	3.0	mA
			V <sub>CC</sub> =2.5V	f(X <sub>IN</sub> )=4MHz		0.6	1.2	mA
				f(X <sub>IN</sub> )=4MHz (在执行 WIT 指令时)		0.3	0.6	mA
				f(X <sub>IN</sub> )=2MHz		0.4	0.8	mA
		4 分频模式	V <sub>CC</sub> =5V	f(X <sub>IN</sub> )=12.5MHz		3.5	10	mA
				f(X <sub>IN</sub> )=12.5MHz (在执行 WIT 指令时)		1.5	3	mA
				f(X <sub>IN</sub> )=4MHz		1.5	2.5	mA
			V <sub>CC</sub> =2.5V	f(X <sub>IN</sub> )=8MHz		0.8	2.5	mA
				f(X <sub>IN</sub> )=8MHz (在执行 WIT 指令时)		0.3	0.6	mA
				f(X <sub>IN</sub> )=4MHz		0.5	1.0	mA
		8 分频模式	V <sub>CC</sub> =5V	f(X <sub>IN</sub> )=12.5MHz		2.5	5.0	mA
				f(X <sub>IN</sub> )=12.5MHz (在执行 WIT 指令时)		1.5	3.0	mA
				f(X <sub>IN</sub> )=4MHz		1.2	1.6	mA
			V <sub>CC</sub> =2.5V	f(X <sub>IN</sub> )=8MHz		0.5	1.0	mA
				f(X <sub>IN</sub> )=8MHz (在执行 WIT 指令时)		0.3	0.6	mA
				f(X <sub>IN</sub> )=4MHz		0.3	0.6	mA
		低速模式	V <sub>CC</sub> =5V	f(X <sub>IN</sub> )= 停止		17	26	μA
				在执行 WIT 指令时		5.5	11	μA
			V <sub>CC</sub> =2.5V	f(X <sub>IN</sub> )= 停止		7.0	14	μA
在执行 WIT 指令时				3.5	7.0	μA		
内部振荡器模式 f(X <sub>IN</sub> )、f(X <sub>CIN</sub> )= 停止	V <sub>CC</sub> =5V			270	540	μA		
	V <sub>CC</sub> =2.5V			35	90	μA		
	V <sub>CC</sub> =2.5V (在执行 WIT 指令时)			25	75	μA		
振荡全部停止 (在执行 STP 指令时)	T <sub>a</sub> =25°C			0.1	1.0	μA		
	T <sub>a</sub> =85°C				10	μA		
AD 转换器运行时的电流增加	f(X <sub>IN</sub> )=12.5MHz、V <sub>CC</sub> =5V 2、4、8 分频模式时				0.5		mA	
	f(X <sub>IN</sub> )= 停止、V <sub>CC</sub> =5V 内部振荡器运行模式时				0.5		mA	
	f(X <sub>IN</sub> )= 停止、V <sub>CC</sub> =5V 低速模式时				0.4		mA	

表 27 A/D 转换器推荐运行条件

(在没有指定时:  $V_{CC}=2.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^\circ C$ 、输出晶体管处于截止状态)

符号	项 目	条件	规格值			单位
			最小	典型	最大	
$V_{CC}$	电源电压		2.0	5.0	5.5	V
$V_{IH}$	“H”电平输入电压 ADKEY <sub>0</sub>		$0.9V_{CC}$		$V_{CC}$	V
$V_{IL}$	“L”电平输入电压 ADKEY <sub>0</sub>		0		$0.7 \times V_{CC} - 0.5$	V
$f(\phi_{AD})$	AD 转换时钟频率 (注 1) (低速和内部振荡器模式除外)	$4.5V < V_{CC} \leq 5.5V$			6.25	MHZ
		$4.0V < V_{CC} \leq 4.5V$			4.0	MHZ
		$2.0V < V_{CC} \leq 4.0V$			$V_{CC}$	MHZ

【注】 1. 还必须根据主时钟输入频率的推荐运行条件进行确认。

表 28 A/D 转换器特性

(在没有指定时:  $V_{CC}=2.0 \sim 5.5V$ 、 $T_a=-20 \sim 85^\circ C$ 、输出晶体管处于截止状态、包括低速和内部振荡器模式)

符号	项目	测定条件	规格值			单位	
			最小	典型	最大		
—	分辨率				10	BIT	
ABS	绝对精度 (量化误差除外)	在选择 10bitAD 时	$4.5V < V_{CC} \leq 5.5V$ AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 6.25MHz$			4	LSB
			$4.0V < V_{CC} \leq 4.5V$ AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 4MHz$				
			$2.2V \leq V_{CC} \leq 4.0V$ AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq V_{CC}MHz$				
			$2.0V \leq V_{CC} \leq 5.5V$ AD 转换时钟 $=f(OCO)/8$ 、 $f(OCO)/32$				
		在选择 8bitAD 时	$4.5V < V_{CC} \leq 5.5V$ AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 6.25MHz$			2	
			$4.0V < V_{CC} \leq 4.5V$ AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 4MHz$				
			$2.2V < V_{CC} \leq 4.0V$ AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq V_{CC}MHz$				
			$2.0V \leq V_{CC} \leq 2.2V$ AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq (6V_{CC}-11)MHz$				
			$2.0V \leq V_{CC} \leq 2.2V$ AD 转换时钟 $=f(X_{IN})/8 \leq V_{CC}MHz$				
			$2.0V \leq V_{CC} \leq 5.5V$ AD 转换时钟 $=f(OCO)/8$ 、 $f(OCO)/32$				
$t_{CONV}$	转换时间 (注 1)	在选择 10bitAD 时	$t_c(\phi_{AD}) \times 61$		$t_c(\phi_{AD}) \times 62$	$\mu s$	
		在选择 8bitAD 时	$t_c(\phi_{AD}) \times 49$		$t_c(\phi_{AD}) \times 50$		
RLADDER	梯形电阻		12	35	100	K $\Omega$	
$I_{VREF}$	基准电压 输入电流	$V_{REF}=5.0V$	50	150	200	$\mu A$	
$I_{IA}$	模拟输入 电流				5.0	$\mu A$	

【注】 1.  $t_c(\phi_{AD})$ : 是 1 个 AD 转换时钟周期。AD 转换时钟能选择  $\phi_{SOURCE}/2$  或者  $\phi_{SOURCE}/8$ 。 $\phi_{SOURCE}$  在 2 分频、4 分频和 8 分频模式时, 为  $X_{IN}$  输入的振荡频率; 在低速和内部振荡器模式时, 为内部振荡器的 4 分频的振荡频率。  
在 2 分频、4 分频和 8 分频模式中进行 A/D 转换时, 必须设定为  $f(X_{IN}) \geq 500kHz$ 。

AD 转换时钟频率和电源电压、AD 转换模式以及绝对精度的关系如下：

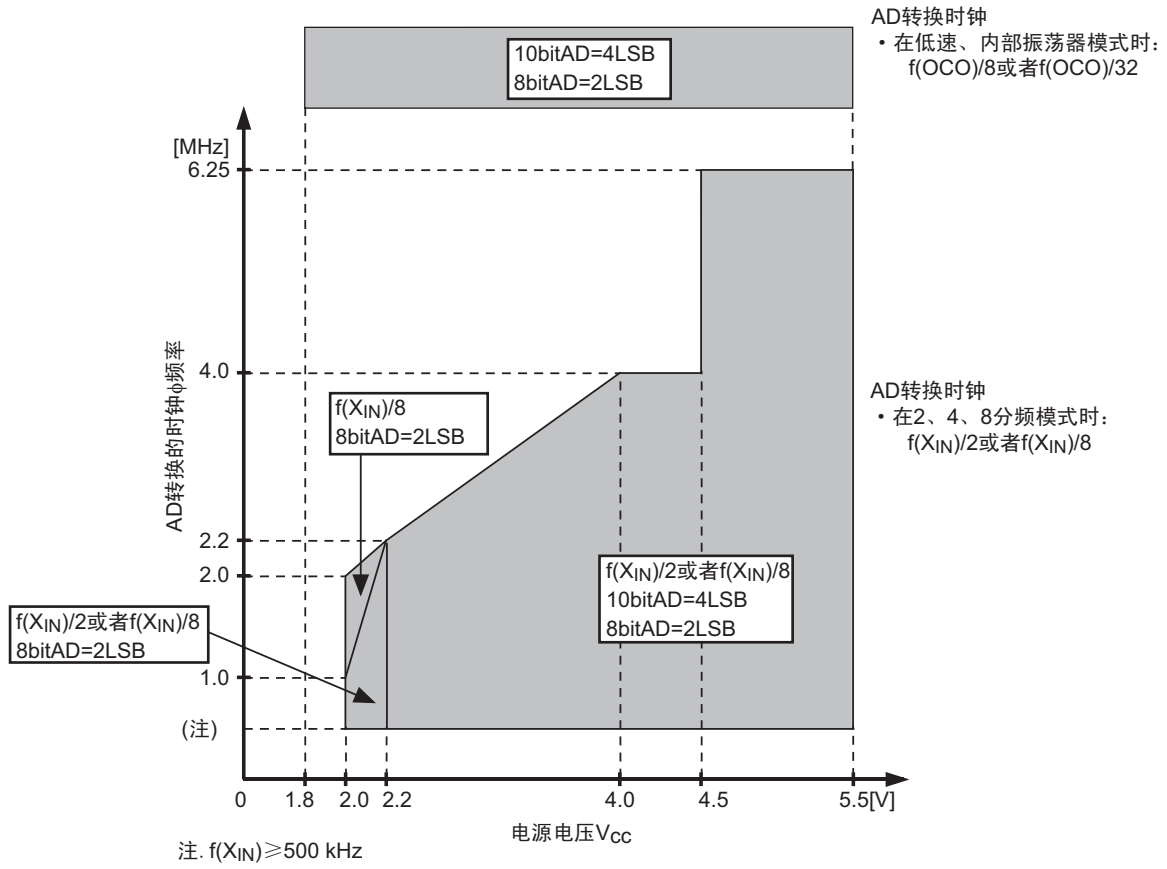


表 29 时序的必要条件 (1)

(在没有指定时:  $V_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目	规格值			单位
		最小	典型	最大	
$t_w(\text{RESET})$	复位输入的“L”电平脉宽	2			$\mu s$
$t_c(X_{IN})$	主时钟输入的周期时间	$4.5V \leq V_{CC} \leq 5.5V$ (注 1)	62.5		ns
		$4.0 \leq V_{CC} < 4.5V$	125		ns
$t_{WH}(X_{IN})$	主时钟输入的“H”电平脉宽	$4.5V \leq V_{CC} \leq 5.5V$ (注 2)	25		ns
		$4.0 \leq V_{CC} < 4.5V$	50		ns
$t_{WL}(X_{IN})$	主时钟输入的“L”电平脉宽	$4.5V \leq V_{CC} \leq 5.5V$ (注 2)	25		ns
		$4.0 \leq V_{CC} < 4.5V$	50		ns
$t_c(\text{CNTR})$	CNTR <sub>0</sub> 、CNTR <sub>1</sub> 输入的周期时间	250			ns
$t_{WH}(\text{CNTR})$	CNTR <sub>0</sub> 、CNTR <sub>1</sub> 输入的“H”电平脉宽	105			ns
$t_{WL}(\text{CNTR})$	CNTR <sub>0</sub> 、CNTR <sub>1</sub> 输入的“L”电平脉宽	105			ns
$t_{WH}(\text{INT})$	INT <sub>00</sub> 、INT <sub>01</sub> 、INT <sub>10</sub> 、INT <sub>11</sub> 、INT <sub>2</sub> 输入的“H”电平脉宽	80			ns
$t_{WL}(\text{INT})$	INT <sub>00</sub> 、INT <sub>01</sub> 、INT <sub>10</sub> 、INT <sub>11</sub> 、INT <sub>2</sub> 输入的“L”电平脉宽	80			ns
$t_c(\text{SCLK1})$	串行 I/O1 时钟输入的周期时间 (注 3)	800			ns
$t_{WH}(\text{SCLK1})$	串行 I/O1 时钟输入的“H”电平脉宽 (注 3)	370			ns
$t_{WL}(\text{SCLK1})$	串行 I/O1 时钟输入的“L”电平脉宽 (注 3)	370			ns
$t_{su}(\text{RxD-SCLK1})$	串行 I/O1 输入的准备时间	220			ns
$t_h(\text{SCLK1-RxD})$	串行 I/O1 输入的保持时间	100			ns
$t_c(\text{SCLK2})$	串行 I/O2 时钟输入的周期时间	1000			ns
$t_{WH}(\text{SCLK2})$	串行 I/O2 时钟输入的“H”电平脉宽	400			ns
$t_{WL}(\text{SCLK2})$	串行 I/O2 时钟输入的“L”电平脉宽	400			ns
$t_{su}(\text{SIN2-SCLK2})$	串行 I/O2 输入的准备时间	200			ns
$t_h(\text{SCLK2-SIN2})$	串行 I/O2 输入的保持时间	200			ns

- 【注】
1. 在使用 2 分频模式时, 为 80ns。
  2. 在使用 2 分频模式时, 为 32ns。
  3. 地址 001A<sub>16</sub> 的 bit6 是“1”(时钟同步模式)的情况。  
当地址 001A<sub>16</sub> 的 bit6 是“0”(时钟异步模式)时, 规格值为 1/4。

表 30 时序的必要条件 (2)

(在没有指定时:  $V_{CC}=1.8 \sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目		规格值			单位
			最小	典型	最大	
$t_w(\text{RESET})$	复位输入的“L”电平脉宽		2			$\mu s$
$t_c(X_{IN})$	主时钟输入的 周期时间 (输入 $X_{IN}$ )	$2.0V \leq V_{CC} < 4.0V$	125			ns
		$V_{CC} < 2.0V$	166			ns
$t_{WH}(X_{IN})$	主时钟输入的 “H”电平脉宽	$2.0V \leq V_{CC} < 4.0V$	50			ns
		$V_{CC} < 2.0V$	70			ns
$t_{WL}(X_{IN})$	主时钟输入的 “L”电平脉宽	$2.0V \leq V_{CC} < 4.0V$	50			ns
		$V_{CC} < 2.0V$	70			ns
$t_c(\text{CNTR})$	CNTR <sub>0</sub> 、CNTR <sub>1</sub> 输入 的周期时间	$2.0V \leq V_{CC} < 4.0V$	$1000/V_{CC}$			ns
		$V_{CC} < 2.0V$	$1000/(5 \times V_{CC} - 8)$			ns
$t_{WH}(\text{CNTR})$	CNTR <sub>0</sub> 、CNTR <sub>1</sub> 输入的“H”电平脉宽		$t_c(\text{CNTR})/2-20$			ns
$t_{WL}(\text{CNTR})$	CNTR <sub>0</sub> 、CNTR <sub>1</sub> 输入的“L”电平脉宽		$t_c(\text{CNTR})/2-20$			ns
$t_{WH}(\text{INT})$	INT <sub>00</sub> 、INT <sub>01</sub> 、INT <sub>10</sub> 、INT <sub>11</sub> 、INT <sub>2</sub> 输入的“H”电平脉宽		230			ns
$t_{WL}(\text{INT})$	INT <sub>00</sub> 、INT <sub>01</sub> 、INT <sub>10</sub> 、INT <sub>11</sub> 、INT <sub>2</sub> 输入的“L”电平脉宽		230			ns
$t_c(\text{SCLK1})$	串行 I/O1 时钟输入的周期时间 (注 1)		2000			ns
$t_{WH}(\text{SCLK1})$	串行 I/O1 时钟输入的“H”电平脉宽 (注 1)		950			ns
$t_{WL}(\text{SCLK1})$	串行 I/O1 时钟输入的“L”电平脉宽 (注 1)		950			ns
$t_{su}(\text{RxD-SCLK1})$	串行 I/O1 输入的准备时间		400			ns
$t_h(\text{SCLK1-RxD})$	串行 I/O1 输入的保持时间		200			ns
$t_c(\text{SCLK2})$	串行 I/O2 时钟输入的周期时间		2000			ns
$t_{WH}(\text{SCLK2})$	串行 I/O2 时钟输入的“H”电平脉宽		950			ns
$t_{WL}(\text{SCLK2})$	串行 I/O2 时钟输入的“L”电平脉宽		950			ns
$t_{su}(\text{SIN2-SCLK2})$	串行 I/O2 输入的准备时间		400			ns
$t_h(\text{SCLK2-SIN2})$	串行 I/O2 输入的保持时间		200			ns

【注】 1. 地址 001A<sub>16</sub> 的 bit6 是“1” (时钟同步模式) 的情况。  
当地址 001A<sub>16</sub> 的 bit6 是“0” (时钟异步模式) 时, 规格值为 1/4。

表 31 开关特性 (1)

(在没有指定时:  $V_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目	规格值			单位
		最小	典型	最大	
$t_{WH}(SCLK1)$	串行 I/O1 时钟输出的“H”电平脉宽	$t_c(SCLK1)/2-30$			ns
$t_{WL}(SCLK1)$	串行 I/O1 时钟输出的“L”电平脉宽	$t_c(SCLK1)/2-30$			ns
$t_d(SCLK1-TxD)$	串行 I/O1 输出的延迟时间 (注 1)			140	ns
$t_v(SCLK1-TxD)$	串行 I/O1 输出的有效时间 (注 1)	-30			ns
$t_r(SCLK1)$	串行 I/O1 时钟输出的上升时间			30	ns
$t_f(SCLK1)$	串行 I/O1 时钟输出的下降时间			30	ns
$t_{WH}(SCLK2)$	串行 I/O2 时钟输出的“H”电平脉宽	$t_c(SCLK2)/2-30$			ns
$t_{WL}(SCLK2)$	串行 I/O2 时钟输出的“L”电平脉宽	$t_c(SCLK2)/2-30$			ns
$t_f(SCLK2)$	串行 I/O2 时钟输出的下降时间			40	ns
$t_d(SCLK2-SOUT2)$	串行 I/O2 输出的延迟时间			140	ns
$t_v(SCLK2-SOUT2)$	串行 I/O2 输出的有效时间	-30			ns

【注】 1. UART 控制寄存器的 P4<sub>1</sub>/TxD P 沟道输出禁止位 (地址 001B<sub>16</sub> 的 bit4) 是“0”的情况。

表 32 开关特性 (2)

(在没有指定时:  $V_{CC}=1.8 \sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目	规格值			单位
		最小	典型	最大	
$t_{WH}(SCLK1)$	串行 I/O1 时钟输出的“H”电平脉宽	$t_c(SCLK1)/2-80$			ns
$t_{WL}(SCLK1)$	串行 I/O1 时钟输出的“L”电平脉宽	$t_c(SCLK1)/2-80$			ns
$t_d(SCLK1-TxD)$	串行 I/O1 输出的延迟时间 (注 1)			350	ns
$t_v(SCLK1-TxD)$	串行 I/O1 输出的有效时间 (注 1)	-30			ns
$t_r(SCLK1)$	串行 I/O1 时钟输出的上升时间			80	ns
$t_f(SCLK1)$	串行 I/O1 时钟输出的下降时间			80	ns
$t_{WH}(SCLK2)$	串行 I/O2 时钟输出的“H”电平脉宽	$t_c(SCLK2)/2-80$			ns
$t_{WL}(SCLK2)$	串行 I/O2 时钟输出的“L”电平脉宽	$t_c(SCLK2)/2-80$			ns
$t_f(SCLK2)$	串行 I/O2 时钟输出的下降时间			80	ns
$t_d(SCLK2-SOUT2)$	串行 I/O2 输出的延迟时间			350	ns
$t_v(SCLK2-SOUT2)$	串行 I/O2 输出的有效时间	-30			ns

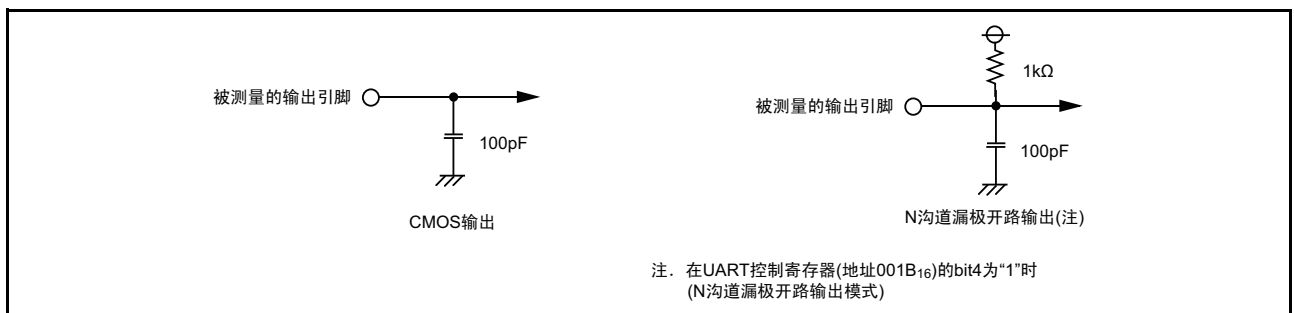
【注】 1. UART 控制寄存器的 P4<sub>1</sub>/TxD P 沟道输出禁止位 (地址 001B<sub>16</sub> 的 bit4) 是“0”的情况。

图 95 输出开关特性的测定电路图

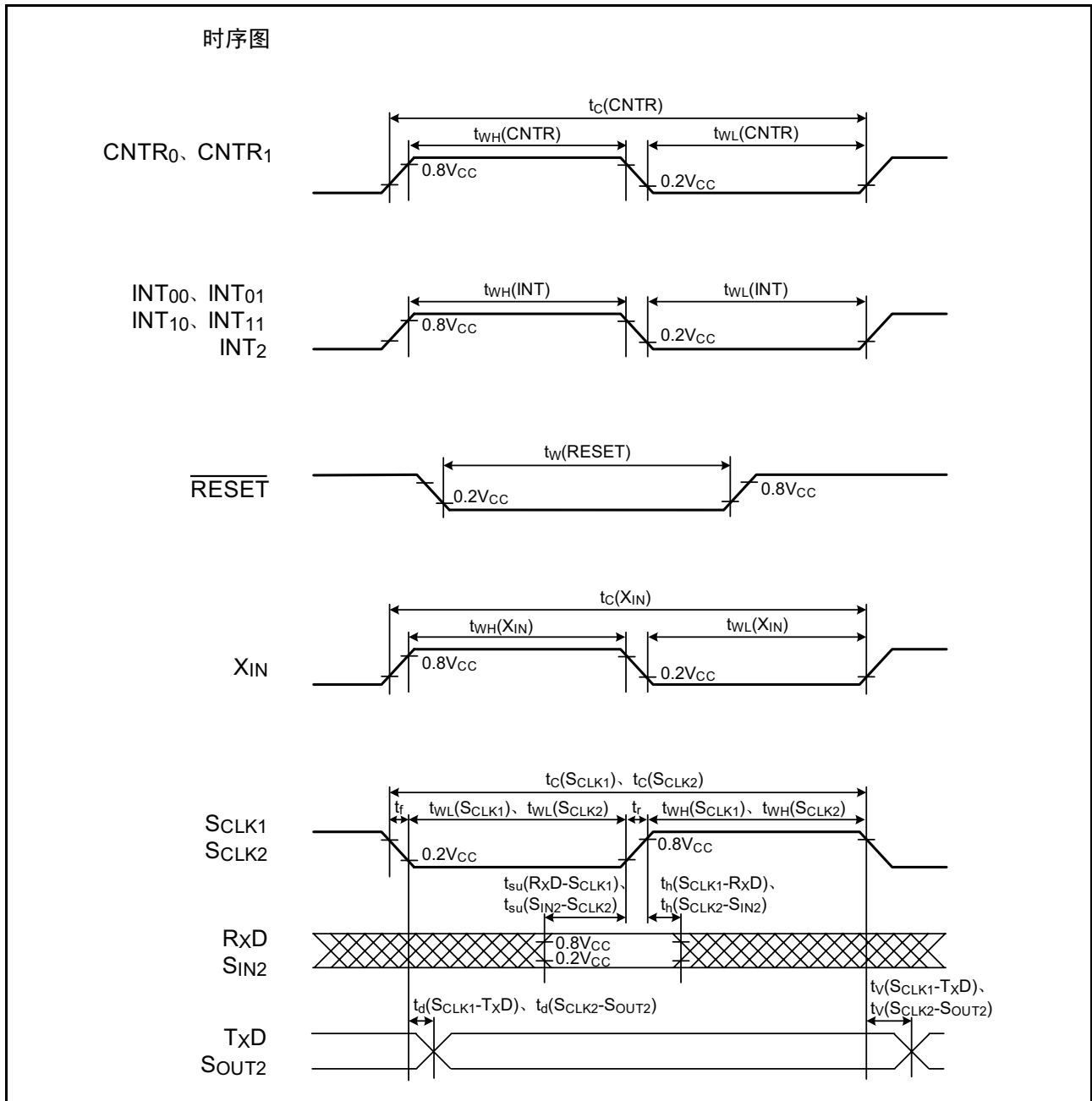


图 96 时序图

## 闪存版电特性

表 33 绝对最大额定值

符号	项 目		条件	额定值	单位
V <sub>CC</sub>	电源电压		以 V <sub>SS</sub> 引脚为基准进行测定。 在测定输入电压时，输出晶体管处于截止状态。	-0.3 ~ 6.5	V
V <sub>I</sub>	输入电压 P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub> 、 P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> ~ P6 <sub>7</sub> 、P7 <sub>0</sub> ~ P7 <sub>4</sub>			-0.3 ~ V <sub>CC</sub> +0.3	V
V <sub>I</sub>	输入电压 V <sub>L1</sub>			-0.3 ~ V <sub>L2</sub>	V
V <sub>I</sub>	输入电压 V <sub>L2</sub>			V <sub>L1</sub> ~ V <sub>L3</sub>	V
V <sub>I</sub>	输入电压 V <sub>L3</sub>			V <sub>L2</sub> ~ 6.5	V
V <sub>I</sub>	输入电压 C <sub>1</sub> 、C <sub>2</sub>			-0.3 ~ 6.5	V
V <sub>I</sub>	输入电压 $\overline{\text{RESET}}$ 、X <sub>IN</sub> 、CNV <sub>SS</sub>			-0.3 ~ V <sub>CC</sub> +0.3	V
V <sub>O</sub>	输出电压 C <sub>1</sub> 、C <sub>2</sub>			-0.3 ~ 6.5	V
V <sub>O</sub>	输出电压 P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、 P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub>	在输出端口时	-0.3 ~ V <sub>CC</sub> +0.3	V	
		在段输出时	-0.3 ~ V <sub>L3</sub> +0.3	V	
V <sub>O</sub>	输出电压 P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> ~ P6 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>		-0.3 ~ V <sub>CC</sub> +0.3	V	
V <sub>O</sub>	输出电压 V <sub>L3</sub>		-0.3 ~ 6.5	V	
V <sub>O</sub>	输出电压 V <sub>L2</sub> 、SEG <sub>32</sub> ~ SEG <sub>35</sub> 、COM <sub>0</sub> ~ COM <sub>3</sub>		-0.3 ~ V <sub>L3</sub> +0.3	V	
V <sub>O</sub>	输出电压 X <sub>OUT</sub>		-0.3 ~ V <sub>CC</sub> +0.3	V	
P <sub>d</sub>	功耗		T <sub>a</sub> =25°C	300	mW
T <sub>opr</sub>	工作环境温度			-20 ~ 85	°C
T <sub>stg</sub>	保存温度			-40 ~ 125	°C

表 34 推荐运行条件 (1)

(在没有指定时:  $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目		规格值			单位	
			最小	典型	最大		
Vcc	电源电压 (注 1)	在 2 分频模式时 (注 2)	$f(X_{IN}) \leq 12.5MHz$	4.5		5.5	V
			$f(X_{IN}) \leq 8MHz$	4.0		5.5	V
			$f(X_{IN}) \leq 4MHz$	2.7		5.5	V
		在 4 分频模式时	$f(X_{IN}) \leq 16MHz$	4.5		5.5	V
			$f(X_{IN}) \leq 8MHz$	2.7		5.5	V
		在 8 分频模式时	$f(X_{IN}) \leq 16MHz$	4.5		5.5	V
			$f(X_{IN}) \leq 8MHz$	2.7		5.5	V
		在低速模式时		2.7		5.5	V
在内部振荡器模式时		2.7		5.5	V		
VSS	电源电压			0		V	
VLI	V <sub>L1</sub> 输入电压	在使用升压电路时		1.3	1.8	2.1	V
VREF	A/D 转换器的基准电压			2.7		V <sub>CC</sub>	V
AVSS	模拟电源电压				0		V
VIA	模拟输入电压 AN <sub>0</sub> ~ AN <sub>7</sub>			AVSS		V <sub>CC</sub>	V
V <sub>IH</sub>	“H” 电平输入电压 P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>4</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub> 、P4 <sub>1</sub> 、 P4 <sub>3</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> 、P6 <sub>1</sub> 、P6 <sub>5</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			0.7V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IH</sub>	“H” 电平输入电压 P2 <sub>0</sub> ~ P2 <sub>3</sub> 、P4 <sub>0</sub> 、P4 <sub>2</sub> 、P4 <sub>4</sub> ~ P4 <sub>7</sub> 、P6 <sub>2</sub> ~ P6 <sub>4</sub> 、P6 <sub>6</sub> 、 P6 <sub>7</sub> 、P7 <sub>0</sub> 、P7 <sub>1</sub>			0.8V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IH</sub>	“H” 电平输入电压 $\overline{RESET}$			0.8V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IH</sub>	“H” 电平输入电压 X <sub>IN</sub>			0.8V <sub>CC</sub>		V <sub>CC</sub>	V
V <sub>IL</sub>	“L” 电平输入电压 P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>4</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub> 、P4 <sub>1</sub> 、 P4 <sub>3</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> (CM <sub>4</sub> =0)、P6 <sub>1</sub> 、P6 <sub>5</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			0		0.3V <sub>CC</sub>	V
V <sub>IL</sub>	“L” 电平输入电压 P2 <sub>0</sub> ~ P2 <sub>3</sub> 、P4 <sub>0</sub> 、P4 <sub>2</sub> 、P4 <sub>4</sub> ~ P4 <sub>7</sub> 、 P6 <sub>2</sub> ~ P6 <sub>4</sub> 、P6 <sub>6</sub> 、P6 <sub>7</sub> 、P7 <sub>0</sub> 、P7 <sub>1</sub>			0		0.2V <sub>CC</sub>	V
V <sub>IL</sub>	“L” 电平输入电压 $\overline{RESET}$			0		0.2V <sub>CC</sub>	V
V <sub>IL</sub>	“L” 电平输入电压 X <sub>IN</sub>			0		0.2V <sub>CC</sub>	V

- 【注】 1. 在使用 A/D 转换器时, 请参照 A/D 转换器的推荐运行条件。  
2. 不能在 2 分频模式中使用  $12.5MHz < f(X_{IN}) \leq 16MHz$ 。

表 35 推荐运行条件 (2)

(在没有指定时:  $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目	规格值			单位
		最小	典型	最大	
$\Sigma I_{OH(peak)}$	“H”电平输出总峰值电流 (注1) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			-40	mA
$\Sigma I_{OH(peak)}$	“H”电平输出总峰值电流 (注1) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> ~ P6 <sub>7</sub>			-40	mA
$\Sigma I_{OL(peak)}$	“L”电平输出总峰值电流 (注1) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			40	mA
$\Sigma I_{OL(peak)}$	“L”电平输出总峰值电流 (注1) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> 、P6 <sub>1</sub>			40	mA
$\Sigma I_{OL(peak)}$	“L”电平输出总峰值电流 (注1) P6 <sub>2</sub> ~ P6 <sub>7</sub>			110	mA
$\Sigma I_{OH(avg)}$	“H”电平输出总平均电流 (注1) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			-20	mA
$\Sigma I_{OH(avg)}$	“H”电平输出总平均电流 (注1) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> ~ P6 <sub>7</sub>			-20	mA
$\Sigma I_{OL(avg)}$	“L”电平输出总平均电流 (注1) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			20	mA
$\Sigma I_{OL(avg)}$	“L”电平输出总平均电流 (注1) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> 、P6 <sub>1</sub>			20	mA
$\Sigma I_{OL(avg)}$	“L”电平输出总平均电流 (注1) P6 <sub>2</sub> ~ P6 <sub>7</sub>			90	mA
$I_{OH(peak)}$	“H”电平输出峰值电流 (注2) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub>			-2	mA
$I_{OH(peak)}$	“H”电平输出峰值电流 (注2) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> ~ P6 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			-5	mA
$I_{OL(peak)}$	“L”电平输出峰值电流 (注2) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub>			5	mA
$I_{OL(peak)}$	“L”电平输出峰值电流 (注2) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> 、P6 <sub>1</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			10	mA
$I_{OL(peak)}$	“L”电平输出峰值电流 (注2) P6 <sub>2</sub> ~ P6 <sub>7</sub>			30	mA
$I_{OH(avg)}$	“H”电平输出平均电流 (注3) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub>			-1.0	mA
$I_{OH(avg)}$	“H”电平输出平均电流 (注3) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> ~ P6 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			-2.5	mA
$I_{OL(avg)}$	“L”电平输出平均电流 (注3) P0 <sub>0</sub> ~ P0 <sub>7</sub> 、P1 <sub>0</sub> ~ P1 <sub>7</sub> 、P2 <sub>0</sub> ~ P2 <sub>7</sub> 、P3 <sub>0</sub> ~ P3 <sub>7</sub>			2.5	mA
$I_{OL(avg)}$	“L”电平输出平均电流 (注3) P4 <sub>0</sub> ~ P4 <sub>7</sub> 、P5 <sub>0</sub> ~ P5 <sub>7</sub> 、P6 <sub>0</sub> ~ P6 <sub>7</sub> 、P7 <sub>2</sub> ~ P7 <sub>4</sub>			5.0	mA
$I_{OL(avg)}$	“L”电平输出平均电流 (注3) P6 <sub>2</sub> ~ P6 <sub>7</sub>			15	mA

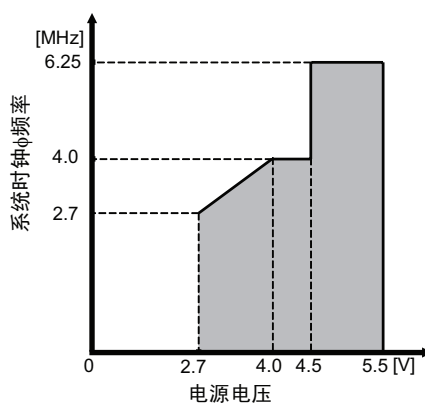
- 【注】 1. 输出总电流是流到相应端口的全部电流的总和。总平均电流是 100ms 期间的平均值，总峰值电流是峰值的总和。
2. 输出峰值电流规定每 1 个端口流通的电流峰值。
3. 输出平均电流是  $I_{OL(avg)}$  和  $I_{OH(avg)}$  100ms 期间的平均值。

表 36 推荐运行条件 (3)

(在没有指定时:  $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目	条件	规格值			单位
			最小	典型	最大	
f(CNTR0) f(CNTR1)	定时器 X 和定时器 Y 的输入频率 (当占空比为 50% 时)	$4.5V \leq V_{CC} \leq 5.5V$			6.25	MHz
		$4.0V \leq V_{CC} < 4.5V$			$2 \times V_{CC} - 4$	MHz
		$2.7V \leq V_{CC} < 4.0V$			$V_{CC}$	MHz
f(Tclk)	定时器 X、定时器 Y 和定时器 1、2、3、4 的时钟频率 (各定时器的计数源频率)	$4.5V \leq V_{CC} \leq 5.5V$			16	MHz
		$4.0V \leq V_{CC} < 4.5V$			$4 \times V_{CC} - 8$	MHz
		$2.7V \leq V_{CC} < 4.0V$			$2 \times V_{CC}$	MHz
f( $\phi$ )	系统时钟 $\phi$ 频率 (注 1)	$4.5V \leq V_{CC} \leq 5.5V$			6.25	MHz
		$4.0V \leq V_{CC} < 4.5V$			4	MHz
		$2.7V \leq V_{CC} < 4.0V$			$V_{CC}$	MHz
f(XIN)	主时钟输入振荡频率 (当占空比为 50% 时) (注 2、3)	$4.5V \leq V_{CC} \leq 5.5V$	1.0		16	MHz
		$2.7V \leq V_{CC} < 4.5V$	1.0		8.0	MHz
f(XCIN)	副时钟输入振荡频率 (当占空比为 50% 时) (注 4、5)			32.768	80	kHz

- 【注】
1. 系统时钟  $\phi$  的频率和电源电压的关系如下图所示。
  2. 在使用 A/D 转换器时, 请参照 A/D 转换器的推荐运行条件。
  3. 不能在 2 分频模式中使用  $12.5MHz < f(XIN) \leq 16MHz$ 。
  4. 振荡开始电压和振荡开始时间因谐振器、电路常数和运行环境的温度等而不同。尤其是高频的谐振器在低电压时可能很难开始振荡, 所以必须注意。
  5. 在使用低速模式时, 必须将钟表时钟的输入振荡频率设定为  $f(XCIN) < f(XIN)/3$ 。

<系统时钟 $\phi$ 的频率>

&lt;主时钟XIN的频率&gt;

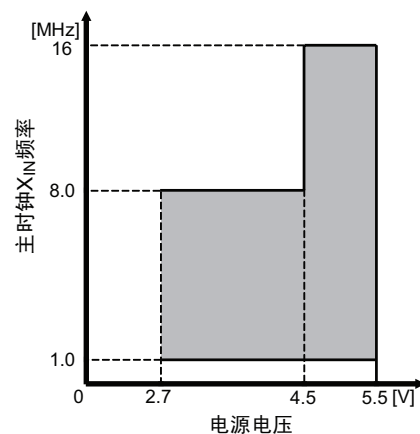


表 37 电特性 (1)

(在没有指定时:  $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目	测定条件	规格值			单位
			最小	典型	最大	
$V_{OH}$	“H”电平输出电压 P00 ~ P07、P10 ~ P17、 P20 ~ P27、P30 ~ P37	$I_{OH}=-2.5mA$	$V_{CC}-2.0$			V
$V_{OH}$	“H”电平输出电压 P40 ~ P47、P50 ~ P57、 P60 ~ P67、P72 ~ P74 (注1)	$I_{OH}=-5mA$	$V_{CC}-2.0$			V
		$I_{OH}=-1.25mA$	$V_{CC}-0.5$			V
$V_{OL}$	“L”电平输出电压 P00 ~ P07、P10 ~ P17、 P20 ~ P27、P30 ~ P37	$I_{OL}=5mA$			2.0	V
		$I_{OL}=1.25mA$			0.5	V
$V_{OL}$	“L”电平输出电压 P40 ~ P47、P50 ~ P57、 P60 ~ P67、P72 ~ P74 (注1)	$I_{OL}=10mA$			2.0	V
		$I_{OL}=2.5mA$			0.5	V
$V_{OL}$	“L”电平输出电压 P62 ~ P67	$I_{OL}=15mA$			2.0	V
$V_{T+} - V_{T-}$	滞后 INT00、INT01、INT10、INT11、INT2、 CNTR0、CNTR1、KW0 ~ KW7			0.5		V
$V_{T+} - V_{T-}$	滞后 SIN2、SCLK1、SCLK2、RxD			0.5		V
$V_{T+} - V_{T-}$	滞后 RESET			0.5		V
$I_{IH}$	“H”电平输入电流 P00 ~ P07、P10 ~ P17、 P20 ~ P27、P30 ~ P37	$V_I=V_{CC}$			5.0	$\mu A$
$I_{IH}$	“H”电平输入电流 P40 ~ P47、P50 ~ P57、 P60 ~ P67、P72 ~ P74	$V_I=V_{CC}$			5.0	$\mu A$
$I_{IH}$	“H”电平输入电流 RESET、CNV <sub>SS</sub>	$V_I=V_{CC}$			5.0	$\mu A$
$I_{IH}$	“H”电平输入电流 XIN	$V_I=V_{CC}$		4.0		$\mu A$
$I_{IL}$	“L”电平输入电流 P00 ~ P07、P10 ~ P17、 P20 ~ P27、P30 ~ P37	$V_I=V_{SS}$ 、上拉 OFF			-5.0	$\mu A$
		$V_{CC}=5V$ 、 $V_I=V_{SS}$ 、上拉 ON	-60	-120	-240	$\mu A$
		$V_{CC}=3V$ 、 $V_I=V_{SS}$ 、上拉 ON	-25	-50	-100	$\mu A$
$I_{IL}$	“L”电平输入电流 P40 ~ P47、P50 ~ P57、 P60 ~ P67、P72 ~ P74	$V_I=V_{SS}$ 、上拉 OFF			-5.0	$\mu A$
		$V_{CC}=5V$ 、 $V_I=V_{SS}$ 、上拉 ON	-30	-70	-140	$\mu A$
		$V_{CC}=3V$ 、 $V_I=V_{SS}$ 、上拉 ON	-6.5	-25	-45	$\mu A$
$I_{IL}$	“L”电平输入电流 RESET、CNV <sub>SS</sub>	$V_I=V_{SS}$			-5.0	$\mu A$
$I_{IL}$	“L”电平输入电流 XIN	$V_I=V_{SS}$		-4.0		$\mu A$
f(OCO)	内部振荡器的振荡频率	$V_{CC}=5V$ 、 $T_a=25^{\circ}C$	2500	5000	7500	kHz

【注】 1. 当 CPU 模式寄存器的端口 Xc 转换位 (地址 003B16 的 bit4) 为 “1” 时, P61 的驱动能力和上述不同。

表 38 电特性 (2)

(在没有指定时:  $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ 、 $f(X_{CIN})=32.768kHz$ 、输出晶体管处于截止状态、A/D 转换器不运行时)

符号	项目	测定条件			规格值			单位	
					最小	典型	最大		
$V_{RAM}$	RAM 保持电压	在时钟停止时			2.2		5.5	V	
$I_{CC}$	电源电流	2 分频模式	$V_{CC}=5.0V$	$f(X_{IN})=12.5MHz$		4.0	7.0	mA	
				$f(X_{IN})=12.5MHz$ (在执行 WIT 指令时)		2.0	3.5	mA	
				$f(X_{IN})=4MHz$		2.0	3.5	mA	
			$V_{CC}=2.7V$	$f(X_{IN})=4MHz$		1.5	3	mA	
				$f(X_{IN})=4MHz$ (在执行 WIT 指令时)		1.0	2.5	mA	
				$f(X_{IN})=2MHz$		1.0	2.5	mA	
		4 分频模式	$V_{CC}=5.0V$	$f(X_{IN})=12.5MHz$		3.2	5.6	mA	
				$f(X_{IN})=12.5MHz$ (在执行 WIT 指令时)		1.6	3.2	mA	
				$f(X_{IN})=4MHz$		1.6	3.2	mA	
			$V_{CC}=2.7V$	$f(X_{IN})=8MHz$		1.6	3.2	mA	
				$f(X_{IN})=8MHz$ (在执行 WIT 指令时)		1.0	2.5	mA	
				$f(X_{IN})=4MHz$		1.0	2.5	mA	
		8 分频模式	$V_{CC}=5.0V$	$f(X_{IN})=12.5MHz$		2.5	5	mA	
				$f(X_{IN})=12.5MHz$ (在执行 WIT 指令时)		1.5	3	mA	
				$f(X_{IN})=4MHz$		1.5	3	mA	
			$V_{CC}=2.7V$	$f(X_{IN})=8MHz$		1.5	3	mA	
				$f(X_{IN})=8MHz$ (在执行 WIT 指令时)		1.0	2.5	mA	
				$f(X_{IN})=4MHz$		1.0	2.5	mA	
		低速模式	$V_{CC}=5.0V$	$f(X_{IN})=$ 停止		400	800	$\mu A$	
				在执行 WIT 指令时	$T_a=25^{\circ}C$		4.0	10	$\mu A$
					$T_a=85^{\circ}C$			20	
			$V_{CC}=2.7V$	$f(X_{IN})=$ 停止		300	600	$\mu A$	
				在执行 WIT 指令时	$T_a=25^{\circ}C$		3.7	9	$\mu A$
					$T_a=85^{\circ}C$			18	
		内部振荡器模式 $f(X_{IN})$ 、 $f(X_{CIN})=$ 停止	$V_{CC}=5.0V$		600	1200	$\mu A$		
			$V_{CC}=2.7V$		500	1000	$\mu A$		
			$V_{CC}=2.7V$ (在执行 WIT 指令时)		500	1000	$\mu A$		
振荡全部停止 (在执行 STP 指令时)	$T_a=25^{\circ}C$		0.6	3.0	$\mu A$				
	$T_a=85^{\circ}C$		1.0		$\mu A$				
AD 转换器运行时的电流增加	$f(X_{IN})=12.5MHz$ 、 $V_{CC}=5V$ 2、4、8 分频模式时		1.0		mA				
	$f(X_{IN})=$ 停止、 $V_{CC}=5V$ 内部振荡器运行模式时		1.0		mA				
	$f(X_{IN})=$ 停止、 $V_{CC}=5V$ 低速模式时		0.8		mA				

表 39 A/D 转换器推荐运行条件

(在没有指定时:  $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^\circ C$ 、输出晶体管处于截止状态)

符号	项 目	条件	规格值			单位
			最小	典型	最大	
$V_{CC}$	电源电压		2.0	5.0	5.5	V
$V_{IH}$	“H”电平输入电压 ADKEY <sub>0</sub>		0.9 $V_{CC}$		$V_{CC}$	V
$V_{IL}$	“L”电平输入电压 ADKEY <sub>0</sub>		0		$0.7 \times V_{CC} - 0.5$	V
$f(\phi_{AD})$	AD 转换时钟频率 (注 1) (低速和内部振荡器模式除外)	$4.5V < V_{CC} \leq 5.5V$			6.25	MHZ
		$4.0V < V_{CC} \leq 4.5V$			4.0	MHZ
		$2.7V \leq V_{CC} \leq 4.0V$			$V_{CC}$	MHZ

【注】 1. 还必须根据主时钟输入频率的推荐运行条件进行确认。

表 40 A/D 转换器特性

(在没有指定时:  $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^\circ C$ 、输出晶体管处于截止状态、包括低速和内部振荡器模式)

符号	项 目	测定条件		规格值			单位
				最小	典型	最大	
—	分辨率					10	BIT
ABS	绝对精度 (量化误差 除外)	在选择 10bitAD 时	$4.5V < V_{CC} \leq 5.5V$ AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 6.25MHz$			4	LSB
			$4.0V \leq V_{CC} \leq 4.5V$ AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 4MHz$				
			$2.7V \leq V_{CC} \leq 4.0V$ AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq V_{CC}MHz$				
			$2.7V \leq V_{CC} \leq 5.5V$ $f(OCO)/8$ 、 $f(OCO)/32$				
		在选择 8bitAD 时	$4.5V < V_{CC} \leq 5.5V$ AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 6.25MHz$			2	
			$4.0V < V_{CC} \leq 4.5V$ AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq 4MHz$				
			$2.7V \leq V_{CC} \leq 4.0V$ AD 转换时钟 $=f(X_{IN})/2$ 、 $f(X_{IN})/8 \leq V_{CC}MHz$				
			$2.7V \leq V_{CC} \leq 5.5V$ $f(OCO)/8$ 、 $f(OCO)/32$				
$t_{CONV}$	转换时间 (注 1)	在选择 10bitAD 时		$t_c(\phi_{AD}) \times 61$		$t_c(\phi_{AD}) \times 62$	$\mu s$
		在选择 8bitAD 时		$t_c(\phi_{AD}) \times 49$		$t_c(\phi_{AD}) \times 50$	
RLADDER	梯形电阻			12	35	100	$K\Omega$
$I_{VREF}$	基准电压 输入电流	$V_{REF}=5.0V$		50	150	200	$\mu A$
$I_{IA}$	模拟输入 电流					5.0	$\mu A$

【注】 1.  $t_c(\phi_{AD})$ : 是 1 个 AD 转换时钟周期。AD 转换时钟能选择  $\phi_{SOURCE}/2$  或者  $\phi_{SOURCE}/8$ 。 $\phi_{SOURCE}$  在 2 分频、4 分频和 8 分频模式时, 为  $X_{IN}$  输入的振荡频率; 在低速和内部振荡器模式时, 为内部振荡器的 4 分频的振荡频率。  
在 2 分频、4 分频和 8 分频模式中进行 A/D 转换时, 必须设定为  $f(X_{IN}) \geq 500kHz$ 。

AD 转换时钟频率和电源电压、AD 转换模式以及绝对精度的关系如下：

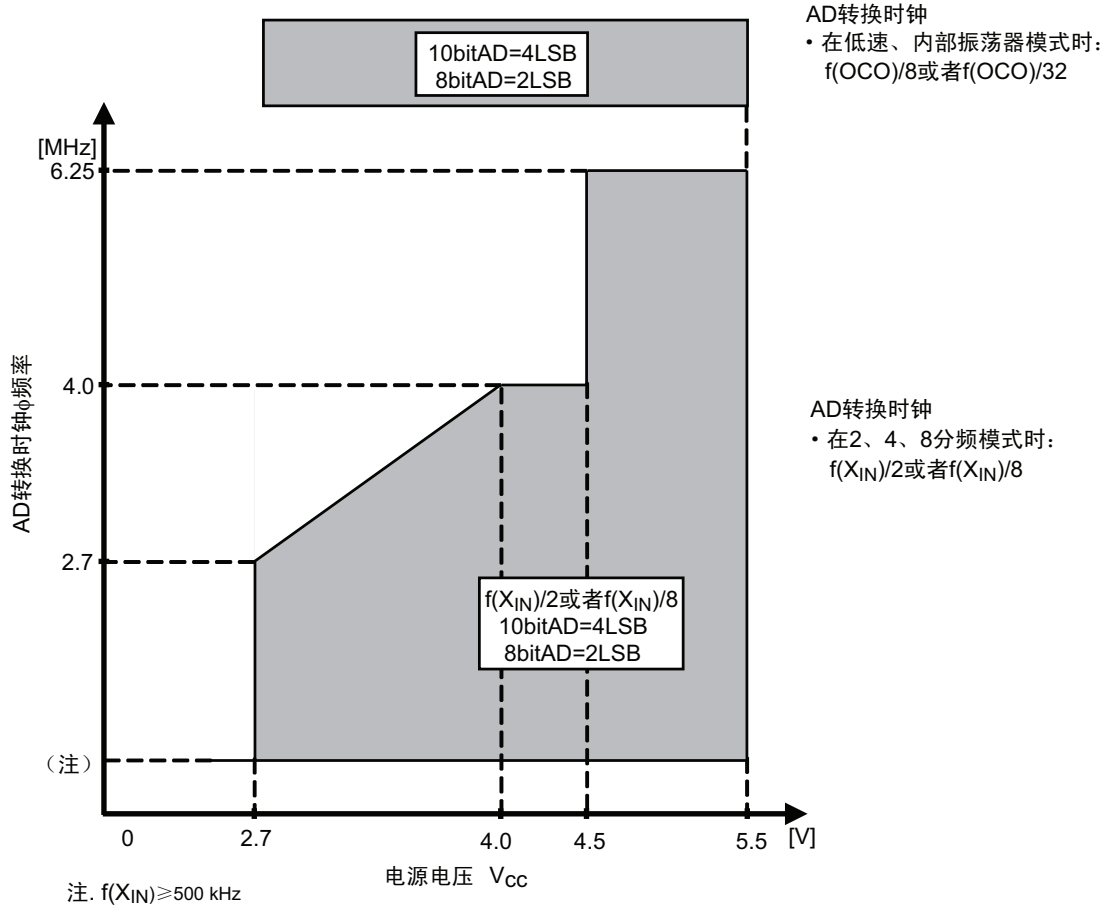


表 41 电源电路的时序特性

(在没有指定时:  $V_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目	测定条件	规格值			单位
			最小	典型	最大	
td(P-R)	接通电源时内部电源稳定时间	$2.7V \leq V_{CC} \leq 5.5V$	2			ms

表 42 时序的必要条件 (1)

(在没有指定时:  $V_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目	规格值			单位
		最小	典型	最大	
$t_w(\overline{RESET})$	复位输入的“L”电平脉宽	2			$\mu s$
$t_c(X_{IN})$	主时钟输入的周期时间	$4.5V \leq V_{CC} \leq 5.5V$ (注 1)	62.5		ns
		$4.0 \leq V_{CC} < 4.5V$	125		ns
$t_{WH}(X_{IN})$	主时钟输入的“H”电平脉宽	$4.5V \leq V_{CC} \leq 5.5V$ (注 2)	25		ns
		$4.0 \leq V_{CC} < 4.5V$	50		ns
$t_{WL}(X_{IN})$	主时钟输入的“L”电平脉宽	$4.5V \leq V_{CC} \leq 5.5V$ (注 2)	25		ns
		$4.0 \leq V_{CC} < 4.5V$	50		ns
$t_c(CNTR)$	CNTR <sub>0</sub> 、CNTR <sub>1</sub> 输入的周期时间	250			ns
$t_{WH}(CNTR)$	CNTR <sub>0</sub> 、CNTR <sub>1</sub> 输入的“H”电平脉宽	105			ns
$t_{WL}(CNTR)$	CNTR <sub>0</sub> 、CNTR <sub>1</sub> 输入的“L”电平脉宽	105			ns
$t_{WH}(INT)$	INT <sub>00</sub> 、INT <sub>01</sub> 、INT <sub>10</sub> 、INT <sub>11</sub> 、INT <sub>2</sub> 输入的“H”电平脉宽	80			ns
$t_{WL}(INT)$	INT <sub>00</sub> 、INT <sub>01</sub> 、INT <sub>10</sub> 、INT <sub>11</sub> 、INT <sub>2</sub> 输入的“L”电平脉宽	80			ns
$t_c(SCLK1)$	串行 I/O1 时钟输入的周期时间 (注 3)	800			ns
$t_{WH}(SCLK1)$	串行 I/O1 时钟输入的“H”电平脉宽 (注 3)	370			ns
$t_{WL}(SCLK1)$	串行 I/O1 时钟输入的“L”电平脉宽 (注 3)	370			ns
$t_{su}(RxD-SCLK1)$	串行 I/O1 输入的准备时间	220			ns
$t_h(SCLK1-RxD)$	串行 I/O1 输入的保持时间	100			ns
$t_c(SCLK2)$	串行 I/O2 时钟输入的周期时间	1000			ns
$t_{WH}(SCLK2)$	串行 I/O2 时钟输入的“H”电平脉宽	400			ns
$t_{WL}(SCLK2)$	串行 I/O2 时钟输入的“L”电平脉宽	400			ns
$t_{su}(SIN2-SCLK2)$	串行 I/O2 输入的准备时间	200			ns
$t_h(SCLK2-SIN2)$	串行 I/O2 输入的保持时间	200			ns

- 【注】 1. 在使用 2 分频模式时, 为 80ns。  
 2. 在使用 2 分频模式时, 为 32ns。  
 3. 地址 001A<sub>16</sub> 的 bit6 是“1”(时钟同步模式)的情况。  
 当地址 001A<sub>16</sub> 的 bit6 是“0”(时钟异步模式)时, 规格值为 1/4。

表 43 时序的必要条件 (2)

(在没有指定时:  $V_{CC}=2.7 \sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目	规格值			单位
		最小	典型	最大	
$t_{W}(\overline{RESET})$	复位输入的“L”电平脉宽	2			$\mu s$
$t_{c}(X_{IN})$	主时钟输入的周期时间 (输入 $X_{IN}$ )	125			ns
$t_{WH}(X_{IN})$	主时钟输入的“H”电平脉宽	50			ns
$t_{WL}(X_{IN})$	主时钟输入的“L”电平脉宽	50			ns
$t_{c}(CNTR)$	CNTR <sub>0</sub> 、CNTR <sub>1</sub> 输入的周期时间	$1000/V_{CC}$			ns
$t_{WH}(CNTR)$	CNTR <sub>0</sub> 、CNTR <sub>1</sub> 输入的“H”电平脉宽	$t_{c}(CNTR)/2-20$			ns
$t_{WL}(CNTR)$	CNTR <sub>0</sub> 、CNTR <sub>1</sub> 输入的“L”电平脉宽	$t_{c}(CNTR)/2-20$			ns
$t_{WH}(INT)$	INT <sub>00</sub> 、INT <sub>01</sub> 、INT <sub>10</sub> 、INT <sub>11</sub> 、INT <sub>2</sub> 输入的“H”电平脉宽	230			ns
$t_{WL}(INT)$	INT <sub>00</sub> 、INT <sub>01</sub> 、INT <sub>10</sub> 、INT <sub>11</sub> 、INT <sub>2</sub> 输入的“L”电平脉宽	230			ns
$t_{c}(SCLK1)$	串行 I/O1 时钟输入的周期时间	2000			ns
$t_{WH}(SCLK1)$	串行 I/O1 时钟输入的“H”电平脉宽	950			ns
$t_{WL}(SCLK1)$	串行 I/O1 时钟输入的“L”电平脉宽	950			ns
$t_{su}(RxD-SCLK1)$	串行 I/O1 输入的准备时间	400			ns
$t_{h}(SCLK1-RxD)$	串行 I/O1 输入的保持时间	200			ns
$t_{c}(SCLK2)$	串行 I/O2 时钟输入的周期时间	2000			ns
$t_{WH}(SCLK2)$	串行 I/O2 时钟输入的“H”电平脉宽	950			ns
$t_{WL}(SCLK2)$	串行 I/O2 时钟输入的“L”电平脉宽	950			ns
$t_{su}(SIN2-SCLK2)$	串行 I/O2 输入的准备时间	400			ns
$t_{h}(SCLK2-SIN2)$	串行 I/O2 输入的保持时间	200			ns

【注】 地址 001A<sub>16</sub> 的 bit6 是“1” (时钟同步模式) 的情况。

当地址 001A<sub>16</sub> 的 bit6 是“0” (时钟异步模式) 时, 规格值为 1/4。

表 44 开关特性 (1)

(在没有指定时:  $V_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目	规格值			单位
		最小	典型	最大	
$t_{WH}(SCLK1)$	串行 I/O1 时钟输出的“H”电平脉宽	$t_c(SCLK1)/2-30$			ns
$t_{WL}(SCLK1)$	串行 I/O1 时钟输出的“L”电平脉宽	$t_c(SCLK1)/2-30$			ns
$t_d(SCLK1-TxD)$	串行 I/O1 输出的延迟时间 (注 1)			140	ns
$t_v(SCLK1-TxD)$	串行 I/O1 输出的有效时间 (注 1)	-30			ns
$t_r(SCLK1)$	串行 I/O1 时钟输出的上升时间			30	ns
$t_f(SCLK1)$	串行 I/O1 时钟输出的下降时间			30	ns
$t_{WH}(SCLK2)$	串行 I/O2 时钟输出的“H”电平脉宽	$t_c(SCLK2)/2-30$			ns
$t_{WL}(SCLK2)$	串行 I/O2 时钟输出的“L”电平脉宽	$t_c(SCLK2)/2-30$			ns
$t_f(SCLK2)$	串行 I/O2 时钟输出的下降时间			40	ns
$t_d(SCLK2-SOUT2)$	串行 I/O2 输出的延迟时间			140	ns
$t_v(SCLK2-SOUT2)$	串行 I/O2 输出的有效时间	-30			ns

【注】 1. UART 控制寄存器的 P4<sub>1</sub>/TxD P 沟道输出禁止位 (地址 001B<sub>16</sub> 的 bit4) 是“0”的情况。

表 45 开关特性 (2)

(在没有指定时:  $V_{CC}=2.7 \sim 4.0V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$ )

符号	项 目	规格值			单位
		最小	典型	最大	
$t_{WH}(SCLK1)$	串行 I/O1 时钟输出的“H”电平脉宽	$t_c(SCLK1)/2-80$			ns
$t_{WL}(SCLK1)$	串行 I/O1 时钟输出的“L”电平脉宽	$t_c(SCLK1)/2-80$			ns
$t_d(SCLK1-TxD)$	串行 I/O1 输出的延迟时间 (注 1)			350	ns
$t_v(SCLK1-TxD)$	串行 I/O1 输出的有效时间 (注 1)	-30			ns
$t_r(SCLK1)$	串行 I/O1 时钟输出的上升时间			80	ns
$t_f(SCLK1)$	串行 I/O1 时钟输出的下降时间			80	ns
$t_{WH}(SCLK2)$	串行 I/O2 时钟输出的“H”电平脉宽	$t_c(SCLK2)/2-80$			ns
$t_{WL}(SCLK2)$	串行 I/O2 时钟输出的“L”电平脉宽	$t_c(SCLK2)/2-80$			ns
$t_f(SCLK2)$	串行 I/O2 时钟输出的下降时间			80	ns
$t_d(SCLK2-SOUT2)$	串行 I/O2 输出的延迟时间			350	ns
$t_v(SCLK2-SOUT2)$	串行 I/O2 输出的有效时间	-30			ns

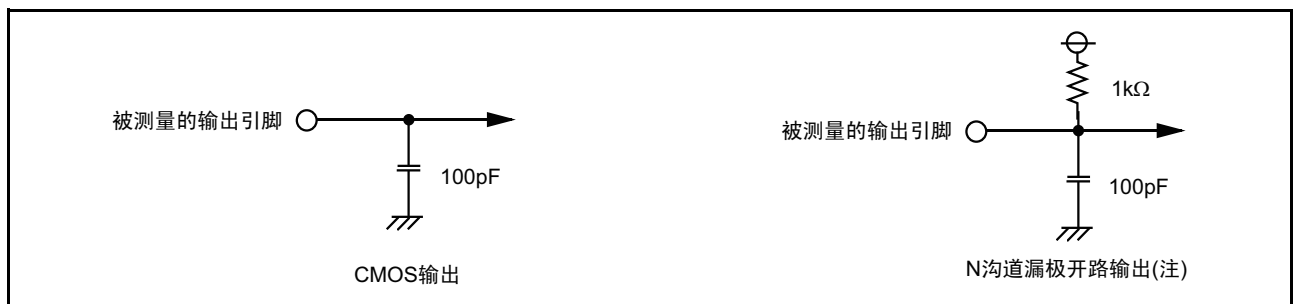
【注】 1. UART 控制寄存器的 P4<sub>1</sub>/TxD P 沟道输出禁止位 (地址 001B<sub>16</sub> 的 bit4) 是“0”的情况。

图 97 输出开关特性的测定电路图

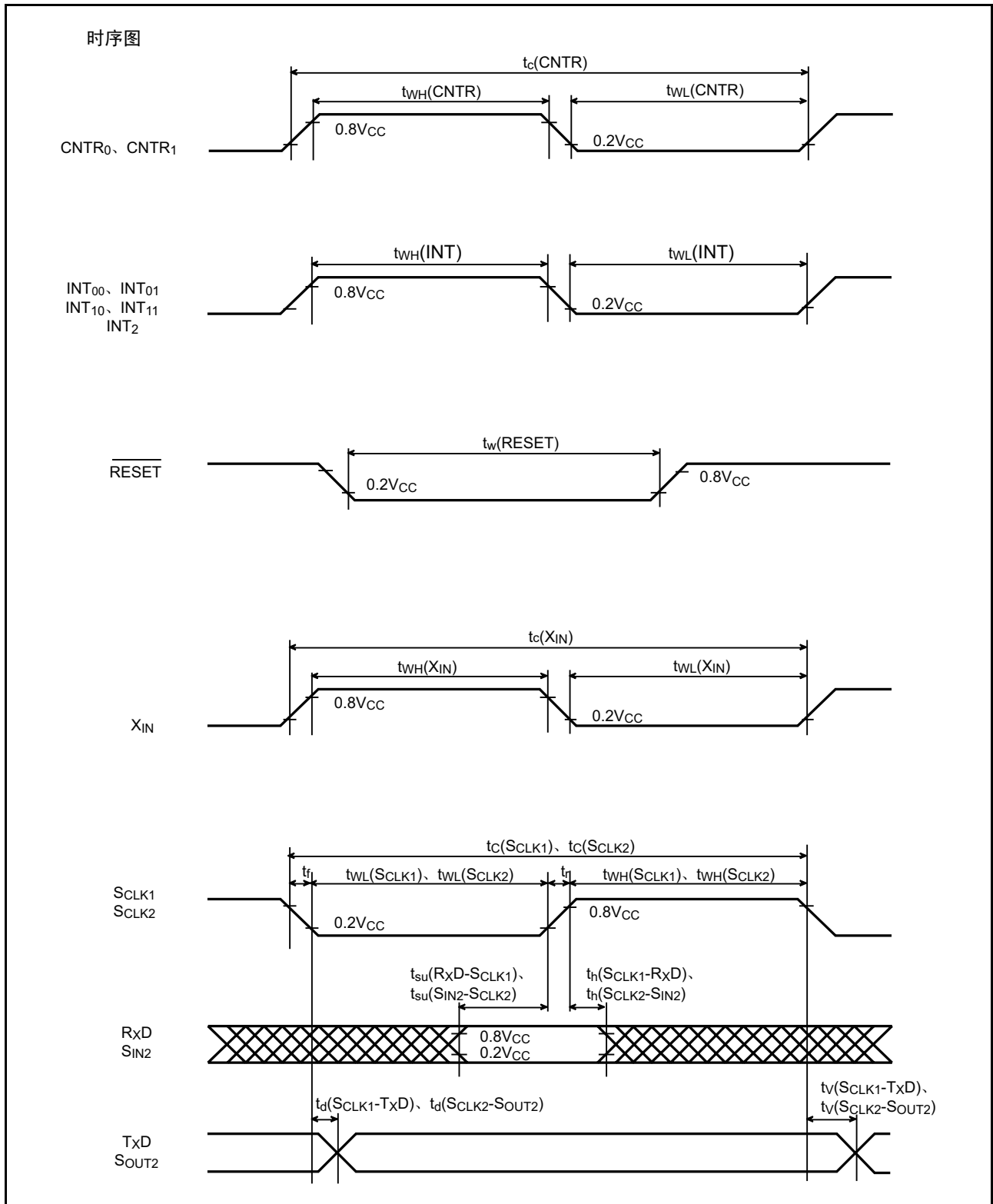
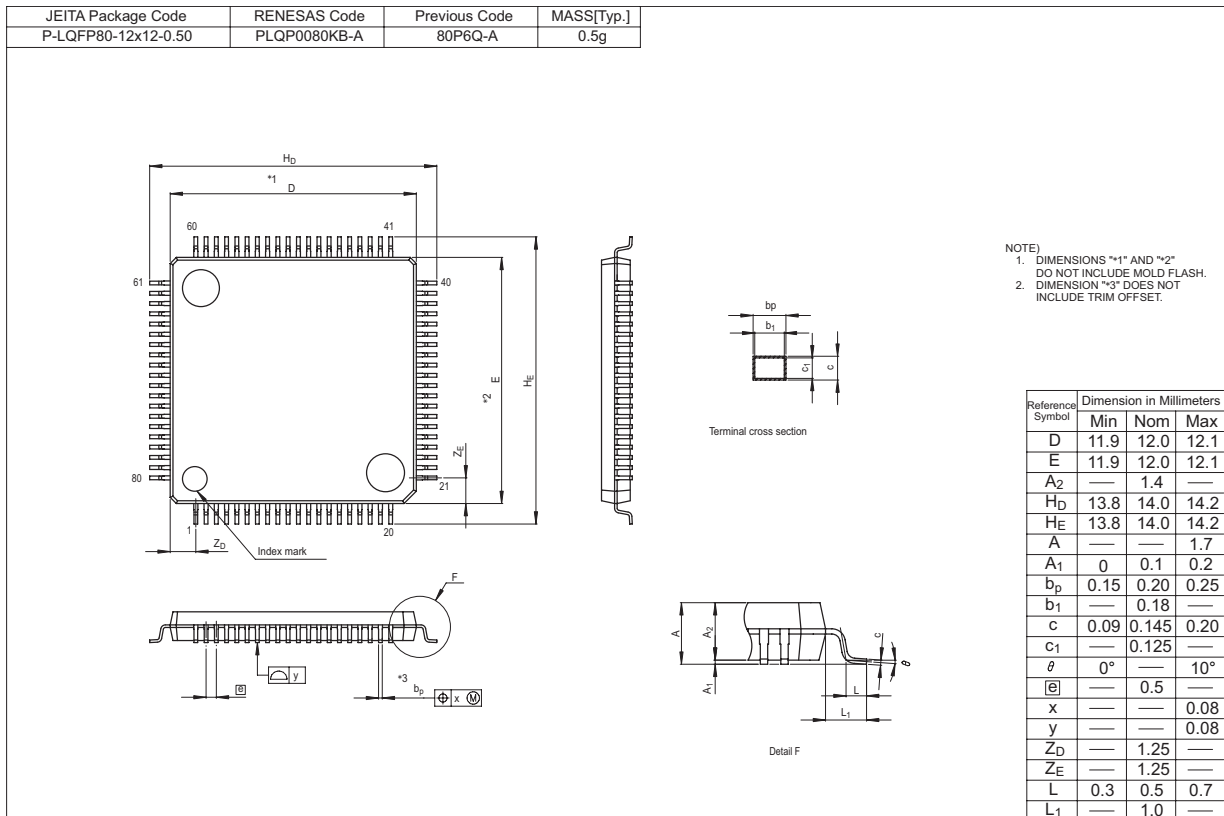
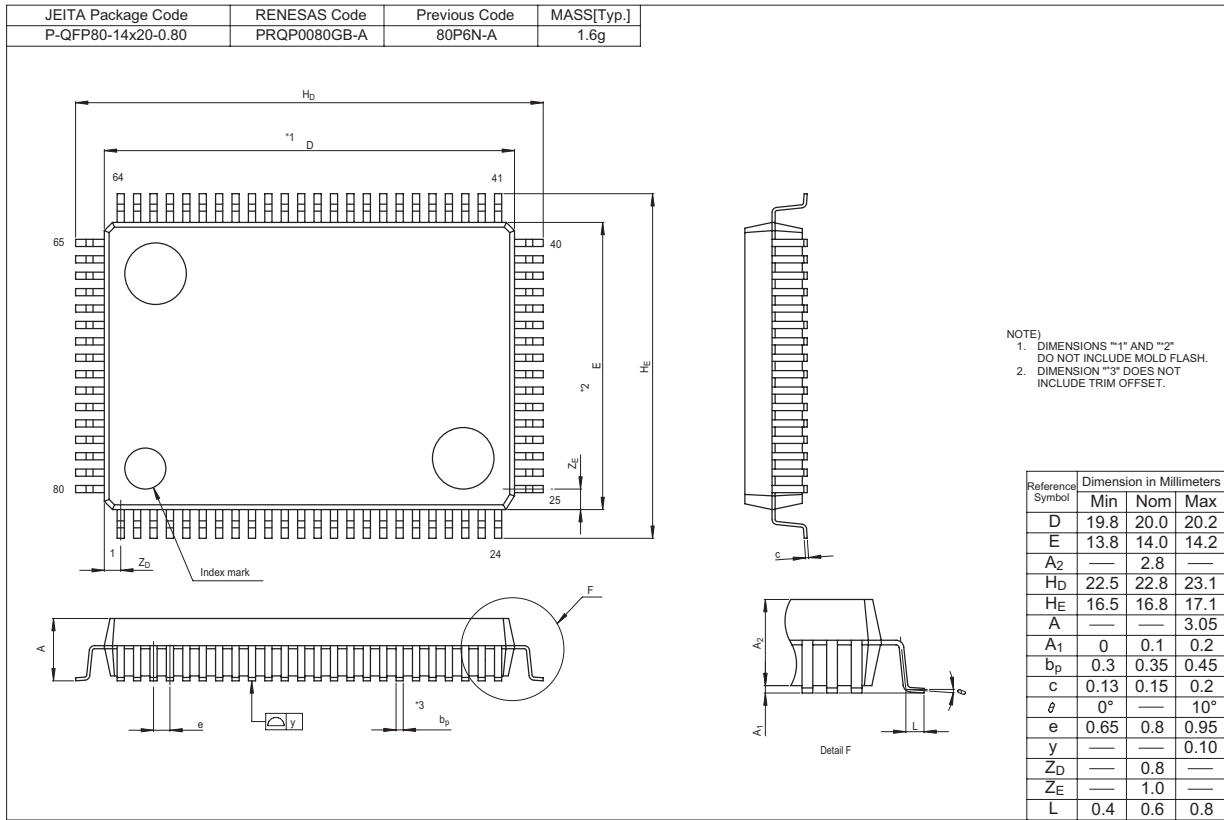


图 98 时序图（单芯片模式时）

# 外形尺寸图

关于外形尺寸图的最新版和安装信息，请参照刊登在瑞萨科技主页中的“封装”。



## 附录

### 有关编程的注意事项

#### 1. 处理器状态寄存器

##### (1) 处理器状态寄存器的初始化

有必要对影响程序执行的处理器状态寄存器（PS）的标志进行初始化。特别是 T 标志和 D 标志直接影响到运算本身，因此必须对其初始化。请在程序的起始部分进行初始化。

<理由>

处理器状态寄存器（PS）除了 I 标志为“1”以外，复位后的值不定。

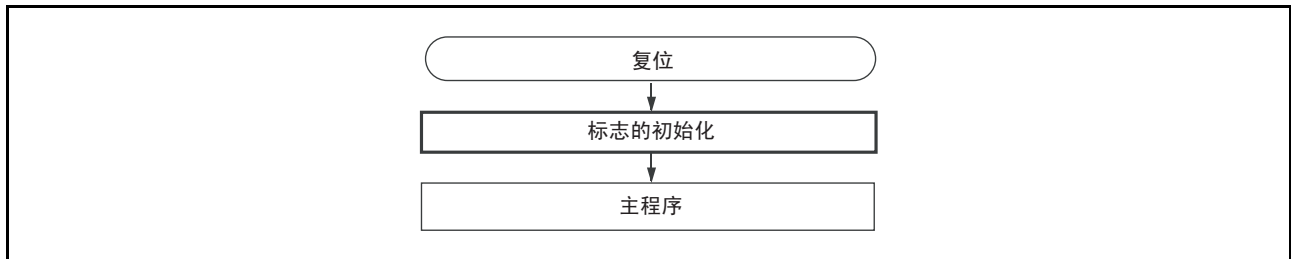


图 99 处理器状态寄存器的标志的初始化

##### (2) 处理器状态寄存器的参照方法

在要参照处理器状态寄存器（PS）的内容时，请在执行一次 PHP 指令后读取 (S)+1 的内容。如果需要，通过 PLP 指令的执行恢复被保存的 PS。

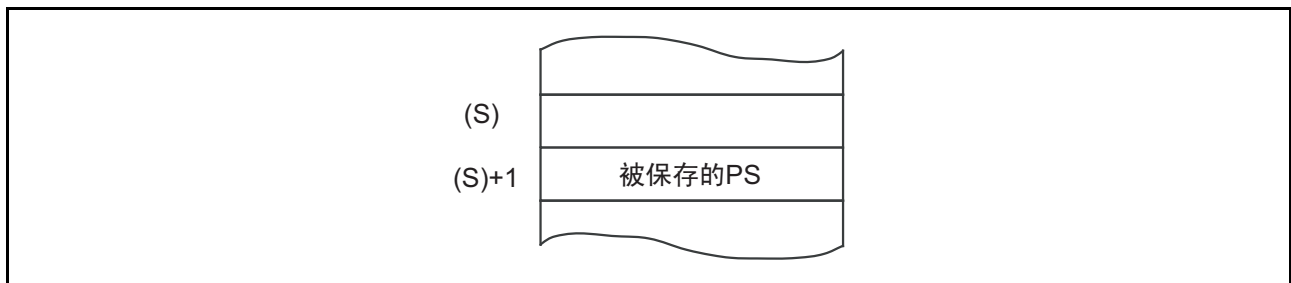


图 100 执行 PHP 指令后的堆栈存储器的内容

#### 2. 10 进制运算

##### (1) 10 进制运算时的指令

在 10 进制运算时，通过 SED 指令将 10 进制模式标志 D 置“1”，然后执行 ADC 指令或者 SBC 指令。此时，必须在 ADC 指令或者 SBC 指令后执行一条指令，然后执行 SEC 指令、CLC 指令或者 CLD 指令。

##### (2) 10 进制运算时的状态标志

在 10 进制模式（D 标志 = “1”）时执行 ADC、SBC 指令后，状态标志中的 N、V 和 Z 的 3 个标志变为无效。

另外，C（进位）标志在运算结果发生进位时被置“1”，在发生借位时被清“0”，因此 C（进位）标志可用作判断运算结果的进位或借位的标志。在运算前必须对 C 标志初始化。

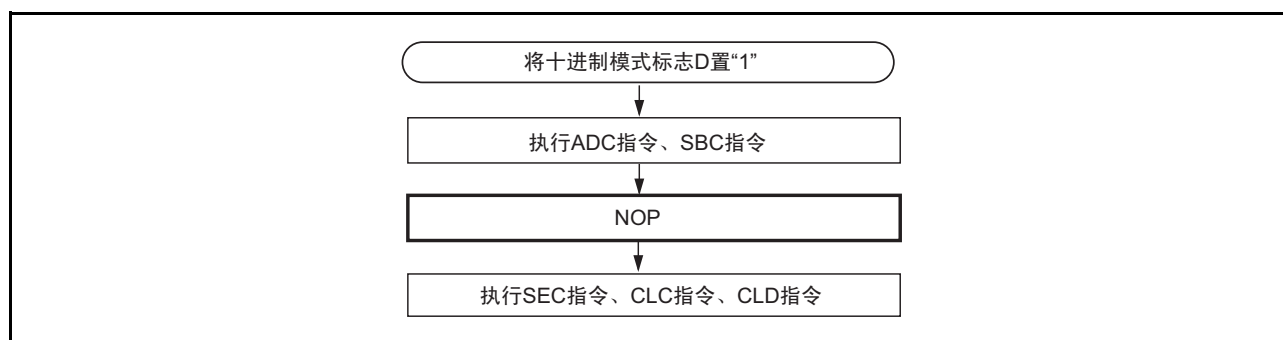


图 101 10 进制运算时的指令

### 3. JMP 指令

在使用 JMP 指令（间接寻址方式）时，不能将低 8 位为“FF<sub>16</sub>”的地址指定为操作数。

### 4. 乘除指令

- (1) MUL、DIV 指令不受 T、D 标志的影响。
- (2) 在执行乘除指令时，处理器状态寄存器的内容不变。

### 5. 读 / 修改 / 写指令

对不可读取的 SFR 不能执行读 / 修改 / 写指令。

读 / 修改 / 写指令是以字节为单位读或者修改存储器的内容，并以字节为单位写原存储器。

740 族的读 / 修改 / 写指令如下所示：

- (1) 位处理指令  
CLB、SEB
- (2) 移位、循环指令  
ASL、LSR、ROL、ROR、RRF
- (3) 加减运算指令  
DEC、INC
- (4) 逻辑运算指令（1 的补码）  
COM

另外，虽然加减运算指令和逻辑运算指令（ADC、SBC、AND、EOR、ORA）不是读 / 修改 / 写指令，但是在 T 标志为“1”时，这些指令和读 / 修改 / 写指令进行同样的运行。因此，对不可读的 SFR 不能执行这些指令。

<理由>

如果对不可读的 SFR 执行这些指令，就会出现如下情况：

由于 SFR 为不可读的寄存器，因此读取的值不定。如果对该不定值进行修改并写入寄存器，就会写入不可预计的值。

## 有关外围功能的注意事项

### 有关输入 / 输出端口的注意事项

#### 1. 在等待状态的使用

在等待状态 \*1 以低功耗为目的使用时，不能将输入 / 输出端口的输入电平置为不定状态，尤其要注意 N 沟道漏极开路的输入 / 输出端口。

此时，必须用电阻上拉（连接 V<sub>CC</sub>）或者下拉（连接 V<sub>SS</sub>）端口。

在决定电阻值时，请注意以下 2 点：

- 外接电路
- 通常运行时的输出电平的变动

另外，在使用内部上拉电阻时，必须注意电流值的偏差。

- 设定成输入端口时：固定输入电平。
- 设定成输出端口时：不要将电流流向外部。

<理由>

尽管通过方向寄存器将端口设定成输出端口，但是在端口锁存器的内容为“1”时输出晶体管为 OFF 状态，因此端口为高阻抗状态。所以，根据外接电路，电平可能出现不定的状态。

如果输入 / 输出端口的输入电平出现不定的状态，被输入到单片机内部的输入缓冲器的电位就变为不稳定状态，可能会发生电源电流的流动。

- \*1 等待状态：通过 STP 指令执行的停止模式  
通过 WIT 指令执行的等待模式

#### 2. 通过位处理指令改写输出数据

在使用位处理指令 \*1 改写输入 / 输出端口的端口锁存器时，可能会改变未指定位的值。

<理由>

能以位为单位将输入 / 输出端口设定输入模式或输出模式。如果读或者写端口寄存器，就会进行以下的运行：

- 输入模式的端口  
读：读引脚的电平  
写：写端口锁存器
- 输出模式的端口  
读：读端口锁存器，或者读外围功能的输出内容（规格根据端口而不同）。  
写：写端口锁存器（从引脚输出端口锁存器的内容）。

由于位处理指令为读 / 修改 / 写形式的指令 \*2，所以在对端口寄存器执行位处理指令时，指令没指定的位也会同时进行读和写。

当没指定的位为输入模式时，就读取引脚的电平，并将该值写入端口锁存器。此时，如果原端口锁存器的内容和引脚的电平不同，就会改变端口锁存器的内容。

当没指定的位为输出模式时，基本上读取端口锁存器，但是也可能读取外围功能的输出内容，并且将该值写入端口锁存器。此时，如果原端口锁存器的内容和外围功能的输出内容不同，就会改变端口锁存器的内容。

- \*1 位处理指令：SEB 指令、CLB 指令

- \*2 读 / 修改 / 写指令：

是以字节为单位读或者修改存储器的内容，并以字节为单位写原存储器。

### 3. 方向寄存器

不能读取端口方向寄存器的值。也就是说，不能使用 LDA 指令、T 标志为“1”时的存储器运算指令、将方向寄存器的值作为变址值的寻址方式以及 BBC、BBS 等位测试指令。另外，也不能使用 CLB 和 SEB 等位操作指令以及进行 ROR 等运算的方向寄存器读 / 修改 / 写指令。必须使用 LDM、STA 等指令设定方向寄存器。

### 4. 上拉控制

只有设定为输入端口的引脚可以通过 PULL 寄存器和段输出禁止寄存器进行上拉控制。

## 有关处理未使用引脚的注意事项

请采用距离单片机引脚尽可能短的布线（20mm 以内），来进行如下的处理。

### 1. 未使用引脚的正确处理

#### (1) 输入 / 输出端口

请设定为输入模式，用  $1k \sim 10k\Omega$  的电阻将各引脚连接到 VCC 或者 VSS。对于能选择内部上拉电阻的端口，也可使用内部上拉电阻。在设定为输出模式时，请在“L”或者“H”输出状态下将各引脚置成开路。

- 在设定为输出模式且置为开路的情况下，从复位后到由程序将端口切换成输出模式为止，保持初始状态的输入模式。因此，引脚的电压电平不定，在端口变为输入模式时电源电流可能会增大。关于对系统的影响，用户必须进行充分的系统评价。
- 请考虑因噪声和程序失控等引起方向寄存器变化的情况，通过用程序定期地重新设定方向寄存器，进一步提高程序的可靠性。

### 2. 处理时的注意事项

#### (1) 将输入 / 输出端口设定为输入端口时

[1] 请不要置为开路。

<理由>

- 根据初级电路，电源电流可能会增大。
- 与上述“(1)输入/输出端口”的处理相比，容易受噪声影响。

[2] 请不要直接连接 VCC 或者 VSS。

<理由>

在因噪声和程序失控等引起方向寄存器变成输出模式时，可能发生短路。

[3] 请不要用一个电阻将多个端口一起连接到 VCC 或者 VSS

<理由>

在因噪声和程序失控等引起方向寄存器变成输出模式时，端口间有可能发生短路。

## 有关中断的注意事项

### 1. 改变相关寄存器的设定

在选择外部中断的有效边沿以及选择多个中断源共用的中断向量的中断源时，如果要禁止与这些设定同步产生的中断，就请按以下的步骤进行设定：

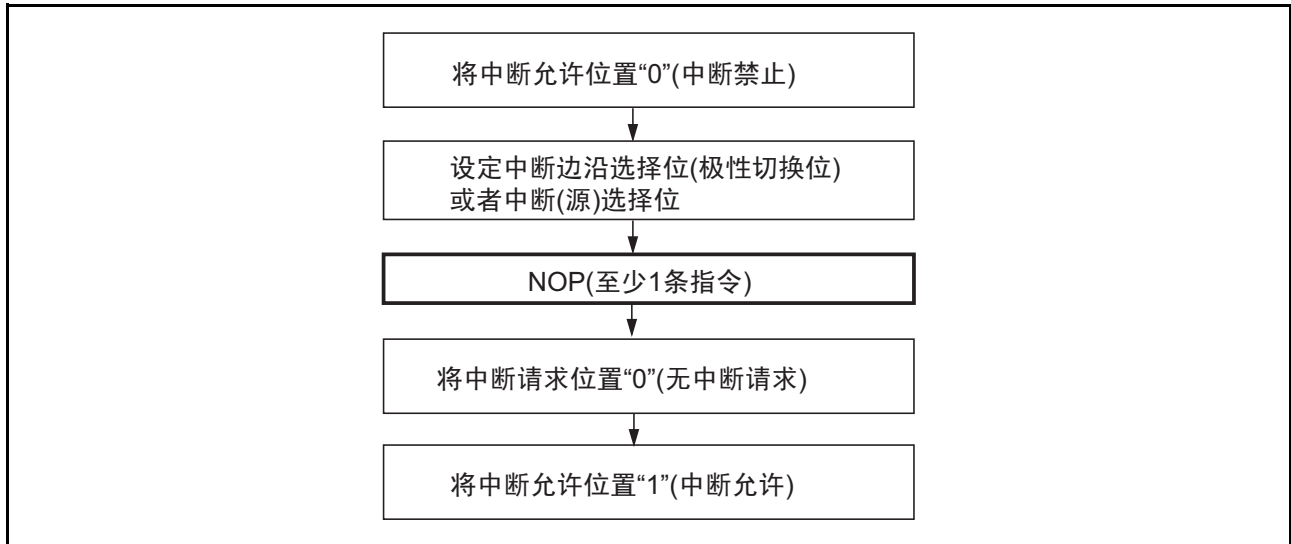


图 102 相关寄存器的设定更改步骤

<理由>

在以下的情况下，中断请求位可能会变为“1”：

<在转换外部中断的有效边沿时>

- INT<sub>0</sub>中断边沿选择位  
(中断边沿选择寄存器 (地址003A<sub>16</sub>) 的bit0)
- INT<sub>1</sub>中断边沿选择位  
(中断边沿选择寄存器的bit1)
- INT<sub>2</sub>中断边沿选择位  
(中断边沿选择寄存器的bit2)
- CNTR<sub>0</sub>极性转换位  
(定时器X控制寄存器1 (地址002E<sub>16</sub>) 的bit6、7)
- CNTR<sub>1</sub>极性转换位  
(定时器Y模式寄存器 (地址0038<sub>16</sub>) 的bit6)

<在转换多个中断源共享的中断向量的中断源时>

- 定时器Y/CNTR<sub>1</sub>中断转换位  
(中断边沿选择寄存器的bit3)

<在转换 INT 引脚时>

- INT<sub>0</sub>输入端口转换位  
(中断边沿选择寄存器的bit4)
- INT<sub>1</sub>输入端口转换位  
(中断边沿选择寄存器的bit5)

## 2. 中断请求位的判断

在中断请求位置“0”后，如果立即用 BBC 指令或者 BBS 指令判断此位，就必须按以下步骤进行。

<理由>

如果在将中断请求位置“0”后立即执行 BBC 指令或者 BBS 指令，就判断置“0”前的中断请求位的值。

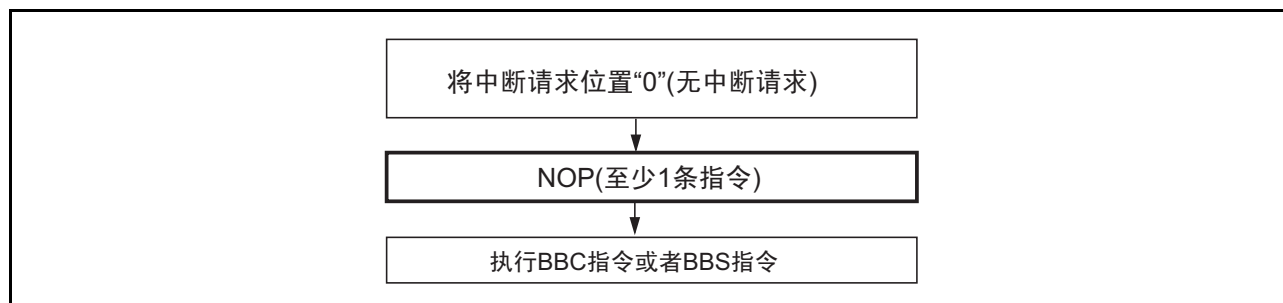


图 103 中断请求位的设定步骤

## 3. 未使用中断的处理

必须将未使用中断的中断允许位置“0”（禁止）。

## 有关定时器的注意事项

### 1. 分频器

在整个定时器中，生成计数源的分频器共享 1 个电路。因此，在启动各定时器时，不进行分频器的初始化。在将分频器选为计数源时，在从启动开始到定时器开始计数或到波形输出为止的期间，产生最大 1 个计数源周期的延迟时间。

另外，不能从外部观测计数源。

### 2. 定时器 1 ~ 4 的分频比

给定时器锁存器写值  $n$  ( $0 \sim 255$ ) 时的分频比为  $1/(n+1)$ 。

### 3. 定时器 1 ~ 4、X、Y 分频的转换和计数源的转换

必须在定时器计数停止的状态下进行分频转换和计数源转换（※）。

※ 将分频器输出选为定时器的计数源时，随着运行模式（内部振荡器模式、X<sub>IN</sub> 模式、低速模式）的转移，计数源也可能被转换。在改变 CPU 模式寄存器的设定时必须注意。

### 4. STP 指令时的定时器 1 和定时器 2 的设定

执行 STP 指令时，必须预先设定返回时的等待时间。

### 5. 定时器 1 ~ 定时器 4 的设定顺序

在转换定时器 1 ~ 定时器 4 的计数源时，可能会在计数输入信号中产生微小的脉冲，导致定时器的计数值发生变化。另外，如果将定时器串联连接使用，就在写前段定时器时输出信号会产生微小的脉冲，导致后段定时器的计数值不定。

所以，在设定定时器 1 ~ 定时器 4 的计数源后，必须从定时器 1 开始按顺序设定值。

### 6. 有关定时器 2、定时器 3 和定时器 4 的写操作

在只写锁存器的情况下，如果写重加载锁存器的时序和下溢的时序几乎相同，值就被同时设定到定时器和定时器锁存器。此时，在重加载锁存器的写操作中停止计数。

## 7. 定时器 3 的 PWM<sub>0</sub> 模式和定时器 4 的 PWM<sub>1</sub> 模式

- (1) 如果在开始 PWM 输出后暂停，就根据此时的输出脉冲电平，重新开始输出的时间就有可能延迟 1 个小区间（256×ts）。  
停止在“H”电平时：无输出延迟  
停止在“L”电平时：输出延迟 256×ts 的时间
- (2) 如果使用 PWM 模式，就在每个大区间（4×256×ts）的周期产生定时器 3 和定时器 4 的中断请求以及更新定时器 3 和定时器 4 的值。

## 8. 有关写定时器 X 的顺序

- (1) 在设定定时器模式、脉冲输出模式、事件计数器模式或者脉宽测定模式时，必须按照定时器 X 的寄存器（扩展）、定时器 X 的寄存器（低位）、定时器 X 的寄存器（高位）的顺序进行写操作。另外，不能只写定时器 X 的寄存器（扩展）、定时器 X 的寄存器（低位）和定时器 X 的寄存器（高位）其中之一。  
在设定上述的模式时定时器 X 作为 16 位计数器运行的情况下，如果在复位解除后一次也没有设定定时器 X 的寄存器（扩展），就不需要设定定时器 X 的寄存器（扩展）。此时必须按照定时器 X 的寄存器（低位）到定时器 X 的寄存器（高位）的顺序进行设定。但是必须注意：一旦写定时器 X 的寄存器（扩展），值就被保持到重加载锁存器。
- (2) 在设定 PWM 模式和 IGBT 输出模式时，不能给定时器 X 的寄存器（扩展）写“1”。另外，如果已经写“1”，就必须先写“0”后再使用。按照比较寄存器 1、2、3（高位、低位）、定时器 X 的寄存器（扩展）、定时器 X 的寄存器（低位）、定时器 X 的寄存器（高位）的顺序进行写操作。比较寄存器的高位和低位没有写顺序，但是比较寄存器 1、2、3 和定时器 X 的寄存器都必须写。

## 9. 有关读定时器 X 的顺序

- (1) 各模式都必须按照定时器 X 的寄存器（扩展）、定时器 X 的寄存器（高位）、定时器 X 的寄存器（低位）的顺序进行读操作。在不需读定时器 X 的寄存器（扩展）时，必须按照从定时器 X 的寄存器（高位）到定时器 X 的寄存器（低位）的顺序进行读操作。有关比较寄存器 1、2、3，没有规定读的顺序。
- (2) 必须以 16 位为单位读写定时器 X 的寄存器。不能在读操作期间进行写操作。如果在中途停止读写操作，就不能正常运行。

## 10. 有关定时器 X 的写操作

- (1) 定时器 X 能通过定时器 X 的模式寄存器（地址 002D<sub>16</sub>）的写控制位（b3）选择是同时写锁存器和定时器还是只写锁存器。在只写锁存器的情况下，如果给定时器 X 的地址写值，值就被设定到重加载锁存器，定时器在下次发生下溢时被更新。在复位解除后为同时写锁存器和定时器，如果给定时器 X 的地址写值，值就同时被设定到定时器和定时器的锁存器。  
另外，在只写锁存器的情况下，如果写高位重加载锁存器的时序和发生下溢的时序几乎同时，值就同时被设定到定时器和定时器的锁存器。此时，在高位重加载锁存器的写操作中停止计数。
  - (2) 必须以 16 位为单位写定时器 X 的寄存器。不能在写操作期间进行读操作。如果在中途停止写操作，就不能正常运行。
  - (3) 必须在定时器计数停止的状态下进行分频转换和计数源的转换（※）。
- ※ 将分频器输出选为定时器的计数源时，随着运行模式（内部振荡器模式、X<sub>IN</sub> 模式、低速模式）的转移，计数源也可能被转换。在改变 CPU 模式寄存器的设定时必须注意。

## 11. 有关定时器 X 的模式寄存器的设定

在设定 PWM 模式和 IGBT 输出模式时，必须将定时器 X 的模式寄存器的写控制位设定为“1”（只写锁存器）。在写定时器 X 的寄存器（高位）后，在下次发生下溢时两个寄存器的内容同时被反映到输出波形。

## 12. 有关定时器 X 的输出控制功能

在使用输出控制功能（INT1、INT2）时，必须在转换为 IGBT 输出模式前，将 INT1、INT2 的电平设定为“H”电平（当 INT1、INT2 的下降沿有效时）或者设定为“L”电平（当 INT1、INT2 的上升沿有效时）。

## 13. 有关 CNTR<sub>0</sub> 的极性转换

- (1) CNTR<sub>0</sub> 极性转换位的设定同时也会影响中断极性。
- (2) 在测定脉宽时，必须将 CNTR<sub>0</sub> 极性转换位的 bit7 置“0”。

## 14. 使用定时器 X 脉宽测定模式时

在使用定时器 X 脉宽测定模式时，必须将用于事件计数器窗口控制的数据（定时器 X 模式寄存器（地址 002D<sub>16</sub>）的 bit5）设为允许（“0”）。

<理由>

为了允许或者禁止 CNTR<sub>0</sub> 的输入，如果将用于事件计数器窗口控制的数据（定时器 X 模式计数器（地址 002D<sub>16</sub>）的 bit5）置“1”（禁止）时，就在定时器 1 下溢后不能接受 CNTR<sub>0</sub> 的输入。

## 15. 有关 CNTR<sub>1</sub> 中断的极性转换

CNTR<sub>1</sub> 极性转换位的设定同时也会影响中断有效边沿。但是，在脉宽 HL 连续测定模式的情况下，与 CNTR<sub>1</sub> 极性转换位的设定无关，在引脚的上升沿和下降沿都发生 CNTR<sub>1</sub> 中断请求。

## 16. 有关定时器 Y 的读写操作

- (1) 在读写定时器 Y 时，必须读写高位字节和低位字节。在读定时器的值时，必须按照从高位字节到低位字节的顺序进行；在写定时器的值时，必须按照从低位字节到高位字节的顺序进行。另外，必须以 16 位为单位进行读写操作。如果在中途更改读写操作，就不能正常运行。
  - (2) 定时器 Y 能通过定时器 Y 的控制寄存器（地址 0039<sub>16</sub>）的写控制位（b0）选择是同时写锁存器和定时器还是只写锁存器。在只写锁存器的情况下，如果给定时器 Y 的地址写值，值就被设定到重加载锁存器，定时器在下次发生下溢时被更新。在复位解除后为同时写锁存器和定时器，如果给定时器 Y 的地址写值，值就同时被设定到定时器和定时器锁存器。  
另外，在只写锁存器的情况下，如果写高位重加载锁存器的时序和发生下溢的时序几乎同时，值就同时被设定到定时器和定时器的锁存器。此时，在高位重加载锁存器的写操作中停止计数。
  - (3) 必须在定时器计数停止的状态下进行分频转换和计数源的转换（※）。
- ※ 将分频器输出选为定时器的计数源时，随着运行模式（内部振荡器模式、X<sub>IN</sub> 模式、低速模式）的转移，计数源也可能被转换。在改变 CPU 模式寄存器的设定时必须注意。

## 有关串行 I/O1 的注意事项

### 1. 对波特率发生器的写操作

必须在发送 / 接收停止期间进行波特率发生器（BRG）的写操作。

### 2. 使用串行 I/O1 发送中断时的设定步骤

在使用串行 I/O1 发送中断时，如果不需要与设定同步产生的中断，就必须按照以下的步骤进行设定：

- (1) 将串行 I/O1 发送中断允许位（中断控制寄存器 2（地址 003F<sub>16</sub>）的 bit2）置“0”（禁止）。
- (2) 将发送允许位置“1”。
- (3) 在至少执行 1 条指令以后，将串行 I/O1 的发送中断请求位（中断请求寄存器 2（地址 003D<sub>16</sub>）的 bit2）置“0”（无中断请求）。
- (4) 将串行 I/O1 的发送中断允许位置“1”（允许）。

<理由>

如果将发送允许位置“1”，发送缓冲器空标志（串行 I/O1 状态寄存器的 bit0）和发送移位寄存器的移位结束标志就变为“1”。因此，通过发送中断源选择位（串行 I/O1 控制寄存器的 bit3），不论选择哪一个中断发生源都会产生中断请求，并且串行 I/O1 发送中断请求位变为“1”。

### 3. 使用发送移位寄存器的移位结束标志时的数据发送控制

给发送缓冲寄存器写发送数据后，发送移位寄存器的移位结束标志（串行 I/O1 状态寄存器（地址 0019<sub>16</sub>）的 bit2）在延迟 0.5 ~ 1.5 个移位时钟的时间后从“1”变为“0”。因此，如果在给发送缓冲寄存器写发送数据后，要通过参照发送移位寄存器的结束标志来控制数据发送时，就必须注意此延迟时间。

### 4. 串行 I/O1 控制寄存器的重新设定

必须在将发送允许位和接收允许位都置“0”，并且在初始化发送电路和接收电路后，才能进行串行 I/O1 控制寄存器的重新设定。

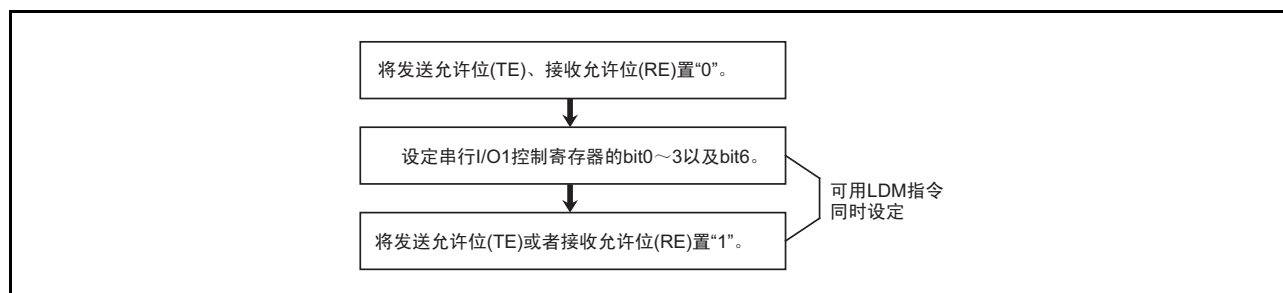


图 104 串行 I/O1 控制寄存器的重新设定步骤

### 5. 发送结束后的引脚状态

在发送结束后，TxD 引脚保持发送结束时的电平。

在时钟同步串行 I/O 模式中选择内部时钟时，SCLK1 引脚为“H”电平。

### 6. 发送运行中的串行 I/O1 允许位

在发送时，如果将串行 I/O1 允许位（串行 I/O1 控制寄存器（地址 001A<sub>16</sub>）的 bit7）置“0”（禁止串行 I/O1），引脚功能为输入 / 输出端口，并且不向外部输出发送数据，但是内部的发送运行继续进行。另外，如果在此状态下写缓冲寄存器，就在内部开始发送运行。此时，如果将串行 I/O1 允许位置“1”，就从此时将发送数据输出到 TxD 引脚。

### 7. 选择外部时钟时的发送控制

在发送数据时，如果将外部时钟选为同步时钟，就必须在 SCLK1 为“H”电平的状态下将发送允许位置“1”。另外，发送缓冲寄存器的写操作也必须在 SCLK1 为“H”电平的状态下进行。

### 8. 时钟同步串行 I/O 模式时的接收运行

在时钟同步串行 I/O 模式的接收时，必须将发送允许位和接收允许位都置“1”。然后，必须给发送缓冲寄存器写虚数据。如果将内部时钟选为同步时钟，就在此时输出同步时钟，开始接收运行。当选择外部时钟时，此时就变为可以接收的状态，如果输入外部时钟，就开始接收运行。

另外，从 P4<sub>1</sub>/TxD 引脚输出写在发送缓冲寄存器的虚数据。

### 9. 时钟同步串行 I/O 模式时的发送和接收运行

在时钟同步串行 I/O 模式时，如果要同时停止发送和接收运行，就必须将发送允许位和接收允许位同时置“0”。如果只停止其中的一个运行，就不能使发送和接收同步，并发生位的错位。

## 有关串行 I/O2 的注意事项

### 1. 时钟同步的转换

在通过串行 I/O2 同步时钟选择位（串行 I/O2 控制寄存器（地址 001D<sub>16</sub>）的 bit6）转换同步时钟时，必须进行串行 I/O2 计数器的初始化（写串行 I/O2 寄存器（地址 001F<sub>16</sub>））。

### 2. 选择外部时钟时的注意事项

如果将外部时钟选作同步时钟，S<sub>OUT2</sub> 引脚就在传送结束后保持 D<sub>7</sub> 的输出电平。但是，如果继续输入同步时钟，串行 I/O2 寄存器就继续移位，并且从 S<sub>OUT2</sub> 引脚连续输出发送数据。

另外，串行 I/O2 寄存器的写操作必须在 S<sub>CLK2</sub> 为“H”状态下进行。

如果将外部时钟选作同步时钟，S<sub>OUT2</sub> 引脚就在传送结束后变为高阻抗状态。

## 有关 A/D 转换器的注意事项

### 1. 模拟输入引脚

必须减小模拟输入信号源的阻抗，或者给模拟输入引脚外接 0.01 $\mu$ F ~ 1 $\mu$ F 的电容。用户必须充分确认应用产品的运行。

<理由>

因为模拟输入引脚内置了用于模拟电压比较的电容，所以如果将高阻抗信号源的信号输入到模拟输入引脚，就会产生充放电噪声，无法获得充分的 A/D 转换精度。

### 2. A/D 转换中的时钟频率

比较器由电容耦合构成，如果转换速度不够，可能就会因电荷的丢失而降低转换精度。所以必须在 X<sub>IN</sub> 模式进行 A/D 转换时，f(X<sub>IN</sub>) 至少为 500kHz。另外，不能在 A/D 转换中执行 STP 指令和 WIT 指令。

在低速模式（选择内部振荡器时）中，由于使用内部自振荡电路进行 A/D 转换，因此没有 f(X<sub>IN</sub>) 下限频率的限制。

### 3. ADKEY 功能

当 ADKEY 允许位为“1”时，模拟输入引脚选择位变为无效。在 ADKEY 允许中不能通过程序进行 A/D 转换。在允许 ADKEY 后，ADCON 的 bit0 ~ bit2 的值不变。

### 4. ADKEY 功能刚启动后的 A/D 转换

对于 ADKEY 功能，在 ADKEY 功能刚启动后不进行模拟输入电压的 A/D 转换，因此 ADKEY 功能刚启动后的 A/D 转换结果不稳定。在需要输入到 ADKEY 引脚的模拟输入电压的 A/D 转换结果时，必须在选择与 ADKEY 对应的模拟输入引脚后进行 A/D 转换。

### 5. ADKEY 引脚的输入电压

必须将 ADKEY 引脚的输入波形置为急剧下降的波形，并且必须在输入电压下降到 V<sub>IL</sub> 以下（含 V<sub>IL</sub>）的瞬间后的 8 个时钟周期（当 f(X<sub>IN</sub>)=8MHz 时，为 1 $\mu$ s）内稳定输入电压。

ADKEY 引脚的实际阈值电压为 V<sub>IH</sub>-V<sub>IL</sub> 之间的电压。

为了不进行因噪声等引起的不必要的 ADKEY 运行，必须在等待输入的状态下使 ADKEY 引脚的电压不低于 V<sub>IH</sub> (0.9V<sub>CC</sub>)。

## 6. A/D 转换运行中的寄存器操作

在进行以下操作时，不能保证 A/D 转换的运行：

- 在 A/D 转换中操作 CPU 模式寄存器时
- 在 A/D 转换中操作 AD 控制寄存器时
- 在 A/D 转换中执行 STP、WIT 指令时

## 7. A/D 转换器的电源引脚

不管是否使用 A/D 转换功能，必须将 A/D 转换器的电源引脚 AVss 连接到 Vss。

<理由>

如果将 AVss 引脚开路，就可能会受噪声等的影响，产生单片机的误动作。

## 有关 LCD 驱动控制电路的注意事项

### 1. 升压电路

在使用升压电路时，必须在给 VL1 引脚外加 1.3V ~ 2.1V 的电压后将升压电路控制位设定为“1”（允许升压电路）。

在不使用升压电路时，必须将 VL3 连接位设定为“1”（开路），并给 LCD 的电源输入引脚（VL1 ~ VL3）外加适当的电压。在 VL3 连接位被置为开路时，VL3 引脚处于高阻抗状态。

在使用升压电路时，LCDCK 的频率不能低于 100Hz。另外，内部振荡器不能用于 LCDCK。

在使用升压电路的系统（在 C1 引脚和 C2 引脚之间外接用于升压的电容）中，必须在将升压电路控制位置“1”（允许升压电路）后，执行 STP 指令和 WIT 指令。

### 2. LCD 显示 RAM 的数据设定

在 LCD 允许位为“1”的状态下，如果在 LCD 点灯中给 LCD 显示 RAM 写数据，就必须些确定的数据。如果改写暂存数据，LCD 可能会闪烁。在 LCD 点灯中给 LCD 显示 RAM 写数据时的处理例子如下图所示：

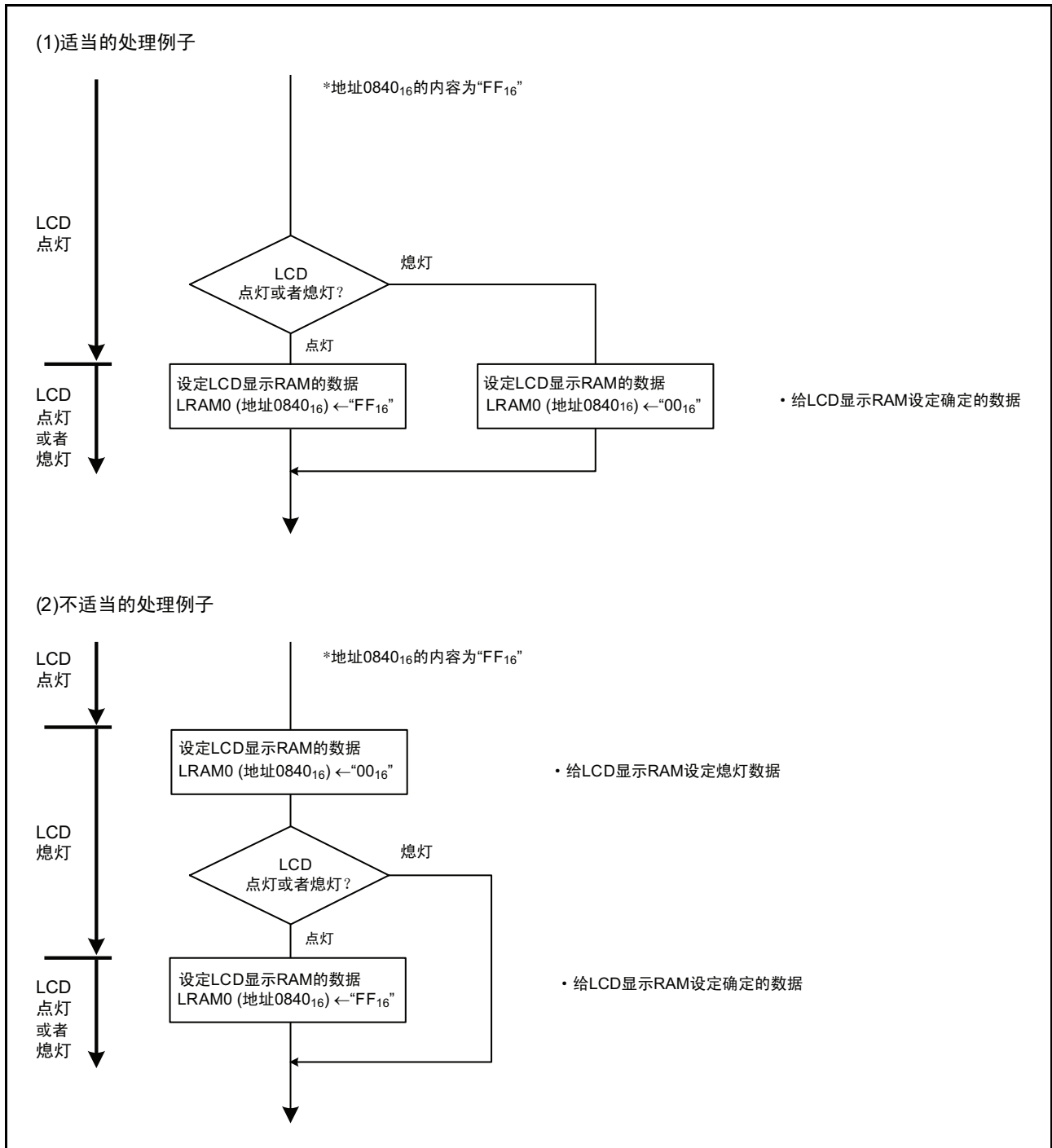


图 105 在 LCD 点灯中给 LCD 显示 RAM 写数据的处理例子

### 3. 执行 STP 指令时

如果执行 STP 指令，LCD 允许位（LCD 模式寄存器 1（地址 0013<sub>16</sub>）的 bit4）就变为“0”，并且 LCD 显示屏熄灯。从停止模式返回后，要使 LCD 显示屏点灯时，必须将 LCD 允许位置“1”。

### 4. VL3 引脚

如果在 VL3 和 VCC 为相等电压时使用 LCD 驱动控制电路，就必须给 VL3 引脚外加 VCC 电压，并且将 VL3 连接位（LCD 电源控制寄存器 2（地址 0014<sub>16</sub>）的 bit1）置“1”。

## 5. LCD 驱动电源

根据 LCD 电源的分压电阻值和 LCD 显示屏的特性，电源容量有可能不足，此时可将  $0.1 \sim 0.33\mu\text{F}$  左右的旁路电容连接到  $V_{L1} \sim V_{L3}$  引脚。LCD 驱动电源的强化对策例子如下图所示。

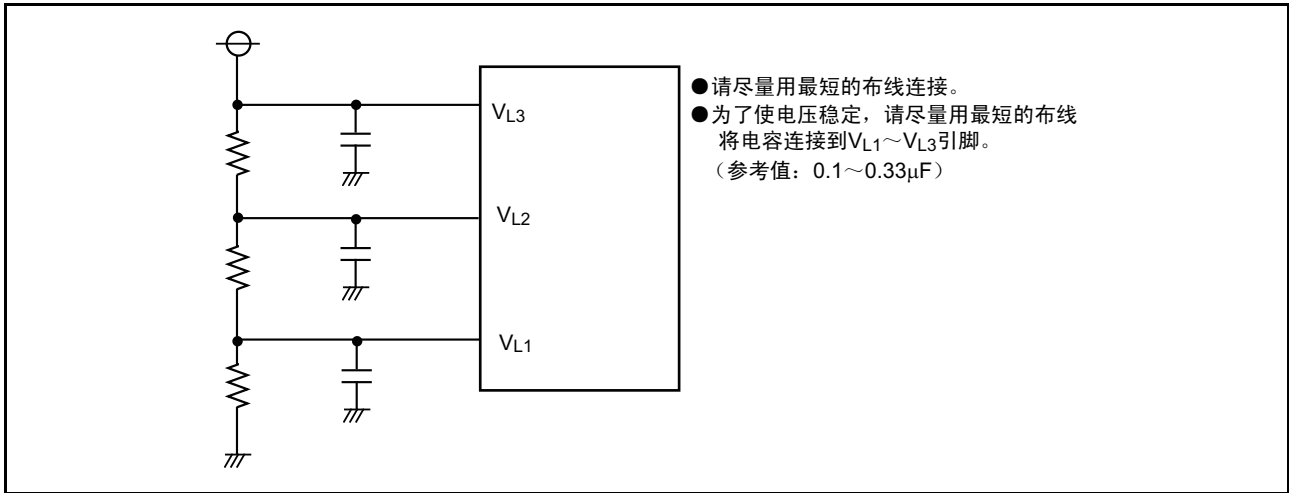


图 106 LCD 驱动电源的强化对策例子

### 有关 ROM 校正功能的注意事项

#### 1. 返回到主程序

从校正程序返回主程序时，必须使用 **JMP** 指令（3 字节指令）。

#### 2. 使用 ROM 校正功能时

在使用 ROM 校正功能时，必须在设定 ROM 校正地址寄存器后将 ROM 校正地址允许位设定为允许状态。

#### 3. 地址

不能给 ROM 校正地址寄存器设定 ROM 区以外的地址，也不能给 ROM 校正地址 1 寄存器和 ROM 校正地址 2 寄存器设定相同的地址。

#### 4. ROM 校正处理

需要预先将 ROM 校正处理编入程序。

#### 5. 不使用 ROM 校正功能时

在不使用 ROM 校正功能时，能将 ROM 校正向量作为通常的 RAM/ROM 使用。在作为通常的 RAM/ROM 使用时，必须将 ROM 校正允许寄存器的 bit1、0 置“0”（禁止使用）。

## 有关时钟发生电路的注意事项

### 1. 振荡电路常数

振荡电路的各常数因谐振器而不同，所以必须使用谐振器厂家的推荐值。

在  $X_{IN}$ - $X_{OUT}$  的引脚之间内置了反馈电阻（根据条件，有时需要外接反馈电阻）。因为在  $X_{CIN}$ - $X_{COUT}$  之间没有内置反馈电阻，所以必须附加  $10M\Omega$  的反馈电阻。

### 2. 模式间的转换

在进行内部振荡器模式、 $X_{IN}$  模式和低速模式之间的转移时， $X_{IN}$  和  $X_{CIN}$  都需要处于振荡稳定状态，在刚接通电源后或者从停止模式返回时要特别注意。模式之间的转移必须遵循系统时钟的状态转移图， $f(X_{IN})$  必须至少为  $f(X_{CIN})$  的 3 倍的频率。当不使用  $X_{IN}$  模式（不进行  $X_{IN}$ - $X_{OUT}$  之间的振荡以及  $X_{IN}$  的外部时钟输入）时，必须通过电阻将  $X_{IN}$  连接到  $V_{CC}$ 。

### 3. 振荡稳定

必须在执行 STP 指令前将生成振荡稳定等待时间的值 \* 写到定时器 1 和定时器 2 的锁存器（给定时器 1 和定时器 2 分别设定低 8 位和高 8 位）。

\* 参考值（必须根据所使用的谐振器和系统决定）

- 当闪存版和 QzROM 版的 OSCSEL=“L”时 ..... 大于等于  $0005_{16}$
- 当 QzROM 版的 OSCSEL=“H”时 ..... 大于等于  $01FF_{16}$

### 4. 低速和 $X_{IN}$ 模式

在使用低速和  $X_{IN}$  模式时，必须在允许  $X_{IN}$  和  $X_{OUT}$ 、 $X_{CIN}$  和  $X_{COUT}$  之间的振荡后，通过内部振荡器模式等进行振荡稳定的等待，然后转换。

## 有关闪存版的注意事项

### 1. CPU 改写模式

#### (1) 运行速度

在 CPU 改写模式中，必须通过主时钟分频比选择位（地址  $003B_{16}$  的 bit6 和 bit7）设定系统时钟  $\phi$ ，并且使系统时钟  $\phi$  不超过 4.0MHz。

#### (2) 使用禁止指令

在 CPU 改写模式中，不能使用访问闪存内部数据的指令。

#### (3) 中断

在 CPU 改写模式中，由于访问闪存内部的数据，不能使用中断。

#### (4) 看门狗定时器

在已经启动看门狗定时器的情况下，由于在编程或者擦除期间，看门狗定时器总是被清除，因此不发生由下溢引起的内部复位。

#### (5) 复位

总是接受复位。在复位解除时，并且在  $CNV_{SS}=H$  的情况下，由于用引导模式启动，因此从被保存在引导 ROM 区的地址  $FFFC_{16}$  和  $FFFD_{16}$  的地址开始执行程序。

## 有关看门狗定时器的注意事项

### 1. 看门狗定时器的下溢

在停止模式时看门狗定时器不运行，但是在停止解除的等待时间（用定时器 1 和定时器 2 设定的时间），看门狗定时器进行计数，所以必须在此期间写看门狗定时器的控制寄存器，使看门狗定时器在此期间不发生下溢。

### 2. 看门狗定时器的振荡停止

如果通过看门狗定时器的计数源选择位 2 选择内部振荡器，内部振荡器就被强制振荡而不能停止。另外，必须将此时的 STP 指令功能选择位设定为“1”。

在停止内部振荡器的系统中，必须将看门狗定时器计数源选择位 2 置“0”（ $\phi$ SOURCE）。

### 3. 看门狗定时器的下溢

在复位后 bit7 ~ 5 只能写 1 次。因为在写操作后被锁住，所以无法改写。这些位在复位后为“0”。

## 有关 QzROM 版和闪存版不同点的注意事项

QzROM 版和闪存版根据制造工艺、内部 ROM、存储器容量、布线图形等的不同，在电特性的范围内，特性值、运行容限、噪声耐量、噪声辐射量、振荡电路常数等可能不同。

在从闪存版切换到 QzROM 版时，必须实施和闪存版进行的系统评估试验同等的试验。

功能差异请在第 12 页确认。

## 有关电源电压的注意事项

在单片机的电源电压低于推荐运行条件值时，单片机可能无法正常运行而处于不稳定的运行状态。

对于在电源电压下降和切断电源时电源电压缓慢下降的系统，必须将系统设计为：即使在电源电压低于推荐运行条件时的不稳定运行状态下，通过单片机复位等手段使系统不发生异常。

## 有关使用电源引脚的注意事项

在使用时，为了防止闩锁现象，必须将高频特性良好的电容作为旁路电容外接到元件的电源引脚（VCC 引脚）和 GND 引脚（VSS 引脚）之间以及电源引脚（VCC 引脚）和模拟电源输入引脚（AVSS 引脚）之间。旁路电容推荐 0.01 $\mu$ F ~ 0.1 $\mu$ F 的陶瓷电容。

另外，必须以最短距离将旁路电容外接在电源引脚和 GND 引脚之间以及电源引脚和模拟电源输入引脚之间。

## 有关存储器的注意事项

### 1. RAM

RAM 的内容在复位时不定，所以必须在使用前设定初始值。

## 有关 QzROM 版的注意事项

### 1. OSCSEL 引脚的布线

#### (1) OSCSEL 引脚 = “L” 电平

请尽量以最短的布线将 OSCSEL 引脚连接到离供给单片机 V<sub>SS</sub> 引脚的 GND 最近的 GND 布线。

另外，通过将约 5kΩ 的电阻串联到 GND，有可能改善抗噪声能力。此时和上述同样，尽量以最短的布线将电阻连接到离供给单片机的 V<sub>SS</sub> 引脚的 GND 最近的 GND 布线。

#### (2) OSCSEL 引脚 = “H” 电平

请尽量以最短的布线将 OSCSEL 引脚连接到离供给单片机 V<sub>CC</sub> 引脚的 V<sub>CC</sub> 最近的 V<sub>CC</sub> 布线。

另外，通过将约 5kΩ 的电阻串联到 V<sub>CC</sub>，有可能改善抗噪声能力。此时和上述同样，尽量以最短的布线将电阻连接到离供给单片机 V<sub>CC</sub> 引脚的 V<sub>CC</sub> 最近的 V<sub>CC</sub> 布线。

#### ●理由

OSCSEL 引脚是内部 QzROM 的电源输入引脚。在给 QzROM 写程序时，为了产生写电流，降低了 OSCSEL 引脚的阻抗，所以噪声容易侵入。如果噪声从 OSCSEL 引脚侵入，QzROM 的指令码和数据的读操作就不能正常进行而导致失控。

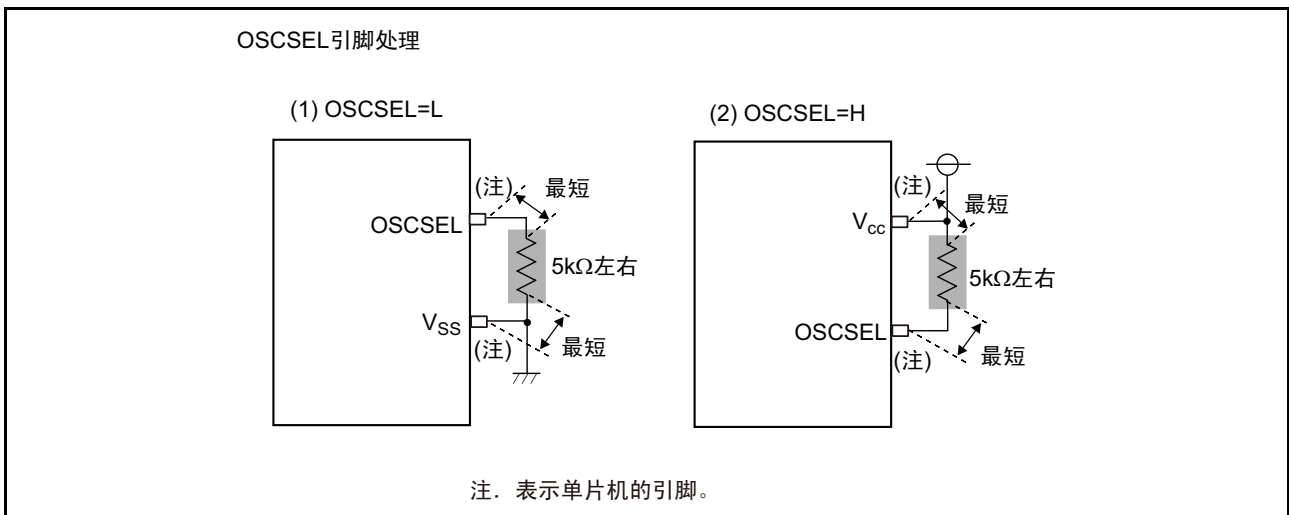


图 107 OSCSEL 引脚的布线

### 2. 有关 QzROM 版过电压

必须注意：不能给其他引脚外加超过 V<sub>CC</sub> 引脚电压的电压。

尤其是电源上升和下降时的 OSCSEL 引脚（QzROM 的 V<sub>PP</sub> 电源输入引脚），不能出现如下图所示的粗线区间的状态。如果出现此状态，QzROM 的内容可能被改写。

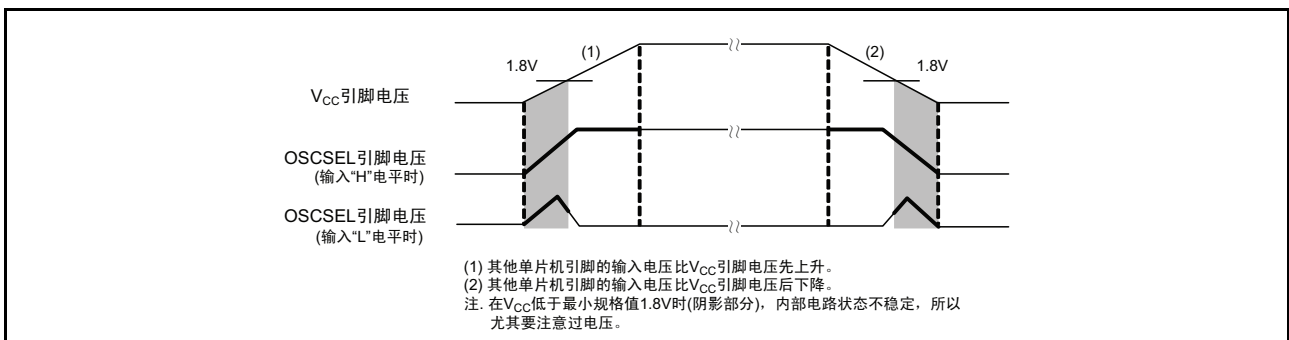


图 108 时序图（粗线区间）

### 3. 有关 QzROM 版空白发货产品

虽然在组装工程前对空白发货产品进行了充分的 QzROM 写测试，但是在组装工程后对用户 ROM 区没有进行写测试，因此有可能发生 0.1% 左右的写失败。另外，写的环境也是造成写失败的原因之一，所以在使用时必须充分注意电缆的接触和插座上的异物等。

### 4. 订购 QzROM 编程后的产品时

在订购 QzROM 编程后的发货产品时，必须提交用掩模文件转换实用程序（MM）建立的掩模文件（扩展名 .msk）。

另外，在执行掩模文件转换实用程序（MM）建立掩模文件时，必须设定 ROM 选项（在掩模转换实用程序中记为“掩模选项”）的数据。

### 5. ROM 码保护

（QzROM 编程后的发货产品）

QzROM 编程后的发货产品的 ROM 码保护由订货时提出的建立掩模文件时的 ROM 选项数据决定。

建立掩模文件时的 ROM 选项数据为“有保护”时设定“00<sub>16</sub>”；为“只对保护区 1 进行保护”时设定“FE<sub>16</sub>”；为“无保护”时设定“FF<sub>16</sub>”。因此，QzROM 编程后的发货产品的 ROM 码保护地址（ROM 保留区）的内容为“00<sub>16</sub>”、“FF<sub>16</sub>”和“FE<sub>16</sub>”的其中之一。

另外，必须注意：在没有设定 ROM 选项数据或者设定了“00<sub>16</sub>”、“FF<sub>16</sub>”和“FE<sub>16</sub>”以外的数据时，不能接受该掩模文件。

### 6. 订购 QzROM 编程后的产品时的提交资料

在订购 QzROM 编程后的发货产品时须提交以下的资料：

- QzROM 编程确认书\*
- 标记指定书\*
- ROM 的数据 • • • 掩模文件

\* 有关 QzROM 编程确认书和标记指定书，请参照瑞萨科技主页（<http://www.renesas.com/>）。另外，QzROM 单片机不对应特殊字体标记（如贵公司商标等）。

### 7. QzROM 产品的验货步骤

由客户进行编程时，请按照以下步骤进行验货：

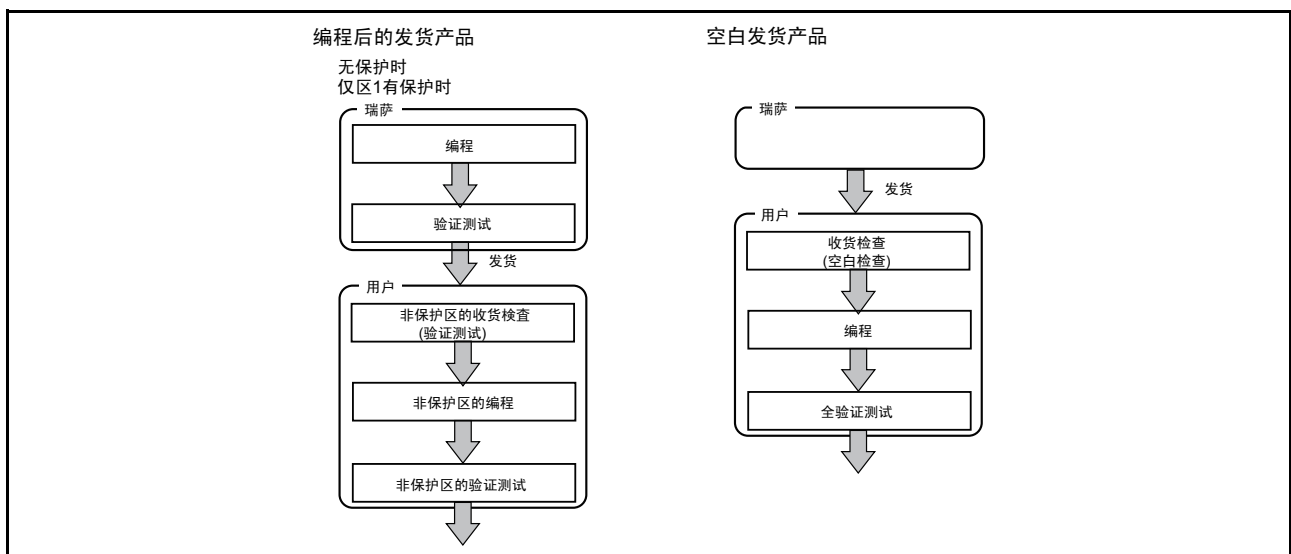


图 109 QzROM 产品的验货步骤

## 有关闪存版的注意事项

### 1. CPU 改写模式

#### (1) 运行速度

在 CPU 改写模式中，必须通过主时钟分频比选择位（地址 003B<sub>16</sub> 的 bit6 和 bit7）设定系统时钟  $\phi$ ，并且使系统时钟  $\phi$  不超过 4.0MHz。

#### (2) 使用禁止指令

在 CPU 改写模式中，不能使用访问闪存内部数据的指令。

#### (3) 中断

在 CPU 改写模式中，由于访问闪存内部的数据，不能使用中断。

#### (4) 看门狗定时器

在已经启动看门狗定时器的情况下，由于在编程或者擦除期间，看门狗定时器总是被清除，因此不发生由下溢引起的内部复位。

#### (5) 复位

总是接受复位。在复位解除时，并且在 CNV<sub>SS</sub>=H 的情况下，由于用引导模式启动，因此从被保存在引导 ROM 区的地址 FFFC<sub>16</sub> 和 FFFD<sub>16</sub> 的地址开始执行程序。

### 2. CNV<sub>SS</sub> 引脚

CNV<sub>SS</sub> 引脚决定闪存模式。

必须尽量以最短的布线将 CNV<sub>SS</sub> 引脚连接到离供给单片机 V<sub>SS</sub> 引脚的 GND 最近的 GND 布线。（注）另外，如果以串联的方式插入 5k $\Omega$  的电阻连接到 GND，就可能改善噪声耐量。此时也要和上述同样，必须尽量以最短的布线连接到离供给单片机 V<sub>SS</sub> 引脚的 GND 最近的 GND 布线。

**【注】** 在使用引导模式、标准串行输入 / 输出模式时，必须转换 CNV<sub>SS</sub> 引脚的输入电平。

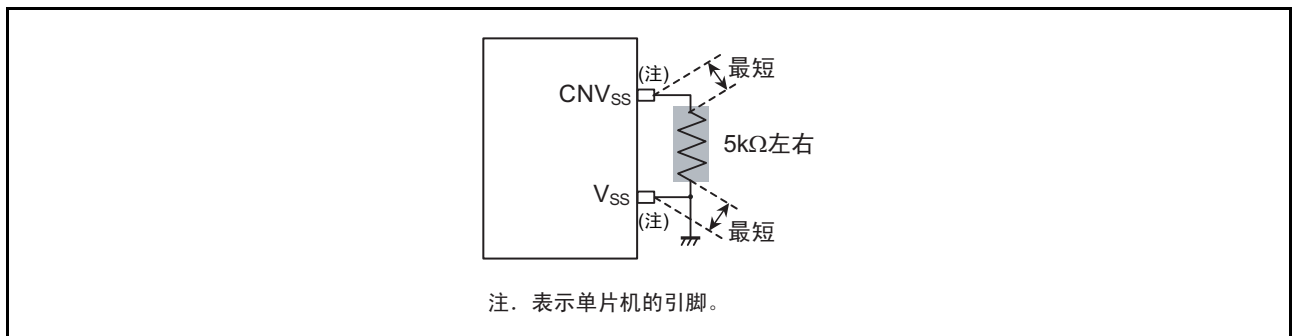


图 110 CNV<sub>SS</sub> 引脚的布线

修订记录	38D5 群 数据表
------	------------

Rev.	发行日	修订内容	
		页	修订处
1.00	2006.08.31	—	初版发行
2.00	2008.03.27	1、 2、 5、 6、 11、 12 3、 4 8 11 12 14 17 18、 85 20 21 22 23 31 33 34 ~ 39 42 43、 47 43 45 46 47 48 48、 49 50	<p>追加了闪存版的内容，修改了功耗。</p> <p>图 1、 2: M38D59IFFP/HP → M38D59EFP/HP</p> <p>表 3: 修改了“P7<sub>3</sub> 和 P7<sub>4</sub> 的功能栏”和“CNV<sub>SS</sub> 功能栏”。</p> <p>存储器容量: 进行了修改。</p> <p>图 5: 进行了修改。</p> <p>追加了“表 5 QzROM 版和闪存版的不同点”。</p> <p>修改了“中央运算处理器”。</p> <p>【CPU 模式寄存器】: 删除了部分内容, 并进行了修改。</p> <p>图 8、 63: 修改了寄存器图, 并修改和追加了注。</p> <p>● ROM: 修改了说明。</p> <p>● ROM 码保护地址: 修改和追加了说明。</p> <p>图 10: ROM 保留区 FFD0<sub>16</sub> → FFDB<sub>16</sub> 追加了闪存版的 SFR 和注。</p> <p>图 11: 修改了 ROM 校正地址 1、 2 寄存器名。 ROM 校正允许寄存器 → ROM 校正允许寄存器 (RCR) 追加了闪存版的 SFR 和注。</p> <p>● 方向寄存器: 追加了说明。</p> <p>图 13: 修改了“PULL3”和“SEG2”。</p> <p>● 未使用引脚的处理方法: 在“输入 / 输出端口的处理方法”中追加了说明。</p> <p>处理方法 1 (推荐): 删除了“(推荐)”。</p> <p>P7<sub>0</sub>/C<sub>1</sub>/INT<sub>01</sub> 和 P7<sub>1</sub>/C<sub>2</sub>/INT<sub>11</sub> 的处理方法 1 ~ 3: 修改 V<sub>L3</sub> 的处理方法 1、 2: 修改</p> <p>全面修改了“中断”。</p> <p>图 25: 进行了修改。</p> <p>● 定时器的分频其: 修改了说明。</p> <p>修改了“定时器 1、 2 的 X<sub>CIN</sub> 作为计数源时”的文章。</p> <p>图 27: 修改了“T1234M(bit7)、 PWM01(bit7)”。</p> <p>图 28: 进行了修改。</p> <p>修改了“定时器 X 的 X<sub>CIN</sub> 作为计数源时”的文章。</p> <p>(3)IGBT 输出模式、 (4)PWM 模式: 定时器 X1 输出 → 定时器 X 输出 1、 定时器 X2 输出 → 定时器 X 输出 2</p> <p>(6) 脉宽测定模式: 修改了说明。</p> <p>图 29: (TXCON1 bit5 = “1”) → (TXCON1 bit5 = “0”)</p> <p>■ 注意事项: 进行了追加和修改。</p> <p>图 30: 修改了“TXCON1(bit3、 4)、 TXCON2(bit7)”。</p>

Rev.	发行日	修订内容	
		页	修订处
		51	图 28: 追加了注。 用于实时定时器端口的 $P5_1$ 数据 → 用于实时定时器端口的 $RTP_1$ 数据 用于实时定时器端口的 $P5_0$ 数据 → 用于实时定时器端口的 $RTP_0$ 数据 ● 定时器 Y: 修改了说明, 并追加了“(5) 实时定时器端口控制”。
		52	删除了“(3) 实时定时器端口控制”, 移到 P40。 ■ 注意事项 (2): 修改了说明。
		58	图 32: 修改了“TYM(bit2、3)、TYCON(bit4 ~ 7)”。
		59	串行 I/O2: 修改了说明。
		59	图 36: 追加了注。 追加了“【串行 I/O2 的运行】”。
		60	图 40: 进行了修改。
		61	【比较器和控制电路】: 进行了修改。
		61 ~ 63	【AD 控制寄存器】、图 39 的注 2、● ADKEY 功能: 模拟输入选择位 → 模拟输入引脚选择位
		62	图 41: 进行了修改, 并追加了注。
		65	图 43: 修改了“SEG2(bit2)、LM2(bit1 ~ 7)”。
		67	● 升压电路: 追加了说明。 ● 偏压控制和 LCD 电源输入引脚的外加电压: 追加了说明。
		68	图 45: 1/3 偏压 使用升压电路时: $V_{L1}$ 的外接电容 → 用于升压的电源
		70、71	追加了“■ 注意事项”。 图 70、71: 修改了 3 分时。
		72	ROM 校正功能: 追加了说明。
		73	图 50: 修改了“ROM 区内的境界线”。 ROM 保留区 $FFD0_{16} \rightarrow FFDB_{16}$
		74	图 51: 进行了修改。 看门狗定时器: 进行了修改。 追加了“■ 注意事项”。
		75	图 52: 追加了注。 看门狗定时器选择位 2 → 看门狗定时器计数源选择位 2
		76	图 53: 修改了 b5、b7 和注。
		76	图 55: 进行了修改。
		78	复位电路: 追加了说明。 图 57: 进行了修改。
		79	图 58: 进行了修改。
		80	图 59: 追加了注。
		81、82	时钟发生电路: 进行了修改和追加。
		86	表 14: 修改了“ $V_{REF}$ 、 $AV_{SS}$ 的功能”。
		89 ~ 92	图 66 ~ 图 69: 进行了修改和追加。
		93 ~ 109	追加了“闪存模式”。
		110	编程注意事项 → 使用注意事项
		110 ~ 114	全面修改了“使用注意事项”。
		118	表 21: $V_I$ 追加了“OSCESEL”。 $V_O$ 修改了“输出端口时和段输出的额定值”。 追加了“ $COM_0 \sim COM_3$ ”并修改了额定值

Rev.	发行日	修订内容	
		页	修订处
		119 ~ 128	表 22 ~ 表 32: 在条件中追加了 “ $V_{SS}=0V$ ”。
		119	表 22: 进行了修改。
		121	表 24: 进行了修改。
		122	表 25: 在 “ $I_{IH}$ 、 $I_{IL}$ 的项目” 中追加了 OSCSEL。
		124	表 28: 进行了修改。
		126	表 29: 进行了修改。
		127	表 30: 进行了修改, 并追加了注 1。
		131 ~ 142	追加了 “闪存版的电特性”。
		143 ~ 160	追加了 “附录”。

Notes:

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guaranties regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
  - (1) artificial life support devices or systems
  - (2) surgical implantations
  - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
  - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

## 株式会社 瑞萨科技

下面所记中文只作为参考译文，英文具有正式效力。

### 请遵循安全第一进行电路设计:

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页 (<http://www.renesas.com>) 等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而致使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负担任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统(如各种安全装置或者运输通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等)而设计和制造的,特别是对于品质和可靠性要求极高的机器和系统等(将本公司指定用于汽车方面的产品用于汽车时除外)。如果要用于上述的目的,请务必事先向本公司的营业窗口咨询。另外,对于用于上述目的而造成的损失等,本公司概不负责。
8. 除上述第7项内容外,不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失,本公司概不负责。
  - 1) 生命维持装置。
  - 2) 生命维持装置。
  - 3) 用于治疗(切除患部、给药等)的装置。
  - 4) 其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时,对于最大额定值、工作电源电压的范围、散热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时,对于由此而造成的故障和出现的事故,本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性,但一般来说,半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失,希望客户能自行负责进行冗余设计、采取延缓对策及进行防止错误运行等的安全设计(包括硬件和软件两方面的设计)以及老化处理等,这是作为机器和系统的出厂保证。特别是单片机的软件,由于单独进行验证很困难,所以要求在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下,有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时,请顾客自行负责将本公司产品设置为不容易剥离的安全设计。如果从顾客的设备上剥离而造成事故时,本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时,不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容,或者有其他关心的问题,请向本公司的营业窗口咨询。



## RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

**Renesas Technology America, Inc.**

450 Holger Way, San Jose, CA 95134-1368, U.S.A  
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

**Renesas Technology Europe Limited**

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.  
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

**Renesas Technology (Shanghai) Co., Ltd.**

Unit 204, 205, AZIACenter, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120  
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7858/7898

**Renesas Technology Hong Kong Ltd.**

7th Floor, North Tower, World Finance Centre, Harbour City, Canton Road, Tsimshatsui, Kowloon, Hong Kong  
Tel: <852> 2265-6688, Fax: <852> 2377-3473

**Renesas Technology Taiwan Co., Ltd.**

10th Floor, No.99, Fushing North Road, Taipei, Taiwan  
Tel: <886> (2) 2715-2888, Fax: <886> (2) 3518-3399

**Renesas Technology Singapore Pte. Ltd.**

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632  
Tel: <65> 6213-0200, Fax: <65> 6278-8001

**Renesas Technology Korea Co., Ltd.**

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea  
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

**Renesas Technology Malaysia Sdn. Bhd**

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia  
Tel: <603> 7955-9390, Fax: <603> 7955-9510