

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司 (<http://www.renesas.com>)

【业务咨询】<http://www.renesas.com/inquiry>



Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: "Standard", "High Quality", and "Specific". The recommended applications for each Renesas Electronics product depends on the product's quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as "Specific" without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as "Specific" or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is "Standard" unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - "Standard": Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - "High Quality": Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - "Specific": Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) "Renesas Electronics" as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) "Renesas Electronics product(s)" means any product developed or manufactured by or for Renesas Electronics.

概要

7546 群是采用了 740 族内核的 8 位单片机，是 7542 群的 QzROM 版。与 7542 群引脚兼容，内置串行接口、8 位定时器、16 位定时器和 A/D 转换器，追加了上电复位、低电压检测电路和功能设定 ROM 的新功能。最适于家电、OA 设备。

特点

• 基本机器指令	71
• 指令执行时间	$0.25\mu\text{s}$
	(在最短指令、振荡频率 8MHz、倍速模式时)
• 存储容量	
ROM	8K、16K 字节
RAM	384、512 字节
• 可编程输入/输出端口	25 个
• 中断	18 个源、16 个向量
• 定时器	8 位 $\times 2$
	16 位 $\times 2$
• 输出比较	4 个通道
• 输入捕捉	2 个通道
• 串行接口	8 位 $\times 2$
	(时钟异步或者时钟同步)
• A/D 转换器	10 位分辨率 $\times 6$ 个通道
• 时钟发生电路	内置
	(能通过内部振荡器实现低功耗)
	(能外接陶瓷谐振器或者晶体谐振器、能 RC 振荡)
• 看门狗定时器	16 位 $\times 1$
• 上电复位电路	内置
• 低电压检测电路	内置
• 电源电压	
X _{IN} 振荡频率 (在陶瓷振荡、倍速模式时)	
为 8MHz 时	4.5 ~ 5.5V
为 6.5MHz 时	4.0 ~ 5.5V
为 2MHz 时	2.4 ~ 5.5V
为 1MHz 时	2.2 ~ 5.5V
X _{IN} 振荡频率 (在陶瓷振荡、高速模式、中速模式时)	
为 8MHz 时	4.0 ~ 5.5V
为 4MHz 时	2.4 ~ 5.5V
为 2MHz 时	2.2 ~ 5.5V
	(在 RC 振荡、高速模式、中速模式时)
为 4MHz 时	4.0 ~ 5.5V
为 2MHz 时	2.4 ~ 5.5V
为 1MHz 时	2.2 ~ 5.5V

X_{IN}振荡频率 (在内部振荡器振荡时)

- 功耗 1.8 ~ 5.5V
- 工作环境温度 29.5mW (典型值)
-20 ~ 85°C

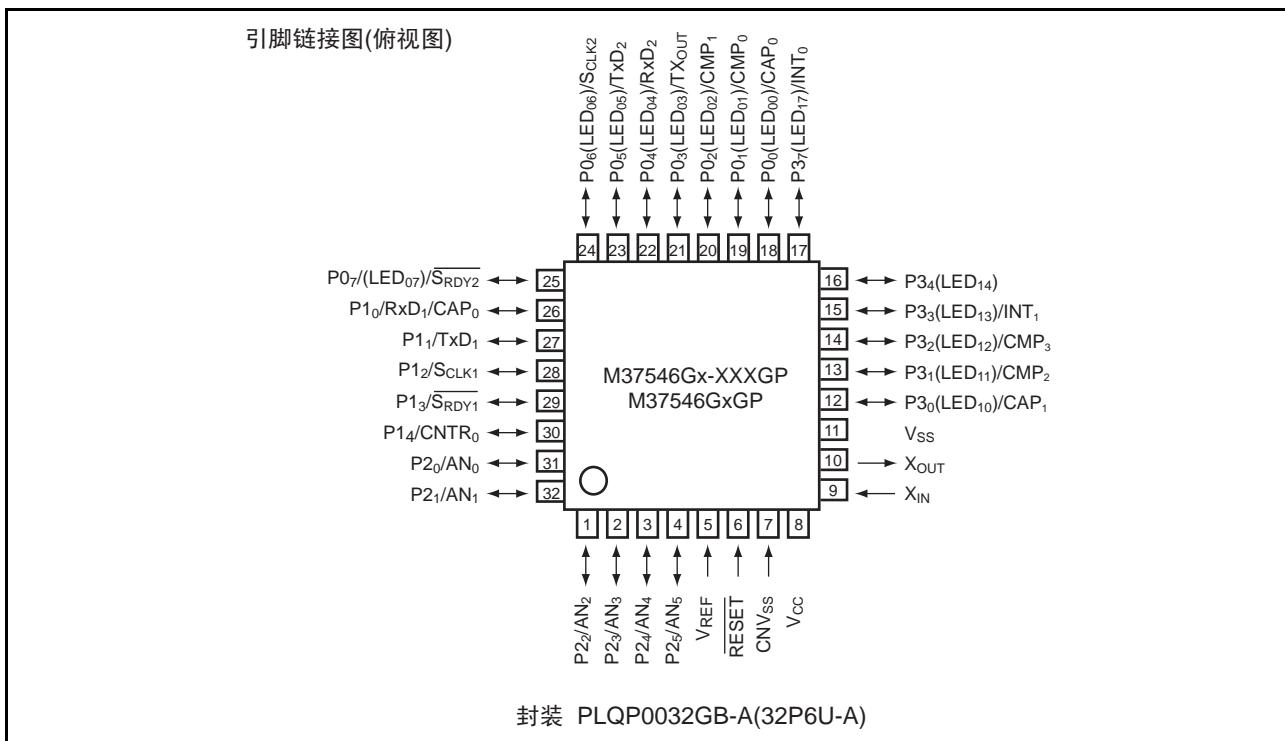


图 1 引脚连接图 (PLQP0032GB-A 封装)

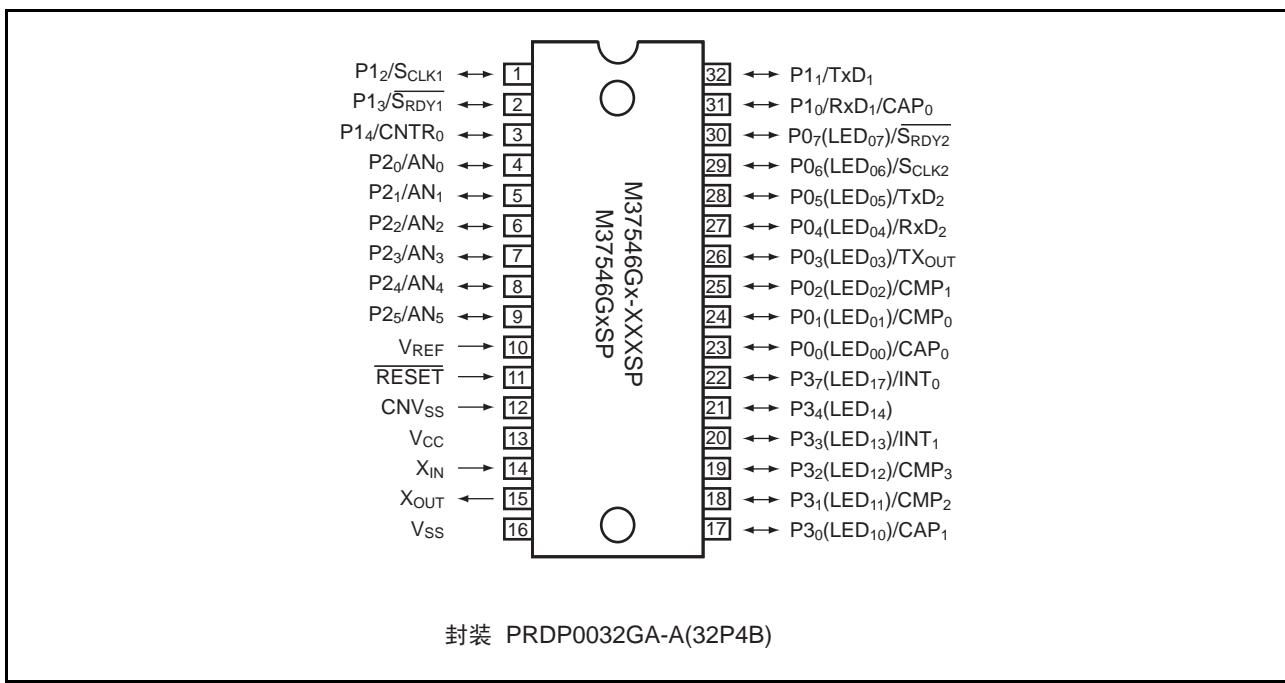


图 2 引脚连接图 (PRDP0032BA-A 封装)

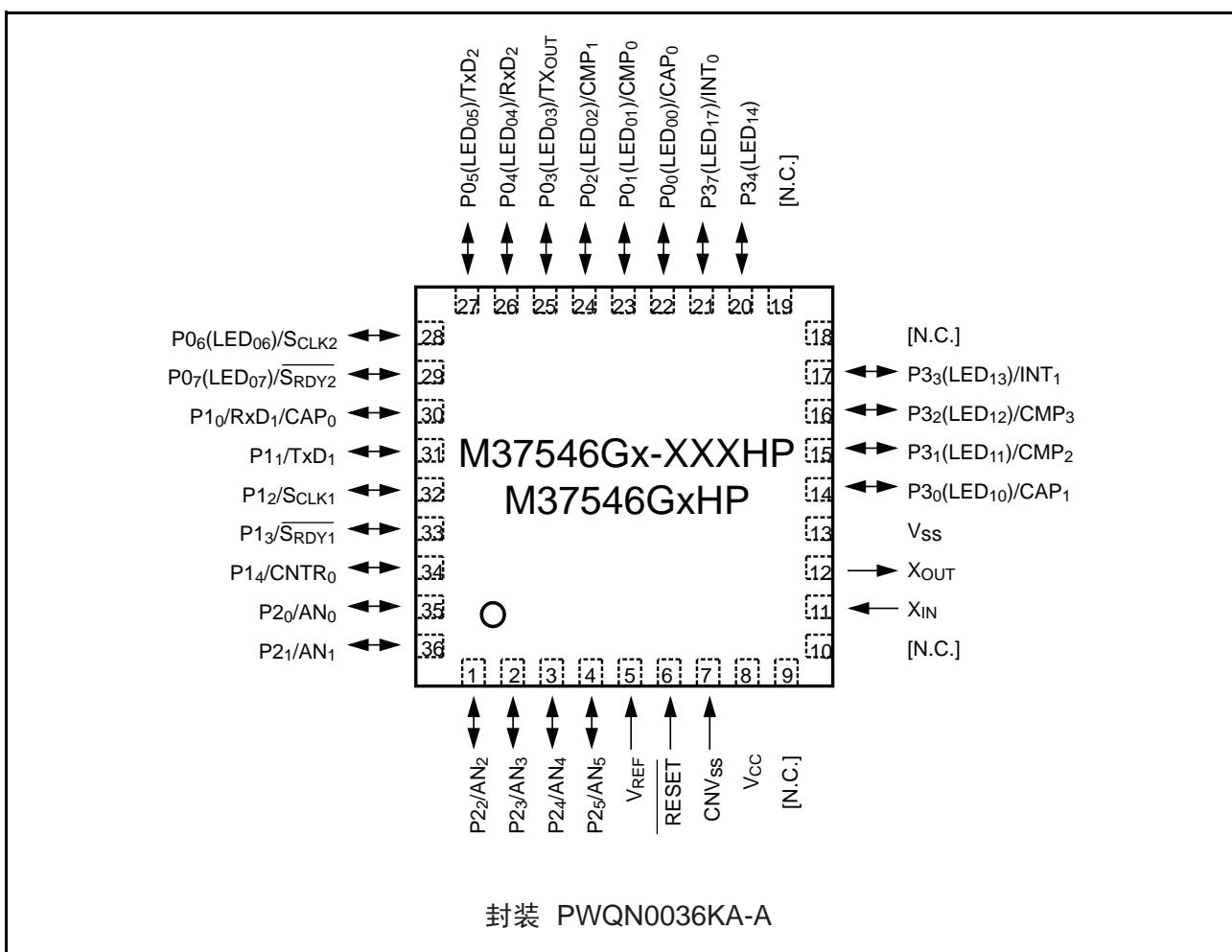


图 3 引脚连接图 (PWQN0036KA-A 封装)

表 1 性能概要

项 目		性 能		
基本指令数		71		
最短指令执行时间		0.25μs (振荡频率 8MHz: 倍速模式)		
振荡频率		8MHz (最大)		
存储器容量	ROM	8K ~ 16K 字节		
	RAM	384 ~ 512 字节		
输入 / 输出端口	P0、P1、P2、P3	8 位×1、6 位×2、5 位×1		
中断		18 个源、16 个向量		
定时器		8 位×2、16 位×2		
输出比较		4 个通道		
输入捕捉		2 个通道		
串行接口		8 位×2 (UART 或者时钟同步)		
A/D 转换器		10 位×6 个通道		
看门狗定时器		16 位×1		
时钟发生电路		内置 (可外接陶瓷谐振器或者晶体谐振器, 可 RC 振荡) (可通过内部振荡器实现低消耗电流)		
电源电压 (陶瓷振荡时)	倍速模式	8MHz 运行时	4.5V ~ 5.5V	
		6.5MHz 运行时	4.0 ~ 5.5V	
		2MHz 运行时	2.4 ~ 5.5V	
		1MHz 运行时	2.2 ~ 5.5V	
电源电压 (RC 振荡时)	高、中速模式	8MHz 运行时	4.0 ~ 5.5V	
		4MHz 运行时	2.4 ~ 5.5V	
		2MHz 运行时	2.2 ~ 5.5V	
电源电压 (内部振荡器振荡时)	高、中速模式	4MHz 运行时	4.0 ~ 5.5V	
		2MHz 运行时	2.4 ~ 5.5V	
		1MHz 运行时	2.2 ~ 5.5V	
电源电压 (内部振荡器振荡时)		1.8 ~ 5.5V		
功耗		29.5mW (典型值)		
工作环境温度		-20 ~ 85°C		
元件结构		CMOS 硅栅		
封装		32 引脚塑模 SDIP/LQFP 36 引脚塑模 WQFN		

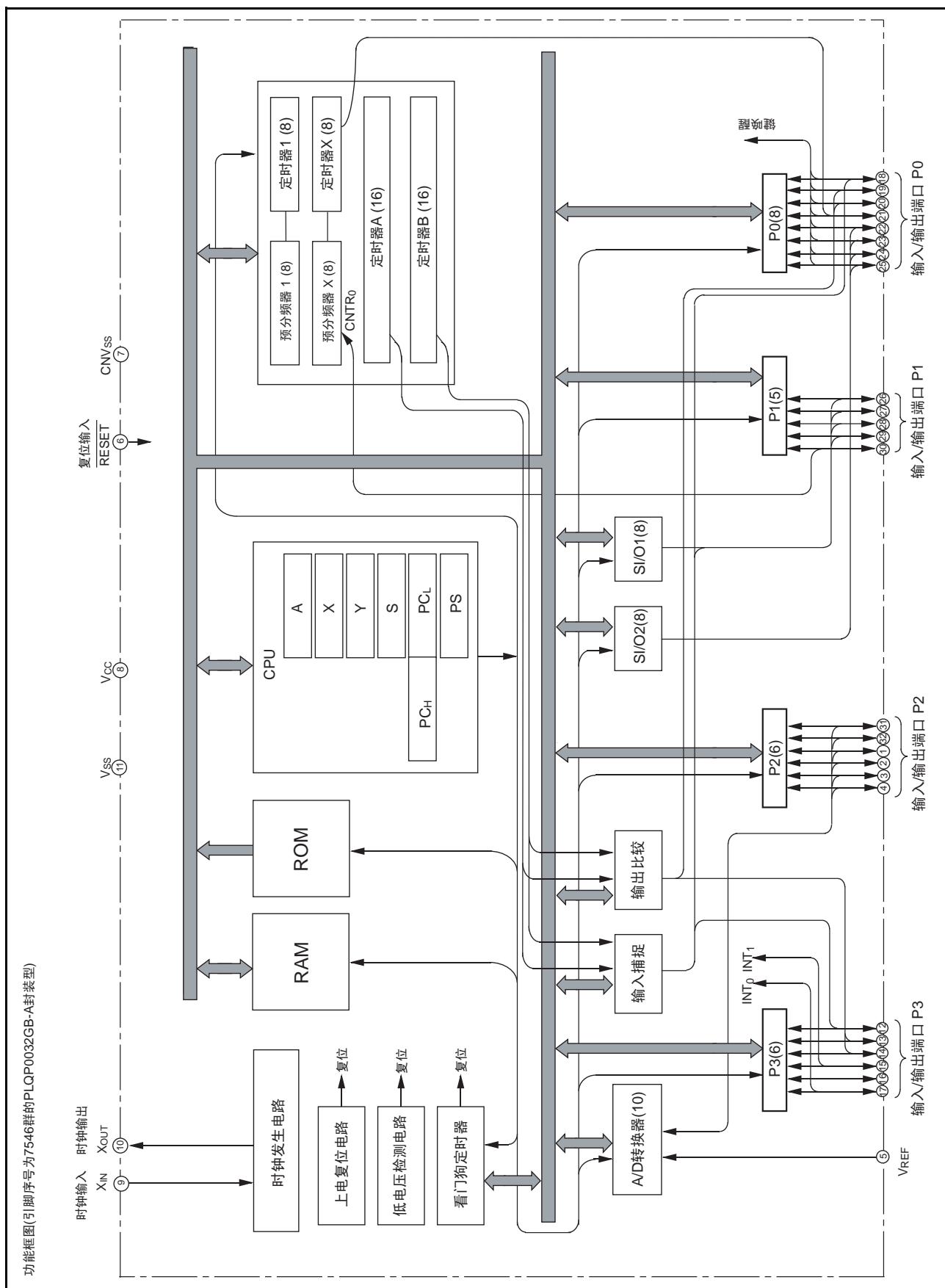


图 4 功能框图 (PLQP0032GB-A 封装)

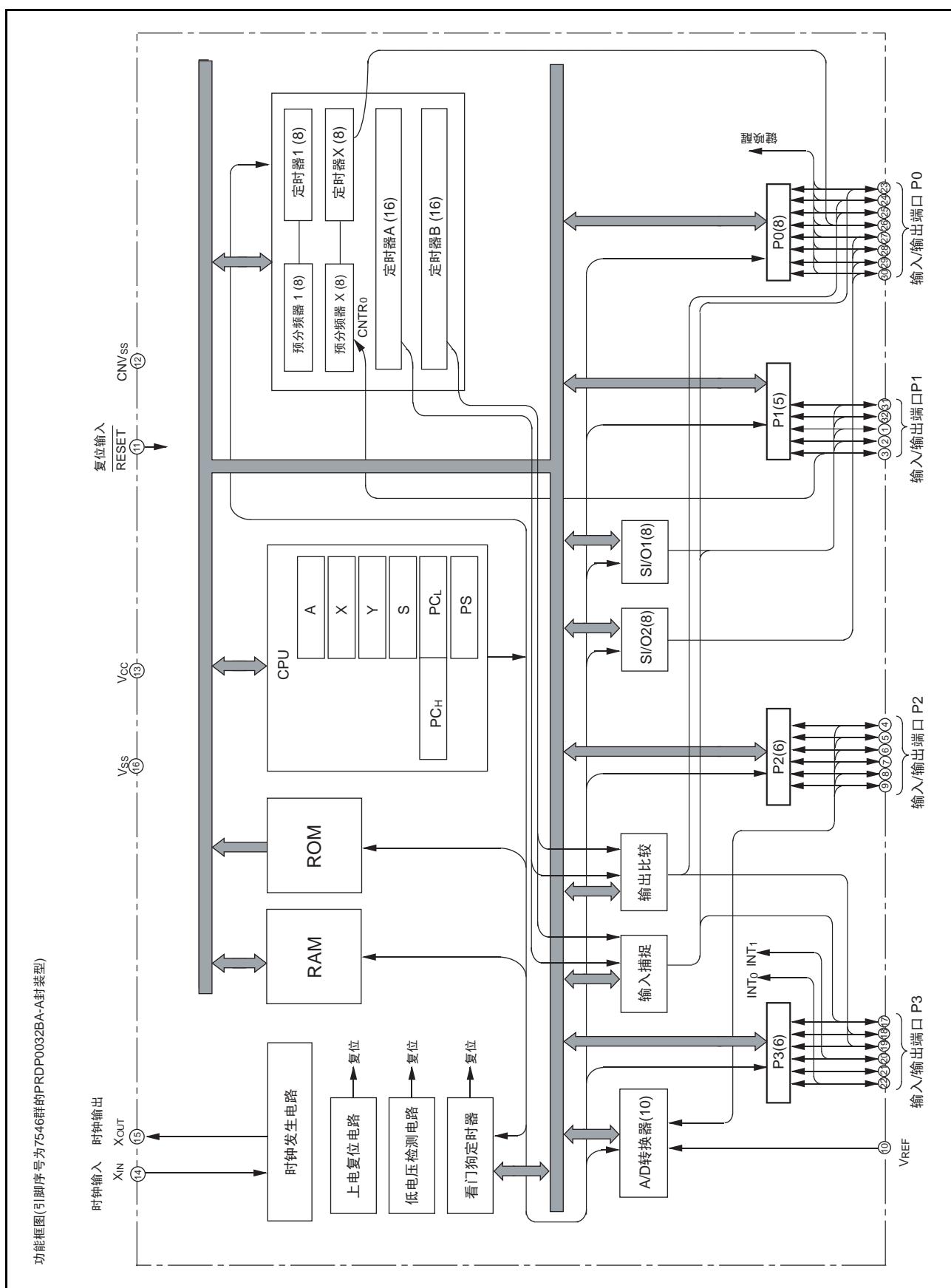


图 5 功能框图 (PRDP0032BA-A 封装)

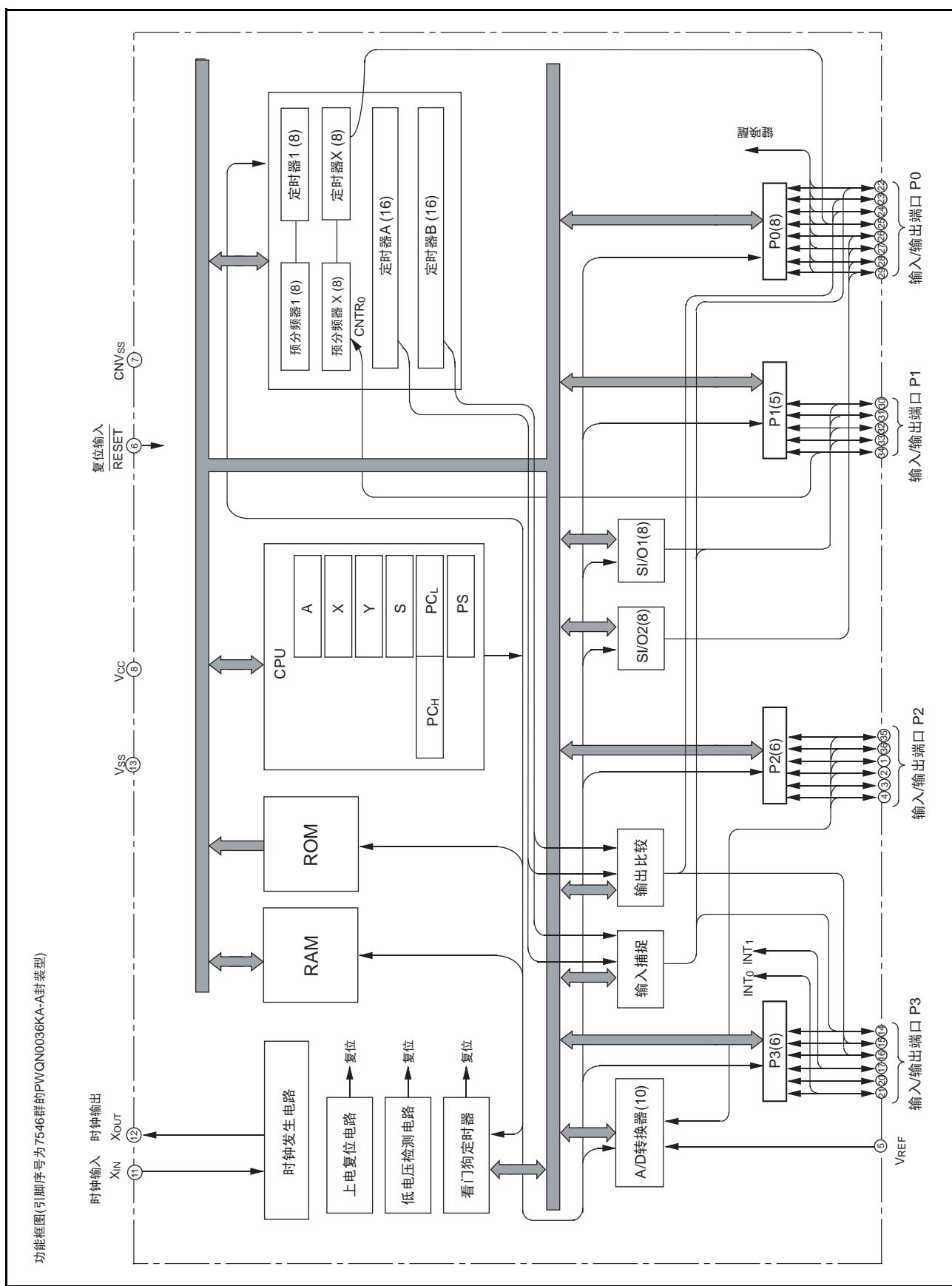


图 6 功能框图 (PWQN0036KA-A 封装)

引脚的功能说明

表 2 引脚的功能说明

引脚名	名称	功能	端口以外的功能	
VCC、VSS	电源输入	给 VCC 外加 1.8 ~ 5.5V, 给 VSS 外加 0V。		
VREF	基准电压输入	A/D 转换器的基准电压输入引脚。		
CNVSS	CNVSS	控制芯片运行模式的引脚, 总是与 VSS 连接。		
RESET	复位输入	低电平有效的复位输入引脚。		
XIN	时钟输入	内部时钟发生电路的输入 / 输出引脚, 在 XIN 和 XOUT 之间, 连接陶瓷谐振器或者晶体谐振器。RC 振荡时, 将 XIN 和 XOUT 短路, 连接电容和电阻。在使用外部时钟时, 将时钟振荡源连接到 XIN 引脚, XOUT 引脚置为开路。在用内部振荡器供给主时钟时, 将 XIN 引脚连接到 VCC, XOUT 引脚置为开路。		
XOUT	时钟输出			
P00(LED00)/CAP0	输入 / 输出端口 P0	8 位输入 / 输出端口。能通过程序以位单位进行输入 / 输出的指定。输入电平为 CMOS 输入电平, 输出形式为 CMOS 三态输出。能通过程序选择是否使用内部上拉电阻。还能通过程序用作 LED 驱动端口。	捕捉功能引脚	键输入 (键唤醒 中断输入) 引脚
P01(LED01)/CMP0			比较功能引脚	
P02(LED02)/CMP1			定时器 X 功能引脚	
P03(LED03)/TXOUT			串行 I/O2 功能引脚	
P04(LED04)/RXD2				
P05(LED05)/TXD2				
P06(LED06)/SCLK2				
P07(LED07)/SRDY2				
P10/RXD1/CAP0	输入 / 输出端口 P1	5 位输入 / 输出端口。能通过程序以位单位进行输入 / 输出的指定。输入电平为 CMOS 输入电平, 输出形式为 CMOS 三态输出。P10、P12、P13 能进行 CMOS/TTL 电平转换。	串行 I/O1 功能引脚	捕捉功能引脚
P11/TxD1				
P12/SCLK1			串行 I/O1 功能引脚	
P13/SRDY1				
P14/CNTR0			定时器 X 功能引脚	
P20/AN0 ~ P25/AN5	输入 / 输出端口 P2	具有和 P0 几乎相同功能的 6 位输入 / 输出端口。输入电平为 CMOS 输入电平, 输出形式为 CMOS 三态输出。	A/D 转换器的输入引脚	
P30(LED10)/CAP1	输入 / 输出端口 P3	6 位输入 / 输出端口。能通过程序以位单位进行输入 / 输出的指定。输入电平为 CMOS 输入电平 (P37 能进行 CMOS/TTL 电平转换)。输出形式为 CMOS 三态输出, 能通过程序选择是否使用内部上拉电阻。也能通过程序用作 LED 驱动端口。	捕捉功能引脚	比较功能引脚 中断输入引脚 中断输入引脚
P31(LED11)/CMP2				
P32(LED12)/CMP3				
P33(LED13)/INT1				
P34(LED14)				
P37(LED17)/INT0				

群展开

7546 群按下面的计划展开。

存储器种类

支持 QzROM。

存储容量

ROM 容量.....	8K ~ 16K 字节
RAM 容量.....	384 ~ 512 字节

封装

PRDP0032BA-A	32 引脚塑模 SDIP
PLQP0032GB-A	0.8mm 节距 32 引脚塑模 LQFP
PWQN0036KA-A	0.5mm 节距 36 引脚塑模 WQF

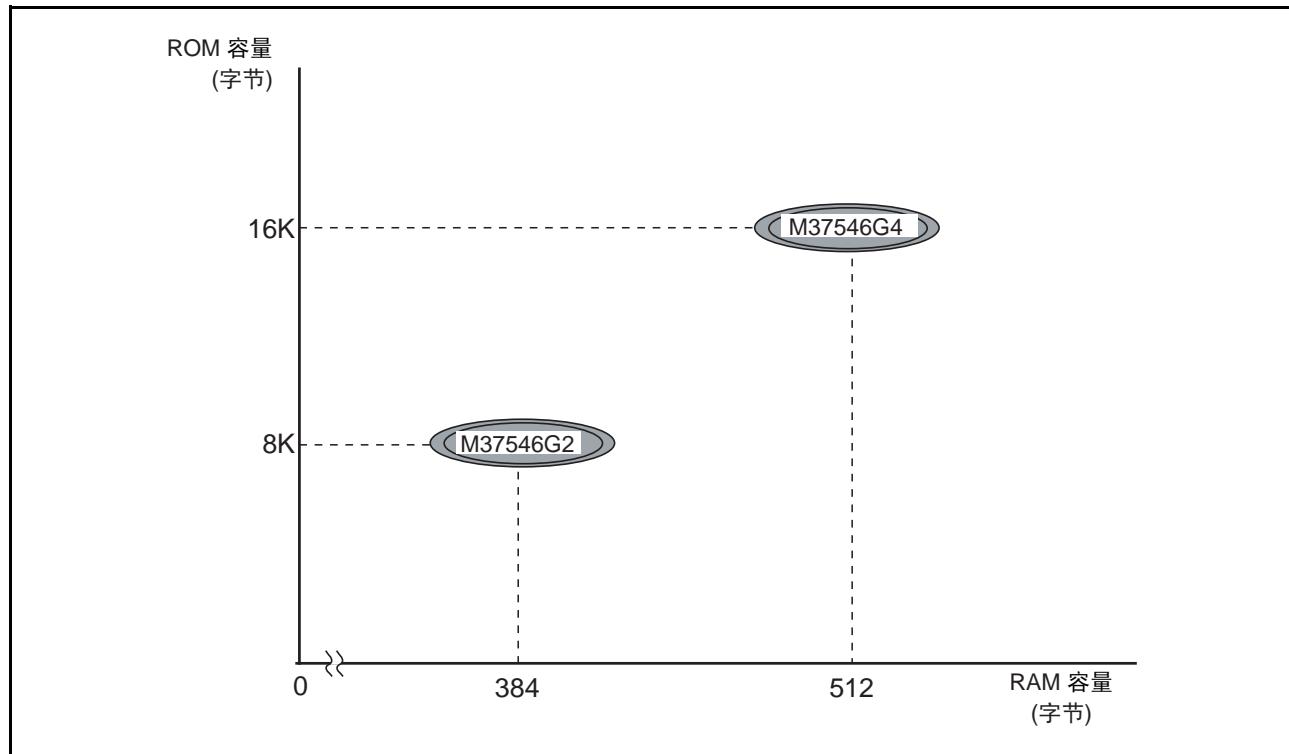


图 7 ROM 和 RAM 展开计划

现在正在开发的产品如下：

表 3 支持产品一览表

产品型号	ROM 容量 (字节) () 内是用户 ROM 容量	RAM 容量 (字节)	封装	备注
M37546G2-XXXGP	(注) 8192 (8062)	384	PLQP0032GB-A	QzROM (已编程发货产品)
M37546G2-XXXHP			PWQN0036KA-A	
M37546G2-XXXSP			PRDP0032BA-A	
M37546G2GP			PLQP0032GB-A	QzROM (空白产品)
M37546G2HP			PWQN0036KA-A	
M37546G2SP			PRDP0032BA-A	
M37546G4-XXXGP	(注) 16384 (16254)	512	PLQP0032GB-A	QzROM (已编程发货产品)
M37546G4-XXXHP			PWQN0036KA-A	
M37546G4-XXXSP			PRDP0032BA-A	
M37546G4GP			PLQP0032GB-A	QzROM (空白产品)
M37546G4HP			PWQN0036KA-A	
M37546G4SP			PRDP0032BA-A	

【注】 ROM 容量里，包含功能设定 ROM 区域。

功能块运行说明

中央运算处理器（CPU）

7546 群具有和 740 族共同的 CPU。关于各指令的运行，请参照 740 族寻址方式和机器指令一览表、或者 740 族软件手册。

关于依存产品种类的指令如下：

1. 没有 FST、SLW 指令。
2. 能使用 MUL、DIV 指令。
3. 能使用 WIT 指令。
4. 能使用 STP 指令。

中央运算处理器（CPU）有 6 个寄存器。CPU 的寄存器结构如图 11 所示。

【累加器】（A）

累加器是 8 位寄存器。以此寄存器为中心执行运算、传送等数据处理。

【变址寄存器 X】（X）

变址寄存器 X 是 8 位寄存器。在变址寻址方式，使用此寄存器进行寻址。

【变址寄存器 Y】（Y）

变址寄存器 Y 是 8 位寄存器。在变址寻址方式，使用此寄存器进行寻址。

【堆栈指针】（S）

堆栈指针是 8 位寄存器。在调用子程序或者中断时，此寄存器指向保存寄存器的存储位置（堆栈）的起始地址。

用此寄存器指定堆栈的低 8 位地址。高 8 位地址由堆栈页选择位的内容决定，此位是“0”时，高 8 位为“00₁₆”，此位是“1”时，高 8 位为“01₁₆”。

堆栈的保存和恢复运行如图 9 所示。对这里所示以外的必要的寄存器必须用程序保存（参照表 5）。

【程序计数器】（PC）

程序计数器是由 PC_H 和 PC_L 构成的 16 位计数器。PC_H 和 PC_L 都是 8 位结构。程序计数器指定下一个要执行的程序存储地址。

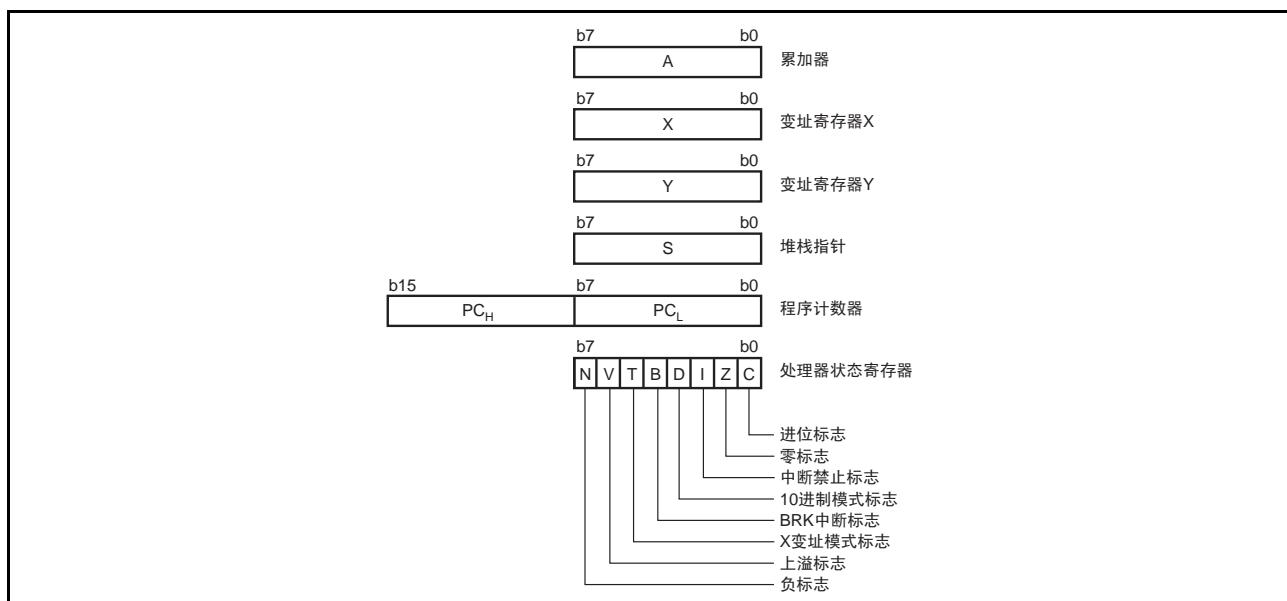


图 8 740 族的 CPU 结构

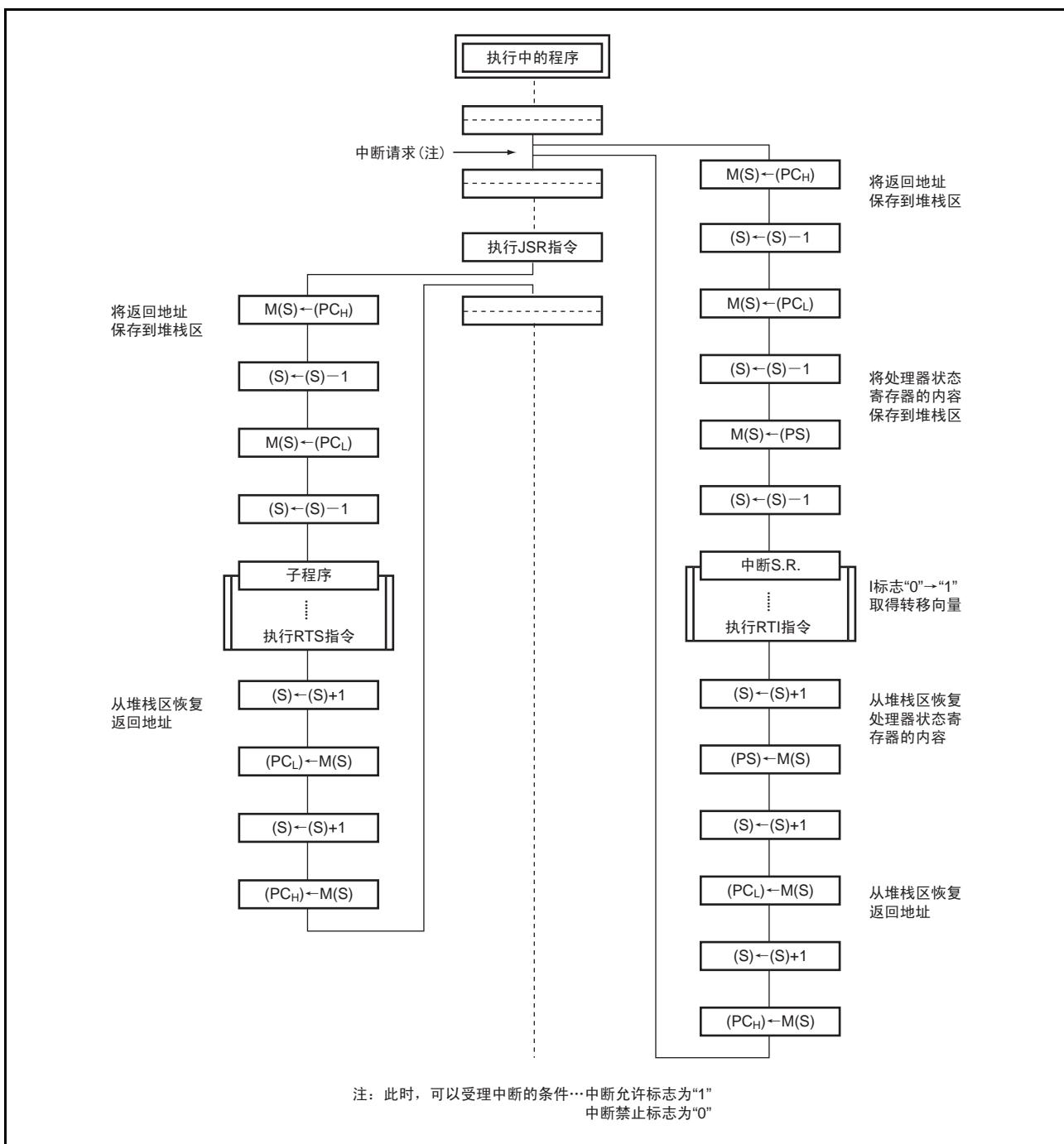


图 9 堆栈的保存和恢复运行

表 4 累加器和处理器状态寄存器的保存指令以及恢复指令

	保存到堆栈的指令	从堆栈恢复的指令
累加器	PHA	PLA
处理器状态寄存器	PHP	PLP

【处理器状态寄存器】(PS)

处理器状态寄存器是8位寄存器，由保持刚进行运算后的状态的5个标志和决定MCU运行的3个标志构成。

C、Z、V以及N标志能用于转移指令的检测，在10进制模式时，Z、V以及N标志无效。

- bit0: 进位标志 (C)

保持来自运算处理后的算术逻辑运算器的进位或者借位。执行移位指令或者循环指令也改变此标志。

- bit1: 零标志 (Z)

在运算处理或者数据传送的结果为“0”时，此标志被置位；结果不为“0”时，此标志被清除。

- bit2: 中断禁止标志 (I)

用于禁止除了BRK指令以外的所有中断的标志。此标志为“1”时，为中断禁止状态。

- bit3: 10进制运算标志 (D)

决定用2进制还是用10进制进行加减运算的标志。此标志为“1”时，把1字节作为2位的10进制数进行运算。自动进行10进制调整，但是，只有ADC指令和SBC指令能进行10进制运算。

- bit4: 中断标志 (B)

用于识别是否用BRK指令中断的标志。用BRK指令中断时，标志内容自动置“1”，除此以外的中断将此位置“0”，然后将处理器状态寄存器的值保存到堆栈。

- bit5: X变址模式标志 (T)

此标志为“0”时，在累加器和存储器之间进行运算；此标志为“1”时，能不通过累加器，直接在存储器与存储器之间进行运算。

- bit6: 溢出标志 (V)

在把1字节作为带符号的2进制数进行加减运算时，使用此标志。在加减运算结果超过+127～-128时，此标志被置位。另外，在执行BIT指令的情况下，被BIT指令执行的存储器的bit6存入此标志。

- bit7: 负标志 (N)

在运算处理或者数据传送的结果为负时，此标志被置位。另外，在执行了BIT指令的情况下，被BIT指令执行的存储器的bit7存入此标志。

表5 进行置位或者清除处理器状态寄存器各标志的指令

	C标志	Z标志	I标志	D标志	B标志	T标志	V标志	N标志
置位指令	SEC	—	SEI	SED	—	SET	—	—
清除指令	CLC	—	CLI	CLD	—	CLT	CLV	—

存储器

SFR 区

此区域在零页内，配置了输入 / 输出端口、定时器等控制寄存器。

RAM

用于数据保存、子程序调用以及中断时的堆栈等。

ROM

最前 128 字节和最后 2 字节是用于检查产品的保留区，除此以外是用户区。

中断向量区

复位和中断的向量地址保存区。

零页

通过使用零页寻址方式，能用 2 字存取的区域。

专用页

通过使用专用页寻址方式，能用 2 字存取的区域。

ROM 代码保护地址（地址 FFDB₁₆）

QzROM 版的 ROM 保留区的地址 FFDB₁₆ 为 ROM 代码保护地址。如果选择了“串行编程器的保护位写”或者在已编程产品出货（本公司）时选择了“有保护”，“00₁₆”就被写入该地址。如果将“00₁₆”写入 ROM 代码保护地址，保护功能就有效，此后串行编程器不能对其读写。

在由串行编程器对 QzROM 空白产品进行 ROM 写操作时，通过选择“保护位写”来保护 ROM 代码。

对于 QzROM 已编程出货产品，在本公司进行编程时，将“00₁₆”（有保护）或者“FF₁₆”（无保护）写入 ROM 代码保护地址。

订货时可用 ROM 选项（在掩模转换实用程序中记为“掩模选项”）选择是写“00₁₆”还是写“FF₁₆”。

注意事项

由于在复位时 RAM 的内容不定，因此在使用前，必须设定初始值。

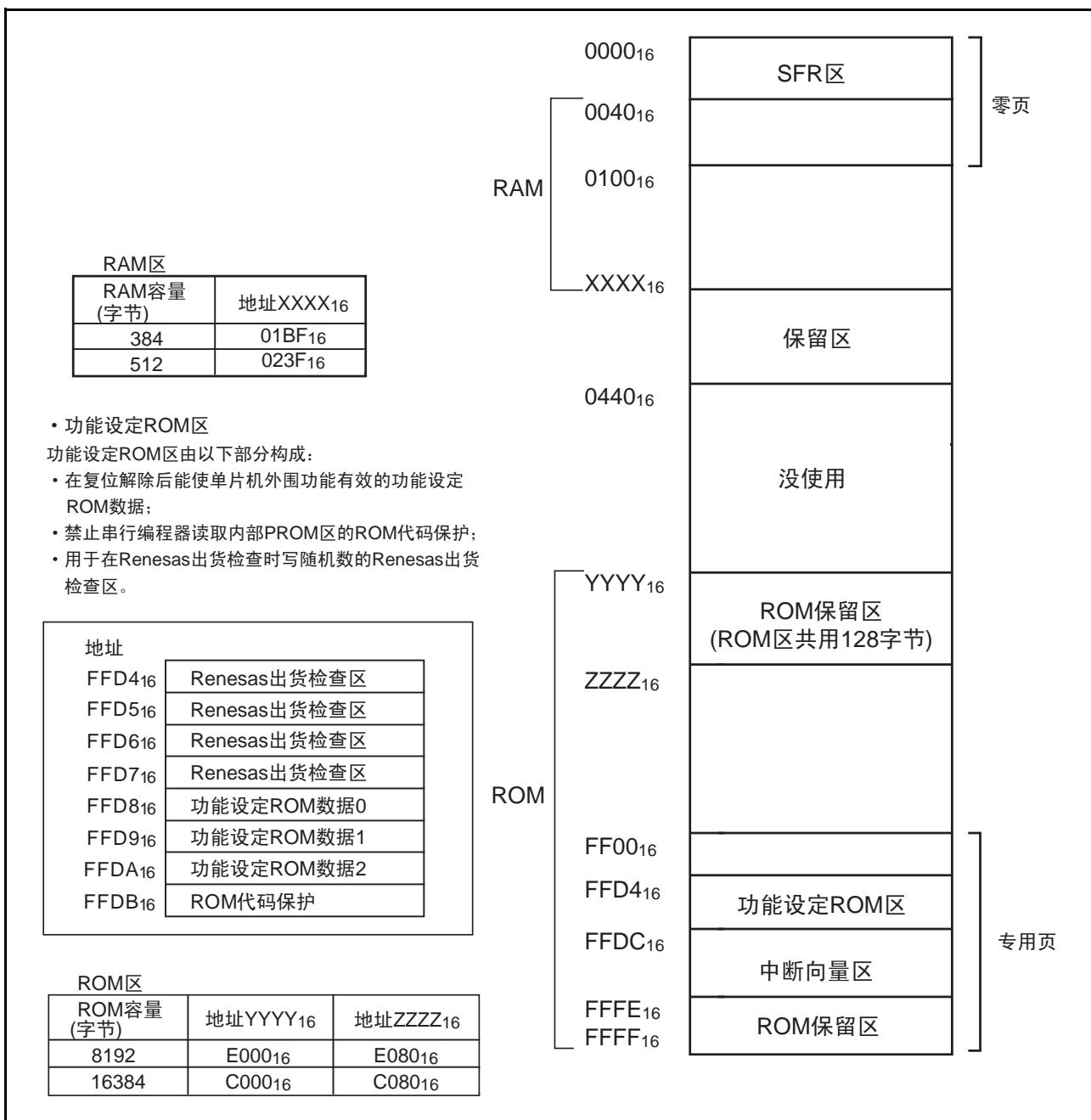


图 10 存储器的分配图

【CPU 模式寄存器】 CPUM

在 CPU 模式寄存器中分配了堆栈页选择位等，此寄存器被分配在地址 003B₁₆。另外，CPU 模式寄存器的部分功能可通过功能设定 ROM 数据 2 的设定进行控制。

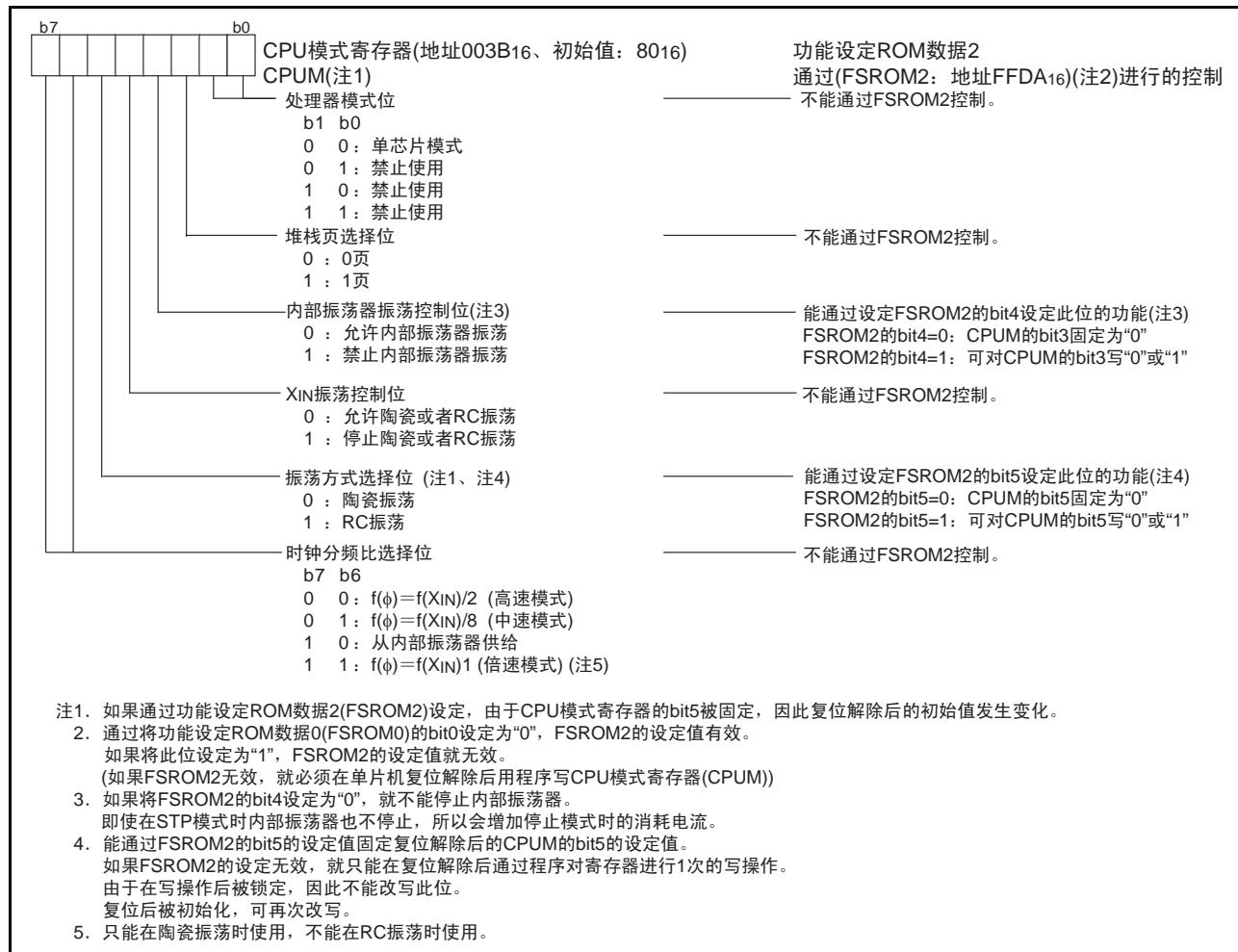


图 11 CPU 模式寄存器的结构

CPU 模式寄存器的转换步骤

在复位解除后的程序开头，必须按以下步骤转换 CPU 模式寄存器（CPUM）。

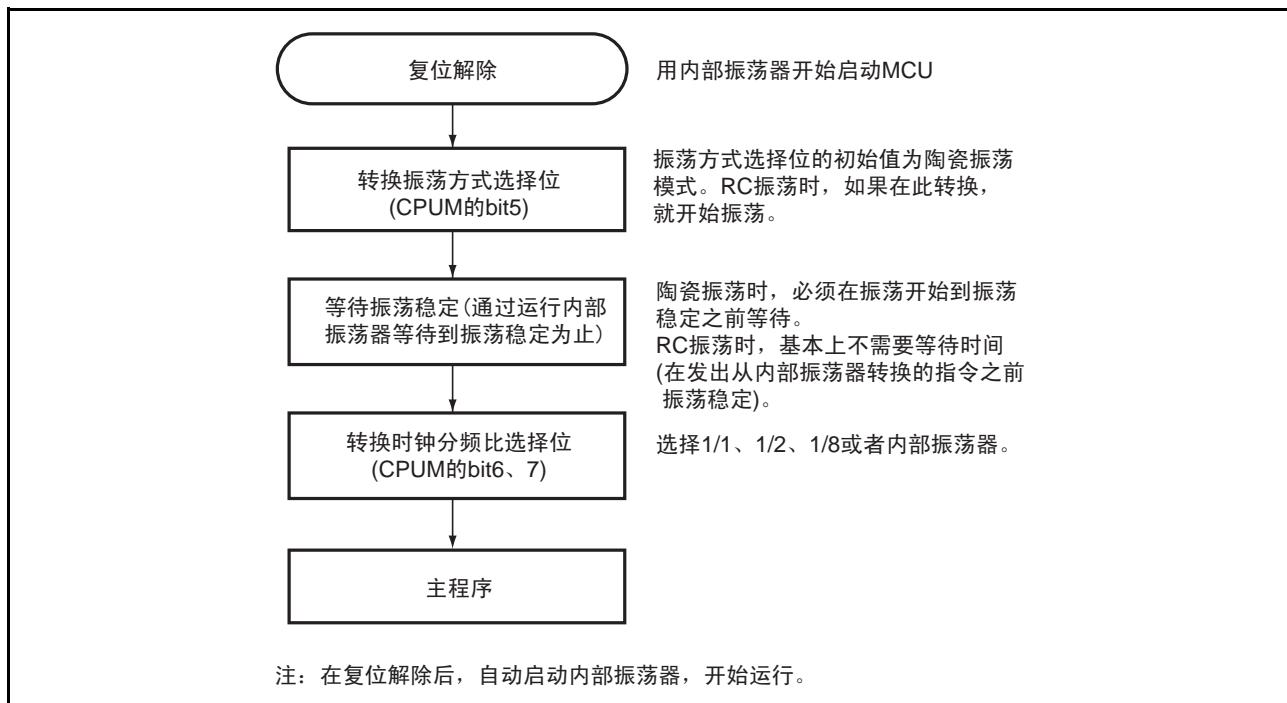


图 12 CPU 模式寄存器的转换步骤

0000 ₁₆	端口P0(P0)	0020 ₁₆	捕捉模式寄存器(CAPM)
0001 ₁₆	端口P0方向寄存器(P0D)	0021 ₁₆	比较输出模式寄存器(CMOM)
0002 ₁₆	端口P1(P1)	0022 ₁₆	捕捉/比较状态寄存器(CCSR)
0003 ₁₆	端口P1方向寄存器(P1D)	0023 ₁₆	比较中断源设定寄存器(CISR)
0004 ₁₆	端口P2(P2)	0024 ₁₆	定时器A(低位)(TAL)
0005 ₁₆	端口P2方向寄存器(P2D)	0025 ₁₆	定时器A(高位)(TAH)
0006 ₁₆	端口P3(P3)	0026 ₁₆	定时器B(低位)(TBL)
0007 ₁₆	端口P3方向寄存器(P3D)	0027 ₁₆	定时器B(高位)(TBH)
0008 ₁₆		0028 ₁₆	预分频器1(PRE1)
0009 ₁₆		0029 ₁₆	定时器1(T1)
000A ₁₆	中断源设定寄存器(INTSET)	002A ₁₆	定时器计数源设定寄存器(TCSS)
000B ₁₆	中断源识别寄存器(INTDIS)	002B ₁₆	定时器X模式寄存器(TXM)
000C ₁₆	捕捉寄存器0(低位)(CAP0L)	002C ₁₆	预分频器X(PREX)
000D ₁₆	捕捉寄存器0(高位)(CAP0H)	002D ₁₆	定时器X(TX)
000E ₁₆	捕捉寄存器1(低位)(CAP1L)	002E ₁₆	发送2/接收2缓冲寄存器(TB2/RB2)
000F ₁₆	捕捉寄存器1(高位)(CAP1H)	002F ₁₆	串行I/O2状态寄存器(SIO2STS)
0010 ₁₆	比较寄存器(低位)(CMPL)	0030 ₁₆	串行I/O2控制寄存器(SIO2CON)
0011 ₁₆	比较寄存器(高位)(CMPH)	0031 ₁₆	UART2控制寄存器(UART2CON)
0012 ₁₆	捕捉/比较寄存器R/W指针(CCRP)	0032 ₁₆	波特率发生器2(BRG2)
0013 ₁₆	捕捉软件触发寄存器(CSTR)	0033 ₁₆	
0014 ₁₆	比较设定值再装入寄存器(CMPR)	0034 ₁₆	A/D控制寄存器(ADCON)
0015 ₁₆	端口P0P3驱动能力控制寄存器(DCCR)	0035 ₁₆	A/D转换低位寄存器(ADL)
0016 ₁₆	上拉控制寄存器(PULL)	0036 ₁₆	A/D转换高位寄存器(ADH)
0017 ₁₆	端口P1P3控制寄存器(P1P3C)	0037 ₁₆	内部振荡器分频比选择寄存器(RODR)
0018 ₁₆	发送1/接收1缓冲寄存器(TB1/RB1)	0038 ₁₆	MISRG
0019 ₁₆	串行I/O1状态寄存器(SIO1STS)	0039 ₁₆	看门狗定时器控制寄存器(WDTCON)
001A ₁₆	串行I/O1控制寄存器(SIO1CON)	003A ₁₆	中断边沿选择寄存器(INTEDGE)
001B ₁₆	UART1控制寄存器(UART1CON)	003B ₁₆	CPU模式寄存器(CPUM)
001C ₁₆	波特率发生器1(BRG1)	003C ₁₆	中断请求寄存器1(IREQ1)
001D ₁₆	定时器A、B模式寄存器(TABM)	003D ₁₆	中断请求寄存器2(IREQ2)
001E ₁₆	捕捉/比较端口寄存器(CCPR)	003E ₁₆	中断控制寄存器1(ICON1)
001F ₁₆	捕捉/比较定时器源选择寄存器(TMSR)	003F ₁₆	中断控制寄存器2(ICON2)

注：不能存取SFR的空区域的存储器。

图 13 SFR（专用功能寄存器）存储器映像

输入 / 输出端口

【方向寄存器】 PiD

输入 / 输出端口具有方向寄存器，能以位单位设定作为输入端口还是作为输出端口使用。如果将方向寄存器置“1”，该引脚就为输出端口；如果清“0”，就为输入端口。

在从被设定成输出端口的引脚读取时，读到的不是引脚的值而是端口锁存器的内容。设定成输入端口的引脚为浮动状态，能读取引脚的值。对输入端口的引脚进行写时，数据虽然被写到端口锁存器，但是引脚仍为浮动状态。

- 必须将端口 P2 方向寄存器的 bit6 和 bit7 设定为“1”。
- 必须将端口 P3 方向寄存器的 bit5 和 bit6 设定为“1”。

【端口 P0P3 驱动能力控制寄存器】 DCCR

通过设定端口 P0P3 驱动能力控制寄存器（地址 0015_{16} ），能选择端口 P0、P3 的 N 沟道输出晶体管的驱动能力。

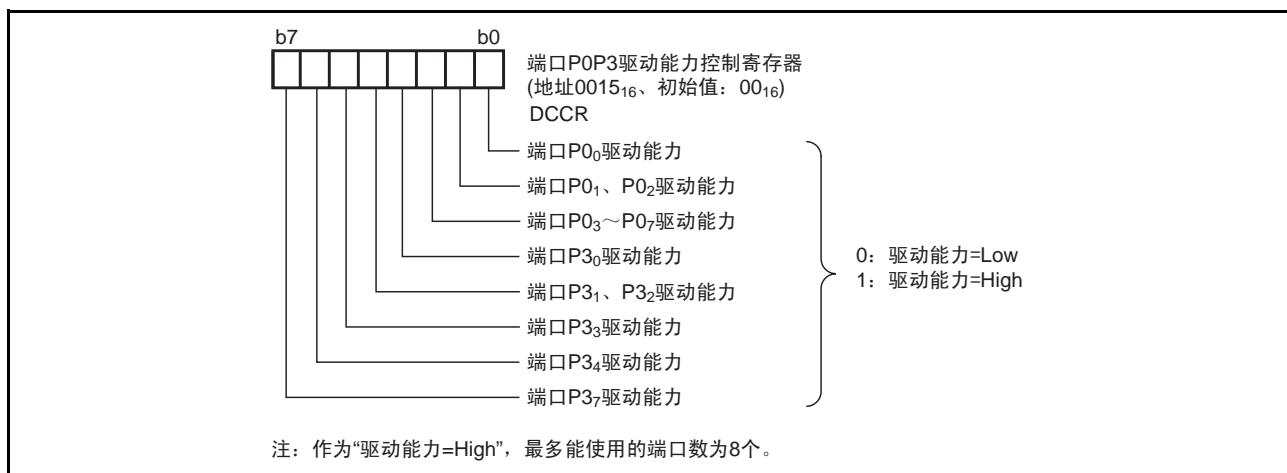


图 14 端口 P0P3 驱动能力控制寄存器的结构

【上拉控制】 PULL

通过设定上拉控制寄存器（地址 0016_{16} ），端口 P0、P3 能由程序进行上拉控制。但是，被设定成输出端口的引脚从此控制分离，不进行上拉。

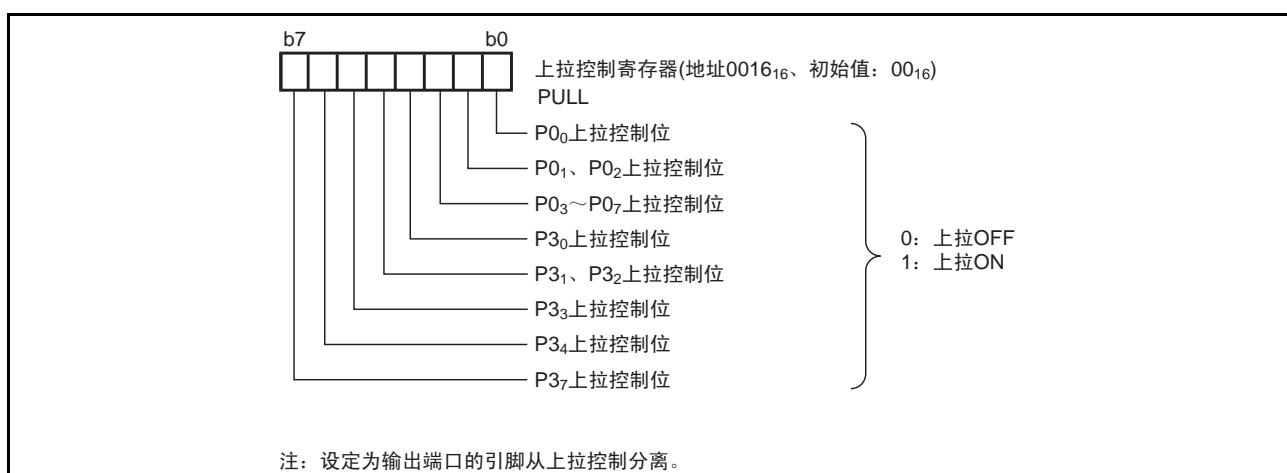


图 15 上拉控制寄存器的结构

【端口 P1P3 控制】 P1P3C

通过设定端口 P1P3 控制寄存器（地址 0017_{16} ），端口 P10、P12、P13、P37 能由程序选择 CMOS 输入电平或者 TTL 输入电平。

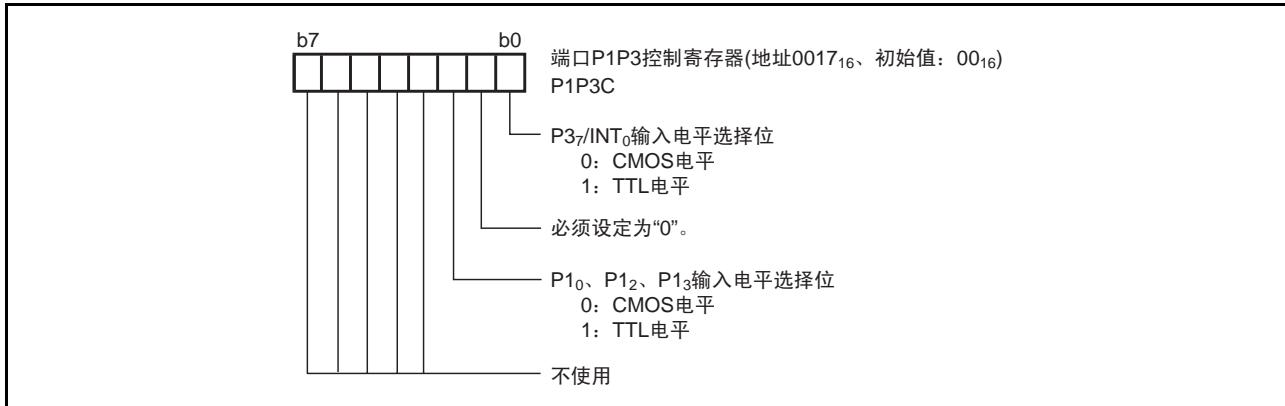


图 16 端口 P1P3 控制寄存器的结构

表 6 输入 / 输出端口功能一览表

引脚名	名称	输入 / 输出形式	除端口以外的功能	与各引脚相关的 SFR	图标号	
P00(LED00)/CAP0	端口 P0	CMOS 输入电平 (注 1) CMOS 三态输出	捕捉功能输入 键输入中断	捕捉 / 比较端口寄存器 中断边沿选择寄存器 上拉控制寄存器 端口 P0P3 驱动能力控制寄存器	(1)	
P01(LED01)/CMP0 P02(LED02)/CMP1			比较功能输出 键输入中断	捕捉 / 比较端口寄存器 上拉控制寄存器 端口 P0P3 驱动能力控制寄存器	(2)	
P03(LED03)/TXOUT			定时器 X 功能输出 键输入中断	定时器 X 模式寄存器 上拉控制寄存器 端口 P0P3 驱动能力控制寄存器	(3)	
P04(LED04)/RXD2			串行 I/O2 功能输入 / 输出 键输入中断	串行 I/O2 控制寄存器 中断边沿选择寄存器 上拉控制寄存器 端口 P0P3 驱动能力控制寄存器	(4)	
P05(LED05)/TXD2				串行 I/O2 控制寄存器 上拉控制寄存器 端口 P0P3 驱动能力控制寄存器	(5)	
P06(LED06)/SCLK2				串行 I/O2 控制寄存器 中断边沿选择寄存器 上拉控制寄存器 端口 P0P3 驱动能力控制寄存器	(6)	
P07(LED07)/SRDY2				串行 I/O2 控制寄存器 上拉控制寄存器 端口 P0P3 驱动能力控制寄存器	(7)	
P10/RXD1/CAP0	端口 P1		串行 I/O1 功能输入 捕捉功能输入	串行 I/O1 控制寄存器 捕捉 / 比较端口寄存器 端口 P1P3 控制寄存器	(8)	
P11/TxD1				串行 I/O1 控制寄存器	(9)	
P12/SCLK1				串行 I/O1 控制寄存器 端口 P1P3 控制寄存器	(10)	
P13/SRDY1				串行 I/O1 控制寄存器 端口 P1P3 控制寄存器	(11)	
P14/CNTR0			定时器 X 功能输入 / 输出 外部中断输入	定时器 X 模式寄存器	(12)	
P20/AN0 ~ P25/AN5	端口 P2		A/D 转换输入	A/D 控制寄存器	(13)	
P30(LED10)/CAP1	端口 P3		捕捉功能输入	捕捉 / 比较端口寄存器 上拉控制寄存器 端口 P0P3 驱动能力控制寄存器	(14)	
P31(LED11)/CMP2 P32(LED12)/CMP3			比较功能输出	捕捉 / 比较端口寄存器 上拉控制寄存器 端口 P0P3 驱动能力控制寄存器	(15)	
P33(LED13)/INT1			外部中断输入	中断边沿选择寄存器 上拉控制寄存器 端口 P0P3 驱动能力控制寄存器	(16)	
P34(LED14)				上拉控制寄存器 端口 P0P3 驱动能力控制寄存器	(17)	
P37(LED17)/INT0			外部中断输入	中断边沿选择寄存器 上拉控制寄存器 端口 P0P3 驱动能力控制寄存器 端口 P1P3 控制寄存器	(18) (19)	

【注】 1. P10、P12、P13、P37 为 CMOS/TTL 输入电平。

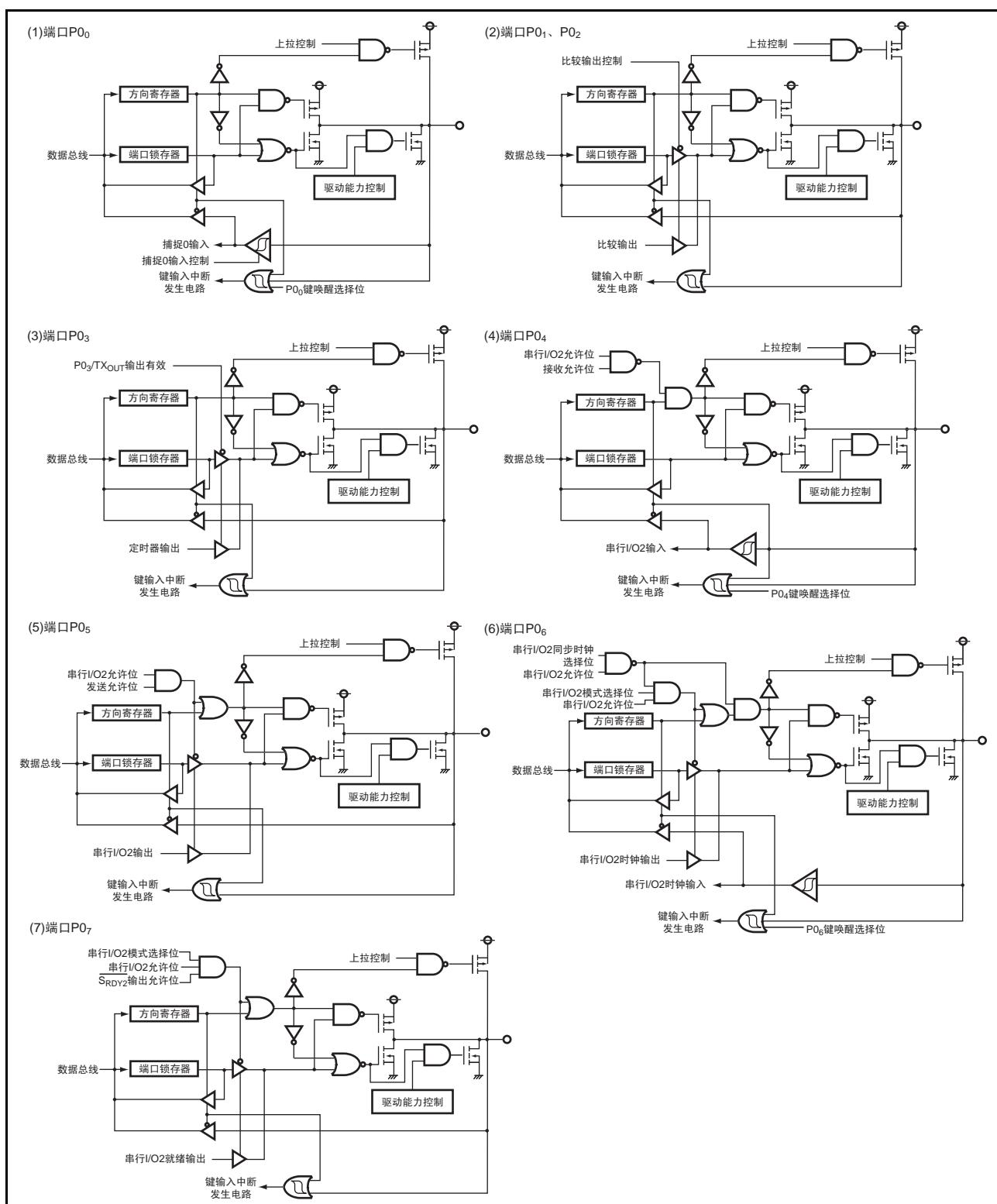


图 17 端口框图 (1)

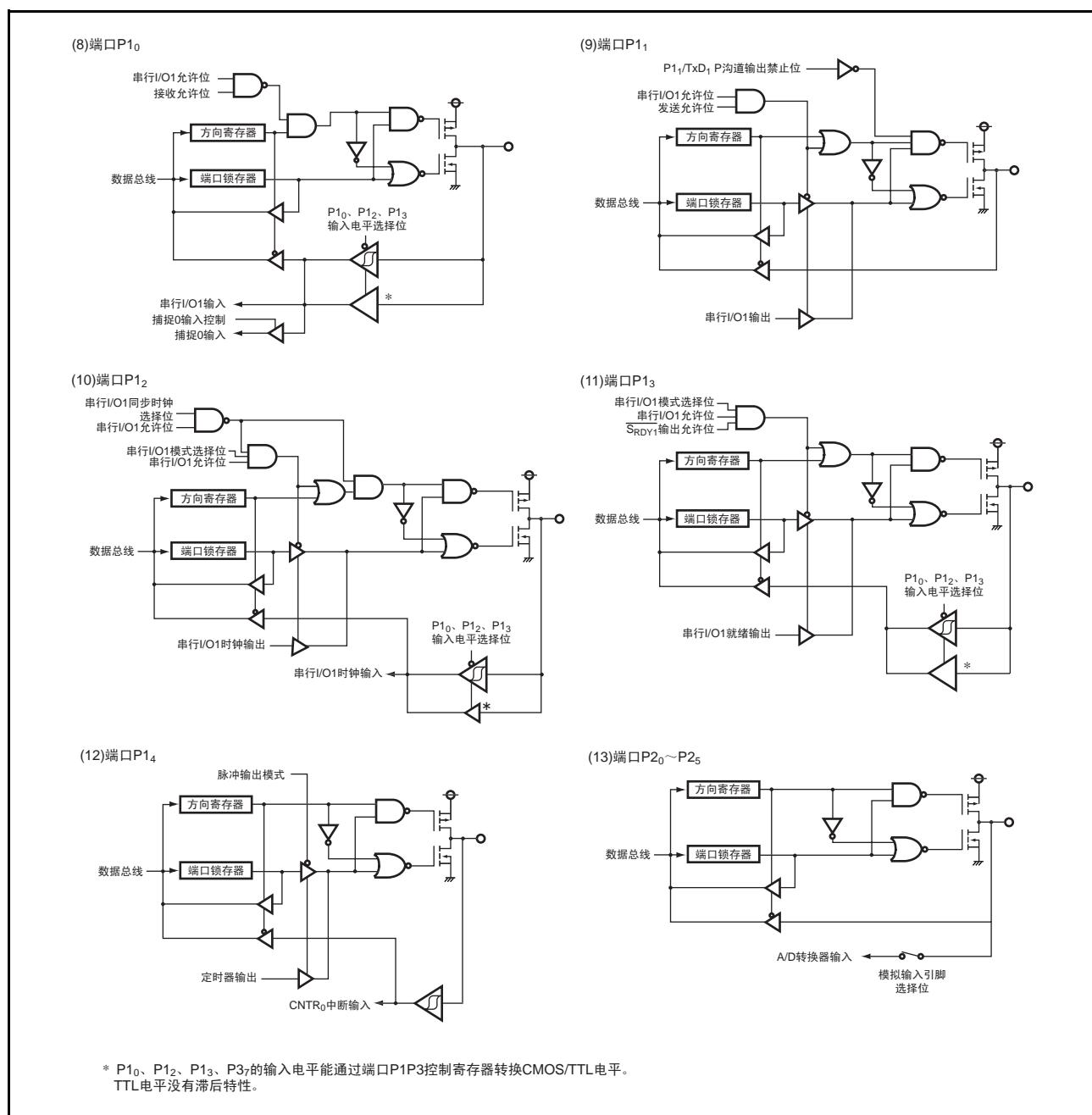


图 18 端口框图 (2)

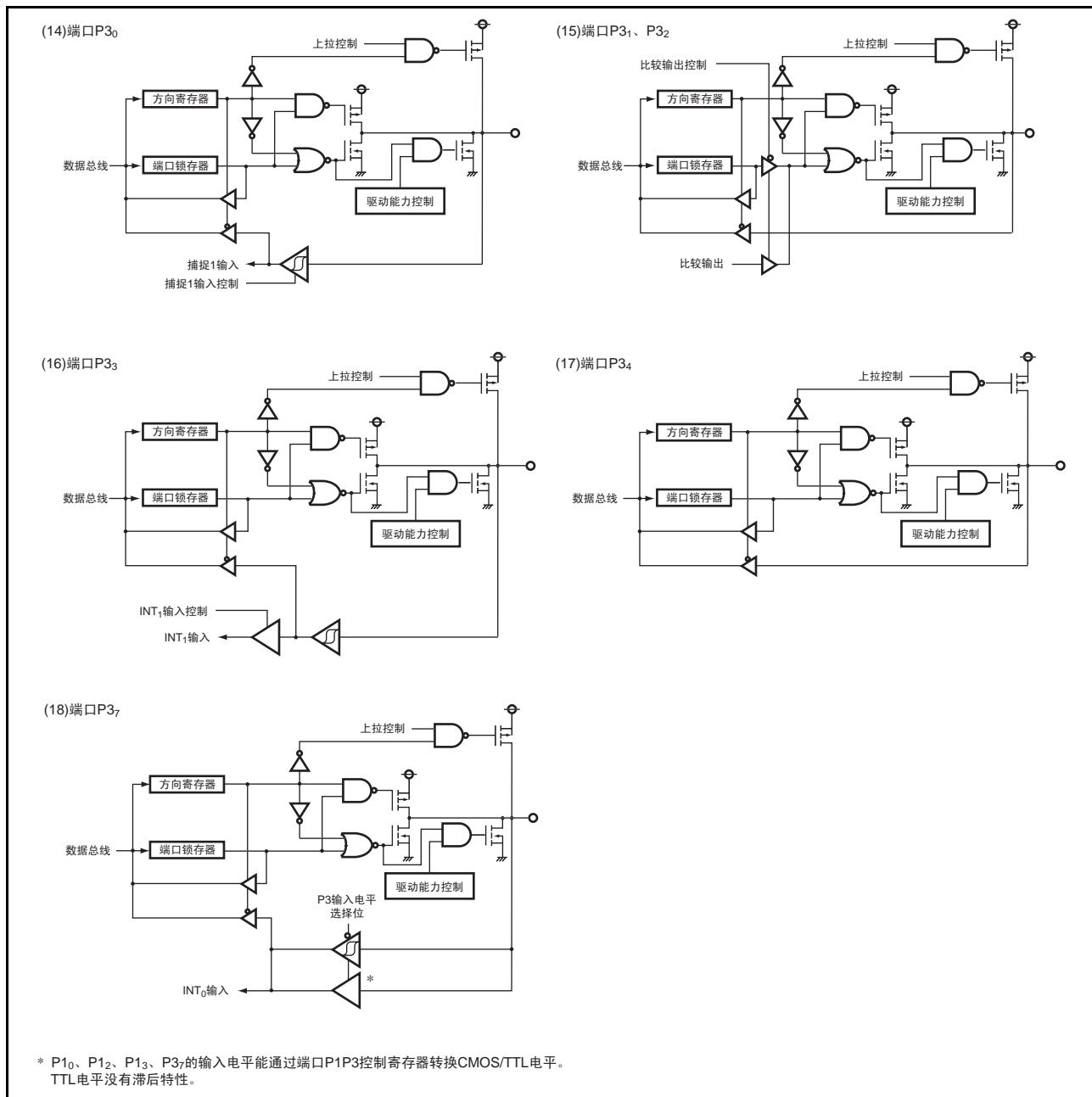


图 19 端口框图 (3)

未使用引脚的处理方法

- 一般的引脚处理方法
- 输入/输出端口:** 必须选择输入端口或者输出端口，并根据各自的处理方法进行处理。
- 输出端口:** 必须开路。
- 输入端口:** 在输入电平不稳定的情况下，因为穿透电流流入输入电路，尤其是在期待低消耗电流的状态下（在执行STP、WIT指令中），有可能增大电源电流，所以必须上拉或者下拉（可使用内部电阻）。在将具有输入/输出端口和输出功能的引脚作为输入端口处理未使用引脚时，设想到由于误动作等而作为输出端口运行的情况，推荐通过能确保 $I_{OH}(\text{avg})$ 或者 $I_{OL}(\text{avg})$ 的电阻处理引脚。

表 7 未使用引脚的处理方法

引脚名	处理方法 1 (推荐)	处理方法 2	处理方法 3	处理方法 4
P0 ₀ /CAP ₀	输入 / 输出端口	在选择 CAP 功能时，必须进行输入端口的处理。	—	在选择键输入中断功能时，必须进行输入端口的处理。
P0 ₁ /CMP ₀		在选择 CMP ₀ 功能时，必须进行输出端口的处理。	—	
P0 ₂ /CMP ₁		在选择 CMP ₁ 功能时，必须进行输出端口的处理。	—	
P0 ₃ /TXOUT		在选择 TXOUT 功能时，必须进行输出端口的处理。	—	
P0 ₄ /RXD ₂		在选择 RXD ₂ 功能时，必须进行输入端口的处理。	—	
P0 ₅ /TxD ₂		在选择 TxD ₂ 功能时，必须进行输出端口的处理。	—	
P0 ₆ /SCLK ₂		在选择外部时钟输入时，必须进行输入端口的处理。	在选择内部时钟输出时，必须进行输出端口的处理。	
P0 ₇ /SRDY ₂		在选择 SRDY ₂ 功能时，必须进行输出端口的处理。	—	
P1 ₀ /RXD ₁ /CAP ₀		在选择 RXD ₁ 功能时，必须进行输入端口的处理。	在选择 CAP 功能时，必须进行输入端口的处理。	—
P1 ₁ /TxD ₁		在选择 TxD ₁ 功能时，必须进行输出端口的处理。	—	—
P1 ₂ /SCLK ₁		在选择外部时钟输入时，必须进行输入端口的处理。	在选择内部时钟输出时，必须进行输出端口的处理。	—
P1 ₃ /SRDY ₁		在选择 SRDY ₁ 功能时，必须进行输出端口的处理。	—	—
P1 ₄ /CNTR ₀		在选择 CNTR 输入功能时，必须进行输入端口的处理。	在选择 CNTR 输出功能时，必须进行输出端口的处理。	—
P2 ₀ /AN ₀ ~ P2 ₅ /AN ₅		在选择 AN 功能时，必须进行输入端口的处理。	—	—
P3 ₀ /CAP ₁		在选择 CAP 功能时，必须进行输入端口的处理。	—	—
P3 ₁ /CMP ₂		在选择 CMP ₂ 功能时，必须进行输出端口的处理。	—	—
P3 ₂ /CMP ₃		在选择 CMP ₃ 功能时，必须进行输出端口的处理。	—	—
P3 ₃ /INT ₁		在选择 INT 功能时，必须进行输入端口的处理。	—	—
P3 ₄	—	—	—	—
P3 ₇ /INT ₀	在选择 INT 功能时，必须进行输入端口的处理。	—	—	—
V _{REF}	连接 V _{SS}	—	—	—

中断

中断是向量中断，能由 6 个外部源、 11 个内部源、 1 个软件源的 18 个源发生。

中断控制

除了 BRK 指令中断以外的各个中断具有中断请求位和中断允许位，并且受中断禁止标志的影响。在中断允许位和中断请求位为“1”，并且中断禁止标志为“0”时，接受中断。

中断请求位能通过程序清除，但是不能置位。中断允许位能通过程序置位和清除。

没有禁止复位中断和 BRK 指令中断的标志或者位。对于除此以外的中断，如果中断禁止标志被置位，就不能被接受。

在多个中断请求同时发生的情况下，接受高优先级的中断。

中断运行

如果接受中断，就进行以下处理：

1. 自动保存程序计数器和处理器状态寄存器。
2. 置中断禁止标志，清除中断请求位。
3. 将中断转移地址存入程序计数器。

【中断源设定寄存器】 INTSET

是在给 2 种中断源分配了相同中断向量的情况下，设定各中断有效 / 无效的寄存器。

在 2 种中断都为有效中断的情况下，通过下列所示的中断源识别寄存器，识别发生哪个中断请求。

【中断源识别寄存器】 INTDIS

是判别在给 2 种中断源分配了相同中断向量的情况下所发生的中断源的寄存器。

有关键唤醒、UART1 总线冲突检测、A/D 转换以及定时器 1 中断，如果发生中断请求，就与由中断源设定寄存器设定的中断有效 / 无效状态无关，将中断识别位置“1”。但是，在中断源设定寄存器的中断有效位为“0”（无效）时，中断控制寄存器的中断请求位不被置“1”。

另外，由于中断识别位不能通过中断自动清“0”，因此必须通过程序清除。中断识别位能通过程序清“0”，但是不能置“1”。

【中断边沿选择寄存器】 INTEDGE

能通过中断边沿选择位，分别选择外部中断 INT0、INT1 的有效边沿。

中断边沿选择寄存器的 bit2 必须置“1”。

能通过键唤醒选择位，分别选择允许 / 禁止 P00、P04、P06 引脚的键唤醒。

有关中断的注意事项

(1) 在以下情况，中断请求位可能被置“1”。

- 在转换外部中断 (INT0、INT1、CNTR0、CAP0、CAP1) 的有效边沿时，
对象寄存器： 中断边沿选择寄存器 (地址 3A₁₆)
 定时器 X 模式寄存器 (地址 2B₁₆)
 捕捉模式寄存器 (地址 2016)

当不需要发生与这些设定同步的中断时，必须按以下步骤设定：

- ① 将相应中断允许位置“0”（禁止）。
- ② 设定中断边沿选择位（极性转换位、触发模式位）。
- ③ 在执行至少一条指令后，将相应中断请求位置“0”。
- ④ 将相应中断允许位置“1”（允许）。

(2) 在清除中断识别位时，必须使用 LDM 指令。

LDM #\\$On,\\$0B

n：给要清除的中断识别位设定“0”，给其它中断识别位设定“1”。

(例) 在清除键唤醒中断识别位时

LDM # 00001110B, \\$0B

表 8 中断向量地址和优先级

中断源	优先级	向量地址（注 1）		中断请求的发生条件	备注
		高位	低位		
复位（注 2）	1	FFFFD16	FFFC16	在复位时	非屏蔽
串行 I/O1 接收	2	FFFFB16	FFFFA16	在串行 I/O1 数据接收时	只在选择串行 I/O1 时有效
串行 I/O1 发送	3	FFF916	FFF816	在串行 I/O1 发送移位结束时，或者在发送缓冲器空时	只在选择串行 I/O1 时有效
串行 I/O2 接收	4	FFF716	FFF616	在串行 I/O2 数据接收时	只在选择串行 I/O2 时有效
串行 I/O2 发送	5	FFF516	FFF416	在串行 I/O2 发送移位结束时，或者在发送缓冲器空时	只在选择串行 I/O2 时有效
INT ₀	6	FFF316	FFF216	在检测到 INT ₀ 输入的上升沿或者下降沿时	外部中断（极性可编程）
INT ₁	7	FFF116	FFF016	在检测到 INT ₁ 输入的上升沿或者下降沿时	外部中断（极性可编程）
键唤醒 /UART1 总线冲突检测（注 3）	8	FFE16	FFEE16	在端口 P0（输入时）的输入逻辑电平的逻辑与下降时 / 在检测到 UART1 总线冲突时	外部中断（下降沿有效） / UART1 总线冲突检测功能有效
CNTR0	9	FFED16	FFEC16	在检测到 CNTR0 输入的上升沿或者下降沿时	外部中断（极性可编程）
捕捉 0	10	FFEB16	FFEA16	在检测到捕捉 0 输入的上升沿或者下降沿时	外部中断（极性可编程）
捕捉 1	11	FFE916	FFE816	在检测到捕捉 1 输入的上升沿或者下降沿时	外部中断（极性可编程）
比较	12	FFE716	FFE616	在反转比较输出信号时	中断源通道可编程
定时器 X	13	FFE516	FFE416	在定时器 X 下溢时	
定时器 A	14	FFE316	FFE216	在定时器 A 下溢时	
定时器 B	15	FFE116	FFE016	在定时器 B 下溢时	
A/D 转换 / 定时器 1（注 4）	16	FFDF16	FFDE16	在 A/D 转换结束时 / 在定时器 1 下溢时	STP 解除定时器下溢
BRK 指令	17	FFDD16	FFDC16	在 BRK 指令执行时	非屏蔽软件中断

- 【注】 1. 向量地址指向中断转移地址的保存地址。
 2. 复位作为具有最高优先级的中断被处理。
 3. 键唤醒和 UART1 总线冲突检测中断，能通过中断源设定寄存器进行中断允许的设定，并且能通过中断源识别寄存器，识别中断源。
 4. A/D 转换和定时器 1 中断，能通过中断源设定寄存器进行中断允许的设定，并且能通过中断源识别寄存器，识别中断源。

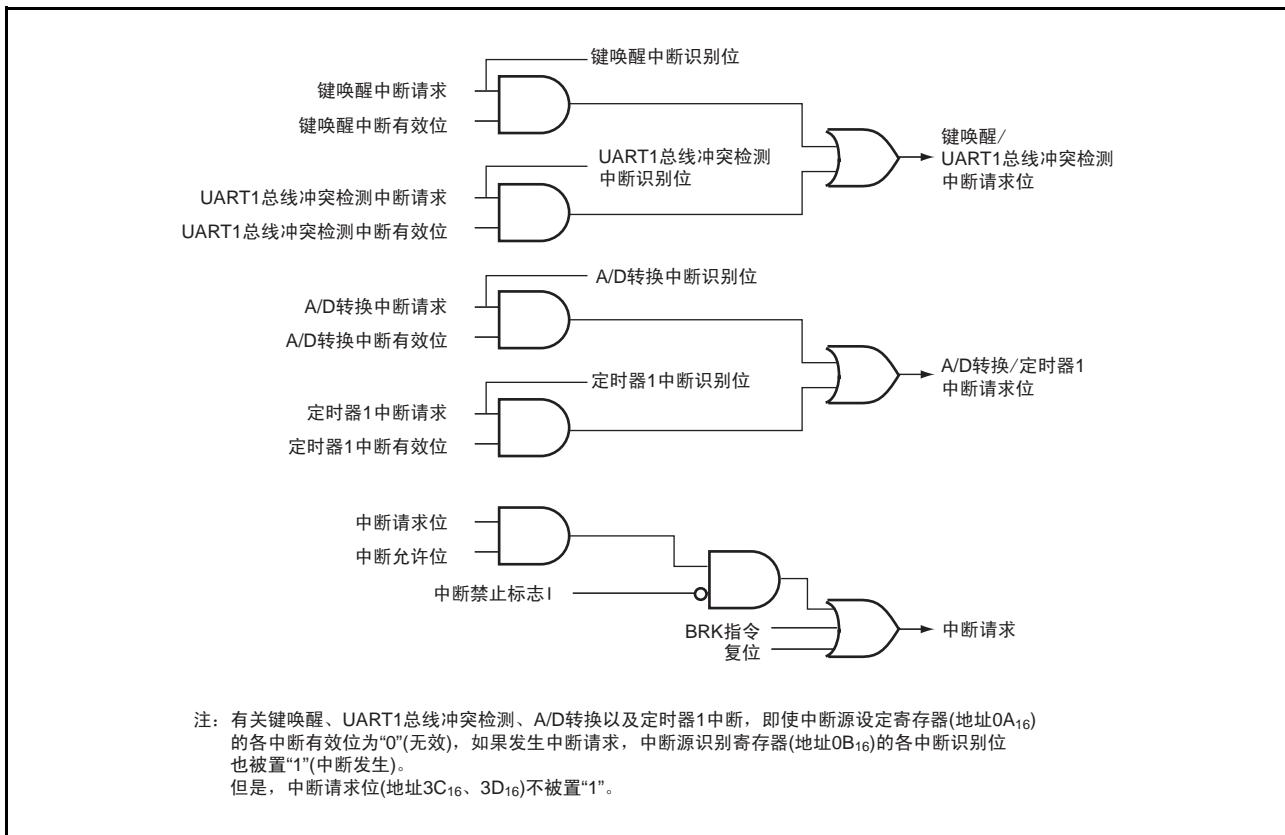


图 20 中断控制图

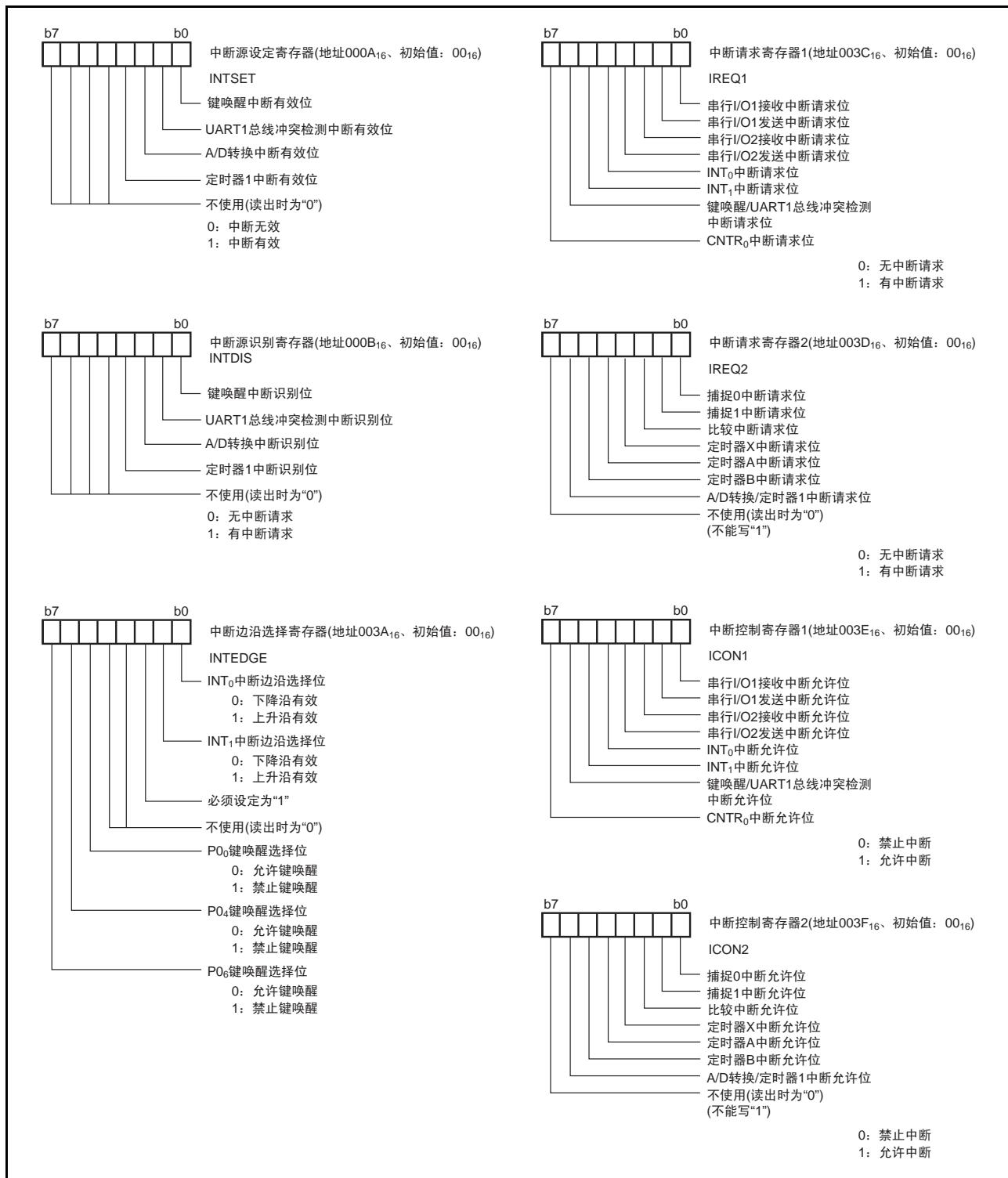


图 21 与中断相关的寄存器结构

键输入中断（键唤醒）

如果给端口 P0 中任何一个被设定成输入的引脚外加“L”电平的电压，也就是说，如果输入电平的逻辑与从“1”变为“0”，就产生键输入中断请求。图 22 是使用键输入中断的一个例子，将端口 P0₀ ~ P0₃ 作为输入，构成“L”电平有效的键矩阵，通过按键产生中断。

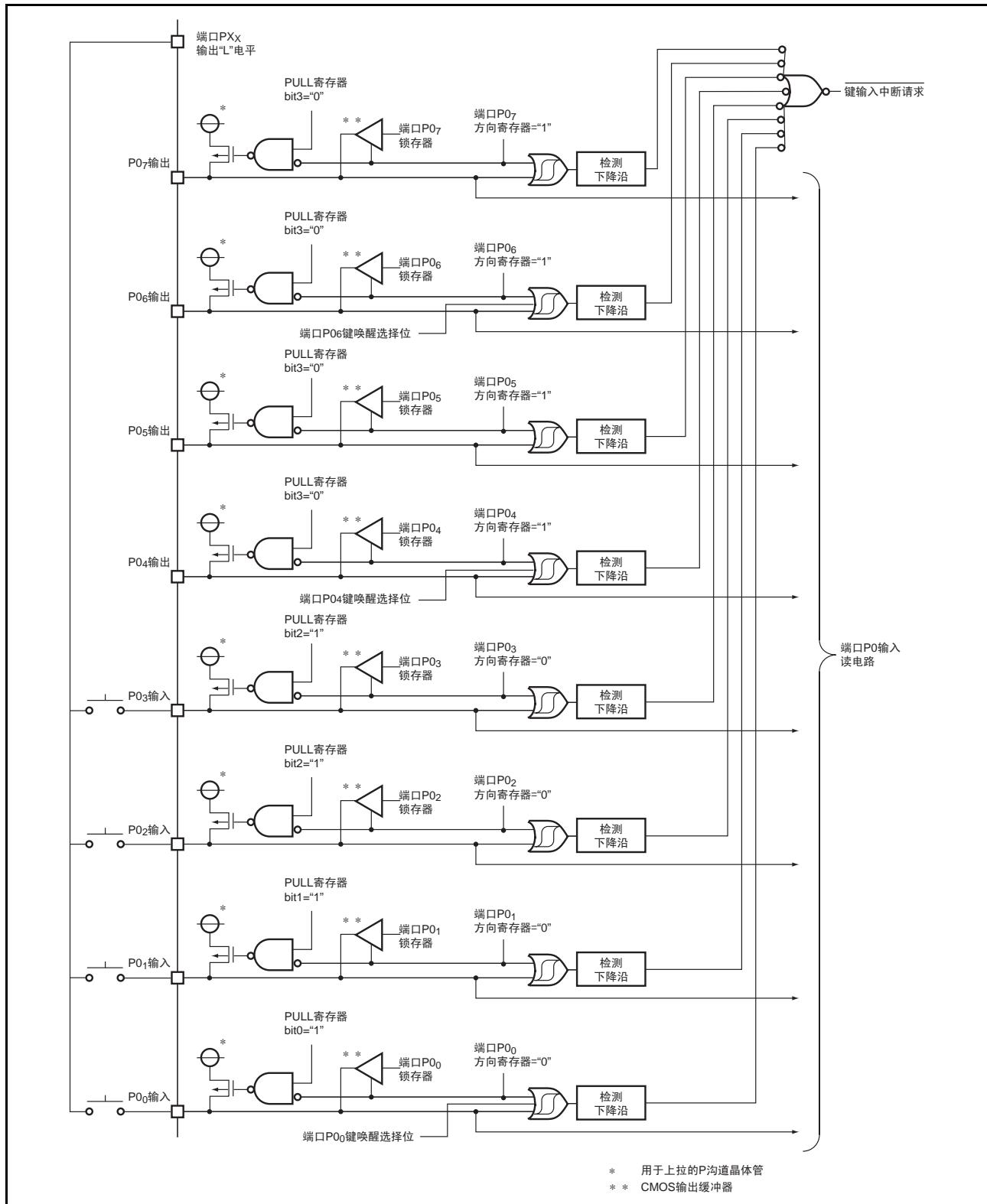


图 22 使用键输入中断时的接线例子和端口 P0 的框图

定时器

定时器有 4 个：定时器 1、定时器 A、定时器 B 以及定时器 X。

如果定时器锁存器或者预分频器锁存器的内容为 n，所有定时器和预分频器的分频比就为 $1/(n + 1)$ 。

定时器采用减量计数方式，在计数器的内容变为“0”后的下一个计数脉冲发生下溢，把定时器锁定器的内容再次装入定时器。另外，如果定时器下溢，对应各定时器的中断请求位就被置“1”。

- 用于定时器的分频器

在 CPU 模式寄存器（地址 003B₁₆）的时钟分频比选择位（b7、b6）为“00”（高速模式）、“01”（中速模式）或者“11”（倍速模式）时，分频器的计数源为 X_{IN}；在“10”（内部振荡器）时，为内部振荡器。

定时器 1

定时器 1 是 8 位定时器，对预分频器 1 的输出进行计数，通过定时器 1 的下溢，将定时器 1 中断请求位置位。

预分频器 1 是 8 位预分频器，对振荡频率 16 分频后的信号进行计数。

给预分频器 1 和定时器 1 配置了用于保持各自重加载值的预分频器 1 锁存器和定时器 1 锁存器。在预分频器 1 下溢时，预分频器 1 锁存器的值被传送给预分频器 1。在定时器 1 下溢时，定时器 1 锁存器的值被传送给定时器 1。

如果给预分频器 1（PRE1）写值，值就被同时写到预分频器 1 锁存器和预分频器 1。如果给定时器 1（T1）写值，值就被同时写到定时器 1 锁存器和定时器 1。

如果读预分频器 1（PRE1）或者定时器 1（T1），就读取各自的计数值。

定时器 1 总是以定时器模式运行。

预分频器 1 对振荡频率 16 分频后的信号进行计数，每当输入计数时钟时，将其内容减“1”。在预分频器 1 内容变为“00₁₆”后的下一个计数时钟发生下溢，预分频器 1 锁存器的值被传送到预分频器 1，继续计数。如果预分频器 1 的设定值为 n，预分频器 1 的分频比就为 $1/(n+1)$ 。

每当输入预分频器 1 下溢信号时，定时器 1 的内容减“1”。在定时器 1 的内容变为“00₁₆”后的下一个计数时钟发生下溢，定时器 1 锁存器的值被传送给定时器 1，继续计数。

如果定时器 1 的设定值为 m，定时器 1 的分频比就为 $1/(m+1)$ 。因此，在假设预分频器 1 的设定值为 n、定时器 1 的设定值为 m 的情况下，预分频器 1 和定时器 1 合在一起的分频比就为 $1/((n+1) \times (m+1))$ 。

另外，定时器 1 不能通过软件停止计数。

定时器 X

定时器 X 是 8 位定时器，对预分频器 X 的输出进行计数，通过定时器 X 的下溢，将定时器 X 中断请求位置位。

预分频器 X 是 8 位预分频器，对由定时器 X 计数源选择位选择的信号进行计数。

给预分频器 X 和定时器 X 配置了用于保持各自重加载值的预分频器 X 锁存器和定时器 X 锁存器。

在预分频器 X 下溢时，预分频器 X 锁存器的值被传送到预分频器 X。在定时器 X 下溢时，定时器 X 锁存器的值被传送到定时器 X。

如果给预分频器 X（PREX）写值，值就被同时写到预分频器 X 锁存器和预分频器 X。如果给定时器 X（TX）写值，值就被同时写到定时器 X 锁存器和定时器 X。

如果读预分频器 X（PREX）或者定时器 X（TX），就读取各自的计数值。

通过设定定时器 X 模式寄存器的定时器 X 运行模式位，定时器 X 能选择 4 种运行模式：

(1) 定时器模式

预分频器 X 对由定时器 X 计数源选择位选择的计数源进行计数，每当输入计数时钟时，将其内容减“1”。在预分频器 X 的内容变为“00₁₆”后的下一个计数时钟发生下溢，预分频器 X 锁存器的值被传送给预分频器 X，继续计数。如果预分频器 X 的设定值为 n，预分频器 X 的分频比就为 1/(n+1)。

每当输入预分频器 X 的下溢信号时，定时器 X 的内容减“1”。在定时器 X 的内容变为“00₁₆”后的下一个计数时钟发生下溢，定时器 X 锁存器的值被传送到定时器 X，继续计数。

如果定时器 X 的设定值为 m，定时器 X 的分频比就为 1/(m+1)。因此，在假设预分频器 X 的设定值为 n、定时器 X 的设定值为 m 的情况下，预分频器 X 和定时器 X 合在一起的分频比就为 1/((n+1) × (m+1))。

(2) 脉冲输出模式

在脉冲输出模式，每当定时器 X 下溢时，从 CNTR₀ 引脚输出极性的反转波形。

能通过 CNTR₀ 极性转换位，选择 CNTR₀ 引脚的输出电平。在 CNTR₀ 极性转换位为“0”时，CNTR₀ 引脚的输出从“H”开始；在 CNTR₀ 极性转换位为“1”时，CNTR₀ 引脚的输出从“L”开始。

另外，通过将 P0₃/TXOUT 输出有效位設定成“1”，能将 CNTR₀ 引脚输出的脉冲反转波形从 TXOUT 引脚输出。

在使用此模式的情况下，必须将和各个输出引脚兼用的端口 P14、P0₃ 的方向寄存器設定成输出模式。

(3) 事件计数器模式

事件计数器模式，除了输入到 P14/CNTR₀ 引脚的信号变为计数源以外，和定时器模式的运行相同。CNTR₀ 引脚输入的有效边沿能通过 CNTR₀ 极性转换位，选择上升沿或者下降沿。

(4) 脉宽测定模式

脉宽测定模式是测定输入到 P14/CNTR₀ 引脚的信号的脉宽的模式。在脉宽测定模式，根据 CNTR₀ 引脚输入信号的电平，控制定时器 X 的运行和停止。

当 CNTR₀ 极性转换位为“0”时，在 CNTR₀ 引脚的输入信号电平为“H”期间，对由定时器 X 计数源选择位选择的信号进行计数；在“L”期间停止计数。另外，当 CNTR₀ 极性转换位为“1”时，在 CNTR₀ 引脚输入信号电平为“L”期间，对由定时器 X 计数源选择位选择的信号进行计数；在“H”期间停止计数。

定时器 X 无论在哪种运行模式，都能通过将定时器 X 计数停止位設定成“1”来停止计数。另外，如果定时器 X 下溢，定时器 X 中断请求位就被置“1”。

有关定时器 X 的注意事项

(1) CNTR₀ 中断极性选择 -1

由于 CNTR₀ 极性转换位的設定值，中断极性同时受到影响。当 CNTR₀ 极性转换位为“0”时，在 CNTR₀ 引脚输入的下降沿，CNTR₀ 中断请求位被置“1”；当 CNTR₀ 极性转换位为“1”时，在 CNTR₀ 引脚输入的上升沿，CNTR₀ 中断请求位被置“1”。

(2) CNTR₀ 中断极性选择 -2

在设定外部中断 CNTR₀ 的极性转换位时，中断请求位可能为“1”。当不需要发生与极性转换位的設定同步的中断时，必须按照以下步骤設定：

- ① 将相应中断允许位置“0”（禁止）。
- ② 设定极性转换位。
- ③ 在执行至少一条指令后，将相应中断请求位置“0”。
- ④ 将相应中断允许位置“1”（允许）。

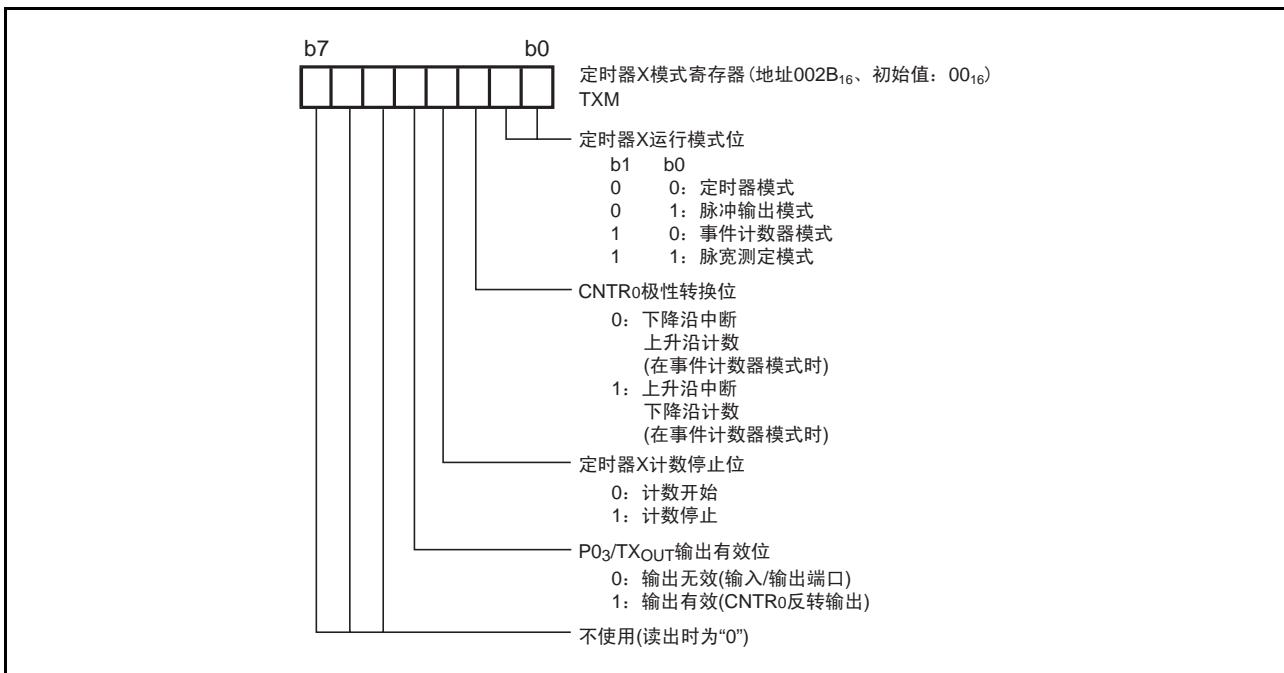


图 23 定时器 X 模式寄存器的结构

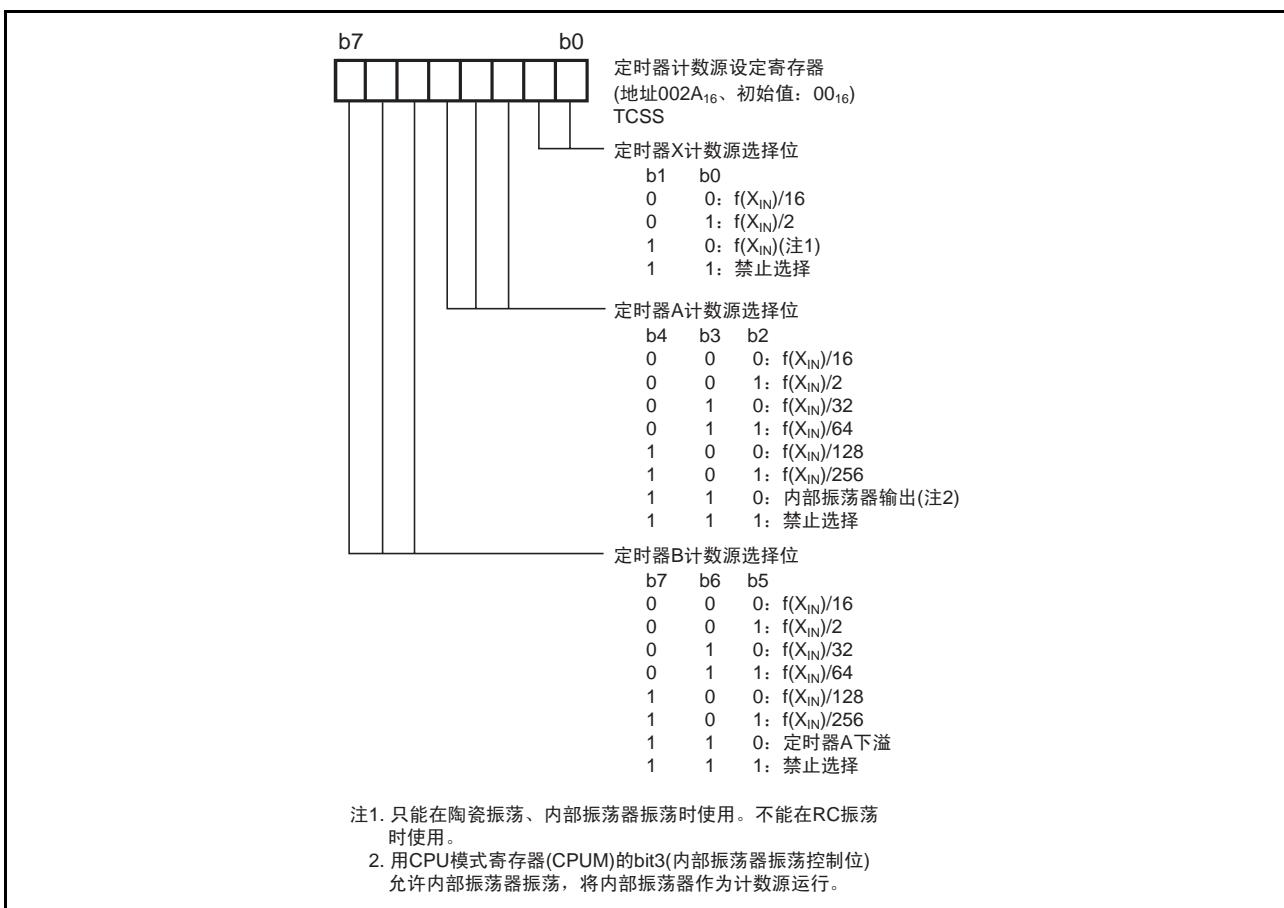


图 24 定时器计数源设定寄存器的结构

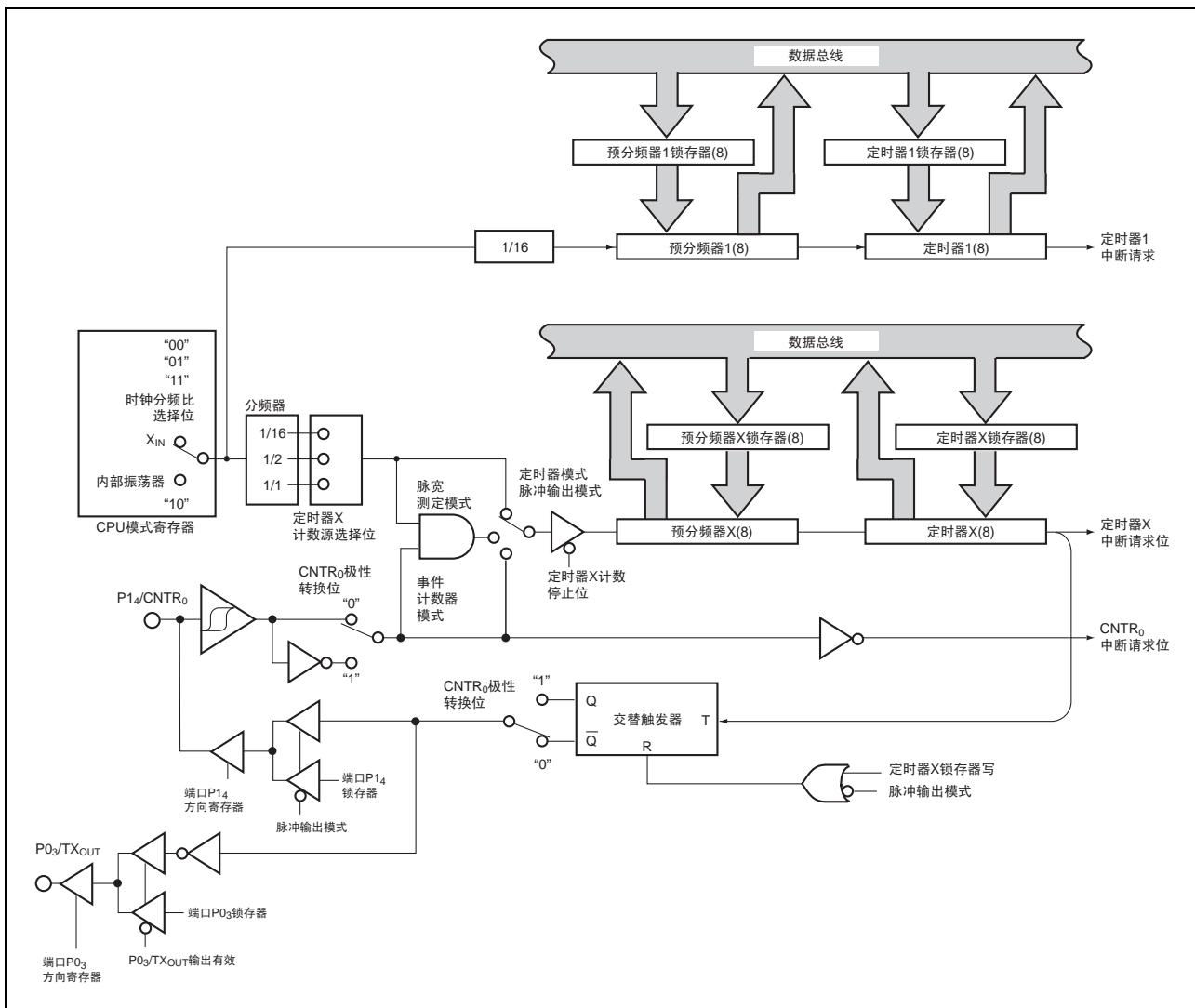


图 25 定时器 1 和定时器 X 的框图

定时器 A、B

定时器 A、B 是 16 位定时器，对由定时器计数源设定寄存器选择的信号进行计数。定时器 A 和定时器 B 除了计数源的设定不同以外，具有相同的功能。

定时器 A 的计数源能从振荡频率的 1/2、1/16、1/32、1/64、1/128、1/256 以及内部振荡器输出中选择。

定时器 B 的计数源能从振荡频率的 1/2、1/16、1/32、1/64、1/128、1/256 以及定时器 A 的下溢信号中选择。

由于定时器 A 和定时器 B 的运行相同，因此在下面只对定时器 A 的运行进行说明：

定时器 A 由定时器 A 的低位（TAL）、定时器 A 的高位（TAH）构成。定时器 A 对选择的信号进行递减计数，通过下溢，将定时器 A 中断请求位置位。

给定时器 A 配置了用于保持重加载值的定时器 A 锁存器，在定时器 A 下溢时，定时器 A 锁存器的内容被传送给定时器 A，继续计数运行。如果定时器 A 的设定值为 n，定时器 A 的分频比就为 $1/(n+1)$ 。

如果给定时器 A 写值，根据定时器 A 写控制位的设定值，能选择将值同时写到锁存器和定时器 A，还是只将值写到锁存器。

如果读定时器 A，定时器 A 的计数值就被读出。

必须按以下顺序读写定时器 A 的低位（TAL）和定时器 A 的高位（TAH）：

- 读：必须按定时器 A 的高位（TAH）、定时器 A 的低位（TAL）的顺序，读取 2 个寄存器。
- 写：必须按定时器 A 的低位（TAL）、定时器 A 的高位（TAH）的顺序，给 2 个寄存器写。

定时器 A、B 都能作为输出比较时序和输入捕捉时序的定时器使用。

有关定时器 A、B 的注意事项

(1) 定时器值的设定

在将定时器 A、B 写控制位设定成“只进行锁存器写”的情况下，即使定时器处于停止中，写数据也只写到锁存器。因此，对于定时器的初始设定，在定时器停止期间设定值时，必须在选择了“锁存器和定时器同时写”的状态下进行。

(2) 定时器 A 的读 / 写

在 CPU 的运行时钟源为 X_{IN} 振荡的情况下，当定时器 A 的计数源选择内部振荡器输出时，对定时器 A 的读写必须在停止定时器 A 的状态下进行。

(3) 定时器 B 的读 / 写

在 CPU 的运行时钟源为 X_{IN} 振荡的情况下，当定时器 B 的计数源选择定时器 A 下溢且定时器 A 的计数源选择内部振荡器输出时，对定时器 B 的读写必须在停止定时器 B 的状态下进行。

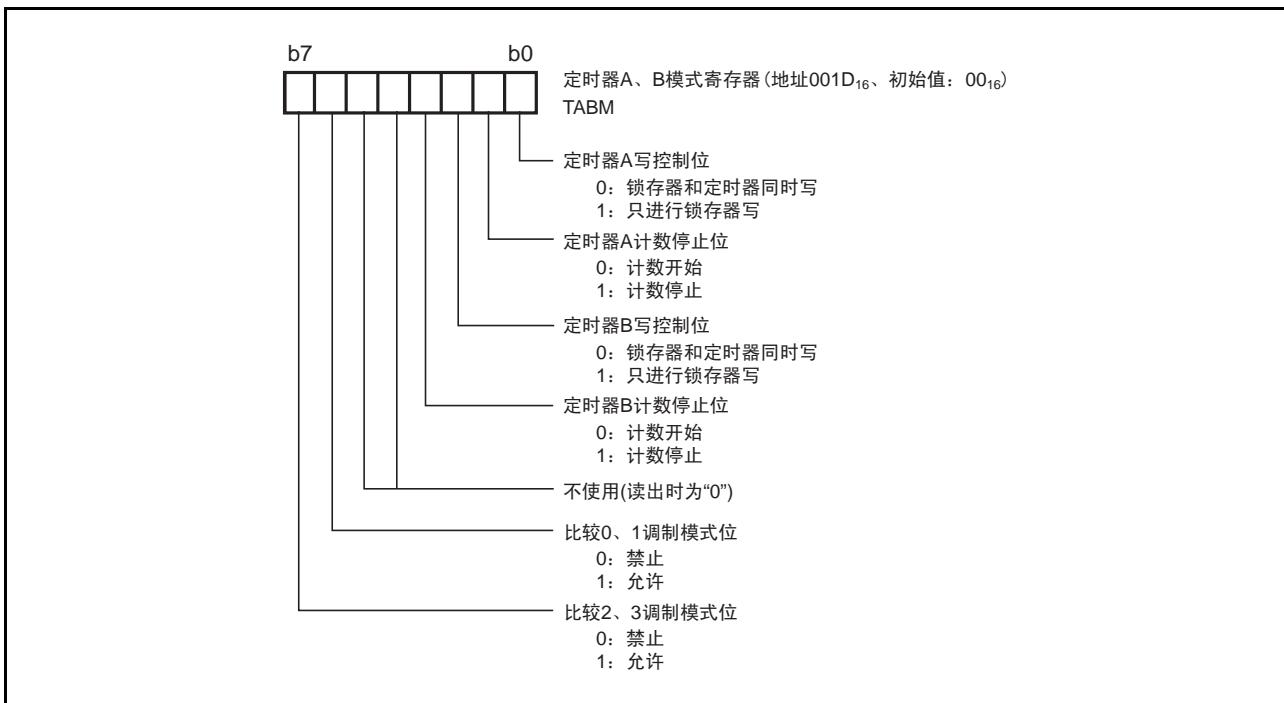


图 26 定时器 A、B 模式寄存器的结构

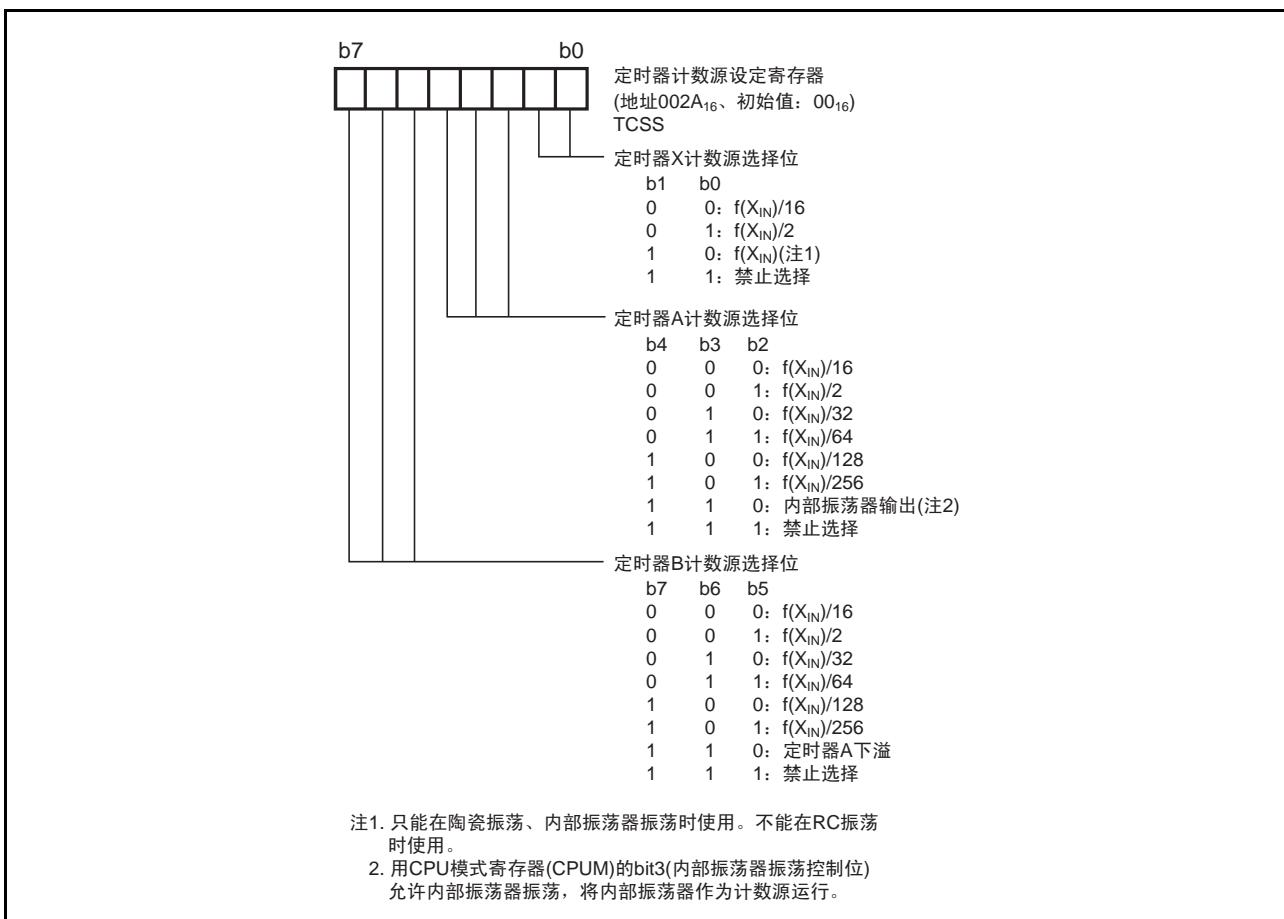


图 27 定时器计数源设定寄存器的结构

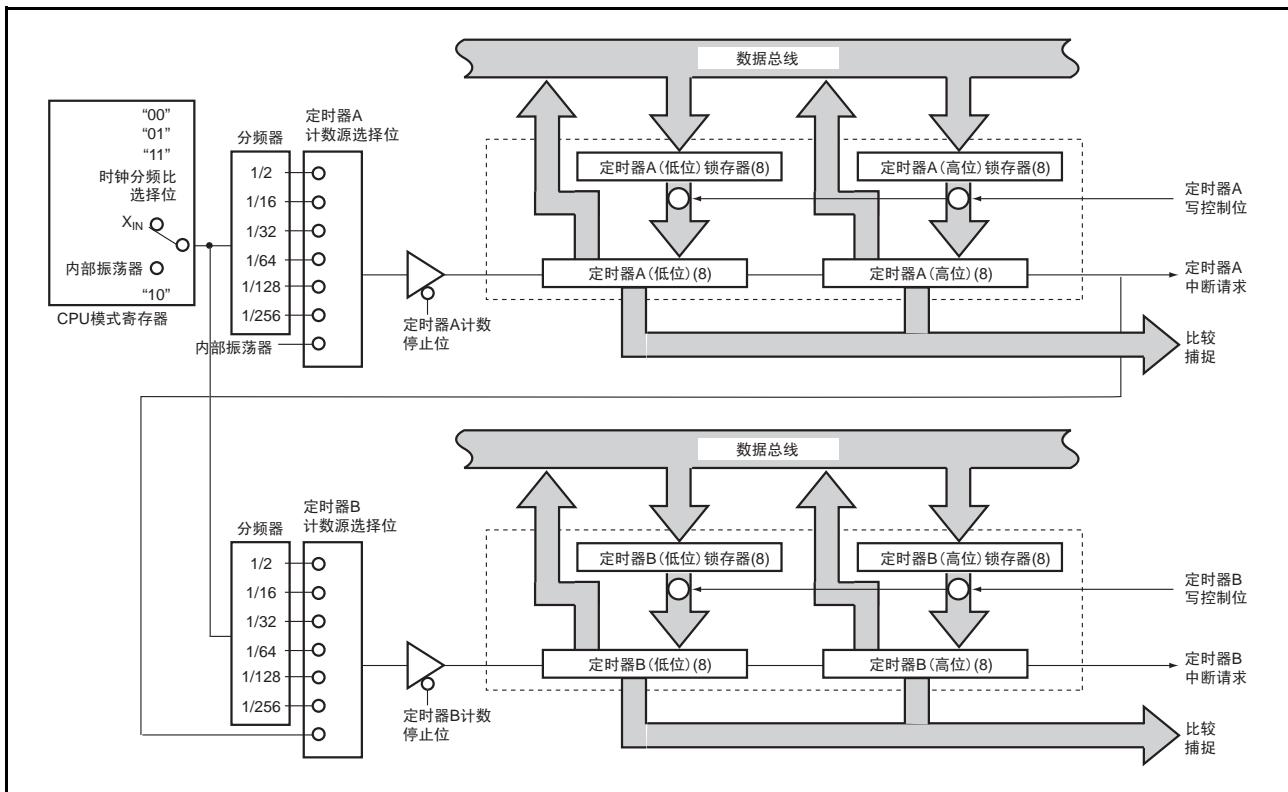


图 28 定时器 A 和定时器 B 的框图

输出比较

7546 群内置 4 个比较输出通道。通道 0 ~ 3 具有相同的功能，能使用定时器 A 或者定时器 B 的计数值输出波形。

各比较输出通道所使用的定时器由比较 x (x=0、1、2、3) 定时器源选择位进行设定。各通道所使用的定时器能从定时器 A 或者定时器 B 任意选择。

在使用比较输出时，必须设定比较输出端口选择位，并且给输出端口的方向寄存器设定“1”。

给比较寄存器的低位和比较寄存器的高位设定比较输出的设定值，用比较寄存器 R/W 指针控制对各个通道的写。

1. 在定时器运行时，对比较寄存器的写步骤

- ① 给比较寄存器 R/W 指针设定要写的比较通道。
- ② 给比较寄存器的低位和比较寄存器的高位设定值。
- ③ 给比较锁存器 y (y=00、01、10、11、20、21、30、31) 重加载位设定“1”。

如果给比较锁存器 y 重加载位设定“1”，就在对应各通道的定时器的下一个下溢时，写在比较寄存器中的值被传送到比较锁存器。

当比较锁存器的设定值和对应定时器的计数值一致时，发生比较输出电路的触发。在将比较 x 触发有效位设定成“1”时，通过触发反转来自端口的输出波形。由于在比较 x 触发有效位为“0”时不反转输出波形，因此能将端口输出固定成“L”或者“H”。

在将比较 x 输出电平锁存器设定成“0”时，如果比较锁存器 x0 一致，就从端口输出“H”的波形；如果比较锁存器 x1 一致，就从端口输出“L”的波形。

在将比较 x 输出电平锁存器设定成“1”时，如果比较锁存器 x0 一致，就从端口输出“L”的波形；如果比较锁存器 x1 一致，就从端口输出“H”的波形。

比较输出的状态能通过读取比较 x 输出状态位，确认是“H”电平还是“L”电平。

在比较锁存器的值和定时器计数值一致时，能产生比较输出中断。来自各比较锁存器的中断信号能通过比较锁存器 y 中断源设定位，将其设定成有效或者无效。

比较 0、1 (2、3) 调制输出模式

能通过给比较调制输出模式位设定“1”，使用比较通道 0、1 或者使用比较通道 2、3 的 2 个通道输出调制波形。

在使用此模式时，进行以下设定：

- 给比较 0、1 (2、3) 调制输出模式位设定“1”。
- 定时器 B 的计数源选择定时器 A 的下溢。
- 比较通道 0 (2) 的定时器源选择定时器 A。
- 比较通道 1 (3) 的定时器源选择定时器 B。

在此模式，从端口输出使用比较通道 0(2) 作成的波形和使用比较通道 1(3) 作成的波形的“与”波形。比较 0、1 调制输出模式的输出波形从端口 P01 输出，比较 2、3 调制输出模式的输出波形从端口 P31 输出。

有关输出比较的注意事项

1. 在作为各比较通道的源所选择的定时器处于停止的情况下，当给比较寄存器写值时，该值也被传递到比较锁存器。
2. 不能给比较锁存器x0和比较锁存器x1设定相同的值。
3. 在比较寄存器的设定值大于定时器的设定值的情况下，不产生比较匹配信号。因此，输出波形固定成“H”电平或者“L”电平。但是，在比较寄存器的设定值小于定时器的设定值的情况下，由于产生小设定值的比较匹配信号，因此产生比较匹配中断。
4. 如果给比较x触发有效位设定“0”（无效），由于对波形输出电路的匹配触发被禁止，因此能将输出波形固定成“H”电平或者“L”电平。但是，即使在这种情况下也产生比较匹配信号，因此产生比较匹配中断。

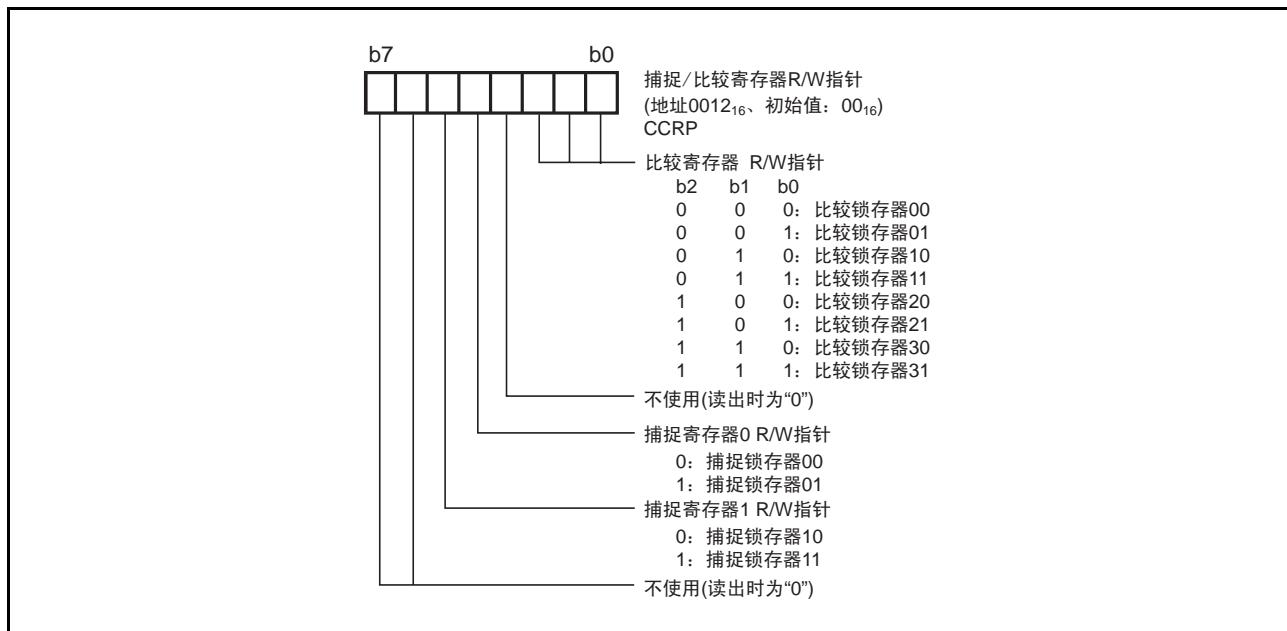


图 29 捕捉 / 比较寄存器 R/W 指针的结构

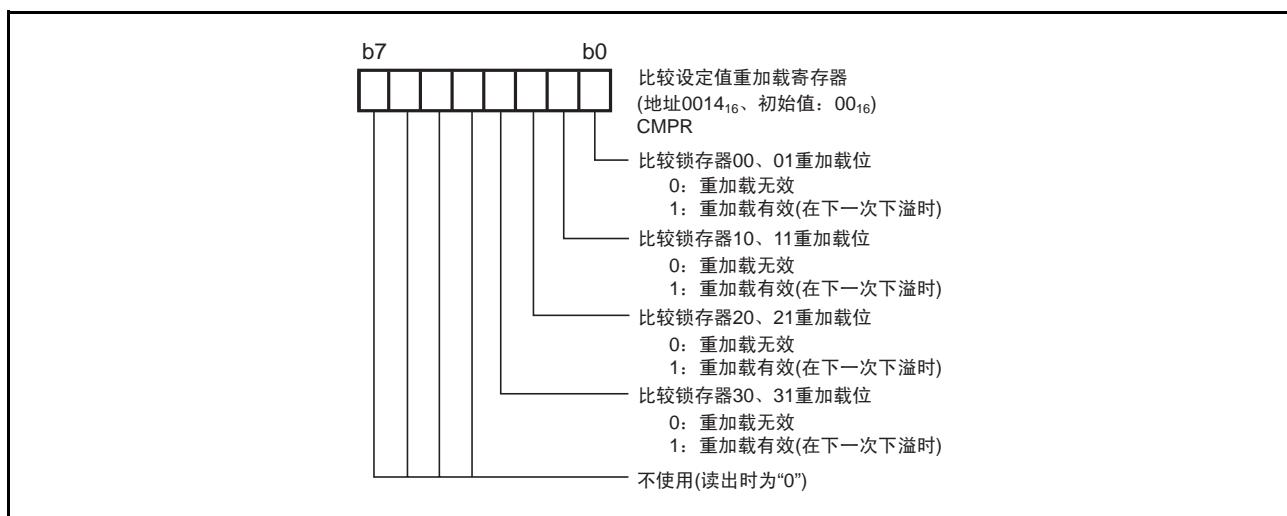


图 30 比较设定值重加载寄存器的结构

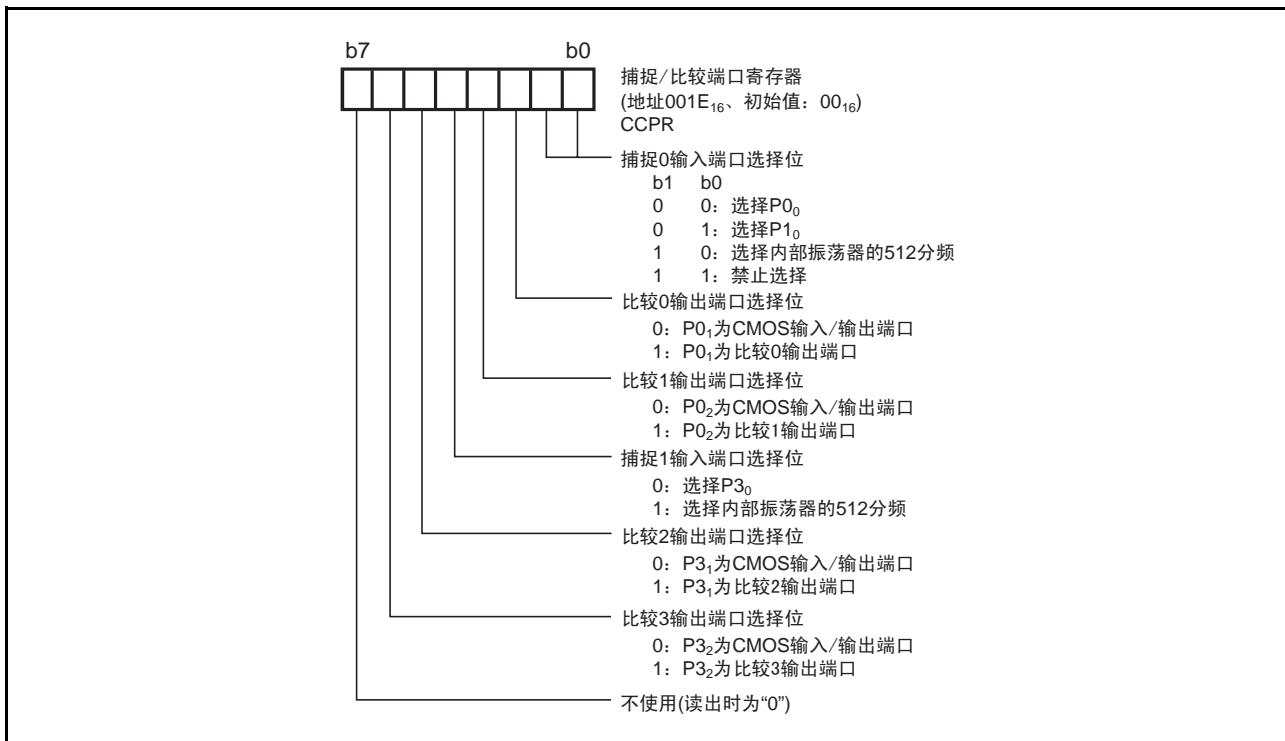


图 31 捕捉 / 比较端口寄存器的结构

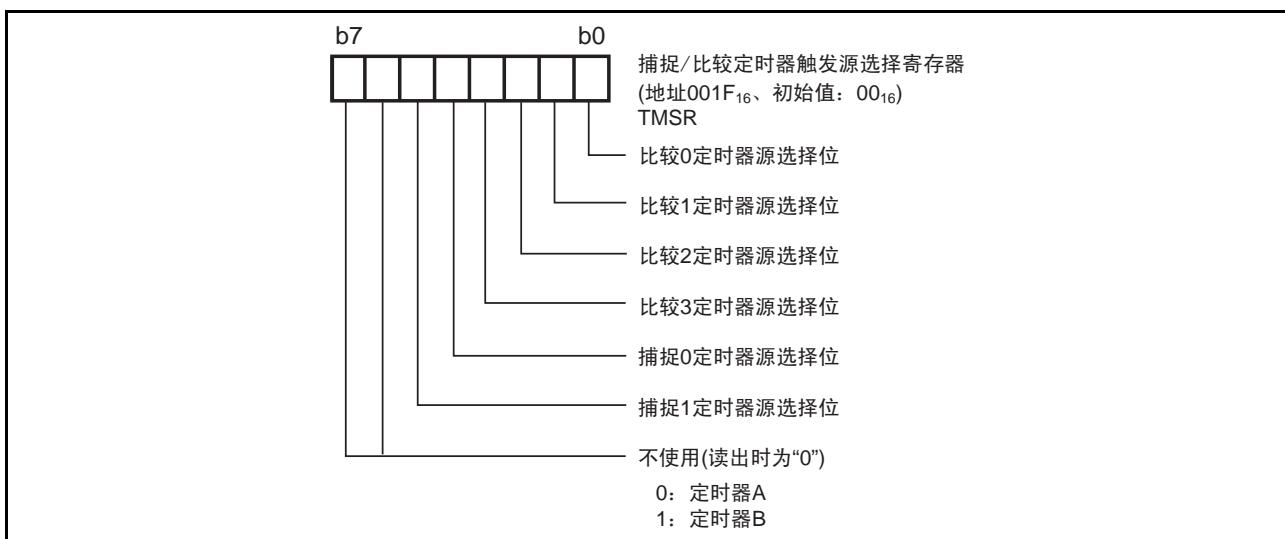


图 32 捕捉 / 比较定时器触发源选择寄存器的结构

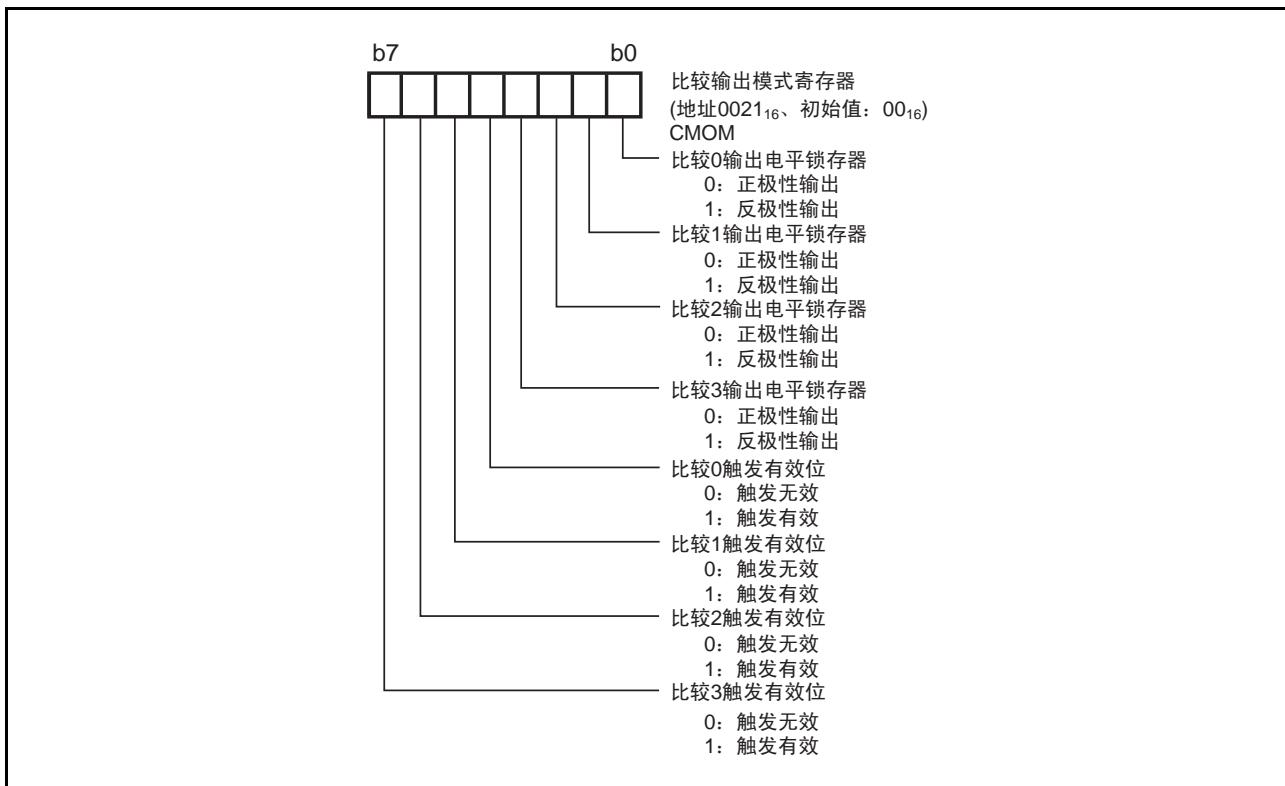


图 33 比较输出模式寄存器的结构

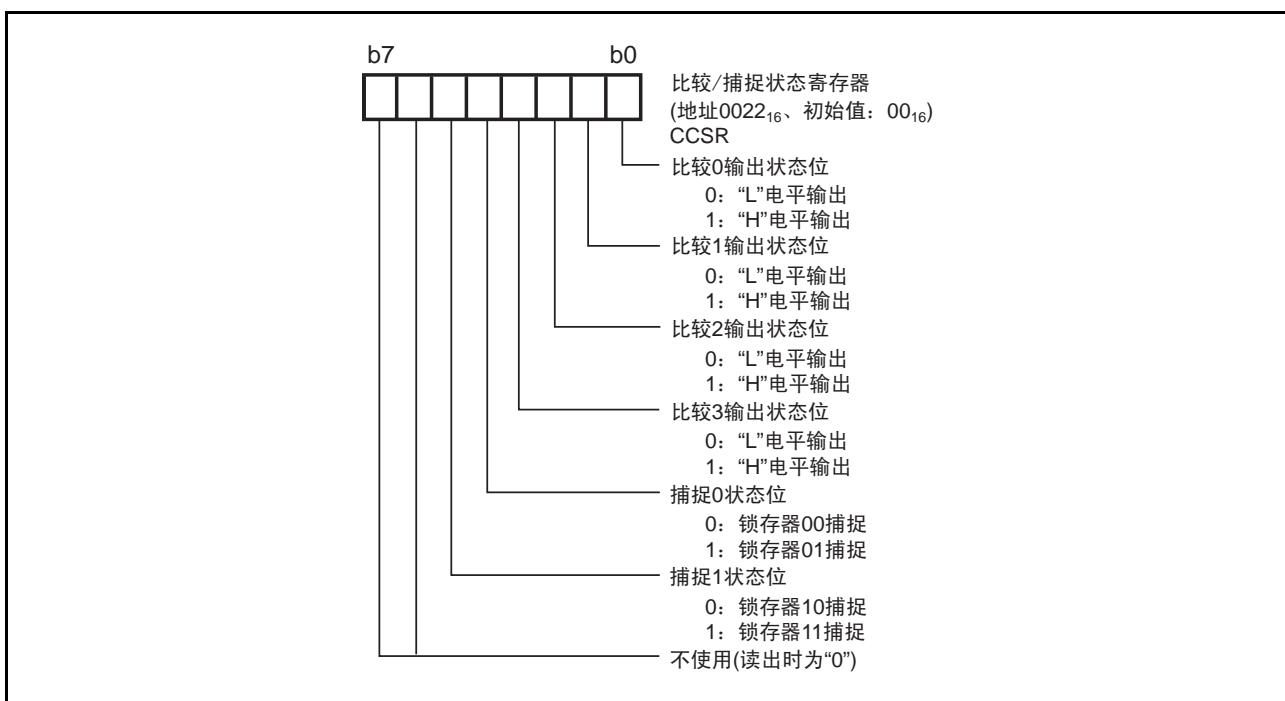


图 34 捕捉 / 比较状态寄存器的结构

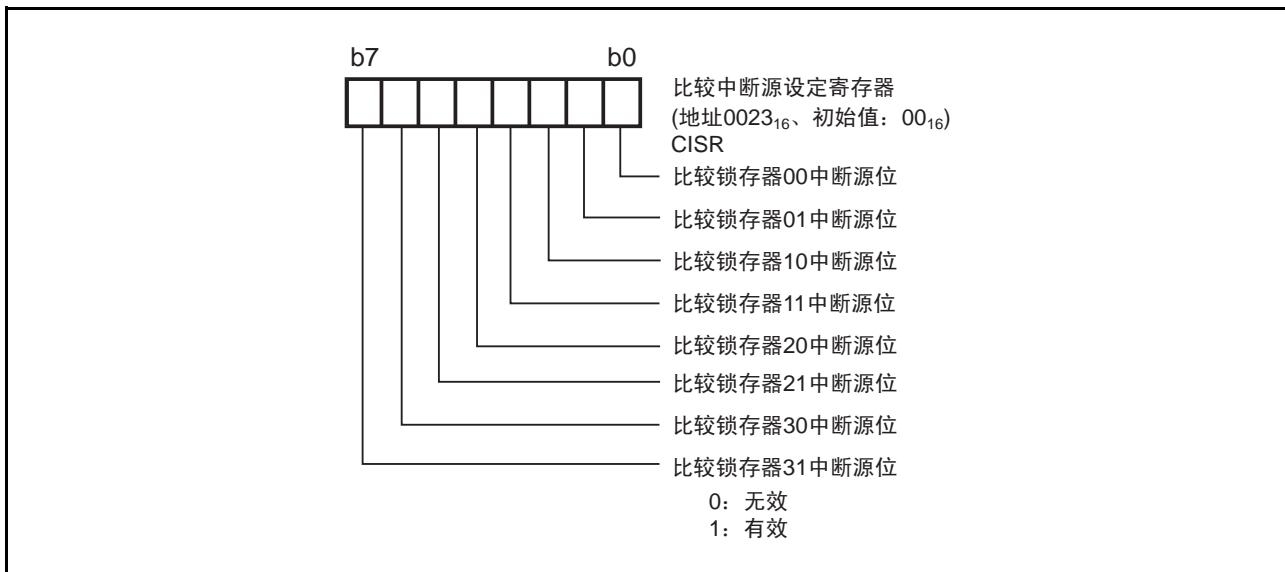


图 35 比较中断源设定寄存器的结构

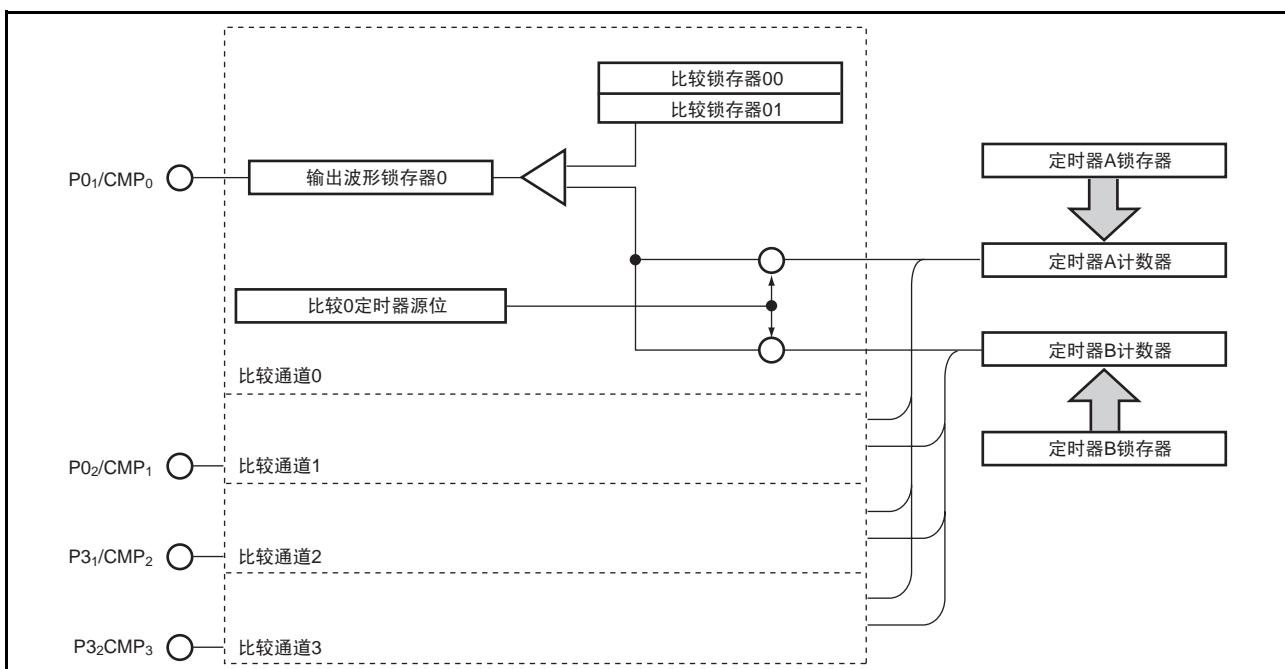


图 36 比较输出电路的框图

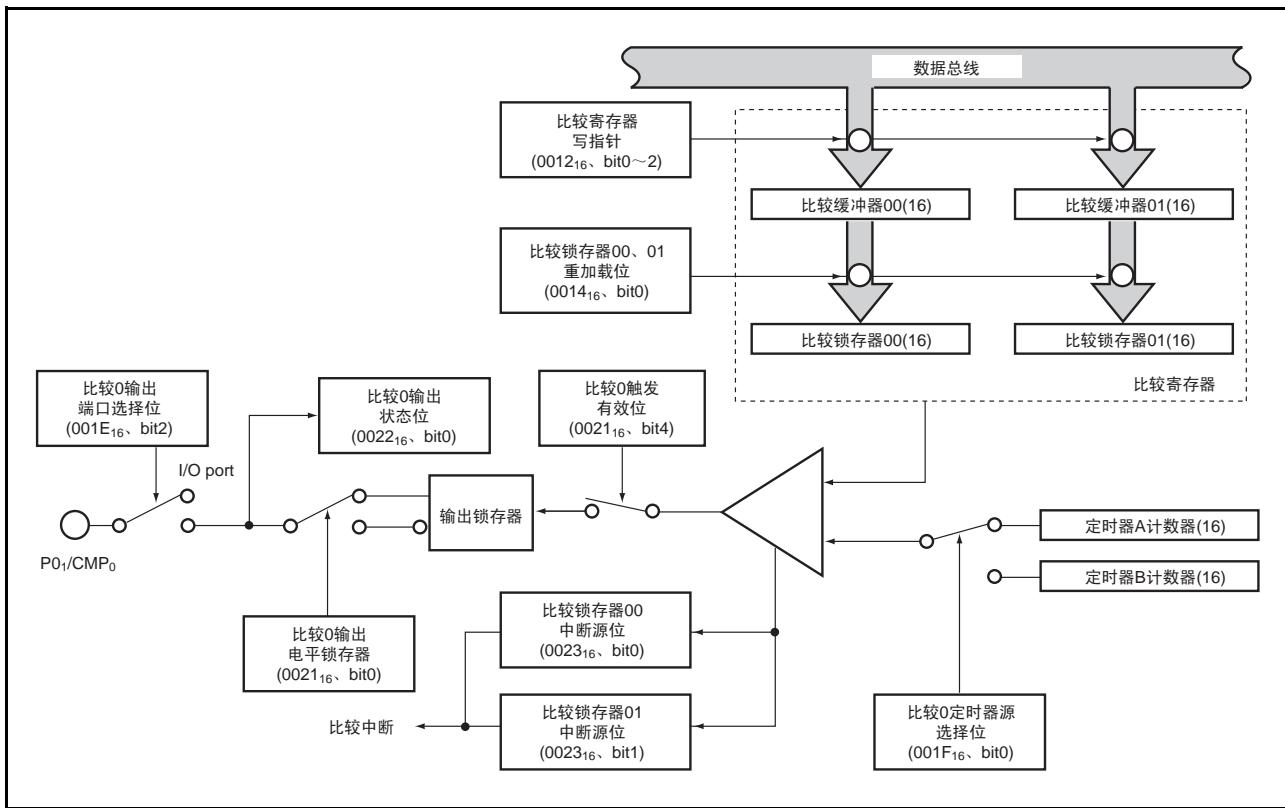


图 37 比较通道 0 的框图

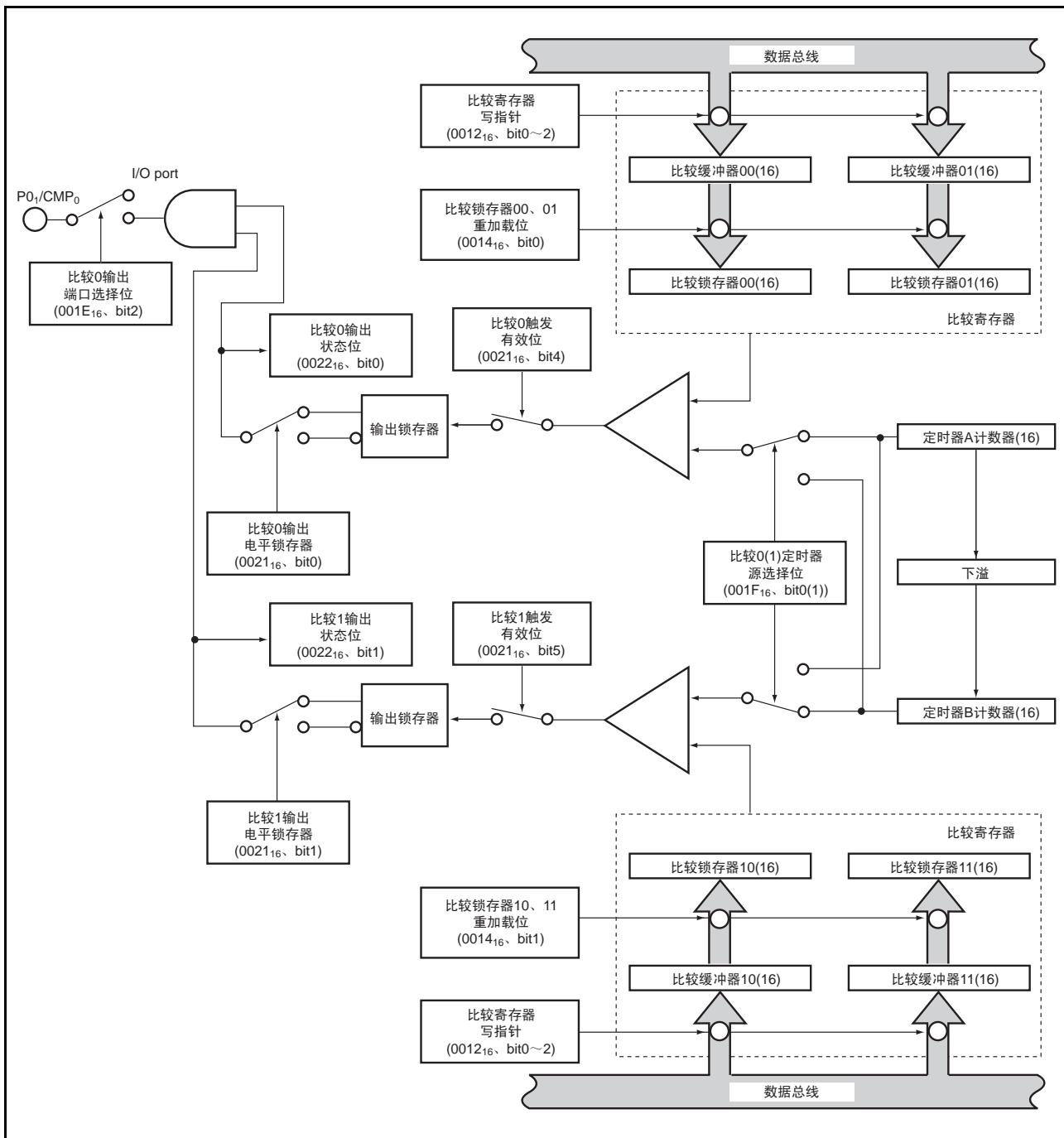


图 38 调制输出模式时的框图

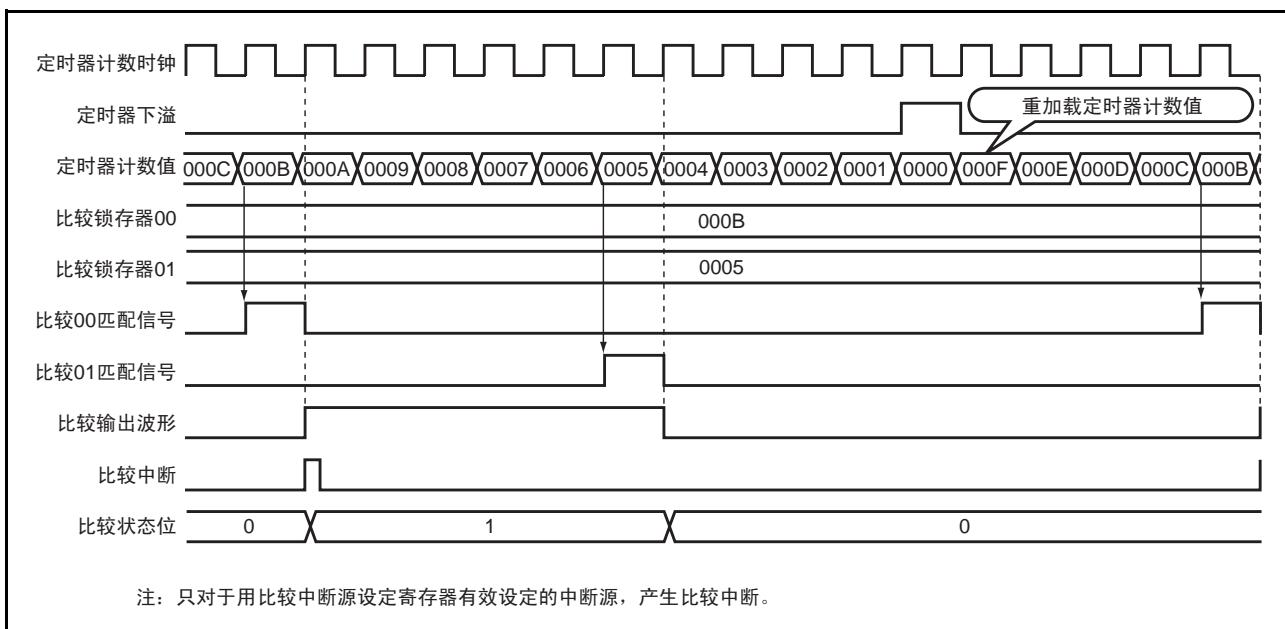


图 39 比较输出波形图（基本波形）

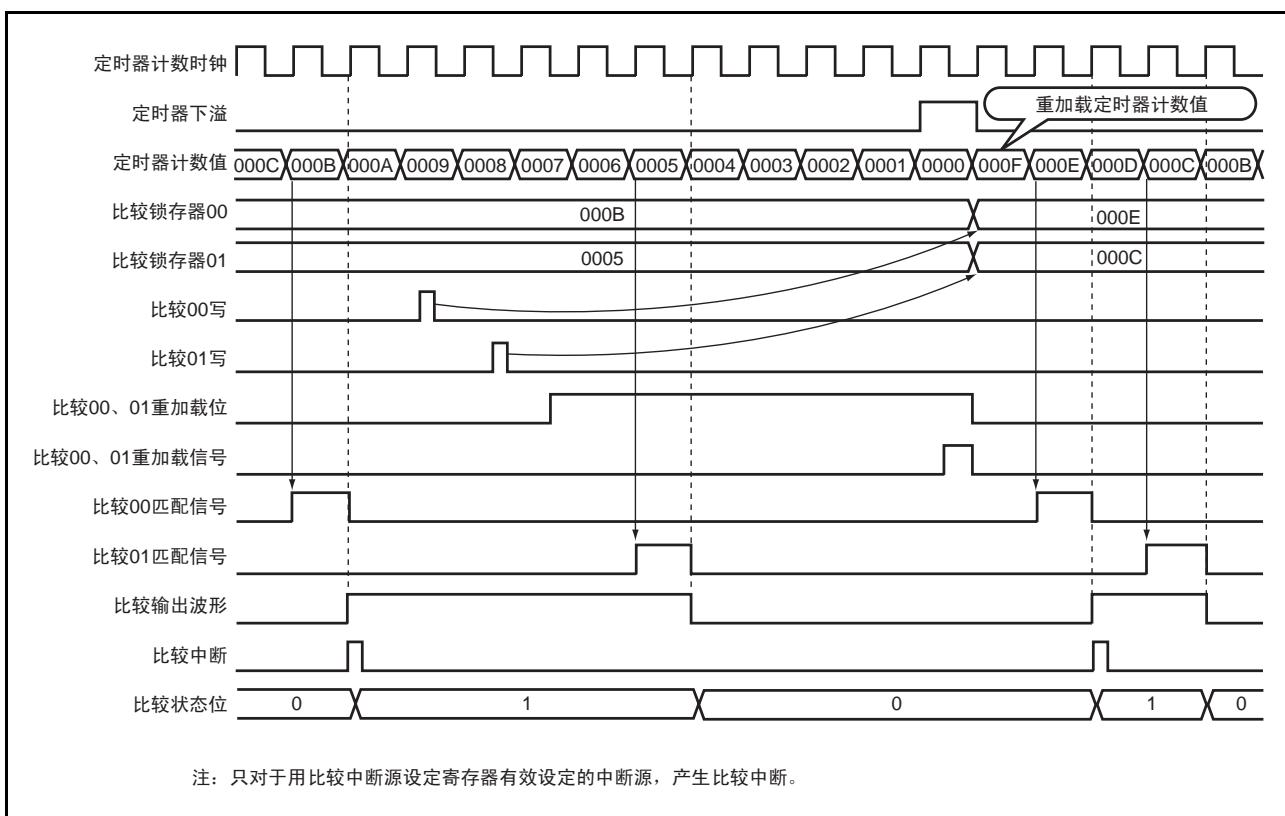


图 40 比较输出波形图（在写比较寄存器时）

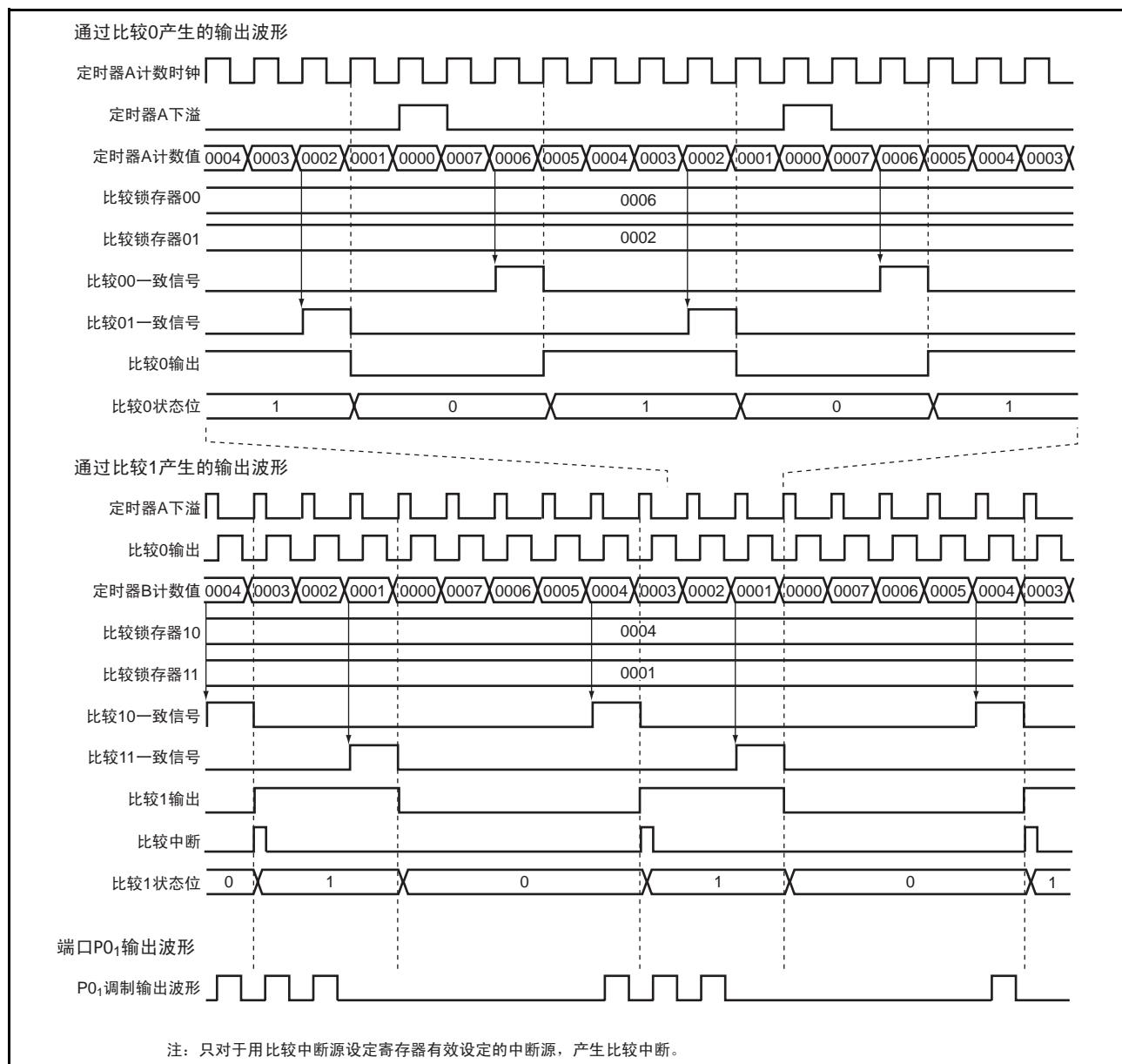


图 41 比较输出波形图（比较 0、1 调制输出模式）

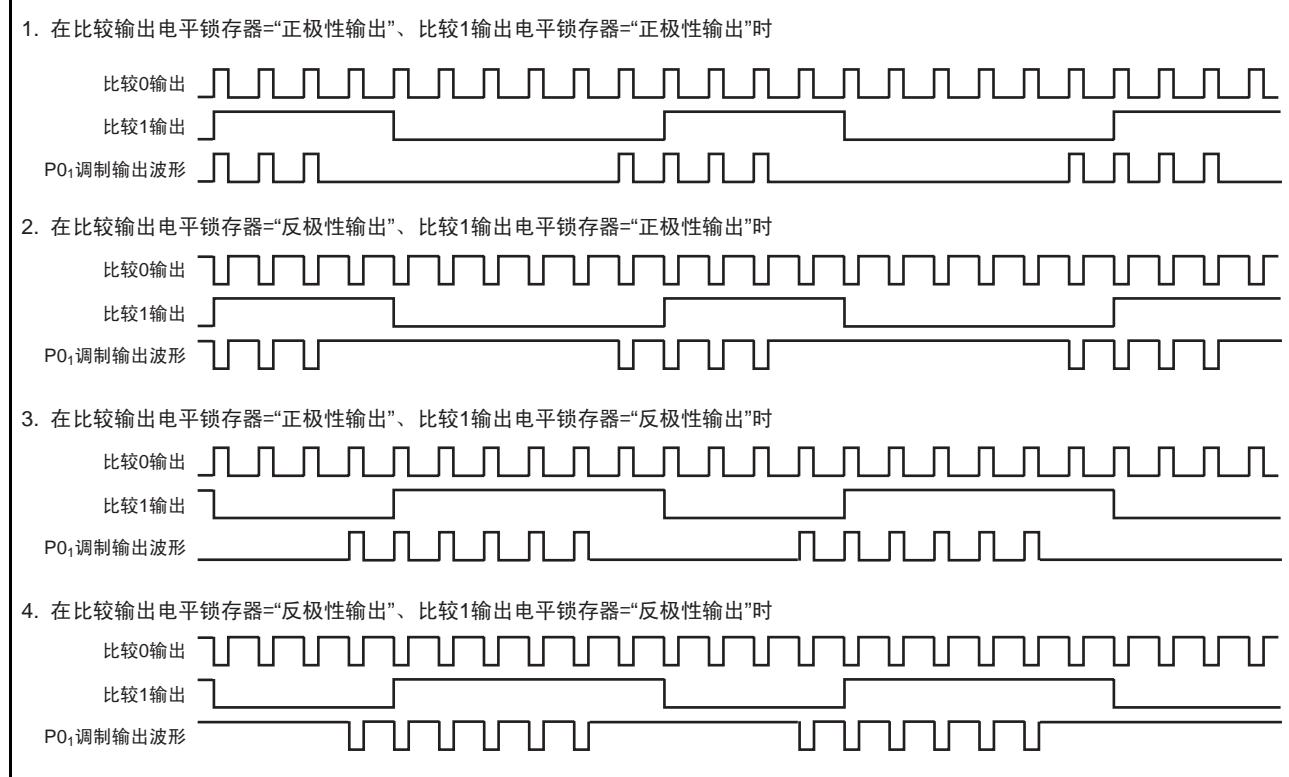


图 42 比较输出波形图（比较 0、1 调制输出模式：根据输出电平锁存器的设定的输出波形变化）

输入捕捉

7546 群内置 2 个通道的捕捉输入。各通道（0、1）具有相同的功能，能捕捉定时器 A 或者定时器 B 的计数值。

各捕捉通道所使用的定时器由捕捉 x ($x=0, 1$) 定时器源选择位进行设定。各通道所使用的定时器能从定时器 A 或者定时器 B 任意选择。

在使用捕捉输入时，必须设定捕捉 x 输入端口选择位，并且给输入端口的方向寄存器设定“0”。

捕捉输入电路在捕捉输入触发被输入时，将选择的定时器的计数值保存到捕捉锁存器。捕捉锁存器 x0 保存外部输入触发上升时的定时器计数值，捕捉锁存器 x1 保存外部输入触发下降时的定时器计数值。

通过使用捕捉 y ($y=00, 01, 10, 11$) 软件触发位，也能保存由捕捉软件触发产生的定时器计数值。通过给捕捉软件触发位写“1”，将定时器计数值保存到对应的捕捉锁存器。

在读取捕捉软件触发位时，读出“0”。

关于捕捉锁存器的状态可通过读取捕捉 x 状态位来确认锁存器（x0 或者 x1）保存的最新捕捉数据。

通过捕捉 x 中断边沿选择位，能在外部输入的上升沿和下降沿、或者上升沿、或者下降沿，产生中断（与捕捉 x 中断边沿选择位的设定值无关，在上升和下降两边沿，将定时器的计数值保存到捕捉锁存器）。

各捕捉输入内置噪声滤波电路。噪声滤波电路通过采样时钟，采样外部输入电平，在 4 次连续采样的电平相同时，判断为有效输入。能通过捕捉噪声滤波器 x 选择位，选择噪声滤波电路的采样时钟。

通过捕捉寄存器读指针，控制捕捉寄存器的读。从捕捉寄存器读的步骤如下：

- ① 给捕捉寄存器读指针设定要读的捕捉锁存器。
- ② 读捕捉寄存器的低位和捕捉寄存器的高位。

有关输入捕捉的注意事项

1. 在读捕捉寄存器的低位和高位期间，当输入捕捉触发时，由于低位和高位的值为在不同时序捕捉的值，因此必须采取用软件比较多次读结果等对策。
2. 在 CPU 的运行时钟源为 XIN 振荡的情况下，当定时器 A 的计数源选择内部振荡器输出时，定时器 A 不能作为捕捉输入的源定时器使用。
在 CPU 的运行时钟源为 XIN 振荡的情况下，当定时器 B 的计数源选择定时器 A 下溢且定时器 A 的计数源选择内部振荡器输出时，定时器 B 不能作为捕捉输入的源定时器使用。
3. 在给捕捉锁存器 x0 和 x1 的捕捉 y 软件触发位同时写“1”时，或者在外部触发和软件触发同时产生时，如果给捕捉锁存器 x0 和 x1 同时进行捕捉输入，捕捉 x 状态位的值就不定。
4. 在设定外部中断 CAP0、CAP1 的中断边沿选择位和噪声滤波器选择位时，中断请求位可能为“1”。当不需要发生与中断边沿选择位或者噪声滤波器选择位的设定同步的中断时，必须按照以下步骤设定：
 - ① 将相应中断允许位置“0”（禁止）。
 - ② 设定中断边沿选择位或者噪声滤波器选择位。
 - ③ 在执行至少一条指令后，将相应中断请求位置“0”。
 - ④ 将相应中断允许位置“1”（允许）。
5. 在将捕捉中断用于从停止模式返回的中断时，必须将捕捉 x 噪声滤波器选择位设定成“00：没有滤波器”。

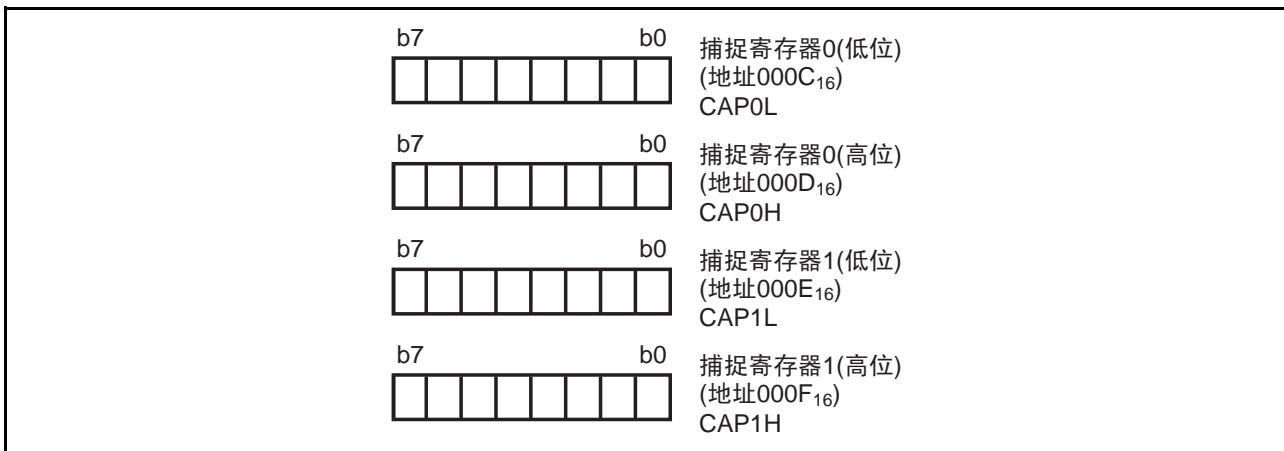


图 43 捕捉寄存器的结构

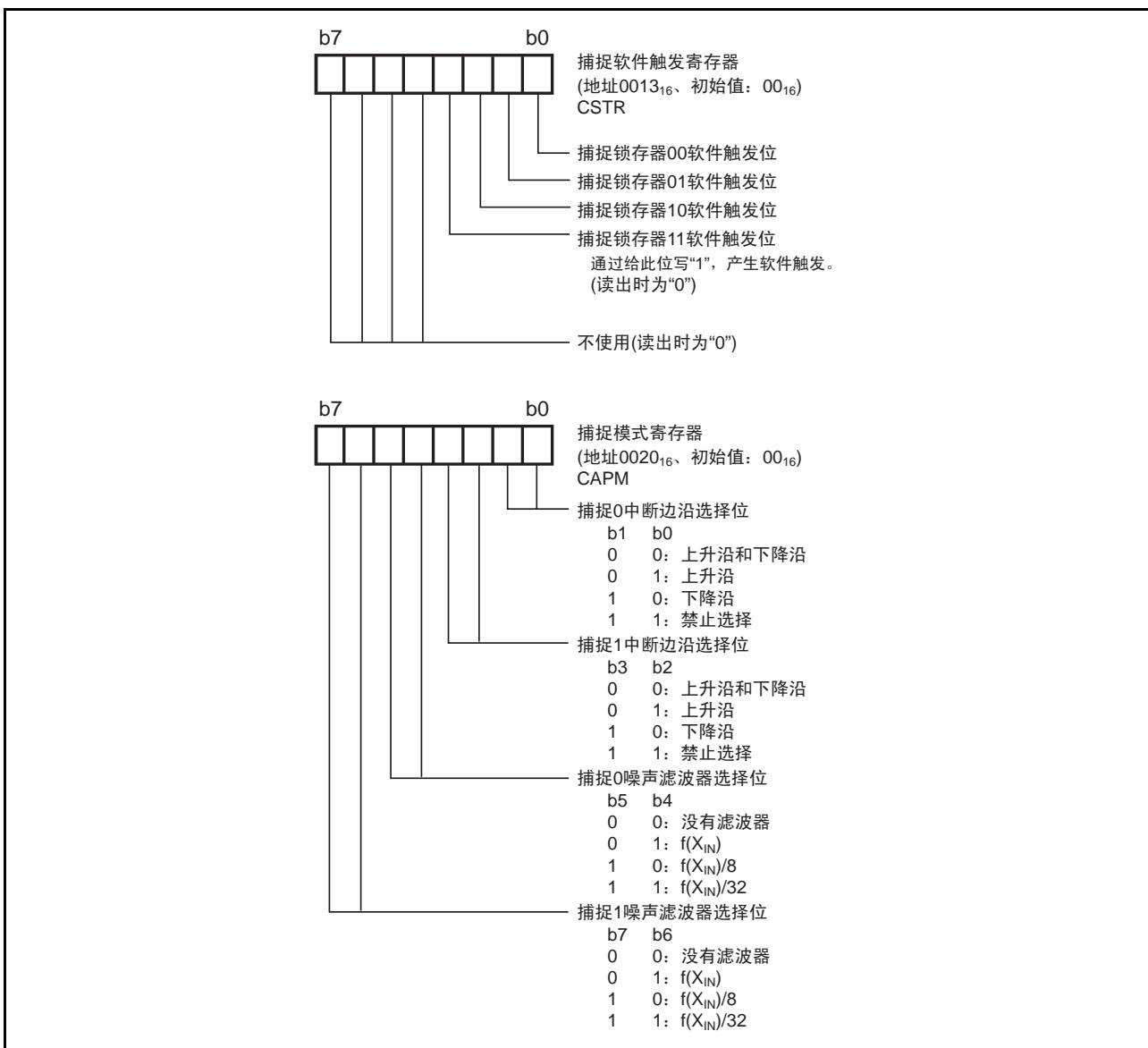


图 44 捕捉软件触发寄存器 / 捕捉模式寄存器的结构

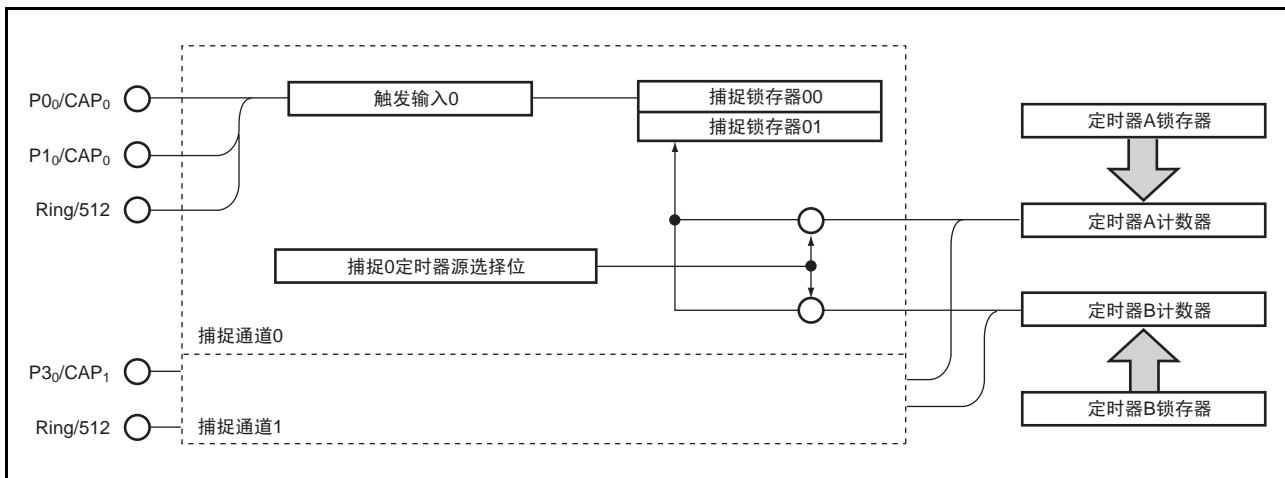


图 45 捕捉输入电路的框图

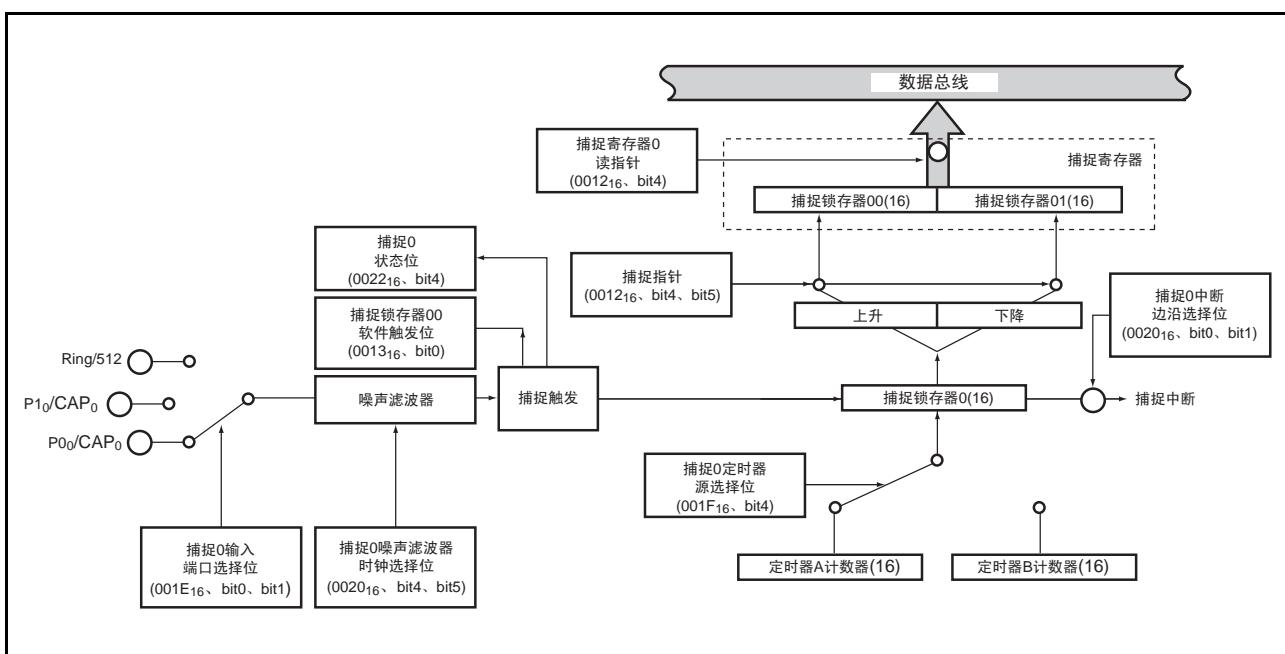


图 46 捕捉通道 0 的框图

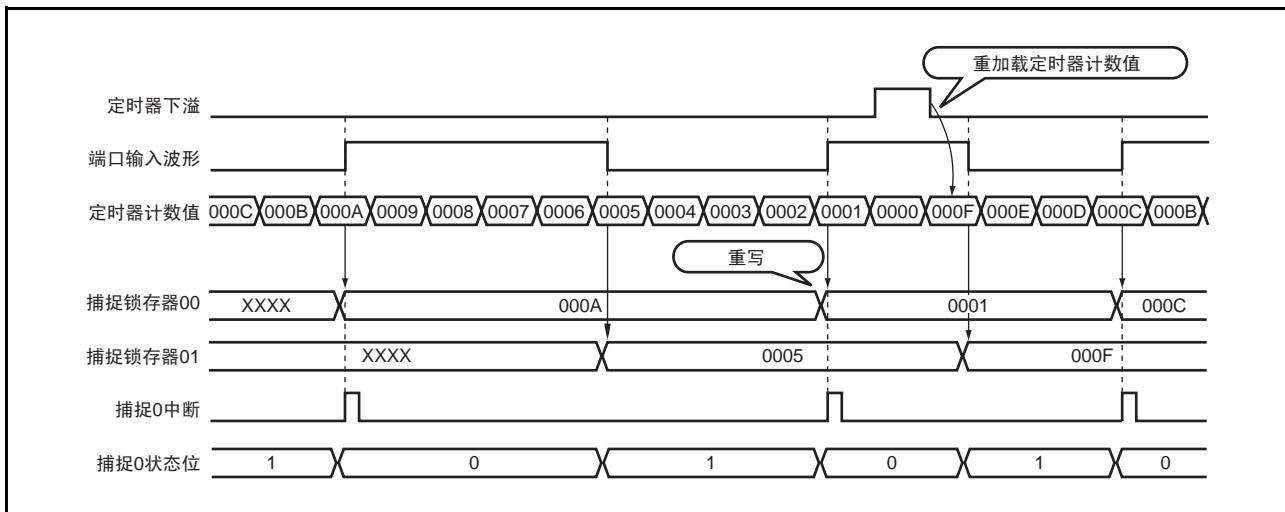


图 47 捕捉输入波形图（捕捉 0 中断边沿选择位：在选择上升沿时）

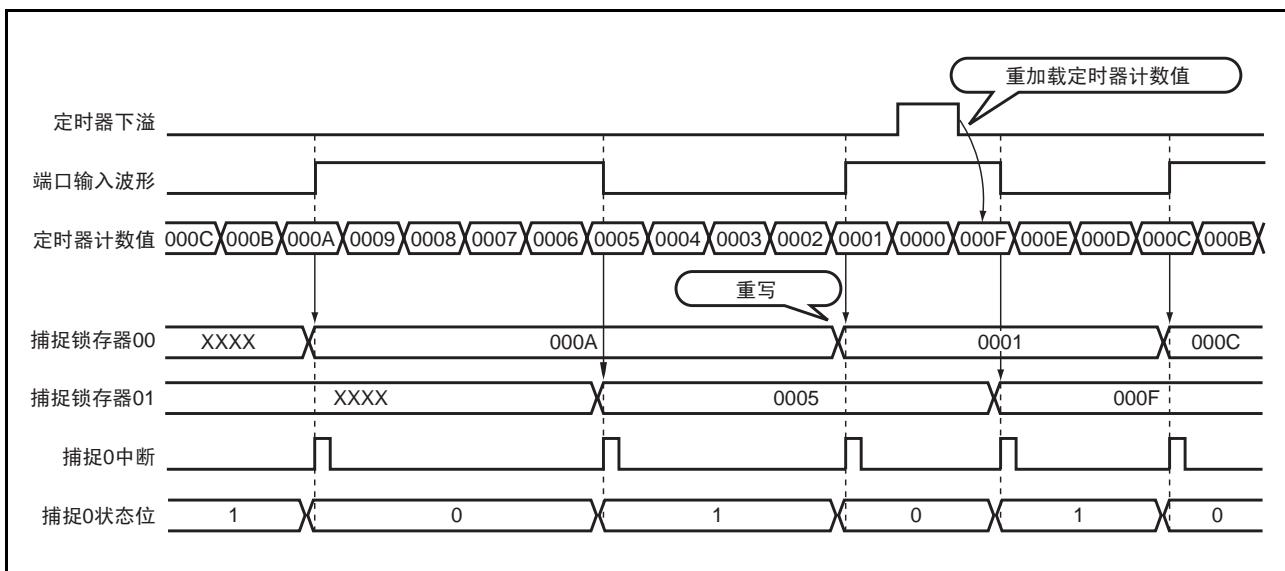


图 48 捕捉输入波形图（捕捉 0 中断边沿选择位：在选择上升沿和下降沿时）

串行接口

7546 群具有串行 I/O1 和串行 I/O2。

除了串行 I/O1 有总线冲突检测电路和串行 I/O2 的 TxD2 的输出形式为 CMOS 输出以外，串行 I/O1 和串行 I/O2 为相同规格。

串行 I/O1

串行 I/O1 无论在时钟同步模式还是在异步模式（UART）都能运行。同时，备有串行 I/O1 运行时的波特率发生专用定时器（波特率发生器）。

(1) 时钟同步串行

I/O1 模式

通过将串行 I/O1 控制寄存器的串行 I/O1 模式选择位（b6）置“1”，选择时钟同步串行 I/O1。

在时钟同步串行 I/O1，对于串行 I/O1 运行时钟，发送侧单片机和接收侧单片机使用同一时钟。作为运行时钟，在使用内部时钟的情况下，通过给发送 / 接收缓冲寄存器的写信号，开始发送和接收。

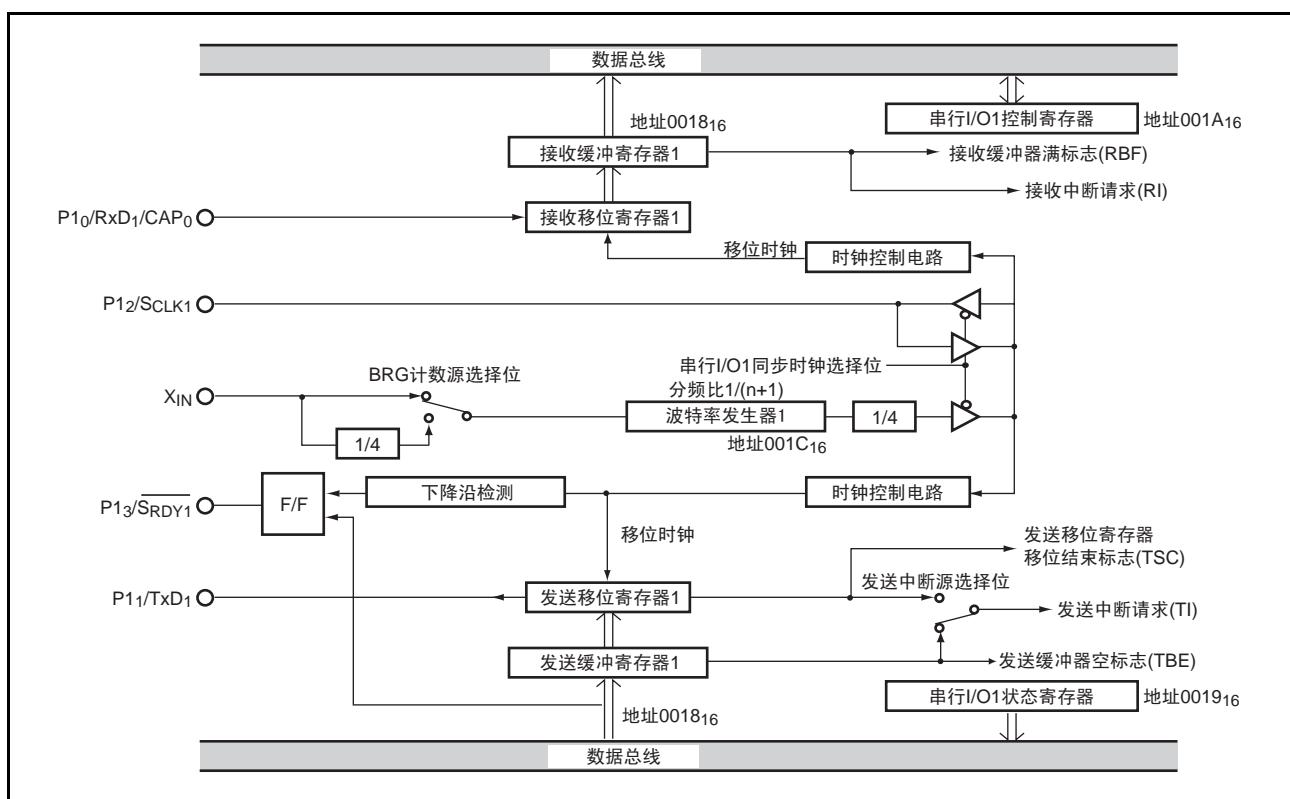


图 49 时钟同步串行 I/O1 框图

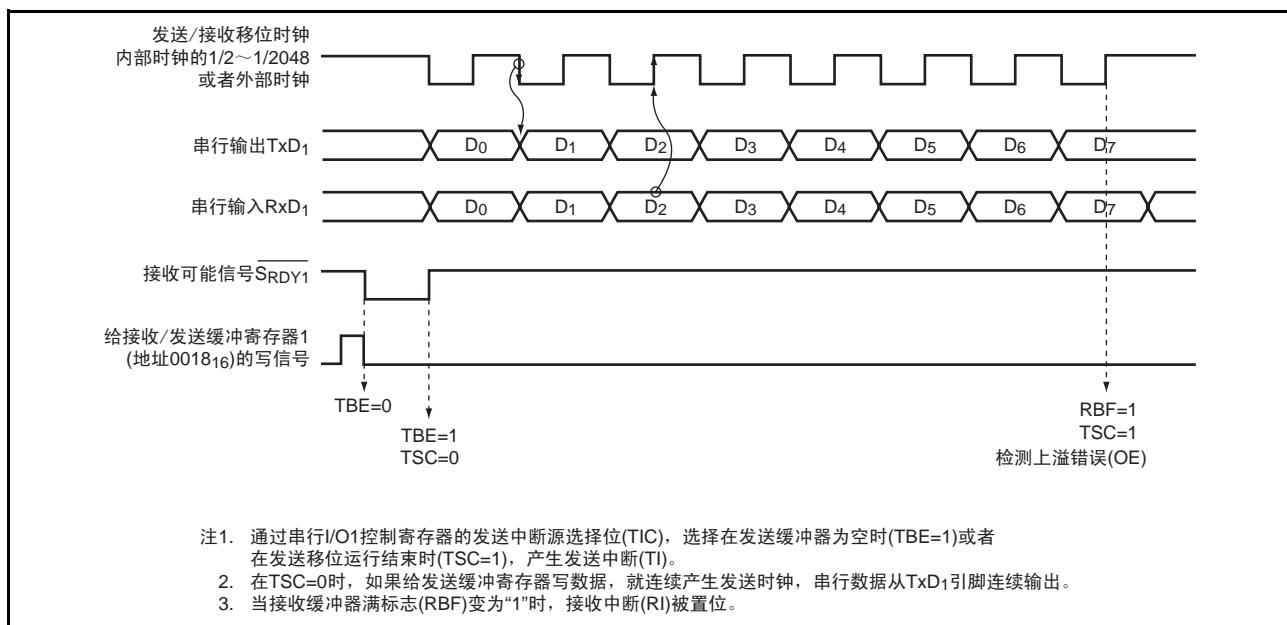


图 50 时钟同步串行 I/O1 运行图

(2) 异步串行 I/O1 (UART) 模式

通过将串行 I/O1 控制寄存器的串行 I/O1 模式选择位 (b6) 置 “0”，选择 UART。

7546 群能够选择 8 种串行数据传送格式。在发送侧和接收侧必须统一该传送格式。

7546 群对于进行串行数据发送和接收的发送移位寄存器和接收移位寄存器，具有各自的缓冲寄存器（存储器里的地址相同）。由于不能直接读写移位寄存器，因此对各自的缓冲寄存器写发送数据和读接收数据。另外，能通过这些缓冲寄存器，预先写下一个要发送的数据，或者连续接收 2 字节的接收数据。

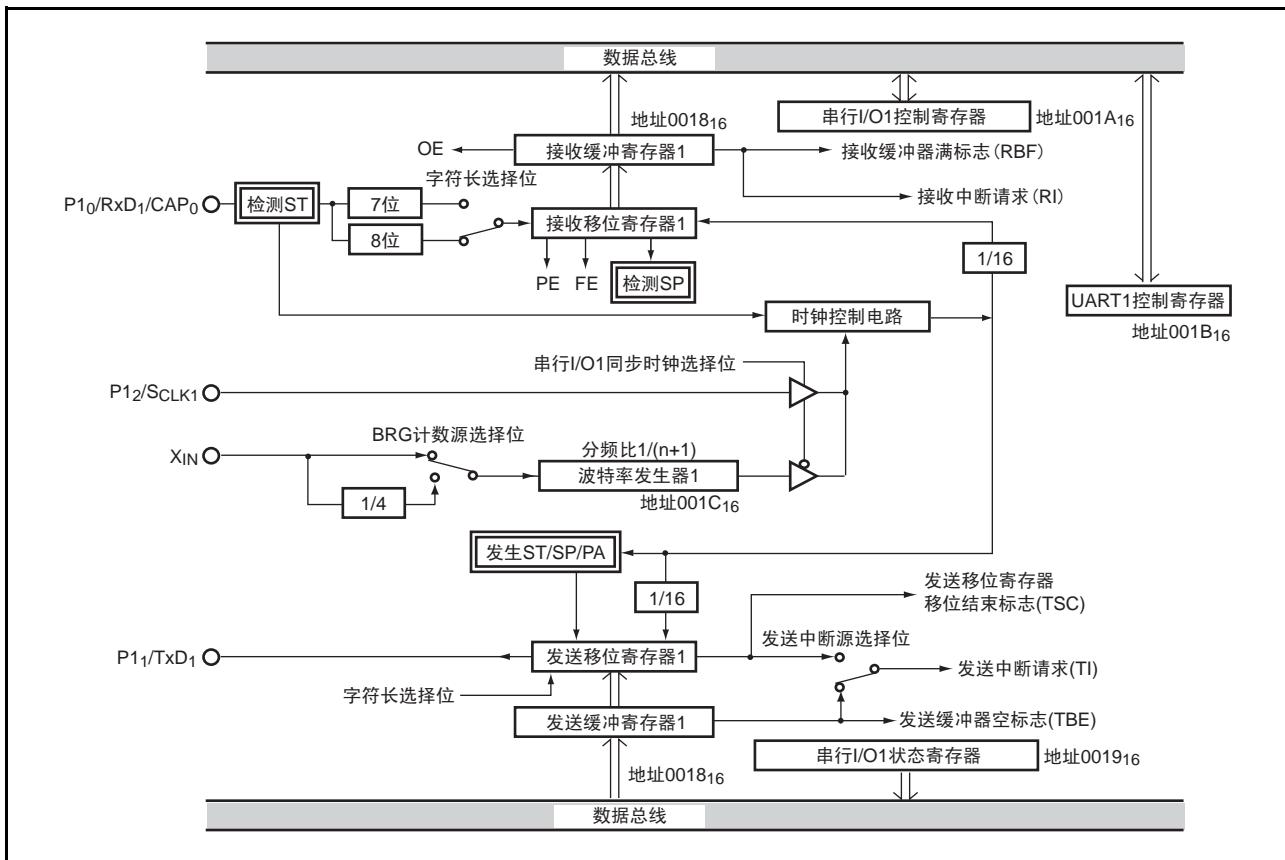


图 51 UART 串行 I/O1 框图

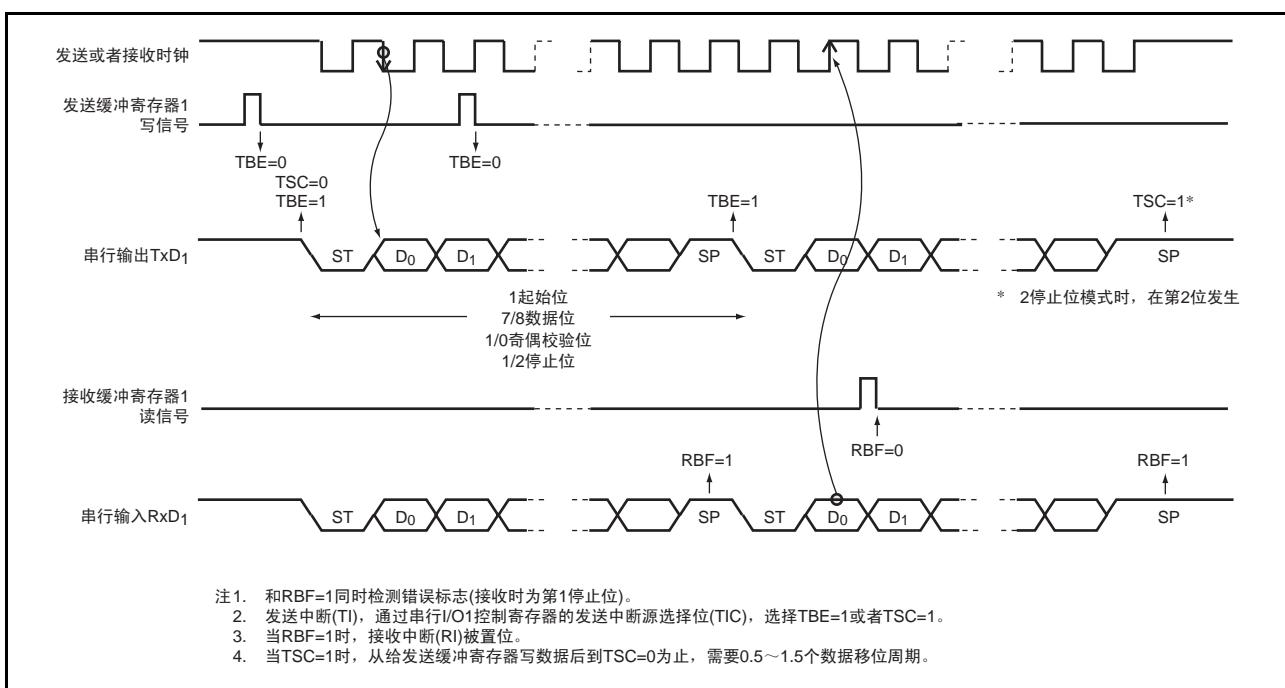


图 52 UART 串行 I/O1 运行图

【发送缓冲寄存器 1/ 接收缓冲寄存器 1】 TB1/RB1

发送缓冲寄存器和接收缓冲寄存器被分配了相同的地址，发送缓冲寄存器为只写寄存器，接收缓冲寄存器为只读寄存器。另外，在字符位长为 7 位时，保存在接收缓冲寄存器的接收数据的 MSB 为“0”。

【串行 I/O1 状态寄存器】 SIO1STS

是由表示串行 I/O1 运行状态的标志和各种错误标志构成的 7 位只读寄存器。bit4 ~ bit6 的 3 位只在 UART 模式选择时有效。

如果读取接收缓冲寄存器的内容，接收缓冲器满标志就被清“0”。

在将数据从接收移位寄存器传送到接收缓冲寄存器、将接收缓冲器满标志置位的同时，进行错误检测。通过对串行 I/O1 状态寄存器的写，清除所有错误标志（OE、PE、FE、SE）。另外，如果给串行 I/O1 允许位（SIOE）写“0”，包括错误标志的所有状态标志就被清“0”。

虽然在复位时，此寄存器的 bit0 ~ bit6 被初始化成“0”，但是，在将串行 I/O1 控制寄存器的发送允许位置成“1”时，bit2 和 bit0 变为“1”。

【串行 I/O1 控制寄存器】 SIO1CON

串行 I/O1 控制寄存器由进行各种串行 I/O1 控制的 8 位选择位构成。

【UART1 控制寄存器】 UART1CON

是由在选择 UART 时有效的 4 位控制位和总是有效的 1 位控制位构成的 5 位寄存器。通过此寄存器的内容，设定发送和接收串行数据时的数据格式、P11/TxD1 引脚的输出形式等。

【波特率发生器 1】 BRG1

决定串行传送的位速率。

它是持有重加载寄存器的 8 位计数器，通过设定 n 值，以 1/(n+1) 的分频比分频计数源。

有关串行 I/O1 的注意事项

- 串行 I/O1 中断

在将串行 I/O1 发送允许位置“1”时，串行 I/O1 发送中断请求位变为“1”。当不需要发生与发送允许同步的中断时，必须按以下步骤设定：

- ① 将串行 I/O1 发送中断允许位置“0”（禁止）。
- ② 将发送允许位置“1”。
- ③ 在执行至少一条指令后，将串行 I/O1 发送中断请求位置“0”。
- ④ 将串行 I/O1 发送中断允许位置“1”（允许）。

- 串行 I/O1 允许时的输入/输出引脚功能

根据串行 I/O1 模式选择位和串行 I/O1 同步时钟选择位的设定值，P12、P13 的功能发生如下的变化：

- (1) 串行 I/O1 模式选择位 → “1”：

在选择时钟同步串行 I/O 时，

- 串行 I/O1 同步时钟选择位的设定
 - “0”：P12 引脚成为同步时钟的输出引脚。
 - “1”：P12 引脚成为同步时钟的输入引脚。
- \bar{S}_{RDY1} 输出允许位（SRDY）的设定
 - “0”：P13 引脚能作为通常的输入/输出引脚使用。
 - “1”：P13 引脚成为 \bar{S}_{RDY1} 输出引脚。

(2) 串行 I/O1 模式选择位 → “0”：

在选择时钟异步 (UART) 串行 I/O 时，

- 串行 I/O1 同步时钟选择位的设定
 - “0”：P1₂引脚能作为通常的输入/输出引脚使用。
 - “1”：P1₂引脚成为外部时钟的输入引脚。
- 在选择时钟异步 (UART) 串行 I/O 时，P1₃引脚能作为通常的输入/输出引脚使用。

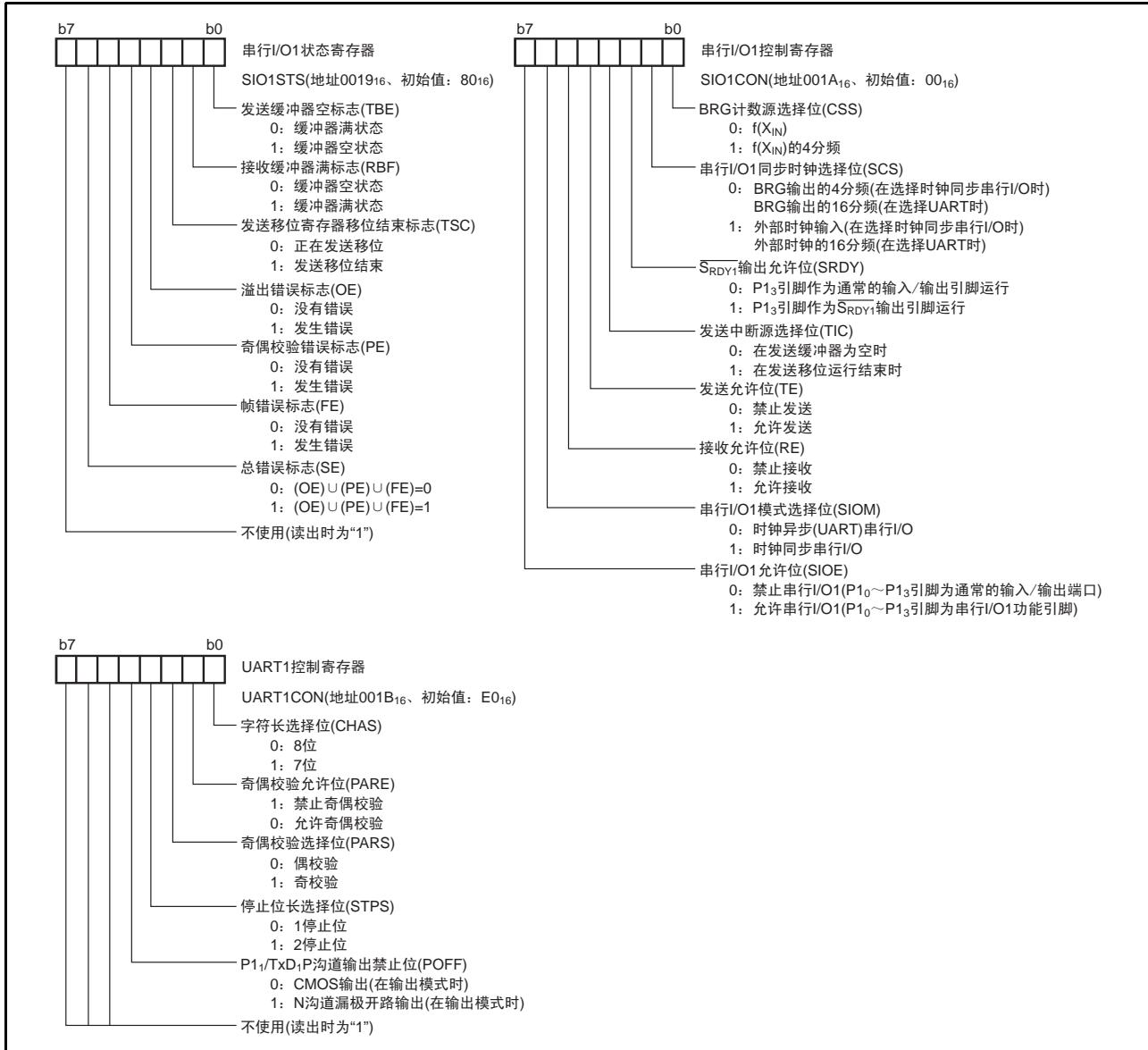


图 53 与串行 I/O1 相关的寄存器结构

总线冲突检测电路

串行 I/O1 能通过设定 UART1 总线冲突检测中断有效位，检测总线冲突。

如果在时钟同步或者时钟异步（UART）串行 I/O 模式开始发送，就与发送移位时钟的上升沿同步，进行发送引脚 TxD1 和接收引脚 RxD1 的比较。在比较结果不一致的情况下，发生总线冲突检测中断请求。

在时钟同步模式，发送数据的冲突检测在发送数据的 LSB 和 MSB 之间进行；在 UART 模式，发送数据的冲突检测在发送数据的开始位和停止位之间进行。无论内部时钟还是外部时钟的情况，都能检测总线冲突。

总线冲突检测中断电路的框图如图 55 所示，总线冲突检测中断的时序图如图 56 所示。

有关总线冲突检测功能的注意事项

在串行 I/O1 以双工通信模式运行时，能使用总线冲突检测功能。在串行 I/O1 以半双工通信运行时，必须禁止总线冲突检测中断。

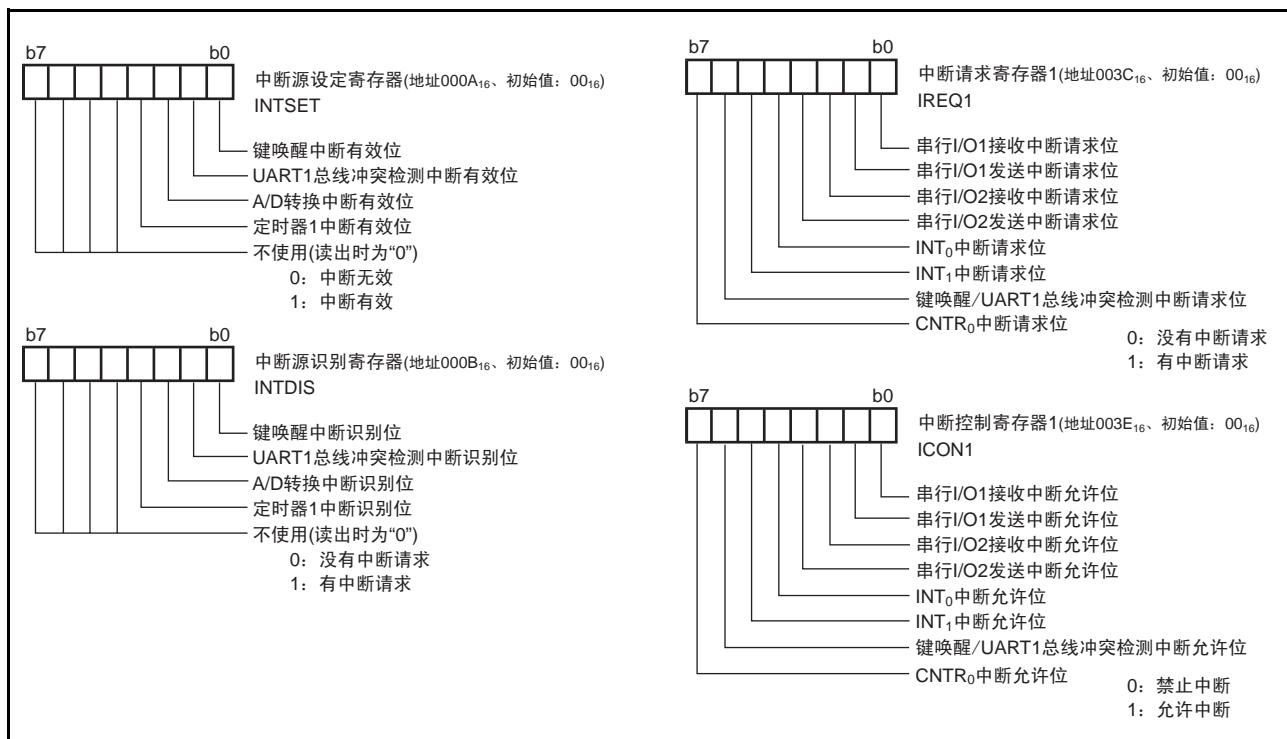


图 54 与总线冲突检测相关的寄存器

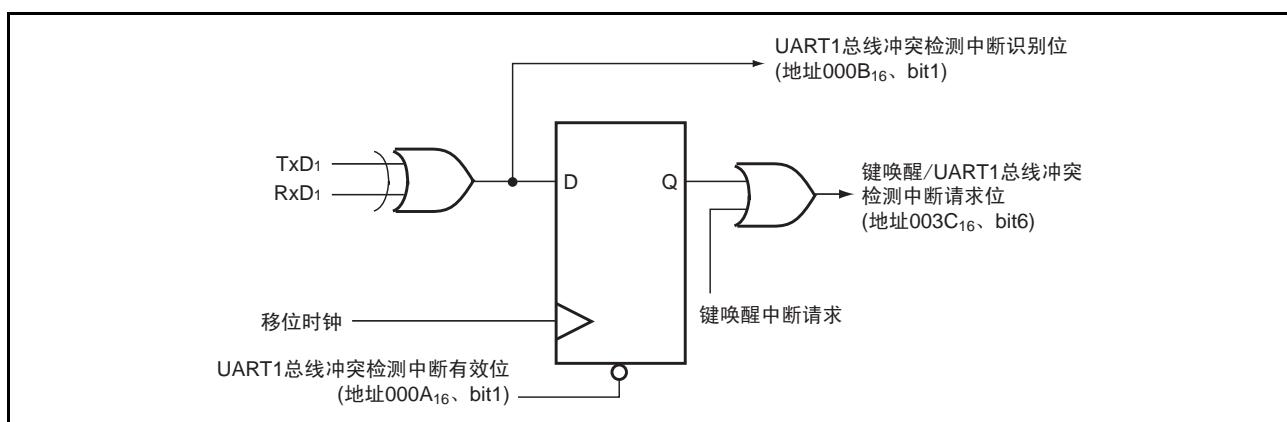


图 55 总线冲突检测中断电路的框图

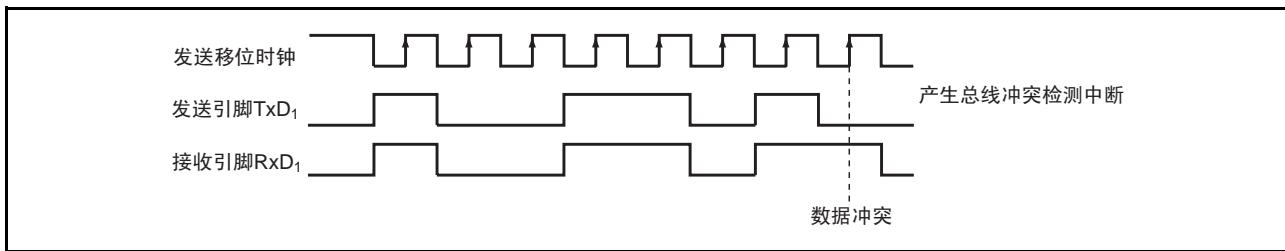


图 56 总线冲突检测中断的时序图

串行 I/O2

串行 I/O2 无论在时钟同步模式还是在异步模式（UART）都能运行。同时，备有串行 I/O2 运行时的波特率发生专用定时器（波特率发生器）。

(1) 时钟同步串行 I/O2 模式

通过将串行 I/O2 控制寄存器的串行 I/O2 模式选择位（b6）置“1”，选择时钟同步串行 I/O2。

在时钟同步串行 I/O2，对于串行 I/O2 运行时钟，发送侧单片机和接收侧单片机使用同一时钟。作为运行时钟，在使用内部时钟的情况下，通过给发送 / 接收缓冲寄存器的写信号，开始发送和接收。

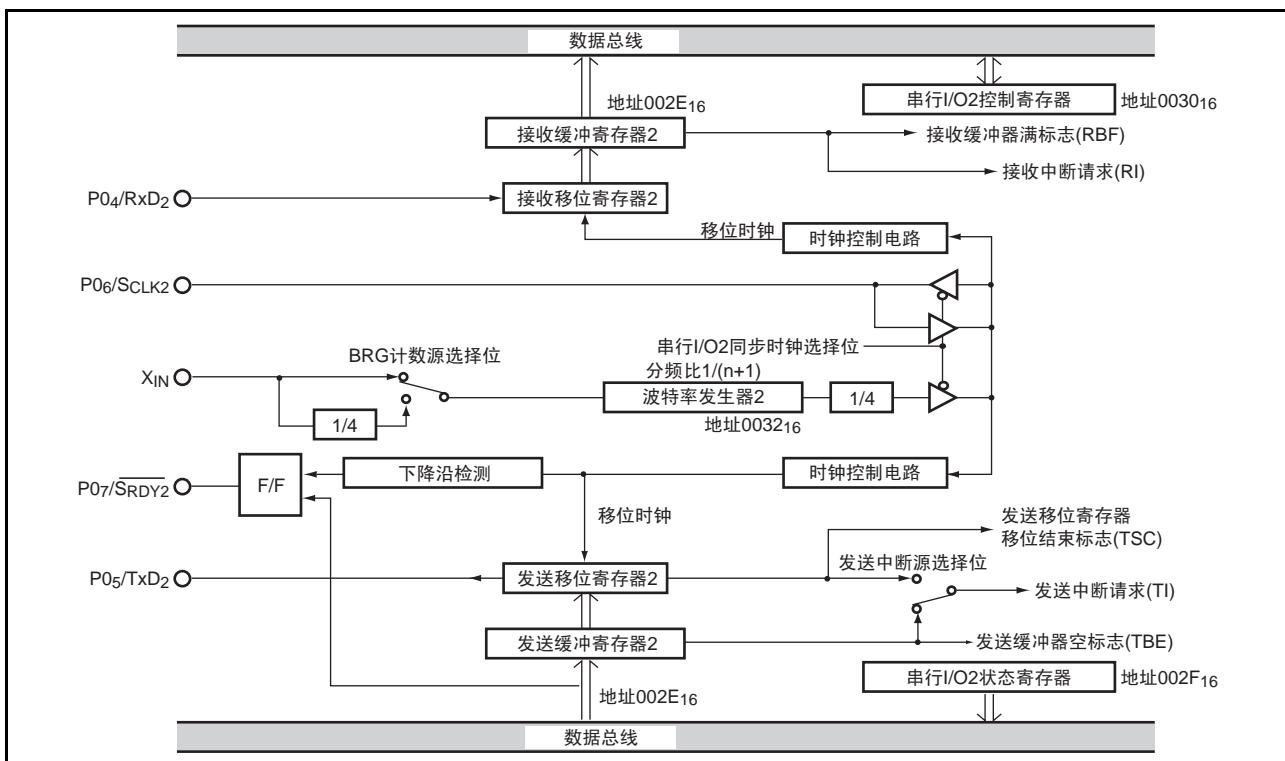


图 57 时钟同步串行 I/O2 框图

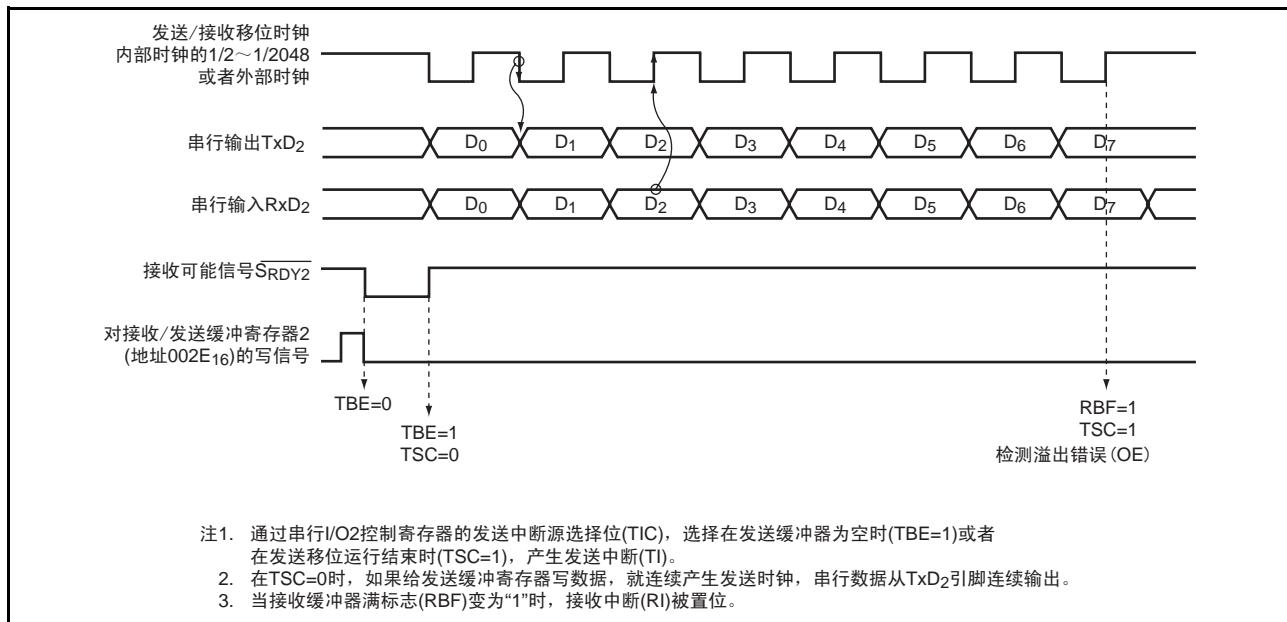


图 58 时钟同步串行 I/O2 运行图

(2) 异步串行 I/O2 (UART) 模式

通过将串行 I/O2 控制寄存器的串行 I/O2 模式选择位 (b6) 置 “0”，选择 UART。

7546 群能够选择 8 种串行数据传送格式。在发送侧和接收侧必须统一该传送格式。

7546 群对于进行串行数据发送和接收的发送移位寄存器和接收移位寄存器，具有各自的缓冲寄存器（存储器里的地址相同）。由于不能直接读写移位寄存器，因此对各自的缓冲寄存器写发送数据和读接收数据。另外，能通过这些缓冲寄存器，预先写下一个要发送的数据，或者连续接收 2 字节的接收数据。

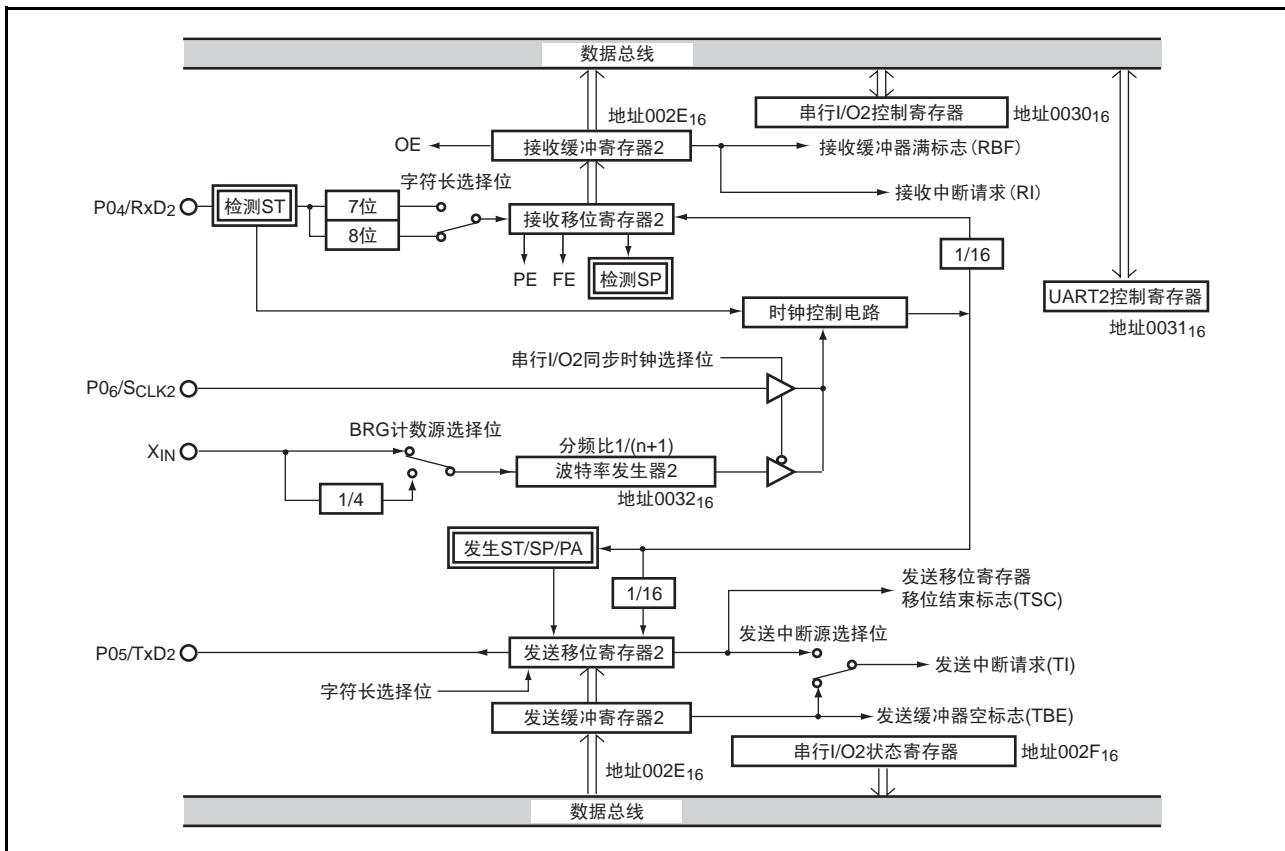


图 59 UART 串行 I/O2 框图

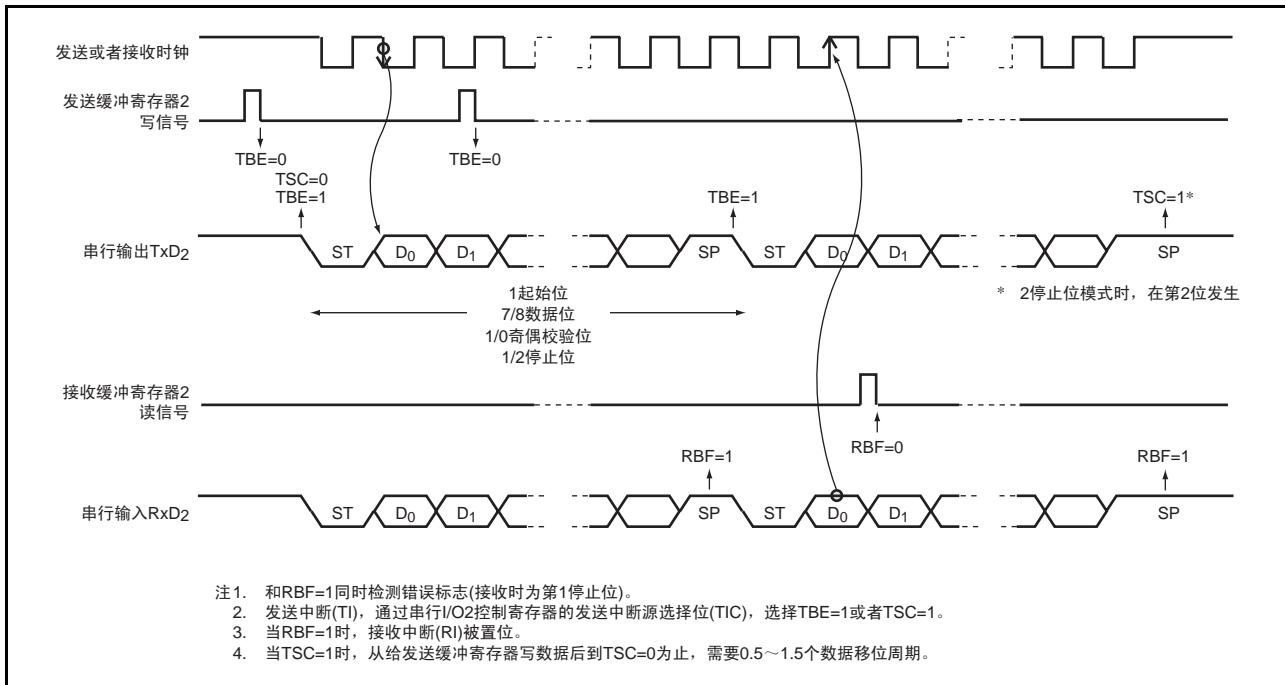


图 60 UART 串行 I/O2 运行图

【发送缓冲寄存器 2/ 接收缓冲寄存器 2】 TB2/RB2

发送缓冲寄存器和接收缓冲寄存器被分配了相同的地址，发送缓冲寄存器为只写寄存器，接收缓冲寄存器为只读寄存器。另外，在字符位长为 7 位时，保存在接收缓冲寄存器的接收数据的 MSB 为“0”。

【串行 I/O2 状态寄存器】 SIO2STS

是由表示串行 I/O2 运行状态的标志和各种错误标志构成的 7 位只读寄存器。bit4 ~ bit6 的 3 位只在选择 UART 模式下时有效。

如果读取接收缓冲寄存器的内容，接收缓冲器满标志就被清“0”。

在将数据从接收移位寄存器传送到接收缓冲寄存器、将接收缓冲器满标志置位的同时，进行错误检测。通过对串行 I/O2 状态寄存器的写，清除所有错误标志（OE、PE、FE、SE）。另外，如果给串行 I/O2 允许位（SIOE）写“0”，包括错误标志的所有状态标志就被清“0”。

虽然在复位时，此寄存器的 bit0 ~ bit6 被初始化成“0”，但是，在将串行 I/O2 控制寄存器的发送允许位置成“1”时，bit2 和 bit0 变为“1”。

【串行 I/O2 控制寄存器】 SIO2CON

串行 I/O2 控制寄存器由进行各种串行 I/O2 控制的 8 位选择位构成。

【UART2 控制寄存器】 UART2CON

是由选择 UART 时的有效 4 位控制位构成的寄存器。通过此寄存器的内容，设定发送和接收串行数据时的数据格式。

【波特率发生器 2】 BRG2

决定串行传送的位速率。

它是持有重加载寄存器的 8 位计数器，通过设定 n 值，以 $1/(n+1)$ 的分频比分频计数源。

有关串行 I/O2 的注意事项

- 串行 I/O2 中断

在将串行 I/O2 发送允许位置“1”时，串行 I/O2 发送中断请求位变为“1”。当不需要发生与发送允许同步的中断时，必须按以下步骤设定：

- ① 将串行 I/O2 发送中断允许位置“0”（禁止）。
- ② 将发送允许位置“1”。
- ③ 在执行至少一条指令后，将串行 I/O2 发送中断请求位置“0”。
- ④ 将串行 I/O2 发送中断允许位置“1”（允许）。

- 串行 I/O2 允许时的输入/输出引脚功能

根据串行 I/O2 模式选择位和串行 I/O2 同步时钟选择位的设定值，P06、P07 的功能发生如下的变化：

(1) 串行 I/O2 模式选择位 → “1”：

在选择时钟同步串行 I/O 时，

- 串行 I/O2 同步时钟选择位的设定
 - “0”：P06 引脚成为同步时钟的输出引脚。
 - “1”：P06 引脚成为同步时钟的输入引脚。
- \bar{S}_{RDY2} 输出允许位 (\bar{S}_{RDY}) 的设定
 - “0”：P07 引脚能作为通常的输入/输出引脚使用。
 - “1”：P07 引脚成为 \bar{S}_{RDY2} 输出引脚。

(2) 串行 I/O2 模式选择位 → “0”：

在选择时钟异步 (UART) 串行 I/O 时，

- 串行 I/O2 同步时钟选择位的设定
 - “0”：P0₆引脚能作为通常的输入/输出引脚使用。
 - “1”：P0₆引脚成为外部时钟的输入引脚。
- 在选择时钟异步 (UART) 串行 I/O 时，P0₇引脚能作为通常的输入/输出引脚使用。

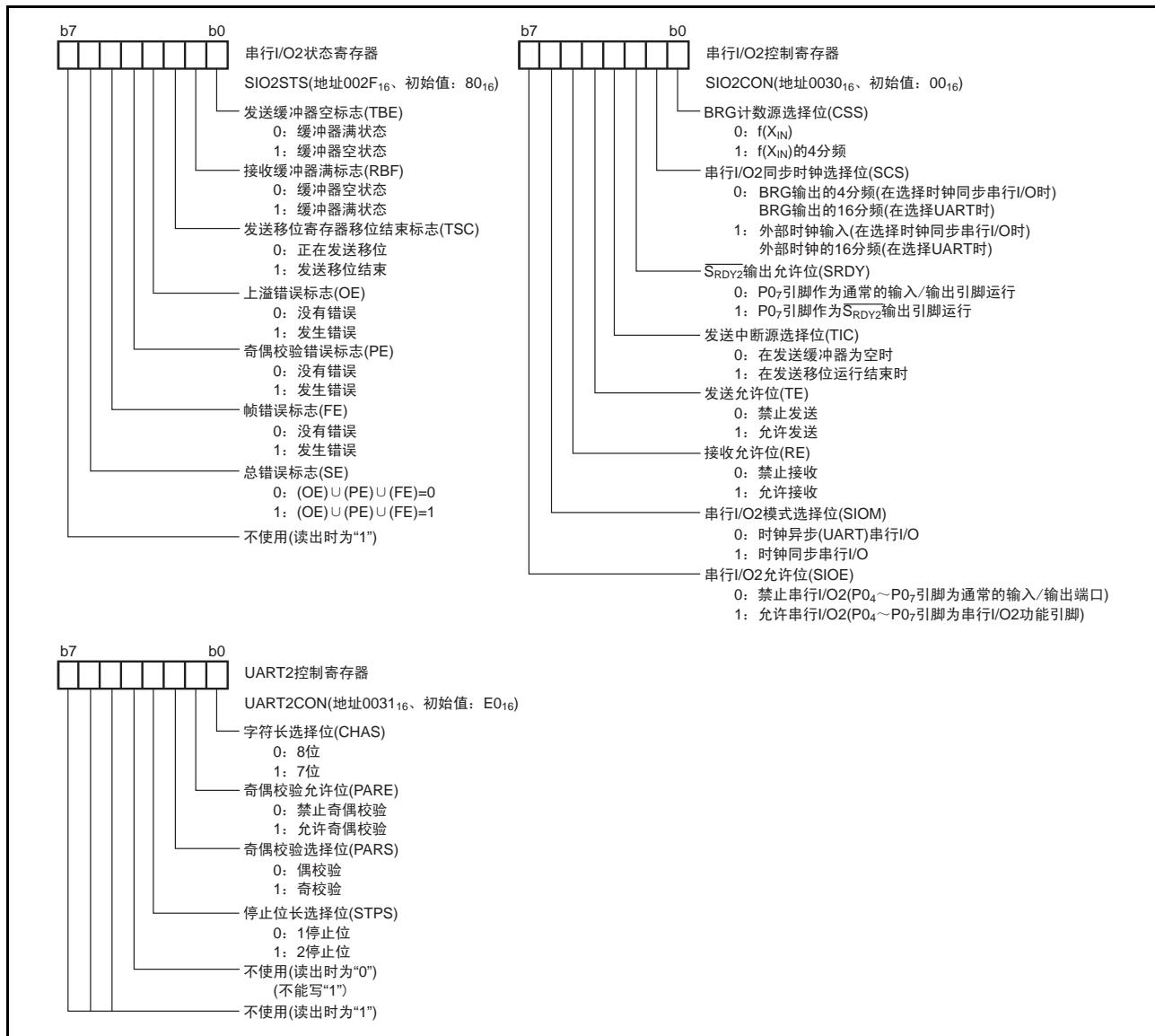


图 61 与串行 I/O2 相关的寄存器结构

A/D 转换器

【A/D 转换寄存器】 AD

保存 A/D 转换结果的只读寄存器。

【A/D 控制寄存器】 ADCON

用于控制 A/D 转换器的寄存器。

bit2 ~ bit0 是模拟输入引脚的选择位。

bit3 是 A/D 转换时钟选择位，如果置“0”，A/D 转换时钟就为 $f(X_{IN})/2$ ，A/D 转换时间为 $f(X_{IN})$ 的 122 个周期；如果置“1”，A/D 转换时钟就为 $f(X_{IN})$ ，A/D 转换时间为 $f(X_{IN})$ 的 61 个周期。

bit4 是 A/D 转换结束位，在 A/D 转换期间为“0”，如果 A/D 转换结束，就变为“1”。通过给此位写“0”，开始 A/D 转换。

【比较电压发生器】

通过梯形电阻，将 VSS 和 VREF 之间的电压分成 1024 份，进行分压输出。除了在 A/D 转换期间以外，由于和 VREF 引脚、VSS 引脚分离，因此电流没有流到梯形电阻。

【通道选择器】

从端口 P25/AN₅ ~ P20/AN₀ 中选择 1 个通道，输入到比较器。

【比较器和控制电路】

进行模拟输入电压和比较电压的比较，将其结果保存到 A/D 转换寄存器。另外，在 A/D 转换结束时，将 AD 转换结束位和 AD 中断请求位置“1”。由于比较器由电容耦合构成，因此在设定 $f(X_{IN})$ 的值时必须使 A/D 转换中的 A/D 转换时钟为大于等于 250kHz。

有关 A/D 转换的注意事项

在以下的使用条件时可能会降低 AD 转换精度：

- (1) 如果 VREF 电压低于 VCC 电压，就容易发生单片机内部的模拟电路噪声，因此与 VREF 电压和 VCC 电压相同时相比，转换精度可能下降。
- (2) VREF 电压不超过 3.0V 时，低温时的转换精度与常温时的转换精度相比，可能会大幅度下降。如果预计在低温使用，推荐 VREF $\geq 3.0V$ 。

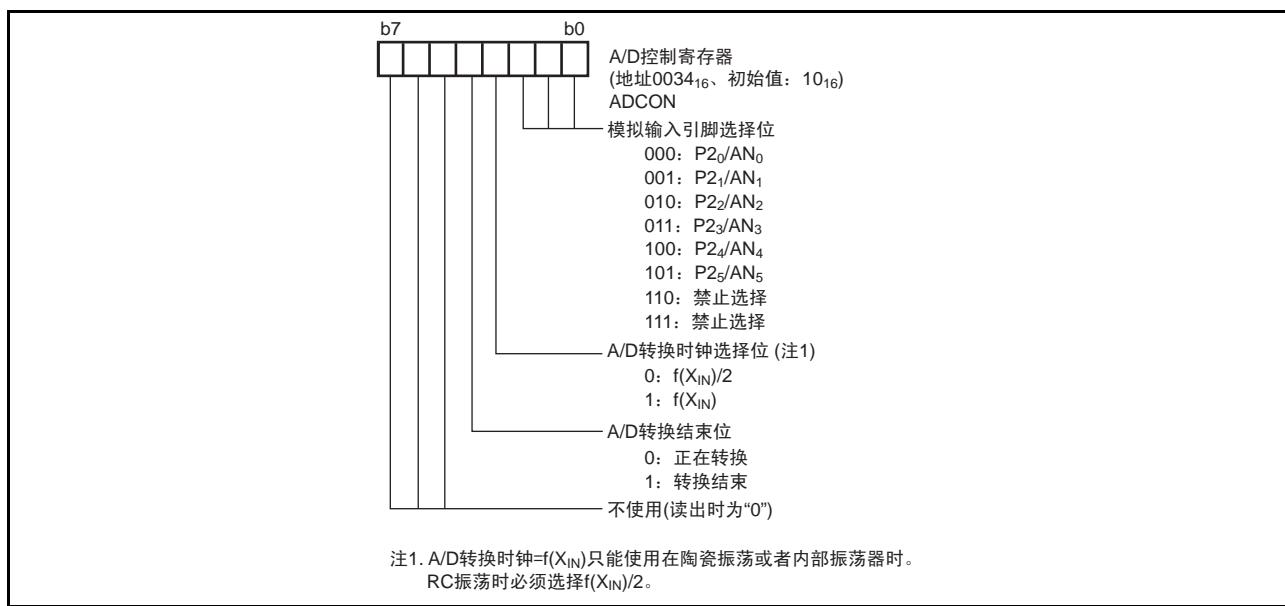


图 62 A/D 控制寄存器的结构

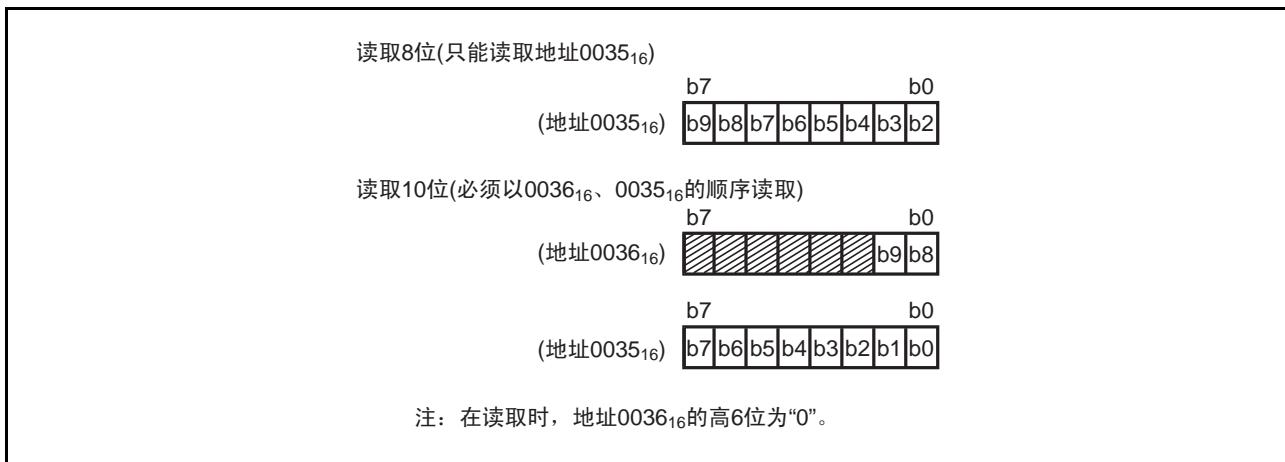


图 63 A/D 转换寄存器的结构

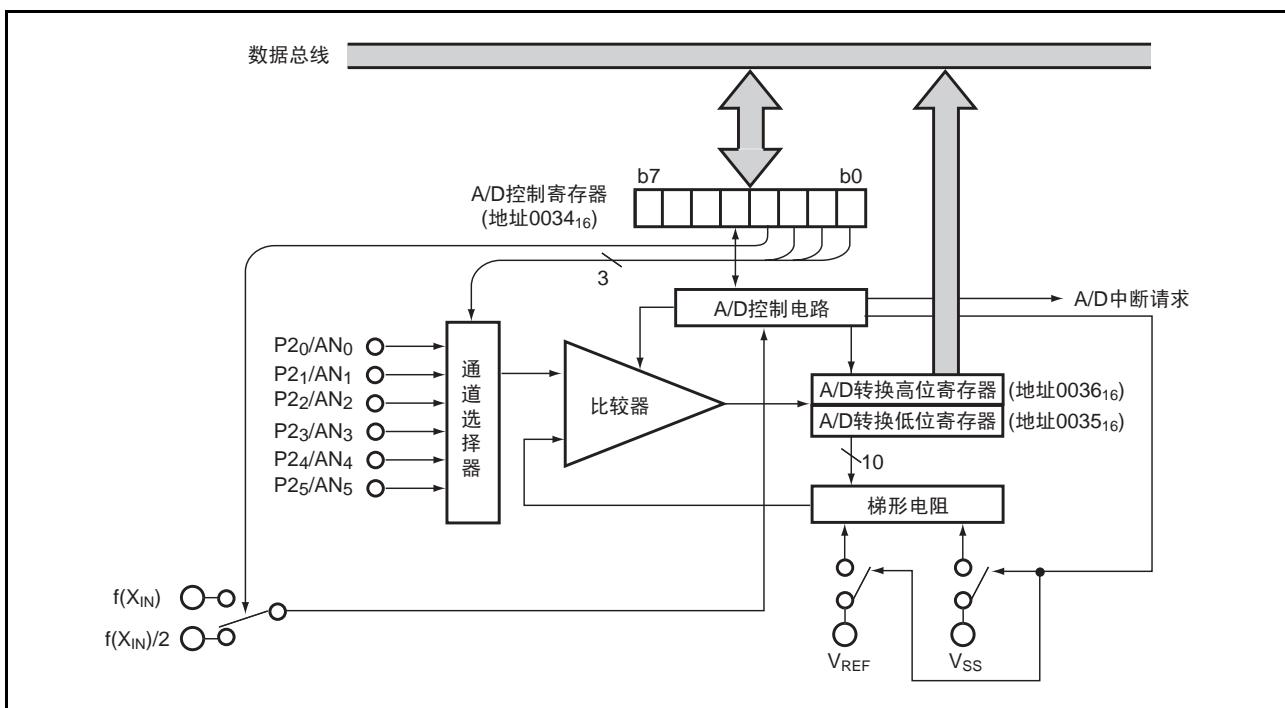


图 64 A/D 转换器框图

看门狗定时器

看门狗定时器提供由于失控等原因而程序不能正常运行时返回复位状态的手段。

看门狗定时器是由 8 位看门狗定时器 H 和 8 位看门狗定时器 L 构成的 16 位计数器。

看门狗定时器的基本运行

(1) 看门狗定时器的启动

看门狗定时器根据功能设定 ROM 数据 2 (FSROM2: 地址 $0FFA_{16}$) 的设定值或者对看门狗定时器控制寄存器 (WDTCON: 地址 0039_{16}) 的写操作开始运行。

在根据 FSROM2 的设定值开始运行时，必须将看门狗定时器启动选择位 (FSROM2 的 bit1) 置 “0”。在此情况下，看门狗定时器在复位解除后开始运行。

在将 FSROM2 设定为无效而通过程序开始运行时，必须对 WDTCON 写任意值。即使在将看门狗定时器启动选择位置 “1” (复位解除后为停止状态) 的状态下，也能通过程序开始运行。

(2) 看门狗定时器的运行

通过复位或者对 WDTCON 写任意数据，将看门狗定时器 H 和看门狗定时器 L 设定为 “ FF_{16} ”。如果看门狗定时器开始运行，就对选择的时钟进行计数，并且由看门狗定时器 H 的下溢产生内部复位。因此，通常编写的程序必须在下溢前对 WDTCON 进行写操作。

如果读 WDTCON，就能读取看门狗定时器 H 的计数器的高 6 位、STP 指令功能选择位和看门狗定时器 H 计数源选择位的值。

(3) 看门狗定时器的计数源时钟

能通过看门狗定时器源时钟选择位 (FSROM2 的 bit0) 选择看门狗定时器的计数源时钟。

如果将看门狗定时器源时钟选择位置 “0”，就总是为内部振荡器输出的 16 分频。

如果将看门狗定时器源时钟选择位置 “1” 或者将 FSROM2 设定为无效，就根据时钟分频比选择位 (CPU 模式寄存器 (CPUM: 地址 $003B_{16}$) 的 bit7 和 bit6) 的设定变化。

如果通过时钟分频比选择位选择倍速模式、高速模式或者中速模式，看门狗定时器的计数源时钟就为 $f(X_{IN})/16$ ；如果选择从内部振荡器供给，就为内部振荡器输出的 16 分频。

(4) 看门狗定时器 H 计数源选择位

能通过 FSROM2 或者程序选择看门狗定时器 H 的计数源。

如果将看门狗定时器 H 计数源选择位 (FSROM2 的 bit2) 置 “0”，看门狗定时器 H 计数源就为看门狗定时器 L 的下溢信号，在 $f(X_{IN})=8MHz$ 时，检测时间为 131.072ms。

如果将看门狗定时器 H 计数源选择位置 “1”，就将看门狗定时器 L 计数源选择的时钟输入到看门狗定时器 H。此时，在 $f(X_{IN})=8MHz$ 时，检测时间为 512μs。

如果将 FSROM2 的设定值设定为无效，就能通过看门狗定时器 H 计数源选择位 (WDTCON 的 bit7) 设定看门狗定时器 H 的计数源。如果将看门狗定时器 H 计数源选择位置 “0”，看门狗定时器 H 计数源就为看门狗定时器 L 的下溢信号；如果置 “1”，就将看门狗定时器 L 计数源选择的时钟输入到看门狗定时器 H。此位在复位后变为 “0”。

(5) STP 指令功能选择位

能通过 FSROM2 或者程序选择 STP 指令的功能。

如果将 STP 指令功能选择位（FSROM2 的 bit3）置“0”，就在执行 STP 指令时转移到停止模式；如果置“1”，就在执行 STP 指令时产生内部复位。在通过 FSROM2 设定 STP 指令的功能时，不能用程序更改。

如果将 FSROM2 的设定值设定为无效，就能通过 STP 指令功能选择位（WDTCON 的 bit6）设定 STP 指令的功能。如果将 STP 指令功能选择位置“0”，就在执行 STP 指令时转移到停止模式；如果置“1”，就在执行 STP 指令时产生内部复位。

此位一旦置“1”，就不能通过程序改为“0”。此位在复位后变为“0”。

有关看门狗定时器的注意事项

1. 因为看门狗定时器在待机模式时运行，所以为了不使看门狗定时器下溢，必须对看门狗定时器控制寄存器进行写操作。
2. 看门狗定时器在停止模式时不运行，但是在 STP 指令解除后的振荡稳定时间内运行。所以为了在此时间内不使看门狗定时器下溢，必须在执行 STP 指令前将看门狗定时器控制寄存器（地址 3916）的看门狗定时器 H 计数源选择位（bit7）置“0”。
3. STP 指令功能选择位（看门狗定时器控制寄存器（地址 3916）的 bit6）在复位后只能写入 1 次。由于在写入后被锁定，因此不能改写。

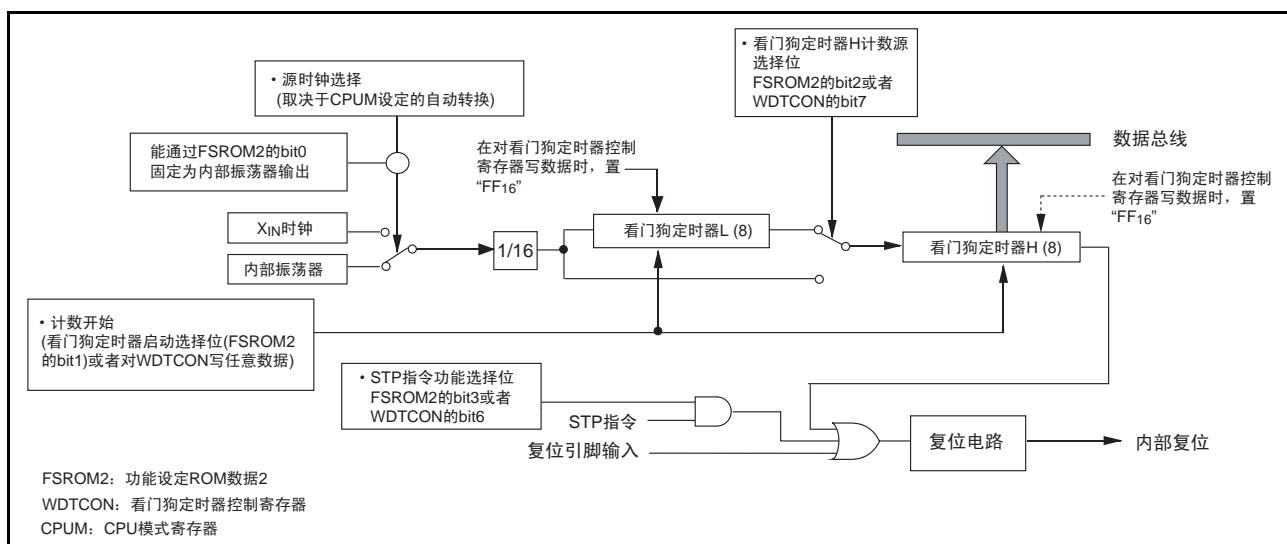


图 65 看门狗定时器的框图

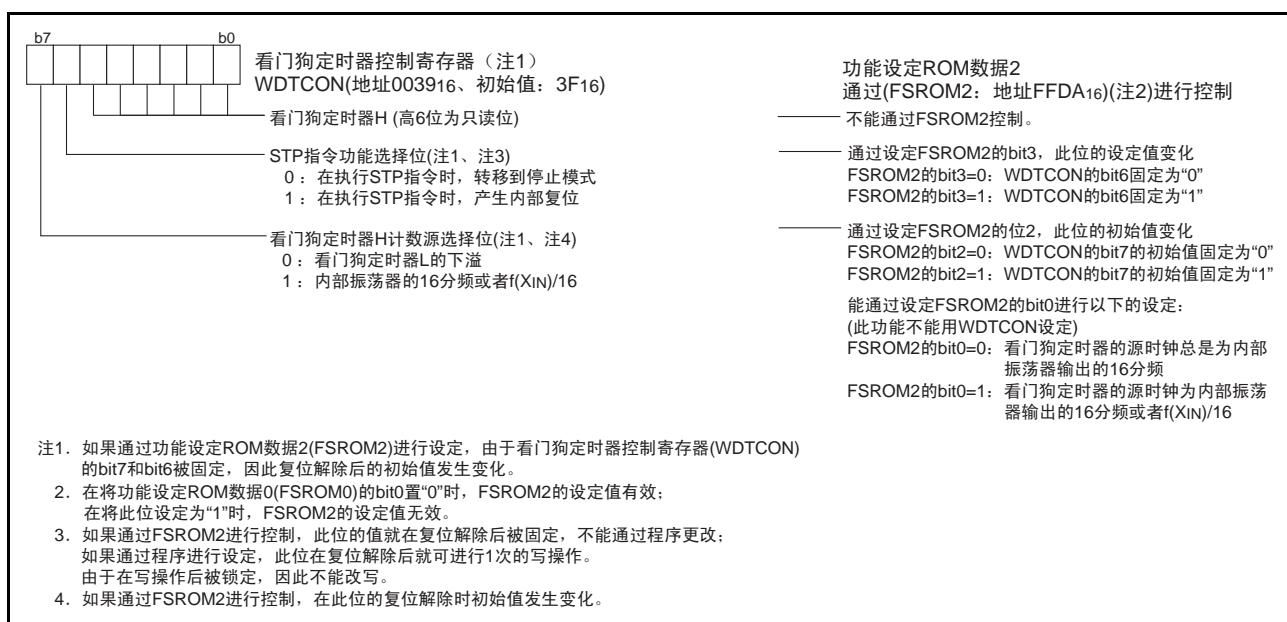


图 66 看门狗定时器控制寄存器的结构

上电复位电路

本产品通过内部上电复位电路，在接通电源时自动进行系统复位（上电复位）。为了使内部上电复位电路有效运行，必须将接通电源时的 $V_{CC} = 0 \sim 1.8V$ 的电压上升时间设定在 1ms 以下。

另外，在使用内部上电复位电路时，必须将 RESET 引脚连接上拉电阻。

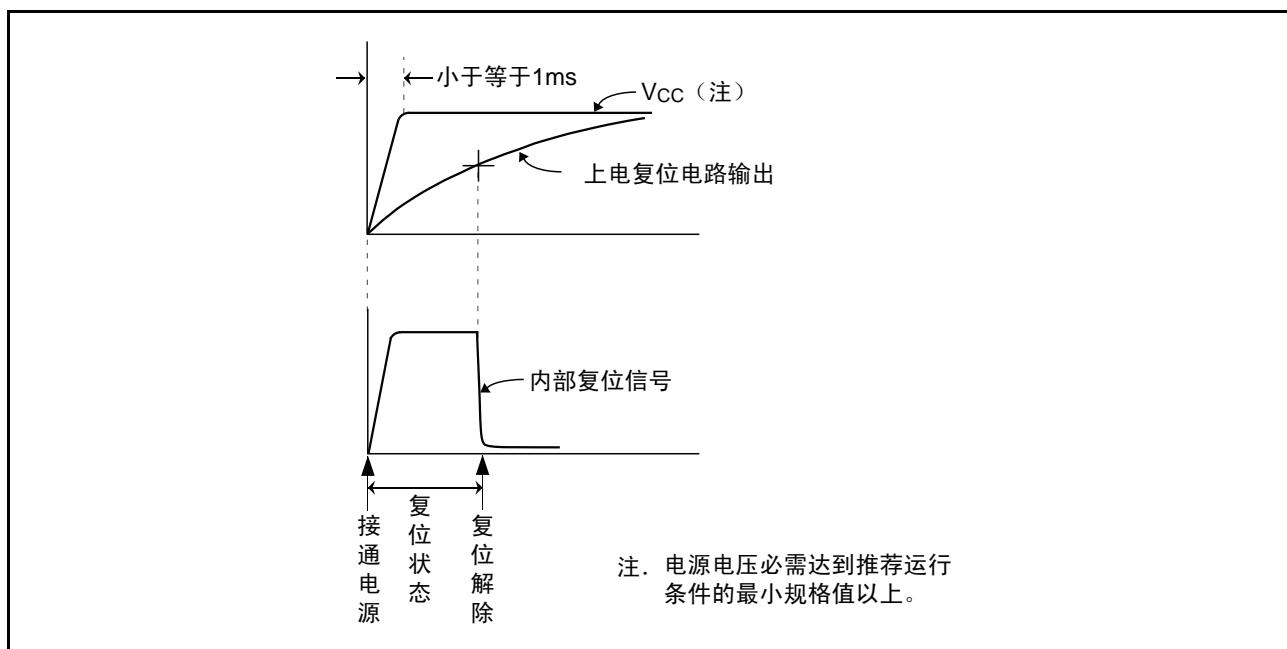


图 67 上电复位电路的运行波形图

低电压检测电路

本产品内置了低电压检测电路，监视运行中的电源电压，当电源电压降低到规定值以下（Typ:1.90V）时，对单片机进行系统复位。

在将功能设定 ROM 数据 0 的 bit1 置“1”时，低电压检测电路有效。

另外，如果将功能设定 ROM 数据 0 的 bit3 置“1”，即使在停止模式，低电压检测电路也有效；如果将此位置“0”，低电压检测电路就在停止模式时停止功能，减少消耗电流。

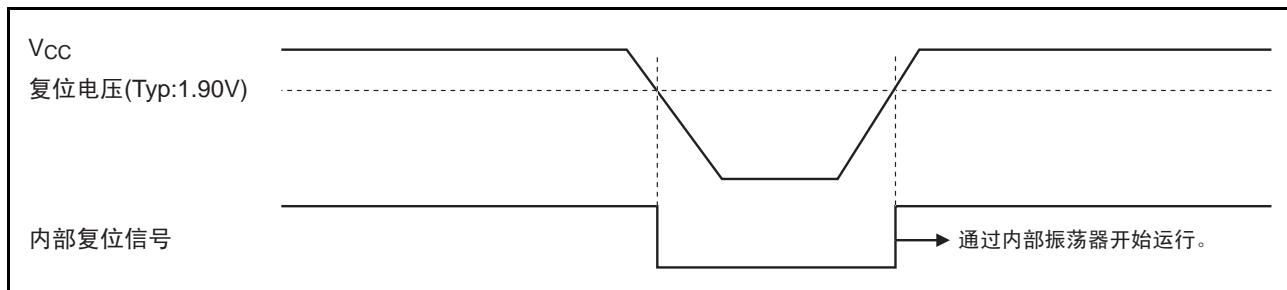


图 68 低电压检测电路的运行波形图

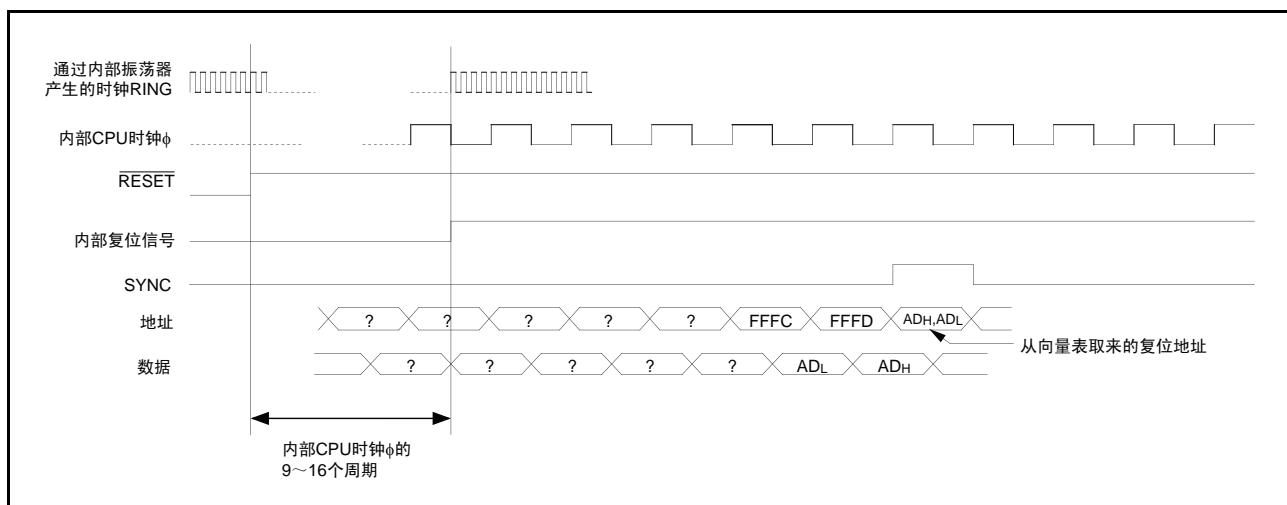


图 69 复位时的时序图

	地址	寄存器内容
(1) 端口P0方向寄存器(P0D)	0001 ₁₆	00 ₁₆
(2) 端口P1方向寄存器(P1D)	0003 ₁₆	X X X 0 0 0 0 0 0
(3) 端口P2方向寄存器(P2D)	0005 ₁₆	00 ₁₆
(4) 端口P3方向寄存器(P3D)	0007 ₁₆	00 ₁₆
(5) 中断源设定寄存器(INTSET)	000A ₁₆	00 ₁₆
(6) 中断源识别寄存器(INTDIS)	000B ₁₆	00 ₁₆
(7) 比较寄存器(低位)(CMPL)	0010 ₁₆	00 ₁₆
(8) 比较寄存器(高位)(CMPH)	0011 ₁₆	00 ₁₆
(9) 捕捉/比较寄存器R/W指针(CCRP)	0012 ₁₆	00 ₁₆
(10) 捕捉软件触发寄存器(CSTR)	0013 ₁₆	00 ₁₆
(11) 比较寄存器重加载寄存器(CMPR)	0014 ₁₆	00 ₁₆
(12) 端口P0P3驱动能力控制寄存器(DCCR)	0015 ₁₆	00 ₁₆
(13) 上拉控制寄存器(PULL)	0016 ₁₆	00 ₁₆
(14) 端口P1P3控制寄存器(P1P3C)	0017 ₁₆	00 ₁₆
(15) 串行I/O1状态寄存器(SIO1STS)	0019 ₁₆	1 0 0 0 0 0 0 0 0
(16) 串行I/O1控制寄存器(SIO1CON)	001A ₁₆	00 ₁₆
(17) UART1控制寄存器(UART1CON)	001B ₁₆	1 1 1 0 0 0 0 0 0
(18) 定时器A、B模式寄存器(TABM)	001D ₁₆	00 ₁₆
(19) 捕捉/比较端口寄存器(CCPR)	001E ₁₆	00 ₁₆
(20) 捕捉/比较定时器触发源选择寄存器(TMSR)	001F ₁₆	00 ₁₆
(21) 捕捉模式寄存器(CAPM)	0020 ₁₆	00 ₁₆
(22) 比较输出模式寄存器(CMOM)	0021 ₁₆	00 ₁₆
(23) 捕捉/比较状态寄存器(CCSR)	0022 ₁₆	00 ₁₆
(24) 比较中断源设定寄存器(CISR)	0023 ₁₆	00 ₁₆
(25) 定时器A(低位)(TAL)	0024 ₁₆	FF ₁₆
(26) 定时器A(高位)(TAH)	0025 ₁₆	FF ₁₆
(27) 定时器B(低位)(TBL)	0026 ₁₆	FF ₁₆
(28) 定时器B(高位)(TBH)	0027 ₁₆	FF ₁₆
(29) 预分频器1(PRE1)	0028 ₁₆	FF ₁₆
(30) 定时器1(T1)	0029 ₁₆	01 ₁₆
(31) 定时器计数源设定寄存器(TCSS)	002A ₁₆	00 ₁₆
(32) 定时器X模式寄存器(TXM)	002B ₁₆	00 ₁₆
(33) 预分频器X(PREX)	002C ₁₆	FF ₁₆
(34) 定时器X(TX)	002D ₁₆	FF ₁₆
(35) 串行I/O2状态寄存器(SIO2STS)	002F ₁₆	1 0 0 0 0 0 0 0 0
(36) 串行I/O2控制寄存器(SIO2CON)	0030 ₁₆	00 ₁₆
(37) UART2控制寄存器(UART2CON)	0031 ₁₆	1 1 1 0 0 0 0 0 0
(38) A/D控制寄存器(ADCON)	0034 ₁₆	0 0 0 1 0 0 0 0 0
(39) 内部振荡器分频比选择寄存器(RODR)	0037 ₁₆	0 0 0 0 0 0 1 0
(40) MISRG	0038 ₁₆	00 ₁₆
(41) 看门狗定时器控制寄存器(WDTCON) (注3)	0039 ₁₆	0 0 1 1 1 1 1 1 1
(42) 中断边沿选择寄存器(INTEDGE)	003A ₁₆	00 ₁₆
(43) CPU模式寄存器(CPUM) (注3)	003B ₁₆	1 0 0 0 0 0 0 0 0
(44) 中断请求寄存器1(IREQ1)	003C ₁₆	00 ₁₆
(45) 中断请求寄存器2(IREQ2)	003D ₁₆	00 ₁₆
(46) 中断控制寄存器1(ICON1)	003E ₁₆	00 ₁₆
(47) 中断控制寄存器2(ICON2)	003F ₁₆	00 ₁₆
(48) 处理器状态寄存器	(PS)	X X X X X 1 X X X
(49) 程序计数器	(PC _H)	地址FFF _D ₁₆ 的内容
	(PC _L)	地址FFF _C ₁₆ 的内容
(50) 看门狗定时器H		FF ₁₆
(51) 看门狗定时器L		FF ₁₆

注 1. X不定。
 2. 在复位时，上述以外的寄存器和RAM的内容不定，必须设定初始值。
 3. 如果通过功能设定ROM数据2(FSROM2)进行设定，复位时的初始值发生变化。

图 70 复位时的内部状态

时钟发生电路

在 X_{IN} 和 X_{OUT} 之间，能通过连接谐振器形成振荡电路，或者通过连接电阻和电容形成 RC 振荡电路。使用谐振器时的电容等常数因谐振器不同而不同，所以必须使用谐振器制造厂家的推荐值。

在 X_{IN} 和 X_{OUT} 之间内置了反馈电阻（根据不同条件有需要外接反馈电阻的情况）。

(1) 内部振荡器的运行

在由内部振荡器供给主时钟的情况下，必须将 X_{IN} 引脚接到 V_{CC}，将 X_{OUT} 引脚开路。

另外，必须注意，因为内部振荡器的时钟频率由于电源电压和工作环境温度会发生很大变动，所以在设计应用产品时，对这种频率变动，必须得到充分容限。

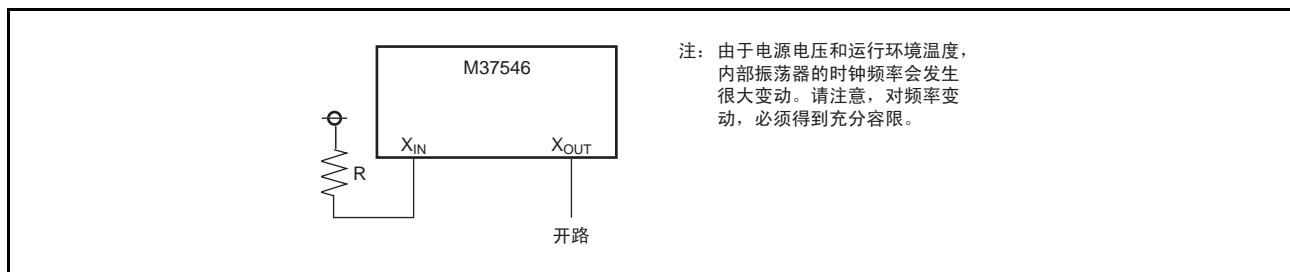


图 71 内部振荡器运行时的 X_{IN}、X_{OUT} 引脚的处理

(2) 使用陶瓷谐振器时

在对主时钟使用陶瓷谐振器的情况下，必须以最短距离将陶瓷谐振器和外部电路连接到 X_{IN} 引脚和 X_{OUT} 引脚。内置了反馈电阻。

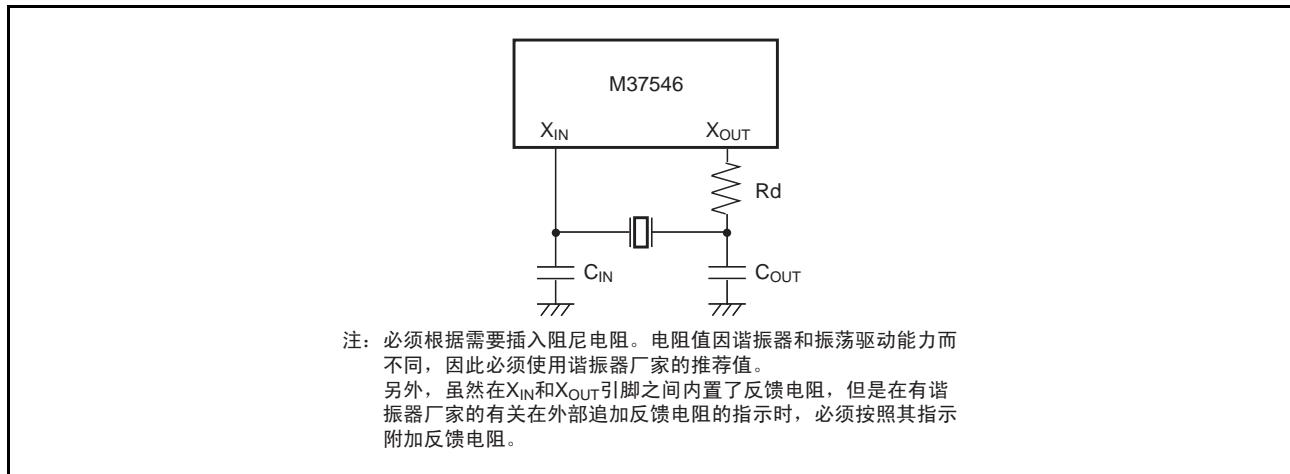


图 72 陶瓷谐振器外接电路

(3) 使用 RC 振荡时

在对主时钟使用 RC 振荡的情况下，必须将 X_{IN} 引脚和 X_{OUT} 引脚短路，以最短距离连接电阻 R 和电容 C 外接电路。

另外，必须注意 RC 振荡用的电阻 R 和电容 C 的常数不能使由单片机的电特性偏差、电阻和电容自身的电特性偏差引起的频率变动超过输入频率的规格。

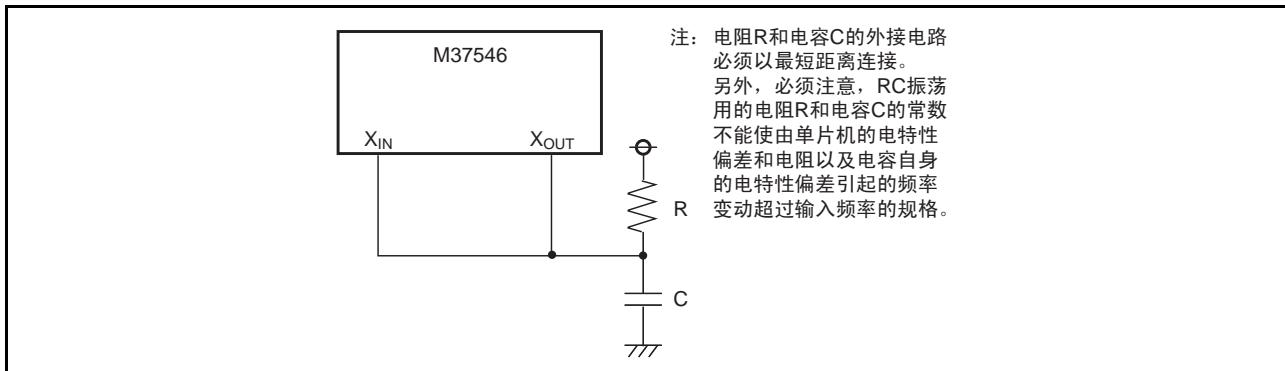


图 73 RC 外接振荡电路

(4) 使用外部时钟时

在对主时钟使用外部时钟信号的情况下，必须将时钟发生源连接到 X_{IN} 引脚，将 X_{OUT} 引脚开路。

另外，CPU 模式寄存器（地址 003B₁₆）的振荡方式选择位必须选择“0”（陶瓷振荡）。

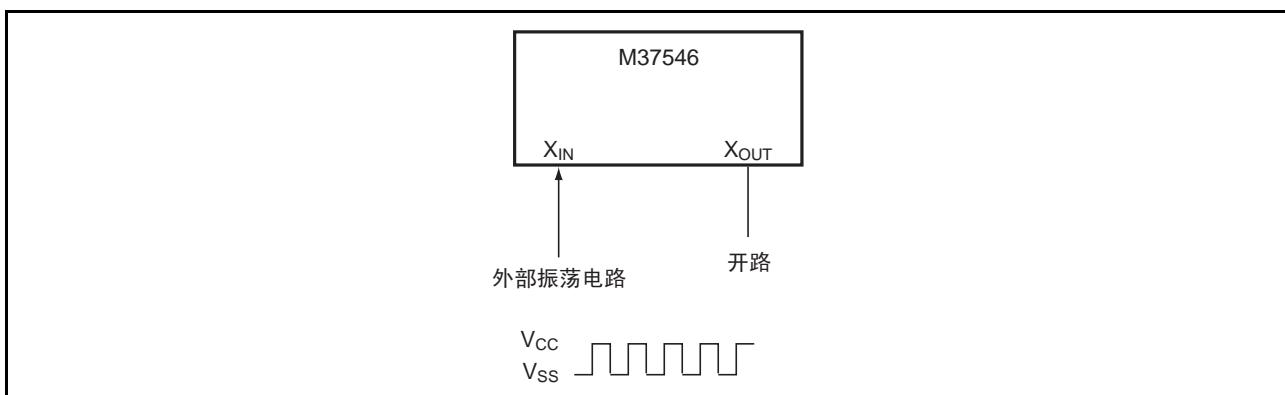


图 74 外部时钟输入电路

振荡控制

(1) 停止模式

如果执行 STP 指令，内部时钟 ϕ 就在“H”状态停止，并且停止 X_{IN} 的振荡。此时，在解除 STP 指令后，当振荡稳定时间设定位为“0”时，定时器 1 被设定成“01₁₆”，预分频器 1 被设定成“FF₁₆”。一方面，在解除 STP 指令后，当振荡稳定时间设定位为“1”时，由于没有给定时器 1 和预分频器 1 设定任何值，因此必须设定符合使用的谐振器的振荡稳定时间的等待时间。 X_{IN} 的 16 分频被强制连接到预分频器 1 的输入。如果接受外部中断，就重新开始振荡，但是，在定时器 1 下溢前，内部时钟 ϕ 保持“H”状态，在定时器 1 下溢后，开始供给内部时钟 ϕ 。这是由于在使用陶瓷振荡等时，启动振荡需要时间的缘故。在通过复位重新开始振荡时，由于不产生等待时间，因此在到振荡稳定为止期间，必须给 RESET 引脚外加“L”电平，或者在从复位解除后到振荡稳定为止的期间，通过内部振荡器的运行设定等待时间。

(2) 等待模式

如果执行 WIT 指令，内部时钟 ϕ 就在“H”状态停止，但是振荡器不停止振荡。如果接受复位或者中断，就解除停止内部时钟 ϕ 。由于振荡器没有停止振荡，因此能立即执行指令。

在解除 STP 或者 WIT 状态时，为了能接受中断，必须在执行 STP 或者 WIT 指令前，先将所对应的中断允许位置“1”。

有关时钟发生电路的注意事项

解除 STP 指令后，在振荡稳定时间设定位被置“1”的情况下，必须在充分评价所使用的谐振器的振荡稳定时间后，对定时器 1 和预分频器 1 设定值。

- 陶瓷振荡和RC振荡的转换

在复位解除后，根据内部振荡器开始运行。此时，通过改变CPU模式寄存器的bit5，陶瓷振荡或者RC振荡有效。

- 关于倍速模式

在陶瓷振荡时，能使用倍速模式。在RC振荡时，不能使用。

- 关于改写CPU模式寄存器

CPU模式寄存器的bit5、bit1和bit0是控制振荡方式选择的位和控制单片机运行模式的位。为避免由失控等误写引起的单片机死锁，这些位在复位解除后只能改写一次。在改写后，由于被锁定，对该位的写操作变为无效（仿真器专用的MCU“M37542RSS”除外）。

另外，对bit5、bit1和bit0以外的位，使用读/修改/写指令（SEB、CLB等指令）时，也会锁定这些位。

- 关于时钟分频比、 X_{IN} 振荡控制以及内部振荡器振荡控制的转换

根据CPU模式寄存器的时钟分频比选择位（bit7、bit6）、 X_{IN} 振荡控制位（bit4）以及内部振荡器振荡控制位（bit3）的设定值，时钟发生电路能实现如图81所示的状态转移。

转换时，必须注意图中的转移限制事项。

- 计数源（定时器1、定时器A、定时器B、串行I/O1、串行I/O2、A/D转换器、看门狗定时器）

这些功能的计数源受CPU模式寄存器的时钟分频比选择位的影响。

当选择f(X_{IN})振荡作为CPU时钟时，f(X_{IN})时钟由这些功能来供给；当选择内部振荡器输出作为CPU时钟时，内部振荡器输出由这些功能来供给。

但是，看门狗定时器也受到功能设定ROM数据的影响。

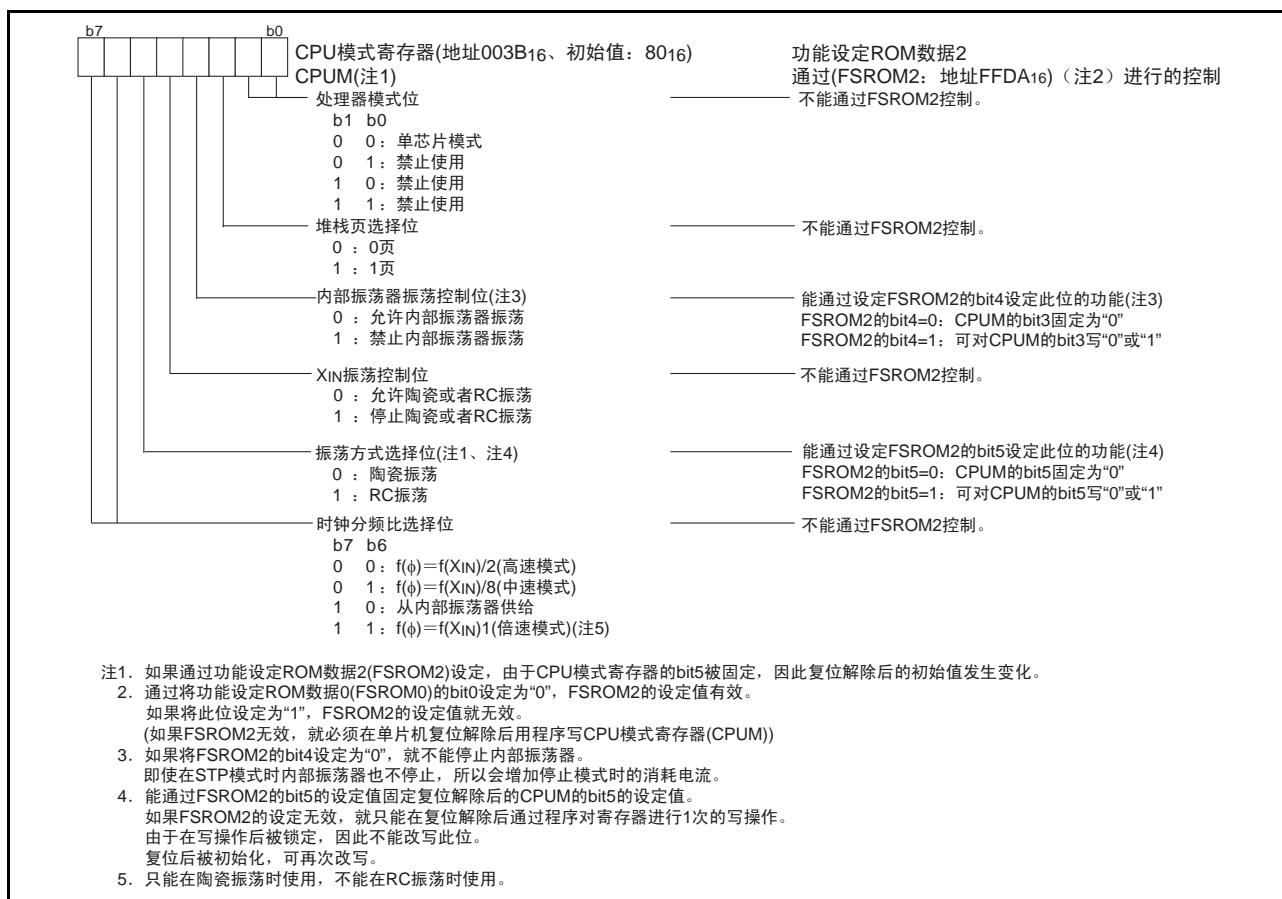


图 75 CPU 模式寄存器的结构

内部振荡器分频比

转换内部振荡器的分频比。

在内部振荡器模式，通过设定内部振荡器分频比选择寄存器，能从无分频、2分频、8分频、128分频中选择供给CPU的时钟。另外，供给外围电路的时钟不受内部振荡器分频比选择寄存器设定值的影响。

有关内部振荡器的注意事项

1. 在复位解除后，对于供给CPU的时钟，选择内部振荡器的8分频时钟。
2. 在从陶瓷振荡或者RC振荡转换成内部振荡器运行模式时，对于供给CPU的时钟，选择内部振荡器8的分频时钟。
3. 在不使用X_{IN}时钟而只用内部振荡器来运行单片机的情况下，必须进行以下设定：
 - CPU模式寄存器... “10010x002” (x=0或者1)
 - X_{IN}引脚... 必须经由电阻连接到VCC。
 - X_{OUT}引脚... 必须开路。

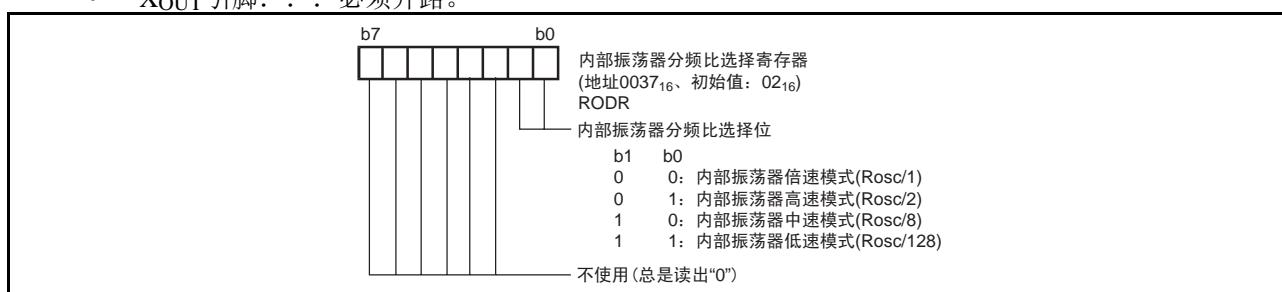


图 76 内部振荡器分频比选择寄存器的结构

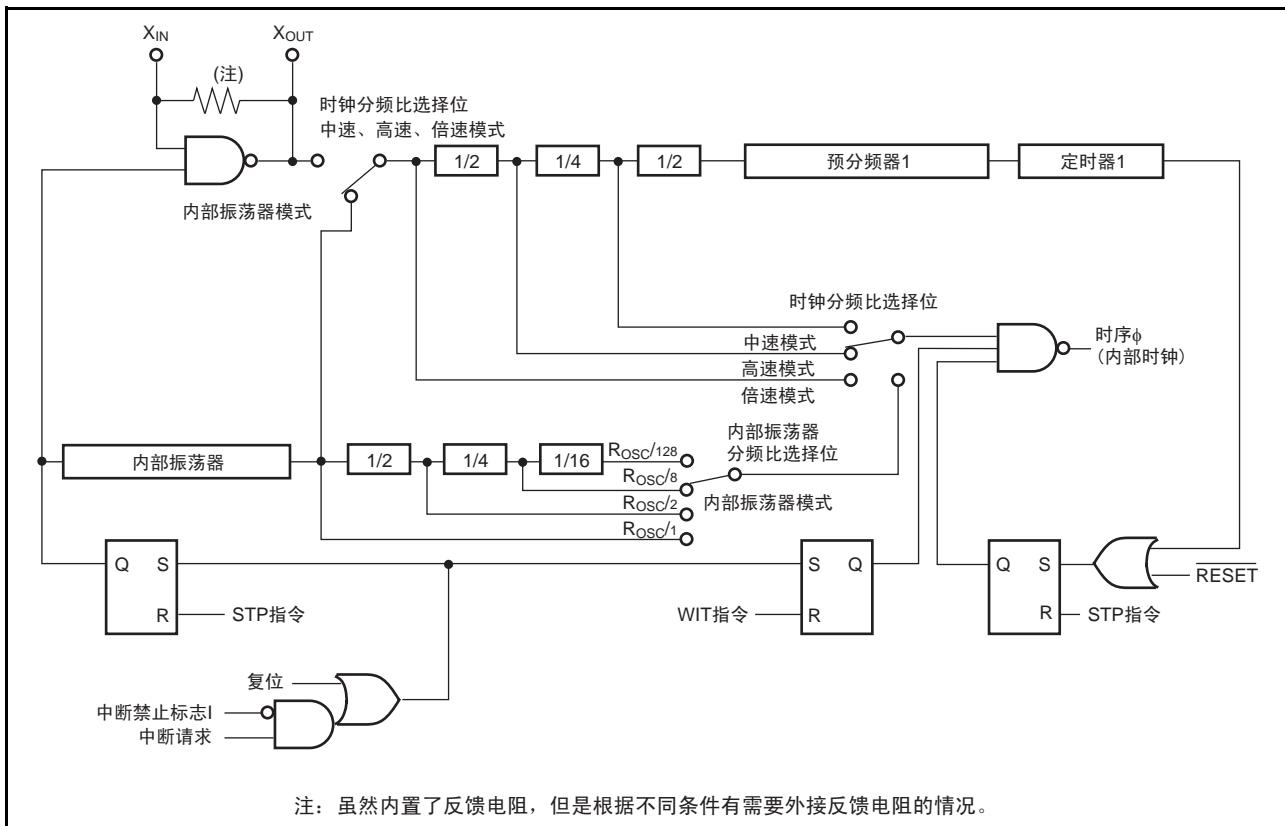


图 77 系统时钟发生电路框图（在陶瓷振荡时）

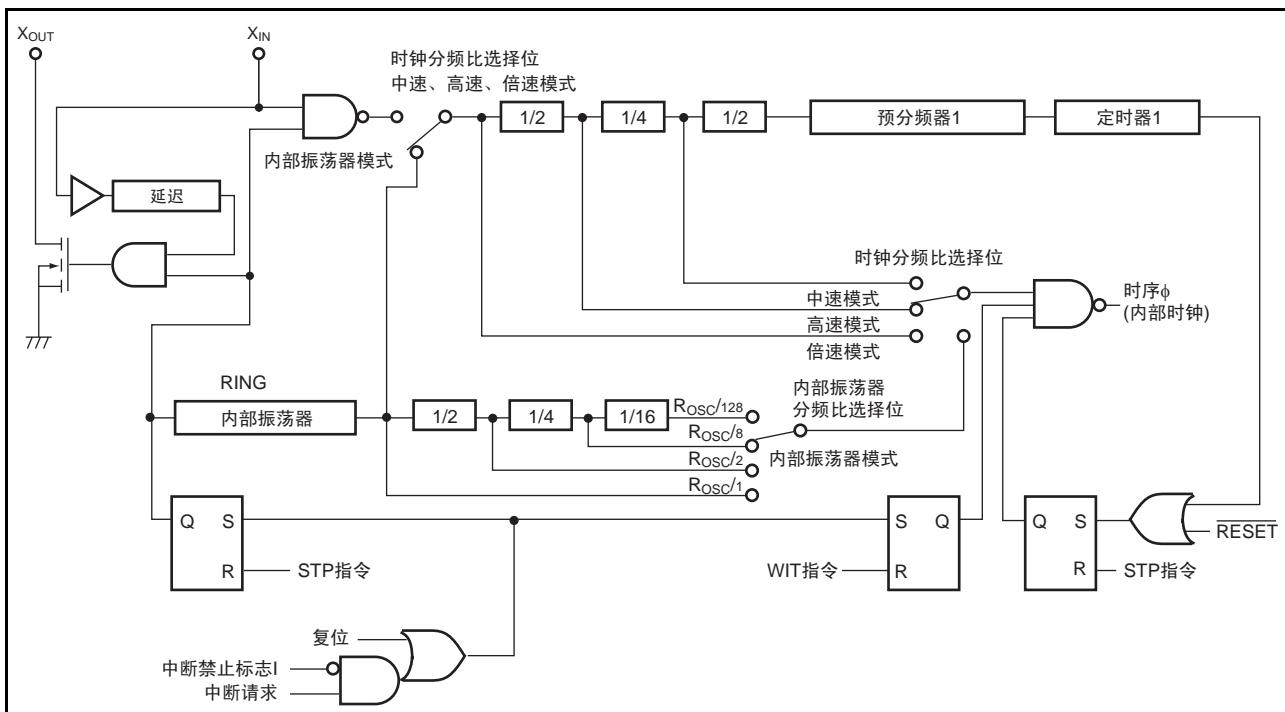


图 78 系统时钟发生电路框图（在 RC 振荡时）

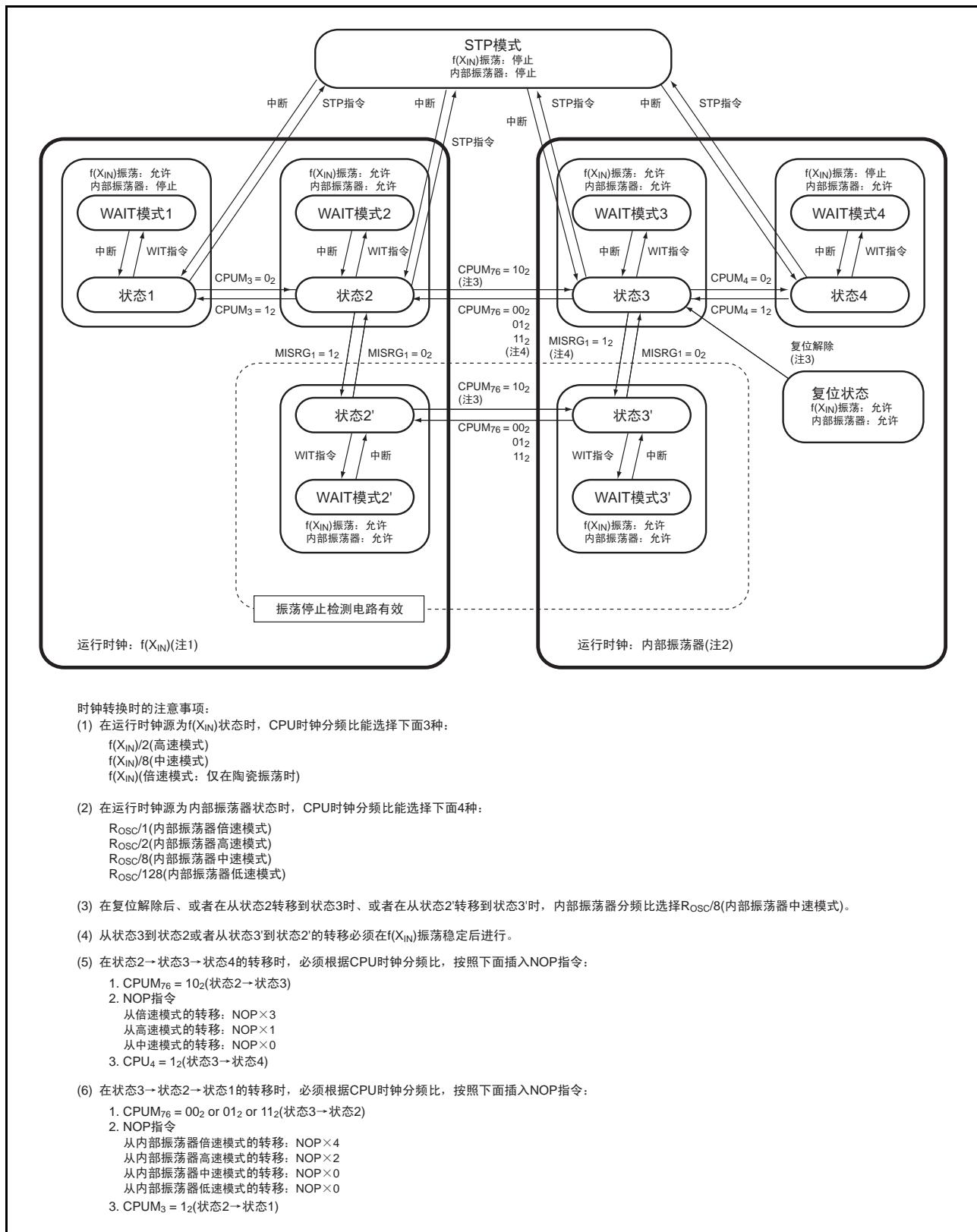


图 79 时钟发生电路状态转移图

振荡停止检测电路

振荡停止检测电路检测由于陶瓷谐振器或者振荡电路的断线等所引起的振荡停止。在使用振荡停止检测电路时，必须使内部振荡器运行。

通过将陶瓷或者 RC 振荡停止检测功能有效位设定成“1”，振荡停止检测电路变为有效。在振荡停止检测电路为有效状态下，通过内部振荡器监视陶瓷或者 RC 振荡电路的运行状态，当检测到振荡停止时，振荡停止检测状态位变为“1”。另外，通过将振荡停止复位允许位设定成“1”，在检测到振荡停止时产生内部复位。

在发生振荡停止复位时，振荡停止检测状态位不被初始化而保持“1”。在外部复位时，由于振荡停止检测状态位被初始化成“0”，因此通过确认此位，能判断因振荡停止而产生的复位。

有关振荡停止检测电路的注意事项

1. 由于在“图81 振荡停止检测电路的状态转移图”所记载的“状态2' a”，即使X_{IN}的振荡停止，也不产生复位，并且单片机停止，因此不能转移到“状态2' a”。
 2. 由于陶瓷或者RC振荡停止检测功能有效位在振荡停止复位时不被初始化，因此在从由振荡停止引起的复位返回后，振荡停止检测电路仍为有效。
 3. 振荡停止检测状态位在以下的情况被初始化：
 - 外部复位
 - 给陶瓷或者RC振荡停止检测功能有效位写“0”。
 4. 仿真器专用MCU“M37542RSS”没有振荡停止检测电路。

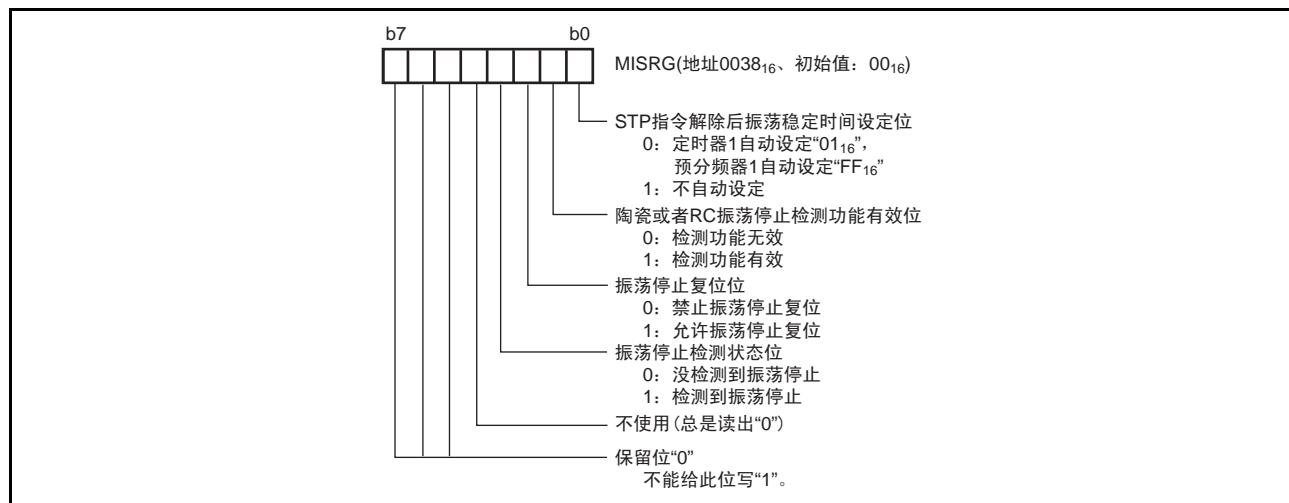


图 80 MISRG 的结构

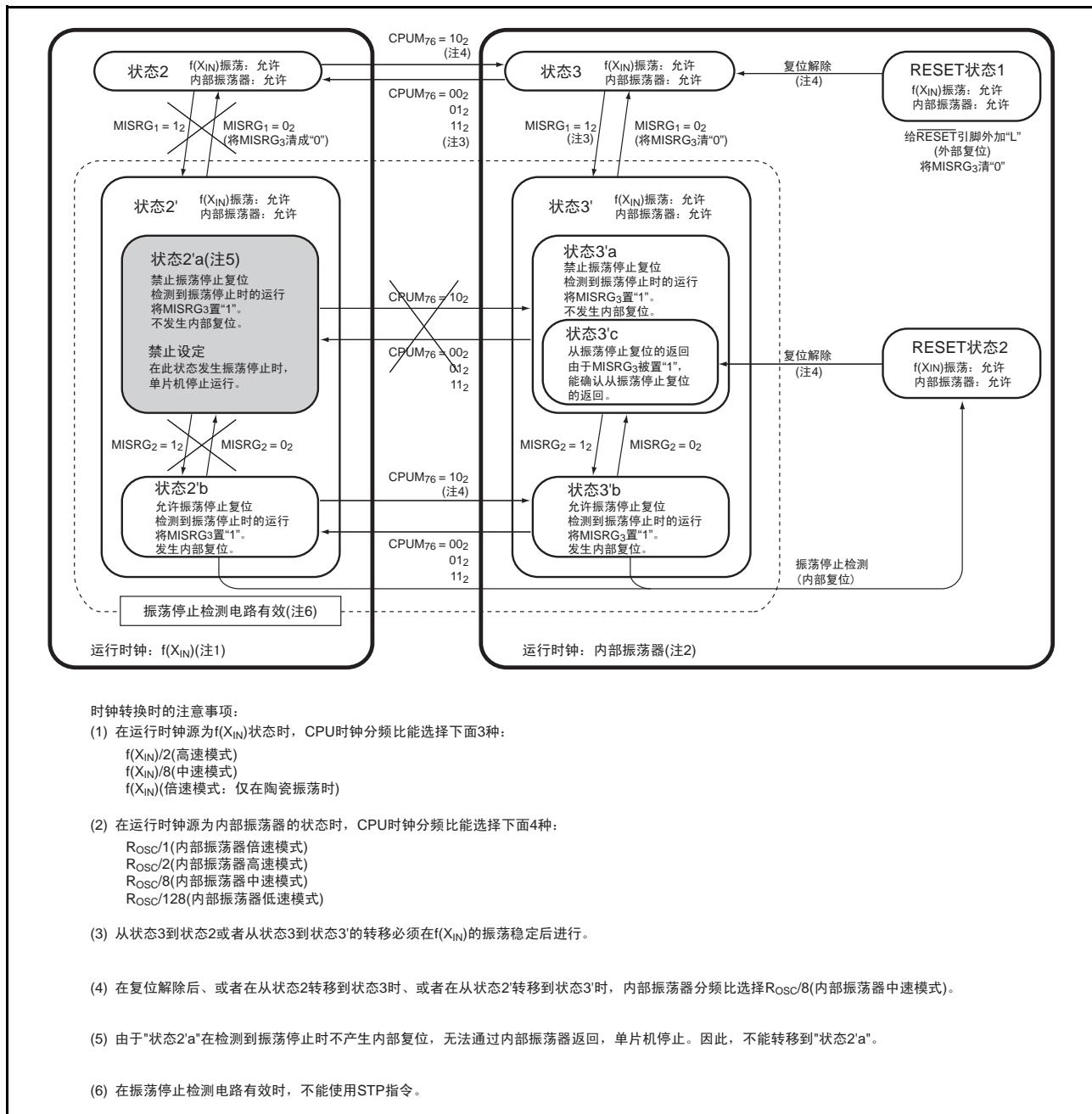


图 81 振荡停止检测电路的状态转移图

功能设定 ROM 区

功能设定 ROM 区的分配图如图 82 所示。

在 Renesas 出货检查时，给地址 FFD416 ~ FFD716 的 Renesas 出货检查区写随机数。不能改写此区域的数据。另外，在如用户程序取得校验和的情况时，需要避开此区域。

另外，地址 FFD816 ~ FFDA16 的功能设定 ROM 数据 0 ~ 2 是用 QzROM 的写数据设定外围功能的区域。设定在此区域中的数据在单片机复位解除时有效。

用于禁止读取 QzROM 区的 ROM 代码保护分配在地址 FFDB16。

【功能设定 ROM 数据】 FSROM0、FSROM1、FSROM2

功能设定 ROM 数据 0 ~ 2（地址 FFD816 ~ FFDA16）是设定外围功能模式的区域。通过给此区域设定值，就在单片机复位解除时设定各自的外围功能运行模式。有关外围功能的具体运行，请参照各外围功能的说明部分：

- CPU 模式寄存器：16 页
- 看门狗定时器：65 页
- 低电压检测电路：68 页

能通过将功能设定 ROM 数据 0（地址 FFD816）的 bit0 置“1”，将功能设定 ROM 数据 2（地址 FFDA16）的 bit5 ~ bit0 的设定值置为无效。如果将功能设定 ROM 数据 2（地址 FFDA16）的 bit5 ~ bit0 的设定值置为无效，就能通过对各自的寄存器写设定值来设定外围功能的运行模式。

【ROM 代码保护】

通过给 ROM 区代码保护（地址 FFDB16）设定“00₁₆”，就禁止串行编程器读取内部 QzROM 区。



图 82 功能设定 ROM 区的分配图

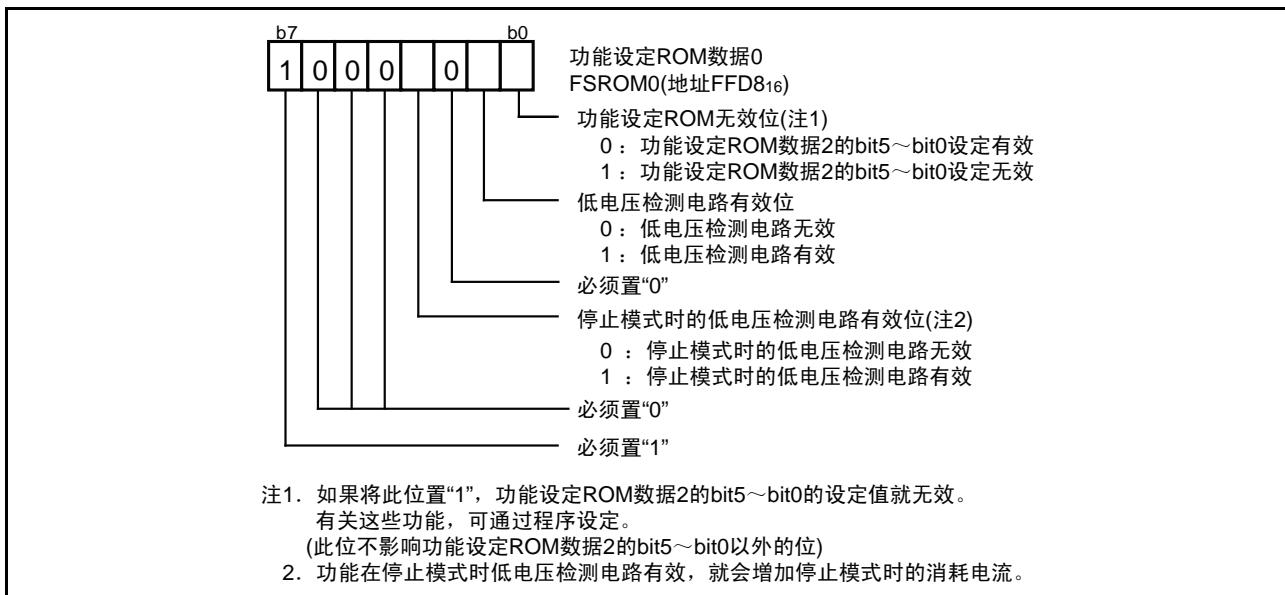


图 83 功能设定 ROM 数据 0 的结构

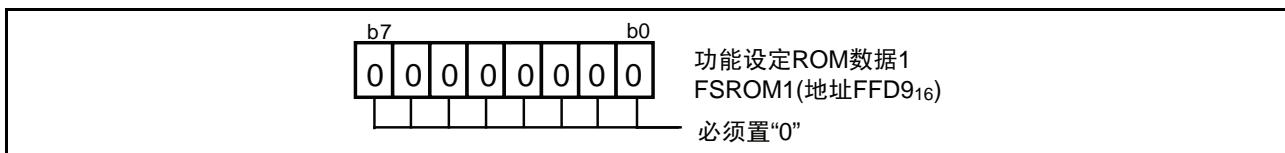


图 84 功能设定 ROM 数据 1 的结构

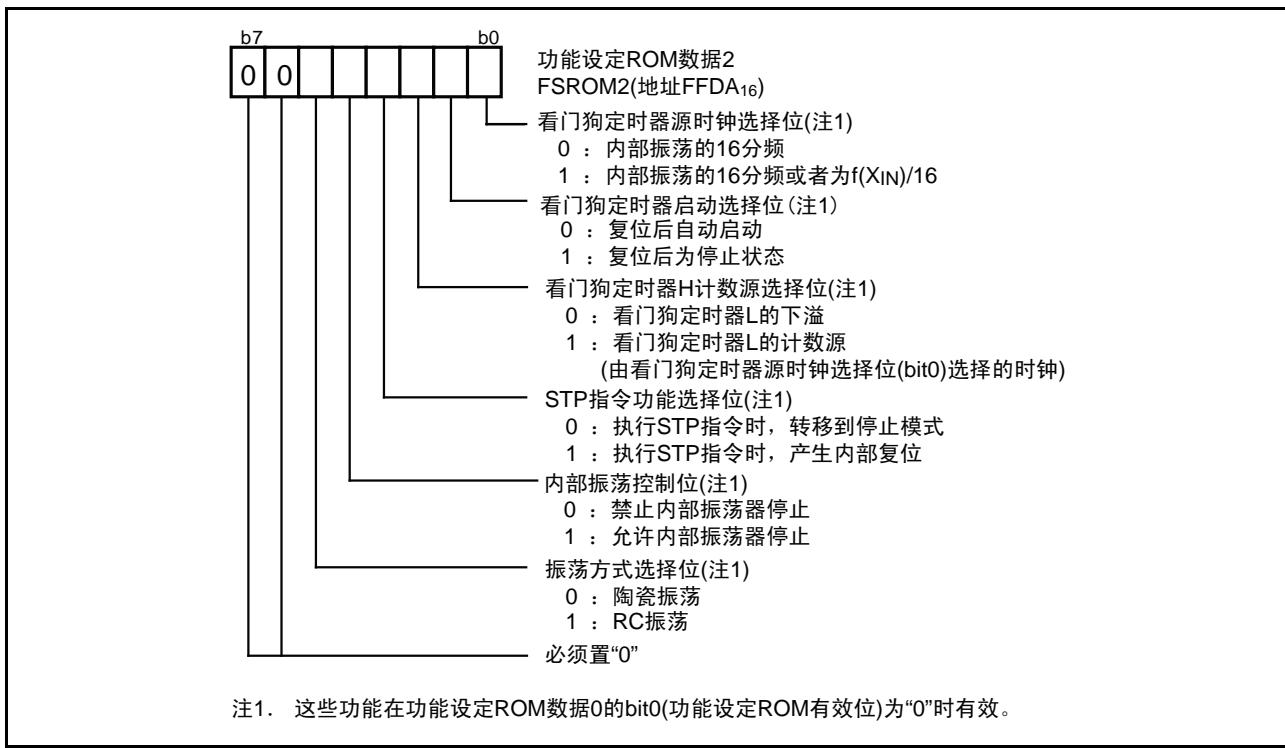


图 85 功能设定 ROM 数据 2 的结构

编程时的注意事项

(1) 处理器状态寄存器

处理器状态寄存器（PS）除了中断禁止标志 I 为“1”以外，刚复位后的值不定。因此，必须对影响程序执行的标志进行初始化。

尤其是影响运算本身的 T 标志、D 标志，必须初始化。

(2) 中断

如果在用程序改变中断请求位的内容后立即执行 BBC、BBS 指令，也只能执行改变前的内容，因此为了执行改变后的内容，必须在执行至少一条指令后进行。

(3) 10 进制运算

- 在 10 进制运算时，将 10 进制模式标志 D 置“1”，然后执行 ADC 指令或者 SBC 指令，此时，必须从 ADC 指令或者 SBC 指令后执行至少一条指令之后，执行 SEC 指令、CLC 指令或者 CLD 指令。
- 在 10 进制模式，N（负）、V（溢出）以及 Z（零）标志无效。

(4) 端口

不能读取端口方向寄存器的值。也就是说，不能使用 LDA 指令、T 标志为“1”时的存储器运算指令、将方向寄存器的值作为寻址值的寻址方式以及 BBC、BBS 等位测试指令。另外，也不能使用 CLB、SEB 等位操作指令、方向寄存器的读 / 修改 / 写指令（ROR 等指令）。必须使用 LDM、STA 等指令设定方向寄存器。

(5) A/D 转换

在 A/D 转换期间，不能执行 STP 指令。

(6) 指令执行时间

指令执行时间请参照《740 族软件手册》，通过所记载的周期数乘以内部时钟 ϕ 的周期得到。内部时钟 ϕ 的周期在倍速模式时和 XIN 相同，在高速模式时为 XIN 周期的 2 倍，在中速模式时为 XIN 周期的 8 倍。

(7) CPU 模式寄存器

振荡方式选择位、处理器模式位在复位解除后只能进行一次改写。由于改写后被锁定，所以该位的写操作变为无效（仿真器专用的 MCU 除外）。

时钟分频比选择位的倍速模式只能在陶瓷振荡时使用，在 RC 振荡时不能使用。

不能通过 bit3 和 bit4 来停止运行时钟源所选择的时钟。

有关硬件的注意事项

(1) 电源引脚的使用

为了防止闩锁现象，必须在使用时将高频特性良好的电容作为旁路电容外接到元件的电源引脚（VCC 引脚）和 GND 引脚（Vss 引脚）之间。建议旁路电容使用 $0.01\mu F \sim 0.1\mu F$ 的陶瓷电容。

另外，必须以最短距离将旁路电容外接在电源引脚和 GND 引脚之间。

使用时的注意事项

有关噪声的注意事项

请按如下的处理，进行防止噪声的系统设计和充分的评价。

1. 缩短布线的长度

(1) 封装

为了缩短总布线的长度，请尽可能采用小型封装的单片机。

<理由>

单片机的封装影响布线的长度，与 DIP 相比，使用小型 QFP 等可缩短总布线的长度，不易受噪声的影响。

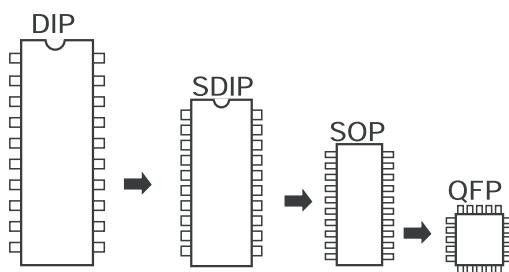


图 86 封装的选择

(2) 复位引脚的布线

缩短连接复位引脚的布线。特别是连接在复位引脚和 V_{SS} 引脚之间的电容必须用尽可能短（20mm 以内）的布线连接。

<理由>

因为时序必要条件规定了输入到复位引脚的脉冲幅度，所以，如果短于规定幅度的脉冲噪声输入到复位引脚，就在单片机内部完全进入初始化状态前复位被解除，导致程序失控。

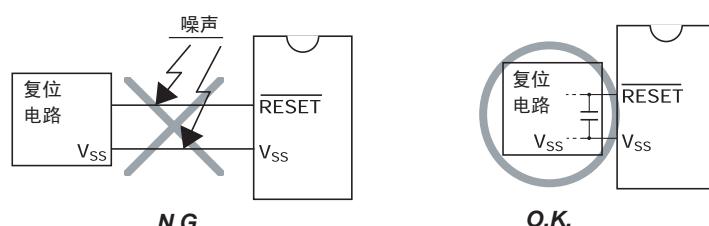


图 87 复位输入引脚的布线

(3) 时钟输入 / 输出引脚的布线

- 请缩短连接时钟输入 / 输出引脚的布线。
- 请用最短（20mm 以内）的布线将连接谐振器的电容的接地端引线和单片机 VSS 引脚连接。
- 将用于振荡的 VSS 布线作为振荡电路专用布线，与其它 VSS 布线分离。

<理由>

如果有噪声侵入时钟输入 / 输出引脚，时钟的波形就会发生紊乱，导致误动作和失控。另外，如果因噪声引起单片机 VSS 电平和振荡器 VSS 电平之间的电位差，正确的时钟就不能输入到单片机。

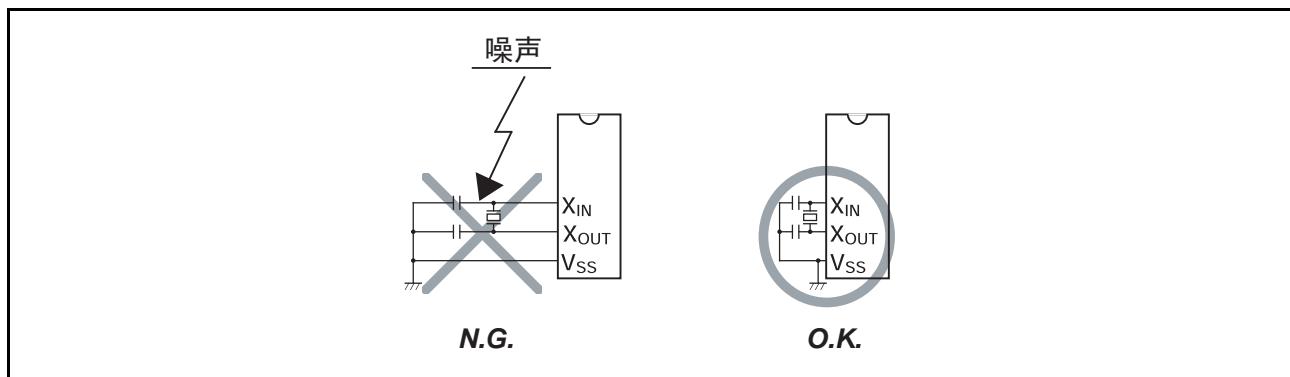


图 88 时钟输入 / 输出引脚的布线

(4) VPP 引脚的布线

请将 VPP 引脚尽量从提供给单片机 VSS 引脚的 GND 以最短距离连接到最近的 GND 布线。另外，通过串联插入约 $5k\Omega$ 的电阻并连接到 GND，有可能改善噪声耐量能力。此时也尽量从提供给单片机 VSS 引脚的 GND 以最短距离连接到 GND 布线。

<理由>

VPP 引脚是内部 QzROM 的电源输入引脚。

在将程序写到 QzROM 时，为了产生写电流，降低了 VPP 引脚的阻抗，所以噪声容易侵入。如果噪声从 VPP 引脚侵入，QzROM 的指令码和数据的读操作就不能正常进行而导致失控。

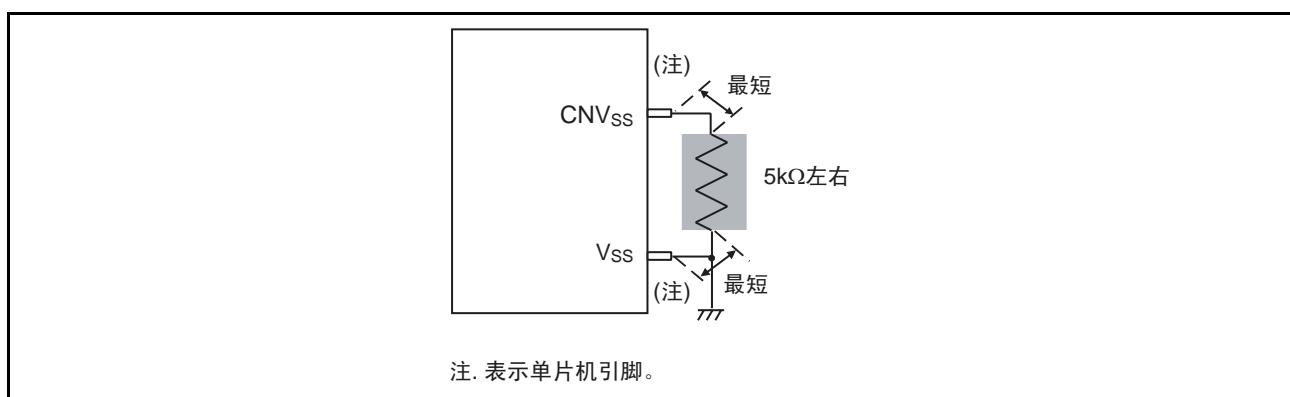


图 89 QzROM 版 VPP 引脚的布线

2. 在 Vss—Vcc 的布线之间插入旁路电容

必须用以下的方法在 Vss—Vcc 的布线之间插入旁路电容。

- Vss 引脚—旁路电容间的布线长度和 VCC 引脚—旁路电容间的布线长度相等
- 尽量缩短 Vss 引脚—旁路电容之间的布线长度和 VCC 引脚—旁路电容之间的布线长度
- Vss 布线和 VCC 布线使用比其它的信号线粗的布线
- 电源布线经由旁路电容连接到 Vss 引脚和 VCC 引脚

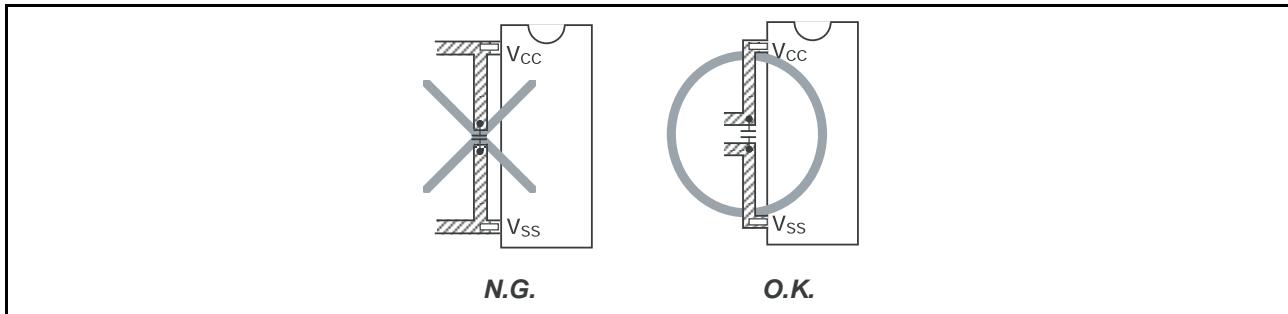


图 90 Vss—Vcc 布线间的旁路电容

3. 模拟输入引脚的布线处理

- 请在模拟输入引脚和模拟信号线之间（尽可能靠近单片机的位置）串联插入 $100\sim1k\Omega$ 左右的电阻。
- 请在模拟输入引脚和 Vss 引脚之间（尽可能靠近 Vss 引脚的位置）插入容量为 1000pF 左右的电容，并且模拟输入引脚—电容间的布线长度和 Vss 引脚—电容间的布线长度必须相等。

<理由>

通常，传感器的输出信号输入到模拟输入引脚（A/D 转换器 / 比较器输入引脚等）。在很多情况下，传感器被配置在远离单片机电路板的位置，连到模拟输入引脚的接线必然很长。因为这样长的接线变成将噪声引入单片机内部的天线，所以容易将噪声引入模拟输入引脚。

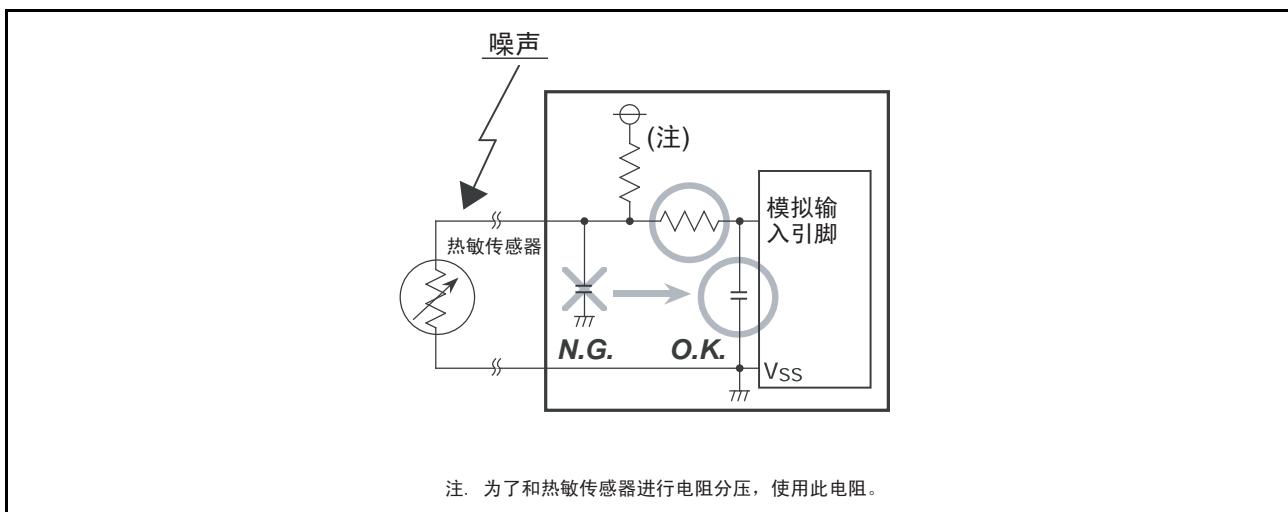


图 91 模拟信号线、电阻和电容

- 模拟输入引脚连接电压比较器的电容。因此，在模拟输入引脚连接高阻抗的模拟信号源时，根据 A/D 转换时的充放电电流有可能得不到充分精度的情况。为了获得更安定的 A/D 转换结果，请减小模拟信号源的阻抗或者在模拟输入引脚连接平滑电容。

4. 对谐振器的考虑

必须考虑不能让其它信号影响产生单片机运行基本时钟的谐振器。

(1) 大电流信号线的回避

请尽可能将超过单片机处理的电流值范围的大电流信号线远离单片机（特别是谐振器）。

<理由>

在使用单片机的系统中存在控制马达、LED 和热敏头等的信号线。在这些信号线有大电流流动时，由于互感而产生噪声。

(2) 高速电平变化信号线的回避

请尽可能将高速电平变化的信号线远离谐振器和振荡器的布线。

另外，高速电平变化的信号线不能和时钟相关的信号线及其它易受噪声影响的信号线交叉。

<理由>

高速电平变化的 CNTR 引脚等的信号根据上升或者下降时的电平变化，容易影响其它信号线。特别是在和时钟相关的信号线交叉时，时钟的波形发生紊乱，导致误动作和失控。

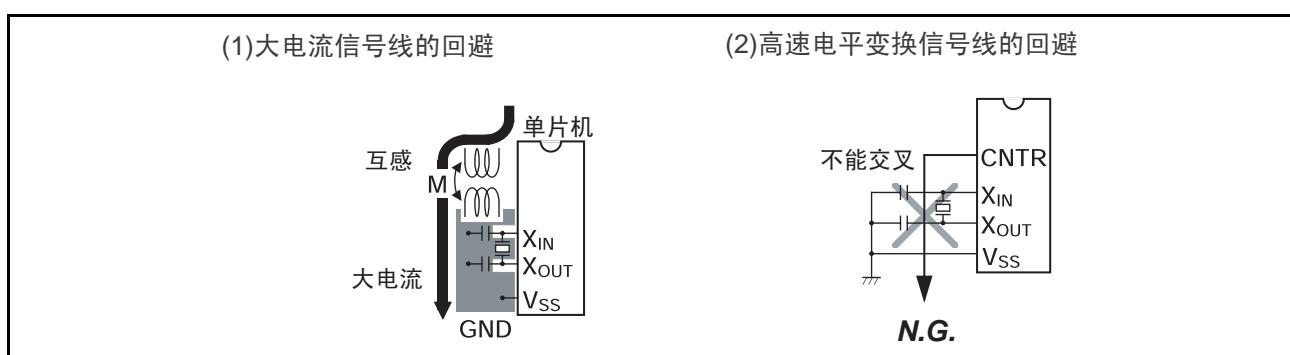


图 92 大电流信号线的布线和高速电平变化信号线的布线

(3) 用 V_{SS} 布线保护

在双面电路板的情况下，必须将谐振器安装面（安装面）的背面（焊接面）且与谐振器相同位置设计成 V_{SS} 布线。

此 V_{SS} 布线必须用最短的布线与单片机的 V_{SS} 引脚连接，并且独立于其它 V_{SS} 布线。

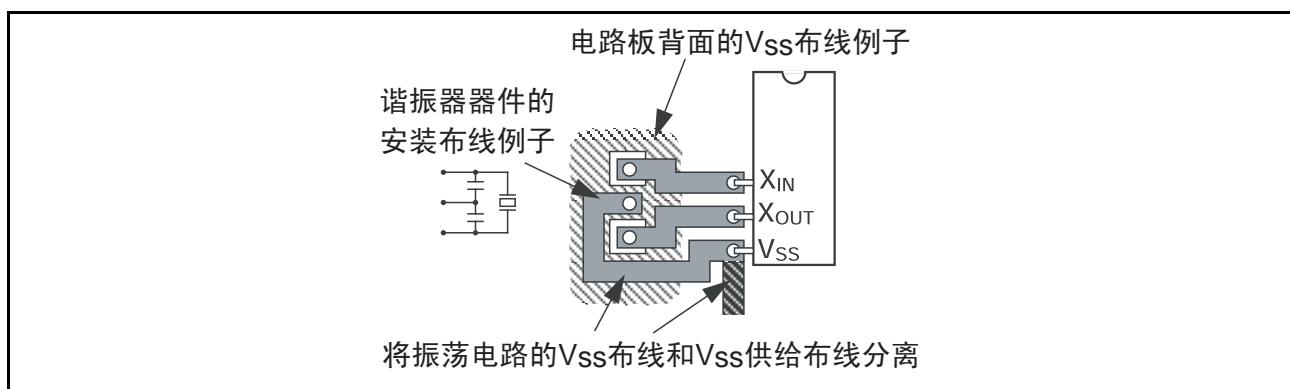


图 93 谐振器背面的 V_{SS} 布线

5. 输入 / 输出端口的处理

输入 / 输出端口必须按下列要点用硬件和软件对应:

<硬件方面>

- 必须在输入/输出端口串联插入大于等于 100Ω 以上的电阻。

<软件方面>

- 对于输入端口，必须用程序多次读取输入端口，确认电平的一致。
- 对于输出端口，由于存在因噪声而引起输出数据反转的可能性，所以必须以固定周期对端口锁存器进行重写。
- 必须以固定周期对方向寄存器和上拉控制寄存器进行重写。

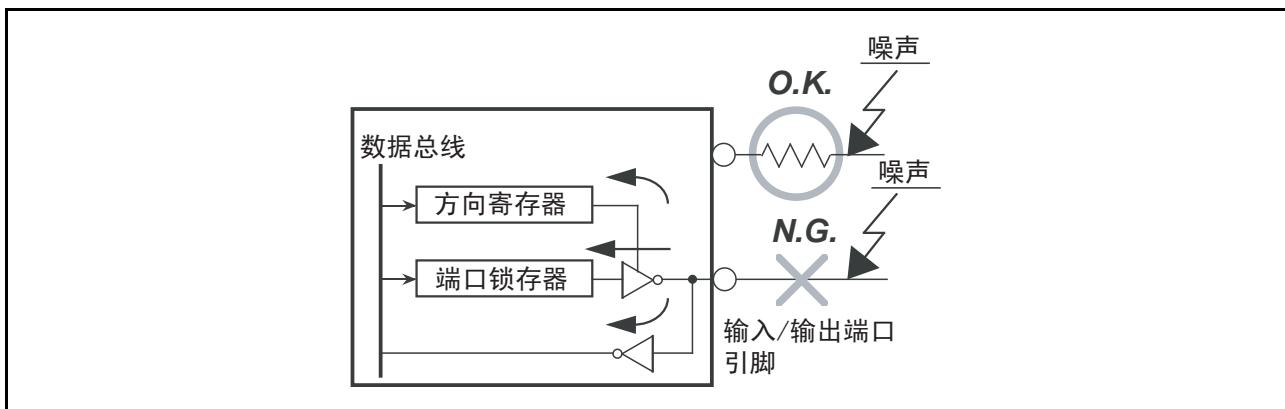


图 94 输入 / 输出端口的处理

6. 通过软件实现看门狗定时器功能

在由噪声等引起单片机失控时，能用软件看门狗定时器检测失控，并且让其返回到正常运行。此方法与用硬件看门狗定时器检测失控的方法具有同等效果或更好的效果。软件看门狗定时器的例子如下所示：

在此例中，主程序监视中断处理程序的运行，中断处理程序监视主程序的运行，在检测到异常时让单片机恢复到正常运行状态。

但是，此例的前提是在主程序的1个周期中进行多次中断处理。

<主程序>

- 将1字节的RAM分配给软件看门狗定时器（SWDT），在主程序的每1个周期给SWDT写一次初始值N。初始值N满足以下条件：

$$N + 1 \geq \text{在主程序的1个周期中进行的中断处理次数}$$

【注】 由于主程序的周期根据中断处理等发生变化，因此必须给初始值N设定充裕的值。

- 通过将SWDT的内容和设定初始值N后的中断处理次数进行比较，监视中断处理程序的运行。
- 如果在中断处理中SWDT的内容不发生变化，就将中断处理程序判断为异常运行，进行向程序初始化转移等的恢复处理。

<中断处理程序>

- 每1次中断处理，SWDT的内容减1。
- 以几乎固定的周期（固定的中断处理次数）将SWDT的内容返回到初始值N，来确认主程序的正常动作。
- SWDT的内容不被设定成初始值N而继续减1，如果SWDT的内容小于等于0，就将主程序判断为异常运行，进行向程序初始化转移等的恢复处理。

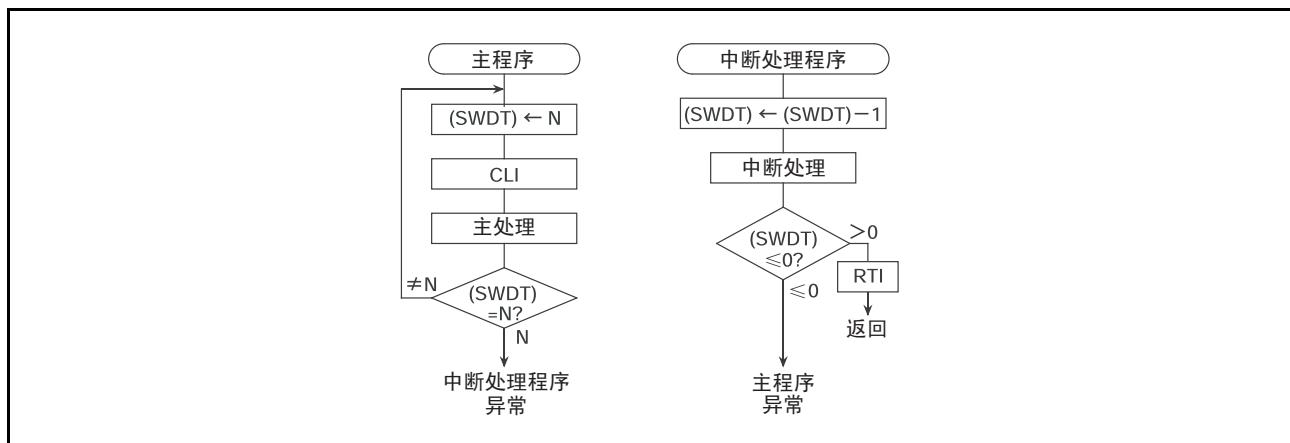


图 95 软件看门狗定时器

7546 群的电特性

(1) 绝对最大额定值

表 9 绝对最大额定值

符号	项 目	条 件	额 定 值	单 位
V _{CC}	电源电压		-0.3 ~ 6.5	V
V _I	输入电压 P ₀₀ ~ P ₀₇ 、P ₁₀ ~ P ₁₄ 、P ₂₀ ~ P ₂₅ 、 P ₃₀ ~ P ₃₄ 、P ₃₇ 、V _{REF}	以 V _{SS} 引脚为基准测定。 在测定输入电压时，输出 晶体管为截止状态。	-0.3 ~ V _{CC} +0.3	V
V _I	输入电压 <u>RESET</u> 、X _{IN}		-0.3 ~ V _{CC} +0.3	V
V _I	输入电压 CNV _{SS}		-0.3 ~ V _{CC} +0.3	V
V _O	输出电压 P ₀₀ ~ P ₀₇ 、P ₁₀ ~ P ₁₄ 、P ₂₀ ~ P ₂₅ 、 P ₃₀ ~ P ₃₄ 、P ₃₇ 、X _{OUT}		-0.3 ~ V _{CC} +0.3	V
P _d	功耗	Ta = 25°C	300 (注 1)	mW
T _{opr}	工作环境温度		-20 ~ 85	°C
T _{stg}	保存温度		-40 ~ 125	°C

【注】 1. PLQP0032GB-A 封装产品为 200mW。

(2) 推荐运行条件

表 10 推荐运行条件 (1)

(在没有指定时, $V_{CC}=1.8 \sim 5.5V$, $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项 目	规 格 值			单 位	
		最 小	典 型	最 大		
V_{CC}	电源电压 (陶瓷振荡时)	8MHz 运行时	4.5	5.0	5.5	V
		6.5MHz 运行时	4.0	5.0	5.5	V
		2MHz 运行时	2.4	5.0	5.5	V
		1MHz 运行时	2.2	5.0	5.5	V
	(高、中速模式)	8MHz 运行时	4.0	5.0	5.5	V
		4MHz 运行时	2.4	5.0	5.5	V
		2MHz 运行时	2.2	5.0	5.5	V
	电源电压 (RC 振荡时)	4MHz 运行时	4.0	5.0	5.5	V
		2MHz 运行时	2.4	5.0	5.5	V
		1MHz 运行时	2.2	5.0	5.5	V
电源电压 (内部振荡器时)			1.8	5.0	5.5	V
V_{SS}	电源电压		0			V
V_{REF}	模拟基准电压		1.8		V_{CC}	V
V_{IH}	“H”输入电压 $P_{00} \sim P_{07}$ 、 $P_{10} \sim P_{14}$ 、 $P_{20} \sim P_{25}$ 、 $P_{30} \sim P_{34}$ 、 P_{37}	0.8 V_{CC}		V_{CC}	V	
V_{IH}	“H”输入电压 (在选择 TTL 输入电平时) P_{10} 、 P_{12} 、 P_{13} 、 P_{37} (注 1)	2.0		V_{CC}	V	
V_{IH}	“H”输入电压 RESET、 X_{IN}	0.8 V_{CC}		V_{CC}	V	
V_{IL}	“L”输入电压 $P_{00} \sim P_{07}$ 、 $P_{10} \sim P_{14}$ 、 $P_{20} \sim P_{25}$ 、 $P_{30} \sim P_{34}$ 、 P_{37}	0		0.2 V_{CC}	V	
V_{IL}	“L”输入电压 (在选择 TTL 输入电平时) P_{10} 、 P_{12} 、 P_{13} 、 P_{37} (注 1)	0		0.8	V	
V_{IL}	“L”输入电压 RESET、 CNV_{SS}	0		0.2 V_{CC}	V	
V_{IL}	“L”输入电压 X_{IN}	0		0.16 V_{CC}	V	
$\Sigma I_{OH(peak)}$	“H”输出总峰值电流 (注 2) $P_{00} \sim P_{07}$ 、 $P_{10} \sim P_{14}$ 、 $P_{20} \sim P_{25}$ 、 $P_{30} \sim P_{34}$ 、 P_{37}			-80	mA	
$\Sigma I_{OL(peak)}$	“L”输出总峰值电流 (注 2) $P_{10} \sim P_{14}$ 、 $P_{20} \sim P_{25}$			80	mA	
$\Sigma I_{OL(peak)}$	“L”输出总峰值电流 (注 2) $P_{00} \sim P_{07}$ 、 $P_{30} \sim P_{34}$ 、 P_{37}			80	mA	
$\Sigma I_{OH(avg)}$	“H”输出总平均电流 (注 2) $P_{00} \sim P_{07}$ 、 $P_{10} \sim P_{14}$ 、 $P_{20} \sim P_{25}$ 、 $P_{30} \sim P_{34}$ 、 P_{37}			-40	mA	
$\Sigma I_{OL(avg)}$	“L”输出总平均电流 (注 2) $P_{10} \sim P_{14}$ 、 $P_{20} \sim P_{25}$			40	mA	
$\Sigma I_{OL(avg)}$	“L”输出总平均电流 (注 2) $P_{00} \sim P_{07}$ 、 $P_{30} \sim P_{34}$ 、 P_{37}			40	mA	

【注】 1. 在 $V_{CC}=4.0V \sim 5.5V$ 时的情况下。

2. 输出总电流为流向所有适合端口的电流总和。总平均电流是在 100ms 期间内的平均值, 总峰值电流为电流峰值的总和。

表 10 推荐运行条件 (2)

(在没有指定时, $V_{CC}=1.8 \sim 5.5V$, $V_{SS}=0V$ 、 $T_a=-20 \sim 85^\circ C$)

符号	项 目	规 格 值			单 位
		最 小	典 型	最 大	
$I_{OH(\text{peak})}$	“H” 输出峰值电流 (注 1) $P_{00} \sim P_{07}$ 、 $P_{10} \sim P_{14}$ 、 $P_{20} \sim P_{25}$ 、 $P_{30} \sim P_{34}$ 、 P_{37}			-10	mA
$I_{OL(\text{peak})}$	“L” 输出峰值电流 (注 1) $P_{00} \sim P_{07}$ 、 $P_{30} \sim P_{34}$ 、 P_{37} (在选择驱动能力 = “L” 时) $P_{10} \sim P_{14}$ 、 $P_{20} \sim P_{25}$			10	mA
$I_{OL(\text{peak})}$	“L” 输出峰值电流 (注 1) $P_{00} \sim P_{07}$ 、 $P_{30} \sim P_{34}$ 、 P_{37} (在选择驱动能力 = “H” 时)			30	mA
$I_{OH(\text{avg})}$	“H” 输出平均电流 (注 2) $P_{00} \sim P_{07}$ 、 $P_{10} \sim P_{14}$ 、 $P_{20} \sim P_{25}$ 、 $P_{30} \sim P_{34}$ 、 P_{37}			-5	mA
$I_{OL(\text{avg})}$	“L” 输出平均电流 (注 2) $P_{00} \sim P_{07}$ 、 $P_{30} \sim P_{34}$ 、 P_{37} (在选择驱动能力 = “L” 时) $P_{10} \sim P_{14}$ 、 $P_{20} \sim P_{25}$			5	mA
$I_{OL(\text{avg})}$	“L” 输出平均电流 (注 2) $P_{00} \sim P_{07}$ 、 $P_{30} \sim P_{34}$ 、 P_{37} (在选择驱动能力 = “H” 时)			15	mA
$f(X_{IN})$	振荡频率 (注 3) 在陶瓷振荡或者输入外部时钟时 ($V_{CC}=4.5 \sim 5.5V$) 倍速模式			8	MHz
$f(X_{IN})$	振荡频率 (注 3) 在陶瓷振荡或者输入外部时钟时 ($V_{CC}=4.0 \sim 5.5V$) 倍速模式			6.5	MHz
$f(X_{IN})$	振荡频率 (注 3) 在陶瓷振荡或者输入外部时钟时 ($V_{CC}=2.4 \sim 5.5V$) 倍速模式			2	MHz
$f(X_{IN})$	振荡频率 (注 3) 在陶瓷振荡或者输入外部时钟时 ($V_{CC}=2.2 \sim 5.5V$) 倍速模式			1	MHz
$f(X_{IN})$	振荡频率 (注 3) 在陶瓷振荡或者输入外部时钟时 ($V_{CC}=4.0 \sim 5.5V$) 高、中速模式			8	MHz
$f(X_{IN})$	振荡频率 (注 3) 在陶瓷振荡或者输入外部时钟时 ($V_{CC}=2.4 \sim 5.5V$) 高、中速模式			4	MHz
$f(X_{IN})$	振荡频率 (注 3) 在陶瓷振荡或者输入外部时钟时 ($V_{CC}=2.2 \sim 5.5V$) 高、中速模式			2	MHz
$f(X_{IN})$	振荡频率 (注 3) 在 RC 振荡时 ($V_{CC}=4.0 \sim 5.5V$) 高、中速模式			4	MHz
$f(X_{IN})$	振荡频率 (注 3) 在 RC 振荡时 ($V_{CC}=2.4 \sim 5.5V$) 高、中速模式			2	MHz
$f(X_{IN})$	振荡频率 (注 3) 在 RC 振荡时 ($V_{CC}=2.2 \sim 5.5V$) 高、中速模式			1	MHz

- 【注】 1. 输出峰值电流规定每一个端口流通的电流峰值。
 2. 平均输出电流 $I_{OL(\text{avg})}$ 、 $I_{OH(\text{avg})}$ 是在 100ms 期间的平均值。
 3. 振荡频率是占空比为 50% 的情况。

(3) 电特性

表 11 电特性(1)

(在没有指定时, $V_{CC}=1.8 \sim 5.5V$, $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项 目	测 定 条 件	规 格 值			单 位
			最 小	典 型	最 大	
V_{OH}	“H”输出电压 $P_{00} \sim P_{07}$ 、 $P_{10} \sim P_{14}$ 、 $P_{20} \sim P_{25}$ 、 $P_{30} \sim P_{34}$ 、 P_{37} (注 1)	$I_{OH}=-5mA$ $V_{CC}=4.0 \sim 5.5V$	$V_{CC}-1.5$			V
		$I_{OH}=-1.0mA$ $V_{CC}=1.8 \sim 5.5V$				
V_{OL}	“L”输出电压 $P_{00} \sim P_{07}$ 、 $P_{30} \sim P_{34}$ 、 P_{37} (在选择驱动能力 = “L”时) $P_{10} \sim P_{14}$ 、 $P_{20} \sim P_{25}$	$I_{OL}=5mA$ $V_{CC}=4.0 \sim 5.5V$			1.5	V
		$I_{OL}=1.5mA$ $V_{CC}=4.0 \sim 5.5V$			0.3	
		$I_{OL}=1.0mA$ $V_{CC}=1.8 \sim 5.5V$			1.0	
V_{OL}	“L”输出电压 $P_{00} \sim P_{07}$ 、 $P_{30} \sim P_{34}$ 、 P_{37} (在选择驱动能力 = “H”时)	$I_{OL}=15mA$ $V_{CC}=4.0 \sim 5.5V$			2.0	V
		$I_{OL}=1.5mA$ $V_{CC}=4.0 \sim 5.5V$			0.3	
		$I_{OL}=1.0mA$ $V_{CC}=1.8 \sim 5.5V$			1.0	
$V_{T+} - V_{T-}$	滞后 $CNTR_0$ 、 INT_0 、 INT_1 、 CAP_0 、 CAP_1 (注 2) $P_{00} \sim P_{07}$ (注 3)			0.4		V
$V_{T+} - V_{T-}$	滞后 RxD_0 、 $SCLK_0$ 、 RxD_1 、 $SCLK_1$			0.5		V
$V_{T+} - V_{T-}$	滞后 <u>RESET</u>			0.5		V
I_{IH}	“H”输入电流 $P_{00} \sim P_{07}$ 、 $P_{10} \sim P_{14}$ 、 $P_{20} \sim P_{25}$ 、 $P_{30} \sim P_{34}$ 、 P_{37}	$V_I=V_{CC}$ (引脚为浮动状态。上拉晶体管为分离状态)			5.0	μA
I_{IH}	“H”输入电流 <u>RESET</u>	$V_I=V_{CC}$			5.0	μA
I_{IH}	“H”输入电流 X_{IN}	$V_I=V_{CC}$		4.0		μA
I_{IL}	“L”输入电流 $P_{00} \sim P_{07}$ 、 $P_{10} \sim P_{14}$ 、 $P_{20} \sim P_{25}$ 、 $P_{30} \sim P_{34}$ 、 P_{37}	$V_I=V_{SS}$ (引脚为浮动状态。上拉晶体管为分离状态)			-5.0	μA
I_{IL}	“L”输入电流 <u>RESET</u>	$V_I=V_{SS}$			-5.0	μA
I_{IL}	“L”输入电流 X_{IN}	$V_I=V_{SS}$		-4.0		μA
I_{IL}	“L”输入电流 $P_{00} \sim P_{07}$ 、 $P_{30} \sim P_{34}$ 、 P_{37}	$V_I=V_{SS}$ (在连接上拉晶体管时)		-0.2	-0.5	mA
V_{RAM}	RAM 保持电压	在时钟停止时	1.6		5.5	V
$RoSC$	内部振荡器的振荡频率	$V_{CC}=5.0V$ 、 $T_a=25^{\circ}C$	1000	2000	3000	kHz
$Dosc$	振荡停止检测电路的检测频率	$V_{CC}=5.0V$ 、 $T_a=25^{\circ}C$	62.5	125	187.5	kHz

- 【注】 1. 有关 P_{11} , 是在 UART1 控制寄存器的 P_{11}/TXD_1 P 沟道输出禁止位 (地址 $001B_{16}$ 的 bit4) 为 “0”的情况。
有关 P_{05} , 是在 UART2 控制寄存器的 P_{05}/TXD_2 P 沟道输出禁止位 (地址 0031_{16} 的 bit4) 为 “0”的情况。
2. 关于 RxD_1 、 $SCLK_1$ 、 INT_0 , 只在端口 $P1P3$ 控制寄存器的 bit0、bit1、bit2 为 “0” (CMOS 电平) 时, 持有滞后。
3. 只在键唤醒运行时。

表 11 电特性 (2)

(在没有指定时, $V_{CC}=1.8 \sim 5.5V$, $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项 目	测 定 条 件	规 格 值			单 位	
			最 小	典 型	最大		
I _{CC}	电源电流 ※有效设定 LVD (STP 时除 外)	f(X _{IN})=8MHz, 输出晶体管为截止状态	倍速模式		5.9	9.5	mA
			高速模式		3.9	7.0	mA
			中速模式		2.4	5.5	mA
		f(X _{IN})=2MHz、 $V_{CC}=2.2V$ 输出晶体管为截止状态	高速模式		0.45	1.25	mA
			1/1 分频		1.55	3.3	mA
			1/2 分频		0.95	2.3	mA
			1/8 分频		0.4	1.1	mA
		f(X _{IN})=8MHz, 在执行 WIT 指令时, 停止定时器 1 以外的功能 输出晶体管为截止状态	1/128 分频		0.25	0.7	mA
					2.0	3.5	mA
					0.25		mA
		f(X _{IN})=2MHz、 $V_{CC}=2.2V$ 在执行 WIT 指令时, 停止定时器 1 以外的功能 输出晶体管为截止状态	内部振荡器运行模式, 在执行 WIT 指令时, 停止定时器 1 以外的功能 输出晶体管为截止状态		0.25	0.7	mA
			A/D 转换器运行时的增量 $f(X_{IN})=8MHz$ 、 $V_{CC}=5V$		0.5		mA
			振荡停止 (在执行 STP 指令时) 输出晶体管为截止状态	T _a =25°C	0.1	1.0	μA
				T _a =85°C		10	μA
		低电压检测电路的自身消耗电流	T _a =25°C $V_{CC}=5V$		70		μA

【注】 A/D 转换器运行时的增量包含基准电源输入电流 (I_{VREF})。

(4) A/D 转换器特性

表 12 A/D 转换器特性

(在没有指定时, $V_{CC}=2.7 \sim 5.5V$, $V_{SS}=0V$, $T_a=-20 \sim 85^{\circ}C$)

符号	项 目	测 定 条 件	规 格 值			单 位
			最 小	典 型	最 大	
—	分辨率				10	bits
—	绝对精度	$T_a=25^{\circ}C$, $V_{CC}=V_{REF}=2.7 \sim 5.5V$			± 3	LSB
t_{CONV}	转换时间	A/D 转换时钟 = $f(X_{IN})/2$			122	$t_C(X_{IN})$
		A/D 转换时钟 = $f(X_{IN})$			61	
R_{LADDER}	梯形电阻			55		$k\Omega$
I_{VREF}	基准电源输入电流	$V_{REF}=5.0V$	50	150	200	μA
		$V_{REF}=3.0V$	30	90	120	
$I_{I(AD)}$	A/D 端口输入电流				5.0	μA

【注】 在以下的使用条件时可能会降低 AD 转换精度:

- (1) 如果 V_{REF} 电压低于 V_{CC} 电压, 单片机内部的模拟电路就容易受噪声的影响, 因此与 V_{REF} 电压和 V_{CC} 电压相同时相比, 转换精度可能下降。
- (2) V_{REF} 电压不超过 3.0V 时, 低温时的转换精度与常温时的转换精度相比, 可能会大幅度下降。如果预计在低温使用, 建议 $V_{REF} \geq 3.0V$ 。

上电复位电路的电特性

(在没有指定时, $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
V_{POR}	上电复位电路的有效启动电压 (注 1)				0	V
$TW(V_{POR})$	V_{POR} 保持时间				10	s
$TW(V_{POR}-V_{DET})$	上电复位电路的有效电源上升时间	$TW(V_{POR}) > 10s$			20	ms

【注】1. V_{POR} 是为使内部上电复位电路能正常运行的 V_{CC} 启动电压。为使用内部上电复位电路, 必须在 V_{CC} 电源上升前事先将 V_{CC} 电压保持在该电压以下。另外, 使用内部上电复位时, 必须使内部低电压检测电路有效。

低电压检测电路的电特性

(在没有指定时, $V_{CC}=1.8 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项目	测定条件	规格值			单位
			最小	典型	最大	
V_{LVD}	低电压检测电路的有效启动电压 (注 1)		1.0			V
$TW(V_{LVD})$	V_{LVD} 保持时间				10	s
$TW(V_{LVD}-V_{DET})$	低电压检测电路的有效电源上升时间	$TW(V_{LVD}) > 10s$			10	s
V_{DET-}	低电压检测电路检测电压	$T_a=0 \sim 50^{\circ}C$	1.85	1.95	2.05	V
		$T_a=-20 \sim 85^{\circ}C$	1.80	1.95	2.10	V
$V(V_{DET+}-V_{DET-})$	检测电压滞后 (滞后有效时)	$T_a=-20 \sim 85^{\circ}C$		0.10		V
T_{DET}	低电压检测电路的判定时间			20		μs

【注】1. V_{LVD} 是为使内部低电压检测电路能正常运行的 V_{CC} 启动电压。 V_{CC} 电源比 V_{LVD} 低时, 必须先将 V_{CC} 电压降到 V_{POR} 以下后, 根据上电复位电路的电特性, 将其再度提升。

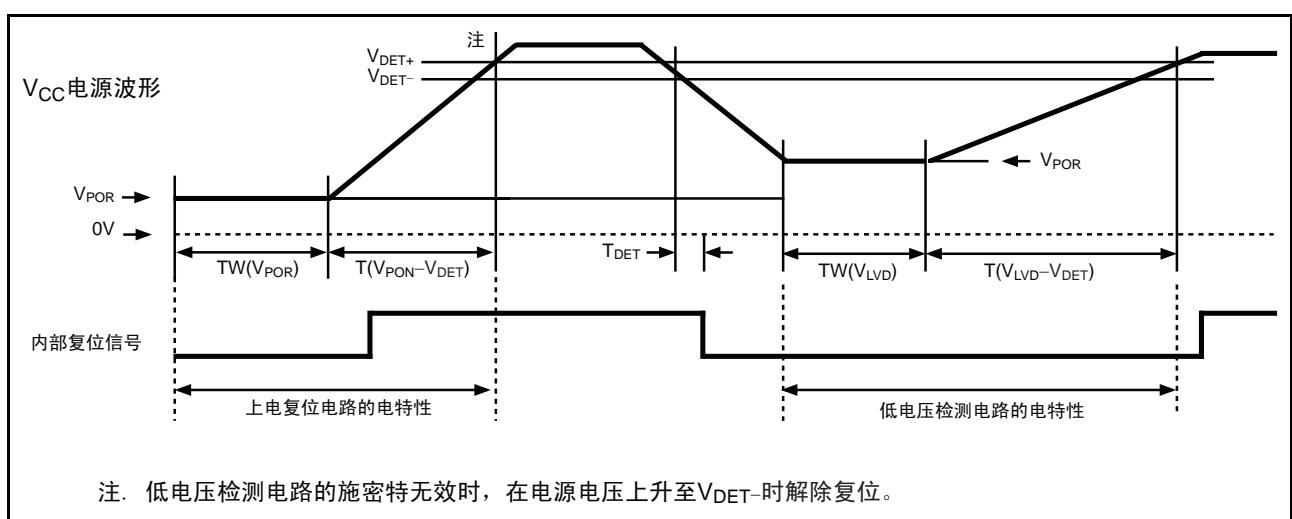


图 96 上电复位电路、低电压检测电路的电特性

(5) 时序必要条件

时序必要条件 (1)

(在没有指定时, $V_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^\circ C$)

符号	项目	规格值			单位
		最小	典型	最大	
$t_W(\overline{RESET})$	复位输入 “L” 脉宽	2			μs
$t_C(X_{IN})$	外部时钟输入周期时间	125			ns
$t_{WH}(X_{IN})$	外部时钟输入 “H” 脉宽	50			ns
$t_{WL}(X_{IN})$	外部时钟输入 “L” 脉宽	50			ns
$t_C(CNTR_0)$	CNTR ₀ 输入周期时间	200			ns
$t_{WH}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入 “H” 脉宽 (注 1)	80			ns
$t_{WL}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入 “L” 脉宽 (注 1)	80			ns
$t_C(SCLK1)$	串行 I/O1、串行 I/O2 时钟输入周期时间 (注 2)	800			ns
$t_{WH}(SCLK1)$	串行 I/O1、串行 I/O2 时钟输入 “H” 脉宽 (注 2)	370			ns
$t_{WL}(SCLK1)$	串行 I/O1、串行 I/O2 时钟输入 “L” 脉宽 (注 2)	370			ns
$t_{su}(RXD1-SCLK1)$	串行 I/O1、串行 I/O2 输入建立时间	220			ns
$t_h(SCLK1-RxD1)$	串行 I/O1、串行 I/O2 输入保持时间	100			ns

【注】 1. CAP₀、CAP₁ 为不使用噪声滤波器时的情况。2. 有关串行 I/O1 是在串行 I/O1 控制寄存器 (地址 001A₁₆) 的 bit6 为 “1” (时钟同步型串行 I/O) 时的情况。
串行 I/O1 控制寄存器的 bit6 为 “0” (时钟异步型串行 I/O) 时, 规格值变为 1/4。有关串行 I/O2 是在串行 I/O2 控制寄存器 (地址 0030₁₆) 的 bit6 为 “1” (时钟同步型串行 I/O) 时的情况。

串行 I/O2 控制寄存器的 bit6 为 “0” (时钟异步型串行 I/O) 时, 规格值变为 1/4。

时序必要条件 (2)

(在没有指定时, $V_{CC}=2.4 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^\circ C$)

符号	项目	规格值			单位
		最小	典型	最大	
$t_W(\overline{RESET})$	复位输入 “L” 脉宽	2			μs
$t_C(X_{IN})$	外部时钟输入周期时间	250			ns
$t_{WH}(X_{IN})$	外部时钟输入 “H” 脉宽	100			ns
$t_{WL}(X_{IN})$	外部时钟输入 “L” 脉宽	100			ns
$t_C(CNTR_0)$	CNTR ₀ 输入周期时间	500			ns
$t_{WH}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入 “H” 脉宽 (注 1)	230			ns
$t_{WL}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入 “L” 脉宽 (注 1)	230			ns
$t_C(SCLK1)$	串行 I/O1、串行 I/O2 时钟输入周期时间 (注 2)	2000			ns
$t_{WH}(SCLK1)$	串行 I/O1、串行 I/O2 时钟输入 “H” 脉宽 (注 2)	950			ns
$t_{WL}(SCLK1)$	串行 I/O1、串行 I/O2 时钟输入 “L” 脉宽 (注 2)	950			ns
$t_{su}(RXD1-SCLK1)$	串行 I/O1、串行 I/O2 输入建立时间	400			ns
$t_h(SCLK1-RxD1)$	串行 I/O1、串行 I/O2 输入保持时间	200			ns

【注】 1. CAP₀、CAP₁ 为不使用噪声滤波器时的情况。2. 有关串行 I/O1 是在串行 I/O1 控制寄存器 (地址 001A₁₆) 的 bit6 为 “1” (时钟同步型串行 I/O) 时的情况。
串行 I/O1 控制寄存器的 bit6 为 “0” (时钟异步型串行 I/O) 时, 规格值变为 1/4。有关串行 I/O2 是在串行 I/O2 控制寄存器 (地址 0030₁₆) 的 bit6 为 “1” (时钟同步型串行 I/O) 时的情况。

串行 I/O2 控制寄存器的 bit6 为 “0” (时钟异步型串行 I/O) 时, 规格值变为 1/4。

时序必要条件 (3)

(在没有指定时, $V_{CC}=2.2 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项 目	规 格 值			单 位
		最 小	典 型	最 大	
$t_{w(\overline{RESET})}$	复位输入 “L” 脉宽	2			μs
$t_c(X_{IN})$	外部时钟输入周期时间	500			ns
$t_{WH}(X_{IN})$	外部时钟输入 “H” 脉宽	200			ns
$t_{WL}(X_{IN})$	外部时钟输入 “L” 脉宽	200			ns
$t_c(CNTR_0)$	CNTR ₀ 输入周期时间	1000			ns
$t_{WH}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入 “H” 脉宽 (注 1)	460			ns
$t_{WL}(CNTR_0)$	CNTR ₀ 、INT ₀ 、INT ₁ 、CAP ₀ 、CAP ₁ 输入 “L” 脉宽 (注 1)	460			ns
$t_c(SCLK1)$	串行 I/O1、串行 I/O2 时钟输入周期时间 (注 2)	4000			ns
$t_{WH}(SCLK1)$	串行 I/O1、串行 I/O2 时钟输入 “H” 脉宽 (注 2)	1900			ns
$t_{WL}(SCLK1)$	串行 I/O1、串行 I/O2 时钟输入 “L” 脉宽 (注 2)	1900			ns
$t_{su}(RXD_1-SCLK1)$	串行 I/O1、串行 I/O2 输入建立时间	800			ns
$t_h(SCLK1-RxD_1)$	串行 I/O1、串行 I/O2 输入保持时间	400			ns

【注】 1. CAP₀、CAP₁ 为不使用噪声滤波器时的情况。2. 有关串行 I/O1 是在串行 I/O1 控制寄存器 (地址 001A₁₆) 的 bit6 为 “1” (时钟同步型串行 I/O) 时的情况。

串行 I/O1 控制寄存器的 bit6 为 “0” (时钟异步型串行 I/O) 时, 规格值变为 1/4。

有关串行 I/O2 是在串行 I/O2 控制寄存器 (地址 0030₁₆) 的 bit6 为 “1” (时钟同步型串行 I/O) 时的情况。

串行 I/O2 控制寄存器的 bit6 为 “0” (时钟异步型串行 I/O) 时, 规格值变为 1/4。

(6) 开关特性

开关特性 (1)

(在没有指定时, $V_{CC}=4.0 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^\circ C$)

符号	项 目	规 格 值			单位
		最 小	典 型	最 大	
$t_{WH}(SCLK1)$	串行 I/O1、串行 I/O2 时钟输出 “H” 脉宽	$t_c(SCLK1)/2-30$			ns
$t_{WL}(SCLK1)$	串行 I/O1、串行 I/O2 时钟输出 “L” 脉宽	$t_c(SCLK1)/2-30$			ns
$t_d(SCLK1-TxD1)$	串行 I/O1、串行 I/O2 输出延迟时间			140	ns
$t_v(SCLK1-TxD1)$	串行 I/O1、串行 I/O2 输出有效时间	-30			ns
$t_r(SCLK1)$	串行 I/O1、串行 I/O2 时钟输出上升时间			30	ns
$t_f(SCLK1)$	串行 I/O1、串行 I/O2 时钟输出下降时间			30	ns
$t_r(CMOS)$	CMOS 输出上升时间 (注 1)		10	30	ns
$t_f(CMOS)$	CMOS 输出下降时间 (注 1)		10	30	ns

【注】 1. XOUT 引脚除外。

开关特性 (2)

(在没有指定时, $V_{CC}=2.4 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^\circ C$)

符号	项 目	规 格 值			单位
		最 小	典 型	最 大	
$t_{WH}(SCLK1)$	串行 I/O1、串行 I/O2 时钟输出 “H” 脉宽	$t_c(SCLK1)/2-50$			ns
$t_{WL}(SCLK1)$	串行 I/O1、串行 I/O2 时钟输出 “L” 脉宽	$t_c(SCLK1)/2-50$			ns
$t_d(SCLK1-TxD1)$	串行 I/O1、串行 I/O2 输出延迟时间			350	ns
$t_v(SCLK1-TxD1)$	串行 I/O1、串行 I/O2 输出有效时间	-30			ns
$t_r(SCLK1)$	串行 I/O1、串行 I/O2 时钟输出上升时间			50	ns
$t_f(SCLK1)$	串行 I/O1、串行 I/O2 时钟输出下降时间			50	ns
$t_r(CMOS)$	CMOS 输出上升时间 (注 1)		20	50	ns
$t_f(CMOS)$	CMOS 输出下降时间 (注 1)		20	50	ns

【注】 1. XOUT 引脚除外。

开关特性 (3)

(在没有指定时, $V_{CC}=2.2 \sim 5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20 \sim 85^{\circ}C$)

符号	项 目	规 格 值			单 位
		最 小	典 型	最 大	
$t_{WH}(SCLK1)$	串行 I/O1、串行 I/O2 时钟输出 “H” 脉宽	$t_c(SCLK1)/2-70$			ns
$t_{WL}(SCLK1)$	串行 I/O1、串行 I/O2 时钟输出 “L” 脉宽	$t_c(SCLK1)/2-70$			ns
$t_d(SCLK1-TxD1)$	串行 I/O1、串行 I/O2 输出延迟时间			450	ns
$t_v(SCLK1-TxD1)$	串行 I/O1、串行 I/O2 输出有效时间	-30			ns
$t_r(SCLK1)$	串行 I/O1、串行 I/O2 时钟输出上升时间			70	ns
$t_f(SCLK1)$	串行 I/O1、串行 I/O2 时钟输出下降时间			70	ns
$t_r(CMOS)$	CMOS 输出上升时间 (注 1)		25	70	ns
$t_f(CMOS)$	CMOS 输出下降时间 (注 1)		25	70	ns

【注】 1. XOUT 引脚除外。

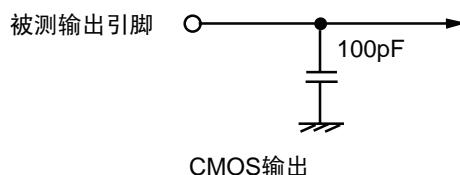


图 97 开关特性检测电路图

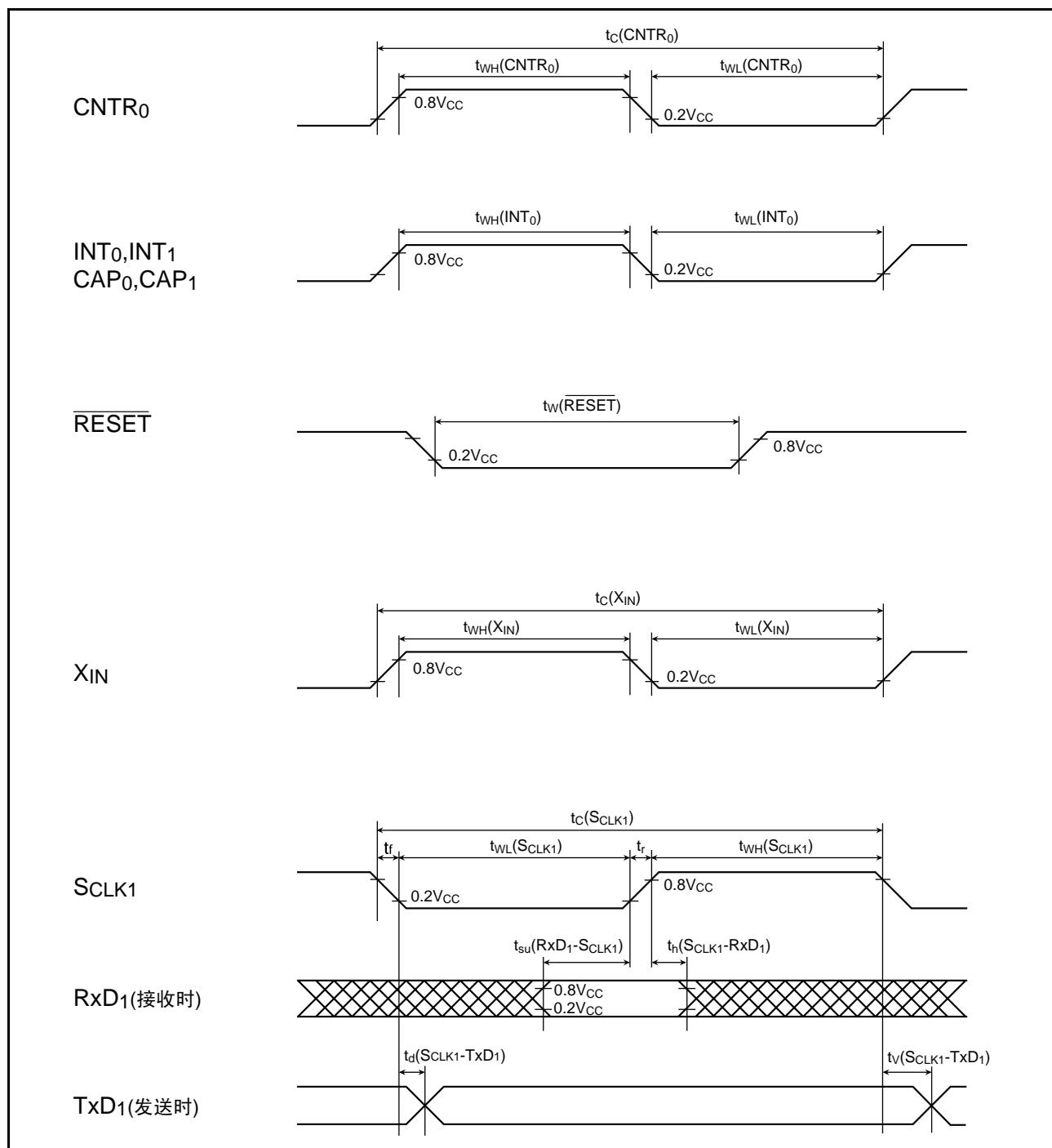
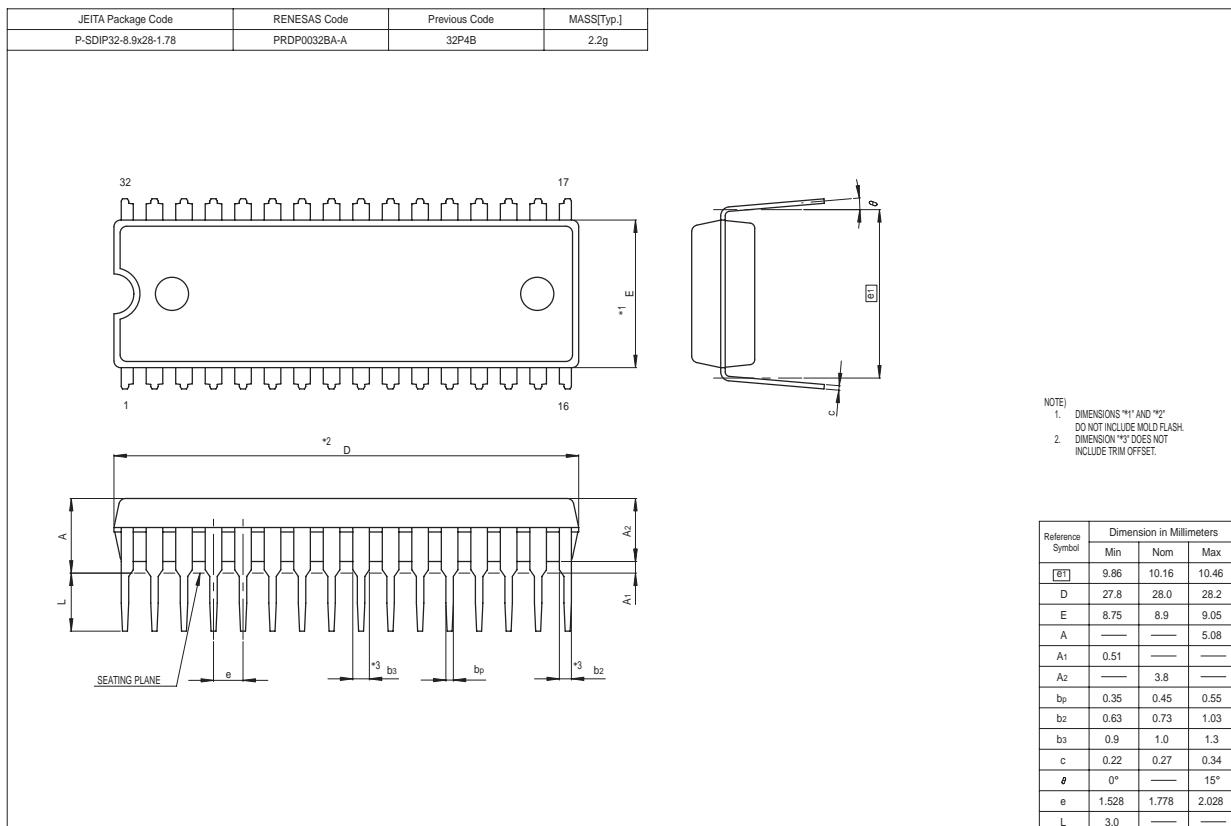
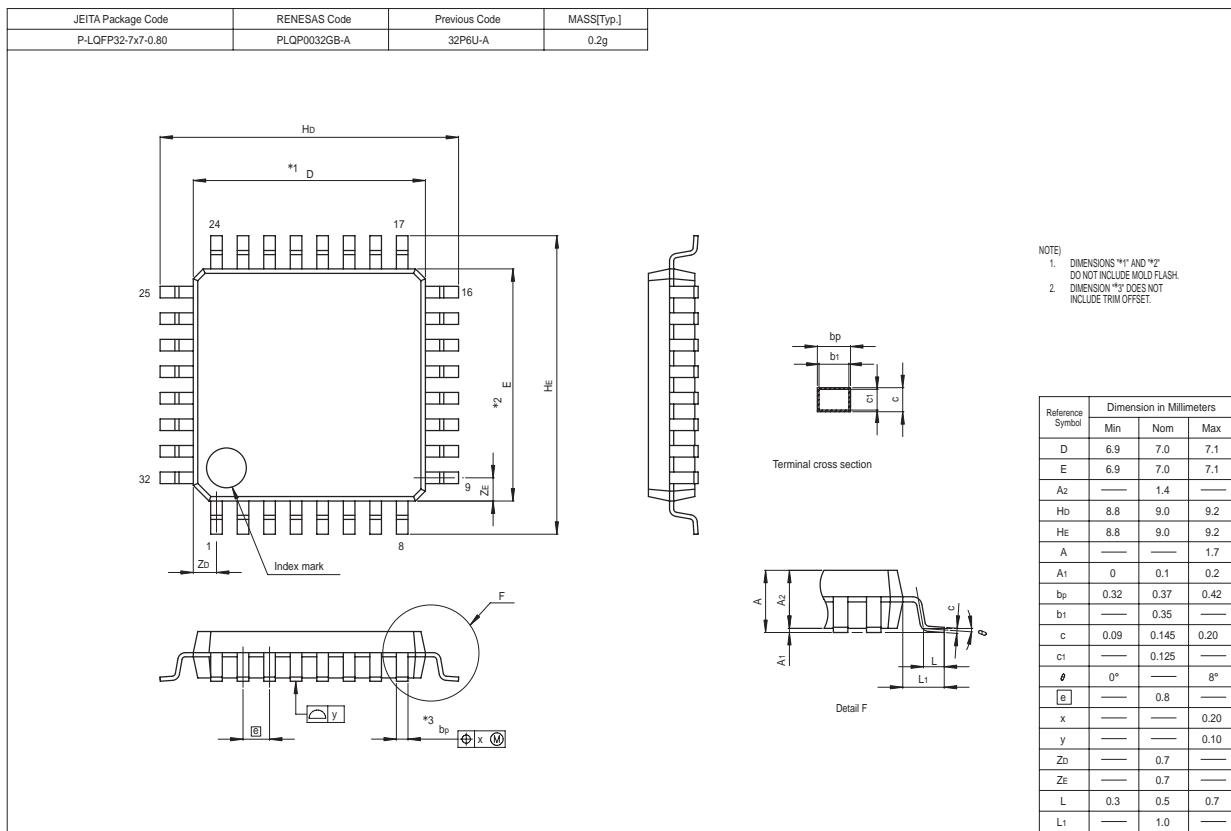
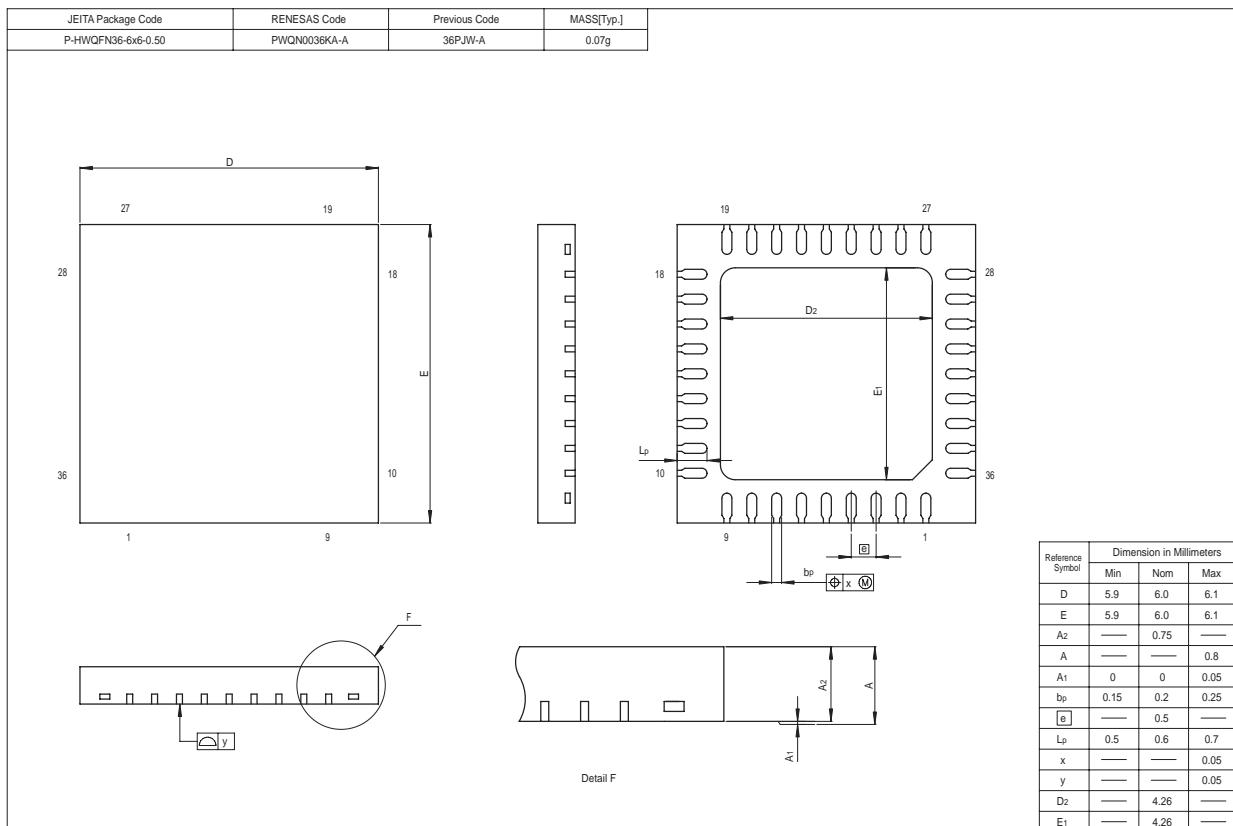


图 98 时序图

封装外形尺寸图





附录

有关编程的注意事项

1. 处理器状态寄存器

(1) 处理器状态寄存器的初始化

有必要对影响程序执行的处理器状态寄存器（PS）的标志进行初始化。

特别是 T 标志和 D 标志直接影响到运算本身，因此必须对其初始化。

<理由>

处理器状态寄存器（PS）除了 I 标志为“1”以外，复位后的值不定。

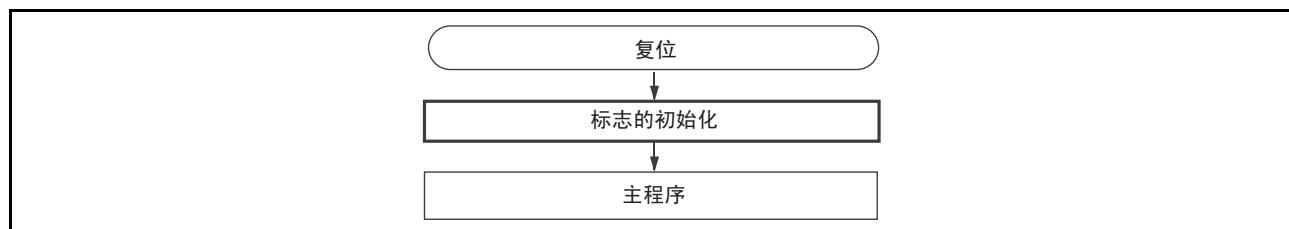


图 99 处理器状态寄存器的标志的初始化

(2) 处理器状态寄存器的参照方法

在要参照处理器状态寄存器（PS）的内容时，请在执行一次 PHP 指令后读取 $(S) + 1$ 的内容。如果需要，通过 PLP 指令的执行恢复被保存的 PS。

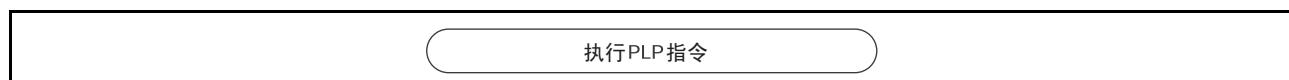


图 100 PLP 指令的执行步骤

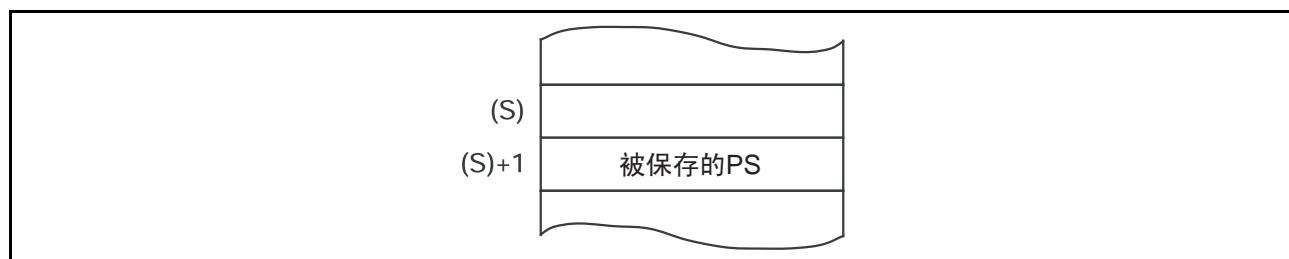


图 101 执行 PHP 指令后的堆栈存储器的内容

2. 10 进制运算

(1) 10 进制运算时的指令

在 10 进制运算时，通过 SED 指令将 10 进制模式标志 D 置“1”，然后执行 ADC 指令或者 SBC 指令。此时，必须在 ADC 指令或者 SBC 指令后执行一条指令之后，执行 SEC 指令、 CLC 指令或者 CLD 指令。

(2) 10 进制运算时的状态标志

在 10 进制模式（D 标志 = “1”）时执行 ADC、 SBC 指令后，状态标志中的 N、 V 和 Z 的 3 个标志变为无效。

另外， C（进位）标志在运算结果发生进位时被置“1”，在发生借位时被清“0”，因此 C（进位）标志可用作判断运算结果的进位或借位的标志。在运算前必须对 C 标志初始化。

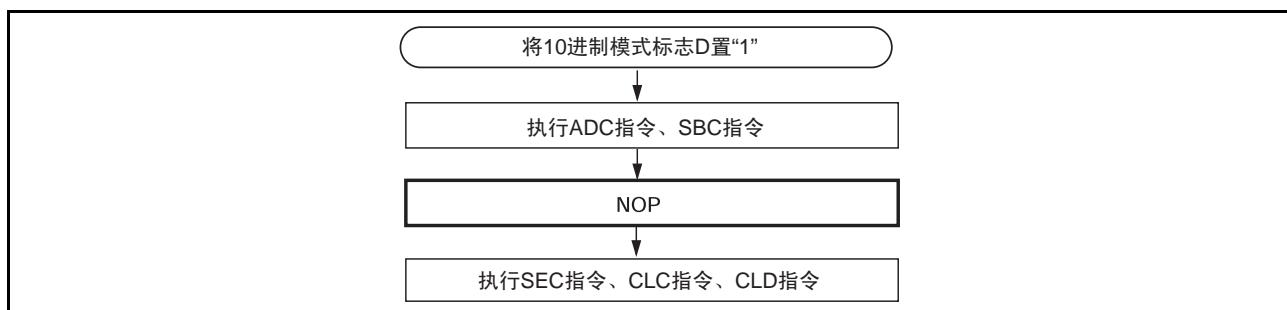


图 102 10 进制运算时的状态标志

3. JMP 指令

在使用 JMP 指令（间接寻址方式）时，不能将低 8 位为“FF₁₆”的地址指定为操作数。

4. 乘除指令

- (1) MUL、 DIV 指令不受 T、 D 标志的影响。
- (2) 在执行乘除指令时，处理器状态寄存器的内容不变。

5. 读 / 修改 / 写指令

请不要对不能读取的 SFR 执行读 / 修改 / 写指令。

读 / 修改 / 写指令是以字节单位对存储器进行读 / 修改 / 写的指令。

在 740 族中，以下所示的指令为读 / 修改 / 写指令

- (1) 位处理指令
CLB、 SEB
- (2) 移位、循环指令
ASL、 LSR、 ROL、 ROR、 RRF
- (3) 加减指令
DEC、 INC
- (4) 逻辑运算指令（1的补码）
COM

另外，虽然加减指令、逻辑运算指令（ADC、 SBC、 AND、 EOR、 ORA）不是读 / 修改 / 写指令，但是在 T 标志为“1”时这些指令进行和读 / 修改 / 写指令同样的运行。因此，请不要对不能读的 SFR 执行这些指令。

<理由>

如果对不能读的 SFR 执行这些指令，就会出现如下情况：

由于 SFR 为不能读的寄存器，因此读取的值不定，如果修改并且写此不定的值，写入的值就变为不可预测的值。

有关外围功能的注意事项

有关输入 / 输出端口的注意事项

1. 端口方向寄存器

- 必须将端口 P2 方向寄存器的 bit6 和 bit7 置 “1”。
- 必须将端口 P3 方向寄存器的 bit5 和 bit6 置 “1”。

2. 中断边沿选择寄存器

必须将中断边沿选择寄存器（地址 3A₁₆）的 bit2 置 “1”。

3. 端口 P1P3 控制寄存器

必须将端口 P1P3 控制寄存器（地址 17₁₆）的 bit1 置 “0”。

4. 端口 P0P3 驱动能力控制寄存器

作为“驱动能力 =High”能使用的端口的最大总数为 8 个。

5. 上拉控制寄存器

将内置上拉电阻的各端口用作输出端口时，对应端口的上拉控制位将变为无效，并且分离上拉电阻。

<理由>

上拉控制只有在各方向寄存器为输入模式时有效。

6. 在等待状态的使用

在等待状态 *1 以低功耗为目的使用时，不能将输入端口和输入 / 输出端口的输入电平置为不定状态。

此时，必须用电阻上拉（连接 V_{CC}）或者下拉（连接 V_{SS}）端口。

在决定电阻值时，请注意以下 2 点：

- 外接电路
 - 通常运行时的输出电平的变动
- 另外，在使用内部上拉电阻时，必须注意电流值的偏差。
- 设定成输入端口时：固定输入电平。
 - 设定成输出端口时：不要将电流流向外部。

<理由>

在由方向寄存器将端口设定成输入端口时输出晶体管为 OFF 状态，因此端口为高阻抗状态。所以，根据外接电路，电平可能出现不定的状态。

如果输入端口和输入 / 输出端口的输入电平出现不定的状态，被输入到单片机内部的输入缓冲区的电位就变为不稳定状态，可能会发生电源电流的流动。

*1 等待状态：通过 STP 指令执行的停止模式
通过 WIT 指令执行的等待模式

7. 通过位处理指令改写输出数据

在使用位处理指令 *2 改写输入 / 输出端口的端口锁存器时，可能会改变未指定位的值。

<理由>

位处理指令为读 / 修改 / 写形式的指令，能以字节单位进行读和写。因此，对输入 / 输出端口的端口锁存器的某一位执行此指令时，将对此端口锁存器的所有位进行以下的处理：

- 设定为输入的位：CPU 读取引脚的值，进行位处理后写入此位。
- 设定为输出的位：CPU 读取端口锁存器的位的值，进行位处理后写入此位。

但是，必须注意以下几点：

- 即使将设定为输出的端口改变为输入端口，端口锁存器中的输出数据也被保持。
- 在位处理指令没有对设定为输入的端口锁存器的位进行指定时，如果引脚和端口锁存器的内容不同，位的值就可能发生变化。

*2 位处理指令：SEB 指令、CLB 指令

8. 方向寄存器

不能读取端口方向寄存器的值。也就是说，不能使用 LDA 指令、T 标志为“1”时的存储器运算指令、将方向寄存器的值作为变址值的寻址模式以及 BBC、BBS 等位测试指令。另外，也不能使用 CLB 和 SEB 等位操作指令、方向寄存器的读 / 修改 / 写指令（ROR 等指令）。必须使用 LDM、STA 等指令设定方向寄存器。

有关处理未使用引脚的注意事项

1. 未使用引脚的正确处理

请尽可能用短的布线（20mm 以内）处理以下的单片机引脚：

(1) 输入 / 输出端口

在设定成输入模式时，请用 $1k\Omega \sim 10k\Omega$ 的电阻将各引脚连接到 V_{CC} 或者 V_{SS}。对于能选择内部上拉电阻的端口，也可使用内部上拉电阻。

在设定成输出模式时，请用“L”或者“H”输出状态将各引脚置成开路。

- 在设定成输出模式且置成开路的情况下，从复位后到由程序将端口切换成输出模式为止，保持初始状态的输入模式。因此，引脚的电压电平不定，在端口变为输入模式时电源电流可能会增大。关于对系统的影响，用户必须进行充分的系统评价。
- 请考虑因噪声和程序失控等引起方向寄存器变化的情况，通过用程序定期重新设定方向寄存器，进一步提高程序的信赖度。

2. 处理时的注意事项

(1) 在将输入 / 输出端口设定为输入模式时

[1] 请不要置成开路。

<理由>

- 根据初级电路，电源电流可能会增大。
- 与“1.(1)输入/输出端口”的处理相比，容易受噪声影响。

[2] 请不要直接连接VCC或者VSS

<理由>

在因噪声和程序失控等引起方向寄存器变成输出模式时，有可能发生短路的情况。

[3] 请不要用一个电阻将多个端口一起连接到VCC或者VSS

<理由>

在因噪声和程序失控等引起方向寄存器变成输出模式时，端口间有可能发生短路的情况。

有关中断的注意事项

1. 改变关联寄存器的设定

在选择外部中断的有效边沿以及选择多个中断源共用的中断向量的中断源时，如果要禁止与这些设定同步产生的中断，就请按以下的步骤进行设定：

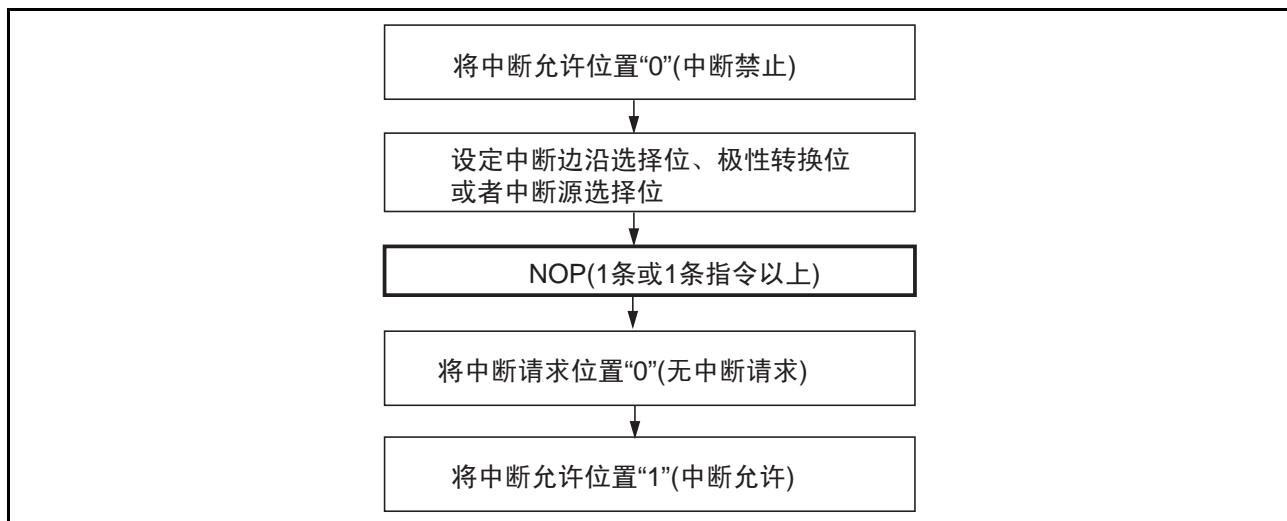


图 103 关联寄存器的设定步骤

<理由>

在以下的情况下，对应中断的中断请求位有可能变为“1”。

- 转换外部中断的有效边沿时
 - INT₀中断边沿选择位（中断边沿选择寄存器（地址3A₁₆）的bit0）
 - INT₁中断边沿选择位（中断边沿选择寄存器的bit1）
 - CNTR₀极性转换位（定时器X模式寄存器（地址2B₁₆）的bit2）
 - 捕捉0中断边沿选择位（捕捉模式寄存器（地址20₁₆）的bit1和bit0）
 - 捕捉1中断边沿选择位（捕捉模式寄存器的bit3和bit2）

2. 中断请求位的判断

在将中断请求位置“0”后立即通过 BBC 指令或者 BBS 指令判断此位时，必须按以下的步骤进行判断：

<理由>

如果在将中断请求位置“0”后立即执行 BBC 指令或者 BBS 指令，就判断置“0”前的中断请求位的值。

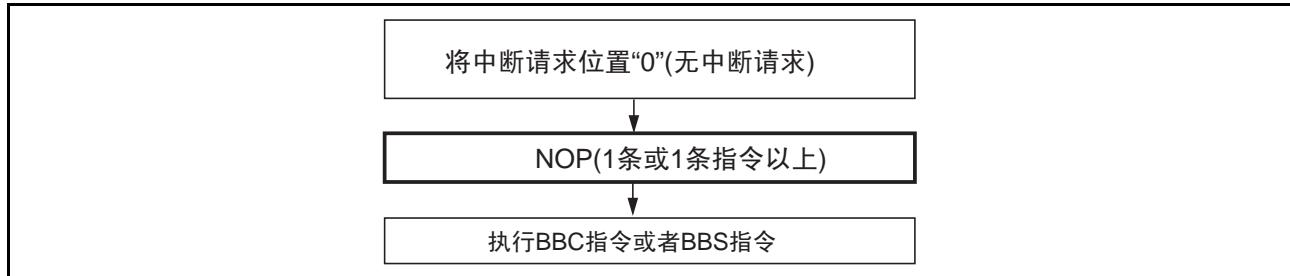


图 104 中断请求位的设定步骤

3. 中断识别位

在将中断识别位清“0”时，必须使用 LDM 指令。

LDM #%0000XXXX, \$0B

X：要清除的中断识别位为“0”，其它中断识别位为“1”。

(例) 在清除键唤醒中断识别位时

LDM #%00001110, \$0B

4. 中断识别位和中断请求位

对于键唤醒、UART1 总线冲突检测、A/D 转换以及定时器 1 中断，即使中断源设定寄存器（地址 0A₁₆）的各中断有效位为“0”（无效），如果发生中断请求，中断源识别寄存器（地址 0B₁₆）的各中断识别位也为“1”（发生中断）。

但是，中断请求位（地址 3C₁₆、地址 3D₁₆）不变化。

有关定时器的注意事项

1. 将值 n（0~255）写到定时锁存器时的分频比为 $1/(n+1)$ 。

2. 切换定时器 X、A 和 B 的计数源时，必须在分别停止各定时器计数的状态下进行。

有关定时器 X 的注意事项

1. CNTR₀ 中断极性选择

在对 CNTR₀ 极性转换位（定时器 X 模式寄存器（地址 2B₁₆）的 bit2）设定值的同时中断极性也受影响。如果在 CNTR₀ 极性转换位为“0”，就在 CNTR₀ 引脚输入的下降沿 CNTR₀ 中断请求位变为“1”；如果 CNTR₀ 极性转换为“1”时，就在 CNTR₀ 引脚输入的上升沿 CNTR₀ 中断请求位变为“1”。

2. 定时器 X 计数源选择

只能在陶瓷振荡或者使用内部振荡器时选择定时器 X 计数源选择位（定时器计数源设定寄存器 1（地址 2A₁₆）的 bit1 和 bit0）的 f(XIN)（1/1 分频）。

在 RC 振荡时，不能选择。

3. 脉冲输出模式

请将与 CNTR₀ 输出引脚兼用的端口 P14 的方向寄存器设定成输出模式。

在使用 TXOUT 引脚时，请将兼用的端口 P0₃ 的方向寄存器设定成输出模式。

4. 脉宽测定模式

请将与 CNTR₀ 输入引脚兼用的端口 P14 的方向寄存器设定成输入模式。

有关定时器 A、B 的注意事项

1. 定时器值的设定

在将定时器 A 写控制位（定时器 A、B 模式寄存器（地址 1D₁₆）的 bit0）设定成“只进行锁存器写”的情况下，即使定时器的计数处于运行中或者停止中，数据也设定到锁存器。因此，对于定时器的初始设定，在定时器停止期间设定值时，必须在选择了“锁存器和定时器同时写”的状态下进行。另外，定时器 B 写控制位（定时器 A、B 模式寄存器的 bit2）也相同。

2. 定时器 A 的读 / 写

在选择 X_{IN} 振荡的情况下，当定时器 A 的计数源通过时钟分频比选择位（CPU 模式寄存器（地址 3B₁₆）的 bit7 和 bit6）选择内部振荡器输出时，对定时器 A 的读写必须在停止定时器 A 的状态下进行。

3. 定时器 B 的读 / 写

在选择 X_{IN} 振荡的情况下，当定时器 B 的计数源通过时钟分频比选择位选择定时器 A 下溢且定时器 A 的计数源选择内部振荡器输出时，对定时器 B 的读写必须在停止定时器 B 的状态下进行。

有关输出比较的注意事项

1. 在作为各比较通道的源而选择的定时器处于停止的情况下，给比较寄存器写值的同时该值也被传送到比较锁存器。
2. 不能给比较锁存器 x0 (x=0、1、2、3) 和比较锁存器 x1 设定相同的值。
3. 在比较寄存器的设定值大于定时器的设定值的情况下，不产生比较匹配信号。因此，输出波形固定成“H”电平或者“L”电平。但是，在另一个比较寄存器的设定值小于定时器的设定值的情况下，由于产生小设定值的比较匹配信号，因此只要将对应的比较锁存器 y (y=00、01、10、11、20、21、30、31) 中断源位设定成有效，就产生比较匹配中断请求。
4. 如果给比较 x 触发有效位设定“0”（无效），就禁止输出给波形输出电路的匹配触发信号。因此，输出波形固定成“H”电平或者“L”电平。但是，由于产生比较匹配信号，因此只要将对应的比较锁存器 y (y=00、01、10、11、20、21、30、31) 中断源位设定成有效，就产生比较匹配中断。

有关输入捕捉的注意事项

1. 在读捕捉寄存器的低位和高位期间，当输入捕捉触发时，由于低位和高位的值为在不同时序捕捉的值，因此必须采取用软件比较多次读结果等对策。
2. 在选择 X_{IN} 振荡的情况下，当定时器 A 的计数源通过时钟分频比选择位（CPU 模式寄存器（地址 3B₁₆）的 bit7 和 bit6）选择内部振荡器输出时，定时器 A 不能作为捕捉输入的源定时器使用。
在选择 X_{IN} 振荡的情况下，当定时器 B 的计数源选择定时器 A 下溢且定时器 A 的计数源选择内部振荡器输出时，定时器 B 不能作为捕捉输入的源定时器使用。
3. 如果给捕捉锁存器 00 和 01 同时进行如下的捕捉输入，捕捉 0 状态位（比较/捕捉状态寄存器（地址 22₁₆）的 bit4）的值就不定（捕捉 1 也相同）。
 - 在给捕捉锁存器 00 的软件触发位（捕捉软件触发寄存器（地址 13₁₆）的 bit0）和捕捉锁存器 01 的软件触发位（捕捉软件触发寄存器（地址 13₁₆）的 bit1）同时写“1”时
 - 在捕捉锁存器 00 的外部触发和捕捉锁存器 01 的软件触发同时产生时
 - 在捕捉锁存器 01 的外部触发和捕捉锁存器 00 的软件触发同时产生时
4. 在将捕捉中断用于从停止模式返回的中断时，必须将捕捉 0 噪声滤波器选择位（捕捉模式寄存器（地址 20₁₆）的 bit5 和 bit4）设定成“00：没有滤波器”（捕捉 1 也相同）。

有关串行 I/O_i (i=1、2) 的注意事项

1. 时钟同步

- (1) 在停止发送运行时, 请将串行 I/O_i (i=1、2) 允许位和发送允许位置 “0” (禁止串行 I/O_i 和禁止发送)。

<理由>

即使将串行 I/O_i 允许位置 “0” (禁止串行 I/O_i), 发送运行也不停止, 并且发送电路也不进行初始化, 内部的发送运行继续进行 (由于 TxDi、RxDi、SCLK_i、SRDY_i 各引脚的功能为输入 / 输出端口功能, 因此不向外部输出发送数据)。如果在这样的状态下对发送缓冲寄存器写数据, 就开始单片机内部的移位运行, 该数据被传送到发送移位寄存器。此时, 如果将串行 I/O_i 允许位置 “1”, 就会在移位中途将内部移位中的数据输出到 TxDi 端子, 导致出错。

- (2) 在停止接收运行时, 请将接收允许位置 “0” (禁止接收) 或者将串行 I/O_i 允许位置 “0” (禁止串行 I/O_i)。

- (3) 在停止发送/接收运行时, 请将发送允许位和接收允许位同时置 “0” (禁止发送/接收) (不能只停止发送运行或只停止接收运行)。

<理由>

由于在时钟同步串行 I/O 模式时发送和接收使用同样的时钟。因此, 如果只禁止其中一方的运行, 发送和接收就不能同步进行, 发生错位。

在时钟同步串行 I/O 模式, 即使只进行接收, 发送电路的时钟电路也在运行。因此, 即使将发送允许位置 “0” (禁止发送) 发送电路也不停止运行。另外, 与 (1) 相同, 即使将串行 I/O_i 允许位置 “0” (禁止串行 I/O_i), 发送电路也不进行初始化。

- (4) 在选择外部时钟作为同步时钟的情况下, 请在接收侧进行 $\overline{S_{RDYi}}$ 输出时将接收允许位、 $\overline{S_{RDYi}}$ 输出允许位和发送允许位同时置 “1”。

- (5) 在输入 $\overline{S_{RDYi}}$ 信号时, 请在对发送/接收缓冲寄存器写数据前将使用的引脚设定为输入模式。

2. UART

在停止发送运行时, 请将发送允许位置 “0” (禁止发送)。

<理由>

与 1. 的 (1) 相同。

在停止接收运行时, 请将接收允许位置 “0” (禁止接收)。

在停止发送 / 接收运行时, 请将发送允许位置 “0” (禁止发送) 以及将接收允许位置 “0” (禁止接收)。

3. 时钟同步 / 异步模式的共同注意事项

- (1) 在重新设定串行 I/Oi ($i=1, 2$) 控制寄存器时, 请将发送允许位和接收允许位置 “0”, 在复位发送和接收电路后重新设定。

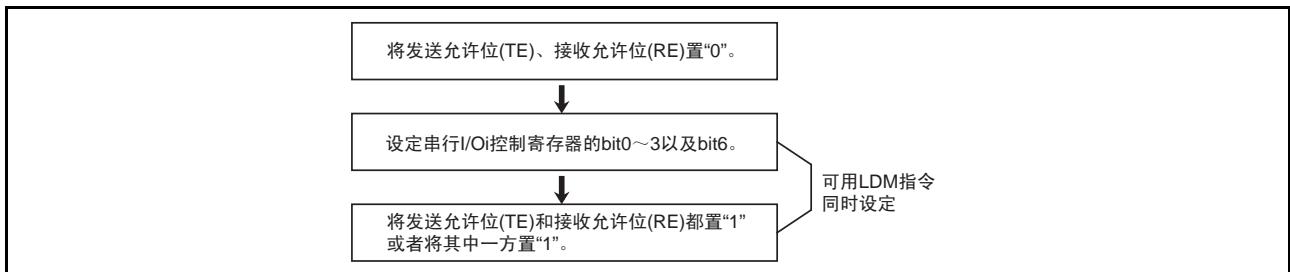


图 105 串行 I/Oi 控制寄存器的再设定步骤

- (2) 发送移位寄存器的移位结束标志从 “1” 到 “0”的变化比移位时钟迟 $0.5 \sim 1.5$ 个时钟。因此, 在对发送缓冲器写发送数据后, 通过参照发送移位寄存器的移位结束标志控制数据发送时, 必须注意这个延迟。
- (3) 在数据发送时选择外部时钟作为同步时钟的情况下, 必须在 $SCLK_i$ 为 “H”的状态下将发送允许位置 “1”。另外, 也必须在 $SCLK_i$ 为 “H”的状态下写发送缓冲寄存器。
- (4) 在使用发送中断时, 请按以下的步骤设定:
- ① 将串行 I/Oi 发送中断允许位置 “0” (禁止)。
 - ② 将发送允许位置 “1”。
 - ③ 在执行至少一条指令后, 将串行 I/Oi 发送中断请求位置 “0”。
 - ④ 将串行 I/Oi 发送中断允许位置 “1” (允许)。
- <理由>
- 如果将发送允许位置 “1”, 发送缓冲器空标志和发送移位寄存器的移位结束标志就被置 “1”。
- 因此, 对于发送中断的发生源, 无论选择上面哪一个标志置 “1”的时序, 都会发生中断请求, 并且发送中断请求位被置位。
- (5) 对波特率发生器 (BRGi) 的写操作必须在发送和接收停止时进行。

有关串行 I/O1 的注意事项

1. 串行 I/O1 允许时的输入 / 输出引脚功能

根据串行 I/O1 模式选择位（串行 I/O1 控制寄存器（地址 1A₁₆）的 bit6）和串行 I/O1 同步时钟选择位（串行 I/O1 控制寄存器的 bit1）的设定值，P1₂/SCLK1、P1₃/S_{RDY1} 的引脚功能发生如下的变化：

(1) 串行 I/O1 模式选择位 → “1”：

在选择时钟同步串行 I/O 时，

- 串行 I/O1 同步时钟选择位的设定
 - “0”：P1₂ 引脚成为同步时钟的输出引脚。
 - “1”：P1₂ 引脚成为同步时钟的输入引脚。
- S_{RDY1} 输出允许位（SRDY）的设定
 - “0”：P1₃ 引脚能作为通常的输入/输出引脚使用。
 - “1”：P1₃ 引脚成为 S_{RDY1} 输出引脚。

(2) 串行 I/O1 模式选择位 → “0”：

在选择时钟异步（UART）串行 I/O 时，

- 串行 I/O1 同步时钟选择位的设定
 - “0”：P1₂ 引脚能作为通常的输入/输出引脚使用。
 - “1”：P1₂ 引脚成为外部时钟的输入引脚。
- 在选择时钟异步（UART）串行 I/O 时，P1₃ 引脚能作为通常的输入/输出引脚使用。

有关总线冲突检测功能的注意事项

在半双工通信模式使用串行 I/O1 时，必须禁止总线冲突检测中断。

有关串行 I/O2 的注意事项

1. 串行 I/O2 允许时的输入 / 输出引脚功能

根据串行 I/O2 模式选择位（串行 I/O2 控制寄存器（地址 30₁₆）的 bit6）和串行 I/O2 同步时钟选择位（串行 I/O2 控制寄存器的 bit1）的设定值，P0₆/SCLK2、P0₇/S_{RDY2} 的引脚功能发生如下的变化：

(1) 串行 I/O2 模式选择位 → “1”：

在选择时钟同步串行 I/O 时，

- 串行 I/O2 同步时钟选择位的设定
 - “0”：P0₆ 引脚成为同步时钟的输出引脚。
 - “1”：P0₆ 引脚成为同步时钟的输入引脚。
- S_{RDY2} 输出允许位（SRDY）的设定
 - “0”：P0₇ 引脚能作为通常的输入/输出引脚使用。
 - “1”：P0₇ 引脚成为 S_{RDY2} 输出引脚。

(2) 串行 I/O2 模式选择位 → “0”：

在选择时钟异步（UART）串行 I/O 时，

- 串行 I/O2 同步时钟选择位的设定
 - “0”：P0₆ 引脚能作为通常的输入/输出引脚使用。
 - “1”：P0₆ 引脚成为外部时钟的输入引脚。
- 在选择时钟异步（UART）串行 I/O 时，P0₇ 引脚能作为通常的输入/输出引脚使用。

有关 A/D 转换的注意事项

1. 模拟输入引脚

必须减小模拟输入的信号源的阻抗。或者在模拟输入引脚上连接 $0.01\mu\text{F} \sim 1\mu\text{F}$ 的外接电容。并且用户必须充分确认应用产品的运行。

<理由>

模拟输入引脚内置了用于模拟电压比较的电容。因此，如果来自高阻抗信号源的信号输入到模拟输入引脚，就会产生充放电噪声，无法获得充分的 A/D 转换精度。

2. A/D 转换中的时钟频率

比较器由电容耦合构成，如果时钟频率低，电荷就会丢失，可能得不到充分的 A/D 转换精度。

因此，在设定 $f(X_{IN})$ 的值时必须使 A/D 转换中的 A/D 转换时钟为大于等于 250kHz 。

3. A/D 转换时钟选择

在 RC 振荡时，必须将 A/D 转换时钟选择位（A/D 控制寄存器（地址 34_{16} ）的 bit3）置“0”
($f(X_{IN})/2$)。

在陶瓷振荡或者使用内部振荡器时，也能选择“1”($f(X_{IN})$)。

4. A/D 转换寄存器的读取

在读取 A/D 转换寄存器时，如果以 8 位读取，就必须读取 A/D 转换低位寄存器（地址 35_{16} ）。如果以 10 位读取，就必须以 A/D 转换高位寄存器（地址 36_{16} ）、A/D 转换低位寄存器（地址 35_{16} ）的顺序读取。

此时，A/D 转换高位寄存器（地址 36_{16} ）的 bit2 ~ bit7 在读取时的值为“0”。

5. A/D 转换精度

在以下的使用条件时可能会降低 AD 转换精度：

- (1) 如果 V_{REF} 电压低于 V_{CC} 电压，单片机内部的模拟电路就容易受噪声的影响，因此与 V_{REF} 电压和 V_{CC} 电压相同时相比，转换精度可能下降。
- (2) V_{REF} 电压不超过 3.0V 时，低温时的转换精度与常温时的转换精度相比，可能会大幅度下降。如果预计在低温使用，推荐 $V_{REF} \geq 3.0\text{V}$ 。

有关看门狗定时器的注意事项

1. 由于在等待模式时看门狗定时器运行，为了防止发生下溢，请对看门狗定时器控制寄存器进行写操作。
2. 虽然在停止模式时看门狗定时器不运行，但是在 STP 指令解除后的振荡稳定时间内运行。为了防止在此期间发生下溢，必须在执行 STP 指令前将看门狗定时器控制寄存器（地址 39_{16} ）的看门狗定时器 H 计数源选择位（bit7）置“0”。
3. STP 指令功能选择位（看门狗定时器控制寄存器（地址 39_{16} ）的 bit6）在复位后只能写入 1 次。由于在写入后被锁定，因此不能改写。

有关复位引脚的注意事项

1. 电容的连接

当复位信号缓慢上升时,请在 **RESET** 引脚和 **V_{SS}** 引脚之间连接陶瓷电容等高频特性良好的 1000pF 以上的电容。在使用电容时,请注意以下 2 点:

- 使电容的布线长度为最短。
- 请用户充分确认应用产品的运行。

<理由>

如果几 ns 到几十 ns 的冲击性噪声侵入 **RESET** 输入引脚,单片机就可能产生误动作。

有关时钟发生电路的注意事项

1. 陶瓷 /RC 振荡的转换

在复位解除后,振荡方式选择位 (CPU 模式寄存器 (地址 3B₁₆) 的 bit5) 为“0”(陶瓷振荡)。
在使用 RC 振荡时必须置“1”。

2. 倍速模式

倍速模式只能用于陶瓷振荡振荡时。
在 RC 振荡时不能使用。

3. CPU 模式寄存器的改写

CPU 模式寄存器 (地址 3B₁₆) 的振荡方式选择位 (bit5) 和处理器模式位 (bit1 和 bit0) 是选择振荡方式以及控制单片机运行模式的位。为了防止由失控等误写引起的单片机死锁,这些位在复位解除后只能改写一次。

此后,这些位的写操作就变为无效 (仿真器专用 MCU “M37542RSS” 除外)。

另外,在对 bit5、bit1 和 bit0 以外的位使用读 / 修改 / 写指令 (SEB、CLB 等指令) 后,这些位的写操作也变为无效。

4. 时钟分频比、X_{IN} 振荡控制、内部振荡器振荡控制的切换

根据 CPU 模式寄存器的时钟分频比选择位 (bit7 和 bit6)、X_{IN} 振荡控制位 (bit4) 和内部振荡器振荡控制位 (bit3) 的设定值,时钟发生电路可实现如时钟发生电路状态转移图 (图 78) 所示的状态转移。

在转换时,必须注意图中的转移限制事项。

5. 内部振荡器的运行

在由内部振荡器提供主时钟时,必须将 X_{IN} 引脚经由 1kΩ ~ 10kΩ 的电阻连接到 V_{CC},并且将 X_{OUT} 引脚开路。

另外,内部振荡器的时钟频率根据电源电压和工作环境温度会发生很大的变化,因此在设计应用产品时,必须对此频率变动取得充分容限。

6. 在使用陶瓷谐振器时

在主时钟使用陶瓷谐振器时,必须用最短的距离将陶瓷谐振器和外接电路连接到 X_{IN} 引脚和 X_{OUT} 引脚。

必须根据振荡频率外接阻尼电阻 R_d (没有内置反馈电阻)。电容等的常数取决于谐振器,所以请使用谐振器厂家的推荐值。

7. 在使用 RC 振荡时

在主时钟使用 RC 振荡时，必须将 XIN 引脚和 XOUT 引脚短路，并且用最短距离连接电阻 R 和电容 C 的外接电路。

另外，必须注意用于 RC 振荡的电阻 R 和电容 C 的常数不能使因单片机的电特性偏差、电阻以及电容自身的电特性偏差而引起的频率变动超过规定的输入频率。

8. 在使用外部时钟时

在主时钟使用外部时钟信号时，必须将时钟发生源连接到 XIN 引脚，并且将 XOUT 引脚开路。

另外，必须将振荡方式选择位选择为“0”（陶瓷振荡）。

9. 计数源（定时器 1、定时器 A、定时器 B、串行 I/O1、串行 I/O2、A/D 转换、看门狗定时器）

这些功能的计数源受 CPU 模式寄存器的时钟分频比选择位的影响。

当选择 f(XIN) 振荡作为 CPU 时钟时，f(XIN) 时钟由这些功能来供给；当选择内部振荡器输出作为 CPU 时钟时，内部振荡器输出由这些功能来供给。

但是，看门狗定时器也受到功能设定 ROM 数据的影响。

有关振荡控制的注意事项

1. 振荡停止检测电路

- (1) 在使用停止模式时，必须将振荡停止检测功能设定为无效。
- (2) 在用 XIN 振荡控制位（CPU 模式寄存器（地址 3B₁₆）的 bit4）选择陶瓷或者 RC 振荡停止时，必须将振荡停止检测功能设定为无效。

2. 停止模式

- (1) 在使用停止模式时，必须将振荡停止检测功能设定为无效。
- (2) 在使用停止模式时，必须将 STP 指令功能选择位（看门狗定时器控制寄存器（地址 39₁₆）的 bit6）置“0”（允许 STP 指令）。
- (3) 能通过 STP 指令解除后振荡稳定时间设定位（MISRG（地址 38₁₆）的 bit0），选择自动设定/不自动设定 STP 指令解除后的振荡稳定时间。在执行 STP 指令时，如果振荡稳定时间设定位为“0”，就自动将定时器 1 设定成“01₁₆”，并且将预分频器 1 设定成“FF₁₆”；如果振荡稳定时间设定位为“1”，就必须按所使用的谐振器的振荡稳定时间给定时器 1 和预分频器 1 设定等待时间。另外，在使用定时器 1 时，从停止模式返回后，重新设定定时器 1 和预分频器 1 的值。
- (4) 在 A/D 转换中，不能执行 STP 指令。

有关内部振荡器的注意事项

在将时钟分频比选择位（CPU 模式寄存器（地址 3B₁₆）的 bit7 和 bit6）切换到内部振荡器时，内部振荡器分频比选择位（内部振荡器分频比选择寄存器（地址 37₁₆）的 bit7 和 bit6）变为“10₂”（内部振荡器中速模式（ROSC/8））。

有关振荡停止检测电路的注意事项

1. 在由振荡停止检测进行复位时，以下的位不进行初始化而保持原来的值：
 - 陶瓷或者RC振荡停止检测功能有效位（MISRG（地址3816）的bit1）
 - 振荡停止检测状态位（MISRG的bit3）
2. 振荡停止检测状态位在以下的情况下进行初期化（“0”）：
 - 外部复位时
 - 对陶瓷或者RC振荡停止检测功能有效位（MISRG的bit1）写“0”时
3. 仿真器专用MCU“M37542RSS”没有振荡停止检测电路。

有关电源电压的注意事项

在单片机的电源电压低于推荐运行条件的值时，单片机可能无法正常运行，处于不稳定的运行状态。

对于在电源电压下降和切断电源时电源电压缓慢下降的系统，必须将系统设计为即使在电源电压低于推荐运行条件的不稳定运行状态下，也能通过单片机复位等手段是系统不反升异常。

有关空白出货产品的注意事项

虽然在组装工程前对空白出货产品进行了充分的QzROM写测试，但是在组装工程后对用户ROM区没有进行写测试，因此有可能发生0.1%左右的写失败。另外，写的环境也会造成写失败，所以在使用时必须充分注意电缆的接触和插座上的异物等。

有关硬件的注意事项

电源引脚的处理

为了防止闩锁现象，必须在使用时将高频特性良好的电容作为旁路电容外接在元件的电源引脚（V_{CC}引脚）和GND引脚（V_{SS}引脚）之间。建议旁路电容使用0.01μF～0.1μF的陶瓷电容。

另外，必须以最短距离将旁路电容外接在电源引脚和GND引脚之间。

有关 QzROM 的注意事项

订购 QzROM 编程后的产品时的注意事项

在订购 QzROM 编程的出货产品时，必须提交用掩模文件转换实用程序（MM）建立的掩模文件（扩展名 .msk）。

另外，在执行掩模文件转换实用程序（MM）建立掩模文件时，必须设定 ROM 选项（在掩模转换实用程序中记为“掩模选项”）的数据。

有关 ROM 代码保护的注意事项

（QzROM 编程后的出货产品）

QzROM 编程后的出货产品的 ROM 代码保护，由订货时提出的在建立掩模文件时的 ROM 选项数据决定。

对于 QzROM 编程出货产品，在本公司进行编程时，将 ROM 选项数据写入 ROM 代码保护地址（地址 FFDB₁₆）。因此，ROM 代码保护地址的内容会有订货时的值与实际写入的值不同的情况。

建立掩模文件时的 ROM 选项数据为“有保护”时，设定“00₁₆”；为“无保护”时，设定“FF₁₆”。因此，QzROM 编程后的出货产品的 ROM 代码保护地址（用户 ROM 区除外）的内容为“00₁₆”或者“FF₁₆”。

另外，必须注意：在没有设定 ROM 选项数据或者设定了“00₁₆”和“FF₁₆”以外的数据时，不能接受该掩模文件。

订购 QzROM 编程后的产品时的提交资料

必须在订购 QzROM 编程后的出货产品时提交以下的资料：

- QzROM 编程确认书*
- 标志指定书*
- ROM 的数据 • • • 掩模文件

* 有关 QzROM 编程确认书和标记指定书，请参照瑞萨科技网页（<http://www.renesas.com/>）。另外，QzROM 单片机不对应特殊字体标记（贵公司商标等）。

修订记录		7546 群数据表
------	--	-----------

Rev.	发行日	修订内容	
		页	修订处
1.00	2006.03.28	—	初版发行
1.10	2008.04.16	全文 2	<p>删除“开发中”相关的所有内容</p> <p>图1“引脚连接图（PLQP0032GB-A封装）”：追加部分内容 “M37546Gx-XXXGP” → “M37546Gx-XXXGP M37546GxGP”</p> <p>图2“引脚连接图（PRDP0032BA-A封装）”：追加部分内容 “M37546Gx-XXXSP” → “M37546Gx-XXXSP M37546GxSP”</p> <p>图3“引脚连接图（PWQN0036KA-A封装）”：追加部分内容 “M37546Gx-XXXHP” → “M37546Gx-XXXHP M37546GxHP”</p> <p>表1“性能概要”：追加部分内容；“性能”中修改部分内容 “电源电压（内部振荡时）1.8～5.5V” “TBD” → “29.5mW（典型值）”</p> <p>图7“ROM和RAM展开计划”：删除“开发中”相关的内容</p> <p>表3“支持产品一览表”：追加注</p> <p>“有关看门狗定时器的注意事项”：修改3所有内容</p> <p>“有关时钟发生电路的注意事项”：追加“计数源（定时器1、定时器A、定时器B、串行I/O1、串行I/O2、A/D转换器、看门狗定时器）”的全部内容</p> <p>图79“时钟发生电路状态转移图”：修改注3和注4</p> <p>“5.输入/输出端口的处理”：删除注；修改部分内容 “·对于输出端口，...周期对端口闩锁器进行重写” → “·对于输出端口，...周期对端口锁存器进行重写”</p> <p>图94“输入/输出端口的处理”：修改部分内容 “端口闩锁器” → “端口锁存器”</p> <p>表10“推荐运行条件（2）”：追加f(X_{IN})的V_{CC}条件</p> <p>表11“电特性（1）”：修改“V_{RAM}”的“最小”的规格值内容 “TBD” → “1.6”</p> <p>“电特性（2）”：修改部分内容 “项目”中追加“※有效设定LVD（除STP中以外）” 追加“低电压检测电路的自身消耗电流”及其规格值和单位 追加f(X_{IN})的V_{CC}条件 “f(X_{IN})=2MHz 输出晶体管为截止状态” → “f(X_{IN})=2MHz、V_{CC}=2.2V 输出晶体管为截止状态” “f(X_{IN})=2MHz 在执行WIT指令时...” → “f(X_{IN})=2MHz、V_{CC}=2.2V 在执行WIT指令时...” “A/D转换器运行时的增量f(X_{IN})=8MHz” → “A/D转换器运行时的增量f(X_{IN})=8MHz、V_{CC}=5V” 修改全部“规格值”</p>

Rev.	发行日	修订内容	
		页	修订处
		92 93 ~ 96 111 113	表 14 “A/D 转换器特性”：修改 “—” 的 “最大”的规格值内容 “TBD” → “±3” “上电复位电路的电特性”、“低电压检测电路的电特性”、“(5) 时序必要条件”、“(6) 开关特性”：追加其所有内容 “有关 A/D 转换的注意事项”：“1. 模拟输入引脚”修改器全部内容 “有关看门狗定时器的注意事项”：修改 2 和 3 的全部内容 “有关时钟发生电路的注意事项”：追加 “计数源（定时器 1、定时器 A、定时器 B、串行 I/O1、串行 I/O2、A/D 转换、看门狗定时器）” 的全部内容

Notes:

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guarantees regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
 - (1) artificial life support devices or systems
 - (2) surgical implantations
 - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
 - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

株式会社 瑞萨科技

下面所记中文只作为参考译文，英文具有正式效力。

请遵循安全第一进行电路设计：

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页 (<http://www.renesas.com>) 等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而致使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统(如各种安全装置或者运输交通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等)而设计和制造的，特别是对于品质和可靠性要求极高的机器和系统等(将本公司指定用于汽车方面的产品用于汽车时除外)。如果要用于上述的目的，请务必事先向本公司的营业窗口咨询。另外，对于用于上述目的而造成的损失等，本公司概不负责。
8. 除上述第7项内容外，不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失，本公司概不负责。
 - 1) 生命维持装置。
 - 2) 生命维持装置。
 - 3) 用于治疗(切除患部、给药等)的装置。
 - 4) 其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时，对于最大额定值、工作电源电压的范围、放热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时，对于由此而造成的故障和出现的事故，本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性，但一般来说，半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失，希望客户能自行负责进行冗余设计、采取延烧对策及进行防止错误运行等的安全设计(包括硬件和软件两方面的设计)以及老化处理等，这是作为机器和系统的出厂保证。特别是单片机的软件，由于单独进行验证很困难，所以要在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下，有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时，请顾客自行负责将本公司产品设置为不容易剥落的安全设计。如果从顾客的设备上剥落而造成事故时，本公司将不承担任何责任。
12. 在未得到本公司事先书面认可时，不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容，或者有其他关心的问题，请向本公司的营业窗口咨询。

**RENESAS SALES OFFICES**<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.
450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited
Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.
Unit 204, 205, AZIA Center, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7858/7898

Renesas Technology Hong Kong Ltd.
7th Floor, North Tower, World Finance Centre, Harbour City, Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2377-3473

Renesas Technology Taiwan Co., Ltd.
10th Floor, No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 3518-3399

Renesas Technology Singapore Pte. Ltd.
1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.
Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

Renesas Technology Malaysia Sdn. Bhd
Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510