

带有集成FET的单一同步降压稳压器

ISL6410, ISL6410A 是同步电流模式脉宽调制器，用来为微控制器，微处理器，CPLD，现场可编程门阵列，核心处理器/BBP/MAC 和专用集成电路提供总的 DC-DC 解决方案。对输入电压为 $3.3V \pm 10\%$ 的应用可选择 ISL6410，对需要 $5.0V \pm 10\%$ 的应用应选择 ISL6410A。

这种同步电流模式脉宽调制器集成了 N 通道和 P 通道功率 MOSFET，提供预设管脚可编程输出。内部 MOSFET 的同步整流在减少外部元件数量的同时，可达到更高的效率。750KHz 的典型工作频率允许使用小的电感和电容值。该器件能和范围在 500KHz 到 1MHz 的外部时钟信号同步。当输出电压降低超出规定的极限值，将会产生一个电源良好的信号 PG。其他的特点包括过流保护和热过载关闭。

ISL6410, ISL6410A 采用 MSOP 10 引线封装。

订购信息表

元件号码*	温度范围 (°C)	封装	PKG. DWG. #
ISL6410IR	-40 到 85	16 引脚 4×4QFN	L16.4×4
ISL6410IRZ (注)	-40 到 85	16 引脚 4×4QFN (无铅)	L16.4×4
ISL6410IU	-40 到 85	10 引脚 MSOP	M10.118
ISL6410IUZ (注)	-40 到 85	10 引脚 MSOP (无铅)	M10.118
ISL6410AIR	-40 到 85	16 引脚 4×4QFN	L16.4×4
ISL6410AIRZ (注)	-40 到 85	16 引脚 4×4QFN (无铅)	L16.4×4
ISL6410AIU	-40 到 85	10 引脚 MSOP	M10.118
ISL6410AIUZ (注)	-40 到 85	10 引脚 MSOP (无铅)	M10.118

*加后缀“-T”，“-TK”或“-T5K”区分盘状和卷状封装。

注：Intersil 公司的无铅产品采用了特殊的无铅材料：模塑料/冲模附着材料与 100% 的无光泽镀锡板终端涂复层，可进行锡铅与无铅焊接操作。

Intersil 公司的无铅产品在不加峰值回流温度下经过 MSL 分类，可达到或超过 IPC/JEDEC J STD-020 标准的要求。

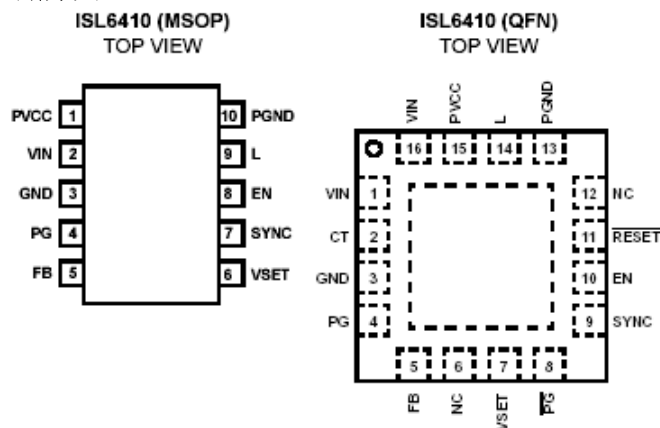
特点

- 完全集成的同步降压稳压器
- PWM 额定输出电压选项
- ISL6410: -1.8V, 1.5V 或 1.2V ($V_{IN}=3.3V$)
- ISL6410A: -3.3V, 1.8V 或 1.2V ($V_{IN}=5.0V$)
- 连续输出电流.....600mA
- 超紧密 DC-DC 转换器设计
- 通过小陶瓷输出电容保持稳定性
- 高转换效率
- 扩展的电路保护和监控特性
 - 过压, UVLO
 - 过流
 - 热关闭
- 采用 MSOP 和 QFN 封装
- QFN 封装:
 - 外形依照 JEDEC PUB95 MO-220 QFN (方形扁平无引脚) 封装
 - 接近芯片尺寸的封装面积，提高了 PCB 板的利用率，侧面积较小
- 无铅封装

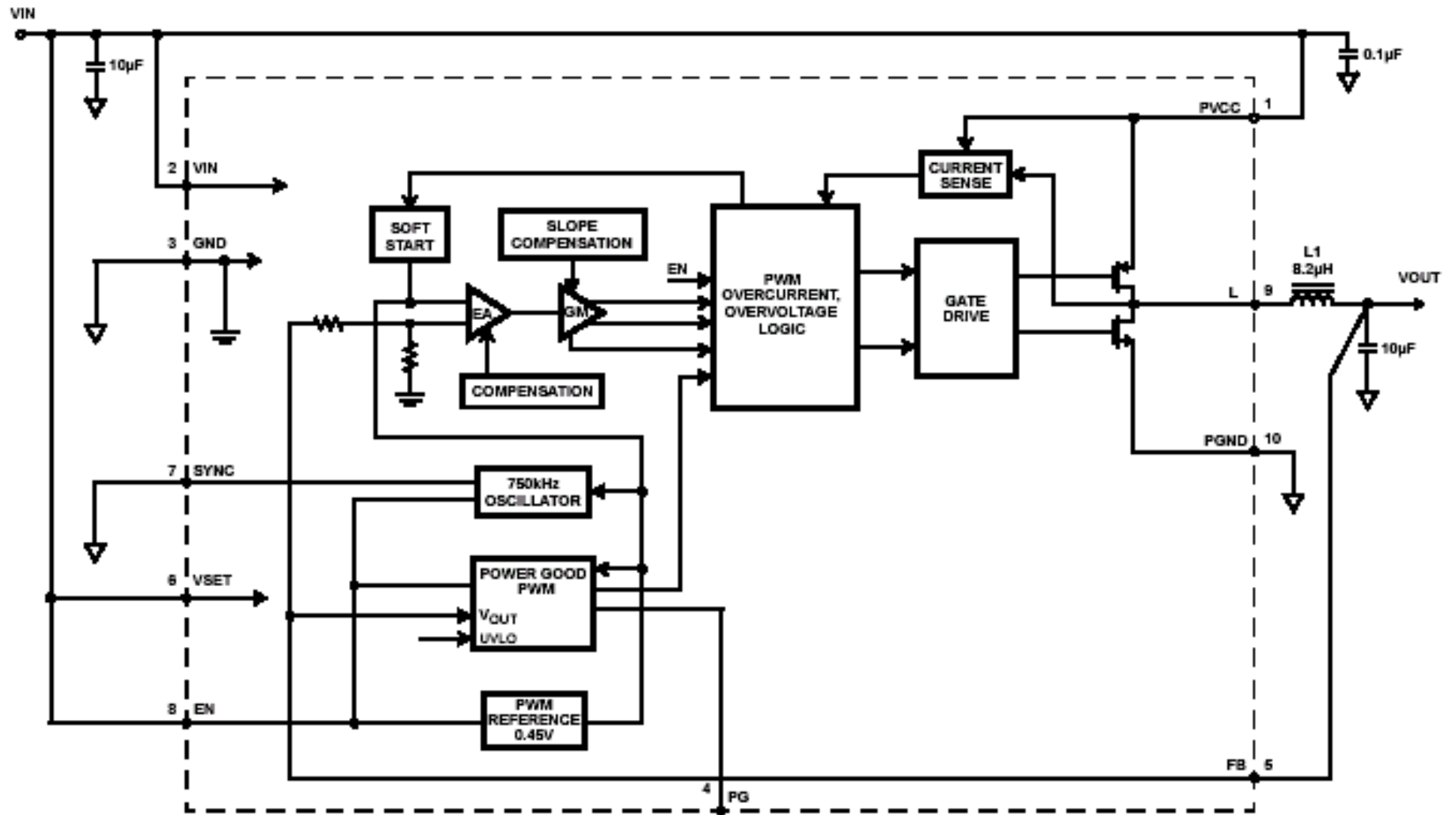
应用

- CPU, DSP, CPLD, FPGA
- 专用集成电路
- DVD 和 DSL 应用
- WLAN 网卡
- 一般的 5V 到 3.3V 的转换

引脚图

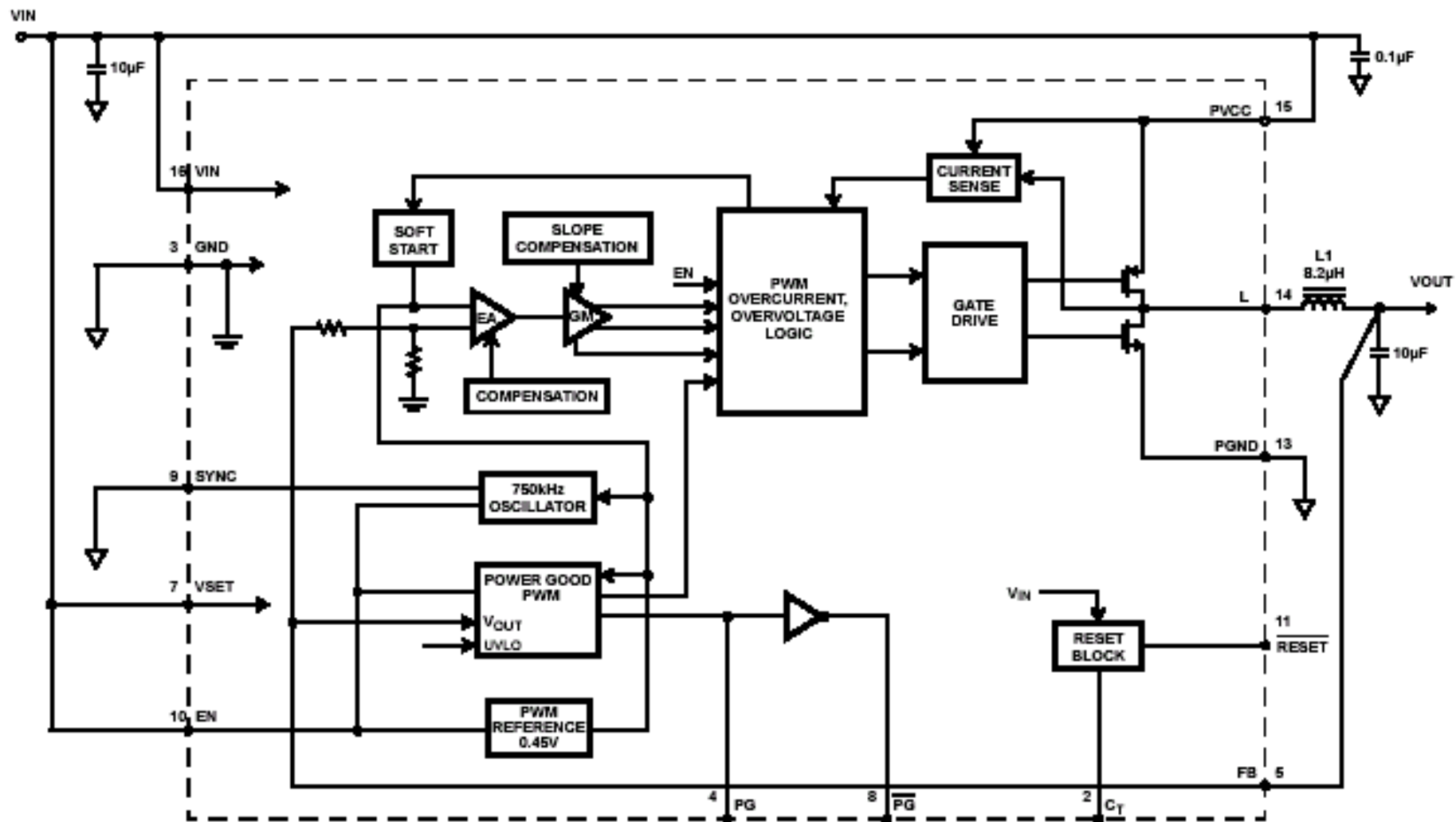


MSOP型功能模块图



- 注： 1. ISL6410的 V_{IN} 是 3.3V，ISL6410A的 V_{IN} 是 5.0V。
 2. 上图中的 VSET 脚接 V_{IN} ，因此 ISL6410的 V_{OUT} 为 1.8V，ISL6410A的 V_{OUT} 为 3.3V。

QFN 型功能模块图



注：1. ISL6410 的 V_{IN} 是 3.3V，ISL6410A 的 V_{IN} 是 5.0V。

2. 上图中的 VSET 脚接 V_{IN} ，因此 ISL6410 的 V_{OUT} 为 1.8V，ISL6410A 的 V_{OUT} 为 3.3V。

典型应用示意图

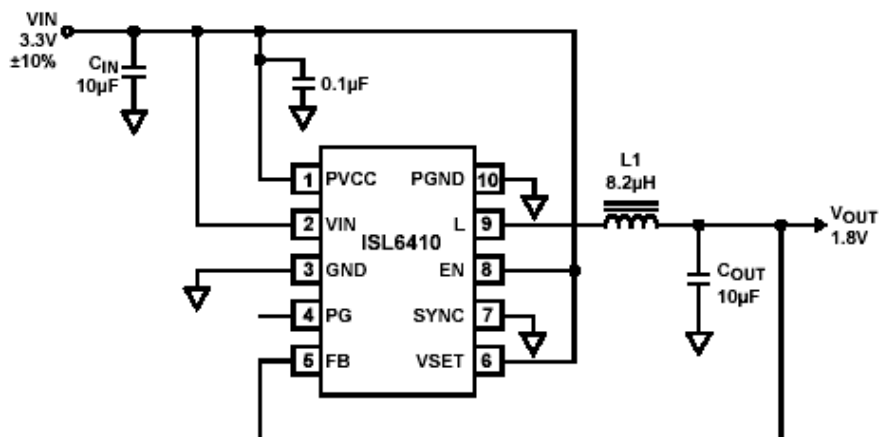


FIGURE 1. SCHEMATIC USING THE ISL6410 MSOP

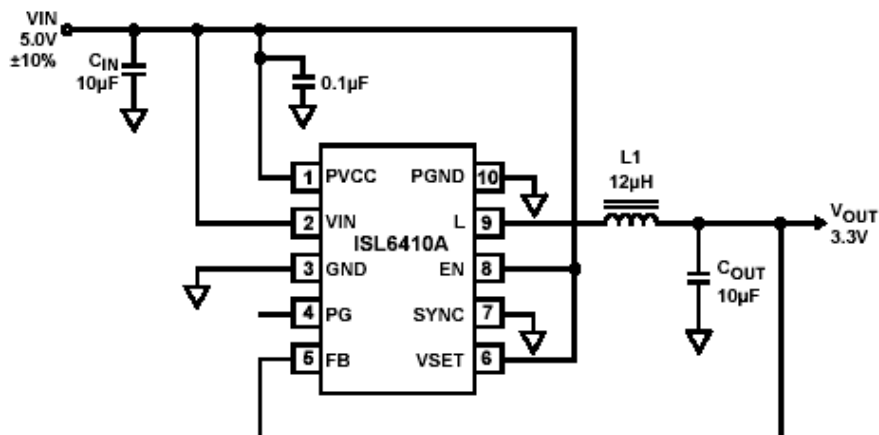


FIGURE 2. SCHEMATIC USING THE ISL6410A MSOP

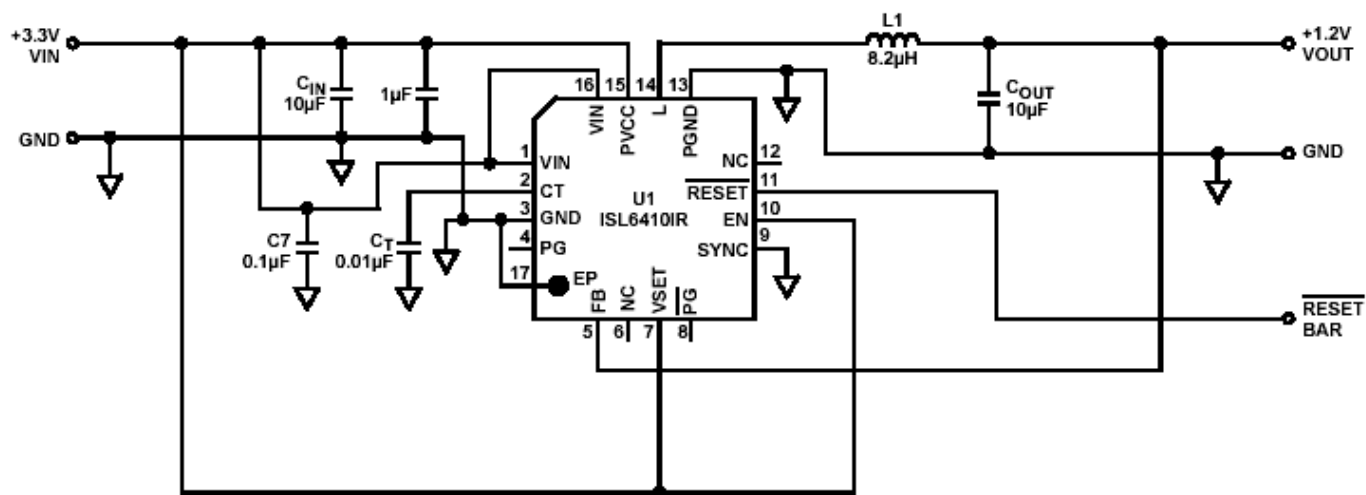


FIGURE 3. SCHEMATIC USING THE ISL6410 QFN

极限参数

电源电压 V_{CC}	-0.3V到+6.0V
同步, 反馈, V_{SET} 和使能输入 (注3)	-0.3V到 V_{CC} +0.3V
ESD分类 (人体模型)	2级

热信息

热阻 (典型值)	$\theta_{JA} (^{\circ}\text{C/W})$	$\theta_{JC} (^{\circ}\text{C/W})$
MSOP封装 (注4)	128	NA
QFN封装 (注4, 5)	45	7.5
最大结点温度 (塑料封装)		150 $^{\circ}\text{C}$
最大储存温度范围		-65 $^{\circ}\text{C}$ 到150 $^{\circ}\text{C}$
最大引线温度 (10s, 低温焊接)		260 $^{\circ}\text{C}$
环境温度范围		-40 $^{\circ}\text{C}$ 到85 $^{\circ}\text{C}$
结点温度范围		-40 $^{\circ}\text{C}$ 到125 $^{\circ}\text{C}$

注意: 强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数, 并不意味着在极限条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效工作。

注:

3. 所有电压都为对地电压。

4. θ_{JA} 是在空气条件下, 元件直接安装在高效导热性系数的测试板上测量得到的。参考技术摘要 TB379。

5. 对 θ_{JC} , “外壳温度”指的是外壳下面的暴露在外的金属垫片中心的温度。

电气指标

所有规格在 $V_{IN}=3.3\text{V} \pm 10\%$ (ISL6410) 或 $5\text{V} \pm 10\%$ (ISL6410A), $T_A=25^{\circ}\text{C}$ 的条件下, 除非另有说明 (注6)。

参数	测试条件	最小值	典型值	最大值	单位
V_{CC} 电源					
电源电压范围	VIN (ISL6410)	3.0	3.3	3.6	V
	VIN (ISL6410A)	4.5	5.0	5.5	V
输入 UVLO 阈值	V_{TR} (ISL6410) 升高	2.62	2.68	2.73	V
	V_{TF} (ISL6410) 降低	2.53	2.59	2.64	V
	V_{TR} (ISL6410A) 升高	4.27	4.37	4.45	V
	V_{TF} (ISL6410A) 降低	4.1	4.22	4.32	V
瞬时电源电流	$I_{OUT}=0\text{mA}$	-	2.3	-	mA
关断电源电流	EN=GND, $T_A=25^{\circ}\text{C}$	-	5	10	μA
	EN=GND, $T_A=85^{\circ}\text{C}$	-	10	15	μA
热关闭温度 (注7)	上限阈值	-	150	-	$^{\circ}\text{C}$
热关闭迟滞 (注7)		-	20	25	$^{\circ}\text{C}$
同步降压 PWM 稳压器					
输出电压	ISL6410, $V_{SET}=L$	-	1.2	-	V
	ISL6410, $V_{SET}=H$	-	1.8	-	V
	ISL6410, $V_{SET}=OPEN$	-	1.5	-	V
	ISL6410A, $V_{SET}=L$	-	1.2	-	V
	ISL6410A, $V_{SET}=H$	-	3.3	-	V
	ISL6410A, $V_{SET}=OPEN$	-	1.8	-	V
输出电压精度	$I_{OUT}=3\text{mA}$, $T_A=-40^{\circ}\text{C}$ 到 85°C	-1.5	-	+1.5	%
电源电压调整率	$I_{OUT}=3\text{mA}$	-0.5	-	+0.5	%
负载调整率	$I_{OUT}=3\text{mA}$ 到 600mA	-1.5	-	+1.5	%
最大输出电流		-	-	600	mA
峰值输出电流极限		700	-	1300	mA
PMOS $r_{DS(ON)}$	$I_{OUT}=200\text{mA}$	-	230	-	m Ω
NMOS $r_{DS(ON)}$	$I_{OUT}=200\text{mA}$	-	230	-	m Ω
效率	$I_{OUT}=200\text{mA}$, $V_{IN}=3.3\text{V}$, $V_O=1.8\text{V}$ (ISL6410)	-	92	-	%
效率	$I_{OUT}=200\text{mA}$, $V_{IN}=5.0\text{V}$, $V_O=3.3\text{V}$ (ISL6410A)	-	93	-	%
效率	$I_{OUT}=600\text{mA}$, $V_{IN}=5.0\text{V}$, $V_O=3.3\text{V}$ (ISL6410A)	-	91	-	%
软启动时间	4096 个时钟周期@750kHz	-	5.5	-	ms
振荡器					
振荡器频率		620	750	860	kHz
频率同步范围 (f_{SYNC})	SYNC 脚的时钟信号	500	-	1000	kHz
SYNC 高电平输入电压	占 VIN 的百分比	70	-	-	%
SYNC 低电平输入电压	占 VIN 的百分比	-	-	30	%
SYNC 输入漏放电流	SYNC=GND 或 V_{IN}	-1	-	1	μA
外部时钟信号的占空比 (注7)		20	-	60	%
PGOOD (ISL6410 接 3.3V 逻辑电平, ISL6410A 接 5.0V 逻辑电平)					

ISL6410, ISL6410A

参数	测试条件	最小值	典型值	最大值	单位
上升阈值	1mA 最小吸收/源电流	+5.0	8.0	+10.5	%
下降阈值		-10.5	-8.0	-5.0	%
上升/下降迟滞		-	1	-	%
使能端					
EN 高电平输入电压	占 VIN 的百分比	70	-	-	%
EN 低电平输入电压	占 VIN 的百分比	-	-	30	%
EN 输入漏放电流	EN=GND 或 VIN	-1		1	μA
过压					
过压阈值		27	30	33	%
复位电路指标					
复位（复位释放）	ISL6410, ISOURCE=500μA, VIN=2.90V	0.8VIN	-	-	V
复位（复位启动）	ISL6410, ISINK=1.2mA, VIN=2.50V	-	-	0.3	V
复位上升阈值	ISL6410	2.74	2.78	2.81	V
复位下降阈值	ISL6410	2.72	2.77	2.79	V
复位（复位释放）	ISL6410A, ISOURCE=800μA, VIN=4.70V	0.8VIN	-	-	V
复位（复位启动）	ISL6410A, ISINK=3.2mA, VIN=4.10V	-	-	0.4	V
复位上升阈值	ISL6410A	4.5	4.58	4.64	V
复位下降阈值	ISL6410A	4.47	4.55	4.61	V
复位迟滞阈值	ISL6410	-	20	-	mV
复位迟滞阈值	ISL6410A	-	30	-	mV
复位有效时间（注 8）	CT=0.01mF	-	25	-	ms
VSET					
VSET 高电平输入		VIN-0.4V	-	-	V
VSET 低电平输入		-	-	0.4	V
VSET 开放电平输入			VIN/2		V

注：6. -40℃到 85℃下的规格由设计保证，未经产品测试。

7. 由设计保证，未经产品测试。

8. 复位超时周期与 CT 呈线性关系,斜率为 2.5ms/nF，因此，10nF 的电容提供的时间为 25ms。

引脚描述

VIN - 芯片的供给电压。建议尽可能靠近芯片放置 $1\mu\text{F}$ 的去耦电容。

GND - PWM 控制器级小信号接地。所有的内部控制电路都参考这只管脚。

PG - 电源良好是一个漏极开路输出。应在 PG 和 VIN 脚之间连一个上拉电阻，当输出电压达到额定值的 94.5% 时，它可以维持有效的高电平。

FB - 用来检测输出电压的反馈管脚，正常工作时与 VOUT 相连。

VSET - 本管脚用来设置输出电压。详细内容请参考表 1。

TABLE 1.

VSET	ISL6410 Vo	ISL6410A Vo
High	1.8V	3.3V
Open (NC)	1.5V	1.8V
Low	1.2V	1.2V

SYNC - 本管脚用来同步。转换器的开关频率与外部 CMOS 时钟信号同步，范围是 500kHz 到 1MHz。

EN - 25°C 下，逻辑高电平启动转换器，逻辑低电平使器件关闭，电源电流减少到小于 $10\mu\text{A}$ 。本管脚通过一个 10K 的电阻接至 VCC。

L - 本管脚是内部功率 MOSFET 的漏结，和外部电感相连接。

PGND - 电源接地。将所有电源接地线连接至该管脚。

PVCC - 该管脚为内部 MOSFET 提供输入供给。建议尽可能靠近 IC 放置 $1\mu\text{F}$ 去耦电容器。

CT - 定时电容连接，可为 *RESET* 信号设置 25ms 的最小脉冲宽度。

RESET - 监视 VIN 的复位监控电路的输出。当电源电压低于预设的门限，集成电路维持 *RESET* 信号，并在 VCC (VIN) 超过复位门限时保持它至少 25ms。输出是推挽式的。当微处理器复位时，*RESET* 为低电平。PWM 继续工作直到 VIN 降至 UVLO 门限以下。

功能描述

ISL6410, ISL6410A 是带有集成 N 通道和 P 通道功率 MOSFET 的同步降压稳压器，并提供预设管脚可编程的输出。内部 MOSFET 的同步整流可达到更高的效率和减少外部元件的数量。750kHz 的典型工作频率允许使用小的电感和电容值。器件可以与范围在 500kHz 到 1MHz 之间的外部时钟信号实现同步。PG 端指示了 PWM 的正常输出。

PWM 是基于带内部斜率补偿的峰值电流模式控制拓扑结构。在每个时钟周期的开始，高边 P 通道 MOSFET 被打开。电感中的电流逐渐变大，并被内部电路感应到。超过预置的极限时，高边开关断开，导致 PWM 比较器跳闸。这种情况发生在输出电压调节或电感电流达到电流极限时。在防止电流冲击的一段最小停滞时间之后，低边 N 通道 MOSFET 导通，电流逐渐降低。当时钟周期完成后，低边开关断开，下一个时钟周期启动。

控制回路具有内部补偿功能，因此，减少了外部元件的个数。

开关电流有内部感应，且最大电流极限的峰值为 1300 mA。

同步

转换器的典型工作频率是 750kHz。当一个外部信号加到 SYNC 脚时，转换器可能与范围在 500kHz 到 1000kHz 之外的外部时钟频率实现同步。器件会自动检测并与第一个时钟脉冲的上升沿同步。如果时钟信号停止，转换器会自动转换回内部时钟并不中断地继续工作。如果在 SYNC 脚上持续 4 个时钟周期都没有上升沿触发器出现，上面的转换将被启动。

软启动

当 EN (使能) 脚接高电平，软启动功能将产生一个内部电压斜度。这使得启动电流缓慢升高，预防了输出电压过冲和高突入电流。750kHz 的转换频率下，软启动持续时间的典型值是 5.5ms。当软启动完成时，误差信号放大器将与内部电压基准直接相连。

使能端

EN 脚接逻辑低电平可迫使 PWM 段关闭。在关闭模式下，PWM 所有主要的部件，包括电源开关，驱动器，电压基准和震荡器都被断开。

欠电压锁定

欠电压锁定电路可防止 VIN 上电压小于电气指标中输入 UVLO 门限的规定值时，转换器启动。

电源良好

在 PWM 启动且 V_{OUT} 在其最后典型值的 8.0% 范围内时，本输出应为高电平，当超出这一范围时为有效低电平。不使用时，输出变为有效低电平。建议不使用时，PG 脚悬空。

PWM 过压和过流保护

PWM 输出电流在每个 PWM 周期结束时被采样，超出过流限制时，导致一个 4 位的可逆计数器增加一个最低有效位。正常电流状态导致计数器减少一个最低有效位（计数器不会一直翻转或记数低于 0000）。

当 PWM 出现过流时，计数器很快达到 1111，且 PWM 输出被关闭，软启动计数器复位。16 个时钟后，PWM 输出启动，软启动周期也开始了。

如果 V_{OUT} 超过过压极限 32 个连续不断的时钟周期，PWM 输出被切断，软启动周期开始。

无负载工作

如果输出没有连接负载，转换器将调整输出电压，允许电感电流反向一小段时间。

输出电容选择

为了实现最好的性能，我们需要一个低 ESR 的输出电容。输出电压低于 1.8V 要求有一个大的输出电容和 ESR 的值，以提高转换器的性能和稳定性。在 1.8V 输出的应用下，我们要求有 $ESR \leq 50\text{m}\Omega$ 的 $10\mu\text{F}$ 的陶瓷电容或更高的电容值。

RMS 脉动电流计算如下：

$$I_{\text{RMS (Co)}} = V_O \times \frac{1 - \frac{V_O}{V_{\text{in}}}}{L \times f} \times \frac{1}{2 \times \sqrt{3}}$$

L = 电感值

f = 转换频率

全部的输出脉动电压是由输出电容 ESR 和输出电容充放电导致的电压峰值信号的总和：

$$\Delta V_O = V_O \times \frac{1 - \frac{V_O}{V_{\text{in}}}}{L \times f} \times \left(\frac{1}{8 \times C_O \times f} + ESR \right)$$

这里，最高的输出电压峰值信号发生在有最高输入电压 V_{IN} 时。

TABLE 2. RECOMMENDED OUTPUT CAPACITORS

CAPACITOR VALUE	ESR (mΩ)	COMPONENT SUPPLIER	COMMENTS
10μF	<50	AVX 08056D106KAT2A	Ceramic

输入电容选择

降压转换器的输入电流是脉冲的，因此，要求有一个低 ESR 的输入电容。这导致良好的输出电压，它可以过滤和使其对其他电路的干扰减到最小。输入电容应该有 $10\mu\text{F}$ 的最小值，选择更高的值可以提高输入电压过滤。输入电容应适用于最小输入脉动电流，计算如下：

$$I_{\text{RMS}} = I_O(\text{max}) \times \sqrt{\frac{V_O}{V_{\text{in}}} \times \left(1 - \frac{V_O}{V_{\text{in}}}\right)}$$

最坏情况下的 RMS 脉动电流发生在 $D=0.5$ ，计算为：

$$I_{\text{rms}} = I_O / 2.$$

D =运行周期

由于它们的低 ESR 值，陶瓷电容很受欢迎。和钽电容相比，它们对电压瞬变也不很敏感。为实现最佳性能，最好把输入电容放置在尽可能接近 IC 的输入脚的位置。

电感选择

ISL6410 是一个内部补偿器件，因此，对于 ISL6410，必须使用最小值为 $8.2\mu\text{H}$ 的电感，对于 ISL6410A 必须使用最小值为 $12\mu\text{H}$ 的电感。选择的电感必须有低的直流电阻，和比最大电感电流值更大的饱和电流，可由下面的等式计算：

$$dIL = V_O \times \frac{1 - \frac{V_O}{V_{\text{in}}}}{L \times f}$$

$$IL_{\text{max}} = I_O_{\text{max}} + \frac{dIL}{2}$$

其中

dIL=峰峰值电感电流

L=电感值

f=转换频率

ILmax=最大电感电流

TABLE 3. RECOMMENDED INDUCTORS

INDUCTOR VALUE	DCR (mΩ)	COMPONENT SUPPLIER
8.2μH	75	Coilcraft MSS6122-822MX
12μH	100	Coilcraft MSS6122-123MX

布局考虑

在所有的开关电源设计中，布线是设计过程中很重要的一步，特别是在是在高峰值电流和转换频率下。不当的线路布局将造成稳定性和电磁干扰的问题。我们建议主要的电流通路使用宽和短的路径。输入电容应放置在尽可能靠近 IC 脚的位置。这同样适用于输出电感和电容。模拟接地，GND，和电源接地，PGND，需要区分开来，在一个结点处连接，以使地面噪声的影响减到最小。

典型性能曲线图

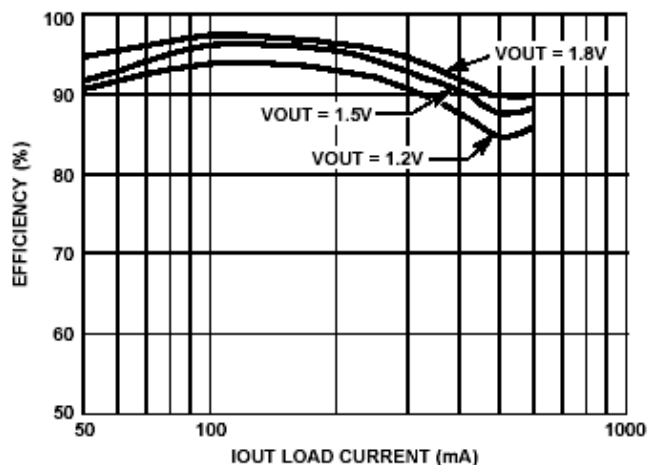


FIGURE 4. ISL6410 EFFICIENCY vs LOAD CURRENT

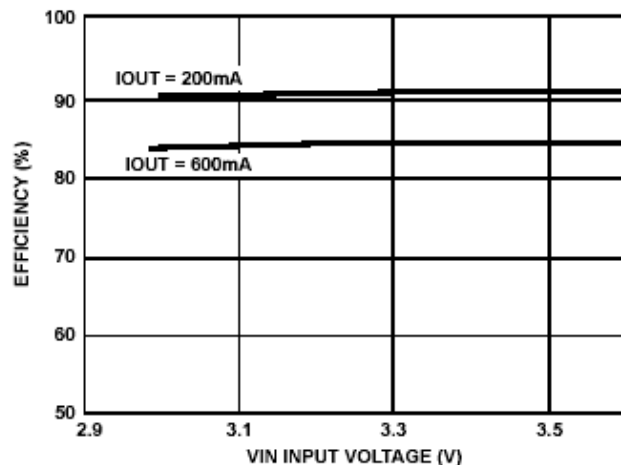


FIGURE 5. ISL6410 VIN vs EFFICIENCY

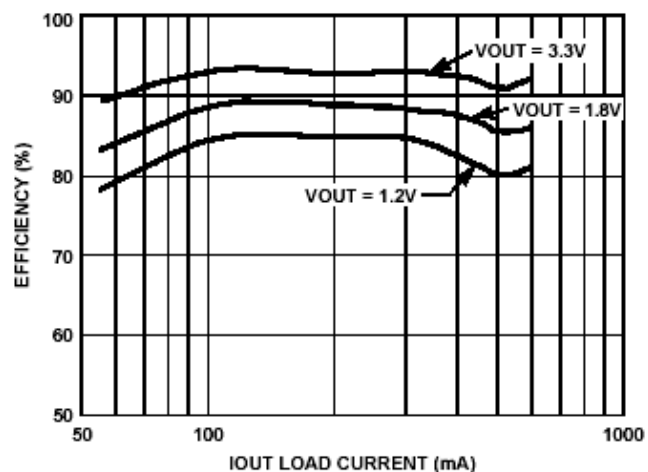


FIGURE 6. ISL6410A EFFICIENCY vs LOAD CURRENT

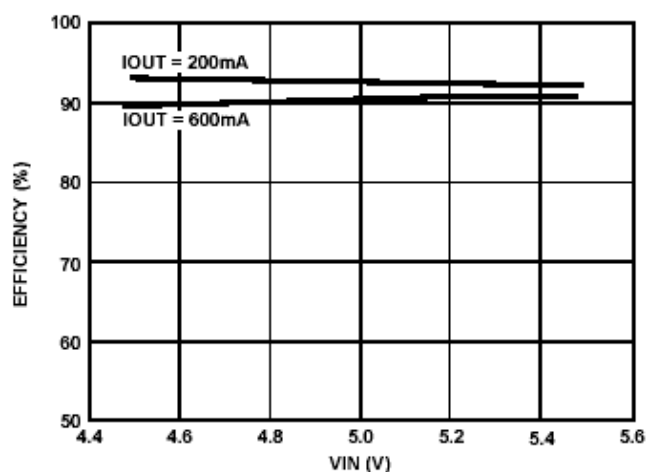


FIGURE 7. ISL6410A EFFICIENCY vs VIN

典型性能曲线图(续)

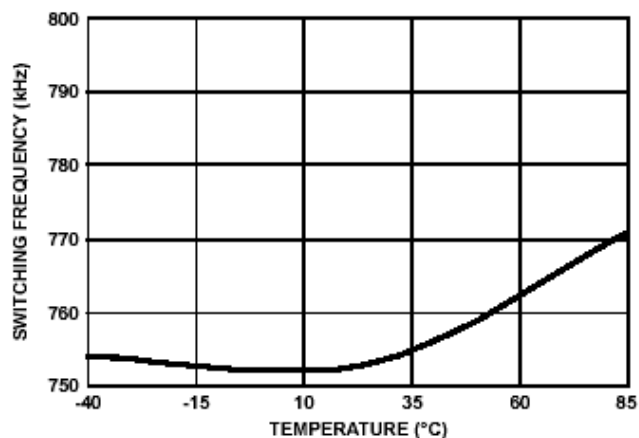


FIGURE 8. ISL6410 OSCILLATOR FREQUENCY vs TEMPERATURE

CH1 = Top, CH2 = Middle, CH4 = Bottom, where applicable

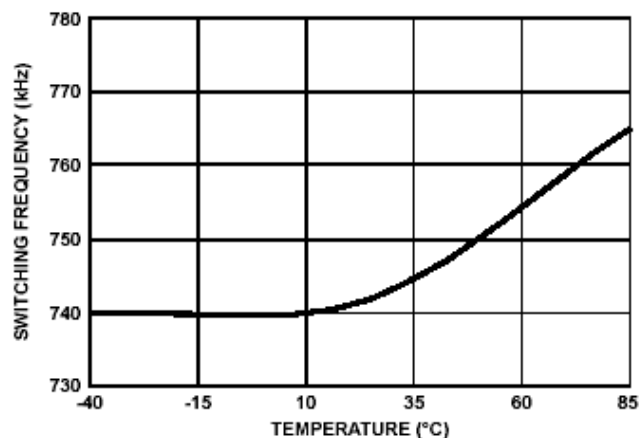


FIGURE 9. ISL6410A OSCILLATOR FREQUENCY vs TEMPERATURE

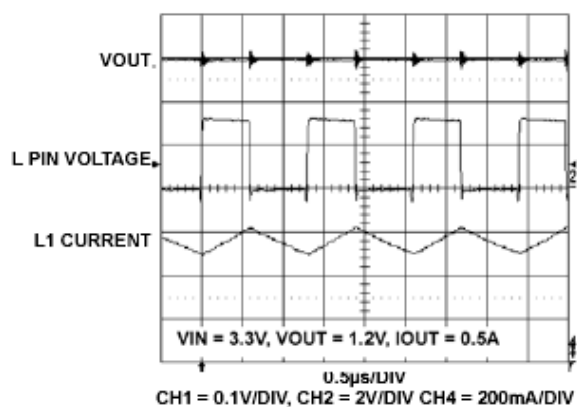


FIGURE 10. SWITCHING WAVEFORM FOR ISL6410

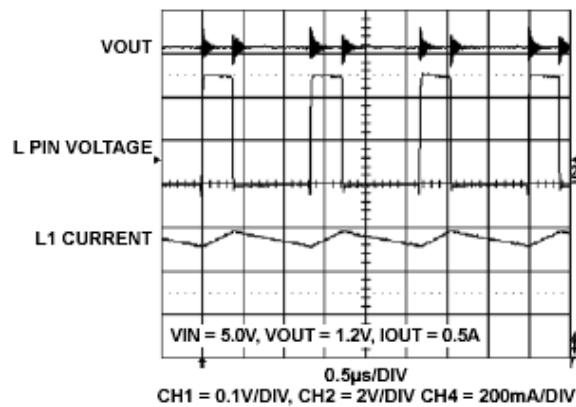


FIGURE 11. SWITCHING WAVEFORM FOR ISL6410A

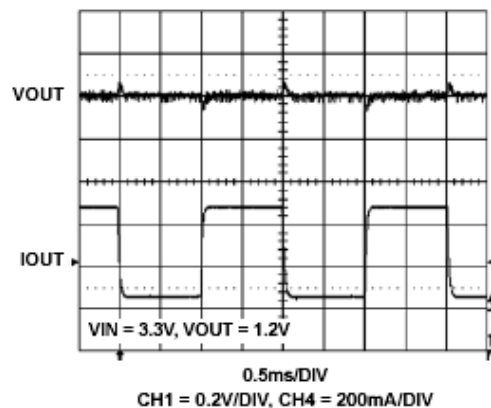


FIGURE 12. TRANSIENT LOAD WAVEFORM FOR ISL6410

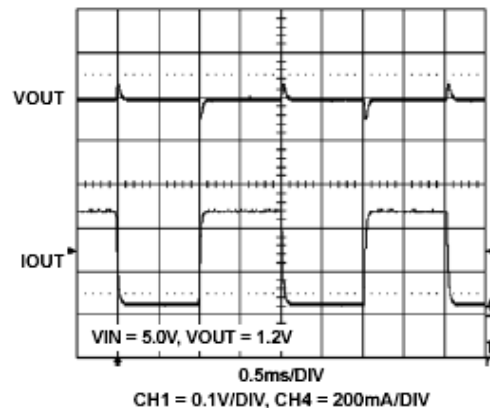


FIGURE 13. TRANSIENT LOAD WAVEFORM FOR ISL6410A

典型性能曲线图(续)

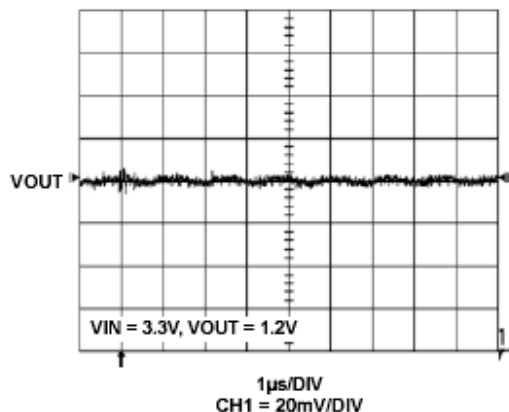


FIGURE 14. RIPPLE WAVEFORM FOR ISL6410

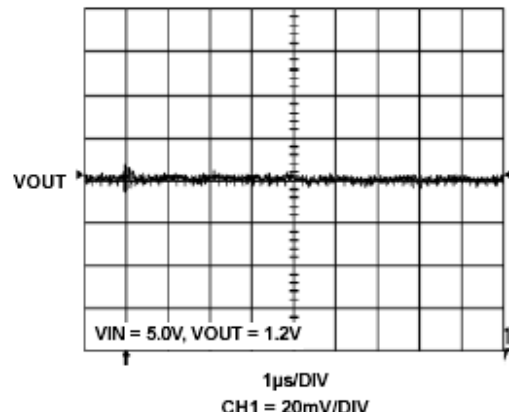


FIGURE 15. RIPPLE WAVEFORM FOR ISL6410A

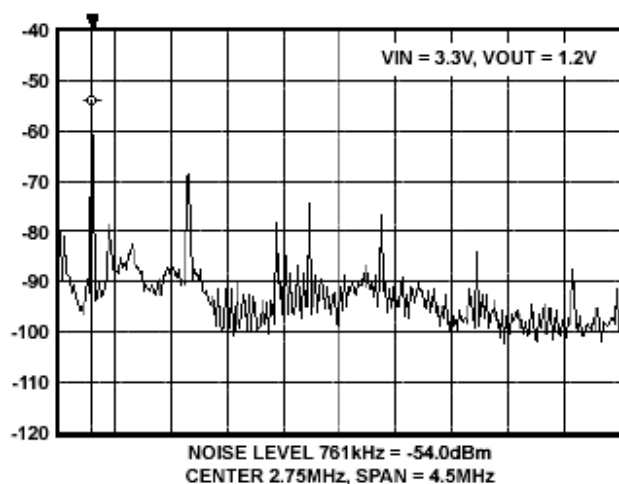


FIGURE 16. SWITCHING HARMONICS AND NOISE FOR ISL6410

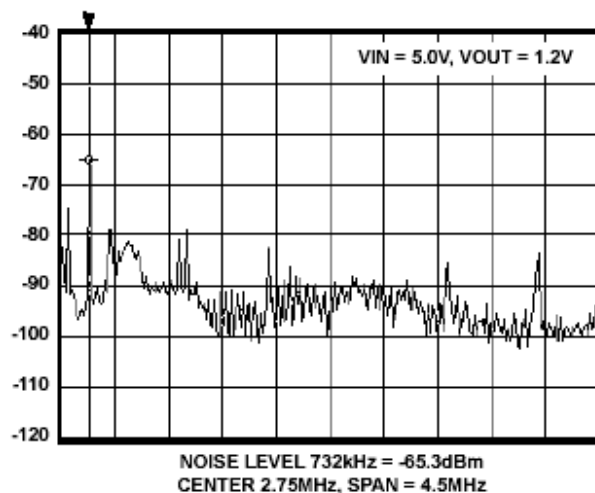
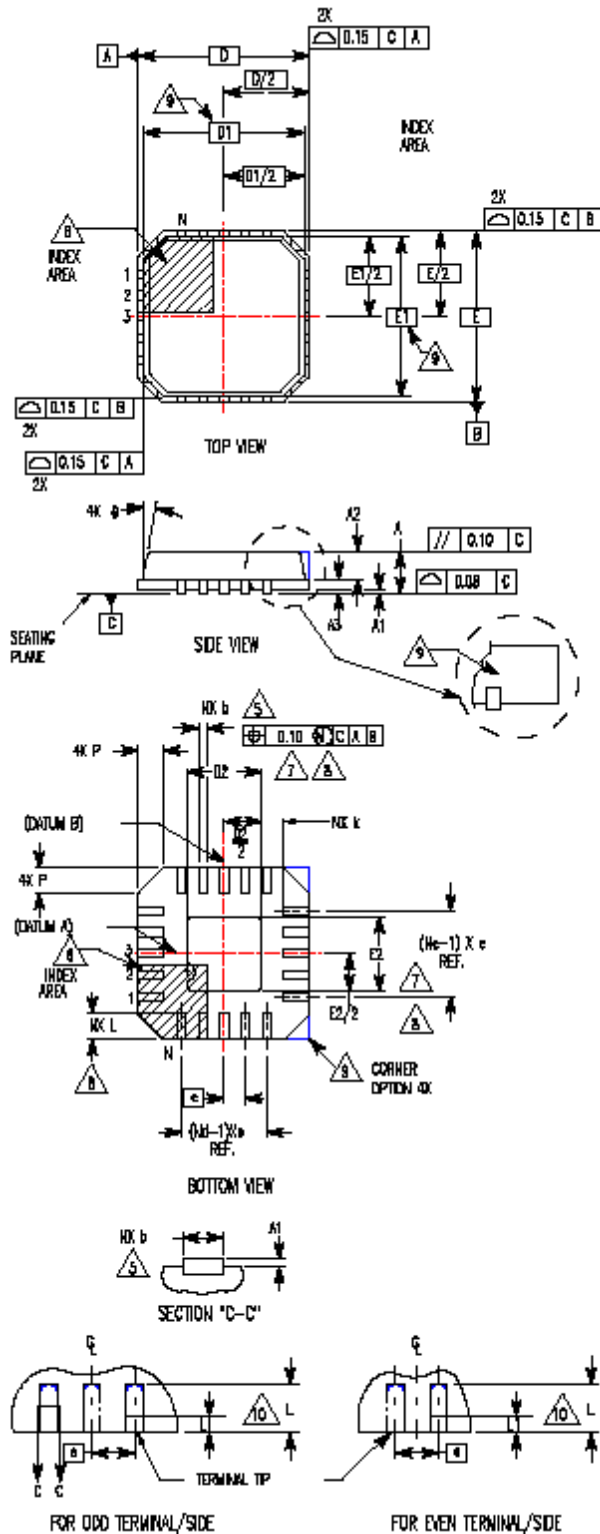


FIGURE 17. SWITCHING HARMONICS AND NOISE FOR ISL6410A

方形扁平无引线塑料封装 (QFN)
微引线构造塑料封装 (MLFP)



L16.4x4

16 LEAD QUAD FLAT NO-LEAD PLASTIC PACKAGE
(COMPLIANT TO JEDEC MO-220-VGGC ISSUE C)

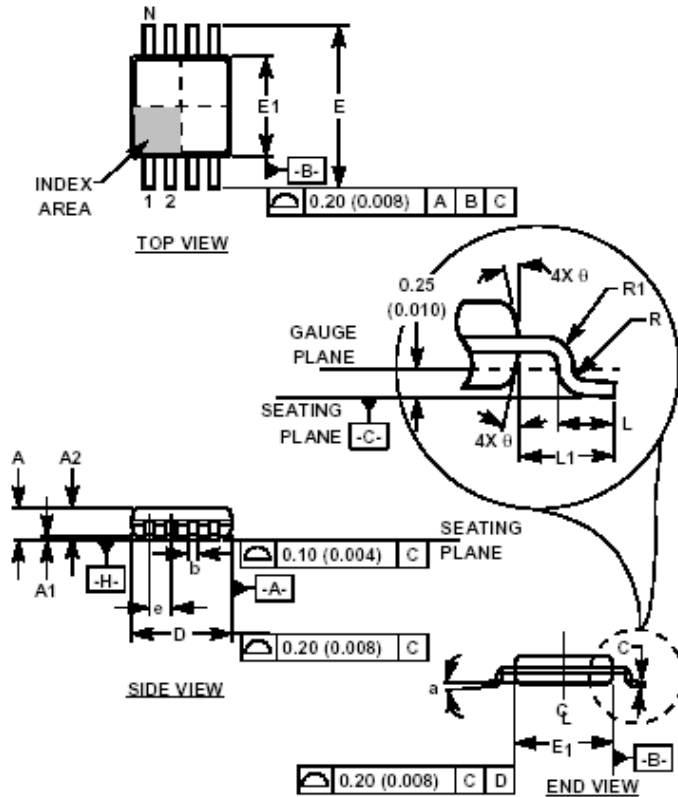
SYMBOL	MILLIMETERS			NOTES
	MIN	NOMINAL	MAX	
A	0.80	0.90	1.00	-
A1	-	-	0.05	-
A2	-	-	1.00	9
A3	0.20 REF			9
b	0.23	0.28	0.35	5, 8
D	4.00 BSC			-
D1	3.75 BSC			9
D2	1.95	2.10	2.25	7, 8
E	4.00 BSC			-
E1	3.75 BSC			9
E2	1.95	2.10	2.25	7, 8
e	0.65 BSC			-
k	0.25	-	-	-
L	0.50	0.60	0.75	8
L1	-	-	0.15	10
N	16			2
Nd	4			3
Ne	4			3
P	-	-	0.60	9
θ	-	-	12	9

Rev. 5 5/04

NOTES:

1. Dimensioning and tolerancing conform to ASME Y14.5-1994.
2. N is the number of terminals.
3. Nd and Ne refer to the number of terminals on each D and E.
4. All dimensions are in millimeters. Angles are in degrees.
5. Dimension b applies to the metallized terminal and is measured between 0.15mm and 0.30mm from the terminal tip.
6. The configuration of the pin #1 identifier is optional, but must be located within the zone indicated. The pin #1 identifier may be either a mold or mark feature.
7. Dimensions D2 and E2 are for the exposed pads which provide improved electrical and thermal performance.
8. Nominal dimensions are provided to assist with PCB Land Pattern Design efforts, see Intersil Technical Brief TB389.
9. Features and dimensions A2, A3, D1, E1, P & θ are present when Anvil singulation method is used and not present for saw singulation.
10. Depending on the method of lead termination at the edge of the package, a maximum 0.15mm pull back (L1) maybe present. L minus L1 to be equal to or greater than 0.3mm.

小体积塑料封装 (MSOP)



M10.118 (JEDEC MO-187BA)
10 LEAD MINI SMALL OUTLINE PLASTIC PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.037	0.043	0.94	1.10	-
A1	0.002	0.006	0.05	0.15	-
A2	0.030	0.037	0.75	0.95	-
b	0.007	0.011	0.18	0.27	9
c	0.004	0.008	0.09	0.20	-
D	0.116	0.120	2.95	3.05	3
E1	0.116	0.120	2.95	3.05	4
e	0.020 BSC		0.50 BSC		-
E	0.187	0.199	4.75	5.05	-
L	0.016	0.028	0.40	0.70	6
L1	0.037 REF		0.95 REF		-
N	10		10		7
R	0.003	-	0.07	-	-
R1	0.003	-	0.07	-	-
θ	5°	15°	5°	15°	-
α	0°	6°	0°	6°	-

Rev. 0 12/02

NOTES:

- These package dimensions are within allowable dimensions of JEDEC MO-187BA.
- Dimensioning and tolerancing per ANSI Y14.5M-1994.
- Dimension "D" does not include mold flash, protrusions or gate burrs and are measured at Datum Plane. Mold flash, protrusion and gate burrs shall not exceed 0.15mm (0.006 inch) per side.
- Dimension "E1" does not include interlead flash or protrusions and are measured at Datum Plane. **-H-** Interlead flash and protrusions shall not exceed 0.15mm (0.006 inch) per side.
- Formed leads shall be planar with respect to one another within 0.10mm (.004) at seating Plane.
- "L" is the length of terminal for soldering to a substrate.
- "N" is the number of terminal positions.
- Terminal numbers are shown for reference only.
- Dimension "b" does not include dambar protrusion. Allowable dambar protrusion shall be 0.08mm (0.003 inch) total in excess of "b" dimension at maximum material condition. Minimum space between protrusion and adjacent lead is 0.07mm (0.0027 inch).
- Datums **-A-** and **-B-** to be determined at Datum plane **-H-**.
- Controlling dimension: MILLIMETER. Converted inch dimensions are for reference only.

Intersil公司所有产品的制造，组装和测试都采用ISO9000质量体系标准。

查阅Intersil公司的质量证明书，请登陆www.intersil.com/design/quality.

Intersil的产品仅跟说明书一致。Intersil公司保留在任何时候，不事先通知的情况下修改电路设计，软件和/或说明书的权利。因此，提醒读者在订货前注意检查数据手册的时效性。Intersil提供的信息是准确可靠的。但是，Intersil或其子公司不对它的使用承担任何责任；也不对使用它可能产生的任何侵犯专利权或第三方其他权利的行为承担任何责任。除非有Intersil或其子公司的专利证书或专利权，Intersil不会隐含授予任何许可证。

关于Intersil公司和产品的更多信息，请浏览：www.intersil.com