

ワンチップ、カレントシェア、10A DC/DC 電源モジュール ISL8200AM

ISL8200AM は高出力の電源回路を簡単に構成できる DC/DC 電源モジュールで、カレントシェア機能を備えています。大電流を必要とするデータコム、テレコム、サーバーなどのアプリケーション用として開発されています。ISL8200AM のほかに数個の外付け部品と VOUT の設定抵抗 RSET を追加するだけで 10A の電源回路を構成することができます。

電源回路の設計工数を削減できるため、設計や製造のリスクの低減につながるとともに、開発時間の大幅な短縮が図れます。

さらに大きな出力電流が必要な場合は、最大で 6 個の ISL8200AM モジュールを並列接続することにより、60A まで対応可能なソリューションを構築できます (10 ページの図 6 を参照)。

ISL8200AM のシンプルさは、ディスクリート設計ではなく、補助部品が不要で既製品のまま使用可能な設計を採用することで実現しています。マルチフェーズ動作におけるカレントシェア機能は特許取得済みで、リップル電流、部品コスト、複雑さを大幅に低減します。2 個を並列接続すると 20A、6 個を並列接続すると 60A の出力を得られます。出力電圧は最低 0.6V まで正確にレギュレーション可能で、ライン/負荷/温度変動があっても $\pm 1\%$ という高精度の出力電圧レギュレーションを維持できます。

ISL8200AM の放熱性に優れたコンパクトな QFN パッケージは、全温度範囲にわたりフル負荷時でも強制冷却なしで動作できます。きわめて薄いので、PCB の裏面にも実装可能です。わずかな外付け部品ですべてのピンへ容易にアクセスできるため、PCB の設計を部品層とシンプルなグラウンド層に集約させることができます。

特長

- スイッチモードの電源回路全体をワンパッケージに統合
- モジュールを並列接続したときのレイアウトの影響を軽減するカレントシェア・アーキテクチャ (特許取得済み)
- カレントシェアモードでは各フェーズの位相シフト量を設定可能 (最大 6 フェーズ)
- 低背パッケージ (高さ 2.2mm)
- 入力電圧範囲 +4.5V から +20V で最大出力 10A、カレントシェア時は最大 60A
- 単一の抵抗で V_{OUT} を +0.6V から +6V まで設定可能
- 出力過電圧 (OV)/ 過電流 (OC)/ 過熱 (OT) 保護機能とアンダーボルテージ (UV) 通知機能
- RoHS 準拠

アプリケーション

- サーバー、テレコム、データコムの各製品および機器
- 産業用機器および医療用機器
- ポイント・オブ・ロード・レギュレータ

関連ドキュメント

- アプリケーション・ノート [AN1738](#)、「ISL8200AMEV1PHZ Evaluation Board User's Guide」
- [ISL8200AM iSim Model](#) - (製品情報ページ)

回路図

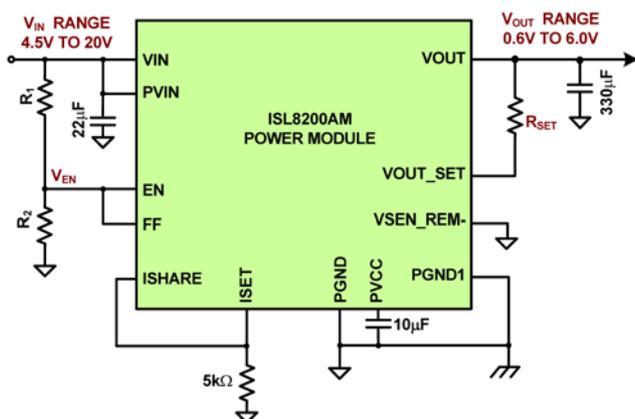


図 1. 10A 設計の全体図
(必要な V_{OUT} に応じて R_{SET} を選択)

ISL8200AM のパッケージ

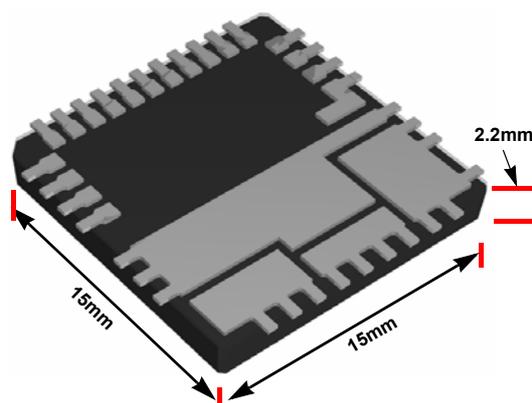


図 2. 2.2mm と低背なため、面積や高さが限られている場合に PCB 裏面への実装が可能

ISL8200AM

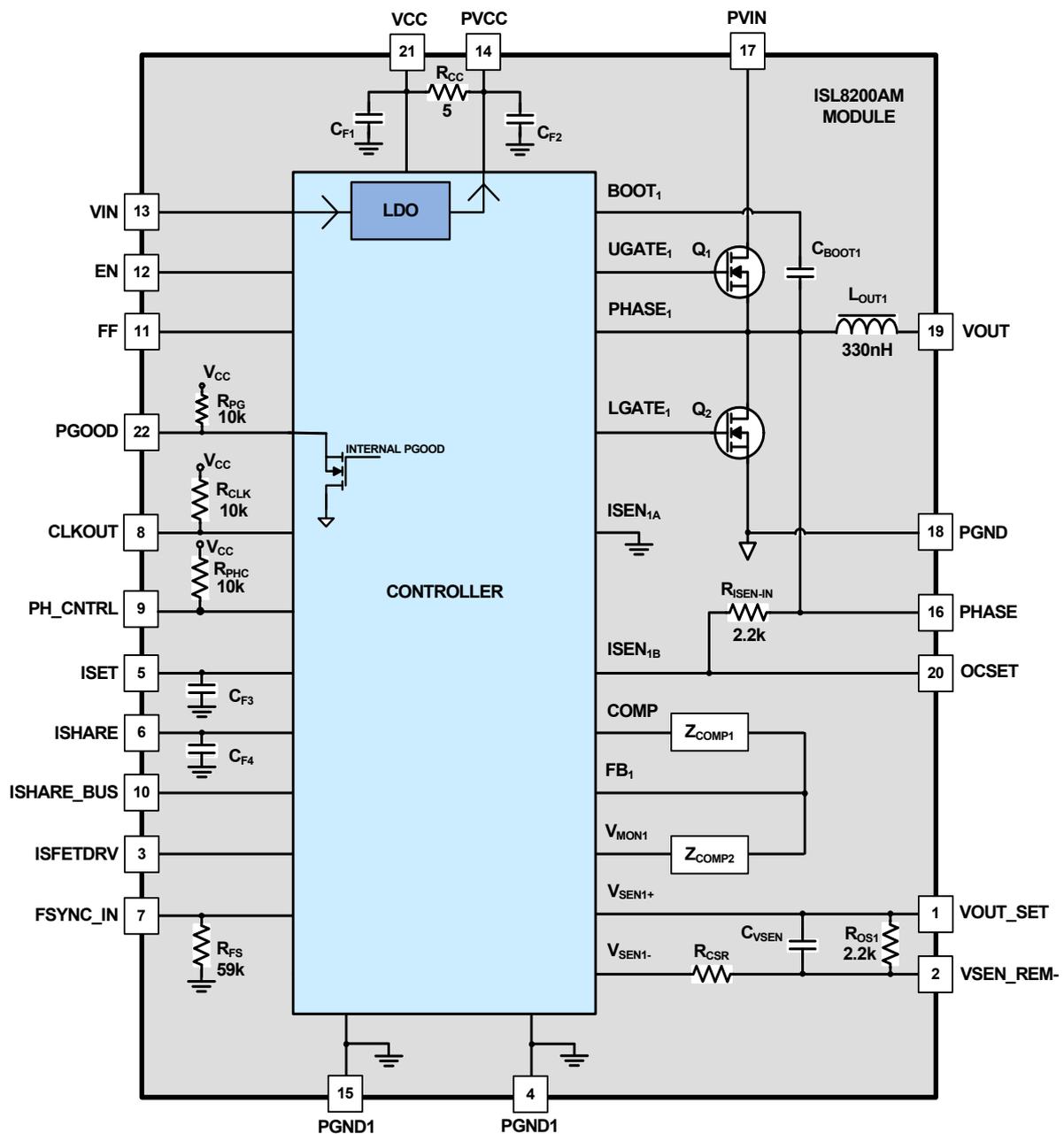
注文情報

製品型番 (Note 1、2、3)	マーキング	温度 範囲 (°C)	パッケージ (RoHS 準拠)	パッケージの外形図
ISL8200AMIRZ	ISL8200AM	-40 °C ~ +85 °C	23 Ld QFN	L23.15x15

NOTE :

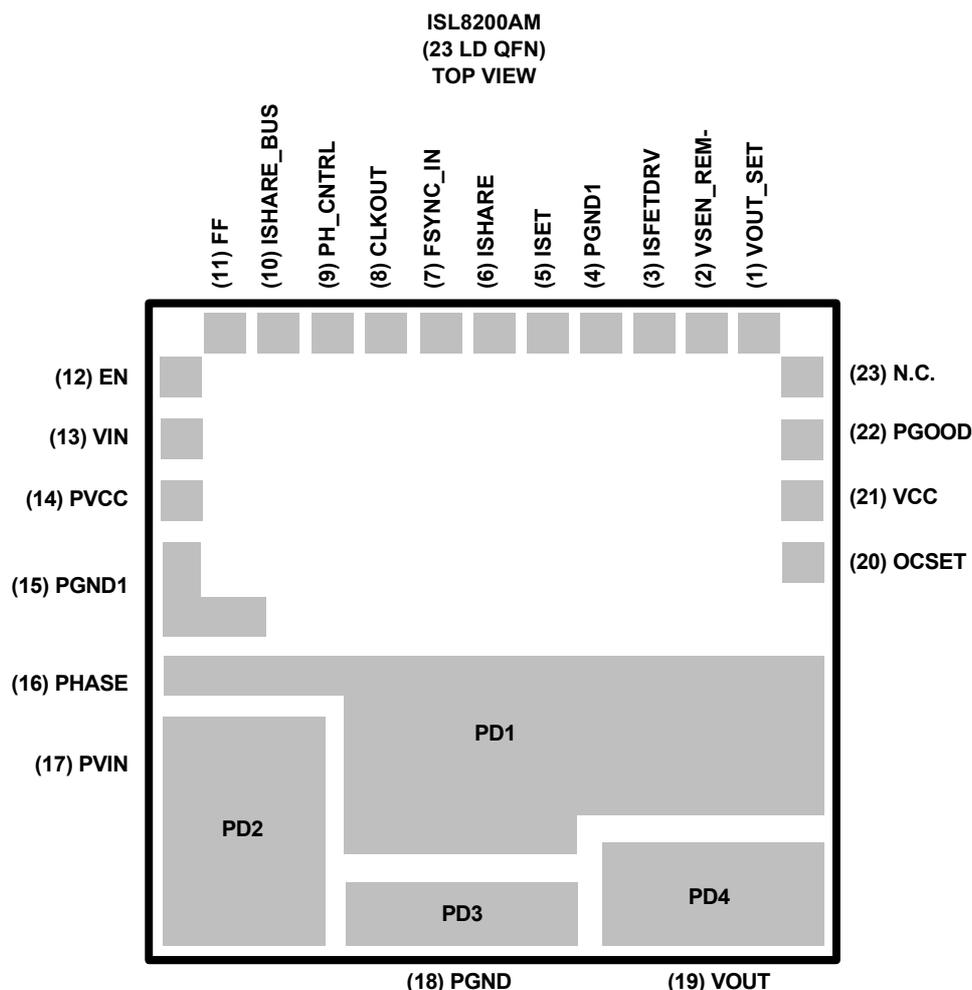
1. テープ&リールは製品型番の末尾に「-T」を付加してください。リールの詳細仕様についてはテクニカル・ブリーフ「Tape and Reel Specification for Integrated Circuit (TB347)」を参照してください。
2. これら鉛フリーのプラスチック・パッケージ製品には、専用の鉛フリー素材、モールド素材、ダイ・アタッチ素材を採用するとともに、端子には亜鉛 100%の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリー・ハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度で MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
3. 湿度感受性レベル (MSL) については [ISL8200AM](#) のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ「Guidelines for Handling and Processing Moisture Sensitive Surface Mount Devices (SMDs) (TB363)」を参照してください。

内蔵回路およびピン接続



ISL8200AM

ピン配置



ピンの説明

ピン番号	ピン名称	ピンの説明
1	VOUT_SET	アナログ電圧入力。V _{OUT} とともに使用して、レギュレータの出力電圧を設定します。VSEN_REM- に対する VOUT_SET の入力インピーダンスの代表値は 500kΩ です。入力電圧の代表値は 0.6V です。
2	VSEN_REM-	アナログ電圧入力。差動リモートセンス用として内蔵されているユニティゲイン・オペアンプの負入力です。負荷点の負電圧レールに接続してください。このピンと VOUT_SET ピンの間に抵抗を接続すると、V _{OUT} を調整できます。
3	ISFETDRV	デジタル出力。このピンは、オプションの N チャネル FET の駆動に使用されます。N チャネル FET は、プリバイアス・スタートアップの完了時に ISHARE をシステム ISHARE バスに接続します。出力電圧範囲は 0V ~ 5V です。
4、15	PGND1	標準グラウンド。すべての電圧レベルは、このパッドを基準としています。このパッドは、ローサイド MOSFET ドライブや内蔵電源回路のほか、すべてのアナログ信号の帰還パスになっています。PGND と PGND1 は共に GND 層に接続してください。
5	ISET	アナログ電流出力。このピンは、15μA のオフセット電流とチャネル 1 の平均電流の供給元となります。外付け抵抗 (RISET) によって設定された電圧 (V _{ISET}) は、ローカル・アクティブ・モジュールの平均電流レベルに相当します。フルスケール電流の場合、RISET は最大 10kΩ 程度としてください。出力電流範囲は 15μA ~ 126μA (typ) です。 ISET ピンと ISHARE ピンは、複数の ISL8200AM モジュール間でのカレントシェアを目的に使用されます。単一モジュール構成の場合、このピンは ISHARE ピンに接続してください。マルチフェーズ動作でノイズが問題になるのであれば、10pF のコンデンサを ISET ラインに追加してください。

ピンの説明 (続き)

ピン番号	ピン名称	ピンの説明
6	ISHARE	アナログ電流出力。カスケード接続式のシステム・レベル過電流シャットダウン・ピンです。このピンは、カレントシェアのために複数のモジュールを使用する構成とした場合に、共通のカレントシェア・バスとともに使用されます。カレントシェア・バスでは、負荷に対する各モジュールの平均電流の和を求めることにより、負荷での過電流状態を防止します。このピンは、15 μ A 電流とモジュールの平均出力電流の供給元となります。カレントシェア・バス電圧 (V_{ISHARE}) は、外付け抵抗 (R_{ISHARE}) の両端間で生じる電圧です。 V_{ISHARE} は、相互接続されたすべてのアクティブ・チャンネルの平均電流に相当します。 ISHARE バス電圧は、各モジュールの R_{ISET} 抵抗によって設定されたモジュールの内部リファレンス電圧と比較されます。その結果、カスケード接続された各コントローラで個別のカレントシェア誤差信号が生成されます。カレントシェア・バスのインピーダンス R_{ISHARE} は、 $R_{ISET}/NCTRL$ (R_{ISET} をアクティブなカレントシェア・コントローラの数で除算) として設定する必要があります。このピンからの出力電流は、外付け抵抗の両端間で電圧を生成します。この電圧 V_{ISHARE} は、平均過電流保護を目的に 1.2V の内部スレッシュホールドと比較されます。フルスケール電流の場合、 R_{ISHARE} には 10k Ω 程度の抵抗を使用してください。 R_{SHARE} と R_{SET} には通常、10k Ω 抵抗が使用されます。出力電流範囲は 15 μ A ~ 126 μ A (typ) です。
7	FSYNC_IN	アナログ入力制御ピン。このピンとグラウンドの間にオプションの外付け抵抗 (RFS-ext) を接続すると、発振回路のスイッチング周波数が増加します。内蔵の 59k Ω 抵抗のみを使用した場合は、デフォルト周波数の 700kHz になります。矩形波に接続されると、内蔵発振回路は外部周波数ソースにロックします。外部ソースは通常、別の ISL8200AM からの CLKOUT 信号、または外部クロックです。内蔵発振回路は、入力信号の正の立ち上がりエッジと同期します。外部ソースの入力電圧範囲は、矩形波で 0V ~ 5V です。外部クロックと同期させない場合は、FSYNC_IN と PGND1 の間に 100pF のコンデンサを接続することを推奨します。
8	CLKOUT	デジタル電圧出力。このピンは、別の ISL8200AM と同期するためのクロック信号を供給します。システム内に複数の ISL8200AM が存在する場合は、PH_CNTRL を介して 2 つの個別レギュレータの位相ディレイを別々に設定できます。
9	PH_CNTRL	アナログ入力。このピンの電圧レベルを利用して、CLKOUT クロック信号の位相シフトが別のモジュールと同期するように設定できます。
10	ISHARE_BUS	最初の PWM パルスが生成されるまでオープンなピン。プリバイアスが完了し、ソフトスタートが開始されたら、このピンは内蔵 FET を利用して、モジュールの ISHARE をシステムの ISHARE バスに接続します。
11	FF	アナログ電圧入力。このピンの電圧をコントローラに供給することでのこぎり波振幅を調整し、フィードフォワード機能を提供します。入力電圧範囲は 0.8V ~ V_{CC} です。FF は通常、EN に接続されます。
12	EN	このピンには 2 つの機能があります。アナログ入力電圧：このピンへの入力電圧が高精度の 0.8V リファレンスと比較されて、デジタル・ソフトスタートがイネーブルになります。代表値 5mA の電流を維持するプルアップ抵抗により、入力電圧範囲は 0V ~ V_{CC} または V_{IN} となります。 アナログ電圧出力：このピンは、入力バスのアンダーボルテージ・ロックアウトに対する電圧モニターとして使用できます。このピンを介した抵抗分圧回路ネットワークの利用により、ロックアウトのヒステリシス・レベルの設定が可能です。また、このピンはオープン・ドレインなので、フォルト状態 (過電圧、過電流、過熱など) の発生時には、OR 接続を Low にして、カスケード接続された別のモジュールに情報を伝えることができます。出力電圧範囲は 0V ~ V_{CC} です。
13	VIN	アナログ電圧入力。内蔵リニアレギュレータを使用する場合は、このピンを入力レールに直接接続してください。このピンは内蔵リニア駆動回路に電力を供給します。外部 5V 電源を使用する場合は、PVCC に直接接続してください。入力レールの喪失時に、VCC におけるデカップリング・コンデンサの残留電荷によって生じた逆バイアスから内蔵リニアデバイスを保護します。入力電圧範囲は 4.5V ~ 20V です。
14	PVCC	アナログ出力。このピンは、内蔵直列リニアレギュレータの出力です。ローサイド・ドライバとハイサイド・ドライバのいずれに対してもバイアスを提供します。動作電圧範囲は 4.5V ~ 5.6V です。PVCC ピンのセラミック・デカップリング・コンデンサは 10 μ F です。
16	PHASE	アナログ出力。このピンは、レギュレータのフェーズ・ノードです。出力電圧範囲は 0V ~ 30V です。
17	PVIN	アナログ入力。PGND ピンを FET のグラウンドとした状態で、この入力電圧がパワー FET に印加されます。モジュールのできるだけ近くで、PVIN ピンと PGND ピンの間に 22 μ F の入力デカップリング・コンデンサを直接接続することを推奨します。入力電圧範囲は 3V ~ 20V です。
18	PGND	すべての電圧レベルは、このパッドを基準としています。これはローサイド MOSFET のグラウンドです。PGND と PGND1 はグラウンド層で相互接続してください。
19	VOUT	モジュールからの出力電圧。出力電圧範囲は 0.6V ~ 6V です。
20	OCSET	アナログ入力。このピンと PHASE ピンを使用して、モジュールの電流リミットを設定します。入力電圧範囲は 0V ~ 30V です。
21	VCC	アナログ入力。このピンは、バイアス電力をアナログ回路に供給します。動作範囲は 4.5V ~ 5.6V です。3.3V アプリケーションでは、 V_{CC} 立ち上がりスレッシュホールド・リミットによる最低入力電圧でも動作可能とするために、VCC、PVCC、VIN を短絡する必要があります。このピンには、内蔵リニアレギュレータと外部電圧源のいずれからでも電力を供給できます。

ピンの説明 (続き)

ピン番号	ピン名称	ピンの説明
22	PGOOD	アナログ出力。内蔵の 10kΩ 抵抗を介して VCC に接続されたこのピンは、出力が公称出力レギュレーション・ポイントから 9%以内になり (4% のヒステリシスがあるので 13% / 9%)、ソフトスタートが完了すると、パワーグッド信号を発信します。外付けプルアップは必要ありません。PGOOD は内蔵差動アンプの出力 (VMON1) をモニタします。出力電圧範囲は 0V ~ V _{CC} です。
23	NC	内部接続されていません。
PD1	PHASE サーマルパッド	PHASE ピン (ピン #16) として使うほか、ビア経由で放熱層に接続し熱放散にも利用します。このパッドは、パッドと同じ形状を持つ PCB 上の銅パターンに接続してください。これは PHASE ピン 16 と電気的に接続されています。
PD2	PV _{IN} サーマルパッド	PV _{IN} ピン (ピン #17) として使うほか、ビア経由で放熱層に接続し熱放散にも利用します。このパッドは、パッドと同じ形状を持つ PCB 上の銅パターンに接続してください。これは PV _{IN} ピン 17 と電気的に接続されています。
PD3	PGND サーマルパッド	PGND ピン (ピン #18) として使うほか、ビア経由で放熱層に接続し熱放散にも利用します。このパッドは、パッドと同じ形状を持つ PCB 上の銅パターンに接続してください。これは PGND ピン 18 と電気的に接続されています。
PD4	V _{OUT} サーマルパッド	V _{OUT} ピン (ピン #19) として使うほか、ビア経由で放熱層に接続し熱放散にも利用します。このパッドは、パッドと同じ形状を持つ PCB 上の銅パターンに接続してください。これは V _{OUT} ピン 19 と電気的に接続されています。

アプリケーション回路例

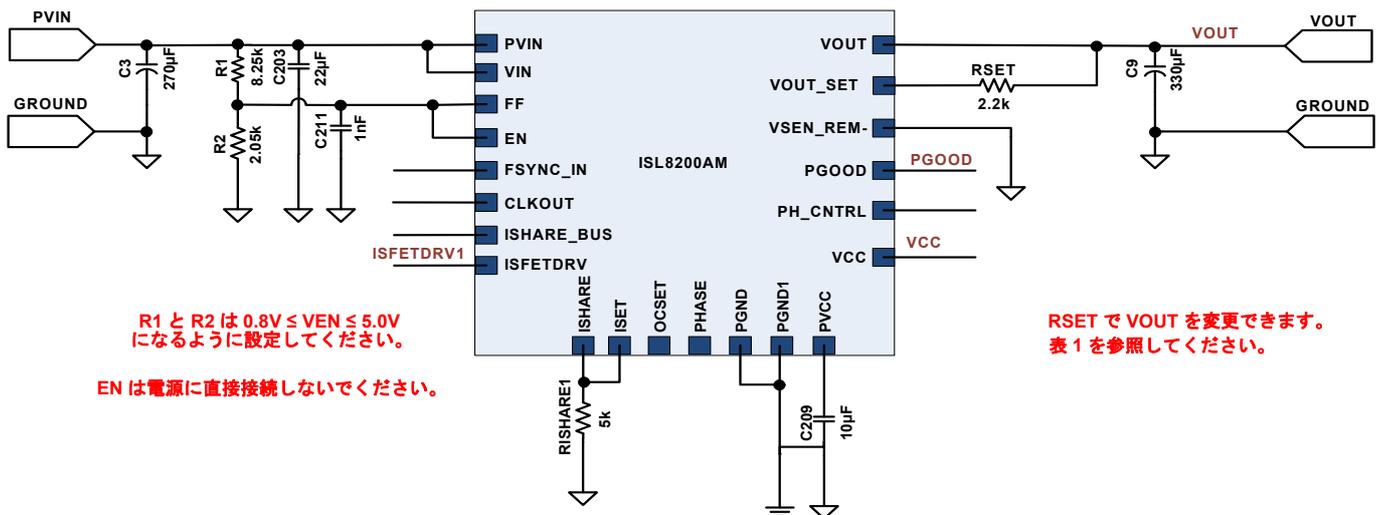


図 3. 10A/1.2V 出力のシングルフェーズ回路

ISL8200AM

絶対最大定格

入力電圧、PVIN、VIN	-0.3V ~ +27V
ドライバ・バイアス電圧、PVCC	-0.3V ~ +6.0V
信号バイアス電圧、VCC	-0.3V ~ +6.5V
BOOT/UGATE 電圧、VBOOT	-0.3V ~ +36V
PHASE 電圧、VPHASE	VBOOT - 7V ~ VBOOT + 0.3V
BOOT と PHASE 間電圧、 VBOOT - VPHASE	-0.3V ~ VCC + 0.3V
入出力 (I/O) 電圧	-0.3V ~ VCC + 0.3V
ESD 定格	
人体モデル (JESD22-A114E に従ってテスト済み)	2kV
機械モデル (JESD22-A115-A に従ってテスト済み)	200V
デバイス帯電モデル (JESD22-C101C に従ってテスト済み)	1kV
ラッチアップ定格 (JESD-78B; Class 2, Level A に従ってテスト済み)	100mA

温度情報

熱抵抗 (代表値)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
QFN パッケージ (Note 4、5)	13	2.0
最大保存温度範囲	-55 °C ~ +150 °C	

推奨動作条件

入力電圧	
PVIN	3V ~ 20V
VIN	4.5V ~ 20V
ドライバ・バイアス電圧、PVCC	4.5V ~ 5.6V
信号バイアス電圧、VCC	4.5V ~ 5.6V
BOOT と PHASE 間電圧、 VBOOT - VPHASE	<6V
産業用周囲温度範囲	-40 °C ~ +85 °C
ジャンクション温度範囲	-40 °C ~ +125 °C

注意：過度に長い時間にわたって最大定格点または最大定格付近で動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

NOTE :

- θ_{JA} はデバイスを放熱効率の高い試験基板 (サーマルビアなしの 4 層タイプ。テクニカル・ブリーフ「Thermal Characterization of Packaged Semiconductor Devices (TB379)」を参照) に実装し、自由大気中で測定した値です。最上層と最下層が固体層である点を除き、JEDEC 規格に従って測定されています。
- θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。

電気的特性 太字のリミット値は動作温度範囲 -40 °C から +85 °C に対して適用されます。

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 7)	TYP (Note 6)	MAX (Note 7)	UNITS
VCC SUPPLY CURRENT						
Nominal Supply VIN Current	I_{Q_VIN}	PVIN = VIN = 20V; No Load; F _{SW} = 700kHz		36		mA
Nominal Supply VIN Current	I_{Q_VIN}	PVIN = VIN = 4.5V; No Load; F _{SW} = 700kHz		27		mA
Shutdown Supply VCC Current	I_{VCC}	EN = 0V, VCC = 2.97V		9		mA
INTERNAL LINEAR REGULATOR						
Maximum Current	I_{PVCC}	PVCC = 4V to 5.6V		320		mA
Saturated Equivalent Impedance	R_{LDO}	P-Channel MOSFET (VIN = 5V)		1		Ω
PVCC Voltage Level (Note 7)	PVCC	$I_{PVCC} = 0mA, V_{IN} = 12V$	5.15	5.4	5.60	V
POWER-ON RESET (Note 7)						
Rising VCC Threshold				2.85	2.97	V
Falling VCC Threshold				2.65	2.75	V
Rising PVCC Threshold				2.85	2.97	V
Falling PVCC Threshold				2.65	2.75	V
System Soft-start Delay	t_{SS_DLY}	After PLL, VCC, and PVCC PORs, and EN above their thresholds		384		Cycles
ENABLE (Note 7)						
Turn-On Threshold Voltage			0.75	0.8	0.86	V
Hysteresis Sink Current	I_{EN_HYS}		21	30	35	μA
Undervoltage Lockout Hysteresis	V_{EN_HYS}	V _{EN_RTH} = 10.6V; V _{EN_FTH} = 9V R _{UP} = 53.6k Ω , R _{DOWN} = 5.23k Ω		1.6		V
Sink Current	I_{EN_SINK}	VEN = 1V	15.4			mA
Sink Impedance	R_{EN_SINK}	VEN = 1V			64	Ω
OSCILLATOR						
Oscillator Frequency	FOSC	R _{FS} = 59k Ω ; Figure 34		700		kHz
Total Variation (Note 7)		VCC = 5V;	-9		+9	%

ISL8200AM

電気的特性 太字のリミット値は動作温度範囲 -40 °Cから +85 °Cに対して適用されます。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 7)	TYP (Note 6)	MAX (Note 7)	UNITS
FREQUENCY SYNCHRONIZATION AND PHASE LOCK LOOP (Note 7)						
Synchronization Frequency		$V_{CC} = 5.4V$	FOSC		1500	kHz
PLL Locking Time		$V_{CC} = 5.4V; F_{SW} = 700kHz$		210		μs
Input Signal Duty Cycle Range			10		90	%
PWM (Note 7)						
Minimum PWM OFF Time	t_{MIN_OFF}		310	345	410	ns
Current Sampling Blanking Time	$t_{BLANKING}$			175		ns
OUTPUT CHARACTERISTICS						
Output Continuous Current Range	$I_{OUT(DC)}$	$PV_{IN} = V_{IN} = 12V, V_{OUT} = 1.2V$	0		10	A
Line Regulation Accuracy	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{OUT} = 1.2V, I_{OUT} = 0A, PV_{IN} = V_{IN} = 3.5V \text{ to } 20V$		0.15		%
		$V_{OUT} = 1.2V, I_{OUT} = 10A, PV_{IN} = V_{IN} = 5V \text{ to } 20V$		0.15		%
Load Regulation Accuracy	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 0A \text{ to } 10A, V_{OUT} = 1.2V, PV_{IN} = V_{IN} = 12V$		0.1		%
Output Ripple Voltage	ΔV_{OUT}	$I_{OUT} = 10A, V_{OUT} = 1.2V, PV_{IN} = V_{IN} = 12V$		27		mV _{p,p}
		$I_{OUT} = 0A, V_{OUT} = 1.2V, PV_{IN} = V_{IN} = 12V$		19		mV _{p,p}
DYNAMIC CHARACTERISTICS						
Voltage Change For Positive Load Step	ΔV_{OUT-DP}	$I_{OUT} = 0A \text{ to } 5A$. Current slew rate = 2.5A/ μs , $PV_{IN} = V_{IN} = 12V, V_{OUT} = 1.2V$		45		mV _{p,p}
Voltage Change For Negative Load Step	ΔV_{OUT-DN}	$I_{OUT} = 5A \text{ to } 0A$. Current slew rate = 2.5A/ μs , $PV_{IN} = V_{IN} = 12V, V_{OUT} = 1.2V$		55		mV _{p,p}
REFERENCE (Note 7)						
Reference Voltage (Include Error and Differential Amplifiers' Offsets)	V_{REF}			0.6		V
			-0.75		0.75	%
DIFFERENTIAL AMPLIFIER (Note 7)						
DC Gain	UG_DA	Unity Gain Amplifier		0		dB
Unity Gain Bandwidth	UGBW_DA			5		MHz
V_{SEN+} Pins Input Current	I_{VSEN+}		0.2	1.16	2.5	μA
Maximum Source Current for Current Sharing	I_{VSEN1-}	V_{SEN1-} Source Current for Current Sharing when parallel multiple modules each of which has its own voltage loop		350		μA
Input Impedance	$R_{VSEN+ \text{ to } VSEN-}$	$V_{VSEN+}/I_{VSEN+}, V_{VSEN+} = 0.6V$		-500		k Ω
Output Voltage Swing			0		$V_{CC} - 1.8$	V
Input Common Mode Range			-0.2		$V_{CC} - 1.8$	V
Disable Threshold	V_{VSEN-}	$V_{MON1} = \text{Tri-State}$		$V_{CC} - 0.4$		V
OVERCURRENT PROTECTION (Note 7)						
Channel Overcurrent Limit	I_{SOURCE}	$V_{CC} = 2.97V \text{ to } 5.6V$		111		μA
Channel Overcurrent Limit	I_{SOURCE}	$V_{CC} = 5V$;	89	111	129	μA
Share Pin OC Threshold	V_{OC_ISHARE}	Comparator offset included	1.16	1.20	1.22	V
CURRENT SHARE						
External Current Share Accuracy		Up to 3 phases		± 10		%
POWER GOOD MONITOR (Note 7)						
Undervoltage Falling Trip Point	V_{UVF}	Percentage Below Reference Point	-15	-13	-11	%
Undervoltage Rising Hysteresis	V_{UVR_HYS}	Percentage Above UV Trip Point		4		%
Overvoltage Rising Trip Point	V_{OVR}	Percentage Above Reference Point	11	13	15	%

ISL8200AM

電気的特性 太字のリミット値は動作温度範囲 -40 °Cから +85 °Cに対して適用されます。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 7)	TYP (Note 6)	MAX (Note 7)	UNITS
Overvoltage Falling Hysteresis	V _{OVF_HYS}	Percentage below OV Trip Point		4		%
PGOOD Low Output Voltage		I _{PGOOD} = 2mA			0.35	V
Sinking Impedance		I _{PGOOD} = 2mA			70	Ω
Maximum Sinking Current		V _{PGOOD} < 0.8V		10		mA
OVERVOLTAGE PROTECTION (Note 7)						
OV Latching Trip Point		EN = UGATE = LATCH Low, LGATE = High	118	120	122	%
OV Non-Latching Trip Point		EN = Low, UGATE = Low, LGATE = High		113		%
LGATE Release Trip Point		EN = Low/HIGH, UGATE = Low, LGATE = Low		87		%
OVER-TEMPERATURE PROTECTION CONTROLLER JUNCTION TEMPERATURE						
Over-Temperature Trip				150		°C
Over-Temperature Release Threshold				125		°C
INTERNAL COMPONENT VALUES						
Internal Resistor Between PVCC and VCC pin	R _{CC}			5		Ω
Internal Resistor Between PHASE and OCSET Pins	R _{ISEN-IN}			2.2k		Ω
Internal Resistor Between FSYNC_IN and PGND1 Pins	R _{FS}			59k		Ω
Internal Resistor Between PGOOD and VCC Pins	R _{PG}			10k		Ω
Internal Resistor Between CLKOUT and VCC Pins	R _{CLK}			10k		Ω
Internal Resistor Between PH_CNTRL and VCC Pins	R _{PHC}			10k		Ω
Internal Resistor Between VOUT_SET and VSEN_REM- pin	R _{OS1}			2.2k		Ω

NOTE :

- TYP パラメータは特記のない限り、製造時試験は行っていません。
- 内蔵 IC については、特記のない限りモジュールの組み立て前に MIN パラメータと MAX パラメータの全数試験を行っています。温度リミットは特性評価によって得ており、製造時試験は行っていません。

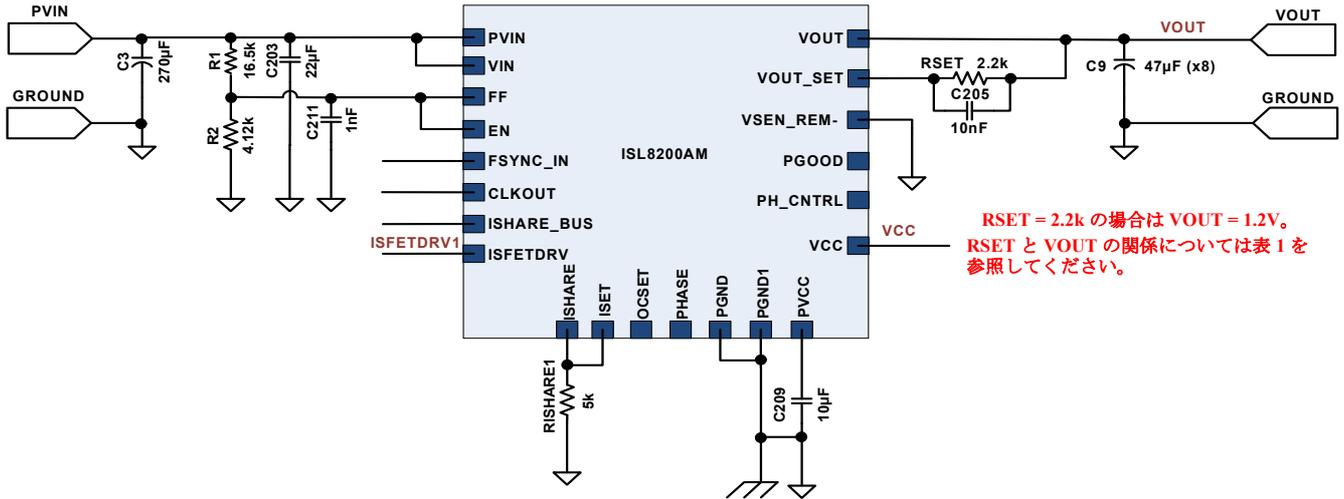


図 5. すべての性能 / ディレーティング・グラフに使用したテスト回路

性能特性

効率性 $T_A = +25^\circ\text{C}$, $PV_{IN} = V_{IN}$, $C_{IN} = 220\mu\text{F} \times 1$, $10\mu\text{F}$ /セラミック $\times 2$, $C_{OUT} = 47\mu\text{F}$ /セラミック $\times 8$

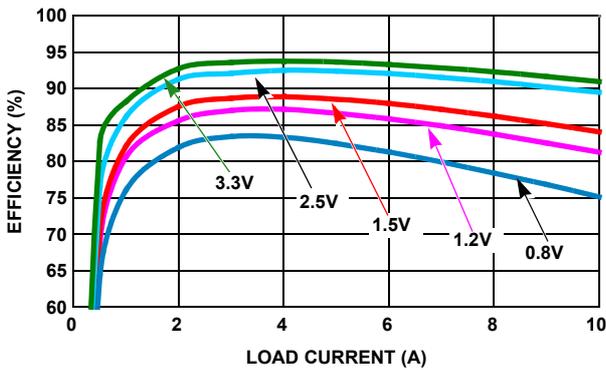


図 6. 効率 vs 負荷電流 (5V_{IN})

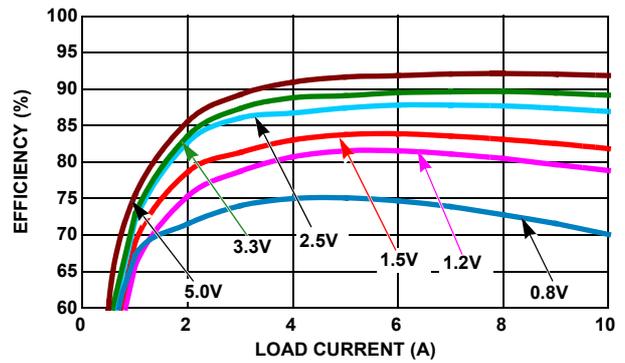


図 7. 効率 vs 負荷電流 (12V_{IN})

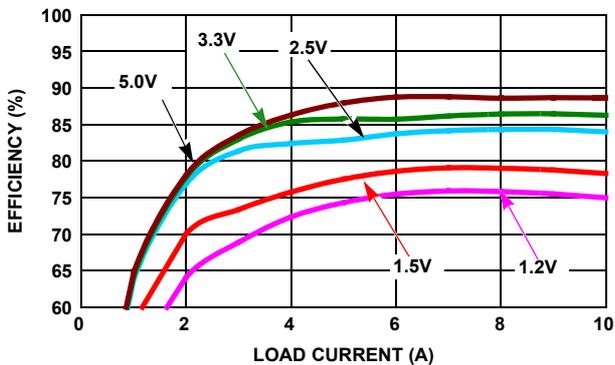


図 8. 効率 vs 負荷電流 (20V_{IN})

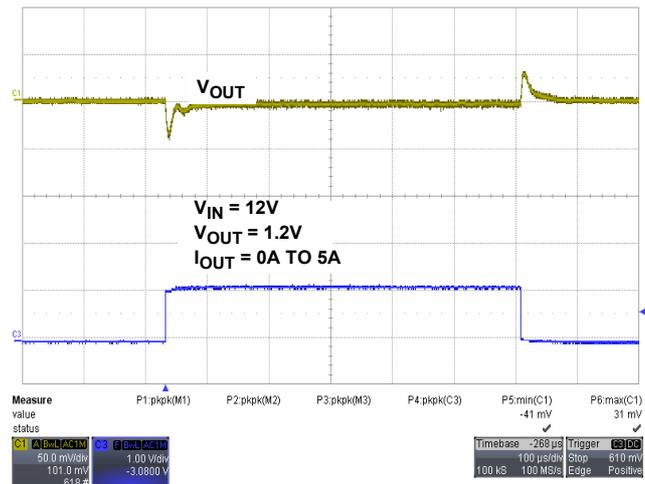


図 9. 1.2V の過渡応答

性能特性 (続き)

過渡応答性能

$T_A = +25^\circ\text{C}$, $PV_{IN} = V_{IN} = 12\text{V}$, $C_{IN} = 220\mu\text{F} \times 1$, $10\mu\text{F}$ /セラミック $\times 2$, $C_{OUT} = 47\mu\text{F}$ /セラミック $\times 8$,
 $I_{OUT} = 0\text{A} \sim 5\text{A}$, 電流スルーレート = $2.5\text{A}/\mu\text{s}$

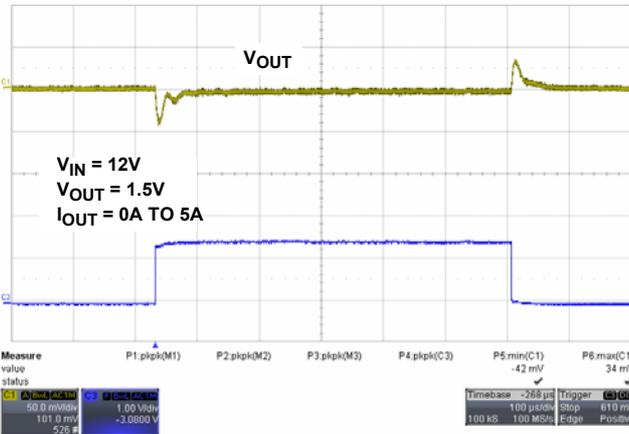


図 10. 1.5V の過渡応答

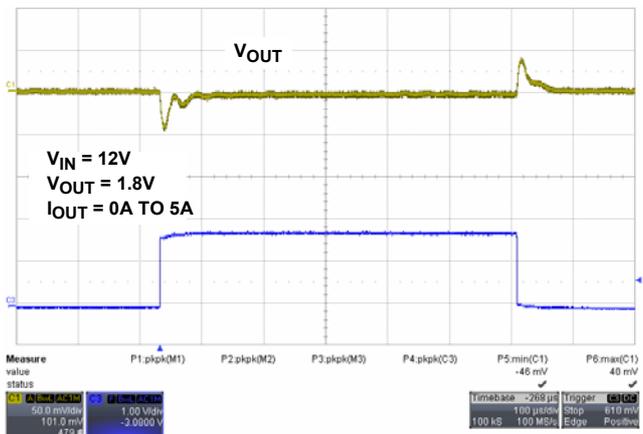


図 11. 1.8V の過渡応答

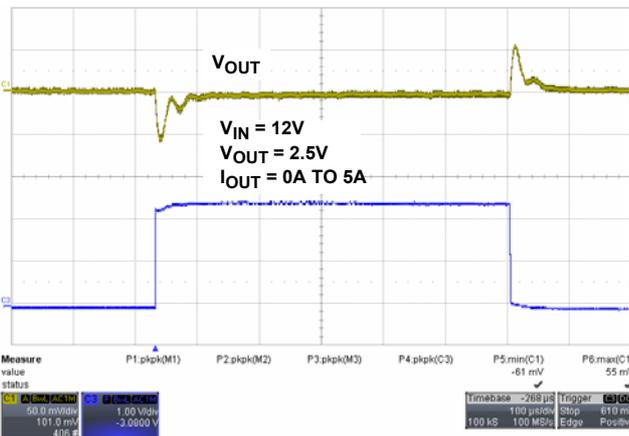


図 12. 2.5V の過渡応答

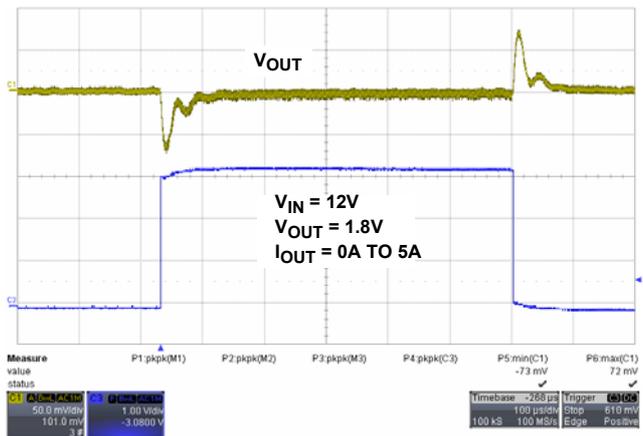


図 13. 3.3V の過渡応答

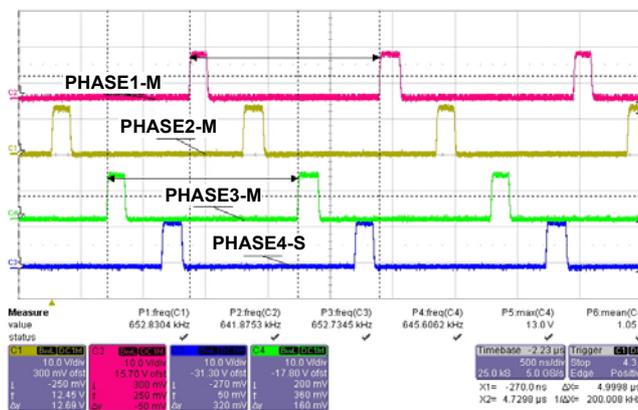


図 14. 4つのモジュール・クロックの同期 ($V_{IN} = 12\text{V}$)

性能特性 (続き)

出力リップル特性

$T_A = +25^\circ\text{C}$, $PV_{IN} = V_{IN} = 12\text{V}$, $C_{IN} = 220\mu\text{F} \times 1$, $10\mu\text{F}$ /セラミック $\times 2$, $C_{OUT} = 100\mu\text{F}$ /セラミック $\times 6$,
 $I_{OUT} = \text{無負荷}, 5, 10\text{A}$

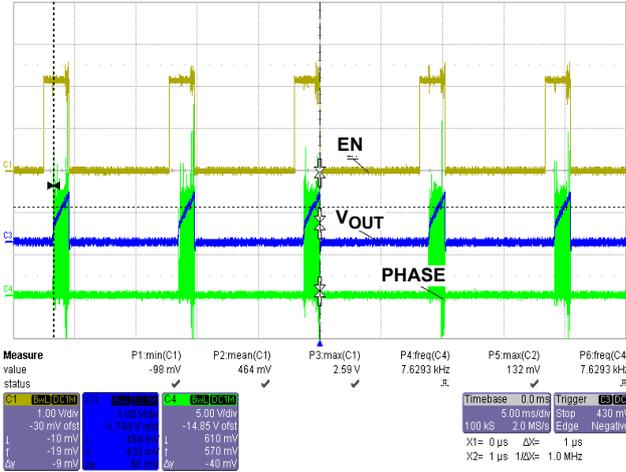


図 15. 過電流保護

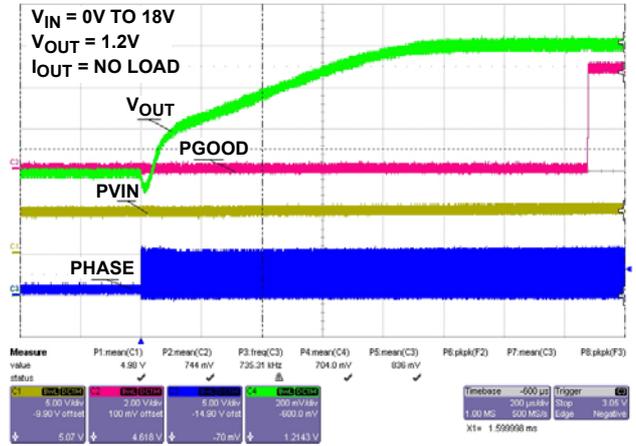


図 16. 50%プリバイアス・スタートアップ

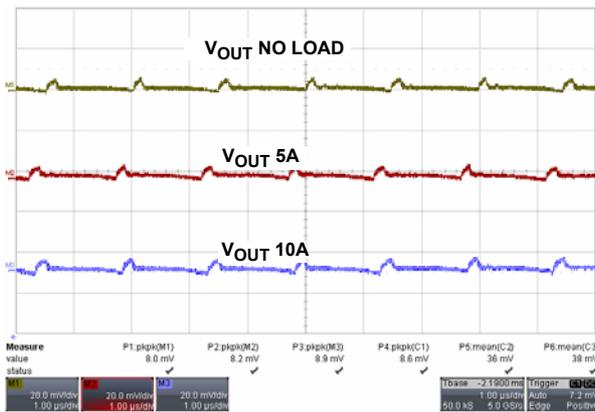


図 17. 1.2V 出力リップル

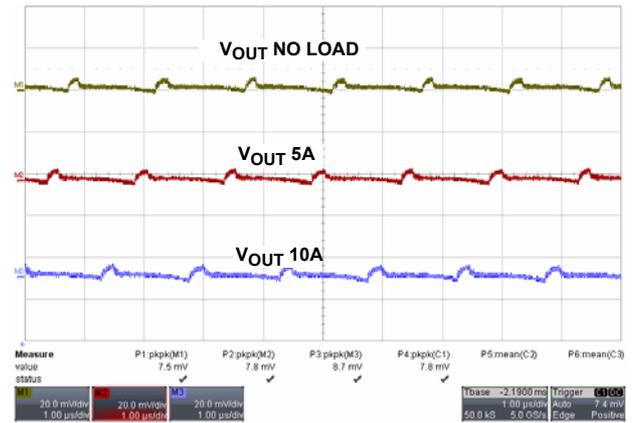


図 18. 1.5V 出力リップル

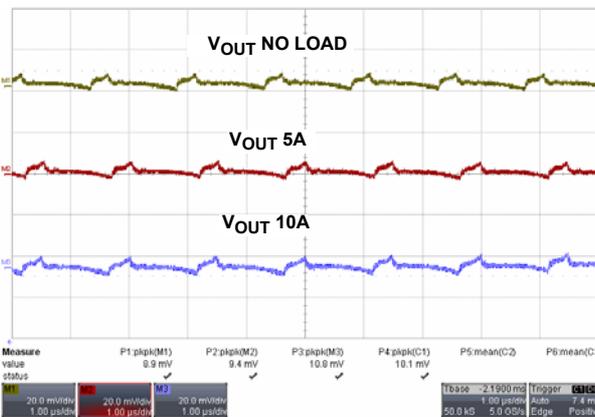


図 19. 2.5V 出力リップル

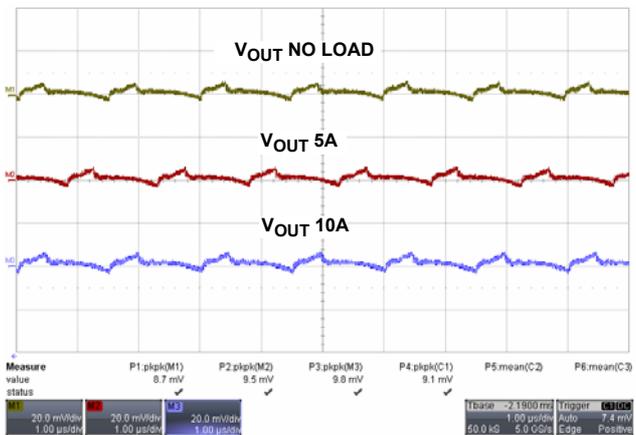


図 20. 3.3V 出力リップル

アプリケーション情報

出力電圧のプログラム (R_{SET})

ISL8200AM は、0.6V ±0.7%の内部リファレンス電圧を備えています。出力電圧をプログラムするには、分圧抵抗 (R_{SET}) を V_{OUT_SET} ピンと V_{OUT} レギュレーション・ポイントの間に接続する必要があります。出力電圧は式 1 で求められます。

$$V_{OUT} = 0.6 \times \left(1 + \frac{R_{SET}}{R_{OS}} \right) \quad (\text{式 1})$$

Note : ISL8200AM では、下側の分圧抵抗 (R_{OS}) として 2.2kΩ の抵抗がモジュール内に内蔵されています。表 1 に、シングルフェーズ動作における出力電圧別の抵抗値を示します。

表 1. V_{OUT} - R_{SET}

V _{OUT}	0.6V	0.8V	1.0V	1.2V
R _{SET}	0Ω	732Ω	1.47kΩ	2.2kΩ

V _{OUT}	1.5V	1.8V	2.0V	2.5V
R _{SET}	3.32kΩ	4.42kΩ	5.11kΩ	6.98kΩ

V _{OUT}	3.3V	5.0V	6.0V
R _{SET}	10kΩ	16.2kΩ	20kΩ

V_{OUTSET} (内部 V_{SEN1+}) の実効インピーダンスを 1kΩ またはそれより低くすることで、出力電圧の精度を高められます。Note : V_{SEN1+} と V_{SEN1-} の間のインピーダンスは約 500kΩ です。

モジュールでは出力電圧に対する最小入力電圧が定められており、F_{SW} = 700kHz のスイッチング周波数で動作する場合は、出力電圧の 1.43 倍以上の入力電圧が必要です。これは最小 PWM オフ時間 (t_{MIN-OFF}) に起因しています。

式 2 と 3 に、必要な V_{OUT} に対する最小 PV_{IN} を求める式を示します。温度変動を考慮して、結果に 0.5V を追加することを推奨します。

$$PV_{IN_MIN} = \frac{V_{OUT} \times t_{SW}}{t_{SW} - t_{MIN_OFF}} \quad (\text{式 2})$$

t_{SW} = スwitching 期間 = 1/F_{SW}

スイッチング周波数が 700kHz の場合は 1,428ns

$$PV_{IN_MIN} = 1.43 \times V_{OUT} \quad (\text{式 3})$$

3.3V 入力電圧動作の場合には、十分なゲート駆動電圧を得られるように、VIN 電圧を 5V にすることを推奨します。これは、VIN で 5V 以上の電圧を使用するか、5V 電源を VIN と PVCC に直接接続することによって可能です。

VIN は制御回路に電力を供給する内蔵 LDO への入力であり、PVCC はその LDO の出力です。PVIN は、パワー段への電源入力です。図 21 に示す例では、パワー段が 3.3V で動作し、制御回路が 5.0V で動作します。LDO が機能しないように、PVCC ピンも 5.0V にしてあります。図 22 に示すセットアップでは、制御回路とパワー段がいずれも 5.0V レールに接続されています。このセットアップの場合、PVCC ピンの電圧リミットである 5.5V を超えてはなりません。図 23 はより一

般的なセットアップで、最大 20V の VIN 範囲に対応できません。PVCC が VIN に接続されていないので、制御回路には内蔵 LDO から電力を供給します。

図 24 に示す回路では、すべてのフェーズでレギュレーションの開始準備が整うまで電流を ISHARE ラインに注入することによって、適切なスタートアップを実現します。

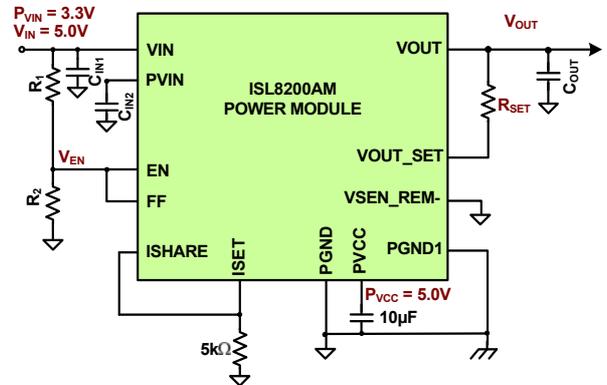


図 21. 3.3V での動作

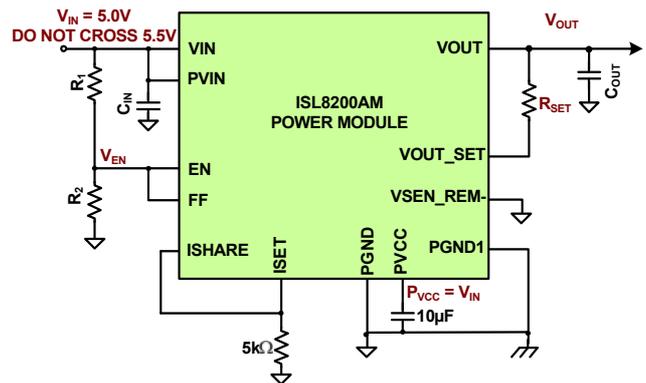


図 22. 5.0V での動作

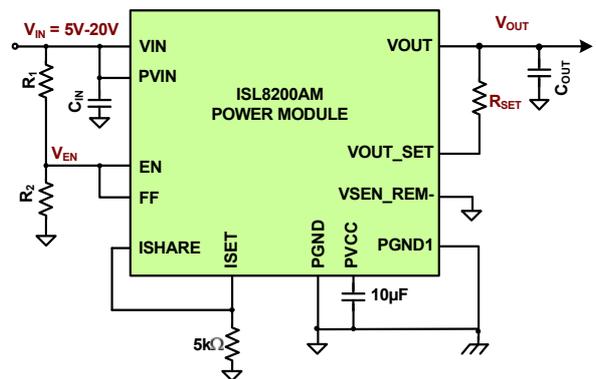


図 23. 5V ~ 20V での動作

入力コンデンサの選択

入力フィルタ・コンデンサは、DC 入力ラインにおいて電源が許容可能なリップル量に基づいて選択します。コンデンサが大容量になるほど、リップルは減りますが、パワーアップ時のサージ電流の増加について考慮しなければなりません。ISL8200AM は、サージ電流を制御・抑制するソフトスタート機能を備えています。入力コンデンサの容量は式 4 で求められます。

$$C_{IN(MIN)} = I_O \cdot \frac{D \cdot (1-D)}{V_{P-P(MAX)} \cdot F_S} \quad (式 4)$$

ここで、

$C_{IN(MIN)}$ は最小限必要な入力コンデンサ容量 (μF) です。

I_O は出力電流 (A) です。

D はデューティサイクル (V_O/V_{IN}) です。

$V_{P-P(MAX)}$ は最大ピークツーピーク電圧 (V) です。

F_S はスイッチング周波数 (Hz) です。

バルク・コンデンサに加えて低 ESL (等価直列インダクタンス) のセラミック・コンデンサも接続して、ハイサイド MOSFET のドレイン端子とローサイド MOSFET のソース端子をデカップリングすることを推奨します。このコンデンサは、寄生回路素子に流れるスイッチング電流によって生じる電圧リンギングを低減します。

出力コンデンサ

ISL8200AM は、出力電圧リップルを抑制するように設計されています。出力電圧リップルと過渡応答の要件は、ESR (等価直列抵抗) が十分に低いバルク出力コンデンサ (C_{OUT}) を使用することで満たせます。推奨 ESR は $10m\Omega$ 未満です。合計 ESR が $4m\Omega$ 未満の場合は、 $2.2nF \sim 10nF$ のコンデンサ (C_{FF}) を推奨します。 C_{FF} は、VOUT ピンと VOUT_SET ピン間で RSET と並列に接続してください。 C_{OUT} には、低 ESR タンタル・コンデンサ、低 ESR ポリマー・コンデンサ、またはセラミック・コンデンサを使用できます。一般的なコンデンサ容量は $330\mu F$ で、デカップリングされたセラミック出力コンデンサをフェーズごとに使用します。どのようなセラミック・コンデンサ・アプリケーションでも、フェーズごとの合計容量を推奨の $300\mu F$ にして、ループ補償を内部的に最適化すれば、十分に余裕のある安定性を得られます。出力リップルや動的過渡スパイクをさらに低減するには、追加の出力フィルタリングが必要になることがあります。

複数フェーズの使用

ISL8200AM にほかの ISL8200AM モジュールを容易に並列接続することが可能です。カレントシェアによってフェーズごとに $10A$ の出力を容易に追加できます。2 フェーズの場合は、図 4 に示す回路図に従ってください。この概要図に示すように、モジュール間で VIN、VOUT、GND を共有し、ISHARE ピンを相互接続します。それぞれのフェーズでは、ISHARE ピンとグラウンドの間に $10k\Omega$ 抵抗を接続してください。3 フェーズ以上の場合には、適切なスタートアップが可能ないように、次の回路 (図 24 を参照) を追加することを推奨します。図 24 に示す回路では、すべてのフェーズでレギュレーションの開始準備が整うまで電流を ISHARE ラインに注入することによって、適切なスタートアップを実現します。追加されたフェーズでは、 R_{INC} と C_G を使った RC 時定数の調整により、PFET (Q_{SHR}) のターンオン時間を増加しなければならぬことがあります。3 ~ 4 フェーズの場合、それぞれの値は $R_{INC} = 243k$ 、 $R_{PH1} = 15k$ 、 Q_{SHR} = 小信号 PFET、 $C_G = 22nF$ となります。

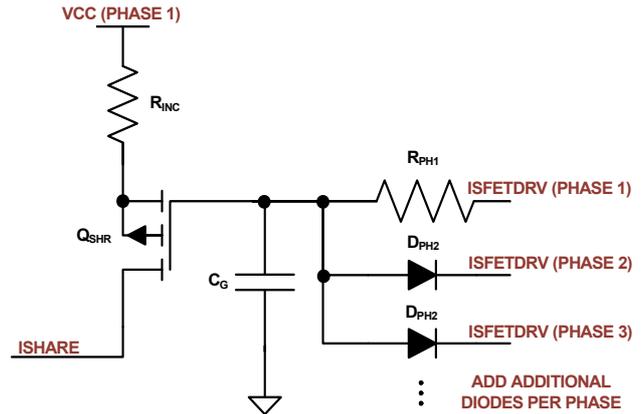


図 24. スタートアップ回路

動作の説明

起動

ISL8200AM では、VCC と PVCC に単一電源からバイアスを提供する必要があります。パワーオン・リセット (POR) 回路は、バイアス電圧 (PVCC および VCC) と EN ピンの電圧を継続的にモニタしています。EN ピンの電圧が $0.8V$ を超過、すべての入力電源がそれぞれの POR スレッシュホールドを超過、PLL ロック時間が終了という条件が満たされると、384 クロック・サイクル後に POR 機能がソフトスタート動作を開始します。イネーブル・ピンには外付け抵抗分圧回路を通じて $30\mu A$ の内部シンク電流が流れており、このピンを電圧モニタとして使用することや、必要なヒステリシスの設定に利用することができます。システムがイネーブルになると、シンク電流は遮断されます。この機能は主に、アンダーボルテージ保護の強化のために高い入力レール POR を必要とするアプリケーション向けに設計されたものです。たとえば $12V$ アプリケーションでは、 $R_{UP} = 53.6k$ および $R_{DOWN} = 5.23k$ に設定すると、 $1.6V$ のヒステリシス (V_{EN_HYS}) でターンオン・スレッシュホールド (V_{EN_RTH}) が $10.6V$ 、ターンオフ・スレッシュホールド (V_{EN_FTH}) が $9V$ になります。それぞれの値については、15 ページの図 29 で説明しています。

シャットダウン時やフォルト状態発生時には、ソフトスタートが迅速にリセットされ、入力が POR 未満に低下すると UGATE および LGATE がすぐに状態を変更します ($<100ns$)。

HIGH = ABOVE POR; LOW = BELOW POR

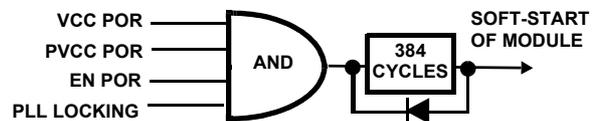


図 25. ソフトスタート開始ロジック

ソフトスタート

ISL8200AM は、プリチャージ式のデジタル・ソフトスタート回路を内蔵しています。この回路では、立ち上がり時間がスイッチング周波数に反比例し、フェーズ・クロックのパルスごとにインクリメントするデジタル・カウンタによって決まります。 $0V$ から $0.6V$ までの合計ソフトスタート時間は、式 5 で概算できます。

$$t_{SS} = \frac{2560}{f_{SW}} \quad (式 5)$$

パワーグッド

パワーグッド・コンパレータによって内部 VMON1 ピンの電圧がモニタされます。図 30 にトリップ・ポイントを示します。ソフトスタート・サイクルが完了するまで、PGOOD はアサートされません。EN 信号によってディスエーブルにされるか、内部 VMON1 ピンの電圧がスレッシュホールド・ウィンドウの範囲外になると、PGOOD が Low になります。ソフトスタート・サイクルが完了するまで、PGOOD はアサートされません。フォルトが 3 クロック・サイクル連続するまで、PGOOD は Low になりません。

ソフトスタートが終了するまで、UV 通知はイネーブルになりません。UV 発生時に、OV/OC/OT/PLL フォルト以外の理由 (EN が Low にならないケースなど) で出力が目標レベルの -13% を下回ると、PGOOD が Low になります。

カレントシェア

Iavg_CS はモジュールの電流です。ISHARE ピンと ISET ピンは、15 μ A のオフセットを付けて Iavg_CS の複製を供給します (すなわち、フルスケールでは 126 μ A になります)。

外付け抵抗 ($R_{ISHARE} = R_{ISET}/N_{CTRL}$) によって設定されたカレントシェア・バス電圧 (V_{ISHARE}) は、すべてのアクティブ・モジュールの平均電流に相当します。 R_{ISET} によって設定された電圧 (V_{ISET}) は、対応するモジュールの平均電流に相当し、カレントシェア・バス (V_{ISHARE}) と比較されます。次に、カレントシェア誤差信号 (ICSH_ER) が電流補正ブロックに送信され、それに応じて各モジュールの PWM パルスが調整されます。カレントシェア機能は、IC 間で 10% 以上の総合精度を実現します (3 フェーズまでの場合)。カレントシェア・バスは、最大で 6 フェーズに対応できます。図 4 には、ISL8200AM のカレントシェア構成の詳細が示されています。

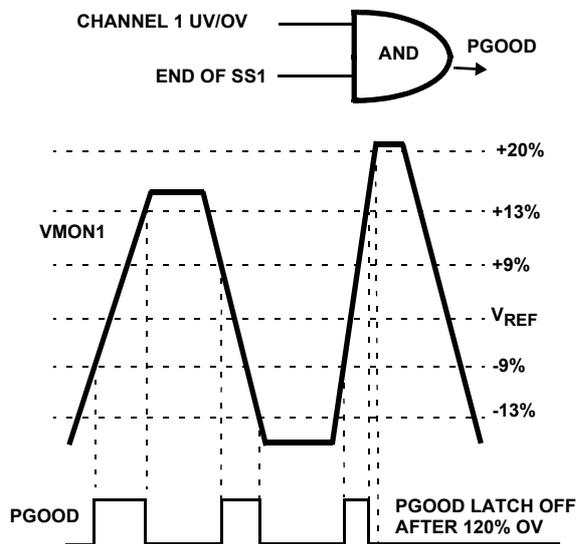


図 30. パワーグッド・スレッシュホールド・ウィンドウ

システム内のモジュールが 1 つのみの場合は、ISET ピンと ISHARE ピンを相互に短絡させ、単一の抵抗を介してグラウンドに接続することにより、シェア誤差を 0 にできます。抵抗値を 5k (ISET と ISHARE で 10k を並列) にすると、OCP レベルまでの動作が可能です。

過電圧保護 (OVP)

過電圧 (オーバervoltage, OV) 保護回路は内部 VMON1 ピンの電圧を監視しています。

OV 保護機能はソフトスタートの開始時点で有効になります。OV 状態 (>120%) が検出されるとモジュールはラッチオフします (ハイサイド MOSFET は恒久的にラッチオフする一方で、ローサイド MOSFET は OV トリップ時点で速やかにターンオンし、続いて出力電圧が 87% を下回ったのちに恒久的にターンオフします)。また OV 状態が発生すると EN 出力と PGOOD 出力は Low にラッチされます。以上のラッチ状態は VCC を再投入することでリセットされます。

これとは別に非ラッチ型の OV 保護機能もあります (目標電圧の 113%)。EN が Low で出力電圧が 113% 超となった OV の状態のとき、出力が 87% を下回るまで、ローサイド MOSFET はオンになります。マルチモジュール・システム内のある 1 つのモジュールで OV が検出されたときに、電源回路全体を保護するための機能です。ローサイド MOSFET は、EN = Low で、かつ、出力電圧が 113% 超のときオンになり (すべての EN は互いに接続)、出力電圧が 87% を下回ったときにオフになります。したがって、モジュール数が多いアプリケーション (マルチモジュール動作モード) の場合、カスケード接続されているすべてのモジュールは EN ピンを介して同時にラッチオフすることがあります (マルチモジュール動作モードでは EN ピンを互いに接続します)。各モジュールは負荷側からのシンク電流を等しく分担し、ストレスを緩和するとともにモジュール間でのバウンスを抑えます。

過熱保護 (OTP)

IC のジャンクション温度が +150 $^{\circ}$ C (代表値) を上回ると、EN ピンが Low になり、カスケード接続されたほかのチャンネルにそれぞれの EN ピン経由で通知します。接続されている EN はすべて Low になります。IC のジャンクション温度が +25 $^{\circ}$ C のヒステリシス (代表値) で +125 $^{\circ}$ C (代表値) 未満に低下すると、EN が解放されます。

過電流保護 (OCP)

OCP 機能はスタートアップ時にイネーブルになります。OCSET ピンと PHASE ピン間の抵抗を利用し、ターンオン時に Q2 MOSFET $r_{DS(ON)}$ の両端間電圧をサンプリングすることによって、負荷電流サンプル ICS1 が検出されます。IC1 がチャンネル過電流リミット「111 μ A OCP」コンパレータと比較され、7 サイクル待機してから、OCP 状態となります。モジュールの出力電流 (ICS1) と固定の内部 15 μ A オフセットによって、外付け抵抗 R_{ISHARE} の両端間電圧 (V_{ISHARE}) が形成されます。OCP 状態検出のための第 2 の手段として、 V_{ISHARE} が 1.2V の高精度内部スレッシュホールドと比較されます。

マルチモジュール動作は、複数のモジュールの ISHARE ピンを相互に接続することで実行できます。マルチモジュール動作では、ISHARE ピンの電圧がすべてのアクティブ・チャンネルの平均電流と相関しています。マルチモジュール動作における各モジュールの出力電流が 1.2V の高精度スレッシュホールドと比較され、過電流状態であるかどうか判断されます。また、各モジュールには、7 サイクル・ディレイのある 111 μ A の過電流トリップ・ポイントが設定されています。111 μ A OCP コンパレータと同じレベルでトリップするように R_{ISHARE} を調整する必要はありません。通常は、ISHARE ピンの平均電流保護レベルをフェーズの電流保護レベルよりも高くしてください。

2.2kΩ の内蔵 $R_{ISEN-IN}$ を使用すると、OCP レベルはデフォルト値に設定されます。OCP レベルを下げるには、外付けの $R_{ISEN-EX}$ を OCSET ピンと PHASE ピンの間に接続してください。図 31 ~ 33 に、外付け $R_{ISEN-EX}$ の値と ISL8200AM における出力電流 $I_{OUT(MAX)}$ の代表的な OCP レベルとの関係を示します。重要な点として、グラフに示された OCP レベルはインダクタ・リップル電流ではなく、平均出力電流であることを注意してください。

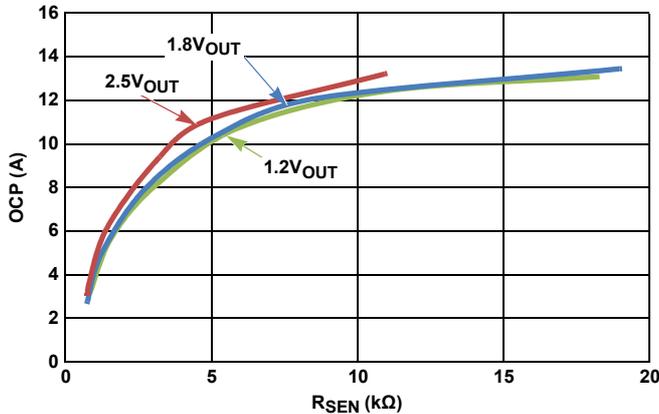


図 31. 5V_{IN}

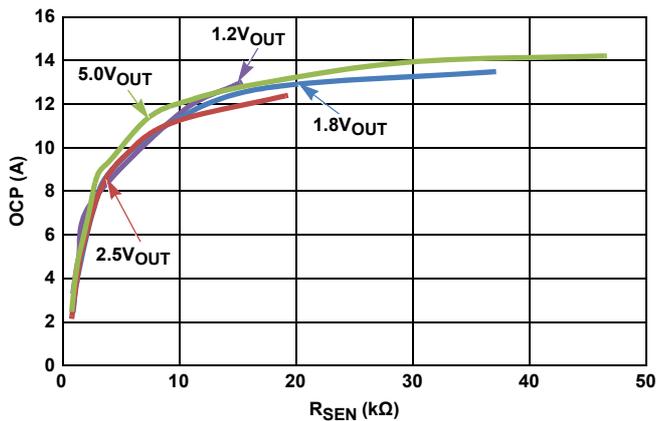


図 32. 12V_{IN}

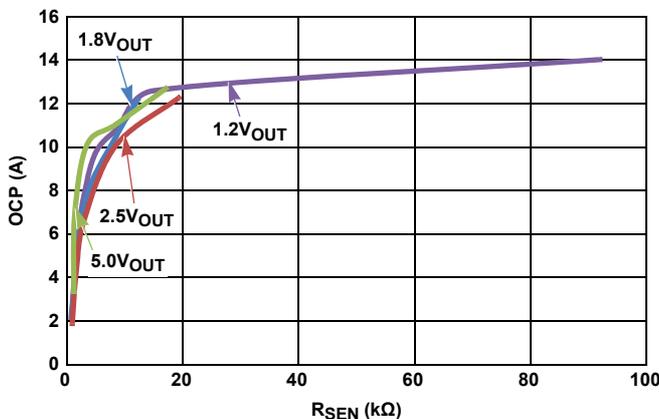


図 33. 20V_{IN}

20V 入力 / 5V 出力のように、高入力電圧かつ高出力電圧のアプリケーションの場合、固定の内部インダクタ値が原因で過剰なインダクタ・リップルが発生します。そのようなアプリケーションでは、出力電流がモジュールの定格電流の約 70% に制限されます。

OCP がトリガされると、コントローラは即座に EN を Low にして、UGATE と LGATE をターンオフにします。

過負荷状態や激しい短絡状態における OCP では、コントローラをヒックアップモードに移行させることによって、レギュレータの RMS 出力電流をフル負荷状態よりも大幅に削減します。3 ソフトスタート・サイクルに相当するディレイ期間を設けることで、問題をクリアできるようにしています。ディレイ期間が終わると、コントローラがソフトスタート・サイクルを開始します。出力電圧が上昇し、レギュレーション状態に戻った場合は、PGOOD が High に移行します。ソフトスタート・サイクル中に OC トリップを超えた場合は、コントローラが EN を再び Low にします。PGOOD 信号が Low のままで、ソフトスタート・サイクルが終了します。ディレイ期間が終わると、再びソフトスタート・サイクルが開始されます。OC トリップが再度発生した場合は、フォルトが解消されるまで同じサイクルが繰り返されます。

フォルト・ハンドシェイク

EN ピンが相互に OR 接続されたマルチモジュール・システムでは、1 つまたは複数のモジュールでフォルト状態が発生した際、一度にすべてのモジュールを迅速にターンオフできます。フォルト状態になると、EN ピンが Low になって、すべてのモジュールがディスエーブルになるので、電流パワンスは発生しません。そのため、フォルト発生時に単一のチャネルに過度のストレスが集中することはありません。

フォルト状態では EN ピンがプルダウンされるので、EN ピンから 5mA 以下の電流をシンクするようにプルアップ抵抗 (R_{UP}) を調整する必要があります。基本的に、EN ピンは VCC に直接接続できません。

発振回路

発振回路はのこぎり波を供給し、350ns の最小デッドタイムのもとで立ち上がりエッジの変調を可能にします。発振回路 (のこぎり波) の波形には、1.0V の DC オフセットが設けられています。各チャネルにおけるランプ振幅のピークツーピークは、対応した FF ピンに印加される電圧に比例するように設定されています。

周波数同期とフェーズ・ロック・ループ

FSYNC_IN ピンには、固定周波数動作と同期周波数動作という 2 つの主要機能があります。抵抗 (RFS) を PGND1 と FSYNC_IN ピンの間に接続することによって、スイッチング周波数を 700kHz ~ 1.5MHz の任意の周波数に設定できます。ISL8200AM では FSYNC_IN と PGND1 の間に 59kΩ の抵抗が内蔵され、この抵抗によりデフォルト周波数が 700kHz に設定されています。スイッチング周波数を増やすには、FSYNC_IN と PGND1 の間に外付けする抵抗 RFS-ext を図 34 の周波数設定曲線に従って選択してください。

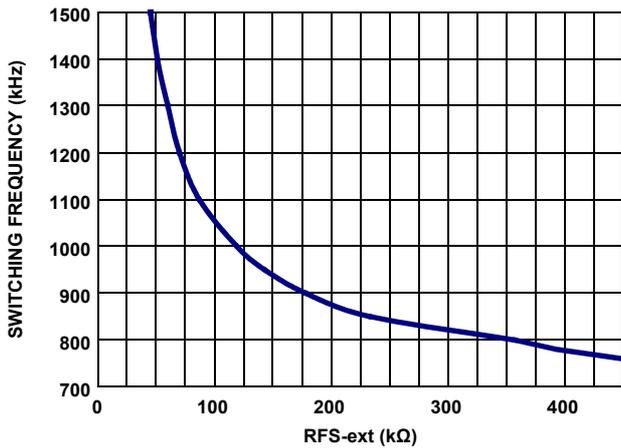


図 34. RFS-ext vs スイッチング周波数

FSYNC_IN ピンを外部矩形パルス波形 (通常 50% デューティサイクルの、別の ISL8200AM から CLKOUT 信号など) に接続すると、ISL8200AM のスイッチング周波数を入力波形の基本周波数に同期させることができます。FSYNC_IN ピンの電圧範囲は、 $V_{CC}/2 \sim V_{CC}$ です。周波数同期機能は、CLKOUT 信号の立ち上がりエッジとチャンネル 1 の PWM クロック信号の立ち下がりエッジを同期させます。PLL のロックまで CLKOUT は利用できません。

$F_{SW} = 700\text{kHz}$ の場合、ロック時間は通常 $210\mu\text{s}$ です。FSYNC_IN が安定し、PLL がロックするまで、EN はソフトスタート・サイクル向けに解放されません。マルチフェーズ構成では、すべての EN ピンを相互に接続することを推奨します。

13 クロック・サイクルにわたって同期信号が失われると、IC がディスエーブルになります。PLL がロック状態に戻った時点で、ソフトスタート・サイクルが開始され、通常動作に復帰します。FSYNC_IN を Low 状態で維持した場合は、IC がディスエーブルのままになります。

CLKOUT における相対位相シフトの設定

ISL8200AM は、 V_{CC} の抵抗分圧回路出力によって設定された PH_CNTRL の電圧レベルに応じて動作し、表 2 に示すように CLKOUT が位相シフトします。位相シフトは、 V_{CC} が POR を上回るとラッチします。その場ですぐに変更することはできません。

表 2.

DECODING PH_CNTRL RANGE	PHASE FOR CLKOUT WRT CHANNEL 1	REQUIRED PH_CNTRL
<29% of V_{CC}	-60°	15% V_{CC}
29% to 45% of V_{CC}	90°	37% V_{CC}
45% to 62% of V_{CC}	120°	53% V_{CC}
62% to V_{CC}	180°	V_{CC}

レイアウト・ガイド

安定動作、低損失、優れた放熱性を実現するには、図 35 および 36 に示すように、レイアウトについて考慮する必要があります。

- PGND1 (ピン 15) と PGND (ピン 18) の間のグラウンド接続は、モジュールの下のベタグラウンド層で行ってください。

- モジュールのできるだけ近くで、(1) PVIN と PGND (ピン 18) の間には高周波セラミック・コンデンサを接続し、(2) PVCC と PGND1 (ピン 15) の間には $10\mu\text{F}$ コンデンサを接続することにより、高周波ノイズを最小限に抑えてください。また、モジュールの近くで VOUT と PGND の間に高周波セラミック・コンデンサを接続すると、出力リップルにおけるノイズを最小限に抑えられます。
- 電源パス (PVIN、PGND、VOUT) には広い銅エリアを使用して、導通損失と熱ストレスを最小限に抑えてください。また、電源層が複数のレイヤーにまたがる場合は、多数のビアで接続してください。
- 帰還抵抗へのトレース接続は短くしてください。
- 正確な出力電圧を維持するため、リモートセンス・トレースを出力電圧センス・ポイントに接続してください。各トレースは並列に配置します。VSEN_REM- から負荷グラウンド付近にトレースを配線し、帰還抵抗から厳密な出力電圧が必要なポイント・オブ・ロードにもトレースを配線してください。
- VOUT や VSEN_REM- のセンス・ポイントのように敏感な信号トレースは、PHASE ピンなどノイズが発生しやすい場所の近くに配線しないでください。
- FSYNC_IN は敏感なピンです。外部同期信号の受信に使用しない場合は、ピンに接続するトレースを短くしてください。FSYNC_IN ピンと GND1 の間に 100pF のバイパス・コンデンサを接続すると、このピンのノイズ感受性をバイパスできます。

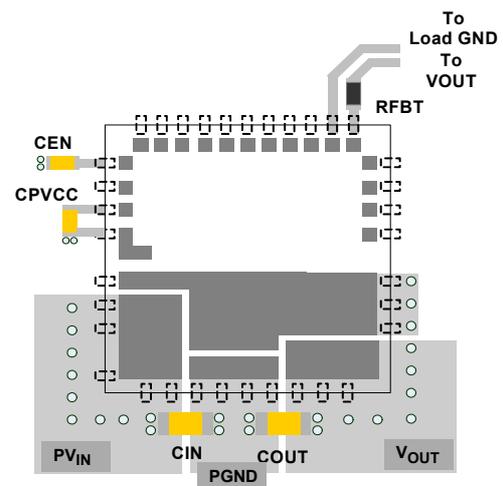


図 35. シングルフェーズ・セットアップの推奨レイアウト

複数のモジュールを並列で動作させる場合、推奨レイアウトに関する考慮事項には、シングルフェーズ向けのガイドラインのほか以下の点も適用されます。

- VOUT は同じ層の負荷に対し厚い銅エッチングで直接接続し、損失を最小限に抑えてください。
- ピン 1 ~ 11 がサーマルパッド (PD1 ~ 4) の反対を向くようにモジュールを配置してください。そのようにすれば、モジュールの下を通さずに信号バス (EN、ISHARE、CLKOUT ~ FSYNCIN) を配線できます。図 36 に示すように、外周に沿って配線してください。
- リモートセンス・トレースは互いに離して配線し、レギュレーション・ポイントでのみ接続してください。図 36 の例に示すように、VSEN_REM- および RFBT (リモート帰還) 向けに 4 つの個別トレースが存在します。

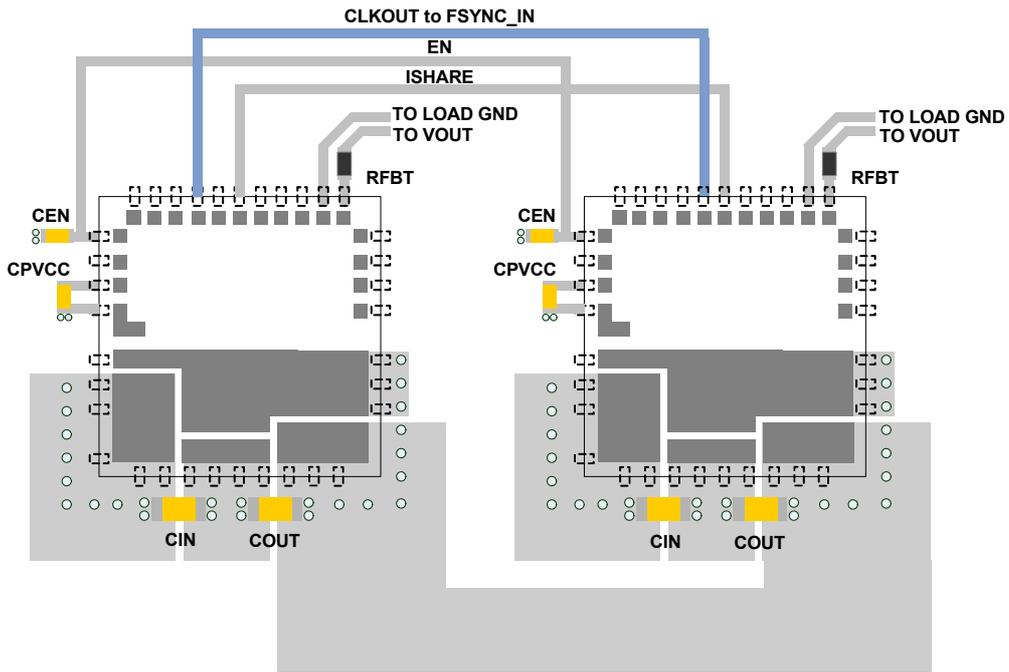


図 36. デュアルフェーズ・セットアップの推奨レイアウト

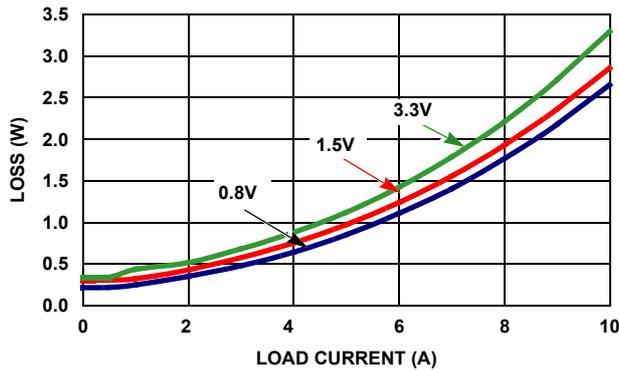


図 37. 電力損失 vs 負荷電流 (5V_{IN})、出力電圧別に OLFM で測定

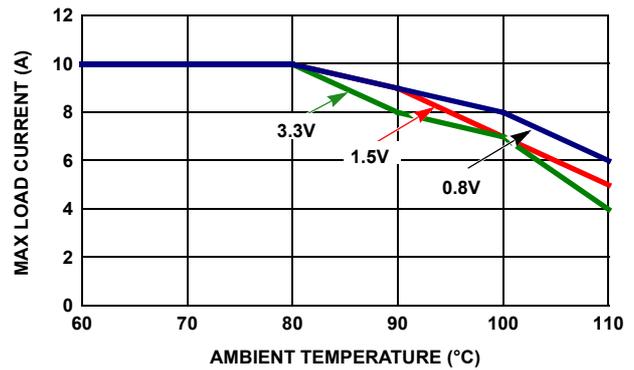


図 38. ディレーティング曲線 (5V_{IN})、出力電圧別に OLFM で測定

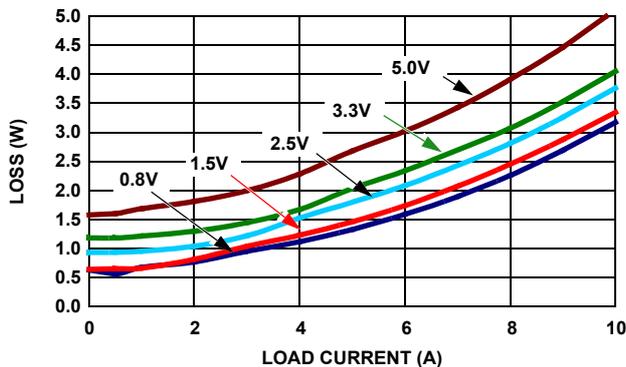


図 39. 電力損失 vs 負荷電流 (12V_{IN})、出力電圧別に OLFM で測定

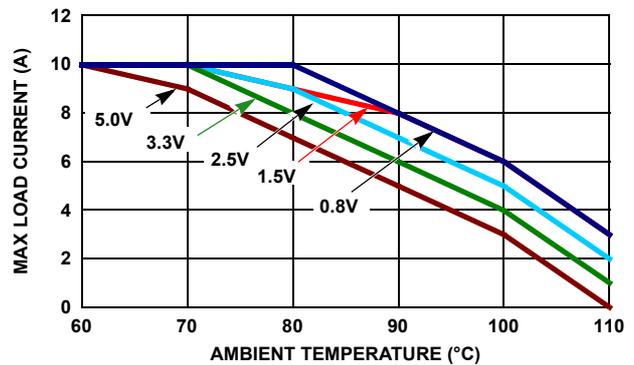


図 40. ディレーティング曲線 (12V_{IN})、出力電圧別に OLFM で測定

熱に関する考慮事項

実験に基づく電力損失曲線 (図 37 ~ 40) と、熱モデリング解析で得られた θ_{JA} を利用して、モジュールの熱に関する考慮事項を評価できます。ディレーティング曲線は、温度を最大ジャンクション温度 (+125°C) 未満に保ちつつ許容可能な最大電力から得られたものです。実際のアプリケーションでは、その他の熱源や設計マージンについても考慮する必要があります。

パッケージの説明

ISL8200AM の構造は、クワッド・フラットパック・ノーリード (QFN) パッケージに属します。この種のパッケージは、優れた放熱効率と導電率、軽量、小型という利点を備えています。QFN パッケージは表面実装技術に適用可能であり、業界で広く普及しつつあります。ISL8200AM には、抵抗、コンデンサ、インダクタ、制御 IC など複数の種類のデバイスが搭載されています。ISL8200AM は、エキスポーズド銅サーマルパッドを備えた銅リードフレーム・ベースのパッケージなので、導電率と放熱効率に優れています。ポリマー・モールド・コンパウンドで銅リードフレームとマルチコンポーネント・アセンブリをオーバーモールド成形することにより、搭載デバイスを保護しています。

23 ページの「パッケージ寸法図」セクションの「L23.15x15」に、パッケージの寸法、PCB レイアウト・パターン、メタルマスク・パターンの設計例を示します。モジュールは 15mm×15mm×2.2mm と小型です。図 41 は、リフロープロファイル・パラメータの例を示しています。以下のガイドラインは一般的な設計ルールです。パラメータはユーザーのアプリケーションに応じて変更できます。

PCB レイアウト・パターンの設計

ISL8200AM の下側はリードフレーム構造になっており、表面実装プロセスによって PCB に取り付けます。23 ページの「パッケージ寸法図」セクションの「L23.15x15」に、PCB レイアウト・パターンを示します。PCB レイアウト・パターンは基本的に、QFN エキスポーズド・パッドおよび I/O 端子の寸法と 1:1 です。ただし、PCB ランドを QFN 端子より 0.2mm (最大 0.4mm) だけ長くすることで、パッケージ周囲におけるハンダ・フィレットの形成を容易にしています。そのため、確実に検査のしやすいハンダ接続が可能です。PCB レイアウト上のサーマルランドは、パッケージのエキスポーズド・ダイ・パッドと 1:1 にする必要があります。

サーマルビア

サーマルランドの下に 1.0mm ~ 1.2mm ピッチでサーマルビアを格子状に配置し、内部の銅パターンに接続する必要があります。ビアの直径は 0.3mm ~ 0.33mm で、ビア内部には 1 オンスの銅メッキを施します。ピッチを狭めてビアを追加すると放熱性が向上しますが、数を増やすほど、ビア 1 つあたりの効果は減少します。サーマルランドのサイズに対し実用

的な範囲で多くのビアを、基板の設計ルールの許容範囲内で使用してください。

メタルマスク (ステンシル) パターンの設計

パッケージ周囲の I/O ランドのリフロー後のハンダ接続のスタンドオフ高さは、 $50\mu\text{m}$ から $75\mu\text{m}$ (2mil から 3mil) の範囲でなければなりません。最適かつ高信頼なハンダ接続を得るには、クリーム・ハンダ・メタルマスクの設計が第一歩になります。メタルマスクのアパーチャ・サイズとランド・サイズの比率は基本的に 1:1 にしてください。アパーチャの幅は、隣接 I/O ランド間のハンダ・ブリッジを防ぐために、わずかに狭めてもかまいません。大きなサーマルパッド上に塗布されるクリーム・ハンダ量を抑えるために、単一の広いアパーチャを使用する代わりに、複数の小さなアパーチャ配列を使用してください。メタルマスクの印刷エリアが PCB のランドパターンの 50% から 80% をカバーするとよいでしょう。ハンダ・メタルマスク・パターンの設計例を 24 ページの「パッケージ寸法図」セクションの「L23.15x15」に示します。パッドとパッドの間隔は 0.6mm です。メタルマスク・パターンのパッドの設計ではパターン全体が対称になるように工夫してください。ステンレス製のメタルマスクは、レーザーカットを行ったのち、電気研磨によって台形断面に形成する加工方法を推奨します。電気研磨を行うことでアパーチャの端面が滑らかになるため、表面抵抗が減ってクリーム・ハンダ離れが良くなり、ボイドの低減が図れます。また、台形断面アパーチャ (TSA) はクリーム・ハンダ離れにも効果があり、部品のプレースメントに適した「レンガ状」のクリーム・ハンダ形状が得られます。この QFN パッケージはピンピッチが広い (1.3mm) ため、 0.1mm から 0.15mm の厚みのメタルマスクを使用してください。

リフローパラメータ

QFN は実装高さが低いため、ANSI/J-STD-005 記載の「No Clean」なタイプ 3 のクリーム・ハンダを推奨します。リフロー中には窒素パージも推奨します。システムボードのリフロープロファイルは部品を搭載した基板全体の熱質量に依存するため、QFN 単体でハンダ・プロファイルを規定することは現実的ではありません。図 41 はプロファイルのガイドラインとして記載しているものであり、実際の製造条件やアプリケーションに応じて変更してください。

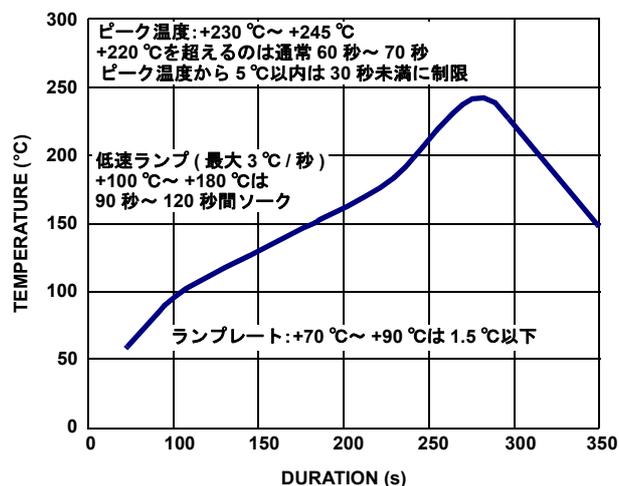


図 41. リフロープロファイル例

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

日付	レビジョン	変更点
2013/3/7	FN8271.4	1 ページの「特長」の入力電圧範囲で、「+3.0V から +20V」から「+4.5V から +20V」に変更。
2013/1/24	FN8271.3	7 ページの「絶対最大定格」の「推奨動作条件」で、入力電圧の PVIN と VIN を別々に記載。PVIN は 3V ~ 20V、VIN は 4.5V ~ 20V。
2013/1/2		7 ページの「絶対最大定格」の「推奨動作条件」で、入力電圧の PVIN と VIN を「3V ~ 20V」から「4.5V ~ 20V」に変更。
2012/10/8		4 ページの「ピンの説明」で、「ピンの説明」列の PVCC と VCC の動作電圧範囲を「4.5V ~ 5.5V」から「4.5V ~ 5.6V」に変更。 7 ページの「絶対最大定格」の「推奨動作条件」で、ドライバ・バイアス電圧 PVCC と信号バイアス電圧 VCC を「3V ~ 5.6V」から「4.5V ~ 5.6V」に変更。
2012/9/13	FN8271.2	初版

インターシルについて

インターシルは、高性能アナログ、ミクストシグナルおよびパワーマネジメント半導体の設計、製造で世界をリードする企業です。インターシルの製品は、産業用機器、インフラ、パーソナル・コンピューティング、ハイエンド・コンシューマの分野で特に急速な成長を遂げている市場向けに開発されています。インターシルの詳細や、インターシル・チームの一員になる方法については、ウェブサイト www.intersil.com とキャリア・ページを参照してください。

アプリケーション情報、関連ドキュメント、関連部品は、それぞれの製品情報ページを参照してください。また、[ISL8200AM](#) の製品情報ページをご覧ください。お使いのデータシートが最新であることをご確認ください。

本データシートに関するご意見は www.intersil.com/askourstaff へお寄せください。

信頼性に関するデータは rel.intersil.com/reports/search.php を参照してください。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認ください。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

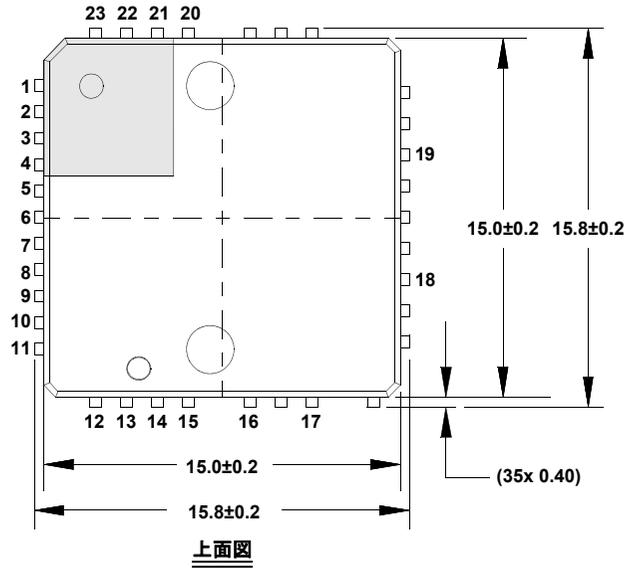
インターシルの会社概要については www.intersil.com をご覧ください。

パッケージ寸法図

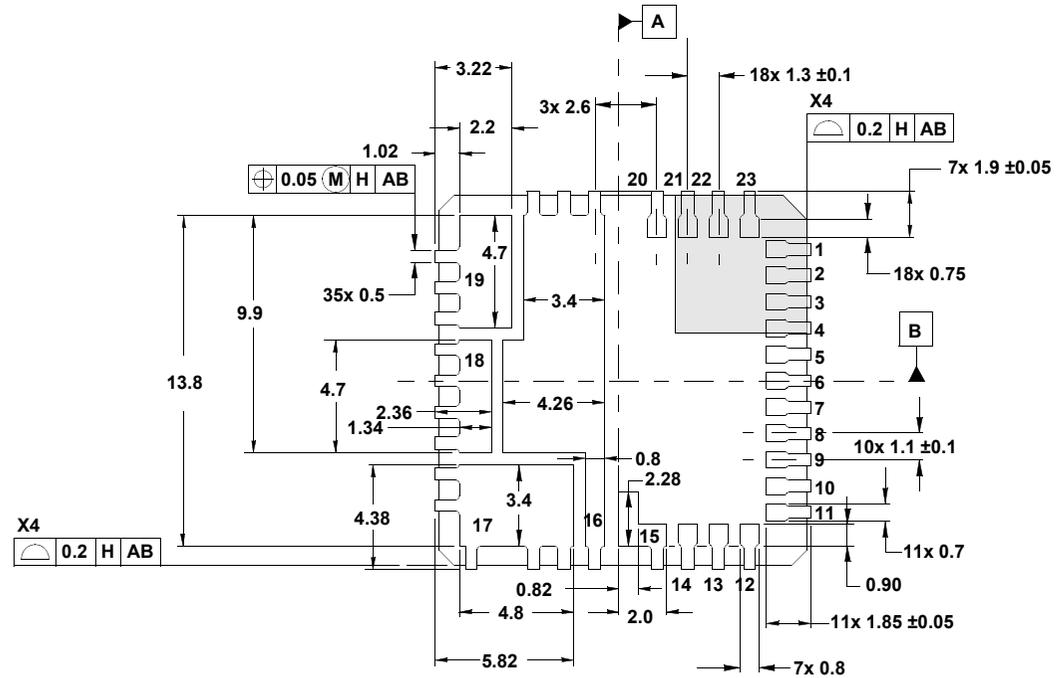
L23.15x15

23 LEAD QUAD FLAT NO-LEAD PLASTIC PACKAGE (PUNCH QFN)

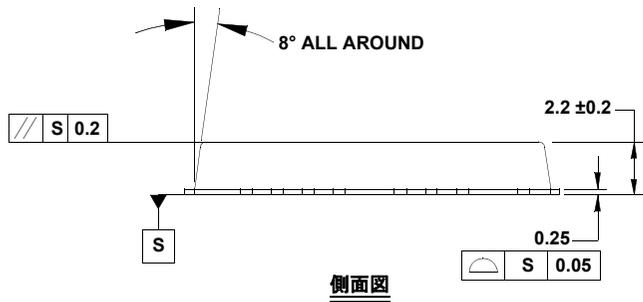
Rev 3, 10/10



上面図



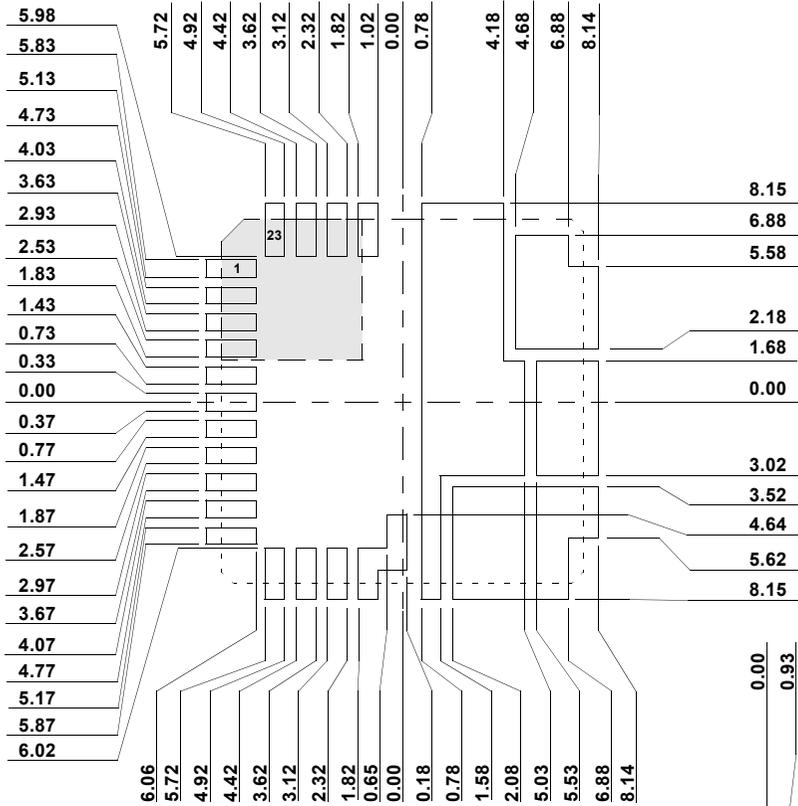
底面図



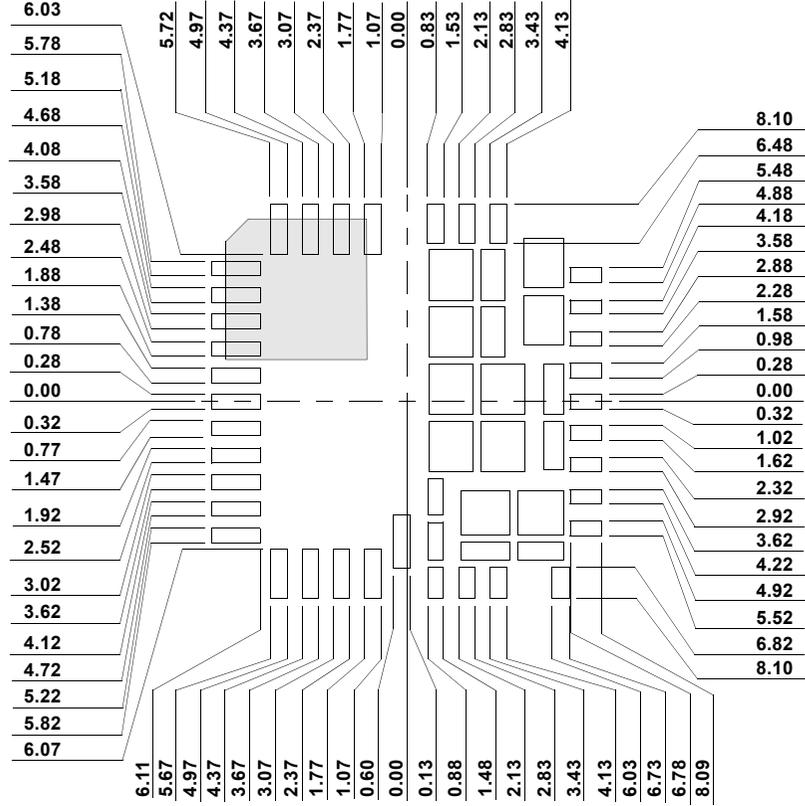
側面図

NOTE:

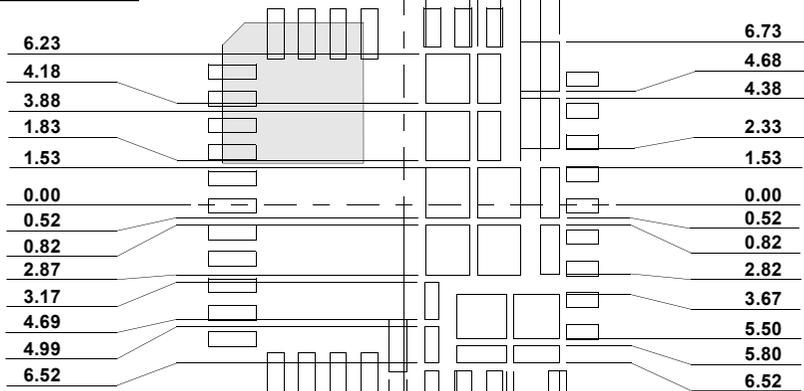
1. 寸法の単位は mm です。
2. 特記のない限り、公差は DECIMAL ± 0.2 です。本体公差は ± 0.2 mm です。
3. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。



推奨ランドパターンの例



矩形パッド採用のメタルマスク・パターン-1



矩形パッド採用のメタルマスク・パターン-2

0.60
0.00
0.13
0.88
1.48
2.23
4.28
4.58
6.48