

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

概要

M16C/6S 群是采用 64 管脚的塑模 LQFP 封装的单片机。该群将电力线通信调制解调器内核（利用了 Yitran Communications Ltd 公司开发的 IT800PLC 调制解调器技术）和模拟前端进行了单芯片化。M16C/60 系列 CPU 内核实现了高级别的编码效率和高速运算处理，而且，内置的 IT800 调制解调器内核还采用了 Yitran 公司的 DCSK（Differential Code Shift Keying）扩频调制方式的专利技术，可在已有的电气配线上实现速度最大为 7.5kbps 的高可靠性的通信。M16C/6S 符合国际标准（FCC part 15, ARIB and CENELEC bands），最适合用于 AMR（Automatic Meter Reading）或家庭自动化控制系统等各种窄带的应用程序。

应用

电力线通信

我们在编写本规格书时已经力求准确，不过仍有可能存在错误及不适当的地方，望您谅解。

另外，为了提高产品的功能和性能，本规格书将随着产品规格的变更而进行改版，所以请使用最新的版本。

— 目 录 —

概要	1	定时器	79
存储器	10	定时器 A	80
中央处理器	11	串行 I/O	90
SFR	13	时钟同步串行 I/O 模式	99
复位	21	UART 模式	107
处理器模式	25	特殊模式	115
时钟产生电路	29	SI/O3 和 SI/O4	129
保护	48	可编程 I/O 端口	134
中断	49	电气特性	145
看门狗定时器	67	闪存版	156
DMAC	69	IT800 模拟前端	179

性能概要

M16C/6S 群搭载的 M16C 内核的性能概要如表 1.1.1 所示。

表 1.1.1. M16C 内核的性能概要

项目			性能
CPU	基本指令数		91 条指令
	最短指令执行时间		65.1ns（f(BCLK)=15.36MHz、Vcc=3.0～3.6V）
	运行模式		单芯片模式
	地址空间		1M 字节
	存储器容量	ROM	96K 字节
RAM		24K 字节	
外围功能	端口		输入/输出:21 个、输入:1 个
	多功能定时器		定时器 A:16 位×5 通道
	串行 I/O		2 通道 时钟同步串行 I/O、时钟异步串行 I/O、 I ² C bus（注 1）
			1 通道 时钟异步串行 I/O、I ² C bus（注 1）
			2 通道 时钟同步串行 I/O（*） （*）1 通道为 IT800 进行内部连接专用
			DMAC
	看门狗定时器		15 位×1（带预分频器）
	中断		内部:21 个源、外部:3 个源、软件:4 个源 中断优先级:7 级
时钟产生电路		2 个电路 • 主时钟振荡电路 （带 PLL 频率合成器）（*） • 内部振荡器 （*）振荡电路中内置反馈电阻	
电气特性	电源电压		3.0～3.6V
	消耗电流		70mA（Vcc=VccA=3.3V，f(XIN)=5.12MHz）
闪存版	编程、擦除电压		3.0～3.6V（Topr=0～60℃）
	编程、擦除次数		100 次或者 1,000 次（注 2）
工作环境温度			-20～85℃ -40～85℃（注 2）
封装			64 管脚塑模 LQFP

注 1. I²C bus 是荷兰 PHILIPS 公司的注册商标。

注 2. 有关改写次数和工作环境温度, 请参照 “表 1.1.4 产品代码”。

IT800 物理层的性能概要

IT800 物理层是最适合用于电力线通信的通信物理层，由 IT800 调制解调器内核和内置模拟前端构成。IT800 调制解调器内核采用了 DCSK 扩频调制技术（Yitran 公司的专利），可在已有的电气配线上实现速度最大为 7.5kbps 的高可靠性的通信。IT800 物理层中不仅采用了源自 DCSK 调制技术的抗干扰性，还采用了 FEC 和特殊的通信同步算法等多种提高通信可靠性的机制。

IT800 物理层通过 M16C/6S 内部的时钟同步串行 I/O、中断及通过 I/O 端口与 M16C 内核连接（注）。M16C/6S 需要外部模拟前端。IT800 物理层的性能概要如表 1.1.2 所示。

表 1.1.2. IT800 物理层的性能概要（M16C/6S 群）

项目		性能
特征		对信号衰减、噪声、阻抗变化、相位及频率偏移的高抵抗力。 同相/异相间通信的高度可靠性。
调制技术		DCSK（Differential Code Shift Keying）* *Yitran 公司的专利调制技术。
错误检测/修订		短块/错误修正、CRC16 位
标准的国际规格		FCC, ARIB, EN50065-1-CENELEC
通信速度 & 频率带宽	FCC & ARIB	120-400KHz 7.5Kbps Standard Mode（SM） 5.0Kbps Robust Mode（RM） 1.25Kbps Extremely Robust Mode（ERM）
	CENELEC	A-带宽（户外）：20-80KHz B-带宽（室内）：95-125KHz 2.5Kbps Robust Mode（RM） 0.625Kbps Extremely Robust Mode（ERM）
内置模拟前端		10 位 D/A 转换器、预放大器 1 位 A/D 转换器 × 3 通道

注. IT800 物理层请使用本公司提供的 IT800DLL（数据链路层软件）。数据链路层为了控制通道访问，通过使用 IT800DLL，与供货商、协议、应用程序无关，能保证与其他使用 IT800 技术的产品之间的兼容性。直接通过 IT800 物理层进行通信时，将不能保证这样的兼容性。这里所谓的兼容性是指与其他以 IT800 技术为基础的产品之间的兼容性，而不是与其他通信技术的兼容性。详细内容请参照后面的章节及附录。

关于固化软件

作为 M16C/6S 群的数据链路层（DLL）软件，本公司推荐 IT800DLL（产品名称：D2DLL）。IT800DLL 是为应用了 Yitran 公司的 IT800 技术的产品而设计的，是最适合用于电力线通信的 DLL。关于 IT800DLL 的购买方法，请向本公司的技术支持部咨询。关于 IT800DLL 技术方面的优点，请参照附录。

框图及PLC应用概要图

片内框图及应用外围概要图如图1.1.1所示。

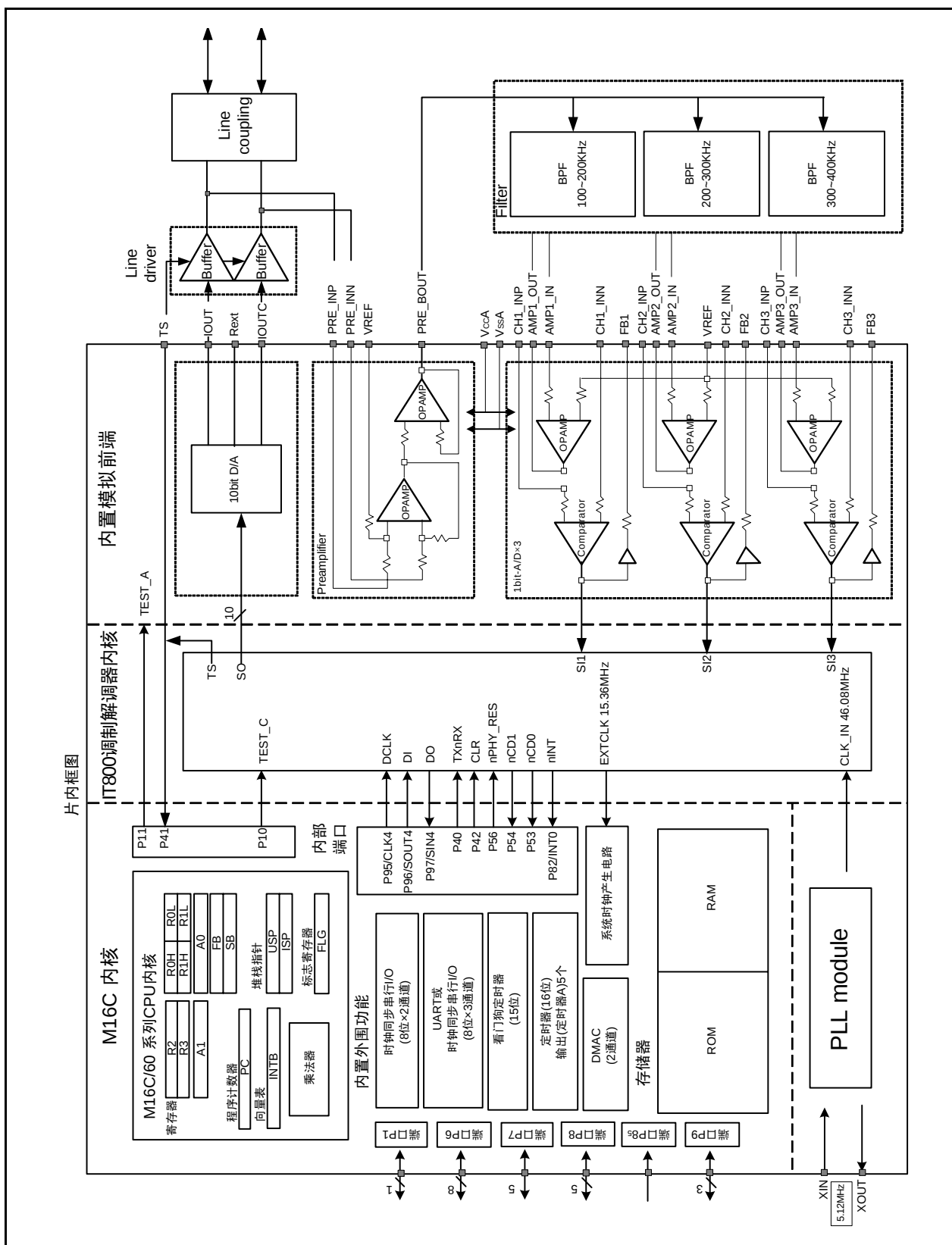


图1.1.1. 片内框图及应用外围概要

产品一览

产品一览表如表 1.1.3 所示，产品型号、存储器容量和封装如图 1.1.2 所示。

表 1.1.3. 产品一览表 (1)

2005 年 8 月

型号	ROM 容量	RAM 容量	封装	备注
M306S0FAGP	96K 字节	24K 字节	PLQP0064KB-A (64P6Q-A)	Flash 版
M306S0FA-XXXGP	96K 字节	24K 字节	PLQP0064KB-A (64P6Q-A)	Flash 版 (搭载有中间件)

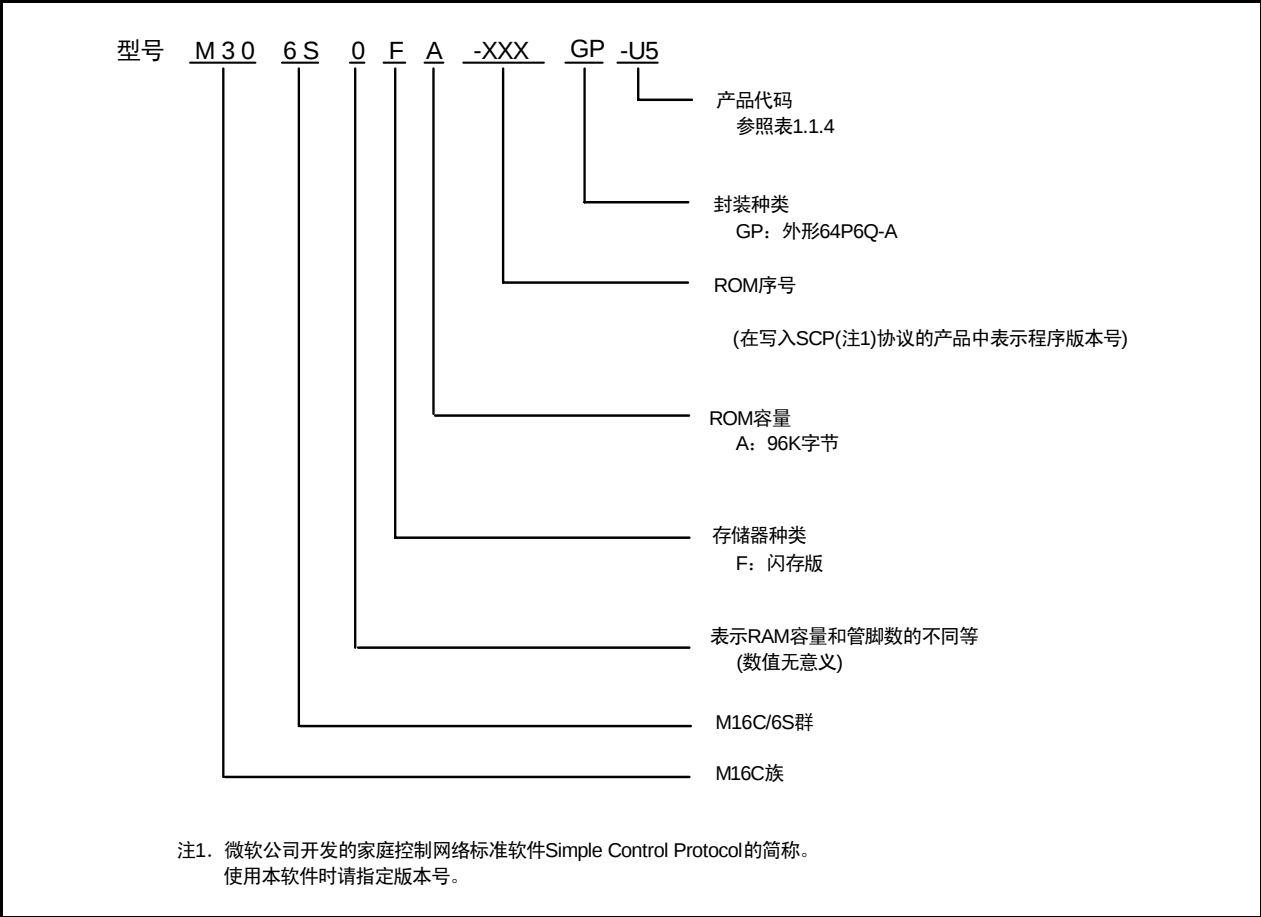


图 1.1.2. 产品型号、存储器容量和封装

表 1.1.4. 产品代码

产品代码	封装	内部ROM		MCU 工作环境温度
		改写次数	温度范围	
U3 (D)	无铅	100	0℃～60℃	-40℃～85℃
U5				-20℃～85℃
U7 (D)		1,000		-40℃～85℃
U9 (D)				-20℃～85℃

(D)：开发中

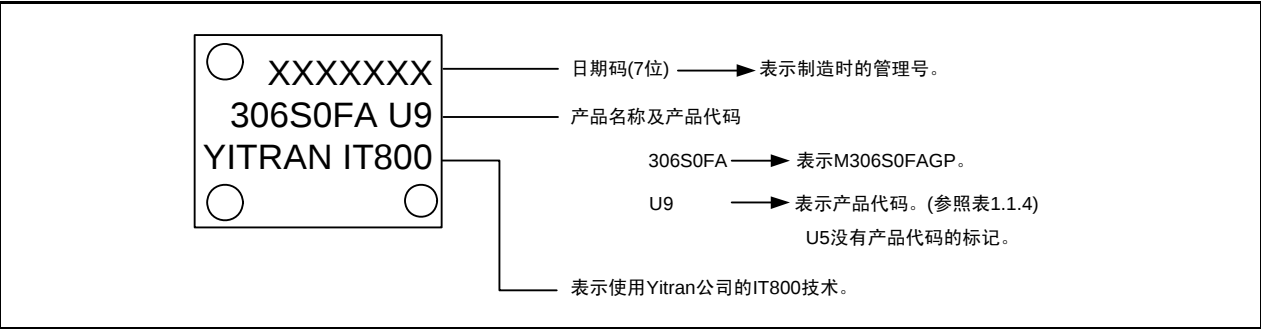


图 1.1.3. 标记图（俯视图）

管脚连接图

管脚连接图（俯视图）如图 1.1.4 所示。

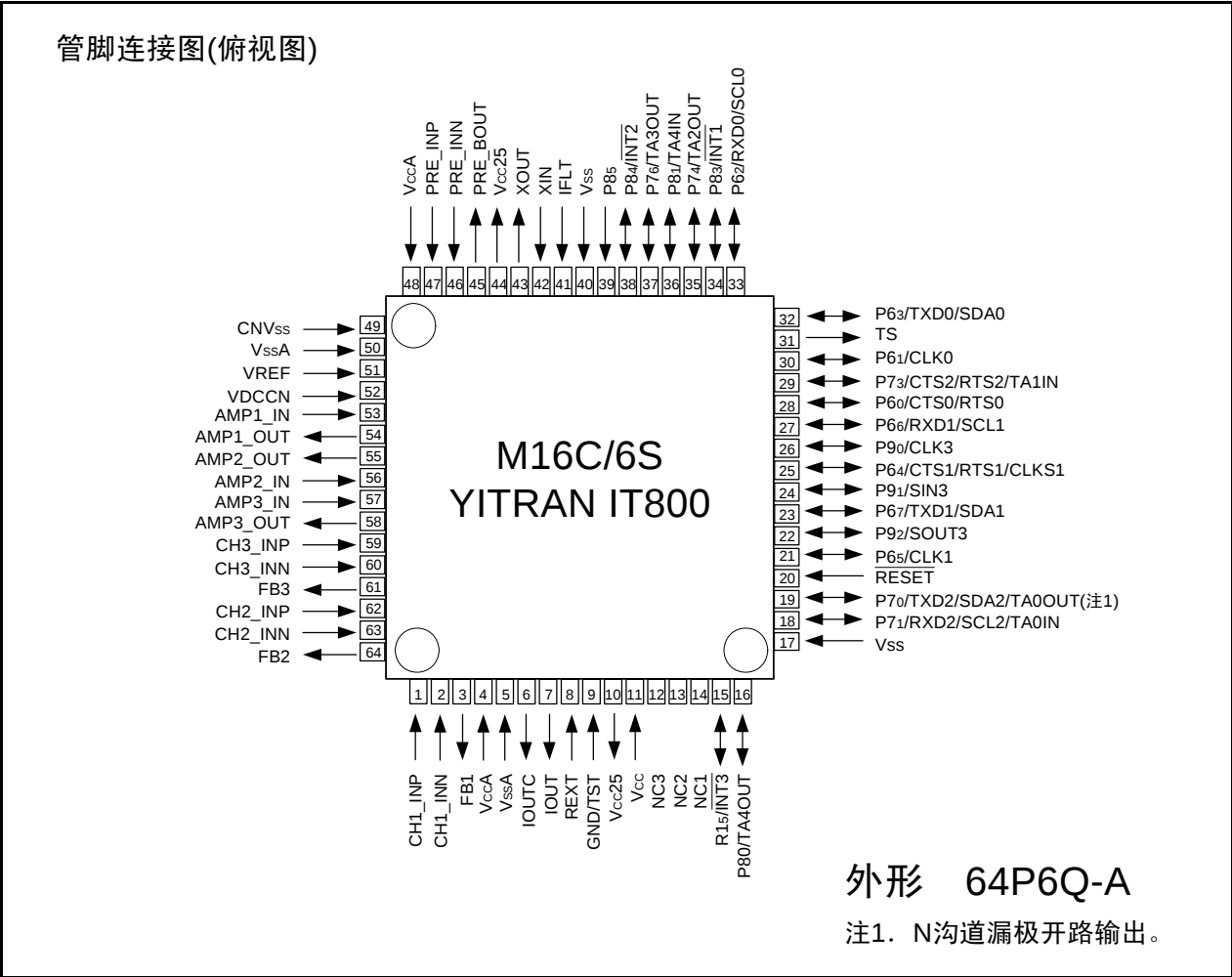


图 1.1.4. 管脚连接图（俯视图）

表 1.1.5. 管脚的功能说明 (1)

管脚名	名称	输入/输出	功能
Vcc、Vss	电源输入		向Vcc管脚输入3.0V~3.6V电压。向Vss管脚输入为0V电压。
CNVss	CNVss	输入	用于闪存模式切换的管脚，一般连接到Vss。
RESET	复位输入	输入	如果向此管脚输入“L”电平，单片机就进入复位状态。
XIN XOUT	时钟输入 时钟输出	输入 输出	主时钟振荡电路的输入/输出管脚。XIN管脚和XOUT管脚间连接陶瓷谐振器或晶体振荡器（注2）。输入外部生成的时钟时，从XIN管脚输入时钟，XOUT管脚开路。
VccA	模拟电源输入		模拟电路的电源输入管脚。连接到Vcc。
VssA	模拟电源输入		模拟电路的电源输入管脚。连接到Vss。
GND/TST	测试用输入	输入	测试用的输入管脚。连接到Vss。
P15	I/O端口P1	输入/输出	具有和P6相同功能的1位I/O端口。通过程序可以选择作为INT中断的输入管脚使用。
Vcc25	电源		内部产生的2.5V电源管脚。 请把两个Vcc25管脚连接起来，并加上稳定电容。
P60~P67	I/O端口P6	输入/输出	CMOS的8位I/O端口。具有可选择输入/输出的方向寄存器，每一端口都可选择是作为输入端口使用还是作为输出端口使用。输入端口可通过程序以4个位为单位，选择有无上拉电阻。可通过程序选择，作为UART0、UART1的输入/输出管脚使用。
P70、P71、 P73、P74、 P76	I/O端口P7	输入/输出	具有和P6相同功能的I/O端口（但是，P70是N沟道漏极开路输出）。通过程序可以选择，作为定时器A0~A3的输入/输出管脚使用。另外，P70~P73也可作为UART2的输入/输出管脚使用。
P80、P81、 P83、P84	I/O端口P8 输入端口P85	输入/输出 输入	P80、P81、P83、P84是具有和P6相同功能的I/O端口。通过程序可以选择，将P80~P81作为定时器A4的输入/输出管脚使用，将P83~P84作为INT中断的输入管脚使用。 P85是输入专用的端口。外部固定上拉“H”电平。不能对该管脚设定上拉电阻。
P90~P92	I/O端口P9	输入/输出	具有和P6相同功能的I/O端口。通过程序可以选择作为SI/O3的输入/输出管脚使用。
TS	输出端口TS	输出	是IT800在进行电力线通信时，对外置的发送AMP进行输出开关控制的管脚。
P10	片内端口P10	用作输入	用于IT800测试的端口。必须将方向寄存器设定为输入。
P11	片内端口P11	用作输入	用于AFE测试的端口。必须将方向寄存器设定为输入。
P40	片内端口P40	用作输出	用于与IT800通信的I/O端口。在内部与TXnRX管脚连接。必须将方向寄存器设为输出。
P41	片内端口P41	用作输入	用于与IT800通信的I/O端口（注1）。在内部与TS管脚连接。必须将方向寄存器设定为输入。
P42	片内端口P42	用作输出	用于与IT800通信的I/O端口。在内部与CLR管脚连接。必须将方向寄存器设定为输出。
P53	片内端口P53	用作输入	用于与IT800通信的I/O端口（注1）。在内部与nCD0管脚连接。必须将方向寄存器设定为输入。
P54	片内端口P54	用作输入	用于与IT800通信的I/O端口（注1）。在内部与nCD1管脚连接。必须将方向寄存器设定为输入。
P56	片内端口P56	用作输出	用于与IT800通信的I/O端口。在内部与nPHY_RES管脚连接。必须将方向寄存器设定为输出。
P82	片内端口P82	用作输入	用于与IT800通信的I/O端口（注1）。在内部与nINT管脚连接。通过软件可以选择作为外部中断的输入管脚使用。
P95	片内端口P95	用作输出	用于与IT800通信的I/O端口。在内部与DCLK管脚连接。可以通过软件选择作为SI/O4的时钟输出管脚使用。
P96	片内端口P96	用作输出	用于与IT800通信的I/O端口。在内部与DI管脚连接。可以通过软件选择作为SI/O4的数据输出管脚使用。
P97	片内端口P97	用作输入	用于与IT800通信的I/O端口（注1）。在内部与DO管脚连接。通过软件可以选择作为SI/O4的数据输入管脚使用。

注1. 即使将方向寄存器设定为输出，也不输出数据。详细内容请参照可编程I/O端口一节。

注2. 有关振荡特性请咨询振荡器生产厂商。

表 1.1.6. 管脚的功能说明 (2) (模拟管脚)

管脚名	输入/输出	功能
PRE-BOUT	输出	预放大缓冲输出。
PRE-INN	输入	预放大差动信号输入。
PRE-INP	输入	预放大差动信号输入。
VREF	输入	通道1, 2, 3共同的放大参照电压输入。
VDCCN	输入	测试用端口。一般要上拉。
AMP1-IN	输入	通道1放大输入。
AMP1-OUT	输出	通道1放大输出。
AMP2-IN	输入	通道2放大输入。
AMP2-OUT	输出	通道2放大输出。
AMP3-IN	输入	通道3放大输入。
AMP3-OUT	输出	通道3放大输出。
CHI-INP	输入	通道1比较电路差动输入。
CHI-INN	输入	通道1比较电路差动输入。
FB1	输出	通道1比较电路反馈输出。
CH2-INP	输入	通道2比较电路差动输入。
CH2-INN	输入	通道2比较电路差动输入。
FB2	输出	通道2比较电路反馈输出。
CH3-INP	输入	通道3比较电路差动输入。
CH3-INN	输入	通道3比较电路差动输入。
FB3	输出	通道3比较电路反馈输出。
IOUTC	输出	DAC的差动电流输出。
IOUT	输出	DAC的差动电流输出。
REXT	输入	DAC的恒电流源控制用管脚。
IFLT	输入	PLL的低通滤波器用管脚。

存储器

存储器分配如图 1.2.1 所示，地址空间为从 00000₁₆ 地址到 FFFFF₁₆ 地址的 1M 字节。

内部 ROM 分配在从 FFFFF₁₆ 地址开始向低位方向延伸的区域。例如 96K 字节的内部 ROM 分配在从 E8000₁₆ 地址到 FFFFF₁₆ 地址之间的区域。

固定中断向量表分配在从 FFFDC₁₆ 地址到 FFFFF₁₆ 地址之间的区域。在此，保存中断程序的起始地址。

内部 RAM 分配在从 00400₁₆ 地址向高位方向延伸的区域。例如 24K 字节的内部 RAM 分配在从 00400₁₆ 地址到 63FF₁₆ 地址之间的区域。内部 RAM 除了保存数据之外，也可用作子程序调用和中断时的堆栈。

SFR 分配在从 00000₁₆ 地址到 003FF₁₆ 地址之间的区域。这里分配有外围功能的控制寄存器。SFR 中未被分配的区域全部是保留区，用户不能使用。

专用页向量表分配在从 FFE00₁₆ 地址到 FFFDB₁₆ 地址之间的区域。该向量在 JMPs 指令或 JSRS 指令中使用。详细内容请参照《M16C/60、M16C/20、M16C/Tiny 系列软件手册》。

存储器分配如图 1.2.1 所示。

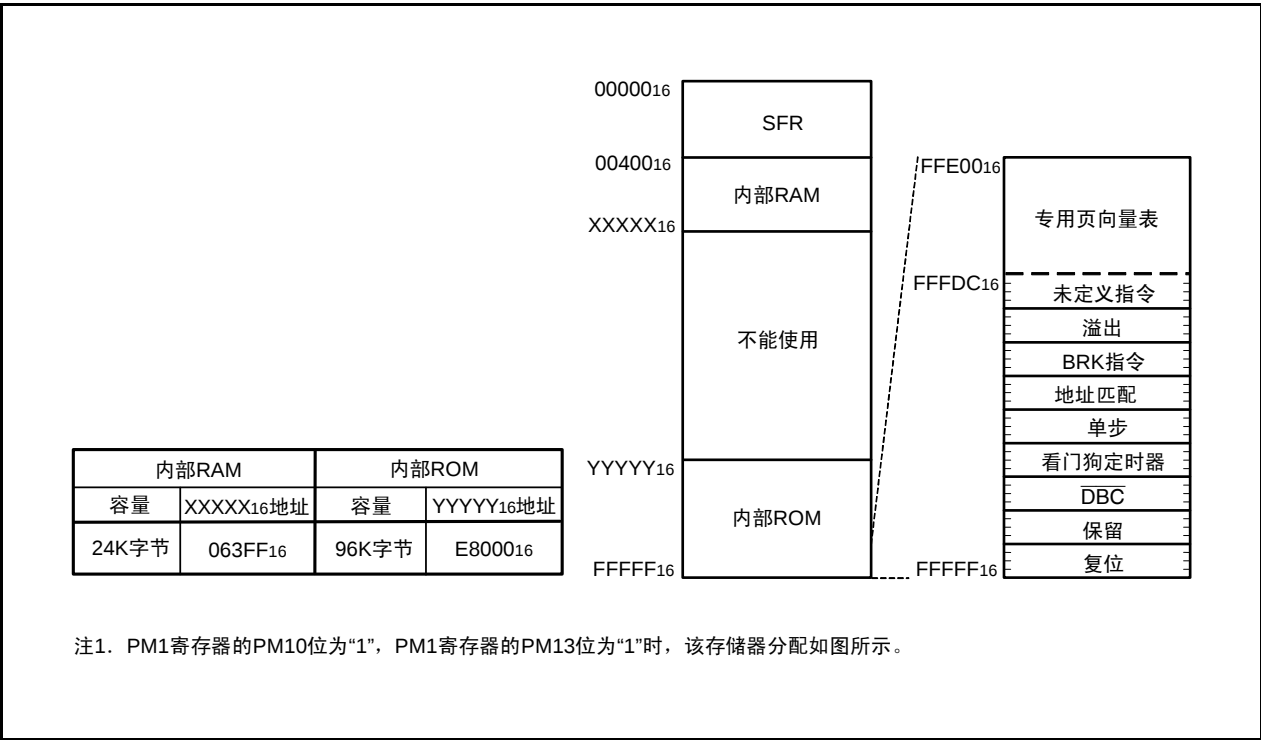


图 1.2.1. 存储器分配

中央处理器

CPU的寄存器如图1.3.1所示。CPU有13个寄存器。其中，R0、R1、R2、R3、A0、A1、FB构成寄存器组。寄存器组有2组。

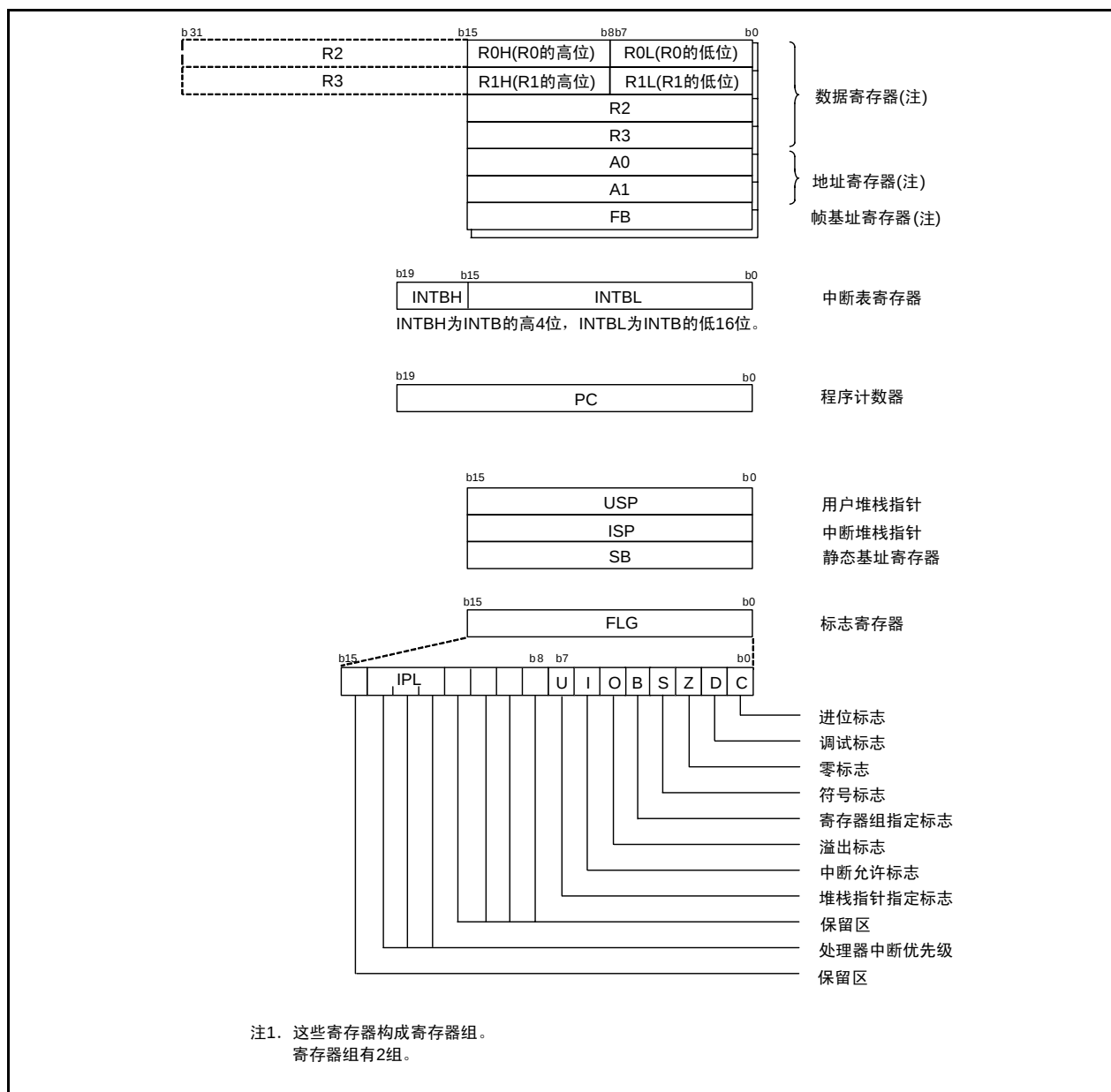


图1.3.1. CPU的寄存器

(1) 数据寄存器 (R0、R1、R2、R3)

R0由16位构成，主要用于传送、算术和逻辑运算。R1~R3与R0一样。

R0分别将高位 (R0H) 和低位 (R0L) 作为8位数据寄存器使用，R1H、R1L与R0H、R0L一样。R2和R0组合，能作为32位数据寄存器 (R2R0) 使用。R3R1与R2R0一样。

(2) 地址寄存器 (A0、A1)

A0由16位构成，用于地址寄存器间接寻址和地址寄存器相对寻址，也可用于传送、算术和逻辑运算。A1与A0一样。

A1和A0组合，能作为32位地址寄存器 (A1A0) 使用。

（3）帧基址寄存器（FB）

FB 由 16 位构成，用于 FB 相对寻址。

（4）中断表寄存器（INTB）

INTB 由 20 位构成，表示可变中断向量表的起始地址。

（5）程序计数器（PC）

PC 由 20 位构成，表示下次将执行的指令地址。

（6）用户堆栈指针（USP）、中断堆栈指针（ISP）

堆栈指针（SP）有 USP 和 ISP 两种，都由 16 位构成。

通过 FLG 的 U 标志切换 USP 和 ISP。

（7）静态基址寄存器（SB）

SB 由 16 位构成，用于 SB 相对寻址。

（8）标志寄存器（FLG）

FLG 由 11 位构成，表示 CPU 的状态。

●进位标志（C 标志）

C 标志保留由算术逻辑单元产生的进位、借位及移位操作中的位等。

●调试标志（D 标志）

D 标志是调试专用位，必须清“0”。

●零标志（Z 标志）

运算结果为 0 时为“1”，否则为“0”。

●符号标志（S 标志）

运算结果为负时为“1”，否则为“0”。

●寄存器组选择标志（B 标志）

B 标志为“0”时选择寄存器组 0，为“1”时选择寄存器组 1。

●溢出标志（O 标志）

运算结果溢出时为“1”，否则为“0”。

●中断允许标志（I 标志）

I 标志是可屏蔽中断的允许标志。

I 标志为“0”时禁止可屏蔽中断，为“1”时允许。

如果接受中断请求，I 标志就变为“0”。

●堆栈指针选择标志（U 标志）

U 标志为“0”时选择 ISP，为“1”时选择 USP。

当接受硬件中断请求或者执行软件中断号 0～31 的 INT 指令时，U 标志为“0”。

●处理器中断优先级（IPL）

IPL 由 3 位构成，指定 0～7 级共 8 个处理器中断优先级。

若请求中断的优先级高于当前 IPL 值，则允许该中断请求。

●保留区

保留区只能写“0”，读时其值不确定。

SFR

地址	寄存器	符号	复位后的值
0000 ₁₆			
0001 ₁₆			
0002 ₁₆			
0003 ₁₆			
0004 ₁₆	处理器模式寄存器 0 (注2)	PM0	XXXX0X00 ₂ (CNV _{ss} 管脚为 “L”)
0005 ₁₆	处理器模式寄存器 1	PM1	0XXX10X0 ₂
0006 ₁₆	系统时钟控制寄存器 0	CM0	010XX0XX ₂
0007 ₁₆	系统时钟控制寄存器 1	CM1	00100000 ₂
0008 ₁₆			
0009 ₁₆	地址匹配中断允许寄存器	AIER	XXXXXX00 ₂
000A ₁₆	保护寄存器	PRCR	XX000000 ₂
000B ₁₆			
000C ₁₆	振荡停止检测寄存器 (注3)	CM2	0000X000 ₂
000D ₁₆			
000E ₁₆	看门狗定时器启动寄存器	WDTS	?? ₁₆
000F ₁₆	看门狗定时器控制寄存器	WDC	00?????? ₂
0010 ₁₆	地址匹配中断寄存器 0	RMAD0	00 ₁₆
0011 ₁₆			00 ₁₆
0012 ₁₆			X0 ₁₆
0013 ₁₆			
0014 ₁₆	地址匹配中断寄存器 1	RMAD1	00 ₁₆
0015 ₁₆			00 ₁₆
0016 ₁₆			X0 ₁₆
0017 ₁₆			
0018 ₁₆			
0019 ₁₆			
001A ₁₆			
001B ₁₆			
001C ₁₆			
001D ₁₆			
001E ₁₆	处理器模式寄存器 2	PM2	XXX00000 ₂
001F ₁₆			
0020 ₁₆	DMA0 源指针	SAR0	?? ₁₆
0021 ₁₆			?? ₁₆
0022 ₁₆			X? ₁₆
0023 ₁₆			
0024 ₁₆	DMA0 目标指针	DAR0	?? ₁₆
0025 ₁₆			?? ₁₆
0026 ₁₆			X? ₁₆
0027 ₁₆			
0028 ₁₆	DMA0 传送计数器	TCR0	?? ₁₆
0029 ₁₆			?? ₁₆
002A ₁₆			
002B ₁₆			
002C ₁₆	DMA0 控制寄存器	DM0CON	00000?00 ₂
002D ₁₆			
002E ₁₆			
002F ₁₆			

注1. 空栏为保留区，不能使用。

注2. PM00、PM01位在软件复位、看门狗定时器复位、振荡停止检测复位时不变。

注3. CM20、CM21、CM27位在振荡停止检测复位时不变。

X: 该位暂未使用。

?: 不确定。

地址	寄存器	符号	复位后的值
0030 ₁₆	DMA1 源指针	SAR1	?? ₁₆
0031 ₁₆			?? ₁₆
0032 ₁₆			X? ₁₆
0033 ₁₆			
0034 ₁₆	DMA1 目标指针	DAR1	?? ₁₆
0035 ₁₆			?? ₁₆
0036 ₁₆			X? ₁₆
0037 ₁₆			
0038 ₁₆	DMA1 传送计数器	TCR1	?? ₁₆
0039 ₁₆			?? ₁₆
003A ₁₆			
003B ₁₆			
003C ₁₆	DMA1 控制寄存器	DM1CON	00000?00 ₂
003D ₁₆			
003E ₁₆			
003F ₁₆			
0040 ₁₆			
0041 ₁₆			
0042 ₁₆			
0043 ₁₆			
0044 ₁₆	INT3 中断控制寄存器	INT3IC	XX00?000 ₂
0045 ₁₆			
0046 ₁₆	UART1 总线冲突检测中断控制寄存器	U1BCNIC	XXXX?000 ₂
0047 ₁₆	UART0 总线冲突检测中断控制寄存器	U0BCNIC	XXXX?000 ₂
0048 ₁₆	SI/O4 中断控制寄存器	S4IC	XX00?000 ₂
0049 ₁₆	SI/O3 中断控制寄存器	S3IC	XX00?000 ₂
004A ₁₆	UART2 总线冲突检测中断控制寄存器	BCNIC	XXXX?000 ₂
004B ₁₆	DMA0 中断控制寄存器	DM0IC	XXXX?000 ₂
004C ₁₆	DMA1 中断控制寄存器	DM1IC	XXXX?000 ₂
004D ₁₆			
004E ₁₆			
004F ₁₆	UART2 发送中断控制寄存器	S2TIC	XXXX?000 ₂
0050 ₁₆	UART2 接收中断控制寄存器	S2RIC	XXXX?000 ₂
0051 ₁₆	UART0 发送中断控制寄存器	S0TIC	XXXX?000 ₂
0052 ₁₆	UART0 接收中断控制寄存器	S0RIC	XXXX?000 ₂
0053 ₁₆	UART1 发送中断控制寄存器	S1TIC	XXXX?000 ₂
0054 ₁₆	UART1 接收中断控制寄存器	S1RIC	XXXX?000 ₂
0055 ₁₆	定时器 A0 中断控制寄存器	TA0IC	XXXX?000 ₂
0056 ₁₆	定时器 A1 中断控制寄存器	TA1IC	XXXX?000 ₂
0057 ₁₆	定时器 A2 中断控制寄存器	TA2IC	XXXX?000 ₂
0058 ₁₆	定时器 A3 中断控制寄存器	TA3IC	XXXX?000 ₂
0059 ₁₆	定时器 A4 中断控制寄存器	TA4IC	XXXX?000 ₂
005A ₁₆			
005B ₁₆			
005C ₁₆			
005D ₁₆	INT0 中断控制寄存器	INT0IC	XX00?000 ₂
005E ₁₆	INT1 中断控制寄存器	INT1IC	XX00?000 ₂
005F ₁₆	INT2 中断控制寄存器	INT2IC	XX00?000 ₂

注1. 空栏为保留区, 不能使用。

X: 该位暂未使用。

?: 不确定。

地址	寄存器	符号	复位后的值
0060 ₁₆			
0061 ₁₆			
0062 ₁₆			
0063 ₁₆			
0064 ₁₆			
0065 ₁₆			
0066 ₁₆			
0067 ₁₆			
0068 ₁₆			
0069 ₁₆			
006A ₁₆			
006B ₁₆			
006C ₁₆			
006D ₁₆			
006E ₁₆			
006F ₁₆			
0070 ₁₆			
0071 ₁₆			
0072 ₁₆			
0073 ₁₆			
0074 ₁₆			
0075 ₁₆			
0076 ₁₆			
0077 ₁₆			
0078 ₁₆			
0079 ₁₆			
007A ₁₆			
007B ₁₆			
007C ₁₆			
007D ₁₆			
007E ₁₆			
007F ₁₆			
0080 ₁₆			
0081 ₁₆			
0082 ₁₆			
0083 ₁₆			
0084 ₁₆			
0085 ₁₆			
0086 ₁₆			
≈			≈
01B0 ₁₆			
01B1 ₁₆			
01B2 ₁₆			
01B3 ₁₆			
01B4 ₁₆			
01B5 ₁₆	闪存控制寄存器1	FMR1	0?00??0?2
01B6 ₁₆			
01B7 ₁₆	闪存控制寄存器0	FMR0	??0000012
01B8 ₁₆	地址匹配中断寄存器2	RMAD2	00 ₁₆
01B9 ₁₆			00 ₁₆
01BA ₁₆			X0 ₁₆
01BB ₁₆	地址匹配中断允许寄存器2	AIER2	XXXXXX002
01BC ₁₆	地址匹配中断寄存器3	RMAD3	00 ₁₆
01BD ₁₆			00 ₁₆
01BE ₁₆			X0 ₁₆
01BF ₁₆			

注1. 空栏为保留区，不能使用。

X: 该位暂未使用。

?: 不确定。

地址	寄存器	符号	复位后的值
≈			≈
0250 ₁₆			
0251 ₁₆			
0252 ₁₆			
0253 ₁₆			
0254 ₁₆			
0255 ₁₆			
0256 ₁₆			
0257 ₁₆			
0258 ₁₆			
0259 ₁₆			
025A ₁₆			
025B ₁₆			
025C ₁₆			
025D ₁₆			
025E ₁₆	外围时钟选择寄存器	PCLKR	000000112
025F ₁₆			
≈			≈
0330 ₁₆			
0331 ₁₆			
0332 ₁₆			
0333 ₁₆			
0334 ₁₆			
0335 ₁₆			
0336 ₁₆			
0337 ₁₆			
0338 ₁₆			
0339 ₁₆			
033A ₁₆			
033B ₁₆			
033C ₁₆			
033D ₁₆			
033E ₁₆			
033F ₁₆			
0340 ₁₆			
0341 ₁₆			
0342 ₁₆			
0343 ₁₆			
0344 ₁₆			
0345 ₁₆			
0346 ₁₆			
0347 ₁₆			
0348 ₁₆			
0349 ₁₆			
034A ₁₆			
034B ₁₆			
034C ₁₆			
034D ₁₆			
034E ₁₆			
034F ₁₆			

注1. 空栏为保留区，不能使用。

X: 该位暂未使用。

?: 不确定。

地址	寄存器	符号	复位后的值
0350 ₁₆			
0351 ₁₆			
0352 ₁₆			
0353 ₁₆			
0354 ₁₆			
0355 ₁₆			
0356 ₁₆			
0357 ₁₆			
0358 ₁₆			
0359 ₁₆			
035A ₁₆			
035B ₁₆			
035C ₁₆			
035D ₁₆			
035E ₁₆	中断源选择寄存器 2	IFSR2A	00XXXXXX ₂
035F ₁₆	中断源选择寄存器	IFSR	00 ₁₆
0360 ₁₆	SI/O3 发送 / 接收寄存器	S3TRR	?? ₁₆
0361 ₁₆			
0362 ₁₆	SI/O3 控制寄存器	S3C	01000000 ₂
0363 ₁₆	SI/O3 传送速率寄存器	S3BRG	?? ₁₆
0364 ₁₆	SI/O4 发送 / 接收寄存器	S4TRR	?? ₁₆
0365 ₁₆			
0366 ₁₆	SI/O4 控制寄存器	S4C	01000000 ₂
0367 ₁₆	SI/O4 传送速率寄存器	S4BRG	?? ₁₆
0368 ₁₆			
0369 ₁₆			
036A ₁₆			
036B ₁₆			
036C ₁₆	UART0 特殊模式寄存器 4	U0SMR4	00 ₁₆
036D ₁₆	UART0 特殊模式寄存器 3	U0SMR3	000X0X0X ₂
036E ₁₆	UART0 特殊模式寄存器 2	U0SMR2	X0000000 ₂
036F ₁₆	UART0 特殊模式寄存器	U0SMR	X0000000 ₂
0370 ₁₆	UART1 特殊模式寄存器 4	U1SMR4	00 ₁₆
0371 ₁₆	UART1 特殊模式寄存器 3	U1SMR3	000X0X0X ₂
0372 ₁₆	UART1 特殊模式寄存器 2	U1SMR2	X0000000 ₂
0373 ₁₆	UART1 特殊模式寄存器	U1SMR	X0000000 ₂
0374 ₁₆	UART2 特殊模式寄存器 4	U2SMR4	00 ₁₆
0375 ₁₆	UART2 特殊模式寄存器 3	U2SMR3	000X0X0X ₂
0376 ₁₆	UART2 特殊模式寄存器 2	U2SMR2	X0000000 ₂
0377 ₁₆	UART2 特殊模式寄存器	U2SMR	X0000000 ₂
0378 ₁₆	UART2 发送 / 接收模式寄存器	U2MR	00 ₁₆
0379 ₁₆	UART2 传送速率寄存器	U2BRG	?? ₁₆
037A ₁₆	UART2 发送缓冲寄存器	U2TB	??????? ₂
037B ₁₆			XXXXXXX ₂
037C ₁₆	UART2 发送 / 接收控制寄存器 0	U2C0	00001000 ₂
037D ₁₆	UART2 发送 / 接收控制寄存器 1	U2C1	00000010 ₂
037E ₁₆	UART2 接收缓冲寄存器	U2RB	??????? ₂
037F ₁₆			?????XX ₂

注1. 空栏为保留区, 不能使用。

X: 该位暂未使用。

?: 不确定。

地址	寄存器	符号	复位后的值
0380 ₁₆	计数启动标志	TABSR	XXX00000 ₂
0381 ₁₆			
0382 ₁₆	单次触发启动标志	ONSF	00 ₁₆
0383 ₁₆	触发选择寄存器	TRGSR	00 ₁₆
0384 ₁₆	递增/递减标志	UDF	00 ₁₆
0385 ₁₆			
0386 ₁₆	定时器 A0 寄存器	TA0	?? ₁₆
0387 ₁₆			?? ₁₆
0388 ₁₆	定时器 A1 寄存器	TA1	?? ₁₆
0389 ₁₆			?? ₁₆
038A ₁₆	定时器 A2 寄存器	TA2	?? ₁₆
038B ₁₆			?? ₁₆
038C ₁₆	定时器 A3 寄存器	TA3	?? ₁₆
038D ₁₆			?? ₁₆
038E ₁₆	定时器 A4 寄存器	TA4	?? ₁₆
038F ₁₆			?? ₁₆
0390 ₁₆			
0391 ₁₆			
0392 ₁₆			
0393 ₁₆			
0394 ₁₆			
0395 ₁₆			
0396 ₁₆	定时器 A0 模式寄存器	TA0MR	00 ₁₆
0397 ₁₆	定时器 A1 模式寄存器	TA1MR	00 ₁₆
0398 ₁₆	定时器 A2 模式寄存器	TA2MR	00 ₁₆
0399 ₁₆	定时器 A3 模式寄存器	TA3MR	00 ₁₆
039A ₁₆	定时器 A4 模式寄存器	TA4MR	00 ₁₆
039B ₁₆			
039C ₁₆			
039D ₁₆			
039E ₁₆			
039F ₁₆			
03A0 ₁₆	UART0 发送/接收模式寄存器	U0MR	00 ₁₆
03A1 ₁₆	UART0 传送速率寄存器	U0BRG	?? ₁₆
03A2 ₁₆	UART0 发送缓冲寄存器	U0TB	??????? ₂
03A3 ₁₆			XXXXXXXX ₂
03A4 ₁₆	UART0 发送/接收控制寄存器 0	U0C0	00001000 ₂
03A5 ₁₆	UART0 发送/接收控制寄存器 1	U0C1	00000010 ₂
03A6 ₁₆	UART0 接收缓冲寄存器	U0RB	??????? ₂
03A7 ₁₆			?????XX ₂
03A8 ₁₆	UART1 发送/接收模式寄存器	U1MR	00 ₁₆
03A9 ₁₆	UART1 传送速率寄存器	U1BRG	?? ₁₆
03AA ₁₆	UART1 发送缓冲寄存器	U1TB	??????? ₂
03AB ₁₆			XXXXXXXX ₂
03AC ₁₆	UART1 发送/接收控制寄存器 0	U1C0	00001000 ₂
03AD ₁₆	UART1 发送/接收控制寄存器 1	U1C1	00000010 ₂
03AE ₁₆	UART1 接收缓冲寄存器	U1RB	??????? ₂
03AF ₁₆			?????XX ₂

注1. 空栏为保留区，不能使用。

X: 该位暂未使用。

?: 不确定。

地址	寄存器	符号	复位后的值
03B0 ₁₆	UART 发送 / 接收控制寄存器 2	UCON	X0000000 ₂
03B1 ₁₆			
03B2 ₁₆			
03B3 ₁₆			
03B4 ₁₆			
03B5 ₁₆			
03B6 ₁₆			
03B7 ₁₆			
03B8 ₁₆	DMA0 触发源选择寄存器	DM0SL	00 ₁₆
03B9 ₁₆			
03BA ₁₆	DMA1 触发源选择寄存器	DM1SL	00 ₁₆
03BB ₁₆			
03BC ₁₆			
03BD ₁₆			
03BE ₁₆			
03BF ₁₆			
03C0 ₁₆			
03C1 ₁₆			
03C2 ₁₆			
03C3 ₁₆			
03C4 ₁₆			
03C5 ₁₆			
03C6 ₁₆			
03C7 ₁₆			
03C8 ₁₆			
03C9 ₁₆			
03CA ₁₆			
03CB ₁₆			
03CC ₁₆			
03CD ₁₆			
03CE ₁₆			
03CF ₁₆			
03D0 ₁₆			
03D1 ₁₆			
03D2 ₁₆			
03D3 ₁₆			
03D4 ₁₆			
03D5 ₁₆			
03D6 ₁₆			
03D7 ₁₆			
03D8 ₁₆			
03D9 ₁₆			
03DA ₁₆			
03DB ₁₆			
03DC ₁₆			
03DD ₁₆			
03DE ₁₆			
03DF ₁₆			

注1. 空栏为保留区, 不能使用。

X: 该位暂未使用。

?: 不确定。

地址	寄存器	符号	复位后的值
03E0 ₁₆			
03E1 ₁₆	端口 P1 寄存器	P1	?? ₁₆
03E2 ₁₆			
03E3 ₁₆	端口 P1 方向寄存器	PD1	00 ₁₆
03E4 ₁₆			
03E5 ₁₆			
03E6 ₁₆			
03E7 ₁₆			
03E8 ₁₆	端口 P4 寄存器	P4	?? ₁₆
03E9 ₁₆	端口 P5 寄存器	P5	?? ₁₆
03EA ₁₆	端口 P4 方向寄存器	PD4	00 ₁₆
03EB ₁₆	端口 P5 方向寄存器	PD5	00 ₁₆
03EC ₁₆	端口 P6 寄存器	P6	?? ₁₆
03ED ₁₆	端口 P7 寄存器	P7	?? ₁₆
03EE ₁₆	端口 P6 方向寄存器	PD6	00 ₁₆
03EF ₁₆	端口 P7 方向寄存器	PD7	00 ₁₆
03F0 ₁₆	端口 P8 寄存器	P8	?? ₁₆
03F1 ₁₆	端口 P9 寄存器	P9	?? ₁₆
03F2 ₁₆	端口 P8 方向寄存器	PD8	00X00000 ₂
03F3 ₁₆	端口 P9 方向寄存器	PD9	00 ₁₆
03F4 ₁₆			
03F5 ₁₆			
03F6 ₁₆			
03F7 ₁₆			
03F8 ₁₆			
03F9 ₁₆			
03FA ₁₆			
03FB ₁₆			
03FC ₁₆	上拉控制寄存器 0	PUR0	XXXX0XXX ₂
03FD ₁₆	上拉控制寄存器 1	PUR1	0000XXXX ₂
03FE ₁₆	上拉控制寄存器 2	PUR2	XXXXX000 ₂
03FF ₁₆	端口控制寄存器	PCR	00 ₁₆

注 1. 空栏为保留区，不能使用。

X: 该位暂未使用。

?: 不确定。

复位

复位有硬件复位、软件复位、看门狗定时器复位和振荡停止检测复位四种。

硬件复位

硬件复位是通过 $\overline{\text{RESET}}$ 管脚产生的复位。在电源电压满足推荐运行条件时，如果 $\overline{\text{RESET}}$ 管脚输入为“L”电平，管脚就被初始化（参照表1.5.1）。同时，初始化振荡电路并开始主时钟的振荡。如果输入到 $\overline{\text{RESET}}$ 管脚的电平从“L”变为“H”，就初始化CPU和SFR，并从由复位向量指向的地址开始执行程序。内部RAM不被初始化。另外，如果在向内部RAM写数据过程中 $\overline{\text{RESET}}$ 管脚变为“L”电平，内部RAM的内容就不确定。

复位电路的例子如图1.5.1所示、复位顺序如图1.5.2所示， $\overline{\text{RESET}}$ 管脚的电平为“L”期间的管脚状态如表1.5.1所示，复位后的CPU寄存器状态如图1.5.3所示。复位后的SFR的状态请参照“SFR”。

1. 电源稳定时

- (1) 向 $\overline{\text{RESET}}$ 管脚输入“L”电平
- (2) 将20个周期以上的时钟输入到XIN管脚
- (3) 向 $\overline{\text{RESET}}$ 管脚输入“H”电平

2. 接通电源时

- (1) 向 $\overline{\text{RESET}}$ 管脚输入“L”电平
- (2) 使电源电压上升直到满足推荐运行条件的电平为止
- (3) 等待到内部电源稳定为止 t_d (P-R)
- (4) 将20个周期以上的时钟输入到XIN管脚
- (5) 向 $\overline{\text{RESET}}$ 管脚输入“H”电平

软件复位

如果将PM0寄存器的PM03位置“1”（复位单片机），单片机就初始化管脚、CPU和SFR。然后，从由复位向量指向的地址开始执行程序。

在选择主时钟为CPU时钟源时，必须在主时钟的振荡处于充分稳定的状态下将PM03位置“1”。

在软件复位中，一部分SFR不被初始化，详细内容请参照“SFR”。另外，因为不初始化PM0寄存器的PM01～PM00位，所以处理器模式不变。

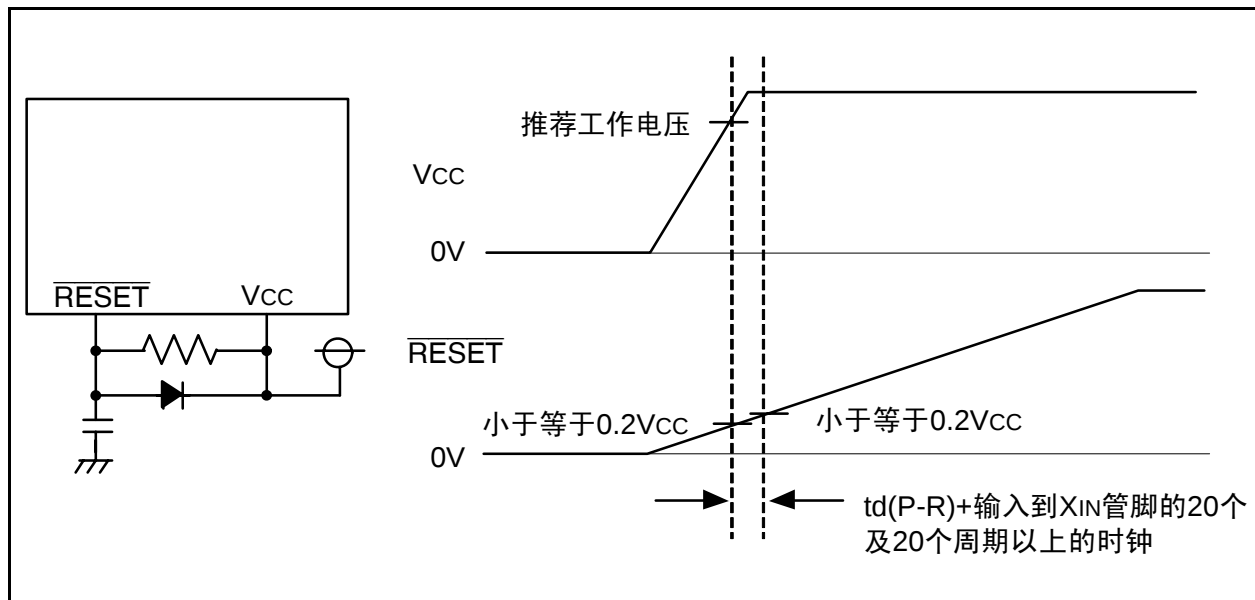


图 1.5.1. 复位电路的例子

看门狗定时器复位

PM1寄存器的PM12位为“1”（在看门狗定时器下溢时复位）时，如果看门狗定时器下溢，单片机就初始化管脚、CPU和SFR。然后，从由复位向量指向的地址开始执行程序。

在看门狗定时器复位中，部分的SFR不被初始化。详细内容请参照“SFR”。另外，因为不初始化PM0寄存器的PM01～PM00位，所以处理器模式不变。

振荡停止检测复位

CM2寄存器的CM27位为“0”（在检测到振荡停止时复位）时，如果检测到主时钟振荡电路停止，单片机就初始化管脚、CPU和SFR，并停止运行。详细内容请参照“振荡停止、重新振荡检测功能”。

在振荡停止检测复位中，一部分SFR不被初始化。详细内容请参照“SFR”。另外，因为不初始化PM0寄存器的PM01～PM00位，所以处理器模式不变。

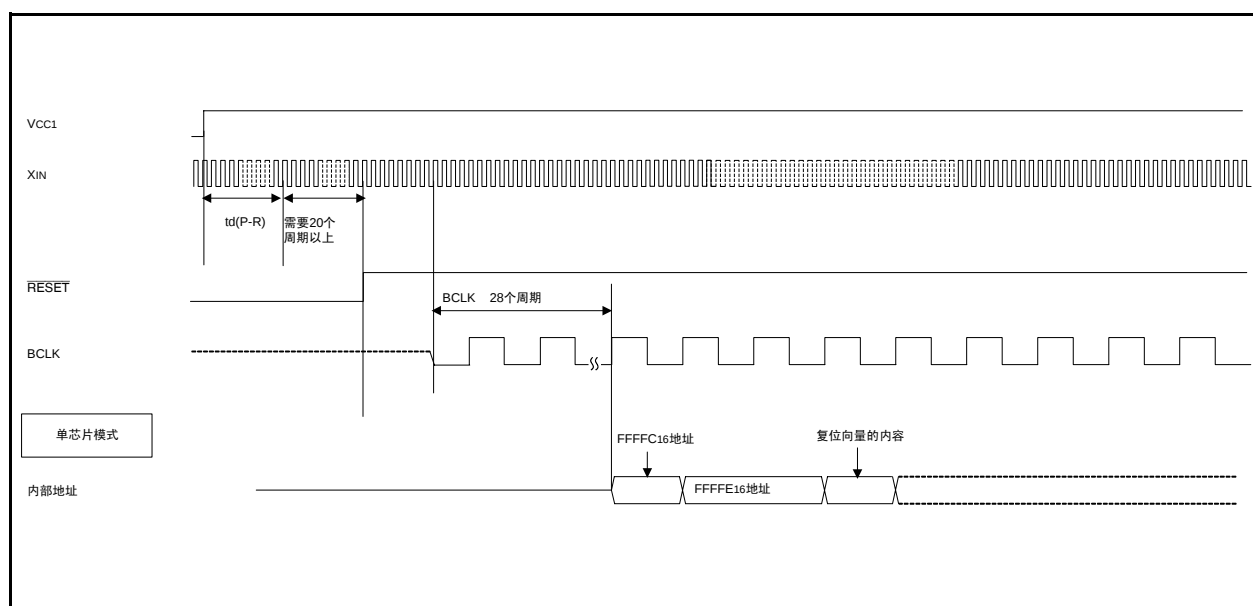


图1.5.2. 复位顺序

表 1.5.1. RESET 管脚的电平为 “L” 期间的管脚状态

管脚名	管脚的状态
	CNV _{ss} =V _{ss}
P15 P60~P67 P70,P71,P73 P74,P76 P80,P81,P83 P84,P85 P90~P92 TS	输入端口

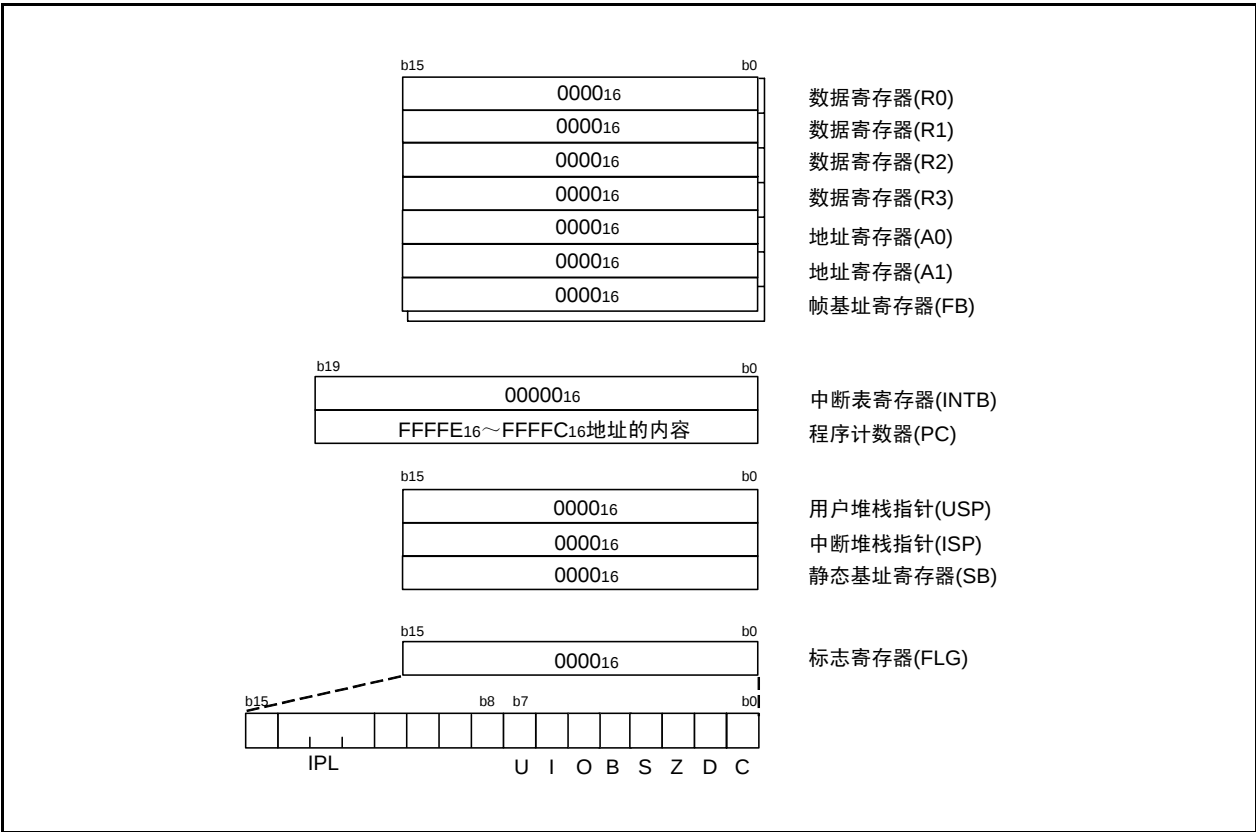


图 1.5.3. 复位后的 CPU 寄存器状态

处理器模式

(1) 处理器模式的设定

处理器模式只有单芯片模式。

为了在单芯片模式下工作，必须将 CNVss 管脚连接到 Vss 上。另外，必须将 PM0 寄存器的 PM01 ~ PM00 位清“00”。

表 1.6.1. 硬件复位后的处理器模式

CNVss 管脚的输入电平	处理器模式
Vss	单芯片模式
Vcc	闪存模式

表 1.6.2. 对应 PM01 ~ PM00 位设定值的处理器模式

PM01 ~ PM00 位	处理器模式
00 ₂	单芯片模式
01 ₂	不要设定
10 ₂	不要设定
11 ₂	不要设定

存储器分配如图 1.6.4 所示。

(3) 通信模式的设定

为了设定电力线通信模式，请在复位期间给 P15 管脚外加 High 电平。

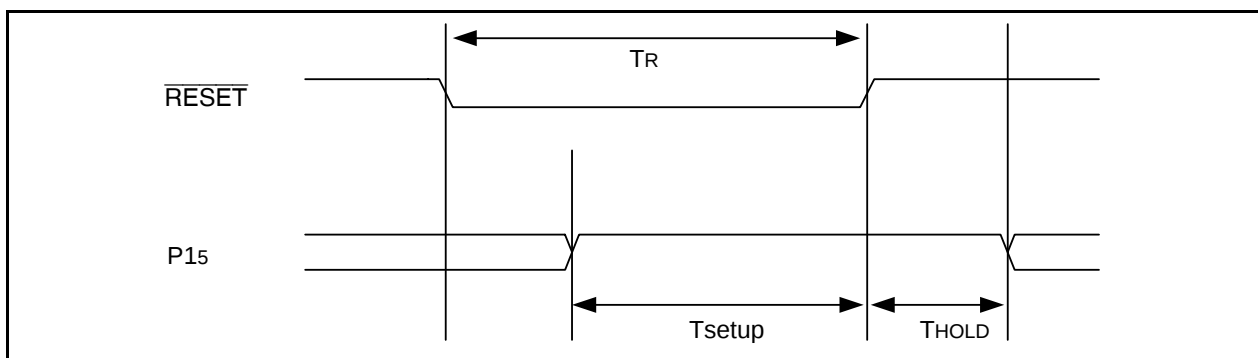


图 1.6.1. 通信模式的设定

表 1.6.3.

	min	typ	max
T_R	40 μs	—	—
T_{setup}	5 μs	—	—
T_{HOLD}	5 μs	—	—

处理器模式寄存器0(注1)



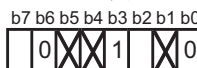
符号 PM0	地址 0004 ₁₆ 地址	复位后的值(注2) XXXX0X00 ₂ (CNVss管脚为“L”)	
位符号	位名	功能	RW
PM00	处理器模式位(注2)	清“00”。	RW
PM01			RW
(b ₂)	暂未使用。只能写“0”。读时值不定。		—
PM03	软件复位。	如果将该位置“1”，单片机就复位。 读取时该值为“0”。	RW
(b ₇ -b ₄)	暂未使用。写时只能写“0”。读时值不定。		—

注1. 必须在PRCR寄存器的PRC1位置“1”(允许写入)后改写该寄存器。

注2. PM00、PM01位在软件复位、看门狗定时器复位、振荡停止检测复位时不改变。

图 1.6.2. PM0 寄存器

处理器模式寄存器1(注1)



符号 PM1	地址 0005 ₁₆ 地址	复位后的值 00XX10X0 ₂	
位符号	位名	功能	RW
(b0)	保留位。	清“0”。	RW
(b1)	暂未使用。只能写“0”。读时值不定。		—
PM12	看门狗定时器功能选择位	0: 看门狗定时器中断 1: 看门狗定时器复位(注2)	RW
PM13	内部保留区扩展位	置“1”。	RW
(b5,b4)	暂未使用。只能写“0”。读时值不定。		—
(b6)	保留位。	清“0”。	RW
PM17	等待位(注3)	0: 无等待 1: 有等待(1个等待)	RW

注1. 必须在PRCR寄存器的PRC1位置“1”(允许写入)后改写该寄存器。

注2. PM12位通程序置“1”后就为“1”(即使写入“0”也不改变)。

注3. PM17为“1”(有等待)时,访问内部RAM和内部ROM时插入1个等待。

图 1.6.3. PM1 寄存器

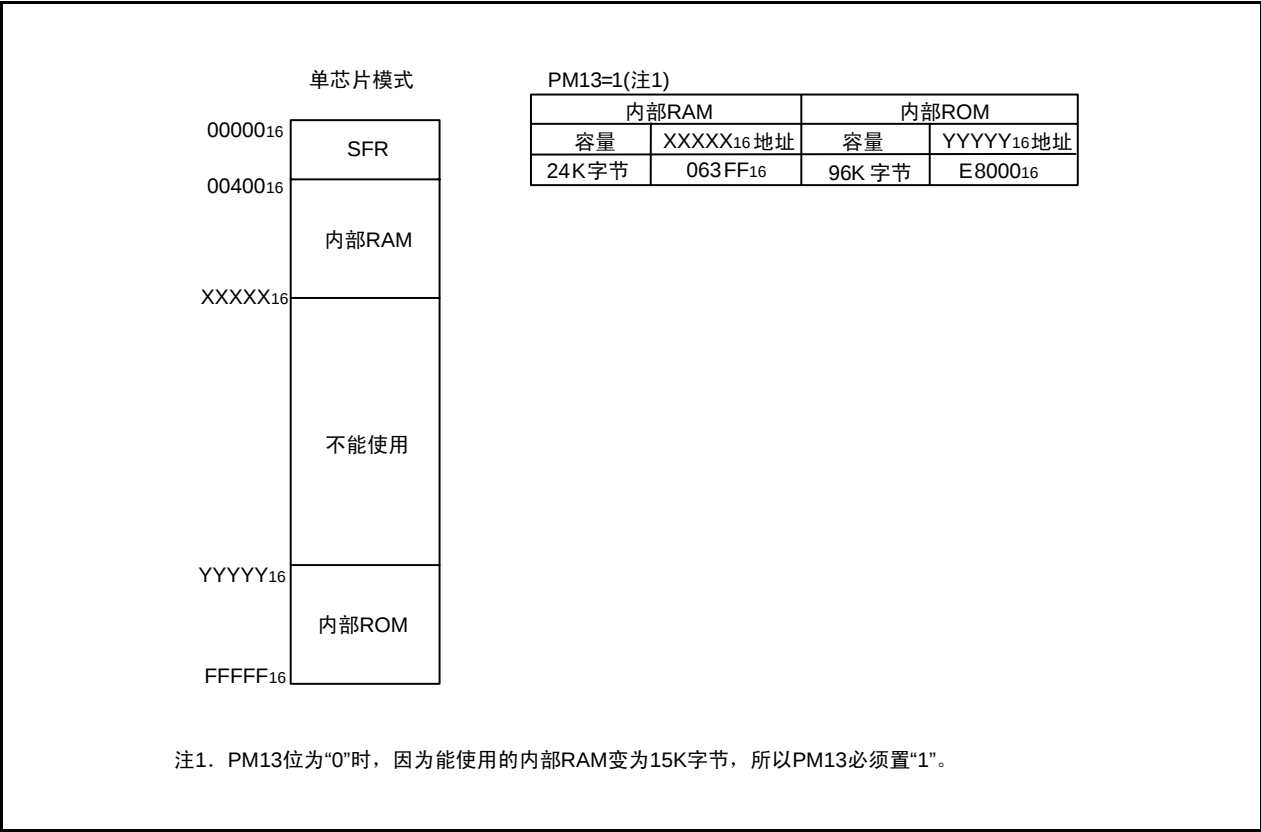


图 1.6.4. 存储器分配

时钟产生电路

时钟产生电路内置2个电路：

- 主时钟振荡电路
- 内部振荡器

时钟产生电路的概要规格如表 1.7.1 所示，系统时钟产生电路的框图如图 1.7.1 所示，时钟的相关寄存器如图 1.7.2～图 1.7.5 所示。

表 1.7.1. 时钟产生电路的概要规格

项目	主时钟振荡电路	内部振荡器
用途	• CPU 的时钟源 • 外围功能的时钟源	• CPU 的时钟源 • 外围功能的时钟源
时钟频率	5.12MHz	约 1MHz
可连接的振荡器	• 晶体振荡器（注 1）	—
振荡器的连接管脚	XIN、XOUT	—
振荡停止/重新开始功能	无	有
复位后的状态	振荡	停止
其它	可输入外部生成的时钟	—

注 1. 晶体振荡器的频率请使用 5.12MHz（精度在 $\pm 75\text{ppm}$ 以内）。

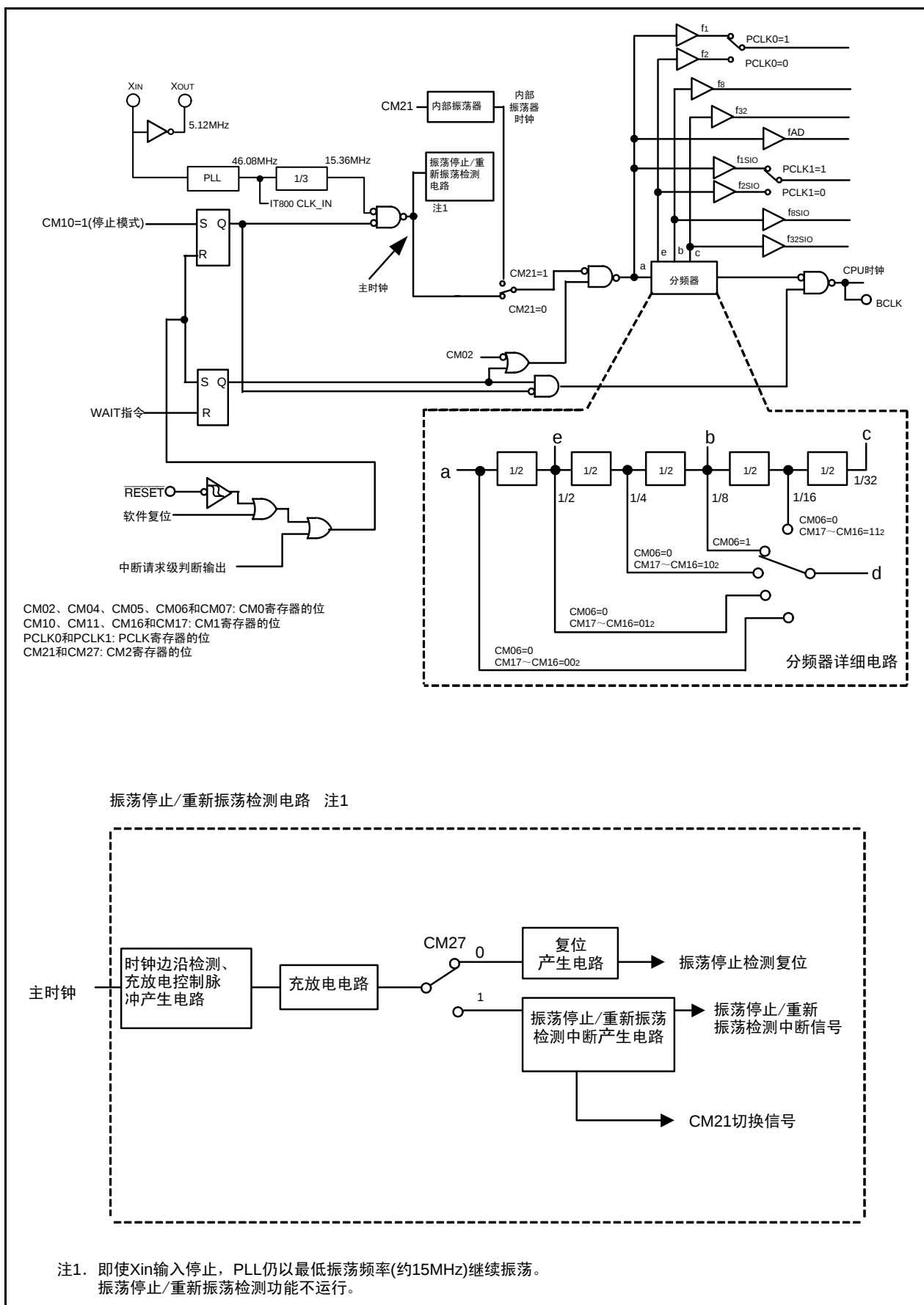


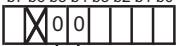
图 1.7.1. 系统时钟产生电路



图 1.7.2. CM0 寄存器



振荡停止检测寄存器(注1)

b7 b6 b5 b4 b3 b2 b1 b0							
							
符号 CM2	地址 000C16地址			复位后的值 0X0000002(注10)			
位符号	位名			功能		RW	
CM20	振荡停止、重新振荡检测允许位 (注7、注8、注9、注10)			0: 振荡停止、重新振荡检测功能无效 1: 振荡停止、重新振荡检测功能有效		RW	
CM21	系统时钟选择位2(注2、注3、注6、注10)			0: 主时钟 (内部振荡器停止) 1: 内部振荡器时钟 (内部振荡器振荡)		RW	
CM22	振荡停止、重新振荡检测标志(注4)			0: 未检测到主时钟停止、重新振荡 1: 检测到主时钟停止、重新振荡		RW	
CM23	主时钟监视标志(注5)			0: 主时钟振荡 1: 主时钟停止		RO	
(b5-b4)	保留位			清“0”		RW	
(b6)	暂未使用。只能写“0”。读时值不定。					—	
CM27	振荡停止、重新振荡时的运行选择位 (注10)			0: 振荡停止检测复位 1: 振荡停止、重新振荡检测中断		RW	

注1. 将PRCR寄存器的PRC0位置“1”(允许写入)后改写该寄存器。

注2. CM20位为“1”(振荡停止、重新检测功能有效)、CM27位为“1”(振荡停止、重新振荡检测中断)、CPU时钟源为主时钟时，如果检测到主时钟停止，则CM21位为“1”(内部振荡器时钟)。

注3. CM20位为“1”，且CM23位为“1”(主时钟停止)时，不要将CM21位清“0”。

注4. 在检测到主时钟停止或检测到主时钟重新振荡时变为“1”，如果此位从“0”变为“1”，就产生振荡停止、重新振荡检测中断。在中断处理程序中，用于判断振荡停止、重新振荡检测中断和看门狗定时器中断的中断源。通过程序写“0”就变为“0”(即使写“1”也不变化。另外，在产生振荡停止、重新振荡检测中断时，也不变为“0”)。CM22位为“1”时，即使检测出振荡停止或重新振荡，也不产生振荡停止重新振荡检测中断。

注5. 在振荡停止、重新振荡检测中断处理程序中，可通过多次读CM23位判断主时钟的状态。

注6. CM0寄存器的CM07位为“0”时有效。

注7. PM2寄存器的PM21位为“1”(禁止改变时钟)时，即使写CM20位也不改变。

注8. 在转移到停止模式时，必须将CM20位清“0”(无效)。从停止模式返回后，重新将CM20位置“1”(有效)。

注9. 必须在将CM0寄存器的CM05位置“1”(主时钟停止)前，先对CM2寄存器的CM20位清“0”(无效)。

注10. CM20、CM21、CM27位在振荡停止检测复位时不改变。

图1.7.4. CM2寄存器

外围时钟选择寄存器(注1)

b7 b6 b5 b4 b3 b2 b1 b0							
0 0 0 0 0 0 0 0							
符号 PCLKR		地址 025E ₁₆ 地址		复位后的值 00000011 ₂			
位符号	位名	功能		RW			
PCLK0	定时器A时钟选择位 (定时器A、死区防止时间 设定定时器的时钟源)	0: f ₂ 1: f ₁		RW			
PCLK1	SI/O时钟选择位 (UART0~UART2、SI/O3、 SI/O4的时钟源)	0: f ₂ SI/O 1: f ₁ SI/O		RW			
(b7-b2)	保留位	清“0”		RW			

注1. 在对PRCR寄存器的PRC0位置“1”(允许写入)后改写该寄存器。

处理器模式寄存器2(注1)

b7 b6 b5 b4 b3 b2 b1 b0							
X X X X 0 0 X X							
符号 PM2		地址 001E ₁₆ 地址		复位后的值 XXX0000X ₂			
位符号	位名	功能		RW			
(b0)	该位暂未使用。写时只能写“0”。 读时值不确定。			—			
PM21	系统时钟保护位(注2、注3)	0: 通过PRCR寄存器保护时钟 1: 禁止时钟改变		RW			
PM22	WDT计数源保护位(注2、注4)	0: 看门狗定时器的计数源为CPU时钟 1: 看门狗定时器的计数源为内部振荡器时 钟		RW			
(b4-b3)	保留位	清“0”		RW			
(b7-b5)	暂未使用。写时只能写“0”。 读时值不确定。			—			

注1. 在PRCR寄存器的PRC1位置“1”(允许写入)后改写该寄存器。

注2. 一旦置“1”，就不能通过程序清“0”。

注3. 如果对PM21位置“1”，则变为以下状态。

- 执行WAIT指令时，CPU时钟不停止
- 即使写以下的位也不改变
 - CM0寄存器的CM02位
 - CM0寄存器的CM05位(主时钟不停止)
 - CM0寄存器的CM07位
 - CM1寄存器的CM10位(不转移到停止模式)
 - CM1寄存器的CM11位
 - CM2寄存器的CM20位(振荡停止、重新振荡检测功能的设定不改变)

注4. 如果对PM22位置“1”，则变为以下状态。

- 内部振荡器开始振荡，内部振荡器时钟成为看门狗定时器的计数源。
- 禁止对CM1寄存器的CM10位写入(即使写入“1”也不变化，不转移到停止模式)
- 在等待模式或保持状态时，看门狗定时器不停止

图1.7.5. PCLKR、PM2寄存器

以下说明时钟产生电路生成的时钟。

(1) 主时钟

主时钟是将主时钟振荡电路供给的时钟9倍频后，再3分频的时钟。为CPU时钟和外围功能时钟的时钟源。主时钟振荡电路通过在XIN-XOUT管脚之间连接振荡器构成振荡电路。主时钟振荡电路内置反馈电阻。主时钟振荡电路也可以将外部生成的时钟输入到XIN管脚。主时钟连接电路的例子如图1.7.6所示。

复位后，主时钟的8分频时钟成为CPU时钟。

因为即使XIN输入停止，PLL也继续以最低振荡频率振荡，所以主时钟振荡电路不停止。

在停止模式时，包括主时钟在内的内置M16C内核的所有时钟都停止。详细内容请参照“功耗控制”。

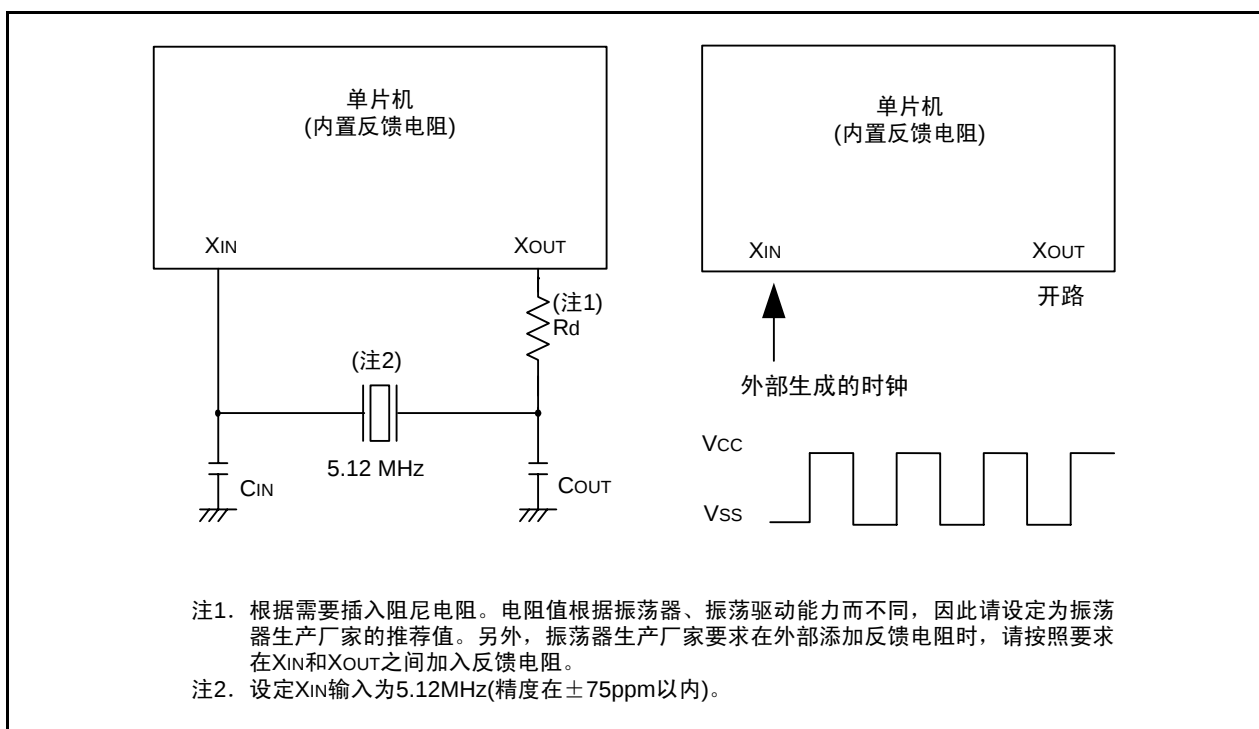


图 1.7.6. 主时钟连接电路的例子

(3) 内部振荡器时钟

内部振荡器时钟是内部振荡器供给的约 1MHz 的时钟。为 CPU 时钟和外围功能时钟的时钟源。另外，在 PM2 寄存器的 PM22 位为 “1”（看门狗定时器的计数源为内部振荡器时钟）时，为看门狗定时器的计数源。

复位后，内部振荡器时钟停止。如果将 CM2 寄存器的 CM21 位置 “1”（内部振荡器时钟），内部振荡器便开始振荡，并取代主时钟成为 CPU 时钟和外围功能时钟的时钟源。

CPU时钟和外围功能时钟

包括使CPU运行的CPU时钟和使外围功能运行的外围功能时钟两种时钟。

(1) CPU时钟和BCLK

CPU时钟是CPU和看门狗定时器的运行时钟。

作为CPU时钟的时钟源，可选择主时钟或内部振荡器时钟。

作为CPU时钟的时钟源，选择主时钟或者内部振荡器时钟时，所选时钟1分频（不分频）或者2、4、8、16分频后的时钟成为CPU的时钟。可通过CM0寄存器的CM06位和CM1寄存器的CM17～CM16位选择分频。

复位后，主时钟的8分频时钟为CPU时钟。

另外，在从高速模式、中速模式或内部振荡器模式转移到停止模式时，CM0寄存器的CM06位为“1”（8分频模式）。

(2) 外围功能时钟（f₁、f₂、f₈、f₃₂、f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO}）

外围功能时钟是外围功能的运行时钟。

f_i（i=1、2、8、32）和f_{iSIO}是将主时钟或内部振荡器时钟进行i分频后的时钟。f_i用于定时器A，f_{iSIO}用于串行I/O。

在将CM0寄存器的CM02位置“1”（在等待模式时停止外围功能时钟）后，执行WAIT指令时，f_i、f_{iSIO}停止运行。

功耗控制

功耗控制有3种模式。为了方便起见，在此将等待模式和停止模式以外的状态称为正常运行模式。

（1）正常运行模式

正常运行模式又进一步分为3种模式。

因为在正常运行模式中同时提供CPU时钟和外围功能时钟，所以CPU和外围功能都运行。通过控制CPU时钟频率进行功耗控制。CPU时钟频率越高处理能力就越强，频率越低功耗就越小。另外，如果停止不需要的振荡电路，功耗就会更小。

在切换CPU时钟的时钟源时，切换的目标时钟必须处于稳定振荡。切换的目标时钟为主时钟时，必须在程序中等待足够的时间让振荡稳定后再切换。

将CPU时钟的时钟源从内部振荡器时钟切换为主时钟时，必须在内部振荡器模式下将主时钟8分频（CM0寄存器的CM06位=“1”）后切换到中速模式（8分频）。

■ 高速模式

主时钟的1分频为CPU时钟。

■ 中速模式

主时钟的2分频、4分频、8分频或者16分频时钟为CPU时钟。

■ 内部振荡器模式

内部振荡器时钟的1分频（不分频）、2、4、8、16分频为CPU时钟。另外，内部振荡器时钟为外围功能时钟的时钟源。

表 1.7.2. 时钟相关位的设定和模式

模式		CM2 寄存器	CM1 寄存器	CM0 寄存器
		CM21	CM17、CM16	CM06
高速模式		0	00 ₂	0
中速模式	2 分频	0	01 ₂	0
	4 分频	0	10 ₂	0
	8 分频	0	—	1
	16 分频	0	11 ₂	0
内部振荡器模式	不分频	1	00 ₂	0
	2 分频	1	01 ₂	0
	4 分频	1	10 ₂	0
	8 分频	1	—	1
	16 分频	1	11 ₂	0

(2) 等待模式

因为在等待模式中 CPU 时钟停止，所以通过 CPU 时钟运行的 CPU 和看门狗定时器停止运行。但是，在 PM2 寄存器的 PM22 位为“1”（看门狗定时器的计数源为内部振荡器时钟）时运行。因为主时钟、内部振荡器时钟不停止，所以使用这些时钟的外围功能保持运行状态。

●外围功能时钟停止功能

在 CM02 位为“1”（在等待模式时停止外围功能时钟）时，因为在等待模式时，f₁、f₂、f₈、f₃₂、f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO} 处于停止状态，所以能降低功耗。

●进入等待模式

一旦执行 WAIT 指令，就转移到等待模式。

●等待模式时的管脚状态

等待模式时的管脚状态如表 1.7.3 所示。

●从等待模式的返回

通过硬件复位或外围功能中断，从等待模式返回。

在通过硬件复位返回时，必须在将外围功能中断的 ILVL2～ILVL0 位清“000₂”（中断禁止）后再执行 WAIT 指令。

外围功能中断受 CM02 位的影响。在 CM02 位为“0”（在等待模式中不停止外围功能时钟）时，所有的外围功能中断都能用于从等待模式的返回。在 CM02 位为“1”（在等待模式中停止外围功能时钟）时，因为使用外围功能时钟的外围功能处于停止状态，所以根据外部信号运行的外围功能中断能用于从等待模式的返回。

能用于从等待模式返回的中断和使用条件如表 1.7.4 所示。

表 1.7.3. 等待模式时的管脚状态

管 脚	状 态
I/O 端口	保持进入等待模式前的状态

表 1.7.4. 能用于从等待模式返回的中断

中 断	CM02=0 时	CM02=1 时
串行 I/O 中断	可用于内部时钟、外部时钟	可用于外部时钟
定时器 A 中断	可用于所有模式	在事件计数器模式时可使用
INT 中断	可使用	可使用

在使用外围功能中断从等待模式返回时，必须在执行 WAIT 指令前进行如下设定：

(1) 对外围功能中断的中断控制寄存器的 ILVL2～ILVL0 位设定中断优先级。该外围功能中断用于从等待模式返回。

另外，对不用于从等待模式返回的其它外围功能中断的 ILVL2～ILVL0 位全部清“0002”（中断禁止）。

(2) I 标志置“1”。

(3) 运行用于从等待模式返回的外围功能。

在通过外围功能中断返回时，如果产生中断请求并且开始供给 CPU 时钟时，就执行中断程序。

通过外围功能中断从等待模式返回后的 CPU 时钟与执行 WAIT 指令时的 CPU 时钟相同。

（3）停止模式

在停止模式中，M16C内核内所有的振荡都停止。因此，CPU时钟和外围功能时钟停止，使用这些时钟运行的CPU和外围功能也停止。

另外，根据外部信号运行的外围功能保持运行状态。能用于从停止模式返回的中断如下所示：

- $\overline{\text{INT}}$ 中断
- 定时器A的中断（在事件计数器模式下对外部脉冲计数时）
- 串行I/O的中断（选择外部时钟时）

●进入停止模式

如果将CM1寄存器的CM10位置“1”（全部时钟停止），就进入停止模式。同时，CM0寄存器的CM06位为“1”（8分频模式）。

在使用停止模式时，必须将CM20位清“0”（振荡停止、重新振荡检测功能无效）后再进入停止模式。

●停止模式时的管脚状态

停止模式时的管脚状态如表1.9.6所示。

●从停止模式的返回

通过硬件复位或外围功能中断，可以从停止模式返回。

在通过硬件复位返回时，必须在将全部外围功能中断的ILVL2～ILVL0位清“0002”（中断禁止）后再将CM10位置“1”。

在通过外围功能中断返回时，必须在进行如下设定后再将CM10位置“1”。

- （1）对用于从停止模式返回的外围功能中断的ILVL2～ILVL0位设定中断优先级。

另外，对不用于从停止模式返回的外围功能中断的ILVL2～ILVL0位全部清“0002”（中断禁止）。

- （2）I标志置“1”。

- （3）运行用于从停止模式返回的外围功能。

在通过外围功能中断返回时，如果发生中断请求并且CPU时钟开始供给，就执行中断程序。

通过外围功能中断从停止模式返回后的CPU时钟，根据转移到停止模式前所使用的CPU时钟分为以下两种情况：

- | | |
|------------------------|---------------|
| 进入停止模式前的CPU时钟为主时钟时 | : 主时钟的8分频 |
| 进入停止模式前的CPU时钟为内部振荡器时钟时 | : 内部振荡器时钟的8分频 |

表 1.7.5. 停止模式时的管脚状态

管 脚	状 态
I/O 端口	保持进入停止模式前的状态

从正常运行模式向停止模式、等待模式的状态转移如图 1.7.7 所示。

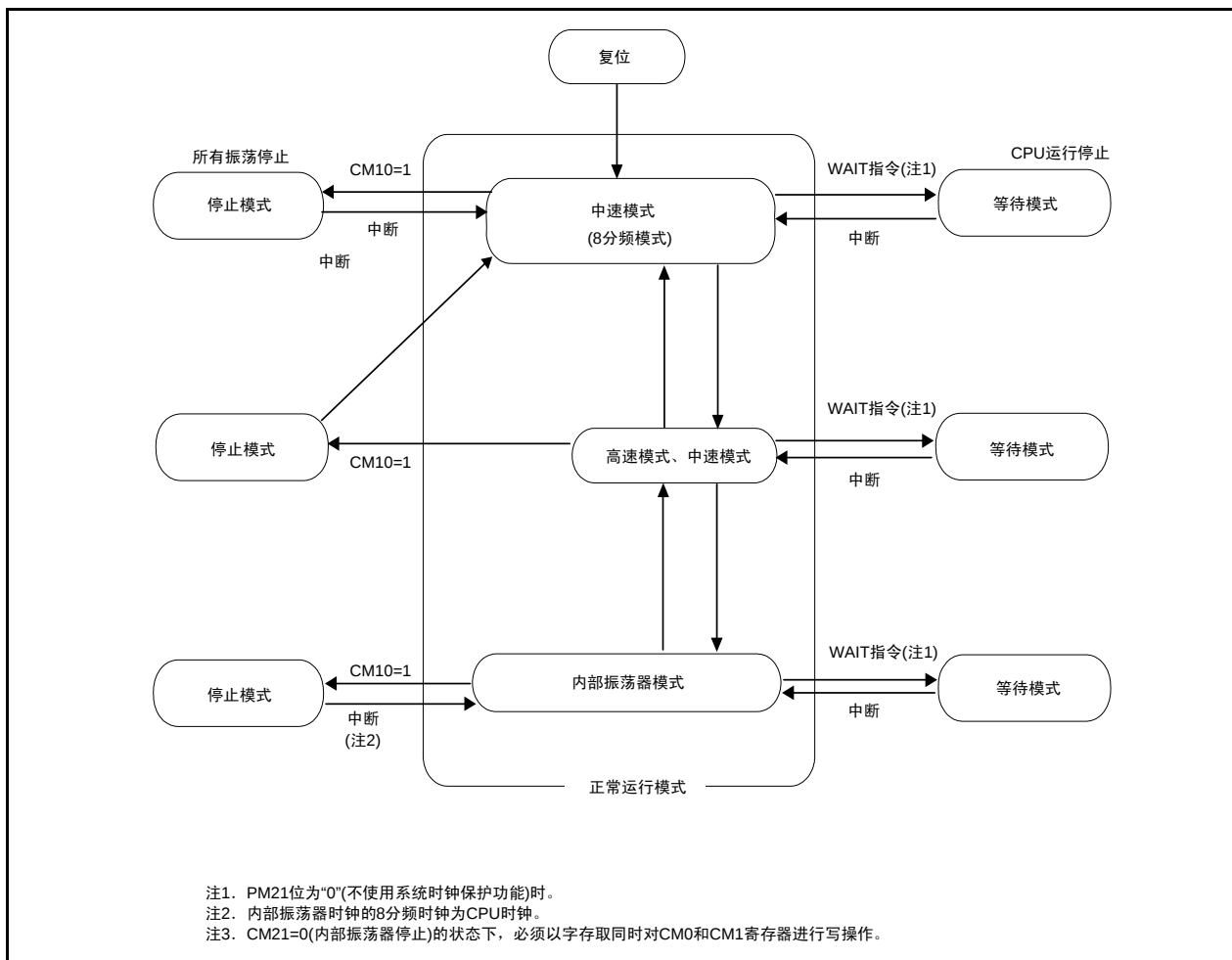


图 1.7.7. 停止模式、等待模式的状态转移

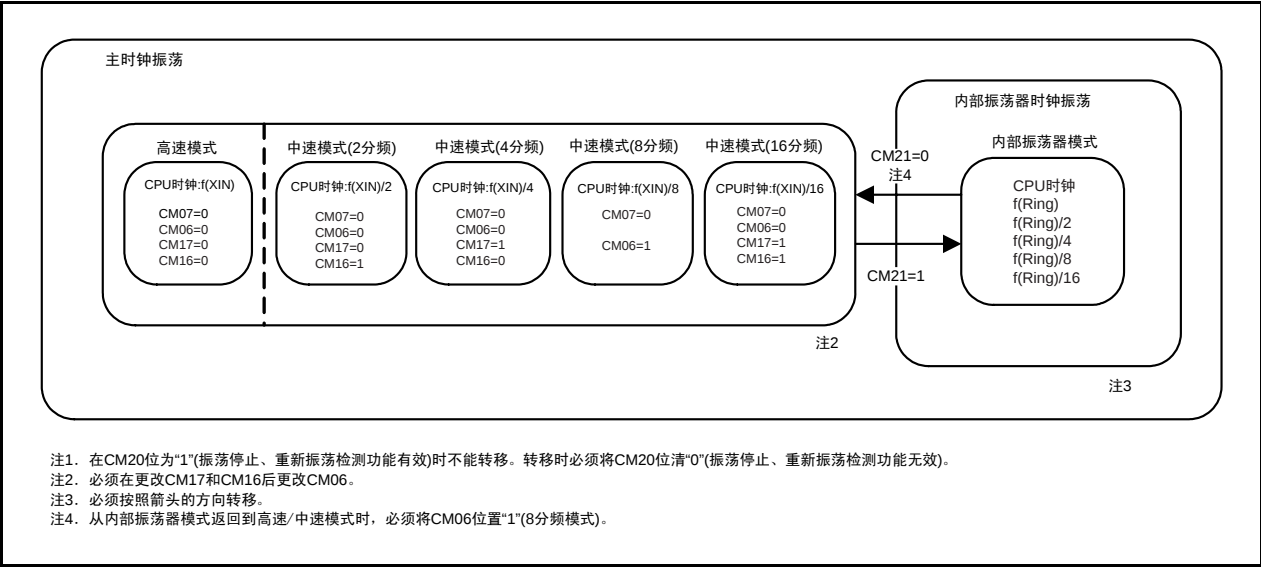


图 1.7.8. 正常运行模式状态转移

表 1.7.6. 可由当前状态转移到的下一个状态及其设定方法

		下一个状态			
		高速、中速模式	内部振荡器模式	停止模式	等待模式
当前状态	高速、中速模式	参照表 A	(7)	(8) (注1)	(9)
	内部振荡器模式	(6) (注2)	参照表 A	(8) (注1)	(9)
	停止模式	(10) (注3)	(10) (注3)	—	—
	等待模式	(10)	(10)		—

—：不能转移

表 A. 高速、中速模式、内部振荡器模式下的主时钟分频比状态转移表

		下一个状态				
		无分频	2分频	4分频	8分频	16分频
振荡器	不分频	—	(2)	(3)	(5)	(4)
	2分频		(1)	(3)	(5)	(4)
	4分频		(1)	(2)	(5)	(4)
	8分频		(1)	(2)	(3)	(4)
	16分频		(1)	(2)	(3)	(5)

注1. 在CM20位为“1”（振荡停止、重新振荡检测功能有效）时不能转移。转移时必须将CM20位清“0”（振荡停止、重新振荡检测功能无效）
注2. 从内部振荡器模式向高速、中速模式转移时必须对CM06位置“1”（8分频模式）。
注3. 从停止模式返回时，CM06位为“1”（8分频模式）。

表 B. 对各序号的设定内容和运行

	设定内容	运行内容
(1)	CM06=0 CM17=0,CM16=0	CPU时钟不分频模式
(2)	CM06=0 CM17=0,CM16=1	CPU时钟2分频模式
(3)	CM06=0 CM17=1,CM16=0	CPU时钟4分频模式
(4)	CM06=0 CM17=1,CM16=1	CPU时钟16分频模式
(5)	CM06=1	CPU时钟8分频模式
(6)	CM21=0	主时钟
(7)	CM21=1	选择内部振荡器时钟
(8)	CM10=1	转移到停止模式
(9)	wait	转移到等待模式
(10)	硬件中断	从停止模式、等待模式返回

系统时钟的保护功能

系统时钟的保护功能是指在选择主时钟作为CPU时钟的时钟源时，为了在程序失控时使CPU时钟不停止而禁止更改时钟的功能。

如果将PM2寄存器的PM21位置“1”（禁止更改时钟），就不能写以下的位：

- CM0寄存器的CM02位
- CM1寄存器的CM10位
- CM2寄存器的CM20位

使用系统时钟的保护功能时，必须进行以下处理：

- （1）将PRCR寄存器的PRC1位置“1”（允许写PM2寄存器）
 - （2）将PM2寄存器的PM21位置“1”（禁止更改时钟）
 - （3）将PRCR寄存器的PRC1位清“0”（禁止写PM2寄存器）
- 在PM21位为“1”时，不能执行WAIT指令。

振荡停止、重新振荡检测功能

振荡停止、重新振荡检测功能是检测主时钟振荡电路的停止和重新振荡的功能。在检测到振荡停止、重新振荡时，产生复位或者产生振荡停止、重新振荡检测中断。可根据 CM2 寄存器的 CM27 位选择产生复位还是中断。

可根据 CM2 寄存器的 CM20 位选择振荡停止、重新振荡检测功能是否有效。

在 M16C/6S 中，即使 XIN 输入停止，主时钟振荡电路也不完全停止。因此，振荡停止、重新振荡检测功能不运行。

保护

保护功能是为了在程序失控时使重要的寄存器不被轻易改写而设置的功能。PRCR 寄存器如图 1.8.1 所示。PRCR 寄存器保护的寄存器如下：

- 由PRC0位保护的寄存器:CM0、CM1、CM2、PCLKR 寄存器
- 由PRC1位保护的寄存器:PM0、PM1、PM2 寄存器
- 由PRC2位保护的寄存器:PD9、S3C、S4C 寄存器

如果在将PRC2位置“1”（允许写入状态）后，对任意的地址进行写操作，PRC2位就变为“0”（禁止写入状态）。必须通过将PRC2位置“1”后的下一条指令更改由PRC2位保护的寄存器。在将PRC2位置“1”的指令和下一条指令之间不能进行中断和DMA 传送。即使对任意的地址进行写操作，PRC0、PRC1位也不会变为“0”，所以必须通过程序清“0”。

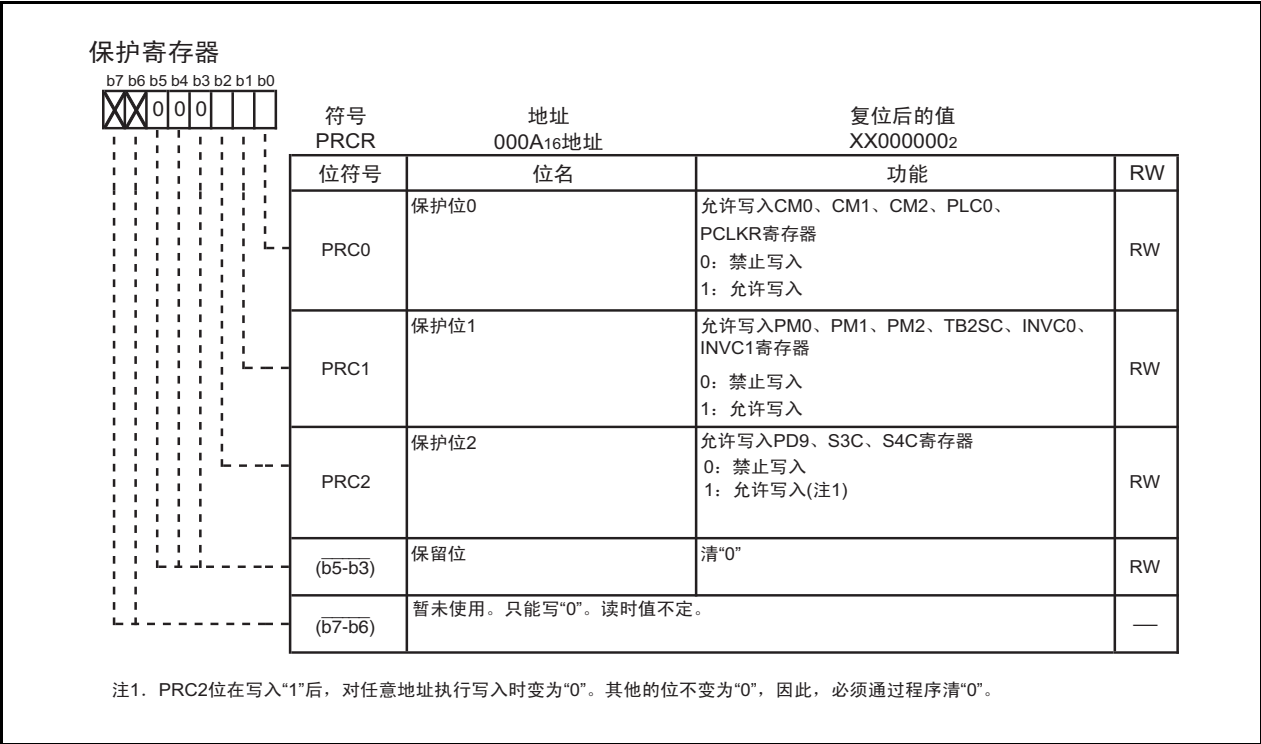


图1.8.1. PRCR 寄存器

中断

中断的分类

中断的分类如图1.9.1所示。

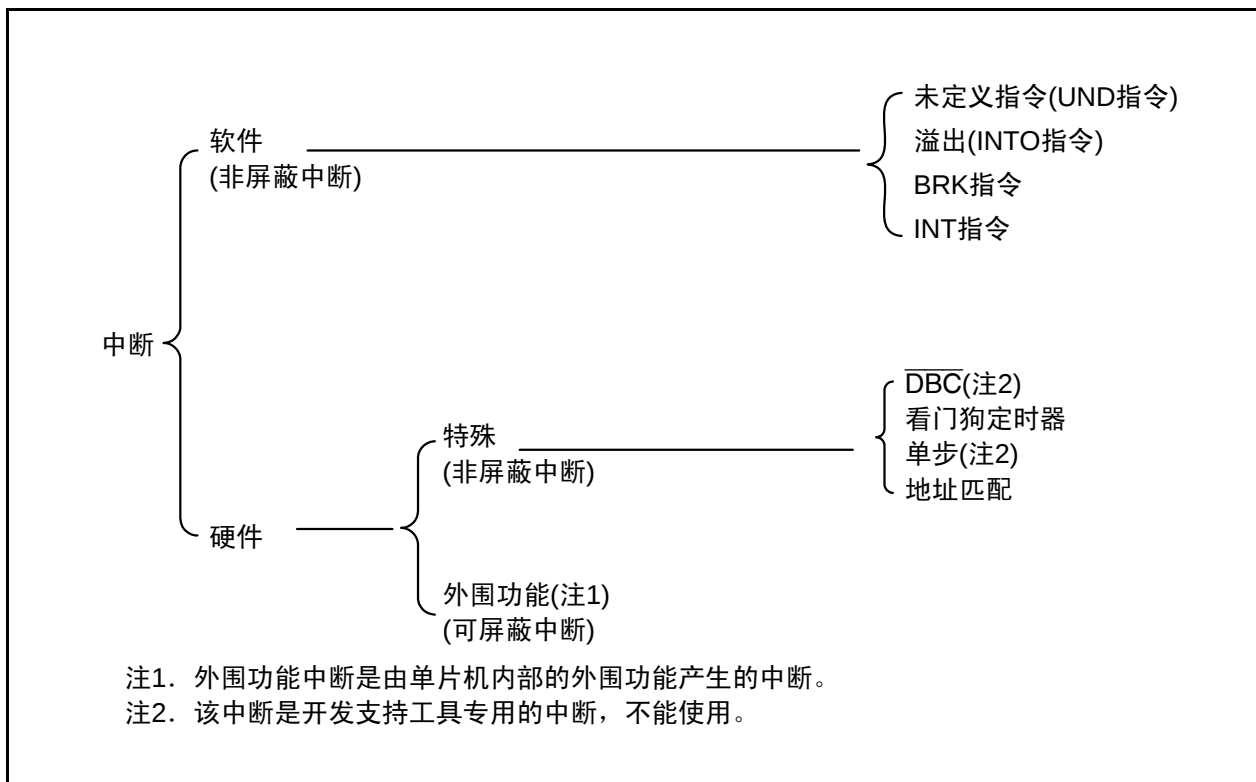


图1.9.1. 中断的分类

- 可屏蔽中断：能通过中断允许标志（I标志）允许（禁止）中断或者通过中断优先级更改中断优先级。
- 非屏蔽中断：不能通过中断允许标志（I标志）允许（禁止）中断或者通过中断优先级更改中断优先级。

软件中断

通过执行指令产生软件中断。软件中断属于非屏蔽中断。

●未定义指令中断

如果执行 UND 指令，就产生未定义指令中断。

●溢出中断

O 标志为 “1”（运算结果溢出）时，如果执行 INTO 指令，就产生溢出中断。根据运算会影响 O 标志变化的指令如下：

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

●BRK 中断

如果执行 BRK 指令，就产生 BRK 中断。

●INT 指令中断

如果执行 INT 指令，就产生 INT 指令中断。能用 INT 指令指定的软件中断序号为 0～63。因为软件中断序号 4～31 分配给外围功能中断，所以通过执行 INT 指令，能执行和外围功能中断一样的中断程序。

对于软件中断序号 0～31，在执行指令时将 U 标志压栈，然后在将 U 标志清 “0”（选择 ISP）后执行中断响应顺序。从中断程序返回时恢复被压栈的 U 标志。对于软件中断序号 32～63，在执行指令时 U 标志不变而使用当时选择的 SP。

硬件中断

硬件中断分为特殊中断和外围功能中断。

●特殊中断

特殊中断属于非屏蔽中断。

(1) $\overline{\text{DBC}}$ 中断

$\overline{\text{DBC}}$ 中断是开发支持工具专用的中断，不能使用。

(2) 看门狗定时器中断

看门狗定时器中断是由看门狗定时器产生的中断。必须在看门狗定时器中断产生后初始化看门狗定时器。看门狗定时器的详细内容请参照“看门狗定时器”。

(3) 振荡停止、重新振荡检测中断

振荡停止、重新振荡检测中断是由振荡停止、重新振荡检测功能产生的中断。振荡停止、重新振荡检测功能的详细内容请参照“时钟产生电路”。

(4) 单步中断

因为单步中断是开发支持工具专用的中断，所以不能使用。

(5) 地址匹配中断

AIER 寄存器的 AIER0 位和 AIER1 位、AIER2 寄存器的 AIER20 位和 AIER21 位中的任意 1 位为“1”（允许地址匹配中断）时，在执行由对应的 RMAD0～RMAD3 寄存器指向的地址的指令前产生地址匹配中断。

地址匹配中断的详细内容请参照“地址匹配中断”。

●外围功能中断

外围功能中断是由单片机内部的外围功能产生的中断。外围功能中断是可屏蔽中断。外围功能中断的中断源请参照表 1.9.1。

另外，外围功能的详细内容请参照各外围功能的说明。

中断和中断向量

1个向量为4个字节。必须在各中断向量中设定各中断程序的起始地址。如果中断请求被接受，就转移到设定在中断向量中的地址。中断向量如图1.9.2所示。

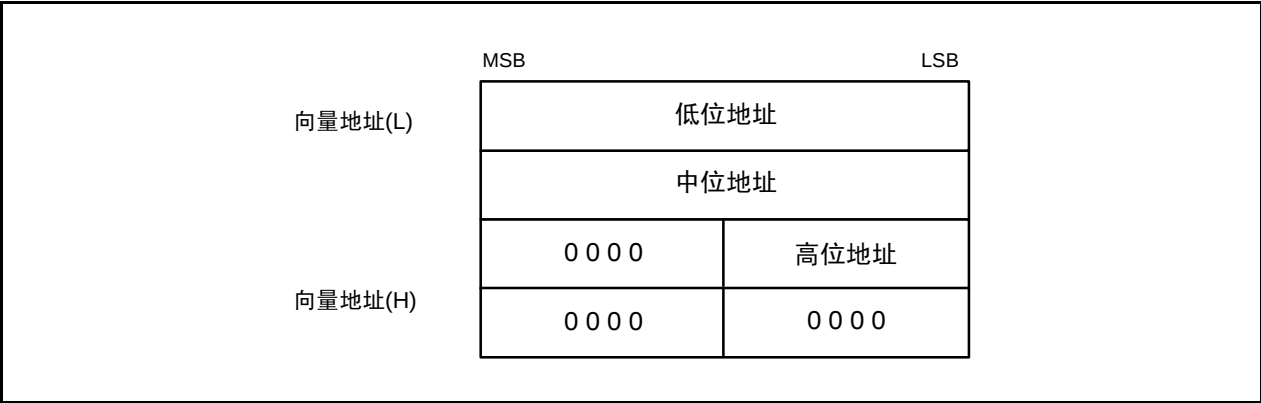


图1.9.2. 中断向量

●固定向量表

固定向量表分配在FFFDC₁₆地址到FFFFF₁₆地址的区间中。固定向量表如表1.9.1所示。在闪存版中，固定向量的向量地址（H）用于ID码检查功能。详细内容请参照“闪存改写禁止功能”。

表1.9.1. 固定向量表

中断源	向量地址 地址（L）～地址（H）	备注	参照内容
未定义指令	FFFDC ₁₆ ～FFFD ₁₆	由UND指令进行中断	M16C/60、M16C/20、 M16C/Tiny系列软件手册
溢出	FFFE0 ₁₆ ～FFFE3 ₁₆	由INTO指令进行中断	
BRK指令	FFFE4 ₁₆ ～FFFE7 ₁₆	FFFE7 ₁₆ 地址的内容为FF ₁₆ 时，从可变向量表内的向量所指向的地址开始执行。	
地址匹配	FFFE8 ₁₆ ～FFFE ₁₆		地址匹配中断
单步（注1）	FFFE ₁₆ ～FFFE ₁₆		
看门狗定时器、振荡停止、重新振荡检测	FFFF0 ₁₆ ～FFFF3 ₁₆		看门狗定时器、时钟产生电路
DBC（注1）	FFFF4 ₁₆ ～FFFF7 ₁₆		
—（保留）	FFFF8 ₁₆ ～FFFF ₁₆		
复位	FFFFC ₁₆ ～FFFF ₁₆		复位

注1. 因为该中断是开发支持工具专用的中断，所以不能使用。

● 可变向量表

从设定在 INTB 寄存器的起始地址开始的 256 个字节为可变向量表区。可变向量表如表 1.9.2 所示。如果在 INTB 寄存器内设定偶数地址，就能比奇数地址更快地执行中断响应顺序。

表 1.9.2. 可变向量表

中断源	向量地址 (注1) 地址 (L) ~ 地址 (H)	软件中断序号	参照内容
BRK 指令 (注5)	+0 ~ +3 (0000 ₁₆ ~ 0003 ₁₆)	0	M16C/60、M16C/20 系列软件手册
— (保留)		1 ~ 3	
INT3	+16 ~ +19 (0010 ₁₆ ~ 0013 ₁₆)	4	INT 中断
— (保留)	+20 ~ +23 (0014 ₁₆ ~ 0017 ₁₆)	5	—
UART1 总线冲突检测 (注4)	+24 ~ +27 (0018 ₁₆ ~ 001B ₁₆)	6	串行 I/O
UART0 总线冲突检测 (注4)	+28 ~ +31 (001C ₁₆ ~ 001F ₁₆)	7	
SI/O4 (注2)	+32 ~ +35 (0020 ₁₆ ~ 0023 ₁₆)	8	串行 I/O
SI/O3 (注2)	+36 ~ +39 (0024 ₁₆ ~ 0027 ₁₆)	9	
UART2 总线冲突检测	+40 ~ +43 (0028 ₁₆ ~ 002B ₁₆)	10	串行 I/O
DMA0	+44 ~ +47 (002C ₁₆ ~ 002F ₁₆)	11	DMAC
DMA1	+48 ~ +51 (0030 ₁₆ ~ 0033 ₁₆)	12	
— (保留)	+52 ~ +55 (0034 ₁₆ ~ 0037 ₁₆)	13	—
— (保留)	+56 ~ +59 (0038 ₁₆ ~ 003B ₁₆)	14	—
UART2 发送、NACK2 (注3)	+60 ~ +63 (003C ₁₆ ~ 003F ₁₆)	15	串行 I/O
UART2 接收、ACK2 (注3)	+64 ~ +67 (0040 ₁₆ ~ 0043 ₁₆)	16	
UART0 发送、NACK0 (注3)	+68 ~ +71 (0044 ₁₆ ~ 0047 ₁₆)	17	
UART0 接收、ACK0 (注3)	+72 ~ +75 (0048 ₁₆ ~ 004B ₁₆)	18	
UART1 发送、NACK1 (注3)	+76 ~ +79 (004C ₁₆ ~ 004F ₁₆)	19	
UART1 接收、ACK1 (注3)	+80 ~ +83 (0050 ₁₆ ~ 0053 ₁₆)	20	
定时器 A0	+84 ~ +87 (0054 ₁₆ ~ 0057 ₁₆)	21	定时器
定时器 A1	+88 ~ +91 (0058 ₁₆ ~ 005B ₁₆)	22	
定时器 A2	+92 ~ +95 (005C ₁₆ ~ 005F ₁₆)	23	
定时器 A3	+96 ~ +99 (0060 ₁₆ ~ 0063 ₁₆)	24	
定时器 A4	+100 ~ +103 (0064 ₁₆ ~ 0067 ₁₆)	25	
— (保留)	+104 ~ +107 (0068 ₁₆ ~ 006B ₁₆)	26	
— (保留)	+108 ~ +111 (006C ₁₆ ~ 006F ₁₆)	27	—
— (保留)	+112 ~ +115 (0070 ₁₆ ~ 0073 ₁₆)	28	
INT0	+116 ~ +119 (0074 ₁₆ ~ 0077 ₁₆)	29	
INT1	+120 ~ +123 (0078 ₁₆ ~ 007B ₁₆)	30	
INT2	+124 ~ +127 (007C ₁₆ ~ 007F ₁₆)	31	INT 中断
软件中断 (注5)	+128 ~ +131 (0080 ₁₆ ~ 0083 ₁₆) ~ +252 ~ +255 (00FC ₁₆ ~ 00FF ₁₆)	32 ~ 63	M16C/60、M16C/20 系列软件手册

注1. 该地址为 INTB 寄存器指向的地址开始的相对地址。

注2. 必须将 IFSR 寄存器的 IFSR6 和 IFSR7 位清 “0”。

注3. 在 I²C 模式时，NACK、ACK 为中断源。

注4. 必须将 IFSR2A 寄存器的 IFSR26 和 IFSR27 位置 “1”。

注5. 不能通过 I 标志禁止。

中断控制

以下说明如何允许或禁止可屏蔽中断以及如何设定能接受的优先级。在此说明的内容不适用于非屏蔽中断。

根据 **FLG** 寄存器的 **I** 标志、**IPL**、各中断控制寄存器的 **ILVL2**～**ILVL0** 位进行可屏蔽中断的允许或禁止控制。另外各中断控制寄存器的 **IR** 位表示有无中断请求。

中断控制寄存器如图 1.9.3 所示。

中断控制寄存器(注2)

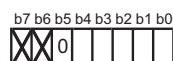


符号	地址	复位后的值	
U1BCNIC(注3)	0046 ₁₆ 地址	XXXXX000 ₂	
U0BCNIC(注3)	0047 ₁₆ 地址	XXXXX000 ₂	
BCNIC	004A ₁₆ 地址	XXXXX000 ₂	
DM0IC、DM1IC	004B ₁₆ 、004C ₁₆ 地址	XXXXX000 ₂	
S0TIC～S2TIC	0051 ₁₆ 、0053 ₁₆ 、004F ₁₆ 地址	XXXXX000 ₂	
S0RIC～S2RIC	0052 ₁₆ 、0054 ₁₆ 、0050 ₁₆ 地址	XXXXX000 ₂	
TA0IC～TA4IC	0055 ₁₆ ～0059 ₁₆ 地址	XXXXX000 ₂	
位符号	位名	功能	RW
ILVL0	中断优先级选择位	b2 b1 b0 0 0 0: 0级(禁止中断)	RW
ILVL1		0 0 1: 1级	RW
ILVL2		0 1 0: 2级	RW
		0 1 1: 3级	
		1 0 0: 4级	
		1 0 1: 5级	
IR	中断请求位	1 1 0: 6级	
		1 1 1: 7级	
(b7-b4)	暂未使用。只能写“0”。 读时值不定。		—

注1. 只能对IR“0”(不能置“1”)。

注2. 改变中断控制寄存器必须在不产生对应该寄存器的中断请求的地址进行。详细内容请参照“中断的注意事项”。

注3. 必须通过IFSR2A寄存器选择。



符号	地址	复位后的值
INT3IC	0044 ₁₆ 地址	XX00X000 ₂
S4IC	0048 ₁₆ 地址	XX00X000 ₂
S3IC	0049 ₁₆ 地址	XX00X000 ₂
INT0IC~INT2IC	005D ₁₆ ~005F ₁₆ 地址	XX00X000 ₂

位符号	位名	功能	RW
ILVL0	中断优先级选择位	b2 b1 b0	RW
ILVL1		0 0 0: 0级(禁止中断)	RW
		0 0 1: 1级	
		0 1 0: 2级	
		0 1 1: 3级	
		1 0 0: 4级	
ILVL2	1 0 1: 5级	RW	
	1 1 0: 6级		
	1 1 1: 7级		
IR	中断请求位	0: 无中断请求 1: 有中断请求	RW (注1)
POL	极性切换位	0: 选择下降沿(注3、注4) 1: 选择上升沿	RW
—	保留位	清“0”	RW
(b7-b6)	暂未使用。只能写“0”。 读时值不定。		—

注1. 只能对IR位写“0”(不能置“1”)。

注2. 改变中断控制寄存器必须在不产生对应该寄存器的中断请求的地址进行。详细内容请参照“中断的注意事项”。

注3. IFSR寄存器的IFSRi位(i=0~5)为“1”(双边沿)时, 必须对INTiIC寄存器的POL位清“0”(下降沿)。

注4. IFSR寄存器的IFSR6位为“0”(选择SI/O3)时, 必须对S3IC寄存器的POL位清“0”(下降沿)。IFSR7位为“0”(选择SI/O4)时, 必须对S4IC寄存器的POL位清“0”(下降沿)。

图 1.9.3. 中断控制寄存器

I 标志

I 标志可允许或禁止可屏蔽中断。如果将 I 标志置 “1”（允许），就允许可屏蔽中断；如果清 “0”（禁止），就禁止所有的可屏蔽中断。

IR 位

如果产生中断请求，IR 位就变为 “1”（有中断请求）。在中断请求被接受并转移到对应的中断向量后，IR 位变为 “0”（无中断请求）。

IR 位能通过程序清 “0”，但是不能置 “1”。

ILVL2～ILVL0 位、IPL

可通过 ILVL2～ILVL0 位设定中断优先级。

中断优先级的设定如表 1.9.3 所示，由 IPL 允许的中断优先级如表 1.9.4 所示。

接受中断请求的条件如下所示：

- I 标志 = 1
- IR 位 = 1
- 中断优先级 > IPL

I 标志、IR 位、ILVL2～ILVL0 位、IPL 各自独立互不影响。

表 1.9.3. 中断优先级的设定

ILVL2～ILVL0 位	中断优先级	优先级
000 ₂	0 级（中断禁止）	—
001 ₂	1 级	低 ↓ 高
010 ₂	2 级	
011 ₂	3 级	
100 ₂	4 级	
101 ₂	5 级	
110 ₂	6 级	
111 ₂	7 级	

表 1.9.4. 由 IPL 允许的中断优先级

IPL	允许的中断优先级
000 ₂	允许 1 级及 1 级以上
001 ₂	允许 2 级及 2 级以上
010 ₂	允许 3 级及 3 级以上
011 ₂	允许 4 级及 4 级以上
100 ₂	允许 5 级及 5 级以上
101 ₂	允许 6 级及 6 级以上
110 ₂	允许 7 级及 7 级以上
111 ₂	禁止所有可屏蔽中断

中断响应顺序

以下说明从接受中断请求开始到执行中断程序的中断响应顺序。

如果在指令执行中产生中断请求，就在该指令执行结束后判断优先级，从下一个周期开始转移到中断响应顺序。但是，对于SMOVB、SMOVF、SSTR、RMPA的各指令，如果在指令执行过程中产生中断请求，就暂停中断指令的运行，转移到中断响应顺序。

中断响应顺序的运行如下。中断响应顺序的执行时间如图1.9.4所示。

- (1) 通过读00000₁₆地址，CPU获得中断信息（中断号和中断请求级）。之后，相应中断的IR位变为“0”（无中断请求）。
- (2) 将中断响应顺序前的FLG寄存器保存到CPU内的暂时寄存器（注1）中。
- (3) 在FLG寄存器中的I标志、D标志、U标志的状态如下：
I标志为“0”（禁止中断）
D标志为“0”（禁止单步中断）
U标志为“0”（指定ISP）
但是，在执行软件中断序号32～63的INT指令时，U标志不变。
- (4) 将CPU内部的暂时寄存器（注1）压栈。
- (5) 将PC压栈。
- (6) 对IPL设定接受的中断的中断优先级。
- (7) 将中断向量中设定的中断程序的起始地址输入到PC。

中断响应顺序结束后，从中断程序的起始地址开始执行指令。

注1. 用户不能使用。

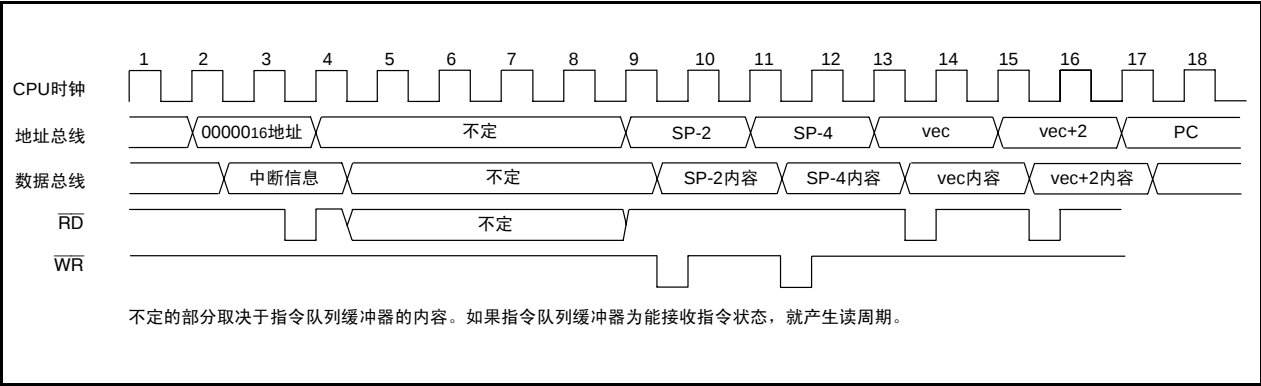


图 1.9.4. 中断响应顺序的执行时间

中断响应时间

中断响应时间如图1.9.5所示。中断响应时间是指从产生中断请求开始到执行中断程序内的第一条指令之前的时间。这段时间由两段时间构成：从产生中断请求时开始到此时正在执行的指令结束为止的时间（图1.9.5中的(a)）和执行中断响应顺序的时间（图1.9.5中的(b)）。

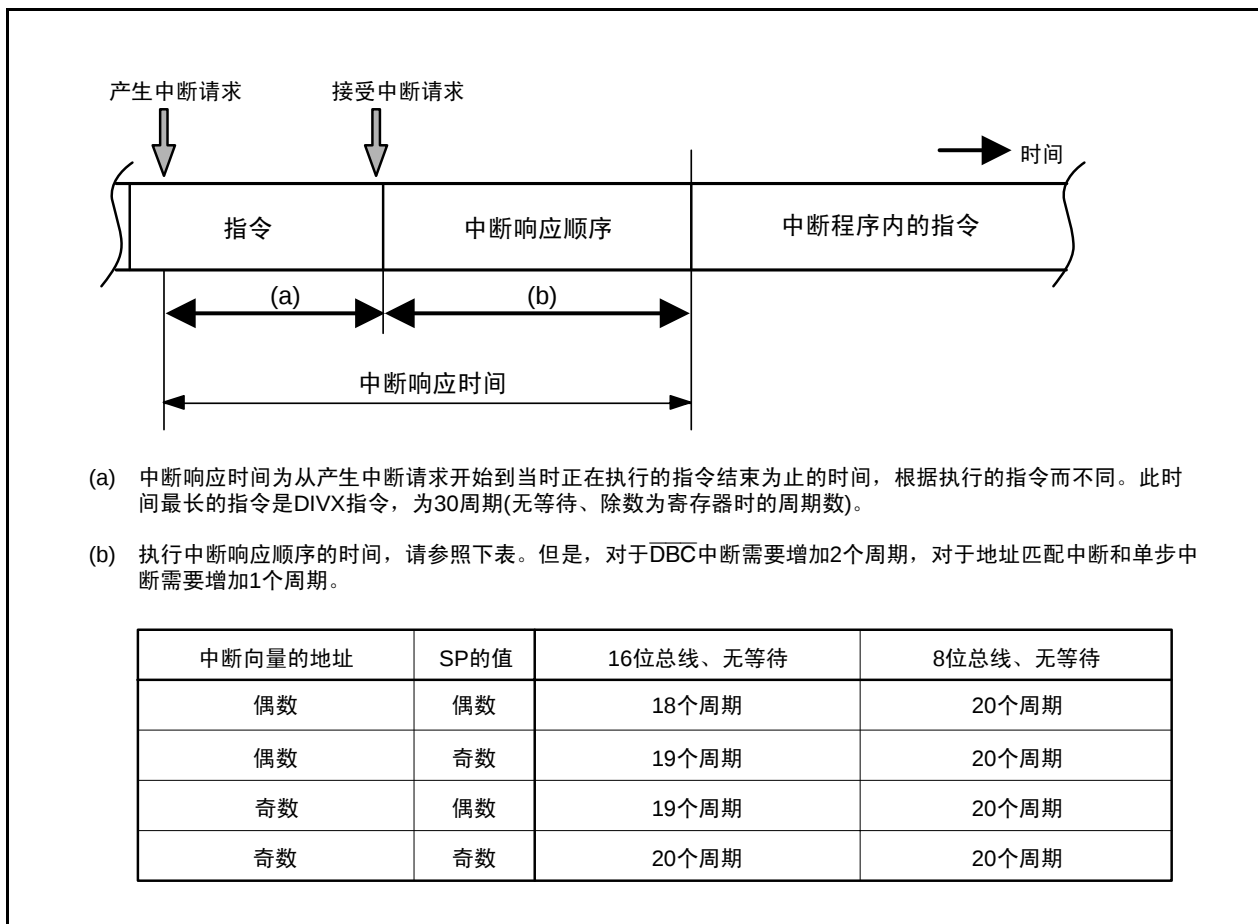


图1.9.5. 中断响应时间

接受中断请求时的IPL变化

如果接受可屏蔽中断的中断请求，就给IPL设定接受中断的中断优先级。

如果接受软件中断和特殊中断请求，就对IPL设定如表1.9.5中所示的值。接受软件中断或特殊中断时的IPL值如表1.9.5所示。

表1.9.5. 接受软件中断或接受特殊中断时的IPL值

中断源	设定的IPL值
看门狗定时器	7
软件、地址匹配、 $\overline{\text{DBC}}$ 、单步	不变

寄存器保存

在中断响应顺序中，将 FLG 寄存器和 PC 压栈。

首先将 PC 的高 4 位、FLG 寄存器的高 4 位（IPL）和低 8 位共计 16 位压栈，然后将 PC 的低 16 位压栈。中断请求接受前后的堆栈状态如图 1.9.6 所示。

必须在中断程序的开始通过程序保存其它需要的寄存器。如果使用 PUSHM 指令，就能用 1 条指令保存除 SP 以外的全部寄存器。

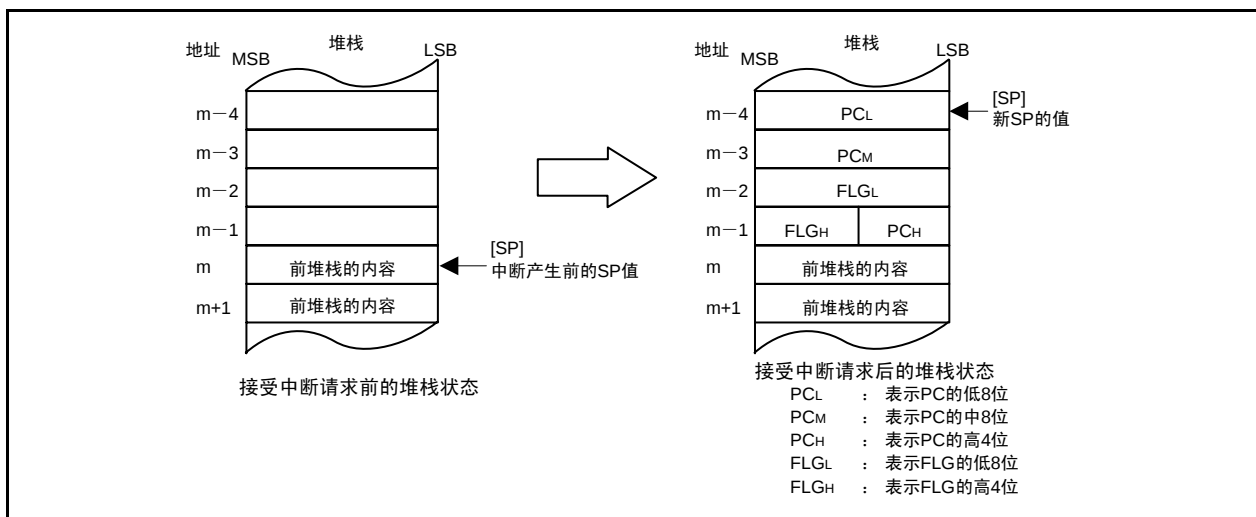


图 1.9.6. 中断请求接受前后的堆栈状态

根据接受中断请求时的 SP（注 1）是偶数还是奇数，在中断响应顺序中进行的寄存器保存操作不同。SP（注 1）为偶数时，FLG 寄存器和 PC 各 16 位同时被保存；为奇数时，按 8 位分 2 次保存。寄存器的保存操作如图 1.9.7 所示。

注 1. 如果执行软件序号 32～63 的 INT 指令，U 标志表示的为 SP。否则为 ISP。

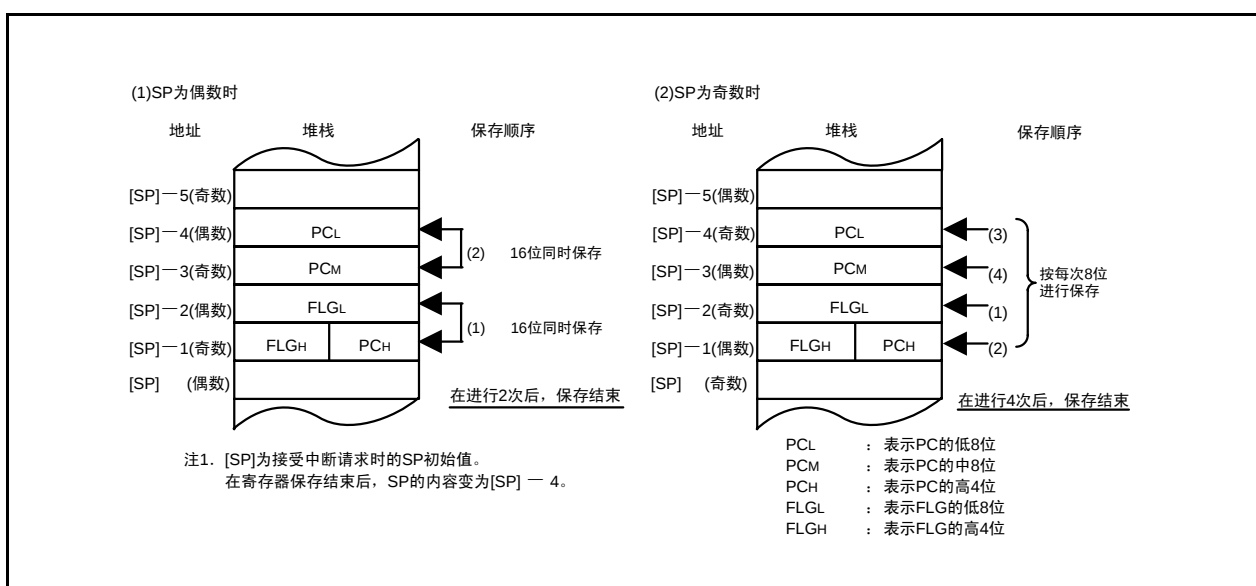


图 1.9.7. 寄存器的保存操作

从中断程序的返回

如果在中断程序的最后执行 REIT 指令，就恢复中断响应顺序前被压栈的 FLG 寄存器和 PC，然后返回到接受中断请求前执行的程序。

必须在执行 REIT 指令前用 POPM 指令等恢复在中断程序内通过程序保存的寄存器。

中断优先级

在执行一个指令中产生 2 个以上的中断请求时，接受优先级高的中断。

可屏蔽中断（外围功能）的优先级能通过 ILVL2～ILVL0 位任意选择。但是，如果中断优先级为相同的设定值，就接受硬件设定的优先级高的中断。

看门狗定时器中断等特殊中断的优先级通过硬件设定。硬件中断的中断优先级如图 1.9.8 所示。

软件中断不受中断优先级的影响。如果执行指令，就执行中断程序。

复位> $\overline{\text{DBC}}$ >看门狗定时器>外围功能>单步>地址匹配

图 1.9.8. 硬件中断的中断优先级

中断优先级判断电路

中断优先级判断电路是用于选择最高优先级中断的电路。

中断优先级的判断电路如图 1.9.9 所示。

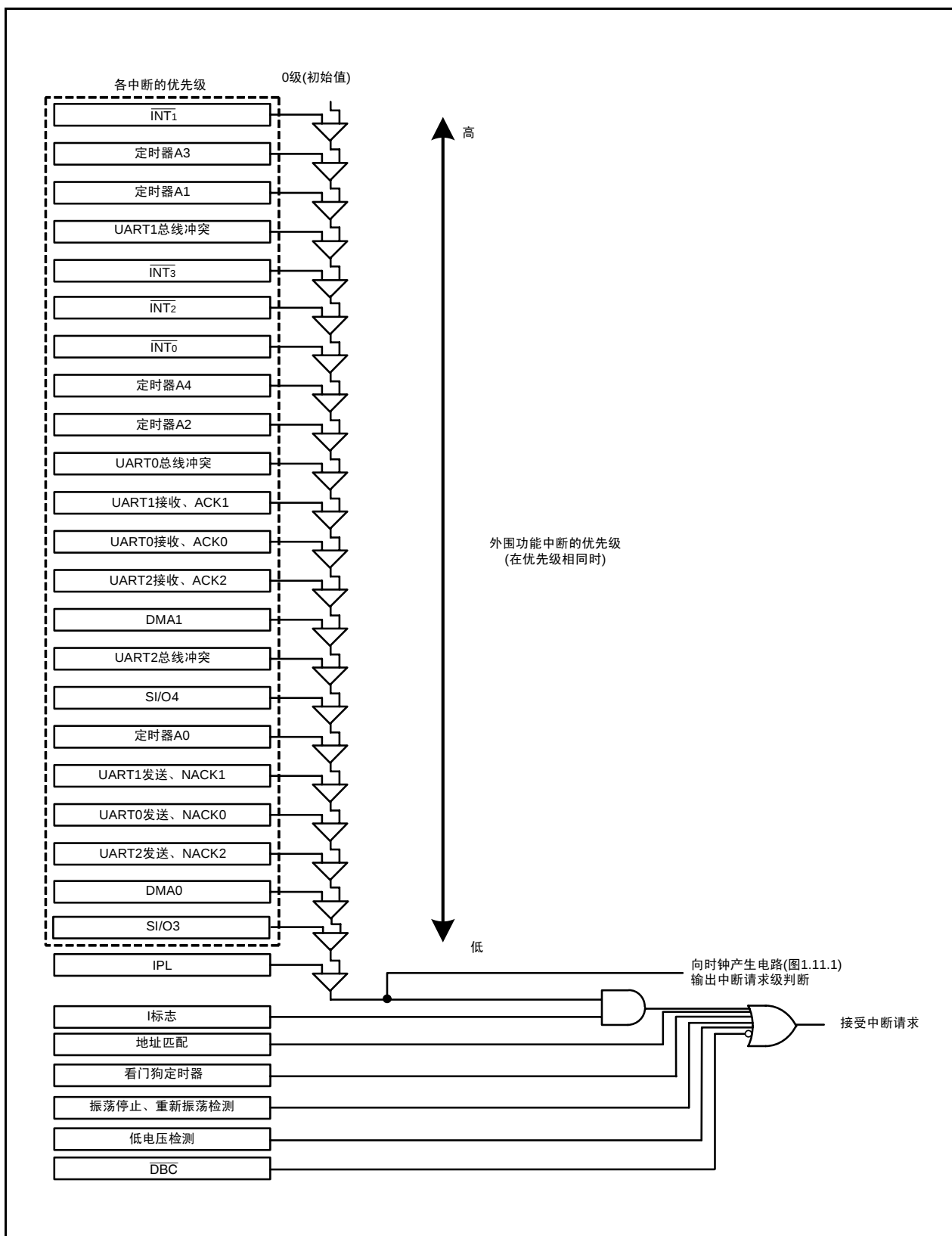


图 1.9.9. 中断优先级判断电路

INT 中断

INT_i 中断（i=0～3）是由外部输入产生的中断。极性可由 IFSR 寄存器的 IFSR_i 位选择。
IFSR、IFSR2A 寄存器如图 1.9.10 所示。

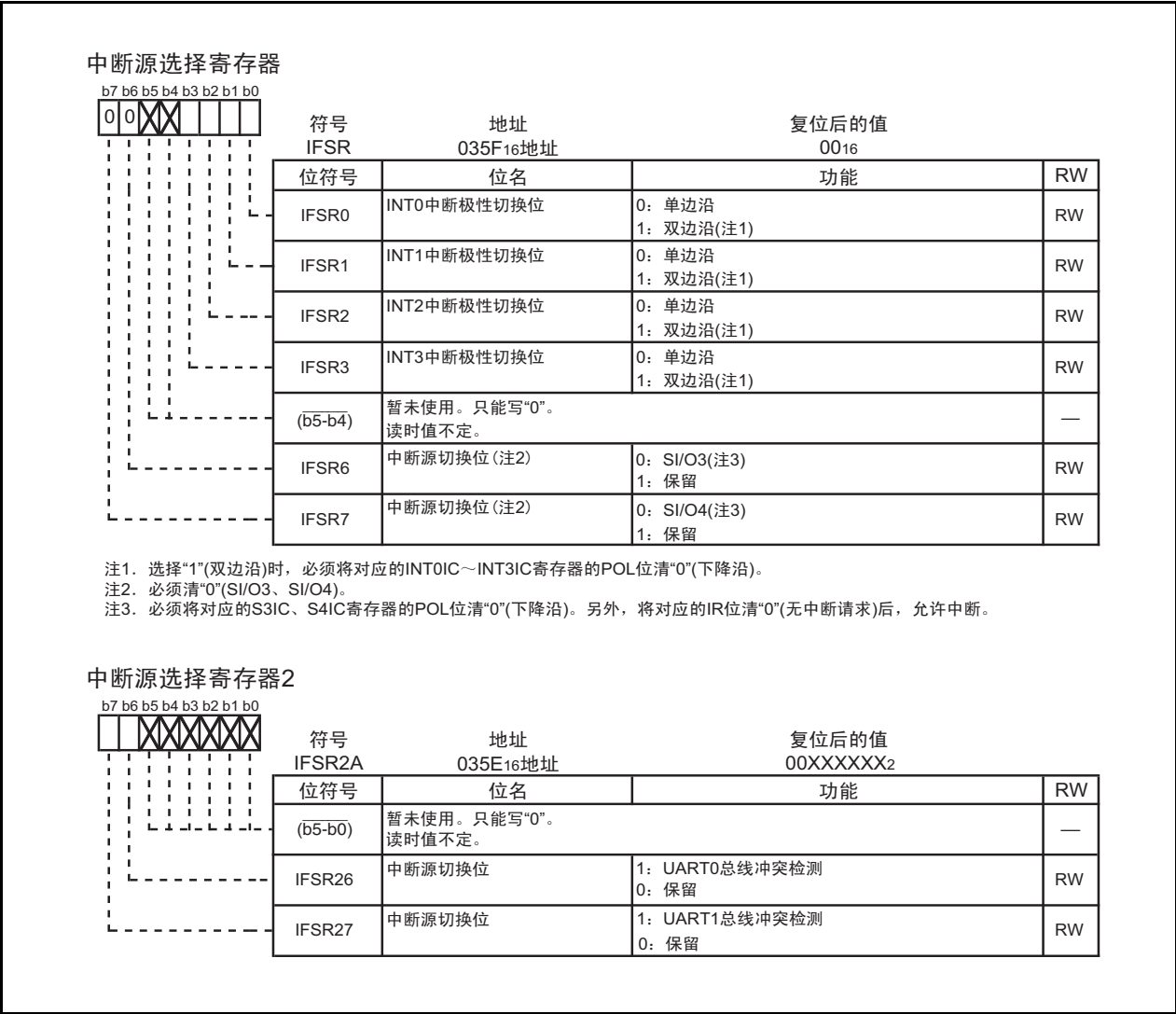


图 1.9.10. IFSR、IFSR2A 寄存器

地址匹配中断

在即将执行 RMADi 寄存器（i=0～3）指向的地址的指令前，产生地址匹配中断。必须将指令的起始地址设定到 RMADi 寄存器。能通过 AIER 寄存器的 AIER0 和 AIER1 位、AIER2 寄存器的 AIER20 和 AIER21 位选择中断的禁止或允许。地址匹配中断不受 I 标志、IPL 的影响。接受地址匹配中断请求时被保存的 PC 值（请参照“寄存器保存”）根据 RMADi 寄存器指向的地址的指令而不同（在堆栈中保存的不是正确的返回地址）。因此，在从地址匹配中断返回时，必须使用以下的某种方法进行：

- 在改写堆栈的内容后，用 REIT 指令返回
- 在使用 POP 等指令将堆栈恢复到接受中断请求前的状态后，用转移指令返回

接受地址匹配中断请求时被保存的 PC 值如表 1.9.6 所示。

AIER、AIER2、RMAD0～RMAD3 寄存器如图 1.9.11 所示。

表 1.9.6. 接受地址匹配中断请求时被保存的 PC 值

RMADi 寄存器指向的地址的指令	被保存的 PC 值
• 16 位操作码指令 • 在 8 位操作码的指令中，为以下所示的指令： ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest （其中，dest = A0 或者 A1）	RMADi 寄存器指向的地址+2
除上述以外的指令	RMADi 寄存器指向的地址+1

被保存的 PC 值：参照“寄存器保存”

表 1.9.7. 地址匹配中断源和相关寄存器的对应

地址匹配中断源	地址匹配中断允许位	地址匹配中断寄存器
地址匹配中断 0	AIER0	RMAD0
地址匹配中断 1	AIER1	RMAD1
地址匹配中断 2	AIER20	RMAD2
地址匹配中断 3	AIER21	RMAD3

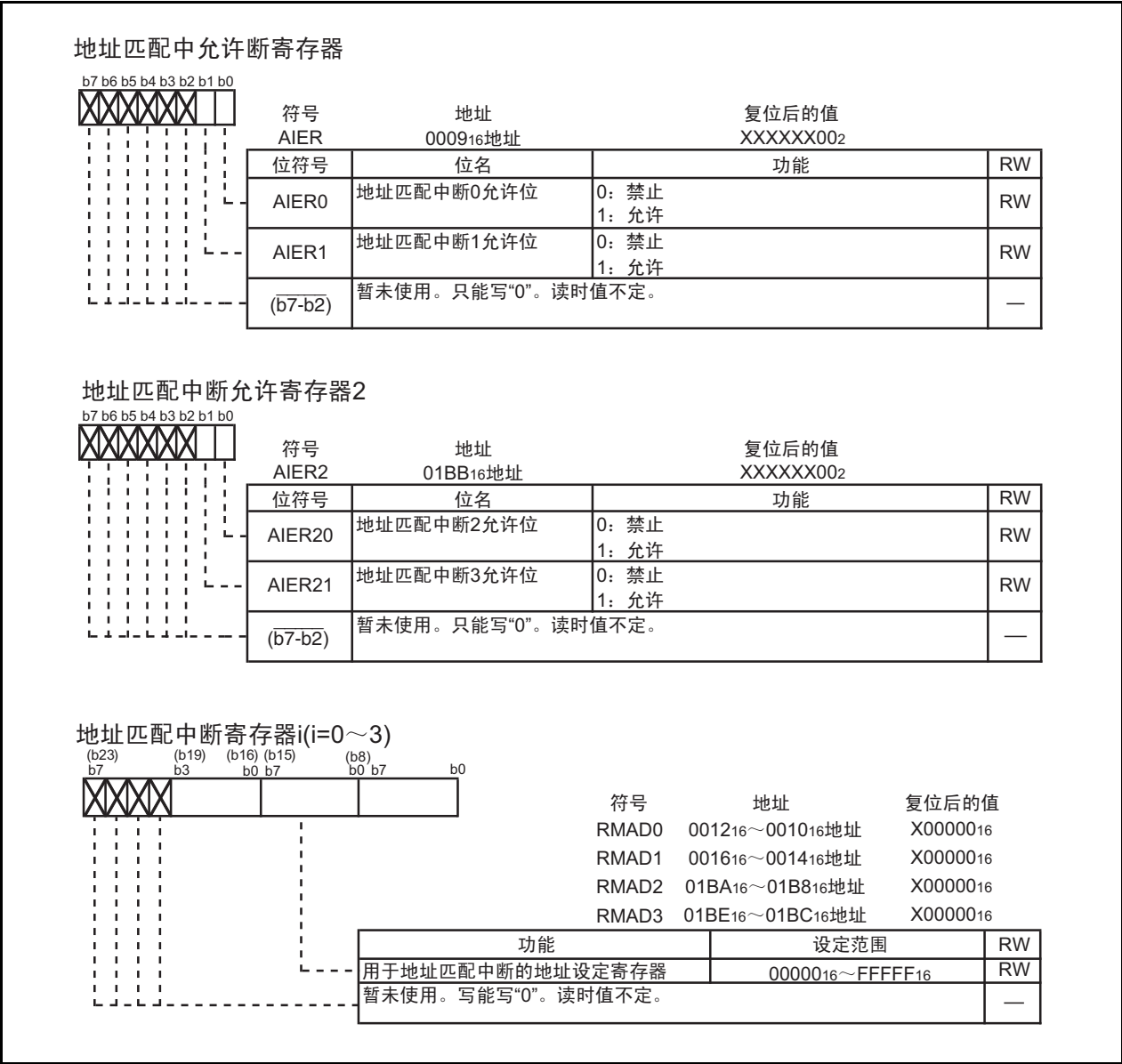


图 1.9.11. AIER、AIER2、RMAD0~RMAD3 寄存器

中断的注意事项

(1) 读取00000₁₆地址

●不要通过程序读00000₁₆地址。在接受可屏蔽中断的中断请求时，CPU从00000₁₆地址开始读取中断响应顺序中的中断信息（中断号和中断请求级）。此时，被接受的中断的IR位为“0”。

如果通过程序读00000₁₆地址，在被允许的中断中，优先级最高的中断的IR位为“0”。因此，就有可能取消中断或者产生无法预料的中断。

(2) SP 的设置

●在接受中断前，必须给SP设定值。在复位后，SP为“0000₁₆”。因此，如果在给SP设定值前接受中断，就有可能造成程序失控。

(3) $\overline{\text{INT}}$ 中断

●输入到 $\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 管脚的信号中，需要与CPU时钟无关的宽250ns以上的“L”或“H”电平。

●切换 $\overline{\text{INT0}} \sim \overline{\text{INT3}}$ 管脚的极性时，IR位可能为“1”（有中断请求）。切换后，必须将IR位清“0”（没有中断请求）。 $\overline{\text{INT}}$ 中断产生源的切换步骤示例如图1.9.12所示。

(4) 看门狗定时器中断

在产生看门狗定时器中断后，必须对看门狗定时器进行初始化。

(5) 中断控制寄存器的改变

●中断寄存器的改变必须在不产生对应该寄存器的中断请求的地址进行。当有可能产生中断请求时，请禁止中断后再改变。参考程序例子如下所示。

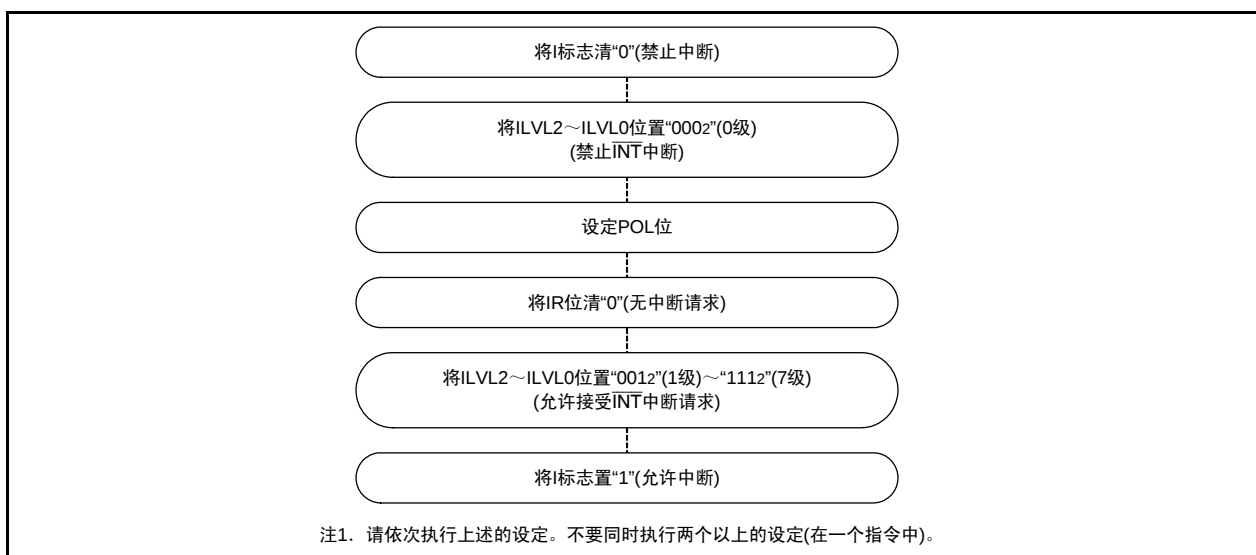


图 1.9.12. $\overline{\text{INT}}$ 中断产生源的切换步骤例

<改写中断控制寄存器的程序示例>

例 1:

```
INT_SWITCH1:
FCLR    I                ; 禁止中断
AND.B   #00H, 0055H      ; 将TA0IC寄存器置“0016”
NOP     ; 使用HOLD功能时需要4个NOP指令
NOP
FSET    I                ; 允许中断
```

例 2:

```
INT_SWITCH2:
FCLR    I                ; 禁止中断
AND.B   #00H, 0055H      ; 将TA0IC寄存器置“0016”
MOV.W   MEM, R0          ; 虚读
FSET    I                ; 允许中断
```

例 3:

```
INT_SWITCH3:
PUSHC   FLG
FCLR    I                ; 禁止中断
AND.B   #00H, 0055H      ; 将TA0IC寄存器置“0016”
POPC    FLG              ; 允许中断
```

例 1 中，FSET I 指令前有 2 个 NOP 指令（使用 HOLD 功能时为 4 个），例 2 中，FSET I 指令前有虚读的理由是：受指令队列缓冲器的影响，写中断控制寄存器前，防止 I 标志变为“1”。

在禁止中断后更改中断控制寄存器时，必须注意使用的指令。

IR 位以外的位的更改

如果在指令执行过程中产生对应该寄存器的中断请求，IR 位就有可能不变为“1”（有中断请求），中断将被忽略。在发生这种问题时，必须用以下指令更改寄存器：

对象指令 … AND、OR、BCLR、BSET

IR 位的更改

在将 IR 位清“0”（无中断请求）时，根据使用的指令，IR 位有可能不变为“0”。必须使用 MOV 指令将 IR 位清“0”。

看门狗定时器

看门狗定时器具有检测程序是否失控的功能。因此，为了提高系统的可靠性，建议使用看门狗定时器。看门狗定时器具有 15 位计数器，对由预分频器将 CPU 时钟分频后的时钟进行递减计数。可以通过 PM1 寄存器的 PM12 位，来选择当看门狗定时器发生下溢时，是产生看门狗定时器中断请求还是进行看门狗定时器复位。只能对 PM12 位写“1”（看门狗定时器复位）。一旦将 PM12 位置“1”，就不能通过程序将其清“0”（看门狗定时器中断）。看门狗定时器复位的详细内容请参照“看门狗定时器复位”。

在选择主时钟为 CPU 时钟时，可通过 WDC 寄存器的 WDC7 位将预分频器选择为 16 分频或是 128 分频。因此，看门狗定时器的周期可按下列公式进行。但是，看门狗定时器的周期会产生由预分频器引起的误差。

在选择主时钟为 CPU 时钟时

$$\text{看门狗定时器的周期} = \frac{\text{预分频器的分频（16 或 128）} \times \text{看门狗定时器的计数值（32768）}}{\text{CPU 时钟}}$$

例如，在 CPU 时钟为 16MHz 并且预分频器为 16 分频时，看门狗定时器的周期大约为 32.8ms。

看门狗定时器在写 WDTS 寄存器时被初始化，预分频器在复位后被初始化。而且，在复位后看门狗定时器和预分频器处于停止状态，因此可通过写 WDTS 寄存器启动计数。

在停止模式或等待模式时，如果看门狗定时器和预分频器停止并解除时就从被保持的值开始计数。

看门狗定时器的框图如图 1.10.1 所示，看门狗定时器的相关寄存器如图 1.10.2 所示。

●计数源保护模式

计数源保护模式是将内部振荡器时钟用作看门狗定时器计数源的模式。在程序失控时即使 CPU 时钟停止，也能给看门狗定时器提供时钟。

在使用此模式时，必须进行如下处理：

- (1) 将 PRCR 寄存器的 PRC1 位置“1”（允许写入 PM1 和 PM2 寄存器）
- (2) 将 PM1 寄存器的 PM12 位置“1”（在看门狗定时器下溢时复位）
- (3) 将 PM2 寄存器的 PM22 位置“1”（看门狗定时器的计数源为内部振荡器时钟）
- (4) 将 PRCR 寄存器的 PRC1 位清“0”（禁止写入 PM1 和 PM2 寄存器）
- (5) 写入 WDTS 寄存器（看门狗定时器开始计数）

如果将PM22位置“1”，就变为以下状态：

- 内部振荡器开始振荡，内部振荡器时钟变为看门狗定时器的计数源

$$\text{看门狗定时器的周期} = \frac{\text{看门狗定时器的计数值 (32768)}}{\text{内部振荡器时钟}}$$

- 禁止写入CM1寄存器的CM10位（即使写“1”也不改变，不转移到停止模式）
- 在等待模式时，看门狗定时器不停止运行

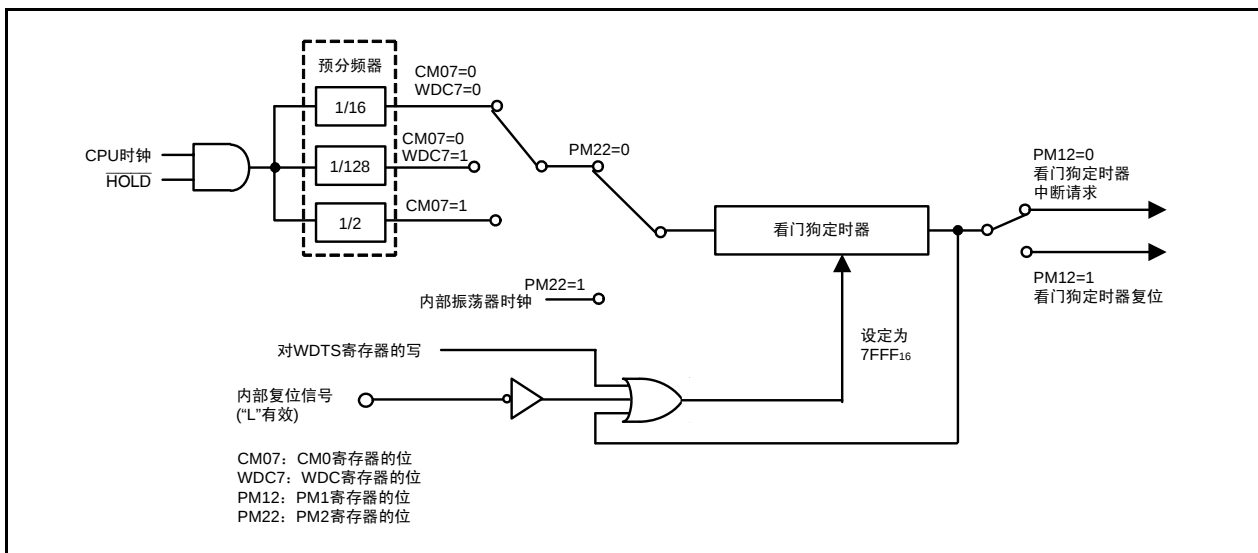


图 1.10.1. 看门狗定时器的框图

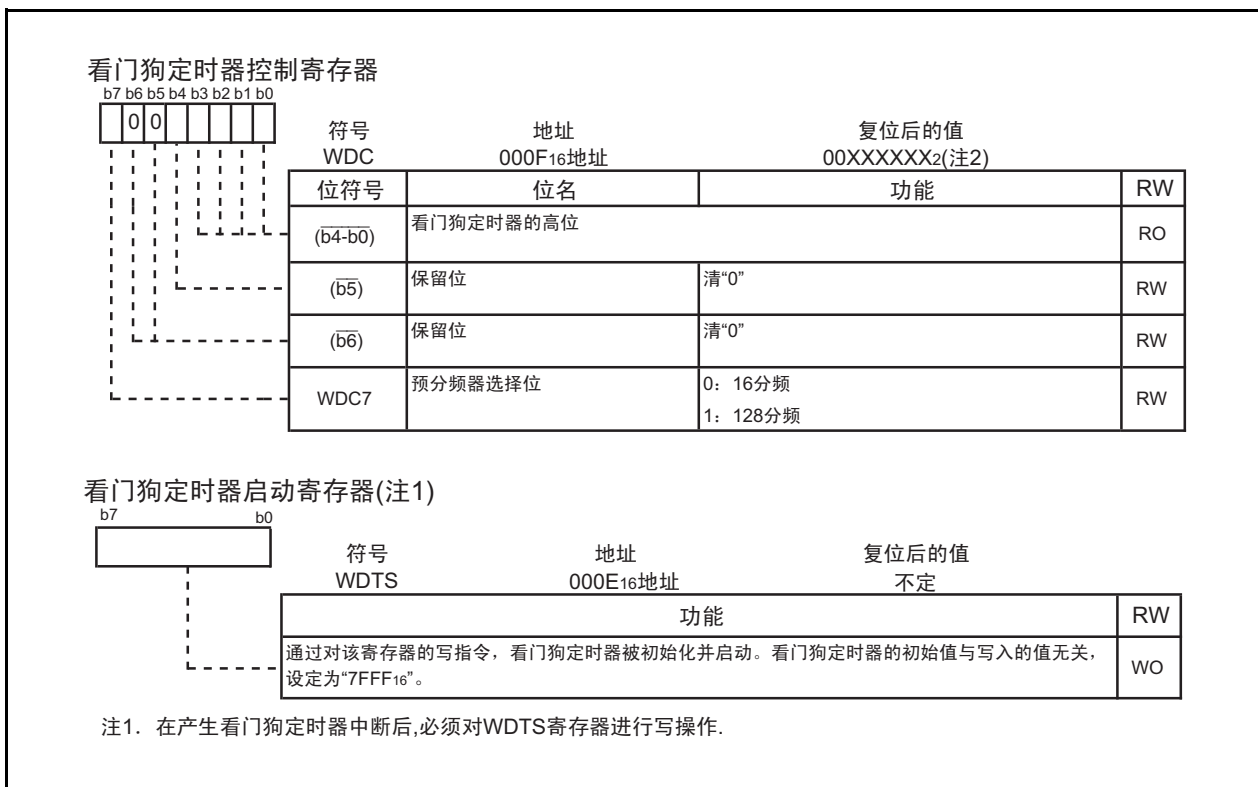


图 1.10.2. WDC、WDTS 寄存器

DMAC

DMAC（Direct Memory Access Controller）是不使用 CPU 而进行数据传送的一种功能，有 2 个通道。每当产生 DMA 请求时，DMAC 将传送源地址的 1 个数据（8 位或者 16 位）传送到传送目标地址。DMAC 使用和 CPU 相同的数据总线。因为 DMAC 的总线使用权高于 CPU 并采用周期挪用方式，所以能快速地进行从产生 DMA 请求到结束 1 个字（16 位）或者 1 个字节（8 位）的数据传送。DMAC 框图如图 1.11.1 所示，DMAC 的规格如表 1.11.1 所示，DMAC 相关寄存器如图 1.11.2～图 1.11.4 所示。

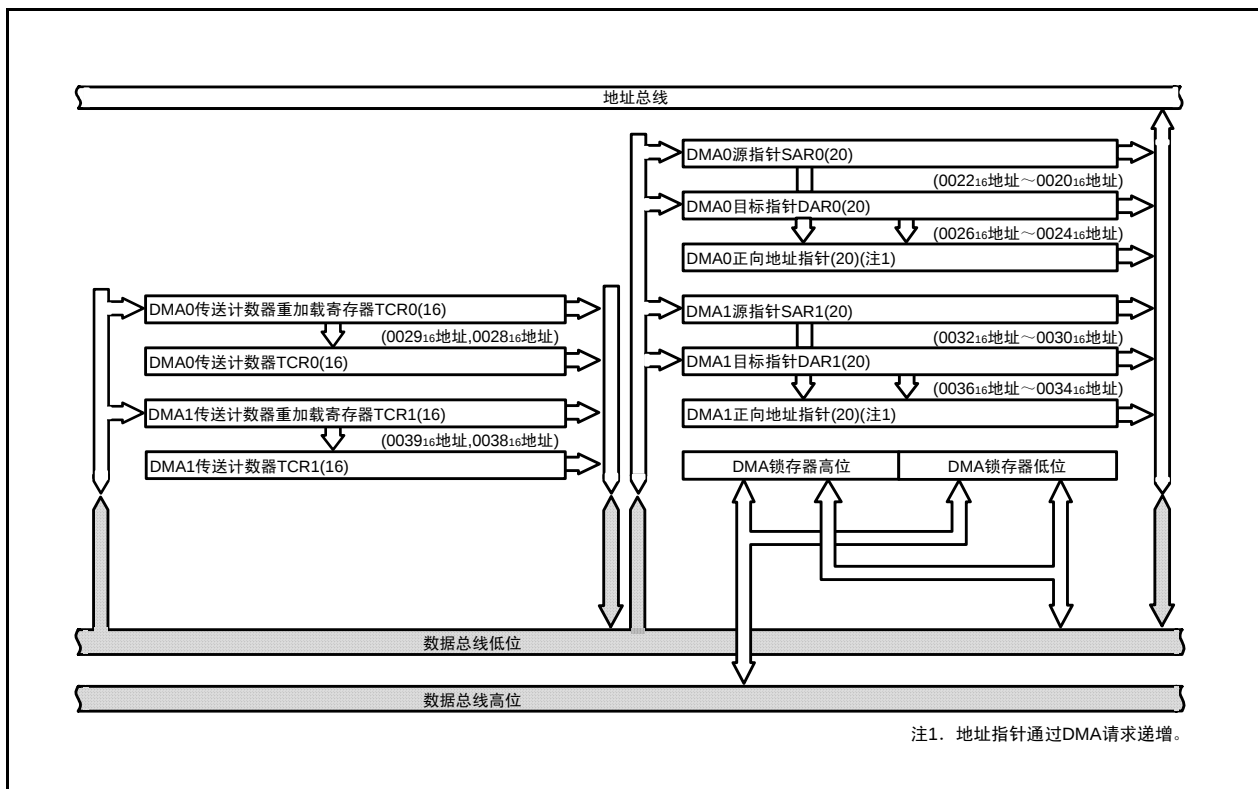


图 1.11.1. DMAC 框图

除了可以对 DMiSL 寄存器（ $i=0\sim1$ ）的 DSR 位进行写入以外，通过由 DMiSL 寄存器的 DMS 位与 DSEL3～DSEL0 位指定的各功能输出的中断请求也可产生 DMA 请求。但是，DMA 传送和中断请求的运行不同，不受 I 标志和中断控制寄存器的影响，所以在诸如中断禁止等情况时，即使不接受中断请求，也能接受 DMA 请求。另外，因为 DMAC 不影响中断，所以 DMA 传送时中断控制寄存器的 IR 位不变。

如果 DMiCON 寄存器的 DMAE 位为“1”（允许 DMA），就在每次产生 DMA 请求时开始数据传送。但是，如果 DMA 请求的产生周期比 DMA 传送周期快时，就会出现传送请求次数和传送次数不一致的情况。详细内容请参照“DMA 请求”。

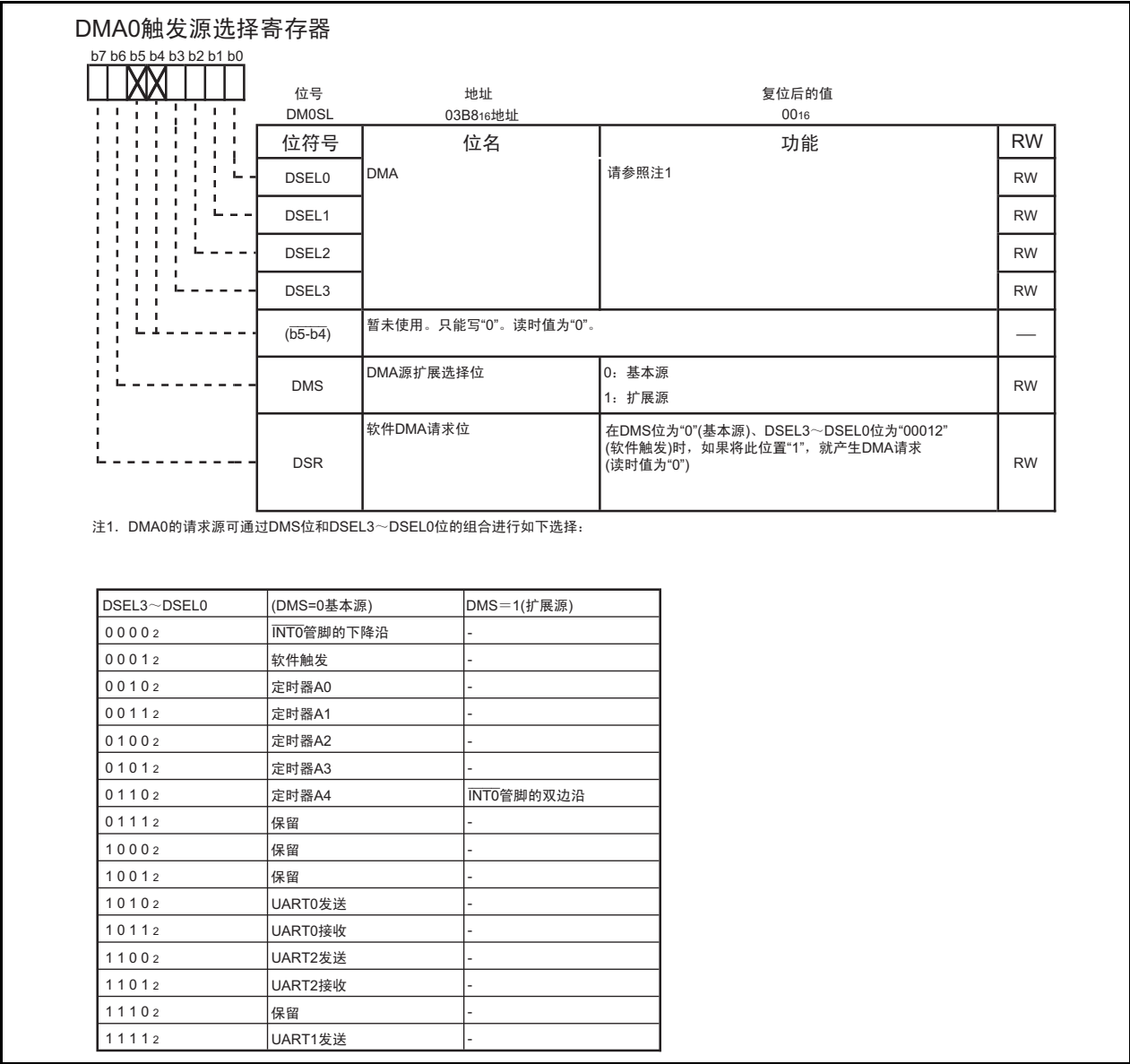
表 1.11.1. DMAC 的规格

项 目		规 格
通道数		2通道（周期挪用方式）
传送空间		● 从1M字节空间的任意地址到固定地址 ● 从固定地址开始的1M字节的任意空间 ● 从固定地址到固定地址
最大传送字节数		128K 字节（16位传送时）、64K 字节（8位传送时）
DMA 请求源（注1、注2）		INT0 或者 INT1 管脚的下降沿 INT0 或者 INT1 管脚的双边沿 定时器 A0～定时器 A4 中断请求 UART0 发送、UART0 接收中断请求 UART1 发送、UART1 接收中断请求 UART2 发送、UART2 接收中断请求 SI/O3、SI/O4 中断请求 软件触发
通道优先级		DMA0 > DMA1（DMA0 优先）
传送单位		8位或者16位
传送地址方向		正向或者固定（不能将传送源和传送目标同时设定为正向）
传送模式	单次传送	如果 DMAi 传送计数器（i=0～1）下溢就结束传送
	重复传送	在 DMAi 传送计数器下溢后，DMAi 传送计数器重加载寄存器的值被重新装入到 DMAi 传送计数器，继续 DMA 传送
DMA 中断请求的产生时序		DMAi 传送计数器下溢时
DMA 传送开始		如果将 DMAiCON 寄存器的 DMAE 位置“1”（允许），就在每当产生 DMA 请求时开始传送数据
DMA 传送停止	单次传送	● 将 DMAE 位清“0”（禁止） ● DMAi 传送计数器下溢后
	重复传送	将 DMAE 位清“0”（禁止）
正向地址指针、DMAi 传送计数器的重新装入时序		在将 DMAE 位置“1”（允许）后开始数据传送时，将被指定为正向指针的 SARI 指针或者 DARI 指针的值重新装入到正向地址指针，将 DMAi 传送计数器重加载寄存器的值重新装入到 DMAi 传送计数器

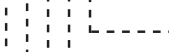
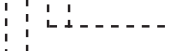
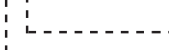
注1. DMA 传送不影响各中断，也不受 I 标志和中断控制寄存器的影响。

注2. 可选择请求源根据通道而不同。

注3. 不能通过 DMAC 访问 DMAC 相关寄存器（0020₁₆～003F₁₆ 地址）。



DMA1触发源选择寄存器

b7 b6 b5 b4 b3 b2 b1 b0								
		符号	地址	复位后的值				
		DM1SL	03BA ₁₆ 地址	00 ₁₆				
		位符号	位名	功能			RW	
		DSEL0	DMA请求源选择位	请参照注1			RW	
		DSEL1					RW	
		DSEL2					RW	
		DSEL3					RW	
		(b5-b4)	暂未使用。只能写“0”。读时值为“0”。					—
		DMS	DMA触发源扩展选择位	0: 基本源 1: 扩展源			RW	
		DSR	软件DMA请求位	在DMS位为“0”(基本源)、DSEL3~DSEL0位为“00012”(软件触发)时, 如果将此位置“1”, 就产生DMA请求(读时值为“0”)			RW	

注1. DMA1的请求源可通过DMS位和DSEL3~DSEL0位的组合进行如下选择:

DSEL3~DSEL0	DMS=0(基本源)	DMS=1(扩展源)
0 0 0 0 ₂	INT1管脚的下降沿	-
0 0 0 1 ₂	软件触发	-
0 0 1 0 ₂	定时器A0	-
0 0 1 1 ₂	定时器A1	-
0 1 0 0 ₂	定时器A2	-
0 1 0 1 ₂	定时器A3	串行I/O3
0 1 1 0 ₂	定时器A4	串行I/O4
0 1 1 1 ₂	保留	INT1管脚的双边沿
1 0 0 0 ₂	保留	-
1 0 0 1 ₂	保留	-
1 0 1 0 ₂	UART0发送	-
1 0 1 1 ₂	UART0接收/ACK0	-
1 1 0 0 ₂	UART2发送	-
1 1 0 1 ₂	UART2接收/ACK2	-
1 1 1 0 ₂	保留	-
1 1 1 1 ₂	UART1接收/ACK1	-

DMAi控制寄存器(i=0、1)

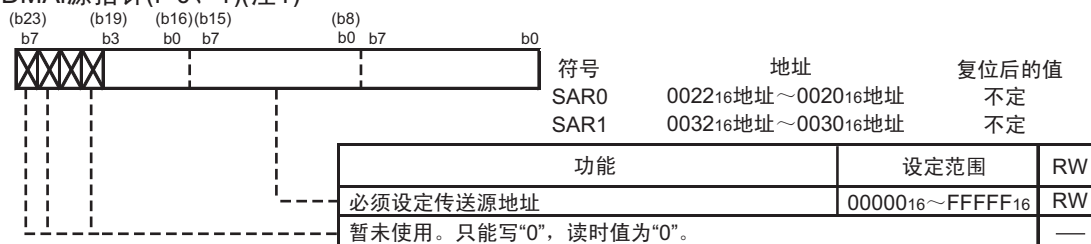
b7 b6 b5 b4 b3 b2 b1 b0								符号	地址	复位后的值
								DM0CON	002C ₁₆ 地址	00000X00 ₂
								DM1CON	003C ₁₆ 地址	00000X00 ₂
位符号	位名		功能		RW					
DMBIT	传送单位位数选择位		0: 16位 1: 8位		RW					
DMASL	重复传送模式选择位		0: 单次传送 1: 重复传送		RW					
DMAS	DMA请求位		0: 无请求 1: 有请求		RW (注1)					
DMAE	DMA允许位		0: 禁止 1: 允许		RW					
DSD	传送源地址方向选择位(注2)		0: 固定 1: 正向		RW					
DAD	传送目标地址方向选择位(注2)		0: 固定 1: 正向		RW					
(b7-b6)	暂未使用。只能写“0”，读时值为“0”。				—					

注1. 如果通过程序对DMAS位写“0”，DMAS位就变为“0”(即使写“1”也不变化)。

注2. 必须将DAD位和DSD位中的至少1位清“0”(地址方向为固定)。

图 1.11.3. DM1SL、DM0CON、DM1CON 寄存器

DMAi源指针(i=0、1)(注1)



注1. 在DMiCON寄存器的DSD位为“0”(固定)时,只有在DMiCON寄存器的DMAE位为“0”(禁止DMA)时才能进行写操作。

在DSD位为“1”(正向)时,可随时写。

在DSD位为“1”且DMAE位为“1”(允许DMA)时,可读取DMAi正向地址指针。此外,可读取写的值。

DMAi目标指针(i=0、1)(注1)



注1. 在DMiCON寄存器的DAD位为“0”(固定)时,只有在DMiCON寄存器的DMAE位为“0”(禁止DMA)时才能进行写操作。

在DAD位为“1”(正向)时,可随时写。

在DAD位为“1”且DMAE位为“1”(允许DMA)时,可读取DMAi正向地址指针。此外,可读取写的值。

DMAi传送计数器(i=0、1)(注1)

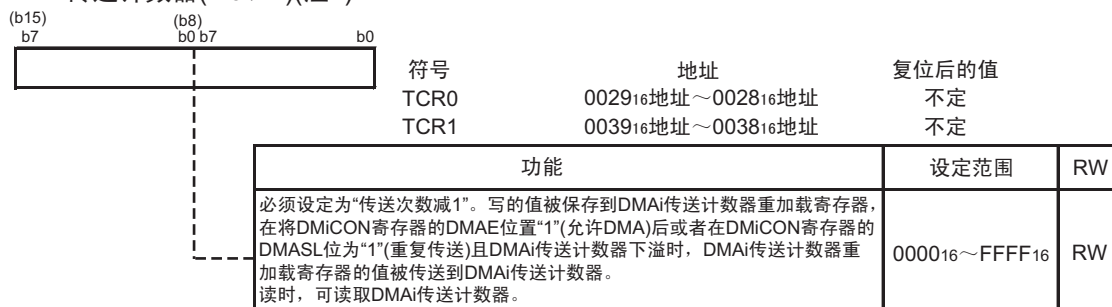


图 1.11.4. SAR0、SAR1、DAR0、DAR1、TCR0、TCR1 寄存器

（1）传送周期

传送周期由读存储器或者 SFR（源读）的总线周期和写（目标写）总线周期构成。读和写的总线周期次数受传送源地址和传送目标地址的影响。而且，由于有软件等待，总线周期本身会变长。

■ 传送源地址、传送目标地址的影响

在传送单位和数据总线都为 16 位并且传送源地址从奇数地址开始时，源读周期比从偶数地址开始时增加 1 个总线周期。

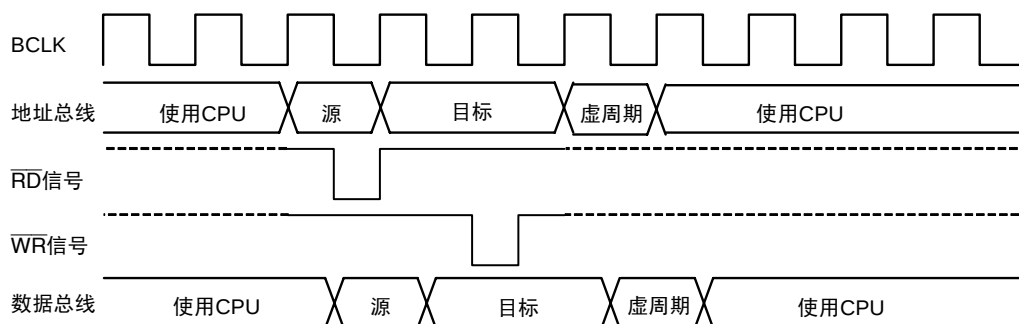
同样，在传送单位和数据总线都为 16 位并且传送目标地址从奇数地址开始时，目标写周期比从偶数地址开始时增加 1 个总线周期。

■ 软件等待的影响

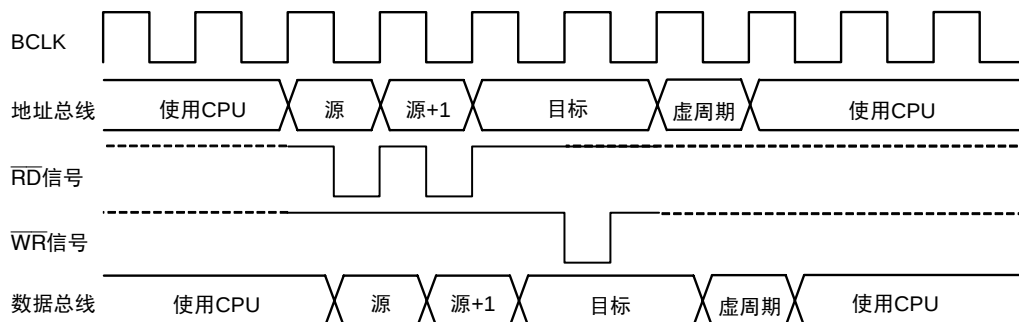
在访问插入有软件等待的存储器或者 SFR 时，只有软件等待增加了一个总线周期所需要的周期数。

源读周期的例子如图 1.11.5 所示。在此图中，为方便起见，假设目标写周期为 1 个周期，列出不同条件的源读周期数。实际上和源读周期一样，目标写周期也受各种条件的影响，传送周期会相应变化。必须根据目标写周期和源读周期的各种条件计算传送周期。例如，在传送单位为 16 位并且使用 8 位总线时（图 1.11.5（2）），源读周期和目标写周期各需要 2 个总线周期。

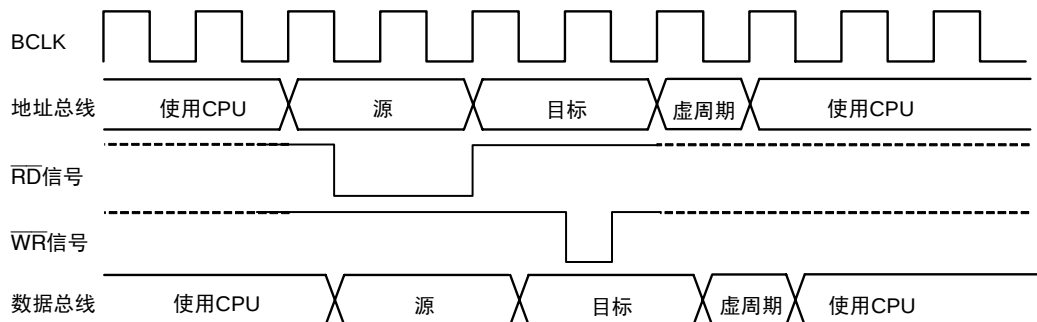
(1) 传送单位为8位时, 或者传送单位为16位且源为偶数地址时



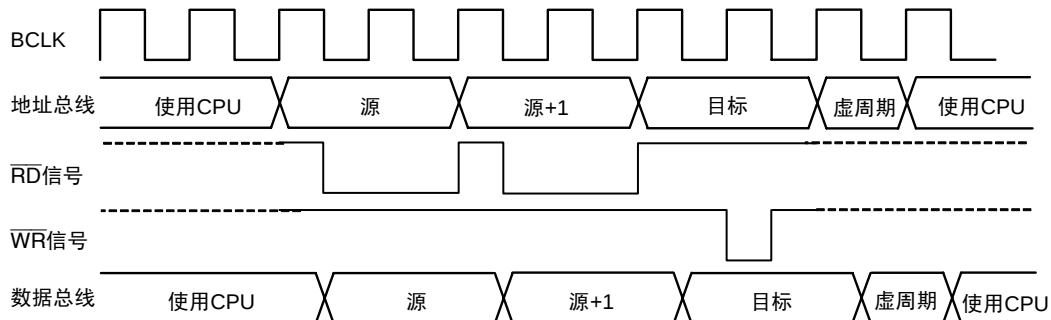
(2) 传送单位为16位且源为奇数地址时



(3) 在(1)的条件下, 对源读插入1个等待时



(4) 在(2)的条件下, 对源读插入1个等待时



注1. 在各种条件下目标也有与源相同的时序变化。

图 1.11.5. 源读周期的例子

(2) DMA传送周期数

DMA传送周期数可进行如下计算。

DMA传送周期数如表1.11.2所示，系数j、k如表1.11.3所示。

1个传送单位的传送周期数=读周期数×j+写周期数×k

表1.11.2. DMA传送周期数

传送单位	存取地址	读周期数	写周期数
8位传送 (DMBIT = “1”)	偶数	1	1
	奇数	1	1
16位传送 (DMBIT = “0”)	偶数	1	1
	奇数	2	2

表1.11.3. 系数j、k

	内部ROM、RAM		SFR	
	无等待	有等待	1个等待 (注2)	2个等待 (注2)
j	1	2	2	3
k	1	2	2	3

注1. 取决于CSE寄存器的设定值。

注2. 取决于PM2寄存器的PM20位的设定值。

(3) DMA允许

在将DMiCON寄存器（i=0、1）的DMAE位置“1”（允许）后开始传送数据时，DMAC的运行如下：

- (1) 在DMiCON寄存器（i=0、1）的DSD位为“1”（正向）时，将SARi寄存器的值重新装入正向地址指针；在DMiCON寄存器（i=0、1）的DAD位为“1”（正向）时，将DARi寄存器的值重新装入正向地址指针。
- (2) 将DMAi传送计数器重加载寄存器的值重新装入DMAi传送计数器

如果在DMAE位为“1”时再次写“1”，就进行上述操作。

但是，如果在写DMAE位的同时有可能产生DMA请求时，就必须按照以下步骤写：

- (1) 对DMiCON寄存器的DMAE位和DMAS位同时写“1”。
- (2) 通过程序确认DMAi是否处于初始状态（上述（1）（2）的状态）。

如果DMAi没处于初始状态，就重复（1）（2）的操作。

(4) DMA请求

DMAC能把各通道（通过DMiSL寄存器（i=0、1）的DMS位和DESL3～DESL0位选择）的请求源作为触发源来产生DMA请求。DMAS位变化的时序如表1.11.4所示。

DMAS位与DMAE位的状态无关，如果产生DMA请求，就变为“1”（有请求）。如果DMAE位为“1”（允许），在即将开始传送数据前，DMAS位变为“0”（无请求）。另外，通过程序可以清“0”但不能置“1”。

如果更改DMS位和DESL3～DESL0位，DMAS位有可能变为“1”。因此，必须在更改DMS位和DESL3～DESL0位后，将DMAS位清“0”。

如果DMAE位为“1”，因为在产生DMA请求后立刻开始传送数据，所以即使通过程序读DMAS位，大部分情况下读到的是“0”。在判断DMAC是否为允许状态时，必需读DMAE位。

表1.11.4. DMAS位变化时序

DMA触发源	DMiCON寄存器的DMAS位	
	变为“1”的时序	变为“0”的时序
软件触发	在将DMiCON寄存器的DSR位置“1”时	• 在即将开始传送数据前 • 在通过程序写“0”时
外围功能	在由DMiCON寄存器的DSEL3～DSEL0位和DMS位选择的外围功能中断控制寄存器的IR位变为“1”时	

（5）通道的优先级和DMA传送时序

在DMA0和DMA1都为允许状态时，如果DMA0和DMA1的DMA传送请求信号出现在同一个采样周期（从BCLK的下降沿到下一个下降沿的一个周期），各通道的DMAS位就同时变为“1”（有请求）。此时的通道优先级为DMA0 > DMA1。以下说明DMA0和DMA1的请求出现在同一个采样周期时的运行。由外部源产生的DMA传送的例子如图1.11.6所示。

因为在图1.11.6中同时产生了DMA0和DMA1的请求，所以先接受通道优先级高的DMA0请求并开始传送。在DMA0结束1个传送单位后将总线权让给CPU。然后，在CPU结束1次总线存取后DMA1开始传送，在DMA1结束1个传送单位后将总线权还给CPU。

另外，因为DMAS位是各通道1个位，所以无法对DMA的请求次数进行计数。因此，如同图1.11.6中的DMA1，在获得总线权前即使产生多次DMA请求，也在获得总线权后将DMAS位清“0”，并且在结束1个传送单位后将总线权还给CPU。

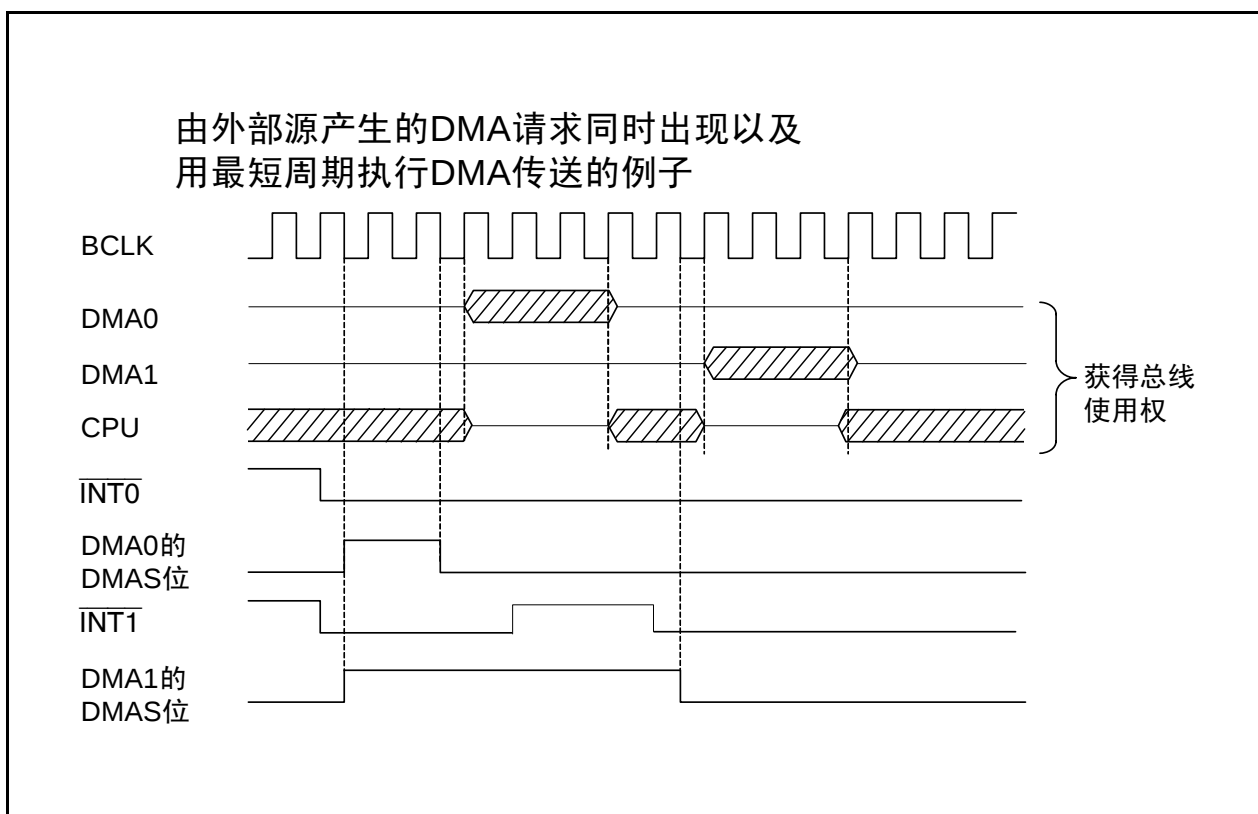


图1.11.6. 由外部源产生的DMA传送的例子

定时器

M16C/6S 群有 5 个 16 位定时器。所有的定时器都独立运行，各定时器的计数源为计数、重新装入等定时器运行的运行时钟。定时器 A 的构成如图 1.12.1 所示。

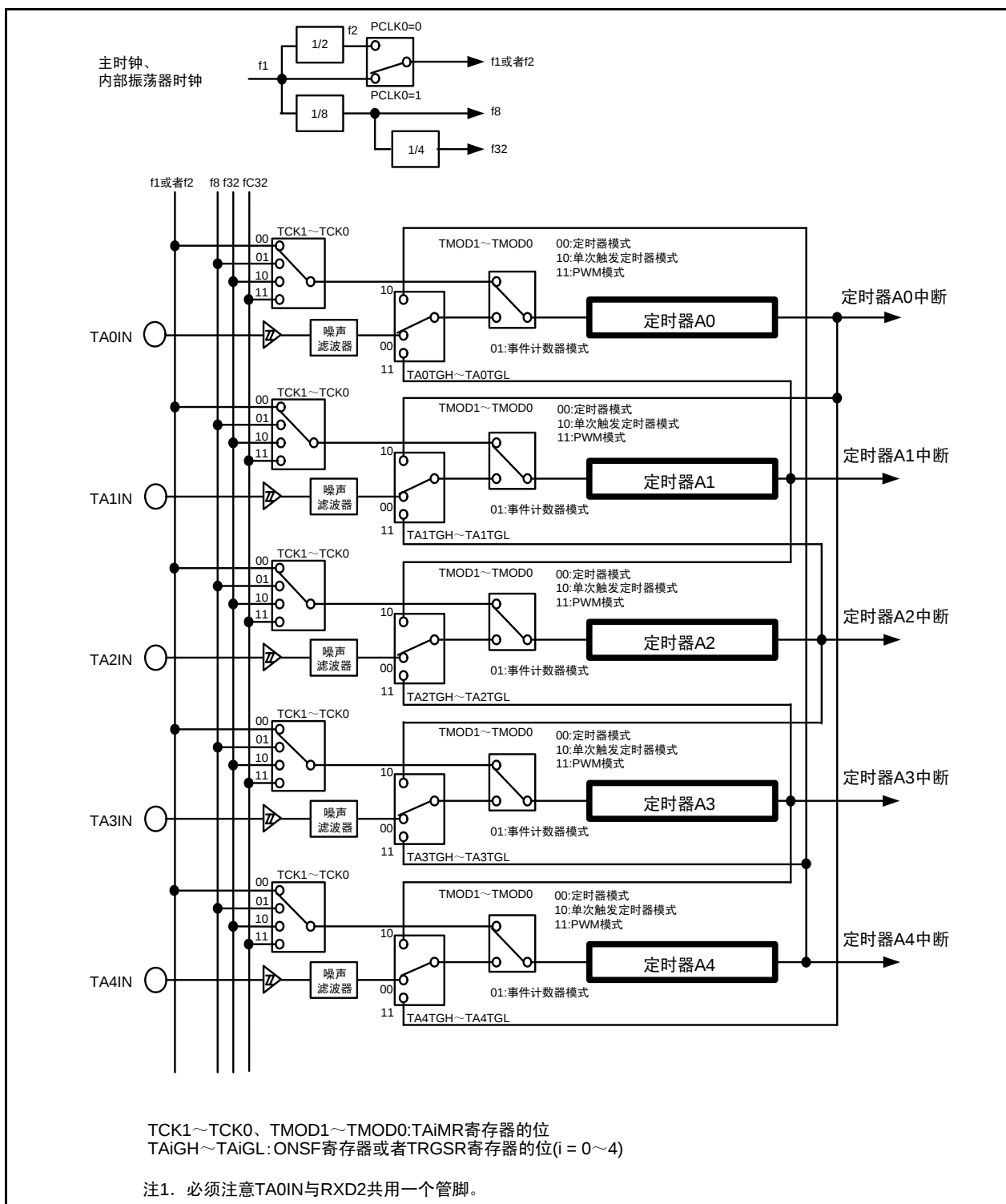


图 1.12.1. 定时器 A 的构成

定时器A

定时器A的框图如图1.12.2所示，定时器A的相关寄存器如图1.12.3～图1.12.5所示。

定时器A有以下4种模式，除了事件计数器模式以外，定时器A0～A4具有相同功能。能通过TAiMR寄存器（i=0～4）的TMOD1～TMOD0位选择模式。

- 定时器模式 对内部计数源进行计数的模式
- 事件计数器模式 对来自外部的脉冲、其它定时器的溢出或者其它定时器的下溢进行计数的模式
- 单次触发定时器模式 在计数值变为“0000₁₆”之前，只进行1次脉冲输出的模式
- 脉宽调制模式 连续输出任意宽度的脉冲的模式

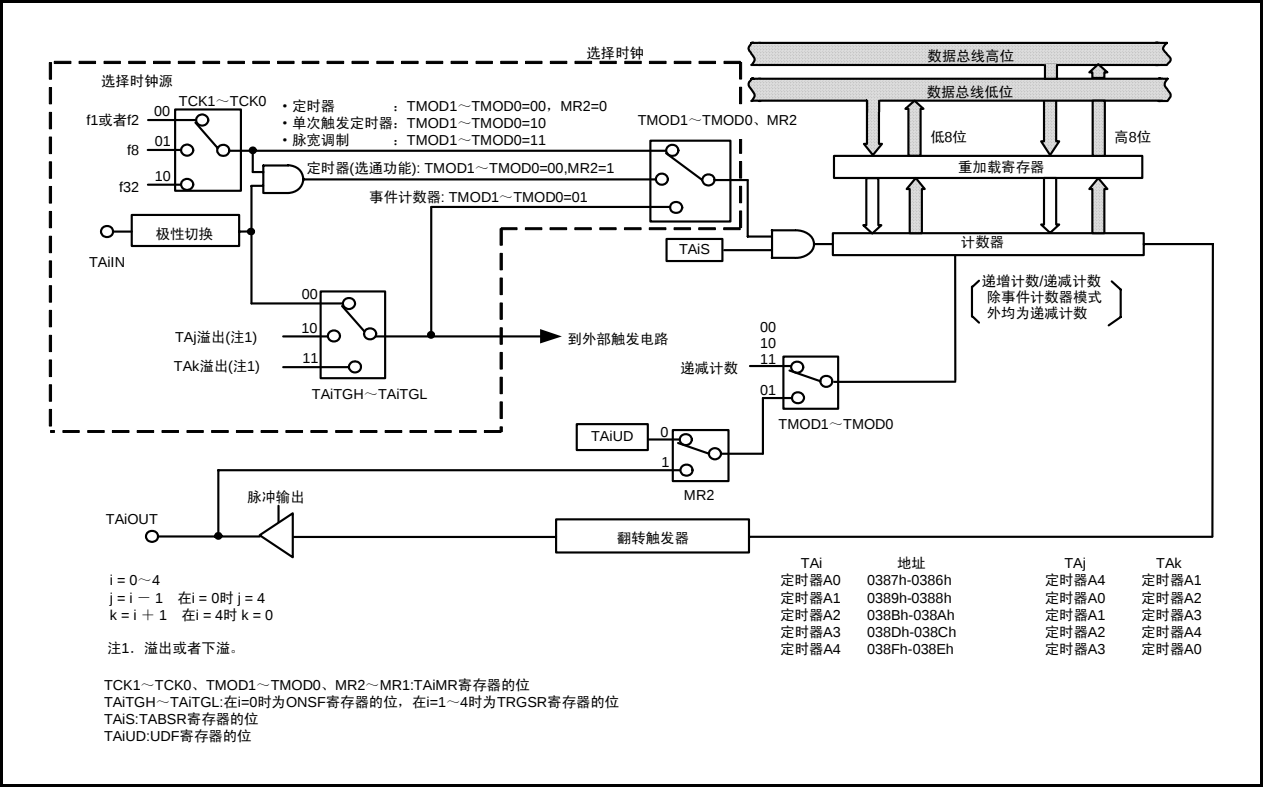


图 1.12.2. 定时器A的框图

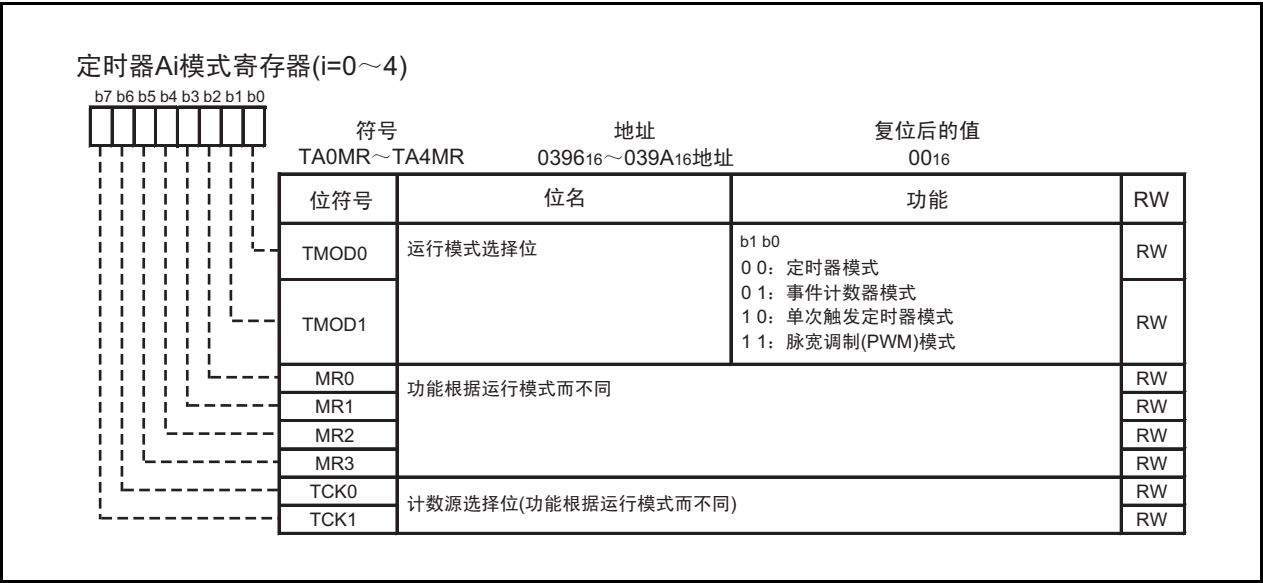


图 1.12.3. TA0MR ~ TA4MR 寄存器

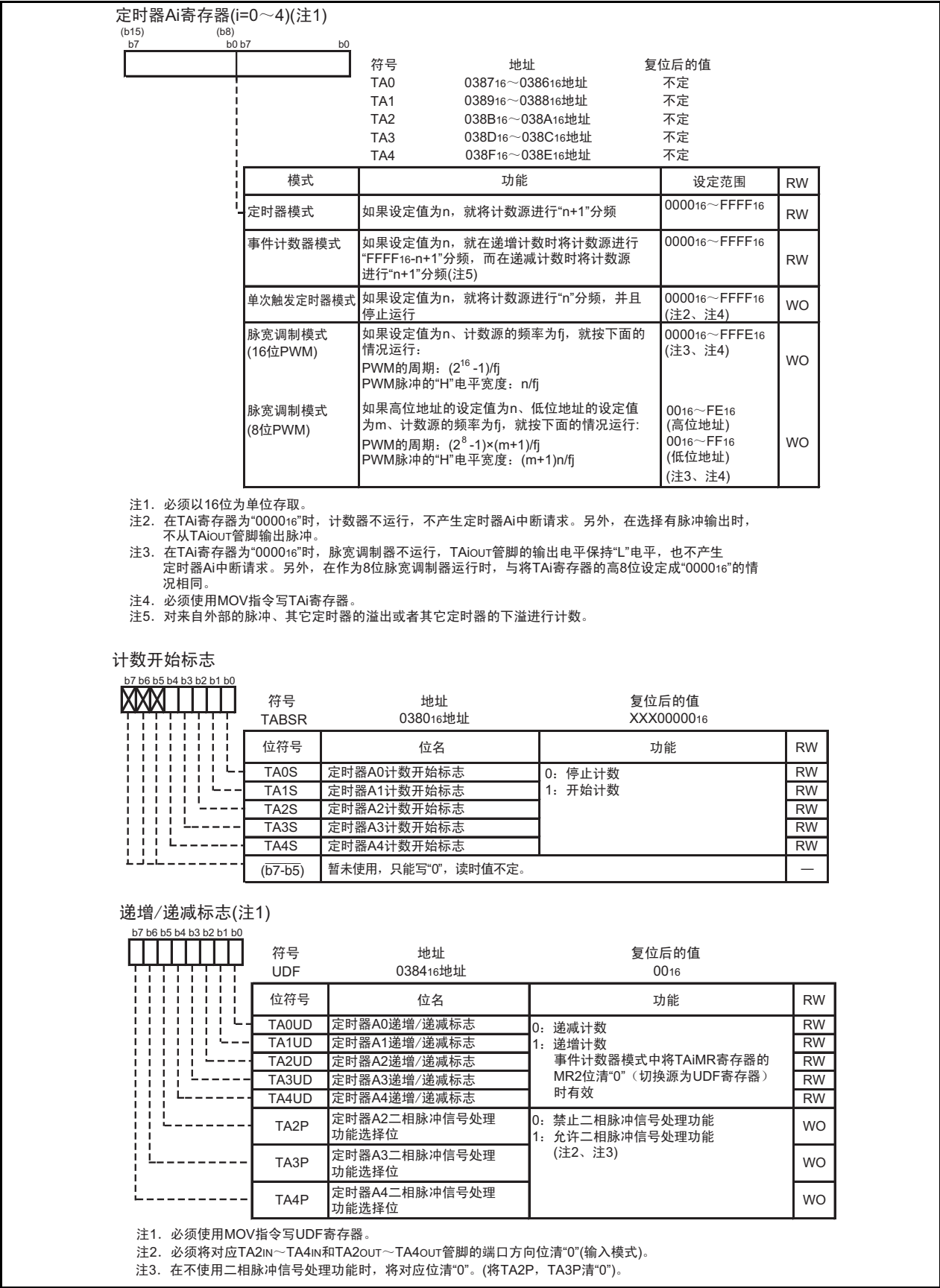


图1.12.4. TA0~TA4、TABSR和UDF寄存器



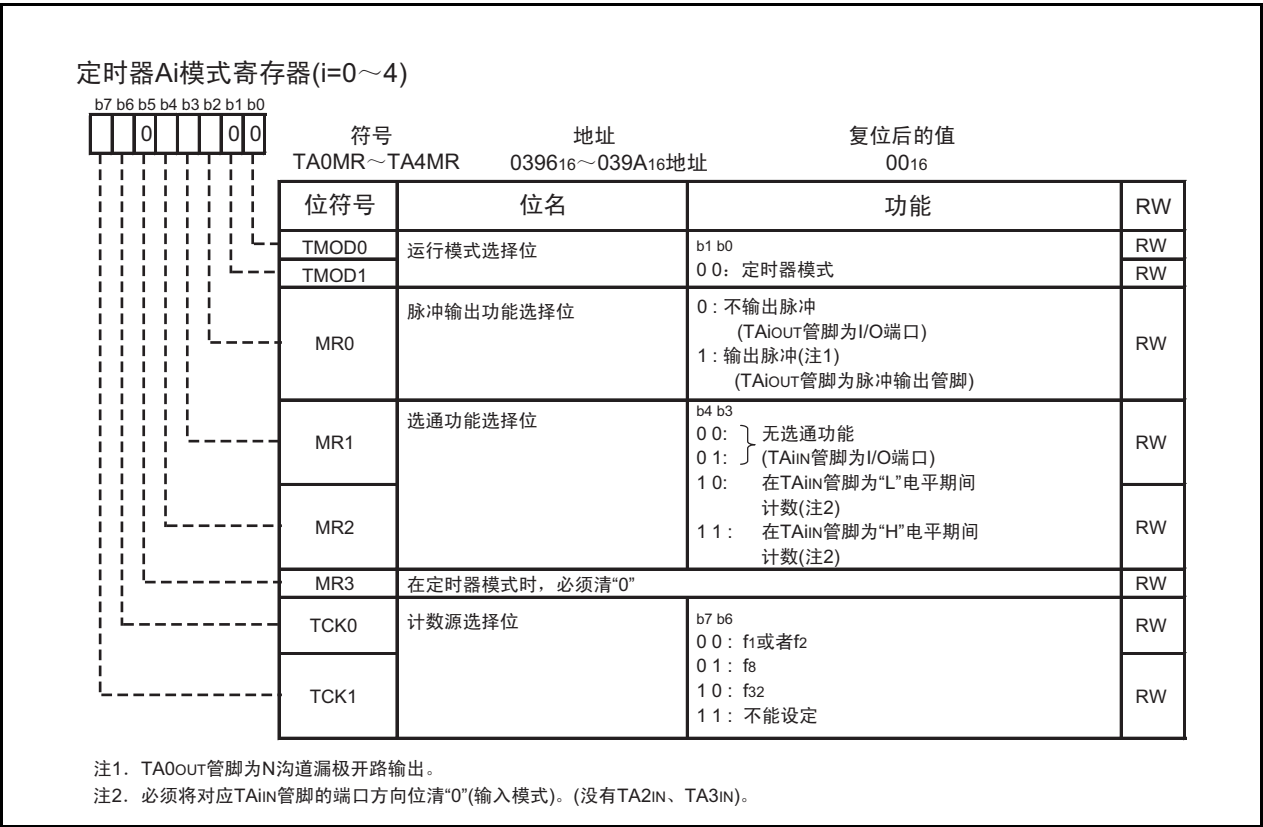
图 1.12.5 ONSF、TRGSR和CPSRF 寄存器

(1) 定时器模式

定时器模式是对在内部生成的计数源进行计数的模式（表 1.12.1）。定时器模式时的 TAI_iMR 寄存器如图 1.12.6 所示。

表 1.12.1. 定时器模式的规格

项 目	规 格
计数源	f ₁ 、f ₂ 、f ₈ 、f ₃₂
计数运行	●递减计数 ●下溢时，将重新加载寄存器的内容重新装入后继续计数
分频比	1/(n+1) n:TAiMR 寄存器（i=0~4）的设定值 0000 ₁₆ ~FFFF ₁₆
计数开始条件	将 TABSR 寄存器的 TAI _S 位置 “1”（计数开始）
计数停止条件	将 TAI _S 位清 “0”（计数停止）
中断请求产生时序	下溢时
TAi _{IN} 管脚功能	I/O 端口或者选通输入 没有 i=2,3
TAi _{OUT} 管脚功能	I/O 端口或者脉冲输出
定时器的读	如果读 TAI 寄存器，就能读取计数值
定时器的写	●在计数停止时，或计数开始后第一个计数源到来之前，如果写 TAI 寄存器，则会被同时写入重加载寄存器和计数器中 ●如果在计数过程中（但是在输入第 1 次计数源后）写 TAI 寄存器，数据就被写到重加载寄存器（在下次重新装入时传送）
选择功能	●选通功能 能通过 TAI _{IN} 管脚的输入信号选择计数开始或者计数停止 ●脉冲输出功能 每当下溢时，TAi _{OUT} 管脚的输出极性就反相。计数停止期间输出 “L” 电平



(2) 事件计数器模式

事件计数器模式是对外部信号、其它定时器的溢出或者其它定时器的下溢进行计数的模式。定时器 A2、A3、A4能对二相外部信号进行计数。事件计数器模式的规格（不使用二相脉冲信号处理功能时）如表1.12.2所示，事件计数器模式时的TAiMR寄存器（不使用二相脉冲信号处理功能时）如图1.12.7所示。

表1.12.2. 事件计数器模式的规格（不使用二相脉冲信号处理时）

项目	规格
计数源	●输入到TAiIN管脚（i=0～4）的外部信号（可通过程序选择有效沿） ●定时器Aj（j=i-1，在i=0时j=4）溢出或者下溢、定时器Ak(k=i+1，在i=4时k=0)溢出或者下溢
计数运行	●可通过外部信号或者程序选择递增计数或者递减计数 ●溢出或者下溢时，将重加载寄存器的内容重新装入后继续计数。选择自由运行功能时，不进行重新装入而是继续计数。
分频比	●递增计数时为1/(FFFF16－n+1) ●递减计数时为1/(n+1) n:TAi寄存器的设定值 000016～FFFF16
计数开始条件	将TABSR寄存器的TAIS位置“1”（计数开始）
计数停止条件	将TAIS位清“0”（计数停止）
中断请求产生时序	溢出或者下溢时
TAiIN管脚功能	I/O端口或者计数源输入没有i=2，3
TAiOUT管脚功能	I/O端口、脉冲输出或者递增计数/递减计数切换的输入
定时器的读	如果读TAi寄存器，就能读取计数值
定时器的写	●在计数停止时，或计数开始后第一个计数源到来之前，如果写TAi寄存器，则它会被同时写入重加载寄存器和计数器中。 ●如果在计数过程中（但是在输入第1次计数源后）写TAi寄存器，数据就被写到重加载寄存器（在下次重新装入时传送）
选择功能	●自由运行计数功能 即使产生溢出或者下溢，也不从重加载寄存器进行重新装入 ●脉冲输出功能 每当溢出或者下溢时，TAiOUT管脚的输出极性就反相。计数停止期间输出“L”电平

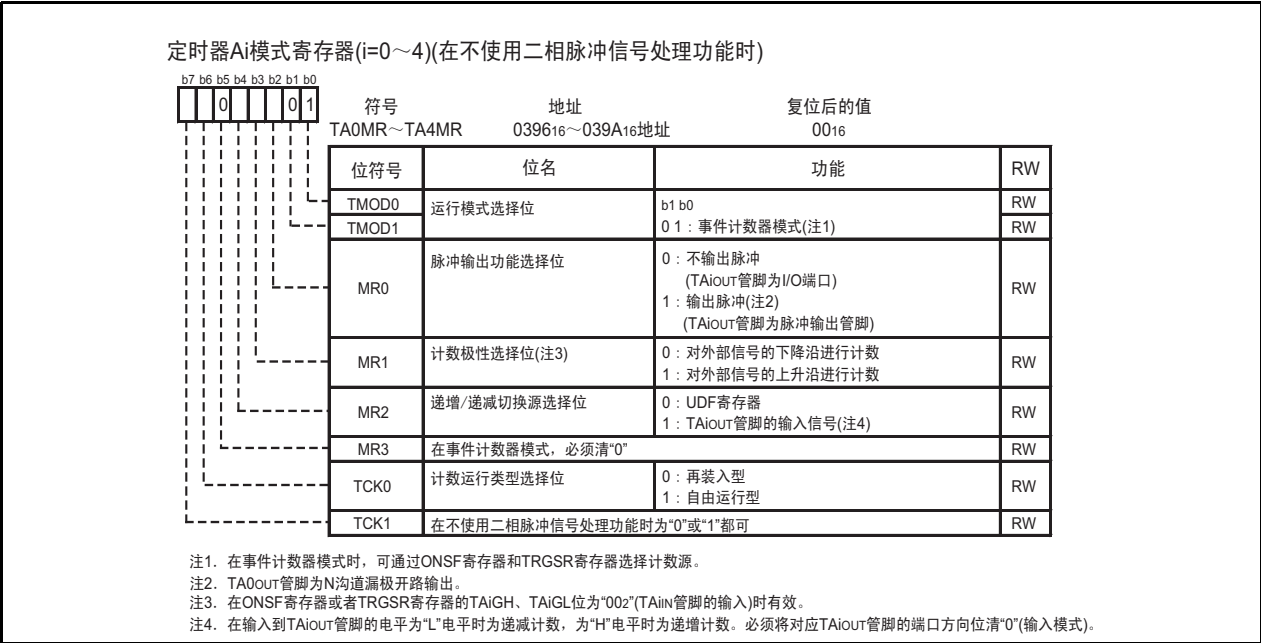
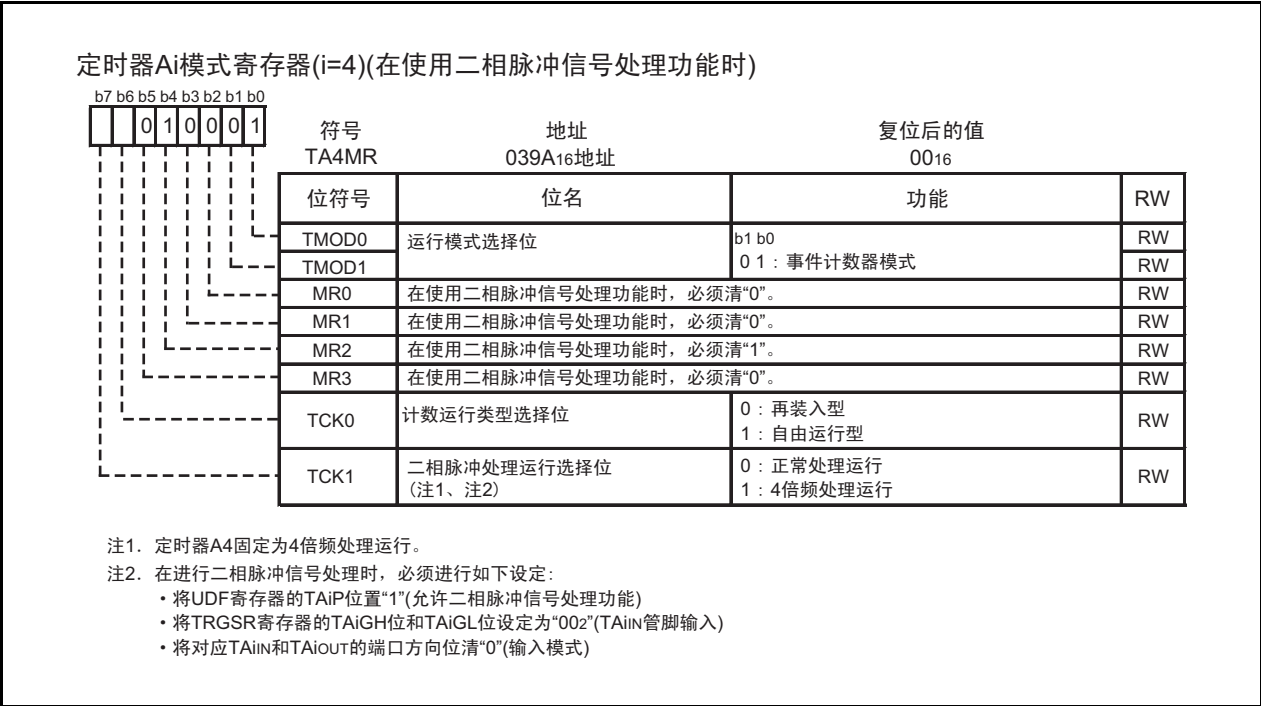


图1.12.7. 事件计数器模式时的TAiMR寄存器（不使用二相脉冲信号处理功能时）

事件计数器模式的规格（在定时器 A4 中使用二相脉冲信号处理功能时）如表 1.12.3 所示，事件计数器模式时的 TA4MR 寄存器（在定时器 A4 中使用二相脉冲信号处理功能时）如图 1.12.8 所示。

表 1.12.3. 事件计数器模式的规格（在定时器 A4 中使用二相脉冲信号处理功能时）

项 目	规 格
计数源	●输入到 TAI _i IN、TAI _i OUT 管脚（i = 4）的二相脉冲信号
计数运行	●可通过二相脉冲信号切换递增计数或者递减计数 ●溢出或者下溢时，将重加载寄存器的内容重新装入后继续计数。选择自由运行功能时，不进行重新装入而是继续计数。
分频比	●递增计数时，为 $1/(FFFF_{16} - n + 1)$ ●递减计数时，为 $1/(n + 1)$ n:TA_i寄存器的设定值为 $0000_{16} \sim FFFF_{16}$
计数开始条件	将 TABSR 寄存器的 TAI _S 位置 “1”（计数开始）
计数停止条件	将 TAI _S 位清 “0”（计数停止）
中断请求产生时序	溢出或者下溢时
TAI _i IN 管脚功能	二相脉冲输入
TAI _i OUT 管脚功能	二相脉冲输入
定时器的读	如果读定时器 A4 寄存器，就能读取计数值
定时器的写	●在计数停止时，或计数开始后第一个计数源到来之前，如果写 TAI 寄存器，则它会被同时写入重加载寄存器和计数器中。 ●如果在计数过程中（但是在输入第 1 次计数源后）写 TAI 寄存器，数据就被写到重加载寄存器（在下次重新装入时传送）
选择功能	●4 倍频处理运行（定时器 A4） 在 TAK_{OUT} 管脚（k=4）的输入信号为 “H” 电平期间，如果与 TAK_{IN} 管脚的上升沿存在相位关系，就对 TAK_{OUT} 管脚和 TAK_{IN} 管脚的上升沿和下降沿进行递增计数。在 TAK_{OUT} 管脚的输入信号为 “H” 电平期间，如果与 TAK_{IN} 管脚的下降沿存在相位关系，就对 TAK_{OUT} 管脚和 TAK_{IN} 管脚的上升沿和下降沿进行递减计数。 TAK_{OUT} 对所有边沿进行递增计数 对所有边沿进行递减计数 TAK_{IN} (k=4) 对所有边沿进行递增计数 对所有边沿进行递减计数



（3）单次触发定时器模式

单次触发定时器模式是指对1次触发只运行1次定时器的模式（表1.12.4）。在从产生触发后的任意期间运行定时器。单次触发定时器模式时的TAiMR寄存器如图1.12.9所示。

表1.12.4. 单次触发定时器模式的规格

项 目	规 格
计数源	f1、f2、f8、f32
计数运行	●递减计数 ●在计数值变为“0000 ₁₆ ”时序时进行重新装入，然后停止计数 ●如果在计数中产生触发，就进行重新装入，然后继续计数
分频比	1/n n:TAi寄存器（i=0~4）的设定值 0000 ₁₆ ~FFFF ₁₆ 但是，如果设定为“0000 ₁₆ ”，计数器就不运行。
计数开始条件	TABSR寄存器的TAiS位为“1”（计数开始）并且产生以下的触发： ●从TAiIn管脚输入外部触发 ●定时器Aj（j=i-1，在i=0时j=4）溢出或者下溢、定时器Ak（k=i+1，在i=4时k=0）溢出或者下溢 ●将ONSF寄存器的TAiOS位置“1”（定时器开始运行）
计数停止条件	●计数值变为“0000 ₁₆ ”并进行重新装入后 ●将TAiS位清“0”（计数停止）
中断请求产生时序	在计数值变为“0000 ₁₆ ”的时序
TAiIn管脚功能	I/O端口或者触发输入
TAiOUT管脚功能	I/O端口或者脉冲输出
定时器的读	如果读TAi寄存器，读取的值不确定。
定时器的写	●在计数停止时，或计数开始后第一个计数源到来之前，如果写TAi寄存器，则它会被同时写入重加载寄存器和计数器中。 ●如果在计数过程中（但是在输入第1次计数源后）写TAi寄存器，数据就被写到重加载寄存器（在下次重新装入时传送）
选择功能	●脉冲输出功能 在计数停止时输出“L”电平，在计数时输出“H”电平



（4）脉宽调制模式（PWM模式）

脉宽调制模式是连续输出任意宽度脉冲的模式（表 1.14.5）。在此模式中，计数器作为 16 位或 8 位脉宽调制器运行。脉宽调制模式时的TAiMR寄存器如图 1.12.10 所示，16 位脉宽调制器的运行例如图 1.12.11 所示，8 位脉宽调制器的运行例如图 1.12.12 所示。

表 1.12.5. 脉宽调制模式的规格

项 目	规 格
计数源	f1、f2、f8、f32
计数运行	● 递减计数（作为 8 位或者 16 位脉宽调制器运行） ● 在 PWM 脉冲的上升沿处重新装入并继续计数 ● 如果在计数过程中产生触发，不影响计数
16 位 PWM	● “H”电平宽度 n/f_j n: TAI寄存器的设定值(i=0~4) ● 周期 $(2^{16}-1)/f_j$ 固定 fj: 计数源的频率(f1、f2、f8、f32)
8 位 PWM	● “H”电平宽度 $n \times (m+1)/f_j$ n: TAI寄存器的高位地址设定值 ● 周期 $(2^8-1) \times (m+1)/f_j$ m: TAI寄存器的低位地址设定值
计数开始条件	● 将 TABSR 寄存器的 TAI_S 位置 “1”（计数开始） ● TAI_S 位为 “1” 并且外部触发由 TAI_{IN} 管脚输入 ● TAI_S 位为 “1” 并且产生以下的触发： 定时器 A_j(j=i-1, 在 i=0 时 j=4) 溢出或者下溢、定时器 A_k(k=i+1, 在 i=4 时 k=0) 溢出或者下溢
计数停止条件	● 将 TAI _S 位清 “0”（计数停止）
中断请求产生时序	在 PWM 脉冲下降沿处
TAI _{IN} 管脚功能	I/O 端口或者触发输入
TAI _{OUT} 管脚功能	脉冲输出
定时器的读	如果读 TAI 寄存器，读取的值不确定
定时器的写	● 在计数停止时，或计数开始后第一个计数源到来之前， 如果写 TAI 寄存器，则它会被同时写入重加载寄存器和计数器中。 ● 如果在计数过程中（但是在输入第一个计数源后） 如果写 TAI 寄存器，数据就被写到重加载寄存器（在下次重新装入时传送）

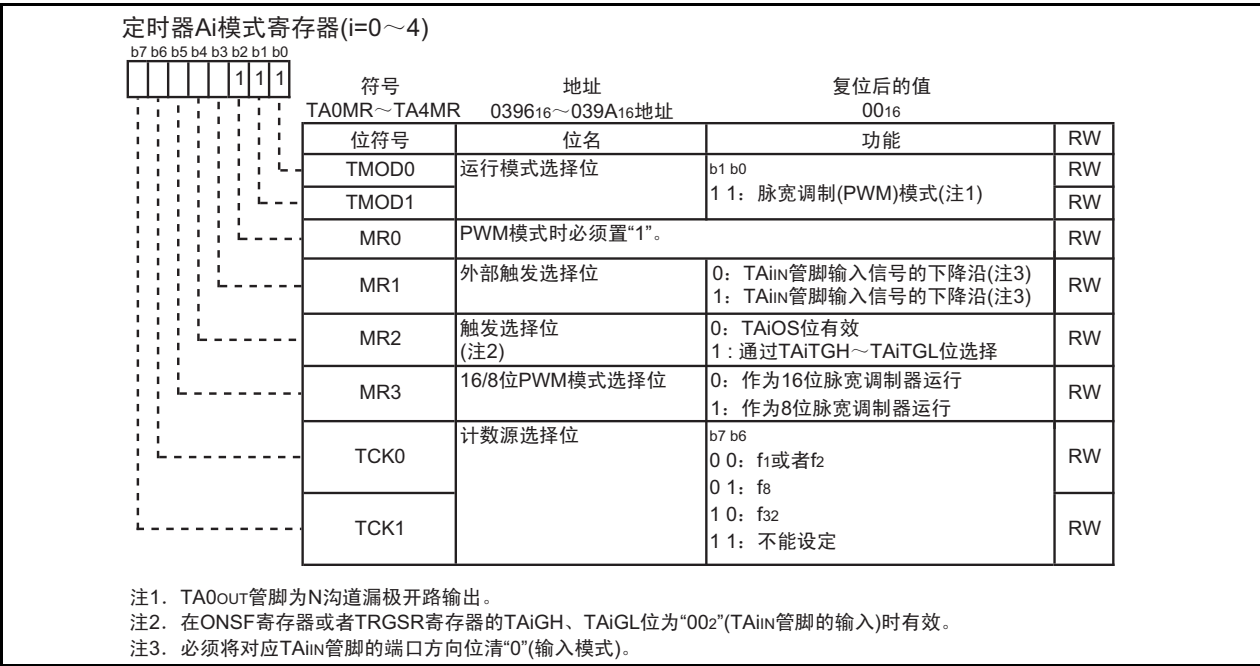


图 1.12.10. 脉宽调制模式时的TAiMR 寄存器

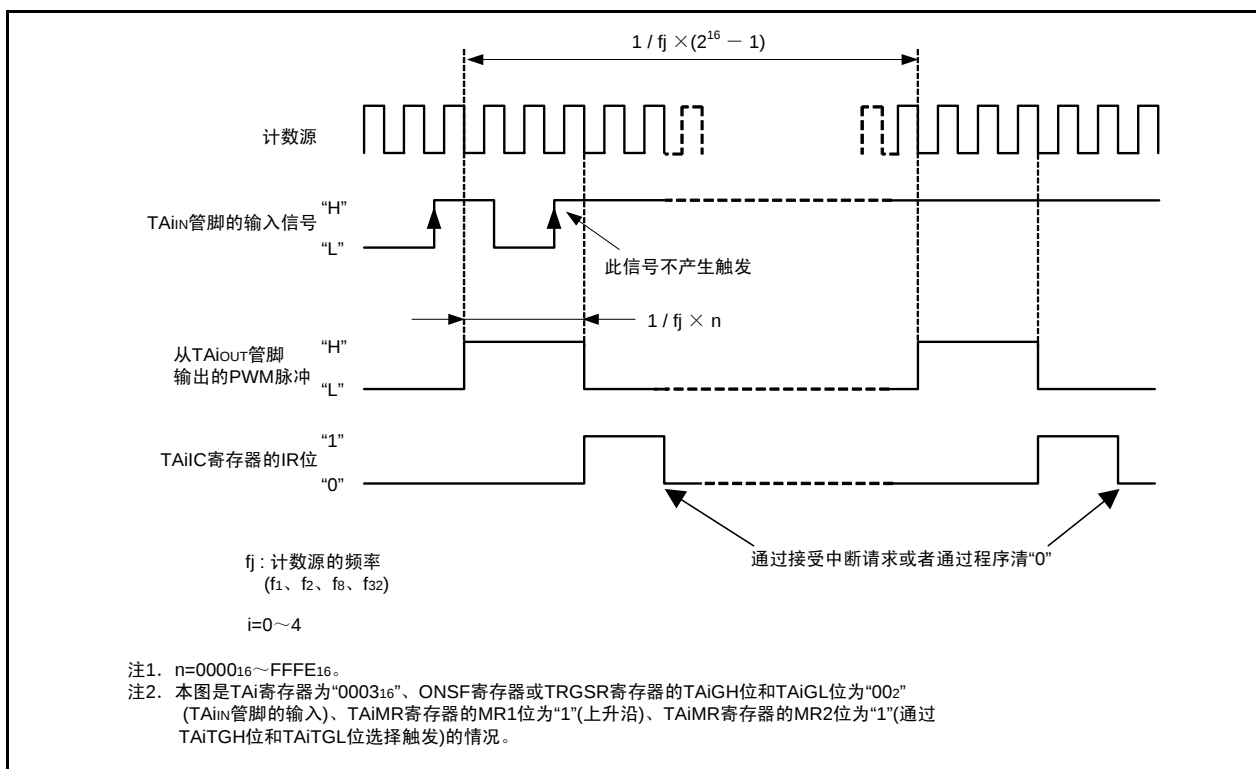


图 1.12.11. 16位脉宽调制器的运行例

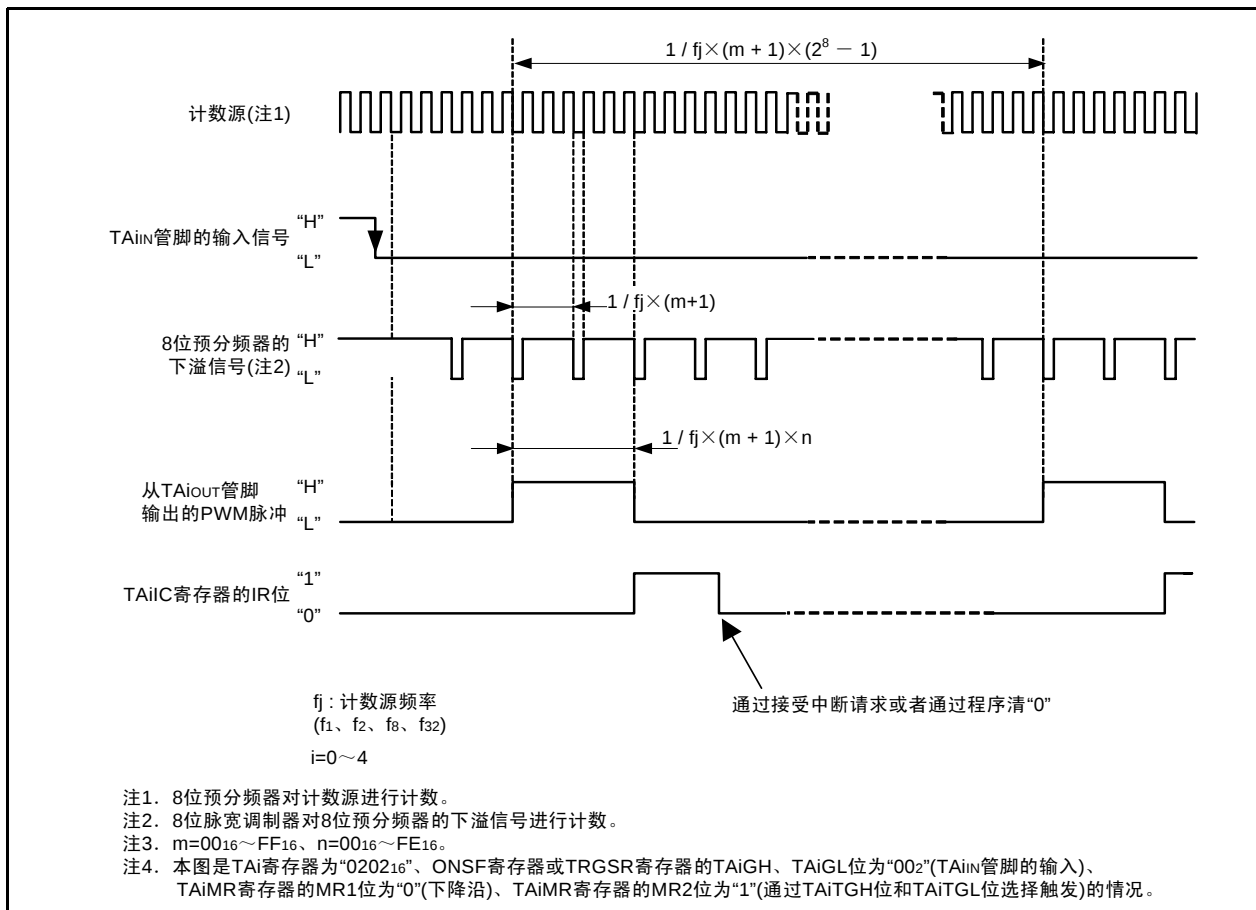


图 1.12.12. 8位脉宽调制器的运行例

串行 I/O

串行 I/O 由 UART0～UART2、SI/O3、SI/O4 的 5 个通道构成。
以下分别进行说明。

UARTi (i=0～2)

UARTi 分别具有专用的传送时钟发生定时器，并独立运行。

UARTi 框图如图 1.13.1 所示、UARTi 发送/接收框图如图 1.13.2 所示。

UARTi 有以下模式：

- 时钟同步串行 I/O 模式
- 时钟异步串行 I/O 模式 (UART 模式)
- 特殊模式 1 (I²C 模式)
- 特殊模式 2

UARTi 相关的寄存器如图 1.13.3～图 1.13.8 所示。

有关寄存器的设定，请参照各模式说明中的列表。

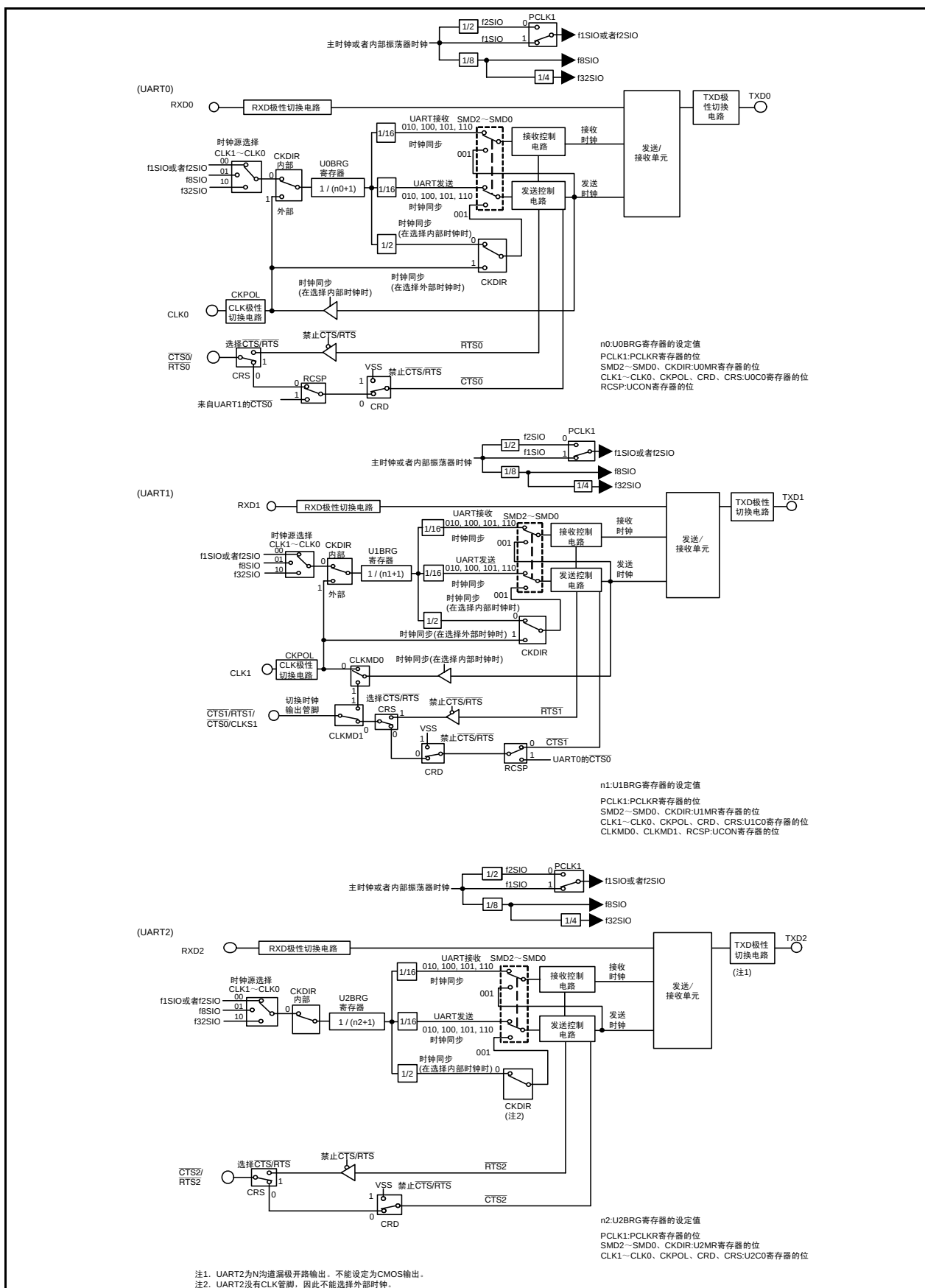


图 1.13.1. UARTi框图

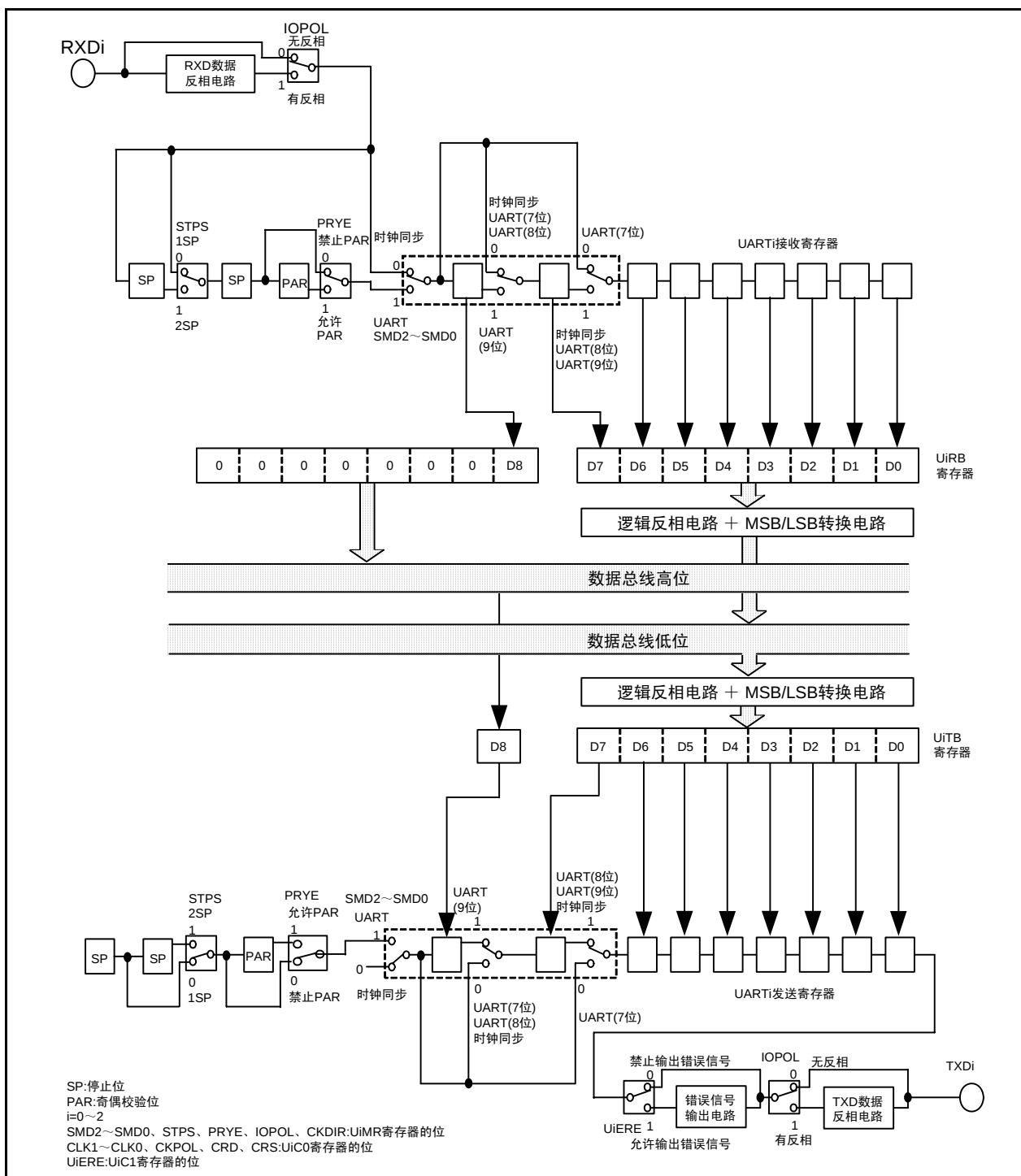
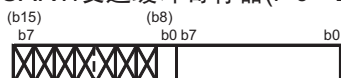


图 1.13.2. UARTi 发送/接收部分的框图

UARTi 发送缓冲寄存器(i=0~2)(注1)

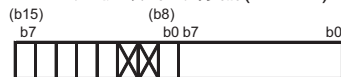


符号	地址	复位后的值
U0TB	03A3 ₁₆ ~03A2 ₁₆ 地址	不定
U1TB	03AB ₁₆ ~03AA ₁₆ 地址	不定
U2TB	037B ₁₆ ~037A ₁₆ 地址	不定

	RW
发送数据	WO
暂未使用。只能写“0”，读时值不定。	—

注1. 必须使用MOV指令写此寄存器。

UARTi 接收缓冲寄存器(i=0~2)



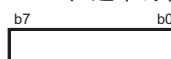
符号	地址	复位后的值
U0RB	03A7 ₁₆ ~03A6 ₁₆ 地址	不定
U1RB	03AF ₁₆ ~03AE ₁₆ 地址	不定
U2RB	037F ₁₆ ~037E ₁₆ 地址	不定

位符号	位名	功能	RW
(b7~b0)	—	接收数据(D7~D0)	RO
(b8)	—	接收数据(D8)	RO
(b10~b9)	—	暂未使用。只能写“0”，读时值为“0”。	—
ABT	仲裁失利检测标志(注2)	0:未检测(胜) 1:检测(负)	RW
OER	溢出错误标志(注1)	0:无溢出错误 1:产生溢出错误	RO
FER	帧错误标志(注1)	0:无帧错误 1:产生帧错误	RO
PER	奇偶校验错误标志(注1)	0:无奇偶校验错误 1:产生奇偶校验错误	RO
SUM	错误和标志(注1)	0:无错误 1:产生错误	RO

注1. 在将UiMR寄存器的SMD2~SMD0位设定为“000₂”(串行I/O无效)时，或者在将UiC1寄存器的RE位清“0”(禁止接收)时，SUM、PER、FER和OER位全变为“0”(无错误)。如果PER、FER和OER位全为“0”(无错误)，SUM位就变为“0”(无错误)。另外，在读取UiRB寄存器的低位字节后，PER和FER位变为“0”。

注2. 如果通过程序对ABT位写“0”，ABT位就变为“0”(即使写“1”也不变化)。

UARTi 位速率寄存器(i=0~2)(注1、注2)



符号	地址	复位后的值
U0BRG	03A1 ₁₆ 地址	不定
U1BRG	03A9 ₁₆ 地址	不定
U2BRG	0379 ₁₆ 地址	不定

功能	设定范围	RW
如果设定值为n，UiBRG就将计数源进行“n+1”分频	00 ₁₆ ~FF ₁₆	WO

注1. 必须在发送/接收停止时写。

注2. 必须使用MOV指令写此寄存器。

图 1.13.3 U0TB~U2TB、U0RB~U2RB、U0BRG~U2BRG 寄存器

UARTi发送/接收模式寄存器(i=0~2)

符号	地址	复位后的值
U0MR~U2MR	03A0 ₁₆ 、03A8 ₁₆ 、0378 ₁₆ 地址	00 ₁₆
位符号	位名	功能
SMD0	串行I/O模式选择位(注2)	b2 b1 b0 0 0 0: 串行I/O无效 0 0 1: 时钟同步串行I/O模式 0 1 0: I ² C模式(注3) 1 0 0: UART模式, 传送数据长度为7位 1 0 1: UART模式, 传送数据长度为8位 1 1 0: UART模式, 传送数据长度为9位 上述以外: 不能设定
SMD1		
SMD2		
CKDIR	内部/外部时钟选择位	0: 内部时钟 1: 外部时钟(注1)(注4)
STPS	停止位长度选择位	0: 1个停止位 1: 2个停止位
PRY	奇偶校验的奇/偶选择位	在PRYE=1时有效 0: 奇校验 1: 偶校验
PRYE	奇偶校验允许位	0: 禁止奇偶校验 1: 允许奇偶校验
IOPOL	TxD、RxD输入/输出极性切换位	0: 无反向 1: 有反向

注1. 必须将对应CLKi管脚的端口方向位清“0”(输入模式)。

注2. 在接收时, 必须将对应RxDi管脚的端口方向位清“0”(输入模式)。

注3. 必须将对应SDA、SCL管脚的端口方向位清“0”(输入模式)。

注4. 必须将UART2选择为内部时钟。

UARTi发送/接收控制寄存器0(i=0~2)

符号	地址	复位后的值
U0C0~U2C0	03A4 ₁₆ 、03AC ₁₆ 、037C ₁₆ 地址	00001000 ₂
位符号	位名	功能
CLK0	BRG计数源选择位	b1 b0 0 0: 选择f _{1SIO} 或者 f _{2SIO} 0 1: 选择f _{8SIO} 1 0: 选择f _{32SIO} 1 1: 不能设定
CLK1		
CRS	CTS/RTS功能选择位(注4)	在CRD=0时有效 0: 选择CTS功能(注1) 1: 选择RTS功能
TXEPT	发送寄存器空标志	0: 发送寄存器中有数据(发送中) 1: 发送寄存器中无数据(发送结束)
CRD	CTS/RTS禁止位	0: 允许CTS/RTS功能 1: 禁止CTS/RTS功能 (P60、P64、P73可作为I/O端口使用)
NCH	数据输出选择位(注2)	0: TxDi/SDAi、SCLi管脚为CMOS输出 1: TxDi/SDAi、SCLi管脚为N沟道漏极开路输出
CKPOL	CLK极性选择位	0: 在传送时钟的下降沿输出发送数据, 在上升沿输入接收数据 1: 在传送时钟的上升沿输出发送数据, 在下降沿输入接收数据
UFORM	传送格式选择位(注3)	0: LSB先发送 1: MSB先发送

注1. 必须将对应CTS_i管脚的端口方向位清“0”(输入模式)。

注2. TxD₂/SDA₂为N沟道漏极开路输出。不能设定CMOS输出。U2C0寄存器的NCH位在SCL₂管脚的输出设定中有效。

注3. 时钟同步串行I/O模式、UART模式传送数据长度为8位时有效。

注4. 在UCON寄存器的CLKMD1位为“0”(CLK输出仅为CLK₁)并且UCON寄存器的RCSP位为“0”(CTS₀/RTS₀不独立)时, 能使用CTS₁/RTS₁。

图 1.13.4. U0MR~U2MR、U0C0~U2C0 寄存器

UARTi 发送/接收控制寄存器1(i=0、1)

b7b6b5b4b3b2b1b0 符号 U0C1、U1C1 地址 03A5₁₆、03AD₁₆地址 复位后的值 00000010₂			
位符号	位名	功能	RW
TE	发送允许位	0：禁止发送 1：允许发送	RW
TI	发送缓冲器空标志	0：UiTB寄存器中有数据 1：UiTB寄存器中无数据	RO
RE	接收允许位	0：禁止接收 1：允许接收	RW
RI	接收结束标志	0：UiRB寄存器中无数据 1：UiRB寄存器中有数据	RO
(b5—b4)	暂未使用。只能写“0”，读时值为“0”。		—
UiLCH	数据逻辑选择位(注1)	0：无反相 1：有反相	RW
UiERE	错误信号输出允许位	0：不输出 1：输出	RW

注1. 在UiMR寄存器的SMD2~SMD0位为“001b”(时钟同步串行I/O模式)、“100b”(UART模式, 传送数据长度为7位)或者“101b”(UART模式, 传送数据长度为8位)时有效。

必须在SMD2~SMD0位为“010b”(I²C模式)或者为“110b”(UART模式, 传送数据长度为9位)时清“0”。

UART2 发送/接收控制寄存器1

b7b6b5b4b3b2b1b0								符号 U2C1	地址 037D ₁₆ 地址	复位后的值 00000010 ₂
位符号		位名	功能	RW						
TE		发送允许位	0: 禁止发送 1: 允许发送	RW						
TI		发送缓冲器空标志	0: U2TB寄存器中有数据 1: U2TB寄存器中无数据	RO						
RE		接收允许位	0: 禁止接收 1: 允许接收	RW						
RI		接收结束标志	0: U2RB寄存器中无数据 1: U2RB寄存器中有数据	RO						
U2IRS		UART2发送中断源选择位	0: 发送缓冲器空(TI=1) 1: 发送结束(TXEPT=1)	RW						
U2RRM		UART2连续接收模式允许位	0: 禁止连续接收模式 1: 允许连续接收模式	RW						
U2LCH		数据逻辑选择位	0: 无反向 1: 有反向	RW						
U2ERE		错误信号输出允许位	0: 不输出 1: 输出	RW						

注1. 在U2MR寄存器的SMD2~SMD0位为“001b”(时钟同步串行I/O模式)、“100b”(UART模式, 传送数据长度为7位)或者“101b”(UART模式, 传送数据长度为8位)时有效。

必须在SMD2~SMD0位为“010b”(I²C模式)或者为“110b”(UART模式, 传送数据长度为9位)时清“0”。

图 1.13.5. U0C1 ~ U2C1 寄存器

UART发送/接收控制寄存器2

b7 b6 b5 b4 b3 b2 b1 b0 符号 UCON 地址 03B0₁₆地址 复位后的值 X0000000₂							
位符号	位名	功能	RW				
U0IRS	UART0发送中断源选择位	0: 发送缓冲器空(TI=1) 1: 发送结束(TXEPT=1)	RW				
U1IRS	UART1发送中断源选择位	0: 发送缓冲器空(TI=1) 1: 发送结束(TXEPT=1)	RW				
U0RRM	UART0连续接收模式允许位	0: 禁止连续接收模式 1: 允许连续接收模式	RW				
U1RRM	UART1连续接收模式允许位	0: 禁止连续接收模式 1: 允许连续接收模式	RW				
CLKMD0	UART1的CLK、CLKS 选择位0	在CLKMD1=1时有效 0: 从CLK1输出时钟 1: 从CLKS1输出时钟	RW				
CLKMD1	UART1的CLK、CLKS 选择位1(注1)	0: CLK输出仅为CLK1 1: 选择传送时钟多管脚输出功能	RW				
RCSP	UART0 CTS/RTS独立位	0: CTS/RTS共通管脚 1: CTS/RTS独立(从P64管脚输入CTS ₀)	RW				
(b7)	暂未使用。只能写“0”，读时值不定。		—				

注1. 在使用多个传送时钟输出管脚时，必须满足以下条件：
U1MR寄存器的CKDIR位=0(内部时钟)

UARTi特殊模式寄存器(i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0 X 0 0 0 0								符号	地址	复位后的值	
								U0SMR~U2SMR	036F ₁₆ 、0373 ₁₆ 、0377 ₁₆ 地址	X0000000 ₂	
								位符号	位名	功能	RW
								IICM	I ² C模式选择位	0：I ² C模式以外 1：I ² C模式	RW
								ABC	仲裁失利检测标志控制位	0：按位更新 1：按字节更新	RW
								BBS	总线忙标志	0：停止条件检测 1：开始条件检测(忙)	RW (注1)
								(b3-b6)	保留位	清“0”	RW
								(b7)	暂未使用。只能写“0”，读时值不定。		—

注1. 通过程序对BBS位写“0”，就为“0”(即使写“1”也不变)。

图1.13.6. UCON、U0SMR~U2SMR寄存器

UARTi 特殊模式寄存器2 (i=0~2)

--	--	--	--	--	--	--	--

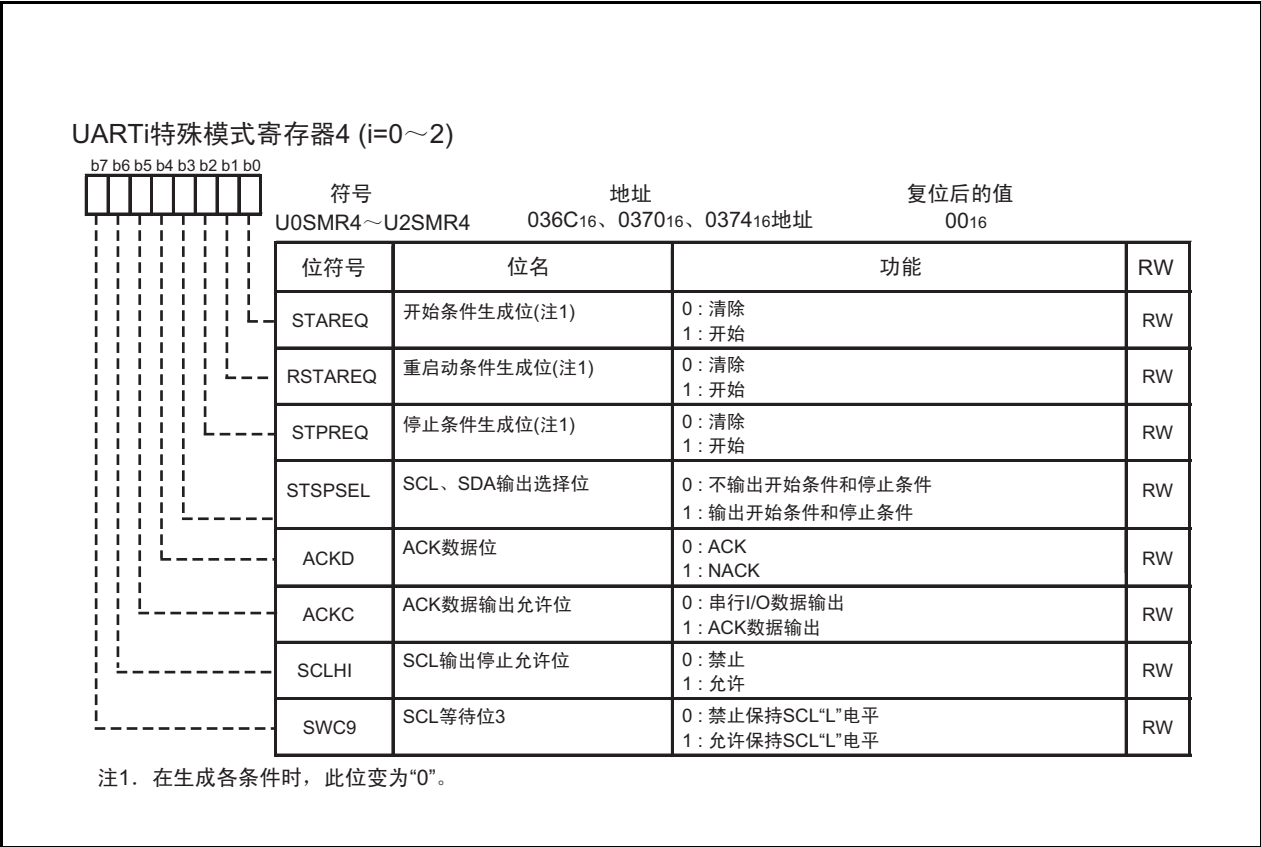
UARTi 特殊模式寄存器3 (i=0~2)

b7 b6 b5 b4 b3 b2 b1 b0符号地址复位后的值 b7b6b5b4b3b2b1b0 ×××××××× U0SMR3~U2SMR3036D₁₆、0371₁₆、0375₁₆地址000X0X0X₂							
位符号	位名	功能				RW	
(b0)	暂未使用。只能写“0”，读时值不定。					—	
CKPH	时钟相位设定位	0：无时钟延迟 1：有时钟延迟				RW	
(b2)	暂未使用。只能写“0”，读时值不定。					—	
NODC	时钟输出选择位	0：CLKi为CMOS输出 1：CLKi为N沟道漏极开路输出				RW	
(b4)	暂未使用。只能写“0”，读时值不定。					—	
DL0	SDAi数字延迟值设定位 (注1、注2)	b7 b6 b5 0 0 0：无延迟 0 0 1：UiBRG计数源的1~2周期 0 1 0：UiBRG计数源的2~3周期 0 1 1：UiBRG计数源的3~4周期 1 0 0：UiBRG计数源的4~5周期 1 0 1：UiBRG计数源的5~6周期 1 1 0：UiBRG计数源的6~7周期 1 1 1：UiBRG计数源的7~8周期				RW	
DL1						RW	
DL2						RW	

注1. DL2~DL0位在I²C模式时，使SDAi输出产生数字延迟；在I²C模式以外的模式时，必须设定为“000₂”(无延迟)。

注2. 延迟量根据SCLi管脚和SDAi管脚的负载而变化。另外，在使用外部时钟时，延迟增大100ns左右。

图 1.13.7. U0SMR2~U2SMR2、U0SMR3~U2SMR3 寄存器



时钟同步串行 I/O 模式

时钟同步串行 I/O 模式是使用传送时钟进行发送和接收的模式。时钟同步串行 I/O 模式的规格如表 1.14.1 所示，时钟同步串行 I/O 模式中使用的寄存器和设定值如表 1.14.2 所示。因为 UART2 没有时钟管脚，所以不适合在时钟同步串行 I/O 模式中使用。

表 1.14.1 时钟同步串行 I/O 模式的规格

项目	规格
传送数据格式	● 传送数据长度 8 位
传送时钟	● UiMR 寄存器 (i=0~1) 的 CKDIR 位为 “0” (内部时钟) :fj/2 (n+1) fj=f1SIO、f2SIO、f8SIO、f32SIO n=UiBRG 寄存器的设定值 0016~FF16 ● CKDIR 位为 “1” (外部时钟) :CLKi 管脚的输入
发送控制、接收控制	可选择 CTS 功能、RTS 功能、禁止 CTS/RTS 功能
发送开始条件	● 开始发送时需要以下条件 (注1) : • UiC1 寄存器的 TE 位为 “1” (允许发送) • UiC1 寄存器的 TI 位为 “0” (UiTB 寄存器中有数据) • 选择 CTS 功能时, CTSi 管脚的输入为 “L” 电平
接收开始条件	● 开始接收时需要以下条件 (注1) : • UiC1 寄存器的 RE 位为 “1” (允许接收) • UiC1 寄存器的 TE 位为 “1” (允许发送) • UiC1 寄存器的 TI 位为 “0” (UiTB 寄存器中有数据)
中断请求产生时序	● 发送时, 可选择以下的任意条件: • UiIRS 位 (注3) 为 “0” (发送缓冲器空) : 在从 UiTB 寄存器向 UARTi 发送寄存器传送数据时 (发送开始时) • UiIRS 位为 “1” (发送结束) : 在从 UARTi 发送寄存器数据发送结束时 ● 接收时 • 在从 UARTi 接收寄存器向 UiRB 寄存器传送数据时 (接收结束时)
错误检测	● 溢出错误 (注2) 如果在读取 UiRB 寄存器前开始接收下一个数据并且接收下一个数据的第 7 位, 就产生溢出错误
选择功能	● CLK 极性选择 可选择传送时钟的上升沿或者下降沿作为传送数据的输出和输入时序 ● 选择 LSB 先发送或 MSB 先发送 可选择是从 bit0 还是从 bit7 开始发送和接收 ● 连续接收模式选择 通过读取 UiRB 寄存器, 同时变为允许接收状态 ● 串行数据的逻辑切换 将发送和接收数据的逻辑反相的功能 ● 传送时钟多管脚的输出选择 (UART1) 可将 UART1 的传送时钟管脚设定为 2 个, 并且可通过程序选择输出管脚 ● CTS/RTS 独立功能 (UART0) 从其它管脚输入/输出 CTS0 和 RTS0

注1. 在选择外部时钟时, 必须满足以下条件:UiC0 寄存器的 CKPOL 位为 “0” (在传送时钟的下降沿输出发送数据, 在上升沿输入接收数据) 时, 外部时钟为 “H” 电平状态; CKPOL 位为 “1” (在传送时钟的上升沿输出发送数据, 在下降沿输入接收数据) 时, 外部时钟为 “L” 电平状态。

注2. 如果产生溢出错误, UiRB 寄存器的内容不确定。另外, SiRIC 寄存器的 IR 位不变。

注3. U0IRS、U1IRS 位为 UCON 寄存器的 bit0、bit1。

表 1.14.2. 时钟同步串行 I/O 模式中使用的寄存器和设定值

寄存器	位	功能
UiTB (注3)	0~7	设定发送数据
UiTB (注3)	0~7	能读取接收数据
	OER	溢出错误标志
UiBRG	0~7	设定传送速度
UiMR (注3)	SMD2~SMD0	置“001 ₂ ”
	CKDIR	选择内部时钟或者外部时钟
	IOPOL	清“0”
UIC0	CLK1~CLK0	选择 UiBRG 寄存器的计数源
	CRS	在使用 CTS 或者 RTS 时, 选择其中一个
	TXEPT	发送寄存器空标志
	CRD	选择 CTS 或者 RTS 功能的允许或者禁止
	NCH	选择 TxDi 管脚的输出形式 (注2)
	CKPOL	选择传送时钟的极性
	UFORM	选择 LSB 先发送或 MSB 先发送
UIC1	TE	在允许发送和接收时, 置“1”
	TI	发送缓冲空标志
	RE	在允许接收时, 置“1”
	RI	接收结束标志
	U2IRS (注1)	选择 UART2 发送中断源
	U2RRM (注1)	在使用连续接收模式时, 置“1”
	UiLCH	在使用数据逻辑反相时, 置“1”
	UiERE	清“0”
UiSMR	0~7	清“0”
UiSMR2	0~7	清“0”
UiSMR3	0~2	清“0”
	NODC	选择时钟输出形式
	4~7	清“0”
UiSMR4	0~7	清“0”
UCON	U0IRS、U1IRS	选择 UART0、UART1 发送中断源
	U0RRM、U1RRM	在使用连续接收模式时, 置“1”
	CLKMD0	CLKMD1=1 时, 选择输出传送时钟的管脚
	CLKMD1	从 2 个管脚输出 UART1 的传送时钟时, 置“1”
	RCSP	从 P64 管脚输入 UART0 的 CTS ₀ 信号时, 置“1”
	7	清“0”

注1. 必须将 U0C1、U1C1 寄存器的第 bit4、bit5 清“0”。U0IRS、U1IRS、U0RRM、U1RRM 位在 UCON 寄存器中。

注2. 在时钟同步串行 I/O 模式中, 必须将此表中没有记述的位清“0”。

i=0~1

时钟同步串行 I/O 模式中的输入/输出管脚功能如表 1.14.3 所示。表 1.14.3 是不选择传送时钟多管脚输出功能时的情况。另外，时钟同步串行 I/O 模式中的 P64 管脚功能如表 1.14.4 所示。

而且，在选择 UARTi 的运行模式后到开始传送为止，TxDi 管脚输出“H”电平（在选择 N 沟道漏极开路输出时为高阻抗状态）。

表 1.14.3. 时钟同步串行 I/O 模式中的输入/输出管脚功能（不选择传送时钟多管脚输出功能时）

管脚名	功能	选择方法
TxDi (i=0~2) (P63、P67)	串行数据输出	(在只进行接收时输出虚数据)
RxDi (P62、P66)	串行数据输入	PD6 寄存器的 PD6_2 位=0、PD6_6 位=0 (在只进行发送时可用作输入端口)
CLKi (P61、P65)	传送时钟输出	UiMR 寄存器的 CKDIR 位=0
	传送时钟输入	UiMR 寄存器的 CKDIR 位=1 PD6 寄存器的 PD6_1 位=0、PD6_5 位=0
CTS _i /RTS _i (P60、P64)	CTS 输入	UiC0 寄存器的 CRD 位=0 UiC0 寄存器的 CRS 位=0 PD6 寄存器的 PD6_0 位=0、PD6_4 位=0
	RTS 输出	UiC0 寄存器的 CRD 位=0 UiC0 寄存器的 CRS 位=1
	I/O 端口	UiC0 寄存器的 CRD 位=1

表 1.14.4. 时钟同步串行 I/O 模式中的 P64 管脚功能

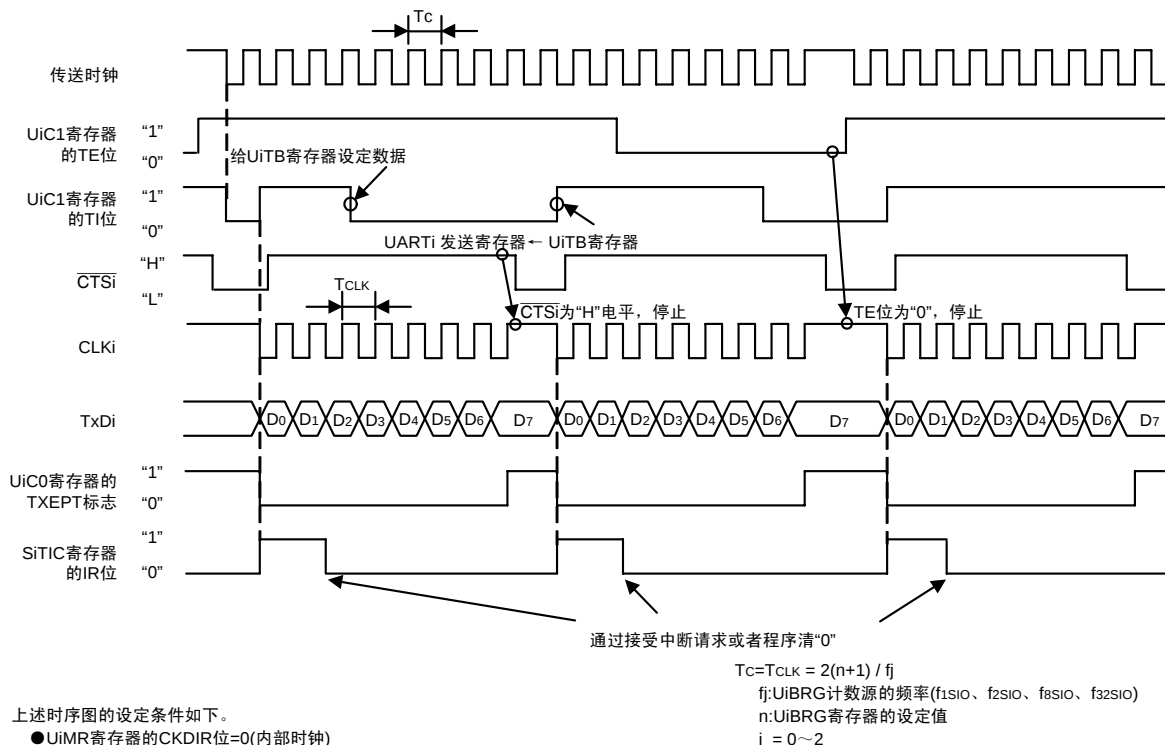
管脚的功能	位的设定值					
	U1C0 寄存器		UCON 寄存器			PD6 寄存器
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P64	1	—	0	0	—	输入:0、输出:1
CTS ₁	0	0	0	0	—	0
RTS ₁	0	1	0	0	—	—
CTS ₀ (注1)	0	0	1	0	—	0
CLKS ₁	—	—	—	1 (注2)	1	—

注1. 除此以外，还必须将 U0C0 寄存器的 CRD 位清“0”（允许 CTS₀/RTS₀）、U0C0 寄存器的 CRS 位置“1”（选择 RTS₀）。

注2. 在 CLKMD1 位为“1”并且 CLKMD0 位为“0”时，输出以下电平：

- U1C0 寄存器的 CKPOL 位为“0”：H 电平
- U1C0 寄存器的 CKPOL 位为“1”：L 电平

(1) 发送时序的例子(在选择内部时钟时)



(2) 接收时序的例子(在选择外部时钟时)

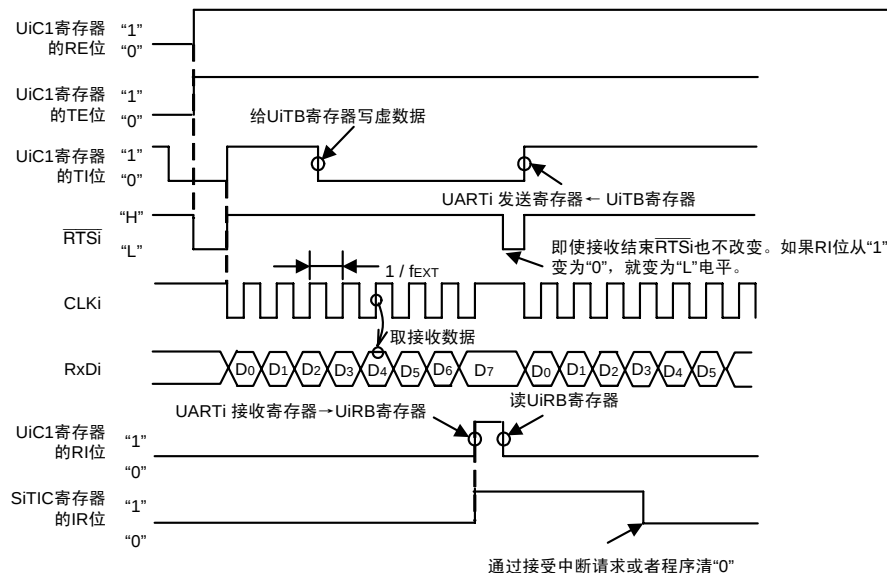


图 1.14.1. 时钟同步串行 I/O 模式中的发送和接收时序的例子

■ 产生通信错误时的处理方法

在时钟同步串行 I/O 模式中，如果在接收或者发送时产生通信错误，就必须按以下步骤重新设定：

• UiRB 寄存器 (i=0~2) 的初始化步骤：

- (1) 将 UiC1 寄存器的 RE 位清 “0”（禁止接收）。
- (2) 将 UiMR 寄存器的 SMD2~SMD0 位设定为 “000b”（串行 I/O 无效）。
- (3) 将 UiMR 寄存器的 SMD2~SMD0 位设定为 “001b”（时钟同步串行 I/O 模式）。
- (4) 将 UiC1 寄存器的 RE 位置 “1”（允许接收）。

• UiTB 寄存器的初始化步骤：

- (1) 将 UiMR 寄存器的 SMD2~SMD0 位设定为 “000b”（串行 I/O 无效）。
- (2) 将 UiMR 寄存器的 SMD2~SMD0 位设定为 “001b”（时钟同步串行 I/O 模式）。
- (3) 与 UiC1 寄存器的 TE 位的值无关，写入 “1”（允许接收）。

■ CLK 极性选择

能通过 UiC0 寄存器 (i=0~1) 的 CKPOL 位选择传送时钟的极性。传送时钟的极性如图 1.14.2 所示。

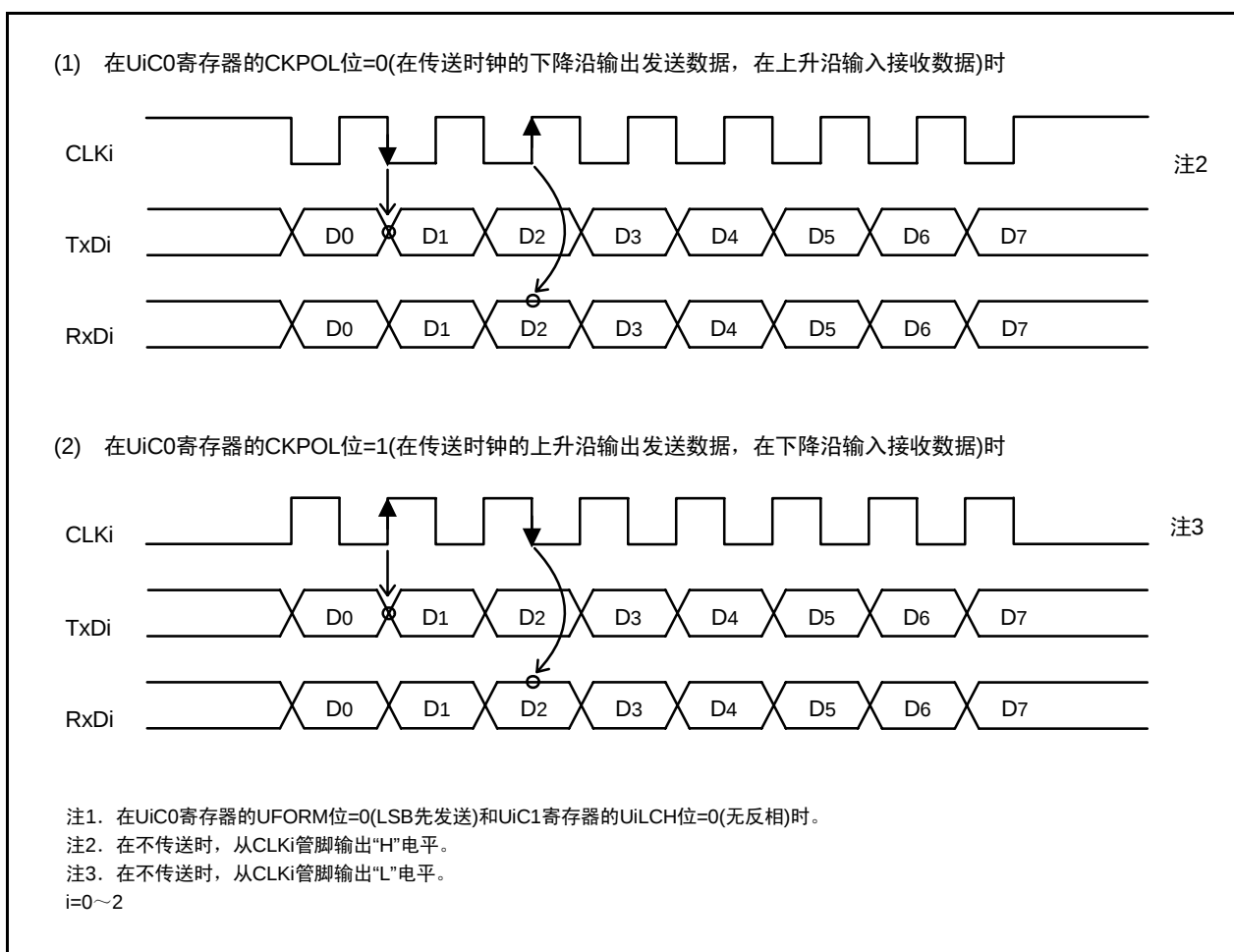


图 1.14.2. 传送时钟的极性

■ 选择 LSB 先发送或 MSB 先发送

能根据 UiC0 寄存器（ $i=0\sim 1$ ）的 UFORM 位选择传送格式。传送格式如图 1.14.3 所示。

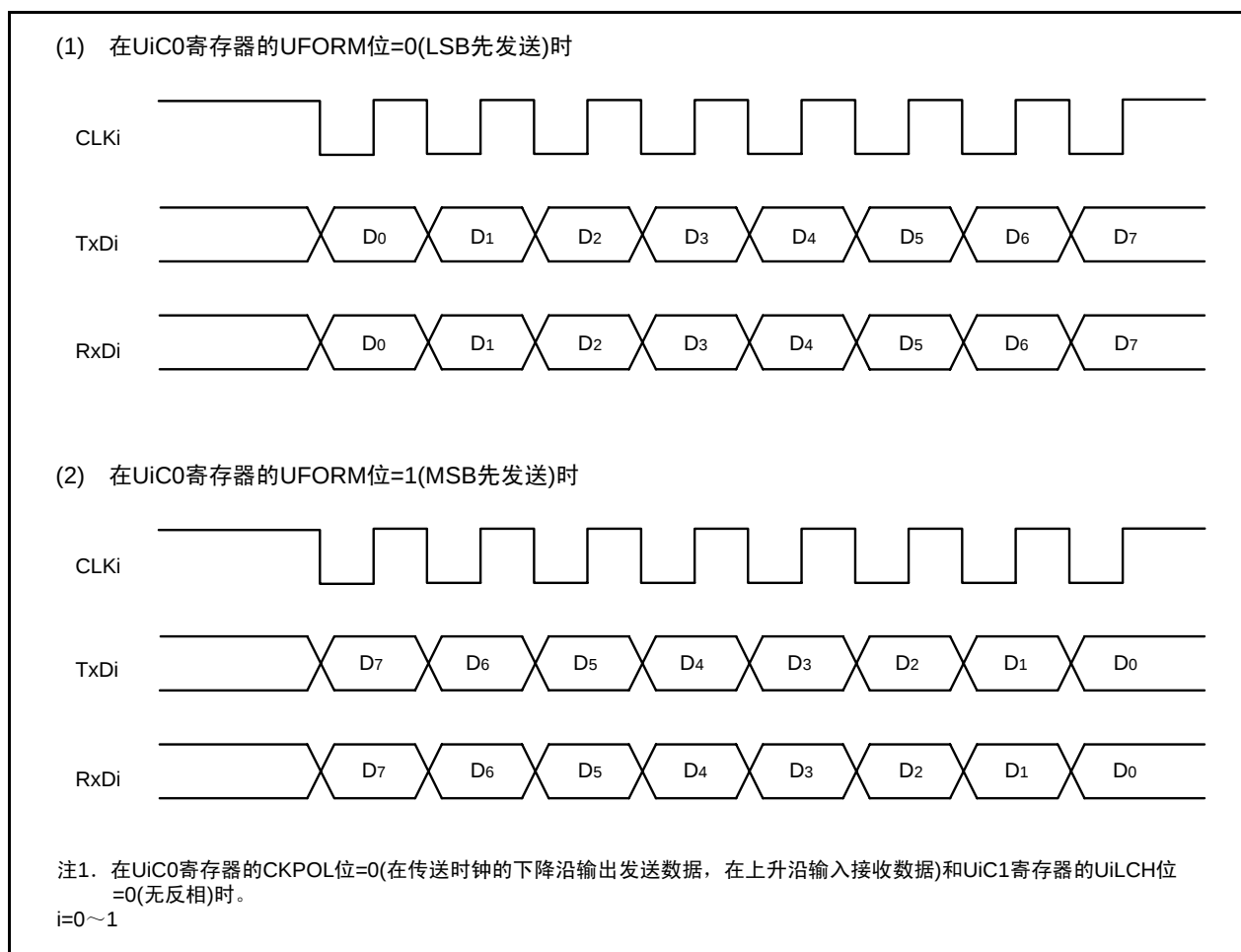


图 1.14.3. 传送格式

■ 连续接收模式

连续接收模式是通过读取接收缓冲寄存器而变为允许接收状态的模式。如果选择此模式，就不需要对发送缓冲寄存器写虚数据而使接收处于允许状态。但是，在开始接收时需要虚读接收缓冲寄存器。

如果将 $UiRRM$ 位 ($i=0\sim 1$) 置“1” (连续接收模式)，通过读取 $UiRB$ 寄存器， $UiC1$ 寄存器的 TI 位就变为“1” ($UiTB$ 寄存器中有数据)。 $UiRRM$ 位为“1”时，不能通过程序对 $UiTB$ 寄存器写虚数据。 $U0RRM$ 、 $U1RRM$ 位为 $UCON$ 寄存器的 $bit2$ 、 $bit3$ 。

■ 串行数据的逻辑转换

$UiC1$ 寄存器 ($i=0\sim 1$) 的 $UiLCH$ 位为“1” (有反相) 时，将写在 $UiTB$ 寄存器的值进行逻辑反相后发送。如果读 $UiRB$ 寄存器，就能读取接收数据逻辑反相后的值。串行数据逻辑如图 1.14.4 所示。

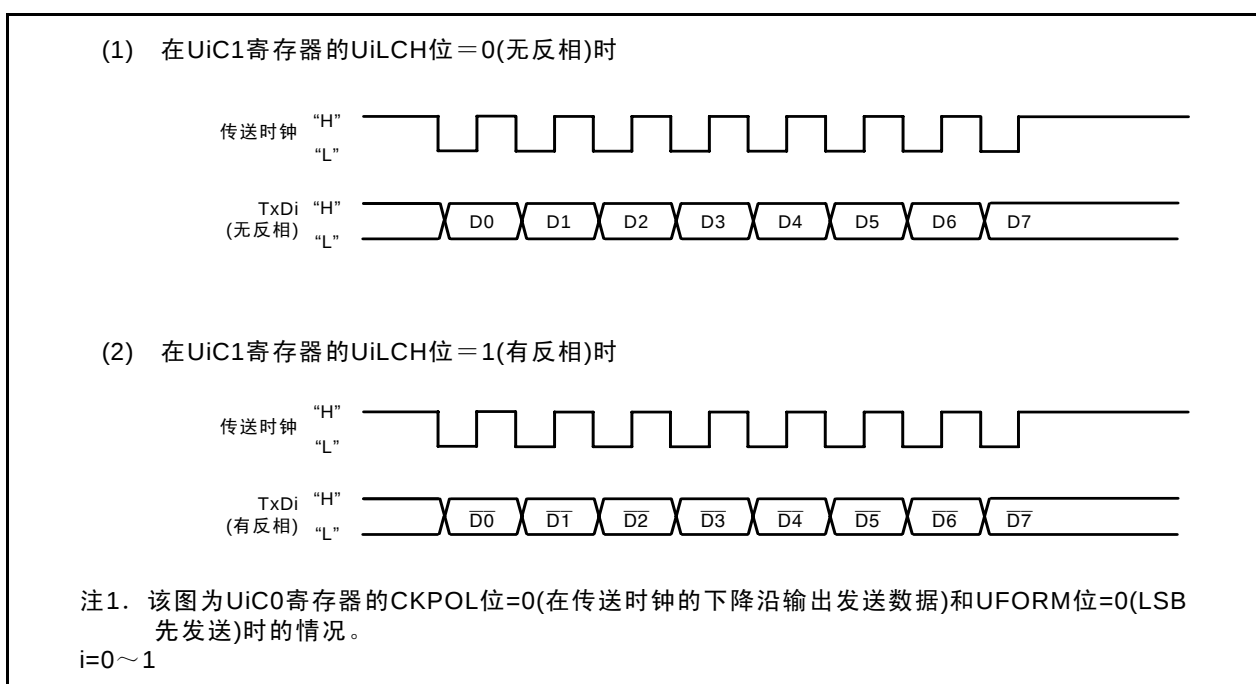


图 1.14.4. 串行数据逻辑

■ 传送时钟多管脚输出的选择 (UART1)

能通过 $UCON$ 寄存器的 $CLKMD1\sim CLKMD0$ 位从传送时钟的 2 个输出管脚中选择 1 个输出管脚 (图 1.14.5)。在 UART1 的传送时钟为内部时钟时能使用此功能。

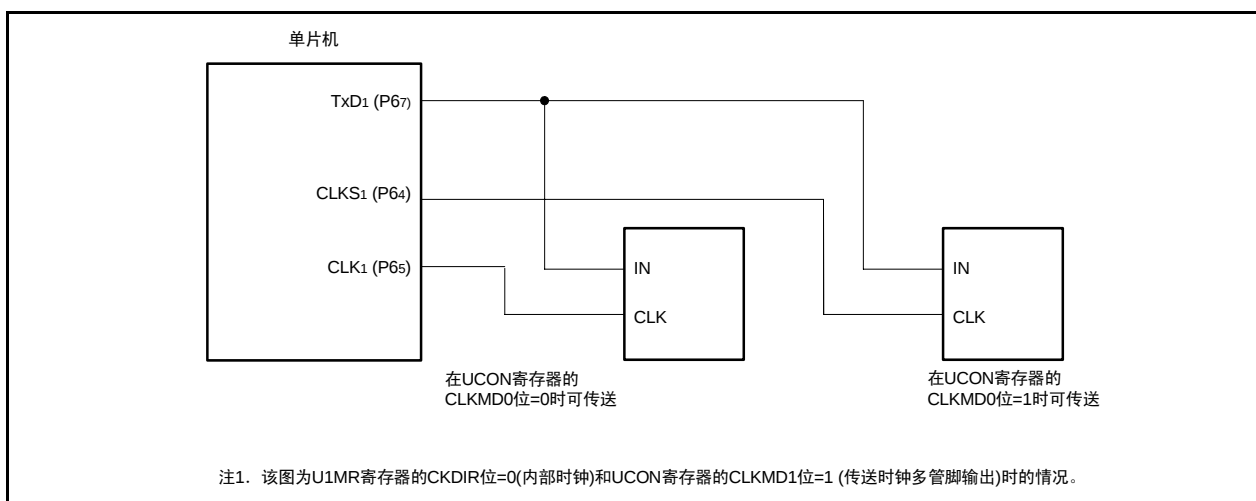


图 1.14.5. 传送时钟多管脚输出功能的使用例

■ $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能

$\overline{\text{CTS}}$ 功能是在向 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ ($i=0\sim 2$) 管脚输入 “L” 电平时开始发送和接收的功能。如果 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 管脚的输入电平为 “L”，就开始发送和接收。如果在发送和接收中输入电平变为 “H”，就停止下一个数据的发送和接收。

$\overline{\text{RTS}}$ 功能是在接收准备结束时， $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 管脚的输出电平将变为 “L” 电平的功能。在 CLK_i 管脚的第一个下降沿输出 “H” 电平。

- $\text{U}_{i0}\text{C0}$ 寄存器的 CRD 位=1 (禁止 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能)
- CRD 位=0、 CRS 位=0 (选择 $\overline{\text{CTS}}$ 功能)
- CRD 位=0、 CRS 位=1 (选择 $\overline{\text{RTS}}$ 功能)

$\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 管脚为可编程的输入/输出功能

$\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 管脚为 $\overline{\text{CTS}}$ 功能

$\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 管脚为 $\overline{\text{RTS}}$ 功能

■ $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分离功能 (UART0)

$\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能是分离 $\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ ，并从 P60 管脚输出 $\overline{\text{RTS}}_0$ 、从 P64 管脚输入 $\overline{\text{CTS}}_0$ 的功能。在使用此功能时，必须进行以下设定：

- U0C0 寄存器的 CRD 位=0 (允许 UART0 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$)
- U0C0 寄存器的 CRS 位=1 (UART0 的 $\overline{\text{RTS}}$ 输出)
- U1C0 寄存器的 CRD 位=0 (允许 UART1 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$)
- U1C0 寄存器的 CRS 位=0 (UART1 的 $\overline{\text{CTS}}$ 输入)
- UCON 寄存器的 RCSP 位=1 (从 P64 管脚输入 $\overline{\text{CTS}}_0$)
- UCON 寄存器的 CLKMD1 位=0 (不使用 CLKS_1)

另外，在使用 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能时，不能使用 UART1 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能。

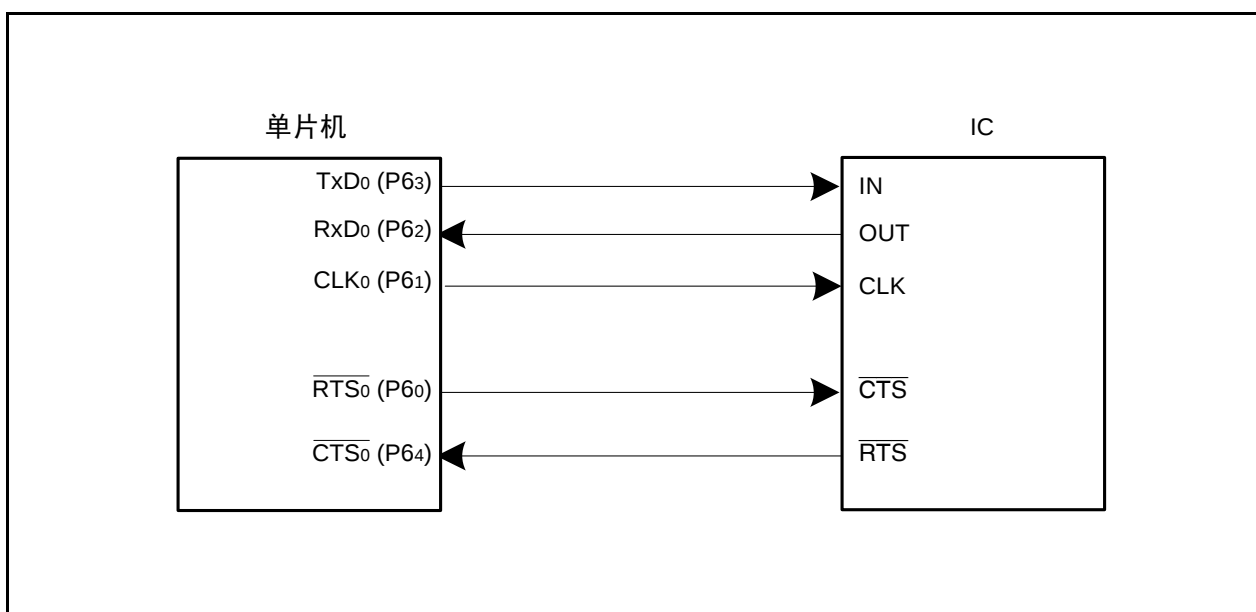


图 1.14.6. $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能的使用例

时钟异步串行 I/O (UART) 模式

UART 模式是在设定任意的传送速度和传送数据格式后进行发送和接收的模式。UART 模式的规格如表 1.15.1 所示。

表 1.15.1. UART 模式的规格

项目	规格
传送数据格式	字符位 (传送数据) 可选择 7 位、8 位或者 9 位 ● 开始位 1 位 ● 奇偶校验位 可选择奇数校验、偶数校验或者无校验 ● 停止位 可选择 1 位或者 2 位
传送时钟	● UiMR 寄存器 (i=0~2) 的 CKDIR 位为 “0” (内部时钟) : $f_j/16(n+1)$ $f_j=f_{1SIO}$ 、 f_{2SIO} 、 f_{8SIO} 、 f_{32SIO} 。n=UiBRG 寄存器的设定值 00 ₁₆ ~FF ₁₆ ● CKDIR 位为 “1” (外部时钟) : $f_{EXT}/16(n+1)$ f_{EXT} 是 CLKi 管脚的输入。n=UiBRG 寄存器的设定值 00 ₁₆ ~FF ₁₆ (注 3)
发送控制、接收控制	● 可选择 CTS 功能、RTS 功能、禁止 CTS/RTS 功能
发送开始条件	● 开始发送时需要以下条件： • UiC1 寄存器的 TE 位为 “1” (允许发送) • UiC1 寄存器的 TI 位为 “0” (UiTB 寄存器中有数据) • 选择 CTS 功能时，CTSi 管脚的输入为 “L” 电平
接收开始条件	● 开始接收时需要以下条件： • UiC1 寄存器的 RE 位为 “1” (允许接收) • 检测到开始位
中断请求产生时序	● 发送时可选择以下的任意条件： • UiIRS 位 (注 2) 为 “0” (发送缓冲器空) : 在从 UiTB 寄存器向 UARTi 发送寄存器传送数据时 (开始发送时) • UiIRS 位为 “1” (发送结束) : 在从 UARTi 发送寄存器的数据发送结束时 ● 接收时 • 在从 UARTi 接收寄存器向 UiRB 寄存器传送数据时 (接收结束时)
错误检测	● 溢出错误 (注 1) 在读取 UiRB 寄存器前，如果开始接收下一个数据，在接收到下一个数据的最后停止位的前 1 位，就产生溢出错误 ● 帧错误 当检测到的停止位数与所设定的个数不等时，产生帧错误 ● 奇偶校验错误 在允许奇偶校验时，奇偶校验位和字符位中的 “1” 的个数和设定的个数不等时，产生奇偶校验错误 ● 错误和标志 在产生溢出错误、帧错误或者奇偶校验错误中的任意一个错误时，错误和标志为 “1”
选择功能	● 选择 LSB 先发送或 MSB 先发送 可选择从 bit0 还是从 bit7 开始发送和接收。 ● 串行数据的逻辑转换 这是对发送和接收数据的逻辑值反相的功能。不对开始位和停止位反相。 ● TxD、RxD 输入/输出极性转换 对 TxD 管脚输出和 RxD 管脚输入反相的功能。对所有输入/输出数据的电平反相。 ● CTS/RTS 分离功能 (UART0) 从其它管脚输入/输出 CTS ₀ 和 RTS ₀

注 1. 产生溢出错误时，UiRB 寄存器的内容不确定。另外，SiRIC 寄存器的 IR 位不变。

注 2. U0IRS、U1IRS 位为 UCON 寄存器的 bit0、bit1，U2IRS 位为 U2C1 寄存器的 bit4。

注 3. 因为 UART2 没有 CLK 管脚，所以必须选择内部时钟。

表 1.15.2. UART 模式中使用的寄存器和设定值

寄存器	位	功能
UiTB	0~8	设定发送数据（注1）
UiRB	0~8	能读取接收数据（注1）
	OER、FER、PER、SUM	错误标志
UiBRG	0~7	设定传送速度
UiMR	SMD2~SMD0	在传送数据为7位时，设定为“100 ₂ ”。
		在传送数据为8位时，设定为“101 ₂ ”。
		在传送数据为9位时，设定为“110 ₂ ”。
	CKDIR	选择内部时钟或者外部时钟
	STPS	选择停止位
	PRY、PRYE	选择奇偶校验的有无、偶校验或者奇校验
	IOPOL	选择TxD/RxD输入/输出极性
UiC0	CLK0、CLK1	选择UiBRG的计数源
	CRS	在使用CTS或者RTS功能时，选择其中一个
	TXEPT	发送寄存器空标志
	CRD	选择CTS/RTS功能的允许或者禁止
	NCH	选择TxDi管脚的输出形式（注3）
	CKPOL	清“0”
	UFORM	在传送数据长度为8位时，能选择LSB先发送或MSB先发送。 在传送数据长度为7位或者9位时，清“0”。
UiC1	TE	在允许发送时，置“1”
	TI	发送缓冲器空标志
	RE	在允许接收时，置“1”
	RI	接收结束标志
	U2IRS（注2）	选择UART2发送中断源
	U2RRM（注2）	清“0”
	UiLCH	在使用数据逻辑反相时，置“1”
	UiERE	清“0”
UiSMR	0~7	清“0”
UiSMR2	0~7	清“0”
UiSMR3	0~7	清“0”
UiSMR4	0~7	清“0”
UCON	U0IRS、U1IRS	选择UART0、UART1发送中断源
	U0RRM、U1RRM	清“0”
	CLKMD0	因为CLKMD1=0，所以无效
	CLKMD1	清“0”
	RCSP	从P64管脚输入UART0的CTS ₀ 信号时，置“1”
	7	清“0”

注1. 使用的位如下：传送数据长度为7位：bit0~6、传送数据长度为8位：bit0~7、传送数据长度为9位：bit0~8

注2. 必须将U0C1、U1C1寄存器的bit4和bit5清“0”。U0IRS、U1IRS、U0RRM、U1RRM位在UCON寄存器中。

注3. TxDi管脚为N沟道漏极开路。必须将U2C0寄存器的NCH位清“0”。

i=0~2

UART 模式中输入/输出管脚的功能如表 1.15.3 所示, UART 模式中 P64 管脚的功能如表 1.15.4 所示。另外, 从选择 UART_i 的运行模式后到开始传送为止, TxD_i 管脚输出 “H” 电平 (在选择 N 沟道漏极开路输出时为高阻抗状态)。

表 1.15.3. UART 模式中输入/输出管脚的功能

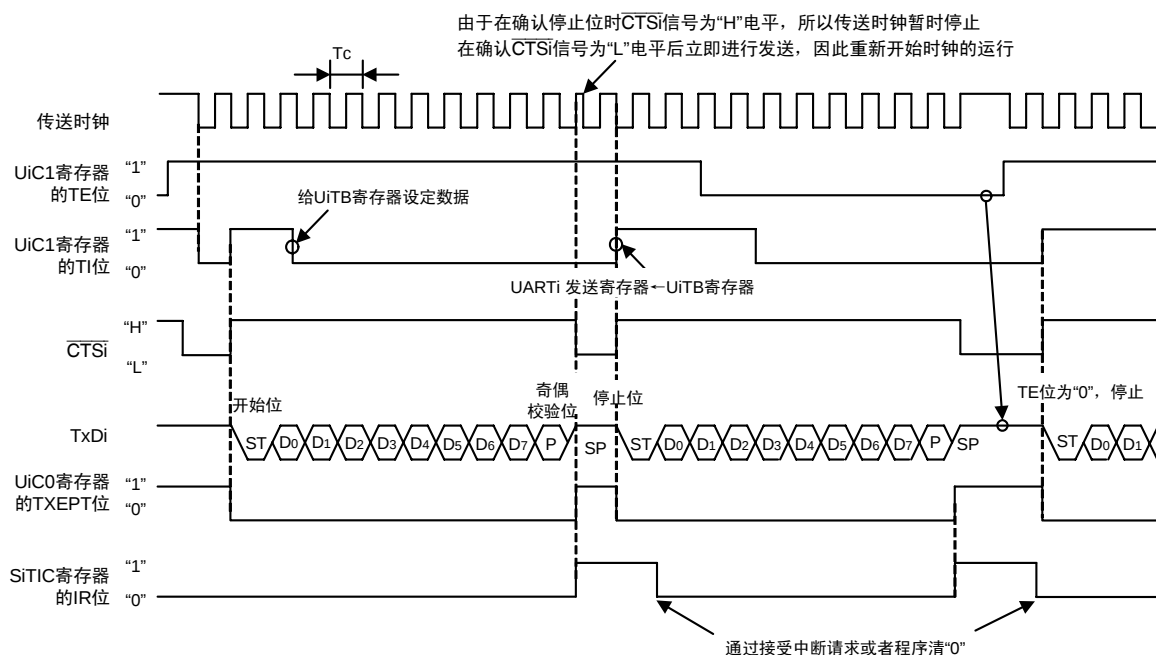
管脚名	功能	选择方法
TxD _i (i=0~2) (P63、P67、P70)	串行数据输出	(在只进行接收时输出虚数据)
RxD _i (P62、P66、P71)	串行数据输入	PD6 寄存器的 PD6_2 位=0、PD6_6 位=0, PD7 寄存器的 PD7_1 位=0 (在只进行发送时可用作输入端口)
CLK _i (P61、P65)	I/O 端口	UiMR 寄存器的 CKDIR 位=0
	传送时钟输入	UiMR 寄存器的 CKDIR 位=1 PD6 寄存器的 PD6_1 位=0、PD6_5 位=0
CTS _i /RTS _i (P60、P64、P73)	CTS 输入	UiC0 寄存器的 CRD 位=0 UiC0 寄存器的 CRS 位=0 PD6 寄存器的 PD6_0 位=0、PD6_4 位=0, PD7 寄存器的 PD7_3 位=0
	RTS 输出	UiC0 寄存器的 CRD 位=0 UiC0 寄存器的 CRS 位=1
	I/O 端口	UiC0 寄存器的 CRD 位=1

表 1.15.4. UART 模式中 P64 管脚的功能

管脚的功能	位的设定值				
	U1C0 寄存器		UCON 寄存器		PD6 寄存器
	CRD	CRS	RCSP	CLKMD1	PD6_4
P64	1	—	0	0	输入:0、输出:1
CTS ₁	0	0	0	0	0
RTS ₁	0	1	0	0	—
CTS ₀ (注1)	0	0	1	0	0

注1. 此外, 还必须将 U0C0 寄存器的 CRD 位清 “0” (允许 CTS₀/RTS₀)、U0C0 寄存器的 CRS 位置 “1” (选择 RTS₀)。

(1) 传送数据长度为8位时的发送时序的例子(允许奇偶校验, 1个停止位)



(2) 传送数据长度为9位时的发送时序的例子(禁止奇偶校验, 2个停止位)

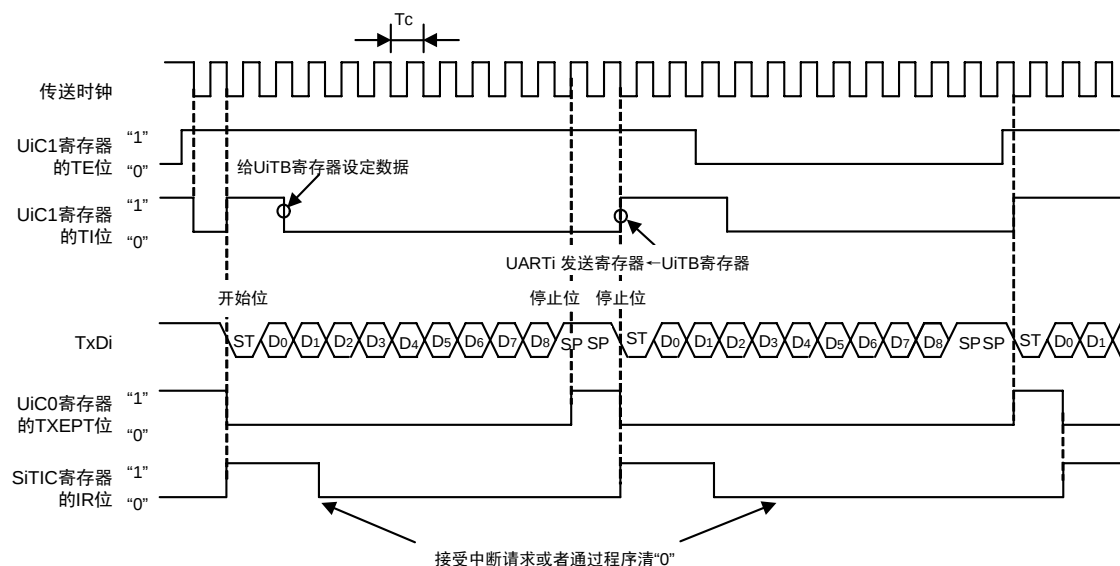


图 1.15.1. UART 模式中发送时序的例子

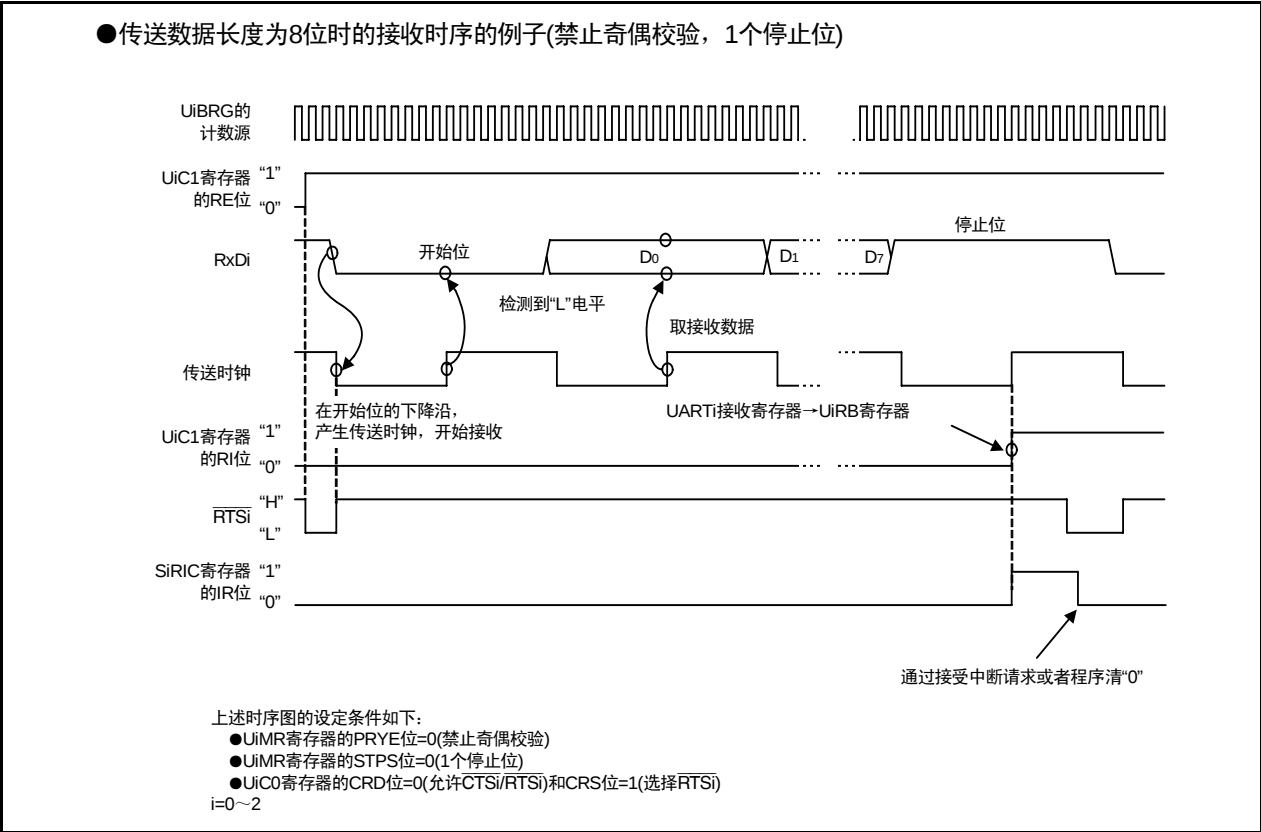


图 1.15.2. UART 模式中的接收时序的例子

■ 传送速度

在 UART 模式中, 传送速度为通过 UIRBG 寄存器 (i=0 ~ 2) 分频后的频率的 16 分频。传送速度的设定例子如表 1.15.5 所示。

表 1.15.5. 传送速度

位速率 (bps)	BRG 的计数源	外围功能时钟:16MHz		外围功能时钟:24MHz	
		BRG 的设定值:n	实际执行时间 (bps)	BRG 的设定值:n	实际执行时间 (bps)
1200	f8	103 (67h)	1202	155 (96h)	1202
2400	f8	51 (33h)	2404	77 (46h)	2404
4800	f8	25 (19h)	4808	38 (26h)	4808
9600	f1	103 (67h)	9615	155 (96h)	9615
14400	f1	68 (44h)	14493	103 (67h)	14423
19200	f1	51 (33h)	19231	77 (46h)	19231
28800	f1	34 (22h)	28571	51 (33h)	28846
31250	f1	31 (1Fh)	31250	47 (2Fh)	31250
38400	f1	25 (19h)	38462	38 (26h)	38462
51200	f1	19 (13h)	50000	28 (1Ch)	51724

■ 产生通信错误时的处理方法

在 UART 模式中，如果在接收或者发送时产生通信错误，就必须按以下步骤重新设定：

• UiRB 寄存器（ $i=0\sim 2$ ）的初始化步骤：

- (1) 将 UiC1 寄存器的 RE 位清 “0”（禁止接收）。
- (2) 将 UiC1 寄存器的 RE 位置 “1”（允许接收）。

• UiTB 寄存器的初始化步骤：

- (1) 将 UiMR 寄存器的 SMD2 $\sim$ SMD0 位设定为 “000b”（串行 I/O 无效）。
- (2) 重新设定 UiMR 寄存器的 SMD2 $\sim$ SMD0 位（“001b”、“101b”、“110b”）。
- (3) 与 UiC1 寄存器的 TE 位的值无关，写 “1”（允许接收）。

■ 选择 LSB 先发送或 MSB 先发送的

如图 1.15.3 所示，能通过 UiC0 寄存器的 UFORM 位选择传送格式。此功能在传送数据长度为 8 位时有效。

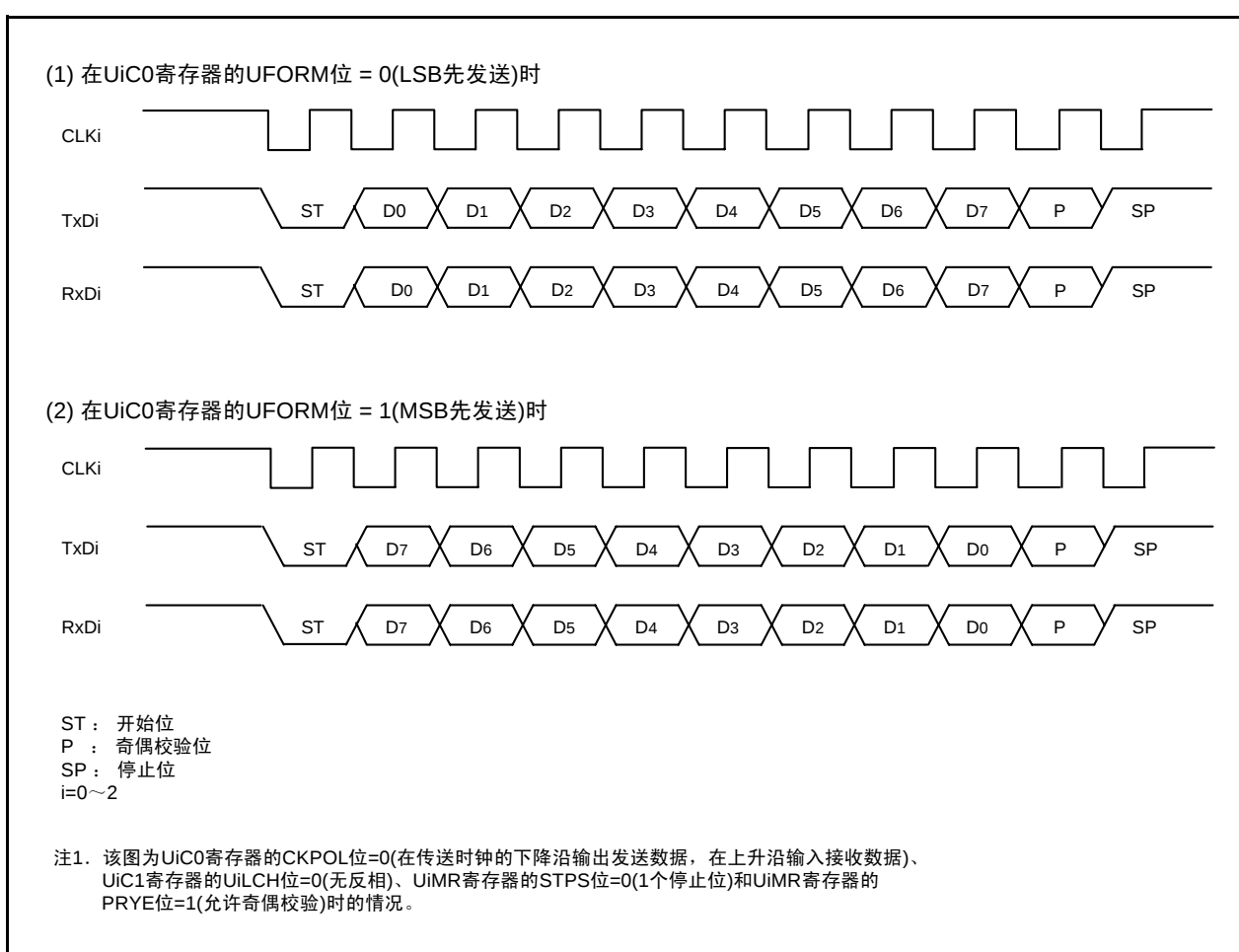


图 1.15.3. 传送格式

■ 串行数据的逻辑转换

将写在 UiTB 寄存器的值逻辑反相后发送。如果读取 UiRB 寄存器，就能读取接收数据逻辑反相后的值。串行数据逻辑如图 1.15.4 所示。

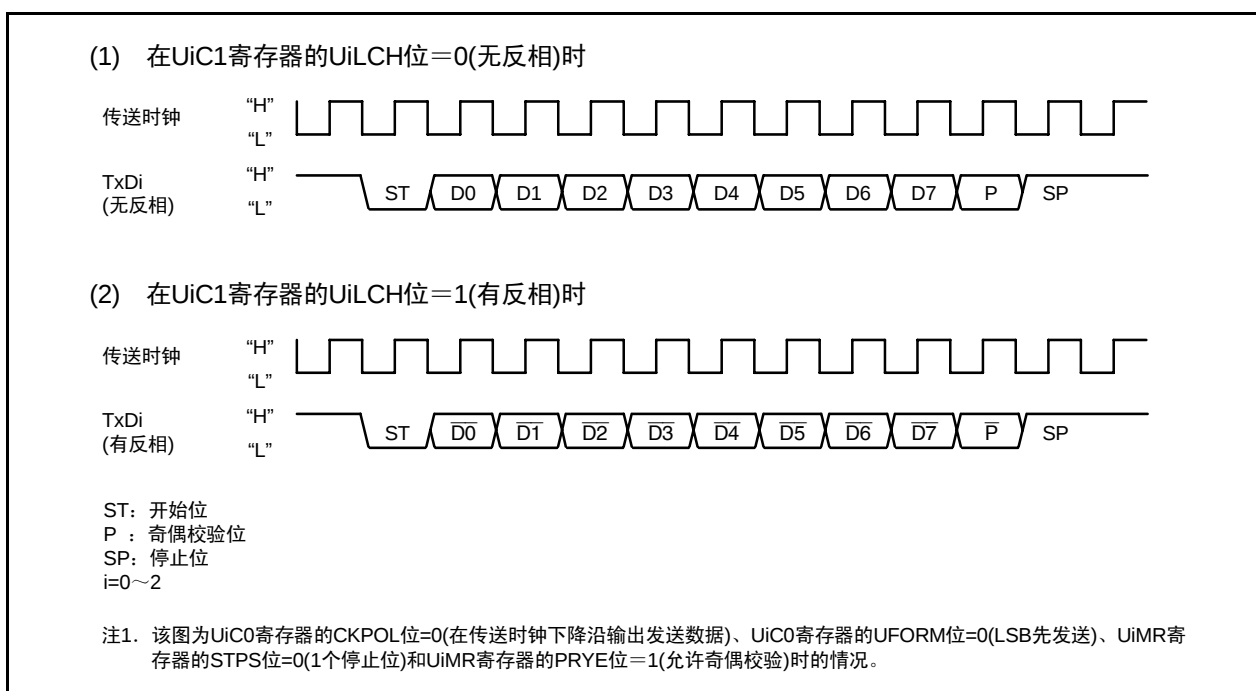


图 1.15.4. 串行数据逻辑

■ TxD、RxD 输入/输出极性的转换功能

TxD、RxD 输入/输出极性的转换功能是对 TxDi 管脚输出和 RxDi 管脚输入反相的功能。将输入/输出数据的电平（包含开始位、停止位、奇偶校验位）全部反相。TxD、RxD 输入/输出极性的转换如图 1.15.5 所示。

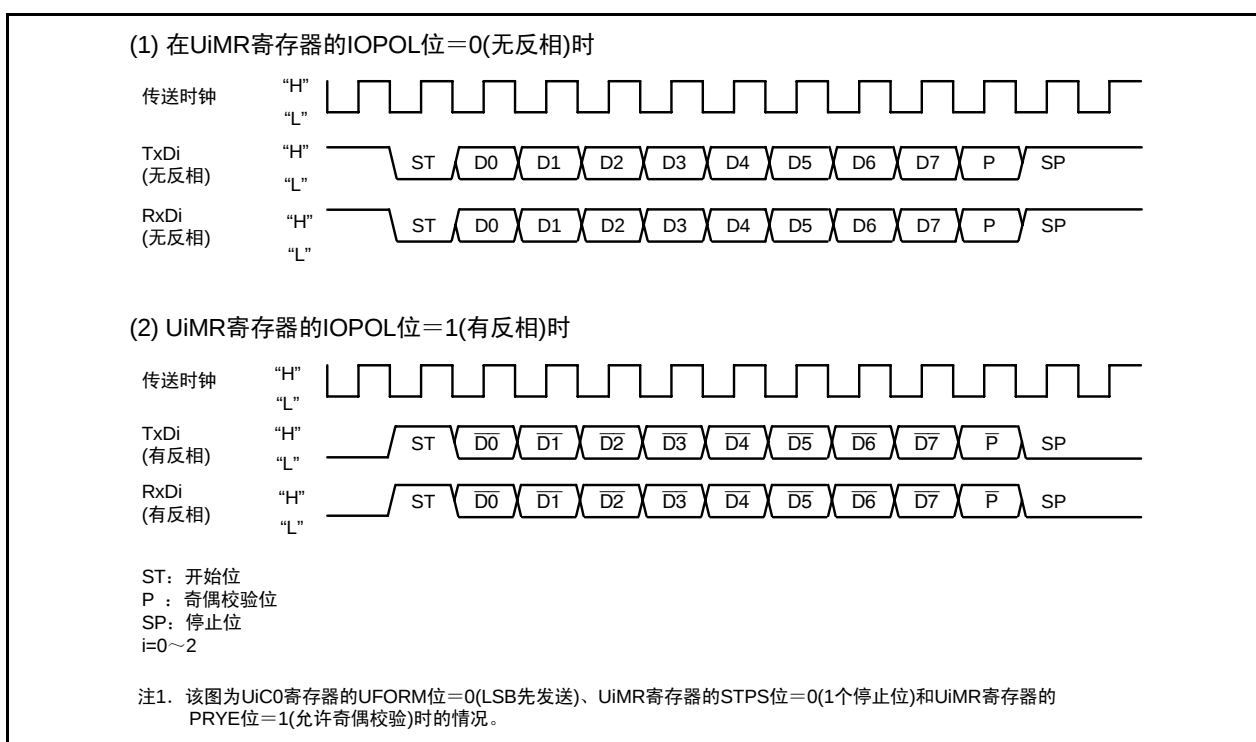


图 1.15.5. TxD、RxD 输入/输出极性的转换

■ $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能

$\overline{\text{CTS}}$ 功能是在向 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ ($i=0\sim 2$) 管脚输入 “L” 电平时就开始发送的功能。如果 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 管脚的输入电平为 “L”，就开始发送；如果在发送过程中将输入电平变为 “H”，就停止下一个数据的发送。

$\overline{\text{RTS}}$ 功能是在接收准备结束时，将 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 管脚的输出电平变为 “L” 电平的功能，在 CLK_i 管脚的第一个下降沿输出 “H” 电平。

- | | |
|---|--|
| • $\text{U}i\text{C}0$ 寄存器的 CRD 位=1 (禁止 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能) | $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 管脚为可编程的输入/输出功能 |
| • CRD 位=0、CRS 位=0 (选择 $\overline{\text{CTS}}$ 功能) | $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 管脚为 $\overline{\text{CTS}}$ 功能 |
| • CRD 位=0、CRS 位=1 (选择 $\overline{\text{RTS}}$ 功能) | $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 管脚为 $\overline{\text{RTS}}$ 功能 |

■ $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分离功能 (UART0)

$\overline{\text{CTS}}/\overline{\text{RTS}}$ 分离功能是分离 $\overline{\text{CTS}}_0$ 与 $\overline{\text{RTS}}_0$ 管脚，从 P60 管脚输出 $\overline{\text{RTS}}_0$ 、从 P64 管脚输入 $\overline{\text{CTS}}_0$ 的功能。在使用此功能时，必须进行以下的设定：

- $\text{U}0\text{C}0$ 寄存器的 CRD 位=0 (允许 UART0 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$)
- $\text{U}0\text{C}0$ 寄存器的 CRS 位=1 (UART0 的 $\overline{\text{RTS}}$ 输出)
- $\text{U}1\text{C}0$ 寄存器的 CRD 位=0 (允许 UART1 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$)
- $\text{U}1\text{C}0$ 寄存器的 CRS 位=0 (UART1 的 $\overline{\text{CTS}}$ 输入)
- $\text{U}0\text{C}0$ 寄存器的 RCSP 位=1 (从 P64 管脚输入 $\overline{\text{CTS}}_0$)
- $\text{U}0\text{C}0$ 寄存器的 CLKMD1 位=0 (不使用 CLKS_1)

另外，在使用 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能时，不能使用 UART1 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能。

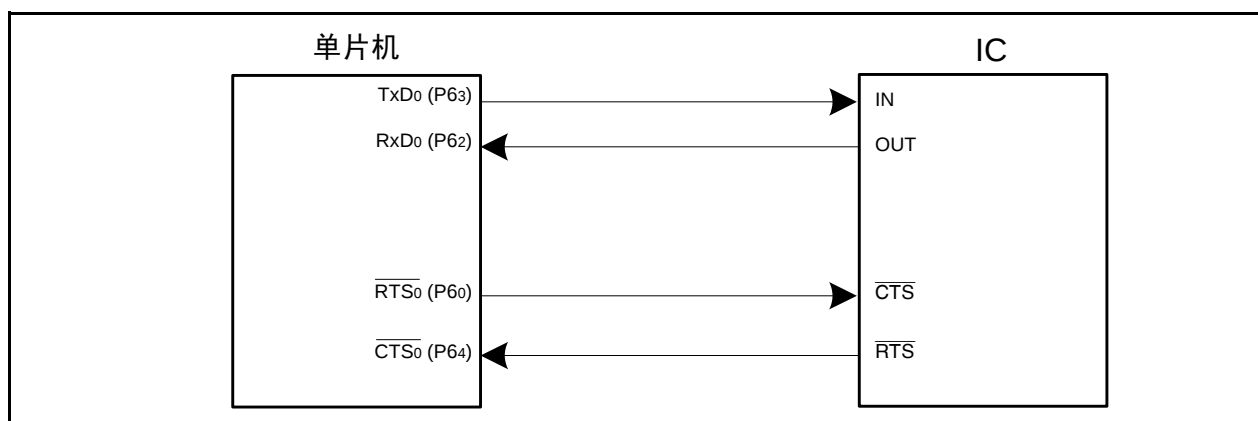


图 1.15.6. $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能的使用例

特殊模式 1（I²C 模式）

I²C 模式是对应简易型 I²C 接口的模式。I²C 模式的规格如表 1.16.1、I²C 模式中使用的寄存器和设定值如表 1.16.2～表 1.16.3、I²C 模式中的各功能如表 1.16.4、I²C 模式的框图如图 1.16.1、SCLi 时序如图 1.16.2 所示。

如表 1.16.4 所示，如果将 SMD2～SMD0 位设定为“010₂”、IICM 位置“1”，就变为 I²C 模式。因为在 SDAi 发送输出附带延迟电路，所以在 SCLi 为“L”电平并稳定后，SDAi 输出才发生变化。

表 1.16.1. I²C 模式的规格

项目	规格
传送数据格式	● 传送数据长度 8 位
传送时钟	● 主模式时 UiMR 寄存器 (i=0～2) 的 CKDIR 位为“0”（内部时钟）: $f_j/2(n+1)$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ n=UiBRG 寄存器的设定值 00 ₁₆ ～FF ₁₆ ● 从属模式时 CKDIR 位为“1”（外部时钟）: 从 CLKi 管脚的输入
发送开始条件	● 开始发送时需要以下条件（注 1）： • UiC1 寄存器的 TE 位为“1”（允许发送） • UiC1 寄存器的 TI 位为“0”（UiTB 寄存器中有数据）
接收开始条件	● 开始接收时需要以下条件（注 1）： • UiC1 寄存器的 RE 位为“1”（允许接收） • UiC1 寄存器的 TE 位为“1”（允许发送） • UiC1 寄存器的 TI 位为“0”（UiTB 寄存器中有数据）
中断请求产生时序	开始条件检测、停止条件检测、未应答检测、应答检测
错误检测	● 溢出错误（注 2） 在读取 UiRB 寄存器前，如果开始接收下一个数据并接收本数据的第 8 位时，就产生溢出错误
选择功能	● 仲裁失利 可选择 UiRB 寄存器的 ABT 位的更新时序 ● SDAi 数字延迟 可选择无数字延迟或者延迟 UiBRG 计数源的 2～8 周期 ● 时钟相位设定 可选择有时钟延迟或者无时钟延迟

注 1. 在选择外部时钟时，必须在外部时钟为“H”电平的状态下满足该条件。

注 2. 如果产生溢出错误，UiRB 寄存器的内容就不确定。另外，SiRIC 寄存器的 IR 位不变。

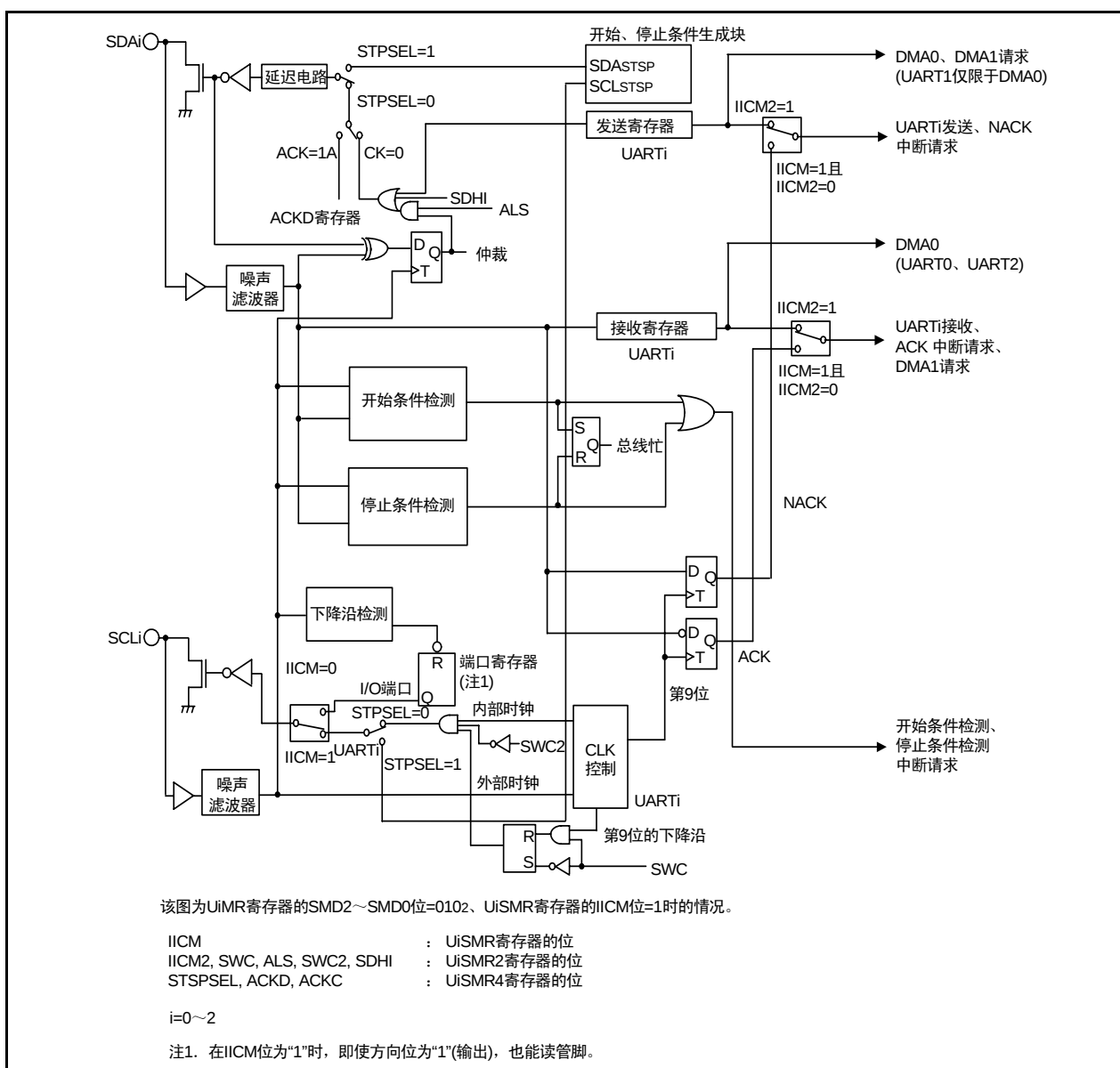
图 1.16.1. I²C 模式的框图

表 1.16.2. I²C 模式中使用的寄存器和设定值 (1)

寄存器	位	功能	
		主模式时	从属模式时
UiTB (注3)	0~7	设定发送数据	设定发送数据
UiRB (注3)	0~7	能读取接收数据	能读取接收数据
	8	置ACK或NACK	置ACK或者NACK
	ABT	仲裁失利检测标志	无效
	OER	溢出错误标志	溢出错误标志
UiBRG	0~7	设定传送速度	无效
UiMR (注3)	SMD2~SMD0	设定为“0102”	设定为“0102”
	CKDIR	清“0”	置“1”
	IOPOL	清“0”	清“0”
UiC0	CLK1~CLK0	选择UiBRG的计数源	无效
	CRS	因为CRD=1, 所以无效	因为CRD=1, 所以无效
	TXEPT	发送寄存器空标志	发送寄存器空标志
	CRD	置“1”	置“1”
	NCH	置“1”(注2)	置“1”(注2)
	CKPOL	清“0”	清“0”
	UFORM	置“1”	置“1”
UiC1	TE	在允许发送时, 置“1”	在允许发送时, 置“1”
	TI	发送缓冲器空标志	发送缓冲器空标志
	RE	在允许接收时, 置“1”	在允许接收时, 置“1”
	RI	接收结束标志	接收结束标志
	U2IRS (注1)	无效	无效
	U2RRM (注1)、 UiLCH、UiERE	清“0”	清“0”
UiSMR	IICM	置“1”	置“1”
	ABC	选择仲裁失利检测时序	选择仲裁失利检测时序
	BBS	总线忙标志	总线忙标志
	3~7	清“0”	清“0”
UiSMR2	IICM2	参照表 1.16.4	参照表 1.16.4
	CSC	在允许时钟同步时, 置“1”	清“0”
	SWC	在时钟第9位的下降沿将SCLi输出固定为“L”电平输出时, 置“1”	在时钟第9位的下降沿将SCLi输出固定为“L”电平输出时, 置“1”
	ALS	如果在检测出仲裁失利时停止SDAi输出, 就置“1”	清“0”
	STC	不使用。清“0”	通过开始条件检测初始化UARTi时, 置“1”
	SWC2	将SCLi的输出强制设为“L”电平时, 置“1”	将SCLi的输出强制设为“L”电平时, 置“1”
	SDHI	在禁止SDAi输出时, 置“1”	在禁止SDAi输出时, 置“1”
	7	清“0”	清“0”
UiSMR3	0、2、4、NODC	清“0”	清“0”
	CKPH	参照表 1.16.4	参照表 1.16.4
	DL2~DL0	设定SDAi的数字延迟值	设定SDAi的数字延迟值

注1. 必须将U0C1、U1C1寄存器bit4和bit5清“0”。U0IRS、U1IRS、U0RRM、U1RRM位在UCON寄存器中。

注2. TxD₂管脚为N沟道漏极开路。必须将U2C0寄存器的NCH位清“0”。

注3. 在I²C模式中, 必须将此表中没有记述的位清“0”。

i=0~2

表 1.16.3. I²C 模式中使用的寄存器和设定值 (2)

寄存器	位	功能	
		主模式时	从属模式时
UiSMR4	STAREQ	在生成开始条件时, 置 “1”	不使用。清 “0”
	RSTAREQ	在生成重新启动条件时, 置 “1”	不使用。清 “0”
	STPREQ	在生成停止条件时, 置 “1”	不使用。清 “0”
	STSPSEL	在输出各条件时, 置 “1”	不使用。清 “0”
	ACKD	选择 ACK 或者 NACK	选择 ACK 或者 NACK
	ACKC	在输出 ACK 数据时, 置 “1”	在输出 ACK 数据时, 置 “1”
	SCLHI	如果在检测出停止条件, 停止 SCLi 输出时, 就置 “1”	不使用。清 “0”
	SWC9	不使用。清 “0”	在时钟第 9 位的下一个下降沿将 SCLi 保持 “L” 电平时, 置 “1”
IFSR2A	IFSR26、IFSR27	置 “1”	置 “1”
UCON	U0IRS、U1IRS	无效	无效
	2~7	清 “0”	清 “0”

i=0~2

表 1.16.4. I²C 模式中的各功能

功能	时钟同步串行 I/O 模式 (SMD2 ~ SMD0=001b、 IICM=0)	I ² C 模式 (SMD2 ~ SMD0=010b、IICM=1)			
		IICM2=0 (NACK/ACK 中断)		IICM2=1 (UART 发送/UART 接收中断)	
		CKPH=0 (无时钟延迟)	CKPH=1 (有时钟延迟)	CKPH=0 (无时钟延迟)	CKPH=1 (有时钟延迟)
中断序号 6、7、10 的源 (注 1、5、7)	—	开始条件检测、停止条件检测 (请参照“表 1.16.5 STSPSEL 位的功能”)			
中断序号 15、17、19 的源 (注 1、6)	UARTi 发送 发送开始或者发送结束 (由 UiIRS 选择)	无应答检测 (NACK) 第 9 位 SCLi 的上升沿		UARTi 发送 第 9 位 SCLi 的上升沿	UARTi 送信 第 9 位下一个 SCLi 的下降沿
中断序号 16、18、20 的源 (注 1、6)	UARTi 接收 接收第 8 位时 CKPOL=0 (上升) CKPOL=1 (下降)	应答检测 (ACK) 第 9 位 SCLi 的上升沿		UARTi 接收 第 9 位 SCLi 的下降沿	
从 UART 接收移位寄存器将数据 传送给 UiRB 寄存器的时序	CKPOL=0 (上升) CKPOL=1 (下降)	第 9 位 SCLi 的上升沿		第 9 位 SCLi 的下降沿	第 9 位 SCLi 的下降沿 和上升沿
UARTi 发送输出延迟	无延迟	有延迟			
P6_3、P6_7、P7_0 管脚的功能	TXDi 输出	SDAi 输入/输出			
P6_2、P6_6、P7_1 管脚的功能	RXDi 输入	SCLi 输入/输出			
P6_1、P6_5、P7_2 管脚的功能	选 CLKi 输入或者输出择	— (不用于 I ² C 模式)			
噪声滤波器宽度	15ns	200ns			
RXDi、SCLi 管脚电平的读取	对应的端口方向位为“0”时 能读取	与对应的端口方向位的内容无关, 总是能读取			
TXDi、SDAi 输出的初始值	CKPOL=0 (H) CKPOL=1 (L)	设定 I ² C 模式前, 设定在端口寄存器中的值 (注 2)			
SCLi 的初始值和结束值	—	H	L	H	L
DMA1 触发源 (注 6)	UARTi 接收	应答检测 (ACK)		UARTi 接收 第 9 位 SCLi 的下降沿	
接收数据的保存	将第 1 ~ 8 位保存到 UiRB 寄 存器的 bit0 ~ 7	将第 1 ~ 8 位保存到 UiRB 寄存器的 bit7 ~ 0		将第 1 ~ 7 位保存到 UiRB 寄存器的 bit6 ~ 0、第 8 位保存到 UiRB 寄存器的 bit8	
				将第 1 ~ 8 位保存到 UiRB 寄存器的 bit7 ~ 0 (注 3)	
接收数据的读取	读 UiRB 寄存器的状态				UiRB 寄存器的 bit6 ~ 0 作为 bit7 ~ 1、bit8 作 为 bit0 来读 (注 4)

i=0 ~ 2

注 1. 如果更改中断源, 被更改中断的中断控制寄存器的 IR 位有可能变为“1”(有中断请求)(请参照“24.5 中断注意事项”)。如果更改 UiMR 寄存器的 SMD2 ~ SMD0 位、UiSMR 寄存器的 IICM 位、UiSMR2 寄存器的 IICM2 位、UiSMR3 寄存器的 CKPH 位, 因为中断源和中断时序等发生变化, 所以必须在更改这些位后, 将 IR 位清“0”(无中断请求)。

注 2. 必须在 SMD2 ~ SMD0 位为“000b”(串行 I/O 无效)的状态下设定 SDAi 输出的初始值。

注 3. 第 2 次给 UiRB 寄存器传送数据 (第 9 位 SCLi 的上升沿时)

注 4. 第 1 次给 UiRB 寄存器传送数据 (第 9 位 SCLi 的下降沿时)

注 5. 请参照“图 1.16.4 STSPSEL 位的功能”。

注 6. 请参照“图 1.16.2 UiRB 寄存器的传送和中断时序”。

注 7. 在使用 UART0 时, 必须将 IFSR2A 寄存器的 IFSR26 位置“1”(中断源为 UART0 总线冲突)。在使用 UART1 时, 必须将 IFSR2A 寄存器的 IFSR27 位置“1”(中断源为 UART1 总线冲突)。

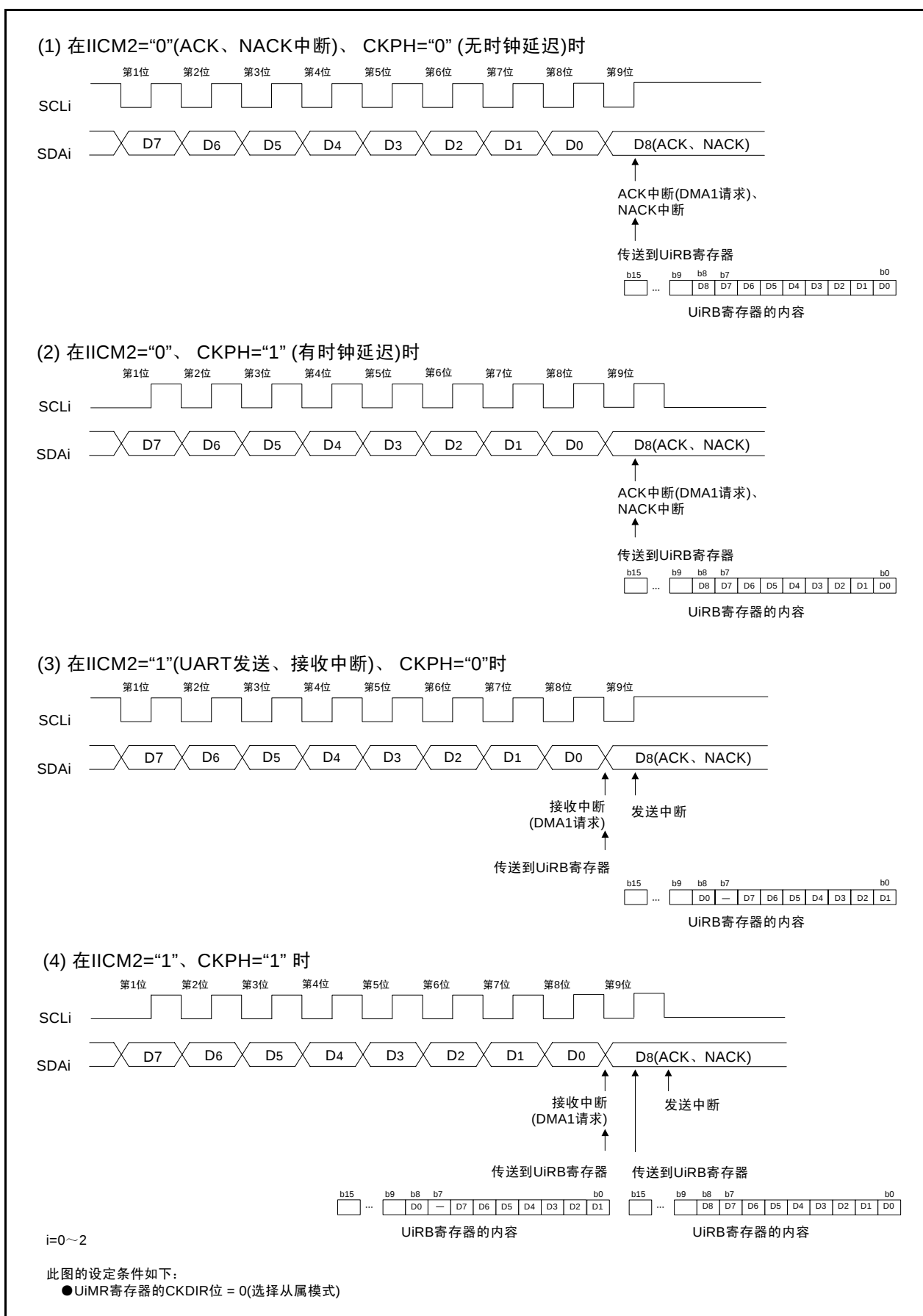


图 1.16.2. UiRB 寄存器的传送和中断时序

● 开始条件和停止条件的检测

判断开始条件或者停止条件的检测。

在 SCLi 管脚为 “H” 电平的状态下，如果 SDAi 管脚从 “H” 电平变为 “L” 电平，就产生开始条件检测中断请求；如果 SDAi 管脚从 “L” 电平变为 “H” 电平，就产生停止条件检测中断请求。

因为开始条件检测中断和停止条件检测中断复用中断控制寄存器和向量，所以不论由哪个请求产生的中断都必须用 UiSMR 寄存器的 BBS 位来判断。

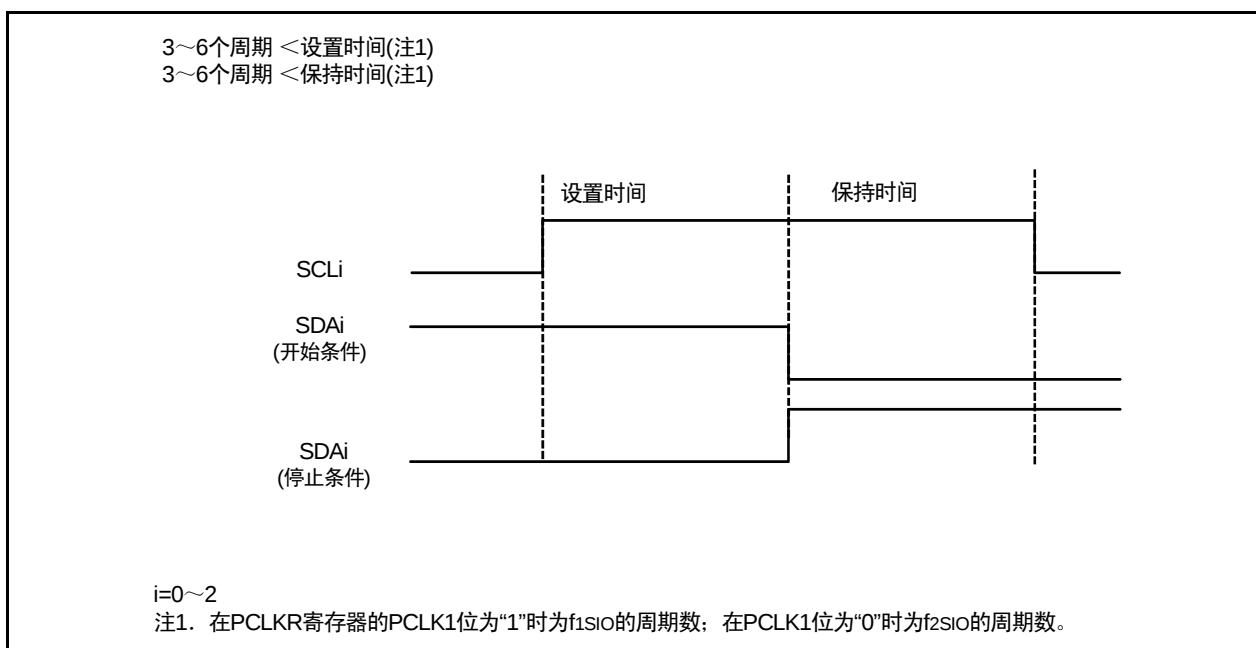


图 1.16.3. 开始条件和停止条件的检测

● 开始条件和停止条件的输出

如果将 UiSMR4 寄存器 (i=0~2) 的 STAREQ 位置 “1” (启动)，就生成开始条件。

如果将 UiSMR4 寄存器的 RSTAREQ 位置 “1” (启动)，就生成重新启动条件。

如果将 UiSMR4 寄存器的 STPREQ 位置 “1” (启动)，就生成停止条件。

输出的步骤如下：

- (1) 将 STAREQ 位、RSTAREQ 位或者 STPREQ 位置 “1” (启动)
- (2) 将 UiSMR4 寄存器的 STSPSEL 位置 “1” (输出)

STSPSEL 位的功能如表 1.16.5 和图 1.16.4 所示。

表 1.16.5. STSPSEL 位的功能

功能	STSPSEL=0	STSPSEL=1
SCLi、SDAi 管脚的输出	输出传送时钟和数据。 通过程序采用端口实现开始条件和停止条件的输出（不通过硬件自动生成）	根据 STAREQ 位、RSTAREQ 位或者 STPREQ 位输出开始条件和停止条件
开始条件和停止条件的中断请求产生时序	开始条件和停止条件检测	结束生成开始条件和停止条件

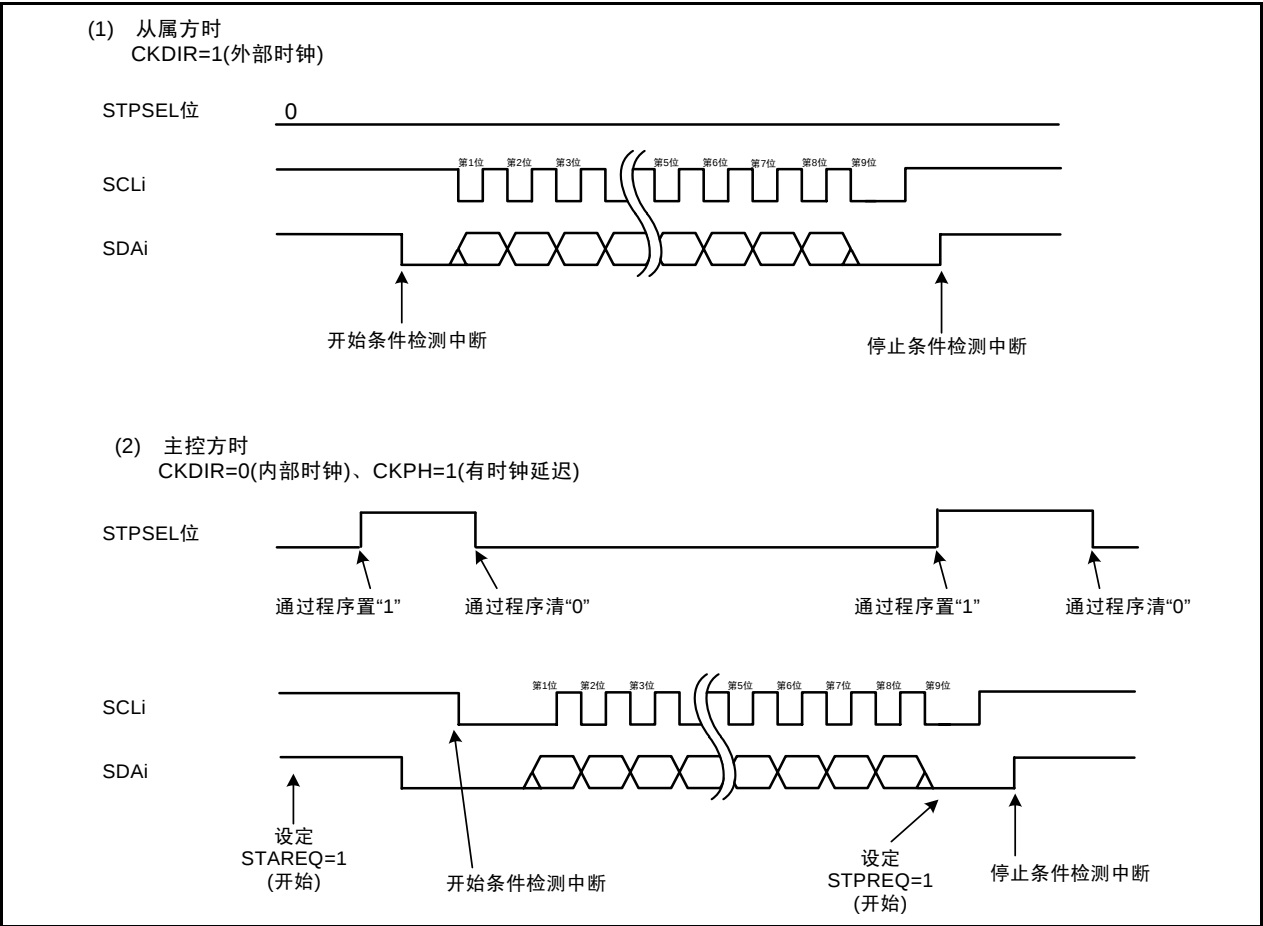


图 1.16.4. STSPSEL 位的功能

● 仲裁

在 SCLi 的上升沿时序处判断发送数据和 SDAi 管脚输入数据为不一致。通过 UiSMR 寄存器的 ABC 位选择 UiRB 寄存器的 ABT 位的更新时序。在 ABC 位为 “0”（按位更新）时，如果在判断时检测出不一致，ABT 位就为 “1”；如果没检测出不一致，ABT 位就为 “0”。如果将 ABC 位置 “1”，只要在判断时检测出一次不一致，就在第 9 位的时钟下降沿 ABT 位变为 “1”（不一致检测）。而且，在按字节更新时，必须在第 1 个字节的应答检测结束后，先将 ABT 位清 “0”（未检测），然后传送下一个字节。

如果将 UiSMR2 寄存器的 ALS 位置 “1”（允许 SDA 输出停止），就发生仲裁失利，并在 ABT 位变为 “1”（不一致检测）的同时，SDAi 管脚变为高阻抗状态。

● 传送时钟

传送时钟的发送和接收如图1.16.4所示。

UiSMR2寄存器的CSC位是使内部生成的时钟（内部SCLi）和输入到SCLi管脚的外部时钟同步的位。如果将CSC位置“1”（允许时钟同步），在内部SCLi为“H”电平时，当SCLi管脚出现下降沿，就将内部SCLi置为“L”电平，在将UiBRG寄存器的值重新装入后开始L区间的计数。另外，在SCLi管脚为“L”电平时，如果内部SCLi从“L”电平变为“H”电平，就停止计数。此后，如果SCLi管脚为“H”电平，就重新开始计数。因此，UARTi的传送时钟为内部SCLi和SCLi管脚信号的逻辑与。而且，传送时钟在从内部SCLi的第1位下降沿半周期前到第9位上升沿的期间运行。使用此功能时，必须使用内部时钟作为传送时钟。

能通过UiSMR2寄存器的SWC位，在时钟的第9位下降沿处，选择是将SCLi管脚固定为“L”电平输出或者解除固定的“L”电平输出。

如果将UiSMR4寄存器的SCLHI位置“1”（允许），就在检测停止条件时停止SCLi输出（高阻抗状态）。

如果将UiSMR2寄存器的SWC2位置“1”（0输出），即使在发送和接收过程中也能从SCLi管脚强制输出“L”电平。如果将SWC2位清“0”（传送时钟），就解除SCLi管脚的“L”电平输出，而是从SCLi管脚输入/输出传送时钟。

在UiSMR3寄存器的CKPH位为“1”时，如果将UiSMR4寄存器的SWC9位置“1”（允许SCL保持“L”电平），就在时钟第9位的下一个下降沿将SCLi管脚固定为“L”电平输出；如果将SWC9位清“0”（禁止SCL保持“L”电平），就解除固定的“L”电平输出。

● SDA输出

将写在UiTB寄存器的bit7~0（D7~D0）的值按从D7的开始顺序输出，第9位（D8）为ACK或者NACK。

必须在IICM=1（I²C模式）并且UiMR寄存器的SMD2~SMD0位为“0002”（串行I/O无效）的状态下设定SDAi发送输出的初始值。

能根据UiSMR3寄存器的DL2~DL0位，对SDAi的输出设定无延迟或者延迟UiBRG计数源的2~8个周期。

如果将UiSMR2寄存器的SDHI位置“1”（禁止SDA输出），SDAi管脚就强制变为高阻抗状态。另外，不能在UARTi传送时钟的上升沿的时序写SDHI位。ABT位有可能为“1”（检测）。

● SDA输入

在IICM2位为“0”时，将接收数据的第1~8位（D7~D0）保存到UiRB寄存器的bit7~0，第9位（D8）为ACK或者NACK。

在IICM2位为“1”时，将接收数据的第1~7位（D7~D1）保存到UiRB寄存器的bit6~0、第8位（D0）保存到UiRB寄存器的bit8。即使在IICM2位为“1”时，只要CKPH位为“1”，也能在第9位的时钟上升沿后通过读取UiRB寄存器来读取和IICM2位为“0”时相同的数据。

● ACK、NACK

在 UiSMR4 寄存器的 STSPSEL 位为 “0”（不生成开始条件和停止条件）并且 UiSMR4 寄存器的 ACKC 位为 “1”（输出 ACK 数据）时，从 SDAi 管脚输出 UiSMR4 寄存器的 ACKD 位的值。

在 IICM2 位为 “0” 时，如果在发送时钟的第 9 位的上升沿 SDAi 管脚一直为 “H” 电平，就产生 NACK 中断请求；如果在发送时钟的第 9 位的上升沿 SDAi 管脚为 “L” 电平，就产生 ACK 中断请求。

如果对 DMA1 请求源选择 ACKi，就能通过应答检测启动 DMA 传送。

● 发送和接收初始化

如果将 STAC 位置 “1”（允许 UARTi 初始化）并检测出开始条件，就进行如下运行：

- 初始化发送移位寄存器，将 UiTB 寄存器的内容传送到发送移位寄存器。因此将下一个输入时钟作为第 1 位数据开始发送。但是，在从时钟输入到输出第 1 位数据之间，UARTi 输出值不变为检测出开始条件时的值。
- 初始化接收移位寄存器，将下一个输入时钟作为第 1 位开始接收数据。
- SWC 位变为 “1”（允许 SCL 等待输出）。在时钟第 9 位的下降沿 SCLi 管脚变为 “L” 电平。

另外，在使用此功能并开始 UARTi 的发送和接收时，TI 位不变。并且，在使用此功能时，必须选择外部时钟作为传送时钟。

特殊模式 2

特殊模式 2 可以使 1 个主控方与多个从属方进行串行通信，并且可以选择同步时钟的极性和相位。特殊模式 2 的规格如表 1.16.6、特殊模式 2 中使用的寄存器和设定值如表 1.16.7、特殊模式 2 的通信控制例如图 1.16.5 所示。因为 UART2 没有 CLK 管脚，所以在该模式下不能使用。

表 1.16.6. 特殊模式 2 的规格

项目	规格
传送数据格式	传送数据长度 8 位
传送时钟	●主模式 UiMR 寄存器 (i=0~1) 的 CKDIR 位为 “0” (选择内部时钟) :fj/2 (n+1) fj=f1SIO、f2SIO、f8SIO、f32SIO n:UiBRG 寄存器的设定值 00₁₆~FF₁₆。 ●从属模式 CKDIR 位为 “1” (选择外部时钟) :从 CLKi 管脚的输入
发送控制、接收控制	通过 I/O 端口控制
发送开始条件	开始发送时需要以下条件 (注 1) : • UiC1 寄存器的 TE 位为 “1” (允许发送) • UiC1 寄存器的 TI 位为 “0” (UiTB 寄存器中有数据)
接收开始条件	开始接收时需要以下条件 (注 1) : • UiC1 寄存器的 RE 位为 “1” (允许接收) • TE 位为 “1” (允许发送) • TI 位为 “0” (UiTB 寄存器中有数据)
中断请求产生时序	发送时可选择以下的任意条件: • UiC1 寄存器的 UiIRS 位为 “0” (发送缓冲器空) : 在从 UiTB 寄存器向 UARTi 发送寄存器传送数据时 (发送开始时) • UiIRS 位为 “1” (发送结束) : 在从 UARTi 发送寄存器结束数据传送时 接收时 • 在从 UARTi 接收寄存器向 UiRB 寄存器传送数据时 (接收结束时)
错误检测	溢出错误 (注 2) 如果在读取 UiRB 寄存器前开始接收下一个数据并且接收下一个数据的第 7 位, 就产生溢出错误
选择功能	●时钟相位选择 可选择传送时钟的极性和相位的 4 种组合

注 1. 在选择外部时钟时, 必须满足以下条件:UiC0 寄存器的 CKPOL 位为 “0” (在传送时钟的下降沿输出发送数据, 在上升沿输入接收数据) 时, 外部时钟为 “H” 电平状态; CKPOL 位为 “1” (在传送时钟的上升沿输出发送数据, 在下降沿输入接收数据) 时, 外部时钟为 “L” 电平状态。

注 2. 如果产生溢出错误, UiRB 寄存器的内容就不确定。并且 SiRIC 寄存器的 IR 位不变。

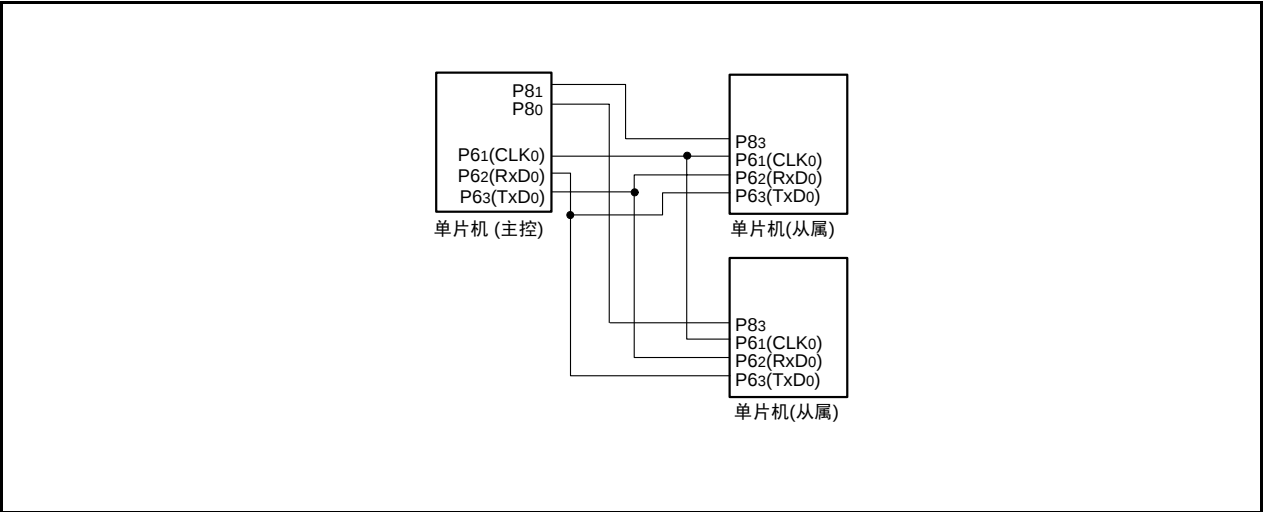


图 1.16.5. 特殊模式 2 中的通信控制例 (UART0)

表 1.16.7. 特殊模式2中使用的寄存器和设定值

寄存器	位	功能
UiTB (注3)	0~7	设定发送数据
UiRB (注3)	0~7	能读取接收数据
	OER	溢出错误标志
UiBRG	0~7	设定传送速度
UiMR (注3)	SMD2~SMD0	设定为“0012”
	CKDIR	主模式时清“0”，从属模式时置“1”
	IOPOL	清“0”
UiC0	CLK0,CLK1	选择UiBRG的计数源
	CRS	因为CRD=1, 所以无效
	TXEPT	发送寄存器空标志
	CRD	置“1”
	NCH	选择TxDi管脚的输出形式 (注2)
	CKPOL	通过和UiSMR3寄存器的CKPH位的组合, 能设定时钟相位
	UFORM	清“0”
UiC1	TE	在允许发送和接收时, 置“1”
	TI	发送缓冲器空标志
	RE	在允许接收时, 置“1”
	RI	接收结束标志
	U2IRS (注1)	选择UART2发送中断源
	U2RRM (注1)、U2LCH、UiERE	清“0”
UiSMR	0~7	清“0”
UiSMR2	0~7	清“0”
UiSMR3	CKPH	通过和UiC0寄存器的CKPOL位的组合, 能设定时钟相位
	NODC	清“0”
	0、2、4~7	清“0”
UiSMR4	0~7	清“0”
UCON	U0IRS、U1IRS	选择UART0、1发送中断源
	U0RRM、U1RRM	清“0”
	CLKMD0	因为CLKMD1=0, 所以无效
	CLKMD1、RCSP、7	清“0”

注1. 必须将U0C0、U1C1寄存器的bit4和bit5清“0”。U0IRS、U1IRS、U0RRM、U1RRM位在UCON寄存器中。

注2. 在特殊模式2中进行写操作时, 必须将表中没有记述的位清“0”。

i=0~1

■ 时钟相位设定功能

传送时钟的相位和极性共有 4 种组合，可以通过 UiSMR3 寄存器的 CKPH 位和 UiC0 寄存器的 CKPOL 位进行选择。

必须在进行传送的主控方和从属方设定相同的传送时钟的极性和相位。

主控方（内部时钟）的发送和接收时序如图 1.16.6 所示。

从属方（外部时钟）的发送和接收时序（CKPH=0）如图 1.16.7、从属方（外部时钟）的发送和接收时序（CKPH=1）如图 1.16.8 所示。

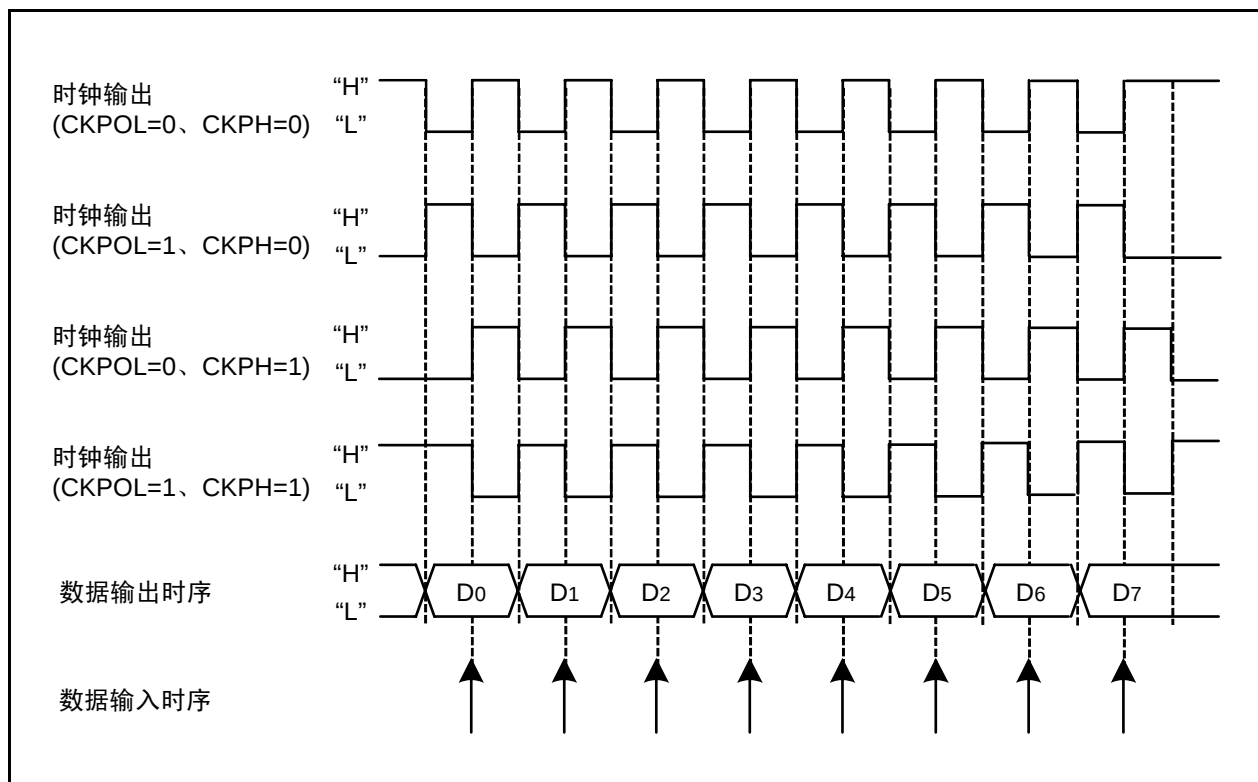


图 1.16.6. 主控方（内部时钟）的发送和接收时序

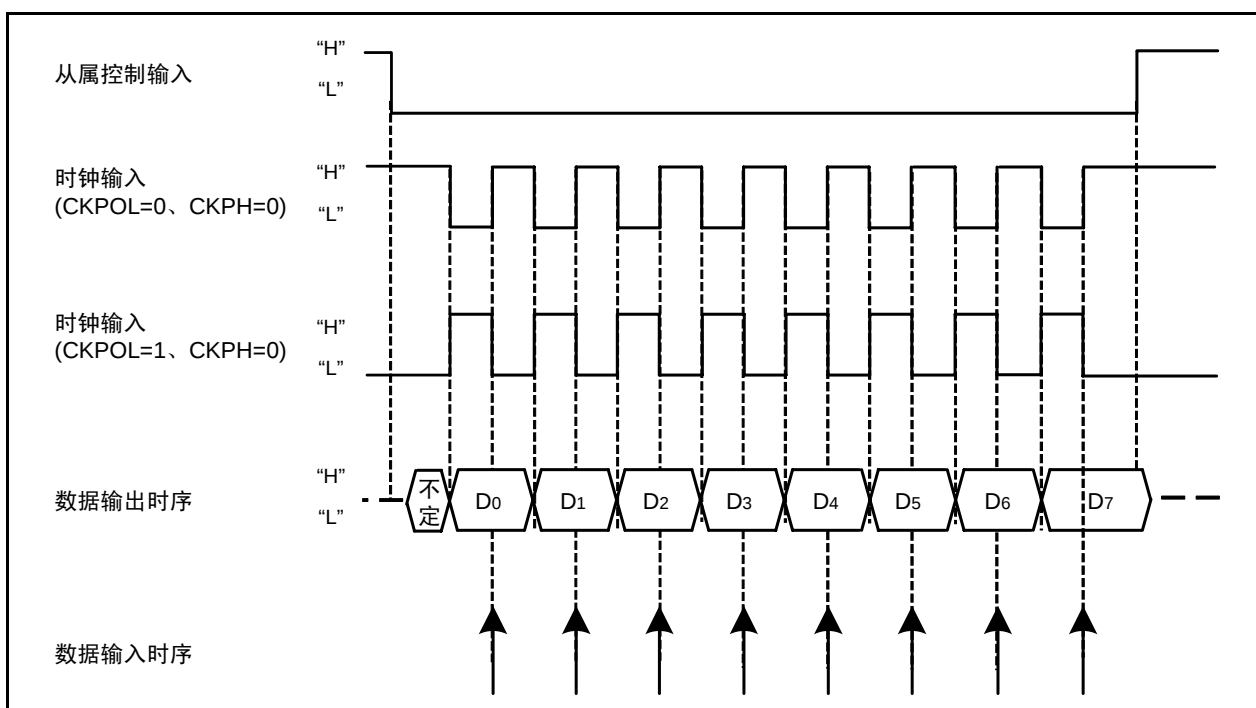


图1.16.7. 从属方（外部时钟）的发送和接收时序（CKPH=0）

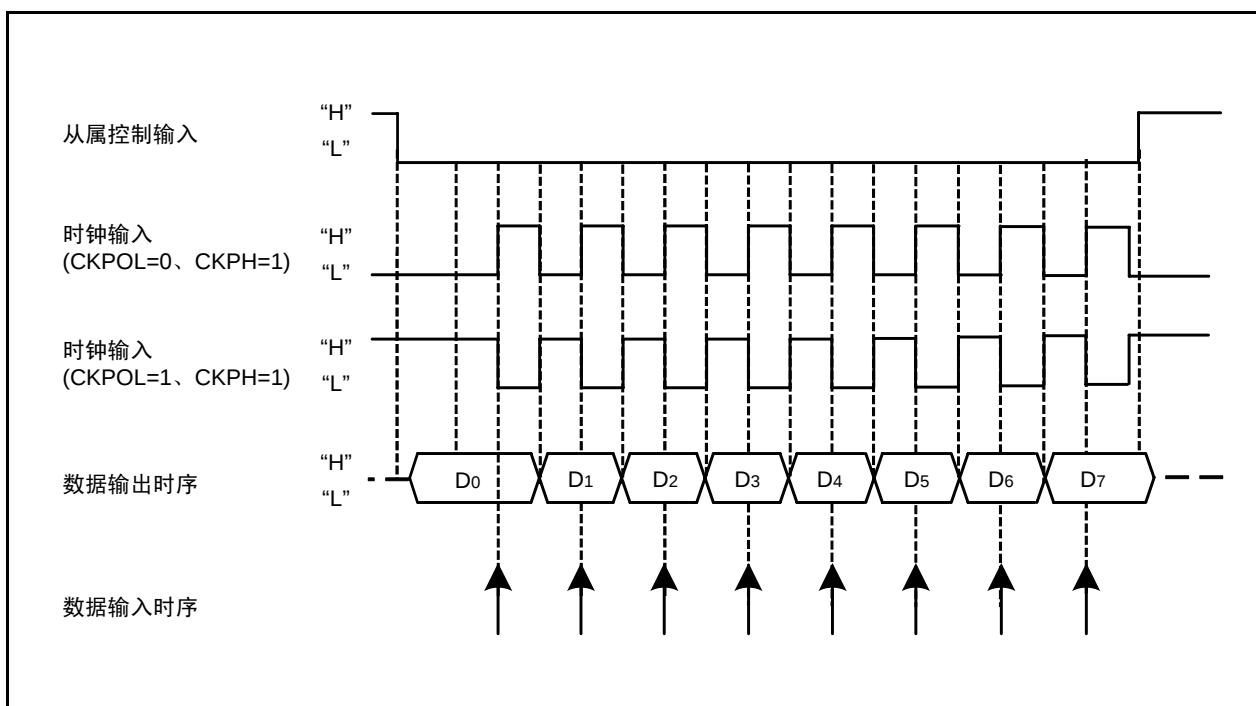


图1.16.8. 从属方（外部时钟）的发送和接收时序（CKPH=1）

SI/O3和SI/O4

SI/O3和SI/O4为时钟同步专用串行I/O。

SI/O3和SI/O4框图如图1.17.1、SI/O3和SI/O4相关寄存器如图1.17.2所示。

SI/O3和SI/O4的规格如表1.17.1所示。

SI/O4直接在IT800内部连接。

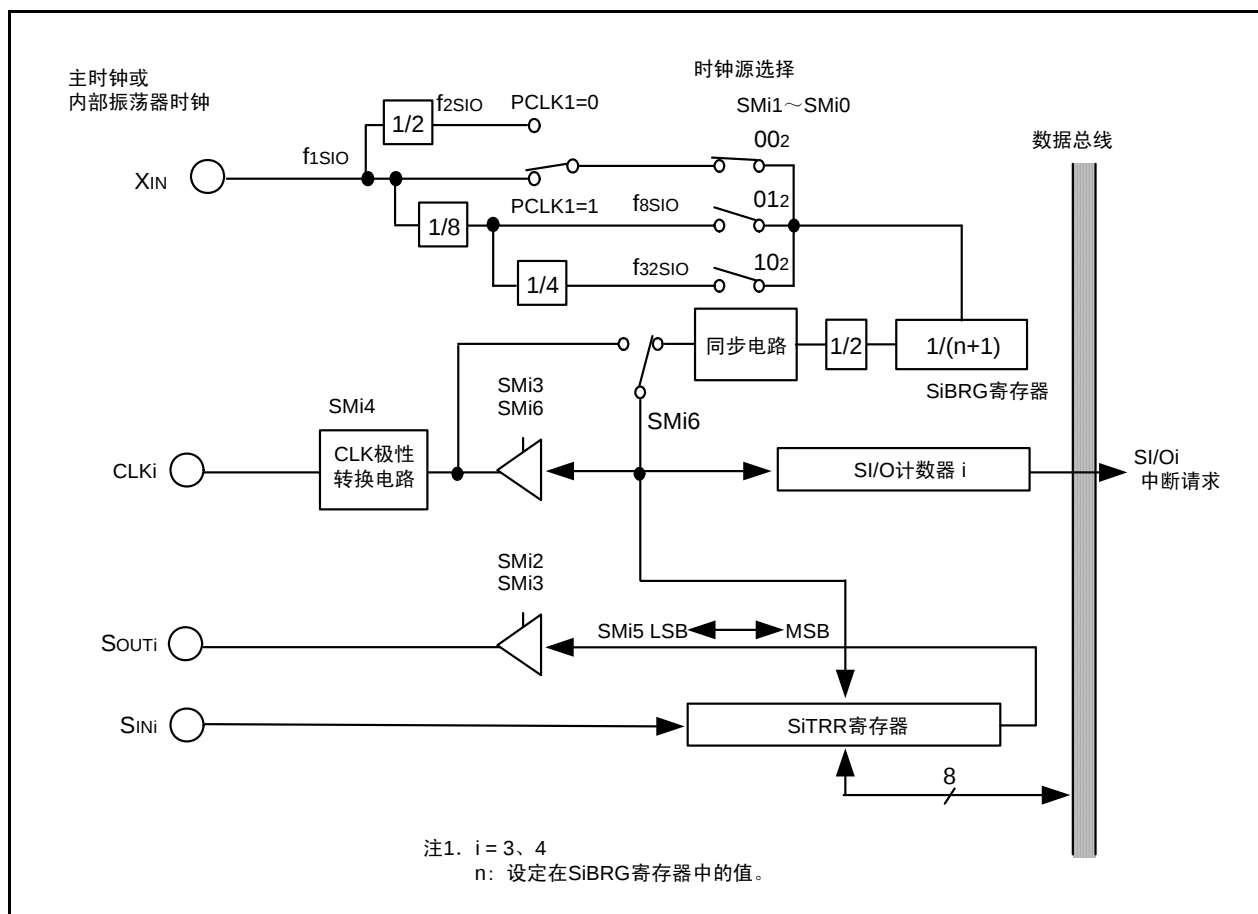


图1.17.1. SI/O3和SI/O4框图

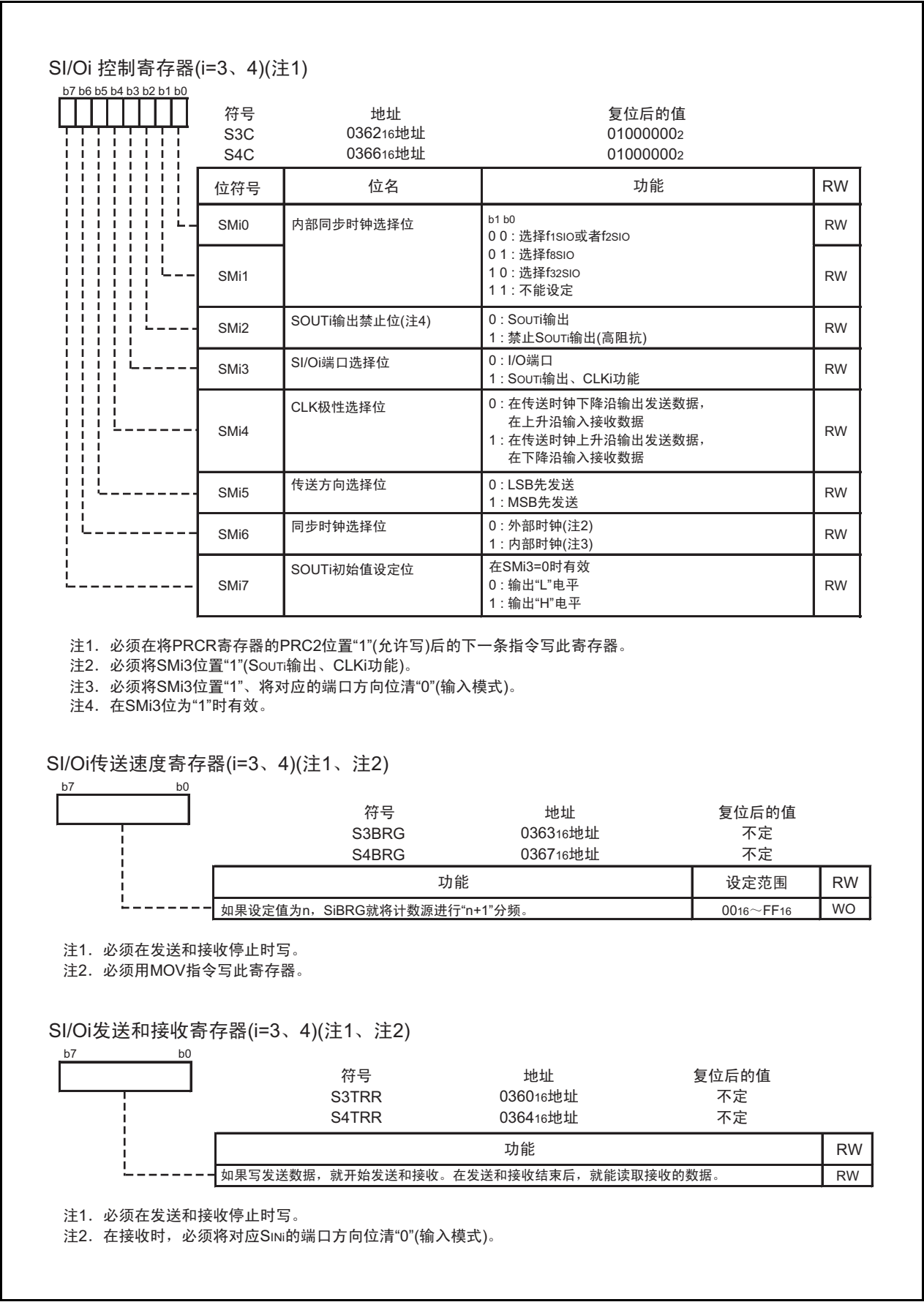


表1.17.1. SI/O3和SI/O4的规格

项目	规格
传送数据格式	●传送数据长度8位
传送时钟	● SiC 寄存器 (i=3、4) 的SMi6位为“1”(内部时钟) : $f_j/2(n+1)$ $f_j=f1SIO、f8SIO、f32SIO$ $n=SiBRG$ 寄存器的设定值 0016~FF16 ● SMi6位为“0”(外部时钟) :从CLKi管脚的输入 (注1)
发送和接收开始条件	●开始发送和接收时需要以下条件: 将发送数据写到SiTRR寄存器 (注2、注3)
中断请求产生时序	● SiC 寄存器的SMi4位为“0”时 最后的传送时钟的上升沿 (注4) ● SMi4位为“1”时 最后的传送时钟的下降沿 (注4)
CLKi管脚功能	I/O端口、传送时钟的输入、传送时钟的输出
SOUTi管脚功能	I/O端口、发送数据的输出、高阻抗
SINI管脚功能	I/O端口、接收数据的输入
选择功能	●选择LSB先发送或MSB先发送 可选择从bit0或者从bit7开始发送和接收 ● SOUTi初始值设定功能 SiC 寄存器的SMi6位为“0”(外部时钟)时, 可选择不发送时的SOUTi管脚的输出电平 ● CLK极性选择 传送数据的输出和输入时序可选择传送时钟的上升沿或者下降沿

注1. 在将SiC寄存器的SMi6位清“0”(外部时钟)时, 必须进行如下处理:

- SiC寄存器的SMi4位为“0”时, 必须在给CLKi管脚输入的“H”电平状态下将发送数据写到SiTRR寄存器。在改写SiC寄存器的SMi7位时也相同。
- SMi4位为“1”时, 必须在给CLKi管脚输入的“L”电平的状态下将发送数据写到SiTRR寄存器。改写SMi7位的方法也相同。
- 因为在传送时钟被输入到SI/Oi电路期间继续进行移位处理, 所以在8个脉冲后必须停止传送时钟。
SMi6位为“1”(内部时钟)时, 传送时钟自动停止。

注2. SI/Oi (i=3~4) 与UART0~UART2不同, 不分为用于传送的寄存器和缓冲器。因此, 不能在发送中将下一个发送数据写到SiTRR寄存器。

注3. SiC寄存器的SMi6位为“1”(内部时钟)时, 在传送结束后, SOUTi在1/2传送时钟期间保持最终数据, 变为高阻抗状态。但是, 如果在此期间将发送数据写到SiTRR寄存器, 就从写时开始变为高阻抗状态, 数据的保持时间变短。

注4. 在SiC寄存器的SMi6位为“1”(内部时钟)时, 如果SMi4位为“0”, 传送时钟就在“H”电平的状态下停止; 如果SMi4位为“1”, 传送时钟就在“L”电平状态下停止。

■ SI/Oi 运行时序

SI/Oi 运行时序图如图 1.17.3 所示。

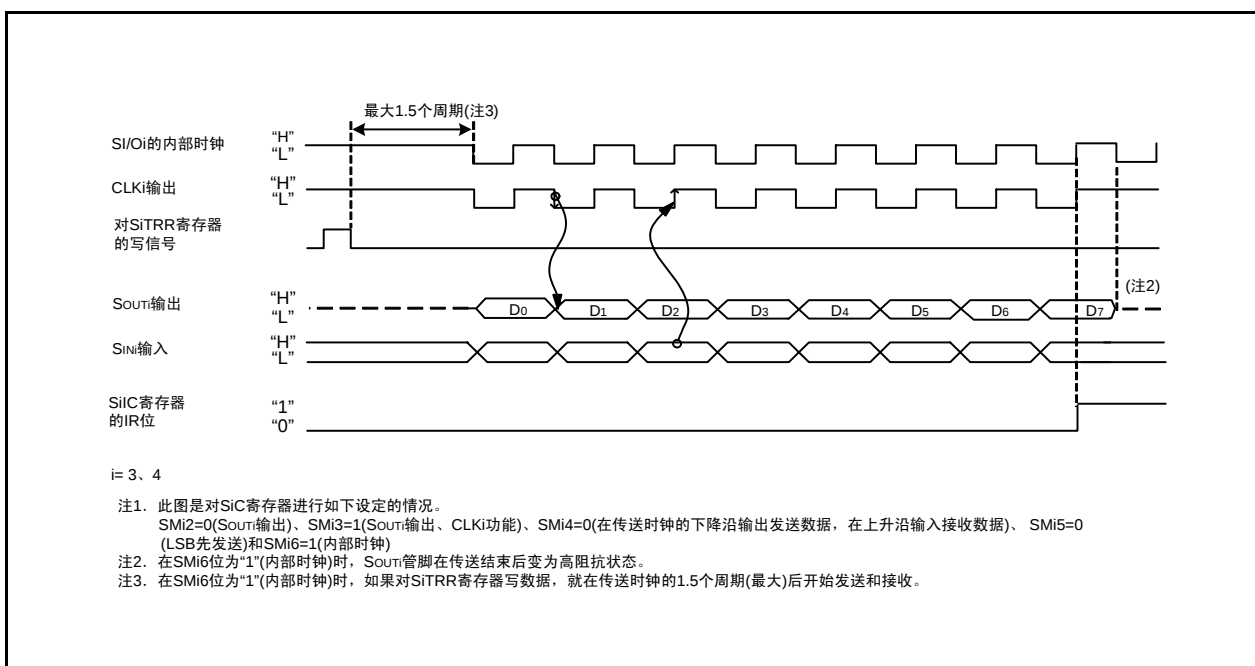


图 1.17.3. SI/Oi 运行时序图

■ CLK 极性选择

能通过 SiC 寄存器的 SMi4 位选择传送时钟的极性。传送时钟的极性如图 1.17.4 所示。

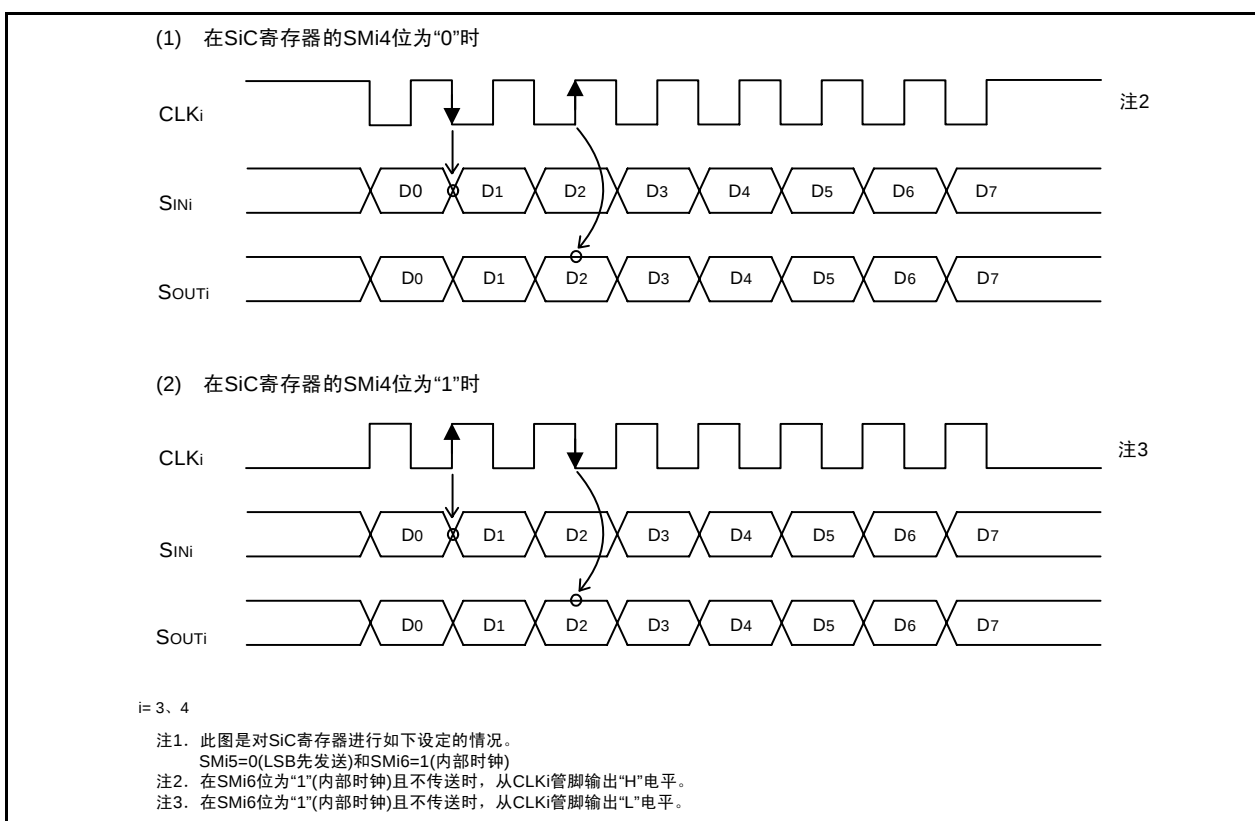


图 1.17.4. 传送时钟的极性

■ SOUTi初始值设定功能

SiC 寄存器的 SMI6 位为“0”（外部时钟）时，能将不传送时的 SOUTi 管脚的输出设定为“H”电平或者“L”电平。SOUTi 初始值设定时的时序图和设定方法如图 1.17.5 所示。

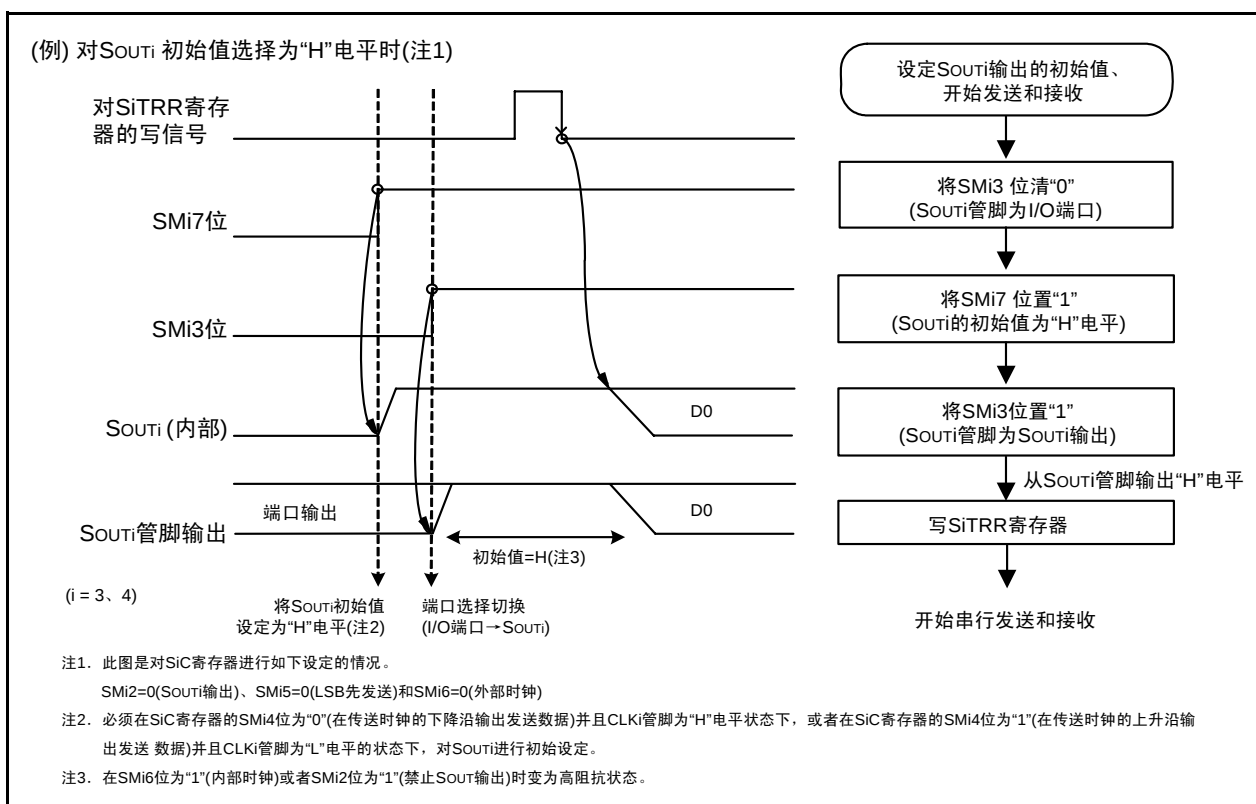


图 1.17.5. SOUTi 初始值设定时的时序图和设定方法

可编程 I/O 端口

可编程 I/O 端口（以下称为 I/O 端口）有 P1, P4～P9（P8₅除外）55 个。能通过方向寄存器逐个设定各端口的输入/输出。另外，能以 4 个为单位选择是否上拉。P8₅ 为输入专用并且没有上拉电阻。

端口 P1_0～P1_4, P1_6～P1_7, P4_0～P4_7, P5_0～P5_7, P7_2, P7_5, P7_7, P8_2, P8_6～P8_7 及 P9_3～P9_7 不连接外部管脚。

I/O 端口的构成如图 1.18.1～图 1.18.4、管脚的构成如图 1.18.5 所示。

各管脚作为 I/O 端口、外围功能的输入/输出使用。

外围功能的设定方法请参照各功能的说明。在用作外围功能的输入管脚时，必须将对应的管脚的方向位清“0”（输入模式）；用作外围功能的输出管脚时，与方向位无关，为外围功能的输出管脚。

（1）端口 Pi 方向寄存器（PDi 寄存器 i=1, 4～9）

PDi 寄存器如图 1.18.6 所示。

该寄存器是选择将 I/O 端口用作输入还是用作输出的寄存器。此寄存器的每个位对应 1 个端口。

另外，没有对应 P8₅ 的方向寄存器的位。

（2）端口 Pi 寄存器（Pi 寄存器 i=1, 4～9）

Pi 寄存器如图 1.18.7 所示。

通过对 Pi 寄存器的读写，进行外部数据的输入/输出。Pi 寄存器由保持输出数据的端口锁存器和读管脚状态的电路构成。如果读取设定为输入模式的端口的 Pi 寄存器，就能读取管脚的输入电平；如果写数据，就将数据写到端口锁存器。

如果读取设定为输出模式的端口的 Pi 寄存器，就能读取端口锁存器；如果写数据，就将数据写到端口锁存器。写在端口锁存器的值从管脚输出。Pi 寄存器的每个位对应 1 个端口。

（3）上拉控制寄存器 0～上拉控制寄存器 2（PUR0～PUR2 寄存器）

PUR0～PUR2 寄存器如图 1.18.8 所示。

能通过 PUR0～PUR2 寄存器的各位，以 4 个管脚为单位选择是否上拉。在将方向位设定为输入模式时，选择上拉的端口连接上拉电阻。

（4）端口控制寄存器（PCR 寄存器）

PCR 寄存器如图 1.18.9 所示。

如果在将 PCR 寄存器的 PCR0 位置“1”后读取 P1 寄存器，就与 PD1 寄存器的设定无关，读取对应的端口锁存器。

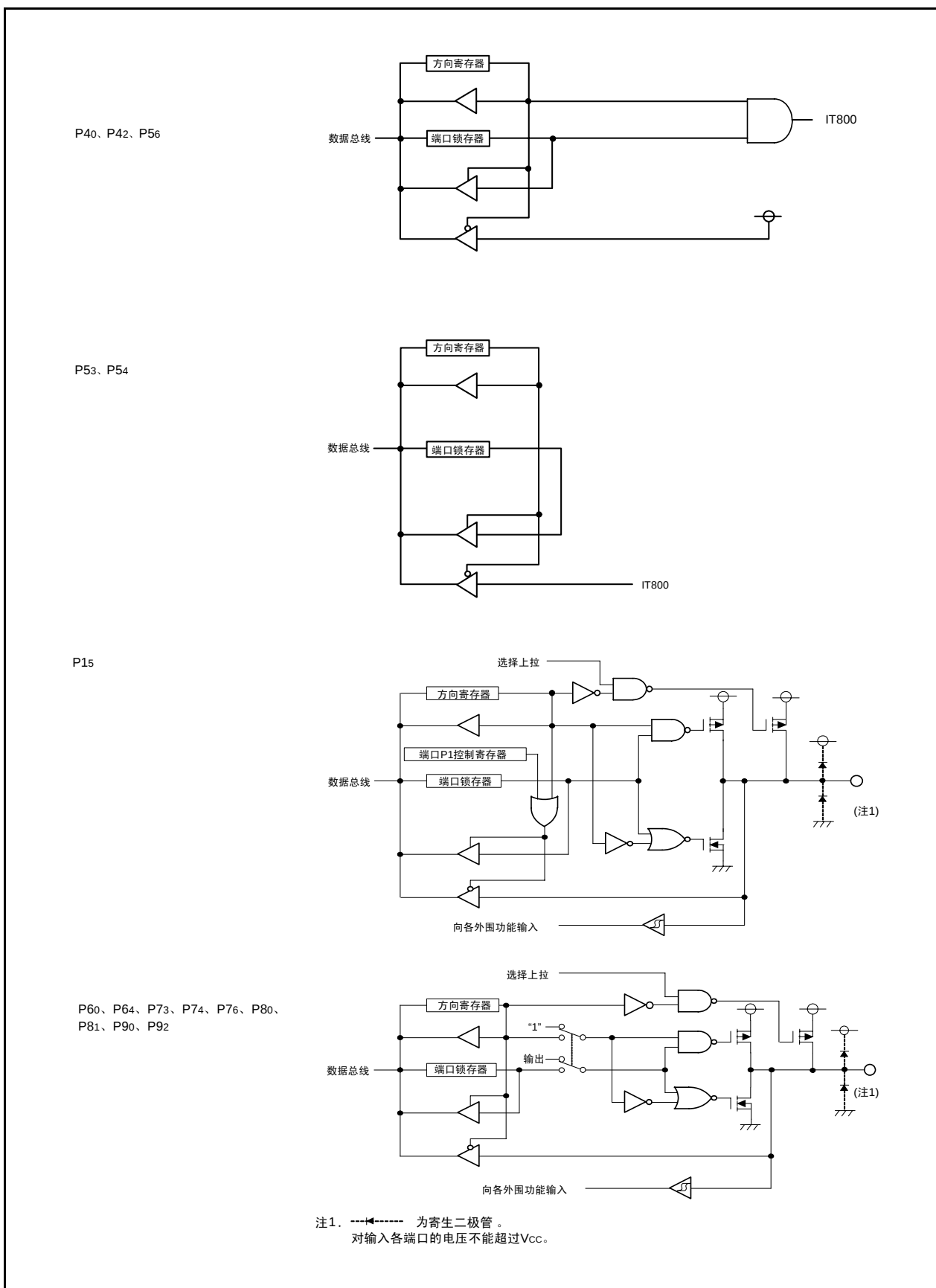


图1.18.1. I/O端口的构成 (1)

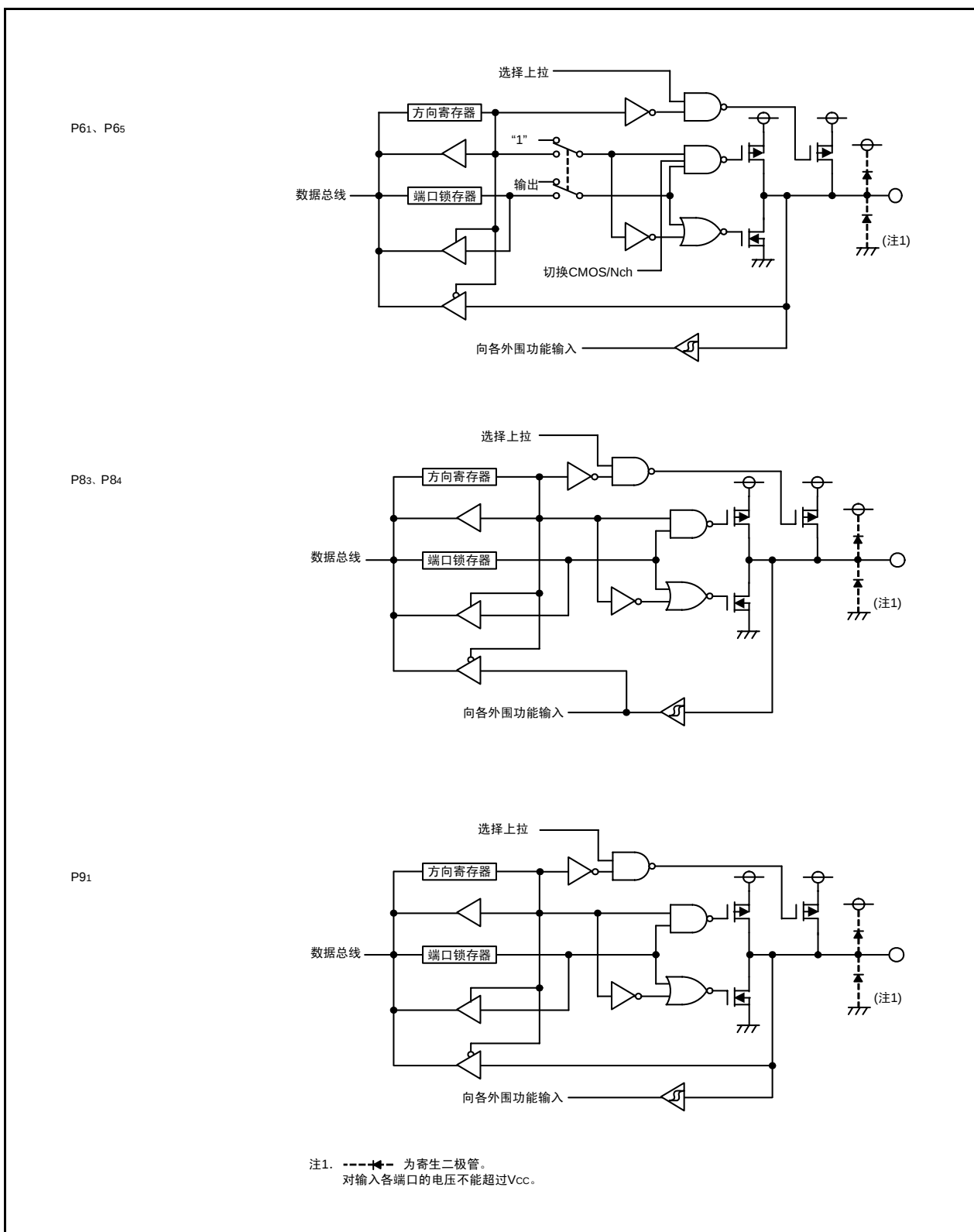


图1.18.2. I/O端口的构成 (2)

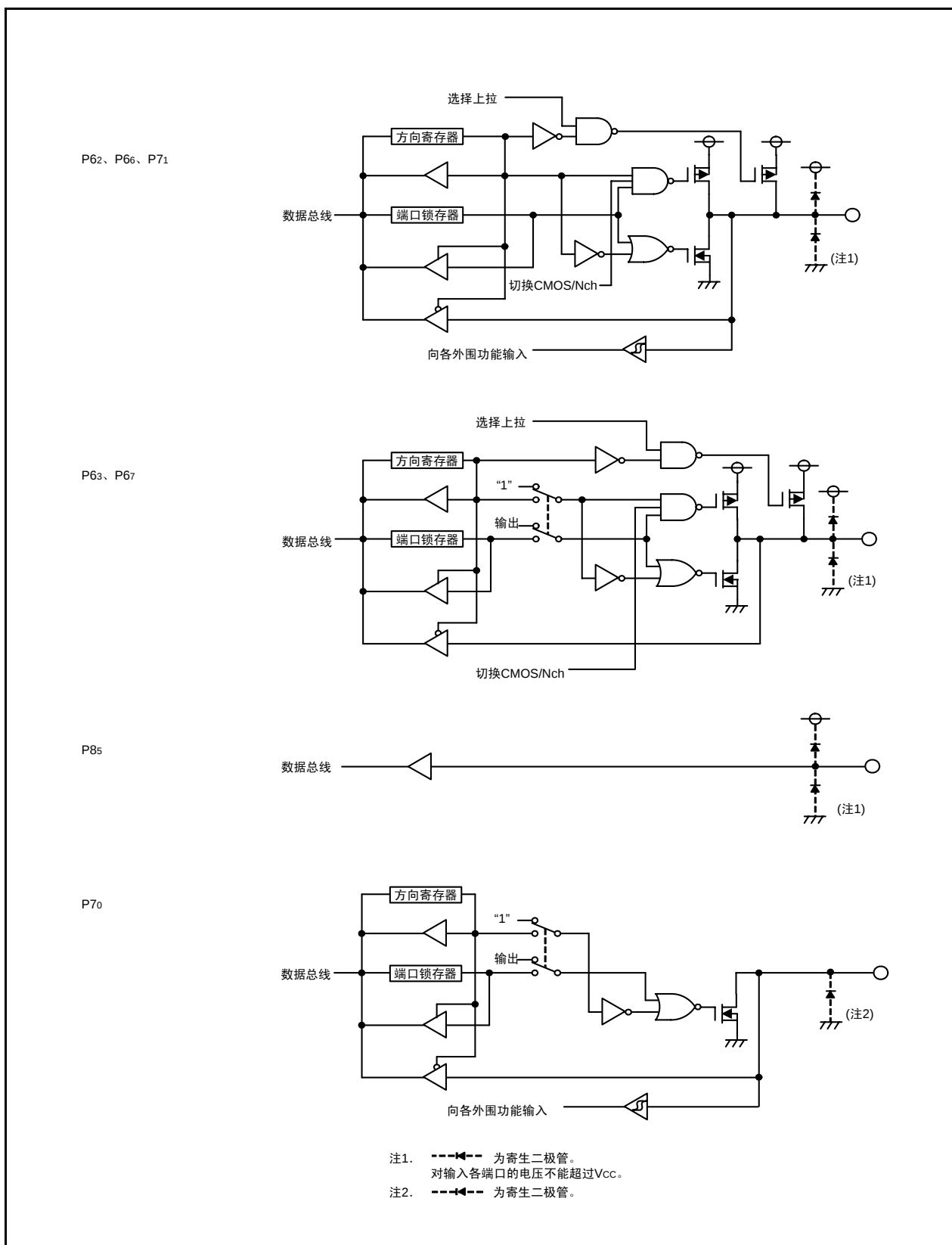


图1.18.3. I/O端口的构成 (3)

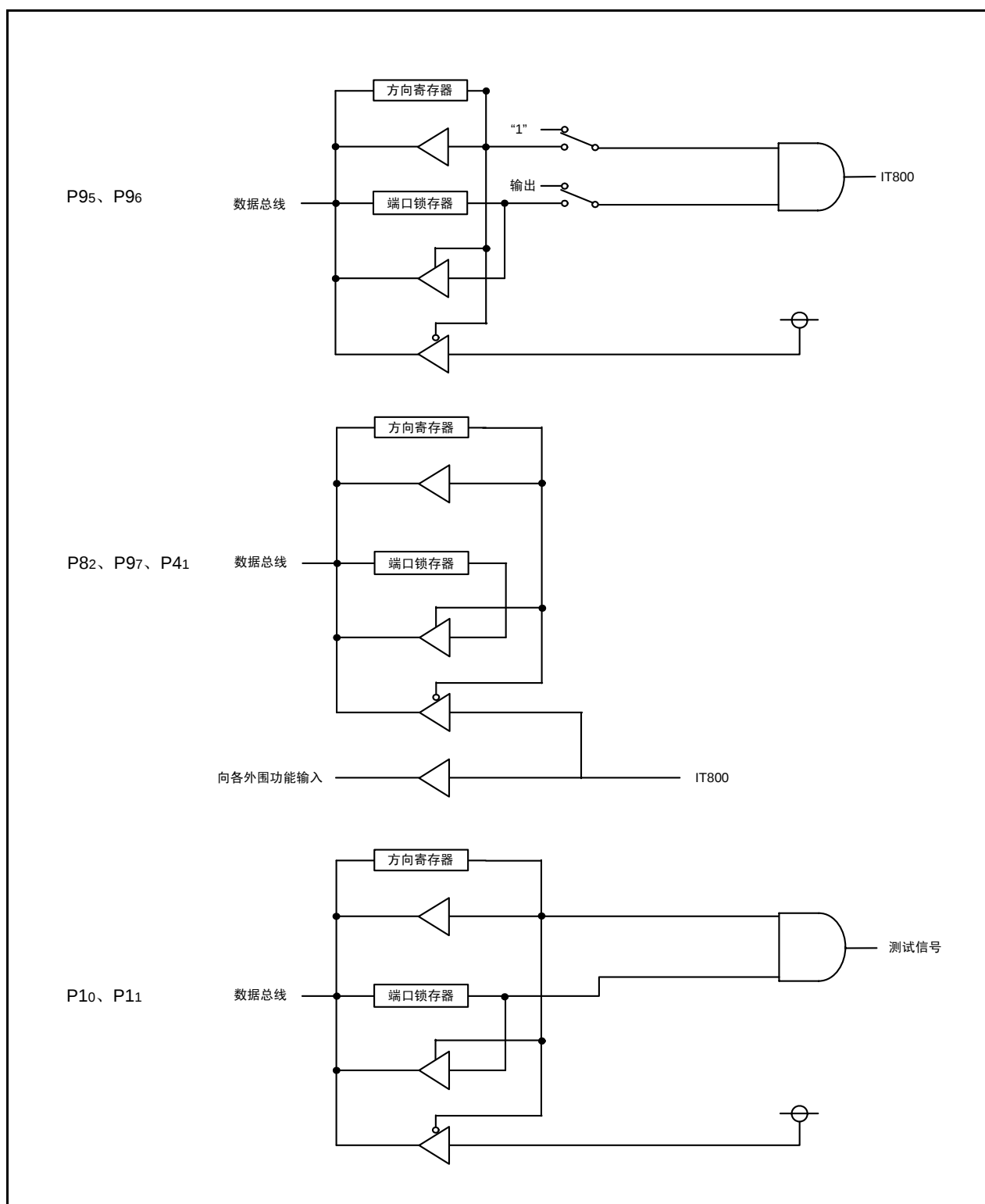


图 1.18.4. I/O 端口的构成 (4)

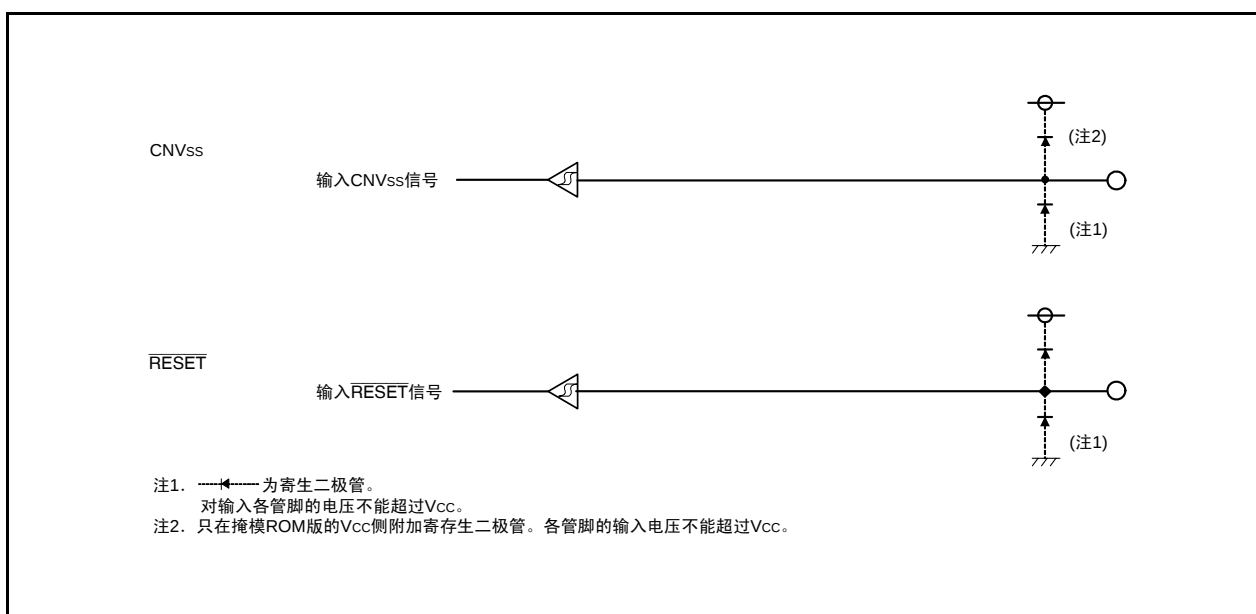


图1.18.5. 管脚的构成

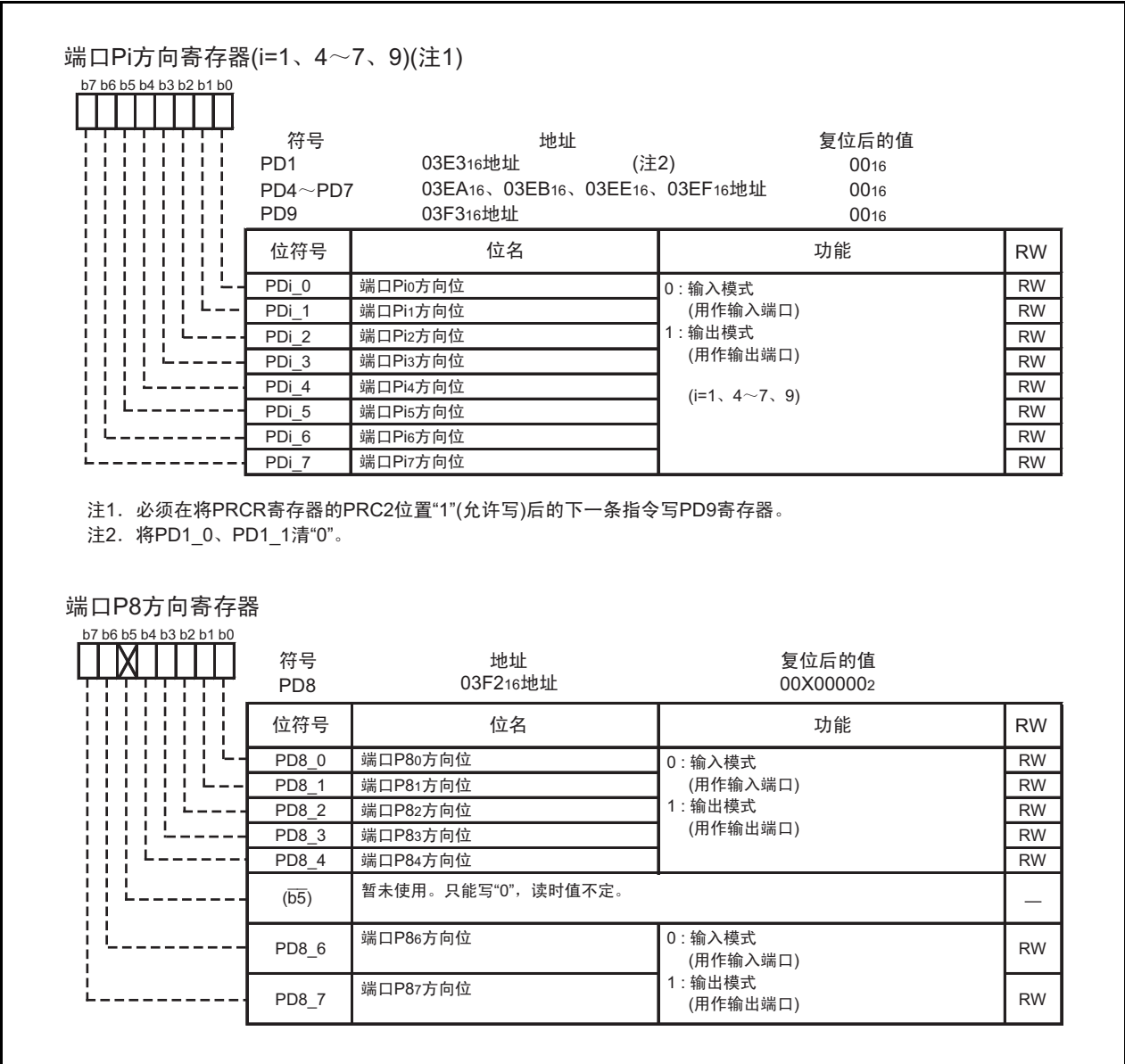


图 1.18.6. PD1~PD9 寄存器

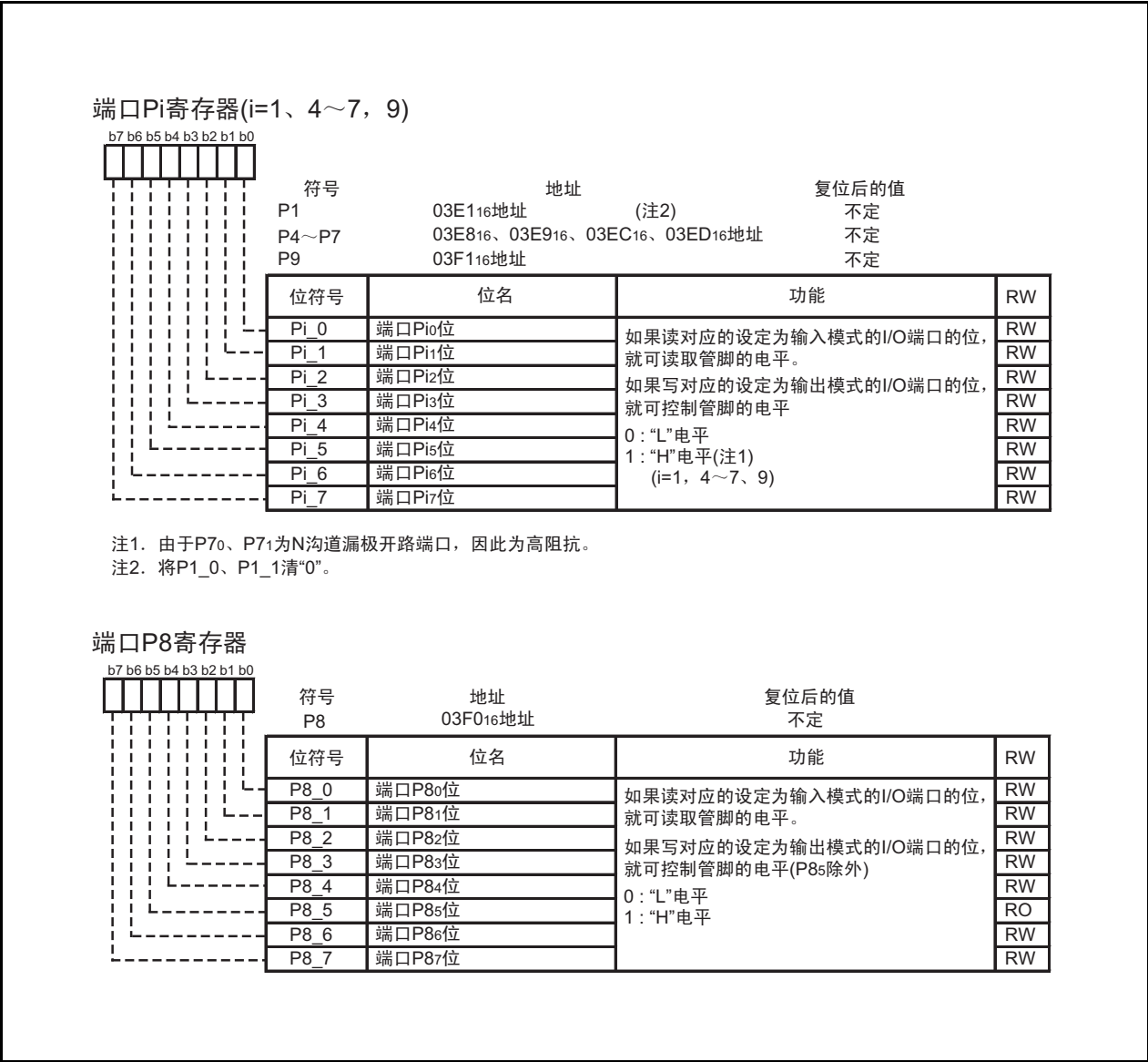
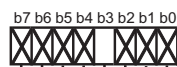


图 1.18.7. P1~P9 寄存器

上拉控制寄存器0



符号 PUR0	地址 03FC ₁₆ 地址	复位后的值 XXXX0XXX ₂	
位符号	位名	功能	RW
(b2-b0)	暂未使用。只能写“0”。读时值不定。		—
PU03	P14~P17的上拉	0: 无上拉 1: 有上拉(注1)	RW
(b7-b4)	暂未使用。只能写“0”。读时值不定。		—

注1. 该位为“1”(有上拉)且方向位为“0”(输入模式)的管脚被上拉。

上拉控制寄存器1



符号 PUR1	地址 03FD ₁₆ 地址	复位后的值(注3) 0000XXXX ₂	
位符号	位名	功能	RW
(b3-b0)	暂未使用。只能写“0”。读时值不定。		—
PU14	P60～P63的上拉	0: 无上拉 1: 有上拉(注2)	RW
PU15	P64～P67的上拉		RW
PU16	P72～P73的上拉(注1)		RW
PU17	P74～P77的上拉		RW

注1. P70管脚没有上拉。

注2. 该位为“1”（有上拉）且方向位为“0”（输入模式）的管脚被上拉。

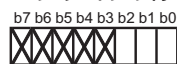
注3. 在硬件复位1或硬件复位2中为如下的值:

- CNV_{SS}管脚输入“L”电平时, 为“000000002”
- CNV_{SS}管脚输入“H”电平时, 为“000000102”

软件复位、看门狗定时器复位或振荡停止检测复位中为如下的值:

● PM0寄存器的PM01~PM00位为“002”（单芯片模式）时，为“000000002”

上拉控制寄存器2



符号 PUR2	地址 03FE ₁₆ 地址	复位后的值 XXXXX000 ₂	
位符号	位名	功能	RW
PU20	P80~P83的上拉	0: 无上拉	RW
PU21	P84~P87的上拉(注2)	1: 有上拉(注1)	RW
PU22	P90~P93的上拉		RW
(b7-b3)	暂未使用。只能写“0”。读时值为“0”。		—

注1. 该位为“1”（有上拉）且方向位为“0”（输入模式）的管脚被上拉。

注2. P85管脚没有上拉。

图 1.18.8. PUR0~PUR2 寄存器



图1.18.9. PCR 寄存器

表 1.18.1. 单芯片模式中未使用管脚的处理例

管脚名	处理内容
端口 P0~P14 (P8s 除外) P1, P6~P9	设定为输入模式, 每个管脚通过电阻连接到 V _{SS} (下拉); 或者设定为输出模式, 管脚开路 (注 2、注 3、注 4)
XOUT (注 1)	开路
P8s	通过电阻连接到 V _{CC} (上拉)
V _{CC} A	连接到 V _{CC}
V _{SS} A	连接到 V _{SS}

注 1. 在将外部时钟输入到 X_{IN} 管脚时。

注 2. 在设定为输出模式且管脚开路时, 在复位后通过程序将端口切换为输出模式之前, 端口为输入模式。所以管脚的电压值不确定, 端口为输入模式时, 可能有电源电流增加的情况。

另外, 考虑到噪声或者由于噪声引起的失控等而导致方向寄存器的内容变化的情况, 如果通过软件定期地重新设定方向寄存器的内容, 就能提高程序的可靠性。

注 3. 尽量用较短的布线 (从单片机的管脚起在 2cm 以内) 处理单片机未使用的管脚。

注 4. 在将端口 P7_0 设定为输出模式时, 必须输出 “L” 电平。

端口 P7_0 为 N 沟道漏极开路输出。

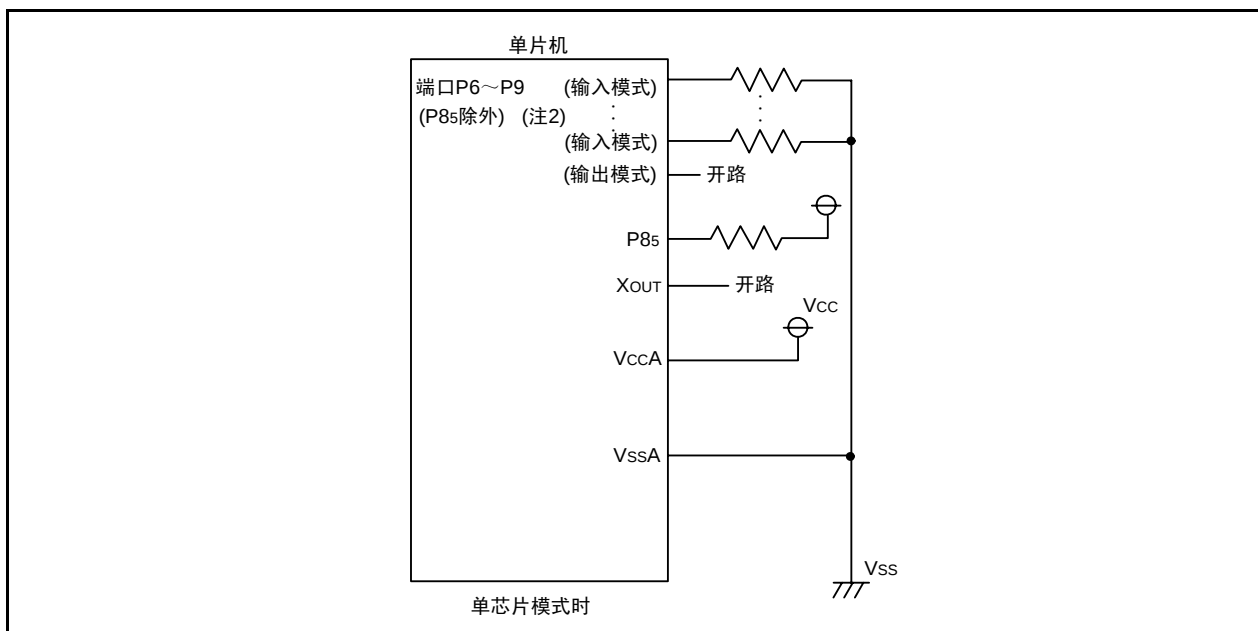


图 1.18.10. 未使用管脚的处理例

电气特性

表 1.19.1. 绝对最大额定值

符号	项目		条件	额定值	单位
V _{CC}	电源电压		V _{CC} =V _{CCA}	-0.3 ~ 4.2	V
V _{CCA}	模拟电源电压		V _{CC} =V _{CCA}	-0.3 ~ 4.2	V
V _I	输入电压	RESET, CNV _{SS} P60 ~ P67、P71、P73、P74、P76、P80 ~ P85、 P90 ~ P92、X _{IN}		-0.3 ~ V _{CC} + 0.3	V
		P70		-0.3 ~ 6.5	V
V _O	输出电压	P60 ~ P67、P71、P73、P74、P76、P80 ~ P84、 P90 ~ P92、X _{OUT} 、TS		-0.3 ~ V _{CC} + 0.3	V
		P70		-0.3 ~ 6.5	V
P _d	功耗			500	mW
T _{opr}	工作环境温度			-20 ~ 85 (注)	°C
T _{stg}	保存温度			-65 ~ 150	°C

注. 关于 -40 ~ 85°C 产品请咨询瑞萨科技、瑞萨销售公司或特约销售店。

表 1.19.2. 推荐运行条件（注 1）

符号	项目		额定值			单位
			最小	标准	最大	
V _{CC}	电源电压		3.0	3.3	3.6	V
V _{CCA}	模拟电源电压			V _{CC}		V
V _{SS}	电源电压			0		V
V _{SSA}	模拟电源电压			0		V
V _{IH}	“H”电平 输入电压	P60~P67、P71、P73、P74、P76、 P80~P85、P90~P92 XIN、RESET、CNV _{SS}	0.8V _{CC1}		V _{CC1}	V
		P70	0.8V _{CC1}		6.5	V
V _{IL}	“L”电平 输入电压	P60~P67、P70、P71、P73、P74、P76、 P80~P85、P90~P92 XIN、RESET、CNV _{SS}	0		0.2V _{CC1}	V
I _{OH} (peak)	“H”电平 峰值输出电流	P60~P67、P71、P73、P74、P76、 P80~P84、P90~P92、TS			-10.0	mA
I _{OH} (avg)	“H”电平 平均输出电流	P60~P67、P71、P73、P74、P76、 P80~P84、P90~P92、TS			-5.0	mA
I _{OL} (peak)	“L”电平 峰值输出电流	P60~P67、P70、P71、P73、P74、P76、 P80~P84、P90~P92、TS			10.0	mA
I _{OL} (avg)	“L”电平 平均输出电流	P60~P67、P70、P71、P73、P74、P76、 P80~P84、P90~P92、TS			5.0	mA
f(XIN)	主时钟输入振荡频率		V _{CC} =3.0~3.6V			MHz
f(Ring)	环形振荡频率		1			MHz
f(BCLK)	CPU 运行频率		15.36			MHz
t _{su} (PLL)	PLL 频率合成器稳定等待时间		V _{CC} =3.0V			ms

注 1. 不指定时，V_{CC}=3.0V~3.6V、T_{opr}=-20~85°C。

注 2. 平均输出电流为 100ms 期间的平均值。

注 3. 必须使全部端口的 I_{OL} (peak) 的总和在 80mA 以下，I_{OH} (peak) 总和在 -40mA 以下。

表1.19.3. 闪存的电气特性（注1）

符号	项目	额定值			单位
		最小	标准 (注2)	最大	
—	编程、擦除次数（注3）	100/1,000（注4，注6）			次
—	字编程时间（V _{CC} =3.3V，T _{opr} =25°C）		75	600	μs
—	块擦除时间 （V _{CC} =5.0V，T _{opr} =25°C）	8K 字节块	0.4	9	s
		16K 字节块	0.7	9	s
		32K 字节块	1.2	9	s
t _{PS}	闪存电路稳定等待时间			15	μs
—	数据保持时间（注5）	20			年

注1. 不指定时，V_{CC}=3.0～3.6V、T_{opr}=0～60°C。

注2. V_{CC}=3.0V、T_{opr}=25°C时。

注3. 编程、擦除次数的定义

编程、擦除次数为各块的擦除次数。

编程、擦除次数为n次（n=100、1,000）时，能按块分别擦除n次。

例如，对8K字节块的块0的不同地址进行4,096次的1个字的写操作后擦除此块，编程/擦除次数就被计为1次。

但是，对于1次的擦除，不能对同一地址进行多次写操作（禁止重写）。

注4. 是保证编程/擦除后的所有电气特性的最小次数（保证值为1～“最小”值的范围）。

注5. T_{opr}=55°C。

注6. U3及U5为100，U7及U9为1,000。

注7. 有关故障率，请咨询瑞萨科技、瑞萨销售公司或特约销售店。

表1.19.4. 闪存的写/擦除电压和读工作电压特性（T_{opr}=0～60°C）

闪存的写、擦除电压	闪存的读工作电压
V _{CC} =3.3 ± 0.3V	V _{CC} =3.0 ～ 3.6V

表 1.19.5. 电源电路的时序特性

符号	项目	测定条件	额定值			单位
			最小	标准	最大	
td(P-R)	接通电源时内部电源稳定时间	$V_{CC}=3.0 \sim 3.6V$			2	ms
td(R-S)	STOP解除时间				150	μs
td(M-L)	主时钟振荡开始时内部电源稳定时间				50	μs

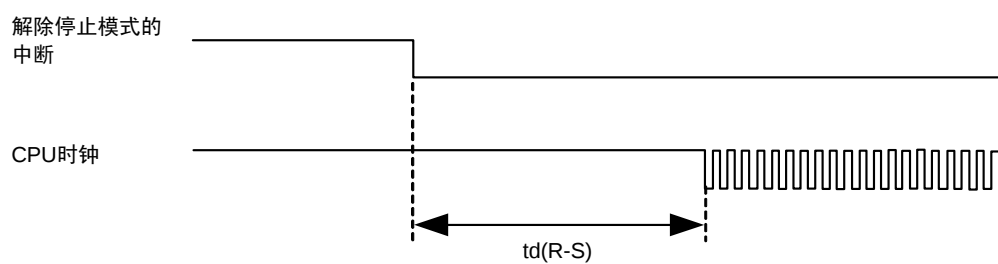


表1.19.6. 电气特性（1）（注1）

符号	项目	测定条件	额定值			单位
			最小	标准	最大	
V _{OH}	“H”电平 输出电压 P60~P67, P71, P73, P74, P76, P80~P84, P90~P92, TS	I _{OH} =-1mA	V _{CC} -0.5		V _{CC}	V
V _{OH}	“H”电平 输出电压 XOUT	I _{OH} =-0.1mA	V _{CC} -0.5		V _{CC}	V
V _{OL}	“L”电平 输出电压 P60~P67, P71, P73, P74, P76, P80~P84, P90~P92, TS	I _{OL} =1mA			0.5	V
V _{OL}	“L”电平 输出电压 XOUT	I _{OL} =0.1mA			0.5	V
V _{T+} -V _{T-}	滞后 TA0IN, TA1IN, TA4IN, INT1~INT3, CTS0~CTS2, SCL, SDA, CLK0~CLK4, TA4OUT, RXD0~RXD2, SIN3		0.2		0.8	V
V _{T+} -V _{T-}	滞后 RESET		0.2	(0.7)	1.8	V
I _{IH}	“H”电平 输入电流 P60~P67, P70, P71, P73, P74, P76, P80~P84, P90~P92, XIN, RESET, CNVSS	V _I =3V			4.0	μA
I _{IL}	“L”电平 输入电流 P60~P67, P70, P71, P73, P74, P76, P80~P84, P90~P92, XIN, RESET, CNVSS	V _I =0V			-4.0	μA
R _{PULLUP}	上拉电阻 P60~P67, P71, P73, P74, P76, P80~P84, P90~P92	V _I =0V	66	160	500	kΩ
R _{IXIN}	反馈电阻 XIN			3.0		MΩ

注1. 不指定时, V_{CC}=3.0~3.6V、V_{SS}=0V、T_{opr}=-20~85°C、f(BCLK)=15.36MHz。

表1.19.7. 电气特性 (2) (注1)

符号	项目		测定条件		额定值			单位
					最小	标准	最大	
I _{CC}	电源电流 (V _{CC} =3.0~3.6V)	在单芯片模式中, 输出管脚开路, 其它管脚连接到V _{SS}	闪存	f(BCLK)=15.36MHz 无分频		70	95	mA
			闪存编程	f(BCLK)=10MHz V _{CC1} =3.0V		TBD		mA
			闪存擦除	f(BCLK)=10MHz V _{CC1} =3.0V		TBD		mA

注1. 不指定时, V_{CC}=3.0~3.6V、V_{SS}=0V、T_{opr}=-20~85°C、f(BCLK)=15.36MHz。

时序必要条件

(不指定时, $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$)

表 1.19.8. 外部时钟输入

符号	项目	额定值		单位
		最小	最大	
t_c	外部时钟输入周期时间	195.3		ns
$t_{w(H)}$	外部时钟输入 “H” 电平脉宽	80		ns
$t_{w(L)}$	外部时钟输入 “L” 电平脉宽	80		ns
t_r	外部时钟上升时间		18	ns
t_f	外部时钟下降时间		18	ns

时序必要条件

(不指定时, $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$)

表 1.19.9. 定时器 A 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIn 输入周期时间	150		ns
$t_{w(TAH)}$	TAiIn 输入 “H” 电平脉宽	60		ns
$t_{w(TAL)}$	TAiIn 输入 “L” 电平脉宽	60		ns

表 1.19.10. 定时器 A 输入 (定时器模式的增益输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIn 输入周期时间	600		ns
$t_{w(TAH)}$	TAiIn 输入 “H” 电平脉宽	300		ns
$t_{w(TAL)}$	TAiIn 输入 “L” 电平脉宽	300		ns

表 1.19.11. 定时器 A 输入 (单次触发定时器模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIn 输入周期时间	300		ns
$t_{w(TAH)}$	TAiIn 输入 “H” 电平脉宽	150		ns
$t_{w(TAL)}$	TAiIn 输入 “L” 电平脉宽	150		ns

表 1.19.12. 定时器 A 输入 (脉宽调制模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
$t_{w(TAH)}$	TAiIn 输入 “H” 电平脉宽	150		ns
$t_{w(TAL)}$	TAiIn 输入 “L” 电平脉宽	150		ns

表 1.19.13. 定时器 A 输入 (事件计数器模式的增减输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(UP)}$	TAiOUT 输入周期时间	3000		ns
$t_{w(UPH)}$	TAiOUT 输入 “H” 电平脉宽	1500		ns
$t_{w(UPL)}$	TAiOUT 输入 “L” 电平脉宽	1500		ns
$t_{su(UP-TiN)}$	TAiOUT 输入设置时间	600		ns
$t_{h(TiN-UP)}$	TAiOUT 输入保持时间	600		ns

表 1.19.14. 定时器 A 输入 (事件计数器模式的二相处理输入)

符号	项目	额定值		单位
		最小	最大	
$t_{c(TA)}$	TAiIn 输入周期时间	2		μs
$t_{su(TAiN-TAiOUT)}$	TAiOUT 输入设置时间	500		ns
$t_{su(TAiOUT-TAiN)}$	TAiIn 输入设置时间	500		ns

时序必要条件

(不指定时, $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=-20\sim 85^{\circ}C$)

表1.19.15. 串行 I/O

符号	项目	额定值		单位
		最小	最大	
$t_{c}(CK)$	CLKi 输入周期时间	300		ns
$t_{w}(CKH)$	CLKi 输入 “H” 电平脉宽	150		ns
$t_{w}(CKL)$	CLKi 输入 “L” 电平脉宽	150		ns
$t_{d}(C-Q)$	TxDi 输出延迟时间		160	ns
$t_{h}(C-Q)$	TxDi 保持时间	0		ns
$t_{su}(D-C)$	RxDi 输入设置时间	100		ns
$t_{h}(C-D)$	RxDi 输入保持时间	90		ns

表1.19.16. 外部中断 $\overline{INTi}$ 输入

符号	项目	额定值		单位
		最小	最大	
$t_{w}(INH)$	$\overline{INTi}$ 输入 “H” 电平脉宽	380		ns
$t_{w}(INL)$	$\overline{INTi}$ 输入 “L” 电平脉宽	380		ns

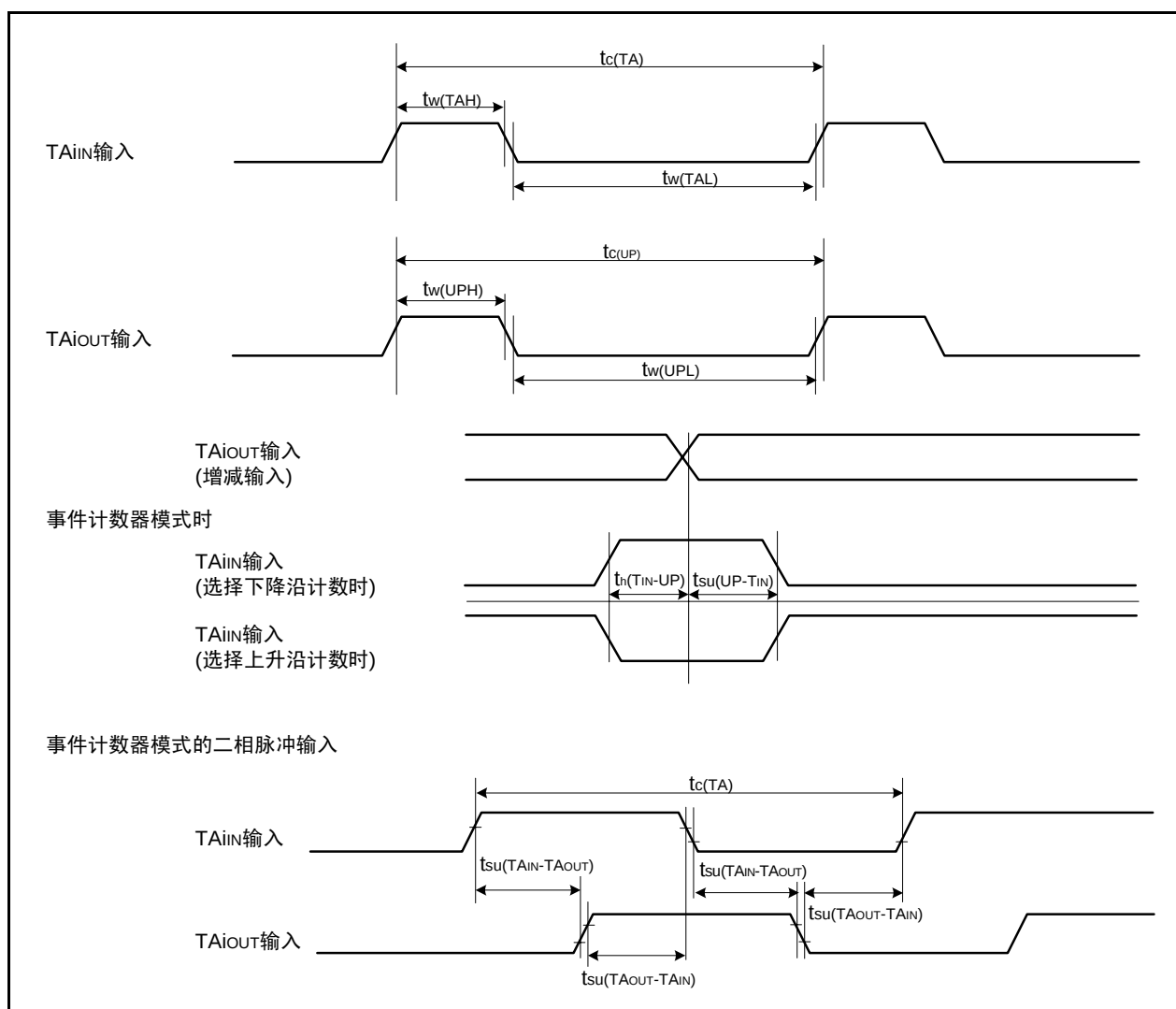


图 1.19.1. 时序图 (1)

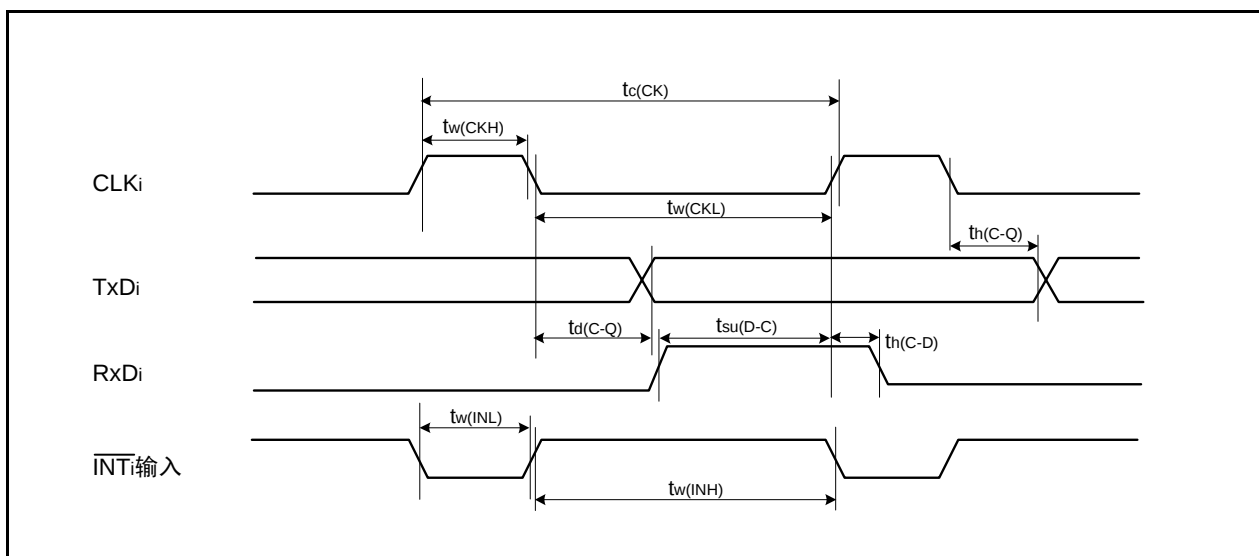


图1.19.2. 时序图 (2)

闪存版

闪存版可用CPU改写模式、标准串行输入/输出模式和并行输入/输出模式3种改写模式来操作闪存。

（注）关于专用并行编程器，当前尚没有开发计划。

闪存版的性能概要如表1.20.1所示（表1.20.1所示以外的项目请参照表1.1.1）。

表1.20.1. 闪存版的性能概要

项目		性能
闪存运行模式		2种模式（CPU改写、标准串行输入/输出）
擦除块分割		请参照“图1.20.1 闪存框图”。
编程方法		字单位
擦除方法		块擦除
编程、擦除控制方式		通过软件指令控制编程、擦除
保护方式		通过FMR02位保护块0～块1
指令数		5个指令
编程、擦除次数（注1）	块0～块4（程序区）	100次或1,000次（参照表1.1.4 产品代码）
数据保持		20年（Topr=55°C）
ROM码保护		对应标准串行输入/输出模式

注1. 编程、擦除次数的定义

编程、擦除次数是各块的擦除次数。

编程、擦除次数为n次（n=100、1,000）时，对每块都可进行n次擦除。

例如，如果对8K字节块的块0在不同的地址进行了4,096次的1个字的写操作后擦除，编程、擦除次数就被计为1次。但是，对于一次擦除，不能对同一地址进行多次写操作。（禁止重写）

表1.20.2. 闪存改写模式的概要

闪存改写模式	CPU改写模式	标准串行输入/输出模式
功能概要	通过CPU执行软件指令能改写用户ROM区 EW0模式： 能改写闪存以外的区域 EW1模式： 能改写闪存	使用专用串行编程器能改写用户ROM区 标准串行输入/输出模式1： 时钟同步串行I/O 标准串行输入/输出模式2： 时钟异步串行I/O
能改写的区	用户ROM区	用户ROM区
运行模式	单芯片模式	引导模式
ROM编程器	—	串行编程器

存储器分配

闪存版的ROM分为用户ROM区和引导ROM区（保留区）。闪存框图如图1.20.1所示。

用户ROM区被分为几个块。通过CPU改写模式、标准串行输入/输出模式或者并行输入/输出模式改能写用户ROM区。但是，块0及块1只允许在CPU改写模式下，通过将FMR0寄存器的FMR02位置“1”来改写。

引导ROM区是保留区。保存有发货时标准串行输入/输出模式的改写控制程序，不能改写。

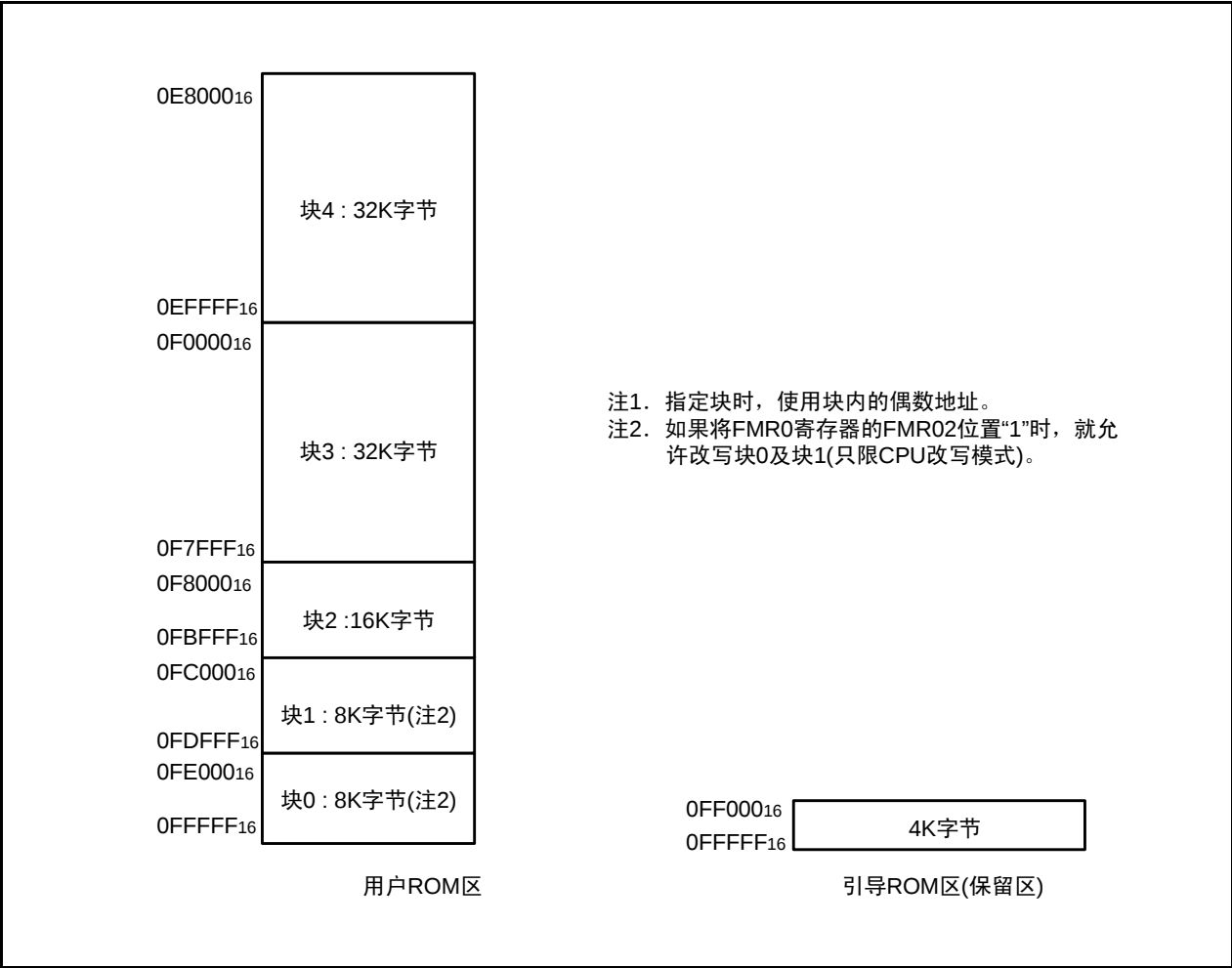


图 1.20.1. 闪存框图

引导模式

如果向 CNVss 管脚输入 “H” 电平、向 $\overline{\text{CE}}$ 管脚（P15/INT3B）输入 “H” 电平时复位，就进入引导模式，执行引导 ROM 区保存的标准串行输入/输出模式的改写控制程序。

闪存改写禁止功能

为了禁止轻易地读出或改写闪存，在并行输入/输出模式中有 ROM 码保护功能，标准串行输入/输出模式有 ID 码检查功能。

ROM 码保护功能

ROM 码保护是在使用并行输入/输出模式时禁止读出或者改写闪存的功能。ROMCP 寄存器如图 1.20.2 所示。ROMCP 寄存器存在于用户 ROM 区。

ROMCP1 位由 2 位构成。ROMCR 位为 “002” 以外的值时，如果 ROMCP1 位的 2 位中的任何一个或两个为 “0”，ROM 码保护有效，禁止闪存的读出或者改写。但是，如果将 ROMCR 位设定为 “002”（解除 ROM 码保护），就能读出或改写闪存，一旦 ROM 码保护有效，在并行输入/输出模式中就不能改变 ROMCR 位，因此，必须在标准串行输入/输出模式等其他模式下改写。

ID 码检查功能

在标准串行输入/输出模式下使用此功能。在闪存不为空白时，判断从编程器送来的 ID 码是否和写在闪存中 7 字节的 ID 码匹配。如果 ID 码不匹配，就不接受从编程器送来的指令。ID 码是各 8 位的数据，从第 1 个字节开始分别分配在 0FFFDF₁₆、0FFFE3₁₆、0FFFEB₁₆、0FFFEF₁₆、0FFFF3₁₆、0FFFF7₁₆、0FFFFB₁₆ 地址中。必须事先将给这些地址设定 ID 码的程序写入闪存。

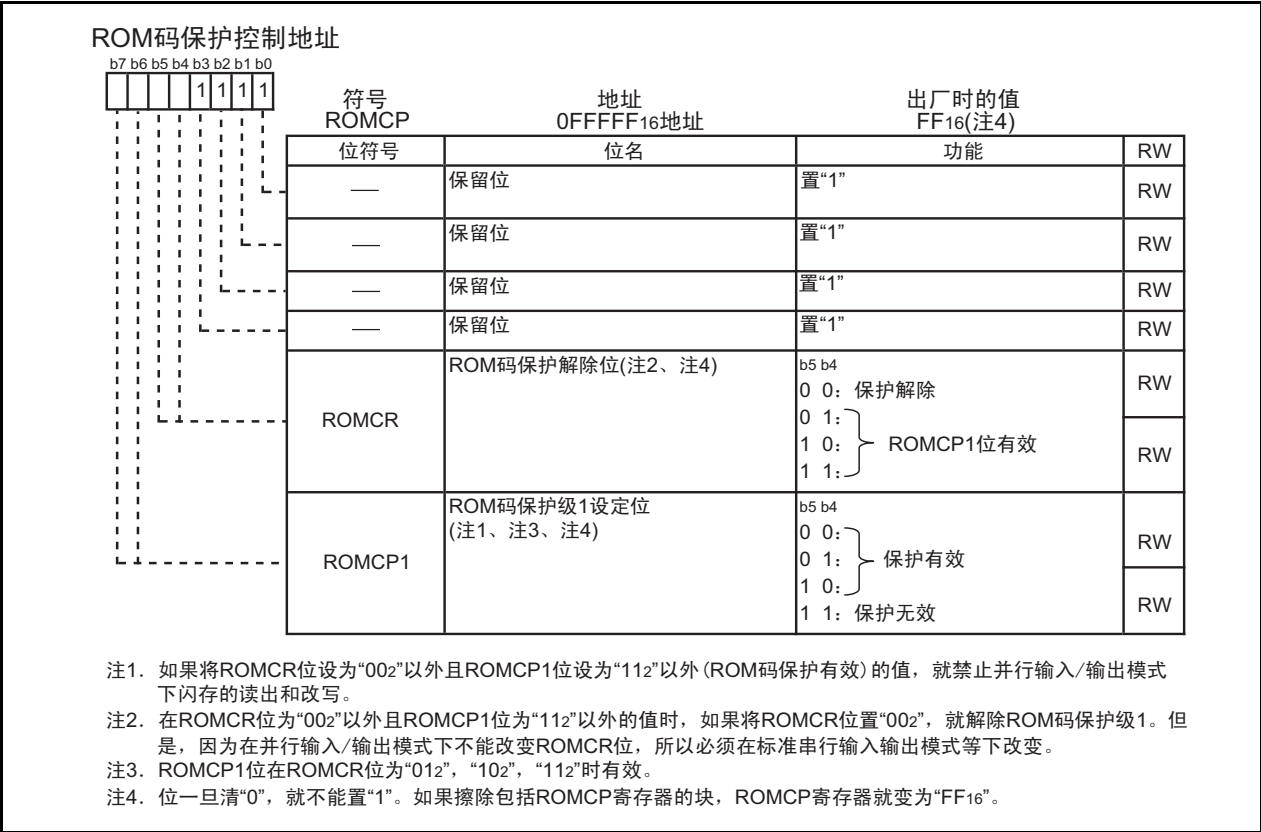


图 1.20.2. ROMCP 寄存器

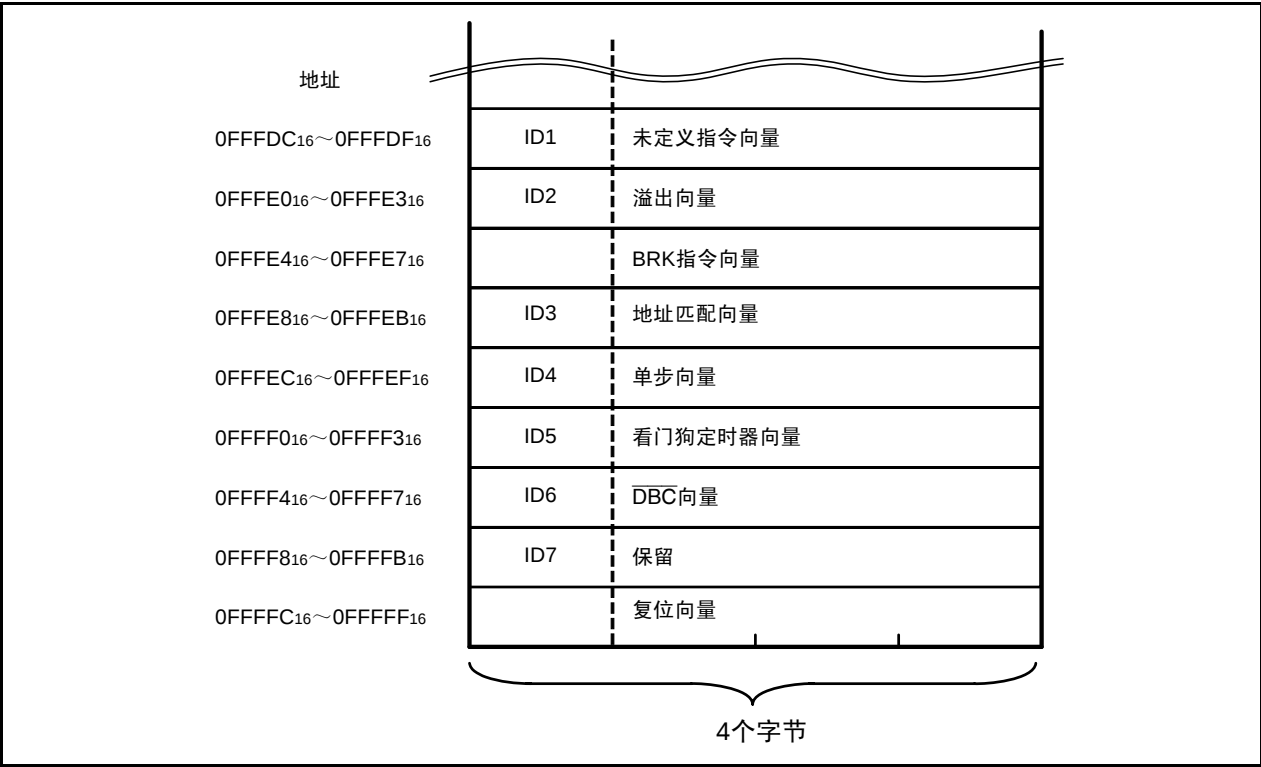


图 1.20.3. ID 码的保存地址

CPU 改写模式

在 CPU 改写模式下，能通过 CPU 执行软件指令改写用户 ROM 区。因此，能在将单片机安装在电路板的状态下，不使用 ROM 编程器等改写用户 ROM 区。编程、块擦除指令只能对用户 ROM 区的各块区域执行。

CPU 改写模式包括擦除编程 0 模式（EW0 模式）和擦除编程 1 模式（EW1 模式）。EW0 模式和 EW1 模式的不同点如表 1.21.1 所示。

表 1.21.1. EW0 模式和 EW1 模式的不同点

项目	EW0 模式	EW1 模式
运行模式	单芯片模式	单芯片模式
存放改写控制程序的区	用户 ROM 区	用户 ROM 区
执行改写控制程序的区	需要传送到闪存以外（RAM 等）的区域后执行	可在用户 ROM 区执行
能改写的区域	用户 ROM 区	用户 ROM 区 但是，存有改写控制程序的块除外（注 2）
软件指令的限制	无	- 编程、块擦除指令 对于存有改写控制程序的块，禁止执行 - 读状态寄存器指令 禁止执行
编程、擦除后的模式	读状态寄存器模式	读阵列模式
自动写、自动擦除时的 CPU 状态	运行	保持状态（I/O 端口保持指令执行前的状态） （注 1）
闪存的状态检测	- 通过程序读取 FMR0 寄存器的 FMR00、FMR06、FMR07 位 - 执行读状态寄存器指令，读取状态寄存器的 SR7、SR5、SR4 位	通过程序读取 FMR0 寄存器的 FMR00、FMR06、FMR07 位

注 1. 必须避免发生 DMA 传送。

注 2. 如果将 FMR0 寄存器的 FMR02 位置“1”就允许改写块 0、块 1。

EW0 模式

如果将 FMR0 寄存器的 FMR01 位置 “1”（CPU 改写模式有效），就进入 CPU 改写模式，能接受软件指令。此时，FMR1 寄存器的 FMR11 位为 “0”，为 EW0 模式。为将 FMR01 位置 “1”，必须先清 “0” 后再写 “1”。

通过软件指令控制编程和擦除的运行。通过 FMR0 寄存器或者状态寄存器，能确认编程或者擦除结束时的状态等。

EW1 模式

在将 FMR01 位置 “1”（在清 “0” 后继续写 “1”）后，如果将 FMR11 位置 “1”（在清 “0” 后继续写 “1”），就进入 EW1 模式。

通过 FMR0 寄存器能确认编程或者擦除结束时的状态等。在 EW1 模式中不能执行读状态寄存器的软件指令。

如果执行编程或者擦除的指令，在结束指令执行前 CPU 停止运行。

FMR0 寄存器如图 1.21.2 所示，FMR1 寄存器如图 1.21.2-2 所示。

FMR00 位

该位是表示闪存运行状况的位。在编程及擦除时为“0”，其他时刻为“1”。

FMR01 位

如果将 FMR01 位置“1”（CPU 改写模式），就变为允许接受指令的状态。

FMR02 位

FMR02 位为“0”时（禁止改写），块 0 及块 1 不能接受编程及块擦除的指令。

FMSTP 位

该位是用于对闪存的控制电路进行初始化且降低闪存消耗电流的位。如果将 FMSTP 位置“1”，就不能存取内置闪存。因此，必须通过闪存以外的区的程序写 FMSTP 位。

在以下情况，必须将 FMSTP 位置“1”。

- 在 EW0 模式的擦除或者写过程中，闪存的存取发生异常（FMR00 位不能恢复到“1”（就绪））时。

FMR06 位

该位是表示自动写状况的读出专用位。在产生编程错误时为“1”，否则为“0”。详细内容请参照“全状态检查”。

FMR07 位

该位是表示自动擦除状况的读出专用位。在产生擦除错误时为“1”，否则为“0”。详细内容请参照“全状态检查”。

FMR11 位

在 FMR11 位为“1”（EW1 模式）时，为 EW1 模式。

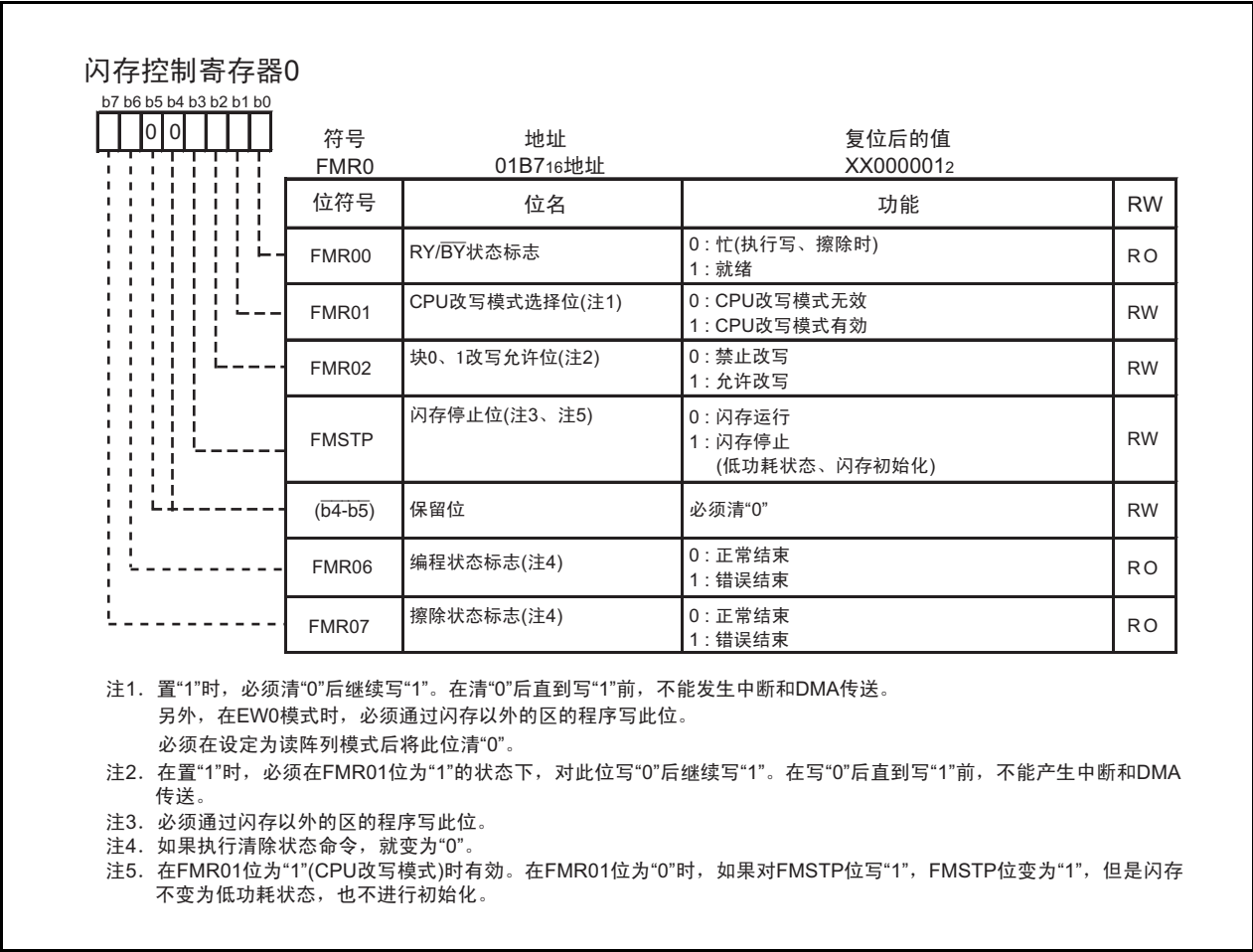


图 1.21.2. FMR0 寄存器



EW0模式的设定和解除方法如图1.21.3所示，EW1模式的设定和解除方法如图1.21.4所示。

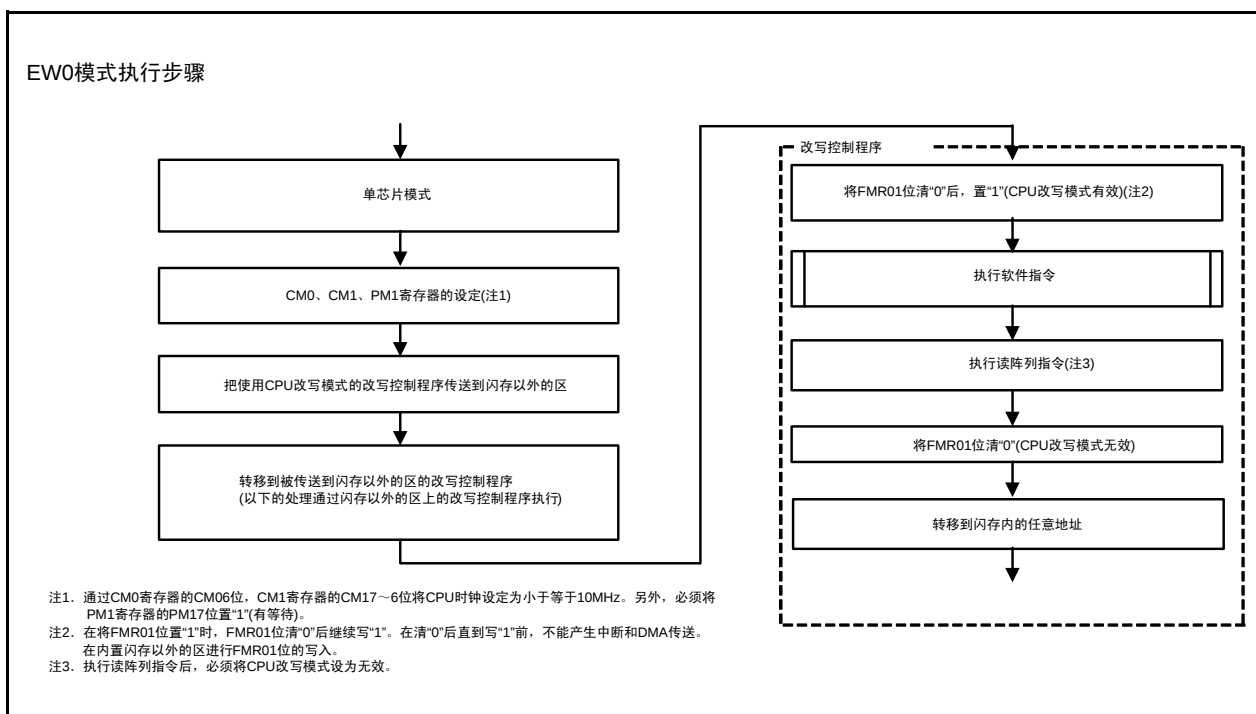


图 1.21.3. EW0 模式的设定和解除方法

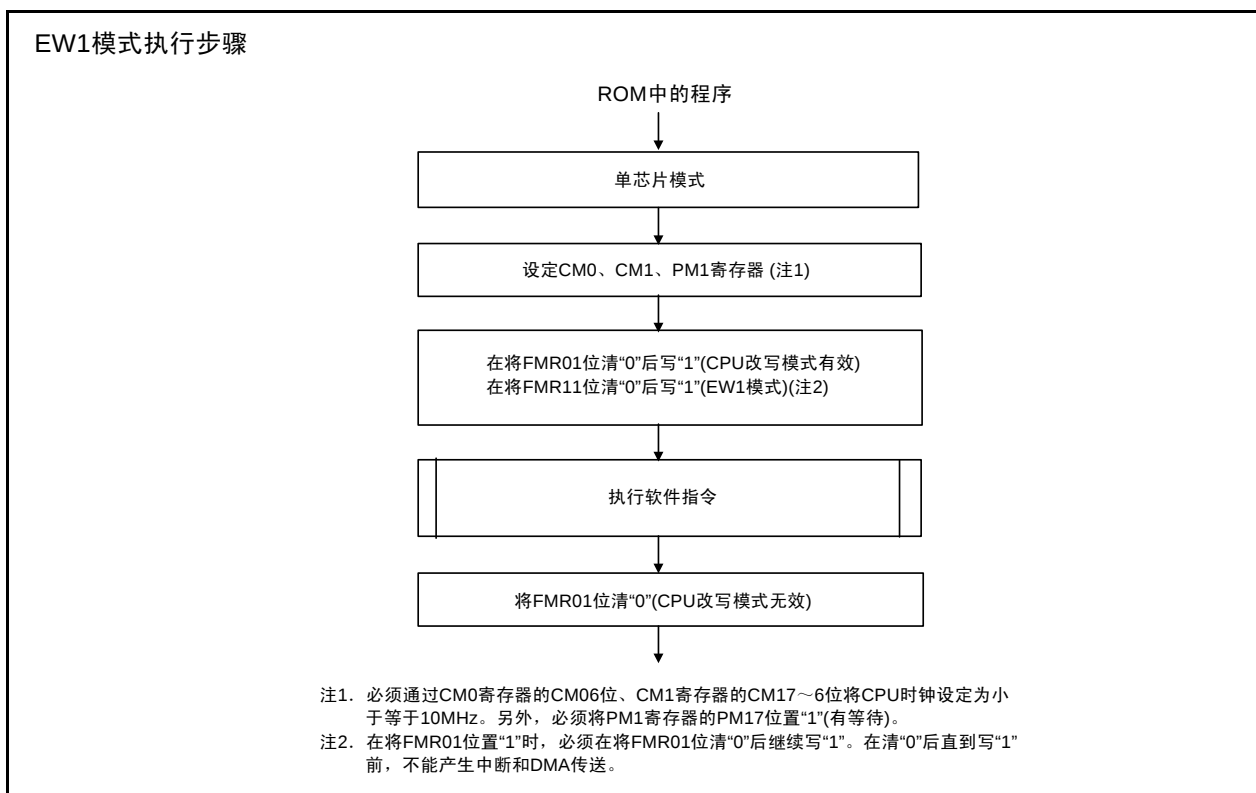


图 1.21.4. EW1 模式的设定和解除方法

CPU 改写模式的注意事项

(1) 运行速度

在进入 CPU 改写模式（EW0、EW1 模式）前，必须通过 CM0 寄存器的 CM06 位和 CM1 寄存器的 CM17～6 位将 CPU 时钟设定为小于等于 10MHz。另外，必须将 PM1 寄存器的 PM17 位置 “1”（有等待）。

(2) 禁止使用的指令

在 EW0 模式中，由于以下指令参照闪存内的数据，所以不能使用：

UND 指令、INTO 指令、JMPS 指令、JSRS 指令、BRK 指令

(3) 中断

EW0 模式

- 通过将向量移至 RAM 区，可使用可变向量表中具有向量的中断。
- 因为在中断产生时强制初始化 FMR0 寄存器和 FMR1 寄存器，所以能使用看门狗定时器中断。但是，固定向量表中设定有各中断的转移地址，需要有中断程序。在产生看门狗定时器中断时，中止改写运行，因此中断程序结束后，需要再次将 FMR01 位置 “1”，运行擦除或者编程。
- 由于地址匹配中断参照闪存内的数据，所以不能使用。

EW1 模式

- 在自动写或者自动擦除期间，不能接受具有可变向量表中具有向量的中断或者地址匹配中断。
- 不能使用看门狗定时器中断。
- 因为在中断产生时强制初始化 FMR0 寄存器和 FMR1 寄存器，所以能使用看门狗定时器中断。必须给固定向量表设定各中断程序的转移地址。在产生看门狗定时器中断时，中止改写运行。必须在中断程序结束后重新执行改写程序。

(4) 存取方法

在将 FMR01 位、FMR02 位和 FMR11 位置 “1” 时，必须在将对象位清 “0” 后继续写 “1”。并且在清 “0” 后直到写 “1” 前，不能产生中断和 DMA 传送。

(5) 用户 ROM 区的改写

使用 EW0 模式时，在改写保存改写控制程序的块的过程中，如果电源电压降低，改写控制程序就不能被正常改写，此后有可能发生闪存不能改写的情况。该块的改写，推荐使用标准串行输入/输出模式或并行输入/输出模式。

(6) DMA 传送

在 EW1 模式下，FMR0 寄存器的 FMR00 位为 “0”（自动写、自动擦除期间）时不能进行 DMA 传送。

(7) 指令、数据的写入

必须将指令码和数据写入偶数地址。

（8）等待模式

在转移到等待模式时，必须在将FMR01位清“0”（CPU改写模式无效）后执行WAIT指令。

（9）停止模式

在转移到停止模式时，进行如下操作。

- 将FMR01位清“0”（CPU改写模式无效），禁止DMA传送后，将CM10位置“1”（停止模式）
- 在将CM10位置“1”后，执行JMP.B指令

将程序例子 BSET 0, CM1 ; 停止模式
 JMP.B L1

 L1:
 停止模式返回后的程序

软件指令

以下说明软件指令。指令和数据的读写操作必须以 16 位为单位在用户 ROM 区内的偶数地址进行。写指令码时，忽略高 8 位（D15～D8）。

表 1.21.2. 软件指令一览表

软件指令	第 1 总线周期			第 2 总线周期		
	模式	地址	数据 (D15～D0)	模式	地址	数据 (D15～D0)
读阵列	写	×	xxFF16			
读状态寄存器	写	×	xx7016	读	×	SRD
清除状态寄存器	写	×	xx5016			
编程	写	WA	xx4016	写	WA	WD
块擦除	写	×	xx2016	写	BA	xxD016

SRD: 状态寄存器数据（D7～D0）
WA: 写入地址（但是为偶数地址）
WD: 写入数据（16 位）
BA: 块的最高位地址（但是为偶数地址）
×: 用户 ROM 区内的任意偶数地址
xx: 指令码的高 8 位（忽略）

读阵列

这是读闪存的指令。

如果在第 1 总线周期写“xxFF16”，就进入读阵列模式。如果在下一个总线周期以后输入读地址，就能以 16 位为单位读取指定地址的内容。

读阵列模式被保持到写其它指令为止，所以能连续读取多个地址的内容。

但是，在程序指令后使用读阵列指令时，必须按如下步骤读取数据。

- (1) 对任意连续的 4 个地址写 FF16、FF16、FF16、FF16
- (2) 在读阵列模式中，指定（1）的起始地址
- (3) 在读取值与 FFFF16 匹配之前，重复（2）的操作
- (4) 指定（1）的起始地址 +2
- (5) 在读取值与 FFFF16 匹配之前，重复（4）的操作
- (6) 指定任意的地址

读状态寄存器

这是读状态寄存器的指令。

如果在第 1 总线周期写“xx7016”，就能在第 2 总线周期读取状态寄存器（请参照“状态寄存器”）。读时也必须读取用户 ROM 区内的偶数地址。

不能在 EW1 模式下执行此指令。

清除状态寄存器

这是状态寄存器清“0”的指令。

如果在第1总线周期写“xx50₁₆”，FMR0寄存器的FMR06～7位和状态寄存器的SR4～5位就变为“0”。

编程

这是以1个字（2个字节）为单位对闪存写数据的指令。

如果在第1总线周期写“xx40₁₆”，并且在第2总线周期给写地址写数据，就开始自动写（数据的编程和验证）。第1总线周期的地址值必须与在第2总线周期中指定的写地址相同且都为偶数地址。

能通过FMR0寄存器的FMR00位确认自动写结束。FMR00位在自动写期间为“0”，在结束后变为“1”。

在自动写结束后，能通过FMR0寄存器的FMR06位得到自动写的结果（参照“全状态检查”）。

禁止对已编程的地址追加写。

另外，在FMR0寄存器的FMR02位为“0”（禁止改写）时，不接受对块0及块1的程序指令。

如果在程序指令之后执行程序指令以外的指令时，必须在与程序指令的第2总线周期中指定的写地址相同的地址中，写入下一个指令的第1总线周期中指定的地址值。

在EW1模式中，不能对已分配了改写控制程序的地址执行此指令。

在EW0模式中，开始自动写的同时变为读状态寄存器模式，能读取状态寄存器。状态寄存器的bit7（SR7）在开始自动写的同时变为“0”，在结束的同时恢复为“1”。此时的读状态寄存器模式被继续保持到下次写读指令为止。另外，在自动写结束后，能通过读取状态寄存器得到自动写的结果。

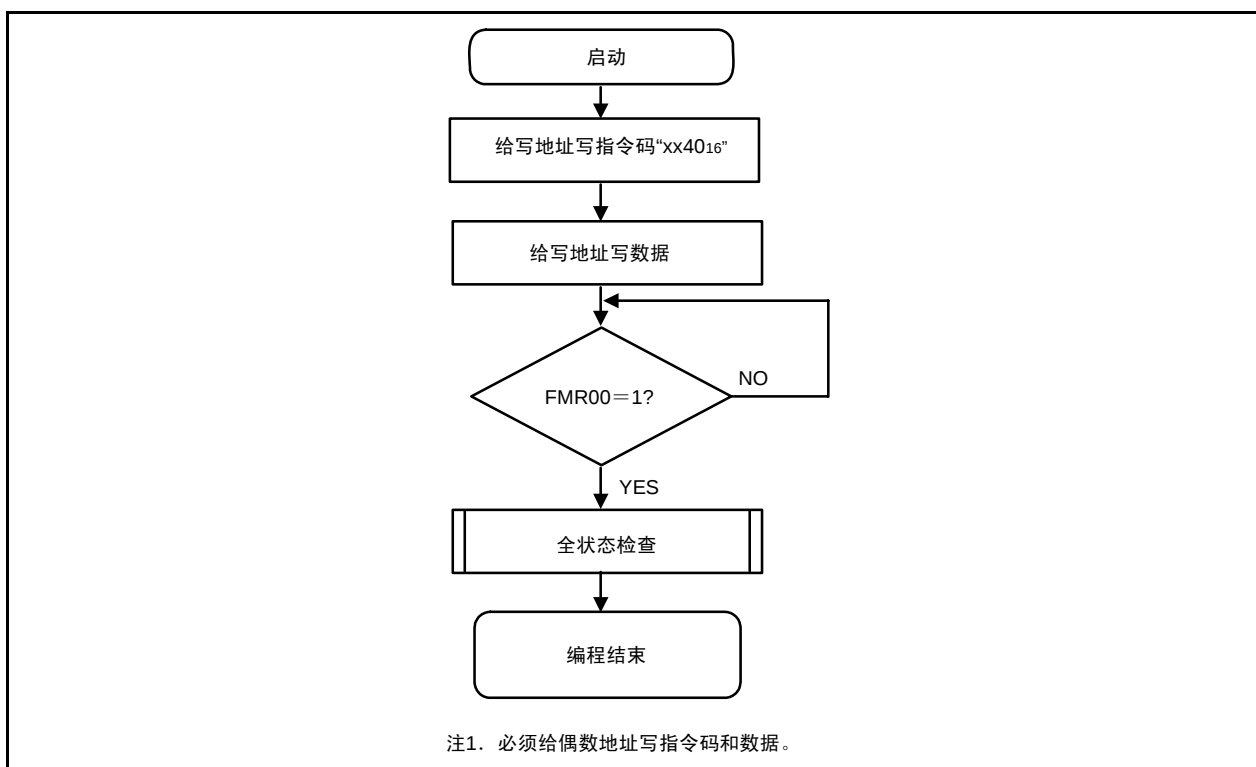


图 1.21.5. 编程流程

块擦除

如果在第1总线周期写“xx20₁₆”，在第2总线周期给块的最高位地址（但是为偶数地址）写“xxD0₁₆”，就对指定的块开始自动擦除（擦除和擦除验证）。

通过FMR0寄存器的FMR00位能确认自动擦除的结束。

FMR00位在自动擦除期间为“0”，在自动擦除结束后变为“1”。

在自动擦除结束后，能通过FMR0寄存器的FMR07位得到自动擦除的结果（参照“全状态检查”）。

另外，FMR0寄存器的FMR02位为“0”（禁止改写）时，不接受对块0及块1的块擦除指令。

块擦除流程如图1.21.6所示。

在EW1模式中，不能对已被分配了改写控制程序的块执行此指令。

在EW0模式，开始自动擦除的同时变为读状态寄存器模式，能读取状态寄存器。状态寄存器的bit7（SR7）在开始自动擦除的同时变为“0”，在结束自动擦除的同时恢复为“1”。此时的读状态寄存器模式被继续保持到下次写读阵列指令为止。

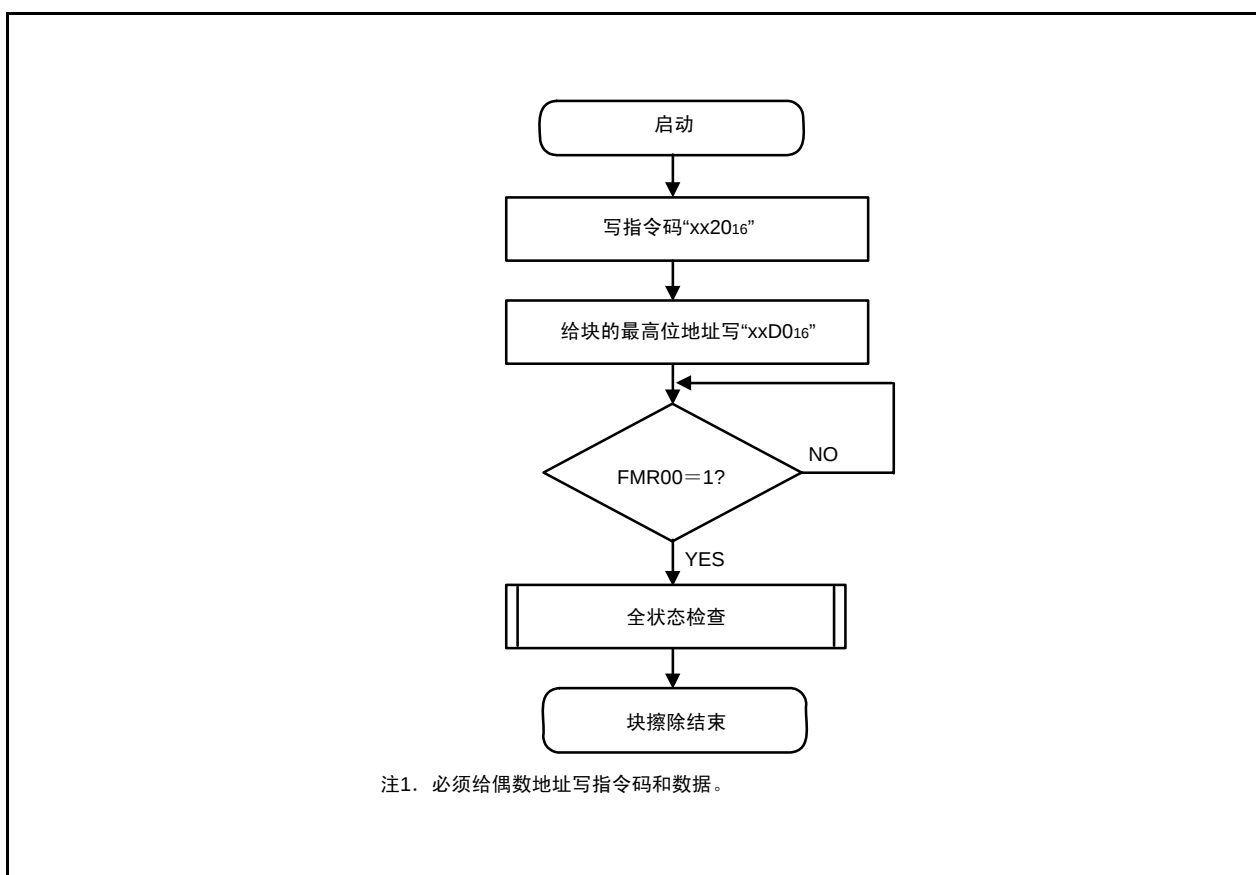


图1.21.6. 块擦除流程

状态寄存器

状态寄存器是表示闪存的运行状态、擦除和编程的正常或错误结束等状态 of 寄存器。通过 FMR0 寄存器的 FMR00、FMR06、FMR07 位能读取状态寄存器的状态。

状态寄存器如表 1.21.3 所示。

另外，在 EW0 模式下能读取以下情况的状态寄存器：

- (1) 在执行读状态寄存器指令后读取用户 ROM 区内的任意偶数地址时
- (2) 在执行编程指令、块擦除指令后，并且在执行读阵列指令前，读取用户 ROM 区内的任意偶数地址时

定序器状态（SR7、FMR00 位）

定序器状态表示闪存的运行状况。在自动写、自动擦除过程中为“0”（忙），在这些运行结束的同时变为“1”（就绪）。

擦除状态（SR5、FMR07 位）

请参照“全状态检查”。

编程状态（SR4、FMR06 位）

请参照“全状态检查”。

表 1.21.3. 状态寄存器

状态寄存器的位	FMR0 寄存器的位	状态名	内容		复位后的值
			“0”	“1”	
SR7 (D7)	FMR00	定序器状态	忙	就绪	1
SR6 (D6)	—	保留	—	—	—
SR5 (D5)	FMR07	擦除状态	正常结束	错误结束	0
SR4 (D4)	FMR06	编程状态	正常结束	错误结束	0
SR3 (D3)	—	保留	—	—	—
SR2 (D2)	—	保留	—	—	—
SR1 (D1)	—	保留	—	—	—
SR0 (D0)	—	保留	—	—	—

D0～D7：在执行读状态寄存器指令时，表示读取的数据总线。

如果执行清除状态寄存器指令，FMR07 位（SR5）和 FMR06 位（SR4）就变为“0”。

在 FMR07 位（SR5）或者 FMR06 位（SR4）为“1”时，不能接受编程、块擦除指令。

全状态检查

在产生错误时，FMR0 寄存器的FMR06～FMR07位为“1”，表示各错误的产生。因此，通过检查这些状态（全状态检查）能确认执行结果。

错误和FMR0寄存器的状态如表1.21.4、全状态检查流程和各错误产生时的处理方法如图1.21.7所示。

表 1.21.4. 错误和FMR0寄存器的状态

FMR00 寄存器 (状态寄存器) 的状态		错误	错误产生条件
FMR07 (SR5)	FMR06 (SR4)		
1	1	指令顺序错误	• 没有正确写指令时 • 块擦除指令的第2总线周期中写有无效数据（有效数据为“xxD016”或者“xxFF16”）时（注1） • 对被保护的块执行块擦除指令时 • 对被保护的块执行编程指令时
1	0	擦除错误	• 对未保护的块执行块擦除指令，但是没有被正确自动擦除时
0	1	编程错误	• 对未保护的块执行编程指令，但是没有被正确自动写入时

注1. 如果在这些指令的第2总线周期写“xxFF16”，就变为读阵列模式，同时第1总线周期写的指令码无效。

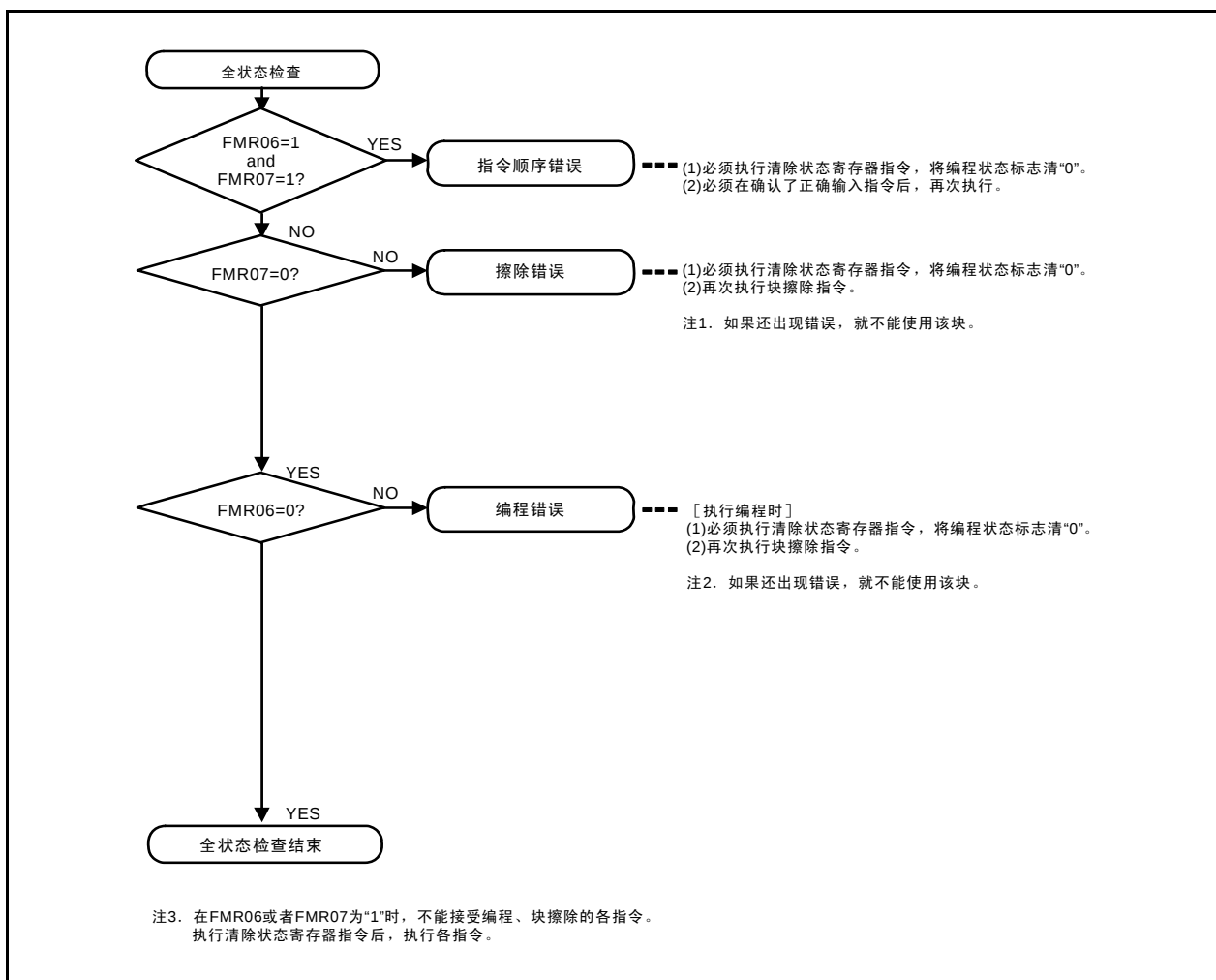


图1.21.7. 全状态检查流程和产生各错误时的处理方法

标准串行输入/输出模式

在标准串行输入/输出模式中，CPU进行闪存的改写（使用CPU改写模式），和控制改写数据的串行输入等。标准串行输入/输出模式的P15（CE）管脚为“H”。CNVss管脚为“H”，通过解除复位启动。（在一般的单片机模式中，CNVss管脚设定为“L”。）

该控制程序在出货时被写入引导ROM区。

使用UART1进行串行数据的输入/输出，以8位为单位进行串行传送。通过复位解除时的CLK1管脚，切换模式1（时钟同步）/模式2（时钟异步）。

使用标准串行输入/输出模式1（时钟同步）时，通过将CLK1管脚设定为“H”解除复位。使用UART1的CLK1、RxD1、TxD1、RTS1（BUSY）4个管脚。CLK1管脚为传送时钟的输入管脚，输入外部的传送时钟。TxD1管脚为CMOS输出。RTS1（BUSY）管脚在接收准备结束时变为“L”，接收运行开始后输出“H”。

使用标准串行输入/输出模式2（时钟异步）时，通过将CLK1管脚设定为“L”解除复位。使用UART1的RxD1、TxD1两个管脚。

在标准串行输入/输出模式中，使用对应M16C/6S群的串行编程器，在单片机安装在电路板上的状态下，可改写用户ROM区。关于串行编程器，请咨询各生产厂家。另外，关于串行编程器的操作方法，请参照串行编程器的用户手册。

管脚的功能说明（闪存标准串行输入/输出模式）如表1.22.1、标准串行输入/输出模式时的管脚接线图如图1.22.1～图1.22.2所示。

ID码检查功能

该功能用于判断从串行编程器送来的ID码是否和写在闪存中的ID码匹配（参照“闪存改写禁止功能”）。

表 1.22.1. 管脚的功能说明（闪存标准串行输入/输出模式）

管脚名	名称	输入/输出	功能
V _{CC} 、V _{SS}	电源输入		必须给 V _{CC} 管脚输入编程、擦除的额定电压，给 V _{SS} 管脚输入 0V。
CNV _{SS}	CNV _{SS}	输入	必须连接到 V _{CC} 。
RESET	复位输入	输入	复位输入管脚。在 RESET 管脚为“L”电平期间，必须给 XIN 管脚输入 20 个周期以上的时钟。
XIN	时钟输入	输入	必须在 XIN 管脚和 XOUT 管脚之间连接陶瓷谐振器或者晶体振荡器。在输入外部生成的时钟时，必须从 XIN 管脚输入，并且 XOUT 管脚开路。
XOUT	时钟输出	输出	
VDCCN			必须输入“H”电平
V _{CC} A、V _{SS} A	模拟电源输入	输入	AV _{CC} 连接到 V _{CC} ，AV _{SS} 连接到 V _{SS} 。
VREF	基准电压输入	输入	是预放大器、运算放大器的基准电压输入管脚。
P60～P63	输入端口 P6	输入	必须输入“H”或“L”电平，或者开路。
P64	BUSY 输出	输出	标准串行输入/输出模式 1: BUSY 信号的输出管脚。 标准串行输入/输出模式 2: 用于引导程序运行检查的监视信号输出管脚。
P65	SCLK 输入	输入	标准串行输入/输出模式 1: 串行时钟的输入管脚。 标准串行输入/输出模式 2: 必须输入“L”电平。
P66	RxD 输入	输入	串行数据的输入管脚。
P67	TxD 输出	输出	串行数据的输出管脚。（注 1）
P70, P71, P73, P74, P76	输入端口 P7	输入	输入“H”或“L”电平，或者开路。
P80, P81, P83, P84, P85	输入端口 P8	输入	输入“H”或“L”电平，或者开路。
P15	$\overline{CE}$ 输入	输入	输入“H”电平。
P90～P92	输入端口 P9	输入	输入“H”或“L”电平，或者开路。

注 1. 使用标准串行输入/输出模式 1 时，必须在 RESET 管脚为“L”电平期间给 TxD 管脚输入“H”电平。因此，必须通过电阻连接到 V_{CC}。在复位后，此管脚变为数据输出管脚，所以，为了不影响数据的传送，必须调整系统的上拉电阻值。

标准串行输入/输出模式1时的管脚处理例

使用标准串行输入/输出模式1时的管脚处理例如图1.22.1、使用标准串行输入/输出模式2时的管脚处理例如图1.22.2所示。控制的管脚等因编程器而不同，详细内容请参照编程器手册。

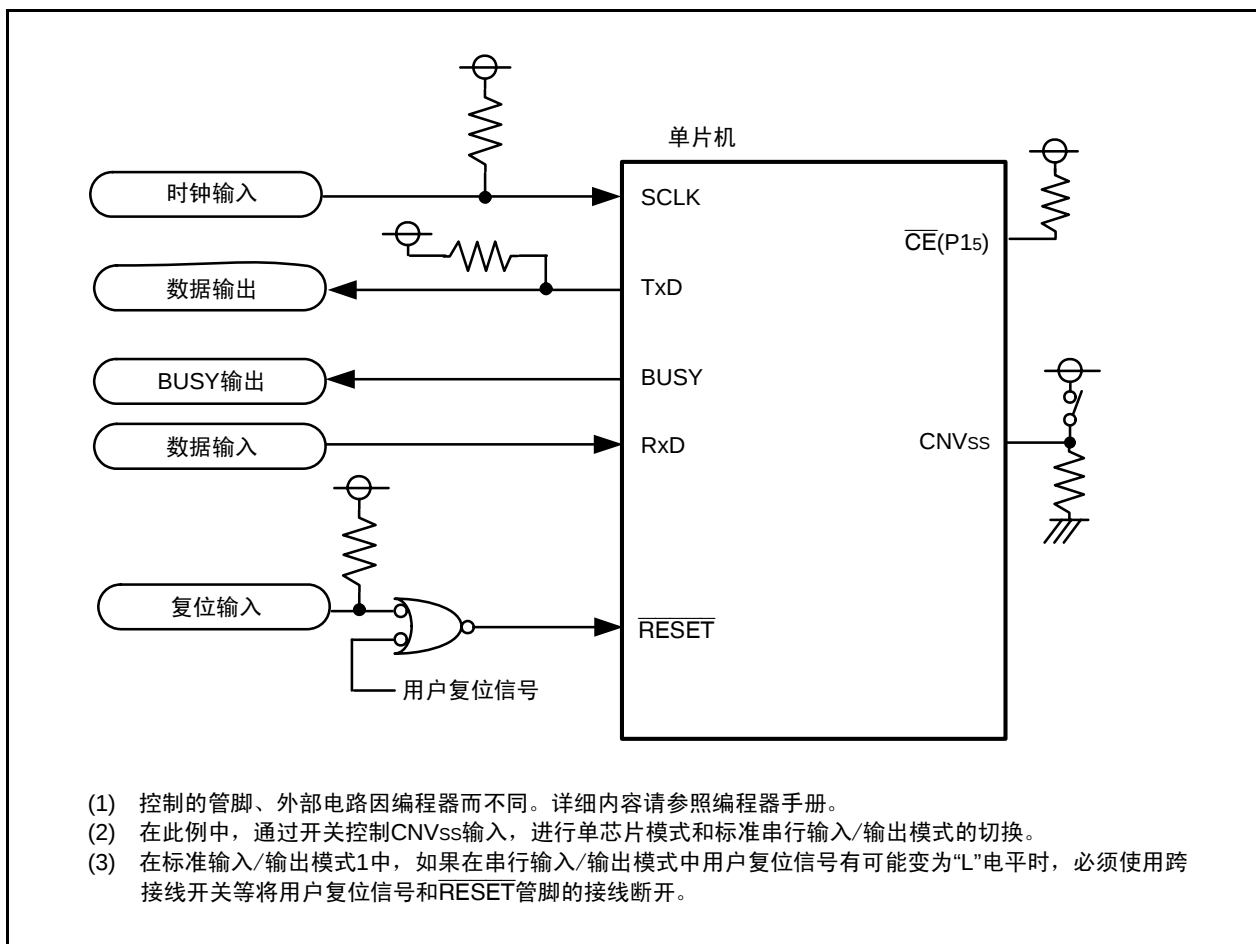


图1.22.1 使用标准串行输入/输出模式1时的管脚处理例

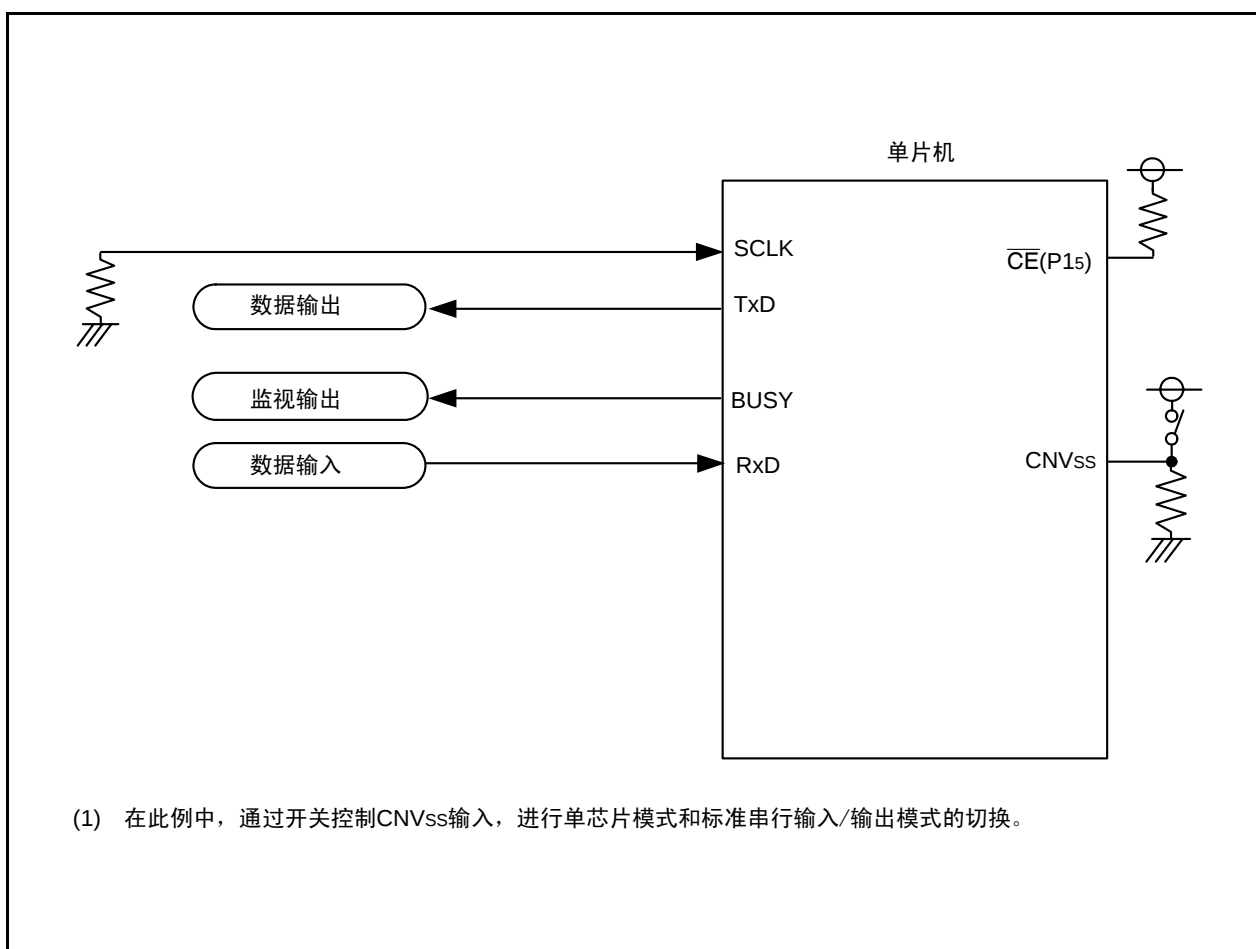


图 1.22.2. 使用标准串行输入/输出模式2时的管脚处理例

ROM码保护功能

该功能是禁止读或者改写闪存的功能（请参照“闪存改写禁止功能”）。

IT800 模拟前端 (AFE)

1. 模拟前端的框图

模拟前端 (AFE) 部分是 M16C/6S 和电力线之间的电路。M16C/6S 内置有 DAC、预放大器、ADC 等。AFE 有以下两条信号通路。

(1) 发送通路-由从 M16C/6S 内部的逻辑信号驱动, 并具有差动输出的 DAC、调频用输出滤波器、驱动电力线的差动长线驱动器放大器和线耦合电路构成。

(2) 接收通路-由线耦合电路、差动前置放大、输入滤波器群和 ADC 构成。线耦合电路是发送、接收双方共用的。

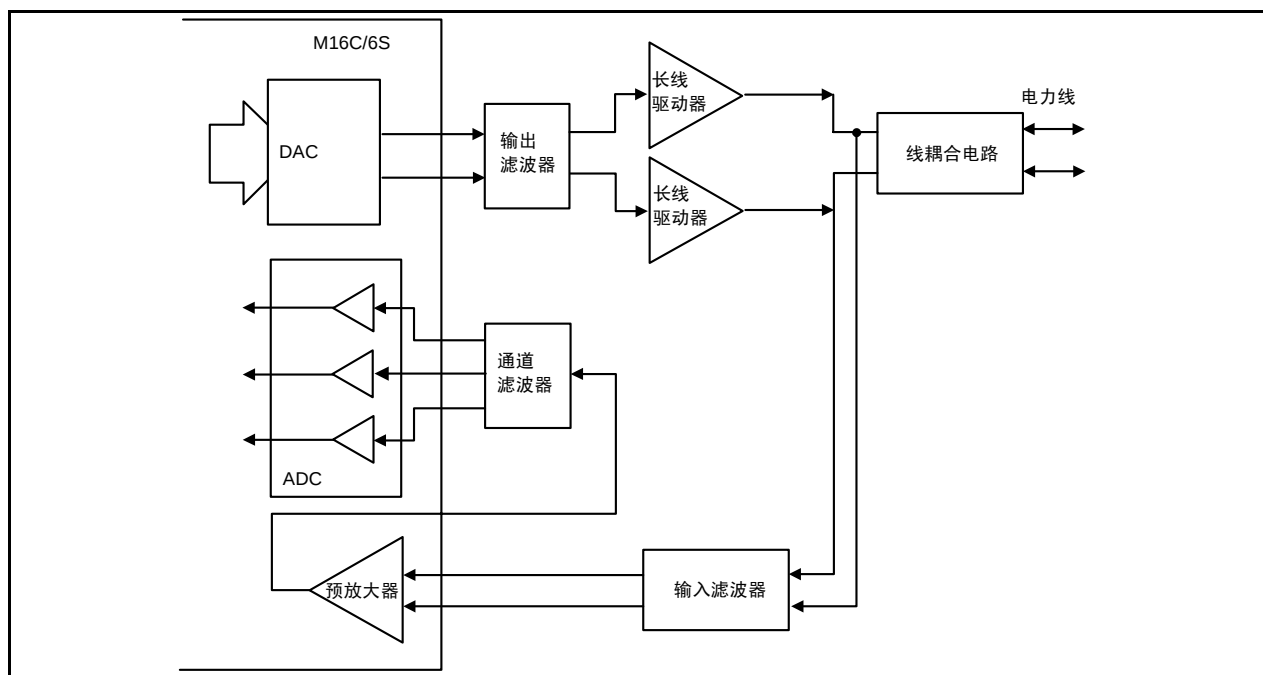


图 1.23.1. 模拟前端电路框图

(1) 发送通路

发送通路的基本特性如下所示。

- (a) 对于额定的负荷能够得到合适的输出信号电平
- (b) 信号带宽具有平滑的频率特性
- (c) 带宽外的信号电平-必须在各规格以内

本系统假定在以下 3 种基本的信号带宽下运行。

- (a) 美国、日本-120k ~ 400kHz
- (b) 欧洲室内-95k ~ 125kHz (CENELEC B 带宽)
- (c) 欧洲户外-20k ~ 80kHz (CENELEC A 带宽)

信号带宽的切换需要 IT800 配置的改变、信号带宽的模拟滤波器、输出功率的调整及长线驱动器段的输出电阻的改变 (注)。

注. 关于信号电平或带宽外的条件请参照以下的标准、式样。

- (a) 美国-FCC 标准、part 15
- (b) 欧洲-CENELEC 标准、EN 50065-1
- (c) 日本-ARIB、STD-T84

在DAC电路的周边设定常数时需注意以下几点。

(a) DAC的满刻度输出电流

对应内部的变化幅度，DAC管脚（Iout/Ioutc）输出的电流发生变化，但是总和一定，为满刻度输出电流（IFULL）。此IFULL按如下的公式设定。

$$IFULL = 2131 / R_{ext} \text{ (mA)}$$

R_{ext} 的单位为 Ω

IFULL的最佳值约为1mA，因此 R_{ext} 为2.1k Ω 。

DAC一共有10位的变化幅度，在满标度中，Iout/Ioutc在0～IFULL之间分1024步变化。

当10位2进制输入换算为10进制的步进值为d时，Iout/Ioutc的值用以下的公式表示。（d=0～1023）

$$I_{out} = IFULL / 1023 * d$$

$$I_{outc} = IFULL / 1023 * (1023 - d)$$

(b) 关于DAC负荷电阻

DAC输出管脚连接电阻（Rout/Routc）。该电阻根据各自的电流（Iout/Ioutc）产生信号电压。为保持Iout/Ioutc的线性，需要设定Rout/Routc，保证该电位最大值不超过2V。无信号时（平衡状态）Iout/Ioutc基本为IFULL的1/2，DAC输出管脚的信号电压（Vout/Voutc）为

$$V_{out} = R_{out} \times I_{out}$$

$$V_{outc} = R_{outc} \times I_{outc}$$

无信号时的Vout/Voutc的推荐值约为1V，因此 $R_{ext}=2.1k\Omega$ 时，Rout/Routc为2.1k Ω 。

输出滤波器用的电容（Cout/Coutc）滤除DAC的高频波，所以需要根据所需带宽频率综合设定。

(2) 接收通路

(a) 预放大器

预放大器电路由如图3所示的2个CMOS运算放大器构成，前段放大器的电压增益为20db，次段连接电压跟随器段。预放大器主要的电气特性如表1.23.2所示。

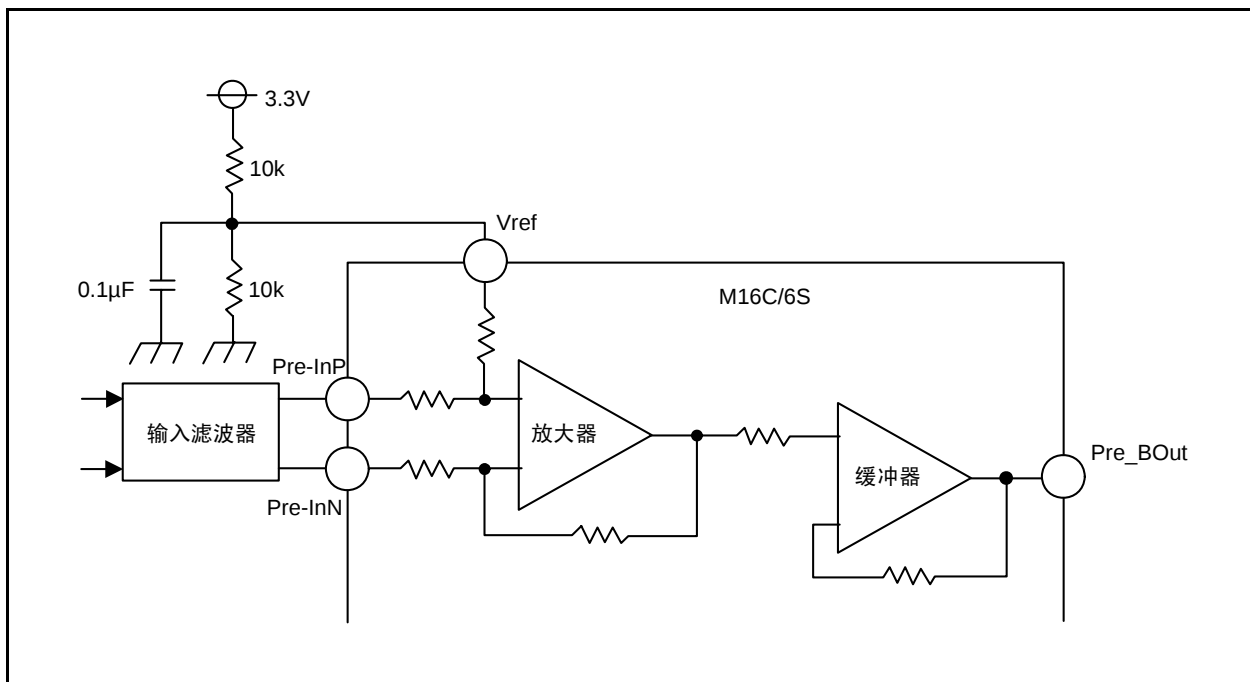


图1.23.3. 预放大器电路的构成

表1.23.2. 预放大器的电气特性（不指定时，Ta=-25°C，Vdd=3.3V）

项目	符号	条件	电气特性			单位
			Min	Typ	Max	
基准电压	Vdd		3.0	3.3	3.6	V
输入偏移电压	Vof				15	mV
开环放大增益	Gvo	无负荷	70			dB
增益带宽	BW	Gvo=0dB	5			MHz
同相输入范围	CMIR	DC ~ 1MHz	0.7		Vdd-0.7	V
同相输入抑压比	CMRR	DC ~ 1MHz	40			dB
电源电压抑压比	PSRR	DC ~ 1MHz	30			dB

(b) ADC (Analog to Digital Converter)

外部连接的通道滤波器（最大3个）的输出，连接到由运算放大器和比较电路构成的1位ADC。M16C/6S 内置有3个相同功能的ADC。1个ADC电路的构成如下图所示。

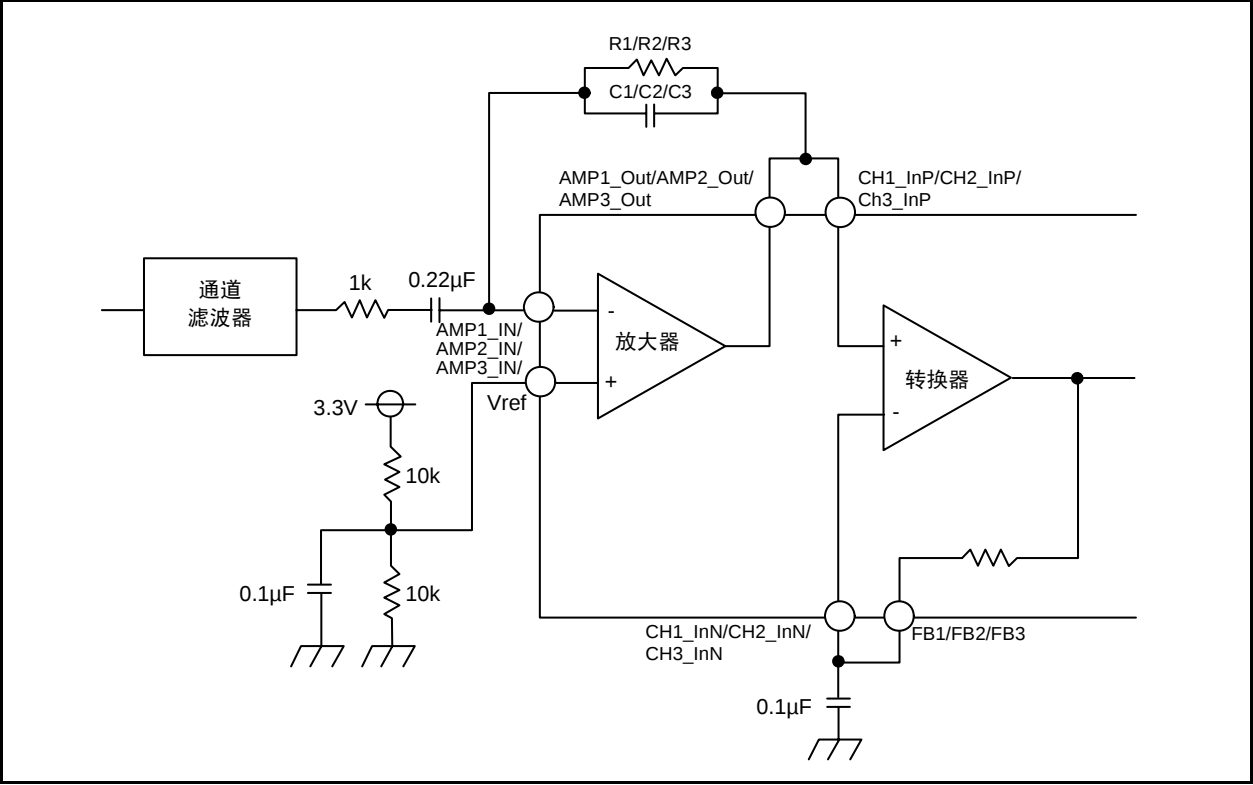


图1.23.4. ADC框图

3个ADC根据所使信号带宽决定是只使用一个还是3个都使用。滤波器的常数按下表设定。

表1.23.3. ADC 部件常数的设定例 (1)

部件	适用特性	C1	C2	C3	单位
电容	FCC/ARIB	33	22	10	pF
	CECLEC-B	33	—	—	pF

表1.23.3. ADC 部件常数的设定例 (2)

部件	适用特性	R1	R2	R3	单位
电阻	FCC/ARIB	10	10	12	kΩ
	CECLEC-B	10	—	—	kΩ



附录：IT800 Data Link Layer- 功能和特点

1. 概要

本文档记述的是在使用电力线的低速网络中，以 YITRAN 公司 IT800 技术为基础的产品中安装的数据链路层（DLL）的功能。该文档的目的是在强调嵌入到 DLL 中的算法及机制的特点的同时，显示关于使用本数据链路层以外的安装情况时所想定的详细讨论结果。

2. 网络参考模型

DLL 是在图 1（a）所示的 OSI 参考模型中全 7 层中的第 2 层。该模型中，数据在相邻两层之间向上、向下传送。另外，节点间的通信也基本在同一层间进行。[图 1（b）]

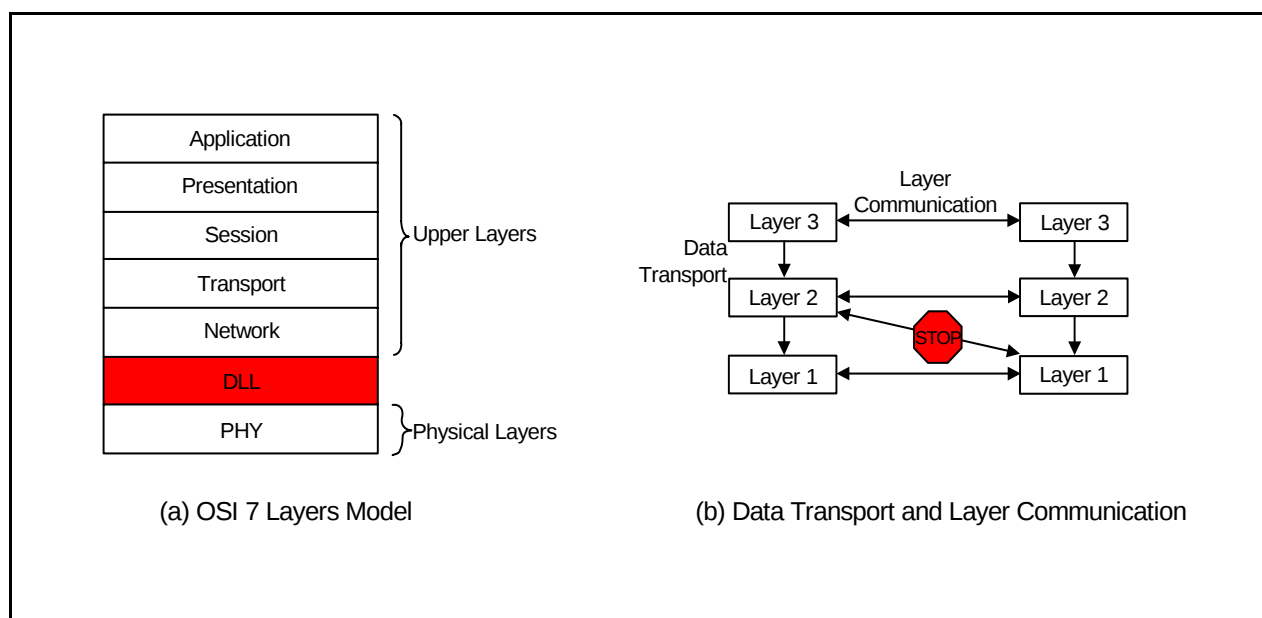


图 1. 网络参考模型

物理层（PHY）定义为通信网络系统节点间物理性连接的电气特性。

DLL 算法是为使冲突的可能性降到最低，尽量确立最适合且公平的所有两个节点间单一的访问通道，并进行管理而设计的。IT800DLL 是 Yitran 公司专为 IT800PHY 所开发的，因此使用此 DLL 可以提高 PHY 的使用效率，最终最优化整体的性能。

关于 IT800DLL 的安装，管理和 PHY 的接口间时间上的临界对话，并且需要应用最适合的中断解码和高效接口间相互通信的 PHY 安装的知识。

此 DLL 具有可以驱动多个传送速率模式、生成特殊的包和信号的能力，得用以上各种 PHY 特征，可实现利用提供有高可靠性的数据传送媒体通道的最佳利用。

IT800DLL Explanatory Note

June 2, 2005

3. IT800DLL 主要功能

DLL 的主要功能和机制如下表所示：

功能	内容
Carrier sense 载波侦听	作为 PHY correlator 输出的功能，提供触发媒体访问算法的载流子检测（CD）信号。表示线上信号的可能性。
Channel access prioritization 通道访问优先级	决定对 PLC 节点进行包发送的时序和时间。这里优先级最高的数据包节点参与媒体访问的 DLL 竞争。
Adaptive back-off 自适应退避	为了使在某个期间的发送包数分布一样，决定节点的通道竞争时间的长度。（Yitran 公司正在专利申请） 该机制提供高效率的网络功能、最优通道的使用，并且多个节点同时竞争通道时，也能维持执行网络运行。
Acknowledgement 应答	使用不影响通信量的应答窗口，将是否成功将包发送到发送目的节点通知给发送节点。
Repetitive un-acknowledgement 反复无应答	在该机制中，不需要从发送目的节点接收应答，该机制用于发送事先设定了次数的发送包。
Multiple hop broadcast 多跳广播	对于参加同一逻辑网络的节点，重新发送单网络的广播包和 CNC（控制网络通道）消息。
Fragmentation and reassembly 分割和重组	通过在发送节点分割数据，接收节点重组，传送比 PHY 的最大包限制值更大的数据包。
Packet filtering 包过滤	只向高层传送事先设定好类型的消息，通过拒绝伪装节点或者其他不需要的消息类型，过滤接收数据包。

由上表可知，IT800DLL 带有扩展功能，关于通道访问和产率（基于载波侦听信号处理的自适应退避算法和数据包优先级）、高可靠性的数据传送（应答和再发送控制机构、多跳发送、数据包过滤的使用），提供最好的性能。并且在各种各样的协议栈中，可轻松实现 IT800 基本解决方案的整合。

使用 IT800DLL 的另一个重要的优点是可以保证在同一环境下使用以 IT800 为基础的产品的兼容性。

IT800DLL Explanatory Note

June 2, 2005

4. 关于本 DLL 以外的安装

使用本 DLL 以外的安装或者考虑使用时，请注意以下的问题：

1 兼容性：

因为通道访问方式、带优先级的电平、数据包的构成等有可能不同，所以本 DLL 以外的产品可能会与共用相同媒体（同一电力线）的其他以 IT800 为基础的产品不能兼容。

使用本 IT800DLL 时，在 DLL 上使用的产品，可保证与厂商、应用程序、协议无关的兼容。

2 必要的知识、开发周期和成本：

以 DLL 层为接口比以 PHY 层为接口更容易。物理层的接口包括多种中断、重要时序的会话等的处理。对于这些处理需要充分理解送电线媒体和 PHY 内部的机制，这会使开发资源及日程显著增加，结果导致开发周期及产品成本的增加。并且因为还有正在专利申请等的情况，所以不能展示所有的 PHY 内部的机制，请谅解。

3 整体性能：

至今 IT800DLL 已历时 3 年，对不同的控制、自动化产品中进行了测试、整合。所有的算法都经过网络仿真验证，安装在实际系统中时，因为是专门面向窄带电力线通信调制解调器的，所以显示出非常好的性能。

[*：新开发的 DLL 需要详细的评价]

5. 总结

总之，与在所有产品中都只使用 IT800PHY 相比，我们还是推荐您安装使用本 IT800DLL。

如果贵公司希望自己进行 DLL 层的安装，请务必与株式会社瑞萨科技的工程师协商，经过确认后再开发。

[*]：译者追加

日语版翻译© 瑞萨科技株式会社

（原文请参照瑞萨科技站点的 M16C/6S 数据表 Appendix）

Notes:

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guarantees regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
 - (1) artificial life support devices or systems
 - (2) surgical implantations
 - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
 - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

株式会社 瑞萨科技

下面所记中文只作为参考译文，英文具有正式效力。

请遵循安全第一进行电路设计：

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并不意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页（<http://www.renesas.com>）等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统(如各种安全装置或者运输交通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等)而设计和制造的,特别是对于品质和可靠性要求极高的机器和系统等（将本公司指定用于汽车方面的产品用于汽车时除外）。如果要用于上述的目的，请务必事先向本公司的营业窗口咨询。另外，对于用于上述目的而造成的损失等，本公司概不负责。
8. 除上述第7项内容外，不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失，本公司概不负责。
 - 1）生命维持装置。
 - 2）生命维持装置。
 - 3）用于治疗（切除患部、给药等）的装置。
 - 4）其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时，对于最大额定值、工作电源电压的范围、散热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时，对于由此而造成的故障和出现的事故，本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性，但一般来说，半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失，希望客户能自行负责进行冗余设计、采取延缓对策及进行防止错误运行等的安全设计（包括硬件和软件两方面的设计）以及老化处理等，这是作为机器和系统的出厂保证。特别是单片机的软件，由于单独进行验证很困难，所以要求在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下，有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时，请顾客自行负责将本公司产品设置为不容易剥落的安全设计。如果从顾客的设备上剥落而造成事故时，本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时，不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容，或者有其他关心的问题，请向本公司的营业窗口咨询。



RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.
450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited
Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.
Unit 204, 205, AZIA Center, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7898

Renesas Technology Hong Kong Ltd.
7th Fl., North Tower, World Finance Centre, Harbour City, 1 Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2730-6071

Renesas Technology Taiwan Co., Ltd.
10th Fl., No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 2713-2999

Renesas Technology Singapore Pte. Ltd.
1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.
Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

Renesas Technology Malaysia Sdn. Bhd.
Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jalan Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510