

RAJ306102

General purpose Motor control IC

Rev.1.00

Jun. 6th 2023

1 概要

RAJ306102 は、3 相ブラシレス DC モータ (以降、BLDC モータ) の制御に適した汎用モータコントロール IC です。本製品は、MCU (RL78/G1F) と Smart Gate Driver (RAA306012) を 1 パッケージに搭載しています。

Smart Gate Driver には、ハーフブリッジゲートドライバ 3ch, ゲート駆動用の降圧スイッチングレギュレータとチャージポンプ, LDO 2ch (IC 内部のアナログ / デジタル回路、および周辺回路用), 高精度差動アンプ 3ch, BEMF 検出アンプ, 汎用コンパレータ 3ch、および各種保護機能を内蔵しています。

3ch のハーフブリッジゲートドライバは、最大 3ch の N-ch MOSFET ブリッジを駆動可能で、6~65[V] のブリッジ電圧に対応しています。各ゲートドライバは、ソース / シンクのピーク電流を最大 0.64 / 1.28[A]まで 16 段階で調整可能です。また、堅牢性と柔軟性を確保するため、アダプティブデッドタイム機能とアジャスタブルデッドタイム機能を内蔵しています。アクティブゲートホールド機構は、ミラー効果による貫通電流を防止し、堅牢性が向上します。

3ch の高精度差動アンプは、各ブリッジの GND 側シャント抵抗の電流検出に対応し、ゲインの選択が可能です。3ch の汎用コンパレータ、および BEMF 検出アンプにより、ホールセンサ / センサレスモータ制御両方の BLDC モータ制御方式に対応可能です。

保護機能 (異常保護, 通知機能) として、VCC5V 電圧降下 (VCC_UV), VM 電圧降下 (VM_UV), VM 過電圧 (VM_OV), チャージポンプ電圧降下 (VCP_UV), MOSFET V_{ds} 過電流 (VDS_OCP), シャント抵抗の過電流保護 (CS_OCP), MOSFET V_{gs} 異常 (VGS_FAULT), サーマルワーニング (TWARN), サーマルシャットダウン (OTSD), 降圧レギュレータ過電流検出 (SR_OC1), 降圧レギュレータ過電流保護 (SR_OCP), 降圧レギュレータ電圧降下 (VDRV_UV), 降圧レギュレータ過電圧 (VDRV_OV) に対応しています。

Smart Gate Driver は、MCU との内部接続により、SPI インターフェースを介してパラメータの設定と確認が可能です。また、nFAULT 信号と Fault Status レジスタにより異常状態の確認が可能です。

MCU は、IEC60730、および IEC61508 の安全規格に対応しています。本製品では、RL78 ファミリの開発ツールが使用可能です。

2 機能/特徴

- 動作電圧範囲
 - VBRIDGE : 6~65[V] (絶対最大定格 : 78[V])
 - VM : 6~60[V] (絶対最大定格 : 65[V])
- 動作周囲温度範囲 : -40~+105[°C]
- 低消費電力な VM 電源
 - MCU : 5.2[mA]
 - (HS モード : f_{ih} = 32[MHz], VDD_MCU = 5[V])
 - Smart Gate Driver :
 - 2[mA] (Operating Mode), 28[μA] (Sleep Mode)
- 8[mm] x 8[mm] 64Ld QFN package (0.4[mm] pitch)

Smart Gate Driver 機能

- BLDC モータ用 3 相ゲートドライバ機能
 - ゲート駆動ピーク電流 0.64 / 1.28[A] (ソース / シンク) を 16 段階で調整可能
 - アダプティブデッドタイム機能とアジャスタブルデッドタイム機能に対応
 - 3 相 HI/LI モード、および 3 相 PWM モード対応
 - 入力制御信号の選択機能
- システム用電源機能を搭載
 - Sleep Mode 対応の低消費 5[V] LDO : 2ch 搭載
 - 500[mA]降圧スイッチングレギュレータ内蔵 (5~15[V]で調整可能)
 - MCU を含む外付け部品用 100[mA]対応 LDO (電圧調整可能)
- ゲイン設定 (5, 10, 20, 40[V/V]) 可能な 3ch の差動アンプ (電流検出に対応)
- BEMF 検出アンプ (センサレスモータ制御用)
- 汎用コンパレータ 3ch (ホールセンサモータ制御用)
- 各種充実した保護機能搭載

MCU (RL78/G1F : R5F11BLEGFB) 機能

- CPU : 16bit CISC CPU (RL78 コア)
- Code Flash : 64[KB], Data Flash : 4[KB], RAM : 5.5[KB]
- SAU : 2 ユニット (CSI : 2ch, UART : 1ch, I²C : 2ch)
- ポート : 29pins (I/O : 27pins, Input : 2pins)
- タイマ :
 - タイマ アレイ ユニット : 1 ユニット 16bit, 4ch
 - タイマ RJ / RG : 16bit, 1ch / 1ch
 - タイマ RD : 16bit, 2ch (モータ制御用)
 - タイマ RX : 16bit, 1ch
- 10 ビット分解能 A/D コンバータ : 11ch
- 外部割り込み要求入力 : 10ch

3 アプリケーション

- パワーツール, ガーデンツール
- 掃除機, ファン, ポンプ, ロボット, 他

1.本データシートとあわせて「RAJ306102 ユーザーズマニュアル ハードウェア編 (R18UZ0082JJ)」を参照してください。
 2.MCUの詳細は「RL78/G1F ユーザーズマニュアル ハードウェア編 (R01UH0516JJ)」を参照してください。
 3.本ICの特性上、搭載しているMCUには利用制限があります。利用制限に関しては、「RAJ306102 ユーザーズマニュアル ハードウェア編 (R18UZ0082JJ)」の第2章 MCU : RL78/G1Fをご確認ください。
 4.MCUの電気的特性に関して、EVDD / VDDの条件を、3.135 <= EVDD / VDD <= 5.25[V]としてご確認ください。

4ブロック図

4.1 代表的なアプリケーション回路例

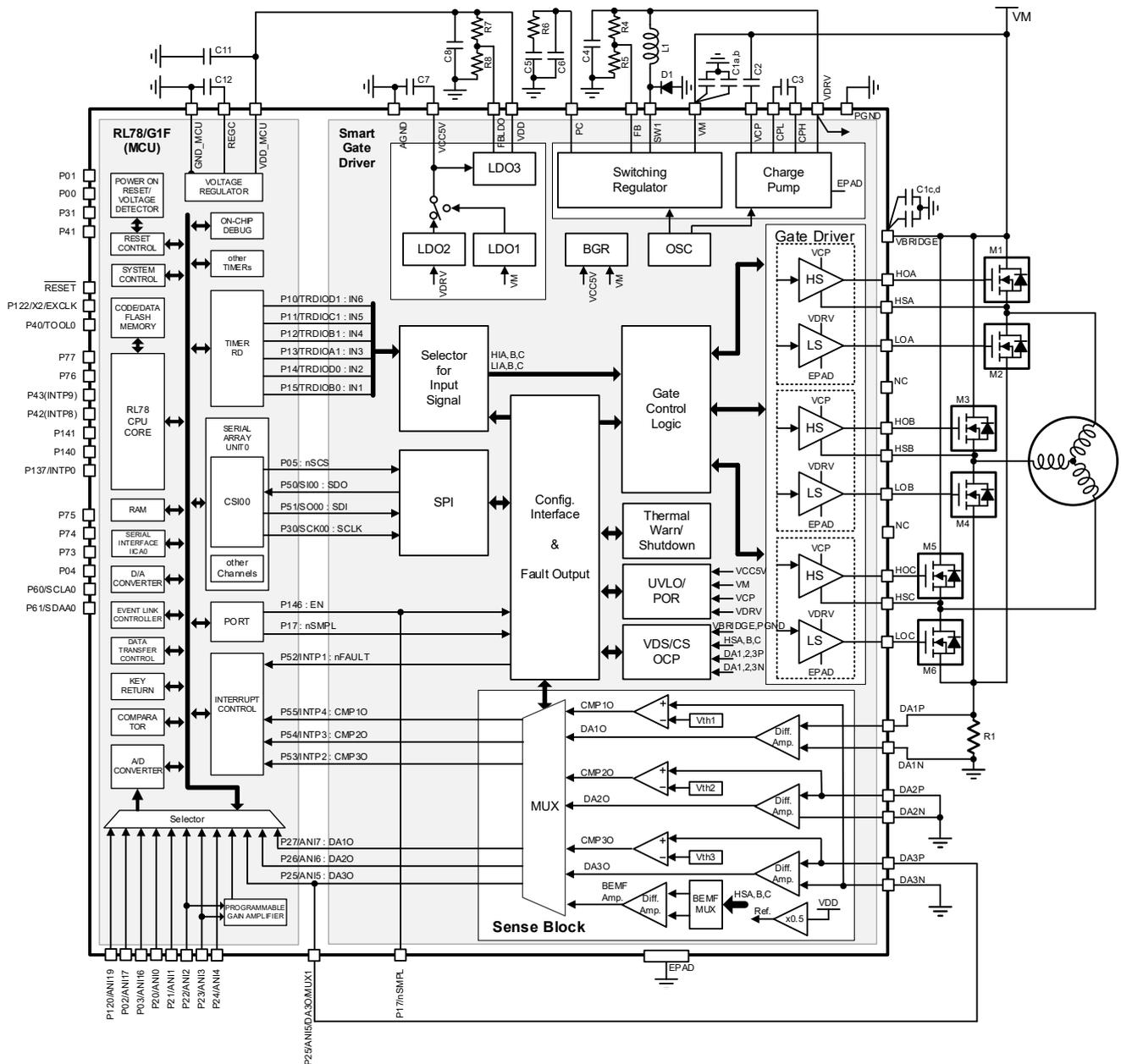


Figure 4.1-1 アプリケーション簡易ブロック図：センサレスモータ制御 (BEMF 検出 & コンパレータ)

4.1 代表的なアプリケーション回路例 (続き)

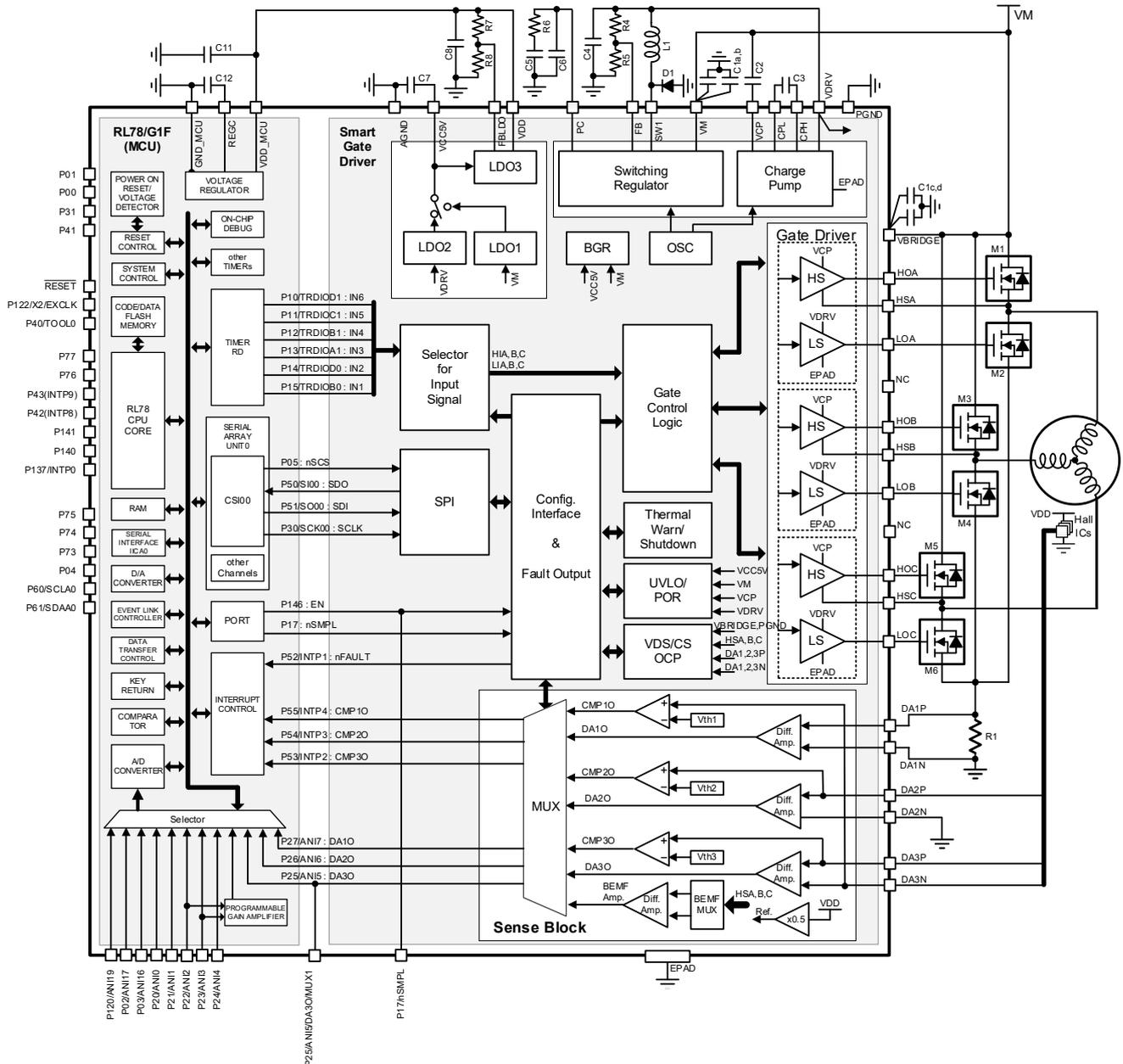


Figure 4.1-2 アプリケーション簡易ブロック図：ホールセンサモータ制御 (3 コンパレータ)

4.1 代表的なアプリケーション回路例 (続き)

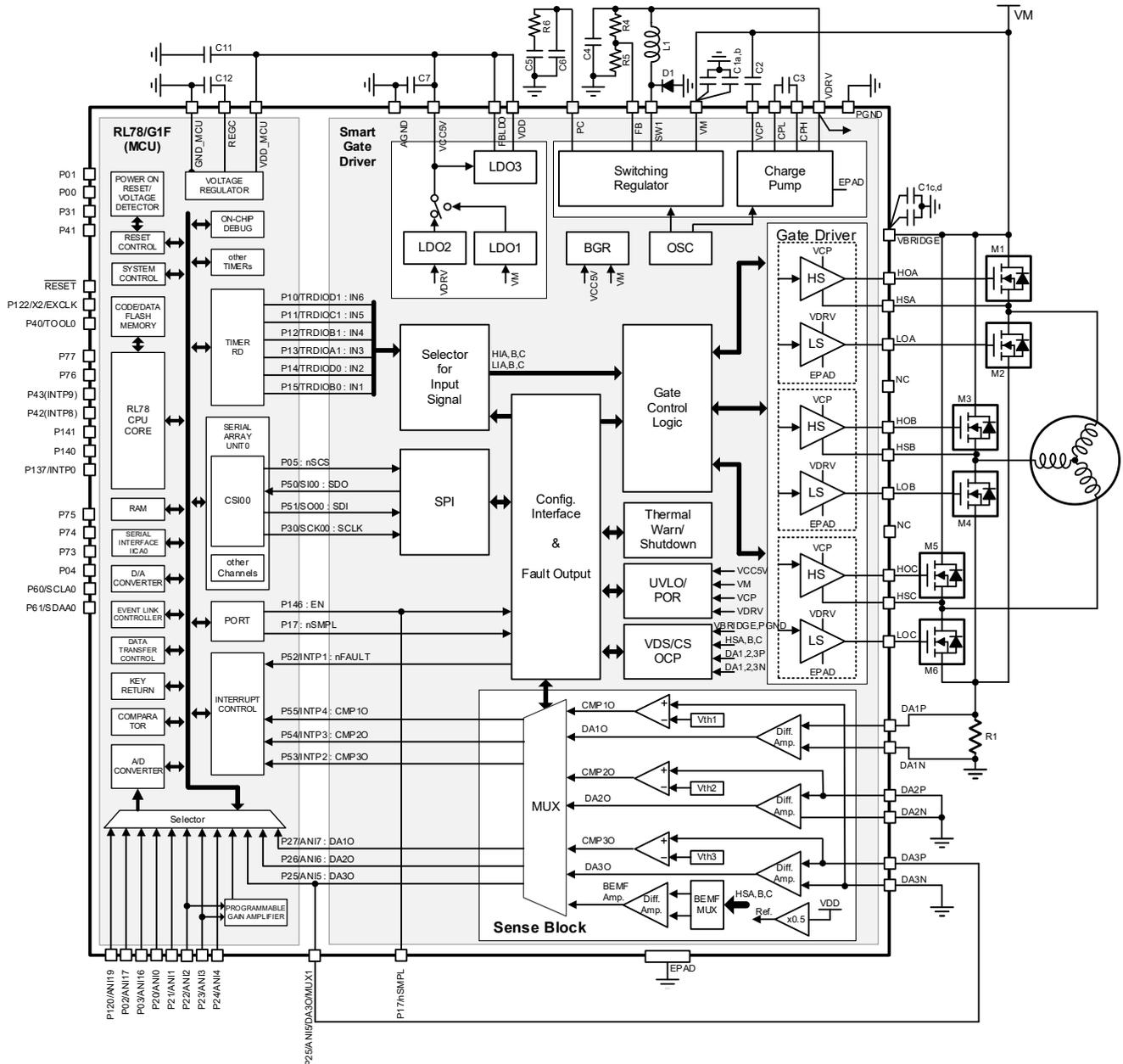


Figure 4.1-3 アプリケーション簡易ブロック図：センサレスモータ制御 (MCU 5[V]供給仕様)

4.2 端子機能

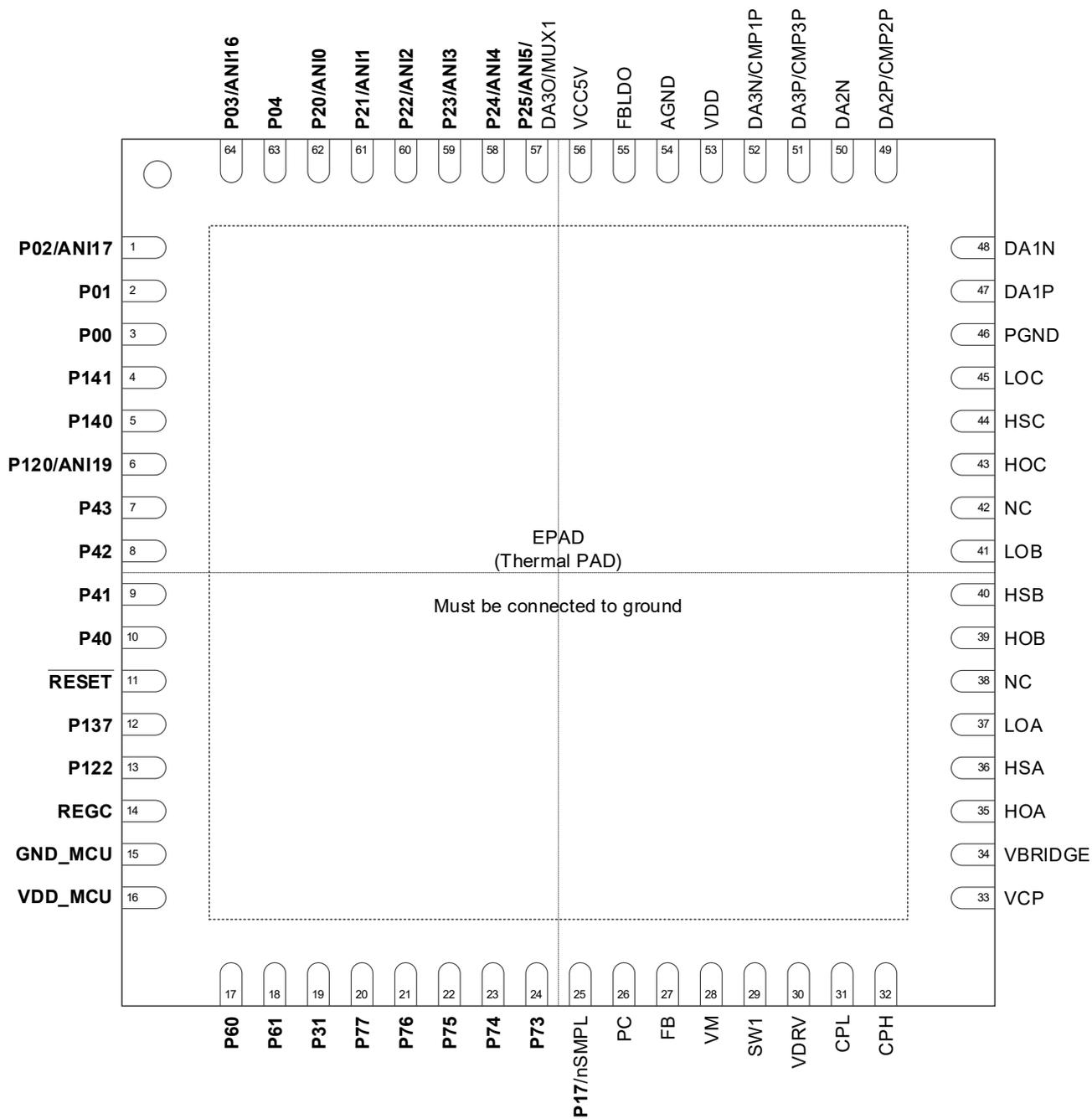


Figure 4.2-1 端子図 (Top View)

4.3 端子機能一覧

Table 4.3-1 端子機能一覧

端子番号	端子名称	兼用機能	I/O			機能	Note
			レベル	タイプ	リセット解除時		
1	P02	ANI17 / SO10 / TxD1 / IVCMP10	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / CSH0シリアル・データ出力 / UARTシリアル・データ出力 / コンパレータ1のアナログ電圧入力、リファレンス電圧入力	1
2	P01	TO00 / TRGCLKB / TRJIO0 / (INTP10)	VDD	入出力	入力ポート	デジタル入出力 / 16ビット・タイマ00のタイマ出力 / タイマRG外部クロック入力 / タイマRJ入出力 / (外部割り込み (INTP10) 要求入力)	1
3	P00	TI00 / TRGCLKA / (TRJIO0) / (INTP8)	VDD	入出力	入力ポート	デジタル入出力 / 16ビット・タイマ00への外部カウンタ・クロック、キャプチャ・トリガ入力 / タイマRG外部クロック入力 / (タイマRJ出力) / (外部割り込み (INTP8) 要求入力)	1
4	P141	PCLBUZ1 /INTP7	VDD	入出力	入力ポート	デジタル入出力 / クロック、プゼー出力 / 外部割り込み (INTP7) 要求入力	1
5	P140	PCLBUZ0 /INTP6	VDD	入出力	入力ポート	デジタル入出力 / クロック、プゼー出力 / 外部割り込み (INTP6) 要求入力	1
6	P120	ANI19 / VCOUT0	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / コンパレータ0出力	1
7	P43	INTP9	VDD	入出力	入力ポート	デジタル入出力 / 外部割り込み (INTP9) 要求入力	1
8	P42	INTP8	VDD	入出力	入力ポート	デジタル入出力 / 外部割り込み (INTP8) 要求入力	1
9	P41	(TRJIO0)	VDD	入出力	入力ポート	デジタル入出力 / (タイマRJ入出力)	1
10	P40	TOOL0	VDD	入出力	入力ポート	デジタル入出力 / フラッシュ・メモリ・プログラマ、デバッグ用データ入出力	1
11	/RESET	—	VDD	入力	—	RL78/G1F用リセット・レベル・アクティブのシステム・リセット入力	1
12	P137	INTP0	VDD	入力	入力ポート	入力ポート / 外部割り込み (INTP0) 要求入力	1
13	P122	EXCLK	VDD	入力	入力ポート	入力ポート / メイン・システム・クロック用外部クロック入力	1
14	REGC	—	VDD	—	—	内部動作レギュレータ出力安定容量接続 出力安定化コンデンサ (0.47~1[μF]) をREGCとGND_MCU間に接続。	1
15	GND_MCU	—	VDD	GND	—	RL78/G1F用GND電位	1
16	VDD_MCU	—	VDD	POWER	—	RL78/G1F用正電源 バイパスコンデンサ (0.1[μF]程度) をVDD_MCUとGND_MCU間に接続。	1
17	P60	SCLA0	VDD	入出力	入力ポート	デジタル入出力 / シリアル・インタフェースIIC00のシリアル・クロック入出力	1
18	P61	SDAA0	VDD	入出力	入力ポート	デジタル入出力 / シリアル・インタフェースIIC00のシリアル・データ入出力	1
19	P31	TI03 / TO03 / (PCLBUZ0) / (TRJIO0) / VCOUT1	VDD	入出力	入力ポート	デジタル入出力 / 16ビット・タイマ03への外部カウンタ・クロック、キャプチャ・トリガ入力 / 16ビット・タイマ03のタイマ出力 / (クロック、プゼー出力) / タイマRJ入出力 / コンパレータ出力1	1
20	P77	KR7 / INTP11	VDD	入出力	入力ポート	デジタル入出力 / キー割り込み (KR7) 入力 / 外部割り込み (INTP11) 要求入力	1
21	P76	KR6 / INTP10	VDD	入出力	入力ポート	デジタル入出力 / キー割り込み (KR6) 入力 / 外部割り込み (INTP10) 要求入力	1
22	P75	KR5 / SCK01 / SCL01	VDD	入出力	入力ポート	デジタル入出力 / キー割り込み (KR5) 入力 / シリアル・インタフェースCSI01のシリアル・クロック入出力 / シリアル・インタフェースIIC01のシリアル・クロック出力	1
23	P74	KR4 / SI01 / SDA01	VDD	入出力	入力ポート	デジタル入出力 / キー割り込み (KR4) 入力 / シリアル・インタフェースCSI01のシリアル・データ入力 / シリアル・インタフェースIIC01のシリアル・データ入出力	1
24	P73	KR3 / SO01	VDD	入出力	入力ポート	デジタル入出力 / キー割り込み (KR5) 入力 / CSI01のシリアル・データ出力	1
25	P17	TI02 / TO02 / nSMPL	VDD	入出力	入力ポート	デジタル入出力 / 16ビット・タイマ02への外部クロック入力 / 16ビット・タイマ02のタイマ出力 / Smart Gate Driver用サンプルホールド入力	1, 2

Note1 : RL78/G1Fの端子です。端子機能の詳細は、「**RL78/G1F ユーザーズマニュアル ハードウェア編 (R01UH0516JJ)**」を参照してください。

Note2 : この端子をGPIO、TI02、またはTO02として使用する場合は、Smart Gate Driverの差動アンプのサンプルホールド機能は使用不可能です。Smart Gate DriverのSense Block Control 2レジスタ (SNSCTL2)のBEMF_SHビット、DA1_SHビット、DA2_SHビット、DA3_SHビットを全て"0b"に設定してください。詳細は、**6.7.15**を参照してください。

4.3 端子機能一覧 (続き)

Table 4.3-2 端子機能一覧 (続き)

端子番号	端子名称	兼用機能	I/O			機能	Note
			レベル	タイプ	リセット解除時		
26	PC	—	VCC5V	出力	出力	降圧スイッチングレギュレータの位相補償用gmアンプ出力	
27	FB	—	VCC5V	入力	入力	降圧スイッチングレギュレータの電圧フィードバック入力 (Ref. = 0.8[V])	
28	VM	—	VM	POWER	—	電源入力 VMとアナログGND間にバイパスコンデンサを接続。	
29	SW1	—	VM	出力	出力	降圧スイッチングレギュレータのスイッチノード	
30	VDRV	—	VDRV	POWER	—	降圧スイッチングレギュレータ用出力、およびLowサイドゲートドライバ電源 バイパスコンデンサをVDRVとアナログGND間に接続。	
31	CPL	—	VDRV	出力	出力	チャージポンプLowサイドのスイッチノード フライングコンデンサをCPHとCPL端子間に接続。	
32	CPH	—	VCP	出力	出力	チャージポンプHighサイドのスイッチノード フライングコンデンサをCPHとCPL端子間に接続。	
33	VCP	—	VCP	POWER	—	チャージポンプ出力 バイパスコンデンサをVBRIDGEとVCP端子間に接続。	
34	VBRIDGE	—	VBRIDGE	入力	入力	チャージポンプ出力の基準電圧、およびHighサイドMOSFETのドレイン検知入力 バイパスコンデンサをVBRIDGEとパワーGND間に接続。	
35	HOA	—	VCP	出力	出力	A相Highサイドのゲートドライバ出力 HighサイドのMOSFETゲートと接続。	
36	HSA	—	VBRIDGE	入力	入力	A相Highサイドのソース検知入力 HighサイドのMOSFETソースと接続。	
37	LOA	—	VDRV	出力	出力	A相Lowサイドのゲートドライバ出力 LowサイドのMOSFETゲートと接続。	
38	NC	—	—	—	—	オープン (接続禁止)	
39	HOB	—	VCP	出力	出力	B相Highサイドのゲートドライバ出力 HighサイドのMOSFETゲートと接続。	
40	HSB	—	VBRIDGE	入力	入力	B相Highサイドのソース検知入力 HighサイドのMOSFETソースと接続。	
41	LOB	—	VDRV	出力	出力	B相Lowサイドのゲートドライバ出力 LowサイドのMOSFETゲートと接続。	
42	NC	—	—	—	—	オープン (接続禁止)	
43	HOC	—	VCP	出力	出力	C相Highサイドのゲートドライバ出力 HighサイドのMOSFETゲートと接続。	
44	HSC	—	VBRIDGE	入力	入力	C相Highサイドのソース検知入力 HighサイドのMOSFETソースと接続。	
45	LOC	—	VDRV	出力	出力	C相Lowサイドのゲートドライバ出力 LowサイドのMOSFETゲートと接続。	
46	PGND	—	GND	GND	—	外部パワー段のGNDセンス入力	
47	DA1P	—	VDD	入力	入力	差動アンプ1のPositive側入力	
48	DA1N	—	VDD	入力	入力	差動アンプ1のNegative側入力	
49	DA2P	CMP2P	VDD	入力	入力	差動アンプ2のPositive側入力、およびコンパレータ2のPositive側入力	
50	DA2N	—	VDD	入力	入力	差動アンプ2のNegative側入力	
51	DA3P	CMP3P	VDD	入力	入力	差動アンプ3のPositive側入力、およびコンパレータ3のPositive側入力	
52	DA3N	CMP1P	VDD	入力	入力	差動アンプ3のNegative側入力、およびコンパレータ1のPositive側入力	
53	VDD	—	VDD	POWER	—	内蔵シリズレギュレータ出力、および出力バッファ用電源 出力コンデンサをVDDとアナログGND間に接続。	
54	AGND	—	GND	GND	—	デバイスのアナログ用GND	
55	FBLDO	—	VCC5V	入力	入力	内蔵シリズレギュレータの電圧フィードバック (Ref. = 1.2[V])	
56	VCC5V	—	VCC5V	POWER	—	内蔵シリズレギュレータ出力 (5[V]) 出力コンデンサをVCC5VとアナログGND間に接続。	

4.3 端子機能一覧 (続き)

Table 4.3-3 端子機能一覧 (続き)

端子番号	端子名称	兼用機能	I/O			機能	Note
			レベル	タイプ	リセット解除時		
57	P25	ANI5 / DA30 / MUX1	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / Smart Gate Driverの差動アンプ3の出力, BEMF検出アンプ出力, アナログマルチプレクサ出力	1, 3
58	P24	ANI4	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力	1
59	P23	ANI3 / ANO1 / PGAGND	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / D/Aコンバータ1出力 / PGAリファレンス電圧入力	1
60	P22	ANI2 / ANO0 / PGAI / IVCMP0	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / D/Aコンバータ0出力 / PGA電圧入力 / コンパレータ0のアナログ電圧入力	1
61	P21	ANI1 / AVREFM / IVCMP13	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / A/Dコンバータの-側基準電圧入力 / コンパレータ1のアナログ電圧入力, リファレンス電圧入力	1
62	P20	ANI0 / AVREFP / IVCMP12 / (INTP11)	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / A/Dコンバータの+側基準電圧入力 / コンパレータ1のアナログ電圧入力, リファレンス電圧入力 / (外部割り込み (INTP11) 要求入力)	1
63	P04	SCK10 / SCL10	VDD	入出力	アナログ機能	デジタル入出力 / シリアル・インタフェースCSI10のシリアル・クロック入出力 / シリアル・インタフェースIIC10のシリアル・クロック出力	1
64	P03	ANI16 / SI10 / RxD1 / SDA10 / IVCMP11	VDD	入出力	アナログ機能	デジタル入出力 / A/Dコンバータのアナログ入力 / シリアル・インタフェースCSI10のシリアル・データ入力 / シリアル・インタフェースUART1のシリアル・データ入力 / シリアル・インタフェースIIC10のシリアル・データ入出力 / コンパレータ1のアナログ電圧入力, リファレンス電圧入力	1
—	EPAD (Thermal PAD)	—	GND	GND	—	チャージポンプ、およびゲートドライバ用のパワー-GND 外部パワー-GNDとの接続が必要です。	

Note1 : RL78/G1Fの端子です。端子機能の詳細は、「**RL78/G1F ユーザーズマニュアル ハードウェア編 (R01UH0516JJ)**」を参照してください。

Note3 : この端子を P25、または ANI5 として使用する場合は、Smart Gate Driver の Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに“000b”を設定してください。ただし、“000b”を設定している場合、ブルダウン抵抗 (330[kΩ]) が有効になるため、外部接続端子でアナログ機能を使用する際は注意してください。詳細は、**6.5.5**、および **6.7.18** を参照してください。

5 電気的特性

5.1 絶対最大定格

Table 5.1-1 絶対最大定格 ^{Note1}

Item	Symbol	Minimum	Maximum	unit	
VBRIDGE to GND ^{Note2}	VBRIDGEabs	-0.3	78	V	
VM to GND ^{Note2}	VMabs	-0.3	65	V	
Voltage difference between ground pins (AGND, PGND, EPAD)	DGNDabs	-0.3	0.3	V	
VCP to GND, CPH to GND, VCP to HSx, VCP to HOx (x = A, B, C)	VCPabs	-0.3	VBRIDGE + 15 ^{Note3}	V	
CPL to GND	VCPLabs	-0.3	VDRV + 0.3	V	
Continuous HOx (x = A, B, C) to GND	VHOxabs	-5	VCP + 0.5	V	
Transient 200[ns] HOx (x = A, B, C) to GND	VHOxtran	-7	VCP + 0.5	V	
HOx to HSx (x = A, B, C)	VGSHxabs	-0.3	15	V	
Continuous HSx (x = A, B, C) to GND	VHSxabs	-5	VBRIDGE + 5 ^{Note4}	V	
Transient 200[ns] HSx (x = A, B, C) to GND	VHSxtran	-7	VBRIDGE + 7 ^{Note4}	V	
VDRV to AGND	VDRVabs	-0.3	17	V	
Continuous LOx (x = A, B, C) to GND	VLOabs	-1	VDRV + 0.5	V	
SW1 to GND	VSWabs	-1	VM + 0.5	V	
VCC5V to GND	VCCabs	-0.3	5.5	V	
FB, PC, FBLDO to GND	VFBabs	-0.3	VCC5V + 0.3	V	
DAzP (z = 1, 2, 3) to GND, DAzN (z = 1, 2, 3) to GND	VDAINabs	-1	VDD + 0.6	V	
VDD, VDD_MCU to GND	VDDabs	-0.3	5.5	V	
REGC input voltage to GND	VREGC	-0.3	2.8 ^{Note5}	V	
Digital input voltage	P00 to P04, P17, P20 to P25, P31, P40 to P43, P73 to P77, P120, P122, P137, P140, P141, /RESET, TEST	V _{DI1}	-0.3	VDD + 0.3	V
	P60, P61 (Nch open-drain)	V _{DI2}	-0.3	6.5	V
Output voltage	P00 to P04, P17, P20 to P25, P31, P40 to P43, P60, P61, P73 to P77, P120, P140, P141, DA3O	V _{OUT}	-0.3	VDD + 0.3	V
Analog input voltage	ANI0 to ANI5, ANI16, ANI17, ANI19	V _{AI1}	-0.3	VDD + 0.3 and AVREFP + 0.3 ^{Note6}	V

Note1 : 絶対最大定格は Ta = 25[°C]における設計規格であり、製品検査時の対象項目ではありません。

Note2 : VBRIDGE 端子と VM 端子には、それぞれ独立した電源を供給可能です。

Note3 : High サイドゲートドライバ出力端子 (HOx (x = A, B, C)) 電圧、および High サイドソース検知入力端子 (HSx (x = A, B, C)) 電圧に対する VCP 端子電圧は、最大 86[V]に制限する必要があります。これは、VBRIDGE が 66[V]を越える場合、VCPabs の最大値、VHOxabs と VHSxabs の最小値、および VGSHxabs の最大値が制限されます。例えば、VBRIDGE = 78[V], VCPabs = 84[V]、および VHOxabs = VHSxabs = -2[V]の時、VGSHxabs は、(84 - 78[V]) = 6[V]に制限する必要があります。この例で VDRV 端子電圧も、チャージポンプの昇圧電圧を考慮すると約 7[V]に制限されます。

Note4 : VDRV ≤ 7[V]の場合、最大 VHSxabs は VBRIDGE + (VDRV - 2[V]) に制限されます。また、VHSxtran の最大値も VBRIDGE + VDRV に制限されます。

Note5 : REGC 端子はコンデンサ (0.47~1[μF]) を介して GND_MCU に接続してください。記載の電圧は REGC 端子の絶対最大定格を規定するものです。本電圧を印加して使用しないでください。

Note6 : A/D 変換対象の端子電圧は AVREFP + 0.3[V]を超えないでください。

Caution : 各絶対最大定格は一項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。絶対最大定格は、製品に物理的な損傷を与えかねない定格値のため、必ずこの定格値を超えない状態で製品をご使用ください。

Remark1 : 特に指定のないかぎり、兼用端子の特性は各ポート番号の端子と同じ特性です。

Remark2 : AVREFP : A/D コンバータの+側基準電圧です。

Remark3 : 各ブロックの GND 端子は以下の通りです。

ゲートドライバ部 : EPAD, チャージポンプ部 : EPAD, アナログ部 : AGND, MCU : GND_MCU

5.1 絶対最大定格 (続き)

Table 5.1-2 絶対最大定格 (続き) Note1

Item		Symbol	Minimum	Maximum	unit
Output current, high	P00 to P04, P40 to P43, P120, P140, P141	IdOH1	-40	-	mA/pin
		IdOH1A	-70	-	mA total
	P17, P31, P73 to P77	IdOH2	-40	-	mA/pin
		IdOH2A	-100	-	mA total
	P20 to P25	IdOH3	-0.5	-	mA/pin
		IdOH3A	-2	-	mA total
Output current, low	P00 to P04, P40 to P43, P120, P140, P141	IdOL1	-	40	mA/pin
		IdOL1A	-	70	mA total
	P17, P31, P73 to P77	IdOL2	-	40	mA/pin
		IdOL2A	-	100	mA total
	P20 to P25	IdOL3	-	1	mA/pin
		IdOL3A	-	5	mA total
Ambient temperature		TA	-40	105	°C
Junction temperature for smart gate driver (RAA306012)		TJ	-40	150	°C
Storage temperature		Tstg	-65	150	°C

Note1 : 絶対最大定格は $T_a = 25[^\circ\text{C}]$ における設計規格であり、製品検査時の対象項目ではありません。

Caution : 各絶対最大定格は一項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なう恐れがあります。絶対最大定格は、製品に物理的な損傷を与えかねない定格値のため、必ずこの定格値を超えない状態で製品をご使用ください。

Remark1 : 特に指定のないかぎり、兼用端子の特性は各ポート番号の端子と同じ特性です。

Remark2 : AVREFP : A/D コンバータの+側基準電圧です。

Remark3 : 各ブロックの GND 端子は以下の通りです。

ゲートドライバ部 : EPAD, チャージポンプ部 : EPAD, アナログ部 : AGND, MCU : GND_MCU

5.2 パッケージ熱抵抗

Table 5.2-1 パッケージ熱抵抗

Thermal resistance (Typical)	θ_{JA} [°C/W]	Ψ_{JT} [°C/W]
8[mm] x 8[mm] 64Ld QFN Package ^{Note1,2}	21.4	1.69

Note1 : θ_{JA} 無風状態で高効率な熱伝導率な測定ボードに IC を直付けした状態で温度を測定します。詳細は、[TB379](#) を参照してください。

Note2 : Ψ_{JT} の場合、ケース温度は、パッケージ裏面側の金属パッド中心の温度を測定します。

5.3 推奨動作条件

Table 5.3-1 推奨動作条件

Item	Symbol	Minimum	Maximum	unit	
VBRIDGE to GND	VBRIDGE _{Ope}	6	65	V	
VM to GND	VM _{Ope}	6	60	V	
VCC5V to GND	VCC _{Ope}	4.75	5.25	V	
VDRV to GND	VDRV _{Ope} ^{Note4}	5	16	V	
VDD to GND	VDD _{Ope}	3.135	5.25	V	
VDD_MCU to GND	supplied from VCC5V	VMCU _{Ope1}	4.75	5.25	V
	supplied from VDD	VMCU _{Ope2}	3.135	3.465	V
External load current (VDD & VCC5V), Sleep Mode	I _{VDD0}	0	50 ^{Note3}	mA	
External load current (VDD & VCC5V), during start-up, LDO1 = On	I _{VDD1_0}	0	70 ^{Note3}	mA	
External load current (VDD & VCC5V), Operating Mode	I _{VDD1_1}	0	90 ^{Note3}	mA	
Operating junction temperature	T _{jope}	-40	125	°C	

Note3 : 消費電力と動作温度限界を遵守してください。

External Load current は VCC5V と VDD の負荷電流の合計として定義され、MCU の電源電流を含みます。

Note4 : VDRV 電圧は、VCC5V 電圧が推奨動作条件から外れないように設定する必要があります。

5.4 電気的特性

RL78/G1F に実装されている機能の電気的特性については、「**RL78/G1F ユーザーズマニュアル ハードウェア編 (R01UH0516JJ)**」を参照してください。

Note : 特に記載のない特性は、Ta = 25[°C], VM = 48[V]の条件

Parameter	Symbol	Condition	Rated level			Unit
			MIN	TYP	MAX	
Power supply (VM)						
VM Sleep Mode current	I _{VM0}	HOx/LOx = Low/Low, No load on VDD	-	28	44	μA
VM, VBRIDGE operating current (combined)	I _{VM1}	Operating Mode, HOx/LOx = Low/Low, excluding MCU supply current	-	2	-	mA
VDRV operating current	I _{VDRV1}	Operating Mode, HOx/LOx = Low/Low	-	3.8	-	mA
Sleep Mode entry time delay	t _{sleep}	From internal EN trigger to Sleep Mode	-	0.55	0.85	ms
Wake-up time delay	t _{wake}	From internal EN trigger to All power rails ready, C2 = 2.2[μF], C3 = 0.22[μF]	-	6.5	-	ms
Power supply (VCC5V)						
Output voltage	V _{VCC0_1}	VM = 60[V], Sleep Mode, load = 0[mA]	-	5	-	V
	V _{VCC0_2}	VM = 36[V], Sleep Mode, load = 10[mA]	-	5	-	V
	V _{VCC0_3}	VM = 6[V], Sleep Mode, load = 50[mA]	4.75	5	-	V
	V _{VCC1_1}	VDRV = 15[V], Operating Mode, load = 0.1[mA]	-	5	-	V
	V _{VCC1_2}	VDRV = 12[V], Operating Mode, load = 40[mA]	4.85	5	5.15	V
	V _{VCC1_3}	VDRV = 8[V], Operating Mode, load = 100[mA]	-	5	-	V
Current limit	I _{LMTCC0_0}	VM = 6[V], Sleep Mode	50	80	-	mA
	I _{LMTCC0_1}	VM = 36[V], during start-up, LDO1 = On	80	130	-	mA
	I _{LMTCC1}	VDRV = 12[V], Operating Mode	100	160	-	mA
Power supply (VDD)						
Output voltage ^{Note2}	V _{VDD0_1}	VM = 60[V], Sleep Mode, load = 0[mA]	-	3.3	-	V
	V _{VDD0_2}	VM = 36[V], Sleep Mode, load = 10[mA]	-	3.3	-	V
	V _{VDD0_3}	VM = 6[V], Sleep Mode, load = 50[mA]	3.0	3.3	-	V
	V _{VDD1_1}	VDRV = 15[V], Operating Mode, load = 0.1[mA]	-	3.3	-	V
	V _{VDD1_2}	VDRV = 12[V], Operating Mode, load = 40[mA]	3.201	3.3	3.399	V
	V _{VDD1_3}	VDRV = 8[V], Operating Mode, load = 100[mA]	-	3.3	-	V
Current limit ^{Note3}	I _{LMTDD0}	VM = 6[V], Sleep Mode	50	80	-	mA
	I _{LMTDD1_0}	VM = 36[V], during start-up, LDO1 = On	80	130	-	mA
	I _{LMTDD1_1}	VDRV = 12[V], Operating Mode	100	160	-	mA

Note2 : FBLDO 端子を VCC5V 端子、または VDD 端子に接続し、VDD LDO を使用しない場合は、VDD の規格は適用されません。

Note3 : VDD 電流は VCC5V の電流制限で制限されます。これらの項目は未検証です。

5.4 電気的特性 (続き)

Note : 特に記載のない特性は、 $T_a = 25[^\circ\text{C}]$, $V_M = 48[\text{V}]$ の条件

Parameter	Symbol	Condition	Rated level			Unit
			MIN	TYP	MAX	
Buck switching regulator (VDRV)						
Output voltage adjustment range ^{Note1}	VDRV		5	-	15	V
Reference voltage	VREF_SR		0.776	0.8	0.824	V
gm amplifier gain	gm_SR		-	200	-	$\mu\text{A}/\text{V}$
gm amplifier output capability	IgmSRC_SR		-	18	-	μA
	IgmSNK_SR		-	-18	-	μA
gm amplifier maximum output voltage	VgmH_SR	FB = 0[V]	-	3.95	-	V
gm amplifier minimum output voltage	VgmL_SR	FB = 1[V]	-	0.02	-	V
Ramp offset voltage	Vramp_SR		-	870	-	mV
Oscillator frequency	fsw_SR		400	500	575	kHz
Soft-start time	tss_SR	Time to FB = 0.8[V]	-	2.2	-	ms
Cycle-by-cycle current limit ^{Note1}	loc1_SR		-	1.2	-	A
Hiccup current limit threshold ^{Note1}	loc2_SR		-	1.4	-	A
Charge pump (VCP)						
Output voltage with respect to VBRIDGE	VVCP_1	$V_M = 60[\text{V}]$, $V_{\text{DRV}} = 12[\text{V}]$, load = 15[mA]	-	11	-	V
	VVCP_2	$V_M = 36[\text{V}]$, $V_{\text{DRV}} = 12[\text{V}]$, load = 15[mA]	-	11	-	V
	VVCP_3	$V_M = 6[\text{V}]$, $V_{\text{DRV}} = 6[\text{V}]$, load = 15[mA]	5.0	5.3	-	V
Oscillator frequency	fsw_CP		-	250	-	kHz
Maximum load current ^{Note1}	Iload_CP		28	-	-	mA
Gate driver block (HOx, LOx (x = A, B, C))						
High-side gate driver Output high voltage	VGSHH	$I_o = 1[\text{mA}]$, $V_{\text{DRV}} = 12[\text{V}]$, $V_M = \text{HSx} = 24[\text{V}]$, with respect to HSx	-	11.45	-	V
High-side gate driver Output low voltage	VGSHL	$I_o = -1[\text{mA}]$, $V_{\text{DRV}} = 12[\text{V}]$, $V_M = \text{HSx} = 24[\text{V}]$, with respect to HSx	-	0.05	-	V
Low-side gate driver Output high voltage	VGSLH	$I_o = 1[\text{mA}]$, $V_{\text{DRV}} = 12[\text{V}]$, $V_M = \text{HSx} = 24[\text{V}]$, with respect to GND	-	11.95	-	V
Low-side gate driver Output low voltage	VGSLL	$I_o = -1[\text{mA}]$, $V_{\text{DRV}} = 12[\text{V}]$, $V_M = \text{HSx} = 24[\text{V}]$, with respect to GND	-	0.05	-	V
High-side gate clamp voltage ^{Note1}	VCLMP	$I_o = 1[\text{mA}]$, with respect to HSx	16.0	17.2	18.4	V
Gate pulldown resistance	RPD		-	200	-	k Ω
Strong sink current ^{Note1}	ISNK_STG		-	1280	-	mA
Pullup source current	ISRC_PU		-	50	-	mA
Pulldown sink current	ISNK_PD		-	100	-	mA

Note1 : 製造時に機能試験のみ実施しており、特性試験は行っておりません。

5.4 電気的特性 (続き)

Note : 特に記載のない特性は、 $T_a = 25[^\circ\text{C}]$, $V_M = 48[\text{V}]$ の条件

Parameter	Symbol	Condition	Rated level			Unit
			MIN	TYP	MAX	
Gate driver block (HOx (x = A, B, C))						
High-side peak source current ^{Note1}	ISRCH0	ISRC_HS[3:0] = 0h	-	50	-	mA
	ISRCH1	ISRC_HS[3:0] = 1h	-	60	-	mA
	ISRCH2	ISRC_HS[3:0] = 2h	-	70	-	mA
	ISRCH3	ISRC_HS[3:0] = 3h	-	80	-	mA
	ISRCH4	ISRC_HS[3:0] = 4h	-	100	-	mA
	ISRCH5	ISRC_HS[3:0] = 5h	-	120	-	mA
	ISRCH6	ISRC_HS[3:0] = 6h	-	140	-	mA
	ISRCH7	ISRC_HS[3:0] = 7h	-	160	-	mA
	ISRCH8	ISRC_HS[3:0] = 8h	-	200	-	mA
	ISRCH9	ISRC_HS[3:0] = 9h	-	240	-	mA
	ISRCH10	ISRC_HS[3:0] = Ah	-	280	-	mA
	ISRCH11	ISRC_HS[3:0] = Bh	-	320	-	mA
	ISRCH12	ISRC_HS[3:0] = Ch	-	400	-	mA
	ISRCH13	ISRC_HS[3:0] = Dh	-	480	-	mA
	ISRCH14	ISRC_HS[3:0] = Eh	-	560	-	mA
ISRCH15	ISRC_HS[3:0] = Fh	-	640	-	mA	
High-side peak sink current ^{Note1}	ISNKH0	ISRC_HS[3:0] = 0h	-	100	-	mA
	ISNKH1	ISRC_HS[3:0] = 1h	-	120	-	mA
	ISNKH2	ISRC_HS[3:0] = 2h	-	140	-	mA
	ISNKH3	ISRC_HS[3:0] = 3h	-	160	-	mA
	ISNKH4	ISRC_HS[3:0] = 4h	-	200	-	mA
	ISNKH5	ISRC_HS[3:0] = 5h	-	240	-	mA
	ISNKH6	ISRC_HS[3:0] = 6h	-	280	-	mA
	ISNKH7	ISRC_HS[3:0] = 7h	-	320	-	mA
	ISNKH8	ISRC_HS[3:0] = 8h	-	400	-	mA
	ISNKH9	ISRC_HS[3:0] = 9h	-	480	-	mA
	ISNKH10	ISRC_HS[3:0] = Ah	-	560	-	mA
	ISNKH11	ISRC_HS[3:0] = Bh	-	640	-	mA
	ISNKH12	ISRC_HS[3:0] = Ch	-	800	-	mA
	ISNKH13	ISRC_HS[3:0] = Dh	-	960	-	mA
	ISNKH14	ISRC_HS[3:0] = Eh	-	1120	-	mA
ISNKH15	ISRC_HS[3:0] = Fh	-	1280	-	mA	

Note1 : 製造時に機能試験のみ実施しており、特性試験は行っておりません。

5.4 電気的特性 (続き)

Note : 特に記載のない特性は、 $T_a = 25[^\circ\text{C}]$, $V_M = 48[\text{V}]$ の条件

Parameter	Symbol	Condition	Rated level			Unit
			MIN	TYP	MAX	
Gate driver block (LOx (x = A, B, C))						
Low-side peak source current ^{Note1}	ISRCL0	ISRC_LS[3:0] = 0h	-	50	-	mA
	ISRCL1	ISRC_LS[3:0] = 1h	-	60	-	mA
	ISRCL2	ISRC_LS[3:0] = 2h	-	70	-	mA
	ISRCL3	ISRC_LS[3:0] = 3h	-	80	-	mA
	ISRCL4	ISRC_LS[3:0] = 4h	-	100	-	mA
	ISRCL5	ISRC_LS[3:0] = 5h	-	120	-	mA
	ISRCL6	ISRC_LS[3:0] = 6h	-	140	-	mA
	ISRCL7	ISRC_LS[3:0] = 7h	-	160	-	mA
	ISRCL8	ISRC_LS[3:0] = 8h	-	200	-	mA
	ISRCL9	ISRC_LS[3:0] = 9h	-	240	-	mA
	ISRCL10	ISRC_LS[3:0] = Ah	-	280	-	mA
	ISRCL11	ISRC_LS[3:0] = Bh	-	320	-	mA
	ISRCL12	ISRC_LS[3:0] = Ch	-	400	-	mA
	ISRCL13	ISRC_LS[3:0] = Dh	-	480	-	mA
	ISRCL14	ISRC_LS[3:0] = Eh	-	560	-	mA
ISRCL15	ISRC_LS[3:0] = Fh	-	640	-	mA	
Low-side peak sink current ^{Note1}	ISNKL0	ISRC_LS[3:0] = 0h	-	100	-	mA
	ISNKL1	ISRC_LS[3:0] = 1h	-	120	-	mA
	ISNKL2	ISRC_LS[3:0] = 2h	-	140	-	mA
	ISNKL3	ISRC_LS[3:0] = 3h	-	160	-	mA
	ISNKL4	ISRC_LS[3:0] = 4h	-	200	-	mA
	ISNKL5	ISRC_LS[3:0] = 5h	-	240	-	mA
	ISNKL6	ISRC_LS[3:0] = 6h	-	280	-	mA
	ISNKL7	ISRC_LS[3:0] = 7h	-	320	-	mA
	ISNKL8	ISRC_LS[3:0] = 8h	-	400	-	mA
	ISNKL9	ISRC_LS[3:0] = 9h	-	480	-	mA
	ISNKL10	ISRC_LS[3:0] = Ah	-	560	-	mA
	ISNKL11	ISRC_LS[3:0] = Bh	-	640	-	mA
	ISNKL12	ISRC_LS[3:0] = Ch	-	800	-	mA
	ISNKL13	ISRC_LS[3:0] = Dh	-	960	-	mA
	ISNKL14	ISRC_LS[3:0] = Eh	-	1120	-	mA
ISNKL15	ISRC_LS[3:0] = Fh	-	1280	-	mA	

Note1 : 製造時に機能試験のみ実施しており、特性試験は行っておりません。

5.4 電気的特性 (続き)

Note : 特に記載のない特性は、 $T_a = 25[^\circ\text{C}]$, $V_M = 48[\text{V}]$ の条件

Parameter	Symbol	Condition	Rated level			Unit
			MIN	TYP	MAX	
Gate driver block (HOx, LOx (x = A, B, C))						
Adaptive dead time VGS falling threshold ^{Note1}	V_{TH_VGS}		-	1	-	V
Adaptive dead time VGS threshold hysteresis ^{Note1}	V_{HYS_VGS}		-	2	-	V
Gate drive dead time	t_{DT0}	DEAD_TIME[1:0] = 0h from V_{TH_VGS} to other-side ON	-	50	-	ns
	t_{DT1}	DEAD_TIME[1:0] = 1h from V_{TH_VGS} to other-side ON	-	100	-	ns
	t_{DT2}	DEAD_TIME[1:0] = 2h from V_{TH_VGS} to other-side ON	-	200	-	ns
	t_{DT3}	DEAD_TIME[1:0] = 3h from V_{TH_VGS} to other-side ON	-	400	-	ns
Maximum gate transition time	t_{GT0}	$T_{GT}[1:0] = 0h$ from Source/Sink start to Pullup/down start	-	500	-	ns
	t_{GT1}	$T_{GT}[1:0] = 1h$ from Source/Sink start to Pullup/down start	-	1000	-	ns
	t_{GT2}	$T_{GT}[1:0] = 2h$ from Source/Sink start to Pullup/down start	-	2000	-	ns
	t_{GT3}	$T_{GT}[1:0] = 3h$ from Source/Sink start to Pullup/down start	-	4000	-	ns
Propagation delay ^{Note1}	t_{PROP}	from PWM input trigger to HOx/LOx start	-	40	-	ns
Differential amplifier (DAzP, DAzN, DAzO (z = 1, 2, 3))						
Common mode input voltage range	V_{IC_CSA}	DAzP, DAzN pin	-0.5	-	2.8	V
Differential mode input voltage range	V_{ID_CSA}	DAzP - DAzN	-0.5	-	0.5	V
Input offset voltage	V_{IO_CSA}	CAL_CONN = 1b	-5	-	5	mV
Output voltage linear range ^{Note1}	V_{O_CSA}		0.4	-	VDD-0.4	V
Amplifier gain	G_{CSA0}	DAz_GAIN[1:0] = 0h	4.85	5	5.15	V/V
	G_{CSA1}	DAz_GAIN[1:0] = 1h	9.7	10	10.3	V/V
	G_{CSA2}	DAz_GAIN[1:0] = 2h	19.4	20	20.6	V/V
	G_{CSA3}	DAz_GAIN[1:0] = 3h	38.8	40	41.2	V/V
Settling time to +/-1[%] ^{Note1}	t_{SET_CSA0}	DAz_GAIN[1:0] = 0h	-	250	-	ns
	t_{SET_CSA1}	DAz_GAIN[1:0] = 1h	-	300	-	ns
	t_{SET_CSA2}	DAz_GAIN[1:0] = 2h	-	400	-	ns
	t_{SET_CSA3}	DAz_GAIN[1:0] = 3h	-	500	-	ns

Note1 : 製造時に機能試験のみ実施しており、特性試験は行っておりません。

5.4 電気的特性 (続き)

Note : 特に記載のない特性は、 $T_a = 25[^\circ\text{C}]$, $V_M = 48[\text{V}]$ の条件

Parameter	Symbol	Condition	Rated level			Unit
			MIN	TYP	MAX	
BEMF sense amplifier (HSA, HSB, HSC, DA3O)						
Common mode input voltage range	V_{IC_EMF}	HSA, HSB, HSC pin	-2.5	-	$V_M+2.5$	V
Differential mode input voltage range0	V_{ID_EMF0}	HSA, HSB, HSC pin - VBRIDGE/2 BEMF_GAIN[1:0] = 0h	-24	-	24	V
Differential mode input voltage range3	V_{ID_EMF3}	HSA, HSB, HSC pin - VBRIDGE/2 BEMF_GAIN[1:0] = 3h	-1.2	-	1.2	V
Output offset voltage0	V_{IO_EMF0}	DA3O pin with respect to VDD/2 BEMF_GAIN[1:0] = 0h	-0.2	-	0.2	V
Output offset voltage3	V_{IO_EMF3}	DA3O pin with respect to VDD/2 BEMF_GAIN[1:0] = 3h	-0.3	-	0.3	V
Amplifier output voltage bias	V_{REF_EMF}		-	VDD/2	-	V
BEMF sense amplifier gain	G_{EMF0}	BEMF_GAIN[1:0] = 0h	0.0475	0.05	0.0525	V/V
	G_{EMF1}	BEMF_GAIN[1:0] = 1h	0.095	0.1	0.105	V/V
	G_{EMF2}	BEMF_GAIN[1:0] = 2h	0.475	0.5	0.525	V/V
	G_{EMF3}	BEMF_GAIN[1:0] = 3h	0.95	1	1.05	V/V
Settling time to +/-1[%] ^{Note1}	t_{SET_EMF0}	BEMF_GAIN[1:0] = 0h	-	350	-	ns
	t_{SET_EMF1}	BEMF_GAIN[1:0] = 1h	-	400	-	ns
	t_{SET_EMF2}	BEMF_GAIN[1:0] = 2h	-	500	-	ns
	t_{SET_EMF3}	BEMF_GAIN[1:0] = 3h	-	1000	-	ns
Comparator (CMPzO (z = 1, 2, 3))						
Threshold voltage for VDD = 3.3[V] setting	V_{TH_CMP1}	CMPz_VTH[3:0] = 1h	0.173	0.206	0.221	V
	V_{TH_CMP2}	CMPz_VTH[3:0] = 2h	0.380	0.413	0.433	V
	V_{TH_CMP3}	CMPz_VTH[3:0] = 3h	0.589	0.619	0.650	V
	V_{TH_CMP4}	CMPz_VTH[3:0] = 4h	0.784	0.825	0.866	V
	V_{TH_CMP5}	CMPz_VTH[3:0] = 5h	0.980	1.031	1.083	V
	V_{TH_CMP6}	CMPz_VTH[3:0] = 6h	1.176	1.238	1.299	V
	V_{TH_CMP7}	CMPz_VTH[3:0] = 7h	1.372	1.444	1.516	V
	V_{TH_CMP8}	CMPz_VTH[3:0] = 8h	1.568	1.650	1.733	V
	V_{TH_CMP9}	CMPz_VTH[3:0] = 9h	1.763	1.856	1.949	V
	V_{TH_CMP10}	CMPz_VTH[3:0] = Ah	1.959	2.063	2.166	V
	V_{TH_CMP11}	CMPz_VTH[3:0] = Bh	2.155	2.269	2.382	V
	V_{TH_CMP12}	CMPz_VTH[3:0] = Ch	2.351	2.475	2.599	V
	V_{TH_CMP13}	CMPz_VTH[3:0] = Dh	2.547	2.681	2.815	V
	V_{TH_CMP14}	CMPz_VTH[3:0] = Eh	2.743	2.888	3.032	V
	V_{TH_CMP15}	CMPz_VTH[3:0] = Fh	2.939	3.094	3.248	V
Hysteresis	V_{HYS_CMP0}	CMPz_HYS = 0b	-	+/-44	-	mV
	V_{HYS_CMP1}	CMPz_HYS = 1b	-	0	-	mV
Comparator delay	t_{DLY_CMP}		-	-	1	μs

Note1 : 製造時に機能試験のみ実施しており、特性試験は行っておりません。

5.4 電気的特性 (続き)

Note : 特に記載のない特性は、Ta = 25[°C], VM = 48[V]の条件

Parameter	Symbol	Condition	Rated level			Unit
			MIN	TYP	MAX	
Fault management						
VCC5V power-on-reset rising	VCCUVR		-	4.00	-	V
VCC5V power-on-reset falling	VCCUV		-	3.63	-	V
VM under voltage rising0	VVMUVR0	VMUV_TH = 0b	5.2	5.5	5.8	V
VM under voltage falling0	VVMUV0	VMUV_TH = 0b	5.0	5.3	5.6	V
VM under voltage rising1	VVMUVR1	VMUV_TH = 1b	7.38	7.78	8.18	V
VM under voltage falling1	VVMUV1	VMUV_TH = 1b	7.1	7.5	7.9	V
VM over voltage rising	VVMOV		-	63	-	V
VM over voltage falling	VVMOVR		-	60	-	V
VDRV under voltage fault rising	VDRVUR		4.2	4.4	4.6	V
VDRV under voltage fault falling	VDRVUV		4.0	4.2	4.4	V
VDRV over voltage rising	VDRVOV	FB pin voltage	0.92	0.95	0.98	V
VDRV over voltage falling	VDRVOVR	FB pin voltage	0.80	0.825	0.85	V
VCP under voltage fault falling0	VCPUV0	with respect to VBRIDGE, CPUV_TH = 0b	-	0.58*VDRV	-	V
VCP under voltage fault hysteresis0	VCPUVHYS0	CPUV_TH = 0b	-	0.07*VDRV	-	V
VCP under voltage fault falling1	VCPUV1	with respect to VBRIDGE, CPUV_TH = 1b	-	0.8*VDRV	-	V
VCP under voltage fault hysteresis1	VCPUVHYS1	CPUV_TH = 1b	-	0.09*VDRV	-	V
Thermal warning threshold ^{Note1}	TWARN		-	140	-	°C
Thermal shutdown threshold ^{Note1}	TSD		-	160	-	°C
Thermal hysteresis ^{Note1}	THYS		-	15	-	°C

Note1 : 製造時に機能試験のみ実施しており、特性試験は行っておりません。

5.4 電気的特性 (続き)

Note : 特に記載のない特性は、Ta = 25[°C], VM = 48[V]の条件

Parameter	Symbol	Condition	Rated level			Unit
			MIN	TYP	MAX	
Fault management						
MOSFET V _{DS} OCP threshold	V _{DSOCP}	VDS_TH[3:0] = 0h	-	40	-	mV
		VDS_TH[3:0] = 1h	-	60	-	mV
		VDS_TH[3:0] = 2h	-	80	-	mV
		VDS_TH[3:0] = 3h	-	120	-	mV
		VDS_TH[3:0] = 4h	-	160	-	mV
		VDS_TH[3:0] = 5h	-	200	-	mV
		VDS_TH[3:0] = 6h	-	240	-	mV
		VDS_TH[3:0] = 7h	-	320	-	mV
		VDS_TH[3:0] = 8h	-	400	-	mV
		VDS_TH[3:0] = 9h	-	480	-	mV
		VDS_TH[3:0] = Ah	-	600	-	mV
		VDS_TH[3:0] = Bh	-	720	-	mV
		VDS_TH[3:0] = Ch	-	960	-	mV
		VDS_TH[3:0] = Dh	-	1200	-	mV
		VDS_TH[3:0] = Eh	-	1600	-	mV
VDS_TH[3:0] = Fh	-	2000	-	mV		
Shunt current sense OCP threshold	V _{CSOCP}	CSOCP_TH[2:0] = 0h	37	51	65	mV
		CSOCP_TH[2:0] = 1h	87	105	120	mV
		CSOCP_TH[2:0] = 2h	131	157	175	mV
		CSOCP_TH[2:0] = 3h	179	208	234	mV
		CSOCP_TH[2:0] = 4h	224	260	290	mV
		CSOCP_TH[2:0] = 5h	456	516	572	mV
		CSOCP_TH[2:0] = 6h	686	773	857	mV
		CSOCP_TH[2:0] = 7h	917	1029	1140	mV
OCP Deglitch time	t _{DEG_OCP}	DEG_TIME[1:0] = 0h	1.10	1.57	2.04	μs
		DEG_TIME[1:0] = 1h	1.67	2.38	3.09	μs
		DEG_TIME[1:0] = 2h	2.44	3.49	4.54	μs
		DEG_TIME[1:0] = 3h	4.01	5.73	7.45	μs
OCP Retry time	t _{RETRY_OCP}	TRETRY_CSOC, VDSOCP = 0b	-	4000	-	μs
		TRETRY_CSOC, VDSOCP = 1b	-	70	-	μs

5.5 Smart Gate Driver の SPI タイミング仕様

MCU と Smart Gate Driver 間の通信は、4 線式シリアルペリフェラルインターフェイス (以下 : SPI) によって実行します。SPI 信号のタイミングは、下記の仕様になります。通信の制御は、SW による構築が必要になります。

Table 5.5-1 SPI タイミング仕様

Item	Symbol	Condition	Rated level			Unit
			MIN	TYP	MAX	
Sleep mode to SPI interface ready	t_{ready}	$VCC5V > V_{CCUVR}$, EN from low to high	-	2	-	ms
SCLK period	t_{CLK}		500	-	-	ns
SCLK high time	t_{CLKH}		200	-	-	ns
SCLK low time	t_{CLKL}		200	-	-	ns
SDI input data setup time	t_{SSDI}		40	-	-	ns
SDI input data hold time	t_{HSDI}		60	-	-	ns
SDO output data delay time	t_{SDO}		-	-	120	ns
nSCS input setup time	t_{nSCS}		200	-	-	ns
nSCS input hold time	t_{HnSCS}		200	-	-	ns
nSCS high time before pulling low	t_{nSCSH}		1000	-	-	ns
Chip de-select off time	$t_{OFFnSCS}$		-	20	-	ns

Note : 製造時に機能試験のみ実施しており、特性試験は行っておりません。

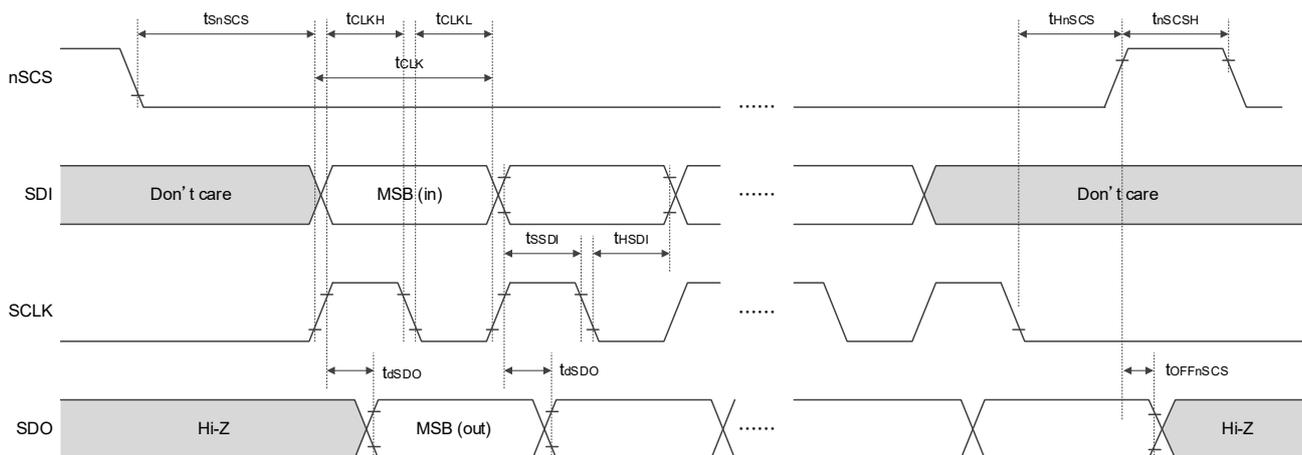


Figure 5.5-1 SPI タイミング仕様

6 Smart Gate Driver の詳細説明

6.1 パワーオンシーケンスと機能モード

6.1.1 パワーオンシーケンス

Figure 6.1-1 にパワーオンシーケンスの例を示します。Smart Gate Driver の動作モードと nFAULT 信号は、MCU からの EN 信号と本 IC の内部レギュレータ出力を含む、供給電圧に従って動作します。6.1.2, 6.1.3、および 6.2 を参照してください。

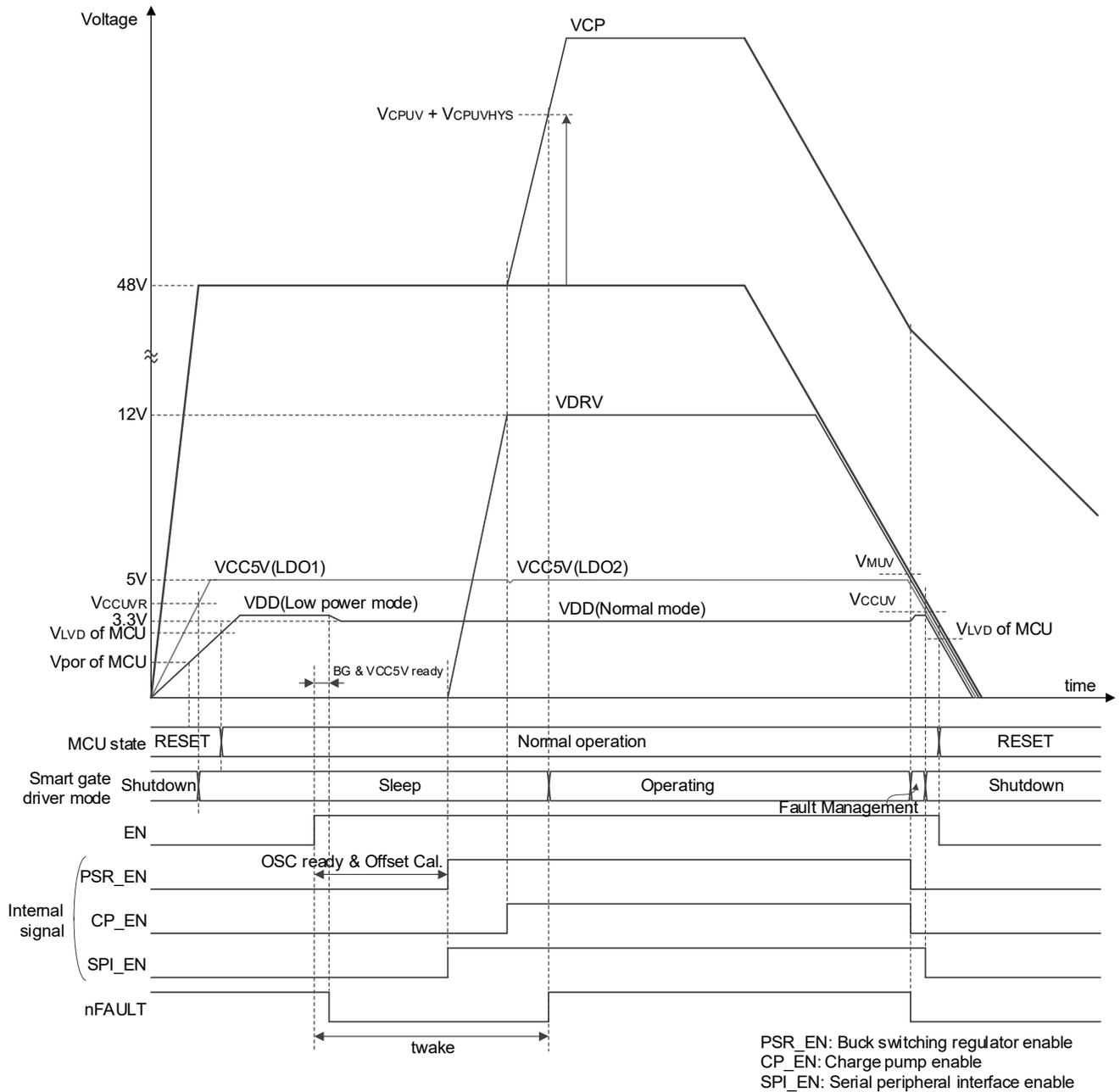


Figure 6.1-1 パワーオンシーケンス

6.1.2 各動作モードの状態について

本 IC は、下記の通り 4 つの動作モードをサポートしています。

Shutdown Mode :

本動作モードは、VCC5V 電圧が POR 降下閾値 (3.63[V] (typ.)) よりも低い電圧レベルの状態の動作を示します。この状態では、LDO1、および LDO3 を除く他のすべての内部機能ブロックが無効になります。LDO1 は、VM 電圧が、1.2[V]を下回るまで IC 内部の VCC5V ラインに電力を供給し続けます。LDO3 は、ローパワーモードで有効です。

Sleep Mode :

本 IC は、VCC5V が POR 上昇閾値 (4.0[V] (typ.)) よりも高い電圧レベルの状態でも EN 信号が Low レベルの時、ローパワーの Sleep Mode になります。本動作モードではドライバ出力は無効になり、INz (z = 1, 2, 3, 4, 5, 6) 信号として入力された Hlx / Llx (x = A, B, C) の制御入力は全て無視します。降圧スイッチングレギュレータ電源系 (降圧スイッチングレギュレータ, チャージポンプ, LDO2) は、無効になります。LDO1 と LDO3 (FBLDO が通常通り接続されている時) は、動作を継続します。なお LDO3 は、ローパワーモードで動作し、これにより Sleep Mode での IC の消費電力を最小化します。

Operating Mode :

本 IC は、VCC5V が POR 上昇閾値 (4.0[V] (typ.)) よりも高い電圧レベルの状態でも EN 信号が High レベルの時、Operating Mode になります。本動作モードでは、高効率な降圧スイッチングレギュレータ電源系 (降圧スイッチングレギュレータ, チャージポンプ, LDO2) と LDO3 が、有効になります。LDO1 は、無効になります。INz (z = 1, 2, 3, 4, 5, 6) 信号から選択された Hlx / Llx (x = A, B, C) の制御入力に応じ、ゲートドライバは動作します。この動作モードでは如何なる異常も発生していないことが必要です。

Fault Management Mode :

本動作モードは、何らかの異常を検出した後に移行する動作モードです。本 IC は、異常条件 (詳細な動作については、「6.2 Fault Management」を参照) に反応し、nFAULT 信号と Fault Status レジスタを介して MCU へ異常状態をレポートします。この動作モードにおいて、ブロックの動作状態は、不具合要因と制御設定に依存します。

6.1.3 動作モードの遷移フロー

動作モードの遷移条件 (A~J) の概要を **Table 6.1-1 動作モードの状態遷移条件** に示します。

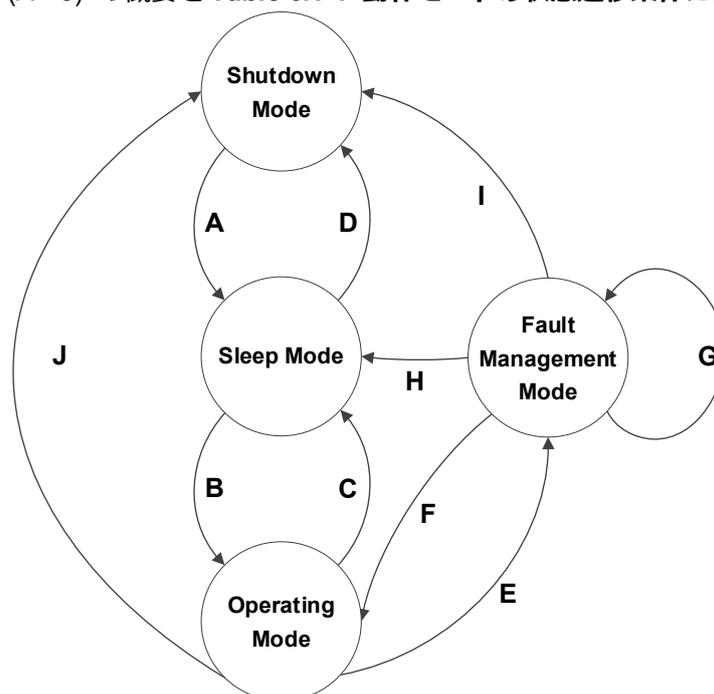


Figure 6.1-2 動作モードの状態遷移図

6.1.3 動作モードの遷移フロー (続き)

Table 6.1-1 動作モードの状態遷移条件

遷移動作	遷移前	遷移後	遷移条件	動作内容
A	Shutdown	Sleep	VMが上昇。VCC5V > V _{CCUV} R	<ul style="list-style-type: none"> 5V LDO1とVDD LDO3^{Note2}を除く大部分の機能ブロックが無効 起動ディレイ時間経過後、Sleep modeへ移行
B	Sleep	Operating	ENがHighレベルを継続	<ul style="list-style-type: none"> 5V LDO1を除くすべての機能ブロックが有効 ウエイクアップ時間"twake"経過後、Operating modeへ移行
C	Operating	Sleep	ENがLowレベルを継続 ^{Note1}	<ul style="list-style-type: none"> 5V LDO1とVDD LDO3^{Note2}を除く大部分の機能ブロックが無効 Control Registerはリセット 遷移ディレイ時間"tsleep"経過後、Sleep modeへ移行
D	Sleep	Shutdown	VM降下。VCC5V < V _{CCUV}	<ul style="list-style-type: none"> 5V LDO1とVDD LDO3^{Note2}を除く大部分の機能ブロックが無効 Shutdownディレイ時間経過後、Shutdown modeへ移行
E	Operating	Fault Management	異常が発生	<ul style="list-style-type: none"> Fault managementマトリクスに基づいた動作
F	Fault Management	Operating	異常状態が解消され、Table 6.2-2に基づいた動作復帰	<ul style="list-style-type: none"> 5V LDO1を除くすべての機能ブロックが有効 Fault状態からの復帰処理時間経過後、Operating modeへ移行
G	Fault Management	Fault Management	異常状態を継続	<ul style="list-style-type: none"> Fault managementマトリクスに基づいた動作 各機能ブロックは、複数のFault情報 (Low出力) がAND処理された信号により無効
H	Fault Management	Sleep	ENがLowレベルを継続 ^{Note1}	<ul style="list-style-type: none"> 5V LDO1とVDD LDO3^{Note2}を除く大部分の機能ブロックが無効 Control Registerはリセット Fault状態からの復帰処理時間経過後、Sleep modeへ移行
I	Fault Management	Shutdown	VCC5V < V _{CCUV}	<ul style="list-style-type: none"> 5V LDO1とVDD LDO3^{Note2}を除く大部分の機能ブロックが無効 Control Registerはリセット Shutdown処理の時間経過後、Shutdown modeへ移行
J	Operating	Shutdown	VCC5V < V _{CCUV}	<ul style="list-style-type: none"> 5V LDO1とVDD LDO3^{Note2}を除く大部分の機能ブロックが無効 Control Registerリセット Shutdown処理の時間経過後、Shutdown modeへ移行

Note1：予期しない動作の回避の為に、“tsleep”の最大値 (0.85[ms]) より短い EN 信号の Low パルスを入力しないでください。

Note2：EN 信号が Low に引き下げられると、LDO3 は、ローパワーモードになります。

6.2 Fault Management

本節は、nFAULT 信号機能、各機能ブロックの異常検出後の動作、および復帰動作についての説明です。各異常検出に対応した機能ブロックの動作、および復帰動作が有り、nFAULT 信号、および Fault Status レジスタの各異常検出に対応したステータスビットの確認により異常検出内容に応じた S/W 処理が可能です。

Smart Gate Driver は保護機能 (異常保護, 通知機能) として、VCC5V 電圧降下 (VCC_UV), VM 電圧降下 (VM_UV), VM 過電圧 (VM_OV), チャージポンプ電圧降下 (VCP_UV), MOSFET V_{DS} 過電流 (VDS_OCP), シャント抵抗の過電流保護 (CS_OCP), MOSFET V_{GS} 異常 (VGS_FAULT), サーマルワーニング (TWARN), サーマルシャットダウン (OTSD), 降圧レギュレータ過電流検出 (SR_OC1), 降圧レギュレータ過電流保護 (SR_OCP), 降圧レギュレータ電圧降下 (VDRV_UV), 降圧レギュレータ過電圧 (VDRV_OV) の要因をサポートします。異常が発生した場合、各異常検出に対応するビットは Fault Status レジスタ内の包括的な FAULT ビットと共に“1b”に設定します。FAULT ビットは、他の全ての独立したステータスビットの論理和で構成されています。各異常検出に対する機能ブロックの動作、および復帰動作を **Table 6.2-1**、および **Table 6.2-2** に示します。

6.2 Fault Management (続き)

Table 6.2-1 Fault Management マトリクス

Fault Type	遷移条件	ビット設定	通知	Gate Driver 入力 / 出力	Fault Management モードの電源設定	復帰条件	復帰動作
VCC電圧降下 (VCC_UV)	$VCC5V < Vccuv$ (3.63[V])	None	None	Blocked / Hi-Z pulldown	LDO1, LDO3 enable, Others disable	$VCC5V > VccuVR$ (4.0[V])	Enter Sleep Mode
VM電圧降下 (VM_UV)	$VM < VMUV$ (5.3[V] or 7.5[V])	DIS_VMUV = "0b"	nFAULT = Low Status bit = "1b"	Blocked / Hi-Z pulldown	LDO1, LDO3 enable, Others disable	$VM > VMUVR$ (5.5[V] or 7.78[V])	RA1
		DIS_VMUV = "1b"		Active	Keep state in original mode		RA0
VM過電圧 (VM_OV)	$VM > VMOV$ (63[V])	DIS_VMOV = "0b"	nFAULT = Low Status bit = "1b"	Blocked / Hi-Z pulldown	LDO1, LDO3 enable, Others disable	$VM < VMOVR$ (60[V])	RA2
		DIS_VMOV = "1b"		Active	Keep state in original mode		RA0
チャージポンプ電圧降下 (VCP_UV)	$VCP < VcPUV$ (0.58 * VDRV)	DIS_VCPUV = "0b"	nFAULT = Low Status bit = "1b"	Blocked / Hi-Z pulldown	All reg. except LDO1 enable	$VCP > VcPUV + VcPUVHS$ (0.58 * VCP + 0.07 * VDRV)	RA3
		DIS_VCPUV = "1b"		Active	Keep state in original mode		RA0
MOSFET Vds過電流 (VDS_OCP)	$Vdsx > VdsOCP$ (x = A, B, C)	VDSOCP_MODE = "00b"	nFAULT = Low (Latched) Status bit = "1b"	Blocked / Depends on PDMODE	All reg. except LDO1 enable	$Vdsx < VdsOCP$ (x = A, B, C) & Clear Latch	RA4
		VDSOCP_MODE = "01b"					Retry after $TRETRY_OCP$
		VDSOCP_MODE = "10b"	None	Active	Keep state in original mode	$Vdsx < VdsOCP$ (x = A, B, C) & Clear Latch	RA6
		VDSOCP_MODE = "11b"				None	No action is necessary.
シャント抵抗の過電流保護 (CS_OCP)	$DAzP > VcsOCP$ (z = 1, 2, 3)	CSOCP_MODE = "00b"	nFAULT = Low (Latched) Status bit = "1b"	Blocked / Depends on PDMODE	All reg. except LDO1 enable	$DAzP < VcsOCP$ (z = 1, 2, 3) & Clear Latch	RA4
		CSOCP_MODE = "01b"					Retry after $TRETRY_OCP$
		CSOCP_MODE = "10b"	None	Active	Keep state in original mode	$DAzP < VcsOCP$ (z = 1, 2, 3) & Clear Latch	RA6
		CSOCP_MODE = "11b"				None	No action is necessary.
MOSFET Vgs異常 (VGS_FAULT)	$Vgs\ stuck > t_{GT}$	DIS_VGSFLT = "0b"	nFAULT = Low (Latched) Status bit = "1b"	Blocked / Hi-Z pulldown	All reg. except LDO1 enable	$Vgs\ stuck < t_{GT}$ & Clear Latch	RA4
		DIS_VGSFLT = "1b"	None	Active	Keep state in original mode	None	No action is necessary.
サーマルワーニング (TWARN)	$Tj > TWARN$ (140[°C])	TWARN_REP = "0b"	only Status bit = "1b"	Active	Keep state in original mode	$Tj < TWARN - THYS$ (125[°C])	Status bit is reset, nFAULT pin is released HI automatically.
		TWARN_REP = "1b"	nFAULT = Low Status bit = "1b"				
サーマルシャットダウン (OTSD)	$Tj > TSD$ (160[°C])	DIS_OTSD = "0b"	nFAULT = Low Status bit = "1b"	Blocked / Hi-Z pulldown	LDO1, LDO3 enable, Others disable	$Tj < TSD - THYS$ (145[°C])	RA2
		DIS_OTSD = "1b"		Active	Keep state in original mode		RA0
降圧レギュレータ過電流検出 (SR_OC1)	$IL\ peak > Ioc1_SR$ (1.2[A])	DIS_SROC = "0b"	None	Active	Keep state in original mode Buck Reg. w/ SR_OC	None	N/A
		DIS_SROC = "1b"			Keep state in original mode Buck Reg. w/o SR_OC		
降圧レギュレータ過電流保護 (SR_OCP)	$IL\ peak > Ioc2_SR$ (1.4[A])	DIS_SROC = "0b"	nFAULT = Low Status bit = "1b"	Blocked / Hi-Z pulldown	LDO1, LDO3 enable + Buck Reg. Hiccup mode	Buck Reg. Soft-start done & $IL\ peak < Ioc2_SR$	RA2
		DIS_SROC = "1b"		Active	Keep state in original mode Buck Reg. w/o SR_OC	$IL\ peak < Ioc2_SR$	RA0
降圧レギュレータ電圧降下 (VDRV_UV)	$VDRV < VDRVUV$ (4.2[V])	DIS_VDRVUV = "0b"	nFAULT = Low Status bit = "1b"	Blocked / Hi-Z pulldown	LDO1, LDO3 enable + Buck Reg. Hiccup mode	Buck Reg. Soft-start done & $VDRV > VDRVUVR$ (4.4[V])	RA2
		DIS_VDRVUV = "1b"		Active	Keep state in original mode	$VDRV > VDRVUVR$ (4.4[V])	RA0
降圧レギュレータ過電圧 (VDRV_OV)	$FB > VDRVOV$ (0.95[V])	DIS_VDRVOV = "0b"	nFAULT = Low Status bit = "1b"	Blocked / Hi-Z pulldown	LDO2, LDO3 enable, Charge Pump, Buck Reg. Hi-Z	$FB < VDRVOVR$ (0.825[V])	RA3
		DIS_VDRVOV = "1b"		Active	Keep state in original mode		RA0

6.2 Fault Management (続き)

Table 6.2-2 復帰動作

復帰動作	ケース	リリース/リセットのタイミング				
		Status Register リセット条件	nFAULT リリース条件	Operating Mode への移行条件	Gate Driver 入力 / 出力	レギュレータの soft-start
RA0	Only report status	EN low pulse rising edge or CLR_FLT	Fault condition clears.	Keep state in original mode		
RA1	VM_UV	EN low pulse rising edge or CLR_FLT	Fault condition clears.			
RA2	VM_OV, OTSD, SR_OCP, VDRV_UV	EN low pulse rising edge or CLR_FLT	Fault condition clears.		EN low pulse rising edge or CLR_FLT	Fault condition clears.
RA3	VCP_UV, VDRV_OV	EN low pulse rising edge or CLR_FLT	Fault condition clears.		EN low pulse rising edge or CLR_FLT	Keep Enable *Note1
RA4	VDS_OCP, CS_OCP with OCP_MODE="00b", or VGS_FAULT	EN low pulse rising edge or CLR_FLT				Keep Enable
RA5	VDS_OCP, CS_OCP with OCP_MODE="01b"	Expiration of Retry delay time				Keep Enable
RA6	VDS_OCP, CS_OCP with OCP_MODE="10b"	EN low pulse rising edge or CLR_FLT		Keep state in original mode		

Note1 : チャージポンプと降圧スイッチングレギュレータは、VDRV_OVからの復帰後に Hi-Z 状態を解除します。

6.2.1 Fault Indicator : nFAULT

nFAULT 信号 (オープン・ドレイン出力) は、異常検出の有無をモニタ出来る信号です。何らかの異常を検出すると、nFAULT 信号は Low になります。全ての異常状態が解消され、Smart Gate Driver の全ての電源機能の起動が完了すると nFAULT 信号は High になります。ただし、外付け MOSFET の V_{ds} 過電流異常、シャント抵抗の過電流異常、および外付け MOSFET の V_{gs} 異常の検出時には、nFAULT 信号はラッチされ Low を保持します。異常状態が解消され、ICCTL1 レジスタ (FLTCTL1) の CLR_FLT ビットに "1b" を設定または、Low パルスの EN 信号を入力することで nFAULT 信号は High に戻ります。

Smart Gate Driver は異常発生時に nFAULT 信号が Low になることにより、MCU に異常通知を行います。MCU は異常通知をもとに通常処理を停止し、異常処理を実行することが可能です。nFAULT 信号が High になることにより、本 IC の全ての電源機能が正常に動作し、異常状態が解消されていることを MCU に伝達し、MCU は通常の動作処理に戻ることが出来ます。

6.2.2 Fault Conditions Types

6.2.2.1 VCC5V 電圧降下 (VCC_UV)

VCC5V 端子電圧が、Vccuv の閾値電圧より低くなると、Smart Gate Driver は、Shutdown Mode になり、ゲートドライバは無効になり、LDO1、および LDO3 を除く全ての機能ブロックは無効になります。

VCC5V 電圧降下の復帰条件 (Vccuvr) を満足すると、通常動作を再開 (Smart Gate Driver は、Sleep Mode) します。

6.2.2.2 VM 電圧降下 (VM_UV)

Fault Control1 レジスタ (FLTCTL1) の DIS_VMUV = "0b" の時、VM 端子の入力電源電圧が、Vvmuv の閾値電圧よりも低くなると、ゲートドライバは無効になり、LDO1 と LDO3 は有効ですが、他のレギュレータ (降圧スイッチングレギュレータ、チャージポンプ、LDO2) は無効になり、nFAULT 信号の出力は、Low になります。Fault Status 0 レジスタ (FLTSTS0) の FAULT ビットと Fault Status 1 レジスタ (FLTSTS1) の VM_UV ビットは、"1b" をラッチします。

VM 電圧降下の復帰条件 (Vvmuvr) を満足すると、nFAULT 信号は自動的に High に戻り、通常動作 (ゲートドライバ、降圧スイッチングレギュレータ、チャージポンプ、LDO2、および LDO3 の動作) を再開します。FLTSTS0 レジスタの FAULT ビットと FLTSTS1 レジスタの VM_UV ビットは、IC Control 1 レジスタ (ICCTL1) に CLR_FLT ビット = "1b" を設定または、EN 信号に Low パルスを入力後にリセットされます。

また、FLTCTL1 レジスタに DIS_VMUV = "1b" を設定することで、この異常検出を無効にすることが出来ます。ただし、この設定で VM 電圧降下 (VM_UV) が発生した場合、Smart Gate Driver は、nFAULT 信号が Low になりますが、現在の動作モードを維持します。nFAULT 信号は、VM 電圧降下の復帰条件 (Vvmuvr) が満足されるまで、Low 出力になります。FLTSTS0 レジスタの FAULT ビットと FLTSTS1 レジスタの VM_UV ビットは、ICCTL1 レジスタの CLR_FLT ビットに "1b" を設定または、Low パルスの EN 信号を入力するまで "1b" をラッチします。

6.2.2.3 VM 過電圧 (VM_OV)

Fault Control 1 レジスタ (FLTCTL1) の DIS_VMOV ビット = "0b" の時、VM 端子の入力電源電圧が、VMOV の閾値電圧よりも高くなると、ゲートドライバが無効、LDO1 と LDO3 は有効、他のレギュレータ (降圧スイッチングレギュレータ、チャージポンプ、LDO2) は無効になり、nFAULT 信号の出力は Low になります。Fault Status 0 レジスタ (FLTSTS0) の FAULT ビットと Fault Status 1 レジスタ (FLTSTS1) の VM_OV ビットは、"1b" をラッチします。

VM 過電圧の復帰条件 (VVMOVR) を満足すると、nFAULT 信号は自動的に High に戻り、通常動作を再開 (降圧スイッチングレギュレータ、チャージポンプ、LDO2、および LDO3 が動作) します。FLTSTS0 レジスタの FAULT ビットと FLTSTS1 レジスタの VM_OV ビットは、IC Control 1 レジスタ (ICCTL1) の CLR_FLT ビットに "1b" を設定、または Low パルスの EN 信号を入力後にリセットされます。

また、FLTCTL1 レジスタの DIS_VMOV ビット = "1b" を設定することで、この異常検出を無効にすることが出来ます。ただし、この設定で VM 過電圧 (VM_OV) が発生した場合、Smart Gate Driver は、nFAULT 信号は Low になりますが、現状の動作モードを維持します。nFAULT 信号は、VM 過電圧の復帰条件 (VVMOVR) を満足するまで、Low 出力になります。FLTSTS0 レジスタの FAULT ビットと FLTSTS1 レジスタの VM_OV ビットは、ICCTL1 レジスタの CLR_FLT ビットに "1b" を設定または、Low パルスの EN 信号を入力するまで "1b" をラッチします。

6.2.2.4 チャージポンプ電圧降下 (VCP_UV)

Fault Control 1 レジスタ (FLTCTL1) の DIS_VCPUV = "0b" の時、VCP 端子のチャージポンプ電圧が、VCPUV の閾値電圧よりも低くなると、ゲートドライバが無効、nFAULT 信号は、Low になりますが、降圧スイッチングレギュレータ電源系 (降圧スイッチングレギュレータ、チャージポンプ、LDO2)、および LDO3 は、有効状態を維持します。Fault Status 0 レジスタ (FLTSTS0) の FAULT ビットと Fault Status 1 レジスタ (FLTSTS1) の VCP_UV ビットは、"1b" をラッチします。

チャージポンプ電圧降下の復帰条件 (VCPUV + VCPUVHYS) を満足すると、nFAULT 信号は自動的に High に戻ります。IC Control 1 レジスタ (ICCTL1) の CLR_FLT ビットに CLR_FLT ビットに "1b" を設定、または Low パルスの EN 信号を入力後、ゲートドライバが有効になり、FLTSTS0 レジスタの FAULT ビットと FLTSTS1 レジスタの VCP_UV ビットはリセットされます。

また、FLTCTL1 レジスタの DIS_VCPUV = "1b" を設定することで、この異常検出を無効にすることが出来ます。ただし、この設定でチャージポンプ電圧降下 (VCP_UV) が発生した場合、Smart Gate Driver の nFAULT 信号は Low になりますが、現在の動作モードを維持します。nFAULT 信号は、チャージポンプ電圧降下の復帰条件 (VCPUV + VCPUVHYS) が満足されるまで Low を出力します。FLTSTS0 レジスタの FAULT ビットと FLTSTS1 レジスタの VCP_UV ビットは、ICCTL1 レジスタの CLR_FLT ビットに "1b" を設定または、Low パルスの EN 信号を入力するまで "1b" をラッチします。

6.2.2.5 MOSFET V_{DS} 過電流 (VDS_OCP)

MOSFET V_{DS} 過電流 (VDS_OCP) は、外付け MOSFET の R_{DS(ON)} による V_{DS} 間の電圧降下を監視することで検出します。動作中の MOSFET V_{DS} 電圧が、Over Current Protection Control レジスタ (OCPCTL) の DEG_TIME ビットで選択された t_{DEG_OCP} の設定時間より長く、OCPCTL レジスタの VDS_TH ビットで選択された V_{DSOCP} 値を越えた場合、Smart Gate Driver は MOSFET V_{DS} 過電流 (VDS_OCP) が発生したと判断し、Fault Control 2 レジスタ (FLTCTL2) の VDSOCP_MODE ビットの設定に応じた異常処理を実行します。本 IC は、MOSFET V_{DS} 過電流 (VDS_OCP) の異常処理として次の 4 つの応答モードに対応しています。

Note : ローサイドの MOSFET V_{DS} 過電流 (VDS_OCP) の場合、HS_x (x = A, B, C) - PGND 間電圧をそれぞれモニタします。そのため、この電圧にはシャント抵抗の差動電圧も含まれます。

Latched Shutdown モード (VDSOCP_MODE = "00b") :

本処理モードの VDS_OCP 検出後は、ゲートドライバは Phase-B Gate Driver Input Selection レジスタ (GDSELB) の PDMODE ビットに応じて無効、あるいは Low 出力となり、nFAULT 信号が Low になります。FLTSTS0 レジスタの FAULT ビット、VDS_OCP ビットと FLTSTS2 レジスタ、FLTSTS3 レジスタの VDS_{yx}_OCP (y = H, L, x = A, B, C) に対応したビットは "1b" をラッチします。

ICCTL1 レジスタの CLR_FLT ビットに "1b" を設定または、Low パルスの EN 信号を入力することで nFAULT 信号は High に戻り、通常動作が再開され、FLTSTS0 レジスタの FAULT ビット、VDS_OCP ビットと FLTSTS2 レジスタ、FLTSTS3 レジスタの VDS_{yx}_OCP (y = H, L, x = A, B, C) ビットに対応したビットは、リセットされます。

Automatic Retry モード (VDSOCP_MODE = "01b") :

本処理モードの VDS_OCP 検出後は、ゲートドライバは Phase-B Gate Driver Input Selection レジスタ (GDSELB) の PDMODE ビットに応じて無効、あるいは Low 出力となり、nFAULT 信号が Low になります。FLTSTS0 レジスタの FAULT ビット、VDS_OCP ビットと FLTSTS2 レジスタ、FLTSTS3 レジスタの VDS_{yx}_OCP (y = H, L, x = A, B, C) ビットに対応したビットは、"1b" をラッチします。

t_{RETRY_OCP} 時間経過後、nFAULT 信号が High になり、通常動作が自動的に再開します。FLTSTS0 レジスタの FAULT ビット、VDS_OCP ビットと FLTSTS2 レジスタ、FLTSTS3 レジスタの VDS_{yx}_OCP (y = H, L, x = A, B, C) ビットは、復帰動作が開始されるまでラッチされ保持します。

Report Only モード (VDSOCP_MODE = "10b") :

本処理モードの VDS_OCP 検出後は、現在の動作を維持します (ゲートドライバは有効を維持)。nFAULT 信号が Low になり、FLTSTS0 レジスタの FAULT ビット、VDS_OCP ビットと FLTSTS2 レジスタ、FLTSTS3 レジスタの VDS_{yx}_OCP (y = H, L, x = A, B, C) ビットに対応したビットは、"1b" をラッチします。

このモードでは、Smart Gate Driver を制御する MCU が IN_z (z = 1, 2, 3, 4, 5, 6) 信号、あるいは、EN 信号を制御することによって、VDS_OCP を適切に処理する必要があります。VDS_OCP 異常状態が解除され、ICCTL1 レジスタの CLR_FLT ビットに "1b" を設定または、EN 信号に Low パルスを入力することで、nFAULT 信号は High に戻り、FLTSTS0 レジスタの FAULT ビット、VDS_OCP ビットと FLTSTS2 レジスタ、FLTSTS3 レジスタの VDS_{yx}_OCP (y = H, L, x = A, B, C) ビットが、リセットされます。

Disabled モード (VDSOCP_MODE = "11b") :

本処理モードでは異常処理は実行されず、異常発生をレポートしません。ゲートドライバは有効を維持し、nFAULT 信号と Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTS_z (z = 0, 1, 2, 3)) はレポート状態を維持しません。

6.2.2.6 ショント抵抗の過電流保護 (CS_OCP)

ショント抵抗の過電流保護 (CS_OCP) は、外付けのショント抵抗の両端の電位差を監視することで検出します。DAzP と DAzN (z = 1, 2, 3) の端子間の差電圧が、Over Current Protection Control レジスタ (OCPCTL) の DEG_TIME ビットで選択された tDEG_OCP の設定時間よりも長く超えた場合、Smart Gate Driver は、ショント抵抗の過電流保護 (CS_OCP) が発生したと判断し、Fault Control 2 レジスタ (FLTCTL2) の CSOCP_MODE ビットの設定に応じた異常処理を実行します。Smart Gate Driver は、ショント抵抗の過電流保護 (CS_OCP) の異常処理として次の 4 つの応答モードに対応しています。各電流センスアンプの Fault Status 3 レジスタ (FLTSTS3) の CSz_OCP (z = 1, 2, 3) ビットは、FLTCTL2 レジスタの DIS_CSzOCP (z = 1, 2, 3) ビットにより、個別に無効にすることが可能です。FLTCTL2 レジスタの DIS_CSzOCP (z = 1, 2, 3) ビットを "1b" の設定の場合、異常処理は実行されず、異常発生をレポートしません。Smart Gate Driver の差動アンプあるいは、DAzP と DAzN (z = 1, 2, 3) 端子をショント電流検出に用いない場合、それに対応する FLTCTL2 レジスタの DIS_CSzOCP (z = 1, 2, 3) ビットを "1b" に設定する必要があります。

Latched Shutdown モード (CSOCP_MODE = "00b") :

本処理モードでは、CS_OCP 検出後、ゲートドライバは Phase-B Gate Driver Input Selection レジスタ (GDSELB) の PDMODE ビットに応じて無効、あるいは Low 出力となり、nFAULT 信号が Low になります。FLTSTS0 レジスタの FAULT ビット、CS_OCP ビット、および FLTSTS3 レジスタの CSz_OCP (z = 1, 2, 3) ビットに対応したビットは、"1b" をラッチします。

ICCTL1 レジスタの CLR_FLT ビットに "1b" を設定または、Low パルスの EN 信号を入力することで nFAULT 信号は High に戻り、通常動作が再開され、FLTSTS0 レジスタの FAULT ビット、CS_OCP ビットと FLTSTS3 レジスタの CSz_OCP (z = 1, 2, 3) ビットに対応したビットが、リセットされます。

Automatic Retry モード (CSOCP_MODE = "01b") :

本処理モードでは、CS_OCP 検出後、ゲートドライバは Phase-B Gate Driver Input Selection レジスタ (GDSELB) の PDMODE ビットに応じて無効、あるいは Low 出力となり、nFAULT 信号が Low になります。FLTSTS0 レジスタの FAULT ビット、CS_OCP ビット、および FLTSTS3 レジスタの CSz_OCP (z = 1, 2, 3) に対応したビットは、"1b" をラッチします。

tRETRY_OCP 時間経過後、nFAULT 信号が High になり、通常動作が自動的に再開します。FLTSTS0 レジスタの FAULT ビット、CS_OCP ビットと FLTSTS3 レジスタの CSz_OCP (z = 1, 2, 3) に対応したビットは、復帰動作が開始されるまでラッチされ保持します。

Report Only モード (CSOCP_MODE = "10b") :

本処理モードの CS_OCP 検出後は、現行の動作を維持します (ゲートドライバは有効を維持)。nFAULT 信号は Low になり、FLTSTS0 レジスタの FAULT ビット、CS_OCP ビットと検出対象の FLTSTS3 レジスタの CSz_OCP (z = 1, 2, 3) に対応したビットは、"1b" をラッチします。

このモードでは、Smart Gate Driver を制御する MCU が INz (z = 1, 2, 3, 4, 5, 6) 信号、あるいは、EN 信号を制御することによって、CS_OCP を適切に処理する必要があります。CS_OCP 異常状態が解除され、ICCTL1 レジスタの CLR_FLT ビットに "0b" を設定または、EN 信号に Low パルスが入力された時、nFAULT 信号が High になり、FLTSTS0 レジスタの FAULT ビット、CS_OCP ビットと FLTSTS3 レジスタの CSz_OCP (z = 1, 2, 3) ビットが、リセットされます。

Disabled モード (CSOCP_MODE = "11b") :

本処理モードでは異常処理は実行されず、異常発生をレポートしません。ゲートドライバは有効を維持し、nFAULT 信号と Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) はレポート状態を維持します。

6.2.2.7 MOSFET Vgs 異常 (VGS_FAULT)

MOSFET Vgs 異常 (VGS_FAULT) は、最大ゲート遷移時間 (tGT) 後、外付け MOSFET のゲート - ソース間電圧 (Vgs) を監視することによって検出します。HOx (x = A, B, C) 端子または、LOx (x = A, B, C) 端子の異常 (他の端子との短絡) または、Gate Driver Control レジスタ (GDCTL) の ISRC_ySx (y = H, L, x = 0, 1, 2, 3) ビット、および IC Control2 レジスタ (ICCTL2) の T_GTn (n = 0, 1) ビットの不適切な設定によって、Vgs 電圧が上昇 (通常 3[V]以上) しないまたは、低下 (通常 1[V]以下) しない場合、ゲートドライバは無効になり、nFAULT 信号が Low になります。FLTSTS0 レジスタの FAULT ビット、VGS_FAULT ビット、および検出対象の FLTSTS2 レジスタ、FLTSTS3 レジスタの VGSyx_FAULT (y = H, L, x = A, B, C) ビットは、“1b”をラッチします。

ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定または、Low パルスの EN 信号を入力することで nFAULT 信号は High に戻り、通常動作が再開され、FLTSTS0 レジスタの FAULT ビット、VGS_FAULT ビットと FLTSTS2 レジスタ、FLTSTS3 レジスタの VGSyx_FAULT (y = H, L, x = A, B, C) ビットはリセットされます。また、Fault Control 2 レジスタ (FLTCTL2) の DIS_VGSFLT = “1b”を設定することで、この異常検出を無効にすることが出来ます。DIS_VGSFLT = “1b”の設定で MOSFET Vgs 異常 (VGS_FAULT) が発生した場合、異常処理は実行されず、異常発生を通知しません。ゲートドライバは有効を維持し、nFAULT 信号と Fault Status z (z = 0, 1, 2, 3) レジスタ (FLTSTSz (z = 0, 1, 2, 3)) は元の状態を維持します。

6.2.2.8 サーマルワーニング (TWARN)

Smart Gate Driver のチップの温度が、サーマルワーニング (TWARN) の温度を越えると、FLTSTS0 レジスタの TWARN ビットが“1b”にラッチされます。ただし、Smart Gate Driver は、現在の動作モードを維持します。Smart Gate Driver のチップの温度が、サーマルワーニングの復帰温度 (TWARN - THYS) より低くなると、TWARN ビットは、自動的に“0b”にクリアされます。FLTCTL1 レジスタの TWARN_REP = “1b”に設定することによって、TWARN ビットの情報を nFAULT 信号に出力することが出来ます。

6.2.2.9 サーマルシャットダウン (OTSD)

Fault Control 1 レジスタ (FLTCTL1) の DIS_OTSD ビット = “0b”の時、Smart Gate Driver のチップの温度が、サーマルシャットダウン温度 (TSD) を越えると、ゲートドライバは無効になり、LDO1 と LDO3 (ローパワーモード) が有効になります。他のレギュレータ (降圧スイッチングレギュレータ、チャージポンプ、LDO2) は無効になり、nFAULT 信号は Low になります。FLTSTS0 レジスタの FAULT ビット、OTSD ビットは、“1b”をラッチします。

Smart Gate Driver のチップの温度が、サーマルシャットダウンの復帰温度 (TSD - THYS) より低くなると nFAULT 信号は自動的に High になり、通常動作 (降圧スイッチングレギュレータ、チャージポンプ、LDO2、および LDO3 が動作) が再開します。ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定または、Low パルスの EN 信号を入力後、ゲートドライバは有効になり、FLTSTS0 レジスタの FAULT ビット、OTSD ビットは、リセットされます。

また、FLTCTL1 レジスタの DIS_OTSD = “1b”に設定すると、サーマルシャットダウン (OTSD) を無効にすることが出来ます。DIS_OTSD = “1b”の設定でサーマルシャットダウン (OTSD) が発生した場合、本 IC は、現在の動作モードを維持しますが、nFAULT 信号は、サーマルシャットダウンの復帰条件 (TSD - THYS) を満足するまで、Low になります。FLTSTS0 レジスタの FAULT ビット、OTSD ビットは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または Low パルスの EN 信号が入力されるまで、“1b”が設定されます。Fault Control 1 レジスタ (FLTCTL1) の DIS_OTSD = “1b”の設定では、本 IC を制御する MCU が INz (z = 1, 2, 3, 4, 5, 6) 信号、あるいは EN 信号を制御することによって、サーマルシャットダウン (OTSD) を適切に処理する必要があります。

6.2.2.10 降圧スイッチングレギュレータの過電流検出 (SR_OC1)

降圧スイッチングレギュレータの過電流検出機能 (SR_OC1) は、過負荷条件、およびワーストケースで出力短絡に対して、High サイド MOSFET を流れる電流を監視することにより保護する機能です。Smart Gate Driver は、2つの過電流検出機能を持ち、降圧スイッチングレギュレータの過電流検出 (SR_OC1) は、PWM 周期ごとに High サイド MOSFET のピーク電流の制限を行います。降圧スイッチングレギュレータの過電流検出 (SR_OC1) のイベントは、降圧スイッチングレギュレータを除いて動作やレポートに影響を与えません。ゲートドライバは、動作状態を維持し、nFAULT 信号と Fault Status レジスタのビットは、現在の状態を維持します。

6.2.2.11 降圧スイッチングレギュレータの過電流保護 (SR_OCP)

2つ目の降圧スイッチングレギュレータの過電流検出機能は、Ioc1_SR より高い過電流閾値 Ioc2_SR で動作します。High サイド MOSFET を流れる電流が Ioc2_SR に到達すると、PWM 出力は2周期後に遮断され、降圧スイッチングレギュレータは Hiccup モードに入ります。Hiccup モードではダミー周期 (63[ms]) の間動作を停止し、ダミー周期の後に通常のソフトスタートを再開します

降圧スイッチングレギュレータの過電流保護 (SR_OCP) が発生した時、ゲートドライバは無効になり、LDO1 および LDO3 が有効になり、チャージポンプと LDO2 は無効になり、nFAULT 信号は Low になります。FLTSTS0 レジスタの FAULT ビット、SR_FAULT ビット、FLTSTS1 レジスタの SR_OCP ビットは、"1b" をラッチします。

電流復帰条件 (Ioc2_SR) を満足し、電源系のソフトスタートが完了すると nFAULT 信号は自動的に High に戻ります。IC Control 1 レジスタ (ICCTL1) の CLR_FLT ビットに"1b"を設定または、Low パルスの EN 信号を入力後、ゲートドライバが有効になり、FLTSTS0 レジスタの FAULT、SR_FAULT ビットと FLTSTS1 レジスタの SR_OCP ビットは、リセットされます。

6.2.2.12 降圧スイッチングレギュレータ電圧降下 (VDRV_UV)

降圧スイッチングレギュレータ電圧降下 (VDRV_UV) は、VDRV 端子電圧が、VDRVUV の閾値電圧より低くなると、降圧スイッチングレギュレータは、Hiccup モードに入ります。

降圧スイッチングレギュレータ電圧降下 (VDRV_UV) が発生した時、ゲートドライバは無効になり、LDO1 と LDO3 が有効になり、チャージポンプと LDO2 は無効になり、nFAULT 信号は Low になります。FLTSTS0 レジスタの FAULT ビット、SR_FAULT ビット、および FLTSTS1 レジスタの VDRV_UV ビットは、"1b" をラッチします。

電圧降下復帰条件 (VDRVUVR) を満足し、電源系のソフトスタートが完了すると、nFAULT 信号は自動的に High に戻ります。IC Control 1 レジスタ (ICCTL1) の CLR_FLT ビットに"1b"を設定または、Low パルスの EN 信号を入力後、ゲートドライバが有効になり、FLTSTS0 レジスタの FAULT、SR_FAULT ビットと FLTSTS1 レジスタの VDRV_UV ビットは、リセットされます。

6.2.2.13 降圧スイッチングレギュレータ過電圧 (VDRV_OV)

降圧スイッチングレギュレータ過電圧 (VDRV_OV) は、FB 端子電圧基準で判定を行います。FB 端子電圧が VDRV OV の閾値電圧より高くなると、ゲートドライバは無効になり、LDO2 と LDO3 が有効を維持し、降圧スイッチングレギュレータ、およびチャージポンプは、異常状態が解消されるまでスイッチングを停止し、nFAULT 信号は Low になります。FLTSTS0 レジスタの FAULT ビット、SR_FAULT ビット、および FLTSTS1 レジスタの VDRV_OV ビットは、"1b"をラッチします。

過電圧復帰条件 (VDRV OVR) を満足すると、nFAULT 信号は自動的に High になり、通常動作 (降圧スイッチングレギュレータ、およびチャージポンプが動作) が再開します。ICCTL1 レジスタの CLR_FLT ビットに"1b"を設定または、Low パルスの EN 信号を入力後、ゲートドライバが有効になり、FLTSTS0 レジスタの FAULT ビット、SR_FAULT ビット、および FLTSTS1 レジスタの VDRV_OV ビットは、リセットされます。

6.3 電源構成

6.3.1 ブロックダイアグラム、および電源ブロックの On / Off 仕様

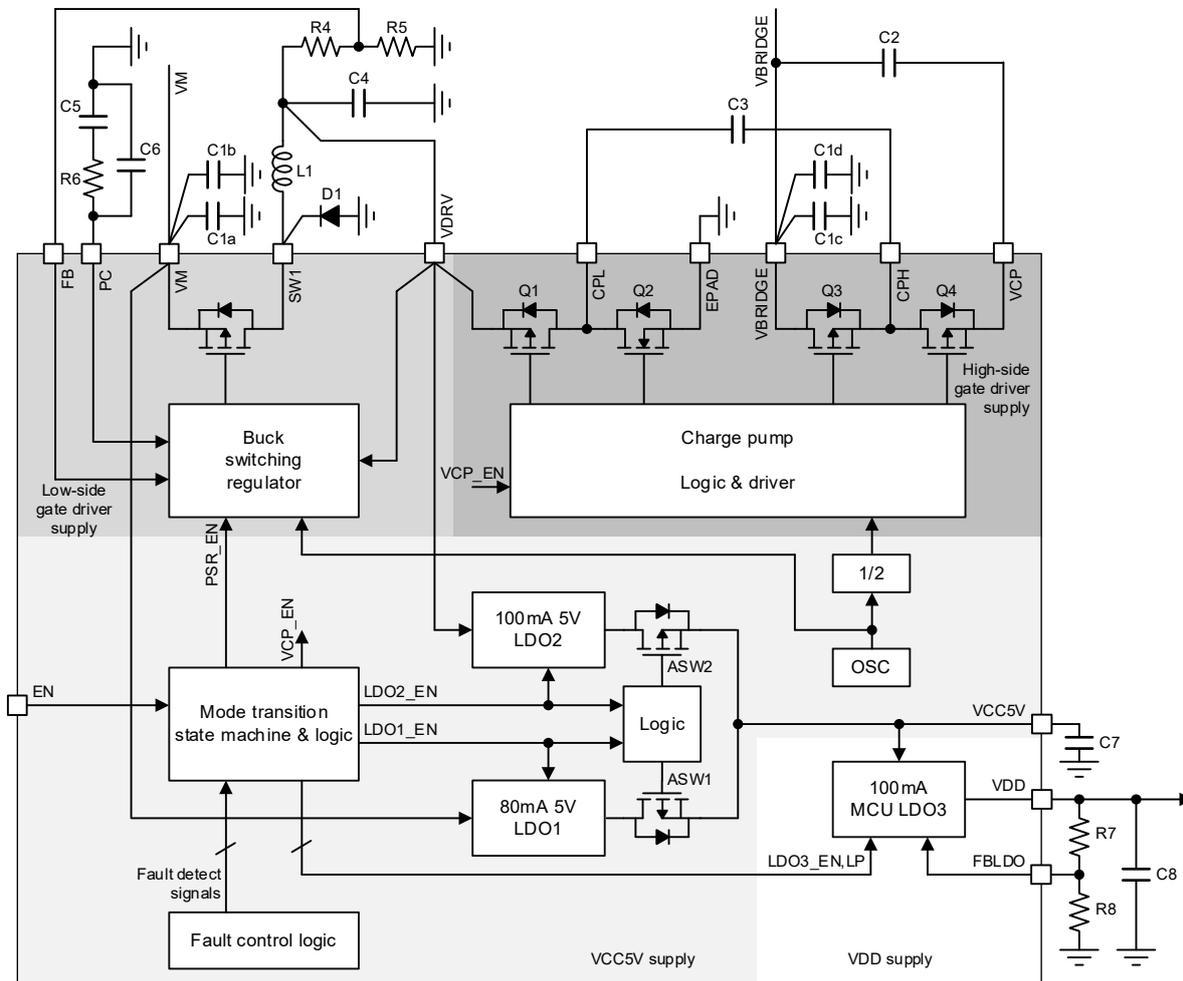


Figure 6.3-1 電源構成

Table 6.3-1 各モードと電源ブロックの On / Off 関係

Mode	80mA 5V LDO1	100mA MCU LDO3	100mA 5V LDO2	Buck switching regulator	Charge Pump
Shutdown	On	On ^{Note1}		Off	
Sleep	On	On ^{Note1}		Off	
Operating	Off	On		On	
Fault Management	異常時の対応用マトリックスに基づいた制御処理				

Note1 : Low の EN 信号が入力されると、LDO3 は、ローパワーモードになります。

6.3.2 VCC5V 電源

VCC5V 電源は、2 つの 5[V] LDO と LDO 出力選択用の 2 つのアナログスイッチで構成されています。

5V LDO1 (EN = Low) :

この LDO は、VM 電源からの供給により動作する高耐圧 LDO です。IC のパワーオン時 (VCC5V の電圧が POR の立ち上がり電圧以上時) において降圧スイッチングレギュレータのソフトスタートが完了するまで有効になり、VCC5V 電源を供給します。LDO1 が有効になると ASW1 も ON になります。

Note : LDO1 で使用されるバンドギャップリファレンスは、トリミングされていません。

5V LDO2 (EN = High) :

この LDO は、降圧スイッチングレギュレータ出力からの供給による低耐圧 LDO です。降圧スイッチングレギュレータのソフトスタートが完了した後、Operating Mode 時に VCC5V を供給します。LDO2 が有効になると ASW2 が ON になります。

Note : LDO2 で使用されるバンドギャップリファレンスは、Operating Mode 時の VCC5V 電圧精度の向上の為に、トリミングされています。

6.3.3 VDD 電源

VDD 電源は MCU、および周辺回路用のインターフェース電源となります。VDD 電源は、VDD 端子に出力され電源として使用可能です。

VDD LDO は、VCC5V からの供給により動作する低耐圧 LDO3 であり、アプリケーションに応じて MCU や周辺回路に電力を供給出来るよう設計されています。推奨動作条件内で出力電圧の微調整が可能な専用のフィードバック端子 (FBLDO) があります。内部リファレンスは、1.2[V]です。Operating Mode 中の出力電圧は、厳密に調整されます。EN 信号に Low が入力されると、LDO3 はローパワーモードになりそれ程厳しくない規格の出力電圧になります。

6.3.4 Low サイドドライバ用電源 (VDRV)

Low サイドドライバ用電源 (VDRV) は、VM 電源から供給される 500[mA]降圧スイッチングレギュレータによって生成されます。VDRV は、5[V]から 15[V]の範囲で調整出来ます。降圧スイッチングレギュレータは、1.0[Ω] (typ.) の高耐圧 PMOS (65[V]) を搭載しゲートドライバに対応しています。また、ピーク電流モードの制御方式に対応する全ての制御回路とロジック回路を搭載しています。外付けで還流ダイオードとインダクタ (コイル) が必要になります。レギュレータのスイッチング周波数は 500[kHz]で、1.2[A] (周期ごとの電流制限) と 1.4[A] (ピーク時の過電流の閾値) の 2 レベルのピーク電流制限に対応しています。レギュレータ出力は監視され、OV と UV の条件から保護されます。中・高負荷の条件でレギュレータは電流連続モード (CCM モード) で動作します。ただし、軽負荷条件では、非同期整流機能より電流不連続モード (DCM モード) で動作します。さらに、軽負荷で VM 電圧が高く VDRV の電圧が低い場合、最小オン時間の制限により、パルススキッピングモードで動作します。

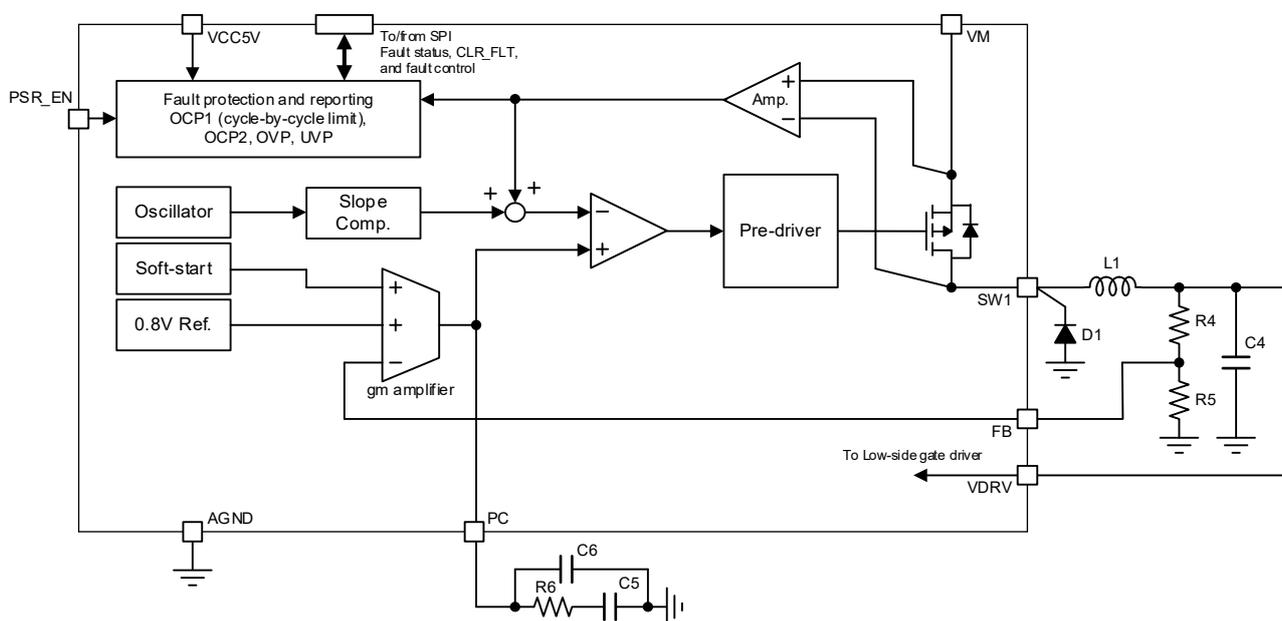


Figure 6.3-2 降圧スイッチングレギュレータブロックダイアグラム

6.3.5 High サイドドライバ用電源 (VCP)

チャージポンプは、VBRIDGE + VDRV のレベルで安定した High サイドドライバ用電源 (VCP) を生成します。CPL 端子は、Q1 と Q2 の相補型スイッチで VDRV と EPAD (GND) を切り換えます。CPH 端子は、Q3 と Q4 の相補型スイッチで VBRIDGE と VCP (VBRIDGE + VDRV) を切り換えます。Q2 と Q3 が同時に ON, OFF する間、Q1 と Q4 は、同時に OFF, ON します。このように、Q2 と Q3 が ON の間 (Q1 と Q4 が OFF の間)、CPH と CPL 間のフライングキャパシタ (C3) は、VBRIDGE によって充電されます。Q1 と Q4 の ON の間 (Q2 と Q3 が OFF の間)、VDRV によって VBRIDGE + VDRV レベルに C2 は充電されます。その動作から、このチャージポンプは、常に最小な電力損失でフルモード動作をすることが出来ます。相補型スイッチは、降圧スイッチングレギュレータによって使用される内部発振周波数の 2 分の 1 である 250[kHz]で動作し、Duty Cycle は 50[%]です。目標の最大負荷電流レベルは、28[mA]です。チャージポンプ出力は、監視されており、電圧低下の保護機能をサポートしています。

6.4 Smart Gate Driver

6.4.1 ブロックダイアグラム

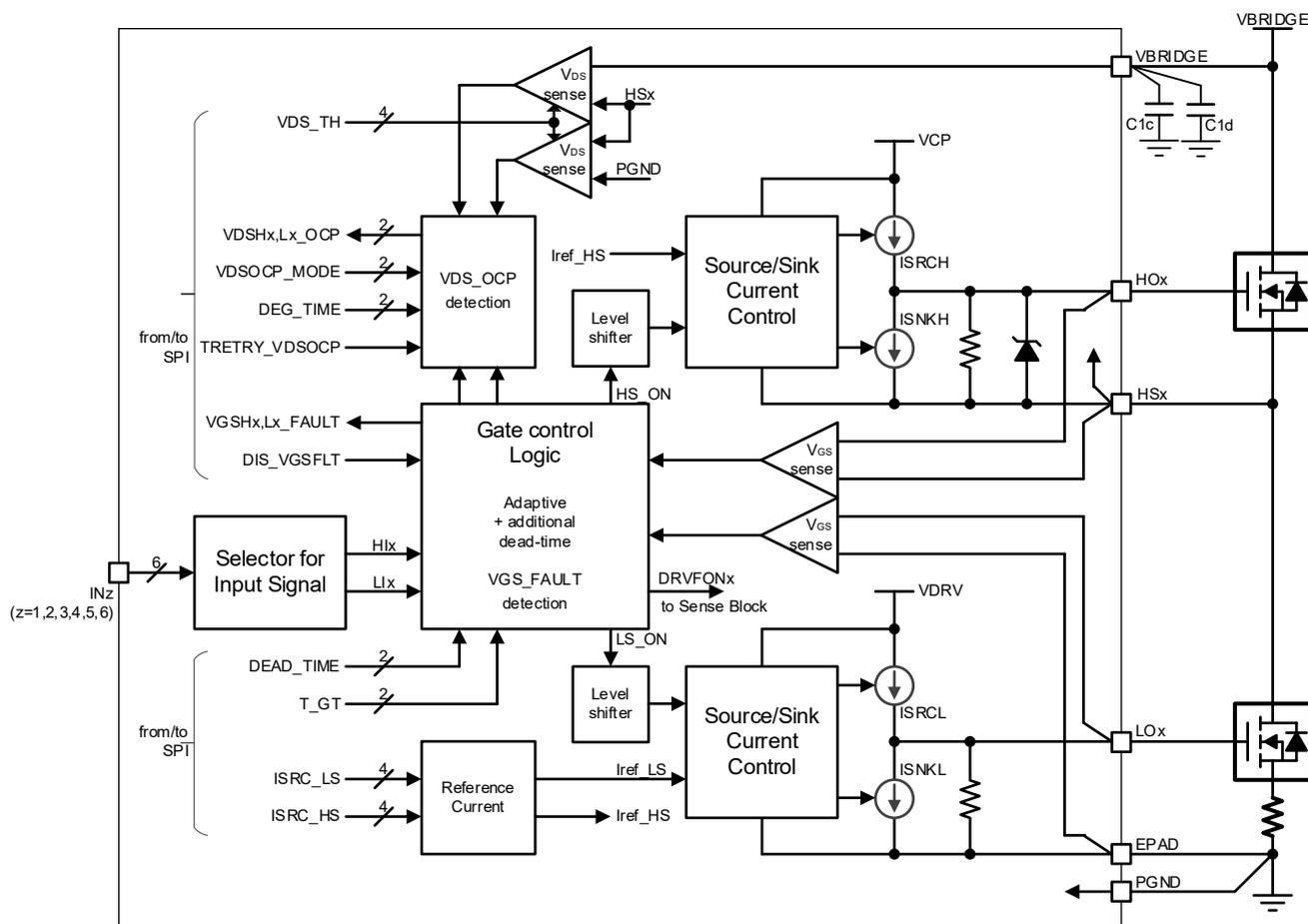


Figure 6.4-1 ゲートドライバブロックダイアグラム

6.4.2 ゲートドライバ制御モード

本 IC が、Operating Mode へ移行すると、ゲートドライバは、Phase-A Gate Driver Input Selection レジスタ (GDSELA) , Phase-B Gate Driver Input Selection レジスタ (GDSELB) , Phase-C Gate Driver Input Selection レジスタ (GDSELC) の HO_x_SEL, LO_x_SEL (x = A, B, C) ビットの設定に応じて、Gate Driver の IN_z (z = 1, 2, 3, 4, 5, 6) 信号をレジスタで選択した HI_x、および LI_x (x = A, B, C) 信号に割り当てます。また、下記 2 つのゲートドライブ制御が可能です。

- 3 相 HI/LI モード
- 3 相 PWM モード

詳細な説明と論理真理値表は、次の 3 相 HI/LI モード、および 3 相 PWM モードの項目で示します。

6.4.2.1 3相 HI/LI モード

このモードは、IC Control 1 レジスタ (ICCTL1) の PWMMODE ビットが"0b"の時に有効になります。このモードでは、Hlx、および Llx (x = A, B, C) 信号が個々のドライバ出力の制御入力信号となり、Hlx (x = A, B, C) 入力信号は、High サイドドライブ出力 HOx (x = A, B, C) を直接制御、Llx (x = A, B, C) 入力信号は Low サイドドライブ出力 LOx (x = A, B, C) を直接制御します。また、Hlx、および Llx (x = A, B, C) 信号が異なる場合のみハーフブリッジ出力 HSx (x = A, B, C) が有効となり、入力信号が同じ場合、ハーフブリッジ出力 HSx (x = A, B, C) は無効になります。Table 6.4-1 を参照してください。

Table 6.4-1 3相 HI/LI モード真理値表 (x = A, B, C)

Llx	Hlx	LOx	HOx - HSx	HSx
0	0	Low	Low	Hi-Z
0	1	Low	High	High
1	0	High	Low	Low
1	1	Low	Low	Hi-Z

6.4.2.2 3相 PWM モード

このモードは、IC Control 1 レジスタ (ICCTL1) の PWMMODE ビットが"1b"の時に有効になります。このモードでは、Hlx (x = A, B, C) は、各相の High サイドと Low サイド選択入力信号として動作し、"1b"の場合 High サイドドライブ出力 HOx (x = A, B, C) が High、"0b"の場合 Low サイドドライブ出力 LOx (x = A, B, C) が High となります。Llx (x = A, B, C) はハーフブリッジ出力 HSx (x = A, B, C) の有効 / 無効を制御します。Table 6.4-2 を参照してください。

Table 6.4-2 3相 PWM モード真理値表 (x = A, B, C)

Llx	Hlx	LOx	HOx - HSx	HSx
0	0	Low	Low	Hi-Z
0	1	Low	Low	Hi-Z
1	0	High	Low	Low
1	1	Low	High	High

6.4.3 スルーレート調整機能

Gate Driver のゲートドライブ時のソース電流 (ISRC) とシンク電流 (ISNK) を適切に設定出来ます。本制御によりスイッチノード電圧のスルーレートを調整することができ、EMI レベルの最適化、ボディダイオードの逆回復の制御、および dV/dt レベルによって発生する貫通電流を避ける上で役立ちます。全てのゲートドライバ出力において、Gate Driver Control レジスタ (GDCTL) の ISRC_HS ビットまたは、ISRC_LS ビットによって、ソース / シンク電流レベルを 16 レベルの設定が出来ます。設定可能な範囲は、ソース電流の場合 50[mA] から 640[mA]、シンク電流の場合 100[mA] から 1280[mA] になります。

Note : ドライバのシンク電流レベルは、ソース電流の 2 倍になるように自動的に設定されます。ドライバのソースピーク電流 / シンクピーク電流の最大継続期間 (最大ゲート遷移時間 (tGT)) についても確実に MOSFET が完全に ON になるように設定を変更出来ます。この最大ゲート遷移時間 (tGT) は、IC Control 2 レジスタ (ICCTL2) の T_GT ビットによって 4 つのレベルのオプション (500[ns], 1000[ns], 2000[ns], 4000[ns]) から選択することが出来ます。

6.4.4 ドライバのロバスト性向上

CdV/dt による貫通電流の誘発の回避するための強シンク電流駆動

同一ブリッジ相において、一つのゲートドライバが対応する外部 MOSFET をオンまたはオフするゲート遷移中に、CdV/dt による貫通電流の誘発を避けるため、コンプリメンタリなゲートドライバにより、強シンク電流 (ISNK_STG) 駆動を実行します。強シンク電流駆動の最大継続期間は最大ゲート遷移時間 (tGT) と等しいです。

ゲート状態保持のためのアクティブ Pullup / Pulldown 電流駆動

省電力化のため最大ゲート遷移時間 (tGT) 経過後、ゲートドライバは電流を減らしてゲート電圧の維持を行います。High 出力電圧は Pullup ソース電流 (ISRC_PU) 駆動により維持を行い、Low 出力電圧は Pulldown シンク電流 (ISNK_PD) 駆動により、ほぼゼロ出力電圧を維持します。

アダプティブデッドタイム制御とエクストラデッドタイム設定

アダプティブデッドタイム制御は、ターンオフ遷移中の MOSFET のゲート電圧をモニタし、ゲートドライバでデッドタイムを挿入する機能です。コンプリメンタリ MOSFET は、VGS が閾値 (1[V] (typ.)) 以下になることで ON します。また、IC Control 2 レジスタ (ICCTL2) の DEAD_TIME ビットにより、アダプティブデッドタイムに追加されるエクストラデッドタイム (tdT) を設定することが出来ます。

Note : 実際のアプリケーションでは、MOSFET を適切に駆動するために実際のゲート遷移は、tGT の設定値より短くする必要があります。そのため、tGT 値は、「最大」ゲート遷移時間として定義されます。従って、ソース / シンクのピーク電流の駆動持続時間は、tGT 持続時間の最大時間に到達する前に終了する可能性があります。例えば、ターンオフ遷移中に、VGS がアダプティブデッドタイム閾値以下になった後、シンクピーク電流と相補型で制御される MOSFET ゲートの強シンク電流駆動は終了します。これは、tGT の経過時間より早くなります。ターンオン遷移の場合は、MOSFET への十分な High レベルの VGS の電位を検出できない為、ソースピーク電流と相補型で制御される MOSFET ゲートへの強シンク電流駆動は、十分に長い時間を仮定し、tGT 持続時間の最大時間を持続します。ソース / シンクのピーク電流の駆動持続時間が短くなる他の例としては、短い ON 時間時や短い OFF 時間の時も含まれます。

アダプティブデッドタイム制御の無効機能

Sense Block Control 5 レジスタ (SNSCTL5) の DIS_SADT = "1b" に設定することにより、アダプティブデッドタイム制御機能を無効にすることが出来ます。この場合、MOSFET のゲート電圧のモニタ結果は無視され、コンプリメンタリ MOSFET は、Hix または、Lix (x = A, B, C) の相補型での入力によってだけターンオンを開始出来ます。相補型の入力が High に変化した後、ゲートドライバの貫通電流を回避する為にアディショナルデッドタイムが開始されます。アディショナルデッドタイムが終了すると、コンプリメンタリ MOSFET がターンオンします。**Figure 6.4-4** を参照してください。

Note : MOSFET を適切に駆動するため、アディショナルデッドタイムは tGT 設定より短くする必要があります。tGT 持続時間の最大時間の経過後、ソース / シンクの強シンク電流駆動終了になります。**Figure 6.4-5** を参照してください。また、挿入されるデッドタイムは、ハーフブリッジの MOSFET の貫通電流を回避する為、MOSFET の放電時間 "tdchg" より長くする必要があります。

6.4.5 3相 HI/LI モードのゲートドライブタイミング

Figure 6.4-2 に Hlx / Llx (x = A, B, C) に挿入されているアディショナルデッドタイムが、最大ゲート遷移時間 (tGT) にエクストラデッドタイム (tDT) の設定時間を加算した時間よりも長い場合におけるゲートドライブのタイミング図を示します。

具体的には次の2つのケースとなります。

- High サイドの MOSFET がターンオフし、Low サイドの MOSFET がターンオンする遷移期間に関して、VHOx - VHSx (x = A, B, C) が High から Low に遷移する時間とエクストラデッドタイム (tDT) が経過した後に、Llx (x = A, B, C) が High に切り替わるケース。
- Low サイドの MOSFET がターンオフし、High サイドの MOSFET がターンオンする遷移期間に関して、VLOx - PGND (x = A, B, C) が High から Low に遷移する時間とエクストラデッドタイム (tDT) が経過した後に、Hlx (x = A, B, C) が High に切り替わるケース。

これらのケースのトータルの実効デッドタイムは、アダプティブデッドタイムに IC Control 2 レジスタ (ICCTL2) の DEAD_TIME ビットで設定されたエクストラデッドタイム (tDT) に加え、Hlx / Llx (x = A, B, C) 信号によるアディショナルデッドタイムを加味した時間になります。

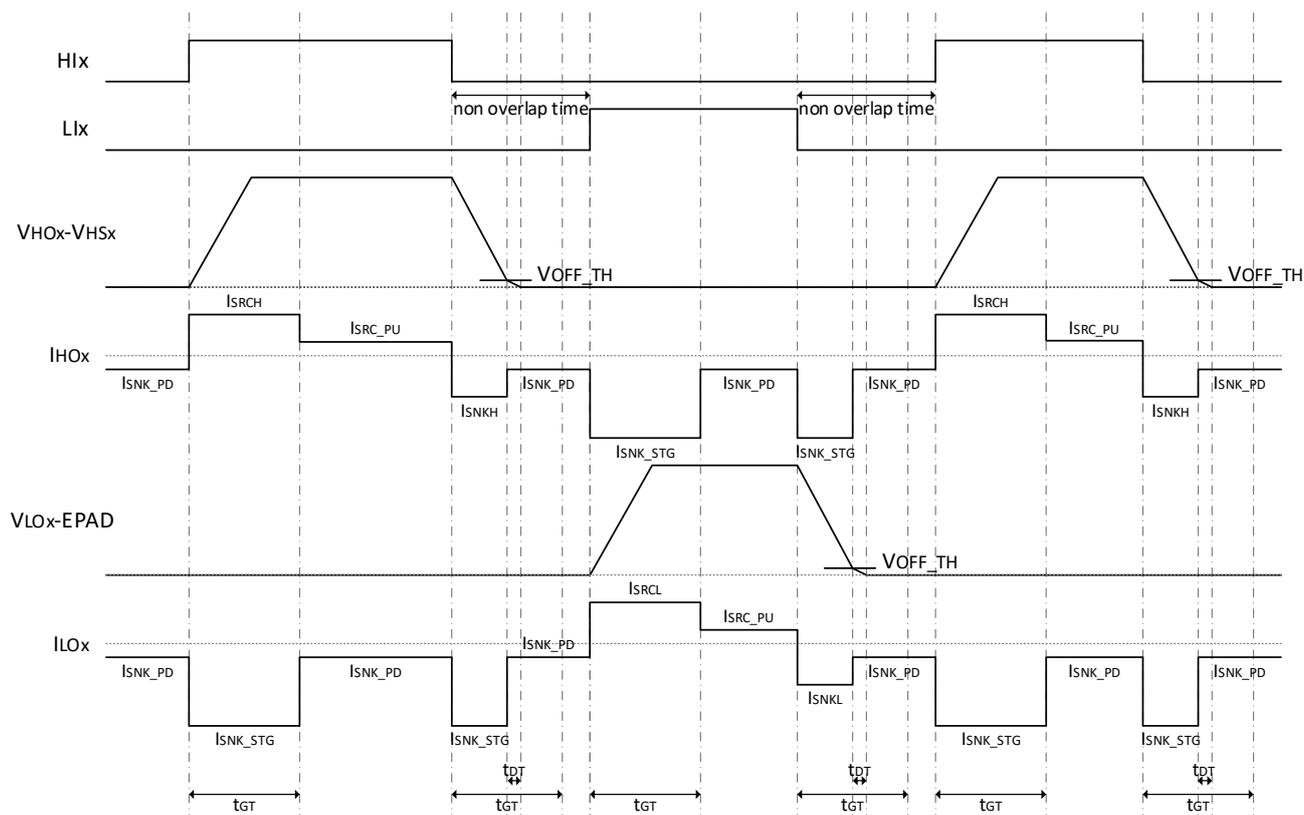


Figure 6.4-2 HI/LI によるデッドタイムが比較的に長い場合の3相 HI/LI モードのゲートドライブタイミング

6.4.5 3相 HI/LI モードのゲートドライブタイミング (続き)

Figure 6.4-3 に Hlx / Llx (x = A, B, C) に挿入されているアディショナルデッドタイムが、最大ゲート遷移時間 (tGT) にエクストラデッドタイム (tdT) の設定時間を加算した時間よりも短い場合におけるゲートドライブのタイミング図を示します。

具体的には次の2つのケースとなります。

- High サイドの MOSFET がターンオフし、Low サイドの MOSFET がターンオンする遷移期間に関して、VHOx - VHSx (x = A, B, C) が High から Low に遷移する時間とエクストラデッドタイム (tdT) が経過する前に、Llx (x = A, B, C) が High に切り替わるケース。
- Low サイドの MOSFET がターンオフし、High サイドの MOSFET がターンオンする遷移期間に関して、VLOx - PGND (x = A, B, C) が High から Low に遷移する時間とエクストラデッドタイム (tdT) が経過する前に、Hlx (x = A, B, C) が High に切り替わるケース。

これらのケースのトータルの実効デッドタイムは、アダプティブデッドタイムに IC Control 2 レジスタ (ICCTL2) の DEAD_TIME ビットで設定されたエクストラデッドタイム (tdT) を加算した時間になります。

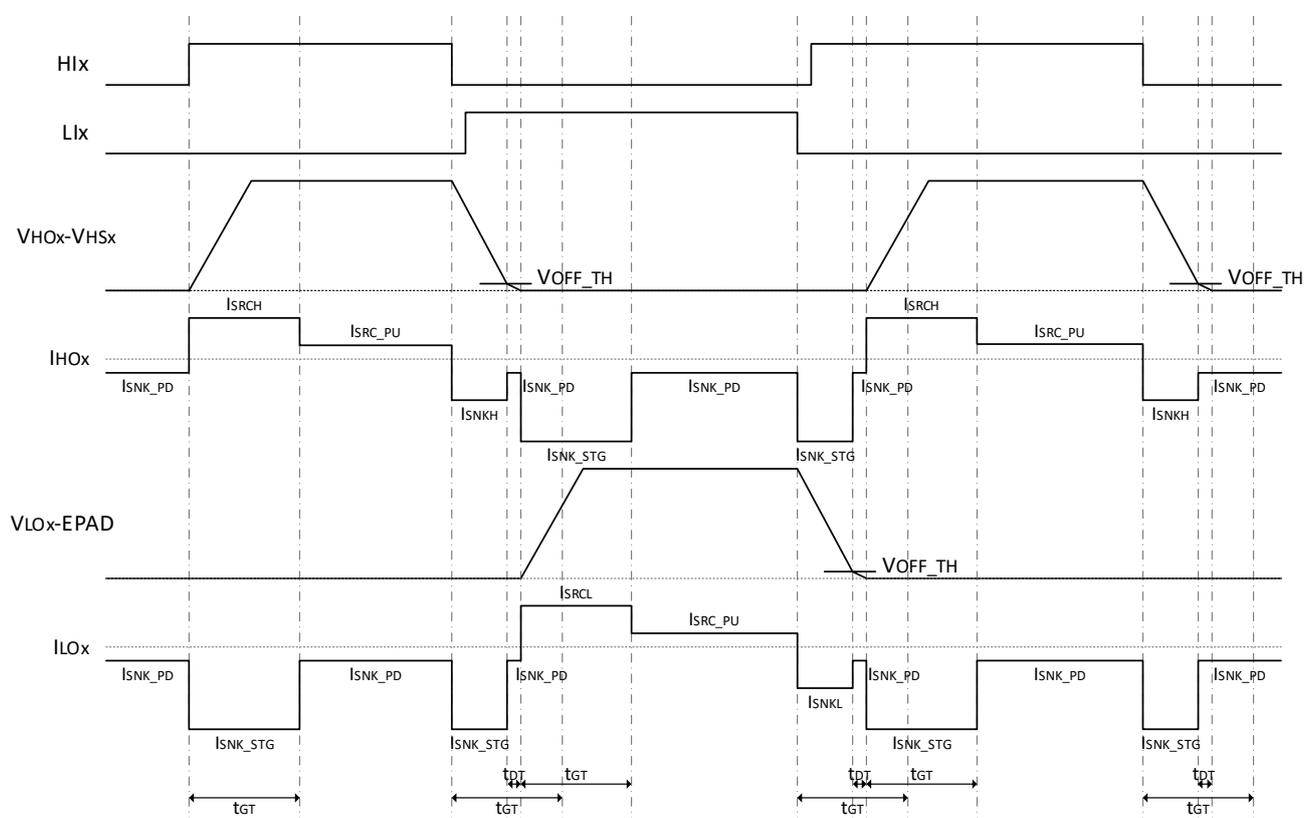


Figure 6.4-3 HI/LI によるデッドタイムが比較的短い場合の3相 HI/LI モードのゲートドライブタイミング

6.4.6 DIS_SADT = "1b"設定時のゲートドライブタイミング

Figure 6.4-4 に Hlx / Llx (x = A, B, C) に挿入されているアディショナルデッドタイムが最大ゲート遷移時間 (tGT) よりも短い場合の Sense Block Control 5 レジスタ (SNSCTL5) の DIS_SADT = "1b"設定時におけるゲートドライブタイミング図を示します。

具体的には次の2つのケースとなります。

- High サイドの MOSFET がターンオフし、Low サイドの MOSFET がターンオンする遷移期間において、VHOx - VHSx (x = A, B, C) の High から Low が最大ゲート遷移時間 (tGT) よりも短い時間で終わり、High サイド MOSFET がターンオフになった後、Llx (x = A, B, C) が High に切り替わるケース。
- Low サイドの MOSFET がターンオフし、High サイドの MOSFET がターンオンする遷移期間において、VLOx - PGND (x = A, B, C) の High から Low が最大ゲート遷移時間 (tGT) よりも短い時間で終わり、Low サイド MOSFET がターンオフになった後、Hlx (x = A, B, C) が、High に切り替わるケース。

これらのケースのトータルの実効デッドタイムは、"non overlap time"に IC Control 2 レジスタ (ICCTL2) の DEAD_TIME ビットで設定されたエクストラデッドタイム (tdT) を加算した時間になります。

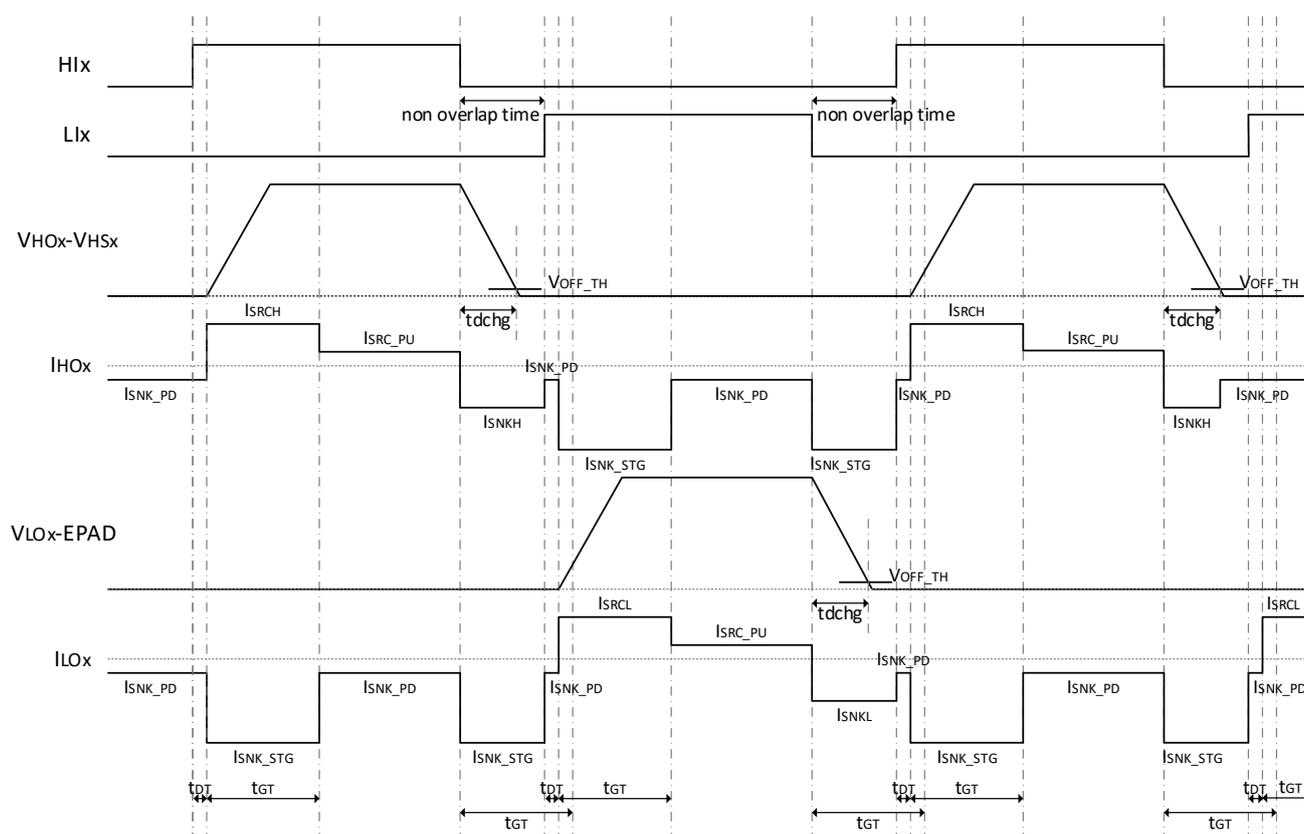


Figure 6.4-4 HI/LI によるデッドタイムがゲートの遷移時間 (tGT) よりも短い場合の DIS_SADT = "1b"時のゲートドライブタイミング

6.4.6 DIS_SADT = “1b”設定時のゲートドライブタイミング (続き)

Figure 6.4-5 に Hlx / Llx (x = A, B, C) に挿入されているアディショナルデッドタイムが最大ゲート遷移時間 (tGT) よりも長い場合の Sense Block Control 5 レジスタ (SNSCTL5) の DIS_SADT = “1b”設定時におけるゲートドライブタイミング図を示します。

具体的には次の2つのケースとなります。

- High サイドの MOSFET がターンオフし、Low サイドの MOSFET がターンオンする遷移期間において、VHOx - VHSx (x = A, B, C) の High から Low になり、最大ゲート遷移時間 (tGT) の経過した後に、Llx (x = A, B, C) が High に切り替わるケース。
- Low サイドの MOSFET がターンオフし、High サイドの MOSFET がターンオンする遷移期間において、VLOx - PGND (x = A, B, C) の High から Low になり、最大ゲート遷移時間 (tGT) の経過した後に、Hlx (x = A, B, C) が High に切り替わるケース。

トータルの実効デッドタイムは、“non overlap time”に IC Control 2 レジスタ (ICCTL2) の DEAD_TIME ビットで設定されたエクストラデッドタイム (tdT) を加算した時間になります。

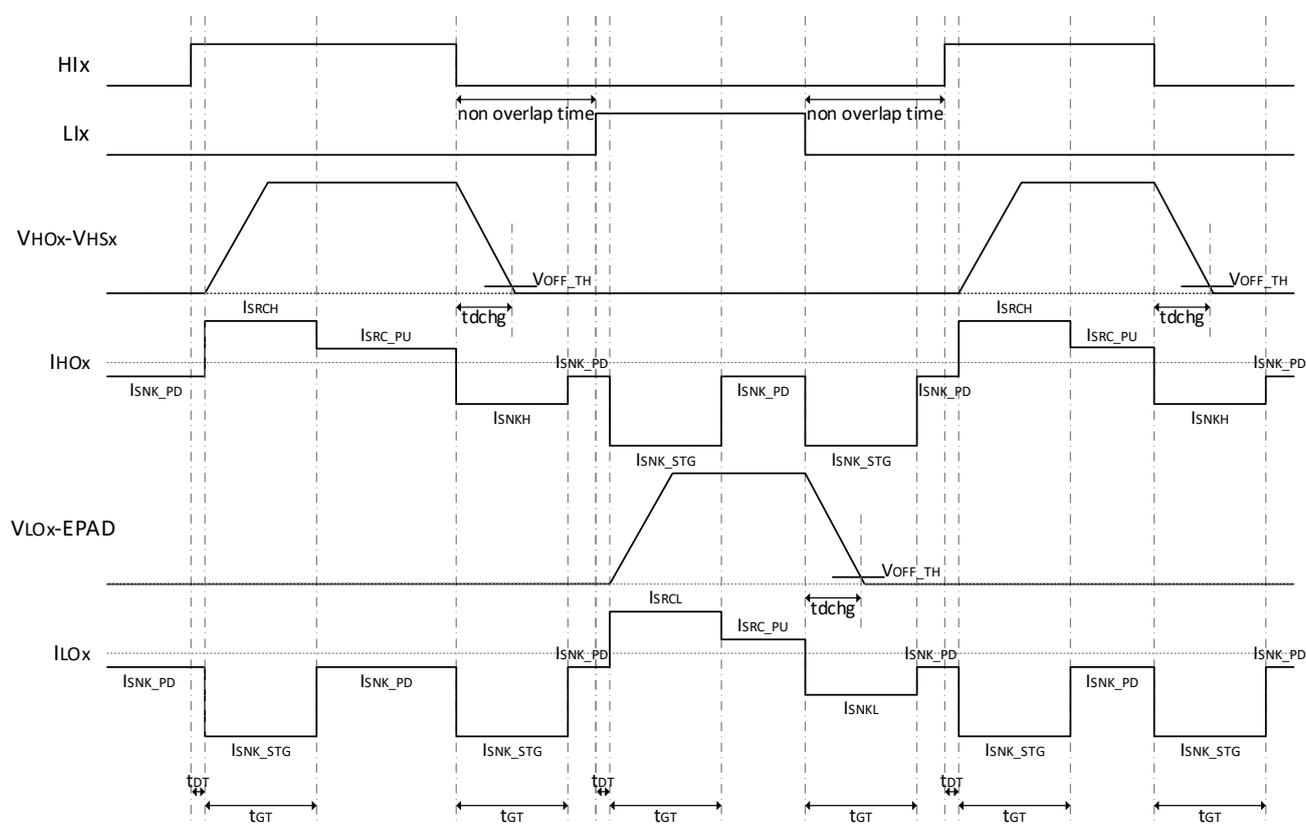


Figure 6.4-5 HI/LI によるデッドタイムがゲートの遷移時間 (tGT) よりも長い場合の DIS_SADT = “1b”時のゲートドライブタイミング

6.4.7 3相PWMモードのゲートドライブタイミング

Figure 6.4-6 にゲートドライバ制御モードが3相PWMモード時のゲートドライブのタイミング図を示します。このモードでは、Hlx/Llx (x = A, B, C) に挿入されているアディショナルデッドタイムがゼロの時、3相HI/LIモードと同様のタイミング図となります。

トータルの実効デッドタイムは、アダプティブデッドタイムと、IC Control 2 レジスタ (ICCTL2) の DEAD_TIME ビットで設定されたエクストラデッドタイム (tDT) を加算した時間になります。

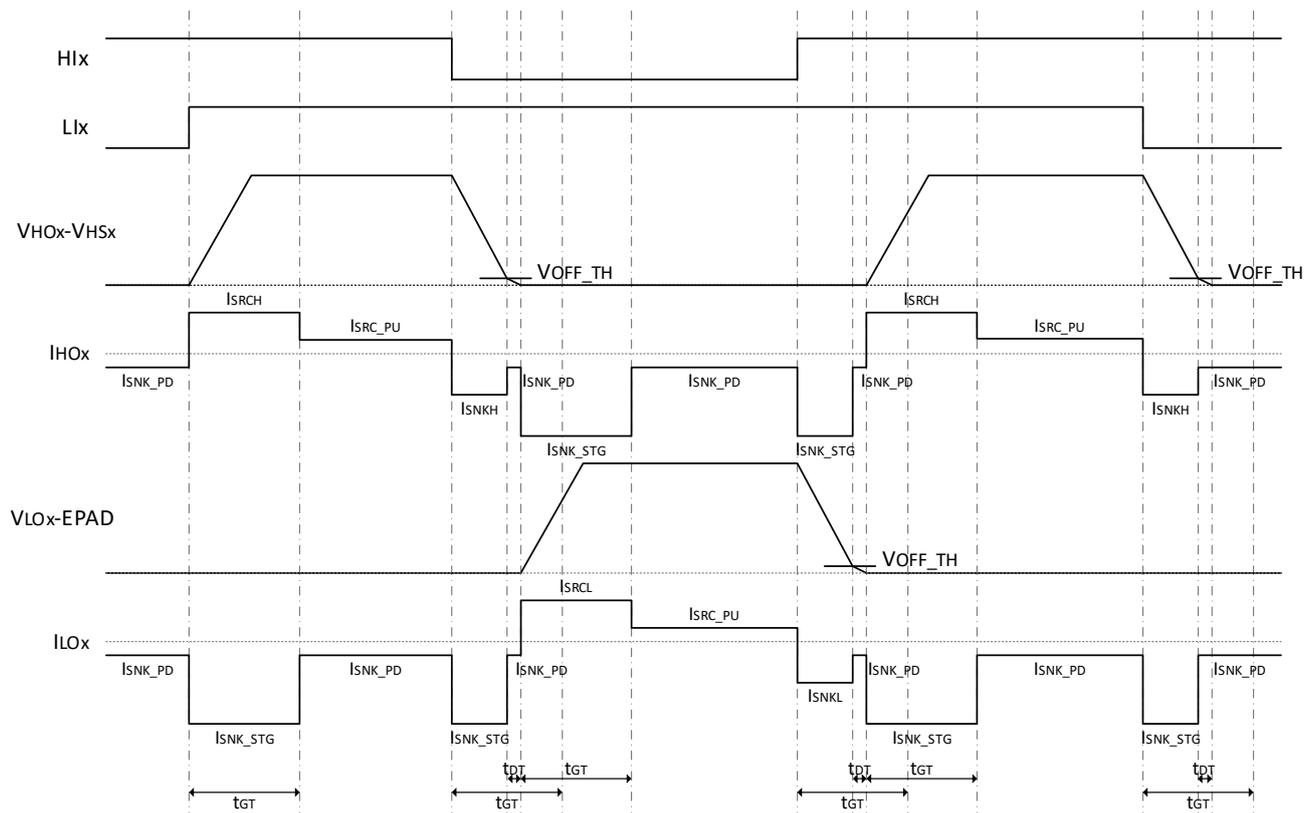


Figure 6.4-6 3相PWMモードのゲートドライブタイミング

6.5 センシングブロック

6.5.1 概要

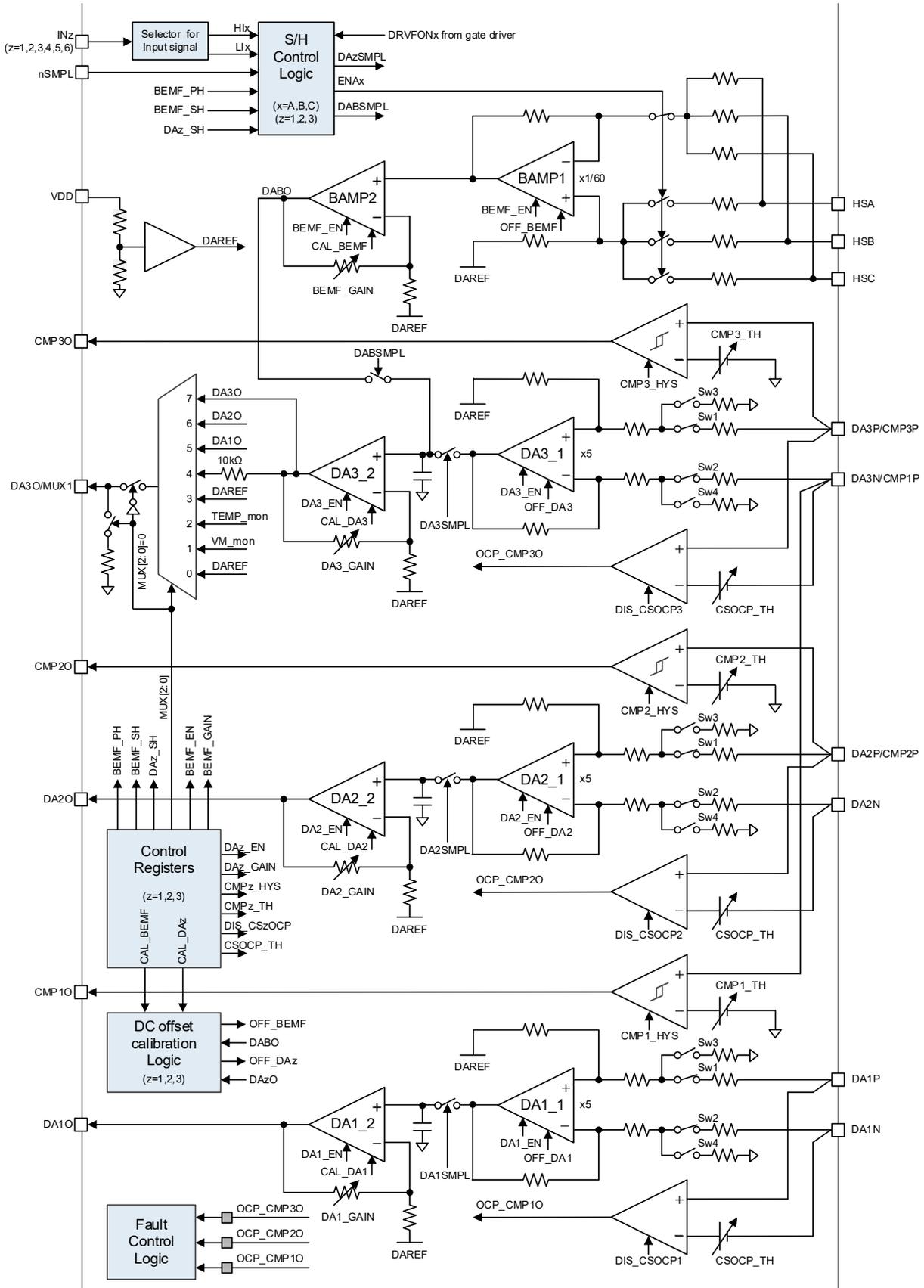


Figure 6.5-1 センシングブロックのブロック図

6.5.1 概要 (続き)

Figure 6.5-1 にセンシングブロックのブロック図を示します。Smart Gate Driver はセンシングブロックとして差動プログラマブル・ゲイン・アンプを 3ch, 汎用コンパレータを 3ch, 過電流検出用コンパレータを 3ch, BEMF 検出アンプ、およびアナログマルチプレクサを搭載しています。

差動アンプは、Low サイドの外付け MOSFET の GND 側にシャント抵抗を実装することで、最大 3 相の電流検出を個別に実施出来ます。

汎用コンパレータのコモンモード入力範囲は、0[V]~V_{DD} です。汎用コンパレータの入力は、DA2P (49Pin), DA3P (51Pin)、および DA3N (52Pin) です。これらの Pin の使用方法は接続を変更するだけで選択することが出来ます。

差動アンプと汎用コンパレータは、静止電流を減らすために IC Control 2 レジスタ (ICCTL2) の DAz_EN ビットまたは、Sense Block Control 3 レジスタ (SNSCTL3) 、および Sense Block Control 4 レジスタ (SNSCTL4) の CMPz_VTH (z = 1, 2, 3) ビットの設定により、個別に無効にすることが出来ます。

過電流検出用コンパレータは、各差動アンプの入力を継続的にモニタします。過電流の閾値 (V_{CSOCP}) は、IC Control 1 レジスタ (ICCTL1) の CSOCP_TH ビットによって選択出来ます。

BEMF (Back Electromotive Force) の検出は、2 つの高精度アンプによって実現します。一段目の差動アンプは、ハイインピーダンス相と仮想中点間の差電圧を出力します。ハイインピーダンス相の選択方法は、nSMPL 信号の立下りエッジでゲートドライバの入力信号より自動選択, CMP10/20 端子、または CMP10/30 端子への入力より指定出来ます。二段目のプログラマブル・ゲイン・アンプは、BEMF 検出による位置検出に適した出力範囲を調整出来ます。BEMF 検出出力は、DA30 / MUX1 端子 (57Pin) のアナログマルチプレクサを介してモニタ出来ます。

アナログマルチプレクサは、VM 電圧, Smart Gate Driver の温度情報を Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットを設定することで出力させることが出来ます。

6.5.2 差動アンプ

差動アンプには、下記の機能があります。

Enable Control :

各差動アンプは、アプリケーションに応じて、IC Control 2 レジスタの DAz_EN = "0b" (z = 1, 2, 3) ビットの設定で無効にすることが出来ます。

Programmable Gain :

差動アンプのゲインは、Sense Block Control 1 レジスタ (SNSCTL1) の DAz_GAIN (z = 1, 2, 3) ビットによって設定可能です。ゲインの設定は、5[V/V], 10[V/V], 20[V/V], 40[V/V]です。

Reference :

差動アンプの出力リファレンス電圧は、 $0.5 * V_{DD}$ です。

サンプルホールド (S/H) function :

S/H 機能は、Sense Block Control 2 レジスタ (SNSCTL2) の DAz_SH (z = 1, 2, 3) ビットを"1b"に設定することで有効の設定を個別に選択出来ます。3ch の差動アンプ出力は、nSMPL 信号 = "L"の間に同時にサンプリングされます。この機能は、3 シャントの電流検出に便利な機能です。Figure 6.5-2 を参照してください。

Note : DA30 の出力は、Sense Block Control 5 レジスタ (SNSCTL5) の MUX[2:0]ビットと IC Control 2 レジスタ (ICCTL2) の BEMF_EN ビットによって制御されます。BEMF_EN ビットに"1b"が設定されている場合、BEMF 検出アンプ出力との競合を避ける為、差動アンプ 3 の S/H スイッチは、OFF の状態を保持します。BEMF_EN ビットに"0b"が設定されている時、差動アンプ 3 の出力は、MUX[2:0] = "100b"または、"111b"でモニタすることが出来ます。詳細は、6.5.5 を参照してください。

DC offset calibration :

DC offset calibration は、デバイスのパワーオン時に自動的に実行されます。また、Sense Block Control 4 レジスタ (SNSCTL4) の CAL_DAz (z = 1, 2, 3) ビットを設定することによって開始することも出来ます。SNSCTL4 レジスタの CAL_CONN ビットが"0b"に設定されている場合、Sw1 と Sw2 をターンオフ、Sw3 と Sw4 をターンオン (差動アンプの入力を GND と接続)、DAz_GAIN (z = 1, 2, 3) ビットに応じたゲイン設定、および auto-zero ルーチンを実行してアンプの入力オフセットを最小化します。CAL_CONN ビットが"1b"に設定されている場合、Sw1 と Sw2 はターンオン (差動アンプ入力を外部シャントに接続) の状態でキャリブレーションを実行します。

Note : レジスタ設定により DC offset calibration を開始する場合、各アンプを個別にキャリブレーションすることが出来ます。各アンプのキャリブレーションが終了するまでに約 288[μ s]かかります。実際のアプリケーションでは一つのアンプあたり 400[μ s]の時間を考慮することを推奨します。また、その都度、レジスタ設定でキャリブレーションを実行出来ます。が、ノイズによるキャリブレーション精度への影響を避けるため、MOSFET がスイッチング動作していない状態、および全てのドライバ出力が Low の状態でキャリブレーションを実行することを推奨します。

6.5.2 差動アンプ (続き)

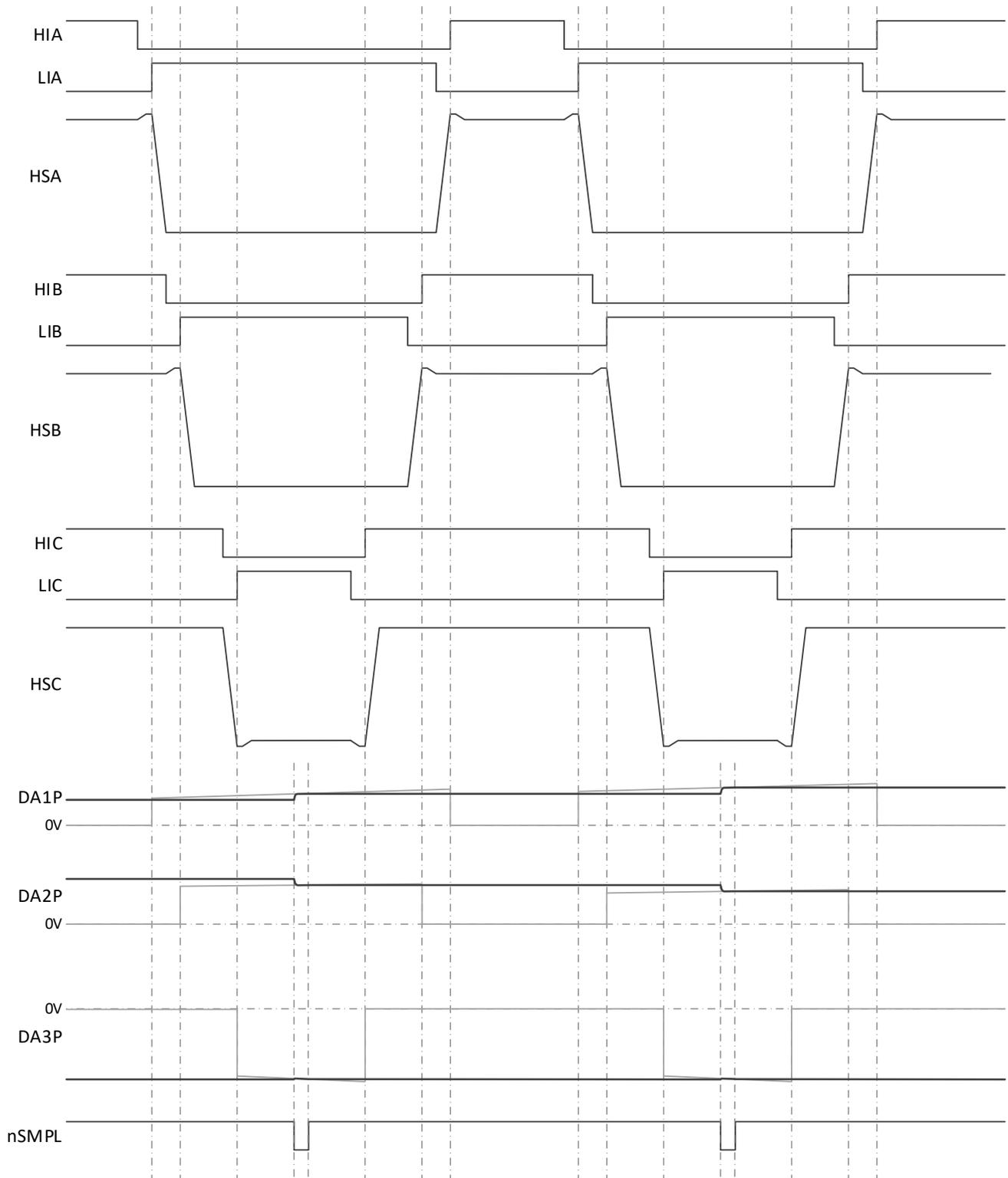


Figure 6.5-2 電流検出の S/H function

Note : 灰色のラインが DAzP (z = 1, 2, 3) 信号です。

黒色のラインは DAzP (z = 1, 2, 3) 信号を nSMPL 信号でサンプリングを行った仮想信号です。

6.5.3 BEMF 検出アンプ

BEMF 検出アンプには、下記の機能が有ります。

Enable Control :

BEMF 検出アンプは、アプリケーションに応じて、IC Control 2 レジスタ (ICCTL2) の BEMF_EN ビットに"0b"を設定することで無効化可能です。

Programmable Gain :

BEMF 検出アンプのゲインは、Sense Block Control 1 レジスタ (SNSCTL1) の BEMF_GAIN ビットで設定可能です。ゲイン設定は、SNSCTL1 レジスタの DA3_GAIN = "00b"の時 0.05[V/V], 0.1[V/V], 0.5[V/V], 1.0[V/V] です。

Reference :

BEMF 検出アンプのリファレンス出力電圧は、 $0.5 \times V_{DD}$ です。

High Impedance Phase selection :

BLDC の台形波駆動制御において、2 相のブリッジだけ特定の時間で通電されます。3 番目の相は、ハイインピーダンスの状態 (High サイドと Low サイドの両方の MOSFET がターンオフ) になります。このハイインピーダンス相と仮想中点間の差電圧を検出することによって、3 番目の相の固定子コイルで誘導された BEMF を測定します。これにより 3 番目の相に対応するロータ位置を推定可能です。Smart Gate Driver は、Sense Block Control 2 レジスタ (SNSCTL2) の BEMF_PH ビットに応じたハイインピーダンス相の選択として 3 つの方法をサポートしています。BEMF_PH ビットに"00xb"が設定されている場合、S/H 制御ロジックで Hlx / Llx (x = A, B, C) 信号の状態を確認することによって 3 番目の相を検出可能です。確認のタイミングは、nSMPL 信号の立下りエッジになります。BEMF_PH ビットに"010b"または、"011b"が設定されている場合、CMP10/20 端子、あるいは CMP10/30 端子を相選択入力端子として 3 番目の相は選択されます。BEMF_PH ビットに"1xxb"が設定されている場合、直接 BEMF_PH1/0 のビット状態に基づいて 3 番目の相は選択されます。これらの機能は、外付け回路を追加せず BLDC センサレス台形波駆動制御を実現するために役に立ちます。**Figure 6.5-3**、および **6.7.15** を参照してください。

サンプルホールド (S/H) function :

BEMF 検出アンプには、S/H 機能もあります。S/H 用コンデンサとバッファは、差動アンプ 3 で共通使用します。S/H スイッチは、IC Control 2 レジスタ (ICCTL2) の BEMF_EN ビットが"1b"に設定されている場合だけ有効になります。S/H スイッチの実際のターンオンのタイミングは、リングングなどを含む他の電圧遷移が終了した後、実行する必要があります。それは、Hlx / Llx (x = A, B, C) 信号の立ち上がりエッジに対して妥当な遅延の後、オンする必要があるということです。遅延時間は、LS_ON (または、High サイドの HSx (x = A, B, C) のターンオン遷移時は HS_ON) が High になるのを待機し、ゲートドライバ遷移時間 tGT が付加された時間で実行されます。S/H スイッチの実際のターンオフのタイミングは、IC 内部のロジック信号のゲート OFF の立下りエッジ (Hlx / Llx (x = A, B, C) 信号の立下りエッジの直後に発生) になります。これによりホールド特性がターンオフの遷移の影響を受けません。

S/H スイッチの ON / OFF のタイミングは、nSMPL 信号で調整出来ます。S/H スイッチは、nSMPL = High の間 OFF を保持します。IC 内部の S/H 遅延時間後、遷移が残る可能性が有る場合、nSMPL 信号によって S/H スイッチのターンオンタイミングの調整が必要です。**Figure 6.5-4** を参照してください。

DC offset calibration :

DC offset calibration は、IC Control 2 レジスタ (ICCTL2) の BEMF_EN = "1b"の設定と共に Sense Block Control 4 レジスタ (SNSCTL4) の CAL_DA3/BEMF ビットを設定することで開始されます。キャリブレーション相は、Sense Block Control 2 レジスタ (SNSCTL2) の CAL_BCONN ビットと BEMF_PH ビットの組み合わせで選択します。DC offset calibration は、auto-zero ルーチンを実行してアンプの入力オフセットを最小化します。

Note : レジスタ設定でキャリブレーションを開始する場合、キャリブレーションが終了するまでに約 288[μ s]かかります。実際のアプリケーションではキャリブレーション時間として 400[μ s]の時間を考慮することを推奨します。また、その都度、レジスタ設定でキャリブレーションを実行出来ます。が、BEMF 電圧の入力を回避する為、モータは停止状態でキャリブレーションを実行する必要があります。

6.5.3 BEMF 検出アンプ (続き)

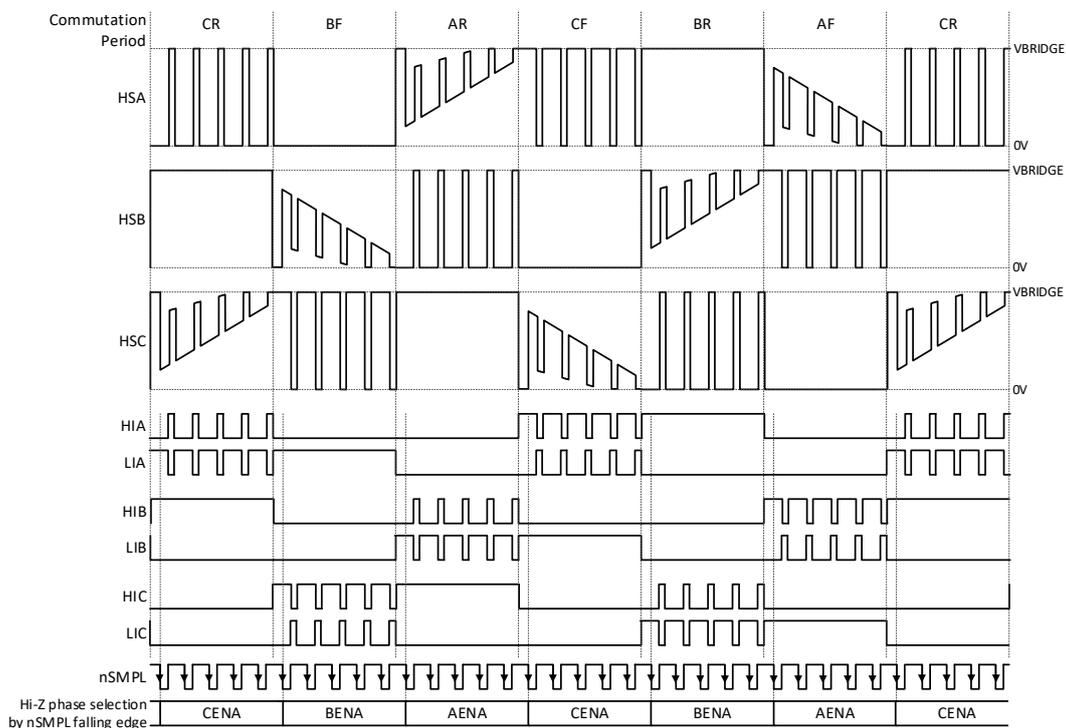


Figure 6.5-3 代表的な6ステップにおける台形駆動とBEMF検出位相の関係

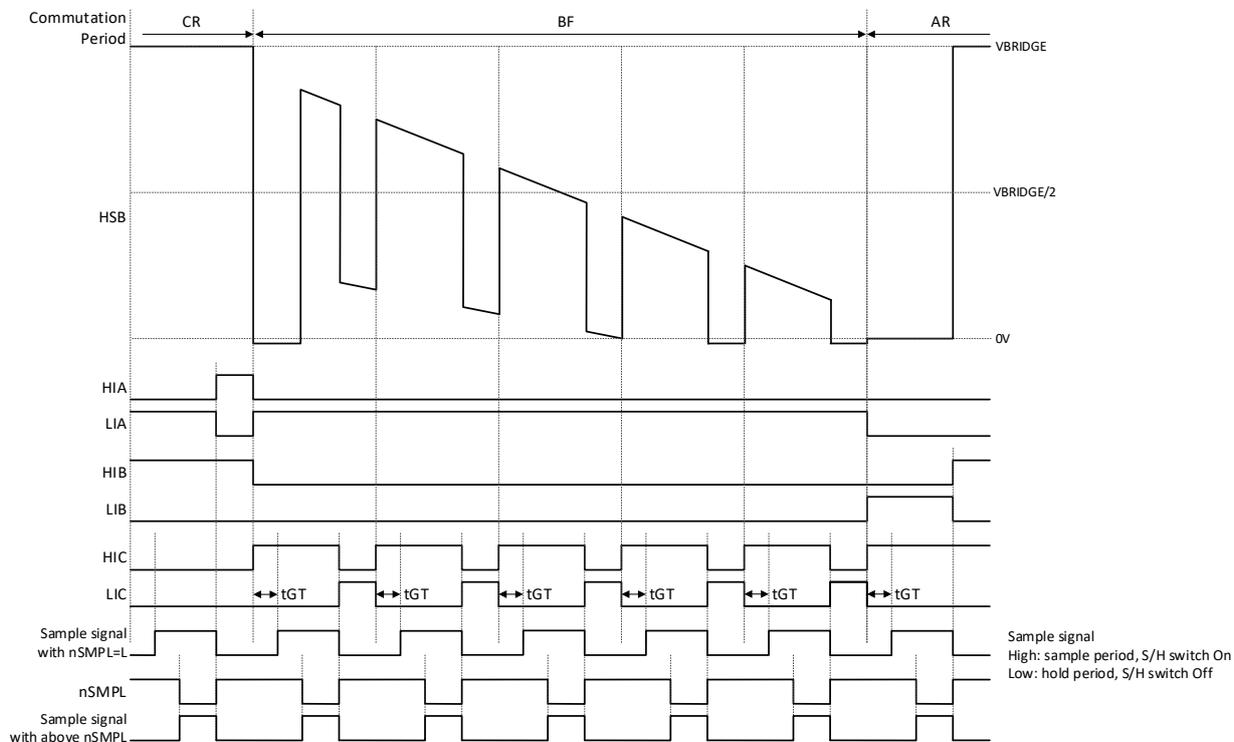


Figure 6.5-4 BF区間のコミュニケーション内のS/Hタイミング

6.5.4 汎用コンパレータ

汎用コンパレータには、下記の機能が有ります。

Enable Control :

各コンパレータは、アプリケーションに応じて、Sense Block Control 3 レジスタ (SNSCTL3) 、および Sense Block Control 4 レジスタ (SNSCTL4) の CMPz_VTH (z = 1, 2, 3) ビットを"0000b"に設定することによって、無効にすることが出来ます。

Programmable Threshold voltage and Hysteresis :

汎用コンパレータの閾値電圧は、SNSCTL3、および SNSCTL4 レジスタの CMPz_VTH (z = 1, 2, 3) ビットで個別に設定出来ます。ヒステリシス電圧を含む閾値設定は、下記の式になります。

- Falling : $V_{TH_CMP} = V_{DD} / 16 * CMPz_VTH - 44[mV] * (1 - CMPz_HYS)$
- Rising : $V_{TH_CMP} = V_{DD} / 16 * CMPz_VTH + 44[mV] * (1 - CMPz_HYS)$

Pin usage limitation :

汎用コンパレータ入力は、差動アンプ入力と共通の入力 Pin を使用しています。全ての差動アンプを使用する場合は、汎用コンパレータは、差動アンプ入力と同じ入力になっている時だけ使用出来ます。

6.5.5 MUX1 出力制御

DA30 / MUX1 端子には、アナログマルチプレクサ機能があります。Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに応じて、以下のアナログ信号をモニタ出来ます。DA30 / MUX1 端子出力、または BEMF_EN ビットを切り換えた後、DA30 / MUX1 端子出力のセトリングタイム確保の為、4[μs]以上待つ必要が有ります。

- MUX = "000b" : GND (330[kΩ] プルダウン)
- MUX = "001b" : VM モニタ電圧
- MUX = "010b" : Smart Gate Driver ジャンクシオン温度モニタ電圧
- MUX = "011b" : 差動アンプリファレンス電圧
- MUX = "100b", BEMF_EN = "0b" : 差動アンプ 3 出力 (10[kΩ]有り)
- MUX = "100b", BEMF_EN = "1b" : BEMF 検出アンプ出力 (10[kΩ]有り)
- MUX = "101b" : 差動アンプ 1 出力
- MUX = "110b" : 差動アンプ 2 出力
- MUX = "111b", BEMF_EN = "0b" : 差動アンプ 3 出力 (10[kΩ]無し)
- MUX = "111b", BEMF_EN = "1b" : BEMF 検出アンプ出力 (10[kΩ]無し)

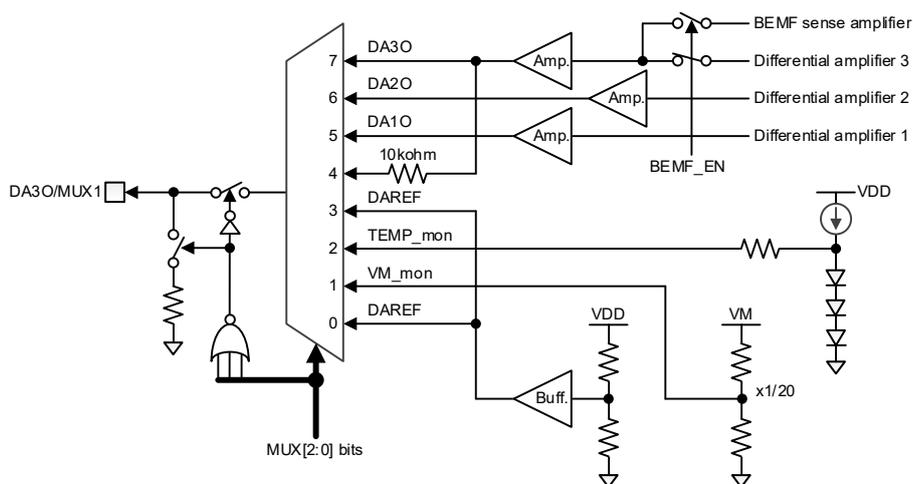


Figure 6.5-5 DA30 / MUX1 端子用アナログマルチプレクサのブロック図

6.5.6 VM モニタ

VM の分圧後の電圧の出力は、Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットを"001b"に設定することでモニタ出来ます。このモニタ電圧 (DA30 / MUX1 端子) と VM 電圧の関係を **Figure 6.5-6** に示します。

VM 電圧とモニタ電圧の比率 (RVM) は、20.0 (typ.) になります。

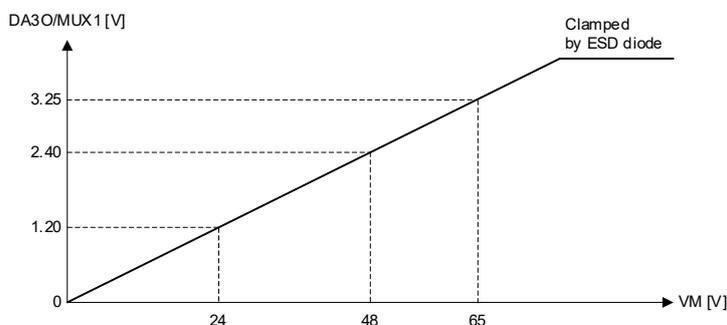


Figure 6.5-6 DA30 / MUX1 と VM 電圧の関係

6.5.7 ジャンクション温度モニタ

Smart Gate Driver のジャンクション温度は、Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットを"010b"に設定することでモニタ出来ます。

モニタ電圧 (DA30 / MUX1 端子) とジャンクション温度の関係を **Figure 6.5-7** に示します。

ジャンクション温度 (T_j) は、下記の式で算出出来ます。

- $T_j[^\circ\text{C}] = +25[^\circ\text{C}] + (2.000 - \text{MUX1 voltage}) [\text{V}] / 6.0[\text{mV}/^\circ\text{C}]$
(例) MUX1 voltage = 1.520[V]の時:
- $T_j[^\circ\text{C}] = +25[^\circ\text{C}] + (2.000 - 1.520) [\text{V}] / 6.0[\text{mV}/^\circ\text{C}] = +105[^\circ\text{C}]$

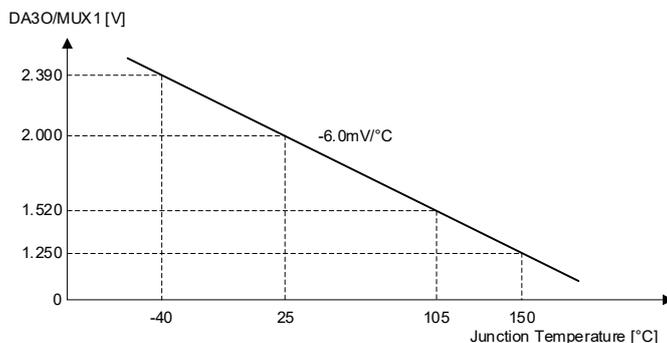


Figure 6.5-7 DA30 / MUX1 とジャンクション温度との関係

6.6 SPI 通信フォーマット

Smart Gate Driver の SPI ブロックは、スレーブモードとして動作します。Figure 6.6-1 に Write / Read の両方のモードの SPI 通信フォーマットを示します。もし、通信フォーマットが Figure 6.6-1 と異なる場合、その通信は、無効になります。

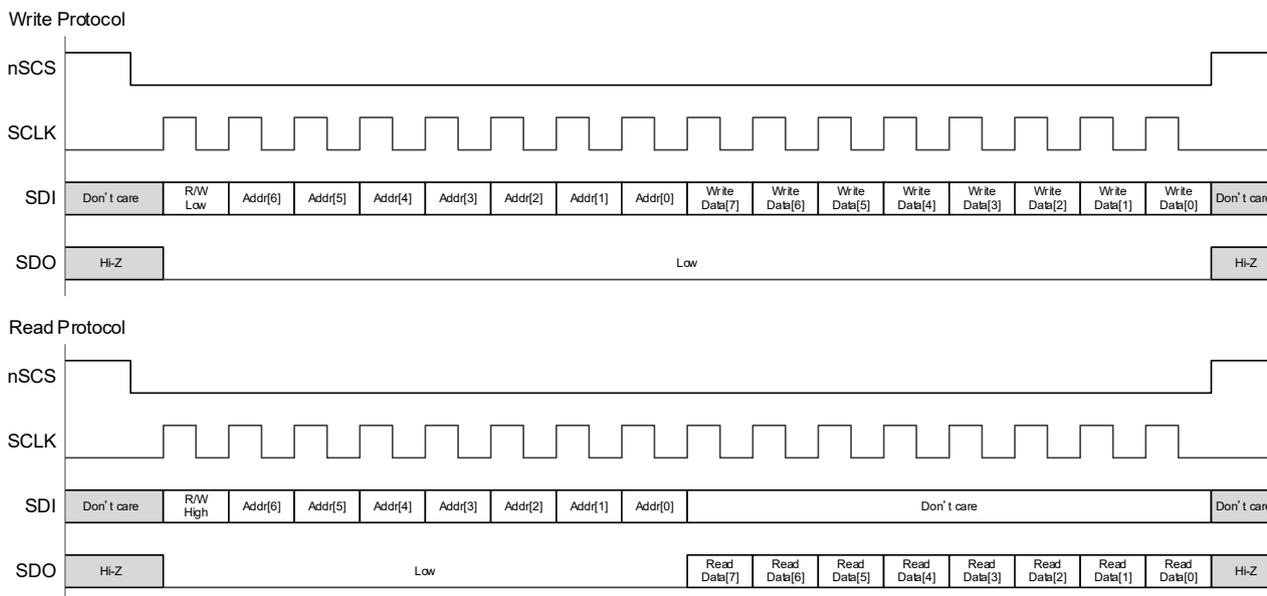


Figure 6.6-1 SPI 通信フォーマット

6.7 Control Register 情報

Table 6-7 に Smart Gate Driver のレジスタマップを示します。Control Register は、Sleep Mode または、Shutdown Mode に移行するとリセットされます。6.1.3 の動作モードの遷移フローを参照してください。

Table 6-7 レジスタマップ

Address	Register Name	Symbol	Access Type	Initial value	7	6	5	4	3	2	1	0
0x00	Fault Status 0	FLTSTS0	R	00h	FAULT	SR_FAULT	OV_LVLO	VDS_OCP	VGS_FAULT	CS_OCP	OTSD	TWARN
0x01	Fault Status 1	FLTSTS1	R	00h	VDRV_LVJ	VDRV_OV	SR_OCP	VCP_LVJ	VM_LVJ	VM_OV	N/A	N/A
0x02	Fault Status 2	FLTSTS2	R	00h	VDSHA_OCP	VDSL_A_OCP	VGSHA_FAULT	VGSLA_FAULT	VDSHB_OCP	VDSL_B_OCP	VGSHB_FAULT	VGSLB_FAULT
0x03	Fault Status 3	FLTSTS3	R	00h	VDSHC_OCP	VDSL_C_OCP	VGSHC_FAULT	VGSLC_FAULT	N/A	CS1_OCP	CS2_OCP	CS3_OCP
0x04	Fault Control 1	FLTCTL1	R/W	00h	DIS_VDRVLVJ	DIS_VDRVOV	DIS_SROC	DIS_VCPVJ	DIS_VMLVJ	DIS_VMOV	DIS_OTSD	TWARN_REP
0x05	Fault Control 2	FLTCTL2	R/W	07h	CSOCP_MODE1	CSOCP_MODE0	VDSOCP_MODE1	VDSOCP_MODE0	DIS_VGSFLT	DIS_CS1OCP	DIS_CS2OCP	DIS_CS3OCP
0x06	IC Control 1	ICCTL1	R/W	35h	CLR_FLT	WRITE_LOCK2	WRITE_LOCK1	WRITE_LOCK0	PWMODE	CSOCP_TH2	CSOCP_TH1	CSOCP_TH0
0x07	IC Control 2	ICCTL2	R/W	50h	DEAD_TIME1	DEAD_TIME0	T_GT1	T_GT0	BEMF_EN	DA1_EN	DA2_EN	DA3_EN
0x08	Gate Driver Control	GDCCTL	R/W	FFh	ISRC_HS3	ISRC_HS2	ISRC_HS1	ISRC_HS0	ISRC_LS3	ISRC_LS2	ISRC_LS1	ISRC_LS0
0x09	Over Current Protection Control	OCPCTL	R/W	00h	VDS_TH3	VDS_TH2	VDS_TH1	VDS_TH0	TRETRY_CSOC	TRETRY_VDSOCP	DEG_TIME1	DEG_TIME0
0x0A	Phase-A Gate Driver Input Selection	GDSELA	R/W	14h	CMP1_HYS	HOA_SEL2	HOA_SEL1	HOA_SEL0	VMUV_TH	LOA_SEL2	LOA_SEL1	LOA_SEL0
0x0B	Phase-B Gate Driver Input Selection	GDSELB	R/W	25h	CMP2_HYS	HOB_SEL2	HOB_SEL1	HOB_SEL0	PDMODE	LOB_SEL2	LOB_SEL1	LOB_SEL0
0x0C	Phase-C Gate Driver Input Selection	GDSELC	R/W	36h	CMP3_HYS	HOC_SEL2	HOC_SEL1	HOC_SEL0	CPUV_TH	LOC_SEL2	LOC_SEL1	LOC_SEL0
0x0D	Sense Block Control 1	SNSCTL1	R/W	AAh	BEMF_GAIN1	BEMF_GAIN0	DA1_GAIN1	DA1_GAIN0	DA2_GAIN1	DA2_GAIN0	DA3_GAIN1	DA3_GAIN0
0x0E	Sense Block Control 2	SNSCTL2	R/W	00h	CAL_BCONN	BEMF_PH2	BEMF_PH1	BEMF_PH0	BEMF_SH	DA1_SH	DA2_SH	DA3_SH
0x0F	Sense Block Control 3	SNSCTL3	R/W	88h	CMP1_VTH3	CMP1_VTH2	CMP1_VTH1	CMP1_VTH0	CMP2_VTH3	CMP2_VTH2	CMP2_VTH1	CMP2_VTH0
0x10	Sense Block Control 4	SNSCTL4	R/W	80h	CMP3_VTH3	CMP3_VTH2	CMP3_VTH1	CMP3_VTH0	CAL_CONN	CAL_DA1	CAL_DA2	CAL_DA3/BEMF
0x11	Sense Block Control 5	SNSCTL5	R/W	00h	DIS_SADT	RESERVED11_6	CTL6_UNLOCK	RESERVED11_4	RESERVED11_3	MUX2	MUX1	MUX0
0x12	Sense Block Control 6	SNSCTL6	R/W	40h	RESERVED12_7	BEMF_OFFSET	RESERVED12_5	RESERVED12_4	RESERVED12_3	RESERVED12_2	RESERVED12_1	GD_AOR

6.7.1 Fault Status 0 レジスタ : FLTSTS0 アドレス = 00h : [初期値 = 00h]

Figure 6.7-1、および Table 6.7-1 に Fault Status 0 レジスタの詳細を示します。

Figure 6.7-1 Fault Status 0 レジスタ : FLTSTS0 の構成

7	6	5	4	3	2	1	0
FAULT	SR_FAULT	OV_UVLO	VDS_OCP	VGS_FAULT	CS_OCP	OTSD	TWARN
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

Table 6.7-1 Fault Status 0 レジスタ : FLTSTS0 の説明

Bit	Field	Type	Default	Description
7	FAULT	R	0b	全てのFault Statusビットの論理和
6	SR_FAULT	R	0b	降圧スイッチングレギュレータのFault Statusビット (VDRV_UV, VDRV_OV, SR_OCP) の論理和
5	OV_UVLO	R	0b	チャージポンプの電圧降下用のFault Statusビット (VCP_UV) と、VMの電圧降下、および過電圧のFault Statusビット (VM_UV, VM_OV) の論理和
4	VDS_OCP	R	0b	MOSFETのVds過電流のFault Statusビット (VDSHx_OCP, VDSLx_OCP (x = A, B, C)) の論理和
3	VGS_FAULT	R	0b	MOSFETのVgs異常のFault Statusビット (VGSx_FAULT, VGSx_FAULT (x = A, B, C)) の論理和
2	CS_OCP	R	0b	シャント抵抗の過電流検出のFault Statusビット (CSz_OCP (z = 1, 2, 3)) の論理和
1	OTSD	R	0b	サーマルシャットダウン (Tsd) のインジケータ
0	TWARN	R	0b	サーマルワーニング (TWARN) のインジケータ

Note1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

6.7.2 Fault Status 1 レジスタ : FLTSTS1 アドレス = 01h : [初期値 = 00h]

Figure 6.7-2、および Table 6.7-2 に Fault Status 1 レジスタの詳細を示します。

Figure 6.7-2 Fault Status 1 レジスタ : FLTSTS1 の構成

7	6	5	4	3	2	1	0
VDRV_UV	VDRV_OV	SR_OCP	VCP_UV	VM_UV	VM_OV	N/A	N/A
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

Table 6.7-2 Fault Status 1 レジスタ : FLTSTS1 の説明

Bit	Field	Type	Default	Description
7	VDRV_UV	R	0b	VDRV電圧降下 (VDRVUV) のインジケータ
6	VDRV_OV	R	0b	VDRV過電圧 (VDRVov) のインジケータ
5	SR_OCP	R	0b	降圧スイッチングレギュレータの過電流 (Ioc2_SR) のインジケータ
4	VCP_UV	R	0b	チャージポンプ電圧降下 (VCPuv) のインジケータ
3	VM_UV	R	0b	VM電圧降下 (VMuv) のインジケータ
2	VM_OV	R	0b	VM過電圧 (VMov) のインジケータ
1	N/A	R	0b	Not assigned
0	N/A	R	0b	Not assigned

Note1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

6.7.3 Fault Status 2 レジスタ : FLTSTS2 アドレス = 02h : [初期値 = 00h]

Figure 6.7-3、および Table 6.7-3 に Fault Status 2 レジスタの詳細を示します。

Figure 6.7-3 Fault Status 2 レジスタ : FLTSTS2 の構成

7	6	5	4	3	2	1	0
VDSHA_OCP	VDSL_A_OCP	VGSHA_FAULT	VGSLA_FAULT	VDSHB_OCP	VDSL_B_OCP	VGSHB_FAULT	VGSLB_FAULT
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

Table 6.7-3 Fault Status 2 レジスタ : FLTSTS2 の説明

Bit	Field	Type	Default	Description
7	VDSHA_OCP	R	0b	A相HighサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
6	VDSL_A_OCP	R	0b	A相LowサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
5	VGSHA_FAULT	R	0b	A相HighサイドMOSFETのV _{GS} 異常のインジケータ
4	VGSLA_FAULT	R	0b	A相LowサイドMOSFETのV _{GS} 異常のインジケータ
3	VDSHB_OCP	R	0b	B相HighサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
2	VDSL_B_OCP	R	0b	B相LowサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
1	VGSHB_FAULT	R	0b	B相HighサイドMOSFETのV _{GS} 異常のインジケータ
0	VGSLB_FAULT	R	0b	B相LowサイドMOSFETのV _{GS} 異常のインジケータ

Note1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

6.7.4 Fault Status 3 レジスタ : FLTSTS3 アドレス = 03h : [初期値 = 00h]

Figure 6.7-4、および Table 6.7-4 に Fault Status 3 レジスタの詳細を示します。

Figure 6.7-4 Fault Status 3 レジスタ : FLTSTS3 の構成

7	6	5	4	3	2	1	0
VDSHC_OCP	VDSL_C_OCP	VGSHC_FAULT	VGSLC_FAULT	N/A	CS1_OCP	CS2_OCP	CS3_OCP
R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b	R:0b

Table 6.7-4 Fault Status 3 レジスタ : FLTSTS3 の説明

Bit	Field	Type	Default	Description
7	VDSHC_OCP	R	0b	C相HighサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
6	VDSL_C_OCP	R	0b	C相LowサイドMOSFETのV _{DS} 過電流 (V _{DSOCP}) のインジケータ
5	VGSHC_FAULT	R	0b	C相HighサイドMOSFETのV _{GS} 異常のインジケータ
0	VGSLC_FAULT	R	0b	C相LowサイドMOSFETのV _{GS} 異常のインジケータ
3	N/A	R	0b	Not Assigned
2	CS1_OCP	R	0b	DA1P, DA1Nへの差動入力に対するシャント抵抗の過電流検出 (V _{CSOCP}) のインジケータ
1	CS2_OCP	R	0b	DA2P, DA2Nへの差動入力に対するシャント抵抗の過電流検出 (V _{CSOCP}) のインジケータ
0	CS3_OCP	R	0b	DA3P, DA3Nへの差動入力に対するシャント抵抗の過電流検出 (V _{CSOCP}) のインジケータ

Note1 : Fault status レジスタは、ICCTL1 レジスタの CLR_FLT ビットに“1b”を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することでリセットされます。

6.7.5 Fault Control 1 レジスタ : FLTCTL1

アドレス = 04h : [初期値 = 00h]

Figure 6.7-5、および Table 6.7-5 に Fault Control 1 レジスタの詳細を示します。

Figure 6.7-5 Fault Control 1 レジスタ : FLTCTL1 の構成

7	6	5	4	3	2	1	0
DIS_VDRVUV	DIS_VDRVOV	DIS_SROC	DIS_VCPUV	DIS_VMUUV	DIS_VMOV	DIS_OTSD	TWARN_REP
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

Table 6.7-5 Fault Control 1 レジスタ : FLTCTL1 の説明

Bit	Field	Type	Default	Description
7	DIS_VDRVUV	R/W	0b	"1b"の書き込みでVDRV電圧降下 (V _{DRVUV}) の検出は通知のみ実行
6	DIS_VDRVOV	R/W	0b	"1b"の書き込みでVDRV過電圧 (V _{DRVOV}) の検出は通知のみ実行
5	DIS_SROC	R/W	0b	"1b"の書き込みで降圧スイッチングレギュレータ過電流 (I _{OC2_SR}) の検出は通知のみ実行
4	DIS_VCPUV	R/W	0b	"1b"の書き込みでVCP電圧降下 (V _{CPUV}) の検出は通知のみ実行
3	DIS_VMUUV	R/W	0b	"1b"の書き込みでVM電圧降下 (V _{MUUV}) の検出は通知のみ実行
2	DIS_VMOV	R/W	0b	"1b"の書き込みでVM過電圧 (V _{Mov}) の検出は通知のみ実行
1	DIS_OTSD	R/W	0b	"1b"の書き込みでサーマルシャットダウン (T _{SD}) の検出は通知のみ実行
0	TWARN_REP	R/W	0b	"0b": サーマルワーニング (T _{WARN}) はT _{WARN} ビットでの通知のみを実行 "1b": サーマルワーニング (T _{WARN}) はT _{WARN} ビット、およびnFAULTでの通知を実行

6.7.6 Fault Control 2 レジスタ : FLTCTL2

アドレス = 05h : [初期値 = 07h]

Figure 6.7-6、および Table 6.7-6 に Fault Control 2 レジスタの詳細を示します。

Figure 6.7-6 Fault Control 2 レジスタ : FLTCTL2 の構成

7	6	5	4	3	2	1	0
CSOCP_MODE1	CSOCP_MODE0	VDSOCP_MODE1	VDSOCP_MODE0	DIS_VGSFLT	DIS_CS1OCP	DIS_CS2OCP	DIS_CS3OCP
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 1b

Table 6.7-6 Fault Control 2 レジスタ : FLTCTL2 の説明

Bit	Field	Type	Default	Description
7	CSOCP_MODE1	R/W	0b	シャント抵抗の過電流 (V _{CSOCP}) を検出した際の動作モード設定 00b : Latched Shutdown モード ^{Note2} (異常検出後、解除するまで保護動作を継続) 01b : Automatic Retryモード (異常検出後、保護動作を実行するが、保護動作は時間経過で解除) 10b : Report Onlyモード (異常検出のみ有効) 11b : Disabledモード (異常検出は無効)
6	CSOCP_MODE0	R/W	0b	
5	VDSOCP_MODE1	R/W	0b	MOSFETのV _{DS} 過電流 (V _{DSOCP}) を検出した際の動作モード設定 00b : Latched Shutdown モード ^{Note2} (異常検出後、解除するまで保護動作を継続) 01b : Automatic Retryモード (異常検出後、保護動作を実行するが、保護動作は時間経過で解除) 10b : Report Onlyモード (異常検出のみ有効) 11b : Disabledモード (異常検出は無効)
4	VDSOCP_MODE0	R/W	0b	
3	DIS_VGSFLT	R/W	0b	"1b"の書き込みでMOSFETのV _{GS} 異常の検出を無効
2	DIS_CS1OCP	R/W	1b	"1b"の書き込みでDA1P, DA1Nへの差動入力に対するシャント抵抗の過電流 (V _{CSOCP}) の検出を無効
1	DIS_CS2OCP	R/W	1b	"1b"の書き込みでDA2P, DA2Nへの差動入力に対するシャント抵抗の過電流 (V _{CSOCP}) の検出を無効
0	DIS_CS3OCP	R/W	1b	"1b"の書き込みでDA3P, DA3Nへの差動入力に対するシャント抵抗の過電流 (V _{CSOCP}) の検出を無効

Note2 : Latched Shutdown モードの保護動作は、ICCTL1 レジスタの CLR_FLT ビットに"1b"を設定、または EN 端子に復帰用 Low パルス (>tsleep : 0.85[ms]) の入力することで解除されます。

6.7.7 IC Control 1 レジスタ : ICCTL1 アドレス = 06h : [初期値 = 35h]

Figure 6.7-7、および Table 6.7-7 に IC Control 1 レジスタの詳細を示します。

Figure 6.7-7 IC Control 1 レジスタ : ICCTL1 の構成

7	6	5	4	3	2	1	0
CLR_FLT	WRITE_LOCK2	WRITE_LOCK1	WRITE_LOCK0	PWMMODE	CSOCP_TH2	CSOCP_TH1	CSOCP_TH0
R/W : 0b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b

Table 6.7-7 IC Control 1 レジスタ : ICCTL1 の説明

Bit	Field	Type	Default	Description
7	CLR_FLT	R/W	0b	"1b"の書き込みで全てのfault statusレジスタのフラグビットをクリアを実行 このビットは自動的に"0b"にクリアされます。
6	WRITE_LOCK2	R/W	0b	"110b"の書き込みでロック状態になり、WRITE_LOCKビット以外への書き込みを禁止 "011b"の書き込みでロック状態を解除し、レジスタへの書き込みを許可 本ビットへの他のビットパターンの書き込みは無効となり、書き込み前の値を保持する
5	WRITE_LOCK1	R/W	1b	
4	WRITE_LOCK0	R/W	1b	
3	PWMMODE	R/W	0b	ゲートドライバ制御モード 0b : 3相 H/LIモード, 1b : 3相PWMモード
2	CSOCP_TH2	R/W	1b	DAzP, DAzN (z = 1, 2, 3) 入力によるシャント抵抗の過電流 (V _{CSOCP}) の検出閾値電圧設定 000b : 51[mV], 001b : 105[mV], 010b : 157[mV], 011b : 208[mV], 100b : 260[mV], 101b : 516[mV], 110b : 773[mV], 111b : 1029[mV]
1	CSOCP_TH1	R/W	0b	
0	CSOCP_TH0	R/W	1b	

6.7.8 IC Control 2 レジスタ : ICCTL2 アドレス = 07h : [初期値 = 50h]

Figure 6.7-8、および Table 6.7-8 に IC Control 2 レジスタの詳細を示します。

Figure 6.7-8 IC Control 2 レジスタ : ICCTL2 の構成

7	6	5	4	3	2	1	0
DEAD_TIME1	DEAD_TIME0	T_GT1	T_GT0	BEMF_EN	DA1_EN	DA2_EN	DA3_EN
R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

Table 6.7-8 IC Control 2 レジスタ : ICCTL2 の説明

Bit	Field	Type	Default	Description
7	DEAD_TIME1	R/W	0b	アダプティブデッドタイム制御のエクストラデッドタイム (t _{tr}) の設定 00b : 50[ns], 01b : 100[ns], 10b : 200[ns], 11b : 400[ns]
6	DEAD_TIME0	R/W	1b	
5	T_GT1	R/W	0b	アダプティブデッドタイム制御の最大ゲート遷移時間 (t _{GT}) の設定 00b : 500[ns], 01b : 1000[ns], 10b : 2000[ns], 11b : 4000[ns]
4	T_GT0	R/W	1b	
3	BEMF_EN	R/W	0b	"1b"の書き込みでBEMF検出アンプが有効
2	DA1_EN	R/W	0b	"1b"の書き込みで差動アンプ1が有効
1	DA2_EN	R/W	0b	"1b"の書き込みで差動アンプ2が有効
0	DA3_EN	R/W	0b	"1b"の書き込みで差動アンプ3が有効

6.7.9 Gate Drive Control レジスタ : GDCTL アドレス = 08h : [初期値 = FFh]

Figure 6.7-9、および Table 6.7-9 に Gate Drive Control レジスタの詳細を示します。

Figure 6.7-9 Gate Drive Control レジスタ : GDCTL の構成

7	6	5	4	3	2	1	0
ISRC_HS3	ISRC_HS2	ISRC_HS1	ISRC_HS0	ISRC_LS3	ISRC_LS2	ISRC_LS1	ISRC_LS0
R/W : 1b							

Table 6.7-9 Gate Drive Control レジスタ : GDCTL の説明

Bit	Field	Type	Default	Description
7	ISRC_HS3	R/W	1b	Highサイドゲートドライバ出力のソース電流設定 (シンク電流設定は、ソース電流の2倍です。) 0000b : 50[mA], 0001b : 60[mA], 0010b : 70[mA], 0011b : 80[mA], 0100b : 100[mA], 0101b : 120[mA], 0110b : 140[mA], 0111b : 160[mA], 1000b : 200[mA], 1001b : 240[mA], 1010b : 280[mA], 1011b : 320[mA], 1100b : 400[mA], 1101b : 480[mA], 1110b : 560[mA], 1111b : 640[mA]
6	ISRC_HS2	R/W	1b	
5	ISRC_HS1	R/W	1b	
4	ISRC_HS0	R/W	1b	
3	ISRC_LS3	R/W	1b	Lowサイドゲートドライバ出力のソース電流設定 (シンク電流設定は、ソース電流の2倍です。) 0000b : 50[mA], 0001b : 60[mA], 0010b : 70[mA], 0011b : 80[mA], 0100b : 100[mA], 0101b : 120[mA], 0110b : 140[mA], 0111b : 160[mA], 1000b : 200[mA], 1001b : 240[mA], 1010b : 280[mA], 1011b : 320[mA], 1100b : 400[mA], 1101b : 480[mA], 1110b : 560[mA], 1111b : 640[mA]
2	ISRC_LS2	R/W	1b	
1	ISRC_LS1	R/W	1b	
0	ISRC_LS0	R/W	1b	

6.7.10 Overcurrent Protection Control レジスタ : OCPCTL アドレス = 09h : [初期値 = 00h]

Figure 6.7-10、および Table 6.7-10 に Overcurrent Protection Control レジスタの詳細を示します。

Figure 6.7-10 Overcurrent Protection Control レジスタ : OCPCTL の構成

7	6	5	4	3	2	1	0
VDS_TH3	VDS_TH2	VDS_TH1	VDS_TH0	TRETRY_CSOC	TRETRY_VDSOC	DEG_TIME1	DEG_TIME0
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b				

Table 6.7-10 Overcurrent Protection Control レジスタ : OCPCTL の説明

Bit	Field	Type	Default	Description
7	VDS_TH3	R/W	0b	Vds過電流 (Vdsoc) の検出閾値電圧設定 0000b : 40[mV], 0001b : 60[mV], 0010b : 80[mV], 0011b : 120[mV], 0100b : 160[mV], 0101b : 200[mV], 0110b : 240[mV], 0111b : 320[mV], 1000b : 400[mV], 1001b : 480[mV], 1010b : 600[mV], 1011b : 720[mV], 1100b : 960[mV], 1101b : 1200[mV], 1110b : 1600[mV], 1111b : 2000[mV]
6	VDS_TH2	R/W	0b	
5	VDS_TH1	R/W	0b	
4	VDS_TH0	R/W	0b	
3	TRETRY_CSOC	R/W	0b	CSOC_MODEが"01b" (Automatic Retryモード) の場合、シャント抵抗の過電流 (Vcsoc) の検出後、動作停止から自動再開までの待ち時間設定 0b : 4000[μs], 1b : 70[μs]
2	TRETRY_VDSOC	R/W	0b	VDSOC_MODEが"01b" (Automatic Retryモード) の場合、MOSFETのVds過電流 (Vdsoc) の検出後、動作停止から自動再開までの待ち時間設定 0b : 4000[μs], 1b : 70[μs]
1	DEG_TIME1	R/W	0b	シャント抵抗の過電流 (Vcsoc) の検出、およびVds過電流 (Vdsoc) の検出の判定時間設定 00b : 1.57[μs], 01b : 2.38[μs], 10b : 3.49[μs], 11b : 5.73[μs]
0	DEG_TIME0	R/W	0b	

6.7.11 Phase-A Gate Driver Input Selection レジスタ : GDSELA アドレス = 0Ah : [初期値 = 14h]

Figure 6.7-11、および Table 6.7-11 に Phase-A Gate Driver Input Selection レジスタを示します。

Figure 6.7-11 Phase-A Gate Driver Input Selection レジスタ : GDSELA の構成

7	6	5	4	3	2	1	0
CMP1_HYS	HOA_SEL2	HOA_SEL1	HOA_SEL0	VMUV_TH	LOA_SEL2	LOA_SEL1	LOA_SEL0
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b

Table 6.7-11 Phase-A Gate Driver Input Selection レジスタ : GDSELA の説明

Bit	Field	Type	Default	Description
7	CMP1_HYS	R/W	0b	コンパレータ1のヒステリシスの設定 0b : +/-44[mV], 1b : 0[mV]
6	HOA_SEL2	R/W	0b	A相のHighサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
5	HOA_SEL1	R/W	0b	
4	HOA_SEL0	R/W	1b	
3	VMUV_TH	R/W	0b	VM電圧降下 (V _{MUV}) の閾値電圧設定 0b : VM < 5.3[V], 1b : VM < 7.5[V]
2	LOA_SEL2	R/W	1b	A相のLowサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
1	LOA_SEL1	R/W	0b	
0	LOA_SEL0	R/W	0b	

Note3 : HO_x_SEL、または LO_x_SEL ビット (x = A, B, C) に"111b"が設定された場合、ゲートドライバのソース / シンク電流はオフ (Hi-Z) になります。

6.7.12 Phase-B Gate Driver Input Selection レジスタ : GDSELB アドレス = 0Bh : [初期値 = 25h]

Figure 6.7-12、および Table 6.7-12 に Phase-B Gate Driver Input Selection レジスタを示します。

Figure 6.7-12 Phase-B Gate Driver Input Selection レジスタ : GDSELB の構成

7	6	5	4	3	2	1	0
CMP2_HYS	HOB_SEL2	HOB_SEL1	HOB_SEL0	PDMODE	LOB_SEL2	LOB_SEL1	LOB_SEL0
R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b

Table 6.7-12 Phase-B Gate Driver Input Selection レジスタ : GDSELB の説明

Bit	Field	Type	Default	Description
7	CMP2_HYS	R/W	0b	コンパレータ2のヒステリシスの設定 0b : +/-44[mV], 1b : 0[mV]
6	HOB_SEL2	R/W	0b	B相のHighサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
5	HOB_SEL1	R/W	1b	
4	HOB_SEL0	R/W	0b	
3	PDMODE	R/W	0b	シャント抵抗の過電流 (V _{CSOCP}) の検出、およびV _{BS} 過電流 (V _{BSOCP}) の検出後のゲートドライバ出力 0b : Hi-Zプルダウン出力, 1b : Low出力
2	LOB_SEL2	R/W	1b	B相のLowサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
1	LOB_SEL1	R/W	0b	
0	LOB_SEL0	R/W	1b	

Note3 : HO_x_SEL、または LO_x_SEL ビット (x = A, B, C) に"111b"が設定された場合、ゲートドライバのソース / シンク電流はオフ (Hi-Z) になります。

6.7.13 Phase-C Gate Driver Input Selection レジスタ : GDSELC アドレス = 0Ch : [初期値 = 36h]

Figure 6.7-13、および Table 6.7-13 に Phase-C Gate Driver Input Selection レジスタを示します。

Figure 6.7-13 Phase-C Gate Driver Input Selection レジスタ : GDSELC の構成

7	6	5	4	3	2	1	0
CMP3_HYS	HOC_SEL2	HOC_SEL1	HOC_SEL0	CPUV_TH	LOC_SEL2	LOC_SEL1	LOC_SEL0
R/W : 0b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 1b	R/W : 0b

Table 6.7-13 Phase-C Gate Driver Input Selection レジスタ : GDSELC の説明

Bit	Field	Type	Default	Description
7	CMP3_HYS	R/W	0b	コンパレータ3のヒステリシスの設定 0b : +/-44[mV], 1b : 0[mV]
6	HOC_SEL2	R/W	0b	C相のHighサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
5	HOC_SEL1	R/W	1b	
4	HOC_SEL0	R/W	1b	
3	CPUV_TH	R/W	0b	チャージポンプ電圧降下 (V _{CPUV}) の閾値設定 0b : VCP < 0.58 * VDRV, 1b : VCP < 0.8 * VDRV
2	LOC_SEL2	R/W	1b	C相のLowサイドゲートドライバの入力選択 ^{Note3} 000b : Lo fix, 001b : IN1, 010b : IN2, 011b : IN3, 100b : IN4, 101b : IN5, 110b : IN6, 111b : Hi-Z
1	LOC_SEL1	R/W	1b	
0	LOC_SEL0	R/W	0b	

Note3 : HO_x_SEL、または LO_x_SEL ビット (x = A, B, C) に"111b"が設定された場合、ゲートドライバのソース / シンク電流はオフ (Hi-Z) になります。

6.7.14 Sense Block Control 1 レジスタ : SNSCTL1 アドレス = 0Dh : [初期値 = AAh]

Figure 6.7-14、および Table 6.7-14 に Sense Block Control 1 レジスタを示します。

Figure 6.7-14 Sense Block Control 1 レジスタ : SNSCTL1 の構成

7	6	5	4	3	2	1	0
BEMF_GAIN1	BEMF_GAIN0	DA1_GAIN1	DA1_GAIN0	DA2_GAIN1	DA2_GAIN0	DA3_GAIN1	DA3_GAIN0
R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 1b	R/W : 0b

Table 6.7-14 Sense Block Control 1 レジスタ : SNSCTL1 の説明

Bit	Field	Type	Default	Description
7	BEMF_GAIN1	R/W	1b	BEMF検出アンプのゲインの設定 (DA3_GAINが"00b"の場合) 00b : 0.05[V/V], 01b : 0.1[V/V], 10b : 0.5[V/V], 11b : 1.0[V/V]
6	BEMF_GAIN0	R/W	0b	
5	DA1_GAIN1	R/W	1b	差動アンプ1のゲイン設定 00b : 5[V/V], 01b : 10[V/V], 10b : 20[V/V], 11b : 40[V/V]
4	DA1_GAIN0	R/W	0b	
3	DA2_GAIN1	R/W	1b	差動アンプ2のゲイン設定 00b : 5[V/V], 01b : 10[V/V], 10b : 20[V/V], 11b : 40[V/V]
2	DA2_GAIN0	R/W	0b	
1	DA3_GAIN1	R/W	1b	差動アンプ3のゲイン設定 00b : 5[V/V], 01b : 10[V/V], 10b : 20[V/V], 11b : 40[V/V]
0	DA3_GAIN0	R/W	0b	

6.7.15 Sense Block Control 2 レジスタ : SNSCTL2 アドレス = 0Eh : [初期値 = 00h]

Figure 6.7-15、および Table 6.7-15 に Sense Block Control 2 レジスタを示します。

Figure 6.7-15 Sense Block Control 2 レジスタ : SNSCTL2 の構成

7	6	5	4	3	2	1	0
CAL_BCONN	BEMF_PH2	BEMF_PH1	BEMF_PH0	BEMF_SH	DA1_SH	DA2_SH	DA3_SH
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

Table 6.7-15 Sense Block Control 2 レジスタ : SNSCTL2 の説明

Bit	Field	Type	Default	Description
7	CAL_BCONN	R/W	0b	BEMF検出アンプのDCオフセットキャリブレーション中の入力選択 0b : アンプ入力は、BEMF検出アンプのリファレンス電圧 (DAREF) に接続 1b : アンプ入力は、BEMF_PHビットによって選択された相に接続
6	BEMF_PH2	R/W	0b	BEMF検出アンプの検出相設定 ^{Note4} 00xb : nSMPLの立下りエッジごとにゲートドライバの入力信号から自動的に選択。 010b : CMP10端子、およびCMP20端子によって選択。
5	BEMF_PH1	R/W	0b	(CMP10, CMP20) = (Low, Low) : 未選択, (Low, High) : A相, (High, Low) : B相, (High, High) : C相 011b : CMP10端子、およびCMP30端子によって選択。
4	BEMF_PH0	R/W	0b	(CMP10, CMP30) = (Low, Low) : 未選択, (Low, High) : A相, (High, Low) : B相, (High, High) : C相 100b : 未選択, 101b : A相, 110b : B相, 111b : C相
3	BEMF_SH	R/W	0b	BEMF検出アンプ1のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : t _{GT} 後、nSMPL信号 = Low、およびPWMONの間サンプリングを実行
2	DA1_SH	R/W	0b	差動アンプ1のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : nSMPL信号がLowの間サンプリング実行
1	DA2_SH	R/W	0b	差動アンプ2のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : nSMPL信号がLowの間サンプリング実行
0	DA3_SH	R/W	0b	差動アンプ3のサンプルホールド制御設定 ^{Note4} 0b : サンプリングを継続, 1b : nSMPL信号がLowの間サンプリング実行

Note4 : BEMF 検出アンプと電流検出アンプの詳細説明を参照してください。

6.7.16 Sense Block Control 3 レジスタ : SNSCTL3 アドレス = 0Fh : [初期値 = 88h]

Figure 6.7-16、および Table 6.7-16 に Sense Block Control 3 レジスタを示します。

Figure 6.7-16 Sense Block Control 3 レジスタ : SNSCTL3 の構成

7	6	5	4	3	2	1	0
CMP1_VTH3	CMP1_VTH2	CMP1_VTH1	CMP1_VTH0	CMP2_VTH3	CMP2_VTH2	CMP2_VTH1	CMP2_VTH0
R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b

Table 6.7-16 Sense Block Control 3 レジスタ : SNSCTL3 の説明

Bit	Field	Type	Default	Description
7	CMP1_VTH3	R/W	1b	コンパレータ1の閾値電圧設定 0000b : 無効, 0001b~1111b : 閾値電圧 = VDD / 16 x CMP1_VTH
6	CMP1_VTH2	R/W	0b	
5	CMP1_VTH1	R/W	0b	
4	CMP1_VTH0	R/W	0b	
3	CMP2_VTH3	R/W	1b	コンパレータ2の閾値電圧設定 0000b : 無効, 0001b~1111b : 閾値電圧 = VDD / 16 x CMP2_VTH
2	CMP2_VTH2	R/W	0b	
1	CMP2_VTH1	R/W	0b	
0	CMP2_VTH0	R/W	0b	

6.7.17 Sense Block Control 4 レジスタ : SNSCTL4 アドレス = 10h : [初期値 = 80h]

Figure 6.7-17、および Table 6.7-17 に Sense Block Control 4 レジスタを示します。

Figure 6.7-17 Sense Block Control 4 レジスタ : SNSCTL4 の構成

7	6	5	4	3	2	1	0
CMP3_VTH3	CMP3_VTH2	CMP3_VTH1	CMP3_VTH0	CAL_CONN	CAL_DA1	CAL_DA2	CAL_DA3/BEMF
R/W : 1b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

Table 6.7-17 Sense Block Control 4 レジスタ : SNSCTL4 の説明

Bit	Field	Type	Default	Description
7	CMP3_VTH3	R/W	1b	コンパレータ3の閾値電圧設定 0000b : 無効, 0001b~1111b : 閾値電圧 = VDD / 16 x CMP3_VTH
6	CMP3_VTH2	R/W	0b	
5	CMP3_VTH1	R/W	0b	
4	CMP3_VTH0	R/W	0b	
3	CAL_CONN	R/W	0b	差動アンプのDCオフセットキャリブレーション中の入力選択。 0b : 差動アンプの入力は、内部スイッチにより短絡 1b : 差動アンプの入力は、外付けシャントに接続
2	CAL_DA1	R/W	0b	"1b"の書き込みで差動アンプ1のDCオフセットキャリブレーションを実行 キャリブレーションの完了後、このビットは、自動的に"0b"に変化
1	CAL_DA2	R/W	0b	"1b"の書き込みで差動アンプ2のDCオフセットキャリブレーションを実行 キャリブレーションの完了後、このビットは、自動的に"0b"に変化
0	CAL_DA3/BEMF	R/W	0b	BEMF検出アンプが無効 (BEMF_ENビット = "0b") の場合、"1b"の書き込みで差動アンプ3の DCオフセットキャリブレーションを実行 BEMF検出アンプが有効 (BEMF_ENビット = "1b") の場合、"1b"の書き込みでBEMF検出アンプの DCオフセットキャリブレーションを実行 キャリブレーションの完了後、このビットは、自動的に"0b"に変化

6.7.18 Sense Block Control 5 レジスタ : SNSCTL5 アドレス = 11h : [初期値 = 00h]

Figure 6.7-18、および Table 6.7-18 に Sense Block Control 5 レジスタを示します。

Figure 6.7-18 Sense Block Control 5 レジスタ : SNSCTL5 の構成

7	6	5	4	3	2	1	0
DIS_SADT	RESERVED11_6	CTL6_UNLOCK	RESERVED11_4	RESERVED11_3	MUX2	MUX1	MUX0
R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b	R/W : 0b

Table 6.7-18 Sense Block Control 5 レジスタ : SNSCTL5 の説明

Bit	Field	Type	Default	Description
7	DIS_SADT	R/W	0b	"1b"の書き込みでアダプティブデッドタイム制御を無効。
6	RESERVED11_6	R/W	0b	予約ビットです。必ず"0b"を設定してください。
5	CTL6_UNLOCK	R/W	0b	0b : SNSCTL6 レジスタは書き込みロック状態になり、SNSCTL6 レジスタへの書き込みは無効 1b : SNSCTL6 レジスタの書き込みロック状態が解除され、SNSCTL6 レジスタの書き込みは有効
4	RESERVED11_4	R/W	0b	予約ビットです。必ず"0b"を設定してください。
3	RESERVED11_3	R/W	0b	予約ビットです。必ず"0b"を設定してください。
2	MUX2	R/W	0b	DA30/MUX1端子の出力を選択 000b : GND (プルダウン : 330[kΩ]) 001b : VM モニタ電圧 010b : ジャンクション温度モニタ電圧 011b : 差動アンプリファレンス電圧
1	MUX1	R/W	0b	BEMF_ENビット = "0b" の場合 100b : 差動アンプ3出力 (10[kΩ]有り) 111b : 差動アンプ3出力 (10[kΩ]無し) BEMF_ENビット = "1b" の場合
0	MUX0	R/W	0b	101b : 差動アンプ1出力 110b : 差動アンプ2出力 100b : BEMF検出アンプ出力 (10[kΩ]有り) 111b : BEMF検出アンプ出力 (10[kΩ]無し)

6.7.19 Sense Block Control 6 レジスタ : SNSCTL6 アドレス = 12h : [初期値 = 40h]

Figure 6.7-19、および Table 6.7-19 に Sense Block Control 6 レジスタを示します。
SNSCTL6 レジスタの書き込みを許可するためには CTL6_UNLOCK ビットに"1b"を設定してください。
SNSCTL6 レジスタ書き込み後は、CTL6_UNLOCK ビットに"0b"を設定してください。

Figure 6.7-19 Sense Block Control 6 レジスタ : SNSCTL6 の構成

7	6	5	4	3	2	1	0
RESERVED12_7	BEMF_OFFSET	RESERVED12_5	RESERVED12_4	RESERVED12_3	RESERVED12_2	RESERVED12_1	GD_AOR
R/W: 0b	R/W: 1b	R/W: 0b	R/W: 0b				

Table 6.7-19 Sense Block Control 6 レジスタ : SNSCTL6 の説明

Bit	Field	Type	Default	Description
7	RESERVED12_7	R/W	0b	予約ビットです。必ず"0b"を設定してください。
6	BEMF_OFFSET	R/W	1b	BEMF検出アンプDCオフセットのデータ選択 0b: キャリブレーションデータが有効, 1b: 出荷試験によるトリミングデータが有効 BEMF 検出アンプの DC オフセットキャリブレーションを行った場合、自動的に "0b" になります。
5	RESERVED12_5	R/W	0b	予約ビットです。必ず"0b"を設定してください。
4	RESERVED12_4	R/W	0b	予約ビットです。必ず"0b"を設定してください。
3	RESERVED12_3	R/W	0b	予約ビットです。必ず"0b"を設定してください。
2	RESERVED12_2	R/W	0b	予約ビットです。必ず"0b"を設定してください。
1	RESERVED12_1	R/W	0b	予約ビットです。必ず"0b"を設定してください。
0	GD_AOR	R/W	0b	"1b" を書き込むと、ゲートドライバロジックのアクティブオーバーライドモードが有効になります。

7 MCUの説明

7.1 特徴

本製品に搭載している MCU は、RL78/G1F (R5F11BLEGFB) です。RL78/G1F には下記の特徴がありません。

超低消費電力テクノロジー

- VDD_MCU 端子電圧 = 3.135~5.25[V]
本製品では、VDD 端子の推奨動作電圧範囲に制限されます。
- 3 種類の低消費電力モード (HALT モード, STOP モード, SNOOZE モード)

RL78 CPU コア

- 3 段パイプラインの CISC アーキテクチャ
- 最小命令実行時間 : 高速オンチップ・オシレータ・クロックによる高速 (0.03125[μ s] : 32[MHz]動作時) から低速 (1[μ s] : 1[MHz]動作時) までを変更可能
- 乗除・積和演算命令対応
- アドレス空間 : 1[MB]
- 汎用レジスタ : 8 ビット・レジスタ x 8 x 4 バンク
- 内蔵 RAM : 5.5[KB]

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ : 64[KB]
- ブロック・サイズ : 1[KB]
- ブロック消去禁止, 書き換え禁止 (セキュリティ機能)
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング : ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ : 4[KB]
- バックグラウンド・オペレーション (BGO) : データ・フラッシュ書き換え中に、プログラム・メモリ内の命令実行が可能
- 書き換え回数 : 1,000,000 回 (typ.)
- 書き換え電圧 : VDD_MCU = 3.135~5.25[V]

高速オンチップ・オシレータ

- 64 / 48 / 32 / 24 / 16 / 12 / 8 / 6 / 4 / 3 / 2 / 1[MHz]から選択
- 高精度 ± 1.0 [%] (VDD_MCU = 3.135~5.25[V], TA = -20~+85[$^{\circ}$ C])

動作周囲温度

- TA = -40~+105[$^{\circ}$ C]

電源管理とリセット機能

- パワーオン・リセット (POR) 回路内蔵
- 電圧検出 (LVD) 回路内蔵 (割り込み, リセットの検出レベルを変更可能)

データ・トランスファ・コントローラ (DTC)

- 転送モード : ノーマル転送モード, リピート転送モード, ブロック転送モード
- 起動要因 : 割り込み要因により起動
- チェーン転送機能あり

イベント・リンク・コントローラ (ELC)

- 21 種類のイベント信号を特定の周辺機能へリンク可能

7.1 特徴 (続き)

シリアル・インタフェース

- 簡易 SPI (CSI) : 3ch
- UART : 1ch
- I²C / 簡易 I²C : 2ch

タイマ

- 16 ビット・タイマ : 9ch
(タイマ・アレイ・ユニット (TAU) : 4ch, タイマ RJ : 1ch,
タイマ RD : 2ch (PWMOPA 付き, タイマ RD は内部接続専用), タイマ RG : 1ch, タイマ RX : 1ch)
- 12 ビット・インターバル・タイマ : 1ch
- リアルタイム・クロック : 1ch (定周期割り込み機能のみ使用可能)
- ウォッチドッグ・タイマ : 1ch (専用の低速オンチップ・オシレータ・クロックで動作可能)

A/D コンバータ

- 8/10 ビット分解能 A/D コンバータ
- アナログ入力 : 11ch
 - ANI0 - ANI5, ANI16, ANI17, ANI19 : 9ch (外部接続端子から入力可能)
 - ANI5, ANI6, ANI7 : 3ch (Smart Gate Driver の DAzP, DAzN 端子 (z = 1, 2, 3) より差動アンプを介して接続)

Note : ANI5 は外部接続端子と、Smart Gate Driver 経由の両方に対応。ただし、外部接続端子として使用する場合、内蔵プルダウン抵抗 (330[kΩ]) が接続されます。

- 内部基準電圧 (1.45[V]) と温度センサを搭載
- サンプルホールド機能 : 3ch
 - ANI5 - ANI7 : Smart Gate Driver に内蔵している差動アンプの機能

D/A コンバータ

- 8 ビット分解能 D/A コンバータ
- アナログ出力 : 2ch
- 出力電圧 : 0[V]~VDD_MCU 端子電圧
- リアルタイム出力機能を搭載

コンパレータ

- 2ch (1ch は端子セレクトを搭載)
- タイマ・アレイ・ユニットと連動するタイム・ウィンドウ出力機能を搭載
- 基準電圧は外部基準電圧と内部基準電圧の選択が可能

プログラマブル・ゲイン・アンプ (PGA)

- PGA : 1ch (MCU に内蔵, PGAI 端子入力, ゲインは x4, x8, x16, x32 が選択可能)
- 差動アンプ : 3ch (Smart Gate Driver に内蔵, DAzP, DAzN 端子 (z = 1, 2, 3) 差動入力, ゲインは x5, x10, x20, x40 が選択可能)

入出力ポート

- ポート : 29pins (I/O : 27pins, Input : 2pins)
 - N-ch オープン・ドレイン入出力 (6[V]耐圧) : 2pins
 - N-ch オープン・ドレイン入出力 (VDD_MCU 耐圧) : 5pins
- N-ch オープン・ドレイン, TTL 入力バッファ, 内蔵プルアップの切り替え可能
- キー割り込み機能内蔵
- クロック出力 / ブザー出力制御回路内蔵

7.1 特徴 (続き)

安全規格 IEC60730、および IEC61508 に対応する安全機能

- フラッシュ・メモリ CRC 演算機能 (高速 CRC, 汎用 CRC)
- RAM パリティ・エラー検出機能
- RAM ガード機能
- SFR ガード機能
- 不正メモリ・アクセス検出機能
- 周波数検出機能
- A/D テスト機能
- 入出力端子のデジタル出力信号レベル検出機能

その他

- 10 進補正 (BCD) 回路内蔵

詳細については、「**RL78/G1F ユーザーズマニュアル ハードウェア編 (R01UH0516JJ)**」を参照してください。

7.2 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) RESET 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット (POR) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路 (LVD) の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット (FFH の命令コードを実行)
- (6) RAM パリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、00000H, 00001H 番地に書かれてあるアドレスからプログラムの実行を開始します。

詳細については、「**RL78/G1F ユーザーズマニュアル ハードウェア編 (R01UH0516JJ)**」の**第 27 章リセット機能**を参照してください。

MCU がリセットされた後、本 IC の内部で Smart Gate Driver の EN 信号に接続された I/O ポートの P146 は、すぐにハイインピーダンスになります。EN 信号には、内部ブルダウン抵抗 (100[kΩ]) があるため、Smart Gate Driver は、Sleep Mode になります。**6.1.3 動作モードの遷移フロー**を参照してください。

7.3 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALT モード

HALT 命令の実行により、HALT モードとなります。HALT モードは、CPU の動作クロックを停止させるモードです。HALT モード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOP モードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOP モード

STOP 命令の実行により、STOP モードとなります。STOP モードは、高速システム・クロック発振回路、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPU の動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1 クロックの場合、STOP モード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときには HALT モードを選択してください。

(3) SNOOZE モード

CSI00, UART0 のデータ受信、タイマ・トリガ信号 (割り込み要求信号 (INTRTC/INTIT) または ELC イベント入力) による A/D 変換要求、DTC 起動要因により、STOP モードを解除し、CPU を動作させることなく CSI00, UART0 のデータ受信、A/D 変換、DTC 動作を行います。CPU / 周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

詳細については、「**RL78/G1F ユーザーズマニュアル ハードウェア編 (R01UH0516JJ)**」の**第 26 章スタンバイ機能**を参照してください。

本 IC は、RL78/G1F のこれら3種類のモード、Smart Gate Driver の動作モード、および Smart Gate Driver の各機能ブロックのイネーブル制御によって消費電力を最適化できます。

詳細については、**6.1 パワーオンシーケンスと機能モード**を参照してください。

7.4 ポート機能

I/O ポートは、デジタル入出力機能と周辺機能の入出力、または外部割り込み要求入力として機能します。各ポートは、内蔵周辺モジュールの入出力端子や、外部割り込み要求入力端子と兼用になっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/O ポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

詳細は、**Table 7.4-1 I/O ポートの仕様**を参照してください。**Table 7.4-1**に従って、外部接続用 I/O 端子だけでなく、未使用端子を含む IC の内部接続ポートの設定も必要です。

詳細については、「**RL78/G1F ユーザーズマニュアル ハードウェア編 (R01UH0516JJ)**」の**第4章ポート機能**を参照してください。

Table 7.4-1 I/O ポートの仕様

ポートシンボル	外部接続端子	端子数	内部接続端子 (Smart Gate Driverの端子)	注意事項	Note
PORT0	P00 - P04	5	—	—	
	—	—	P05 (nSCS)	Smart Gate Driverとの内部通信 (チップセレクト出力) のため、デジタル出力ポートに設定してください。	
	—	—	P06 (未接続)	デジタル出力ポートに設定してください。	
PORT1	—	—	P10 - P15 (IN6 - IN1)	Smart Gate DriverへのPWM信号の出力のため、タイマRDの機能を設定してください。	
	—	—	P16 (未接続)	デジタル出力ポートに設定してください。	
	P17	1	P17 (nSMPL)	Smart Gate Driverのサンプルホールド機能を使用する場合、デジタル出力ポートに設定してください。サンプルホールド機能を使用しない場合、MCUの外部接続端子として使用可能です。	1
PORT2	P20 - P24	5	—	—	
	P25	1	P25 (DA30)	Smart Gate Driverからの差動アンプ出力信号 (DA30) を入力に使用する場合は、アナログ入力ポートに設定してください。差動アンプ出力信号 (DA30) を使用しない場合、MCUの外部接続端子として使用可能です。	2
	—	—	P26 (DA20)	Smart Gate Driverの差動アンプ出力信号 (DA20) の入力のため、アナログ入力ポートに設定してください。	
	—	—	P27 (DA10)	Smart Gate Driverの差動アンプ出力信号 (DA10) の入力のため、アナログ入力ポートに設定してください。	
PORT3	—	—	P30 (SCLK)	Smart Gate Driverとの内部通信 (通信クロック出力) のため、シリアル・アレイ・ユニット (CSI00) のSCK00を設定してください。	
	P31	1	—	—	
PORT4	P40 - P43	4	—	—	
PORT5	—	—	P50 (SDO)	Smart Gate Driverとの内部通信 (データ入力) のため、シリアル・アレイ・ユニット (CSI00) のSI00を設定し、MCUの内蔵プルアップを設定してください。	
	—	—	P51 (SDI)	Smart Gate Driverとの内部通信 (データ出力) のため、シリアル・アレイ・ユニット (CSI00) のSO00を設定してください。	
	—	—	P52 (nFAULT)	Smart Gate Driverの異常状態確認用ポートとして使用します。デジタル入力ポート、または割り込み機能に設定し、MCUの内蔵プルアップを有効にしてください。	
	—	—	P55 - P53 (CMPz0 (z = 1, 2, 3))	Smart Gate Driverのコンパレータ機能を使用する場合は、デジタル入力ポート、または割り込み機能を設定してください。BEMFの検出相選択に使用する場合は、デジタル出力ポートを設定してください。	
PORT6	P60, P61	2	—	—	
	—	—	P62, P63 (未接続)	デジタル出力ポートに設定し、出力ラッチを"0b"に設定してください。	
PORT7	—	—	P70 - P72 (未接続)	デジタル出力ポートに設定してください。	
	P73 - P77	5	—	—	
PORT12	P120, P122	2	—	—	
	—	—	P121 (未接続)	P122に接続されています。ポート設定は不要です。	
	—	—	P123, P124 (未接続)	RESETに接続されています。ポート設定は不要です。	
PORT13	—	—	P130 (未接続)	出力専用端子です。ポート設定は不要です。	
	P137	1	—	—	
PORT14	P140, P141	2	—	—	
	—	—	P146 (EN)	Smart Gate Driver へのイネーブル入力のため、デジタル出力ポートに設定してください。	
	—	—	P147 (未接続)	デジタル出力ポートに設定してください。	
合計外部接続端子数		29			

Note1 : MCU の外部接続端子として使用する場合、Smart Gate Driver の Sense Block Control 2 レジスタ (SNSCTL2) の BEMF_SH ビット, DA1_SH ビット, DA2_SH ビット, DA3_SH ビットに"0b"を設定し、"サンプリングを継続"にしてください。

Note2 : MCU の外部接続端子として使用する場合、Smart Gate Driver の Sense Block Control 5 レジスタ (SNSCTL5) の MUX ビットに"000b"を設定し、アナログマルチプレクサの出力を GND (プルダウン : 330[kΩ]) にしてください。

7.5 シリアル・アレイ・ユニット

RL78/G1F は、2つのシリアル・アレイ・ユニットを持ちます。シリアル・アレイ・ユニット0は、1つのユニットに4つのシリアル・チャンネルを持ちます。シリアル・アレイ・ユニット1は、1つのユニットに2つのシリアル・チャンネルを持ちます。本ICは、シリアル・アレイ・ユニット1に対応したI/O端子が無いため、シリアル・アレイ・ユニット1を使用することができません。シリアル・チャンネルは、3つのモード（簡易SPI (CSI), UART, 簡易I²C）があります。3つのモードは、すべてシリアル・アレイ・ユニット0を利用して使用できます。

詳細は、**Table 7.5-1 各チャンネル機能割り当て一覧**を参照してください。

詳細については、「**RL78/G1F ユーザーズマニュアル ハードウェア編 (R01UH0516JJ)**」の**第19章シリアル・アレイ・ユニット**を参照してください。

Table 7.5-1 各チャンネル機能割り当て一覧

ユニット	チャンネル	簡易SPI (CSI) として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (内部通信専用)	UART0 (LIN-bus対応) (使用不可能)	IIC00 (使用不可能)
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11 (使用不可能)		IIC11 (使用不可能)
1	0	CSI20 (使用不可能)	UART2 (IrDA対応) (使用不可能)	IIC20 (使用不可能)
	1	CSI21 (使用不可能)		IIC21 (使用不可能)

Note1 : CSI00 は、RL78/G1F と Smart Gate Driver 間の通信に使用するため、外部通信インターフェースとして使用できません。

RL78/G1F の P51 (SO00), P50 (SI00)、および P30 (SCK00) は、本ICの内部で Smart Gate Driver に接続されています。RL78/G1F は、CSI00 によって Smart Gate Driver のレジスタにアクセスすることができます。

CSI00 を下記のように設定してください。

- スレーブセレクト入力機能 (SSI00 端子) を無効にするには、入力切り替え制御レジスタ (ISC) で SSIE00 = "0b" を設定する必要があります。

詳細については、「**RL78/G1F ユーザーズマニュアル ハードウェア編 (R01UH0516JJ)**」の**19.3.15**の入力切り替え制御レジスタ (ISC) を参照してください。

- CSI モードでのデータとクロックの位相選択のタイプ2を使用します。(シリアル通信動作設定レジスタ00 (SCR00) の DAP00 = "0b"、および CPK00 = "1b" を設定)

詳細については、「**RL78/G1F ユーザーズマニュアル ハードウェア編 (R01UH0516JJ)**」の**19.3.4**のシリアル通信動作設定レジスタ mn (SCRmn) を参照してください。

8 外付け回路

センサレスモータ制御 (BEMF 検出 & コンパレータ) の場合の外付け回路を **Figure 8-1** に示します。各外付け部品の推奨値を **Table 8-1** に示します。

コンデンサの実効容量は、DC バイアス特性により印加電圧に応じて公称値より低下します。製品の DC バイアス特性を確認の上、部品を選定してください。部品リスト例として弊社評価ボード (RTK0EML2J0D01021BJ) で使用しているコンデンサの実効容量を記載しています。

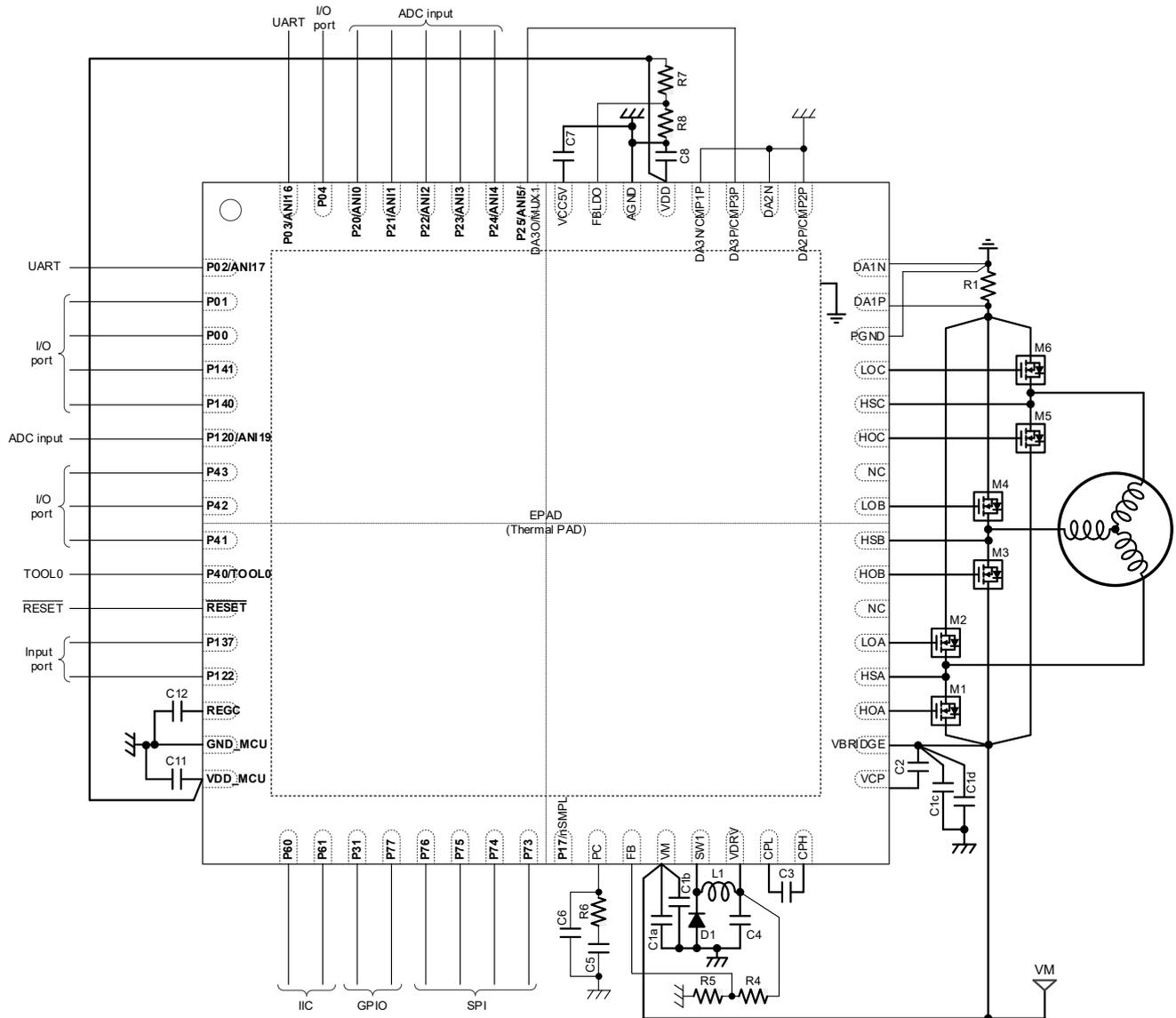


Figure 8-1 外付け回路例 – センサレスモータ制御 (BEMF 検出 & コンパレータ)

8 外付け回路 (続き)

Table 8-1 外付け部品表

Part No.	推奨値	実効容量値	定格	用途	Notes
R1	使用用途に依存	—	—	電流検出用シャント抵抗	
R4	48.7[kΩ]	—	—	VDRV出力電圧設定用ブリーダ抵抗	1
R5	3.48[kΩ]	—	—	VDRV出力電圧設定用ブリーダ抵抗	1
R6	60.4[kΩ]	—	—	降圧スイッチングレギュレータ用位相補償抵抗	4
R7	160[kΩ]	—	—	VDD出力電圧設定用ブリーダ抵抗	2
R8	91[kΩ]	—	—	VDD出力電圧設定用ブリーダ抵抗	2
C1a	3 * 4.7[μF]	2 * 5.45[μF]	100[V]	VM端子用バイパスコンデンサ	5
C1b	0.1[μF]	0.0379[μF]	100[V]	VM端子用バイパスコンデンサ	5
C1c	4.7[μF]	5.45[μF]	100[V]	VBRIDGE端子用バイパスコンデンサ	5
C1d	0.1[μF]	0.0379[μF]	100[V]	VBRIDGE端子用バイパスコンデンサ	5
C2	2.2[μF]	1.04[μF]	25[V]	チャージポンプ用出力コンデンサ	3
C3	0.22[μF]	0.183[μF]	100[V]	チャージポンプ用フライングコンデンサ	3
C4	10[μF]	4.36[μF]	25[V]	降圧スイッチングレギュレータ用 (VDRV端子用)	4
C5	2200[pF]	2190[pF]	10[V]	降圧スイッチングレギュレータの位相補償用コンデンサ	4
C6	DNP	DNP	10[V]	降圧スイッチングレギュレータの位相補償用コンデンサ	
C7	22[μF]	10.3[μF]	10[V]	リニアレギュレータの出力コンデンサ (VCC5V端子用)	
C8	22[μF]	10.3[μF]	10[V]	リニアレギュレータの出力コンデンサ (VDD端子用)	
C11	0.1[μF]	0.0724[μF]	10[V]	VDD_MCU端子のバイパスコンデンサ	
C12	0.47~1.0[μF]	0.85[μF]	10[V]	MCUのレギュレータの出力安定化コンデンサ	
M1~M6	使用用途に依存	—	使用用途に依存	モータ駆動用外付けMOSFET	
L1	22[μH] or 33[μH]	—	>2[A]	降圧スイッチングレギュレータ用コイル	
D1	0.6[V]	—	100[V], >2[A]	降圧スイッチングレギュレータ用ショットキー整流ダイオード	

上記部品の選択の詳細については、「**RAJ306102 ユーザーズマニュアル ハードウェア編 (R18UZ0082JJ)**」を参照してください。

Note1 : これらの抵抗によるVDRV出力電圧は、12[V]です。

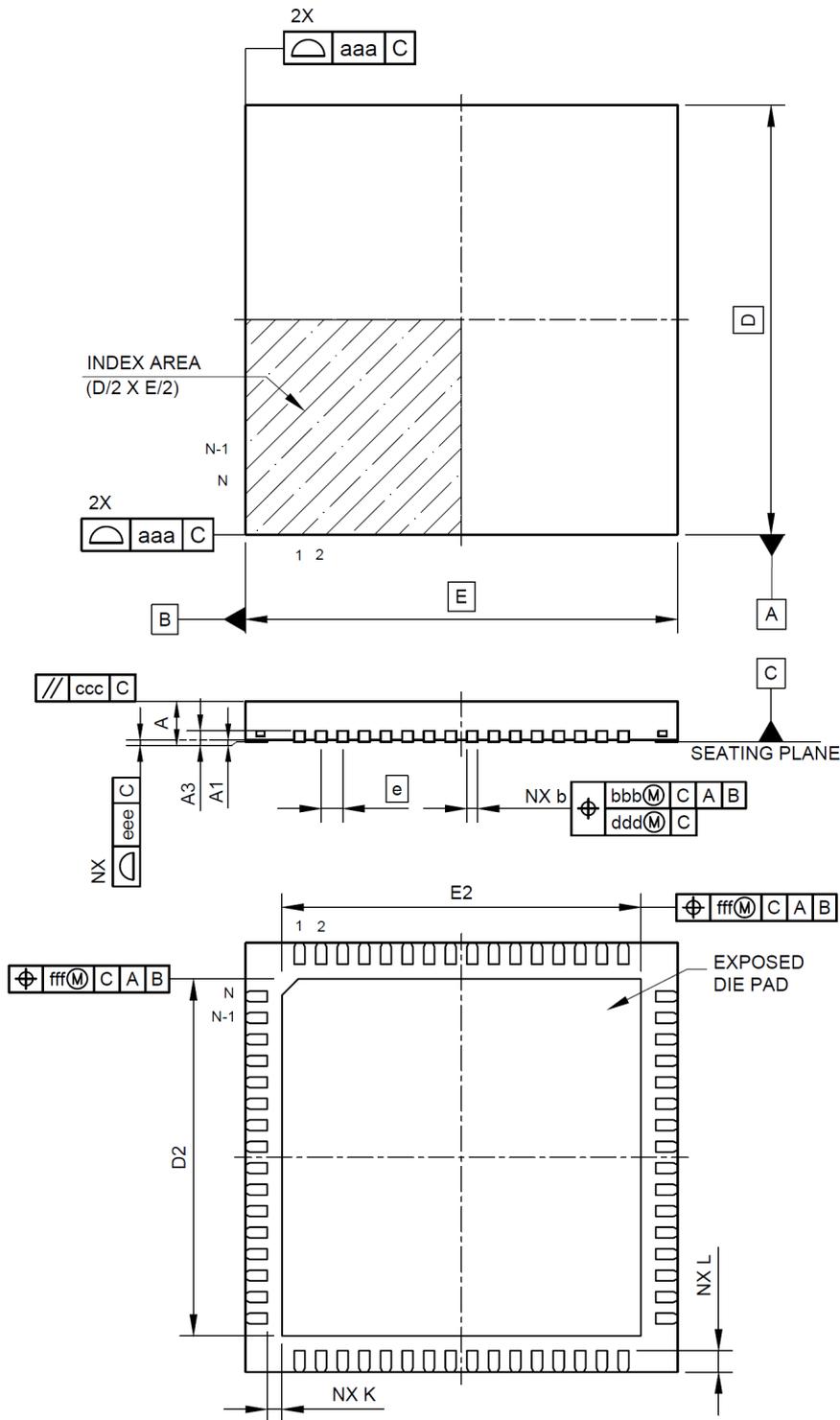
Note2 : これらの抵抗によるVDD出力電圧は、3.310[V]です。

Note3 : 実効容量を考慮してください。C3が小さいほどVCPの電圧降下が大きくなります。C2が小さいほどVCPの電圧リップルが大きくなります。

Note4 : C4の実効容量に応じて、R6とC5の最適な値を選択してください。

Note5 : 適切な容量は、用途や特性の制約によって異なります。

9 Package Specification



Symbols	Dimension in Millimeters		
	Min.	Typ.	Max.
A	-	-	0.80
A1	0.00	0.02	0.05
A3	0.203 REF.		
b	0.15	0.20	0.25
D	-	8.00	-
E	-	8.00	-
e	-	0.40	-
N	64		
L	0.30	0.40	0.50
K	0.20	-	-
D2	6.40	6.50	6.75
E2	6.40	6.50	6.75
aaa	0.10		
bbb	0.07		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

10 改版記録

Rev.	Date	Summary of Revised	Object Page
1.00	2023.06.06	・初版	All

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
 5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
 6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等
当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因またはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
 8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
 11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
 13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。
- 注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。
- 注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)

www.renesas.com

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/