
RX ファミリ、H8S ファミリ

H8S から RX への置き換えガイド ADC 編

要旨

本アプリケーションノートでは、H8S ファミリの A/D 変換器から RX の 12 ビット A/D コンバータ (S12ADE) への置き換えについて説明しています。

対象デバイス

- RX ファミリ
- H8S ファミリ

H8S から RX への置き換え例として、RX ファミリは RX261 グループを、H8S ファミリは H8S/2378 グループを用いて説明しています。本アプリケーションノートを他のマイコンへ適用する場合、そのマイコンの仕様にあわせて変更し、十分評価してください。

動作確認デバイス

- RX ファミリ : RX261
- H8S ファミリ : H8S/2378

RX ファミリと H8S ファミリ間で使用している用語が一部異なります。

下表に、A/D コンバータに関する用語の相違点を示します。

表 RX ファミリと H8S ファミリ間の用語の相違点

項目	RX ファミリ	H8S ファミリ
A/D コンバータモジュールの名称	12 ビット A/D コンバータ (S12ADE)	A/D 変換器
割り込み名称	スキャン終了割り込み (S12ADIO)	A/D 変換終了割り込み (ADI)
外部端子入力によるトリガの名称	非同期トリガ	外部トリガ

以降、A/D 変換器、12 ビット A/D コンバータ (S12ADE) 等を総称して、A/D コンバータと呼びます。

目次

1. A/D コンバータの相違点	4
1.1 機能相違点	4
1.2 A/D 変換器の相違点	7
1.3 レジスタ相違点	10
2. 使用する周辺機能.....	13
3. 動作の相違点.....	14
3.1 シングルモード動作.....	14
3.1.1 動作説明.....	15
3.1.2 設定手順の相違点	17
3.2 スキャンモード動作.....	18
3.2.1 動作説明.....	19
3.2.2 設定手順の相違点	21
3.3 グループスキャンモード動作	22
3.3.1 動作説明.....	23
3.3.2 設定手順.....	25
3.4 RX の入力サンプリングとスキャン変換時間	26
3.5 外部トリガ入力タイミング	30
4. 使用上の注意事項.....	32
4.1 許容信号源インピーダンスについて.....	32
4.2 アナログ電源端子他の設定範囲.....	33
4.3 ボード設計上の注意事項.....	35
4.4 ノイズ対策上の注意事項.....	36
5. 割り込みの相違点.....	38
6. モジュールストップ機能.....	41
7. レジスタライトプロテクション機能	42
8. H8S から RX へ置き換えのポイント	43
8.1 入出力ポート.....	43
8.2 I/O レジスタマクロ	44
8.3 組込関数.....	45
9. 参考ドキュメント.....	46

1. A/D コンバータの相違点

1.1 機能相違点

表 1.1 に、A/D コンバータの機能相違点を示します。

表 1.1 A/D コンバータの機能相違点

項目	RX	H8S
ユニット数	1 ユニット	
チャンネルセット数	なし	2 チャンネルセット
入力チャンネル	25 チャンネル ^(注1)	16 チャンネル
拡張アナログ機能	温度センサ出力 内部基準電圧	なし
A/D 変換方式	逐次比較方式	
分解能	12 ビット	10 ビット
変換時間	1 チャンネル当たり 0.7 μs (ADCCR.CCS ビット= 0)、 0.5 μs (ADCCR.CCS ビット= 1) (A/D 変換クロック ADCLK = 64MHz 動作時)	1 チャンネル当たり 7.4μs (35MHz 動作時)
A/D 変換クロックの設定	周辺モジュールクロック PCLK と A/D 変換クロック ADCLK を、以下 の周波数比で設定可能 ^(注2) PCLK : ADCLK 周波数比 = 1 : 1、1 : 2、2 : 1、4 : 1、8 : 1 (ADCLK の設定はクロック発生回路 で設定)	なし
データレジスタ	<ul style="list-style-type: none"> アナログ入力用 25 本、 ダブルトリガモードでの A/D 変 換データ二重化用 1 本 温度センサ用 1 本 内部基準電圧用 1 本 自己診断用 1 本 	<ul style="list-style-type: none"> アナログ入力用 8 本
動作モード	<ul style="list-style-type: none"> シングルスキャンモード 連続スキャンモード グループスキャンモード (グループ A 優先制御動作の設 定可能) 	<ul style="list-style-type: none"> シングルモード スキャンモード
A/D 変換開始条件 ^(注3)	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ 汎用 PWM タイマ (GPTW) 、 イベントリンクコントローラ (ELC) からのトリガ 非同期トリガ 	<ul style="list-style-type: none"> ソフトウェアトリガ TPU、TMR による変換開始トリ ガ 外部トリガ信号

項目	RX	H8S
機能	<ul style="list-style-type: none"> サンプリングステート数可変機能 12 ビット A/D コンバータの自己診断機能 A/D 変換値加算モードと平均モードが選択可能 アナログ入力断線検出機能 (ディスチャージ機能 / プリチャージ機能) ダブルトリガモード (A/D 変換データ二重化機能) A/D データレジスタオートクリア機能 コンペア機能 (ウィンドウ A、ウィンドウ B) コンペア機能使用時のリングバッファ (16 本) 	なし
割り込み要因	<ul style="list-style-type: none"> スキャン終了割り込み要求 (S12ADI0) グループ B 専用のスキャン終了割り込み要求 (GBADI) 	A/D 変換終了割り込み要求 (ADI)
イベントリンク機能	<ul style="list-style-type: none"> グループスキャンモードでのグループ A のスキャン終了時に ELC イベント発生 グループスキャンモードでのグループ B のスキャン終了時に ELC イベント発生 すべてのスキャン終了時に ELC イベント発生 シングルスキャンモードでのウィンドウコンペア機能のイベント条件に応じて、ELC イベント発生 ELC からのトリガによりスキャン開始可能 	なし
変換モード	高速変換モード 低電流変換モード	なし
DMAC、DTC の起動	可能	
消費電力低減機能	モジュールストップ状態への設定可能 ^(注 4)	モジュールストップ状態への設定可能

注 1. AN008 は CTSU 専用です。

注 2. 周辺モジュールクロック PCLK は PCLKB、A/D 変換クロック ADCLK は PCLKD を示します。PCLKB、PCLKD はそれぞれ、クロック発生回路で分周比を設定することが可能です。詳細は、ユーザーズマニュアル ハードウェア編を参照してください。

注 3. A/D 変換開始条件の詳細は、「表 1.2 RX と H8S の A/D 変換開始トリガの比較」を参照してください。

注 4. モジュールストップ状態を解除した後は、1 μ s 以上待つてから A/D 変換を開始してください。

表 1.2 に、RX と H8S の A/D 変換開始トリガの比較を示します。

表 1.2 RX と H8S の A/D 変換開始トリガの比較

項目		名称 ^(注1)
RX	H8S	RX
ソフトウェアトリガ		なし
ADTRG0#端子によるトリガ入力 ^(注2)	ADTRG端子によるトリガ入力	ADTRG0# ^(注2)
なし	TPU (16 ビットタイマパルスユニット) による変換開始トリガ	なし
なし	TMR (8 ビットタイマ) による変換開始トリガ	なし
GPTW0.GTADTRA のコンペアマッチ ^(注2)	なし	GTADTRA0N ^(注2)
GPTW0.GTADTRB のコンペアマッチ ^(注2)		GTADTRB0N ^(注2)
GPTW1.GTADTRA のコンペアマッチ ^(注2)		GTADTRA1N ^(注2)
GPTW1.GTADTRB のコンペアマッチ ^(注2)		GTADTRB1N ^(注2)
GPTW2.GTADTRA のコンペアマッチ ^(注2)		GTADTRA2N ^(注2)
GPTW2.GTADTRB のコンペアマッチ ^(注2)		GTADTRB2N ^(注2)
GPTW0.GTADTRA のコンペアマッチまたは GPTW0.GTADTRB のコンペアマッチ ^(注2)		GTADTRA0N または GTADTRB0N ^(注2)
GPTW1.GTADTRA のコンペアマッチまたは GPTW1.GTADTRB のコンペアマッチ ^(注2)		GTADTRA1N または GTADTRB1N ^(注2)
GPTW2.GTADTRA のコンペアマッチまたは GPTW2.GTADTRB のコンペアマッチ ^(注2)		GTADTRA2N または GTADTRB2N ^(注2)
ELC からのトリガ ^(注2)		ELCTRG00N ^(注2)
	ELCTRG01N ^(注2)	
	ELCTRG00N または ELCTRG01N ^(注2)	

注1. H8S には、A/D 変換開始トリガの名称はありません。

注2. RX は ADSTRGR レジスタを使って A/D 変換開始トリガを選択できます。

注. RX の GPTW (汎用 PWM タイマ)、ELC (イベントリンクコントローラ) については、ユーザーズ マニュアル ハードウェア編を参照してください。

1.2 A/D 変換器の相違点

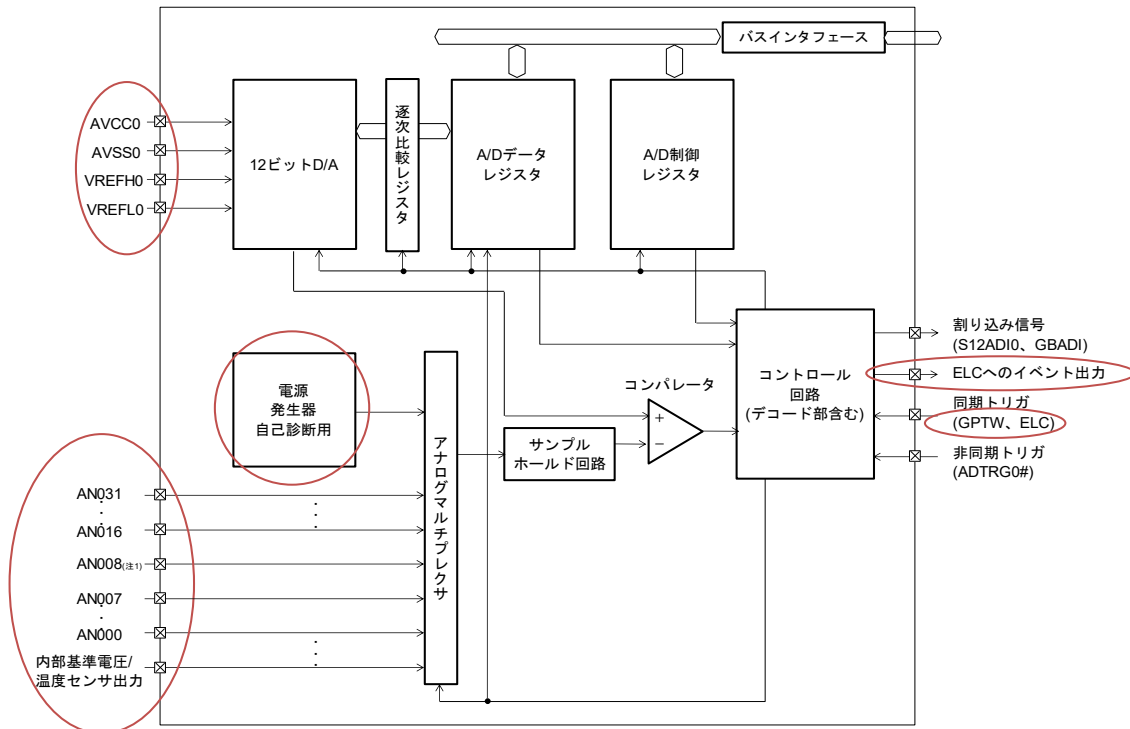
図 1.1 に、RX の 12 ビット A/D コンバータのブロック図を示します。

図 1.2 に、H8S の A/D 変換器のブロック図を示します。

図 1.1、図 1.2 中の ○ は、H8S と RX の主な相違点を示しています。

H8S と RX では、端子の構成が異なります。入出力端子の相違点は、表 1.3 を参照してください。

また、RX の 12 ビット A/D コンバータは、自己診断用の電源発生器、イベントリンクコントローラ (ELC) へのイベント信号の出力機能を備えています。これらの電源発生器、イベント信号の出力機能は H8S の A/D 変換器にはありません。



注1. AN008端子は存在しません。本信号はCTSU専用です。

図 1.1 RX の 12 ビット A/D コンバータのブロック図

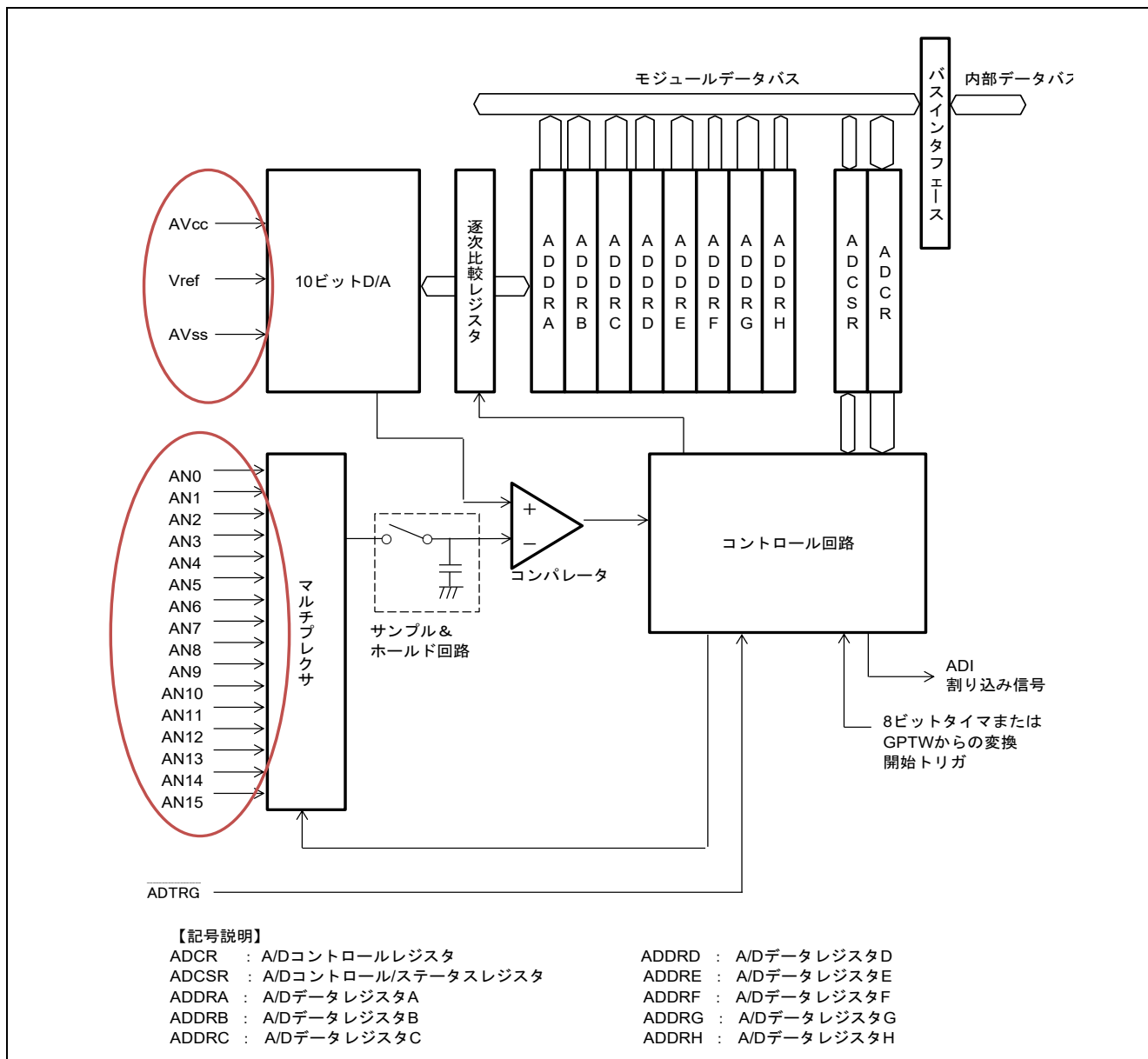


図 1.2 H8S の A/D 変換器のブロック図

表 1.3 入出力端子の相違点

RX	H8S	機能	入出力
AVCC0	AVcc	アナログ部の電源端子	入力
AVSS0	AVss	アナログ部のグランド端子	入力
VREFH0	Vref	基準電源端子	入力
VREFL0	なし	基準電源グランド端子	入力
AN000~AN007、 AN016~AN031	AN0~AN15 ^(注1)	アナログ入力端子	入力
ADTRG0#	ADTRG	A/D 外部トリガ入力端子	入力

注 1. H8S では、チャンネルは「チャンネルセット」によりグループ分けされています。

AN0~AN7 はチャンネルセット 0、AN8~AN15 はチャンネルセット 1 のアナログ入力チャンネルです。

1.3 レジスタ相違点

表 1.4 に、RX と H8S の A/D コンバータレジスタ一覧を示します。

表 1.4 RX と H8S の A/D コンバータレジスタ一覧

RX	H8S
A/D データレジスタ y (ADDRy) (y=0~8、16~31)	A/D データレジスタ A~H (ADDRA~H)
A/D データ 2 重化レジスタ (ADDBLDR)	なし
A/D 温度センサデータレジスタ (ADTSDR)	
A/D 内部基準電圧データレジスタ (ADOCDR)	
A/D 自己診断データレジスタ (ADRD)	
A/D コントロールレジスタ (ADCSR)	A/D コントロールレジスタ (ADCR)
なし	A/D コントロール/ステータスレジスタ (ADCSR)
A/D コントロール拡張レジスタ (ADCER)	なし
A/D チャンネル選択レジスタ A0 (ADANSA0)	
A/D チャンネル選択レジスタ A1 (ADANSA1)	
A/D チャンネル選択レジスタ B0 (ADANSB0)	
A/D チャンネル選択レジスタ B1 (ADANSB1)	
A/D 変換開始トリガ選択レジスタ (ADSTRGR)	
A/D サンプリングステートレジスタ n (ADSSTRn) (n=0~8、L、T、O)	
A/D 変換値加算/平均機能チャンネル選択レジスタ 0 (ADADS0)	
A/D 変換値加算/平均機能チャンネル選択レジスタ 1 (ADADS1)	
A/D 変換値加算/平均回数選択レジスタ (ADADC)	
A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	
A/D 変換拡張入力コントロールレジスタ (ADEXICR)	
A/D 断線検出コントロールレジスタ (ADDISCR)	
A/D 高電位/低電位基準電圧コントロールレジスタ (ADHVREFCNT)	
A/D イベントリンクコントロールレジスタ (ADELCCR)	
A/D コンペア機能コントロールレジスタ (ADCMPCR)	
A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 0 (ADCMPANSR0)	
A/D コンペア機能ウィンドウ A チャンネル選択レジスタ 1 (ADCMPANSR1)	
A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)	
A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 (ADCMPLR0)	
A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 (ADCMPLR1)	
A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ (ADCMPLER)	

RX	H8S
A/D コンペア機能ウィンドウ A 下位側レベル設定レジスタ (ADCMPDR0)	なし
A/D コンペア機能ウィンドウ A 上位側レベル設定レジスタ (ADCMPDR1)	
A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 0 (ADCMPSTR0)	
A/D コンペア機能ウィンドウ A チャンネルステータスレジスタ 1 (ADCMPSTR1)	
A/D コンペア機能ウィンドウ A 拡張入力チャンネルステータスレジスタ (ADCMPSTR)	
A/D コンペア機能ウィンドウ A/B ステータスマニタレジスタ (ADWINMON)	
A/D コンペア機能ウィンドウ B チャンネル選択レジスタ (ADCMPBNSR)	
A/D コンペア機能ウィンドウ B 下位側レベル設定レジスタ (ADWINLLB)	
A/D コンペア機能ウィンドウ B 上位側レベル設定レジスタ (ADWINULB)	
A/D コンペア機能ウィンドウ B チャンネルステータスレジスタ (ADCMPBSR)	
A/D データ格納バッファレジスタ n (ADBUF _n) (n=0~15)	
A/D データ格納バッファイネーブルレジスタ (ADBUFEN)	
A/D データ格納バッファポインタレジスタ (ADBUFPTR)	
A/D 変換サイクル制御レジスタ (ADCCR)	

表 1.5 に、RX と H8S のレジスタ・ビット機能の対応を示します。H8S のレジスタ・ビット機能が、RX のどのレジスタ・ビットに対応しているかを示します。

表 1.5 RX と H8S のレジスタ・ビット機能の対応

RX		H8S		機能
レジスタ	ビット	レジスタ	ビット	
ADDRy (y=0~8、16~31)		ADDRA~H		A/D 変換結果を格納する 16 ビットのリード専用レジスタ
IR102 (注 1)	IR	ADCSR	ADF	A/D 変換終了フラグ
ADCSR	ADIE		ADIE	A/D 変換終了割り込み許可/ 禁止
	ADST		ADST	A/D 変換開始/中止
ADANSA0	ANSA0[7:0]		CH3~0	A/D 変換を行うアナログ入 力チャンネルの選択
ADANSA1	ANSA1[15:0]			
ADSTRGR	TRSA[5:0] TRSB[5:0]	ADCR	TRGS1、0	A/D 変換開始トリガの選 択、 トリガによる A/D 変換開始 の 許可/禁止
ADCSR	EXTRG			
	TRGE			
	ADCS[1:0]	SCANE、 SCANS	スキャンモードの選択	
ADSSTRn (n=0~8、L、 T、O)			CKS1、0	A/D 変換時間の設定

注 1. IR レジスタは割り込みコントローラのレジスタです。RX の A/D コンバータには、周辺機能の割り込み要求フラグは存在しません。詳細は、「5. 割り込みの相違点」を参照してください。

RX と H8S では、A/D 変換を行うアナログ入力チャンネルの選択方法が異なります。

RX の A/D チャンネル選択レジスタは、各ビットが各アナログ入力チャンネルに対応しています。

これにより、RX では最大 25 チャンネルのアナログ入力チャンネルを任意に選択することが可能です。

詳細は、ユーザーズマニュアル ハードウェア編を参照してください。

また、RX と H8S では A/D データレジスタのフォーマットが異なります。

H8S では、A/D データレジスタの上位 10 ビットに A/D 変換結果が格納されます。

RX では、ADCER レジスタの ADRFMT ビットにより右詰め (LSB 側) / 左詰め (MSB 側) が選択できません。

右詰め (LSB 側) を選択した場合は下位 12 ビットに、左詰め (MSB 側) を選択した場合は上位 12 ビットに A/D 変換結果が格納されます。

デフォルトでは、A/D データレジスタのフォーマットは右詰め (LSB 側) が選択されています。

2. 使用する周辺機能

表 2.1 に、A/D コンバータの動作例に対して使用する周辺機能およびモードを示します。

表 2.1 A/D コンバータの動作例に対して使用する周辺機能およびモード

No.	RX		H8S		動作例	
	周辺機能	モード	周辺機能	モード	モード	参照
1	12 ビット A/D コンバータ (S12ADE)	シングルスキャン モード	A/D 変換器	シングルモード	シングルモード	3.1
2		連続スキャン モード		スキャンモード	スキャンモード	3.2
3		グループスキャン モード		なし	グループスキャン モード	3.3

3. 動作の相違点

3.1 シングルモード動作

本項では、H8S のシングルモード動作を RX で実現する場合の動作、設定手順について説明します。

「表 3.1 シングルモード動作の条件」に示す動作時の動作、設定手順について説明します。

表 3.1 シングルモード動作の条件

項目	動作条件	
	RX	H8S
動作モード	シングルスキャンモード	シングルモード
アナログ入力チャンネル	AN000	AN0
A/D 変換クロック	64MHz	35MHz
サンプリング時間	10 ADCLK	15 CLK
A/D 変換開始トリガ	GPTW0.GTADTRA のコンペアマッチ	
割り込み	スキャン終了割り込み (S12ADI0)	A/D 変換終了割り込み (ADI)

H8S のシングルモードでは、指定された 1 チャンネルのアナログ入力を 1 回 A/D 変換します。

RX のシングルスキャンモードでは、A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0, ADANSA1, ADANSB0, ADANSB1) で任意に選択した最大 25 チャンネルのアナログ入力を、チャンネル番号の若い順に 1 回 A/D 変換します。

H8S のシングルモード動作を RX で実現する場合は、シングルスキャンモードでアナログ入力チャンネルを 1 チャンネル選択してください。

3.1.1 動作説明

図 3.1 に、シングルモード動作のタイミング図を示します。

表 3.2 に、シングルモード動作説明を示します。

図 3.1 中の番号は、表 3.2 中の番号に対応しています。

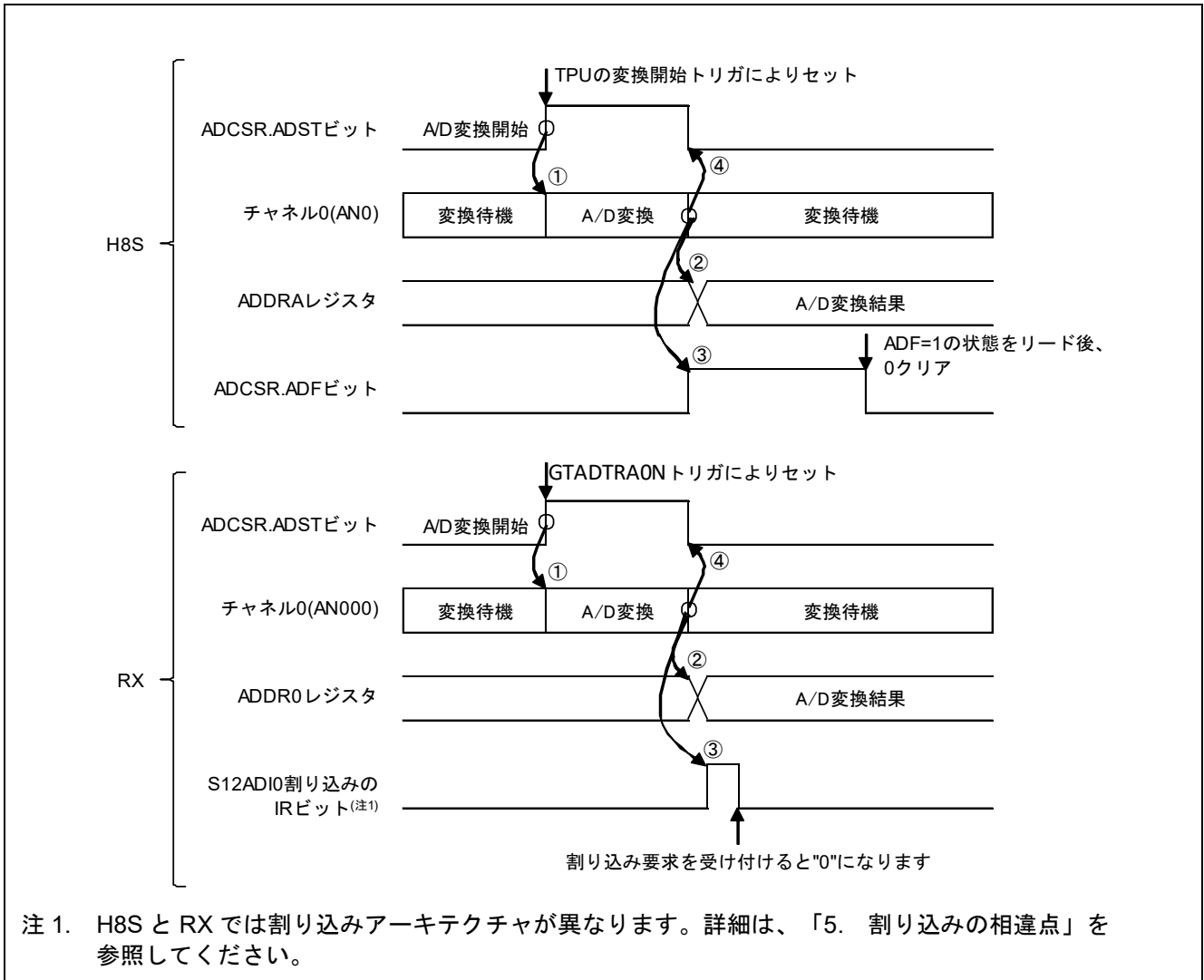


図 3.1 シングルモード動作のタイミング図

注 1. H8S と RX では割り込みアーキテクチャが異なります。詳細は、「5. 割り込みの相違点」を参照してください。

表 3.2 シングルモード動作説明

項目	RX (シングルスキャンモード)	H8S (シングルモード)
①A/D 変換開始	GPTW0 からの GTADTRA0N トリガによって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。	TPU からの変換開始トリガによって ADCSR の ADST ビットが“1” (A/D 変換開始) になると、ADCSR の CH3~0 ビットで選択した 1 チャンネルの A/D 変換を開始します。
②A/D 変換結果格納	1 チャンネルの A/D 変換が終了すると、A/D 変換結果はそのチャンネルに対応する A/D データレジスタ (ADDRy) に格納されます。	A/D 変換が終了すると、A/D 変換結果はそのチャンネルに対応する A/D データレジスタ (ADDRA~H) に格納されます。
③A/D 変換終了割り込み発生	選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の S12ADIO 割り込み発生を許可) に設定されていると、S12ADIO 割り込みの IR ビットが“1” (割り込み要求発生) になり、S12ADIO 割り込み要求が発生します。	A/D 変換終了後、ADCSR の ADF ビットが“1” (A/D 変換終了) になります。このとき、ADCSR の ADIE ビットが“1” (ADF による ADI 割り込み許可) に設定されていると、ADI 割り込み要求が発生します。
④A/D 変換終了	ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。	ADCSR の ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、変換が終了すると自動的にクリアされ、A/D 変換器は待機状態になります。

3.1.2 設定手順の相違点

表 3.3 に、シングルモード動作時の初期設定手順の相違点を示します。

H8S と RX では、割り込みアーキテクチャと I/O ポート機能の設定方法が異なります。詳細は、「5. 割り込みの相違点」、「8.1 入出力ポート」を参照してください。

表 3.3 シングルモード動作時の初期設定手順の相違点

手順	RX	H8S
1 モジュールストップ状態を解除 (注1)	MSTP(S12AD) = 0;	MSTPCR.BIT._AD = 0;
2 割り込み要求を禁止	S12AD.ADCSR.BIT.ADIE = 0; IEN(S12AD, S12ADI0) = 0;	AD.ADCSR.BIT.ADIE = 0;
3 A/D 変換を禁止	S12AD.ADCSR.BIT.ADST = 0;	AD.ADCSR.BIT.ADST = 0;
4 スキャンモード選択	S12AD.ADCSR.BIT.ADCS = 0;	AD.ADCR.BIT.SCAN = 0;
5 チャンネル選択	S12AD.ADANSA0.WORD = 0x0001;	AD.ADCSR.BIT.CH = 0;
6 A/D 変換開始トリガ選択	S12AD.ADCSR.BIT.EXTRG = 0; S12AD.ADSTRGR.BIT.TRSA = 0x11;	— (処理なし) (注2)
7 A/D 変換時間の設定	S12AD.ADSSTR0 = 0x0A; S12AD.ADCCR.BIT.CCS = 1;	AD.ADCR.BIT.CKS = 3;
8 I/O ポート機能の設定 (注3)	PORT4.PMR.BIT.B0 = 0; PORT4.PDR.BIT.B0 = 0; MPC.P40PFS.BYTE = 0x80;	— (処理なし)
9 割り込み制御モード設定	— (処理なし)	INTC.INTCR.BIT.INTM = 2;
10 割り込み優先レベル設定	IPR (S12AD, S12ADI0) = 0x01;	INTC.IPRF.BIT._AD = 1;
11 周辺機能割り込み要求をクリア	— (処理なし)	AD.ADCSR.BIT.ADF = 0;
12 割り込み要求をクリア	IR (S12AD, S12ADI0) = 0;	— (処理なし)
13 割り込み要求を許可	S12AD.ADCSR.BIT.ADIE = 1; IEN (S12AD, S12ADI0) = 1;	AD.ADCSR.BIT.ADIE = 1;
14 プロセッサ割り込み優先レベル設定	— (処理なし)	set_imask_exr(0);
15 マスカブル割り込み許可	setpsw_i();	— (処理なし)
16 トリガ信号による A/D 変換開始を許可	S12AD.ADCSR.BIT.TRGE = 1;	AD.ADCR.BIT.TRGS = 1;

注 1. モジュールストップ機能については、「6. モジュールストップ機能」を参照してください。

注 2. H8S では、手順 15「トリガ信号による A/D 変換開始を許可」と同時に、A/D 変換開始トリガの選択を行います。

注 3. AN000 端子を使用する場合は、該当端子の設定を汎用入力にしてください。
(PORT.PDR.Bm ビットおよび PORT.PMR.Bm ビットを“0”に設定。(m : 0~7))

3.2 スキャンモード動作

本項では、H8S のスキャンモード動作を RX で実現する場合の動作、設定手順について説明します。

「表 3.4 スキャンモード動作の条件」に示す動作時の動作、設定手順について説明します。

表 3.4 スキャンモード動作の条件

項目	動作条件	
	RX	H8S
動作モード	連続スキャンモード	スキャンモード
アナログ入力チャンネル	AN000~AN002	AN0~AN2
A/D 変換クロック	64MHz	35MHz
1ch 当たりのサンプリング時間	10 ADCLK	64 CLK ^(注1)
A/D 変換開始トリガ	ソフトウェア	
割り込み	スキャン終了割り込み (S12ADI0)	A/D 変換終了割り込み (ADI)

注1. A/D 変換処理時間にかかる時間です。

H8S のスキャンモードでは、指定された最大 4 チャンネルまたは最大 8 チャンネルのアナログ入力を連続して A/D 変換します。

RX の連続スキャンモードでは、A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0, ADANSA1, ADANSB0, ADANSB1) で任意に選択した最大 25 チャンネルのアナログ入力を、チャンネル番号の若い順に連続して A/D 変換します。

H8S のスキャンモードと RX の連続スキャンモードは、動作は同じです。

3.2.1 動作説明

図 3.2 に、スキャンモード動作のタイミング図を示します。

表 3.5 に、スキャンモード動作説明を示します。

図 3.2 中の番号は、表 3.5 中の番号に対応しています。

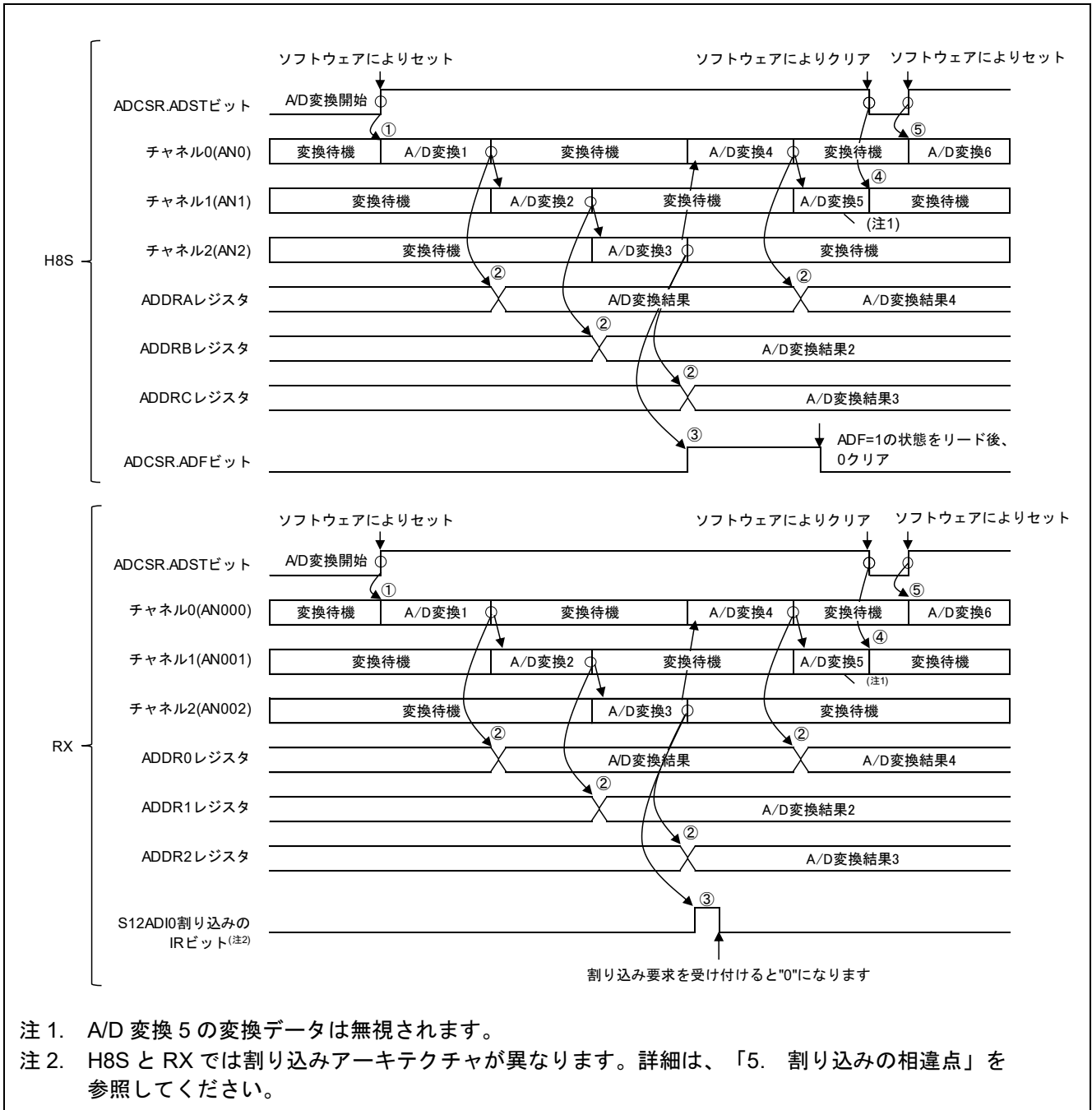


図 3.2 スキャンモード動作のタイミング図

表 3.5 スキャンモード動作説明

項目	RX (連続スキャンモード)	H8S (スキャンモード)
①A/D 変換開始	ソフトウェアトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。	ソフトウェアトリガ入力によって ADCSR の ADST ビットが“1” (A/D 変換開始) になると、ADCSR の CH3~0 ビットで選択したチャンネルの第 1 チャンネルから A/D 変換を開始します。
②A/D 変換結果格納	1 チャンネルの A/D 変換が終了すると、A/D 変換結果は順次そのチャンネルに対応する A/D データレジスタ (ADDRy) に格納されます。	1 チャンネルの A/D 変換が終了すると、A/D 変換結果は順次そのチャンネルに対応する A/D データレジスタ (ADDRA~H) に格納されます。
③A/D 変換終了割り込み発生	選択されたすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の S12ADI0 割り込み発生を許可) に設定されていると、S12ADI0 割り込みの IR ビットが“1” (割り込み要求発生) になり、S12ADI0 割り込み要求が発生します。 12 ビット A/D コンバータ再び ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。	選択されたすべてのチャンネルの A/D 変換終了後、ADCSR の ADF ビットが“1” (A/D 変換終了) になります。このとき、ADCSR の ADIE ビットが“1” (ADF による ADI 割り込み許可) に設定されていると、ADI 割り込み要求が発生します。 A/D 変換器は再び ADCSR の CH3~0 ビットで選択したチャンネルの第 1 チャンネルから A/D 変換を開始します。
④A/D 変換終了	ADCSR.ADST ビットは自動的にクリアされず、“1” (A/D 変換開始) の間は②~③の動作を繰り返します。ADCSR.ADST ビットを“0” (A/D 変換停止) に設定すると A/D 変換を中止し、12 ビット A/D コンバータは待機状態になります。	ADCSR の ADST ビットは自動的にクリアされず、“1” (A/D 変換開始) の間は②~③の動作を繰り返します。ADCSR の ADST ビットを“0” (A/D 変換停止) に設定すると A/D 変換を中止し、A/D 変換器は待機状態になります。
⑤A/D 変換再開	その後、ADCSR.ADST ビットを“1” (A/D 変換開始) に設定すると再び ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。	その後、ADCSR の ADST ビットを“1” (A/D 変換開始) に設定すると再び ADCSR の CH3~0 ビットで選択したチャンネルの第 1 チャンネルから A/D 変換を開始します。

3.2.2 設定手順の相違点

表 3.6 に、スキャンモード動作時の初期設定手順の相違点を示します。

H8S と RX では、割り込みアーキテクチャと I/O ポート機能の設定方法が異なります。

詳細は、「5. 割り込みの相違点」、「8.1 入出力ポート」を参照してください。

表 3.6 スキャンモード動作時の初期設定手順の相違点

手順		RX	H8S
1	モジュールストップ状態を解除 (注1)	MSTP(S12AD) = 0;	MSTPCR.BIT._AD = 0;
2	割り込み要求を禁止	S12AD.ADCSR.BIT.ADIE = 0; IEN(S12AD, S12ADI0) = 0;	AD.ADCSR.BIT.ADIE = 0;
3	A/D 変換を禁止	S12AD.ADCSR.BIT.ADST = 0;	AD.ADCSR.BIT.ADST = 0;
4	スキャンモード選択	S12AD.ADCSR.BIT.ADCS = 2;	AD.ADCR.BIT.SCAN = 2;
5	チャンネル選択	S12AD.ADANSA0.WORD = 0x0007;	AD.ADCSR.BIT.CH = 2;
6	A/D 変換時間の設定	S12AD.ADSSTR0 = 0x0A; S12AD.ADCCR.BIT.CCS = 1	AD.ADCR.BIT.CKS = 3;
7	I/O ポート機能の設定 (注3)	PORT4.PMR.BIT.B0 = 0; PORT4.PDR.BIT.B0 = 0; MPC.P40PFS.BYTE = 0x80; PORT4.PMR.BIT.B1 = 0; PORT4.PDR.BIT.B1 = 0; MPC.P41PFS.BYTE = 0x80; PORT4.PMR.BIT.B2 = 0; PORT4.PDR.BIT.B2 = 0; MPC.P42PFS.BYTE = 0x80;	— (処理なし)
8	割り込み制御モード設定	— (処理なし)	INTC.INTCR.BIT.INTM = 2;
9	割り込み優先レベル設定	IPR(S12AD, S12ADI0) = 0x01;	INTC.IPRF.BIT._AD = 1;
10	周辺機能割り込み要求をクリア	— (処理なし)	AD.ADCSR.BIT.ADF = 0;
11	割り込み要求をクリア	IR(S12AD, S12ADI0) = 0;	— (処理なし)
12	割り込み要求を許可	S12AD.ADCSR.BIT.ADIE = 1; IEN(S12AD, S12ADI0) = 1;	AD.ADCSR.BIT.ADIE = 1;
13	プロセッサ割り込み優先レベル設定	— (処理なし)	set_imask_exr(0);
14	マスカブル割り込み許可	setpsw_i();	— (処理なし)
15	A/D 変換開始を許可	S12AD.ADCSR.BIT.ADST = 1;	AD.ADCSR.BIT.ADST = 1;

注 1. モジュールストップ機能については、「6. モジュールストップ機能」を参照してください。

注 2. H8S では、手順 15「トリガ信号による A/D 変換開始を許可」と同時に、A/D 変換開始トリガの選択を行います。

注 3. AN000~AN002 端子を使用する場合は、該当端子の設定を汎用入力にしてください。
(PORT.PDR.Bm ビットおよび PORT.PMR.Bm ビットを“0”に設定。(m : 0~7))

3.3 グループスキャンモード動作

本項では、RX のグループスキャンモードの動作、設定手順について説明します。

「表 3.7 グループスキャンモード動作の条件」に示す動作時の動作、設定手順について説明します。

表 3.7 グループスキャンモード動作の条件

項目	動作条件
	RX
動作モード	グループスキャンモード
アナログ入力チャンネル	グループ A : AN000、AN001 グループ B : AN002、AN003
A/D 変換クロック	64MHz
1ch 当たりのサンプリング時間	10 ADCLK
A/D 変換開始トリガ	グループ A : GPTW0.GTADTRA0N のコンペアマッチ グループ B : GPTW0.GTADTRB0N のコンペアマッチ
割り込み	スキャン終了割り込み (S12ADI0) グループ B スキャン終了割り込み (GBADI)

RX のグループスキャンモードでは、最大 25 チャンネルのアナログ入力を A/D チャンネル選択レジスタ A0/A1/B0/B1 (ADANSA0, ADANSA1, ADANSB0, ADANSB1) で任意に選択して 2 つのグループ (グループ A とグループ B) に分け、グループ単位で A/D 変換を行います。

スキャン動作はシングルスキャンモードと同様で、チャンネル番号の若い順に 1 回 A/D 変換を行います。

グループ A とグループ B のスキャン開始条件 (同期トリガ) を個別に選択することで、グループ A とグループ B は異なるタイミングで A/D 変換を開始することが可能です。

スキャン終了割り込み、グループ B スキャン終了割り込みを許可に設定した場合、グループ A のスキャン終了時にスキャン終了割り込み (S12ADI0) を、グループ B のスキャン終了時にグループ B スキャン終了割り込み (GBADI) を発生します。

グループスキャンモードの詳細は、ユーザーズマニュアル ハードウェア編を参照してください。

3.3.1 動作説明

図 3.3 に、RX のグループスキャンモード動作のタイミング図を示します。

表 3.8 に、グループスキャンモード動作説明を示します。

図 3.3 中の番号は、表 3.8 中の番号に対応しています。

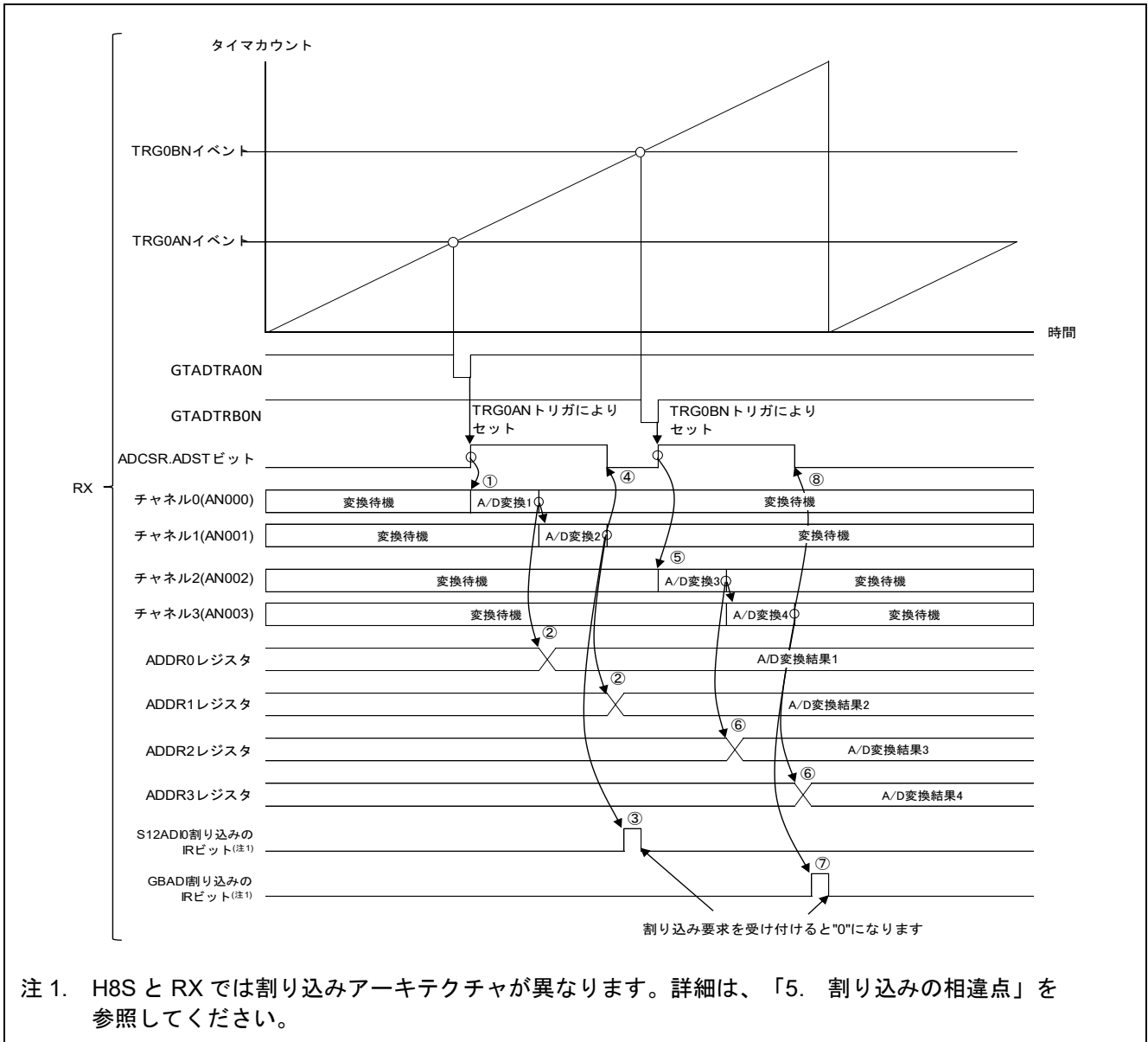


図 3.3 グループスキャンモード動作のタイミング図

表 3.8 RX のグループスキャンモードの動作説明

項目	RX (グループスキャンモード)
①グループ A スキャン開始	GPTW0 からの GTADTRA0N トリガによって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、グループ A のスキャンを開始します。 ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を行います。
②グループ A A/D 変換結果格納	1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
③スキャン終了 割り込み発生	グループ A のすべてのチャンネルの A/D 変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了後の S12ADIO 割り込み発生を許可) に設定されていると、S12ADIO 割り込みの IR ビットが“1” (割り込み要求発生) になり、S12ADIO 割り込み要求が発生します。
④グループ A スキャン終了	ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。
⑤グループ B スキャン開始	GPTW0 からの GTADTRB0N トリガによって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、グループ B のスキャンを開始します。 ADANSB0、ADANSB1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を行います。
⑥グループ B A/D 変換結果格納	1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
⑦グループ B スキャン終了 割り込み発生	グループ B のすべてのチャンネルの A/D 変換終了後、ADCSR.GBADIE ビットが“1” (グループ B のスキャン終了後に GBADI 割り込み発生を許可) に設定されていると、GBADI 割り込みの IR ビットが“1” (割り込み要求発生) になり、GBADI 割り込み要求が発生します。
⑧グループ B スキャン終了	ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、選択されたすべてのチャンネルの A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

3.3.2 設定手順

表 3.9 に、グループスキャンモード動作時の初期設定手順を示します。

表 3.9 グループスキャンモード動作時の初期設定手順

手順	RX
1 モジュールストップ状態を解除 ^(注1)	MSTP(S12AD) = 0;
2 割り込み要求を禁止	S12AD.ADCSR.BIT.ADIE = 0; S12AD.ADCSR.BIT.GBADIE = 0; IEN(S12AD, S12ADI0) = 0; IEN(S12AD, GBADI) = 0;
3 A/D 変換を禁止	S12AD.ADCSR.BIT.ADST = 0;
4 スキャンモード選択	S12AD.ADCSR.BIT.ADCS = 1;
5 チャンネル選択	S12AD.ADANSA0.WORD = 0x0003; S12AD.ADANSB0.WORD = 0x000C;
6 A/D 変換開始トリガ選択	S12AD.ADCSR.BIT.EXTRG = 0; S12AD.ADSTRGR.BIT.TRSA = 0x11; S12AD.ADSTRGR.BIT.TRSB = 0x12;
7 A/D 変換時間の設定	S12AD.ADSSTR0 = 0x0A; S12AD.ADSSTR1 = 0x0A; S12AD.ADSSTR2 = 0x0A; S12AD.ADSSTR3 = 0x0A; S12AD.ADCCR.BIT.CCS = 1;
8 I/O ポート機能の設定 ^(注2)	PORT4.PMR.BIT.B0 = 0; PORT4.PDR.BIT.B0 = 0; MPC.P40PFS.BYTE = 0x80; PORT4.PMR.BIT.B1 = 0; PORT4.PDR.BIT.B1 = 0; MPC.P41PFS.BYTE = 0x80; PORT4.PMR.BIT.B2 = 0; PORT4.PDR.BIT.B2 = 0; MPC.P42PFS.BYTE = 0x80; PORT4.PMR.BIT.B3 = 0; PORT4.PDR.BIT.B3 = 0; MPC.P43PFS.BYTE = 0x80;
9 割り込み優先レベル設定	IPR(S12AD, S12ADI0) = 0x01; IPR(S12AD, GBADI) = 0x01;
10 割り込み要求をクリア	IR(S12AD, S12ADI0) = 0; IR(S12AD, GBADI) = 0;
11 割り込み要求を許可	S12AD.ADCSR.BIT.ADIE = 1; S12AD.ADCSR.BIT.GBADIE = 1; IEN(S12AD, S12ADI0) = 1; IEN(S12AD, GBADI) = 1;
12 マスカブル割り込み許可	setpsw_i();
13 トリガ信号による A/D 変換開始を許可	S12AD.ADCSR.BIT.TRGE = 1;

注 1. モジュールストップ機能については、「6. モジュールストップ機能」を参照してください。

注 2. AN000~AN003 端子を使用する場合は、該当端子の設定を汎用入力にしてください。
(PORT.PDR.Bm ビットおよび PORT.PMR.Bm ビットを“0”に設定。(m : 0~7))

3.4 RX の入力サンプリングとスキャン変換時間

図 3.4 に、RX のスキャン変換のタイミング（ソフトウェア起動、同期トリガ起動の場合）を示します。

図 3.5 に、RX のスキャン変換のタイミング（非同期トリガ起動の場合）を示します。

RX は、A/D 変換開始トリガやその他条件により、スキャンの各所要時間が異なります。

詳細は、「表 3.12 RX のスキャンでの各所要時間」を参照してください。

RX は、スキャン変換開始遅延時間 (t_D) の後に、断線検出アシスト処理、自己診断変換処理を行い、この後に A/D 変換を開始します。

断線検出アシスト機能、自己診断機能については、「表 3.11 RX の断線検出アシスト機能、自己診断機能の概要」を参照してください。

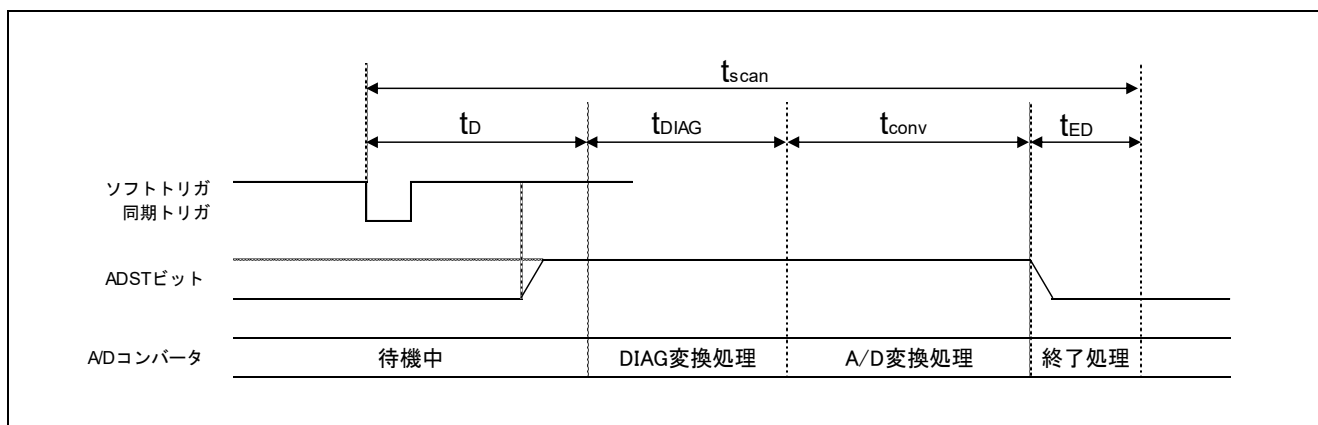


図 3.4 RX のスキャン変換のタイミング（ソフトウェア起動、同期トリガ起動の場合）

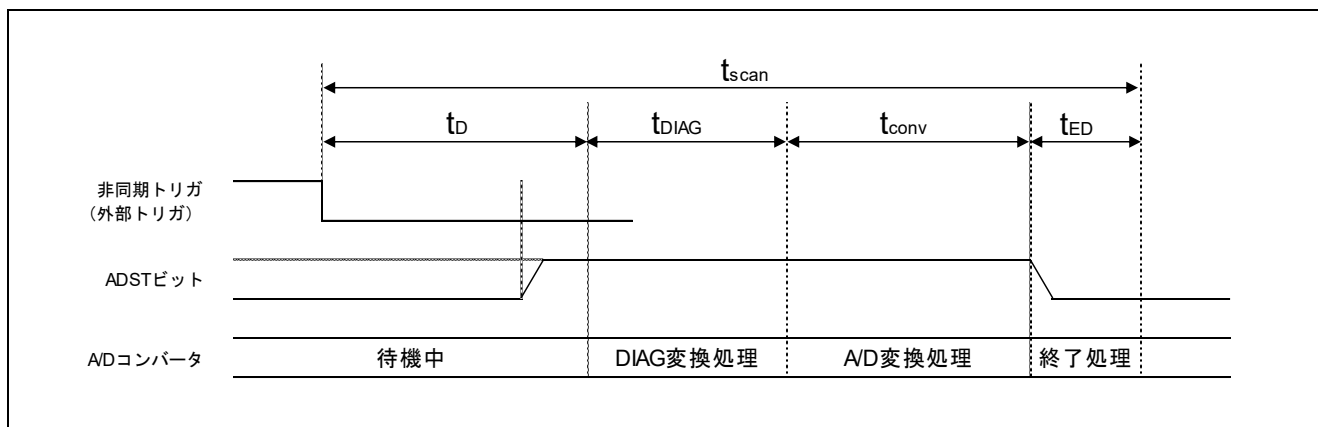


図 3.5 RX のスキャン変換のタイミング（非同期トリガ起動の場合）

表 3.10 に、RX のスキャン変換時間の内容を示します。

表 3.10 RX のスキャン変換時間の内容

項目		備考	
スキャン変換時間 (tSCAN)	スキャン変換開始遅延時間 (tD)	なし	
	断線検出アシスト処理時間 (tDIS)	断線検出アシスト機能無効時、tDIS=0 (注 1)	
	自己診断変換時間 (tDIAG)	自己診断機能無効時、tDIAG=0	
	A/D 変換処理時間 (tCONV)	サンプリング時間 (tSPL)	ADSSTRn レジスタでサンプリング時間を調整可能
		逐次変換時間 (tSAM)	ADCSR.ADHSC ビットと ADCCR.CCS ビットにより逐次変換時間を調整可能
スキャン変換終了遅延時間 (tED)		なし	

注 1. 温度センサ出力/内部基準電圧を A/D 変換時は、15 ステート (ADCLK) に固定されます。

表 3.11 に、RX の断線検出アシスト機能、自己診断機能の概要を示します。

表 3.11 RX の断線検出アシスト機能、自己診断機能の概要

機能	概要	設定	デフォルト
断線検出アシスト機能	A/D 変換開始前に、サンプリング容量の電荷を所定の状態に固定する機能。 この機能により、アナログ入力に接続した配線の断線検出が可能となる。	ADDISCR. ADNDIS[4:0]ビット	無効
自己診断機能	12 ビット A/D コンバータの故障を検出するための機能	ADCER. DIAGM ビット	無効

断線検出アシスト機能、自己診断機能の詳細については、ユーザーズマニュアル ハードウェア編を参照してください。

選択チャンネルが n のシングルスキャンのスキャン変換時間 (tSCAN) は、次のように表されます。

$$tSCAN = tD + (tDIS \times n) + tDIAG + (tCONV \times n) + tED$$

ただし、選択チャンネルのサンプリング時間 (tSPL) がチャンネルごとに異なる場合は、tCONV × n ではなく、各チャンネルのサンプリング時間 (tSPL) と逐次変換時間 (tSAM) の総和になります。

連続スキャンの 1 サイクル目は、シングルスキャンの tSCAN から tED を省いた時間です。

連続スキャンの 2 サイクル目以降は、(tDIS × n) + tDIAG + tDSD + (tCONV × n) となります。

表 3.12 に、RX のスキャンでの各所要時間を示します。

各所要時間を、周辺モジュールクロック PCLK と A/D 変換クロック ADCLK のサイクル数で示します。

PCLK は PCLKB、ADCLK は PCLKD を示します。PCLKB、PCLKD はそれぞれ、クロック発生回路で分周比を設定することが可能です。

また、上記の分周比設定により、PCLK と ADCLK を以下の周波数比で設定可能です。

PCLK : ADCLK 周波数比 = 1 : 1、1 : 2、2 : 1、4 : 1、8 : 1

クロックの詳細は、ユーザーズマニュアル ハードウェア編のクロック発生回路の章を参照してください。

表 3.12 RX のスキャンでの各所要時間

項目			記号	種別/条件			単位
				同期トリガ (注 6)	非同期トリガ	ソフトウェアトリガ	
スキャン開始処理時間 (注 1) (注 2)	グループ A 優先制御動作によるグループ A の A/D 変換 (注 3)	グループ B 中断あり (グループ A の A/D 変換要因によってグループ B を停止させた後、グループ A を起動)	td	3PCLK + 6ADCLK	—	—	サイクル
		グループ B 中断なし (グループ A の A/D 変換要因によって起動)		2PCLK + 4ADCLK	—	—	
	自己診断有効時の A/D 変換	自己診断変換開始時	2PCLK + 6ADCLK	4PCLK + 6ADCLK	6ADCLK		
	上記以外		2PCLK + 4ADCLK	4PCLK + 4ADCLK	4ADCLK		
断線検出アシスト処理時間			tDIS	ADDISCR.ADNDIS[3:0]設定値 (初期値 00h) × ADCLK (注 4)			
自己診断変換処理時間 (注 1)	サンプリング時間		tDIAG	tsPL	ADSSTR0 設定値 (初期値 0Dh) × ADCLK (注 5)		
	逐次変換時間	12 ビット変換精度		tsAM	32 ADCLK (高速変換動作かつ変換サイクル選択ビットが“0”の時)		
			41 ADCLK (低電流変換動作かつ変換サイクル選択ビットが“0”の時)				
			22 ADCLK (高速変換動作かつ変換サイクル選択ビットが“1”の時)				
	自己診断変換終了後、通常の A/D 変換開始時			tDED	2ADCLK		
連続スキャン時の最終チャネル変換終了後、自己診断変換開始時			tDSD	2ADCLK			

項目		記号		種別/条件			単位		
				同期トリガ (注6)	非同期トリガ	ソフトウェアトリガ			
A/D 変換処理時間 (注1)	サンプリング時間		tCONV	tsPL	ADSSTRn (n=0~7、L、T、O) 設定値 (初期値 0Dh) × ADCLK (注5)			サイクル	
	逐次変換時間	12 ビット変換精度			tsAM	32 ADCLK (高速変換動作かつ変換サイクル選択ビットが“0”の時)			
						41 ADCLK (低電流変換動作かつ変換サイクル選択ビットが“0”の時)			
						22 ADCLK (高速変換動作かつ変換サイクル選択ビットが“1”の時)			
				28 ADCLK (低電流変換動作かつ変換サイクル選択ビットが“1”の時)					
スキャン終了時間 (注1)		tED		1PCLK + 3ADCLK (注7)					

注 1. tD、tDIAG、tCONV、tED の各タイミングについては、図 3.4、図 3.5 を参照してください。

注 2. ソフトウェア書き込み、またはトリガ入力から A/D 変換開始までの最大時間です。

注 3. グループスキャンモードでは、グループ A 優先制御動作を設定可能です。グループ A 優先制御動作では、グループ B の A/D 変換動作中にグループ A のトリガ入力があった場合、グループ B の A/D 変換動作を中断して、グループ A の A/D 変換動作を行います。
詳細は、ユーザーズマニュアル ハードウェア編を参照してください。

注 4. 温度センサ出力/内部基準電圧を A/D 変換時は、“0Fh” (15ADCLK) に固定されます。

注 5. 電圧条件により、必要なサンプリング時間が規定されています。詳細は、ユーザーズマニュアル ハードウェア編の A/D 変換特性の章を参照してください。

注 6. タイマ出力からトリガ入力までの経路で消費する時間は含まれていません。

注 7. ADCLK が PCLK より高速な場合 (PCLK : ADCLK 周波数比 = 1 : 2 の設定) では、2PCLK + 3ADCLK になります。

3.5 外部トリガ入力タイミング

図 3.6 に、RX の非同期トリガ入力から A/D 変換終了までのタイミングを示します。

表 3.13 に、図 3.6 に示す RX のタイミングの動作条件を示します。

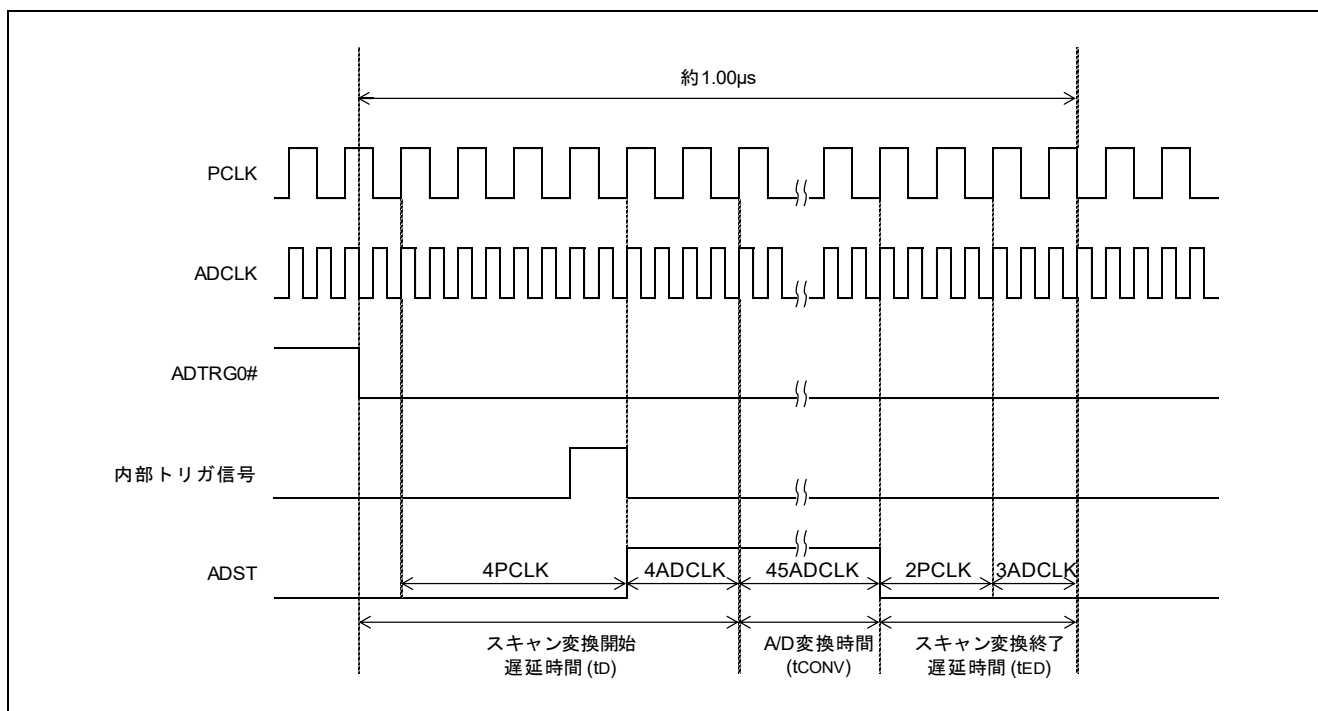


図 3.6 RX の非同期トリガ入力から A/D 変換終了までのタイミング

表 3.13 RX のタイミングの動作条件

項目	条件
A/D 変換クロック ADCLK	64MHz
周辺モジュールクロック PCLK : A/D 変換クロック ADCLK 周波数比	PCLK : ADCLK = 1 : 2
動作モード	シングルスキャンモード
A/D 変換を行うアナログ入力チャンネル	1 チャンネル
変換モード	高速変換動作
逐次変換サイクル数 (ADCCR 設定値)	32 サイクル
断線検出アシスト機能	使用しない
自己診断機能	使用しない
サンプリングステート数 (ADSSTRn 設定値)	13 ステート

注. スキャン変換時間の詳細は、「3.4 RX の入力サンプリングとスキャン変換時間」を参照してください。

図 3.7 に、H8S の外部トリガ入力から A/D 変換終了までのタイミングを示します。

表 3.14 に、図 3.7 に示す H8S のタイミングの動作条件を示します。

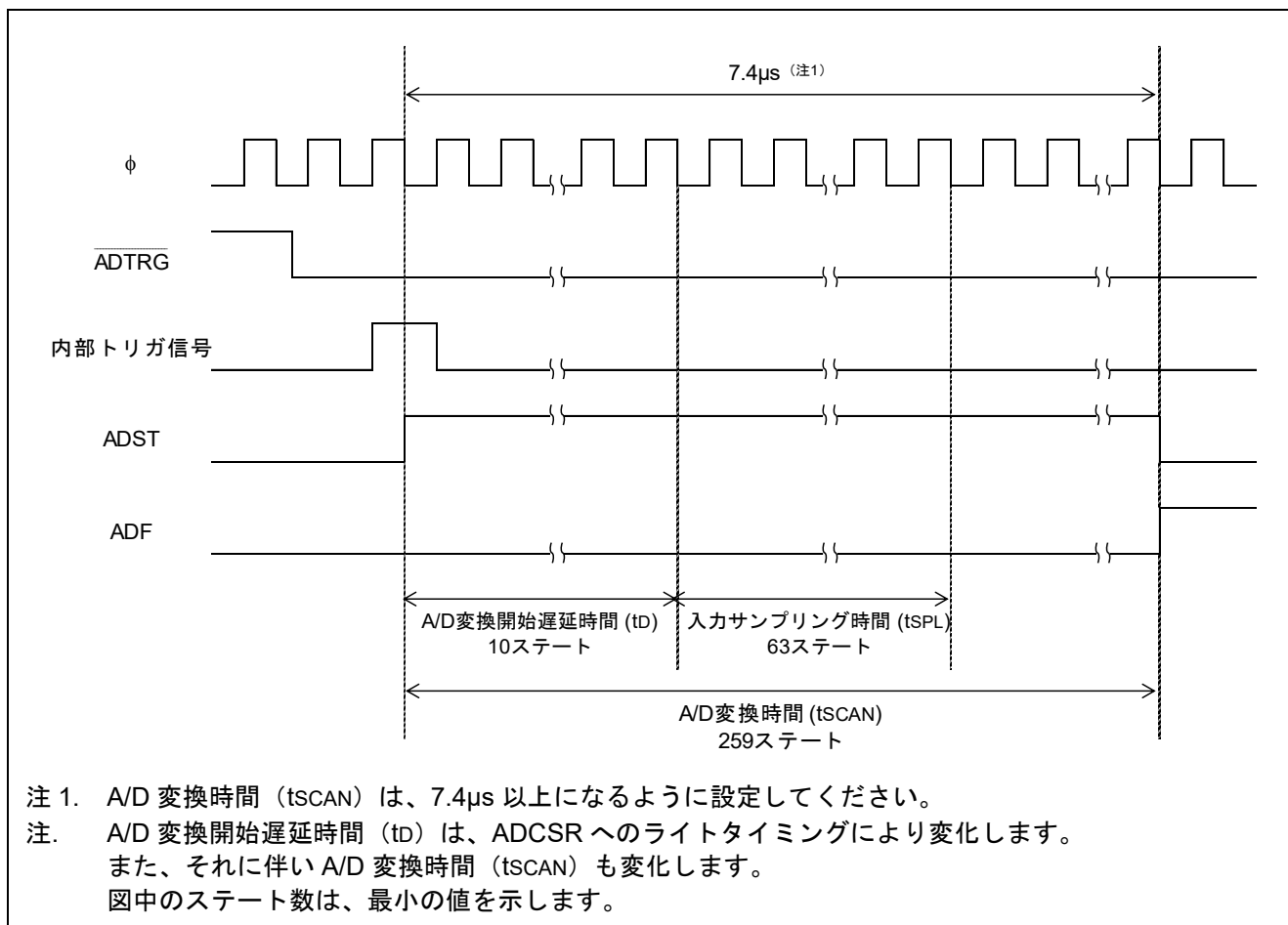


図 3.7 H8S の外部トリガ入力から A/D 変換終了までのタイミング

表 3.14 H8S のタイミングの動作条件

項目	条件
動作クロック	35MHz
動作モード	シングルモード
A/D 変換時間 (ADCR.CKS1、CKS0 設定値)	266 ステート (max)

4. 使用上の注意事項

4.1 許容信号源インピーダンスについて

図 4.1 に、アナログ入力端子と外部センサの等価回路を示します。

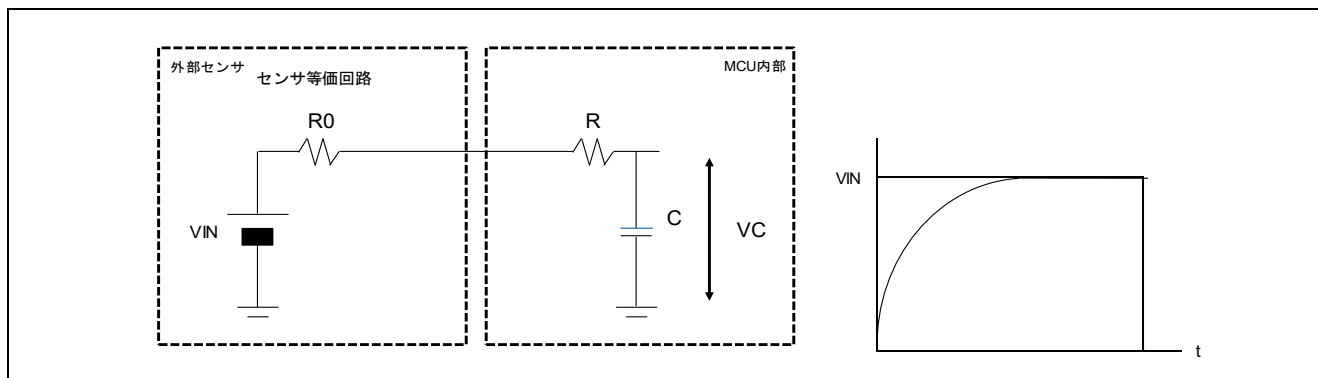


図 4.1 アナログ入力端子と外部センサの等価回路

RX、H8S のアナログ入力は、表 4.1 に示す信号源インピーダンス以下の入力信号に対し、変換精度が保証される設計となっています。

H8S のシングルモードまたは RX のシングルスキャンモードで 1 端子のみ変換を行うときに、外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗だけになるため、信号源インピーダンスは不問です。

ただし、ローパスフィルタとなるため、微分係数の大きなアナログ信号には追従できないことがあります。

高速のアナログ入力信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

表 4.2 に、RX と H8S の内部入力抵抗の値を示します。

表 4.1 変換精度が保証される信号源インピーダンス

項目	RX	H8S
R0	0.5kΩ 以下	5kΩ 以下

表 4.2 RX と H8S の内部入力抵抗

項目	RX	H8S
R	1.3kΩ (高精度チャネル) ^(注1) 5.0kΩ (上記以外) ^(注1)	10kΩ

注 1 参考値

4.2 アナログ電源端子他の設定範囲

表 4.3 に、電圧の設定範囲の相違点を示します。

表 4.3 に示す電圧の設定範囲を超えて RX、H8S を使用した場合、RX、H8S の信頼性に悪影響を及ぼすことがあります。

表 4.3 電圧の設定範囲の相違点

項目	RX	H8S
アナログ入力端子の設定範囲	アナログ入力端子 ANn に印加する電圧は $AVSS0 \leq VAN \leq AVCC0$ の範囲としてください。	A/D 変換中、アナログ入力端子 ANn に印加する電圧は $AVss \leq ANn \leq Vref$ の範囲としてください。
リファレンス電圧の設定範囲	VREFH0 端子、VREFL0 端子に印加するリファレンス電圧の設定範囲は、 $VREFH0 \leq AVCC0$ 、 $VREFL0 = AVSS0$ にしてください。	Vref 端子によるリファレンス電圧の設定範囲は、 $Vref \leq AVcc$ にしてください。
各電源端子の関係	AVSS0 と VSS との関係は $AVSS0 = VSS$ としてください。 アナログ入力端子 AN016~AN031 の A/D 変換を行う場合は、 $AVCC0 = VCC$ としてください。 また、図 4.2 に示すように各々の電源間に最短で閉ループが形成できるように 0.1 μ F のコンデンサを接続し、供給元で $VREFL0 = AVSS0 = VSS$ になるように接続してください。 12 ビット A/D コンバータを使用しない場合は、 $VREFH0 = AVCC0 = VCC$ 、 $VREFL0 = AVSS0 = VSS$ としてください。	AVcc、AVss と Vcc、Vss の関係は $AVcc \geq Vcc$ かつ $AVss = Vss$ とし、さらに、A/D 変換器を使用しないときも AVcc、AVss 端子はオープンにしないでください。

図 4.2 に、RX の各電源端子の接続例を示します。

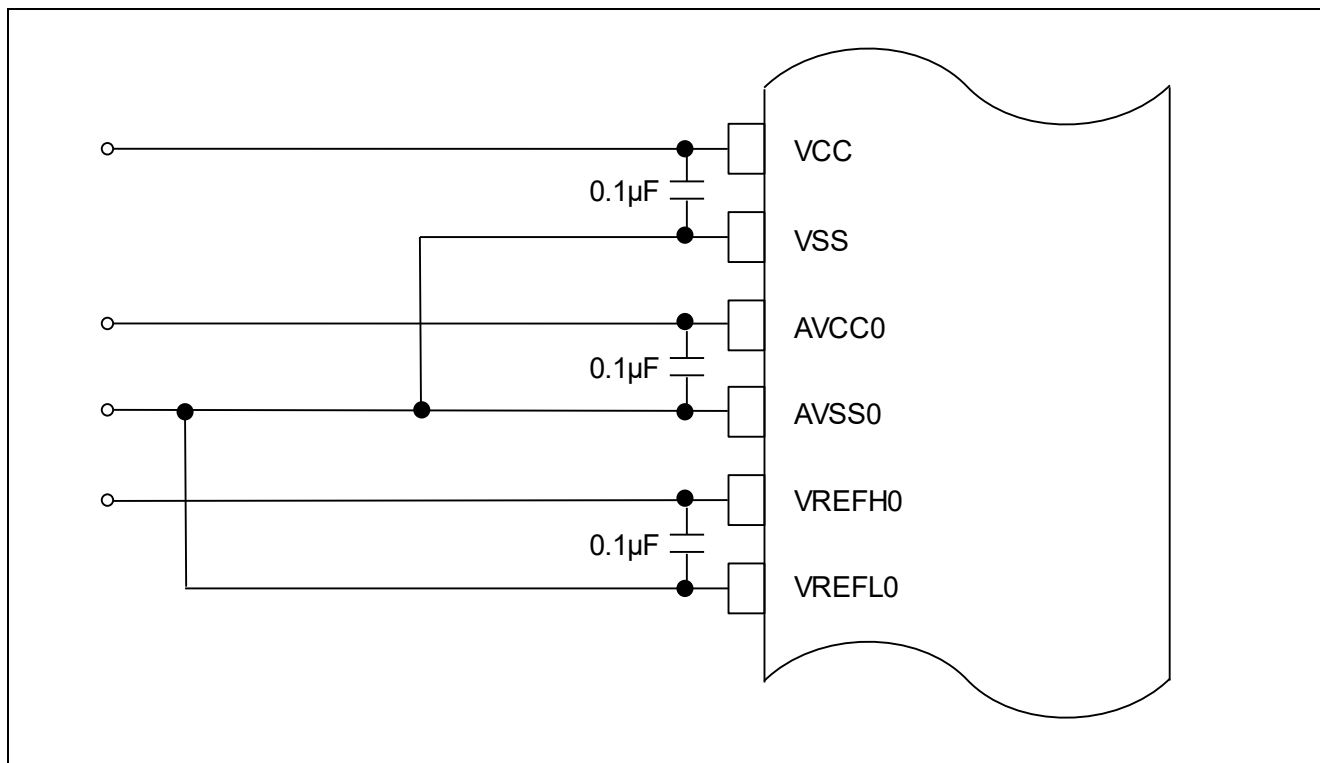


図 4.2 RX の各電源端子の接続例

4.3 ボード設計上の注意事項

RX、H8S マイコンのボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。

また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。

アナログ信号にノイズが乗って、A/D 変換値の精度に悪影響を及ぼします。

アナログ入力端子、基準電源端子、基準グランド端子（RX のみ）、アナログ電源端子は、アナロググランド端子で、デジタル回路と分離してください。

さらに、アナロググランド端子は、ボード上の安定したグランドに一点接続してください。

表 4.4 に、RX と H8S の端子を示します。

表 4.4 RX と H8S の端子

端子	RX	H8S
アナログ入力端子	AN000~AN007、 AN016~AN031	AN0~AN15
基準電源端子	VREFH0	Vref
基準グランド端子	VREFL0	なし
アナログ電源端子	AVCC0	AVcc
アナロググランド端子	AVSS0	AVss

RX では、ADHVREFCNT.HVSEL[1:0] ビット、LVSEL ビットの設定により、基準電圧を以下のように選択できます。

- 高電位側基準電圧：AVCC0 か VREFH0 から選択
- 低電位側基準電圧：AVSS0 か VREFL0 から選択

この設定により、基準電圧に AVCC0、AVSS0 を使用することが可能です。

デフォルトでは、高電位側基準電圧は AVCC0、低電位側基準電圧は AVSS0 が選択されています。

4.4 ノイズ対策上の注意事項

RX、H8S とともに、過大なサージなど異常電圧によるアナログ入力端子の破壊を防ぐために、保護回路を接続する必要があります。

図 4.3 に、RX のアナログ入力保護回路の例を示します。

図 4.4 に、H8S のアナログ入力保護回路の例を示します。

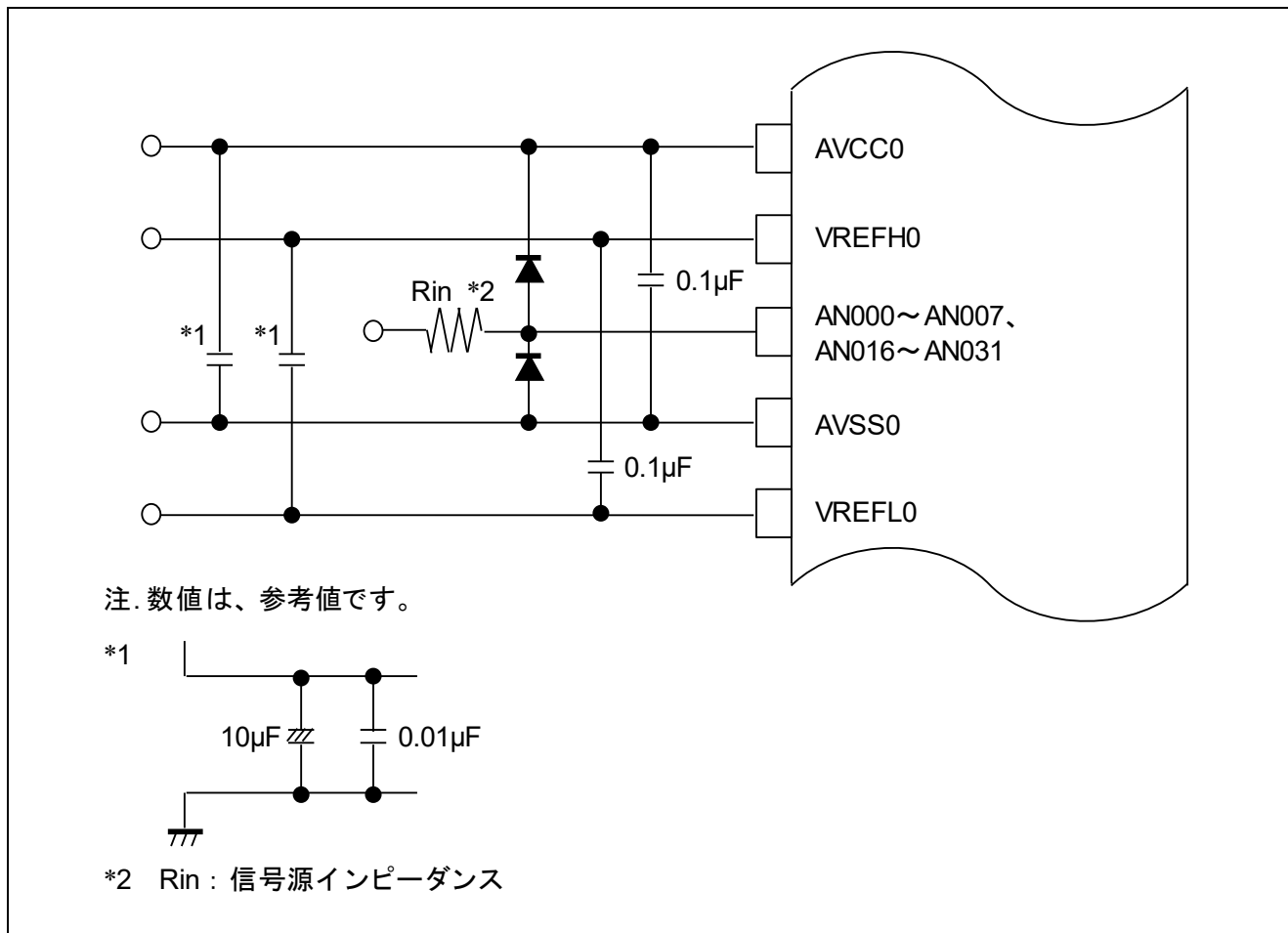


図 4.3 RX のアナログ入力保護回路の例

RX では、図 4.3 に示すように、AVCC0 と AVSS0 間、VREFH0 と VREFL0 間に容量を、またアナログ入力端子 (AN000~AN007、AN016~AN031) を基準に保護回路を接続してください。

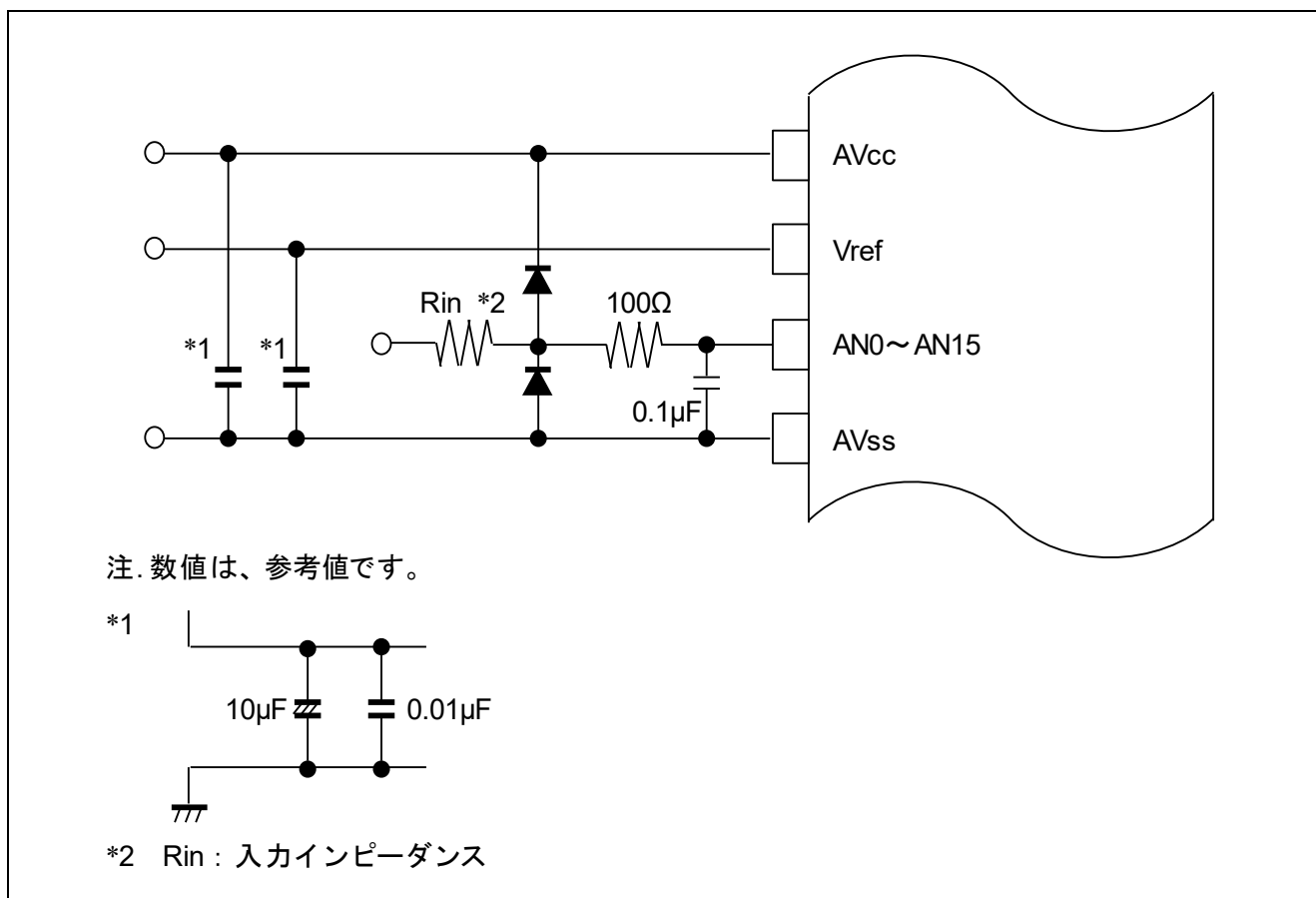


図 4.4 H8S のアナログ入力保護回路の例

H8S では、図 4.4 に示すように、AVcc と AVss 間に保護回路を接続してください。

AVss に接続するバイパスコンデンサ、AN0~AN15 に接続するフィルタ用のコンデンサは、必ず AVss に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0~AN15 の入力電流が平均化されるため、誤差を生じることがあります。

また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (Rin) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。

したがって、回路定数は十分ご検討の上決定してください。

5. 割り込みの相違点

RX は H8S と異なり、周辺機能毎の割り込み許可ビット・割り込み要求ビットに加え、割り込みコントローラに周辺機能の割り込み許可ビット・割り込み要求ビットがあります。

表 5.1 に A/D コンバータの割り込み関連リソースの相違点を示します。

表 5.1 中の IERm レジスタ (m=02h~1Fh)、IRn レジスタ (n=割り込みベクタ番号) は、割り込みコントローラのレジスタです。

IERm レジスタの各ビットと割り込み要因の対応、割り込みベクタ番号については、ユーザーズマニュアル ハードウェア編の割り込みコントローラの章を参照してください。

表 5.1 A/D コンバータの割り込み関連リソースの相違点

項 目		RX		H8S
		S12ADI0	GBADI	ADI
割り込み許可 レジスタ (許可ビット)	周辺機能	ADCSR.ADIE	ADCSR.GBADIE	ADCSR.ADIE
	割り込み コントローラ	IER0C.IEN6	IER0C.IEN7	なし
割り込み要求 レジスタ (要因フラグ)	周辺機能	なし	なし	ADCSR.ADF
	割り込み コントローラ	IR102.IR	IR103.IR	なし

RX では、下記の条件を満たすときに割り込みを受け付けることができます。

- I フラグ (PSW.I ビット) が“1”であること。
- ICU の IER、IPR レジスタで割り込み許可に設定されていること。
- 周辺機能の割り込み要求許可ビットで、割り込み要求が許可されていること。

表 5.2 に、RX と H8S の割り込みの発生条件についての比較表を示します。

表 5.2 RX と H8S の割り込みの発生条件についての比較表

項目	RX	H8S
割り込み許可ビット (I ビット)	PSW レジスタの I ビットを“1” (許可) にすると、マスカブル割り込みの受け付けが許可されます。	割り込み制御モード 0 の場合、CCR レジスタの I ビットを“0” (許可) にすると、マスカブル割り込みの受け付けが許可されます。 割り込み制御モード 2 の場合は、CCR レジスタの I ビットは使用しません。
プロセッサ割り込み優先レベル	PSW レジスタの IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみが受け付けられます。	割り込み制御モード 2 の場合、EXR レジスタの I2~I0 ビットが示すレベルより高いレベルの割り込み要求のみが受け付けられます。 割り込み制御モード 0 の場合は、EXR レジスタの I2~I0 ビットは使用しません。
割り込み優先レベル	IPR レジスタで設定します。	割り込み制御モード 0 の場合はデフォルトの設定となります。 割り込み制御モード 2 の場合は、IPR レジスタの設定となります。
割り込み要求フラグ	周辺機能、外部端子、NMI 割り込み等の全ての割り込みステータスフラグを割り込みコントローラで管理します。	外部割り込みは、割り込みコントローラ、内部割り込み要因は、各内蔵周辺機能内で割り込みステータスフラグを管理します。
割り込み要求許可	マスカブル割り込みは IER レジスタ、ノンマスカブル割り込みは NMIER レジスタで設定します。	IER レジスタで IRQ 割り込み許可を設定します。
周辺機能の割り込み許可	各周辺機能で割り込みの許可、禁止を設定できます。	

表 5.3 に、プロセッサ割り込み許可と優先レベルの相違点を示します。

RX では、PSW.I ビットを“1”（割り込み許可）に設定すると、プロセッサ割り込み優先レベルはデフォルトで優先レベル 0（最低レベル）になっているため、マスカブル割り込み許可になります。

H8S の割り込み制御モード 0 では、CCR.I ビットを“0”（割り込み許可）に設定すると、プロセッサ割り込み優先レベルは使用しないため、マスカブル割り込み許可になります。

H8S の割り込み制御モード 2 では、プロセッサ割り込み優先レベルはデフォルトで優先レベル 7（最高レベル）になっているため、EXR.I2~I0 ビットを設定することで、マスカブル割り込み許可になります。

表 5.3 プロセッサ割り込み許可と優先レベルの相違点

項目	RX	H8S	
		割り込み制御モード 0	割り込み制御モード 2
割り込み許可 デフォルト値	PSW.I ビット : 0 (割り込みマスク)	CCR.I ビット : 1 (割り込みマスク)	使用しない
プロセッサ割り込み優先レベル デフォルト値	PSW.IPL[3:0] ビット : 0000b (最低レベル)	使用しない	EXR.I2~I0 ビット : 111b (最高レベル)
リセット後の動作	マスカブル割り込みを受け付けない		

表 5.4 に、割り込み許可に使用する組み込み関数（一部）を示します。

表 5.4 割り込み許可に使用する組み込み関数（一部）

項目	記述		
	RX	H8S	
		割り込み制御モード 0	割り込み制御モード 2
プロセッサ割り込み許可設定	setpsw_i(); (注 1)	set_imask_ccr(0); (注 1)	使用しない
プロセッサ割り込み優先レベルの設定 (“0”に設定する場合)	set_ipi (0) ; (注 1)	使用しない	set_imask_exr(0); (注 1)

注 1. “machine.h”のインクルードが必要です。

詳細は、ユーザーズマニュアル ハードウェア編の割り込みコントローラ（ICU）、CPU、使用する周辺機能の章を参照してください。

6. モジュールストップ機能

H8S、RX は周辺モジュールごとに機能を停止させることが可能です。

使用しない周辺モジュールをモジュールストップ状態へ遷移させることで、消費電力を低減することができます。

リセット解除後は、表 6.1 に示すモジュール以外はモジュールストップ状態になっています。

表 6.1 RX、H8S の初期設定時動作しているモジュール

RX	H8S
DMAC、DTC、RAM	EXDMAC、DMAC、DTC

モジュールストップ状態のモジュールのレジスタは、読み書きできません。

表 6.1 に示すモジュール以外のモジュールを使用する場合は、モジュールストップ状態を解除した後、初期設定等を行ってください。

詳細は、ユーザーズマニュアル ハードウェア編の消費電力低減機能の章を参照してください。

7. レジスタライトプロテクション機能

RX では、プログラムが暴走したときに備えて、重要なレジスタを書き換えられないように保護することが可能です。

プロテクトレジスタ (PRCR) によって、保護するレジスタを設定します。

クロック発生回路関連レジスタ、動作モード関連レジスタ、消費電力低減機能関連レジスタ、クロック発生回路関連レジスタ、ソフトウェアリセットレジスタ、ローパワータイマ関連レジスタ、LVD 関連レジスタを保護することが可能です。

詳細は、ユーザーズマニュアル ハードウェア編のレジスタライトプロテクション機能の章を参照してください。

8. H8S から RX へ置き換えるポイント

H8S から RX へ置き換えるときのポイントについて、以下に示します。

8.1 入出力ポート

RX では、周辺機能の入出力信号を端子に割り当てるには、MPC の設定を行う必要があります。

RX の端子の入出力制御を行う前に以下の 2 つの設定を行ってください。

- MPC の PFS レジスタ：該当端子に割り当てる周辺機能の選択
- I/O ポートの PMR レジスタ：該当端子に汎用入出力ポート/周辺機能を割り当てるかの選択

表 8.1 に RX と H8S の周辺機能端子の入出力設定についての比較表を示します。

表 8.1 RX と H8S の周辺機能端子の入出力設定についての比較表

機能	RX	H8S
端子の機能選択	PFS レジスタを設定することで、周辺機能の入出力を複数の端子から選択して割り付けることができます。	MCU 動作モード、SYSCR.EXPE ビット、PFCR レジスタ、DDR レジスタ、各周辺機能の設定の組み合わせにより、
汎用入出力ポート/ 周辺機能の切り替え	PMR レジスタを設定することで、対象端子を I/O ポートとして使用するか、周辺機能として使用するかを選択できます。	汎用入出力ポート/周辺機能の切り替え、また端子の機能選択が可能です。

詳細は、ユーザーズマニュアル ハードウェア編のマルチファンクションピンコントローラ（MPC）と、I/O ポートの章を参照してください。

8.2 I/O レジスタマクロ

RX の I/O レジスタの定義 (iodefine.h) 内では、下記のマクロ定義を用意しています。

マクロ定義を使用することで可読性の高いプログラムを記載できます。

表 8.2 にマクロの使用例を示します。

表 8.2 マクロの使用例

マクロ	使用例
IR("module name", "bit name")	IR(GPTW0, GTCIA0) = 0; GPTW0 の GTCIA0 に対応した IR フラグを“0” (割り込み要求をクリア) にします。
DTCE("module name", "bit name")	DTCE(GPTW0, GTCIA0) = 1; GPTW0 の GTCIA0 に対応した DTCE ビットを“1” (DTC 起動を許可) にします。
IEN("module name", "bit name")	IEN(GPTW0, GTCIA0) = 1; GPTW0 の GTCIA0 に対応した IEN ビットを“1” (割り込みを許可) にします。
IPR("module name", "bit name")	IPR(GPTW0, GTCIA0) = 0x02; GPTW0 の GTCIA0 に対応した IPR ビットを“2” (割り込み優先レベルを“2”) にします。
MSTP("module name")	MSTP(GPTW) = 0; GPTW と POEG のモジュールストップ設定ビットを“0” (モジュールストップ状態を解除) にします。
VECT("module name", "bit name")	#pragma interrupt(Excep_GPTW0_GTCIA0 (vect=VECT(GPTW0, GTCIA0))) GPTW0 の GTCIA0 に対応した割り込み関数を宣言します。

8.3 組込関数

RX では、制御レジスタの設定や特殊命令用に組み込み関数を用意しています。

組み込み関数を使用する場合は、machine.h をインクルードしてください。

表 8.3 に RX と H8S の制御レジスタの設定や特殊命令などの記述の相違点（一例）を示します。

表 8.3 RX と H8S の制御レジスタの設定や特殊命令などの記述の相違点（一例）

項目	記述	
	RX	H8S
I フラグを“1”にする	setpsw_i(); (注 1)	set_imask_ccr(1); (注 1) (注 2)
I フラグを“0”にする	clrpsw_i(); (注 1)	set_imask_ccr(0); (注 1) (注 2)
WAIT 命令に展開します。	wait(); (注 1)	なし
NOP 命令に展開します。	nop(); (注 1)	nop(); (注 1)

注 1. “machine.h”のインクルードが必要です。

注 2. RX では I=1 のとき割り込み許可、H8S では I=1 のとき割り込みマスクを意味します。

9. 参考ドキュメント

ユーザーズマニュアル：ハードウェア

H8S/2378 グループ、H8S/2378R グループ ハードウェアマニュアル (RJJ09B0094)

RX260 グループ、RX261 グループ ユーザーズマニュアル ハードウェア編 (R01UH1045JJ)

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

テクニカルアップデート／テクニカルニュース

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

ユーザーズマニュアル：開発環境

CC-RX コンパイラ ユーザーズマニュアル (R20UT3248JJ)

H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ

コンパイラパッケージ ユーザーズマニュアル (RJJ10J2552)

(最新の情報をルネサス エレクトロニクスホームページから入手してください。)

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2018.07.13	—	初版発行
2.00	2025.03.25	—	RX マイコンの比較対象機種を変更 RX231→RX261

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後、切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違えば、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア/ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限られません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア/ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev. 5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。