

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

H8/36024 群, H8/36014 群

瑞萨 16 位单片机

H8 族 / H8/300H Tiny 系列

H8/36024F	HD64F36024	HD64F36024G
H8/36024	HD64336024	HD64336024G
H8/36023	HD64336023	HD64336023G
H8/36022F	HD64F36022	HD64F36022G
H8/36022	HD64336022	HD64336022G
H8/36014F	HD64F36014	HD64F36014G
H8/36014	HD64336014	HD64336014G
H8/36013	HD64336013	HD64336013G
H8/36012F	HD64F36012	HD64F36012G
H8/36012	HD64336012	HD64336012G
H8/36011	HD64336011	HD64336011G
H8/36010	HD64336010	HD64336010G

Keep safety first in your circuit designs!

1. Renesas Technology Corp. puts the maximum effort into making semiconductor products better and more reliable, but there is always the possibility that trouble may occur with them. Trouble with semiconductors may lead to personal injury, fire or property damage.

Remember to give due consideration to safety when making your circuit designs, with appropriate measures such as (i) placement of substitutive, auxiliary circuits, (ii) use of nonflammable material or (iii) prevention against any malfunction or mishap.

Notes regarding these materials

1. These materials are intended as a reference to assist our customers in the selection of the Renesas Technology Corp. product best suited to the customer's application; they do not convey any license under any intellectual property rights, or any other rights, belonging to Renesas Technology Corp. or a third party.
2. Renesas Technology Corp. assumes no responsibility for any damage, or infringement of any third-party's rights, originating in the use of any product data, diagrams, charts, programs, algorithms, or circuit application examples contained in these materials.

3. All information contained in these materials, including product data, diagrams, charts, programs and algorithms represents information on products at the time of publication of these materials, and are subject to change by Renesas Technology Corp. without notice due to product improvements or other reasons. It is therefore recommended that customers contact Renesas Technology Corp. or an authorized Renesas Technology Corp. product distributor for the latest product information before purchasing a product listed herein.

The information described here may contain technical inaccuracies or typographical errors.

Renesas Technology Corp. assumes no responsibility for any damage, liability, or other loss rising from these inaccuracies or errors.

Please also pay attention to information published by Renesas Technology Corp. by various means, including the Renesas Technology Corp. Semiconductor home page (<http://www.renesas.com>).

4. When using any or all of the information contained in these materials, including product data, diagrams, charts, programs, and algorithms, please be sure to evaluate all information as a total system before making a final decision on the applicability of the information and products. Renesas Technology Corp. assumes no responsibility for any damage, liability or other loss resulting from the information contained herein.
5. Renesas Technology Corp. semiconductors are not designed or manufactured for use in a device or system that is used under circumstances in which human life is potentially at stake. Please contact Renesas Technology Corp. or an authorized Renesas Technology Corp. product distributor when considering the use of a product contained herein for any specific purposes, such as apparatus or systems for transportation, vehicular, medical, aerospace, nuclear, or undersea repeater use.
6. The prior written approval of Renesas Technology Corp. is necessary to reprint or reproduce in whole or in part these materials.
7. If these products or technologies are subject to the Japanese export control restrictions, they must be exported under a license from the Japanese government and cannot be imported into a country other than the approved destination.
Any diversion or reexport contrary to the export control laws and regulations of Japan and/or the country of destination is prohibited.
8. Please contact Renesas Technology Corp. for further details on these materials or the products contained therein.

注意

本文只是参考译文，前页所载英文具有正式效力。

请遵循安全第一进行电路设计

1. 虽然瑞萨科技尽力提高半导体产品的质量和可靠性，但是半导体产品也可能发生故障。半导体的故障可能导致人身伤害、火灾事故以及财产损失。在电路设计时，请充分考虑安全性，采用合适的如冗余设计、利用非易燃材料以及故障或者事故防止等的安全设计方法。

关于利用本资料时的注意事项

1. 本资料是为了让用户根据用途选择合适的瑞萨科技产品的参考资料，不转让属于瑞萨科技或者第三者所有的知识产权和其它权利的许可。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法以及其它应用电路的例子而引起的损害或者对第三者的权力的侵犯，瑞萨科技不承担责任。
3. 本资料所记载的产品数据、图、表、程序、算法以及其它所有信息均为本资料发行时的信息，由于改进产品或者其它原因，本资料记载的信息可能变动，恕不另行通知。在购买本资料所记载的产品时，请预先向瑞萨科技或者经授权的瑞萨科技产品经销商确认最新信息。
本资料所记载的信息可能存在技术不准确或者印刷错误。因这些错误而引起的损害、责任问题或者其它损失，瑞萨科技不承担责任。
同时也请通过各种方式注意瑞萨科技公布的信息，包括瑞萨科技半导体网站。
(<http://www.renesas.com>)
4. 在使用本资料所记载部分或者全部数据、图、表、程序以及算法等信息时，在最终做出有关信息和产品是否适用的判断前，务必对作为整个系统的所有信息进行评估。由于本资料所记载的信息而引起的损害、责任问题或者其它损失，瑞萨科技不承担责任。
5. 瑞萨科技的半导体产品不是为在可能和人命相关的环境下使用的设备或者系统而设计和制造的产品。在研讨将本资料所记载的产品用于运输、机动车辆、医疗、航空宇宙用、原子能控制、海底中继器的设备或者系统等特殊用途时，请与瑞萨科技或者经授权的瑞萨产品经销商联系。
6. 未经瑞萨科技的书面许可，不得翻印或者复制全部或者部分资料的内容。
7. 如果本资料所记载的某产品或者技术内容受日本出口管理限制，必须在得到日本政府的有关部门许可后才能出口，并且不准进口到批准目的地国家以外的国家。
禁止违反日本和（或者）目的地国家的出口管理法和法规的任何转卖、挪用或者再出口。
8. 如果需要了解本资料所记载的信息或者产品的详细，请与瑞萨科技联系。

General Precautions on Handling of Product

1. Treatment of NC Pins

Note: Do not connect anything to the NC pins.

The NC (not connected) pins are either not connected to any of the internal circuitry or are used as test pins or to reduce noise. If something is connected to the NC pins, the operation of the LSI is not guaranteed.

2. Treatment of Unused Input Pins

Note: Fix all unused input pins to high or low level.

Generally, the input pins of CMOS products are high-impedance input pins. If unused pins are in their open states, intermediate levels are induced by noise in the vicinity, a passthrough current flows internally, and a malfunction may occur.

3. Processing before Initialization

Note: When power is first supplied, the product's state is undefined.

The states of internal circuits are undefined until full power is supplied throughout the chip and a low level is input on the reset pin. During the period where the states are undefined, the register settings and the output state of each pin are also undefined. Design your system so that it does not malfunction because of processing while it is in this undefined state. For those products which have a reset function, reset the LSI immediately after the power supply has been turned on.

4. Prohibition of Access to Undefined or Reserved Addresses

Note: Access to undefined or reserved addresses is prohibited.

The undefined or reserved addresses may be used to expand functions, or test registers may have been allocated to these addresses. Do not access these registers; the system's operation is not guaranteed if they are accessed.

有关产品的一般注意事项

1. NC 管脚的处理

【注意】NC管脚什么也不要连接。

NC(Non-Connection)管脚有不连接内部电路和作为测试管脚和降低噪声等目的使用的情況。因此，对于NC管脚，请什么也不要连接。如果连接，不能保证。

2. 未使用的输入管脚的处理

【注意】将未使用的输入管脚固定成高电平或者低电平。

CMOS产品的输入管脚一般为高阻抗输入。如果将未使用的输入管脚处于开放状态，就可能由于周围噪声的感应而产生中间电平，在内部产生浸透电流，引起误动作。对于未使用的输入管脚，请固定成高电平或低电平。

3. 初始化前的处理

【注意】加入电源时，产品的状态不定。

从给所有电源管脚外加电压开始，到给复位管脚输入低电平为止，内部电路处于不确定状态，寄存器的设定和各管脚的输出状态不定。请采用避免由此不定状态引起的系统误动作的对策进行系统设计。对于具有复位功能的产品，在加入电源后，请首先执行复位运行。

4. 禁止存取未定义地址或者保留地址

【注意】禁止存取未定义地址或者保留地址。

未定义地址或者保留地址，除了将来用于功能扩展外，还有被分配测试用寄存器等的情况。因为不能保证存取这些寄存器时的运行和继续运行，所以请不要存取。

本书的构成

本手册由如下的内容构成：

1. 有关产品的一般注意事项
2. 本手册的构成
3. 前言
4. 目录
5. 概要
6. 各功能模块的说明
 - CPU 和系统控制
 - 内部外围模块

各模块功能说明的构成取决于各模块。一般由①特点、②输入/输出管脚、③寄存器说明、④运行说明、⑤使用时的注意事项等章节构成。

设计采用本 LSI 的应用系统时，请在充分确认了注意事项的基础上进行。
请务必阅读各章节中有关说明的注意事项和各章节最后的使用时的注意事项(使用时的注意事项根据需要记载。)

7. 寄存器一览表
8. 电特性
9. 附录
10. 本版中修改或者追加的部分（仅适用于修订版）

修订履历汇总了对前版内容的修改和追加的主要部分。
记载的内容并非全部修订内容，有关详细内容请在本手册的正文中确认。

11. 索引

前 言

H8/36024 群和 H8/36014 群是以高速 H8/300H CPU 为核心，集成了系统构成所必需的外围功能的单片机。H8/300H CPU 具有与 H8/300CPU 兼容的指令系统。

对象者 本手册是以设计“采用 H8/36024 群和 H8/36014 群的应用系统”的用户为对象。使用本手册的读者需要具备有关电路、逻辑电路以及微型计算机的基础知识。

目的 本手册是以“能让用户理解 H8/36024 群和 H8/36014 群的硬件功能和电特性”为目的。
关于执行指令的详细内容，已记述在《H8/300H Series Software Manual》中，请对照阅读。

阅读方法

- 希望了解全部功能时
→ 请按照目录的顺序阅读。
本书大致按CPU、系统控制功能、外围功能、电特性的顺序构成。
- 希望了解详细的 CPU 功能时
→ 请参照《H8/300H Series Software Manual》。
- 知道寄存器名，希望了解寄存器的详细功能时
→ 在本手册的后面附有“索引”，请从索引检索页号。
关于地址、位内容以及初始化，汇总在“**第17章 寄存器一览表**”中。

范例 位的表示顺序：以左侧为高位、右侧为低位的顺序表示

注意

在使用内部仿真器(E10T)进行 H8/36014 的程序开发和调试时，必须注意以下限制事项：

1. $\overline{\text{NMI}}$ 管脚被E10T占用，用户不能使用。
2. E10T使用地址H'7000～H'7FFF区，用户不能使用。
3. 不能存取地址H'F780～H'FB7F区。
4. 在使用E10T时，可设定地址断开是让E10T使用还是开放给用户。在E10T使用地址断开的情况下，用户不能存取地址断开的控制寄存器。

5. 在使用E10T时， $\overline{\text{NMI}}$ 管脚为输入/输出（输出为漏极开路）管脚。

【注】和 E10T 同样，在位式调试仿真器（E7）也能使用。

相联资料一览表 最新的资料刊登在网站上，请确认现有的资料是否为最新版。
([http:// www.renesas.com](http://www.renesas.com))

• 有关 H8/36024 群和 H8/36014 群的用户手册

资料名	资料编号
H8/36024 群、H8/36014 群 硬件手册	本手册
H8/300H Series Software Manual	REJ09B0213-0300
H8/300H 系列程序设计手册	ADC-602-003

• 有关开发工具的用户手册

资料名	资料编号
H8S, H8/300 Series C/C++ Compiler, Assembler, Optimizing Linkage Editor User's Manual	REJ10B0058-0100
H8S, H8/300 Series Simulator/Debugger User's Manual	ADE-702-282A
H8S, H8/300 Series High-Performance Embedded Workshop, High-Performance Debugging Interface Tutorial	ADE-702-231
High-Performance Embedded Workshop User's Manual	ADE-702-201A

• 应用注意事项

资料名	资料编号
Single Power Supply F-ZTAT™ On-Board Programming	REJ05B0520-0200

【注】本手册根据日语版《H8/36024 群、H8/36014 群硬件手册 第三版》（RJJ09B0153-0300Z）翻译。有关最新内容，请查阅日语版或者英语版。

目录

第 1 章	概要	1
1.1	特点	1
1.2	内部框图	3
1.3	管脚排列图	4
1.4	管脚功能	6
第 2 章	CPU	9
2.1	地址空间和存储器映像	10
2.2	寄存器构成	12
2.2.1	通用寄存器	12
2.2.2	程序计数器 (PC)	13
2.2.3	条件码寄存器 (CCR)	14
2.3	数据格式	15
2.3.1	通用寄存器的数据格式	15
2.3.2	存储器的数据格式	16
2.4	指令系统	18
2.4.1	指令的功能分类表	18
2.4.2	指令的基本格式	26
2.5	寻址方式和有效地址	27
2.5.1	寻址方式	27
2.5.2	有效地址的计算方法	29
2.6	基本总线周期	32
2.6.1	内部存储器 (RAM、ROM)	32
2.6.2	内部外围模块	33
2.7	CPU 的状态	34
2.8	使用上的注意事项	35
2.8.1	空区域的数据存取	35
2.8.2	EEPMOV 指令	35
2.8.3	位操作指令	36
第 3 章	异常处理	41
3.1	异常类型和向量地址	41
3.2	寄存器说明	43
3.2.1	中断边沿选择寄存器 1 (IEGR1)	43
3.2.2	中断边沿选择寄存器 2 (IEGR2)	44

3.2.3	中断允许寄存器 1 (IENR1)	45
3.2.4	中断标志寄存器 1 (IRR1)	46
3.2.5	唤醒中断标志寄存器 (IWPR)	47
3.3	复位异常处理.....	48
3.4	中断异常处理.....	48
3.4.1	外部中断请求	48
3.4.2	内部中断请求	50
3.4.3	中断处理顺序	50
3.4.4	中断响应时间	51
3.5	使用上的注意事项.....	53
3.5.1	复位后的中断请求	53
3.5.2	堆栈区的存取	53
3.5.3	改写端口模式寄存器时的注意事项	53
第 4 章	地址断开	55
4.1	寄存器说明.....	56
4.1.1	地址断开控制寄存器 (ABRKCR)	56
4.1.2	地址断开状态寄存器 (ABRKSR)	57
4.1.3	断开地址寄存器 (BARH、BARL)	57
4.1.4	断开数据寄存器 (BDRH、BDRL)	58
4.2	运行说明.....	58
第 5 章	时钟振荡器	61
5.1	系统时钟振荡器.....	62
5.1.1	晶体谐振器的连接方法	62
5.1.2	陶瓷谐振器的连接方法	63
5.1.3	输入外部时钟的方法	63
5.2	预定标器.....	63
5.2.1	预定标器 S.....	63
5.3	使用上的注意事项.....	64
5.3.1	谐振器的注意事项	64
5.3.2	电路板设计上的注意事项	64
第 6 章	低功耗模式	65
6.1	寄存器说明.....	66
6.1.1	系统控制寄存器 1 (SYSCR1)	66
6.1.2	系统控制寄存器 2 (SYSCR2)	67
6.1.3	模块待机控制寄存器 1 (MSTCR1)	68
6.1.4	模块待机控制寄存器 2 (MSTCR2)	68
6.2	模式间转移和LSI状态.....	69
6.2.1	睡眠模式	70

6.2.2	待机模式	70
6.2.3	子睡眠模式	71
6.3	激活模式的运行频率	71
6.4	直接转移	71
6.5	模块待机功能	71
第 7 章	ROM	73
7.1	块结构	74
7.2	寄存器说明	75
7.2.1	快速擦写存储器控制寄存器 1 (FLMCR1)	75
7.2.2	快速擦写存储器控制寄存器 2 (FLMCR2)	76
7.2.3	块指定寄存器 1 (EBR1)	76
7.2.4	快速擦写存储器允许寄存器 (FENR)	76
7.3	单板上编程	77
7.3.1	引导模式	78
7.3.2	用户模式的写/擦除	80
7.4	写/擦除程序	81
7.4.1	编程/编程验证	81
7.4.2	擦除/擦除验证	84
7.4.3	快速擦写存储器的写/擦除时的中断	84
7.5	写/擦除保护	86
7.5.1	硬件保护	86
7.5.2	软件保护	86
7.5.3	错误保护	86
第 8 章	RAM	87
第 9 章	I/O 端口	89
9.1	端口1	90
9.1.1	端口模式寄存器 1 (PMR1)	90
9.1.2	端口控制寄存器 1 (PCR1)	91
9.1.3	端口数据寄存器 1 (PDR1)	91
9.1.4	端口上拉控制寄存器 1 (PUCR1)	92
9.1.5	管脚功能	92
9.2	端口2	94
9.2.1	端口控制寄存器 2 (PCR2)	94
9.2.2	端口数据寄存器 2 (PDR2)	95
9.2.3	管脚功能	95
9.3	端口5	96
9.3.1	端口模式寄存器 5 (PMR5)	97
9.3.2	端口控制寄存器 5 (PCR5)	98

9.3.3	端口数据寄存器 5 (PDR5)	98
9.3.4	端口上拉控制寄存器 5 (PUCR5)	98
9.3.5	管脚功能	99
9.4	端口7	101
9.4.1	端口控制寄存器 7 (PCR7)	101
9.4.2	端口数据寄存器 7 (PDR7)	102
9.4.3	管脚功能	102
9.5	端口8	104
9.5.1	端口控制寄存器 8 (PCR8)	104
9.5.2	端口数据寄存器 8 (PDR8)	105
9.5.3	管脚功能	105
9.6	端口B	107
9.6.1	端口数据寄存器 B (PDRB)	107
第 10 章	定时器 V	109
10.1	特点	109
10.2	输入/输出管脚	111
10.3	寄存器说明	111
10.3.1	定时器计数器 V (TCNTV)	111
10.3.2	时间常数寄存器 A、B (TCORA、TCORB)	111
10.3.3	定时器控制寄存器 V0 (TCRV0)	112
10.3.4	定时器控制/状态寄存器 V (TCSRv)	113
10.3.5	定时器控制寄存器 V1 (TCRV1)	114
10.4	运行说明	114
10.4.1	定时器 V 的运行	114
10.5	定时器V的使用例	118
10.5.1	输出任意占空比脉冲	118
10.5.2	从 TRGV 输入开始的任意延迟时间和任意脉冲宽度的脉冲输出	119
10.6	使用上的注意事项	120
第 11 章	定时器 W	123
11.1	特点	123
11.2	输入/输出管脚	126
11.3	寄存器说明	126
11.3.1	定时器模式寄存器 W (TMRW)	127
11.3.2	定时器控制寄存器 W (TCRW)	128
11.3.3	定时器中断允许寄存器 W (TIERW)	129
11.3.4	定时器状态寄存器 W (TSRW)	130
11.3.5	定时器 I/O 控制寄存器 0 (TIOR0)	131
11.3.6	定时器 I/O 控制寄存器 1 (TIOR1)	132
11.3.7	定时器计数器 (TCNT)	133

11.3.8	通用寄存器 A、B、C、D (GRA、GRB、GRC、GRD)	133
11.4	运行说明	134
11.4.1	通常运行	134
11.4.2	PWM 运行	137
11.5	运行时序	142
11.5.1	TCNT 的计数时序	142
11.5.2	输出比较的输出时序	143
11.5.3	输入捕捉时序	144
11.5.4	通过比较匹配产生的计数器清除时序	144
11.5.5	缓冲器运行时序	145
11.5.6	比较匹配时的 IMFA~IMFD 标志的置位时序	146
11.5.7	输入捕捉时的标志置位时序	147
11.5.8	状态标志的清除时序	147
11.6	使用上的注意事项	148
第 12 章	监视定时器	151
12.1	特点	151
12.2	寄存器说明	151
12.2.1	定时器控制/状态寄存器 WD (TCSRWD)	152
12.2.2	定时器计数器 WD (TCWD)	153
12.2.3	定时器模式寄存器 WD (TMWD)	153
12.3	运行说明	154
第 13 章	串行通信接口 3 (SCI3)	155
13.1	特点	155
13.2	输入/输出管脚	157
13.3	寄存器说明	158
13.3.1	接收移位寄存器 (RSR)	158
13.3.2	接收数据寄存器 (RDR)	158
13.3.3	发送移位寄存器 (TSR)	158
13.3.4	发送数据寄存器 (TDR)	158
13.3.5	串行模式寄存器 (SMR)	159
13.3.6	串行控制寄存器 3 (SCR3)	160
13.3.7	串行状态寄存器 (SSR)	161
13.3.8	位传输率寄存器 (BRR)	162
13.3.9	SCI3_3 模块控制寄存器 (SMCR)	167
13.4	异步模式的运行说明	168
13.4.1	时钟	168
13.4.2	SCI3 的初始化	169
13.4.3	数据发送	170
13.4.4	数据接收	172

13.5	时钟同步模式的运行说明.....	175
13.5.1	时钟.....	175
13.5.2	SCI3 的初始化.....	175
13.5.3	数据发送.....	176
13.5.4	数据接收.....	178
13.5.5	数据发送和接收同时运行.....	180
13.6	多处理器通信功能.....	181
13.6.1	多处理器数据发送.....	182
13.6.2	多处理器数据接收.....	183
13.7	中断请求.....	185
13.8	使用上的注意事项.....	186
13.8.1	关于中止的检测和处理.....	186
13.8.2	标记状态和中止的发送.....	186
13.8.3	关于接收错误标志和发送运行（只限时钟同步模式）.....	186
13.8.4	异步模式的接收数据采样时序和接收容限.....	186
第 14 章	A/D 转换器.....	189
14.1	特点.....	189
14.2	输入/输出管脚.....	191
14.3	寄存器说明.....	191
14.3.1	A/D 数据寄存器 A~D（ADDRA~D）.....	191
14.3.2	A/D 控制/状态寄存器（ADCSR）.....	192
14.3.3	A/D 控制寄存器（ADCR）.....	193
14.4	运行说明.....	193
14.4.1	单通道模式.....	193
14.4.2	扫描模式.....	194
14.4.3	输入采样和 A/D 转换时间.....	194
14.4.4	外部触发输入时序.....	195
14.5	A/D 转换精度的定义.....	196
14.6	使用上的注意事项.....	198
14.6.1	关于容许信号源阻抗.....	198
14.6.2	关于对绝对精度的影响.....	198
第 15 章	加电复位和低电压检测电路【任选】.....	199
15.1	特点.....	199
15.2	寄存器说明.....	201
15.2.1	低电压检测控制寄存器（LVDCR）.....	201
15.2.2	低电压检测状态寄存器（LVDSR）.....	202
15.3	运行说明.....	203
15.3.1	加电复位电路.....	203
15.3.2	低电压检测电路.....	204

第 16 章	电源电路.....	207
16.1	使用内部电源降压电路的情况.....	207
16.2	不使用内部电源降压电路的情况.....	207
第 17 章	寄存器一览表.....	209
17.1	寄存器地址一览表（按地址顺序）.....	210
17.2	寄存器位一览表.....	213
17.3	各运行模式的寄存器状态.....	216
第 18 章	电特性.....	219
18.1	绝对最大额定值.....	219
18.2	电特性（F-ZTAT™版）.....	220
18.2.1	电源电压和运行范围.....	220
18.2.2	DC 特性.....	222
18.2.3	AC 特性.....	227
18.2.4	A/D 转换特性.....	229
18.2.5	监视定时器特性.....	230
18.2.6	快速擦写存储器特性.....	230
18.2.7	电源电压检测电路特性【任选】.....	232
18.2.8	加电复位特性【任选】.....	232
18.3	电特性（掩模型ROM版）.....	233
18.3.1	电源电压和运行范围.....	233
18.3.2	DC 特性.....	235
18.3.3	AC 特性.....	240
18.3.4	A/D 转换特性.....	242
18.3.5	监视定时器特性.....	243
18.3.6	电源电压检测电路特性【任选】.....	243
18.3.7	加电复位特性【任选】.....	244
18.4	时序图.....	245
18.5	输出负载条件.....	246
附录 A.	指令.....	247
A.1	指令表.....	247
A.2	操作码映像.....	262
A.3	指令执行状态数.....	265
A.4	指令和寻址方式的组合.....	274
附录 B.	I/O 端口.....	275
B.1	I/O端口框图.....	275
B.2	在各处理状态中的端口状态.....	287

附录 C. 型号一览表	289
附录 D. 外形尺寸图	293
修订记录	改-1
索引	索引-1

图目录

第1章 概要

图1.1 内部框图.....	3
图1.2 管脚排列图（FP-64E）	4
图1.3 管脚排列图（FP-48F、FP-48B、TNP-48）	5

第2章 CPU

图2.1 存储器映像（1）	10
图2.1 存储器映像（2）	11
图2.2 CPU内部寄存器构成.....	12
图2.3 通用寄存器的使用方法	13
图2.4 堆栈指针和堆栈区的关系.....	13
图2.5 通用寄存器的数据格式（1）	15
图2.5 通用寄存器的数据格式（2）	16
图2.6 存储器的数据格式	17
图2.7 指令格式.....	26
图2.8 存储器间接转移地址的指定	29
图2.9 内部存储器的存取周期	32
图2.10 内部外围模块的存取周期（3个状态存取的情况）	33
图2.11 CPU的状态分类	34
图2.12 状态转移图.....	34
图2.13 同地址被分配2个寄存器的定时器的构成例子	36

第3章 异常处理

图3.1 复位异常处理顺序	49
图3.2 中断异常处理结束后的堆栈状态.....	51
图3.3 中断请求顺序.....	52
图3.4 端口模式寄存器的操作和中断请求标志的清除过程.....	54

第4章 地址断开

图4.1 地址断开框图.....	55
图4.2 地址断开中断的运行例子（1）	58
图4.2 地址断开中断的运行例子（2）	59

第5章 时钟发生器

图5.1 时钟发生电路的框图.....	61
图5.2 系统时钟振荡器的电路图	62
图5.3 晶体谐振器的连接例子	62
图5.4 晶体谐振器的等效电路	62
图5.5 陶瓷谐振器的连接例子	63
图5.6 输入外部时钟的连接例子.....	63
图5.7 有关振荡电路的电路板设计的注意事项.....	64

第6章 低功耗模式

图6.1 模式转移图	69
------------------	----

第7章 ROM

图7.1 快速擦写存储器的块结构	74
图7.2 用户模式的写/擦除例子	80
图7.3 编程/编程验证流程图	82
图7.4 擦除/擦除验证流程图	85

第9章 低功耗模式

图9.1 端口1的管脚结构	90
图9.2 端口2的管脚结构	94
图9.3 端口5的管脚结构	96
图9.4 端口7的管脚结构	101
图9.5 端口8的管脚结构	104
图9.6 端口B的管脚结构	107

第10章 定时器 V

图10.1 定时器V的框图	110
图10.2 内部时钟运行时的计数时序	115
图10.3 外部时钟运行时的计数时序	115
图10.4 OVF的置位时序	116
图10.5 CMFA和CMFB的置位时序	116
图10.6 TMOV输出时序	116
图10.7 通过比较匹配进行清除的时序	117
图10.8 通过TMRIV输入进行清除的时序	117
图10.9 脉冲输出例子	118
图10.10 同步于TRGV输入的脉冲输出例子	119
图10.11 对TCNTV的写操作和清除的竞争	120
图10.12 对TCORA的写操作和比较匹配的竞争	121
图10.13 内部时钟的转换和TCNTV运行	121

第11章 定时器 W

图11.1 定时器W的框图	125
图11.2 自由运行计数器的运行	134
图11.3 周期计数器的运行	134
图11.4 0输出和1输出的运行例（在TOA=0和TOB=1的情况下）	135
图11.5 交替输出的运行例（在TOA=0和TOB=1的情况下）	135
图11.6 交替输出的运行例（在TOA=0和TOB=1的情况下）	136
图11.7 输入捕捉运行例	136
图11.8 缓冲器运行例（输入捕捉的情况）	137
图11.9 PWM模式运行例（1）	138
图11.10 PWM模式运行例（2）	138
图11.11 缓冲器运行例（在输出比较的情况下）	139
图11.12 PWM模式运行例（在TOB=TOC=TOD=0、初始输出0的情况下）	140
图11.13 PWM模式运行例（在TOB=TOC=TOD=1、初始输出1的情况下）	141
图11.14 内部时钟运行时的计数时序	142
图11.15 外部时钟运行时的计数时序	142
图11.16 输出比较的输出时序	143
图11.17 输入捕捉的输入信号时序	144
图11.18 通过比较匹配产生的计数器清除时序	144
图11.19 缓冲器运行时序（比较匹配）	145

图11.20	缓冲器运行时序（输入捕捉）	145
图11.21	比较匹配时的IMFA~IMFD标志的置位时序	146
图11.22	发生输入捕捉时的IMFA~IMFD标志的置位时序	147
图11.23	通过CPU进行的状态标志的清除时序	147
图11.24	TCNT的写操作和清除的竞争	148
图11.25	内部时钟的转换和TCNT运行	149
图11.26	比较匹配和对TCRW的位操作指令发生竞争时的例子	150
第12章 监视定时器		
图12.1	监视定时器的框图	151
图12.2	监视定时器运行的例子	154
第13章 SCI3		
图13.1	SCI3的框图	157
图13.2	异步通信的数据格式	168
图13.3	输出时钟和通信数据的相位关系（异步模式） （8位数据/有奇偶校验/2个停止位的例子）	168
图13.4	初始化SCI3时的流程图例子	169
图13.5	异步模式发送时的运行例子 （8位数据/有奇偶校验/1个停止位的例子）	170
图13.6	发送数据的流程图例子（异步模式）	171
图13.7	异步模式接收时的运行例子 （8位数据/有奇偶校验/1个停止位的例子）	172
图13.8	数据接收的流程图例子（异步模式）	174
图13.9	时钟同步通信的数据格式	175
图13.10	时钟同步模式发送时的运行例子	176
图13.11	数据发送的流程图例子（时钟同步模式）	177
图13.12	时钟同步模式接收时的运行例子	178
图13.13	接收数据的流程图例子（时钟同步模式）	179
图13.14	数据发送和接收同时运行的流程图例子（时钟同步模式）	180
图13.15	使用多处理器格式的处理器的通信例子 （给接收站A发送数据H'AA的例子）	181
图13.16	多处理器数据发送的流程图例子	182
图13.17	多处理器数据接收的流程图例子	183
图13.18	多处理器格式的接收时的运行例子 （8位数据/有多处理器位/1个停止位的例子）	184
图13.19	异步模式的接收数据的采样时序	187
第14章 A/D 转换器		
图14.1	A/D转换器的框图	190
图14.2	A/D转换时序	195
图14.3	外部触发输入时序	196
图14.4	A/D转换精度的定义（1）	197
图14.5	A/D转换精度的定义（2）	197
图14.6	模拟输入电路的例子	198
第15章 加电复位电路和低电压检测电路【任选】		
图15.1	加电复位电路和低电压检测电路的框图	200
图15.2	加电复位电路的运行时序	203

图15.3	低电压检测复位电路的运行时序	204
图15.4	低电压检测中断电路的运行时序	205
图15.5	低电压检测电路运行/解除的设定时序.....	206
第16章 电源电路		
图16.1	在使用内部电源降压电路的情况下的电源连接图	207
图16.2	在不使用内部电源降压电路的情况下的电源连接图	208
第18章 电特性		
图18.1	系统时钟输入时序.....	245
图18.2	RES管脚的低电平宽度时序	245
图18.3	输入时序	245
图18.4	SCK3输入时钟时序.....	246
图18.5	SCK3时钟同步模式输入/输出时序	246
图18.6	输出负载电路.....	246
附录		
图B.1	端口1框图 (P17)	275
图B.2	端口1框图 (P14)	276
图B.3	端口1框图 (P16、P15、P12*、P10)	276
图B.4	端口1框图 (P12) (H8/36024的情况)	277
图B.5	端口1框图 (P11)	277
图B.6	端口2框图 (P22)	278
图B.7	端口2框图 (P21)	278
图B.8	端口2框图 (P20)	279
图B.9	端口5框图 (P57、P56) (H8/36014的情况)	279
图B.10	端口5框图 (P57) (H8/36024的情况)	280
图B.11	端口5框图 (P56) (H8/36024的情况)	280
图B.12	端口5框图 (P55)	281
图B.13	端口5框图 (P54、P53、P52、P51、P50)	281
图B.14	端口7框图 (P76)	282
图B.15	端口7框图 (P75)	282
图B.16	端口7框图 (P74)	283
图B.17	端口7框图 (P73)	283
图B.18	端口7框图 (P72)	284
图B.19	端口7框图 (P71)	284
图B.20	端口7框图 (P70)	285
图B.21	端口8框图 (P84、P83、P82、P81)	285
图B.22	端口8框图 (P80)	286
图B.23	端口B框图 (PB3、PB2、PB1、PB0)	286
图D.1	FP-64E外形尺寸图.....	293
图D.2	FP-48F外形尺寸图.....	294
图D.3	FP-48B外形尺寸图.....	295
图D.4	TNP-48外形尺寸图.....	296

表目录

第1章 概要	
表1.1 管脚功能	6
第2章 CPU	
表2.1 操作符号	18
表2.2 数据传送指令	19
表2.3 算术运算指令	20
表2.4 逻辑运算指令	21
表2.5 移位指令	21
表2.6 位操作指令	22
表2.7 转移指令	24
表2.8 系统控制指令	25
表2.9 数据块传送指令	25
表2.10 寻址方式一览表	27
表2.11 绝对地址的存取范围	28
表2.12 有效地址的计算方法 (1)	30
表2.12 有效地址的计算方法 (2)	31
第3章 异常处理	
表3.1 异常类型和向量地址	42
表3.2 中断请求等待状态数	51
第4章 地址断开	
表4.1 使用的数据总线	57
第5章 时钟发生器	
表5.1 晶体谐振器的参数	62
第6章 低功耗模式	
表6.1 运行频率和待机时间	67
表6.2 执行SLEEP指令后的状态和由中断产生的返回地址	69
表6.3 各运行模式的LSI状态	70
第7章 ROM	
表7.1 编程模式的选择方法	77
表7.2 引导模式的运行	79
表7.3 可自动匹配位传输率的系统时钟频率	79
表7.4 再写数据运算表	83
表7.5 追加写数据运算表	83
表7.6 写时间	83
第10章 定时器 V	
表10.1 管脚结构	111
表10.2 输入到TCNTV的时钟和计数条件	112

第11章 定时器 W	
表11.1 定时器W功能表	124
表11.2 管脚结构	126
第13章 SCI3	
表13.1 SCI3的通道构成	156
表13.2 管脚结构	157
表13.3 对于位传输率的BRR的设定例子（异步模式）	163
表13.4 各频率的最大位传输率（异步模式）	165
表13.5 对于位传输率的BRR的设定例子（时钟同步模式）	166
表13.6 SSR状态标志的状态和接收数据的传送	173
表13.7 SCI3的中断请求	185
第14章 A/D 转换器	
表14.1 管脚结构	191
表14.2 模拟输入通道与A/D数据寄存器的对应	192
表14.3 A/D转换时间（单通道模式）	195
第15章 加电复位电路和低电压检测电路【任选】	
表15.1 LVDCR的设定和选择功能	202
第18章 电特性	
表18.1 绝对最大额定值	219
表18.2 DC特性（1）	222
表18.2 DC特性（2）	226
表18.3 AC特性	227
表18.4 串行接口（SCI3）时序	228
表18.5 A/D转换器特性	229
表18.6 监视定时器特性	230
表18.7 快速擦写存储器特性	230
表18.8 电源电压检测电路特性	232
表18.9 加电复位特性	232
表18.10 DC特性（1）	235
表18.10 DC特性（2）	239
表18.11 AC特性	240
表18.12 串行接口（SCI3）时序	241
表18.13 A/D转换器特性	242
表18.14 监视定时器特性	243
表18.15 电源电压检测电路特性	243
表18.16 加电复位特性	244
附录	
表A.1 指令系统一览表	249
表A.2 操作码映像（1）	262
表A.2 操作码映像（2）	263
表A.2 操作码映像（3）	264
表A.3 执行状态（周期）所需要的状态数	265
表A.4 指令执行状态（周期数）	266
表A.5 指令和寻址方式的组合	274

第 1 章 概要

1.1 特点

- 16位高速H8/300H CPU
目标码级与H8/300 CPU向上兼容
通用寄存器：16位×16个
基本指令：62种
- 丰富的外围功能
定时器V（8位定时器）
定时器W（16位定时器）
监视定时器
SCI（异步或者时钟同步串行通信接口）
10位A/D转换器
- 内部存储器

产品类型		产品型号		ROM	RAM
		标准品	内藏加电复位和低电压检测电路版		
快速擦写存储器版 (F-ZTAT™ 版)	H8/36024F	HD64F36024	HD64F36024G	32K 字节	2048 字节
	H8/36022F	HD64F36022	HD64F36022G	16K 字节	2048 字节
	H8/36014F	HD64F36014	HD64F36014G	32K 字节	2048 字节
	H8/36012F	HD64F36012	HD64F36012G	16K 字节	2048 字节
掩模型 ROM 版	H8/36024	HD64336024	HD64336024G	32K 字节	1024 字节
	H8/36023	HD64336023	HD64336023G	24K 字节	1024 字节
	H8/36022	HD64336022	HD64336022G	16K 字节	512 字节
	H8/36014	HD64336014	HD64336014G	32K 字节	1024 字节
	H8/36013	HD64336013	HD64336013G	24K 字节	1024 字节
	H8/36012	HD64336012	HD64336012G	16K 字节	512 字节
	H8/36011	HD64336011	HD64336011G	12K 字节	512 字节
	H8/36010	HD64336010	HD64336010G	8K 字节	512 字节

- 通用输入/输出端口

输入/输出端口：30个管脚。其中5个大电流端口（ $I_{OL}=20\text{mA}$ @ $V_{OL}=1.5\text{V}$ ）

输入端口：4个管脚（模拟输入管脚兼用）

- 支持各种低功耗模式

【注】F-ZTAT™版是（株）瑞萨科技的商标。

- 小型封装

封装	（代码）	尺寸	管脚节距
LQFP-64	FP-64E	10.0 × 10.0 mm	0.5 mm
LQFP-48	FP-48F	10.0 × 10.0 mm	0.65 mm
LQFP-48	FP-48B	7.0 × 7.0 mm	0.5 mm
QFN-48	TNP-48	7.0 × 7.0 mm	0.5 mm

1.2 内部框图

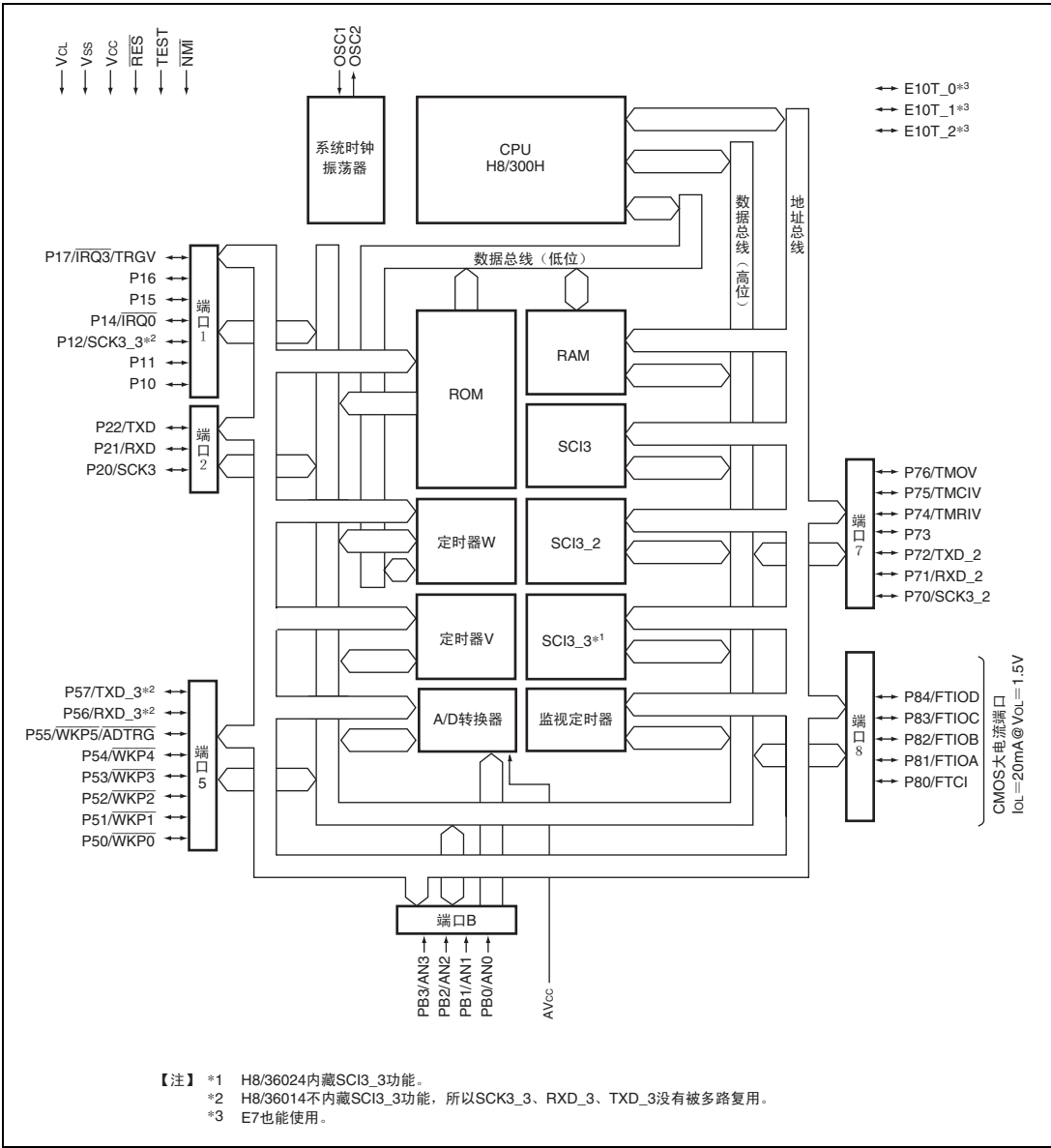


图 1.1 内部框图

1.3 管脚排列图

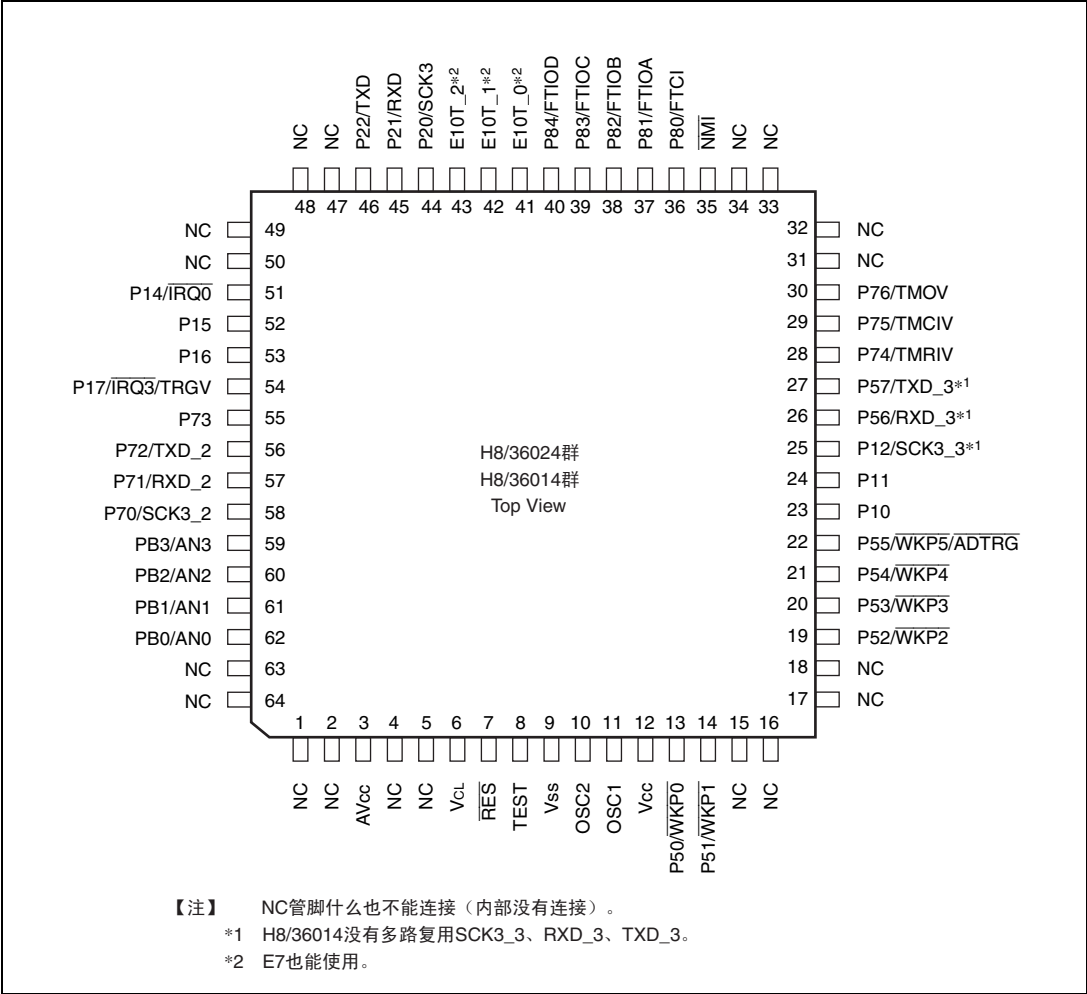


图 1.2 管脚排列图（FP-64E）

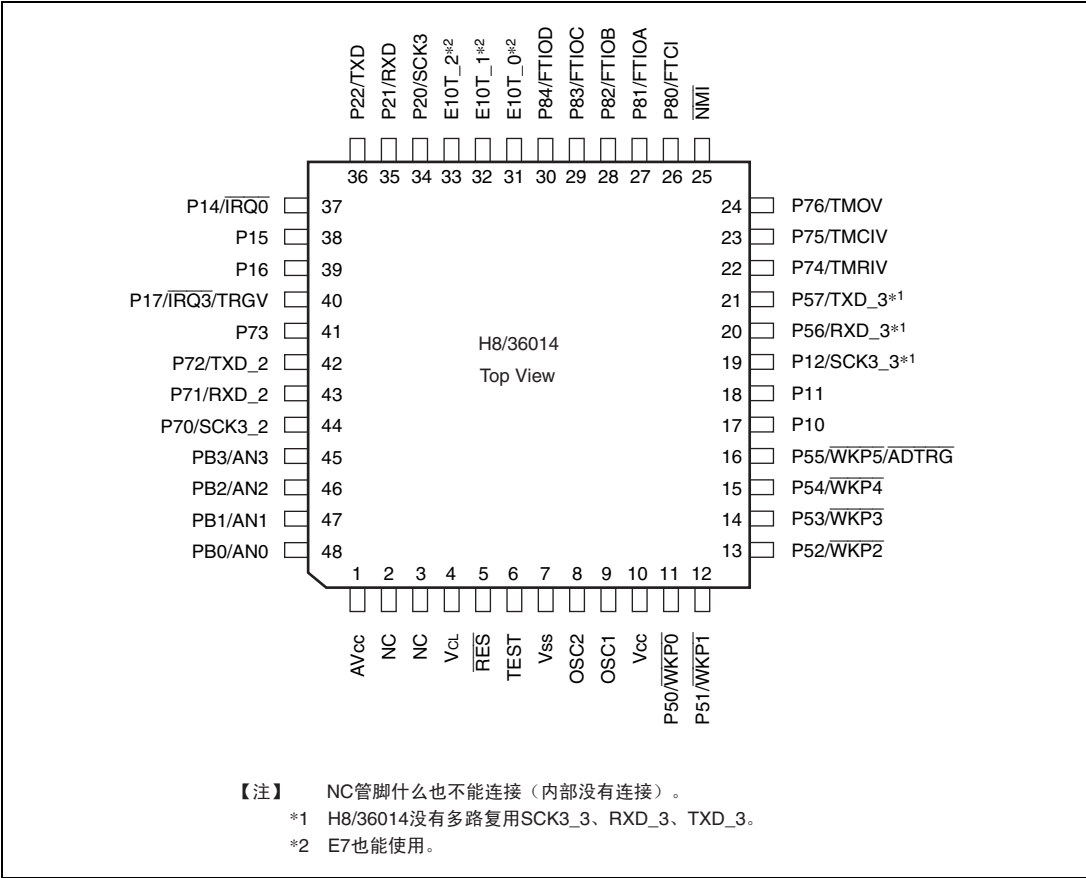


图 1.3 管脚排列图（FP-48F、FP-48B、TNP-48）

1.4 管脚功能

表 1.1 管脚功能

类型	符号	管脚编号		输入/输出	功 能
		FP-64E	FP-48F、 FP-48B、 TNP-48		
电源	Vcc	12	10	输入	电源管脚。请与系统电源连接。
	Vss	9	7	输入	接地管脚。请与系统电源（0V）连接。
	AVcc	3	1	输入	用于 A/D 转换的模拟信号电源管脚。不使用 A/D 转换器时，请与系统电源连接。
	VCL	6	4	输入	内部降压电源管脚。为了稳定化,请在该管脚和 Vss 管脚之间插入 0.1 μ F 左右的电容。
时钟	OSC1	11	9	输入	用于系统时钟的晶体谐振器或者陶瓷谐振器的连接管脚。也能输入外部时钟。连接例子，请参照“第 5 章 时钟发生器”。
	OSC2	10	8	输出	
系统控制	RES	7	5	输入	复位管脚。内藏上拉电阻（typ. 150K Ω ）。该管脚如设定为低电平，就为复位状态。
	TEST	8	6	输入	测试管脚。请与 Vss 电位连接。
外部中断	NMI	35	25	输入	非屏蔽中断请求输入管脚。必需用电阻上拉。
	IRQ0、IRQ3	51、54	37、40	输入	外部中断请求输入管脚。能选择上升沿/下降沿。
	WKP0~WKP5	13、14、 19~22	11~16	输入	外部中断请求输入管脚。能选择上升沿/下降沿。
定时器 V	TMOV	30	24	输出	输出比较功能的波形输出管脚。
	TMCIV	29	23	输入	外部事件输入管脚。
	TMRIV	28	22	输入	计数器复位输入管脚。
	TRGV	54	40	输入	计数开始触发输入管脚。
定时器 W	FTCI	36	26	输入	外部事件输入管脚。
	FTIOA~FTIOD	37~40	27~30	输入/输出	输出比较的输出/输入捕捉的输入/PWM 输出兼用管脚。

类型	符号	管脚编号		输入/输出	功 能
		FP-64E	FP-48F、 FP-48B、 TNP-48		
串行通信 接口	TXD、TXD_2、 TXD_3*	46、56、 27	36、42、 21	输出	发送数据输出管脚。
	RXD、RXD_2、 RXD_3*	45、57、 26	35、43、 20	输入	接收数据输入管脚。
	SCK3、 SCK3_2、 SCK3_3*	44、58、 25	34、44、 19	输入/输出	时钟输入/输出管脚。
A/D 转换器	AN3~AN0	59~62	45~48	输入	模拟信号输入管脚。
	ADTRG	22	16	输入	转换开始触发输入管脚。
I/O 接口	PB3~PB0	59~62	45~48	输入	4 位输入端口。
	P17~P14 P12~P10	54~51、 25~23	40~37、 19~17	输入/输出	7 位输入/输出端口。
	P22~P20	46~44	36~34	输入/输出	3 位输入/输出端口。
	P57~P50	27、26、 22~19、 14、13	21、20、 16~11	输入/输出	8 位输入/输出端口。
	P76~P70	30~28、 55~58	24~22、 41~44	输入/输出	7 位输入/输出端口。
	P84~P80	40~36	30~26	输入/输出	5 位输入/输出端口。
E10T	E10T_0、 E10T_1、 E10T_2	41、42、 43	31、32、 33		用于 E10T 或者 E7 仿真器的接口管脚。

【注】 * H8/36014 不多路复用 SCK3_3、RXD_3、TXD_3。

第 2 章 CPU

H8/36024 群和 H8/36014 群的 CPU 是与 H8/300CPU 向上兼容的内部结构为 32 位的 H8/300H CPU，只支持 64K 字节地址空间的正常模式。

- H8/300 CPU 向上兼容
 - 可执行 H8/300 系列的目标程序
 - 增加了 16 位 $\times$ 8 个扩展寄存器
 - 增加了 32 位传送和运算指令
 - 增加了带符号的乘除法指令等
- 通用寄存器：16 位 $\times$ 16 个
 - 也可作为 8 位 $\times$ 16 个 + 16 位 $\times$ 8 个、32 位 $\times$ 8 个通用寄存器使用
- 基本指令：62 种
 - 8 / 16 / 32 位传送、运算指令
 - 乘除法指令
 - 强大的位操作指令
- 寻址方式：8 种
 - 寄存器直接 (Rn)
 - 寄存器间接 (@ERn)
 - 带位移量寄存器间接 (@ (d:16, ERn), @ (d:24, ERn))
 - 后增/先减寄存器间接 (@ERn+/@-ERn)
 - 绝对地址 (@aa:8, @aa:16, @aa:24)
 - 立即 (#xx:8, #xx:16, #xx:32)
 - 程序计数器相对 (@ (d:8, PC), @ (d:16, PC))
 - 存储器间接 (@@aa:8)
- 地址空间：64K 字节
- 高速运算
 - 频繁出现的指令全部以 2~4 个状态执行
 - 8/16/32 位寄存器间的加减法：2 个状态
 - 8 $\times$ 8 位寄存器间的乘法：14 个状态
 - 16 $\div$ 8 位寄存器间的除法：14 个状态
 - 16 $\times$ 16 位寄存器间的乘法：22 个状态
 - 32 $\div$ 16 位寄存器间的除法：22 个状态

- 低功耗状态
通过SLEEP指令转移到低功耗状态

2.1 地址空间和存储器映像

H8/36024 群和 H8/36014 群的地址空间为 64K 字节，包含程序区和数据区。存储器映像如图 2.1 所示。

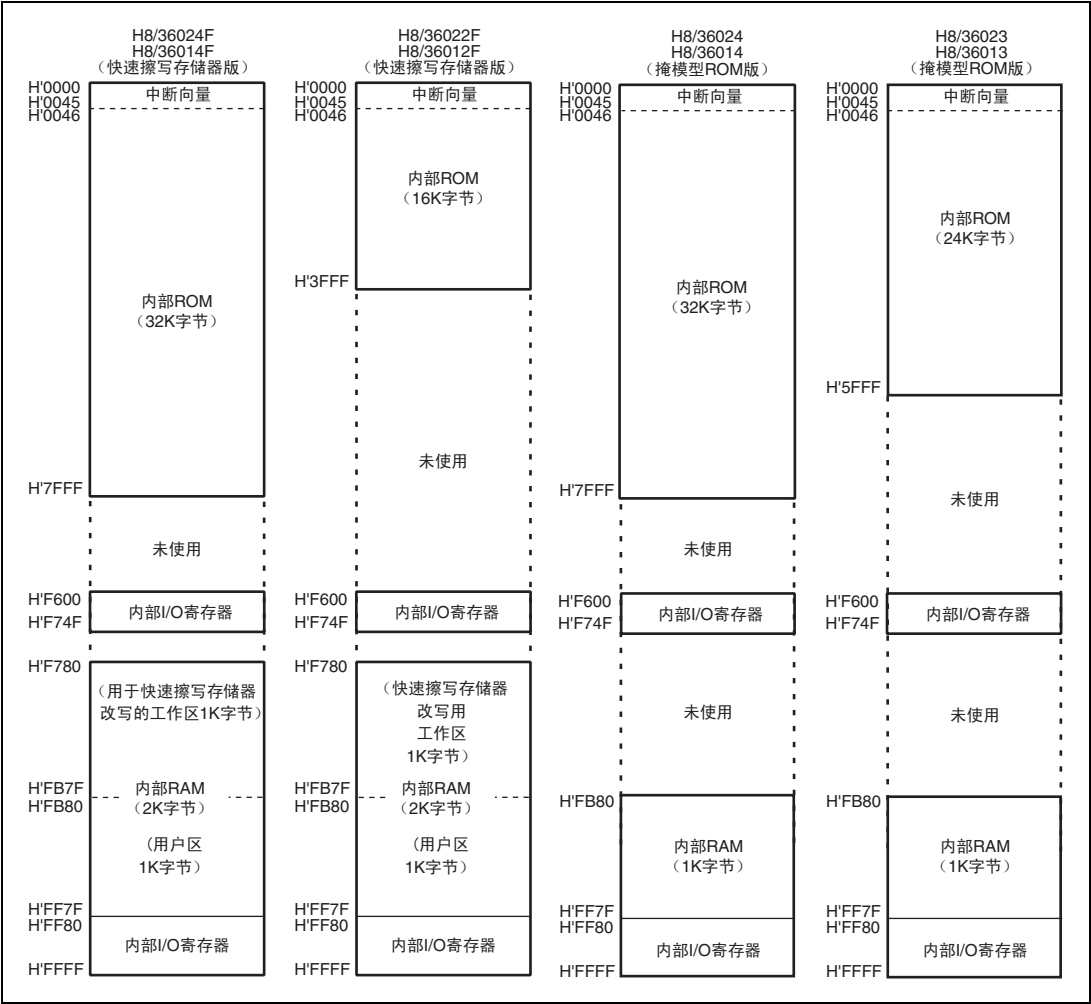


图 2.1 存储器映像 (1)

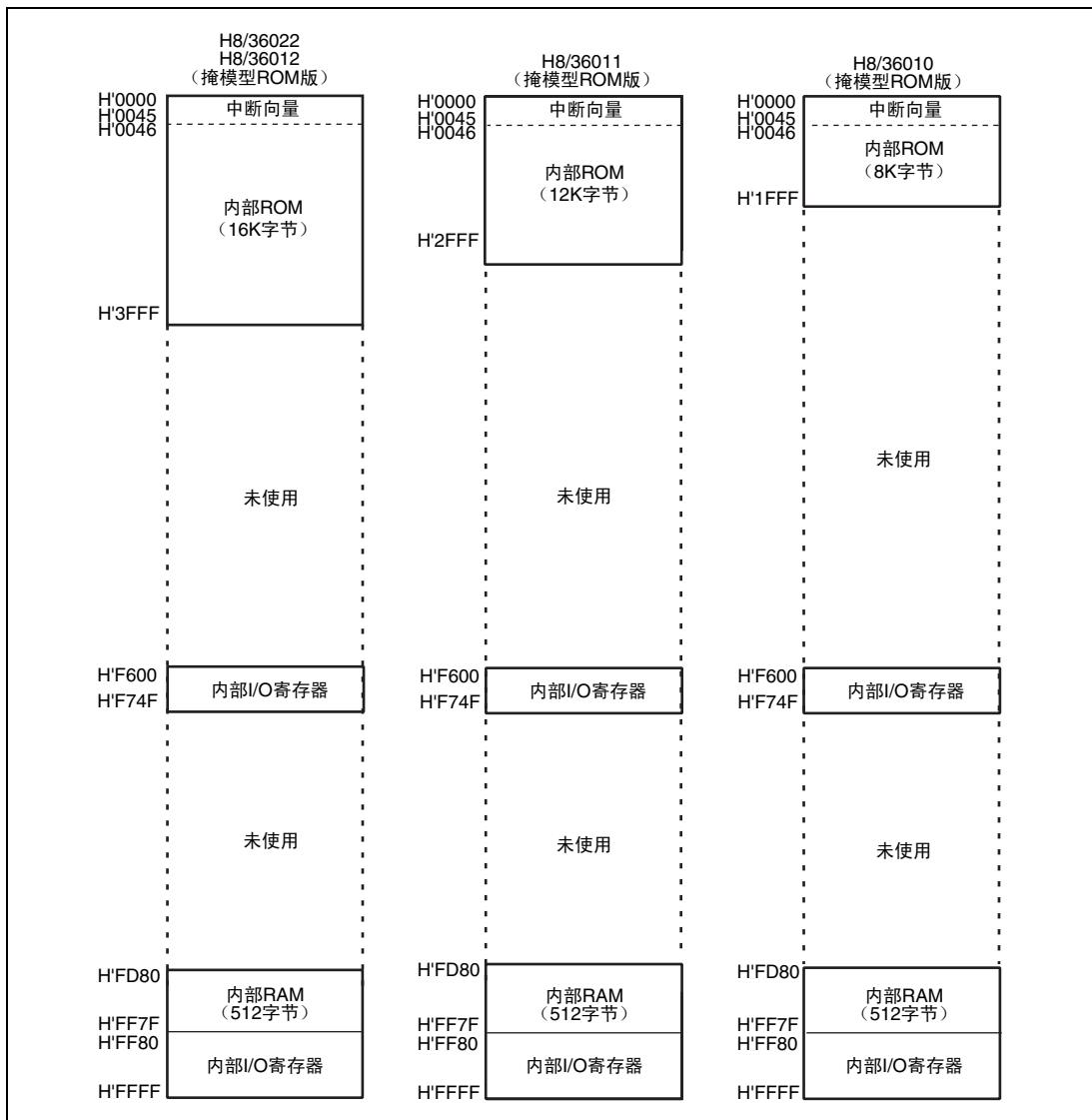


图 2.1 存储器映像 (2)

2.2 寄存器构成

H8/300H CPU 的内部寄存器结构如图 2.2 所示。这些寄存器分通用寄存器和控制寄存器 2 种。控制寄存器有 24 位程序计数器（PC）和 8 位条件码寄存器（CCR）。

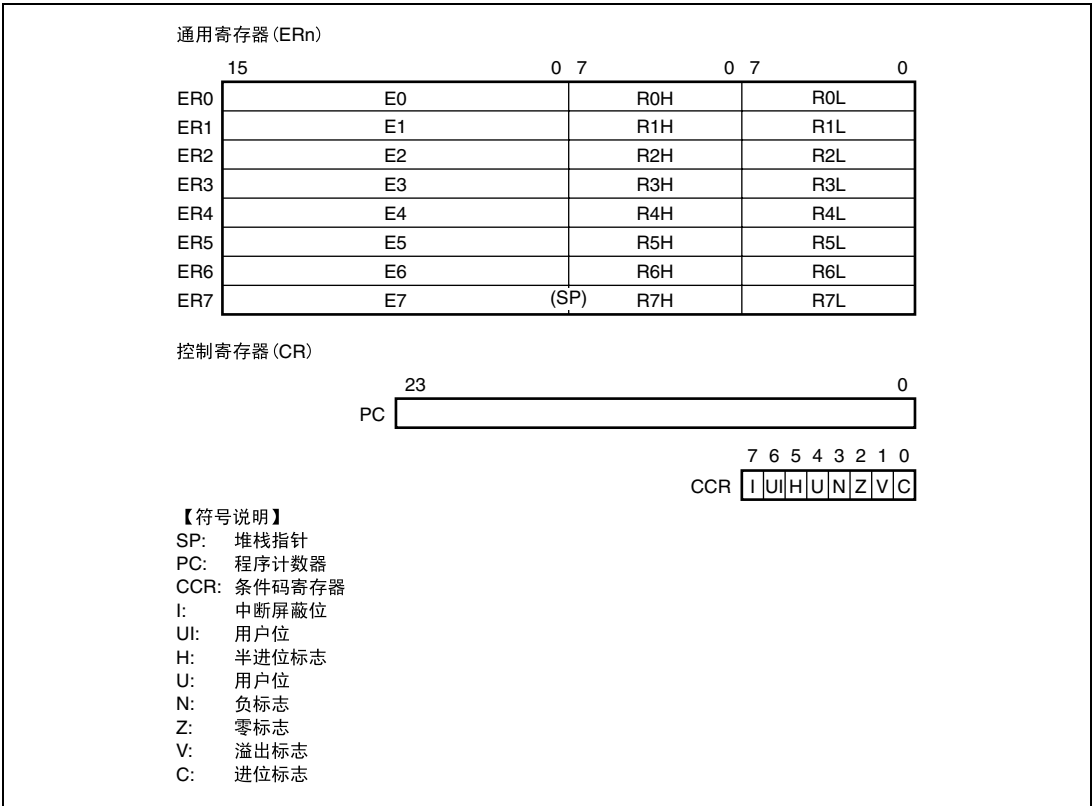


图 2.2 CPU 内部寄存器构成

2.2.1 通用寄存器

H8/300H CPU 具有 8 个 32 位长的通用寄存器。它们具有相同的功能，可作为地址寄存器或者数据寄存器使用。对于数据寄存器，可作为 32 位、16 位或者 8 位寄存器使用。通用寄存器的使用方法如图 2.3 所示。

作为地址寄存器及 32 位数据寄存器使用时，使用符号 ER（ER0～ER7）。

作为 16 位数据寄存器使用时，通用寄存器 ER 分为 16 位通用寄存器 E（E0～E7）和 R（R0～R7）两组。它们具有相同的功能，并可使用最多 16 个 16 位寄存器。有时将通用寄存器 E（E0～E7）特称为扩展寄存器。

作为 8 位数据寄存器使用时，通用寄存器 R 分为 8 位通用寄存器 RH（R0H~R7H）和 RL（R0L~R7L）两组。它们具有相同的功能，并可使用最多 16 个 8 位寄存器。能单独指定各寄存器的使用方法。

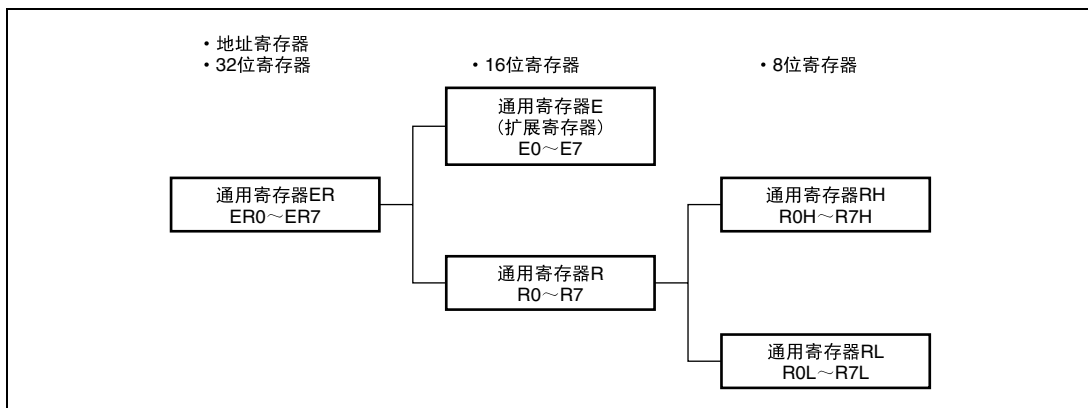


图 2.3 通用寄存器的使用方法

通用寄存器 ER7 除了通用寄存器的功能外，还有堆栈指针（SP）的功能，被隐含地用于异常处理和子程序调用等处。堆栈指针和堆栈区的关系如图 2.4 所示。

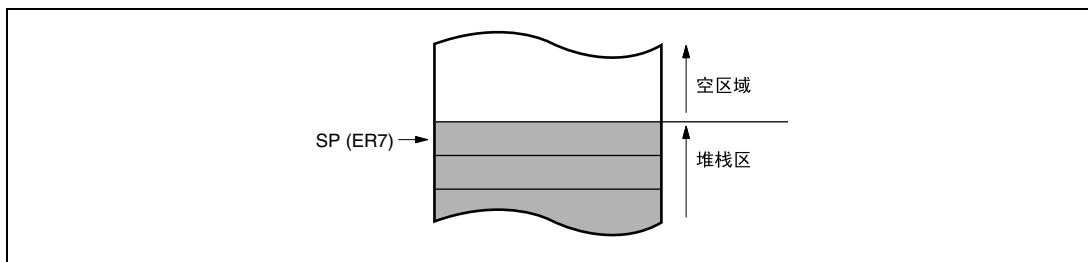


图 2.4 堆栈指针和堆栈区的关系

2.2.2 程序计数器（PC）

PC 是一个 24 位计数器，指定 CPU 将要执行下一条指令的地址。因为 CPU 的指令都是以偶数地址开始的 2 字节（字）为单位，所以在读指令码时，PC 的最低位被视作 0。当通过在复位异常处理过程中生成的向量地址进行起始地址装入时，PC 被初始化。

2.2.3 条件码寄存器（CCR）

CCR 表示 CPU 的内部状态。由包含中断屏蔽位（I）、半进位（H）、负（N）、零（Z）、溢出（V）和进位（C）等 8 位标志位构成。通过复位异常处理，I 位被初始化成 1，而其它位不进行初始化。

位	符号	初始值	R/W	说 明
7	I	1	R/W	中断屏蔽位 当该位置 1 时，屏蔽中断请求。但是，NMI 与 I 位无关，总被接受。在开始执行异常处理时，I 位被置 1。
6	UI	不确定	R/W	用户位 可用软件（LDC、STC、ANDC、ORC 和 XORC 指令）进行读写。
5	H	不确定	R/W	半进位标志 在执行 ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B 和 NEG.B 指令时，如果位 3 发生进位或借位，此位就被置 1，否则被清 0。在执行 ADD.W、SUB.W、CMP.W 和 NEG.W 指令时，如果位 11 发生进位或借位，此位就被置 1，否则被清 0。在执行 ADD.L、SUB.L、CMP.L 和 NEG.L 指令时，如果位 27 发生进位或借位，此位就被置 1，否则被清 0。
4	U	不确定	R/W	用户位 可用软件（LDC、STC、ANDC、ORC 和 XORC 指令）进行读写。
3	N	不确定	R/W	负标志 存放数据的最高位（符号位）的值。
2	Z	不确定	R/W	零标志 当数据为零时被置 1，否则被清 0。
1	V	不确定	R/W	溢出标志 如果在执行算术运算指令时产生溢出，此位就被置 1，否则被清 0。
0	C	不确定	R/W	进位标志 如果在运算的执行时产生进位，此位就被置 1，否则被清 0。进位有以下种类： 加法结果的进位 减法结果的借位 移位和循环的进位 另外，进位标志位还有位累加器功能，在位操作指令中使用。

有些指令不改变标志位。能用 LDC、STC、ANDC、ORC 和 XORC 指令来操作 CCR。另外，N、Z、V 和 C 各标志位可以在条件转移指令（Bcc）中使用。有关各指令的标志位的变化，请参照“附录 A.1 指令表”。

2.3 数据格式

H8/300H CPU 能处理 1 位、4 位 BCD、8 位（字节）、16 位（字）以及 32 位（长字）的数据。1 位数据由位操作指令处理，以操作数据（字节）第 n 位（n=0, 1, 2, …, 7）的形式存取。在 10 进制调整指令 DAA 和 DAS 中，字节数据被视作 2 个 4 位 BCD 数据。

2.3.1 通用寄存器的数据格式

通用寄存器的数据格式如图 2.5 所示。

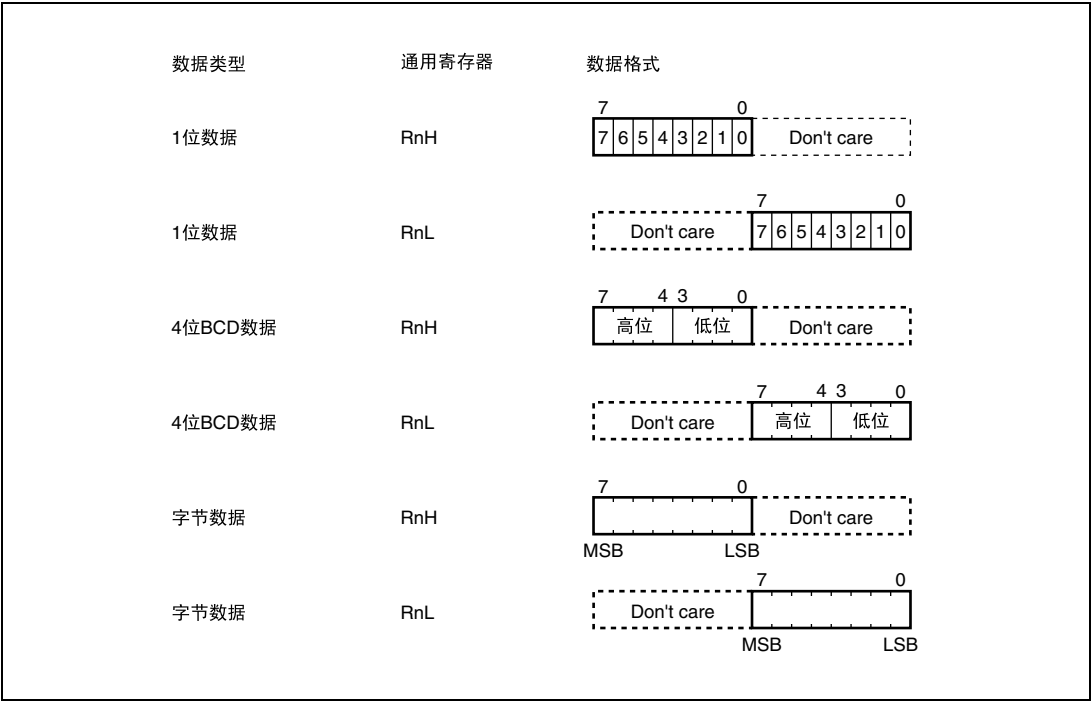


图 2.5 通用寄存器的数据格式（1）

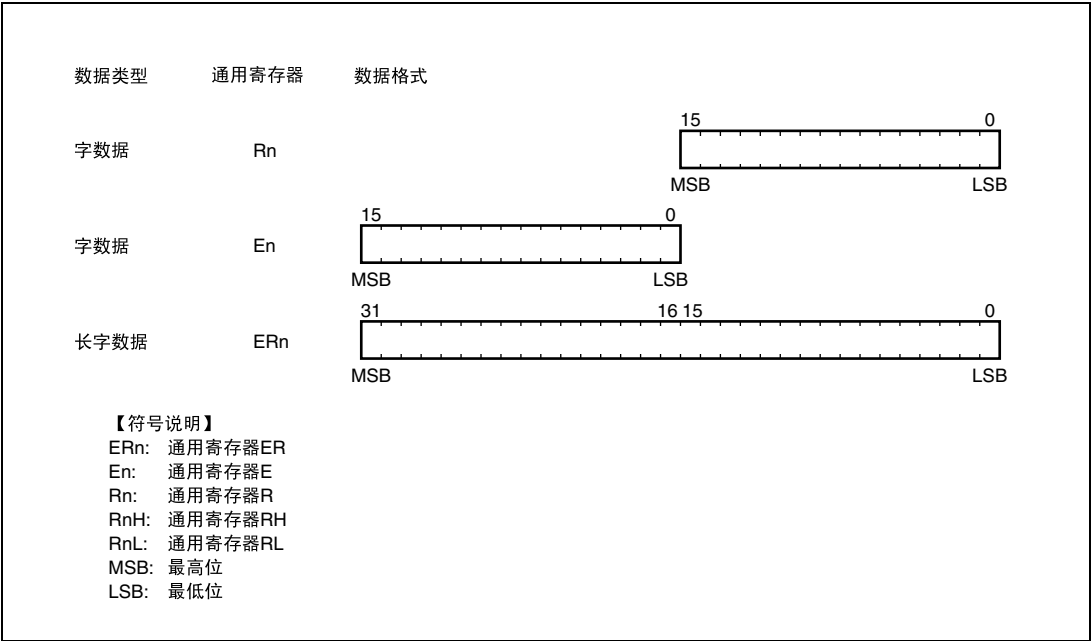


图 2.5 通用寄存器的数据格式（2）

2.3.2 存储器的数据格式

存储器的数据格式如图 2.6 所示。

H8/300H CPU 能存取存储器中的字数据和长字数据。这些数据必须从偶数地址开始。如果存取从奇数地址开始的字数据或长字数据时，不发生地址错误，但地址的最低位被视作 0，将存取从前 1 个地址开始的数据。取指令码也相同。

把 ER7（SP）作为地址寄存器存取堆栈区时，必须以字或长字存取。

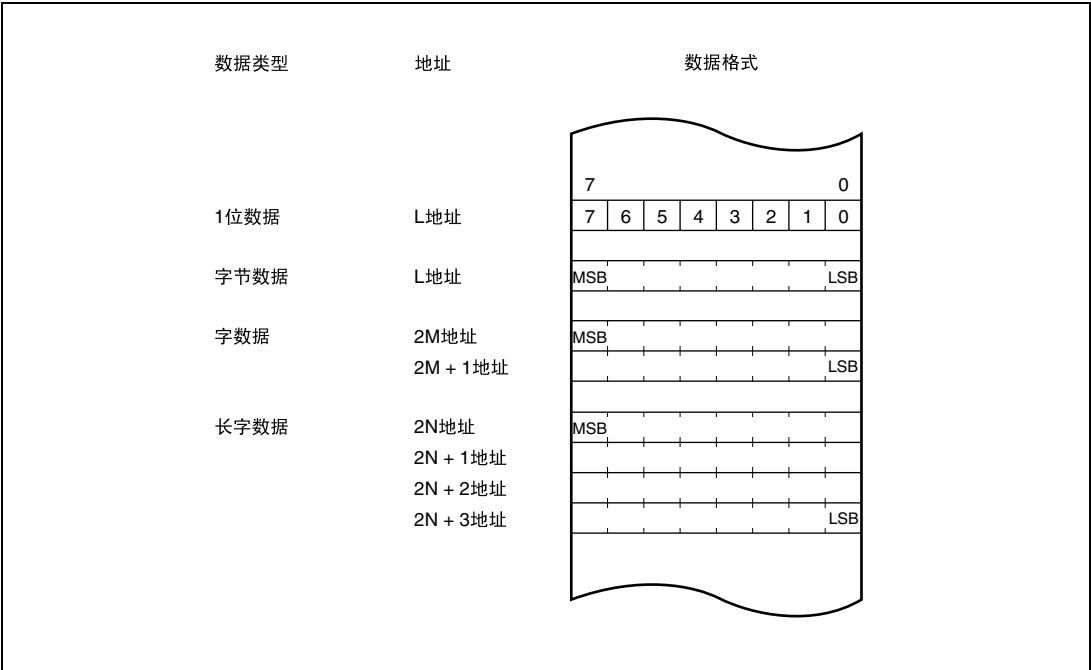


图 2.6 存储器的数据格式

2.4 指令系统

2.4.1 指令的功能分类表

H8/300H CPU 的指令共有 62 种。表 2.2～表 2.9 是各指令的功能分类表。各表使用的操作符号的定义如下：

表 2.1 操作符号

Rd	通用寄存器（目标）*
Rs	通用寄存器（源）*
Rn	通用寄存器 *
ERn	通用寄存器（32 位寄存器 / 地址寄存器）
（EAd）	目标操作数
（EAs）	源操作数
CCR	条件码寄存器
N	CCR 的 N（负）标志位
Z	CCR 的 Z（零）标志位
V	CCR 的 V（溢出）标志位
C	CCR 的 C（进位）标志位
PC	程序计数器
SP	堆栈指针
#IMM	立即数
disp	位移量
+	加法
—	减法
×	乘法
÷	除法
∧	逻辑与
∨	逻辑或
⊕	逻辑异或
→	传送
~	非（逻辑补）
: 3 / : 8 / : 16 / : 24	3 / 8 / 16 / 24 位长

【注】* 通用寄存器是 8 位（R0H～R7H、R0L～R7L）和 16 位（R0～R7、E0～E7），或者是 32 位寄存器/地址寄存器（ER0～ER7）。

表 2.2 数据传送指令

指 令	长度*	功 能
MOV	B/W/L	(EAs) → Rd, Rs → (EAd) 在两个通用寄存器或者通用寄存器和存储器之间进行数据传送, 或者将立即数传送给通用寄存器。
MOVFP	B	(EAs) → Rd 本 LSI 不能使用。
MOVTP	B	Rs → (EAs) 本 LSI 不能使用。
POP	W/L	@SP+ → Rn 把数据从堆栈返回到通用寄存器。 POP.W Rn 和 MOV.W @SP+, Rn 相同。 POP.L ERn 和 MOV.L @SP+, ERn 相同。
PUSH	W/L	Rn → @-SP 把通用寄存器的内容压入堆栈。 PUSH.W Rn 和 MOV.W Rn, @-SP 相同。 PUSH.L ERn 和 MOV.L ERn, @-SP 相同。

【注】* 长度表示操作数长度。

B: 字节

W: 字

L: 长字

表 2.3 算术运算指令

指 令	长度*	功 能
ADD SUB	B/W/L	$Rd \pm Rs \rightarrow Rd$ 、 $Rd \pm \#IMM \rightarrow Rd$ 在两个通用寄存器的内容之间或者通用寄存器的内容和立即数之间进行加减运算（用字节长的通用寄存器的内容和立即数之间不能进行减法运算。请使用 SUBX 或者 ADD 指令。）
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$ 、 $Rd \pm \#IMM \pm C \rightarrow Rd$ 在两个通用寄存器的内容之间或者通用寄存器的内容和立即数之间进行带进位加减运算。
INC DEC	B/W/L	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 通用寄存器的内容加减 1 或者加减 2（字节的运算只能加减 1）。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$ 、 $Rd \pm 2 \rightarrow Rd$ 、 $Rd \pm 4 \rightarrow Rd$ 32 位寄存器的内容加减 1、加减 2 或者加减 4。
DAA DAS	B	Rd （10 进制调整） $\rightarrow Rd$ 参照 CCR，将通用寄存器的加减结果调整为 4 位的 BCD 数据。
MULXU	B/W	$Rd \times Rs \rightarrow Rd$ 在两个通用寄存器的内容之间进行无符号乘法运算。能进行 8 位 $\times$ 8 位 $\rightarrow$ 16 位和 16 位 $\times$ 16 位 $\rightarrow$ 32 位的乘法。
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 在两个通用寄存器的内容之间进行带符号乘法运算。能进行 8 位 $\times$ 8 位 $\rightarrow$ 16 位和 16 位 $\times$ 16 位 $\rightarrow$ 32 位的乘法。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 在两个通用寄存器的内容之间进行无符号除法运算。能进行 16 位 $\div$ 8 位 $\rightarrow$ 商 8 位余数 8 位和 32 位 $\div$ 16 位 $\rightarrow$ 商 16 位余数 16 位的除法。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 在两个通用寄存器的内容之间进行带符号除法运算。能进行 16 位 $\div$ 8 位 $\rightarrow$ 商 8 位余数 8 位和 32 位 $\div$ 16 位 $\rightarrow$ 商 16 位余数 16 位的除法。
CMP	B/W/L	$Rd - Rs$ 、 $Rd - \#IMM$ 在两个通用寄存器的内容或者通用寄存器的内容和立即数之间进行比较，其结果反映到 CCR。
NEG	B/W/L	$0 - Rd \rightarrow Rd$ 取通用寄存器内容的 2 的补码（算术取补）。
EXTU	W/L	Rd （零扩展） $\rightarrow Rd$ 把 16 位寄存器的低 8 位零扩展为字，或者把 32 位寄存器的低 16 位零扩展为长字。
EXTS	W/L	Rd （符号扩展） $\rightarrow Rd$ 把 16 位寄存器的低 8 位符号扩展为字，或者把 32 位寄存器的低 16 位符号扩展为长字。

【注】* 长度表示操作数长度。

B：字节

W：字

L：长字

表 2.4 逻辑运算指令

指 令	长度*	功 能
AND	B/W/L	$Rd \wedge Rs \rightarrow Rd$ 、 $Rd \wedge \#IMM \rightarrow Rd$ 在两个通用寄存器的内容之间或者通用寄存器的内容和立即数之间进行逻辑与运算。
OR	B/W/L	$Rd \vee Rs \rightarrow Rd$ 、 $Rd \vee \#IMM \rightarrow Rd$ 在两个通用寄存器的内容之间或者通用寄存器的内容和立即数之间进行逻辑或运算。
XOR	B/W/L	$Rd \oplus Rs \rightarrow Rd$ 、 $Rd \oplus \#IMM \rightarrow Rd$ 在两个通用寄存器的内容之间或者通用寄存器的内容和立即数之间进行逻辑异或运算。
NOT	B/W/L	$\sim Rd \rightarrow Rd$ 取通用寄存器内容的 1 的补码（逻辑补）。

【注】* 长度表示操作数长度。

B：字节

W：字

L：长字

表 2.5 移位指令

指 令	长度*	功 能
SHAL SHAR	B/W/L	Rd （移位处理） $\rightarrow Rd$ 对通用寄存器的内容进行算术移位。
SHLL SHLR	B/W/L	Rd （移位处理） $\rightarrow Rd$ 对通用寄存器的内容进行逻辑移位。
ROTL ROTR	B/W/L	Rd （循环处理） $\rightarrow Rd$ 对通用寄存器的内容进行循环移位。
ROTXL ROTXR	B/W/L	Rd （循环处理） $\rightarrow Rd$ 包含进位标志位，对通用寄存器的内容进行循环。

【注】* 长度表示操作数长度。

B：字节

W：字

L：长字

表 2.6 位操作指令

指 令	长度*	功 能
BSET	B	$1 \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 把通用寄存器或者存储器的操作数中被指定的某一位置 1。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BCLR	B	$0 \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 把通用寄存器或者存储器的操作数中被指定的某一位置 0。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BNOT	B	$\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 把通用寄存器或者存储器的操作数中被指定的某一位取反。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BTST	B	$\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow Z$ 测试通用寄存器或者存储器的操作数中被指定的某一位，且反映到零标志。位序号由 3 位立即数或者通用寄存器内容的低 3 位指定。
BAND	B	$C \wedge (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 把通用寄存器或者存储器的操作数中被指定的某一位和进位标志位进行逻辑与运算，结果存放到进位标志位。
BIAND	B	$C \wedge (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 把通用寄存器或者存储器的操作数中被指定的某一位取反，和进位标志位进行逻辑与运算，结果存放到进位标志位。位序号由 3 位立即数指定。
BOR	B	$C \vee (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 把通用寄存器或者存储器的操作数中被指定的某一位和进位标志位进行逻辑或运算，结果存放到进位标志位。
BIOR	B	$C \vee (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 把通用寄存器或者存储器的操作数中被指定的某一位取反，和进位标志位进行逻辑或运算，结果存放到进位标志位。位序号由 3 位立即数指定。
BXOR	B	$C \oplus (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 把通用寄存器或者存储器的操作数中被指定的某一位和进位标志位进行逻辑异或运算，结果存放到进位标志位。
BIXOR	B	$C \oplus (\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)) \rightarrow C$ 把通用寄存器或者存储器的操作数中被指定的某一位取反，和进位标志位进行逻辑异或运算，结果存放到进位标志位。位序号由 3 位立即数指定。

指 令	长度*	功 能
BLD	B	$(\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 把通用寄存器或者存储器的操作数中被指定的某一位传送到进位标志位。
BILD	B	$\sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 把通用寄存器或者存储器的操作数中被指定的某一位取反，传送到进位标志位。 位序号由 3 位立即数指定。
BST	B	$C \rightarrow (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 把进位标志位的内容传送到通用寄存器或者存储器的操作数中被指定的某一位。
BIST	B	$C \rightarrow \sim (\langle \text{位序号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 把进位标志位的内容取反，传送到通用寄存器或者存储器的操作数中被指定的某一位。位序号由 3 位立即数指定。

【注】* 长度表示操作数长度。

B：字节

表 2.7 转移指令

指 令	长度	功 能																																																			
Bcc*	—	当指定条件成立时，转移到指定地址。转移条件如下表所示： <table border="1"> <thead> <tr> <th>助记符</th><th>描 述</th><th>转移条件</th></tr> </thead> <tbody> <tr> <td>BRA (BT)</td><td>Always (True)</td><td>Always</td></tr> <tr> <td>BRN (BF)</td><td>Never (False)</td><td>Never</td></tr> <tr> <td>BHI</td><td>High</td><td>$C \vee Z = 0$</td></tr> <tr> <td>BLS</td><td>Low or Same</td><td>$C \vee Z = 1$</td></tr> <tr> <td>BCC (BHS)</td><td>Carry Clear (High or Same)</td><td>$C = 0$</td></tr> <tr> <td>BCS (BLO)</td><td>Carry Set (LOW)</td><td>$C = 1$</td></tr> <tr> <td>BNE</td><td>Not Equal</td><td>$Z = 0$</td></tr> <tr> <td>BEQ</td><td>Equal</td><td>$Z = 1$</td></tr> <tr> <td>BVC</td><td>oVerflow Clear</td><td>$V = 0$</td></tr> <tr> <td>BVS</td><td>oVerflow Set</td><td>$V = 1$</td></tr> <tr> <td>BPL</td><td>PLus</td><td>$N = 0$</td></tr> <tr> <td>BMI</td><td>MInus</td><td>$N = 1$</td></tr> <tr> <td>BGE</td><td>Greater or Equal</td><td>$N \oplus V = 0$</td></tr> <tr> <td>BLT</td><td>Less Than</td><td>$N \oplus V = 1$</td></tr> <tr> <td>BGT</td><td>Greater Than</td><td>$Z \vee (N \oplus V) = 0$</td></tr> <tr> <td>BLE</td><td>Less or Equal</td><td>$Z \vee (N \oplus V) = 1$</td></tr> </tbody> </table>	助记符	描 述	转移条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (LOW)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	oVerflow Clear	$V = 0$	BVS	oVerflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	MInus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
助记符	描 述	转移条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C \vee Z = 0$																																																			
BLS	Low or Same	$C \vee Z = 1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																			
BCS (BLO)	Carry Set (LOW)	$C = 1$																																																			
BNE	Not Equal	$Z = 0$																																																			
BEQ	Equal	$Z = 1$																																																			
BVC	oVerflow Clear	$V = 0$																																																			
BVS	oVerflow Set	$V = 1$																																																			
BPL	PLus	$N = 0$																																																			
BMI	MInus	$N = 1$																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
JMP	—	无条件转移到指定地址。																																																			
BSR	—	转移到指定地址的子程序。																																																			
JSR	—	转移到指定地址的子程序。																																																			
RTS	—	从子程序返回。																																																			

【注】* Bcc 指令是条件转移指令的总称。

表 2.8 系统控制指令

指 令	长度*	功 能
TRAPA	—	进行陷阱指令的异常处理。
RTE	—	从异常处理程序返回。
SLEEP	—	转移到低功耗状态。
LDC	B/W	(EAs) → CCR 把源操作数传送到 CCR。虽然 CCR 是字节长，但是从存储器传送时，以字长读数据。
STC	B/W	CCR → (EAd) 把 CCR 的内容传送到目标位置。虽然 CCR 是字节长，但是给存储器传送时，以字长写数据。
ANDC	B	CCR ∧ #IMM → CCR 取 CCR 和立即数的逻辑与。
ORC	B	CCR ∨ #IMM → CCR 取 CCR 和立即数的逻辑或。
XORC	B	CCR ⊕ #IMM → CCR 取 CCR 和立即数的逻辑异或。
NOP	—	PC+2 → PC 使 PC 增量。

【注】* 长度表示操作数长度。

B：字节

W：字

表 2.9 数据块传送指令

指 令	长度	功 能
EEPMOV.B	—	if R4L ≠ 0 then Repeat @ER5+ → @ER6+, R4L-1 → R4L Until R4L=0 else next;
EEPMOV.W	—	if R4 ≠ 0 then Repeat @ER5+ → @ER6+, R4-1 → R4 Until R4=0 else next; 数据块传送指令。从 ER5 所示的地址开始，将 R4L 或者 R4 指定的字节数的数据传送到 ER6 所示的地址。传送结束后执行下一条指令。

2.4.2 指令的基本格式

H8/300H CPU 的指令以 2 字节（字）为单位。各指令由操作字段（OP）、寄存器字段（r）、EA 扩展部（EA）以及条件字段（cc）构成。指令格式的例子如图 2.7 所示。

- (1) 操作字段
表示指令的功能、指定寻址方式和操作数的处理内容。一定包含指令的前4位。也有两个操作字段的情况。
- (2) 寄存器字段
指定通用寄存器。地址寄存器为3位，数据寄存器为3位或者4位。有两个寄存器字段，也有没有寄存器字段的情况。
- (3) EA 扩展部
8位、16位或32位，指定立即数、绝对地址或者位移量。24位地址以及位移量以高8位全为0（H'00）的32位被处理。
- (4) 条件字段
指定条件转移指令的转移条件。

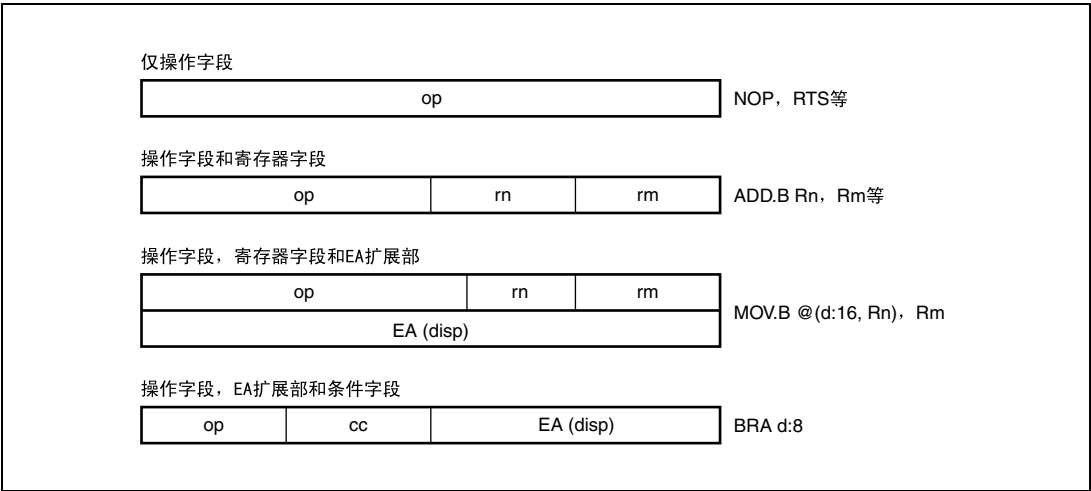


图 2.7 指令格式

2.5 寻址方式和有效地址

以下说明有关 H8/300H CPU 的寻址方式和有效地址。在 H8/36024 群和 H8/36014 群，产生的 24 位地址中的高 8 位被忽视，有效地址为 16 位。

2.5.1 寻址方式

H8/300H CPU 支持表 2.10 的 8 种寻址方式。各指令所能使用的寻址方式不同。详细内容请参照“附录 A.4 指令和寻址方式的组合”。

运算指令可使用寄存器直接和立即寻址方式。传送指令除了程序计数器相对和存储器间接以外，所有的寻址方式都可使用。位操作指令可用寄存器直接、寄存器间接以及绝对地址（@aa:8）指定操作数，并且，可使用寄存器直接（BSET、BCLR、BNOT 和 BTST 各指令）和立即（3 位）来指定操作数中的位序号。

表 2.10 寻址方式一览表

No.	寻址方式	符 号
1	寄存器直接	Rn
2	寄存器间接	@ERn
3	带位移量寄存器间接	@ (d:16, ERn) / @ (d:24, ERn)
4	后增寄存器间接 先减寄存器间接	@ERn+ @-ERn
5	绝对地址	@aa:8 / @aa:16 / @aa:24
6	立即	#xx:8 / #xx:16 / #xx:32
7	程序计数器相对	@ (d:8, PC) / @ (d:16, PC)
8	存储器间接	@@aa:8

（1）寄存器直接 Rn

以指令码的寄存器字段指定的寄存器（8位、16位或者32位）为操作数。

作为8位寄存器，可指定R0H～R7H、R0L～R7L。

作为16位寄存器，可指定R0～R7、E0～E7。

作为32位寄存器，可指定ER0～ER7。

（2）寄存器间接 @ERn

将指令码的寄存器字段指定的地址寄存器（ERn）的低24位作为地址，指定存储器上的操作数。

(3) 带位移量寄存器间接 @ (d:16, ERn) / @ (d:24, ERn)

将指令码的寄存器字段指定的地址寄存器 (ERn) 的内容加上指令码中的16位或者24位位移量的内容, 其结果的低24位作为地址指定存储器上的操作数。计算时, 16位位移量被符号扩展。

(4) 后增寄存器间接 @ERn+ / 先减寄存器间接 @-ERn

• 后增寄存器间接 @ERn+

将指令码的寄存器字段指定的地址寄存器 (ERn) 内容的低24位作为地址指定存储器上的操作数。然后, 地址寄存器的内容 (32位) 加1、加2或者加4, 结果存入地址寄存器。字节加1、字加2、长字加4。当长度是字或者长字时, 寄存器的内容应是偶数。

• 先减寄存器间接 @-ERn

将指令码的寄存器字段指定的地址寄存器 (ERn) 内容减1、减2或者减4, 其结果的低24位作为地址指定存储器上的操作数。然后, 把减法的结果存入地址寄存器。字节减1、字减2、长字减4。当长度是字或者长字时, 地址寄存器的内容应是偶数。

(5) 绝对地址 @aa:8 / @aa:16 / @aa:24

用指令码中含有的绝对地址指定存储器的操作数。

绝对地址是8位 (@aa:8)、16位 (@aa:16) 或者24位 (@aa:24)。

8位绝对地址时, 高16位全部为1 (H'FFFF)。

16位绝对地址时, 高8位进行符号扩展。

24位绝对地址时, 全地址空间都可存取。

由于高8位被忽视, 因此H8/36024群和H8/36014群的绝对地址为表2.11所示的存取范围。

表 2.11 绝对地址的存取范围

绝对地址	存取范围
8 位 (@aa:8)	H'FF00~H'FFFF
16 位 (@aa:16)	H'0000~H'FFFF
24 位 (@aa:24)	H'0000~H'FFFF

(6) 立即 #xx:8/#xx:16/#xx:32

把指令码中含有的8位(#xx:8)、16位(#xx:16)或者32位(#xx:32)数据直接作为操作数使用。ADDS、SUBS、INC和DEC指令在指令码里隐含地包含立即数。位操作指令在指令码里可能含有指定位序号的3位立即数。另外，TRAPA指令在指令码里含有指定向量地址的2位立即数。

(7) 程序计数器相对 @ (d:8, PC) /@ (d:16, PC)

用在条件转移指令和BSR指令。

PC指定的24位地址加上指令码中含有的8位或者16位位移量，产生24位转移地址。在加法运算时，位移量被符号扩展为24位。另外被加的PC内容为下一个指令的起始地址，所以转移指令的可能转移范围是-126~+128字节（-63~+64字）或者是-32766~+32768字节（-16383~+16384字），此时，加法的结果应是偶数。

(8) 存储器间接 @@aa:8

用在JMP和JSR指令。以指令码中含有的8位绝对地址来指定存储器上的操作数，作为转移地址进行转移。指定存储器的操作数为长字。其第1字节被忽视，产生一个24位长的转移地址。存储器间接转移地址的指定方法如图2.8所示。

由于绝对地址的高位全为0，因此能储存转移地址的范围是0~255（H'0000~H'00FF）。但是，其中最初的区域与异常处理向量区公用。

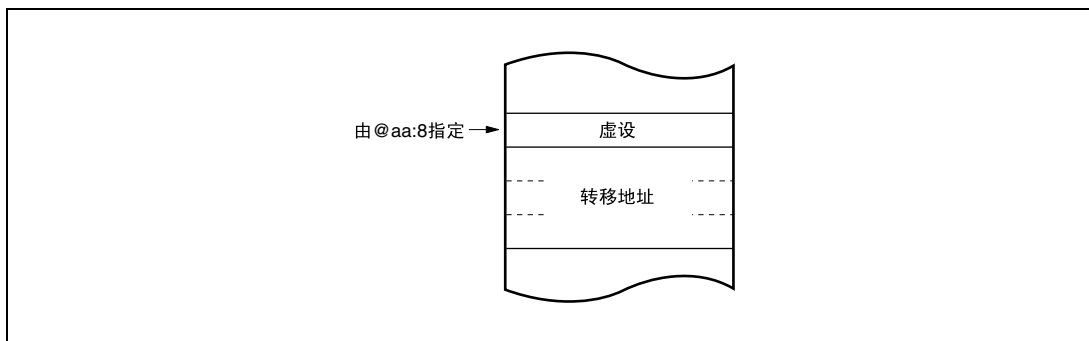


图 2.8 存储器间接转移地址的指定

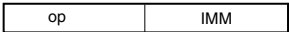
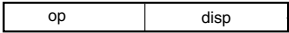
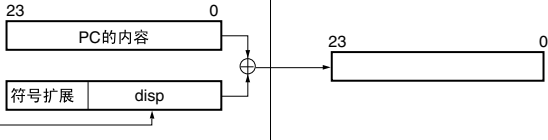
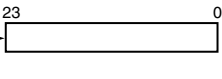
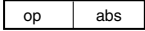
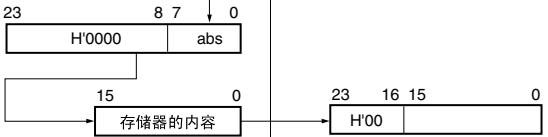
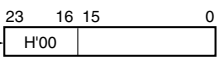
2.5.2 有效地址的计算方法

各寻址方式的有效地址(EA: Effective Address)的计算方法如表 2.12 所示。在 H8/36024 群和 H8/36014 群，计算结果的高 8 位被忽视，产生一个 16 位有效地址。

表 2.12 有效地址的计算方法 (1)

NO.	寻址方式和指令格式	有效地址计算方法	有效地址 (EA)
(1)	寄存器直接 (Rn) 		操作数为通用寄存器的内容。
(2)	寄存器间接 (@ERn) 		
(3)	带位移量寄存器间接 @ (d:16, ERn) / @ (d:24, ERn) 		
(4)	后增寄存器间接/先减寄存器间接 • 后增寄存器间接 @ERn+ • 先减寄存器间接 @-ERn 	 操作数为字节时加減1，为字时加減2， 为长字时加減4。	
(5)	绝对地址 @ aa:8 @ aa:16 @ aa:24 		

表 2.12 有效地址的计算方法 (2)

NO.	寻址方式和指令格式	有效地址计算方法	有效地址 (EA)
(6)	立即#xx:8/#xx:16/#xx:32 		操作数为立即数。
(7)	程序计数器相对 @(d:8, PC)/@(d:16, PC) 		
(8)	存储器间接 @@ aa:8 		

【符号说明】

r,rm,m 寄存器字段

op 操作字段

disp 位移量

IMM 立即数

abs 绝对地址

2.6 基本总线周期

CPU 根据系统时钟（ Φ ）或者子时钟（ Φ_{SUB} ）运行。 Φ 或者 Φ_{SUB} 的上升沿到下一个上升沿的间隔称为 1 个状态。总线周期由 2 个状态或者 3 个状态构成，对内部存储器和内部外围模块进行不同的存取。

2.6.1 内部存储器（RAM、ROM）

内部存储器的存取以 2 个状态进行。数据总线宽度是 16 位，可以是字节存取或者字存取。内部存储器的存取周期如图 2.9 所示。

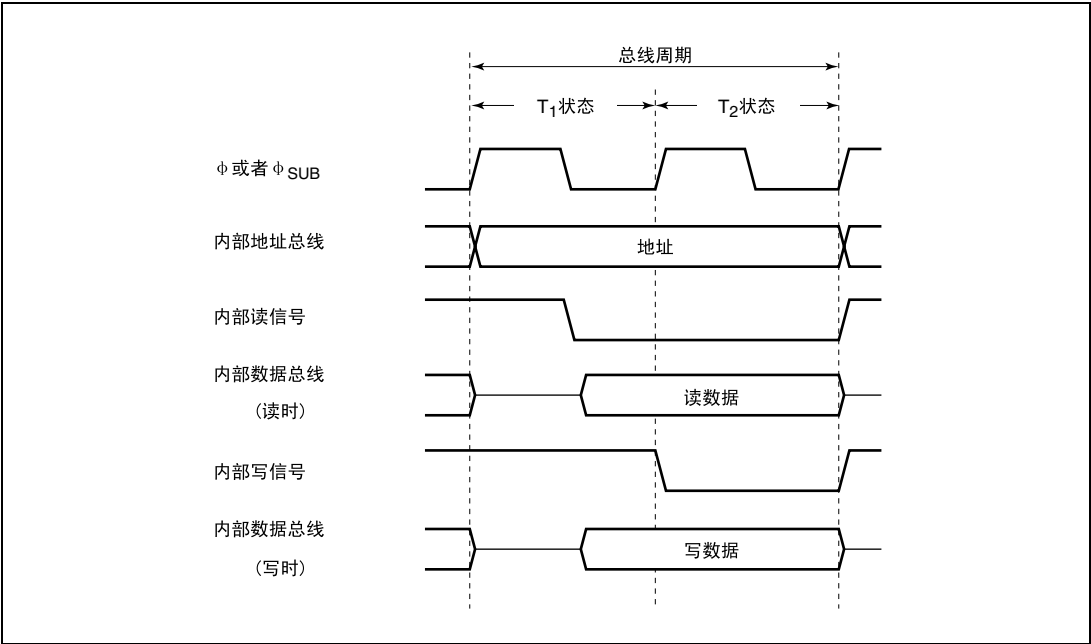


图 2.9 内部存储器的存取周期

2.6.2 内部外围模块

内部外围模块的存取以 2 个状态或者 3 个状态进行。数据总线宽度为 8 位或者 16 位，根据寄存器的不同而不同。各寄存器的数据总线宽度和存取状态数请参照“17.1 寄存器地址一览表（按地址顺序）”。数据总线宽度为 16 位的寄存器只能进行字存取。数据总线宽度为 8 位的寄存器可以进行字节存取和字存取。如果对数据总线宽度为 8 位的寄存器进行字存取，总线周期就发生 2 次。2 个状态存取的运行时序和内部存储器相同。3 个状态存取的运行时序如图 2.10 所示。

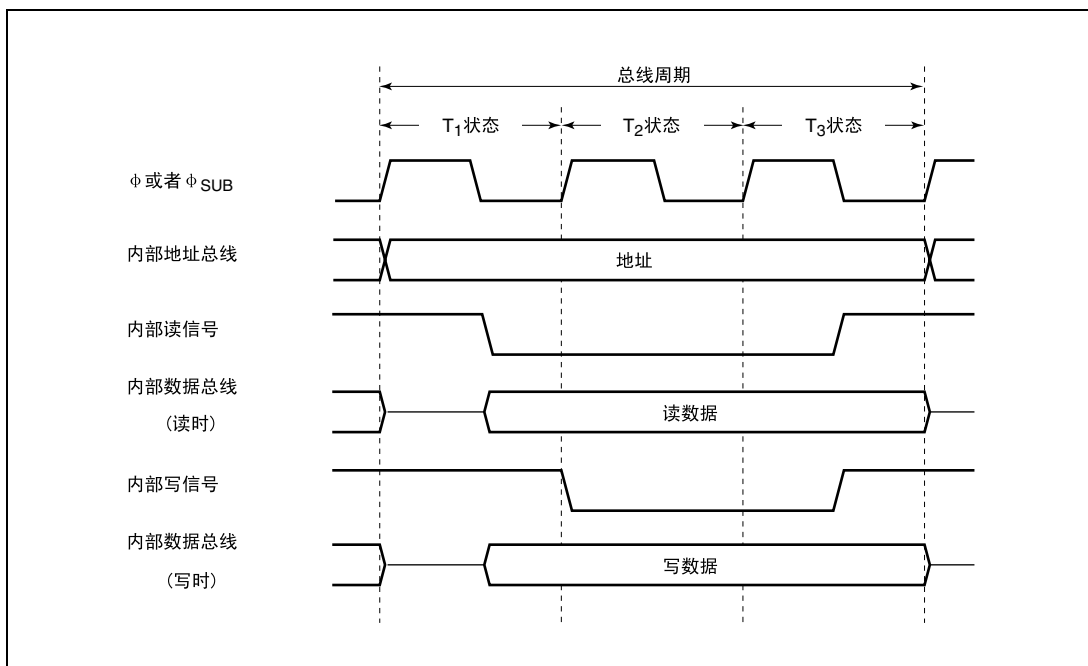


图 2.10 内部外围模块的存取周期（3 个状态存取的情况）

2.7 CPU 的状态

CPU 的状态有复位状态、程序执行状态、程序停止状态和异常处理状态 4 种。程序执行状态有激活模式，程序停止状态有睡眠模式和待机模式。各状态的分类如图 2.11 所示，各状态之间的转移条件如图 2.12 所示。程序执行状态以及程序停止状态的详细内容请参照“第 6 章 低功耗模式”。异常处理的详细内容请参照“第 3 章 异常处理”。

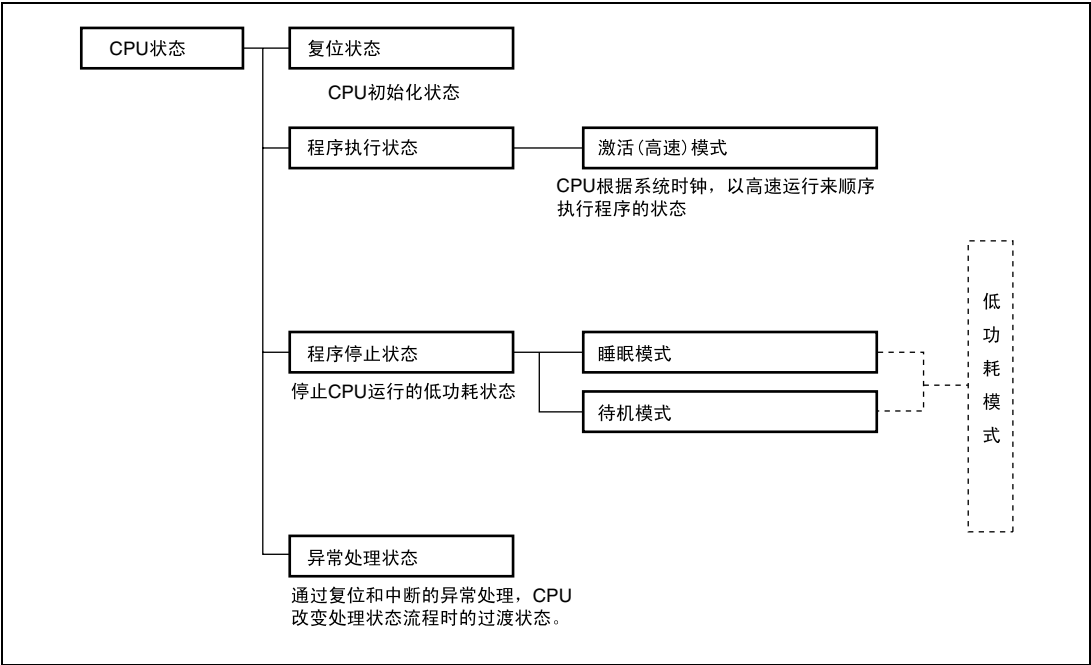


图 2.11 CPU 的状态分类

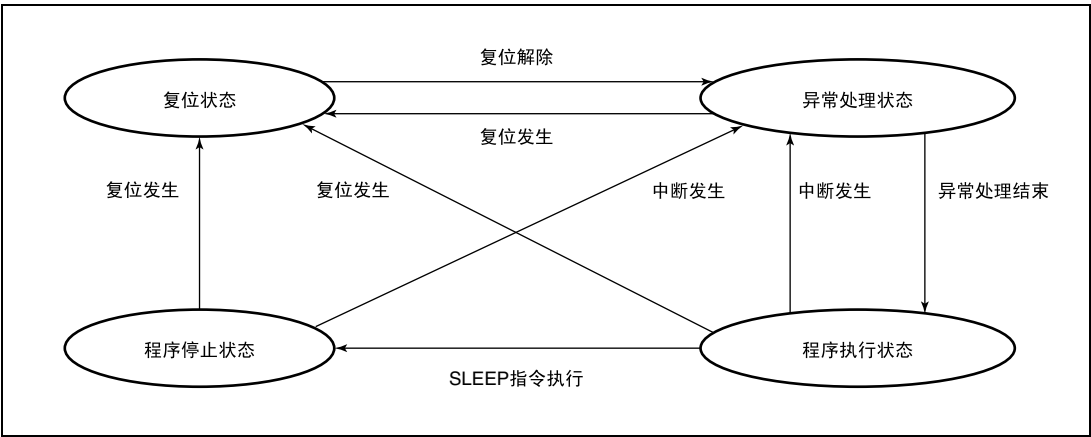


图 2.12 状态转移图

2.8 使用上的注意事项

2.8.1 空区域的数据存取

本 LSI 的地址空间，除了开放给用户的 ROM、RAM 和内部 I/O 寄存器的区域以外，还有空区域。如果从 CPU 传送数据给空区域，其传送数据就会丢失，成为导致 CPU 误动作的原因。从空区域传送数据到 CPU 的内容不被保证。

2.8.2 EEPMOV 指令

EEPMOV 指令是数据块传送指令，从 R5 的地址开始，把 R4L 表示的字节数的数据传送到 R6 的地址。设定 R4L 和 R6 时，不要使传送目标的最后地址（R6+R4L 的值）超过 H'FFFF（执行过程中，不能使 R6 的值 H'FFFF 变成 H'0000）。

2.8.3 位操作指令

BSET、BCLR、BNOT、BST 和 BIST 指令以字节单位读指定地址的数据，在操作对象位（1 位）后以字节单位写入同一地址。因此，如果 2 个寄存器被分配相同地址、含有写专用位的寄存器、或者直接对端口使用位操作指令，位操作对象以外的数据就有被改写的可能，请注意。

（1）同地址被分配 2 个寄存器的位操作

例1：定时器装入寄存器和定时器计数器的位操作

（适用于定时器B和定时器C，而不适用于H8/36024群和H8/36014群。）

被分配成同一地址的 2 个寄存器的定时器的构成例子如图 2.13 所示。如果对定时器装入寄存器和定时器计数器执行位操作指令，由于定时器装入寄存器和定时器计数器地址共有，因此会产成以下动作：

- 1. 以字节单位读定时器计数器的数据。
- 2. CPU用位操作指令把对象位（1位）置位或者复位。
- 3. 以字节单位把处理后的数据写进定时器装入寄存器。

因为定时器计数器一直在计数，所以读出的数据与定时器装入寄存器的数据并不一定相等。因此在定时器计数器的操作对象位以外的数据被改写后，其改写后的数据被写进定时器装入寄存器。

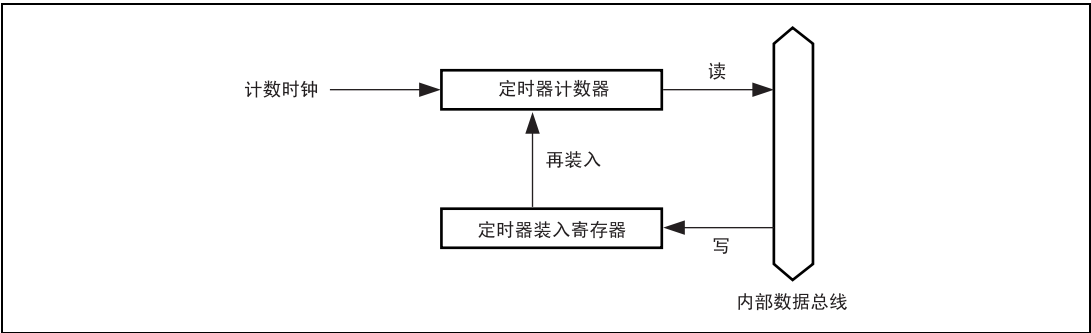


图 2.13 同地址被分配 2 个寄存器的定时器的构成例子

例2：对端口5执行BSET指令的情况

P57、P56 是输入管脚，分别为低电平和高电平输入状态，而 P55～P50 是输出管脚，分别为低电平输出状态。用 BSET 指令对 P50 进行高电平输出的例子如下所示：

【执行BSET指令前】

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【执行BSET指令】

BSET	#0, @PDR5
------	-----------

对端口 5 执行 BSET 指令。

【执行BSET指令后】

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR5	0	0	1	1	1	1	1	1
PDR5	0	1	0	0	0	0	0	1

【运行说明】

1. 一旦执行BSET指令，CPU就读端口5。P57、P56是输入管脚，CPU读管脚的状态（低电平和高电平输入）。P55～P50是输出管脚，CPU读PDR5的值。因此，在例子中，PDR5是H'80，而CPU读到的数据是H'40。
2. CPU把读到的数据的位0置1，数据变为H'41。
3. 把H'41写入PDR5，结束BSET指令。

其结果，PDR5 的位 0 为 1，P50 成为高电平输出。由于，PDR5 的位 7 和位 6 发生了变化，因此，请把与 PDR5 相同的数据存放 to 存储器的工作区，对工作区的数据进行位操作后，再把该数据写到 PDR5。

【执行BSET指令前】

MOV.B	#80.	R0L
MOV.B	R0L.	@RAM0
MOV.B	R0L.	@PDR5

先把要写进 PDR5 的值（H'80）写到存储器的工作区（RAM0）和 PDR5。

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【执行BSET指令】

BSET	#0	, @RAM0
------	----	---------

对 PDR5 的工作区（RAM0）执行 BSET 指令。

【执行BSET指令后】

MOV.B	@RAM0,	R0L
MOV.B	R0L.	@PDR5

把工作区（RAM0）的值写到 PDR5。

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

(2) 含有写专用位寄存器的位操作

例3: 对端口5的PCR5执行BCLR指令的情况

P57、P56 是输入管脚，分别为低电平和高电平输入状态，而 P55~P50 是输出管脚，分别为低电平输出状态。用 BCLR 指令把 P50 设定为输入管脚的例子如下所示。被设定为输入管脚的 P50 为高电平输入状态。

【执行BCLR指令前】

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【执行BCLR指令】

BCLR	#0 , @PCR5
------	------------

对 PCR5 执行 BCLR 指令。

【执行BCLR指令后】

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输出	输出	输出	输出	输出	输出	输出	输入
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR5	1	1	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

【运行说明】

1. 一旦执行BCLR指令，CPU就读PCR5。PCR5是写专用寄存器，CPU读H'FF。因此，在例子中，PCR5是H'3F，而CPU读到的数据是H'FF。
2. CPU把读到的数据的位0清0，数据变为H'FE。
3. 把H'FE写入PCR5，结束BCLR指令。

其结果，PCR5 的位 0 为 0，P50 成为输入管脚。由于，PCR5 的位 7 和位 6 变为 1，P57 和 P56 变为输出管脚，因此，请把与 PCR5 相同的数据存放到存储器的工作区，对工作区的数据进行位操作后，再把该数据写到 PCR5。

【执行BCLR指令前】

MOV.B	#3F,	R0L
MOV.B	R0L,	@RAM0
MOV.B	R0L,	@PCR5

先把要写进 PCR5 的值（H'3F）写到存储器的工作区（RAM0）和 PCR5。

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	低电平
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【执行BCLR指令】

BCLR	#0	, @RAM0
------	----	---------

对 PCR5 的工作区（RAM0）执行 BCLR 指令。

【执行BCLR指令后】

MOV.B	@RAM0,R0L
MOV.B	R0L, @PCR5

把工作区（RAM0）的值写到 PCR5。

	P57	P56	P55	P54	P53	P52	P51	P50
输入/输出	输入	输入	输出	输出	输出	输出	输出	输出
管脚状态	低电平	高电平	低电平	低电平	低电平	低电平	低电平	高电平
PCR5	0	0	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

第 3 章 异常处理

异常处理由复位、陷阱指令和中断产生。

- 复位

复位是最高优先级的异常处理。一旦复位被 $\overline{\text{RES}}$ 管脚解除，就开始异常处理。也可通过监视定时器的溢出来复位，开始异常处理。两者的异常处理相同。

- 由陷阱指令产生的异常处理

通过执行一条TRAP指令开始异常处理。TRAP指令由指令码中指定的0~3的向量号生成不同的向量地址。陷阱指令的异常处理与CCR的I位无关，在程序执行状态下随时被接受。

- 中断异常处理

由CCR的I位屏蔽NMI以外的外部中断请求和地址断开以外的内部中断请求，并且在I位为1期间被保留。一旦发生中断请求，就在结束执行指令或者结束异常处理时开始异常处理。

3.1 异常类型和向量地址

表 3.1 列出了各种异常类型的向量地址和优先级。在同时发生多个中断请求时，按优先级顺序从高到低进行处理。

表 3.1 异常类型和向量地址

发生源	异常类型	向量号	向量地址	优先级
RES 管脚 监视定时器	复位	0	H'0000~H'0001	 高
—	系统保留用	1~6	H'0002~H'000D	
外部中断管脚	NMI	7	H'000E~H'000F	
CPU	陷阱指令 #0	8	H'0010~H'0011	
	陷阱指令 #1	9	H'0012~H'0013	
	陷阱指令 #2	10	H'0014~H'0015	
	陷阱指令 #3	11	H'0016~H'0017	
地址断开	断开条件成立	12	H'0018~H'0019	
CPU	由睡眠指令的执行直接转移	13	H'001A~H'001B	
外部中断管脚	IRQ0、低电压检测中断 ^{*1}	14	H'001C~H'001D	
	IRQ3	17	H'0022~H'0023	
	WKP	18	H'0024~H'0025	
—	系统保留用	20	H'0028~H'0029	
定时器 W	输入捕捉 A/比较匹配 A 输入捕捉 B/比较匹配 B 输入捕捉 C/比较匹配 C 输入捕捉 D/比较匹配 D 溢出	21	H'002A~H'002B	
定时器 V	比较匹配 A 比较匹配 B 溢出	22	H'002C~H'002D	
SCI3	接收数据满 发送数据空 发送结束 接收错误	23	H'002E~H'002F	
A/D 转换器	A/D 转换结束	25	H'0032~H'0033	
SCI3_2	接收数据满 发送数据空 发送结束 接收错误	32	H'0040~H'0041	
SCI3_3 ^{*2}	接收数据满 发送数据空 发送结束 接收错误	34	H'0044~H'0045	
				低

【注】 *1 低电压检测中断只对内藏加电复位和低电压检测电路的产品有效。

*2 H8/36024 内藏 SCI3_3 功能。

3.2 寄存器说明

控制中断的寄存器有：

- 中断边沿选择寄存器1（IEGR1）
- 中断边沿选择寄存器2（IEGR2）
- 中断允许寄存器1（IENR1）
- 中断标志寄存器1（IRR1）
- 唤醒中断标志寄存器（IWPR）

3.2.1 中断边沿选择寄存器 1（IEGR1）

IEGR1 用来选择 $\overline{\text{IRQ3}}$ 和 $\overline{\text{IRQ0}}$ 管脚发生中断请求的边沿方向。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。总是读出 0。
6	—	1	—	保留位。总是读出 1。
5	—	1	—	
4	—	1	—	
3	IEG3	0	R/W	IRQ3 边沿选择 0：检测 $\overline{\text{IRQ3}}$ 管脚输入的下降沿 1：检测 $\overline{\text{IRQ3}}$ 管脚输入的上升沿
2	—	0	—	保留位。总是读出 0。
1	—	0	—	
0	IEG0	0	R/W	IRQ0 边沿选择 0：检测 $\overline{\text{IRQ0}}$ 管脚输入的下降沿 1：检测 $\overline{\text{IRQ0}}$ 管脚输入的上升沿

3.2.2 中断边沿选择寄存器 2 (IEGR2)

IEGR2 用来选择 $\overline{\text{ADTRG}}$ 和 $\overline{\text{WKP5}} \sim \overline{\text{WKP0}}$ 管脚发生中断请求的触发边沿。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。
6	—	1	—	
5	WPEG5	0	R/W	WKP5 边沿选择 0: 检测 $\overline{\text{WKP5}}$ 管脚 ($\overline{\text{ADTRG}}$ 管脚) 输入的下降沿 1: 检测 $\overline{\text{WKP5}}$ 管脚 ($\overline{\text{ADTRG}}$ 管脚) 输入的上升沿
4	WPEG4	0	R/W	WKP4 边沿选择 0: 检测 $\overline{\text{WKP4}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{WKP4}}$ 管脚输入的上升沿
3	WPEG3	0	R/W	WKP3 边沿选择 0: 检测 $\overline{\text{WKP3}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{WKP3}}$ 管脚输入的上升沿
2	WPEG2	0	R/W	WKP2 边沿选择 0: 检测 $\overline{\text{WKP2}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{WKP2}}$ 管脚输入的上升沿
1	WPEG1	0	R/W	WKP1 边沿选择 0: 检测 $\overline{\text{WKP1}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{WKP1}}$ 管脚输入的上升沿
0	WPEG0	0	R/W	WKP0 边沿选择 0: 检测 $\overline{\text{WKP0}}$ 管脚输入的下降沿 1: 检测 $\overline{\text{WKP0}}$ 管脚输入的上升沿

3.2.3 中断允许寄存器 1 (IENR1)

IENR1 允许直接转移中断和外部管脚中断。

位	位名	初始值	R/W	说 明
7	IENDT	0	R/W	直接转移中断请求允许 IENDT =1, 允许直接转移中断请求。
6	—	0	—	保留位。总是读出 0。
5	IENWP	0	R/W	唤醒中断请求允许 是 $\overline{\text{WKP5}} \sim \overline{\text{WKP0}}$ 管脚共用的允许位, IENWP =1, 允许中断请求。
4	—	1	—	保留位。总是读出 1。
3	IEN3	0	R/W	IRQ3 中断请求允许 IEN3=1, 允许 $\overline{\text{IRQ3}}$ 管脚的中断请求。
2	—	0	—	保留位。总是读出 0。
1	—	0	—	保留位。总是读出 0。
0	IEN0	0	R/W	IRQ0 中断请求允许 IEN0=1, 允许 $\overline{\text{IRQ0}}$ 管脚的中断请求。

在通过清除中断允许寄存器来禁止中断请求时或者在清除中断标志寄存器时, 必须在屏蔽中断请求的状态 ($I=1$) 下进行。如果在 $I=0$ 的状态下进行上述操作, 当指令的执行与该中断请求的发生出现竞争时, 就执行对应于该操作指令执行结束时产生的中断请求的异常处理。

3.2.4 中断标志寄存器 1 (IRR1)

IRR1 是直接转移中断、IRQ3 和 IRQ0 中断请求状态标志寄存器。

位	位名	初始值	R/W	说 明
7	IRRDY	0	R/W	直接转移中断请求标志 [置位条件] 在 SYSCR2 的 DTON 置 1 的状态下, 执行睡眠指令并进行直接转移时 [清除条件] 写 0 时
6	—	0	—	保留位。总是读出 0。
5	—	1	—	保留位。总是读出 1。
4	—	1	—	
3	IRRI3	0	R/W	IRQ3 中断请求标志 [置位条件] 在 $\overline{\text{IRQ3}}$ 管脚被设定成中断输入且检测出被指定的边沿时 [清除条件] 写 0 时
2	—	0	—	保留位。总是读出 0。
1	—	0	—	
0	IRRI0	0	R/W	IRQ0 中断请求标志 [置位条件] 在 $\overline{\text{IRQ0}}$ 管脚被设定成中断输入且检测出被指定的边沿时 [清除条件] 写 0 时

3.2.5 唤醒中断标志寄存器 (IWPR)

IWPR 是 $\overline{\text{WKP5}} \sim \overline{\text{WKP0}}$ 管脚的中断请求状态标志寄存器。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。
6	—	1	—	
5	IWPF5	0	R/W	WKP5 中断请求标志 [置位条件] 在 $\overline{\text{WKP5}}$ 管脚被设定成中断输入且检测出被指定的边沿时 [清除条件] 写 0 时
4	IWPF4	0	R/W	WKP4 中断请求标志 [置位条件] 在 $\overline{\text{WKP4}}$ 管脚被设定成中断输入且检测出被指定的边沿时 [清除条件] 写 0 时
3	IWPF3	0	R/W	WKP3 中断请求标志 [置位条件] 在 $\overline{\text{WKP3}}$ 管脚被设定成中断输入且检测出被指定的边沿时 [清除条件] 写 0 时
2	IWPF2	0	R/W	WKP2 中断请求标志 [置位条件] 在 $\overline{\text{WKP2}}$ 管脚被设定成中断输入且检测出被指定的边沿时 [清除条件] 写 0 时
1	IWPF1	0	R/W	WKP1 中断请求标志 [置位条件] 在 $\overline{\text{WKP1}}$ 管脚被设定成中断输入且检测出被指定的边沿时 [清除条件] 写 0 时
0	IWPF0	0	R/W	WKP0 中断请求标志 [置位条件] 在 $\overline{\text{WKP0}}$ 管脚被设定成中断输入且检测出被指定的边沿时 [清除条件] 写 0 时

3.3 复位异常处理

当 $\overline{\text{RES}}$ 管脚变为低电平时，停止全部执行中的处理，LSI 进入复位状态。通过复位，CPU 的内部状态和内部外围模块的各寄存器被初始化。在加入电源时为了确保本 LSI 的复位，必须将 $\overline{\text{RES}}$ 管脚的低电平保持到时钟振荡器振荡稳定为止。如果在运行中复位， $\overline{\text{RES}}$ 管脚必须至少保持 10 个系统时钟的低电平。当 $\overline{\text{RES}}$ 管脚在保持一定时间的低电平后变为高电平，就开始复位异常处理。复位异常处理顺序如图 3.1 所示。复位异常处理的顺序如下，但是，对于内藏加电复位产品的复位顺序，请参照“第 15 章 加电复位和低电压检测电路”。

1. 设置条件码寄存器（CCR）的 I 位。
2. CPU 产生复位异常处理的向量地址（H'0000~H'0001），把该地址的数据作为起始地址传送到程序计数器（PC），并开始执行程序。

3.4 中断异常处理

3.4.1 外部中断请求

外部中断请求有 NMI、IRQ3、IRQ0 和 WKP 中断请求。

（1）NMI 中断请求

NMI 中断请求发生在 $\overline{\text{NMI}}$ 管脚的下降输入边沿。NMI 中断请求是最优先的中断请求，与 CCR 的 I 位的值无关随时被接受。

（2）IRQ3、IRQ0 中断请求

IRQ3、IRQ0 中断请求发生在 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ0}}$ 管脚的输入边沿。对这些中断请求分配不同的中断向量。可用 IEGR1 的 IEG3、IEG0 单独选择各个管脚的检测的边沿方向。在通过 PMR1 将 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ0}}$ 管脚设定成中断请求输入的状态下，如果检测出被指定的边沿，就将 IRR1 对应的位置 1，并向 CPU 请求中断。这些中断请求可通过 IENR1 的 IEN3、IEN0 来禁止。

（3）WKP 中断请求

WKP 中断请求发生在 $\overline{\text{WKP5}} \sim \overline{\text{WKP0}}$ 管脚的输入边沿。这些中断请求的向量地址相同。可用 IEGR2 的 WPEG5~WPEG0 单独选择各个管脚的检测的边沿方向。在通过 PMR5 将 $\overline{\text{WKP5}} \sim \overline{\text{WKP0}}$ 管脚设定成中断请求输入的状态下，如果检测出被指定的边沿，就将 IWPR 对应的位置 1，并向 CPU 请求中断。这些中断请求可通过 IENR1 的 IENWP 来禁止。

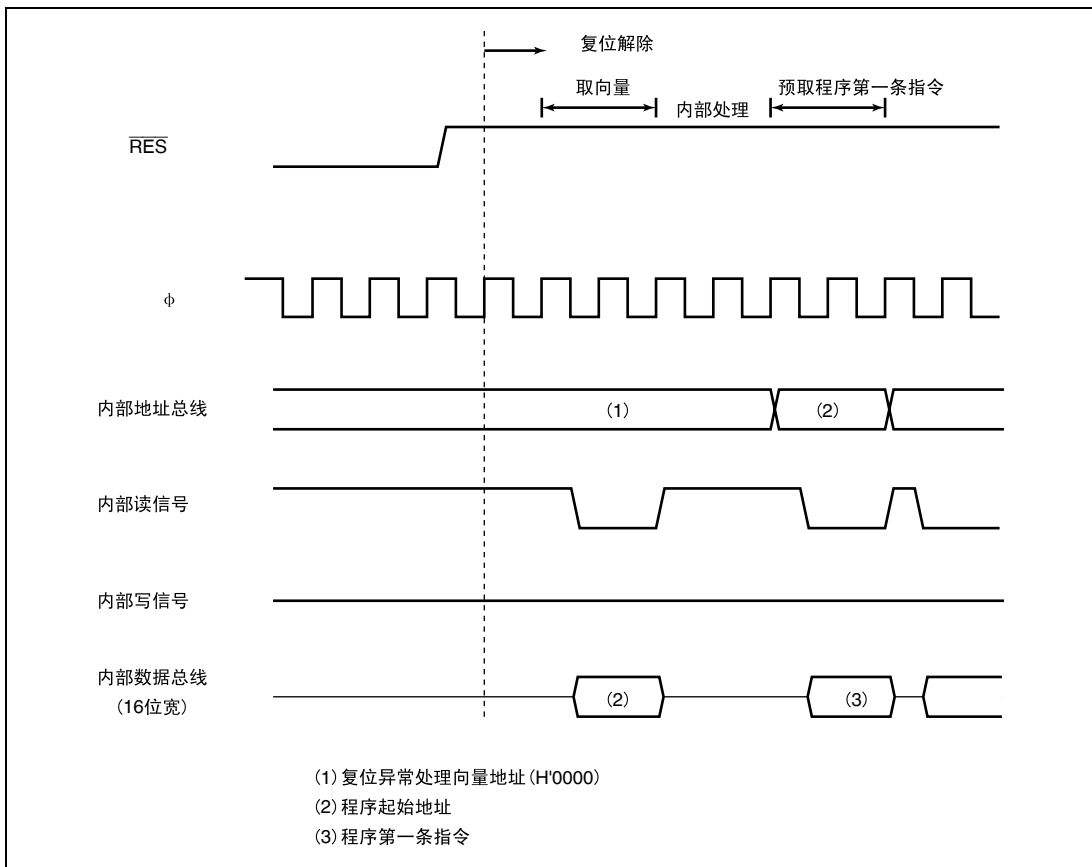


图 3.1 复位异常处理顺序

3.4.2 内部中断请求

各内部外围模块有中断请求状态标志和中断允许位。对于通过执行 SLEEP 指令产生的直接转移中断，上述位包含在 IRR1 和 IENR1 中。当发生内部外围模块的中断请求时，对应的中断请求状态标志被置 1，并向 CPU 请求中断。这些中断请求可通过对应的允许位清 0 来禁止。

3.4.3 中断处理顺序

中断请求由中断控制器进行控制。中断运行如下：

1. 当NMI或者中断允许位被置成1的中断源发生中断时，中断请求信号被传送到中断控制器。
2. 在发生多个中断请求时，中断控制器根据表3.1所示向CPU请求当时最高优先级的中断处理，保留其它的中断处理。
3. 当中断请求是NMI或地址断开时，不论I位如何，CPU总是接受。除此以外的中断请求只有在CCR的I位被清0的情况下才被接受，否则在I位被置位期间一直保留。
4. 如果CPU接受中断请求，就在执行完执行中的指令后开始中断异常处理。首先，把PC和CCR的值压入堆栈区。此时堆栈的状态如图3.2所示。被压栈的PC值为返回后要执行的第一条指令的地址。
5. 其次，将CCR的I位置1。屏蔽NMI和地址断开以外的中断请求，并且通过返回时的出栈，I位的值与CCR的其它位一起恢复成异常处理开始前的值。
6. 最后，CPU生成与接受的中断请求所对应的向量地址，然后把该地址作为中断处理程序的起始地址传送给PC，开始中断处理。

程序区在内部 ROM、堆栈区在内部 RAM 时的中断请求顺序如图 3.3 所示。

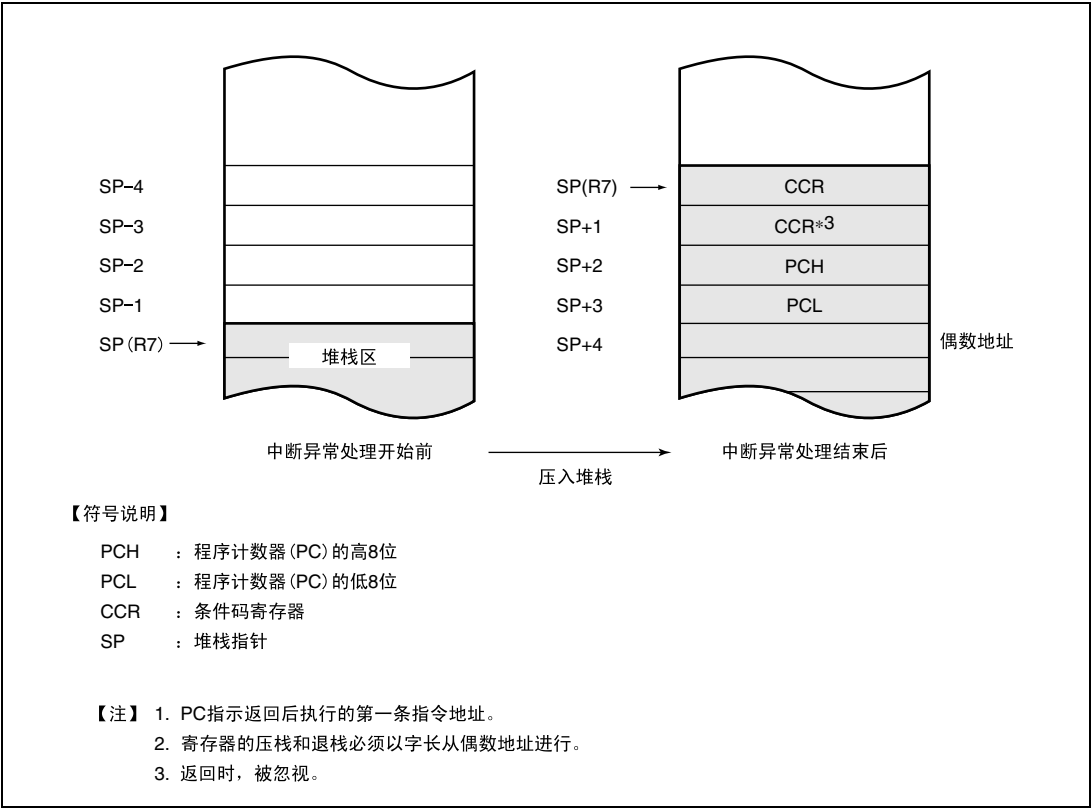


图 3.2 中断异常处理结束后的堆栈状态

3.4.4 中断响应时间

在从中断请求标志被置位后开始到执行中断请求处理程序的第一条指令为止的等待状态数如表 3.2 所示。

表 3.2 中断请求等待状态数

项 目	状态数	合计
执行中的指令结束时的等待时间*	1~23	15~37
PC、CCR 的入栈	4	
取向量	2	
取指令	4	
内部处理	4	

【注】 * EEPMOV 指令除外。

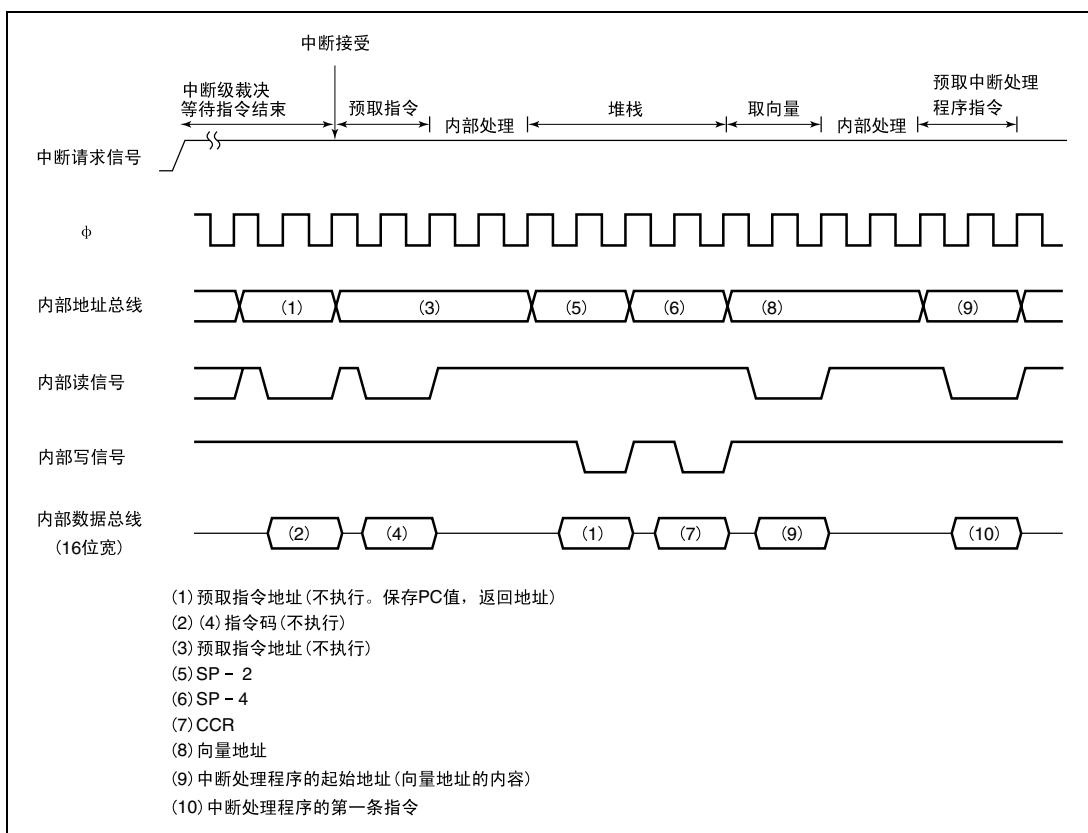


图 3.3 中断请求顺序

3.5 使用上的注意事项

3.5.1 复位后的中断请求

复位后，如果 CPU 在堆栈指针（SP）被初始化之前接受中断请求，就无法正确保存 PC 和 CCR，从而导致程序失控。为了预防这种情况，在复位异常处理后，立即禁止包括 NMI 的所有中断请求，并且一定执行程序的第 1 条指令，因此必须在程序的开头初始化 SP（例：MOV.W #xx:16, SP）。

3.5.2 堆栈区的存取

存取字数据时，地址的最低位被视作 0。因此在存取堆栈区时，必须进行字存取，以保持堆栈指针（SP: R7）为偶数。（例：“PUSH Rn (MOV.W Rn, @-SP)”或者“POP Rn (MOV.W @SP+, Rn)”）

3.5.3 改写端口模式寄存器时的注意事项

在改写端口模式寄存器以及改变外部中断请求管脚 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ0}}$ 和 $\overline{\text{WKP5}} \sim \overline{\text{WKP0}}$ 的功能时，中断请求标志可能会被置 1。切换管脚功能时，必须在禁止中断请求的状态下改写端口模式寄存器，并且在至少执行一条指令（可以是 NOP 指令）后才能清除中断请求标志。端口模式寄存器的操作和中断请求标志的清除过程如图 3.4 所示。

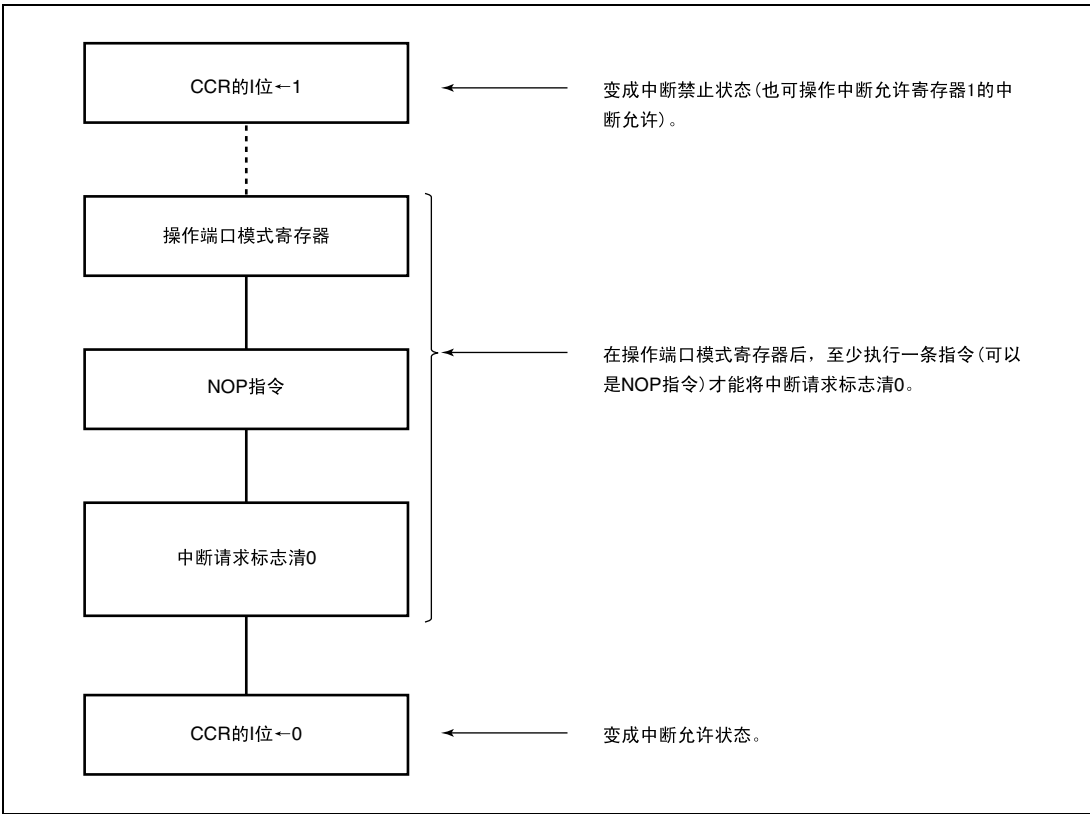


图 3.4 端口模式寄存器的操作和中断请求标志的清除过程

第 4 章 地址断开

地址断开提供简单的单板上程序调试功能。如果设定的断开条件成立，地址断开就发出地址断开中断请求。该中断请求不受 CCR 的 I 位的影响。可设定的断开条件有特定地址的指令执行、特定地址的存取和数据的组合等。另外，利用地址断开功能，能检测出程序误动作的开始位置并转移到修正程序等。地址断开的框图如图 4.1 所示。

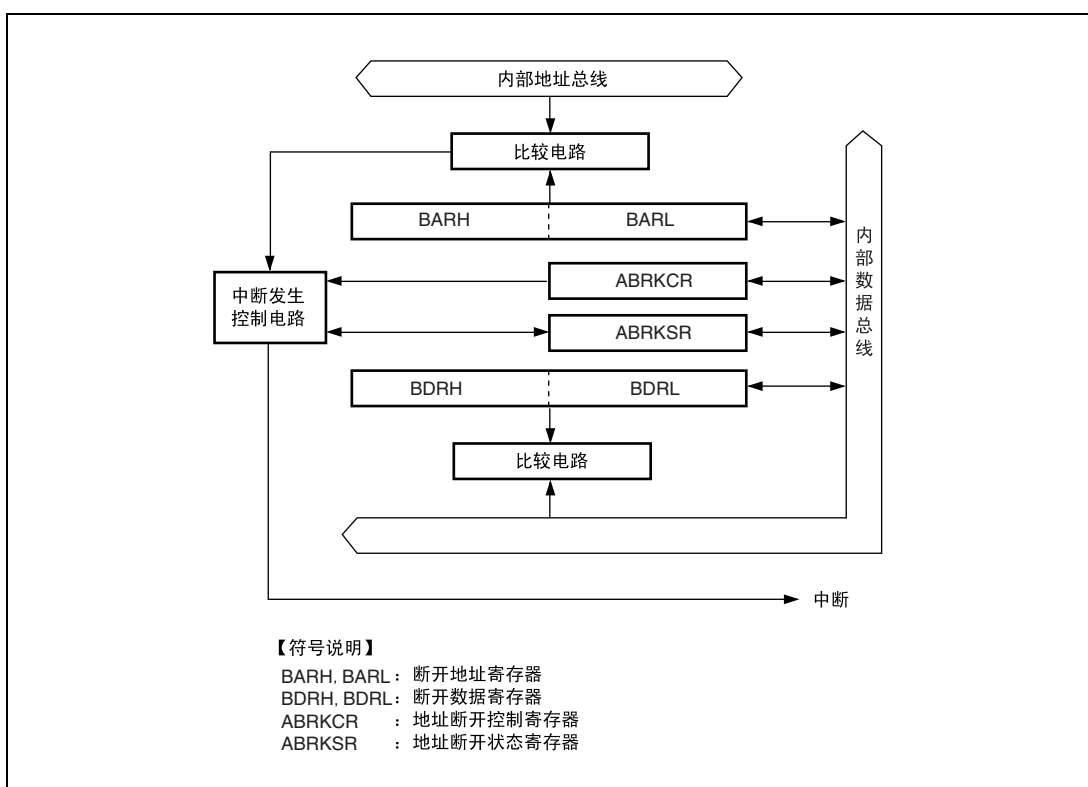


图 4.1 地址断开框图

4.1 寄存器说明

地址断开有以下寄存器：

- 地址断开控制寄存器（ABRKCR）
- 地址断开状态寄存器（ABRKSR）
- 断开地址寄存器（BARH、BARL）
- 断开数据寄存器（BDRH、BDRL）

4.1.1 地址断开控制寄存器（ABRKCR）

ABRKCR 设定地址断开的条件。

位	位名	初始值	R/W	说 明
7	RTINTE	1	R/W	RTE 中断允许 0: 屏蔽 RTE 指令执行后的中断，且一定执行一条指令。 1: 不屏蔽中断。
6	CSEL1	0	R/W	条件选择 1～0 设定地址断开的条件。 00: 指令执行周期 01: CPU 数据读周期 10: CPU 数据写周期 11: CPU 数据读/写周期
5	CSEL0	0	R/W	
4	ACMP2	0	R/W	地址比较 2～0 设定 BAR 和内部地址总线的比较条件。 000: 比较 16 位。 001: 比较高 12 位。 010: 比较高 8 位。 011: 比较高 4 位。 1XX: 保留（请不要设定）
3	ACMP1	0	R/W	
2	ACMP0	0	R/W	
1	DCMP1	0	R/W	数据比较 1～0 设定 BDR 和内部数据总线的比较条件。 00: 不比较数据。 01: BDRL 和数据总线低 8 位比较。 10: BDRH 和数据总线高 8 位比较。 11: BDR 和数据总线 16 位比较。
0	DCMP0	0	R/W	

【注】X: Don't care

请注意：在数据读周期或者数据写周期设定地址断开时，使用的数据总线取决于存取类型（字/字节存取）和数据总线宽度的组合。各种存取和其所使用的数据总线的对应关系如表 4.1 所示。在字存取 8 位数据总线宽的 I/O 寄存器空间时，发生 2 次字节存取。有关各寄存器的数据总线宽度请参照“17.1 寄存器地址一览表（按地址顺序）”。

表 4.1 使用的数据总线

	字存取		字节存取	
	偶数地址	奇数地址	偶数地址	奇数地址
ROM 空间	高 8 位	低 8 位	高 8 位	高 8 位
RAM 空间	高 8 位	低 8 位	高 8 位	高 8 位
8 位数据总线宽度的 I/O 寄存器	高 8 位	高 8 位	高 8 位	高 8 位
16 位数据总线宽度的 I/O 寄存器	高 8 位	低 8 位	—	—

4.1.2 地址断开状态寄存器（ABRKSR）

ABRKSR 由地址断开的中断请求标志位和地址断开的中断允许位构成。

位	位名	初始值	R/W	说 明
7	ABIF	0	R/W	地址断开中断标志 （置位条件） 设定在 ABRKCR 中的条件成立时。 （清除条件） 读到了 1 的状态后，写 0 时。
6	ABIE	0	R/W	地址断开中断允许 1：允许地址断开中断请求。
5~0	—	全 1	—	保留位。总是读出 1。

4.1.3 断开地址寄存器（BARH、BARL）

BARH、BARL 是对用于产生地址断开中断的地址进行设定的 16 位可读写寄存器。当设定地址断开的条件为指令执行周期时，必须设定指令的第 1 字节地址。该寄存器的初始值是 H'FFFF。

4.1.4 断开数据寄存器（BDRH、BDRL）

BDRH、BDRL 是对用于产生地址断开中断的数据进行设定的 16 位可读写寄存器。BDRH 和高 8 位数据总线比较，BDRL 和低 8 位数据总线比较。字节存取存储器或者寄存器时，偶数地址的数据传送和奇数地址的数据传送都使用高 8 位的数据总线。因此，在进行字节存取时，必须把比较数据设定给 BDRH。另外，在进行字存取时，使用的数据总线将取决于地址。详细内容请参照“4.1.1 地址断开控制寄存器（ABRKCR）”。该寄存器的初始值不定。

4.2 运行说明

地址断开功能在 ABRKSR 的 ABIF 和 ABIE 都被置 1 时，向 CPU 发出中断请求。ABRKSR 的 ABIF 的置 1 是通过设定给 BAR 的地址、设定给 BDR 的数据以及设定给 ABRKCR 的条件组合来实现。如果接受中断请求，在执行中的指令结束后，就启动中断异常处理。另外，地址断开中断不被 CPU 的 CCR 的 I 位屏蔽。

由地址断开中断的设定引起的运行例子如图 4.2 所示。

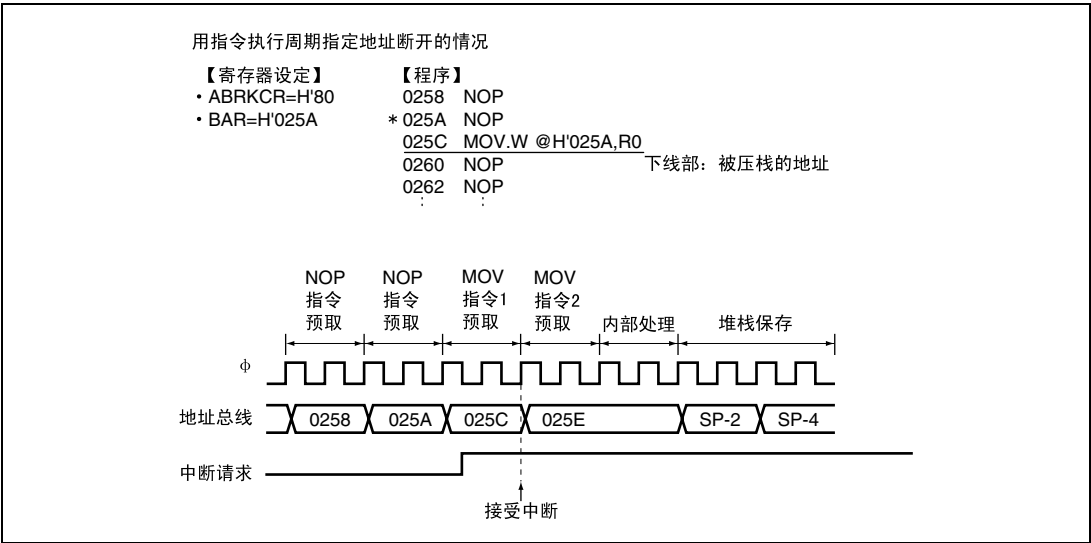


图 4.2 地址断开中断的运行例子（1）

用数据读周期指定地址断开的情况

【寄存器设定】

• ABRKCR=H'A0

• BAR=H'025A

【程序】

0258 NOP

025A NOP

* 025C MOV.W @H'025A,R0

0260 NOP

0262 NOP

下划线部: 被压栈的地址

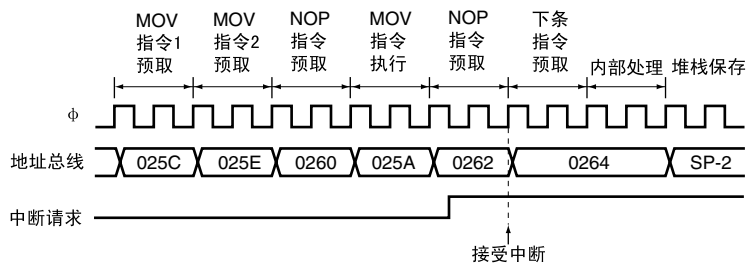


图 4.2 地址断开中断的运行例子 (2)

第 5 章 时钟振荡器

时钟发生电路由系统时钟发生电路（由系统时钟振荡器、占空比调整电路和系统时钟分频器组成）构成。时钟发生电路的框图如图 5.1 所示。

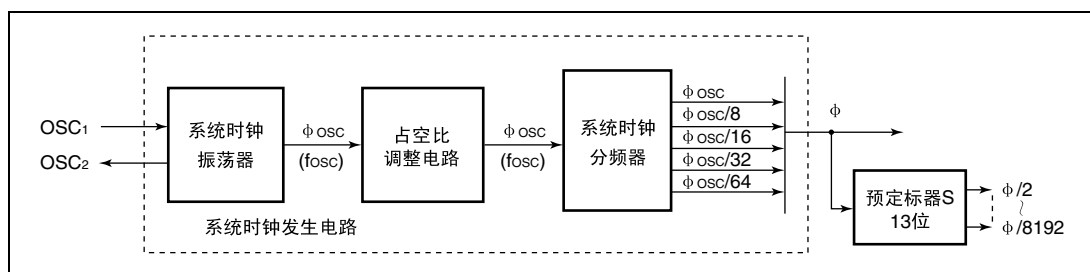


图 5.1 时钟发生电路的框图

系统时钟 ϕ 是使 CPU 和外围功能运行的标准时钟。系统时钟被预定标器 S 分频成 $\phi/2 \sim \phi/8192$ ，提供给各外围模块。

5.1 系统时钟振荡器

供给系统时钟的方法有连接晶体谐振器或者陶瓷谐振器和输入外部时钟 2 种。系统时钟振荡器的电路图如图 5.2 所示。

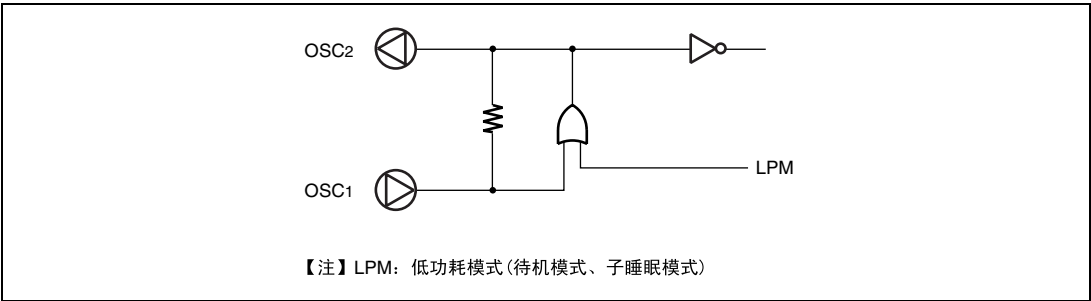


图 5.2 系统时钟振荡器的电路图

5.1.1 晶体谐振器的连接方法

晶体谐振器的连接例子如图 5.3 所示，必须使用 AT-CUT 并联谐振型晶体谐振器。晶体谐振器的等效电路如图 5.4 所示，必须使用如表 5.1 所示性能的谐振器。

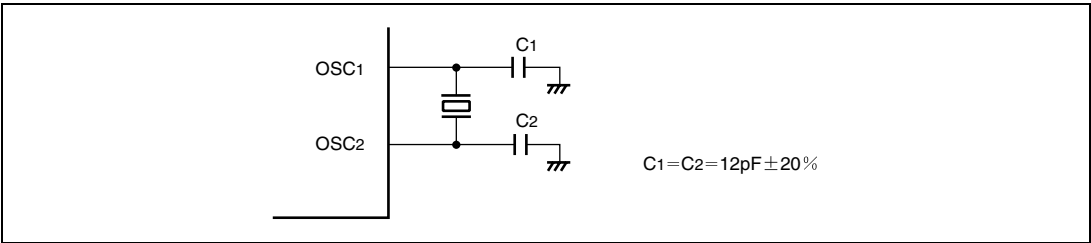


图 5.3 晶体谐振器的连接例子

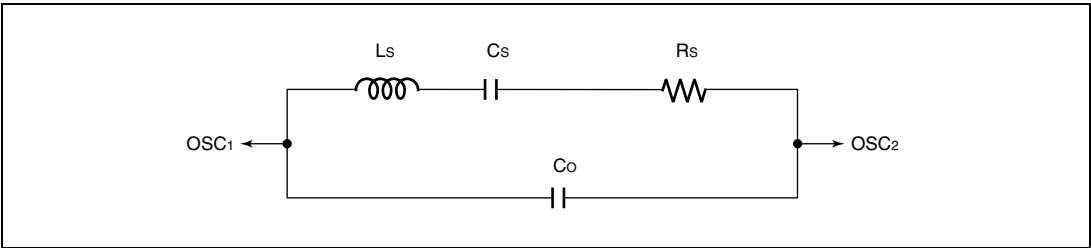


图 5.4 晶体谐振器的等效电路

表 5.1 晶体谐振器的参数

频率 (MHz)	2	4	8	10	16	20
Rs (max)	500 Ω	120 Ω	80 Ω	60 Ω	50 Ω	40 Ω
Co (max)	7pF					

5.1.2 陶瓷谐振器的连接方法

陶瓷谐振器的连接例子如图 5.5 所示。

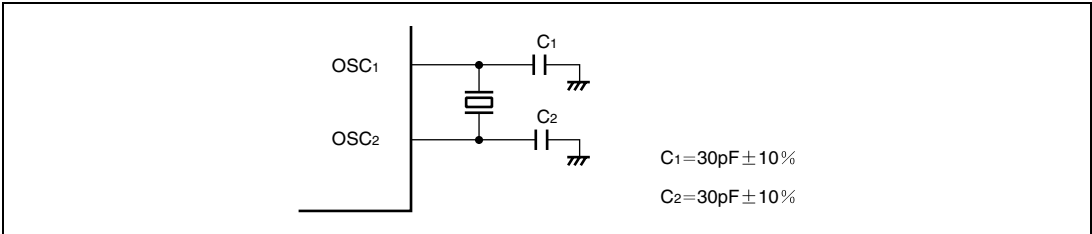


图 5.5 陶瓷谐振器的连接例子

5.1.3 输入外部时钟的方法

输入外部时钟到 OSC1 管脚，将 OSC2 管脚置为开路状态。连接例子如图 5.6 所示。必须将外部时钟的占空比设定为 45%~55%。

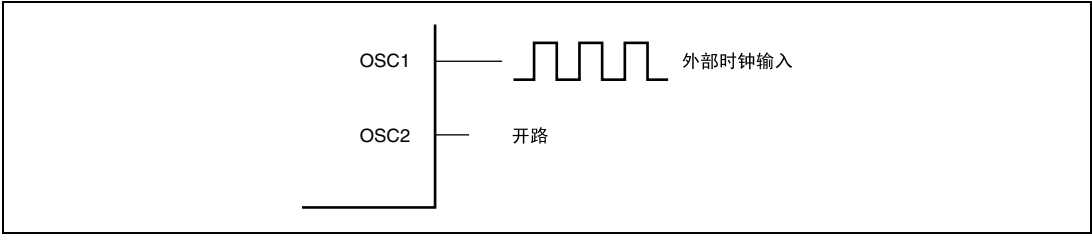


图 5.6 输入外部时钟的连接例子

5.2 预定标器

5.2.1 预定标器 S

预定标器 S 是将系统时钟（ ϕ ）作为输入时钟的 13 位计数器，分频输出用作内部外围模块的内部时钟。复位时，预定标器 S 被初始化为 H'0000，解除复位后开始累加计数。在待机模式和子睡眠模式，由于系统时钟振荡器停止运行，所以预定标器 S 也停止运行。此时，预定标器 S 被初始化为 H'0000，不能从 CPU 存取。

各种内部外围功能共用预定标器 S 的输出，分频比可由各种内部外围功能独立设定。另外，在激活模式和睡眠模式，预定标器 S 的输入时钟变成由 SYSCR2 的 MA2~MA0 设定分频比的系统时钟。

5.3 使用上的注意事项

5.3.1 谐振器的注意事项

因为有关谐振器的诸特性密切关系到用户的电路板设计，所以希望用户参考本章介绍的谐振器的连接例子，经过充分评价后使用。由于振荡电路的电路常数取决于谐振器和安装电路的寄生电容等因素，所以必须在与谐振器厂家充分磋商后作出决定。设计电路时，加在振荡管脚的电压不能超过最大额定值。

5.3.2 电路板设计上的注意事项

在使用晶体谐振器（陶瓷谐振器）的情况下，必须尽量把谐振器和负载电容设置在 OSC1 和 OSC2 管脚附近。另外，振荡电路的附近不要使其他信号线通过（图 5.7），否则可能发生因电感而不正常振荡的情况。

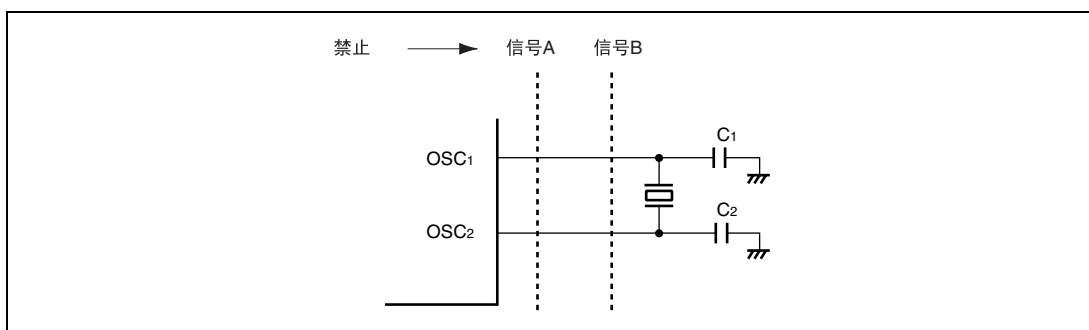


图 5.7 有关振荡电路的电路板设计的注意事项

第 6 章 低功耗模式

复位解除后的运行模式除了通常的激活模式以外，还有显著降低功耗的 3 种低功耗模式。此外，还有选择性地停止内部模块功能、降低功耗的模块待机功能。

- 激活模式
CPU 和内部外围模块以系统时钟运行。系统时钟的频率可以从 ϕ_{osc} 、 $\phi_{osc}/8$ 、 $\phi_{osc}/16$ 、 $\phi_{osc}/32$ 和 $\phi_{osc}/64$ 中选择。
- 睡眠模式
CPU 停止运行，内部外围模块以系统时钟运行。
- 待机模式
CPU 和所有内部外围模块停止运行。
- 子睡眠模式
CPU 和所有内部外围模块停止运行。I/O 端口保持转移前的状态。
- 模块待机功能
独立于上述运行模式，可通过以模块为单位停止不使用的内部外围模块的运行，降低功耗。

6.1 寄存器说明

和低功耗模式有关的寄存器有：

- 系统控制寄存器 1（SYSCR1）
- 系统控制寄存器 2（SYSCR2）
- 模块待机控制寄存器 1（MSTCR1）
- 模块待机控制寄存器 2（MSTCR2）

6.1.1 系统控制寄存器 1（SYSCR1）

SYSCR1和SYSCR2一起进行低功耗模式的控制。

位	位名	初始值	R/W	说 明
7	SSBY	0	R/W	软件待机 选择执行 SLEEP 指令后的转移模式。 0：转移到睡眠模式 1：转移到待机模式 详细内容请参照表 6.2。
6	STS2	0	R/W	待机定时器选择 2~0 在从待机模式转移到激活模式或者睡眠模式时，设定系统时钟振荡器从开始振荡到供给时钟为止的待机状态数。按照运行频率，必须设定 6.5ms 以上的待机时间。设定值和待机状态数的关系如表 6.1 所示。 在使用外部时钟时，推荐选择最小值（STS2=STS1=STS0=1）。
5	STS1	0	R/W	
4	STS0	0	R/W	
3~0	—	0	—	保留位。总是读出 0。

表 6.1 运行频率和待机时间

位			待机状态数	运行频率							
STS2	STS1	STS0		20MHz	16MHz	10MHz	8MHz	4MHz	2MHz	1MHz	0.5MHz
0	0	0	8,192 states	0.4	0.5	0.8	1.0	2.0	4.1	8.1	16.4
0	0	1	16,384 states	0.8	1.0	1.6	2.0	4.1	8.2	16.4	32.8
0	1	0	32,768 states	1.6	2.0	3.3	4.1	8.2	16.4	32.8	65.5
0	1	1	65,536 states	3.3	4.1	6.6	8.2	16.4	32.8	65.5	131.1
1	0	0	131,072 states	6.6	8.2	13.1	16.4	32.8	65.5	131.1	262.1
1	0	1	1,024 states	0.05	0.06	0.10	0.13	0.26	0.51	1.02	2.05
1	1	0	128 states	0.00	0.00	0.01	0.02	0.03	0.06	0.13	0.26
1	1	1	16 states	0.00	0.00	0.00	0.00	0.00	0.01	0.02	0.03

【注】时间单位是 ms。

6.1.2 系统控制寄存器 2 (SYSCR2)

SYSCR2 和 SYSCR1 一起进行低功耗模式的控制。

位	位名	初始值	R/W	说 明
7	SMSEL	0	R/W	睡眠模式选择 此位和 SYSCR1 的 SSBY 一起选择 SLEEP 指令执行后的转移模式。 详细内容请参照表 6.2。
6	—	0	—	保留位。总是读出 0。
5	DTON	0	R/W	直接转移 ON 标志 此位和 SYSCR1 的 SSBY 一起选择 SLEEP 指令执行后的转移模式。 详细内容请参照表 6.2。
4	MA2	0	R/W	激活模式时钟选择 2~0 选择激活模式和睡眠模式的运行时钟频率。 在执行 SLEEP 指令后，时钟切换到设定的频率。 0XX: ϕ_{osc} 100: $\phi_{osc}/8$ 101: $\phi_{osc}/16$ 110: $\phi_{osc}/32$ 111: $\phi_{osc}/64$
3	MA1	0	R/W	
2	MA0	0	R/W	
1	—	0	—	保留位。总是读出 0。
0	—	0	—	

【注】X: Don't care

6.1.3 模块待机控制寄存器 1 (MSTCR1)

MSTCR1 以模块单位把内部外围模块设定为待机状态。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。总是读出 0。
6	—	0	—	
5	MSTS3	0	R/W	SCI3 模块待机 1: SCI3 成为待机状态。
4	MSTAD	0	R/W	A/D 转换器模块待机 1: A/D 转换器成为待机状态。
3	MSTWD	0	R/W	监视定时器模块待机 1: 监视定时器成为待机状态（但是，在监视定时器的计数时钟被选择为内部振荡器的情况下，监视定时器的运行与此位的设定无关）。
2	MSTTW	0	R/W	定时器 W 模块待机 1: 定时器 W 成为待机状态。
1	MSTTV	0	R/W	定时器 V 模块待机 1: 定时器 V 成为待机状态。
0	—	0	—	保留位。总是读出 0。

6.1.4 模块待机控制寄存器 2 (MSTCR2)

MSTCR2 以模块单位把内部外围模块设定为待机状态。

位	位名	初始值	R/W	说 明
7	MSTS3_2	0	R/W	SCI3_2 模块待机 1: SCI3_2 成为待机状态。
6~0	—	全 0	—	保留位。总是读出 0。

6.2 模式间转移和 LSI 状态

模式间可进行的转移如图 6.1 所示。通过 SLEEP 指令的执行进行从程序执行状态到程序停止状态的转移，通过中断从程序停止状态返回到程序执行状态。另外，能通过激活模式到激活模式的直接转移改变运行频率，能通过 $\overline{\text{RES}}$ 输入进行从任意的模式到复位状态的转移。在执行 SLEEP 指令时向各模式的转移条件和由中断产生的返回地址如表 6.2 所示，LSI 在各运行模式的内部状态如表 6.3 所示。

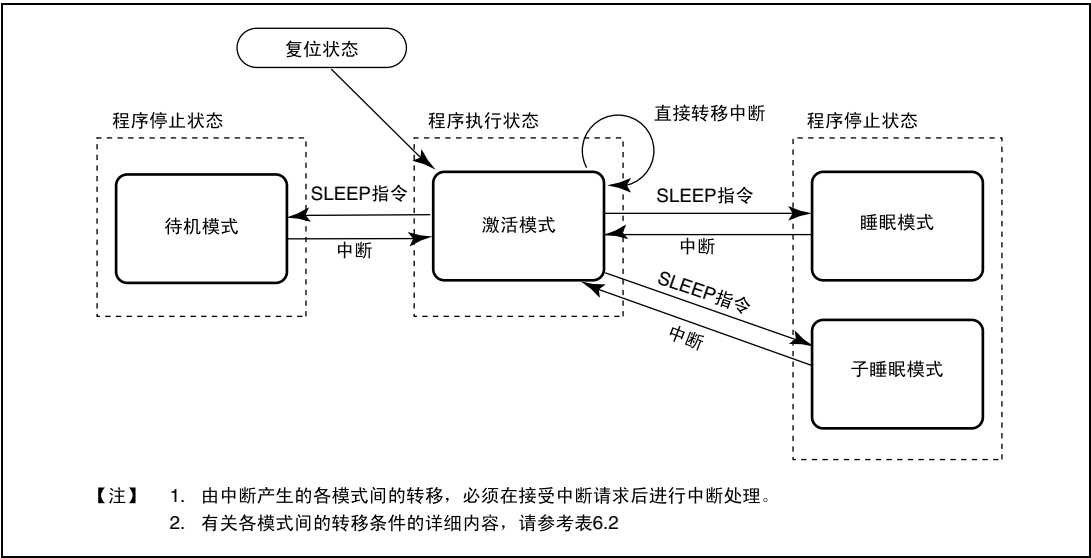


图 6.1 模式转移图

表 6.2 执行 SLEEP 指令后的状态和由中断产生的返回地址

DTON	SSBY	SMSEL	SLEEP 指令执行后的状态	由中断产生的返回地址
0	0	0	睡眠模式	激活模式
0	0	1	子睡眠模式	激活模式
0	1	X	待机模式	激活模式
1	X	0*	激活模式（直接转移）	

【注】X: Don't care

* 如果在 SMSEL=1 时进行状态转移，就复位定时器 V、SCI3、SCI3_2、SCI3_3（仅 H8/36024）和 A/D 转换器，各寄存器的值将返回到初始值。如果在激活模式转移后使用这些功能，就必需重新设定各寄存器。

表 6.3 各运行模式的 LSI 状态

功能		激活模式	睡眠模式	子睡眠模式	待机模式
系统时钟振荡器		运行	运行	停止	停止
CPU	指令执行	运行	停止	停止	停止
	寄存器	运行	保持	保持	保持
RAM		运行	保持	保持	保持
I/O 端口		运行	保持	保持	寄存器为保持, 输出为高阻抗
外部中断	IRQ3、IRQ0	运行	运行	运行	运行
	WKP5~WKP0	运行	运行	运行	运行
外围模块	定时器 V	运行	运行	复位	复位
	定时器 W	运行	运行	保持	保持
	监视定时器	运行	运行	保持	保持(选择内部振荡器作为计数时钟时为运行)
	SCI3	运行	运行	复位	复位
	A/D 转换器	运行	运行	复位	复位

6.2.1 睡眠模式

在睡眠模式，虽然 CPU 停止运行，但是内部外围模块以 SYSCR2 的 MA2~MA1 和 MA0 所设定的频率时钟运行，CPU 的寄存器内容保持不变。如果发生中断请求，就解除睡眠模式，开始中断异常处理。在 CCR 的 I 位为 1 或者中断被中断允许位屏蔽时，不能解除睡眠模式。如果将睡眠模式中的 $\overline{\text{RES}}$ 管脚置为低电平，睡眠模式就被解除，转移到复位状态。

6.2.2 待机模式

在待机模式，系统时钟振荡器停止振荡，CPU 和内部外围模块停止运行。只要提供规定的电压，CPU 的寄存器、一部分内部外围模块的内部寄存器以及内部 RAM 的数据就保持不变。另外，只要提供由 RAM 数据保持电压所规定的电压，就能保持内部 RAM 的数据。I/O 端口为高阻抗状态。

待机模式由中断解除。如果发生中断请求，系统时钟振荡器就开始振荡，在经过由 SYSCR1 的 STS2~STS0 设定的时间后解除待机模式，开始中断异常处理。在 CCR 的 I 位为 1 或者中断被中断允许位屏蔽时，不能解除待机模式。

在待机模式，如果 $\overline{\text{RES}}$ 管脚为低电平，系统时钟振荡器就开始振荡。在系统时钟开始振荡的同时，系统时钟被供给整个 LSI。在系统时钟振荡稳定之前，必须保持 $\overline{\text{RES}}$ 管脚为低电平。如果在经过振荡稳定时间后 $\overline{\text{RES}}$ 管脚变为高电平，CPU 就开始复位异常处理。

6.2.3 子睡眠模式

在子睡眠模式，系统时钟振荡器停止运行，CPU 和内部外围模块停止运行。只要提供规定的电压，CPU 的寄存器、一部分内部外围模块的内部寄存器以及内部 RAM 的内容就保持不变，I/O 端口保持转移前的状态。

子睡眠模式由中断解除。如果发生中断请求，系统时钟振荡器就开始振荡，在经过由 SYSCR1 的 STS2~STS0 设定的时间后解除子睡眠模式，开始中断异常处理。另外，在 CCR 的 I 位为 1 或者中断被中断允许位屏蔽时，不能解除子睡眠模式。

6.3 激活模式的运行频率

激活模式以 SYSCR2 的 MA2~MA1 和 MA0 设定的频率时钟运行。在执行 SLEEP 指令后，运行频率切换到设定的频率。

6.4 直接转移

CPU 执行程序的运行模式有激活模式。能通过激活模式到激活模式的直接转移改变运行频率。如果在 SYSCR2 的 DTON 置 1 后执行 SLEEP 指令，就进行直接转移。转移后便开始直接转移的中断异常处理。在由中断允许寄存器 1 禁止直接转移中断的情况下，不进行直接转移而转移到睡眠模式。请注意：如果在 CCR 的 I 位为 1 的状态下进行直接转移，就在转移到睡眠模式后无法由中断解除。

6.5 模块待机功能

模块待机功能对所有外围模块进行设定。设定为模块待机状态的模块被停止供给时钟，进入低功耗状态。如果将对应 MSTCR1 和 MSTCR2 的各模块的位置 1，该模块就成为模块待机状态，如果将对应 MSTCR1 和 MSTCR 的各模块的位清除，该模块就被解除。

第 7 章 ROM

内藏在 HD64F36024 和 HD64F36014 中的 32K 字节（其中 4K 字节为 E10T 或者 E7 控制程序区）快速擦写存储器的特点如下：

- 写/擦除方式
写是128字节单位的同时写方式。擦除以块为单位进行。快速擦写存储器被分成1K字节×4块和28K字节×1块。全部擦除时也必须按块分别擦除。
- 改写次数
改写次数可达1000次。
- 单板上编程
通过启动内部引导程序，进入全部擦除或者写引导模式，可以进行单板上写/擦除。此外，即使在通常的用户模式也可对任意块进行单板上擦除和改写。
- 位传输率自动匹配
在引导模式传送数据时，自动地匹配主机的传送位传输率和本LSI的位传输率。
- 写/擦除保护
通过软件能设定对快速擦写存储器的写/擦除保护。

7.1 块结构

32K 字节快速擦写存储器的块结构如图 7.1 所示。粗线框表示擦除块。细线框表示写单位，框内的数值表示地址。快速擦写存储器被分成 1K 字节×4 块和 28K 字节×1 块，擦除以这两种单位进行。写以低位地址为 H'00 或者 H'80 开始的 128 字节单位进行。

擦除单位	H'0000	H'0001	H'0002	←写单位128字节→	H'007F
	H'0080	H'0081	H'0082		H'00FF
1K字节					
擦除单位	H'0380	H'0381	H'0382		H'03FF
	H'0400	H'0401	H'0402	←写单位128字节→	H'047F
擦除单位	H'0480	H'0481	H'0482		H'04FF
1K字节					
擦除单位	H'0780	H'0781	H'0782		H'07FF
	H'0800	H'0801	H'0802	←写单位128字节→	H'087F
擦除单位	H'0880	H'0881	H'0882		H'08FF
1K字节					
擦除单位	H'0B80	H'0B81	H'0B82		H'0BFF
	H'0C00	H'0C01	H'0C02	←写单位128字节→	H'0C7F
擦除单位	H'0C80	H'0C81	H'0C82		H'0CFF
1K字节					
擦除单位	H'0F80	H'0F81	H'0F82		H'0FFF
	H'1000	H'1001	H'1002	←写单位128字节→	H'107F
擦除单位	H'1080	H'1081	H'1082		H'10FF
28K字节					
	H'7F80	H'7F81	H'7F82		H'7FFF

图 7.1 快速擦写存储器的块结构

7.2 寄存器说明

快速擦写存储器有以下寄存器：

- 快速擦写存储器控制寄存器 1（FLMCR1）
- 快速擦写存储器控制寄存器 2（FLMCR2）
- 块指定寄存器 1（EBR1）
- 快速擦写存储器允许寄存器（FENR）

7.2.1 快速擦写存储器控制寄存器 1（FLMCR1）

FLMCR1 使快速擦写存储器转移到编程模式、编程验证模式、擦除模式或者擦除验证模式。有关具体的设定方法，请参照“7.4 写/擦除程序”。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。总是读出 0。
6	SWE	0	R/W	软件写允许 1: 允许快速擦写存储器写/擦除。 0: 该寄存器的其他位和 EBR1 的各位不能置位。
5	ESU	0	R/W	擦除准备 1: 成为擦除准备状态。 0: 解除准备状态。 必须在 FLMCR1 的 E 位置 1 前置位。
4	PSU	0	R/W	编程准备 1: 成为编程准备状态。 0: 解除准备状态。 必须在 FLMCR1 的 P 位置 1 前置位。
3	EV	0	R/W	擦除验证 1: 转移到擦除验证模式。 0: 解除擦除验证模式。
2	PV	0	R/W	编程验证 1: 转移到编程验证模式。 0: 解除编程验证模式。
1	E	0	R/W	擦除 如果在 SWE=1、ESU=1 的状态下置 1，就转移到擦除模式。 0: 解除擦除模式。
0	P	0	R/W	编程 如果在 SWE=1、PSU=1 的状态下置 1，就转移到编程模式。 0: 解除编程模式。

7.2.2 快速擦写存储器控制寄存器 2（FLMCR2）

FLMCR2 表示快速擦写存储器的写/擦除状态。FLMCR2 是只读寄存器，不能写入。

位	位名	初始值	R/W	说 明
7	FLER	0	R	在快速擦写存储器的写/擦除过程中检测错误，在变为错误保护状态时，将该位置位。 详细内容请参照“7.5.3 错误保护”。
6~0	—	全 0	—	保留位。总是读出 0。

7.2.3 块指定寄存器 1（EBR1）

EBR1 是指定快速擦写存储器擦除块的寄存器。当 FLMCR1 的 SWE 位是 0 时，EBR1 被初始化为 H'00。该寄存器不可将 2 个以上的位同时设定为 1，否则，EBR1 被自动清 0。

位	位名	初始值	R/W	说 明
7~5	—	全 0	—	保留位。总是读出 0。
4	EB4	0	R/W	为 1 时，H'1000~H'7FFF 的 28K 字节为擦除对象。
3	EB3	0	R/W	为 1 时，H'0C00~H'0FFF 的 1K 字节为擦除对象。
2	EB2	0	R/W	为 1 时，H'0800~H'0BFF 的 1K 字节为擦除对象。
1	EB1	0	R/W	为 1 时，H'0400~H'07FF 的 1K 字节为擦除对象。
0	EB0	0	R/W	为 1 时，H'0000~H'03FF 的 1K 字节为擦除对象。

7.2.4 快速擦写存储器允许寄存器（FENR）

FENR 的位 7（FLSHE）设定是允许还是禁止 CPU 存取快速擦写存储器的控制寄存器 FLMCR1、FLMCR2 和 EBR1。

位	位名	初始值	R/W	说 明
7	FLSHE	0	R/W	快速擦写存储器控制寄存器允许 为 1 时，可存取快速擦写存储器控制寄存器。 为 0 时，不能存取控制寄存器。
6~0	—	全 0	—	保留位。总是读出 0。

7.3 单板上编程

作为进行快速擦写存储器写/擦除的模式，提供能进行单板上写/擦除的引导模式。此外，即使在用户模式也能进行单板上写/擦除。如果从复位状态开始复位，本 LSI 就根据 TEST 管脚、 $\overline{\text{NMI}}$ 管脚以及端口的输入电平转移到表 7.1 所示的不同模式。必须至少在解除复位的 4 个状态以前，确定各管脚的输入电平。

如果转移到引导模式，就启动 LSI 内部引导程序。引导程序经 SCI3，把写控制程序从连接于外部的传送到内部 RAM，在全部擦除快速擦写存储器后，执行写控制程序。能用于单板上状态的初次写，或者用于在用户模式无法进行写/擦除时的强制恢复等。在用户模式，可以通过转移到用户准备好的写/擦除程序，擦除并改写任意块。

表 7.1 编程模式的选择方法

TEST	$\overline{\text{NMI}}$	E10T_0	PB0	PB1	PB2	解除复位后的 LSI 状态
0	1	X	X	X	X	用户模式
0	0	1	X	X	X	引导模式

【注】X: Don't care

7.3.1 引导模式

从复位解除开始转移到写控制程序为止，引导模式的运行如表 7.2 所示。

1. 在引导模式，主机侧需要预先准备好快速擦写存储器的写控制程序。根据“7.4 写/擦除程序”叙述的内容，准备写控制程序。
2. SCI3设定为异步方式，发送和接收格式是：8位数据，1位停止位，无奇偶校验。
3. 在引导程序启动时，测定从主机连续发送来的异步串行通信数据H'00的低电平宽度，计算位传输率，将SCI3的位传输率与主机的位传输率匹配。必须在RXD管脚为高电平的状态下解除复位。根据需要，在电路板上将RXD管脚和TXD管脚上拉。从复位解除到能测定低电平宽度为止，需要大约100个状态。
4. 在位传输率的匹配结束后，作为调整结束信号，发送1字节的H'00给主机。如果主机正常接收到调整结束信号，就必须发送1字节的H'55。如果不能正常接收，就必须通过复位再次启动引导模式。根据主机的位传输率和本LSI的系统时钟频率的组合，会发生在容许范围内位传输率不匹配的情况。因此，必须把主机的传送位传输率和本LSI的系统时钟频率设定在表7.3的范围内。
5. 在引导模式，引导程序使用一部分的内部RAM。能存放从主机发送来的写控制程序的区域是H'F780~H'FEFF。在程序的执行转移到写控制程序之前，不能使用该引导程序的区域。
6. 虽然在转移到写控制程序时，SCI3结束发送和接收（SCR3的RE=0、TE=0），但是，由于BRR仍然保持匹配的位传输率的值，所以能继续用写控制程序与主机进行写数据和验证数据的发送和接收。TXD管脚变为高电平输出状态（PCR22=1、P22=1）。在转移到写控制程序后CPU的通用寄存器的内容不定。尤其是堆栈指针，由于被隐含地用于子程序调用等，因此必须在写控制程序的开头初始化。
7. 引导模式能通过复位解除。必须使复位管脚置为低电平，在经过至少20个状态后设定 $\overline{\text{NMI}}$ 管脚，解除复位。在WDT溢出复位发生时，引导模式也被解除。
8. 在引导模式，不能改变TEST管脚和 $\overline{\text{NMI}}$ 管脚的输入电平。

表 7.2 引导模式的运行

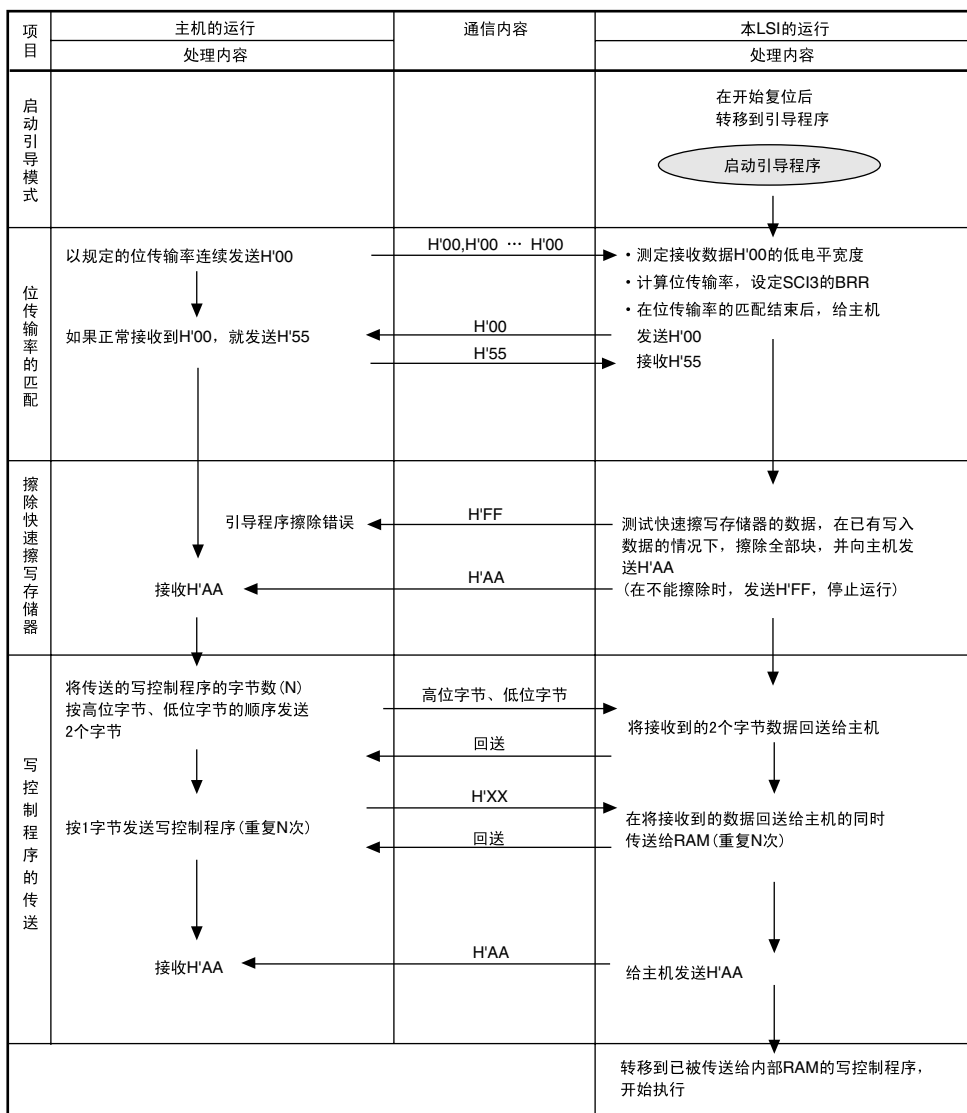


表 7.3 可自动匹配位传输率的系统时钟频率

主机的位传输率	LSI 的系统时钟频率范围
19200bps	16 ~ 20MHz
9600bps	8 ~ 16MHz
4800bps	4 ~ 16MHz
2400bps	2 ~ 16MHz

7.3.2 用户模式的写/擦除

在用户模式，通过转移到用户准备的写/擦除程序，能对任意块进行单板上擦除或者改写。需要用户准备好转移条件的设定及单板上改写数据的手段，同时，必须根据需要事先将写/擦除程序或者将用于从外部提供写/擦除程序的程序写入部分快速擦写存储器。由于在写/擦除过程中不能读快速擦写存储器，所以必须与引导模式相同，将写/擦除程序传送到内部RAM后执行。用户模式的写/擦除步骤的例子如图7.2所示。请根据“7.4 写/擦除程序”叙述的内容，准备写/擦除程序。

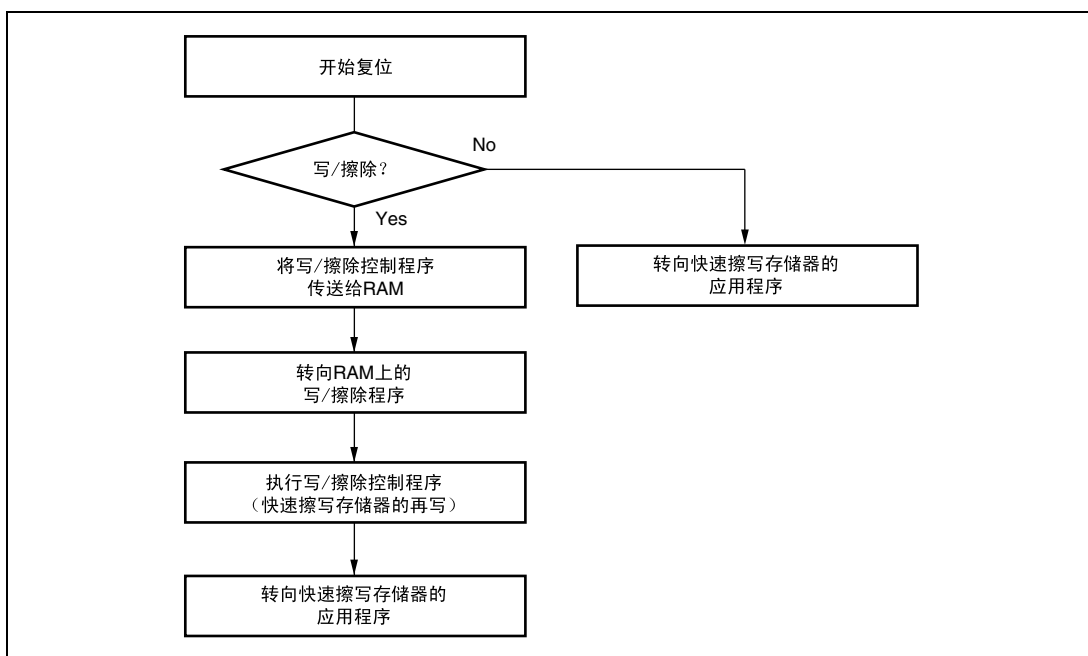


图 7.2 用户模式的写/擦除例子

7.4 写/擦除程序

采用软件方式，对单板上的快速擦写存储器进行写/擦除。快速擦写存储器根据 FLMCR1 的设定，转移到程序模式、编程验证模式、擦除模式和擦除验证模式。在引导模式的写控制程序 and 用户模式的写/擦除程序中，结合这些模式进行写/擦除。请按照“7.4.1 编程/编程验证”叙述的内容对快速擦写存储器进行写操作，请按照“7.4.2 擦除/擦除验证”叙述的内容对快速擦写存储器进行擦除操作。

7.4.1 编程/编程验证

请按照图 7.3 所示的编程/编程验证流程图对快速擦写存储器进行写操作。如果按照此流程进行写操作，就能避免给芯片施加过分的电压应力和提高数据的信赖性。

1. 在擦除状态下进行写操作，即已经被写的地址不可再写。
2. 以128字节为单位进行一次写。即使写不满128字节的数据，也必须给快速擦写存储器传送128字节的数据。不需要的地址必须写H'FF。
3. 必须在RAM中确保128字节的写数据区、128字节的再写数据区和128字节的追加写数据区。再写数据的计算请按照表7.4进行，追加写数据的计算请按照表7.5进行。
4. 必须以字节为单位，从再写数据区或者追加写数据区连续传送128字节到快速擦写存储器。程序地址和128字节数据被锁存在快速擦写存储器中。必须把快速擦写存储器的起始地址的低8位设定为H'00或者H'80。
5. P位置1的时间为写时间。请按照表7.6设定写时间。
6. 为了避免由于程序失控等的重复写，设定监视定时器。溢出周期必须设定在6.6ms左右。
7. 为了给验证地址虚写，必须给低2位为b'00的地址写1字节的H'FF。能够从进行了虚写的地址开始以字或长字读验证数据。
8. 对同一位的编程/编程验证步骤的重复次数不可超过1000次。

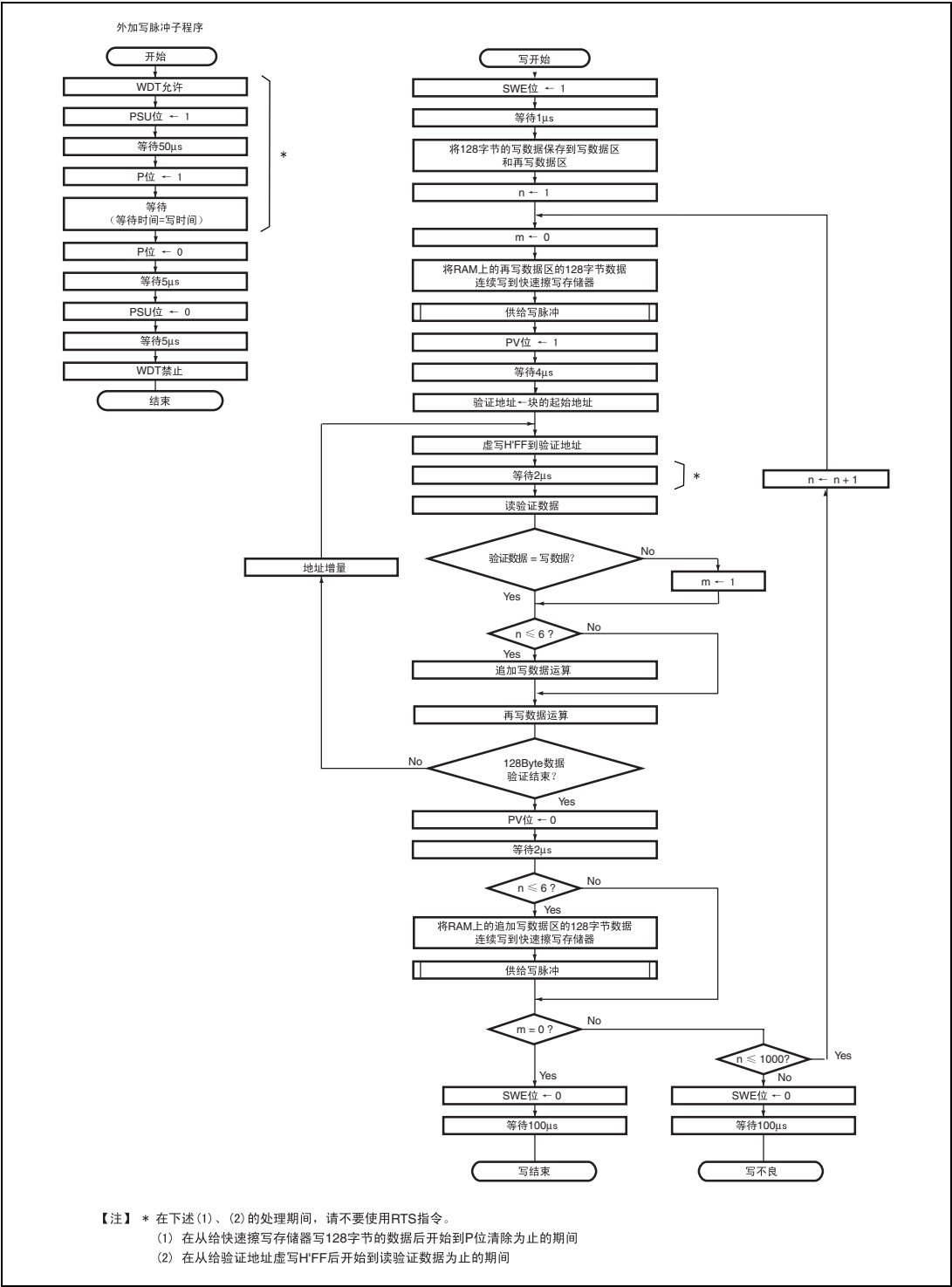


图 7.3 编程/编程验证流程图

表 7.4 再写数据运算表

写数据	验证数据	再写数据	备 考
0	0	1	写结束位
0	1	0	再写位
1	0	1	
1	1	1	擦除状态

表 7.5 追加写数据运算表

再写数据	验证数据	追加写数据	备 考
0	0	0	追加写位
0	1	1	不进行追加写
1	0	1	不进行追加写
1	1	1	不进行追加写

表 7.6 写时间

n (写次数)	写时	追加写时	备 考
1~6	30	10	
7~1,000	200	—	

【注】时间单位是 μs 。

7.4.2 擦除/擦除验证

请按照图 7.4 的擦除/擦除验证流程图进行擦除。

1. 在擦除前不必进行前写入（将要擦除的存储器的所有数据全部置0）。
2. 以块单位进行擦除。必须通过块指定寄存器1（EBR1）选择要擦除的1块。擦除多个块时也必须按各块分别依次擦除。
3. E位置1的时间为擦除时间。
4. 为了避免由于程序失控等的重复擦除，设定监视定时器。溢出周期必须设定在19.8ms左右。
5. 为了给验证地址虚写，必须给低2位为b'00的地址写1字节H'FF。能够从进行了虚写的地址开始以长字读验证数据。
6. 读出的数据为未擦除数据时，再次将其设定为擦除方式，重复擦除/擦除验证步骤，但是，重复次数不可超过100次。

7.4.3 快速擦写存储器的写/擦除时的中断

在对快速擦写存储器进行写/擦除操作中或者在执行引导程序过程中，由于以下的原因，必须禁止包括 NMI 的全部中断请求：

1. 在写/擦除过程中，如果发生中断，就不能保证按写/擦除算法正常运行。
2. 如果在写向量地址前或者在写/擦除过程中开始中断异常处理，就不能正常地取得向量，导致CPU失控。
3. 在执行引导程序过程中，如果发生中断，就无法按照正常顺序执行引导模式。

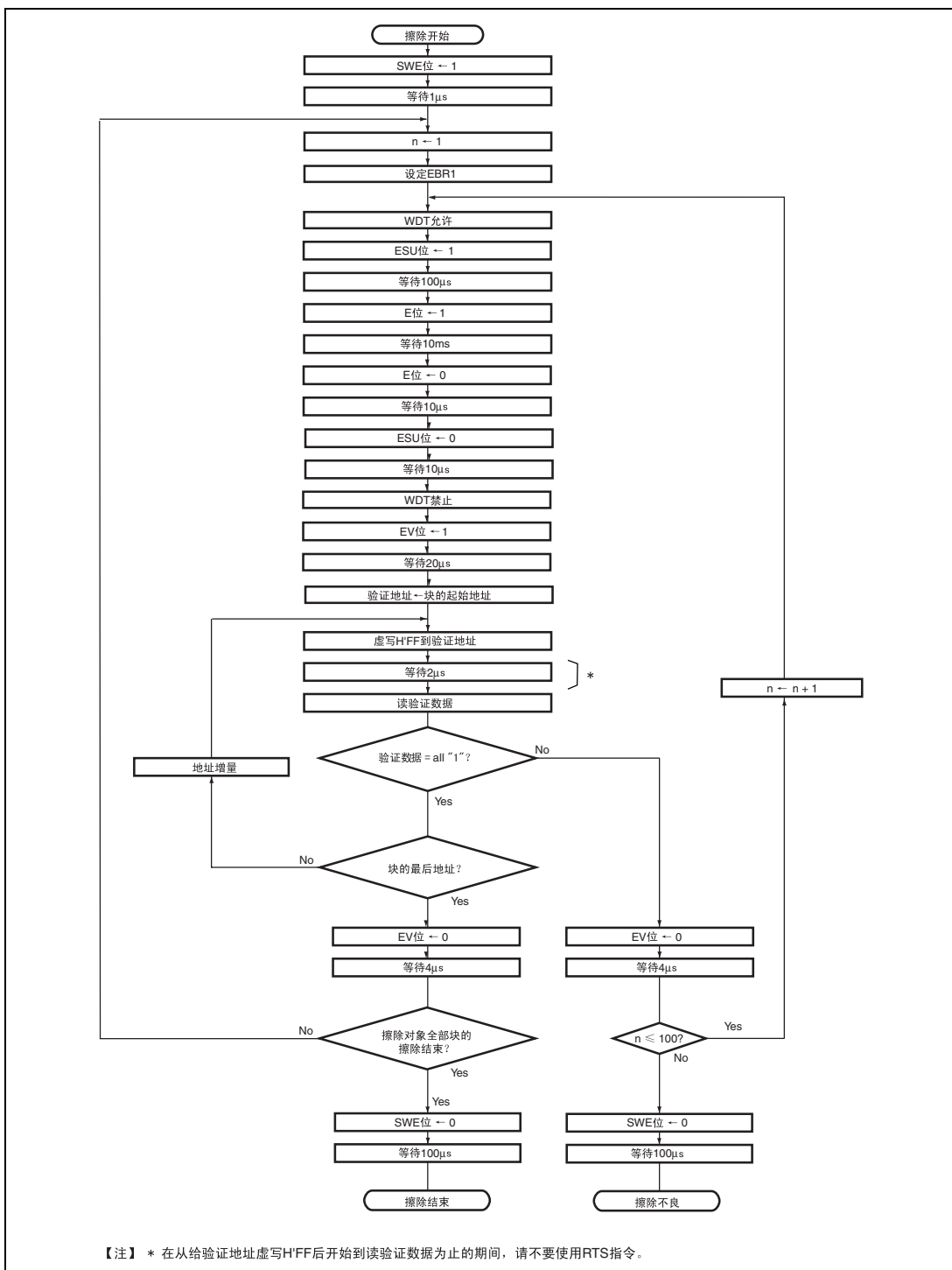


图 7.4 擦除/擦除验证流程图

7.5 写/擦除保护

快速擦写存储器的写/擦除保护状态有硬件保护、软件保护和错误保护 3 种状态。

7.5.1 硬件保护

硬件保护是指根据向复位、子睡眠模式或者待机模式的状态转移，对快速擦写存储器强制禁止和中断写/擦除的状态。快速擦写存储器控制寄存器 1 (FLMCR1)、快速擦写存储器控制寄存器 2 (FLMCR2) 和块指定寄存器 1 (EBR1) 被初始化。在由 $\overline{\text{RES}}$ 管脚复位时，从加入电源到振荡稳定为止，如果不保持 $\overline{\text{RES}}$ 管脚为低电平，就不能进入复位状态。另外，运行中的复位必须将 $\overline{\text{RES}}$ 管脚的低电平保持在 AC 特性规定的 $\overline{\text{RES}}$ 脉冲宽度之间。

7.5.2 软件保护

通过软件清除 FLMCR1 的 SWE 位，使全部块的写/擦除变为保护状态。在此状态，即使 FLMCR1 的 P 位或者 E 位被置位，也不转移到编程模式或者擦除模式。另外，通过块指定寄存器 1 (EBR1) 的设定能对各块进行擦除保护。如果设定 EBR1 为 H'00，所有块就都变为擦除保护状态。

7.5.3 错误保护

错误保护是在快速擦写存储器的写/擦除过程中，检测出 CPU 失控以及不按照写/擦除算法的运行并强制中断写/擦除运行的状态。通过中断写/擦除运行，以防止因重复写和重复擦除给快速擦写存储器带来的损坏。

在快速擦写存储器的写/擦除过程中，如果检测出以下错误，FLMCR2 的 FLER 位就被置 1，变为错误保护状态：

- 在写/擦除过程中，读快速擦写存储器（含读向量和取命令）
- 在写/擦除过程中，开始复位以外的异常处理
- 在写/擦除过程中，执行 SLEEP 命令

此时，虽然能保持 FLMCR1、FLMCR2 和 EBR1 的内容，但是在检测出错误时，强制中断编程模式或者擦除模式。即使对 P 位和 E 位置位，也不转移到编程模式或擦除模式。但是，能将 PV 位和 EV 位置位且能转移到验证模式。错误保护状态只能通过复位解除。

第 8 章 RAM

H8/36024 群和 H8/36014 群内藏 2K 字节的高速静态 RAM。RAM 以 16 位宽的数据总线与 CPU 连接，字节数据和字数据都是以 2 个状态进行存取。

产品类型		RAM 容量	RAM 地址
快速擦写存储器版	H8/36024F、H8/36014F	2K 字节	H'F780~H'FF7F*
	H8/36022F、H8/36012F	2K 字节	H'F780~H'FF7F*
掩模型 ROM 版	H8/36024、H8/36014	1K 字节	H'FB80~H'FF7F
	H8/36023、H8/36013	1K 字节	H'FB80~H'FF7F
	H8/36022、H8/36012	512 字节	H'FD80~H'FF7F
	H8/36011	512 字节	H'FD80~H'FF7F
	H8/36010	512 字节	H'FD80~H'FF7F

【注】* 在使用 E10T 或者 E7 时，禁止存取 H'F780~H'FB7F 区。

第 9 章 I/O 端口

H8/36024 群和 H8/36014 群具有 30 个通用输入/输出端口、4 个通用输入端口。其中端口 8 是大电流端口，在低电平输出时能驱动 20mA ($@V_{OL}=1.5V$)。虽然每个端口都与内部外围模块的输入/输出管脚或者外部中断输入管脚兼用，并且复位后变为输入端口，但是，可以通过寄存器的设定切换其功能。用于选择这些功能的寄存器有包含在 I/O 端口的寄存器和包含在各内部外围模块的寄存器。通用输入/输出端口由控制输入/输出的端口控制寄存器和存储输出数据的端口数据寄存器构成，并能以位单位选择输入/输出。有关各端口的功能，请参照“附录 B.1 I/O 端口框图”。另外，有关对端口控制寄存器和端口数据寄存器执行位操作指令，请参照“2.8.3 位操作指令”。

9.1 端口 1

端口 1 是与 IRQ 中断输入管脚、定时器 V 输入管脚以及 SCI3 输入/输出管脚兼用的输入/输出端口。端口 1 的各管脚结构如图 9.1 所示。

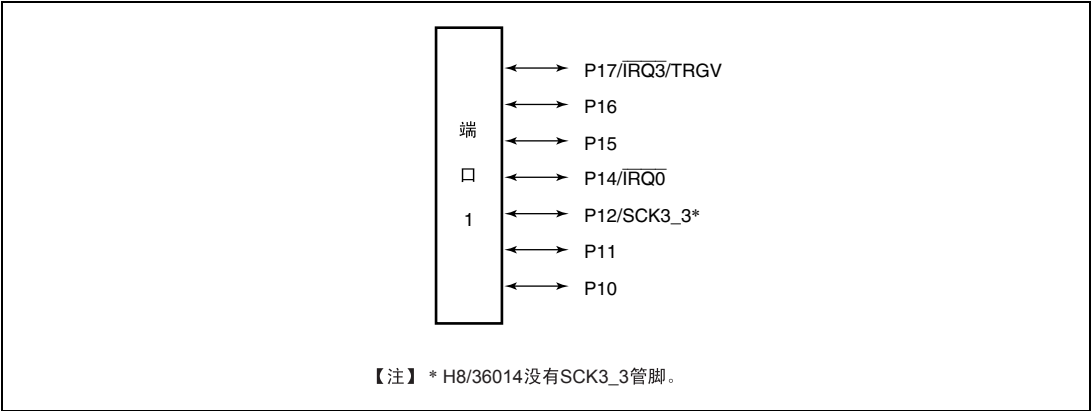


图 9.1 端口 1 的管脚结构

端口 1 有以下寄存器：

- 端口模式寄存器 1（PMR1）
- 端口控制寄存器 1（PCR1）
- 端口数据寄存器 1（PDR1）
- 端口上拉控制寄存器 1（PUCR1）

9.1.1 端口模式寄存器 1（PMR1）

PMR1 切换端口 1、端口 2 和端口 7 的管脚功能。

位	位名	初始值	R/W	说 明
7	IRQ3	0	R/W	选择 P17/ $\overline{\text{IRQ3}}$ /TRGV 管脚的功能。 0: 通用输入/输出端口 1: $\overline{\text{IRQ3}}$ 和 TRGV 输入管脚
6	—	0	—	保留位。总是读出 0。
5	—	0	—	
4	IRQ0	0	R/W	选择 P14/ $\overline{\text{IRQ0}}$ 管脚的功能。 0: 通用输入/输出端口 1: $\overline{\text{IRQ0}}$ 输入管脚
3	TXD2	0	R/W	选择 P72/TXD_2 管脚的功能。 0: 通用输入/输出端口 1: TXD_2 输出管脚

位	位名	初始值	R/W	说 明
2	—	0	—	保留位。必须以 0 使用（不能设定成 1）。
1	TXD	0	R/W	选择 P22/TXD 管脚的功能。 0: 通用输入/输出端口 1: TXD 输出管脚
0	—	0	—	保留位。总是读出 0。

9.1.2 端口控制寄存器 1（PCR1）

PCR1 按位选择用作端口 1 通用输入/输出端口的管脚的输入/输出。

位	位名	初始值	R/W	说 明
7	PCR17	0	W	在通过 PMR1 选择通用输入/输出端口的功能时，如果将该位置 1，对应的管脚就成为输出端口，如果清 0，就成为输入端口。 位 3 是保留位。
6	PCR16	0	W	
5	PCR15	0	W	
4	PCR14	0	W	
3	—	—	—	
2	PCR12	0	W	
1	PCR11	0	W	
0	PCR10	0	W	

9.1.3 端口数据寄存器 1（PDR1）

PDR1 是端口 1 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	P17	0	R/W	存储端口 1 的输出值。 如果读此寄存器，对于被 PCR1 置 1 的位，就读取此寄存器的值，而对于被 PCR1 清 0 的位，与此寄存器的值无关，读取管脚的状态。 位 3 是保留位。总是读出 1。
6	P16	0	R/W	
5	P15	0	R/W	
4	P14	0	R/W	
3	—	1	—	
2	P12	0	R/W	
1	P11	0	R/W	
0	P10	0	R/W	

9.1.4 端口上拉控制寄存器 1 (PUCR1)

PUCR1 按位控制被设定成输入端口的管脚的上拉 MOS。

位	位名	初始值	R/W	说 明
7	PUCR17	0	R/W	只有被 PCR1 清 0 的位有效。 1: 对应的 P17~P14 管脚和 P12~P10 管脚的上拉 MOS 为 ON 状态。 0: 对应的 P17~P14 管脚和 P12~P10 管脚的上拉 MOS 为 OFF 状态。 位 3 是保留位。总是读出 1。
6	PUCR16	0	R/W	
5	PUCR15	0	R/W	
4	PUCR14	0	R/W	
3	—	1	—	
2	PUCR12	0	R/W	
1	PUCR11	0	R/W	
0	PUCR10	0	R/W	

9.1.5 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

• P17/ $\overline{\text{IRQ3}}$ /TRGV 管脚

寄存器名	PMR1	PCR1	功 能
位名	IRQ3	PCR17	
设定值	0	0	P17 输入管脚
		1	P17 输出管脚
	1	X	$\overline{\text{IRQ3}}$ 输入管脚/TRGV 输入管脚

【注】X: Don't care

• P16 管脚

寄存器名	PCR1	功 能
位名	PCR16	
设定值	0	P16 输入管脚
	1	P16 输出管脚

• P15 管脚

寄存器名	PCR1	功 能
位名	PCR15	
设定值	0	P15 输入管脚
	1	P15 输出管脚

• P14/ $\overline{\text{IRQ0}}$ 管脚

寄存器名	PMR1	PCR1	功 能
位名	IRQ0	PCR14	
设定值	0	0	P14 输入管脚
		1	P14 输出管脚
	1	X	$\overline{\text{IRQ0}}$ 输入管脚

【注】X: Don't care

• P12/SCK3_3*管脚

寄存器名	SCR3_3*		SMR_3*	PCR1	功 能
位名	CKE1	CKE0	COM	PCR12	
设定值	0	0	0	0	P12 输入管脚
				1	P12 输出管脚
			1	X	SCK3_3 输出管脚*
	0	1	X	X	SCK3_3 输出管脚*
	1	X	X	X	SCK3_3 输入管脚*

【注】X: Don't care

* H8/36014不能使用。

• P11 管脚

寄存器名	PCR1	功 能
位名	PCR11	
设定值	0	P11 输入管脚
	1	P11 输出管脚

• P10 管脚

寄存器名	PCR1	功 能
位名	PCR10	
设定值	0	P10 输入管脚
	1	P10 输出管脚

9.2 端口 2

端口 2 是与 SCI3 的输入/输出管脚兼用的输入/输出端口。端口 2 的各管脚结构如图 9.2 所示。兼用管脚的功能优先进行 PMR1 和 SCI3 寄存器的设定。

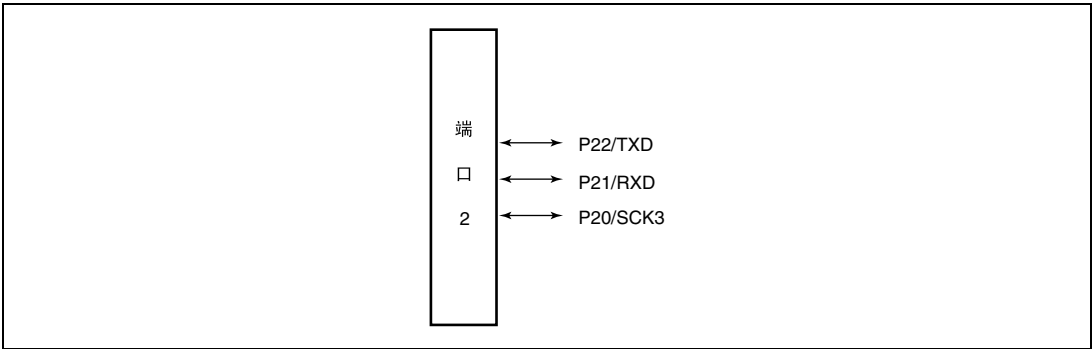


图 9.2 端口 2 的管脚结构

端口 2 有以下寄存器：

- 端口控制寄存器 2（PCR2）
- 端口数据寄存器 2（PDR2）

9.2.1 端口控制寄存器 2（PCR2）

PCR2 按位选择用作端口 2 通用输入/输出端口的管脚的输入/输出。

位	位名	初始值	R/W	说 明
7	—	—	—	保留位。
6	—	—	—	
5	—	—	—	
4	—	—	—	
3	—	—	—	
2	PCR22	0	W	在选择通用输入/输出端口的功能时，如果将该位置 1，对应的管脚就成为输出端口，如果清 0，就成为输入端口。
1	PCR21	0	W	
0	PCR20	0	W	

9.2.2 端口数据寄存器 2（PDR2）

PDR2 是端口 2 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。
6	—	1	—	
5	—	1	—	
4	—	1	—	
3	—	1	—	
2	P22	0	R/W	存储端口 2 的输出值。
1	P21	0	R/W	如果读此寄存器，对于被 PCR2 置 1 的位，就读取此寄存器的值。而对于被 PCR2 清 0 的位，与此寄存器的值无关，读取管脚的状态。
0	P20	0	R/W	

9.2.3 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

• P22/TXD 管脚

寄存器名	PMR1	PCR2	功 能
位名	TXD	PCR22	
设定值	0	0	P22 输入管脚
		1	P22 输出管脚
	1	X	TXD 输出管脚

【注】X: Don't care

• P21/RXD 管脚

寄存器名	SCR3	PCR2	功 能
位名	RE	PCR21	
设定值	0	0	P21 输入管脚
		1	P21 输出管脚
	1	X	RXD 输入管脚

【注】X: Don't care

• P20/SCK3 管脚

寄存器名	SCR3		SMR	PCR2	功 能
位名	CKE1	CKE0	COM	PCR20	
设定值	0	0	0	0	P20 输入管脚
				1	P20 输出管脚
	0	0	1	X	SCK3 输出管脚
	0	1	X	X	SCK3 输出管脚
	1	X	X	X	SCK3 输入管脚

【注】X: Don't care

9.3 端口 5

端口 5 是与 SCI3 输入/输出管脚、A/D 触发输入管脚以及唤醒中断输入管脚兼用的输入/输出端口。端口 5 的各管脚结构如图 9.3 所示。

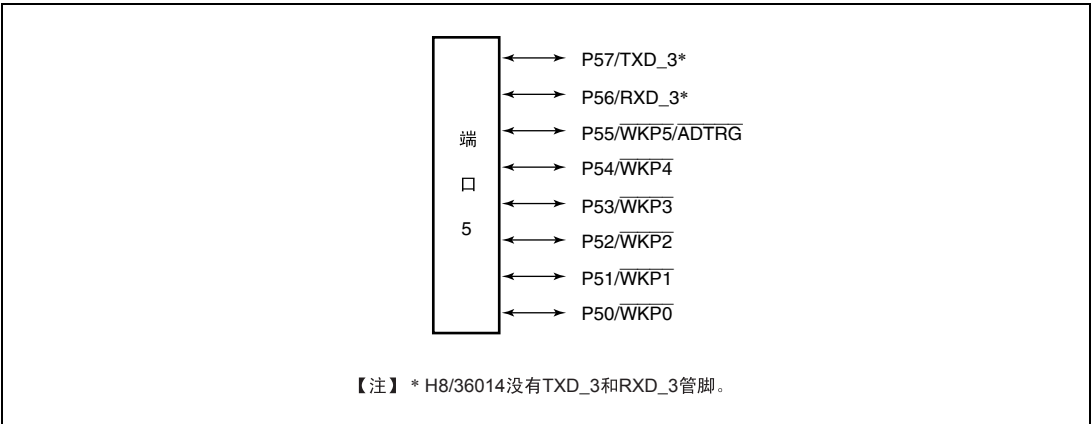


图 9.3 端口 5 的管脚结构

端口 5 有以下寄存器：

- 端口模式寄存器 5（PMR5）
- 端口控制寄存器 5（PCR5）
- 端口数据寄存器 5（PDR5）
- 端口上拉控制寄存器 5（PUCR5）

9.3.1 端口模式寄存器 5（PMR5）

PMR5 切换端口 5 的管脚功能。

位	位名	初始值	R/W	说 明
7	POF57	0	R/W	选择 P57 管脚的功能。 0: 通用输入/输出端口 1: NMOS 漏极开路输出管脚
6	POF56	0	R/W	选择 P56 管脚的功能。 0: 通用输入/输出端口 1: NMOS 漏极开路输出管脚
5	WKP5	0	R/W	选择 P55/ $\overline{\text{WKP5}}$ /ADTRG 管脚的功能。 0: 通用输入/输出端口 1: $\overline{\text{WKP5}}$ 输入管脚和 ADTRG 输入管脚
4	WKP4	0	R/W	选择 P54/ $\overline{\text{WKP4}}$ 管脚的功能。 0: 通用输入/输出端口 1: $\overline{\text{WKP4}}$ 输入管脚
3	WKP3	0	R/W	选择 P53/ $\overline{\text{WKP3}}$ 管脚的功能。 0: 通用输入/输出端口 1: $\overline{\text{WKP3}}$ 输入管脚
2	WKP2	0	R/W	选择 P52/ $\overline{\text{WKP2}}$ 管脚的功能。 0: 通用输入/输出端口 1: $\overline{\text{WKP2}}$ 输入管脚
1	WKP1	0	R/W	选择 P51/ $\overline{\text{WKP1}}$ 管脚的功能。 0: 通用输入/输出端口 1: $\overline{\text{WKP1}}$ 输入管脚
0	WKP0	0	R/W	选择 P50/ $\overline{\text{WKP0}}$ 管脚的功能。 0: 通用输入/输出端口 1: $\overline{\text{WKP0}}$ 输入管脚

9.3.2 端口控制寄存器 5（PCR5）

PCR5 按位选择用作端口 5 通用输入/输出端口的管脚的输入/输出。

位	位名	初始值	R/W	说 明
7	PCR57	0	W	在选择通用输入/输出端口的功能时，如果该位置 1，对应的管脚就成为输出端口，如果清 0，就成为输入端口。
6	PCR56	0	W	
5	PCR55	0	W	
4	PCR54	0	W	
3	PCR53	0	W	
2	PCR52	0	W	
1	PCR51	0	W	
0	PCR50	0	W	

9.3.3 端口数据寄存器 5（PDR5）

PDR5 是端口 5 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	P57	0	R/W	存储端口 5 的输出值。 如果读此寄存器，对于被 PCR5 置 1 的位，就读取此寄存器的值。而对于被 PCR5 置 0 的位，与此寄存器的值无关，读取管脚的状态。
6	P56	0	R/W	
5	P55	0	R/W	
4	P54	0	R/W	
3	P53	0	R/W	
2	P52	0	R/W	
1	P51	0	R/W	
0	P50	0	R/W	

9.3.4 端口上拉控制寄存器 5（PUCR5）

PUCR5 按位控制设定成输入端口的管脚的上拉 MOS。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。总是读出 0。
6	—	0	—	
5	PUCR55	0	R/W	只有被 PCR5 清 0 的位才有效。 1: 对应的管脚的上拉 MOS 为 ON 状态。 0: 对应的管脚的上拉 MOS 为 OFF 状态。
4	PUCR54	0	R/W	
3	PUCR53	0	R/W	
2	PUCR52	0	R/W	
1	PUCR51	0	R/W	
0	PUCR50	0	R/W	

9.3.5 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

• P57/TXD_3*管脚

寄存器名	SMCR*	PCR5	功 能
位名	TXD_3	PCR57	
设定值	0	0	P57 输入管脚
		1	P57 输出管脚
	1	X	TXD_3 输出管脚*

【注】X: Don't care

* H8/36014 不能使用。

• P56/RXD_3*管脚

寄存器名	SCR3_3*	PCR5	功 能
位名	RE	PCR56	
设定值	0	0	P56 输入管脚
		1	P56 输出管脚
	1	X	RXD_3 输入管脚*

【注】X: Don't care

* H8/36014 不能使用。

• P55/ $\overline{\text{WKP5}}$ /ADTRG 管脚

寄存器名	PMR5	PCR5	功 能
位名	WKP5	PCR55	
设定值	0	0	P55 输入管脚
		1	P55 输出管脚
	1	X	WKP5/ADTRG 输入管脚

【注】X: Don't care

• P54/ $\overline{\text{WKP4}}$ 管脚

寄存器名	PMR5	PCR5	功 能
位名	WKP4	PCR54	
设定值	0	0	P54 输入管脚
		1	P54 输出管脚
	1	X	WKP4 输入管脚

【注】X: Don't care

• P53/ $\overline{\text{WKP3}}$ 管脚

寄存器名	PMR5	PCR5	功 能
位名	WKP3	PCR53	
设定值	0	0	P53 输入管脚
		1	P53 输出管脚
	1	X	$\overline{\text{WKP3}}$ 输入管脚

【注】X: Don't care

• P52/ $\overline{\text{WKP2}}$ 管脚

寄存器名	PMR5	PCR5	功 能
位名	WKP2	PCR52	
设定值	0	0	P52 输入管脚
		1	P52 输出管脚
	1	X	$\overline{\text{WKP2}}$ 输入管脚

【注】X: Don't care

• P51/ $\overline{\text{WKP1}}$ 管脚

寄存器名	PMR5	PCR5	功 能
位名	WKP1	PCR51	
设定值	0	0	P51 输入管脚
		1	P51 输出管脚
	1	X	$\overline{\text{WKP1}}$ 输入管脚

【注】X: Don't care

• P50/ $\overline{\text{WKP0}}$ 管脚

寄存器名	PMR5	PCR5	功 能
位名	WKP0	PCR50	
设定值	0	0	P50 输入管脚
		1	P50 输出管脚
	1	X	$\overline{\text{WKP0}}$ 输入管脚

【注】X: Don't care

9.4 端口 7

端口 7 是与定时器 V 的输入/输出管脚兼用的输入/输出端口。端口 7 的各管脚结构如图 9.4 所示。P76/TMOV 管脚的功能优先进行定时器 V 的 TCSR_V 的设定。P75/TMCIV 和 P74/TMRIV 的管脚是定时器 V 输入兼用端口，和端口 7 的寄存器的设定无关，被连接到定时器 V。

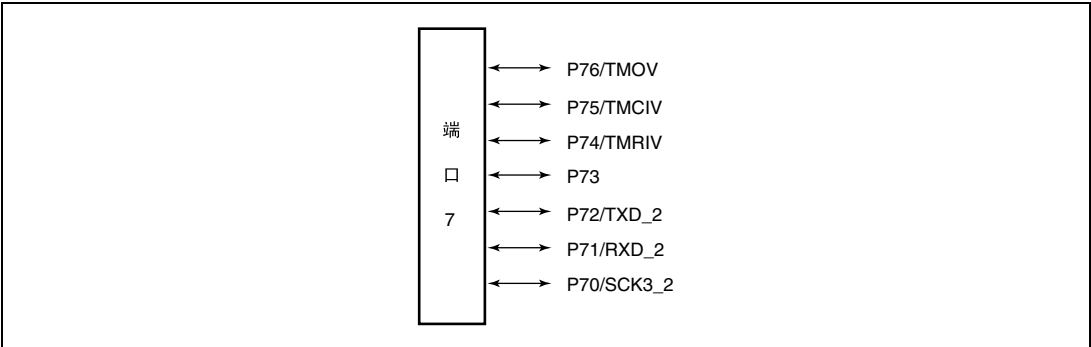


图 9.4 端口 7 的管脚结构

端口 7 有以下寄存器：

- 端口控制寄存器 7（PCR7）
- 端口数据寄存器 7（PDR7）

9.4.1 端口控制寄存器 7（PCR7）

PCR7 按位选择作为端口 7 的通用输入/输出端口使用的管脚的输入/输出。

位	位名	初始值	R/W	说 明
7	—	—	—	保留位。
6	PCR76	0	W	如果将该位置 1，对应的管脚就成为输出端口，如果清 0，就成为输入端口。但是，P76/TMOV 管脚的输入/输出方向优先进行定时器 V 的 TCSR _V 的设定。
5	PCR75	0	W	
4	PCR74	0	W	
3	PCR73	0	W	
2	PCR72	0	W	
1	PCR71	0	W	
0	PCR70	0	W	

9.4.2 端口数据寄存器 7（PDR7）

PDR7 是端口 7 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。
6	P76	0	R/W	存储端口 7 的输出值。 如果读此寄存器，对于被 PCR7 置 1 的位，就读取此寄存器的值。而对于被 PCR7 清 0 的位，与此寄存器的值无关，读取管脚的状态。
5	P75	0	R/W	
4	P74	0	R/W	
3	P73	0	R/W	
2	P72	0	R/W	
1	P71	0	R/W	
0	P70	0	R/W	

9.4.3 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

• P76/TMOV 管脚

寄存器名	TCSR7	PCR7	功 能
位名	OS3~OS0	PCR76	
设定值	0000	0	P76 输入管脚
		1	P76 输出管脚
	上述除外	X	TMOV 输出管脚

【注】X: Don't care

• P75/TMCIV 管脚

寄存器名	PCR7	功 能
位名	PCR75	
设定值	0	P75 输入/TMCIV 输入管脚
	1	P75 输出/TMCIV 输入管脚

• P74/TMRIV 管脚

寄存器名	PCR7	功 能
位名	PCR74	
设定值	0	P74 输入/TMRIV 输入管脚
	1	P74 输出/TMRIV 输入管脚

• P73 管脚

寄存器名	PCR7	功 能
位名	PCR73	
设定值	0	P73 输入管脚
	1	P73 输出管脚

• P72/TXD_2端子

寄存器名	PMR1	PCR7	功 能
位名	TXD2	PCR72	
设定值	0	0	P72 输入管脚
		1	P72 输出管脚
	1	X	TXD_2 输出管脚

【注】X: Don't care

• P71/RXD_2端子

寄存器名	SCR3_2	PCR7	功 能
位名	RE	PCR71	
设定值	0	0	P71 输入管脚
		1	P71 输出管脚
	1	X	RXD_2 输入管脚

【注】X: Don't care

• P70/SCK3_2端子

寄存器名	SCR3_2		SMR_2	PCR7	功 能
位名	CKE1	CKE0	COM	PCR70	
设定值	0	0	0	0	P70 输入管脚
				1	P70 输出管脚
			1	X	SCK3_2 输出管脚
	0	1	X	X	SCK3_2 输出管脚
	1	X	X	X	SCK3_2 输入管脚

【注】X: Don't care

9.5 端口 8

端口 8 是与定时器 W 的输入/输出管脚兼用的输入/输出端口。端口 8 的各管脚结构如图 9.5 所示。P84/FTIOD、P83/FTIOC、P82/FTIOB 和 P81/FTIOA 的功能优先进行定时器 W 的寄存器的设定。P80/FTCI 管脚是定时器 W 输入兼用端口，和端口 8 的寄存器的设定无关，被连接到定时器 W。

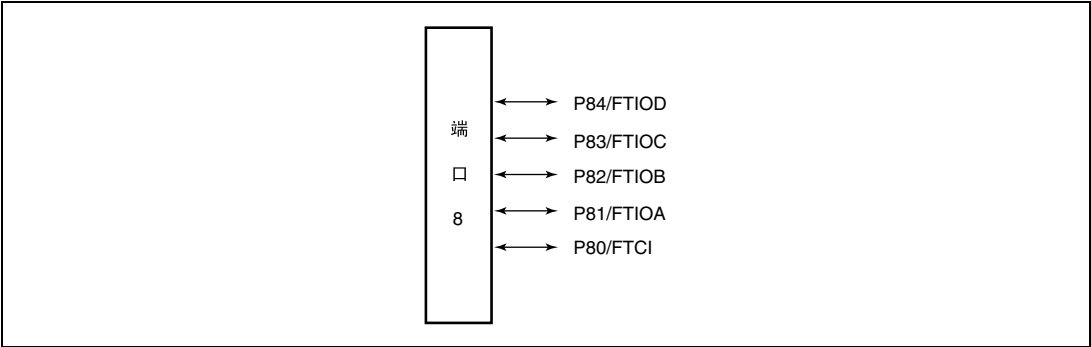


图 9.5 端口 8 的管脚结构

端口 8 有以下寄存器：

- 端口控制寄存器 8（PCR8）
- 端口数据寄存器 8（PDR8）

9.5.1 端口控制寄存器 8（PCR8）

PCR8 按位选择作为端口 8 的通用输入/输出端口使用的管脚的输入/输出。

位	位名	初始值	R/W	说 明
7	—	—	—	保留位。
6	—	—	—	
5	—	—	—	
4	PCR84	0	W	在选择通用输入/输出端口的功能时，如果将该位置 1，对应的管脚就成为输出端口，如果清 0，就成为输入端口。
3	PCR83	0	W	
2	PCR82	0	W	
1	PCR81	0	W	
0	PCR80	0	W	

9.5.2 端口数据寄存器 8（PDR8）

PDR8 是端口 8 的通用输入/输出端口数据寄存器。

位	位名	初始值	R/W	说 明
7	—	0	—	保留位。
6	—	0	—	
5	—	0	—	
4	P84	0	R/W	存储端口 8 的输出值。 如果读此寄存器，对于被 PCR8 置 1 的位，就读取此寄存器的值。而对于被 PCR8 清 0 的位，与此寄存器的值无关，读取管脚的状态。
3	P83	0	R/W	
2	P82	0	R/W	
1	P81	0	R/W	
0	P80	0	R/W	

9.5.3 管脚功能

寄存器的设定值和端口的管脚功能的关系如下：

• P84/FTIOD 管脚

寄存器名	TIOR1			PCR8	功 能
	IOD2	IOD1	IOD0	PCR84	
设定值	0	0	0	0	P84 输入/FTIOD 输入管脚
				1	P84 输出/FTIOD 输入管脚
	0	0	1	X	FTIOD 输出管脚
	0	1	X	X	FTIOD 输出管脚
	1	X	X	0	P84 输入/FTIOD 输入管脚
				1	P84 输出/FTIOD 输入管脚

【注】X: Don't care

• P83/FTIOC 管脚

寄存器名	TIOR1			PCR8	功 能
	IOC2	IOC1	IOC0	PCR83	
设定值	0	0	0	0	P83 输入/FTIOC 输入管脚
				1	P83 输出/FTIOC 输入管脚
	0	0	1	X	FTIOC 输出管脚
	0	1	X	X	FTIOC 输出管脚
	1	X	X	0	P83 输入/FTIOC 输入管脚
				1	P83 输出/FTIOC 输入管脚

【注】X: Don't care

• P82/FTIOB 管脚

寄存器名	TIOR0			PCR8	功 能
位名	IOB2	IOB1	IOB0	PCR82	
设定值	0	0	0	0	P82 输入/FTIOB 输入管脚
				1	P82 输出/FTIOB 输入管脚
	0	0	1	X	FTIOB 输出管脚
	0	1	X	X	FTIOB 输出管脚
	1	X	X	0	P82 输入/FTIOB 输入管脚
				1	P82 输出/FTIOB 输入管脚

【注】X: Don't care

• P81/FTIOA 管脚

寄存器名	TIOR0			PCR8	功 能
位名	IOA2	IOA1	IOA0	PCR81	
设定值	0	0	0	0	P81 输入/FTIOA 输入管脚
				1	P81 输出/FTIOA 输入管脚
	0	0	1	X	FTIOA 输出管脚
	0	1	X	X	FTIOA 输出管脚
	1	X	X	0	P81 输入/FTIOA 输入管脚
				1	P81 输出/FTIOA 输入管脚

【注】X: Don't care

• P80/FTCI 管脚

寄存器名	PCR8	功 能
位名	PCR80	
设定值	0	P80 输入/FTCI 输入管脚
	1	P80 输出/FTCI 输入管脚

9.6 端口 B

端口 B 是与 A/D 转换器的模拟输入管脚兼用的输入端口。端口 B 的各管脚结构如图 9.6 所示。

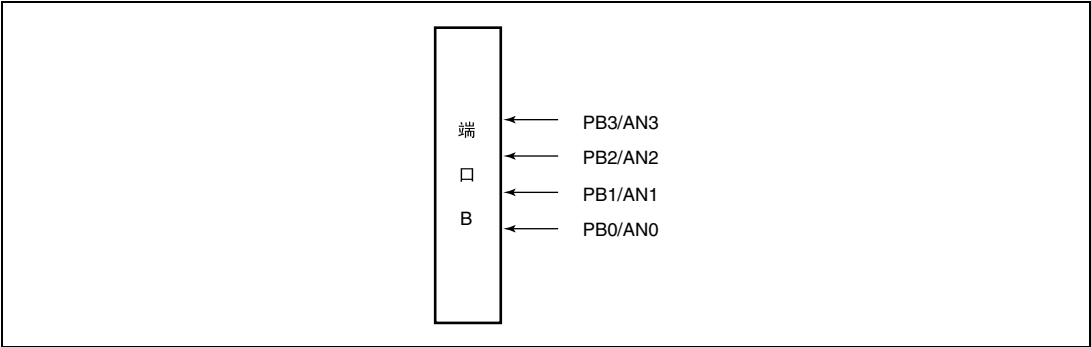


图 9.6 端口 B 的管脚结构

端口 B 有以下寄存器：

- 端口数据寄存器 B（PDRB）

9.6.1 端口数据寄存器 B（PDRB）

PDRB 是端口 B 的通用输入端口数据寄存器。

位	位名	初始值	R/W	说 明
7	—	—	—	保留位。
6	—	—	—	
5	—	—	—	
4	—	—	—	
3	PB3	—	R	如果读该寄存器，就读取各管脚的输入值。但是，在读被 A/D 转换器的 ADCSR 指定为模拟输入通道的管脚时，读出 0。
2	PB2	—	R	
1	PB1	—	R	
0	PB0	—	R	

第 10 章 定时器 V

定时器 V 是以 8 位计数器为基础的 8 位定时器。除了可以进行外部事件的计数以外，还可以通过 2 个寄存器的比较匹配信号，进行计数器的复位、中断请求和输出任意占空比的脉冲等。另外，由于具有通过 TRGV 管脚的触发输入的计数开始功能，因此，在从触发输入经过任意时间后，可进行同步于触发的脉冲输出控制。定时器 V 的框图如图 10.1 所示。

10.1 特点

- 可以选择 7 种时钟
能从 6 种内部时钟（ $\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ ）和外部时钟中选择。
- 可以指定计数器的清除信号
能从比较匹配 A、比较匹配 B 或者外部复位信号中选择。在选择停止计数功能时，清除计数器的同时停止计数。
- 通过 2 个比较匹配信号的组合，控制定时器输出
根据 2 个可独立运行的比较匹配信号的组合，能进行任意占空比的脉冲输出和 PWM 输出等各种应用。
- 中断源
有比较匹配 A、比较匹配 B 和定时器溢出 3 种中断源。
- 通过触发输入的计数开始功能
具有通过 TRGV 管脚的触发输入的计数开始功能。TRGV 管脚的触发输入可以选择上升沿、下降沿或者两个边沿。

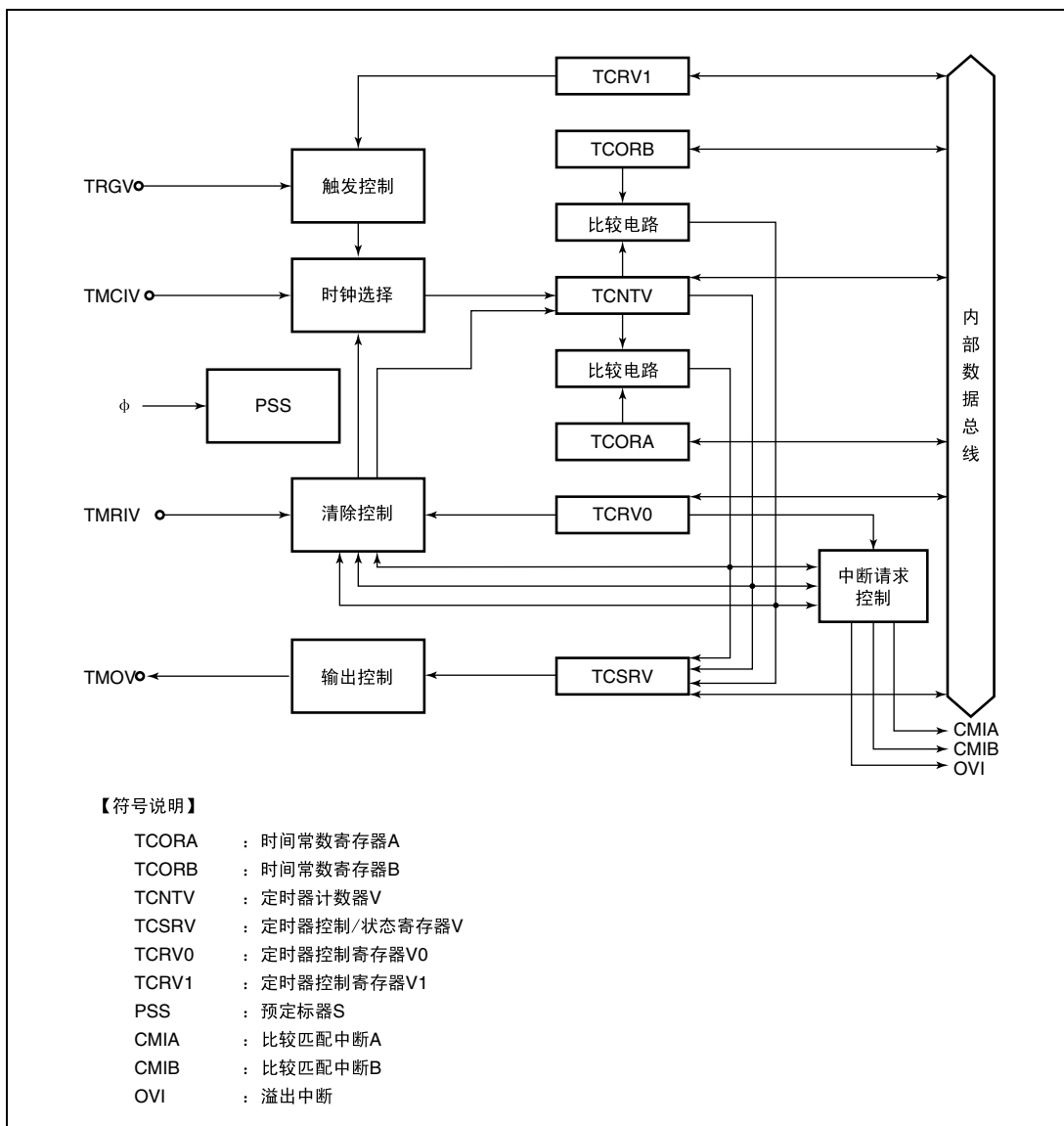


图 10.1 定时器 V 的框图

10.2 输入/输出管脚

定时器 V 的管脚结构如表 10.1 所示。

表 10.1 管脚结构

名称	略称	输入/输出	功 能
定时器 V 输出	TMOV	输出	定时器 V 的波形输出管脚
定时器 V 时钟输入	TMCIV	输入	输入到 TCNTV 的时钟输入管脚
定时器 V 复位输入	TMRIV	输入	复位 TCNTV 的外部输入管脚
触发输入	TRGV	输入	开始计数的触发输入管脚

10.3 寄存器说明

定时器 V 有以下寄存器：

- 定时器计数器 V (TCNTV)
- 时间常数寄存器 A (TCORA)
- 时间常数寄存器 B (TCORB)
- 定时器控制寄存器 V0 (TCRV0)
- 定时器控制/状态寄存器 V (TCSR V)
- 定时器控制寄存器 V1 (TCRV1)

10.3.1 定时器计数器 V (TCNTV)

TCNTV 是 8 位增量计数器。通过 TCRV0 的 CKS2~CKS0 选择时钟。CPU 能随时读或者写 TCNTV 的值。TCNTV 能由外部复位输入信号、比较匹配信号 A 或者比较匹配信号 B 清除。不论由哪种信号清除，都通过 TCRV0 的 CCLR1 和 CCLR0 选择。另外，如果 TCNTV 溢出，TCSR V 的 OVF 就被置 1。TCNTV 的初始值是 H'00。

10.3.2 时间常数寄存器 A、B (TCORA、TCORB)

TCORA 和 TCORB 具有相同的功能。

TCORA 是 8 位可读写寄存器。TCORA 的值不断与 TCNTV 比较，如果一致，TCSR V 的 CMFA 就置 1。此时，如果 TCRV0 的 CMIEA 是 1，就向 CPU 发出中断请求。但是，在 TCORA 的写周期的 T3 状态禁止比较。另外，可以根据 TCORA 和 TCNTV 一致的信号（比较匹配 A）和设定 TCSR V 的 OS3~OS0，控制 TMOV 管脚的定时器输出。

TCORA、TCORB 的初始值是 H'FF。

10.3.3 定时器控制寄存器 V0 (TCRV0)

TCRV0 选择 TCNTV 输入时钟、指定 TCNTV 清除条件和控制各中断请求。

位	位名	初始值	R/W	说 明
7	CMIEB	0	R/W	比较匹配中断允许 B 1：允许由 TCSRv 的 CMFB 引起的中断请求。
6	CMIEA	0	R/W	比较匹配中断允许 A 1：允许由 TCSRv 的 CMFA 引起的中断请求。
5	OVIE	0	R/W	定时器溢出中断允许 1：允许由 TCSRv 的 OVF 引起的中断请求。
4 3	CCLR1 CCLR0	0 0	R/W R/W	计数器清除 1~0 指定 TCNTV 的清除条件。 00：不被清除。 01：被比较匹配 A 清除。 10：被比较匹配 B 清除。 11：在 TMRIV 管脚的上升沿清除。 清除后的 TCNTV 运行取决于 TCRV1 的 TRGE。
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	时钟选择 2~0 通过 TCRV1 的 ICKS0 的组合, 选择输入到 TCNTV 的时钟和计数条件。 请参考表 10.2。

表 10.2 输入到 TCNTV 的时钟和计数条件

TCRV0			TCRV1	说 明
位 2	位 1	位 0	位 0	
CKS2	CKS1	CKS0	ICKS0	
0	0	0	—	禁止时钟输入
0	0	1	0	在内部时钟 $\phi/4$ 下降沿计数
0	0	1	1	在内部时钟 $\phi/8$ 下降沿计数
0	1	0	0	在内部时钟 $\phi/16$ 下降沿计数
0	1	0	1	在内部时钟 $\phi/32$ 下降沿计数
0	1	1	0	在内部时钟 $\phi/64$ 下降沿计数
0	1	1	1	在内部时钟 $\phi/128$ 下降沿计数
1	0	0	—	禁止时钟输入
1	0	1	—	在外部时钟的上升沿计数
1	1	0	—	在外部时钟的下降沿计数
1	1	1	—	在外部时钟的上升/下降两边沿计数

10.3.4 定时器控制/状态寄存器 V (TCSR_V)

TCSR_V 表示状态标志和控制通过比较匹配的输出。

位	位名	初始值	R/W	说 明
7	CMFB	0	R/W	比较匹配标志 B [置位条件] 当 TCNTV 的值与 TCORB 的值相同时 [清除条件] 在 CMFB=1 的状态, 读 CMFB 以后, CMFB 写 0 时
6	CMFA	0	R/W	比较匹配标志 A [置位条件] 当 TCNTV 的值与 TCORA 的值相同时 [清除条件] 在 CMFA=1 的状态, 读 CMFA 以后, CMFA 写 0 时
5	OVF	0	R/W	定时器溢出标志 [置位条件] 当 TCNTV 的值从 H'FF 溢出为 H'00 时 [清除条件] 在 OVF=1 的状态, 读 OVF 以后, OVF 写 0 时
4	—	1	—	保留位。总是读出 1。
3 2	OS3 OS2	0 0	R/W R/W	输出选择 3~2 选择通过 TCORB 和 TCNTV 比较匹配的 TMOV 管脚的输出方法。 00: 不变化 01: 0 输出 10: 1 输出 11: 交替输出
1 0	OS1 OS0	0 0	R/W R/W	输出选择 1~0 选择通过 TCORA 和 TCNTV 比较匹配的 TMOV 管脚的输出方法。 00: 不变化 01: 0 输出 10: 1 输出 11: 交替输出

OS3 和 OS2 选择通过比较匹配 B 的输出方法, OS1 和 OS0 选择通过比较匹配 A 的输出方法, 它们都能独立设定。复位后, 在发生最初的比较匹配之前, 定时器输出 0。

10.3.5 定时器控制寄存器 V1 (TCRV1)

TCRV1 进行 TRGV 管脚的边沿、TRGV 输入允许以及 TCNTV 输入时钟的选择。

位	位名	初始值	R/W	说 明
7~5	—	全 1	—	保留位。总是读出 1。
4	TVEG1	0	R/W	TRGV 输入边沿选择 选择 TRGV 管脚的输入边沿。 00: 禁止 TRGV 的触发输入 01: 选择上升沿 10: 选择下降沿 11: 选择上升/下降两边沿
3	TVEG0	0	R/W	
2	TRGE	0	R/W	根据 TVEG1 和 TVEG0 选择的边沿输入, 开始 TCNTV 累加计数。 0: 禁止由 TRGV 管脚输入开始的 TCNTV 累加计数以及禁止在由比较匹配清除 TCNTV 时的 TCNTV 累加计数的停止 1: 允许由 TRGV 管脚输入开始的 TCNTV 累加计数以及允许由比较匹配清除 TCNTV 时的 TCNTV 累加计数的停止
1	—	1	—	保留位。总是读出 1。
0	ICKSO	0	R/W	内部时钟选择 0 通过 TCRV0 的 CKS2~CKS0 的组合, 选择输入到 TCNTV 的时钟。 请参照表 10.2。

10.4 运行说明

10.4.1 定时器 V 的运行

1. 定时器V的运行时钟根据表10.2, 能选择预定标器S输出的6种内部时钟或者外部时钟。如果选择运行时钟, TCNTV就开始累加计数。选择内部时钟时的计数时序如图10.2所示, 选择外部时钟的两边沿时的计数时序如图10.3所示。
2. 如果TCNTV从H'FF溢出到H'00, TCSRv的OVF就被置位。此时的时序如图10.4所示, 如果TCRV0的OVIE为1, 就向CPU发出中断请求。
3. TCNTV不断地和TCORA、TCORB比较, 如果相同, TCSRv的CMFA和CMFB就都被置1。在值相同后的最后状态产生比较匹配信号。此时的时序如图10.5所示, 如果TCRV0的CMIEA或者CMIEB为1, 就向CPU发出中断请求。
4. 当发生比较匹配A或B时, 由TCSRv的OS3~OS0选择的输出值从TMOV管脚输出。通过比较匹配A信号进行交替输出时的输出时序如图10.6所示。
5. 如果TCRV0的CCLR1、CCLR0为01或者10, 就通过对应的比较匹配清除TCNTV。清除时序如图10.7所示。

6. 如果TCRV0的CCLR1和CCLR0为11，就通过TMRIV管脚输入的上升沿清除TCNTV。
TMRIV输入的脉冲宽度需要1.5个以上的系统时钟。清除时序如图10.8所示。
7. 在TCRV1的TRGE置1的状态下，如果发生计数器清除源，就在清除TCNTV的同时停止累加计数。如果从TRGV管脚输入由TCRV1的TVEG1或者TVEG0选择的边沿，就重新开始TCNTV累加计数。

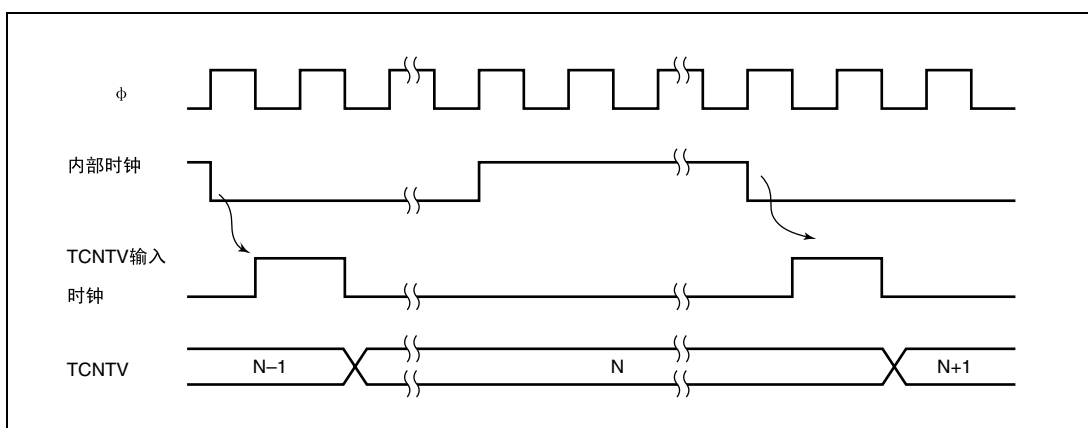


图 10.2 内部时钟运行时的计数时序

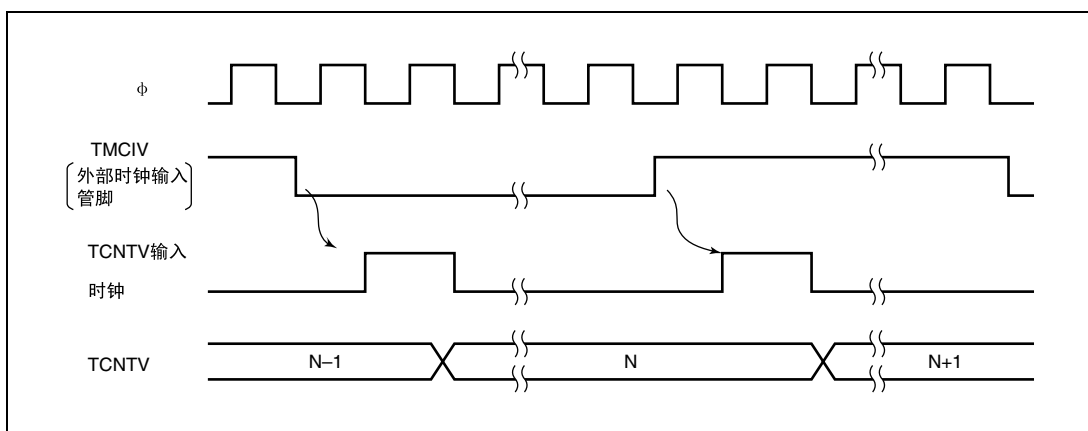


图 10.3 外部时钟运行时的计数时序

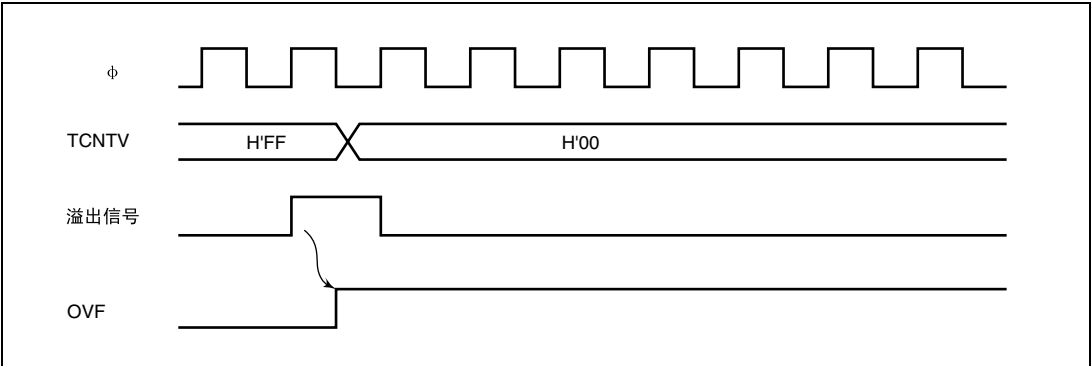


图 10.4 OVF 的置位时序

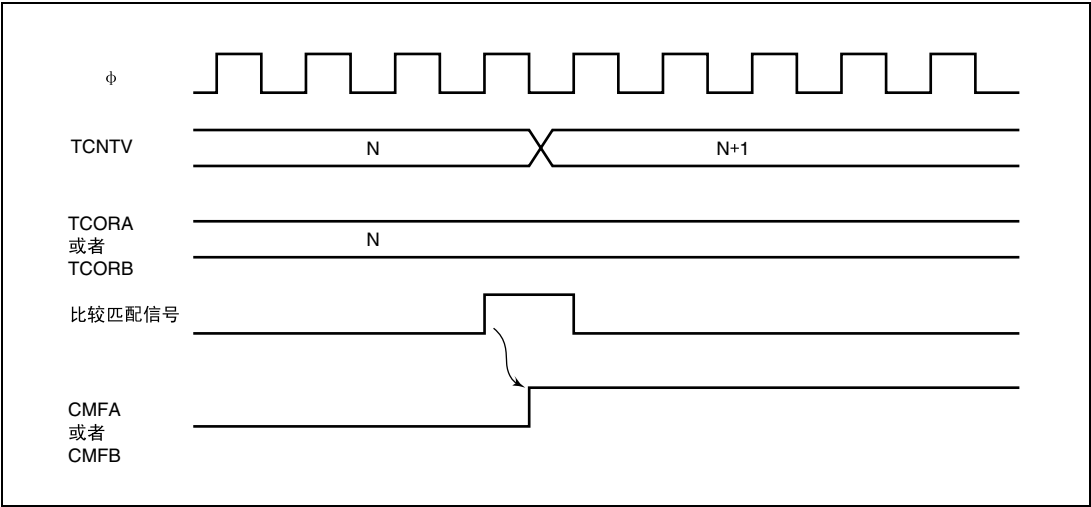


图 10.5 CMFA 和 CMFB 的置位时序

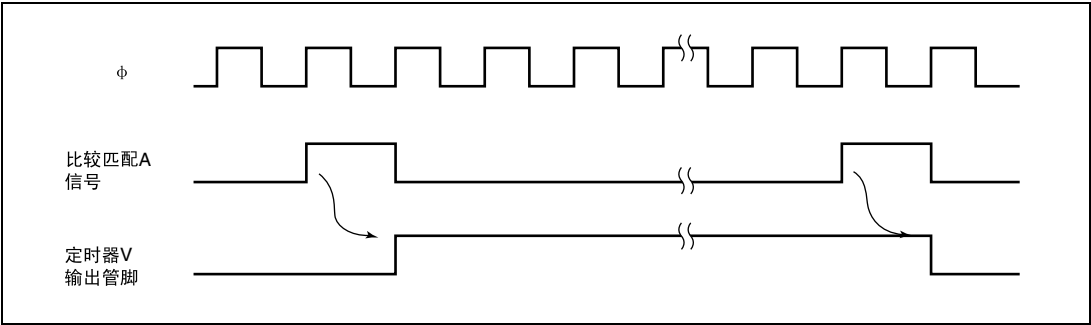


图 10.6 TMOV 输出时序

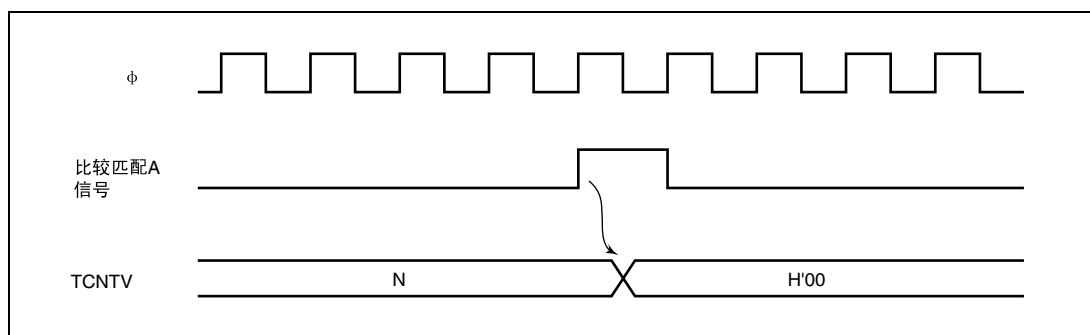


图 10.7 通过比较匹配进行清除的时序

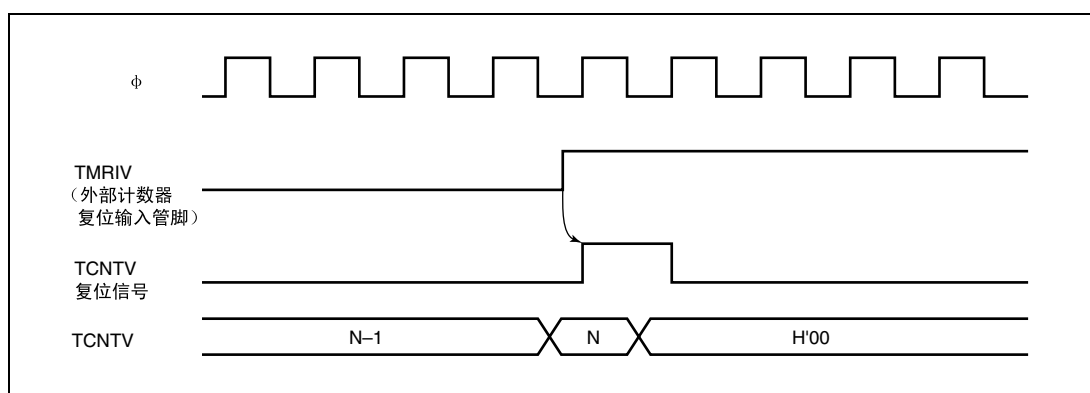


图 10.8 通过 TMRIV 输入进行清除的时序

10.5 定时器 V 的使用例

10.5.1 输出任意占空比脉冲

输出任意占空比脉冲的例子如图 10.9 所示。

1. 为了通过TCORA比较匹配清除TCNTV，设定TCRV0的CCLR1和CCLR0。
2. 为了通过TCORA比较匹配输出1、通过TCORB比较匹配输出0，设定TCSR的OS3～OS0。
3. 设定TCRV0的CKS2～CKS0和TCRV1的ICKS0，选择所希望的时钟源。
4. 根据以上的设定，不通过软件就能输出周期由TCORA决定和脉冲宽度由TCORB决定的波形。

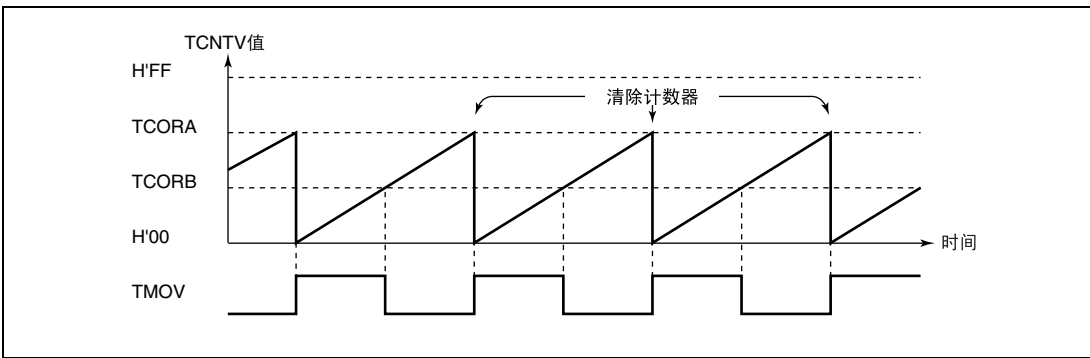


图 10.9 脉冲输出例子

10.5.2 从 TRGV 输入开始的任意延迟时间和任意脉冲宽度的脉冲输出

利用通过 TRGV 输入的累加计数开始功能，能输出从 TRGV 输入开始的任意延迟时间和任意脉冲宽度的脉冲。该输出例子如图 10.10 所示。

1. 为了通过TCORB比较匹配清除TCNTV，设定TCRV0的CCLR1和CCLR0。
2. 为了通过TCORA比较匹配输出1、通过TCORB的比较匹配输出0，设定TCSR的OS3~OS0。
3. 为了使TRGV输入的下降沿有效，设定TCRV1的TVEG1~TVEG0和TRGE。
4. 设定TCRV0的CKS2~CKS0和TCRV1的ICKS0，选择希望的时钟源。
5. 根据以上设定，不通过软件就能输出，输出从TRGV输入的延迟时间为TCORA和脉冲宽度为（TCORB—TCORA）的波形。

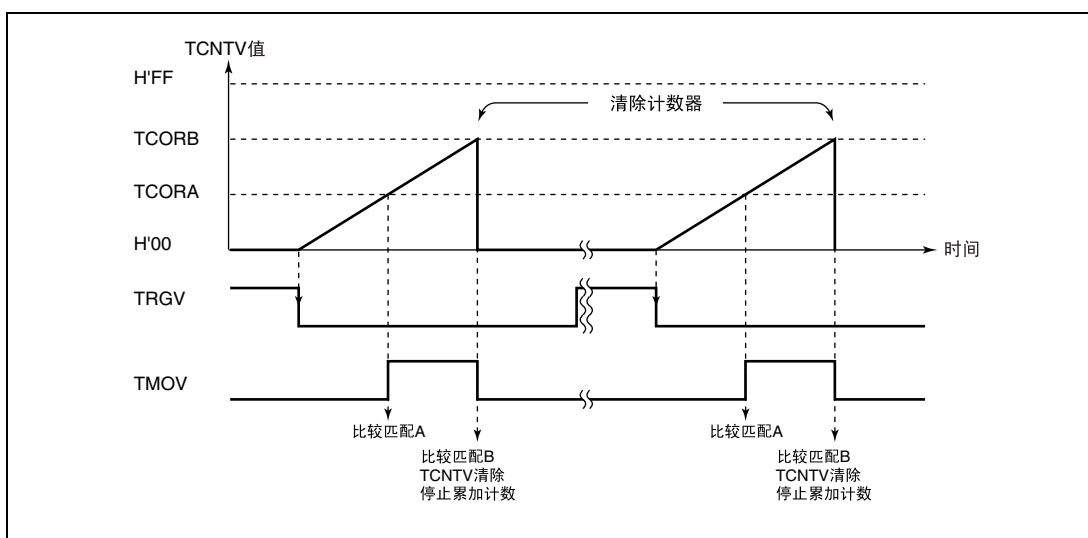


图 10.10 同步于 TRGV 输入的脉冲输出例子

10.6 使用上的注意事项

在定时器 V 的运行过程中，会发生以下的竞争和动作。

- 1. 对寄存器的写操作发生在写周期中的T3状态。如图10.11所示，在TCNTV写周期中的T3状态，如果产生TCNTV清除信号，就优先清除而不进行对计数器的写操作。只有在TCNTV写周期中的T3状态发生累加计数的情况下，才优先对计数器的写操作。
- 2. 在TCORA或TCORB写周期中的T3状态发生比较匹配的情况下，优先对TCORA或者TCORB的写操作而禁止比较匹配信号。该时序如图10.12所示。
- 3. 如果比较匹配A和比较匹配B同时发生，对于比较匹配A设定的输出和对于比较匹配B设定的输出就可能出现竞争，此时，输出将按照交替输出>1输出>0输出的优先顺序变化。
- 4. 根据内部时钟的转换时序，TCNTV可能被累加计数。在使用内部时钟时，如果检测出系统时钟（ ϕ ）分频后的内部时钟的下降沿，就产生一个计数时钟。因此，如图10.13所示，如果按照转换前的时钟“高”电平→转换后的时钟“低”电平的时序转换时钟，就把转换时序视作下降沿，产生计数时钟，进行TCNTV的累加计数。另外，在转换内部时钟和外部时钟时，TCNTV也有可能被累加计数。

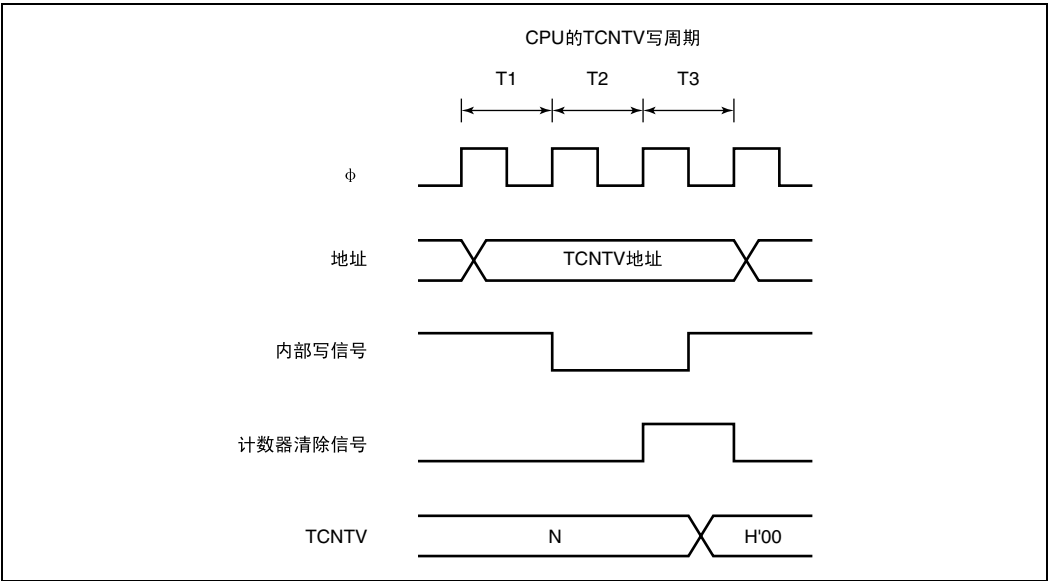


图 10.11 对 TCNTV 的写操作和清除的竞争

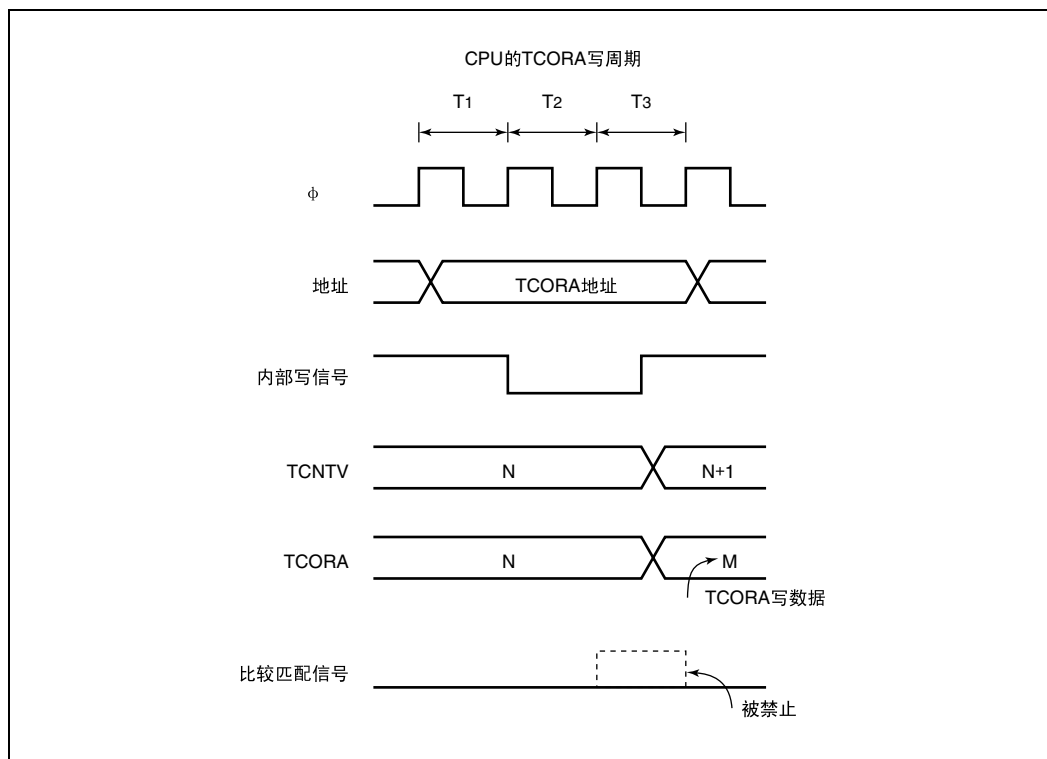


图 10.12 对 TCORA 的写操作和比较匹配的竞争

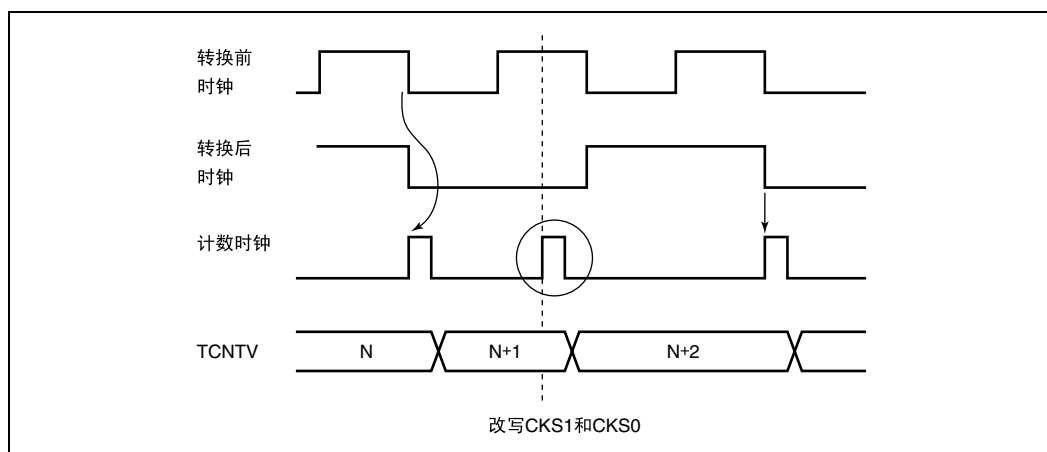


图 10.13 内部时钟的转换和 TCNTV 运行

第 11 章 定时器 W

定时器 W 是内藏输出比较功能和输入捕捉功能的 16 位定时器。除了可以对外部事件进行计数以外，还可以根据定时器计数器和 4 个通用寄存器的比较匹配信号，作为任意占空比的脉冲输出等多功能定时器进行各种应用。

11.1 特点

- 计数器输入时钟：5 种
4 种内部时钟（ ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ ）或者外部时钟（外部事件计数）
- 最多可以处理 4 个脉冲输入/输出
- 通用寄存器：4 个
可以作为输出比较寄存器或者输入捕捉寄存器单独设定，也可以用作输出比较/输入捕捉寄存器的缓冲寄存器
- 定时器输入/输出功能
 - 输出比较 ： 可以进行 0 输出/1 输出/交替输出
 - 输入捕捉 ： 检测上升沿/下降沿/两边沿
 - 计数器清除功能 ： 可以进行计数器的周期设定
 - PWM 模式 ： 可以最多进行 3 相的 PWM 输出
- 可以任意设定定时器输出的初始值
- 5 种中断源
比较匹配/输入捕捉兼用中断 $\times$ 4 种源、溢出中断

定时器 W 的功能如表 11.1 所示, 定时器 W 的框图如图 11.1 所示。

表 11.1 定时器 W 功能表

项目	计数器	输入/输出管脚			
		FTIOA	FTIOB	FTIOC	FTIOD
计数时钟	内部时钟: ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 外部时钟: FTCl				
通用寄存器 (输入比较/输入捕捉 兼用寄存器)	周期设定为 GRA	GRA	GRB	GRC 缓冲器运行时 GRA 的缓冲寄 存器	GRD 缓冲器运行时 GRB 的缓冲寄 存器
计数器清除功能	GRA 的 比较匹配	GRA 的 比较匹配	—	—	—
输出初始值设定功能	—	○	○	○	○
缓冲器功能	—	○	○	—	—
比较匹配	0 输出	—	○	○	○
输出	1 输出	—	○	○	○
	交替输出	—	○	○	○
输入捕捉功能	—	○	○	○	○
PWM 模式	—	—	○	○	○
中断源	溢出	比较匹配/ 输入捕捉	比较匹配/ 输入捕捉	比较匹配/ 输入捕捉	比较匹配/ 输入捕捉

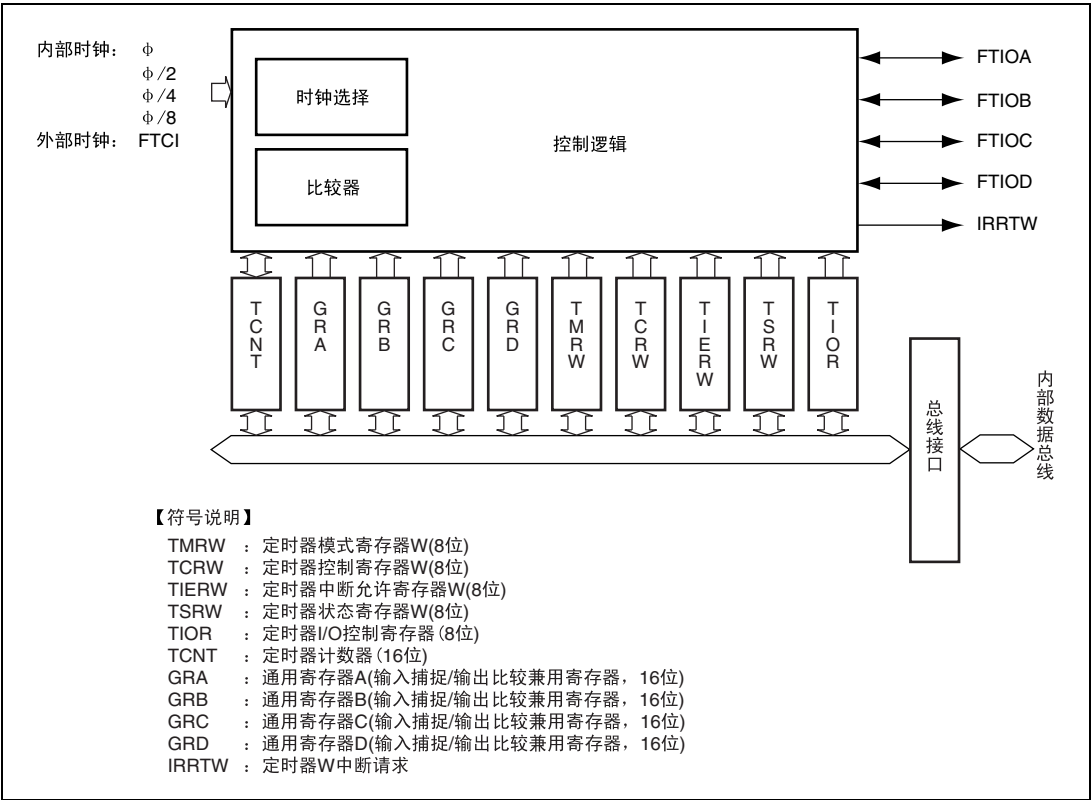


图 11.1 定时器 W 的框图

11.2 输入/输出管脚

定时器 W 的管脚结构如表 11.2 所示。

表 11.2 管脚结构

名称	略称	输入/输出	功 能
外部时钟输入	FTCI	输入	外部时钟输入管脚
输入捕捉/输出比较 A	FTIOA	输入/输出	GRA 输出比较的输出管脚/ GRA 输入捕捉的输入管脚
输入捕捉/输出比较 B	FTIOB	输入/输出	GRB 输出比较的输出管脚/ GRB 输入捕捉的输入管脚/ PWM 输出管脚（PWM 模式时）
输入捕捉/输出比较 C	FTIOC	输入/输出	GRC 输出比较的输出管脚/ GRC 输入捕捉的输入管脚/ PWM 输出管脚（PWM 模式时）
输入捕捉/输出比较 D	FTIOD	输入/输出	GRD 输出比较的输出管脚/ GRD 输入捕捉的输入管脚/ PWM 输出管脚（PWM 模式时）

11.3 寄存器说明

定时器 W 有以下寄存器：

- 定时器模式寄存器 W（TMRW）
- 定时器控制寄存器 W（TCRW）
- 定时器中断允许寄存器 W（TIERW）
- 定时器状态寄存器 W（TSRW）
- 定时器 I/O 控制寄存器 0（TIOR0）
- 定时器 I/O 控制寄存器 1（TIOR1）
- 定时器计数器（TCNT）
- 通用寄存器 A（GRA）
- 通用寄存器 B（GRB）
- 通用寄存器 C（GRC）
- 通用寄存器 D（GRD）

11.3.1 定时器模式寄存器 W (TMRW)

TMRW 选择通用寄存器的功能和定时器的输出模式等。

位	位名	初始值	R/W	说 明
7	CTS	0	R/W	计数器起动 0: TCNT 停止计数。 1: 进行计数。
6	—	1	—	保留位。总是读出 1。
5	BUFEB	0	R/W	缓冲器运行 B 选择 GRD 的功能。 0: 作为输入捕捉/输出比较寄存器运行 1: 作为 GRB 的缓冲寄存器运行。
4	BUFEA	0	R/W	缓冲器运行 A 选择 GRC 的功能。 0: 作为输入捕捉/输出比较寄存器运行 1: 作为 GRA 的缓冲寄存器运行。
3	—	1	—	保留位。总是读出 1。
2	PWMD	0	R/W	PWM 模式 D 选择 FTIOD 管脚的输出模式。 0: 通常的输出比较的输出 1: PWM 输出。
1	PWMC	0	R/W	PWM 模式 C 选择 FTIOC 管脚的输出模式。 0: 通常的输出比较的输出 1: PWM 输出。
0	PWMB	0	R/W	PWM 模式 B 选择 FTIOB 管脚的输出模式。 0: 通常的输出比较的输出 1: PWM 输出。

11.3.2 定时器控制寄存器 W (TCRW)

TCRW 选择 TCNT 的计数器时钟、选择计数器的清除条件以及设定定时器的输出电平。

位	位名	初始值	R/W	说 明
7	CCLR	0	R/W	计数器清除 0: TCNT 作为自由运行计数器运行。 1: 通过比较匹配 A, 清除 TCNT。
6	CKS2	0	R/W	时钟选择 2~0 选择输入到 TCNT 的时钟。 000: 对内部时钟 ϕ 计数 001: 对内部时钟 $\phi/2$ 进行计数 010: 对内部时钟 $\phi/4$ 进行计数 011: 对内部时钟 $\phi/8$ 进行计数 1XX: 对外部事件(FTCI) 的上升沿进行计数 当选择内部时钟 ϕ 时, 在子激活和子睡眠模式, 对子时钟进行计数。
5	CKS1	0	R/W	
4	CKS0	0	R/W	
3	TOD	0	R/W	定时器输出电平设置 D 设定在最初发生比较匹配 D 前的 FTIOD 管脚的输出值。 0: 输出值 0* 1: 输出值 1*
2	TOC	0	R/W	定时器输出电平设置 C 设定在最初发生比较匹配 C 前的 FTIOC 管脚的输出值。 0: 输出值 0* 1: 输出值 1**
1	TOB	0	R/W	定时器输出电平设置 B 设定在最初发生比较匹配 B 前的 FTIOB 管脚的输出值。 0: 输出值 0* 1: 输出值 1*
0	TOA	0	R/W	定时器输出电平设置 A 设定在最初发生比较匹配 A 前的 FTIOA 管脚的输出值。 0: 输出值 0* 1: 输出值 1*

【注】X: Don't care

* 在改变时反映。

11.3.3 定时器中断允许寄存器 W（TIERW）

TIERW 控制定时器 W 的中断请求。

位	位名	初始值	R/W	说 明
7	OVIE	0	R/W	定时器溢出中断允许 在该位为 1 时，允许由 TSRW 的 OVF 标志引起的中断请求（FOVI）。
6	—	1	—	保留位。总是读出 1。
5	—	1	—	
4	—	1	—	
3	IMIED	0	R/W	输入捕捉/比较匹配中断允许 D 在该位为 1 时，允许由 TSRW 的 IMFD 引起的中断请求（IMID）。
2	IMIEC	0	R/W	输入捕捉/比较匹配中断允许 C 在该位为 1 时，允许由 TSRW 的 IMFC 引起的中断请求（IMIC）。
1	IMIEB	0	R/W	输入捕捉/比较匹配中断允许 B 在该位为 1 时，允许由 TSRW 的 IMFB 引起的中断请求（IMIB）。
0	IMIEA	0	R/W	输入捕捉/比较匹配中断允许 A 在该位为 1 时，允许由 TSRW 的 IMFA 引起的中断请求（IMIA）。

11.3.4 定时器状态寄存器 W (TSRW)

TSRW表示中断请求状态。

位	位名	初始值	R/W	说 明
7	OVF	0	R/W	定时器溢出 [置位条件] • 当 TCNT 从 H'FFFF 溢出为 H'0000 时 [清除条件] • 在读到 1 的状态后, 写 0 时
6	—	1	—	保留位。总是读出 1。
5	—	1	—	
4	—	1	—	
3	IMFD	0	R/W	输入捕捉/比较匹配标志 D [置位条件] • 当 GRD 作为输出比较寄存器运行, 并且与 TCNT 相同时 • 当 GRD 作为输入捕捉寄存器运行, 并且通过输入捕捉信号将 TCNT 的值传送到 GRD 时 [清除条件] • 在读到 1 的状态后, 写 0 时
2	IMFC	0	R/W	输入捕捉/比较匹配标志 C [置位条件] • 当 GRC 作为输出比较寄存器运行, 并且与 TCNT 相同时 • 当 GRC 作为输入捕捉寄存器运行, 并且通过输入捕捉信号将 TCNT 的值传送到 GRC 时 [清除条件] • 在读到 1 的状态后, 写 0 时
1	IMFB	0	R/W	输入捕捉/比较匹配标志 B [置位条件] • 当 GRB 作为输出比较寄存器运行, 并且与 TCNT 相同时 • 当 GRB 作为输入捕捉寄存器运行, 并且通过输入捕捉信号将 TCNT 的值传送到 GRB 时 [清除条件] • 在读到 1 的状态后, 写 0 时
0	IMFA	0	R/W	输入捕捉/比较匹配标志 A [置位条件] • 当 GRA 作为输出比较寄存器运行, 并且与 TCNT 相同时 • 当 GRA 作为输入捕捉寄存器运行, 并且通过输入捕捉信号将 TCNT 的值传送到 GRA 时 [清除条件] • 在读到 1 的状态后, 写 0 时

11.3.5 定时器 I/O 控制寄存器 0 (TIOR0)

TIOR0 选择 GRA、GRB 和 FTIOA、FTIOB 管脚的功能。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。
6	IOB2	0	R/W	I/O 控制 B2 选择 GRB 的功能。 0: 作为输出比较寄存器运行 1: 作为输入捕捉寄存器运行
5 4	IOB1 IOB0	0 0	R/W R/W	I/O 控制 B1~0 在 IOB2=0 时 00: 禁止通过比较匹配的管脚输出 01: 通过 GRB 的比较匹配, 对 FTIOB 管脚进行 0 输出 10: 通过 GRB 的比较匹配, 对 FTIOB 管脚进行 1 输出 11: 通过 GRB 的比较匹配, 对 FTIOB 管脚进行交替输出 在 IOB2=1 时 00: 在 FTIOB 管脚的上升沿, 对 GRB 输入捕捉 01: 在 FTIOB 管脚的下降沿, 对 GRB 输入捕捉 1X: 在 FTIOB 管脚的两边沿, 对 GRB 输入捕捉
3	—	1	—	保留位。总是读出 1。
2	IOA2	0	R/W	I/O 控制 A2 选择 GRA 的功能。 0: 作为输出比较寄存器运行 1: 作为输入捕捉寄存器运行
1 0	IOA1 IOA0	0 0	R/W R/W	I/O 控制 A1~0 在 IOA2=0 时 00: 禁止通过比较匹配的管脚输出 01: 通过 GRA 的比较匹配, 对 FTIOA 管脚进行 0 输出 10: 通过 GRA 的比较匹配, 对 FTIOA 管脚进行 1 输出 11: 通过 GRA 的比较匹配, 对 FTIOA 管脚进行交替输出 在 IOA2=1 时 00: 在 FTIOA 管脚的上升沿, 对 GRA 输入捕捉 01: 在 FTIOA 管脚的下降沿, 对 GRA 输入捕捉 1X: 在 FTIOA 管脚的两边沿, 对 GRA 输入捕捉

【注】X: Don't care

11.3.6 定时器 I/O 控制寄存器 1 (TIOR1)

TIOR1 选择 GRC、GRD 和 FTIOC、FTIOD 管脚的功能。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。
6	IOD2	0	R/W	I/O 控制 D2 选择 GRD 的功能。 0: 作为输出比较寄存器运行 1: 作为输入捕捉寄存器运行
5 4	IOD1 IOD0	0 0	R/W R/W	I/O 控制 D1~0 在 IOD2 = 0 时 00: 禁止通过比较匹配的管脚输出 01: 通过 GRD 的比较匹配, 对 FTIOD 管脚进行 0 输出 10: 通过 GRD 的比较匹配, 对 FTIOD 管脚进行 1 输出 11: 通过 GRD 的比较匹配, 对 FTIOD 管脚进行交替输出 在 IOD2 = 1 时 00: 在 FTIOD 管脚的上升沿, 对 GRD 输入捕捉 01: 在 FTIOD 管脚的下降沿, 对 GRD 输入捕捉 1X: 在 FTIOD 管脚的两边沿, 对 GRD 输入捕捉
3	—	1	—	保留位。总是读出 1。
2	IOC2	0	R/W	I/O 控制 C2 选择 GRC 的功能。 0: 作为输出比较寄存器运行 1: 作为输入捕捉寄存器运行
1 0	IOC1 IOC0	0 0	R/W R/W	I/O 控制 C1~0 在 IOC2 = 0 时 00: 禁止通过比较匹配的管脚输出 01: 通过 GRC 的比较匹配, 对 FTIOC 管脚进行 0 输出 10: 通过 GRC 的比较匹配, 对 FTIOC 管脚进行 1 输出 11: 通过 GRC 的比较匹配, 对 FTIOC 管脚进行交替输出 在 IOC2 = 1 时 00: 在 FTIOC 管脚的上升沿, 对 GRC 输入捕捉 01: 在 FTIOC 管脚的下降沿, 对 GRC 输入捕捉 1X: 在 FTIOC 管脚的两边沿, 对 GRC 输入捕捉

【注】X: Don't care

11.3.7 定时器计数器 (TCNT)

TCNT 是 16 位可读写增量计数器。通过 TCRW 的 CKS2~CKS0 位选择输入时钟。根据 TCRW 的 CCLR 的设定,能通过与 GRA 的比较匹配将 TCNT 清成 H'0000。如果 TCNT 从 H'FFFF 溢出为 H'0000,TSRW 的 OVF 就被置 1。此时,如果 TIERW 的 OVIE 被置位,就发生中断请求。TCNT 不能进行 8 位单位的存取,必须以 16 位单位存取。TCNT 的初始值是 H'0000。

11.3.8 通用寄存器 A、B、C、D (GRA、GRB、GRC、GRD)

通用寄存器是 16 位可读写寄存器,即能作为输出比较寄存器,也能作为输入捕捉寄存器使用。通过 TIOR0 和 TIOR1 进行功能转换。

被设定成输出比较寄存器的通用寄存器的值总是和 TCNT 的值比较。如果两者相同(比较匹配),TSRW 的 IMFA~IMFD 标志就被置 1。此时,如果 TIERW 的 IMIEA~IMIED 被置位,就发生中断请求。另外,能通过 TIOR 设定比较匹配输出。

如果检测出来自外部的输入捕捉信号,被设定成输入捕捉寄存器的通用寄存器就保存 TCNT 的值,并且将 TSRW 的 IMFA~IMFD 标志置 1。此时,假如 TIERW 的 IMIEA~IMIED 被置位,就产生中断请求。输入捕捉信号的检测边沿能通过 TIOR 选择。

另外,GRC、GRD 也能分别作为 GRA、GRB 的缓冲寄存器使用。该功能可通过 TMRW 的 BUFEA 和 BUFEB 选择。

例如,在 GRA 作为输出比较寄存器、GRC 作为 GRA 的缓冲寄存器被设定的情况下,每当发生比较匹配 A 时,缓冲寄存器 GRC 的值就被传送到 GRA。

在 GRA 作为输入捕捉寄存器、GRC 作为 GRA 的缓冲寄存器被设定的情况下,如果发生输入捕捉,TCNT 的值就被传送到 GRA,GRA 的值被传送到缓冲寄存器 GRC。

GRA~GRD 不能进行 8 位单位的存取。必须以 16 位单位存取。GRA~GRD 的初始值是 H'FFFF。

11.4 运行说明

定时器 W 以下的运行模式：

- 通常运行
- PWM 运行

11.4.1 通常运行

TCNT 进行自由运行计数或者周期计数。TCNT 在复位后立即被设定为自由运行计数器，如果将 TMRW 的 CST 位置 1，就开始计数运行。如果 TCNT 从 H'FFFF 溢出到 H'0000，TSRW 的 OVF 标志就被置 1，如果 TIERW 的 OVIE 位是 1，就发生中断请求。自由运行计数器的运行如图 11.2 所示。

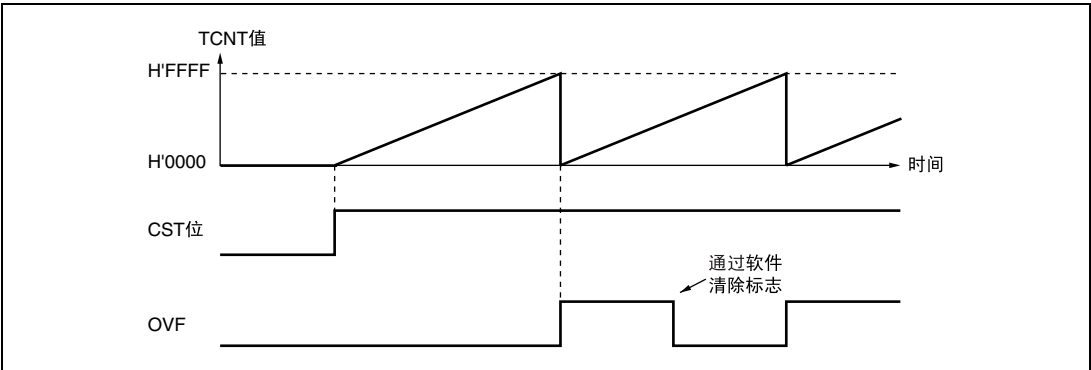


图 11.2 自由运行计数器的运行

如果把用于周期设定的 GRA 设定为输出比较寄存器，并且将 TCRW 的 CCLR 置 1，就进行周期计数运行。如果计数值与 GRA 相同，TCNT 就被清为 H'0000，并且 TSRW 的 IMFA 位被置 1。此时，如果对应的 TIERW 的 IMIEA 位是 1，就发生中断请求。TCNT 从 H'0000 继续进行累加计数运行。周期计数器的运行如图 11.3 所示。

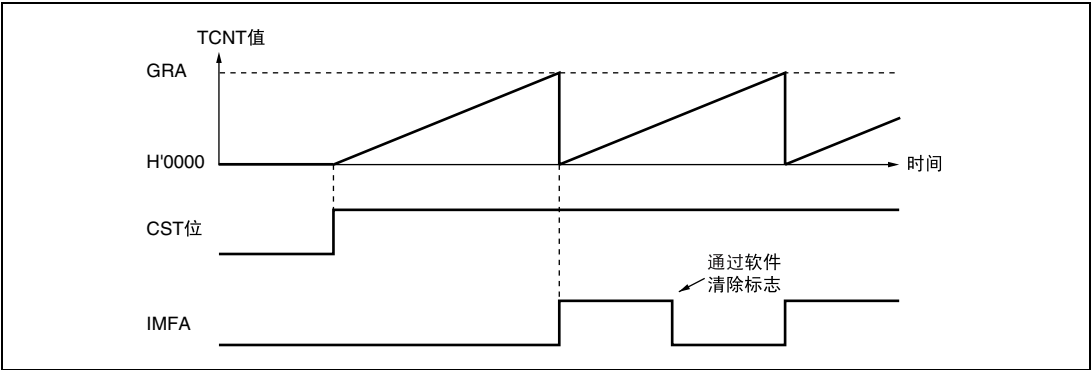


图 11.3 周期计数器的运行

通过将通用寄存器设定成输出比较寄存器，就能根据比较匹配 A~D 从 FTIOA、FTIOB、FTIOC 或者 FTIOD 管脚进行 0 输出、1 输出或者交替输出。TCNT 进行自由运行、通过比较匹配 A 进行 1 输出以及通过比较匹配 B 进行 0 输出的例子如图 11.4 所示。如果设定的电平和管脚的电平一致，管脚的电平就不发生变化。

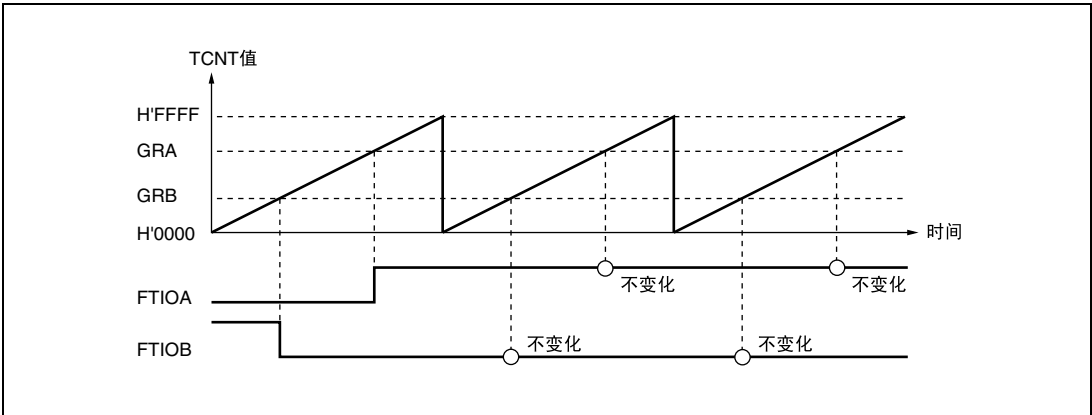


图 11.4 0 输出和 1 输出的运行例（在 TOA=0 和 TOB=1 的情况下）

TCNT 进行自由运行、通过比较匹配 A 和比较匹配 B 进行交替输出的例子如图 11.5 所示。

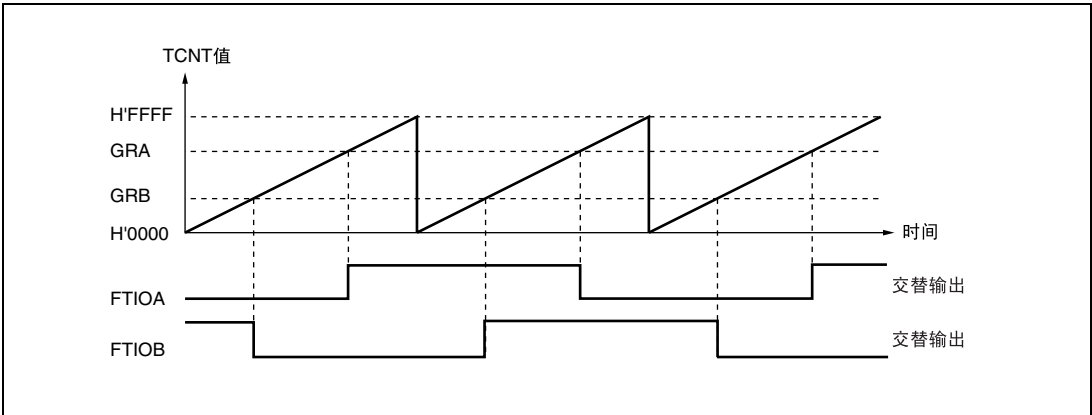


图 11.5 交替输出的运行例（在 TOA=0 和 TOB=1 的情况下）

TCNT 进行周期计数、比较匹配 A 和 B 都进行交替输出的例子如图 11.6 所示。

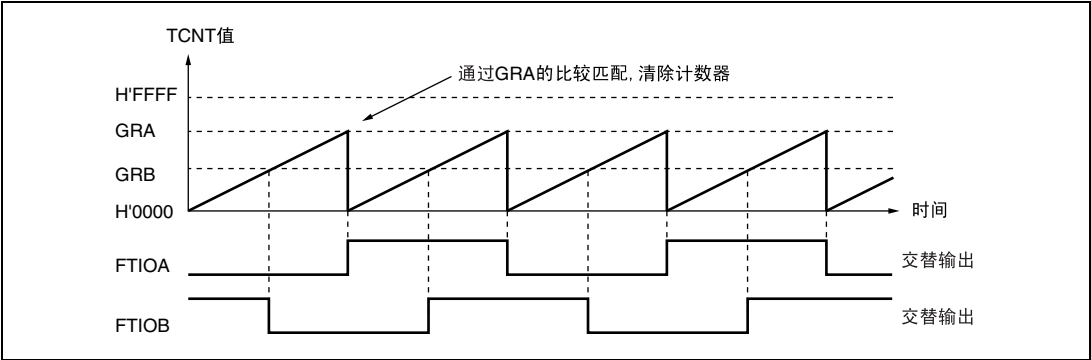


图 11.6 交替输出的运行例（在 TOA=0 和 TOB=1 的情况下）

通过将通用寄存器设定成输入捕捉寄存器，能在检测到 FTIOA~FTIOD 管脚的输入边沿后，将 TCNT 的值传送到 GRA、GRB、GRC 或者 GRD。检测边沿能从上升沿、下降沿或者两边沿中选择。利用输入捕捉功能，能测定脉冲宽度和周期。将 TCNT 设定为自由运行计数、FTIOA 管脚的输入捕捉的输入边沿选择两边沿、FTIOB 管脚的输入捕捉的输入边沿选择下降沿的例子如图 11.7 所示。

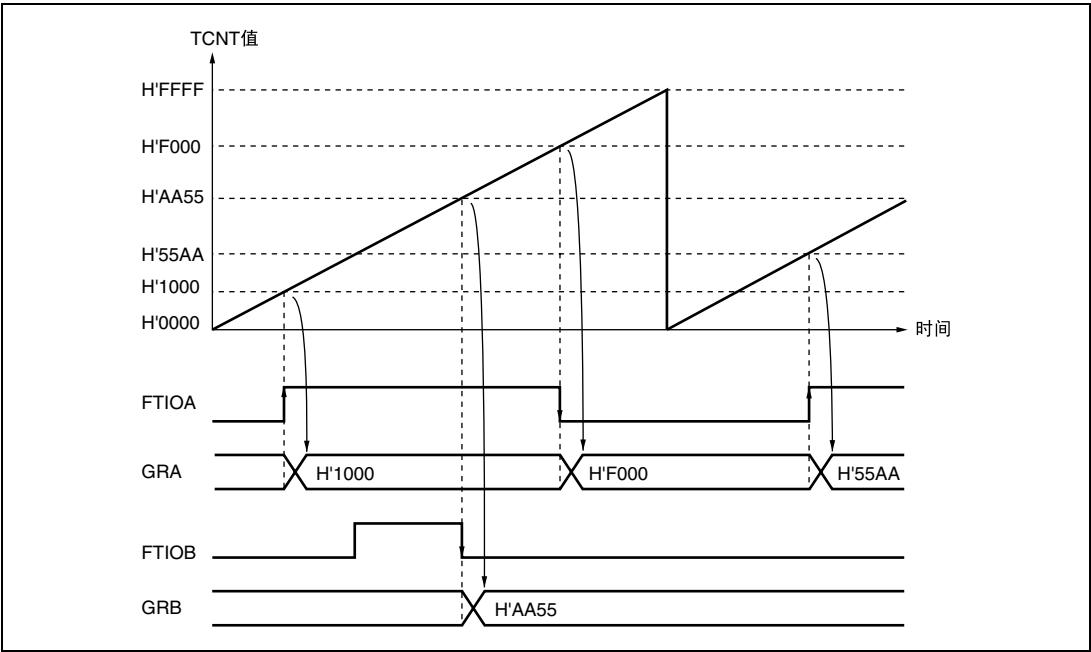


图 11.7 输入捕捉运行例

在将 GRA 设定成输入捕捉寄存器、将 GRC 设定成 GRA 的缓冲寄存器时的运行例如图 11.8 所示。它是 TCNT 为自由运行，并且 FTIOA 管脚的输入捕捉的输入边沿选择了上升沿和下降沿的两边沿的例子。由于设定成缓冲器运行，因此在通过输入捕捉 A 将 TCNT 的值存入 GRA 的同时，将以前保存在 GRA 的值传送到 GRC。

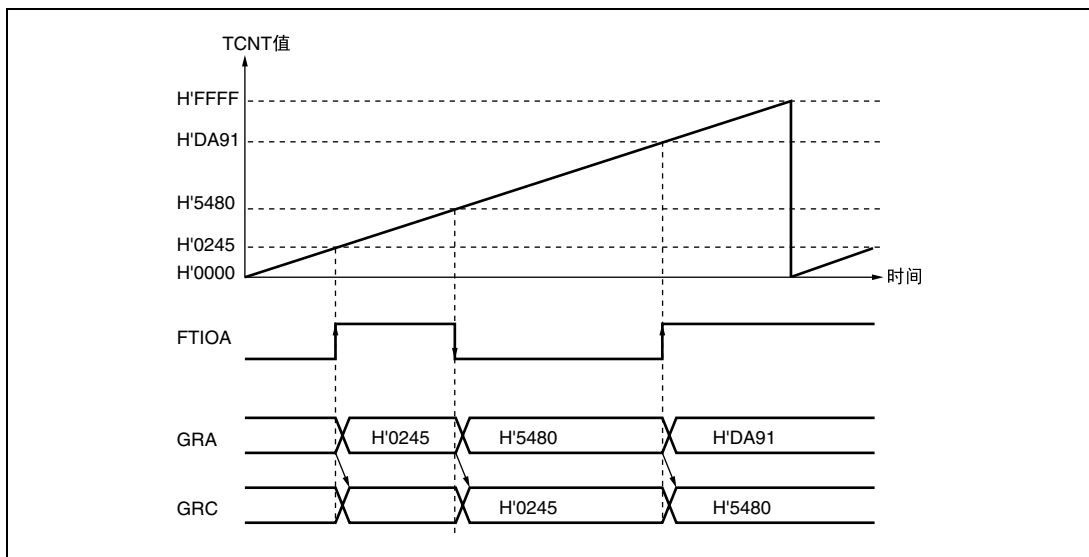


图 11.8 缓冲器运行例（输入捕捉的情况）

11.4.2 PWM 运行

PWM 模式将 GRA 作为周期寄存器、将 GRB、GRC 以及 GRD 作为占空比寄存器，从 FTIOB、FTIOC 以及 FTIOD 输出管脚分别输出 PWM 波形。可最多输出 3 相的 PWM。在 PWM 模式，通用寄存器自动作为输出比较寄存器运行。输出电平由 TCRW 的 TOB~TOD 决定。在 TOB=1 时，通过比较匹配 A 将 FTIOB 输出管脚初始化成 1，并且通过比较匹配 B 输出 0。另外，在 TOB=0 时，通过比较匹配 A 将 FTIOB 输出管脚初始化成 0，并且通过比较匹配 B 输出 1。对于设定成 PWM 模式的输出管脚，TIOR0 和 TIOR1 的输出设定无效。在周期寄存器的设定值和占空比寄存器的设定值相同的情况下，即使发生比较匹配，输出值也不变化。

在通过比较匹配 A 清除 TCNT 且输出 1 (TOB=TOC=TOD=1)，并且通过比较匹配 B、C 和 D 输出 0 时的运行例如图 11.9 所示。

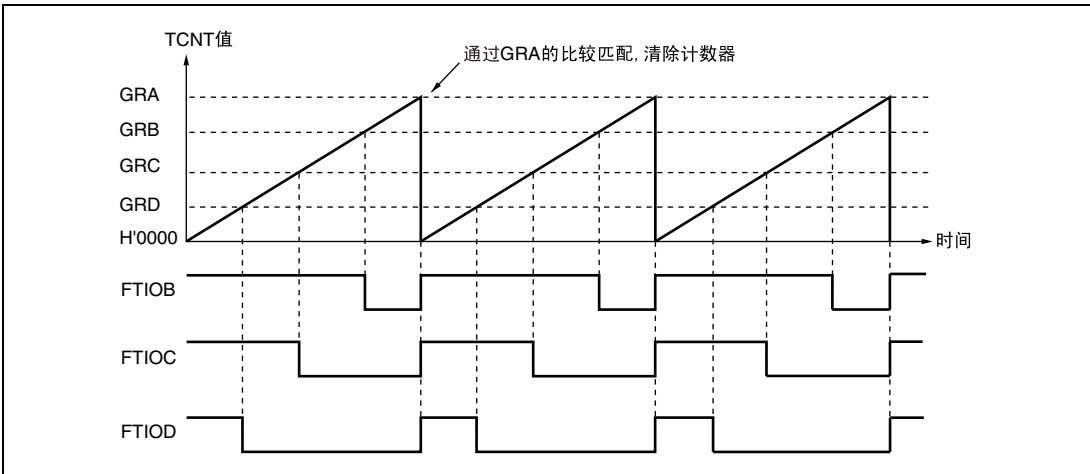


图 11.9 PWM 模式运行例（1）

通过比较匹配 A 清除 TCNT 且输出 0（TOB=TOC=TOD=0），并且通过比较匹配 B、C 和 D 输出 1 时的运行例如图 11.10 所示。

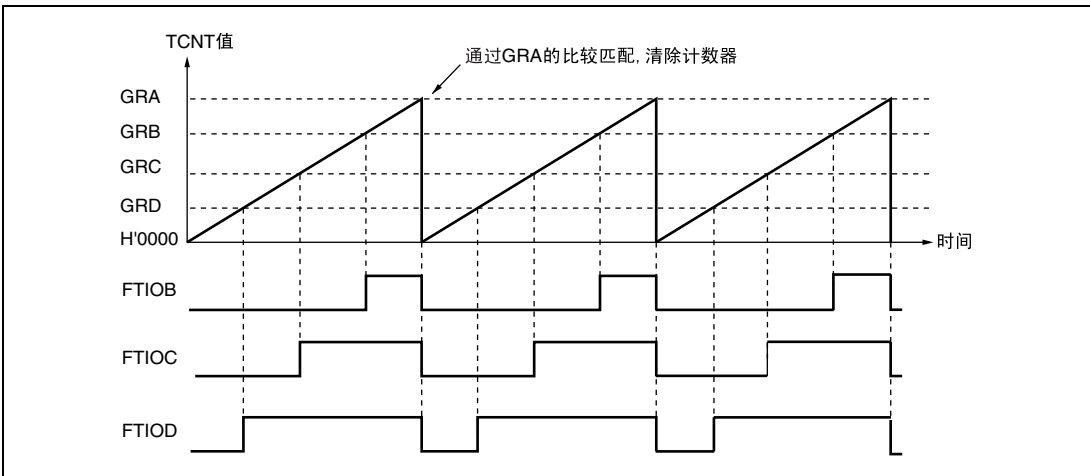


图 11.10 PWM 模式运行例（2）

在将 FTIOB 管脚设定成 PWM 模式、将 GRD 设定成 GRB 的缓冲寄存器时的运行例如图 11.11 所示。它是通过比较匹配 A 清除 TCNT、通过比较匹配 B 输出 1 以及通过比较匹配 A 输出 0 的例子。

由于设定成缓冲器运行，如果发生比较匹配 B，就在输出值发生变化的同时，将缓冲寄存器 GRD 的值传送到 GRB。每当发生比较匹配 B 时，都反复执行此运行。

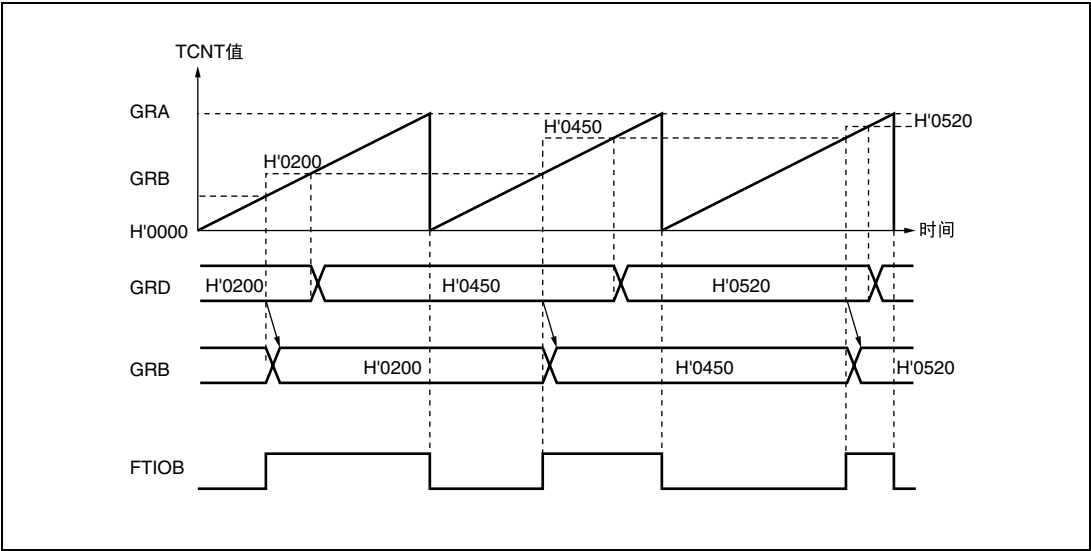


图 11.11 缓冲器运行例（在输出比较的情况下）

在 PWM 模式，输出占空比 0% 和 100% 的 PWM 波形的例子分别如图 11.12 和图 11.13 所示。

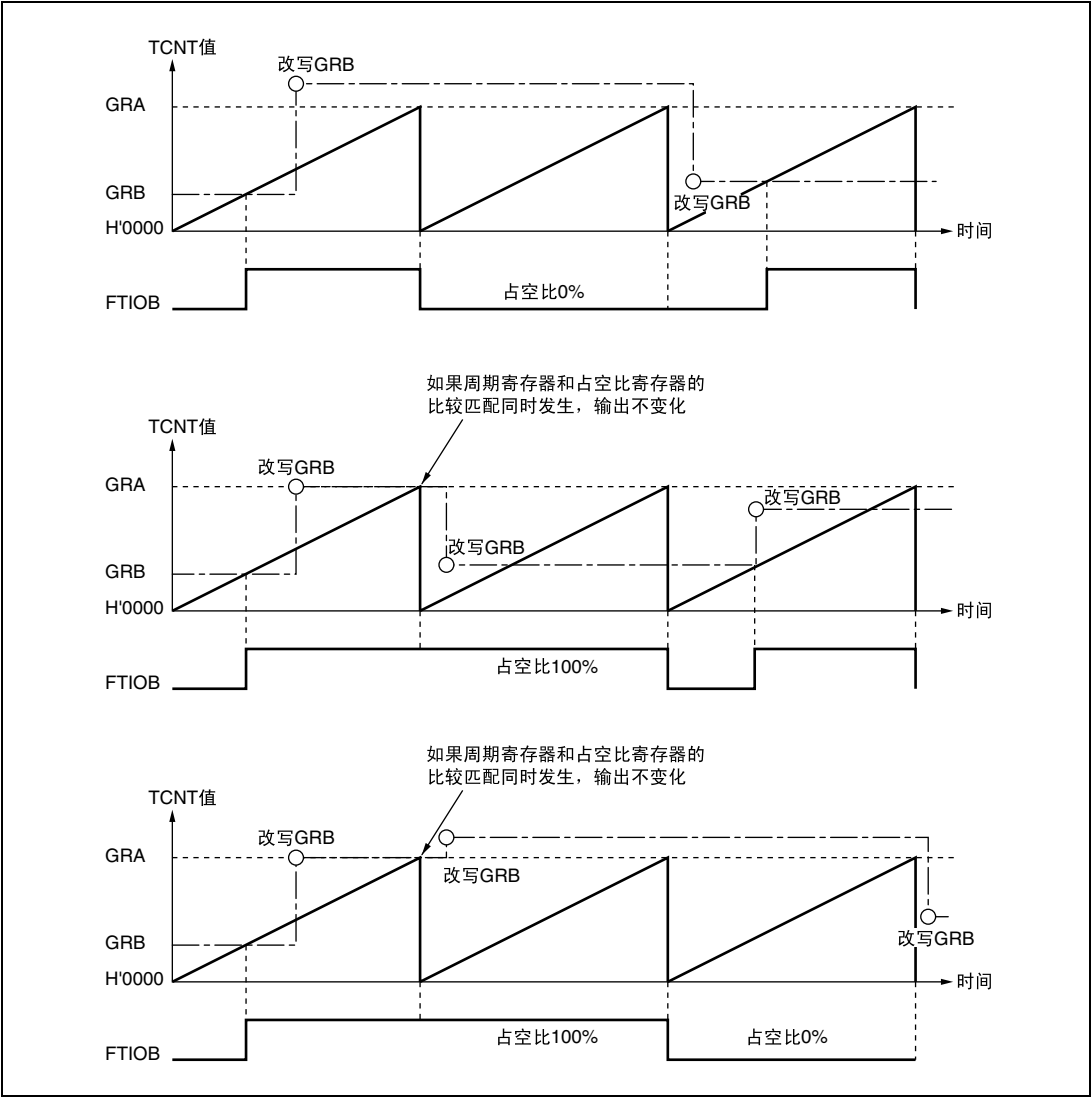


图 11.12 PWM 模式运行例（在 TOB=TOC=TOD=0、初始输出 0 的情况下）

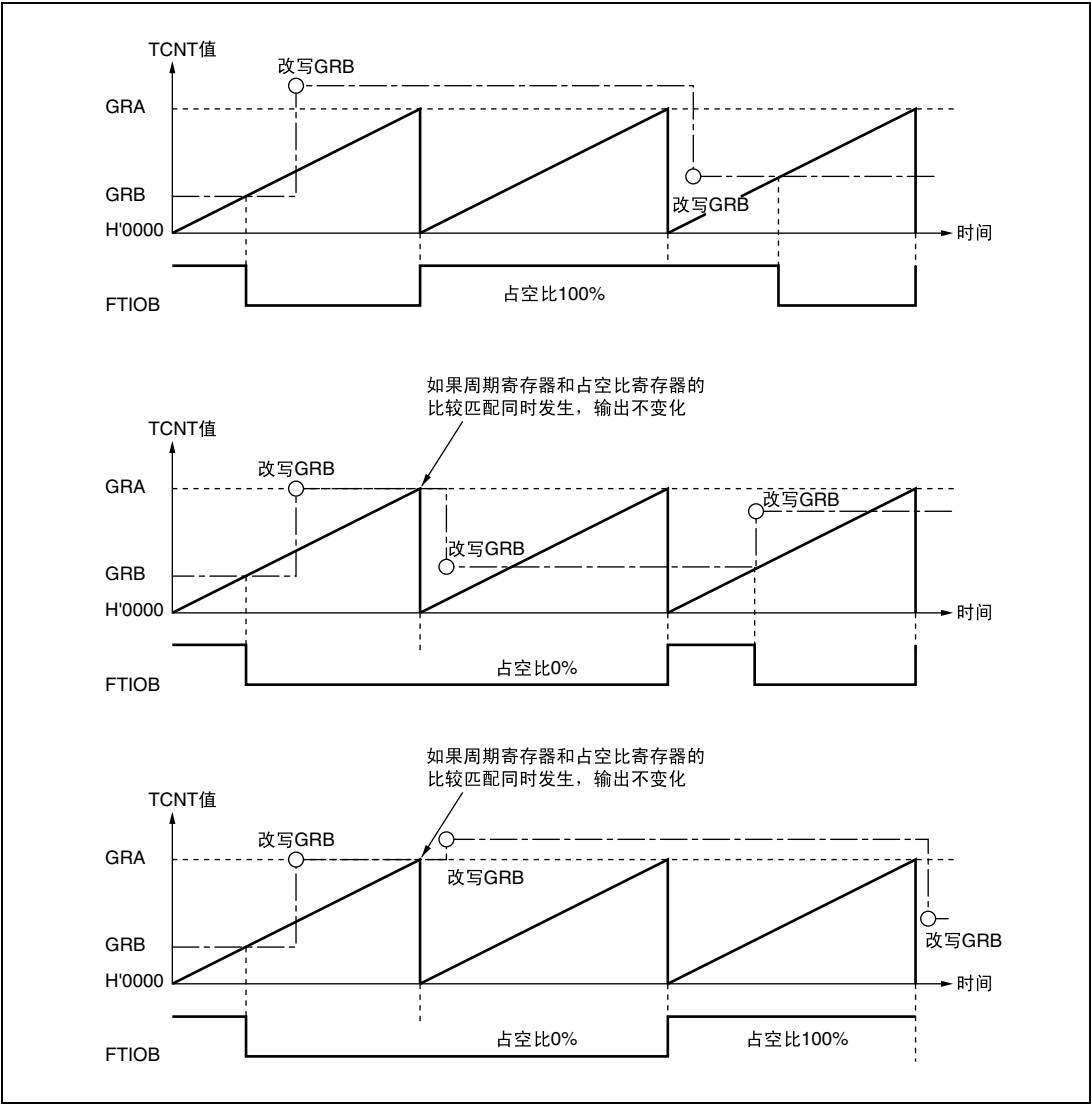


图 11.13 PWM 模式运行例（在 TOB=TOC=TOD=1、初始输出 1 的情况下）

11.5 运行时序

11.5.1 TCNT 的计数时序

内部时钟运行时的 TCNT 的计数时序如图 11.14 所示，外部时钟运行时的 TCNT 的计数时序如图 11.15 所示。外部时钟的脉冲宽度需要 2 个系统时钟（ ϕ ）以上，否则不能正常运行。

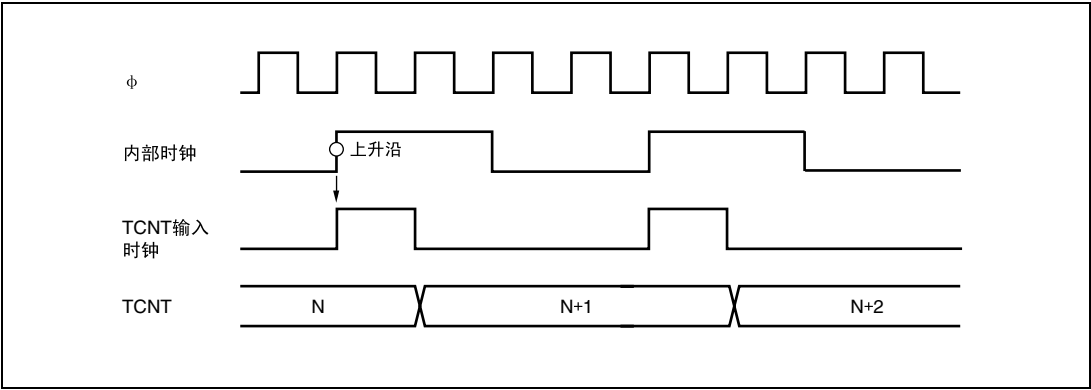


图 11.14 内部时钟运行时的计数时序

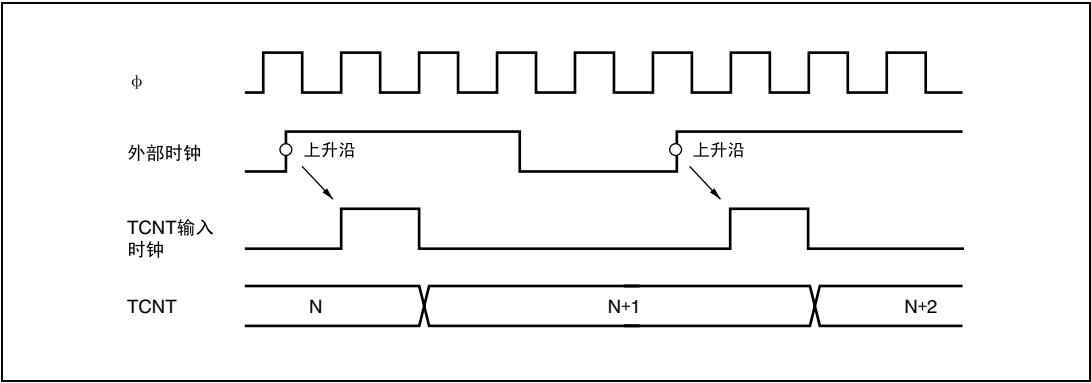


图 11.15 外部时钟运行时的计数时序

11.5.2 输出比较的输出时序

比较匹配信号发生在 TCNT 与 GR 一致后的最后状态（TCNT 更新一致后的计数值的时序）。在发生比较匹配信号时，由 TIOR 设定的输出值被输出到输出比较的输出管脚（FTIOA、FTIOB、FTIOC 以及 FTIOD）。

从 TCNT 与 GR 一致后到 TCNT 输入时钟发生为止，不产生比较匹配信号。输出比较的输出时序如图 11.16 所示。

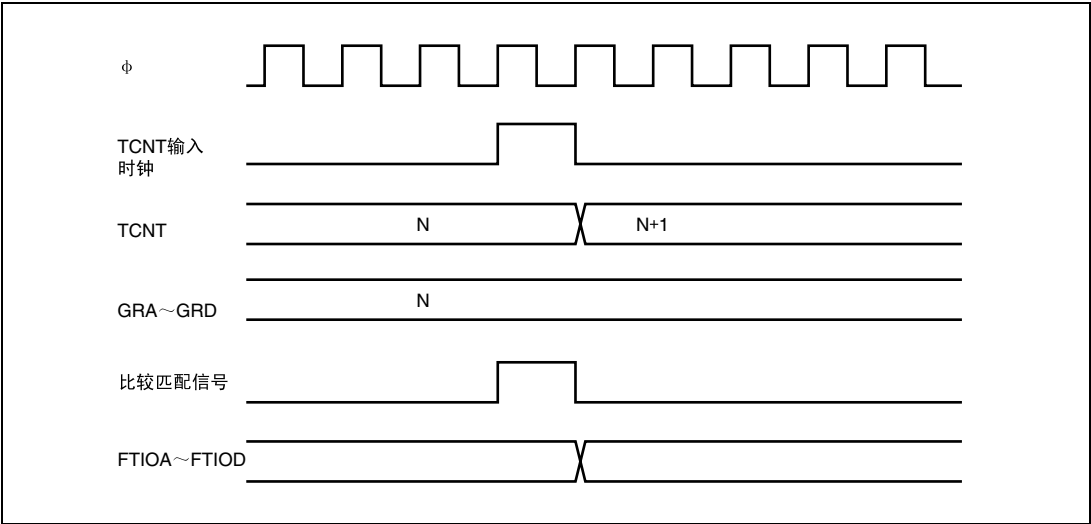


图 11.16 输出比较的输出时序

11.5.3 输入捕捉时序

输入捕捉的输入能通过设定 TIOR0 和 TIOR1，选择上升沿、下降沿或者两边沿。选择下降沿时的时序如图 11.17 所示。输入捕捉的输入信号的脉冲宽度需要 2 个系统时钟（ ϕ ）以上，否则不能正常运行。

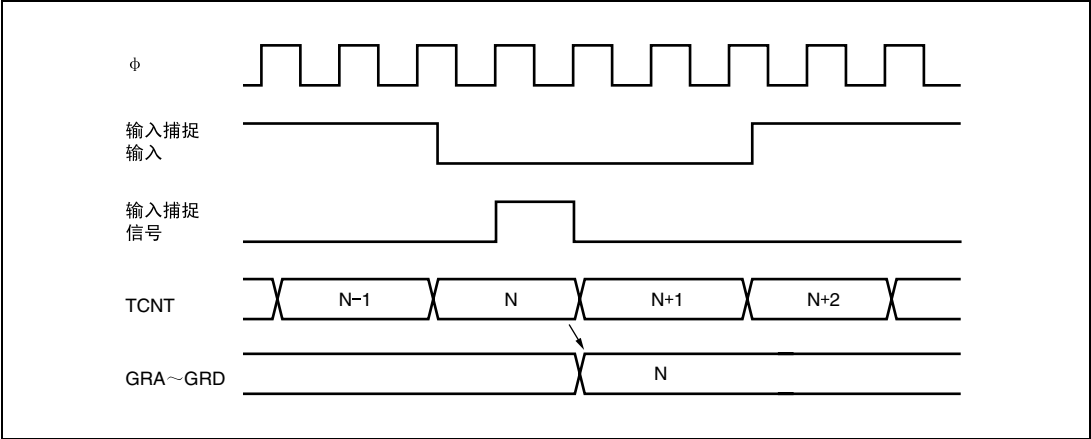


图 11.17 输入捕捉的输入信号时序

11.5.4 通过比较匹配产生的计数器清除时序

通过比较匹配 A 产生的计数器清除时序如图 11.18 所示。如果 GRA 的值为 N，计数器就从 0 开始计数到 N，周期为 N+1。

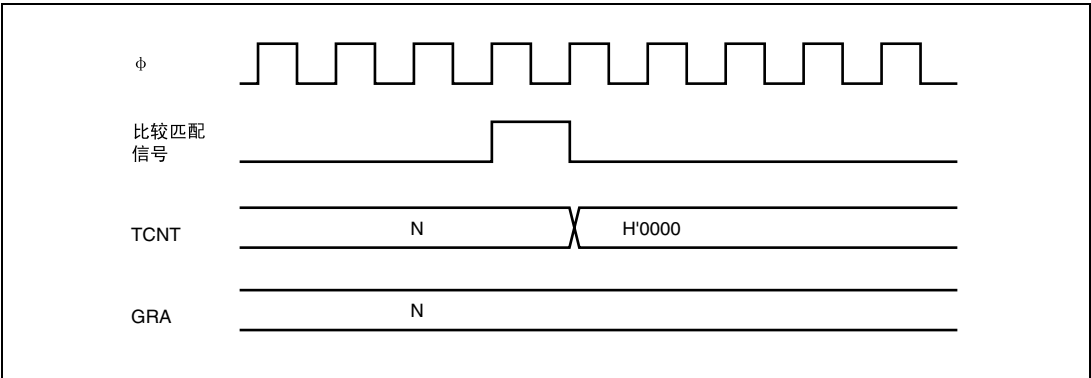


图 11.18 通过比较匹配产生的计数器清除时序

11.5.5 缓冲器运行时序

缓冲器运行时的时序如图 11.19 和图 11.20 所示。

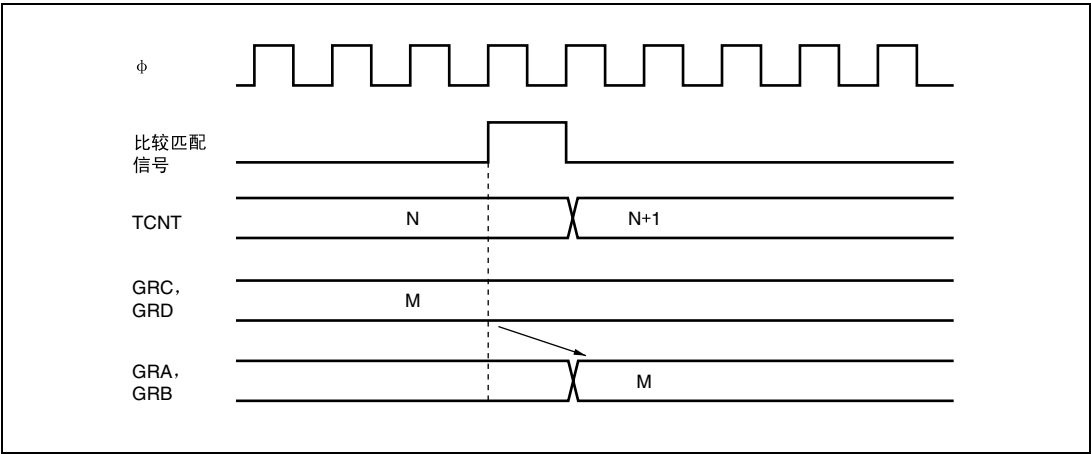


图 11.19 缓冲器运行时序（比较匹配）

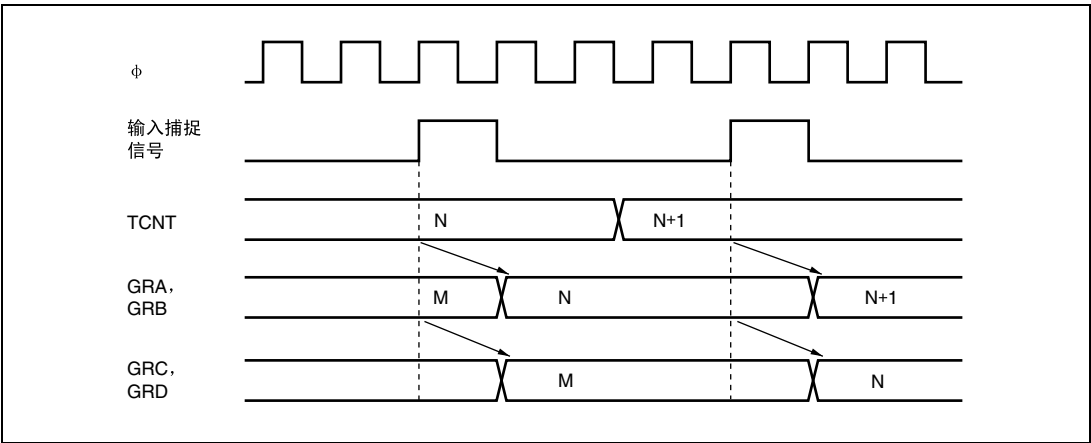


图 11.20 缓冲器运行时序（输入捕捉）

11.5.6 比较匹配时的 IMFA~IMFD 标志的置位时序

作为输出比较寄存器运行时的 IMFA~IMFD 标志，在通用寄存器（GRA、GRB、GRC 以及 GRD）与 TCNT 一致时被置 1。

比较匹配信号发生在一致后的最后状态（TCNT 更新一致后的计数值的时序）。因此，从通用寄存器（GRA、GRB 以及 GRD）与 TCNT 一致后到 TCNT 输入时钟发生为止，不产生比较匹配信号。

IMFA~IMFD 标志的置位时序如图 11.21 所示。

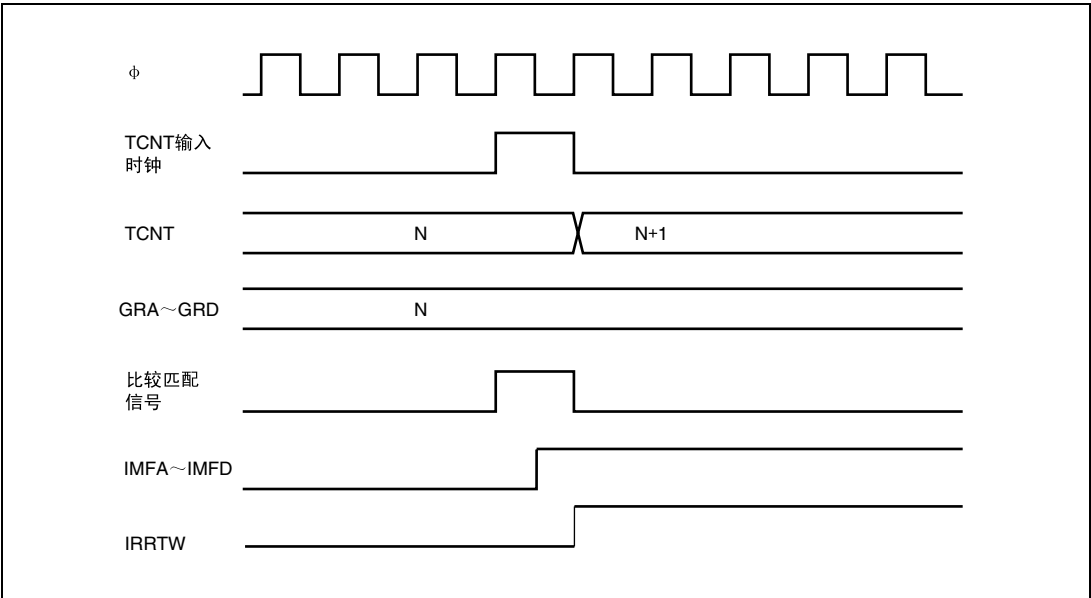


图 11.21 比较匹配时的 IMFA~IMFD 标志的置位时序

11.5.7 输入捕捉时的标志置位时序

作为输入捕捉寄存器运行时的 IMFA~IMFD 标志，在发生输入捕捉时被置 1。IMFA~IMFD 标志的置位时序如图 11.22 所示。

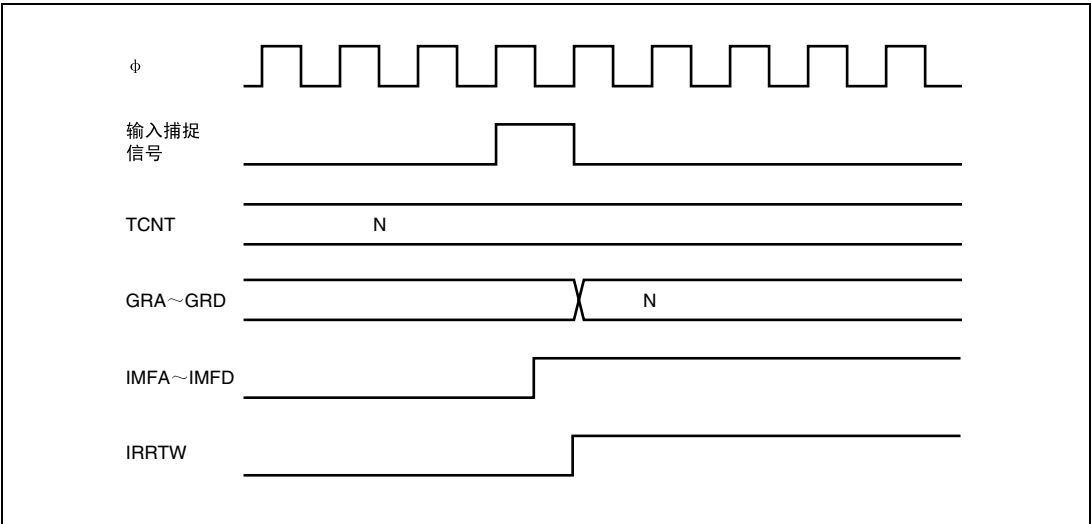


图 11.22 发生输入捕捉时的 IMFA~IMFD 标志的置位时序

11.5.8 状态标志的清除时序

当 CPU 读到 1 的状态后写 0 时，清除状态标志。
通过 CPU 进行的状态标志的清除时序如图 11.23 所示。

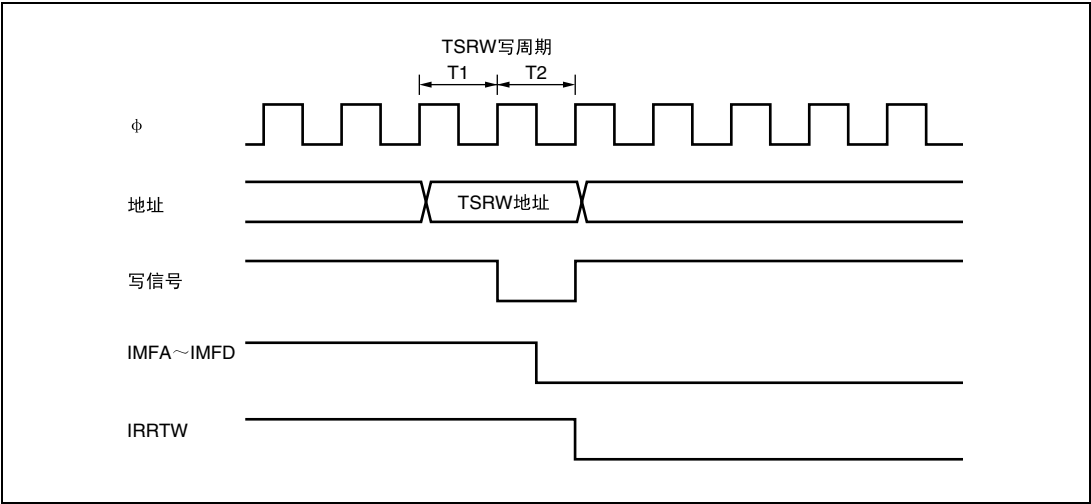


图 11.23 通过 CPU 进行的状态标志的清除时序

11.6 使用上的注意事项

在定时器 W 的运行中，会发生以下的竞争和运行：

1. 输入时钟和输入捕捉的脉冲宽度需要2个系统时钟（ Φ ）以上，否则不能正常运行。
2. 对寄存器的写操作在写周期中的 T2 状态进行。如图11.24所示，如果在TCNT写周期中的 T2 状态产生计数器清除信号，就优先清除TCNT而不对TCNT进行写操作。当对 TCNT 的写操作和 TCNT 的累加计数发生竞争时，写优先。
3. 根据转换内部时钟的时序，TCNT可能被累加计数。在使用内部时钟时，在检测到系统时钟（ Φ ）分频后的内部时钟的上升沿后，产生计数时钟。因此，如图11.25所示，如果在转换前的时钟“低”电平→转换后的时钟“高”电平的时序转换时钟，转换时序就被视为上升沿，产生计数时钟，进行TCNT的累加计数。
4. 如果在发生中断请求的状态下进入模块待机状态，就不能清除中断源。因此，必须在预先禁止中断后进入模块待机状态。

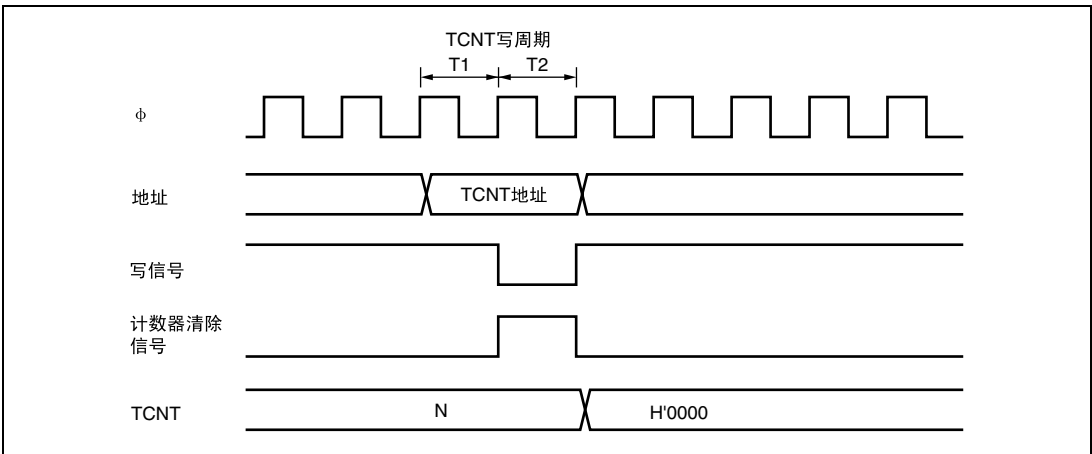


图 11.24 TCNT 的写操作和清除的竞争

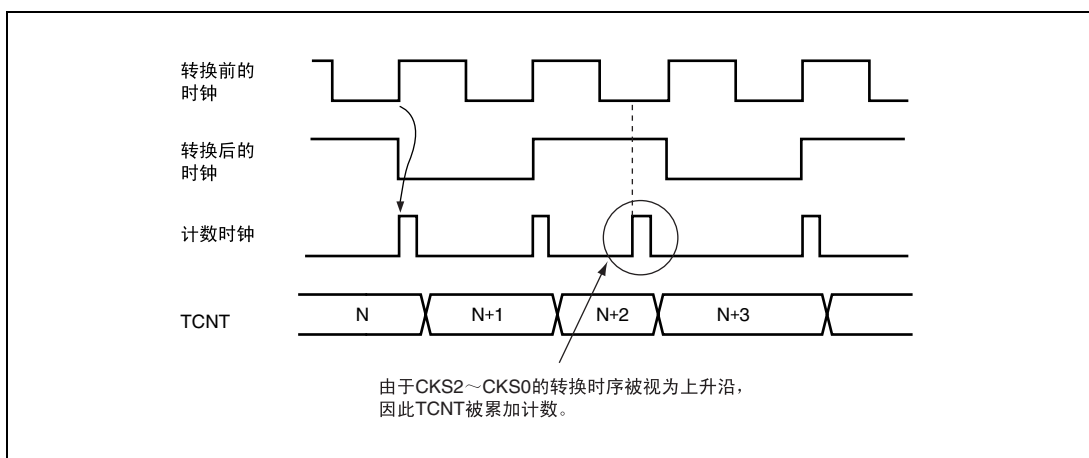


图 11.25 内部时钟的转换和 TCNT 运行

5. TCRW的TOA~TOD位决定在最初发生比较匹配之前FTIO管脚的输出值。在发生一次比较匹配并通过比较匹配FTIOA~FTIOD输出发生变化时，FTIOA~FTIOD管脚的输出值和TOA~TOD位的读取值可能不一致。另外，在对TCRW的写操作和比较匹配A~D的发生出现竞争时，写操作优先，并且比较匹配的输出变化不被反映在FTIOA~FTIOD管脚。因此，如果使用位操作指令对TCRW进行写操作，FTIOA~FTIOD管脚的输出值就可能出现意外的结果。如果在比较匹配运行中对TCRW进行写操作，就必须在存取TCRW前将计数器暂停后读取端口8的状态，在将FTIOA~FTIOD的输出值反映到TOA~TOD后进行写操作，然后再启动计数器。比较匹配和对TCRW的位操作指令发生竞争时的例子如图11.26所示。

TCRW: 设定成H'06。使用比较匹配B和比较匹配C。FTIOB管脚在1输出的状态下, 通过比较匹配B被设定成交替输出或者0输出。在此, 为了清除TOC位 (FTIOC管脚输出Low), 执行BCLR#2, @TCRW, 同时如果在下图的时序产生比较匹配B, 就优先对TCRW写H'02, 假如FTIOB管脚无法通过比较匹配B输出Low, 就保持High输出的状态。

位	7	6	5	4	3	2	1	0
TCRW	CCLR	CKS2	CKS1	CKS0	TOD	TOC	TOB	TOA
设定值	0	0	0	0	0	1	1	0

BCLR#2, @TCRW

- (1) TCRW读操作 : 读取H'06
- (2) 更改操作 : 将H'06改变成H'02
- (3) 对TCRW写操作: 写H'02

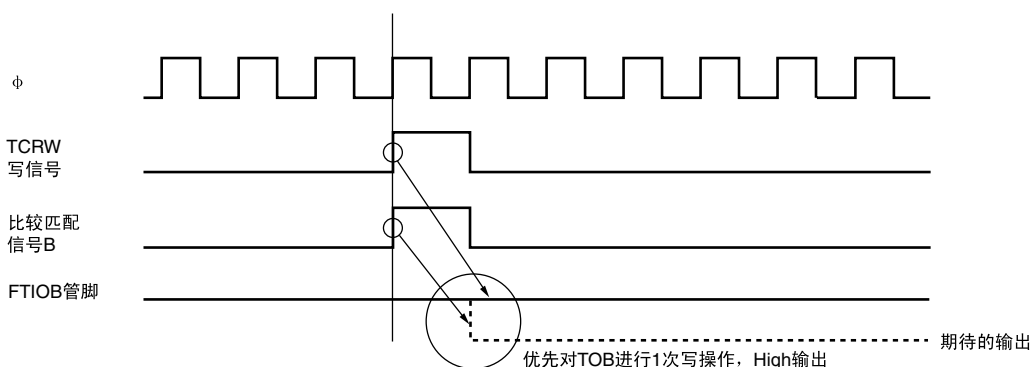


图 11.26 比较匹配和对 TCRW 的位操作指令发生竞争时的例子

第 12 章 监视定时器

监视定时器是 8 位定时器，在由于系统失控等不能改写计数器的值而产生溢出时，对 LSI 内部进行复位。监视定时器的框图如图 12.1 所示。

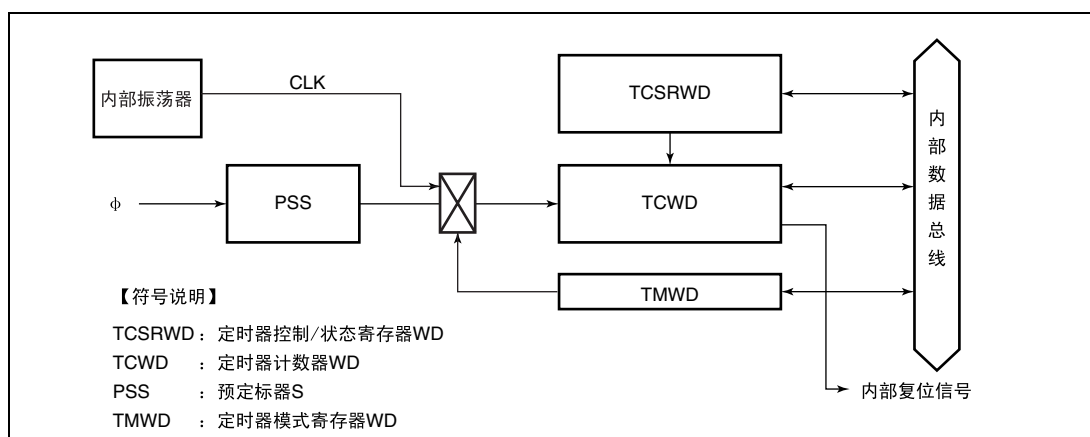


图 12.1 监视定时器的框图

12.1 特点

- 可选择 9 种内部时钟
可以选择 8 种内部时钟（ $\phi/64$ 、 $\phi/128$ 、 $\phi/256$ 、 $\phi/512$ 、 $\phi/1024$ 、 $\phi/2048$ 、 $\phi/4096$ 、 $\phi/8192$ ）或者内部振荡器作为定时器的计数时钟。如果选择内部振荡器，就在所有运行模式，作为监视定时器运行。
- 在计数器溢出时产生复位信号
溢出周期可以在选择时钟的 1 倍到 256 倍之间进行设定。

12.2 寄存器说明

监视定时器有以下寄存器：

- 定时器控制/状态寄存器 WD（TCSRWD）
- 定时器计数器 WD（TCWD）
- 定时器模式寄存器 WD（TMWD）

12.2.1 定时器控制/状态寄存器 WD (TCSRWD)

TCSRWD 是进行 TCSRWD 本身和 TCWD 写控制的寄存器。另外，还具有控制监视定时器运行和表示运行状态的功能。必须用 MOV 指令对本寄存器进行改写，位操作指令不能改变设定值。

位	位名	初始值	R/W	说 明
7	B6WI	1	R/W	位 6 写禁止 仅在该位的写入值是 0 时，该寄存器的位 6 写入才有效。总是读出 1。
6	TCWE	0	R/W	定时器计数器 WD 写允许 在该位是 1 时，TCWD 成为写允许。在对该位写数据时，位 7 的写入值必须为 0。
5	B4WI	1	R/W	位 4 写禁止 仅在该位的写入值是 0 时，该寄存器的位 4 写入才有效。总是读出 1。
4	TCSRWE	0	R/W	定时器控制/状态寄存器 WD 写允许 在该位是 1 时，该寄存器的位 2 和位 0 成为写允许。在对该位写数据时，位 5 的写入值必须是 0。
3	B2WI	1	R/W	位 2 写禁止 仅在该位的写入值是 0 时，该寄存器的位 2 写入才有效。总是读出 1。
2	WDON	0	R/W	监视定时器 ON 如果该位置 1，TCWD 就开始累加计数。如果清 0，TCWD 就停止累加计数。 [清除条件] • 复位 • 在 TCSRWE=1 的状态下，给 B2WI 和 WDON 写 0 时 [置位条件] • 在 TCSRWE=1 的状态下，给 B2WI 写 0 和给 WDON 写 1 时
1	B0WI	1	R/W	位 0 写禁止 仅在该位的写入值是 0 时，该寄存器的位 0 写入才有效。总是读出 1。
0	WRST	0	R/W	监视定时器复位 [清除条件] • 由 RES 管脚进行复位 • 在 TCSRWE=1 的状态下，给 B0WI 和 WRST 写 0 时 [置位条件] • 在 TCWD 溢出，并且产生内部复位信号时

12.2.2 定时器计数器 WD（TCWD）

TCWD 是 8 位可读写增量计数器。如果 TCWD 从 H'FF 溢出到 H'00，就产生内部复位信号，并且 TCSRWD 的 WRST 被置 1。TCWD 的初始值是 H'00。

12.2.3 定时器模式寄存器 WD（TMWD）

TMWD 选择输入时钟。

位	位名	初始值	R/W	说 明
7~4	—	全 1	—	保留位。总是读出 1。
3	CKS3	1	R/W	时钟选择 3~0 选择输入到 TCWD 的时钟。 1000: 内部时钟: 以 ϕ /64 计数 1001: 内部时钟: 以 ϕ /128 计数 1010: 内部时钟: 以 ϕ /256 计数 1011: 内部时钟: 以 ϕ /512 计数 1100: 内部时钟: 以 ϕ /1024 计数 1101: 内部时钟: 以 ϕ /2048 计数 1110: 内部时钟: 以 ϕ /4096 计数 1111: 内部时钟: 以 ϕ /8192 计数 0XXX: 内部振荡器 关于由内部振荡器产生的溢出周期, 请参照“第 18 章 电特性”。
2	CKS2	1	R/W	
1	CKS1	1	R/W	
0	CKS0	1	R/W	

【注】X: Don't care

12.3 运行说明

监视定时器具有 8 位增量计数器。在 TCSRWD 的 TCSRWE=1 的状态下，如果给 B2WI 写 0，并且给 WDON 写 1，TCWD 就开始累加计数（为了使监视定时器运行，必须对 TCSRWD 进行 2 次写存取）。如果 TCWD 的计数值从 H'FF 溢出，就产生内部复位信号。内部复位信号的输出时间为 256 个 ϕ_{osc} 时钟。由于 TCWD 是可写计数器，如果给 TCWD 设定值，就从该值开始累加计数。因此，根据 TCWD 的设定值，能在 1~256 个输入时钟的范围内设定溢出周期。监视定时器运行的例子如图 12.2 所示。

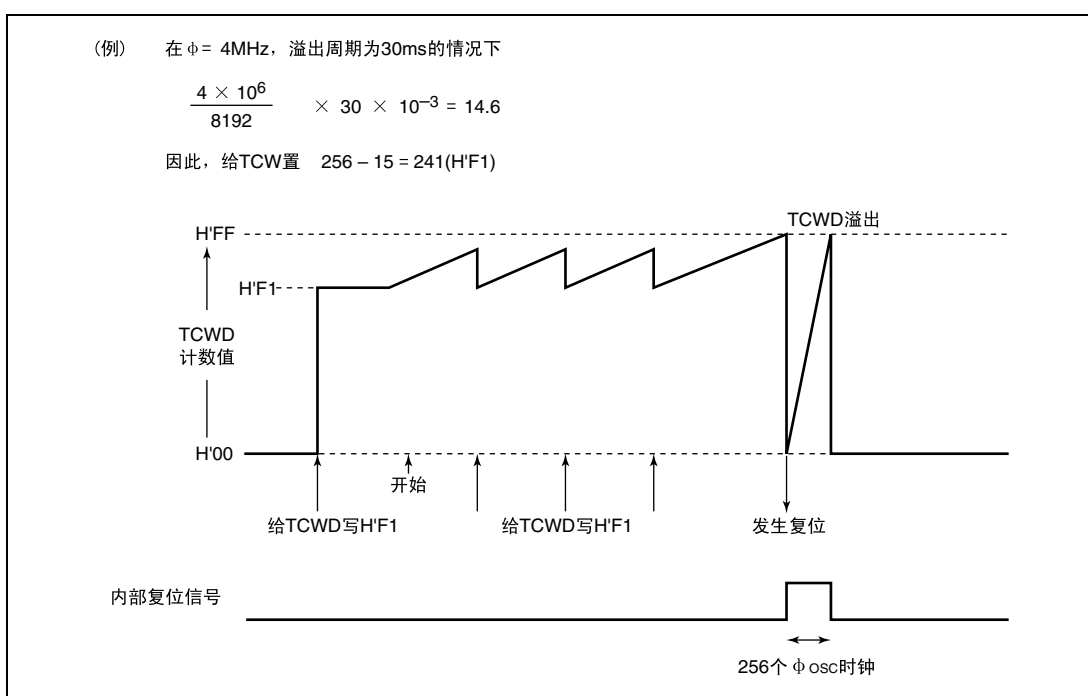


图 12.2 监视定时器运行的例子

第 13 章 串行通信接口 3 (SCI3)

H8/36024 群和 H8/36014 群具有串行通信接口 3 (SCI3)。SCI3 可进行异步和时钟同步 2 种模式的串行数据通信。在异步模式，能与 Universal Asynchronous Receiver/Transmitter (UART) 或者 Asynchronous Communication Interface Adapter (ACIA) 等标准异步通信 LSI 进行串行数据通信，并且具有多处理器间的串行数据通信功能（多处理器通信功能）。

SCI3 的通道构成如表 13.1 所示，框图如图 13.1 所示。2 通道 (SCI3、SCI3_2) 具有同样功能，在本文中不进行个别说明。

13.1 特点

- 可以把串行数据通信格式设定为异步或者时钟同步
- 可以进行全双工通信
因为具有独立的发送部和接收部，所以能同时发送和接收。另外，发送部和接收部都采用了双缓冲结构，可以连续发送和接收。
- 可通过内部波特率发生器选择任意的位传输率
- 可以选择内部波特率发生器或者外部时钟作为发送和接收时钟源
- 6 种中断源
有发送结束、发送数据空、接收数据满、溢出错误、帧错误和奇偶校验错误中断源。

异步模式

- 数据长：可以选择 7 位/8 位
- 停止位长：可以选择 1 位/2 位
- 奇偶校验：可以选择偶校验/奇校验/无奇偶校验
- 检测接收错误：奇偶校验错误、溢出错误和帧错误
- 检测中止：当发生帧错误时，可以通过直接读 RXD 管脚电平，检测中止

时钟同步模式

- 数据长：8 位
- 检测接收错误：溢出错误

表 13.1 SCI3 的通道构成

通道	略称	管脚	寄存器	寄存器地址
通道 1* ¹	SCI3	SCK3 RXD TXD	SMR	H'FFA8
			BRR	H'FFA9
			SCR3	H'FFAA
			TDR	H'FFAB
			SSR	H'FFAC
			RDR	H'FFAD
			RSR	—
			TSR	—
通道 2	SCI3_2	SCK3_2 RXD_2 TXD_2	SMR_2	H'F740
			BRR_2	H'F741
			SCR3_2	H'F742
			TDR_2	H'F743
			SSR_2	H'F744
			RDR_2	H'F745
			RSR_2	—
			TSR_2	—
通道 3* ²	SCI3_3	SCK3_3* ³ RXD_3 TXD_3	SMR_3	H'F600
			BRR_3	H'F601
			SCR3_3	H'F602
			TDR_3	H'F603
			SSR_3	H'F604
			RDR_3	H'F605
			RSR_3	—
			TSR_3	—
			SMCR	H'F608

【注】*1 在通过引导模式进行的单板上编程模式，使用 SCI3 的通道 1。
*2 H8/36024 内藏 SCI3_3。
*3 在使用仿真器时，如果此管脚用作 SCI3_3 功能，就必须将相应的 PCR 的值设定成 0。

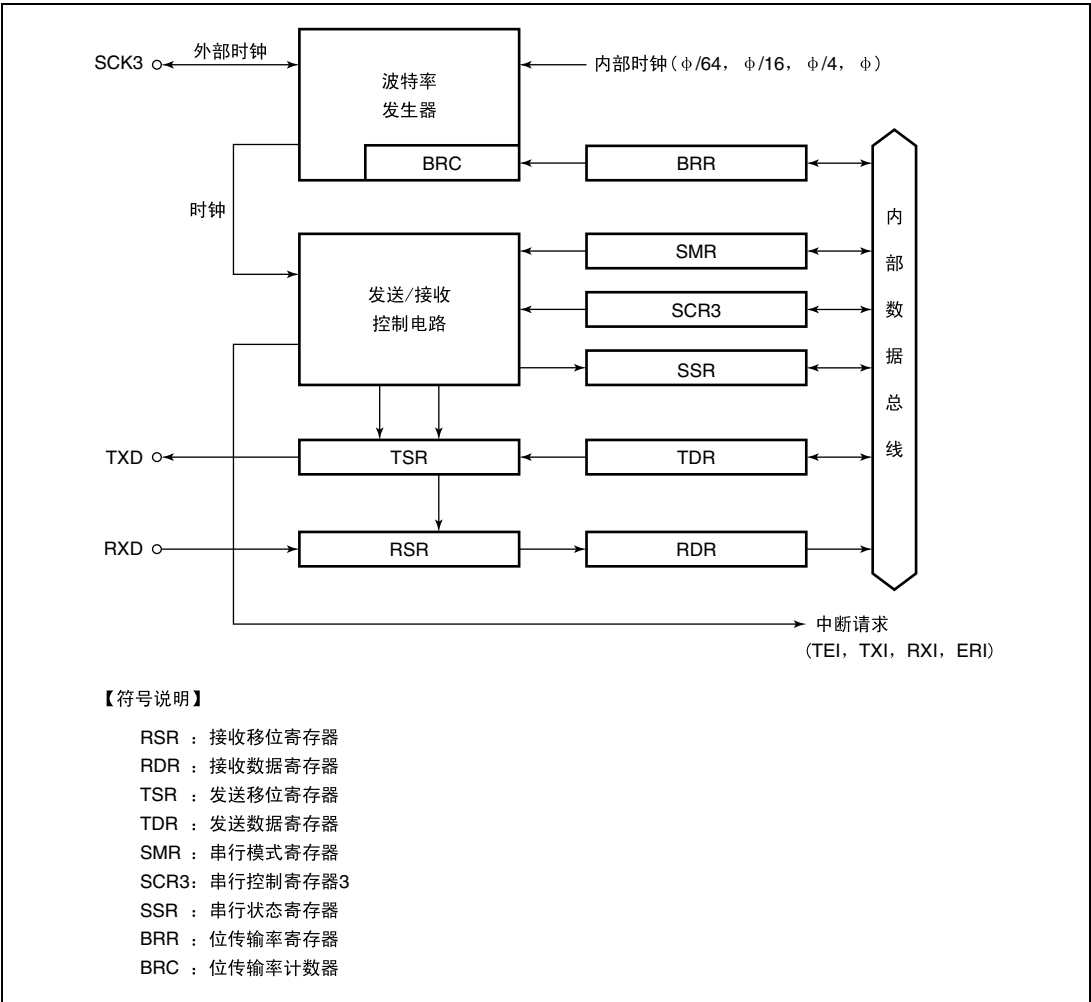


图 13.1 SCI3 的框图

13.2 输入/输出管脚

SCI3 管脚结构如表 13.2 所示。

表 13.2 管脚结构

名称	略称	输入/输出	功 能
SCI3 时钟	SCK3	输入/输出	SCI3 的时钟输入/输出管脚
SCI3 接收数据输入	RXD	输入	SCI3 的接收数据输入管脚
SCI3 发送数据输出	TXD	输出	SCI3 的发送数据输出管脚

13.3 寄存器说明

SCI3 有以下寄存器:

- 接收移位寄存器 (RSR)
- 接收数据寄存器 (RDR)
- 发送移位寄存器 (TSR)
- 发送数据寄存器 (TDR)
- 串行模式寄存器 (SMR)
- 串行控制寄存器 3 (SCR3)
- 串行状态寄存器 (SSR)
- 位传输率寄存器 (BRR)
- SCI3_3 模块控制寄存器 (SMCR)

13.3.1 接收移位寄存器 (RSR)

RSR 是用于将从 RXD 管脚输入的串行数据并行转换的接收移位寄存器。如果接收到 1 帧数据, 数据就自动传送到 RDR。不能从 CPU 直接存取 RSR。

13.3.2 接收数据寄存器 (RDR)

RDR 是用于存储接收数据的 8 位寄存器。如果接收到 1 帧数据, RSR 的接收数据就被传送到该寄存器, RSR 就可以接收下一个数据。由于 RSR 和 RDR 是双缓冲结构, 因此可以连续接收。必须在确认 SSR 的 RDRF 已被置 1 后, 对 RDR 进行 1 次读操作。不能从 CPU 写 RDR。RDR 的初始值是 H'00。

13.3.3 发送移位寄存器 (TSR)

TSR 是用于发送串行数据的移位寄存器。写到 TDR 的发送数据被自动传送给 TSR, 通过从 LSB 顺序将 TSR 数据的各位传送到 TXD 管脚, 进行串行数据发送。不能从 CPU 直接存取 TSR。

13.3.4 发送数据寄存器 (TDR)

TDR 是用于存储发送数据的 8 位寄存器。如果检测出 TSR 为空, 写到 TDR 的发送数据就被传送给 TSR, 开始发送。由于 TDR 和 TSR 是双缓冲结构, 因此可以连续发送。在发送完 1 帧数据时, 如果下一个发送数据已被写到 TDR, 就传送给 TSR, 继续发送。为了正确进行串行发送, 必须在确认 SSR 的 TDRE 已被置 1 后, 只对 TDR 写 1 次发送数据。TDR 的初始值是 H'FF。

13.3.5 串行模式寄存器 (SMR)

SMR 是用于选择串行数据通信格式和内部波特率发生器时钟源的寄存器。

位	位名	初始值	R/W	说 明
7	COM	0	R/W	通信模式 0: 以异步模式运行。 1: 以时钟同步模式运行。
6	CHR	0	R/W	字符长度 (仅异步模式有效) 0: 以 8 位数据长的格式发送和接收。 1: 以 7 位数据长的格式发送和接收。
5	PE	0	R/W	奇偶校验允许 (仅异步模式有效) 当该位为 1 时, 发送时附加奇偶校验位, 接收时检测奇偶校验。
4	PM	0	R/W	奇偶校验模式 (仅在异步模式 PE=1 时有效) 0: 以偶校验发送和接收。 1: 以奇校验发送和接收。
3	STOP	0	R/W	停止位长度 (仅异步模式有效) 选择发送时停止位的长度。 0: 1 个停止位 1: 2 个停止位 接收时, 与该位的设定值无关, 只检测停止位的第 1 位, 在第 2 位是 0 时, 视为下一个发送字符的起始位。
2	MP	0	R/W	多处理器模式 在该位为 1 时, 允许多处理器通信功能。PE 和 PM 位的设定值无效。 在时钟同步模式, 必须将该位设定成 0。
1 0	CKS1 CKS0	0 0	R/W R/W	时钟选择 1~0 选择内部波特率发生器的时钟源。 00: ϕ 时钟 (n=0) 01: $\phi/4$ 时钟 (n=1) 10: $\phi/16$ 时钟 (n=2) 11: $\phi/64$ 时钟 (n=3) 关于该位的设定值和波特率的关系, 请参照“13.3.8 位传输率寄存器 (BRR)”。n 是用 10 进制表示的设定值, 表示“13.3.8 位传输率寄存器 (BRR)”中的 n 的值。

13.3.6 串行控制寄存器 3 (SCR3)

SCR3 是用于进行发送和接收运行控制、中断控制以及发送和接收时钟源选择的寄存器。关于各中断请求参照“13.7 中断请求”。

位	位名	初始值	R/W	说 明
7	TIE	0	R/W	发送中断允许 如果该位置 1, 就允许 TXI 中断请求。
6	RIE	0	R/W	接收中断允许 如果该位置 1, 就允许 RXI 以及 ERI 中断请求。
5	TE	0	R/W	发送允许 在该位为 1 时, 允许发送。
4	RE	0	R/W	接收允许 在该位为 1 时, 允许接收。
3	MPIE	0	R/W	多处理器中断允许 (在异步模式 SMR 的 MP=1 时有效) 如果该位置 1, 就跳过多处理器位为 0 的接收数据, 禁止对 SSR 的 RDRF、FER 和 OER 各状态标志置位。如果接收到多处理器位为 1 的数据, 该位就被自动清除, 返回到通常的接收运行状态。详细内容请参照“13.6 多处理器通信功能”。
2	TEIE	0	R/W	发送结束中断允许 如果该位置 1, 就允许 TEI 中断请求。
1 0	CKE1 CKE0	0 0	R/W R/W	时钟允许 1 ~ 0 选择时钟源。 异步的情况 00: 内部波特率发生器 01: 内部波特率发生器 (从 SCK3 管脚输出与位传输率相同频率的时钟。) 10: 外部时钟 (必须从 SCK3 管脚输入频率为位传输率的 16 倍的时钟。) 11: 保留 时钟同步的情况 00: 内部时钟 (SCK3 管脚功能变为时钟输出管脚。) 01: 保留 10: 外部时钟 (SCK3 管脚功能变为时钟输入管脚。) 11: 保留

13.3.7 串行状态寄存器 (SSR)

SSR 由 SCI3 状态标志、发送和接收多处理器位构成。TDRE、RDRF、OER、PER 和 FER 只能被清除。

位	位名	初始值	R/W	说 明
7	TDRE	1	R/W	发送数据寄存器空 表示 TDR 内的发送数据是否存在。 [置位条件] • SCR3 的 TE 为 0 时 • 将数据从 TDR 传送到 TSR 时 [清除条件] • 在读到 1 的状态后, 写 0 时 • 给 TDR 写发送数据时
6	RDRF	0	R/W	接收数据寄存器满 表示 RDR 内的接收数据是否存在。 [置位条件] • 接收正常结束并且将接收数据从 RSR 传送到 RDR 时 [清除条件] • 在读到 1 的状态后写 0 时 • 读 RDR 的数据时
5	OER	0	R/W	溢出错误 [置位条件] • 在接收过程中发生溢出错误时 [清除条件] • 在读到 1 的状态后写 0 时
4	FER	0	R/W	帧错误 [置位条件] • 在接收过程中发生帧错误时 [清除条件] • 在读到了 1 的状态后写 0 时
3	PER	0	R/W	奇偶校验错误 [置位条件] • 在接收过程中发生奇偶校验错误时 [清除条件] • 在读到 1 的状态后写 0 时

位	位名	初始值	R/W	说 明
2	TEND	1	R	发送结束 [置位条件] • SCR3 的 TE 为 0 时 • 在发送字符的最后一位被发送并且 TDRE 为 1 时 [清除条件] • 在读到 TDRE=1 的状态后给 TDRE 写 0 时 • 给 TDR 写发送数据时
1	MPBR	0	R	多处理器位接收 存储接收字符中的多处理器位。在 SCR3 的 RE=0 时不变化。
0	MPBT	0	R/W	多处理器位传送 指定附加在发送字符的多处理器位的值。

13.3.8 位传输率寄存器 (BRR)

BRR 是设定位传输率的 8 位寄存器。BRR 的初始值是 H'FF。在异步模式，设定 SMR 的 CKS1、CKS0 的值 n 和 BRR 的值 N 的例子如表 13.3 所示，异步模式的最大位传输率如表 13.4 所示，无论哪个值都表示激活（高速）模式的值。在时钟同步模式，设定 SMR 的 CKS1、CKS0 的值 n 和 BRR 的值 N 的例子如表 13.5 所示，表示激活（高速）模式的值。对于其他运行频率和位传输率的组合，BRR 的设定值 N 和误差用下面的计算式计算：

〔异步模式〕

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

$$\text{误差}(\%) = \left\{ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

〔时钟同步模式〕

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B: 位传输率 (bit/s)

N: 波特率发生器的 BRR 的设定值 ($0 \leq N \leq 255$)

ϕ : 运行频率 (MHz)

n: SMR 的 CKS1 和 CKS0 的设定值 ($0 \leq n \leq 3$)

表 13.3 对于位传输率的 BRR 的设定例子 (异步模式)

位传输率 (bit/s)	ϕ (MHz)											
	2			2.097152			2.4576			3		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	0	6	-6.99	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	-2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	-18.62	0	1	-14.67	0	1	0.00	—	—	—

(续前表)

位传输率 (bit/s)	ϕ (MHz)											
	3.6864			4			4.9152			5		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	-6.99	0	7	0.00	0	7	1.73
31250	—	—	—	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

【符号说明】

— : 虽然可以设定, 但是会出现误差。

（续前表）

位传输率 (bit/s)	ϕ (MHz)											
	6			6.144			7.3728			8		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	0	6	-6.99

（续前表）

位传输率 (bit/s)	ϕ (MHz)											
	9.8304			10			12			12.888		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

【符号说明】

— ：虽然可以设定，但是会出现误差。

(续前表)

位传输率 (bit/s)	ϕ (MHz)														
	14			14.7456			16			18			20		
	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)	n	N	误差 (%)
110	2	248	-0.17	3	64	0.70	3	70	0.03	3	79	-0.12	3	88	-0.25
150	2	181	0.16	2	191	0.00	2	207	0.16	2	233	0.16	3	64	0.16
300	2	90	0.16	2	95	0.00	2	103	0.16	2	116	0.16	2	129	0.16
600	1	181	0.16	1	191	0.00	1	207	0.16	1	233	0.16	2	64	0.16
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	116	0.16	1	129	0.16
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	233	0.16	1	64	0.16
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	116	0.16	0	129	0.16
9600	0	45	-0.93	0	47	0.00	0	51	0.16	0	58	-0.69	0	64	0.16
19200	0	22	-0.93	0	23	0.00	0	25	0.16	0	28	1.02	0	32	-1.36
31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	17	0.00	0	19	0.00
38400	—	—	—	0	11	0.00	0	12	0.16	0	14	-2.34	0	15	1.73

【記号説明】

— : 虽然可以设定, 但是会出现误差。

表 13.4 各频率的最大位传输率〔异步模式〕

ϕ (MHz)	最大位传输率 (bit/s)	n	N	ϕ (MHz)	最大位传输率 (bit/s)	n	N
2	62500	0	0	8	250000	0	0
2.097152	65536	0	0	9.8304	307200	0	0
2.4576	76800	0	0	10	312500	0	0
3	93750	0	0	12	375000	0	0
3.6864	115200	0	0	12.288	384000	0	0
4	125000	0	0	14	437500	0	0
4.9152	153600	0	0	14.7456	460800	0	0
5	156250	0	0	16	500000	0	0
6	187500	0	0	17.2032	537600	0	0
6.144	192000	0	0	18	562500	0	0
7.3728	230400	0	0	20	625000	0	0

表 13.5 对于位传输率的 BRR 的设定例子 (时钟同步模式)

位传输率 (bit/s)	ϕ (MHz)													
	2		4		8		10		16		18		20	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	—	—	—	—	—	—			—	—	—	—
250	2	124	2	249	3	124	—	—	3	249	—	—	—	—
500	1	249	2	124	2	249	—	—	3	124	3	140	3	155
1k	1	124	1	249	2	124	—	—	2	249	3	69	3	77
2.5k	0	199	1	99	1	199	1	249	2	99	2	112	2	124
5k	0	99	0	199	1	99	1	124	1	199	1	224	1	249
10k	0	49	0	99	0	199	0	249	1	99	1	112	1	124
25k	0	19	0	39	0	79	0	99	0	159	0	179	0	199
50k	0	9	0	19	0	39	0	49	0	79	0	89	0	99
100k	0	4	0	9	0	19	0	24	0	39	0	44	0	49
250k	0	1	0	3	0	7	0	9	0	15	0	17	0	19
500k	0	0*	0	1	0	3	0	4	0	7	0	8	0	9
1M			0	0*	0	1	—	—	0	3	0	4	0	4
2M					0	0*	—	—	0	1	—	—	—	—
2.5M							0	0*	—	—	—	—	—	—
4M									0	0*	—	—	—	—

【符号说明】

空白栏：不可设定。

—：虽然可以设定，但是会出现误差。

*：不能连续发送和接收。

13.3.9 SCI3_3 模块控制寄存器 (SMCR)

SMCR 进行 SCI3_3 和模块待机功能的控制。

位	位名	初始值	R/W	说 明
7	—	1	—	保留位。总是读出 1。
6	—	1	—	
5	—	1	—	
4	—	1	—	
3	—	1	—	保留位。总是读出 1。 在使用仿真器时必须置 0。
2	—	1	—	
1	TXD_3	0	R/W	TXD_3 输出选择 选择 P57/TXD_3 管脚的功能。 0: 通用输入/输出端口 1: TXD_3 输出管脚
0	MSTS3_3	0	R/W	SCI3_3 模块待机 在该位为 1 时, SCI3_3 成为待机状态。

13.4 异步模式的运行说明

异步通信的通信数据的一般格式如图 13.2 所示。通信数据的一个字符或者一帧由起始位（低电平），发送/接收数据（LSB 优先）、奇偶校验位、停止位（高电平）的顺序构成。由于 SCI3 内部发送部和接收部独立，因此能进行全双工通信。另外，由于发送部和接收部都采用双缓冲结构，所以可以通过在发送过程中写下一个发送数据或者在接收过程中读前一个接收数据，进行连续发送和接收。

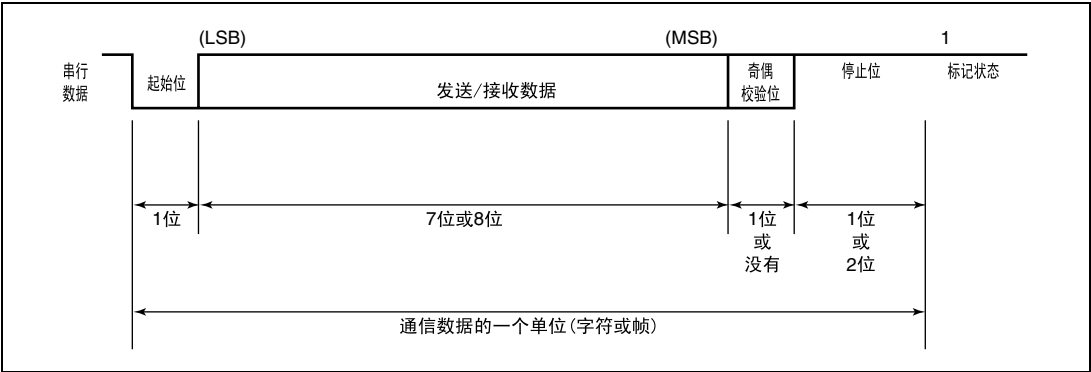


图 13.2 异步通信的数据格式

13.4.1 时钟

作为 SCI3 的发送和接收时钟源，能通过 SMR 的 COM 和 SCR3 的 CKE1、CKE0 的设置，选择内部波特率发生器生成的内部时钟或者从 SCK3 管脚输入的外部时钟。当使用外部时钟时，必须给 SCK3 管脚输入频率为 16 倍位传输率的时钟。当使用内部时钟时，能从 SCK3 管脚输出与位传输率相同频率的时钟。输出时钟的相位如图 13.3 所示，在发送和接收数据的每一位的中央时钟上升。

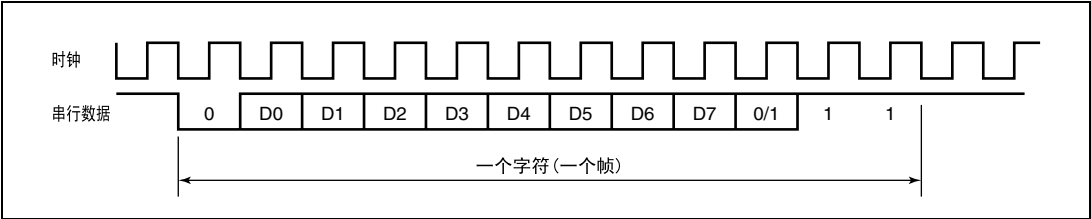


图 13.3 输出时钟和通信数据的相位关系（异步模式）
（8 位数据/有奇偶校验/2 个停止位的例子）

13.4.2 SCI3 的初始化

按照图 13.4 流程图的例子初始化。要注意的是，如果 TE 清 0，TDRE 就被置 1，即使 RE 清 0，RDRF、PER、FER 和 OER 的各标志以及 RDR 也不被初始化。在异步模式使用外部时钟的情况下，必须从初始化开始供给时钟。

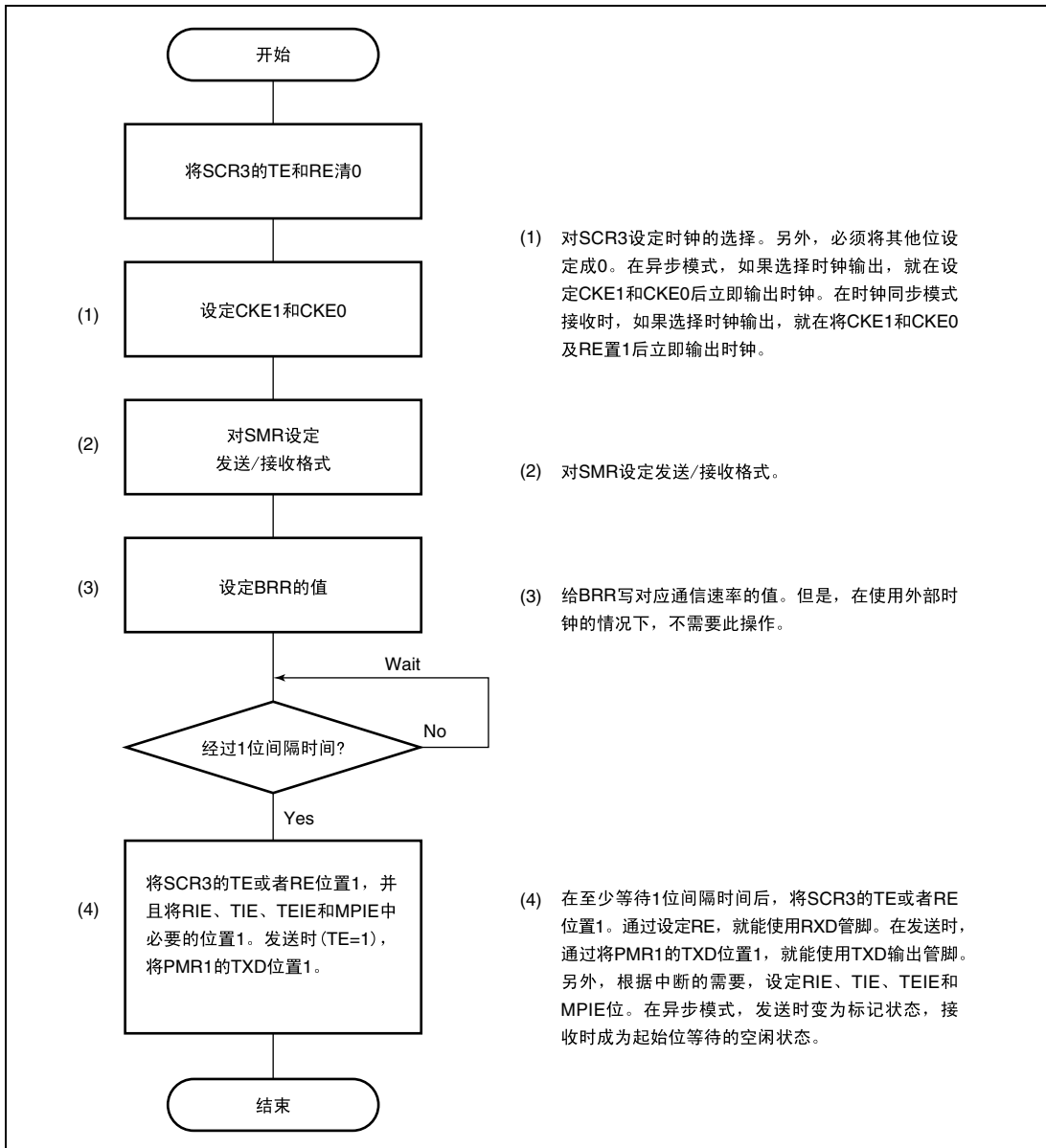


图 13.4 初始化 SCI3 时的流程图例子

13.4.3 数据发送

异步模式发送时的运行例子如图 13.5 所示。发送数据时的 SCI3 运行步骤如下：

- 1. 监视SSR的TDRE，如果是0，就被认为数据已写到TDR，将数据从TDR传送给TSR。
- 2. 在TDRE置1后开始发送。此时，如果SCR3的TIE被置1，就发生TXI中断请求。可以通过该TXI中断处理程序，在前一个被传送的数据发送结束之前，将下一个发送数据写到TDR，进行连续发送。
- 3. 在发送停止位的同时检测TDRE。
- 4. 如果TDRE是0，就将数据从TDR传送给TSR，并在发送停止位后开始发送下一帧。
- 5. 如果TDRE是1，就将SSR的TEND置1，并在发送停止位后输出1，成为标记状态。此时，如果SCR3的TEIE被置1，就发生TEI。
- 6. 发送数据的流程图例子如图13.6所示。

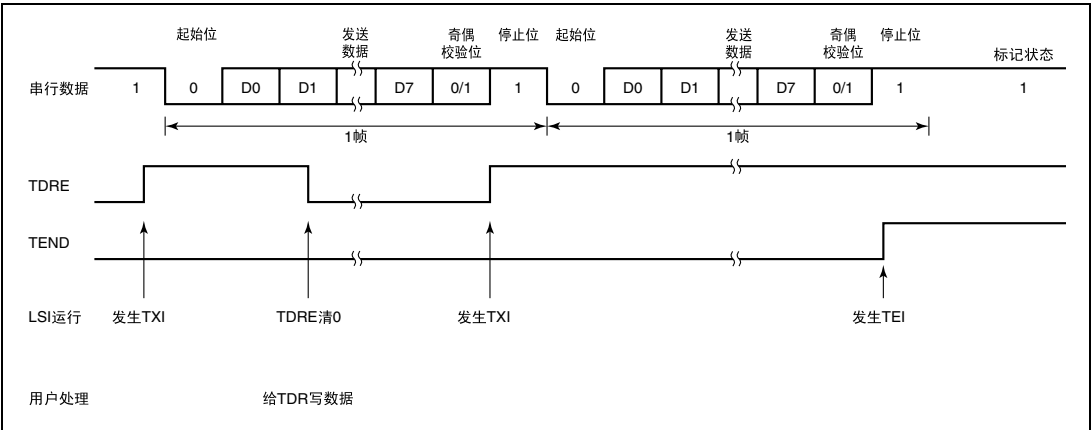


图 13.5 异步模式发送时的运行例子（8 位数据/有奇偶校验/1 个停止位的例子）

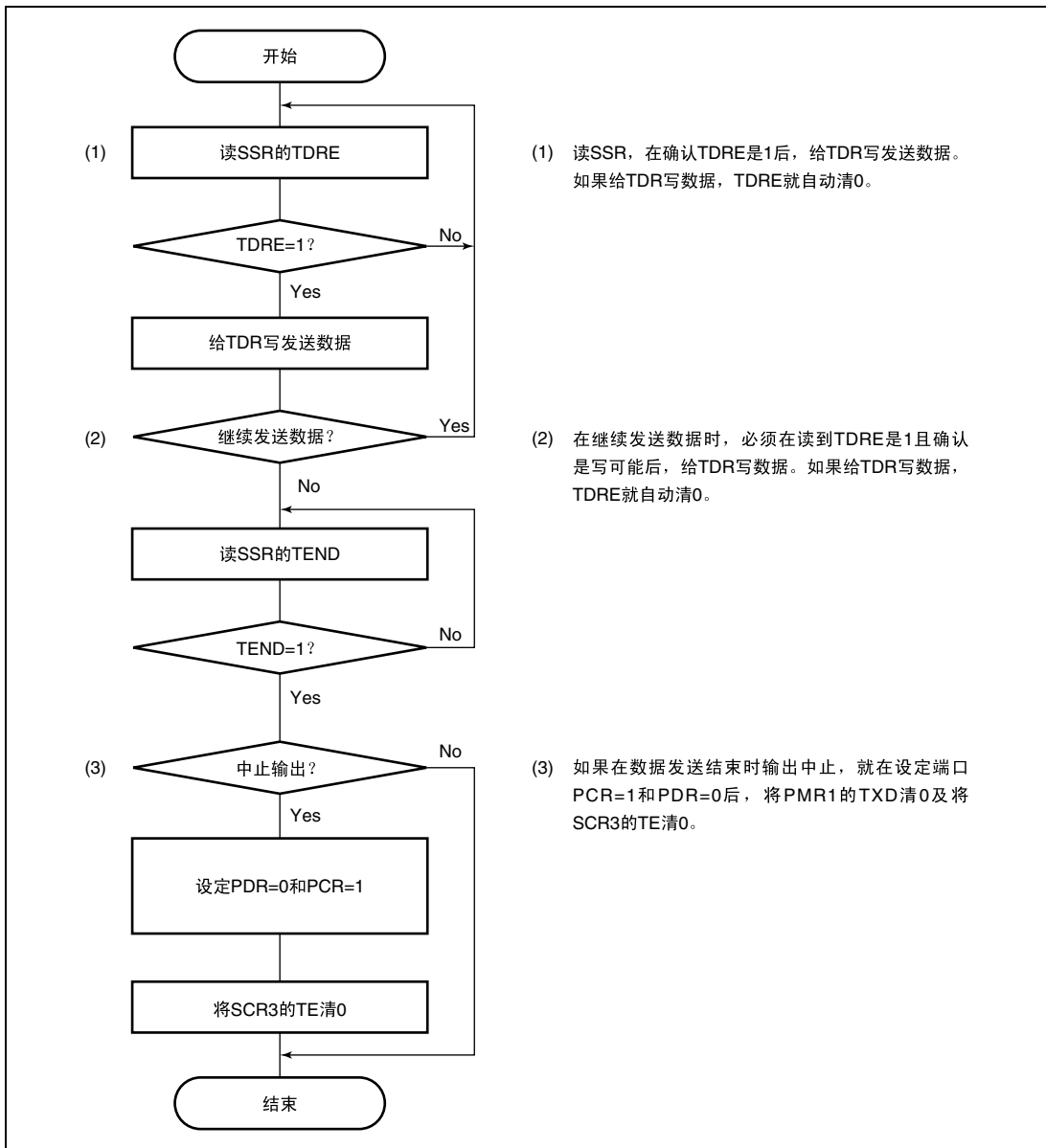
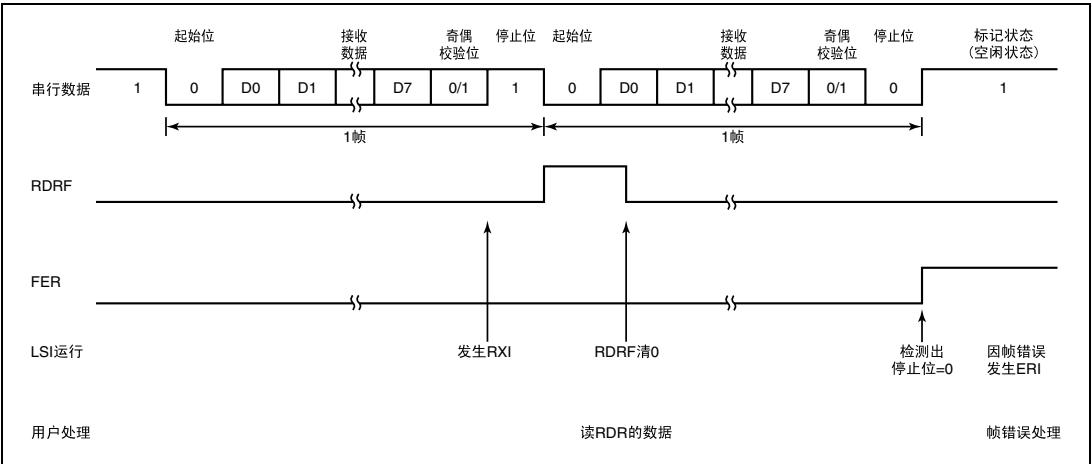


图 13.6 发送数据的流程图例子（异步模式）

13.4.4 数据接收

异步模式接收时的运行例子图 13.7 所示。SCI3 在接收时的运行步骤如下：

- 1. 监视通信线路，如果检测出起始位，就进行内部同步，将接收数据传送给RSR，并检测奇偶校验位和停止位。
- 2. 当发生溢出错误时（在SSR的RDRF被置1的状态下，完成接收下一个数据时），SSR的OER被置位。此时，如果SCR3的RIE被置1，就发生ERI中断请求。接收数据不传送给RDR。
- 3. 在检测出奇偶校验错误时，SSR的PER被置位，并且将接收数据传送给RDR。此时，如果SCR3的RIE已被置1，就发生ERI中断请求。
- 4. 在检测出帧错误（停止位是0的时候）时，SSR的FER被置位，并且将接收数据传送给RDR。此时，如果SCR3的RIE被置1，就发生ERI中断请求。
- 5. 在正常接收时，SSR的RDRF被置位，并且将接收数据传送给RDR。此时，如果SCR3的RIE被置1，就发生RXI中断请求。可以通过该RXI中断处理程序，在下一个数据接收结束之前，读传送到RDR的接收数据，进行连续接收。



在检测出接收错误时，SSR 各状态标志的状态和接收数据的处理如表 13.6 所示。如果检测出接收错误，RDRF 就保持接收数据前的状态。在接收错误被置位的状态下，不能进行以后的接收运行。因此，在继续接收前，必须将 OER、FER、PER 和 RDRF 清 0。接收数据的流程图例子如图 13.8 所示。

表 13.6 SSR 状态标志的状态和接收数据的传送

SSR 状态标志				接收数据	接收错误的状态
RDRF*	OER	FER	PER		
1	1	0	0	丢失	溢出错误
0	0	1	0	传送给 RDR	帧错误
0	0	0	1	传送给 RDR	奇偶校验错误
1	1	1	0	丢失	溢出错误 + 帧错误
1	1	0	1	丢失	溢出错误 + 奇偶校验错误
0	0	1	1	传送给 RDR	帧错误 + 奇偶校验错误
1	1	1	1	丢失	溢出错误 + 帧错误 + 奇偶校验错误

【注】* RDRF 保持数据接收前的状态。

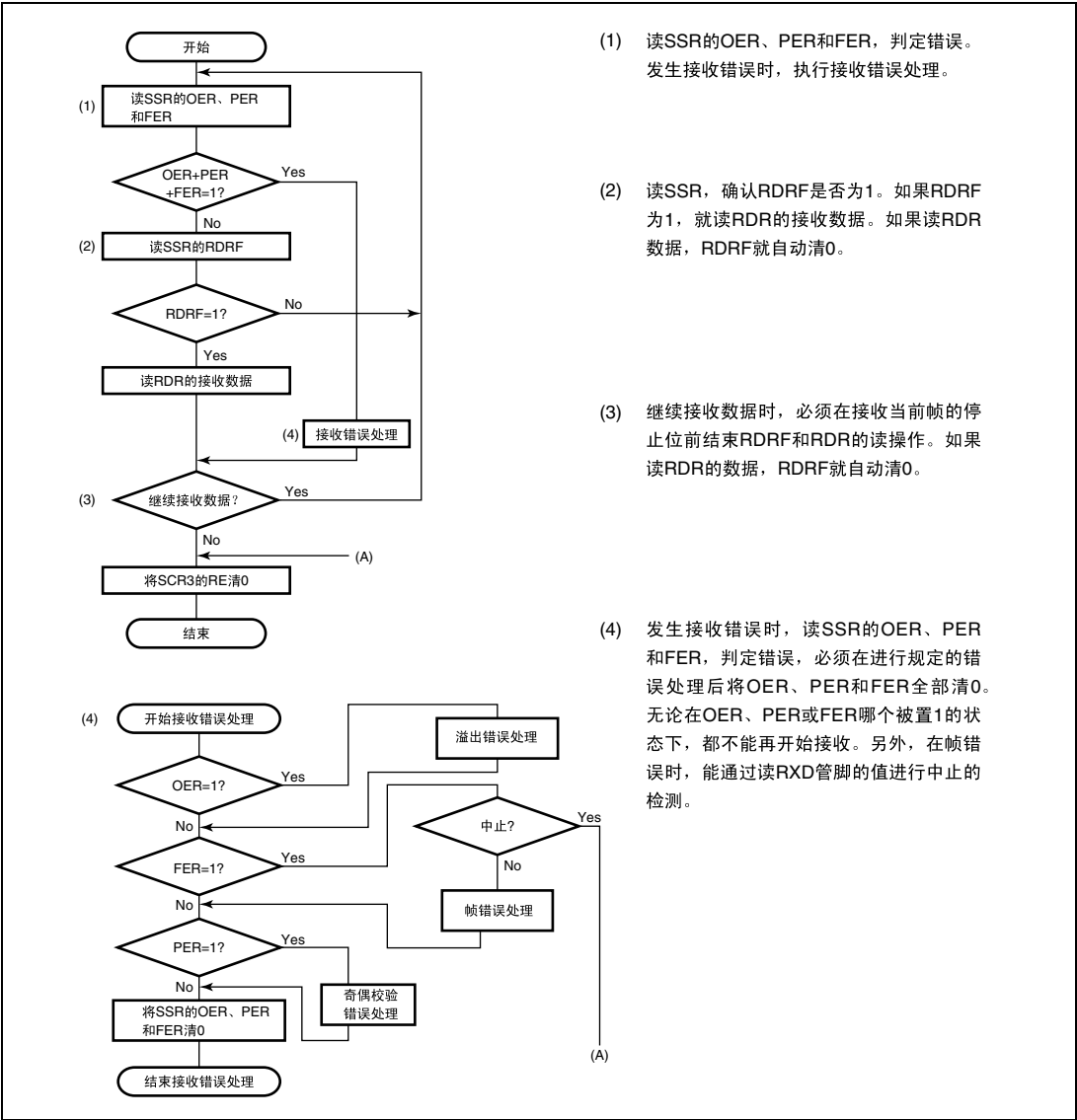


图 13.8 数据接收的流程图例子 (异步模式)

13.5 时钟同步模式的运行说明

时钟同步通信的通信数据格式如图 13.9 所示。在时钟同步模式，与时钟脉冲同步发送和接收数据。通信数据的一个字符由 LSB 开始的 8 位数据构成。SCI3 在发送数据时，从同步时钟的一个下降沿开始到下一个下降沿为止输出数据。在接收数据时，与同步时钟的上升沿同步接收数据。MSB 输出后的通信线路保持 MSB 输出状态。在时钟同步模式，不能附加奇偶校验位和多处理器位。由于在 SCI3 内部，发送部和接收部独立，因此能通过共享时钟进行全双工通信。由于发送部和接收部都采用了双缓冲结构，因此可以通过在发送中写下一个发送数据和在接收中读前一个接收数据，进行连续发送和接收。

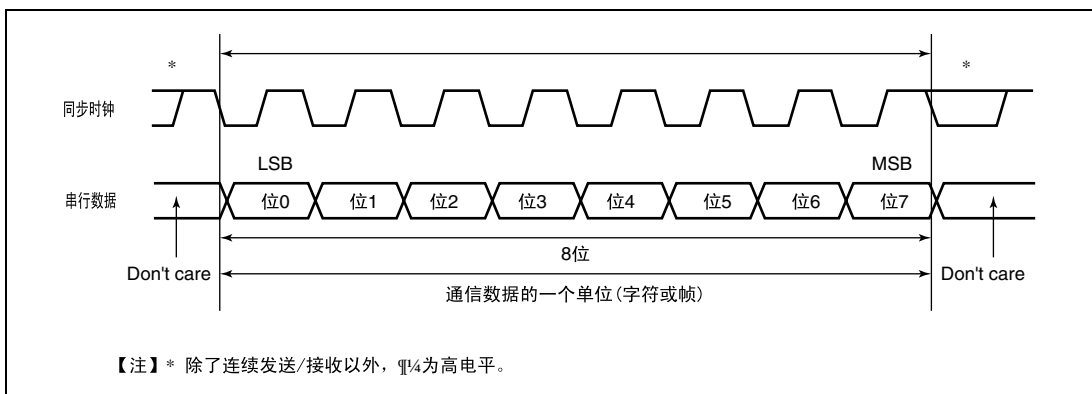


图 13.9 时钟同步通信的数据格式

13.5.1 时钟

通过设定 SMR 的 COM 和 SCR3 的 CKE1、CKE0，能选择内部波特率发生器生成的内部时钟或者选择从 SCK3 管脚输入的外部同步时钟。当以内部时钟运行时，从 SCK3 管脚输出同步时钟。在发送和接收 1 个字符时同步时钟输出 8 个脉冲，在不进行发送和接收时同步时钟被固定为高电平。

13.5.2 SCI3 的初始化

在发送和接收数据前，必须按照图 13.4 的流程图的样子初始化 SCI3。

13.5.3 数据发送

时钟同步模式发送时的运行例子如图 13.10 所示。发送数据时的 SCI3 运行步骤如下：

1. SCI3 监视 SSR 的 TDRE，如果是 0，就被认为数据已写到 TDR，将数据从 TDR 传送给 TSR。
2. 在 TDRE 置 1 后开始发送。此时，如果 SCR3 的 TIE 被置 1，就发生 TXI 中断请求。
3. 在设定为时钟输出模式时，SCI3 输出 8 个脉冲的同步时钟。在设定为外部时钟时，与输入时钟同步输出数据。串行数据由 LSB（位 0）开始按顺序从 TXD 管脚被发送。
4. 在发送 MSB（位 7）的同时检测 TDRE。
5. 如果 TDRE 是 0，就将数据从 TDR 传送给 TSR，并开始发送下一帧。
6. 如果 TDRE 是 1，就给 SSR 的 TEND 置 1，并保持 MSB 输出状态。此时，如果 SCR3 的 TEIE 被置 1，就发生 TEI。
7. 结束发送后，SCK3 管脚被固定为高电平。

发送数据的流程图例子如图 13.11 所示。由于在表示数据接收状态的错误标志（OER、FER、PER）被置 1 的状态下，不能进行发送，因此必须在发送前确认错误标志（OER、FER、PER）是否已被清 0。

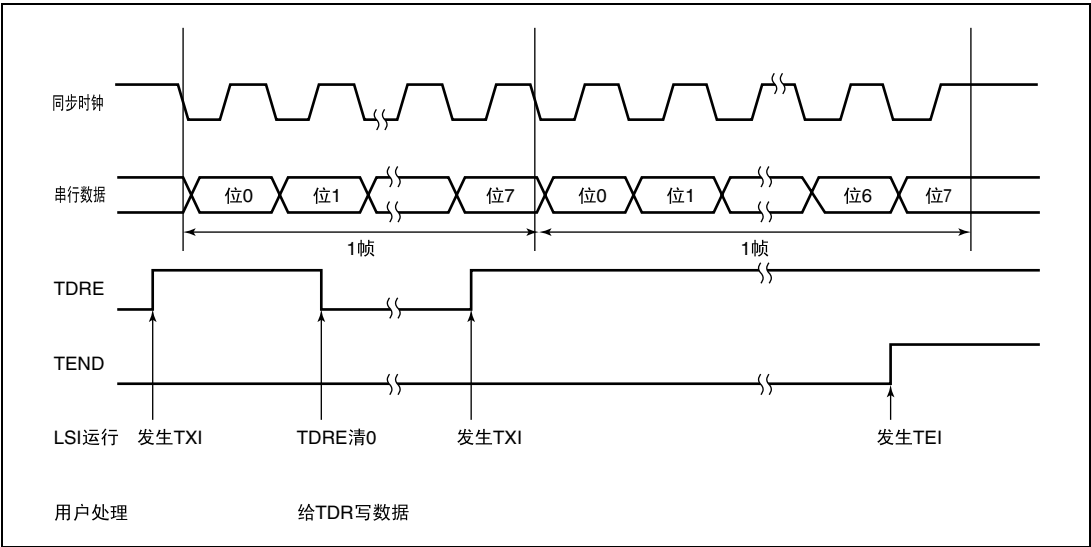


图 13.10 时钟同步模式发送时的运行例子

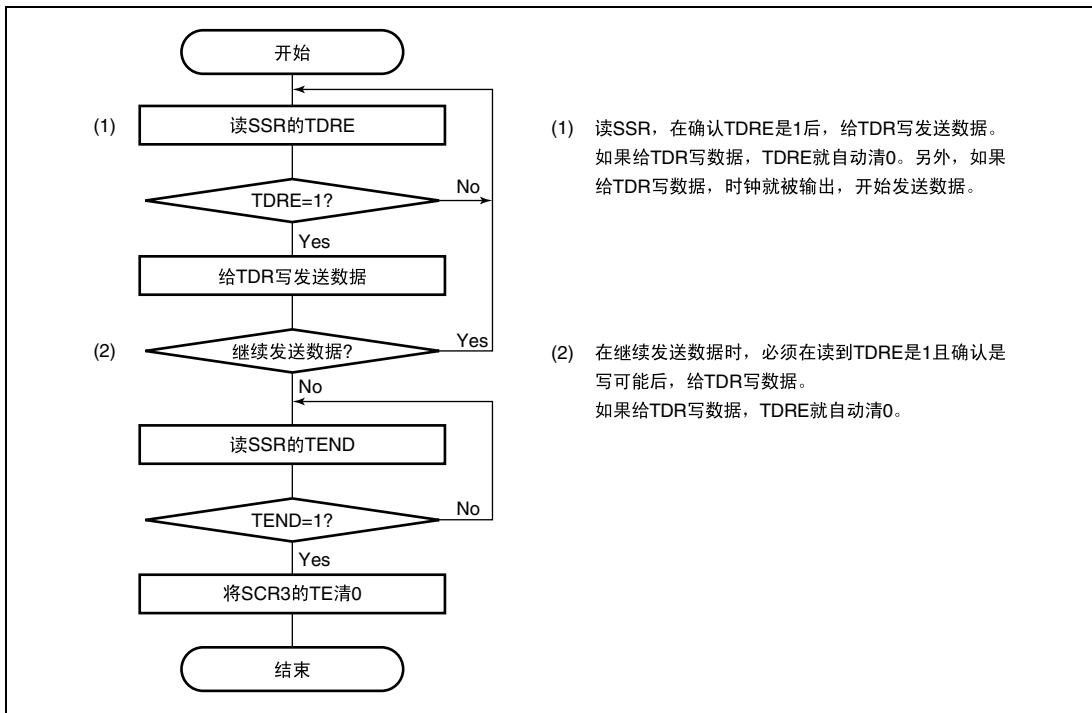


图 13.11 数据发送的流程图例子（时钟同步模式）

13.5.4 数据接收

时钟同步模式接收时的运行例子如图 13.12 所示。接收时的 SCI3 运行步骤如下:

1. SCI3与同步时钟的输入或者输出同步，进行内部初始化，然后开始接收。
2. 将接收的数据传送给RSR。
3. 当发生溢出错误时（在SSR的RDRF置1的状态下完成接收下一个数据时），SSR的OER被置位。此时，如果SCR3的RIE被置1，就发生ERI中断请求。接收数据不传送给RDR。保持RDRF置1的状态。
4. 正常接收时，将SSR的RDRF置位，并且将接收数据传送给RDR。此时，如果SCR3的RIE被置1，就发生RXI中断请求。

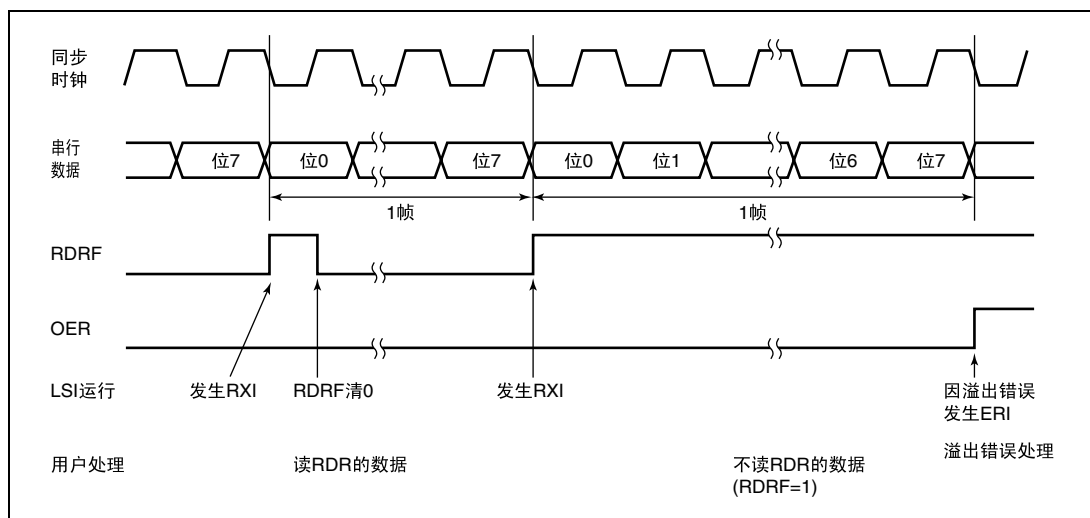


图 13.12 时钟同步模式接收时的运行例子

在接收错误被置位的状态下，不能进行以后的接收运行。因此，在继续接收前，必须将 OER、FER、PER 和 RDRF 清 0。接收数据的流程图例子如图 13.13 所示。

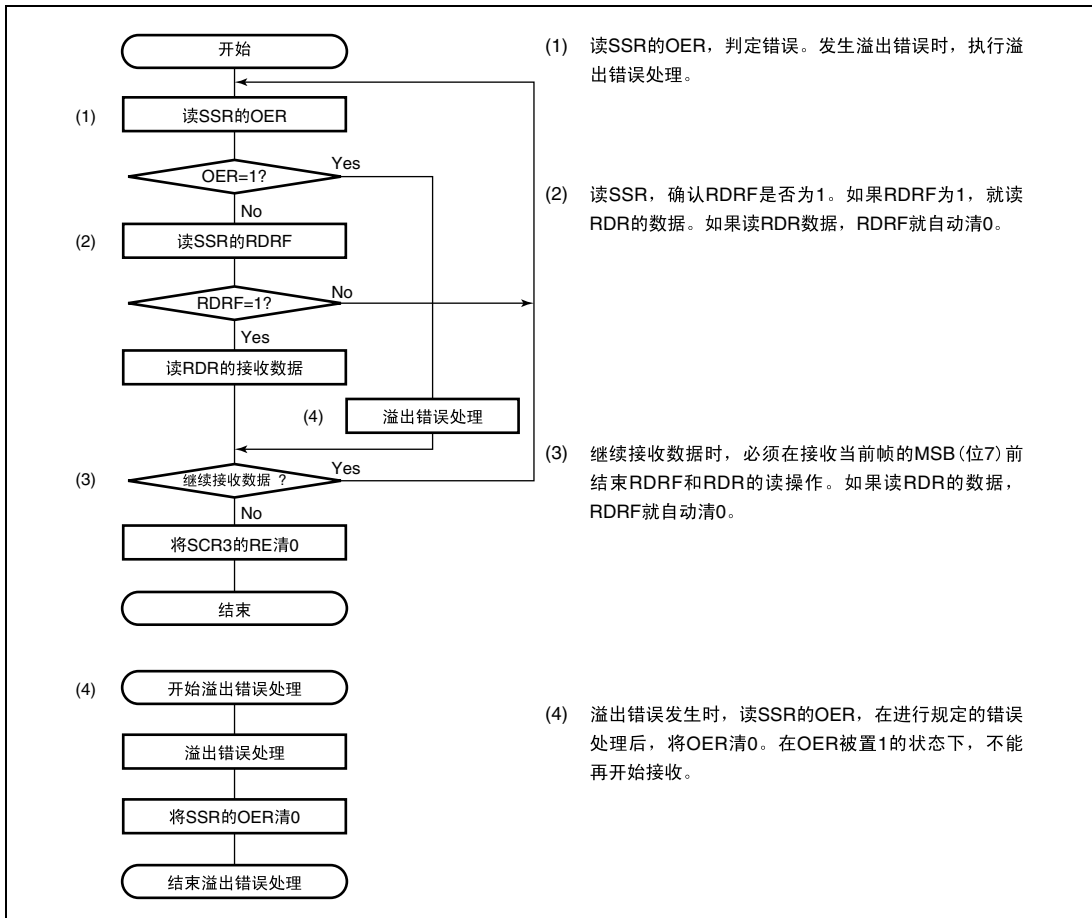


图 13.13 接收数据的流程图例子 (时钟同步模式)

13.5.5 数据发送和接收同时运行

发送和接收数据同时运行的流程图例子如图 13.14 所示。发送和接收数据同时运行必须在 SCI3 初始化后按以下的步骤进行。从发送转换到同时发送和接收时，在确认 SCI3 是发送结束状态，并且 TDRE 和 TEND 被置 1 以后，将 TE 清 0，然后用一条指令将 TE 和 RE 同时置 1。从接收转换到同时发送和接收时，在确认 SCI3 是接收结束状态后，将 RE 清 0，然后在确认 RDRF 和错误标志 (OER、FER、PER) 被清 0 后，用一条指令将 TE 和 RE 同时置 1。

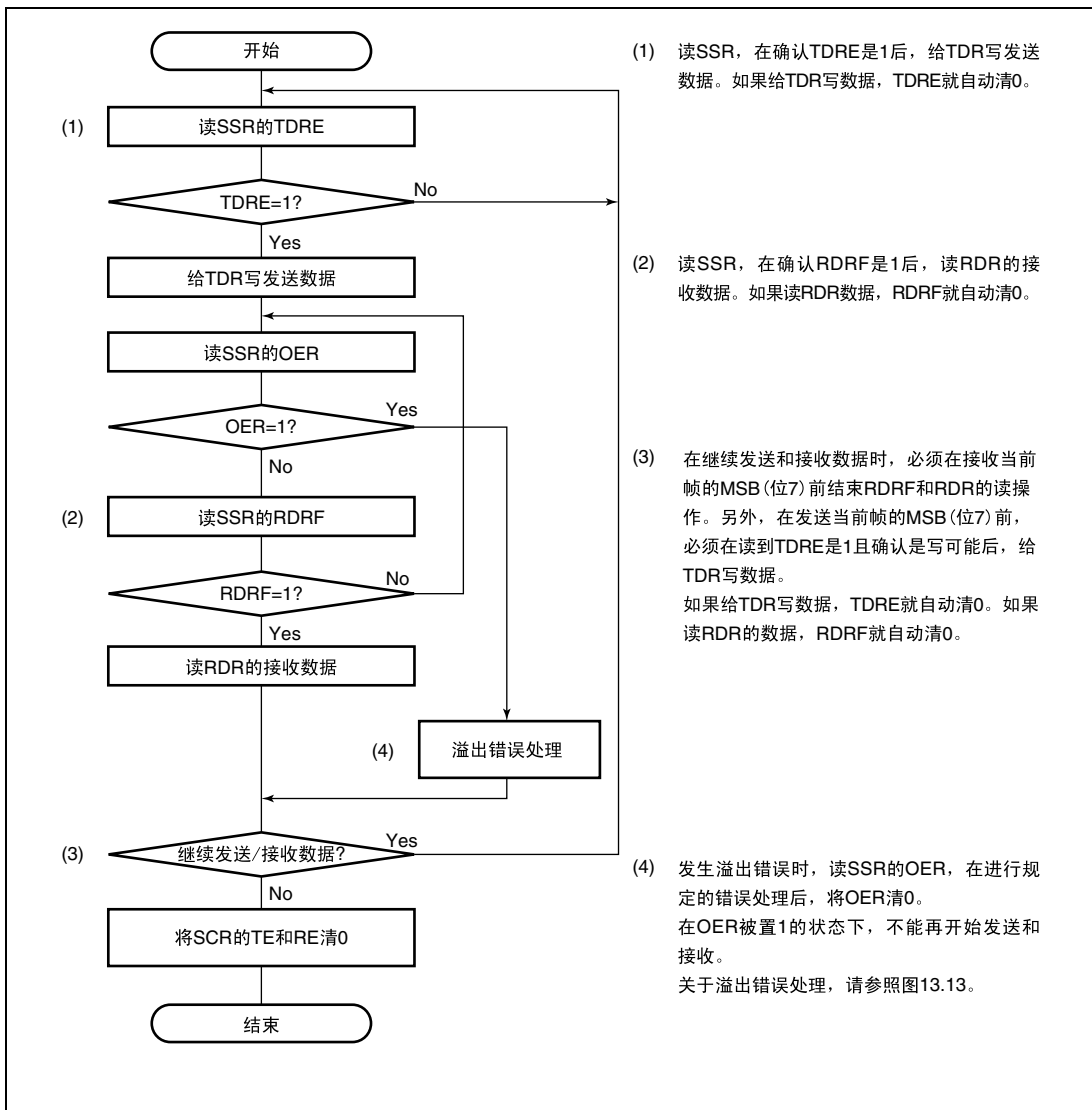


图 13.14 数据发送和接收同时运行的流程图例子 (时钟同步模式)

13.6 多处理器通信功能

如果使用多处理器通信功能，就能通过附加多处理器位的异步串行通信，在多处理器之间共用通信线路发送和接收数据。在多处理器通信时，给各接收站分配一个特有的 ID 码。由指定接收站的 ID 发送周期和对指定接收站的数据发送周期构成串行通信周期。由多处理器位区分 ID 发送周期和数据发送周期。当多处理器位是 1 时，为 ID 发送周期；当多处理器位是 0 时，为数据发送周期。使用多处理器格式的处理器之间的通信例子如图 13.15 所示。发送站首先发送将多处理器位为 1 的数据附加于接收站 ID 码的通信数据，然后发送将多处理器位为 0 的数据附加于发送数据的通信数据。接收站如果接收到多处理器位为 1 的通信数据，就与本站的 ID 比较。如果一致，就继续接收被发送的通信数据；如果不一致，就在再次接收到多处理器位是 1 的通信数据前，跳过通信数据。

SCI3 为了支持这个功能，在 SCR3 预备了 MPIE 位。如果将 MPIE 置 1，就在接收到多处理器位为 1 的数据前，禁止将接收数据从 RSR 传送到 RDR、禁止检测接收错误和禁止将 SSR 的 RDRF、FER 和 OER 各状态标志置位。如果接收到多处理器位为 1 的接收字符，就在将 SSR 的 MPBR 置 1 的同时，自动清除 MPIE，并返回通常的接收运行状态。此时，如果 SCR3 的 RIE 被置位，就发生 RXI 中断。

在指定了多处理器格式的情况下，奇偶校验位的指定为无效。除此以外，与通常的异步模式相同。进行多处理器通信时的时钟也和通常的异步模式相同。

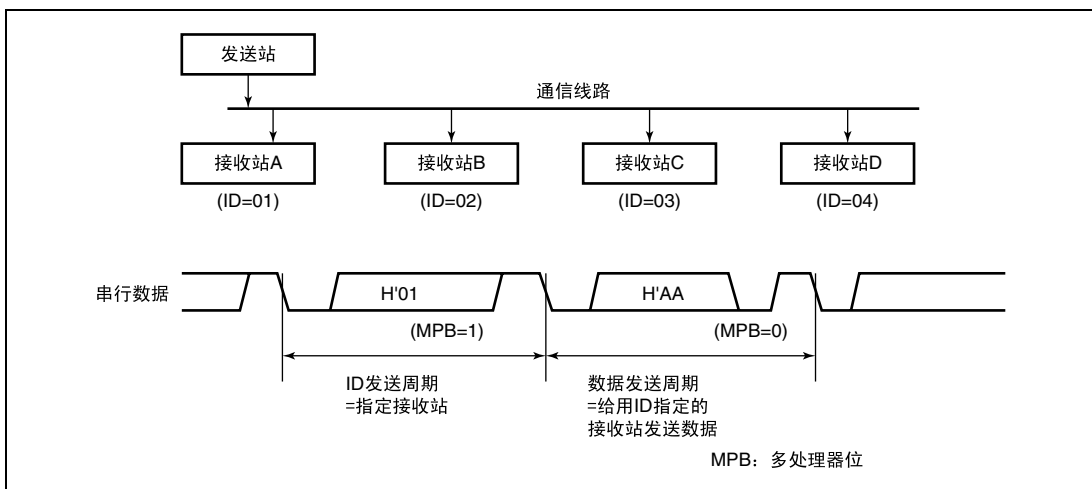


图 13.15 使用多处理器格式的处理器之间的通信例子
(给接收站 A 发送数据 H'AA 的例子)

13.6.1 多处理器数据发送

多处理器数据发送的流程图例子如图 13.16 所示。在 ID 发送周期, 必须在将 SSR 的 MPBT 置 1 后发送。在数据发送周期, 必须在将 SSR 的 MPBT 清 0 后发送。其它运行和异步模式的运行相同。

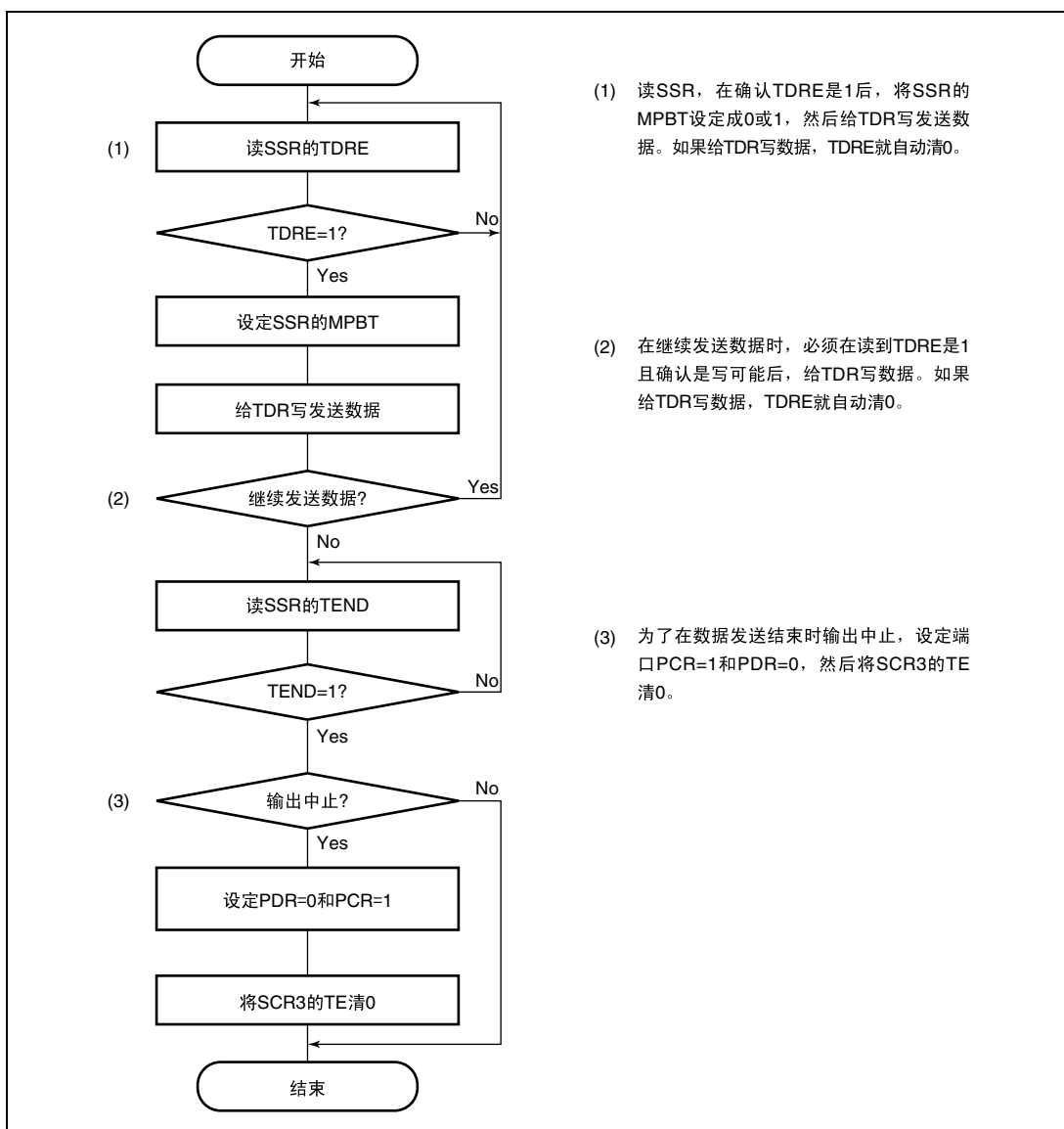


图 13.16 多处理器数据发送的流程图例子

13.6.2 多处理器数据接收

多处理器数据接收的流程图例子如图 13.17 所示。如果 SCR3 的 MPIE 置 1，就在接收到多处理器位是 1 的通信数据之前，跳过通信数据。如果接收到多处理器位是 1 的通信数据，就将接收数据传送给 RDR，此时，发生 RXI 中断请求。其它运行和异步模式的运行相同。接收时的运行例子如图 13.18 所示。

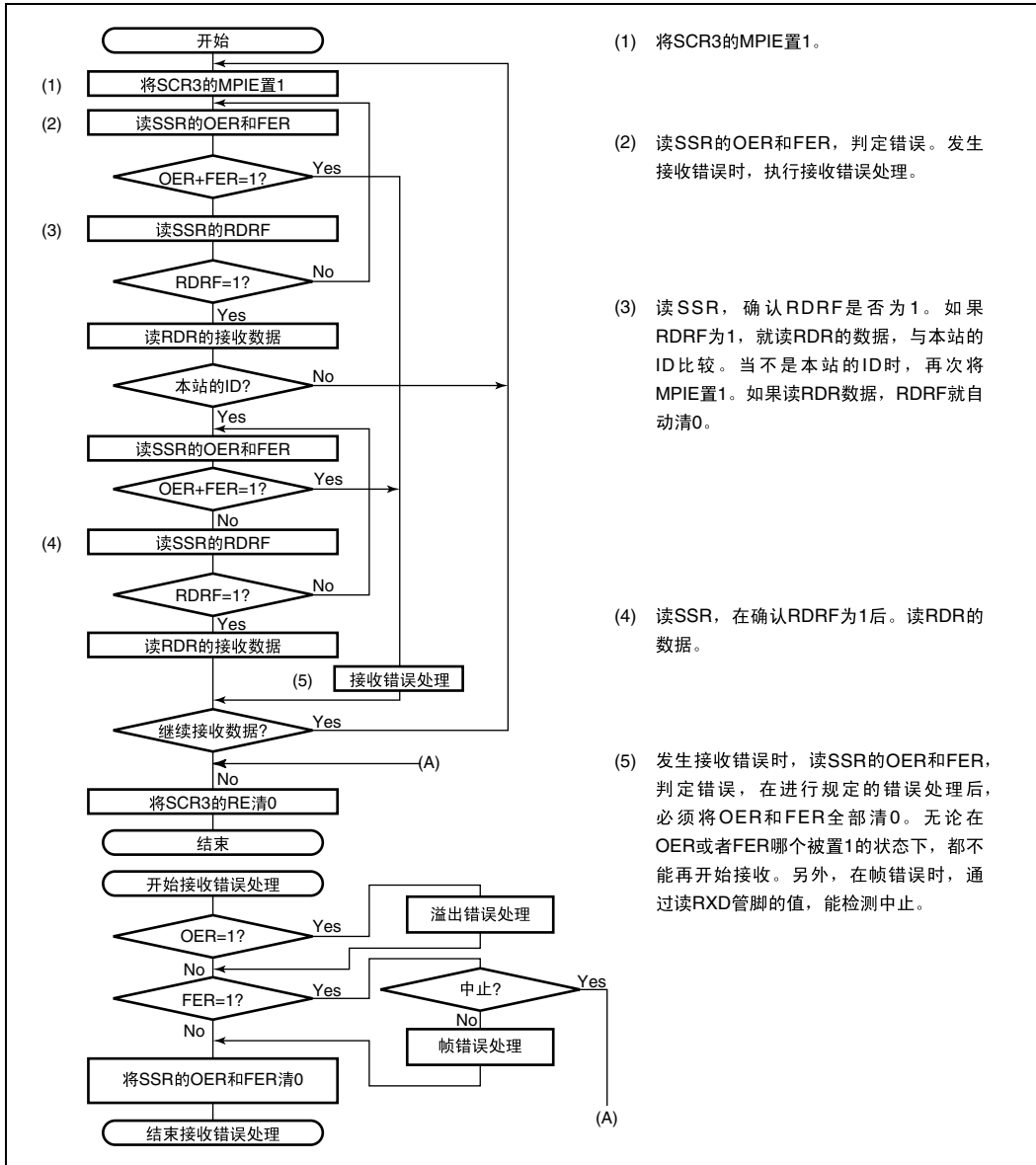


图 13.17 多处理器数据接收的流程图例子

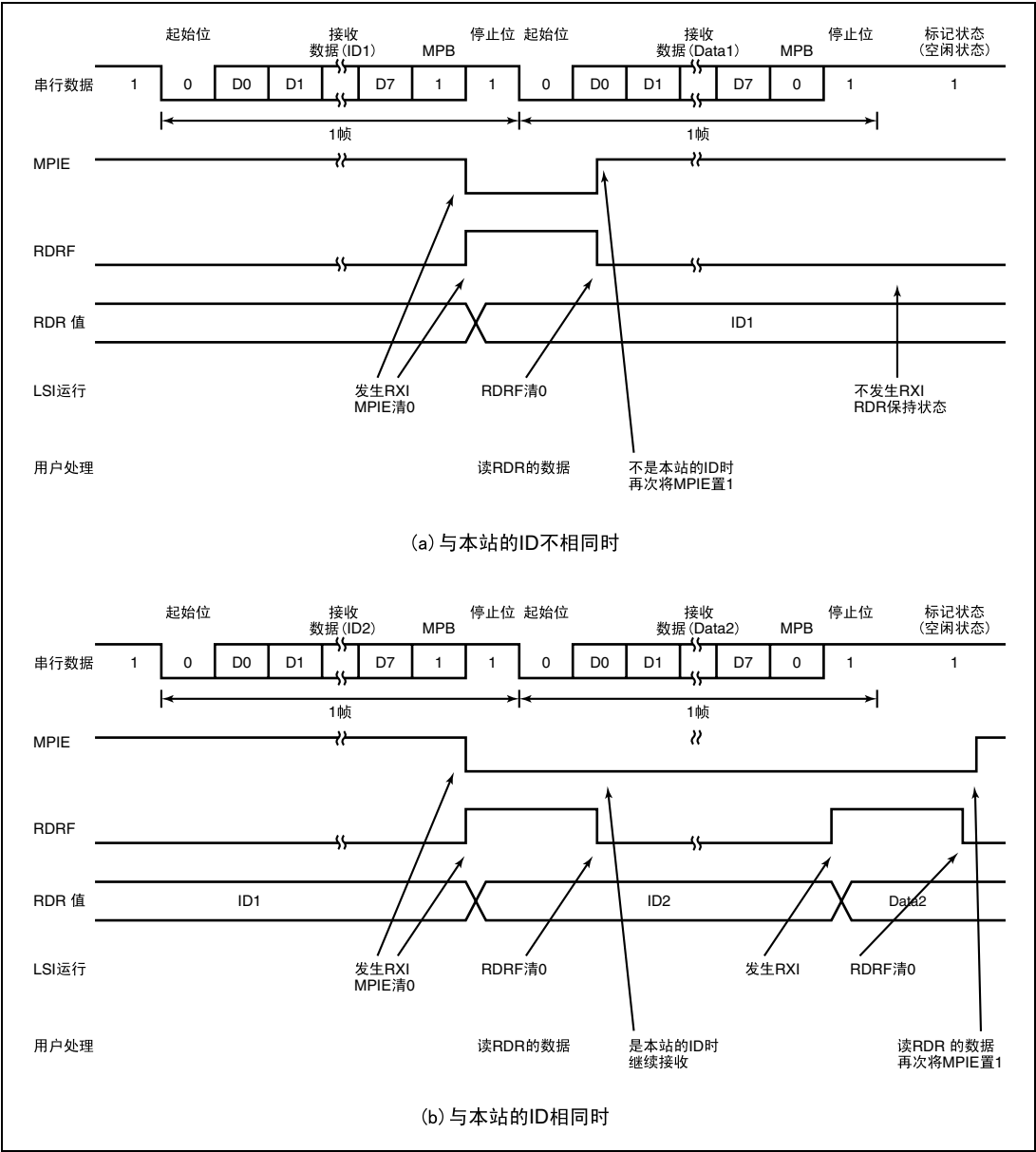


图 13.18 多处理器格式的接收时的运行例子
(8 位数据/有多处理器位/1 个停止位的例子)

13.7 中断请求

SCI3 生成的中断请求有 6 种：发送结束、发送数据空、接收数据满以及接收错误（溢出错误、帧错误和奇偶校验错误）。各中断请求的内容如表 13.7 所示。

表 13.7 SCI3 的中断请求

中断请求	略称	中断源
接收数据满	RXI	SSR 的 RDRF 置位
发送数据空	TXI	SSR 的 TDRE 置位
发送结束	TEI	SSR 的 TEND 置位
接收错误	ERI	SSR 的 OER、FER 和 PER 置位

SSR 的 TDRE 的初始值为 1。因此，如果在给 TDR 传送发送数据前，将 SCR3 的 TIE 置 1，即使没准备好发送数据也发生 TXI。另外，SSR 的 TEND 的初始值为 1。如果在给 TDR 传送发送数据前，将 SCR3 的 TEIE 置 1，即使发送数据没被发送也发生 TEI。在中断处理程序中，通过给 TDR 传送发送数据的处理，能有效地利用这些中断请求。相反，为了防止发生这些中断请求（TXI、TEI），在给 TDR 传送发送数据后，必须将对应这些中断请求的允许位（TIE、TEIE）置 1。

13.8 使用上的注意事项

13.8.1 关于中止的检测和处理

在检测帧错误时，能通过直接读 RXD 管脚的值检测中止。因为，在中止期间 RXD 管脚的输入全部为 0，所以 FER 被置位，而且 PER 也可能被置位。SCI3 在接收了中止以后还继续接收运行。因此，请注意，即使 FER 被清 0，也会再次被置 1。

13.8.2 标记状态和中止的发送

TE 是 0 时，TXD 管脚成为由 PDR 和 PCR 决定输入/输出方向和电平的 I/O 端口。利用它能将 TXD 管脚变为标记状态，或者在数据发送时，能发送中止。为了在将 TE 置 1 前使通信线路为标记状态（1 的状态），设定 PCR=1 和 PDR=1。这时，由于 TE 被清 0，因此 TXD 管脚变为 I/O 端口，并且从 TXD 管脚输出 1。另外，在数据发送时，如果要发送中止，就在设定 PCR=1 和 PDR=0 后将 TE 清 0。如果 TE 清 0，与现在的发送状态无关，发送部被初始化，TXD 管脚变为 I/O 端口，并且从 TXD 管脚输出 0。

13.8.3 关于接收错误标志和发送运行（只限时钟同步模式）

在接收错误标志（OER、PER、FER）被置 1 的状态下，即使 TDRE 清 0，也不能开始发送。在开始发送时，必须将接收错误标志清 0。另外，请注意，即使 RE 清 0，也不能将接收错误标志清 0。

13.8.4 异步模式的接收数据采样时序和接收容限

在异步模式，SCI3 以频率为 16 倍传送率的基本时钟运行。在接收时，SCI3 用基本时钟采样起始位的下降沿使内部同步。另外，在基本时钟的第 8 个上升沿，将接收数据取到内部，如图 13.19 所示。

因此，在异步模式的接收容限能用式（1）表示。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5) F \right\} \times 100 (\%) \quad \cdots \cdots \text{式 (1)}$$

N: 对于时钟的位传输率的比率 (N=16)

D: 时钟的占空比 (D=0.5~1.0)

L: 帧长 (L=9~12)

F: 时钟频率的偏差绝对值

在式（1），假设 F（时钟频率的偏差绝对值）=0、D（时钟的占空比）=0.5，

$$M = \{ 0.5 - 1 / (2 \times 16) \} \times 100 (\%) = 46.875\%$$

但是，因为此值只是计算值，所以在系统设计时应留有 20~30% 的容限。

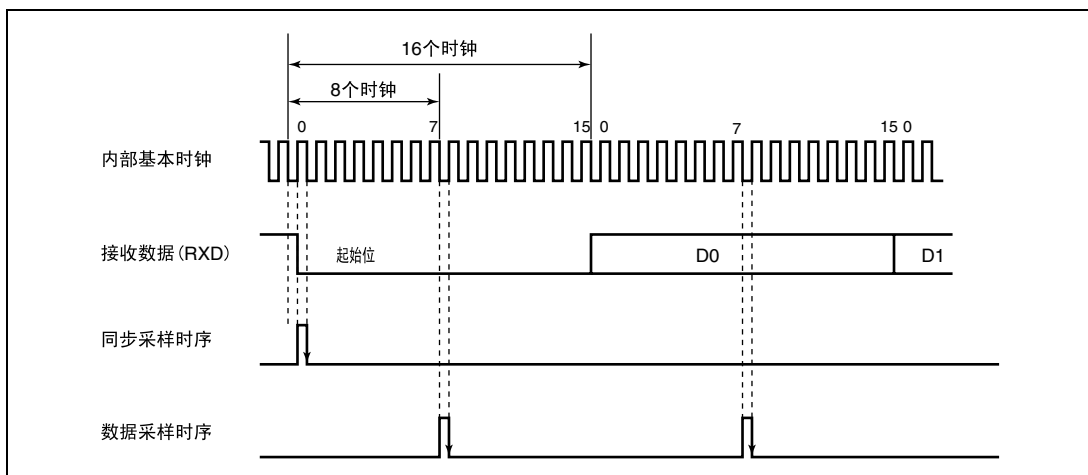


图 13.19 异步模式的接收数据的采样时序

第 14 章 A/D 转换器

是逐次逼近方式的 10 位 A/D 转换器，最多能转换 4 个通道的模拟输入。A/D 转换器的框图如图 14.1 所示。

14.1 特点

- 分辨率：10 位
- 输入通道：4 个通道
- 高速转换：每 1 个通道最小 3.5 μ s（在 20MHz 运行时）
- 运行模式：2 种
 - 单通道模式：1 个通道的 A/D 转换
 - 扫描模式：1~4 个通道的连续 A/D 转换
- 数据寄存器：4 个
 - A/D 转换结果被传送到对应各通道的数据寄存器，并且被保持。
- 采样和保持功能
- 开始转换的方法：2 种
 - 可通过软件或者外部触发信号开始 A/D 转换
- 中断源
 - 能产生 A/D 转换结束的中断（ADI）请求。

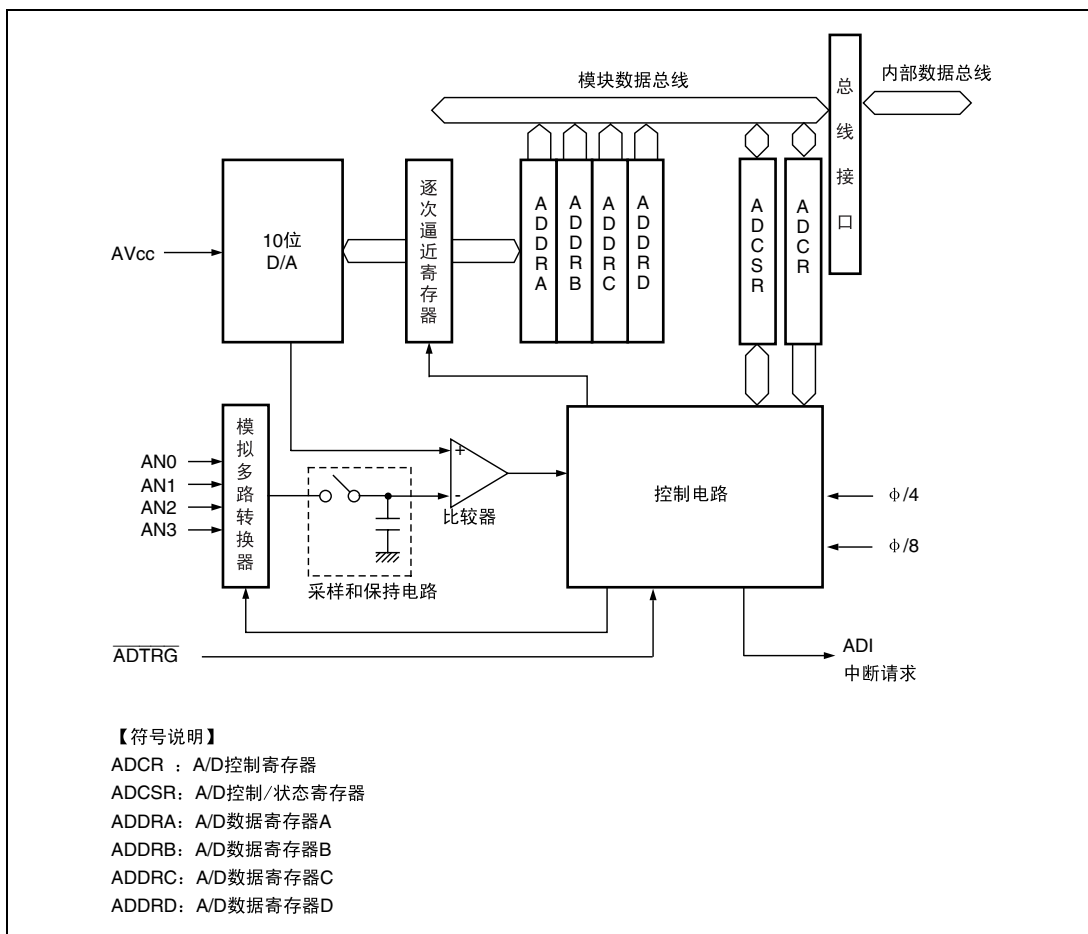


图 14.1 A/D 转换器的框图

14.2 输入/输出管脚

在 A/D 转换器中使用的管脚如表 14.1 所示。

表 14.1 管脚结构

管脚名称	略称	输入/输出	功 能
模拟电源管脚	AVcc	输入	模拟部的电源管脚
模拟输入管脚 0	AN0	输入	模拟输入管脚
模拟输入管脚 1	AN1	输入	
模拟输入管脚 2	AN2	输入	
模拟输入管脚 3	AN3	输入	
A/D 外部触发输入管脚	ADTRG	输入	用于开始 A/D 转换的外部触发输入管脚

14.3 寄存器说明

A/D 转换器有以下寄存器：

- A/D 数据寄存器 A（ADDRA）
- A/D 数据寄存器 B（ADDRB）
- A/D 数据寄存器 C（ADDRC）
- A/D 数据寄存器 D（ADDRD）
- A/D 控制/状态寄存器（ADCSR）
- A/D 控制寄存器（ADCR）

14.3.1 A/D 数据寄存器 A～D（ADDRA～D）

A/D 数据寄存器是用于存储 A/D 转换结果的 16 位只读寄存器，有 ADDRA～ADDRD 4 个。存储各模拟输入通道的转换结果的 A/D 数据寄存器如表 14.2 所示。

10 位转换数据被存储在 A/D 数据寄存器的位 15 到位 6。低 6 位的读出值总是为 0。与 CPU 之间的数据总线为 8 位宽度，可从 CPU 直接读取高位字节，但是，对于低位字节，将读取在读高位字节时被传送到暂存器的数据。因此，在读 A/D 数据寄存器时，必须字存取或者只读高位字节。ADDR 的初始值是 H'0000。

表 14.2 模拟输入通道与 A/D 数据寄存器的对应

模拟输入通道	存储转换结果的 A/D 数据寄存器
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD

14.3.2 A/D 控制/状态寄存器（ADCSR）

ADCSR 由 A/D 转换器的控制位和转换结束状态位构成。

位	位名	初始值	R/W	说 明
7	ADF	0	R/W	A/D 结束标志 [置位条件] • 在单通道模式，A/D 转换结束时 • 在扫描模式，选择的所有通道一次转换结束时 [清除条件] • 在读到 1 的状态后，写 0 时
6	ADIE	0	R/W	A/D 中断允许 如果该位置 1，就允许由 ADF 产生的 A/D 转换结束的中断请求（ADI）。
5	ADST	0	R/W	A/D 开始 如果该位置 1，就开始 A/D 转换。在单通道模式，如果结束 A/D 转换，该位就被自动清除。在扫描模式，在该位被软件、复位或者待机模式清除前，依次连续转换被选择的通道。
4	SCAN	0	R/W	扫描模式 选择 A/D 转换模式。 0：单通道模式 1：扫描模式
3	CKS	0	R/W	时钟选择 设定 A/D 转换时间。 0：转换时间=134 个状态（max） 1：转换时间=70 个状态（max） 必须在 ADST=0 的状态下，切换转换时间。

位	位名	初始值	R/W	说 明
2	CH2	0	R/W	通道选择 2~0
1	CH1	0	R/W	选择模拟输入通道。
0	CH0	0	R/W	SCAN=0 时SCAN=1 时 X00: AN0X 00: AN0 X 01: AN1X 01: AN0~AN1 X 10: AN2X 10: AN0~AN2 X 11: AN3X 11: AN0~AN3

【注】X: Don't care

14.3.3 A/D 控制寄存器（ADCR）

ADCR 允许由外部触发的 A/D 转换开始。

位	位名	初始值	R/W	说 明
7	TRGE	0	R/W	触发允许 如果该位置 1，就在外部触发管脚（ $\overline{\text{ADTRG}}$ ）的上升沿或者下降沿开始 A/D 转换。 根据中断边沿选择寄存器 2（IEGR2）的 WPEG5 的设定，选择外部触发管脚（ADTRG）的上升沿或者下降沿。
6~1	—	全 1	—	保留位。总是读出 1。
0	—	0	R/W	保留位。可读写，但不能设定成 1。

14.4 运行说明

A/D 转换器采用逐次逼近方式，其分辨率为 10 位。运行模式有单通道模式和扫描模式。为了避免误动作，必须在 ADCSR 的 ADST 位为 0 的状态下，切换运行模式或者切换模拟输入通道。在改变运行模式或者改变模拟输入通道的同时，可以进行 ADST 位的置位。

14.4.1 单通道模式

单通道模式按下列顺序对指定的 1 个通道的模拟输入进行一次 A/D 转换：

1. 如果通过软件或者外部触发输入将 ADCSR 的 ADST 位置 1，就开始对选择的通道进行 A/D 转换。
2. 如果 A/D 转换结束，A/D 转换结果就被传送到对应该通道的 A/D 数据寄存器。
3. 在 A/D 转换结束时，ADCSR 的 ADF 标志被置 1，此时，如果 ADIE 位被置 1，就发生 ADI 中断请求。
4. ADST 位在 A/D 转换中保持 1。在转换结束时被自动清除，A/D 转换器变为待机状态。

14.4.2 扫描模式

扫描模式按下列顺序对指定的最多 4 个通道的模拟输入进行连续 A/D 转换。

1. 如果通过软件或者外部触发输入将 ADCSR 的 ADST 位置 1，就从第 1 个通道开始 A/D 转换。
2. 如果各通道的 A/D 转换结束，A/D 转换结果就被依次传送到对应该通道的 A/D 数据寄存器。
3. 如果选择的所有通道的 A/D 转换结束，ADCSR 的 ADF 标志就被置 1。此时，如果 ADIE 位被置 1，就发生 ADI 中断请求。A/D 转换器再次从组的第 1 个通道开始 A/D 转换。
4. ADST 位不被自动清除，在被置成 1 的期间重复 2.~3.。如果将 ADST 位清 0，就停止 A/D 转换。

14.4.3 输入采样和 A/D 转换时间

A/D 转换器内藏采样和保持电路。在从 ADST 位被置 1 开始经过 t_D 时间后，A/D 转换器对输入进行采样，然后开始转换。A/D 转换的时序如图 14.2 所示，A/D 转换时间如表 14.3 所示。

如图 14.2 所示，A/D 转换时间包含 t_D 和输入采样时间。在此， t_D 根据给 ADCSR 的写时序决定，不为定值。因此，转换时间在表 14.3 所示的范围内变化。扫描模式的转换时间虽然以表 14.3 所示的值为第一次转换时间，但是，第二次以后的转换时间，当 CKS=0 时，为 128 个状态（固定）；当 CKS=1 时，为 66 个状态（固定）。

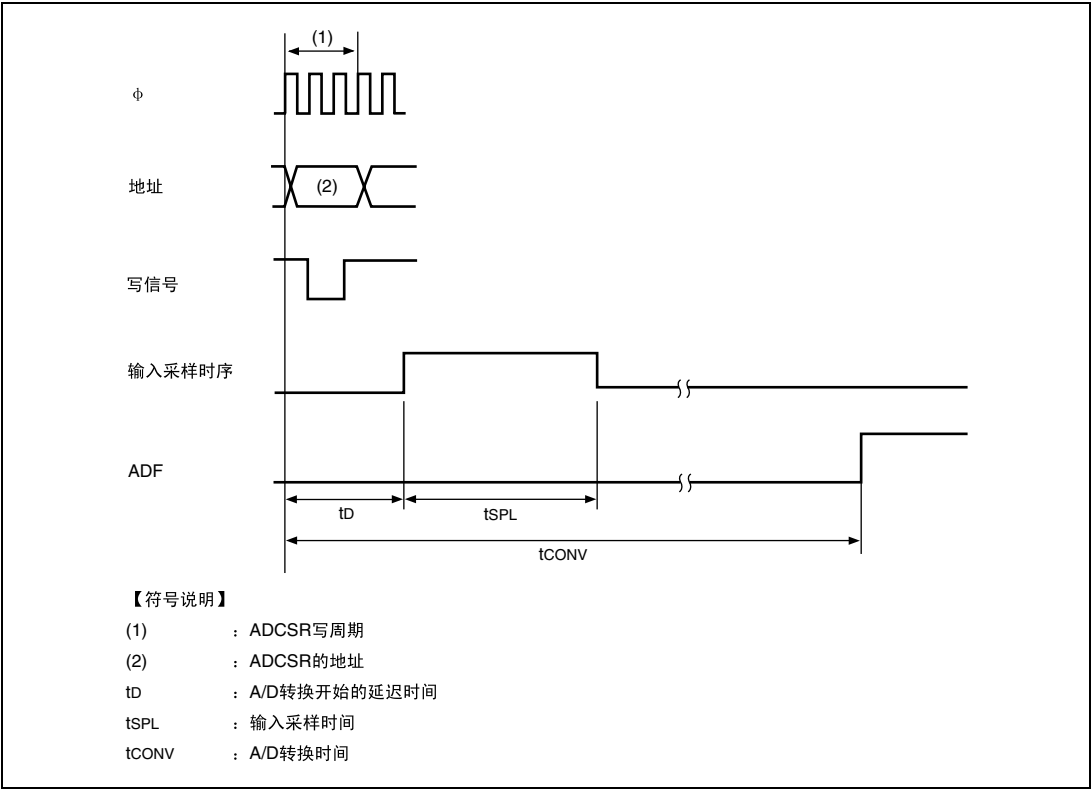


图 14.2 A/D 转换时序

表 14.3 A/D 转换时间（单通道模式）

	符号	CKS=0			CKS=1		
		min	typ	max	min	typ	max
开始 A/D 转换的延迟时间	t_D	6	—	9	4	—	5
输入采样时间	t_{SPL}	—	31	—	—	15	—
A/D 转换时间	t_{CONV}	131	—	134	69	—	70

【注】表中的数值单位是状态。

14.4.4 外部触发输入时序

能通过外部触发输入，开始 A/D 转换。在 ADCR 的 TRGE 位置 1 时，外部触发输入从 $\overline{ADTRG}$ 管脚输入。在 $\overline{ADTRG}$ 输入管脚的下降沿，ADCSR 的 ADST 位被置 1，开始 A/D 转换。不论是单通道模式还是扫描模式，其它的运行与通过软件将 ADST 位置成 1 的情况相同。此时序如图 14.3 所示。

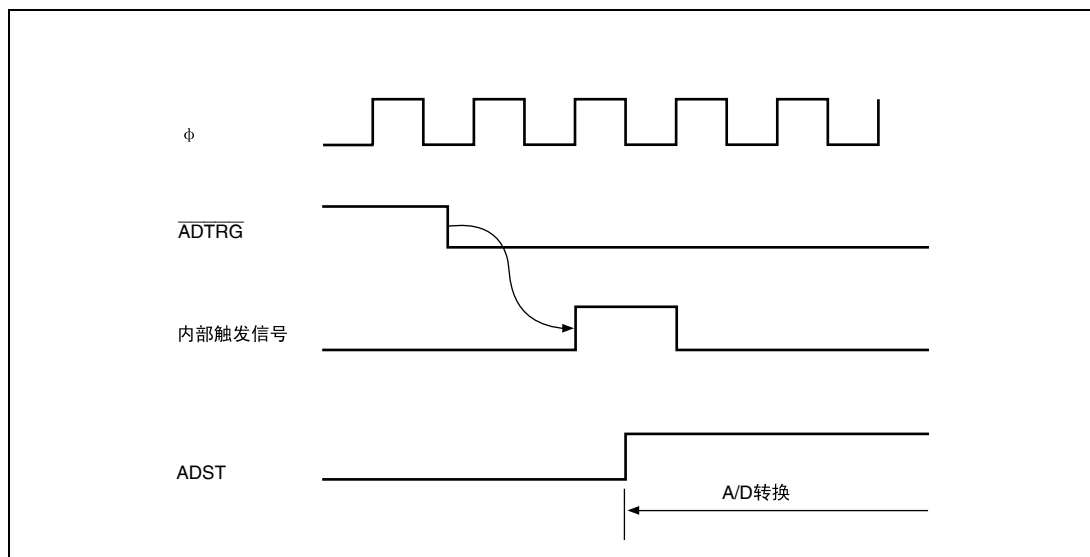


图 14.3 外部触发输入时序

14.5 A/D 转换精度的定义

本 LSI 的 A/D 转换精度的定义如下：

- 分辨率

A/D 转换器的数字输出码位数

- 量化误差

A/D 转换器固有的偏差，为 $1/2\text{LSB}$ （图 14.4）。

- 偏移误差

在数字输出从最小电压值 0000000000 变化到 0000000001 时，来自模拟输入电压值的理想 A/D 转换特性的偏差（图 14.5）。

- 满刻度误差

在数字输出从 1111111110 变化到 1111111111 时，来自模拟输入电压值的理想 A/D 转换特性的偏差（图 14.5）。

- 非线性误差

来自从零电压到满刻度电压之间的理想 A/D 转换特性的误差。但是，不含有偏移误差、满刻度误差和量化误差。

- 绝对精度

数字值和模拟输入值的偏差。含有偏移误差、满刻度误差、量化误差和非线性误差。

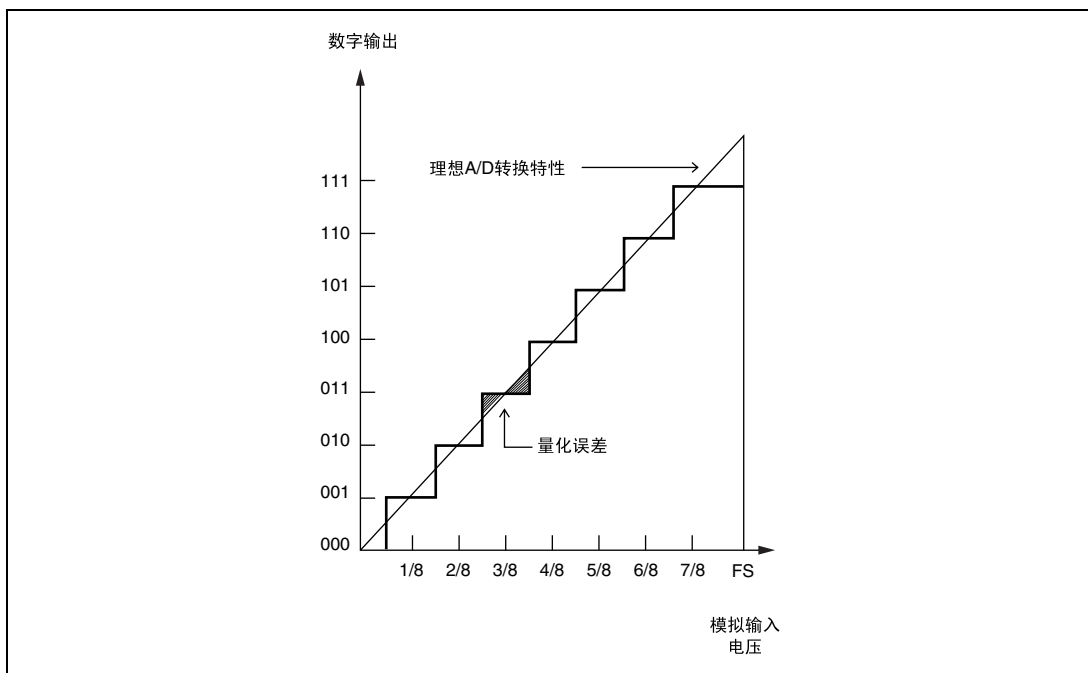


图 14.4 A/D 转换精度的定义 (1)

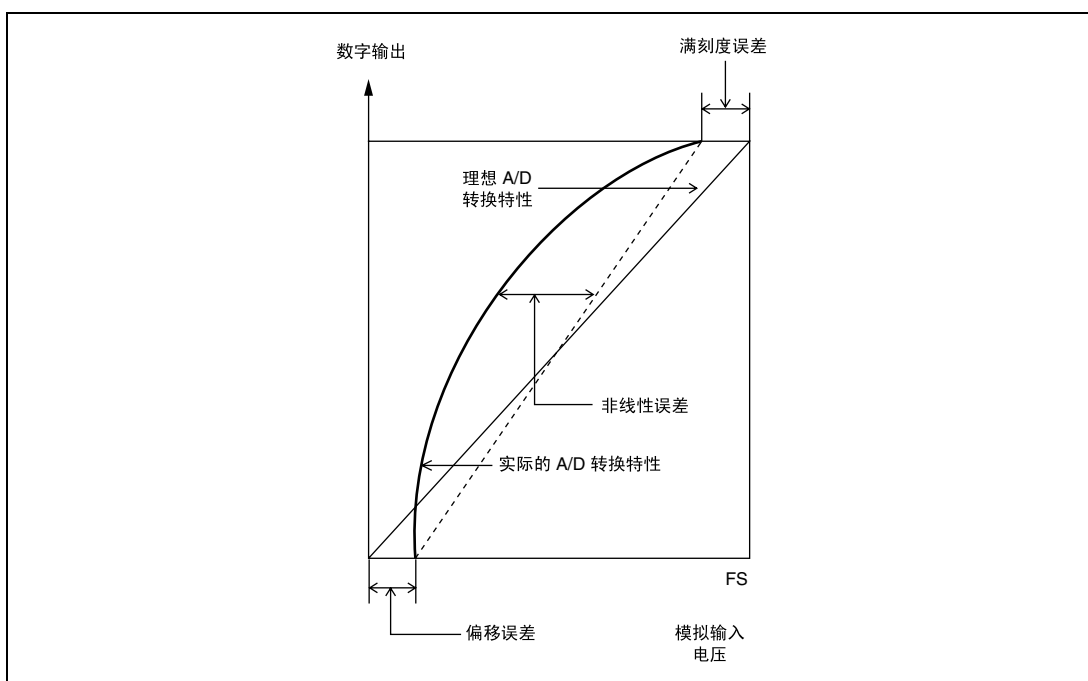


图 14.5 A/D 转换精度的定义 (2)

14.6 使用上的注意事项

14.6.1 关于容许信号源阻抗

本 LSI 的模拟输入对于信号源阻抗为 $5k\Omega$ 以下的输入信号，保证其转换精度。这是为了在采样时间内，对 A/D 转换器的采样和保持电路的输入电容进行充电所制定的规格，在传感器的输出阻抗超过 $5k\Omega$ 时，会发生充电不足和不能保证 A/D 转换精度的情况。在单通道模式进行转换，并且在外部设置大电容的情况下，由于输入负载实际上仅变成了 $10k\Omega$ 的内部输入电阻，因此可忽略信号源阻抗。但是，在这种情况下，形成一个低通滤波器，可能无法跟踪大微分系数的模拟信号（如电压的变动率在 $5mV/\mu s$ 以上）（图 14.6）。在转换高速模拟信号的情况下，或者在扫描模式进行转换的情况下，必须插入一个低阻抗的缓冲器。

14.6.2 关于对绝对精度的影响

由于附加电容会导致与 GND 的耦合，因此，如果在 GND 中有噪声，就有可能降低绝对精度。必须与电稳定的 GND 连接。同时，必须注意在安装电路板上滤波器电路不要干涉数字信号，也不要充当天线。

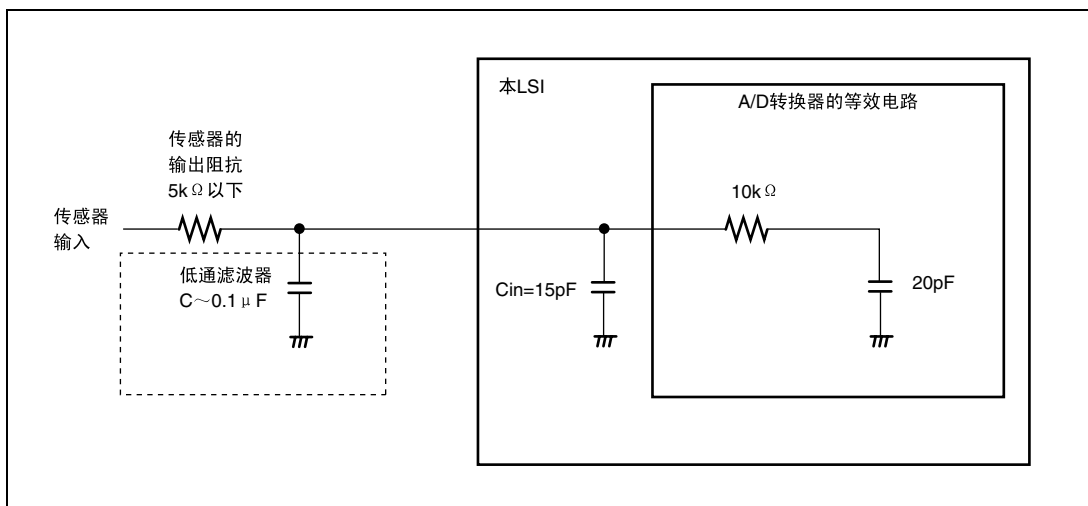


图 14.6 模拟输入电路的例子

第 15 章 加电复位和低电压检测电路【任选】

本 LSI 作为任选电路，能内藏加电复位电路和低电压检测电路。

低电压检测电路由低电压检测中断电路（LVDI: Interrupt by Low Voltage Detect）和低电压检测复位电路（LVDR: Reset by Low Voltage Detect）构成。

本电路是用于防止由电源电压下降而引起的本 LSI 的异常运行（失控），以及在电源电压再次上升时再现电源电压下降前的状态的电路。

即使电源电压下降，但是只要保持在运行保证电压以上且处于正常运行，就能通过转移到待机模式，消除电源电压下降到运行保证电压以下时的不稳定状态，提高系统的安全性。同时，在电源电压下降后自动转移到复位状态。如果电源电压再次上升，就在保持一定时间的复位状态后自动转移到激活模式。

加电复位电路和低电压检测电路的框图如图 15.1 所示。

15.1 特点

- 加电复位电路

通过外部连接电容，在接通电源时产生内部复位信号。

- 低电压检测电路

低电压检测复位电路：监视电源电压，在一定电压以下时产生内部复位信号。

低电压检测中断电路：监视电源电压，在从一定电压下降或者上升时产生中断。

检测复位发生电压的电平能选择只使用低电压检测复位电路、同时使用低电压检测中断电路和低电压检测复位电路的两种情况。

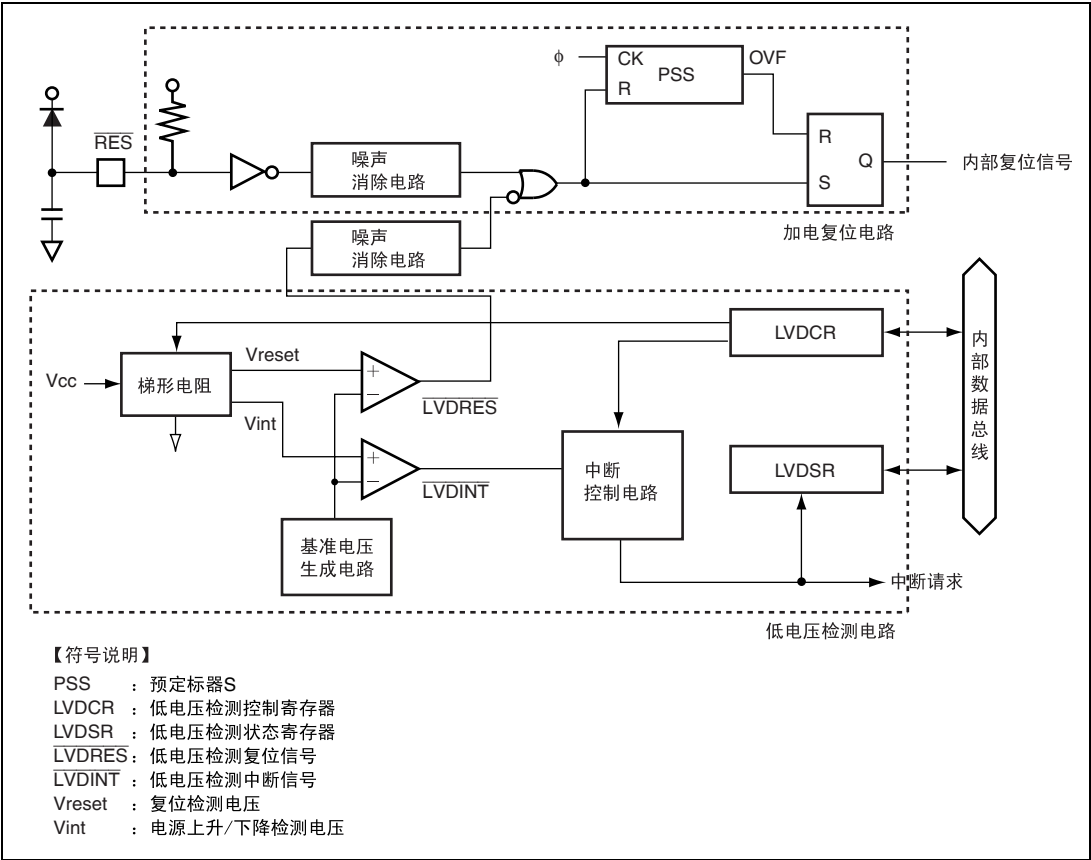


图 15.1 加电复位电路和低电压检测电路的框图

15.2 寄存器说明

低电压检测电路有以下寄存器：

- 低电压检测控制寄存器（LVDCR）
- 低电压检测状态寄存器（LVDSR）

15.2.1 低电压检测控制寄存器（LVDCR）

LVDCR 控制是否使用低电压检测电路、控制设定 LVDR 检测电平、允许或禁止由低电压检测复位电路产生的复位、允许或禁止由电源电压下降和上升产生的中断。

LVDCR 的设定值和选择功能的关系如表 15.1 所示。必须按照表 15.1 设定 LVDCR。

位	位名	初始值	R/W	说 明
7	LVDE	0*	R/W	LVD 允许 0: 未使用低电压检测电路（待机状态） 1: 使用低电压检测电路
6~4	—	全 1	—	保留位。总是读出 1，写无效。
3	LVDSSEL	0*	R/W	LVDR 检测电平选择 0: 复位检测电压 2.3V(typ.) 1: 复位检测电压 3.6V(typ.) 在使用下降电压检测和上升电压检测中断时，必须使用 2.3V(typ.)复位。 另外，在只使用复位检测时，必须使用 3.6V(typ.)复位。
2	LVDRRE	0*	R/W	LVDR 允许 0: 禁止由 LVDR 产生的复位 1: 允许由 LVDR 产生的复位
1	LVDDDE	0	R/W	电压下降时的中断允许 0: 禁止电压下降时的中断请求 1: 允许电压下降时的中断请求
0	LVDDUE	0	R/W	电压上升时的中断允许 0: 禁止电压上升时的中断请求 1: 允许电压上升时的中断请求

【注】* 在通过 LVDR 复位时不被初始化。在加电复位和监视定时器复位时被初始化。

表 15.1 LVDCR 的设定和选择功能

LVDCR 设定值					选择功能			
LVDE	LVDSEL	LVDRE	LVDDE	LVDUE	加电 复位	低电压检测 复位	低电压检测 下降中断	低电压检测 上升中断
0	*	*	*	*	○	—	—	—
1	1	1	0	0	○	○	—	—
1	0	0	1	0	○	—	○	—
1	0	0	1	1	○	—	○	○
1	0	1	1	1	○	○	○	○

【注】* 的设定值无效。

15.2.2 低电压检测状态寄存器 (LVDSR)

LVDSR 表示电源电压处于从某一定电压开始下降或者上升的状态。

位	位名	初始值	R/W	说 明
7~2	—	全 1	—	保留位。总是读出 1，写无效。
1	LVDDF	0*	R/W	LVD 电源电压下降标志 [置位条件] 在电源电压下降到 Vint(D) (typ.=3.7V)以下时 [清除条件] 在读到 1 的状态后，写 0 时
0	LVUDF	0*	R/W	LVD 电源电压上升标志 [置位条件] 在 LVDCR 的 LVDUE 位置 1 的状态下，电源电压下降到 Vint(D)以下， 并且在下降到 Vreset1 (typ.=2.3V)前，上升到 Vint(U) (typ.=4.0V)以 上时 [清除条件] 在读到 1 的状态后，写 0 时

【注】* 在通过 LVDR 复位时被初始化。

15.3 运行说明

15.3.1 加电复位电路

加电复位电路的运行时序如图 15.2 所示。由于电源电压上升，经过内部上拉电阻（typ. 150kΩ），逐渐对外接在 $\overline{\text{RES}}$ 管脚的电容充电。此 $\overline{\text{RES}}$ 管脚的状态传到内部，对预定标器 S 和整个芯片进行复位。如果 $\overline{\text{RES}}$ 管脚电平上升到一定电平，就解除预定标器 S 的复位，开始累加计数。如果预定标器 S 对 ϕ 进行 131,072 次计数，就产生 OVF 信号，解除内部复位信号。另外，为了避免由于 $\overline{\text{RES}}$ 管脚的噪声而产生的误动作，芯片内部内藏了约 100ns 的噪声消除电路。

为了使 LSI 稳定运行，必须使电源在规定的时间内上升。电源上升时间（ t_{PWON} ）的最大值由振荡频率（ f_{OSC} ）和连接到 $\overline{\text{RES}}$ 管脚的电容（ $C_{\overline{\text{RES}}}$ ）来定义。假设电源上升时间为达到电源电压的 90% 的时间，请设计满足下列计算式的电源电路：

$$t_{\text{PWON}}(\text{ms}) \leq 90 \times C_{\overline{\text{RES}}}(\mu\text{F}) + 162/f_{\text{OSC}}(\text{MHz})$$

（ $t_{\text{PWON}} \leq 3000\text{ms}$ 、 $C_{\overline{\text{RES}}} \geq 0.22\mu\text{F}$ 、 $2 \sim 10\text{MHz}$ 时 $f_{\text{OSC}}=10$ ）

但是，电源电压 V_{CC} 必定下降到 $V_{\text{por}}=100\text{mV}$ 以下，必须在充分释放 $\overline{\text{RES}}$ 管脚的电荷后让电源电压 V_{CC} 上升。为了释放 $\overline{\text{RES}}$ 管脚的电荷，建议给 V_{CC} 侧外接二极管。如果电源电压 V_{CC} 从超过 V_{por} 的电压开始上升，加电复位就可能不动作。

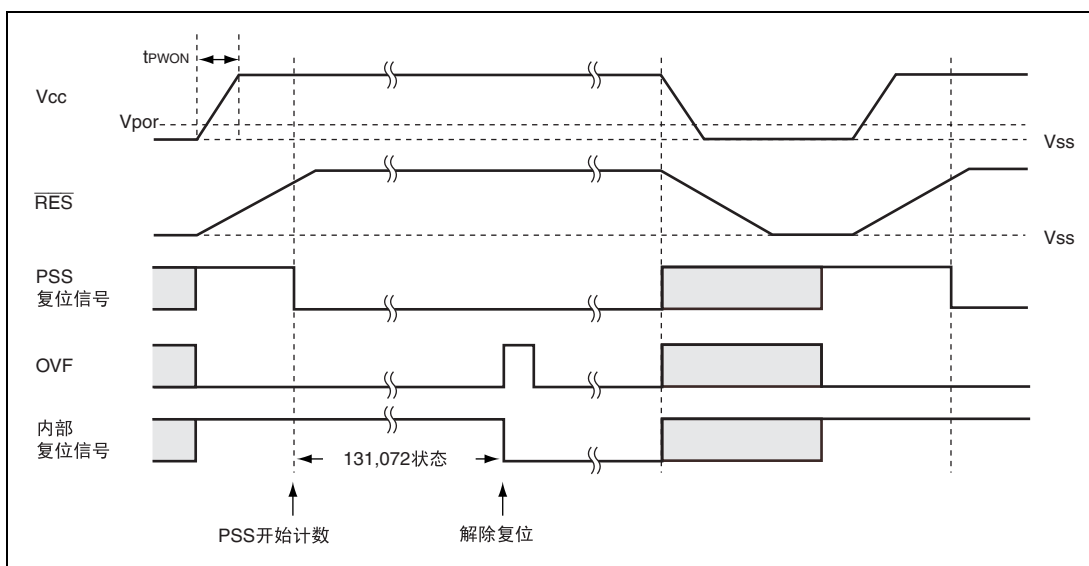


图 15.2 加电复位电路的运行时序

15.3.2 低电压检测电路

(1) 低电压检测复位电路 (LVDR)

LVDR 的运行时序如图 15.3 所示。在加电复位解除后, LVDR 变为模块待机状态。为了让 LVDR 运行, 将 LVDCR 的 LVDE 位置 1, 并且在通过软件定时器等等待基准电压和低电压检测电源稳定为止的时间 $t_{LVDRON}(50\mu s)$ 后, 将 LVDCR 的 LVDRE 位置 1。此后, 必须进行端口的输出设定。另外, 解除低电压检测电路时, 先将 LVDRE 位清 0, 然后将 LVDE 位清 0。为了避免误动作, 不能将 LVDE 位和 LVDRE 位同时清除。

如果电源电压下降到 V_{reset} 电压 ($typ.=2.3V$ 或者 $3.6V$) 以下, LVDR 就使 $\overline{LVDRS}$ 信号变为 0, 并且复位预定标器 S。只要加电复位不动作, 就继续保持低电压检测复位状态。如果电源电压再次上升到 V_{reset} 电压以上, 预定标器 S 就开始累加计数, 对 ϕ 进行 131,072 次计数, 解除内部复位信号。此时, LVDCR 的 LVDE 位、LVDSEL 位、LVDRE 位不被初始化。

但是, 在电源电压 V_{cc} 在下降低于 $V_{LVDRmin}=1.0V$ 后开始上升的情况下, 低电压检测复位可能不能进行, 必须充分评价。

另外, 如果电源电压 V_{cc} 下降到 $V_{por}=100mV$ 以下, 本 LSI 就变为加电复位运行。

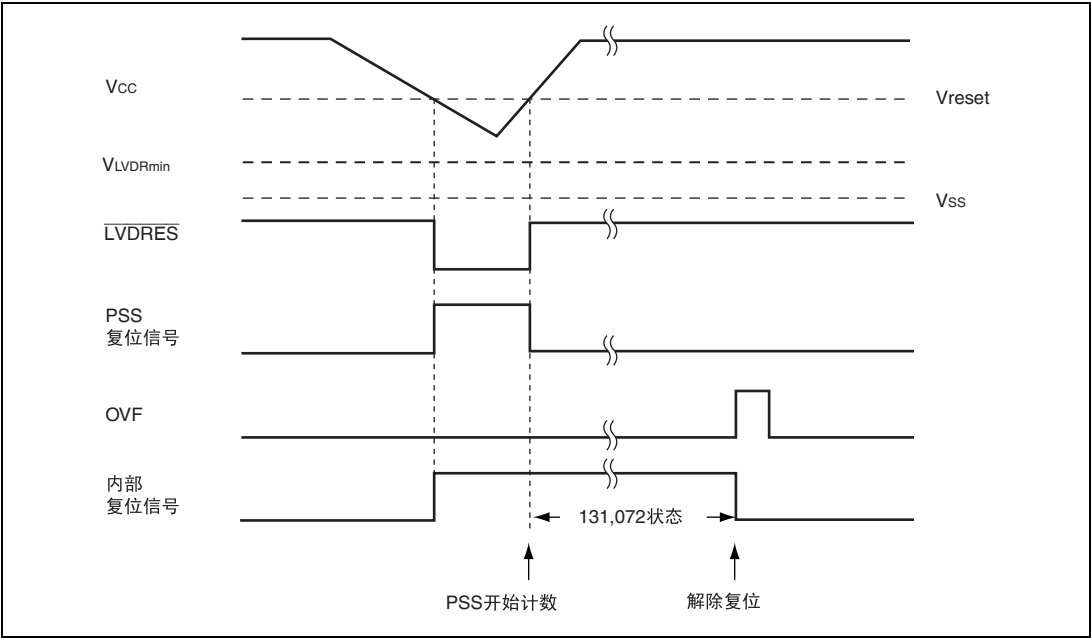


图 15.3 低电压检测复位电路的运行时序

(2) 低电压检测中断电路 (LVDI)

LVDI 的运行时序如图 15.4 所示。在解除加电复位后, LVDI 变为模块待机状态。为了让 LVDI 运行, 将 LVDCR 的 LVDE 位置 1, 并且在通过软件定时器等等待基准电压和低电压检测电源稳定为止的时间 t_{LVDON} (50 μ s) 后, 将 LVDCR 的 LVDDE 位和 LVDUE 位置 1。此后, 必须进行端口的输出设定。另外, 解除低电压检测电路时, 先将 LVDDE 位和 LVDUE 位全部清 0, 然后将 LVDE 位清 0。为了避免误动作, LVDE 位不能和 LVDDE 位、LVDUE 位同时清除。

如果电源电压下降到 $V_{int}(D)$ (typ.=3.7V) 电压以下, LVDI 就使 $\overline{LVDINT}$ 信号变为 0, 将 LVDSR 的 LVDDF 位置 1。如果 LVDDE 位是 1, 就发生 IRQ0 中断请求。此时, 必须将需要的数据保存到外接的 EEPROM 等, 并且转移到待机模式或者子睡眠模式。设计电源电路时, 必须在完成此处理之前, 将电源电压保持在保证运行的下限电压以上。

另外, 如果电源电压不下降到 V_{reset1} (typ.=2.3V) 电压就上升到 $V_{int}(U)$ (typ.=4.0V) 电压以上, $\overline{LVDINT}$ 信号就变为 1, 此时, 如果 LVDUE 位是 1, LVDSR 的 LVDUF 位就被置 1, 同时发生 IRQ0 中断请求。

如果电源电压下降到 V_{reset1} (typ.=2.3V) 电压以下, 本 LSI 就变为低电压检测复位运行。

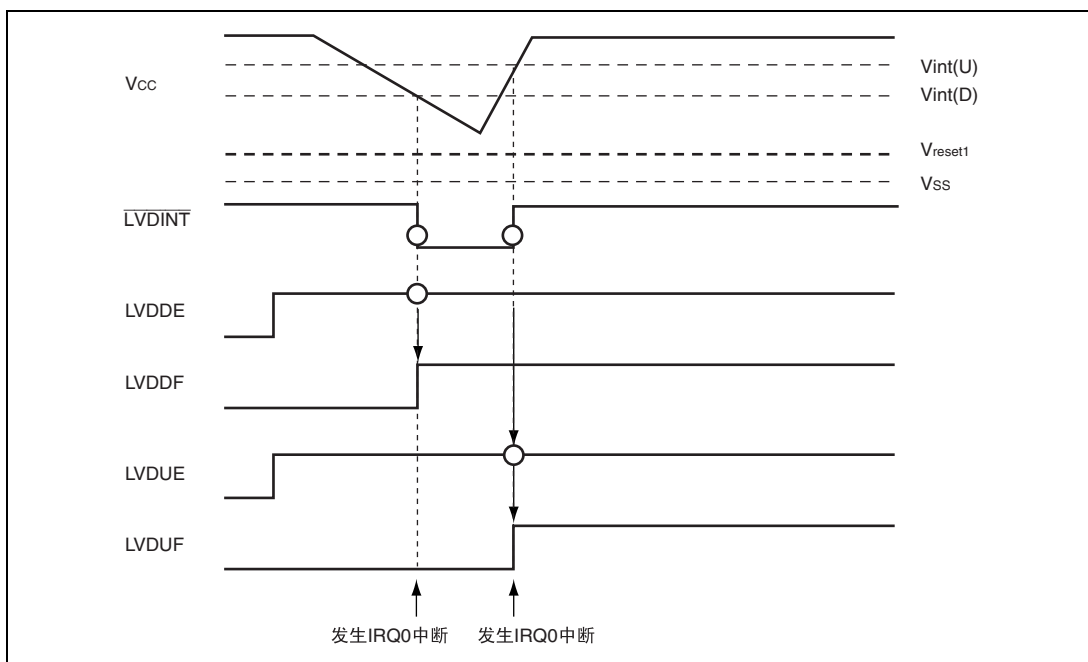


图 15.4 低电压检测中断电路的运行时序

(3) 使用 LVDR、LVDI 时的运行/解除的设定步骤

为了正常运行或者解除低电压检测电路，必须按以下步骤设定。设定低电压检测电路运行和解除时的时序如图 15.5 所示。

1. 运行低电压检测电路时，首先将LVDCR的LVDE位置1。
2. 在通过软件定时器等等待到基准电压和低电压检测电源稳定为止的时间 t_{LVDON} (50 μs)后，将LVDSR的LVDDF位和LVDUF位清0，根据需要将LVDCR的LVDRE位、LVDDE位以及LVDUE位置1。
3. 解除低电压检测电路时，先将LVDRE位、LVDDE位以及LVDUE位全部清0，然后将LVDE位清0。为了避免误动作，LVDE位不能和LVDRE位、LVDDE位、LVDUE位同时清除。

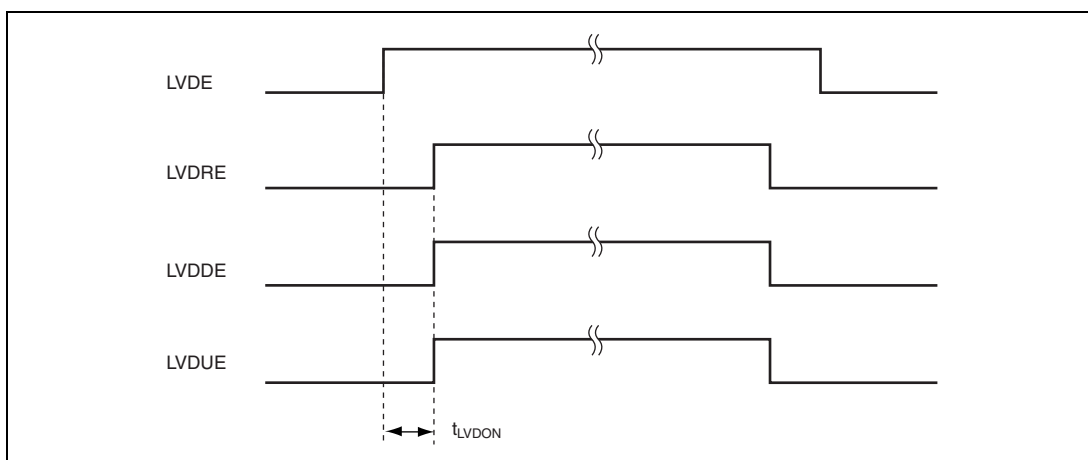


图 15.5 低电压检测电路运行/解除的设定时序

第 16 章 电源电路

在本 LSI 内藏内部电源降压电路。通过使用此内部电源降压电路，能不依靠连接到外部 V_{CC} 管脚的电源电压而将内部电源固定在 3.0V 左右。因此，能抑制使用 3.0V 以上的外部电源时的消费电流，使它与使用大约 3.0V 的外部电源时的消费电流基本相同。当外部电压低于 3.0V 时，内部电压与外部电压基本相同。也能不使用内部电源降压电路而将内部电源电压和外部电源电压同样地使用。

16.1 使用内部电源降压电路的情况

如图 16.1 所示，必须将外部电源连接到 V_{CC} 管脚，并且在 V_{CL} 和 V_{SS} 之间连接一个大约 0.1 μ F 的电容。通过附加此外部电路使内部降压电路有效。外部电路的输入/输出电平以连接到 V_{CC} 的外部电源电压和连接到 V_{SS} 的 GND 电位为基准。例如，端口的输入/输出电平，高电平以 V_{CC} 为基准，低电平以 V_{SS} 为基准。A/D 转换器的模拟电源不受内部降压电路的影响。

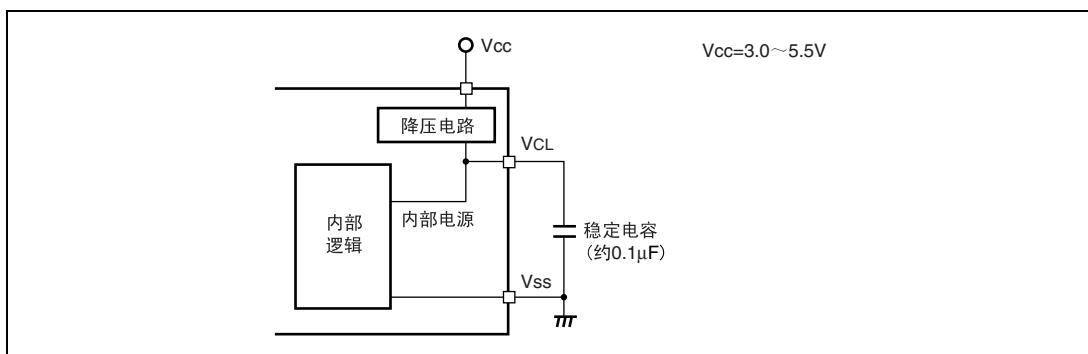


图 16.1 在使用内部电源降压电路的情况下的电源连接图

16.2 不使用内部电源降压电路的情况

如图 16.2 所示，必须将外部电源连接到 V_{CL} 和 V_{CC} 管脚。外部电源被直接提供给内部电源。可使用的电源电压为 3.0V~3.6V。在供给超过这个范围的电源的情况下，运行不被保证。

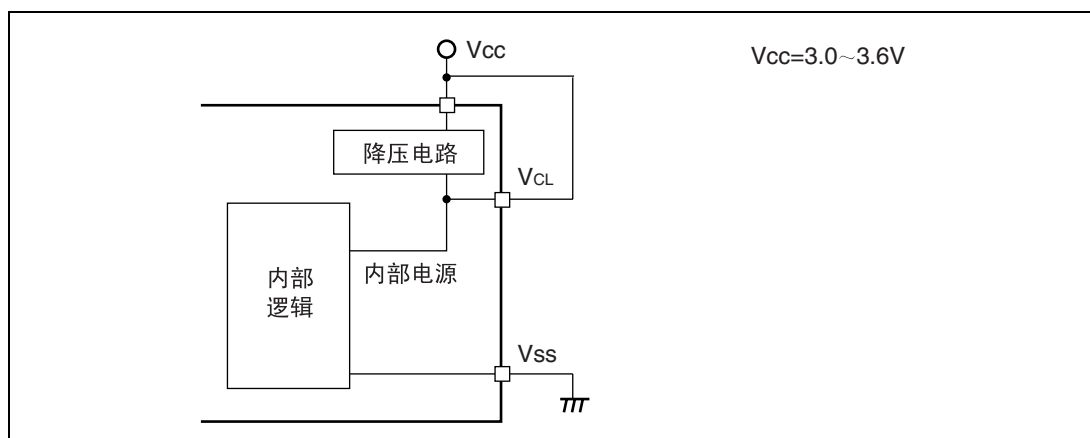


图 16.2 在不使用内部电源降压电路的情况下的电源连接图

第 17 章 寄存器一览表

在寄存器地址一览表中，汇总了有关内部寄存器地址、位结构以及各运行模式的状态的信息。表的记述方法如下：

1. 寄存器地址一览表(按地址顺序)

- 从分配的低地址寄存器开始顺序记载。
- 根据模块名称分类。
- 表示数据总线宽度。
- 表示存取状态数。

2. 寄存器位一览表

- 按“寄存器地址一览表(按地址顺序)”的顺序，记载位结构。
- 对于保留位，在位名称部用“—”表示。
- 16位寄存器的情况，从MSB侧的位开始记载。

3. 各运行模式的寄存器状态

- 按“寄存器地址一览表(按地址顺序)”的顺序，记载寄存器状态。
- 表示在基本运行模式的寄存器状态。在内部模块固有的复位等的情况下，请参照内部模块的章节。

17.1 寄存器地址一览表（按地址顺序）

数据总线宽度表示位数。

存取状态数表示指定的基准时钟的状态数。

寄存器名称	略称	位数	地址	模块	数据总线 宽度	存取 状态数
串行模式寄存器_3	SMR_3	8	H'F600	SCI3_3	8	3
位传输率寄存器_3	BRR_3	8	H'F601	SCI3_3	8	3
串行控制寄存器_3_3	SCR3_3	8	H'F602	SCI3_3	8	3
发送数据寄存器_3	TDR_3	8	H'F603	SCI3_3	8	3
串行状态寄存器_3	SSR_3	8	H'F604	SCI3_3	8	3
接收数据寄存器_3	RDR_3	8	H'F605	SCI3_3	8	3
—	—	—	H'F606、 H'F607	SCI3_3	—	—
SCI3_3 模块控制寄存器	SMCR	8	H'F608	SCI3_3	8	3
低电压检测控制寄存器	LVDCR*1	8	H'F730	低电压检测电路	8	2
低电压检测状态寄存器	LVDSR*1	8	H'F731	低电压检测电路	8	2
串行模式寄存器_2	SMR_2	8	H'F740	SCI3_2	8	3
位传输率寄存器_2	BRR_2	8	H'F741	SCI3_2	8	3
串行控制寄存器_3_2	SCR3_2	8	H'F742	SCI3_2	8	3
发送数据寄存器_2	TDR_2	8	H'F743	SCI3_2	8	3
串行状态寄存器_2	SSR_2	8	H'F744	SCI3_2	8	3
接收数据寄存器_2	RDR_2	8	H'F745	SCI3_2	8	3
定时器模式寄存器 W	TMRW	8	H'FF80	定时器 W	8	2
定时器控制寄存器 W	TCRW	8	H'FF81	定时器 W	8	2
定时器中断允许寄存器 W	TIERW	8	H'FF82	定时器 W	8	2
定时器状态寄存器 W	TSRW	8	H'FF83	定时器 W	8	2
定时器 I/O 控制寄存器 0	TIOR0	8	H'FF84	定时器 W	8	2
定时器 I/O 控制寄存器 1	TIOR1	8	H'FF85	定时器 W	8	2
定时器计数器	TCNT	16	H'FF86	定时器 W	16*2	2
通用寄存器 A	GRA	16	H'FF88	定时器 W	16*2	2
通用寄存器 B	GRB	16	H'FF8A	定时器 W	16*2	2
通用寄存器 C	GRC	16	H'FF8C	定时器 W	16*2	2
通用寄存器 D	GRD	16	H'FF8E	定时器 W	16*2	2
快速擦写存储器控制寄存器 1	FLMCR1	8	H'FF90	ROM	8	2
快速擦写存储器控制寄存器 2	FLMCR2	8	H'FF91	ROM	8	2
块指定寄存器 1	EBR1	8	H'FF93	ROM	8	2
快速擦写存储器允许寄存器	FENR	8	H'FF9B	ROM	8	2

寄存器名称	略称	位数	地址	模块	数据总线 宽度	存取 状态数
定时器控制寄存器 V0	TCRV0	8	H'FFA0	定时器 V	8	3
定时器控制/状态寄存器 V	TCSRV	8	H'FFA1	定时器 V	8	3
时间常数寄存器 A	TCORA	8	H'FFA2	定时器 V	8	3
时间常数寄存器 B	TCORB	8	H'FFA3	定时器 V	8	3
定时器计数器 V	TCNTV	8	H'FFA4	定时器 V	8	3
定时器控制寄存器 V1	TCRV1	8	H'FFA5	定时器 V	8	3
串行模式寄存器	SMR	8	H'FFA8	SCI3	8	3
位传输率寄存器	BRR	8	H'FFA9	SCI3	8	3
串行控制寄存器 3	SCR3	8	H'FFAA	SCI3	8	3
发送数据寄存器	TDR	8	H'FFAB	SCI3	8	3
串行状态寄存器	SSR	8	H'FFAC	SCI3	8	3
接收数据寄存器	RDR	8	H'FFAD	SCI3	8	3
A/D 数据寄存器 A	ADDRA	16	H'FFB0	A/D 转换器	8	3
A/D 数据寄存器 B	ADDRB	16	H'FFB2	A/D 转换器	8	3
A/D 数据寄存器 C	ADDRC	16	H'FFB4	A/D 转换器	8	3
A/D 数据寄存器 D	ADDRD	16	H'FFB6	A/D 转换器	8	3
A/D 控制/状态寄存器	ADCSR	8	H'FFB8	A/D 转换器	8	3
A/D 控制寄存器	ADCR	8	H'FFB9	A/D 转换器	8	3
定时器控制/状态寄存器 WD	TCSRWD	8	H'FFC0	WDT* ³	8	2
定时器计数器 WD	TCWD	8	H'FFC1	WDT* ³	8	2
定时器模式寄存器 WD	TMWD	8	H'FFC2	WDT* ³	8	2
地址断开控制寄存器	ABRKCR	8	H'FFC8	地址断开	8	2
地址断开状态寄存器	ABRKSR	8	H'FFC9	地址断开	8	2
断开地址寄存器 H	BARH	8	H'FFCA	地址断开	8	2
断开地址寄存器 L	BARL	8	H'FFCB	地址断开	8	2
断开数据寄存器 H	BDRH	8	H'FFCC	地址断开	8	2
断开数据寄存器 L	BDRL	8	H'FFCD	地址断开	8	2
端口上拉控制寄存器 1	PUCR1	8	H'FFD0	I/O 端口	8	2
端口上拉控制寄存器 5	PUCR5	8	H'FFD1	I/O 端口	8	2
端口数据寄存器 1	PDR1	8	H'FFD4	I/O 端口	8	2
端口数据寄存器 2	PDR2	8	H'FFD5	I/O 端口	8	2
端口数据寄存器 5	PDR5	8	H'FFD8	I/O 端口	8	2
端口数据寄存器 7	PDR7	8	H'FFDA	I/O 端口	8	2
端口数据寄存器 8	PDR8	8	H'FFDB	I/O 端口	8	2
端口数据寄存器 B	PDRB	8	H'FFDD	I/O 端口	8	2

寄存器名称	略称	位数	地址	模块	数据总线 宽度	存取 状态数
端口模式寄存器 1	PMR1	8	H'FFE0	I/O 端口	8	2
端口模式寄存器 5	PMR5	8	H'FFE1	I/O 端口	8	2
端口控制寄存器 1	PCR1	8	H'FFE4	I/O 端口	8	2
端口控制寄存器 2	PCR2	8	H'FFE5	I/O 端口	8	2
端口控制寄存器 5	PCR5	8	H'FFE8	I/O 端口	8	2
端口控制寄存器 7	PCR7	8	H'FFEA	I/O 端口	8	2
端口控制寄存器 8	PCR8	8	H'FFEB	I/O 端口	8	2
系统控制寄存器 1	SYSCR1	8	H'FFF0	低功耗	8	2
系统控制寄存器 2	SYSCR2	8	H'FFF1	低功耗	8	2
中断边沿选择寄存器 1	IEGR1	8	H'FFF2	中断	8	2
中断边沿选择寄存器 2	IEGR2	8	H'FFF3	中断	8	2
中断允许寄存器 1	IENR1	8	H'FFF4	中断	8	2
中断标志寄存器 1	IRR1	8	H'FFF6	中断	8	2
唤醒中断标志寄存器	IWPR	8	H'FFF8	中断	8	2
模块待机控制寄存器 1	MSTCR1	8	H'FFF9	低功耗	8	2
模块待机控制寄存器 2	MSTCR2	8	H'FFFA	低功耗	8	2

【注】 *1 LVDCR 和 LVDSR 为任选。

*2 只能进行字存取。

*3 WDT：监视定时器

17.2 寄存器位一览表

内部外围模块的寄存器位名如下所示。

对于 16 位寄存器，分别用 8 位 2 行表示。

寄存器略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块
SMR_3	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3_3
BRR_3	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
SCR3_3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_3	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
SSR_3	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR_3	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
SMCR	—	—	—	—	—	—	TXD_3	MSTS3_3	低电压检测 电路(选项)
LVDCR	LVDE	—	—	—	LVDSSEL	LVDSRE	LVDDDE	LVDDUE	
LVDSR	—	—	—	—	—	—	LVDDF	LVDDUF	
SMR_2	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	
BRR_2	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
SCR3_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	SCI3_2
SSR_2	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR_2	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
TMRW	CTS	—	BUFEB	BUFEA	—	PWMD	PWMC	PWMB	
TCRW	CCLR	CKS2	CKS1	CKS0	TOD	TOC	TOB	TOA	
TIERW	OVIE	—	—	—	IMIED	IMIEC	IMIEB	IMIEA	
TSRW	OVF	—	—	—	IMFD	IMFC	IMFB	IMFA	定时器 W
TIOR0	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
TIOR1	—	IOD2	IOD1	IOD0	—	IOC2	IOC1	IOC0	
TCNT	TCNT15	TCNT14	TCNT13	TCNT12	TCNT11	TCNT10	TCNT9	TCNT8	
	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0	
GRA	GRA15	GRA14	GRA13	GRA12	GRA11	GRA10	GRA9	GRA8	
	GRA7	GRA6	GRA5	GRA4	GRA3	GRA2	GRA1	GRA0	
GRB	GRB15	GRB14	GRB13	GRB12	GRB11	GRB10	GRB9	GRB8	
	GRB7	GRB6	GRB5	GRB4	GRB3	GRB2	GRB1	GRB0	
GRC	GRC15	GRC14	GRC13	GRC12	GRC11	GRC10	GRC9	GRC8	GRD
	GRC7	GRC6	GRC5	GRC4	GRC3	GRC2	GRC1	GRC0	
GRD	GRD15	GRD14	GRD13	GRD12	GRD11	GRD10	GRD9	GRD8	
	GRD7	GRD6	GRD5	GRD4	GRD3	GRD2	GRD1	GRD0	

第 17 章 寄存器一览表

寄存器略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块
FLMCR1	—	SWE	ESU	PSU	EV	PV	E	P	ROM
FLMCR2	FLER	—	—	—	—	—	—	—	
EBR1	—	—	—	EB4	EB3	EB2	EB1	EB0	
FENR	FLSHE	—	—	—	—	—	—	—	
TCRV0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	定时器 V
TCSRv	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	
TCORA	TCORA7	TCORA6	TCORA5	TCORA4	TCORA3	TCORA2	TCORA1	TCORA0	
TCORB	TCORB7	TCORB6	TCORB5	TCORB4	TCORB3	TCORB2	TCORB1	TCORB0	
TCNTV	TCNTV7	TCNTV6	TCNTV5	TCNTV4	TCNTV3	TCNTV2	TCNTV1	TCNTV0	
TCRV1	—	—	—	TVEG1	TVEG0	TRGE	—	ICKS0	
SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3
BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
SCR3	TIE	RIE	TE	RE	MPiE	TEiE	CKE1	CKE0	
TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
ADDRA	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 转换器
	AD1	AD0	—	—	—	—	—	—	
ADDRB	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	
ADDRC	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	
ADDRD	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	—	—	—	—	—	—	
ADCSR	ADF	ADiE	ADST	SCAN	CKS	CH2	CH1	CH0	
ADCR	TRGE	—	—	—	—	—	—	—	
TCSRWD	B6Wi	TCWE	B4Wi	TCSRWE	B2Wi	WDON	B0Wi	WRST	WDT*
TCWD	TCWD7	TCWD6	TCWD5	TCWD4	TCWD3	TCWD2	TCWD1	TCWD0	
TMWD	—	—	—	—	CKS3	CKS2	CKS1	CKS0	
ABRKCR	RTINTE	CSEL1	CSEL0	ACMP2	ACMP1	ACMP0	DCMP1	DCMP0	地址断开
ABRKSR	ABiF	ABiE	—	—	—	—	—	—	
BARH	BARH7	BARH6	BARH5	BARH4	BARH3	BARH2	BARH1	BARH0	
BARL	BARL7	BARL6	BARL5	BARL4	BARL3	BARL2	BARL1	BARL0	
BDRH	BDRH7	BDRH6	BDRH5	BDRH4	BDRH3	BDRH2	BDRH1	BDRH0	
BDRL	BDRL7	BDRL6	BDRL5	BDRL4	BDRL3	BDRL2	BDRL1	BDRL0	
PUCR1	PUCR17	PUCR16	PUCR15	PUCR14	—	PUCR12	PUCR11	PUCR10	I/O 端口

寄存器略称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	模块
PUCR5	—	—	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50	I/O 端口
PDR1	P17	P16	P15	P14	—	P12	P11	P10	
PDR2	—	—	—	—	—	P22	P21	P20	
PDR5	P57	P56	P55	P54	P53	P52	P51	P50	
PDR7	—	P76	P75	P74	P73	P72	P71	P70	
PDR8	—	—	—	P84	P83	P82	P81	P80	
PDRB	—	—	—	—	PB3	PB2	PB1	PB0	
PMR1	IRQ3	—	—	IRQ0	TXD2	—	TXD	—	
PMR5	POF57	POF56	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0	
PCR1	PCR17	PCR16	PCR15	PCR14	—	PCR12	PCR11	PCR10	
PCR2	—	—	—	—	—	PCR22	PCR21	PCR20	
PCR5	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	
PCR7	—	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70	
PCR8	—	—	—	PCR84	PCR83	PCR82	PCR81	PCR80	
SYSCR1	SSBY	STS2	STS1	STS0	—	—	—	—	
SYSCR2	SMSSEL	—	DTON	MA2	MA1	MA0	—	—	
IEGR1	—	—	—	—	IEG3	—	—	IEG0	中断
IEGR2	—	—	WPEG5	WPEG4	WPEG3	WPEG2	WPEG1	WPEG0	
IENR1	IENDT	—	IENWP	—	IEN3	—	—	IEN0	
IRR1	IRRDT	—	—	—	IRRI3	—	—	IRRI0	
IWPR	—	—	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	
MSTCR1	—	—	MSTS3	MSTAD	MSTWD	MSTTW	MSTTV	—	
MSTCR2	MSTS3_2	—	—	—	—	—	—	—	

【注】 * WDT: 监视定时器

17.3 各运行模式的寄存器状态

寄存器略称	复位	激活	睡眠	子睡眠	待机	模块
SMR_3	初始化	—	—	初始化	初始化	SCI3_3
BRR_3	初始化	—	—	初始化	初始化	
SCR3_3	初始化	—	—	初始化	初始化	
TDR_3	初始化	—	—	初始化	初始化	
SSR_3	初始化	—	—	初始化	初始化	
RDR_3	初始化	—	—	初始化	初始化	
SMCR	初始化	—	—	初始化	初始化	
LVDCR	初始化	—	—	—	—	低电压检测电路 (选项)
LVDSR	初始化	—	—	—	—	
SMR_2	初始化	—	—	初始化	初始化	SCI3_2
BRR_2	初始化	—	—	初始化	初始化	
SCR3_2	初始化	—	—	初始化	初始化	
TDR_2	初始化	—	—	初始化	初始化	
SSR_2	初始化	—	—	初始化	初始化	
RDR_2	初始化	—	—	初始化	初始化	
TMRW	初始化	—	—	—	—	定时器 W
TCRW	初始化	—	—	—	—	
TIERW	初始化	—	—	—	—	
TSRW	初始化	—	—	—	—	
TIOR0	初始化	—	—	—	—	
TIOR1	初始化	—	—	—	—	
TCNT	初始化	—	—	—	—	
GRA	初始化	—	—	—	—	
GRB	初始化	—	—	—	—	
GRC	初始化	—	—	—	—	
GRD	初始化	—	—	—	—	
FLMCR1	初始化	—	—	初始化	初始化	ROM
FLMCR2	初始化	—	—	—	—	
EBR1	初始化	—	—	初始化	初始化	
FENR	初始化	—	—	—	—	
TCRV0	初始化	—	—	初始化	初始化	定时器 V
TCSRv	初始化	—	—	初始化	初始化	
TCORA	初始化	—	—	初始化	初始化	
TCORB	初始化	—	—	初始化	初始化	
TCNTV	初始化	—	—	初始化	初始化	

寄存器略称	复位	激活	睡眠	子睡眠	待机	模块
TCRV1	初始化	—	—	初始化	初始化	定时器 V
SMR	初始化	—	—	初始化	初始化	SCI3
BRR	初始化	—	—	初始化	初始化	
SCR3	初始化	—	—	初始化	初始化	
TDR	初始化	—	—	初始化	初始化	
SSR	初始化	—	—	初始化	初始化	
RDR	初始化	—	—	初始化	初始化	
ADDRA	初始化	—	—	初始化	初始化	A/D 转换器
ADDRB	初始化	—	—	初始化	初始化	
ADDRC	初始化	—	—	初始化	初始化	
ADDRD	初始化	—	—	初始化	初始化	
ADCSR	初始化	—	—	初始化	初始化	
ADCR	初始化	—	—	初始化	初始化	
TCSRWD	初始化	—	—	—	—	WDT*
TCWD	初始化	—	—	—	—	
TMWD	初始化	—	—	—	—	
ABRKCR	初始化	—	—	—	—	地址断开
ABRKSR	初始化	—	—	—	—	
BARH	初始化	—	—	—	—	
BARL	初始化	—	—	—	—	
BDRH	初始化	—	—	—	—	
BDRL	初始化	—	—	—	—	
PUCR1	初始化	—	—	—	—	I/O 端口
PUCR5	初始化	—	—	—	—	
PDR1	初始化	—	—	—	—	
PDR2	初始化	—	—	—	—	
PDR5	初始化	—	—	—	—	
PDR7	初始化	—	—	—	—	
PDR8	初始化	—	—	—	—	
PDRB	初始化	—	—	—	—	
PMR1	初始化	—	—	—	—	
PMR5	初始化	—	—	—	—	
PCR1	初始化	—	—	—	—	
PCR2	初始化	—	—	—	—	
PCR5	初始化	—	—	—	—	
PCR7	初始化	—	—	—	—	
PCR8	初始化	—	—	—	—	

寄存器略称	复位	激活	睡眠	子睡眠	待机	模块
SYSCR1	初始化	—	—	—	—	低功耗
SYSCR2	初始化	—	—	—	—	
IEGR1	初始化	—	—	—	—	中断
IEGR2	初始化	—	—	—	—	
IENR1	初始化	—	—	—	—	
IRR1	初始化	—	—	—	—	
IWPR	初始化	—	—	—	—	低功耗
MSTCR1	初始化	—	—	—	—	
MSTCR2	初始化	—	—	—	—	

【注】—：表示不被初始化。

* WDT：监视定时器

第 18 章 电特性

18.1 绝对最大额定值

表 18.1 绝对最大额定值

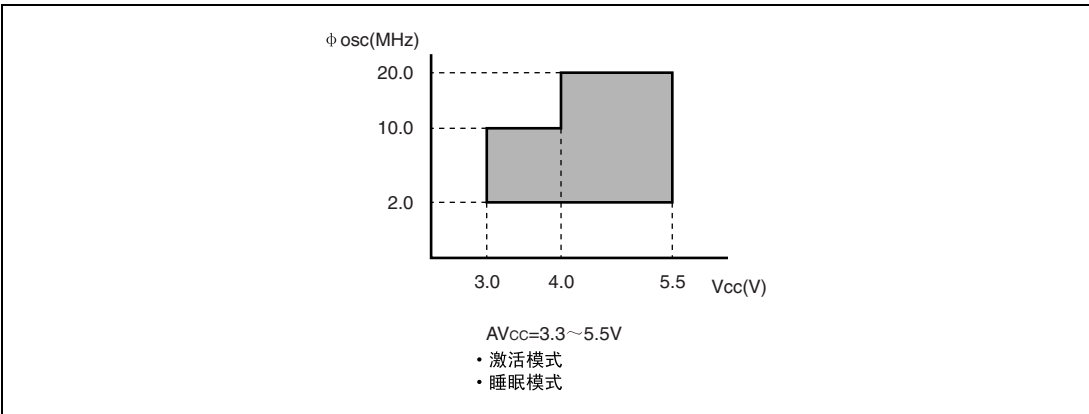
项目		符号	规格值	单位	备注
电源电压		Vcc	$-0.3 \sim +7.0$	V	*
模拟电源电压		AVcc	$-0.3 \sim +7.0$	V	
输入电压	端口 B 除外	VIN	$-0.3 \sim V_{cc} + 0.3$	V	
	端口 B		$-0.3 \sim AV_{cc} + 0.3$	V	
运行温度		Topr	$-20 \sim +75$	°C	
保存温度		Tstg	$-55 \sim +125$	°C	

【注】* 在超过绝对最大额定值使用 LSI 的情况下，会引起 LSI 的永久损坏。另外，在通常运行下，请尽量在“电特性”的条件下使用，如果超过这些条件，就会引起 LSI 误动作，同时会给 LSI 的信赖性带来坏影响。

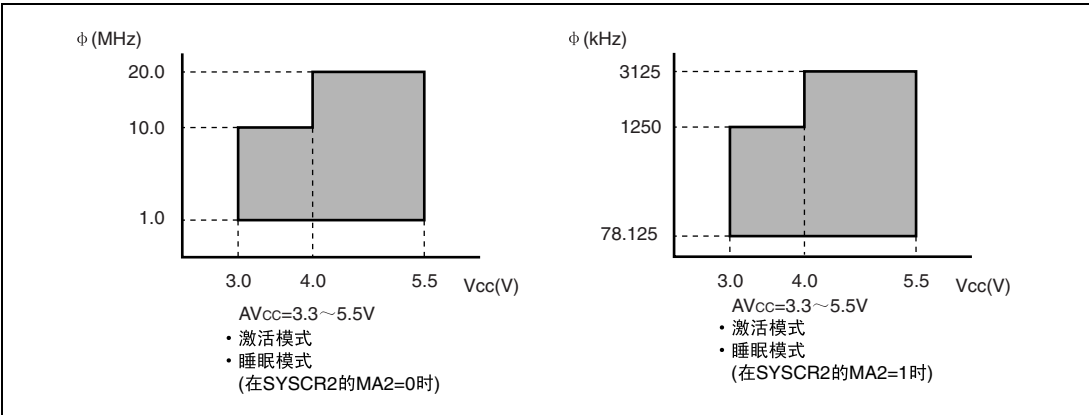
18.2 电特性（F-ZTAT™ 版）

18.2.1 电源电压和运行范围

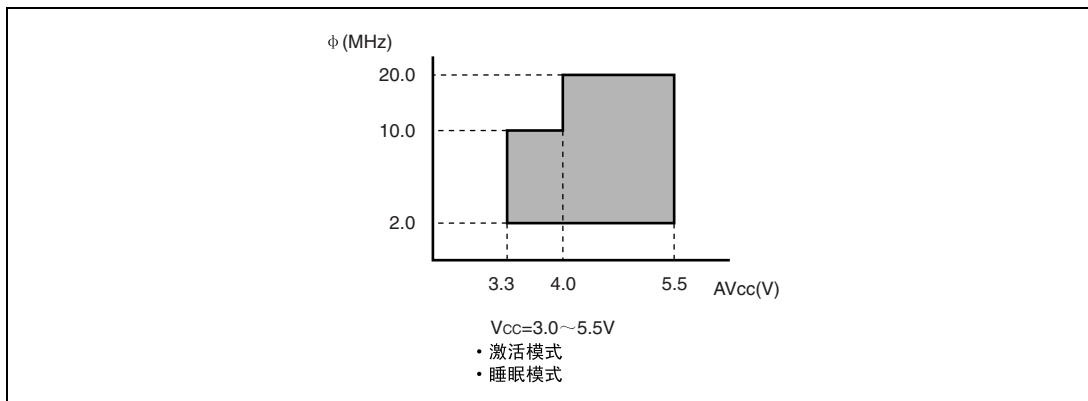
（1）电源电压和振荡频率的范围



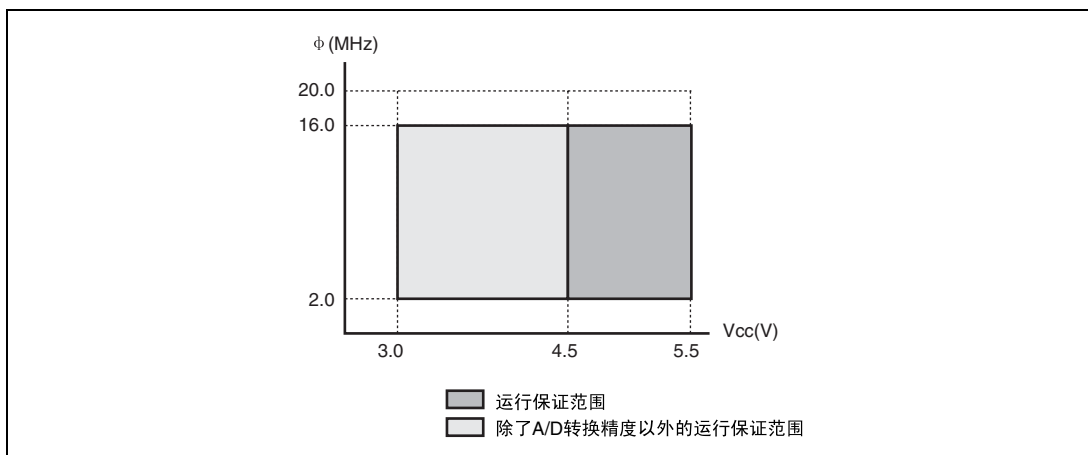
（2）电源电压和运行频率的范围



(3) 模拟电源电压和 A/D 转换器的精度保证范围



(4) 使用低电压检测电路时的电源电压和振荡频率的范围



18.2.2 DC 特性

表 18.2 DC 特性 (1)

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输入高电平电压	V_{IH}	$\overline{RES}$ 、 $\overline{NMI}$ $\overline{WKP0}\sim\overline{WKP5}$ $\overline{IRQ0}$ 、 $\overline{IRQ3}$ $\overline{ADTRG}$ TMRIV、TMCIV FTCI、FTIOA FTIOB、FTIOC FTIOD SCK3、SCK3_2 SCK3_3* ¹ TRGV	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.8$	—	$V_{CC}+0.3$	V	
				$V_{CC}\times 0.9$	—	$V_{CC}+0.3$	V	
		RXD、RXD_2 RXD_3* ¹ P17~P14 P12~P10 P22~P20 P57~P50 P76~P70 P84~P80	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V	
				$V_{CC}\times 0.8$	—	$V_{CC}+0.3$	V	
		PB3~PB0	$AV_{CC}=4.0\sim 5.5V$	$AV_{CC}\times 0.7$	—	$AV_{CC}+0.3$	V	
			$AV_{CC}=3.3\sim 5.5V$	$AV_{CC}\times 0.8$	—	$AV_{CC}+0.3$	V	
		OSC1	$V_{CC}=4.0\sim 5.5V$	$V_{CC}-0.5$	—	$V_{CC}+0.3$	V	
				$V_{CC}-0.3$	—	$V_{CC}+0.3$	V	

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输入低 电平电压	V_{IL}	RES、 $\overline{NMI}$ $\overline{WKP0}\sim\overline{WKP5}$ $\overline{IRQ0}$ 、 $\overline{IRQ3}$ $\overline{ADTRG}$ TMRIV、TMCIV FTCI、FTIOA FTIOB、FTIOC FTIOD SCK3、SCK3_2 SCK3_3* ¹ TRGV	$V_{CC}=4.0\sim 5.5V$	-0.3	—	$V_{CC}\times 0.2$	V	
				-0.3	—	$V_{CC}\times 0.1$	V	
		RXD、RXD_2 RXD_3* ¹ P17~P14 P12~P10 P22~P20 P57~P50 P76~P70 P84~P80	$V_{CC}=4.0\sim 5.5V$	-0.3	—	$V_{CC}\times 0.3$	V	
				-0.3	—	$V_{CC}\times 0.2$	V	
		PB3~PB0	$AV_{CC}=4.0\sim 5.5V$	-0.3	—	$AV_{CC}\times 0.3$	V	
			$AV_{CC}=3.3\sim 5.5V$	-0.3	—	$AV_{CC}\times 0.2$	V	
		OSC1	$V_{CC}=4.0\sim 5.5V$	-0.3	—	0.5	V	
				-0.3	—	0.3	V	
		P17~P14 P12~P10 P22~P20	$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=1.5mA$	$V_{CC}-1.0$	—	—	V	
		P57~P50 P76~P70 P84~P80	$-I_{OH}=0.1mA$	$V_{CC}-0.5$	—	—	V	

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输出低电平电压	V_{OL}	P17~P14 P12~P10 P22~P20	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.6	V	
		P57~P50 P76~P70	$I_{OL}=0.4mA$	—	—	0.4	V	
		P84~P80	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=20.0mA$	—	—	1.5	V	
			$V_{CC}=4.0\sim 5.5V$ $I_{OL}=10.0mA$	—	—	1.0	V	
			$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.4	V	
			$I_{OL}=0.4mA$	—	—	0.4	V	
输入/输出漏泄电流	I _{IL}	OSC1 $\overline{RES}$ 、 $\overline{NMI}$ $\overline{WKP0}\sim\overline{WKP5}$ $\overline{IRQ0}$ 、 $\overline{IRQ3}$ $\overline{ADTRG}$ 、TRGV TMRIV、TMCIV FTCI、FTIOA FTIOB、FTIOC FTIOD RXD、RXD_2 RXD_3* ¹ SCK3、SCK3_2 SCK3_3* ¹	$V_{IN}=0.5V\sim$ ($V_{CC}-0.5V$)	—	—	1.0	μA	
		P17~P14 P12~P10 P22~P20 P57~P50 P76~P70 P84~P80	$V_{IN}=0.5V\sim$ ($V_{CC}-0.5V$)	—	—	1.0	μA	
		PB3~PB0	$V_{IN}=0.5V\sim$ ($AV_{CC}-0.5V$)	—	—	1.0	μA	

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备注
				Min	Typ	Max		
上拉 MOS 电流	$-I_p$	P17~P14	$V_{CC}=5.0V$ 、 $V_{IN}=0.0V$	50.0	—	300.0	μA	
		P12~P10 P55~P50	$V_{CC}=3.0V$ 、 $V_{IN}=0.0V$	—	60.0	—	μA	参考值
输入电容	C_{IN}	电源管脚 除外的全部 输入管脚	$f=1MHz$ 、 $V_{IN}=0.0V$ 、 $T_a=25^{\circ}C$	—	—	15.0	pF	
激活模式 消费电流	I_{OPE1}	V_{CC}	激活模式 1 $V_{CC}=5.0V$ 、 $f_{osc}=20MHz$	—	15.0	30.0	mA	*2
			激活模式 1 $V_{CC}=3.0V$ 、 $f_{osc}=10MHz$	—	8.0	—	mA	参考值 *2
	I_{OPE2}	V_{CC}	激活模式 2 $V_{CC}=5.0V$ 、 $f_{osc}=20MHz$	—	1.8	3.0	mA	*2
			激活模式 2 $V_{CC}=3.0V$ 、 $f_{osc}=10MHz$	—	1.2	—	mA	参考值 *2
睡眠模式 消费电流	I_{SLEEP1}	V_{CC}	睡眠模式 1 $V_{CC}=5.0V$ 、 $f_{osc}=20MHz$	—	11.5	22.5	mA	*2
			睡眠模式 1 $V_{CC}=3.0V$ 、 $f_{osc}=10MHz$	—	6.5	—	mA	参考值 *2
	I_{SLEEP2}	V_{CC}	睡眠模式 2 $V_{CC}=5.0V$ 、 $f_{osc}=20MHz$	—	1.7	2.7	mA	*2
			睡眠模式 2 $V_{CC}=3.0V$ 、 $f_{osc}=10MHz$	—	1.1	—	mA	参考值 *2
待机模式 消费电流	I_{STBY}	V_{CC}		—	—	5.0	μA	*2
RAM 数据 保持电压	V_{RAM}	V_{CC}		2.0	—	—	V	

【注】*1 H8/36014 没有 SCK3_3、RXD_3 管脚。
*2 消耗电流测定时的管脚状态如下表所示，流向上拉 MOS 和输出缓冲器的电流除外。

模式	RES 管脚	内部状态	各管脚	振荡管脚
激活模式 1	Vcc	运行	Vcc	主时钟： 陶瓷谐振器 或者晶体谐振器
激活模式 2		运行（ $\phi/64$ ）		
睡眠模式 1	Vcc	只有定时器运行	Vcc	
睡眠模式 2		只有定时器运行（ $\phi/64$ ）		
待机模式	Vcc	CPU 和定时器都停止	Vcc	主时钟： 陶瓷谐振器 或者晶体谐振器

表 18.2 DC 特性（2）

（在没有特别记载的情况下：Vcc=3.0~5.5V、Vss=0.0V、Ta=−20~+75℃）

项目	符号	适用管脚	测定条件	规格值			单位
				Min	Typ	Max	
输出低电平 容许电流 （每一个管脚）	I _{OL}	端口 8 除外的输出 管脚	Vcc=4.0~5.5V	—	—	2.0	mA
		端口 8		—	—	20.0	mA
		端口 8 除外的输出 管脚		—	—	0.5	mA
		端口 8		—	—	10.0	mA
输出低电平 容许电流 （总计）	ΣI_{OL}	端口 8 除外的输出 管脚	Vcc=4.0~5.5V	—	—	40.0	mA
		端口 8		—	—	80.0	mA
		端口 8 除外的输出 管脚		—	—	20.0	mA
		端口 8		—	—	40.0	mA
输出高电平 容许电流 （每一个管脚）	− I _{OH}	全部输出管脚	Vcc=4.0~5.5V	—	—	2.0	mA
				—	—	0.2	mA
输出高电平 容许电流 （总计）	− ΣI_{OH}	全部输出管脚	Vcc=4.0~5.5V	—	—	30.0	mA
				—	—	8.0	mA

18.2.3 AC 特性

表 18.3 AC 特性

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				Min	Typ	Max		
系统时钟振荡器	fosc	OSC1、OSC2	$V_{CC}=4.0\sim 5.5V$	2.0	—	20.0	MHz	* ¹
振荡频率				2.0	—	10.0	MHz	
系统时钟 (ϕ)	tcyc			1	—	64	tOSC	* ²
周期时间				—	—	12.8	μs	
指令周期时间				2	—	—	tcyc	
振荡稳定时间 (晶体谐振器)	trc	OSC1、OSC2		—	—	10.0	ms	
振荡稳定时间 (陶瓷谐振器)	trc	OSC1、OSC2		—	—	5.0	ms	
外部时钟 高电平宽度	tCPH	OSC1	$V_{CC}=4.0\sim 5.5V$	20.0	—	—	ns	图 18.1
				40.0	—	—	ns	
外部时钟 低电平宽度	tCPL	OSC1	$V_{CC}=4.0\sim 5.5V$	20.0	—	—	ns	
				40.0	—	—	ns	
外部时钟 上升时间	tCPr	OSC1	$V_{CC}=4.0\sim 5.5V$	—	—	10.0	ns	
				—	—	15.0	ns	
外部时钟 下降时间	tCPf	OSC1	$V_{CC}=4.0\sim 5.5V$	—	—	10.0	ns	图 18.2
				—	—	15.0	ns	
RES 管脚 低电平宽度	tREL	RES	在接通电源时和 下列以外的模式	trc	—	—	ms	图 18.2
			当激活模式和睡眠模式运行时	200	—	—	ns	

(在没有特别记载的情况下: Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75℃)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				Min	Typ	Max		
输入管脚 高电平宽度	t _{IH}	NMI、IRQ0、IRQ3 WKP0~WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD		2	—	—	tcyc	图 18.3
输入管脚 低电平宽度	t _{IL}	NMI、IRQ0、IRQ3 WKP0~WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD		2	—	—	tcyc	

【注】*1 输入外部时钟时, 系统时钟振荡器的振荡频率为 Min1.0MHz。

*2 由系统控制寄存器 2 (SYSCR2) 的 MA2~MA0 的设定来决定。

表 18.4 串行接口 (SCI3) 时序

(在没有特别记载的情况下: Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75℃)

项目		符号	适用管脚	测定条件	规格值			单位	参照图
					Min	Typ	Max		
输入时钟 周期	异步	tscyc	SCK3		4	—	—	tcyc	图 18.4
	时钟同步		SCK3_2 SCK3_3*		6	—	—	tcyc	
输入时钟脉冲宽度		tsckw	SCK3 SCK3_2 SCK3_3*		0.4	—	0.6	tscyc	
发送数据延迟时间 (时钟同步)		tTXD	TXD	Vcc=4.0~5.5V	—	—	1	tcyc	图 18.5
			TXD_2 TXD_3*		—	—	1	tcyc	
接收数据准备时间 (时钟同步)		trxs	RXD	Vcc=4.0~5.5V	50.0	—	—	ns	
			RXD_2 RXD_3*		100.0	—	—	ns	
接收数据保持时间 (时钟同步)		trXH	RXD	Vcc=4.0~5.5V	50.0	—	—	ns	
			RXD_2 RXD_3*		100.0	—	—	ns	

【注】* H8/36014 没有 SCK3_3、RXD_3、TXD_3 管脚。

18.2.4 A/D 转换特性

表 18.5 A/D 转换器特性

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
模拟电源电压	AV _{CC}	AV _{CC}		3.3	V _{CC}	5.5	V	* ¹
模拟输入电压	AV _{IN}	AN3~AN0		V _{SS} -0.3	—	AV _{CC} +0.3	V	
模拟电源电流	AIOPE	AV _{CC}	AV _{CC} =5.0V f _{osc} =20MHz	—	—	2.0	mA	
	AlSTOP1	AV _{CC}		—	50	—	μA	* ² 参考值
	AlSTOP2	AV _{CC}		—	—	5.0	μA	* ³
模拟输入电容	CAIN	AN3~AN0		—	—	30.0	pF	
容许信号源阻抗	RAIN	AN3~AN0		—	—	5.0	kΩ	
分辨率 (数据长)				10	10	10	位	
转换时间 (单通道模式)			AV _{CC} =3.3~5.5V	134	—	—	t _{cyc}	
非线性误差				—	—	±7.5	LSB	
偏移误差				—	—	±7.5	LSB	
满刻度误差				—	—	±7.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±8.0	LSB	
转换时间 (单通道模式)			AV _{CC} =4.0~5.5V	70	—	—	t _{cyc}	
非线性误差				—	—	±7.5	LSB	
偏移误差				—	—	±7.5	LSB	
满刻度误差				—	—	±7.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±8.0	LSB	
转换时间 (单通道模式)			AV _{CC} =4.0~5.5V	134	—	—	t _{cyc}	
非线性误差				—	—	±3.5	LSB	
偏移误差				—	—	±3.5	LSB	
满刻度误差				—	—	±3.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±4.0	LSB	

【注】*¹ 在不使用 A/D 转换器的情况下, 必须使 AV_{CC}=V_{CC}。*² AlSTOP1 是在激活模式和睡眠模式的 A/D 转换待机时的电流值。*³ AlSTOP2 是在复位、待机模式以及子睡眠模式的 A/D 转换待机时的电流值。

18.2.5 监视定时器特性

表 18.6 监视定时器特性

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
内部振荡器溢出时间	toVF			0.2	0.4	—	s	*

【注】* 在选择内部振荡器的状态下, 从 0 到 255 累加计数, 并且表示到内部复位发生为止的时间。

18.2.6 快速擦写存储器特性

表 18.7 快速擦写存储器特性

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目		符号	测定条件	规格值			单位
				Min	Typ	Max	
写时间 (每 128 字节) * ¹ * ² * ⁴		tP		—	7	200	ms
擦除时间 (每 1 块) * ¹ * ³ * ⁶		tE		—	100	1200	ms
改写次数		N _{WEC}		1000	10000	—	次
写时	SWE 位置位后的待机时间* ¹	x		1	—	—	μs
	PSU 位置位后的待机时间* ¹	y		50	—	—	μs
	P 位置位后的待机时间* ¹ * ⁴	z1	$1 \leq n \leq 6$	28	30	32	μs
		z2	$7 \leq n \leq 1000$	198	200	202	μs
		z3	追加写	8	10	12	μs
	P 位清除后的待机时间* ¹	α		5	—	—	μs
	PSU 位清除后的待机时间* ¹	β		5	—	—	μs
	PV 位置位后的待机时间* ¹	γ		4	—	—	μs
	虚写后的待机时间* ¹	ε		2	—	—	μs
	PV 位清除后的待机时间* ¹	η		2	—	—	μs
	SWE 位清除后的待机时间* ¹	θ		100	—	—	μs
	最大写次数* ¹ * ⁴ * ⁵	N		—	—	1000	次

(在没有特别记载的情况下: $V_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目		符号	测定条件	规格值			单位
				Min	Typ	Max	
擦除时	SWE 位置位后的待机时间* ¹	x		1	—	—	μs
	ESU 位置位后的待机时间* ¹	y		100	—	—	μs
	E 位置位后的待机时间* ¹ * ⁶	z		10	—	100	ms
	E 位清除后的待机时间* ¹	α		10	—	—	μs
	ESU 位清除后的待机时间* ¹	β		10	—	—	μs
	EV 位置位后的待机时间* ¹	γ		20	—	—	μs
	虚写后的待机时间* ¹	ε		2	—	—	μs
	EV 位清除后的待机时间* ¹	η		4	—	—	μs
	SWE 位清除后的待机时间* ¹	θ		100	—	—	μs
	最大擦除次数* ¹ * ⁶ * ⁷	N		—	—	120	次

- 【注】*1 必须按照程序/擦除算法, 设定各时间。
- *2 用每 128 字节写时间表示置位快速擦写存储器控制寄存器 1 (FLMCR1) 的 P 位的总计时间。不包含程序验证时间。
- *3 用擦除一个块的时间表示置位快速擦写存储器控制寄存器 1 (FLMCR1) 的 E 位的总计时间。不包含擦除验证时间。
- *4 写时间的最大值 ($t_p(\text{MAX})$) = P 位置位后的待机时间(z) $\times$ 最大写次数(N)
- *5 必须配合实际的 z1、z2 和 z3 的设定值, 使最大写次数(N) 不超过写时间的最大值 $t_p(\text{MAX})$ 。另外, 必须按下列所示, 根据写次数(n) 的值, 改变 P 位置位后的待机时间 (z1、z2)。

写次数 n

$$1 \leq n \leq 6 \quad z1 = 30\mu s$$

$$7 \leq n \leq 1000 \quad z2 = 200\mu s$$

- *6 擦除时间的最大值 ($t_e(\text{MAX})$) = E 位置位后的待机时间(z) $\times$ 最大擦除次数(N)
- *7 必须配合实际的(z)的设定值, 使最大擦除次数(N)不超过擦除时间的最大值 $t_e(\text{MAX})$ 。

18.2.7 电源电压检测电路特性【任选】

表 18.8 电源电压检测电路特性

(在没有特别记载的情况下: $V_{SS}=0.0V$ 、 $T_a=-20\sim+75^{\circ}C$)

项目	符号	测定条件	规格值			单位
			Min	Typ	Max	
电源下降检测电压	$V_{int}(D)$	LVDSEL=0	3.3	3.7	—	V
电源上升检测电压	$V_{int}(U)$	LVDSEL=0	—	4.0	4.5	V
复位检测电压 1* ¹	V_{reset1}	LVDSEL=0	—	2.3	2.7	V
复位检测电压 2* ²	V_{reset2}	LVDSEL=1	3.0	3.6	4.2	V
LVDR 运行的下限电压* ³	$V_{LVDRmin}$		1.0	—	—	V
LVD 稳定时间	t_{LVDRON}		50	—	—	μs
待机模式消费电流	I_{STBY}	LVDE=1 $V_{CC}=5.0V$ 未使用 32kHz 晶体谐振器	—	—	350	μA

【注】*1 必须在下降电压检测功能和上升电压检测功能并用时使用。

*2 在只使用低电压检测复位时, 必须选择低电压复位 2。

*3 在电源电压 V_{CC} 降低到低于 $V_{LVDRmin}=1.0V$ 后开始上升的情况下, 低电压检测复位可能不运行, 请充分评价。

18.2.8 加电复位特性【任选】

表 18.9 加电复位特性

(在没有特别记载的情况下: $V_{SS}=0.0V$ 、 $T_a=-20\sim+75^{\circ}C$)

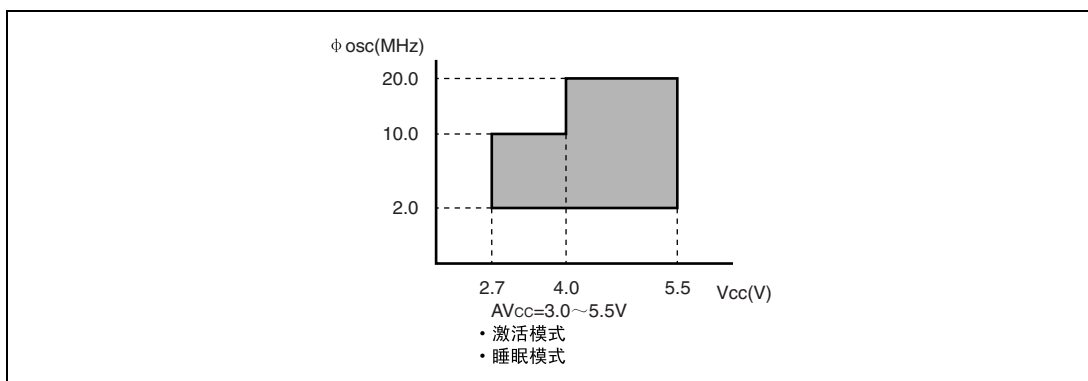
项目	符号	测定条件	规格值			单位
			Min	Typ	Max	
RES 管脚上拉电阻	R_{RES}		100	150	—	$k\Omega$
加电复位启动电压*	V_{por}		—	—	100	mV

【注】*电源电压 V_{CC} 一定下降到 $V_{por}=100mV$ 以下, 必须在充分放掉 RES 管脚的电荷后, 使电源电压 V_{CC} 上升。为了放掉 RES 管脚的电荷, 建议给 V_{CC} 侧外接二极管。如果从大于 100mV 的电压开始电源电压 V_{CC} 上升, 加电复位可能不动作。

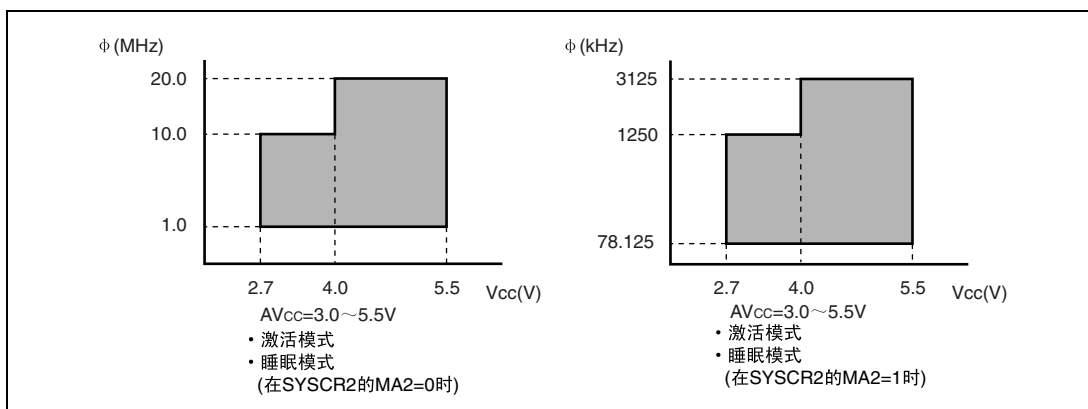
18.3 电特性（掩模型 ROM 版）

18.3.1 电源电压和运行范围

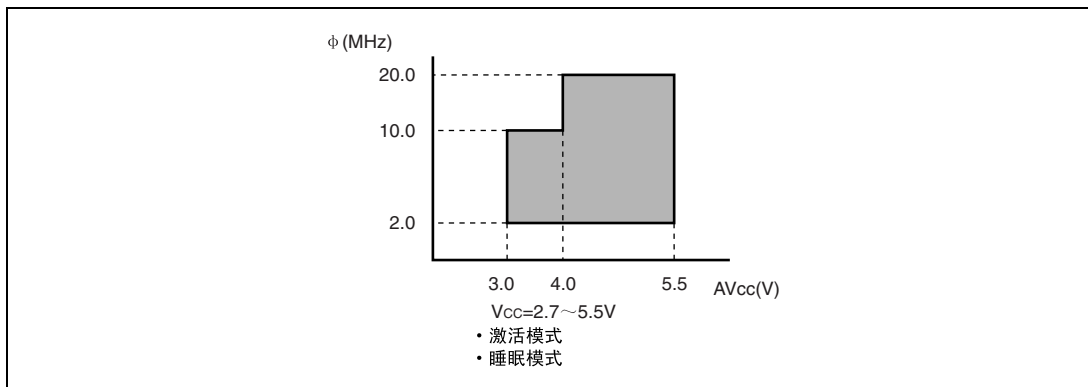
（1）电源电压和振荡频率的范围



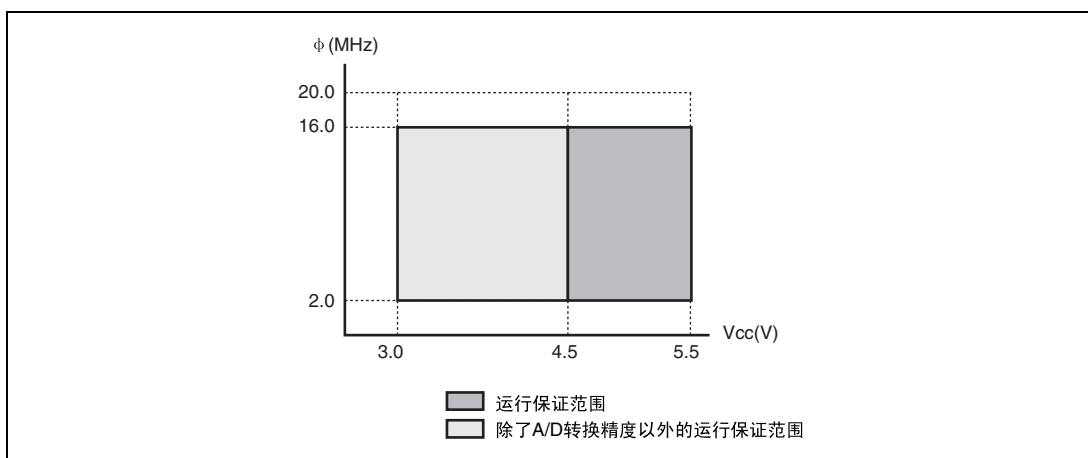
（2）电源电压和运行频率的范围



(3) 模拟电源电压和 A/D 转换器的精度保证范围



(4) 使用低电压检测电路时的电源电压和振荡频率的范围



18.3.2 DC 特性

表 18.10 DC 特性 (1)

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输入高电平电压	V_{IH}	$\overline{RES}$ 、 $\overline{NMI}$ $\overline{WKP0}\sim\overline{WKP5}$ $\overline{IRQ0}$ 、 $\overline{IRQ3}$ $\overline{ADTRG}$ TMRIV、TMCIV FTCI、FTIOA FTIOB、FTIOC FTIOD SCK3、SCK3_2 SCK3_3* ¹ TRGV	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.8$	—	$V_{CC}+0.3$	V	
				$V_{CC}\times 0.9$	—	$V_{CC}+0.3$	V	
		RXD、RXD_2 RXD_3* ¹ P17~P14 P12~P10 P22~P20 P57~P50 P76~P70 P84~P80	$V_{CC}=4.0\sim 5.5V$	$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V	
				$V_{CC}\times 0.8$	—	$V_{CC}+0.3$	V	
		PB3~PB0	$AV_{CC}=4.0\sim 5.5V$	$AV_{CC}\times 0.7$	—	$AV_{CC}+0.3$	V	
			$AV_{CC}=3.3\sim 5.5V$	$AV_{CC}\times 0.8$	—	$AV_{CC}+0.3$	V	
		OSC1	$V_{CC}=4.0\sim 5.5V$	$V_{CC}-0.5$	—	$V_{CC}+0.3$	V	
				$V_{CC}-0.3$	—	$V_{CC}+0.3$	V	

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输入低电平电压	V_{IL}	RES、 $\overline{NMI}$ $\overline{WKP0}\sim\overline{WKP5}$ $\overline{IRQ0}$ 、 $\overline{IRQ3}$ $\overline{ADTRG}$ TMRIV、TMCIV FTCI、FTIOA FTIOB、FTIOC FTIOD SCK3、SCK3_2 SCK3_3* ¹ TRGV	$V_{CC}=4.0\sim 5.5V$	-0.3	—	$V_{CC}\times 0.2$	V	
				-0.3	—	$V_{CC}\times 0.1$	V	
		RXD、RXD_2 RXD_3* ¹ P17~P14 P12~P10 P22~P20 P57~P50 P76~P70 P84~P80	$V_{CC}=4.0\sim 5.5V$	-0.3	—	$V_{CC}\times 0.3$	V	
				-0.3	—	$V_{CC}\times 0.2$	V	
		PB3~PB0	$AV_{CC}=4.0\sim 5.5V$	-0.3	—	$AV_{CC}\times 0.3$	V	
			$AV_{CC}=3.3\sim 5.5V$	-0.3	—	$AV_{CC}\times 0.2$	V	
		OSC1	$V_{CC}=4.0\sim 5.5V$	-0.3	—	0.5	V	
				-0.3	—	0.3	V	
输出高电平电压	V_{OH}	P17~P14 P12~P10 P22~P20	$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=1.5mA$	$V_{CC}-1.0$	—	—	V	
		P57~P50 P76~P70 P84~P80	$-I_{OH}=0.1mA$	$V_{CC}-0.5$	—	—	V	

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
输出低电平电压	V_{OL}	P17~P14 P12~P10 P22~P20	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.6	V	
		P57~P50 P76~P70	$I_{OL}=0.4mA$	—	—	0.4	V	
		P84~P80	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=20.0mA$	—	—	1.5	V	
			$V_{CC}=4.0\sim 5.5V$ $I_{OL}=10.0mA$	—	—	1.0	V	
			$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.4	V	
			$I_{OL}=0.4mA$	—	—	0.4	V	
输入/输出漏泄电流	I _{IL}	OSC1 $\overline{RES}$ 、 $\overline{NMI}$ $\overline{WKP0}\sim\overline{WKP5}$ $\overline{IRQ0}$ 、 $\overline{IRQ3}$ $\overline{ADTRG}$ 、TRGV TMRIV、TMCIV FTCI、FTIOA FTIOB、FTIOC FTIOD RXD、RXD_2 RXD_3* ¹ SCK3、SCK3_2 SCK3_3* ¹	$V_{IN}=0.5V\sim$ ($V_{CC}-0.5V$)	—	—	1.0	μA	
		P17~P14 P12~P10 P22~P20 P57~P50 P76~P70 P84~P80	$V_{IN}=0.5V\sim$ ($V_{CC}-0.5V$)	—	—	1.0	μA	
		PB3~PB0	$V_{IN}=0.5V\sim$ ($AV_{CC}-0.5V$)	—	—	1.0	μA	

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
上拉 MOS 电流	$-I_p$	P17~P14	$V_{CC}=5.0V$ 、 $V_{IN}=0.0V$	50.0	—	300.0	μA	
		P12~P10 P55~P50	$V_{CC}=3.0V$ 、 $V_{IN}=0.0V$	—	60.0	—	μA	参考值
输入电容	C_{IN}	电源管脚 除外的全部 输入管脚	$f=1MHz$ 、 $V_{IN}=0.0V$ 、 $T_a=25^{\circ}C$	—	—	15.0	pF	
激活模式 消费电流	I_{OPE1}	V_{CC}	激活模式 1 $V_{CC}=5.0V$ 、 $f_{osc}=20MHz$	—	15.0	30.0	mA	* ²
			激活模式 1 $V_{CC}=3.0V$ 、 $f_{osc}=10MHz$	—	8.0	—	mA	参考值 * ²
	I_{OPE2}	V_{CC}	激活模式 2 $V_{CC}=5.0V$ 、 $f_{osc}=20MHz$	—	1.8	3.0	mA	* ²
			激活模式 2 $V_{CC}=3.0V$ 、 $f_{osc}=10MHz$	—	1.2	—	mA	参考值 * ²
睡眠模式 消费电流	I_{SLEEP1}	V_{CC}	睡眠模式 1 $V_{CC}=5.0V$ 、 $f_{osc}=20MHz$	—	11.5	22.5	mA	* ²
			睡眠模式 1 $V_{CC}=3.0V$ 、 $f_{osc}=10MHz$	—	6.5	—	mA	参考值 * ²
	I_{SLEEP2}	V_{CC}	睡眠模式 2 $V_{CC}=5.0V$ 、 $f_{osc}=20MHz$	—	1.7	2.7	mA	* ²
			睡眠模式 2 $V_{CC}=3.0V$ 、 $f_{osc}=10MHz$	—	1.1	—	mA	参考值 * ²
待机模式 消费电流	I_{STBY}	V_{CC}		—	—	5.0	μA	* ²
RAM 数据 保持电压	V_{RAM}	V_{CC}		2.0	—	—	V	

【注】*1 H8/36014 没有 SCK3_3、RXD_3 管脚。

*2 消耗电流测定时的管脚状态如下表所示，流向上拉 MOS 和输出缓冲器的电流除外。

模式	RES 管脚	内部状态	各管脚	振荡管脚
激活模式 1	Vcc	运行	Vcc	主时钟： 陶瓷谐振器 或者晶体谐振器
激活模式 2		运行（ $\phi/64$ ）		
睡眠模式 1	Vcc	只有定时器运行	Vcc	
睡眠模式 2		只有定时器运行（ $\phi/64$ ）		
待机模式	Vcc	CPU 和定时器都停止	Vcc	主时钟： 陶瓷谐振器 或者晶体谐振器

表 18.10 DC 特性 (2)

(在没有特别记载的情况下: $V_{cc}=2.7\sim 5.5V$ 、 $V_{ss}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位
				Min	Typ	Max	
输出低电平 容许电流 (每一个管脚)	I _{OL}	端口 8 除外的输出 管脚	V _{cc} =4.0~5.5V	—	—	2.0	mA
		端口 8		—	—	20.0	mA
		端口 8 除外的输出 管脚		—	—	0.5	mA
		端口 8		—	—	10.0	mA
输出低电平 容许电流 (总计)	ΣI_{OL}	端口 8 除外的输出 管脚	V _{cc} =4.0~5.5V	—	—	40.0	mA
		端口 8		—	—	80.0	mA
		端口 8 除外的输出 管脚		—	—	20.0	mA
		端口 8		—	—	40.0	mA
输出高电平 容许电流 (每一个管脚)	-I _{OH}	全部输出管脚	V _{cc} =4.0~5.5V	—	—	2.0	mA
				—	—	0.2	mA
输出高电平 容许电流 (总计)	- ΣI_{OH}	全部输出管脚	V _{cc} =4.0~5.5V	—	—	30.0	mA
				—	—	8.0	mA

18.3.3 AC 特性

表 18.11 AC 特性

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				Min	Typ	Max		
系统时钟振荡器	fosc	OSC1、OSC2	$V_{CC}=4.0\sim 5.5V$	2.0	—	20.0	MHz	* ¹
振荡频率				2.0	—	10.0	MHz	
系统时钟 (φ)	tcyc			1	—	64	tOSC	* ²
周期时间				—	—	12.8	μs	
指令周期时间				2	—	—	tcyc	
振荡稳定时间 (晶体谐振器)	trc	OSC1、OSC2		—	—	10.0	ms	
振荡稳定时间 (陶瓷谐振器)	trc	OSC1、OSC2		—	—	5.0	ms	
外部时钟 高电平宽度	tCPH	OSC1	$V_{CC}=4.0\sim 5.5V$	20.0	—	—	ns	图 18.1
				40.0	—	—	ns	
外部时钟 低电平宽度	tCPL	OSC1	$V_{CC}=4.0\sim 5.5V$	20.0	—	—	ns	
				40.0	—	—	ns	
外部时钟 上升时间	tCPr	OSC1	$V_{CC}=4.0\sim 5.5V$	—	—	10.0	ns	
				—	—	15.0	ns	
外部时钟 下降时间	tCPf	OSC1	$V_{CC}=4.0\sim 5.5V$	—	—	10.0	ns	图 18.2
				—	—	15.0	ns	
RES 管脚 低电平宽度	tREL	RES	在接通电源时和 下列以外的模式	trc	—	—	ms	图 18.2
			当激活模式和睡眠模式运行时	200	—	—	ns	

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	参照图
				Min	Typ	Max		
输入管脚 高电平宽度	t_{IH}	NMI、IRQ0、IRQ3 WKP0~WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD		2	—	—	tcyc	图 18.3
输入管脚 低电平宽度	t_{IL}	NMI、IRQ0、IRQ3 WKP0~WKP5 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD		2	—	—	tcyc	

【注】*1 输入外部时钟时, 系统时钟振荡器的振荡频率为 Min1.0MHz。

*2 由系统控制寄存器 2 (SYSCR2) 的 MA2~MA0 的设定来决定。

表 18.12 串行接口 (SCI3) 时序

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目		符号	适用管脚	测定条件	规格值			单位	参照图
					Min	Typ	Max		
输入时钟 周期	异步	tscyc	SCK3		4	—	—	tcyc	图 18.4
	时钟同步		SCK3_2 SCK3_3*		6	—	—	tcyc	
输入时钟脉冲宽度		tsckw	SCK3 SCK3_2 SCK3_3*		0.4	—	0.6	tscyc	
发送数据延迟时间 (时钟同步)		tTXD	TXD	$V_{CC}=4.0\sim 5.5V$	—	—	1	tcyc	图 18.5
			TXD_2 TXD_3*		—	—	1	tcyc	
接收数据准备时间 (时钟同步)		trxs	RXD	$V_{CC}=4.0\sim 5.5V$	50.0	—	—	ns	
			RXD_2 RXD_3*		100.0	—	—	ns	
接收数据保持时间 (时钟同步)		trXH	RXD	$V_{CC}=4.0\sim 5.5V$	50.0	—	—	ns	
			RXD_2 RXD_3*		100.0	—	—	ns	

【注】* H8/36014 没有 SCK3_3、RXD_3、TXD_3 管脚。

18.3.4 A/D 转换特性

表 18.13 A/D 转换器特性

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
模拟电源电压	AV _{CC}	AV _{CC}		3.3	V _{CC}	5.5	V	* ¹
模拟输入电压	AV _{IN}	AN3~AN0		V _{SS} -0.3	—	AV _{CC} +0.3	V	
模拟电源电流	AIOPE	AV _{CC}	AV _{CC} =5.0V f _{osc} =20MHz	—	—	2.0	mA	
	AlSTOP1	AV _{CC}		—	50	—	μA	* ² 参考值
	AlSTOP2	AV _{CC}		—	—	5.0	μA	* ³
模拟输入电容	CAIN	AN3~AN0		—	—	30.0	pF	
容许信号源阻抗	RAIN	AN3~AN0		—	—	5.0	kΩ	
分辨率 (数据长)				10	10	10	位	
转换时间 (单通道模式)			AV _{CC} =3.0~5.5V	134	—	—	t _{cyc}	
非线性误差				—	—	±7.5	LSB	
偏移误差				—	—	±7.5	LSB	
满刻度误差				—	—	±7.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±8.0	LSB	
转换时间 (单通道模式)			AV _{CC} =4.0~5.5V	70	—	—	t _{cyc}	
非线性误差				—	—	±7.5	LSB	
偏移误差				—	—	±7.5	LSB	
满刻度误差				—	—	±7.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±8.0	LSB	
转换时间 (单通道模式)			AV _{CC} =4.0~5.5V	134	—	—	t _{cyc}	
非线性误差				—	—	±3.5	LSB	
偏移误差				—	—	±3.5	LSB	
满刻度误差				—	—	±3.5	LSB	
量化误差				—	—	±0.5	LSB	
绝对精度				—	—	±4.0	LSB	

【注】*¹ 在不使用 A/D 转换器的情况下, 必须使 AV_{CC}=V_{CC}。*² AlSTOP1 是在激活模式和睡眠模式的 A/D 转换待机时的电流值。*³ AlSTOP2 是在复位、待机模式以及子睡眠模式的 A/D 转换待机时的电流值。

18.3.5 监视定时器特性

表 18.14 监视定时器特性

(在没有特别记载的情况下: $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	适用管脚	测定条件	规格值			单位	备考
				Min	Typ	Max		
内部振荡器溢出时间	toVF			0.2	0.4	—	s	*

【注】* 在选择内部振荡器的状态下, 从 0 到 255 累加计数, 并且表示到内部复位发生为止的时间。

18.3.6 电源电压检测电路特性【任选】

表 18.15 电源电压检测电路特性

(在没有特别记载的情况下: $V_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

项目	符号	测定条件	规格值			单位
			Min	Typ	Max	
电源下降检测电压	Vint(D)	LVDSSEL=0	3.3	3.7	—	V
电源上升检测电压	Vint(U)	LVDSSEL=0	—	4.0	4.5	V
复位检测电压 1* ¹	Vreset1	LVDSSEL=0	—	2.3	2.7	V
复位检测电压 2* ²	Vreset2	LVDSSEL=1	3.0	3.6	4.2	V
LVDR 运行的下限电压* ³	V _{LVDRmin}		1.0	—	—	V
LVD 稳定时间	t _{LVDON}		50	—	—	μs
待机模式消费电流	I _{STBY}	LVDE=1 V _{CC} =5.0V 未使用 32kHz 晶体谐振器	—	—	350	μA

【注】*1 必须在下降电压检测功能和上升电压检测功能并用时使用。

*2 在只使用低电压检测复位时, 必须选择低电压复位 2。

*3 在电源电压 V_{CC} 降低到低于 $V_{LVDRmin}=1.0V$ 后开始上升的情况下, 低电压检测复位可能不运行, 请充分评价。

18.3.7 加电复位特性【任选】

表 18.16 加电复位特性

(在没有特别记载的情况下: $V_{SS}=0.0V$ 、 $T_a=-20\sim+75^{\circ}C$)

项目	符号	测定条件	规格值			单位
			Min	Typ	Max	
$\overline{RES}$ 管脚上拉电阻	R_{RES}		100	150	—	$k\Omega$
加电复位启动电压*	V_{por}		—	—	100	mV

【注】 *电源电压 V_{CC} 一定下降到 $V_{por}=100mV$ 以下, 必须在充分放掉 $\overline{RES}$ 管脚的电荷后, 使电源电压 V_{CC} 上升。为了放掉 $\overline{RES}$ 管脚的电荷, 建议给 V_{CC} 侧外接二极管。如果从大于 100mV 的电压开始电源电压 V_{CC} 上升, 加电复位可能不动作。

18.4 时序图

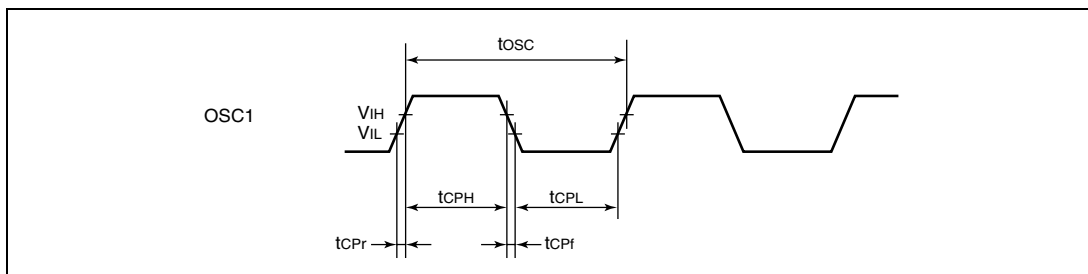


图 18.1 系统时钟输入时序

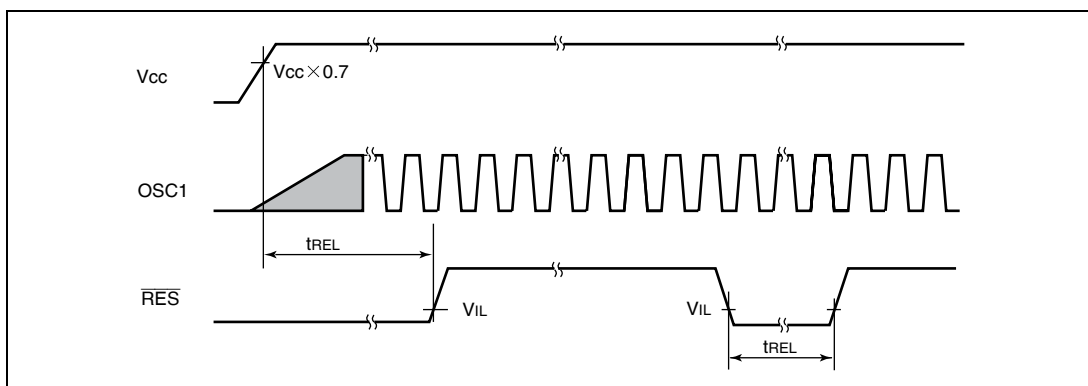
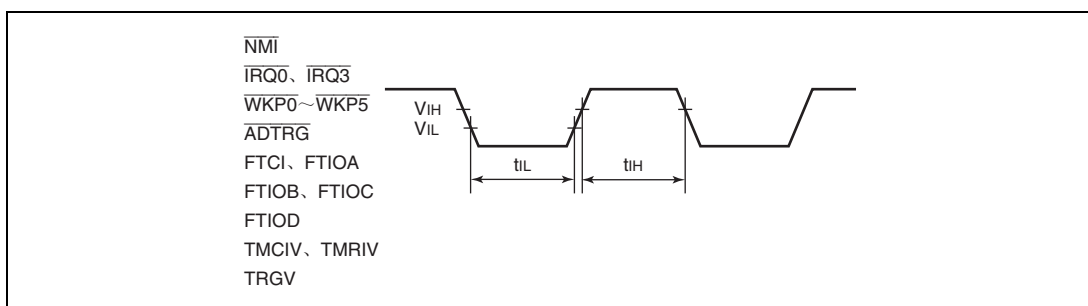
图 18.2 $\overline{\text{RES}}$ 管脚的低电平宽度时序

图 18.3 输入时序

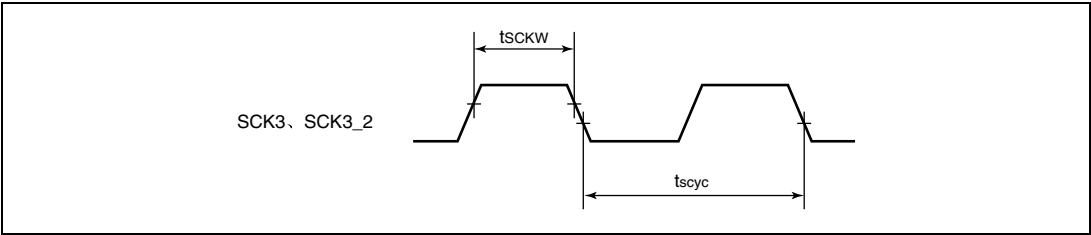


图 18.4 SCK3 输入时钟时序

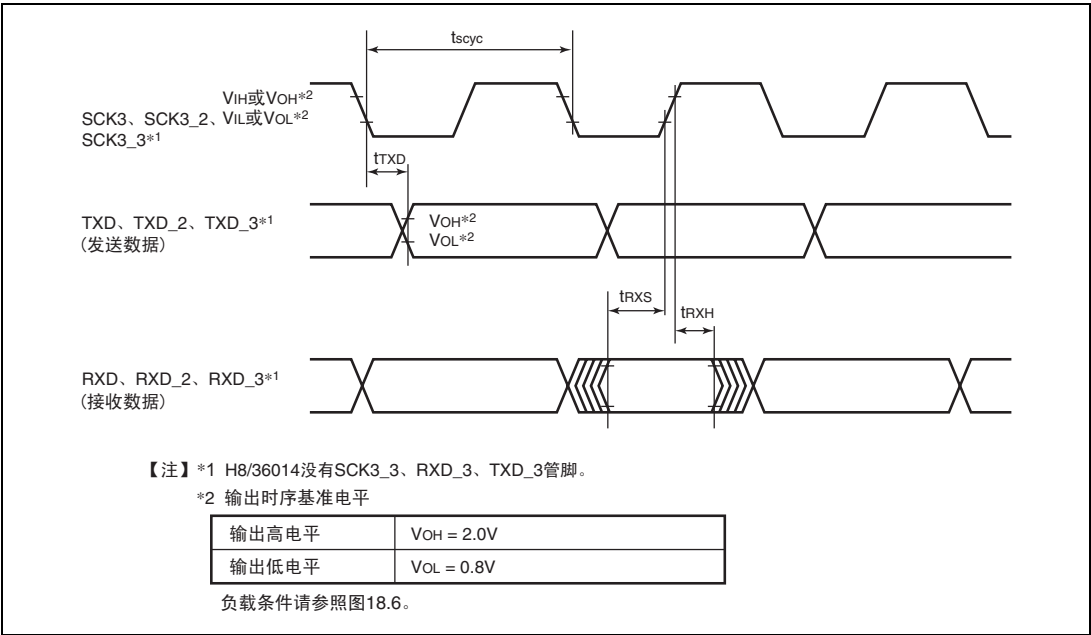


图 18.5 SCK3 时钟同步模式输入/输出时序

18.5 输出负载条件

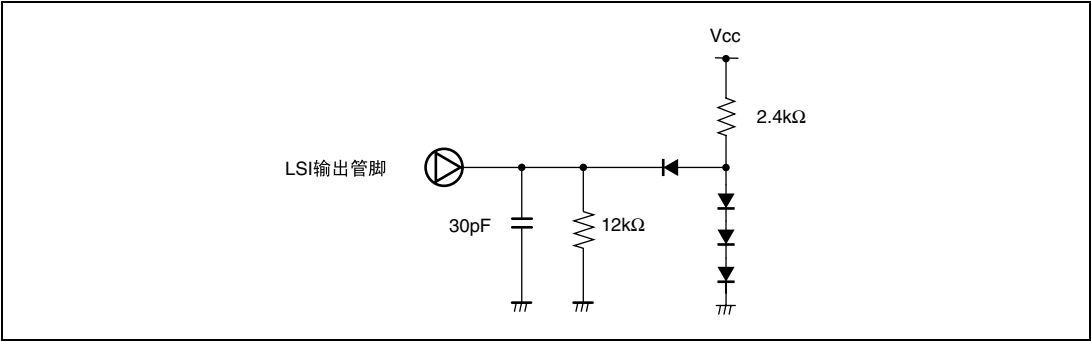


图 18.6 输出负载电路

附录 A. 指令

A.1 指令表

《操作符号》

符 号	内 容
Rd	目标侧通用寄存器
Rs	源侧通用寄存器
Rn	通用寄存器
ERd	目标侧通用寄存器（地址寄存器或者 32 位寄存器）
ERs	源侧通用寄存器（地址寄存器或者 32 位寄存器）
ERn	通用寄存器（32 位寄存器）
(EAd)	目标操作数
(EAs)	源操作数
PC	程序计数器
SP	堆栈指针
CCR	条件码寄存器
N	CCR 的 N（负）标志位
Z	CCR 的 Z（零）标志位
V	CCR 的 V（溢出）标志位
C	CCR 的 C（进位）标志位
disp	位移量
→	左边的操作数传送到右边的操作数、或者左边的状态转移到右边的状态
+	两边的操作数相加
—	左边的操作数减去右边的操作数
×	两边的操作数相乘
÷	左边的操作数除以右边的操作数
∧	两边的操作数逻辑与
∨	两边的操作数逻辑或

【注】 通用寄存器为 8 位（R0H～R7H、R0L～R7L）或者 16 位（R0～R7、E0～E7）。

《操作符号》

符 号	内 容
$\oplus$	两边的操作数逻辑异或
$\sim$	非（逻辑补）
$() <>$	操作数的内容
$\updownarrow$	表示根据执行结果而变化。
$*$	表示不定的状态（不保证值）。
0	表示总是被清 0。
1	表示总是被置 1。
—	表示不受执行结果的影响。
$\triangle$	根据条件的不同而不同。请参照注意事项。

助记符	长度	寻址方式/指令长 (字节)						操作	条件码							执行状态数 ^{*1}	
		#xx	Rn	@ERn	@(d, ERn)	@ERn+/@-ERn	@aa	@(d, PC)	@aa	I	H	N	Z	V	C	普通	高级
MOV	MOV.W Rs, @ERd	W		2						—	—	↑	↑	0	—	4	
	MOV.W Rs, @(d:16, ERd)	W			4					—	—	↑	↑	0	—	6	
	MOV.W Rs, @(d:24, ERd)	W								—	—	↑	↑	0	—	10	
	MOV.W Rs, @-ERd	W				2				—	—	↑	↑	0	—	6	
	MOV.W Rs, @aa:16	W					4			—	—	↑	↑	0	—	6	
	MOV.W Rs, @aa:24	W					6			—	—	↑	↑	0	—	8	
	MOV.L #xx:32, Rd	L	6							—	—	↑	↑	0	—	6	
	MOV.L ERs, ERd	L		2						—	—	↑	↑	0	—	2	
	MOV.L @ERs, ERd	L		4						—	—	↑	↑	0	—	8	
	MOV.L @(d:16, ERs), ERd	L			6					—	—	↑	↑	0	—	10	
	MOV.L @(d:24, ERs), ERd	L			10					—	—	↑	↑	0	—	14	
	MOV.L @ERs+, ERd	L				4				—	—	↑	↑	0	—	10	
	MOV.L @aa:16, ERd	L					6			—	—	↑	↑	0	—	10	
	MOV.L @aa:24, ERd	L					8			—	—	↑	↑	0	—	12	
	MOV.L ERs, @ERd	L		4						—	—	↑	↑	0	—	8	
POP	MOV.L ERs, @(d:16, ERd)	L			6					—	—	↑	↑	0	—	10	
	MOV.L ERs, @(d:24, ERd)	L			10					—	—	↑	↑	0	—	14	
	MOV.L ERs, @-ERd	L				4				—	—	↑	↑	0	—	10	
	MOV.L ERs, @aa:16	L					6			—	—	↑	↑	0	—	10	
	MOV.L ERs, @aa:24	L					8			—	—	↑	↑	0	—	12	
	POP.W Rn	W							2	—	—	↑	↑	0	—	6	
	POP.L ERn	L							4	—	—	↑	↑	0	—	10	
	PUSH.W Rn	W							2	—	—	↑	↑	0	—	6	
	PUSH.L ERn	L							4	—	—	↑	↑	0	—	10	
	MOVFPE @aa:16, Rd	B					4			—	—	↑	↑	0	—		
MOVTP	MOVTP ERs, @aa:16	B					4			—	—	↑	↑	0	—		

(2) 算术运算指令

助记符		长度	寻址方式/指令长（字节）						操作	条件码								执行状态数 [*]	
			#xx	Rn	@ERn	@(d, ERn)	@ERn+/@-ERn	@aa		@(d, PC)	@@aa	I	H	N	Z	V	C	普通	高级
ADD	ADD.B #xx:8, Rd	B	2									—	↑	↑	↑	↑	↑	2	
	ADD.B Rs, Rd	B		2								—	↑	↑	↑	↑	↑	2	
	ADD.W #xx:16, Rd	W	4									—	(1)	↑	↑	↑	↑	4	
	ADD.W Rs, Rd	W		2								—	(1)	↑	↑	↑	↑	2	
	ADD.L #xx:32, ERd	L	6									—	(2)	↑	↑	↑	↑	6	
	ADD.L ERs, ERd	L		2								—	(2)	↑	↑	↑	↑	2	
ADDX	ADDX.B #xx:8, Rd	B	2									—	↑	↑	(3)	↑	↑	2	
	ADDX.B Rs, Rd	B		2								—	↑	↑	(3)	↑	↑	2	
	ADDS.L #1, ERd	L	2									—	—	—	—	—	—	2	
ADDS	ADDS.L #2, ERd	L	2									—	—	—	—	—	—	2	
	ADDS.L #4, ERd	L	2									—	—	—	—	—	—	2	
	INC.B Rd	B		2								—	—	↑	↑	↑	—	2	
INC	INC.W #1, Rd	W	2									—	—	↑	↑	↑	—	2	
	INC.W #2, Rd	W		2								—	—	↑	↑	↑	—	2	
	INC.L #1, ERd	L		2								—	—	↑	↑	↑	—	2	
	INC.L #2, ERd	L	2									—	—	↑	↑	↑	—	2	
	DAA Rd	B		2								—	*	↑	↑	↑	*	—	2
SUB	SUB.B Rs, Rd	B		2								—	↑	↑	↑	↑	↑	2	
	SUB.W #xx:16, Rd	W	4									—	(1)	↑	↑	↑	↑	4	
	SUB.W Rs, Rd	W		2								—	(1)	↑	↑	↑	↑	2	
	SUB.L #xx:32, ERd	L	6									—	(2)	↑	↑	↑	↑	6	
	SUB.L ERs, ERd	L		2								—	(2)	↑	↑	↑	↑	2	
	SUBX.B #xx:8, Rd	B	2									—	↑	↑	(3)	↑	↑	2	
SUBX	SUBX.B Rs, Rd	B		2								—	↑	↑	(3)	↑	↑	2	

助记符		长度	寻址方式/指令长（字节）							操作	条件码							执行状态数 ^①		
			#xx	Rn	@ERn	@(d, ERn)	@ERn+/@-ERn	@aa	@(d, PC)		@@aa	I	H	N	Z	V	C	普通	高级	
SUBS	SUBSL #1, ERd	L	2															2		
	SUBSL #2, ERd	L	2															2		
	SUBSL #4, ERd	L	2															2		
DEC	DECB Rd	B	2												↑	↑	↑	2		
	DEC.W #1, Rd	W	2												↑	↑	↑	2		
	DEC.W #2, Rd	W	2												↑	↑	↑	2		
	DECL #1, ERd	L	2												↑	↑	↑	2		
	DECL #2, ERd	L	2												↑	↑	↑	2		
DAS	DAS Rd	B	2												*	↑	*	2		
	MULXU.B Rs, Rd	B	2												—	—	—	14		
	MULXU.W Rs, ERd	W	2												—	—	—	22		
MULXS	MULXS.B Rs, Rd	B	4												↑	↑	—	16		
	MULXS.W Rs, ERd	W	4												↑	↑	—	24		
	DIVXU.B Rs, Rd	B	2												—	(6)	(7)	—	14	
DIVXU	DIVXU.W Rs, ERd	W	2												—	(6)	(7)	—	22	
DIVXS	DIVXS.B Rs, Rd	B	4												—	(8)	(7)	—	16	
CMP	DIVXS.W Rs, ERd	W	4												—	(8)	(7)	—	24	
	CMP.B #xx:8, Rd	B	2												↑	↑	↑	↑	2	
	CMP.B Rs, Rd	B	2												↑	↑	↑	↑	2	
	CMP.W #xx:16, Rd	W	4												—	(1)	↑	↑	↑	4
	CMP.W Rs, Rd	W	2												—	(1)	↑	↑	↑	2

助记符		长度	寻址方式/指令长（字节）						操作	条件码							执行状态数 ^{*1}	
			#xx	Rn	@ERn	@(d, ERn)	@ERn+/@-ERn	@aa	@(d, PC)	@aa	I	H	N	Z	V	C	普通	高级
CMP	CMPL #xx:32, ERd	L	6								—	(2)	↑	↑	↑	↑	4	
	CMPL ERs, ERd	L	2	2							—	(2)	↑	↑	↑	↑	2	
NEG	NEGB Rd	B		2							—	↑	↑	↑	↑	↑	2	
	NEG.W Rd	W		2							—	↑	↑	↑	↑	↑	2	
	NEGL ERd	L		2							—	↑	↑	↑	↑	↑	2	
	EXTU.W Rd	W		2							—	—	0	↑	0	—	2	
EXTU	EXTU.L ERd	L		2							—	—	0	↑	0	—	2	
	EXTS.W Rd	W		2							—	—	↑	↑	0	—	2	
EXTS	EXTS.L ERd	L		2							—	—	↑	↑	0	—	2	

(3) 逻辑运算指令

助记符	长度	寻址方式/指令长 (字节)						操作	条件码							执行状态数 ^{a1}	
		#xx	Rn	@ERn	@(d, ERn)	@ERn+/@-ERn	@aa	@(d, PC)	@aa	I	H	N	Z	V	C	普通	高级
AND	AND.B #xx:8, Rd	B	2							—	—	↑	↑	0	—	2	
	AND.B Rs, Rd	B	2							—	—	↑	↑	0	—	2	
	AND.W #xx:16, Rd	W	4							—	—	↑	↑	0	—	4	
	AND.W Rs, Rd	W	2							—	—	↑	↑	0	—	2	
	AND.L #xx:32, ERd	L	6							—	—	↑	↑	0	—	6	
	AND.L ERs, ERd	L	4							—	—	↑	↑	0	—	4	
OR	OR.B #xx:8, Rd	B	2							—	—	↑	↑	0	—	2	
	OR.B Rs, Rd	B	2							—	—	↑	↑	0	—	2	
	OR.W #xx:16, Rd	W	4							—	—	↑	↑	0	—	4	
	OR.W Rs, Rd	W	2							—	—	↑	↑	0	—	2	
	OR.L #xx:32, ERd	L	6							—	—	↑	↑	0	—	6	
	OR.L ERs, ERd	L	4							—	—	↑	↑	0	—	4	
XOR	XOR.B #xx:8, Rd	B	2							—	—	↑	↑	0	—	2	
	XOR.B Rs, Rd	B	2							—	—	↑	↑	0	—	2	
	XOR.W #xx:16, Rd	W	4							—	—	↑	↑	0	—	4	
	XOR.W Rs, Rd	W	2							—	—	↑	↑	0	—	2	
	XOR.L #xx:32, ERd	L	6							—	—	↑	↑	0	—	6	
	XOR.L ERs, ERd	L	4							—	—	↑	↑	0	—	4	
NOT	NOT.B Rd	B	2							—	—	↑	↑	0	—	2	
	NOT.W Rd	W	2							—	—	↑	↑	0	—	2	
	NOT.L ERd	L	2							—	—	↑	↑	0	—	2	

(4) 移位指令

助记符		寻址方式/指令长（字节）					操作		条件码							执行状态数 ^{a1)}	
长 度	#xx	Rn	@ERn	@(d, ERn)	@ERn+/@-ERn	@aa	@(d, PC)	@@aa	—	I	H	N	Z	V	C	普通	高级
SHAL	B	2								—	—	↑	↑	↑	↑	2	
	W	2								—	—	↑	↑	↑	↑	2	
	L	2								—	—	↑	↑	↑	↑	2	
SHAR	B	2								—	—	↑	↑	0	↑	2	
	W	2								—	—	↑	↑	0	↑	2	
	L	2								—	—	↑	↑	0	↑	2	
SHLL	B	2								—	—	↑	↑	0	↑	2	
	W	2								—	—	↑	↑	0	↑	2	
	L	2								—	—	↑	↑	0	↑	2	
SHLR	B	2								—	—	↑	↑	0	↑	2	
	W	2								—	—	↑	↑	0	↑	2	
	L	2								—	—	↑	↑	0	↑	2	
ROTXL	B	2								—	—	↑	↑	0	↑	2	
	W	2								—	—	↑	↑	0	↑	2	
	L	2								—	—	↑	↑	0	↑	2	
ROTXR	B	2								—	—	↑	↑	0	↑	2	
	W	2								—	—	↑	↑	0	↑	2	
	L	2								—	—	↑	↑	0	↑	2	
ROTL	B	2								—	—	↑	↑	0	↑	2	
	W	2								—	—	↑	↑	0	↑	2	
	L	2								—	—	↑	↑	0	↑	2	
ROTR	B	2								—	—	↑	↑	0	↑	2	
	W	2								—	—	↑	↑	0	↑	2	
	L	2								—	—	↑	↑	0	↑	2	

(5) 位操作指令

助记符	长度	寻址方式/指令长(字节)						操作	条件码							执行状态数 ^①	
		#xx	Rn	@ERn	@(d, ERn)	@ERn+/@ERn	@aa	@(d, PC)	@aa	I	H	N	Z	V	C	普通	高级
BSET	BSET #xx:3, Rd	B	2							—	—	—	—	—	—	2	
	BSET #xx:3, @ERd	B		4						—	—	—	—	—	—	8	
	BSET #xx:3, @aa:8	B					4			—	—	—	—	—	—	8	
	BSET Rn, Rd	B	2							—	—	—	—	—	—	2	
BCLR	BSET Rn, @ERd	B		4						—	—	—	—	—	—	8	
	BSET Rn, @aa:8	B					4			—	—	—	—	—	—	8	
	BCLR #xx:3, Rd	B	2							—	—	—	—	—	—	2	
	BCLR #xx:3, @ERd	B		4						—	—	—	—	—	—	8	
BNOT	BCLR #xx:3, @aa:8	B					4			—	—	—	—	—	—	8	
	BCLR Rn, Rd	B	2							—	—	—	—	—	—	2	
	BCLR Rn, @ERd	B		4						—	—	—	—	—	—	8	
	BCLR Rn, @aa:8	B					4			—	—	—	—	—	—	8	
BNOT	BNOT #xx:3, @ERd	B								—	—	—	—	—	—	8	
	BNOT #xx:3, @aa:8	B					4			—	—	—	—	—	—	8	
	BNOT Rn, Rd	B	2							—	—	—	—	—	—	2	
	BNOT Rn, @ERd	B		4						—	—	—	—	—	—	8	
BTST	BNOT Rn, @aa:8	B					4			—	—	—	—	—	—	8	
	BTST #xx:3, Rd	B	2							—	—	—	—	—	—	2	
	BTST #xx:3, @ERd	B		4						—	—	—	—	—	—	6	
	BTST #xx:3, @aa:8	B					4			—	—	—	—	—	—	6	
BLD	BTST Rn, Rd	B	2							—	—	—	—	—	—	2	
	BTST Rn, @ERd	B		4						—	—	—	—	—	—	6	
	BTST Rn, @aa:8	B					4			—	—	—	—	—	—	6	
	BLD #xx:3, Rd	B	2							—	—	—	—	—	—	2	
BILD	BLD #xx:3, @ERd	B		4						—	—	—	—	—	—	6	
	BLD #xx:3, @aa:8	B					4			—	—	—	—	—	—	6	
	BILD #xx:3, Rd	B	2							—	—	—	—	—	—	2	
	BILD #xx:3, @ERd	B		4						—	—	—	—	—	—	6	
	BILD #xx:3, @aa:8	B					4			—	—	—	—	—	—	6	

助记符	长度	寻址方式/指令长 (字节)					操作							条件码							执行状态数*1	
		#xx	Rn	@ERn	@(d, ERn)	@ERn+/@-ERn	@aa	@(d, PC)	@aa	@aa	@aa	@aa	@aa	I	H	N	Z	V	C		普通	高级
BST	BST #xx:3, Rd	B	2										C→(#xx:3 of Rd8)	—	—	—	—	—	—	—	2	
	BST #xx:3, @ERd	B		4									C→(#xx:3 of @ERd24)	—	—	—	—	—	—	—	8	
	BST #xx:3, @aa:8	B					4						C→(#xx:3 of @aa:8)	—	—	—	—	—	—	—	8	
BIST	BIST #xx:3, Rd	B	2										~C→(#xx:3 of Rd8)	—	—	—	—	—	—	—	2	
	BIST #xx:3, @ERd	B		4									~C→(#xx:3 of @ERd24)	—	—	—	—	—	—	—	8	
	BIST #xx:3, @aa:8	B					4						~C→(#xx:3 of @aa:8)	—	—	—	—	—	—	—	8	
BAND	BAND #xx:3, Rd	B	2										C^(#xx:3 of Rd8)→C	—	—	—	—	—	↑	—	2	
	BAND #xx:3, @ERd	B		4									C^(#xx:3 of @ERd24)→C	—	—	—	—	—	↑	—	6	
	BAND #xx:3, @aa:8	B					4						C^(#xx:3 of @aa:8)→C	—	—	—	—	—	↑	—	6	
BIAND	BIAND #xx:3, Rd	B	2										C^(#xx:3 of Rd8)→C	—	—	—	—	—	↑	—	2	
	BIAND #xx:3, @ERd	B		4									C^(#xx:3 of @ERd24)→C	—	—	—	—	—	↑	—	6	
	BIAND #xx:3, @aa:8	B					4						C^(#xx:3 of @aa:8)→C	—	—	—	—	—	↑	—	6	
BOR	BOR #xx:3, Rd	B	2										C^(#xx:3 of Rd8)→C	—	—	—	—	—	↑	—	2	
	BOR #xx:3, @ERd	B		4									C^(#xx:3 of @ERd24)→C	—	—	—	—	—	↑	—	6	
	BOR #xx:3, @aa:8	B					4						C^(#xx:3 of @aa:8)→C	—	—	—	—	—	↑	—	6	
BIOR	BIOR #xx:3, Rd	B	2										C^(#xx:3 of Rd8)→C	—	—	—	—	—	↑	—	2	
	BIOR #xx:3, @ERd	B		4									C^(#xx:3 of @ERd24)→C	—	—	—	—	—	↑	—	6	
	BIOR #xx:3, @aa:8	B					4						C^(#xx:3 of @aa:8)→C	—	—	—	—	—	↑	—	6	
BXOR	BXOR #xx:3, Rd	B	2										C⊕(#xx:3 of Rd8)→C	—	—	—	—	—	↑	—	2	
	BXOR #xx:3, @ERd	B		4									C⊕(#xx:3 of @ERd24)→C	—	—	—	—	—	↑	—	6	
	BXOR #xx:3, @aa:8	B					4						C⊕(#xx:3 of @aa:8)→C	—	—	—	—	—	↑	—	6	
BIXOR	BIXOR #xx:3, Rd	B	2										C⊕~(#xx:3 of Rd8)→C	—	—	—	—	—	↑	—	2	
	BIXOR #xx:3, @ERd	B		4									C⊕~(#xx:3 of @ERd24)→C	—	—	—	—	—	↑	—	6	
	BIXOR #xx:3, @aa:8	B					4						C⊕~(#xx:3 of @aa:8)→C	—	—	—	—	—	↑	—	6	

(6) 转移指令

助记符		长度	寻址方式/指令长（字节）							操作	转移条件	条件码					执行状态数 [*]	
			#xx	Rn	@ERn	@(d, ERn)	@ERn+/@-ERn	@aa	@(d, PC)			@aa	I	H	N	Z	V	C
Bcc	BRA d:8(BT d:8)	—								2		—	—	—	—	—	—	4
	BRA d:16(BT d:16)	—								4		—	—	—	—	—	6	
	BRN d:8(BF d:8)	—								2		—	—	—	—	—	4	
	BRN d:16(BF d:16)	—								4		—	—	—	—	—	6	
	BHI d:8	—								2		—	—	—	—	—	4	
	BHI d:16	—								4		—	—	—	—	—	6	
	BLS d:8	—								2		—	—	—	—	—	4	
	BLS d:16	—								4		—	—	—	—	—	6	
	BCC d:8(BHS d:8)	—								2		—	—	—	—	—	4	
	BCC d:16(BHS d:16)	—								4		—	—	—	—	—	6	
	BCS d:8(BLO d:8)	—								2		—	—	—	—	—	4	
	BCS d:16(BLO d:16)	—								4		—	—	—	—	—	6	
	BNE d:8	—								2		—	—	—	—	—	4	
	BNE d:16	—								4		—	—	—	—	—	6	
	BEQ d:8	—								2		—	—	—	—	—	4	
	BEQ d:16	—								4		—	—	—	—	—	6	
	BVC d:8	—								2		—	—	—	—	—	4	
	BVC d:16	—								4		—	—	—	—	—	6	
	BVS d:8	—								2		—	—	—	—	—	4	
	BVS d:16	—								4		—	—	—	—	—	6	
	BPL d:8	—								2		—	—	—	—	—	4	
	BPL d:16	—								4		—	—	—	—	—	6	
	BMI d:8	—								2		—	—	—	—	—	4	
	BMI d:16	—								4		—	—	—	—	—	6	

助记符		长度	寻址方式/指令长（字节）							操作		转移条件		条件码					执行状态数	
			#xx	Rn	@ERn	@(d, ERn)	@ERn+/@-ERn	@aa	@(d, PC)	@aa		I	H	N	Z	V	C	普通	高级	
Bcc	BGE d:8	—							2		if condition is true then PC←PC+d else next;	—	—	—	—	—	—	—	4	
	BGE d:16	—							4			—	—	—	—	—	—	—	6	
	BLT d:8	—							2			—	—	—	—	—	—	—	4	
	BLT d:16	—							4			—	—	—	—	—	—	—	6	
	BGT d:8	—							2			—	—	—	—	—	—	—	4	
	BGT d:16	—							4			—	—	—	—	—	—	—	6	
	BLE d:8	—							2			—	—	—	—	—	—	—	4	
	BLE d:16	—							4			—	—	—	—	—	—	—	6	
JMP	JMP @ERn	—			2						PC←ERn	—	—	—	—	—	—	—	4	
	JMP @aa:24	—					4				PC←aa:24	—	—	—	—	—	—	—	6	
	JMP @ @aa:8	—								2	PC←@aa:8	—	—	—	—	—	—	—	8	10
BSR	BSR d:8	—							2		PC←@-SP, PC←PC+d:8	—	—	—	—	—	—	—	6	8
	BSR d:16	—							4		PC←@-SP, PC←PC+d:16	—	—	—	—	—	—	—	8	10
JSR	JSR @ERn	—			2						PC←@-SP, PC←ERn	—	—	—	—	—	—	—	6	8
	JSR @aa:24	—						4			PC←@-SP, PC←aa:24	—	—	—	—	—	—	—	8	10
	JSR @ @aa:8	—							2		PC←@-SP, PC←@aa:8	—	—	—	—	—	—	—	8	12
RTS	RTS	—								2	PC←@SP+	—	—	—	—	—	—	—	8	10

(7) 系统控制指令

助记符		长度	寻址方式/指令长（字节）							操作	条件码					执行状态数 ^{*1}			
			#xx	Rn	@ERn	@(d, ERn)	@ERn+/@-ERn	@aa	@(d, PC)		@aa	I	H	N	Z	V	C	普通	高级
TRAPA	TRAPA #x:2	—										1	—	—	—	—	14	16	
RTE	RTE	—										↑	↑	↑	↑	↑	—	—	
SLEEP	SLEEP	—										—	—	—	—	—	—	2	
LDC	LDC #xx:8, CCR	B	2									↑	↑	↑	↑	↑	2	2	
	LDC Rs, CCR	B		2								↑	↑	↑	↑	↑	2	2	
	LDC @ERs, CCR	W			4							↑	↑	↑	↑	↑	6	6	
	LDC @(d:16, ERs), CCR	W				6						↑	↑	↑	↑	↑	8	8	
	LDC @(d:24, ERs), CCR	W				10						↑	↑	↑	↑	↑	12	12	
	LDC @ERs+, CCR	W					4					↑	↑	↑	↑	↑	8	8	
	LDC @aa:16, CCR	W						6				↑	↑	↑	↑	↑	8	8	
	LDC @aa:24, CCR	W							8			↑	↑	↑	↑	↑	10	10	
	STC CCR, Rd	B		2								—	—	—	—	—	2	2	
	STC CCR, @ERd	W			4							—	—	—	—	—	6	6	
STC	STC CCR, @(d:16, ERd)	W				6						—	—	—	—	—	8	8	
	STC CCR, @(d:24, ERd)	W				10						—	—	—	—	—	12	12	
	STC CCR, @-ERd	W					4					—	—	—	—	—	8	8	
	STC CCR, @aa:16	W							6			—	—	—	—	—	8	8	
	STC CCR, @aa:24	W								8		—	—	—	—	—	10	10	
	ANDC #xx:8, CCR	B	2									↑	↑	↑	↑	↑	2	2	
	ORC #xx:8, CCR	B	2									↑	↑	↑	↑	↑	2	2	
	XORC #xx:8, CCR	B	2									↑	↑	↑	↑	↑	2	2	
	NOP	NOP	—									—	—	—	—	—	—	2	2
												2	PC- - PC+2						

(8) 数据块传送指令

助记符	长 度	寻址方式/指令长（字节）							操作	条件码					执行状态数*1			
		#xx	Rn	@ERn	@d, ERn	@ERn+/@-ERn	@aa	@d, PC		@@aa	—	I	H	N	Z	C	普通	高级
																	8+4h *2	—
EEPMOV	EEPMOV.B	—							4	if R4L≠0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;	—	—	—	—	—	8+4h *2		
	EEPMOV.W	—							4	if R4≠0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4-1→R4 Until R4=0 else next;	—	—	—	—	—	8+4h *2		

【注】*1 执行状态数是操作码和操作数存在于内部存储器的情况。除此以外的情况，请参照“A.3 指令执行状态数”

*2 n为R4L或者R4的设定值。

- (1) 位11发生进位或者借位时置1, 否则清0。
- (2) 位27发生进位或者借位时置1, 否则清0。
- (3) 运算结果为0时, 保持运算前的值, 否则清0。
- (4) 调整结果发生进位时置1, 否则保持运算前的值。
- (5) E时钟同步传送指令的执行状态数不固定。
- (6) 除数为负时置1, 否则清0。
- (7) 除数为0时置1, 否则清0。
- (8) 商为负时置1, 否则清0。

A.2 操作码映像

表 A.2 操作码映像（1）

指令码:

第1字节	第2字节
AH	AL
AH	AL
BH	BL

表示BH的最高位为0的情况

表示BH的最高位为1的情况

AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC		ADD	表A.2(2)	表A.2(2)	MOV		ADDX	表A.2(2)
1	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)		SUB	表A.2(2)	表A.2(2)	CMP		SUBX	表A.2(2)
2	MOV. B															
3																
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.2(2)		JMP		BSR		JSR	
6					OR	XOR	AND	BST	BIST	MOV						
7	BSET	BNOT	BCLR	BTST	BOR	BXOR	BAND	BILD	BILD	MOV	表A.2(2)	表A.2(2)	EEPMOV	表A.2(3)		
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

表 A.2 操作码映像 (2)

指令码:		第1字节		第2字节	
		AH	AL	BH	BL

BH AH/AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01	MOV				LDC/STC				SLEEP				表A.2(3)	表A.2(3)		表A.2(3)
0A	INC												ADD			
0B	ADDS					INC		INC		ADDS				INC		INC
0F	DAA												MOV			
10	SHLL								SHAL			SHAL				
11	SHLR								SHAR			SHAR				
12	ROTXL								ROTL			ROTL				
13	ROTXR								ROTR			ROTR				
17	NOT					EXTU		EXTU	NEG			NEG		EXTS		EXTS
1A	DEC											SUB				
1B	SUBS					DEC		DEC		SUBS				DEC		DEC
1F	DAS											CMP				
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
79	MOV	ADD	CMP	SUB	OR	XOR	AND									
7A	MOV	ADD	CMP	SUB	OR	XOR	AND									

表 A.2 操作码映像（3）

指令码:

第1字节		第2字节		第3字节		第4字节	
AH	AL	BH	BL	CH	CL	DH	DL

CL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AH/AL/BH/BL																
01406																
01C05	MULXS		MULXS													
01D05		DIVXS		DIVXS												
01F06						OR	XOR	AND								
7C06 *1																
7C07 *1				BTST												
				BTST	BOR	BIXOR	BAND	BAND	BAND	BAND						
7D06 *1	BSET	BNOT	BCLR													
7D07 *1	BSET	BNOT	BCLR													
7Eaa6 *2				BTST												
7Eaa7 *2				BTST	BOR	BIXOR	BAND	BAND	BAND	BAND						
7Faa6 *2	BSET	BNOT	BCLR													
7Faa7 *2	BSET	BNOT	BCLR													

表示DH的最高位为0的情况

表示DH的最高位为1的情况

【注】*1 r为寄存器指定部

*2 aa为绝对地址指定部

A.3 指令执行状态数

本章节说明有关 H8/300H CPU 各指令的执行状态（execution status）和执行状态数的计算方法。

作为指令的执行状态，在指令执行中进行的取指令、读数据和写数据等的周期数如表 A.4 所示，对于各周期所需要的状态数如表 A.3 所示。用如下的计算式计算指令的执行状态数：

$$\text{执行状态数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

执行状态数的计算例子

（例）从内部 ROM 取指令、存取内部 RAM 的情况

1. BSET #0, @FF00

根据表A.4

$$I=L=2、J=K=M=N=0$$

根据表A.3

$$S_I=2、S_L=2$$

$$\text{执行状态数} = 2 \times 2 + 2 \times 2 = 8$$

从内部ROM取指令、从内部ROM读转移地址、堆栈区为内部RAM的情况

2. JSR @@30

根据表A.4

$$I=2、J=K=1、L=M=N=0$$

根据表A.3

$$S_I=S_J=S_K=2$$

$$\text{执行状态数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表 A.3 执行状态（周期）所需要的状态数

执行状态（周期）	存取对象	
	内部存储器	内部外围模块
取指令 S _I	2	—
读转移地址 S _J		
堆栈操作 S _K		
存取字节数据 S _L		2 或者 3*
存取字数据 S _M		2 或者 3*
内部运行 S _N	1	

【注】* 根据内部外围模块的不同而不同。详细内容请参照“17.1 寄存器地址一览表（按地址顺序）”。

表 A.4 指令执行状态（周期数）

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
Bcc	BGT d:8	2					
	BLE d:8	2					
	BRA d:16(BT d:16)	2					2
	BRN d:16(BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16(BHS d:16)	2					2
	BCS d:16(BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
	BLE d:16	2					2
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @ERd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @ERd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @ERd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @ERd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @ERd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @ERd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @ERd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			
	BSR d:16	2		1			2
BST	BST #xx:3, Rd	1					
	BST #xx:3, @ERd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @ERd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @ERd	2			1		
	BTST Rn, @aa:8	2			1		

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @ERd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W #xx:16, Rd	2					
	CMP.W Rs, Rd	1					
	CMP.L #xx:32, ERd	3					
	CMP.L ERs, ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2, Rd	1					
	DEC.L #1/2, ERd	1					
DIVXS	DIVXS.B Rs, Rd	2					12
	DIVXS.W Rs, ERd	2					20
DIVXU	DIVXU.B Rs, Rd	1					12
	DIVXU.W Rs, ERd	1					20
EEPMOV	EEPMOV.B	2			$2n+2^{*1}$		
	EEPMOV.W	2			$2n+2^{*1}$		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2, Rd	1					
	INC.L #1/2, ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @ERn	2		1			
	JSR @aa:24	2		1			2
	JSR @@aa:8	2	1	1			

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
	LDC @ERs, CCR	2				1	
	LDC @(d:16, ERs), CCR	3				1	
	LDC @(d:24, ERs), CCR	5				1	
	LDC @ERs+, CCR	2				1	2
	LDC @aa:16, CCR	3				1	
	LDC @aa:24, CCR	4				1	
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @ERs, Rd	1			1		
	MOV.B @(d:16, ERs), Rd	2			1		
	MOV.B @(d:24, ERs), Rd	4			1		
	MOV.B @ERs+, Rd	1			1		2
	MOV.B @aa:8, Rd	1			1		
	MOV.B @aa:16, Rd	2			1		
	MOV.B @aa:24, Rd	3			1		
	MOV.B Rs, @ERd	1			1		
	MOV.B Rs, @(d:16, ERd)	2			1		
	MOV.B Rs, @(d:24, ERd)	4			1		
	MOV.B Rs, @-ERd	1			1		2
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.B Rs, @aa:24	3			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					
	MOV.W @ERs, Rd	1				1	
	MOV.W @(d:16, ERs), Rd	2				1	
	MOV.W @(d:24, ERs), Rd	4				1	
	MOV.W @ERs+, Rd	1				1	2
	MOV.W @aa:16, Rd	2				1	
	MOV.W @aa:24, Rd	3				1	
	MOV.W Rs, @ERd	1				1	
	MOV.W Rs, @(d:16, ERd)	2				1	
	MOV.W Rs, @(d:24, ERd)	4				1	

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
MOV	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2				2	
	MOV.L @(d:16,ERs), ERd	3				2	
	MOV.L @(d:24,ERs), ERd	5				2	
	MOV.L @ERs+, ERd	2				2	2
	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs, @ERd	2				2	
	MOV.L ERs, @(d:16,ERd)	3				2	
	MOV.L ERs, @(d:24,ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
	MOV.L ERs, @aa:24	4				2	
MOVFP	MOVFP @aa:16, Rd* ²	2			1		
MOVTPE	MOVTPE Rs, @aa:16* ²	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
	OR.W #xx:16, Rd	2					
	OR.W Rs, Rd	1					
	OR.L #xx:32, ERd	3					
	OR.L ERs, ERd	2					
ORC	ORC #xx:8, CCR	1					
POP	POP.W Rn	1				1	2
	POP.L ERn	2				2	2
PUSH	PUSH.W Rn	1				1	2
	PUSH.L ERn	2				2	2
ROTL	ROTL.B Rd	1					
	ROTL.W Rd	1					
	ROTL.L ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.W Rd	1					
	ROTR.L ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.W Rd	1					
	ROTXL.L ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.W Rd	1					
	ROTXR.L ERd	1					
RTE	RTE	2		2			2
RTS	RTS	2		1			2
SHAL	SHAL.B Rd	1					
	SHAL.W Rd	1					
	SHAL.L ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.W Rd	1					
	SHAR.L ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.W Rd	1					
	SHLL.L ERd	1					

指令	助记符	取指令	读 转移地址	堆栈操作	存取 字节数据	存取 字数据	内部运行
		I	J	K	L	M	N
SHLR	SHLR.B Rd	1					
	SHLR.W Rd	1					
	SHLR.L ERd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @(d:16,ERd)	3				1	
	STC CCR, @(d:24,ERd)	5				1	
	STC CCR,@-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
TRAPA	TRAPA #xx:2	2	1	2			4
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】*1 n 为 R4L 和 R4 的设定值。源侧和目标侧各进行 (n+1) 次存取。

*2 本 LSI 不能使用。

A.4 指令和寻址方式的组合

表 A.5 指令和寻址方式的组合

功能	指令	寻址方式														
		# xx	Rn	@ERn	@(d:16,ERn)	@(d:24,ERn)	@ERn+/@-ERn	B	@aa:8	@aa:16	@aa:24	@(d:8,PC)	@(d:16,PC)	@@aa:8		
数据传送指令	MOV	—	—	—	—	—	—	—	—	—	BWL	—	—	—	—	—
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	WL	—
	MOVFP, MOVFPE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	MOVTP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
算术运算指令	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
	SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
	ADDX, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—	—
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—	—
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—	—
	MULXU, MULXS, DIVXU, DIVXS	—	BW	—	—	—	—	—	—	—	—	—	—	—	—	—
	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
	EXTU, EXTS	—	WL	—	—	—	—	—	—	—	—	—	—	—	—	—
	AND, OR, XOR	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
	移位指令	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—	—
逻辑运算指令	位操作指令	—	B	B	—	—	—	B	—	—	—	—	—	—	—	—
	BCC, BSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	JMP, JSR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	TRAPA	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
系统控制指令	RTE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	LDC	B	B	W	W	W	W	—	—	W	W	—	—	—	—	—
	STC	—	B	W	W	W	W	—	—	W	W	—	—	—	—	—
	ANDC, ORC	B	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	XORC	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
数据块传送指令	NOP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	数据块传送指令	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BW

附录 B. I/O 端口

B.1 I/O 端口框图

$\overline{\text{RES}}$ 在复位时为低电平、 $\overline{\text{SBY}}$ 在复位以及待机模式时为低电平。

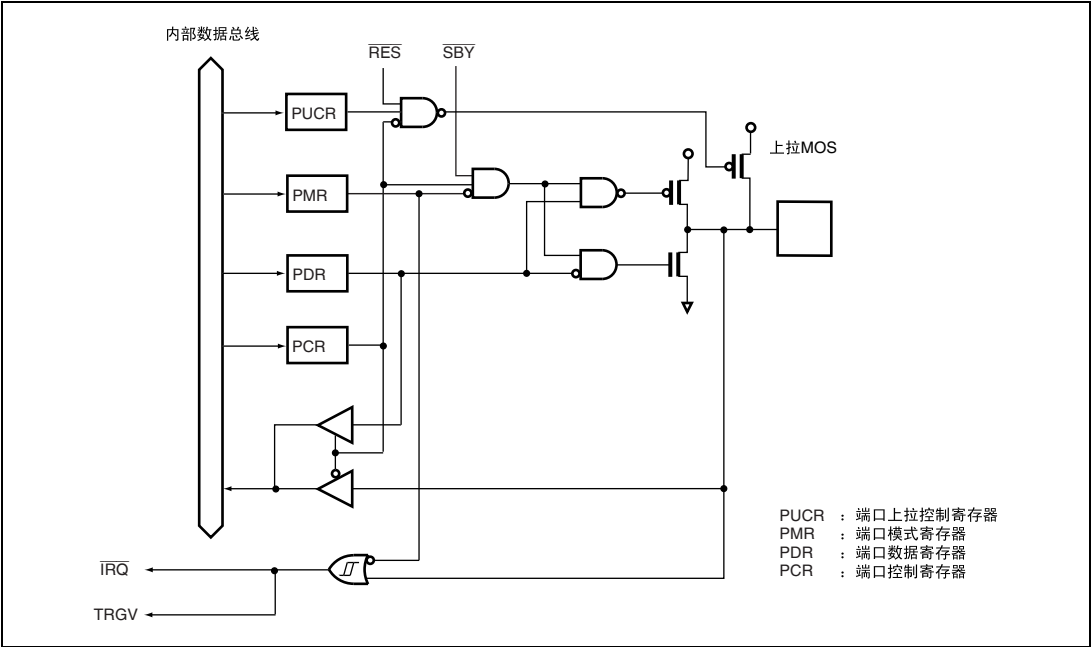


图 B.1 端口 1 框图 (P17)

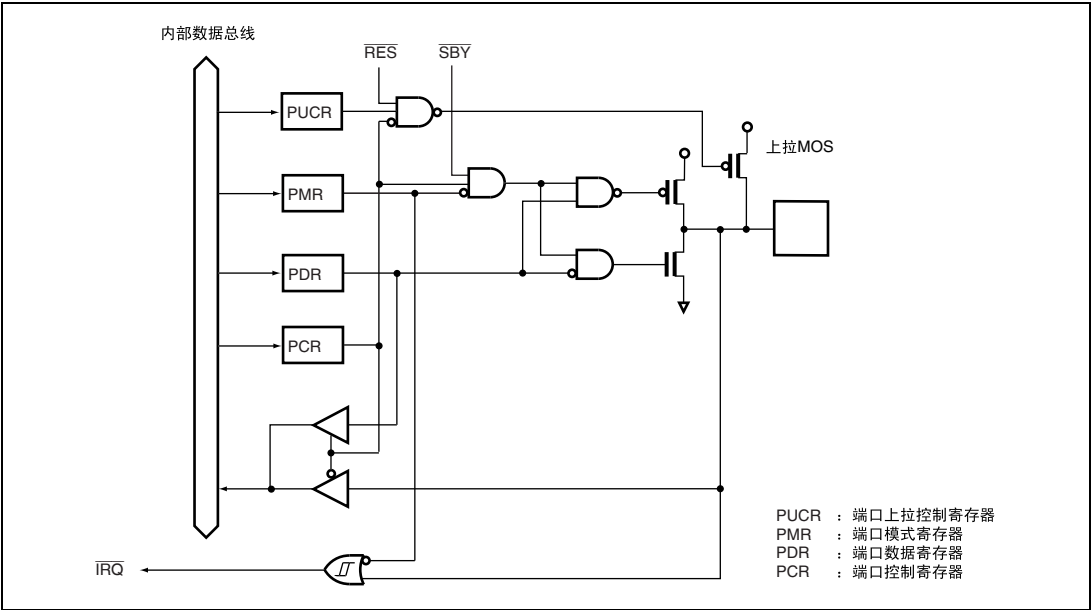


图 B.2 端口 1 框图 (P14)

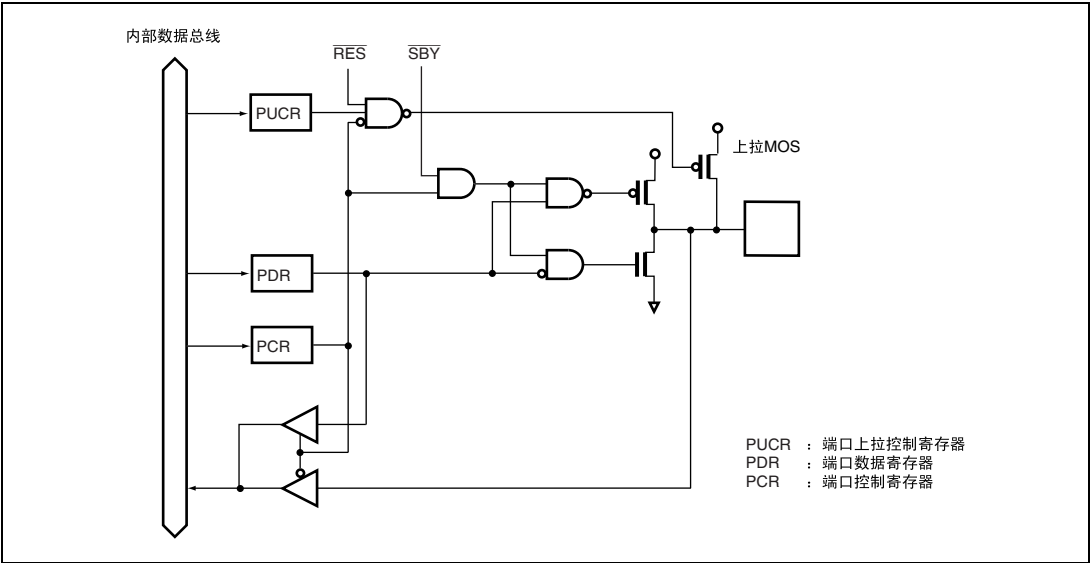


图 B.3 端口 1 框图 (P16、P15、P12*、P10)

【注】 * H8/36014 的情况

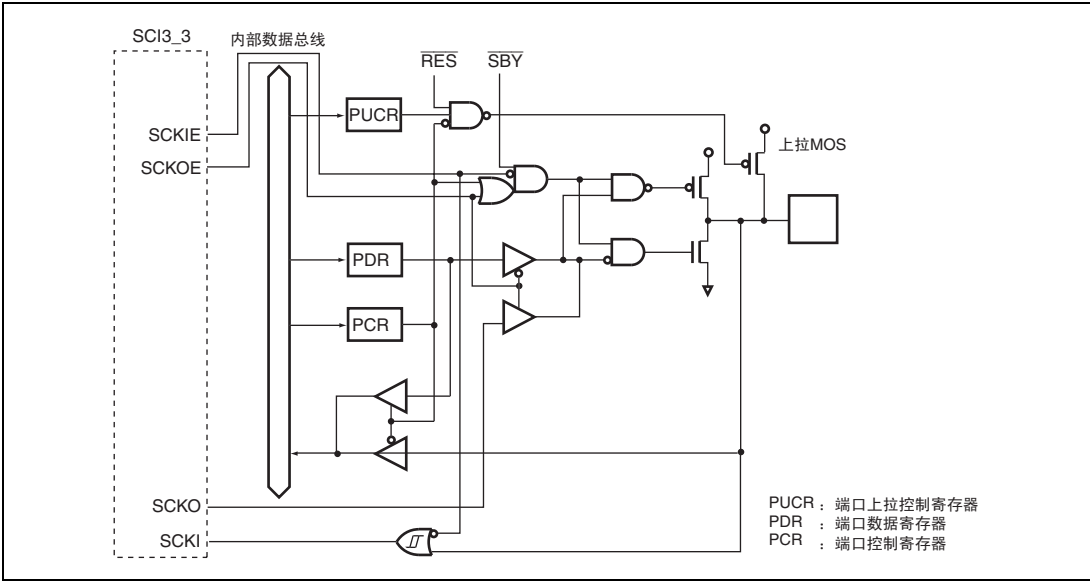


图 B.4 端口 1 框图 (P12) (H8/36024 的情况)

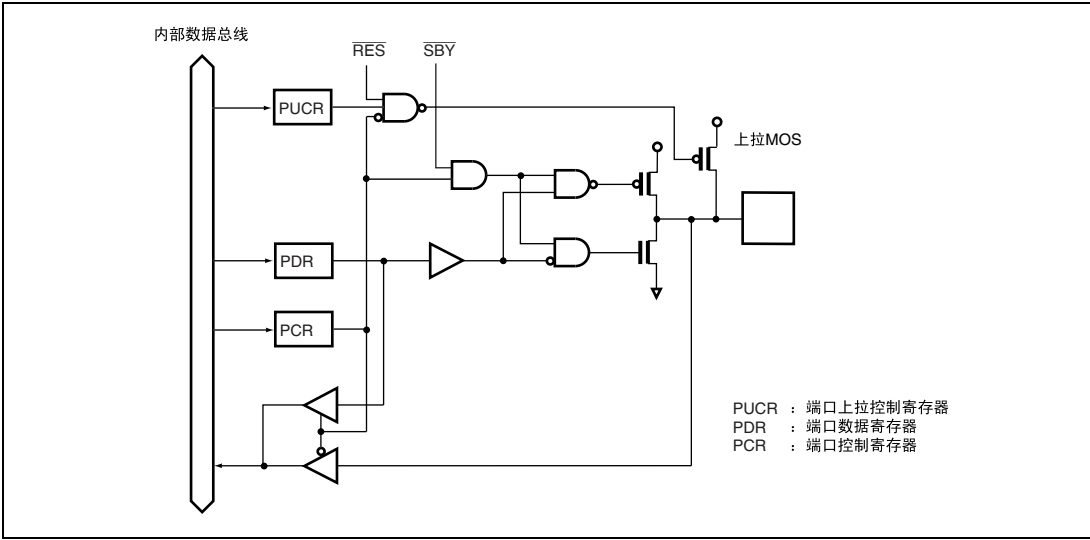


图 B.5 端口 1 框图 (P11)

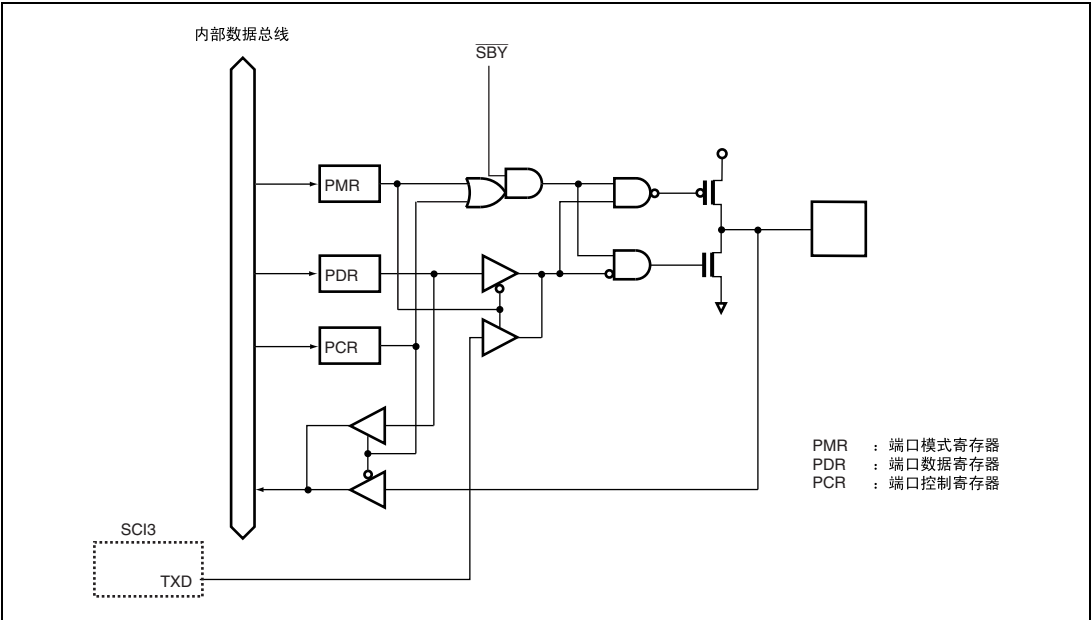


图 B.6 端口 2 框图 (P22)

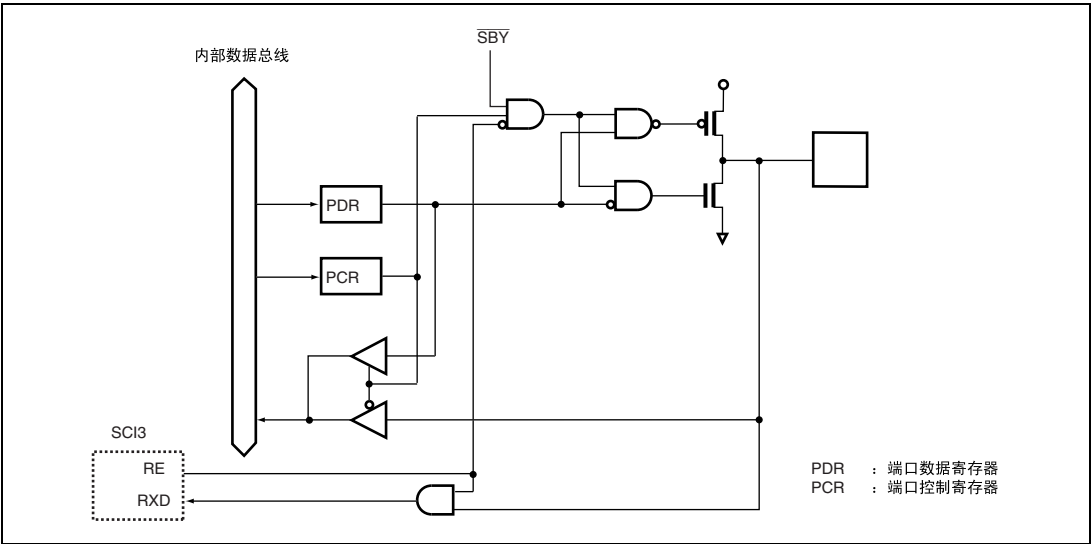


图 B.7 端口 2 框图 (P21)

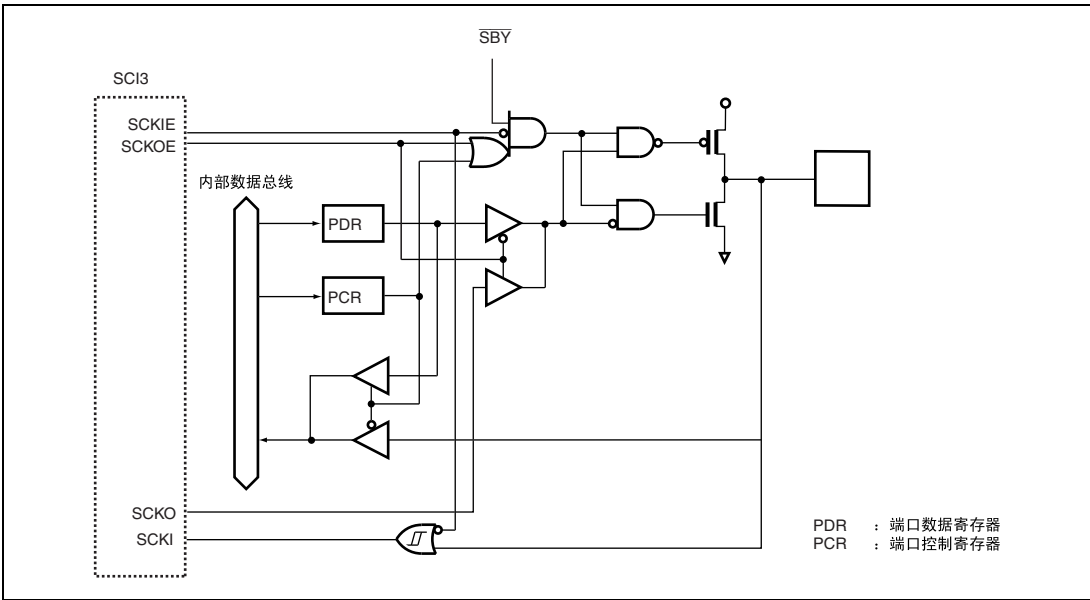


图 B.8 端口 2 框图 (P20)

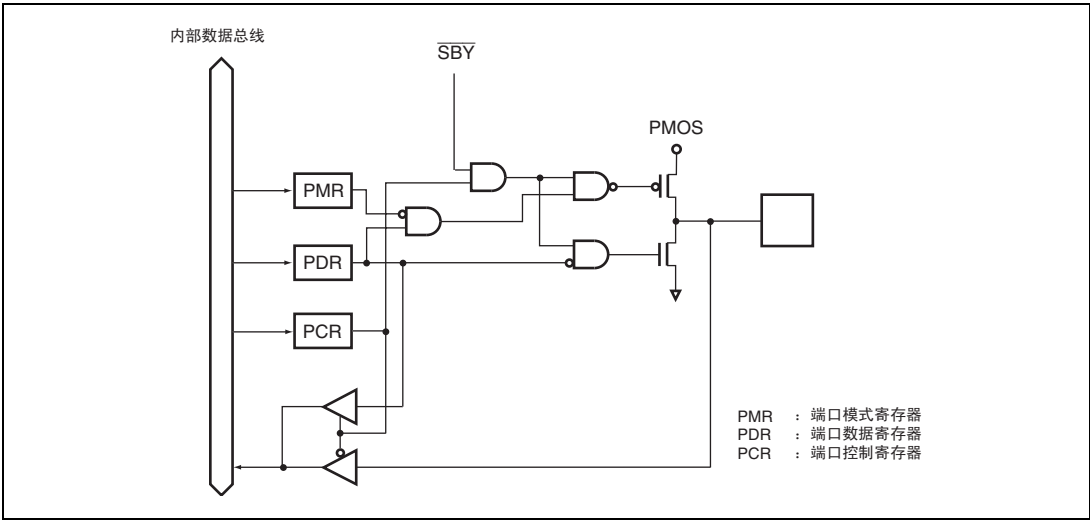


图 B.9 端口 5 框图 (P57、P56) (H8/36014 的情况)

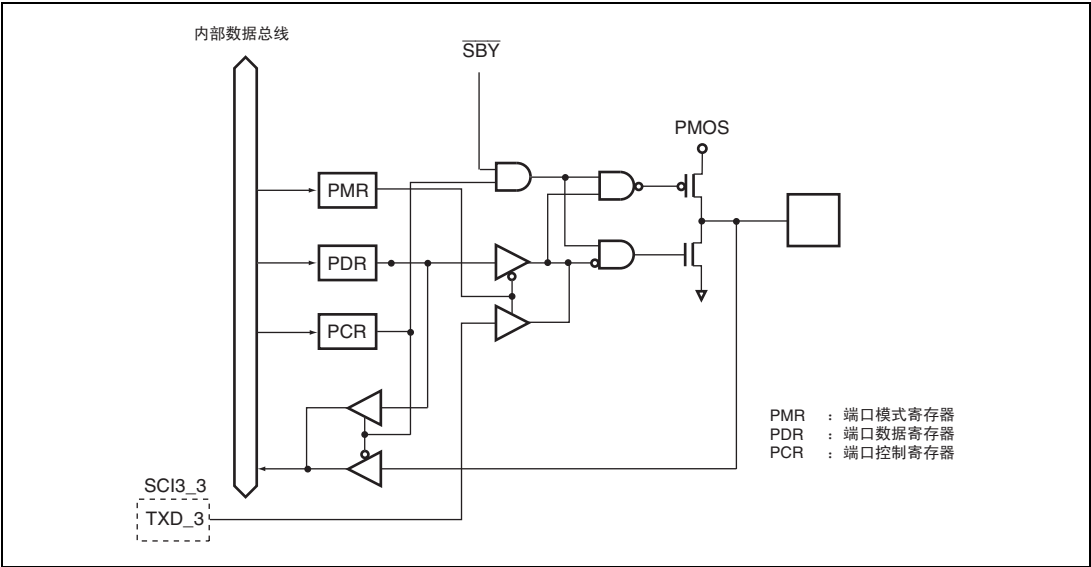


图 B.10 端口 5 框图 (P57) (H8/36024 的情况)

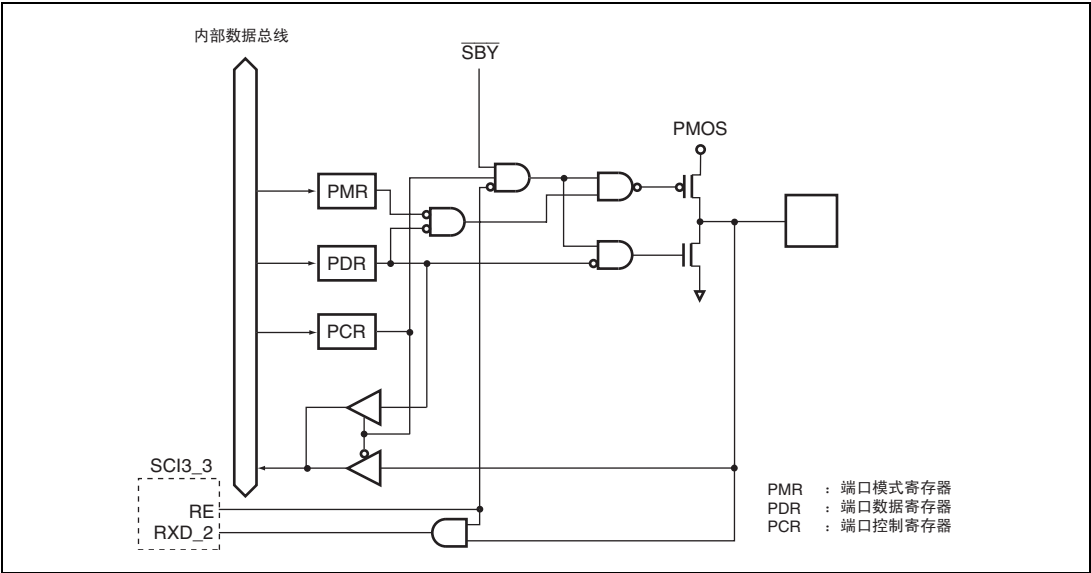


图 B.11 端口 5 框图 (P56) (H8/36024 的情况)

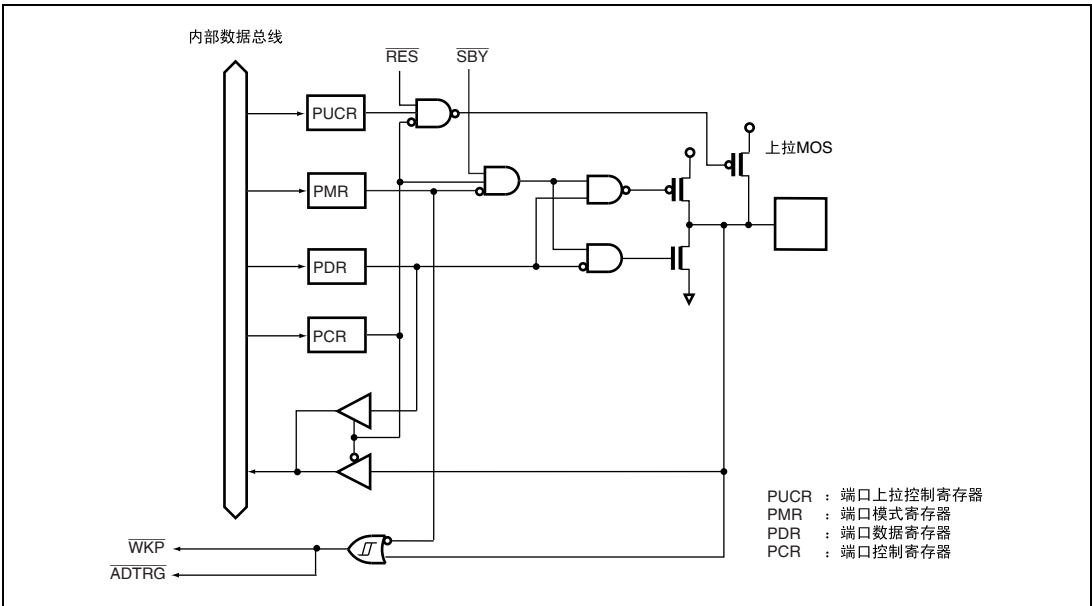


图 B.12 端口 5 框图 (P55)

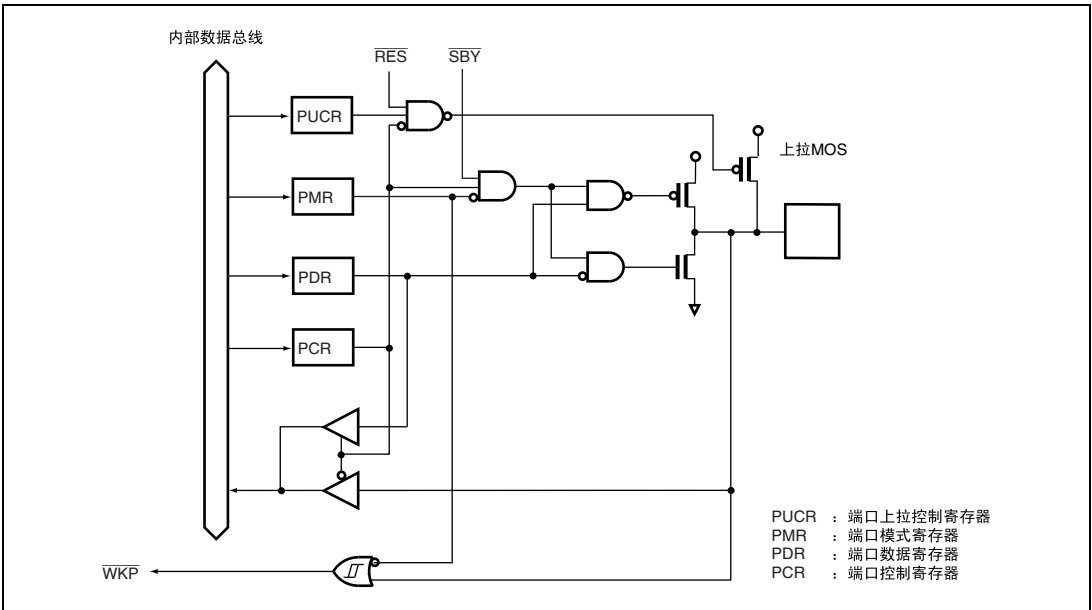


图 B.13 端口 5 框图 (P54、P53、P52、P51、P50)

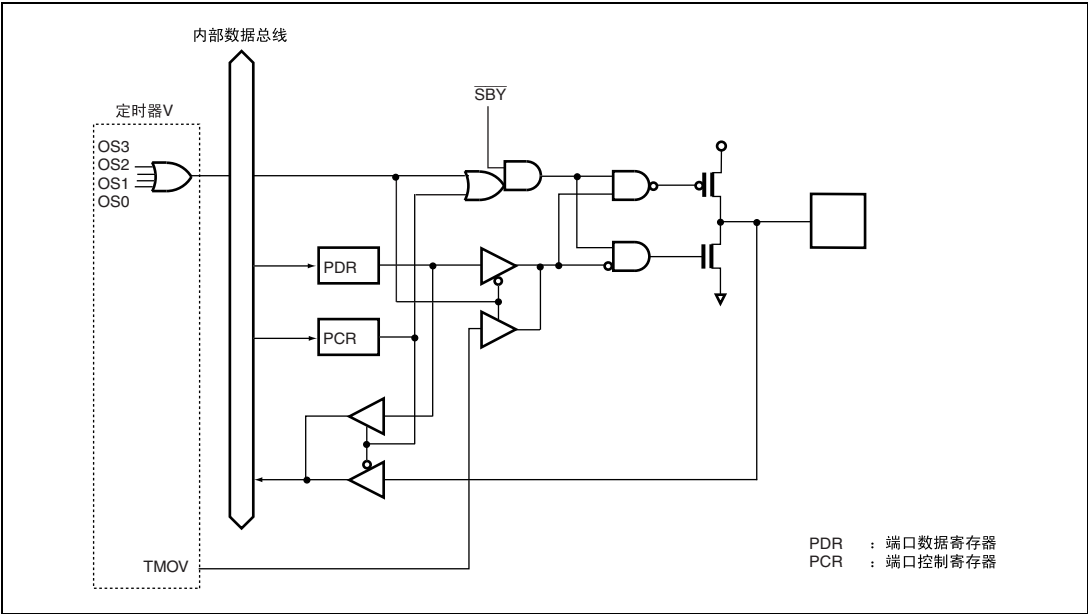


图 B.14 端口 7 框图 (P76)

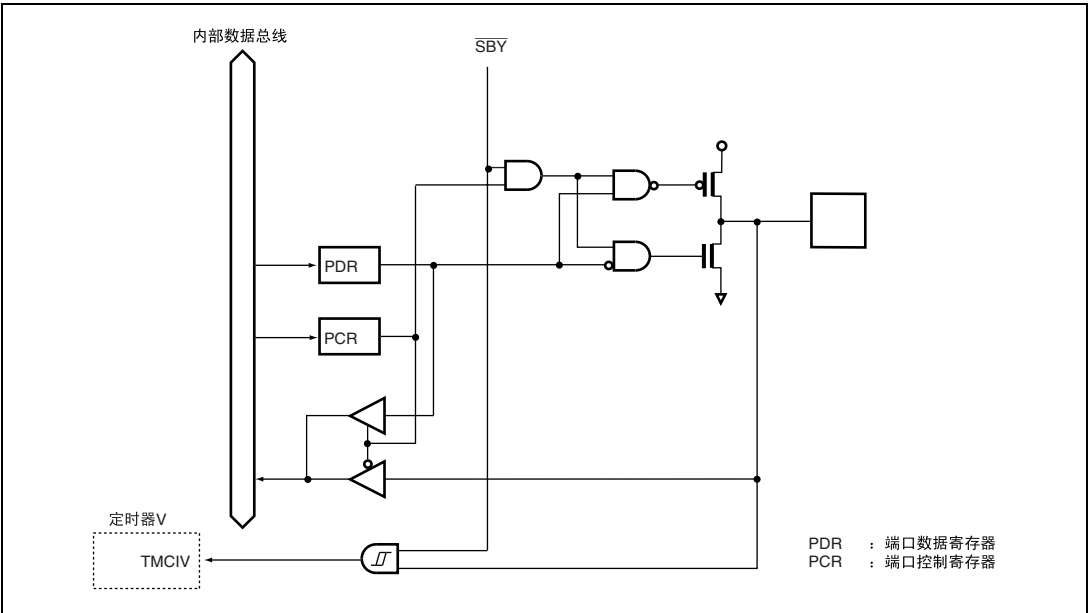


图 B.15 端口 7 框图 (P75)

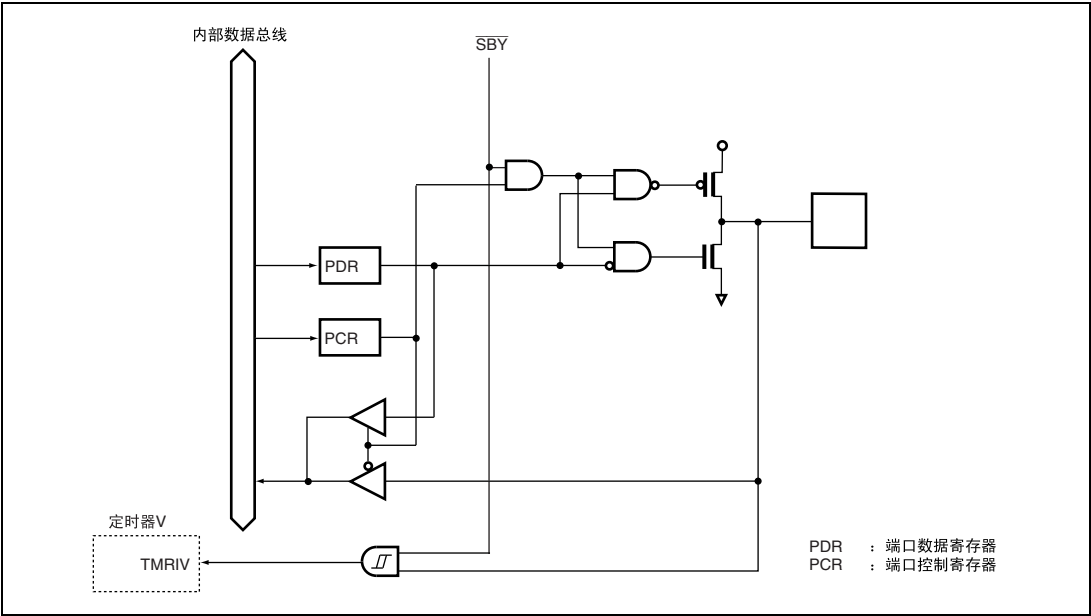


图 B.16 端口 7 框图 (P74)

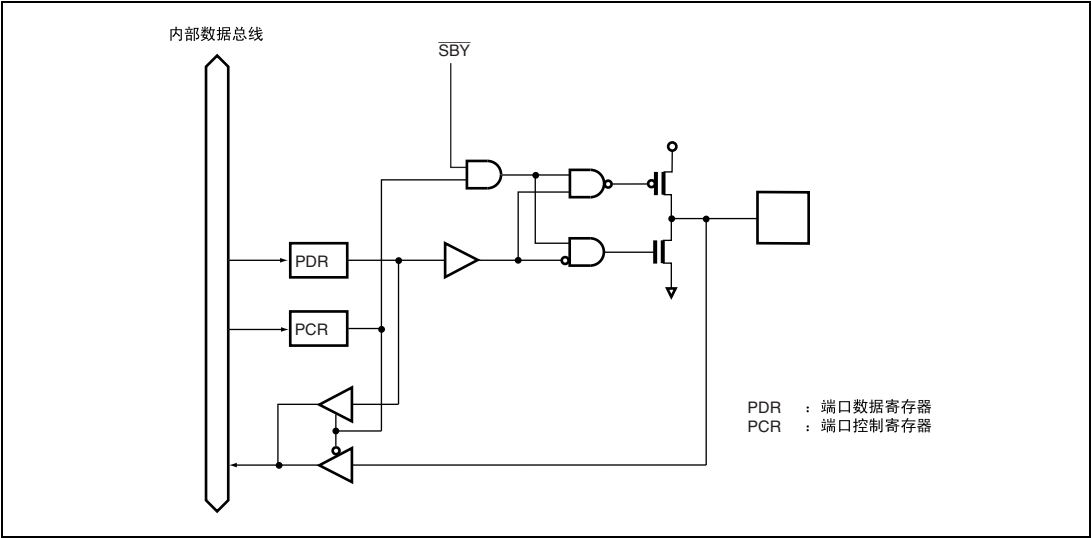


图 B.17 端口 7 框图 (P73)

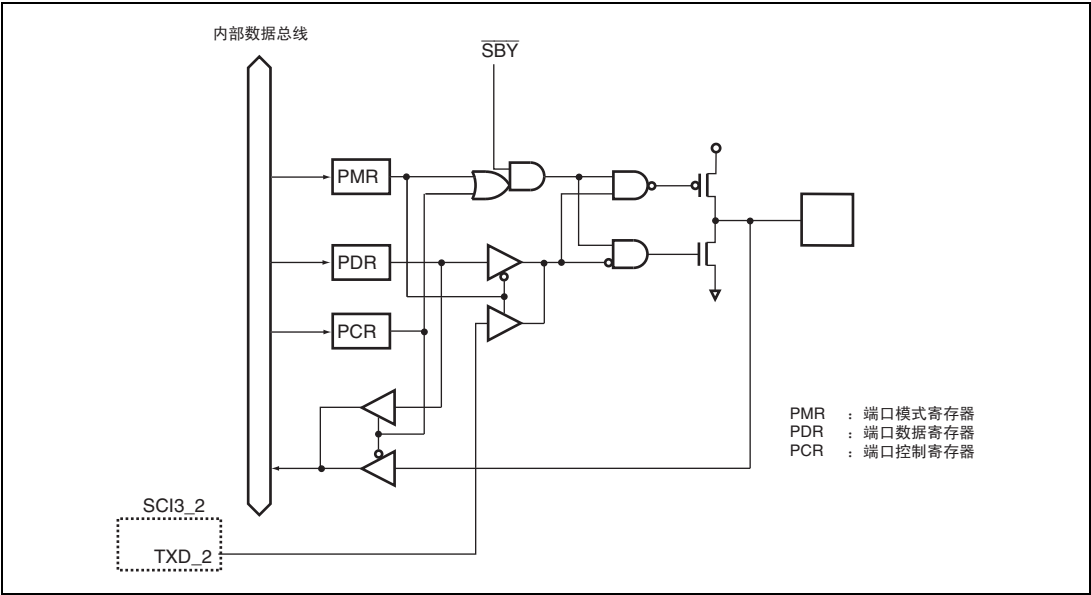


图 B.18 端口 7 框图 (P72)

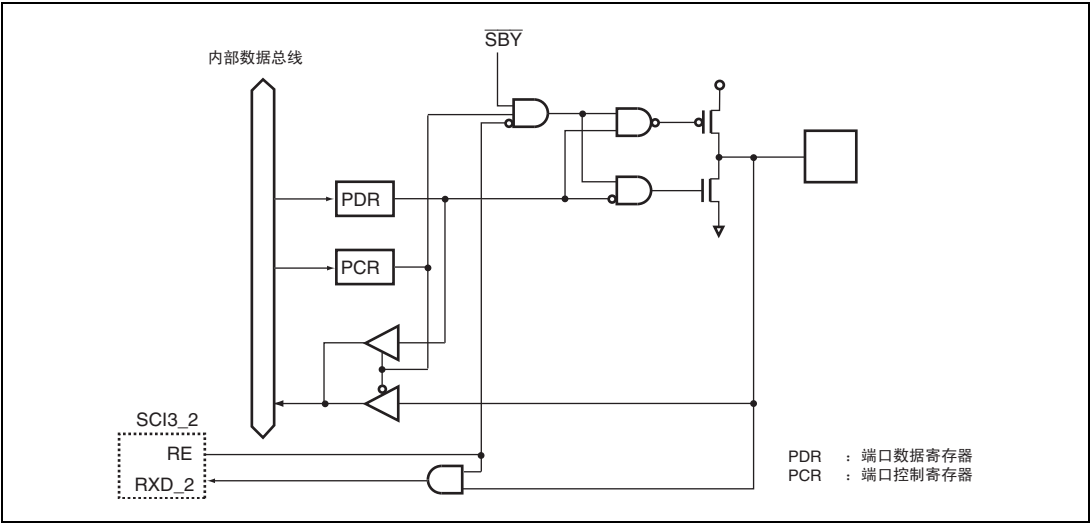


图 B.19 端口 7 框图 (P71)

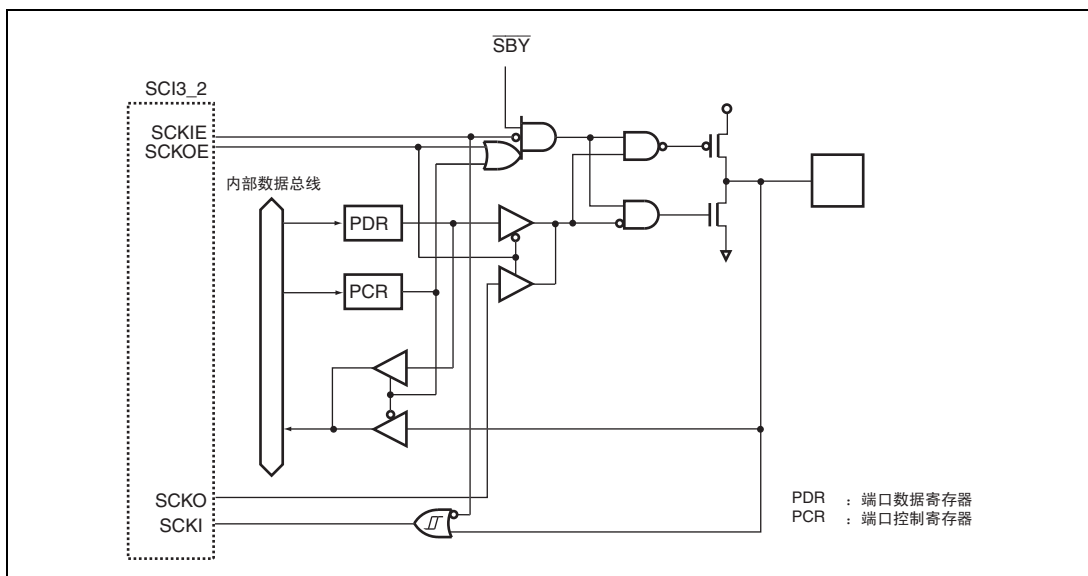


图 B.20 端口 7 框图 (P70)

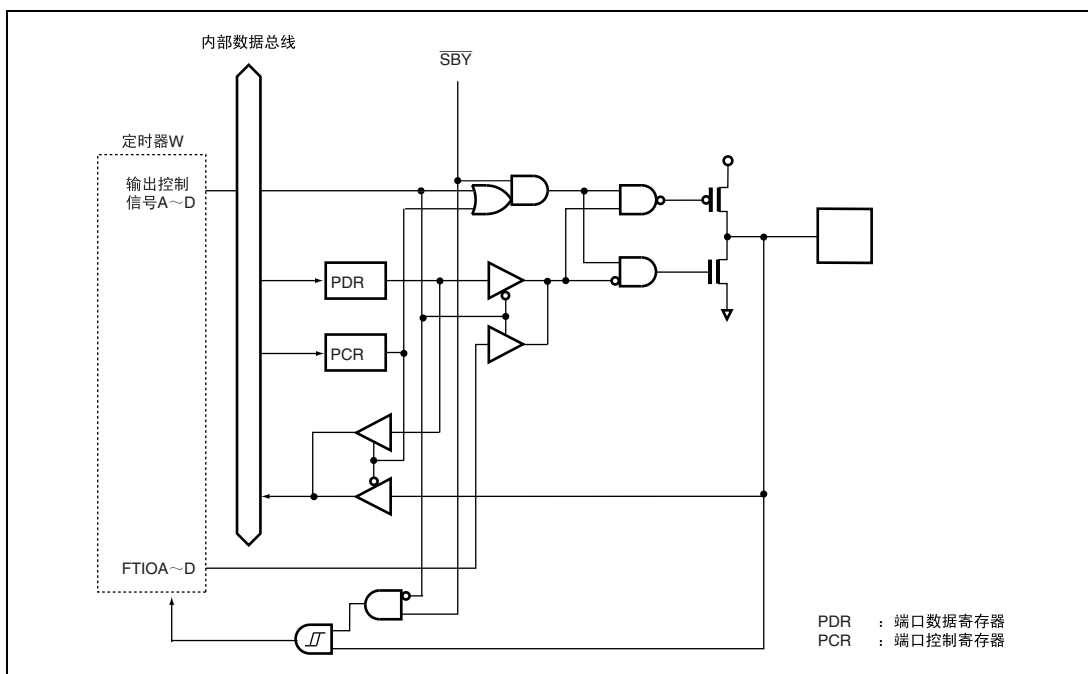


图 B.21 端口 8 框图 (P84、P83、P82、P81)

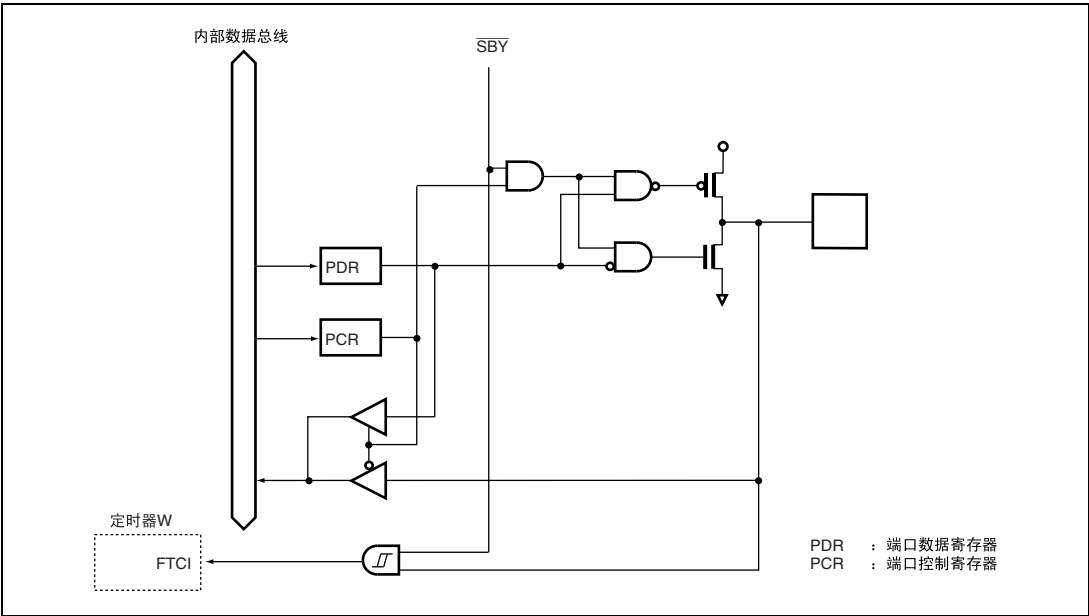


图 B.22 端口 8 框图 (P80)

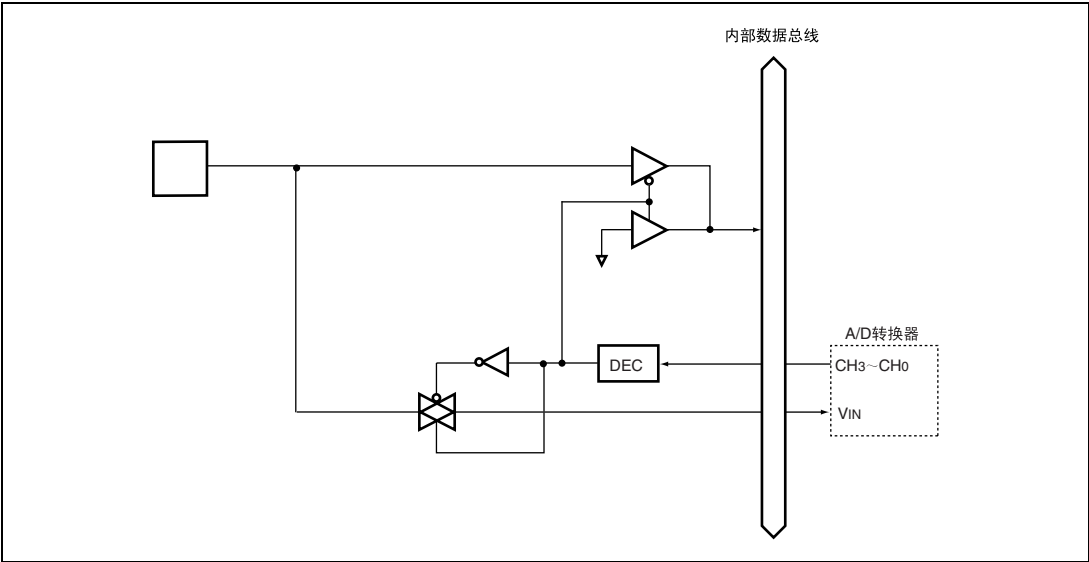


图 B.23 端口 B 框图 (PB3、PB2、PB1、PB0)

B.2 在各处理状态中的端口状态

运行模式	复位	激活	睡眠	子睡眠	待机
P17~P14 P12~P10	高阻抗	运行	保持	保持	高阻抗*
P22~P20	高阻抗	运行	保持	保持	高阻抗
P57~P50	高阻抗	运行	保持	保持	高阻抗*
P76~P70	高阻抗	运行	保持	保持	高阻抗
P84~P80	高阻抗	运行	保持	保持	高阻抗
PB3~PB0	高阻抗	高阻抗	高阻抗	保持	高阻抗

【注】 * 上拉 MOS 在 ON 状态时输出高电平。

附录 C. 型号一览表

产品分类			产品型号	标志型号	封装 (封装代码)
H8/36024	快速擦写 存储器版	标准产品	HD64F36024FP	HD64F36024FP	LQFP-64(FP-64E)
			HD64F36024FX	HD64F36024FX	LQFP-48(FP-48F)
			HD64F36024FY	HD64F36024FY	LQFP-48(FP-48B)
			HD64F36024FT	HD64F36024FT	QFN-48(TNP-48)
		内藏加电复位和 低电压检测电路版	HD64F36024GFP	HD64F36024GFP	LQFP-64(FP-64E)
			HD64F36024GFX	HD64F36024GFX	LQFP-48(FP-48F)
			HD64F36024GFY	HD64F36024GFY	LQFP-48(FP-48B)
			HD64F36024GFT	HD64F36024GFT	QFN-48(TNP-48)
	掩模型 ROM 版	标准产品	HD64336024FP	HD64336024(**)FP	LQFP-64(FP-64E)
			HD64336024FX	HD64336024(**)FX	LQFP-48(FP-48F)
			HD64336024FY	HD64336024(**)FY	LQFP-48(FP-48B)
			HD64336024FT	HD64336024(**)FT	QFN-48(TNP-48)
		内藏加电复位和 低电压检测电路版	HD64336024GFP	HD64336024G(**)FP	LQFP-64(FP-64E)
			HD64336024GFX	HD64336024G(**)FX	LQFP-48(FP-48F)
			HD64336024GFY	HD64336024G(**)FY	LQFP-48(FP-48B)
			HD64336024GFT	HD64336024G(**)FT	QFN-48(TNP-48)
H8/36023	掩模型 ROM 版	标准产品	HD64336023FP	HD64336023(**)FP	LQFP-64(FP-64E)
			HD64336023FX	HD64336023(**)FX	LQFP-48(FP-48F)
			HD64336023FY	HD64336023(**)FY	LQFP-48(FP-48B)
			HD64336023FT	HD64336023(**)FT	QFN-48(TNP-48)
		内藏加电复位和 低电压检测电路版	HD64336023GFP	HD64336023G(**)FP	LQFP-64(FP-64E)
			HD64336023GFX	HD64336023G(**)FX	LQFP-48(FP-48F)
			HD64336023GFY	HD64336023G(**)FY	LQFP-48(FP-48B)
			HD64336023GFT	HD64336023G(**)FT	QFN-48(TNP-48)

产品分类			产品型号	标志型号	封装 (封装代码)
H8/36022	快速擦写 存储器版	标准产品	HD64F36022FP	HD64F36022FP	LQFP-64(FP-64E)
			HD64F36022FX	HD64F36022FX	LQFP-48(FP-48F)
			HD64F36022FY	HD64F36022FY	LQFP-48(FP-48B)
			HD64F36022FT	HD64F36022FT	QFN-48(TNP-48)
		内藏加电复位和 低电压检测电路版	HD64F36022GFP	HD64F36022GFP	LQFP-64(FP-64E)
			HD64F36022GFX	HD64F36022GFX	LQFP-48(FP-48F)
			HD64F36022GFY	HD64F36022GFY	LQFP-48(FP-48B)
			HD64F36022GFT	HD64F36022GFT	QFN-48(TNP-48)
	掩模型 ROM 版	标准产品	HD64336022FP	HD64336022(***)FP	LQFP-64(FP-64E)
			HD64336022FX	HD64336022(***)FX	LQFP-48(FP-48F)
			HD64336022FY	HD64336022(***)FY	LQFP-48(FP-48B)
			HD64336022FT	HD64336022(***)FT	QFN-48(TNP-48)
		内藏加电复位和 低电压检测电路版	HD64336022GFP	HD64336022G(***)FP	LQFP-64(FP-64E)
			HD64336022GFX	HD64336022G(***)FX	LQFP-48(FP-48F)
			HD64336022GFY	HD64336022G(***)FY	LQFP-48(FP-48B)
			HD64336022GFT	HD64336022G(***)FT	QFN-48(TNP-48)
H8/36014	快速擦写 存储器版	标准产品	HD64F36014FP	HD64F36014FP	LQFP-64(FP-64E)
			HD64F36014FX	HD64F36014FX	LQFP-48(FP-48F)
			HD64F36014FY	HD64F36014FY	LQFP-48(FP-48B)
			HD64F36014FT	HD64F36014FT	QFN-48(TNP-48)
		内藏加电复位和 低电压检测电路版	HD64F36014GFP	HD64F36014GFP	LQFP-64(FP-64E)
			HD64F36014GFX	HD64F36014GFX	LQFP-48(FP-48F)
			HD64F36014GFY	HD64F36014GFY	LQFP-48(FP-48B)
			HD64F36014GFT	HD64F36014GFT	QFN-48(TNP-48)
	掩模型 ROM 版	标准产品	HD64336014FP	HD64336014(***)FP	LQFP-64(FP-64E)
			HD64336014FX	HD64336014(***)FX	LQFP-48(FP-48F)
			HD64336014FY	HD64336014(***)FY	LQFP-48(FP-48B)
			HD64336014FT	HD64336014(***)FT	QFN-48(TNP-48)
		内藏加电复位和 低电压检测电路版	HD64336014GFP	HD64336014G(***)FP	LQFP-64(FP-64E)
			HD64336014GFX	HD64336014G(***)FX	LQFP-48(FP-48F)
			HD64336014GFY	HD64336014G(***)FY	LQFP-48(FP-48B)
			HD64336014GFT	HD64336014G(***)FT	QFN-48(TNP-48)

产品分类			产品型号	标志型号	封装 (封装代码)
H8/36013	掩模型 ROM 版	标准产品	HD64336013FP	HD64336013(***)FP	LQFP-64(FP-64E)
			HD64336013FX	HD64336013(***)FX	LQFP-48(FP-48F)
			HD64336013FY	HD64336013(***)FY	LQFP-48(FP-48B)
			HD64336013FT	HD64336013(***)FT	QFN-48(TNP-48)
		内藏加电复位和 低电压检测电路版	HD64336013GFP	HD64336013G(***)FP	LQFP-64(FP-64E)
			HD64336013GFX	HD64336013G(***)FX	LQFP-48(FP-48F)
			HD64336013GFY	HD64336013G(***)FY	LQFP-48(FP-48B)
			HD64336013GFT	HD64336013G(***)FT	QFN-48(TNP-48)
H8/36012	快速擦写 存储器版	标准产品	HD64F36012FP	HD64F36012FP	LQFP-64(FP-64E)
			HD64F36012FX	HD64F36012FX	LQFP-48(FP-48F)
			HD64F36012FY	HD64F36012FY	LQFP-48(FP-48B)
			HD64F36012FT	HD64F36012FT	QFN-48(TNP-48)
		内藏加电复位和 低电压检测电路版	HD64F36012GFP	HD64F36012GFP	LQFP-64(FP-64E)
			HD64F36012GFX	HD64F36012GFX	LQFP-48(FP-48F)
			HD64F36012GFY	HD64F36012GFY	LQFP-48(FP-48B)
			HD64F36012GFT	HD64F36012GFT	QFN-48(TNP-48)
	掩模型 ROM 版	标准产品	HD64336012FP	HD64336012(***)FP	LQFP-64(FP-64E)
			HD64336012FX	HD64336012(***)FX	LQFP-48(FP-48F)
			HD64336012FY	HD64336012(***)FY	LQFP-48(FP-48B)
			HD64336012FT	HD64336012(***)FT	QFN-48(TNP-48)
		内藏加电复位和 低电压检测电路版	HD64336012GFP	HD64336012G(***)FP	LQFP-64(FP-64E)
			HD64336012GFX	HD64336012G(***)FX	LQFP-48(FP-48F)
			HD64336012GFY	HD64336012G(***)FY	LQFP-48(FP-48B)
			HD64336012GFT	HD64336012G(***)FT	QFN-48(TNP-48)
H8/36011	掩模型 ROM 版	标准产品	HD64336011FP	HD64336011(***)FP	LQFP-64(FP-64E)
			HD64336011FX	HD64336011(***)FX	LQFP-48(FP-48F)
			HD64336011FY	HD64336011(***)FY	LQFP-48(FP-48B)
			HD64336011FT	HD64336011(***)FT	QFN-48(TNP-48)
		内藏加电复位和 低电压检测电路版	HD64336011GFP	HD64336011G(***)FP	LQFP-64(FP-64E)
			HD64336011GFX	HD64336011G(***)FX	LQFP-48(FP-48F)
			HD64336011GFY	HD64336011G(***)FY	LQFP-48(FP-48B)
			HD64336011GFT	HD64336011G(***)FT	QFN-48(TNP-48)

产品分类			产品型号	标志型号	封装 (封装代码)
H8/36010	掩模型 ROM 版	标准产品	HD64336010FP	HD64336010(***)FP	LQFP-64(FP-64E)
			HD64336010FX	HD64336010(***)FX	LQFP-48(FP-48F)
			HD64336010FY	HD64336010(***)FY	LQFP-48(FP-48B)
			HD64336010FT	HD64336010(***)FT	QFN-48(TNP-48)
		内藏加电复位和 低电压检测电路版	HD64336010GFP	HD64336010G(***)FP	LQFP-64(FP-64E)
			HD64336010GFX	HD64336010G(***)FX	LQFP-48(FP-48F)
			HD64336010GFY	HD64336010G(***)FY	LQFP-48(FP-48B)
			HD64336010GFT	HD64336010G(***)FT	QFN-48(TNP-48)

【注】 (**) 为 ROM 代码。

附录 D. 外形尺寸图

外形尺寸以记载于《瑞萨科技半导体封装》的尺寸图为准。

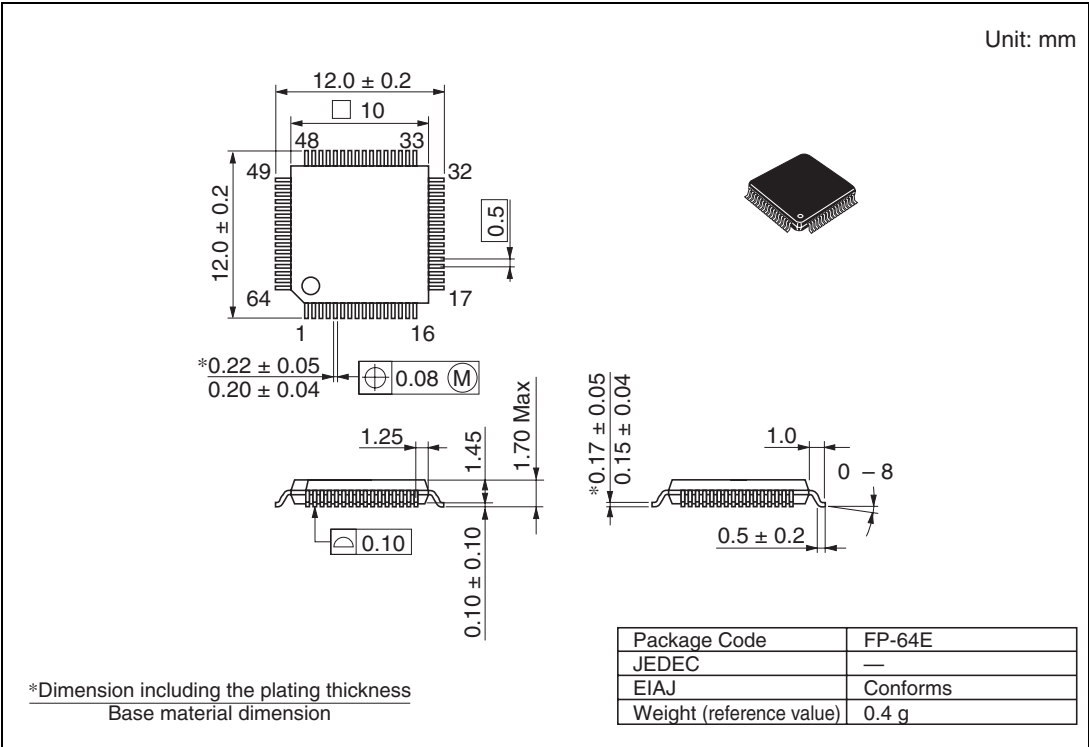


图 D.1 FP-64E 外形尺寸图

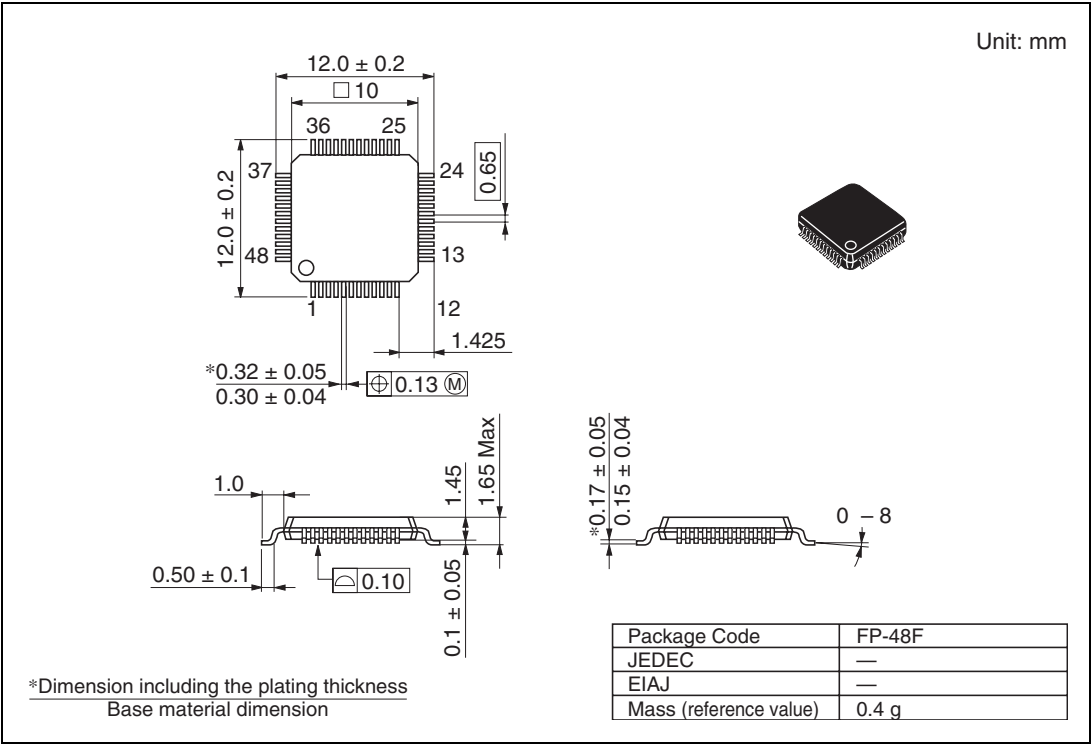


图 D.2 FP-48F 外形尺寸图

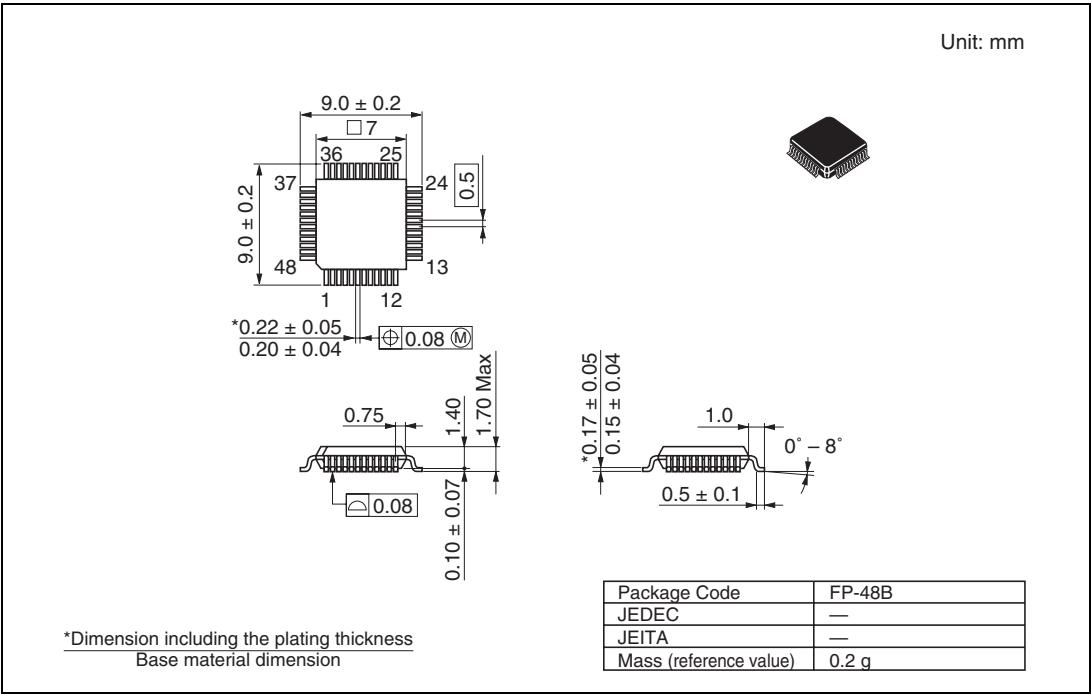


图 D.3 FP-48B 外形尺寸图

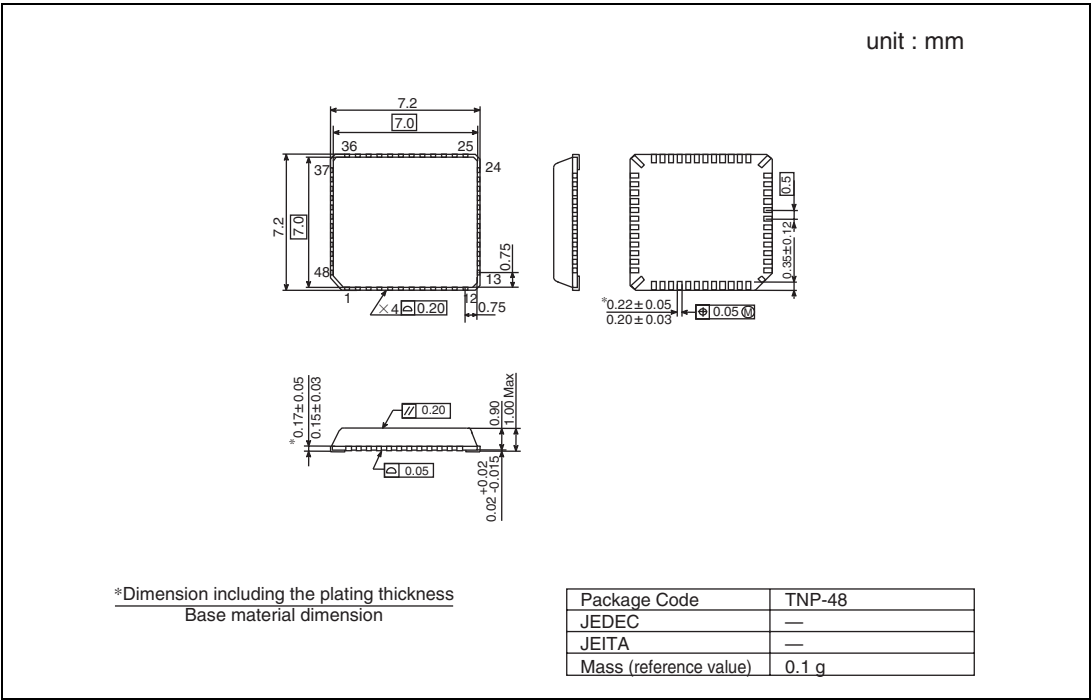


图 D.4 TNP-48 外形尺寸图

修订记录	H8/36024 群, H8/36014 群硬件手册
------	----------------------------

Rev.	发行日	修订内容	
		页	修订处
1.00	2005.02.04	—	初版发行

索引

A/D 转换器	189	DC 特性	222, 235
A/D 转换时间	194	定时器 V	109
采样&保持电路	194	定时器 W	123
单通道模式	193	堆栈指针 (SP)	13
扫描模式	194	封装	2
外部触发输入	195	管脚排列图	4
CPU	9	寄存器	
EA 扩展部	26	ABRKCR	56, 211, 214, 217
I/O 端口	89	ABRKSR	57, 211, 214, 217
框图	275	ADCR	193, 211, 214, 217
LVDI	205	ADCSR	192, 211, 214, 217
LVDR	204	ADDRA	191, 211, 214, 217
PWM 运行	137	ADDRB	191, 211, 214, 217
操作字段	26	ADDRC	191, 211, 214, 217
程序计数器 (PC)	13	ADDRD	191, 211, 214, 217
串行通信接口 3 (SCI3)	155	BARH	57, 211, 214, 217
标记状态	186	BARL	57, 211, 214, 217
多处理器通信功能	181	BDRH	58, 211, 214, 217
奇偶校验错误	172	BDRL	58, 211, 214, 217
时钟同步模式	175	BRR	162, 211, 214, 217
位传输率	162	EBR1	76, 210, 214, 216
异步模式	168	FENR	76, 210, 214, 216
溢出错误	172	FLMCR1	75, 210, 214, 216
帧错误	172	FLMCR2	76, 210, 214, 216
中止	186	GRA	133, 210, 213, 216
存储器映像	10	GRB	133, 210, 213, 216
大电流端口	2	GRC	133, 210, 213, 216
单板上编程	77	GRD	133, 210, 213, 216
低电压检测电路	199	IEGR1	43, 212, 215, 218
低电压检测复位电路	204	IEGR2	44, 212, 215, 218
低电压检测中断电路	205	IENR1	45, 212, 215, 218
低功耗模式	65	IRR1	46, 212, 215, 218
待机模式	70	IWPR	47, 212, 215, 218
睡眠模式	70	LVDCR	201, 210, 213, 216
子睡眠模式	71	LVDSR	202, 210, 213, 216
地址断开	55	MSTCR1	68, 212, 215, 218
电特性	220, 233	MSTCR2	68, 212, 215, 218
AC 特性	227, 240	PCR1	91, 212, 215, 217

PCR2	94, 212, 215, 217
PCR5	98, 212, 215, 217
PCR7	101, 212, 215, 217
PCR8	104, 212, 215, 217
PDR1	91, 211, 215, 217
PDR2	95, 211, 215, 217
PDR5	98, 211, 215, 217
PDR7	102, 211, 215, 217
PDR8	105, 211, 215, 217
PDRB	107, 211, 215, 217
PMR1	90, 212, 215, 217
PMR5	97, 212, 215, 217
PUCR1	92, 211, 214, 217
PUCR5	98, 211, 215, 217
RDR	158, 211, 214, 217
RSR	158
SCR3	160, 211, 214, 217
SMCR	167, 210, 213, 216
SMR	159, 211, 214, 217
SSR	161, 211, 214, 217
SYSCR1	66, 212, 215, 218
SYSCR2	67, 212, 215, 218
TCNT	133, 210, 213, 216
TCNTV	111, 211, 214, 216
TCORA	111, 211, 214, 216
TCORB	111, 211, 214, 216
TCRV0	112, 211, 214, 216
TCRV1	114, 211, 214, 217
TCRW	128, 210, 213, 216
TCSRv	113, 211, 214, 216
TCSRWD	152, 211, 214, 217
TCWD	153, 211, 214, 217
TDR	158, 211, 214, 217
TIERW	129, 210, 213, 216
TIOR0	131, 210, 213, 216
TIOR1	132, 210, 213, 216
TMRW	127, 210, 213, 216
TMWD	153, 211, 214, 217
TSR	158
TSRW	130, 210, 213, 216
寄存器字段	26
加电复位	199
加电复位电路	203
监视定时器	151

绝对最大额定值	219
快速擦写存储器	73
擦除块	74
擦除/擦除验证	84
错误保护	86
软件保护	86
写单位	74
引导程序	78
引导模式	78
硬件保护	86
程序/程序验证	81
用户模式的写/擦除	80
模块待机功能	71
内部电源降压电路	207
时钟发生器	61
条件码寄存器 (CCR)	14
条件字段	26
通用寄存器	12
外形尺寸图	293
系统时钟振荡器	61
向量地址	42
型号一览表	289
寻址方式	27
程序计数器相对	29
存储器间接	29
带位移量寄存器间接	28
后增寄存器间接	28
寄存器间接	27
寄存器直接	27
绝对地址	28
立即	29
先减寄存器间接	28
异常处理	41
堆栈的状态	50
复位异常处理	48
由陷阱指令产生的异常处理	41
有效地址	29
预定标器 S	63
中断请求	
IRQ 中断请求	48
NMI 中断请求	48
WKP 中断请求	48
内部中断请求	50
中断响应时间	51

指令系统	18
逻辑运算指令	21
数据传送指令	19
数据块传送指令	25
算术运算指令	20

位操作指令	22
系统控制指令	25
移位指令	21
转移指令	24

瑞萨16位单片机硬件手册
H8/36024群、H8/36014群

发行年月日 2005 年 02 月 04 日 Rev.1.00

发 行 Sales Strategic Planning Div.
 Renesas Technology Corp.
 株式会社瑞萨科技
 营业企画综合部

编 辑 Technical Documentation & Information Department
 Renesas Kodaira Semiconductor Co., Ltd.
 株式会社瑞萨小平半导体技术文献部

Renesas Technology Corp. Sales Strategic Planning Div. Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan



RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.

450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology Hong Kong Ltd.

7th Floor, North Tower, World Finance Centre, Harbour City, 1 Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2730-6071

Renesas Technology Taiwan Co., Ltd.

10th Floor, No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 2713-2999

Renesas Technology (Shanghai) Co., Ltd.

Unit2607 Ruijing Building, No.205 Maoming Road (S), Shanghai 200020, China
Tel: <86> (21) 6472-1001, Fax: <86> (21) 6415-2952

Renesas Technology Singapore Pte. Ltd.

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

H8/36024 群, H8/36014 群



瑞萨电子株式会社

RCJ09B0008-0100