

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事用の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等

8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様にかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8S/2169F-ZTAT™、 H8S/2149 F-ZTAT™

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
H8Sファミリ／H8S/2300シリーズ

H8S/2169
H8S/2149

HD64F2169
HD64F2149

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

はじめに

H8S/2149、H8S/2169 は、内部 32 ビット構成の H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積した高性能マイクロコンピュータです。

H8S/2000 CPU は、基本命令を 1 ステートで実行でき、内部 32 ビット構成の 16 ビット×16 本の汎用レジスタと簡潔で最適化された命令セットを備えています。また、16M バイトのリニアなアドレス空間を扱うことができます（アーキテクチャとしては 4G バイト）。高級言語 C をベースとしたプログラムも効率的に実行できます。

内蔵 ROM は、単一電源フラッシュメモリ版 (F-ZTAT™*) であり、仕様流動性の高い応用機器および量産初期から本格的量産の各状況に応じた、迅速かつ柔軟な対応が可能です。

周辺機能として、16 ビットフリーランニングタイマ (FRT)、8 ビットタイマ (TMR)、ウォッチドッグタイマ (WDT)、2 種類の PWM タイマ (PWM、PWMX)、シリアルコミュニケーションインタフェース (SCI、IrDA)、I²C バスインタフェース (IIC)、PS/2 対応のキーボードバッファコントローラ、ホストインタフェース (HIF: XBS および LPC)、D/A 変換器 (DAC)、A/D 変換器 (ADC)、I/O ポートなどを内蔵しています。

また、データトランスファコントローラ (DTC) を内蔵し、CPU に代わって高速のデータ転送を行うことができます。

H8S/2149、H8S/2169 を用いることにより、高性能かつ小型のシステムを容易に実現することができます。豊富な PC 関連インタフェース機能や 16×8 のマトリクスキースキャン機能は、ノート PC キーボード制御やインテリジェントな電池・電力制御などの応用に最適です。特に、ホストインタフェースとして、従来からの X-BUS (ISA) インタフェースと新規規格である LPC インタフェースを両方内蔵することにより、過渡期の PC システムに柔軟に対応することが可能です。

本マニュアルは、H8S/2149、H8S/2169 のハードウェアについて説明しています。命令の詳細については、「**H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル**」をあわせてご覧ください。

第 2 章～7 章、9 章～22 章には H8S/2169 の記述はありませんが、説明は H8S/2149 と H8S/2169 両方に有効です。

【注】 * F-ZTAT (Flexible-ZTAT) は (株) ルネサス テクノロジーの商標です。

本版で改訂された箇所

修正項目	ページ	修正箇所
全体	—	社名変更による変更 (修正前) 日立製作所 → (修正後) ルネサス テクノロジ 呼称変更による変更 (修正前) H8S/2169 シリーズ → (修正後) H8S/2169 グループ (修正前) H8S/2149 シリーズ → (修正後) H8S/2149 グループ
1.1 概要 表 1.1 概要	1-4	製品ラインアップから注*を削除 (修正前) HD64F2169YV* 【注】* 開発中 → (修正後) HD64F2169YV
2.6.1 概要 表 2.1 命令の分類	2-18	注*5 を追加 LDM ^{*5} STM ^{*5} ----- 【注】*5 STM/LDM 命令を使用する場合は、レジスタ ER0～ER6 を使用してください。
2.6.2 命令とアドレッシング モードの組み合わせ 表 2.2 命令とアドレッシング モードの組み合わせ	2-19	注*3 を追加 LDM ^{*3} STM ^{*3} ----- 【注】*3 STM/LDM 命令を使用する場合は、レジスタ ER0～ER6 を使用してください。
2.6.3 命令の機能別一覧 表 2.3 データ転送命令	2-21	注*2 を追加 LDM ^{*2} STM ^{*2} ----- 【注】*2 STM/LDM 命令を使用する場合は、レジスタ ER0～ER6 を使用してください。
2.10.2 STM/LDM 命令	2-45	2.10.2 を追加
4.5 例外後のスタックの状態 図 4.5 (2) 例外処理終了後の スタックの状態 (アドバンスト モード)	4-9	注*を削除

修正項目	ページ	修正箇所																																																																																								
5.1.4 レジスタ構成 表 5.2 レジスタ構成	5-3	注*4 を追加 <table><tr><th>名 称</th><th>略称</th><th>R/W</th><th>初期値</th><th>アドレス^{※1}</th></tr><tr><td>ウェイクアップイベント割り込みマスクレジスタ B</td><td>WUEMRB</td><td>R/W</td><td>H'FF</td><td>H'FE44^{※5}</td></tr></table> 【注】*4 WUEMRB を設定するときは、MSTPCRL の MSTP0 ビットを 0 に設定してください。	名 称	略称	R/W	初期値	アドレス ^{※1}	ウェイクアップイベント割り込みマスクレジスタ B	WUEMRB	R/W	H'FF	H'FE44 ^{※5}																																																																														
名 称	略称	R/W	初期値	アドレス ^{※1}																																																																																						
ウェイクアップイベント割り込みマスクレジスタ B	WUEMRB	R/W	H'FF	H'FE44 ^{※5}																																																																																						
8.12.3 端子機能 表 8.24 ポート B の端子機能	8-57	注*を追加 <table><tr><th>端子</th><th colspan="7">選択方法と端子機能</th></tr><tr><td>PB0/D0/WUE0/ HIRQ3/LSMI</td><td colspan="7">動作モードと SYSCR2 の HI12 ビット、CS3E ビット、WSCR の ABW ビット、および PB0DDR ビットの組み合わせにより、次のように切り替わります。</td></tr><tr><td>動作モード</td><td colspan="3">モード1、モード2、3 (EXPE=1)</td><td colspan="4">モード2、3 (EXPE=0)</td></tr><tr><td>LSMIE</td><td colspan="3">—</td><td colspan="2">0</td><td colspan="2">1</td></tr><tr><td>HI12E</td><td colspan="3">—</td><td colspan="2">いずれかが0</td><td>1</td><td>—*</td></tr><tr><td>CS3E</td><td colspan="3">—</td><td colspan="2"></td><td>1</td><td>—*</td></tr><tr><td>ABW</td><td>0</td><td colspan="2">1</td><td colspan="2">—</td><td>—</td><td>—</td></tr><tr><td>PB0DDR</td><td>—</td><td>0</td><td>1</td><td>0</td><td>1</td><td>—</td><td>—*</td></tr><tr><td>端子機能</td><td>D0 入出力端子</td><td>PB0 入力端子</td><td>PB0 出力端子</td><td>PB0 入力端子</td><td>PB0 出力端子</td><td>HIRQ3 出力端子</td><td>LSMI 出力端子</td></tr><tr><td></td><td colspan="3"></td><td colspan="4">LSMI入力端子</td></tr><tr><td></td><td colspan="7">WUE0入力端子</td></tr></table> 【注】* HICR0 の LSCIE ビットを 1 とする場合は、HI12E ビットと PB0DDR ビットを 0 にクリアしてください。 データバスとして使用する場合以外、常時 WUE0 入力端子として使用可能です。HIRQ3 出力端子および LSMI 入出力端子は、モード 2、3 (EXPE=0) のときのみ使用可能です。	端子	選択方法と端子機能							PB0/D0/WUE0/ HIRQ3/LSMI	動作モードと SYSCR2 の HI12 ビット、CS3E ビット、WSCR の ABW ビット、および PB0DDR ビットの組み合わせにより、次のように切り替わります。							動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)				LSMIE	—			0		1		HI12E	—			いずれかが0		1	—*	CS3E	—					1	—*	ABW	0	1		—		—	—	PB0DDR	—	0	1	0	1	—	—*	端子機能	D0 入出力端子	PB0 入力端子	PB0 出力端子	PB0 入力端子	PB0 出力端子	HIRQ3 出力端子	LSMI 出力端子					LSMI入力端子					WUE0入力端子						
端子	選択方法と端子機能																																																																																									
PB0/D0/WUE0/ HIRQ3/LSMI	動作モードと SYSCR2 の HI12 ビット、CS3E ビット、WSCR の ABW ビット、および PB0DDR ビットの組み合わせにより、次のように切り替わります。																																																																																									
動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)																																																																																						
LSMIE	—			0		1																																																																																				
HI12E	—			いずれかが0		1	—*																																																																																			
CS3E	—					1	—*																																																																																			
ABW	0	1		—		—	—																																																																																			
PB0DDR	—	0	1	0	1	—	—*																																																																																			
端子機能	D0 入出力端子	PB0 入力端子	PB0 出力端子	PB0 入力端子	PB0 出力端子	HIRQ3 出力端子	LSMI 出力端子																																																																																			
				LSMI入力端子																																																																																						
	WUE0入力端子																																																																																									
14.2.2 タイマコントロール／ステータスレジスタ (TCSR)	14-6	注*を追加 ビット 7 【クリア条件】 (修正前) OVF=1 → (修正後) OVF=1* 【注】* インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。																																																																																								
14.5.6 OVF フラグのクリア	14-18	14.5.6 を追加																																																																																								
16.4 使用上の注意	16-53～ 16-60	(10) ウェイト動作に関する注意点 (11) スレーブ送信モードでの ICDR リードと ICCR アクセスの注意事項 (12) スレーブモードでの TRS ビット設定の注意事項 (13) マスタモードでのアービトラレーションロスト発生時の注意事項 (14) ACKB 受信後の割り込み発生の注意事項 (15) TRS ビット設定値と TCDR レジスタアクセスの注意点 説明を追加																																																																																								
18A.5 使用上の注意	18A-20	説明を修正 …簡単な手順を校正することが有効です。HIF 機能を使用(SYSCR2 の HI12E=1)し、チャンネル 3 またはチャンネル 4 を非選択設定(SYSCR2 の CS3E=0 または CS4E=0) のとき、以下のいずれかの条件で使用してください。 1. 非選択チャンネルの CS 端子を必ず High レベルで固定してください。 2. ポート B のリードを行わないでください。 また、CS1～CS4 の…																																																																																								

修正項目	ページ	修正箇所
18B.2.3 SERIRQ コントロールレジスタ (SIRQCR0、SIRQCR1)	18B-23～18B-25	説明を修正 (修正前) IDR3 ライトにより… → (修正後) ODR3 ライトにより…
	18B-26	説明を修正 (修正前) ODR2 ライトにより… → (修正後) ODR2 ライトにより… (修正前) IDR2 ライトにより… → (修正後) ODR2 ライトにより…
18B.5 使用上の注意	18B-42	説明を修正 …確認する必要があります。LADR3 と IDR3、ODR3、STR3、TWR0MW、TWR0SW、TWR1～TWR15 レジスタのホストアドレス例を表 19.9 に示します。
表 18B.9 ホストアドレス	18B-42	表 18B.9 を追加
22.6.1 ブートモード 図 22.10 ブートモード時の RAM エリア	22-22	図 22.10 を修正 (修正前) ID コードエリア*1 → (修正後) ID コードエリア
	22-23	説明を追加 本 LSI のブートモードでは 8 バイトの ID コードエリアの内容を確認し、本 LSI に対応した書き込み制御プログラムであるか識別します。ブートモードで使用する書き込み制御プログラムをオリジナルで作成する際には、8 バイトの ID コードをプログラムの先頭に追加してください。
図 22.11 ID コードエリア	22-23	図 22.11 を追加
23.2.2 ローパワーコントロールレジスタ (LPWRCR)	23-3	ビット 3 の説明を削除

修正項目	ページ	修正箇所																					
24.1 概要 表 24.1 各モードでの LSI の内部状態	24-2	表 26.1 を修正 <table><tr><td colspan="2">機能</td></tr><tr><td rowspan="18">周辺機能の動作</td><td>DTC</td></tr><tr><td>WDT1</td></tr><tr><td>WDT0</td></tr><tr><td>TMR0,1</td></tr><tr><td>FRT</td></tr><tr><td>TMRX,Y</td></tr><tr><td>タイマコネクション</td></tr><tr><td>IIC0</td></tr><tr><td>IIC1</td></tr><tr><td>HIF : Lpc</td></tr><tr><td>SCI0</td></tr><tr><td>SCI1</td></tr><tr><td>SCI2</td></tr><tr><td>PWM</td></tr><tr><td>PWMX</td></tr><tr><td>HIF : XBS, PS2</td></tr><tr><td>D/A</td></tr><tr><td>A/D</td></tr></table>	機能		周辺機能の動作	DTC	WDT1	WDT0	TMR0,1	FRT	TMRX,Y	タイマコネクション	IIC0	IIC1	HIF : Lpc	SCI0	SCI1	SCI2	PWM	PWMX	HIF : XBS, PS2	D/A	A/D
機能																							
周辺機能の動作	DTC																						
	WDT1																						
	WDT0																						
	TMR0,1																						
	FRT																						
	TMRX,Y																						
	タイマコネクション																						
	IIC0																						
	IIC1																						
	HIF : Lpc																						
	SCI0																						
	SCI1																						
	SCI2																						
	PWM																						
	PWMX																						
	HIF : XBS, PS2																						
	D/A																						
	A/D																						
24.5.1 モジュールストップモード 表 24.4 MSTP ビットと内蔵周辺機能の対応	24-13	MSTPCRL レジスタのモジュールを修正 MSTP0 (修正前) ホストインタフェース (HIF:LPC) → (修正後) ホストインタフェース (HIF:LPC)、ウェイクアップイベント 割り込みマスクレジスタ B (WUEMRB)																					
24.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定 表 24.5 発振安定時間の設定	24-16	注を修正 【注】* H8S/2149、H8S/2169 の最大動作周波数は 10MHz です。 フラッシュメモリ内蔵版では、本設定は使用しないでください。																					
24.12 使用上の注意事項 24.12.1 内蔵周辺モジュールの割り込み 24.12.2 サブアクティブモード／ウォッチモード遷移と DTC のモジュールストップ	24-22	24.12 を追加																					

修正項目	ページ	修正箇所																																			
25.6 フラッシュメモリ特性 表 25.15 フラッシュメモリ特性	25-29	表 25.15 を修正 <table><tr><th>項目</th><th>記号</th><th>min</th><th>typ</th><th>max</th><th>単位</th><th>測定条件</th></tr><tr><td>書き込み時間^{a)1)2)4)}</td><td>tP</td><td>—</td><td>10</td><td>200</td><td>ms/128 バイト</td><td></td></tr><tr><td>消去時間^{a)3)9)6)}</td><td>tE</td><td>—</td><td>100</td><td>1200</td><td>ms/ブロック</td><td></td></tr><tr><td>書き換え回数</td><td>NWEC</td><td>100^{a)8)}</td><td>10000^{a)8)}</td><td>—</td><td>回</td><td></td></tr><tr><td>データ保持時間^{a)10)}</td><td>t_{sup}</td><td>10</td><td>—</td><td>—</td><td>年</td><td></td></tr></table>	項目	記号	min	typ	max	単位	測定条件	書き込み時間 ^{a)1)2)4)}	tP	—	10	200	ms/128 バイト		消去時間 ^{a)3)9)6)}	tE	—	100	1200	ms/ブロック		書き換え回数	NWEC	100 ^{a)8)}	10000 ^{a)8)}	—	回		データ保持時間 ^{a)10)}	t _{sup}	10	—	—	年	
項目	記号	min	typ	max	単位	測定条件																															
書き込み時間 ^{a)1)2)4)}	tP	—	10	200	ms/128 バイト																																
消去時間 ^{a)3)9)6)}	tE	—	100	1200	ms/ブロック																																
書き換え回数	NWEC	100 ^{a)8)}	10000 ^{a)8)}	—	回																																
データ保持時間 ^{a)10)}	t _{sup}	10	—	—	年																																
	25-30	注*8*9*10 を追加 【注】*8 書き換え後のすべての特性を保証する min 回数です（保証は 1～min 値の範囲です）。 *9 25℃のときの参考値（通常この値まで書き換えは機能するという目安です） *10 書き換えが min 値を含む使用範囲内で行われたときのデータ保持特性です。																																			
B.2 レジスタ選択条件	付録-58	表を修正 <table><tr><th>下位アドレス</th><th>レジスタ名称</th><th>H8S/2149 レジスタ選択条件</th><th>H8S/2169 レジスタ選択条件</th><th>モジュール名</th></tr><tr><td>HFE3D</td><td>ODR2</td><td rowspan="6">MSTP0=0, (H112E=0) *</td><td rowspan="6">←</td><td rowspan="6">HIF : LPC</td></tr><tr><td>HFE3E</td><td>STR2</td></tr><tr><td>HFE40</td><td>HICR0</td></tr><tr><td>HFE41</td><td>HICR1</td></tr><tr><td>HFE42</td><td>HICR2</td></tr><tr><td>HFE43</td><td>HICR3</td></tr><tr><td>HFE44</td><td>WUEMRB</td><td>MSTP0=0</td><td>MSTP0=0</td><td>割り込み コントローラ</td></tr></table>	下位アドレス	レジスタ名称	H8S/2149 レジスタ選択条件	H8S/2169 レジスタ選択条件	モジュール名	HFE3D	ODR2	MSTP0=0, (H112E=0) *	←	HIF : LPC	HFE3E	STR2	HFE40	HICR0	HFE41	HICR1	HFE42	HICR2	HFE43	HICR3	HFE44	WUEMRB	MSTP0=0	MSTP0=0	割り込み コントローラ										
下位アドレス	レジスタ名称	H8S/2149 レジスタ選択条件	H8S/2169 レジスタ選択条件	モジュール名																																	
HFE3D	ODR2	MSTP0=0, (H112E=0) *	←	HIF : LPC																																	
HFE3E	STR2																																				
HFE40	HICR0																																				
HFE41	HICR1																																				
HFE42	HICR2																																				
HFE43	HICR3																																				
HFE44	WUEMRB	MSTP0=0	MSTP0=0	割り込み コントローラ																																	
B.3 機能一覧	付録-79	H'FE80 を HICR2 : HIF (XBS) に差し替え																																			
	付録-88	注*2 を追加 …割り込み例外処理を実行したとき*2 …IRQn 割り込み例外処理を実行したとき*2 【注】*2 DTC を内蔵した製品において下記の設定で使用する、対象フラグビットはクリア条件となる例外処理を実行しても自動クリアはされず、ビットは 1 のままとなります。 (1) CEA3=1 にセットした場合（ADI を割り込み要因に設定）、IRQ4F フラグの自動クリア (2) TCEA2=1 にセットした場合（ICIA を割り込み要因に設定）、IRQ5F フラグの自動クリア (3) TCEA1=1 にセットした場合（ICIB を割り込み要因に設定）、IRQ6F フラグの自動クリア (4) DTCEA0=1 にセットした場合（OCIA を割り込み要因に設定）、IRQ7F フラグの自動クリア DTC の起動割り込み要因と IRQ 割り込みを上記の組み合わせで使用する場合には、当該 IRQ の割り込み処理ルーチン内でソフトウェアにより割り込みフラグのクリアを行ってください。																																			
	—	H'FE80 : HICR2 : HIF (XBS) を削除																																			
	付録-96	H'FF83 : SYSCR2 : HIF (HBS) を追加																																			
	付録-111	図を差し替え																																			

目次

第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-5
1.3	端子説明	1-7
1.3.1	ピン配置図	1-7
1.3.2	動作モード別端子機能	1-9
1.3.3	端子機能	1-17

第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.3	H8/300 CPU との相違点	2-3
2.1.4	H8/300H CPU との相違点	2-3
2.2	CPU 動作モード	2-4
2.3	アドレス空間	2-9
2.4	レジスタ構成	2-10
2.4.1	概要	2-10
2.4.2	汎用レジスタ	2-11
2.4.3	コントロールレジスタ	2-12
2.4.4	CPU 内部レジスタの初期値	2-14
2.5	データ構成	2-15
2.5.1	汎用レジスタのデータ構成	2-15
2.5.2	メモリ上でのデータ構成	2-17
2.6	命令セット	2-18
2.6.1	概要	2-18
2.6.2	命令とアドレッシングモードの組み合わせ	2-19
2.6.3	命令の機能別一覧	2-20
2.6.4	命令の基本フォーマット	2-27
2.6.5	ビット操作命令使用上の注意	2-28
2.7	アドレッシングモードと実効アドレスの計算方法	2-29
2.7.1	アドレッシングモード	2-29
2.7.2	実効アドレスの計算方法	2-32
2.8	処理状態	2-36
2.8.1	概要	2-36
2.8.2	リセット状態	2-37
2.8.3	例外処理状態	2-38
2.8.4	プログラム実行状態	2-39

2.8.5	バス権解放状態	2-39
2.8.6	低消費電力状態	2-39
2.9	基本動作タイミング	2-41
2.9.1	概要	2-41
2.9.2	内蔵メモリ (ROM、RAM)	2-41
2.9.3	内蔵周辺モジュールアクセスタイミング	2-42
2.9.4	内蔵周辺モジュールアクセスタイミング (内部 I/O レジスタ 3)	2-43
2.9.5	外部アドレス空間アクセスタイミング	2-44
2.10	使用上の注意	2-45
2.10.1	TAS 命令	2-45
2.10.2	STM/LDM 命令	2-45

第3章 MCU 動作モード

3.1	概要	3-1
3.1.1	動作モードの選択	3-1
3.1.2	レジスタ構成	3-2
3.2	各レジスタの説明	3-3
3.2.1	モードコントロールレジスタ (MDCR)	3-3
3.2.2	システムコントロールレジスタ (SYSCR)	3-4
3.2.3	バスコントロールレジスタ (BCR)	3-6
3.2.4	シリアルタイマコントロールレジスタ (STCR)	3-6
3.3	各動作モードの説明	3-8
3.3.1	モード 1	3-8
3.3.2	モード 2	3-8
3.3.3	モード 3	3-8
3.4	各動作モードにおける端子機能	3-9
3.5	各動作モードのアドレスマップ	3-10

第4章 例外処理

4.1	概要	4-1
4.1.1	例外処理の種類と優先度	4-1
4.1.2	例外処理の動作	4-2
4.1.3	例外処理要因とベクタテーブル	4-2
4.2	リセット	4-4
4.2.1	概要	4-4
4.2.2	リセットシーケンス	4-4
4.2.3	リセット直後の割り込み	4-6
4.3	割り込み	4-7
4.4	トラップ命令	4-8
4.5	例外処理後のスタックの状態	4-9
4.6	スタック使用上の注意	4-10

第5章 割り込みコントローラ

5.1	概要	5-1
5.1.1	特長	5-1

5.1.2	ブロック図	5-2
5.1.3	端子構成	5-3
5.1.4	レジスタ構成	5-3
5.2	各レジスタの説明	5-4
5.2.1	システムコントロールレジスタ (SYSCR)	5-4
5.2.2	インタラプトコントロールレジスタ A～C (ICRA～ICRC)	5-5
5.2.3	IRQ イネーブルレジスタ (IER)	5-6
5.2.4	IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL)	5-7
5.2.5	IRQ ステータスレジスタ (ISR)	5-8
5.2.6	キーボードマトリクス割り込みマスキレジスタ (KMIMR)	5-9
5.2.7	キーボードマトリクス割り込みマスキレジスタ A (KMIMRA)、 ウェイクアップイベント割り込みマスキレジスタ B (WUEMRB)	5-10
5.2.8	アドレスブレイクコントロールレジスタ (ABRKCR)	5-12
5.2.9	ブレイクアドレスレジスタ A～C (BARA～BARC)	5-13
5.3	割り込み要因	5-14
5.3.1	外部割り込み	5-14
5.3.2	内部割り込み	5-16
5.3.3	割り込み例外処理ベクタテーブル	5-17
5.4	アドレスブレイク	5-19
5.4.1	特長	5-19
5.4.2	ブロック図	5-19
5.4.3	動作説明	5-19
5.4.4	使用上の注意	5-20
5.5	割り込み動作	5-22
5.5.1	割り込み制御モードと割り込み動作	5-22
5.5.2	割り込み制御モード 0	5-24
5.5.3	割り込み制御モード 1	5-26
5.5.4	割り込み例外処理シーケンス	5-29
5.5.5	割り込み応答時間	5-31
5.6	使用上の注意	5-32
5.6.1	割り込みの発生とディスエーブルとの競合	5-32
5.6.2	割り込みを禁止している命令	5-33
5.6.3	EEPMOV 命令実行中の割り込み	5-33
5.7	割り込みによる DTC の起動	5-34
5.7.1	概要	5-34
5.7.2	ブロック図	5-34
5.7.3	動作説明	5-35

第 6 章 バスコントローラ

6.1	概要	6-1
6.1.1	特長	6-1
6.1.2	ブロック図	6-2
6.1.3	端子構成	6-3
6.1.4	レジスタ構成	6-3
6.2	各レジスタの説明	6-4
6.2.1	バスコントロールレジスタ (BCR)	6-4

6.2.2	ウェイトステートコントロールレジスタ (WSCR)	6-5
6.3	バス制御の概要	6-7
6.3.1	バス仕様	6-7
6.3.2	アドバンスモード	6-8
6.3.3	ノーマルモード	6-8
6.3.4	I/O セレクト信号	6-9
6.4	基本バスインタフェース	6-10
6.4.1	概要	6-10
6.4.2	データサイズとデータアライメント	6-10
6.4.3	有効ストロープ	6-11
6.4.4	基本タイミング	6-12
6.4.5	ウェイト制御	6-21
6.5	バースト ROM インタフェース	6-23
6.5.1	概要	6-23
6.5.2	基本タイミング	6-23
6.5.3	ウェイト制御	6-24
6.6	アイドルサイクル	6-25
6.6.1	動作説明	6-25
6.6.2	アイドルサイクルでの端子状態	6-26
6.7	バスアービトレーション	6-27
6.7.1	概要	6-27
6.7.2	動作説明	6-27
6.7.3	バス権移行タイミング	6-27

第7章 データトランスファコントローラ (DTC)

7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	ブロック図	7-1
7.1.3	レジスタ構成	7-3
7.2	各レジスタの説明	7-4
7.2.1	DTC モードレジスタ A (MRA)	7-4
7.2.2	DTC モードレジスタ B (MRB)	7-6
7.2.3	DTC ソースアドレスレジスタ (SAR)	7-7
7.2.4	DTC デスティネーションアドレスレジスタ (DAR)	7-7
7.2.5	DTC 転送カウントレジスタ A (CRA)	7-7
7.2.6	DTC 転送カウントレジスタ B (CRB)	7-8
7.2.7	DTC イネーブルレジスタ (DTCER)	7-8
7.2.8	DTC ベクタレジスタ (DTVECR)	7-9
7.2.9	モジュールストップコントロールレジスタ (MSTPCR)	7-10
7.3	動作説明	7-11
7.3.1	概要	7-11
7.3.2	起動要因	7-12
7.3.3	DTC ベクタテーブル	7-14
7.3.4	アドレス空間上でのレジスタ情報の配置	7-16
7.3.5	ノーマルモード	7-17
7.3.6	リピートモード	7-18

7.3.7	ブロック転送モード	7-19
7.3.8	チェーン転送	7-20
7.3.9	動作タイミング	7-21
7.3.10	DTC 実行ステート数	7-22
7.3.11	DTC 使用手順	7-23
7.3.12	DTC 使用例	7-24
7.4	割り込み	7-25
7.5	使用上の注意	7-25

第8章 I/O ポート

8.1	概要	8-1
8.2	ポート 1	8-6
8.2.1	概要	8-6
8.2.2	レジスタ構成	8-7
8.2.3	モード別端子機能	8-9
8.2.4	入力プルアップ MOS	8-10
8.3	ポート 2	8-11
8.3.1	概要	8-11
8.3.2	レジスタ構成	8-12
8.3.3	モード別端子機能	8-14
8.3.4	入力プルアップ MOS	8-15
8.4	ポート 3	8-16
8.4.1	概要	8-16
8.4.2	レジスタ構成	8-17
8.4.3	モード別端子機能	8-19
8.4.4	入力プルアップ MOS	8-20
8.5	ポート 4	8-21
8.5.1	概要	8-21
8.5.2	レジスタ構成	8-21
8.5.3	端子機能	8-22
8.6	ポート 5	8-25
8.6.1	概要	8-25
8.6.2	レジスタ構成	8-25
8.6.3	端子機能	8-27
8.7	ポート 6	8-28
8.7.1	概要	8-28
8.7.2	レジスタ構成	8-29
8.7.3	端子機能	8-31
8.7.4	入力プルアップ MOS	8-34
8.8	ポート 7	8-35
8.8.1	概要	8-35
8.8.2	レジスタ構成	8-35
8.8.3	端子機能	8-36
8.9	ポート 8	8-37
8.9.1	概要	8-37

8.9.2	レジスタ構成	8-37
8.9.3	端子機能	8-38
8.10	ポート 9	8-41
8.10.1	概要	8-41
8.10.2	レジスタ構成	8-42
8.10.3	端子機能	8-43
8.11	ポート A	8-46
8.11.1	概要	8-46
8.11.2	レジスタ構成	8-46
8.11.3	端子機能	8-48
8.11.4	入力プルアップ MOS	8-51
8.12	ポート B	8-52
8.12.1	概要	8-52
8.12.2	レジスタ構成	8-53
8.12.3	端子機能	8-55
8.12.4	入力プルアップ MOS	8-58
8.13	H8S/2169 の追加概要	8-59
8.14	ポート C、D	8-60
8.14.1	概要	8-60
8.14.2	レジスタ構成	8-60
8.14.3	端子機能	8-63
8.14.4	入力プルアップ MOS	8-63
8.15	ポート E、F	8-64
8.15.1	概要	8-64
8.15.2	レジスタ構成	8-64
8.15.3	端子機能	8-67
8.15.4	入力プルアップ MOS	8-67
8.16	ポート G	8-68
8.16.1	概要	8-68
8.16.2	レジスタ構成	8-68
8.16.3	端子機能	8-70
8.16.4	入力プルアップ MOS	8-70

第9章 8ビットPWMタイマ (PWM)

9.1	概要	9-1
9.1.1	特長	9-1
9.1.2	ブロック図	9-2
9.1.3	端子構成	9-3
9.1.4	レジスタ構成	9-3
9.2	各レジスタの説明	9-4
9.2.1	PWM レジスタセレクト (PWSL)	9-4
9.2.2	PWM データレジスタ (PWDR0～PWDR15)	9-7
9.2.3	PWM データポラリティレジスタ (PWDPRA、PWDPRB)	9-7
9.2.4	PWM アウトプットイネーブルレジスタ (PWOERA、PWOERB)	9-8
9.2.5	周辺クロックセレクトレジスタ (PCSR)	9-9

9.2.6	ポート 1 データディレクションレジスタ (P1DDR)	9-9
9.2.7	ポート 2 データディレクションレジスタ (P2DDR)	9-10
9.2.8	ポート 1 データレジスタ (P1DR)	9-10
9.2.9	ポート 2 データレジスタ (P2DR)	9-10
9.2.10	モジュールストップコントロールレジスタ (MSTPCR)	9-11
9.3	PWM タイマの動作.....	9-12
9.3.1	PWM データレジスタの内容と出力波形の対応	9-12

第 10 章 14 ビット PWM タイマ (PWMX)

10.1	概要	10-1
10.1.1	特長.....	10-1
10.1.2	ブロック図.....	10-2
10.1.3	端子構成.....	10-3
10.1.4	レジスタ構成	10-3
10.2	各レジスタの説明	10-4
10.2.1	PWM (D/A) カウンタ (DACNT)	10-4
10.2.2	D/A データレジスタ A、B (DADRA、B)	10-5
10.2.3	PWM (D/A) コントロールレジスタ (DACR)	10-6
10.2.4	モジュールストップコントロールレジスタ (MSTPCR)	10-8
10.3	バスマスタとのインタフェース.....	10-9
10.4	動作説明	10-12

第 11 章 16 ビットフリーランニングタイマ (FRT)

11.1	概要	11-1
11.1.1	特長.....	11-1
11.1.2	ブロック図.....	11-2
11.1.3	端子構成.....	11-3
11.1.4	レジスタ構成	11-3
11.2	各レジスタの説明	11-4
11.2.1	フリーランニングカウンタ (FRC)	11-4
11.2.2	アウトプットコンペアレジスタ A、B (OCRA、OCRB)	11-4
11.2.3	インプットキャプチャレジスタ A～D (ICRA～ICRD)	11-5
11.2.4	アウトプットコンペアレジスタ AR、AF (OCRAR、OCRARF)	11-6
11.2.5	アウトプットコンペアレジスタ DM (OCRDM)	11-7
11.2.6	タイマインタラプトイネーブルレジスタ (TIER)	11-7
11.2.7	タイマコントロール/ステータスレジスタ (TCSR)	11-10
11.2.8	タイマコントロールレジスタ (TCR)	11-13
11.2.9	タイマアウトプットコンペアコントロールレジスタ (TOCR)	11-15
11.2.10	モジュールストップコントロールレジスタ (MSTPCR)	11-17
11.3	動作説明	11-18
11.3.1	FRC のカウントタイミング	11-18
11.3.2	アウトプットコンペア出力タイミング	11-19
11.3.3	FRC のクリアタイミング	11-19
11.3.4	インプットキャプチャ入力タイミング	11-20
11.3.5	インプットキャプチャフラグ (ICFA～ICFD) のセットタイミング	11-22
11.3.6	アウトプットコンペアフラグ (OCFA、OCFB) のセットタイミング	11-23

11.3.7	タイマオーバーフローフラグ (OVF) のセットタイミング	11-24
11.3.8	OCRA と OCRAR/OCRAF の自動加算タイミング	11-24
11.3.9	ICRD と OCRDM のマスク信号生成タイミング	11-25
11.4	割り込み要因	11-26
11.5	FRT の使用例	11-26
11.6	使用上の注意	11-27

第 12 章 8 ビットタイマ (TMR)

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-4
12.2	各レジスタの説明	12-5
12.2.1	タイマカウンタ (TCNT)	12-5
12.2.2	タイムコンスタントレジスタ A (TCORA)	12-6
12.2.3	タイムコンスタントレジスタ B (TCORB)	12-7
12.2.4	タイマコントロールレジスタ (TCR)	12-8
12.2.5	タイマコントロール/ステータスレジスタ (TCSR)	12-11
12.2.6	シリアルタイマコントロールレジスタ (STCR)	12-15
12.2.7	システムコントロールレジスタ (SYSCR)	12-16
12.2.8	タイマコネクションレジスタ S (TCONRS)	12-17
12.2.9	インプットキャプチャレジスタ (TICR) 【TMRX 追加機能】	12-17
12.2.10	タイムコンスタントレジスタ C (TCORC) 【TMRX 追加機能】	12-18
12.2.11	インプットキャプチャレジスタ R、F (TICRR、TICRF) 【TMRX 追加機能】	12-18
12.2.12	タイマインプットセレクトレジスタ (TISR) 【TMRY 追加機能】	12-19
12.2.13	モジュールストップコントロールレジスタ (MSTPCR)	12-20
12.3	動作説明	12-21
12.3.1	TCNT のカウントタイミング	12-21
12.3.2	コンペアマッチタイミング	12-23
12.3.3	TCNT の外部リセットタイミング	12-24
12.3.4	オーバーフローフラグ (OVF) のセットタイミング	12-25
12.3.5	カスケード接続時の動作	12-25
12.3.6	インプットキャプチャ動作	12-27
12.4	割り込み要因	12-30
12.5	8 ビットタイマの使用例	12-31
12.6	使用上の注意	12-32
12.6.1	TCNT のライトとカウンタクリアの競合	12-32
12.6.2	TCNT のライトとカウントアップの競合	12-33
12.6.3	TCOR のライトとコンペアマッチの競合	12-33
12.6.4	コンペアマッチ A、B の競合	12-34
12.6.5	内部クロックの切り替えと TCNT の動作	12-35

第 13 章 タイマコネクション

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-3
13.1.4	レジスタ構成	13-3
13.2	各レジスタの説明	13-4
13.2.1	タイマコネクションレジスタ I (TCONRI)	13-4
13.2.2	タイマコネクションレジスタ O (TCONRO)	13-6
13.2.3	タイマコネクションレジスタ S (TCONRS)	13-8
13.2.4	エッジセンスレジスタ (SEDGR)	13-9
13.2.5	モジュールストップコントロールレジスタ (MSTPCR)	13-12
13.3	動作説明	13-14
13.3.1	PWM デコード (PDC 信号生成)	13-14
13.3.2	クランプ波形生成 (CL1・CL2・CL3 信号生成)	13-15
13.3.3	8 ビットタイマ分周波形周期測定	13-16
13.3.4	IHI 信号の 2fH モディファイ	13-18
13.3.5	IVI 信号の立ち下がりモディファイ・IHI 同期	13-19
13.3.6	内部同期信号の生成 (IHG 信号、IVG 信号、CL4 信号の生成)	13-21
13.3.7	HSYNCO 出力	13-23
13.3.8	VSYNCO 出力	13-24
13.3.9	CBLANK 出力	13-25

第 14 章 ウォッチドッグタイマ (WDT)

14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	ブロック図	14-2
14.1.3	端子構成	14-4
14.1.4	レジスタ構成	14-4
14.2	各レジスタの説明	14-5
14.2.1	タイマカウンタ (TCNT)	14-5
14.2.2	タイマコントロール/ステータスレジスタ (TCSR)	14-5
14.2.3	システムコントロールレジスタ (SYSCR)	14-9
14.2.4	レジスタアクセス時の注意	14-10
14.3	動作説明	14-11
14.3.1	ウォッチドッグタイマモード時の動作	14-11
14.3.2	インターバルタイマモード時の動作	14-13
14.3.3	オーバフローフラグ (OVF) のセットタイミング	14-14
14.3.4	RESO 信号出力タイミング	14-15
14.4	割り込み	14-16
14.5	使用上の注意	14-16
14.5.1	タイマカウンタ (TCNT) のライトとカウントアップの競合	14-16
14.5.2	CKS2～CKS0 ビットの書き換え	14-16
14.5.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	14-17
14.5.4	RESO 信号によるシステムのリセット	14-17

14.5.5	高速モード、サブアクティブモード、ウォッチモード間遷移時のカウンタ値	14-17
14.5.6	OVF フラグのクリア	14-18

第 15 章 シリアルコミュニケーションインタフェース (SCI、IrDA)

15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	ブロック図	15-3
15.1.3	端子構成	15-4
15.1.4	レジスタ構成	15-5
15.2	各レジスタの説明	15-6
15.2.1	レシーブシフトレジスタ (RSR)	15-6
15.2.2	レシーブデータレジスタ (RDR)	15-6
15.2.3	トランスミットシフトレジスタ (TSR)	15-6
15.2.4	トランスミットデータレジスタ (TDR)	15-7
15.2.5	シリアルモードレジスタ (SMR)	15-7
15.2.6	シリアルコントロールレジスタ (SCR)	15-10
15.2.7	シリアルステータスレジスタ (SSR)	15-13
15.2.8	ビットレートレジスタ (BRR)	15-17
15.2.9	シリアルインタフェースモードレジスタ (SCMR)	15-23
15.2.10	モジュールストップコントロールレジスタ (MSTPCR)	15-24
15.2.11	キーボードコンパレータコントロールレジスタ (KBCOMP)	15-25
15.3	動作説明	15-27
15.3.1	概要	15-27
15.3.2	調歩同期式モード時の動作	15-29
15.3.3	マルチプロセッサ通信機能	15-39
15.3.4	クロック同期式モード時の動作	15-46
15.3.5	IrDA 動作	15-54
15.4	SCI 割り込み	15-57
15.5	使用上の注意	15-58

第 16 章 I²C バスインタフェース (IIC)

16.1	概要	16-1
16.1.1	特長	16-1
16.1.2	ブロック図	16-2
16.1.3	端子構成	16-4
16.1.4	レジスタ構成	16-5
16.2	各レジスタの説明	16-6
16.2.1	I ² C バスデータレジスタ (ICDR)	16-6
16.2.2	スレーブアドレスレジスタ (SAR)	16-8
16.2.3	第 2 スレーブアドレスレジスタ (SARX)	16-9
16.2.4	I ² C バスモードレジスタ (ICMR)	16-10
16.2.5	I ² C バスコントロールレジスタ (ICCR)	16-12
16.2.6	I ² C バスステータスレジスタ (ICSR)	16-18
16.2.7	シリアルタイマコントロールレジスタ (STCR)	16-22
16.2.8	DDC スイッチレジスタ (DDCSWR)	16-23
16.2.9	モジュールストップコントロールレジスタ (MSTPCR)	16-26

16.3	動作説明	16-27
16.3.1	I ² C バスデータフォーマット	16-27
16.3.2	マスタ送信動作	16-29
16.3.3	マスタ受信動作	16-31
16.3.4	スレーブ受信動作	16-33
16.3.5	スレーブ送信動作	16-36
16.3.6	IRIC セットタイミングと SCL 制御	16-38
16.3.7	フォーマットレスから I ² C バスフォーマットへの自動切り替え	16-40
16.3.8	DTC による動作	16-41
16.3.9	ノイズ除去回路	16-42
16.3.10	使用例	16-43
16.3.11	内部状態の初期化	16-46
16.4	使用上の注意	16-48

第 17 章 キーボードバッファコントローラ

17.1	概要	17-1
17.1.1	特長	17-1
17.1.2	ブロック図	17-2
17.1.3	端子構成	17-3
17.1.4	レジスタ構成	17-3
17.2	各レジスタの説明	17-4
17.2.1	キーボードコントロールレジスタ H (KBCRH)	17-4
17.2.2	キーボードコントロールレジスタ L (KBCRL)	17-6
17.2.3	キーボードデータバッファレジスタ (KBRR)	17-8
17.2.4	モジュールストップコントロールレジスタ (MSTPCR)	17-8
17.3	動作説明	17-9
17.3.1	受信動作	17-9
17.3.2	送信動作	17-10
17.3.3	受信中断動作	17-13
17.3.4	KCLKI、KDI リードタイミング	17-16
17.3.5	KCLKO、KDO ライトタイミング	17-16
17.3.6	KBF セットタイミングと KCLK 制御	17-17
17.3.7	受信タイミング	17-18
17.3.8	KCLK 立ち下がり割り込みの動作	17-19
17.3.9	使用上の注意	17-20

第 18A 章 ホストインタフェース X-BUS インタフェース (XBS)

18A.1	概要	18A-1
18A.1.1	特長	18A-1
18A.1.2	ブロック図	18A-2
18A.1.3	端子構成	18A-3
18A.1.4	レジスタ構成	18A-4
18A.2	各レジスタの説明	18A-5
18A.2.1	システムコントロールレジスタ (SYSCR)	18A-5
18A.2.2	システムコントロールレジスタ 2 (SYSCR2)	18A-6
18A.2.3	ホストインタフェースコントロールレジスタ (HICR)	18A-8

18A.2.4	入力データレジスタ (IDR)	18A-9
18A.2.5	出力データレジスタ 1 (ODR)	18A-10
18A.2.6	ステータスレジスタ (STR)	18A-10
18A.2.7	モジュールストップコントロールレジスタ (MSTPCR)	18A-12
18A.3	動作説明	18A-13
18A.3.1	ホストインタフェースの起動	18A-13
18A.3.2	コントロール状態	18A-14
18A.3.3	GATE A20	18A-14
18A.3.4	ホストインタフェース端子シャットダウン機能	18A-17
18A.4	割り込み要因	18A-18
18A.4.1	IBF1、IBF2、IBF3、IBF4	18A-18
18A.4.2	HIRQ11、HIRQ1、HIRQ12、HIRQ3、HIRQ4	18A-18
18A.5	使用上の注意	18A-20

第 18B 章 ホストインタフェース LPC インタフェース (LPC)

18B.1	概要	18B-1
18B.1.1	特長	18B-1
18B.1.2	ブロック図	18B-3
18B.1.3	端子構成	18B-4
18B.1.4	レジスタ構成	18B-5
18B.2	各レジスタの説明	18B-6
18B.2.1	システムコントロールレジスタ (SYSCR、SYSCR2)	18B-6
18B.2.2	ホストインタフェースコントロールレジスタ 0、1 (HICR0、HICR1)	18B-7
18B.2.3	ホストインタフェースコントロールレジスタ 2、3 (HICR2、HICR3)	18B-12
18B.2.4	LPC チャネル 3 アドレスレジスタ (LADR3)	18B-15
18B.2.5	入力データレジスタ (IDR1～IDR3)	18B-16
18B.2.6	出力データレジスタ 1 (ODR1～ODR3)	18B-16
18B.2.7	双方向データレジスタ (TWR0～TWR15)	18B-17
18B.2.8	ステータスレジスタ (STR1～STR3)	18B-18
18B.2.9	SERIRQ コントロールレジスタ (SIRQCR0、SIRQCR1)	18B-21
18B.2.10	モジュールストップコントロールレジスタ (MSTPCR)	18B-28
18B.3	動作説明	18B-29
18B.3.1	ホストインタフェースの起動	18B-29
18B.3.2	LPC の I/O サイクル	18B-29
18B.3.3	GATE A20	18B-31
18B.3.4	ホストインタフェースのシャットダウン機能 (LPCPD)	18B-33
18B.3.5	ホストインタフェースのシリアル割り込み動作 (SERIRQ)	18B-36
18B.3.6	ホストインタフェースのクロック起動要求 (CLKRUN)	18B-38
18B.4	割り込み要因	18B-39
18B.4.1	IBFI1、IBFI2、IBFI3、ERRI	18B-39
18B.4.2	SMI、HIRQ1、HIRQ6、HIRQ9、HIRQ10、HIRQ11、HIRQ12	18B-39
18B.5	使用上の注意	18B-42

第 19 章 D/A 変換器

19.1	概要	19-1
19.1.1	特長	19-1

19.1.2	ブロック図	19-2
19.1.3	端子構成	19-3
19.1.4	レジスタ構成	19-3
19.2	各レジスタの説明	19-4
19.2.1	D/A データレジスタ 0、1 (DADR0、DADR1)	19-4
19.2.2	D/A コントロールレジスタ (DACR)	19-4
19.2.3	モジュールストップコントロールレジスタ (MSTPCR)	19-6
19.3	動作説明	19-7

第 20 章 A/D 変換器

20.1	概要	20-1
20.1.1	特長	20-1
20.1.2	ブロック図	20-2
20.1.3	端子構成	20-3
20.1.4	レジスタ構成	20-3
20.2	各レジスタの説明	20-4
20.2.1	A/D データレジスタ A～D (ADDRA～ADDRD)	20-4
20.2.2	A/D コントロール/ステータスレジスタ (ADCSR)	20-4
20.2.3	A/D コントロールレジスタ (ADCR)	20-7
20.2.4	キーボードコンパレータコントロールレジスタ (KBCOMP)	20-8
20.2.5	モジュールストップコントロールレジスタ (MSTPCR)	20-9
20.3	バスマスタとのインタフェース	20-10
20.4	動作説明	20-11
20.4.1	シングルモード (SCAN=0)	20-11
20.4.2	スキャンモード (SCAN=1)	20-13
20.4.3	入力サンプリングと A/D 変換時間	20-15
20.4.4	外部トリガ入力タイミング	20-16
20.5	割り込み	20-17
20.6	使用上の注意	20-17

第 21 章 RAM

21.1	概要	21-1
21.1.1	ブロック図	21-1
21.1.2	レジスタ構成	21-2
21.2	システムコントロールレジスタ (SYSCR)	21-3
21.3	動作説明	21-4
21.3.1	拡張モード (モード 1～3 (EXPE=1))	21-4
21.3.2	シングルチップモード (モード 2、3 (EXPE=0))	21-4

第 22 章 ROM

22.1	概要	22-1
22.1.1	ブロック図	22-1
22.1.2	レジスタ構成	22-2
22.2	レジスタの説明	22-3
22.2.1	モードコントロールレジスタ (MDCR)	22-3

22.3	動作説明.....	22-4
22.4	フラッシュメモリの概要.....	22-5
22.4.1	特長.....	22-5
22.4.2	ブロック図.....	22-6
22.4.3	フラッシュメモリの動作モード.....	22-7
22.4.4	端子構成.....	22-10
22.4.5	レジスタ構成.....	22-11
22.5	フラッシュメモリのレジスタの説明.....	22-12
22.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1).....	22-12
22.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2).....	22-14
22.5.3	消去ブロック指定レジスタ 1、2 (EBR1、EBR2).....	22-16
22.5.4	シリアルタイムコントロールレジスタ (STCR).....	22-17
22.6	オンボードプログラミングモード.....	22-18
22.6.1	ブートモード.....	22-19
22.6.2	ユーザプログラムモード.....	22-25
22.7	フラッシュメモリの書き込み／消去.....	22-26
22.7.1	プログラムモード.....	22-26
22.7.2	プログラムベリファイモード.....	22-27
22.7.3	イレースモード.....	22-29
22.7.4	イレースベリファイモード.....	22-29
22.8	フラッシュメモリのプロテクト.....	22-31
22.8.1	ハードウェアプロテクト.....	22-31
22.8.2	ソフトウェアプロテクト.....	22-31
22.8.3	エラープロテクト.....	22-32
22.9	フラッシュメモリの書き込み／消去時の割り込み処理.....	22-33
22.10	フラッシュメモリのライターモード.....	22-34
22.10.1	ライターモードの設定.....	22-34
22.10.2	ソケットアダプタとメモリマップ.....	22-34
22.10.3	ライターモードの動作.....	22-35
22.10.4	メモリ読み出しモード.....	22-36
22.10.5	自動書き込みモード.....	22-39
22.10.6	自動消去モード.....	22-41
22.10.7	ステータス読み出しモード.....	22-42
22.10.8	ステータスポーリング.....	22-43
22.10.9	ライターモードへの遷移時間.....	22-44
22.10.10	メモリ書き込み注意事項.....	22-44
22.11	フラッシュメモリの書き込み／消去時の注意.....	22-45

第 23 章 クロック発振器

23.1	概要.....	23-1
23.1.1	ブロック図.....	23-1
23.1.2	レジスタ構成.....	23-1
23.2	各レジスタの説明.....	23-2
23.2.1	スタンバイコントロールレジスタ (SBYCR).....	23-2
23.2.2	ローパワーコントロールレジスタ (LPWRCR).....	23-2

23.3	発振器	23-4
23.3.1	水晶発振子を接続する方法	23-4
23.3.2	外部クロックを入力する方法	23-6
23.4	デューティ補正回路	23-8
23.5	中速クロック分周器	23-8
23.6	バスマスタクロック選択回路	23-8
23.7	サブクロック入力回路	23-9
23.8	サブクロック波形成回路	23-10
23.9	クロック選択回路	23-10
23.10	X1、X2 の端子処理	23-10

第 24 章 低消費電力状態

24.1	概要	24-1
24.1.1	レジスタ構成	24-4
24.2	各レジスタの説明	24-5
24.2.1	スタンバイコントロールレジスタ (SBYCR)	24-5
24.2.2	ローパワーコントロールレジスタ (LPWRCR)	24-7
24.2.3	タイマコントロール/ステータスレジスタ (TCSR)	24-9
24.2.4	モジュールストップコントロールレジスタ (MSTPCR)	24-10
24.3	中速モード	24-11
24.4	スリープモード	24-12
24.4.1	スリープモード	24-12
24.4.2	スリープモードの解除	24-12
24.5	モジュールストップモード	24-13
24.5.1	モジュールストップモード	24-13
24.5.2	使用上の注意	24-14
24.6	ソフトウェアスタンバイモード	24-15
24.6.1	ソフトウェアスタンバイモード	24-15
24.6.2	ソフトウェアスタンバイモードの解除	24-15
24.6.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	24-16
24.6.4	ソフトウェアスタンバイモードの応用例	24-17
24.6.5	使用上の注意	24-17
24.7	ハードウェアスタンバイモード	24-18
24.7.1	ハードウェアスタンバイモード	24-18
24.7.2	ハードウェアスタンバイモードのタイミング	24-18
24.8	ウォッチモード	24-19
24.8.1	ウォッチモード	24-19
24.8.2	ウォッチモードの解除	24-19
24.9	サブスリープモード	24-20
24.9.1	サブスリープモード	24-20
24.9.2	サブスリープモードの解除	24-20
24.10	サブアクティブモード	24-21
24.10.1	サブアクティブモード	24-21

24.10.2	サブアクティブモードの解除	24-21
24.11	直接遷移	24-22
24.11.1	直接遷移の概要	24-22
24.12	使用上の注意事項	24-22
24.12.1	内蔵周辺モジュールの割り込み	24-22
24.12.2	サブアクティブモード／ウォッチモード遷移と DTC のモジュールストップ ...	24-22

第 25 章 電気的特性

25.1	絶対最大定格	25-1
25.2	DC 特性	25-2
25.3	AC 特性	25-7
25.3.1	クロックタイミング	25-7
25.3.2	制御信号タイミング	25-9
25.3.3	バスタイミング	25-11
25.3.4	内蔵周辺モジュールタイミング	25-18
25.4	A/D 変換特性	25-27
25.5	D/A 変換特性	25-28
25.6	フラッシュメモリ特性	25-29
25.7	使用上の注意	25-31

付録

A.	命令	付録-1
A.1	命令セット一覧	付録-1
A.2	命令コード一覧	付録-12
A.3	オペレーションコードマップ	付録-22
A.4	命令実行ステート数	付録-26
A.5	命令実行中のバス状態	付録-37
B.	内部 I/O レジスタ	付録-49
B.1	アドレス一覧	付録-49
B.2	レジスタ選択条件	付録-57
B.3	機能一覧	付録-65
C.	I/O ポートのブロック図	付録-164
C.1	ポート 1 ブロック図	付録-164
C.2	ポート 2 ブロック図	付録-165
C.3	ポート 3 ブロック図	付録-168
C.4	ポート 4 ブロック図	付録-171
C.5	ポート 5 ブロック図	付録-178
C.6	ポート 6 ブロック図	付録-181
C.7	ポート 7 ブロック図	付録-186
C.8	ポート 8 ブロック図	付録-187
C.9	ポート 9 ブロック図	付録-194
C.10	ポート A ブロック図	付録-199
C.11	ポート B ブロック図	付録-202
C.12	ポート C、D、E、F、G ブロック図	付録-205

D.	端子状態	付録-206
D.1	各処理状態におけるポートの状態	付録-206
E.	ハードウェアスタンバイモード遷移／復帰時のタイミングについて	付録-208
E.1	ハードウェアスタンバイモードの遷移タイミング	付録-208
E.2	ハードウェアスタンバイモードからの復帰タイミング	付録-208
F.	型名一覧	付録-209
G.	外形寸法図	付録-210

1. 概要

1.1 概要

H8S/2149、H8S/2169 は、ルネサス テクノロジオリジナルアーキテクチャを採用した H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2000 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300 および H8/300H CPU の命令に対し、オブジェクトレベルで上位互換を保っていますので、H8/300、H8/300L、H8/300H の各シリーズから容易に移行することができます。

システム構成に必要な機能としては、データトランスファコントローラ (DTC) のバスマスタ、ROM、RAM、16 ビットフリーランニングタイマ (FRT)、8 ビットタイマ (TMR)、ウォッチドッグタイマ (WDT)、2 種類の PWM タイマ (PWM、PWMX)、シリアルコミュニケーションインタフェース (SCI)、PS/2 対応のキーボードバッファコントローラ、I²C バスインタフェース (IIC)、ホストインタフェース (HIF:LPC および XBS)、D/A 変換器 (DAC)、A/D 変換器 (ADC)、I/O ポートの周辺機能などを内蔵しています。

H8S/2169 は H8S/2149 と比較して 40 の追加 I/O ポートがあります。

内蔵 ROM は、フラッシュメモリ (F-ZTATTM*) であり、64k バイトの容量を持っています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

動作モードとしては、モード 1～3 があり、アドレス空間やシングルチップモード／外部拡張モードの選択ができます。

H8S/2149、H8S/2169 の特長を表 1.1 に示します。

【注】* F-ZTAT は (株) ルネサス テクノロジの商標です。

1. 概要

表 1.1 概要

項 目	仕 様																														
CPU	■汎用レジスタマシン • 16 ビット×16 本の汎用レジスタ (8 ビット×16 本、32 ビット×8 本としても使用可能) ■リアルタイム制御向きの高速動作 • 最高動作周波数：10MHz／3V • 高速演算 8／16／32 ビットレジスタ間加減算：100ns (10MHz 動作時) 16×16 ビットレジスタ間乗算：2000ns (10MHz 動作時) 32÷16 ビットレジスタ間除算：2000ns (10MHz 動作時) ■高速動作に適した命令セット • 65 種類の基本命令 • 8／16／32 ビット転送／演算命令 • 符号なし／符号付き乗除算命令 • 強力なビット操作命令 ■2 種類の CPU 動作モード • ノーマルモード：アドレス空間 64k バイト • アドバンスモード：アドレス空間 16M バイト																														
動作モード	• 3 種類の MCU 動作モード <table><tr><th>モード</th><th>CPU 動作モード</th><th>内 容</th><th>内蔵 ROM</th><th colspan="2">外部データバス</th></tr><tr><th></th><th></th><th></th><th></th><th>初期値</th><th>最大値</th></tr><tr><td>1</td><td>ノーマル</td><td>内蔵ROM無効拡張モード</td><td>無効</td><td>8ビット</td><td>16ビット</td></tr><tr><td>2</td><td>アドバンス</td><td>内蔵ROM有効拡張モード シングルチップモード</td><td>有効</td><td>8ビット なし</td><td>16ビット</td></tr><tr><td>3</td><td>ノーマル</td><td>内蔵ROM有効拡張モード シングルチップモード</td><td>有効</td><td>8ビット なし</td><td>16ビット</td></tr></table>	モード	CPU 動作モード	内 容	内蔵 ROM	外部データバス						初期値	最大値	1	ノーマル	内蔵ROM無効拡張モード	無効	8ビット	16ビット	2	アドバンス	内蔵ROM有効拡張モード シングルチップモード	有効	8ビット なし	16ビット	3	ノーマル	内蔵ROM有効拡張モード シングルチップモード	有効	8ビット なし	16ビット
モード	CPU 動作モード	内 容	内蔵 ROM	外部データバス																											
				初期値	最大値																										
1	ノーマル	内蔵ROM無効拡張モード	無効	8ビット	16ビット																										
2	アドバンス	内蔵ROM有効拡張モード シングルチップモード	有効	8ビット なし	16ビット																										
3	ノーマル	内蔵ROM有効拡張モード シングルチップモード	有効	8ビット なし	16ビット																										
バスコントローラ	• 外部拡張エリアを 2 ステートまたは 3 ステートアクセス空間に設定可能 • 外部拡張エリアにプログラムウェイトのステート数を設定可能																														
データトランスファ コントローラ (DTC)	• 内部割り込み／ソフトウェアによる起動 • 1 つの起動要因に対して、複数回・複数種類の転送が可能 • リピートモード／ブロック転送モードなどの転送可能 • DTC を起動した割り込みを CPU に要求可能																														
16 ビットフリーランニン グタイマ (FRT) ×1 チャンネル	• 16 ビットフリーランニングカウンタ×1 (外部イベントカウント可能) • アウトプットコンペア出力×2 • インプットキャプチャ入力×4 (バッファ動作可能)																														
8 ビットタイマ (TMR) ×2 チャンネル (TMR0、TMR1)	1 チャンネル当たり • 8 ビットアップカウンタ (外部イベントカウント可能) • タイムコンスタントレジスタ×2 • 2 チャンネルの接続が可能																														

項 目	仕 様
タイマコネクション および 8 ビットタイマ (TMR) ×2 チャンネル (TMRX、TMR Y)	入出力および FRT、TMR1、TMRX、TMR Y を相互に接続可能 - 入力信号またはその分周波形のパルス幅や周期を測定 (FRT、TMR1) - 入力信号のエッジをモディファイした波形の出力が可能 (FRT、TMR1) - 入力信号のデューティの判定が可能 (TMRX) - 入力信号に同期した波形の出力が可能 (FRT、TMRX、TMR Y) - 周期的波形の自動生成が可能 (FRT、TMR Y)
ウォッチドッグタイマ (WDT) ×2 チャンネル	- ウォッチドッグタイマ/インターバルタイマの選択が可能 - サブクロックによる動作が可能 (1 チャンネルのみ)
8 ビット PWM タイマ (PWM)	- 最大 16 出力 - デューティ: 0~100%デューティのパルスを設定可能 - 分解能: 1/256 - 最大キャリア周波数: 625kHz (10MHz 動作時)
14 ビット PWM タイマ (PWMX)	- 最大 2 出力 - 分解能: 1/16384 - 最大キャリア周波数: 156.25kHz (10MHz 動作時)
シリアルコミュニケーション インタフェース (SCI) ×2 チャンネル (SCI0、SCI1)	- 調歩同期式モード/クロック同期式モードの選択が可能 - マルチプロセッサ通信機能
IrDA 付き SCI ×1 チャンネル (SCI2)	- 調歩同期式モード/クロック同期式モードの選択が可能 - マルチプロセッサ通信機能 - IrDA 規格バージョン 1.0 に対応 - TxD、RxD を IrDA フォーマットにエンコード/デコード
キーボード バッファ コントローラ (PS2) ×3 チャンネル	- PS/2 インタフェースに準拠 - 送信出力をソフトウェアで直接操作 - データ受信は 8 ビットシフトレジスタに入力 - データ受信完了割り込み、パリティエラー検出、ストップビットモニタ
ホストインタフェース (HIF:XBS)	8 ビットホストインタフェース (ISA/X-BUS) ポート 5 つのホスト割り込み要求 (HIRQ11、HIRQ1、HIRQ12、HIRQ3、HIRQ4) - 通常および高速 GATE A20 出力 4 つのレジスタセット (それぞれ 2 つのデータレジスタとステータスレジスタから構成)
ホストインタフェース (HIF:LPC)	1 チャンネルの LPC ポート XBS の 3 レジスタセット相当、および 16 バイトの双方向レジスタ 7 つのシリアルホスト割り込み要求 (SMI、HIRQ1、HIRQ6、HIRQ9~12) - 通常および高速 GATE A20 出力 3 つのレジスタセット (それぞれ 2 つのデータレジスタとステータスレジスタから構成)
キーボードコントローラ	マトリクスキーボードを、ウェイクアップ割り込み付きキーボードスキャンおよびセンスポートの構成で制御

1. 概要

項 目	仕 様									
A/D 変換器	・ 分解能：10 ビット ・ 入力：8 チャンネル（アナログ専用端子） 16 チャンネル（キーボードセレクトポートと同一端子） ・ 高速変換：最小変換時間 13.4μs（10MHz 動作時） ・ シングル／スキャンモードの選択が可能 ・ サンプル&ホールド機能 ・ 外部トリガ／タイマトリガによる A/D 変換の起動が可能									
D/A 変換器	・ 分解能 8 ビット ・ 出力：2 チャンネル									
I/O ポート（H8S/2149）	・ 入出力端子 74 本（内 24 本は、LED 駆動可能） ・ 入力専用端子 8 本 ・ 入出力端子中 VCCB（別電源）駆動端子 8 本									
I/O ポート（H8S/2169）	・ 入出力端子 114 本（内 24 本は、LED 駆動可能） ・ 入力専用端子 8 本 ・ 入出力端子中 VCCB（別電源）駆動端子 32 本									
メモリ	・ フラッシュメモリ：64k バイト ・ 高速スタティック RAM：2k バイト									
割り込みコントローラ	・ 外部割り込み端子 9 本（NMI、$\overline{\text{IRQ0}}\sim\overline{\text{IRQ7}}$） ・ 内部割り込み要因 48 要因 ・ 3 レベルの優先順位設定が可能									
低消費電力状態	・ 中速モード ・ スリープモード ・ モジュールストップモード ・ ソフトウェアスタンバイモード ・ ハードウェアスタンバイモード ・ サブクロック動作									
クロック発振器	・ デューティ補正回路内蔵									
パッケージ（H8S/2149）	・ 100 ピンプラスチック QFP（FP-100B） ・ 100 ピンプラスチック TQFP（TFP-100B）									
パッケージ（H8S/2169）	・ 144 ピンプラスチック TQFP（TFP-144）									
I ² C バスインタフェース（IIC）×2 チャンネル	・ Philips 社提唱の I²C バスインタフェース方式準拠 ・ シングルマスタモード／スレープモード内蔵 ・ アビトレーションロスト条件の判定が可能 ・ 2 つのスレープアドレスをサポート									
製品ラインアップ	<table><tr><th>製品型名（F-ZTAT版）</th><th>ROM／RAM（バイト）</th><th>パッケージ</th></tr><tr><td>HD64F2149YV</td><td>64k／2k</td><td>FP-100B、TFP-100B</td></tr><tr><td>HD64F2169YV</td><td>64k／2k</td><td>TFP-144</td></tr></table>	製品型名（F-ZTAT版）	ROM／RAM（バイト）	パッケージ	HD64F2149YV	64k／2k	FP-100B、TFP-100B	HD64F2169YV	64k／2k	TFP-144
製品型名（F-ZTAT版）	ROM／RAM（バイト）	パッケージ								
HD64F2149YV	64k／2k	FP-100B、TFP-100B								
HD64F2169YV	64k／2k	TFP-144								

1.2 内部ブロック図

H8S/2149 の内部ブロック図を図 1.1 (a) に示します。H8S/2169 の内部ブロック図を図 1.1 (b) に示します。

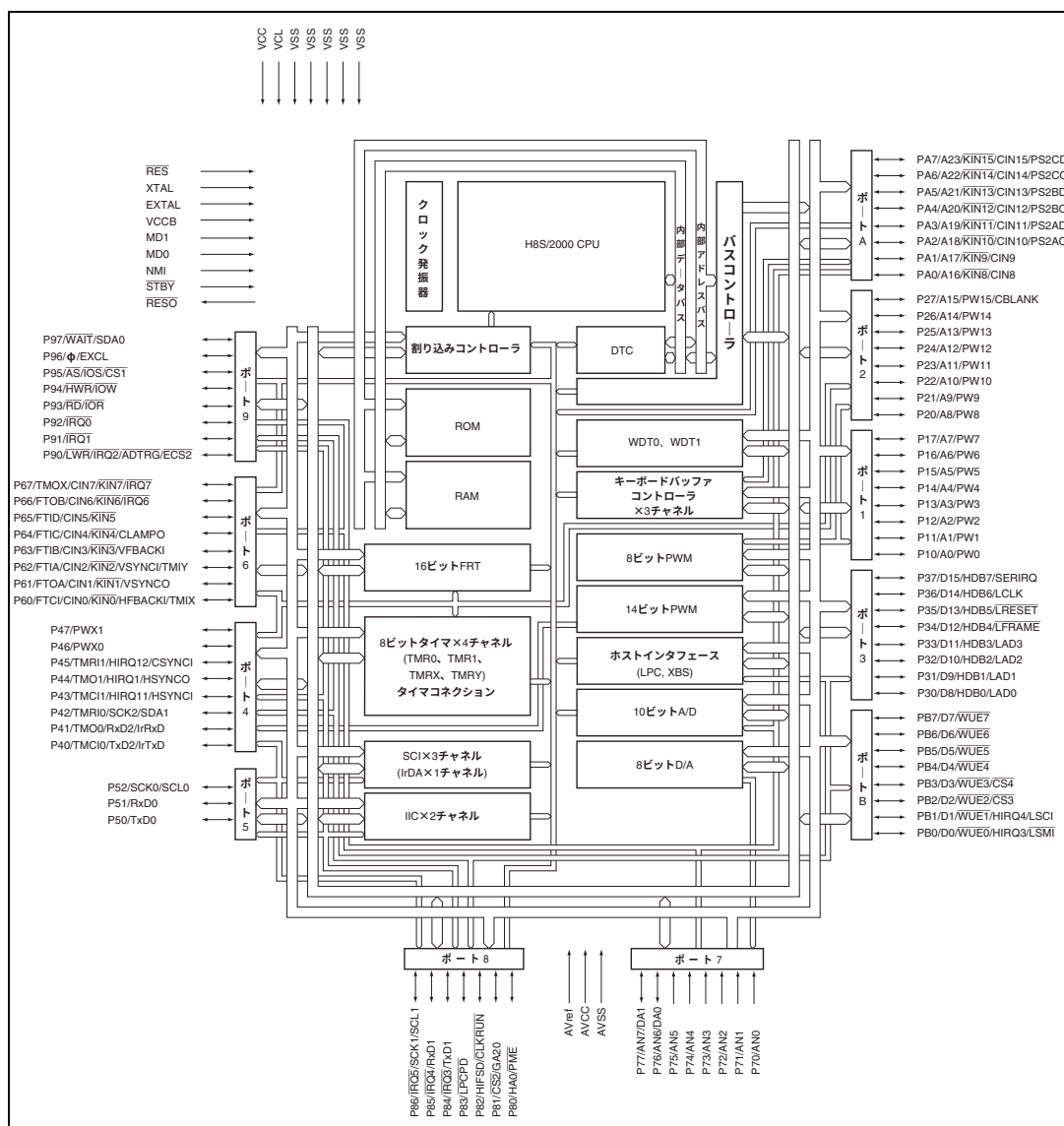
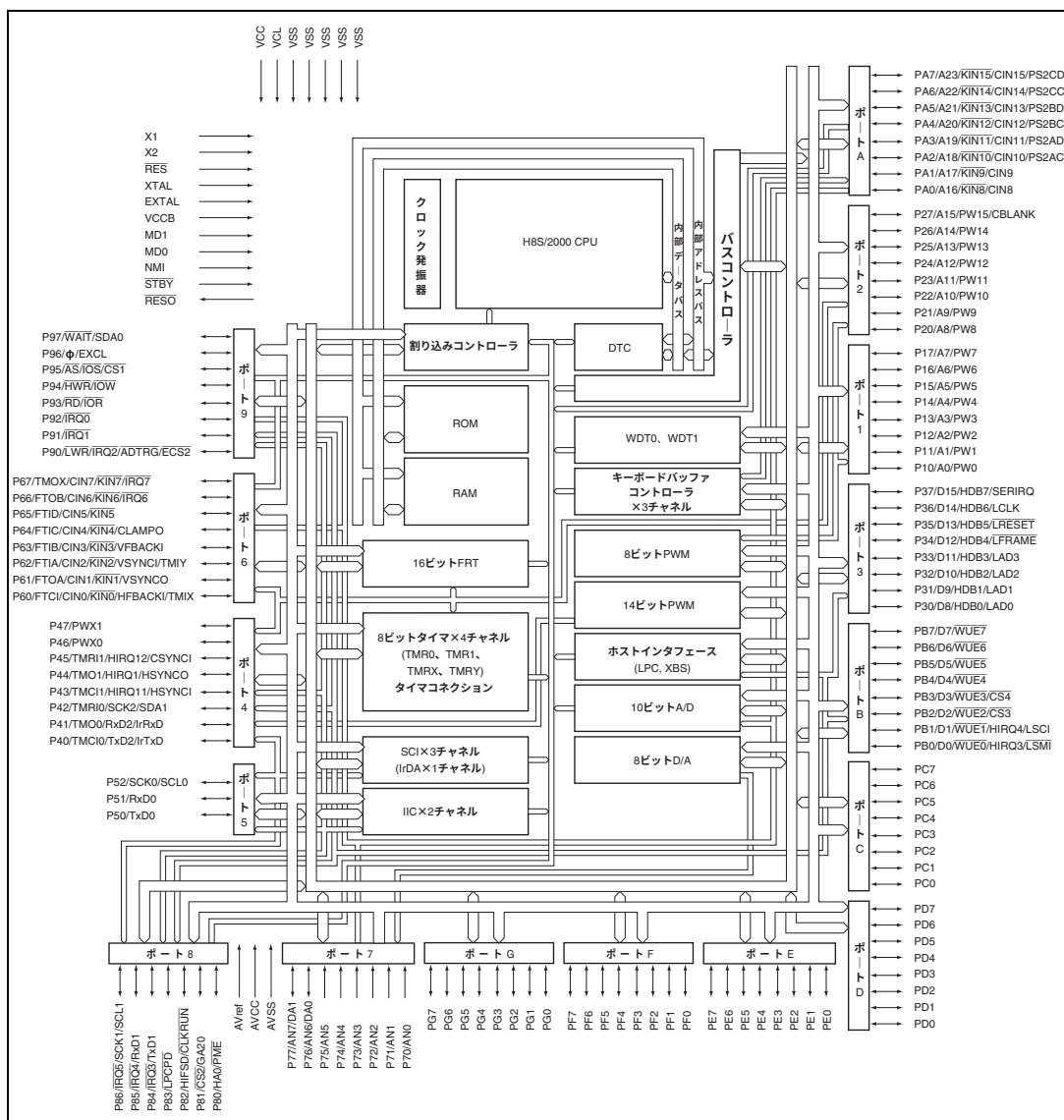


図 1.1 (a) H8S/2149 の内部ブロック図

1. 概要



1.3 端子説明

1.3.1 ピン配置図

H8S/2149 のピン配置図を図 1.2 (a) に示します。H8S/2169 のピン配置図を図 1.2 (b) に示します。

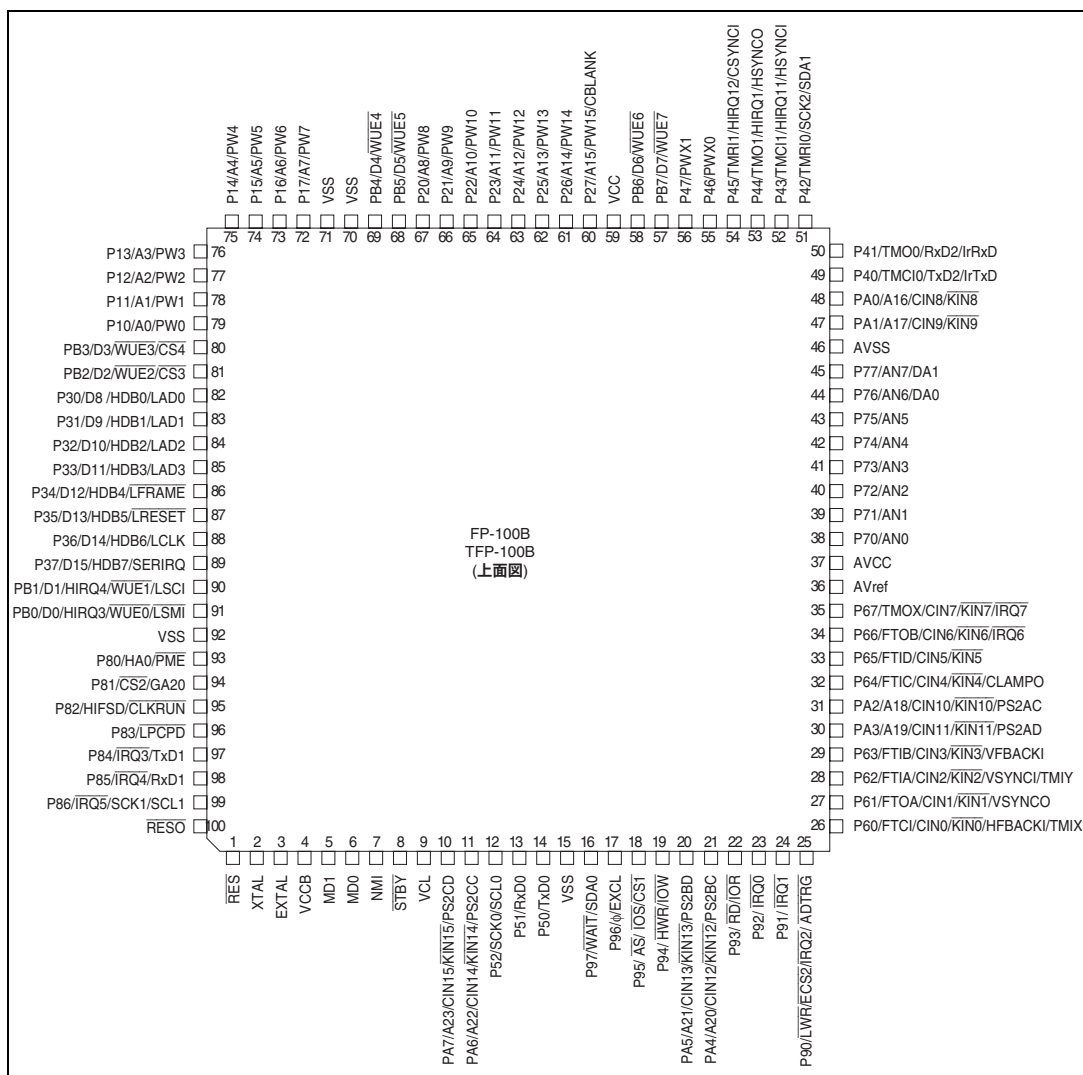


図 1.2 (a) H8S/2149 のピン配置図 (FP-100B、TFP-100B : 上面図)

1. 概要

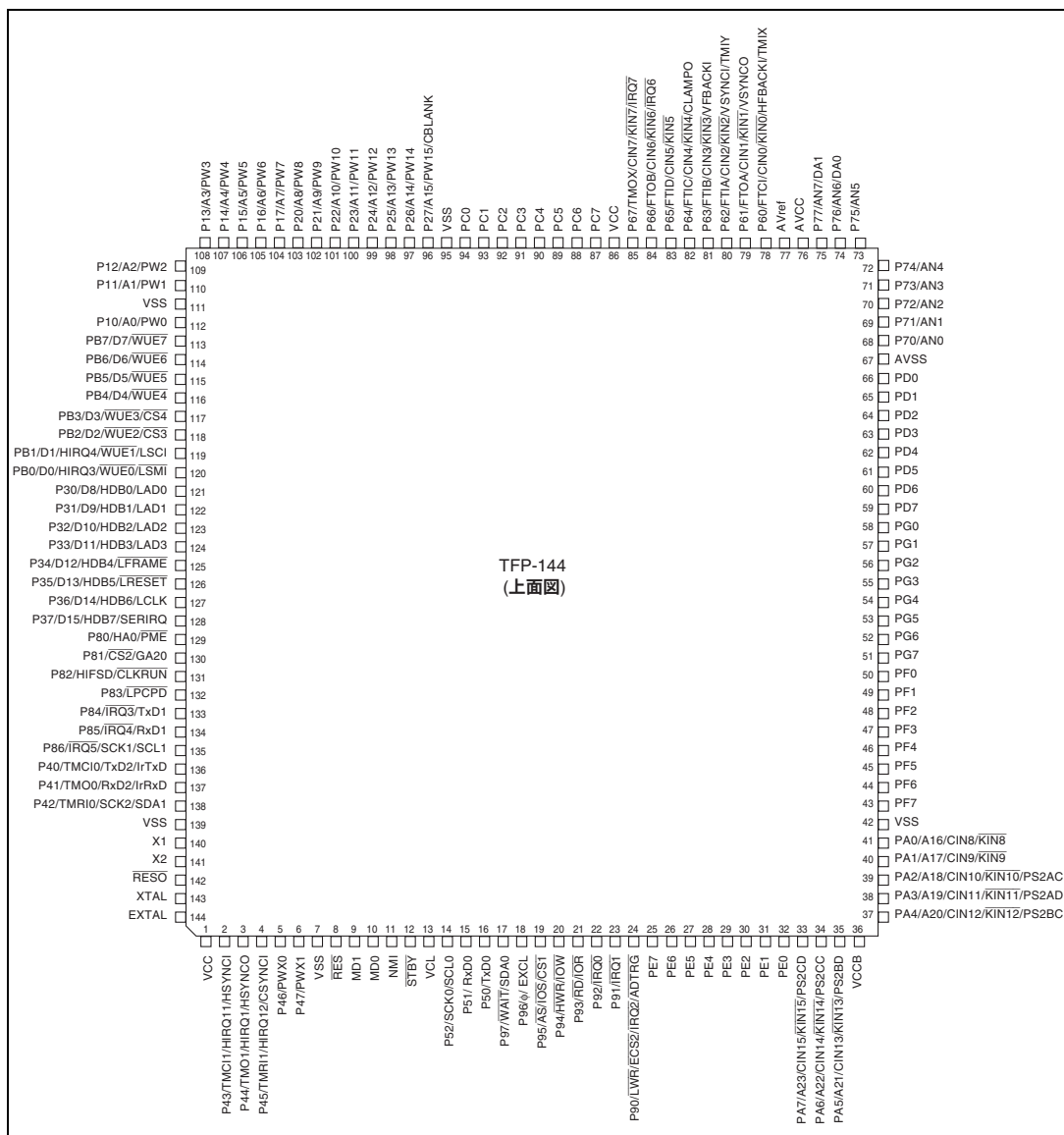


図 1.2 (b) H8S/2169 のピン配置図 (TFP-144 : 上面図)

1.3.2 動作モード別端子機能

H8S/2149 と H8S/2169 それぞれの動作モード別端子機能を表 1.2 (a) と表 1.2 (b) に示します。
ピン番号の (B) は VCCB 駆動、(N) は NMOS プッシュプル／オープンドレイン駆動を表します。

表 1.2 (a) H8S/2149 動作モード別端子機能一覧

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ ライターモード
FP-100B TFP-100B	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	
1	RES	RES	RES	RES
2	XTAL	XTAL	XTAL	XTAL
3	EXTAL	EXTAL	EXTAL	EXTAL
4	VCCB	VCCB	VCCB	VCC
5	MD1	MD1	MD1	VSS
6	MD0	MD0	MD0	VSS
7	NMI	NMI	NMI	FA9
8	STBY	STBY	STBY	VCC
9	VCL	VCL	VCL	VCL
10 (B)	PA7/CIN15/KIN15/ PS2CD	PA7/A23/CIN15/KIN15/ PS2CD	PA7/CIN15/KIN15/ PS2CD	NC
11 (B)	PA6/CIN14/KIN14/ PS2CC	PA6/A22/CIN14/KIN14/ PS2CC	PA6/CIN14/KIN14/ PS2CC	NC
12 (N)	P52/SCK0/SCL0	P52/SCK0/SCL0	P52/SCK0/SCL0	NC
13	P51/RxD0	P51/RxD0	P51/RxD0	FA17
14	P50/TxD0	P50/TxD0	P50/TxD0	NC
15	VSS	VSS	VSS	VSS
16 (N)	P97/WAIT/SDA0	P97/WAIT/SDA0	P97/SDA0	VCC
17	P96/ ϕ /EXCL	P96/ ϕ /EXCL	P96/ ϕ /EXCL	NC
18	AS/IOS	AS/IOS	P95/CS1	FA16
19	HWR	HWR	P94/IOW	FA15
20 (B)	PA5/CIN13/KIN13/ PS2BD	PA5/A21/CIN13/KIN13/ PS2BD	PA5/CIN13/KIN13/ PS2BD	NC
21 (B)	PA4/CIN12/KIN12/ PS2BC	PA4/A20/CIN12/KIN12/ PS2BC	PA4/CIN12/KIN12/ PS2BC	NC
22	RD	RD	P93/IOR	WE
23	P92/IRQ0	P92/IRQ0	P92/IRQ0	VSS
24	P91/IRQ1	P91/IRQ1	P91/IRQ1	VCC
25	P90/LWR/IRQ2/ADTRG	P90/LWR/IRQ2/ADTRG	P90/ECS2/IRQ2/ADTRG	VCC
26	P60/FTCI/CIN0/KIN0/ HFBACKI/TMIX	P60/FTCI/CIN0/KIN0/ HFBACKI/TMIX	P60/FTCI/CIN0/KIN0/ HFBACKI/TMIX	NC
27	P61/FTOA/CIN1/KIN1/ VSYNCO	P61/FTOA/CIN1/KIN1/ VSYNCO	P61/FTOA/CIN1/KIN1/ VSYNCO	NC

1. 概要

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ ライターモード
FP-100B TFP-100B	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	
28	P62/FTIA/CIN2/ $\overline{\text{KIN2}}$ / VSYNCl/TMIY	P62/FTIA/CIN2/ $\overline{\text{KIN2}}$ / VSYNCl/TMIY	P62/FTIA/CIN2/ $\overline{\text{KIN2}}$ / VSYNCl/TMIY	NC
29	P63/FTIB/CIN3/ $\overline{\text{KIN3}}$ / VFBACkI	P63/FTIB/CIN3/ $\overline{\text{KIN3}}$ / VFBACkI	P63/FTIB/CIN3/ $\overline{\text{KIN3}}$ / VFBACkI	NC
30 (B)	PA3/CIN11/ $\overline{\text{KIN11}}$ / PS2AD	PA3/A19/CIN11/ $\overline{\text{KIN11}}$ / PS2AD	PA3/CIN11/ $\overline{\text{KIN11}}$ / PS2AD	NC
31 (B)	PA2/CIN10/ $\overline{\text{KIN10}}$ / PS2AC	PA2/A18/CIN10/ $\overline{\text{KIN10}}$ / PS2AC	PA2/CIN10/ $\overline{\text{KIN10}}$ / PS2AC	NC
32	P64/FTIC/CIN4/ $\overline{\text{KIN4}}$ / CLAMPO	P64/FTIC/CIN4/ $\overline{\text{KIN4}}$ / CLAMPO	P64/FTIC/CIN4/ $\overline{\text{KIN4}}$ / CLAMPO	NC
33	P65/FTID/CIN5/ $\overline{\text{KIN5}}$	P65/FTID/CIN5/ $\overline{\text{KIN5}}$	P65/FTID/CIN5/ $\overline{\text{KIN5}}$	NC
34	P66/FTOB/CIN6/ $\overline{\text{KIN6}}$ / IRQ6	P66/FTOB/CIN6/ $\overline{\text{KIN6}}$ / IRQ6	P66/FTOB/CIN6/ $\overline{\text{KIN6}}$ / IRQ6	NC
35	P67/TMOX/CIN7/ $\overline{\text{KIN7}}$ / IRQ7	P67/TMOX/CIN7/ $\overline{\text{KIN7}}$ / IRQ7	P67/TMOX/CIN7/ $\overline{\text{KIN7}}$ / IRQ7	VSS
36	AVref	AVref	AVref	VCC
37	AVCC	AVCC	AVCC	VCC
38	P70/AN0	P70/AN0	P70/AN0	NC
39	P71/AN1	P71/AN1	P71/AN1	NC
40	P72/AN2	P72/AN2	P72/AN2	NC
41	P73/AN3	P73/AN3	P73/AN3	NC
42	P74/AN4	P74/AN4	P74/AN4	NC
43	P75/AN5	P75/AN5	P75/AN5	NC
44	P76/AN6/DA0	P76/AN6/DA0	P76/AN6/DA0	NC
45	P77/AN7/DA1	P77/AN7/DA1	P77/AN7/DA1	NC
46	AVSS	AVSS	AVSS	VSS
47 (B)	PA1/CIN9/ $\overline{\text{KIN9}}$	PA1/A17/CIN9/ $\overline{\text{KIN9}}$	PA1/CIN9/ $\overline{\text{KIN9}}$	NC
48 (B)	PA0/CIN8/ $\overline{\text{KIN8}}$	PA0/A16/CIN8/ $\overline{\text{KIN8}}$	PA0/CIN8/ $\overline{\text{KIN8}}$	NC
49	P40/TMCIO/TxD2/IrTxD	P40/TMCIO/TxD2/IrTxD	P40/TMCIO/TxD2/IrTxD	NC
50	P41/TMOO/RxD2/IrRxD	P41/TMOO/RxD2/IrRxD	P41/TMOO/RxD2/IrRxD	NC
51	P42/TMRI0/SCK2/SDA1	P42/TMRI0/SCK2/SDA1	P42/TMRI0/SCK2/SDA1	NC
52	P43/TMCi1/HSYNCl	P43/TMCi1/HSYNCl	P43/TMCi1/HiRQ11/ HSYNCl	NC
53	P44/TMO1/HSYNCO	P44/TMO1/HSYNCO	P44/TMO1/HiRQ1/ HSYNCO	NC
54	P45/TMRI1/CSYNCl	P45/TMRI1/CSYNCl	P45/TMRI1/HiRQ12/ CSYNCl	NC
55	P46/PWX0	P46/PWX0	P46/PWX0	NC
56	P47/PWX1	P47/PWX1	P47/PWX1	NC
57	PB7/D7/ $\overline{\text{WUE7}}$	PB7/D7/ $\overline{\text{WUE7}}$	PB7/ $\overline{\text{WUE7}}$	NC

1. 概要

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ ライターモード
FP-100B TFP-100B	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	
58	PB6/D6/WUE6	PB6/D6/WUE6	PB6/WUE6	NC
59	VCC	VCC	VCC	VCC
60	A15	P27/A15/PW15/CBLANK	P27/PW15/CBLANK	OE
61	A14	P26/A14/PW14	P26/PW14	FA14
62	A13	P25/A13/PW13	P25/PW13	FA13
63	A12	P24/A12/PW12	P24/PW12	FA12
64	A11	P23/A11/PW11	P23/PW11	FA11
65	A10	P22/A10/PW10	P22/PW10	FA10
66	A9	P21/A9/PW9	P21/PW9	OE
67	A8	P20/A8/PW8	P20/PW8	FA8
68	PB5/D5/WUE5	PB5/D5/WUE5	PB5/WUE5	NC
69	PB4/D4/WUE4	PB4/D4/WUE4	PB4/WUE4	NC
70	VSS	VSS	VSS	VSS
71	VSS	VSS	VSS	VSS
72	A7	P17/A7/PW7	P17/PW7	FA7
73	A6	P16/A6/PW6	P16/PW6	FA6
74	A5	A5/P15/PW5	P15/PW5	FA5
75	A4	A4/P14/PW4	P14/PW4	FA4
76	A3	P13/A3/PW3	P13/PW3	FA3
77	A2	P12/A2/PW2	P12/PW2	FA2
78	A1	P11/A1/PW1	P11/PW1	FA1
79	A0	P10/A0/PW0	P10/PW0	FA0
80	PB3/D3/WUE3	PB3/D3/WUE3	PB3/WUE3/CS4	NC
81	PB2/D2/WUE2	PB2/D2/WUE2	PB2/WUE2/CS3	NC
82	D8	D8	P30/HDB0/LAD0	FO0
83	D9	D9	P31/HDB1/LAD1	FO1
84	D10	D10	P32/HDB2/LAD2	FO2
85	D11	D11	P33/HDB3/LAD3	FO3
86	D12	D12	P34/HDB4/LFRAME	FO4
87	D13	D13	P35/HDB5/LRESET	FO5
88	D14	D14	P36/HDB6/LCLK	FO6
89	D15	D15	P37/HDB7/SERIRQ	FO7
90	PB1/D1/WUE1	PB1/D1/WUE1	PB1/HIRQ4/WUE1/LSCI	NC
91	PB0/D0/WUE0	PB0/D0/WUE0	PB0/HIRQ3/WUE0/LSMI	NC
92	VSS	VSS	VSS	VSS
93	P80	P80	P80/HA0/PME	NC
94	P81	P81	P81/CS2/GA20	NC
95	P82	P82	P82/HIFSD/CLKRUN	NC

1. 概要

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ ライターモード
FP-100B TFP-100B	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	
96	P83	P83	P83/LPCPD	NC
97	P84/I $\overline{\text{RQ}}3$ /TxD1	P84/I $\overline{\text{RQ}}3$ /TxD1	P84/I $\overline{\text{RQ}}3$ /TxD1	NC
98	P85/I $\overline{\text{RQ}}4$ /RxD1	P85/I $\overline{\text{RQ}}4$ /RxD1	P85/I $\overline{\text{RQ}}4$ /RxD1	NC
99	P86/I $\overline{\text{RQ}}5$ /SCK1/SCL1	P86/I $\overline{\text{RQ}}5$ /SCK1/SCL1	P86/I $\overline{\text{RQ}}5$ /SCK1/SCL1	NC
100	RESO	RESO	RESO	NC

表 1.2 (b) H8S/2169 動作モード別端子機能一覧

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ ライターモード
TFP-144	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	
1	VCC	VCC	VCC	VCC
2	P43/TMCI1/HSYNCl	P43/TMCI1/HSYNCl	P43/TMCI1/HIRQ11/ HSYNCl	NC
3	P44/TMO1/HSYNCO	P44/TMO1/HSYNCO	P44/TMO1/HIRQ1/ HSYNCO	NC
4	P45/TMRI1/CSYNCl	P45/TMRI1/CSYNCl	P45/TMRI1/HIRQ12/ CSYNCl	NC
5	P46/PWX0	P46/PWX0	P46/PWX0	NC
6	P47/PWX1	P47/PWX1	P47/PWX1	NC
7	VSS	VSS	VSS	VSS
8	RES	RES	RES	RES
9	MD1	MD1	MD1	VSS
10	MD0	MD0	MD0	VSS
11	NMI	NMI	NMI	FA9
12	STBY	STBY	STBY	VCC
13	VCL	VCL	VCL	VCL
14 (N)	P52/SCK0/SCL0	P52/SCK0/SCL0	P52/SCK0/SCL0	FA18
15	P51/RxD0	P51/RxD0	P51/RxD0	FA17
16	P50/TxD0	P50/TxD0	P50/TxD0	NC
17 (N)	P97/WAIT/SDA0	P97/WAIT/SDA0	P97/SDA0	VCC
18	P96/φ/EXCL	P96/φ/EXCL	P96/φ/EXCL	NC
19	AS/IOS	AS/IOS	P95/CS1	FA16
20	HWR	HWR	P94/IOW	FA15
21	RD	RD	P93/IOR	WE
22	P92/IRQ0	P92/IRQ0	P92/IRQ0	VSS
23	P91/IRQ1	P91/IRQ1	P91/IRQ1	VCC
24	P90/LWR/IRQ2/ADTRG	P90/LWR/IRQ2/ADTRG	P90/IRQ2/ADTRG/ECS2	VCC
25 (B)	PE7	PE7	PE7	NC
26 (B)	PE6	PE6	PE6	NC
27 (B)	PE5	PE5	PE5	NC
28 (B)	PE4	PE4	PE4	NC
29 (B)	PE3	PE3	PE3	NC
30 (B)	PE2	PE2	PE2	NC
31 (B)	PE1	PE1	PE1	NC
32 (B)	PE0	PE0	PE0	NC
33 (B)	PA7/CIN15/KIN15/ PS2CD	PA7/A23/CIN15/KIN15/ PS2CD	PA7/CIN15/KIN15/ PS2CD	NC
34 (B)	PA6/CIN14/KIN14/ PS2CC	PA6/A22/CIN14/KIN14/ PS2CC	PA6/CIN14/KIN14/ PS2CC	NC

1. 概要

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ ライターモード
	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	
TFP-144				
35 (B)	PA5/CIN13/KIN13/ PS2BD	PA5/A21/CIN13/KIN13/ PS2BD	PA5/CIN13/KIN13/ PS2BD	NC
36	VCCB	VCCB	VCCB	VCC
37 (B)	PA4/CIN12/KIN12/ PS2BC	PA4/A20/CIN12/KIN12/ PS2BC	PA4/CIN12/KIN12/ PS2BC	NC
38 (B)	PA3/CIN11/KIN11/ PS2AD	PA3/A19/CIN11/KIN11/ PS2AD	PA3/CIN11/KIN11/ PS2AD	NC
39 (B)	PA2/CIN10/KIN10/ PS2AC	PA2/A18/CIN10/KIN10/ PS2AC	PA2/CIN10/KIN10/ PS2AC	NC
40 (B)	PA1/CIN9/KIN9	PA1/A17/CIN9/KIN9	PA1/CIN9/KIN9	NC
41 (B)	PA0/CIN8/KIN8	PA0/A16/CIN8/KIN8	PA0/CIN8/KIN8	NC
42	VSS	VSS	VSS	VSS
43 (B)	PF7	PF7	PF7	NC
44 (B)	PF6	PF6	PF6	NC
45 (B)	PF5	PF5	PF5	NC
46 (B)	PF4	PF4	PF4	NC
47 (B)	PF3	PF3	PF3	NC
48 (B)	PF2	PF2	PF2	NC
49 (B)	PF1	PF1	PF1	NC
50 (B)	PF0	PF0	PF0	NC
51 (B)	PG7	PG7	PG7	NC
52 (B)	PG6	PG6	PG6	NC
53 (B)	PG5	PG5	PG5	NC
54 (B)	PG4	PG4	PG4	NC
55 (B)	PG3	PG3	PG3	NC
56 (B)	PG2	PG2	PG2	NC
57 (B)	PG1	PG1	PG1	NC
58 (B)	PG0	PG0	PG0	NC
59	PD7	PD7	PD7	NC
60	PD6	PD6	PD6	NC
61	PD5	PD5	PD5	NC
62	PD4	PD4	PD4	NC
63	PD3	PD3	PD3	NC
64	PD2	PD2	PD2	NC
65	PD1	PD1	PD1	NC
66	PD0	PD0	PD0	NC
67	AVSS	AVSS	AVSS	VSS
68	P70/AN0	P70/AN0	P70/AN0	NC
69	P71/AN1	P71/AN1	P71/AN1	NC
70	P72/AN2	P72/AN2	P72/AN2	NC

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ ライターモード
	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	
71	P73/AN3	P73/AN3	P73/AN3	NC
72	P74/AN4	P74/AN4	P74/AN4	NC
73	P75/AN5	P75/AN5	P75/AN5	NC
74	P76/AN6/DA0	P76/AN6/DA0	P76/AN6/DA0	NC
75	P77/AN7/DA1	P77/AN7/DA1	P77/AN7/DA1	NC
76	AVCC	AVCC	AVCC	VCC
77	AVref	AVref	AVref	VCC
78	P60/FTCI/CIN0/KIN0/ HFBACKI/TMIX	P60/FTCI/CIN0/KIN0/ HFBACKI/TMIX	P60/FTCI/CIN0/KIN0/ HFBACKI/TMIX	NC
79	P61/FTOA/CIN1/KIN1/ VSYNCO	P61/FTOA/CIN1/KIN1/ VSYNCO	P61/FTOA/CIN1/KIN1/ VSYNCO	NC
80	P62/FTIA/CIN2/KIN2/ VSYNCI/TMIY	P62/FTIA/CIN2/KIN2/ VSYNCI/TMIY	P62/FTIA/CIN2/KIN2/ VSYNCI/TMIY	NC
81	P63/FTIB/CIN3/KIN3/ VFBACKI	P63/FTIB/CIN3/KIN3/ VFBACKI	P63/FTIB/CIN3/KIN3/ VFBACKI	NC
82	P64/FTIC/CIN4/KIN4/ CLAMPO	P64/FTIC/CIN4/KIN4/ CLAMPO	P64/FTIC/CIN4/KIN4/ CLAMPO	NC
83	P65/FTID/CIN5/KIN5	P65/FTID/CIN5/KIN5	P65/FTID/CIN5/KIN5	NC
84	P66/FTOB/CIN6/KIN6/ IRQ6	P66/FTOB/CIN6/KIN6/ IRQ6	P66/FTOB/CIN6/KIN6/ IRQ6	NC
85	P67/TMOX/CIN7/KIN7/ IRQ7	P67/TMOX/CIN7/KIN7/ IRQ7	P67/TMOX/CIN7/KIN7/ IRQ7	VSS
86	VCC	VCC	VCC	VCC
87	PC7	PC7	PC7	NC
88	PC6	PC6	PC6	NC
89	PC5	PC5	PC5	NC
90	PC4	PC4	PC4	NC
91	PC3	PC3	PC3	NC
92	PC2	PC2	PC2	NC
93	PC1	PC1	PC1	NC
94	PC0	PC0	PC0	NC
95	VSS	VSS	VSS	VSS
96	A15	P27/A15/PW15/CBLANK	P27/PW15/CBLANK	$\overline{CE}$
97	A14	P26/A14/PW14	P26/PW14	FA14
98	A13	P25/A13/PW13	P25/PW13	FA13
99	A12	P24/A12/PW12	P24/PW12	FA12
100	A11	P23/A11/PW11	P23/PW11	FA11
101	A10	P22/A10/PW10	P22/PW10	FA10
102	A9	P21/A9/PW9	P21/PW9	OE
103	A8	P20/A8/PW8	P20/PW8	FA8
104	A7	P17/A7/PW7	P17/PW7	FA7

1. 概要

ピン番号	端子名			
	拡張モード		シングルチップモード	フラッシュメモリ ライターモード
	モード 1	モード 2(EXPE=1) モード 3(EXPE=1)	モード 2(EXPE=0) モード 3(EXPE=0)	
105	A6	P16/A6/PW6	P16/PW6	FA6
106	A5	P15/A5/PW5	P15/PW5	FA5
107	A4	P14/A4/PW4	P14/PW4	FA4
108	A3	P13/A3/PW3	P13/PW3	FA3
109	A2	P12/A2/PW2	P12/PW2	FA2
110	A1	P11/A1/PW1	P11/PW1	FA1
111	VSS	VSS	VSS	VSS
112	A0	P10/A0/PW0	P10/PW0	FA0
113	PB7/D7/WUE7	PB7/D7/WUE7	PB7/WUE7	NC
114	PB6/D6/WUE6	PB6/D6/WUE6	PB6/WUE6	NC
115	PB5/D5/WUE5	PB5/D5/WUE5	PB5/WUE5	NC
116	PB4/D4/WUE4	PB4/D4/WUE4	PB4/WUE4	NC
117	PB3/D3/WUE3	PB3/D3/WUE3	PB3/WUE3/CS4	NC
118	PB2/D2/WUE2	PB2/D2/WUE2	PB2/WUE2/CS3	NC
119	PB1/D1/WUE1	PB1/D1/WUE1	PB1/HIRQ4/WUE1/LSCI	NC
120	PB0/D0/WUE0	PB0/D0/WUE0	PB0/HIRQ3/WUE0/LSMI	NC
121	D8	D8	P30/HDB0/LAD0	FO0
122	D9	D9	P31/HDB1/LAD1	FO1
123	D10	D10	P32/HDB2/LAD2	FO2
124	D11	D11	P33/HDB3/LAD3	FO3
125	D12	D12	P34/HDB4/LFRAME	FO4
126	D13	D13	P35/HDB5/LRESET	FO5
127	D14	D14	P36/HDB6/LCLK	FO6
128	D15	D15	P37/HDB7/SERIRQ	FO7
129	P80	P80	P80/HA0/PME	NC
130	P81	P81	P81/CS2/GA20	NC
131	P82	P82	P82/HIFSD/CLKRUN	NC
132	P83	P83	P83/LPCPD	NC
133	P84/IRQ3/TxD1	P84/IRQ3/TxD1	P84/IRQ3/TxD1	NC
134	P85/IRQ4/RxD1	P85/IRQ4/RxD1	P85/IRQ4/RxD1	NC
135	P86/IRQ5/SCK1/SCL1	P86/IRQ5/SCK1/SCL1	P86/IRQ5/SCK1/SCL1	NC
136	P40/TMCIO/TxD2/IrTxD	P40/TMCIO/TxD2/IrTxD	P40/TMCIO/TxD2/IrTxD	NC
137	P41/TMO0/RxD2/IrRxD	P41/TMO0/RxD2/IrRxD	P41/TMO0/RxD2/IrRxD	NC
138	P42/TMRI0/SCK2/SDA1	P42/TMRI0/SCK2/SDA1	P42/TMRI0/SCK2/SDA1	NC
139	VSS	VSS	VSS	VSS
140	X1	X1	X1	NC
141	X2	X2	X2	NC
142	RESO	RESO	RESO	NC
143	XTAL	XTAL	XTAL	XTAL
144	EXTAL	EXTAL	EXTAL	EXTAL

1.3.3 端子機能

H8S/2149 と H8S/2169 の各端子の機能について表 1.3 に示します。

表 1.3 端子機能

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	TFP-144		
電源	VCC	59	1、86	入力	電源 電源に接続します。VCC 端子は、システムの電源に接続してください。
	VCL	9	13	入力	電源安定化容量 VCL 端子は VCC 端子と共にシステムの電源に接続してください。
	VCCB	4	36	入力	入出力バッファ用電源 ポート A、E、F、G の入出力バッファ用電源です。
	VSS	15、70、71、92	7、42、95、111、139	入力	グランド 電源 (0V) に接続します。VSS 端子は、全端子をシステムの電源 (0V) に接続してください。
クロック	XTAL	2	143	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23 章 クロック発振器」を参照してください。
	EXTAL	3	144	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23 章 クロック発振器」を参照してください。
	ϕ	17	18	出力	システムクロック 外部デバイスにシステムクロックを供給します。
	EXCL	17	18	入力	外部サブクロック入力 32.768kHz の外部サブクロックを入力してください。
	X1	—	140	入力	オープンとしてください。
	X2	—	141	入力	オープンとしてください。

1. 概要

分類	記号	ピン番号		入出力	名称および機能																
		FP-100B TFP-100B	TFP-144																		
動作モード コントロール	MD1	5	9	入力	モード端子 動作モードを設定します。MD1、MD0 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。																
	MD0	6	10																		
					<table><tr><td>MD1</td><td>MD0</td><td>動作モード</td><td>内 容</td></tr><tr><td>0</td><td>1</td><td>モード1</td><td>ノーマル 内蔵ROM無効拡張モード</td></tr><tr><td>1</td><td>0</td><td>モード2</td><td>アドバンスト 内蔵ROM有効拡張モード シングルチップモード</td></tr><tr><td>1</td><td>1</td><td>モード3</td><td>ノーマル 内蔵ROM有効拡張モード シングルチップモード</td></tr></table>	MD1	MD0	動作モード	内 容	0	1	モード1	ノーマル 内蔵ROM無効拡張モード	1	0	モード2	アドバンスト 内蔵ROM有効拡張モード シングルチップモード	1	1	モード3	ノーマル 内蔵ROM有効拡張モード シングルチップモード
MD1	MD0	動作モード	内 容																		
0	1	モード1	ノーマル 内蔵ROM無効拡張モード																		
1	0	モード2	アドバンスト 内蔵ROM有効拡張モード シングルチップモード																		
1	1	モード3	ノーマル 内蔵ROM有効拡張モード シングルチップモード																		
システム制御	RES	1	8	入力	リセット入力 この端子が Low レベルになると、リセット状態となります。																
	RESO	100	142	出力	リセット出力 外部デバイスに対し、リセット信号を出力します。																
	STBY	8	12	入力	スタンバイ この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。																
アドレスバス	A23～A16	10、11、20、 21、30、31、 47、48	33～35、 37～39、 40、41	出力	アドレスバス（アドバンスト） 16M バイト空間使用時にアドレスを出力します。																
	A15～A0	60～67、 72～79	96～110、 112	出力	アドレスバス アドレスを出力します。																
データバス	D15～D8	89～82	128～121	入出力	データバス（上位） 双方向データバスです。 8ビットデータおよび 16ビットデータ上位バイトとして動作します。																
	D7～D0	57、58、68、 69、80、81、 90、91	113～120	入出力	データバス（下位） 双方向データバスです。 16ビットデータ下位バイトとして動作します。																
バス制御	WAIT	16	17	入力	ウェイト 外部 3 ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。																
	RD	22	21	出力	リード この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。																
	HWR	19	20	出力	ハイレイト この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。データバスの上位側が有効です。																

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	TFP-144		
バス制御	LWR	25	24	出力	<u>ロウライト</u> この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。データバスの下位側が有効です。
	AS/IOS	18	19	出力	<u>アドレスストローブ</u> この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
割り込み	NMI	7	11	入力	<u>ノンマスカブル割り込み</u> マスク不可能な割り込みを要求します。
	IRQ0～ IRQ7	23～25、 97～99、 34、35	22～24、 133～135、 84、85	入力	<u>割り込み要求 0～7</u> マスク可能な割り込みを要求します。
16 ビット フリーランニング タイマ (FRT)	FTCI	26	78	入力	<u>FRT カウンタクロック入力</u> フリーランニングカウンタ (FRC) に入力する外部クロック入力端子です。
	FTOA	27	79	出力	<u>FRT アウトプットコンペア A 出力</u> アウトプットコンペア A の出力端子です。
	FTOB	34	84	出力	<u>FRT アウトプットコンペア B 出力</u> アウトプットコンペア B の出力端子です。
	FTIA	28	80	入力	<u>FRT インプットキャプチャ A 入力</u> インプットキャプチャ A の入力端子です。
	FTIB	29	81	入力	<u>FRT インプットキャプチャ B 入力</u> インプットキャプチャ B の入力端子です。
	FTIC	32	82	入力	<u>FRT インプットキャプチャ C 入力</u> インプットキャプチャ C の入力端子です。
	FTID	33	83	入力	<u>FRT インプットキャプチャ D 入力</u> インプットキャプチャ D の入力端子です。
8 ビットタイマ (TMR0、TMR1 TMRX、TMRY)	TMO0 TMO1 TMOX	50 53 35	137 3 85	出力	<u>コンペアマッチ出力</u> TMR0、TMR1 および TMRX の コンペアマッチ出力端子です。
	TMCI0 TMCI1	49 52	136 2	入力	<u>カウンタ外部クロック入力</u> TMR0 および TMR1 の カウンタに入力する外部クロックの入力端子です。
	TMRI0 TMRI1	51 54	138 4	入力	<u>カウンタ外部リセット入力</u> TMR0 および TMR1 のカウンタリセット入力端子です。
	TMIX TMIIY	26 28	78 80	入力	<u>カウンタ外部クロック入力兼リセット入力</u> TMRX および TMRY の カウンタクロック入力端子兼リセット入力端子です。
PWM タイマ (PWM)	PW15～ PW0	60～67、 72～79	96～110、 112	出力	<u>PWM タイマ出力</u> PWM タイマのパルス出力端子です。

1. 概要

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	TFP-144		
14 ビット PWM タイマ (PWMX)	PWX0 PWX1	55 56	5 6	出力	<u>PWMX タイマ出力</u> PWM D/A のパルス出力端子です。
シリアル コミュニケーション インタフェース (SCI0、SCI1、 SCI2)	TxD0	14	16	出力	<u>トランスミットデータ</u> データ出力端子です。
	TxD1	97	133		
	TxD2	49	136		
	RxD0	13	15	入力	<u>レシーブデータ</u> データ入力端子です。
	RxD1	98	134		
	RxD2	50	137		
キーボードバッファ コントローラ (PS2)	SCK0	12	14	入出力	<u>シリアルクロック</u> クロック入出力端子です。 SCK0 の出力形式は NMOS プッシュプルで す。
	SCK1	99	135		
	SCK2	51	138		
	IrTxD	49	136	出力	<u>IrDA トランスミットデータ／レシーブデ ータ</u> IrDA 用にエンコードされたデータの入出力 端子です。
	IrRxD	50	137	入力	
ホスト インタフェース (HIF:XBS)	PS2AC PS2BC PS2CC	31 21 11	39 37 34	入出力	<u>PS2 クロック</u> キーボードバッファコントローラの同期ク ロック入出力端子です。
	PS2AD PS2BD PS2CD	30 20 10	38 35 33	入出力	<u>PS2 データ</u> キーボードバッファコントローラのデータ 入出力端子です。
	HDB7～ HDB0	89～82	128～121	入出力	<u>ホストインタフェースデータバス</u> ホストがホストインタフェース(XBS)をア クセスするための双方向 8 ビットバスで す。
	<u>CS1、CS2</u> <u>ECS2、</u> <u>CS3、CS4</u>	18、94 25、81、80	19、130、 24、118、 117	入力	<u>チップセレクト 1～4</u> ホストインタフェース(XBS)のチャンネル 1 ～4 を選択するための入力端子です。
	<u>IOR</u>	22	21	入力	<u>I/O リード</u> ホストインタフェース(XBS)からのリード を許可する入力端子です。
	<u>IOW</u>	19	20	入力	<u>I/O ライト</u> ホストインタフェース(XBS)へのライトを 許可する入力端子です。
	HA0	93	129	入力	<u>コマンド／データ</u> データアクセスかコマンドアクセスかを 示すための入力端子です。
	GA20	94	130	出力	<u>GATE A20</u> GATE A20 コントロール信号出力端子で す。

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	TFP-144		
ホスト インタフェース (HIF:XBS)	HIRQ11 HIRQ1 HIRQ12 HIRQ3 HIRQ4	52 53 54 91 90	2 3 4 120 119	出力	ホスト割り込み 11、1、12、3、4 ホストへの割り込み要求出力端子です。
	HIFSD	95	131	入力	ホストインタフェースシャットダウン ホストインタフェース(XBS)の入出力端子 をハイインピーダンス／カットオフ状態に するための制御入力端子です。
ホスト インタフェース (HIF:LPC)	LAD3～ LAD0	85～82	124～121	入出力	アドレス／データ LPC のコマンド、アドレス、データの出入 力端子です。
	<u>LFRAME</u>	86	125	入力	<u>LPC フレーム</u> LPC サイクルの始まりや異常な LPC サイ クルの強制終了を示す入力端子です。
	<u>LRESET</u>	87	126	入力	<u>LPC リセット</u> LPC のリセットを示す入力端子です。
	LCLK	88	127	入力	<u>LPC クロック</u> LPC のクロック入力端子です。
	SERIRQ	89	128	入出力	シリアルホスト割り込み LPC のシリアルホスト割り込み (HIRQ1、 HIRQ6、HIRQ9～12) の入出力端子です。
	<u>LSCI</u> 、 <u>LSMI</u> 、 <u>PME</u>	90、91、93	119、120	入出力	<u>LSCI</u> 、 <u>LSMI</u> 、 <u>パワーマネージメントイベン ト</u> LPC の補助出力端子です。機能的には汎用 入出力ポートです。
	GA20	94	130	入出力	<u>GATE A20</u> GATE A20 コントロール信号出力端子で す。出力状態のモニタ入力が可能です。
	<u>CLKRUN</u>	95	131	入出力	<u>LCLK クロックラン</u> LCLK の停止状態で、LCLK の動作開始を要 求する入出力端子です。
キーボード コントロール	KIN0～ KIN15	26～29、 32～35、 48、47、31、 30、21、20、 11、10	78～85、 41～37、 35～33	入力	キーボード入力 マトリクスキーボードのための入力端子で す。通常は P10～P17 と P20～P27 をキー スキャン用出力として使用します。これに より、最大 16 出力×16 入力、256 キーの マトリクスが構成できます。

1. 概要

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	TFP-144		
キーボード コントロール	WUE0~ WUE7	91、90、81、 80、69、68、 58、57	120~113	入力	<u>ウェイクアップイベント入力</u> ウェイクアップイベントの入力端子です。 キーボード入力と同様の機能があり、種々のソースからキーウェイクアップと同様のウェイクアップが可能です。
A/D 変換器 (ADC)	AN7~AN0	45~38	68~75	入力	<u>アナログ入力</u> A/D 変換器のアナログ入力端子です。
	CIN0~ CIN15	26~29、 32~35、 48、47、31、 30、21、20、 11、10	78~85、 41~37、 35~33	入力	<u>拡張 A/D 入力</u> 拡張 A/D 入力端子を A/D 変換器に接続可能です。ただし、デジタル入出力端子と兼用であるため、精度が低下します。
	ADTRG	25	24	入力	<u>A/D 変換外部トリガ入力</u> A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器 (DAC)	DA0 DA1	44 45	74 75	出力	<u>アナログ出力</u> D/A 変換器のアナログ出力端子です。
A/D 変換器 D/A 変換器	AVCC	37	76	入力	<u>アナログ電源</u> A/D 変換器、D/A 変換器のアナログ電源端子です。 A/D 変換器、D/A 変換器を使用しない場合、システムの電源 (+3V) に接続してください。
	AVref	36	77	入力	<u>アナログレフェレンス電圧</u> A/D 変換器、D/A 変換器の基準電源端子です。 A/D 変換器、D/A 変換器を使用しない場合、システムの電源 (+3V) に接続してください。
	AVSS	46	67	入力	<u>アナロググランド</u> A/D 変換器、D/A 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
タイマコネクション	VSYNCI HSYNCI CSYNCI VFBACKI HFBACKI	28 52 54 29 26	80 2 4 81 78	入力	<u>タイマコネクション入力</u> タイマコネクションの同期信号入力端子です。
	VSYNCO HSYNCO CLAMPO CBLANK	27 53 32 60	79 3 82 96	出力	<u>タイマコネクション出力</u> タイマコネクションの同期信号出力端子です。

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	TFP-144		
I ² C バス インタフェース (IIC)	SCL0 SCL1	12 99	14 135	入出力	I ² C クロック入出力 (チャンネル 0、1) I ² C クロック入出力端子です。 バス駆動機能をもっています。 SCL0 の出力形式は NMOS オープンドレインです。
	SDA0 SDA1	16 51	17 138	入出力	I ² C データ入出力 (チャンネル 0、1) I ² C のデータ入出力端子です。 バス駆動機能をもっています。 SDA0 の出力形式は NMOS オープンドレインです。
I/O ポート	P17~P10	72~79	104~110、 112	入出力	ポート 1 8 ビットの入出力端子です。P1DDR によ って 1 ビットごとに入出力を指定でき ます。入力プルアップ MOS が内蔵され ています。また、LED 駆動が可能です。
	P27~P20	60~67	96~103	入出力	ポート 2 8 ビットの入出力端子です。P2DDR によ って 1 ビットごとに入出力を指定でき ます。入力プルアップ MOS が内蔵され ています。また、LED 駆動が可能です。
	P37~P30	89~82	128~121	入出力	ポート 3 8 ビットの入出力端子です。P3DDR によ って 1 ビットごとに入出力を指定でき ます。入力プルアップ MOS が内蔵され ています。また、LED 駆動が可能です。
	P47~P40	56~49	6~2、 138~136	入出力	ポート 4 8 ビットの入出力端子です。P4DDR によ って 1 ビットごとに入出力を指定でき ます。
	P52~P50	12~14	14~16	入出力	ポート 5 3 ビットの入出力端子です。P5DDR によ って 1 ビットごとに入出力を指定でき ます。P52 は NMOS プッシュプル出力 です。
	P67~P60	35~32 29~26	85~78	入出力	ポート 6 8 ビットの入出力端子です。P6DDR によ って 1 ビットごとに入出力を指定でき ます。入力プルアップ MOS が内蔵され ています。
	P77~P70	45~38	75~68	入力	ポート 7 8 ビットの入力端子です。
	P86~P80	99~93	135~129	入出力	ポート 8 7 ビットの入出力端子です。P8DDR によ って 1 ビットごとに入出力を指定でき ます。

1. 概要

分類	記号	ピン番号		入出力	名称および機能
		FP-100B TFP-100B	TFP-144		
I/O ポート	P97～P90	16～19 22～25	17～24	入出力	<u>ポート 9</u> 8 ビットの入出力端子です。P9DDR によって 1 ビットごとに入出力を指定できます（P96 を除く）。P97 は NMOS プッシュプル出力です。
	PA7～PA0	10、11、20、 21、30、31、 47、48	33～35、 37～41	入出力	<u>ポート A</u> 8 ビットの入出力端子です。PADDDR によって 1 ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。VCCB 駆動端子です。
	PB7～PB0	57、58、68、 69、80、81、 90、91	113～120	入出力	<u>ポート B</u> 8 ビットの入出力端子です。PBDDR によって 1 ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。
	PC7～PC0	—	87～94	入出力	<u>ポート C</u> 8 ビットの入出力端子です。PCDDR によって 1 ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。
	PD7～PD0	—	59～66	入出力	<u>ポート D</u> 8 ビットの入出力端子です。PDDDR によって 1 ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。
	PE7～PE0	—	25～32	入出力	<u>ポート E</u> 8 ビットの入出力端子です。PEDDDR によって 1 ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。VCCB 駆動端子です。
	PF7～PF0	—	43～50	入出力	<u>ポート F</u> 8 ビットの入出力端子です。PFDDR によって 1 ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。VCCB 駆動端子です。
	PG7～PG0	—	51～58	入出力	<u>ポート G</u> 8 ビットの入出力端子です。PGDDR によって 1 ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。VCCB 駆動端子です。

2. CPU

2.1 概要

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

本 CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイト（アーキテクチャ上は 4G バイト）のリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

本 CPU には、次の特長があります。

■H8/300 CPU および H8/300H CPU の上位互換

- H8/300 および H8/300H CPU オブジェクトプログラムを実行可能

■汎用レジスタ方式

- 16 ビット×16 本（8 ビット×16 本、32 ビット×8 本としても使用可能）

■65 種類の基本命令

- 8/16/32 ビット演算命令
- 乗除算命令
- 強力なビット操作命令

■8 種類のアドレッシングモード

- レジスタ直接 (Rn)
- レジスタ間接 (@ERn)
- ディスプレースメント付きレジスタ間接 (@(d:16,ERn)/@(d:32,ERn))
- ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+/@-ERn)
- 絶対アドレス (@aa:8/@aa:16/@aa:24/@aa:32)
- イミディエイト (#xx:8/#xx:16/#xx:32)
- プログラムカウンタ相対 (@(d:8,PC)/@(d:16,PC))
- メモリ間接 (@@aa:8)

■16M バイトのアドレス空間

- プログラム：16M バイト
- データ：16M バイト（アーキテクチャ上は 4G バイト）

■高速動作

- 頻出命令をすべて 1～2 ステートで実行
- 最高動作周波数 : 10MHz
- 8/16/32 ビットレジスタ間加減算 : 100ns
- 8×8 ビットレジスタ間乗算 : 1200ns
- 16÷8 ビットレジスタ間除算 : 1200ns
- 16×16 ビットレジスタ間乗算 : 2000ns
- 32÷16 ビットレジスタ間除算 : 2000ns

■2 種類の CPU 動作モード

- ノーマルモード／アドバンスモード

■低消費電力状態

- SLEEP 命令により低消費電力状態に遷移
- CPU 動作クロックを選択可能

2.1.2 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は、以下のとおりです。

■レジスタ構成

- MAC レジスタは、H8S/2600 CPU のみサポートしています。

■基本命令

- MAC、CLRMAC、LDMAC、STMAC の 4 命令は、H8S/2600 CPU のみサポートしています。

■実行ステート数

- MULXU、MULXS 命令の実行ステート数

命令	ニーモニック	実行ステート数	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によって、アドレス空間や EXR レジスタの機能、低消費電力状態などが異なる場合があります。

2.1.3 H8/300 CPU との相違点

本 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

■汎用レジスタ、コントロールレジスタを拡張

- 16 ビット×8 本の拡張レジスタ、および 8 ビット×1 本のコントロールレジスタを追加

■アドレス空間を拡張

- ノーマルモードのとき、H8/300 CPU と同一の 64k バイトのアドレス空間を使用可能
- アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能

■アドレッシングモードを強化

- 16M バイトのアドレス空間を有効に使用可能

■命令強化

- ビット操作命令のアドレッシングモードを強化
- 符号付き乗除算命令などを追加
- 2 ビットシフト命令を追加
- 複数レジスタの退避／復帰命令を追加
- テストアンドセット命令を追加

■高速化

- 基本的な命令を 2 倍に高速化

2.1.4 H8/300H CPU との相違点

本 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

■コントロールレジスタを拡張

- 8 ビット×1 本のコントロールレジスタを追加

■命令強化

- ビット操作命令のアドレッシングモードを強化
- 2 ビットシフト命令を追加
- 複数レジスタの退避／復帰命令を追加
- テストアンドセット命令を追加

■高速化

- 基本的な命令を 2 倍に高速化

2.2 CPU 動作モード

本 CPU は、ノーマルモードおよびアドバンストモードの 2 つの CPU 動作モードをもっています。サポートするアドレス空間は、ノーマルモードの場合最大 64k バイト、アドバンストモードの場合 16M バイト（アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計で最大 4G バイト）となります。

各モードは LSI のモード端子によって選択されます。

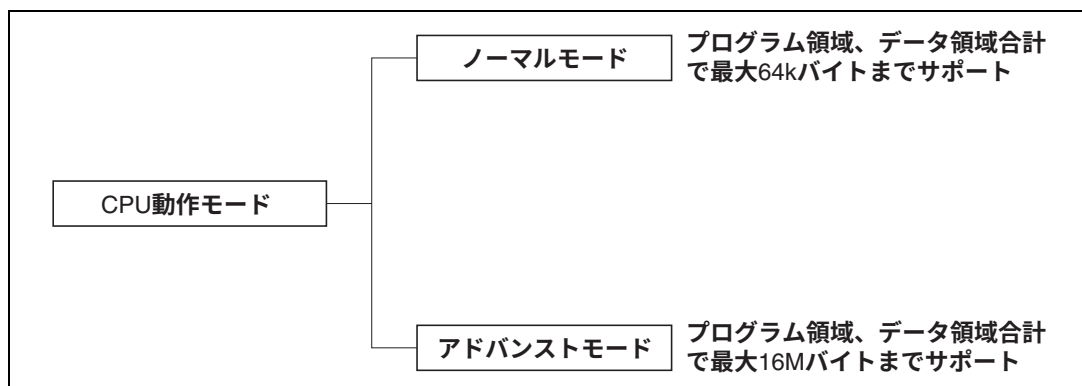


図 2.1 CPU 動作モード

(1) ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造が H8/300 CPU と同一になります。

(a) アドレス空間

最大 64k バイトをアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0～E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます（ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタ Rn が参照された場合、キャリ／ボローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください）。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。

(d) 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、各 16 ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図 2.2 に示します。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

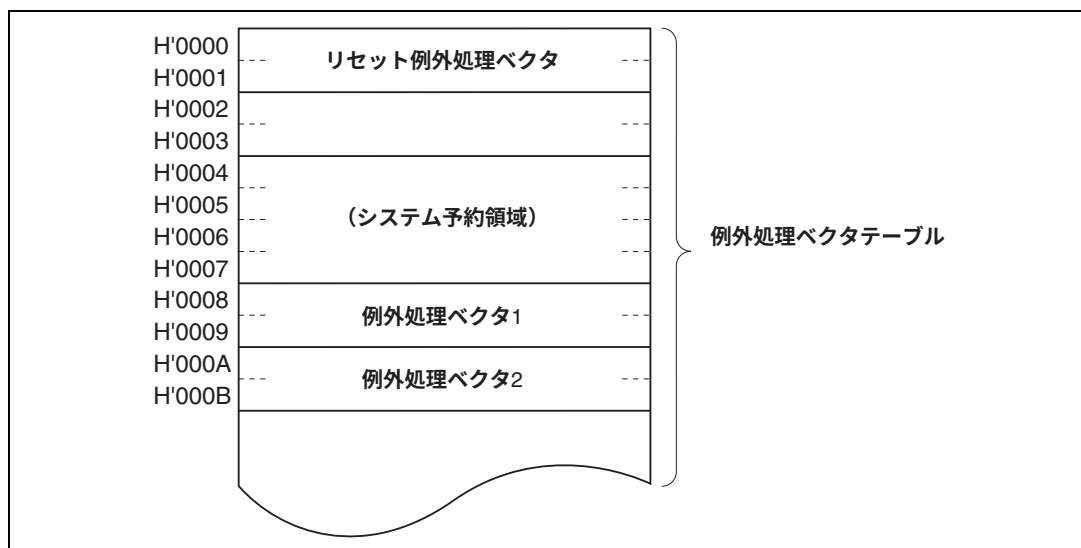


図 2.2 例外処理ベクタテーブル（ノーマルモード）

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは 16 ビット（ワード）となり、この 16 ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000～H'00FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタックの構造を図 2.3 に示します。EXR はスタックされません。詳細は「第 4 章 例外処理」を参照してください。

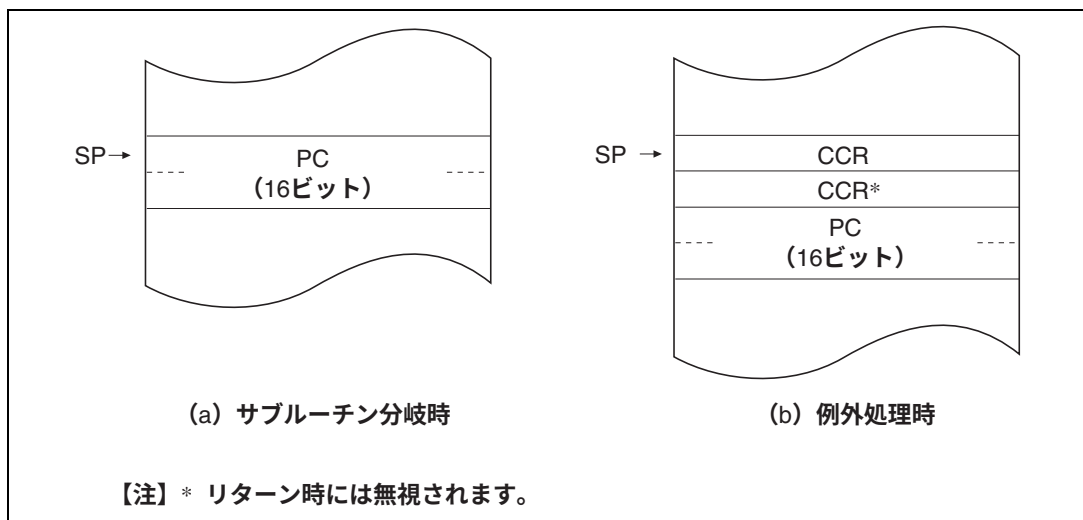


図 2.3 ノーマルモードのスタック構造

(2) アドバンストモード

(a) アドレス空間

最大 16M バイト（アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計最大 4G バイト）をリニアにアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0～E7) は、16 ビットレジスタとして、または 32 ビットレジスタ・アドレスレジスタの上位 16 ビットとして使用できます。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。

(d) 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され 24 ビットの分岐先アドレスを格納します（図 2.4 参照）。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

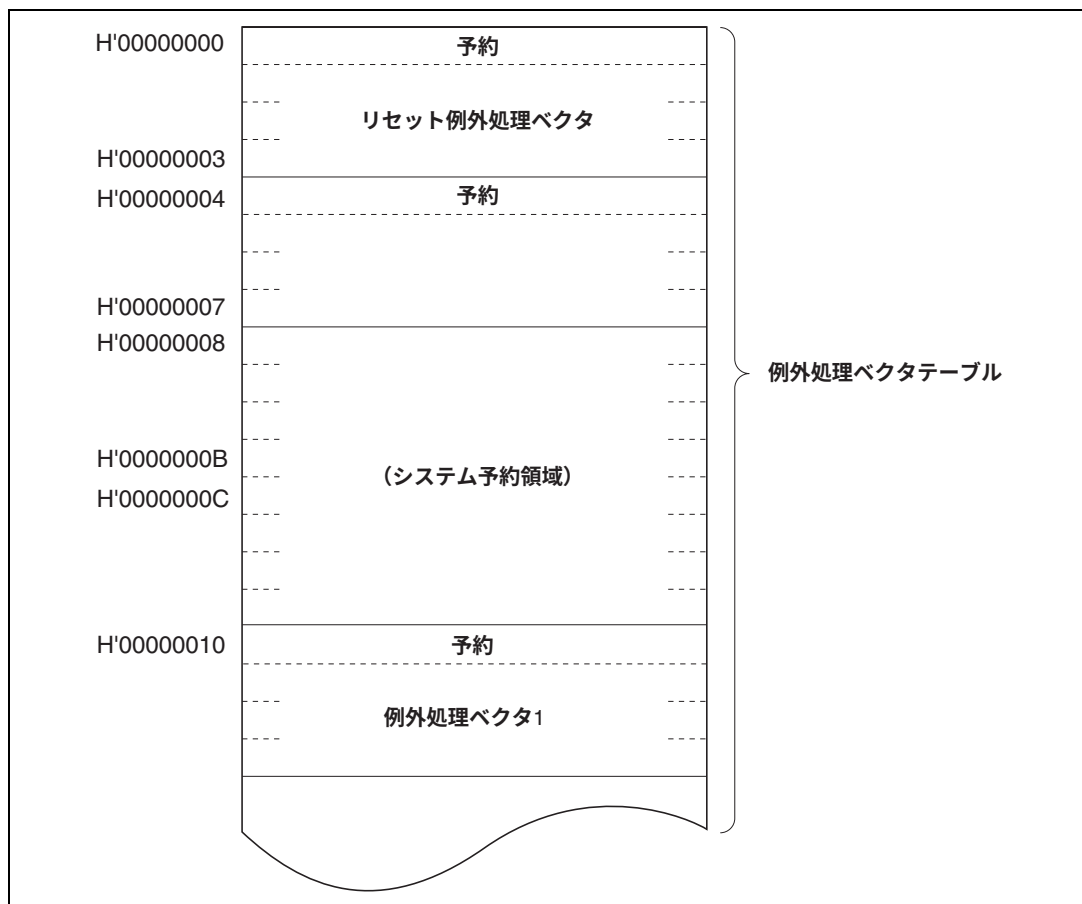


図 2.4 例外処理ベクタテーブル (アドバンスモード)

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち、上位 8 ビットは予約領域となっており H'00 と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

アドバンスモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタックの構造を図 2.5 に示します。EXR はスタックされません。詳細は「第 4 章 例外処理」を参照してください。

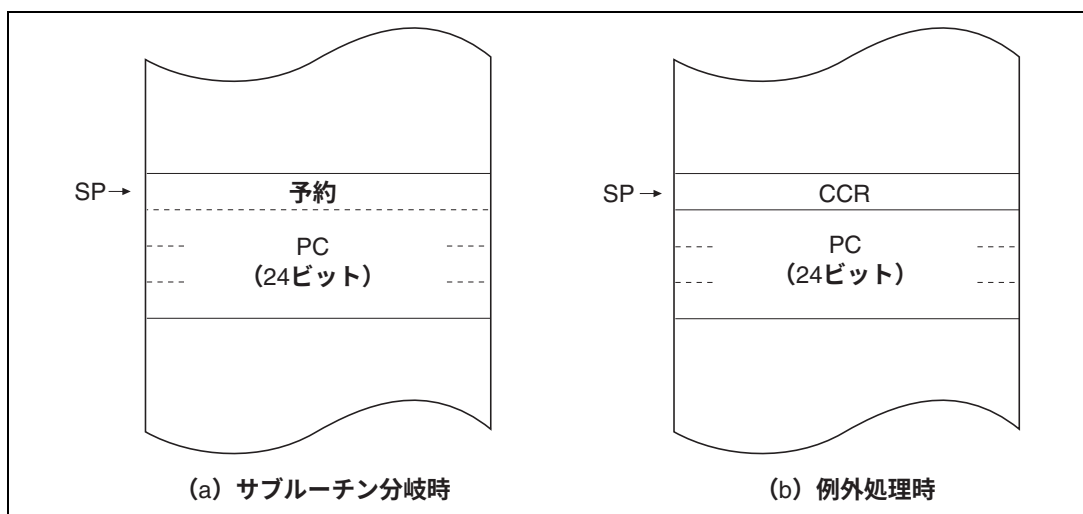


図 2.5 アドバンスドモードのスタック構造

2.3 アドレス空間

本 CPU のメモリマップを図 2.6 に示します。本 CPU は、ノーマルモードのとき最大 64k バイト、またアドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。

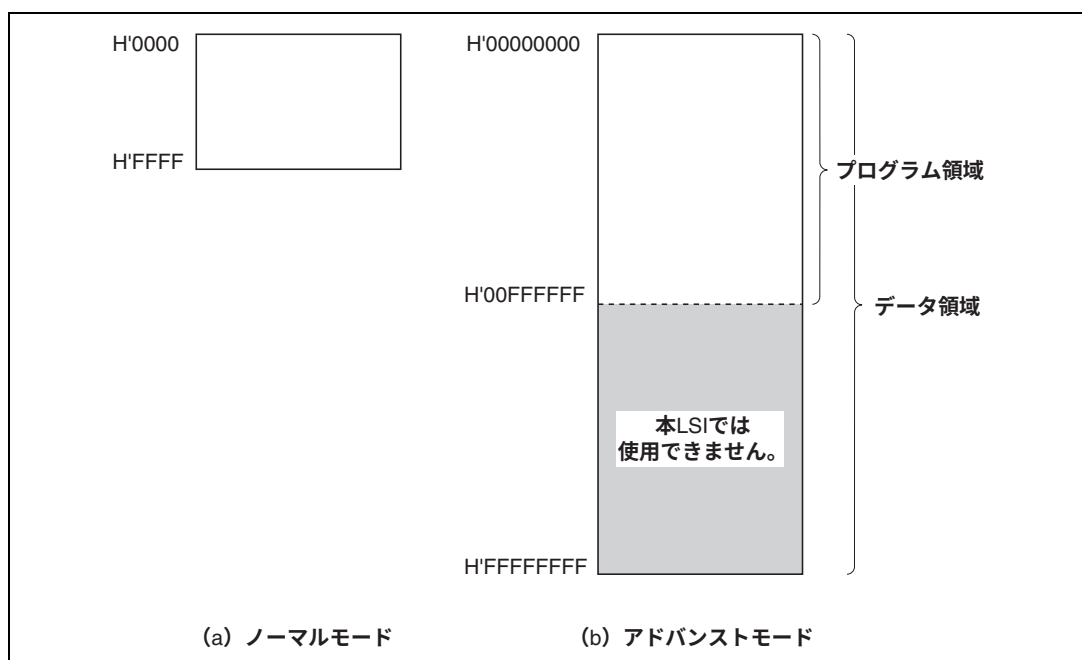


図 2.6 メモリマップ

2.4 レジスタ構成

2.4.1 概要

本 CPU の内部レジスタ構成を図 2.7 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

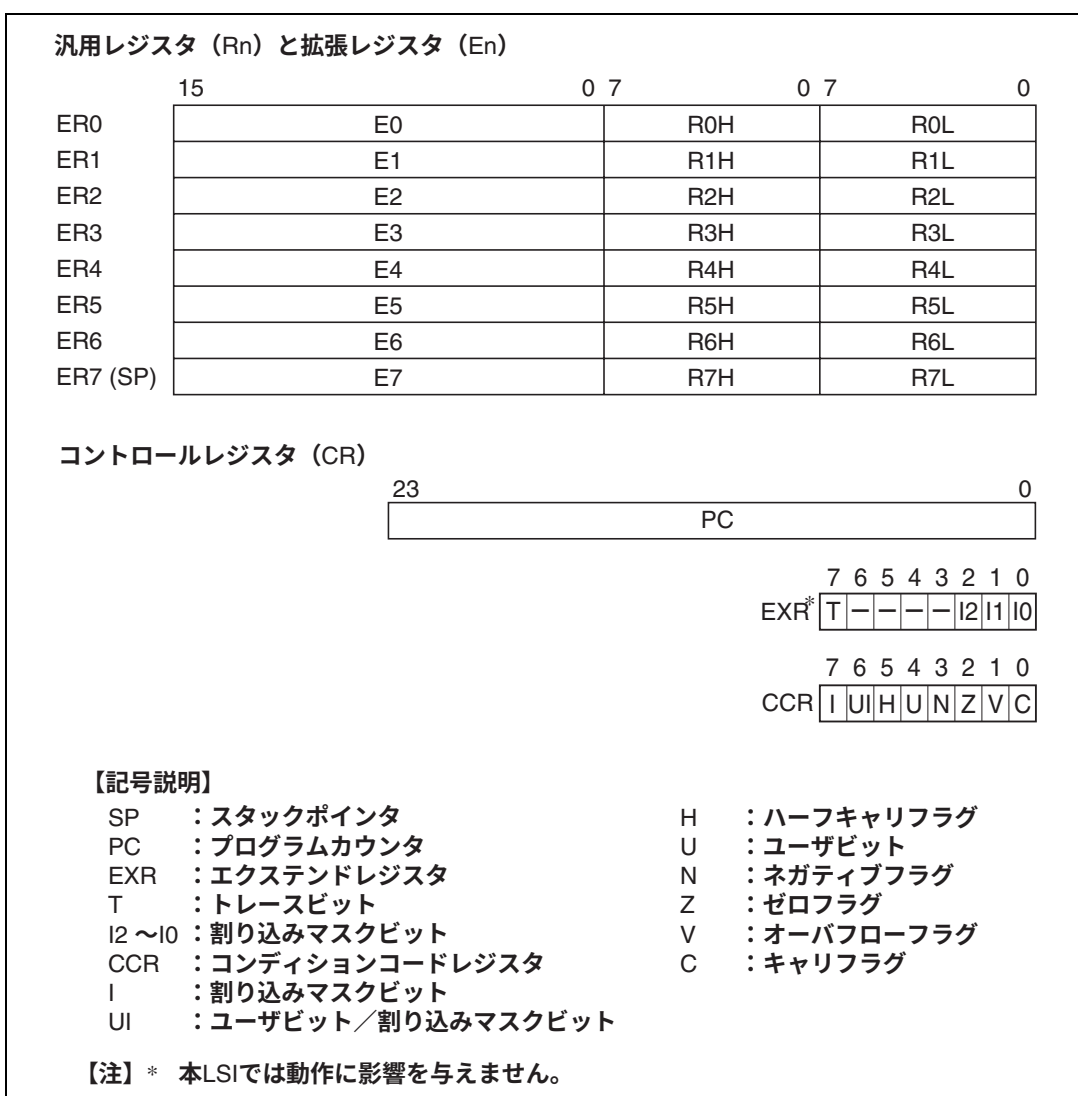


図 2.7 CPU 内部レジスタ構成

2.4.2 汎用レジスタ

本 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタもしくはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビット、および 8 ビットレジスタとして使用できます。

アドレスレジスタおよび 32 ビットレジスタの場合、一括して汎用レジスタ ER (ER0~ER7) として使用します。

16 ビットレジスタの場合は、汎用レジスタ ER を分割して汎用レジスタ E (E0~E7)、汎用レジスタ R (R0~R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0~E7) を、特に拡張レジスタとよぶ場合があります。

8 ビットレジスタの場合は、汎用レジスタ R を分割して汎用レジスタ RH (R0H~R7H)、汎用レジスタ RL (R0L~R7L) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

汎用レジスタの使用方法を図 2.8 に示します。各レジスタ独立に使用方法を選択することができます。

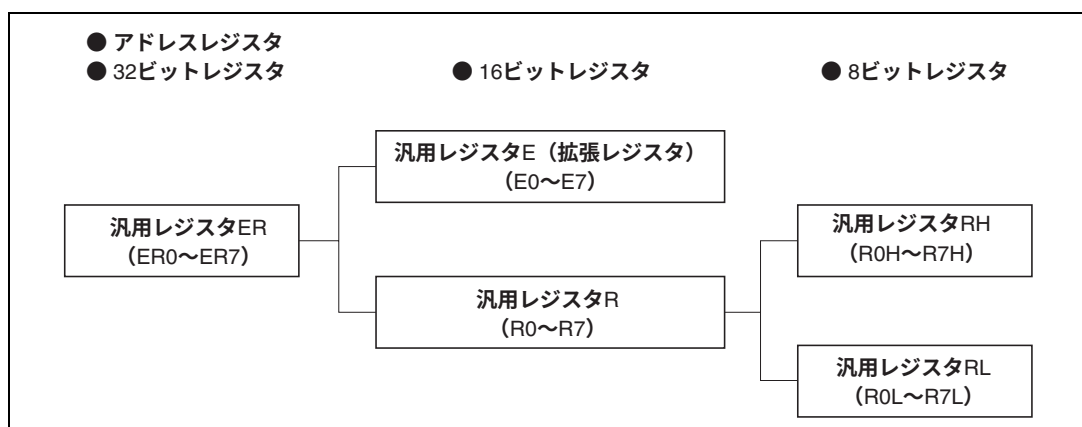


図 2.8 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.9 に示します。

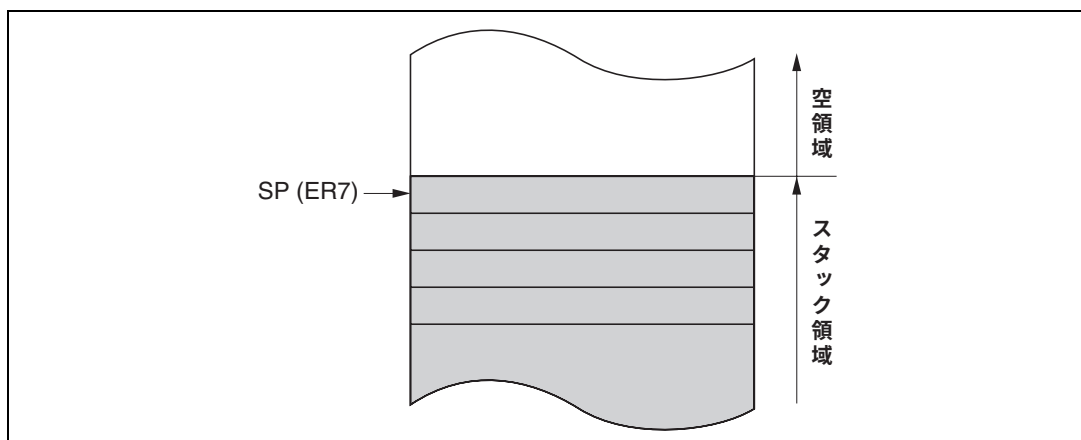


図 2.9 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

(2) エクステンドレジスタ (EXR)

8 ビットのレジスタです。本 LSI では動作に影響を与えません。

ビット 7: トレースビット (T)

リザーブビットです。本 LSI では動作に影響を与えません。

ビット 6~3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。

ビット 2~0: 割り込みマスクビット (I2~I0)

リザーブビットです。本 LSI では動作に影響を与えません。

(3) コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

ビット 7：割り込みマスクビット (I)

本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI およびアドレスブレーク割り込みは I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。

ビット 6：ユーザビット／割り込みマスクビット (UI)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード／ライトできます。割り込みマスクビットとしても使用可能です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

ビット 5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。

ビット 4：ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード／ライトできます。

ビット 3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット 2：ゼロフラグ (Z)

データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。

ビット 1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト／ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「付録 A.1 命令セット一覧」を参照してください。

CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化されます。また EXR の T ビットは0にクリアされ、EXR、CCR の I ビットは1にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ構成

本 CPU は、1 ビット、4 ビット BCD、8 ビット（バイト）、16 ビット（ワード）、および 32 ビット（ロングワード）のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第 n ビット（ $n=0,1,2,\dots,7$ ）という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.10 に示します。

データ形	汎用レジスタ	データイメージ
1ビットデータ	RnH	<pre> 7 0 +-----+ 7 6 5 4 3 2 1 0 +-----+-----+ +-----+-----+ </pre>
1ビットデータ	RnL	<pre> 7 0 +-----+-----+ +-----+-----+ </pre>
4ビットBCDデータ	RnH	<pre> 7 4 3 0 +-----+-----+-----+ 上位桁 下位桁 +-----+-----+-----+ +-----+-----+-----+ </pre>
4ビットBCDデータ	RnL	<pre> 7 4 3 0 +-----+-----+-----+ 上位桁 下位桁 +-----+-----+-----+ +-----+-----+-----+ </pre>
バイトデータ	RnH	<pre> 7 0 +-----+-----+ +-----+-----+-----+ +-----+-----+-----+ MSB LSB </pre>
バイトデータ	RnL	<pre> 7 0 +-----+-----+ +-----+-----+-----+ +-----+-----+-----+ MSB LSB </pre>

図 2.10 (1) 汎用レジスタのデータ構成

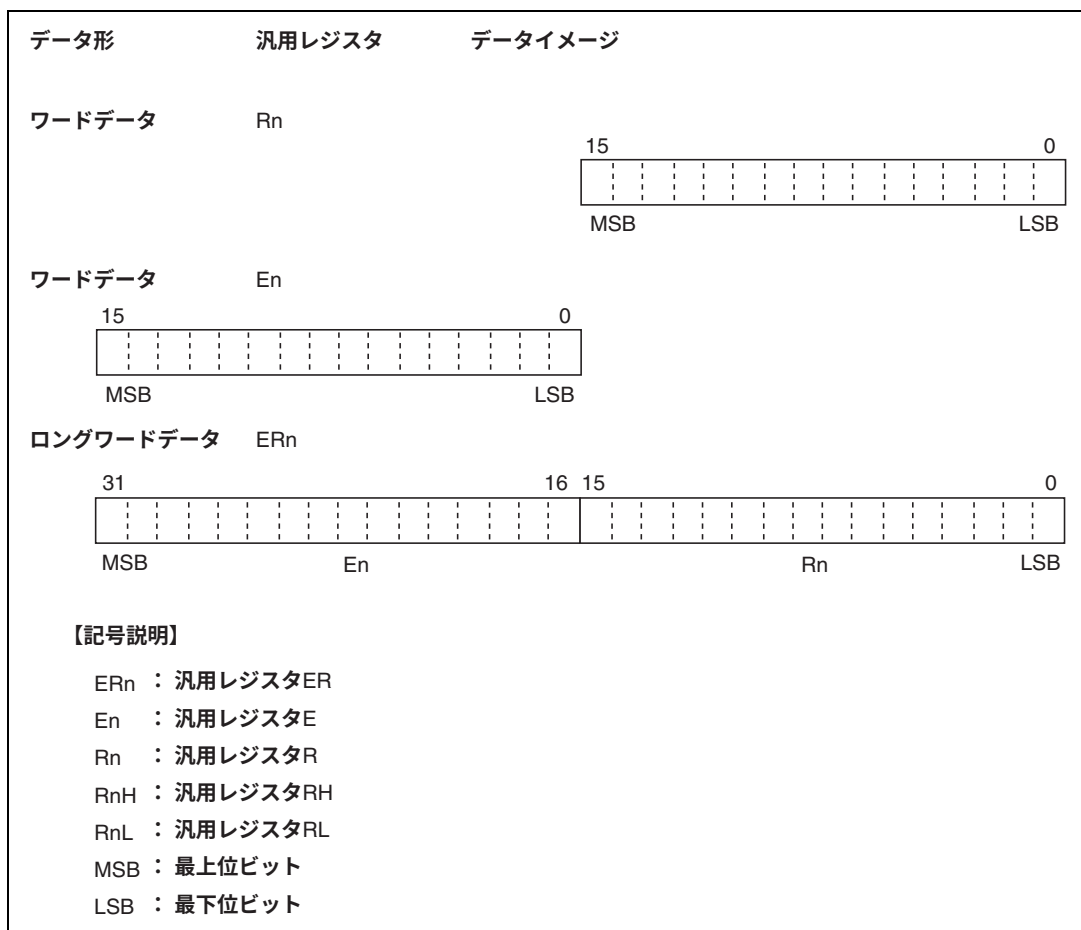


図 2.10 (2) 汎用レジスタのデータ構成

メモリ上でのデータ構成を図 2.11 に示します。



2.6 命令セット

2.6.1 概要

本 CPU の命令は合計 65 種類あり、各命令のもつ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分 類	命 令	サイズ	種類
転送命令	MOV	BWL	5
	POP ^{*1} 、PUSH ^{*1}	WL	
	LDM ^{*5} 、STM ^{*5}	L	
	MOVFPE ^{*3} 、MOVTPE ^{*3}	B	
算術演算命令	ADD、SUB、CMP、NEG	BWL	19
	ADDX、SUBX、DAA、DAS	B	
	INC、DEC	BWL	
	ADDS、SUBS	L	
	MULXU、DIVXU、MULXS、DIVXS	BW	
	EXTU、EXTS	WL	
	TAS ^{*4}	B	
論理演算命令	AND、OR、XOR、NOT	BWL	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	BWL	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BLD、BILD、BST、BIST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR	B	14
分岐命令	Bcc ^{*2} 、JMP、BSR、JSR、RTS	—	5
システム制御命令	TRAPA、RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	—	9
ブロック転送命令	EEPMOV	—	1

合計 65 種類

【記号説明】

B：バイトサイズ

W：ワードサイズ

L：ロングワードサイズ

- 【注】 *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。
また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。
- *2 Bcc は条件分岐命令の総称です。
- *3 本 LSI では使用できません。
- *4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
- *5 STM/LDM 命令を使用する場合は、レジスタ ER0～ER6 を使用してください。

2.6.2 命令とアドレッシングモードの組み合わせ

本 CPU で使用できる命令とアドレッシングモードの組み合わせを表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード													
		#xx	Rn	@ERn	@(d:16, ERn)	@(d:32, ERn)	@-ERn/@ERn+	@aa:8	@aa:16	@aa:24	@aa:32	@(d:8, PC)	@(d:16, PC)	@@aa:8	
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	B	BWL	—	BWL	—	—	—	—
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	WL
	LDM ^{*3} , STM ^{*3}	—	—	—	—	—	—	—	—	—	—	—	—	—	L
	MOVFP ^{*1}	—	—	—	—	—	—	—	B	—	—	—	—	—	—
	MOVTPE ^{*1}	—	—	—	—	—	—	—	—	—	—	—	—	—	—
算術演算命令	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	ADDX, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—
	MULXU, DIVXU	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	MULXS, DIVXS	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	EXTU, EXTS	—	WL	—	—	—	—	—	—	—	—	—	—	—	—
	TAS ^{*2}	—	—	B	—	—	—	—	—	—	—	—	—	—	—
論理演算命令	AND, OR, XOR	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
シフト命令		—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
ビット操作命令		—	B	B	—	—	—	B	B	—	B	—	—	—	—
分岐命令	Bcc, BSR	—	—	—	—	—	—	—	—	—	—	○	○	—	—
	JMP, JSR	—	—	—	—	—	—	—	—	○	—	—	—	○	—
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	○
システム制御命令	TRAPA	—	—	—	—	—	—	—	—	—	—	—	—	—	○
	RTE	—	—	—	—	—	—	—	—	—	—	—	—	—	○
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—	○
	LDC	B	B	W	W	W	W	—	W	—	W	—	—	—	—
	STC	—	B	W	W	W	W	—	W	—	W	—	—	—	—
	ANDC, ORC, XORC	B	—	—	—	—	—	—	—	—	—	—	—	—	—
	NOP	—	—	—	—	—	—	—	—	—	—	—	—	—	○
ブロック転送命令		—	—	—	—	—	—	—	—	—	—	—	—	—	BW

【記号説明】

B : バイト
W : ワード
L : ロングワード

【注】 *1 本 LSI では使用できません。

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

*3 STM/LDM 命令を使用する場合は、レジスタ ER0～ER6 を使用してください。

2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
−	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ（ER0～ER7）です。

表 2.3 データ転送命令

命令	サイズ ^{*1}	機 能
MOV	B/W/L	(EAs)→Rd, Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、 POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と、また、 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM ^{*2}	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM ^{*2}	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 *1 サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

*2 STM/LDM 命令を使用する場合は、レジスタ ER0～ER6 を使用してください。

表 2.4 算術演算命令

命令	サイズ ^{*1}	機 能
ADD SUB	B/W/L	Rd±Rs→Rd、Rd±#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください）。
ADDX SUBX	B	Rd±Rs±C→Rd、Rd±#IMM±C→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	Rd±1→Rd、Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します（バイトサイズで 1 の加減算のみ可能です）。
ADDS SUBS	L	Rd±1→Rd、Rd±2→Rd、Rd±4→Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	Rd（10 進補正）→Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
MULXS	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
DIVXU	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。
DIVXS	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。
CMP	B/W/L	Rd−Rs、Rd−#IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	0−Rd→Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTU	W/L	Rd（ゼロ拡張）→Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd（符号拡張）→Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS	B	@ERd−0、1 →（<ビット 7> of @ERd） ^{*2} メモリの内容をテストしたあと、最上位ビット（ビット 7）を 1 にセットします。

【注】 *1 サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機 能
AND	B/W/L	$Rd \wedge Rs \rightarrow Rd$, $Rd \wedge \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	$Rd \vee Rs \rightarrow Rd$, $Rd \vee \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	$Rd \oplus Rs \rightarrow Rd$, $Rd \oplus \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	$\sim Rd \rightarrow Rd$ 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命令	サイズ*	機 能
SHAL SHAR	B/W/L	$Rd(\text{シフト処理}) \rightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。 1 ビットまたは 2 ビットのシフトが可能です。
SHLL SHLR	B/W/L	$Rd(\text{シフト処理}) \rightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。 1 ビットまたは 2 ビットのシフトが可能です。
ROTL ROTR	B/W/L	$Rd(\text{ローテート処理}) \rightarrow Rd$ 汎用レジスタの内容をローテートします。 1 ビットまたは 2 ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	$Rd(\text{ローテート処理}) \rightarrow Rd$ 汎用レジスタの内容をキャリフラグを含めてローテートします。 1 ビットまたは 2 ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機 能
BSET	B	1→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>)→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	C∧(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C∧[~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BOR	B	C∨(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C∨[~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BXOR	B	C⊕(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	C⊕[~(<ビット番号>of<EAd>)]→C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BLD	B	(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

命令	サイズ*	機 能
BST	B	C→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
BIST	B	~C→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグを反転して転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc	—	指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。 <table> <tr> <th>ニーモニック</th><th>説 明</th><th>分岐条件</th></tr> <tr> <td>BRA (BT)</td><td>Always (True)</td><td>Always</td></tr> <tr> <td>BRN (BF)</td><td>Never (False)</td><td>Never</td></tr> <tr> <td>BHI</td><td>High</td><td>CVZ=0</td></tr> <tr> <td>BLS</td><td>Low or Same</td><td>CVZ=1</td></tr> <tr> <td>BCC (BHS)</td><td>Carry Clear (High or Same)</td><td>C=0</td></tr> <tr> <td>BCS (BLO)</td><td>Carry Set (Low)</td><td>C=1</td></tr> <tr> <td>BNE</td><td>Not Equal</td><td>Z=0</td></tr> <tr> <td>BEQ</td><td>Equal</td><td>Z=1</td></tr> <tr> <td>BVC</td><td>oVerflow Clear</td><td>V=0</td></tr> <tr> <td>BVS</td><td>oVerflow Set</td><td>V=1</td></tr> <tr> <td>BPL</td><td>PLus</td><td>N=0</td></tr> <tr> <td>BMI</td><td>MInus</td><td>N=1</td></tr> <tr> <td>BGE</td><td>Greater or Equal</td><td>N⊕V=0</td></tr> <tr> <td>BLT</td><td>Less Than</td><td>N⊕V=1</td></tr> <tr> <td>BGT</td><td>Greater Than</td><td>ZV(N⊕V)=0</td></tr> <tr> <td>BLE</td><td>Less or Equal</td><td>ZV(N⊕V)=1</td></tr> </table>	ニーモニック	説 明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	CVZ=0	BLS	Low or Same	CVZ=1	BCC (BHS)	Carry Clear (High or Same)	C=0	BCS (BLO)	Carry Set (Low)	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	N⊕V=0	BLT	Less Than	N⊕V=1	BGT	Greater Than	ZV(N⊕V)=0	BLE	Less or Equal	ZV(N⊕V)=1
ニーモニック	説 明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	CVZ=0																																																			
BLS	Low or Same	CVZ=1																																																			
BCC (BHS)	Carry Clear (High or Same)	C=0																																																			
BCS (BLO)	Carry Set (Low)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	N⊕V=0																																																			
BLT	Less Than	N⊕V=1																																																			
BGT	Greater Than	ZV(N⊕V)=0																																																			
BLE	Less or Equal	ZV(N⊕V)=1																																																			
JMP	—	指定されたアドレスへ無条件に分岐します。																																																			
BSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	—	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命令	サイズ*	機 能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に移移します。
LDC	B/W	(EAs)→CCR、(EAs)→EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B/W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

表 2.10 ブロック転送命令

命令	サイズ	機 能
EEPMOV.B	—	if R4L≠0 then Repeat @ER5+→@ER6+ R4L-1→R4L Until R4L=0 else next;
EEPMOV.W	—	if R4≠0 then Repeat @ER5+→@ER6+ R4-1→R4 Until R4=0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.4 命令の基本フォーマット

本 CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図 2.12 に命令フォーマットの例を示します。

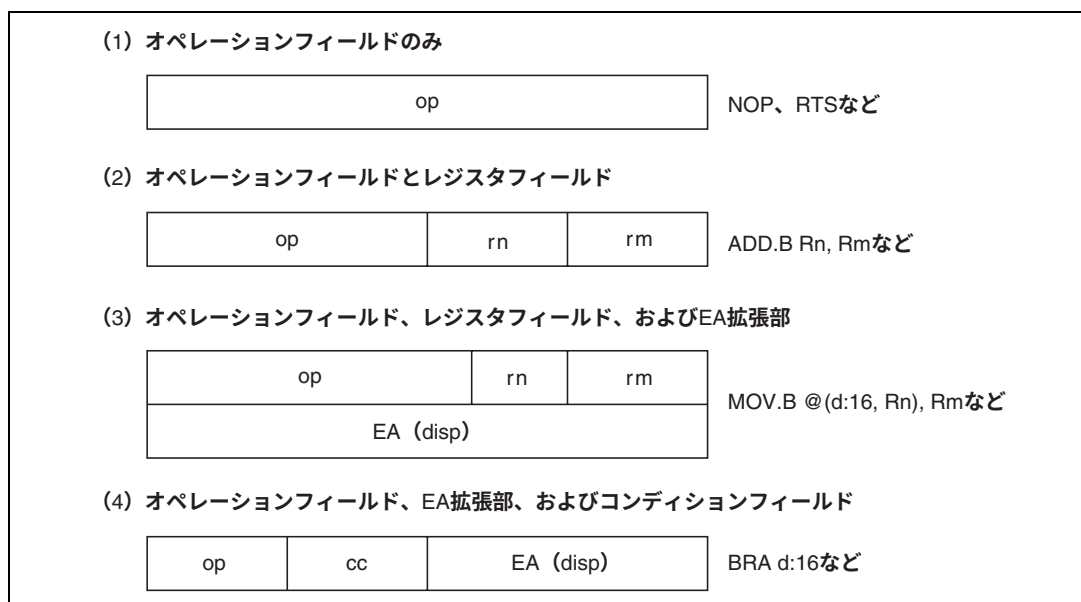


図 2.12 命令フォーマットの例

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレス、またはディスプレースメントを指定します。8 ビット、16 ビット、または 32 ビットです。

(4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

2.6.5 ビット操作命令使用上の注意

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用することができます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

本 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn)／@(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8／@aa:16／@aa:24／@aa:32
6	イミディエイト	#xx:8／#xx:16／#xx:32
7	プログラムカウンタ相対	@(d:8,PC)／@(d:16,PC)
8	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H～R7H、R0L～R7L を指定可能です。

16 ビットレジスタとしては R0～R7、E0～E7 を指定可能です。

32 ビットレジスタとしては ER0～ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。

プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

(3) ディスプレースメント付きレジスタ間接 @(d:16,ERn)／@(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に命令コード中に含まれる 16 ビットディスプレースメントまたは 32 ビットディスプレースメントを加算した内容をアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

(4) ポストインクリメントレジスタ間接 @ERn+／プリデクリメントレジスタ間接 @-ERn

(a) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数となるようにしてください。

(b) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から 1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数になるようにしてください。

(5) 絶対アドレス @aa:8／@aa:16／@aa:24／@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

絶対アドレスのアクセス範囲を表 2.12 に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	アドバンスドモード
データ領域	8 ビット (@aa:8)	H'FF00～H'FFFF	H'FFFF00～H'FFFFFF
	16 ビット (@aa:16)	H'0000～H'FFFF	H'000000～H'007FFF、H'FF8000～H'FFFFFF
	32 ビット (@aa:32)		H'000000～H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

(6) イミディエイト #xx:8／#xx:16／#xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令ではベクタアドレスを指定するための 2 ビットのイミディエイトデータが、命令コードの中に含まれます。

(7) プログラムカウンタ相対 @ (d:8, PC) / @ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0 ~ 255 (ノーマルモードのとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は例外処理ベクタ領域と共通になっていますから注意してください。詳細は「第 4 章 例外処理」を参照してください。

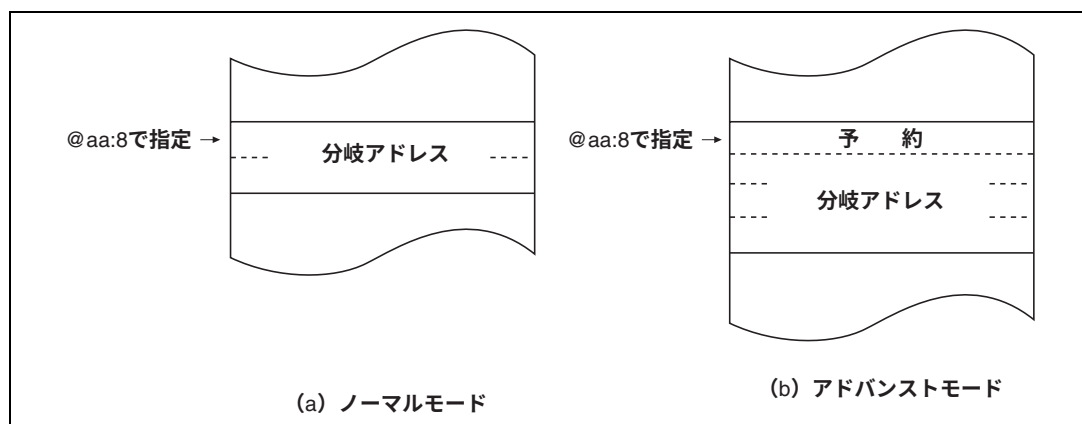


図 2.13 メモリ間接による分岐アドレスの指定

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ構成」を参照してください)。

2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算方法を表 2.13 に示します。

ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

表2.13 実行アドレスの計算方法

No	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)								
1	レジスタ直接 (Rn) op rm m		オペランドは汎用レジスタの内容です。								
2	レジスタ間接 (@ERn) op r	汎用レジスタの内容 0 31 24 23 don't care 0									
3	ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn) op r disp	汎用レジスタの内容 0 31 24 23 don't care 0 符号拡張 disp 0 31 +									
4	ポストインクリメントレジスタ間接・プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+ op r ・プリデクリメントレジスタ間接 @-ERn op r	汎用レジスタの内容 0 31 24 23 don't care 0 1、2、または4 + 汎用レジスタの内容 0 31 24 23 don't care 0 1、2、または4 -	<table><tr><th>オペランドサイズ</th><th>加減算される値</th></tr><tr><td>バイト</td><td>1</td></tr><tr><td>ワード</td><td>2</td></tr><tr><td>ロングワード</td><td>4</td></tr></table>	オペランドサイズ	加減算される値	バイト	1	ワード	2	ロングワード	4
オペランドサイズ	加減算される値										
バイト	1										
ワード	2										
ロングワード	4										

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 op abs		312423 don't careH'FFFF 870
	@aa:16 op abs		312423 don't care符号拡張 16150
	@aa:24 op abs		312423 don't care 0
	@aa:32 op abs		312423 don't care 0
6	イミディエイト #xx:8/#xx:16/#xx:32 op IMM		オペランドはイミディエイトデータです。

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
7	プログラムカウンタ相対 @(d18,PC)/ @(d16,PC) op disp	230PCの内容 230符号拡張 disp +	3124230 don't care
8	メモリ間接 @@aa:8 ・ノーマルモード op abs	31870H'000000abs 150メモリの内容	31242316150 don't careH'00
	・アドバンストモード op abs	31870H'000000abs 310メモリの内容	3124230 don't care

2.8 処理状態

2.8.1 概要

本 LSI の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、および低消費電力状態の 5 種類があります。

処理状態の分類を図 2.14 に、処理状態間の遷移を図 2.15 に示します。

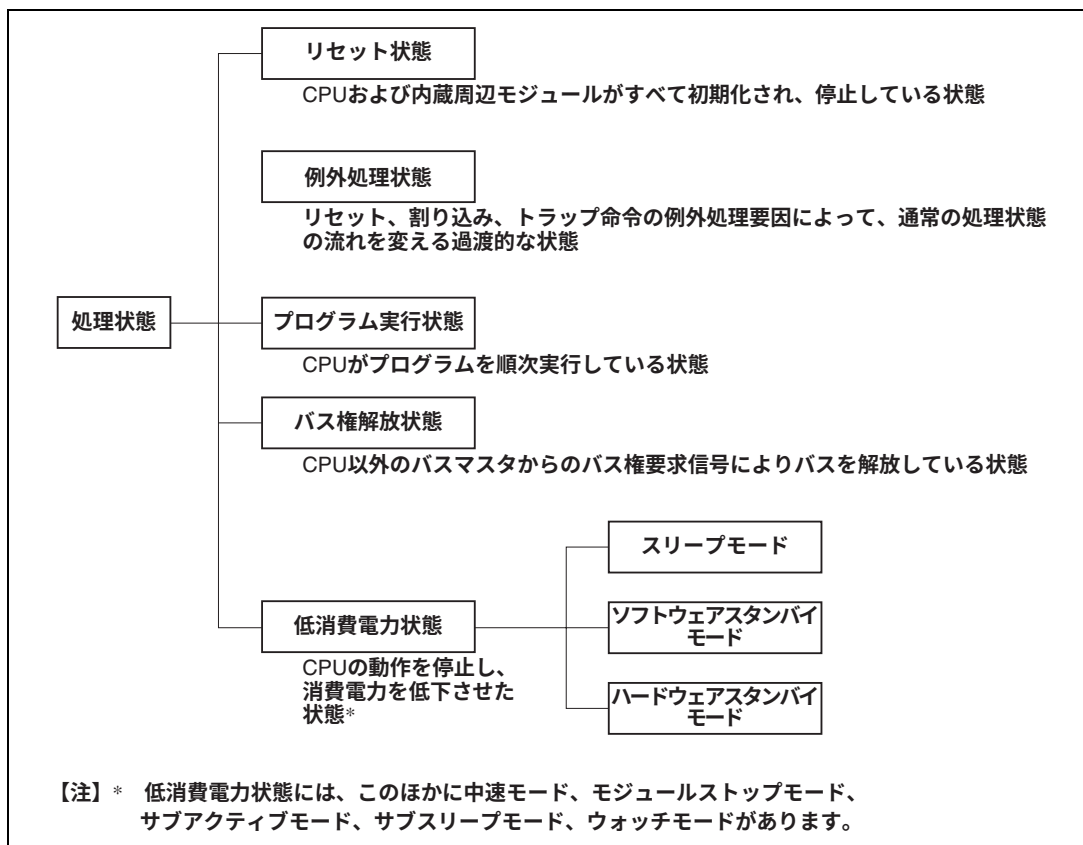


図 2.14 処理状態の分類

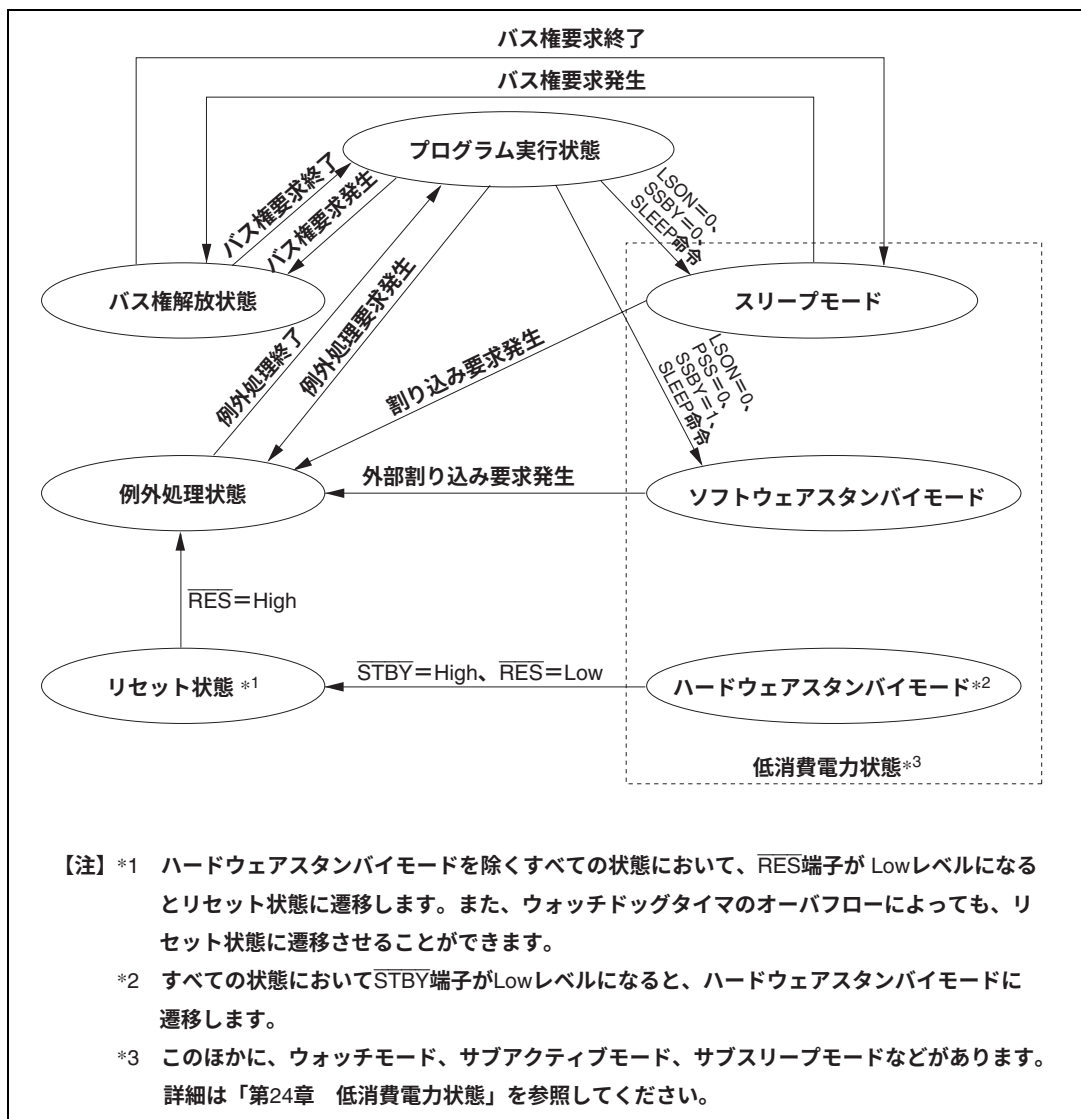


図 2.15 状態遷移図

2.8.2 リセット状態

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセット状態ではすべての割り込みが禁止されます。

$\overline{\text{RES}}$ 端子を Low レベルから High レベルにすると、リセット例外処理を開始します。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第14章 ウォッチドッグタイマ (WDT)」を参照してください。

2.8.3 例外処理状態

例外処理状態は、リセット、割り込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスに分岐する過渡的な状態です。

(1) 例外処理の種類と優先度

例外処理要因には、リセット、割り込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR で設定される割り込み制御モードによって、例外処理やスタックの構造が異なります。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出タイミング	例外処理開始タイミング
↑ 高	リセット	クロック同期	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドックタイマのオーバフローにより例外処理を開始します。
	割り込み	命令実行終了時または例外処理終了時 ^{*1}	割り込み要求が発生すると、命令実行終了時または例外処理終了時に例外処理を開始します。
	トラップ命令	TRAPA 命令実行時	TRAPA 命令を実行すると、例外処理を開始します。 ^{*2}
↓	低		

【注】 *1 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*2 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

(2) リセット例外処理

RES 端子を Low レベルにして、リセット状態としたあと、RES 端子を High レベルにすると、リセット例外処理を開始します。

リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

リセット例外処理実行中、および終了後は、NMI を含めたすべての割り込みが禁止されます。

(3) 割り込み例外処理およびトラップ命令例外処理

割り込み例外処理およびトラップ命令例外処理が起動されると、CPU は、SP（ER7）を参照してプログラムカウンタとコントロールレジスタをスタックに退避します。そして、CPU はコントロールレジスタの割り込みマスクビットを再設定します。次に、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

例外処理終了後のスタックの状態を図 2.16 に示します。

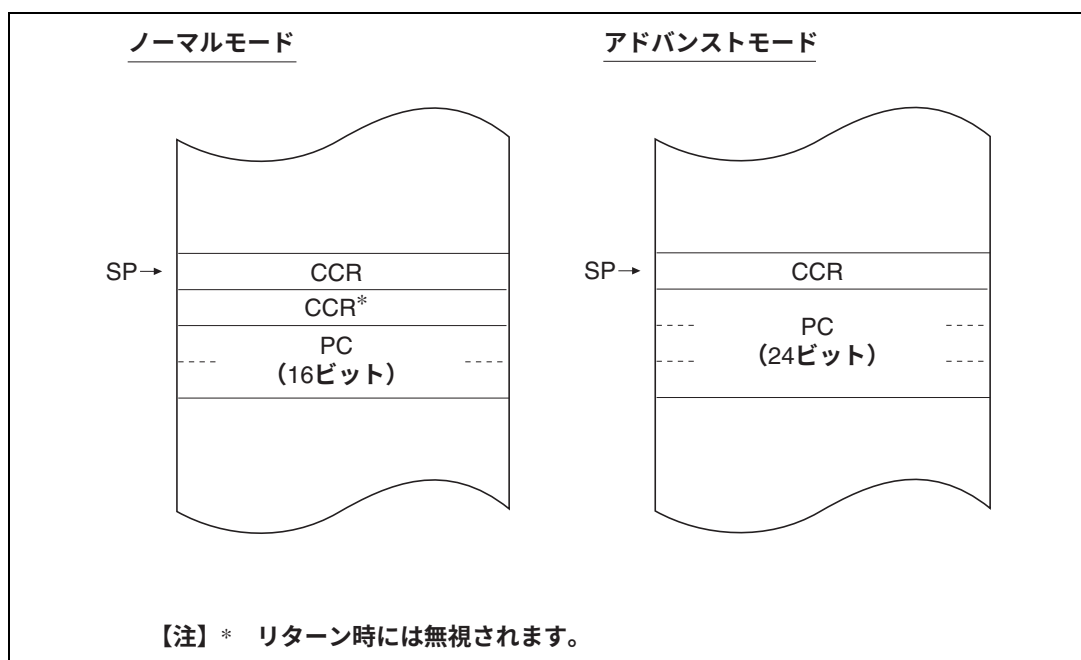


図 2.16 例外処理終了後のスタックの状態 (例)

2.8.4 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.8.5 バス権解放状態

CPU 以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。バス権解放状態では、CPU は内部動作を除き動作を停止します。

なお、CPU 以外のバスマスタにはデータトランスファコントローラ (DTC) があります。

詳細は、「第 6 章 バスコントローラ」を参照してください。

2.8.6 低消費電力状態

低消費電力状態には、CPU の動作を停止した状態と、CPU の動作を停止しない状態があります。CPU の動作を停止した低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモード、サブスリープモード、ウォッチモードがあります。

また、その他の低消費電力状態には、中速モード、モジュールストップモード、サブアクティブモードがあります。中速モードでは CPU およびその他のバスマスタが中速クロックで動作します。モジュールストップモードでは、モジュール単位で、CPU 以外のモジュールの動作を停止します。サブアクティブモード、サブスリープモード、ウォッチモードはサブクロック入力を利用した低消費電力状態です。詳細は「第 24 章 低消費電力状態」を参照してください。

(1) スリープモード

スリープモードには、SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で、SLEEP 命令を実行することによって遷移します。スリープモードでは、CPU の動作は SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードには、SBYCR の SSBY ビット=1、LPWRCR の LSON ビット=0、TCSR (WDT1) の PSS ビット=0 の状態で、SLEEP 命令を実行することによって遷移します。ソフトウェアスタンバイモードでは、CPU およびクロックをはじめ MCU のすべての動作が停止します。規定の電圧が与えられている限り、CPU の内部レジスタの内容および内蔵 RAM の内容は保持されます。また、I/O ポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードには、 $\overline{\text{STBY}}$ 端子を Low レベルにすることによって遷移します。ハードウェアスタンバイモードでは、CPU およびクロックをはじめ MCU のすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM の内容は保持されます。

2.9 基本動作タイミング

2.9.1 概要

本 CPU は、システムクロック (ϕ) を基準に動作しています。 ϕ の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、1、2、または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。

2.9.2 内蔵メモリ (ROM、RAM)

内蔵メモリのアクセスは 1 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図 2.17 に、端子状態を図 2.18 に示します。

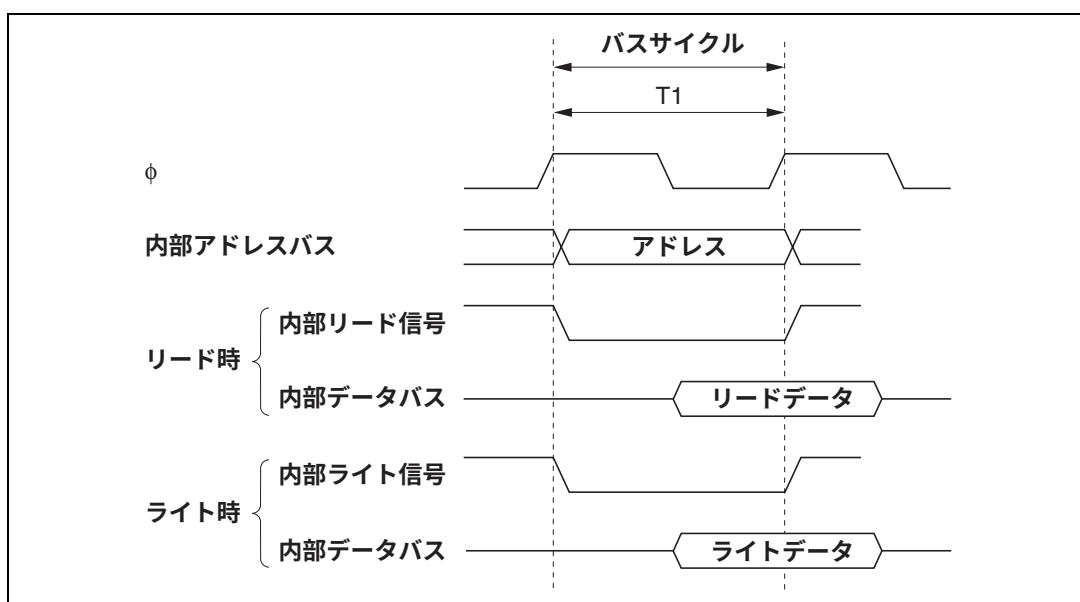


図 2.17 内蔵メモリアクセスサイクル

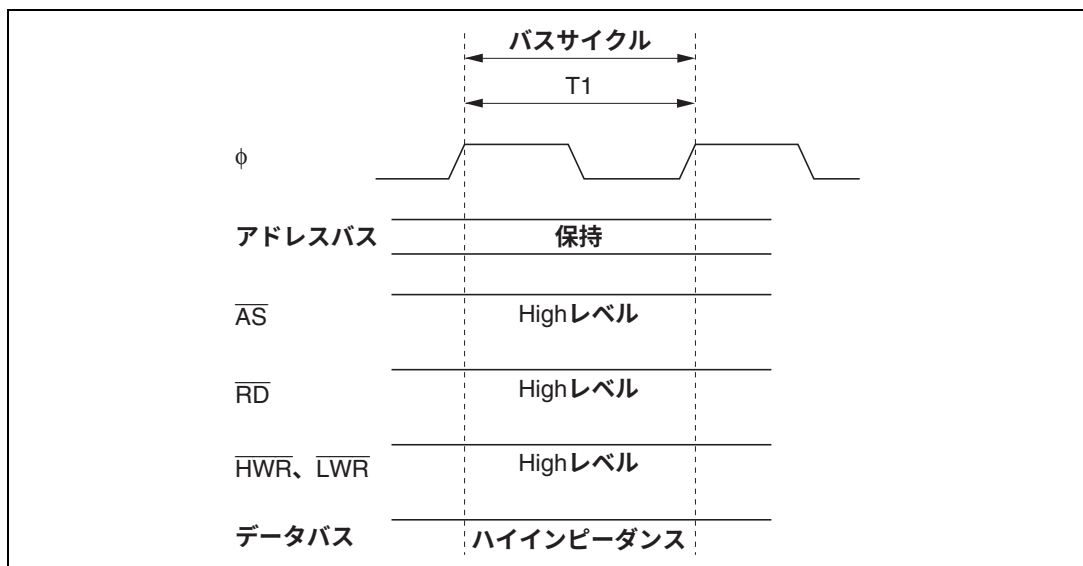


図 2.18 内蔵メモリアクセス時の端子状態

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュール（内部 I/O レジスタ 1、2）のアクセスは 2 ステートで行われます。このとき、データバス幅は 8 ビットまたは 16 ビットで内部 I/O レジスタにより異なります。内蔵周辺モジュール（内部 I/O レジスタ 1、2）アクセスタイミングを図 2.19、端子状態を図 2.20 に示します。

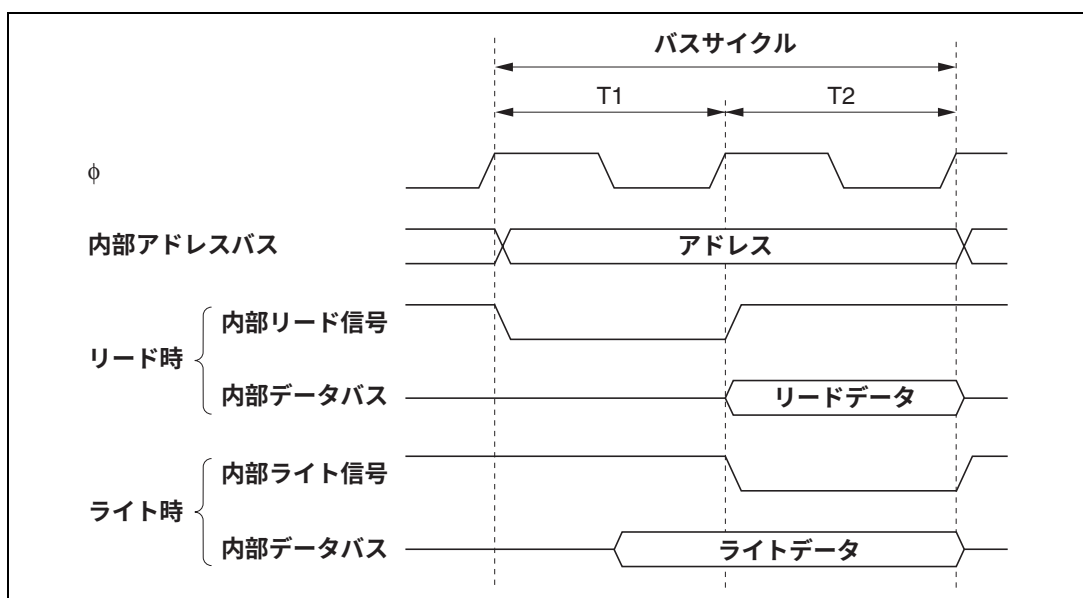


図 2.19 内蔵周辺モジュール（内部 I/O レジスタ 1、2）アクセスサイクル

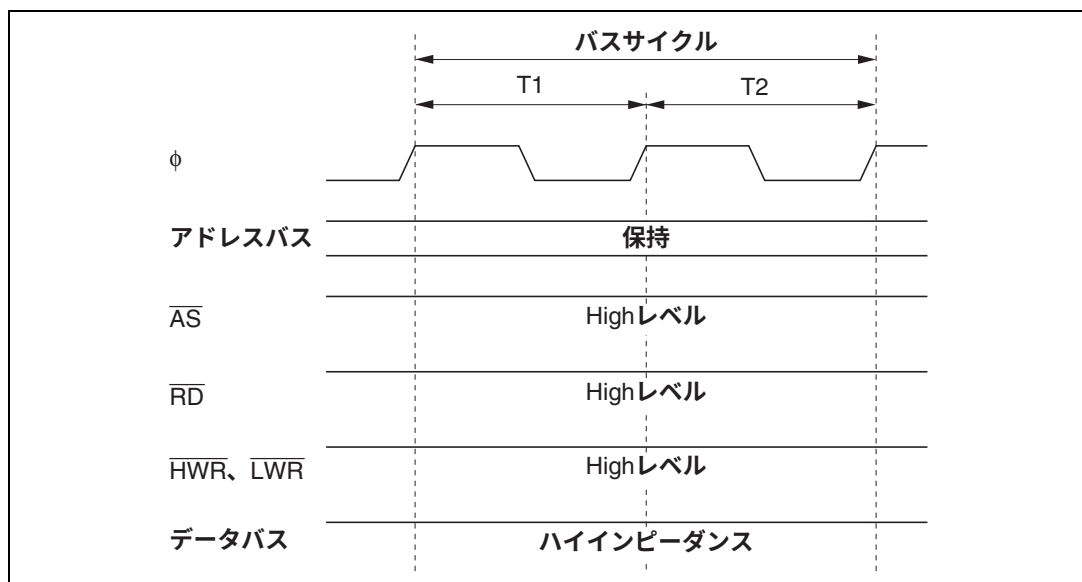


図 2.20 内蔵周辺モジュール（内部 I/O レジスタ 1、2）アクセス時の端子状態

2.9.4 内蔵周辺モジュールアクセスタイミング（内部 I/O レジスタ 3）

内部周辺モジュール（内部 I/O レジスタ 3）のアクセスは 3 ステートで行われます。このとき、データバス幅は 8 ビットになります。内蔵周辺モジュール（内部 I/O レジスタ 3）アクセスタイミングを図 2.21、端子状態を図 2.22 に示します。

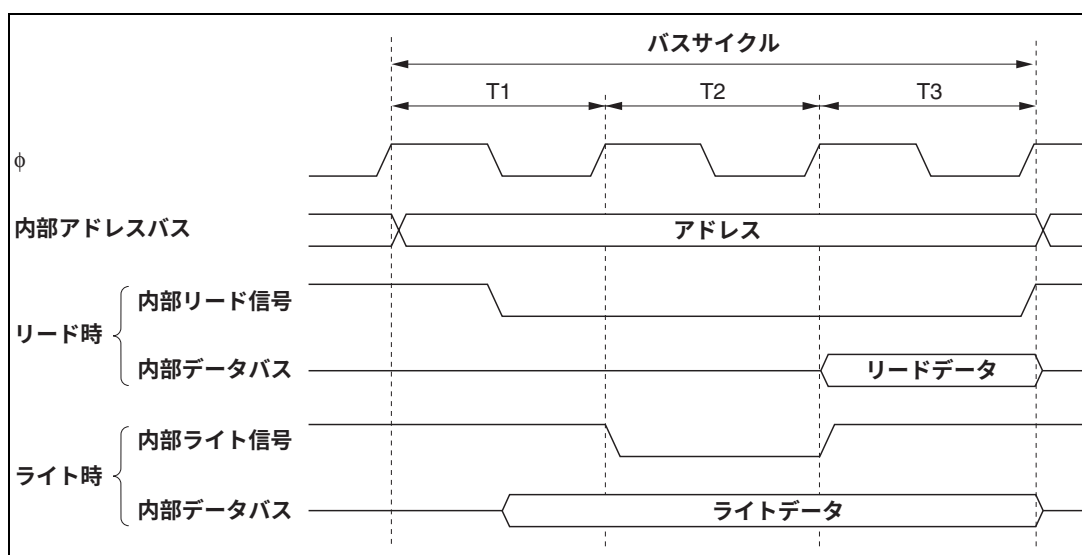


図 2.21 内蔵周辺モジュール（内部 I/O レジスタ 3）アクセスサイクル

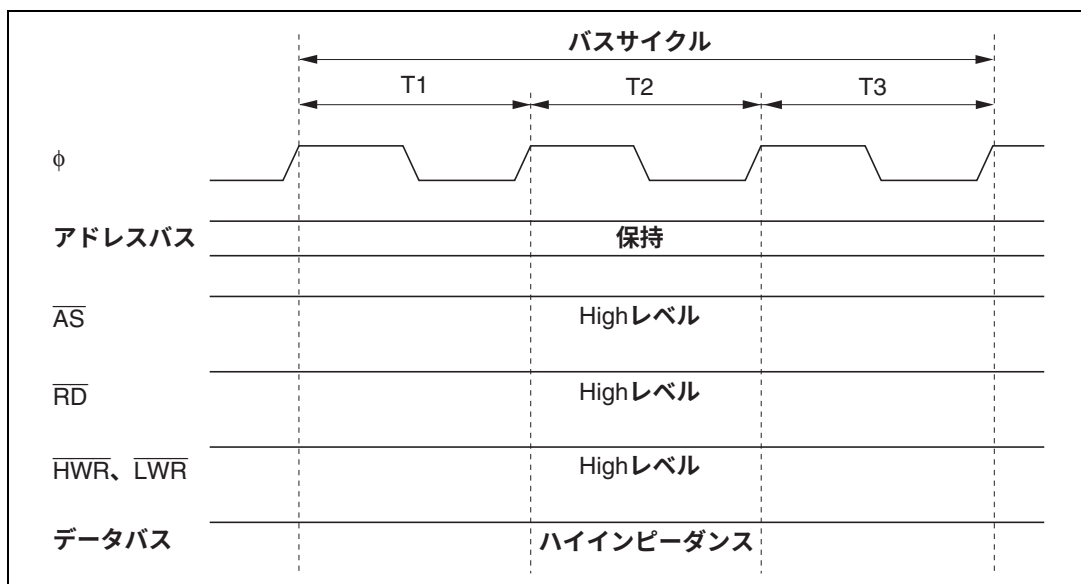


図 2.22 内蔵周辺モジュール（内部 I/O レジスタ 3）アクセス時の端子状態

2.9.5 外部アドレス空間アクセスタイミング

外部アドレス空間のアクセスを行うときのデータバス幅は 8 ビットまたは 16 ビット、バスサイクルは 2 ステートまたは 3 ステートです。3 ステートアクセスではウェイトステートを挿入することができます。詳細は「第 6 章 バスコントローラ」を参照してください。

2.10 使用上の注意

2.10.1 TAS 命令

TAS 命令を使用する場合には、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス テクノロジ製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令をご使用の場合にはレジスタ ER0、ER1、ER4、ER5 を使用するようお願い致します。

2.10.2 STM/LDM 命令

STM/LDM 命令において、ER7 レジスタはスタックポインタであるため、待避 (STM) / 復帰 (LDM) できるレジスタとしては、使用できません。

一命令で待避 (STM) / 復帰 (LDM) できるレジスタ数は 2 本、3 本、4 本です。

そのとき使用可能なレジスタリストは、以下のとおりです。

2 本：ER0—ER1、ER2—ER3、ER4—ER5

3 本：ER0—ER2、ER4—ER6

4 本：ER0—ER3

また、ルネサス テクノロジ製 H8S、H8/300 シリーズ C/C++コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

3. MCU 動作モード

3.1 概要

3.1.1 動作モードの選択

本 LSI には、3 種類の動作モード（モード 1～3）があります。これらのモードは、モード端子（MD1～MD0）の設定で決まります。表 3.1 のように CPU 動作モード、内蔵 ROM の有効／無効を選択することができます。

表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD1	MD0	CPU 動作モード	内容	内蔵 ROM
0	0	0	—	—	—
1		1	ノーマル	内蔵 ROM 無効拡張モード	無効
2	1	0	アドバンスト	内蔵 ROM 有効拡張モード シングルチップモード	有効
3		1	ノーマル	内蔵 ROM 有効拡張モード シングルチップモード	

アドレス空間は、CPU のアーキテクチャ上は 4G バイトですが、本 LSI では最大 16M バイトになります。

モード 1 は、外部メモリおよび周辺デバイスをアクセスすることができる外部拡張モードです。モード 2、3 は、リセット解除後シングルチップモードで動作を開始しますが、MDCR の EXPE ビットをセットすることにより、外部拡張モードに移行することができます。

モード 1～3 以外は本 LSI では使用できません。したがって、モード端子は必ずモード 1～3 になるように設定してください。

モード端子は、動作中に変化させないでください。

3. MCU 動作モード

3.1.2 レジスタ構成

本 LSI にはモード端子 (MD1~MD0) の状態が反映されるモードコントロールレジスタ (MDCR) と、本 LSI の動作を制御するシステムコントロールレジスタ (SYSCR)、バスコントロールレジスタ (BCR)、および周辺機能の動作を制御するシリアルタイマコントロールレジスタ (STCR) があります。レジスタ構成を表 3.2 に示します。

表 3.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R/W	不定	H'FFC5
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4
バスコントロールレジスタ	BCR	R/W	H'D7	H'FFC6
シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FFC3

【注】 * アドレスの下位 16 ビットを示しています。

3.2 各レジスタの説明

3.2.1 モードコントロールレジスタ (MDCR)

ビット：	7	6	5	4	3	2	1	0
	EXPE	—	—	—	—	—	MDS1	MDS0
初期値：	—*	0	0	0	0	0	—*	—*
R/W：	R/W*	—	—	—	—	—	R	R

【注】* MD1～MD0端子により決定されます。

MDCR は 8 ビットのリード専用レジスタで、本 LSI の動作モードの設定および現在の動作モードをモニタするのに用います。

EXPE ビットは、リセットまたはハードウェアスタンバイモード時に、モード端子の状態に関連付けられて初期化されます。

ビット 7：拡張モードイネーブル (EXPE)

拡張モードを設定します。モード 1 の場合、1 に固定されており、ライトは無効です。モード 2、3 の場合、初期値は 0 で、リード／ライト可能です。

ビット 7	説 明
EXPE	
0	シングルチップモードを選択 (初期値)
1	拡張モードを選択

ビット 6～2：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 1、0：モードセレクト 1、0 (MDS1、MDS0)

モード端子 (MD1、MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS1、MDS0 ビットは MD1、MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD1、MD0) の入力レベルがこれらのビットにラッチされます。

3.2.2 システムコントロールレジスタ (SYSCR)

ビット：	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値：	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R	R/W	R	R/W	R/W	R/W

SYSCR は 8 ビットのリード／ライト可能なレジスタで、システム端子機能の選択、リセット要因のモニタ、割り込み制御モードの選択、NMI 検出エッジの選択、周辺機能の端子位置の選択、周辺機能のレジスタアクセスの制御、RAM のアドレス空間の制御を行います。

ここでは、ビット 7、6、3、1、0 についてのみ説明します。これらのビットの詳細については、関連するモジュール（ホストインタフェース、バスコントローラ、ウォッチドッグタイマ、RAM など）の説明をあわせて参照してください。ビット 5、4、2 の詳細については「5.2.1 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR はリセットまたはハードウェアスタンバイモード時に、H'09 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7：チップセレクト 2 イネーブル (CS2E)

ホストインタフェースの制御端子 (CS2) の配置を指定します。詳細は「第 18A 章 ホストインタフェース X-BUS インタフェース (XBS)」を参照してください。

ビット 6：IOS イネーブル (IOSE)

拡張モード時の $\overline{AS}/\overline{IOS}$ 端子の機能を制御します。

ビット 6	説 明
IOSE	
0	AS/ $\overline{IOS}$ 端子はアドレスストローブ端子（外部エリアアクセス時に Low 出力）（初期値）
1	AS/ $\overline{IOS}$ 端子は I/O ストローブ端子 （アドレス H'(FF)F000～H'(FF)F7FF の指定アドレスアクセス時に Low 出力）

ビット 3：外部リセット (XRST)

XRST はリセット要因を表すビットです。リセットは外部リセット入力に加えて、ウォッチドッグタイマを利用しているときには、ウォッチドッグタイマオーバフローにより発生できます。XRST ビットはリード専用です。外部リセットにより 1 にセット、ウォッチドッグタイマオーバフローにより 0 にクリアされます。

ビット 3	説 明
XRST	
0	リセットがウォッチドッグタイマオーバフローで発生
1	リセットが外部リセットで発生（初期値）

ビット 1：ホストインタフェースイネーブル（HIE）

ホストインタフェース（HIF：XBS）のデータレジスタと制御レジスタ（HICR、IDR1、ODR1、STR1、IDR2、ODR2、STR2）、キーボードコントローラおよび入力プルアップ MOS の制御レジスタ（KMIMR、KMPCR、KMIMRA）、8 ビットタイマ（チャンネル X、Y）のデータレジスタと制御レジスタ（TCRX/TCRY、TCSRX/TCSR Y、TICRR/TCORAY、TICRF/TCORBY、TCNTX/TCNTY、TCORC/TISR、TCORAX、TCORBX）、タイマコネクションの制御レジスタ（TCONRI、TCONRO、TCONRS、SEDGR）の、CPU アクセスを制御します。

ビット 1	説 明
HIE	
0	アドレス H'(FF)FFF0～H'(FF)FFF7、H'(FF)FFFC～H'(FF)FFFF のエリアは、8 ビットタイマ（チャンネル X、Y）のデータレジスタと制御レジスタおよびタイマコネクションの制御レジスタの CPU アクセスを許可 (初期値)
1	アドレス H'(FF)FFF0～H'(FF)FFF7、H'(FF)FFFC～H'(FF)FFFF のエリアは、ホストインタフェースのデータレジスタと制御レジスタ、キーボードコントローラおよび入力プルアップ MOS の制御レジスタの CPU アクセスを許可

ビット 0：RAM イネーブル（RAME）

内蔵 RAM の有効または無効を選択します。RAME ビットはリセット状態の解除時に初期化されません。ソフトウェアスタンバイモードでは初期化されません。

ビット 0	説 明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

3.2.3 バスコントロールレジスタ (BCR)

ビット：	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	—	IOS1	IOS0
初期値：	1	1	0	1	0	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCR は 8 ビットのリード／ライト可能なレジスタで、外部メモリ空間のアクセスモード、 $\overline{AS}$ 端子を I/O ストローブ機能に設定した場合の I/O 領域の範囲を設定します。ビット 7～2 の詳細は「6.2.1 バスコントロールレジスタ (BCR)」を参照してください。

BCR は、リセットおよびハードウェアスタンバイモード時に、H'D7 に初期化されます。

ビット 1、0：IOS セレクト 1、0 (IOS1、IOS0)

IOSE=1 の場合に、 $\overline{AS}/\overline{IOS}$ 端子を Low 出力とするアドレスを指定します。

BCR		説 明
ビット 1	ビット 0	
IOS1	IOS0	
0	0	アドレス H'(FF)F000～H'(FF)F03F アクセス時に Low 出力
	1	アドレス H'(FF)F000～H'(FF)F0FF アクセス時に Low 出力
1	0	アドレス H'(FF)F000～H'(FF)F3FF アクセス時に Low 出力
	1	アドレス H'(FF)F000～H'(FF)F7FF アクセス時に Low 出力 (初期値)

3.2.4 シリアルタイムコントロールレジスタ (STCR)

ビット：	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	IICE	FLSHE	—	ICKS1	ICKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は 8 ビットのリード／ライト可能なレジスタで、レジスタアクセスの制御、IIC の動作モードの制御、内蔵フラッシュメモリの制御 (F-ZTAT 版の場合)、TCNT の入力クロックの選択を行います。レジスタアクセスの制御以外の詳細は、各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセットまたはハードウェアスタンバイモード時に H'00 にイニシャライズされます。

ビット 7～5：I²C コントロール (IICS、IICX1、IICX0)

I²C バスインタフェースの動作などを制御するビットです。詳しくは「第 16 章 I²C バスインタフェース (IIC)」を参照してください。

ビット4：I²C マスタイネーブル (IICE)

I²C バスインタフェースのデータレジスタと制御レジスタ (ICCR、ICSR、ICDR/SARX、ICMR/SAR)、PWMX のデータレジスタと制御レジスタ (DADRAH/DACR、DADRAL、DADRBH/DACNTH、DADRBL/DACNTL)、SCI の制御レジスタ (SMR、BRR、SCMR) の CPU アクセスを制御します。

ビット 4	説 明
IICE	
0	アドレス H'(FF)FF88～H'(FF)FF89、H'(FF)FF8E～H'(FF)FF8F のエリアは、SCI1 の制御レジスタをアクセス アドレス H'(FF)FFA0～H'(FF)FFA1、H'(FF)FFA6～H'(FF)FFA7 のエリアは、SCI2 の制御レジスタをアクセス アドレス H'(FF)FFD8～H'(FF)FFD9、H'(FF)FFDE～H'(FF)FFDF のエリアは、SCI0 の制御レジスタをアクセス (初期値)
1	アドレス H'(FF)FF88～H'(FF)FF89、H'(FF)FF8E～H'(FF)FF8F のエリアは、IIC1 のデータレジスタおよび制御レジスタをアクセス アドレス H'(FF)FFA0～H'(FF)FFA1、H'(FF)FFA6～H'(FF)FFA7 のエリアは、PWMX のデータレジスタおよび制御レジスタをアクセス アドレス H'(FF)FFD8～H'(FF)FFD9、H'(FF)FFDE～H'(FF)FFDF のエリアは、IIC0 のデータレジスタおよび制御レジスタをアクセス

ビット3：フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリの制御レジスタ (FLMCR1、FLMCR2、EBR1、EBR2)、低消費電力状態の制御レジスタ (SBYCR、LPWRCR、MSTPCRH、MSTPCRL)、および周辺モジュールの制御レジスタ (PCSR、SYSCR2) の CPU アクセスを制御します。

ビット 3	説 明
FLSHE	
0	アドレス H'(FF)FF80～H'(FF)FF87 のエリアは、低消費電力状態の制御レジスタおよび周辺モジュールの制御レジスタをアクセス (初期値)
1	アドレス H'(FF)FF80～H'(FF)FF87 のエリアは、フラッシュメモリの制御レジスタをアクセス (F-ZTAT 版のみ)

ビット2：リザーブビット

リザーブビットです。1 にセットしないでください。

ビット1、0：インターナルクロックソースセレクト 1、0 (ICKS1、ICKS0)

TCR の CKS2～CKS0 ビットと共に、TCNT に入力するクロックを選択します。詳細は「第 12 章 8 ビットタイマ (TMR)」を参照してください。

3.3 各動作モードの説明

3.3.1 モード 1

CPU はノーマルモードでアドレス空間は 64k バイトです。内蔵 ROM は無効です。

ポート 1、2 がアドレスバス、ポート 3 がデータバス、ポート 9 の一部がバス制御信号となります。また、WSCR レジスタの ABW ビットを 0 にクリアすることでポート B がデータバスとなります。

3.3.2 モード 2

CPU はアドバンスドモードでアドレス空間は 16M バイトです。内蔵 ROM は有効です。リセット後はシングルチップモードに設定されており、外部アドレスを使用するためには MDCR の EXPE ビットを 1 にセットする必要があります。

MDCR の EXPE ビットを 1 にセットすると、ポート 1、2、A はリセット後は入力ポートになっていますが、対応する DDR（データディレクションレジスタ）を 1 にセットすることにより、アドレスを出力することができます。ポート 3 がデータバス、ポート 9 の一部がバス制御信号となります。また、WSCR レジスタの ABW ビットを 0 にクリアすることで、ポート B がデータバスとなります。

3.3.3 モード 3

CPU はノーマルモードでアドレス空間は 64k バイトです。内蔵 ROM は有効です。リセット後はシングルチップモードに設定されており、外部アドレスを使用するためには MDCR の EXPE ビットを 1 にセットする必要があります。

MDCR の EXPE ビットを 1 にセットすると、ポート 1、2 はリセット後は入力ポートになっていますが、対応する DDR（データディレクションレジスタ）を 1 にセットすることにより、アドレスを出力することができます。ポート 3 がデータバス、ポート 9 の一部がバス制御信号となります。また、WSCR レジスタの ABW ビットを 0 にクリアすることで、ポート B がデータバスとなります。

本動作モードでは、内蔵 ROM が 64k バイト以上の製品で使用できる内蔵 ROM 容量は 56k バイトに制限されます。

3.4 各動作モードにおける端子機能

動作モードにより、ポート 1～3、9、A、B の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表 3.3 に示します。

表 3.3 各動作モードにおける端子機能

ポート		モード 1	モード 2	モード 3
ポート 1		A	P*/A	P*/A
ポート 2		A	P*/A	P*/A
ポート A		P	P*/A	P
ポート 3		D	P*/D	P*/D
ポート B		P*/D	P*/D	P*/D
ポート 9	P97	P*/C	P*/C	P*/C
	P96	C*/P	P*/C	P*/C
	P95～P93	C	P*/C	P*/C
	P92、P91	P	P	P
	P90	P*/C	P*/C	P*/C
ポート C～G		P	P	P

【記号説明】

P：入出力ポート

A：アドレスバス出力

D：データバス入出力

C：制御信号・クロック入出力

*：リセット直後

3.5 各動作モードのアドレスマップ

各動作モードのアドレスマップを図 3.1 に示します。

アドレス空間はモード 1、3（ノーマルモード）では 64k バイトです。また、モード 2（アドバンスドモード）では 16M バイトです。

本 LSI の内蔵 ROM の容量は 64k バイトですが、モード 3（ノーマルモード）では、使用できる内蔵 ROM の容量は 56k バイトになります。

リザーブエリアは、アクセスしないでください。

詳細は、「**第 6 章 バスコントローラ**」を参照してください。



3. MCU 動作モード

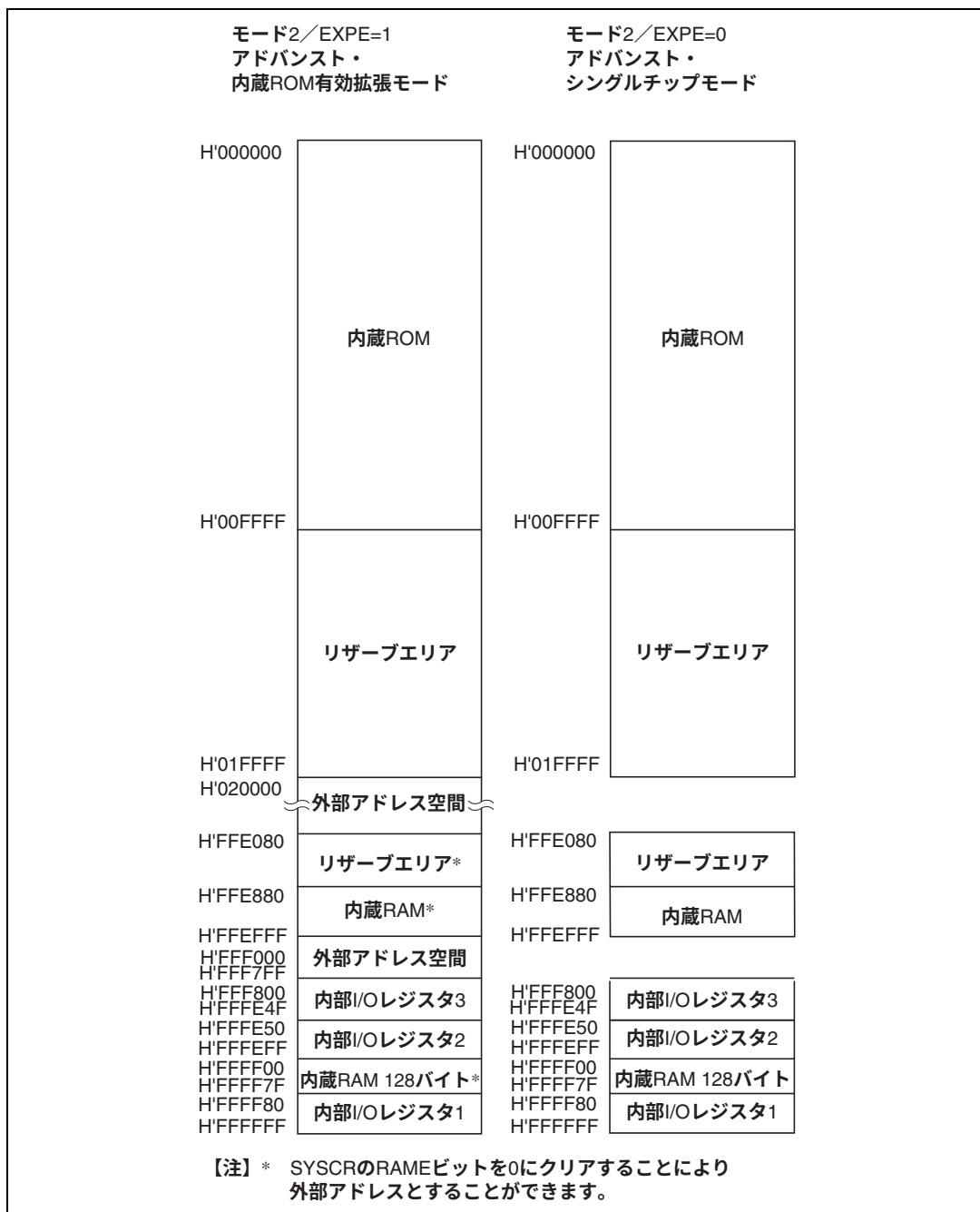


図 3.1 H8S/2149、H8S/2169 の各動作モードのアドレスマップ (2)

4. 例外処理

4.1 概要

4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、直接遷移、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSR の INTM0、INTM1 ビットで設定される割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバフローにより開始します。
	トレース ^{*1}	トレース (T) ビット=1 の状態で、命令または例外処理の実行終了時に開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。 ^{*2}
	直接遷移	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	トラップ命令 ^{*3} (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

【注】 *1 トレースは割り込み制御モード 2、3 でのみ有効です（本 LSI では使用できません）。

トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*3 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4. 例外処理

4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割り込み例外処理は、次のように動作します。

- [1] プログラムカウンタ（PC）とコンディションコードレジスタ（CCR）をスタックに退避します。
- [2] 割り込みマスクビットを更新します。Tビットを0にクリアします。
- [3] 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記 [2]、[3] の動作を行います。

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表 4.2 に示します。

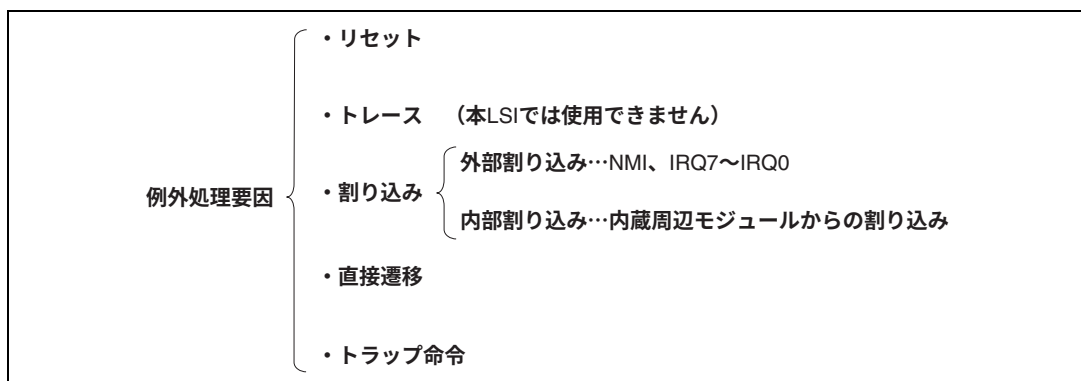


図 4.1 例外処理要因

表 4.2 例外処理ベクタテーブル

例外処理要因		ベクタ番号	ベクタアドレス ^{*1}	
			ノーマルモード	アドバンスモード
リセット		0	H'0000~H'0001	H'0000~H'0003
システム予約		1	H'0002~H'0003	H'0004~H'0007
		2	H'0004~H'0005	H'0008~H'000B
		3	H'0006~H'0007	H'000C~H'000F
		4	H'0008~H'0009	H'0010~H'0013
		5	H'000A~H'000B	H'0014~H'0017
直接遷移		6	H'000C~H'000D	H'0018~H'001B
外部割り込み	NMI	7	H'000E~H'000F	H'001C~H'001F
トラップ命令 (4 要因)		8	H'0010~H'0011	H'0020~H'0023
		9	H'0012~H'0013	H'0024~H'0027
		10	H'0014~H'0015	H'0028~H'002B
		11	H'0016~H'0017	H'002C~H'002F
システム予約		12	H'0018~H'0019	H'0030~H'0033
		13	H'001A~H'001B	H'0034~H'0037
		14	H'001C~H'001D	H'0038~H'003B
		15	H'001E~H'001F	H'003C~H'003F
外部割り込み	IRQ0	16	H'0020~H'0021	H'0040~H'0043
	IRQ1	17	H'0022~H'0023	H'0044~H'0047
	IRQ2	18	H'0024~H'0025	H'0048~H'004B
	IRQ3	19	H'0026~H'0027	H'004C~H'004F
	IRQ4	20	H'0028~H'0029	H'0050~H'0053
	IRQ5	21	H'002A~H'002B	H'0054~H'0057
	IRQ6	22	H'002C~H'002D	H'0058~H'005B
	IRQ7	23	H'002E~H'002F	H'005C~H'005F
内部割り込み ^{*2}		24 107	H'0030~H'0031 H'00DE~H'00DF	H'0060~H'0063 H'01BC~H'01BF

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 内部割り込みのベクタテーブルは、「5.3.3 割り込み例外処理ベクタテーブル」を参照してください。

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は割り込み制御モード 0 になっています。

$\overline{\text{RES}}$ 端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 14 章 ウォッチドッグタイマ (WDT)」を参照してください。

4.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は最低 20 ステートの間、Low レベルにしてください。リセット時の各端子の状態は「付録 D.1 各処理状態におけるポートの状態」を参照してください。

$\overline{\text{RES}}$ 端子が一定期間 Low レベルのあと High レベルになると、リセット例外処理が開始され、本 LSI は次のように動作します。

- [1] CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCRのIビットが1にセットされます。
- [2] リセット例外処理ベクタアドレスをリードしてPCに転送したあと、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.2、図 4.3 に示します。

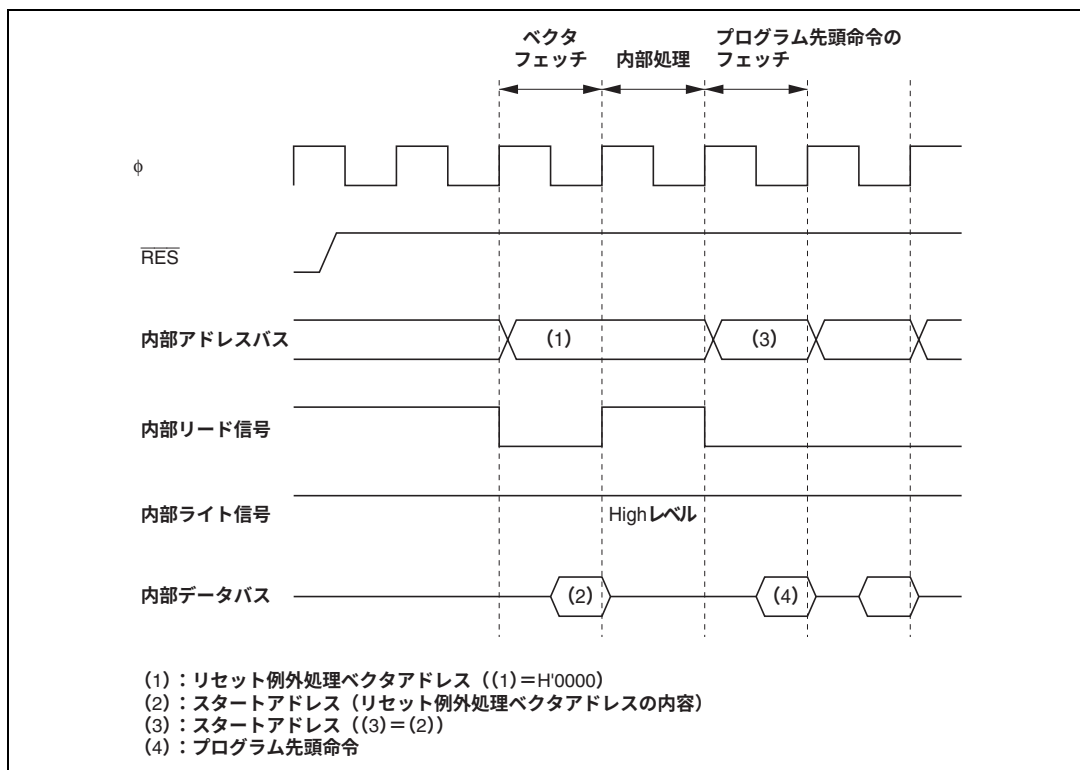


図 4.2 リセットシーケンス (モード 3)

4. 例外処理

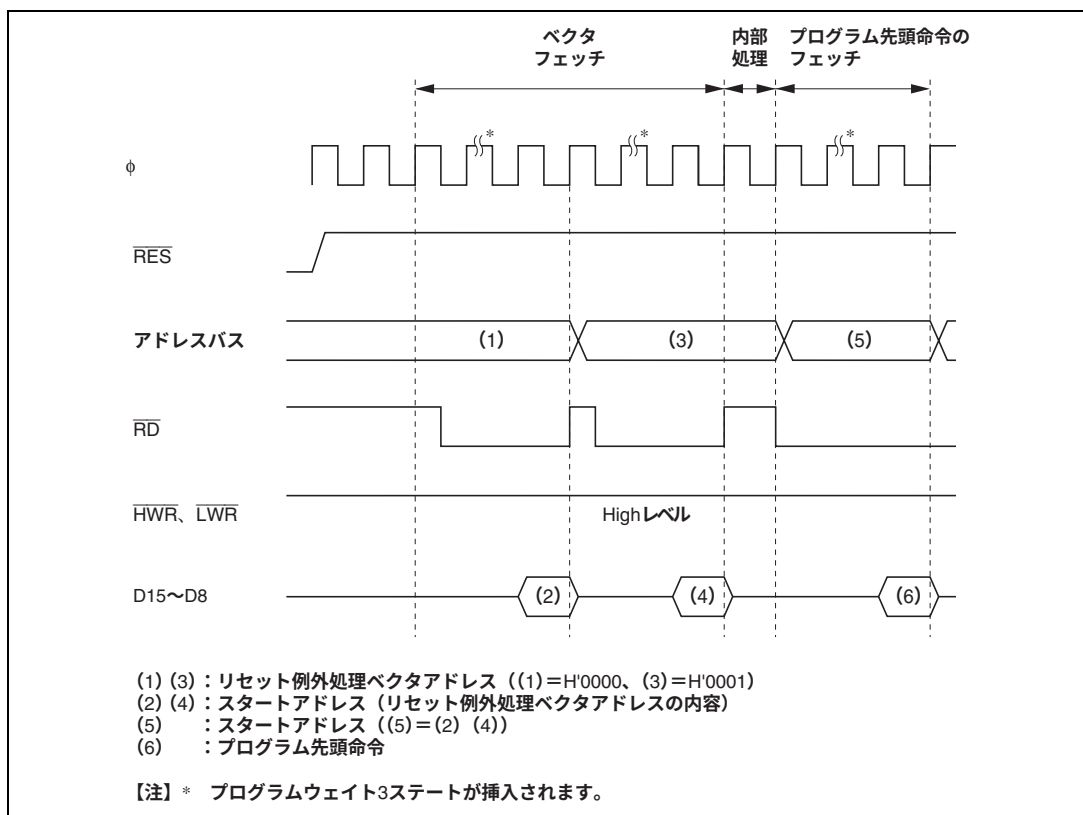


図 4.3 リセットシーケンス (モード 1)

4.2.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx, SP)。

4.3 割り込み

割り込み例外処理を開始させる要因には、31 の入力端子 ($\overline{\text{NMI}}$ 、 $\overline{\text{IRQ7}}\sim\overline{\text{IRQ0}}$ 、 $\overline{\text{KIN15}}\sim\overline{\text{KIN0}}$ 、 $\overline{\text{WUE7}}\sim\overline{\text{WUE0}}$) からの 9 本の外部割り込み ($\overline{\text{NMI}}$ 、 $\overline{\text{IRQ7}}\sim\overline{\text{IRQ0}}$) と、内蔵周辺モジュールからの要求による内部要因があります。割り込み要因と要因数を図 4.4 に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ (WDT)、16 ビットフリーランニングタイマ (FRT)、8 ビットタイマ (TMR)、シリアルコミュニケーションインタフェース (SCI)、データトランスファコントローラ (DTC)、A/D 変換器 (ADC)、ホストインタフェース (HIF: XBS、LPC)、キーボードバッファコントローラ (PS2)、I²C バスインタフェースなどがあります。割り込みベクタアドレスは各要因別に割り当てられています。

NMI は最も優先度の高い割り込みです。割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2 つの割り込み制御モードがあり、NMI とアドレスブレーク以外の割り込みに 3 レベルの優先順位/マスケレベルを設定して、多重割り込みの制御を行うことができます。

割り込みについての詳細は「第 5 章 割り込みコントローラ」を参照してください。

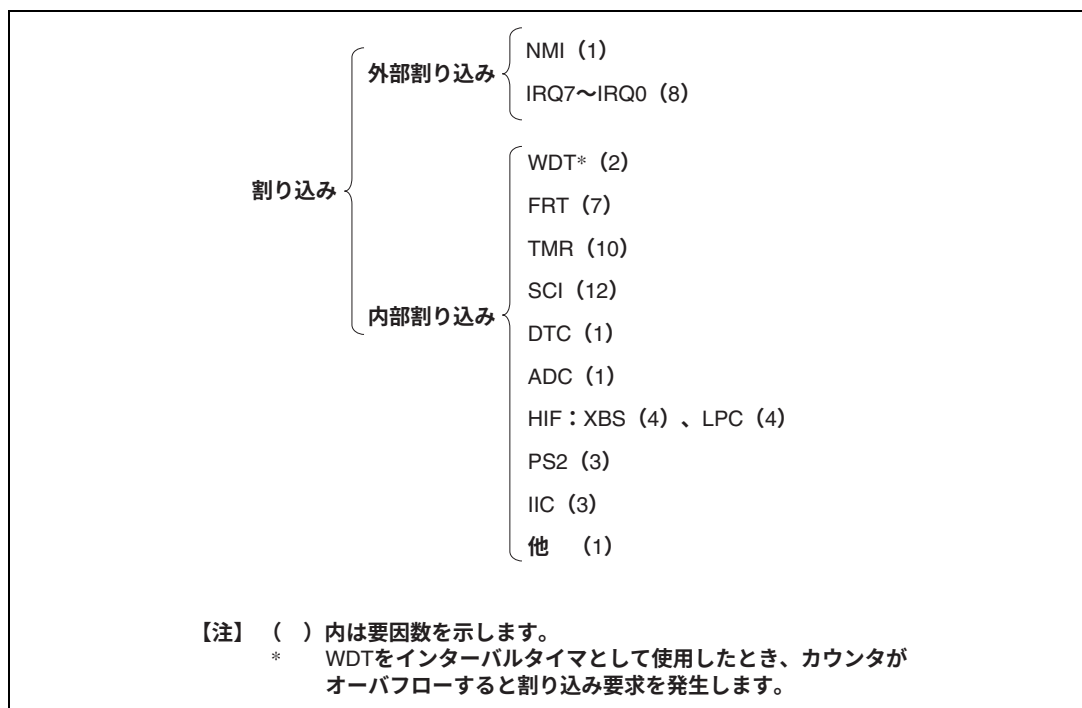


図 4.4 割り込み要因と要因数

4. 例外処理

4.4 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

TRAPA 命令は、命令コード中で指定した 0～3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.3 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.3 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2～I0	T
0	1	—	—	—
1	1	1	—	—

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.5 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.5 に示します。

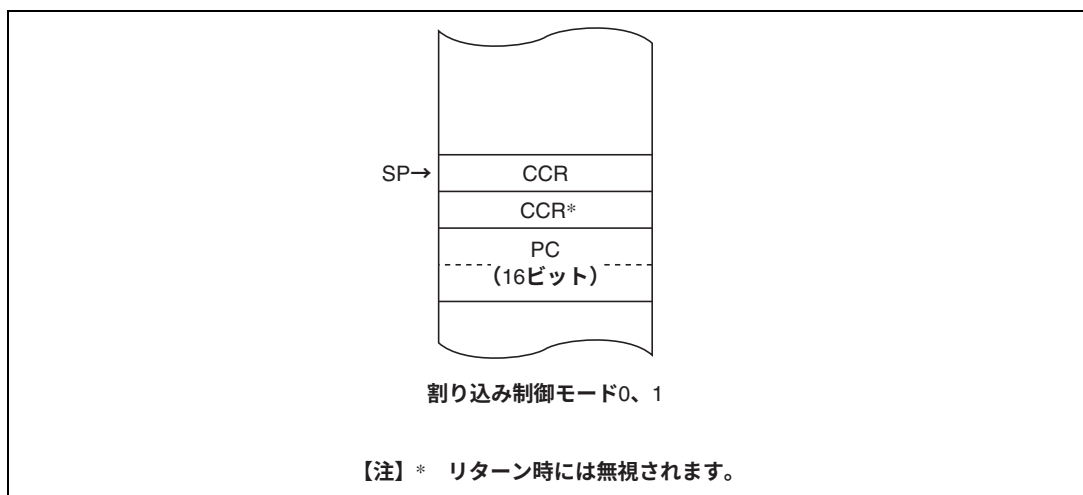


図 4.5 (1) 例外処理終了後のスタックの状態（ノーマルモード）

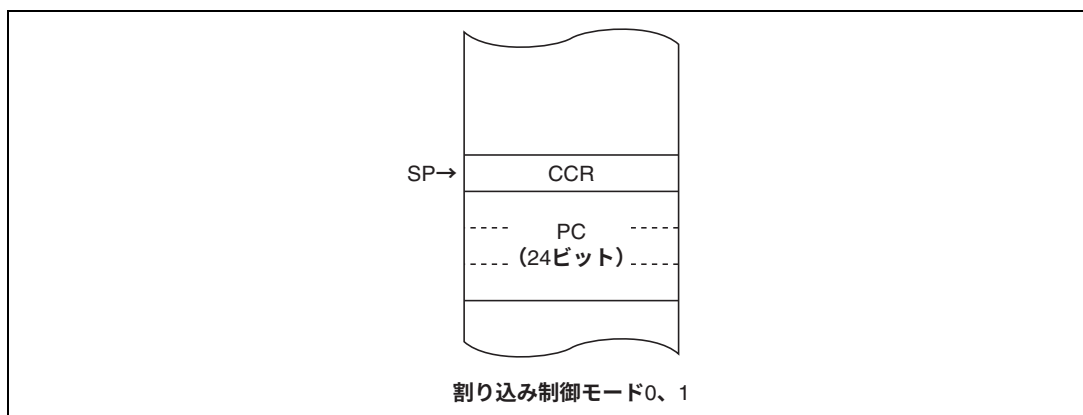


図 4.5 (2) 例外処理終了後のスタックの状態（アドバンスモード）

4.6 スタック使用上の注意

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP: ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W   Rn    (MOV.W   Rn, @-SP)
PUSH.L   ERn   (MOV.L   ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W    Rn    (MOV.W   @SP+, Rn)
POP.L    ERn   (MOV.L   @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.6 に示します。

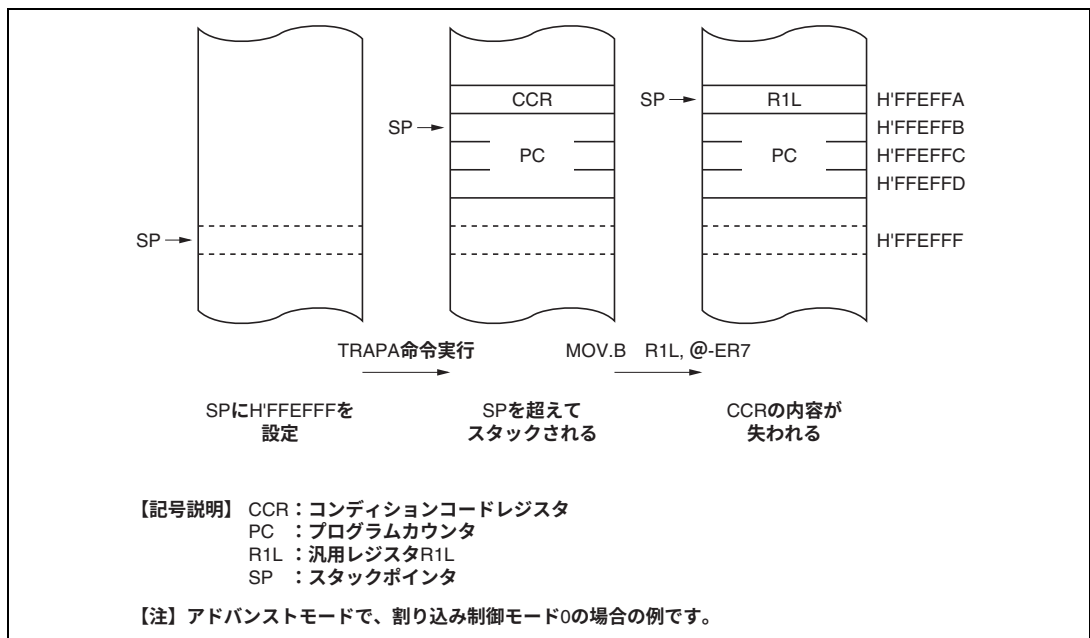


図 4.6 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 概要

5.1.1 特長

本 LSI は割り込みコントローラにより、割り込みの制御を行います。割り込みコントローラには、次の特長があります。

■2 種類の割り込み制御モード

- システムコントロールレジスタ (SYSCR) の INTM1、INTM0 ビットにより、2 種類の割り込み制御モードを設定できます。

■ICR により、優先順位を設定可能

- 割り込み優先順位を設定するインタラプトコントロールレジスタ (ICR) を備えており、NMI とアドレスブレイク以外の割り込みを、モジュールごとに 3 レベルの優先順位を設定できます。

■独立したベクタアドレス

- すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

■31 本の外部割り込み端子 (9 本の外部要因)

- NMI は最優先の割り込みで常に受け付けられます。NMI 割り込みは、NMI 端子の立ち上がりエッジまたは立ち下がりエッジを選択できます。
- IRQ7~IRQ0 割り込みは、 $\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$ 端子の立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。
- IRQ6 割り込みは、 $\overline{\text{IRQ6}}$ 端子からの割り込みと 8 本の外部割り込み入力 ($\overline{\text{KIN7}}$ ~ $\overline{\text{KIN0}}$) との兼用になっています。また、IRQ7 割り込みは、 $\overline{\text{IRQ7}}$ 端子からの割り込みと 16 本の外部割り込み入力端子 ($\overline{\text{KIN15}}$ ~ $\overline{\text{KIN8}}$ 、 $\overline{\text{WUE7}}$ ~ $\overline{\text{WUE0}}$) との兼用になっています。 $\overline{\text{KIN15}}$ ~ $\overline{\text{KIN0}}$ および $\overline{\text{WUE7}}$ ~ $\overline{\text{WUE0}}$ は、それぞれユーザプログラムによりマスクできます。

■DTC の制御

- 割り込みによる DTC の起動の制御を行います。

5. 割り込みコントローラ

5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

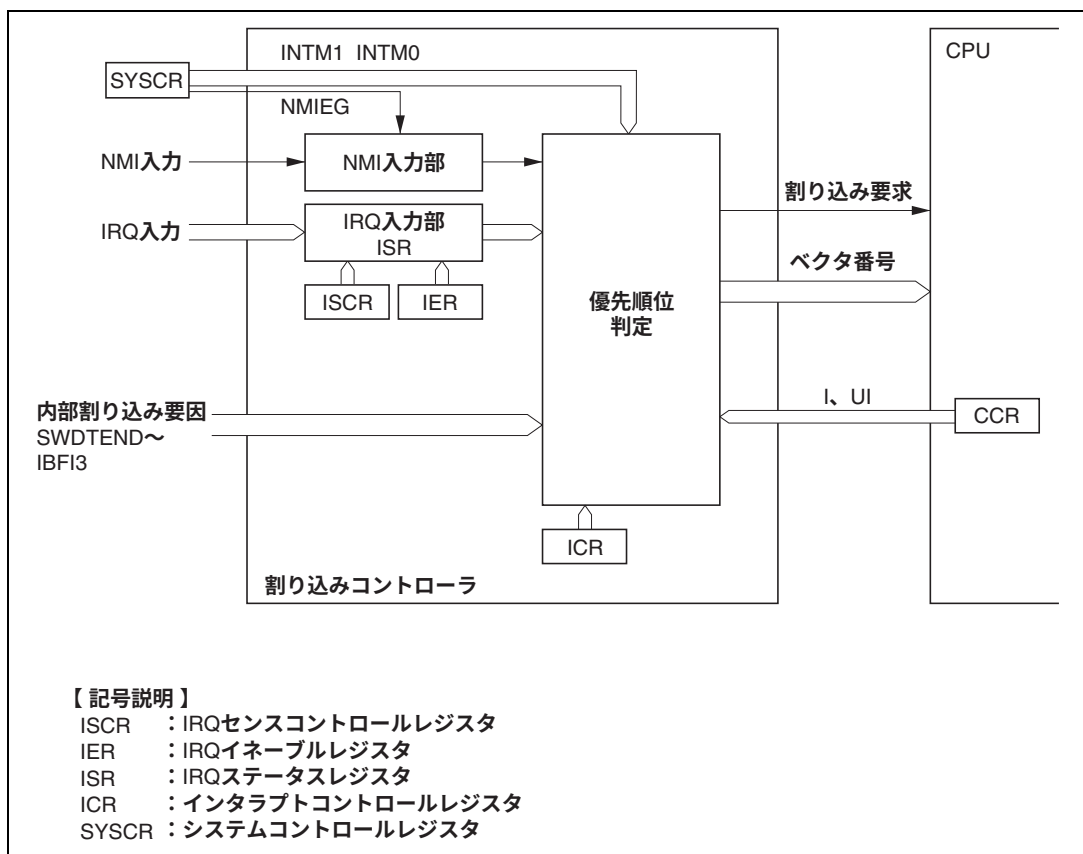


図 5.1 割り込みコントローラのブロック図

5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	記号	入出力	機 能
ノンマスクابل 割り込み	NMI	入力	マスク不可能な外部割り込み。 立ち上がりエッジまたは立ち下がりエッジを選択可能
外部割り込み要求 7〜0	IRQ7〜IRQ0	入力	マスク可能な外部割り込み。 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセン スのいずれかを選択可能
キー入力割り込み要求 15〜0	KIN15〜KIN0	入力	マスク可能な外部割り込み。 立ち下がりエッジ、レベルセンスのいずれかを選択可能
ウェイクアップイベン ト割り込み要求 7〜0	WUE7〜WUE0	入力	マスク可能な外部割り込み。 立ち下がりエッジ、レベルセンスのいずれかを選択可能

5.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス ^{*1}
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4
IRQ センスコントロールレジスタ H	ISCRH	R/W	H'00	H'FEEC
IRQ センスコントロールレジスタ L	ISCR L	R/W	H'00	H'FEED
IRQ イネーブルレジスタ	IER	R/W	H'00	H'FFC2
IRQ ステータスレジスタ	ISR	R/(W) ^{*2}	H'00	H'FEEB
キーボードマトリクス割り込みマスクレジスタ	KMIMR	R/W	H'BF	H'FFF1 ^{*3}
キーボードマトリクス割り込みマスクレジスタ A	KMIMRA	R/W	H'FF	H'FFF3 ^{*3}
ウェイクアップイベント割り込みマスクレジスタ B	WUEMRB	R/W	H'FF	H'FE44 ^{*4}
インタラプトコントロールレジスタ A	ICRA	R/W	H'00	H'FEE8
インタラプトコントロールレジスタ B	ICRB	R/W	H'00	H'FEE9
インタラプトコントロールレジスタ C	ICRC	R/W	H'00	H'FEEA
アドレスブレイクコントロールレジスタ	ABRKCR	R/W	H'00	H'FEF4
ブレイクアドレスレジスタ A	BARA	R/W	H'00	H'FEF5
ブレイクアドレスレジスタ B	BARB	R/W	H'00	H'FEF6
ブレイクアドレスレジスタ C	BARC	R/W	H'00	H'FEF7

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

*3 KMIMR、KMIMRA を設定するときは、SYSCR の HIE ビットを 1 にセットし、かつ MSTPCRL の MSTP2 ビットを 0 に設定してください。

*4 WUEMRB を設定するときは、MSTPCRL の MSTP0 ビットを 0 に設定してください。

5. 割り込みコントローラ

5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ (SYSCR)

ビット：	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値：	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R	R/W	R	R/W	R/W	R/W

SYSCR は 8 ビットのリード／ライト可能なレジスタで、ビット 5、4、2 は割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ここでは、ビット 5、4、2 についてのみ説明します。その他のビットの詳細については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR はリセットまたはハードウェアスタンバイモード時に、H'09 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 5、4：割り込み制御選択モード 1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを 4 つのモードの中から選択します。

INTM1 ビットは、1 にセットしないでください。

ビット 5	ビット 4	割り込み 制御モード	説 明
INTM1	INTM0		
0	0	0	1 ビットで、割り込みを制御します。(初期値)
	1	1	I、UI ビットと ICR で、割り込みを制御します。
1	0	2	本 LSI では使用できません
	1	3	本 LSI では使用できません

ビット 2：NMI エッジセレクト (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット 2	説 明
NMIEG	
0	NMI 入力の立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

5.2.2 インタラプトコントロールレジスタ A～C (ICRA～ICRC)

ビット：	7	6	5	4	3	2	1	0
	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICR は 8 ビットのリード／ライト可能な 3 本のレジスタで、NMI とアドレスブレイクを除く割り込みの割り込みコントロールレベルの設定をします。

各割り込み要因と ICR の対応を表 5.3 に示します。

ICR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット n：割り込みコントロールレベル (ICRn)

対応する割り込み要因のコントロールレベルを設定します。

ビット n	説 明
0	対応する割り込み要因はコントロールレベル 0 (非優先) (初期値)
1	対応する割り込み要因はコントロールレベル 1 (優先)

(n=7～0)

表 5.3 各割り込み要因と ICR の対応

レジスタ	ビット							
	7	6	5	4	3	2	1	0
ICRA	IRQ0	IRQ1	IRQ2 IRQ3	IRQ4 IRQ5	IRQ6 IRQ7	DTC	ウォッチ ドッグ タイマ 0	ウォッチ ドッグ タイマ 1
ICRB	A/D 変換器	フリーラン ニング タイマ	—	—	8 ビット タイマ チャンネル 0	8 ビット タイマ チャンネル 1	8 ビット タイマ チャンネル X、Y	HIF:XBS、 キーボード バッファコン トローラ
ICRC	SCI チャンネル 0	SCI チャンネル 1	SCI チャンネル 2	IIC チャンネル 0	IIC チャンネル 1	—	HIF:LPC	—

5. 割り込みコントローラ

5.2.3 IRQ イネーブルレジスタ (IER)

ビット：	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IER は 8 ビットのリード／ライト可能なレジスタで、IRQ7～IRQ0 割り込み要求の許可または禁止を制御します。

IER はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7～0：IRQ7～IRQ0 イネーブル (IRQ7E～IRQ0E)

IRQ7～IRQ0 割り込みを許可または禁止するかを選択します。

ビット n	説 明
IRQnE	
0	IRQn 割り込みを禁止 (初期値)
1	IRQn 割り込みを許可

(n=7～0)

5.2.4 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCRH

ビット：	15	14	13	12	11	10	9	8
	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ISCRL

ビット：	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ISCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の入力の立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択します。

ISCR はリセットまたはハードウェアスタンバイモード時に、それぞれ H'00 に初期化されます。

ISCRH ビット 7～0、ISCRL ビット 7～0：

IRQ7 センスコントロール A、B (IRQ7SCA、IRQ7SCB) ～

IRQ0 センスコントロール A、B (IRQ0SCA、IRQ0SCB)

ISCRH ビット 7～0 ISCRL ビット 7～0		説 明
IRQ7SCB～ IRQ0SCB	IRQ7SCA～ IRQ0SCA	
0	0	IRQ7～IRQ0 入力の Low レベルで割り込み要求を発生 (初期値)
	1	IRQ7～IRQ0 入力の立ち下がりエッジで割り込み要求を発生
1	0	IRQ7～IRQ0 入力の立ち上がりエッジで割り込み要求を発生
	1	IRQ7～IRQ0 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5. 割り込みコントローラ

5.2.5 IRQ ステータスレジスタ (ISR)

ビット：	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための0ライトのみ可能です。

ISR は 8 ビットのリード／ライト可能なレジスタで、IRQ7～IRQ0 割り込み要求のステータス表示を行います。

ISR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7～0：IRQ7～IRQ0 フラグ (IRQ7F～IRQ0F)

IRQ7～IRQ0 割り込み要求のステータスの表示を行います。

ビット n	説明
IRQnF	
0	【クリア条件】 (初期値) (1) IRQnF=1 をリードしたあと、0 をライトしたとき (2) Low レベル検出設定 (IRQnSCB=IRQnSCA=0) の状態かつ $\overline{\text{IRQn}}$ 入力 High レベルの状態、割り込み例外処理を実行したとき* (3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 (IRQnSCB=1、または IRQnSCA=1) の状態で IRQn 割り込み例外処理を実行したとき*
1	【セット条件】 (1) Low レベル検出設定 (IRQnSCB=IRQnSCA=0) の状態で $\overline{\text{IRQn}}$ 入力 Low レベルになったとき (2) 立ち下がりエッジ検出設定時 (IRQnSCB=0、IRQnSCA=1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき (3) 立ち上がりエッジ検出設定時 (IRQnSCB=1、IRQnSCA=0) の状態で $\overline{\text{IRQn}}$ 入力に立ち上がりエッジが発生したとき (4) 両エッジ検出設定時 (IRQnSCB=IRQnSCA=1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がり、または立ち上がりエッジが発生したとき

(n=7～0)

【注】* DTC を内蔵した製品において下記の設定で使用する、対象フラグビットはクリア条件となる例外処理を実行しても自動クリアはされず、ビットは 1 のままとなります。

- (1) DTCEA3=1 にセットした場合 (ADI を割り込み要因に設定)、IRQ4F フラグの自動クリア
 - (2) DTCEA2=1 にセットした場合 (ICIA を割り込み要因に設定)、IRQ5F フラグの自動クリア
 - (3) DTCEA1=1 にセットした場合 (ICIB を割り込み要因に設定)、IRQ6F フラグの自動クリア
 - (4) DTCEA0=1 にセットした場合 (OCIA を割り込み要因に設定)、IRQ7F フラグの自動クリア
- DTC の起動割り込み要因と IRQ 割り込みを上記の組み合わせで使用する場合には、当該 IRQ の割り込み処理ルーチン内でソフトウェアにより割り込みフラグのクリアを行ってください。

5.2.6 キーボードマトリクス割り込みマスクレジスタ (KMIMR)

ビット：	7	6	5	4	3	2	1	0
	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0
初期値：	1	0	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

KMIMR は 8 ビットのリード／ライト可能なレジスタで、キーボードマトリクス割り込み入力 ($\overline{\text{KIN7}} \sim \overline{\text{KIN0}}$ 端子)、および $\overline{\text{IRQ6}}$ 端子のマスク制御を行います。キーボードマトリクススキャン／センスに際して複数の端子入力からのキーセンス入力割り込みを許可する場合、対応するマスクビットを 0 にクリアしてください。

KMIMR はリセットまたはハードウェアスタンバイモード時に、H'BF に初期化され、 $\overline{\text{IRQ6}}$ 端子 ($\overline{\text{KIN6}}$ 端子) からの入力のみが許可された状態となります。

ビット 7～0：キーボードマトリクス割り込みマスク (KMIMR7～KMIMR0)

キーセンス入力割り込み要求 ($\overline{\text{KIN7}} \sim \overline{\text{KIN0}}$) を制御します。

ビット 7～0	説 明
KMIMR7～0	
0	キーセンス入力割り込み要求を許可
1	キーセンス入力割り込み要求を禁止 (初期値)

【注】 * ただし、KMIMR6 は $\overline{\text{IRQ6}}$ 端子割り込み要求のマスク制御も同時に行うため、初期値は 0 となります。

5. 割り込みコントローラ

5.2.7 キーボードマトリクス割り込みマスクレジスタ A (KMIMRA)、ウェイクアップイベント割り込みマスクレジスタ B (WUEMRB)

ビット：	7	6	5	4	3	2	1	0
	KMIMR15	KMIMR14	KMIMR13	KMIMR12	KMIMR11	KMIMR10	KMIMR9	KMIMR8
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	7	6	5	4	3	2	1	0
	WUEMR7	WUEMR6	WUEMR5	WUEMR4	WUEMR3	WUEMR2	WUEMR1	WUEMR0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

KMIMRA は 8 ビットのリード／ライト可能なレジスタで、キーボードマトリクス割り込み入力 ($\overline{\text{KIN15}} \sim \overline{\text{KIN8}}$ 端子) のマスク制御を行います。キーボードマトリクススキャン／センスに際して複数の端子入力からのキーセンス入力割り込みを許可する場合、対応するマスクビットを 0 にクリアしてください。

KMIMRA はリセットまたはハードウェアスタンバイモード時に、H'FF に初期化されます。

ビット 7～0：キーボードマトリクス割り込みマスク (KMIMR15～KMIMR8)

キーセンス入力割り込み要求 ($\overline{\text{KIN15}} \sim \overline{\text{KIN8}}$) を制御します。

ビット 7～0	説 明
KMIMR15～8	
0	キーセンス入力割り込み要求を許可
1	キーセンス入力割り込み要求を禁止 (初期値)

WUEMRB は 8 ビットのリード／ライト可能なレジスタで、ウェイクアップイベント割り込み入力 ($\overline{\text{WUE7}} \sim \overline{\text{WUE0}}$ 端子) のマスク制御を行います。ウェイクアップイベント割り込みを許可する場合、対応するマスクビットを 0 にクリアしてください。

WUEMRB はリセットまたはハードウェアスタンバイモード時に、H'FF に初期化されます。

ビット 7～0：ウェイクアップイベント割り込みマスク (WUEMR7～WUEMR0)

ウェイクアップイベント割り込み要求 ($\overline{\text{WUE7}} \sim \overline{\text{WUE0}}$) を制御します。

ビット 7～0	説 明
WUEMR7～0	
0	ウェイクアップイベント割り込み要求を許可
1	ウェイクアップイベント割り込み要求を禁止 (初期値)

IRQ7、IRQ6 割り込みと $\overline{\text{KIN15}} \sim \overline{\text{KIN0}}$ 割り込みおよび $\overline{\text{WUE7}} \sim \overline{\text{WUE0}}$ 割り込み、KMIMR、KMIMRA、WUEMRB との関係を図 5.2 に示します。

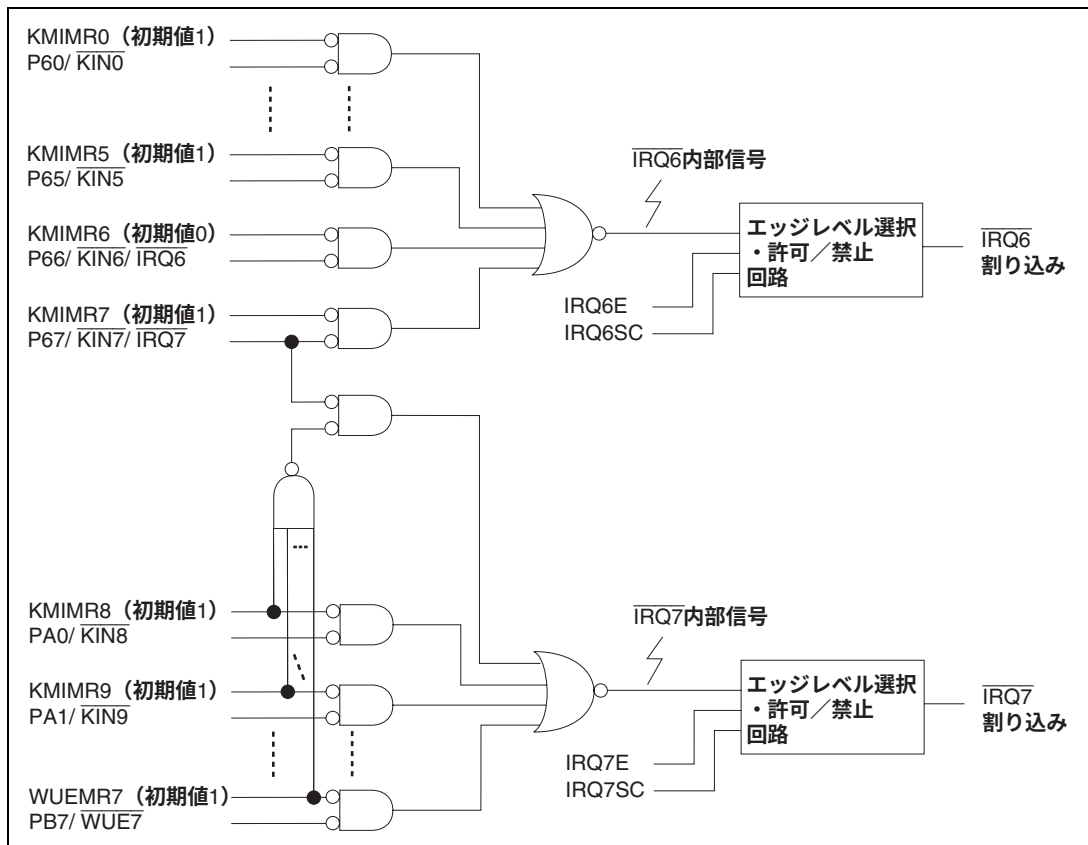


図 5.2 IRQ7、IRQ6 割り込みと KIN15～KIN0 割り込みおよび WUE7～WUE0 割り込み、KMIMR、KMIMRA、WUEMRB との関係

KMIMR15～KMIMR8 および WUEMR7～WUEMR0 の 1 ビットでも 0 にクリアされていると、 $\overline{\text{IRQ7}}$ 端子からの割り込み入力が無視されます。また、 $\overline{\text{KIN7}} \sim \overline{\text{KIN0}}$ 端子、あるいは $\overline{\text{KIN15}} \sim \overline{\text{KIN8}}$ 端子および $\overline{\text{WUE7}} \sim \overline{\text{WUE0}}$ 端子を、キーセンス割り込み入力端子またはウェイクアップ割り込み入力端子として使用する場合は、それぞれの対応する割り込み要因 (IRQ6 あるいは IRQ7) の割り込みセンス条件を、必ず Low レベルセンスまたは立ち下がりエッジセンスに設定してください。

5. 割り込みコントローラ

5.2.8 アドレスブレイクコントロールレジスタ (ABRKCR)

ビット：	7	6	5	4	3	2	1	0
	CMF	—	—	—	—	—	—	BIE
初期値：	0	0	0	0	0	0	0	0
R/W：	R	—	—	—	—	—	—	R/W

ABRKCR は、8 ビットのリードライト可能なレジスタで、アドレスブレイクの制御を行います。

ABRKCR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7：コンディションマッチフラグ (CMF)

アドレスブレイク要因フラグです。BAR で設定したアドレスをプリフェッチしたことを示します。CMF フラグ、BIE フラグがいずれも 1 にセットされると、アドレスブレイクが要求されます。

ビット 7	説 明
CMF	
0	[クリア条件] アドレスブレイク割り込み例外処理を実行したとき (初期値)
1	[セット条件] BIE=1 の状態で、BARA～BARC で設定したアドレスのプリフェッチを実行したとき

ビット 6～1：リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 0：ブレイク割り込みイネーブル (BIE)

アドレスブレイクの許可／禁止を選択します。

ビット 0	説 明
BIE	
0	アドレスブレイク禁止 (初期値)
1	アドレスブレイク許可

5.2.9 ブレークアドレスレジスタ A～C (BARA～BARC)

ビット：	7	6	5	4	3	2	1	0
BARA	A23	A22	A21	A20	A19	A18	A17	A16
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	7	6	5	4	3	2	1	0
BARB	A15	A14	A13	A12	A11	A10	A9	A8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	7	6	5	4	3	2	1	0
BARC	A7	A6	A5	A4	A3	A2	A1	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—

BAR は、8 ビットのリード／ライト可能な 3 本のレジスタ (BARA、B、C) で構成されています。BAR はアドレスブレークを発生させるアドレスを指定します。

BAR は、リセットまたはハードウェアスタンバイモード時にそれぞれ H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

BARA ビット 7～0：アドレス 23～16 (A23～A16)

BARB ビット 7～0：アドレス 15～8 (A15～A8)

BARC ビット 7～1：アドレス 7～1 (A7～A1)

アドレスブレークを発生させるアドレスを指定します。BAR の A23 ビット～A1 ビットは、それぞれ内部アドレスバスの A23～A1 と比較されます。

ブレークアドレスは、命令の第 1 バイトが存在するアドレスに設定してください。その他のアドレスでは、条件成立とみなされない場合があります。

なお、ノーマルモードの場合は、アドレス A23～A16 は比較されません。

BARC ビット 0：リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

5.3 割り込み要因

割り込み要因には、外部割り込み（NMI、IRQ7～IRQ0）と内部割り込みがあります。

5.3.1 外部割り込み

外部割り込みには、NMI、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 、 $\overline{\text{KIN15}} \sim \overline{\text{KIN0}}$ 、 $\overline{\text{WUE7}} \sim \overline{\text{WUE0}}$ の 33 本の入力端子（実端子は 31 本）からの 9 要因があります。WUE7～WUE0 および KIN15～KIN8 は IRQ7、KIN7～KIN0 は IRQ6 と兼用になっています。このうち、NMI、IRQ7、IRQ6、IRQ2～IRQ0 はソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

NMI は最優先の割り込みで、割り込み制御モードや、CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

NMI 割り込み例外処理のベクタ番号は 7 です。

(2) IRQ7～IRQ0 割り込み

IRQ7～IRQ0 割り込みは $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の入力信号により要求されます。IRQ7～IRQ0 割り込みには次の特長があります。

- (a) $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子の Low レベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれかで割り込みを要求するか、ISCR で選択できます。
- (b) IRQ7～IRQ0 割り込み要求を許可するか禁止するかを、IER で選択できます。
- (c) ICR により割り込みコントロールレベルを設定できます。
- (d) IRQ7～IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ7～IRQ0 割り込みのブロック図を図 5.3 に示します。

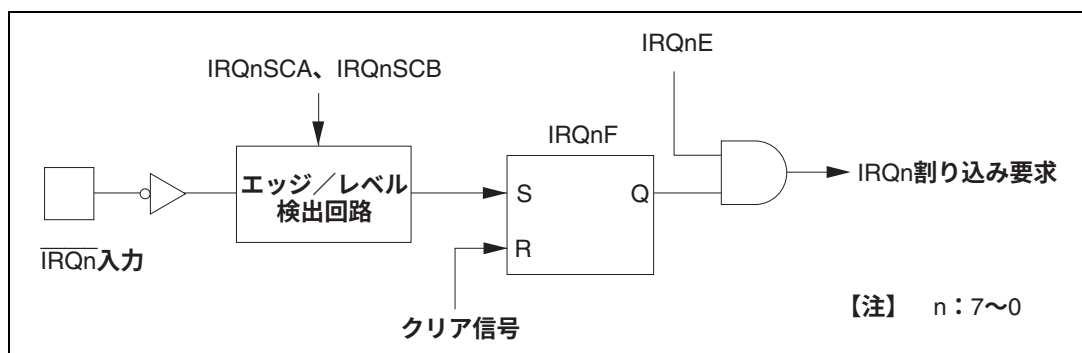


図 5.3 IRQ7～IRQ0 割り込みのブロック図

IRQnF のセットタイミングを図 5.4 に示します。

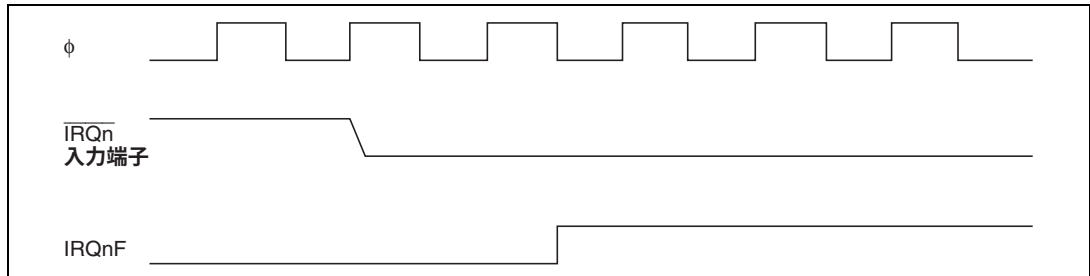


図 5.4 IRQnF のセットタイミング

IRQ7～IRQ0 割り込み例外処理のベクタ番号は、23～16 です。

IRQ7～IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアして、そのほかの機能の入出力端子としては使用しないでください。

IRQ6 端子を IRQ6 割り込み入力端子として使用する場合は、KMIMR6 ビットを 0 にクリアしてください。

また、 $\overline{\text{IRQ7}}$ 端子を IRQ7 割り込み入力端子として使用する場合は、必ず KMIMR15～KMIMR8 および WUEMR7～WUEMR0 の各ビットをすべて 1 にセットしてください。どれか 1 ビットでも 0 にクリアされていると、IRQ7 端子からの IRQ7 割り込み入力が無視されます。

割り込み要求フラグ IRQ7F～IRQ0F は、IER の設定にかかわらずセット条件を満たしたときにセットされますので、必要なフラグのみ参照してください。

(3) KIN15～KIN0 割り込み、WUE7～WUE0 割り込み

KIN15～KIN0 割り込みおよび WUE7～WUE0 割り込みは、 $\overline{\text{KIN15}}\sim\overline{\text{KIN0}}$ 端子および $\overline{\text{WUE7}}\sim\overline{\text{WUE0}}$ 端子の入力信号により要求されます。 $\overline{\text{KIN15}}\sim\overline{\text{KIN0}}$ 端子および $\overline{\text{WUE7}}\sim\overline{\text{WUE0}}$ 端子をキーセンス入力またはウェイクアップイベントとして使用する場合、対応する KMIMR ビットおよび WUEMR ビットは、そのキーセンス入力割り込みおよびウェイクアップイベント割り込みを許可するために、0 にクリアしてください。残りの使用していないキーセンス入力の KMIMR ビットおよび WUEMR ビットは、その割り込みを禁止するために 1 にセットしてください。WUE7～WUE0 割り込みおよび KIN15～KIN8 割り込みは IRQ7 割り込み、KIN7～KIN0 割り込みは IRQ6 割り込みとなります。割り込み要求発生の端子条件、割り込み要求の許可、割り込みコントロールレベルの設定、および割り込み要求のステータス表示は、IRQ7 および IRQ6 割り込みの各設定、表示に従います。

なお、 $\overline{\text{KIN7}}\sim\overline{\text{KIN0}}$ 端子あるいは $\overline{\text{KIN15}}\sim\overline{\text{KIN8}}$ 端子および $\overline{\text{WUE7}}\sim\overline{\text{WUE0}}$ 端子をキーセンス割り込みおよびウェイクアップイベント割り込み入力端子として使用する場合は、それぞれの対応する割り込み要因 (IRQ6 あるいは IRQ7) の割り込みセンス条件を、必ず Low レベルセンスまたは立ち下がりエッジセンスに設定してください。

5.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みには 48 要因があります。また、ソフトウェアによる割り込み（アドレスブレイク）が 1 要因あります。

- (1) 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。これらがいずれも 1 にセットされると割り込み要求が割り込みコントローラに要求されます。
- (2) ICRによって割り込みコントロールレベルを設定できます。
- (3) FRT、TMR、SCIなどの割り込み要求によりDTCの起動ができます。
割り込みによりDTCの起動を行う場合、割り込み制御モードや、CPUの割り込みマスクビットの影響を受けません。

5.3.3 割り込み例外処理ベクタテーブル

表 5.4 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。

モジュール間の優先順位は、ICR により設定することができます。2 つ以上のモジュールを同一の優先順位に設定した場合、また、モジュール内の優先順位は、表 5.4 のとおり固定です。

表 5.4 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス		ICR	優先 順位
			ノーマル モード	アドバンスト モード		
NMI	外部端子	7	H'000E	H'00001C		高 ↑
IRQ0		16	H'0020	H'000040	ICRA7	
IRQ1		17	H'0022	H'000044	ICRA6	
IRQ2		18	H'0024	H'000048	ICRA5	
IRQ3		19	H'0026	H'00004C		
IRQ4		20	H'0028	H'000050	ICRA4	
IRQ5		21	H'002A	H'000054		
IRQ6、KIN7～KIN0 IRQ7、KIN15～KIN8、WUE7～WUE0		22 23	H'002C H'002E	H'000058 H'00005C	ICRA3	
SWDTEND (ソフトウェア起動データ転送)	DTC	24	H'0030	H'000060	ICRA2	
WOVI0 (インターバルタイマ)	ウォッチドッグタイマ 0	25	H'0032	H'000064	ICRA1	
WOVI1 (インターバルタイマ)	ウォッチドッグタイマ 1	26	H'0034	H'000068	ICRA0	
アドレスブレーク (PC ブレーク)	—	27	H'0036	H'00006C		
ADI (A/D 変換終了)	A/D	28	H'0038	H'000070	ICRB7	
リザーブ	—	29 } 47	H'003A } H'005E	H'000074 } H'0000BC		
ICIA (インプットキャプチャ A) ICIB (インプットキャプチャ B) ICIC (インプットキャプチャ C) ICID (インプットキャプチャ D) OCIA (アウトプットコンペア A) OCIB (アウトプットコンペア B) FOVI (オーバフロー) リザーブ	フリーランニングタイマ	48 49 50 51 52 53 54 55	H'0060 H'0062 H'0064 H'0066 H'0068 H'006A H'006C H'006E	H'0000C0 H'0000C4 H'0000C8 H'0000CC H'0000D0 H'0000D4 H'0000D8 H'0000DC	ICRB6	
リザーブ	—	56 } 63	H'0070 } H'007E	H'0000E0 } H'0000FC		
CMIA0 (コンペアマッチ A) CMIB0 (コンペアマッチ B) OVI0 (オーバフロー) リザーブ	8 ビットタイマ チャンネル 0	64 65 66 67	H'0080 H'0082 H'0084 H'0086	H'000100 H'000104 H'000108 H'00010C	ICRB3	低 ↓

5.4 アドレスブレイク

5.4.1 特長

本 LSI では、ABRKCR、BAR の設定により、CPU による特定アドレスのプリフェッチを判定し、アドレスブレイク割り込みを発生させることができます。このアドレスブレイク割り込みが発生すると、アドレスブレイク割り込み例外処理を実行します。

本機能により、プログラム上のバグの箇所の実行開始を検出し修正プログラムへ分岐するなどの応用が可能です。

5.4.2 ブロック図

アドレスブレイクのブロック図を図 5.5 に示します。

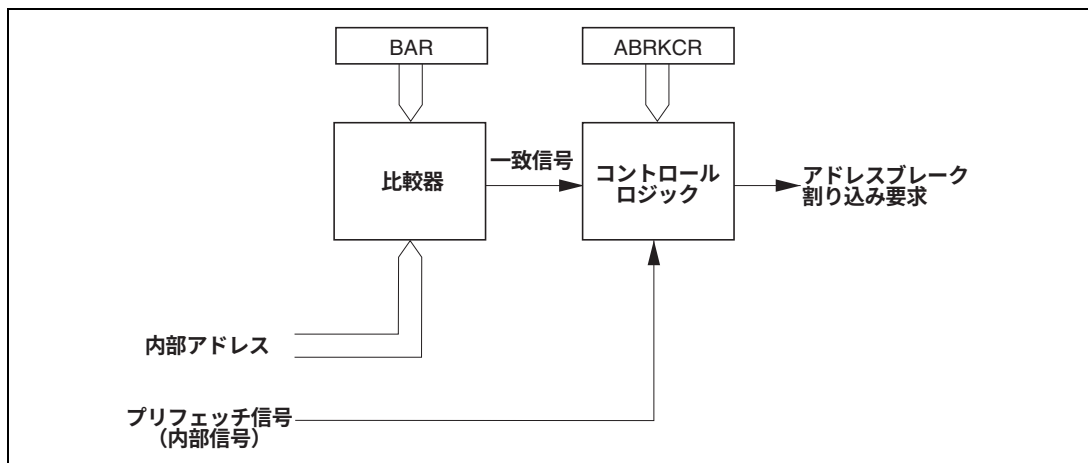


図 5.5 アドレスブレイクのブロック図

5.4.3 動作説明

ABRKCR、BAR の設定により、BAR に設定されたアドレスを CPU がプリフェッチしたときに、アドレスブレイク割り込みを発生させることができます。このアドレスブレイク機能は、プリフェッチした時点で割り込みコントローラに対して、割り込み要求を発生し、割り込みコントローラで優先順位を判定します。割り込みが受け付けられると、そのとき実行中の命令が終了したあと、割り込み例外処理を起動します。なお、アドレスブレイク割り込みでは CPU の CCR の I、UI ビットによる割り込みマスク制御は無効です。

アドレスブレイクを使用するときは、次に示すように各レジスタを設定します。

- [1] ブレイクアドレスをBARのA23～A1ビットに設定します。
- [2] ABRKCRのBIEビットを1にセットしてアドレスブレイクを許可します。
BIEビットを0にクリアしている場合、アドレスブレイクは要求されません。

設定条件が成立すると、ABRKCR の CMF フラグが1にセットされ、割り込みを要求します。割り込み処理ルーチンで、必要に応じて要因の判定を行ってください。

5.4.4 使用上の注意

- (1) アドレスブレイクでは、ブレイクアドレスを命令の第1バイトが存在するアドレスにしてください。その他のアドレスでは、条件成立とみなされない場合があります。
- (2) ノーマルモードの場合は、アドレスA23～A16は比較されません。
- (3) BARで設定したアドレスの直前の命令にブランチ命令（Bcc、BSR）、ジャンプ命令（JMP、JSR）、RTS命令、RTE命令を配置した場合、これらの命令の実行により当該アドレスに対するプリフェッチ信号が出力され、アドレスブレイクが要求される場合があります。これらの命令の直後のアドレスに対するブレイクアドレスの設定を行わない、あるいは割り込み処理ルーチンで、本来の条件成立による割り込み処理であったかの判定を行う、などの対策が必要です。
- (4) アドレスブレイク割り込みは、内部プリフェッチ信号とアドレスの組み合わせにより発生しますので、設定したアドレスの命令および直前の命令の内容、実行サイクルにより、割り込み例外処理の入るタイミングが異なります。図5.6にアドレスタイミング例を示します。

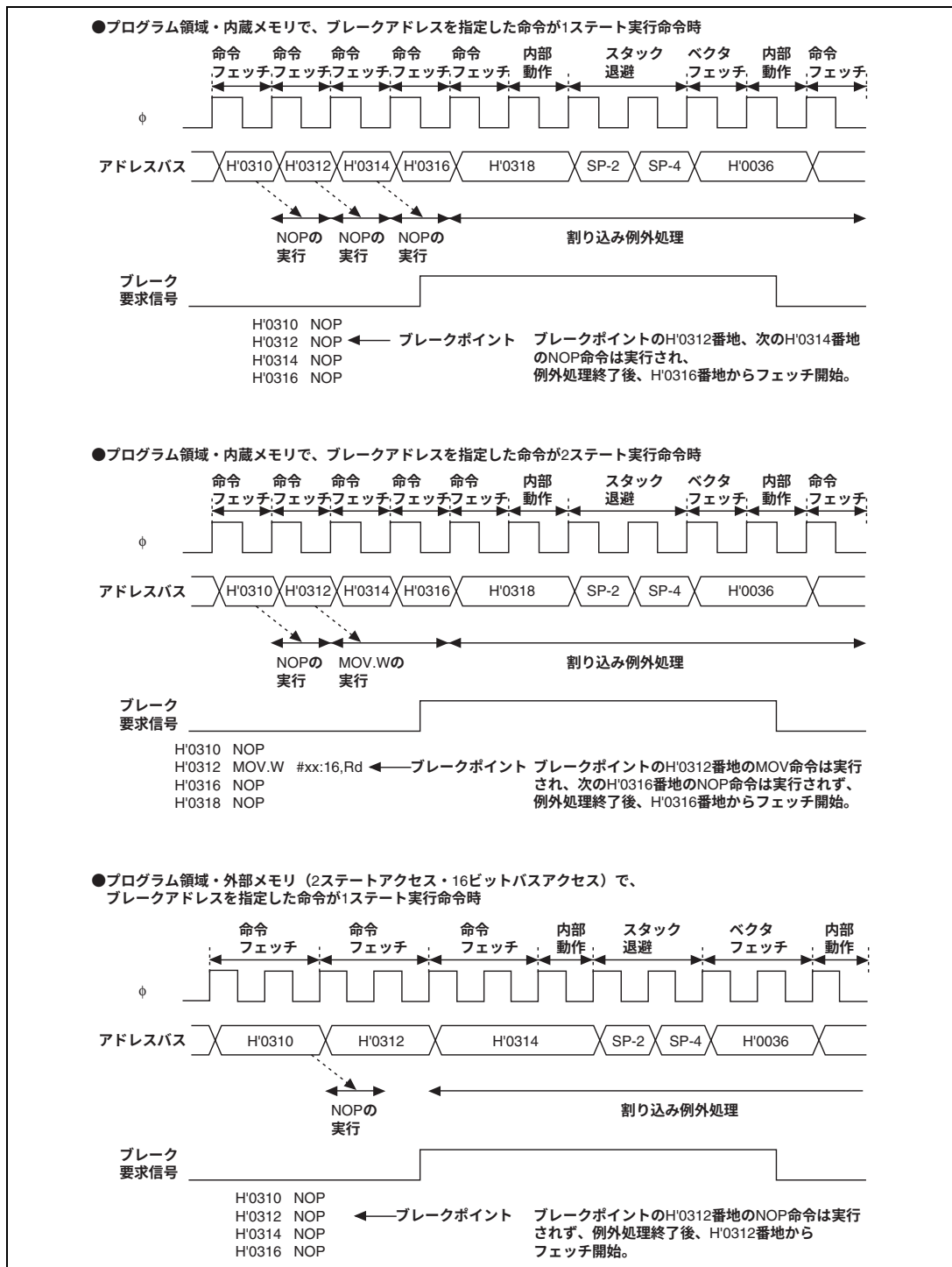


図 5.6 アドレスブレークタイミング例

5.5 割り込み動作

5.5.1 割り込み制御モードと割り込み動作

本 LSI の割り込みの動作は、割り込み制御モードによって異なります。

NMI 割り込みおよびアドレスブレイク割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込み、および内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は禁止されます。イネーブルビットを 1 にセットした割り込み要因が、割り込みコントローラで制御されます。

表 5.5 に割り込み制御モードを示します。

SYSCR の INTM1、INTM0 ビットによる割り込み制御モードの設定、ICR による割り込み優先順位の設定、および CPU の CCR の I、UI ビットによるマスク状態に基づいて、割り込みコントローラは割り込みを制御します。

表 5.5 割り込み制御モード

割り込み制御モード	SYSCR		優先順位設定レジスタ	割り込みマスクビット	説 明
	INTM1	INTM0			
0	0	0	ICR	I	I ビットにより、割り込みマスク制御を行います。ICR により、優先順位の設定ができます。
1		1	ICR	I、UI	I、UI ビットにより、3 レベルの割り込みマスク制御を行います。ICR により、優先順位の設定ができます。

図 5.7 に優先順位判定回路のブロック図を示します。

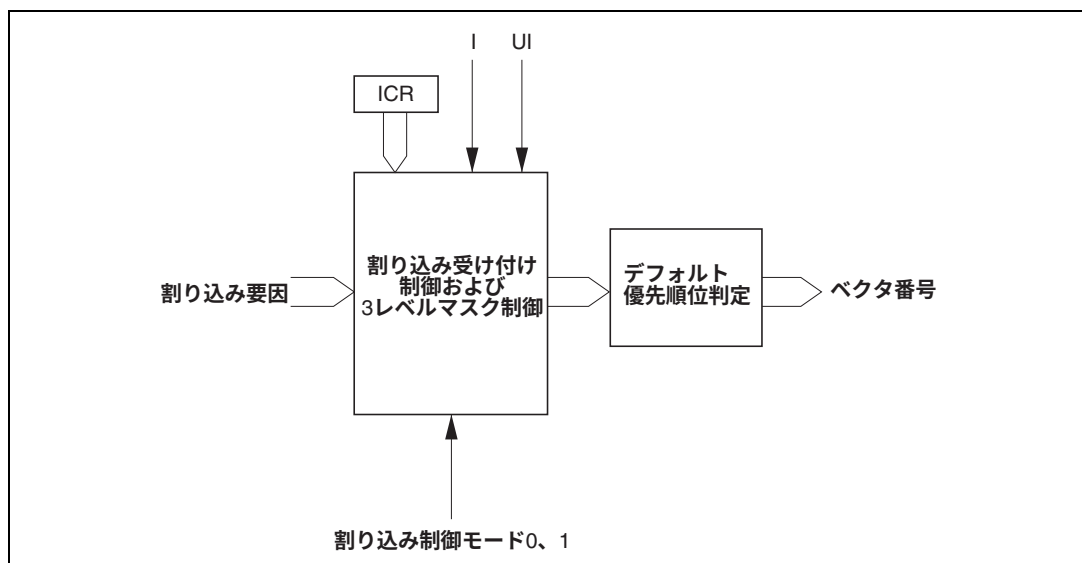


図 5.7 割り込み制御動作のブロック図

(1) 割り込み受け付け制御および3レベル制御

割り込み制御モード0、1のとき、CCRのI、UIビット、およびICR（コントロールレベル）により割り込み受け付け制御、3レベルのマスク制御を行います。

表5.6に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.6 割り込み制御モードと選択される割り込み

割り込み制御モード	割り込みマスクビット		選択される割り込み
	I	UI	
0	0	*	すべての割り込み（コントロールレベル1を優先）
	1	*	NMI割り込み、アドレスブレイク割り込み
1	0	*	すべての割り込み（コントロールレベル1を優先）
	1	0	NMI、アドレスブレイク割り込みおよびコントロールレベル1の割り込み
		1	NMI、アドレスブレイク割り込み

【記号説明】

*：Don't care

(2) デフォルト優先順位判定

選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

ICRに対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択し、ベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位をもった割り込み要因は保留されます。

表5.7に割り込み制御モードと動作および制御信号機能を示します。

表 5.7 割り込み制御モードと動作および制御信号機能

割り込み制御モード	設 定		割り込み受け付け制御 3レベル制御				デフォルト優先順位 判定	T (トレース)
	INTM1	INTM0		I	UI	ICR		
0	0	0	○	IM	—	PR	○	—
1		1	○	IM	IM	PR	○	—

【記号説明】

○：割り込み動作制御を行います。

IM：割り込みマスクビットとして使用。

PR：優先順位を設定。

—：使用しません。

5.5.2 割り込み制御モード 0

IRQ 割り込み、および内蔵周辺モジュールの割り込みは CPU の CCR の I ビット、および ICR によって許可または禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。コントロールレベル 1 の割り込み要因の優先順位は高くなります。

この場合の割り込み受け付けの動作フローチャートを図 5.8 に示します。

- [1] 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [2] 割り込みコントローラに対して割り込み要求が送られると、ICR に設定された割り込みコントロールレベルにしたがってコントロールレベル 1 の割り込みが優先的に選択され、その他は保留となります。このとき、割り込みコントロールレベルを同一に設定した割り込み要求が同時に複数発生したときは、表 5.4 に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [3] I ビットを参照します。I ビットが 0 にクリアされているときは、割り込み要求が受け付けられます。I ビットが 1 にセットされているときは、NMI とアドレスブレイク割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了したあと、割り込み例外処理を起動します。
- [5] 割り込み例外処理によって、PC と CCR がスタック領域に退避されます。退避される PC は、リターン後に実行する最初の命令のアドレスを示しています。
- [6] 次に CCR の I ビットが 1 にセットされます。これにより、NMI とアドレスブレイクを除く割り込みは禁止されます。
- [7] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

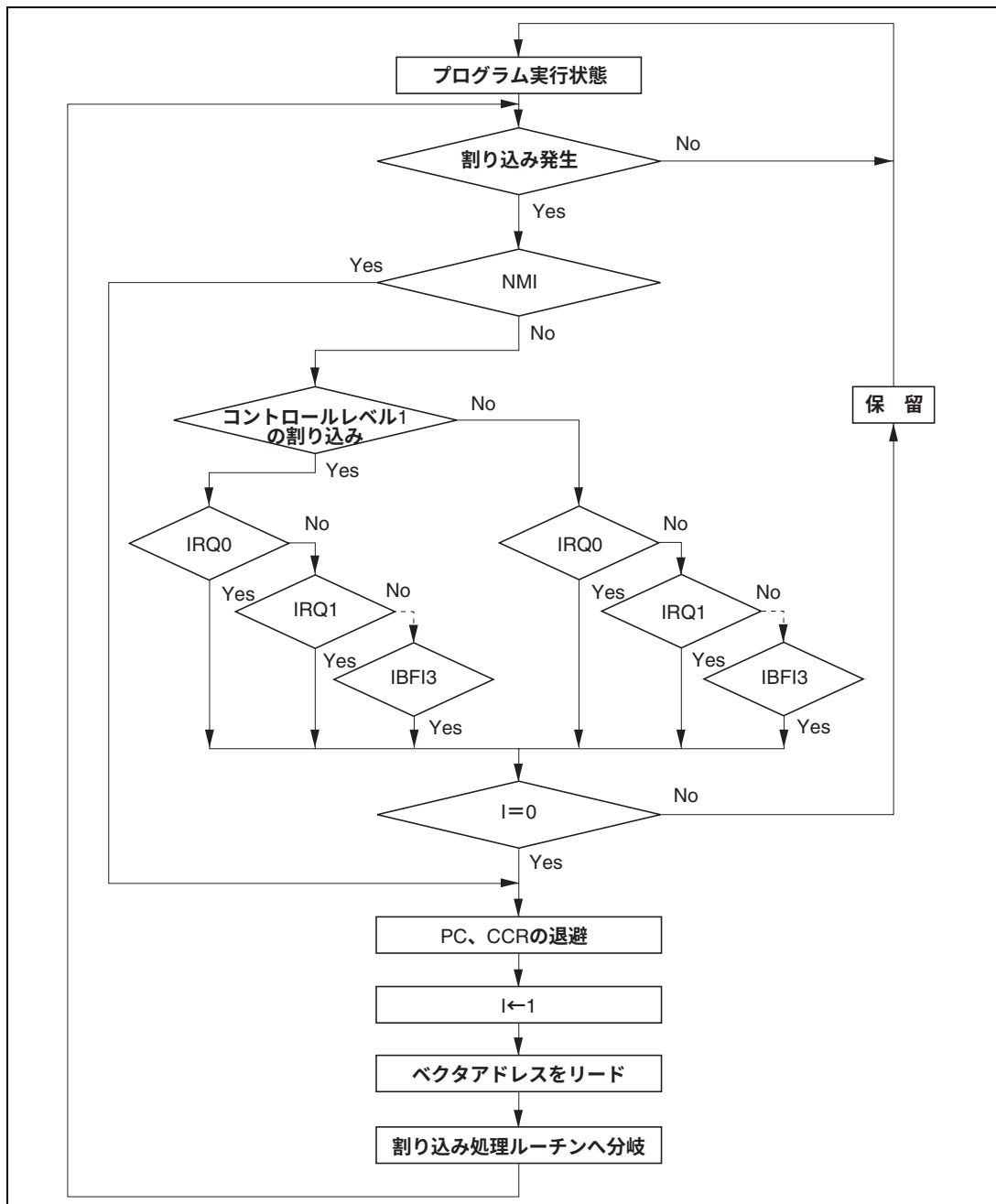


図 5.8 割り込み制御モード 0 の割り込み受け付けまでのフロー

5. 割り込みコントローラ

5.5.3 割り込み制御モード 1

IRQ 割り込み、および内蔵周辺モジュールの割り込みは、CPU の CCR の I、UI ビット、および ICR によって、3 レベルのマスキングレベルを実現できます。

- (1) コントロールレベル0の割り込み要求は、Iビットが0にクリアされているとき許可状態、1にセットされているとき禁止状態となります。
- (2) コントロールレベル1の割り込み要求は、IビットまたはUIビットが0にクリアされているとき許可状態、Iビット、およびUIビットがいずれも1にセットされているとき禁止状態となります。

たとえば、各割り込み要求の対応する割り込みイネーブルビットを 1 にセット、ICRA～ICRC をそれぞれ H'20、H'00、H'00 に設定した場合（IRQ2、IRQ3 割り込みをコントロールレベル 1 に、その他の割り込みをコントロールレベル 0 に設定した場合）、次のようになります。

- (1) I=0のとき、すべての割り込みを許可
(優先順位：NMI>IRQ2>IRQ3>アドレスブレイク>IRQ0>IRQ1…)
- (2) I=1、UI=0のとき、NMI、IRQ2、IRQ3、アドレスブレイクの割り込みのみを許可
- (3) I=1、UI=1のとき、NMIとアドレスブレイク割り込みのみを許可

また、このときの状態遷移を図 5.9 に示します。

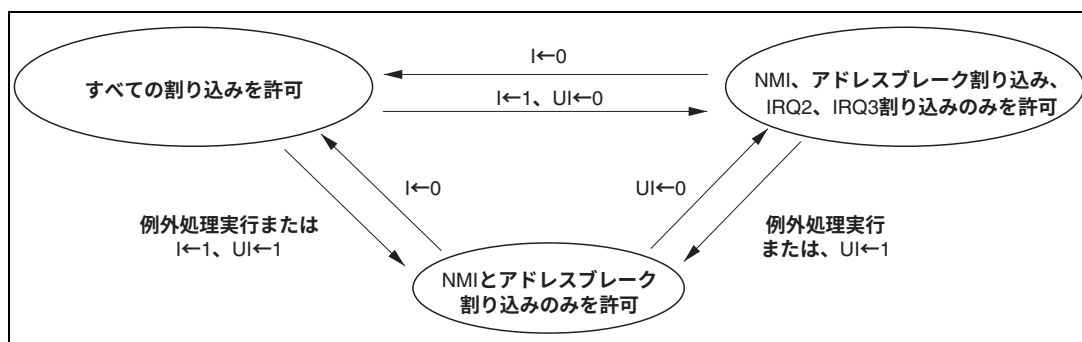


図 5.9 割り込み制御モード 1 の状態遷移例

このときの割り込み受け付けの動作フローチャートを図 5.10 に示します。

- [1] 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [2] 割り込みコントローラに対して割り込み要求が送られると、ICRに設定された割り込みコントロールレベルにしたがってコントロールレベル1の割り込みが優先的に選択され、その他は保留となります。このとき、割り込みコントロールレベルを同一に設定した割り込み要求が同時に複数発生したときは、表5.4に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [3] Iビットを参照します。Iビットが0にクリアされているときは、UIビットの影響を受けません。割り込みコントロールレベル0の割り込み要求は、Iビットが0にクリアされているときに受け付けられます。Iビットが1にセットされているときはNMIとアドレスブレイク割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
割り込みコントロールレベル1の割り込み要求は、割り込みコントロールレベル0の割り込み要求よりも優先的に受け付けられ、Iビットが0にクリアされているとき、またはIビットが1にセットされ、UIビットが0にクリアされているときに受け付けられます。
I、UIビットがいずれも1にセットされているときはNMIとアドレスブレイク割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了したあと、割り込み例外処理を起動します。
- [5] 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- [6] 次にCCRのI、UIビットが1にセットされます。これにより、NMIとアドレスブレイクを除く割り込みは禁止されます。
- [7] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

5. 割り込みコントローラ

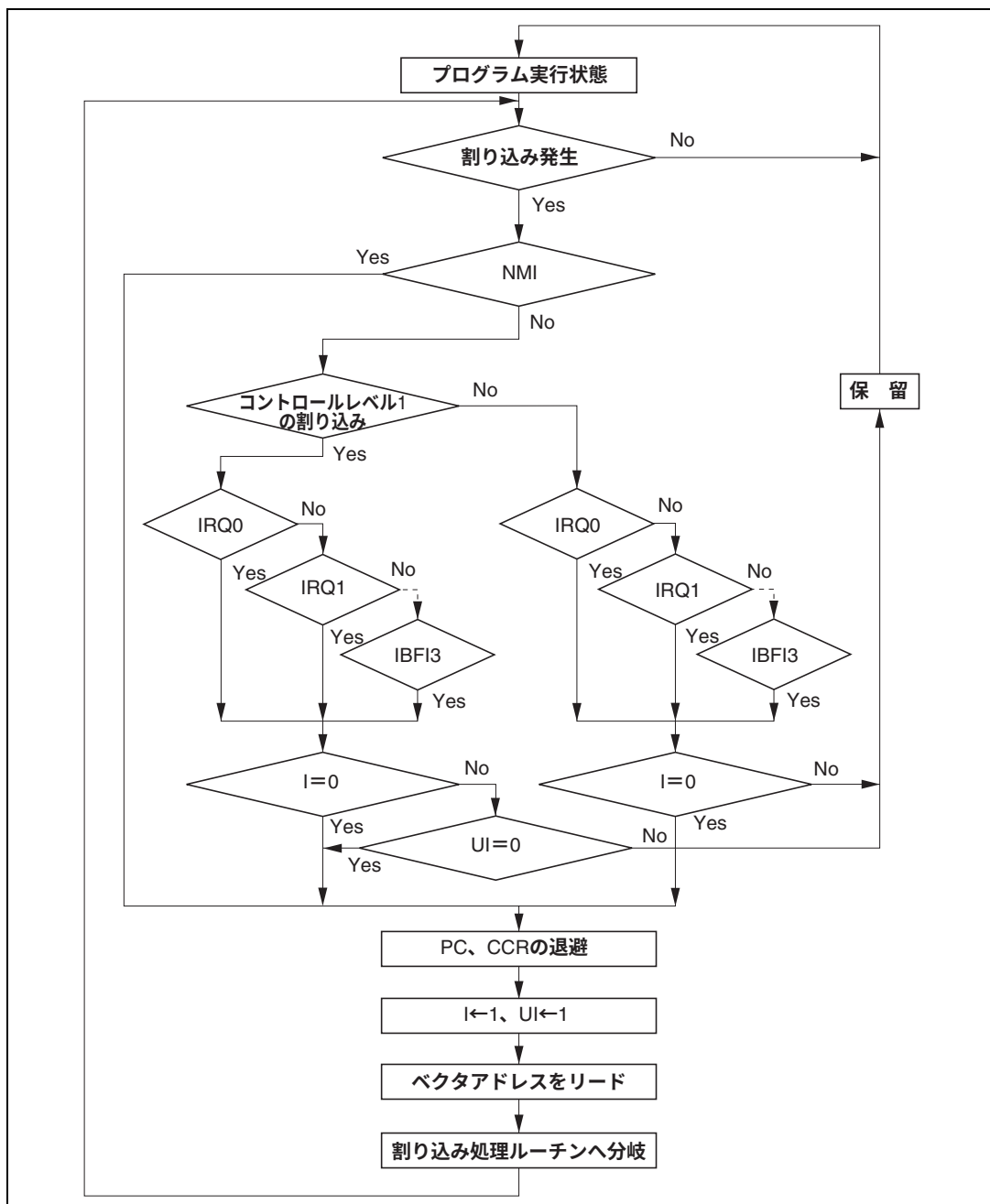


図 5.10 割り込み制御モード 1 の割り込み受け付けまでのフロー

5.5.4 割り込み例外処理シーケンス

図 5.11 に、割り込み例外処理シーケンスを示します。アドバンストモードで割り込み制御モード 0 とし、プログラム領域およびスタック領域を内蔵メモリとした場合の例です。

5. 割り込みコントローラ

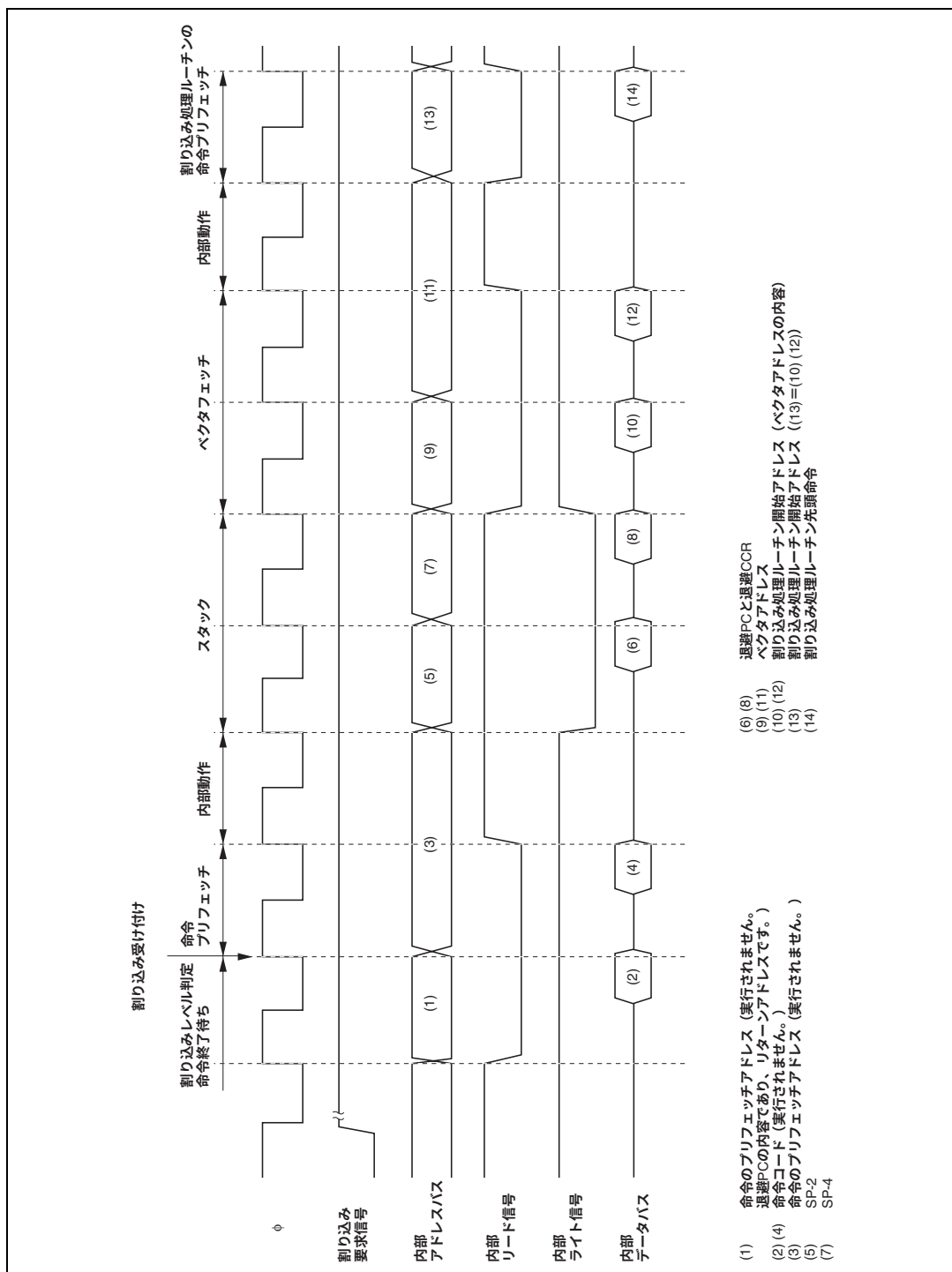


図 5.11 割り込み例外処理

5.5.5 割り込み応答時間

本 LSI では、内蔵メモリに対する高速ワードアクセスを可能にしており、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることにより、処理速度の向上を図ることができます。

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.8 に示します。表 5.8 の実行状態の記号については表 5.9 を参照してください。

表 5.8 割り込み応答時間

No.	実行状態	ノーマルモード	アドバンスモード
1	割り込み優先順位判定 ^{*1}	3	
2	実行中の命令が終了するまでの待ちステート数 ^{*2}	$1 \sim (19 + 2 \cdot S_i)$	
3	PC、CCR のスタック	$2 \cdot S_K$	$2 \cdot S_K$
4	ベクタフェッチ	S_i	$2 \cdot S_i$
5	命令フェッチ ^{*3}	$2 \cdot S_i$	
6	内部処理 ^{*4}	2	
合計（内蔵メモリ使用時）		11～31	12～32

【注】 *1 内部割り込みの場合 2 ステートとなります。

*2 MULXS、DIVXS 命令について示しています。

*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。

*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

表 5.9 割り込み例外処理の実行状態のステート数

記 号	アクセス対象				
	内部メモリ	外部デバイス			
		8 ビットバス		16 ビットバス	
		2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
命令フェッチ S_i	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード S_i					
スタック操作 S_K					

【記号説明】

m：外部デバイスアクセス時のウェイトステート数

5.6 使用上の注意

5.6.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後に有効になります。

すなわち、BCLR 命令、MOV 命令等で割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。

割り込み要因フラグを0にクリアする場合も同様です。

8ビットタイマのTCRのCMIEAビットを0にクリアする場合の例を図5.12に示します。

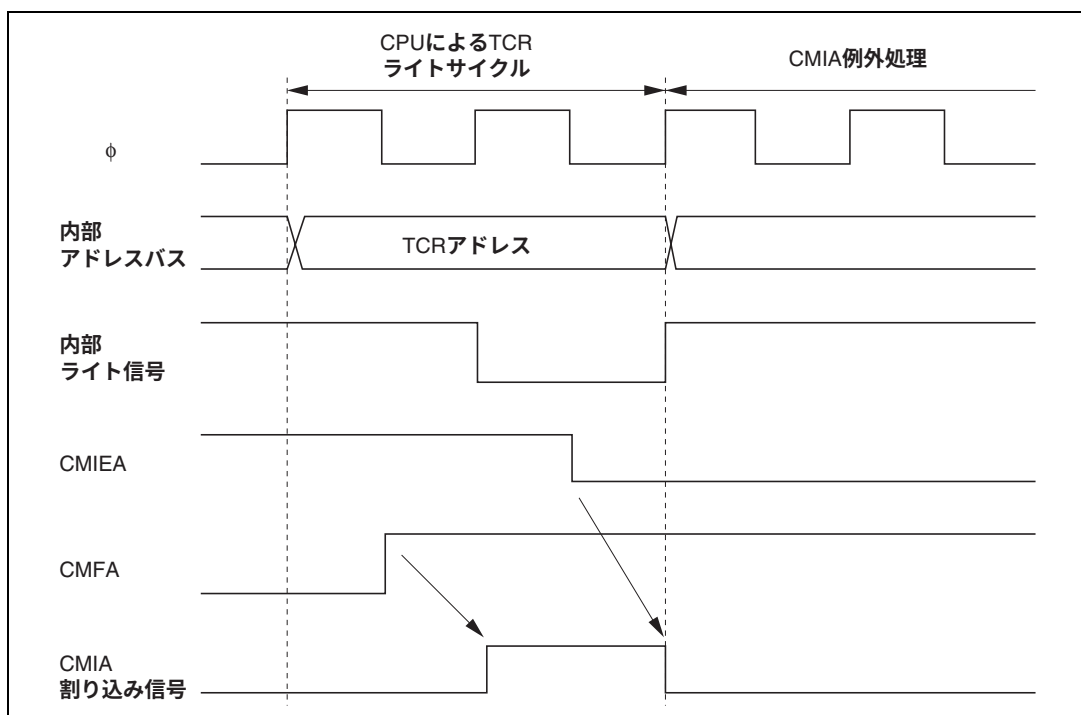


図 5.12 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

5.6.2 割り込みを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は、NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットまたは UI ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.6.3 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1: EEPMOV.W
    MOV.W    R4, R4
    BNE      L1
```

5.7 割り込みによる DTC の起動

5.7.1 概要

割り込みにより、DTC を起動することができます。この場合、以下の選択を行うことができます。

- (1) CPUに対する割り込み要求
- (2) DTCに対する起動要求
- (3) (1) ~ (2) の複数の選択

なお、DTC を起動できる割り込み要求については、「第7章 データトランスファコントローラ (DTC)」を参照してください。

5.7.2 ブロック図

図 5.13 に、DTC と割り込みコントローラのブロック図を示します。

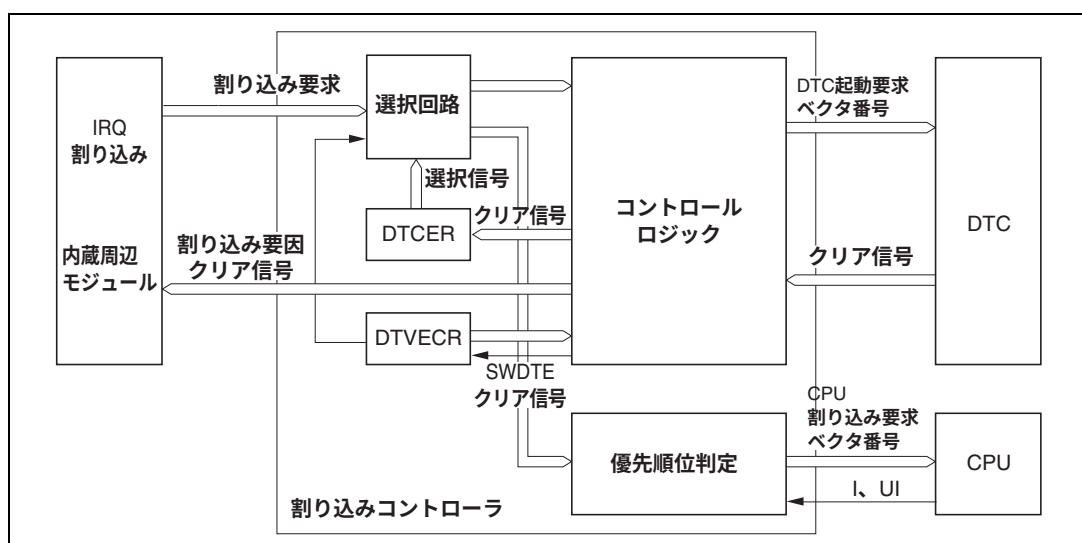


図 5.13 DTC と割り込み制御

5.7.3 動作説明

DTC 制御の割り込みコントローラの機能は 3 つに大別されます。

(1) 割り込み要因の選択

割り込み要因は、DTC の DTCERA～DTCERE の DTCE ビットにより、DTC 起動要求とするか、CPU 割り込み要求とするかを選択します。

DTC の MRB の DISEL ビットの指定により、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い、転送カウンタが 0 になった場合には、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求します。

(2) 優先順位判定

DTC の起動要因はデフォルトの優先順位にしたがって選択されます。マスキレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、「7.3.3 DTC ベクタテーブル」を参照してください。

(3) 動作順序

同一の割り込みを、DTC の起動要因と CPU の割り込み要因に選択した場合、DTC のデータ転送が行われ、その後、CPU の割り込み例外処理が行われます。

表 5.10 に、DTC の DTCERA～DTCERE の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.10 割り込み要因の選択とクリア制御

設定内容		割り込み要因選択・クリア制御	
DTC			
DTCE	DISEL	DTC	CPU
0	*	×	◎
1	0	◎	×
	1	○	◎

【記号説明】

- ◎：当該割り込みを使用します。割り込み要因のクリアを行います。
(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)
- ：当該割り込みを使用します。割り込み要因をクリアしません。
- ×
- ×：当該割り込みは使用できません。
- *：Don't care

(4) 使用上の注意

SCI、IIC、および A/D 変換器の割り込み要因は、DTC が所定のレジスタをリード／ライトしたときにクリアされ、DISEL ビットには依存しません。

6. バスコントローラ

6.1 概要

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間のバス幅、アクセスステート数などのバス仕様を設定することが可能です。

また、バスコントローラはバス調停権機能をもっており、内部バスマスタである CPU、データトランスファコントローラ (DTC) の動作を制御します。

6.1.1 特長

バスコントローラの特長を以下に示します。

■基本バスインタフェース

- 2 ステートアクセス空間／3 ステートアクセス空間を選択可能
- プログラムウェイトステートを挿入可能

■バースト ROM インタフェース

- 外部空間をバースト ROM インタフェースに設定可能
- バーストアクセスの 1 または 2 ステートを選択可能

■アイドルサイクル挿入

- 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能

■バス権調停機能 (バスアービトレーション)

- バスアービタを内蔵し、CPU および DTC のバス権を調停

6. バスコントローラ

6.1.2 ブロック図

バスコントローラのブロック図を図 6.1 に示します。

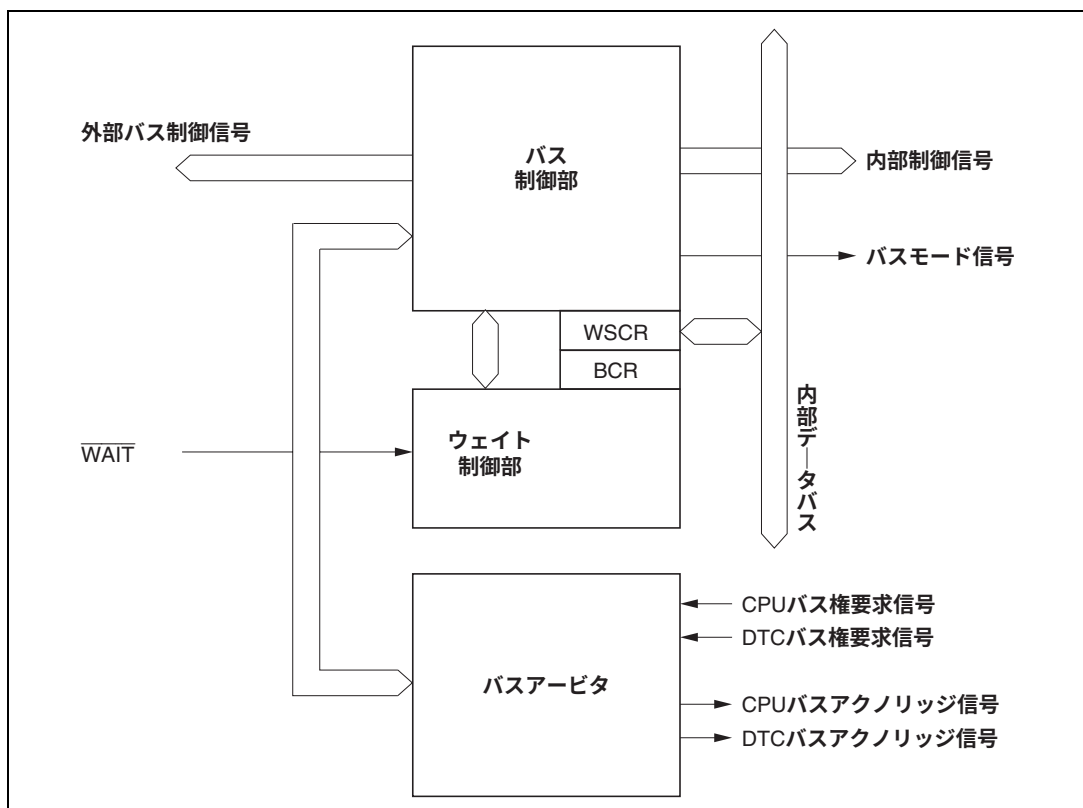


図 6.1 バスコントローラのブロック図

6.1.3 端子構成

表 6.1 にバスコントローラの端子構成を示します。

表 6.1 端子構成

名 称	記号	入出力	機 能
アドレスストローブ	AS	出力	アドレスバス上のアドレス出力が有効であることを示すストローブ信号。(IOSE ビットが 0 の場合)
I/O セレクト	IOS	出力	I/O セレクト信号 (IOSE ビットが 1 の場合)
リード	RD	出力	外部空間をリードしていることを示すストローブ信号。
ハイライト	HWR	出力	外部空間をライトし、データバスの上位 (D15～D8) が有効であることを示すストローブ信号。
ロウライト	LWR	出力	外部空間をライトし、データバスの下位 (D7～D0) が有効であることを示すストローブ信号。
ウェイト	WAIT	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号。

6.1.4 レジスタ構成

表 6.2 にバスコントローラのレジスタ構成を示します。

表 6.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
バスコントロールレジスタ	BCR	R/W	H'D7	H'FFC6
ウェイトステートコントロールレジスタ	WSCR	R/W	H'33	H'FFC7

【注】 * アドレスの下位 16 ビットを示しています。

6.2 各レジスタの説明

6.2.1 バスコントロールレジスタ (BCR)

ビット：	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	—	IOS1	IOS0
初期値：	1	1	0	1	0	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCR は 8 ビットのリード／ライト可能なレジスタで、外部メモリ空間のアクセスモード、 $\overline{AS}$ 端子を I/O ストロープ機能に設定した場合の I/O 領域の範囲を設定します。

BCR は、リセットおよびハードウェアスタンバイモード時に、H'D7 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7：アイドルサイクル挿入 1 (ICIS1)

リザーブビットです。0 をライトしないでください。

ビット 6：アイドルサイクル挿入 0 (ICIS0)

外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。

ビット 6	説 明
ICIS0	
0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

ビット 5：バースト ROM イネーブル (BRSTRM)

外部空間をバースト ROM インタフェースとするかを選択します。すべての外部空間が選択対象になります。

ビット 5	説 明
BRSTRM	
0	基本バスインタフェース (初期値)
1	バースト ROM インタフェース

ビット4：バーストサイクルセレクト1 (BRSTS1)

バースト ROM インタフェースのバーストサイクル数を選択します。

ビット4	説 明
BRSTS1	
0	バーストサイクルは1 ステート
1	バーストサイクルは2 ステート (初期値)

ビット3：バーストサイクルセレクト0 (BRSTS0)

バースト ROM インタフェースのバーストアクセス可能なワード数を選択します。

ビット3	説 明
BRSTS0	
0	バーストアクセスは最大4 ワード (初期値)
1	バーストアクセスは最大8 ワード

ビット2：リザーブビット

リザーブビットです。0 をライトしないでください。

ビット1、0：IOS セレクト1、0 (IOS1、IOS0)

表 6.4 を参照してください。

6.2.2 ウェイトステートコントロールレジスタ (WSCR)

ビット：	7	6	5	4	3	2	1	0
	RAMS	RAM0	ABW	AST	WMS1	WMS0	WC1	WC0
初期値：	0	0	1	1	0	0	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

WSCR は8ビットのリード／ライト可能なレジスタで、外部メモリ空間のデータバス幅、外部メモリ空間のアクセスステート数、および、外部メモリ空間のウェイトモードとウェイトステート数を設定します。内蔵メモリおよび内部 I/O レジスタのバス幅およびアクセスステート数は WSCR の設定値にかかわらず固定です。

WSCR は、リセットおよびハードウェアスタンバイモード時に、H'33 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7：RAM セレクト (RAMS) ／ビット6：RAM エリア設定 (RAM0)

リザーブビットです。ライトするときは必ず0 をライトしてください。

6. バスコントローラ

ビット 5：バス幅コントロール (ABW)

外部メモリ空間を 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。

ビット 5	説 明
ABW	
0	外部メモリ空間を 16 ビットアクセス空間に設定
1	外部メモリ空間を 8 ビットアクセス空間に設定 (初期値)

ビット 4：アクセスステートコントロール (AST)

外部メモリ空間を 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。

同時に、ウェイトステートの挿入を許可または禁止します。

ビット 4	説 明
AST	
0	外部メモリ空間を 2 ステートアクセス空間に設定 外部メモリ空間のアクセスにウェイトステートの挿入を禁止
1	外部メモリ空間アクセスは 3 ステートアクセス 外部メモリ空間アクセスにウェイトステートの挿入を許可 (初期値)

ビット 3、2：ウェイトモードセレクト 1、0 (WMS1、WMS0)

AST ビットが 1 にセットされた状態で、外部メモリ空間をアクセスするときの、ウェイトモードを選択します。

ビット 3	ビット 2	説 明
WMS1	WMS0	
0	0	プログラムウェイトモード (初期値)
	1	ウェイト禁止モード
1	0	端子ウェイトモード
	1	端子オートウェイトモード

ビット 1、0：ウェイトカウント 1、0 (WC1、WC0)

AST ビットが 1 にセットされた状態で、外部メモリ空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 1	ビット 0	説 明
WC1	WC0	
0	0	プログラムウェイトを挿入しない
	1	外部メモリ空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	外部メモリ空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	外部メモリ空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

6.3 バス制御の概要

6.3.1 バス仕様

外部空間のバス仕様は、(1) バス幅、(2) アクセスステート数、(3) ウェイトモード・プログラムウェイトステート数、の3つの要素で構成されます。

なお、内蔵メモリ、内部 I/O レジスタは、バス幅・アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅は、ABW ビットにより、8 ビットまたは 16 ビットを選択します。

(2) アクセスステート数

アクセスステート数は、AST ビットにより、2 ステートまたは 3 ステートを選択します。

2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

バースト ROM インタフェースでは、AST ビットによらず、アクセスステートが決まります。

(3) ウェイトモード・プログラムウェイトステート数

AST ビットによって 3 ステートアクセス空間に設定したとき、WMS1、WMS0、WC1、WC0 により、ウェイトモードおよび自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0～3 ステートを選択可能です。

基本バスインタフェースの各エリアのバス仕様を表 6.3 に示します。

6. バスコントローラ

表 6.3 各エリアのバス仕様（基本バスインタフェース）

ABW	AST	WMS1	WMS0	WC1	WC0	バス仕様（基本バスインタフェース）		
						バス幅	アクセス ステート数	プログラム ウェイト ステート数
0	0	—	—	—	—	16	2	0
	1	0	1	—	—	16	3	0
		—*	—*	0	0		3	0
					1			1
				1	0			2
					1			3
1	0	—	—	—	—	8	2	0
	1	0	1	—	—	8	3	0
		—*	—*	0	0		3	0
					1			1
				1	0			2
					1			3

【注】 * WMS1=0 かつ WMS0=1 を除く

6.3.2 アドバンストモード

外部空間の初期状態は、基本バスインタフェースかつ3ステートアクセス空間になっています。ROM有効拡張モードでは、内蔵ROM、内蔵RAMおよび内部I/Oレジスタを除いた空間が外部空間となります。なお、内蔵RAMはシステムコントロールレジスタ（SYSCR）のRAMEビットを1にセットしたとき有効で、RAMEビットを0にクリアすると、内蔵RAMは無効になり、対応するアドレスは外部空間になります。

6.3.3 ノーマルモード

外部メモリ空間の初期状態は、基本バスインタフェースかつ3ステートアクセス空間になっています。ROM無効拡張モードでは、内蔵RAMおよび内部I/Oレジスタを除いた空間が外部空間となります。ROM有効拡張モードでは、内蔵ROM、内蔵RAMおよび内部I/Oレジスタを除いた空間が外部空間となります。なお、内蔵RAMはシステムコントロールレジスタ（SYSCR）のRAMEビットを1にセットしたとき有効で、RAMEビットを0にクリアすると、内蔵RAMは無効になり、対応するアドレスは外部空間になります。

6.3.4 I/O セレクト信号

本 LSI は、IO セレクト信号 ($\overline{\text{IOS}}$) を出力することができ、設定された外部空間をアクセスしたとき、Low レベルを出力します。

図 6.2 に、 $\overline{\text{IOS}}$ 信号出力タイミング例を示します。

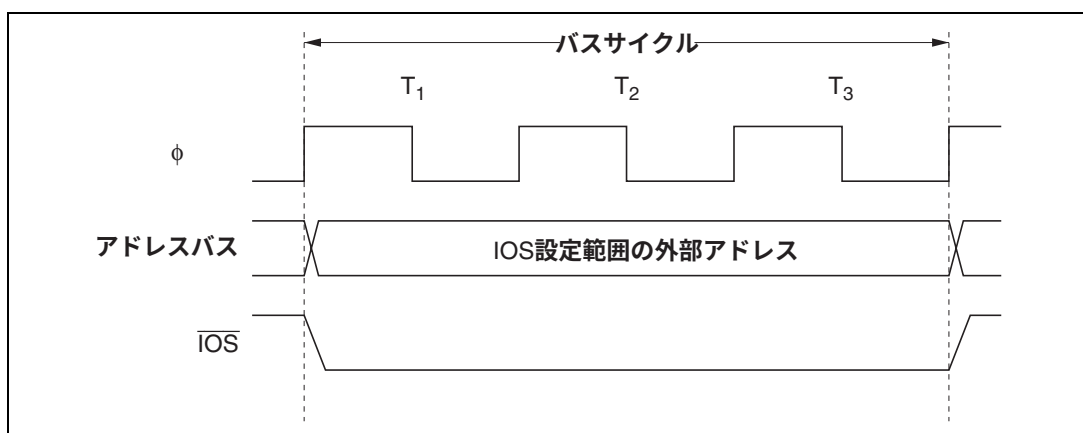


図 6.2 $\overline{\text{IOS}}$ 信号出力タイミング

$\overline{\text{IOS}}$ 信号の出力の許可または禁止は、SYSCR の IOSE ビットの設定により行います。

拡張モードでは、本端子はリセットにより $\overline{\text{AS}}$ 出力端子として動作しますので、 $\overline{\text{IOS}}$ 信号出力として動作させる場合には SYSCR レジスタ IOSE ビットを 1 にセットしてください。

詳細は「第 8 章 I/O ポート」を参照してください。

また、 $\overline{\text{IOS}}$ 信号を出力するアドレスの範囲は、BCR の IOS1、IOS0 ビットにより設定することができます。 $\overline{\text{IOS}}$ 信号のアドレス範囲を、表 6.4 に示します。

表 6.4 $\overline{\text{IOS}}$ 信号出力範囲の設定

IOS1	IOS0	IOS 信号出力範囲
0	0	H'(FF)F000~H'(FF)F03F
	1	H'(FF)F000~H'(FF)F0FF
1	0	H'(FF)F000~H'(FF)F3FF
	1	H'(FF)F000~H'(FF)F7FF (初期値)

6.4 基本バスインタフェース

6.4.1 概要

基本バスインタフェースは、ROM、SRAM などの直結が可能です。

ABW ビット、AST ビット、WMS1、WMS0、WC1、WC0 ビットによってバス仕様を選択できます。

表 6.3 を参照してください。

6.4.2 データサイズとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス（D15～D8）を使用するか、下位側データバス（D7～D0）を使用するかを、アクセスするエリアのバス仕様（8 ビットアクセス空間か 16 ビットアクセス空間）とデータサイズによって制御します。

(1) 8 ビットアクセス空間

図 6.3 に、8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス（D15～D8）を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

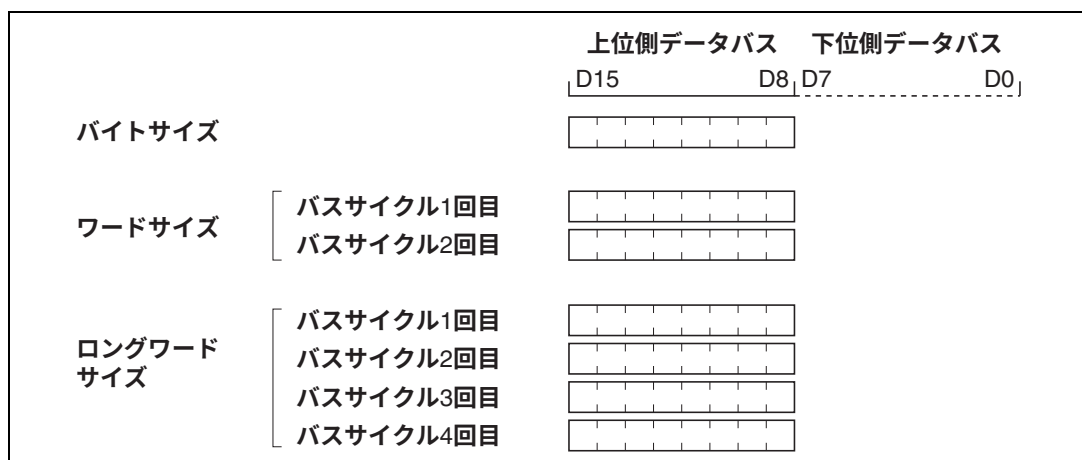


図 6.3 アクセスサイズとデータアライメント制御（8 ビットアクセス空間）

(2) 16 ビットアクセス空間

図 6.4 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス（D15～D8）および下位側データバス（D7～D0）を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスは、ワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数／奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

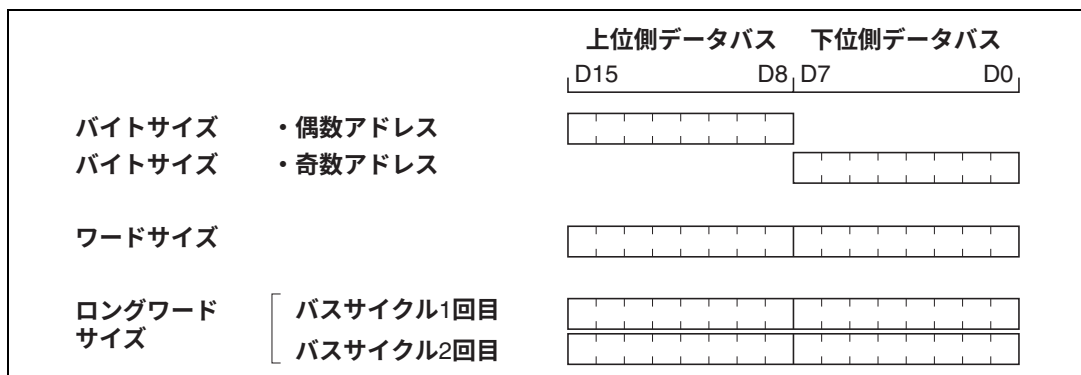


図 6.4 アクセスサイズとデータアライメント制御（16 ビットアクセス空間）

6.4.3 有効ストロープ

表 6.5 にアクセス空間と、使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 $\overline{RD}$ 信号が有効です。

ライト時には、データバスの上位側に対して $\overline{HWR}$ 信号が、下位側に対して $\overline{LWR}$ 信号が有効です。

表 6.5 使用するデータバスと有効ストロープ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストロープ	データバス上位 (D15~D8)	データバス下位 (D7~D0)
8 ビット アクセス空間	バイト	リード	—	$\overline{RD}$	有効	ポートほか
		ライト	—	$\overline{HWR}$		ポートほか
16 ビット アクセス空間	バイト	リード	偶数	$\overline{RD}$	有効	無効
			奇数		無効	有効
		ライト	偶数	$\overline{HWR}$	有効	不定
			奇数	$\overline{LWR}$	不定	有効
	ワード	リード	—	$\overline{RD}$	有効	有効
		ライト	—	$\overline{HWR}$ 、 $\overline{LWR}$	有効	有効

【注】 不定： 不定データが出力されます。

無効： 入力状態であり、入力値は無視されます。

ポートほか： ポートまたは内蔵周辺機能の入出力端子となり、データバスとしては使用されません。

6.4.4 基本タイミング

(1) 8ビット2ステートアクセス空間

図 6.5 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側（D15～D8）を使用します。

ウェイトステートを挿入することはできません。

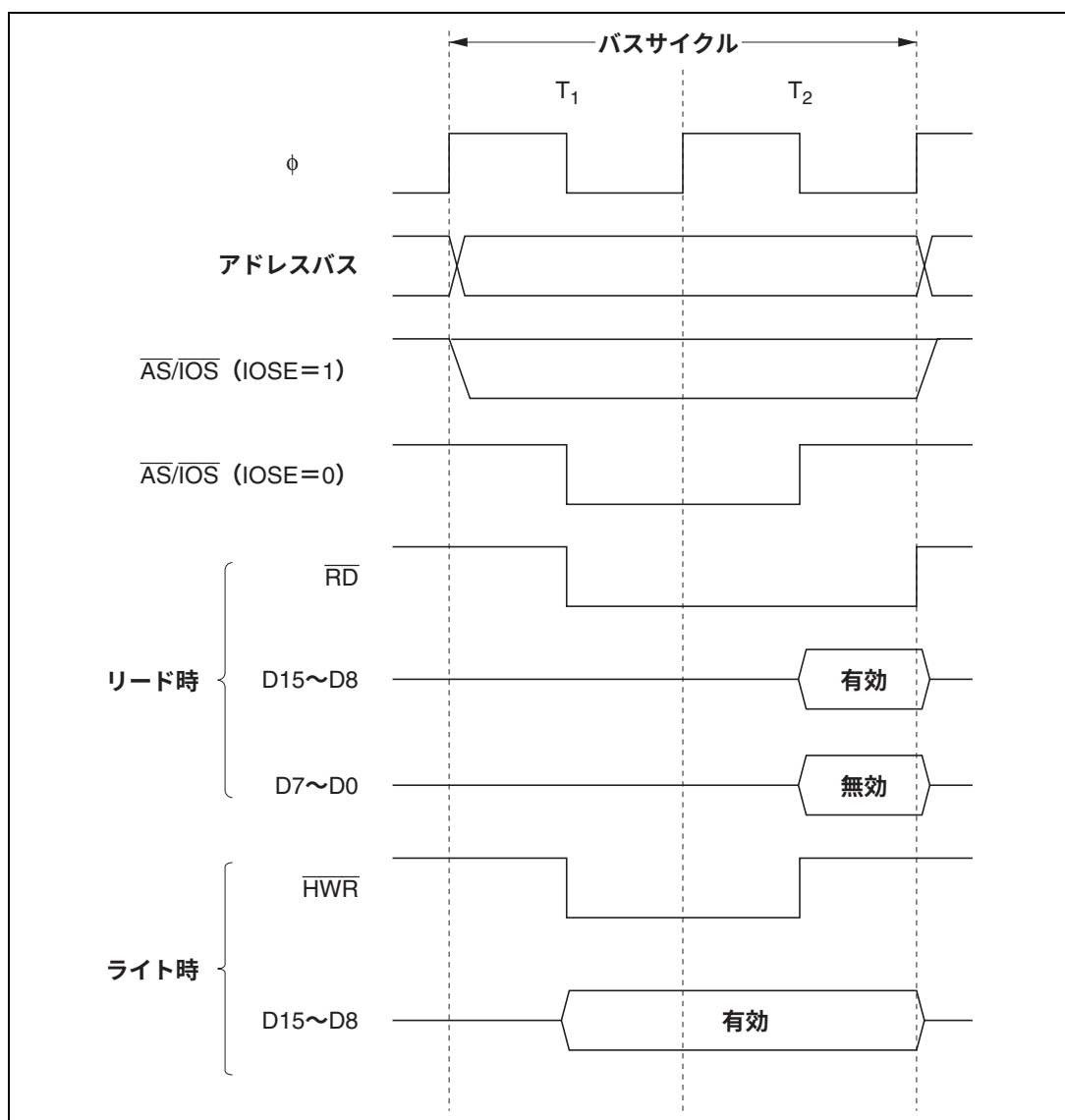


図 6.5 8ビット2ステートアクセス空間のバスタイミング

(2) 8ビット3ステートアクセス空間

図 6.6 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15～D8) を使用します。

ウェイトステートを挿入することができます。

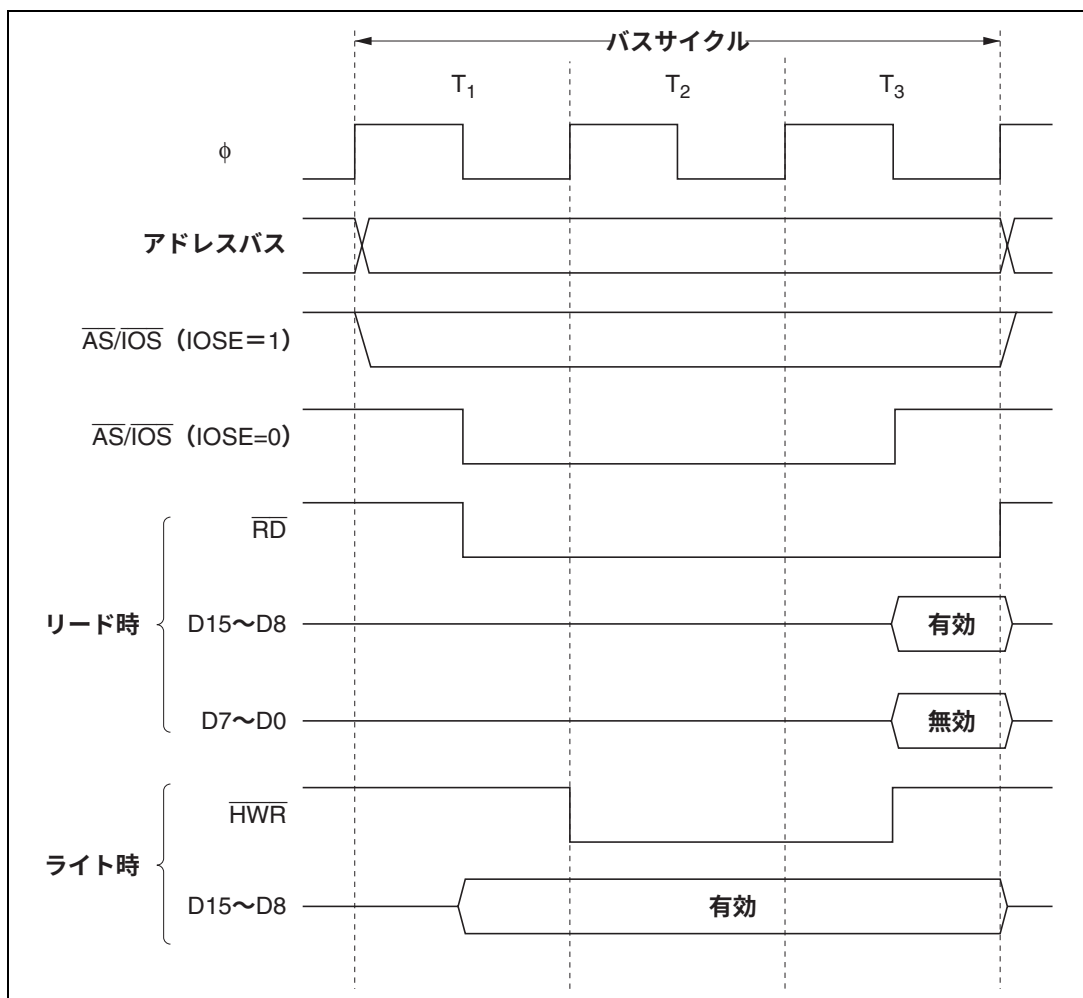


図 6.6 8 ビット 3 ステートアクセス空間のバスタイミング

(3) 16 ビット 2 ステートアクセス空間

図 6.7～図 6.9 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側（D15～D8）を使用し、奇数アドレスに対してはデータバスは下位側（D7～D0）を使用します。

ウェイトステートを挿入することはできません。

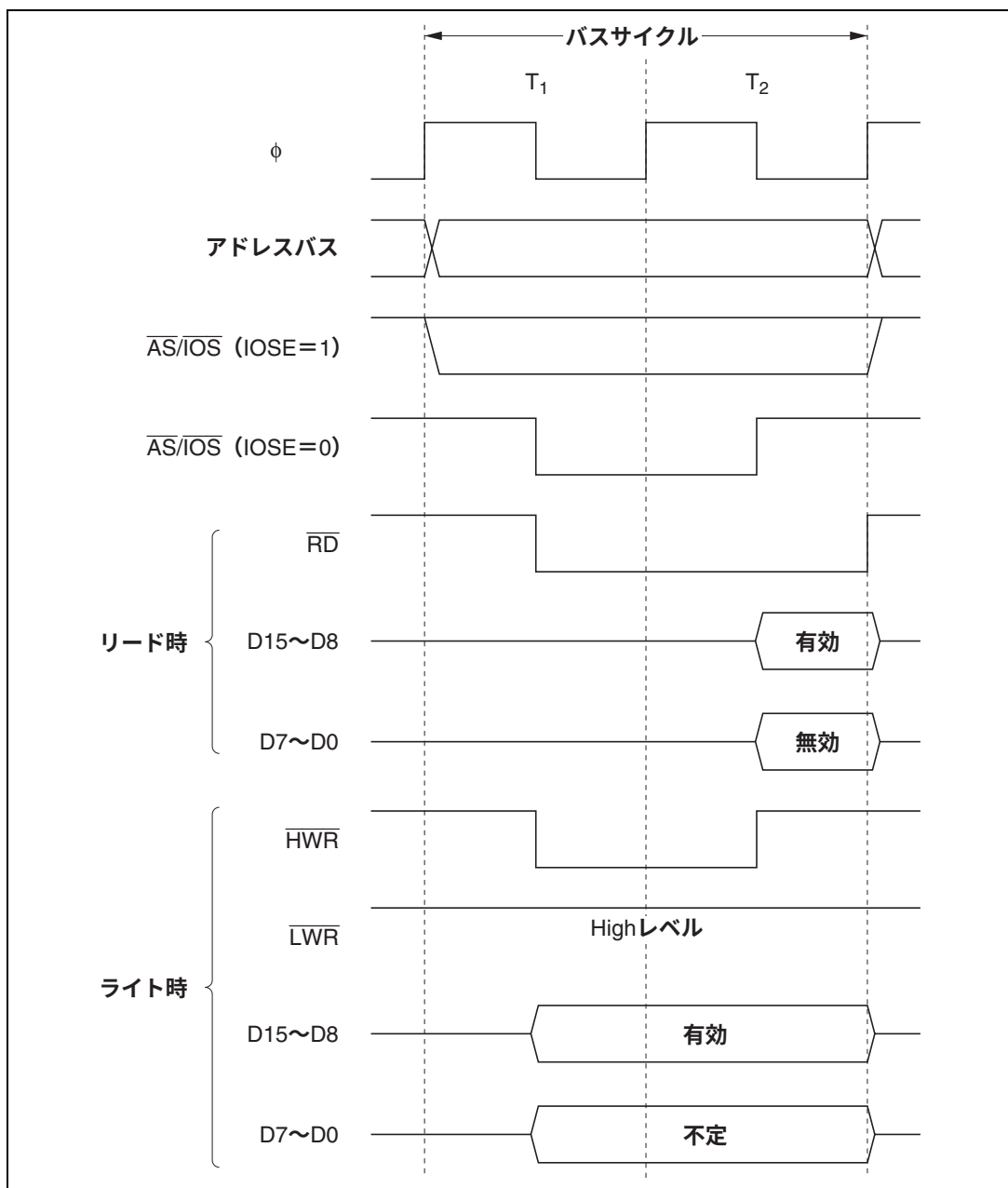


図 6.7 16 ビット 2 ステートアクセス空間のバスタイミング (1) (偶数アドレスバイトアクセス)

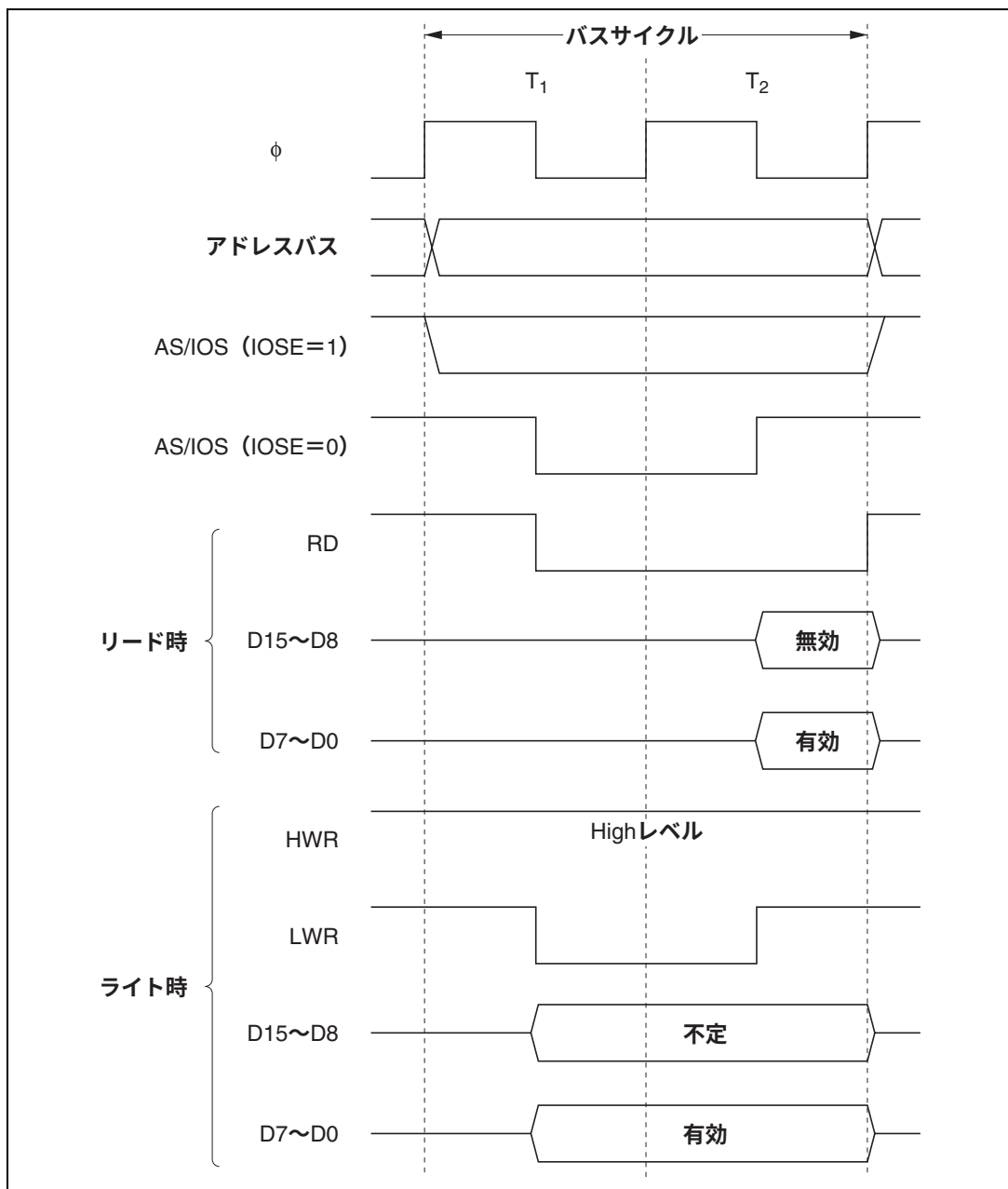


図 6.8 16 ビット 2 ステートアクセス空間のバスタイミング (2) (奇数アドレスバイトアクセス)

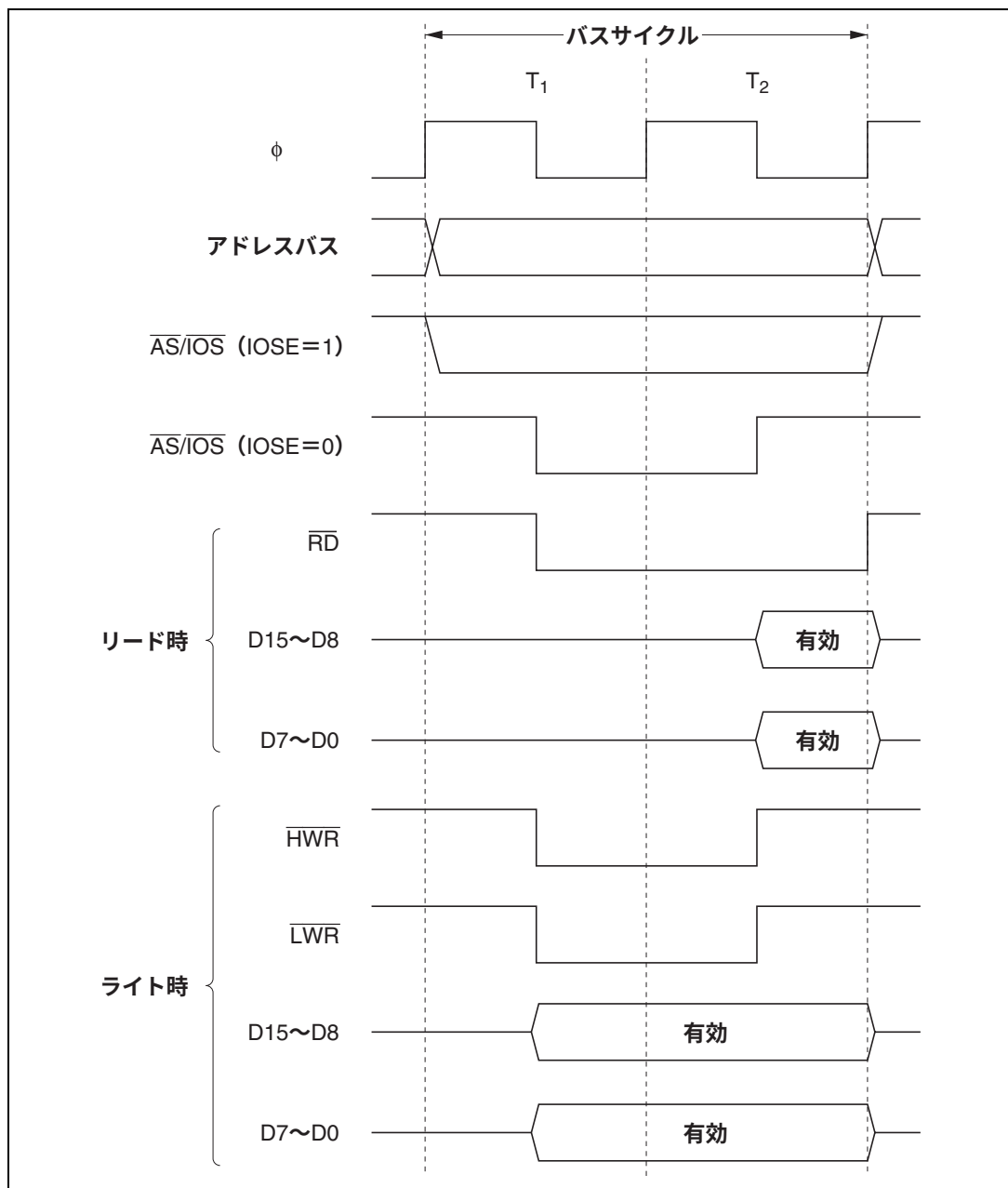


図 6.9 16 ビット 2 ステートアクセス空間のバスタイミング (3) (ワードアクセス)

6. バスコントローラ

(4) 16 ビット 3 ステートアクセス空間

図 6.10～図 6.12 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。

ウェイトステートを挿入することができます。

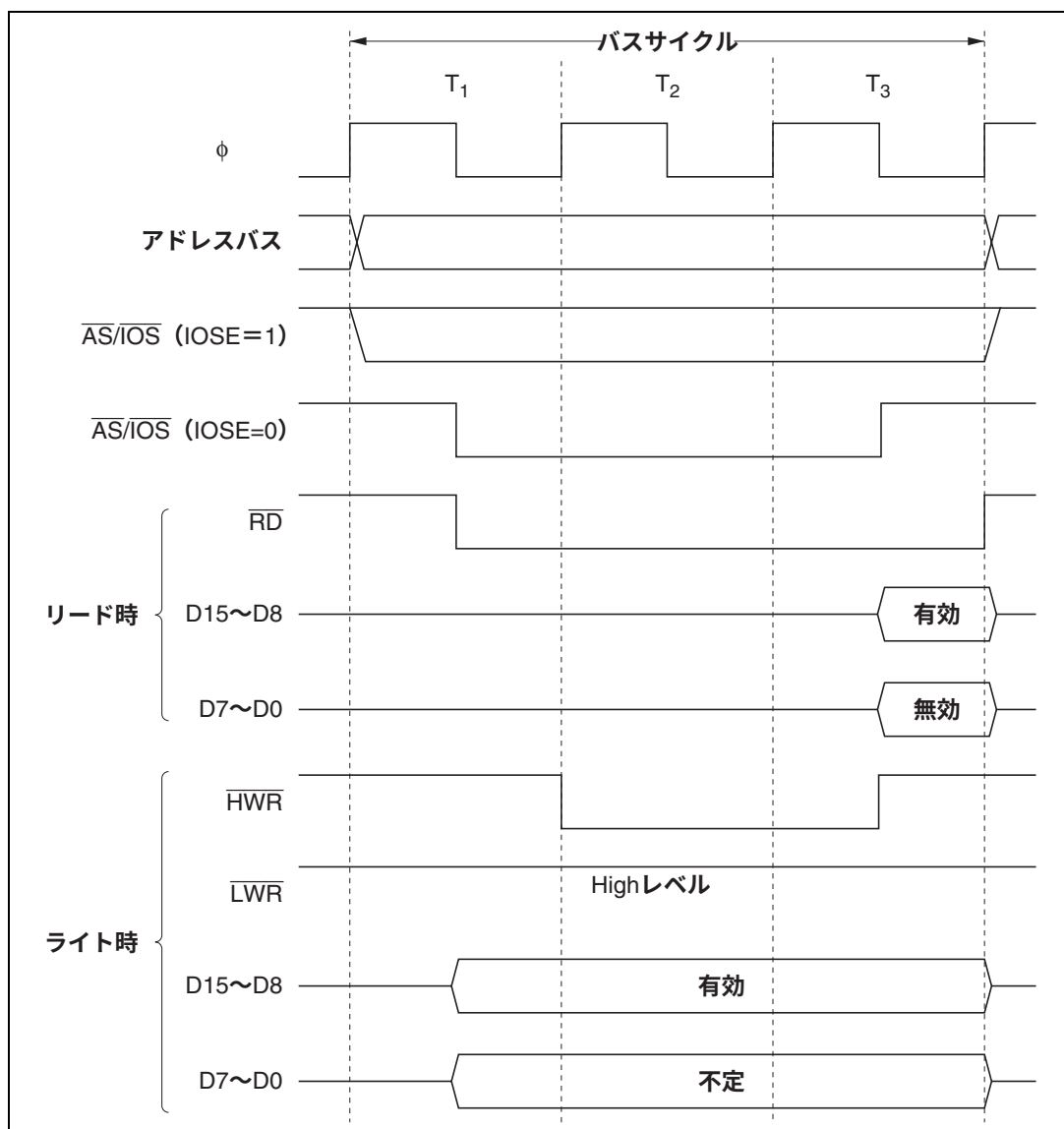


図 6.10 16 ビット 3 ステートアクセス空間のバスタイミング (1) (偶数アドレスバイトアクセス)

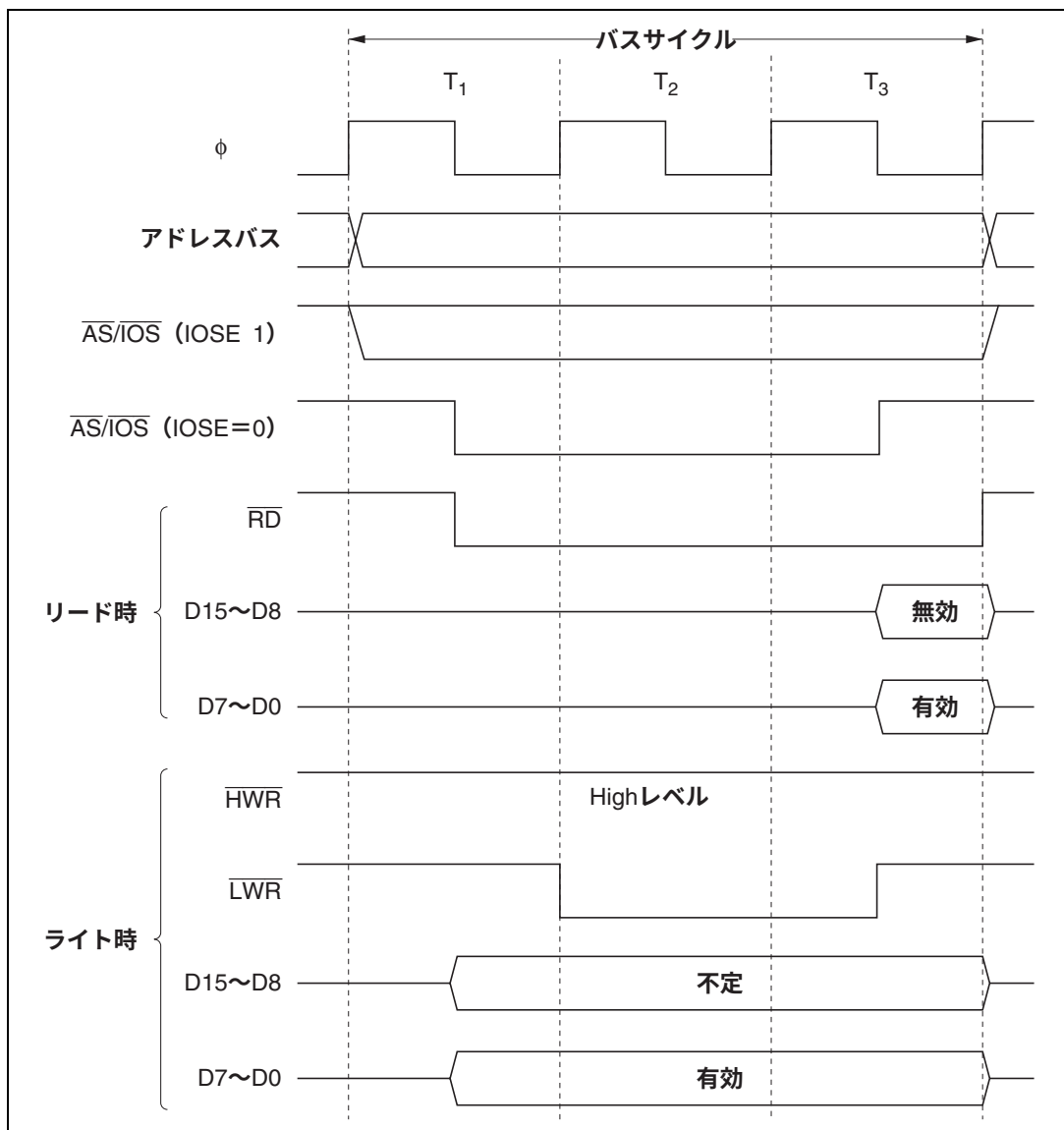


図 6.11 16 ビット 3 ステートアクセス空間のバスタイミング (2) (奇数アドレスバイトアクセス)

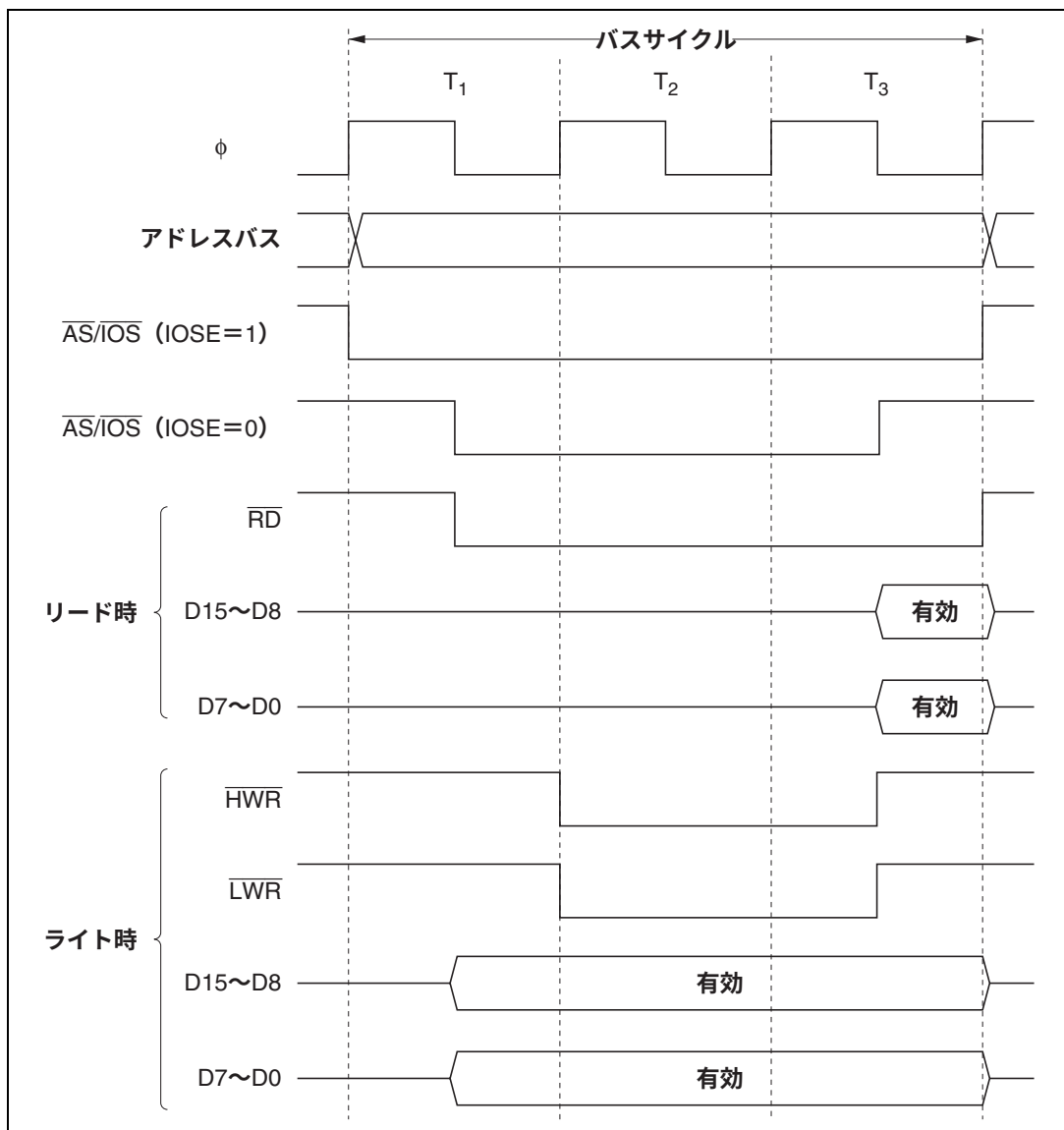


図 6.12 16 ビット 3 ステートアクセス空間のバスタイミング (3) (ワードアクセス)

6.4.5 ウェイト制御

本 LSI、外部空間をアクセスするとき、ウェイトステート (T_w) を挿入してバスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法には、(1) プログラムウェイトの挿入、(2) $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、(3) プログラムウェイトと $\overline{\text{WAIT}}$ 端子による端子ウェイトの組み合わせがあります。

(1) プログラムウェイトモード

プログラムウェイトモードでは、外部空間をアクセスすると、常に WC1、WC0 ビットにより設定されたステート数だけの T_w が、 T_2 ステートと T_3 ステートの間に挿入されます。

(2) 端子ウェイトモード

端子ウェイトモードでは、外部空間をアクセスすると、常に WC1、WC0 ビットにより設定されたステート数だけの T_w が、 T_2 ステートと T_3 ステートの間に挿入されます。 T_2 または T_w の最後のステートの ϕ の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、さらに T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

端子ウェイトモードは、4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。

(3) 端子オートウェイトモード

端子オートウェイトモードでは、外部空間をアクセスしたとき、 T_2 の ϕ の立ち下がりのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、WC1、WC0 ビットにより設定されたステート数だけの T_w が、 T_2 ステートと T_3 ステートの間に挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されても、設定された数を超える T_w は挿入されません。

端子オートウェイトモードを用いると、チップセレクト信号を $\overline{\text{WAIT}}$ 端子に入力するだけで、低速メモリと容易にインタフェースすることができます。

図 6.13 にウェイトステート挿入のタイミング例を示します。

6. バスコントローラ

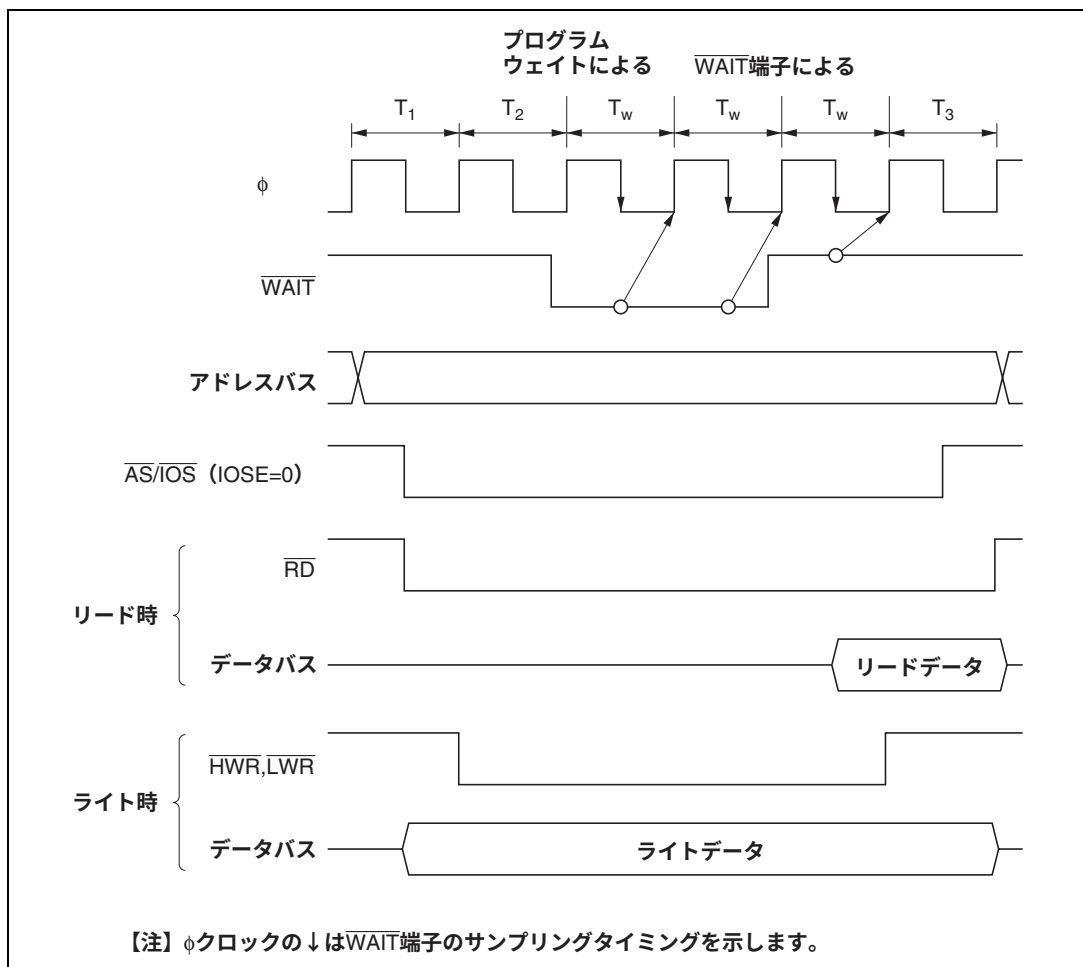


図 6.13 ウェイトステート挿入タイミング例

リセット後は、3 ステートアクセスかつプログラムウェイト 3 ステート挿入、WAIT 入力禁止状態となっています。

6.5 バースト ROM インタフェース

6.5.1 概要

本 LSI は、外部空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。

BCR の BRSTRM ビットにより、外部空間をバースト ROM 空間に設定します。CPU の命令フェッチに限り最大 4 ワード／8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

6.5.2 基本タイミング

バースト ROM インタフェースの、イニシャルサイクル（フルアクセス）のアクセスステート数は AST ビットの設定に従います。また、AST ビットを 1 にセットした場合は、ウェイトステートを挿入することもできます。バーストサイクルは、BCR の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。

また、BCR の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.14 (a)、(b) に示します。

図 6.14 (a) は、AST ビット、BRSTS1 ビットをいずれも 1 に設定した場合の例です。

図 6.14 (b) は、AST ビット、BRSTS1 ビットをいずれも 0 に設定した場合の例です。

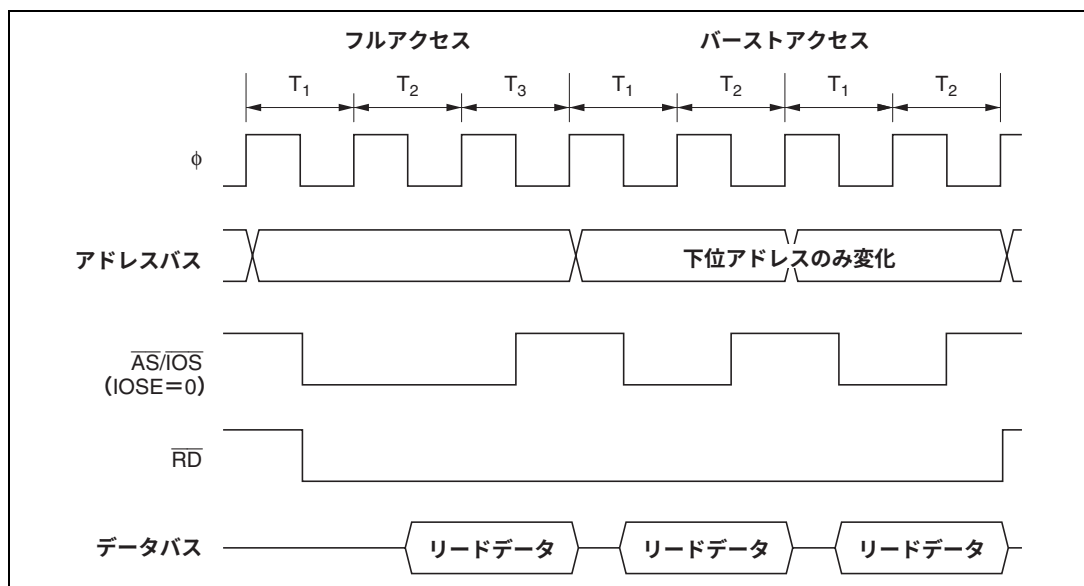


図 6.14 (a) バースト ROM アクセスタイミング例 (AST=BRSTS1=1 の場合)

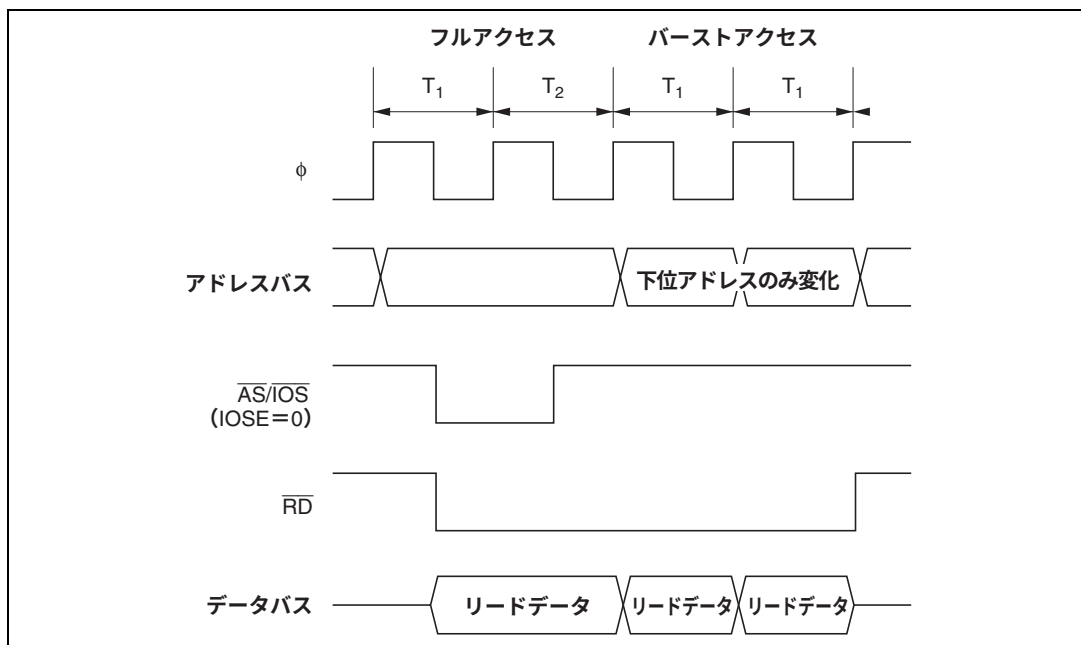


図 6.14 (b) バースト ROM アクセスタイミング例 (AST=BRSTS1=0 の場合)

6.5.3 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル（フルアクセス）には、基本バスインタフェースと同様に、（1）プログラムウェイトの挿入、（2） $\overline{WAIT}$ 端子による端子ウェイトの挿入、が可能です。「6.4.5 ウェイト制御」を参照してください。

バーストサイクルにはウェイトステートを挿入することはできません。

6.6 アイドルサイクル

6.6.1 動作説明

本 LSI は外部空間をアクセスするとき、リードサイクルの直後にライトサイクルが発生した場合に、バスサイクルとバスサイクルの間にアイドルサイクル (T_I) を 1 ステート挿入することができます。アイドルサイクルを挿入することにより、たとえば出力フローティング時間の大きい ROM など、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

BCR の ICIS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。アドバンスモードおよびノーマルモードのとき有効です。

図 6.15 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

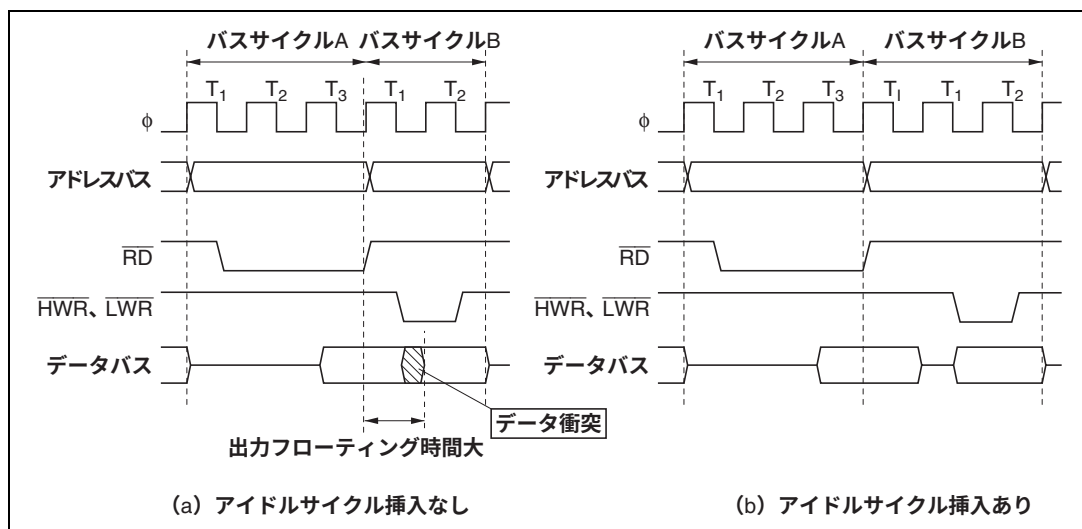


図 6.15 アイドルサイクル動作例

6.6.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.5 に示します。

表 6.5 アイドルサイクルでの端子状態

端子名	端子の状態
A23~A0、 $\overline{\text{IOS}}$	直後のバスサイクルの内容
D15~D0	ハイインピーダンス
AS	High レベル
RD	High レベル
HWR、 $\overline{\text{LWR}}$	High レベル

6.7 バスアービトレーション

6.7.1 概要

本 LSI はバスマスタの動作を調停(バスアービトレーション)するバスアービタを内蔵しています。

バスマスタは、CPU および DTC の 2 つがあり、バス権を占有した状態でリード／ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

6.7.2 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

(高) DTC > CPU (低)

6.7.3 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DTC からのバス権要求があると、バスアービタはバス権を DTC に移行します。バス権が移行するタイミングは次のとおりです。

- (a) バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合には、分割されたバスサイクルの切れ目では、バス権は移行しません。
バス権を移行しないタイミングは「付録A.5 命令実行中のバス状態」を参照してください。
- (b) CPUがスリープモードの場合、直ちにバス権を移行します。

(2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC は、一連の処理が完了するまでバス権を解放しません。

7. データトランスファコントローラ (DTC)

7.1 概要

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

7.1.1 特長

■任意チャネル数の転送可能

- メモリ上に転送情報を格納
- 1 つの起動要因に対して複数のデータ転送が可能 (チェイン転送)

■豊富な転送モード

- ノーマルモード／リピートモード／ブロック転送モードの選択が可能
- ソース／デスティネーションアドレスのインクリメント／デクリメント／固定の選択が可能

■16M バイトのアドレス空間を直接指定可能

- 転送元、転送先アドレスを 24 ビットで指定

■転送単位をバイト／ワードに設定可能

■DTC を起動した割り込みを CPU に要求可能

- 1 回のデータ転送の終了後に、CPU に対する割り込み要求を発生可能
- 指定したデータ転送のすべての終了後に、CPU に対する割り込み要求を発生

■ソフトウェアによる起動が可能

■モジュールストップモードの設定可能

- 初期値では、DTC のレジスタのアクセスが可能。モジュールストップモードの設定で DTC の動作が停止

7.1.2 ブロック図

DTC のブロック図を図 7.1 に示します。

DTC のレジスタ情報は内蔵 RAM に配置されます*。DTC と内蔵 RAM (1k バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード／ライトを 32 ビット 1 ステートで実行することができます。

【注】 * DTC を使用する際には、必ず SYSCR の RAME ビットを 1 にセットしてください。

7. データトランスファコントローラ (DTC)

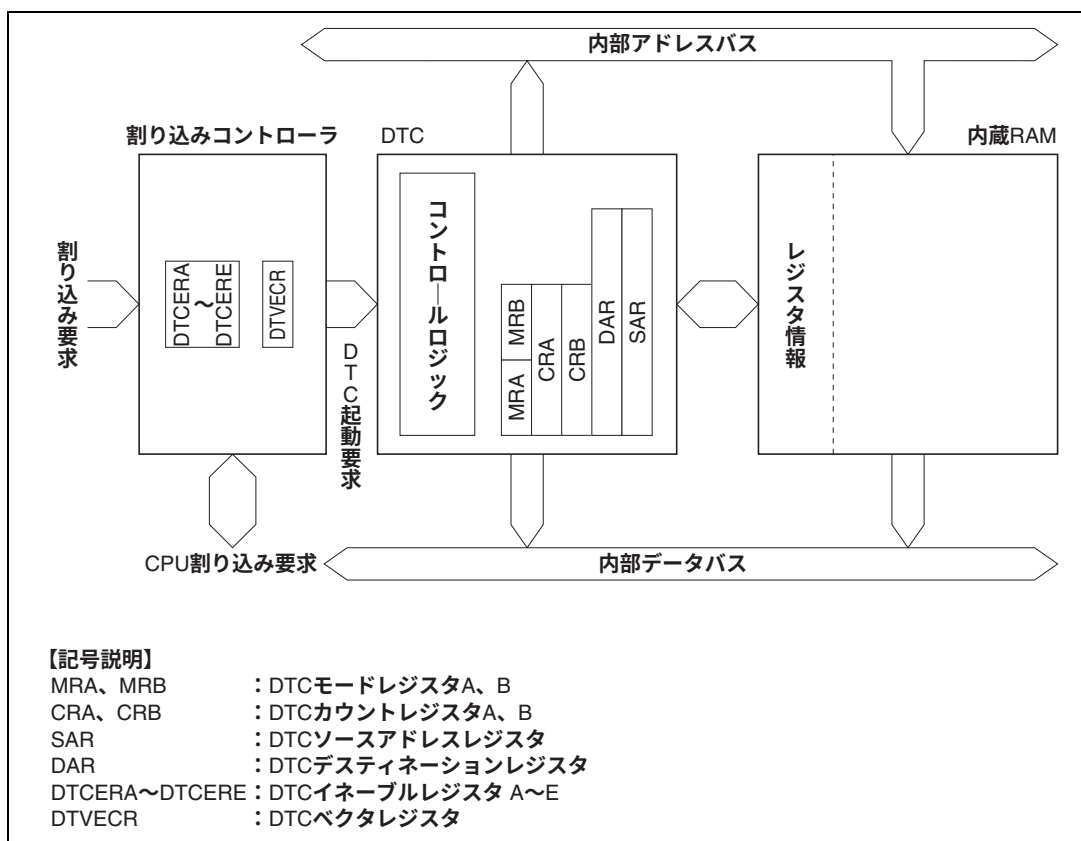


図 7.1 DTC のブロック図

7.1.3 レジスタ構成

DTC のレジスタ構成を表 7.1 に示します。

表 7.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス ^{*1}
DTC モードレジスタ A	MRA	— ^{*2}	不定	— ^{*3}
DTC モードレジスタ B	MRB	— ^{*2}	不定	— ^{*3}
DTC ソースアドレスレジスタ	SAR	— ^{*2}	不定	— ^{*3}
DTC デスティネーションアドレスレジスタ	DAR	— ^{*2}	不定	— ^{*3}
DTC 転送カウントレジスタ A	CRA	— ^{*2}	不定	— ^{*3}
DTC 転送カウントレジスタ B	CRB	— ^{*2}	不定	— ^{*3}
DTC イネーブルレジスタ	DT CER	R/W	H'00	H'FEEE~H'FEF2
DTC ベクタレジスタ	DTVECR	R/W	H'00	H'FEF3
モジュールストップコントロールレジスタ	MSTPCR H	R/W	H'3F	H'FF86
	MSTPCR L	R/W	H'FF	H'FF87

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 DTC 内のレジスタは直接リード／ライトできません。

*3 内蔵 RAM のアドレス H'EC00~H'FFFF にレジスタ情報として配置します。

外部メモリ空間には配置できません。

DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

7. データトランスファコントローラ (DTC)

7.2 各レジスタの説明

7.2.1 DTC モードレジスタ A (MRA)

ビット：	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	—	—	—	—	—	—	—	—

MRA は 8 ビットのレジスタで、DTC の動作モードの制御を行います。

ビット 7、6：ソースアドレスモード 1、0 (SM1、SM0)

データ転送後に、SAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 7	ビット 6	説 明
SM1	SM0	
0	—	SAR は固定
1	0	SAR は転送後インクリメント (Sz=0 のとき+1、Sz=1 のとき+2)
	1	SAR は転送後デクリメント (Sz=0 のとき-1、Sz=1 のとき-2)

ビット 5、4：デスティネーションアドレスモード 1、0 (DM1、DM0)

データ転送後に、DAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 4	ビット 4	説 明
DM1	DM0	
0	—	DAR は固定
1	0	DAR は転送後インクリメント (Sz=0 のとき+1、Sz=1 のとき+2)
	1	DAR は転送後デクリメント (Sz=0 のとき-1、Sz=1 のとき-2)

ビット 3、2：DTC モード (MD1、MD0)

DTC の転送モードを指定します。

ビット 3	ビット 2	説 明
MD1	MD0	
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	—

ビット 1 : DTC 転送モードセレクト (DTS)

リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリピート領域またはブロック領域とするかを指定します。

ビット 1	説 明
DTS	
0	デスティネーション側がリピート領域またはブロック領域
1	ソース側がリピート領域またはブロック領域

ビット 0 : DTC データトランスファサイズ (Sz)

データ転送のデータサイズを指定します。

ビット 1	説 明
Sz	
0	バイトサイズ転送
1	ワードサイズ転送

7. データトランスファコントローラ (DTC)

7.2.2 DTC モードレジスタ B (MRB)

ビット：	7	6	5	4	3	2	1	0
	CHNE	DISEL	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	—	—	—	—	—	—	—	—

MRB は 8 ビットのレジスタで、DTC モードの制御を行います。

ビット 7：DTC チェイン転送イネーブル (CHNE)

チェイン転送を指定します。チェイン転送では、1 回の転送要求に対し複数のデータ転送を連続して行うことができます。CHNE=1 に設定したデータ転送では、指定した転送回数の終了の判定や割り込み要因のフラグのクリアや DTCER のクリアは行いません。

ビット 7	説 明
CHNE	
0	DTC データ転送終了 (起動待ち状態)
1	DTC チェイン転送 (新しいレジスタ情報をリードして、データ転送を行う)

ビット 6：DTC インタラプトセレクト (DISEL)

1 回のデータ転送後に CPU への割り込み要求の禁止または許可を指定します。

ビット 6	説 明
DISEL	
0	DTC データ転送終了後、転送カウンタが 0 でなければ、CPU への割り込みを禁止 (DTC は、起動要因となった割り込み要因フラグを 0 にクリア) (初期値)
1	DTC データ転送終了後、CPU への割り込みを許可 (DTC は、起動要因となった割り込み要因フラグを 0 にクリアしない)

ビット 5～0：リザーブビット

本 LSI では、DTC の動作に影響を与えません。0 をライトしてください。

7.2.3 DTC ソースアドレスレジスタ (SAR)

ビット:	23	22	21	20	19	---	4	3	2	1	0

初期値:	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W	-	-	-	-	-	---	-	-	-	-	-

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

7.2.4 DTC デスティネーションアドレスレジスタ (DAR)

ビット:	23	22	21	20	19	---	4	3	2	1	0

初期値:	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W	-	-	-	-	-	---	-	-	-	-	-

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

7.2.5 DTC 転送カウントレジスタ A (CRA)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

←
→
CRAH
←
→
CRAL
←
→

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは一括して、16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。この動作を繰り返します。

7. データトランスファコントローラ (DTC)

7.2.6 DTC 転送カウントレジスタ B (CRB)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1~65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

7.2.7 DTC イネーブルレジスタ (DTCER)

ビット：	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTCER は、DTC によって起動される割り込み要因ごとに対応した 8 ビットのリード／ライトが可能な 5 本のレジスタで、DTCERA~DTCERE があります。各割り込み要因による DTC 起動の許可または禁止を制御します。

DTCER はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット n：DTC 起動イネーブル (DTCEn)

ビット n	説明
DTCEn	
0	割り込みによる DTC 起動を禁止 [クリア条件] • DISEL ビットが 1 でデータ転送を終了したとき • 指定した回数の転送が終了したとき (初期値)
1	割り込みによる DTC 起動を許可 [保持条件] DISEL ビットが 0 で、指定した回数の転送が終了していないとき

(n=7~0)

DTCE ビットは、DTC によって起動される各割り込み要因ごとに設定できます。各割り込み要因と DTCE ビットの対応、およびそのときに割り込みコントローラが発生するペクタ番号について表 7.4 に示します。

DTCE ビットの設定は必ず BSET、BCLR などビット操作命令を使ってリード／ライトしてください。ただし初期設定に限り複数の起動要因を一度に設定するときには割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

7.2.8 DTC ベクタレジスタ (DTVECR)

ビット：	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* SWDTEビットは、1ライトは常時可能ですが、0ライトは1リード後にのみ可能となります。

DTVECR は、8 ビットのリード／ライトが可能なレジスタで、ソフトウェアによる DTC 起動の許可または禁止の設定、およびソフトウェア起動割り込み用ベクタ番号を設定します。

DTVECR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7：DTC ソフトウェア起動イネーブル (SWDTE)

DTC ソフトウェア起動の許可または禁止を設定します。

ソフトウェアで SWDTE ビットを 0 にクリアする場合には、SWDTE=1 の状態をリード後、0 をライトしてください。

ビット 7	説明
SWDTE	
0	DTC ソフトウェア起動を禁止 (初期値) 【クリア条件】 DISEL ビットが 0 で、指定した回数の転送が終了していないとき
1	DTC ソフトウェア起動を許可 【保持条件】 • DISEL ビットが 1 で、データ転送を終了したとき • 指定した回数の転送が終了したとき • ソフトウェア起動によるデータ転送中

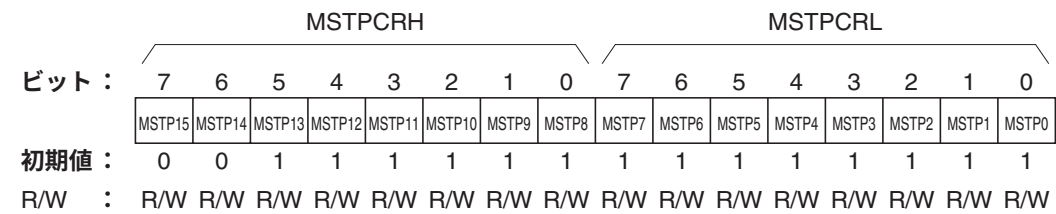
ビット 6～0：DTC ソフトウェア起動ベクタ 6～0 (DTVEC6～DTVEC0)

DTC ソフトウェア起動のベクタ番号を設定します。

ベクタアドレスは、H'0400 + ((ベクタ番号) << 1) となります。ここで <<1 は 1 ビットの左シフトを表します。たとえば、DTVEC6～DTVEC0=H'10 のとき、ベクタアドレスは H'0420 となります。

7. データトランスファコントローラ (DTC)

7.2.9 モジュールストップコントロールレジスタ (MSTPCR)



MSTPCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP14 ビットを 1 にセットすると、バスサイクルの終了時点で DTC は動作を停止してモジュールストップモードへ遷移します。ただし、DTC が起動中の場合、MSTP14 ビットに 1 をライトすることはできません。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRH ビット 6：モジュールストップ (MSTP14)

DTC のモジュールストップモードを指定します。

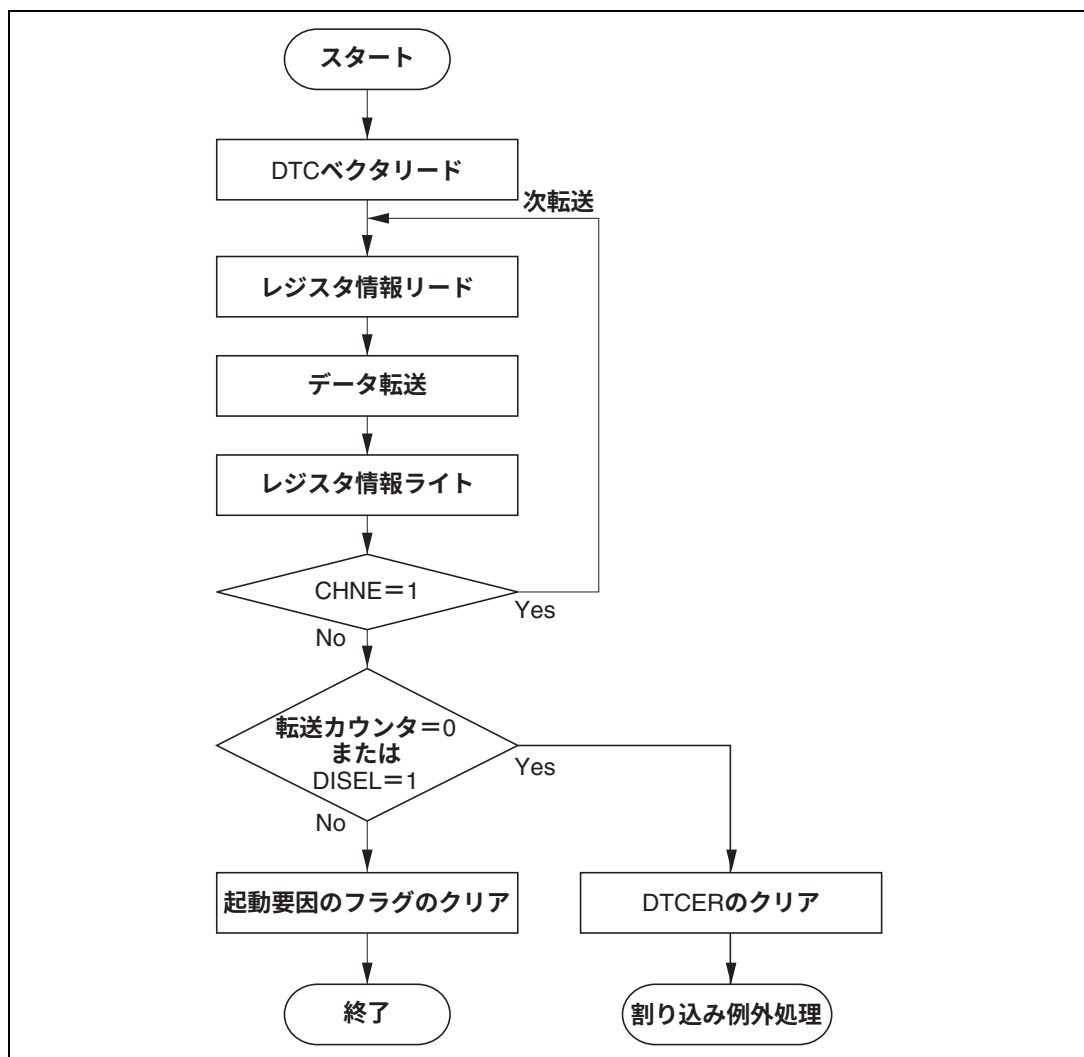
MSTPCRH ビット 6	説 明	
MSTP14		
0	DTC のモジュールストップモード解除	(初期値)
1	DTC のモジュールストップモード設定	

7.3 動作説明

7.3.1 概要

DTC は、レジスタ情報をメモリ上に格納しておき、起動要因が発生すると、レジスタ情報をリードし、このレジスタ情報に基づいてデータ転送を行います。データ転送後、レジスタ情報をメモリ上にライトします。レジスタ情報をメモリ上に格納しておくことにより、任意チャネル数のデータ転送を行うことができます。また、CHNE ビットを 1 にセットしておくことにより、1つの起動要因で複数の転送を行うことができます。

図 7.2 に DTC の動作フローチャートを示します。



7. データトランスファコントローラ (DTC)

DTC の転送モードには、ノーマルモード、リピートモード、ブロック転送モードがあります。

DTC は、転送元アドレスを 24 ビット長の SAR、転送先アドレスを 24 ビット長の DAR で指定します。SAR、DAR は転送後、それぞれ独立にインクリメントまたはデクリメントあるいは固定とされます。

表 7.2 に、DTC の機能概要を示します。

表 7.2 DTC の機能概要

転送モード	起動要因	アドレスレジスタ	
		転送元	転送先
(1) ノーマルモード • 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 • メモリアドレスを 1 または 2 増減 • 転送回数は 1~65536 (2) リピートモード • 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 • メモリアドレスを 1 または 2 増減 • 指定回数 (1~256) 転送後、初期状態を回復して動作を継続 (3) ブロック転送モード • 1 回の転送要求で指定したブロックサイズの転送 • ブロックサイズ 1~256 バイトまたはワード • 転送回数は 1~65536 • ソースまたはデスティネーションのいずれかをブロックエリアに指定可能	• IRQ • FRT の ICI、OCI • 8 ビットタイマの CMI • ホストインタフェースの IBF • SCI の TXI、RXI • A/D 変換器の ADI • IIC の IICI • ソフトウェア	24 ビット	24 ビット

7.3.2 起動要因

DTC は、割り込み要因、もしくはソフトウェアによる DTVECR へのライト動作（ソフトウェア起動）を起動要因として動作します。割り込み要因を、CPU に対する割り込み要求とするか、DTC の起動要因とするかは、割り込み要因ごとに DTCER の対応するビットで指定します。対応するビットを 1 にセットすると DTC の起動要因となり、0 にクリアすると、CPU の割り込み要因となります。

1 回のデータ転送（チェーン転送の場合、連続した最後の転送）終了時に、起動要因または DTCER の対応するビットをクリアします。表 7.3 に起動要因と DTCER のクリアを示します。

起動要因フラグは、たとえば、RXI0 の場合、SCI0 の RDRF フラグになります。

表 7.3 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	SWDTE ビットは 0 にクリア	• SWDTE ビットは 1 を保持 • CPU に割り込みを要求
割り込み起動	• DTCER の対応するビットは 1 を保持 • 起動要因フラグは 0 にクリア	• DTCER の対応するビットは 0 にクリア • 起動要因フラグは 1 を保持 • 起動要因となった割り込みを CPU に要求

図 7.3 に、起動要因制御ブロック図を示します。詳細は、「第 5 章 割り込みコントローラ」を参照してください。

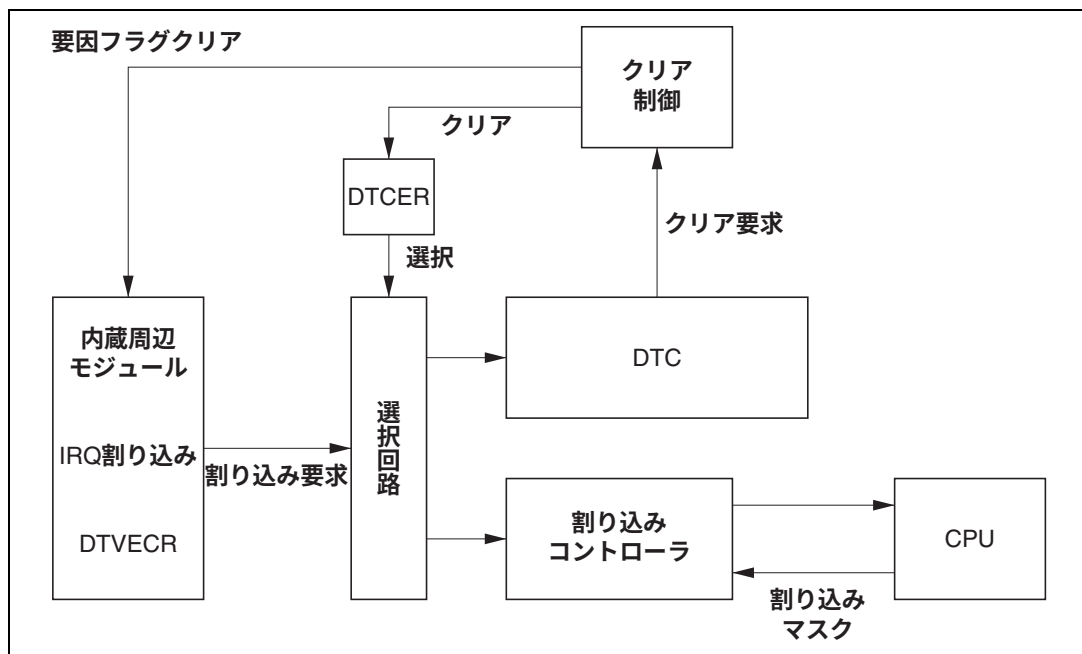


図 7.3 DTC 起動要因制御ブロック図

割り込みを DTC の起動要因に指定した場合、CPU のマスクレベルおよび割り込みコントローラの優先順位の指定の影響を受けません。複数の起動要因が同時に発生した場合には、デフォルトの優先順位に従って受け付けられ、DTC が起動されます。

7.3.3 DTC ベクタテーブル

図 7.4 に、DTC ベクタアドレスとレジスタ情報の対応を示します。

表 7.4 に、起動要因とベクタアドレスの対応および DTCER のビットとの対応を示します。ソフトウェアによる起動の場合、ベクタアドレスは $H'0400 + (DTVECR[6:0] \ll 1)$ で求めます ($\ll 1$ は 1 ビットの左シフトを表します)。たとえば、DTVECR が $H'10$ のとき、ベクタアドレスは $H'0420$ となります。

起動要因ごとのベクタアドレスから、レジスタ情報先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。レジスタ情報は内蔵 RAM 空間上の所定のアドレスに配置することができます。レジスタ情報の先頭アドレスは 4 の倍数番地としてください。

ベクタアドレスの構造は、ノーマルモードとアドバンスモードとで同じです。共に 2 バイト単位です。この 2 バイトは、内蔵 RAM 空間上の所定のアドレスの下位側を指定します。

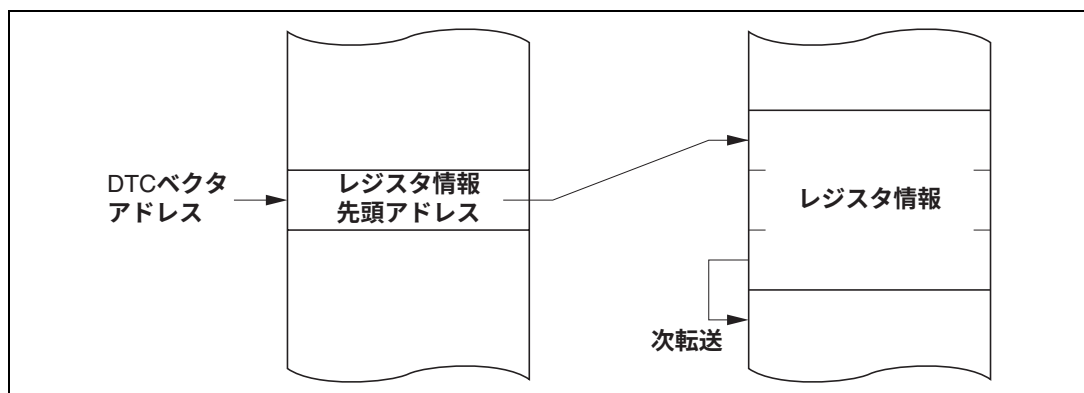


図 7.4 DTC ベクタアドレスとレジスタ情報との対応

7. データトランスファコントローラ (DTC)

表 7.4 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

割り込み要因	要因発生元	ベクタ番号	ベクタ アドレス	DTCE*	優先 順位
DTVECR へのライト	ソフトウェア	DTVECR (10 進数表示)	H'0400 + (DTVECR[6:0] < 1)	—	高 ▲
IRQ0	外部端子	16	H'0420	DTCEA7	
IRQ1		17	H'0422	DTCEA6	
IRQ2		18	H'0424	DTCEA5	
IRQ3		19	H'0426	DTCEA4	
ADI (A/D 変換終了)	A/D	28	H'0438	DTCEA3	
ICIA (FRT インพุットキャプチャ A)	FRT	48	H'0460	DTCEA2	
ICIB (FRT インพุットキャプチャ B)		49	H'0462	DTCEA1	
OCIA (FRT アウトプットコンペア A)		52	H'0468	DTCEA0	
OCIB (FRT アウトプットコンペア B)		54	H'046A	DTCEB7	
CMIA0 (TMR0 コンペアマッチ A)	TMR0	64	H'0480	DTCEB2	
CMIB0 (TMR0 コンペアマッチ B)		65	H'0482	DTCEB1	
CMIA1 (TMR1 コンペアマッチ A)	TMR1	68	H'0488	DTCEB0	
CMIB1 (TMR1 コンペアマッチ B)		69	H'048A	DTCEC7	
CMIA2 (TMR2 コンペアマッチ A)	TMR2	70	H'048C	DTCEB6	
CMIB2 (TMR2 コンペアマッチ B)		71	H'048E	DTCEB5	
CMIA3 (TMR3 コンペアマッチ A)	TMR3	72	H'0490	DTCEC6	
CMIB3 (TMR3 コンペアマッチ B)		73	H'0492	DTCEC5	
IBF1 (IDR1 受信完了)	HIF	76	H'0498	DTCEC4	
IBF2 (IDR2 受信完了)		77	H'049A	DTCEC3	
RXI0 (受信完了 0)	SCI チャンネル 0	81	H'04A2	DTCEC2	
TXI0 (送信データエンプティ 0)		82	H'04A4	DTCEC1	
RXI1 (受信完了 1)	SCI チャンネル 1	85	H'04AA	DTCEC0	
TXI1 (送信データエンプティ 1)		86	H'04AC	DTCED7	
RXI2 (受信完了 2)	SCI チャンネル 2	89	H'04B2	DTCED6	
TXI2 (送信データエンプティ 2)		90	H'04B4	DTCED5	
IIC0 (IIC0 1 バイト送信／受信完了)	IIC0	92	H'04B8	DTCED4	
IIC1 (IIC1 1 バイト送信／受信完了)	IIC1	94	H'04BC	DTCED3	
ERR1 (転送エラーほか)	LPC	104	H'04D8	DTCEE3	低
IBFI1 (IDR1 受信完了)		105	H'04DA	DTCEE2	
IBFI2 (IDR2 受信完了)		106	H'04DC	DTCEE1	
IBFI3 (IDR3 受信完了)		107	H'04DE	DTCEE0	

【注】 * 対応する割り込みのない DTCE ビットは、リザーブビットとなります。0 をライトしてください。

7.3.4 アドレス空間上でのレジスタ情報の配置

図 7.5 に、アドレス空間上でのレジスタ情報の配置を示します。

レジスタ情報先頭アドレス（ベクタアドレスの内容）から、MRA、SAR、MRB、DAR、CRA、CRB の順序で配置してください。チェーン転送の場合は、連続した領域にレジスタ情報を配置してください。

レジスタ情報は、内蔵 RAM 上（アドレス：H'FFEC00～H'FFEFFF）に配置してください。

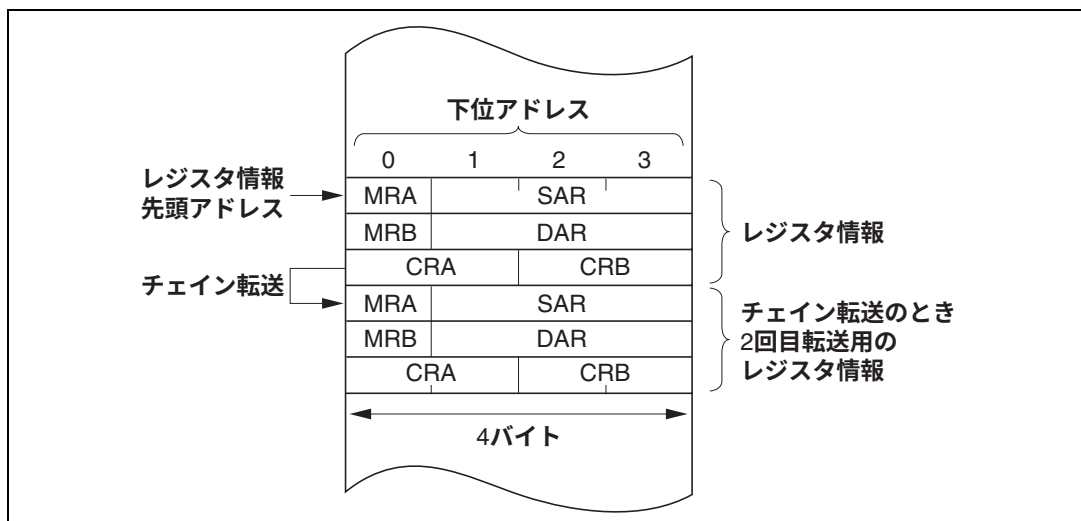


図 7.5 アドレス空間上での DTC レジスタ情報の配置

7.3.5 ノーマルモード

1 回の動作で、1 バイトまたは 1 ワードの転送を行います。

転送回数は 1～65536 です。指定回数の転送が終了すると、CPU へ割り込みを要求することができます。

表 7.5 にノーマルモードのレジスタ機能を、図 7.6 にノーマルモードのメモリマップを示します。

表 7.5 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

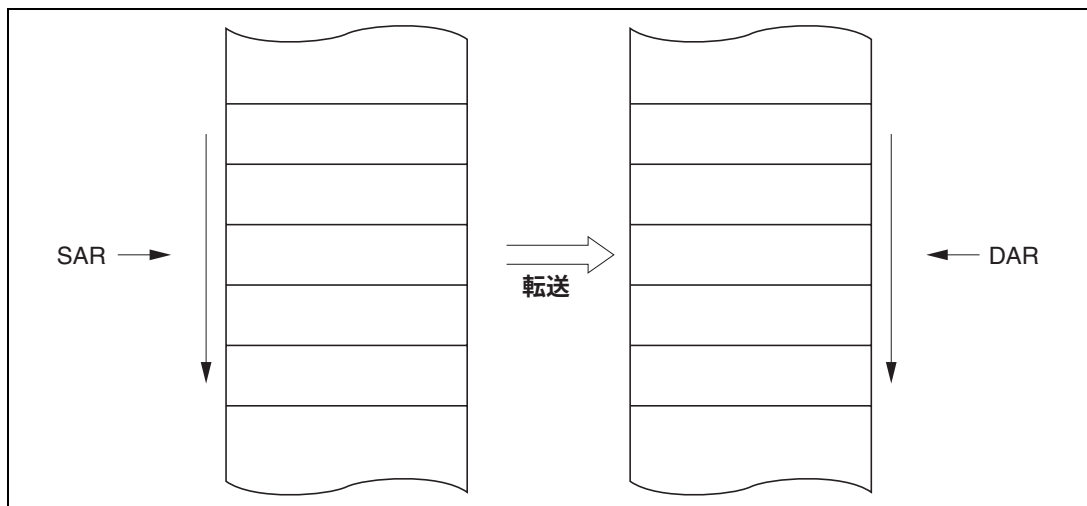


図 7.6 ノーマルモードのメモリマップ

7. データトランスファコントローラ (DTC)

7.3.6 リピートモード

1 回の動作で、1 バイトまたは 1 ワードの転送を行います。

転送回数は 1～256 を指定し、指定回数の転送が終了すると、転送カウンタと、リピートエリアに指定したアドレスレジスタの初期状態を回復し、転送を繰り返します。リピートモードでは転送カウンタが H'00 になりませんので、DISEL=0 の場合、CPU への割り込みは要求されません。

表 7.6 にリピートモードのレジスタ機能を、図 7.7 にリピートモードのメモリマップを示します。

表 7.6 リピートモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	転送回数保持
DTC 転送カウンタレジスタ AL	CRAL	転送カウンタ
DTC 転送カウンタレジスタ B	CRB	使用しません

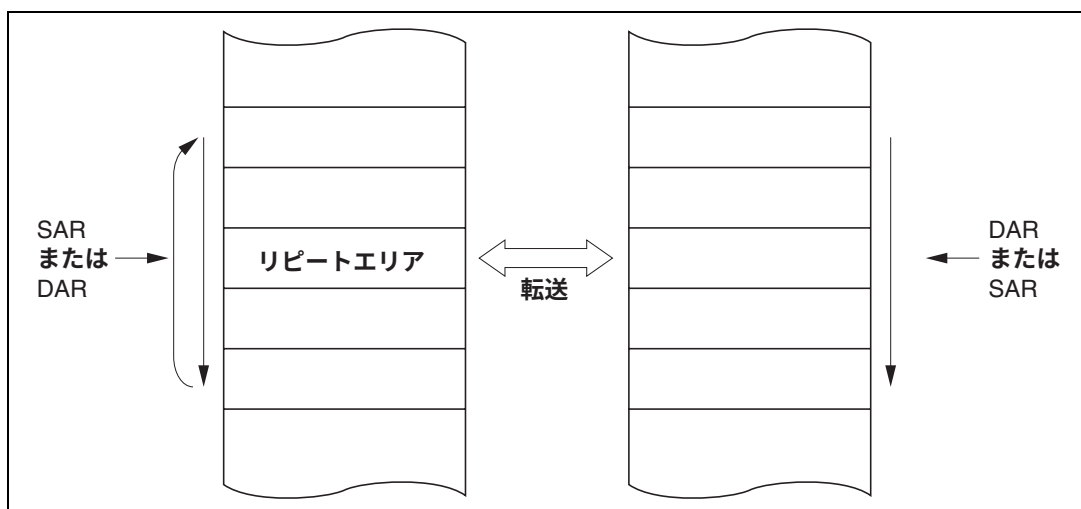


図 7.7 リピートモードのメモリマップ

7.3.7 ブロック転送モード

1 回の動作で、1 ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。

ブロックサイズは 1～256 です。1 ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定したアドレスレジスタの初期状態を復帰します。他方のアドレスレジスタは連続して、インクリメントまたはデクリメントあるいは固定とされます。

転送回数は 1～65536 です。指定回数のブロック転送が終了すると、CPU へ割り込みを要求することができます。

表 7.7 にブロック転送モードのレジスタ機能を、図 7.8 にブロック転送モードのメモリマップを示します。

表 7.7 ブロック転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウントレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウントレジスタ B	CRB	転送カウンタ

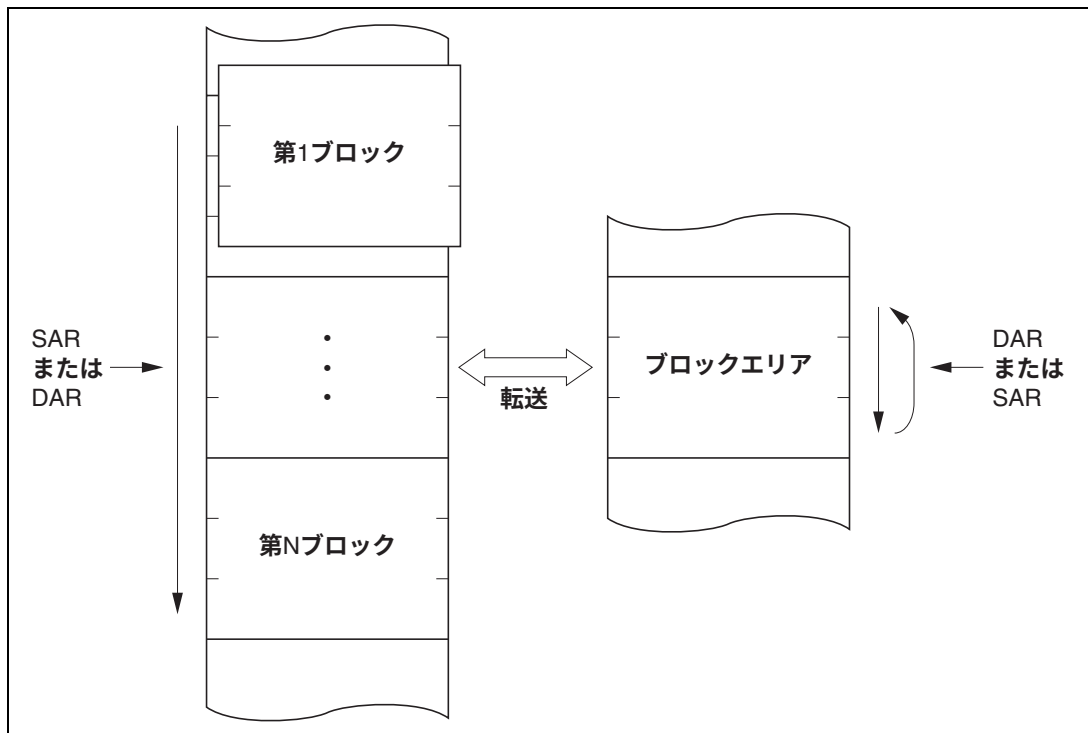


図 7.8 ブロック転送モードのメモリマップ

7.3.8 チェイン転送

CHNE ビットを 1 にセットしておくことにより、1 回の転送要求に対し複数のデータ転送を連続して行うことができます。データ転送を定義する SAR、DAR、CRA、CRB および MRA、MRB はおのの独立に設定できます。

図 7.9 にチェイン転送のメモリマップを示します。

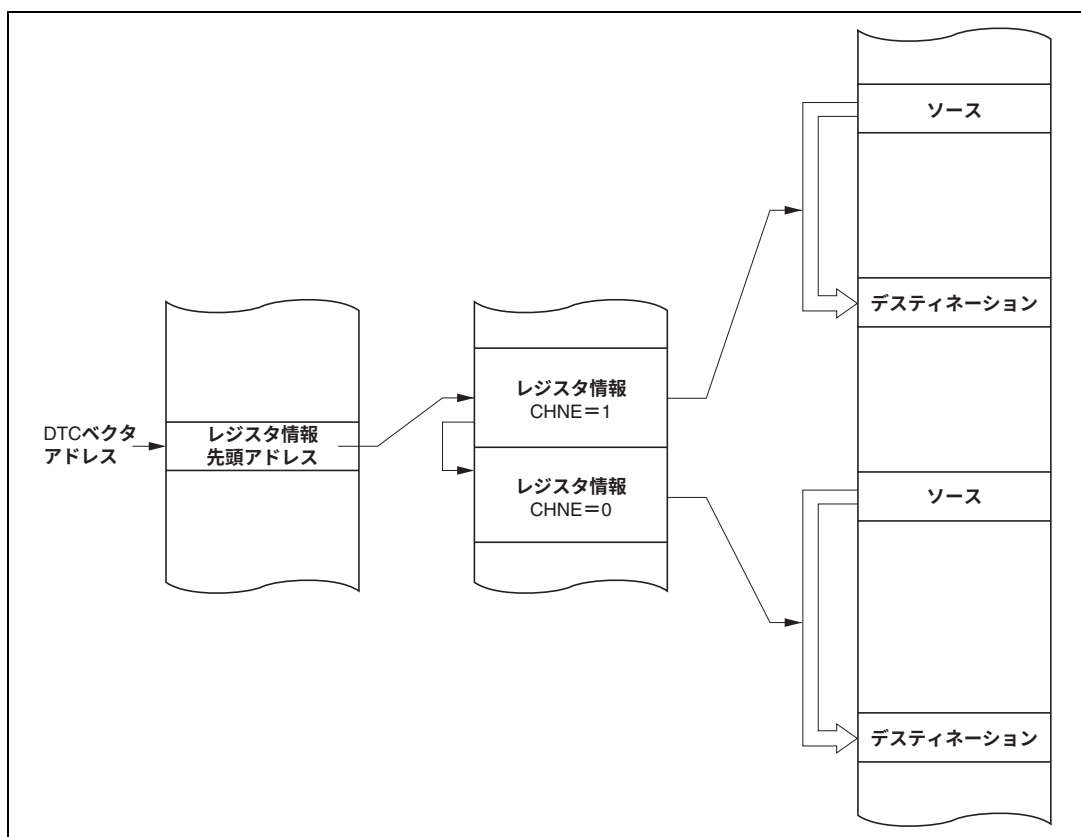


図 7.9 チェイン転送のメモリマップ

CHNE=1 の転送において、指定した転送回数の終了による CPU への割り込み要求や、DISEL=1 による CPU への割り込み要求は発生しません。また、CHNE=1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

7.3.9 動作タイミング

図 7.10～図 7.12 に、DTC の動作タイミングの例を示します。

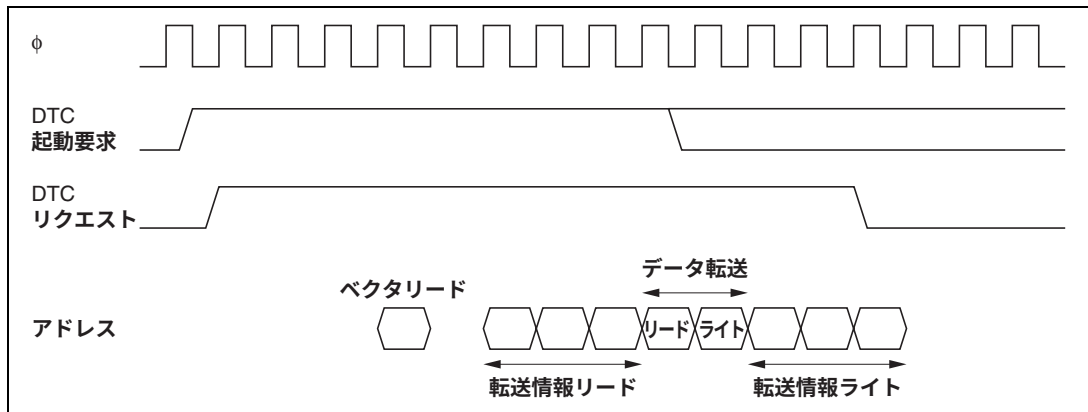


図 7.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

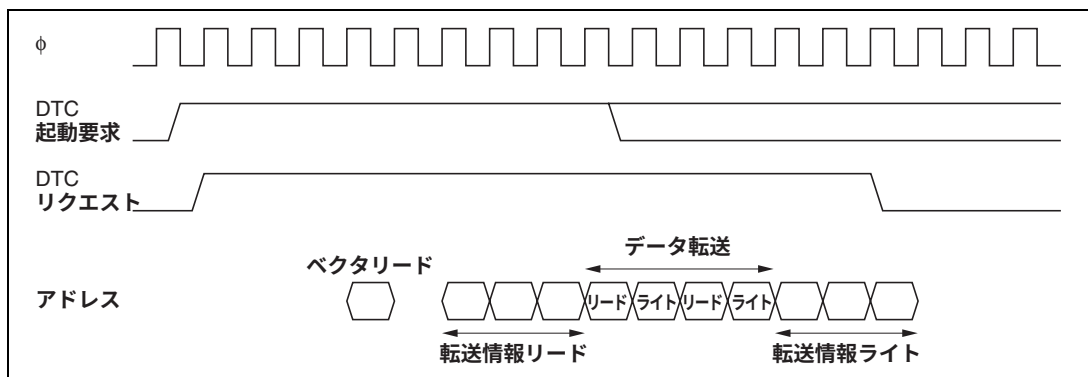


図 7.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

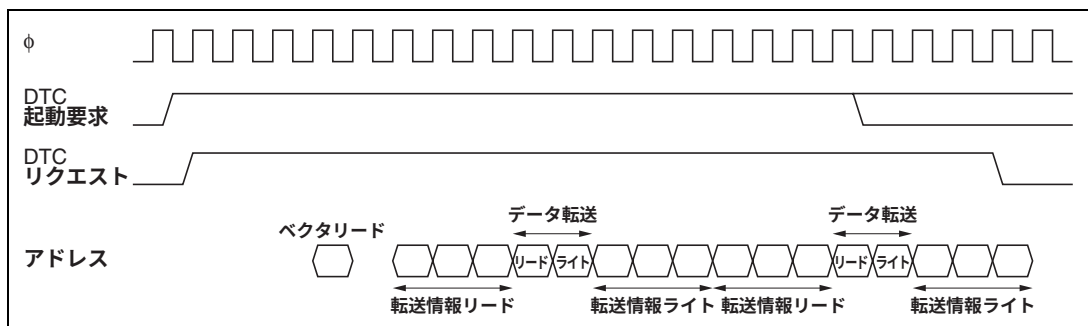


図 7.12 DTC の動作タイミング (チェイン転送の例)

7. データトランスファコントローラ (DTC)

7.3.10 DTC 実行ステート数

表 7.8 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 7.9 に、実行状態に必要なステート数を示します。

表 7.8 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード／ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

N：ブロックサイズ (GRAH、CRAL の初期設定値)

表 7.9 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実行 状態	ベクタリード S_i	—	1	—	—	4	6+2 m	2	3+m
	レジスタ情報 リード／ライト S_j	1	—	—	—	—	—	—	—
	バイトデータリード S_k	1	1	2	2	2	3+m	2	3+m
	ワードデータリード S_k	1	1	4	2	4	6+2 m	2	3+m
	バイトデータライト S_L	1	1	2	2	2	3+m	2	3+m
	ワードデータライト S_L	1	1	4	2	4	6+2 m	2	3+m
内部動作 S_M		1							

実行ステート数は次の計算式で計算されます。なお、 Σ は 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数+1) の和を示します。

$$\text{実行ステート数} = I \cdot S_i + \Sigma (J \cdot S_j + K \cdot S_k + L \cdot S_L) + M \cdot S_M$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM→内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

7.3.11 DTC 使用手順

(1) 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

- [1] MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] DTCERの対応するビットを1にセットします。
- [4] 起動要因となる割り込み要因のイネーブルビットを1にセットします。
要因となる割り込みが発生すると、DTCが起動されます。
- [5] 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEを1にセットしてください。

(2) ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

- [1] MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] SWDTE=0を確認します。
- [4] SWDTEに1を、DTVECRにベクタ番号をライトします。
- [5] DTVECRにライトしたベクタ番号を確認します。
- [6] 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

7.3.12 DTC 使用例

(1) ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

- [1] MRAはソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ノーマルモード (MD1=MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE=0、DISEL=0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] DTCERの対応するビットを1にセットします。
- [4] SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
- [5] SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
- [6] 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

(2) ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

- [1] MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ブロック転送モード (MD1=1、MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE=0) を行います。SARは転送元アドレスで H'1000、DARは転送先アドレスで H'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
- [3] DTVECRのSWDTE=0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
- [4] SWDTE=1と共に、ベクタ番号H'60をDTVECRにライトします。ライトデータはH'E0です。
- [5] 再度DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。[3] と [4] の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3] に戻ってください。
- [6] ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
- [7] 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

7.4 割り込み

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みが発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

7.5 使用上の注意

(1) モジュールストップ

MSTPCR の MSTP14 ビットを 1 にセットすると、DTC のクロックが停止し、DTC はモジュールストップ状態となります。ただし、DTC が起動中には MSTP14 ビットに 1 をライトできません。

また、DTC をモジュールストップとする場合、必ず DTCER がすべてクリアされた状態で MSTP14 ビットを 1 にセットしてください。

(2) 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

(3) DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード／ライトしてください。ただし、初期設定に限り複数の起動要因を一度に設定するときは、割り込みを禁止して当該レジスタのダミーリードを行ってからライトすることができます。

8. I/O ポート

8.1 概要

本 LSI には、10 本の入出力ポート（ポート 1～6、8、9、A、B）と 1 本の入力専用ポート（ポート 7）があります。H8S/2169 の追加ポート C～G については、「8.13 H8S/2169 の追加概要」を参照してください。

ポート機能一覧を表 8.1 に示します。各ポートの端子機能は兼用になっています。

各ポートは、入出力を制御するデータディレクションレジスタ (DDR) と、出力データを格納するデータレジスタ (DR、ODR) から構成されています。なお、入力専用ポートには DDR はありません。

ポート 1～3、6、A、B には、入力プルアップ MOS が内蔵されています。ポート A、B は DDR と ODR で、入力プルアップ MOS のオン／オフを制御し、ポート 1～3、6 は DDR、DR のほかに、入力プルアップ MOS コントロールレジスタ (PCR) で、入力プルアップ MOS のオン／オフを制御します。

ポート 1～6、8、9、A、B は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。また、ポート 1～3 は LED を駆動する（シンク電流 10mA）ことができます。

ポート A の入出力は VCC 電源から独立した、VCCB 電源によって動作します。したがって、VCCB の電圧が 5V であれば、ポート A 端子は 5V 入力が可能になります。

また、ポート A の PA4～PA7 はバスバッファ駆動が可能です。なお、ポート 5 の P52、ポート 9 の P97 の出力形式は、NMOS プッシュプル出力となっています。

したがって、P52 と P97 は 5V の入力が可能であり、DC 特性は VCC 電源に依存します。

8. I/O ポート

表 8.1 H8S/2149 ポートの機能一覧

ポート	概要	端子	拡張モード		シングルチップモード
			モード 1	モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)
ポート 1	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵 - LED 駆動可能	P17~P10/ A7~A0/ PW7~PW0	アドレス出力端子 (A7~A0)	DDR=0 のとき (リセット後) 入力ポート DDR=1 のとき アドレス出力端子(A7~A0) または PWM タイマ出力端子(PW7~PW0)	PWM タイマ出力端子 (PW7~PW0) と入出力ポートの兼用
ポート 2	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵 - LED 駆動可能	P27/A15/PW15/ CBLANK P26/A14/PW14 P25/A13/PW13 P24/A12/PW12 P23/A11/PW11 P22/A10/PW10 P21/A9/PW9 P20/A8/PW8	アドレス出力端子 (A15~A8)	DDR=0 のとき (リセット後) 入力ポートまたはタイマコネクションの出力端子(CBLANK) DDR=1 のとき アドレス出力端子(A15~A8)、PWM タイマ出力端子(PW15~PW8)、タイマコネクションの出力端子(CBLANK)、または出力ポート(P27~P24)	PWM タイマ出力端子 (PW15~PW8)、またはタイマコネクションの出力端子(CBLANK) と入出力ポートの兼用
ポート 3	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵 - LED 駆動可能	P37/D15/HDB7/ SERIRQ P36/D14/HDB6/ LCLK P35/D13/HDB5/ LRESET P34/D12/HDB4/ LFRAME P33~P30/ D11~D8/ HDB3~HDB0/ LAD3~LAD0	データバス入出力端子 (D15~D8)		XBS データバス入出力端子 (HDB7~HDB0)、LPC 入出力端子(SERIRQ、LCLK、LRESET、LFRAME、LAD3~LAD0) と入出力ポートの兼用

ポート	概要	端子	拡張モード		シングルチップモード
			モード 1	モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)
ポート 4	• 8 ビットの入出力ポート	P47/PWX1 P46/PWX0 P45/TMRI1/HIRQ12/ CSYNCI P44/TMO1/HIRQ1/ HSYNCO P43/TMCI1/HIRQ11/ HSYNCI P42/TMRI0/SCK2/ SDA1 P41/TMO0/RxD2/ IrRxD P40/TMCI0/TxD2/ IrTxD	14 ビット PWM タイマの出力端子(PWX1、 PWX0)、8 ビットタイマ 0、1 の入出力端子 (TMCI0、TMRI0、TMO0、TMCI1、TMRI1、 TMO1)、タイマコネクションの入出力端子 (HSYNCO、CSYNCI、HSYNCI)、SCI2 の入 出力端子(TxD2、RxD2、SCK2)、IrDA インタ フェースの入出力端子(IrTxD、IrRxD)、I ² C バ スインタフェース 1 の入出力端子(SDA1)と入 出力ポートの兼用		14 ビット PWM タイマの出 力端子(PWX1、PWX0)、8 ビ ットタイマ 0、1 の入出力端 子(TMCI0、TMRI0、TMO0、 TMCI1、TMRI1、TMO1)、タ イマコネクションの入出力 端子(HSYNCO、CSYNCI、 HSYNCI)、XBS のホスト割 り込み要求出力端子 (HIRQ12、HIRQ1、 HIRQ11)、 SCI2 の入出力端子(TxD2、 RxD2、SCK2)、IrDA インタ フェースの入出力端子 (IrTxD、IrRxD)、I ² C バスイン タフェース 1 の入出力端子 (SDA1) と入出力ポートの 兼用
ポート 5	• 3 ビットの入出力ポート	P52/SCK0/SCL0 P51/RxD0 P50/TxD0	SCI0 の入出力端子(TxD0、RxD0、SCK0)、I ² C バスインタフェース 0 の入 出力端子(SCL0) と入出力ポートの兼用		
ポート 6	• 8 ビットの入出力ポート	P67/IrQ7/TMOX/ KIN7/CIN7 P66/IrQ6/FTOB/ KIN6/CIN6 P65/FTID/KIN5/ CIN5 P64/FTIC/KIN4/ CIN4/CLAMPO P63/FTIB/KIN3/ CIN3/VFBACKI P62/FTIA/TMIY/ KIN2/CIN2/ VSYNCI P61/FTOA/KIN1/ CIN1/VSYNCO P60/FTCI/TMIX/ KIN0/CIN0/ HFBACKI	外部割り込み入力(IrQ7、IrQ6)、FRT の入出力端子(FTCI、FTOA、FTIA、 FTIB、FTIC、FTID、FTOB)、8 ビットタイマ X、Y の入出力端子(TMOX、 TMIX、TMIY)、タイマコネクションの入出力端子(CLAMPO、VFBACKI、 VSYNCI、VSYNCO、HFBACKI)、キーセンス割り込み入力端子(KIN7～ KIN0)、拡張 A/D 入力端子(CIN7～CIN0) と入出力ポートの兼用		

8. I/O ポート

ポート	概要	端子	拡張モード		シングルチップモード
			モード 1	モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)
ポート 7	• 8 ビットの入力ポート	P77/AN7/DA1 P76/AN6/DA0 P75/AN5 P74/AN4 P73/AN3 P72/AN2 P71/AN1 P70/AN0	A/D 変換器のアナログ入力(AN7~AN0)、D/A 変換器のアナログ出力(DA1、DA0) と入力ポートの兼用		
ポート 8	• 7 ビットの入出力ポート	P86/IRQ5/SCK1/ SCL1 P85/IRQ4/RxD1 P84/IRQ3/TxD1 P83/LPCPD P82/HIFSD/ CLKRUN P81/CS2/GA20 P80/HA0/PME	外部割り込み入力端子(IRQ5、IRQ4、IRQ3)、SCI1 の入出力端子(TxD1、RxD1、SCK1)、I ² C バスインタフェース 1 の入出力端子(SCL1) と入出力ポートの兼用		外部割り込み入力端子(IRQ5、IRQ4、IRQ3)、SCI1 の入出力端子(TxD1、RxD1、SCK1)、XBS の制御入出力端子(CS2、GA20、HA0、HIFSD)、LPC の入出力端子(LPCPD、CLKRUN、GA20、PME)、I ² C バスインタフェース 1 の入出力端子(SCL1) と入出力ポートの兼用
ポート 9	• 8 ビットの入出力ポート	P97/WAIT/SDA0	拡張データバス制御入力端子(WAIT)、I ² C バスインタフェース 0 の入出力端子(SDA0) と入出力ポートの兼用		I ² C バスインタフェース 0 の入出力端子(SDA0) と入出力ポートの兼用
		P96/φ/EXCL	DDR=0 のとき 入力ポートまたは EXCL 入力端子 DDR=1 のとき (リセット後)φ出力 端子	DDR=0 のとき(リセット後) 入力ポートまたは EXCL 入力端子の兼用 DDR=1 のとき φ出力端子	
		P95/AS/IOS/CS1 P94/HWR/IOW P93/RD/IOR	拡張データバス制御出力端子 (AS/IOS、HWR、RD)		XBS の制御入力端子(CS1、IOW、IOR) と入出力ポートの兼用
		P92/IRQ0 P91/IRQ1	外部割り込み入力端子 (IRQ0、IRQ1) と入出力ポートの兼用		
		P90/LWR/IRQ2/ ADTRG/ECS2	拡張データバス制御出力端子(LWR)、外部割り込み入力端子(IRQ2)、A/D 変換器の外部トリガ入力端子(ADTRG) と入出力ポートの兼用		外部割り込み入力端子(IRQ2)、A/D 変換器の外部トリガ入力端子(ADTRG)、XBS の制御入力端子(ECS2) と入出力ポートの兼用

ポート	概要	端子	拡張モード		シングルチップモード
			モード 1	モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)
ポート A	• 8 ビットの入出力 ポート	PA7/A23/KIN15/ CIN15/PS2CD PA6/A22/KIN14/ CIN14/PS2CC PA5/A21/KIN13/ CIN13/PS2BD PA4/A20/KIN12/ CIN12/PS2BC PA3/A19/KIN11/ CIN11/PS2AD PA2/A18/KIN10/ CIN10/PS2AC PA1/A17/KIN9/CIN9 PA0/A16/KIN8/CIN8	キーセンス割り込 み入力端子(KIN15 ~KIN8)、拡張 A/D 入力端子(CIN15~ CIN8)、キーボード バッファコントロ ーラ入出力端子 (PS2CD、PS2CC、 PS2BD、PS2BC、 PS2AD、PS2AC) と入出力ポートの 兼用	アドレス出力端子(A23 ~ A16)、キーセンス割り 込み入力端子(KIN15 ~ KIN8)、拡張 A/D 入力端 子(CIN15 ~CIN8)、キー ボードバッファコントロ ーラ入出力端子(PS2CD、 PS2CC、PS2BD、 PS2BC、PS2AD、PS2AC) と入出力ポートの兼用	キーセンス割り込み入力端 子(KIN15 ~KIN8)、拡張 A/D 入力端子(CIN15 ~ CIN8)、キーボードバッファ コントローラ入出力端子 (PS2CD、PS2CC、PS2BD、 PS2BC、PS2AD、PS2AC) と入出力ポートの兼用
ポート B	• 8 ビットの入出力 ポート	PB7/D7/WUE7 PB6/D6/WUE6 PB5/D5/WUE5 PB4/D4/WUE4 PB3/D3/WUE3/CS4 PB2/D2/WUE2/CS3 PB1/D1/WUE1/ HIRQ4/LSCI PB0/D0/WUE0/ HIRQ3/LSMI	8 ビットバスモード(ABW=1)のとき ウェイクアップイベント割り込み入力端子 (WUE7~WUE0) と入出力ポートの兼用 16 ビットバスモード(ABW=0)のとき データバス入出力端子(D7~D0)		XBS の制御入出力端子 (CS3、CS4、HIRQ3、 HIRQ4)、LPC の入出力端子 (LSCI、LSMI)、ウェイクア ップイベント割り込み入力 端子(WUE7~WUE0) と入 出力ポートの兼用

8.2 ポート 1

8.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 は、アドレスバス出力機能、8 ビット PWM の出力端子（PW7～PW0）と兼用になっており、動作モードによって端子機能が切り替わります。

ポート 1 は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート 1 の各端子の構成を図 8.1 に示します。

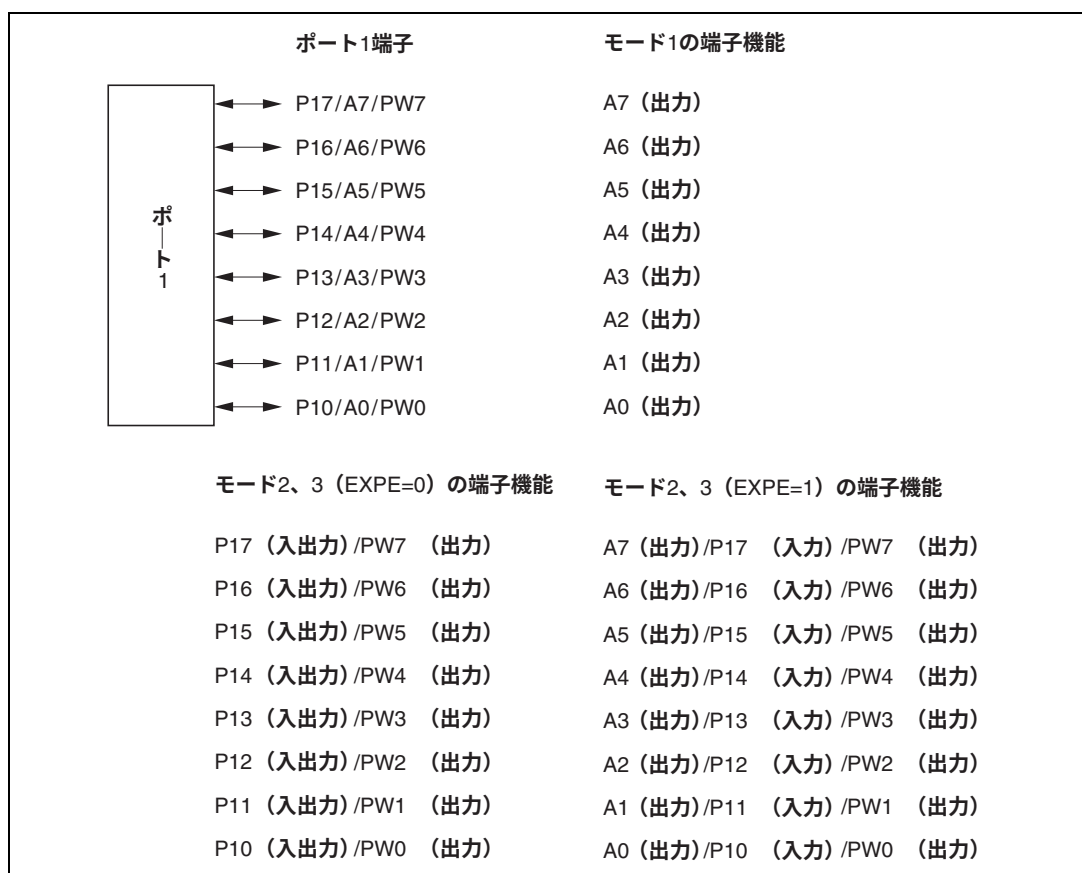


図 8.1 ポート 1 の端子機能

8.2.2 レジスタ構成

表 8.2 にポート 1 のレジスタ構成を示します。

表 8.2 ポート 1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 1 データ ディレクションレジスタ	P1DDR	W	H'00	H'FFB0
ポート 1 データレジスタ	P1DR	R/W	H'00	H'FFB2
ポート 1 プルアップ MOS コントロールレジスタ	P1PCR	R/W	H'00	H'FFAC

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 1 データディレクションレジスタ (P1DDR)

ビット：	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

P1DDR は、8 ビットのライト専用レジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P1DDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、P1DDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持します。

(a) モード 1

P1DDR の設定値にかかわらず、対応するポート 1 の各端子はアドレス出力となります。
ハードウェアスタンバイモード時は、アドレス出力はハイインピーダンス状態となります。

(b) モード 2、3 (EXPE=1)

P1DDR を 1 にセットすると対応するポート 1 の各端子はアドレス出力または PWM 出力となり、0 にクリアすると入力ポートになります。

(c) モード 2、3 (EXPE=0)

P1DDR を 1 にセットすると対応するポート 1 の各端子は出力ポートまたは PWM 出力となり、0 にクリアすると入力ポートになります。

8. I/O ポート

(2) ポート 1 データレジスタ (P1DR)

ビット：	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1DR は、8 ビットのリード／ライト可能なレジスタで、ポート 1 の各端子 (P17～P10) の出力データを格納します。P1DDR が 1 のときポート 1 のリードを行うと、P1DR の値を直接リードします。そのため端子の状態の影響を受けません。P1DDR が 0 のときポート 1 のリードを行うと、端子の状態が読み出されます。

P1DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 1 プルアップ MOS コントロールレジスタ (P1PCR)

ビット：	7	6	5	4	3	2	1	0
	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1PCR は、8 ビットのリード／ライト可能なレジスタで、ポート 1 に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 2、3 では、P1DDR を 0 にクリアした (入力ポート) 状態で、P1PCR を 1 にセットすると、入力プルアップ MOS はオンします。

P1PCR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.2.3 モード別端子機能

(1) モード 1

モード 1 のとき、ポート 1 は自動的にアドレス出力になります。
ポート 1 の端子機能を図 8.2 に示します。

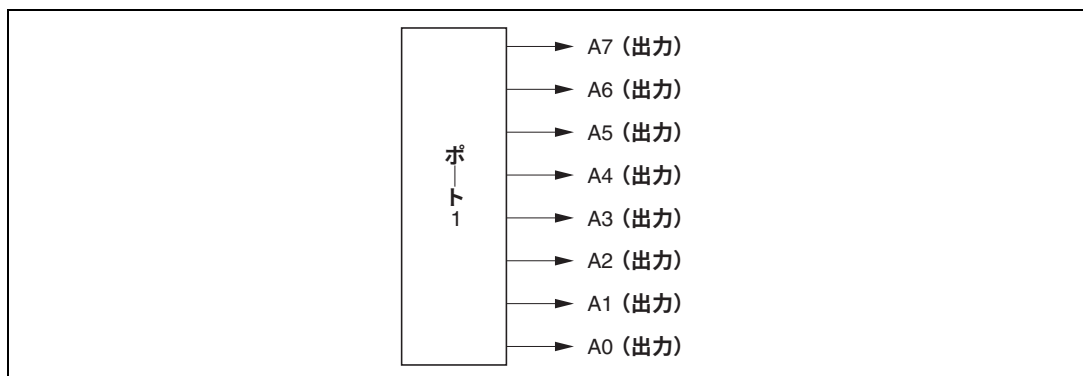


図 8.2 ポート 1 の端子機能（モード 1）

(2) モード 2、3 (EXPE=1)

モード 2、3 (EXPE=1) のとき、ポート 1 はアドレス出力、PWM 出力または入力ポートとして機能し、ビット単位で入出力を指定可能です。P1DDR の各ビットを 1 にセットすると対応する端子はアドレス出力または PWM 出力になり、0 にクリアすると入力ポートになります。

ポート 1 の端子機能を図 8.3 に示します。

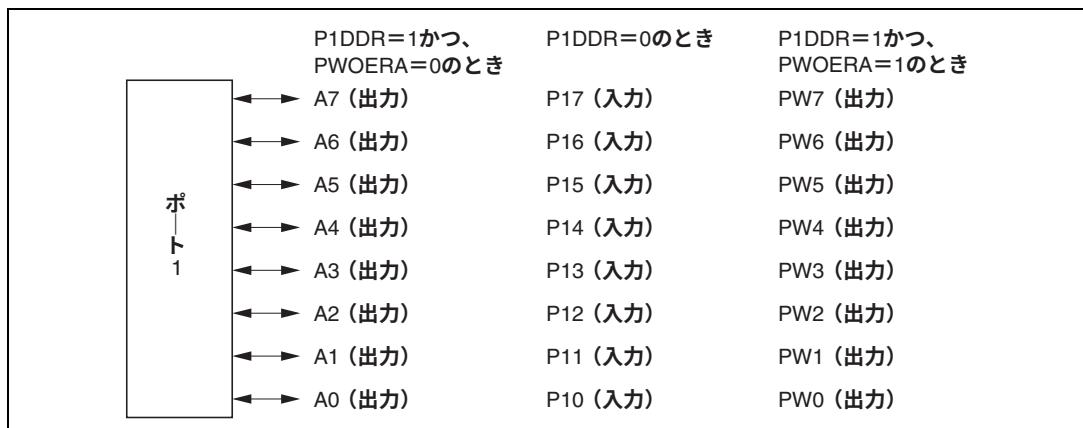


図 8.3 ポート 1 の端子機能（モード 2、3 (EXPE=1) ）

8. I/O ポート

(3) モード 2、3 (EXPE=0)

モード 2、3 (EXPE=0) のとき、ポート 1 は PWM 出力または入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。P1DDR の各ビットを 1 にセットすると対応する端子は PWM 出力または出力ポートになり、0 にクリアすると入力ポートになります。

ポート 1 の端子機能を図 8.4 に示します。

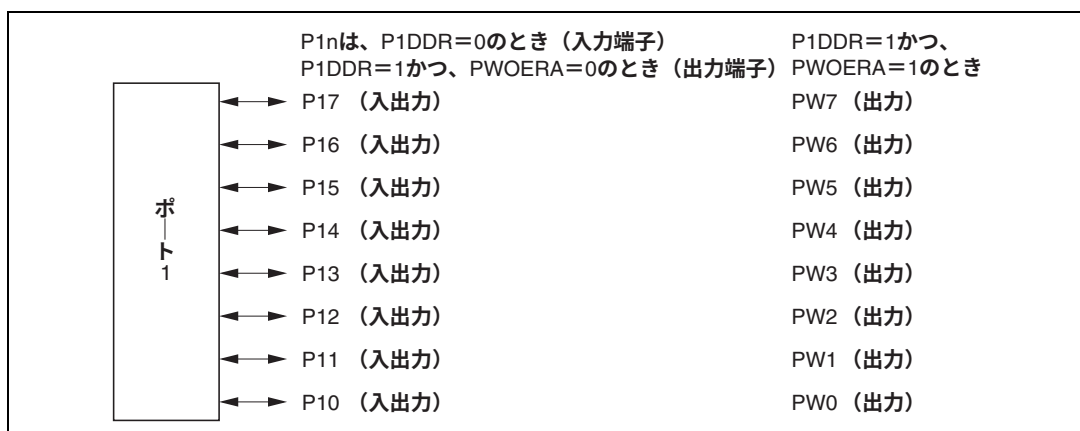


図 8.4 ポート 1 の端子機能（モード 2、3 (EXPE=0)）

8.2.4 入力プルアップ MOS

ポート 1 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 2、3 のときに使用でき、ビット単位でオン／オフを指定できます。

モード 2、3 のとき、P1DDR を 0 にクリアした状態で P1PCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.3 に示します。

表 8.3 入力プルアップ MOS の状態（ポート 1）

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1	OFF		OFF	
2、3			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : P1DDR=0 かつ P1PCR=1 のときオン状態、その他のときはオフ状態です。

8.3 ポート 2

8.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 は、アドレスバス出力機能、8 ビット PWM の出力端子（PW15～PW8）、タイマコネクションの出力端子（CBLANK）と兼用になっており、動作モードによって端子機能が切り替わります。

ポート 2 は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート 2 の各端子の構成を図 8.5 に示します。

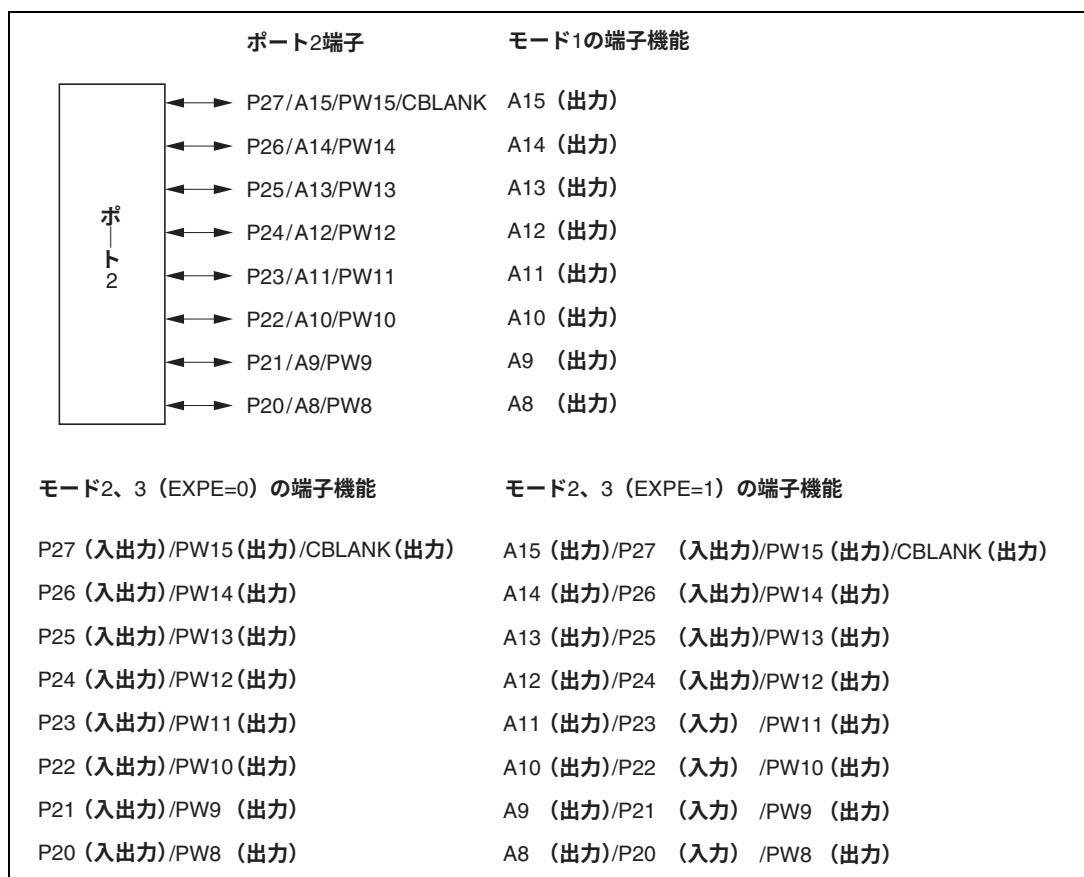


図 8.5 ポート 2 の端子機能

8.3.2 レジスタ構成

表 8.4 にポート 2 のレジスタ構成を示します。

表 8.4 ポート 2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 2 データディレクションレジスタ	P2DDR	W	H'00	H'FFB1
ポート 2 データレジスタ	P2DR	R/W	H'00	H'FFB3
ポート 2 プルアップ MOS コントロールレジスタ	P2PCR	R/W	H'00	H'FFAD

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 2 データディレクションレジスタ (P2DDR)

ビット：	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

P2DDR は、8 ビットのライト専用レジスタで、ポート 2 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P2DDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、P2DDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持します。

(a) モード 1

P2DDR の設定値にかかわらず、対応するポート 1 の各端子はアドレス出力となります。ハードウェアスタンバイモード時は、アドレス出力はハイインピーダンス状態となります。

(b) モード 2、3 (EXPE=1)

P2DDR を 1 にセットすると対応するポート 2 の各端子はアドレス出力または PWM 出力となり、0 にクリアすると入力ポートになります。なお、P27～P24 については、IOSE ビット=1 にすることによりアドレス出力から出力ポートに切り替わります。

また、P27 は、P27DDR にかかわらず周辺機能出力とすることができます。

ポート 2 をアドレス出力として使用する場合は、外部空間のアクセスを正常に行うために周辺機能出力に設定しないでください。

(c) モード 2、3 (EXPE=0)

P2DDR を 1 にセットすると対応するポート 2 の各端子は出力ポート、PWM 出力または出力ポートとなり、0 にクリアすると入力ポートになります。

P27 は、P27DDR にかかわらず周辺機能出力とすることができます。

(2) ポート 2 データレジスタ (P2DR)

ビット：	7	6	5	4	3	2	1	0
	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2DR は、8 ビットのリード／ライト可能なレジスタで、ポート 2 の各端子 (P27～P20) の出力データを格納します。P2DDR が 1 のときポート 2 のリードを行うと、P2DR の値を直接リードします。そのため端子の状態の影響を受けません。P2DDR が 0 のときポート 2 のリードを行うと、端子の状態が読み出されます。

P2DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 2 プルアップ MOS コントロールレジスタ (P2PCR)

ビット：	7	6	5	4	3	2	1	0
	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2PCR は、8 ビットのリード／ライト可能なレジスタで、ポート 2 に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 2、3 では、P2DDR を 0 にクリアした (入力ポート) 状態で、P2PCR を 1 にセットすると、入力プルアップ MOS はオンします。

P2PCR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.3.3 モード別端子機能

(1) モード 1

モード 1 のとき、ポート 2 は自動的にアドレス出力になります。
ポート 2 の端子機能を図 8.6 に示します。

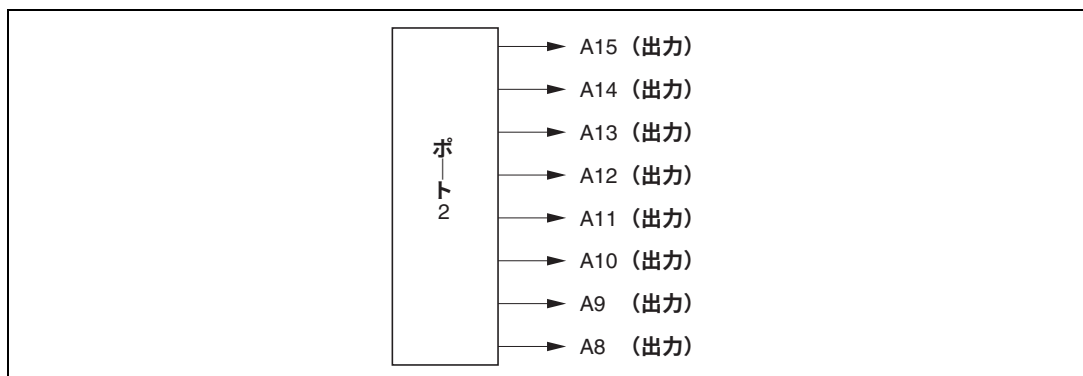


図 8.6 ポート 2 の端子機能 (モード 1)

(2) モード 2、3 (EXPE=1)

モード 2、3 (EXPE=1) のとき、ポート 2 はアドレス出力、PWM 出力または入出力ポートとして機能し、ビット単位で入出力を指定可能です。P2DDR の各ビットを 1 にセットすると対応する端子はアドレス出力または PWM 出力になり、0 にクリアすると入力ポートになります。なお、P27～P24 については、IOSE ビット=1 にすることによりアドレス出力から出力ポートに切り替わります。また、P27 は、P27DDR にかかわらず周辺機能出力とすることができます。ポート 2 をアドレス出力として使用する場合は、外部空間のアクセスを正常に行うために周辺機能出力に設定しないでください。

ポート 2 の端子機能を図 8.7 に示します。

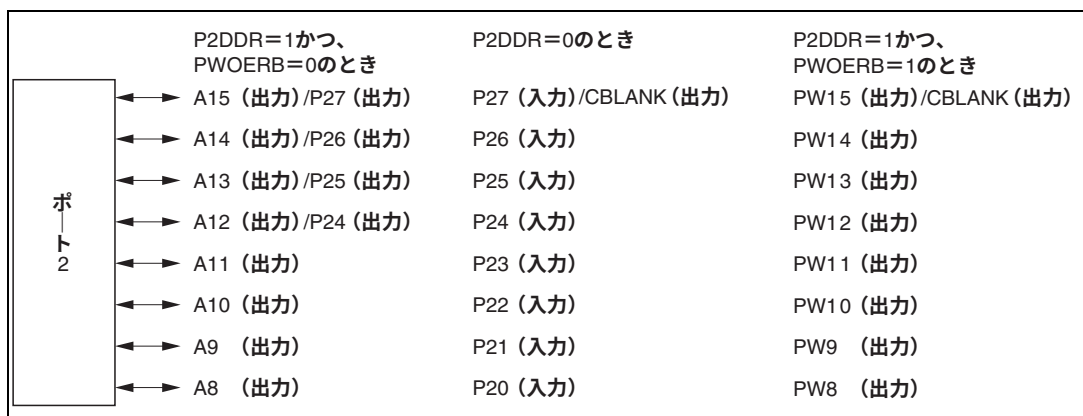


図 8.7 ポート 2 の端子機能 (モード 2、3 (EXPE=1))

(3) モード 2、3 (EXPE=0)

モード 2、3 (EXPE=0) のとき、ポート 2 は PWM 出力、タイマコネクション出力 (CBLANK) または入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。P2DDR の各ビットを 1 にセットすると対応する端子は PWM 出力または出力ポートになり、0 にクリアすると入力ポートになります。P27 は、P27DDR にかかわらず周辺機能出力とすることができます。

ポート 2 の端子機能を図 8.8 に示します。

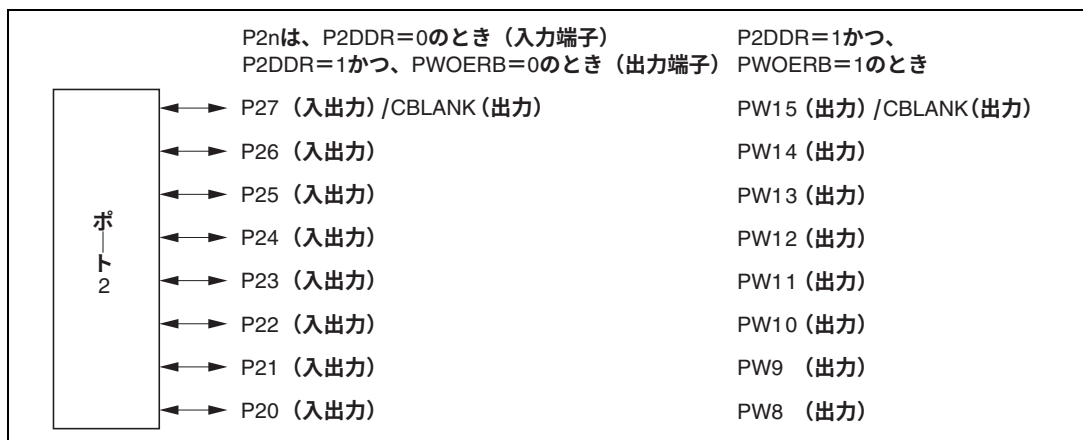


図 8.8 ポート 2 の端子機能 (モード 2、3 (EXPE=0))

8.3.4 入力プルアップ MOS

ポート 2 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 2、3 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 2、3 のとき、P2DDR を 0 にクリアした状態で、P2PCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.5 に示します。

表 8.5 入力プルアップ MOS の状態 (ポート 2)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1	OFF		OFF	
2、3			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : P2DDR=0 かつ P2PCR=1 のときオン状態、その他のときはオフ状態です。

8.4 ポート 3

8.4.1 概要

ポート 3 は、8 ビットの入出力ポートです。ポート 3 は、ホストインタフェース (LPC) 入出力 (SERIRQ、LCLK、 $\overline{\text{LRESET}}$ 、 $\overline{\text{LFRAME}}$ 、LAD3～LAD0)、ホストインタフェース (XBS) データバス入出力 (HDB7～HDB0) およびデータバス入出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート 3 は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート 3 の各端子の構成を図 8.9 に示します。

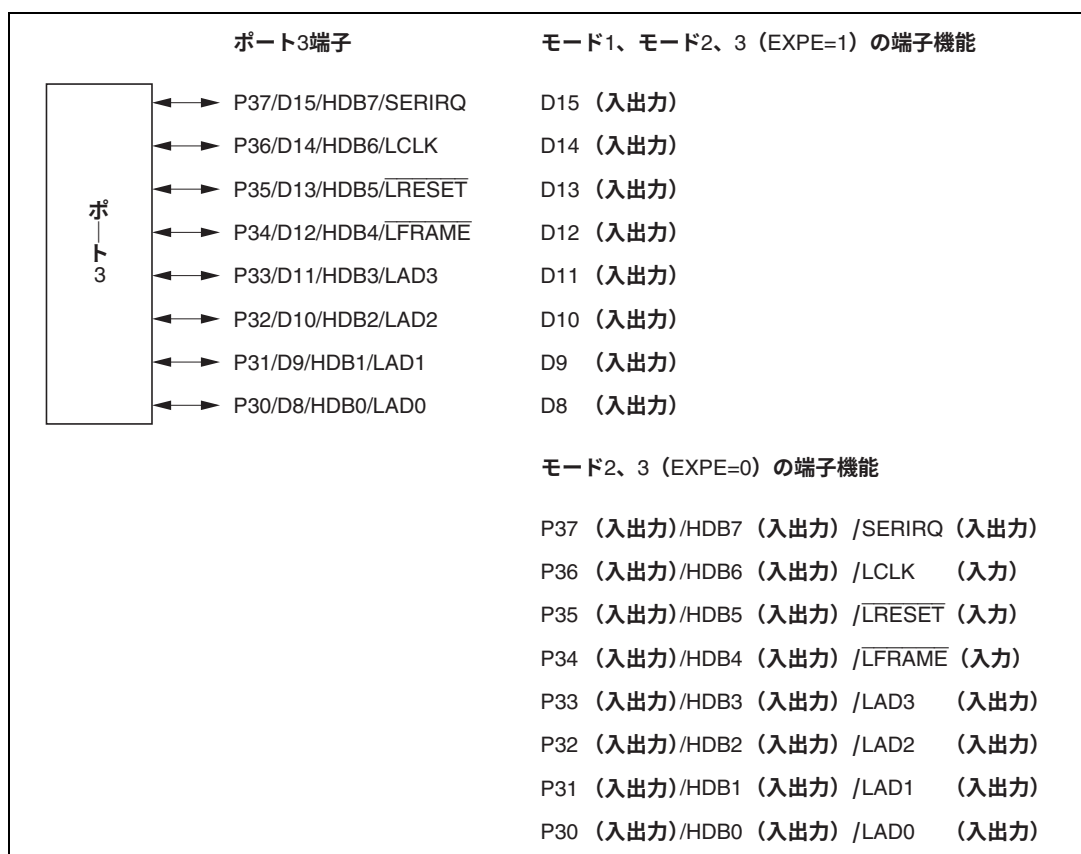


図 8.9 ポート 3 の端子機能

8.4.2 レジスタ構成

表 8.6 にポート 3 のレジスタ構成を示します。

表 8.6 ポート 3 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 3 データ ディレクションレジスタ	P3DDR	W	H'00	H'FFB4
ポート 3 データレジスタ	P3DR	R/W	H'00	H'FFB6
ポート 3 プルアップ MOS コントロールレジスタ	P3PCR	R/W	H'00	H'FFAE

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 3 データディレクションレジスタ (P3DDR)

ビット：	7	6	5	4	3	2	1	0
	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

P3DDR は、8 ビットのライト専用レジスタで、ポート 3 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P3DDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、P3DDR は直前の状態を保持します。

(a) モード 1、モード 2、3 (EXPE=1)

P3DDR による入出力の方向は無視され、自動的にデータ入出力となります。

また、リセット、ハードウェアスタンバイモードまたはソフトウェアスタンバイモード時には、データ入出力はハイインピーダンス状態になります。

(b) モード 2、3 (EXPE=0)

P3DDR を 1 にセットすると対応するポート 3 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

8. I/O ポート

(2) ポート 3 データレジスタ (P3DR)

ビット：	7	6	5	4	3	2	1	0
	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3DR は、8 ビットのリード／ライト可能なレジスタで、ポート 3 の各端子 (P37～P30) の出力データを格納します。P3DDR が 1 のときポート 3 のリードを行うと、P3DR の値を直接リードします。そのため端子の状態の影響を受けません。P3DDR が 0 のときポート 3 のリードを行うと、端子の状態が読み出されます。

P3DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 3 プルアップ MOS コントロールレジスタ (P3PCR)

ビット：	7	6	5	4	3	2	1	0
	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3PCR は、8 ビットのリード／ライト可能なレジスタで、ポート 3 に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 2、3 (EXPE=0) では、P3DDR を 0 にクリアした (入力ポート) 状態で、P3PCR を 1 にセットすると、入力プルアップ MOS はオンします。

P3PCR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

入力プルアップ MOS は、ホストインタフェースイネーブル時には使用できません。

8.4.3 モード別端子機能

(1) モード 1、モード 2、3 (EXPE=1)

モード 1、モード 2、3 (EXPE=1) のとき、ポート 3 は自動的にデータ入出力になります。

このとき、シングルチップモードでポート 3 と兼用になっているホストインタフェースのイネーブルビット (SYSCR2 の HII2E ビット、HICR0 の LPC3E~LPC1E ビット) は、すべて 0 にクリアしておくことを推奨します。

ポート 3 の端子機能を図 8.10 に示します。

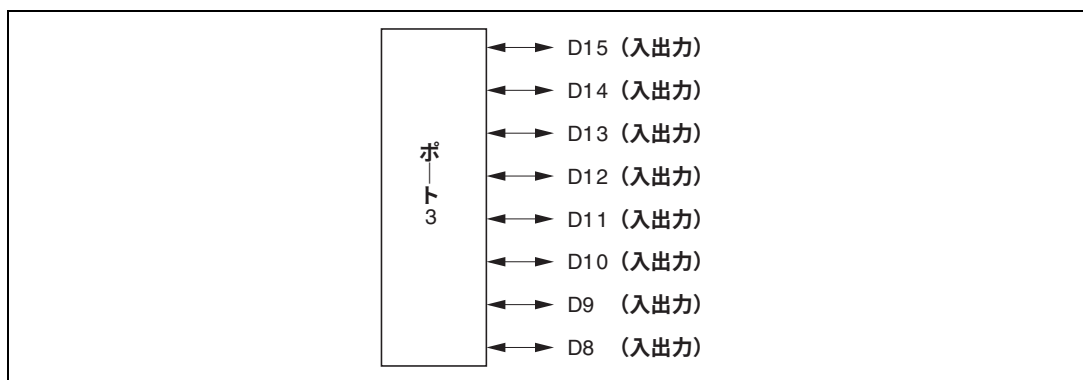


図 8.10 ポート 3 の端子機能 (モード 1、モード 2、3 (EXPE=1))

(2) モード 2、3 (EXPE=0)

モード 2、3 (EXPE=0) のとき、ポート 3 は、ホストインタフェース (LPC) 入出力 (SERIRQ、LCLK、 $\overline{\text{LRESET}}$ 、 $\overline{\text{LFRAME}}$ 、LAD3~LAD0)、ホストインタフェース (XBS) データバス入出力 (HDB7~HDB0) または入出力ポートとして機能します。端子機能の設定は、LPC、XBS、入出力ポートの順に優先されます。

HICR0 の LPC3E~LPC1E ビットの少なくともひとつが 1 にセットされると、ポート 3 はホストインタフェース (LPC) の入出力になります。この状態でも、SYSCR2 の HII2E ビットは 0 にクリアしておくことを推奨します。また、このとき P3DR と P3DDR は H'00 にクリアしてください。

SYSCR2 の HII2E ビットが 1 にセットされると、ポート 3 はホストインタフェース (XBS) データバスとなります。このとき P3DR と P3DDR は H'00 にクリアしてください。

LPC3E~LPC1E、HII2E ビットのすべてが 0 にクリアされているとポート 3 は入出力ポートとなり、各端子はビット単位で入出力を指定可能です。P3DDR の各ビットを 1 にセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

ポート 3 の端子機能を図 8.11 に示します。

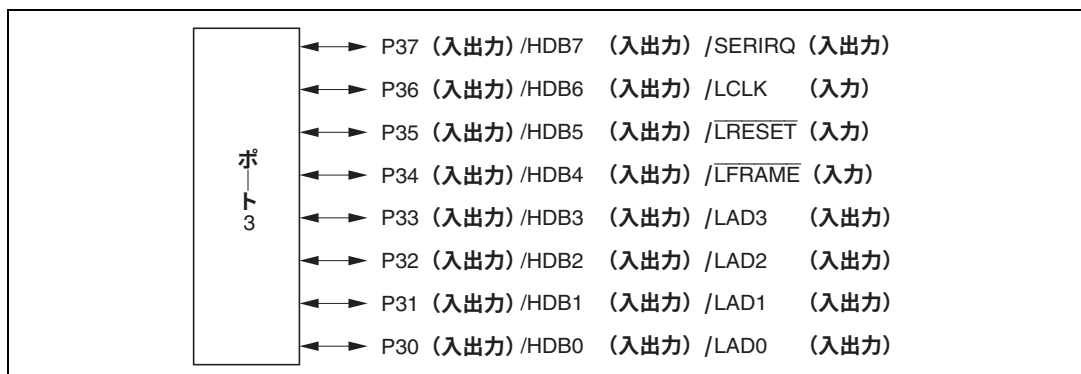


図 8.11 ポート 3 の端子機能（モード 2、3（EXPE=0））

8.4.4 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 2、3（EXPE=0）のときに使用でき、ビット単位でオン／オフを指定できます。

モード 2、3（EXPE=0）のとき、P3DDR を 0 にクリアした状態で、P3PCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.7 に示します。

表 8.7 入力プルアップ MOS の状態（ポート 3）

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3（EXPE=1）	OFF		OFF	
2、3（EXPE=0）			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : P3DDR=0 かつ P3PCR=1 のときオン状態、その他のときはオフ状態です。

8.5 ポート 4

8.5.1 概要

ポート 4 は、8 ビットの入出力ポートです。ポート 4 は、14 ビット PWM の出力端子 (PWX1、PWX0)、タイマ 0、1 (TMR0、TMR1) の入出力端子 (TMCi0、TMRI0、TMO0、TMCi1、TMRI1、TMO1)、タイマコネクションの入出力端子 (CSYNCl、HSYNCl、HSYNCO)、SCI2 の入出力端子 (TxD2、RxD2、SCK2)、IrDA インタフェースの入出力端子 (IrTxD、IrRxD)、ホストインタフェース (XBS) の出力端子 (HIRQ12、HIRQ1、HIRQ11)、IIC1 の入出力端子 (SDA1) と兼用になっています。ポート 4 の端子機能は、いずれの動作モードでも共通です。ポート 4 の各端子の構成を図 8.12 に示します。



図 8.12 ポート 4 の端子機能

8.5.2 レジスタ構成

表 8.8 にポート 4 のレジスタ構成を示します。

表 8.8 ポート 4 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 4 データディレクションレジスタ	P4DDR	W	H'00	H'FFB5
ポート 4 データレジスタ	P4DR	R/W	H'00	H'FFB7

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 4 データディレクションレジスタ (P4DDR)

ビット：	7	6	5	4	3	2	1	0
	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

P4DDR は、8 ビットのライト専用レジスタで、ポート 4 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P4DDR を 1 にセットすると対応するポート 4 の各端子は出力となり、0 にクリアすると入力になります。

P4DDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。ソフトウェアスタンバイモードでは 14 ビット PWM と SCI2 は初期化されるため、TMR0、TMR1、XBS、IIC1、P4DDR、P4DR の指定によって端子状態が決定されます。

(2) ポート 4 データレジスタ (P4DR)

ビット：	7	6	5	4	3	2	1	0
	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P4DR は、8 ビットのリード／ライト可能なレジスタで、ポート 4 の各端子 (P47～P40) の出力データを格納します。P4DDR が 1 のときポート 4 のリードを行うと、P4DR の値を直接リードします。そのため端子の状態の影響を受けません。P4DDR が 0 のときポート 4 のリードを行うと、端子の状態が読み出されます。

P4DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.5.3 端子機能

ポート 4 の各端子は、ポート 4 は、14 ビット PWM の出力端子 (PWX1、PWX0)、タイマ 0、1 (TMR0、TMR1) の入出力端子 (TMC10、TMR10、TMO0、TMC11、TMR11、TMO1)、タイマコネクションの入出力端子 (CSYNCL、HSYNCL、HSYNCO)、SCI2 の入出力端子 (TxD2、Rx2D、SCK2)、IrDA インタフェースの入出力端子 (IrTxD、IrRx2D)、ホストインタフェース (XBS) の出力端子 (HIRQ12、HIRQ1、HIRQ11)、IIC1 の入出力端子 (SDA1) と兼用になっています。ポート 4 の端子機能を表 8.9 に示します。

表 8.9 ポート 4 の端子機能

端子	選択方法と端子機能			
P47/PWX1	14 ビット PWM の DACR の OEB ビットと P47DDR ビットの組み合わせにより、次のように切り替わります。			
	OEB	0		1
	P47DDR	0	1	—
	端子機能	P47入力端子	P47出力端子	PWX1出力端子
P46/PWX0	14 ビット PWM の DACR の OEA ビットと P46DDR ビットの組み合わせにより、次のように切り替わります。			
	OEA	0		1
	P46DDR	0	1	—
	端子機能	P46入力端子	P46出力端子	PWX0出力端子
P45/TMRI1/ HIRQ12 /CSYNCI	SYSCR2 の HI12E ビットと P45DDR ビットの組み合わせにより、次のように切り替わります。			
	P45DDR	0		1
	HI12E	—	0	1
	端子機能	P45入力端子	P45出力端子	HIRQ12出力端子
	TMRI1入力端子、CSYNCI入力端子			
	TMR1 の TCR1 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットした場合は、TMRI1 入力端子として使用します。また、CSYNCI 入力端子として使用可能です。			
P44/TMO1/ HIRQ1/ HSYNCO	SYSCR2 の HI12E ビット、TMR1 の TCSR の OS3～OS0 ビット、タイマコネクションの TCONRO の HOE ビット、および P44DDR ビットの組み合わせにより、次のように切り替わります。			
	HOE	0		1
	OS3～OS0	すべてが0		いずれかが1
	P44DDR	0	1	—
	HI12E	—	0	1
	端子機能	P44入力端子	P44出力端子	HIRQ1出力端子
				TMO1出力端子
				HSYNCO出力端子
P43/TMCI1/ HIRQ11/ HSYNCI	SYSCR2 の HI12E ビットと P43DDR ビットの組み合わせにより、次のように切り替わります。			
	P43DDR	0		1
	HI12E	—	0	1
	端子機能	P43入力端子	P43出力端子	HIRQ11出力端子
	TMCI1入力端子、HSYNCI入力端子			
	TMR1 の TCR1 の CKS2～CKS0 ビットで外部クロックを選択した場合に、TMCI1 入力端子として使用します。また、HSYNCI 入力端子として使用可能です。			

8. I/O ポート

端子	選択方法と端子機能						
P42/TMRI0/ SCK2/SDA1	IIC1 の ICCR の ICE ビット、SCI2 の SCR の CKE1、CKE0 ビット、SMR の C/A ビット、および P42DDR ビットの組み合わせにより、次のように切り替わります。						
	ICE	0					1
	CKE1	0				1	0
	C/A	0			1	—	0
	CKE0	0		1	—	—	0
	P42DDR	0	1	—	—	—	—
	端子機能	P42 入力端子	P42 出力端子	SCK2 出力端子	SCK2 出力端子	SCK2 入力端子	SDA1 入出力端子
		TMRI0入力端子					
	SDA1 入出力端子として使用する場合は、SCI2 の SCR の CKE1、CKE0 ビット、SMR の C/A ビットの各ビットを必ず 0 にクリアしてください。なお、SDA1 の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。 TMR0 の TCR0 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットした場合は、TMRI0 入力端子として使用します。						
P41/TMO0/ RxD2/IrRxD	TMR0 の TCSR の OS3～OS0 ビット、SCI2 の SCR の RE ビットおよび P41DDR ビットの組み合わせにより、次のように切り替わります。						
	OS3～OS0	すべてが0				いずれかが1	
	RE	0			1	0	
	P41DDR	0	1	—		—	
	端子機能	P41入力端子		P41出力端子	RxD2/IrRxD 入力端子	TMO0出力端子	
	TMO0 出力端子として使用する場合は、SCI2 の SCR の RE ビットを必ず 0 にクリアしてください。						
P40/TMCIO/ TxD2/IrTxD	SCI2 の SCR の TE ビットと P40DDR ビットの組み合わせにより、次のように切り替わります。						
	TE	0				1	
	P40DDR	0	1			—	
	端子機能	P40入力端子		P40出力端子		TxD2/IrTxD出力端子	
		TMCIO入力端子					
	TMR0 の TCR0 の CKS2～CKS0 ビットで外部クロックを選択した場合に、TMCIO 入力端子として使用します。						

8.6 ポート 5

8.6.1 概要

ポート 5 は、3 ビットの入出力ポートです。ポート 5 は、SCI0 の入出力端子 (TxD0、RxD0、SCK0)、IIC0 の入出力端子 (SCL0) と兼用になっています。P52、SCK0 の出力形式は、NMOS プッシュプル出力となっています。また、SCL0 の出力形式は、NMOS オープンドレイン出力となっています。ポート 5 の端子機能はいずれの動作モードでも共通です。ポート 5 の各端子の構成を図 8.13 に示します。

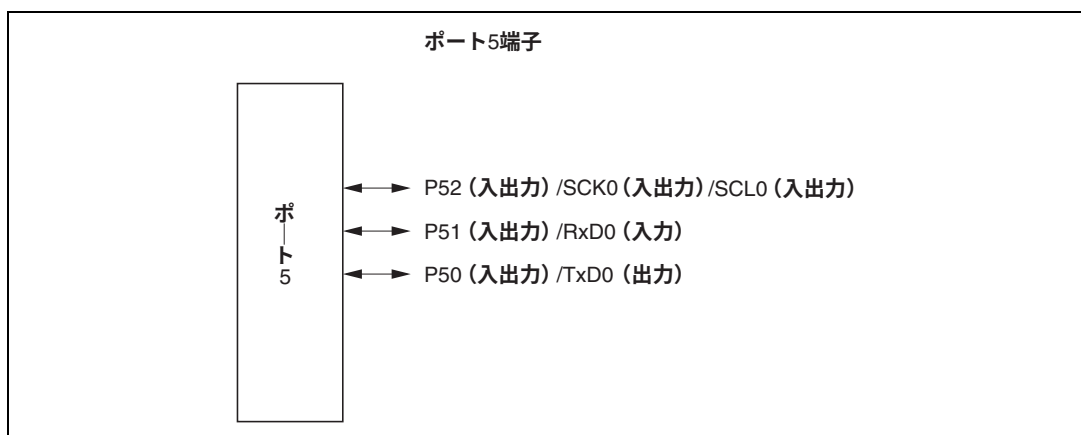


図 8.13 ポート 5 の端子機能

8.6.2 レジスタ構成

表 8.10 にポート 5 のレジスタ構成を示します。

表 8.10 ポート 5 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 5 データディレクションレジスタ	P5DDR	W	H'F8	H'FFB8
ポート 5 データレジスタ	P5DR	R/W	H'F8	H'FFBA

【注】 * アドレスの下位 16 ビットを示しています。

8. I/O ポート

(1) ポート 5 データディレクションレジスタ (P5DDR)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	P52DDR	P51DDR	P50DDR
初期値：	1	1	1	1	1	0	0	0
R/W：	—	—	—	—	—	W	W	W

P5DDR は、8 ビットのライト専用レジスタで、ポート 5 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。ビット 7～3 はリザーブビットです。

P5DDR を 1 にセットすると対応するポート 5 の各端子は出力となり、0 にクリアすると入力になります。

P5DDR は、リセットまたはハードウェアスタンバイモードでは H'F8 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。SCI0 は初期化されるため、IIC0 の ICCR、P5DDR、P5DR の指定によって端子状態が決定されます。

(2) ポート 5 データレジスタ (P5DR)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	P52DR	P51DR	P50DR
初期値：	1	1	1	1	1	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W

P5DR は、8 ビットのリード／ライト可能なレジスタで、ポート 5 の各端子 (P52～P50) の出力データを格納します。P5DDR が 1 のときポート 5 のリードを行うと、P5DR の値を直接リードします。そのため端子の状態の影響を受けません。P5DDR が 0 のときポート 5 のリードを行うと、端子の状態が読み出されます。

ビット 7～3 はリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

P5DR は、リセットまたはハードウェアスタンバイモードでは H'F8 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.6.3 端子機能

ポート 5 の各端子は、SCI0 の入出力端子（TxD0、RxD0、SCK0）、IIC0 の入出力端子（SCL0）と兼用になっています。ポート 5 の端子機能を表 8.11 に示します。

表 8.11 ポート 5 の端子機能

端子	選択方法と端子機能						
P52/SCK0/ SCL0	SCI0 の SMR の C/ $\bar{A}$ ビット、SCR の CKE0、CKE1 ビット、IIC0 の ICCR の ICE ビット、および P52DDR ビットの組み合わせにより、次のように切り替わります。						
	ICE	0					1
	CKE1	0				1	0
	C/ $\bar{A}$	0			1	—	0
	CKE0	0		1	—	—	0
	P52DDR	0	1	—	—	—	—
	端子機能	P52 入力端子	P52 出力端子	SCK0 出力端子	SCK0 出力端子	SCK0 入力端子	SCL0 入出力端子
	SCL0 入出力端子として使用する場合は、SCI0 の SCR の CKE1、CKE0 ビット、SMR の C/ $\bar{A}$ ビットの各ビットを必ず 0 にクリアしてください。なお、SCL0 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。 また、P52 出力端子、SCK0 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。						
P51/RxD0	SCI0 の SCR の RE ビットと P51DDR ビットの組み合わせにより、次のように切り替わります。						
	RE	0					1
	P51DDR	0		1		—	
	端子機能	P51入力端子		P51出力端子		RxD0入力端子	
P50/TxD0	SCI0 の SCR の TE ビットと P50DDR ビットの組み合わせにより、次のように切り替わります。						
	TE	0					1
	P50DDR	0		1		—	
	端子機能	P50入力端子		P50出力端子		TxD0出力端子	

8.7 ポート 6

8.7.1 概要

ポート 6 は、8 ビットの入出力ポートです。ポート 6 は、16 ビットフリーランニングタイマ (FRT) の入出力端子 (FTOA、FTOB、FTIA～FTID、FTCI)、タイマ X (TMRX) の入出力端子 (TMOX、TMIX)、タイマ Y (TMRX) の入力端子 (TMIY)、タイマコネクションの入出力端子 (HFBACKI、VSYINCI、VSYNCO、VFBACKI、CLAMPO)、キーセンス割り込み入力端子 ($\overline{KIN7}$ ～ $\overline{KIN0}$)、拡張 A/D 入力端子 (CIN7～CIN0)、割り込み入力端子 ($\overline{IRQ7}$ 、 $\overline{IRQ6}$) と兼用になっています。また、ポート 6 の入力レベルを 4 段階に切り替えることができます。ポート 6 の端子機能はいずれの動作モードでも共通です。ポート 6 の各端子の構成を図 8.14 に示します。

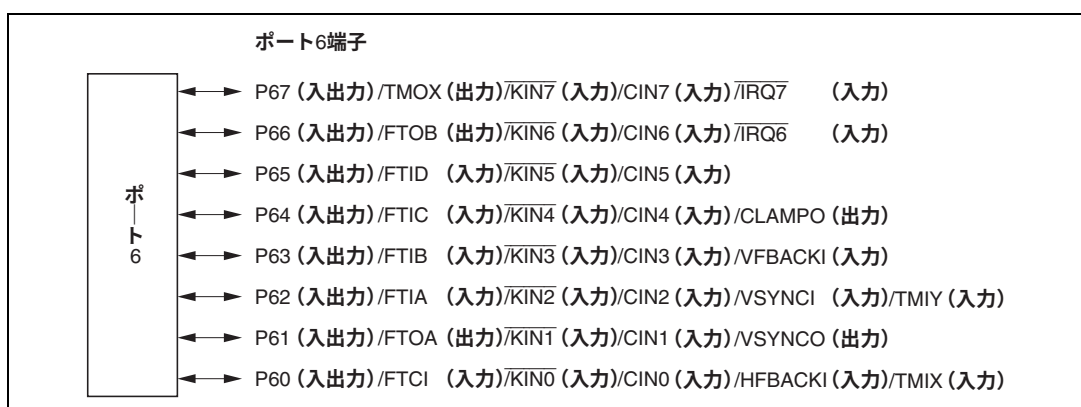


図 8.14 ポート 6 の端子機能

8.7.2 レジスタ構成

表 8.12 にポート 6 のレジスタ構成を示します。

表 8.12 ポート 6 レジスタ構成

名 称	略称	R/W	初期値	アドレス ^{*1}
ポート 6 データディレクションレジスタ	P6DDR	W	H'00	H'FFB9
ポート 6 データレジスタ	P6DR	R/W	H'00	H'FFBB
ポート 6 プルアップ MOS コントロールレジスタ	KMPCR	R/W	H'00	H'FFF2 ^{*2}
システムコントロールレジスタ 2	SYSCR2	R/W	H'00	H'FF83

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 KMPCR は TMRX/TMR Y の TICRR/TCORAY と同じアドレスです。KMPCR を選択するときには、SYSCR の HIE ビットを 1 に設定し、かつ MSTPCRL の MSTP2 ビットを 0 に設定してください。

(1) ポート 6 データディレクションレジスタ (P6DDR)

ビット：	7	6	5	4	3	2	1	0
	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

P6DDR は、8 ビットのライト専用レジスタで、ポート 6 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P6DDR を 1 にセットすると対応するポート 6 の各端子は出力となり、0 にクリアすると入力になります。

P6DDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(2) ポート 6 データレジスタ (P6DR)

ビット：	7	6	5	4	3	2	1	0
	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P6DR は、8 ビットのリード／ライト可能なレジスタで、ポート 6 の各端子 (P67～P60) の出力データを格納します。P6DDR が 1 のときポート 6 のリードを行うと、P6DR の値を直接リードします。そのため端子の状態の影響を受けません。P6DDR が 0 のときポート 6 のリードを行うと、端子の状態が読み出されます。

P6DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8. I/O ポート

(3) ポート 6 プルアップ MOS コントロールレジスタ (KMPCR)

ビット：	7	6	5	4	3	2	1	0
	KM7PCR	KM6PCR	KM5PCR	KM4PCR	KM3PCR	KM2PCR	KM1PCR	KM0PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

KMPCR は、8 ビットのリード／ライト可能なレジスタで、ポート 6 に内蔵された入力プルアップ MOS をビットごとに制御します。

P6DDR を 0 にクリアした（入力ポート）状態で、KMPCR を 1 にセットすると、入力プルアップ MOS はオンします。

KMPCR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) システムコントロールレジスタ 2 (SYSCR2)

ビット：	7	6	5	4	3	2	1	0
	KWUL1	KWUL0	P6PUE	—	SDE	CS4E	CS3E	HI12E
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

SYSCR2 は、8 ビットのリード／ライト可能なレジスタで、ポート 6 の入力レベル選択、ホストインタフェース機能の動作を制御します。

ここではビット 7～5 についてのみ説明します。ビット 4～0 については、「18A.2.2 システムコントロールレジスタ 2 (SYSCR2)」を参照してください。

SYSCR2 は、リセット、ハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7、6：キーウェイクアップレベル 1、0 (KWUL1、KWUL0)

ポート 6 の入力レベルをソフトウェアにより設定切り替えすることができます。この設定によりポート 6 に兼用の端子機能の入力レベルも切り替わります。

ビット 7	ビット 6	説 明
0	0	ポート 6 入力レベルは標準入力レベルを選択 (初期値)
	1	ポート 6 入力レベルは入力レベル 1 を選択
1	0	ポート 6 入力レベルは入力レベル 2 を選択
	1	ポート 6 入力レベルは入力レベル 3 を選択

ビット 5：ポート 6 入力プルアップ MOS エクストラ (P6PUE)

KMPCR の設定により接続されるポート 6 の入力プルアップ MOS の電流仕様を制御、選択します。

ビット 5	説 明
P6PUE	
0	ポート 6 入力プルアップ MOS は標準電流の仕様を選択 (初期値)
1	ポート 6 入力プルアップ MOS は電流制限の仕様を選択

8.7.3 端子機能

ポート 6 の各端子は、16 ビットフリーランニングタイマ (FRT) の入出力端子 (FTOA、FTOB、FTIA～FTID、FTCI)、タイマ X (TMRX) の入出力端子 (TMOX、TMIX)、タイマ Y (TMRY) の入力端子 (TMIY)、タイマコネクションの入出力端子 (HFBACKI、VSYINCI、VSYNCO、VFBACKI、CLAMPO)、キーセンス割り込み入力端子 ($\overline{\text{KIN7}} \sim \overline{\text{KIN0}}$)、拡張 A/D 入力端子 (CIN7～CIN0)、割り込み入力端子 ($\overline{\text{IRQ7}}$ 、 $\overline{\text{IRQ6}}$) と兼用になっています。また、ポート 6 の入力レベルを 4 段階に切り替えることができます。ポート 6 の端子機能を表 8.13 に示します。

8. I/O ポート

表 8.13 ポート 6 の端子機能

端子	選択方法と端子機能		
P67/TMOX/ IRQ7/KIN7/ CIN7	TMRX の TCSR の OS3～OS0 ビットと P67DDR ビットの組み合わせにより、次のように切り替わります。		
	OS3～OS0	すべてが0	
	P67DDR	0	1
端子機能	P67入力端子	P67出力端子	TMOX出力端子
	IRQ7入力端子、KIN7入力端子、CIN7入力端子		
	IER の IRQ7E ビットを 1 にセットした場合、IRQ7 入力端子として使用します。 また、常時 KIN7、CIN7 入力端子として使用可能です。		
P66/FTOB/ IRQ6/KIN6/ CIN6	FRT の TOCR の OEB ビットと P66DDR ビットの組み合わせにより、次のように切り替わります。		
	OEB	0	
	P66DDR	0	1
端子機能	P66入力端子	P66出力端子	FTOB出力端子
	IRQ6入力端子、KIN6入力端子、CIN6入力端子		
	IER の IRQ6E ビットを 1 にセットした場合、IRQ6 入力端子として使用します。 また、常時 KIN6、CIN6 入力端子として使用可能です。		
P65/FTID/ KIN5/CIN5	P65DDR	0	1
端子機能	P65入力端子	P65出力端子	
	FTID入力端子、KIN5入力端子、CIN5入力端子		
	また、常時 FTID、KIN5、CIN5 入力端子として使用可能です。		
P64/FTIC/ KIN4/CIN4/ CLAMPO	タイマコネクションの TCONRO の CLOE ビットと P64DDR ビットの組み合わせにより、次のように切り替わります。		
	CLOE	0	
	P64DDR	0	1
端子機能	P64入力端子	P64出力端子	CLAMPO出力端子
	FTIC入力端子、KIN4入力端子、CIN4入力端子		
	また、常時 FTIC、KIN4、CIN4 入力端子として使用可能です。		
P63/FTIB/ KIN3/CIN3/ VFBACKI	P63DDR	0	1
端子機能	P63入力端子	P63出力端子	
	FTIB入力端子、VFBACKI入力端子、KIN3入力端子、CIN3入力端子		
	また、常時 FTIB、KIN3、CIN3、VFBACKI 入力端子として使用可能です。		

端子	選択方法と端子機能			
P62/FTIA/ TMIY/ $\overline{\text{KIN2}}$ / CIN2/ VSYNCI	P62DDR	0		1
	端子機能	P62入力端子		P62出力端子
		FTIA入力端子、VSYNCI入力端子、TMIY入力端子、 $\overline{\text{KIN2}}$ 入力端子、CIN2入力端子		
また、常時 FTIA、TMIY、 $\overline{\text{KIN2}}$ 、CIN2、VSYNCI 入力端子として使用可能です。				
P61/FTOA/ $\overline{\text{KIN1}}$ /CIN1/ VSYNCO	FRT の TOCR の OEA ビット、タイマコネクションの TCONRO の VOE ビット、および P61DDR ビットの組み合わせにより、次のように切り替わります。			
	VOE	0		1
	OEA	0		1
	P61DDR	0	1	—
	端子機能	P61入力端子	P61出力端子	FTOA出力端子
		VSYNCO 出力端子		
	$\overline{\text{KIN1}}$ 入力端子、CIN1入力端子			
VSYNCO 端子として使用する場合は、FRT の TOCR の OEA ビットを必ず 0 にクリアしてください。				
また、常時 $\overline{\text{KIN1}}$ 、CIN1 入力端子として使用可能です。				
P60/FTCI/ TMIX/ $\overline{\text{KIN0}}$ / CIN0/ HFBACKI	P60DDR	0		1
	端子機能	P60入力端子		P60出力端子
		FTCI入力端子、HFBACKI入力端子、TMIX入力端子、 $\overline{\text{KIN0}}$ 入力端子、CIN0入力端子		
FRT の TCR の CKS1、CKS0 ビットで外部クロックを選択した場合に、FTCI 入力端子として使 用します。				
また、常時 TMIX、 $\overline{\text{KIN0}}$ 、CIN0、HFBACKI 入力端子として使用可能です。				

8.7.4 入力プルアップ MOS

ポート 6 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はいずれの動作モードでも使用でき、ビット単位でオン／オフを指定できます。

P6DDR を 0 にクリアした状態で、KMPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。また、P6PUE ビットによりプルアップ MOS 電流仕様を変更することができます。なお、内蔵周辺機能の出力端子に設定した場合は、入力プルアップ MOS は常にオフとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.14 に示します。

表 8.14 入力プルアップ MOS の状態 (ポート 6)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1～3	OFF		ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : P6DDR=0 かつ KMPCR=1 のときオン状態、その他のときはオフ状態です。

8.8 ポート 7

8.8.1 概要

ポート 7 は、8 ビットの入力専用ポートです。ポート 7 は、A/D 変換器のアナログ入力端子（AN0～AN7）、D/A 変換器のアナログ出力端子（DA0、DA1）との兼用になっています。ポート 7 の端子機能はいずれの動作モードでも共通です。ポート 7 の各端子の構成を図 8.15 に示します。

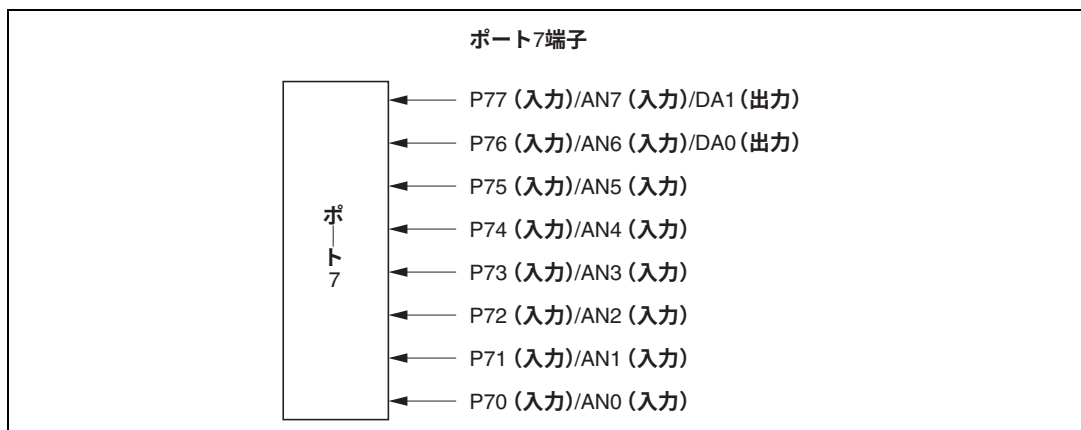


図 8.15 ポート 7 の端子機能

8.8.2 レジスタ構成

表 8.15 にポート 7 のレジスタ構成を示します。ポート 7 は入力専用ポートであり、データディレクションレジスタ、データレジスタはありません。

表 8.15 ポート 7 レジスタ構成

名 称	略称	R/W	初期値	アドレス ^{*1}
ポート 7 入力データレジスタ	P7PIN	R	不定	H'FFBE ^{*2}

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 P7PIN は PBDDR と同じアドレスです。

8. I/O ポート

(1) ポート 7 入力データレジスタ (P7PIN)

ビット：	7	6	5	4	3	2	1	0
	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W	R	R	R	R	R	R	R	R

【注】* P77～P70端子の状態により決定されます。

P7PIN のリードを行うと、常に端子の状態が読み出されます。

P7PIN は PBDDR と同じアドレスであり、ライトを行うと PBDDR にデータが書き込まれ、ポート B の設定が変わります。

8.8.3 端子機能

ポート 7 の各端子は、A/D 変換器のアナログ入力端子 (AN0～AN7)、D/A 変換器のアナログ出力端子 (DA0、DA1) との兼用になっています。

8.9 ポート 8

8.9.1 概要

ポート 8 は、8 ビットの入出力ポートです。ポート 8 は、SC11 の入出力端子 (TxD1、RxD1、SCK1)、IIC1 の入出力端子 (SCL1)、ホストインタフェース (XBS) の入出力端子 ($\overline{CS2}$ 、GA20、HA0、HIFSD)、ホストインタフェース (LPC) の入出力端子 ($\overline{PME}$ 、GA20、 $\overline{CLKRUN}$ 、 $\overline{LPCPD}$)、割り込み入力端子 ($\overline{IRQ5}$ ～ $\overline{IRQ3}$) と兼用になっています。ポート 8 の端子機能は、ホストインタフェース機能を除き、いずれの動作モードでも共通です。ポート 8 の各端子の構成を図 8.16 に示します。

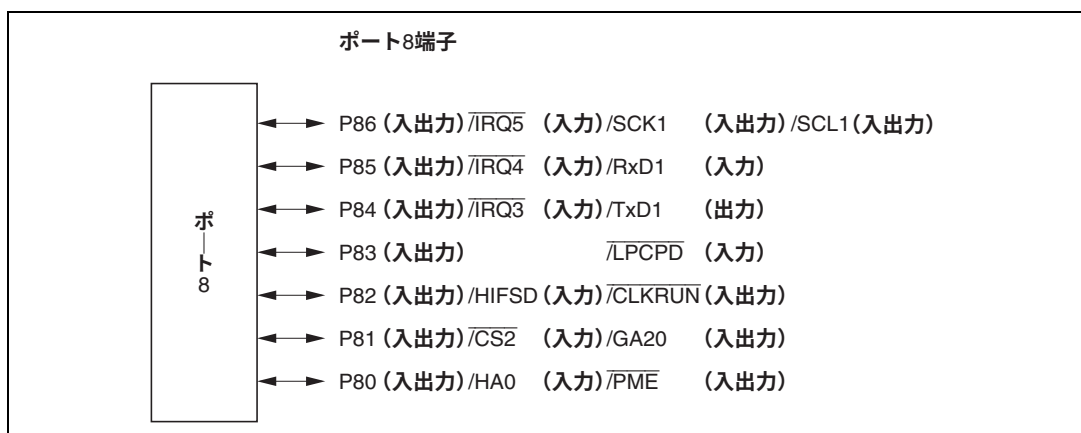


図 8.16 ポート 8 の端子機能

8.9.2 レジスタ構成

表 8.16 にポート 8 のレジスタ構成を示します。

表 8.16 ポート 8 レジスタ構成

名 称	略称	R/W	初期値	アドレス ^{*1}
ポート 8 データディレクションレジスタ	P8DDR	W	H'80	H'FFBD ^{*2}
ポート 8 データレジスタ	P8DR	R/W	H'80	H'FFBF

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 P8DDR は PBPIN と同じアドレスです。

8. I/O ポート

(1) ポート 8 データディレクションレジスタ (P8DDR)

ビット：	7	6	5	4	3	2	1	0
	—	P86DDR	P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR
初期値：	1	0	0	0	0	0	0	0
R/W：	—	W	W	W	W	W	W	W

P8DDR は、7 ビットのライト専用レジスタで、ポート 8 の各端子の入出力をビットごとに指定します。P8DDR は PBPIN と同じアドレスであり、リードするとポート B の状態が読み出されます。

P8DDR を 1 にセットすると対応するポート 8 の各端子は出力となり、0 にクリアすると入力になります。

P8DDR は、リセットまたはハードウェアスタンバイモードでは H'80 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(2) ポート 8 データレジスタ (P8DR)

ビット：	7	6	5	4	3	2	1	0
	—	P86DR	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR
初期値：	1	0	0	0	0	0	0	0
R/W：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P8DR は、7 ビットのリード／ライト可能なレジスタで、ポート 8 の各端子 (P86～P80) の出力データを格納します。P8DDR が 1 のときポート 8 のリードを行うと、P8DR の値を直接リードします。そのため端子の状態の影響を受けません。P8DDR が 0 のときポート 8 のリードを行うと、端子の状態が読み出されます。

P8DR は、リセットまたはハードウェアスタンバイモードでは H'80 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.9.3 端子機能

ポート 8 の各端子は、SCI1 の入出力端子 (TxD1、RxD1、SCK1)、IIC1 の入出力端子 (SCL1)、ホストインタフェース (HIF) の入出力端子 ($\overline{\text{CS2}}$ 、GA20、HA0、HIFSD)、ホストインタフェース (LPC) の入出力端子 ($\overline{\text{PME}}$ 、GA20、 $\overline{\text{CLKRUN}}$ 、 $\overline{\text{LPCPD}}$)、割り込み入力端子 ($\overline{\text{IRQ5}}$ ～ $\overline{\text{IRQ3}}$) と兼用になっています。ポート 8 の端子機能を表 8.17 に示します。

表 8.17 ポート 8 の端子機能

端子	選択方法と端子機能						
P86/ $\overline{\text{IRQ5}}$ / SCK1/SCL1	SCI1 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、CKE1 ビット、IIC1 の ICCR の ICE ビット、および P86DDR ビットの組み合わせにより、次のように切り替わります。						
	ICE	0					1
	CKE1	0				1	0
	C/ $\overline{\text{A}}$	0			1	—	0
	CKE0	0		1	—	—	0
	P86DDR	0	1	—	—	—	—
	端子機能	P86	P86	SCK1	SCK1	SCK1	SCL1
		入力端子	出力端子	出力端子	出力端子	入力端子	入出力端子
	$\overline{\text{IRQ5}}$ 入力端子						
	IER の $\overline{\text{IRQ5E}}$ ビットを 1 にセットした場合、 $\overline{\text{IRQ5}}$ 入力端子として使用します。 SCL1 入出力端子として使用する場合は、SCI1 の SCR の CKE1、CKE0 ビット、SMR の C/ $\overline{\text{A}}$ ビットの各ビットを必ず 0 にクリアしてください。なお、SCL1 の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。						
P85/ $\overline{\text{IRQ4}}$ / RxD1	SCI1 の SCR の RE ビットと P85DDR ビットの組み合わせにより、次のように切り替わります。						
	RE	0					1
	P85DDR	0		1		—	
	端子機能	P85入力端子		P85出力端子		RxD1入力端子	
		$\overline{\text{IRQ4}}$ 入力端子					
	IER の $\overline{\text{IRQ4E}}$ ビットを 1 にセットした場合、 $\overline{\text{IRQ4}}$ 入力端子として使用します。						
P84/ $\overline{\text{IRQ3}}$ / TxD1	SCI1 の SCR の TE ビットと P84DDR ビットの組み合わせにより、次のように切り替わります。						
	TE	0					1
	P84DDR	0		1		—	
	端子機能	P84入力端子		P84出力端子		TxD1出力端子	
		$\overline{\text{IRQ3}}$ 入力端子					
	IER の $\overline{\text{IRQ3E}}$ ビットを 1 にセットした場合、 $\overline{\text{IRQ3}}$ 入力端子として使用します。						
P83/ $\overline{\text{LPCPD}}$	P83DDR ビットにより、次のように切り替わります。						
	P83DDR	0				1	
	端子機能	P83入力端子				P83出力端子	
		$\overline{\text{LPCPD}}$ 入力端子					
	HICR0 の LPC3E～LPC1E ビットの少なくともひとつを 1 にセットした場合、 $\overline{\text{LPCPD}}$ 入力端子として使用します。 $\overline{\text{LPCPD}}$ 入力端子は、モード 2、3 (EXPE=0) のときのみ使用可能です。						

8. I/O ポート

端子	選択方法と端子機能								
P82/HIFSD/ CLKRUN	SYSCR2 の HI12E ビットおよび SDE ビット、HICR0 の LPC3E~LPC1E ビット、および P82DDR ビットの組み合わせにより、次のように切り替わります。 *：LPC3E~LPC1E ビットの少なくともひとつを 1 とする場合は、HI12E ビットと P82DDR ビットは 0 にクリアしてください。								
	LPC3E~LPC1E	すべてが0						いずれかが1	
	HI12E	0		1			—*		
	SDE	—		0		1	—		
	P82DDR	0	1	0	1	—	—*		
	端子機能	P82 入力端子	P82 出力端子	P82 入力端子	P82 出力端子	HIFSD 入力端子	CLKRUN 入出力端子		
	HIFSD 入力端子および CLKRUN 入出力端子は、モード 2、3（EXPE=0）のときのみ使用可能です。								
P81/GA20/ CS2	SYSCR2 の HI12E ビット、SYSCR の CS2E ビット、HICR の FGA20E ビット、HICR0 の FGA20E ビット、および P81DDR ビットの組み合わせにより、次のように切り替わります。 *：HICR0 の FGA20E ビットを 1 とする場合は、HI12E ビットと P81DDR ビットを 0 にクリアしてください。								
	FGA20E(LPC)	0						1	
	HI12E	0		1			—*		
	FGA20E(XBS)	—		0		1	—		
	CS2E	—		0		1	—		
	P81DDR	0	1	0	1	—	0	1	—*
	端子機能	P81 入力端子	P81 出力端子	P81 入力端子	P81 出力端子	CS2 入力端子	P81 入力端子	GA20 出力端子	GA20 出力端子
GA20 出力、CS2 入力端子は、モード 2、3（EXPE=0）のときのみ使用可能です。									
P80/HA0/ PME	SYSCR2 の HI12E ビット、HICR0 の PMEE ビット、および P80DDR ビットの組み合わせにより、次のように切り替わります。 *：HICR0 の PMEE ビットを 1 とする場合は、HI12E ビットと P80DDR ビットを 0 にクリアしてください。								
	PMEE	0						1	
	HI12E	0			1		—*		
	P80DDR	0		1		—		—*	
	端子機能	P80入力端子		P80出力端子		HA0入力端子		PME出力端子	
	PME入力端子								
	HA0 入力端子は、モード 2、3（EXPE=0）のときのみ使用可能です。								

8.10 ポート 9

8.10.1 概要

ポート 9 は、8 ビットの入出力ポートです。ポート 9 は、割り込み入力端子 ($\overline{\text{IRQ0}} \sim \overline{\text{IRQ2}}$)、A/D 変換器の入力端子 ($\overline{\text{ADTRG}}$)、ホストインタフェース (XBS) の入力端子 ($\overline{\text{ECS2}}$ 、 $\overline{\text{CS1}}$ 、 $\overline{\text{IOW}}$ 、 $\overline{\text{IOR}}$)、IIC0 の入出力端子 (SDA0)、サブクロック入力端子 (EXCL)、バス制御信号入出力端子 ($\overline{\text{AS}}/\overline{\text{IOS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{WAIT}}$) およびシステムクロック (ϕ) 出力端子と兼用になっています。P97 の出力形式は、NMOS プッシュプル出力となります。また、 SDA0 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。

ポート 9 の各端子の構成を図 8.17 に示します。

ポート9端子	モード1、モード2、3 (EXPE=1) の端子機能
↔ P97/ $\overline{\text{WAIT}}$ /SDA0	$\overline{\text{WAIT}}$ (入力) /P97 (入出力)/SDA0 (入出力)
↔ P96/ ϕ /EXCL	ϕ (出力) /P96 (入力) /EXCL (入力)
↔ P95/ $\overline{\text{AS}}/\overline{\text{IOS}}/\overline{\text{CS1}}$	$\overline{\text{AS}}$ (出力) / $\overline{\text{IOS}}$ (出力)
↔ P94/ $\overline{\text{HWR}}/\overline{\text{IOW}}$	$\overline{\text{HWR}}$ (出力)
↔ P93/ $\overline{\text{RD}}/\overline{\text{IOR}}$	$\overline{\text{RD}}$ (出力)
↔ P92/ $\overline{\text{IRQ0}}$	P92 (入出力)/ $\overline{\text{IRQ0}}$ (入力)
↔ P91/ $\overline{\text{IRQ1}}$	P91 (入出力)/ $\overline{\text{IRQ1}}$ (入力)
↔ P90/ $\overline{\text{LWR}}/\overline{\text{IRQ2}}/\overline{\text{ADTRG}}/\overline{\text{ECS2}}$	P90 (入出力)/ $\overline{\text{LWR}}$ (出力) / $\overline{\text{IRQ2}}$ (入力)/ $\overline{\text{ADTRG}}$ (入力)
モード2、3 (EXPE=0) の端子機能	
	P97 (入出力) /SDA0 (入出力)
	P96 (入力) / ϕ (出力)/EXCL (入力)
	P95 (入出力) / $\overline{\text{CS1}}$ (入力)
	P94 (入出力) / $\overline{\text{IOW}}$ (入力)
	P93 (入出力) / $\overline{\text{IOR}}$ (入力)
	P92 (入出力) / $\overline{\text{IRQ0}}$ (入力)
	P91 (入出力) / $\overline{\text{IRQ1}}$ (入力)
	P90 (入出力) / $\overline{\text{IRQ2}}$ (入力) / $\overline{\text{ADTRG}}$ (入力) / $\overline{\text{ECS2}}$ (入力)

図 8.17 ポート 9 の端子機能

8.10.2 レジスタ構成

表 8.18 にポート 9 のレジスタ構成を示します。

表 8.18 ポート 9 レジスタ構成

名 称	略称	R/W	初期値	アドレス ^{*1}
ポート 9 データディレクションレジスタ	P9DDR	W	H'40/H'00 ^{*2}	H'FFC0
ポート 9 データレジスタ	P9DR	R/W	H'00	H'FFC1

【注】 ^{*1} アドレスの下位 16 ビットを示しています。

^{*2} モードによって、初期値が異なります。

(1) ポート 9 データディレクションレジスタ (P9DDR)

ビット：	7	6	5	4	3	2	1	0
	P97DDR	P96DDR	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR
モード1								
初期値：	0	1	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W
モード2、3								
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

P9DDR は、8 ビットのライト専用レジスタで、ポート 9 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P9DDR は、リセットまたはハードウェアスタンバイモードでは、モード 1 の場合 H'40 に、モード 2、3 の場合 H'00 に初期化されます。ソフトウェアスタンバイモードでは、P9DDR は直前の状態を保持します。

(a) モード 1、モード 2、3 (EXPE=1)

P97 端子は、ウェイトモードの設定によりバス制御入力 ($\overline{\text{WAIT}}$)、IIC0 の入出力端子 (SDA0) または入出力ポートになります。入出力ポートの場合、P97DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

P96 端子は、P96DDR を 1 にセットすると ϕ 出力端子、0 にクリアするとサブクロック入力 (EXCL) または入力ポートになります。

P95～P93 端子は、P95DDR～P93DDR による入出力の方向は無視され、自動的にバス制御出力 ($\overline{\text{AS/IOS}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{RD}}$) となります。

P92～P91 端子は、P92DDR～P91DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

P90 端子は、WSCR の ABW ビットを 0 にクリアすると、P90DDR による入出力の方向は無視され、バス制御出力 ($\overline{\text{LWR}}$) となります。ABW ビットを 1 にセットした状態では、P90DDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。

(b) モード 2、3 (EXPE=0)

P9DDR を 1 にセットすると P96 端子は ϕ 出力端子、P97、P95～P90 端子は出力ポートとなります。P9DDR を 0 にクリアすると各端子は入力ポートになります。

(2) ポート 9 データレジスタ (P9DR)

ビット：	7	6	5	4	3	2	1	0
	P97DR	P96DR	P95DR	P94DR	P93DR	P92DR	P91DR	P90DR
初期値：	0	—*	0	0	0	0	0	0
R/W：	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

【注】* P96端子の状態により決定されます。

P9DR は、8 ビットのリード／ライト可能なレジスタで、ポート 9 の各端子 (P97～P90) の出力データを格納します。P96 以外では、P9DDR が 1 のときポート 9 のリードを行うと、P9DR の値を直接リードします。そのため端子の状態の影響を受けません。P9DDR が 0 のときポート 9 のリードを行うと、端子の状態が読み出されます。

P9DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8.10.3 端子機能

ポート 9 は、割り込み入力端子 ($\overline{\text{IRQ0}}\sim\overline{\text{IRQ2}}$)、A/D 変換器の入力端子 ($\overline{\text{ADTRG}}$)、ホストインタフェース (XBS) の入力端子 ($\overline{\text{ECS2}}$ 、 $\overline{\text{CS1}}$ 、 $\overline{\text{IOW}}$ 、 $\overline{\text{IOR}}$)、IIC0 の入出力端子 (SDA0)、サブクロック入力端子 (EXCL)、バス制御信号入出力端子 ($\overline{\text{AS/IOS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{WAIT}}$) およびシステムクロック (ϕ) 出力端子と兼用になっています。モード 1、モード 2、3 (EXPE=1) の拡張モードとモード 2、3 (EXPE=0) シングルチップモードでは端子機能が異なります。ポート 9 の端子機能を表 8.19 に示します。

8. I/O ポート

表 8.19 ポート 9 の端子機能

端子	選択方法と端子機能							
P97/WAIT/ SDA0	動作モード、WSCR の WMS1 ビット、IIC0 の ICCR の ICE ビット、および P97DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、モード2、3 (EXPE=1)				モード2、3 (EXPE=0)		
	WMS1	0			1	—		
	ICE	0		1	—	0	1	
	P97DDR	0	1	—	—	0	1	—
	端子機能	P97	P97	SDA0	WAIT	P97	P97	SDA0
	入力端子	出力端子	入出力端子	入力端子	入力端子	出力端子	入出力端子	
P97 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。また、SDA0 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。								
P96/φ/EXCL	LPWRCR の EXCLE ビットと P96DDR ビットの組み合わせにより、次のように切り替わります。							
	P96DDR	0				1		
	EXCLE	0		1		0		
	端子機能	P96入力端子		EXCL入力端子		φ出力端子		
EXCL 入力端子として使用する場合は、P96DDR を 0 にクリアしてください。								
P95/AS/IOS/ CS1	動作モード、SYSCR の IOSE ビット、SYSCR2 の HI12E ビット、および P95DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)			
	HI12E	—			0		1	
	P95DDR	—			0	1	—	
	IOSE	0	1	—	—	—		
	端子機能	AS出力端子	IOS出力端子	P95入力端子	P95出力端子	CS1入力端子		
P94/HWR/ IOW	動作モード、SYSCR2 の HI12E ビット、および P94DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、 モード2、3 (EXPE=1)		モード2、3 (EXPE=0)				
	HI12E	—		0		1		
	P94DDR	—		0	1	—		
	端子機能	HWR出力端子		P94入力端子	P94出力端子	IOW入力端子		

端子	選択方法と端子機能					
P93/RD/IOR	動作モード、SYSCR2 の HI12E ビット、および P93DDR ビットの組み合わせにより、次のように切り替わります。					
	動作モード	モード1、 モード2、3 (EXPE=1)		モード2、3 (EXPE=0)		
	HI12E	—		0	1	
	P93DDR	—		0	1	
	端子機能	RD出力端子		P93入力端子	P93出力端子	
				P93出力端子	IOR入力端子	
P92/IRQ0						
	P92DDR	0		1		
	端子機能	P92入力端子		P92出力端子		
		IRQ0入力端子				
IER の IRQ0E ビットを 1 にセットした場合、IRQ0 入力端子として使用します。						
P91/IRQ1						
	P91DDR	0		1		
	端子機能	P91入力端子		P91出力端子		
		IRQ1入力端子				
IER の IRQ1E ビットを 1 にセットした場合、IRQ1 入力端子として使用します。						
P90/LWR/IRQ2/ADTRG/ECS2	動作モード、WSCR の ABW ビット、SYSCR2 の HI12E ビット、CS2E ビット、HICR の FGA20E ビット、および P90DDR ビットの組み合わせにより、次のように切り替わります。					
	動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)	
	ABW	0	1		—	
	HI12E	—			いずれかが0	1
	FGA20E	—				1
	CS2E	—				1
	P90DDR	—	0	1	0	1
	端子機能	LWR	P90	P90	P90	P90
		出力端子	入力端子	出力端子	入力端子	出力端子
		IRQ2入力端子、ADTRG入力端子				
モード 1、モード 2、3 (EXPE=1) でかつ WSCR の ABW ビットを 1 にセットしたとき、およびモード 2、3 (EXPE=0) のときに、IER の IRQ2E ビットを 1 にセットした場合、IRQ2 入力端子として使用します。						
A/D 変換器の ADCR の TRGS1、TRGS0 ビットをいずれも 1 にセットした場合、ADTRG 入力端子として使用します。						

8.11 ポート A

8.11.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A は、キーボードバッファコントローラ入出力端子（PS2AC、PS2AD、PS2BC、PS2BD、PS2CC、PS2CD）、キーセンス割り込み入力端子（ $\overline{\text{KIN15}}$ ～ $\overline{\text{KIN8}}$ ）、拡張 A/D 入力端子（CIN15～CIN8）、アドレス出力端子（A23～A16）と兼用になっています。ポート A の端子機能はいずれの動作モードでも共通です。ポート A の各端子の構成を図 8.18 に示します。

ポートA端子	モード1、モード2（EXPE=0）、モード3の端子機能
 PA7/A23/ $\overline{\text{KIN15}}$ /CIN15/PS2CD PA6/A22/ $\overline{\text{KIN14}}$ /CIN14/PS2CC PA5/A21/ $\overline{\text{KIN13}}$ /CIN13/PS2BD PA4/A20/ $\overline{\text{KIN12}}$ /CIN12/PS2BC PA3/A19/ $\overline{\text{KIN11}}$ /CIN11/PS2AD PA2/A18/ $\overline{\text{KIN10}}$ /CIN10/PS2AC PA1/A17/ $\overline{\text{KIN9}}$ /CIN9 PA0/A16/ $\overline{\text{KIN8}}$ /CIN8	PA7(入出力)/ $\overline{\text{KIN15}}$ (入力)/CIN15(入力)/PS2CD(入出力) PA6(入出力)/ $\overline{\text{KIN14}}$ (入力)/CIN14(入力)/PS2CC(入出力) PA5(入出力)/ $\overline{\text{KIN13}}$ (入力)/CIN13(入力)/PS2BD(入出力) PA4(入出力)/ $\overline{\text{KIN12}}$ (入力)/CIN12(入力)/PS2BC(入出力) PA3(入出力)/ $\overline{\text{KIN11}}$ (入力)/CIN11(入力)/PS2AD(入出力) PA2(入出力)/ $\overline{\text{KIN10}}$ (入力)/CIN10(入力)/PS2AC(入出力) PA1(入出力)/ $\overline{\text{KIN9}}$ (入力)/CIN9(入力) PA0(入出力)/ $\overline{\text{KIN8}}$ (入力)/CIN8(入力)
	モード2（EXPE=1）の端子機能 PA7(入出力)/A23(出力)/ $\overline{\text{KIN15}}$ (入力)/CIN15(入力)/PS2CD(入出力) PA6(入出力)/A22(出力)/ $\overline{\text{KIN14}}$ (入力)/CIN14(入力)/PS2CC(入出力) PA5(入出力)/A21(出力)/ $\overline{\text{KIN13}}$ (入力)/CIN13(入力)/PS2BD(入出力) PA4(入出力)/A20(出力)/ $\overline{\text{KIN12}}$ (入力)/CIN12(入力)/PS2BC(入出力) PA3(入出力)/A19(出力)/ $\overline{\text{KIN11}}$ (入力)/CIN11(入力)/PS2AD(入出力) PA2(入出力)/A18(出力)/ $\overline{\text{KIN10}}$ (入力)/CIN10(入力)/PS2AC(入出力) PA1(入出力)/A17(出力)/ $\overline{\text{KIN9}}$ (入力)/CIN9(入力) PA0(入出力)/A16(出力)/ $\overline{\text{KIN8}}$ (入力)/CIN8(入力)

図 8.18 ポート A の端子機能

8.11.2 レジスタ構成

表 8.20 にポート A のレジスタ構成を示します。

表 8.20 ポート A レジスタ構成

名 称	略称	R/W	初期値	アドレス ^{*1}
ポート A データディレクションレジスタ	PADDR	W	H'00	H'FFAB ^{*2}
ポート A 出力データレジスタ	PAODR	R/W	H'00	H'FFAA
ポート A 入力データレジスタ	PAPIN	R	不定	H'FFAB ^{*2}

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 PADDR と PAPIN は同じアドレスです。

(1) ポート A データディレクションレジスタ (PADDR)

ビット：	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

PADDR は、8 ビットのライト専用レジスタで、ポート A の各端子の入出力をビットごとに指定します。

PADDR を 1 にセットすると対応するポート A の各端子は出力となり、0 にクリアすると入力になります。

PADDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(2) ポート A 出力データレジスタ (PAODR)

ビット：	7	6	5	4	3	2	1	0
	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PAODR は、8 ビットのリード／ライト可能なレジスタで、ポート A の各端子 (PA7～PA0) の出力データを格納します。PADDR の内容とかかわりなく、常に PAODR のリード／ライトが可能です。

PAODR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート A 入力データレジスタ (PAPIN)

ビット：	7	6	5	4	3	2	1	0
	PA7PIN	PA6PIN	PA5PIN	PA4PIN	PA3PIN	PA2PIN	PA1PIN	PA0PIN
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】* PA7～PA0端子の状態により決定されます。

PAPIN のリードを行うと、常に端子の状態が読み出されます。

8.11.3 端子機能

ポート A の各端子は、キーボードバッファコントローラ入出力端子（PS2AC、PS2AD、PS2BC、PS2BD、PS2CC、PS2CD）、キーセンス割り込み入力端子（KIN15～KIN8）、拡張 A/D 入力端子（CIN15～CIN8）、アドレス出力端子（A23～A16）と兼用になっています。ポート A の端子機能を表 8.21 に示します。

表 8.21 ポート A の端子機能

端子	選択方法と端子機能							
PA7/A23/ PS2CD/ KIN15/CIN15	動作モードとキーボードバッファコントローラの KBCR2H の KBIOE ビット、SYSCR の IOSE ビット、および PA7DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)			
	KBIOE	0		1	0		1	
	PA7DDR	0	1	—	0	1		—
	IOSE	—	—	—	—	0	1	—
	端子機能	PA7	PA7	PS2CD	PA7	A23	PA7	PS2CD
		入力端子	出力端子	出力端子	入力端子	出力端子	出力端子	出力端子
KIN15入力端子、CIN15入力端子、PS2CD入力端子								
STCR の IICS ビットを 1 にセットするとバスバッファとなります。 また、常時 PS2CD、 <u>KIN15</u> 、CIN15 入力端子として使用可能です。								
PA6/A22/ PS2CC/ KIN14/CIN14	動作モードとキーボードバッファコントローラの KBCR2H の KBIOE ビット、SYSCR の IOSE ビット、および PA6DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)			
	KBIOE	0		1	0		1	
	PA6DDR	0	1	—	0	1		—
	IOSE	—	—	—	—	0	1	—
	端子機能	PA6	PA6	PS2CC	PA6	A22	PA6	PS2CC
		入力端子	出力端子	出力端子	入力端子	出力端子	出力端子	出力端子
KIN14入力端子、CIN14入力端子、PS2CC入力端子								
STCR の IICS ビットを 1 にセットするとバスバッファとなります。 また、常時 PS2CC、 <u>KIN14</u> 、CIN14 入力端子として使用可能です。								

端子	選択方法と端子機能							
PA5/A21/ PS2BD/ KIN13/CIN13	動作モードとキーボードバッファコントローラの KBCR1H の KBIOE ビット、SYSCR の IOSE ビット、および PA5DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)			
	KBIOE	0		1	0		1	
	PA5DDR	0	1	—	0	1		—
	IOSE	—	—	—	—	0	1	—
	端子機能	PA5	PA5	PS2BD	PA5	A21	PA5	PS2BD
		入力端子	出力端子	出力端子	入力端子	出力端子	出力端子	出力端子
	KIN13入力端子、CIN13入力端子、PS2BD入力端子							
	STCR の IICS ビットを 1 にセットするとバスバッファとなります。 また、常時 PS2BD、KIN13、CIN13 入力端子として使用可能です。							
PA4/A20/ PS2BC/ KIN12/CIN12	動作モードとキーボードバッファコントローラの KBCR1H の KBIOE ビット、SYSCR の IOSE ビット、および PA4DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)			
	KBIOE	0		1	0		1	
	PA4DDR	0	1	—	0	1		—
	IOSE	—	—	—	—	0	1	—
	端子機能	PA4	PA4	PS2BC	PA4	A20	PA4	PS2BC
		入力端子	出力端子	出力端子	入力端子	出力端子	出力端子	出力端子
	KIN12入力端子、CIN12入力端子、PS2BC入力端子							
	STCR の IICS ビットを 1 にセットするとバスバッファとなります。 また、常時 PS2BC、KIN12、CIN12 入力端子として使用可能です。							
PA3/A19/ PS2AD/ KIN11/CIN11	動作モードとキーボードバッファコントローラの KBCR0H の KBIOE ビット、SYSCR の IOSE ビット、および PA3DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)			
	KBIOE	0		1	0		1	
	PA3DDR	0	1	—	0	1		—
	IOSE	—	—	—	—	0	1	—
	端子機能	PA3	PA3	PS2AD	PA3	A19	PA3	PS2AD
		入力端子	出力端子	出力端子	入力端子	出力端子	出力端子	出力端子
	KIN11入力端子、CIN11入力端子、PS2AD入力端子							
	また、常時 PS2AD、KIN11、CIN11 入力端子として使用可能です。							

8. I/O ポート

端子	選択方法と端子機能						
PA2/A18/ PS2AC/ KIN10/CIN10	動作モードとキーボードバッファコントローラの KBCR0H の KBIOE ビット、SYSCR の IOSE ビット、および PA2DDR ビットの組み合わせにより、次のように切り替わります。						
	動作モード	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)		
	KBIOE	0		1	0		1
	PA2DDR	0	1	—	0	1	—
	IOSE	—	—	—	—	0	1
	端子機能	PA2	PA2	PS2AC	PA2	A18	PA2
		入力端子	出力端子	出力端子	入力端子	出力端子	出力端子
	KIN10入力端子、CIN10入力端子、PS2AC入力端子						
	また、常時 PS2AC、 $\overline{\text{KIN10}}$ 、CIN10 入力端子として使用可能です。						
PA1/A17/ KIN9/CIN9	動作モードと SYSCR の IOSE ビットおよび PA1DDR ビットの組み合わせにより、次のように切り替わります。						
	動作モード	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)		
	PA1DDR	0	1	—	0	1	—
	IOSE	—	—	—	—	0	1
	端子機能	PA1入力端子	PA1出力端子	PA1入力端子	A17出力端子	PA1出力端子	—
		KIN9入力端子、CIN9入力端子					
	また、常時 KIN9、CIN9 入力端子として使用可能です。						
PA0/A16/ KIN8/CIN8	動作モードと SYSCR の IOSE ビットおよび PA0DDR ビットの組み合わせにより、次のように切り替わります。						
	動作モード	モード1、2 (EXPE=0)、3			モード2 (EXPE=1)		
	PA0DDR	0	1	—	0	1	—
	IOSE	—	—	—	—	0	1
	端子機能	PA0入力端子	PA0出力端子	PA0入力端子	A16出力端子	PA0出力端子	—
		KIN8入力端子、CIN8入力端子					
	また、常時 $\overline{\text{KIN8}}$ 、CIN8 入力端子として使用可能です。						

8.11.4 入力プルアップ MOS

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はいずれの動作モードでも使用でき、ビット単位でオン／オフを指定できます。

PADDR を 0 にクリアした状態で、PAODR を 1 にセットすると、入力プルアップ MOS はオンとなります。なお、PA7～PA4 は IICS=1 にセットした状態では、入力プルアップ MOS は常にオフとなります。また、PA7～PA2 が、キーボードバッファコントローラ用端子として選択されている場合は、入力プルアップ MOS は常にオフとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.22 に示します。

表 8.22 入力プルアップ MOS の状態（ポート A）

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1～3	OFF		ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PADDR=0 かつ PAODR=1 のときオン状態、その他のときはオフ状態です。

8.12 ポート B

8.12.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B は、ホストインタフェース (XBS) の入出力端子 ($\overline{CS3}$ 、 $\overline{CS4}$ 、HIRQ3、HIRQ4)、ホストインターフェース (LPC) の入出力端子 (LSCI、 $\overline{LSMI}$)、ウェイクアップイベント割り込み入力端子 ($\overline{WUE7}$ ～ $\overline{WUE0}$) とデータバス入出力機能 (D7～D0) を持っており、動作モードによって端子機能が切り替わります。

ポート B の各端子の構成を図 8.19 に示します。

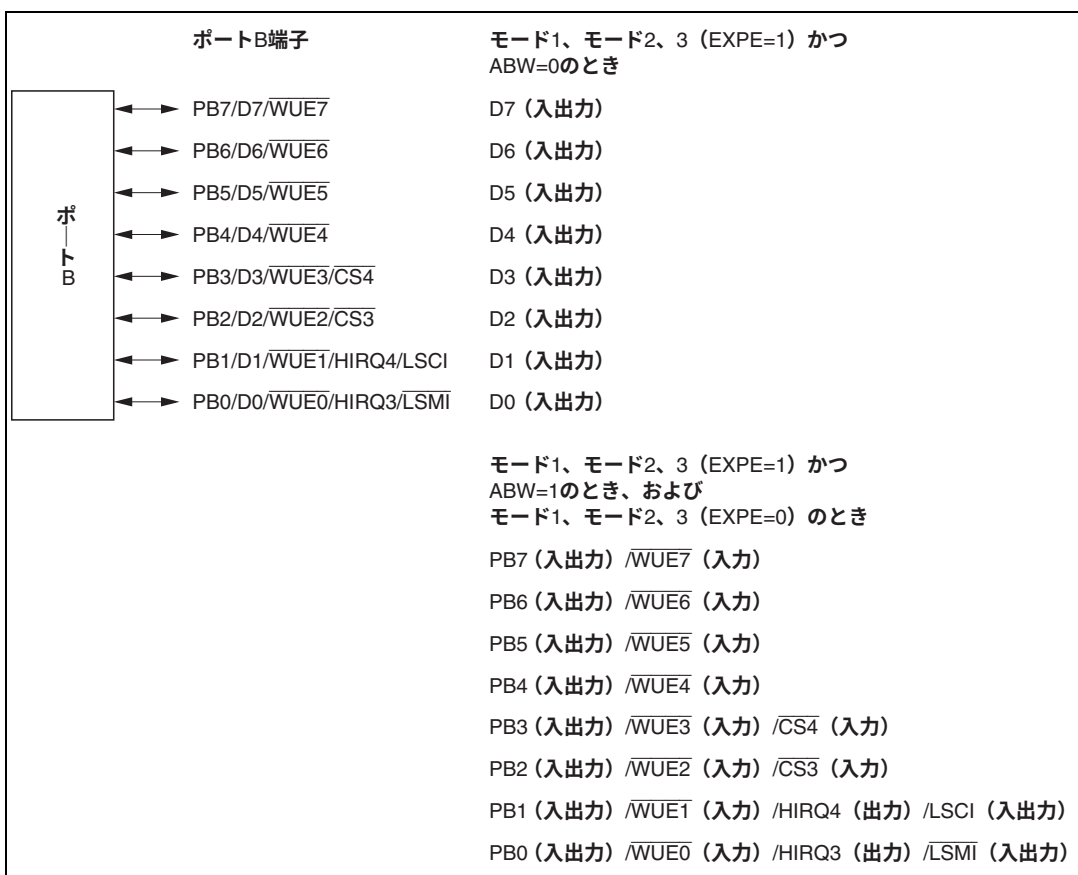


図 8.19 ポート B の端子機能

8.12.2 レジスタ構成

表 8.23 にポート B のレジスタ構成を示します。

表 8.23 ポート B レジスタ構成

名 称	略称	R/W	初期値	アドレス ^{*1}
ポート B データディレクションレジスタ	PBDDR	W	H'00	H'FFBE ^{*2}
ポート B 出力データレジスタ	PBODR	R/W	H'00	H'FFBC
ポート B 入力データレジスタ	PBPIN	R	不定	H'FFBD ^{*3}

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 PBDDR は P7PIN と同じアドレスです。

*3 PBPIN は P8DDR と同じアドレスです。

(1) ポート B データディレクションレジスタ (PBDDR)

ビット：	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

PBDDR は、8 ビットのライト専用レジスタで、ポート B の各端子の入出力をビットごとに指定します。PBDDR は P7PIN と同じアドレスであり、リードするとポート 7 の端子状態が読み出されます。

PBDDR を 1 にセットすると対応するポート B の各端子は出力となり、0 にクリアすると入力になります。

PBDDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(a) モード 1、モード 2、3 (EXPE=1)

WSCR の ABW ビットを 0 にクリアすると、PBDDR による入出力の方向は無視され、自動的にデータ入出力 (D7～D0) となります。ABW ビットを 1 にセットした状態では、PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

また、リセット、ハードウェアスタンバイモードまたはソフトウェアスタンバイモード時には、データ入出力はハイインピーダンス状態になります。

(b) モード 2、3 (EXPE=0)

PBDDR を 1 にセットすると対応するポート B の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

8. I/O ポート

(2) ポート B 出力データレジスタ (PBODR)

ビット：	7	6	5	4	3	2	1	0
	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBODR は、8 ビットのリード／ライト可能なレジスタで、ポート B の各端子 (PB7～PB0) の出力データを格納します。PBDDR の内容とかわりなく、常に PBODR のリード／ライトが可能です。

PBODR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート B 入力データレジスタ (PBPIN)

ビット：	7	6	5	4	3	2	1	0
	PB7PIN	PB6PIN	PB5PIN	PB4PIN	PB3PIN	PB2PIN	PB1PIN	PB0PIN
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】* PB7～PB0端子の状態により決定されます。

PBPIN のリードを行うと、常に端子の状態が読み出されます。

PBPIN は P8DDR と同じアドレスであり、ライトを行うと P8DDR にデータが書き込まれポート 8 の設定が変わります。

8.12.3 端子機能

ポート B の各端子は、ホストインタフェース (XBS) の入出力端子 ($\overline{CS3}$ 、 $\overline{CS4}$ 、HIRQ3、HIRQ4)、ホストインターフェース (LPC) の入出力端子 (LSCI、 $\overline{LSMI}$)、ウェイクアップイベント割り込み入力端子 ($\overline{WUE7}$ ～ $\overline{WUE0}$) とデータバス入出力端子 (D7～D0) との兼用になっています。ポート B の端子機能を表 8.24 に示します。

表 8.24 ポート B の端子機能

端子	選択方法と端子機能					
PB7/D7/ $\overline{WUE7}$	動作モードと PB7DDR ビット、WSCR の ABW ビットの組み合わせにより、次のように切り替わります。					
	動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)	
	ABW	0	1		—	
	PB7DDR	—	0	1	0	1
	端子機能	D7入出力端子	PB7入力端子	PB7出力端子	PB7入力端子	PB7出力端子
			$\overline{WUE7}$ 入力端子			
	データバスとして使用する場合以外、常時 $\overline{WUE7}$ 入力端子として使用可能です。					
PB6/D6/ $\overline{WUE6}$	動作モードと PB6DDR ビット、WSCR の ABW ビットの組み合わせにより、次のように切り替わります。					
	動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)	
	ABW	0	1		—	
	PB6DDR	—	0	1	0	1
	端子機能	D6入出力端子	PB6入力端子	PB6出力端子	PB6入力端子	PB6出力端子
			$\overline{WUE6}$ 入力端子			
	データバスとして使用する場合以外、常時 $\overline{WUE6}$ 入力端子として使用可能です。					
PB5/D5/ $\overline{WUE5}$	動作モードと PB5DDR ビット、WSCR の ABW ビットの組み合わせにより、次のように切り替わります。					
	動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)	
	ABW	0	1		—	
	PB5DDR	—	0	1	0	1
	端子機能	D5入出力端子	PB5入力端子	PB5出力端子	PB5入力端子	PB5出力端子
			$\overline{WUE5}$ 入力端子			
	データバスとして使用する場合以外、常時 $\overline{WUE5}$ 入力端子として使用可能です。					

8. I/O ポート

端子	選択方法と端子機能					
PB4/D4/WUE4	動作モードと PB4DDR ビット、WSCR の ABW ビットの組み合わせにより、次のように切り替わります。					
	動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)	
	ABW	0	1		—	
	PB4DDR	—	0	1	0	1
	端子機能	D4入出力端子	PB4入力端子	PB4出力端子	PB4入力端子	PB4出力端子
			WUE4入力端子			
	データバスとして使用する場合以外、常時 WUE4 入力端子として使用可能です。					
PB3/D3/WUE3/CS4	動作モードと SYSCR2 の HI12E ビット、CS4E ビット、WSCR の ABW ビット、および PB3DDR ビットの組み合わせにより、次のように切り替わります。					
	動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)	
	HI12E	—			いずれかが0	
	CS4E	—				
	ABW	0	1		—	
	PB3DDR	—	0	1	0	1
	端子機能	D3 入出力端子	PB3 入力端子	PB3 出力端子	PB3 入力端子	PB3 出力端子
			CS4 入力端子			
			WUE3入力端子			
	データバスとして使用する場合以外、常時 WUE3 入力端子として使用可能です。					
	CS4 入力端子は、モード 2、3 (EXPE=0) のときのみ使用可能です。					
PB2/D2/WUE2/CS3	動作モードと SYSCR2 の HI12E ビット、CS3E ビット、WSCR の ABW ビット、および PB2DDR ビットの組み合わせにより、次のように切り替わります。					
	動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)	
	HI12E	—			いずれかが0	
	CS3E	—				
	ABW	0	1		—	
	PB2DDR	—	0	1	0	1
	端子機能	D2 入出力端子	PB2 入力端子	PB2 出力端子	PB2 入力端子	PB2 出力端子
			CS3 入力端子			
			WUE2入力端子			
	データバスとして使用する場合以外、常時 WUE2 入力端子として使用可能です。					
	CS3 入力端子は、モード 2、3 (EXPE=0) のときのみ使用可能です。					

端子	選択方法と端子機能							
PB1/D1/WUE1/ HIRQ4/LSCI	動作モードと SYSCR2 の HI12 ビット、CS4E ビット、WSCR の ABW ビット、および PB1DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)			
	LSCIE	—			0		1	
	HI12E	—			いずれかが0		1	—*
	CS4E	—					1	—
	ABW	0	1		—		—	—
	PB1DDR	—	0	1	0	1	—	—*
	端子機能	D1 入出力端子	PB1 入力端子	PB1 出力端子	PB1 入力端子	PB1 出力端子	HIRQ4 出力端子	LSCI 出力端子
					LSCI入力端子			
		WUE1入力端子						
	【注】* HICR0 の LSCIE ビットを 1 とする場合は、HI12E ビットと PB1DDR ビットを 0 にクリアしてください。							
	データバスとして使用する場合以外、常時 WUE1 入力端子として使用可能です。							
	HIRQ4 出力端子および LSCI 入出力端子は、モード 2、3 (EXPE=0) のときのみ使用可能です。							

PB0/D0/WUE0/ HIRQ3/LSMI	動作モードと SYSCR2 の HI12 ビット、CS3E ビット、WSCR の ABW ビット、および PB0DDR ビットの組み合わせにより、次のように切り替わります。							
	動作モード	モード1、モード2、3 (EXPE=1)			モード2、3 (EXPE=0)			
	LSMIE	—			0		1	
	HI12E	—			いずれかが0		1	—*
	CS3E	—					1	—*
	ABW	0	1		—		—	—
	PB0DDR	—	0	1	0	1	—	—*
	端子機能	D0 入出力端子	PB0 入力端子	PB0 出力端子	PB0 入力端子	PB0 出力端子	HIRQ3 出力端子	LSMI 出力端子
					LSMI入力端子			
		WUE0入力端子						
	【注】* HICR0 の LSCIE ビットを 1 とする場合は、HI12E ビットと PB0DDR ビットを 0 にクリアしてください。							
	データバスとして使用する場合以外、常時 WUE0 入力端子として使用可能です。HIRQ3 出力端子および LSMI 入出力端子は、モード 2、3 (EXPE=0) のときのみ使用可能です。							

8.12.4 入力プルアップ MOS

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 1、2、3 (EXPE=1) で WSCR の ABW ビットが 1 にセットさせているとき、およびモード 2、3 (EXPE=0) のときに使用でき、ビット単位でオン／オフを指定できます。

PBDDR を 0 にクリアした状態で、PBODR を 1 にセットすると、入力プルアップ MOS はオンとなります。なお、内蔵周辺機能の出力端子に設定した場合は、入力プルアップ MOS は常にオフとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.25 に示します。

表 8.25 入力プルアップ MOS の状態 (ポート B)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
1、2、3 (EXPE=1) かつ WSCR の ABW=0 のとき	OFF		OFF	
1、2、3 (EXPE=1) かつ WSCR の ABW=1 のとき、2、3 (EXPE=0) のとき			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PBDDR=0 かつ PBODR=1 のときオン状態、その他のときはオフ状態です。

8.13 H8S/2169 の追加概要

H8S/2169 には、15 本の入出力ポート（ポート 1、6、8、9、A～G）と 1 本の入力専用ポート（ポート 7）があります。

追加ポート機能一覧を表 8.26 に示します。ポート 1～9、A、B の機能は H8S/2149 と同様ですので、表 8.1 に示してあります。

各追加ポートは、入出力を制御するデータディレクションレジスタ（DDR）と、出力データを格納するデータレジスタ（ODR）から構成されています。

ポート C～G には、入力プルアップ MOS が内蔵されており、DDR と DR で入力プルアップ MOS のオン／オフを制御します。

ポート C～G は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、すべての入出力ポートは出力モード時にダーリントントランジスタを駆動することができます。

ポート E～G の入出力は、VCC 電源から独立した VCCB 電源によって動作します。ポート E～G の端子は、VCCB の電圧が 5V であれば、5V まで入力可能です。

表 8.26 H8S/2169 追加ポート機能

ポート	概要	端子	拡張モード		シングルチップモード
			モード 1	モード 2、 モード 3 (EXPE=1)	モード 2、 モード 3 (EXPE=0)
ポート C	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵	PC7～PC0	入出力ポート	入出力ポート	入出力ポート
ポート D	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵	PD7～PD0	入出力ポート	入出力ポート	入出力ポート
ポート E	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵	PE7～PE0	入出力ポート	入出力ポート	入出力ポート
ポート F	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵	PF7～PF0	入出力ポート	入出力ポート	入出力ポート
ポート G	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵	PG7～PG0	入出力ポート	入出力ポート	入出力ポート

8.14 ポート C、D

8.14.1 概要

ポート C、D は、2 セットの 8 ビットの入出力ポートです。ポート C、D の端子機能はいずれの動作モードでも共通です。

ポート C、D の端子構成を図 8.20 に示します。

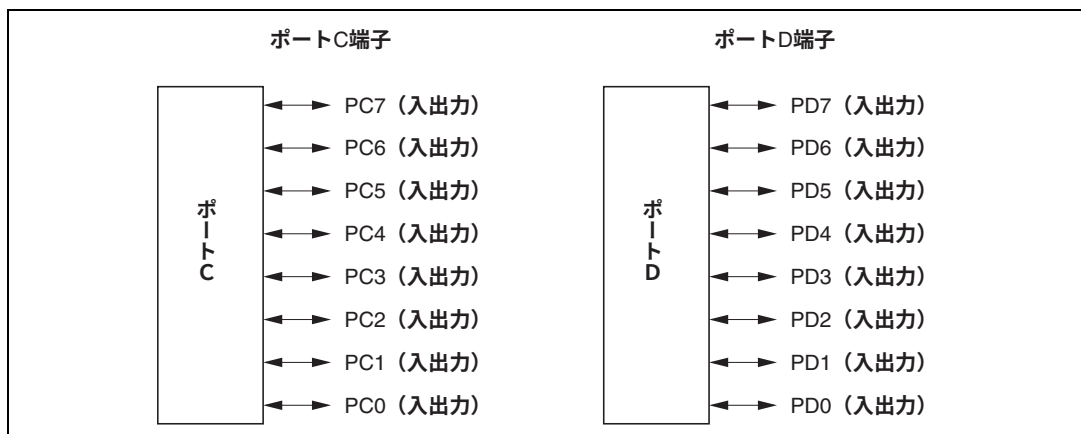


図 8.20 ポート C、D の端子機能

8.14.2 レジスタ構成

表 8.27 にポート C、D のレジスタ構成を示します。

表 8.27 ポート C、D レジスタ構成

名称	略称	R/W	初期値	アドレス* ¹
ポート C データディレクションレジスタ	PCDDR	W	H'00	H'FE4E* ²
ポート C 出力データレジスタ	PCODR	R/W	H'00	H'FE4C
ポート C 入力データレジスタ	PCPIN	R	不定	H'FE4E* ²
ポート C Nch-OD コントロールレジスタ	PCNOCR	R/W	H'00	H'FE1C
ポート D データディレクションレジスタ	PDDDR	W	H'00	H'FE4F* ³
ポート D 出力データレジスタ	PDODR	R/W	H'00	H'FE4D
ポート D 入力データレジスタ	PDPIN	R	不定	H'FE4F* ³
ポート D Nch-OD コントロールレジスタ	PDNOCR	R/W	H'00	H'FE1D

【注】 *1 アドレスの下位 16 ビットを示します。

*2 PCDDR は PCPIN と同じアドレスです。

*3 PDDDR は PDPIN と同じアドレスです。

(1) ポート C、D データディレクションレジスタ (PCDDR、PDDDR)

ビット：	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ビット：	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

PCDDR、PDDDR は、8 ビットのライト専用レジスタで、ポート C、D の各端子の入出力をビットごとに指定します。それぞれ PCPIN、PDPIN と同じアドレスを持っており、ポート C、D のリードを行うと端子の状態が読み出されます。

PCDDR、PDDDR が 1 にセットされているとき、対応するポート C、D の各端子は出力端子となり、0 にクリアすると入力端子になります。

PCDDR、PDDDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

ポート C または D の各端子は、対応する PCDDR または PDDDR を 1 にセットすると出力ポートになり、0 にクリアすると入力ポートになります。

(2) ポート C、D 出力データレジスタ (PCODR、PDODR)

ビット：	7	6	5	4	3	2	1	0
	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	7	6	5	4	3	2	1	0
	PD7ODR	PD6ODR	PD5ODR	PD4ODR	PD3ODR	PD2ODR	PD1ODR	PD0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCODR、PDODR は、8 ビットのリード／ライト可能なレジスタで、ポート C、D の各端子 (PC7～PC0、PD7～PD0) の出力データを格納します。PCDDR、PDDDR の内容にかかわらず、常にリード／ライトできます。

PCODR、PDODR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8. I/O ポート

(3) ポート C、D 入力データレジスタ (PCPIN、PDPIN)

ビット：	7	6	5	4	3	2	1	0
	PC7PIN	PC6PIN	PC5PIN	PC4PIN	PC3PIN	PC2PIN	PC1PIN	PC0PIN
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】* PC7～PC0端子の状態により決定されます。

ビット：	7	6	5	4	3	2	1	0
	PD7PIN	PD6PIN	PD5PIN	PD4PIN	PD3PIN	PD2PIN	PD1PIN	PD0PIN
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】* PD7～PD0端子の状態により決定されます。

PCPIN、PDPIN のリードを行うと、常に端子の状態が読み出されます。

PCPIN、PDPIN は、それぞれ PCDDR、PDDDR と同じアドレスを持っています。ライトを行うと、PCDDR または PDDDR にデータがライトされ、ポート C または D の設定が変化します。

(4) ポート C、D Nch-OD コントロールレジスタ (PCNOCR、PDNOCR)

ビット：	7	6	5	4	3	2	1	0
	PC7NOC	PC6NOC	PC5NOC	PC4NOC	PC3NOC	PC2NOC	PC1NOC	PC0NOC
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	7	6	5	4	3	2	1	0
	PD7NOC	PD6NOC	PD5NOC	PD4NOC	PD3NOC	PD2NOC	PD1NOC	PD0NOC
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCNOCR、PDNOCR は、8 ビットのリード／ライト可能なレジスタで、出力に指定されたとき、ポート C、D の各端子の出力ドライバタイプをビットごとに指定します。

PCNOCR または PDNOCR を 1 にセットすると、対応するポート C または D の端子の P チャネルドライバが無効になり、0 にクリアすると有効になります。P チャネルドライバは常に接続されていますが、ビットを 0 にクリアまたは 1 にセットすると、出力ドライバタイプは CMOS または N チャネルオープンドレインになります。

PCNOCR、PDNOCR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

DDR	0		1			
NOCR	—		0		1	
ODR	0	1	0	1	0	1
N-ch ドライバ	OFF		ON	OFF	ON	OFF
P-ch ドライバ	OFF		OFF	ON	OFF	
入力プルアップ MOS	OFF	ON	OFF			

8.14.3 端子機能

ポート C、D の端子には、1 つの機能しかありません。

8.14.4 入力プルアップ MOS

ポート C、D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位でオン／オフを指定できます。

PCDDR または PDDDR ビットを 0 にクリアした状態で、対応する PCODR または PDODR ビットを 1 にセットすると、入力プルアップ MOS はオンになります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフ状態になります。ソフトウェアスタンバイモードでは、直前の状態を保持します。

入力プルアップ MOS の状態を表 8.28 に示します。

表 8.28 入力プルアップ MOS の状態 (ポート C、D)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1～3	OFF	OFF	ON/OFF	ON/OFF

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF: PCDDR=0 かつ PCODR=1 (PDDDR=0 かつ PDODR=1) のときオン状態、その他のときはオフ状態です。

8.15 ポート E、F

8.15.1 概要

ポート E、F は、2 セットの 8 ビット入出力ポートです。ポート E、F の端子機能はいずれの動作モードでも共通です。

ポート E、F の端子構成を図 8.21 に示します。

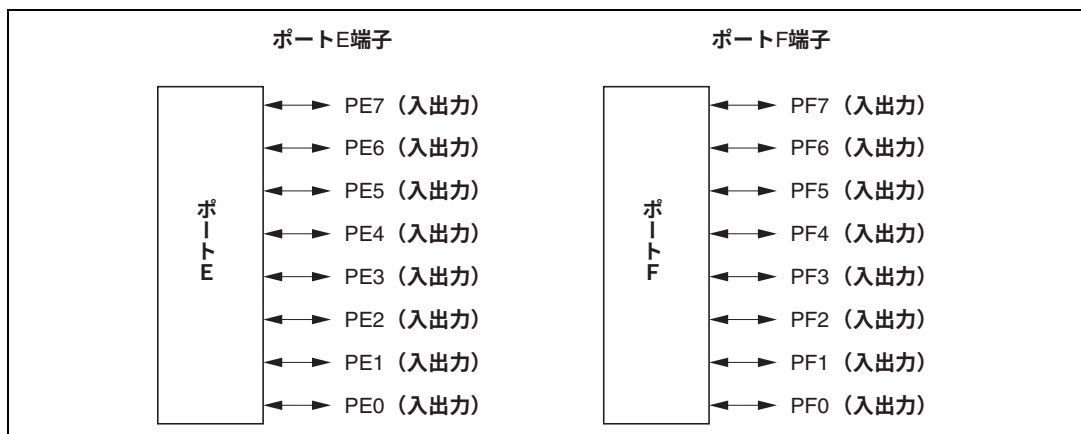


図 8.21 ポート E、F の端子機能

8.15.2 レジスタ構成

表 8.29 にポート E、F のレジスタ構成を示します。

表 8.29 ポート E、F レジスタ構成

名称	略称	R/W	初期値	アドレス ^{*1}
ポート E データディレクションレジスタ	PEDDDR	W	H'00	H'FE4A ^{*2}
ポート E 出力データレジスタ	PEODR	R/W	H'00	H'FE48
ポート E 入力データレジスタ	PEPIN	R	不定	H'FE4A ^{*2}
ポート E Nch-OD コントロールレジスタ	PENOCR	R/W	H'00	H'FE18
ポート F データディレクションレジスタ	PFDDR	W	H'00	H'FE4B ^{*3}
ポート F 出力データレジスタ	PFODR	R/W	H'00	H'FE49
ポート F 入力データレジスタ	PFPIN	R	不定	H'FE4B ^{*3}
ポート F Nch-OD コントロールレジスタ	PFNOCR	R/W	H'00	H'FE19

【注】 *1 アドレスの下位 16 ビットを示します。

*2 PEDDDR は PEPIN と同じアドレスです。

*3 PFDDR は PFPIN と同じアドレスです。

(1) ポート E、F データディレクションレジスタ (PEDDDR、PFDDR)

ビット：	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ビット：	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

PEDDDR、PFDDR は、8 ビットのライト専用レジスタで、ポート E、F の各端子の入出力をビットごとに指定します。それぞれ PEPIN、PFPIN と同じアドレスをもっており、リードすると、ポート E、F の端子状態が読み出されます。

PEDDDR または PFDDR ビットを 1 にセットすると対応するポート E または F の各端子は出力端子となり、0 にクリアすると入力端子になります。

PEDDDR、PFDDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

ポート E または F の各端子は、対応する PEDDDR または PFDDR ビットを 1 にセットすると出力ポートになり、0 にクリアすると入力ポートになります。

(2) ポート E、F 出力データレジスタ (PEODR、PFODR)

ビット：	7	6	5	4	3	2	1	0
	PE7ODR	PE6ODR	PE5ODR	PE4ODR	PE3ODR	PE2ODR	PE1ODR	PE0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	7	6	5	4	3	2	1	0
	PF7ODR	PF6ODR	PF5ODR	PF4ODR	PF3ODR	PF2ODR	PF1ODR	PF0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PEODR、PFODR は、8 ビットのリード／ライト可能なレジスタで、ポート E、F の各端子(PE7～PE0、PF7～PF0)の出力データを格納します。PEDDDR、PFDDR の内容にかかわらず、常にリード／ライトできます。

PEODR、PFODR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

8. I/O ポート

(3) ポート E、F 入力データレジスタ (PEPIN、PFPIN)

ビット：	7	6	5	4	3	2	1	0
	PE7PIN	PE6PIN	PE5PIN	PE4PIN	PE3PIN	PE2PIN	PE1PIN	PE0PIN
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】* PE7～PE0端子の状態により決定されます。

ビット：	7	6	5	4	3	2	1	0
	PF7PIN	PF6PIN	PF5PIN	PF4PIN	PF3PIN	PF2PIN	PF1PIN	PF0PIN
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】* PF7～PF0端子の状態により決定されます。

PEPIN、PFPIN のリードを行うと、常に端子状態が読み出されます。

PEPIN、PFPIN は、それぞれ PEDDR、PFDDR と同じアドレスを持っています。ライトを行うと、PEDDR または PFDDR にデータがライトされ、ポート E または F の設定が変化します。

(4) ポート E、F Nch-OD コントロールレジスタ (PENOCR、PFNOCR)

ビット：	7	6	5	4	3	2	1	0
	PE7NOC	PE6NOC	PE5NOC	PE4NOC	PE3NOC	PE2NOC	PE1NOC	PE0NOC
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	7	6	5	4	3	2	1	0
	PF7NOC	PF6NOC	PF5NOC	PF4NOC	PF3NOC	PF2NOC	PF1NOC	PF0NOC
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PENOCR、PFNOCR は、8 ビットのリード／ライト可能なレジスタで、出力に指定されると、ポート E、F の各端子の出力ドライバタイプをビットごとに指定します。

PENOCR または PFNOCR ビットを 1 にセットすると、対応するポート E または F の端子の P チャネルドライバが無効になり、0 にクリアすると有効になります。P チャネルドライバは常に接続されていますが、0 にクリアまたは 1 にセットすると、出力ドライバタイプはそれぞれ CMOS または N チャネルオープンドレインになります。

PENOCR、PFNOCR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

DDR	0		1			
NOCR	—		0		1	
ODR	0	1	0	1	0	1
N-ch ドライバ	OFF		ON	OFF	ON	OFF
P-ch ドライバ	OFF		OFF	ON	OFF	
入力プルアップ MOS	OFF	ON	OFF			

8.15.3 端子機能

ポート E、F の端子には、1 つの機能しかありません。

8.15.4 入力プルアップ MOS

ポート E、F は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位でオン／オフを指定できます。

PEDDR または PFDDR ビットを 0 にクリアした状態で、対応する PEODR または PFODR ビットを 1 にセットすると、入力プルアップ MOS はオンになります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフ状態になります。ソフトウェアスタンバイモードでは、直前の状態を保持します。

入力プルアップ MOS の状態を表 8.30 に示します。

表 8.30 入力プルアップ MOS の状態（ポート E、F）

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1～3	OFF	OFF	ON/OFF	ON/OFF

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF: PEDDR=0 かつ PEODR=1 (PFDDR=0 かつ PFODR=1) のときオン状態、その他のときはオフ状態です。

8.16 ポート G

8.16.1 概要

ポート G は、8 ビットの入出力ポートです。ポート G の端子機能はいずれの動作モードでも共通です。

ポート G の端子構成を図 8.22 に示します。

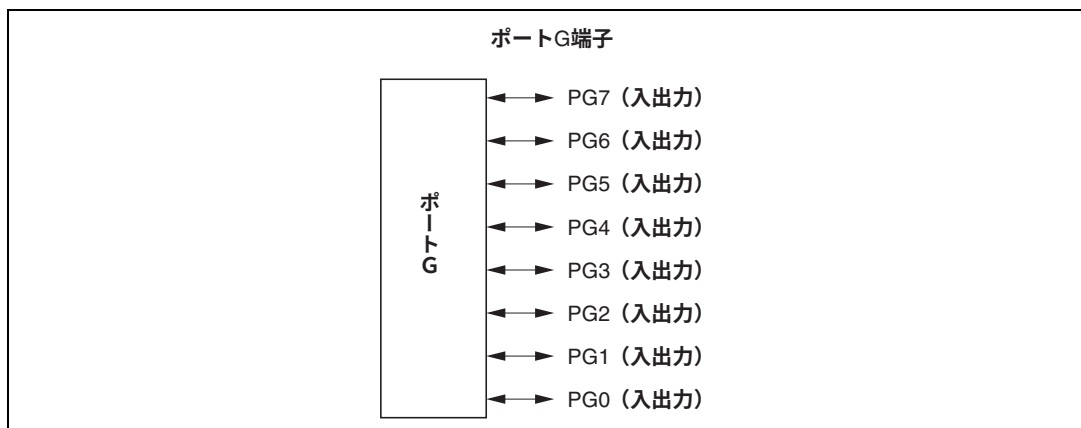


図 8.22 ポート G の端子機能

8.16.2 レジスタ構成

表 8.31 にポート G のレジスタ構成を示します。

表 8.31 ポート G レジスタ構成

名称	略称	R/W	初期値	アドレス*1
ポート G データディレクションレジスタ	PGDDR	W	H'00	H'FE47*2
ポート G 出力データレジスタ	PGODR	R/W	H'00	H'FE46
ポート G 入力データレジスタ	PGPIN	R	不定	H'FE47*2
ポート G Nch-OD コントロールレジスタ	PGNOCR	R/W	H'00	H'FE16

【注】 *1 アドレスの下位 16 ビットを示します。

*2 PGDDR は PGPIN と同じアドレスです。

(1) ポート G データディレクションレジスタ (PGDDR)

ビット：	7	6	5	4	3	2	1	0
	PG7DDR	PG6DDR	PG5DDR	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

PGDDR は、8 ビットのライト専用レジスタで、ポート G の各端子の入出力をビットごとに指定します。PGPIN と同じアドレスをもっており、リードするとポート G の端子状態が読み出されます。

PGDDR ビットを 1 にセットすると対応するポート G の各端子は出力端子となり、0 にクリアすると入力端子になります。

PGDDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

ポート G の各端子は、対応する PGDDR ビットを 1 にセットすると出力ポートになり、0 にクリアすると入力ポートになります。

(2) ポート G 出力データレジスタ (PGODR)

ビット：	7	6	5	4	3	2	1	0
	PG7ODR	PG6ODR	PG5ODR	PG4ODR	PG3ODR	PG2ODR	PG1ODR	PG0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PGODR は、8 ビットのリード／ライト可能なレジスタで、ポート G の各端子(PG7～PG0)の出力データを格納します。PGDDR の内容にかかわらず、常にリード／ライトできます。

PGODR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート G 入力データレジスタ (PGPIN)

ビット：	7	6	5	4	3	2	1	0
	PG7PIN	PG6PIN	PG5PIN	PG4PIN	PG3PIN	PG2PIN	PG1PIN	PG0PIN
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】* PG7～PG0端子の状態により決定されます。

PGPIN のリードを行うと、常に端子状態が読み出されます。

PGPIN は、PGDDR と同じアドレスをもっています。ライトを行うと、PGDDR にデータがライトされ、ポート G の設定が変化します。

8. I/O ポート

(4) ポート G Nch-OD コントロールレジスタ (PGNOCR)

ビット：	7	6	5	4	3	2	1	0
	PG7NOC	PG6NOC	PG5NOC	PG4NOC	PG3NOC	PG2NOC	PG1NOC	PG0NOC
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PGNOCR は、8 ビットのリード／ライト可能なレジスタで、出力に指定されると、ポート G の各端子の出力ドライバタイプをビットごとに指定します。

PGNOCR ビットを 1 にセットすると対応するポート G の端子の P チャネルドライバが無効になり、0 にクリアすると有効になります。P チャネルドライバは常に接続されていますが、0 にクリアまたは 1 にセットすると、出力ドライバタイプはそれぞれ CMOS または N チャネルオープンドレインのようになります。

PGNOCR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

DDR	0		1			
NOCR	—		0		1	
ODR	0	1	0	1	0	1
N-ch ドライバ	OFF		ON	OFF	ON	OFF
P-ch ドライバ	OFF		OFF	ON	OFF	
入力プルアップ MOS	OFF	ON	OFF			

8.16.3 端子機能

ポート G の端子には、1 つの機能しかありません。

8.16.4 入力プルアップ MOS

ポート G は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位でオン／オフを指定できます。

PGDDR ビットを 0 にクリアした状態で対応する PGODR ビットを 1 にセットすると、入力プルアップ MOS はオンになります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフ状態になります。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 8.32 に示します。

表 8.32 入力プルアップ MOS の状態 (ポート G)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1〜3	OFF	OFF	ON/OFF	ON/OFF

【記号説明】

OFF :入力プルアップ MOS は、常にオフ状態です。

ON/OFF:PGDDR=0 かつ PGODR=1 のときオン状態、その他のときはオフ状態です。

9. 8ビット PWM タイマ (PWM)

9.1 概要

本 LSI は、16 本の出力を持つ PWM (Pulse Width Modulation) タイマを内蔵しています。16 本の出力波形は共通のタイムベースから生成され、パルス分割方式により高いキャリア周波数の PWM 出力が可能です。16 本の 8 ビット PWM データレジスタ (PWDR) を持ち、PWDR およびポートのデータレジスタ (P1DR、P2DR) に設定する値によって、0～100%の任意の出力を得ることができます。

9.1.1 特長

PWM タイマの特長を以下に示します。

- パルス分割により、最大 625kHz のキャリア周波数での動作可能 (10MHz 動作時)
- デューティ 0～100%を 1/256 の分解能で設定可能 (100%はポート出力で実現)
- PWM 出力のイネーブル／ディスエーブルの切り替え、直接出力／反転出力の切り替えが可能

9. 8ビット PWM タイマ (PWM)

9.1.2 ブロック図

PWM タイマのブロック図を図 9.1 に示します。

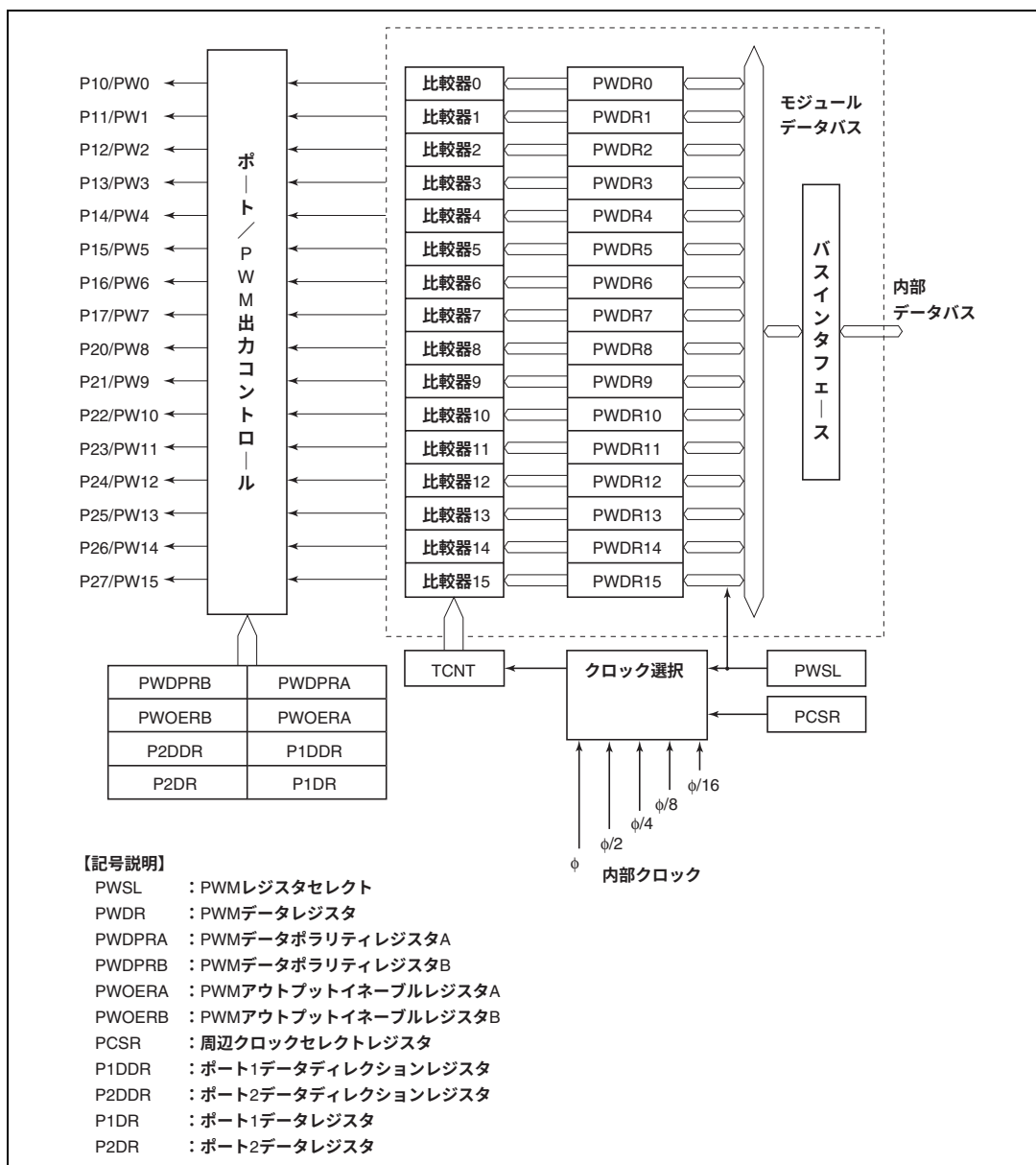


図 9.1 PWM タイマのブロック図

9.1.3 端子構成

PWM の出力端子を表 9.1 に示します。

表 9.1 端子構成

名 称	記号	入出力	機 能
PWM 出力端子 0～15	PW0～PW15	出力	PWM タイマパルス出力 0～15

9.1.4 レジスタ構成

PWM のレジスタ構成を表 9.2 に示します。

表 9.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス ^{*1}
PWM レジスタセレクト	PWSL	R/W	H'20	H'FFD6
PWM データレジスタ 0～15	PWDR0～PWDR15	R/W	H'00	H'FFD7
PWM データポラリティレジスタ A	PWDPR A	R/W	H'00	H'FFD5
PWM データポラリティレジスタ B	PWDPR B	R/W	H'00	H'FFD4
PWM アウトプットイネーブルレジスタ A	PWOER A	R/W	H'00	H'FFD3
PWM アウトプットイネーブルレジスタ B	PWOER B	R/W	H'00	H'FFD2
ポート 1 データディレクションレジスタ	P1DDR	W	H'00	H'FFB0
ポート 2 データディレクションレジスタ	P2DDR	W	H'00	H'FFB1
ポート 1 データレジスタ	P1DR	R/W	H'00	H'FFB2
ポート 2 データレジスタ	P2DR	R/W	H'00	H'FFB3
周辺クロックセレクトレジスタ	PCSR	R/W	H'00	H'FF82 ^{*2}
モジュールストップコントロールレジスタ	MSTPCR H	R/W	H'3F	H'FF86
	MSTPCR L	R/W	H'FF	H'FF87

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 8 ビット PWM タイマのレジスタの一部は他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択は、シリアルタイムコントロールレジスタ (STCR) の FLSHE ビットで行います。

9.2 各レジスタの説明

9.2.1 PWM レジスタセレクト (PWSL)

ビット：	7	6	5	4	3	2	1	0
	PWCKE	PWCKS	—	—	RS3	RS2	RS1	RS0
初期値：	0	0	1	0	0	0	0	0
R/W：	R/W	R/W	—	—	R/W	R/W	R/W	R/W

PWSL は 8 ビットのリード／ライト可能なレジスタで、PWM タイマの入力クロックの選択および PWM データレジスタの選択を行います。

PWSL はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'20 に初期化されます。

ビット 7、6：PWM クロックイネーブル、PWM クロックセレクト (PWCKE、PWCKS)

PCSR の PWCKA、PWCKB ビットとともに、PWM タイマの TCNT に入力する内部クロックを選択します。

PWSL		PCSR		説 明
ビット 7	ビット 6	ビット 2	ビット 1	
PWCKE	PWCKS	PWCKB	PWCKA	
0	—	—	—	クロック入力禁止 (初期値)
1	0	—	—	ϕ (システムクロック) を選択
	1	0	0	$\phi/2$ を選択
			1	$\phi/4$ を選択
		1	0	$\phi/8$ を選択
			1	$\phi/16$ を選択

PWM の分解能、PWM 変換周期、キャリア周波数は、選択した内部クロックにより、次の式で求めることができます。

分解能（最小パルス幅）＝1／内部クロック周波数

PWM 変換周期＝分解能×256

キャリア周波数＝16／PWM 変換周期

したがって、システムクロック（ ϕ ）が 10MHz の場合の分解能、PWM 変換周期、キャリア周波数は表 9.3 のようになります。

表 9.3 $\phi=10\text{MHz}$ 時の分解能、PWM 変換周期、キャリア周波数

内部クロック周波数	分解能	PWM 変換周期	キャリア周波数
ϕ	100ns	25.6 μs	625kHz
$\phi/2$	200ns	51.2 μs	312.5kHz
$\phi/4$	400ns	102.4 μs	156.3kHz
$\phi/8$	800ns	204.8 μs	78.1kHz
$\phi/16$	1600ns	409.6 μs	39.1kHz

ビット 5：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 4：リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

9. 8ビット PWM タイマ (PWM)

ビット 3～0：レジスタセレクト (RS3～RS0)

PWM データレジスタを選択します。

ビット 3	ビット 2	ビット 1	ビット 0	説 明
RS3	RS2	RS1	RS0	
0	0	0	0	PWDR0 選択
			1	PWDR1 選択
		1	0	PWDR2 選択
			1	PWDR3 選択
	1	0	0	PWDR4 選択
			1	PWDR5 選択
		1	0	PWDR6 選択
			1	PWDR7 選択
1	0	0	0	PWDR8 選択
			1	PWDR9 選択
		1	0	PWDR10 選択
			1	PWDR11 選択
	1	0	0	PWDR12 選択
			1	PWDR13 選択
		1	0	PWDR14 選択
			1	PWDR15 選択

9.2.2 PWM データレジスタ (PWDR0~PWDR15)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWDR は、8 ビットのリード／ライト可能なレジスタで、出力する基本パルスのデューティ比および付加パルスの個数を指定します。PWDR に設定する値が、変換周期内の 0/1 比に対応します。上位 4 ビットは基本パルスのデューティ比を 0/16~15/16 まで 1/16 の分解能で指定し、下位 4 ビットは、16 基本パルスで構成される変換周期内にいくつの付加パルスを付加するかを指定します。したがって、変換周期内の 0/1 比は、0/256~255/256 まで指定可能です。256/256 (100%) を出力する場合は、ポート出力を利用してください。

PWDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'00 に初期化されます。

9.2.3 PWM データポラリティレジスタ (PWDPRA、PWDPRB)

ビット :	7	6	5	4	3	2	1	0
PWDPRA :	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
PWDPRB :	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWDPRA は、8 ビットのリード／ライト可能な 2 本のレジスタで、PWM 出力の極性を制御します。OS0~OS15 ビットが PW0~PW15 出力にそれぞれ対応します。

PWDPRA は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

OS	説 明
0	PWM 直接出力 (PWDR の値が、出力の High 幅に対応) (初期値)
1	PWM 反転出力 (PWDR の値が、出力の Low 幅に対応)

9. 8ビット PWM タイマ (PWM)

9.2.4 PWM アウトプットイネーブルレジスタ (PWOERA、PWOERB)

ビット :	7	6	5	4	3	2	1	0
PWOERA:	OE7	OE6	OE5	OE4	OE3	OE2	OE1	OE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
PWOERB:	OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWOER は、8 ビットのリード／ライト可能な 2 本のレジスタで、PWM 出力とポート出力を切り替えます。OE15～OE0 ビットが PW15～PW0 出力にそれぞれ対応します。端子を出力状態とするためには、さらにポートのデータディレクションレジスタで設定する必要があります。P17DDR～P10DDR ビットが PW7～PW0 出力に、P27DDR～P20DDR ビットが PW15～PW8 出力にそれぞれ対応します。

PWOER は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

DDR	OE	説 明
0	0	ポート入力 (初期値)
	1	ポート入力
1	0	ポート出力または PWM の 256／256 出力
	1	PWM 出力 (0～255／256 出力)

9.2.5 周辺クロックセレクトレジスタ (PCSR)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	PWCKB	PWCKA	—
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	—

PCSR は 8 ビットのリード／ライト可能なレジスタで、PWM タイマの入力クロックの選択を行います。

PCSR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7～3：リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 2、1：PWM クロックセレクト (PWCKB、PWCKA)

PWSL の PWCKE、PWCKS ビットと共に、PWM タイマの TCNT に入力する内部クロックを選択します。詳細は「9.2.1 PWM レジスタセレクト (PWSL)」を参照してください。

ビット 0：リザーブビット

リザーブビットです。1 にセットしないでください。

9.2.6 ポート 1 データディレクションレジスタ (P1DDR)

ビット：	7	6	5	4	3	2	1	0
：	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

P1DDR は 8 ビットのライト専用のレジスタで、ポート 1 の各端子の入出力方向および PWM 出力をビット単位に設定します。

ポート 1 は PW0～PW7 端子との兼用端子となっています。PWM 出力を行う端子に対応するビットを 1 にセットしてください。

P1DDR の詳細は、「8.2 ポート 1」を参照してください。

9. 8ビット PWM タイマ (PWM)

9.2.7 ポート 2 データディレクションレジスタ (P2DDR)

ビット:	7	6	5	4	3	2	1	0
:	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

P2DDR は 8 ビットのライト専用のレジスタで、ポート 2 の各端子の入出力方向および PWM 出力をビット単位に設定します。

ポート 2 は PW8~PW15 端子との兼用端子となっています。PWM 出力を行う端子に対応するビットを 1 にセットしてください。

P2DDR の詳細は、「8.3 ポート 2」を参照してください。

9.2.8 ポート 1 データレジスタ (P1DR)

ビット:	7	6	5	4	3	2	1	0
:	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1DR は 8 ビットのリード／ライト可能なレジスタで、PWM 出力の 1 固定 (OS=0 の場合) または 0 固定 (OS=1 の場合) に使用します。

P1DR の詳細は、「8.2 ポート 1」を参照してください。

9.2.9 ポート 2 データレジスタ (P2DR)

ビット:	7	6	5	4	3	2	1	0
:	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2DR は 8 ビットのリード／ライト可能なレジスタで、PWM 出力の 1 固定 (OS=0 の場合) または 0 固定 (OS=1 の場合) に使用します。

P2DR の詳細は、「8.3 ポート 2」を参照してください。

9.2.10 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCR _H								MSTPCR _L								
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP11 ビットを 1 にセットすると、8 ビット PWM タイマは動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCR_H ビット 3：モジュールストップ (MSTP11)

PWM のモジュールストップモードを指定します。

MSTPCR _H ビット 3	説 明
MSTP11	
0	PWM のモジュールストップモード解除
1	PWM のモジュールストップモード設定 (初期値)

9.3 PWM タイマの動作

9.3.1 PWM データレジスタの内容と出力波形の対応

PWDR の上位 4 ビットは基本パルスのデューティ比を $0/16 \sim 15/16$ まで $1/16$ の分解能で次のように指定します。

表 9.4 基本パルスのデューティ比

上位4ビット	基本パルス波形 (内部)
0000	0 1 2 3 4 5 6 7 8 9 A B C D E F 0
0001	
0010	
0011	
0100	
0101	
0110	
0111	
1000	
1001	
1010	
1011	
1100	
1101	
1110	
1111	

PWDR の下位 4 ビットは、16 基本パルスに対する付加パルスの付加位置を次のように指定します。付加パルスとしては、基本パルスの立ち上がりエッジの前に分解能分の幅の High 期間 (OS=0 の場

合) を付加します。PWDR の上位 4 ビットが 0000 の場合は基本パルスの立ち上がりエッジは存在しませんが、付加パルスの付加タイミングは同様です。

表 9.5 基本パルスに対する付加パルスの位置

下位 4 ビット	基本パルス No.															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0000																
0001																○
0010								○								○
0011								○				○				○
0100				○				○				○				○
0101				○				○				○		○		○
0110				○		○		○				○		○		○
0111				○		○		○		○		○		○		○
1000		○		○		○		○		○		○		○		○
1001		○		○		○		○		○		○		○	○	○
1010		○		○		○	○	○		○		○		○	○	○
1011		○		○		○	○	○		○	○	○		○	○	○
1100		○	○	○		○	○	○		○	○	○		○	○	○
1101		○	○	○		○	○	○		○	○	○	○	○	○	○
1110		○	○	○	○	○	○	○		○	○	○	○	○	○	○
1111		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

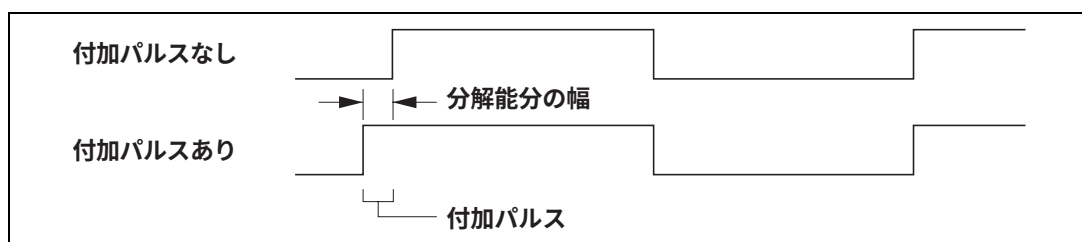


図 9.2 付加パルスタイミング (PWDR 上位 4 ビットが 1000 の例)

10. 14 ビット PWM タイマ (PWMX)

10.1 概要

本 LSI は、2 チャンネルの 14 ビット PWM (Pulse Width Modulator) を内蔵しています。LSI 外部にローパスフィルタを接続することにより、14 ビット D/A 変換器として使用できます。

2 チャンネルの PWM は、カウンタ (DACNT) とコントロールレジスタ (DACR) を共有しています。

10.1.1 特長

14 ビット PWM (D/A) の特長を以下に示します。

■リップルの少ないパルス分割方式

■2 種類の分解能、2 種類の基本周期を設定可能

分解能は、システムクロック周期とシステムクロック周期×2 から選択できます。

また、2 種類の基本周期 $T \times 64$ 、 $T \times 256$ (T =分解能) が選択できます。

■4 種類の動作速度を設定可能

4 種類の動作クロック (基本周期 2 種類×分解能 2 種類) が選択できます。

10.1.2 ブロック図

PWM (D/A) のブロック図を図 10.1 に示します。

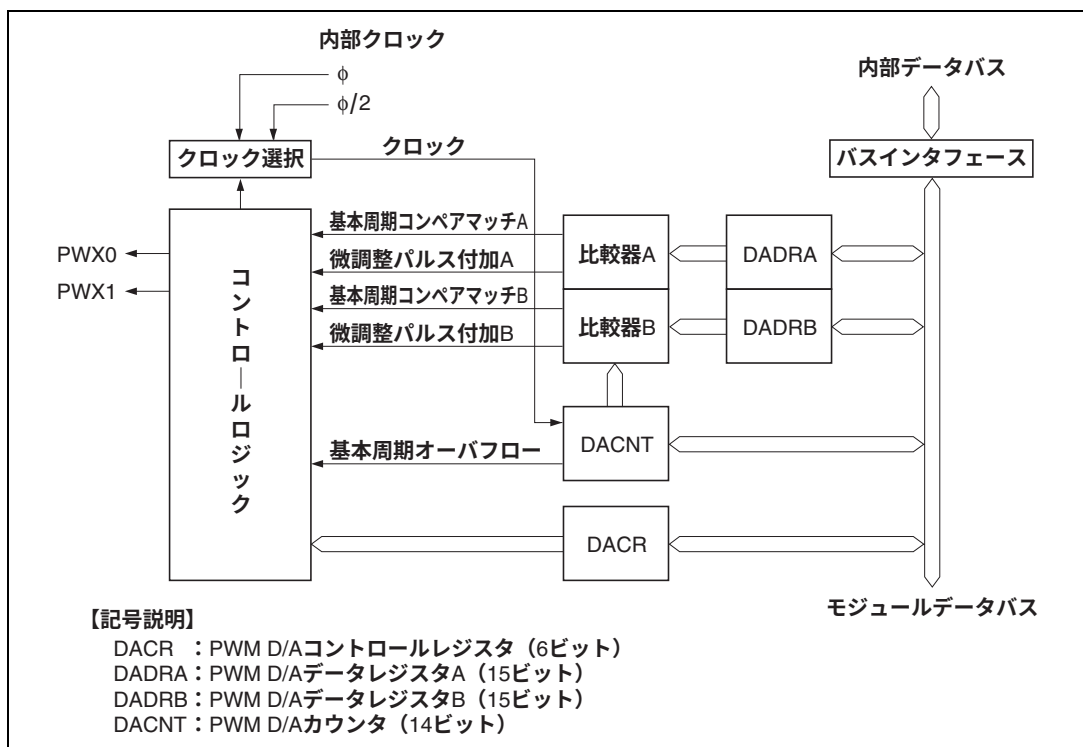


図 10.1 PWM (D/A) のブロック図

10.1.3 端子構成

PWM (D/A) の入出力端子を表 10.1 に示します。

表 10.1 端子構成

名 称	記号	入出力	機 能
PWM 出力端子 0	PWX0	出力	チャンネル A の PWM 出力
PWM 出力端子 1	PWX1	出力	チャンネル B の PWM 出力

10.1.4 レジスタ構成

PWM (D/A) のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

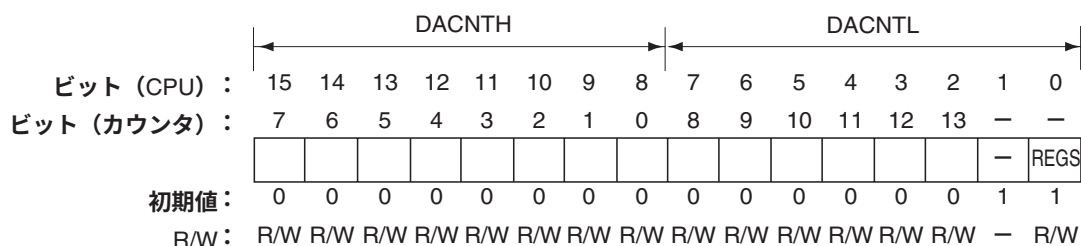
名 称	略称	R/W	初期値	アドレス ^{*1}
PWM (D/A) コントロールレジスタ	DACR	R/W	H'30	H'FFA0 ^{*2}
PWM (D/A) データレジスタ AH	DADRAH	R/W	H'FF	H'FFA0 ^{*2}
PWM (D/A) データレジスタ AL	DADRAL	R/W	H'FF	H'FFA1 ^{*2}
PWM (D/A) データレジスタ BH	DADRBH	R/W	H'FF	H'FFA6 ^{*2}
PWM (D/A) データレジスタ BL	DADRBH	R/W	H'FF	H'FFA7 ^{*2}
PWM (D/A) カウンタ H	DACNTH	R/W	H'00	H'FFA6 ^{*2}
PWM (D/A) カウンタ L	DACNTL	R/W	H'03	H'FFA7 ^{*2}
モジュールストップコントロールレジスタ	MSTPCR _H	R/W	H'3F	H'FF86
	MSTPCR _L	R/W	H'FF	H'FF87

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 14 ビット PWM タイマのレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択は、シリアルタイムコントロールレジスタ (STCR) の IICE ビットで行います。また、DADRAH と DACR、DADRB と DACNT のアドレスは同一です。これらの切り替えは DACNT または DADRB の REGS ビットで行います。

10.2 各レジスタの説明

10.2.1 PWM (D/A) カウンタ (DACNT)



DACNT は、14 ビットのリードライト可能なアップカウンタで、入力するクロックによりカウントアップされます。入力するクロックは、DACR のクロックセレクトビット (CKS) で選択します。DACNT の値は、CPU からリード／ライト可能ですが、16 ビット構成になっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行います。詳細は「10.3 バスマスタとのインタフェース」を参照してください。

DACNT は、2 チャンネルの PWM (D/A) のタイムベースとして使用されます。14 ビット精度で使用する場合には、全ビットを利用し、12 ビット精度で使用する場合には、上位 2 ビット (カウンタ) を無視し、下位 12 ビット (カウンタ) を利用します。

DACNT は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、モジュールストップモード時、または PWME ビットにより、H'0003 に初期化されます。

DACNTL のビット 1 (CPU) は、未使用で、リードすると 1 が読み出されます。

DACNTL ビット 0 : レジスタセレクト (REGS)

DADRA と DACR、DADRB と DACNT は、同一のアドレスに配置されています。REGS ビットは、どちらのレジスタをアクセス可能にするかを選択します。REGS ビットは、DADRB と DACNT のいずれが選択されていてもアクセス可能です。

ビット 0	説 明
REGS	
0	DADRA と DADRB がアクセス可能
1	DACR と DACNT がアクセス可能 (初期値)

10.2.2 D/A データレジスタ A、B (DADRA、B)

	DADRH								DADRL							
ビット (CPU) :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット (データ) :	13	12	11	10	9	8	7	6	5	4	3	2	1	0	—	—
DADRA	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	CFS	—
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—
DADRB	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0	CFS	REGS
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DADR は、16 ビットのリード／ライト可能な 2 本のレジスタ (DADRA、B) で構成されています。DADRA は PWM (D/A) チャネル A に、DADRB は PWM (D/A) チャネル B にそれぞれ対応します。DADR の値は、CPU からリード／ライト可能ですが、16 ビット構成になっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行います。詳細は「10.3 バスマスタとのインタフェース」を参照してください。

DADRA の最下位ビット (CPU) は未使用で、リードすると 1 が読み出されます。

DADR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードまたはモジュールストップモード時に、H'FFFF に初期化されます。

ビット 15～2 : D/A データ 13～0 (DA13～0)

DADR の上位 14 ビットは、D/A 変換データを設定します。

DADR の上位 14 ビットの内容は、DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを決定し、また分解能幅の付加パルスを出力するか否かを決定します。この動作を可能にするためには、DADR をある範囲の値に設定する必要があります。この範囲はキャリアフリーケンシセレクト (CFS) によって決まります。範囲外の値を DADR に設定すると、PWM 出力は固定されます。

12 ビット精度で使用する場合には、下位 2 ビット (データ) (DA1、0) を 0 に固定し、上位 12 ビット (データ) が有効と見なします。この下位 2 ビット (データ) は DACNT の上位 2 ビット (カウンタ) に対応しています。

ビット 1 : キャリアフリーケンシセレクト (CFS)

ビット 1	説 明
CFS	
0	基本周期 = 分解能 (T) × 64 で動作、DADR の値の範囲は H'0401～H'FFFD
1	基本周期 = 分解能 (T) × 256 で動作、DADR の値の範囲は H'0103～H'FFFF (初期値)

10. 14 ビット PWM タイマ (PWMX)

DADRA ビット 0：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

DADRB ビット 0：レジスタセレクト (REGS)

DADRA と DACR、DADRB と DACNT は、同一のアドレスに配置されています。REGS ビットは、どちらのレジスタをアクセス可能にするかを選択します。REGS ビットは、DADRB と DACNT のいずれが選択されていてもアクセス可能です。

ビット 0	説 明
REGS	
0	DADRA と DADRB がアクセス可能
1	DACR と DACNT がアクセス可能 (初期値)

10.2.3 PWM (D/A) コントロールレジスタ (DACR)

ビット：	7	6	5	4	3	2	1	0
	TEST	PWME	—	—	OEB	OEA	OS	CKS
初期値：	0	0	1	1	0	0	0	0
R/W：	R/W	R/W	—	—	R/W	R/W	R/W	R/W

DACR は 8 ビットのリード／ライト可能なレジスタで、テストモードの設定、出力の許可、出力位相、および動作速度の選択を行います。

DACR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードまたはモジュールストップモード時に、H'30 に初期化されます。

ビット 7：テストモード (TEST)

テスト状態を選択します。このビットは LSI のテストのために使用しますので、通常は 0 に設定してください。

ビット 7	説 明
TEST	
0	PWM (D/A) はユーザ状態となり、通常の動作をします (初期値)
1	PWM (D/A) はテスト状態となり、正しい変換結果は得られません

ビット 6：PWM イネーブル (PWME)

DACNT の動作または停止を選択します。

ビット 6	説 明
PWME	
0	DACNT は 14 ビットのアップカウンタとして動作 (初期値)
1	DACNT=H'0003 で停止

ビット 5、4：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3：アウトプットイネーブル B (OEB)

PWM (D/A) チャネル B の出力の許可または禁止を選択します。

ビット 3	説 明
OEB	
0	PWM (D/A) チャネル B 出力 (PWX1 出力端子) を禁止 (初期値)
1	PWM (D/A) チャネル B 出力 (PWX1 出力端子) を許可

ビット 2：アウトプットイネーブル A (OEA)

PWM (D/A) チャネル A の出力の許可または禁止を選択します。

ビット 2	説 明
OEA	
0	PWM (D/A) チャネル A 出力 (PWX0 出力端子) を禁止 (初期値)
1	PWM (D/A) チャネル A 出力 (PWX0 出力端子) を許可

ビット 1：アウトプットセレクト (OS)

PWM (D/A) の出力位相を選択します。

ビット 1	説 明
OS	
0	PWM 直接出力 (初期値)
1	PWM 反転出力

ビット 0：クロックセレクト (CKS)

PWM (D/A) の分解能を選択します。分解能は、システムクロック (ϕ) が 10MHz の場合、100ns と 200ns が選択できます。

ビット 0	説 明
CKS	
0	分解能 (T) = システムクロック周期 (t_{cyc}) で動作 (初期値)
1	分解能 (T) = システムクロック周期 (t_{cyc}) $\times 2$ で動作

10. 14 ビット PWM タイマ (PWMX)

10.2.4 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCR _H								MSTPCR _L								
ビット：	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値：	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP11 ビットを 1 にセットすると、14 ビット PWM タイマは動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRH ビット 3：モジュールストップ (MSTP11)

PWMX のモジュールストップモードを指定します。

MSTPCRH ビット 3	説 明
MSTP11	
0	PWMX のモジュールストップモード解除
1	PWMX のモジュールストップモード設定 (初期値)

10.3 バスマスタとのインタフェース

DACNT、DADRA、B は、16 ビットのレジスタです。一方、バスマスタと内蔵周辺モジュールの間の、データバスは 8 ビット幅です。したがって、バスマスタがこれらのレジスタをアクセスするには、8 ビットのテンポラリレジスタ (TEMP) を介して行います。

各レジスタのリード／ライトは次のような動作で行われます (CPU とのインタフェース例)。

(1) レジスタへのライト時の動作

上位バイトのライトにより、上位バイトのデータが TEMP にストアされます。次に下位バイトのライトで、TEMP にある上位バイトの値とあわせて 16 ビットデータとしてレジスタにライトされます。

(2) レジスタからのリード時の動作

上位バイトのリードで、上位バイトの値は CPU に転送され、下位バイトの値は TEMP に転送されます。次に下位バイトのリードで、TEMP にある下位バイトの値が CPU に転送されます。

これらのレジスタをアクセスするときは、MOV 命令を使用し、常に 16 ビット単位 (バイトアクセスを 2 回行うことも含みます) で行い、かつ上位バイト、下位バイトの順序で行ってください。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されませんので注意してください。なお、ビット操作命令は使用できません。

図 10.2 に CPU が DACNT をアクセスする場合のデータの流れを示します。他のレジスタの場合も同様な動作になります。

例 1 DACNT へのライト

MOV. W R0, @DACNT DACNT へ R0 の内容をライト

例 2 DADRA のリード

MOV. W @DADRA, R0 DADRA の内容を R0 に転送

10. 14 ビット PWM タイマ (PWMX)

表 10.3 16 ビットビットレジスタのリード／ライト別アクセス方式

レジスタ名	リード		ライト	
	ワード	バイト	ワード	バイト
DADRA、B	○	○	○	×
DACNT	○	×	○	×

○：許されているアクセスを示します。ワード単位のアクセスとは上位バイト→下位バイトの順序で連続してバイトアクセスすることを含みます。

×：その単位のアクセスでは、結果が保証されないことを示します。

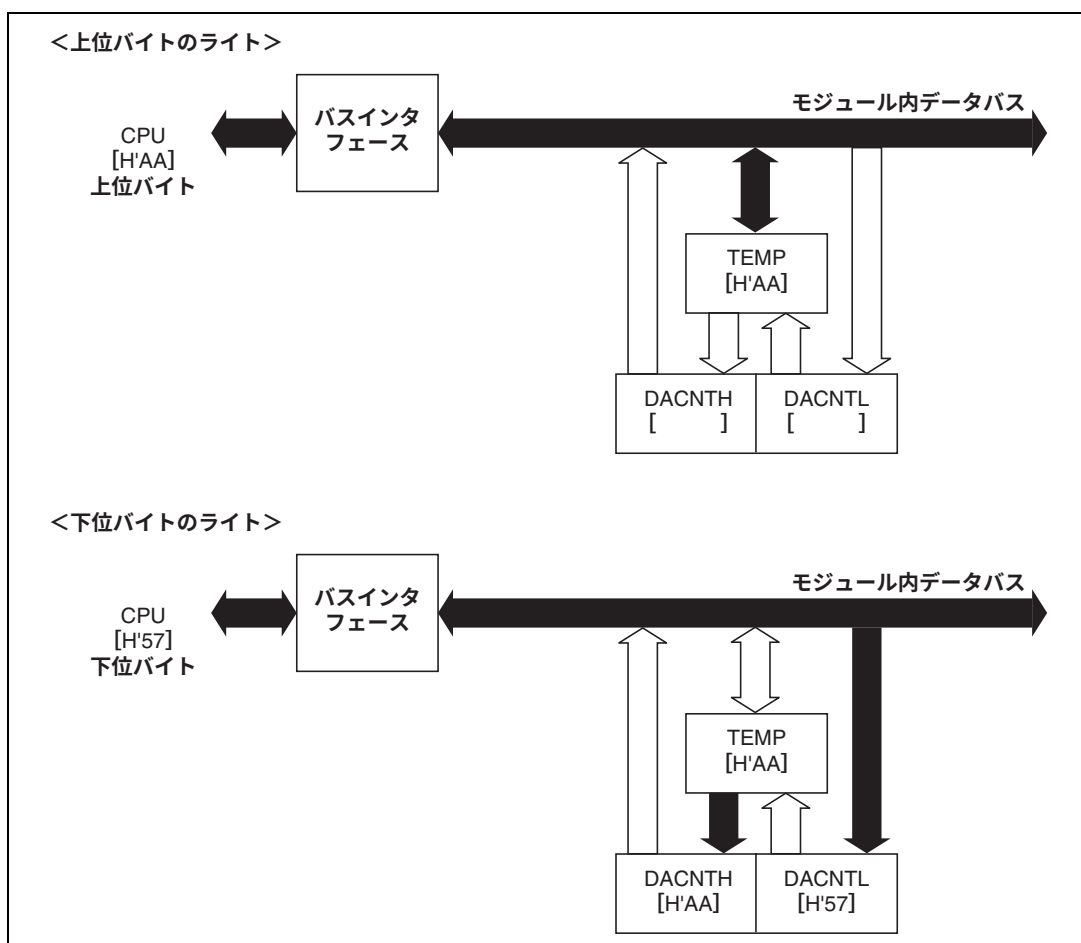


図 10.2 (a) DACNT のアクセス動作 (CPU→DACNT [H'AA57] ライト時)

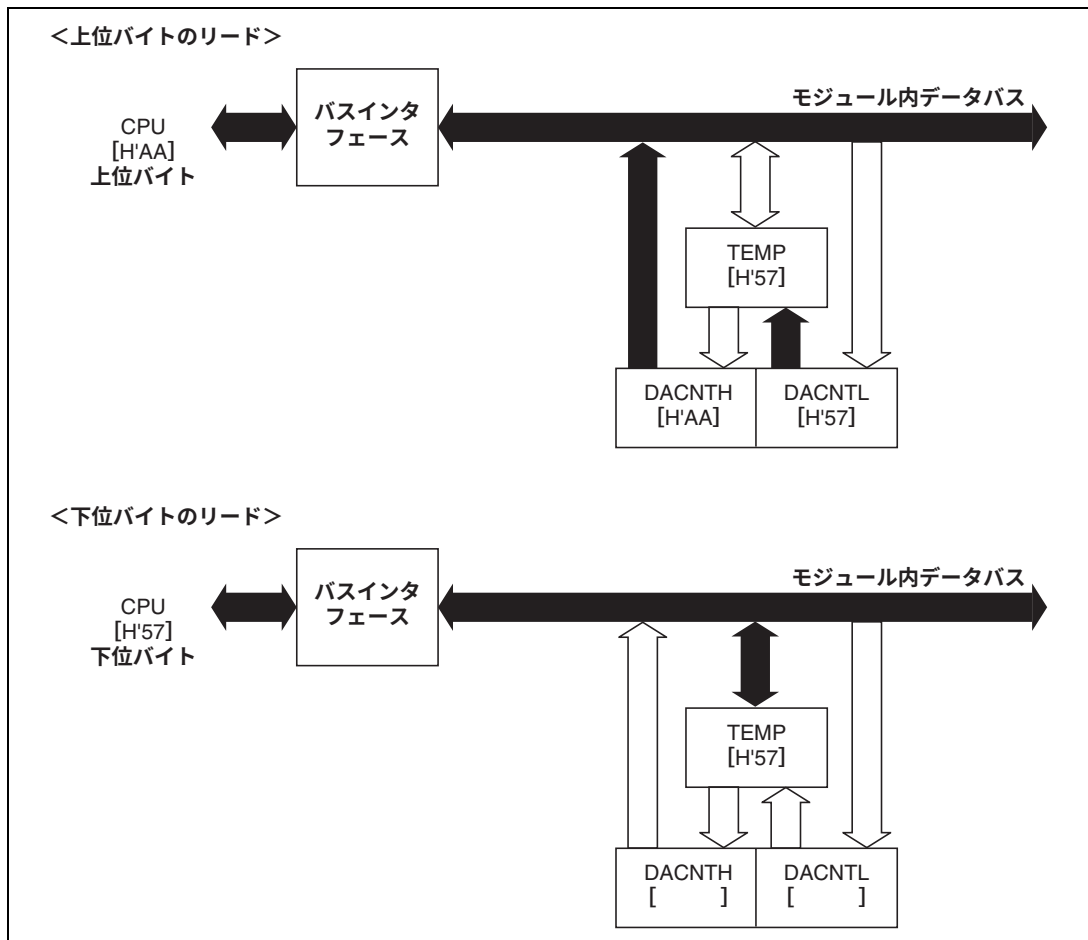


図 10.2 (b) DACNT のアクセス動作 (DACNT→CPU [H'AA57] リード時)

10.4 動作説明

PWMX 端子からは、図 10.3 に示すような PWM 波形が出力されます。1 変換周期中に発生するパルス (CFS=0 の場合 256 個、CFS=1 の場合 64 個) の 0 レベル幅の合計 (T_L) が DADR のデータと対応しています。OS=0 の場合、この波形が直接出力されます。OS=1 の場合、この波形が反転して出力されます。このとき 1 レベル幅の合計 (T_H) が DADR のデータと対応しています。この様子を図 10.4 に示します。

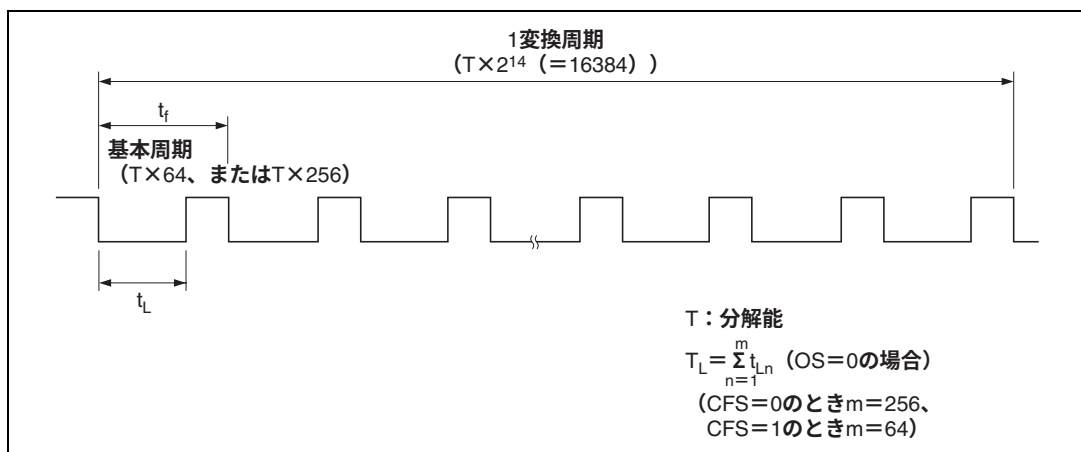


図 10.3 PWM (D/A) の動作

CKS、CFS、OS ビットの設定と、分解能、基本周期、変換周期との関係を表 10.4 に示します。DADR の内容がある値以上ではないと PWM 出力は固定レベルとなります。PWM 出力が図 10.3 で説明した波形となる DADR の設定値と DADR の下位ビットを 0 に固定して、変換精度を 12 ビット、10 ビットとした場合の変換周期などをあわせて表 10.4 に示します。

表 10.4 設定値と動作内容 (φ: 10MHz 時の例)

CKS	分解能 T (μs)	CFS	基本 周期 (μs)	変換 周期 (μs)	TL/TH (OS=0/OS=1)	DADR 固定ビット					変換 周期* (μs)
						変換精度 (ビット数)	ビットデータ				
							3	2	1	0	
0	0.1	0	6.4	1638.4	(1) 常時 Low/High レベル出力 (DADR=H'0001~H'03FD) (2) (データ値)×T (DADR=H'0401~H'FFFD)	14					1638.4
						12			0	0	409.6
						10	0	0	0	0	102.4
		1	25.6	1638.4	(1) 常時 Low/High レベル出力 (DADR=H'0003~H'00FF) (2) (データ値)×T (DADR=H'0103~H'FFFF)	14					1638.4
						12			0	0	409.6
						10	0	0	0	0	102.4
1	0.2	0	12.8	3276.8	(1) 常時 Low/High レベル出力 (DADR=H'0001~H'03FD) (2) (データ値)×T (DADR=H'0401~H'FFFD)	14					3276.8
						12			0	0	819.2
						10	0	0	0	0	204.8
		1	51.2	3276.8	(1) 常時 Low/High レベル出力 (DADR=H'0003~H'00FF) (2) (データ値)×T (DADR=H'0103~H'FFFF)	14					3276.8
						12			0	0	819.2
						10	0	0	0	0	204.8

【注】 * DADR の特定のビットを固定することにより得られる変換周期です。

(1) OS=0 (DADR は、 T_L に対応)

(a) CFS=0 (基本周期=分解能(T)×64)

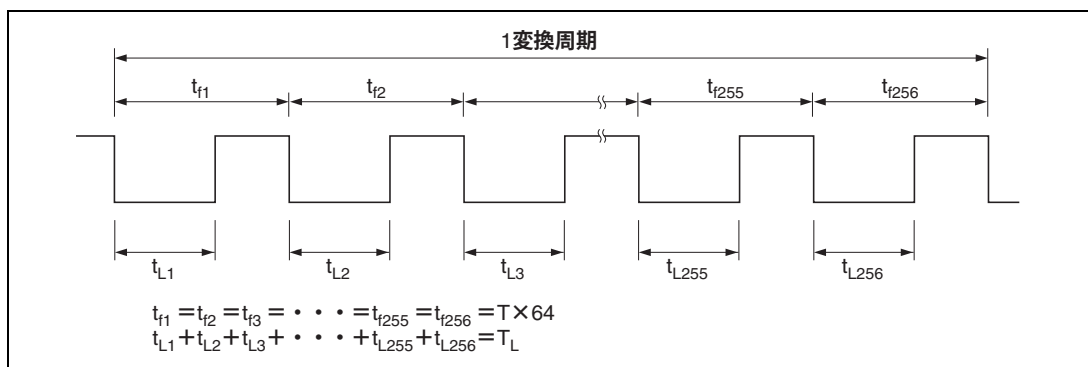


図 10.4 (1) 出力波形

10. 14 ビット PWM タイマ (PWMX)

(b) CFS=1 (基本周期=分解能(T)×256)

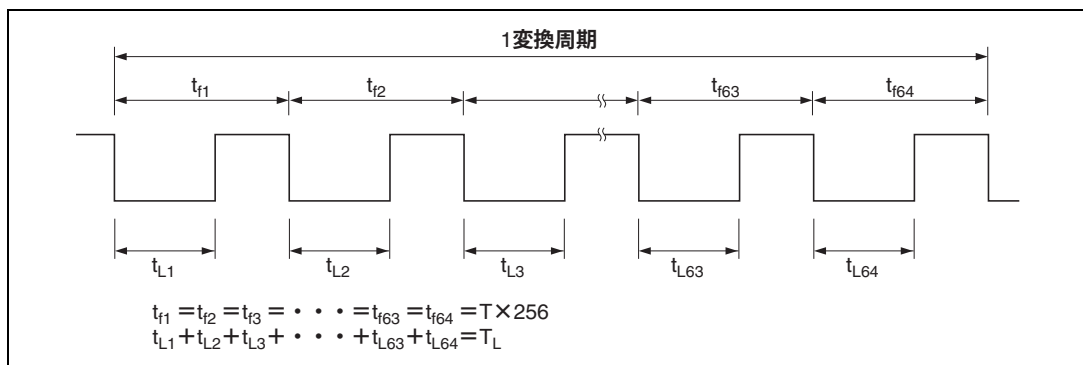


図 10.4 (2) 出力波形

(2) OS=1 (DADR は、 T_H に対応)

(a) CFS=0 (基本周期=分解能(T)×64)

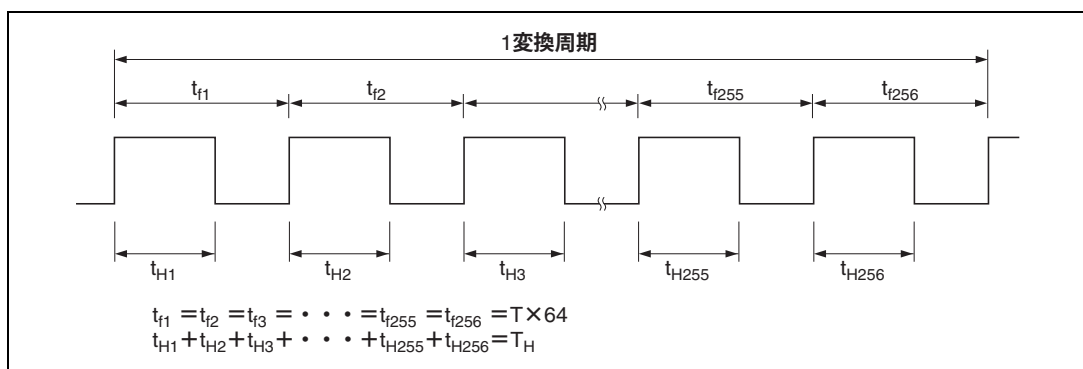


図 10.4 (3) 出力波形

(b) CFS=1 (基本周期=分解能(T)×256)

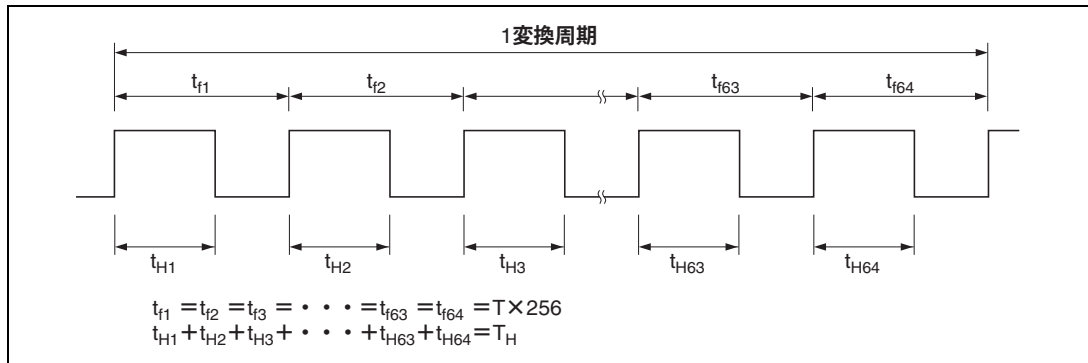


図 10.4 (4) 出力波形

11. 16 ビットフリーランニングタイマ (FRT)

11.1 概要

本 LSI は、16 ビットフリーランニングタイマ (FRT: Free Running Timer) を 1 チャンネル内蔵しています。

FRT は、16 ビットのフリーランニングカウンタ (FRC) をベースにして、2 種類の独立した波形出力が可能であり、また入力パルスの幅や外部クロックの周期を測定することができます。

11.1.1 特長

FRT の特長を以下に示します。

■4 種類のカウンタ入力クロックを選択可能

- 3 種類の内部クロック ($\phi/2$ 、 $\phi/8$ 、 $\phi/32$) と、外部クロックのうちから選択できます (外部イベントのカウントが可能)。

■2 本の独立したコンパレータ

- 2 種類の波形出力が可能です。

■4 本の独立したインプットキャプチャ

- 立ち上がりエッジ/立ち下がりエッジの選択が可能です。
- バッファ動作を指定できます。

■カウンタのクリア指定が可能

- コンペアマッチ A により、カウンタの値をクリアすることができます。

■7 種類の割り込み要因

- コンペアマッチ×2 要因、インプットキャプチャ×4 要因、オーバフロー×1 要因があり、それぞれ独立に要求することができます。

■自動加算機能による特殊動作

- OCRA の内容に OCRAR および OCRAF の内容を自動的に加算し、ソフトウェアの介在なしに周期的な波形を生成することができます。
- ICRD の内容と OCRDM の内容×2 を自動的に加算し、この間のインプットキャプチャ動作を制限することができます。

11. 16 ビットフリーランニングタイマ (FRT)

11.1.2 ブロック図

16 ビットフリーランニングタイマのブロック図を図 11.1 に示します。

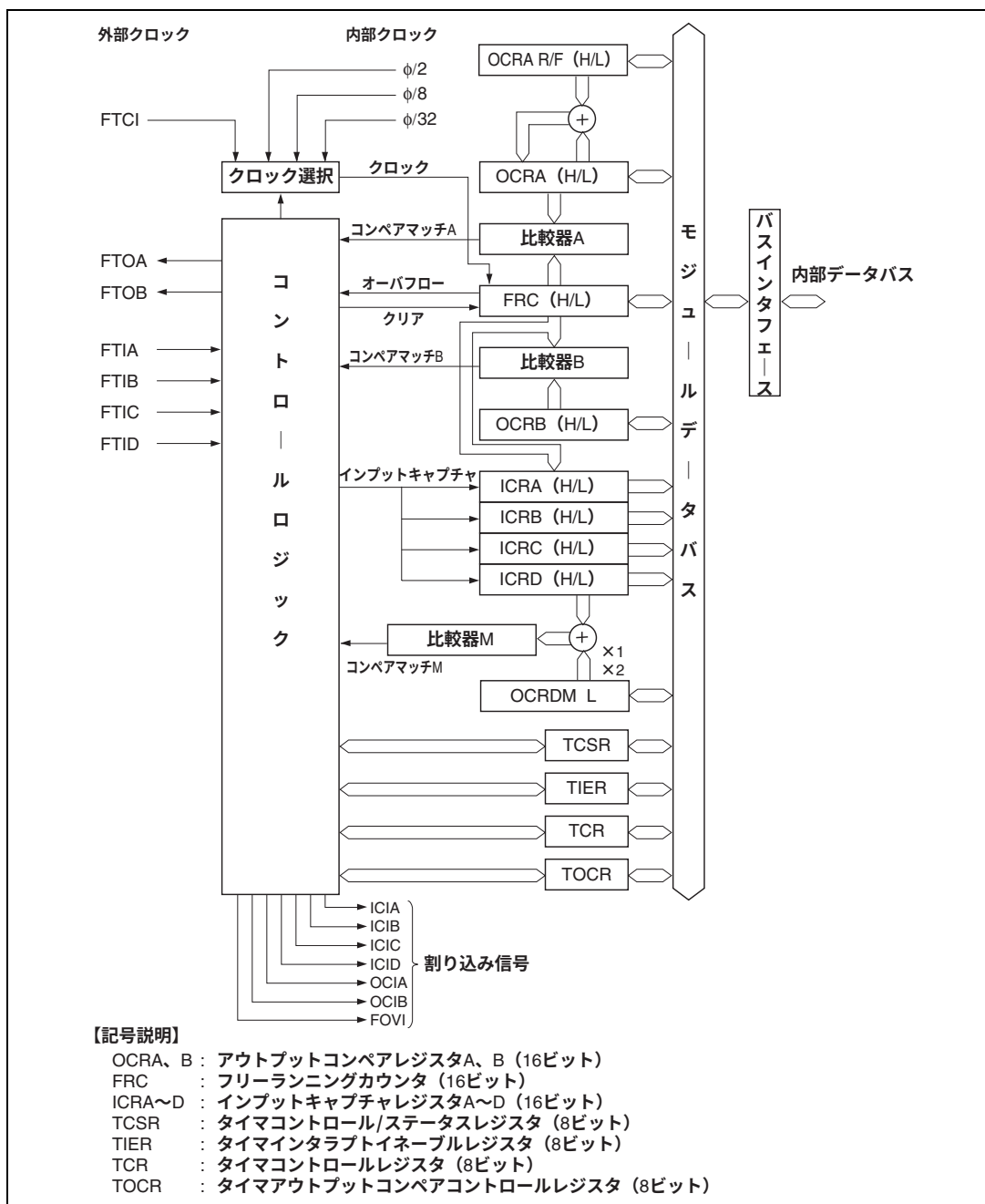


図 11.1 16 ビットフリーランニングタイマのブロック図

11.1.3 端子構成

FRT の入出力端子を表 11.1 に示します。

表 11.1 端子構成

名 称	記号	入出力	機 能
カウンタクロック入力端子	FTCI	入力	FRC のカウンタクロック入力
アウトプットコンペア A 出力端子	FTOA	出力	アウトプットコンペア A の出力
アウトプットコンペア B 出力端子	FTOB	出力	アウトプットコンペア B の出力
インプットキャプチャ A 入力端子	FTIA	入力	インプットキャプチャ A の入力
インプットキャプチャ B 入力端子	FTIB	入力	インプットキャプチャ B の入力
インプットキャプチャ C 入力端子	FTIC	入力	インプットキャプチャ C の入力
インプットキャプチャ D 入力端子	FTID	入力	インプットキャプチャ D の入力

11.1.4 レジスタ構成

FRT のレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス ^{*1}
タイマインタラプトイネーブルレジスタ	TIER	R/W	H'01	H'FF90
タイマコントロール/ステータスレジスタ	TCSR	R/(W) ^{*2}	H'00	H'FF91
フリーランニングカウンタ	FRC	R/W	H'0000	H'FF92
アウトプットコンペアレジスタ A	OCRA	R/W	H'FFFF	H'FF94 ^{*3}
アウトプットコンペアレジスタ B	OCRB	R/W	H'FFFF	H'FF94 ^{*3}
タイマコントロールレジスタ	TCR	R/W	H'00	H'FF96
タイマアウトプットコンペアコントロールレジスタ	TOCR	R/W	H'00	H'FF97
インプットキャプチャレジスタ A	ICRA	R	H'0000	H'FF98 ^{*4}
インプットキャプチャレジスタ B	ICRB	R	H'0000	H'FF9A ^{*4}
インプットキャプチャレジスタ C	ICRC	R	H'0000	H'FF9C ^{*4}
インプットキャプチャレジスタ D	ICRD	R	H'0000	H'FF9E
アウトプットコンペアレジスタ AR	OCRAR	R/W	H'FFFF	H'FF98 ^{*4}
アウトプットコンペアレジスタ AF	OCRAF	R/W	H'FFFF	H'FF9A ^{*4}
アウトプットコンペアレジスタ DM	OCRDM	R/W	H'0000	H'FF9C ^{*4}
モジュールストップコントロールレジスタ	MSTPCR _H	R/W	H'3F	H'FF86
	MSTPCR _L	R/W	H'FF	H'FF87

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7~1 はリード専用で、フラグをクリアするための 0 ライトのみ可能です。

ビット 0 はリード/ライト可能です

*3 OCRA と OCRB のアドレスは同一です。これらの切り替えは TOCR の OCSR ビットで行います。

*4 ICRA、ICRB、ICRC と、OCRAR、OCRAF、OCRDM のアドレスは同一です。これらの切り替えは TOCR の ICRS ビットで行います。

11.2 各レジスタの説明

11.2.1 フリーランニングカウンタ (FRC)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FRC は、16 ビットのリード／ライト可能なアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、TCR のクロックセレクト 1、0 ビット (CKS1、CKS0) で選択します。

また、FRC はコンペアマッチ A によりクリアすることができます。

FRC がオーバフロー (H'FFFF→H'0000) すると、TCSR のオーバフローフラグ (OVF) が 1 にセットされます。

FRC は、リセットまたはハードウェアスタンバイモード時に H'0000 に、初期化されます。

11.2.2 アウトプットコンペアレジスタ A、B (OCRA、OCRB)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCR は、16 ビットのリード／ライト可能な 2 本のレジスタ (OCRA、OCRB) から構成されます。

OCR の内容は、FRC の値と常に比較されています。両者の値が一致すると、TCSR のアウトプットコンペアフラグ (OCFA、OCFB) が 1 にセットされます。

さらに、OCR の値と FRC の値が一致した (コンペアマッチ) とき、TOCR のアウトプットイネーブルビット (OEA、OEB) が 1 にセットされていると、TOCR のアウトプットレベルビット (OLVLA、OLVLB) で設定した出力レベルの値が、アウトプットコンペア出力端子 (FTOA、FTOB) に出力されます。リセット後、最初のコンペアマッチが起こるまで FTOA、FTOB 出力は 0 出力です。

OCR は、リセットまたはハードウェアスタンバイモード時に、H'FFFF に初期化されます。

11.2.3 インプットキャプチャレジスタ A～D (ICRA～ICRD)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICR は、16 ビットのリード専用の 4 本のレジスタ (ICRA～ICRD) から構成されます。

インプットキャプチャ信号入力端子 (FTIA～FTID) の立ち上がりまたは立ち下がりエッジが検出されると、そのときの FRC の値が ICRA～ICRD に転送されます。このとき同時に、TCSR のインプットキャプチャフラグ (ICFA～ICFD) が 1 にセットされます。入力信号のエッジは、TCR のインプットエッジセレクトビット (IEDGA～IEDGD) により選択できます。

また、ICRC、ICRD は、TCR のバッファイネーブル A、B ビット (BUFEA、BUFEB) により、それぞれ ICRA、ICRB のバッファレジスタとして使用し、バッファ動作を行わせることもできます。

ICRC を ICRA のバッファレジスタとして指定した場合 (BUFEA=1) の接続を図 11.2 に示します。ICRC を ICRA のバッファとして使用した場合、外部入力信号の変化として IEDGA≠IEDGC と設定することにより、立ち上がり／立ち下がり両方のエッジを指定することができます。IEDGA=IEDGC の場合には立ち上がりまたは立ち下がりエッジのいずれかとなります。表 11.3 を参照してください。

【注】 FRC から ICR への転送は ICF の値にかかわらず行われます。

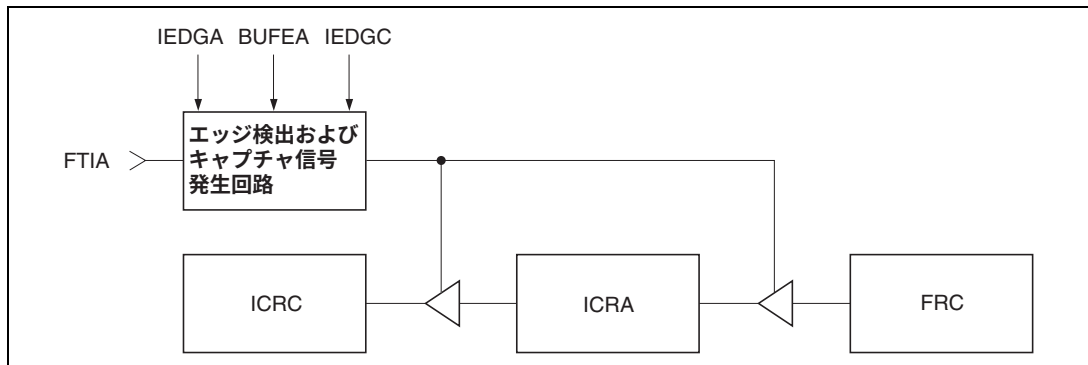


図 11.2 バッファ動作 (例)

11. 16 ビットフリーランニングタイム (FRT)

表 11.3 バッファ動作時の入力エッジの選択 (例)

IEDGA	IEDGC	説 明
0	0	インプットキャプチャ入力 A (FTIA) の立ち下がりエッジでキャプチャ (初期値)
	1	インプットキャプチャ入力 A (FTIA) の立ち上がり／立ち下がり
1	0	両方のエッジでキャプチャ
	1	インプットキャプチャ入力 A (FTIA) の立ち上がりエッジでキャプチャ

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、単エッジの場合 1.5 システムクロック (ϕ) 以上、両エッジの場合 2.5 システムクロック (ϕ) 以上にしてください。

ICR は、リセットまたはハードウェアスタンバイモード時に、H'0000 に初期化されます。

11.2.4 アウトプットコンペアレジスタ AR、AF (OCRAR、OCRAF)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCRAR、OCRAF は、16 ビットのリード／ライト可能なレジスタです。

TOCR の OCRAMS ビットが 1 にセットされている場合、OCRA の動作は OCRAR、OCRAF を使用した動作に変更されます。OCRAR、OCRAF の内容は、交互に OCRA に自動的に加算され、OCRA に書き込まれます。書き込み動作はコンペアマッチ A のタイミングで行われます。OCRAMS ビットを 1 にセットしたあとの最初のコンペアマッチ A では、OCRAF が加算されます。

さらに、コンペアマッチ A による動作は、OCRAR、OCRAF のいずれを加算したあとのコンペアマッチかによって異なります。TOCR の OLVLA ビットの内容は無視され、OCRAF 加算後のコンペアマッチ A では 1 を出力し、OCRAR 加算後のコンペアマッチ A では 0 を出力します。

OCRA の自動加算機能を使用する場合には、FRC のカウンタ入力クロックを内部クロック $\phi/2$ で、かつ OCRAR (または OCRAF) = H'0001 以下の値に設定しないでください。

OCRAR、OCRAF は、リセットまたはハードウェアスタンバイモード時に、H'FFFF に初期化されます。

11.2.5 アウトプットコンペアレジスタ DM (OCRDM)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCRDM は、16 ビットのリード／ライト可能なレジスタです。OCRDM の上位 8 ビットは H'00 に固定にされています。

TOCR の ICRDMS ビットが 1 にセットされていて、OCRDM の内容が H'0000 以外である場合、ICRD の動作は OCRDM を利用した動作に変更されます。インプットキャプチャ D が発生した時点をもスク期間の開始とします。続いて、ICRD の内容に OCRDM の内容を 2 倍して加算した値を FRC と比較し、一致した時点をもスク期間の終了とします。マスク期間中は新たなインプットキャプチャ D は禁止されています。

ICRDMS ビットが 1 にセットされていて、OCRDM の内容が H'0000 である場合は、マスク期間は発生しません。

OCRDM は、リセットまたはハードウェアスタンバイモード時に、H'0000 に初期化されます。

11.2.6 タイマインタラプトイネーブルレジスタ (TIER)

ビット：	7	6	5	4	3	2	1	0
	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—
初期値：	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—

TIER は、8 ビットのリード／ライト可能なレジスタで、各割り込み要求の許可を制御します。

TIER は、リセットまたはハードウェアスタンバイモード時に、H'01 に初期化されます。

ビット 7：インプットキャプチャインタラプト A イネーブル (ICIAE)

TCSR のインプットキャプチャフラグ A (ICFA) が 1 にセットされたとき、ICFA による割り込み (ICIA) の許可または禁止を選択します。

ビット 7	説 明
ICIAE	
0	ICFA による割り込み要求 (ICIA) を禁止 (初期値)
1	ICFA による割り込み要求 (ICIA) を許可

11. 16 ビットフリーランニングタイム (FRT)

ビット 6：インプットキャプチャインタラプト B イネーブル (ICIBE)

TCSR のインプットキャプチャフラグ B (ICFB) が 1 にセットされたとき、ICFB による割り込み (ICIB) の許可または禁止を選択します。

ビット 6	説 明
ICIBE	
0	ICFB による割り込み要求 (ICIB) を禁止 (初期値)
1	ICFB による割り込み要求 (ICIB) を許可

ビット 5：インプットキャプチャインタラプト C イネーブル (ICICE)

TCSR のインプットキャプチャフラグ C (ICFC) が 1 にセットされたとき、ICFC による割り込み (ICIC) の許可または禁止を選択します。

ビット 5	説 明
ICICE	
0	ICFC による割り込み要求 (ICIC) を禁止 (初期値)
1	ICFC による割り込み要求 (ICIC) を許可

ビット 4：インプットキャプチャインタラプト D イネーブル (ICIDE)

TCSR のインプットキャプチャフラグ D (ICFD) が 1 にセットされたとき、ICFD による割り込み (ICID) の許可または禁止を選択します。

ビット 4	説 明
ICIDE	
0	ICFD による割り込み要求 (ICID) を禁止 (初期値)
1	ICFD による割り込み要求 (ICID) を許可

ビット 3：アウトプットコンペアインタラプト A イネーブル (OCIAE)

TCSR のアウトプットコンペアフラグ A (OCFA) が 1 にセットされたとき、OCFA による割り込み要求 (OCIA) の許可または禁止を選択します。

ビット 3	説 明
OCIAE	
0	OCFA による割り込み要求 (OCIA) を禁止 (初期値)
1	OCFA による割り込み要求 (OCIA) を許可

ビット 2：アウトプットコンペアインタラプト B イネーブル (OCIBE)

TCSR のアウトプットコンペアフラグ B (OCFB) が 1 にセットされたとき、OCFB による割り込み要求 (OCIB) の許可または禁止を選択します。

ビット 2	説 明
OCIBE	
0	OCFB による割り込み要求 (OCIB) を禁止 (初期値)
1	OCFB による割り込み要求 (OCIB) を許可

ビット 1：タイマオーバフローインタラプトイネーブル (OVIE)

TCSR のオーバフローフラグ (OVF) が 1 にセットされたとき、OVF による割り込み (FOVI) の許可または禁止を選択します。

ビット 1	説 明
OVIE	
0	OVF による割り込み要求 (FOVI) を禁止 (初期値)
1	OVF による割り込み要求 (FOVI) を許可

ビット 0：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

11.2.7 タイマコントロール／ステータスレジスタ (TCSR)

ビット：	7	6	5	4	3	2	1	0
	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W

【注】＊ ビット7～1はフラグをクリアするための0ライトのみ可能です。

TCSR は、8 ビットのレジスタで、カウンタクリアの選択、各割り込み要求信号の制御を行います。
TCSR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。
なお、タイミングについては「11.3 動作説明」を参照してください。

ビット7：インプットキャプチャフラグ A (ICFA)

インプットキャプチャ信号によって、FRC の値が ICRA に転送されたことを示すステータスフラグです。BUFEA ビットが 1 にセットされているときは、ICFA はインプットキャプチャ信号により FRC の値が ICRA に転送されたことを、また更新される前の ICRA の値が ICRC に転送されたことを示します。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 7	説 明
ICFA	
0	【クリア条件】 ICFA=1 の状態で、ICFA をリードしたあと、ICFA に 0 をライトしたとき (初期値)
1	【セット条件】 インプットキャプチャ信号により、FRC の値が ICRA に転送されたとき

ビット6：インプットキャプチャフラグ B (ICFB)

インプットキャプチャ信号によって、FRC の値が ICRB に転送されたことを示すステータスフラグです。BUFEB ビットが 1 にセットされているときは、ICFB はインプットキャプチャ信号により FRC の値が ICRB に転送されたことを、また更新される前の ICRB の値が ICRD に転送されたことを示します。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 6	説 明
ICFB	
0	【クリア条件】 ICFB=1 の状態で、ICFB をリードしたあと、ICFB に 0 をライトしたとき (初期値)
1	【セット条件】 インプットキャプチャ信号により、FRC の値が ICRB に転送されたとき

ビット 5：インプットキャプチャフラグ C (ICFC)

インプットキャプチャ信号によって、FRC の値が ICRC に転送されたことを示すステータスフラグです。BUFEA ビットが 1 にセットされているときは、FTIC に IEDGC ビットで指定された信号変化（インプットキャプチャ信号）が発生したとき、ICFC はセットされますが、ICRC へのデータ転送は行われません。したがって、バッファ動作では、ICFC は ICICE ビットを 1 にセットすることにより、外部割り込みとして使用することができます。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 5	説 明
ICFC	
0	[クリア条件] (初期値) ICFC=1 の状態で、ICFC をリードしたあと、ICFC に 0 をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

ビット 4：インプットキャプチャフラグ D (ICFD)

インプットキャプチャ信号によって、FRC の値が ICRD に転送されたことを示すステータスフラグです。BUFEB ビットが 1 にセットされているときは、FTID に IEDGD ビットで指定された信号変化（インプットキャプチャ信号）が発生したとき、ICFD はセットされますが、ICRD へのデータ転送は行われません。したがって、バッファ動作では、ICFD は ICIDE ビットを 1 にセットすることにより、外部割り込みとして使用することができます。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 4	説 明
ICFD	
0	[クリア条件] (初期値) ICFD=1 の状態で、ICFD をリードしたあと、ICFD に 0 をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

ビット 3：アウトプットコンペアフラグ A (OCFA)

FRC と OCRA の値が一致したことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 3	説 明
OCFA	
0	[クリア条件] (初期値) OCFA=1 の状態で、OCFA をリードしたあと、OCFA に 0 をライトしたとき
1	[セット条件] FRC=OCRA になったとき

11. 16 ビットフリーランニングタイム (FRT)

ビット 2：アウトプットコンペアフラグ B (OCFB)

FRC と OCFB の値が一致したことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 2	説 明
OCFB	
0	[クリア条件] OCFB=1 の状態で、OCFB をリードしたあと、OCFB に 0 をライトしたとき (初期値)
1	[セット条件] FRC=OCRB になったとき

ビット 1：タイマオーバフロー (OVF)

FRC がオーバフロー (H'FFFF→H'0000) したことを示すステータスフラグです。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 1	説 明
OVF	
0	[クリア条件] OVF=1 の状態で、OVF をリードしたあと、OVF に 0 をライトしたとき (初期値)
1	[セット条件] FRC の値が、H'FFFF→H'0000 になったとき

ビット 0：カウンタクリア A (CCLRA)

コンペアマッチ A (FRC と OCRA の一致信号) により、FRC をクリアするか、しないかを選択します。

ビット 0	説 明
CCLRA	
0	FRC のクリアを禁止 (初期値)
1	コンペアマッチ A により FRC をクリア

11.2.8 タイマコントロールレジスタ (TCR)

ビット：	7	6	5	4	3	2	1	0
	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCR は、8 ビットのリード／ライト可能なレジスタです。インプットキャプチャ入力エッジの選択、バッファ動作の指定、FRC の入力クロックの選択を行います。

TCR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7：インプットエッジセレクト A (IEDGA)

インプットキャプチャ入力 A (FTIA) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット 7	説 明	
IEDGA		
0	インプットキャプチャ入力 A の立ち下がりエッジ (↓) でキャプチャ	(初期値)
1	インプットキャプチャ入力 A の立ち上がりエッジ (↑) でキャプチャ	

ビット 6：インプットエッジセレクト B (IEDGB)

インプットキャプチャ入力 B (FTIB) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット 6	説 明	
IEDGB		
0	インプットキャプチャ入力 B の立ち下がりエッジ (↓) でキャプチャ	(初期値)
1	インプットキャプチャ入力 B の立ち上がりエッジ (↑) でキャプチャ	

ビット 5：インプットエッジセレクト C (IEDGC)

インプットキャプチャ入力 C (FTIC) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット 5	説 明	
0	インプットキャプチャ入力 C の立ち下がりエッジ (↓) でキャプチャ	(初期値)
1	インプットキャプチャ入力 C の立ち上がりエッジ (↑) でキャプチャ	

ビット 4：インプットエッジセレクト D (IEDGD)

インプットキャプチャ入力 D (FTID) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット 4	説 明	
IEDGD		
0	インプットキャプチャ入力 D の立ち下がりエッジ (↓) でキャプチャ	(初期値)
1	インプットキャプチャ入力 D の立ち上がりエッジ (↑) でキャプチャ	

11. 16 ビットフリーランニングタイム (FRT)

ビット 3：バッファイネーブル A (BUFEA)

ICRC を ICRA のバッファレジスタとして使用するかしないかを選択します。

ビット 3	説 明
BUFEA	
0	ICRC を ICRA のバッファレジスタとして使用しない (初期値)
1	ICRC を ICRA のバッファレジスタとして使用する

ビット 2：バッファイネーブル B (BUFEB)

ICRD を ICRB のバッファレジスタとして使用するかしないかを選択します。

ビット 2	説 明
BUFEB	
0	ICRD を ICRB のバッファレジスタとして使用しない (初期値)
1	ICRD を ICRB のバッファレジスタとして使用する

ビット 1、0：クロックセレクト (CKS1、0)

FRC に入力するクロックを内部クロック 3 種類または外部クロックから選択します。
外部クロックは、外部クロック入力端子 (FTCI) の立ち上がりエッジでカウントします。

ビット 1	ビット 0	説 明
CKS1	CKS0	
0	0	内部クロック： $\phi/2$ でカウント (初期値)
	1	内部クロック： $\phi/8$ でカウント
1	0	内部クロック： $\phi/32$ でカウント
	1	外部クロック：立ち上がりエッジ (↑) でカウント

11.2.9 タイマアウトプットコンペアコントロールレジスタ (TOCR)

ビット：	7	6	5	4	3	2	1	0
	ICRDMS	OCRAMS	ICRS	OCRS	OEA	OEB	OLVLA	OLVLB
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TOCR は、8 ビットのリード／ライト可能なレジスタです。アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、アウトプットコンペアレジスタ A、B のアクセスの切り替え制御、ICRD や OCRA の動作モード、およびインプットキャプチャレジスタ A～C のアクセスの切り替え制御を行います。

TOCR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7：インプットキャプチャ D モードセレクト (ICRDMS)

ICRD を、通常の動作モードとするか、OCRDM を利用した動作モードにするかを選択します。

ビット 7	説 明
ICRDMS	
0	ICRD を、通常の動作モードに設定 (初期値)
1	ICRD を、OCRDM を利用した動作モードに設定

ビット 6：アウトプットコンペア A モードセレクト (OCRAMS)

OCRA を、通常の動作モードとするか、OCRAR、OCRAF を利用した動作モードにするかを選択します。

ビット 6	説 明
OCRAMS	
0	OCRA を、通常の動作モードに設定 (初期値)
1	OCRA を、OCRAR、OCRAF を利用した動作モードに設定

ビット 5：インプットキャプチャレジスタセレクト (ICRS)

ICRA と OCRAR、ICRB と OCRAF、ICRC と OCRDM、のアドレスは同一です。ICRS ビットは、このアドレスをリード／ライトするときにどちらのレジスタを選択するかを制御します。ICRA、ICRB と ICRC 動作には影響を与えません。

ビット 5	説 明
ICRS	
0	ICRA、ICRB と ICRC レジスタを選択 (初期値)
1	OCRAR、OCRAF と OCRDM レジスタを選択

11. 16 ビットフリーランニングタイム (FRT)

ビット 4：アウトプットコンペアレジスタセレクト (OCRS)

OCRA と OCRB のアドレスは同一です。OCRS ビットは、このアドレスをリード／ライトするときにどちらのレジスタを選択するかを制御します。OCRA と OCRB の動作には影響を与えません。

ビット 4	説 明
OCRS	
0	OCRA レジスタを選択 (初期値)
1	OCRB レジスタを選択

ビット 3：アウトプットイネーブル A (OEA)

アウトプットコンペア A 出力端子 (FTOA) を制御します。

ビット 3	説 明
OEA	
0	アウトプットコンペア A 出力を禁止 (初期値)
1	アウトプットコンペア A 出力を許可

ビット 2：アウトプットイネーブル B (OEB)

アウトプットコンペア B 出力端子 (FTOB) を制御します。

ビット 2	説 明
OEB	
0	アウトプットコンペア B 出力を禁止 (初期値)
1	アウトプットコンペア B 出力を許可

ビット 1：アウトプットレベル A (OLVLA)

コンペアマッチ A (FRC と OCRA の一致による信号) により、アウトプットコンペア A 出力端子 (FTOA) に出力する出力レベルを選択します。

OCRAMS ビットが 1 の場合は無視されます。

ビット 1	説 明
OLVLA	
0	コンペアマッチ A により 0 出力 (初期値)
1	コンペアマッチ A により 1 出力

ビット 0：アウトプットレベル B (OLVLB)

コンペアマッチ B (FRC と OCRB の一致による信号) により、アウトプットコンペア B 出力端子 (FTOB) に出力する出力レベルを選択します。

ビット 0	説 明
OLVLB	
0	コンペアマッチ B により 0 出力 (初期値)
1	コンペアマッチ B により 1 出力

11.2.10 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCR _H								MSTPCR _L								
ビット：	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値：	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP13 ビットを 1 にセットすると、バスサイクルの終了時点で FRT は動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRH ビット 5：モジュールストップ (MSTP13)

FRT のモジュールストップモードを指定します。

MSTPCRH ビット 5	説 明
MSTP13	
0	FRT のモジュールストップモード解除
1	FRT のモジュールストップモード設定 (初期値)

11.3 動作説明

11.3.1 FRC のカウントタイミング

FRC は、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

(1) 内部クロック動作の場合

TCR の CKS1、0 ビットの設定により、システムクロック (ϕ) を分周して作られる 3 種類の内部クロック ($\phi/2$ 、 $\phi/8$ 、 $\phi/32$) が選択されます。このときのタイミングを図 11.3 に示します。

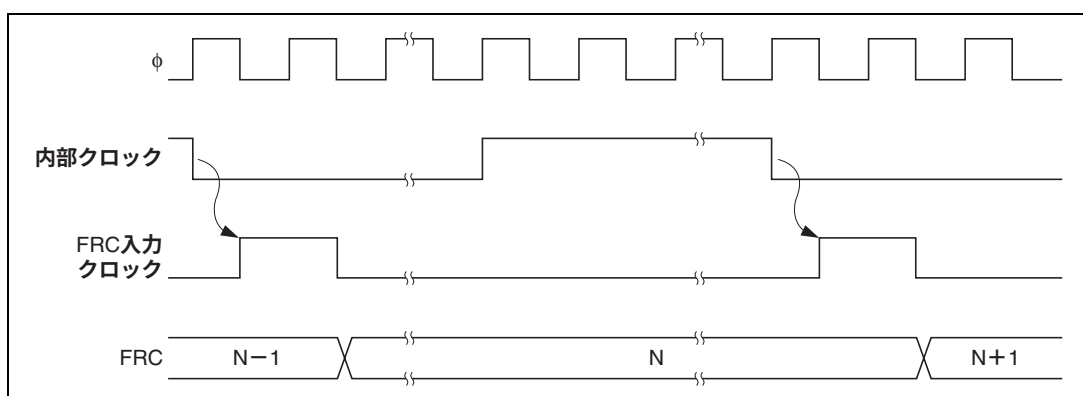


図 11.3 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

TCR の CKS1、0 ビットの設定により、外部クロック入力を選択されます。外部クロックは立ち上がりエッジでカウントします。なお、外部クロックのパルス幅は、1.5 システムクロック (ϕ) 以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

このときのタイミングを図 11.4 に示します。

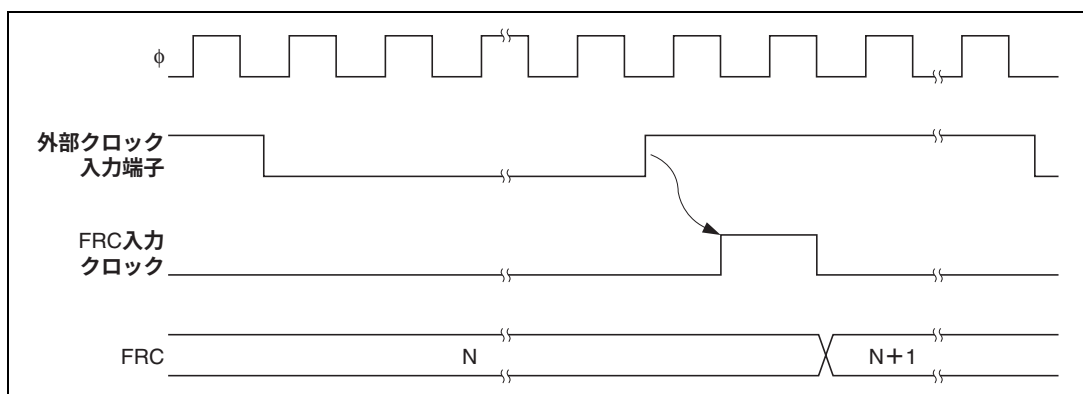


図 11.4 外部クロック動作時のカウントタイミング

11.3.2 アウトプットコンペア出力タイミング

コンペアマッチが発生したとき、TOCR の OLVL ビットで設定される出力レベルがアウトプットコンペア出力端子 (FTOA、FTOB) に出力されます。図 11.5 にアウトプットコンペア A の場合の出力タイミングを示します。

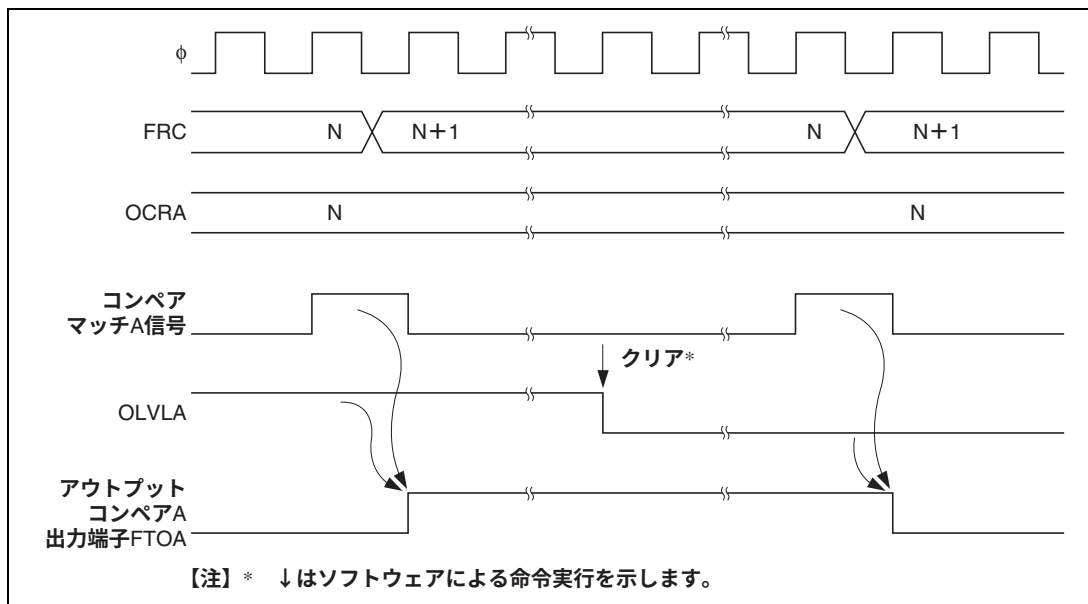


図 11.5 アウトプットコンペア A 出力タイミング

11.3.3 FRC のクリアタイミング

FRC は、コンペアマッチ A でクリアすることができます。このタイミングを図 11.6 に示します。

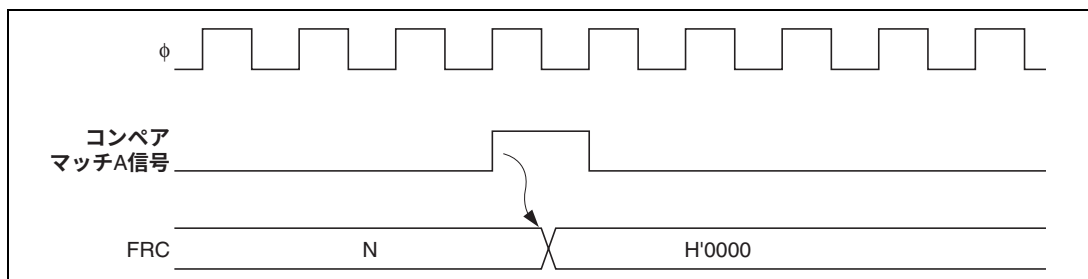


図 11.6 コンペアマッチ A によるクリアタイミング

11.3.4 インプットキャプチャ入力タイミング

(1) インプットキャプチャ入力タイミング

インプットキャプチャ入力は、TCR の IEDGA～D ビットで立ち上がりエッジ／立ち下がりエッジを選択します。立ち上がりエッジを選択した (IEDGA～D=1) 場合のタイミングを図 11.7 に示します。

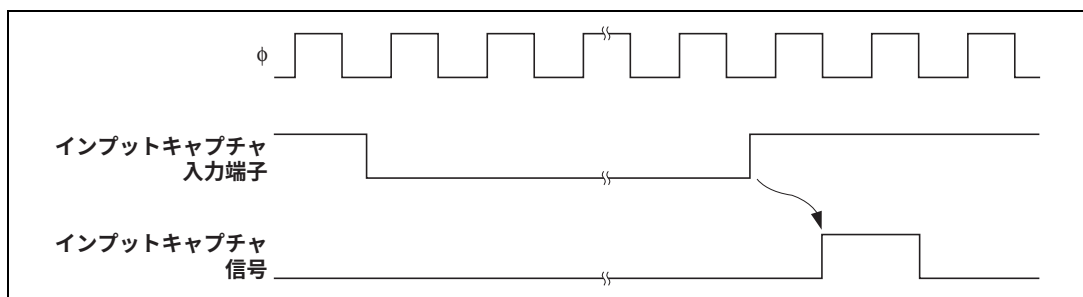


図 11.7 インプットキャプチャ信号タイミング (通常時)

また、ICRA～D のリード時に、対応するインプットキャプチャ入力を入力するとインプットキャプチャ信号は 1 システムクロック (φ) 遅延されます。このタイミングを図 11.8 に示します。

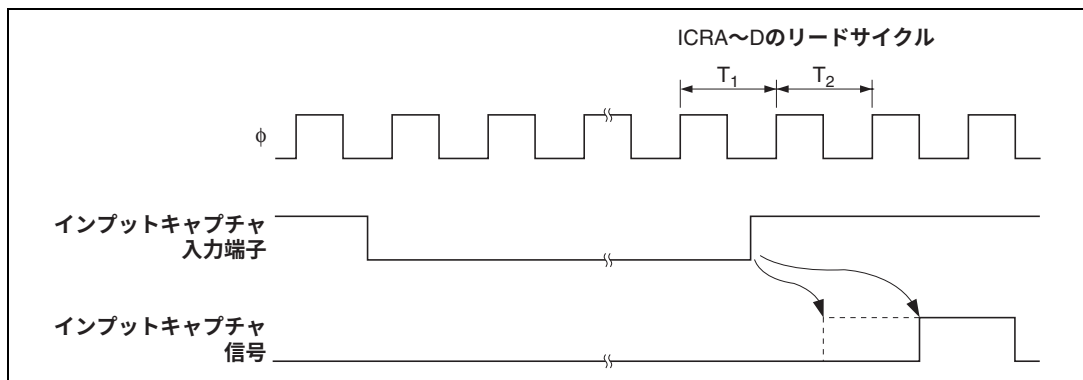


図 11.8 インプットキャプチャ信号タイミング
(ICRA～D のリード時に、インプットキャプチャ入力を入力した場合)

(2) バッファ動作時のインプットキャプチャ入力タイミング

ICRC または ICRD を、ICRA または ICRB のバッファとして動作させることができます。

ICRC を ICRA のバッファレジスタとして使用し (BUFEA=1)、立ち上がり／立ち下がり両エッジ指定 (IEDGA=1、IEDGC=0 または IEDGA=0、IEDGC=1) とした場合のインプットキャプチャ入力タイミングを図 11.9 に示します。

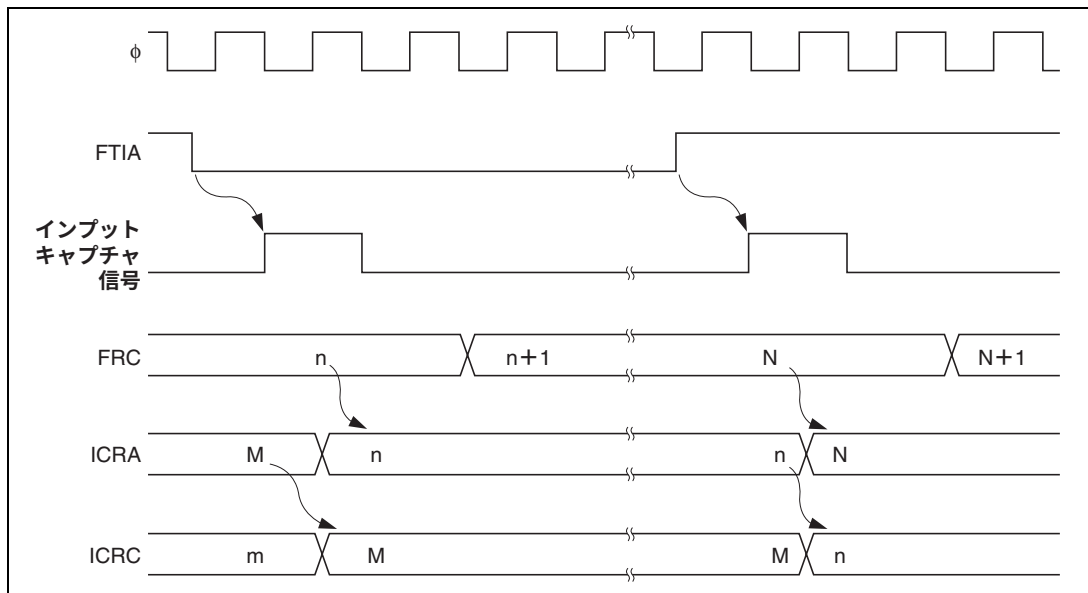
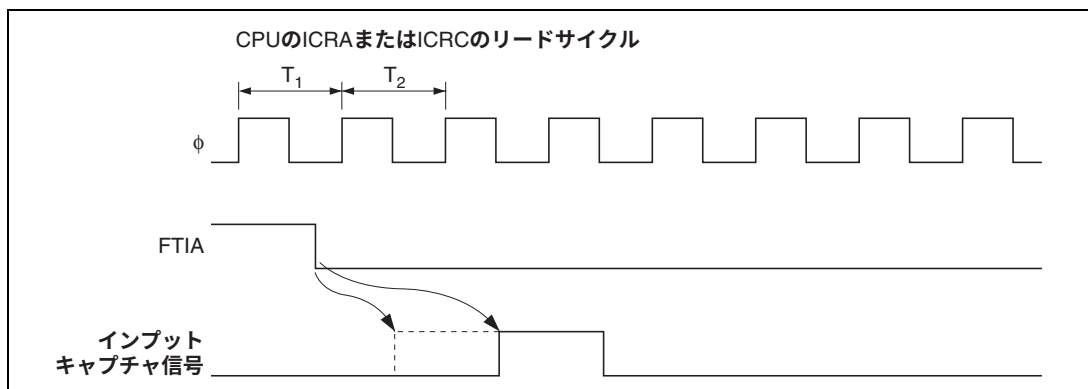


図 11.9 バッファモード時のインプットキャプチャタイミング (通常時)

ICRC または ICRD をバッファレジスタとして使用した場合でも、インプットキャプチャフラグは、各インプットキャプチャ入力の指定されたエッジ変化に対応してセットされます。たとえば、ICRC を ICRA のバッファレジスタとして使用しているときでも、インプットキャプチャ入力に IEDGC ビットで指定したエッジ変化があると ICFC がセットされ、ICIEC ビットがセットされていれば割り込み要求が発生します。ただし、この場合は、FRC の値は ICRC には転送されません。

また、バッファ動作の場合も、インプットキャプチャ信号が発生するタイミングで、データ転送レジスタ (ICRA と ICRC または ICRB と ICRD) のリードが行われると、インプットキャプチャ信号は、1 システムクロック (ϕ) 遅延されます。BUFEA=1 のときのタイミングを図 11.10 に示します。

図 11.10 バッファレジスタ動作時のインプットキャプチャタイミング
(ICRA または ICRC のリード時に、インプットキャプチャ入力を入力した場合)

11.3.5 インพุットキャプチャフラグ (ICFA~ICFD) のセットタイミング

インพุットキャプチャ入力により ICFA~ICFD は 1 にセットされ、同時に FRC の値が対応する ICRA~ICRD に転送されます。このタイミングを図 11.11 に示します。

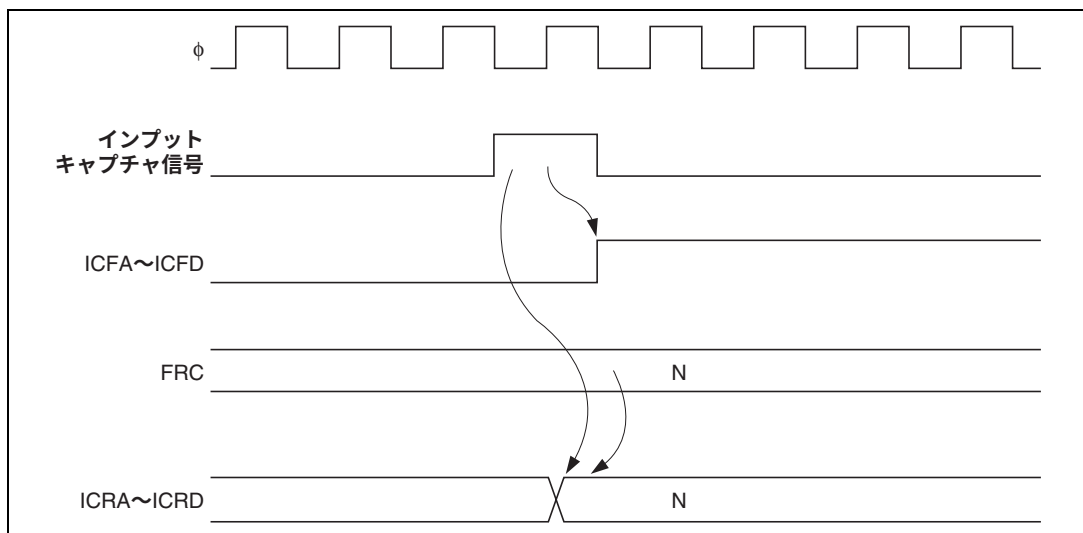


図 11.11 ICFA~ICFD のセットタイミング

11.3.6 アウトプットコンペアフラグ (OCFA、OCFB) のセットタイミング

OCFA、B は、OCRA、OCRB と FRC の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、値が一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。

FRC と OCRA、OCRB が一致したあと、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、OCFB のセットタイミングを図 11.12 に示します。

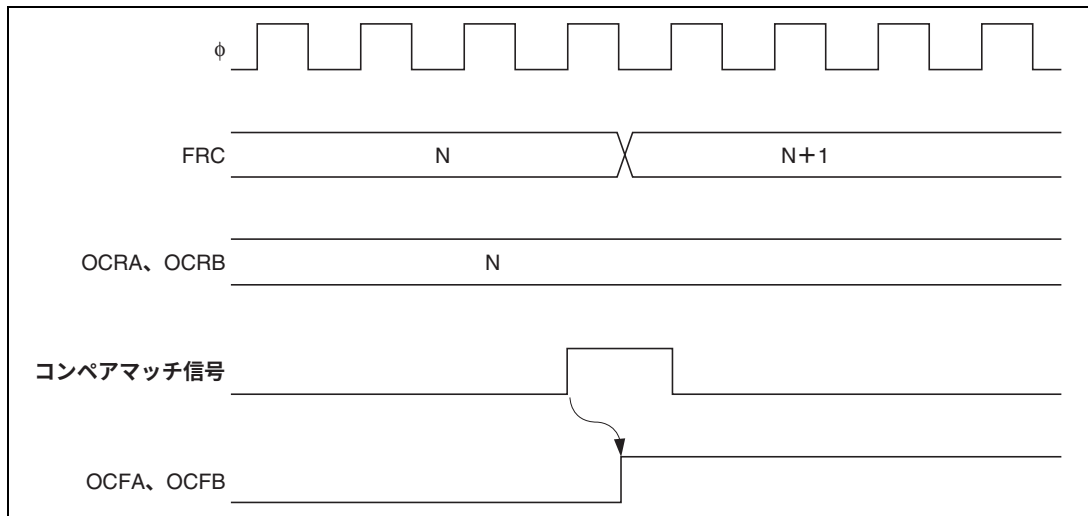


図 11.12 OCF セットタイミング

11.3.7 タイマオーバフローフラグ (OVF) のセットタイミング

OVF は、FRC がオーバフロー (H'FFFF→H'0000) したとき 1 にセットされます。このときのタイミングを図 11.13 に示します。

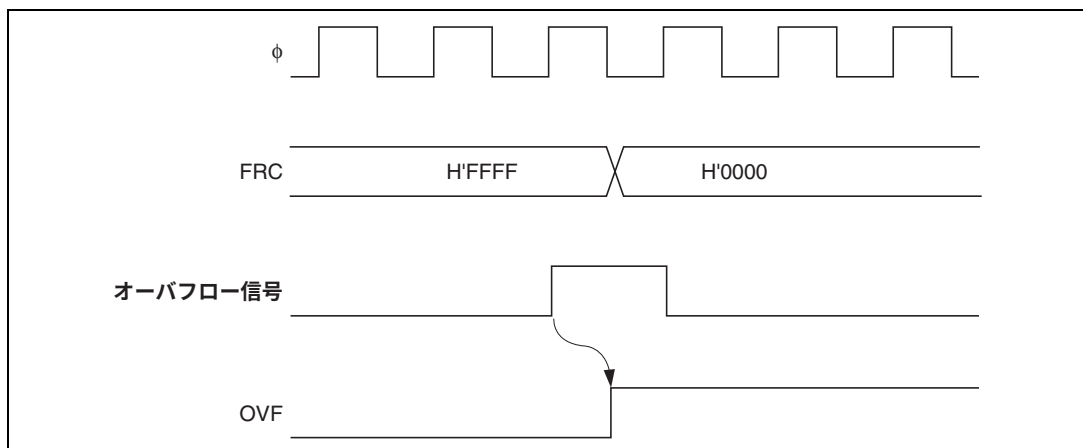


図 11.13 OVF のセットタイミング

11.3.8 OCRA と OCRAR/OCRAF の自動加算タイミング

TOCR の OCRAMS ビットが 1 にセットされている場合、OCRAR、OCRAF の内容は交互に OCRA に自動加算され、OCRA のコンペアマッチが発生すると OCRA に書き込まれます。OCRA の書き込みタイミングを図 11.14 に示します。

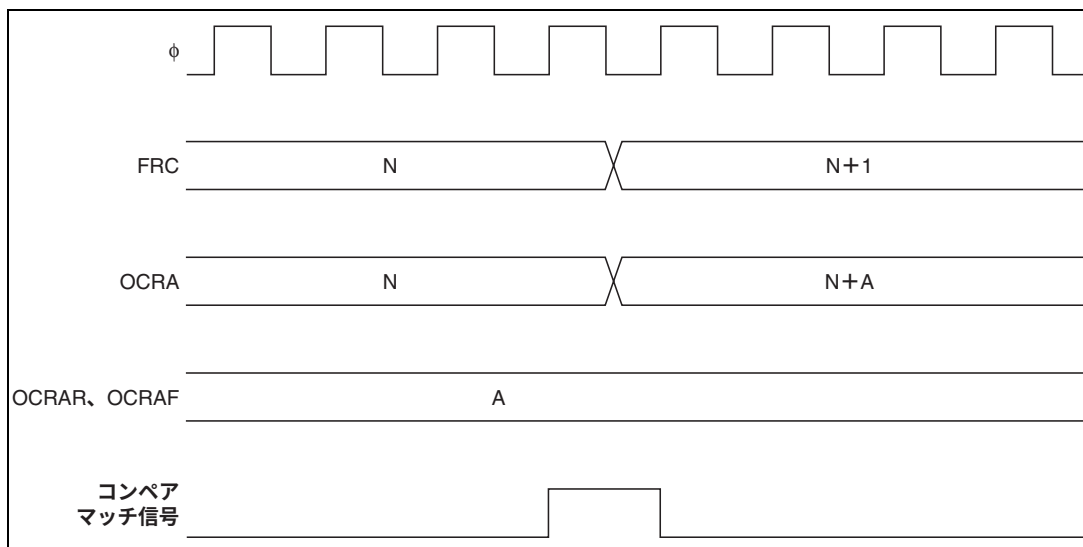


図 11.14 OCRA の自動加算タイミング

11.3.9 ICRD と OCRDM のマスク信号生成タイミング

TOCR の ICRDM ビットが 1 にセットされていて、OCRDM の内容が H'0000 以外であると、ICRD の入力キャプチャ機能をマスクする信号が生成されます。

マスク信号は、入力キャプチャ信号によりセットされます。マスク信号のセットタイミングを図 11.15 に示します。

マスク信号は、ICRD の内容と OCRDM の内容の 2 倍の和と、FRC のコンペアマッチによりクリアされます。マスク信号のクリアタイミングを図 11.16 に示します。

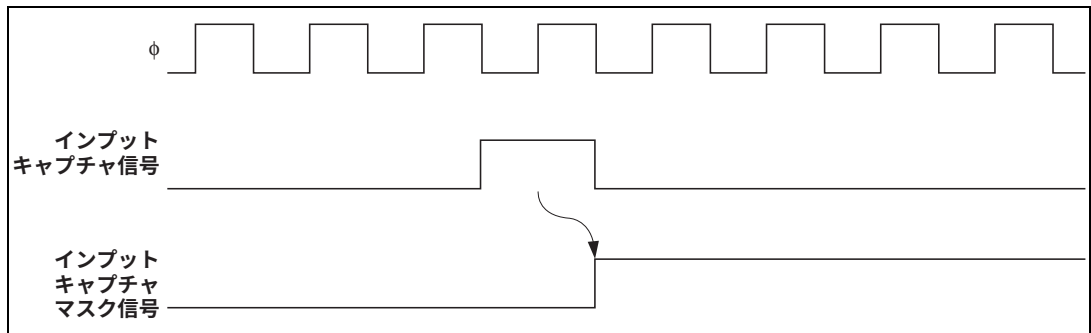


図 11.15 インプットキャプチャマスク信号のセットタイミング

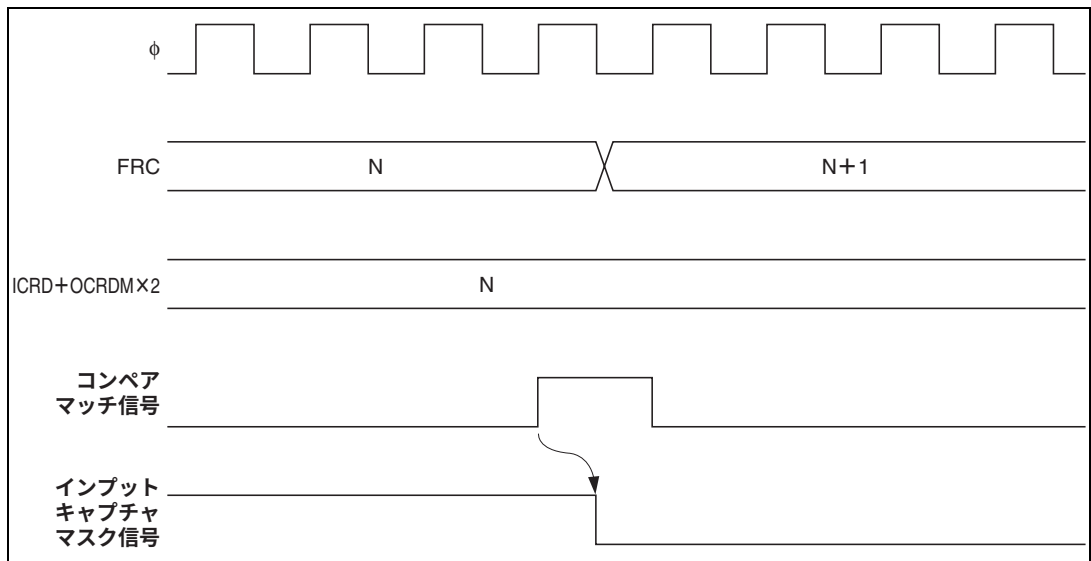


図 11.16 インプットキャプチャマスク信号のクリアタイミング

11.4 割り込み要因

FRT の割り込み要因は、ICIA～ICID、OCIA、OCIB、および FOVI の 3 種類合計 7 つあります。表 11.4 に各割り込み要因と優先順位を示します。各割り込み要因は、TIER の各割り込みイネーブルビットで許可または禁止され、それぞれ独立に割り込みコントローラに送られます。

表 11.4 FRT 割り込み要因

割り込み要因	内 容	DTC の起動	優先順位
ICIA	ICFA による割り込み	可	高 ↑ 低
ICIB	ICFB による割り込み	可	
ICIC	ICFC による割り込み	不可	
ICID	ICFD による割り込み	不可	
OCIA	OCFA による割り込み	可	
OCIB	OCFB による割り込み	可	
FOVI	OVF による割り込み	不可	

11.5 FRT の使用例

デューティ 50% のパルスを任意の位相差で出力させた例を図 11.17 に示します。これは次に示すように設定します。

- (1) TCSR の CCLRA ビットを 1 にセットします。
- (2) 各コンペアマッチが発生するたびに OLVL A、B ビットをソフトウェアにより反転させます。

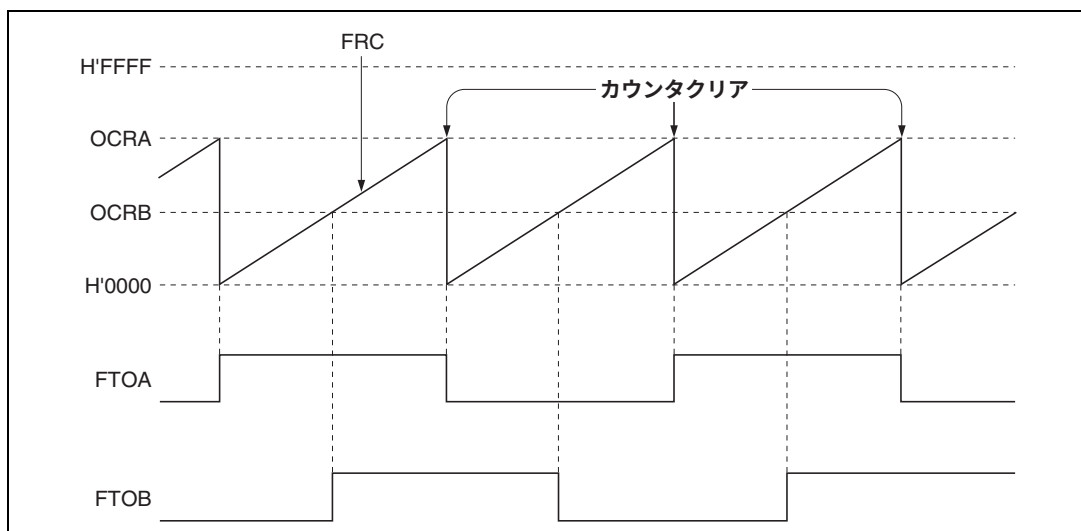


図 11.17 パルス出力例

11.6 使用上の注意

FRT の動作中、次のような競合や動作が起こりますので、注意してください。

(1) FRC のライトとクリアの競合

FRC のライトサイクルの次のステートで、カウンタクリア信号が発生すると、FRC へのライトは行われず FRC のクリアが優先されます。

このタイミングを図 11.18 に示します。

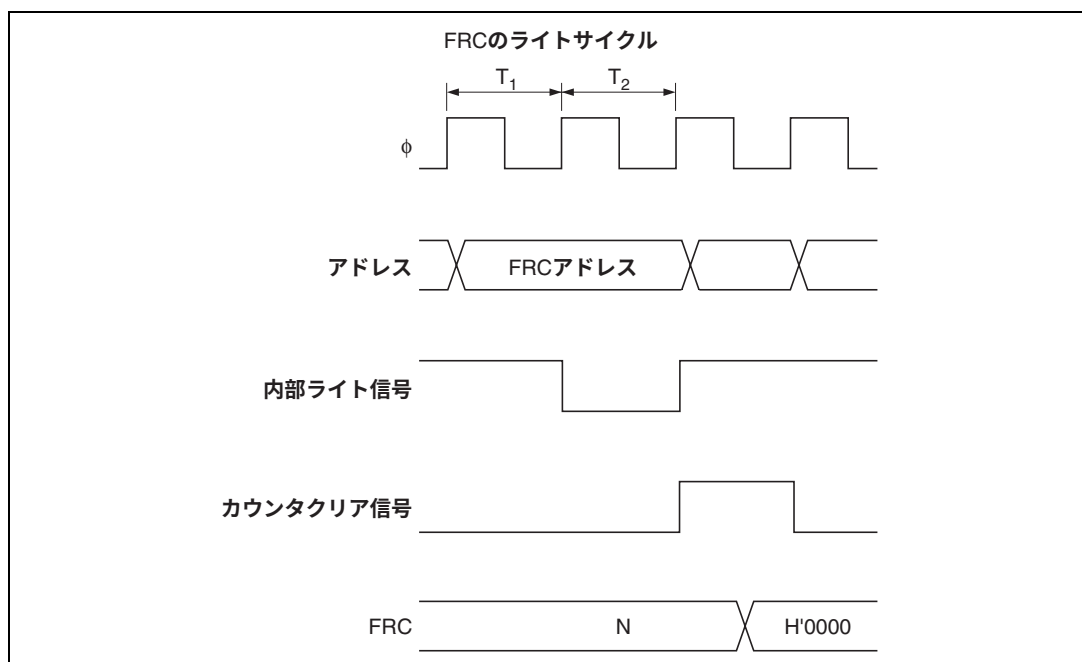


図 11.18 FRC のライトとクリアの競合

(2) FRC のライトとカウントアップの競合

FRC のライトサイクルの次のステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図 11.19 に示します。

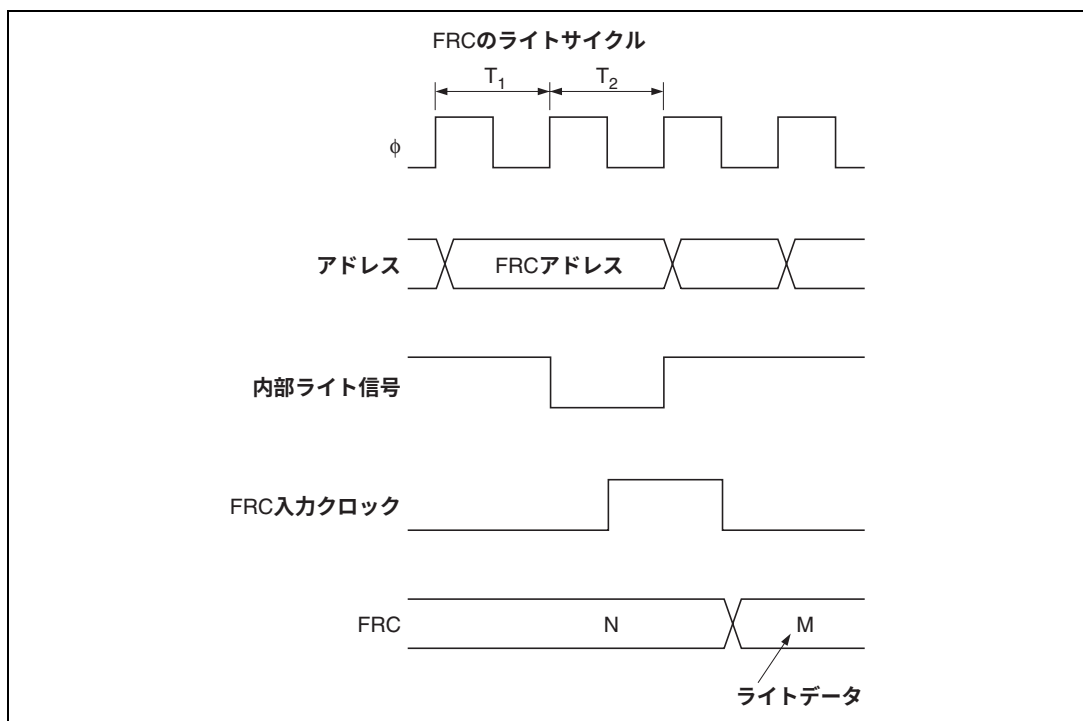


図 11.19 FRC のライトとカウントアップの競合

(3) OCR のライトとコンペアマッチの競合

OCRA、B のライトサイクルの次のステートでコンペアマッチが発生した場合、OCR のライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図 11.20 に示します。

OCRA へ、OCRAR/OCRAF の自動加算機能を選択していて、OCRA、OCRAR、OCRAF ライトサイクルの次のステートでコンペアマッチが発生した場合、OCRA、OCRAR、OCRAF のライトが優先され、コンペアマッチ信号が禁止されるため、自動加算結果のライトは行われません。このタイミングを図 11.21 に示します。

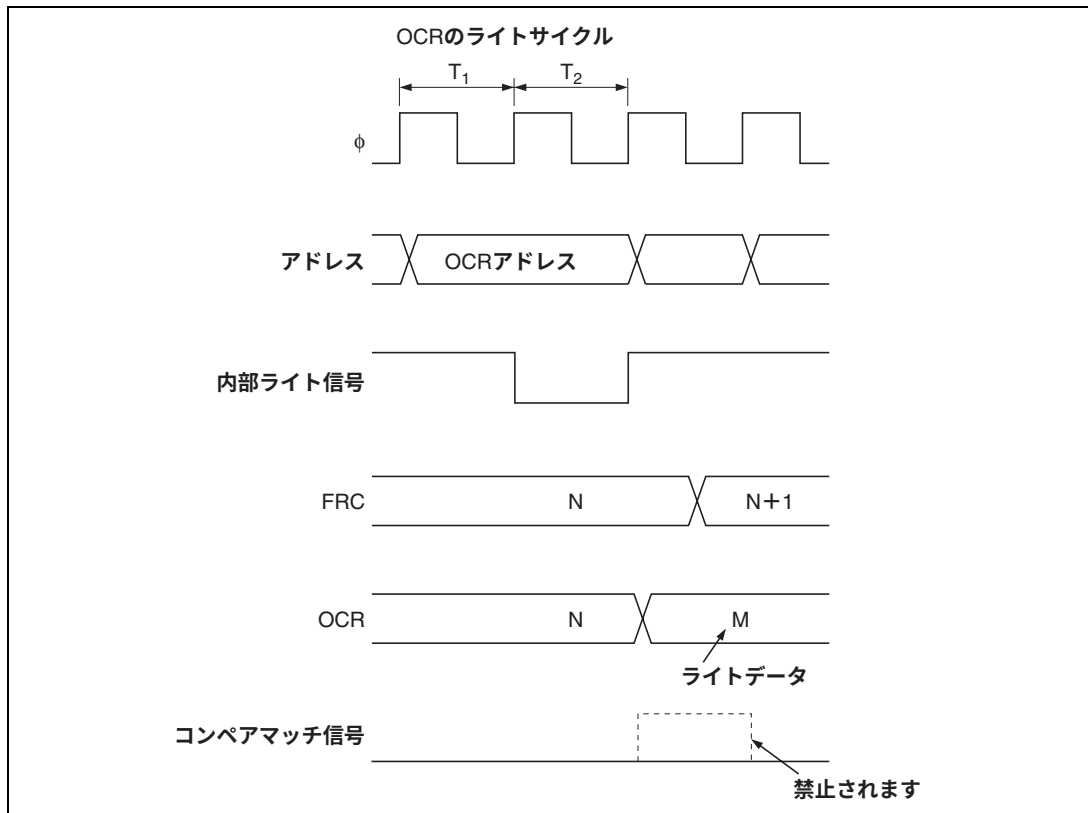


図 11.20 OCR のライトとコンペアマッチの競合 (自動加算機能を使用していない場合)

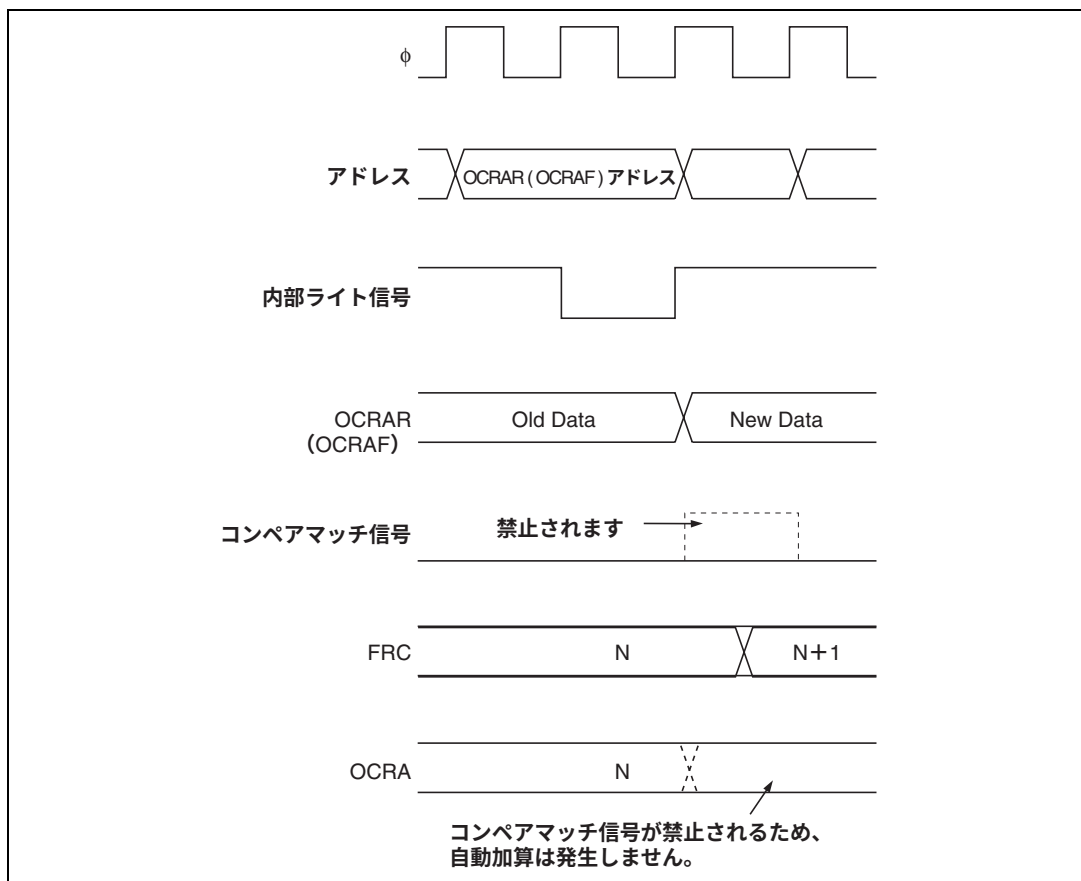


図 11.21 OCRAR/OCRAF のライトとコンペアマッチの競合
(自動加算機能を使用している場合)

(4) 内部クロックの切り替えとカウンタの動作

内部クロックを切り替えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、0 ビットの書き換え) と FRC 動作の関係を表 11.5 に示します。

内部クロックを使用する場合、システムクロック (ϕ) を分周した内部クロックの立ち下がりエッジを検出して FRC クロックを生成しています。そのため表 11.5 の No.3 のように切り替え前のクロック High→切り替え後のクロック Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして FRC クロックが発生し、FRC がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、FRC がカウントアップされることがあります。

表 11.5 内部クロックの切り替えと FRC 動作

No.	CKS1、CKS0ビット 書き換えタイミング	FRC動作
1	Low → Lowレベルの 切り替え	切り替え前のクロック 切り替え後のクロック FRCクロック FRC N N+1 CKSビットの書き換え
2	Low → Highレベルの 切り替え	切り替え前のクロック 切り替え後のクロック FRCクロック FRC N N+1 N+2 CKSビットの書き換え
3	High → Lowレベルの 切り替え	切り替え前のクロック 切り替え後のクロック FRCクロック * FRC N N+1 N+2 CKSビットの書き換え
4	High → Highレベルの 切り替え	切り替え前のクロック 切り替え後のクロック FRCクロック FRC N N+1 N+2 CKSビットの書き換え

【注】 * 切り替えのタイミングを立ち下がりエッジとみなすために発生し、FRC はカウントアップされます。

12. 8ビットタイマ (TMR)

12.1 概要

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマ (TMR0、TMR1) を内蔵しています。2 チャンネルの 8 ビットタイマには、それぞれタイマカウンタ (TCNT) のほかに 8 ビットのタイムコンスタントレジスタ A、B (TCORA、TCORB) があり、TCNT と TCOR の値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

また、本 LSI は、2 チャンネルの類似の 8 ビットタイマ (TMRX、TMRY) を内蔵しており、タイマコネクショに接続して使用できます。TMRX、TMRY は、TMR0、TMR1 に比べて、入出力や割り込み機能に関して制限があります。

12.1.1 特長

■カウンタ入カクロックを選択可能

- TMR0、TMR1：6 種類の内部クロックと、外部クロックのうちから選択できます（外部イベントのカウントが可能）。
- TMRX、TMRY：3 種類の内部クロックと、外部クロックのうちから選択できます（外部イベントのカウントが可能）。

■カウンタのクリア指定が可能

- コンペアマッチ A、B、または外部リセット信号のうちから選択できます。

■2 つのコンペアマッチ信号の組み合わせでタイマ出力を制御

- 独立に動作可能な 2 つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力や PWM 出力など種々の応用が可能です。
(TMRY にはタイマ出力端子がありません)

■2 チャンネルのカスケード接続が可能 (TMR0、TMR1)

- チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットタイマとして動作可能です（16 ビットカウントモード）。
- チャンネル 1 はチャンネル 0 のコンペアマッチをカウント可能です（コンペアマッチカウントモード）。

■複数の割り込み要因

- TMR0、TMR1、TMRY：コンペアマッチ×2 要因、オーバフロー×1 要因があり、それぞれ独立に要求することができます。
- TMRX：インプットキャプチャ×1 要因があります。

12.1.2 ブロック図

8ビットタイマ (TMR0、TMR1) のブロック図を図 12.1 に示します。

TMRX、TMR1 も同様の構成ですが、カスケード接続はできません。また、TMRX にはインプットキャプチャ機能が追加されています。詳細は「第 13 章 タイマコネクション」を参照してください。

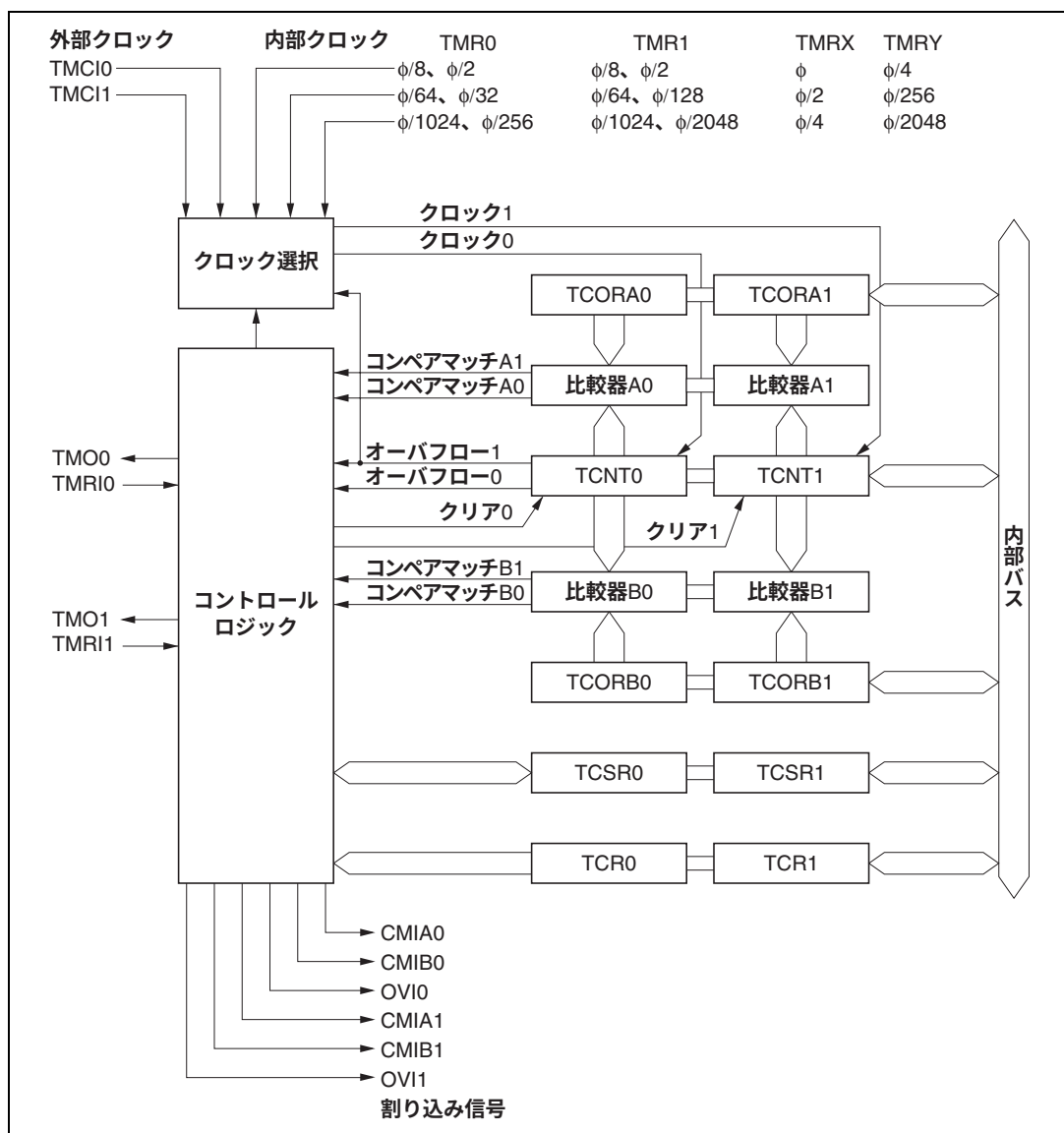


図 12.1 8ビットタイマのブロック図

12.1.3 端子構成

8ビットタイマの入出力端子を表 12.1 に示します。

表 12.1 端子構成

チャンネル	名 称	略称*	入出力	機 能
0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCi0	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI0	入力	カウンタ外部リセット入力
1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCi1	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI1	入力	カウンタ外部リセット入力
X	タイマ出力端子	TMOX	出力	コンペアマッチ出力
	タイマクロック ／リセット入力端子	HFBACKI/TMIx (TMCIX/TMRIx)	入力	カウンタ外部クロック入力／ リセット入力
Y	タイマクロック ／リセット入力端子	VSYNCl/TMIY (TMCiY/TMRIY)	入力	カウンタ外部クロック入力／ リセット入力

【注】 * 本文中ではチャンネルを省略し、それぞれ TMO、TMCi、TMRI とします。
チャンネル X、Y の入出力端子も内部的にはチャンネル 0、1 と同様の構成となっていますので、同様に省略します。

12. 8ビットタイマ (TMR)

12.1.4 レジスタ構成

8ビットタイマのレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

チャンネル	名 称	略称 ^{*3}	R/W	初期値	アドレス ^{*1}
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FFC8
	タイマコントロール/ステータスレジスタ 0	TCSR0	R/(W) ^{*2}	H'00	H'FFCA
	タイムコンスタントレジスタ A0	TCORA0	R/W	H'FF	H'FFCC
	タイムコンスタントレジスタ B0	TCORB0	R/W	H'FF	H'FFCE
	タイマカウンタ 0	TCNT0	R/W	H'00	H'FFD0
1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FFC9
	タイマコントロール/ステータスレジスタ 1	TCSR1	R/(W) ^{*2}	H'10	H'FFCB
	タイムコンスタントレジスタ A1	TCORA1	R/W	H'FF	H'FFCD
	タイムコンスタントレジスタ B1	TCORB1	R/W	H'FF	H'FFCF
	タイマカウンタ 1	TCNT1	R/W	H'00	H'FFD1
共通	シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FFC3
	モジュールストップコントロールレジスタ	MSTPCR _H	R/W	H'3F	H'FF86
		MSTPCR _L	R/W	H'FF	H'FF87
	タイマコネクションレジスタ S	TCONRS	R/W	H'00	H'FFFE
X	タイマコントロールレジスタ X	TCRX	R/W	H'00	H'FFF0
	タイマコントロール/ステータスレジスタ X	TCSR _X	R/(W) ^{*2}	H'00	H'FFF1
	タイムコンスタントレジスタ AX	TCORAX	R/W	H'FF	H'FFF6
	タイムコンスタントレジスタ BX	TCORBX	R/W	H'FF	H'FFF7
	タイマカウンタ X	TCNT _X	R/W	H'00	H'FFF4
	タイムコンスタントレジスタ C	TCORC	R/W	H'FF	H'FFF5
	インプットキャプチャレジスタ R	TICRR	R	H'00	H'FFF2
	インプットキャプチャレジスタ F	TICRF	R	H'00	H'FFF3
Y	タイマコントロールレジスタ Y	TCRY	R/W	H'00	H'FFF0
	タイマコントロール/ステータスレジスタ Y	TCSR _Y	R/(W) ^{*2}	H'00	H'FFF1
	タイムコンスタントレジスタ AY	TCORAY	R/W	H'FF	H'FFF2
	タイムコンスタントレジスタ BY	TCORBY	R/W	H'FF	H'FFF3
	タイマカウンタ Y	TCNT _Y	R/W	H'00	H'FFF4
	タイマインプットセレクトレジスタ	TISR	R/W	H'FE	H'FFF5

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7~5 は、フラグをクリアするための 0 ライトのみ可能です。

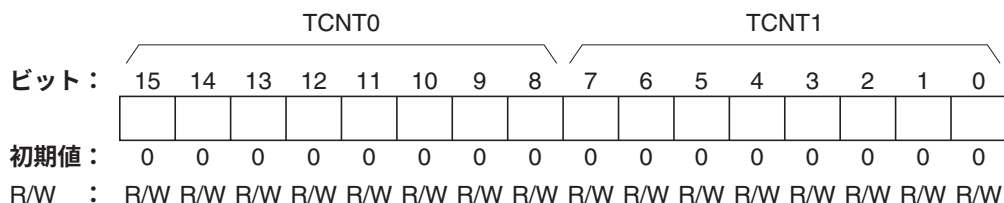
*3 本文中ではチャンネル (0、1、X、Y) を省略し、それぞれ TCR、TCSR、TCORA、TCORB、TCNT とします。

チャンネル 0 とチャンネル 1 の対応するレジスタは、チャンネル 0 を上位、チャンネル 1 を下位とする 16 ビットレジスタとして、ワードアクセスすることができます。(8 ビットアクセス×2 回に分離されません)

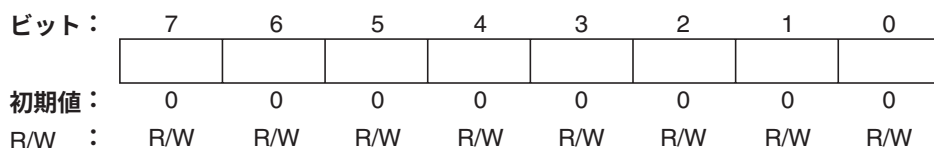
チャンネル X とチャンネル Y のレジスタは、一部が同一のアドレスに重なっています。どちらをアクセスするかは、TCONRS の TMRX/Y ビットによって制御されます。

12.2 各レジスタの説明

12.2.1 タイマカウンタ (TCNT)



TCNTX、TCNTY



TCNT は、8 ビットのリード／ライト可能なアップカウンタです。

TCNT0、TCNT1 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

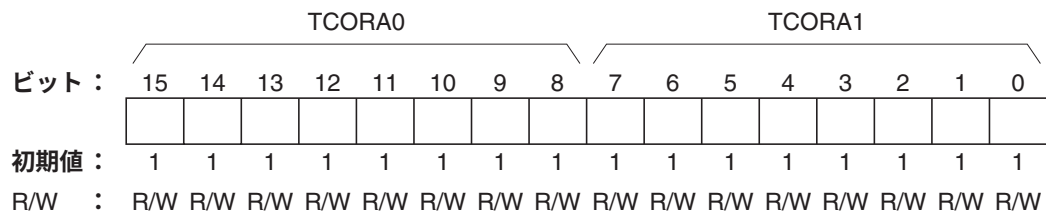
TCNT は、入力する内部または外部クロックによってカウントアップされます。入力するクロックは、TCR の CKS2～CKS0 ビットで選択します。

TCNT は、外部リセット入力信号またはコンペアマッチ信号によりクリアすることができます。いずれの信号でクリアするかは、TCR の CCLR1、CCLR0 ビットで選択します。

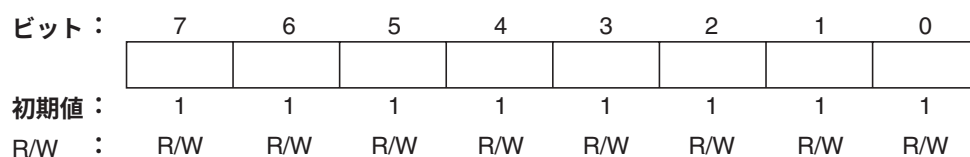
また、TCNT がオーバフロー (H'FF→H'00) すると、TCSR の OVF が 1 にセットされます。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

12.2.2 タイムコンスタントレジスタ A (TCORA)



TCORAX、TCORAY



TCORA は、8 ビットのリード／ライト可能なレジスタです。

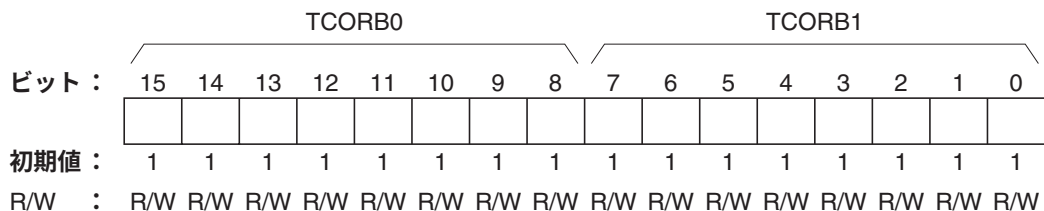
TCORA0、TCORA1 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORA と TCNT の値は常に比較されており、両者の値が一致すると TCSR の CMFA が 1 にセットされます。ただし、TCORA へのライトサイクルの T2 ステートでの比較は禁止されています。

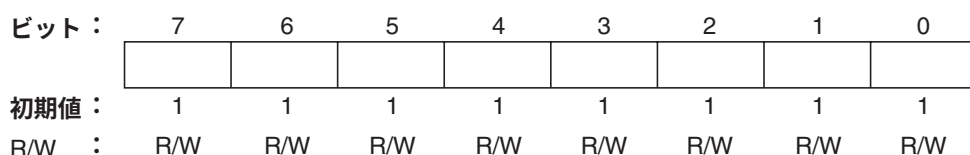
また、この一致による信号 (コンペアマッチ) と TCSR の OS1、OS0 ビットの設定により、タイマ出力を自由に制御することができます。

TCORA は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。

12.2.3 タイムコンスタントレジスタ B (TCORB)



TCORBX、TCORBY



TCORB は、8 ビットのリード／ライト可能なレジスタです。

TCORB0、TCORB1 を 1 本の 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB と TCNT の値は常に比較されており、両者の値が一致すると TCSR の CMFB が 1 にセットされます。ただし、TCOBR へのライトサイクルの T2 ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) と TCSR のアウトプットセレクト OS3、OS2 ビットの設定により、タイマ出力を自由に制御することができます。

TCORB は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。

12.2.4 タイマコントロールレジスタ (TCR)

ビット：	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCR は、8 ビットのリード／ライト可能なレジスタで、TCNT の入力クロックの選択、TCNT のクリア指定、および各割り込み要求の許可を制御します。

TCR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

なお、タイミングについては、「12.3 動作説明」を参照してください。

ビット 7：コンペアマッチインタラプトイネーブル B (CMIEB)

TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。

ただし、TMRX では CMIEB の値にかかわらず、CMIB 割り込み要求は発生しません。

ビット 7	説 明	
CMIEB		
0	CMFB による割り込み要求 (CMIB) を禁止	(初期値)
1	CMFB による割り込み要求 (CMIB) を許可	

ビット 6：コンペアマッチインタラプトイネーブル A (CMIEA)

TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。

ただし、TMRX では CMIEA の値にかかわらず、CMIA 割り込み要求は発生しません。

ビット 6	説 明	
CMIEA		
0	CMFA による割り込み要求 (CMIA) を禁止	(初期値)
1	CMFA による割り込み要求 (CMIA) を許可	

ビット 5：タイマオーバフローインタラプトイネーブル (OVIE)

TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。

ただし、TMRX では OVIE の値にかかわらず、OVI 割り込み要求は発生しません。

ビット 5	説 明	
OVIE		
0	OVF による割り込み要求 (OVI) を禁止	(初期値)
1	OVF による割り込み要求 (OVI) を許可	

ビット 4、3：カウンタクリア 1、0 (CCLR1、CCLR0)

TCNT のクリアを指定します。クリアは、コンペアマッチ A、B または外部リセット入力から選択します。

ビット 4 CCLR1	ビット 3 CCLR0	説 明
0	0	クリアを禁止 (初期値)
	1	コンペアマッチ A によりクリア
1	0	コンペアマッチ B によりクリア
	1	外部リセット入力の立ち上がりエッジによりクリア

ビット 2～0：クロックセレクト 2～0 (CKS2～CKS0)

STCR の ICKS0、ICKS1 ビットと共に、TCNT に入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、システムクロック (ϕ) を分周した 6 種類または 3 種類のクロックから選択できます。これら内部クロックは、立ち下がりエッジでカウントします。

外部クロックのとき、クロック入力端子 (TMCI) の立ち上がり、立ち下がり、または立ち上がり／立ち下がり両エッジのカウントの 3 種類から選択できます。

チャンネル 0 およびチャンネル 1 は、カスケード接続機能のため一部機能が異なります。

12. 8ビットタイマ (TMR)

チャンネル	TCR			STCR		説明
	ビット 2	ビット 1	ビット 0	ビット 1	ビット 0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
0	0	0	0	—	—	クロック入力を禁止 (初期値)
	0	0	1	—	0	内部クロック: $\phi/8$ 立ち下がりエッジでカウント
	0	0	1	—	1	内部クロック: $\phi/2$ 立ち下がりエッジでカウント
	0	1	0	—	0	内部クロック: $\phi/64$ 立ち下がりエッジでカウント
	0	1	0	—	1	内部クロック: $\phi/32$ 立ち下がりエッジでカウント
	0	1	1	—	0	内部クロック: $\phi/1024$ 立ち下がりエッジでカウント
	0	1	1	—	1	内部クロック: $\phi/256$ 立ち下がりエッジでカウント
	1	0	0	—	—	TCNT1 のオーバフロー信号でカウント*
1	0	0	0	—	—	クロック入力を禁止 (初期値)
	0	0	1	0	—	内部クロック: $\phi/8$ 立ち下がりエッジでカウント
	0	0	1	1	—	内部クロック: $\phi/2$ 立ち下がりエッジでカウント
	0	1	0	0	—	内部クロック: $\phi/64$ 立ち下がりエッジでカウント
	0	1	0	1	—	内部クロック: $\phi/128$ 立ち下がりエッジでカウント
	0	1	1	0	—	内部クロック: $\phi/1024$ 立ち下がりエッジでカウント
	0	1	1	1	—	内部クロック: $\phi/2048$ 立ち下がりエッジでカウント
	1	0	0	—	—	TCNT0 のコンペアマッチ A でカウント*
X	0	0	0	—	—	クロック入力を禁止 (初期値)
	0	0	1	—	—	内部クロック: ϕ でカウント
	0	1	0	—	—	内部クロック: $\phi/2$ 立ち下がりエッジでカウント
	0	1	1	—	—	内部クロック: $\phi/4$ 立ち下がりエッジでカウント
	1	0	0	—	—	クロック入力を禁止
Y	0	0	0	—	—	クロック入力を禁止 (初期値)
	0	0	1	—	—	内部クロック: $\phi/4$ 立ち下がりエッジでカウント
	0	1	0	—	—	内部クロック: $\phi/256$ 立ち下がりエッジでカウント
	0	1	1	—	—	内部クロック: $\phi/2048$ 立ち下がりエッジでカウント
	1	0	0	—	—	クロック入力を禁止
共通	1	0	1	—	—	外部クロック: 立ち上がりエッジでカウント
	1	1	0	—	—	外部クロック: 立ち下がりエッジでカウント
	1	1	1	—	—	外部クロック: 立ち上がり／立ち下がり両エッジでカウント

【注】 * チャンネル0のクロック入力を TCNT1 のオーバフロー信号とし、チャンネル1のクロック入力を TCNT0 のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

12.2.5 タイマコントロール／ステータスレジスタ (TCSR)

TCSR0

ビット：	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

TCSR1

ビット：	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0
初期値：	0	0	0	1	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	—	R/W	R/W	R/W	R/W

TCSRX

ビット：	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ICF	OS3	OS2	OS1	OS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W

TCSRY

ビット：	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

【注】＊ ビット7～5およびTCSRXのビット4は、フラグをクリアするための0ライトのみ可能です。

TCSR は、8ビットのレジスタで、コンペアマッチやタイマオーバーフロー、インプットキャプチャ (TMRX のみ) のステータスの表示、およびコンペアマッチ出力の制御を行います。

リセットまたはハードウェアスタンバイモード時に、TCSR0、TCSRX、TCSRY は H'00 に、TCSR1 は H'10 に初期化されます。

12. 8 ビットタイマ (TMR)

ビット 7：コンペアマッチフラグ B (CMFB)

TCNT と TCORB の値が一致したことを示すステータスフラグです。

ビット 7	説 明
CMFB	
0	[クリア条件] (初期値) (1) CMFB=1 の状態で、CMFB をリードしたあと、CMFB に 0 をライトしたとき (2) CMIB 割り込みにより、DTC が起動されたとき
1	[セット条件] TCNT=TCORB になったとき

ビット 6：コンペアマッチフラグ A (CMFA)

TCNT と TCORA の値が一致したことを示すステータスフラグです。

ビット 6	説 明
CMFA	
0	[クリア条件] (初期値) (1) CMFA=1 の状態で、CMFA をリードしたあと、CMFA に 0 をライトしたとき (2) CMIA 割り込みにより、DTC が起動されたとき
1	[セット条件] TCNT=TCORA になったとき

ビット 5：タイマオーバフローフラグ (OVF)

TCNT がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。

ビット 5	説 明
OVF	
0	[クリア条件] (初期値) OVF=1 の状態で、OVF をリードしたあと、OVF に 0 をライトしたとき
1	[セット条件] TCNT が H'FF→H'00 になったとき

TCSR0

ビット4：A/Dトリガイネーブル (ADTE)

コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。

ビット 4	説 明
ADTE	
0	コンペアマッチ A による A/D 変換開始要求を禁止 (初期値)
1	コンペアマッチ A による A/D 変換開始要求を許可

TCSR1

ビット4：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

TCSRX

ビット4：インプットキャプチャフラグ (ICF)

TCONRI の ICST ビットが 1 にセットされたあと、外部リセット信号に立ち上がりエッジ→立ち下がりエッジの順でエッジが検出されたことを示すステータスフラグです。

ビット 4	説 明
ICF	
0	[クリア条件] ICF=1 の状態で ICF をリードしたあと、ICF に 0 をライトしたとき (初期値)
1	[セット条件] TCONRI の ICST ビットが 1 にセットされたあと、外部リセット信号に立ち上がりエッジ→立ち下がりエッジの順でエッジを検出したとき

TCSRY

ビット4：インプットキャプチャインタラプトイネーブル (ICIE)

TCSRX の ICF が 1 にセットされたとき、ICF による割り込み要求 (ICIX) の許可または禁止を選択します。

ビット 4	説 明
ICIE	
0	ICF による割り込み要求 (ICIX) を禁止 (初期値)
1	ICF による割り込み要求 (ICIX) を許可

12. 8 ビットタイマ (TMR)

ビット 3～0：アウトプットセレクト 3～0 (OS3～OS0)

TCOR と TCNT のコンペアマッチによるタイマ出力レベルをどのように変化させるかを選択します。

OS3 と OS2 ビットがコンペアマッチ B による出力レベルを選択し、OS1 と OS0 ビットがコンペアマッチ A による出力レベルを選択し、それぞれ独立に制御することができます。

ただし、トグル出力>1 出力>0 出力の順で優先順位が高くなるように設定してありますので、コンペアマッチが同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。

なお、OS3～OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

ビット 3	ビット 2	説 明
OS3	OS2	
0	0	コンペアマッチ B で変化しない (初期値)
	1	コンペアマッチ B で 0 出力
1	0	コンペアマッチ B で 1 出力
	1	コンペアマッチ B ごとに反転出力 (トグル出力)

ビット 1	ビット 0	説 明
OS1	OS0	
0	0	コンペアマッチ A で変化しない (初期値)
	1	コンペアマッチ A で 0 出力
1	0	コンペアマッチ A で 1 出力
	1	コンペアマッチ A ごとに反転出力 (トグル出力)

12.2.6 シリアルタイマコントロールレジスタ (STCR)

ビット：	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	IICE	FLSHE	—	ICKS1	ICKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は 8 ビットのリード／ライト可能なレジスタで、レジスタアクセスの制御、IIC の動作モードの制御、内蔵フラッシュメモリの制御 (F-ZTAT 版の場合)、TCNT の入力クロックの選択を行います。8 ビットタイマ以外の詳細は、「3.2.4 シリアルタイマコントロールレジスタ (STCR)」および各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7～4：I²C コントロール (IICS、IICX1、IICX0、IICE)

I²C バスインタフェースの動作などを制御するビットです。詳しくは「3.2.4 シリアルタイマコントロールレジスタ (STCR)」および「第 16 章 I²C バスインタフェース」を参照してください。

ビット 3：フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリの制御レジスタ、低消費電力状態の制御レジスタ、および周辺モジュールの制御レジスタの CPU アクセスを制御するビットです。詳しくは「3.2.4 シリアルタイマコントロールレジスタ」を参照してください。

ビット 2：リザーブビット

リザーブビットです。1 をセットしないでください。

ビット 1、0：インターナルクロックソースセレクト 1、0 (ICKS1、ICKS0)

TCR の CKS2～CKS0 ビットと共に、TCNT に入力するクロックを選択します。詳細は「12.2.4 タイマコントロールレジスタ (TCR)」を参照してください。

12. 8ビットタイマ (TMR)

12.2.7 システムコントロールレジスタ (SYSCR)

ビット：	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値：	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R	R/W	R	R/W	R/W	R/W

ここではビット1のみ説明します。8ビットタイマ以外の詳細は、「3.2.2 システムコントロールレジスタ (SYSCR)」、「5.2.1 システムコントロールレジスタ (SYSCR)」、および関連するモジュールの説明を参照してください。

ビット1：ホストインタフェースイネーブル (HIE)

8ビットタイマ（チャンネルX、Y）のデータレジスタと制御レジスタ、タイマコネクションの制御レジスタのCPUアクセスを制御します。

ビット1	説明
HIE	
0	8ビットタイマ（チャンネルX、Y）のデータレジスタと制御レジスタ、タイマコネクションの制御レジスタのCPUアクセスを許可 (初期値)
1	8ビットタイマ（チャンネルX、Y）のデータレジスタと制御レジスタ、タイマコネクションの制御レジスタのCPUアクセスを禁止

12.2.8 タイマコネクションレジスタ S (TCONRS)

ビット：	7	6	5	4	3	2	1	0
	TMRX/Y	ISGENE	HOMOD1	HOMOD0	VOMOD1	VOMOD0	CLMOD1	CLMOD0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCONRS は 8 ビットのリード／ライト可能なレジスタで、TMRX、TMRY のレジスタアクセスおよびタイマコネクションの動作を制御します。

TCONRS はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7：TMRX/TMRY アクセスメトリック (TMRX/Y)

TMRX および TMRY のレジスタは、SYSCR の HIE ビットが 0 の場合にのみアクセス可能です。TMRX の一部と TMRY はメモリ空間の同一のアドレス (H'FFF0～H'FFF5) に割り当てられており、どちらをアクセスするかを TMRX/Y ビットで制御します。

ビット 7	アクセス可能なレジスタ							
TMRX/Y	H'FFF0	H'FFF1	H'FFF2	H'FFF3	H'FFF4	H'FFF5	H'FFF6	H'FFF7
0 (初期値)	TMRX TCRX	TMRX TCSRX	TMRX TICRR	TMRX TICRF	TMRX TCNTX	TMRX TCORC	TMRX TCORAX	TMRX TCORBX
1	TMRY TCRY	TMRY TCSRY	TMRY TCORAY	TMRY TCORBY	TMRY TCNTY	TMRY TISR		

12.2.9 インプットキャプチャレジスタ (TICR) 【TMRX 追加機能】

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—

TICR は 8 ビットの内部レジスタです。外部リセット入力立ち下がり TCNT の内容が TICR に転送されます。CPU から TICR を直接リード／ライトすることはできません。

TICR の機能はタイマコネクションで使用されます。詳細は「第 13 章 タイマコネクション」を参照してください。

12.2.10 タイムコンスタントレジスタ C (TCORC) 【TMRX 追加機能】

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCORC は 8 ビットのリード／ライト可能なレジスタです。

TCORC と TICR の内容の和と TCNT の内容は常に比較されており、両者の値が一致するとコンペアマッチ C 信号が発生されます。ただし、TCORC へのライトサイクルの T2 ステートと TICR のインプットキャプチャサイクルでの比較は禁止されています。

TCORC は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。

TCORC の機能はタイマコネクションで使用されます。詳細は「第 13 章 タイマコネクション」を参照してください。

12.2.11 インプットキャプチャレジスタ R、F (TICRR、TICRF) 【TMRX 追加機能】

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TICRR、TICRF は 8 ビットのリード専用のレジスタです。

TICRR、TICRF は、TCONRI の ICST ビットが 1 にセットされている場合に、外部リセット入力の立ち上がり→立ち下がりの順で TCNT の内容が転送されます。1 回のキャプチャ動作が終了すると ICST ビットは 0 にクリアされます。

TICRR、TICRF は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TICRR、TICRF の機能はタイマコネクションで使用されます。詳細は「12.3.6 インプットキャプチャ動作」および「第 13 章 タイマコネクション」を参照してください。

12.2.12 タイマインプットセレクトレジスタ (TISR) 【TMRY 追加機能】

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	IS
初期値：	1	1	1	1	1	1	1	0
R/W：	—	—	—	—	—	—	—	R/W

TISR は、8 ビットのリード／ライト可能なレジスタで、カウンタ外部クロック／リセット入力の信号源を選択します。

TISR は、リセットまたはハードウェアスタンバイモード時に、H'FE に初期化されます。

ビット7～1：リザーブビット

リザーブビットです。0 をライトしないでください。

ビット0：インプットセレクト (IS)

TMRY のカウンタ外部クロック／リセット入力の信号源として、内部同期信号(IVG 信号) またはタイマクロック／リセット入力端子 (VSYNCI/TMIY (TMCiy/TMRIY)) を選択します。

ビット0	説 明	
IS		
0	IVG 信号を選択	(初期値)
1	VSYNCI/TMIY (TMCiy/TMRIY)を選択	

12. 8ビットタイマ (TMR)

12.2.13 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCR _H								MSTPCR _L								
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP12 ビットおよび MSTP8 ビットを 1 にセットすると、バスサイクルの終了時点で 8 ビットタイマ（チャンネル 0、1）と（チャンネル X、Y）はそれぞれ動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRH ビット 4：モジュールストップ (MSTP12)

8 ビットタイマ（チャンネル 0、1）のモジュールストップモードを指定します

MSTCRH ビット 4	説 明
MSTP12	
0	8 ビットタイマ（チャンネル 0、1）のモジュールストップモード解除
1	8 ビットタイマ（チャンネル 0、1）のモジュールストップモード設定 (初期値)

MSTPCRH ビット 0：モジュールストップ (MSTP8)

8 ビットタイマ（チャンネル X、Y）とタイマコネクションのモジュールストップモードを指定します

MSTCRH ビット 0	説 明
MSTP8	
0	8 ビットタイマ（チャンネル X、Y）とタイマコネクションのモジュールストップモード解除
1	8 ビットタイマ（チャンネル X、Y）とタイマコネクションのモジュールストップモード設定 (初期値)

12.3 動作説明

12.3.1 TCNT のカウントタイミング

TCNT は、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

(1) 内部クロック動作の場合

TCR の CKS2～CKS0 ビットの設定により、システムクロック (ϕ) を分周して作られる内部クロックが選択されます。このタイミングを図 12.2 に示します。

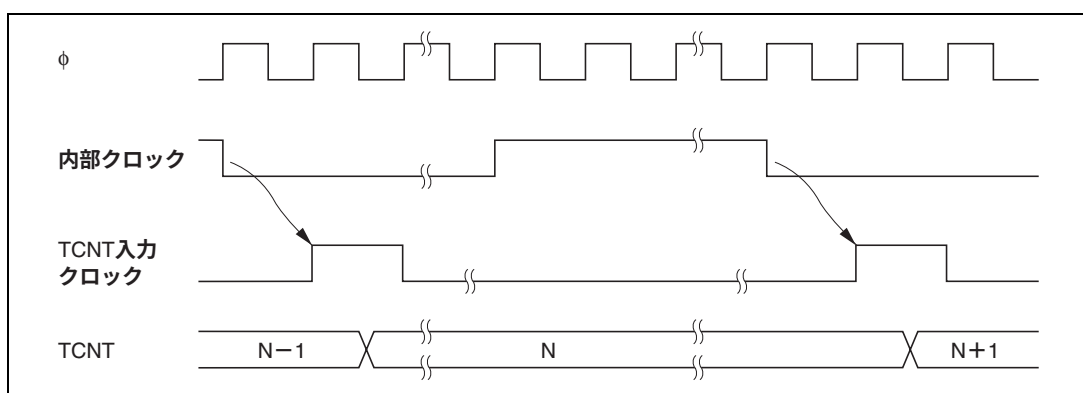


図 12.2 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

TCR の CKS2～CKS0 ビットの設定により、外部クロックの立ち上がりエッジ、立ち下がりエッジ、立ち上がり／立ち下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図 12.3 に、外部クロックとして、立ち上がり／立ち下がり両エッジの場合のタイミングを示します。

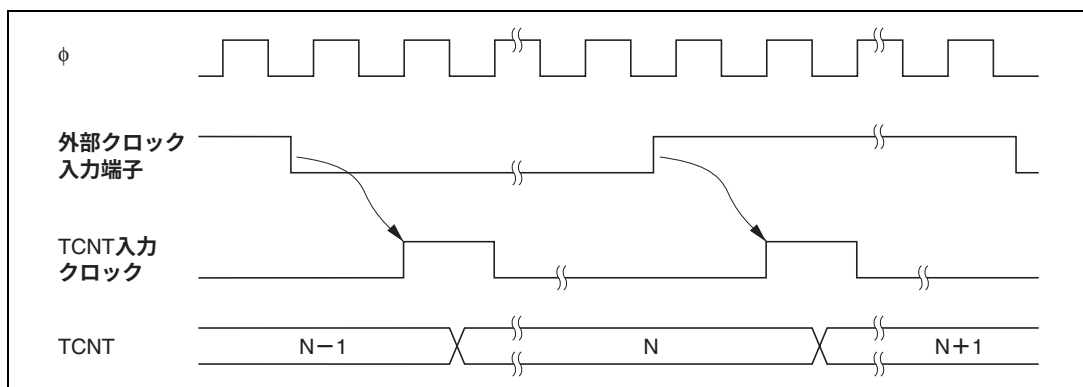


図 12.3 外部クロック動作時のカウントタイミング

12.3.2 コンペアマッチタイミング

(1) コンペアマッチフラグ A、B (CMFA、CMFB) のセットタイミング

TCSR の CMFA、CMFB は、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。

したがって、TCNT と TCOR が一致したあと、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 12.4 に示します。

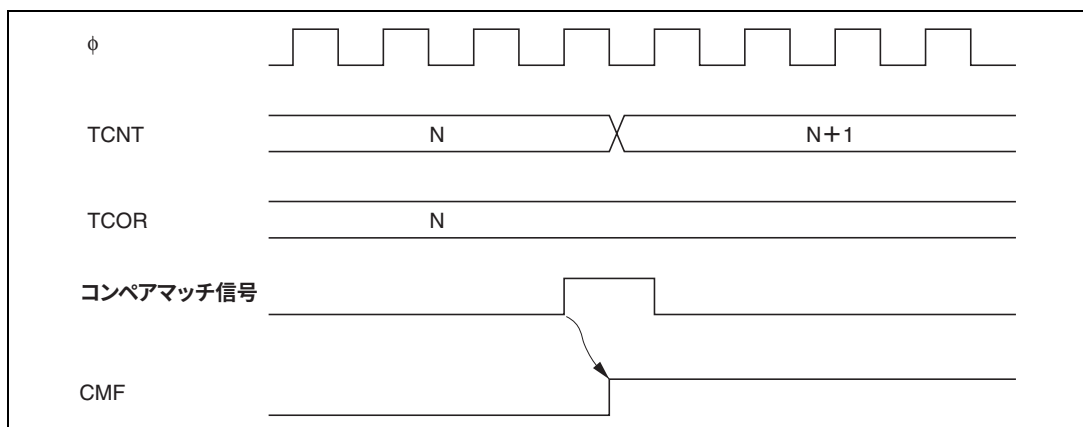


図 12.4 CMF セットタイミング

(2) タイマ出力タイミング

タイマ出力はコンペアマッチ A、B が発生したとき、TCSR の OS3～OS0 ビットで選択された状態 (変化しない、0 出力、1 出力、トグル出力) で出力されます。

図 12.5 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

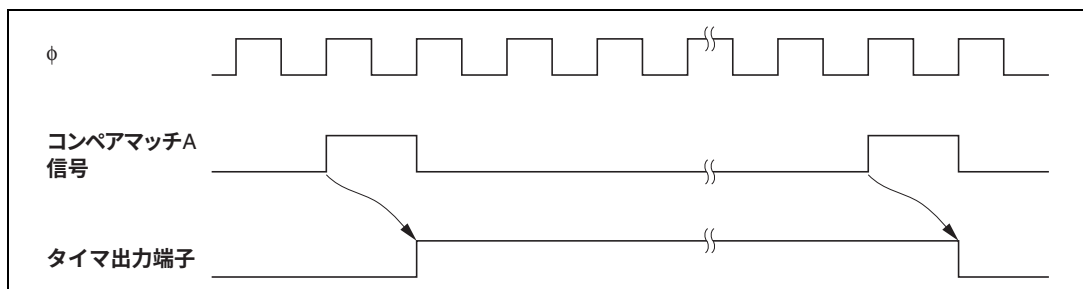


図 12.5 タイマ出力タイミング

(3) コンペアマッチによるクリア

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。このクリアされるタイミングを図 12.6 に示します。

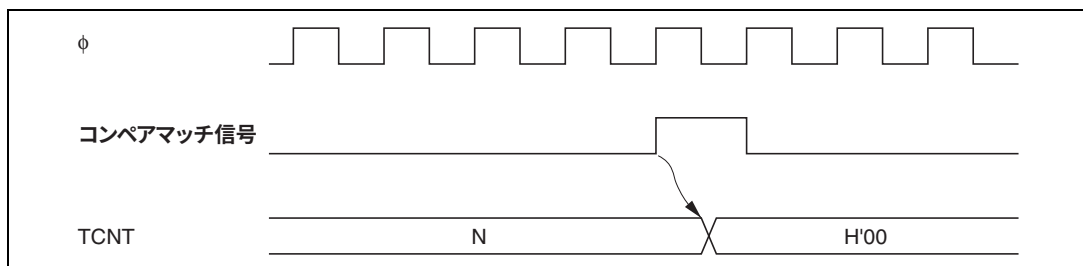


図 12.6 コンペアマッチによるクリアタイミング

12.3.3 TCNT の外部リセットタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアパルスの幅は、1.5 ステート以上必要となります。このクリアされるタイミングを図 12.7 に示します。

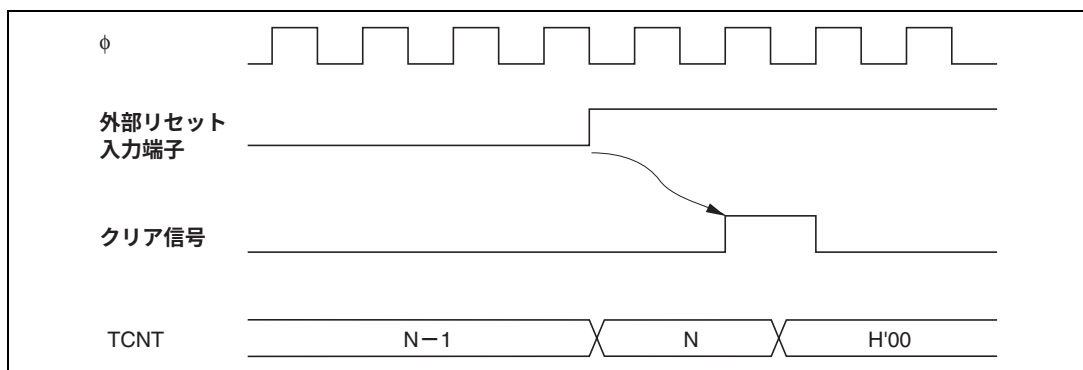


図 12.7 外部リセット入力によるクリアタイミング

12.3.4 オーバフローフラグ (OVF) のセットタイミング

TCSR の OVF は、TCNT がオーバフロー (H'FF→H'00) したとき出力されるオーバフロー信号により 1 にセットされます。

このときのタイミングを図 12.8 に示します。

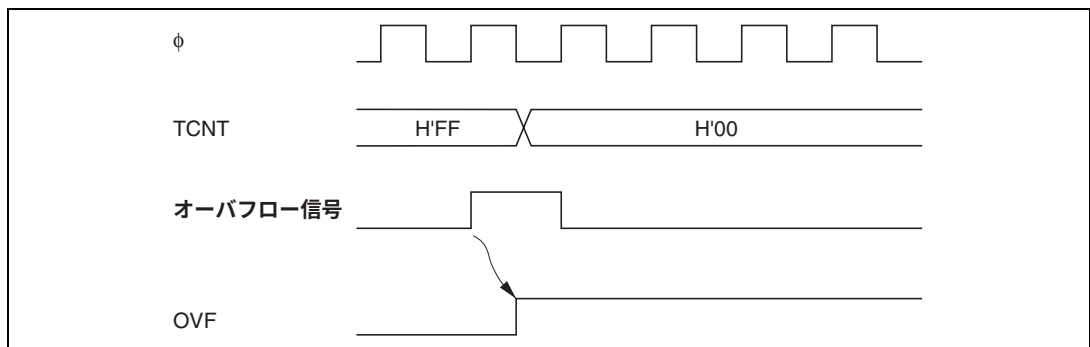


図 12.8 OVF のセットタイミング

12.3.5 カスケード接続時の動作

TCR0、TCR1 のいずれか一方の CKS2～CKS0 ビットを B'100 に設定すると、2 チャンネルの 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する (16 ビットタイマモード) か、またはチャンネル 0 の 8 ビットタイマのコンペアマッチをチャンネル 1 のタイマでカウントする (コンペアマッチカウントモード) ことができます。このとき、本タイマは以下のように動作します。

(1) 16 ビットカウントモード

TCR0 の CKS2～CKS0 ビットが B'100 のとき、本タイマはチャンネル 0 を上位 8 ビット、チャンネル 1 を下位 8 ビットとする 1 チャンネルの 16 ビットタイマとして動作します。

(a) コンペアマッチフラグのセット

- TCSR0 の CMF フラグは、16 ビットのコンペアマッチが発生したとき 1 にセットされます。
- TCSR1 の CMF フラグは、下位 8 ビットのコンペアマッチが発生したとき 1 にセットされます。

(b) カウンタクリア指定

- TCR0 の CCLR1、CCLR0 ビットでコンペアマッチによるカウンタクリアをそれぞれ設定した場合、16 ビットのコンペアマッチが発生したとき 16 ビットカウンタ (TCNT0、TCNT1 の両方) がクリアされます。また、TMRI0 端子によるカウンタクリアを設定した場合も、16 ビットカウンタ (TCNT0、TCNT1 の両方) がクリアされます。
- TCR1 の CCLR1、CCLR0 ビットの設定は無効になります。下位 8 ビットのみのカウンタクリアはできません。

12. 8 ビットタイマ (TMR)

(c) 端子出力

- TCSR0 の OS3～OS0 ビットによる TMO0 端子の出力制御は 16 ビットのコンペアマッチ条件に従います。
- TCSR1 の OS3～OS0 ビットによる TMO1 端子の出力制御は下位 8 ビットのコンペアマッチ条件に従います。

(2) コンペアマッチカウントモード

TCR1 の CKS2～CKS0 ビットが B'100 のとき、TCNT1 はチャンネル 0 のコンペアマッチ A をカウントします。

チャンネル 0、1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは、各チャンネルの設定に従います。

(3) 使用上の注意

16 ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT0、TCNT1 の入力クロックが発生しなくなるため、カウンタが停止して動作しません。この設定は行わないでください。

12.3.6 インプットキャプチャ動作

TMRX には、インプットキャプチャレジスタ (TICR、TICRR、TICRF) があります。TICRR と TICRF は、タイマコネクションの TCONRI レジスタの ICST ビットの制御で 1 回限りのキャプチャ動作をして、短いパルスのパルス幅を測定することができます。ICST ビットが 1 にセットされたあと、TMRX に立ち上がりエッジ→立ち下がりエッジの順でエッジが検出されると、そのときの TCNT の内容が TICRR、TICRF にそれぞれ転送され、ICST ビットは 0 にクリアされます。

また、TCONRI レジスタのその他のビットの設定により TMRX 入力信号を切り替えることができます。

(1) インプットキャプチャ入力タイミング

インプットキャプチャ機能を設定した場合の動作タイミングを図 12.9 に示します。

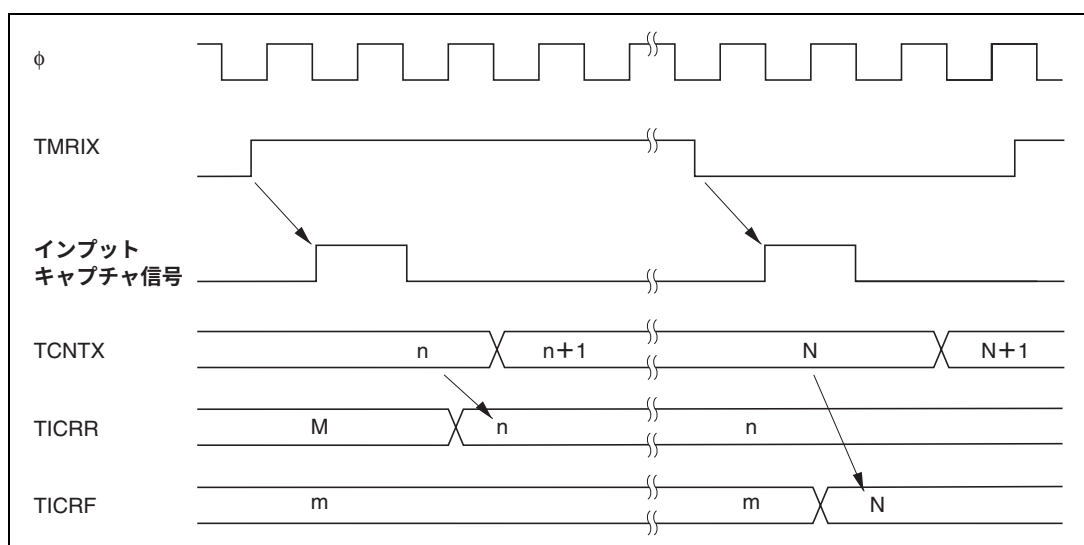


図 12.9 インプットキャプチャ動作タイミング

12. 8ビットタイマ (TMR)

また、TICRR、TICRF のリード時に、インプットキャプチャ入力を入力すると、インプットキャプチャ信号は1システムクロック (ϕ) 遅延されます。このタイミングを図 12.10 に示します。

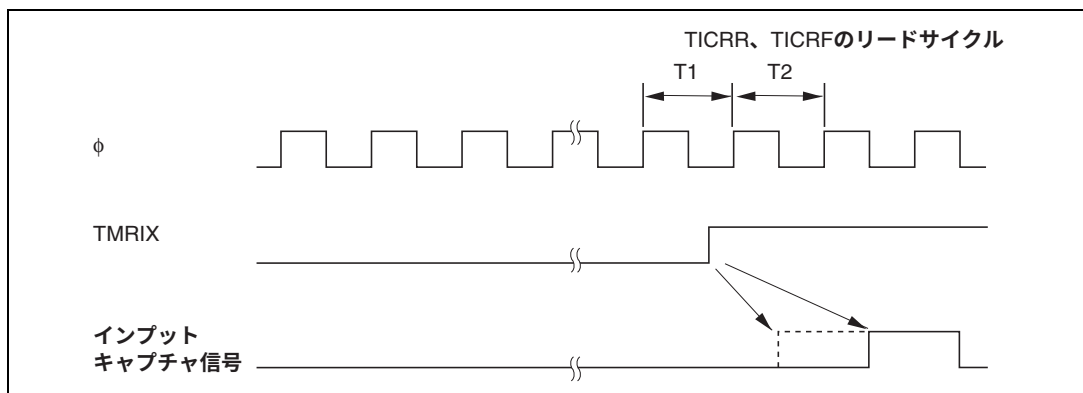


図 12.10 インプットキャプチャ信号タイミング
(TICRR、TICRF のリード時に、インプットキャプチャ入力を入力した場合)

(2) インプットキャプチャ入力信号の選択

タイマコネクションの TCONRI レジスタの各ビットの設定により、TMRX のインプットキャプチャ入力信号 (TMRX) を切り替えることができます。

インプットキャプチャ信号の選択を図 12.11 および表 12.3 に示します。

詳細は「13.2.1 タイマコネクションレジスタ I (TCONRI)」を参照してください。

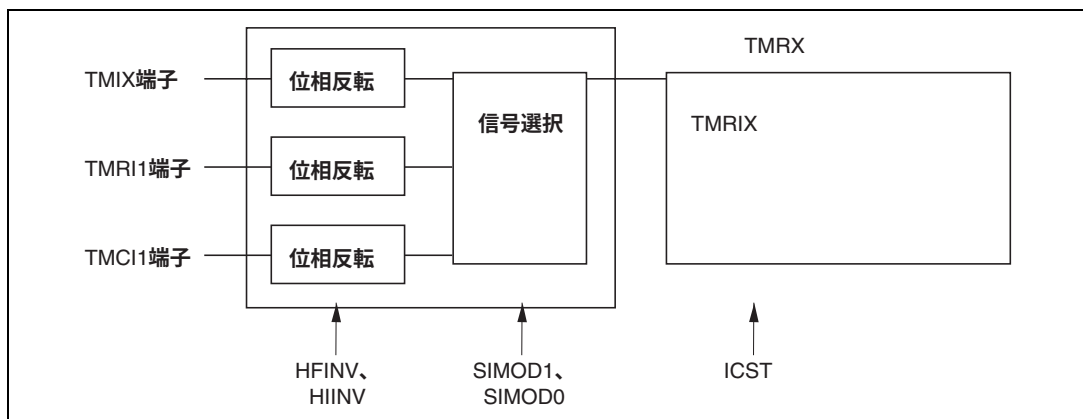


図 12.11 インプットキャプチャ動作タイミング

表 12.3 インプットキャプチャ信号の選択

TCONRI					説明
ビット 4	ビット 7	ビット 6	ビット 3	ビット 1	
ICST	SIMOD1	SIMOD0	HFNV	HINV	
0	—	—	—	—	インプットキャプチャ機能を使用しない
1	0	0	0	—	TMIX 端子の入力信号を選択
			1	—	TMIX 端子入力の反転信号を選択
		1	—	0	TMRI1 端子の入力信号を選択
			—	1	TMRI1 端子入力の反転信号を選択
	1	1	—	0	TMCI1 端子の入力信号を選択
			—	1	TMCI1 端子入力の反転信号を選択

12.4 割り込み要因

8ビットタイマ TMR0、TMR1、TMR Y の割り込み要因は、CMIA、CMIB、OVI の 3 種類があります。また、TMRX の割り込み要因は、ICIX のみです。表 12.4～表 12.6 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

また、TMR0、TMR1、TMR Y の CMIA、CMIB 割り込みにより DTC を起動することができます。

表 12.4 8ビットタイマ TMR0、TMR1 の割り込み要因

割り込み要因	内 容	DTC の起動	優先順位
CMIA	CMFA による割り込み	可	高 ↑ 低
CMIB	CMFB による割り込み	可	
OVI	OVF による割り込み	不可	

表 12.5 8ビットタイマ TMRX の割り込み要因

割り込み要因	内 容	DTC の起動
ICIX	ICF による割り込み	不可

表 12.6 8ビットタイマ TMR Y の割り込み要因

割り込み要因	内 容	DTC の起動	優先順位
CMIA	CMFA による割り込み	可	高 ↑ 低
CMIB	CMFB による割り込み	可	
OVI	OVF による割り込み	不可	

12.5 8ビットタイマの使用例

任意のデューティパルスを出力させた例を図 12.12 に示します。これは次に示すように設定します。

- [1] TCORAのコンペアマッチによりTCNTがクリアされるように、TCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
- [2] TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

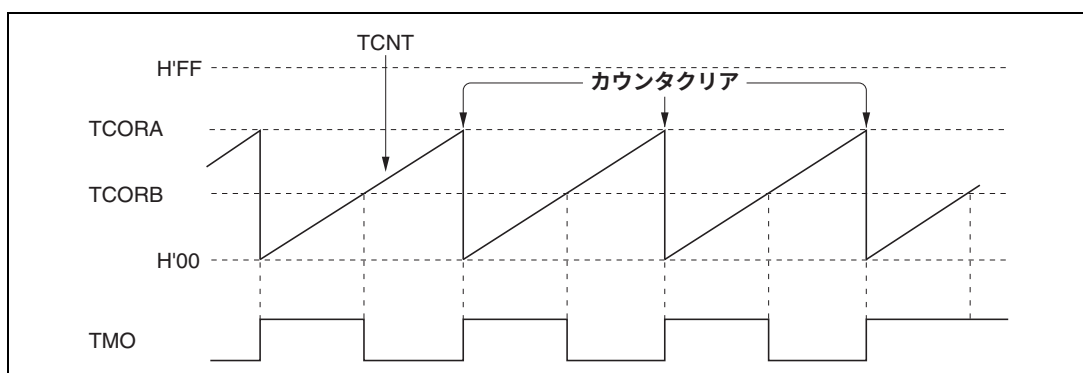


図 12.12 パルス出力例

12.6 使用上の注意

8ビットタイマの動作中、次のような競合が発生した場合、以下のような動作が起こるので注意してください。

12.6.1 TCNT のライトとカウンタクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリアが発生すると、カウンタへのライトは行われず、クリアが優先されます。

これを図 12.13 に示します。

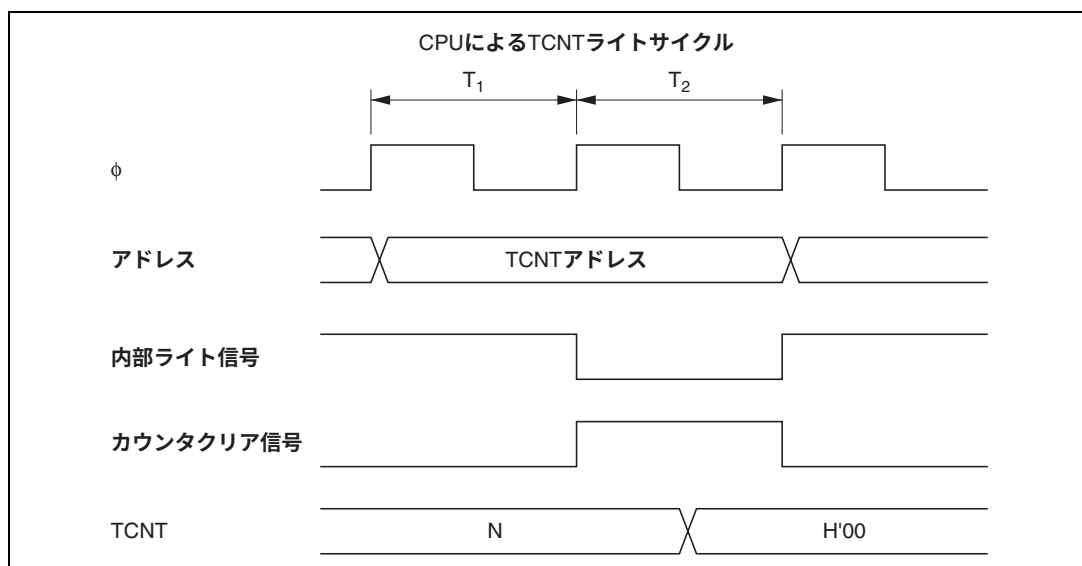


図 12.13 TCNT のライトとクリアの競合

12.6.2 TCNT のライトとカウントアップの競合

TCNTのライトサイクル中のT2ステートでカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。

これを図 12.14 に示します。

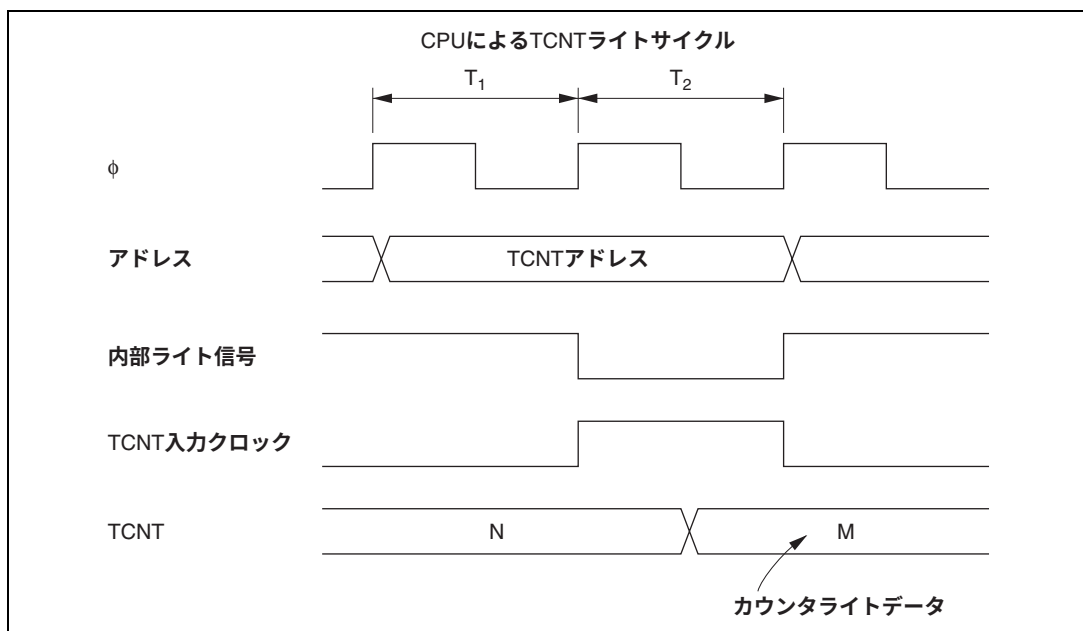


図 12.14 TCNT のライトとカウントアップの競合

12.6.3 TCOR のライトとコンペアマッチの競合

TCOR のライトサイクル中の T2 ステートで、コンペアマッチが発生しても、TCOR のライトが優先され、コンペアマッチ信号は禁止されます。これを図 12.15 に示します。

TMRX では、ICR のインプットキャプチャは TCORC へのライトと同様に、コンペアマッチと競合します。

このときもインプットキャプチャが優先され、コンペアマッチ信号は禁止されます。

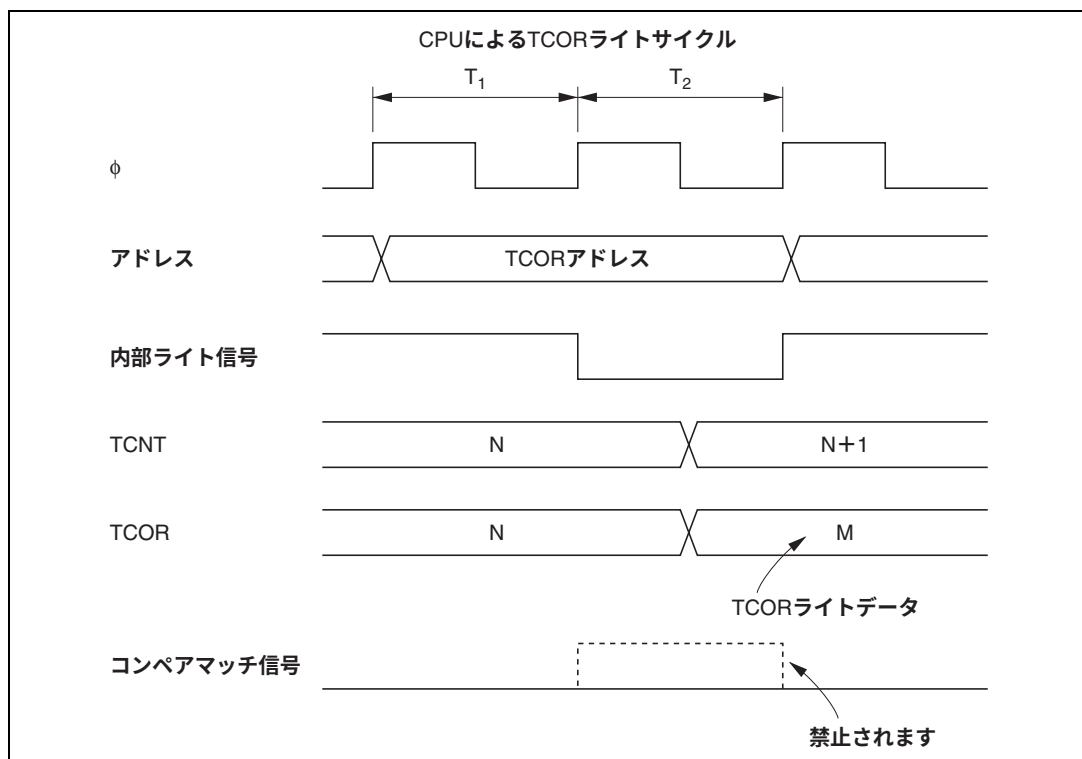


図 12.15 TCOR のライトとコンペアマッチの競合

12.6.4 コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 12.7 に示すタイマ出力の優先順位に従って動作します。

表 12.7 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

12.6.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 ビットの書き換え）と TCNT 動作の関係を表 12.8 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 12.8 の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 12.8 内部クロックの切り替えと TCNT の動作

No.	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル ^{*1} の 切り替え	切り替え前のクロック 切り替え後のクロック TCNT クロック TCNT CKSビット書き換え
2	Low→High レベル ^{*2} の 切り替え	切り替え前のクロック 切り替え後のクロック TCNT クロック TCNT CKSビット書き換え

12. 8 ビットタイマ (TMR)

No.	CKS1、CKS0 ビット書き換えタイミング	TCNT クロックの動作
3	High→Low レベル ^{*3} の切り替え	切り替え前のクロック 切り替え後のクロック TCNT クロック TCNT CKSビット書き換え
4	High→High レベルの切り替え	切り替え前のクロック 切り替え後のクロック TCNT クロック TCNT CKSビット書き換え

【注】 *1 Low レベル→停止、および停止→Low レベルの場合を含みます。

*2 停止→High レベルの場合を含みます。

*3 High レベル→停止を含みます。

*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

13. タイマコネクション

13.1 概要

本 LSI は、入力信号や、1 チャンネルのフリーランニングタイマ（FRT）と 3 チャンネルの 8 ビットタイマ（TMR1、TMRX、TMRY）の入出力を組み合わせることで相互に接続することができます。また、これを利用して、PWM デコードやクランプ波形生成などの複雑な機能を実現することができます。各タイマは、初期状態では単独のタイマとして動作するように設定されています。

13.1.1 特長

タイマコネクションの特長を以下に示します。

- 5 本の入力端子、4 本の出力端子をもち、それぞれ位相反転を指定可能です。
タイマコネクション内部で利用する信号は、すべて正論理を前提としています。
- 入力端子には、信号入力検出を容易にするエッジ検出回路が接続されています。
- TMRX で PWM 入力信号のデコードが可能です。
- TMRX でクランプ波形生成が可能です。
- TMR1 で分周した外部クロック信号を、FRT のキャプチャ入力信号として利用できます。
- FRT と TMRY で内部同期信号を生成できます。
- 入力信号やタイマコネクションで生成・モディファイした信号を選択して出力できます。

13.1.3 端子構成

タイマコネクションの入出力端子を表 13.1 に示します。

表 13.1 端子構成

名 称	略 称	入出力	機 能
垂直同期信号入力端子	VSYNCI	入力	垂直同期信号入力端子 または FTIA 入力端子および TMIY 入力端子
水平同期信号入力端子	HSYNCI	入力	水平同期信号入力端子 または TMC11 入力端子
複合同期信号入力端子	CSYNCI	入力	複合同期信号入力端子 または TMRI1 入力端子
予備垂直同期信号入力端子	VFBACKI	入力	予備垂直同期信号入力端子 または FTIB 入力端子
予備水平同期信号入力端子	HFBACKI	入力	予備水平同期信号入力端子 または FTCI 入力端子、および TMIX 入力端子
垂直同期信号出力端子	VSYNCO	出力	垂直同期信号出力端子 または FTOA 出力端子
水平同期信号出力端子	HSYNCO	出力	水平同期信号出力端子 または TMO1 出力端子
クランプ波形出力端子	CLAMPO	出力	クランプ波形出力端子 または FTIC 入力端子
ブランク波形出力端子	CBLANK	出力	ブランク波形出力端子

13.1.4 レジスタ構成

タイマコネクションのレジスタ構成を表 13.2 に示します。タイマコネクションのレジスタは、SYSCR の HIE ビットが 0 の場合にのみアクセス可能です。

表 13.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス ^{*1}
タイマコネクションレジスタ I	TCONRI	R/W	H'00	H'FFFC
タイマコネクションレジスタ O	TCONRO	R/W	H'00	H'FFFD
タイマコネクションレジスタ S	TCONRS	R/W	H'00	H'FFFE
エッジセンスレジスタ	SEDGR	R/(W) ^{*2}	H'00 ^{*3}	H'FFFF
モジュールストップコントロールレジスタ	MSTPRH	R/W	H'3F	H'FF86
	MSTPRL	R/W	H'FF	H'FF87

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7～2：フラグをクリアするための 0 ライトのみ可能です。

*3 ビット 1、0：端子の状態を反映しているため、値は不定です。

13.2 各レジスタの説明

13.2.1 タイマコネクションレジスタ I (TCONRI)

ビット:	7	6	5	4	3	2	1	0
	SIMOD1	SIMOD0	SCONE	ICST	HFINV	VFINV	HIINV	VIINV
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCONRI は、8 ビットのリード／ライト可能なレジスタで、タイマ相互の接続、同期信号入力 of 信号源や位相反転などを制御します。

TCONRI は、リセットまたはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7、6: 入力同期モード選択 1、0 (SIMOD1、SIMOD0)

IHI 信号、IVI 信号の信号源を選択します。

ビット 7	ビット 6	説 明		
SIMOD1	SIMOD0	モード名称	IHI 信号	IVI 信号
0	0	無信号 (初期値)	HFBACKI 入力	VFBACKI 入力
	1	S オン G モード	CSYNCI 入力	PDC 入力
1	0	コンボジットモード	HSYNCI 入力	PDC 入力
	1	セパレートモード	HSYNCI 入力	VSYNCI 入力

ビット 5: 同期信号接続イネーブル (SCONE)

FRT の FTI 入力、TMR1 の TMCII／TMRII 入力の信号源を選択します。

ビット 5	説 明						
SCONE	モード名称	FTIA	FTIB	FTIC	FTID	TMC11	TMRI1
0	通常接続 (初期値)	FTIA 入力	FTIB 入力	FTIC 入力	FTID 入力	TMC11 入力	TMRI1 入力
1	同期信号接続モード	IVI 信号	TMO1 信号	VFBACKI 入力	IHI 信号	IHI 信号	IVI 反転信号

ビット 4：インプットキャプチャスタートビット (ICST)

TMRX の外部リセット入力 (TMRX) は IHI 信号に接続されています。TMRX にはインプットキャプチャレジスタ (TICR、TICRR、TICRF) があります。TICRR と TICRF は、ICST ビットの制御で 1 回限りのキャプチャ動作をして、短いパルスのパルス幅を測定することができます。ICST ビットが 1 にセットされたあと、TMRX に立ち上がりエッジ→立ち下がりエッジの順でエッジが検出されると、そのときの TCNT の内容が TICRR、TICRF にそれぞれキャプチャされ、ICST ビットはクリアされます。

ビット 4	説 明
ICST	
0	TICRR、TICRF のインプットキャプチャ機能を停止 (初期値) 【クリア条件】 TMRX に、立ち上がりエッジ→立ち下がりエッジの順でエッジを検出
1	TICRR、TICRF のインプットキャプチャ機能が動作中 (TMRX の立ち上がりエッジ→立ち下がりエッジ検出待ち状態) 【セット条件】 ICST=0 のリード後、1 をライトしたとき

ビット 3～0：入力同期信号反転 (HFINV、VFINV、HIINV、VIINV)

予備水平同期信号 (HFBACKI)、予備垂直同期信号 (VFBACKI)、水平同期信号・複合同期信号 (HSYNCl、CSYNCl)、および垂直同期信号 (VSYNCl) の入力位相の反転を選択します。

ビット 3	説 明
HFINV	
0	HFBACKI 端子の状態をそのまま HFBACKI 入力とする (初期値)
1	HFBACKI 端子の状態を反転して HFBACKI 入力とする

ビット 2	説 明
VFINV	
0	VFBACKI 端子の状態をそのまま VFBACKI 入力とする (初期値)
1	VFBACKI 端子の状態を反転して VFBACKI 入力とする

ビット 1	説 明
HIINV	
0	HSYNCl、CSYNCl 端子の状態をそのまま HSYNCl、CSYNCl 入力とする (初期値)
1	HSYNCl、CSYNCl 端子の状態を反転して HSYNCl、CSYNCl 入力とする

ビット 0	説 明
VIINV	
0	VSYNCl 端子の状態をそのまま VSYNCl 入力とする (初期値)
1	VSYNCl 端子の状態を反転して VSYNCl 入力とする

13.2.2 タイマコネクションレジスタ O (TCONRO)

ビット:	7	6	5	4	3	2	1	0
	HOE	VOE	CLOE	CBOE	HOINV	VOINV	CLOINV	CBOINV
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCONRO は、8 ビットのリード／ライト可能なレジスタで、出力信号の出力制御や位相反転などを制御します。

TCONRO は、リセットまたはハードウェアスタンバイモード時に、H'00 にイニシャライズされません。

ビット 7～4：出力許可 (HOE、VOE、CLOE、CBOE)

水平同期信号 (HSYNCO)、垂直同期信号 (VSYNCO)、クランプ波形 (CLAMPO)、およびブランク波形 (CBLANK) の出力の許可／禁止を制御します。出力を禁止した場合は当該端子の状態は、ポートの DR と DDR や、FRT、TMR、および PWM の設定によって決定されます。

出力の許可／禁止の制御は、ポート、FRT や TMR の入力機能には影響を与えませんが、FRT や TMR の入力信号源の一部は、TCONRI の SCONE ビットにより決定されます。

ビット 7	説明
HOE	
0	P44/TMO1/HIRQ1/HSYNCO 端子は、P44/TMO1/HIRQ1 端子として動作する (初期値)
1	P44/TMO1/HIRQ1/HSYNCO 端子は、HSYNCO 端子として動作する

ビット 6	説明
VOE	
0	P61/FTOA/KIN1/CIN1/VSYNCO 端子は、P61/FTOA/KIN1/CIN1 端子として動作する (初期値)
1	P61/FTOA/KIN1/CIN1/VSYNCO 端子は、VSYNCO 端子として動作する

ビット 5	説明
CLOE	
0	P64/FTIC/KIN4/CIN4/CLAMPO 端子は、P64/FTIC/KIN4/CIN4 端子として動作する (初期値)
1	P64/FTIC/KIN4/CIN4/CLAMPO 端子は、CLAMPO 端子として動作する

ビット 4	説明
CBOE	
0	P27/A15/PW15/CBLANK 端子は、P27/A15/PW15 端子として動作する (初期値)
1	モード 1 (内蔵 ROM 無効拡張モード) の場合： P27/A15/PW15/CBLANK 端子は、A15 端子として動作する モード 2、3 (内蔵 ROM 有効モード) の場合： P27/A15/PW15/CBLANK 端子は、CBLANK 端子として動作する

ビット 3～0：出力同期信号反転（HOINV、VOINV、CLOINV、CBOINV）

水平同期信号（HSYNCO）、垂直同期信号（VSYNCO）、クランプ波形（CLAMPO）、およびブランク波形（CBLANK）の出力位相の反転を選択します。

ビット 3	説 明
HOINV	
0	IHO 信号をそのまま HSYNCO 出力とする (初期値)
1	IHO 信号を反転して HSYNCO 出力とする

ビット 2	説 明
VOINV	
0	IVO 信号をそのまま VSYNCO 出力とする (初期値)
1	IVO 信号を反転して VSYNCO 出力とする

ビット 1	説 明
CLOINV	
0	CLO 信号（CL1、CL2、CL3 または CL4 信号）をそのまま CLAMPO 出力とする (初期値)
1	CLO 信号（CL1、CL2、CL3 または CL4 信号）を反転して CLAMPO 出力とする

ビット 0	説 明
CBOINV	
0	CBLANK 信号をそのまま CBLANK 出力とする (初期値)
1	CBLANK 信号を反転して CBLANK 出力とする

13. タイマコネクション

13.2.3 タイマコネクションレジスタ S (TCONRS)

ビット：	7	6	5	4	3	2	1	0
	TMRX/Y	ISGENE	HOMOD1	HOMOD0	VOMOD1	VOMOD0	CLMOD1	CLMOD0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCONRS は、8 ビットのリード／ライト可能なレジスタで、8 ビットタイマ TMRX、TMRY のアクセスや、同期信号出力の信号源および生成方法を選択します。

TCONRS は、リセットまたはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7：TMRX/TMRY アクセス選択 (TMRX/Y)

TMRX および TMRY のレジスタは、SYSCR の HIE ビットが 0 の場合にのみアクセス可能です。TMRX の一部と TMRY はメモリ空間の同一のアドレス (H'FFF0～H'FFF5) に割り当てられており、どちらをアクセスするかを TMRX/Y ビットで制御します。

ビット 7	説 明
TMRX/Y	
0	アドレス H'FFF0～H'FFF5 で TMRX のレジスタをアクセスする (初期値)
1	アドレス H'FFF0～H'FFF5 で TMRY のレジスタをアクセスする

ビット 6：内部同期信号選択 (ISGENE)

IHO 信号、IVO 信号および CLO 信号の信号源として、内部同期信号 (IHG 信号、IVG 信号、CL4 信号) を選択します。

ビット 5、4：水平同期出力モード選択 1、0 (HOMOD1、HOMOD0)

IHO 信号の信号源および生成方法を選択します。

ビット 6	ビット 5	ビット 4	説 明
ISGENE	HOMOD1	HOMOD0	
0	0	0	IHI 信号 (2fH モディファイなし) を選択 (初期値)
		1	IHI 信号 (2fH モディファイあり) を選択
	1	0	CL1 信号を選択
		1	
1	0	0	IHG 信号を選択
		1	
	1	0	
		1	

ビット 3、2：垂直同期出力モード選択 1、0 (VOMOD1、VOMOD0)

I/O 信号の信号源および生成方法を選択します。

ビット 6	ビット 3	ビット 2	説 明
ISGENE	VOMOD1	VOMOD0	
0	0	0	IVI 信号 (初期値) (立ち下がりモディファイなし、IHI 同期なし) を選択
		1	IVI 信号 (立ち下がりモディファイなし、IHI 同期あり) を選択
	1	0	IVI 信号 (立ち下がりモディファイあり、IHI 同期なし) を選択
		1	IVI 信号 (立ち下がりモディファイあり、IHI 同期あり) を選択
1	0	0	IVG 信号を選択
		1	
	1	0	
		1	

ビット 1、0：クランプ波形モード選択 1、0 (CLMOD1、CLMOD0)

CLO 信号 (クランプ波形) の信号源を選択します。

ビット 6	ビット 1	ビット 0	説 明
ISGENE	CLMOD1	CLMOD0	
0	0	0	CL1 信号を選択 (初期値)
		1	CL2 信号を選択
	1	0	CL3 信号を選択
		1	
1	0	0	CL4 信号を選択
		1	
	1	0	
		1	

13.2.4 エッジセンスレジスタ (SEDGR)

ビット：	7	6	5	4	3	2	1	0
	VEDG	HEDG	CEDG	HFEDG	VFEDG	PREQF	IHI	IVI
初期値：	0	0	0	0	0	0	—*2	—*2
R/W：	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R	R

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 端子の状態によって決まるため、初期値は不定です。

SEDGR は 8 ビットのレジスタで、タイマコネクション入力端子の立ち上がりエッジの検出、2fH モディファイの成立の検出および IVI 信号 IHI 信号の位相判定に利用します。

SEDGR はリセットまたはハードウェアスタンバイモード時に上位 6 ビットは 0 にイニシャライズされます。下位 2 ビットは端子の状態によって決まるため、初期値は不定です。

13. タイマコネクション

ビット7：VSYNCl エッジ (VEDG)

VSYNCl 端子の立ち上がりエッジを検出します。

ビット7	説 明
VEDG	
0	【クリア条件】 VEDG=1 の状態で VEDG をリードしたあと、VEDG に 0 をライトしたとき (初期値)
1	【セット条件】 VSYNCl 端子の立ち上がりエッジを検出したとき

ビット6：HSYNCl エッジ (HEDG)

HSYNCl 端子の立ち上がりエッジを検出します。

ビット6	説 明
HEDG	
0	【クリア条件】 HEDG=1 の状態で HEDG をリードしたあと、HEDG に 0 をライトしたとき (初期値)
1	【セット条件】 HSYNCl 端子の立ち上がりエッジを検出したとき

ビット5：CSYNCl エッジ (CEDG)

CSYNCl 端子の立ち上がりエッジを検出します。

ビット5	説 明
CEDG	
0	【クリア条件】 CEDG=1 の状態で CEDG をリードしたあと、CEDG に 0 をライトしたとき (初期値)
1	【セット条件】 CSYNCl 端子の立ち上がりエッジを検出したとき

ビット4：HFBACKI エッジ (HFEDG)

HFBACKI 端子の立ち上がりエッジを検出します。

ビット4	説 明
HFEDG	
0	【クリア条件】 HFEDG=1 の状態で HFEDG をリードしたあと、HFEDG に 0 をライトしたとき (初期値)
1	【セット条件】 HFBACKI 端子の立ち上がりエッジを検出したとき

ビット3：VFBACKI エッジ (VFEDG)

VFBACKI 端子の立ち上がりエッジを検出します。

ビット3	説 明
VFEDG	
0	【クリア条件】 VFEDG=1 の状態で VFEDG をリードしたあと、VFEDG に 0 をライトしたとき (初期値)
1	【セット条件】 VFBACKI 端子の立ち上がりエッジを検出したとき

ビット2：プリイコライゼーションフラグ (PREQF)

IHI 信号の 2fH モディファイの条件が成立したことを検出します。マスク期間中に IHI 信号に立ち上がり／立ち下がりエッジが発生したことを、2fH モディファイの条件が成立したと表現します。詳細は「13.3.4 IHI 信号の 2fH モディファイ」を参照してください。

ビット2	説 明
PREQF	
0	【クリア条件】 PREQF=1 の状態で PREQF をリードしたあと、PREQF に 0 をライトしたとき (初期値)
1	【セット条件】 IHI 信号の 2fH モディファイの条件成立を検出したとき

ビット1：IHI 信号レベル (IHI)

IHI 信号の現在のレベルをリードします。IHI 信号は、TCONRI の内容によって信号源および位相反転が選択されます。このビットをリードし入力信号の正負を判定して、TCONRI を書き換えることにより、IHI 信号を正位相に保ってください。

ビット1	説 明
IHI	
0	IHI 信号が Low レベル
1	IHI 信号が High レベル

ビット0：IVI 信号レベル (IVI)

IVI 信号の現在のレベルをリードします。IVI 信号は、TCONRI の内容によって信号源および位相反転が選択されます。このビットをリードし入力信号の正負を判定して、TCONRI を書き換えることにより、IVI 信号を正位相に保ってください。

ビット0	説 明
IVI	
0	IVI 信号が Low レベル
1	IVI 信号が High レベル

13. タイマコネクション

13.2.5 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRH								MSTPCRL								
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP13、MSTP12、MSTP8 ビットを 1 にセットすると、バスサイクルの終了時点で 16 ビットフリーランニングタイマ、8 ビットタイマ（チャンネル 0、1）、（チャンネル X、Y）およびタイマコネクションはそれぞれ動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRH ビット 5：モジュールストップ (MSTP13)

FRT のモジュールストップモードを指定します

MSTPCRH ビット 5	説 明
MSTP13	
0	FRT のモジュールストップモード解除
1	FRT のモジュールストップモード設定 (初期値)

MSTPCRH ビット 4：モジュールストップ (MSTP12)

8 ビットタイマ（チャンネル 0、1）のモジュールストップモードを指定します

MSTPCRH ビット 4	説 明
MSTP12	
0	8 ビットタイマ（チャンネル 0、1）のモジュールストップモード解除
1	8 ビットタイマ（チャンネル 0、1）のモジュールストップモード設定 (初期値)

MSTPCRH ビット 0：モジュールストップ (MSTP8)

8 ビットタイマ（チャネル X、Y）とタイマコネクションのモジュールストップモードを指定します

MSTCRH ビット 0	説 明
MSTP8	
0	8 ビットタイマ（チャネル X、Y）とタイマコネクションのモジュールストップモード解除
1	8 ビットタイマ（チャネル X、Y）とタイマコネクションのモジュールストップモード設定 (初期値)

13.3 動作説明

13.3.1 PWM デコード (PDC 信号生成)

タイマコネクションと TMRX を利用することにより、パルス幅で 0/1 を表現する PWM 信号をデコードすることができます。これには、立ち上がりエッジが一定周期で発生する信号を IHI 信号として選択する必要があります。

TMRX の TCNT は、内部クロックをカウントし、外部リセット信号 (IHI 信号) の立ち上がりエッジでクリアされるよう設定します。TCORB には、パルス幅判定のしきい値となる数値をライトします。PWM デコード回路内には、IHI 信号をデータ、コンペアマッチ信号 B (CMB) をクロックとするディレイラッチがあります。PWM デコード回路は、IHI 信号の立ち上がりによる TCNT のリセット後、最初のコンペアマッチ信号 B のタイミングでの IHI 信号の状態 (パルス幅判定結果) を PDC 信号として出力します。

パルス幅判定のしきい値決定のために、TMRX の TICRR と TICRF を用いたパルス幅測定を利用することができます。

TMRX の TCR と TCORB の設定例を表 13.3、表 13.4 に、タイミングチャートを図 13.2 に示します。

表 13.3 TCR 設定例

ビット	略 称	内 容	説 明
7	CMIEB	0	コンペアマッチ、オーバフローによる割り込みを禁止
6	CMIEA	0	
5	OVIE	0	
4、3	CCLR1、CCLR0	11	外部リセット信号 (IHI 信号) の立ち上がりエッジ (↑) により TCNT をクリア
2~0	CKS2~CKS0	001	内部クロック: ϕ でカウント

表 13.4 TCORB (パルス幅しきい値) 設定例

	ϕ : 10MHz
H'07	0.8 μ s
H'0F	1.6 μ s
H'1F	3.2 μ s
H'3F	6.4 μ s
H'7F	12.8 μ s

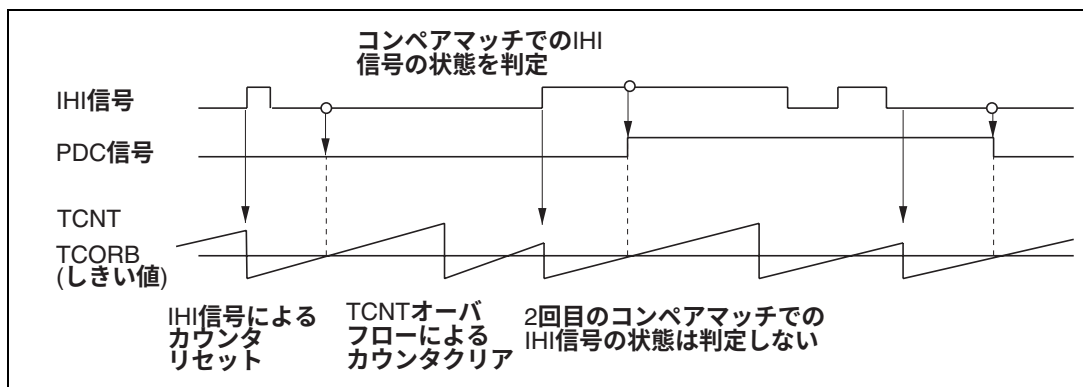


図 13.2 PWM デコードタイミングチャート

13.3.2 クランプ波形生成 (CL1・CL2・CL3 信号生成)

タイマコネクションと TMRX を利用することにより、入力信号 (IHI 信号) 波形に同期し、デューティや立ち上がり／立ち下がりが異なる信号 (クランプ波形) を生成できます。生成できるクランプ波形は、CL1 信号、CL2 信号、CL3 信号の 3 通りです。また、TMRX を利用することにより CL4 信号を生成できます。

CL1 信号は IHI 信号の立ち上がりと同じタイミングで立ち上がります。また、CL2 信号は CL1 信号が High のときに IHI 信号の立ち下がりと同じタイミングで立ち上がります。CL1 信号と CL2 信号の立ち下がりには TCORA で指定できます。

CL3 信号の立ち上がりは IHI 信号の立ち下がりシステムクロックでサンプリングしたタイミング、立ち下がりには TCORC で指定できます。

TMRX の TCNT は、内部クロックをカウントし、外部リセット信号 (IHI 信号) の立ち上がりエッジでクリアされるよう設定します。また、IHI 信号の立ち上がりでも CL3 信号は立ち下げられます。

TCORA には CL1 信号のパルス幅となる数値をライトします。なお、TMRX のカウンタクロックを内部クロックの ϕ に設定した場合は、TCORA には H'02 以上の値を、 $\phi/2$ に設定した場合は H'01 以上の値をライトしてください。内部クロック ϕ に設定した場合の CL1 信号パルス幅は、(TCORA の設定値 + 3 ± 0.5) となります。CL2 信号を使用する場合は、IHI 信号のパルス幅より大きくなるような数値を設定してください。

TCORC には CL3 信号のパルス幅となる数値をライトします。TMRX には TICR があり、TICR は、外部リセット信号の逆のエッジ (この場合 IHI 信号の立ち下がりエッジ) で TCNT の値をキャプチャします。CL3 信号の立ち下がりタイミングは TICR の内容と TCORC の内容を加算した値で決まります。なお、TCORC の内容により設定した立ち下がりタイミングの前に IHI 信号の立ち上がりエッジがきた場合、IHI 信号により CL3 信号は立ち下げられますので注意が必要です。

TMRX の TCR の設定例は表 13.3 と同様です。クランプ波形のタイミングチャートを図 13.3 と図 13.4 に示します。

CL1、CL2 信号は、立ち上がりが IHI 信号のエッジに同期し、立ち下がりがシステムクロックに同期するため、パルス幅がシステムクロックの分解能分変動します。

CL3 信号は、立ち上がり／立ち下がりともシステムクロックに同期しパルス幅は一定ですが、IHI 信号との位相関係がシステムクロックの分解能分変動します。

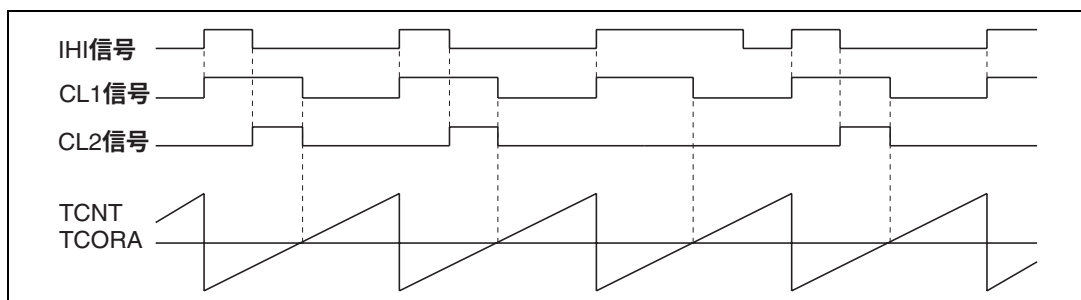


図 13.3 クランプ波形生成タイミングチャート (CL1 信号・CL2 信号)

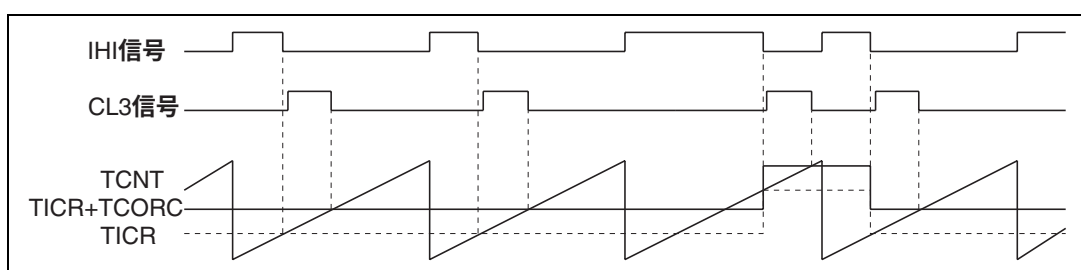


図 13.4 クランプ波形生成タイミングチャート (CL3 信号)

13.3.3 8ビットタイマ分周波形周期測定

タイマコネクションと TMR1、FRT を利用することにより、IHI 信号分周波形の周期を測定できます。TMR1 は、外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジでクリアすることができます。IHI 信号分周波形の立ち上がり／立ち下がりIVI信号にはほぼ同期化することができます。これにより、周期判定を効率的に行うことが可能です。

IHI 信号分周波形の周期を測定する場合、TMR1 の TCNT は、外部クロック (IHI 信号) をカウントし、外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジでクリアされるよう設定します。TCORA には分周の倍率となる数値をライトし、TCSR の OS ビットには TMO 出力方式を指定します。

TMR1 の TCR と TCSR の設定例を表 13.5 に、IVI 信号と IHI 信号分周波形の周期測定タイミングチャートを図 13.5 に示します。IHI 信号分周波形の周期は $(ICRD(3) - ICRD(2)) \times \text{分解能}$ で求めることができます。

表 13.5 TCR と TCSR の設定例

レジスタ	ビット	略称	内容	説 明
TMR1 の TCR	7	CMIEB	0	コンペアマッチ、オーバーフローによる割り込みを禁止
	6	CMIEA	0	
	5	OVIE	0	
	4、3	CCLR 1、0	11	外部リセット信号 (IVI 信号の反転信号) の立ち上がりエッジ (↑) により TCNT をクリア
	2~0	CKS2~0	101	外部クロック (IHI 信号) の立ち上がりエッジ (↑) により TCNT をカウントアップ
TMR1 の TCSR	3~0	OS3~0	0011	コンペアマッチ B で変化せず、コンペアマッチ A で反転出力 (トグル出力) : 512 分周
			1001	TCORB<TCORA の条件で、コンペアマッチ B で 1 出力、コンペアマッチ A で 0 出力 : 256 分周
FRT の TCR	6	IEDGB	0/1	0 : インพุットキャプチャ入力 B (IHI 分周信号波形) の立ち下がりエッジ (↓) で FRC の値を ICRB に転送 1 : インพุットキャプチャ入力 B (IHI 分周信号波形) の立ち上がりエッジ (↑) で FRC の値を ICRB に転送
	1、0	CKS1、0	01	内部クロック : $\phi/8$ で FRC をカウントアップ
FRT の TCSR	0	CCLRA	0	FRC のクリアを禁止

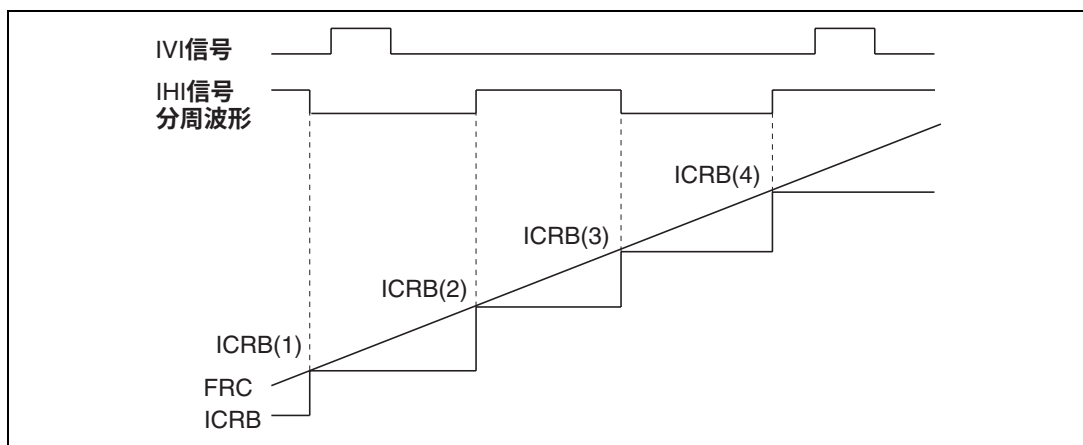


図 13.5 IVI 信号と IHI 信号分周波形の周期測定タイミングチャート

13.3.4 IHI 信号の 2fH モディファイ

タイマコネクションの FRT を利用することにより、IHI 信号の一部に 2 倍の周波数をもつ部分が存在していても、これを除去することができます。この機能が正常動作するためには、IHI 信号のデューティは約 30%以下か約 70%以上である必要があります。

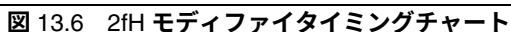
FRT の ICRD は、キャプチャしたデータに 8 ビットの OCRDM の内容および OCRDM の内容を 2 倍して自動的に加算し、このタイミングでコンペアマッチを発生することができます。このふたつのコンペアマッチの間の期間をマスク期間とよびます。OCRDM には、IHI 信号の周期の約 1/3 に相当する数値をライトします。ICRD は、IHI 信号の立ち上がりでキャプチャを行うよう設定します。

IHO 信号選択回路に供給される IHI 信号は、通常 IHI 信号の立ち上がりでセットされ立ち下がりでもリセットされるため、波形は元となる IHI 信号と同じです。2fH モディファイを選択すると、マスク期間中の IHI 信号のエッジ検出が禁止されます。また、マスク期間中のキャプチャも禁止されます。

FRT の TCR の設定例を表 13.6 に、2fH モディファイのタイミングチャートを図 13.6 に示します。

表 13.6 TCR、TCSR、TCOR と OCRDM の設定例

レジスタ	ビット	略称	内容	説 明
FRT の TCR	4	IEDGD	1	インプットキャプチャ入力 D (IHI 信号) の立ち上がりエッジ (↑) で FRC の値を ICRD に転送
	1、0	CKS1、0	01	内部クロック： $\phi/8$ で FRC をカウントアップ
FRT の TCSR	0	CCLRA	0	FRC のクリアを禁止
FRT の TCOR	7	ICRDMS	1	ICRD を OCRDM を利用した動作モードに設定
FRT の OCRDM	7~0	OCRDM 7~0	H'01~ H'FF	ICRD の動作をマスクする期間を設定



13.3.5 IVI 信号の立ち下がりモディファイ・IHI 同期

タイムコネクションの TMR1 を利用することにより、IVI 信号の立ち下がり、IHI 信号波形の指定した個数分後方へ移動することができます。また、IVI 信号の立ち下がり、IHI 信号の立ち上がり同期させることができます。

8ビットタイマ分周波形周期測定のために、TMR1のTCNTは、外部クロック（IHI信号）をカウントし、外部リセット信号（IVI信号の反転信号）の立ち上がりエッジでクリアされるよう設定します。TOCRBには、IVI信号立ち下げまでのIHI信号の個数をライトします。

IVO 信号選択回路に供給される IVI 信号は、通常 IVI 信号の立ち上がりでセットされ立ち下がりでリセットされるため、波形は元となる IVI 信号と同じです。立ち下がりモディファイを選択すると、リセットは TMR1 の TCORB のコンペアマッチで行われます。

上記のように生成された波形は、立ち下がりモディファイ選択の有無にかかわらず、立ち下がりを IHI 信号の立ち上がりに同期させることができます。

TMRI の TCR、TCSR、および TCORB の設定例を表 13.7 に、立ち下がりモディファイ・IHI 同期のタイミングチャートを図 13.7 に示します。

13. タイマコネクション

表 13.7 TCR、TCSR、および TCORB の設定例

レジスタ	ビット	略称	内容	説 明
TMR1 の TCR	7	CMIEB	0	コンペアマッチ、オーバーフローによる割り込みを禁止
	6	CMIEA	0	
	5	OVIE	0	
	4、3	CCLR 1、0	11	外部リセット信号（IVI 信号の反転信号）の立ち上がりエッジ（↑）により TCNT をクリア
	2〜0	CKS2〜0	101	外部クロック（IHI 信号）の立ち上がりエッジ（↑）により TCNT をカウントアップ
TMR1 の TCSR	3〜0	OS3〜0	0011	コンペアマッチ B で変化せず、コンペアマッチ A で反転出力（トグル出力）
			1001	または TCORB<TCORA の条件で、コンペアマッチ B で 1 出力、コンペアマッチ A で 0 出力
TMR1 の TCORB			H'03 (例)	IVI 信号の反転信号立ち上がり後、4 番目（例）の IHI 信号の立ち上がりでコンペアマッチ

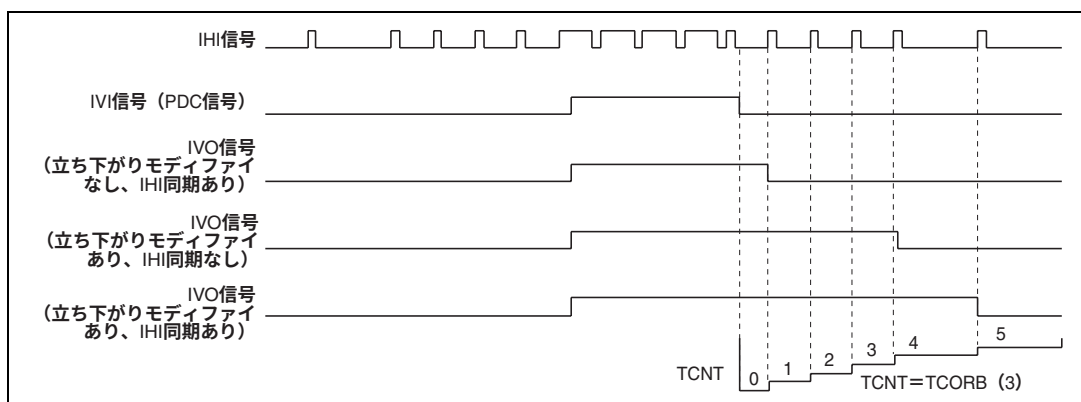


図 13.7 立ち下がりモディファイ・IHI 同期タイミングチャート

13.3.6 内部同期信号の生成 (IHG 信号、IVG 信号、CL4 信号の生成)

タイマコネクションの FRT と TMRY を利用することにより、IHI 信号、IVI 信号に相当する内部信号 (IHG 信号、IVG 信号) を自動的に生成することができます。IHG 信号は IVG 信号の立ち上がり同期しますので、IHG 信号周期を一定に保つためには、IVG 信号周期の約数とする必要があります。また、IHG 信号に同期して CL4 信号を生成することができます。

FRT の OCRA の内容は、コンペアマッチを発生するたびに、OCRAR と OCRAF の内容を交互に、自動的に加算した内容に更新することができます。OCRAR には IVG 信号の 0 期間に相当する値を、また OCRAF には IVG 信号の 1 期間に相当する値をライトします。IVG 信号は、OCRAR 加算後のコンペアマッチでセットされ、OCRAF 加算後のコンペアマッチでリセットされます。

IHG 信号は 8 ビットタイマ TMRY のタイマ出力です。TMRY は内部クロックをカウントし、TCORA のコンペアマッチで TCNT をクリアして周期を定めると共にタイマ出力をセットするように設定します。TCORB は、タイマ出力をリセットするように設定します。TMRY のリセット入力 (TMRI) としては IVG 信号が接続されており、IVG 信号の立ち上がりを TCORA のコンペアマッチと同様に扱うことができます。

CL4 信号は、IHG 信号の立ち下がりから 1 システムクロック以内の遅れで立ち上がり、6 システムクロックの 1 期間をもつ波形です。

TMRY の TCORA、TCORB、TCR、TCSR、および FRT の OCRAR、OCRAF、TCR、TOCR の設定例を表 13.8 に、IHG 信号、IVG 信号のタイミングチャートを図 13.8 に示します。

表 13.8 OCRAR、OCRAF、TOCR、TCORA、TCORB、TCR と TCSR の設定例

レジスタ	ビット	略 称	内 容	説 明	
TMRY の TCR	7	CMIEB	0	コンペアマッチ、オーバフローによる割り込みを禁止	
	6	CMIEA	0		
	5	OVIE	0		
	4、3	CCLR1、0	01	コンペアマッチ A により TCNT をクリア	
	2〜0	CKS2〜0	001	内部クロック：φ/4 で TCNT をカウントアップ	
TMRY の TCSR	3〜0	OS3〜0	0110	コンペアマッチ B で 0 出力 コンペアマッチ A で 1 出力	
TMRY の TOCRA			H'3F (例)	IHG 信号の周期はφ×256	
TMRY の TOCRB			H'03 (例)	IHG 信号の 1 の期間はφ×16	
FRT の TCR	1、0	CKS1、0	01	内部クロック：φ/8 で FRC をカウントアップ	
FRT の OCRAR			H'7FEF (例)	IVG 信号の 0 の期間はφ×262016	IVG 信号の周期は φ×262144 (IHG 信号の 1024 倍)
FRT の OCRAF			H'000F (例)	IVG 信号の 1 の期間はφ×128	
FRT の TOCR	6	OCRAMS	1	OCRA を OCRAR、OCRAF を利用した動作モードに設定	

13. タイマコネクション

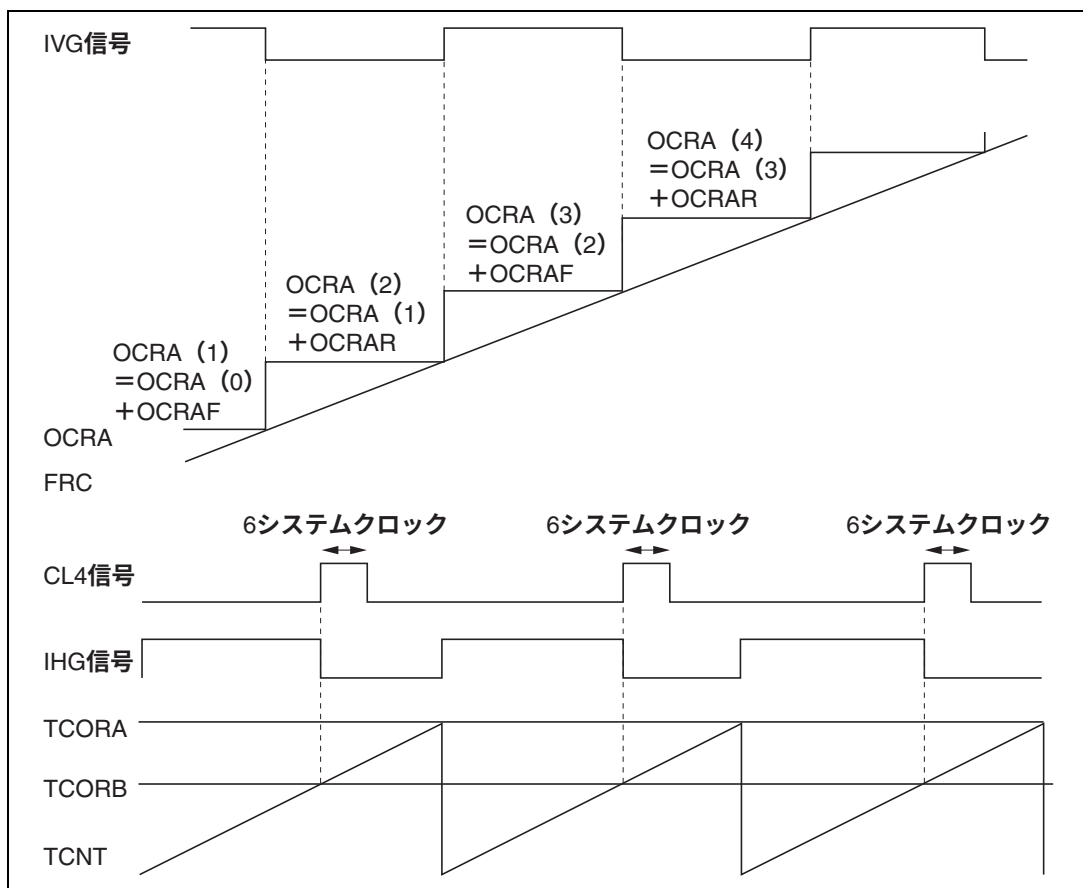


図 13.8 IVG 信号、IHG 信号、CL4 信号のタイミングチャート

13.3.7 HSYNCO 出力

HSYNCO 出力は、IHI 信号の信号源や外部回路の要求する波形によって、選択すべき信号源とモディファイの有無の意味が異なります。HSYNCO 出力のモード別の意味を表 13.9 に示します。

表 13.9 HSYNCO 出力のモード別の意味

モード名称	IHI 信号	IHO 信号	IHO 信号の意味
無信号	HFBACKI 入力	IHI 信号 (2fH モディファイなし)	HFBACKI 入力をそのまま出力
		IHI 信号 (2fH モディファイあり)	HFBACKI 入力に周波数が倍の部分がなければ意味なし
		CL1 信号	HFBACKI 入力の 1 期間を変更して出力
		IHG 信号	内部同期信号を出力
S オン G モード	CSYNCI 入力	IHI 信号 (2fH モディファイなし)	CSYNCI 入力 (複合同期信号) をそのまま出力
		IHI 信号 (2fH モディファイあり)	CSYNCI 入力 (複合同期信号) の周波数が倍の部分を除去して出力
		CL1 信号	CSYNCI 入力 (複合同期信号) の水平同期信号部分を分離して出力
		IHG 信号	内部同期信号を出力
コンボジットモード	HSYNCI 入力	IHI 信号 (2fH モディファイなし)	HSYNCI 入力 (複合同期信号) をそのまま出力
		IHI 信号 (2fH モディファイあり)	HSYNCI 入力 (複合同期信号) の周波数が倍の部分を除去して出力
		CL1 信号	HSYNCI 入力 (複合同期信号) の水平同期信号部分を分離して出力
		IHG 信号	内部同期信号を出力
セパレートモード	HSYNCI 入力	IHI 信号 (2fH モディファイなし)	HSYNCI 入力 (水平同期信号) をそのまま出力
		IHI 信号 (2fH モディファイあり)	HSYNCI 入力 (水平同期信号) に周波数が倍の部分がなければ意味なし
		CL1 信号	HSYNCI 入力 (水平同期信号) の 1 期間を変更して出力
		IHG 信号	内部同期信号出力

13.3.8 VSYNCO 出力

VSYNCO 出力は、IVI 信号の信号源や外部回路の要求する波形によって、選択すべき信号源とモディファイの有無の意味が異なります。VSYNCO 出力のモード別の意味を表 13.10 に示します。

表 13.10 VSYNCO 出力のモード別の意味

モード名称	IVI 信号	IVO 信号	IVO 信号の意味
無信号	VFBACKI 入力	IVI 信号（立ち下がりモディファイなし、IHI 同期なし）	VFBACKI 入力をそのまま出力
		IVI 信号（立ち下がりモディファイなし、IHI 同期あり）	VFBACKI 入力（HFBACKI 入力に同期していれば意味なし）
		IVI 信号（立ち下がりモディファイあり、IHI 同期なし）	VFBACKI 入力の立ち下がり（をモディファイして）出力
		IVI 信号（立ち下がりモディファイあり、IHI 同期あり）	VFBACKI 入力の立ち下がり（をモディファイし、HFBACKI 入力に同期し）出力
		IVG 信号	内部同期信号を出力
S オン G モード、またはコンポジットモード	PDC 信号	IVI 信号（立ち下がりモディファイなし、IHI 同期なし）	CSYNCCI/HSYNCCI 入力（複合同期信号）の垂直同期信号部分を分離して出力
		IVI 信号（立ち下がりモディファイなし、IHI 同期あり）	CSYNCCI/HSYNCCI 入力（複合同期信号）の垂直同期信号部分を分離し、CSYNCCI/HSYNCCI 入力に同期して出力
		IVI 信号（立ち下がりモディファイあり、IHI 同期なし）	CSYNCCI/HSYNCCI 入力（複合同期信号）の垂直同期信号部分を分離し、立ち下がり（をモディファイして）出力
		IVI 信号（立ち下がりモディファイあり、IHI 同期あり）	CSYNCCI/HSYNCCI 入力（複合同期信号）の垂直同期信号部分を分離し、立ち下がり（をモディファイし、CSYNCCI/HSYNCCI 入力に同期して）出力
		IVG 信号	内部同期信号を出力
セパレートモード	VSYNCCI 入力	IVI 信号（立ち下がりモディファイなし、IHI 同期なし）	VSYNCCI 入力（垂直同期信号）をそのまま出力
		IVI 信号（立ち下がりモディファイなし、IHI 同期あり）	VSYNCKI 入力（垂直同期信号）が HSYNCCI 入力（水平同期信号）に同期していれば意味なし
		IVI 信号（立ち下がりモディファイあり、IHI 同期なし）	VSYNCKI 入力（垂直同期信号）の立ち下がり（をモディファイして）出力
		IVI 信号（立ち下がりモディファイあり、IHI 同期あり）	VSYNCKI 入力（垂直同期信号）の立ち下がり（をモディファイし、HSYNCCI 入力（水平同期信号）に同期して）出力
		IVG 信号	内部同期信号出力

13.3.9 CBLANK 出力

タイマコネクションで生成、選択した信号を用いて、複合同期信号に準じた波形（ブランキング波形）を生成することができます。

ブランキング波形は 1 種類で、HFBACKI 入力と VFBACKI 入力を TCONRI の HFINV ビットと VFINV ビットで位相の正負を正としたものと、IVO 信号とを合成することによって生成します。合成の論理を、図 13.9 に示します。

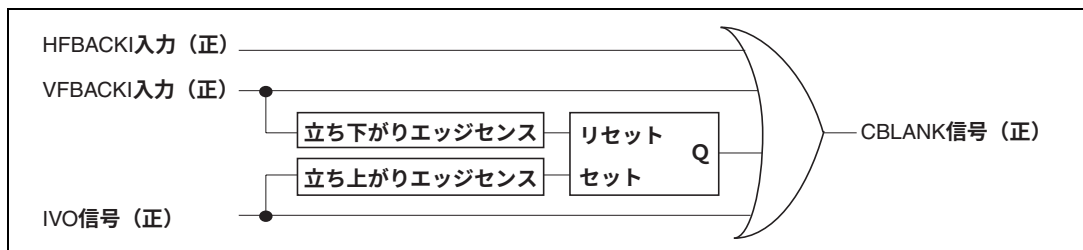


図 13.9 CBLANK 出力波形生成

14. ウォッチドッグタイマ (WDT)

14.1 概要

本 LSI は 2 チャンネルのウォッチドッグタイマ (WDT0、WDT1) を内蔵しています。ウォッチドッグタイマは、システムの暴走などによりカウンタの値を CPU が正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号 ($\overline{\text{RESO}}$) を出力することができます。同時に、内部リセット信号または内部 NMI 割り込み信号を発生することができます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマモードの場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。

14.1.1 特長

WDT には次のような特長があります。

■ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

■タイマカウンタがオーバーフローすると内部リセットまたは内部割り込みを発生

- インターバルタイマモード時には、WOVI 割り込みを発生
- ウォッチドッグタイマモード時には、内部をリセットするか NMI 割り込みを発生するかを選択可能

■ウォッチドッグタイマモード時、 $\overline{\text{RESO}}$ を出力

- ウォッチドッグタイマモード時にカウンタがオーバーフローすると、 $\overline{\text{RESO}}$ 端子から Low 信号を出力 (内部リセット選択時)

■WDT0 は 8 種類、WDT1 は 16 種類のカウンタ入力クロックを選択可能

- WDT の最大インターバルはシステムクロック周期 $\times 131072 \times 256$
- WDT1 の入力カウンタにサブクロックを選択可能
サブクロック選択の場合、最大インターバルはサブクロック周期 $\times 256 \times 256$

14. ウォッチドッグタイマ (WDT)

14.1.2 ブロック図

WDT のブロック図を図 14.1 (a) と図 14.1 (b) に示します。

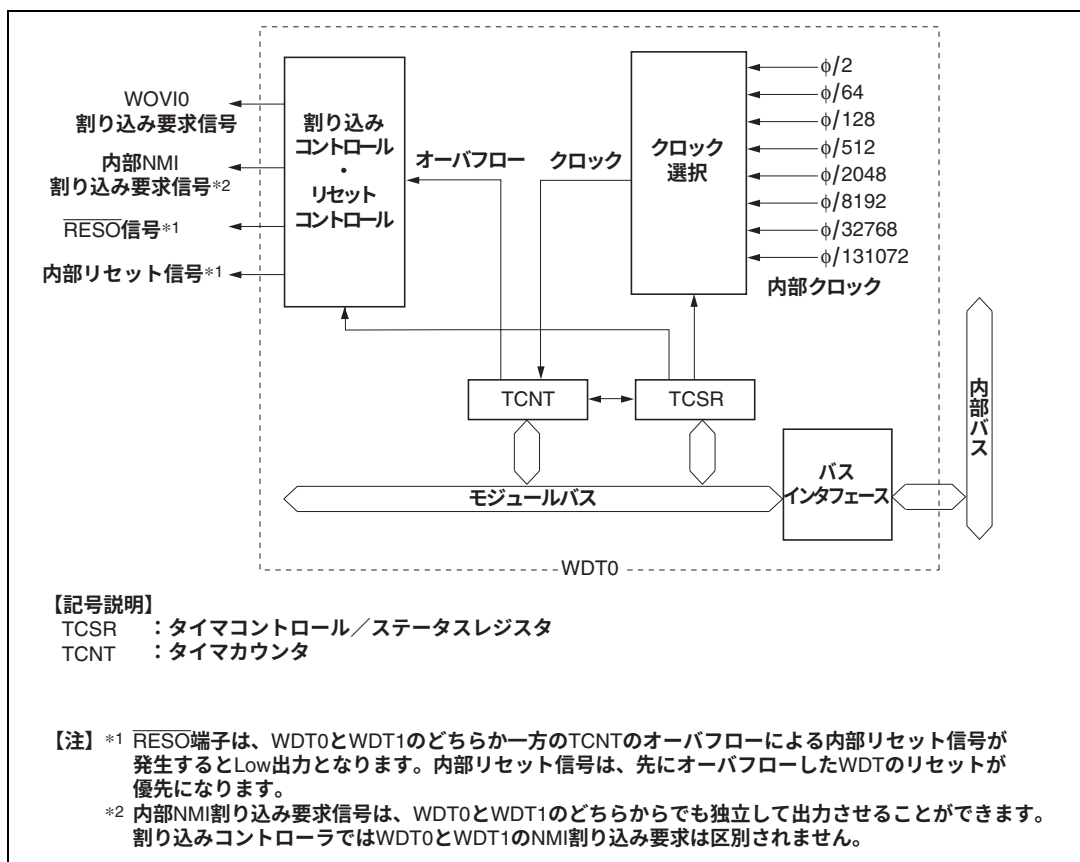


図 14.1 (a) WDT0 のブロック図

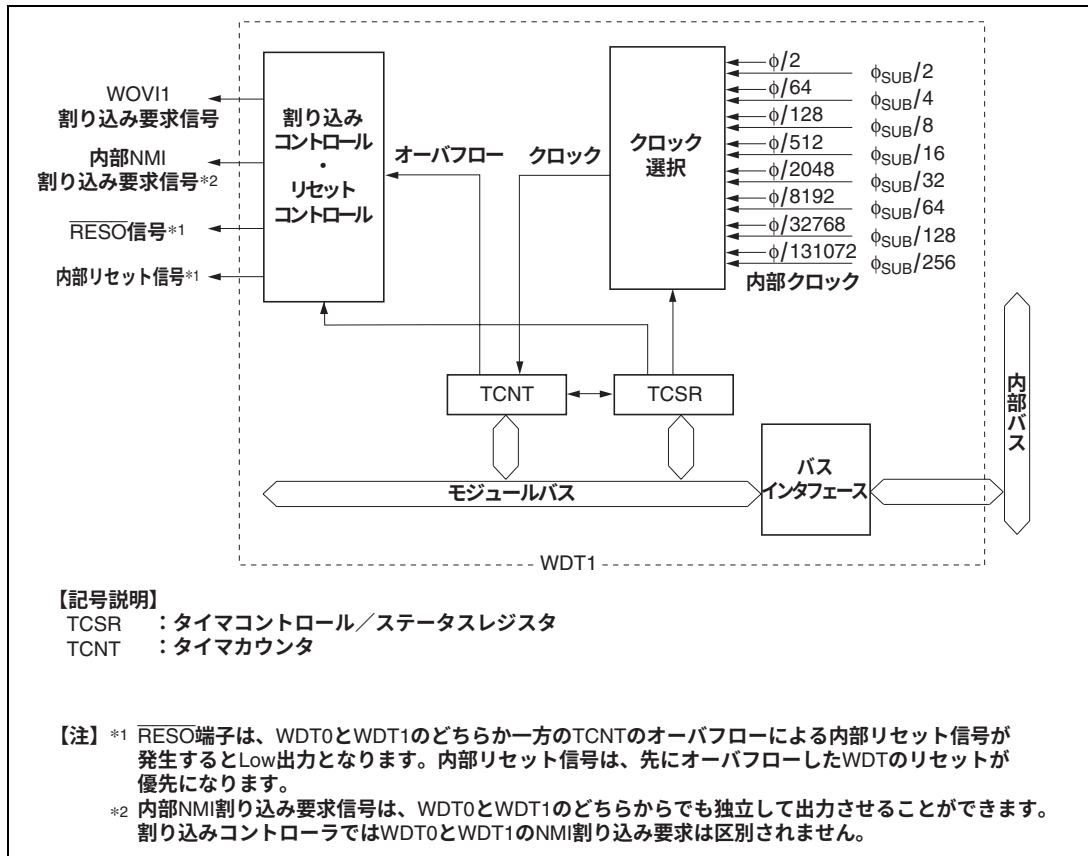


図 14.1 (b) WDT1 のブロック図

14. ウォッチドッグタイマ (WDT)

14.1.3 端子構成

WDT の端子を表 14.1 に示します。

表 14.1 端子構成

名 称	記号	入出力	機 能
リセット出力端子	RESO	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力
外部サブクロック入力端子	EXCL	入力	WDT1 のプリスケアラのカウンタ入力クロック

14.1.4 レジスタ構成

WDT には、表 14.2 に示すように 4 本のレジスタがあります。これらのレジスタにより、クロックの選択、WDT のモードの切り替え、リセット信号の制御などを行います。

表 14.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス*1	
					ライト時*2	リード時
0	タイマコントロール／ステータスレジスタ 0	TCSR0	R/(W) *3	H'00	H'FFA8	H'FFA8
	タイマカウンタ 0	TCNT0	R/W	H'00	H'FFA8	H'FFA9
1	タイマコントロール／ステータスレジスタ 1	TCSR1	R/(W) *3	H'00	H'FFEA	H'FFEA
	タイマカウンタ 1	TCNT1	R/W	H'00	H'FFEA	H'FFEB
共通	システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4	

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ライトについては、「14.2.4 レジスタアクセス時の注意」を参照してください。

*3 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

14.2 各レジスタの説明

14.2.1 タイマカウンタ (TCNT)

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT は、リード／ライト*可能な 8 ビットのアップカウンタです。TCSR の TME ビットを 1 にすると、TCSR の CKS2～CKS0 ビットで選択した内部クロックにより、TCNT はカウントアップを開始します。TCNT の値がオーバーフロー (H'FF→H'00) すると、TCSR の OVF フラグが 1 にセットされ WT/IT ビットおよび RST/NMI ビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号 (RESO) 出力、内部リセット、NMI 割り込み、またはインターバルタイマ割り込み (WOVI) などを発生させることができます。

TCNT は、リセット、ハードウェアスタンバイモード、または TME ビットが 0 のとき、H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】* TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「14.2.4 レジスタアクセス時の注意」を参照してください。

14.2.2 タイマコントロール／ステータスレジスタ (TCSR)

■TCSR0

ビット：	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	RSTS	RST/NMI	CKS2	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための 0 ライトのみ可能です。

■TCSR1

ビット：	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための 0 ライトのみ可能です。

14. ウォッチドッグタイマ (WDT)

TCSR は、リード／ライト*可能な 8 ビットのレジスタで、TCNT に入力するクロック、モードの選択などを行います。

TCSR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】 * TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「14.2.4 レジスタアクセス時の注意」を参照してください。

ビット 7：オーバフローフラグ (OVF)

TCNT がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。

ビット 7	説 明
OVF	
0	【クリア条件】 (初期値) (1) TME ビットに 0 をライトしたとき (2) OVF=1*の状態、TCSR をリード後、OVF に 0 をライトしたとき
1	【セット条件】 TCNT がオーバフロー (H'FF→H'00) したとき ただし、ウォッチドッグタイマモードで内部リセット要求を選択した場合、セット後、内部リセットにより自動的にクリアされます。

【注】 * インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF=1 の状態を 2 回以上リードしてください。

ビット 6：タイマモードセレクト (WT/IT)

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNT がオーバフローしたとき、ウォッチドッグタイマモード時はリセットまたは NMI 割り込みを、インターバルタイマモード時は WOV1 割り込みを、CPU に対して要求します。なお、ウォッチドッグタイマモードで内部リセット選択時には、RES0 端子から Low レベルを出力します。

ビット 6	説 明
WT/IT	
0	インターバルタイマモード：TCNT がオーバフローしたとき CPU ヘインターバルタイマ割り込み (WOV1) を要求 (初期値)
1	ウォッチドッグタイマモード：TCNT がオーバフローしたとき CPU ヘリセットまたは NMI 割り込みを要求 同時に、RES0 端子から Low レベルを出力 (内部リセット選択時)

ビット 5：タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット 5	説 明
TME	
0	TCNT を H'00 に初期化し、カウント動作を停止 (初期値)
1	TCNT はカウント動作

TCSR0 のビット 4：リセットセレクト (RSTS)

リザーブビットです。1 にセットしないでください。

TCSR1 のビット 4：プリスケラセレクト (PSS)

WDT1 の TCNT の入力クロックソースを選択します。

詳細は、ビット 2～0 (CKS2～CKS0) の説明を参照してください。

TCSR1 ビット 4	説 明
PSS	
0	TCNT は ϕ ベースのプリスケラ (PSM) の分周クロックをカウント (初期値)
1	TCNT は ϕ_{SUB} ベースのプリスケラ (PSS) の分周クロックをカウント

ビット 3：リセットまたは NMI ($RST/\overline{NMI}$)

ウォッチドッグタイマモードでの TCNT オーバフロー時に、内部リセットと NMI 割り込み要求のいずれを要求するかを選択します。

ビット 3	説 明
RST/ $\overline{NMI}$	
0	NMI 割り込みを要求 (初期値)
1	内部リセットを要求

ビット 2～0：クロックセレクト 2～0 (CKS2～CKS0)

システムクロック (ϕ) またはサブクロック (ϕ_{SUB}) を分周して得られる内部クロックから、TCNT に入力するクロックを選択します。

14. ウォッチドッグタイマ (WDT)

■WDT0 の入力クロック選択

ビット 2	ビット 1	ビット 0	説 明	
CKS2	CKS1	CKS0	クロック	オーバフロー周期* ($\phi=10\text{MHz}$ の場合)
0	0	0	$\phi/2$ (初期値)	51.2 μs
		1	$\phi/64$	1.6ms
	1	0	$\phi/128$	3.2ms
		1	$\phi/512$	13.1ms
1	0	0	$\phi/2048$	52.4ms
		1	$\phi/8192$	209.7ms
	1	0	$\phi/32768$	838.9ms
		1	$\phi/131072$	3.36s

【注】 * オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

■WDT1 の入力クロック選択

ビット 4	ビット 2	ビット 1	ビット 0	説 明	
PSS	CKS2	CKS1	CKS0	クロック	オーバフロー周期* ($\phi=10\text{MHz}$ の場合) ($\phi\text{SUB}=32.768\text{kHz}$ の場合)
0	0	0	0	$\phi/2$ (初期値)	51.2 μs
			1	$\phi/64$	1.6ms
		1	0	$\phi/128$	3.2ms
			1	$\phi/512$	13.1ms
	1	0	0	$\phi/2048$	52.4ms
			1	$\phi/8192$	209.7s
		1	0	$\phi/32768$	838.9ms
			1	$\phi/131072$	3.36s
1	0	0	0	$\phi\text{SUB}/2$	15.6ms
			1	$\phi\text{SUB}/4$	31.3ms
		1	0	$\phi\text{SUB}/8$	62.5ms
			1	$\phi\text{SUB}/16$	125ms
	1	0	0	$\phi\text{SUB}/32$	250ms
			1	$\phi\text{SUB}/64$	500ms
		1	0	$\phi\text{SUB}/128$	1s
			1	$\phi\text{SUB}/256$	2s

【注】 * オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

14.2.3 システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値:	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R	R/W	R	R/W	R/W	R/W

ここではビット 3 のみ説明します。ウォッチドッグタイマ以外の詳細は、「3.2.2 システムコントロールレジスタ (SYSCR)」、「5.2.1 システムコントロールレジスタ (SYSCR)」、および関連するモジュールの説明を参照してください。

ビット 3: 外部リセット (XRST)

XRST はリセット要因を表すビットです。リセットは、外部リセット入力に加えて、ウォッチドッグタイマを利用しているときには、WDT0 または WDT1 のウォッチドッグタイマオーバフローにより発生することができます。

XRST ビットはリード専用です。外部リセットにより 1 にセット、RST/ $\overline{\text{NMI}}$ ビットが 1 のときにウォッチドッグタイマオーバフローによる内部リセットで 0 にクリアされます。

ビット 3	説 明
XRST	
0	リセットがウォッチドッグタイマのオーバフローによる内部リセットで発生
1	リセットが外部リセット入力で発生 (初期値)

14.2.4 レジスタアクセス時の注意

TCNT、TCSR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、リード／ライトを行ってください。

(1) TCNT、TCSR へのライト (WDT0 の例)

TCNT、TCSR ヘライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 14.2 に示すように、TCNT ヘライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR ヘライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR ヘライトされます。

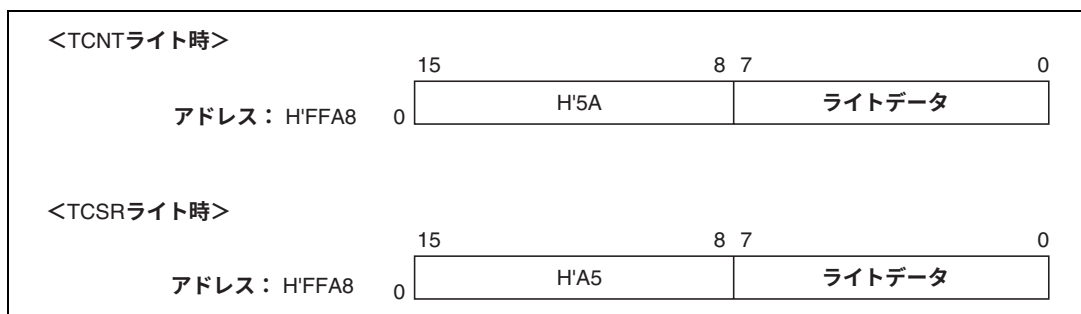


図 14.2 TCNT、TCSR へのライト (WDT0 の例)

(2) TCNT、TCSR からのリード (WDT0 の例)

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FFA8 に、TCNT はアドレス H'FFA9 にそれぞれ割り当てられています。

14.3 動作説明

14.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、TCSR の $WT/\overline{IT}$ ビットと TME ビットの両方を 1 に設定してください。また、TCNT がオーバーフローする前に必ず TCNT の値を書き換えて（通常は H'00 を書き込む）、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、内部リセットまたは NMI 割り込み要求が発生します。

RST/ $\overline{NMI}$ ビットを 1 に設定すると、カウンタオーバーフローにより 518 システムクロック (518φ) の間、本 LSI をリセットし、同時に $\overline{RESO}$ 端子から 132 ステートの間 Low レベル信号が出力されます。これを図 14.3 に示します。この $\overline{RESO}$ 信号を用いて、システムをリセットすることができます。

RST/ $\overline{NMI}$ ビットを 0 にクリアすると、カウンタオーバーフローにより NMI 割り込み要求が発生します。このとき、 $\overline{RESO}$ 信号は High 出力のままとなります。

ウォッチドッグタイマからの内部リセット要求と $\overline{RES}$ 端子からのリセット入力、同一ベクタで処理されます。リセット要因は SYSCR の XRST ビットの内容によって判別できます。

$\overline{RES}$ 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 $\overline{RES}$ 端子によるリセットが優先され、SYSCR の XRST ビットは 1 にセットされます。

ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求を同時に扱うことは避けてください。

14. ウォッチドッグタイマ (WDT)

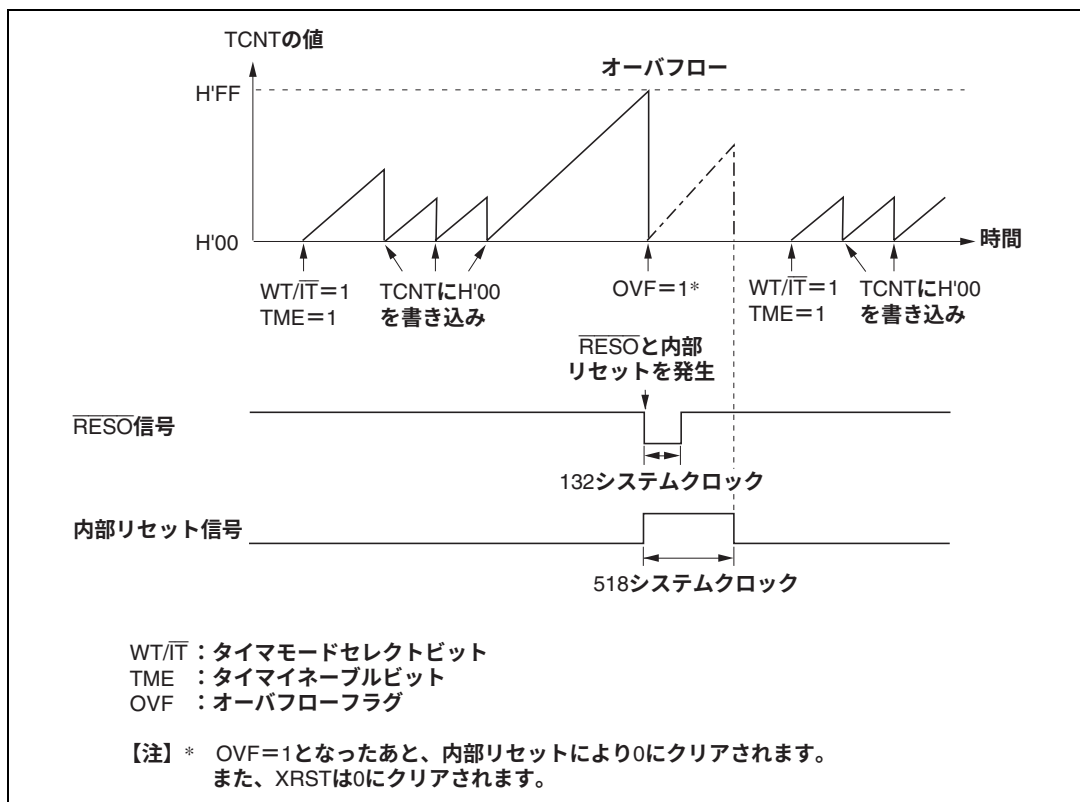


図 14.3 ウォッチドッグタイマモード時 (RST/NMI=1) の動作

14.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するときは、TCSR の $WT/\overline{IT}$ ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 14.4 に示すように、TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

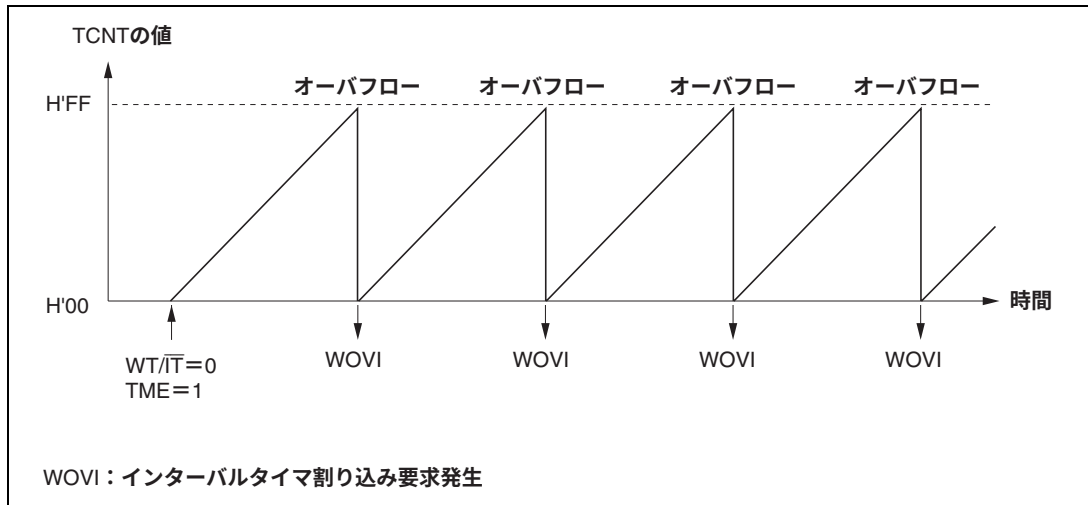


図 14.4 インターバルタイマモード時の動作

14. ウォッチドッグタイマ (WDT)

14.3.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードで TCNT がオーバフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 14.5 に示します。

また、ウォッチドッグタイマモードで NMI 要求を選択した場合、TCNT がオーバフローすると、TCSR の OVF ビットが 1 にセットされ、同時に NMI 割り込みが要求されます。

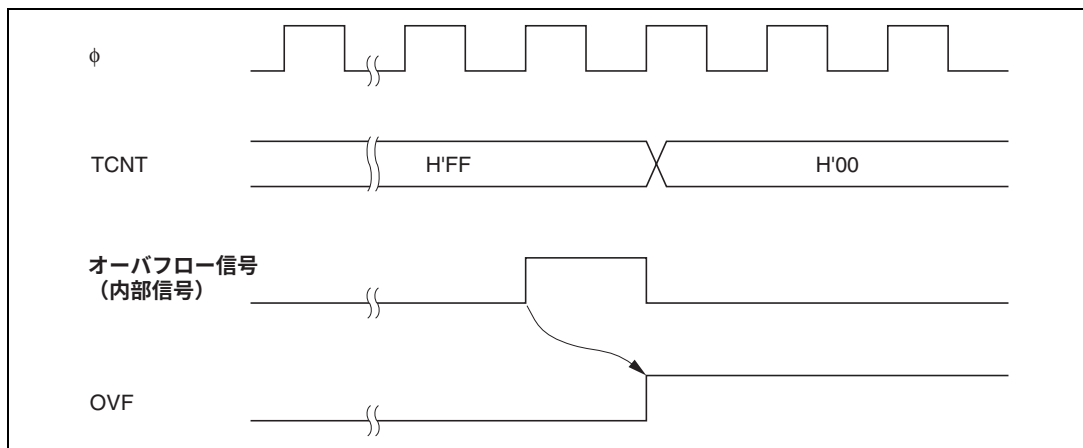


図 14.5 OVF のセットタイミング

14.3.4 $\overline{\text{RESO}}$ 信号出力タイミング

ウォッチドッグタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされます。このとき $\text{RST}/\overline{\text{NMI}}$ ビットが 1 にセットしてあると、本 LSI 全体に対して内部リセット信号を発生します。また、同時に $\overline{\text{RESO}}$ 端子から Low レベルを出力します。これらのタイミングを図 14.6 に示します。

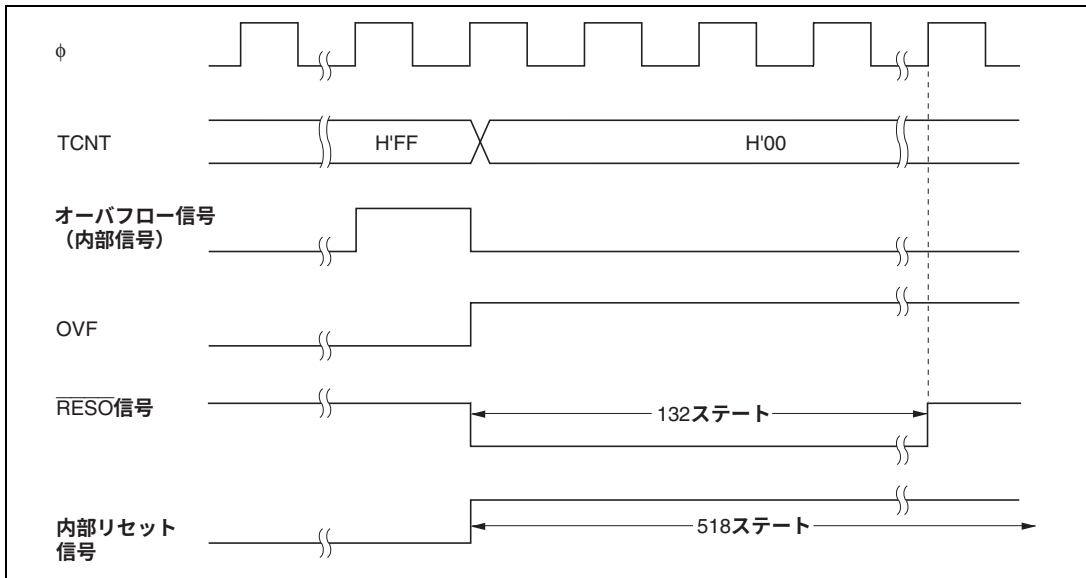


図 14.6 $\overline{\text{RESO}}$ 信号の出力タイミング

14.4 割り込み

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで NMI 割り込み要求の選択時、オーバーフローにより NMI 割り込み要求が発生します。

14.5 使用上の注意

14.5.1 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 14.7 に示します。

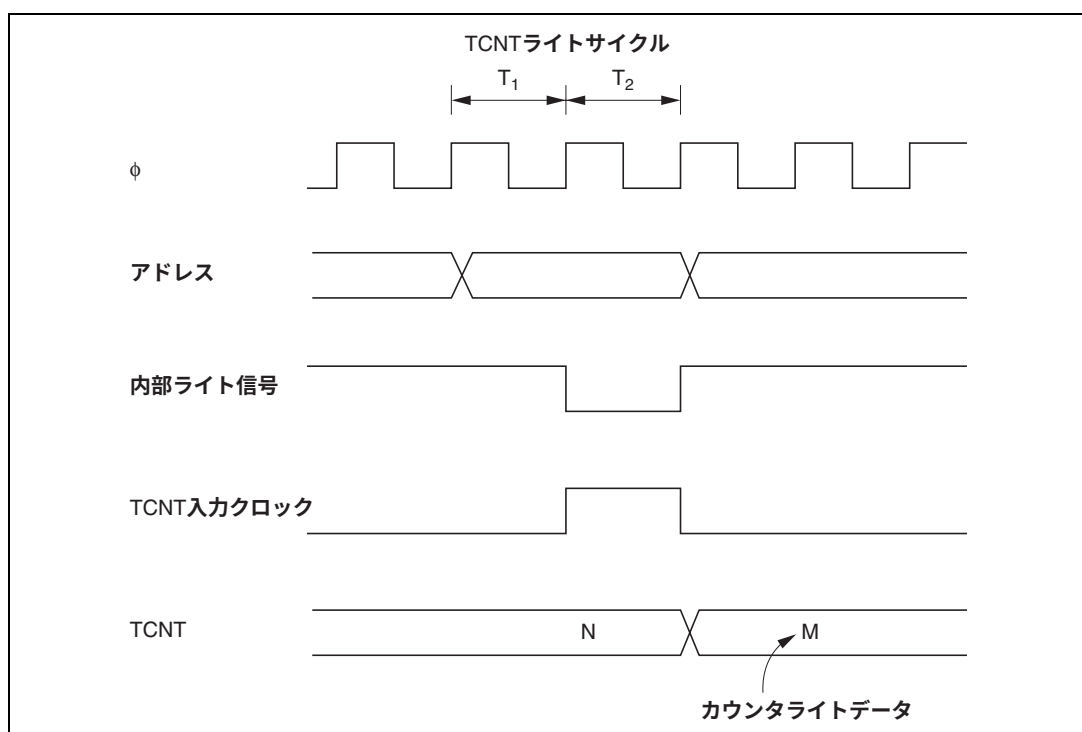


図 14.7 TCNT のライトとカウントアップの競合

14.5.2 CKS2～CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2～CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

14.5.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

14.5.4 $\overline{\text{RESO}}$ 信号によるシステムのリセット

$\overline{\text{RESO}}$ 出力信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{RESO}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{RESO}}$ 信号でシステム全体をリセットするときは、図 14.8 に示すような回路で行ってください。

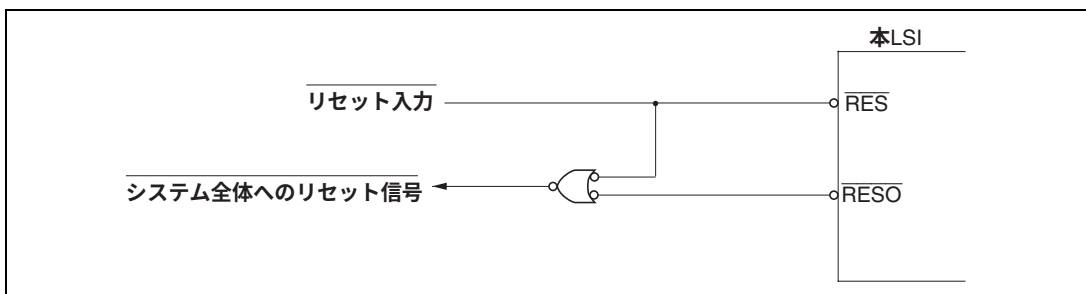


図 14.8 $\overline{\text{RESO}}$ 信号によるシステムのリセット回路例

14.5.5 高速モード、サブアクティブモード、ウォッチモード間遷移時のカウンタ値

WDT1 を時計用クロックのカウンタとして使用し、かつ高速モードとサブアクティブモード間、あるいは高速モードとウォッチモード間を遷移する場合には、内部クロックの切り替えに伴うカウンタ値のずれが生じます。

高速モードからサブアクティブモードあるいはウォッチモードへの遷移時には WDT1 の制御クロックがメインクロックからサブクロックに切り替わるタイミングで約 2~3 クロックサイクル分カウントアップタイミングが遅くなります。

また、サブクロック動作時にはメインクロック発振器がストップするため、ウォッチモードまたはサブアクティブモードから高速モードへ遷移するとき、内部発振が安定するまでの期間、クロックは供給されなくなります。このため、発振を開始し SBYCR の STS2~STS0 ビットで設定された発振安定待機時間はカウントアップを停止し、この期間分のカウンタ値のずれが生じます。

WDT1 を時計用クロックのカウンタとして使用するときは注意してください。

なお、同じモード内で動作している間は、カウンタ値のずれは発生しません。

14.5.6 OVF フラグのクリア

インターバルタイマ割り込みルーチン内では、OVF フラグのクリア条件にあるとおり、OVF=1 の状態で TCSR をリード後、OVF に 0 をライトすることで OVF フラグをクリアすることができます。

しかし、インターバルタイマ割り込みを禁止して、OVF フラグをポーリングする場合、OVF フラグのセットされるタイミングと、OVF フラグをリードするタイミングが競合したとき、OVF=1 をリードしたにもかかわらず、OVF=1 をリードしたことを認識しないことがあります。

この場合、OVF=1 の状態を 2 回以上リードすることにより、OVF フラグのクリア条件を確実に満たすことができますので、前途の例のように、OVF=1 の状態を 2 回以上リードしてから OVF フラグをクリアするようにしてください。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

15.1 概要

本 LSI は、独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

3 チャンネルの SCI のうち 1 チャンネルは、IrDA 規格バージョン 1.0 に基づく IrDA 通信波形の送受信が可能です。

15.1.1 特長

SCI の特長を以下に示します。

■シリアル通信モードを調歩同期式モード／クロック同期式モードから選択可能

(a) 調歩同期式モード

- キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信実行
- Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能
- 複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能
- シリアルデータ通信フォーマットを 12 種類のフォーマットから選択可能
 - データ長 : 7ビット／8ビット
 - ストップビット長 : 1ビット／2ビット
 - パリティ : 偶数パリティ／奇数パリティ／パリティなし
 - マルチプロセッサビット : 1／0
- 受信エラーの検出: パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出: フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出可能

(b) クロック同期式モード

- クロックに同期してシリアルデータ通信を実行
- クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能
- シリアルデータ通信フォーマットは 1 種類
- データ長: 8 ビット
- 受信エラーの検出: オーバランエラーを検出

■全二重通信が可能

- 独立した送信部と受信部を備えているので、送信と受信を同時に実行可能
- 送信部および受信部ともにダブルバッファ構造になっているのでシリアルデータの連続送信、連続受信が可能

■LSB ファースト方式／MSB ファースト方式の選択が可能

- 通信モードによらず（調歩同期式モード 7 ビットデータの場合を除く）選択可能*

【注】* 本章では、LSB ファースト方式の例を説明しています。

■内蔵ボーレートジェネレータにより任意のビットレートを選択可能

■送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

■送受信クロックを出力可能

- P86/SCK1 端子、P42/SCK2 端子は CMOS 出力
- P52/SCK0 端子は NMOS プッシュプル出力
（出力で使用する場合は、High レベルを出力するために必ず外部にプルアップ MOS を接続してください。）

■4 種類の割り込み要因

- 送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求可能
- 送信データエンプティ割り込みと受信データフル割り込みにより、データトランスファコントローラ（DTC）を起動させてデータ転送を実行可能

15.1.2 ブロック図

図 15.1 に SCI のブロック図を示します。

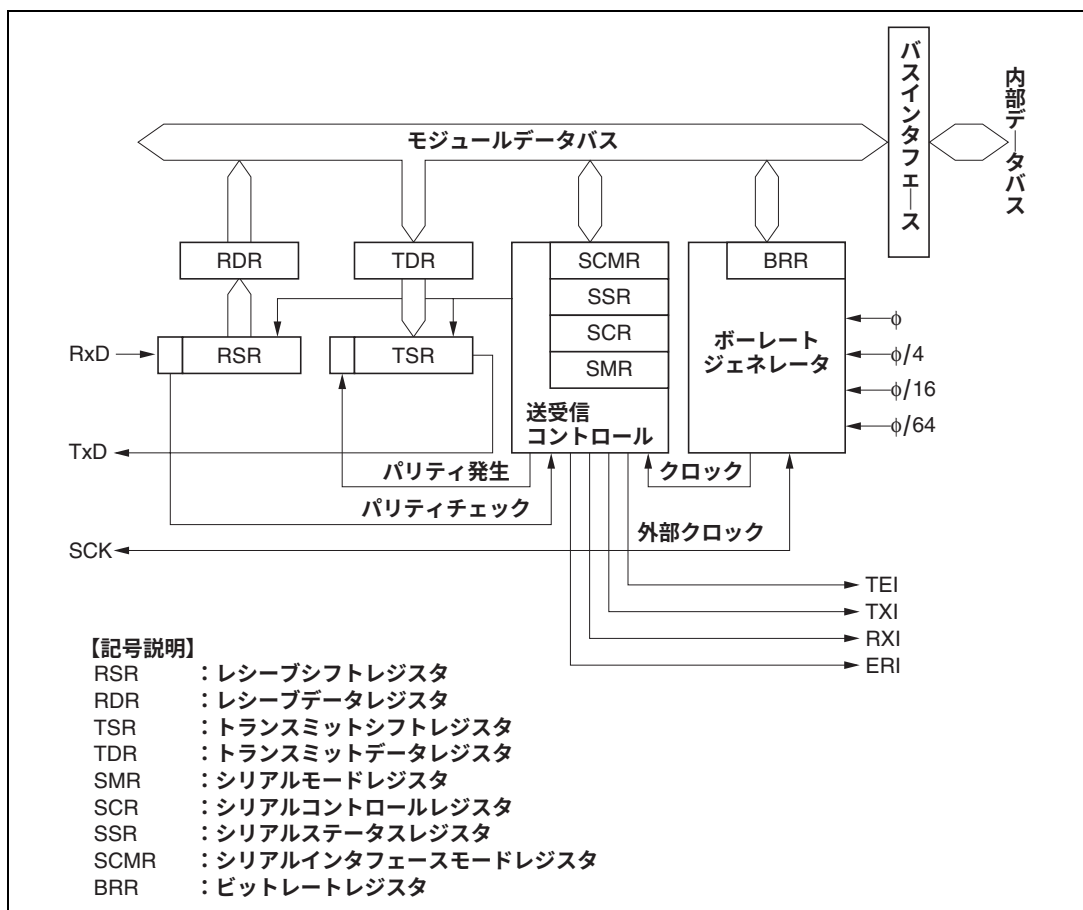


図 15.1 SCI のブロック図

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

15.1.3 端子構成

SCI は、表 15.1 に示すシリアル端子を持っています。

表 15.1 端子構成

チャンネル	名 称	記号	入出力	機 能
0	シリアルクロック端子 0	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子 0	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子 0	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子 1	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子 1	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子 1	TxD1	出力	SCI1 の送信データ出力
2	シリアルクロック端子 2	SCK2	入出力	SCI2 のクロック入出力
	レシーブデータ端子 2	RxD2/IrRxD	入力	SCI2 の受信データ入力 (通常/IrDA)
	トランスミットデータ端子 2	TxD2/IrTxD	出力	SCI2 の送信データ出力 (通常/IrDA)

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

15.1.4 レジスタ構成

SCI には、表 15.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード／クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部／受信部の制御を行うことができます。

表 15.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス ^{*1}
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FFD8 ^{*3}
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FFD9 ^{*3}
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FFDA
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FFDB
	シリアルステータスレジスタ 0	SSR0	R/(W) ^{*2}	H'84	H'FFDC
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FFDD
	シリアルインタフェースモードレジスタ 0	SCMR0	R/W	H'F2	H'FFDE ^{*3}
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF88 ^{*3}
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF89 ^{*3}
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF8A
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF8B
	シリアルステータスレジスタ 1	SSR1	R/(W) ^{*2}	H'84	H'FF8C
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF8D
	シリアルインタフェースモードレジスタ 1	SCMR1	R/W	H'F2	H'FF8E ^{*3}
2	シリアルモードレジスタ 2	SMR2	R/W	H'00	H'FFA0 ^{*3}
	ビットレートレジスタ 2	BRR2	R/W	H'FF	H'FFA1 ^{*3}
	シリアルコントロールレジスタ 2	SCR2	R/W	H'00	H'FFA2
	トランスミットデータレジスタ 2	TDR2	R/W	H'FF	H'FFA3
	シリアルステータスレジスタ 2	SSR2	R/(W) ^{*2}	H'84	H'FFA4
	レシーブデータレジスタ 2	RDR2	R	H'00	H'FFA5
	シリアルインタフェースモードレジスタ 2	SCMR2	R/W	H'F2	H'FFA6 ^{*3}
	キーボードコンパレータコントロールレジスタ	KBCOMP	R/W	H'00	H'FEE4
共通	モジュールストップ コントロールレジスタ	MSTPCR _H	R/W	H'3F	H'FF86
		MSTPCR _L	R/W	H'FF	H'FF87

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

*3 シリアルコミュニケーションインタフェースの一部のレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイムコントロールレジスタ (STCR) の IICE ビットで行います。

15.2 各レジスタの説明

15.2.1 レシーブシフトレジスタ (RSR)

ビット：	7	6	5	4	3	2	1	0
R/W：	—	—	—	—	—	—	—	—

RSR は、シリアルデータを受信するためのレジスタです。

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード／ライトすることはできません。

15.2.2 レシーブデータレジスタ (RDR)

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

RDR は、受信したシリアルデータを格納するレジスタです。

SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。このあと、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタです。CPU からライトすることはできません。

RDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

15.2.3 トランスミットシフトレジスタ (TSR)

ビット：	7	6	5	4	3	2	1	0
R/W：	—	—	—	—	—	—	—	—

TSR は、シリアルデータを送信するためのレジスタです。

SCI は、TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード／ライトすることはできません。

15.2.4 トランスミットデータレジスタ (TDR)

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておくと、連続シリアル送信ができます。

TDR は、常に CPU によるリード／ライトが可能です。

TDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'FF に初期化されます。

15.2.5 シリアルモードレジスタ (SMR)

ビット：	7	6	5	4	3	2	1	0
	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU によるリード／ライトが可能です。

SMR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

ビット 7：コミュニケーションモード (C/ $\bar{A}$)

SCI の動作モードを調歩同期式モード／クロック同期式モードのいずれかから選択します。

ビット 7	説 明
C/ $\bar{A}$	
0	調歩同期式モード (初期値)
1	クロック同期式モード

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット 6：キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット／8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説 明
CHR	
0	8 ビットデータ (初期値)
1	ビットデータ*

【注】 * 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。
また、LSB ファースト／MSB ファーストの選択はできません。

ビット 5：パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードおよびマルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット 5	説 明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット 4：パリティモード (O/E)

パリティの付加やチェックを偶数パリティ／奇数パリティのいずれで行うかを選択します。

O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合、およびマルチプロセッサフォーマットでは、O/E ビットの指定は無効です。

ビット 4	説 明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。
*² 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット 3：ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを 1 ビット／2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット 3	説 明	
STOP		
0	1 ストップビット ^{*1}	(初期値)
1	2 ストップビット ^{*2}	

【注】 *1 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット 2：マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、および O/E ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MP ビットの設定は無効です。

マルチプロセッサ通信機能については、「15.3.3 マルチプロセッサ通信機能」を参照してください。

ビット 2	説 明	
MP		
0	マルチプロセッサ機能の禁止	(初期値)
1	マルチプロセッサフォーマットを選択	

ビット 1、0：クロックセレクト 1、0 (CKS1、CKS0)

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定により、 ϕ 、 $\phi/4$ 、 $\phi/16$ 、 $\phi/64$ の 4 種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「15.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット 1	ビット 0	説 明	
CKS1	CKS0		
0	0	ϕ クロック	(初期値)
	1	$\phi/4$ クロック	
1	0	$\phi/16$ クロック	
	1	$\phi/64$ クロック	

15.2.6 シリアルコントロールレジスタ (SCR)

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR は、SCI の送信／受信動作、調歩同期モードでのシリアルクロック出力、割り込み要求の許可または禁止、および送信／受信クロックソースの選択を行うレジスタです。

SCR は、常に CPU によるリード／ライトが可能です。

SCR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

ビット 7：トランスミットインタラプトイネーブル (TIE)

TDR から TSR ヘシリアル送信データが転送され SSR の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可または禁止します。

ビット 7	説明
TIE	
0	送信データエンプティ割り込み (TXI) 要求の禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求の許可

【注】 * TXI 割り込み要求の解除は、TDRE フラグから 1 をリードしたあと、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

ビット 6：レシーブインタラプトイネーブル (RIE)

シリアル受信データが RSR から RDR ヘ転送されて SSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可または禁止します。

ビット 6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードしたあと、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。

ビット 5：トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可または禁止します。

ビット 5	説 明
TE	
0	送信動作を禁止 ^{*1} (初期値)
1	送信動作を許可 ^{*2}

【注】 *1 SSR の TDRE フラグは 1 に固定されます。

- *2 この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。
 なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。

ビット 4：レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可または禁止します。

ビット 4	説 明
RE	
0	受信動作を禁止 ^{*1} (初期値)
1	受信動作を許可 ^{*2}

【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

- *2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。
 なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット 3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可または禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには、MPIE ビットの設定は無効です。

ビット 3	説 明
MPIE	
0	マルチプロセッサ割り込み禁止状態（通常の受信動作をします）（初期値） [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB=1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * MPB=0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生（SCR の TIE、RIE ビットが 1 にセットされている場合）と FER、ORER フラグのセットが許可されます。

ビット 2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可または禁止します。

ビット 2	説 明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止*（初期値）
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SSR の TDRE フラグから 1 をリードしたあと、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

ビット 1、0：クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可または禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1=0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1=1) の場合は CKE0 ビットの設定は無効です。また、SMR で SCI の動作モードを決定する前に、CKE1、CKE0 の設定を行ってください。

SCI のクロックソースの選択についての詳細は表 15.9 を参照してください。

ビット 1	ビット 0	説 明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック/SCK 端子は入出力ポート* ¹
		クロック同期式モード	内部クロック/SCK 端子は同期クロック出力* ¹
	1	調歩同期式モード	内部クロック/SCK 端子はクロック出力* ²
		クロック同期式モード	内部クロック/SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック/SCK 端子はクロック入力* ³
		クロック同期式モード	外部クロック/SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック/SCK 端子はクロック入力* ³
		クロック同期式モード	外部クロック/SCK 端子は同期クロック入力

【注】 *¹ 初期値

*² ビットレートと同じ周波数のクロックを出力

*³ ビットレートの 16 倍の周波数のクロックを入力

15.2.7 シリアルステータスレジスタ (SSR)

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。

SSR は常に CPU からリード／ライトできます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 をライトすることはできません。また、これらを 0 にクリアするためには、あらかじめ 1 をリードしておく必要があります。また、TEND フラグおよび MPB フラグはリード専用であり、ライトすることはできません。

SSR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'84 に初期化されます。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット 7：トランスミットデータレジスタエンプティ (TDRE)

TDR から TSR にデータ転送が行われ、TDR に次のシリアル送信データをライトすることが可能になったことを示します。

ビット 7	説 明
TDRE	
0	[クリア条件] (1) TDRE=1 の状態をリードしたあと、0 をライトしたとき (2) TXI 割り込み要求による DTC で TDR ヘデータをライトしたとき
1	[セット条件] (初期値) (1) SCR の TE ビットが 0 のとき (2) TDR から TSR にデータ転送が行われ、TDR にデータライトが可能になったとき

ビット 6：レシーブデータレジスタフル (RDRF)

受信したデータが RDR に格納されていることを示します。

ビット 6	説 明
RDRF	
0	[クリア条件] (初期値) (1) RDRF=1 の状態をリードしたあと、0 をライトしたとき (2) RXI 割り込み要求による DTC で RDR のデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR の RE ビットを 0 にクリアしたときには RDR および RDRF フラグは影響を受けず以前の状態を保持します。

RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

ビット 5：オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 5	説 明
ORER	
0	[クリア条件] (初期値) ORER=1 の状態をリードしたあと、0 をライトしたとき
1	[セット条件] RDRF=1 の状態で次のシリアル受信を完了したとき ^{*2}

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*2 RDR ではオーバランエラーが発生する前の受信データを保持し、あとから受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。

ビット4：フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説 明
FER	
0	【クリア条件】 FER=1 の状態をリードしたあと、0 をライトしたとき (初期値)
1	【セット条件】 SCI が受信終了時に受信データの最後尾のストップビットをチェックし、ストップビットが0であったとき*2

【注】 *1 SCR の RE ビットを0にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。

*2 2 ストップビットモードのときは、1 ビット目のストップビットのみを判定し、2 ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが1にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット3：パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説 明
PER	
0	【クリア条件】 PER=1 の状態をリードしたあと、0 をライトしたとき (初期値)
1	【セット条件】 受信時の受信データとパリティビットをあわせた1の数が、SMR の O/E ビットで指定した偶数パリティ／奇数パリティの設定と一致しなかったとき*2

【注】 *1 SCR の RE ビットを0にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット 2：トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND フラグはリード専用です。ライトは無効です。

ビット 2	説 明
TEND	
0	【クリア条件】 (1) TDRE=1 の状態をリードしたあと、TDRE フラグに 0 をライトしたとき (2) TXI 割り込み要求による DTC で TDR ヘデータをライトしたとき
1	【セット条件】 (初期値) (1) SCR の TE ビットが 0 のとき (2) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき

ビット 1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用です。ライトは無効です。

ビット 1	説 明
MPB	
0	【クリア条件】 (初期値) マルチプロセッサビットが 0 のデータを受信したとき
1	【セット条件】 マルチプロセッサビットが 1 のデータを受信したとき

【注】 * マルチプロセッサフォーマットで SCR の RE ビットを 0 にクリアしたときには、以前の状態を保持します。

ビット 0：マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

マルチプロセッサフォーマットではないとき、あるいは送信でないとき、およびクロック同期式モードには MPBT ビットの設定は無効です。

ビット 0	説 明
MPBT	
0	マルチプロセッサビットが 0 のデータを送信したとき (初期値)
1	マルチプロセッサビットが 1 のデータを送信したとき

15.2.8 ビットレートレジスタ (BRR)

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信／受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU によるリード／ライトが可能です。

BRR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'FF に初期化されます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 15.3 に調歩同期式モードの BRR の設定例を表 15.4 にクロック同期式モードの BRR の設定例を示します。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.3 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	-	-	-	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	-2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	—	—	—	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	—	—	—

ビットレート (bit/s)	動作周波数 ϕ (MHz)					
	9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25
150	1	127	0.00	2	129	0.16
300	1	255	0.00	2	64	0.16
600	0	127	0.00	1	129	0.16
1200	0	255	0.00	1	64	0.16
2400	0	127	0.00	0	129	0.16
4800	0	63	0.00	0	64	0.16
9600	0	31	0.00	0	32	-1.36
19200	0	15	0.00	0	15	1.73
31250	—	9	-1.70	0	9	0.00
38400	0	7	0.00	0	7	1.73

【記号説明】 —：設定可能ですが、誤差がでます。

【注】 誤差はなるべく 1%以内になるように設定してください。

H8S/2149、H8S/2169 の最大動作周波数は 10MHz です。

表 15.4 ビットレートに対する BRR の設定例 (クロック同期式モード)

ビットレート (bit/s)	動作周波数 ϕ (MHz)							
	2		4		8		10	
	n	N	n	N	n	N	n	N
110	3	70	—	—				
250	2	124	2	249	3	124	—	—
500	1	249	2	124	2	249	—	—
1k	1	124	1	249	2	124	—	—
2.5k	0	199	1	99	1	199	1	249
5k	0	99	0	199	1	99	1	124
10k	0	49	0	99	0	199	0	249
25k	0	19	0	39	0	79	0	99
50k	0	9	0	19	0	39	0	49
100k	0	4	0	9	0	19	0	24
250k	0	1	0	3	0	7	0	9
500k	0	0*	0	1	0	3	0	4
1M			0	0*	0	1		
2.5M							0	0*
5M								

【記号説明】

空欄 : 設定できません

— : 設定可能ですが誤差がでます

* : 連続送信／受信はできません

【注】 誤差は、なるべく 1%以内になるように設定してください。

H8S/2149、H8S/2169 の最大動作周波数は 10MHz です。

BRR の設定値は以下の計算式で求められます。

調歩同期式モード

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

クロック同期式モード

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$) ϕ : 動作周波数 (MHz)n : ボーレートジェネレータ入力クロック ($n=0 \sim 3$)

(n とクロックの関係は下表を参照してください。)

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi/4$	0	1
2	$\phi/16$	1	0
3	$\phi/64$	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 15.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 15.6、表 15.7 に外部クロック入力時の最大ビットレートを示します。

表 15.5 各周波数における最大ビットレート (調歩同期式モード)

ϕ (MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0

【注】 H8S/2149、H8S/2169 の最大動作周波数は 10MHz です。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250

【注】 H8S/2149、H8S/2169 の最大動作周波数は 10MHz です。

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7

【注】 H8S/2149、H8S/2169 の最大動作周波数は 10MHz です。

15.2.9 シリアルインタフェースモードレジスタ (SCMR)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	SMIF
初期値：	1	1	1	1	0	0	1	0
R/W：	—	—	—	—	R/W	R/W	—	R/W

SCMR は、8 ビットのリード／ライト可能なレジスタで、SCI の機能の選択を行います。

SCMR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'F2 に初期化されます。

ビット 7～4：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3：データトランスファディレクション (SDIR)

シリアル／パラレル変換のフォーマットを選択します。

ビット 3	説 明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

ビット 2：データインバート (SINV)

データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットの反転のためには、SMR の O/ $\bar{E}$ ビットを反転する必要があります。

ビット 2	説 明
SINV	
0	TDR の内容をそのまま送信 受信データをそのまま RDR に格納 (初期値)
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納

ビット 1：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット 0：シリアルコミュニケーションインタフェースモードセレクト (SMIF)

リザーブビットです。1 をライトしないでください。

ビット 0	説 明
SMIF	
0	通常 SCI モード (初期値)
1	リザーブモード

15.2.10 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCR _H								MSTPCR _L								
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP7～MSTP5 ビットを 1 にセットすると、バスサイクルの終了時点で SCI0～SCI2 はそれぞれ動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7：モジュールストップ (MSTP7)

SCI0 のモジュールストップモードを指定します。

MSTPCRL ビット 7	説 明
MSTP7	
0	SCI0 のモジュールストップモード解除
1	SCI0 のモジュールストップモード設定 (初期値)

ビット 6：モジュールストップ (MSTP6)

SCI1 のモジュールストップモードを指定します。

MSTPCRL ビット 6	説 明
MSTP6	
0	SCI1 のモジュールストップモード解除
1	SCI1 のモジュールストップモード設定 (初期値)

ビット 5：モジュールストップ (MSTP5)

SCI2 のモジュールストップモードを指定します。

MSTPCRL ビット 5	説 明
MSTP5	
0	SCI2 のモジュールストップモード解除
1	SCI2 のモジュールストップモード設定 (初期値)

15.2.11 キーボードコンパレータコントロールレジスタ (KBCOMP)

ビット：	7	6	5	4	3	2	1	0
	IrE	IrCKS2	IrCKS1	IrCKS0	KBADE	KBCH2	KBCH1	KBCH0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

KBCOMP は、8 ビットのリード／ライト可能なレジスタで、SCI2 の機能の選択および A/D 変換器の機能の選択を行います。

KBCOMP は、リセット、ハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7：IrDA イネーブル (IrE)

SCI2 の入出力を通常の SCI か IrDA かに設定します。

ビット 7	説 明
IrE	
0	TxD2/IrTxD、RxD2/IrRxD 端子は TxD2、RxD2 として動作 (初期値)
1	TxD2/IrTxD、RxD2/IrRxD 端子は IrTxD、IrRxD として動作

ビット 6～4：IrDA クロックセレクト 2～0 (IrCKS2～IrCKS0)

IrDA 機能をイネーブルにしたとき、IrTxD 出力パルスエンコード時の High パルス幅を設定します。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット 6	ビット 5	ビット 4	説 明
IrCKS2	IrCKS1	IrCKS0	
0	0	0	B×3/16 (ビットレートの 16 分の 3) (初期値)
		1	φ/2
	1	0	φ/4
		1	φ/8
1	0	0	φ/16
		1	φ/32
	1	0	φ/64
		1	φ/128

ビット 3～0：キーボードコンパレータコントロール

「第 20 章 A/D 変換器」の説明を参照してください。

15.3 動作説明

15.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを表 15.8 に示します。また、SCI のクロックソースは、SMR の C/A ビットおよび SCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 15.9 に示します。

(1) 調歩同期式モード

■データ長：7 ビット／8 ビットから選択可能

■パリティの付加、マルチプロセッサビットの付加、および 1 ビット／2 ビットのストップビットの付加を選択可能

(これらの組み合わせにより送信／受信フォーマットおよび、キャラクタ長を決定)

■受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能

■SCI のクロックソース：内部クロック／外部クロックから選択可能

- 内部クロックを選択した場合：
SCI はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
- 外部クロックを選択した場合：
ビットレートの 16 倍の周波数のクロックを入力することが必要 (内蔵ボーレートジェネレータを使用しない)

(2) クロック同期式モード

■送信／受信フォーマット：8 ビットデータ固定

■受信時にオーバランエラーの検出可能

■SCI のクロックソース：内部クロック／外部クロックから選択可能

- 内部クロックを選択した場合：
SCI はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
- 外部クロックを選択した場合：
内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.8 SMR の設定値とシリアル送信／受信フォーマット

SMR の設定値					モード	SCI の送信／受信フォーマット					
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセッサ ビット	パリティ ビット	ストップ ビット長		
C/ $\bar{A}$	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式 モード	8 ビット データ	なし	なし	1 ビット		
				1					2 ビット		
			1	0				あり	1 ビット		
				1					2 ビット		
			1	0		0		7 ビット データ	なし	1 ビット	
						1				2 ビット	
				1		0			あり	1 ビット	
						1				2 ビット	
	0	1	—	0	調歩同期式 モード (マルチプロ セッサフォー マット)	8 ビット データ	あり	なし	1 ビット		
				1					2 ビット		
			—	0		7 ビット データ			1 ビット		
				—					2 ビット		
		1	—	クロック 同期式 モード		8 ビット データ			なし		なし

表 15.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信／受信クロック	
	ビット 7	ビット 1		クロック ソース	SCK 端子の機能
C/ $\bar{A}$	CKE1	CKE0			
0	0	0	調歩同期式 モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式 モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

15.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信または受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード／ライトができ、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット (Low レベル) から始まりデータ (LSB ファースト：最下位ビットから)、パリティビット (High/Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

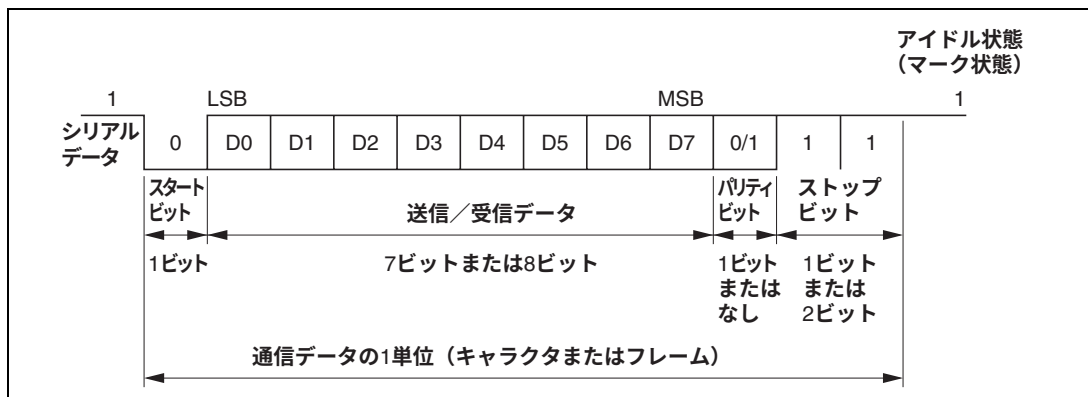


図 15.2 調歩同期式通信のデータフォーマット
(8 ビットデータ/パリティあり/2 ストップビットの例)

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

(1) 送信／受信フォーマット

調歩同期式モードで設定できる送信／受信フォーマットを、表 15.10 に示します。
送信／受信フォーマットは 12 種類あり、SMR の選定により選択できます。

表 15.10 シリアル送信／受信フォーマット（調歩同期式モード）

SMRの設定				シリアル送信／受信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S	8ビットデータ								STOP		
0	0	0	1	S	8ビットデータ								STOP	STOP	
0	1	0	0	S	8ビットデータ								P	STOP	
0	1	0	1	S	8ビットデータ								P	STOP	STOP
1	0	0	0	S	7ビットデータ							STOP			
1	0	0	1	S	7ビットデータ							STOP	STOP		
1	1	0	0	S	7ビットデータ							P	STOP		
1	1	0	1	S	7ビットデータ							P	STOP	STOP	
0	—	1	0	S	8ビットデータ								MPB	STOP	
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP
1	—	1	0	S	7ビットデータ							MPB	STOP		
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP	

【記号説明】

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセスサビット

(2) クロック

SCI の送受信クロックは、SMR の $C/\overline{A}$ ビットと SCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 15.9 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 15.3 に示すように送信データの中央にクロック立ち上がりエッジがくるようになります。

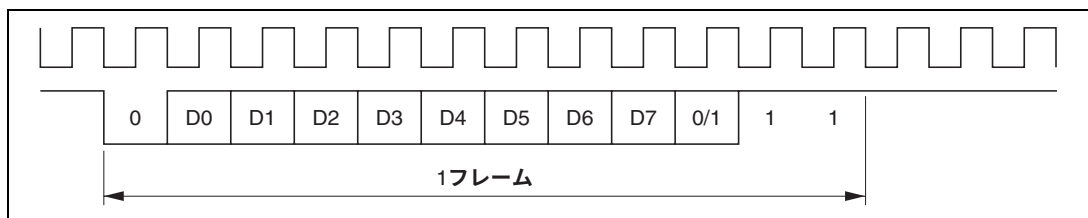


図 15.3 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信／受信動作

(a) SCI の初期化 (調歩同期式)

データの送信／受信前には、まず SCR の TE、RE ビットを 0 にクリアしたあと、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 15.4 に SCI の初期化フローチャートの例を示します。

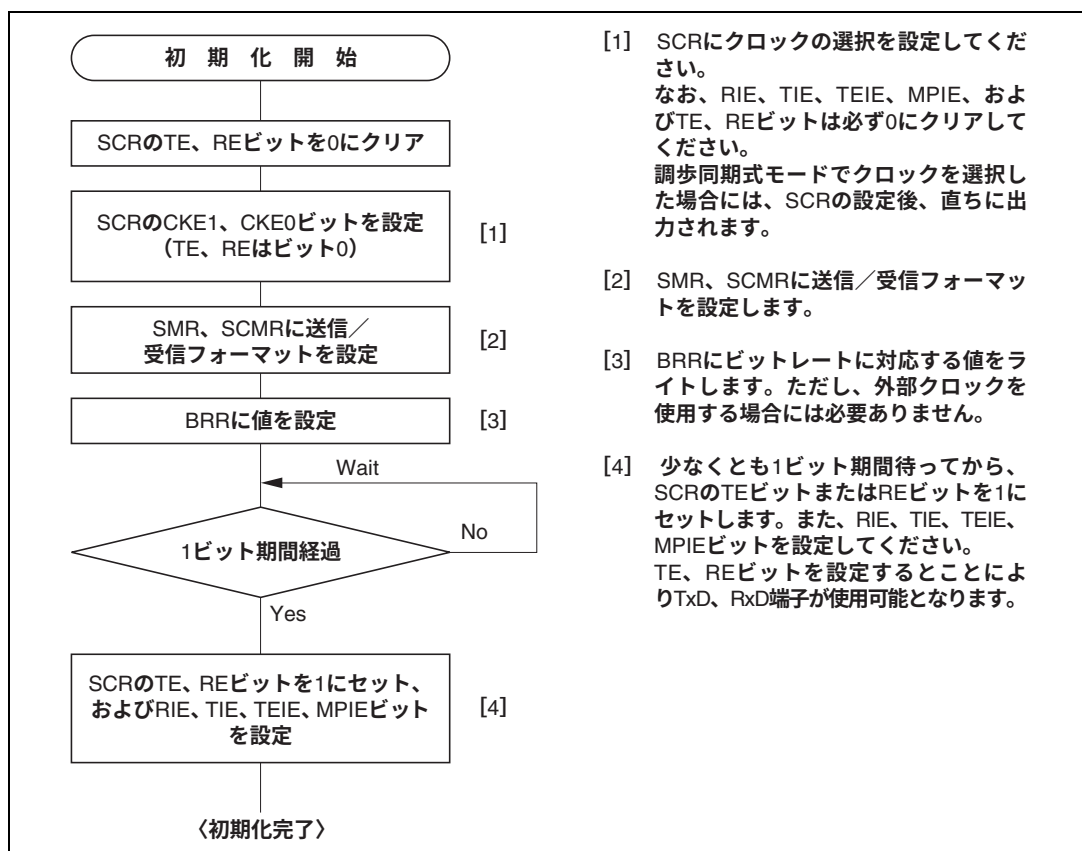


図 15.4 SCI の初期化フローチャートの例

(b) シリアルデータ送信（調歩同期式）

図 15.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

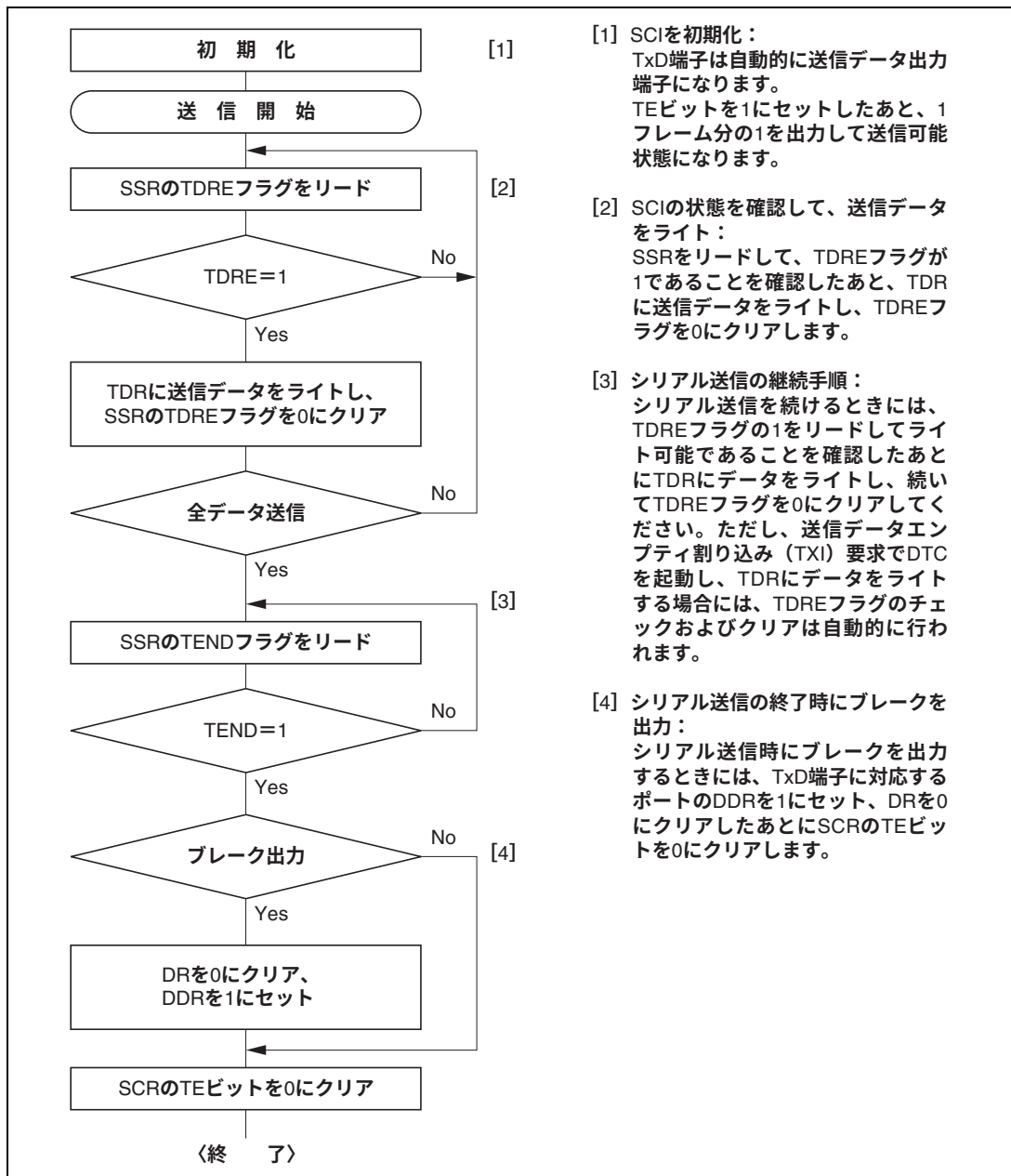


図 15.5 シリアル送信のフローチャートの例

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

SCI はシリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送したあとにTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求が発生します。
シリアル送信データは、以下の順にTxD端子から送り出されます。
 - [a] スタートビット：
1ビットの0が出力されます。
 - [b] 送信データ：
8ビット、または7ビットのデータがLSBから順に出力されます。
 - [c] パリティビットまたはマルチプロセッサビット：
1ビットのパリティビット（偶数パリティ、または奇数パリティ）、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - [d] ストップビット：
1ビットまたは2ビットの1（ストップビット）が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [3] SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出したあと、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグに1をセットし、ストップビットを送り出したあと、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされているとTEI割り込み要求が発生します。

調歩同期式モードでの送信時の動作例を図 15.6 に示します。

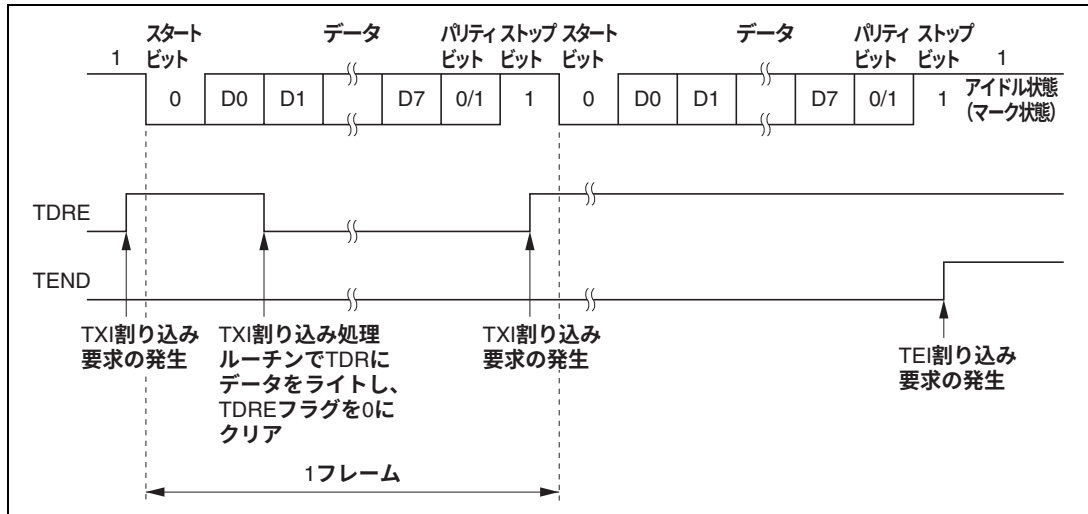


図 15.6 調歩同期式モードでの送信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 15.7 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。

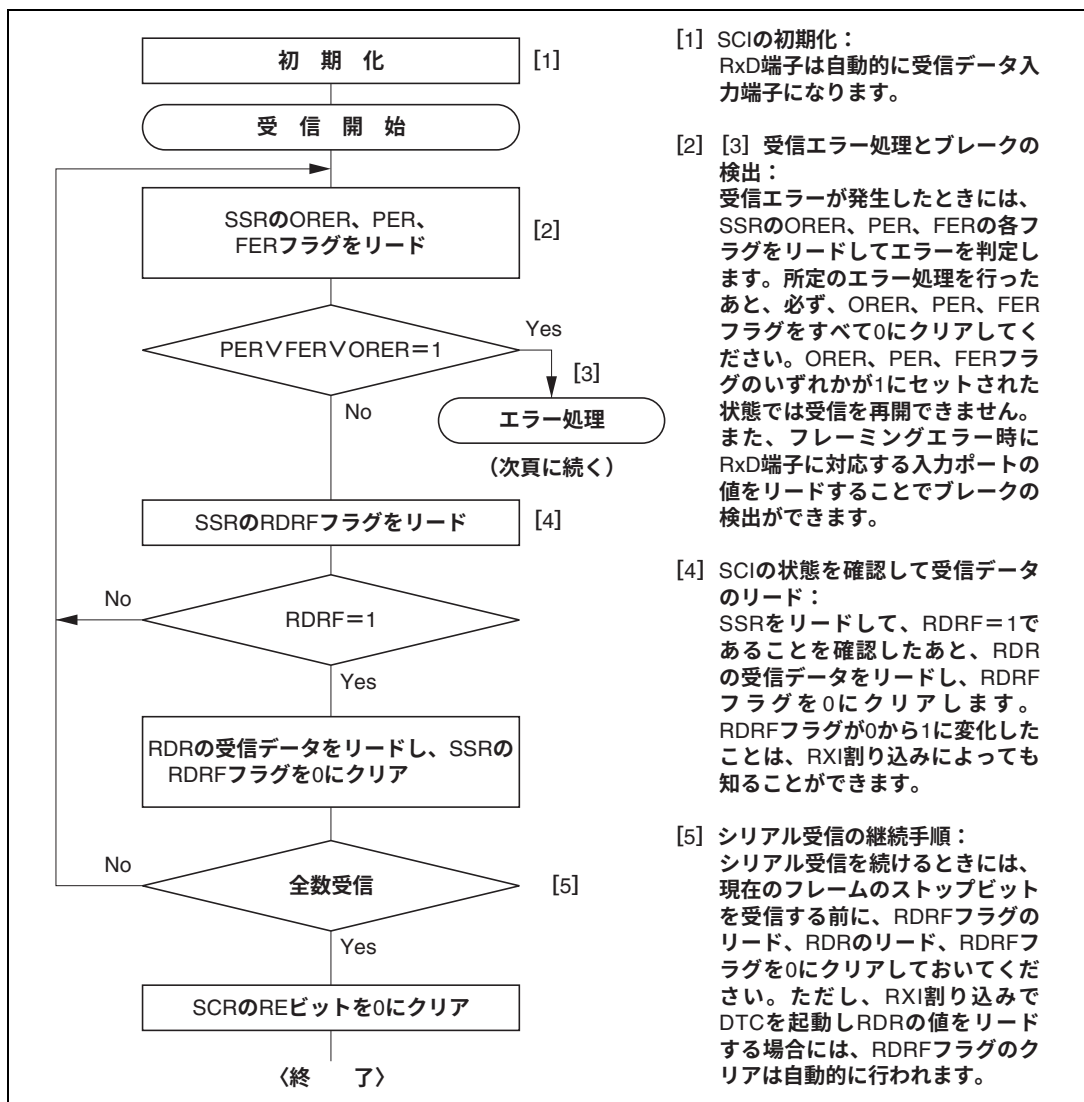


図 15.7 シリアル受信データフローチャートの例 (1)

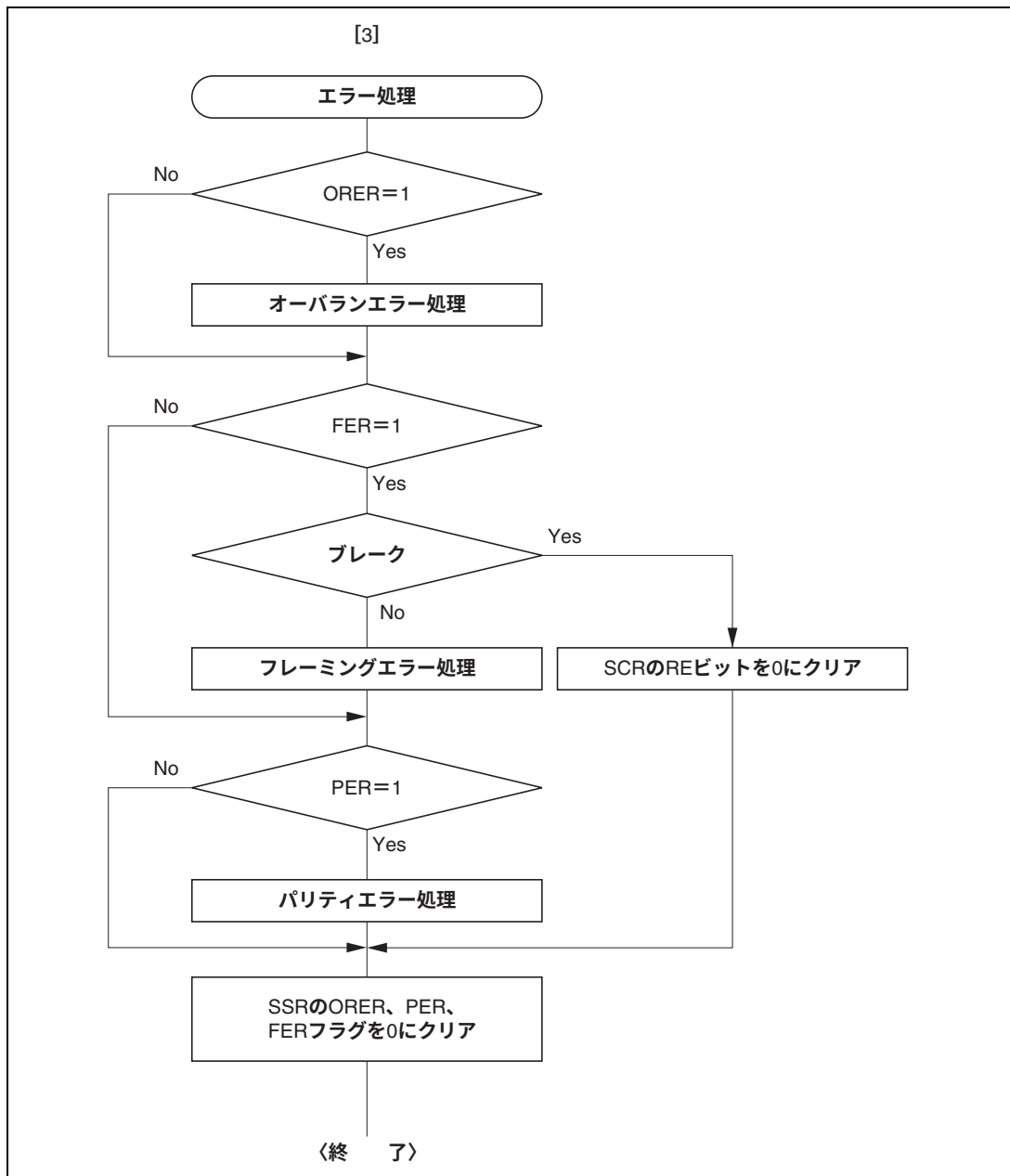


図 15.7 シリアル受信データフローチャートの例 (2)

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

SCI は受信時に以下のように動作します。

- [1] SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- [2] 受信したデータをRSRのLSBからMSBの順に格納します。
- [3] パリティビットおよびストップビットを受信します。
受信後、SCIは以下のチェックを行います。
 - [a] パリティチェック：
受信データの1の数をチェックし、これがSMRのO/Eビットで設定した偶数／奇数パリティになっているかをチェックします。
 - [b] ストップビットチェック：
ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のみをチェックします。
 - [c] ステータスチェック：
RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックをすべて満足したとき、RDRF フラグが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラー*を発生すると表 15.11 のように動作します。

【注】 * 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

- [4] RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み（RXI）要求を発生します。
また、ORER、PER、FERフラグのいずれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み（ERI）要求を発生します。

表 15.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数／奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期式モード受信時の動作例を図 15.8 に示します。

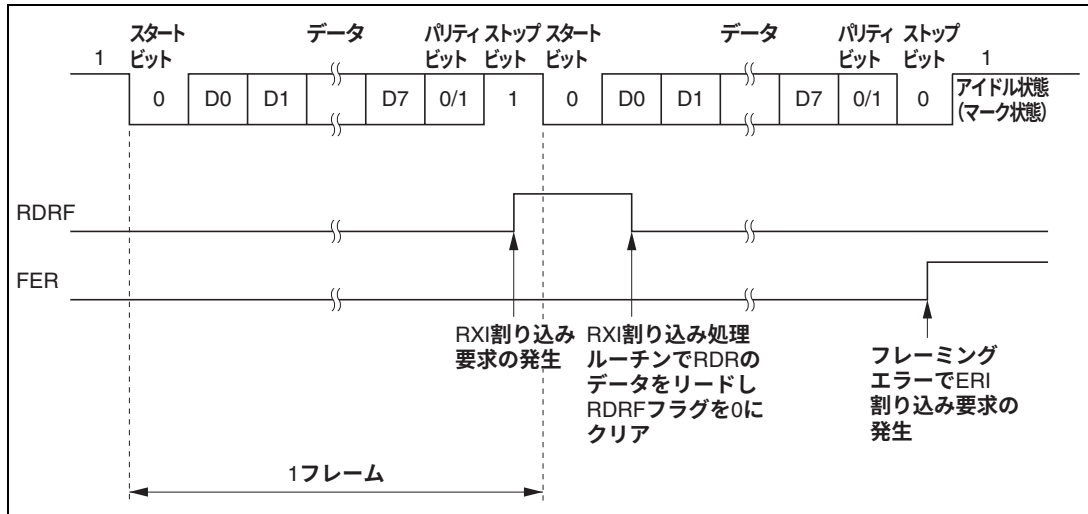


図 15.8 SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

15.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局はおのおの固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方、一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 15.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信/受信フォーマット

送信/受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 15.10 を参照してください。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

(2) クロック

調歩同期式モードの項を参照してください。

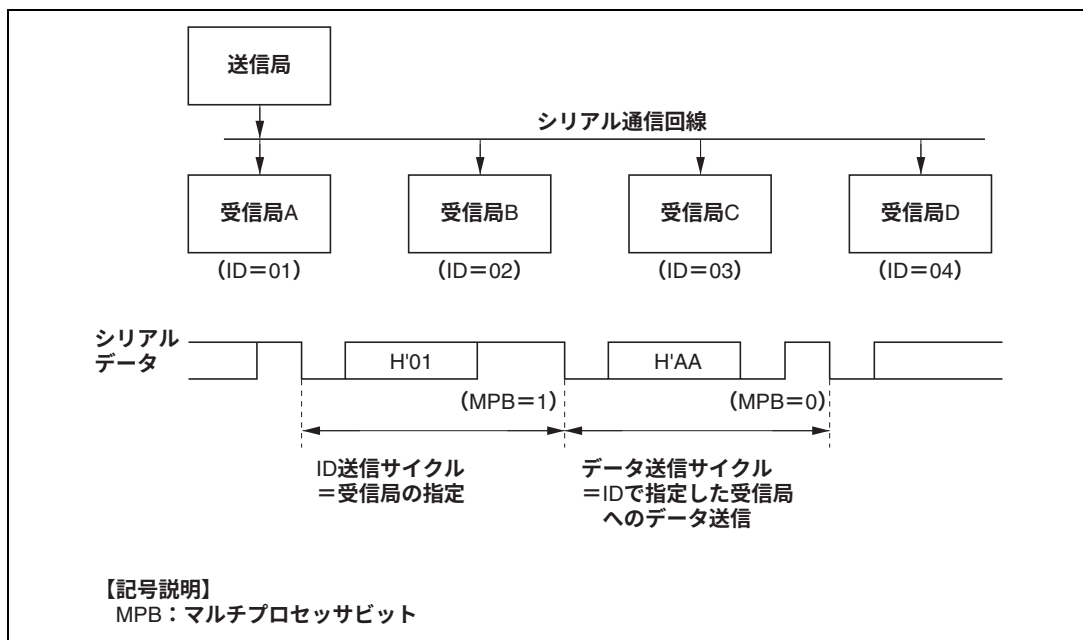


図 15.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信／受信動作

(a) マルチプロセッサシリアルデータ送信

図 15.10 にマルチプロセッサシリアルデータ送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

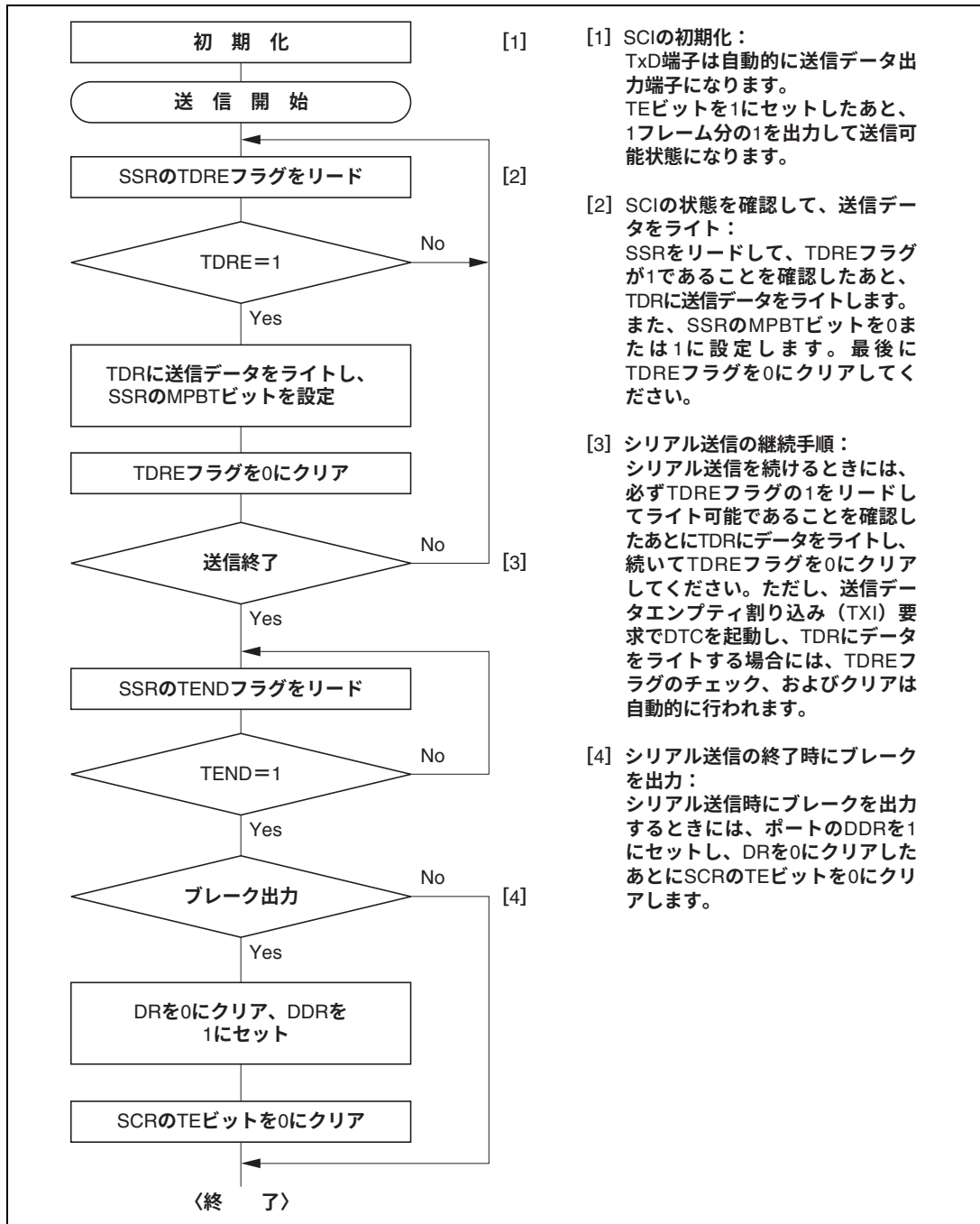


図 15.10 マルチプロセッサシリアル送信のフローチャートの例

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

SCI は、シリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送したあとにTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
シリアル送信データは、以下の順にTxD端子から送り出されます。
 - [a] スタートビット：
1ビットの0が出力されます。
 - [b] 送信データ：
8ビット／7ビットのデータがLSBから順に出力されます。
 - [c] マルチプロセッサビット：
1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
 - [d] ストップビット：
1ビット／2ビットの1 (ストップビット) が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [3] SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出したあと、次のフレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグを1にセットし、ストップビットを送り出したあと、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 15.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

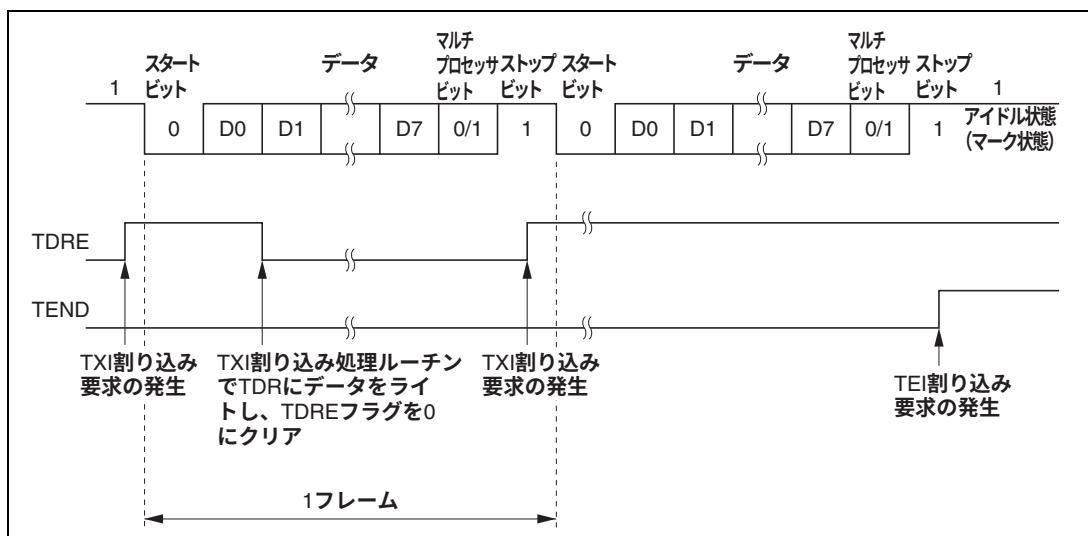


図 15.11 SCI の送信時の動作例
(8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 15.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。
マルチプロセッサシリアルデータ受信は、以下の手順に従い行ってください。

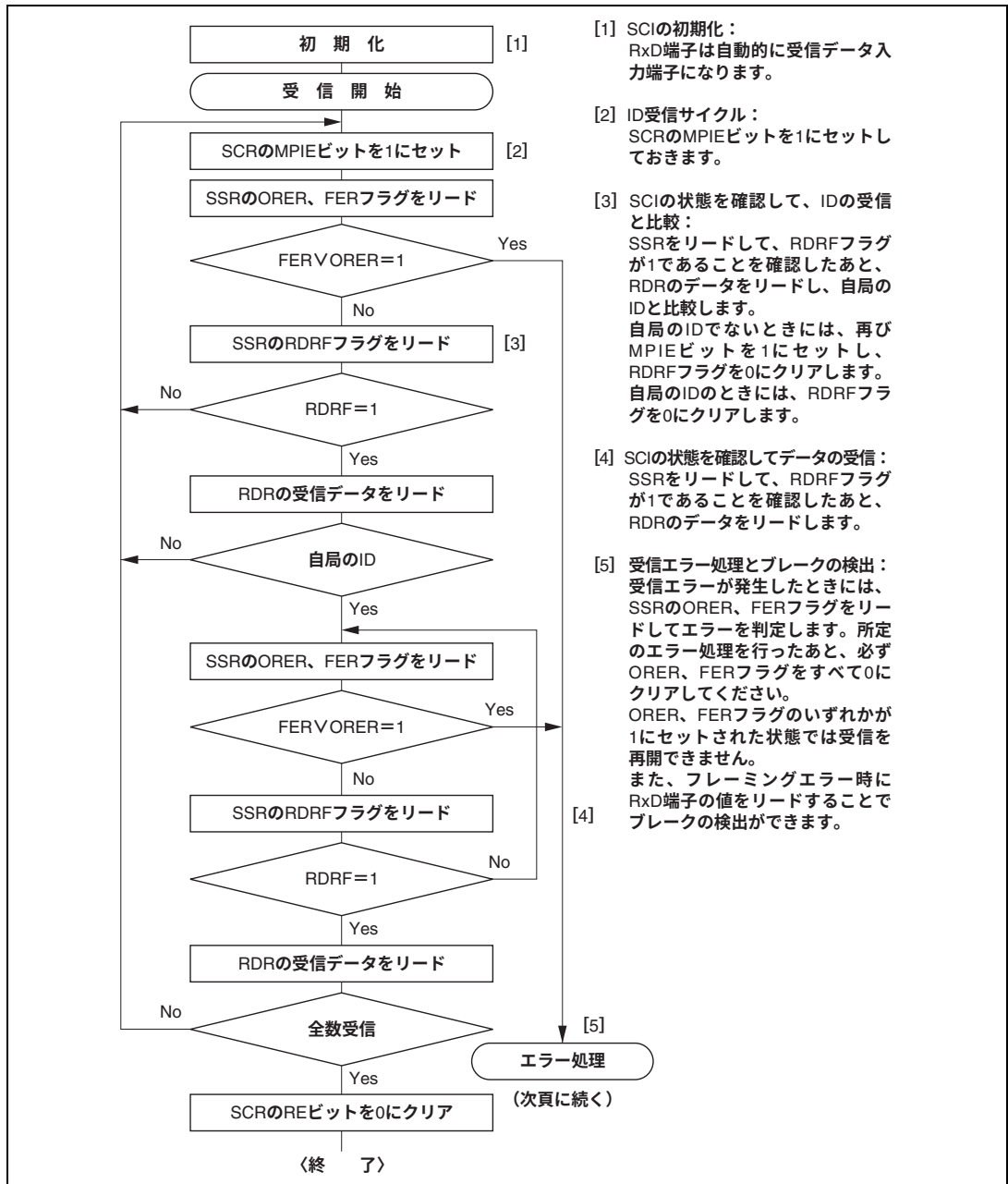


図 15.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

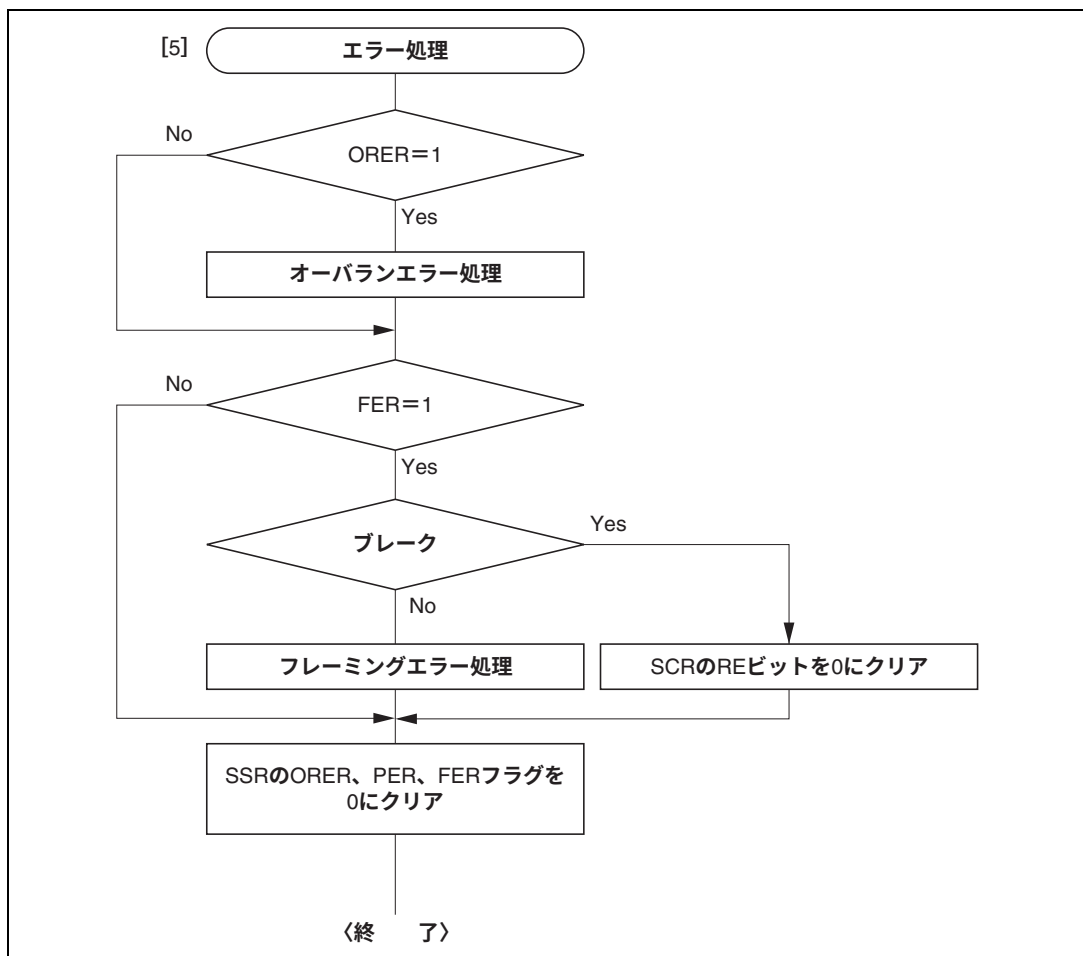


図 15.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 15.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

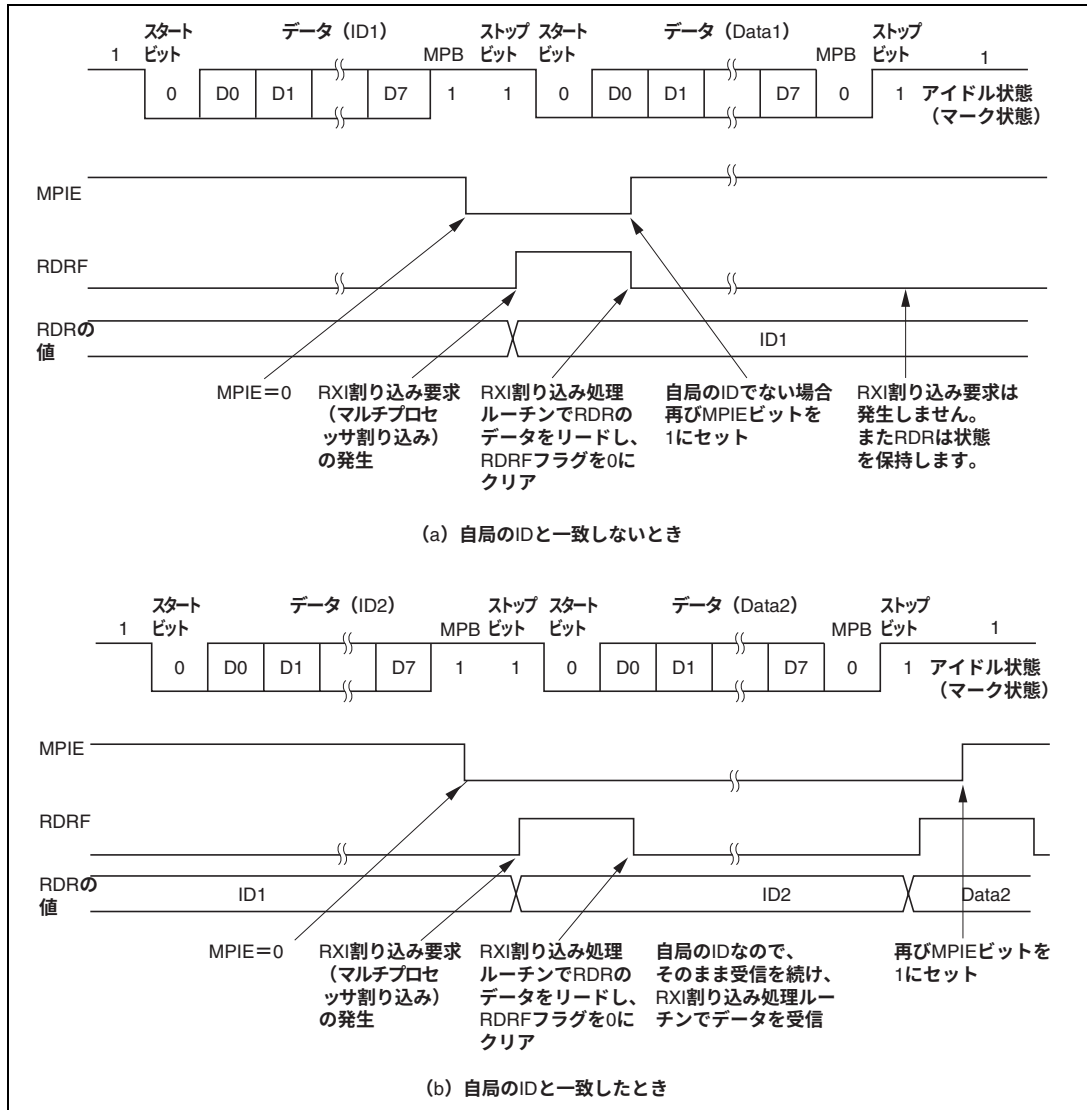


図 15.13 SCI の受信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

15.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信または受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信および受信中にデータのリード／ライトができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 15.14 に示します。

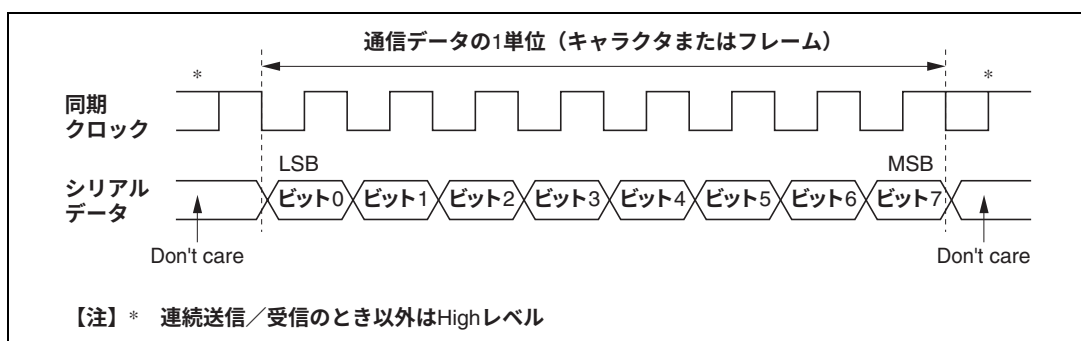


図 15.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信／受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 15.9を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信／受信を行わないときにはHighレベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信／受信動作

(a) SCI の初期化 (クロック同期式)

データの送信／受信前には、SCR の TE、RE ビットを 0 にクリアしたあと、以下の手順に従い SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

図 15.15 に SCI の初期化フローチャートの例を示します。

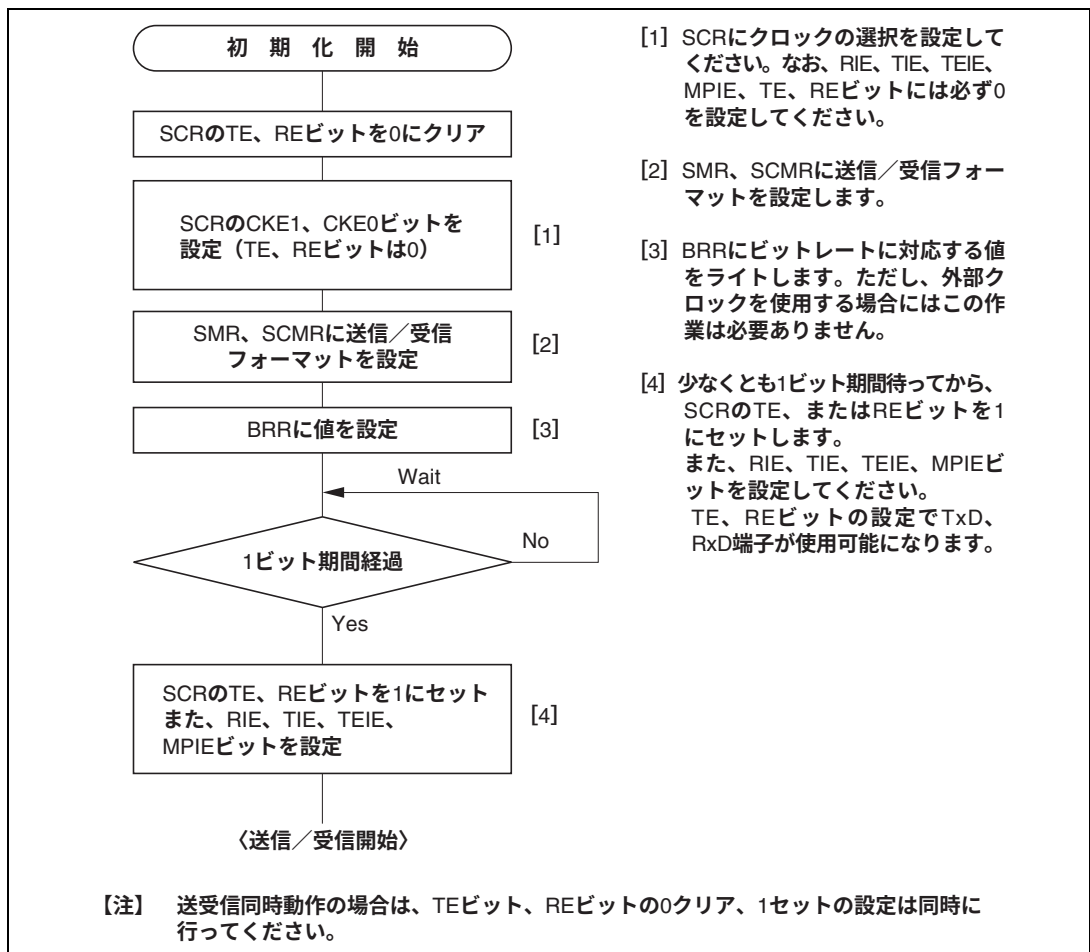


図 15.15 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (クロック同期式)

図 15.16 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

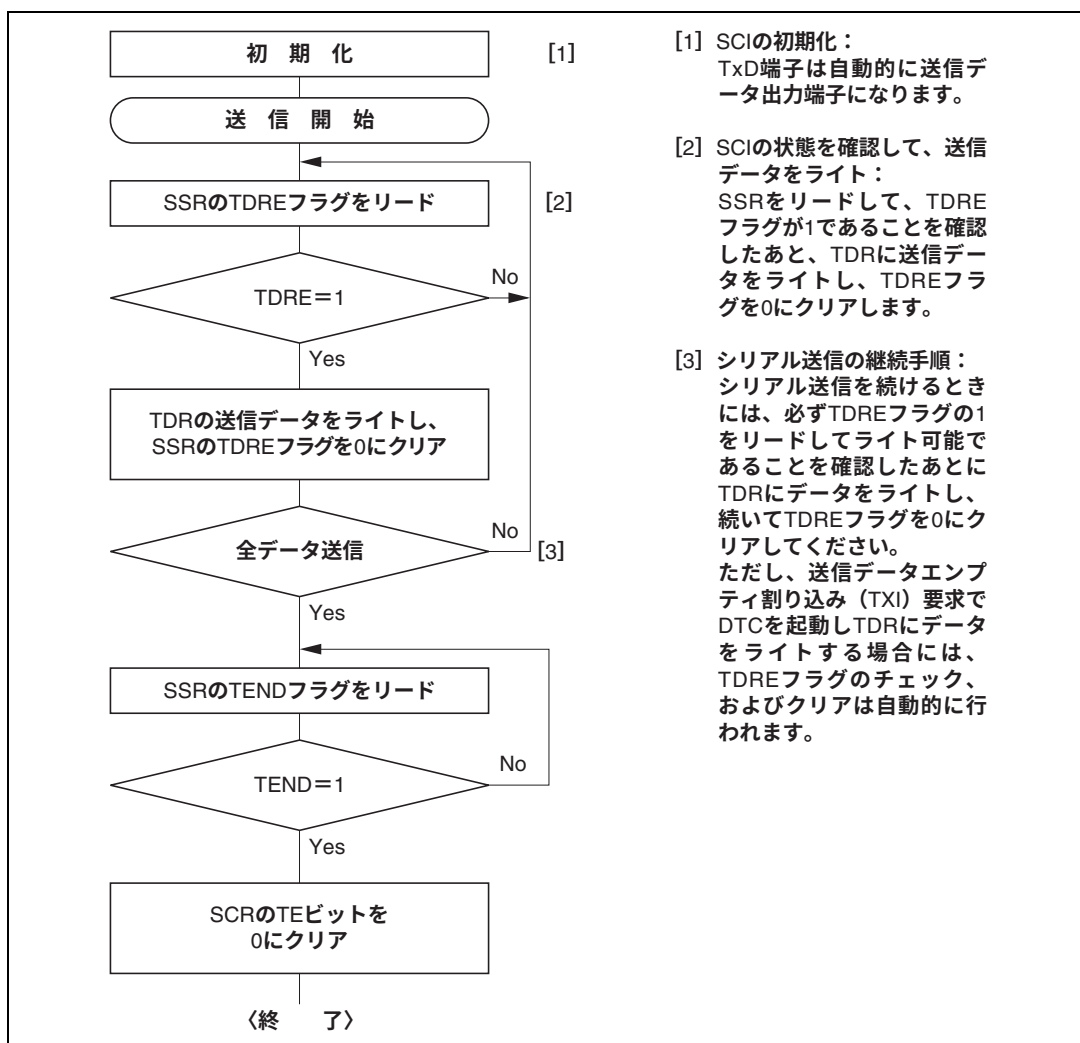


図 15.16 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送したあとにTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSB (ビット0) からMSB (ビット7) の順にTxD端子から送り出されます。
- [3] SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグを1にセットし、MSB (ビット7) を送り出したあと、TxD端子は状態を保持します。
このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。
- [4] シリアル送信終了後は、SCK端子は固定になります。

図 15.17 に SCI の送信時の動作例を示します。

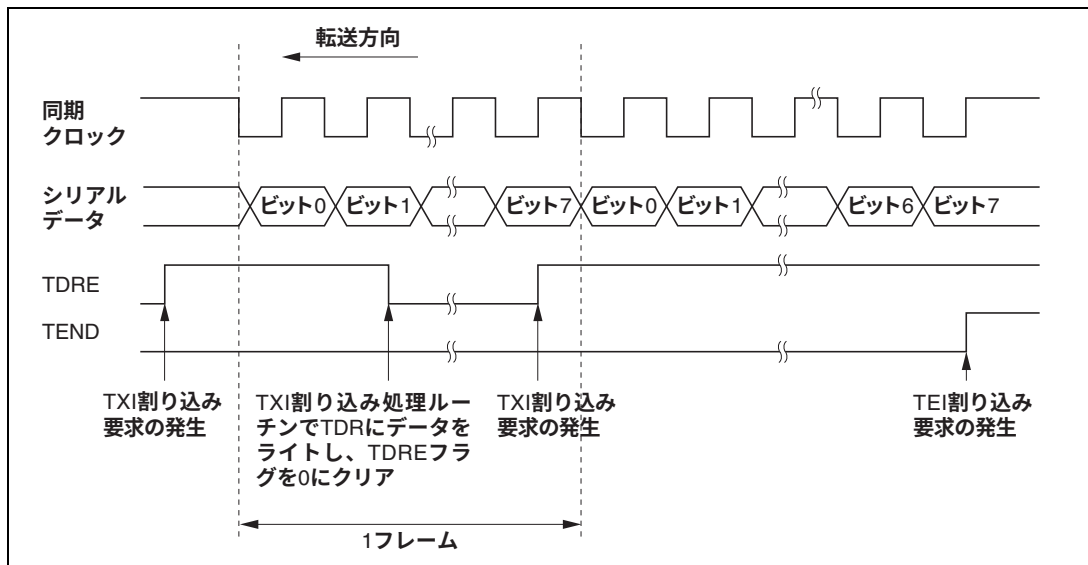


図 15.17 SCI の送信時の動作例

(c) シリアルデータ受信 (クロック同期式)

図 15.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、送信動作および受信動作のいずれも行うことができません。

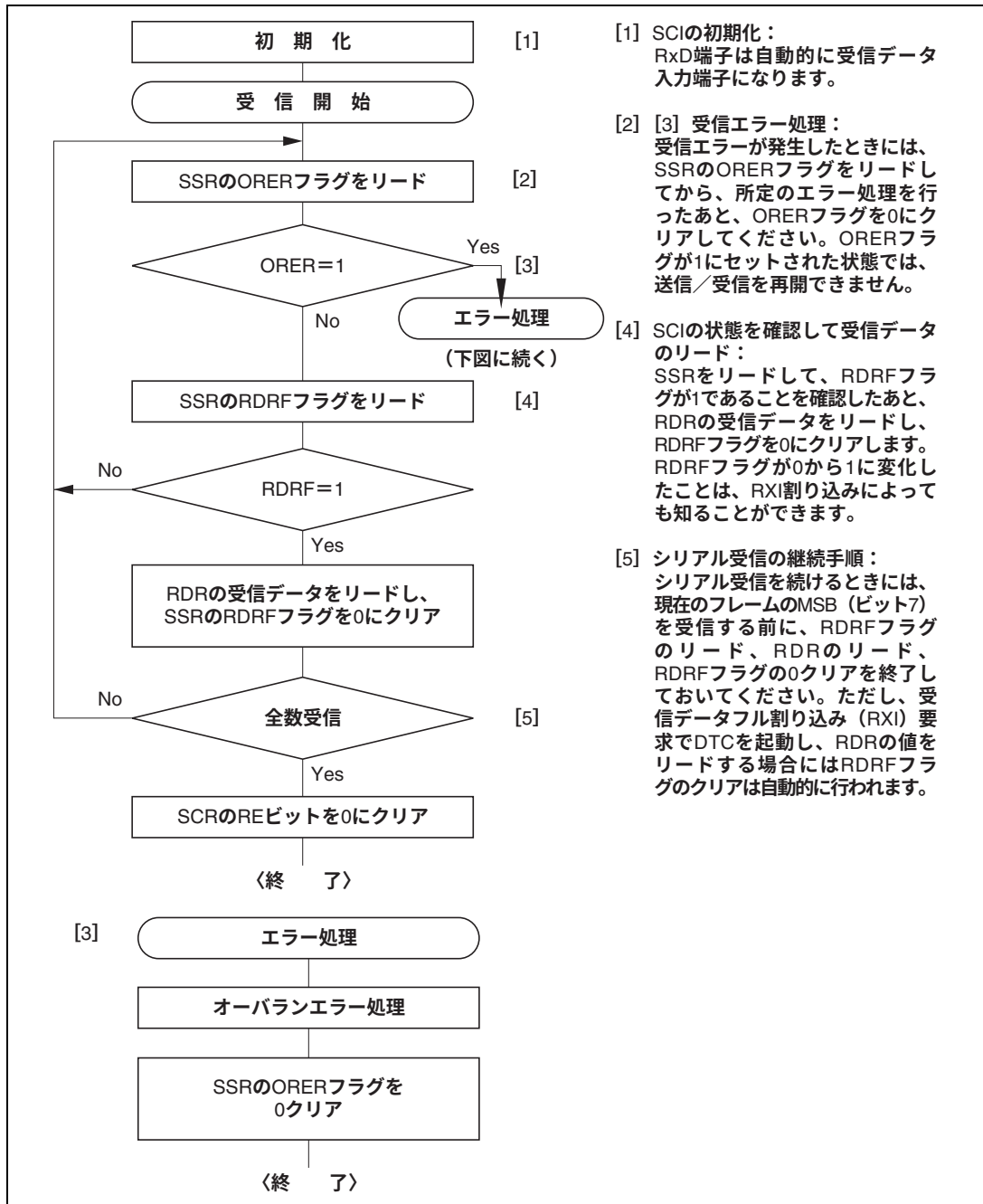


図 15.18 シリアルデータ受信フローチャートの例

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

SCI は受信時に以下のように動作します。

- [1] SCIは同期クロックの入力または出力に同期して内部を初期化します。
- [2] 受信したデータをRSRのLSBからMSBの順に格納します。
受信後、SCIは、RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
このチェックを満足したときRDRFフラグが1にセットされ、RDRに受信データが格納されます。エラーチェックで受信エラーを発生すると、表15.11のように動作します。
エラーチェックで受信エラーを発生した状態では以後の送信動作、受信動作のいずれも行いうことができません。
- [3] RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORERフラグが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

図 15.19 に SCI の受信時の動作例を示します。

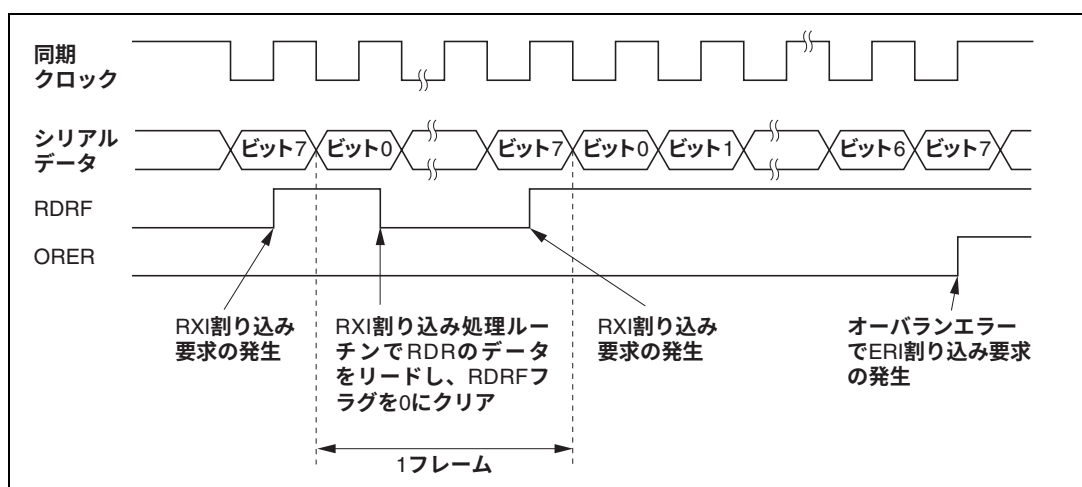


図 15.19 SCI の受信時の動作例

(d) シリアルデータ送受信同時動作 (クロック同期式)

図 15.20 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従って行ってください。

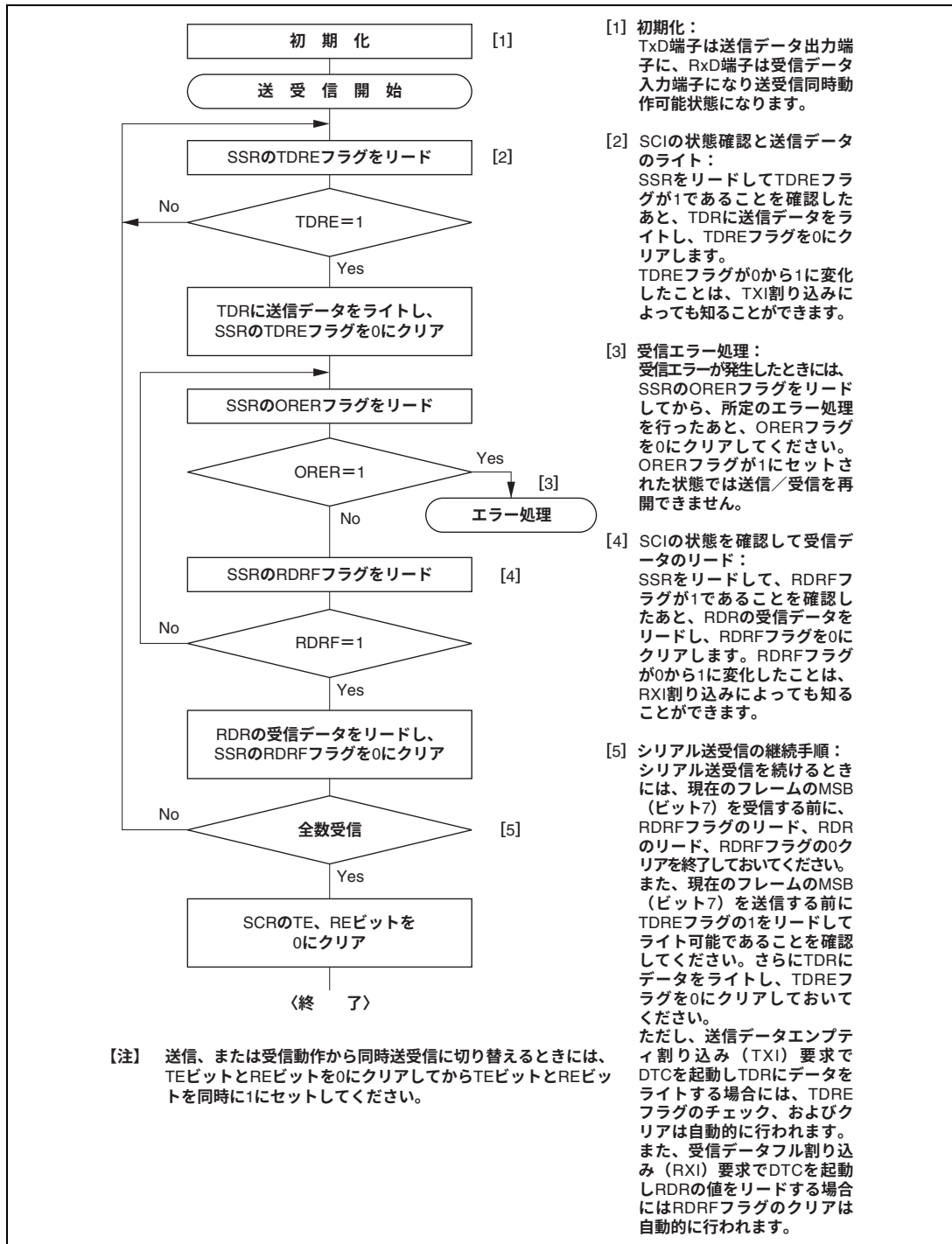


図 15.20 シリアル送受信同時動作のフローチャートの例

15.3.5 IrDA 動作

図 15.21 に IrDA のブロック図を示します。

KBCOMP の IrE ビットで IrDA 機能をイネーブルにすると、SCI チャンネル 2 の Tx/D2/RxD2 信号は、IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います (IrTx/D/IrRx/D 端子)。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムにおいて、通信は 9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートは、ソフトウェアにより設定を変更してください。

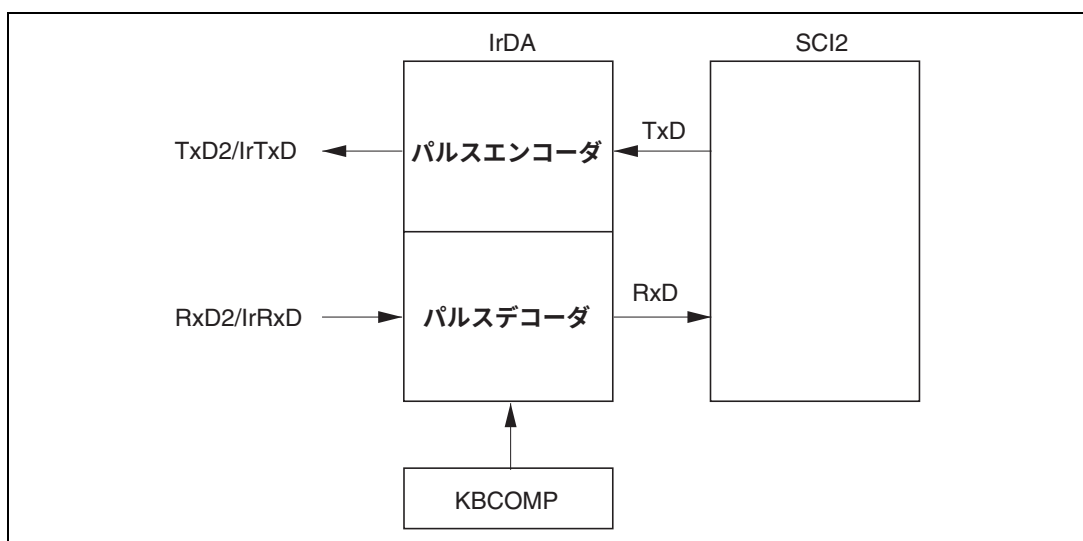


図 15.21 IrDA ブロック図

(1) 送信

送信時に、SCI からの出力信号 (UART フレーム) は、IrDA インタフェースにより、IR フレームに変換されます (図 15.22 参照)。

シリアルデータが 0 のとき、ビットレート (1 ビット幅の期間) の 3/16 の High パルスが出力されます (初期値)。なお、High パルスは、KBCOMP の IrCKS2~IrCKS0 ビットの設定値により変化させることも可能です。

High パルス幅は、最小 1.41μs、最大 $(3/16 + 2.5\%) \times \text{ビットレート}$ 、または $(3/16 \times \text{ビットレート}) + 1.08\mu\text{s}$ と定められています。システムクロック ϕ が 20MHz のとき、1.41μs 以上で最小の High パルス幅としては、1.6μs が設定可能です。

また、シリアルデータが 1 のときは、パルスは出力されません。

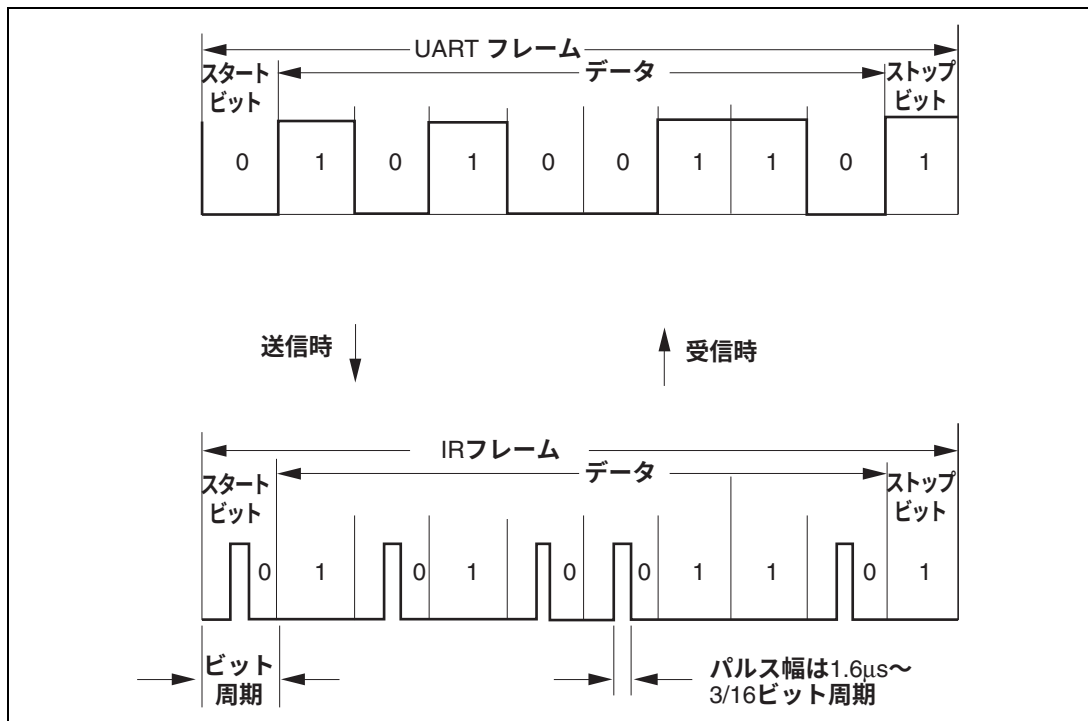


図 15.22 IrDA の送信／受信動作

(2) 受信

受信時には、IR フレームのデータは、IrDA インタフェースにより UART フレームに変換され、SCI に入力されます。

High パルスが検出されたときに 0 データを出力し、1 ビット期間中にパルスがない場合には 1 データを出力します。最小パルス幅の 1.41μs より短いパルスも 0 信号として認識しますのでご注意ください。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

(3) High パルス幅の選択

送信時にビットレート×3/16 よりパルス幅を短くする場合に、適用可能な IrCKS2～IrCKS0 ビットの設定（最小パルス幅）と本 LSI の動作周波数およびビットレートの選択を表 15.12 に示します。

表 15.12 IrCKS2～IrCKS0 ビット設定

動作周波数 φ(MHz)	ビットレート(bps) (上段) / ビット周期×3/16(μs) (下段)					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
2	010	010	010	010	010	—
2.097152	010	010	010	010	010	—
2.4576	010	010	010	010	010	—
3	011	011	011	011	011	—
3.6864	011	011	011	011	011	011
4.9152	011	011	011	011	011	011
5	011	011	011	011	011	011
6	100	100	100	100	100	100
6.144	100	100	100	100	100	100
7.3728	100	100	100	100	100	100
8	100	100	100	100	100	100
9.8304	100	100	100	100	100	100
10	100	100	100	100	100	100

【記号説明】

—：SCI 側のビットレート設定ができません。

【注】 H8S/2149、H8S/2169 の最大動作周波数は 10MHz です。

15.4 SCI 割り込み

SCI には、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因があります。

表 15.13 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE ビット、RIE ビット、および TEIE ビットで許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。なお、TEI 割り込み要求で DTC の起動はできません。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。なお、ERI 割り込み要求で DTC の起動はできません。

表 15.13 SCI 割り込み要因

チャンネル	割り込み要因	内 容	DTC の起動	優先順位*
0	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	高 ↑ 低
	RXI	受信データフル (RDRF) による割り込み	可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	
	TEI	送信終了 (TEND) による割り込み	不可	
1	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	
	RXI	受信データフル (RDRF) による割り込み	可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	
	TEI	送信終了 (TEND) による割り込み	不可	
2	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	
	RXI	受信データフル (RDRF) による割り込み	可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	
	TEI	送信終了 (TEND) による割り込み	不可	

【注】 * リセット直後の初期状態について示しています。チャンネル間の優先順位は、割り込みコントローラにより変更可能です。

TEI 割り込みは、TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされると要求されます。この TEND フラグのクリアは TDRE フラグと同時に行われます。このため、TEI 割り込みと TXI 割り込みが同時に要求されると TXI 割り込みが先に受け付けられ、TDRE フラグと TEND フラグがクリアされてしまう場合があります。このとき TEI 割り込みは受け付けられませんので注意してください。

15.5 使用上の注意

SCI を使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 15.14 のようになります。また、オーバランエラーが発生した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 15.14 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送 RSR→RDR	受信エラーの状態
RDRF	ORER	FER	PER		
1	1	0	0	×	オーバランエラー
0	0	1	0	○	フレーミングエラー
0	0	0	1	○	パリティエラー
1	1	1	0	×	オーバランエラー+フレーミングエラー
1	1	0	1	×	オーバランエラー+パリティエラー
0	0	1	1	○	フレーミングエラー+パリティエラー
1	1	1	1	×	オーバランエラー+フレーミングエラー+パリティエラー

【注】 ○：RSR→RDR に受信データを転送します。

×：RSR→RDR に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー（FER）検出時に RxD 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD 端子からの入力が入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー（PER）もセットされる場合があります。

SCI は、ブレークを受信したあとも受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD 端子は、DR と DDR により入出力方向とレベルが決まる I/O ポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセットするまでは、マーク状態を DR の値で代替します (TE ビットを 1 にセットするまで、TxD 端子として機能しません)。このため、最初は TxD 端子に対応するポートの DDR と DR を 1 に設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアしたあと、TE ビットを 0 にクリアします。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりをも基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 15.23 に示します。

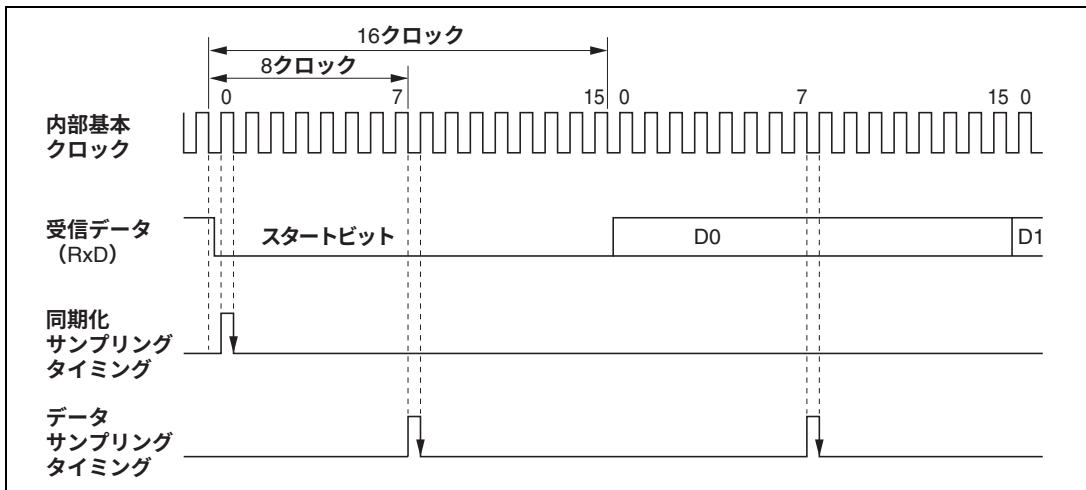


図 15.23 調歩同期式モードの受信データサンプリングタイミング

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \quad \cdots \text{式 (1)}$$

M：受信マージン (%)

N：クロックに対するビットレートの比 (N=16)

D：クロックデューティ (D=0~1.0)

L：フレーム長 (L=9~12)

F：クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき、

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% \quad \cdots \text{式 (2)}$$

$$= 46.875\%$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

(7) DTC 使用上の制約事項

- (a) 同期クロックに外部クロックソースを使用する場合、DTCによるTDRの更新後、 ϕ クロックで5クロック以上経過したあとに、送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると、誤動作することがあります (図15.24)。
- (b) DTCにより、RDRのリードを行うときは必ず起動要因を当該SCIの受信完了割り込み (RXI) に設定してください。

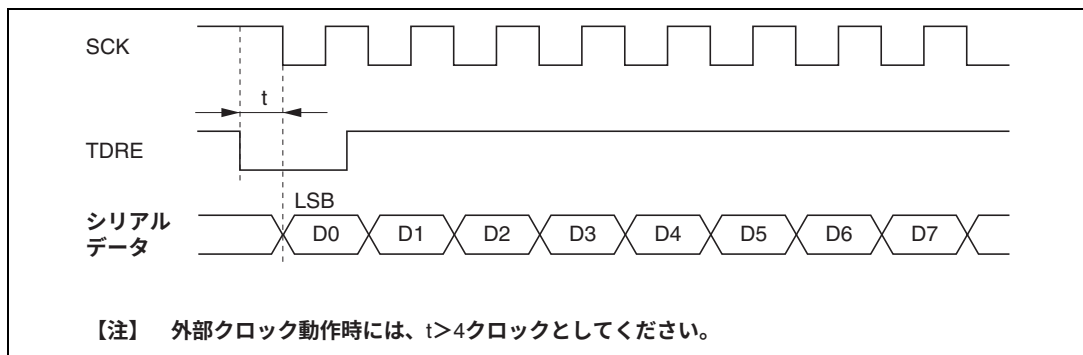


図 15.24 DTC によるクロック同期式送信時の例

16. I²C バスインタフェース (IIC)

16.1 概要

本 LSI は、2 チャンネルの I²C バスインタフェースを内蔵しています。

I²C バスインタフェースは、Philips 社の提唱している I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I²C バスを制御するレジスタの構成が一部 Philips 社と異なりますので注意してください。

I²C バスインタフェースを用いたデータ転送は、各チャンネルで、データライン (SDA) 1 本、クロックライン (SCL) 1 本で構成され、コネクタやプリント基板の面積等を経済的に使用できます。

16.1.1 特長

■アドレッシングフォーマット、ノンアドレッシングフォーマットを選択可能

- I²C バスフォーマット：アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作
- シリアルフォーマット：ノンアドレッシングフォーマットでアクノリッジビットなし、マスタ動作専用

■I²C バスフォーマットは、Philips 社提唱の I²C バスインタフェースに準拠

■I²C バスフォーマットで、スレーブアドレスを 2 通り設定可能

■I²C バスフォーマットで、マスタモード時、開始、停止条件の自動生成

■I²C バスフォーマットで、受信時、アクノリッジの出力レベルを選択可能

■I²C バスフォーマットで、送信時、アクノリッジビットの自動ロード機能

■I²C バスフォーマットで、マスタモード時のウェイト機能

- アクノリッジを除くデータ転送後、SCL を Low レベルにしてウェイト状態にすることが可能。ウェイト状態は、割り込みフラグをクリアすることで解除

■I²C バスフォーマットで、スレーブモード時のウェイト機能

- アクノリッジを除くデータ転送後、SCL を Low レベルにしてウェイト要求を発生することが可能。ウェイト要求は、次の転送が可能になった時点で解除

■3 種類の割り込み要因

- データ転送終了時 (I²C バスフォーマットで送信モード遷移時、およびマスタ競合負け後のアドレス受信を含む)
- アドレス一致時：I²C バスフォーマット、スレーブ受信モードで、いずれかのスレーブアドレスが一致したときまたはゼネラルコールアドレスを受信したとき
- 停止条件検出時

■マスタモード時、16 種類の内部クロック選択可能

■バスを直接駆動 (SCL/SDA 端子)

- P52/SCL0、P97/SDA0 の 2 端子は、通常時は NMOS プッシュプル出力、バス駆動機能選択時は NMOS オープンドレイン出力
- P86/SCL1、P42/SDA1 の 2 端子は、通常時は CMOS 端子、バス駆動機能選択時は NMOS のみで出力

■フォーマットレスから I²C バスフォーマットへ自動切り替えが可能 (チャンネル 0 のみ)

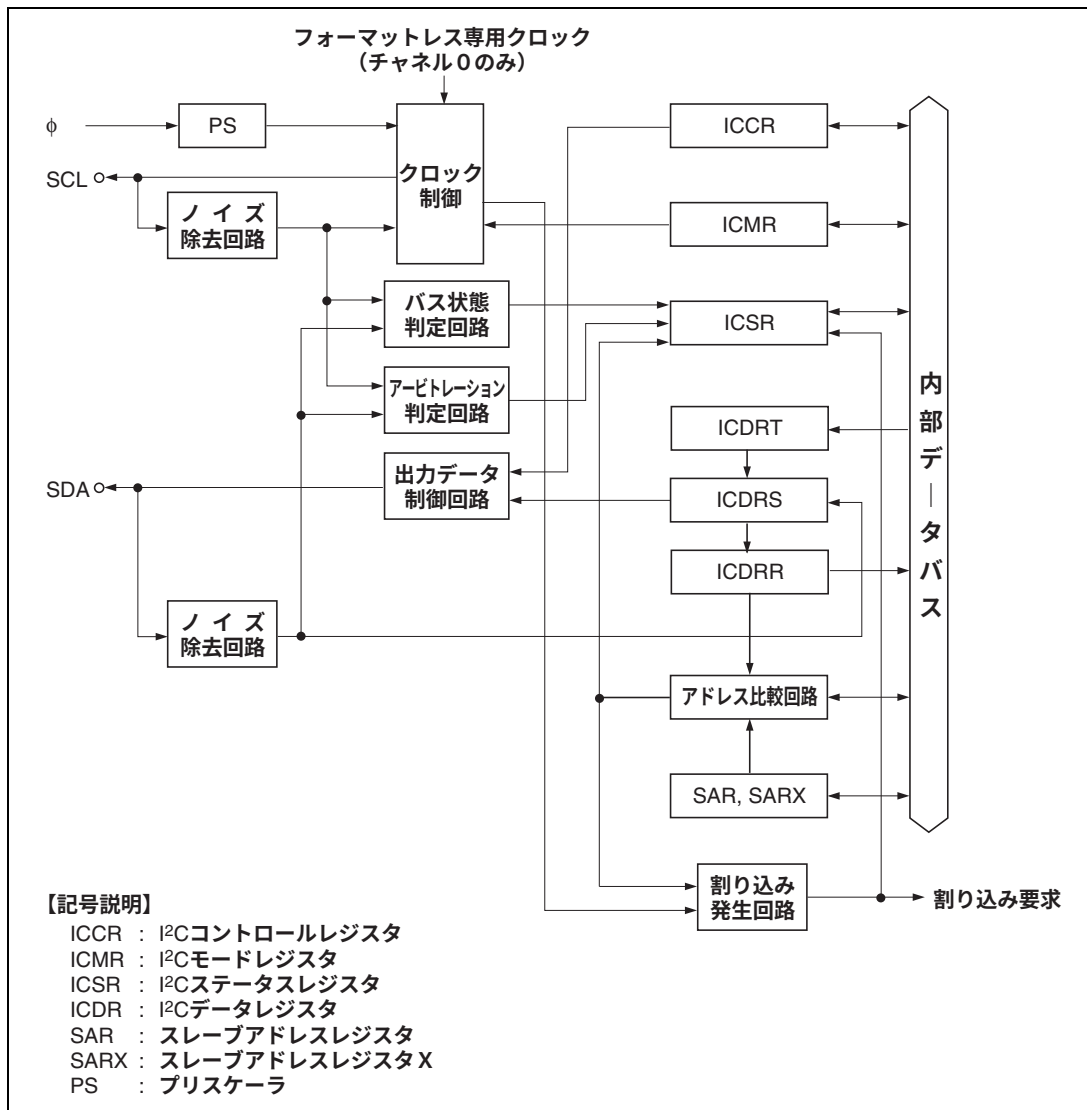
- スレープモードのフォーマットレス (開始条件/終了条件なし、ノンアドレッシング) の動作
- データ端子共通 (SDA)、クロック端子独立 (VSYNCI、SCL) の端子構成で動作
- SCL の立ち下がりで、自動的にフォーマットレスから I²C バスフォーマットに切り替え

16.1.2 ブロック図

I²C バスインタフェースのブロック図を図 16.1 に示します。

入出力端子の外部回路接続例を、図 16.2 に示します。チャンネル 0 の入出力端子とチャンネル 1 の入出力端子では端子構造が異なるため、端子に印加可能な電圧仕様が異なります。

詳細は「第 25 章 電気的特性」を参照してください。

図 16.1 I²C バスインタフェースのブロック図

16. I²C バスインタフェース (IIC)

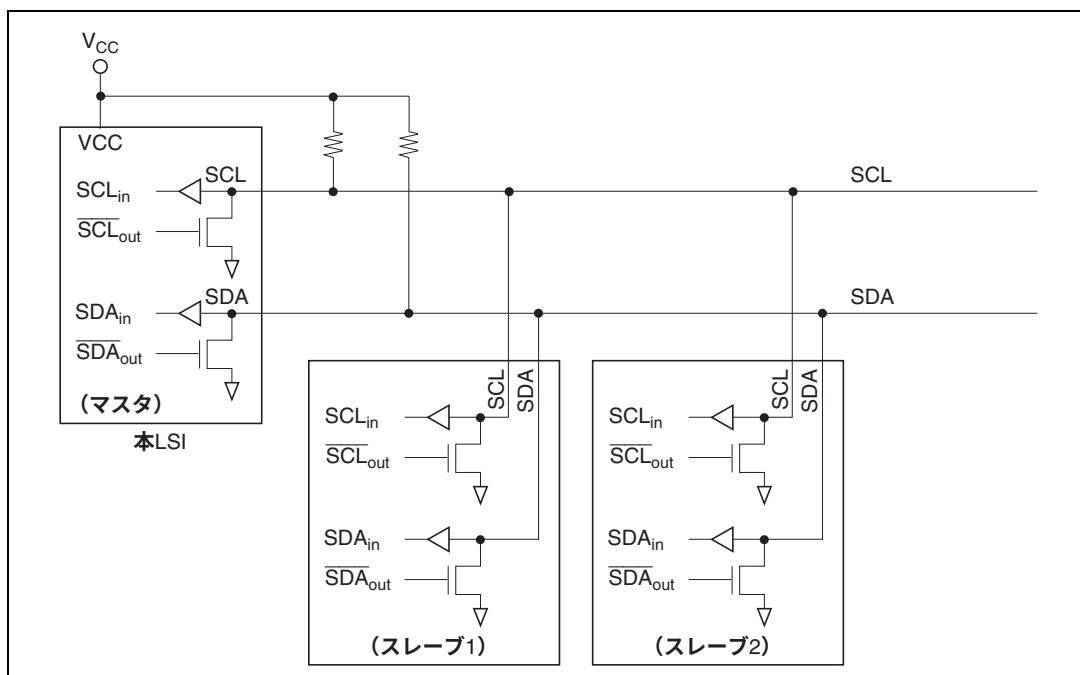


図 16.2 I²C バスインタフェース接続例（本 LSI がマスタの場合）

16.1.3 端子構成

I²C バスインタフェースで使用する端子を表 16.1 に示します。

表 16.1 端子構成

チャンネル	名 称	記号*	入出力	機 能
0	シリアルクロック端子	SCL0	入出力	IIC0 シリアルクロック入出力端子
	シリアルデータ端子	SDA0	入出力	IIC0 シリアルデータの入出力端子
	フォーマットレス シリアルクロック端子	VSYNCl	入力	IIC0 フォーマットレス シリアルクロック入力端子
1	シリアルクロック端子	SCL1	入出力	IIC1 シリアルクロック入出力端子
	シリアルデータ端子	SDA1	入出力	IIC1 シリアルデータの入出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCL、SDA と略称します。

16.1.4 レジスタ構成

I²C バスインタフェースのレジスタ構成を表 16.2 に示します。

表 16.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス ^{*1}
0	I ² C バスコントロールレジスタ	ICCR0	R/W	H'01	H'FFD8
	I ² C バスステータスレジスタ	ICSR0	R/W	H'00	H'FFD9
	I ² C バスデータレジスタ	ICDR0	R/W	—	H'FFDE ^{*2}
	I ² C バスモードレジスタ	ICMR0	R/W	H'00	H'FFDF ^{*2}
	スレーブアドレスレジスタ	SAR0	R/W	H'00	H'FFDF ^{*2}
	第 2 スレーブアドレスレジスタ	SARX0	R/W	H'01	H'FFDE ^{*2}
1	I ² C バスコントロールレジスタ	ICCR1	R/W	H'01	H'FF88
	I ² C バスステータスレジスタ	ICSR1	R/W	H'00	H'FF89
	I ² C バスデータレジスタ	ICDR1	R/W	—	H'FF8E ^{*2}
	I ² C バスモードレジスタ	ICMR1	R/W	H'00	H'FF8F ^{*2}
	スレーブアドレスレジスタ	SAR1	R/W	H'00	H'FF8F ^{*2}
	第 2 スレーブアドレスレジスタ	SARX1	R/W	H'01	H'FF8E ^{*2}
共通	シリアルタイムコントロールレジスタ	STCR	R/W	H'00	H'FFC3
	DDC スイッチレジスタ	DDCSWR	R/W	H'0F	H'FEE6
	モジュールストップコントロールレジスタ	MSTPCR _H	R/W	H'3F	H'FF86
		MSTPCR _L	R/W	H'FF	H'FF87

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 I²C バスコントロールレジスタの ICE ビットによりリード／ライトできるレジスタが変わります。
ICE=0 のときスレーブアドレスレジスタ、ICE=1 のとき I²C バスモードレジスタとなります。
I²C バスインタフェースのレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイムコントロールレジスタ (STCR) の IICE ビットで行います。

16.2 各レジスタの説明

16.2.1 I²C バスデータレジスタ (ICDR)

ビット：	7	6	5	4	3	2	1	0
	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
初期値：	—	—	—	—	—	—	—	—
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ICDRR

ビット：	7	6	5	4	3	2	1	0
	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0
初期値：	—	—	—	—	—	—	—	—
R/W：	R	R	R	R	R	R	R	R

■ICDRS

ビット：	7	6	5	4	3	2	1	0
	ICDRS7	ICDRS6	ICDRS5	ICDRS4	ICDRS3	ICDRS2	ICDRS1	ICDRS0
初期値：	—	—	—	—	—	—	—	—
R/W：	—	—	—	—	—	—	—	—

■ICDRT

ビット：	7	6	5	4	3	2	1	0
	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0
初期値：	—	—	—	—	—	—	—	—
R/W：	W	W	W	W	W	W	W	W

■TDRE、RDRF (内部フラグ)

ビット：	—	—
	TDRE	RDRF
初期値：	0	0
R/W：	—	—

ICDR は、8 ビットのリード／ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信信用データレジスタとして使用します。ICDR は、内部的に、シフトレジスタ (ICDRS)、受信バッファ (ICDRR) および送信バッファ (ICDRT) に分かれています。それぞれ CPU からのリード／ライト不可、リード専用およびライト専用となっています。3 本のレジスタ間のデータ転送は、バス状態の変化に関連付けられて自動的に行われ、TDRE や RDRF などの内部フラグの状態に影響を与えます。

送信モードで ICDRT に次のデータがある場合 (TDRE フラグが 0 の場合) ICDRS で 1 フレームのデータを送信後、自動的に ICDRT から ICDRS ヘデータが転送されます。受信モードで ICDRR に以前のデータがない場合 (RDRF フラグが 0 の場合)、ICDRS で 1 フレームのデータを正常に受信終了後、自動的に ICDRS から ICDRR にデータが転送されます。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS=0 のとき MSB 側に、MLS=1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS=0 のとき LSB 側から、MLS=1 のとき MSB 側から読み出したビットを有効にしてください。

ICDR は、SARX と同じアドレスに割り付けられており、ICCR の ICE ビットを 1 に設定したときのみ、ICDR のリード/ライトが可能です。

ICDR のリセット時の値は不定です。

TDRE、RDRF フラグは、次のような条件でセット/クリアされます。TDRE、RDRF フラグのセットは、割り込みフラグの状態に影響を与えます。

TDRE	説 明
0	送信開始不可、または、ICDR (ICDRT) に次の送信データが存在 (初期値) [クリア条件] (1) 送信モード (TRS=1) で ICDR (ICDRT) に送信データをライトしたとき (2) I ² C バスフォーマットまたはシリアルフォーマットで停止条件を発行後、バスラインの状態から停止条件成立を検出したとき (3) I ² C バスフォーマットで停止条件を検出したとき (4) 受信モード (TRS=0) のとき (転送中の TRS の 0 ライトは、アクノリッジを含めたフレーム受信後に有効)
1	ICDR (ICDRT) に次の送信データをライト可能 [セット条件] (1) 送信モード (TRS=1) のとき、I ² C バスフォーマット、シリアルフォーマットのマスターモードで開始条件を発行後、バスラインの状態から開始条件成立を検出したとき (2) I ² C バスフォーマットからフォーマットレスに設定を切り替えたあと、最初に送信モード (TRS=1) に設定したとき (1 回目のみ) (3) ICDRT から ICDRS にデータが転送されたとき (TRS=1 かつ TDRE=0 で ICDRS が空の場合、ICDRT→ICDRS ヘデータ転送) (4) 受信モード (TRS=0) の状態で開始条件検出後、スレーブ受信モード (TRS=0) から送信モード (TRS=1) に切り替えたとき (1 回目のみ)

RDRF	説 明
0	ICDR (ICDRR) にあるデータは無効 (初期値) [クリア条件] 受信モードで ICDR (ICDRR) の受信データをリードしたとき
1	ICDR (ICDRR) の受信データをリード可能 [セット条件] ICDRS から ICDRR にデータが転送されたとき (TRS=0 かつ RDRF=0 で受信正常終了の場合、ICDRS→ICDRR ヘデータ転送)

16.2.2 スレーブアドレスレジスタ (SAR)

ビット：	7	6	5	4	3	2	1	0
	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SAR は、8 ビットのリード／ライト可能なレジスタで、フォーマットの設定およびスレーブアドレスを格納します。アドレッシングフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SAR の上位 7 ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SAR は、ICMR と同じアドレスに割り付けられており、ICCR の ICE ビットを 0 に設定したときのみ、SAR のリード／ライトが可能です。

リセットまたはハードウェアスタンバイモード時、SAR は H'00 に初期化されます。

ビット 7～1：スレーブアドレス (SVA6～SVA0)

SVA6～SVA0 ビットには I²C バスにつながっている他のスレーブと異なるユニークなアドレスを設定します。

ビット 0：フォーマットセレクト (FS)

SARX の FSX ビット、DDCSWR の SW ビットと共に、転送フォーマットを選択します。

- I²C バスフォーマット：アドレッシングフォーマットでアクノリッジビットあり
- クロック同期式シリアルフォーマット：
 - ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用
- フォーマットレス（チャンネル 0 のみ）：
 - ノンアドレッシングフォーマットでアクノリッジビットありまたはアクノリッジビットなし、スレーブモード専用、開始条件／停止条件の検出なし

また、FS ビットは、スレーブモード時に SAR のスレーブアドレスの認識を行うか否かを選択します。

DDCSWR ビット 6	SAR ビット 0	SARX ビット 0	動作モード
SW	FS	FSX	
0	0	0	I ² C バスフォーマット • SAR と SARX のスレーブアドレスを認識
		1	I ² C バスフォーマット (初期値) • SAR のスレーブアドレスを認識 • SARX のスレーブアドレスを無視
	1	0	I ² C バスフォーマット • SAR のスレーブアドレスを無視 • SARX のスレーブアドレスを認識
		1	クロック同期式シリアルフォーマット • SAR と SARX のスレーブアドレスを無視
1	0	0	フォーマットレス (開始条件／停止条件を検出しない) • アクノリッジビットあり
		1	
	1	0	フォーマットレス* (開始条件／停止条件を検出しない) • アクノリッジビットなし
		1	

【注】 * DDCSWR の設定により I²C バスフォーマットへの自動切り替えを行う場合は、本モードに設定しないでください。

16.2.3 第 2 スレーブアドレスレジスタ (SARX)

ビット :	7	6	5	4	3	2	1	0
	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SARX は、8 ビットのリード／ライト可能なレジスタで、フォーマットの設定および第 2 スレーブアドレスを格納します。アドレッシングフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SARX の上位 7 ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SARX は、ICDR と同じアドレスに割り付けられており、ICCR の ICE ビットを 0 に設定したときのみ、SARX のリード／ライトが可能です。

リセットまたはハードウェアスタンバイモード時、SARX は H'01 に初期化されます。

ビット 7～1 : 第 2 スレーブアドレス (SVAX6～SVAX0)

SVAX6～SVAX0 ビットには I²C バスにつながっている他のスレーブと異なるユニークなアドレスを設定します。

16. I²C バスインタフェース (IIC)

ビット0：フォーマットセレクト X (FSX)

SAR の FS ビット、DDCSWR の SW ビットと共に、転送フォーマットを選択します。

- I²C バスフォーマット：アドレッシングフォーマットでアクノリッジビットあり
- クロック同期式シリアルフォーマット：
ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用
- フォーマットレス：
ノンアドレッシングフォーマットでアクノリッジビットありまたはアクノリッジビットなし、スレーブモード専用、開始条件・停止条件の検出なし

また、FSX ビットは、スレーブモード時に SARX のスレーブアドレスの認識を行うか否かを選択します。詳細は SAR の FS ビットの項を参照してください。

16.2.4 I²C バスモードレジスタ (ICMR)

ビット：	7	6	5	4	3	2	1	0
	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICMR は、8ビットのリード／ライト可能なレジスタで、MSB ファースト／LSB ファーストの選択、マスタモードウェイトの制御、マスタモード転送クロック周波数の選択、転送ビットの数の選択を行います。ICMR は、SAR と同じアドレスに割り付けられており、ICCR の ICE ビットを 1 に設定したときのみ、ICMR のリード／ライトが可能です。

リセットまたはハードウェアスタンバイモード時、ICMR は H'00 に初期化されます。

ビット7：MSB ファースト／LSB ファースト選択 (MLS)

MSB ファーストでデータ転送するか、LSB ファーストでデータ転送するかを選択します。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS ビットが 0 のとき MSB 側に、MLS ビットが 1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS ビットが 0 のとき LSB 側から、MLS ビットが 1 のとき MSB 側から読み出したビットを有効にしてください。

なお、I²C バスフォーマットで使用するときは、本ビットを 1 にセットしないでください。

ビット7	説 明
MLS	
0	MSB ファースト (初期値)
1	LSB ファースト

ビット 6：ウェイト挿入ビット (WAIT)

I²C バスフォーマットでマスタモード時に、アクノリッジビットを除いたデータ転送後ウェイト状態にするかどうかを設定します。WAIT=1 を設定した場合、データの最終ビットのクロックが立ち下がったあと、ICCR の IRIC フラグは 1 にセットされ、ウェイト状態 (SCL=Low レベル) となります。ICCR の IRIC フラグを 0 にクリアすることでウェイト状態を解除しアクノリッジの転送を行います。WAIT=0 を設定した場合、ウェイト状態を挿入せず、データとアクノリッジを連続的に転送します。ICCR の IRIC フラグは、WAIT の設定に関係なく、アクノリッジの転送が完了した時点で 1 にセットされます。

スレープモード時は、本ビットの設定は無効になります。

ビット 6	説 明
WAIT	
0	データとアクノリッジを連続的に転送 (初期値)
1	データとアクノリッジの間にウェイトを挿入

ビット 5～3：転送クロック選択 (CKS2～CKS0)

CKS2～CKS0 ビットは、STCR レジスタの IICX1 ビット (チャンネル 1)、IICX0 ビット (チャンネル 0) との組み合わせにより、転送クロックの周波数を選択するビットで、マスタモード時に使用します。必要な転送レートに合わせて設定をしてください。

STCR ビット 5、6	ビット 5	ビット 4	ビット 3	クロック	転送レート		
					$\phi=5\text{MHz}$	$\phi=8\text{MHz}$	$\phi=10\text{MHz}$
IICX 0	CKS2 0	CKS1 0	CKS0 0	$\phi/28$	179kHz	286kHz	357kHz
			1	$\phi/40$	125kHz	200kHz	250kHz
		1	0	$\phi/48$	104kHz	167kHz	208kHz
			1	$\phi/64$	78.1kHz	125kHz	156kHz
	1	0	0	$\phi/80$	62.5kHz	100kHz	125kHz
			1	$\phi/100$	50.0kHz	80.0kHz	100kHz
		1	0	$\phi/112$	44.6kHz	71.4kHz	89.3kHz
			1	$\phi/128$	39.1kHz	62.5kHz	78.1kHz
1	0	0	0	$\phi/56$	89.3kHz	143kHz	179kHz
			1	$\phi/80$	62.5kHz	100kHz	125kHz
		1	0	$\phi/96$	52.1kHz	83.3kHz	104kHz
			1	$\phi/128$	39.1kHz	62.5kHz	78.1kHz
	1	0	0	$\phi/160$	31.3kHz	50.0kHz	62.5kHz
			1	$\phi/200$	25.0kHz	40.0kHz	50.0kHz
		1	0	$\phi/224$	22.3kHz	35.7kHz	44.6kHz
			1	$\phi/256$	19.5kHz	31.3kHz	39.1kHz

【注】 H8S/2149、H8S/2169 の最大動作周波数は 10MHz です。

16. I²C バスインタフェース (IIC)

ビット 2～0：ビットカウンタ (BC2～BC0)

BC2～BC0 ビットは、次に転送するデータのビット数を指定します。I²C バスフォーマット (SAR の FS ビットまたは SARX の FSX ビットが 0 のとき) では、データにアクノリッジ分 1 ビットが加算されて転送されます。BC2～BC0 ビットの設定は転送フレーム間で行ってください。また、BC2～BC0 ビットに 000 以外を設定する場合は、SCL が Low 状態のときに行ってください。

ビットカウンタは、リセット時および開始条件検出時 000 に初期化されます。また、アクノリッジを含むデータ転送終了後、000 に再び戻ります。

ビット 2	ビット 1	ビット 0	ビット／フレーム	
BC2	BC1	BC0	クロック同期式 シリアルフォーマット	I ² C バスフォーマット
0	0	0	8	9 (初期値)
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

16.2.5 I²C バスコントロールレジスタ (ICCR)

ビット：	7	6	5	4	3	2	1	0
	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP
初期値：	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	W

【注】＊ フラグをクリアするための 0 ライトのみ可能です。

ICCR は、8 ビットのリード／ライト可能なレジスタで、I²C バスインタフェースの動作／非動作、割り込みの許可／禁止、マスタモード／スレーブモード、送信／受信、アクノリッジの有効／無効の選択、I²C バスインタフェースのバス状態の確認、開始／停止条件の発行、および割り込みフラグの確認を行います。

リセットまたはハードウェアスタンバイモード時、ICCR は H'01 に初期化されます。

ビット 7: I²C バスインタフェースイネーブル (ICE)

ICE ビットは、I²C バスインタフェースを使用する／使用しないを選択します。ICE ビットを 1 にセットすると、本モジュールは転送動作可能状態となり、ポートは SCL、SDA 入出力端子となります。ICE ビットを 0 にクリアすると、本モジュールは機能を停止し、内部状態をクリアします。

ICE=0 のとき SAR および SARX が有効になり、ICE=1 のとき ICMR および ICDR が有効になります。

ビット 7	説 明
ICE	
0	本モジュールは非動作状態 (SCL/SDA 端子はポート機能) (初期値) IIC モジュールの内部状態の初期化 SAR、SARX がアクセス可能
1	本モジュールは転送動作可能状態 (SCL/SDA 端子はバス駆動状態) ICMR、ICDR がアクセス可能

ビット 6: I²C バスインタフェース割り込みイネーブル (IEIC)

IEIC ビットは、I²C バスインタフェースから CPU に対する割り込みの許可／禁止を選択します。

ビット 6	説 明
IEIC	
0	割り込み要求を禁止 (初期値)
1	割り込み要求を許可

ビット 5: マスタ／スレーブ選択 (MST)**ビット 4: 送信／受信選択 (TRS)**

MST ビットは、I²C バスインタフェースをマスタモードで使用するか、スレーブモードで使用するかを選択するビットです。

TRS ビットは、I²C バスインタフェースを受信モードで使用するか、送信モードで使用するかを選択するビットです。

I²C バスフォーマットのマスタモードでバス競合負けをすると MST、TRS ビットは共にハードウェアによってリセットされ、スレーブ受信モードに変わります。また、スレーブ受信モードでアドレッシングフォーマット (FS=0 または FSX=0) のとき、開始条件直後の第 1 フレームの R/W ビットにより、ハードウェアで自動的に受信／送信モードが設定されます。

転送中の TRS ビットの変更は、アクノリッジを含めたフレーム転送完了まで保留され、転送完了後に切り替わります。

MST と TRS ビットとの組み合わせにより下表のような動作モードになります。

16. I²C バスインタフェース (IIC)

ビット 5	ビット 4	動作モード
MST	TRS	
0	0	スレーブ受信モード (初期値)
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

ビット 5	説 明
MST	
0	スレーブモード [クリア条件] (1) ソフトウェアにより 0 をライトしたとき (2) I ² C バスフォーマットのマスタモードで、送信を開始したのちバス競合負けしたとき
1	マスタモード [セット条件] (1) ソフトウェアにより 1 をライトしたとき (クリア条件 (2) 以外の場合) (2) MST=0 をリード後、1 をライトしたとき (クリア条件 (2) の場合)

ビット 4	説 明
TRS	
0	受信モード [クリア条件] (1) ソフトウェアにより 0 をライトしたとき (セット条件 (3) 以外の場合) (2) TRS=1 をリード後、0 をライトしたとき (セット条件 (3) の場合) (3) I ² C バスフォーマットのマスタモードで、送信を開始したのちバス競合負けしたとき (4) DDCSWR の SW ビットが 1 から 0 に変化したとき
1	送信モード [セット条件] (1) ソフトウェアにより 1 をライトしたとき (クリア条件 (3) (4) 以外の場合) (2) TRS=0 をリード後、1 をライトしたとき (クリア条件 (3) (4) の場合) (3) I ² C バスフォーマットのスレーブモードで第 1 フレームの R/W ビットとして 1 を受信したとき

ビット 3：アクノリッジビット判定選択 (ACKE)

ACKE ビットは、I²C バスフォーマットで受信デバイスから返されるアクノリッジビットの内容を無視して連続的に転送を行うか、アクノリッジビットが 1 ならば転送を中断してエラー処理等を行うかを選択します。ACKE ビットが 0 の場合には、受信したアクノリッジビットの内容は ACKB ビットに反映されず、ACKB ビットは常時 0 となります。

本 LSI では転送を連続的に行うために、DTC を利用することができます。DTC は、2 つある割り込みフラグ (IRIC と IRTR) のうち、IRTR フラグが 1 にセットされた場合に起動されます。ACKE ビットが 0 の場合、アクノリッジビットの内容にかかわらずデータ送信完了時に TDRE フラグ、IRIC フラグと IRTR フラグがセットされます。ACKE ビットが 1 の場合、アクノリッジビットが 0 でデータ送信が完了すると TDRE フラグ、IRIC フラグと IRTR フラグがセットされ、アクノリッジビットが 1 でデータ送信が完了すると IRIC フラグだけがセットされます。

DTC が起動されると、所定のデータ転送を実行したあと、TDRE フラグ、IRIC フラグと IRTR フラグを 0 にクリアします。そのため、データを連続的に転送している間は割り込みが発生しませんが、

ACKE ビットが 1 の場合にアクノリッジビットが 1 でデータ送信が完了すると、DTC は起動されず、許可されていれば割り込みが発生します。

アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、まったく意味をもたず 1 固定の場合があります。

ビット 3	説 明
ACKE	
0	アクノリッジビットの内容を無視して、連続的に転送を行う (初期値)
1	アクノリッジビットが 1 の場合、連続的な転送を中断する

ビット 2 : バスビジー (BBSY)

BBSY フラグをリードすることにより、I²C バス (SCL、SDA) が占有されているか解放されているかを確認できます。また、マスタモードでは開始条件、停止条件を発行する際に使用します。

BBSY フラグは、SCL=High レベルの状態では SDA が High レベルから Low レベルに変化すると開始条件が発行されたと認識し、1 にセットされます。SCL=High レベルの状態では SDA が Low レベルから High レベルに変化すると停止条件が発行されたと認識し、0 にクリアされます。

開始条件を発行する場合、BBSY=1 かつ SCP=0 をライトします。開始条件の再送信時も同様に行います。また、停止条件の発行は BBSY=0 かつ SCP=0 をライトすることで行います。開始条件／停止条件の発行は、MOV 命令を用います。

スレーブモード時の BBSY フラグのライトは無効です。すなわち、開始条件の発行に先立って、I²C バスインタフェースをマスタ送信モードに設定する必要があります。BBSY=1 かつ SCP=0 をライトする以前に、MST=1 かつ TRS=1 を設定してください。

ビット 2	説 明
BBSY	
0	バス解放状態 [クリア条件] • 停止条件検出時 (初期値)
1	バス占有状態 [セット条件] • 開始条件検出時

ビット 1 : I²C バスインタフェース割り込み要求フラグ (IRIC)

IRIC フラグは、I²C バスインタフェースが CPU に対して割り込み要求を発生させたことを示します。IRIC フラグは、データ転送終了時、スレーブ受信モードでスレーブアドレスまたはゼネラルコールアドレスを検出したとき、マスタ送信モードでバス競合負けをしたとき、または停止条件検出時に 1 にセットされます。SAR の FS ビットと ICMR の WAIT ビットの組み合わせにより IRIC フラグのセットタイミングが異なりますので、「16.3.6 IRIC セットタイミングと SCL 制御」の項を参照してください。また、ICCR の ACKE ビットの設定によっても、IRIC フラグがセットされる条件が異なります。

IRIC フラグのクリアは、IRIC=1 をリードしたあと、0 をライトすることで行われます。

また、DTC を利用すると IRIC フラグは自動的にクリアされ、CPU を介さない連続的な転送が可能です。

ビット 1	説 明
IRIC	
0	転送待ち状態、または転送中 (初期値) [クリア条件] (1) IRIC=1 の状態でリードしたあと、0 をライトしたとき (2) DTC で ICDR をリード/ライトしたとき (TDRE または RDRF フラグが 0 にクリアされたとき) (クリア条件とならない場合もあるため、詳細は DTC の動作説明参照)
1	割り込みが発生 [セット条件] ■I²C バスフォーマットでマスタモード (1) 開始条件を発行後、バスラインの状態から開始条件を検出したとき (第 1 フレーム送信のため TDRE フラグが 1 にセットされたとき) (2) WAIT=1 の場合、データとアクノリッジの間にウェイトを挿入したとき (3) データ転送終了時 (ウェイト挿入なしで送受信クロックの 9 クロック目の立ち上がりのとき、またはウェイト挿入時の送受信クロックの 8 クロック目の立ち下がりのとき) (4) バス競合負けのあと、スレーブアドレスを受信したとき (AL フラグが 1 にセットされたとき) (5) ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき) ■I²C バスフォーマットでスレーブモード (1) スレーブアドレス (SVA、SVAX) が一致したとき (AAS、AASX フラグが 1 にセットされたとき)、およびその後の再送開始条件または停止条件検出までのデータ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき) (2) ゼネラルコールアドレスを検出したとき (FS=0 かつ ADZ フラグが 1 にセットされたとき)、およびその後の再送開始条件または停止条件検出までのデータ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき) (3) ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき (ACKB ビットが 1 にセットされたとき) (4) 停止条件を検出したとき (STOP または ESTP フラグが 1 にセットされたとき) ■クロック同期式シリアルフォーマット、およびフォーマットレス (1) データ転送終了時 (TDRE または RDRF フラグが 1 にセットされたとき) (2) シリアルフォーマットで開始条件を検出したとき (3) DDCSWR の SW ビットを 1 にセットしたとき 上記のほか、TDRE、RDRF 内蔵フラグが 1 にセットされる条件が発生したとき

I²C バスフォーマットで IRIC=1 となり割り込みが発生した場合には、IRIC=1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時に関しては注意が必要です。

内部フラグである TDRE または RDRF フラグがセットされたとき、リード可能な IRTTR フラグがセットされる場合とされない場合があります。DTC 起動要求フラグである IRTTR フラグがデータ転送終了時にセットされないのは、I²C バスフォーマットでスレーブモードの場合に、スレーブアドレス (SVA) またはゼネラルコールアドレスが一致したあとの再送開始条件または停止条件検出までの期間です。

IRIC フラグ、IRTTR フラグがセットされているときでも、内部フラグである TDRE または RDRF フラグがセットされていない場合があります。DTC を利用した連続的な転送の場合、設定した回数の転送終了時には、IRIC フラグおよび IRTTR フラグはクリアされません。一方、設定した回数の ICDR のリード／ライトは完了しているため TDRE または RDRF フラグはクリアされています。

各フラグと転送状態の関係を表 16.3 に示します。

表 16.3 フラグと転送状態の関係

MST	TRS	BBSY	ESTP	STOP	IRTTR	AASX	AL	AAS	ADZ	ACKB	状態
1/0	1/0	0	0	0	0	0	0	0	0	0	アイドル状態 (フラグクリア要)
1	1	0	0	0	0	0	0	0	0	0	開始条件発行
1	1	1	0	0	1	0	0	0	0	0	開始条件成立
1	1/0	1	0	0	0	0	0	0	0	0/1	マスタモードウェイト
1	1/0	1	0	0	1	0	0	0	0	0/1	マスタモード送信／受信終了
0	0	1	0	0	0	1/0	1	1/0	1/0	0	アービトレーションロスト
0	0	1	0	0	0	0	0	1	0	0	スレーブモード第 1 フレームで SAR に一致
0	0	1	0	0	0	0	0	1	1	0	ゼネラルコールアドレスに一致
0	0	1	0	0	0	1	0	0	0	0	SARX に一致
0	1/0	1	0	0	0	0	0	0	0	0/1	スレーブモード送信／受信終了 (SARX 一致後以外)
0	1/0	1	0	0	1	1	0	0	0	0	スレーブモード送信／受信終了 (SARX 一致後)
0	1	1	0	0	0	1	0	0	0	1	
0	1/0	0	1/0	1/0	0	0	0	0	0	0/1	停止条件検出

ビット 0：開始条件／停止条件発行禁止ビット (SCP)

SCP ビットは、マスタモードでの開始条件／停止条件の発行を制御します。開始条件を発行する場合、BBSY=1 かつ SCP=0 をライトします。開始条件の再送信時も同様に行います。また、停止条件の発行は BBSY=0 かつ SCP=0 をライトすることで行います。本ビットは、リードすると常に 1 が読み出されます。また、1 をライトしてもデータは格納されません。

ビット 0	
SCP	説 明
0	ライト時、BBSY フラグと組み合わせて開始条件、停止条件を発行
1	リード時、常に 1 をリード ライト時、無効 (初期値)

16.2.6 I²C バスステータスレジスタ (ICSR)

ビット：	7	6	5	4	3	2	1	0
	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB
初期値：	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

ICSR は、8 ビットのリード／ライト可能なレジスタで、フラグの確認、アクノリッジの確認および制御を行います。

リセットまたはハードウェアスタンバイモード時、ICSR は H'00 に初期化されます。

ビット7：エラー停止条件検出フラグ (ESTP)

ESTP フラグは、I²C バスフォーマットのスレーブモードで、フレームの転送の途中で停止条件を検出したことを示します。

ビット7	説 明
ESTP	
0	エラー停止条件なし (初期値) [クリア条件] (1) ESTP=1 の状態をリードしたあと、0 をライトしたとき (2) IRIC フラグが 0 にクリアされたとき
1	- I²C バスフォーマットでスレーブモードのとき エラー停止条件を検出 [セット条件] フレームの転送の途中で停止条件を検出したとき - I²C バスフォーマットでスレーブモードのとき以外 意味なし

ビット 6：正常停止条件検出フラグ (STOP)

STOP フラグは、I²C バスフォーマットのスレーブモードで、フレームの転送の完了後に停止条件を検出したことを示します。

ビット 6	説 明
STOP	
0	正常停止条件なし (初期値) [クリア条件] (1) STOP=1 の状態をリードしたあと、0 をライトしたとき (2) IRIC フラグが 0 にクリアされたとき
1	• I²C バスフォーマットでスレーブモードのとき 正常停止条件を検出 [セット条件] フレームの転送の完了後に停止条件を検出したとき • I²C バスフォーマットでスレーブモードのとき以外 意味なし

ビット 5：I²C バスインタフェース連続送受信割り込み要求フラグ (IRTR)

IRTR フラグは、I²C バスインタフェースが CPU に対して割り込み要求を発生させており、その要因が DTC 起動可能な連続送受信動作の 1 フレーム送受信の完了であることを示します。IRTR フラグが 1 にセットされると、同時に IRIC フラグも 1 にセットされます。

IRTR フラグのセットは、TDRE または RDRF フラグが 1 にセットされたときに行われます。IRTR フラグのクリアは、IRTR=1 をリードしたあと、0 をライトすることで行われます。また、IRIC フラグを 0 にクリアすると IRTR フラグは自動的にクリアされます。

ビット 5	説 明
IRTR	
0	転送待ち状態、または転送中 (初期値) [クリア条件] (1) IRTR=1 の状態をリードしたあと、0 をライトしたとき (2) IRIC フラグが 0 にクリアされたとき
1	連続転送状態 [セット条件] • I²C バスインタフェースでスレーブモードのとき AASX=1 の状態で、TDRE または RDRF フラグが 1 にセットされたとき • I²C バスインタフェースでスレーブモードのとき以外 TDRE または RDRF フラグが 1 にセットされたとき

ビット 4：第 2 スレーブアドレス認識フラグ (AASX)

AASX フラグは、I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SARX の SVAX6～SVAX0 と一致した場合、AASX=1 となります。

AASX フラグのクリアは、AASX=1 をリードしたあと、0 をライトすることで行われます。また、開始条件を検出すると自動的にクリアされます。

ビット 4	説 明
AASX	
0	第 2 スレーブアドレスを未認識 [クリア条件] (1) AASX=1 の状態をリードしたあと、0 をライトしたとき (2) 開始条件を検出したとき (3) マスタモードのとき (初期値)
1	第 2 スレーブアドレスを認識 [セット条件] ・ スレーブ受信モードかつ FSX=0 で第 2 スレーブアドレスを検出したとき

ビット 3：アービトレーションロストフラグ (AL)

AL フラグは、マスタモード時にバス競合負けをしたことを示します。

複数のマスタがほぼ同時にバスを占有しようとしたときに I²C バスインタフェースは SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。

AL フラグのクリアは、AL=1 をリードしたあと、0 をライトすることで行われます。また、ICDR をライト（送信時）またはリード（受信時）すると自動的にリセットされます。

ビット 3	説 明
AL	
0	バスを確保 [クリア条件] (1) ICDR にデータをライト（送信時）、データをリード（受信時）したとき (2) AL=1 の状態をリードしたあと、0 をライトしたとき (初期値)
1	バス競合負け（アービトレーションロスト） [セット条件] (1) マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき (2) マスタ送信モードで SCL の立ち下がりで内部 SCL が High レベルのとき

ビット 2：スレーブアドレス認識フラグ (AAS)

AAS フラグは、I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SAR の SVA6～SVA0 と一致した場合、またはゼネラルコールアドレス (H'00) を検出した場合、AAS=1 となります。

AAS フラグのクリアは、AAS=1 をリードしたあと、0 をライトすることで行われます。また ICDR をライト (送信時) またはリード (受信時) すると自動的にリセットされます。

ビット 2	説 明
AAS	
0	スレーブアドレスまたはゼネラルコールアドレスを未認識 (初期値) [クリア条件] (1) ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき (2) AAS=1 の状態をリードしたあと、0 をライトしたとき (3) マスタモードのとき
1	スレーブアドレスまたはゼネラルコールアドレスを認識 [セット条件] • スレーブ受信モードかつ FS=0 でスレーブアドレスまたはゼネラルコールアドレスを検出したとき

ビット 1：ゼネラルコールアドレス認識フラグ (ADZ)

ADZ フラグは、I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームでゼネラルコールアドレス (H'00) を検出した場合、ADZ=1 となります。

ADZ フラグのクリアは、ADZ=1 をリードしたあと、0 をライトすることで行われます。また ICDR をライト (送信時) またはリード (受信時) すると自動的にリセットされます。

ビット 1	説 明
ADZ	
0	ゼネラルコールアドレスを未認識 (初期値) [クリア条件] (1) ICDR にデータをライト (送信時)、または ICDR のデータをリード (受信時) したとき (2) ADZ=1 の状態をリード後、0 をライトしたとき (3) マスタモードのとき
1	ゼネラルコールアドレスを認識 [セット条件] • スレーブ受信モードかつ (FSX=0 または FS=0) でゼネラルコールアドレスを検出したとき

ビット 0：アクノリッジビット (ACKB)

ACKB ビットは、アクノリッジデータを格納するビットです。

送信モードでは、受信デバイスがデータを受信したあと、アクノリッジデータを返してくるので、そのデータを ACKB ビットにロードします。また、受信モードでは送信デバイスに対し、データを受信したあと、あらかじめ本ビットに設定されたアクノリッジデータを送出します。

本ビットをリードすると、送信時 (TRS=1 のとき) にはロードした値 (受信デバイスから返ってきた値) が読み出され、受信時 (TRS=0 のとき) には設定した値が読み出されます。

また、本ビットをライトすると、TRS の値にかかわらず、受信時に送信するアクノリッジデータの設定値を書き換えます。このとき、受信デバイスからロードした値は、そのまま保持されますので、本レジスタをビット操作命令を使用して書き換えるときには注意が必要です。

ビット 0	説 明
ACKB	
0	受信時、アクノリッジ出力タイミングで 0 出力 送信時、受信デバイスからアクノリッジがあった (0 だった) ことを示す (初期値)
1	受信時、アクノリッジ出力タイミングで 1 出力 送信時、受信デバイスからアクノリッジがなかった (1 だった) ことを示す

16.2.7 シリアルタイムコントロールレジスタ (STCR)

ビット：	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	IICE	FLSHE	—	ICKS1	ICKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は 8 ビットのリード／ライト可能なレジスタで、レジスタアクセスの制御、IIC の動作モードの制御、内蔵フラッシュメモリの制御、TCNT の入力クロックの選択を行います。I²C バスインタフェース以外の詳細は、「3.2.4 シリアルタイムコントロールレジスタ (STCR)」および各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7：I²C エクストラバッファセレクト (IICS)

ポート A のビット 7～4 を、SCL、SDA と同様の出力バッファとなるよう設定します。ソフトウェアのみによる I²C インタフェースを実現する場合に利用します。

ビット 7	説 明
0	PA7～PA4 は通常入出力端子 (初期値)
1	PA7～PA4 はバス駆動可能な入出力端子

ビット 6、5：I²C トランスファレートセレクト 1、0 (IICX1、0)

ICMR の CKS2～CKS0 と組み合わせて、マスタモードでの転送レートを選択します。
転送レートの詳細は「16.2.4 I²C バスモードレジスタ (ICMR)」の項を参照してください。

ビット 4：I²C マスタイネーブル (IICE)

I²C バスインタフェースのデータレジスタ、制御レジスタ (ICCR、ICSR、ICDR/SARX、ICMR/SAR) の CPU アクセスを制御します。

ビット 4	説 明
IICE	
0	I ² C バスインタフェースのデータレジスタおよび制御レジスタの CPU アクセスを禁止 (初期値)
1	I ² C バスインタフェースのデータレジスタおよび制御レジスタの CPU アクセスを許可

ビット 3：フラッシュメモリコントロールレジスタイネーブル (FLSHE)

フラッシュメモリの制御レジスタ、低消費電力状態の制御レジスタ、および周辺モジュールの制御レジスタの CPU アクセスを制御するビットです。詳しくは「3.2.4 シリアルタイムコントロールレジスタ (STCR)」を参照してください。

ビット 2：リザーブビット

リザーブビットです。1 にセットしないでください。

ビット 1、0：インターナルクロックソースセレクト 1、0 (ICKS1、ICKS0)

TCR の CKS2～CKS0 ビットと共に、TCNT に入力するクロックを選択します。詳細は「12.2.4 タイマコントロールレジスタ (TCR)」を参照してください。

16.2.8 DDC スイッチレジスタ (DDCSWR)

ビット：	7	6	5	4	3	2	1	0
	SWE	SW	IE	IF	CLR3	CLR2	CLR1	CLR0
初期値：	0	0	0	0	1	1	1	1
R/W：	R/W	R/W	R/W	R/(W)*1	W*2	W*2	W*2	W*2

【注】 *1 フラグをクリアするための0ライトのみ可能です。

*2 リードすると常に1が読み出されます。

DDCSWR は 8 ビットのリード／ライト可能なレジスタで、IIC チャンネル 0 のフォーマット自動切り替え機能の制御および IIC の内部ラッチクリアの制御を行います。

DDCSWR はリセットまたはハードウェアスタンバイモード時に H'0F に初期化されます。

16. I²C バスインタフェース (IIC)

ビット 7 : DDC モードスイッチイネーブル (SWE)

IIC チャンネル 0 で、フォーマットレスから I²C バスフォーマットへの自動切り替え機能を選択します。

ビット 7	説 明
SWE	
0	IIC チャンネル 0 の、フォーマットレスから I ² C バスフォーマットへの自動切り替えを禁止する (初期値)
1	IIC チャンネル 0 の、フォーマットレスから I ² C バスフォーマットへの自動切り替えを許可する

ビット 6 : DDC モードスイッチ (SW)

IIC チャンネル 0 でフォーマットレスと、I²C バスフォーマットを選択します。

ビット 6	説 明
SW	
0	IIC チャンネル 0 を I ² C バスフォーマットで使用する (初期値) [クリア条件] (1) ソフトウェアにより 0 をライトしたとき (2) SWE=1 で、SCL に立ち下がりエッジを検出したとき
1	IIC チャンネル 0 をフォーマットレスで使用する [セット条件] • SW=0 の状態をリードしたあと、1 をライトしたとき

ビット 5 : DDC モードスイッチ割り込み許可ビット (IE)

IIC チャンネル 0 でフォーマットの自動切り替えが実行された場合の CPU への割り込み要求を許可／禁止します。

ビット 5	説 明
IE	
0	フォーマット自動切り替え実行時の割り込みを禁止 (初期値)
1	フォーマット自動切り替え実行時の割り込みを許可

ビット 4 : DDC モードスイッチ割り込みフラグ (IF)

IIC チャンネル 0 でフォーマット自動切り替えが実行された場合の CPU への割り込み要求フラグです。

ビット 4	説 明
IF	
0	フォーマット自動切り替え実行時の割り込み要求なし (初期値) [クリア条件] • IF=1 の状態をリードしたあと、0 をライトしたとき
1	フォーマット自動切り替え実行時の割り込み要求あり [セット条件] • SWE=1 で、SCL に立ち下がりエッジを検出したとき

ビット 3～0 : IIC クリア 3～0 (CLR3～CLR0)

本ビットは IIC0、IIC1 の内部状態の初期化を制御します。

本ビットはライト動作のみ可能で、リードすると常に 1 が読み出されます。

本ビットのライト動作により対応するモジュールの内部ラッチ回路へのクリア信号が発生し、IIC モジュールの内部状態が初期化されます。

なお、本ビットへのライトデータは保持されません。IIC クリアを行う場合は、必ず MOV 命令を使用し、CLR3～CLR0 ビットを同時に書き込んでください。BCLR などのビット操作命令は使用しないでください。

再度クリアが必要な場合は、すべてのビットとも設定に従い書き込みする必要があります。

ビット 3	ビット 2	ビット 1	ビット 0	説 明
CLR3	CLR2	CLR1	CLR0	
0	0	—	—	設定禁止
0	1	0	0	設定禁止
0	1	0	1	IIC0 内部ラッチクリア
0	1	1	0	IIC1 内部ラッチクリア
0	1	1	1	IIC0、1 内部ラッチクリア
1	—	—	—	設定無効

16.2.9 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCR _H								MSTPCR _L								
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP4、MSTP3 の対応するビットを 1 にセットすると、バスサイクルの終了時点で IIC は動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCR_L ビット 4：モジュールストップ (MSTP4)

IIC チャンネル 0 のモジュールストップモードを指定します。

MSTPCR _L ビット 4	説 明
MSTP4	
0	IIC チャンネル 0 のモジュールストップモード解除
1	IIC チャンネル 0 のモジュールストップモード設定 (初期値)

MSTPCR_L ビット 3：モジュールストップ (MSTP3)

IIC チャンネル 1 のモジュールストップモードを指定します。

MSTPCR _L ビット 3	説 明
MSTP3	
0	IIC チャンネル 1 のモジュールストップモード解除
1	IIC チャンネル 1 のモジュールストップモード設定 (初期値)

16.3 動作説明

16.3.1 I²C バスデータフォーマット

I²C バスインタフェースには、シリアルフォーマットと I²C バスフォーマットがあります。

I²C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットありです。これを図 16.3 (a)、(b) に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

IIC チャンネル 0 のみフォーマットレスでの動作が可能です。これを図 16.4 に示します。

シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットなしです。これを図 16.5 に示します。また、I²C バスのタイミングを図 16.6 に示します。

図 16.3～図 16.6 の記号説明を表 16.4 に示します。

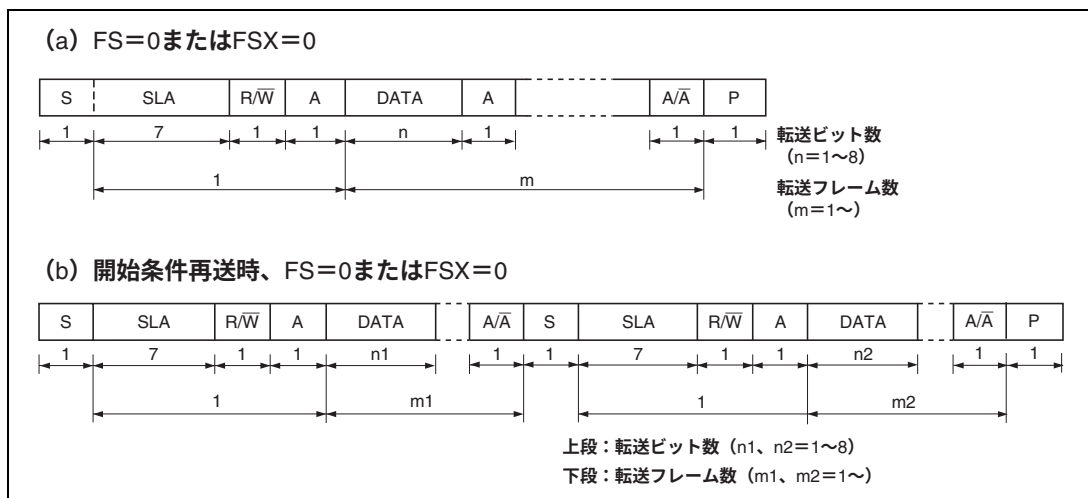


図 16.3 I²C バスデータフォーマット (I²C バスフォーマット)

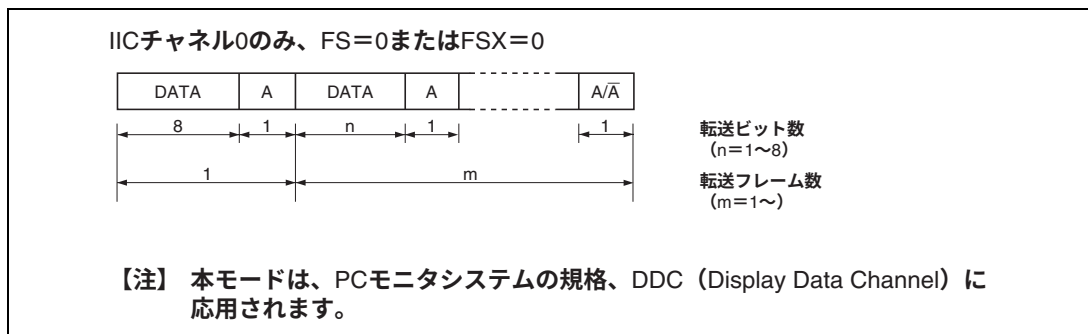


図 16.4 フォーマットレス

16. I²C バスインタフェース (IIC)

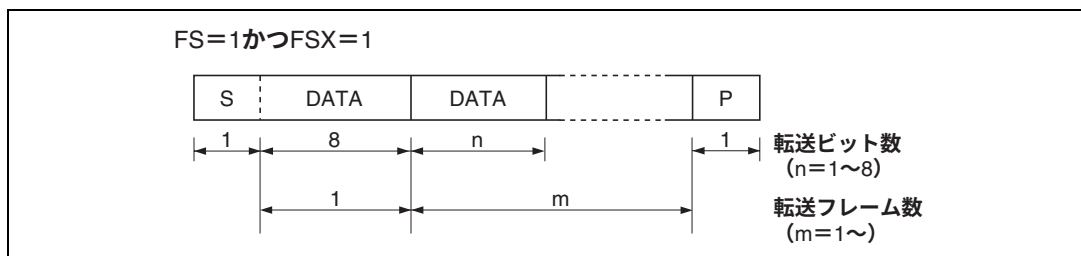


図 16.5 I²C バスデータフォーマット (シリアルフォーマット)

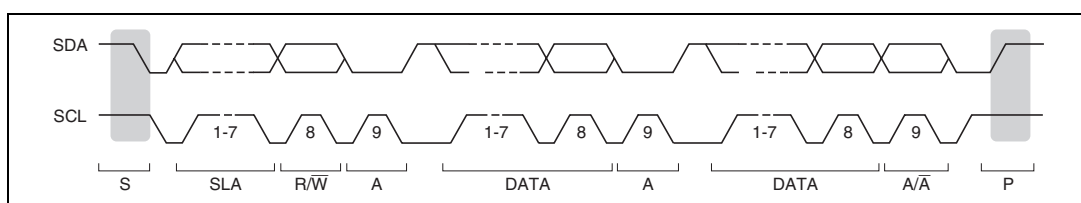


図 16.6 I²C バスタイミング

表 16.4 I²C バスデータフォーマット記号説明

S	開始条件を示します。マスタデバイスが SCL=High レベルの状態です。SDA を High レベルから Low レベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W	送信／受信の方向を示します。R/W ビットが 1 の場合スレーブデバイスからマスタデバイス、R/W ビットが 0 の場合マスタデバイスからスレーブデバイスへデータを転送します。
A	アクノリッジを示します。受信デバイスが SDA を Low レベルにします（マスタ送信モード時スレーブが、マスタ受信モード時マスタがアクノリッジを返します）。
DATA	送受信データを示します。送受信するデータのビット長は ICMR の BC2~BC0 ビットで設定します。また MSB ファースト／LSB ファーストの切り替えは ICMR の MLS ビットで選択します。
P	停止条件を示します。マスタデバイスが SCL=High レベルの状態です。SDA を Low レベルから High レベルに変化させます。

16.3.2 マスタ送信動作

I²C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

以下に ICDR のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

- [1] ICCRのICEビットを1に設定します。ICMRのMLS、WAITビット、CKS2～CKS0ビット、およびSTCRのIICXビットを動作モードに合わせて設定します。
- [2] ICCRのBBSYフラグをリードしバスがフリー状態であることを確認します。
- [3] ICCRのMST、TRSビットをそれぞれ1にセットしてマスタ送信モードに設定します。
- [4] ICCRにBBSY=1かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをHighレベルからLowレベルに変化させ、開始条件を生成します。
- [5] 開始条件の生成に伴いIRIC、IRTRフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
- [6] ICDRにデータ（スレーブアドレス+R/W）をライトします。
I²Cバスフォーマット（SARのFSビットまたはSARXのFSXビットが0のとき）では、開始条件に続く第1フレームデータは7ビットのスレーブアドレスと送信／受信の方向を示します。
次に転送終了を判断するためIRICフラグを0にクリアします。
ここでICDRのライトとIRICフラグのクリアは連続的にを行い、他の割り込み処理が入らないようにしてください。
もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。
マスタデバイスは図16.7で示すタイミングで送信クロックとICDRにライトされたデータを順次送出します。選択された（スレーブアドレスが一致した）スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。
- [7] 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
- [8] ICSRのACKBビットをリードしてACKB=0であることを確認します。
スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、[12]の送信終了処理を行い、再度送信動作をやり直してください。
- [9] ICDRに送信データをライトします。
次に転送終了を判断するためIRICフラグを0にクリアします。
ここで[6]同様にICDRのライトとIRICフラグのクリアは連続的に行ってください。
次フレームの送信は内部クロックに同期して行われます。
- [10] 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。
SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
- [11] ICSRのACKBビットをリードします。
スレーブデバイスがアクノリッジを返しACKB=0となっていることを確認します。引き続きデータを送信する場合には、[9]に戻り次の送信動作に移ります。スレーブデバイスがアクノリッジを返さずACKB=1となっている場合は、[12]の送信終了処理を行います。

16. I²C バスインタフェース (IIC)

[12] IRICフラグを0にクリアします。

ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

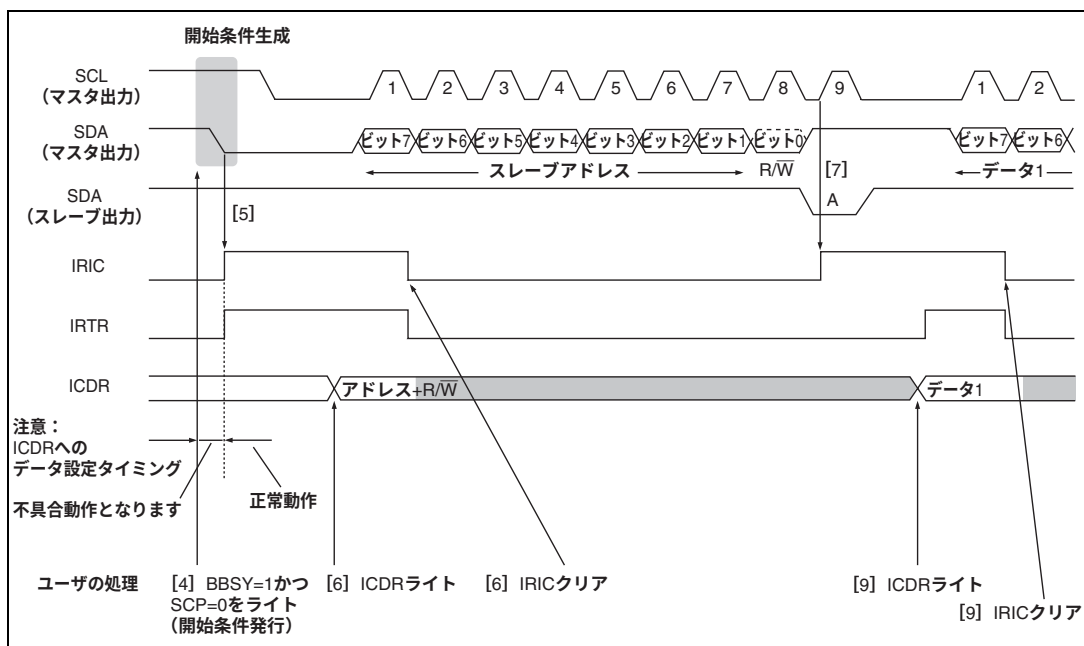


図 16.7 マスタ送信モード動作タイミング例 (MLS=WAIT=0 のとき)

16.3.3 マスタ受信動作

I²C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アクノリッジを返します。スレーブデバイスはデータを送信します。

以下にウェイト動作を利用し、ICDR のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

- [1] ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。
ICMRのWAITビットを1にセットします。
ICSRのACKBビットを0にクリアします。（アクノリッジデータの設定）
 - [2] ICDRをリード（ダミーリード）すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。
次にウェイトを判断するためIRICフラグを0にクリアします。
ここでICDRのリードとIRICフラグのクリアは連続的にいき、他の割り込み処理が入らないようにしてください。
もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。
 - [3] 1フレームの受信クロックの8クロック目の立ち下がりでIRICフラグが1にセットされます。
このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
1フレーム目が最後の受信データの場合は、[10]の終了処理を行ってください。
 - [4] ウェイトを解除するためIRICフラグを0にクリアします。
マスタデバイスは受信クロックの9クロック目を出力すると共に、SDAをLowレベルにし、アクノリッジを返します。
 - [5] 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでIRICフラグ、およびIRTRフラグが1にセットされます。
マスタデバイスは引き続き次の受信データの受信クロックを出力します。
 - [6] ICDRの受信データをリードします。
 - [7] 次のウェイトを判断するためIRICフラグを0にクリアします。
[4]（または[9]）のウェイト解除のため、IRICフラグクリアから[5]～[7]のデータ受信完了処理までは、1バイト分の転送時間内で行ってください。
 - [8] 1フレームの受信クロックの8クロック目の立ち下がりでIRICフラグが1にセットされます。
SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
このフレームが最後の受信データの場合は、[10]の終了処理を行ってください。
 - [9] ウェイトを解除するためIRICフラグを0にクリアします。
マスタデバイスは受信クロックの9クロック目を出力すると共に、SDAをLowレベルにし、アクノリッジを返します。
- [5]から[9]を繰り返し行うことにより、データを受信することができます。
- [10] ICSRのACKBビットを1にセットし、最後の受信用アクノリッジデータを設定します。
ICCRのTRSビットを1にセットし、受信モードから送信モードに切り替えます。

16. I²C バスインタフェース (IIC)

- [11] ウェイトを解除するためIRICフラグを0にクリアします。
- [12] 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。
- [13] ICMRのWAITビットを0にクリアし、ウェイトモードを解除します。
その後、ICDRの受信データをリードし、IRICフラグを0にクリアします。
IRICフラグのクリアはWAIT=0の状態で行ってください。
(IRICフラグを0にクリアしたあとにWAITビットを0にクリアし、停止条件発行命令を実行した場合、SDAラインがLow固定され、停止条件が発行できなくなります。)
- [14] ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

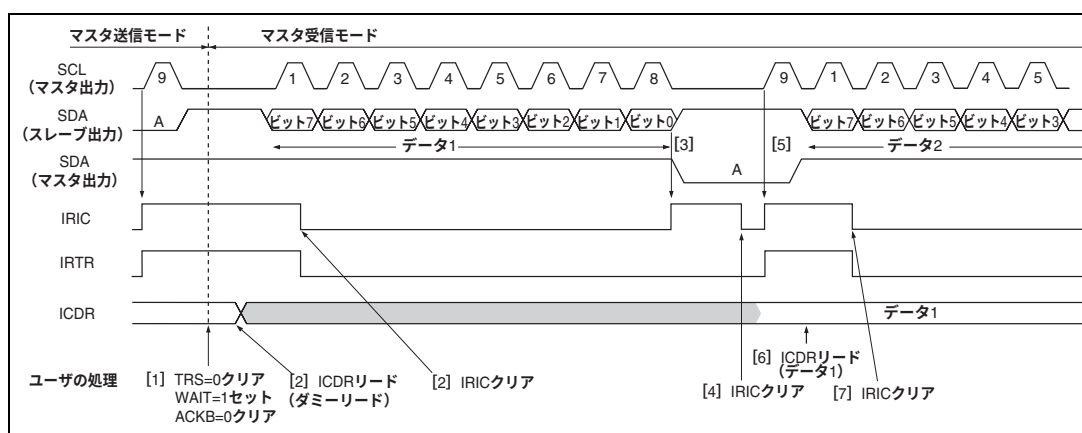


図 16.8 (1) マスタ受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき)

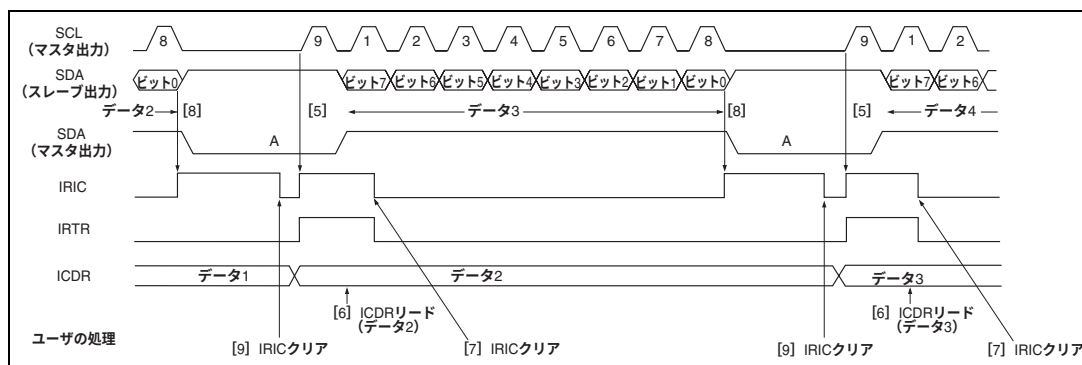


図 16.8 (2) マスタ受信モード動作タイミング例 (MLS=ACKB=0、WAIT=1 のとき) (続き)

16.3.4 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。以下にスレーブ受信モードの受信手順と動作を示します。

- [1] ICCRのICEビットを1にセットします。また、ICMRのMLSビットおよびICCRのMST、TRSビットを動作モードに合わせて設定します。
- [2] マスタデバイスの出力した開始条件を検出すると、ICCRのBBSYフラグが1にセットされます。
- [3] 開始条件後の第1フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8ビット目のデータ (R/W) が0のときICCRのTRSビットは0のまま変化せず、スレーブ受信動作を行います。
- [4] 受信フレームの9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。同時にICCRのIRICフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。このとき、RDRF内部フラグが0にクリアされていると、RDRF内部フラグを1にセットして引き続き受信動作を行います。RDRF内部フラグが1にセットされていると、スレーブデバイスは受信クロックの立ち上がりからICDRにデータをリードするまでSCLをLowレベルにします。
- [5] ICDRをリードし、ICCRのIRICフラグを0にクリアします。このときRDRFフラグが0にクリアされます。

[4] から [5] を繰り返し行うことにより、受信動作を継続できます。SCL が High レベルのとき、SDA が Low レベルから High レベルに変化し停止条件を検出すると、ICCR の BBSY フラグが 0 にクリアされます。

16. I²C バスインタフェース (IIC)

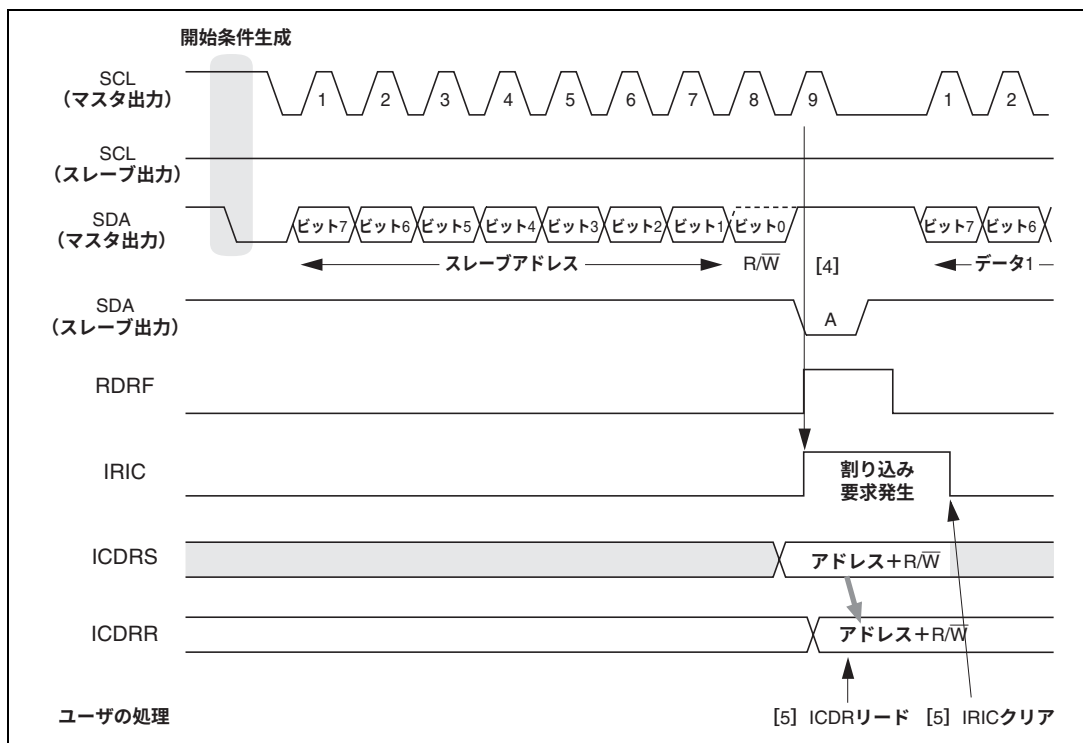


図 16.9 スレーブ受信モード動作タイミング例 1 ($MLS = ACKB = 0$ のとき)

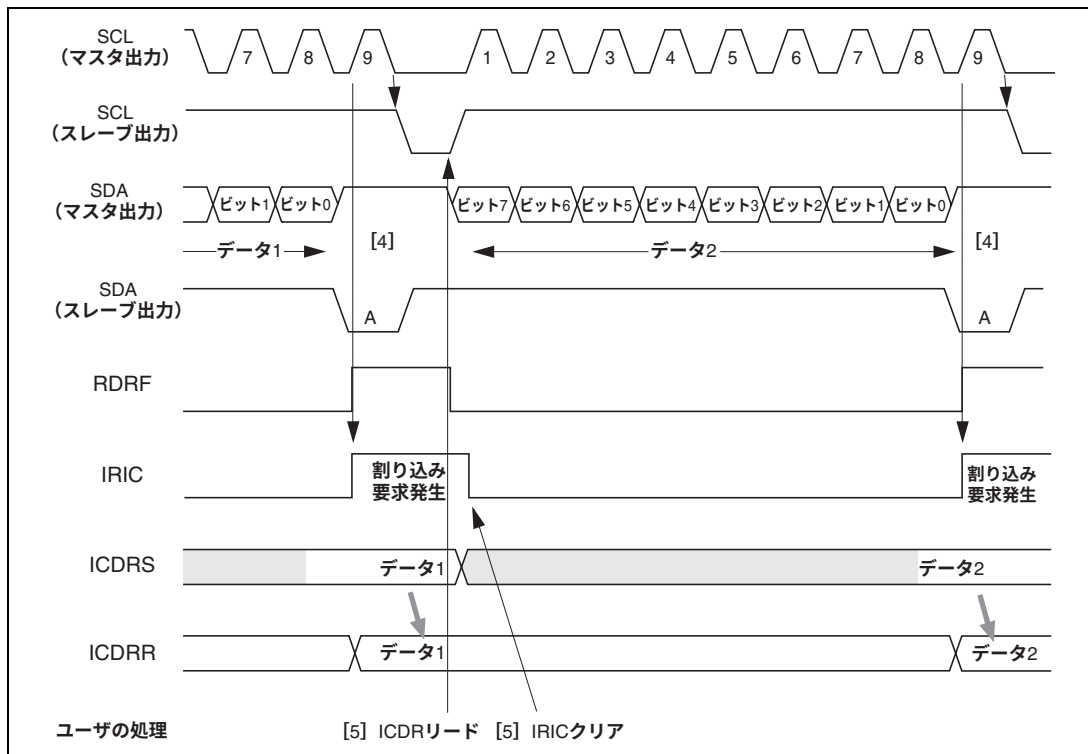


図 16.10 スレーブ受信モード動作タイミング例 2 (MLS=ACKB=0 のとき)

16.3.5 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

- [1] ICCRのICEビットを1にセットします。また、ICMRのMLSビットおよびICCRのMST、TRSビットを動作モードに合わせて設定します。
- [2] 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。同時にICCRのIRICフラグが1にセットされ、このとき、ICCRのIEICビットが1にセットされているとCPUに対し割り込み要求を発生します。また、8ビット目のデータ (R/W) が1のときICCRのTRSビットが1にセットされ、自動的にスレーブ送信モードに変化します。このときTDRE内部フラグが1にセットされます。スレーブデバイスは送信クロックの立ち下がりからICDRデータをライトするまでSCLをLowレベルにします。
- [3] IRICフラグを0にクリア後、ICDRにデータをライトします。このときTDRE内部フラグは0にクリアされます。ライトされたデータはICDRSに転送され、TDRE内部フラグおよびIRIC、IRTRフラグが再び1にセットされます。IRICフラグを0にクリア後、ICDRに次のデータをライトします。スレーブデバイスは図16.11で示すタイミングでマスタデバイスが出力するクロックに従い、ICDRにライトされたデータを順次送出します。
- [4] 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでICCRのIRICフラグが1にセットされます。またこのスレーブデバイスは、TDRE内部フラグが1にセットされていると、送信クロックの立ち下がりからICDRにデータライトするまでSCLをLowレベルにします。マスタデバイスは9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKBビットに格納されるので転送動作が正常に行われたかどうか確認することができます。TDRE内部フラグが0のときは、ICDRにライトされたデータはICDRSに転送され送信を開始し、TDRE内部フラグおよびIRIC、IRTRフラグが再び1にセットされます。
- [5] 送信を続ける場合は、IRICフラグを0にクリア後、次に送信するデータをICDRにライトします。このときTDRE内部フラグは0にクリアされます。

[4] から [5] を繰り返し行うことにより、送信動作を継続できます。送信を終了する場合は、スレーブ側で SDA を開放するために ICDR に H'FF をライトします。SCL が High レベルのとき SDA が Low レベルから High レベルに変化し停止条件を検出すると、ICCR の BBSY フラグが 0 にクリアされます。

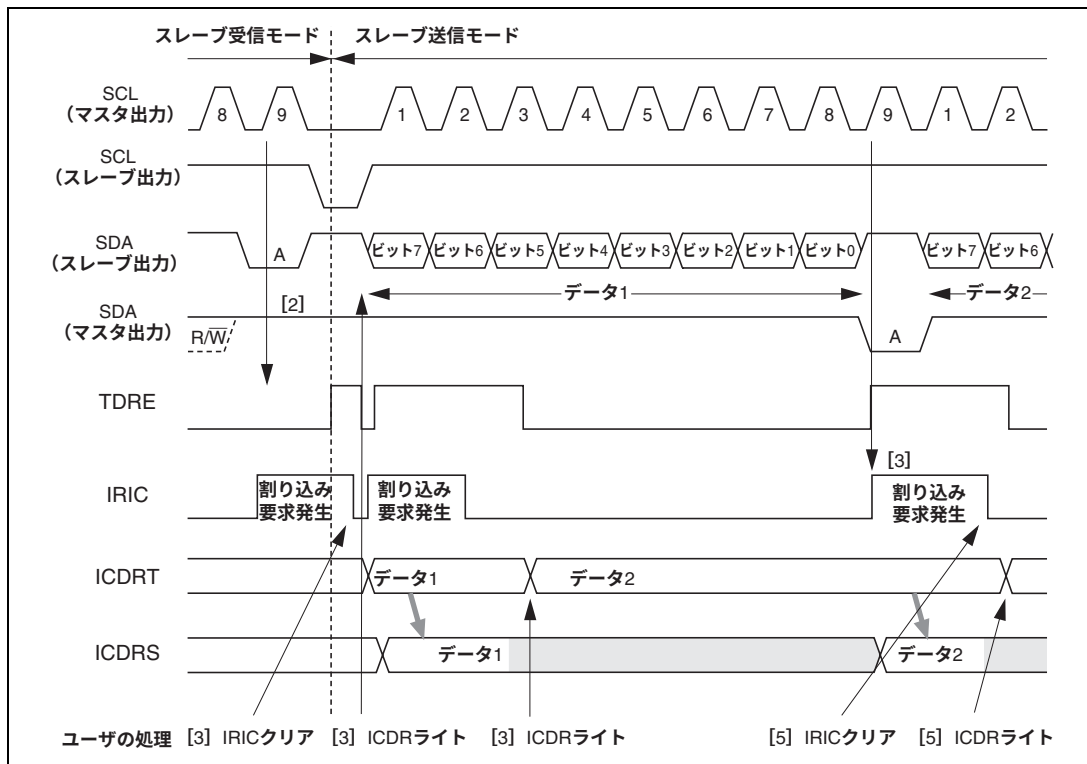


図 16.11 スレーブ送信モード動作タイミング例 (MLS=0 のとき)

16.3.6 IRIC セットタイミングと SCL 制御

割り込み要求フラグ (IRIC) セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、TDRE や RDRF 内部フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 16.12 に IRIC セットタイミングと SCL 制御を示します。

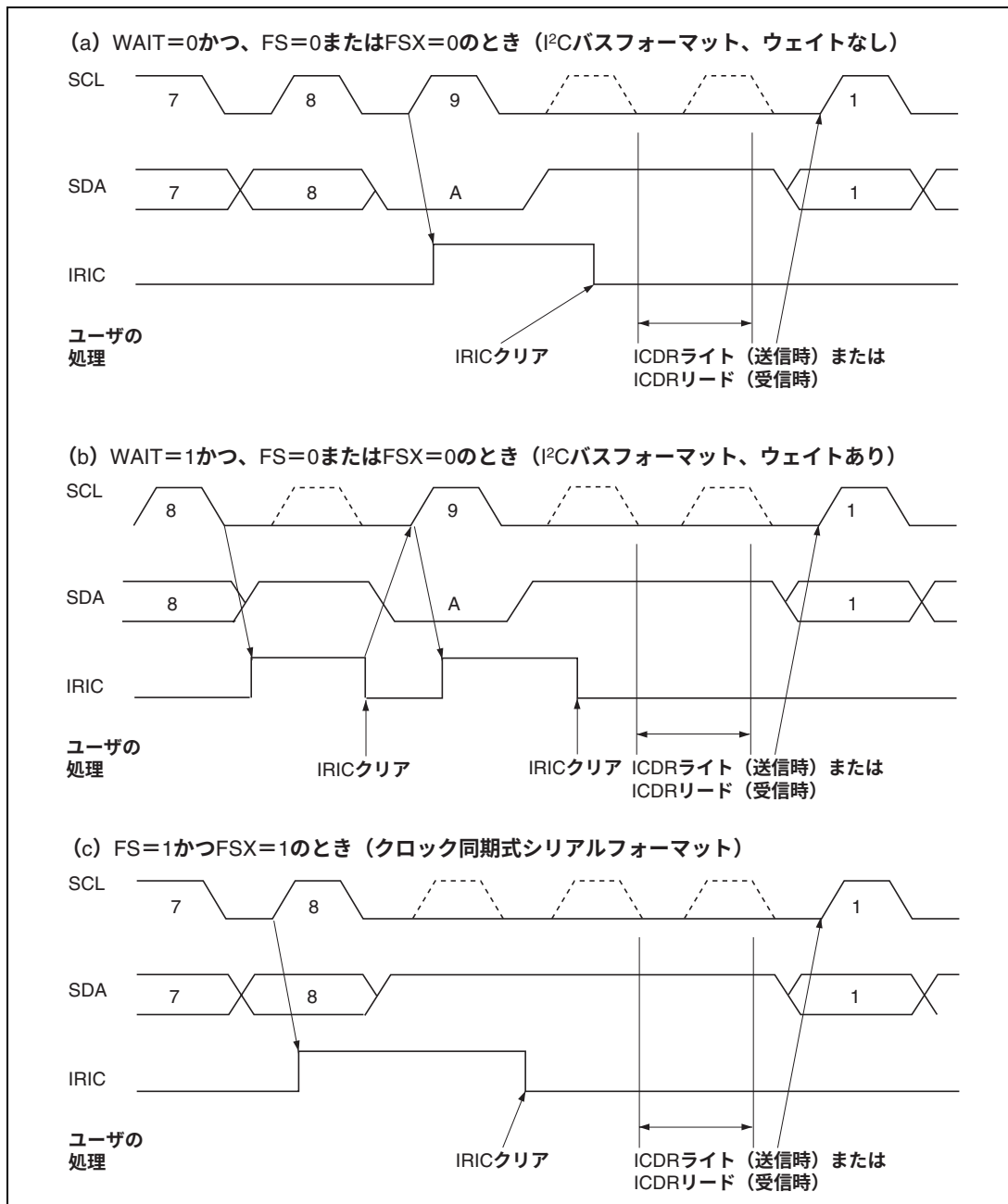


図 16.12 IRIC セットタイミングと SCL 制御

16.3.7 フォーマットレスから I²C バスフォーマットへの自動切り替え

DDCSWR の SW ビットを 1 にセットすると、IIC0 の動作モードを、フォーマットレスにすることができます。フォーマットレスから I²C バスフォーマット（スレーブモード）へは、SCL の立ち下がりを検出すると自動的に切り替えられます。

この動作の前提として、以下の 4 つの条件が必要です。

- (1) フォーマットレスと I²C バスフォーマットのデータ端子 (SDA) が共通
- (2) フォーマットレスと I²C バスフォーマットのクロック端子が独立
(フォーマットレス：VSYNCL、I²C バスフォーマット：SCL)
- (3) フォーマットレス時には SCL 端子は 1 固定 (Low ドライブしない)
- (4) ICCR の TRS ビット以外が、I²C バスフォーマットでの動作可能な設定

自動切り替えは、SCL の立ち下がりエッジを検出して DDCSWR の SW ビットを自動的に 0 にクリアすることにより、フォーマットレス→I²C バスフォーマットの方向で行われます。I²C バスフォーマット→フォーマットレスの切り替えは、DDCSWR の SW ビットをソフトウェアで 1 にセットすることによって行います。

フォーマットレス時には、I²C バスインタフェースの動作モードを制御するビット (MSL ビット、TRS ビット等) を書き換えしないでください。I²C バスフォーマット→フォーマットレスの切り替え時には、フォーマットレスでの転送方向 (送信/受信) に合わせて TRS ビットを 1 にセットまたは 0 にクリアしたあとに SW ビットを 1 にセットしてください。フォーマットレス→I²C バスフォーマット (スレーブモード) の自動切り替え後はスレーブアドレス受信待ちとするため、TRS ビットは自動的に 0 にクリアされます。

フォーマットレスで動作中に SCL の立ち下がりを検出すると、I²C バスインタフェースは、停止条件を待たず、その時点でフォーマットを切り替えます。

16.3.8 DTC による動作

I²C バスフォーマットでは、スレーブアドレスと R/W ビットによるスレーブデバイスおよび転送方向の選択や、アクノリッジビットによる受信の確認および最終フレームの表示などが行われるため、DTC によるデータの連続転送は、割り込みによる CPU 処理と組み合わせて行う必要があります。

表 16.5 は、DTC を利用した処理の例を示します。スレーブモードでも転送データ数が判っていると仮定しています。

表 16.5 DTC による動作例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス+ R/W ビット送信/受信	DTC で送信 (ICDR ライト)	CPU で送信 (ICDR ライト)	CPU で受信 (ICDR リード)	CPU で受信 (ICDR リード)
ダミーデータリード	—	CPU で処理 (ICDR リード)	—	—
本体データ送信/受信	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)	DTC で送信 (ICDR ライト)	DTC で受信 (ICDR リード)
ダミーデータ (H'FF) ライト	—	—	DTC で処理 (ICDR ライト)	—
最終フレーム処理	不要	CPU で受信 (ICDR リード)	不要	CPU で受信 (ICDR リード)
最終フレーム処理後の 転送要求処理	1 回目： CPU でクリア 2 回目： CPU で停止条件発行	不要	ダミーデータ (H'FF) 送 出中に終了条件を検出 して自動的にクリア	不要
DTC 転送データ フレーム数設定	送信：実データ数+1 (+1 は、スレーブアド レス+R/W ビット分)	受信：実データ数	送信：実データ数+1 (+1 は、ダミーデータ (H'FF) 分)	受信：実データ数

16.3.9 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 16.13 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

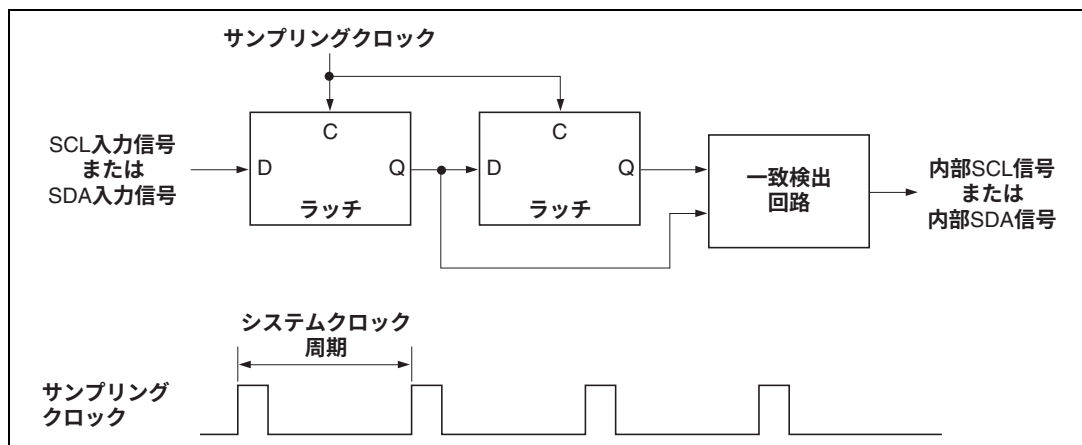
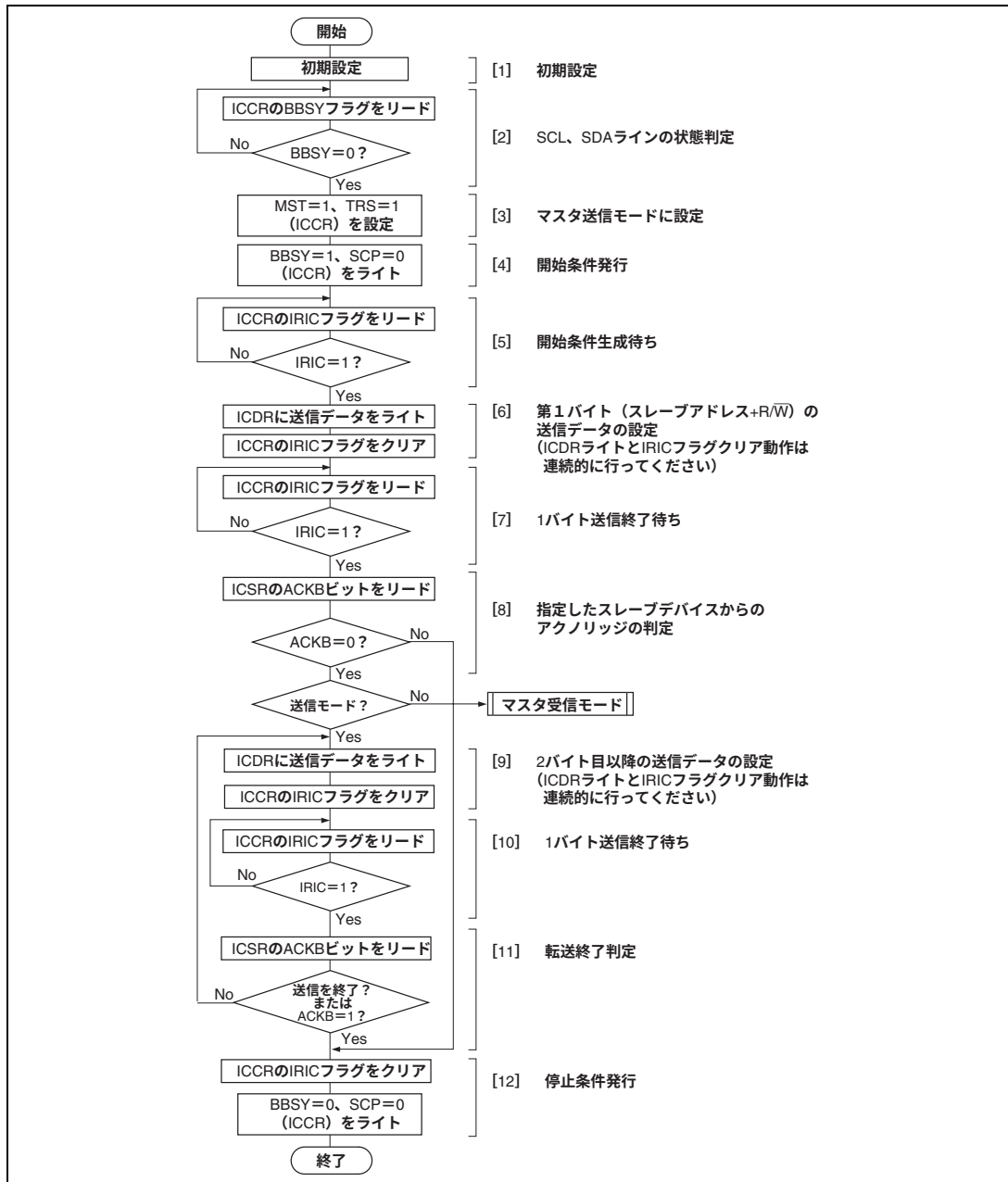


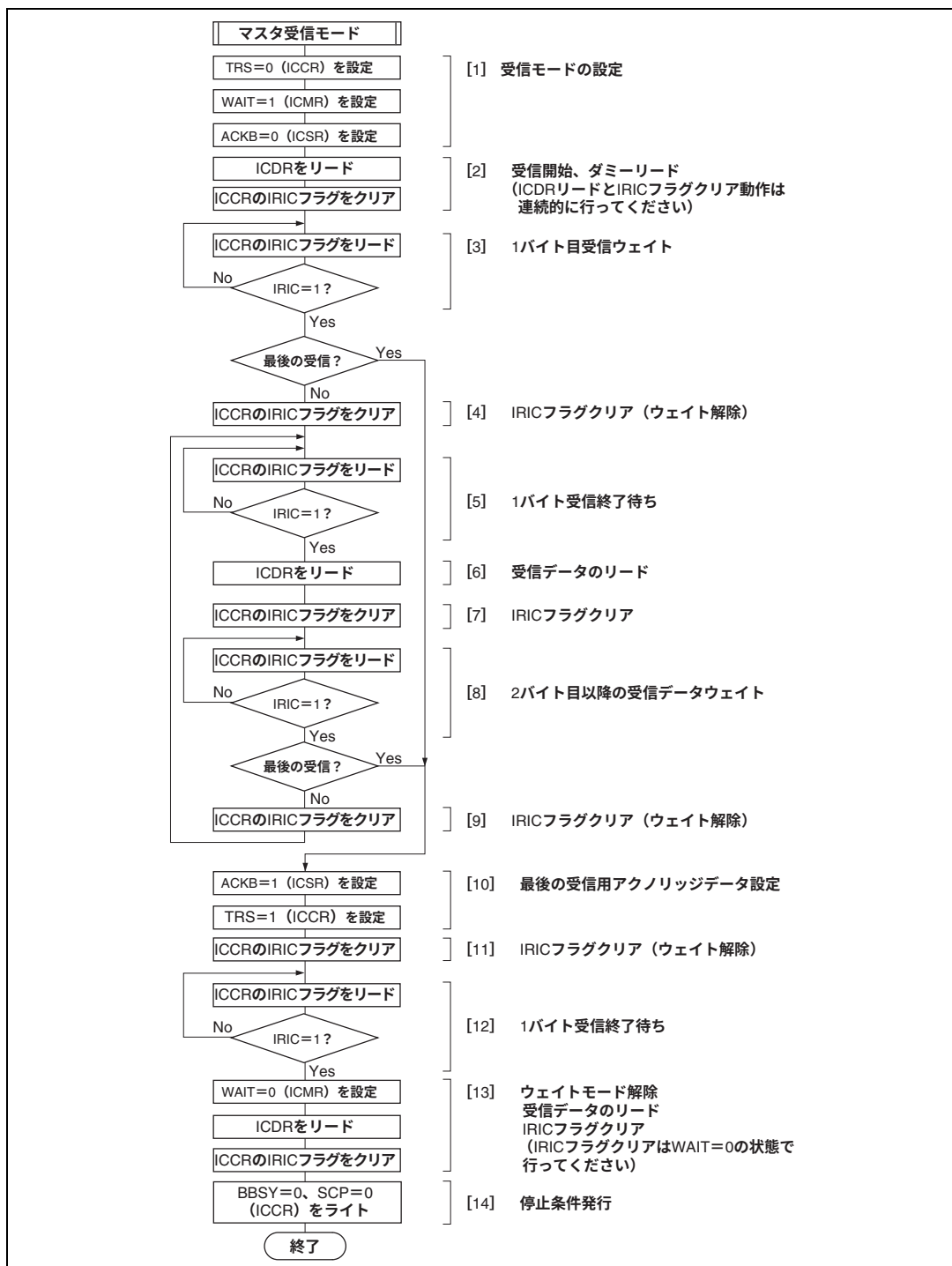
図 16.13 ノイズ除去回路のブロック図

16.3.10 使用例

I²C バスインタフェースを使用する場合の各モードでのフローチャート例を図 16.14～図 16.17 に示します。



16. I²C バスインタフェース (IIC)



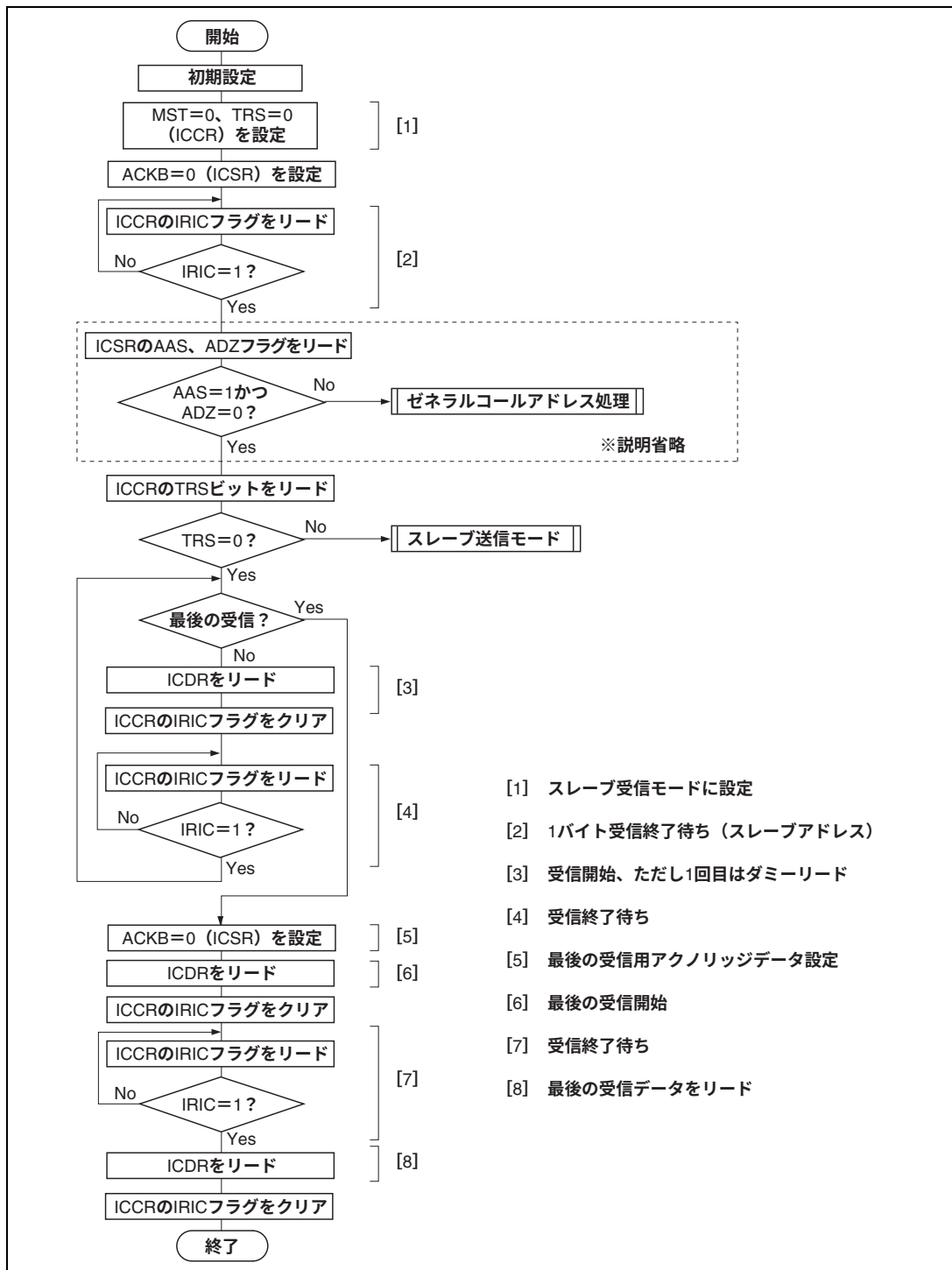


図 16.16 スレーブ受信モードフローチャート例

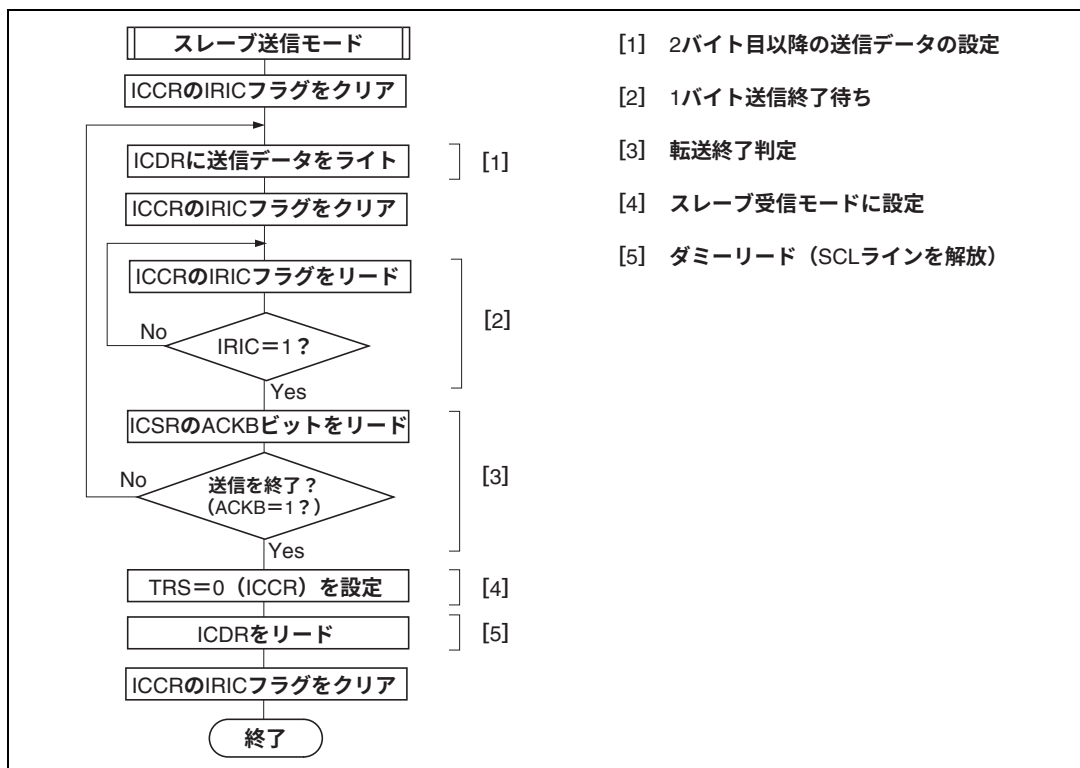


図 16.17 スレーブ送信モードフローチャート例

16.3.11 内部状態の初期化

本 IIC は、通信動作中のデッドロック発生時に、強制的に IIC 内部状態を初期化させる機能を持っています。

初期化は、(1) DDCCSWR レジスタの CLR3～CLR0 ビットの設定、または (2) ICE ビットのクリアにより実行されます。CLR3～CLR0 ビット設定の詳細は、「16.2.8 DDC スイッチレジスタ (DDCCSWR)」を参照してください。

(1) 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- TDRE、RDRF 内部フラグ
- 送信／受信シーケンサ、内部動作クロックのカウンタ
- SCL、SDA 端子出力状態を保持するための内部ラッチ (ウェイト、クロック、データ出力など)

なお、以下の内容は初期化されません。

- レジスタ自体の値 (ICDR、SAR、SARX、ICMR、ICCR、ICSR、DDCSWR、STCR)
- ICMR、ICCR、ICSR、DDCSWR 各レジスタのフラグのセット／クリアのためのレジスタリード情報保持用内部ラッチ
- ICMR レジスタのビットカウンタ (BC2～BC0) の値
- 発生した割り込み要因 (割り込みコントローラに転送された割り込み要因)

(2) 初期化における注意事項

- 割り込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグをクリアする処置が必要です。
- DDCSWR レジスタにより初期化を行う場合、CLR3～CLR0 ビットのライトデータは保持されません。IIC クリアを行う場合は、必ず MOV 命令を使用し、CLR3～CLR0 ビットを同時に書き込んでください。BCLR などのビット操作命令は使用しないでください。
- また、再度クリアが必要な場合は、同様にすべてのビットとも設定に従い、同時に書き込みする必要があります。
- 送受信中にフラグのクリア設定を行うと、その時点で IIC モジュールは送受信を中止し SCL、SDA 端子を解放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き換えませんが、SCL、SDA 端子の状態、解放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、IIC の状態を初期化するときは、以下の手順に従ってください。

- (1) CLR3～CLR0 ビットの設定、または ICE ビットによる内部状態の初期化実行
- (2) BBSY ビットを 0 にクリアするための、停止条件発行命令実行 (BBSY=0かつSCP=0ライト)、および転送レート of 2 クロック分の期間ウェイト
- (3) CLR3～CLR0 ビットの設定、または ICE ビットによる内部状態の初期化の再実行
- (4) IIC の各レジスタの初期化 (再設定)

16.4 使用上の注意

- (1) マスタモードで、開始条件生成のための命令と停止条件生成のための命令を連続的に発行すると、開始条件も停止条件も正常に出力されなくなります。開始条件と停止条件を連続的に出力する場合は、開始条件生成のための命令を発行後、ポートをリードし、SCL、SDAが共にLowレベルになっていることを確認してください。その後、停止条件生成のための命令を発行してください。BBSY=0となったタイミングでは、まだSCLがLowレベルになっていない場合がありますのでご注意ください。
- (2) 次転送のスタート条件が次の2条件となっています。ICDRをリード／ライトする場合は注意してください。
 - (a) ICE=1かつTRS=1かつICDRにライトしたとき (ICDRT→ICDRSの自動転送を含む)
 - (b) ICE=1かつTRS=0かつICDRをリードしたとき (ICDRS→ICDRRの自動転送を含む)
- (3) SCL、SDA出力は、内部クロックに同期して表16.6に示すタイミングで出力されます。バス上でのタイミングは、バスの負荷容量、直列抵抗、および並列抵抗に影響される信号の立ち上がり／立ち下がり時間によって定まります。

表 16.6 I²C バスタイミング (SCL、SDA 出力)

項 目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	t_{SCL}	$28t_{cyc} \sim 256t_{cyc}$	ns	図 25.27 (参考)
SCL 出力 High パルス幅	t_{SCLH}	$0.5t_{SCL}$	ns	
SCL 出力 Low パルス幅	t_{SCLL}	$0.5t_{SCL}$	ns	
SDA 出力バスフリー時間	t_{BUFO}	$0.5t_{SCL} - 1t_{cyc}$	ns	
開始条件出力ホールド時間	t_{STAHO}	$0.5t_{SCL} - 1t_{cyc}$	ns	
再送開始条件出力セットアップ時間	t_{STASO}	$1t_{SCL}$	ns	
停止条件出力セットアップ時間	t_{STOSO}	$0.5t_{SCL} + 2t_{cyc}$	ns	
データ出力セットアップ時間 (マスタ時)	t_{SDASO}	$1t_{SCL} - 3t_{cyc}$	ns	
データ出力セットアップ時間 (スレーブ時)		$1t_{SCL} - (6t_{cyc} \text{ または } 12t_{cyc}^*)$	ns	
データ出力ホールド時間	t_{SDAHO}	$3t_{cyc}$	ns	

【注】 * IICX が 0 のとき $6t_{cyc}$ 、1 のとき $12t_{cyc}$ となります。

- (4) SCL、SDA入力は、内部クロックに同期してサンプリングされます。そのため、ACタイミングは、「第25章 電気的特性」のI²Cバスタイミングに示すように、システムクロック周期 t_{cyc} に依存しています。システムクロック周波数が5MHzに満たないと、I²CバスインタフェースのACタイミング仕様を満足しなくなりますのでご注意ください。
- (5) SCLの立ち上がり時間 t_{sr} は、I²Cバスインタフェースの仕様で1000ns (高速モード時は300ns) 以内と定められています。本I²Cバスインタフェースは、マスタモード時SCLをモニタし、ビットごとに同期をとりながら通信を行います。そのためSCLの立ち上がり時間 t_{sr} (Lowレベルから V_{IH} まで変化する時間) が、I²Cバスインタフェースの入力クロックで決まる時間を超えた場合、SCLのHigh期間が延ばされます。SCLの立ち上がり時間は、SCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、表16.7に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 16.7 SCL 立ち上がり時間 (t_{Sr}) の許容範囲

IICX	t_{cyc} 表示	時間表示 [ns]				
			I ² C バス仕様(max.)	$\phi=5\text{MHz}$	$\phi=8\text{MHz}$	$\phi=10\text{MHz}$
0	$7.5t_{cyc}$	標準モード	1000	←	937	750
		高速モード	300	←	←	←
1	$17.5t_{cyc}$	標準モード	1000	←	←	←
		高速モード	300	←	←	←

【注】 H8S/2149、H8S/2169 の最大動作周波数は 10MHz です。

- (6) SCL、SDAの立ち上がり、立ち下がり時間は、I²Cバスインタフェースの仕様で1000nsおよび300ns以内と定められています。一方、本I²CバスインタフェースのSCL、SDA出力タイミングは、表16.6に示すように t_{cyc} によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートではI²Cバスインタフェースの仕様を満足しない場合があります。表16.8は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。

t_{BUFO} はどの周波数でもI²Cバスインタフェースの仕様を満足しません。これに対しては、(a) 停止条件発行後、開始条件の発行まで必要なインターバル (1 μ s程度) を確保するようプログラムする必要があります。あるいは、(b) I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

高速モード時の t_{SCLLO} 、標準モード時の t_{STASO} では、 t_{Sr}/t_{Sf} をワーストケースとして計算した場合にI²Cバスインタフェースの仕様を満足しません。(a) プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整するか、(b) 転送レートを下げて仕様を満足するよう調整するなどの対応を検討してください。あるいは、(c) I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

16. I²C バスインタフェース (IIC)

表 16.8 I²C バスタイミング ($t_{\text{Sr}}/t_{\text{Sf}}$ 影響最大の場合)

項目	t_{cyc} 表示	時間表示 (最大転送レート時) [ns]					
			$t_{\text{S}}/t_{\text{Sf}}$ 影響(max.)	I ² C バス 仕様(min.)	$\phi=$ 5MHz	$\phi=$ 8MHz	$\phi=$ 10MHz
t_{SCLHO}	$0.5t_{\text{SCLO}}$ ($-t_{\text{Sr}}$)	標準モード	-1000	4000	4000	4000	4000
		高速モード	-300	600	950	950	950
t_{SCLLO}	$0.5t_{\text{SCLO}}$ ($-t_{\text{Sf}}$)	標準モード	-250	4700	4750	4750	4750
		高速モード	-250	1300	1000 ^{*1}	1000 ^{*1}	1000 ^{*1}
t_{BUFO}	$0.5t_{\text{SCLO}}-1t_{\text{cyc}}$ ($-t_{\text{Sf}}$)	標準モード	-1000	4700	3800 ^{*1}	3875 ^{*1}	3900 ^{*1}
		高速モード	-300	1300	750 ^{*1}	825 ^{*1}	850 ^{*1}
t_{STAHO}	$0.5t_{\text{SCLO}}-1t_{\text{cyc}}$ ($-t_{\text{Sf}}$)	標準モード	-250	4000	4550	4625	4650
		高速モード	-250	600	800	875	900
t_{STASO}	$1t_{\text{SCLO}}$ ($-t_{\text{Sr}}$)	標準モード	-1000	4700	9000	9000	9000
		高速モード	-300	600	2200	2200	2200
t_{STOSO}	$0.5t_{\text{SCLO}}+2t_{\text{cyc}}$ ($-t_{\text{Sr}}$)	標準モード	-1000	4000	4400	4250	4200
		高速モード	-300	600	1350	1200	1150
t_{SDASO} マスタ時	$1t_{\text{SCLLO}}^{*3}-3t_{\text{cyc}}$ ($-t_{\text{Sr}}$)	標準モード	-1000	250	3100	3325	3400
		高速モード	-300	100	400	625	700
t_{SDASO} スレーブ時	$1t_{\text{SCLL}}^{*3}-12t_{\text{cyc}}^{*2}$ ($-t_{\text{Sr}}$)	標準モード	-1000	250	1300	2200	2500
		高速モード	-300	100	-1400 ^{*1}	-500 ^{*1}	-200 ^{*1}
t_{SDAHO}	$3t_{\text{cyc}}$	標準モード	0	0	600	375	300
		高速モード	0	0	600	375	300

【注】 H8S/2149、H8S/2169 の最大動作周波数は 10MHz です。

*1 I²C バスインタフェースの仕様を満足しません。以下の 4 つの対応などが必要です。

(1) 開始/停止条件発行のインターバルを確保する。(2) プルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する。(3) 転送レートを下げて調整する。

(4) 入力タイミングが本出力タイミングを許容するスレーブデバイスを選択する。

なお、上記表の値は、IICX ビット、CKS2～CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合わせ、I²C バスインタフェースの仕様を満足するか検討してください。

*2 IICX ビットが 1 のときです。IICX ビットを 0 に設定すると、($t_{\text{SCLL}}-6t_{\text{cyc}}$) となります。

*3 I²C バス仕様値 (標準モード：4700ns min.、高速モード：1300ns min.) で計算しています。

(7) マスタ受信終了時におけるICDRリードの注意

マスタ受信モードでの受信動作完了後、受信をやめる場合は、TRSビットを1にセットし、ICCRのBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのとき、SDAをLowレベルからHighレベルに変化させ、停止条件を生成します。このあとで受信データはICDRのリードにより読み出すことができますが、バッファにデータが残っている場合、ICDRSの受信データはICDRに転送されなくなりますので、第2バイト目のデータは、読み出すことができなくなります。

第2バイト目のデータを読み出す必要があるときは、マスタ受信モードの状態（TRSビットが0の状態）で停止条件の発行を行ってください。受信データの読み出しは、必ずICCRレジスタのBBSYビットが0になり、停止条件が生成され、バスが開放されていることを確認後に、TRSが0の状態ではICDRレジスタをリードしてください。

このとき、停止条件発行のための命令実行（ICCRのBBSY=0かつSCP=0をライト）から実際に停止条件が生成されるまでの期間において、受信データ（ICDRのデータ）を読み出すと、次のマスタ送信時に正しくクロックが出なくなる場合がありますので注意が必要です。

なお、マスタ送受信完了後の MST ビットのクリアなど、送受信の動作モード、設定変更のための IIC 制御ビットの書き換えについては、必ず図 16.18 の (a) 期間中（ICCR レジスタの BBSY ビットの 0 クリア確認後）に行ってください。

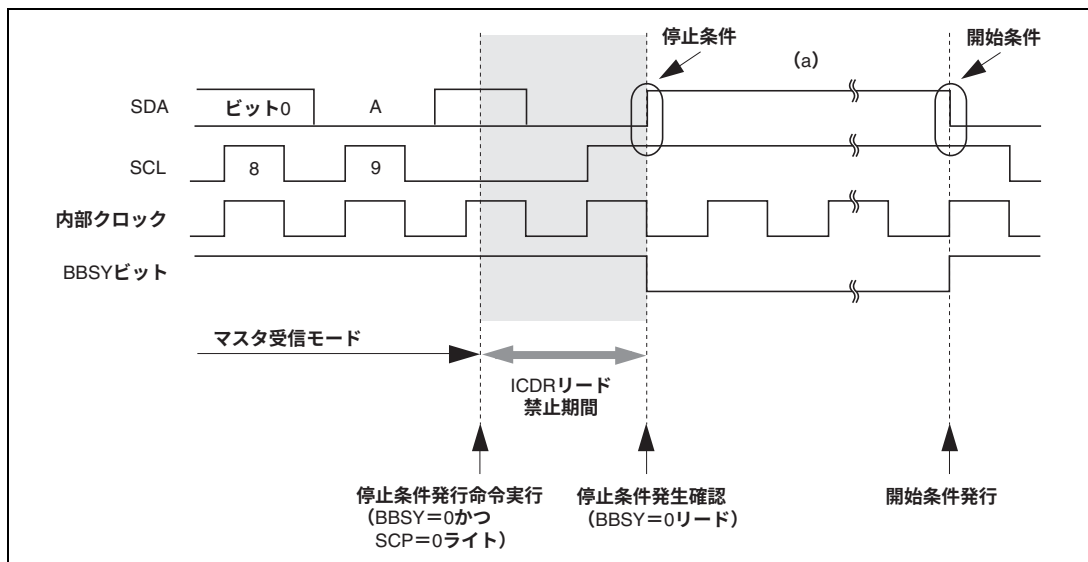


図 16.18 マスタ受信データの読み出しにおける注意

16. I²C バスインタフェース (IIC)

(8) 再送のための開始条件発行時の注意事項

図16.19に、再送のための開始条件発行のタイミングと、それに連続してICDRにデータを書き込むタイミングおよびフローチャートを示します。再送開始条件を発行し、開始条件が生成したあとでICDRに送信データをライトしてください。

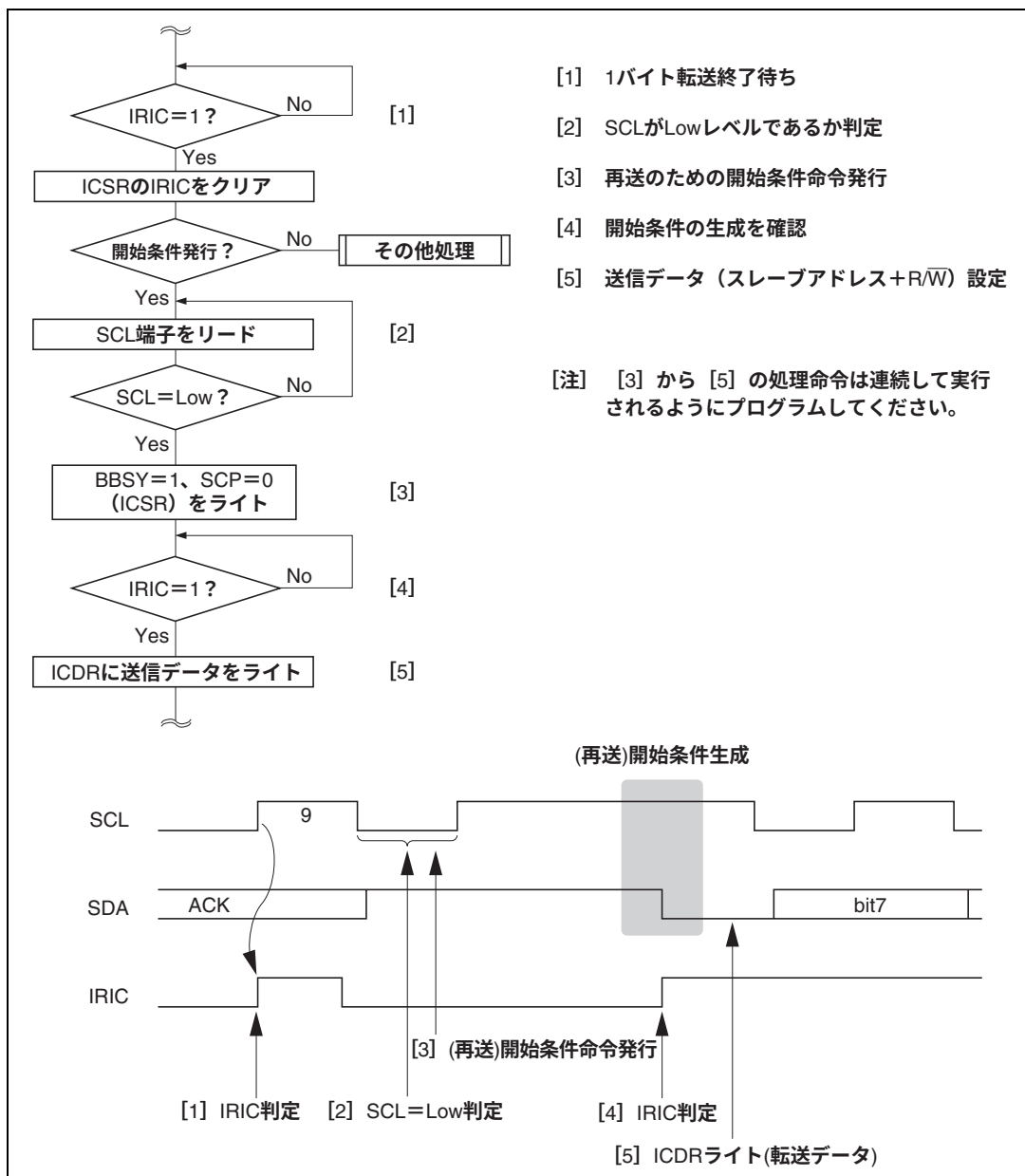


図 16.19 再送のための開始条件命令発行フローチャートおよびタイミング

(9) I²Cバスインタフェース停止条件命令発行時の注意事項

バス負荷容量が大きいため、SCLの9クロック目の立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のように9クロック目の立ち上がり後にSCLをリードして、Lowを判定してから停止条件命令を発行してください。

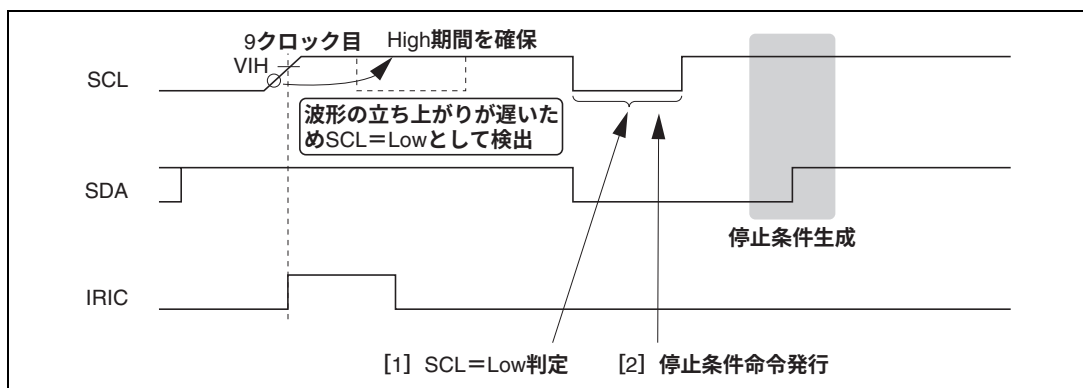


図 16.20 停止条件発行タイミング

(10) ウェイト動作に関する注意事項

(a) 現象が発生する条件

以下の条件が重なったとき、ウェイト機能を使用したマスタモード動作において8クロック目の立ち下がり後にウェイトが入らず、9クロック目のクロックパルスが連続的に出力されることがあります。

- (1) マスタモード動作で、ICMRレジスタのWAITビットに1を設定してウェイト動作を行っている場合
- (2) 割り込みフラグIRICビットを、7クロック目の立ち下がりから8クロック目の立ち下がりの間の期間に1から0にクリアした場合

(b) 不具合現象

本来8クロック目の立ち下がり後のウェイト状態でIRICフラグビットを1から0にクリアすることでウェイト状態が解除されます。

今回のケースでは7クロック目の立ち下がりから8クロック目の立ち下がりの間にIRICフラグビットをクリアした場合、IRICフラグクリアの情報が内部的に保持されてしまい、8クロック目立ち下がり時にウェイト動作が入った直後にウェイト状態が解除されてしまうものです。

16. I²C バスインタフェース (IIC)

(c) 制限事項

9クロック目立ち上がり時にIRICフラグが1にセットされたあと、7クロック目が立ち上がる前(BC2~BC0カウンタの値が2以上のとき)にIRICフラグをクリアしてください。

もし割り込み処理等でIRICフラグクリアが遅れてBCカウンタの値が1または0になった場合は、BC2~BC0カウンタが0になったあとSCL端子が'L'状態になったことを確認してからIRICフラグをクリアしてください(図16.21参照)。

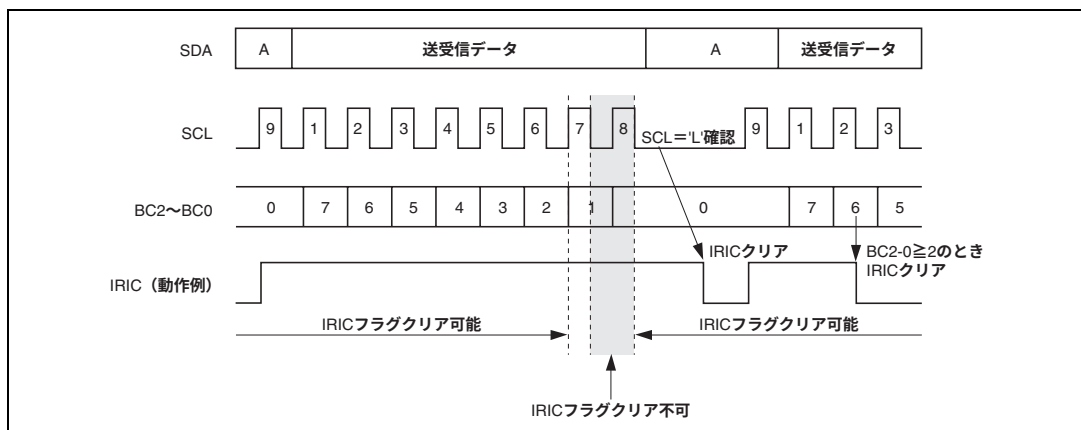


図 16.21 ウェイト動作時 IRIC フラグクリアタイミング

(11) スレーブ送信モードでのICDRリードとICCRアクセスの注意事項

I²Cバスインタフェースのスレーブモード送信動作では、図16.22の網掛け期間中にICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行わないようにしてください。通常9クロック立ち上がりエッジに同期して発生する割り込み処理では、割り込み処理に移行するまでに問題の期間は経過しているため、ICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行っても問題ありません。

この割り込み処理を確実にするために、下記のいずれかの条件で使用願います。

- 次のスレーブアドレス受信動作が開始される前に、それまでに受信したICDRレジスタのリード動作および、ICCRレジスタのリード/ライト動作を完了させるようにしてください。
- CMRレジスタのBC2~BC0ビットカウンタをモニタし、BC2~BC0=000(8クロック目または9クロック目)の場合は、2転送クロック期間以上の待ち時間を設けて、問題となる期間を避けてICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行ってください。

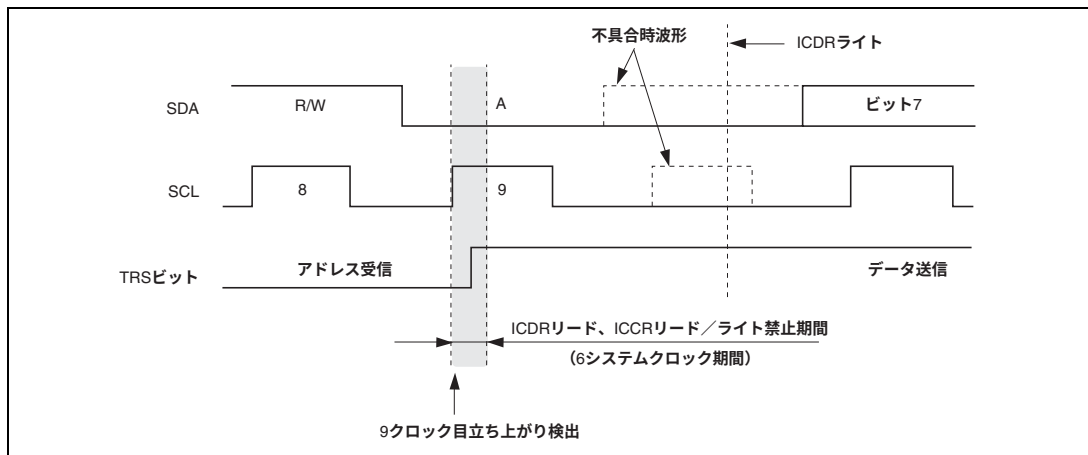


図 16.22 スレーブ送信モードでの ICDR リード、ICCR アクセスタイミング

(12) スレーブモードでの TRSビット設定の注意事項

I²Cバスインタフェースのスレーブモードでは、9クロック目の立ち上がりエッジ検出または、停止条件検出時から次にSCL端子に立ち上がりエッジを検出するまで（図16.23の（a）期間）は、ICCRレジスタのTRSビットに設定された値は、直ちに有効となります。

しかし、上記以外の期間（図16.23の（b）期間）に設定されたTRSビットの値は、次に9クロック目の立ち上がりエッジが検出されるか停止条件が検出されるまで設定値が保留されるため、すぐには有効になりません。

そのため、停止条件が入らない再開条件入力に続くアドレス受信動作時は、内部的なTRSビットの実効値は1（送信モード）のままとなり、9クロック目のアドレス受信完了に伴うアクノリッジビット送信が行われません。

スレーブモードのアドレス受信を行う場合は、図16.23の（a）期間中に、TRSビットを0クリアしてください。

スレーブモード時のウェイト機能によるSCL端子のLow固定解除については、TRSビット0クリア後ICDRレジスタのダミーリードにより行います。

16. I²C バスインタフェース (IIC)

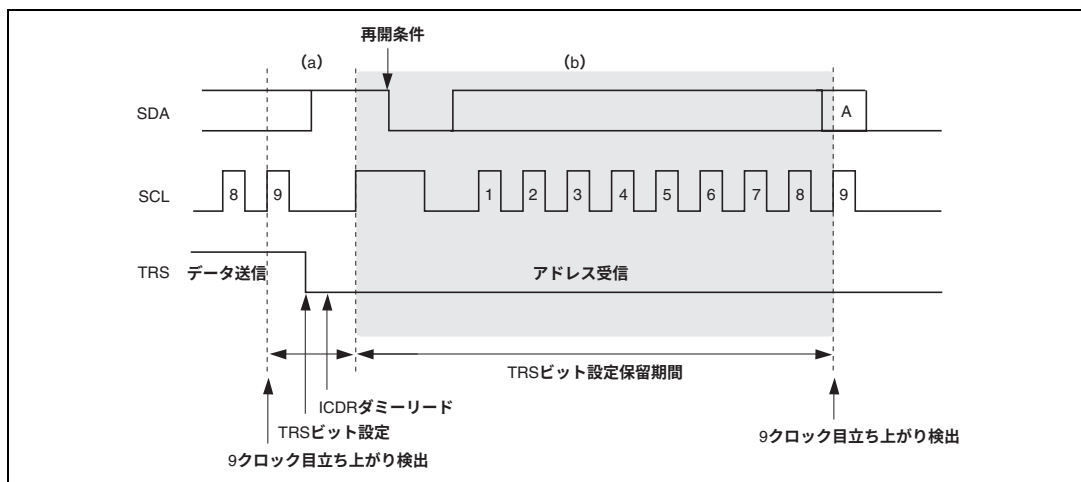


図 16.23 スleepモードでの TRS ビット設定タイミング

(13) マスタモードでのアービトレーションロスト発生時の注意事項

I²Cバスインタフェースではマスタモードでアービトレーションロストにより、スレーブ受信モードに自動遷移した場合、アービトレーションロストが発生した送受信フレームのデータをアドレスとして認識する仕様となっています。

そのため、マスタモード第1フレーム送信動作でアービトレーションロストが発生せず、第2フレーム目以降でアービトレーションロストが発生すると、本来アドレスではない送受信データをアドレス値としてSAR、SARXの設定値と比較を行います。このとき、受信データがSAR、SARXの値と一致した場合、I²Cバスインタフェースに対し、アドレスコールがあったものとして動作してしまいます(図16.24参照)。

マルチマスタ環境でバス権の競合が起こり得る状況にあって、マスタモードで動作させている場合は、1フレームごとの送受信動作完了時にICSRのALビットの確認を行ってください。第2フレーム以降でアービトレーションロストの発生が確認された場合は、異常動作として回避処置を行ってください。

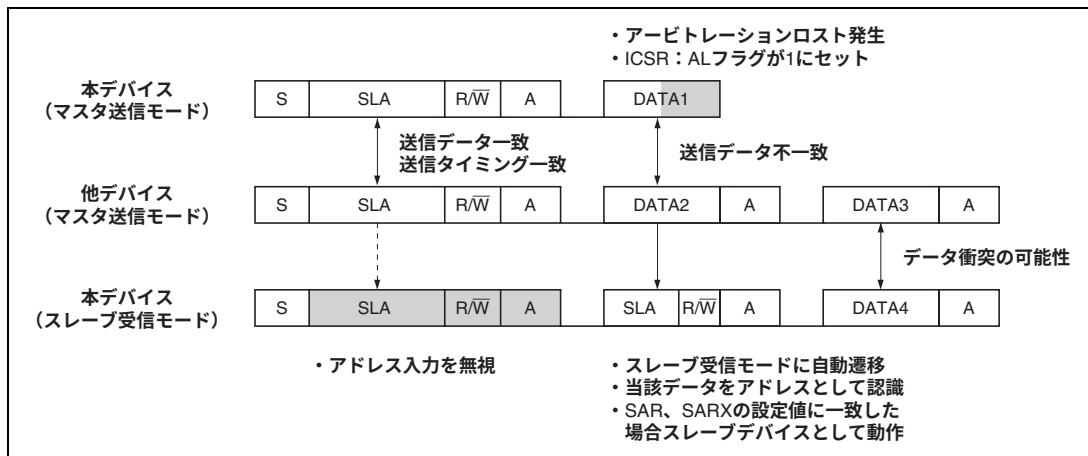


図 16.24 アービトレーションロスト時の動作模式図

本来のI²Cバスプロトコルでは禁止されている動作ですが、スレーブモードで送受信を行っている最中に誤ってMSTビットを1にセットしてマスタモードに設定した場合も、同様の現象が発生する可能性があります。

マルチマスタ動作でバス権の競合が予想される場合、ICCRのMSTビットに1をセットするときは、以下の手順で行ってください。

- (a) MSTビットのセット直前にICCRのBBSYフラグが0であり、バスがフリー状態であることを確認する。
- (b) MSTビットに1を設定する。
- (c) MSTビットの設定中にバスがビジー状態にならなかったことを確認する意味で、MSTビットのセット直後にも、ICCRのBBSYフラグが0であることを確認する。

(14) ACKB受信後の割り込み発生時の注意事項

- (a) 不具合が発生する条件
IRICフラグは下記2条件が成立した場合にセットされます。
- (1) 送信データに対しアクノリッジビットとして「1」を受信し、ICSRレジスタのACKBビットに「1」がセットされる。
- (2) SCL端子に転送クロックの9クロック目立ち上がりエッジが入力される。
スレーブ受信モードで上記2条件が成立する下記動作において、余分な割り込みが発生します。

図16.25にACKB=1受信後のスレーブモード割り込み発生時の注意点を示します。

- (1) マスタ送信モードまたはスレーブ送信モードの最終送信データで、アクノリッジビットとして「1」を受信する。このときICCRレジスタのACKEビットが「1」の場合、ICSRレジスタのACKBビットに「1」がセットされる。
- (2) スレーブ受信モードに切り替えたあと、開始条件が入力され、引き続きアドレスの受信動作が行われる。

16. I²C バスインタフェース (IIC)

- (3) 受信したアドレスがSAR, SARXレジスタで設定したアドレスに一致しない場合も、受信クロックの9クロック目立ち上がりエッジでIRICフラグが「1」にセットされ、割り込み要因が発生する。

スレーブアドレスが一致する場合は、本来の機能として9クロック目立ち上がりで割り込みが発生する仕様となっていますので、動作不具合にはなりません。

(b) 制限事項

IICバスインタフェースモジュールで送信動作を行う際は、下記処置を行ってください。

- (1) 送信データに対するアクノリッジビットとして「1」を受信した場合には、ICCRレジスタのACKEビットをいったん「0」にクリアすることで、ACKBビットを「0」に初期化してください。
- (2) その後アクノリッジビットの受信を有効にする場合は、再度ACKEビットに「1」をセットしてください。

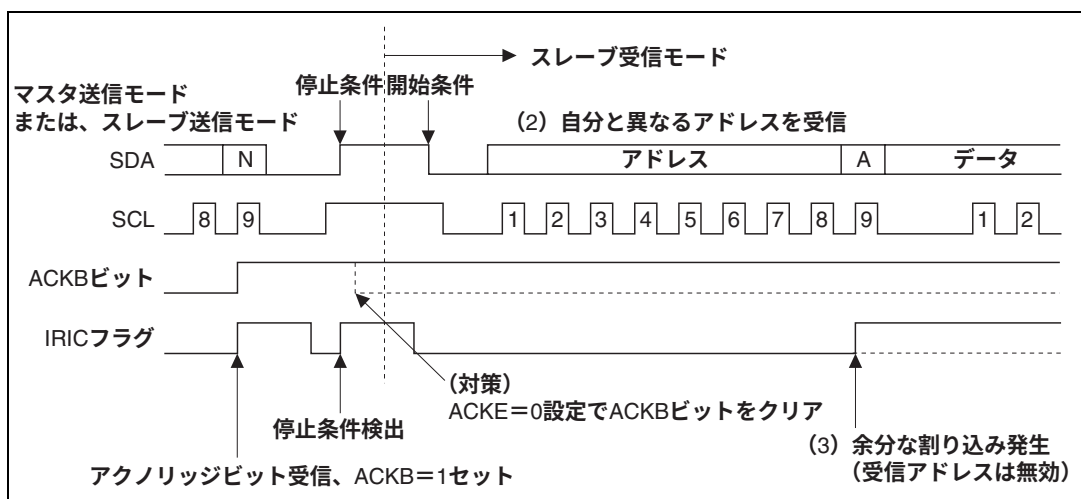


図 16.25 ACKB=1 受信後のスレーブモード割り込み発生時の注意点

(15) TRSビット設定値とICDRレジスタアクセスの注意事項

以下の条件が重なったとき、SCL端子のLow固定が誤って解除されます。

(a) 現象が発生する条件

● マスタモード

図16.26にマスタモード、TRS=1設定時におけるICDRリードの注意点を示します。

- (1) 直前の受信動作で2バイト分の受信データが読み出されずに残っている (ICDRSデータフル状態)。
- (2) 送信モード (TRS=1) に切り替えたあと、ICDRレジスタをリードする (RDRF=0状態)。
- (3) マスタモード動作で開始条件発行後の第1フレーム送信終了後、受信モード (TRS=0) に設定する。

- スレーブモード

図16.27にスレーブモード、TRS=0設定時におけるICDRライトの注意点を示します。

- (1) スレーブモード動作で開始条件入力後、受信モード (TRS=0) 状態でICDRレジスタにライトする (TDRE=0状態)。

第1フレームでアドレスが一致、かつR/Wビットで「1」を受信し、送信モード (TRS=1) に切り替わる。

これらの条件が成立した場合、第1フレーム転送終了後にICDRレジスタのアクセス動作なしでSCL端子のLow固定が解除されてしまいます。

- (b) 制限事項

IICバスインタフェースモジュールを用いて送受信動作を行うときは、下記のいずれかの条件で使用してください。

- (1) ICDRレジスタのリード動作は受信モード中に、ライト動作は送信モード中に行うようにしてください。
- (2) マスタモード送信動作の場合は、バスフリー (BBSY=0) 状態時にDDCSWRレジスタのCLR3~CLR0ビットを用いて、I²Cバスインタフェースモジュールの内部フラグをクリアしてから開始条件を発行してください。

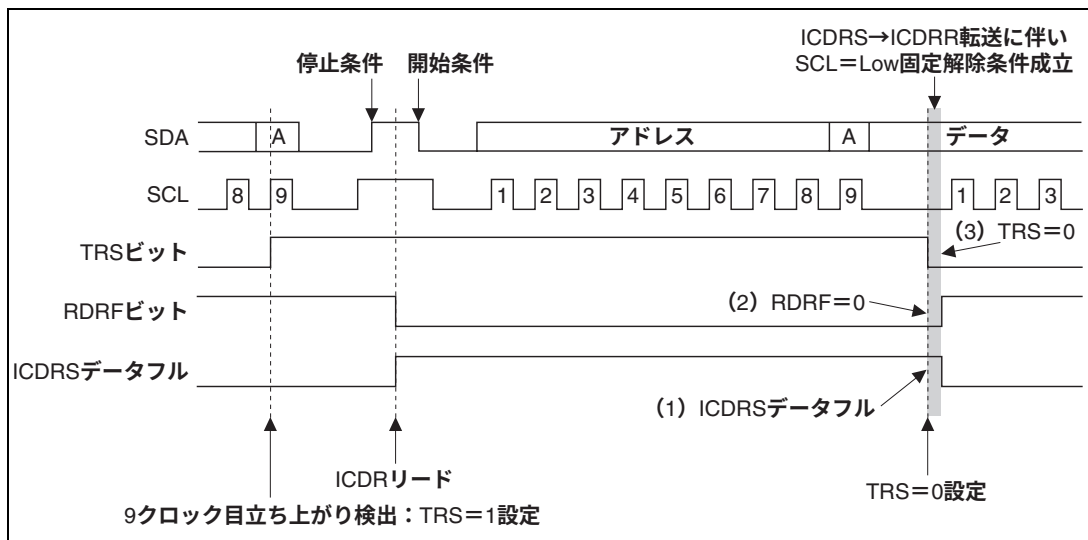


図 16.26 マスタモード、TRS=1 設定時における ICDR リードの注意点

16. I²C バスインタフェース (IIC)

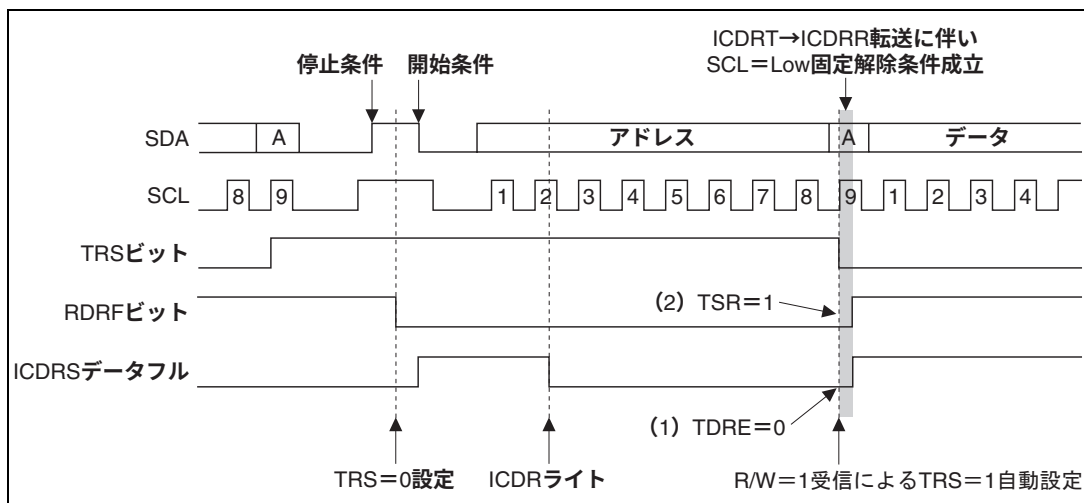


図 16.27 スレープモード、TRIS=0 設定時における ICDR ライトの注意点

17. キーボードバッファコントローラ

17.1 概要

本 LSI は、3 チャンネルのキーボードバッファコントローラ 0~2 を内蔵しています。キーボードバッファコントローラは、PS/2 インタフェースに準拠した機能を備えています。

キーボードバッファコントローラを用いたデータ転送は、データライン (KD) 1 本、クロックライン (KCLK) 1 本で構成され、コネクタやプリント基盤の面積などを経済的に使用できます。図 17.1 にキーボードバッファコントローラ接続方法を示します。

17.1.1 特長

■PS/2 インタフェースに準拠

■バスを直接駆動 (KCLK、KD 端子)

■割り込み要因：データ受信完了時、クロックのエッジ検出時

■エラー検出：パリティエラー、ストップビットモニタ

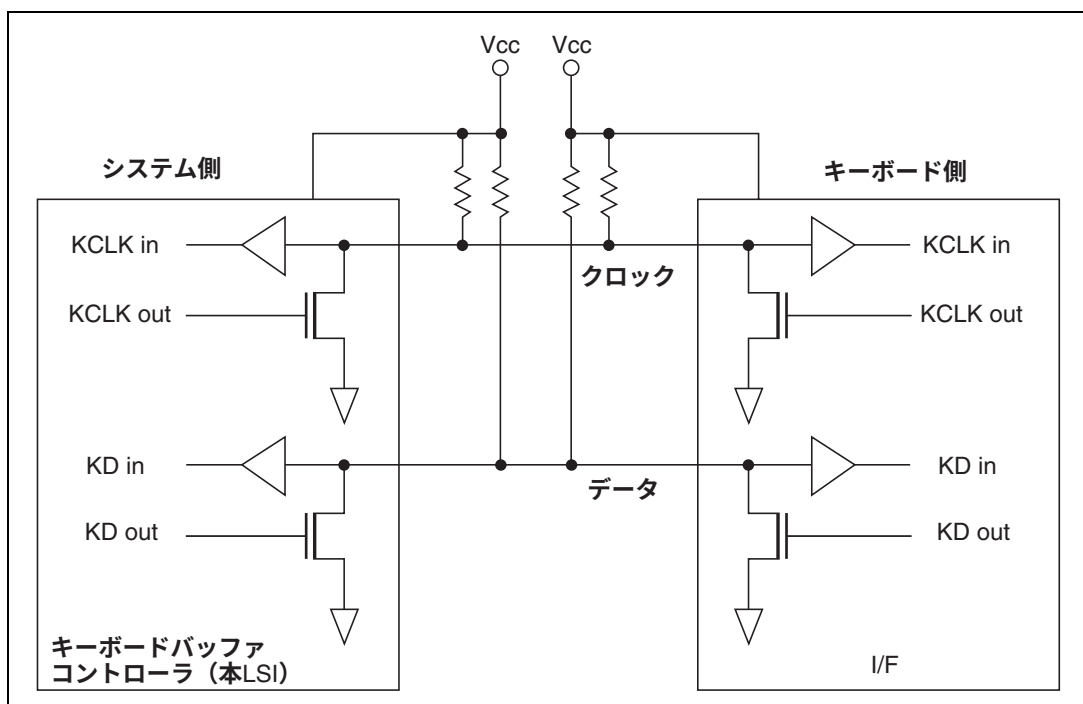


図 17.1 キーボードバッファコントローラ接続方法

17. キーボードバッファコントローラ

17.1.2 ブロック図

キーボードバッファコントローラのブロック図を図 17.2 に示します。

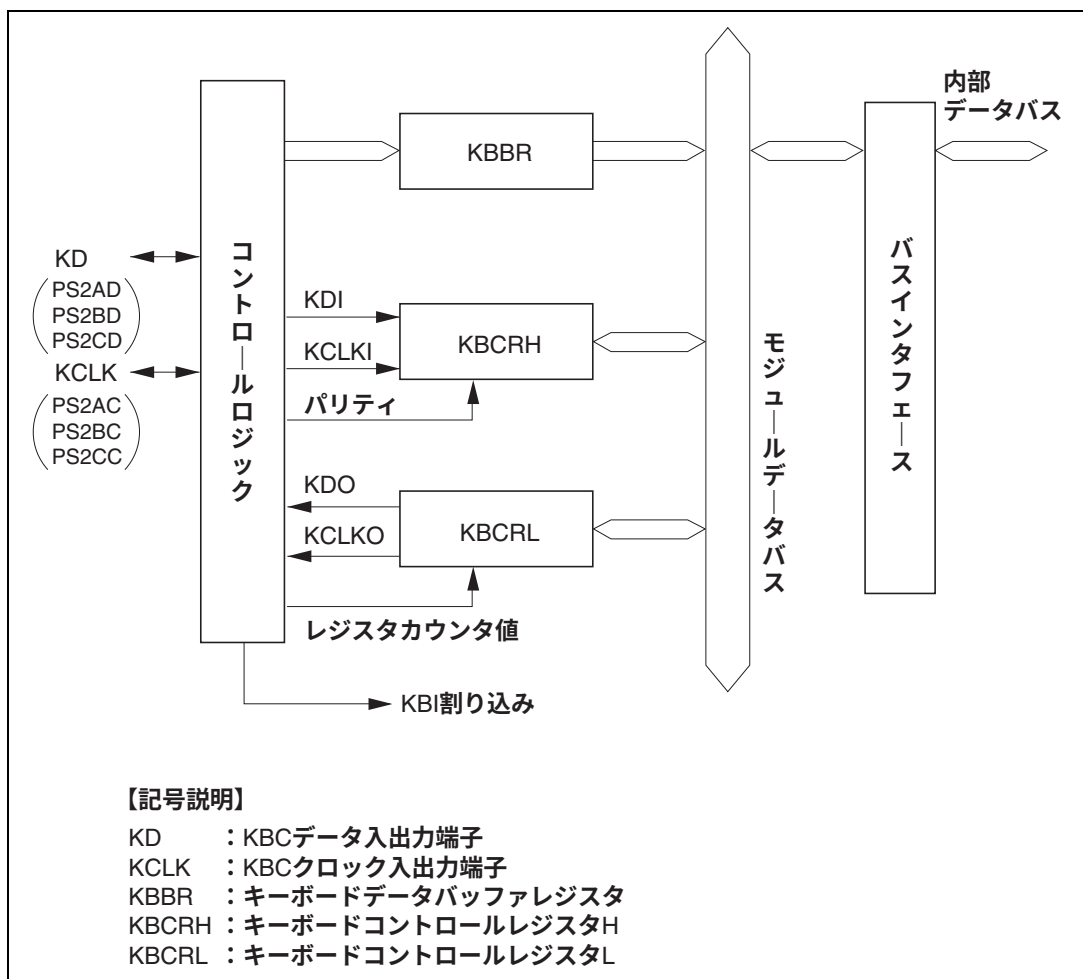


図 17.2 キーボードバッファコントローラのブロック図

17.1.3 端子構成

キーボードバッファコントローラで使用する端子を表 17.1 に示します。

表 17.1 端子構成

チャンネル	名称	略称*	入出力	機能
0	KBC クロック入出力端子 (KCLK0)	PS2AC	入出力	KBC クロック入出力
	KBC データ入出力端子 (KD0)	PS2AD	入出力	KBC データ入出力
1	KBC クロック入出力端子 (KCLK1)	PS2BC	入出力	KBC クロック入出力
	KBC データ入出力端子 (KD1)	PS2BD	入出力	KBC データ入出力
2	KBC クロック入出力端子 (KCLK2)	PS2CC	入出力	KBC クロック入出力
	KBC データ入出力端子 (KD2)	PS2CD	入出力	KBC データ入出力

【注】 * 外部入出力端子名です。本文中ではチャンネルを省略し、クロック入出力端子を KCLK、データ入出力端子を KD と記載します。

17.1.4 レジスタ構成

キーボードバッファコントローラのレジスタ構成を表 17.2 に示します。

表 17.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス* ¹
0	キーボードコントロールレジスタ H	KBCRH0	R/(W)* ²	H'70	H'FED8
	キーボードコントロールレジスタ L	KBCRL0	R/W	H'70	H'FED9
	キーボードデータバッファレジスタ	KBBR0	R	H'00	H'FEDA
1	キーボードコントロールレジスタ H	KBCRH1	R/(W)* ²	H'70	H'FEDC
	キーボードコントロールレジスタ L	KBCRL1	R/W	H'70	H'FEDD
	キーボードデータバッファレジスタ	KBBR1	R	H'00	H'FEDE
2	キーボードコントロールレジスタ H	KBCRH2	R/(W)* ²	H'70	H'FEE0
	キーボードコントロールレジスタ L	KBCRL2	R/W	H'70	H'FEE1
	キーボードデータバッファレジスタ	KBBR2	R	H'00	H'FEE2
共通	モジュールストップコントロールレジスタ	MSTPCR H	R/W	H'3F	H'FF86
		MSTPCRL	R/W	H'FF	H'FF87

【注】 *¹ アドレスの下位 16 ビットを示しています。

*² ビット 2、ビット 1 は、フラグをクリアするための 0 ライトのみ可能です。

17.2 各レジスタの説明

17.2.1 キーボードコントロールレジスタ H (KBCRH)

ビット：	7	6	5	4	3	2	1	0
	KBIOE	KCLKI	KDI	KBFSEL	KBIE	KBF	PER	KBS
初期値：	0	1	1	1	0	0	0	0
R/W：	R/W	R	R	R/W	R/W	R/(W)*	R/(W)*	R

【注】 * フラグをクリアするための0ライトのみ可能です。

KBCRH は、リード／ライト可能な 8 ビットのレジスタで、キーボードバッファコントローラの動作状態を示します。

KBCRH は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードまたはモジュールストップモード時に、H'70 に初期化されます。また、ビット 6、5、2～0 は、KBIOE を 0 にクリアしたときに、初期化されます。

ビット 7：キーボードインアウトイネーブル (KBIOE)

KBIOE ビットは、キーボードバッファコントローラを使用する／使用しないを選択します。KBIOE ビットを 1 にセットすると、本モジュールは送受信動作可能状態となり、ポートは KCLK、KD の入出力端子となります。KBIOE ビットを 0 にクリアすると、本モジュールは機能を停止し、ポートはハイインピーダンス状態になります。

ビット 7	説 明
KBIOE	
0	本モジュールは非動作 (KCLK、KD 信号端子はポート機能) 状態 (初期値)
1	本モジュールは送受信可能状態 (KCLK、KD 信号端子はバス駆動状態)

ビット 6：キーボードクロックイン (KCLKI)

KCLK 入出力端子をモニタするビットです。ライトは無効です。

ビット 6	説 明
KCLKI	
0	KCLK 入出力端子は Low レベル
1	KCLK 入出力端子は High レベル (初期値)

ビット 5：キーボードデータイン (KDI)

KDI 入出力端子をモニタするビットです。ライトは無効です。

ビット 5	説 明
KDI	
0	KD 入出力端子は Low レベル
1	KD 入出力端子は High レベル (初期値)

ビット 4：キーボードバッファレジスタフルセレクト (KBFSEL)

KBFSEL ビットは、KBF ビットをキーボードバッファレジスタフルフラグとして使用するか、KCLK の立ち下がりによる割り込みフラグとして使用するかを選択します。KBFSEL=0 として使用する場合には、KBCRL レジスタの KBE ビットを 0 に設定して受信禁止状態にしてください。

ビット 4	説 明
0	KBF ビットを KCLK の立ち下がりによる割り込みフラグとして使用する
1	KBF ビットをキーボードバッファフルフラグとして使用する (初期値)

ビット 3：キーボードインタラプトイネーブル (KBIE)

KBIE ビットは、キーボードバッファコントローラから CPU に対する、割り込みを許可または禁止を選択します。

ビット 3	説 明
KBIE	
0	割り込み要求を禁止 (初期値)
1	割り込み要求を許可

ビット 2：キーボードバッファレジスタフル (KBF)

データの受信が完了し、受信したデータが KBBR に入っていることを示すビットです。

ビット 2	説 明
KBF	
0	[クリア条件] KBF=1 の状態をリードしたあと、0 をライトしたとき (初期値)
1	[セット条件] - KBFSEL=1 の状態でデータが正常に受信され、KBBR ヘデータが転送されたとき (キーボードバッファレジスタフルフラグ) - KBFSEL=0 の状態で KCLK の立ち下がりエッジを検出したとき (KCLK 割り込みフラグ)

ビット 1：パリティエラー (PER)

奇数パリティのエラーが発生したことを示すビットです。

ビット 1	説 明
PER	
0	[クリア条件] PER=1 の状態でリードしたあと、0 をライトしたとき (初期値)
1	[セット条件] 奇数パリティのエラーが発生したとき

17. キーボードバッファコントローラ

ビット0：キーボードストップ (KBS)

受信データのストップビットを示すビットです。KBF=1 のときのみ有効です。

ビット0	説 明
KBS	
0	ストップビット0を受信 (初期値)
1	ストップビット1を受信

17.2.2 キーボードコントロールレジスタ L (KBCRL)

ビット：	7	6	5	4	3	2	1	0
	KBE	KCLKO	KDO	—	RXCR3	RXCR2	RXCR1	RXCR0
初期値：	0	1	1	1	0	0	0	0
R/W：	R/W	R/W	R/W	—	R	R	R	R

KBCRL は、リード／ライト可能な 8 ビットのレジスタで、受信カウンタのカウント許可、キーボードバッファコントローラ端子出力の制御を行います。

KBCRL は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'70 に初期化されます。

ビット7：キーボードイネーブル (KBE)

キーボードデータバッファレジスタ (KBBR) への受信データのロードの許可、または禁止を選択します。

ビット7	説 明
KBE	
0	KBBR への受信データのロードを禁止 (初期値)
1	KBBR への受信データのロードを許可

ビット6：キーボードクロックアウト (KCLKO)

KBC クロック入出力端子の出力を制御するビットです。

ビット6	説 明
KCLKO	
0	キーボードバッファコントローラクロック入出力端子は Low レベル
1	キーボードバッファコントローラクロック入出力端子は High レベル (初期値)

ビット 5：キーボードデータアウト (KDO)

KBC データ入出力端子の出力を制御するビットです。

ビット 5	説 明
KDO	
0	キーボードバッファコントローラデータ入出力端子は Low レベル
1	キーボードバッファコントローラデータ入出力端子は High レベル (初期値)

ビット 4：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3～0：レシープカウンタ (RXCR3～RXCR0)

受信したデータのビットを示します。KCLK の立ち下がりでカウントアップします。ライトは無効です。

レシープカウンタはリセット時および KBE の 0 ライト時に、0000 に初期化されます。また、ストップビット受信後、0000 に戻ります。

ビット 3	ビット 2	ビット 1	ビット 0	受信データの内容
RXCR3	RXCR2	RXCR1	RXCR0	
0	0	0	0	— (初期値)
			1	スタートビット
		1	0	KB0
			1	KB1
			1	KB2
	1	0	0	KB3
			1	KB4
		1	0	KB5
			1	KB6
			1	KB7
1	0	0	0	KB6
			1	KB7
		1	0	パリティビット
			1	—
	1	—	—	—

17. キーボードバッファコントローラ

17.2.3 キーボードデータバッファレジスタ (KBBR)

ビット：	7	6	5	4	3	2	1	0
	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

KBBR は、8 ビットのリード専用レジスタで、受信データを格納します。

KBBR の値は、KBF=1 のときのみ有効です。

KBBR は、リセットまたはスタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、モジュールストップモード時または KBIOE ビットが 0 にクリアされたときに、H'00 に初期化されます。

17.2.4 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCR _H								MSTPCR _L								
ビット：	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値：	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP2 ビットを 1 にセットすると、キーボードバッファコントローラは動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCR_L ビット 2：モジュールストップ (MSTP2)

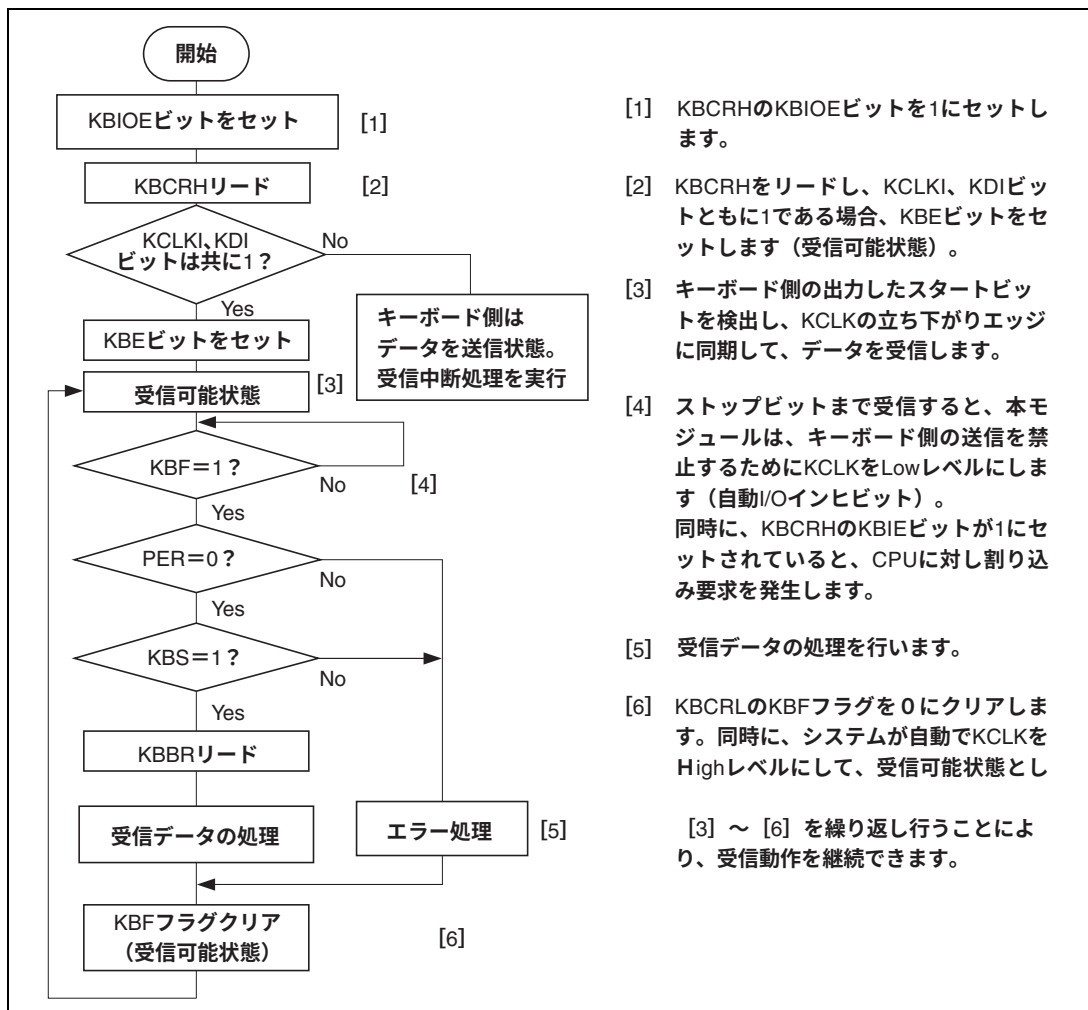
キーボードバッファコントローラのモジュールストップモードを指定します。

MSTPCR _L ビット 2	説 明
MSTP2	
0	キーボードバッファコントローラのモジュールストップモード解除
1	キーボードバッファコントローラのモジュールストップモード設定 (初期値)

17.3 動作説明

17.3.1 受信動作

受信動作では、KCLK（クロック）、KD（データ）とも、キーボード側が出力し、本デバイス（システム側）は、入力となります。KD は、スタートビット、データ 8 ビット（LSB から）、奇数パリティ、ストップビットの順で受信します。KD の値は、KCLK が Low レベルのとき有効です。受信処理フローチャートの例を図 17.3、受信タイミングを図 17.4 に示します。



[1] KBCRHのKBIOEビットを1にセットします。

[2] KBCRHをリードし、KCLKI、KDIビットともに1である場合、KBEビットをセットします（受信可能状態）。

[3] キーボード側の出力したスタートビットを検出し、KCLKの立ち下がりエッジに同期して、データを受信します。

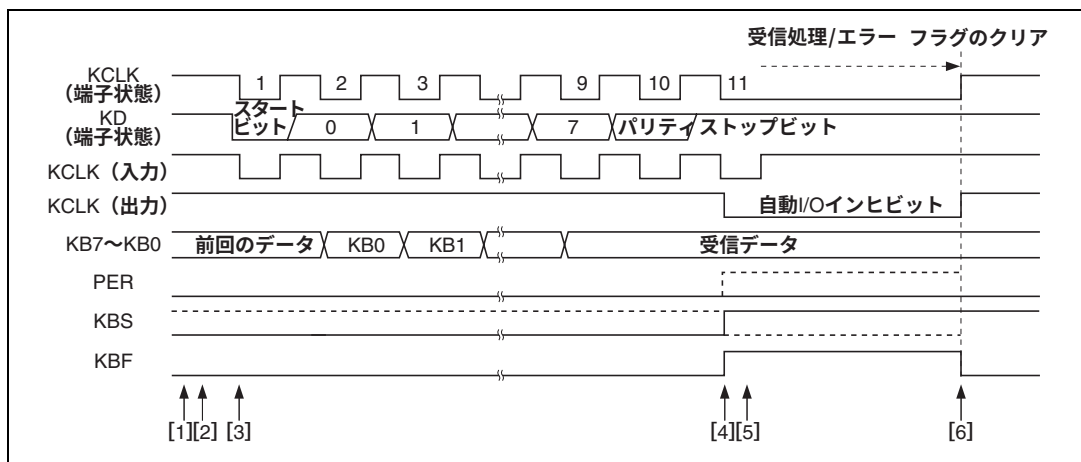
[4] ストップビットまで受信すると、本モジュールは、キーボード側の送信を禁止するためにKCLKをLowレベルにします（自動I/Oインビット）。同時に、KBCRHのKBIEビットが1にセットされていると、CPUに対し割り込み要求を発生します。

[5] 受信データの処理を行います。

[6] KBCRLのKBFフラグを0にクリアします。同時に、システムが自動でKCLKをHighレベルにして、受信可能状態とし

[3] ～ [6] を繰り返す行いにより、受信動作を継続できます。

17. キーボードバッファコントローラ



17.3.2 送信動作

送信動作では、KCLK（クロック）は、キーボード側が出力し、KD（データ）は、本デバイス（システム側）が出力します。KD は、スタートビット、データ 8 ビット（LSB から）、奇数パリティ、ストップビットの順で、出力します。KD の値は、KCLK が High レベルのとき、有効です。送信処理フローチャートの例を図 17.5、送信タイミングを図 17.6 に示します。



17. キーボードバッファコントローラ

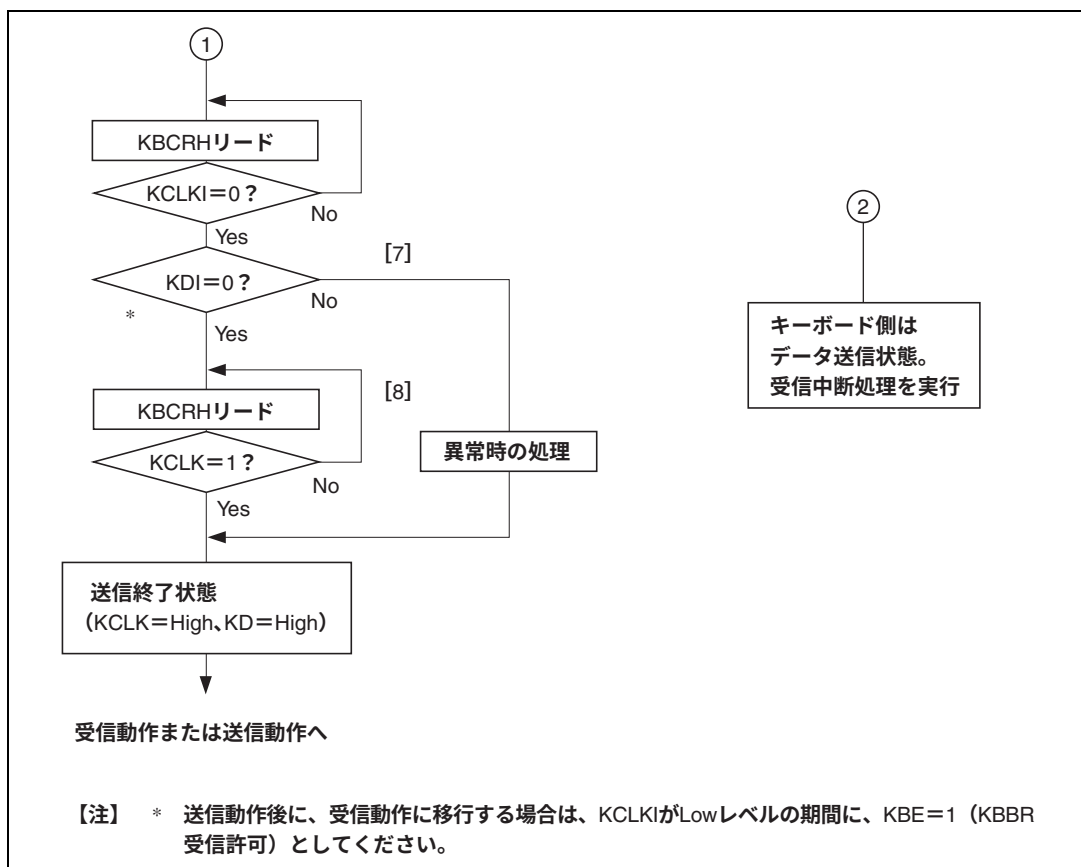


図 17.5 (2) 送信処理フローチャートの例

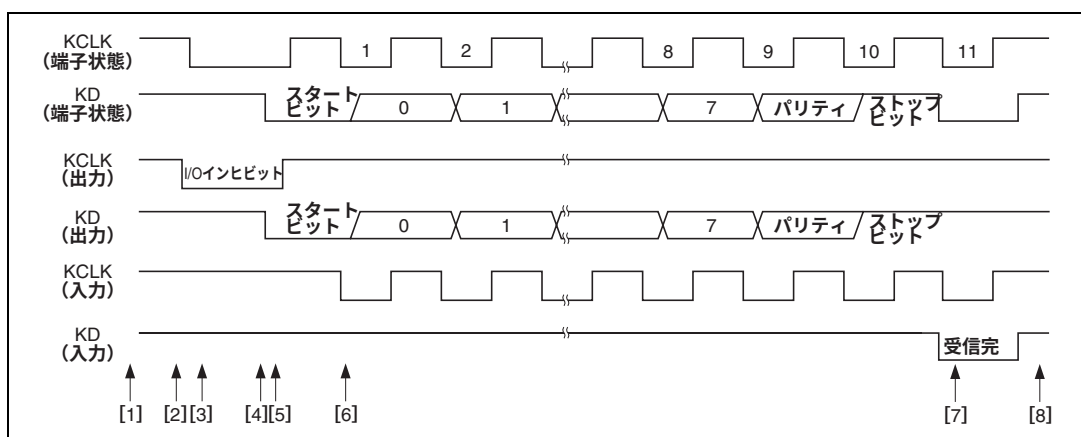


図 17.6 送信タイミング

17.3.3 受信中断動作

本デバイス（システム側）は、プロトコル異常発生時などに、本デバイスに接続されているデバイス（キーボード側）からの送信を強制的に中断させることができます。この場合、システムはクロックを Low レベルに保持します。受信動作中は、キーボード側も同期用のクロックを出力していますが、キーボードからの出力クロックが High レベルのタイミングで、クロックを監視しています。このタイミングでクロックが Low レベルの場合、キーボードはシステムからの中断要求であると判断し、キーボード側からのデータ送信を中断します。このように、システムが一定期間クロックを Low レベルに保持することによって、受信動作を中断させることができます。受信中断処理フローチャートの例を図 17.7、受信中断タイミングを図 17.8 に示します。

17. キーボードバッファコントローラ

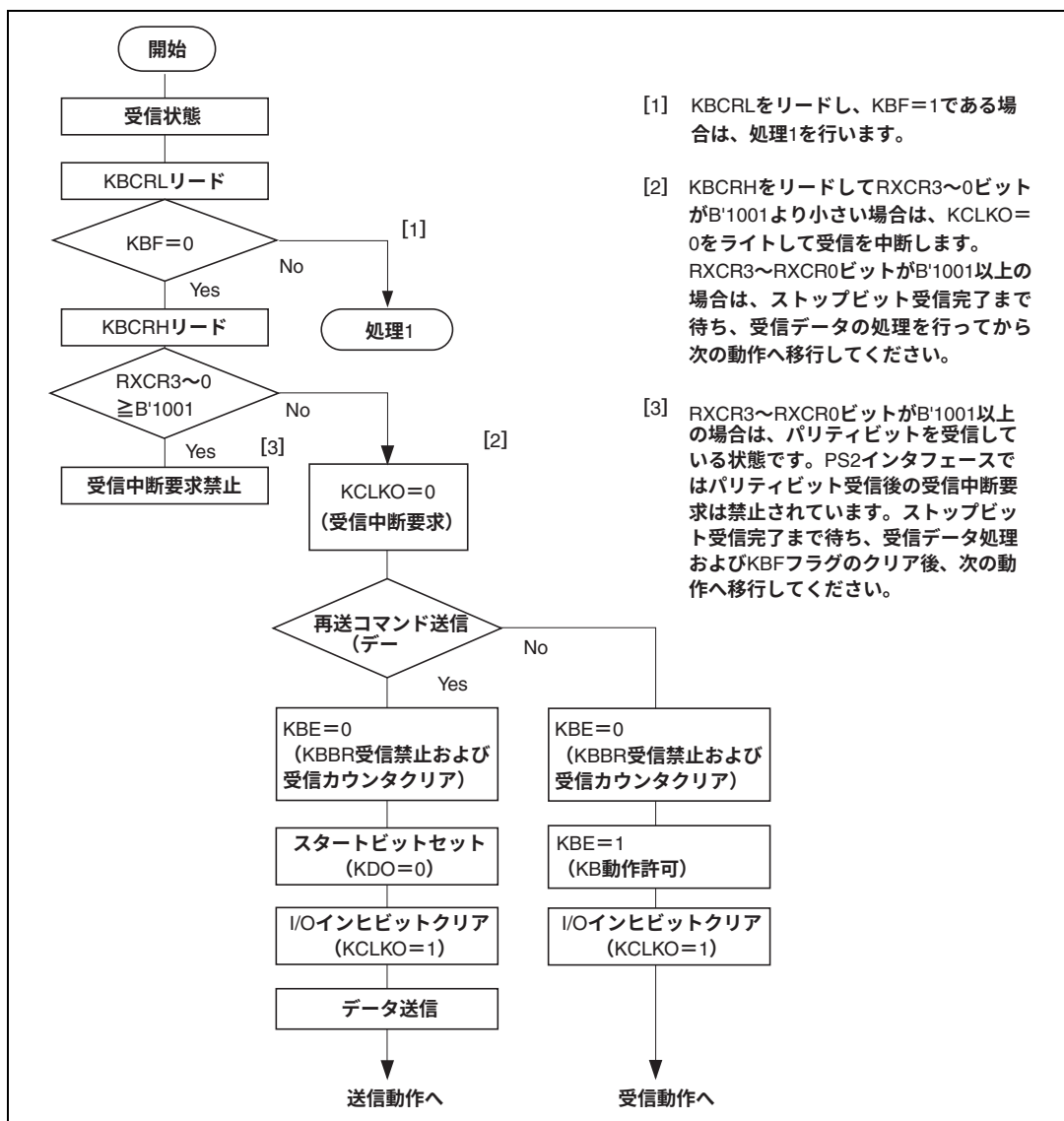


図 17.7 (1) 受信中断処理フローチャートの例

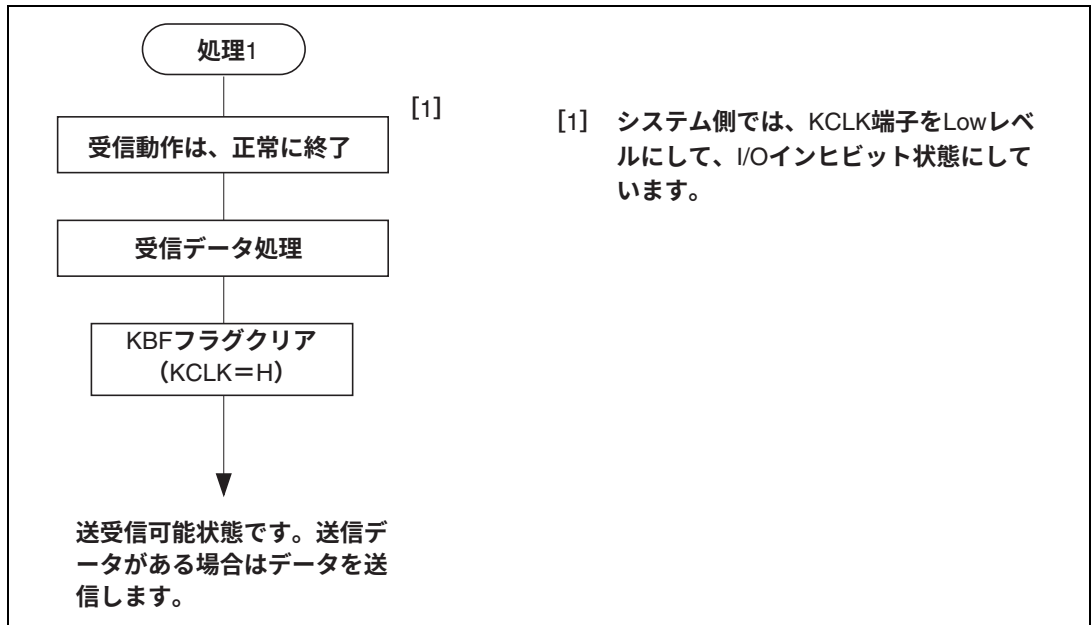


図 17.7 (2) 受信中断処理フローチャートの例

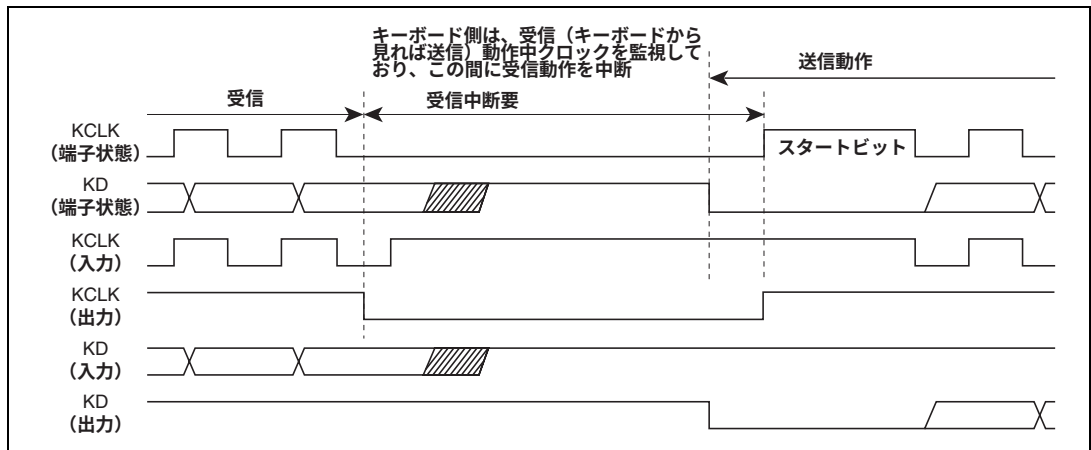


図 17.8 受信中断および送信開始（送／受信切り替え）タイミング

17.3.4 KCLKI、KDI リードタイミング

KCLKI、KDI リードタイミングを図 17.9 に示します。

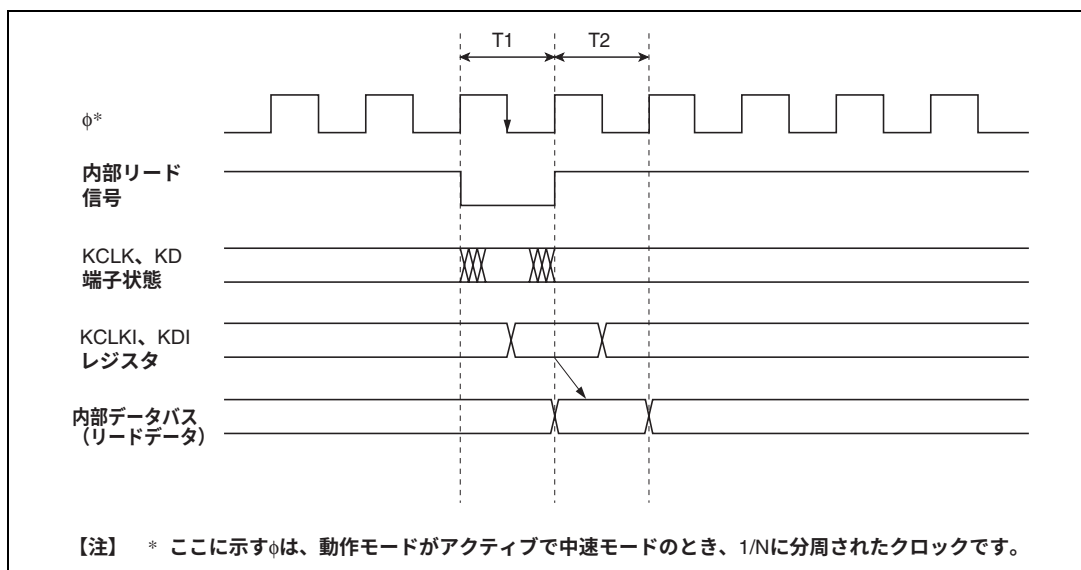


図 17.9 KCLKI、KDI のリードタイミング

17.3.5 KCLKO、KDO ライトタイミング

KCLKO、KDO ライトタイミングと KCLK、KD 端子状態を図 17.10 に示します。

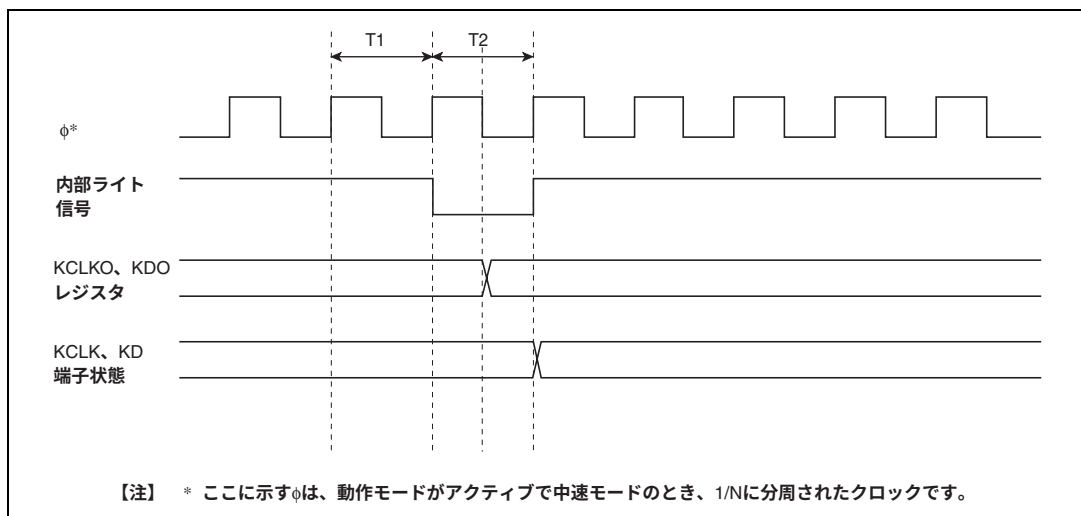


図 17.10 KCLKO、KDO のライトタイミング

17.3.6 KBF セットタイミングと KCLK 制御

KBF セットタイミングと KCLK 端子状態を図 17.11 に示します。

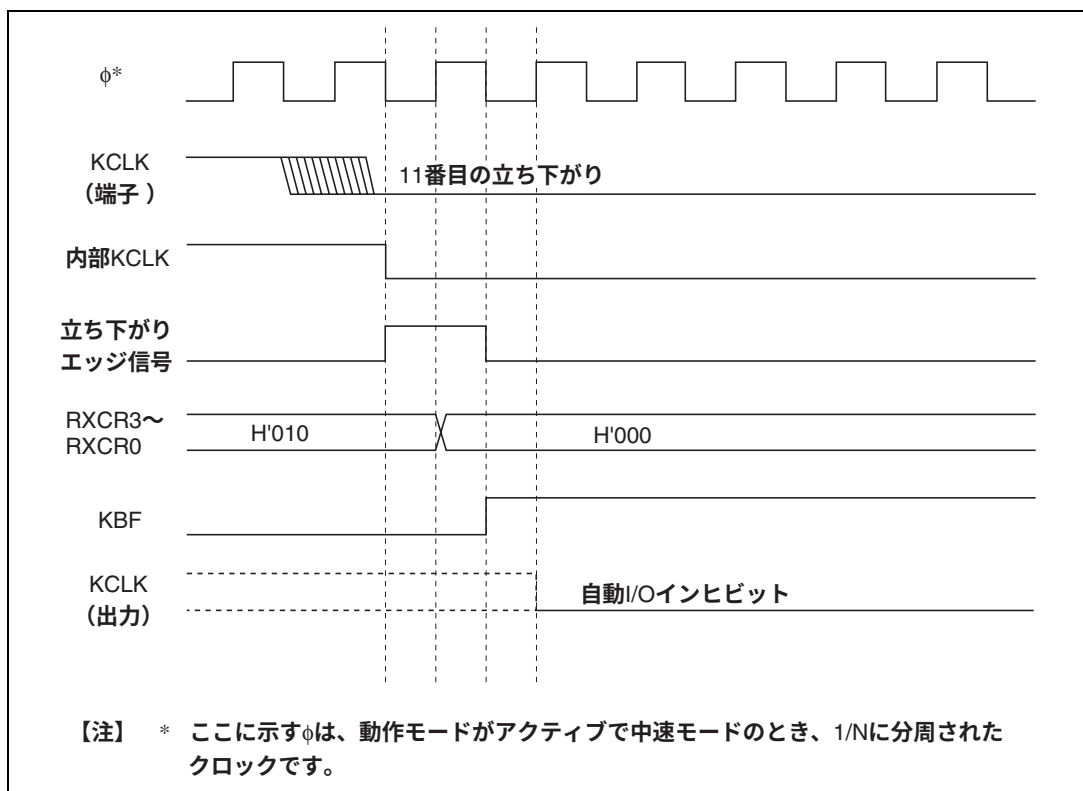


図 17.11 KBF セットと KCLK 自動 I/O インヒビット生成のタイミング

17.3.7 受信タイミング

受信タイミングを図 17.12 に示します。

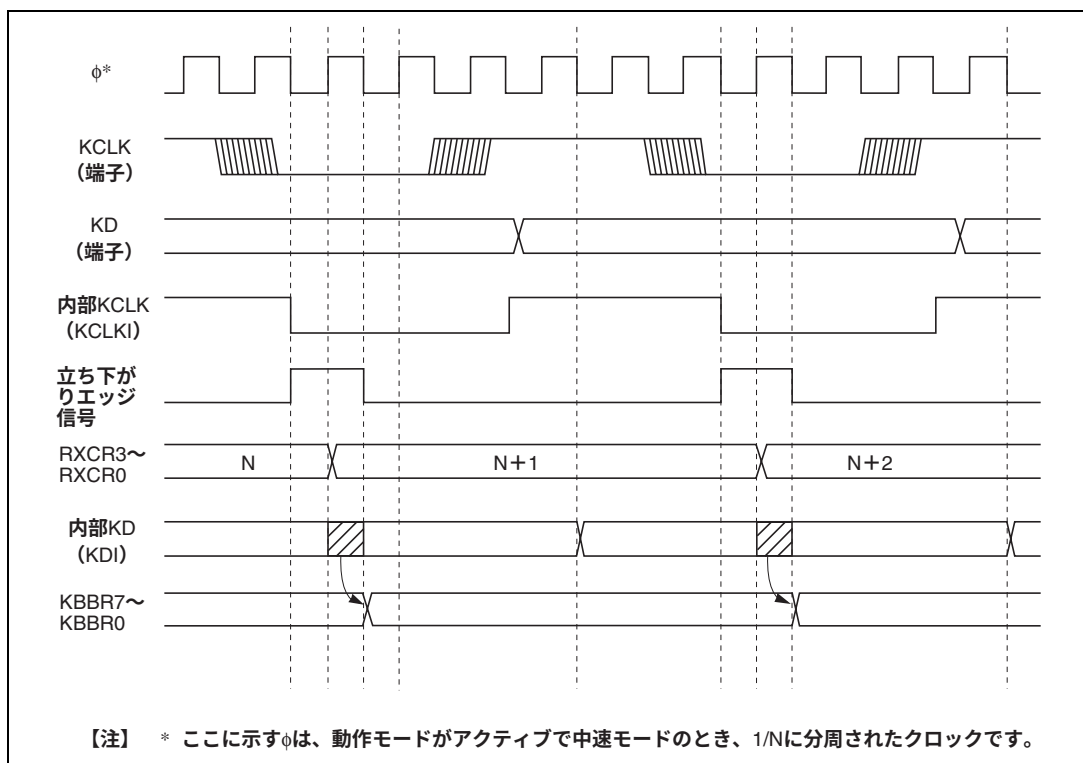


図 17.12 受信カウンタと KBBR へのデータロードのタイミング

17.3.8 KCLK 立ち下がり割り込みの動作

本デバイスは KBCRH の KBFSEL ビットを 0 にクリアすることにより、KBCRL の KBF ビットを KCLK 入力の立ち下がりによる割り込みフラグとして使用できます。

図 17.13 に設定方法、および動作例を示します。

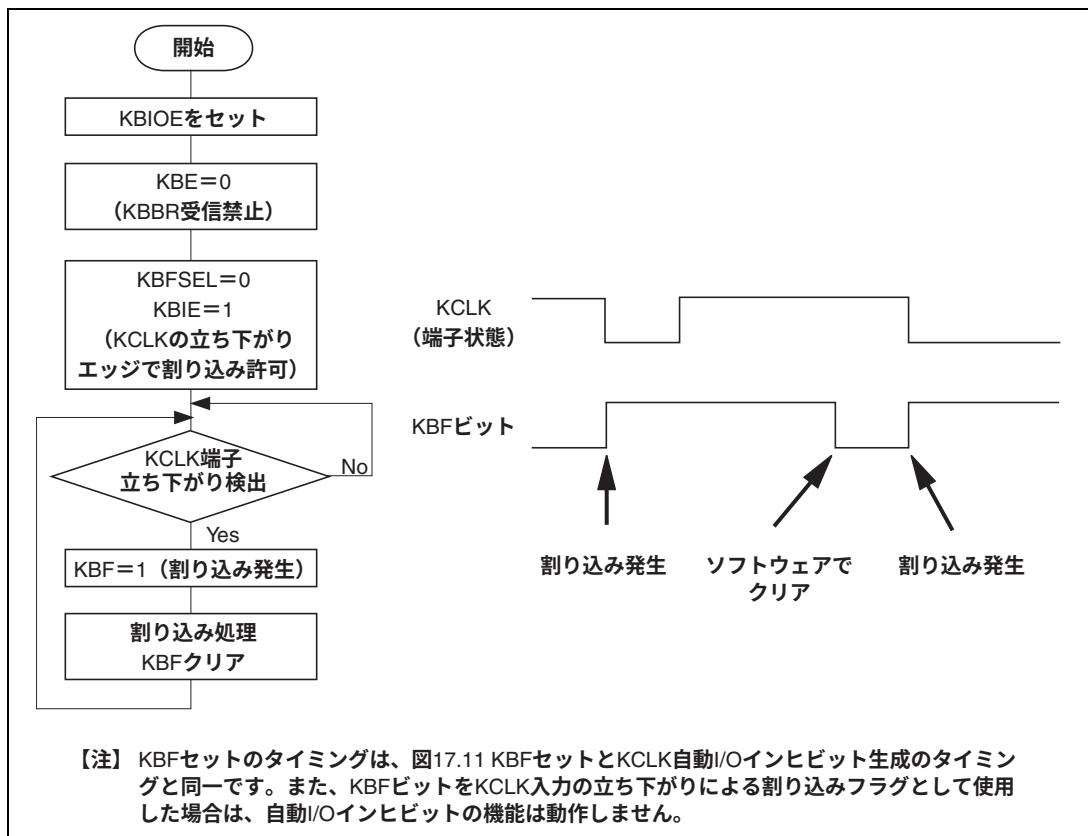


図 17.13 KCLK 入力の立ち下がりによる割り込み動作例

17.3.9 使用上の注意

KBIOE が 0 のとき、内部 KCLK、内部 KD は 1 に固定されています。

したがって、KBIOE ビットを 1 にセットする時に、KCLK 端子が Low の場合、エッジ検出回路が動作し、KCLK 立ち下がりエッジを検出します。

このとき、KBFSEL ビットが 0、KBE ビットが 0 の場合、KBF ビットがセットされます。図 17.14 に KBIOE セットと KCLK 立ち下がりエッジ検出のタイミングを示します。

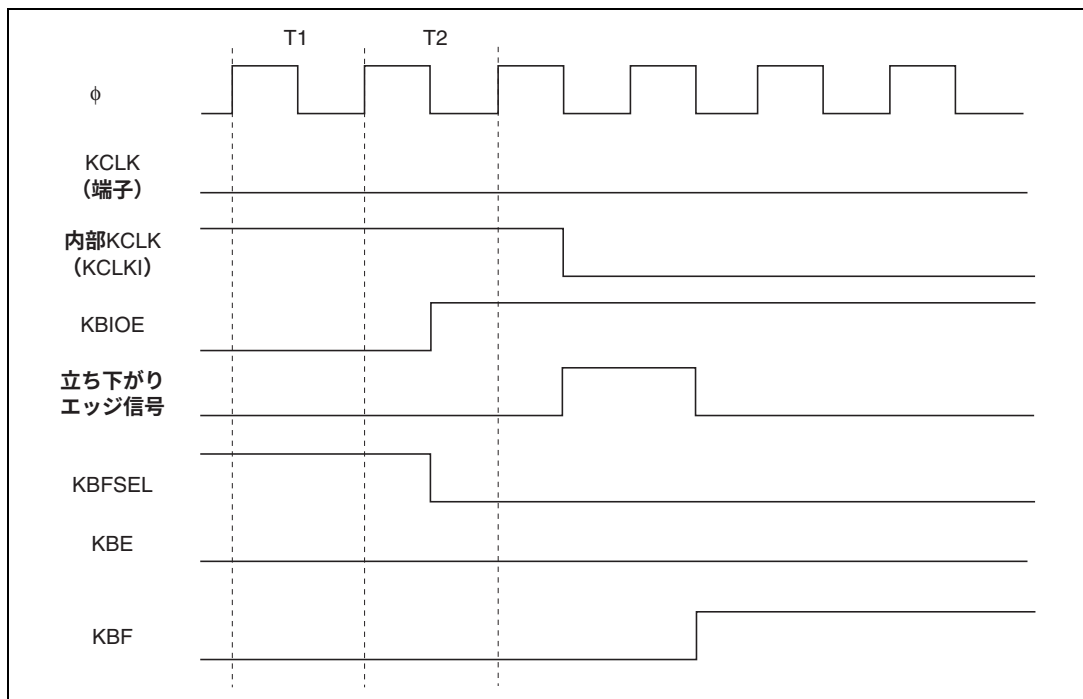


図 17.14 KBIOE セットと KCLK 立ち下がりエッジ検出のタイミング

18A. ホストインタフェース X-BUS インタフェース (XBS)

18A.1 概要

本 LSI は、パーソナルコンピュータの内部バスとして広く用いられている ISA バス (X-BUS) に接続可能なホストインタフェース (HIF: Host InterFace) を内蔵しています。また、本 LSI は、ISA バスに代わる新ホストインタフェースである LPC インタフェースを内蔵しています。以下、それぞれのホストインタフェース (HIF) を、XBS および LPC と略称します。

HIF:XBS は、本 LSI の内部 CPU とホストとの 4 チャンネルの平行インタフェース機能です。

HIF:XBS は、シングルチップモードで SYSCR2 の HI12E ビットが 1 にセットされたときのみ使用できます。HIF:LPC の機能を使用する場合は、HI12E ビットを 1 にセットしないでください。

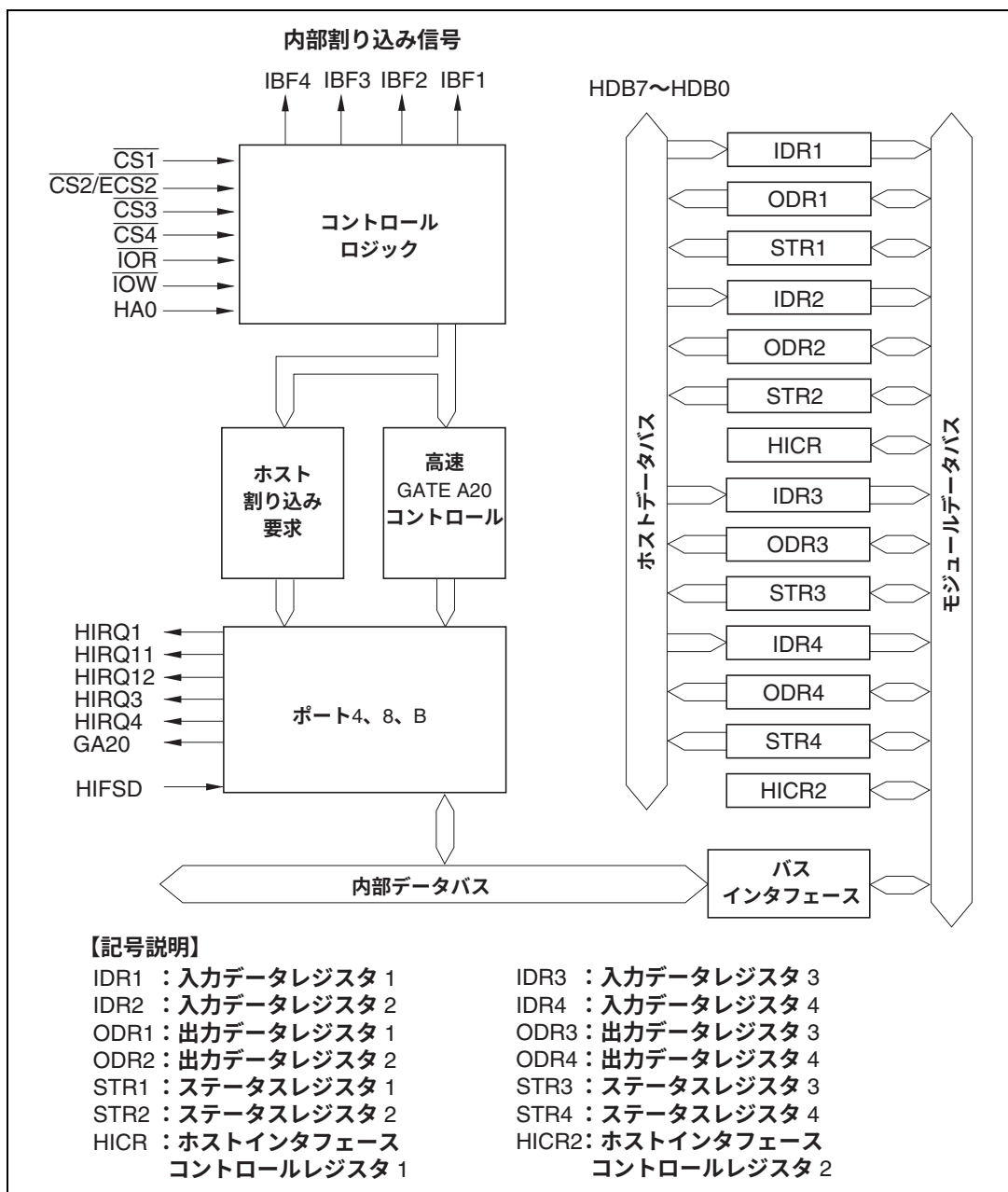
18A.1.1 特長

HIF:XBS の特長を以下に示します。

HIF:XBS は 8 バイトのデータレジスタ、4 バイトのステータスレジスタ、および 2 バイトのコントロールレジスタと高速 GATE A20 ロジックとホスト割り込み要求回路から構成されています。ホストからの 7 つのコントロール信号 ($\overline{CS1}$ 、 $\overline{CS2}$ または $\overline{ECS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、HA0、 $\overline{IOR}$ 、 $\overline{IOW}$)、ホストへの 6 つの出力信号 (GA20、HIRQ1、HIRQ11、HIRQ12、HIRQ3、HIRQ4)、およびコマンド/データ入出力バスとしての 8 ビットデータバス (HDB7~HDB0) を介してホストとの通信を行います。 $\overline{CS1}$ 、 $\overline{CS2}$ ($\overline{ECS2}$)、 $\overline{CS3}$ と $\overline{CS4}$ 信号は 4 つのインタフェースチャンネルのうち 1 つを選択する信号です。

18A.1.2 ブロック図

HIF:XBS のブロック図を図 18A.1 に示します。



18A.1.3 端子構成

HIF:XBS の入出力端子を表 18A.1 に示します。

表 18A.1 端子構成

名称	略称	ポート	入出力	機能
I/O リード	$\overline{\text{IOR}}$	P93	入力	ホストインタフェースリード信号
I/O ライト	$\overline{\text{IOW}}$	P94	入力	ホストインタフェースライト信号
チップセレクト 1	$\overline{\text{CS1}}$	P95	入力	IDR1、ODR1、STR1 に対するホストインタフェースチップセレクト信号
チップセレクト 2*	$\overline{\text{CS2}}$	P81	入力	IDR2、ODR2、STR2 に対するホストイン
	$\overline{\text{ECS2}}$	P90		タフェースチップセレクト信号
チップセレクト 3	$\overline{\text{CS3}}$	PB2	入力	IDR3、ODR3、STR3 に対するホストインタフェースチップセレクト信号
チップセレクト 4	$\overline{\text{CS4}}$	PB3	入力	IDR4、ODR4、STR4 に対するホストインタフェースチップセレクト信号
コマンド／データ	HA0	P80	入力	ホストインタフェースアドレス選択信号 ホストリード時は、ステータスレジスタ (STR1～STR4) かデータレジスタ (ODR1～ODR4) かを選択します。ホストライト時は、データレジスタ (IDR1～IDR3、IDTR4) へのライトがコマンドライトかデータライトかを表します。
データバス	HDB7～HDB0	P37～P30	入出力	ホストインタフェースデータバス
ホスト割り込み 11	HIRQ11	P43	出力	ホスト割り込み要求出力 11 をホストへ出力
ホスト割り込み 1	HIRQ1	P44	出力	ホスト割り込み要求出力 1 をホストへ出力
ホスト割り込み 12	HIRQ12	P45	出力	ホスト割り込み要求出力 12 をホストへ出力
ホスト割り込み 3	HIRQ3	PB0	出力	ホスト割り込み要求出力 3 をホストへ出力
ホスト割り込み 4	HIRQ4	PB1	出力	ホスト割り込み要求出力 4 をホストへ出力
GATE A20	GA20	P81	出力	GATE A20 コントロール信号出力
HIF シャットダウン	HIFSD	P82	入力	ホストインタフェースのシャットダウン制御信号

【注】 * STCR の CS2E ビットと HICR の FGA20E ビットの設定により、 $\overline{\text{CS2}}$ または $\overline{\text{ECS2}}$ を選択することができます。HIF:XBS のチャンネル 2 および $\overline{\text{CS2}}$ 端子は、CS2E=1 のときに使用可能です。CS2E=1 のとき、FGA20E=0 で $\overline{\text{CS2}}$ が有効になり、FGA20E=1 で $\overline{\text{ECS2}}$ が有効になります。本文中では $\overline{\text{CS2}}$ と略称します。

18A.1.4 レジスタ構成

HIF:XBS のレジスタ構成を表 18A.2 に示します。HIF:XBS のレジスタのうち HICR、IDR1、IDR2、ODR1、ODR2、STR1、STR2 の各レジスタは、SYSCR の HIE ビットが 1 の場合にのみアクセス可能です。

表 18A.2 レジスタ構成

名称	略称	R/W		初期値	スレーブ アドレス ^{*3}	ホストアドレス ^{*4}				
		スレーブ	ホスト			CS1	CS2	CS3	CS4	HA0
システムコントロール レジスタ	SYSCR	R/W ^{*1}	—	H'09	H'FFC4	—	—	—	—	—
システムコントロール レジスタ 2	SYSCR2	R/W	—	H'00	H'FF83	—	—	—	—	—
ホストインタフェース コントロールレジスタ 1	HICR	R/W	—	H'F8	H'FFF0	—	—	—	—	—
ホストインタフェース コントロールレジスタ 2	HICR2	R/W	—	H'F8	H'FE80	—	—	—	—	—
入力データレジスタ 1	IDR1	R	W	—	H'FFF4	0	1	1	1	0/1 ^{*5}
出力データレジスタ 1	ODR1	R/W	R	—	H'FFF5	0	1	1	1	0
ステータスレジスタ 1	STR1	R/(W) ^{*2}	R	H'00	H'FFF6	0	1	1	1	1
入力データレジスタ 2	IDR2	R	W	—	H'FFFC	1	0	1	1	0/1 ^{*5}
出力データレジスタ 2	ODR2	R/W	R	—	H'FFFD	1	0	1	1	0
ステータスレジスタ 2	STR2	R/(W) ^{*2}	R	H'00	H'FFFE	1	0	1	1	1
入力データレジスタ 3	IDR3	R	W	—	H'FE84	1	1	0	1	0/1 ^{*5}
出力データレジスタ 3	ODR3	R/W	R	—	H'FE85	1	1	0	1	0
ステータスレジスタ 3	STR3	R/(W) ^{*2}	R	H'00	H'FE86	1	1	0	1	1
入力データレジスタ 4	IDR4	R	W	—	H'FE8C	1	1	1	0	0/1 ^{*5}
出力データレジスタ 4	ODR4	R/W	R	—	H'FE8D	1	1	1	0	0
ステータスレジスタ 4	STR4	R/(W) ^{*2}	R	H'00	H'FE8E	1	1	1	0	1
モジュールストップ コントロールレジスタ	MSTPCR _H	R/W	—	H'3F	H'FF86	—	—	—	—	—
	MSTPCR _L	R/W	—	H'FF	H'FF87	—	—	—	—	—

【注】 *1 ビット 5、3 はリード専用です。

*2 ユーザ定義ビット（ビット 7～4、2）は、スレーブ（本 LSI）からリード／ライト可能です。

*3 スレーブ（本 LSI）からアクセスするときのアドレスです。アドレスの下位 16 ビットを示しています。

*4 ホストからアクセスするときの端子入力です。

*5 HA0 入力は、コマンドライトとデータライトの識別に用いられます。

18A.2 各レジスタの説明

18A.2.1 システムコントロールレジスタ (SYSCR)

ビット：	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値：	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R	R/W	R	R/W	R/W	R/W

SYSCR は、8 ビットのリード／ライト可能なレジスタで、本 LSI の動作を制御します。

ホストインタフェースのレジスタのうち、HICR、IDR1、ODR1、STR1、IDR2、ODR2、STR2 は、HIE ビットが 1 のときだけアクセス可能です。HICR2、IDR3、ODR3、STR3、IDR4、ODR4、STR4 は、HIE ビットによらずアクセス可能です。ホストインタフェースの $\overline{\text{CS2}}$ 、 $\overline{\text{ECS2}}$ 端子は SYSCR の CS2E ビットと HICR の FGA20E ビットによって制御されます。SYSCR のその他のビットについての詳細は「3.2.2 システムコントロールレジスタ (SYSCR)」「5.2.1 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR は、リセット、ハードウェアスタンバイモード時に H'09 に初期化されます。

ビット 7：CS2 イネーブルビット (CS2E)

HICR の FGA20E ビットと共に、HI12E ビットが 1 のときに $\overline{\text{CS2}}$ 機能を果たす端子を選択します。

SYSCR ビット 7	HICR ビット 0	説 明
CS2E	FGA20E	
0	0	CS2 端子機能停止 ($\overline{\text{CS2}}$ は内部的に High レベル固定) (初期値)
	1	
1	0	P81/ $\overline{\text{CS2}}$ 端子に $\overline{\text{CS2}}$ 端子機能を選択
	1	P90/ $\overline{\text{ECS2}}$ 端子に $\overline{\text{CS2}}$ 端子機能を選択

ビット 1：ホストインタフェースイネーブルビット (HIE)

ホストインタフェースレジスタおよびキーボードマトリクス割り込みマスクレジスタ (KMIMR)、キーボードマトリクス割り込みマスクレジスタ A (KMIMRA)、ポート 6 プルアップ MOS コントロールレジスタ (KMPCR) の CPU アクセスを許可または禁止します。許可時には本 LSI は、ホストインタフェースのレジスタ (HICR、IDR1、ODR1、STR1、IDR2、ODR2、STR2) がアクセス可能になります。

ビット 1	説 明
HIE	
0	HIF:XBS レジスタ (HICR、IDR1、ODR1、STR1、IDR2、ODR2、STR2) の CPU アクセスを禁止 (初期値)
1	HIF:XBS レジスタ (HICR、IDR1、ODR1、STR1、IDR2、ODR2、STR2) の CPU アクセスを許可

18A.2.2 システムコントロールレジスタ 2 (SYSCR2)

ビット：	7	6	5	4	3	2	1	0
	KWUL1	KWUL0	P6PUE	—	SDE	CS4E	CS3E	HI12E
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

SYSCR2 は、8 ビットのリード／ライト可能なレジスタで、本 LSI の動作を制御します。

ホストインタフェース機能は、SYSCR2 の HI12E ビットによって許可または禁止されます。また、CS3E ビットおよび CS4E ビットによって使用できるチャンネル数を 4 チャンネルまで拡張することができます。

SYSCR2 は、リセット、ハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7、6：キーウェイクアップレベル 1、0 (KWUL1、KWUL0)

ポート 6 の入力レベルをソフトウェアにより設定、切り替えできます。詳細は「第 8 章 I/O ポート」を参照してください。

ビット 5：ポート 6 入力プルアップ MOS エクストラ (P6PUE)

KMPCCR の設定により接続される、ポート 6 プルアップ MOS の電流仕様を制御、選択します。詳細は「第 8 章 I/O ポート」を参照してください。

ビット 4：リザーブビット

リザーブビットです。1 をライトしないでください。

ビット 3：シャットダウンイネーブル (SDE)

ホストインタフェース端子のシャットダウン機能を許可または禁止します。許可時は HIFSD 端子の状態により、ホストインタフェース端子機能を停止させ出力をハイインピーダンスにすることができます。

ビット 3	説 明
SDE	
0	ホストインタフェース端子のシャットダウン機能を禁止 (初期値)
1	ホストインタフェース端子のシャットダウン機能を許可

ビット 2：CS4 イネーブル (CS4E)

HI12E ビットが 1 のときに、ホストインタフェースチャンネル 4 の機能を許可または禁止します。許可時はチャンネル 4 の端子がイネーブルとなり、スレーブ（本 LSI）とホスト間のデータ転送処理を行うことができます。

ビット 2	説 明
CS4E	
0	ホストインタフェースチャンネル 4 の機能を禁止 (初期値)
1	ホストインタフェースチャンネル 4 の機能を許可

ビット 1：CS3 イネーブル (CS3E)

HI12E ビットが 1 のときに、ホストインタフェースチャンネル 3 の機能を許可または禁止します。許可時はチャンネル 3 の端子がイネーブルとなり、スレーブ（本 LSI）とホスト間のデータ転送処理を行うことができます。

ビット 1	説 明
CS3E	
0	ホストインタフェースチャンネル 3 の機能を禁止 (初期値)
1	ホストインタフェースチャンネル 3 の機能を許可

ビット 0：ホストインタフェースイネーブルビット (HI12E)

シングルチップモードでホストインタフェース機能を許可または禁止します。許可時は、CS2E～CS4E、FGA20E、SDE ビットの設定によって決まる端子を利用して、スレーブ（本 LSI）とホスト間のデータ転送処理を行います。

ビット 0	説 明
HI12E	
0	ホストインタフェースの機能を禁止 (初期値)
1	ホストインタフェースの機能を許可

18A.2.3 ホストインタフェースコントロールレジスタ (HICR)

■HICR

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	IBFIE2	IBFIE1	FGA20E
初期値：	1	1	1	1	1	0	0	0
スレーブR/W：	—	—	—	—	—	R/W	R/W	R/W
ホストR/W	—	—	—	—	—	—	—	—

■HICR2

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	IBFIE4	IBFIE3	—
初期値：	1	1	1	1	1	0	0	0
スレーブR/W：	—	—	—	—	—	R/W	R/W	—
ホストR/W	—	—	—	—	—	—	—	—

HICR は、8 ビットのリード／ライト可能なレジスタで、ホストインタフェースチャネル 1、2 の割り込みと高速 GATE A20 機能を制御します。または HICR2 は、8 ビットのリード／ライト可能なレジスタで、ホストインタフェースチャネル 3、4 の割り込みを制御します。HICR および HICR2 は、リセット、またはハードウェアスタンバイモード時に H'F8 に初期化されます。

ビット 7～3：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

HICR のビット 2、1：入力データレジスタフル割り込みイネーブル 2、1 (IBFIE2、IBFIE1)

HICR2 のビット 2、1：入力データレジスタフル割り込みイネーブル 4、3 (IBFIE4、IBFIE3)

内部 CPU に対して IBF1～IBF4 割り込みを許可または禁止します。

HICR2 ビット 2	HICR2 ビット 1	HICR ビット 2	HICR ビット 1	説 明
IBFIE4	IBFIE3	IBFIE2	IBFIE1	
—	—	—	0	入力データレジスタ (IDR1) 受信完了割り込み要求を禁止 (初期値)
—	—	—	1	入力データレジスタ (IDR1) 受信完了割り込み要求を許可
—	—	0	—	入力データレジスタ (IDR2) 受信完了割り込み要求を禁止 (初期値)
—	—	1	—	入力データレジスタ (IDR2) 受信完了割り込み要求を許可
—	0	—	—	入力データレジスタ (IDR3) 受信完了割り込み要求を禁止 (初期値)
—	1	—	—	入力データレジスタ (IDR3) 受信完了割り込み要求を許可
0	—	—	—	入力データレジスタ (IDR4) 受信完了割り込み要求を禁止 (初期値)
1	—	—	—	入力データレジスタ (IDR4) 受信完了割り込み要求を許可

HICR のビット 0：高速 GATE A20 イネーブルビット (FGA20E)

ホストインタフェース (HIF:XBS) の高速 GATE A20 機能を許可または禁止します。高速 GATE A20 が禁止された場合、通常の GATE A20 は P81 出力をファームウェアで操作することで実現できます。

ホストインタフェース (HIF:XBS) の高速 GATE A20 機能を許可する場合には、P81 の DDR ビットを 1 にセットする必要があります。したがって、P81 の DR をリードしても、P81/GA20 端子の状態をモニタすることはできません。

高速 GATE A20 機能は、HIF:LPC にも存在します。P81/GA20 端子の状態をモニタする場合は、HIF:LPC の GA20 ビットをリードしてください。

HICR の ビット 0	P8DDR の ビット 1	説 明
FGA20E	P81DDR	
0	0	HIF:XBS の高速 GATE A20 機能を禁止 (初期値)
0	1	HIF:XBS の高速 GATE A20 機能を禁止
1	0	設定禁止
1	1	HIF:XBS の高速 GATE A20 機能を許可

HICR2 のビット 0：リザーブビット

リザーブビットです。1 にセットしないでください。

18A.2.4 入力データレジスタ (IDR)

ビット：	7	6	5	4	3	2	1	0
	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
初期値：	—	—	—	—	—	—	—	—
スレーブ R/W：	R	R	R	R	R	R	R	R
ホスト R/W	W	W	W	W	W	W	W	W

IDR は、スレーブ (本 LSI) に対しては 8 ビットのリード専用の、ホストに対しては 8 ビットのライト専用のレジスタです。CS_n (n=1~4) が Low レベルのときに、IOW の立ち上がりエッジで、ホストデータバスの内容が IDR_n にライトされます。HA0 の状態は STR_n の C/D ビットに反映され、コマンドライトとデータライトの識別に用いられます。

IDR は、リセットまたはスタンバイモード時、初期値は不定です。

18A.2.5 出力データレジスタ 1 (ODR)

ビット：	7	6	5	4	3	2	1	0
	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
初期値：	—	—	—	—	—	—	—	—
スレーブR/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W	R	R	R	R	R	R	R	R

ODR は、スレーブ（本 LSI）に対しては 8 ビットのリード／ライト可能な、ホストに対しては 8 ビットのリード専用のレジスタです。HA0 が Low レベル、 $\overline{CSn}$ (n=1~4) が Low レベル、 $\overline{IOR}$ が Low レベルのとき、ホストデータバスへ ODRn の内容が出力されます。

ODR は、リセットまたはスタンバイモード時、初期値は不定です。

18A.2.6 ステータスレジスタ (STR)

ビット：	7	6	5	4	3	2	1	0
	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF
初期値：	0	0	0	0	0	0	0	0
スレーブR/W：	R/W	R/W	R/W	R/W	R	R/W	R	R/(W)*
ホストR/W	R	R	R	R	R	R	R	R

【注】 * フラグをクリアするための0ライトのみ可能です。

STRn (n=1~4) は、8 ビットのレジスタでホストインタフェース処理中の状態を表示します。ビット 3、1、0 はホストとスレーブ（本 LSI）のいずれもリード専用です。

STR は、リセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7~4、2：ユーザ定義ビット (DBU)

ユーザが必要に応じて使用できるビットです。

ビット 3：コマンド／データ (C/D)

ホストが IDR に対してライトを行ったときの、HA0 の状態がライトされ、IDR の内容がデータかコマンドかを識別します。

ビット 3	説 明
C/D	
0	入力データレジスタ (IDR) の内容はデータ (初期値)
1	入力データレジスタ (IDR) の内容はコマンド

ビット 1：入力データレジスタフル (IBF)

ホストが IDR にライトすると 1 にセットされます。スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。スレーブ (本 LSI) が IDR をリードすると IBF ビットは 0 にクリアされます。

なお、高速 GATE A20 を使用しているときは IBF フラグのセット／クリア条件が変わります。詳細は表 18A.7 を参照してください。

ビット 1	説 明
IBF	
0	【クリア条件】 スレーブが IDR をリード (初期値)
1	【セット条件】 ホストが IDR にライト

ビット 0：出力データレジスタフル (OBF)

スレーブ (本 LSI) が ODR ヘライトすると 1 にセットされます。ホストが ODR をリードすると、OBF ビットは 0 にクリアされます。

ビット 0	説 明
OBF	
0	【クリア条件】 ホストが ODR をリード スレーブが OBF ビットに 0 ライト (初期値) 、またはス
1	【セット条件】 スレーブが ODR にライト

表 18A.3 に STR のフラグをセット／クリアするタイミングを示します。

表 18A.3 STR のフラグのセット／クリアタイミング

フラグ	セット条件	クリア条件
C/D	HA0 が High レベルのときのホストライト (IOW) 信号の立ち上がりエッジ	HA0 が Low レベルのときのホストライト (IOW) 信号の立ち上がりエッジ
IBF*	IDR ヘライトするためのホストライト (IOW) 信号の立ち上がりエッジ	IDR からリードするためのスレーブの内部リード (RD) 信号の立ち下がりエッジ
OBF	ODR ヘライトするためのスレーブの内部ライト (WR) 信号の立ち下がりエッジ	ODR からリードするためのホストリード (IOR) 信号の立ち上がりエッジ

【注】 * 高速 GATE A20 を使用しているときは、IBF フラグのセット／クリア条件が変わります。詳細は、表 18A.7 を参照してください。

18A.2.7 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCR _H								MSTPCR _L								
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP2 ビットを 1 にセットすると、ホストインタフェース (HIF:XBS) は動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCR_L ビット 2：モジュールストップ (MSTP2)

ホストインタフェース (HIF:XBS) のモジュールストップモードを指定します。

MSTPCR _L ビット 2	説 明
MSTP2	
0	HIF:XBS のモジュールストップモード解除
1	HIF:XBS のモジュールストップモード設定 (初期値)

18A.3 動作説明

18A.3.1 ホストインタフェースの起動

シングルチップモードで SYSCR2 の HI12E ビット (ビット 0) を 1 にセットすることによりホストインタフェースが起動します。ホストインタフェースを起動することにより、関連する I/O ポート (データ用ポート 3、コントロール用ポート 8、9、ホスト割り込み要求用ポート 4) はすべてホストインタフェース専用となります。さらに CS3E ビットおよび CS4E ビットを 1 にセットすることにより、ホストインタフェースのチャンネル数を 4 チャンネルまで拡張することが可能となり、チャンネル 3、4 の関連する I/O ポート (コントロールおよびホスト割り込み要求用ポート B の一部) がホストインタフェース専用となります。

表 18A.4 にホストインタフェースのホストインタフェースチャンネルの選択と端子の動作を示します。

3 表 18A.4 ホストインタフェースチャンネルの選択と端子の動作

HI12E	CS2E	CS3E	CS4E	動作
0	—	—	—	ホストインタフェース機能停止
1	0	0	0	ホストインタフェースチャンネル 1 のみ動作 チャンネル 2～4 は動作停止 ($\overline{\text{CS2}}$ または $\overline{\text{ECS2}}$ 、 $\overline{\text{CS3}}$ 、 $\overline{\text{CS4}}$ 入力として動作しない。P43、P81、P90、PB0～PB3 各端子機能は入出力ポートとして動作する。)
			1	ホストインタフェースチャンネル 1、4 の機能が動作 チャンネル 2、3 は動作停止 ($\overline{\text{CS2}}$ または $\overline{\text{ECS2}}$ 、 $\overline{\text{CS3}}$ 入力として動作しない。P43、P81、P90、PB0、PB2 各端子機能は入出力ポートとして動作する。)
		1	0	ホストインタフェースチャンネル 1、3 の機能が動作 チャンネル 2、4 は動作停止 ($\overline{\text{CS2}}$ または $\overline{\text{ECS2}}$ 、 $\overline{\text{CS4}}$ 入力として動作しない。P43、P81、P90、PB1、PB3 各端子機能は入出力ポートとして動作する。)
			1	ホストインタフェースチャンネル 1、3、4 の機能が動作 チャンネル 2 は動作停止 ($\overline{\text{CS2}}$ または $\overline{\text{ECS2}}$ 入力として動作しない。P43、P81、P90 各端子機能は入出力ポートとして動作する。)
	1	0	0	ホストインタフェースチャンネル 1、2 の機能が動作 チャンネル 3、4 は動作停止 ($\overline{\text{CS3}}$ 、 $\overline{\text{CS4}}$ 入力として動作しない。PB0～PB3 各端子機能は入出力ポートとして動作する。)
			1	ホストインタフェースチャンネル 1、2、4 の機能が動作 チャンネル 3 は動作停止 ($\overline{\text{CS3}}$ 入力として動作しない。PB0、PB2 各端子機能は入出力ポートとして動作する。)
		1	0	ホストインタフェースチャンネル 1～3 の機能が動作 チャンネル 4 は動作停止 ($\overline{\text{CS4}}$ 入力として動作しない。PB1、PB3 各端子機能は入出力ポートとして動作する。)
			1	ホストインタフェースチャンネル 1～4 の機能が動作

ホストリード／ライトタイミングについては、「25.3.4 内蔵周辺モジュールタイミング」を参照してください。

18A.3.2 コントロール状態

表 18A.5 にホストインタフェースのホストからのホストインタフェース操作とスレーブ（本 LSI）の動作を示します。

表 18A.5 ホストからのホストインタフェース操作とスレーブの動作

CSn 以外	CSn	IOR	IOW	HA0	動作
1	0	0	0	0	設定禁止
				1	設定禁止
			1	0	出力データレジスタ n (ODRn) からデータをリード
				1	ステータスレジスタ n (STRn) からステータスをリード
	1	0	0	0	入力データレジスタ n (IDRn) ヘデータをライト
				1	入力データレジスタ n (IDRn) ヘコマンドをライト
			1	0	アイドル状態
				1	アイドル状態

(n=1~4)

18A.3.3 GATE A20

GATE A20 は 8086*系 CPU を使用したパソコンのアドレッシングモードをエミュレートするための機能で、アドレス A20 をマスクすることができます。本出力は通常 GATE A20 としてファームウェアで制御されますが、HICR (H'FFF0) の FGA20E ビット（ビット 0）を 1 にセットすることによりハードウェアで処理速度を上げた、高速 GATE A20 機能を使用することが可能です。

【注】＊ 米国インテル社のマイクロプロセッサの名称です。

(1) 通常の GATE A20 の動作

H'D1 コマンドとデータの組み合わせで GATE A20 の出力を制御することができます。スレーブ（本 LSI）がデータを受信するときは、通常は IBF1 割り込みによる割り込みルーチン使用して IDR1 をリードします。このとき、ファームウェアにより H'D1 コマンドに続くデータのビット 1 の値をコピーして GATE A20 端子に出力します。

(2) 高速 GATE A20 の動作

FGA20E ビットを 1 にセットすると、P81/GA20 は高速 GA20 信号の専用端子となります。P81 を出力端子として割り当てるために P81 の DDR ビットを 1 にセットしてください。P81 の DDR ビットを 1 にセットすると、P81 の DR をリードしても P81/GA20 端子の状態をモニタすることはできません。P81/GA20 端子の状態をモニタする場合は、HIF:LPC の HICR2 の GA20 ビットをリードしてください。端子は最初に初期値である 1 を出力します。その後ホストはコマンド／データを送ることにより本端子の出力を操作することができます。本機能は $\overline{\text{CS1}}$ によりアクセスされる IDR1 レジスタによってのみ使用できます。この場合、スレーブ（本 LSI）はホストから入力されてくるコマンドをデコードします。ホストコマンド H'D1 が検出されると、このホストコマンドに続くデータのビット 1 が GA20 出力端子から出力されます。本動作は、ファームウェアや割り込みに依存しないため、通常の割り込みを使用した処理よりも高速です。表 18A.6 に GA20（P81）のセット／クリアの条件を、図 18A.2 に GA20 出力のフローを示します。また、表 18A.7 に GA20 出力信号の値を示します。

表 18A.6 GA20 (P81) のセット／クリアタイミング

端子名	セット条件	クリア条件
GA20 (P81)	H'D1 ホストコマンドに続くデータのビット1が1のとき、ホストライト信号 (IOW) の立ち上がりエッジが入力されたとき	H'D1 ホストコマンドに続くデータのビット1が0のとき、ホストライト信号 (IOW) の立ち上がりエッジが入力されたとき または、HICR の FGA20E ビットを0クリアしたとき

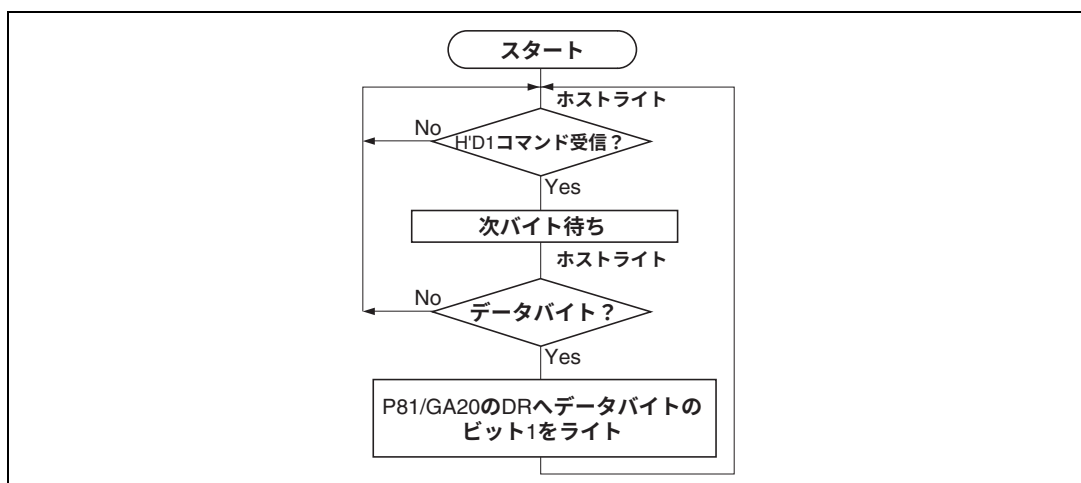


図 18A.2 GA20 出力フローチャート

表 18A.7 高速 GATE A20 出力信号

HA0	データ/コマンド	内部 CPU 割り込みフラグ (IBF)	GA20 (P81)	備考
1 0 1	H'D1 コマンド 1 データ* ¹ H'FF コマンド	0 0 0	Q 1 Q (1)	ターンオンシーケンス
1 0 1	H'D1 コマンド 0 データ* ² H'FF コマンド	0 0 0	Q 0 Q (0)	ターンオフシーケンス
1 0 1/0	H'D1 コマンド 1 データ* ¹ H'FF・H'D1 コマンド以外	0 0 1	Q 1 Q (1)	ターンオンシーケンス (短縮形)
1 0 1/0	H'D1 コマンド 0 データ* ² H'FF・H'D1 コマンド以外	0 0 1	Q 0 Q (0)	ターンオフシーケンス (短縮形)
1 1	H'D1 コマンド H'D1 以外のコマンド	0 1	Q Q	シーケンスの取り消し
1 1	H'D1 コマンド H'D1 コマンド	0 0	Q Q	シーケンスの再トリガ
1 0 1	H'D1 コマンド 任意のデータ H'D1 コマンド	0 0 0	Q 1/0 Q (1/0)	シーケンスの連続実行

【注】 *1 ビット 1 が 1 の任意のデータ

*2 ビット 1 が 0 の任意のデータ

18A.3.4 ホストインタフェース端子シャットダウン機能

HIFSD 端子の状態により、ホストインタフェース出力をハイインピーダンスにすることができます。HI12E ビットが 1 のときに、SYSCR2 レジスタの SDE ビットを 1 にセットすることにより、HIFSD 端子がイネーブルになります。ホストインタフェースは HIFSD 端子を常にモニタし、HIFSD 端子が Low レベルになるとホストインタフェース出力端子 (HIRQ1、HIRQ11、HIRQ12、HIRQ3、HIRQ4、GA20) をハイインピーダンスにします。同時にホストインタフェース入力端子 ($\overline{\text{CS1}}$ 、 $\overline{\text{CS2}}$ または $\overline{\text{ECS2}}$ 、 $\overline{\text{CS3}}$ 、 $\overline{\text{CS4}}$ 、 $\overline{\text{IOW}}$ 、 $\overline{\text{IOR}}$ 、HA0) は端子の状態にかかわらずディスエーブル状態 (内部で High 入力状態に固定) となり、同様にこれらの端子の兼用機能 (入力部) も内部で信号固定されます。これにより、ホストインタフェース入出力端子 (HDB7～HDB0) もハイインピーダンス状態になります。

HIFSD 端子が Low の期間中この状態を保持し、HIFSD 端子を High レベルに戻すと、各端子は通常のホストインタフェース用端子としての動作を復帰します。

表 18A.8 にホストインタフェース端子シャットダウン範囲を示します。

表 18A.8 ホストインタフェース端子シャットダウン範囲

略称	ポート	シャット ダウン範囲	入出力	選択条件
$\overline{\text{IOR}}$	P93	○	入力	HI12E=1
$\overline{\text{IOW}}$	P94	○	入力	HI12E=1
$\overline{\text{CS1}}$	P95	○	入力	HI12E=1
$\overline{\text{CS2}}$	P81	△	入力	HI12E=1 かつ CS2E=1 かつ FGA20E=0
$\overline{\text{ECS2}}$	P90	△	入力	HI12E=1 かつ CS2E=1 かつ FGA20E=1
$\overline{\text{CS3}}$	PB2	△	入力	HI12E=1 かつ CS3E=1
$\overline{\text{CS4}}$	PB3	△	入力	HI12E=1 かつ CS4E=1
HA0	P80	○	入力	HI12E=1
HDB7～HDB0	P37～P30	○	入出力	HI12E=1
HIRQ11	P43	△	出力	HI12E=1 かつ CS2E=1 かつ P43DDR=1
HIRQ1	P44	△	出力	HI12E=1 かつ P44DDR=1
HIRQ12	P45	△	出力	HI12E=1 かつ P45DDR=1
HIRQ3	PB0	△	出力	HI12E=1 かつ CS3E=1 かつ PB0DDR=1
HIRQ4	PB1	△	出力	HI12E=1 かつ CS4E=1 かつ PB1DDR=1
GA20	P81	△	出力	HI12E=1 かつ FGA20E=1
HIFSD	P82	—	入力	HI12E=1 かつ SDE=1

【記号説明】○：シャットダウン機能によりシャットダウンされる端子

なお、P90 シャットダウン時は $\overline{\text{IRQ2/ADTRG}}$ 、P43 シャットダウン時は $\overline{\text{TMCI1/HSYNCl}}$ 、P45 シャットダウン時は $\overline{\text{TMRI/CSYNCl}}$ の各入力信号も固定されます。

△：レジスタの設定による HIF:XBS 機能選択時のみシャットダウンされる端子

—：シャットダウンされない端子

18A.4 割り込み要因

18A.4.1 IBF1、IBF2、IBF3、IBF4

ホストインタフェースはスレーブ（本 LSI）に対して IBF1、IBF2、IBF3、IBF4 の 4 つの割り込み要求があります。これらはそれぞれ入力データレジスタ IDR1、IDR2、IDR3、IDR4 についての入力バッファフル割り込みです。割り込み要求は対応するイネーブルビットをセットすることにより許可されます。

表 18A.9 入力バッファフル割り込み

割り込み	説明
IBF1	IBFIE1 が 1 にセットされ、IDR1 が受信完了になったときに要求
IBF2	IBFIE2 が 1 にセットされ、IDR2 が受信完了になったときに要求
IBF3	IBFIE3 が 1 にセットされ、IDR3 が受信完了になったときに要求
IBF4	IBFIE4 が 1 にセットされ、IDR4 が受信完了になったときに要求

18A.4.2 HIRQ11、HIRQ1、HIRQ12、HIRQ3、HIRQ4

ポート 4 データレジスタ (P4DR) の P45DR～P43DR ビットおよびポート B データレジスタ (PBODR) の PB1ODR～PB0ODR ビットは、SYSCR2 レジスタ HI12E=1 のときホスト割り込み要求ラッチとして使用できます。

P4DR の対応するビットはホストリード ($\overline{\text{IOR}}$) によって 0 にクリアされます。 $\overline{\text{CS1}}$ が Low レベル、HA0 が Low レベルのとき、ホストリード ($\overline{\text{IOR}}$) で ODR1 をリードすると HIRQ1 と HIRQ12 が 0 にクリアされます。 $\overline{\text{CS2}}$ が Low レベル、HA0 が Low レベルのときホストリード ($\overline{\text{IOR}}$) で ODR2 をリードすると HIRQ11 が 0 にクリアされます。また、PBODR の対応するビットはホストリード ($\overline{\text{IOR}}$) によって 0 にクリアされます。 $\overline{\text{CS3}}$ が Low レベル、HA0 が Low レベルのとき、ホストリード ($\overline{\text{IOR}}$) で ODR3 をリードすると HIRQ3 が 0 にクリアされます。 $\overline{\text{CS4}}$ が Low レベル、HA0 が Low レベルのときホストリード ($\overline{\text{IOR}}$) で ODR4 をリードすると HIRQ4 が 0 にクリアされます。通常、内蔵ファームウェアはホスト割り込み要求を発生させるために、対応するビットに 1 をライトします。ホストは割り込み処理を起動し、割り込み処理で出力データレジスタ (ODR1～ODR4) をリードします。このときのホストリードによってホスト割り込みラッチが 0 にクリアされます。

表 18A.10 にこれらのビットのセットとクリアの方法を示します。また、図 18A.3 に処理フローを示します。

表 18A.10 HIRQ のセット／クリア

ホスト 割り込み信号	セット条件	クリア条件
HIRQ11 (P43)	内部 CPU が、P43DR ビットの 0 リード後、 1 をライト	P43DR ビットに内部 CPU から 0 ライト、 または出力データレジスタ 2 をホストリード
HIRQ1 (P44)	内部 CPU が、P44DR ビットの 0 リード後、 1 をライト	P44DR ビットに内部 CPU から 0 ライト、 または出力データレジスタ 1 をホストリード
HIRQ12 (P45)	内部 CPU が、P45DR ビットの 0 リード後、 1 をライト	P45DR ビットに内部 CPU から 0 ライト、 または出力データレジスタ 1 をホストリード
HIRQ3 (PB0)	内部 CPU が、PB0ODR ビットの 0 リード後、 1 をライト	PB0ODR ビットに内部 CPU から 0 ライト、 または出力データレジスタ 3 をホストリード
HIRQ4 (PB1)	内部 CPU が、PB1ODR ビットの 0 リード後、 1 をライト	PB1ODR ビットに内部 CPU から 0 ライト、 または出力データレジスタ 4 をホストリード

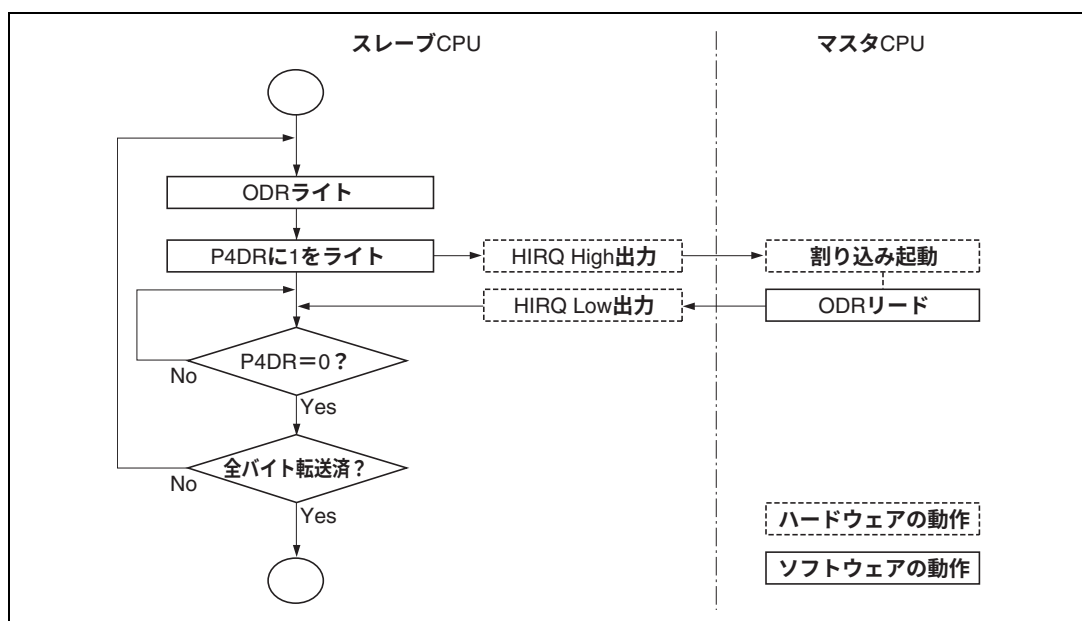


図 18A.3 HIRQ 出力の利用フロー（チャンネル 1、2 の例）

(1) HIRQ のセット／クリアの競合

CPU による P4DR または PBODR のリード／ライトと、ホストからの P4DR（HIRQ11、HIRQ1、HIRQ12）または PBODR（HIRQ3、HIRQ4）のクリアが競合した場合、ホストによるクリアが CPU による P4DR または PBODR のリード／ライト期間中は、保留されます。P4DR あるいは PBODR のクリアは、リード／ライト終了後実行されます。

18A.5 使用上の注意

ホストインタフェースはホストとスレーブ（本 LSI）からの非同期データのバッファリングを提供しています。必要な機能を実現し、データの競合を防ぐためにはインタフェースのプロトコルが必要です。たとえば、ホストとスレーブ（本 LSI）が同時に IDR や ODR をアクセスしようとすると、データは破壊されてしまいます。これには、割り込みを用いた、簡単な手順を構成することが有効です。

HIF 機能を使用（SYSCR2 の HI12E=1）し、チャンネル 3 またはチャンネル 4 を非選択設定（SYSCR2 の SC3E=0 または CS4E=0）のとき、以下のいずれかの条件で使用してください。

1. 非選択チャンネルの $\overline{CS}$ 端子を必ず High レベルで固定してください。
2. ポート B のリードを行わないでください。

また、 $\overline{CS1} \sim \overline{CS4}$ の各端子のうち 2 本以上を同時に Low レベルにして IDR や ODR をアクセスしようとすると、チップ内部での信号の競合が発生し、貫通電流が流れることがあります。このような使い方はしないでください。

18B. ホストインタフェース LPC インタフェース (LPC)

18B.1 概要

本 LSI は、パーソナルコンピュータの内部バスとして広く用いられている ISA バス (X-BUS) に接続可能なホストインタフェース (HIF: Host InterFace) を内蔵しています。また、本 LSI は、ISA バスに代わる新ホストインタフェースである LPC インタフェースを内蔵しています。以下、それぞれのホストインタフェース (HIF) を、XBS および LPC と略称します。

HIF:LPC は、33MHz の PCI クロックに同期して、転送の種類、アドレスおよびデータをシリアルに転送するインタフェースです。アドレス/データ用に 4 本、ホスト割り込み要求用に 1 本の信号線を用います。LPC インタフェースでは、いくつかの転送の種類が用意されていますが、本 LSI の HIF:LPC では I/O リードサイクルおよび I/O ライトサイクルの転送にのみ対応します。

HIF:LPC は、データレジスタとステータスレジスタからなるレジスタセットを 3 セットと、コントロールレジスタと高速 GATE A20 ロジックとホスト割り込み要求回路から構成されています。そのほか低消費電力機能用に、PCI クロックを制御する機能やホストインタフェースをシャットダウンする機能があります。

HIF:LPC は、シングルチップモードでのみ使用できます。

18B.1.1 特長

HIF:LPC の特長を以下に示します。

■LPC インタフェースの I/O リードサイクルおよび I/O ライトサイクルに対応

- 転送の種類/アドレス/データを、4 本の信号線 (LAD3~LAD0) で転送します。
- 制御信号として、クロック (LCLK)、リセット ($\overline{\text{LRESET}}$)、フレーム ($\overline{\text{LFRAME}}$) 信号を用います。

■データレジスタとステータスレジスタからなるレジスタセットを 3 セットで構成

- 基本のレジスタセットは、入力レジスタ (IDR)、出力レジスタ (ODR)、ステータスレジスタ (STR) の 3 バイトからなります。
- チャンネル 1、2 は、I/O アドレスをそれぞれ H'60/H'64 および H'62/H'66 に固定し、HIF:XBS のチャンネル 1、2 と同様の機能を実現可能です。
高速 GATE A20 機能をもっています。
- チャンネル 3 は、I/O アドレスを設定可能です。基本のレジスタセットのほか双方向レジスタ 16 バイトを操作可能です。

■SERIRQ に対応

- ホスト割り込み要求を、1 本の信号線 (SERIRQ) でシリアルに転送します。
- チャンネル 1 は、HIRQ1 と HIRQ12 を生成可能です。
- チャンネル 2、3 は、SMI、HIRQ6、HIRQ9～HIRQ11 を生成可能です。
- クワイエットモードとコンティニュアスモードの切り替えに対応します。
- $\overline{\text{CLKRUN}}$ 信号を操作し、PCI クロック (LCLK) の再起動を要求可能です。

■低消費電力機能、割り込みほか

- $\overline{\text{LPCPD}}$ 信号を入力し、LPC モジュールをシャットダウンすることができます。
- 汎用入出力として $\overline{\text{PME}}$ 、 $\overline{\text{LSMI}}$ 、LSCI の 3 端子があります。

18B.1.2 ブロック図

HIF:LPC のブロック図を図 18B.1 に示します。

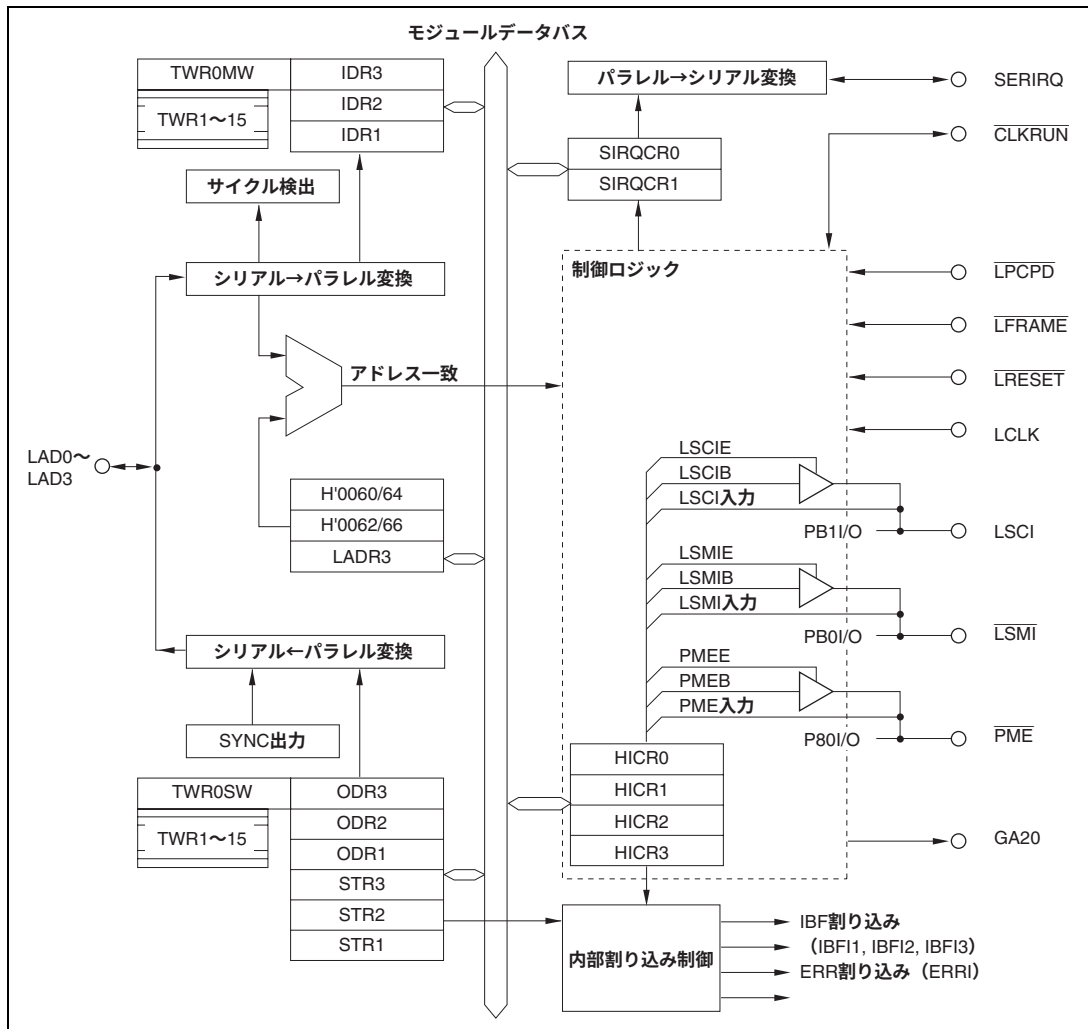


図 18B.1 HIF:LPC のブロック図

18B. ホストインタフェース (LPC)

18B.1.3 端子構成

HIF:LPC の入出力端子を表 18B.1 に示します。

表 18B.1 端子構成

名称	略称	ポート	入出力	機能
LPC アドレス／データ 3～0	LAD3～LAD0	P33～P30	入出力	LCLK に同期した、シリアル(4 信号線)の、転送サイクル種類／アドレス／データ信号
LPC フレーム	LFRAME	P34	入力 ^{*1}	転送サイクルの開始および強制終了信号
LPC リセット	LRESET	P35	入力 ^{*1}	LPC インタフェースのリセット信号
LPC クロック	LCLK	P36	入力	33MHz の PCI クロック信号
シリアルインタラプトリクエスト	SERIRQ	P37	入出力 ^{*1}	LCLK に同期した、シリアルホスト割り込み要求信号 (SMI, HIRQ1, HIRQ6, HIRQ9～HIKQ12)
LSCI 汎用出力	LSCI	PB1	出力 ^{*1*2}	汎用出力
LSMI 汎用出力	LSMI	PB0	出力 ^{*1*2}	汎用出力
PME 汎用出力	PME	P80	出力 ^{*1*2}	汎用出力
GATE A20	GA20	P81	出力 ^{*1*2}	GATE A20 コントロール信号出力
LPC クロックラン	CLKRUN	P82	入出力 ^{*1*2}	シリアルホスト割り込み要求時の、LCLK 再起動要求信号
LPC パワーダウン	LPCPD	P83	入力 ^{*1}	LPC モジュールのシャットダウン信号

【注】 *1 LPC インタフェースの制御入出力機能以外に、端子状態をモニタする入力が可能です。

*2 0 出力のみ可能です。1 出力時はハイインピーダンスとなるため、VCC へのプルアップ抵抗を外付けする必要があります。

18B.1.4 レジスタ構成

HIF:LPC のレジスタ構成を表 18B.2 に示します。

表 18B.2 レジスタ構成

名称	略称	R/W		初期値	スレープ アドレス* ³	ホスト アドレス* ⁴
		スレープ	ホスト			
システムコントロールレジスタ	SYSCR	R/W* ¹	—	H'09	H'FFC4	—
システムコントロールレジスタ 2	SYSCR2	R/W	—	H'00	H'FF83	—
ホストインタフェース コントロールレジスタ 0	HICR0	R/W	—	H'00	H'FE40	—
ホストインタフェース コントロールレジスタ 1	HICR1	R/W	—	H'00	H'FE41	—
ホストインタフェース コントロールレジスタ 2	HICR2	R/W	—	H'00	H'FE42	—
ホストインタフェース コントロールレジスタ 3	HICR3	R	—	—	H'FE43	—
LPC チャネル 3 アドレスレジスタ	LADR3H	R/W	—	H'00	H'FE34	—
	LADR3L	R/W	—	H'00	H'FE35	—
入力データレジスタ 1	IDR1	R	W	—	H'FE38	H'0060 と H'0064
出力データレジスタ 1	ODR1	R/W	R	—	H'FE39	H'0060
ステータスレジスタ 1	STR1	R/(W) * ²	R	H'00	H'FE3A	H'0064
入力データレジスタ 2	IDR2	R	W	—	H'FE3C	H'0062 と H'0066
出力データレジスタ 2	ODR2	R/W	R	—	H'FE3D	H'0062
ステータスレジスタ 2	STR2	R/(W) * ²	R	H'00	H'FE3E	H'0066
入力データレジスタ 3	IDR3	R	W	—	H'FE30	LADR3* ⁵ +0 と +4
出力データレジスタ 3	ODR3	R/W	R	—	H'FE31	LADR3* ⁵ +0
ステータスレジスタ 3	STR3	R/(W) * ²	R	H'00	H'FE32	LADR3* ⁵ +4
双方向レジスタ 0MW	TWR0MW	R	W	—	H'FE20	LADR3* ⁶ +16 / -16
双方向レジスタ 0SW	TWR0SW	W	R	—	H'FE20	LADR3* ⁶ +16 / -16
双方向レジスタ 1～15	TWR1～ TWR15	R/W	R/W	—	H'FE21～ H'FE2F	LADR3* ⁶ +17 / -15～ LADR3* ⁶ +31 / -1
SERIRQ コントロールレジスタ 0	SIRQCR0	R/W	—	H'00	H'FE36	—
SERIRQ コントロールレジスタ 1	SIRQCR1	R/W	—	H'00	H'FE37	—
モジュールストップ コントロールレジスタ	MSTPCRH	R/W	—	H'3F	H'FF86	—
	MSTPCRL	R/W	—	H'FF	H'FF87	—

【注】 *1 ビット 5、3 はリード専用です。

*2 ユーザ定義ビット (チャネル 1、2: ビット 7～4、2、およびチャネル 3: ビット 2) は、スレープ (本 LSI) からリード/ライト可能です。

*3 スレープ (本 LSI) からアクセスするときのアドレスです。アドレスの下位 16 ビットを示しています。

*4 ホストからアクセスするときのアドレスです。

*5 LADR3 のビット 0 を B'0 とみなして、+0 および +4 のアドレス計算を行います。

*6 LADR3 のビット 3～0 を B'0000 とみなして、+31～-16 のアドレス計算を行います。

18B.2 各レジスタの説明

18B.2.1 システムコントロールレジスタ (SYSCR、SYSCR2)

■SYSCR

ビット：	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値：	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R	R/W	R	R/W	R/W	R/W

■SYSCR2

ビット：	7	6	5	4	3	2	1	0
	KWUL1	KWUL0	P6PUE	—	SDE	CS4E	CS3E	HI12E
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

SYSCR、SYSCR2 は、8 ビットのリード／ライト可能なレジスタで、本 LSI の動作を制御します。HIF:XBS 関連のビットの設定は本 LSI の HIF:LPC の動作に影響を与えません。しかし、プログラム開発ツール（エミュレータ）の構成上の制約から、HIF:LPC を使用する場合は、SYSCR2 の HI12E ビットは 1 にセットしないでください。

各ビットについての詳細は「18A.2.1 システムコントロールレジスタ (SYSCR)」「18A.2.2 システムコントロールレジスタ 2 (SYSCR2)」「3.2.2 システムコントロールレジスタ (SYSCR)」「5.2.1 システムコントロールレジスタ (SYSCR)」および「第 8 章 I/O ポート」を参照してください。

SYSCR、SYSCR2 は、リセット、ハードウェアスタンバイモード時にそれぞれ H'09、H'00 に初期化されます。

18B.2.2 ホストインタフェースコントロールレジスタ 0、1 (HICR0、HICR1)

■HICR0

ビット：	7	6	5	4	3	2	1	0
	LPC3E	LPC2E	LPC1E	FGA20E	SDWNE	PMEE	LSMIE	LSCIE
初期値：	0	0	0	0	0	0	0	0
スレーブR/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W	—	—	—	—	—	—	—	—

■HICR1

ビット：	7	6	5	4	3	2	1	0
	LPCBSY	CLKREQ	IRQBSY	LRSTB	SDWNB	PMEB	LSMIB	LSCIB
初期値：	0	0	0	0	0	0	0	0
スレーブR/W：	R	R	R	R/W	R/W	R/W	R/W	R/W
ホストR/W	—	—	—	—	—	—	—	—

HICR0、HICR1 には、ホストインタフェースの機能を許可／禁止する制御ビット、端子出力およびホストインタフェースの内部状態を決める制御ビット、およびホストインタフェースの内部状態をモニタするステータスフラグがあります。

HICR0、HICR1 は、リセット、ハードウェアスタンバイモード時に H'00 に初期化されます。

HICR0：ビット7～5：LPC イネーブル3～1 (LPC3E、LPC2E、LPC1E)

シングルチップモードでホストインタフェース機能を許可または禁止します。許可時（3 ビットのうち、少なくとも 1 ビットが 1 にセット）は、LAD3～LAD0、LFRAME、LRESET、LCLK、SERIRQ、CLKRUN、LPCPD 端子を利用して、スレーブ（本 LSI）とホスト間のデータ転送処理を行います。

HICR0 ビット 7	
LPC3E	説 明
0	LPC チャネル 3 の動作を禁止 (初期値) IDR3、OD R3、STR3、TWR0～TWR15 に関してアドレス(LADR3)一致発生なし
1	LPC チャネル 3 の動作を許可

HICR0 ビット 6	
LPC2E	説 明
0	LPC チャネル 2 の動作を禁止 (初期値) IDR2、ODR2、STR2 に関してアドレス (H'0062, 66) 一致発生なし
1	LPC チャネル 2 の動作を許可

18B. ホストインタフェース (LPC)

HICR0 ビット 5	説 明
LPC1E	
0	LPC チャネル 1 の動作を禁止 (初期値) IDR1、ODR1、STR1 に関してアドレス (H'0060, 64) 一致発生なし
1	LPC チャネル 1 の動作を許可

HICR0：ビット 4：高速 GATE A20 イネーブル (FGA20E)

高速 GATE A20 の機能を許可または禁止します。高速 GATE A20 が禁止された場合、通常の GATE A20 は P81 出力をファームウェアで操作することで実現できます。

高速 GATE A20 の機能を許可する場合は、P81DDR は 1 にセットしないでください。

HICR0 ビット 4	説 明
FGA20E	
0	高速 GATE A20 機能を禁止 (初期値) - 端子の兼用機能の入出力を許可 - GA20 出力の内部状態を 1 に初期化
1	高速 GATE A20 機能を許可 GA20 端子出力はオープンドレイン (VCC ヘプリアップ抵抗外付け要)

HICR0：ビット 2：PME 出力イネーブル (PMEE)

HICR1：ビット 2：PME 出力ビット (PMEB)

PME 出力を制御します。 $\overline{\text{PME}}$ 端子出力はオープンドレインであり、VCC へのプルアップ抵抗の外付けが必要です。

PME 出力機能を使用する場合は、P80DDR は 1 にセットしないでください。

HICR0 ビット 2	HICR1 ビット 2	説 明
PMEE	PMEB	
0	0	PME 出力を禁止、端子の兼用機能の入出力を許可 (初期値)
	1	PME 出力を禁止、端子の兼用機能の入出力を許可
1	0	PME 出力を許可、 $\overline{\text{PME}}$ 端子出力は 0 レベル
	1	PME 出力を許可、 $\overline{\text{PME}}$ 端子出力はハイインピーダンス

HICR0：ビット 1：LSMI 出力イネーブル (LSMIE)

HICR1：ビット 1：LSMI 出力ビット (LSMIB)

LSMI 出力を制御します。 $\overline{\text{LSMI}}$ 端子出力はオープンドレインであり、VCC へのプルアップ抵抗の外付けが必要です。

LSMI 出力機能を使用する場合は、PB0DDR は 1 にセットしないでください。

HICR0 ビット 1	HICR1 ビット 1	説 明
LSMIE	LSMIB	
0	0	LSMI 出力を禁止、端子の兼用機能の入出力を許可 (初期値)
	1	LSMI 出力を禁止、端子の兼用機能の入出力を許可
1	0	LSMI 出力を許可、 $\overline{\text{LSMI}}$ 端子出力は 0 レベル
	1	LSMI 出力を許可、 $\overline{\text{LSMI}}$ 端子出力はハイインピーダンス

HICR0：ビット 0：LSCI 出力イネーブル (LSCIE)

HICR1：ビット 0：LSCI 出力ビット (LSCIB)

LSCI 出力を制御します。LSCI 端子出力はオープンドレインであり、VCC へのプルアップ抵抗の外付けが必要です。

LSCI 出力機能を使用する場合は、PB1DDR は 1 にセットしないでください。

HICR0 ビット 0	HICR1 ビット 0	説 明
LSCIE	LSCIB	
0	0	LSCI 出力を禁止、端子の兼用機能の入出力を許可 (初期値)
	1	LSCI 出力を禁止、端子の兼用機能の入出力を許可
1	0	LSCI 出力を許可、LSCI 端子出力は 0 レベル
	1	LSCI 出力を許可、LSCI 端子出力はハイインピーダンス

HICR1：ビット 7：LPC ビジー (LPCBSY)

ホストインタフェースが、転送サイクルを処理中であることを示します。

HICR1 ビット 7	説 明
LPCBSY	
0	ホストインタフェースが転送サイクル待ち状態 (初期値) - バスアイドル、または処理対象外の転送サイクル中 - 転送サイクル中、転送の種類またはアドレスが未確定の状態 [クリア条件] - LPC ハードウェアリセットまたは LPC ソフトウェアリセット - LPC ハードウェアシャットダウンまたは LPC ソフトウェアシャットダウン - 処理対象転送サイクルの強制終了 (アボート) - 処理対象転送サイクルの正常終了
1	ホストインタフェースが転送サイクル処理中 [セット条件] 転送の種類およびアドレスの一致

18B. ホストインタフェース (LPC)

HICR1：ビット6：LCLK リクエスト (CLKREQ)

ホストインタフェースの SERIRQ が、LCLK の再起動を要求中であることを示します。

HICR1 ビット 6	説 明
CLKREQ	
0	LCLK の再起動要求なし (初期値) [クリア条件] • LPC ハードウェアリセットまたは LPC ソフトウェアリセット • LPC ハードウェアシャットダウンまたは LPC ソフトウェアシャットダウン • SERIRQ がコンティニュアスモードに設定された • クワイエットモード時に、新たにホストに転送する割り込みがなくなった
1	LCLK の再起動要求あり [セット条件] • クワイエットモード時・LCLK 停止中に SERIRQ 割り込み出力が必要になった

HICR1：ビット5：SERIRQ ビジー (IRQBSY)

ホストインタフェースの SERIRQ が、転送処理中であることを示します。

HICR1 ビット 5	説 明
IRQBSY	
0	SERIRQ の転送フレーム開始待ち状態 (初期値) [クリア条件] • LPC ハードウェアリセットまたは LPC ソフトウェアリセット • LPC ハードウェアシャットダウンまたは LPC ソフトウェアシャットダウン • SERIRQ の転送フレーム終了
1	SERIRQ の転送処理中 [セット条件] • SERIRQ の転送フレーム開始

HICR1：ビット4：LPC ソフトウェアリセットビット (LRSTB)

ホストインタフェースをリセットします。LPC リセットで初期化される範囲は、「18B.3.4 ホストインタフェースのシャットダウン機能 (LPCPD)」を参照してください。

HICR1 ビット 4	説 明
LRSTB	
0	通常状態 (初期値) [クリア条件] • 0 ライト • LPC ハードウェアリセット
1	LPC ソフトウェアリセット状態 [セット条件] • LRSTB=0 リード後の 1 ライト

HICR0：ビット3：LPC ソフトウェアシャットダウンイネーブル (SDWNE)

HICR1：ビット3：LPC ソフトウェアシャットダウンビット (SDWNB)

ホストインタフェースをシャットダウンを制御します。LPC シャットダウン機能の詳細、および LPC リセットおよび LPC シャットダウンで初期化される範囲は、「18B.3.4 ホストインタフェースのシャットダウン機能 (LPCPD)」を参照してください。

HICR0 ビット 3	説 明
SDWNE	
0	通常状態、LPC ソフトウェアシャットダウンの設定許可 (初期値) [クリア条件] • 0 ライト • LPC ハードウェアリセットおよび LPC ソフトウェアリセット • LPC ハードウェアシャットダウン解除 (LPCPD 信号立ち上がりエッジ)
1	LPC ハードウェアシャットダウン状態の設定許可 • LPCPD 信号 Low レベル時にハードウェアシャットダウン状態 [セット条件] • SDWNE=0 リード後の 1 ライト

HICR1 ビット 3	説 明
SDWNB	
0	通常状態 (初期値) [クリア条件] • 0 ライト • LPC ハードウェアリセットおよび LPC ソフトウェアリセット • LPC ハードウェアシャットダウン (SDWNE=1 のとき、$\overline{\text{LPCPD}}$ 信号立ち下がりエッジ) • LPC ソフトウェアシャットダウン解除 (SDWNE=0 のとき、$\overline{\text{LPCPD}}$ 信号立ち上がりエッジ)
1	LPC ソフトウェアシャットダウン状態 [セット条件] • SDWNB=0 リード後の 1 ライト

18B.2.3 ホストインタフェースコントロールレジスタ 2,3(HICR2、HICR3)

■HICR2

ビット：	7	6	5	4	3	2	1	0
	GA20	LRST	SDWN	ABRT	IBFIE3	IBFIE2	IBFIE1	ERRIE
初期値：	0	0	0	0	0	0	0	0
スレーブR/W：	R	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W
ホストR/W	—	—	—	—	—	—	—	—

【注】 * ビット6～4はフラグをクリアするための0ライトのみ可能です。

■HICR3

ビット：	7	6	5	4	3	2	1	0
	LFRAME	CLKRUN	SERIRQ	LRESET	LPCPD	PME	LSMI	LSCI
初期値：	0	0	0	0	0	0	0	0
スレーブR/W：	R	R	R	R	R	R	R	R
ホストR/W	—	—	—	—	—	—	—	—

HICR2、HICR3 には、ホストインタフェースのスレーブ（本 LSI）に対する割り込みを制御するフラグやビット、およびホストインタフェースの端子状態をモニタするビットがあります。

HICR2 のビット 6～0 は、リセット、ハードウェアスタンバイモード時に H'00 に初期化されます。それ以外のビットの状態は、端子の状態によって決定されます。

HICR2：ビット 7：GA20 端子モニタ (GA20)

HICR3：ビット 7： $\overline{\text{LFRAME}}$ 端子モニタ (LFRAME)

HICR3：ビット 6： $\overline{\text{CLKRUN}}$ 端子モニタ (CLKRUN)

HICR3：ビット 5： $\overline{\text{SERIRQ}}$ 端子モニタ (SERIRQ)

HICR3：ビット 4： $\overline{\text{LRESET}}$ 端子モニタ (LRESET)

HICR3：ビット 3： $\overline{\text{LPCPD}}$ 端子モニタ (LPCPD)

HICR3：ビット 2： $\overline{\text{PME}}$ 端子モニタ (PME)

HICR3：ビット 1： $\overline{\text{LSMI}}$ 端子モニタ (LSMI)

HICR3：ビット 0：LSCI 端子モニタ (LSCI)

端子状態のモニタビットです。ホストインタフェースの動作状態や端子を兼用する機能の動作状態にかかわらず、端子の状態をモニタすることができます。

HICR2：ビット6：LPC リセット割り込みフラグ (LRST)

LPC ハードウェアリセット発生時に ERRI 割り込みを発生させる割り込みフラグです。

HICR2 ビット 6	説 明
LRST	
0	[クリア条件] (初期値) • LRST=1 リード後の 0 ライト
1	[セット条件] • $\overline{\text{LRESET}}$ 端子の立ち下がりエッジ検出

HICR2：ビット5：LPC シャットダウン割り込みフラグ (SDWN)

LPC ハードウェアシャットダウン要求発生時に ERRI 割り込みを発生させる割り込みフラグです。

HICR2 ビット 5	説 明
SDWN	
0	[クリア条件] (初期値) • SDWN=1 リード後の 0 ライト • LPC ハードウェアリセット ($\overline{\text{LRESET}}$ 端子の立ち下がりエッジ検出) • LPC ソフトウェアリセット (LRSTB=1)
1	[セット条件] • LPCPD 端子の立ち下がりエッジ検出

HICR2：ビット4：LPC アボート割り込みフラグ (ABRT)

LPC 転送サイクルの強制終了 (アボート) 発生時に ERRI 割り込みを発生させる割り込みフラグです。

HICR2 ビット 4	説 明
ABRT	
0	[クリア条件] (初期値) • ABRT=1 リード後の 0 ライト • LPC ハードウェアリセット ($\overline{\text{LRESET}}$ 端子の立ち下がりエッジ検出) • LPC ソフトウェアリセット (LRSTB=1) • LPC ハードウェアシャットダウン (SDWNE=1 かつ LPCPD 端子の立ち下がりエッジ検出) • LPC ソフトウェアシャットダウン (SDWNB=1)
1	[セット条件] • LPC 転送サイクル中の $\overline{\text{LFRAME}}$ 端子の立ち下がりエッジ検出

18B. ホストインタフェース (LPC)

HICR2：ビット3：IDR3、TWR 受信完了割り込みイネーブル (IBFIE3)

HICR2：ビット2：IDR2 受信完了割り込みイネーブル (IBFIE2)

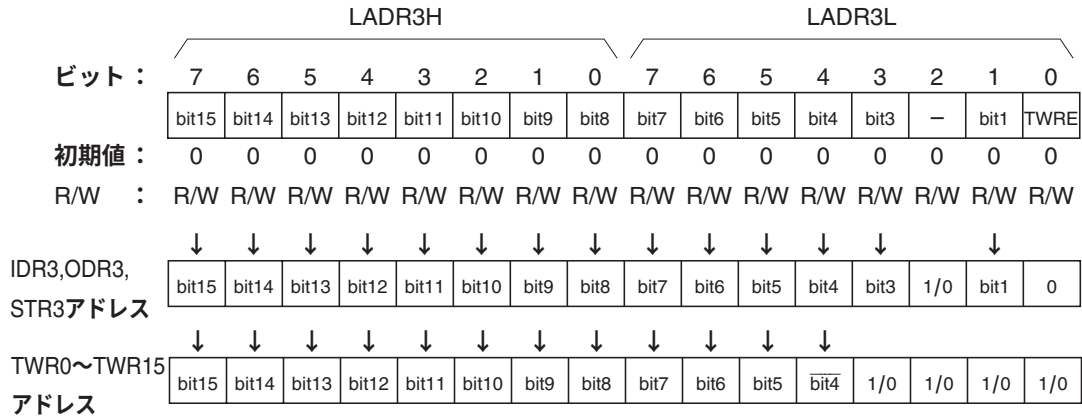
HICR2：ビット1：IDR1 受信完了割り込みイネーブル (IBFIE1)

HICR2：ビット0：エラー割り込みイネーブル (ERRIE)

スレーブ（本 LSI）に対して IBFI1、IBFI2、IBFI3、ERRI 割り込みを許可または禁止します。

HICR2 ビット3	HICR2 ビット2	HICR2 ビット1	HICR2 ビット0	説 明
IBFIE3	IBFIE2	IBFIE1	ERRIE	
—	—	—	0	エラー割り込み要求を禁止 (初期値)
—	—	—	1	エラー割り込み要求を許可
—	—	0	—	入力データレジスタ (IDR1) 受信完了割り込み要求を禁止 (初期値)
—	—	1	—	入力データレジスタ (IDR1) 受信完了割り込み要求を許可
—	0	—	—	入力データレジスタ (IDR2) 受信完了割り込み要求を禁止 (初期値)
—	1	—	—	入力データレジスタ (IDR2) 受信完了割り込み要求を許可
0	—	—	—	入力データレジスタ (IDR3) および TWR の受信完了割り込み要求を禁止 (初期値)
1	—	—	—	入力データレジスタ (IDR3) および TWR 受信完了割り込み要求を許可

18B.2.4 LPC チャネル 3 アドレスレジスタ (LADR3)



LADR3 は 8 ビットのリード／ライト可能な 2 本のレジスタで、LPC チャネル 3 のホストアドレスの設定、および双方向レジスタの動作の制御を行います。LADR3 のアドレス部分は、チャンネル 3 動作時 (LPC3E を 1 にセットした状態) では、内容を変更しないでください。

LADR3 は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

LADR3H：ビット 7～0：チャンネル 3 アドレスビット 15～8

LADR3L：ビット 7～3、1：チャンネル 3 アドレスビット 7～3、1

LPC3E=1 の場合、LPC の I/O サイクルで受信した I/O アドレスは、LADR3 の内容と比較されます。IDR3、ODR3、STR3 のアドレス一致判定時には、LADR3 のビット 0 を 0 とみなし、ビット 2 の内容は無視します。TWR0～TWR15 のアドレス一致判定時には、LADR3 のビット 4 を反転し、ビット 3～0 の内容は無視します。アドレス一致判定時に無視したビットによるレジスタの選択は以下のとおりです。

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
bit4	bit3	0	bit1	0	I/O ライト	IDR3 ライト、C/D3←0
bit4	bit3	1	bit1	0	I/O ライト	IDR3 ライト、C/D3←1
bit4	bit3	0	bit1	0	I/O リード	ODR3 リード
bit4	bit3	1	bit1	0	I/O リード	STR3 リード
$\overline{\text{bit4}}$	0	0	0	0	I/O ライト	TWR0MW ライト
$\overline{\text{bit4}}$	0	0	0	1	I/O ライト	TWR1 ライト ～ TWR15 ライト
•	•	•	•	•		
•	•	•	•	•		
1	1	1	1	1		
$\overline{\text{bit4}}$	0	0	0	0	I/O リード	TWR0SW リード
$\overline{\text{bit4}}$	0	0	0	1	I/O リード	TWR1 リード ～ TWR15 リード
•	•	•	•	•		
•	•	•	•	•		
1	1	1	1	1		

18B. ホストインタフェース (LPC)

LADR3L：ビット2：リザーブビット

リード／ライト可能なリザーブビットです。

LADR3L：ビット0：双方向レジスタイネーブル (TWRE)

双方向レジスタの動作を許可または禁止します。

LADR3L ビット0	説 明
TWRE	
0	TWR の動作を禁止 TWR に関して I/O アドレスの一致判定を停止 (初期値)
1	TWR の動作を許可

18B.2.5 入力データレジスタ (IDR1～IDR3)

ビット：	7	6	5	4	3	2	1	0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
初期値：	—	—	—	—	—	—	—	—
スレーブR/W：	R	R	R	R	R	R	R	R
ホストR/W	W	W	W	W	W	W	W	W

IDR は、スレーブ (本 LSI) に対しては 8 ビットのリード専用の、ホストに対しては 8 ビットのライト専用のレジスタです。I/O アドレスによってホストから選択されるレジスタは以下のようになります。IDR3 の選択については、「18B.2.4 LPC チャネル 3 アドレスレジスタ (LADR3)」を参照してください。LPC の I/O ライトサイクルで転送されたデータが、選択されたレジスタにライトされます。I/O アドレスのビット 2 は STR の $C/\bar{D}$ ビットに反映され、コマンドライトとデータライトの識別に用いられます。

IDR は、リセットまたはスタンバイモード時、初期値は不定です。

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット 15～4	ビット 3	ビット 2	ビット 1	ビット 0		
0000 0000 0110	0	0	0	0	I/O ライト	IDR1 ライト、 $C/\bar{D}1 \leftarrow 0$
0000 0000 0110	0	1	0	0	I/O ライト	IDR1 ライト、 $C/\bar{D}1 \leftarrow 1$
0000 0000 0110	0	0	1	0	I/O ライト	IDR2 ライト、 $C/\bar{D}2 \leftarrow 0$
0000 0000 0110	0	1	1	0	I/O ライト	IDR2 ライト、 $C/\bar{D}2 \leftarrow 1$

18B.2.6 出力データレジスタ 1 (ODR1～ODR3)

ビット：	7	6	5	4	3	2	1	0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
初期値：	—	—	—	—	—	—	—	—
スレーブR/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W	R	R	R	R	R	R	R	R

ODR は、スレーブ（本 LSI）に対しては 8 ビットのリード／ライト可能な、ホストに対しては 8 ビットのリード専用のレジスタです。I/O アドレスによってホストから選択されるレジスタは以下のようになります。ODR3 の選択については、「18B.2.4 LPC チャネル 3 アドレスレジスタ (LADR3)」を参照してください。LPC の I/O リードサイクルで、選択されたレジスタのデータがホストに転送されます。

ODR は、リセットまたはスタンバイモード時、初期値は不定です。

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット 15～4	ビット 3	ビット 2	ビット 1	ビット 0		
0000 0000 0110	0	0	0	0	I/O リード	ODR1 リード
0000 0000 0110	0	0	1	0	I/O リード	ODR2 リード

18B.2.7 双方向データレジスタ (TWR0～TWR15)

■TWR0MW

ビット：	7	6	5	4	3	2	1	0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
初期値：	—	—	—	—	—	—	—	—
スレーブ R/W：	R	R	R	R	R	R	R	R
ホスト R/W	W	W	W	W	W	W	W	W

■TWR0SW

ビット：	7	6	5	4	3	2	1	0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
初期値：	—	—	—	—	—	—	—	—
スレーブ R/W：	W	W	W	W	W	W	W	W
ホスト R/W	R	R	R	R	R	R	R	R

■TWR1～TWR15

ビット：	7	6	5	4	3	2	1	0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
初期値：	—	—	—	—	—	—	—	—
スレーブ R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホスト R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TWR0～TWR15 は、スレーブ（本 LSI）とホストで、どちらからもリード／ライト可能な 16 バイトの 8 ビットレジスタです。ただし、TWR0 は、ホストアドレス、スレーブアドレスとも同一のアドレスに 2 つのレジスタ（TWR0MW、TWR0SW）が割り当てられています。TWR0MW は、ホストからはライト専用、スレーブからはリード専用のレジスタです。TWR0SW は、スレーブからはライト専用、ホストからはリード専用のレジスタです。ホストとスレーブがライトを開始する場合、それぞ

18B. ホストインタフェース (LPC)

れ TWR0 にライトしたあと、そのライトが有効だったかをステータスフラグで確認することにより同時アクセス時のアクセス権の調停を行います。I/O アドレスによってホストから選択されるレジスタは、「18B.2.4 LPC チャンネル 3 アドレスレジスタ (LADR3)」を参照してください。

LPC の I/O ライトサイクルで転送されたデータが、選択されたレジスタにライトされ、LPC の I/O リードサイクルで、選択されたレジスタのデータがホストに転送されます。

TWR0～TWR15 は、リセットまたはスタンバイモード時、初期値は不定です。

18B.2.8 ステータスレジスタ (STR1～STR3)

■STR1

ビット：	7	6	5	4	3	2	1	0
	DBU17	DBU16	DBU15	DBU14	C/ $\overline{D}$ 1	DBU12	IBF1	OBF1
初期値：	0	0	0	0	0	0	0	0
スレーブR/W：	R/W	R/W	R/W	R/W	R	R/W	R	R/(W)*
ホストR/W	R	R	R	R	R	R	R	R

【注】 * フラグをクリアするための0ライトのみ可能です。

■STR2

ビット：	7	6	5	4	3	2	1	0
	DBU27	DBU26	DBU25	DBU24	C/ $\overline{D}$ 2	DBU22	IBF2	OBF2
初期値：	0	0	0	0	0	0	0	0
スレーブR/W：	R/W	R/W	R/W	R/W	R	R/W	R	R/(W)*
ホストR/W	R	R	R	R	R	R	R	R

【注】 * フラグをクリアするための0ライトのみ可能です。

■STR3

ビット：	7	6	5	4	3	2	1	0
	IBF3B	OBF3B	MWMF	SWMF	C/ $\overline{D}$ 3	DBU32	IBF3A	OBF3A
初期値：	0	0	0	0	0	0	0	0
スレーブR/W：	R	R/(W)*	R	R/(W)*	R	R/W	R	R/(W)*
ホストR/W	R	R	R	R	R	R	R	R

【注】 * フラグをクリアするための0ライトのみ可能です。

STR は、8 ビットのレジスタで、ホストインタフェース処理中の状態を表示します。STR1～STR3 のビット 3、1、0、および STR3 のビット 7～4 は、ホストとスレーブ（本 LSI）のいずれもリード専用です。ただし、STR1～STR3 のビット 0、および STR3 のビット 6、4 は、スレーブ（本 LSI）から 0 フラグをクリアするための 0 ライトのみ可能です。I/O アドレスによってホストから選択されるレ

ジスタは以下のようになります。STR3 の選択については、「18B.2.4 LPC チャネル 3 アドレスレジスタ (LADR3)」を参照してください。LPC の I/O リードサイクルで、選択されたレジスタのデータがホストに転送されます。

STR は、リセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。

I/O アドレス					転送 サイクル	ホスト選択レジスタ
ビット 15~4	ビット 3	ビット 2	ビット 1	ビット 0		
0000 0000 0110	0	1	0	0	I/O リード	STR1 リード
0000 0000 0110	0	1	1	0	I/O リード	STR2 リード

STR1、STR2：ビット 7~4、2：ユーザ定義ビット

(DBU17~DBU14、DBU12、DBU27~DBU24、DBU22)

STR3：ビット 2：ユーザ定義ビット (DBU32)

ユーザが必要に応じて使用できるビットです。

STR1~STR3：ビット 3：コマンド／データ (C/ $\overline{D}$ 1~C/ $\overline{D}$ 3)

ホストが IDR に対してライトを行ったときの、I/O アドレスのビット 2 の状態がライトされ、IDR の内容がデータかコマンドかを識別します。

ビット 3	説 明
C/ $\overline{D}$	
0	入力データレジスタ (IDR) の内容はデータ (初期値)
1	入力データレジスタ (IDR) の内容はコマンド

STR1~STR3：ビット 1：入力データレジスタフル (IBF1、IBF2、IBF3A)

ホストが IDR にライトすると 1 にセットされます。スレーブ (本 LSI) に対しての内部割り込み要因の 1 つとなります。スレーブ (本 LSI) が IDR をリードすると IBF ビットは 0 にクリアされます。

なお、高速 GATE A20 を使用しているときは IBF1 フラグのセット／クリア条件が変わります。詳細は表 18B.4 を参照してください。

ビット 1	説 明
IBF	
0	【クリア条件】 スレーブが IDR をリード (初期値)
1	【セット条件】 I/O ライトサイクルにより IDR にホストライト

18B. ホストインタフェース (LPC)

STR1～STR3：ビット 0：出力データレジスタフル (OBF1、OBF2、OBF3A)

スレーブ（本 LSI）が ODR ヘライトすると 1 にセットされます。ホストが ODR をリードすると、OBF ビットは 0 にクリアされます。

ビット 0	説 明
OBF	
0	【クリア条件】 I/O リードサイクルにより ODR をホストリード、またはスレーブが OBF ビットに 0 ライト (初期値)
1	【セット条件】 スレーブが ODR にライト

STR3：ビット 7：双方向レジスタ入力データフル (IBF3B)

ホストが TWR15 にライトすると 1 にセットされます。スレーブ（本 LSI）に対しての内部割り込み要因の 1 つとなります。スレーブ（本 LSI）が TWR15 をリードすると IBF3B ビットは 0 にクリアされます。

ビット 7	説 明
IBF3B	
0	【クリア条件】 スレーブが TWR15 をリード (初期値)
1	【セット条件】 I/O ライトサイクルにより TWR15 にホストライト

STR3：ビット 6：双方向レジスタ出力データフル (OBF3B)

スレーブ（本 LSI）が TWR15 ヘライトすると 1 にセットされます。ホストが TWR15 をリードすると、OBF3B ビットは 0 にクリアされます。

ビット 6	説 明
OBF3B	
0	【クリア条件】 I/O リードサイクルにより TWR15 をホストリード、またはスレーブが OBF3B ビットに 0 ライト (初期値)
1	【セット条件】 スレーブが TWR15 にライト

STR3：ビット5：マスタライトモードフラグ (MWMF)

ホストが TWR0 にライトすると 1 にセットされます。スレーブ (本 LSI) が TWR15 をリードすると MWMF ビットは 0 にクリアされます。

ビット 5	説 明
MWMF	
0	【クリア条件】 スレーブが TWR15 をリード (初期値)
1	【セット条件】 SWMF=0 の状態で、I/O ライトサイクルにより TWR0 にホストライト

STR3：ビット4：スレーブライトモードフラグ (SWMF)

スレーブ (本 LSI) が TWR0 へライトすると 1 にセットされます。マスタとスレーブの同時ライト時にはマスタのライトが優先されます。ホストが TWR15 をリードすると、SWMF ビットは 0 にクリアされます。

ビット 4	説 明
SWMF	
0	【クリア条件】 I/O リードサイクルにより TWR15 をホストリード、またはスレーブが SWMF ビットに 0 ライト (初期値)
1	【セット条件】 MWMF=0 の状態で、スレーブが TWR0 にライト

18B.2.9 SERIRQ コントロールレジスタ (SIRQCR0、SIRQCR1)**■SIRQCR0**

ビット：	7	6	5	4	3	2	1	0
	Q/ $\overline{C}$	—	IEDIR	SMIE3B	SMIE3A	SMIE2	IRQ12E1	IRQ1E1
初期値：	0	0	0	0	0	0	0	0
スレーブR/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W	—	—	—	—	—	—	—	—

■SIRQCR1

ビット：	7	6	5	4	3	2	1	0
	IRQ11E3	IRQ10E3	IRQ9E3	IRQ6E3	IRQ11E2	IRQ10E2	IRQ9E2	IRQ6E2
初期値：	0	0	0	0	0	0	0	0
スレーブR/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W	—	—	—	—	—	—	—	—

18B. ホストインタフェース (LPC)

SIRQCR には、SERIRQ の動作モードを示すステータスビットと、SERIRQ の割り込みソースを指定するビットがあります。

SIRQCR は、リセット、ハードウェアスタンバイモード時に H'00 に初期化されます。

SIRQCR0：ビット 7：クワイエット／コンティニュアスモードフラグ (Q/C)

SERIRQ の転送サイクルの最後で、ホストにより指定されたモードを示します。

ビット 7	説 明
Q/C	
0	コンティニュアスモード [クリア条件] • LPC ハードウェアリセット、LPC ソフトウェアリセット • SERIRQ 転送サイクルのストップフレームによる指定 (初期値)
1	クワイエットモード [セット条件] • SERIRQ 転送サイクルのストップフレームによる指定

SIRQCR0：ビット 6：リザーブビット

リード／ライト可能なリザーブビットです。

SIRQCR0：ビット 5：割り込みイネーブルダイレクトモード (IEDIR)

LPC チャンネル 2 とチャンネル 3 の SERIRQ の割り込み要因 (SMI、HIRQ6、HIRQ9～11) の発生を、OBF に関連付けて行うか、ホスト割り込み許可ビットのみで行うかを制御します。

ビット 5	説 明
IEDIR	
0	ホスト割り込みは、ホスト割り込み許可ビットと、対応する OBF が両方とも 1 にセットされたときに要求されます。 (初期値)
1	ホスト割り込みは、ホスト割り込み許可ビットが 1 にセットされたときに要求されます。

SIRQCR0：ビット 4：ホスト SMI 割り込みイネーブル 3B (SMIE3B)

TWR15 ライトにより OBF3B がセットされた場合の、SMI 割り込み要求を許可または禁止します。

ビット 4	説 明
SMIE3B	
0	OBF3B および SMIE3B による SMI 割り込みの要求を禁止 (初期値) [クリア条件] • SMIE3B への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF3B の 0 クリア (IEDIR=0 の場合)
1	[IEDIR=0 の場合] OBF3B の 1 セットによる SMI 割り込み要求を許可 [IEDIR=1 の場合] SMI 割り込みを要求 [セット条件] • SMIE3B=0 リード後の 1 ライト

SIRQCR0：ビット 3：ホスト SMI 割り込みイネーブル 3A (SMIE3A)

ODR3 ライトにより OBF3A がセットされた場合の、SMI 割り込み要求を許可または禁止します。

ビット 3	説 明
SMIE3A	
0	OBF3A および SMIE3A による SMI 割り込みの要求を禁止 (初期値) [クリア条件] • SMIE3A への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF3A の 0 クリア (IEDIR=0 の場合)
1	[IEDIR=0 の場合] OBF3A の 1 セットによる SMI 割り込み要求を許可 [IEDIR=1 の場合] SMI 割り込みを要求 [セット条件] • SMIE3A=0 リード後の 1 ライト

SIRQCR1：ビット 7：ホスト IRQ11 割り込みイネーブル 3 (IRQ11E3)

ODR3 ライトにより OBF3A がセットされた場合の、HIRQ11 割り込み要求を許可または禁止します。

ビット 7	説 明
IRQ11E3	
0	OBF3A および IRQ11E3 による HIRQ11 割り込みの要求を禁止 (初期値) • IRQ11E3 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF3A の 0 クリア (IEDIR=0 の場合)
1	[IEDIR=0 の場合] OBF3A の 1 セットによる HIRQ11 割り込み要求を許可 [IEDIR=1 の場合] HIRQ11 割り込みを要求 [セット条件] • IRQ11E3=0 リード後の 1 ライト

18B. ホストインタフェース (LPC)

SIRQCR1：ビット 6：ホスト IRQ10 割り込みイネーブル 3 (IRQ10E3)

ODR3 ライトにより OBF3A がセットされた場合の、HIRQ10 割り込み要求を許可または禁止します。

ビット 6	説 明
IRQ10E3	
0	OB3A および IRQ10E3 による HIRQ10 割り込みの要求を禁止 (初期値) [クリア条件] • IRQ10E3 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OB3A の 0 クリア (IEDIR= 0 の場合)
1	[IEDIR=0 の場合] OB3A の 1 セットによる HIRQ10 割り込み要求を許可 [IEDIR=1 の場合] HIRQ10 割り込みを要求 [セット条件] • IRQ10E3=0 リード後の 1 ライト

SIRQCR1：ビット 5：ホスト IRQ9 割り込みイネーブル 3 (IRQ9E3)

ODR3 ライトにより OBF3A がセットされた場合の、HIRQ9 割り込み要求を許可または禁止します。

ビット 5	説 明
IRQ9E3	
0	OB3A および IRQ9E3 による HIRQ9 割り込みの要求を禁止 (初期値) [クリア条件] • IRQ9E3 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OB3A の 0 クリア (IEDIR= 0 の場合)
1	[IEDIR=0 の場合] OB3A の 1 セットによる HIRQ9 割り込み要求を許可 [IEDIR=1 の場合] HIRQ9 割り込みを要求 [セット条件] • IRQ9E3=0 リード後の 1 ライト

SIRQCR1：ビット 4：ホスト IRQ6 割り込みイネーブル 3 (IRQ6E3)

ODR3 ライトにより OBF3A がセットされた場合の、HIRQ6 割り込み要求を許可または禁止します。

ビット 4	説 明
IRQ6E3	
0	OBF3A および IRQ6E3 による HIRQ6 割り込みの要求を禁止 (初期値) [クリア条件] • IRQ6E3 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF3A の 0 クリア (IEDIR=0 の場合)
1	[IEDIR=0 の場合] OBF3A の 1 セットによる HIRQ6 割り込み要求を許可 [IEDIR=1 の場合] HIRQ6 割り込みを要求 [セット条件] • IRQ6E3=0 リード後の 1 ライト

SIRQCR0：ビット 2：ホスト SMI 割り込みイネーブル 2 (SMIE2)

ODR2 ライトにより OBF2 がセットされた場合の、SMI 割り込み要求を許可または禁止します。

ビット 2	説 明
SMIE2	
0	OBF2 および SMIE2 による SMI 割り込みの要求を禁止 (初期値) [クリア条件] • SMIE2 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF2 の 0 クリア (IEDIR=0 の場合)
1	[IEDIR=0 の場合] OBF2 の 1 セットによる SMI 割り込み要求を許可 [IEDIR=1 の場合] SMI 割り込みを要求 [セット条件] • SMIE2=0 リード後の 1 ライト

SIRQCR1：ビット 3：ホスト IRQ11 割り込みイネーブル 2 (IRQ11E2)

ODR2 ライトにより OBF2 がセットされた場合の、HIRQ11 割り込み要求を許可または禁止します。

ビット 3	説 明
IRQ11E2	
0	OBF2 および IRQ11E2 による HIRQ11 割り込みの要求を禁止 (初期値) [クリア条件] • IRQ11E2 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF2 の 0 クリア (IEDIR=0 の場合)
1	[IEDIR=0 の場合] OBF2 の 1 セットによる HIRQ11 割り込み要求を許可 [IEDIR=1 の場合] HIRQ11 割り込みを要求 [セット条件] • IRQ11E2=0 リード後の 1 ライト

18B. ホストインタフェース (LPC)

SIRQCR1：ビット 2：ホスト IRQ10 割り込みイネーブル 2 (IRQ10E2)

ODR2 ライトにより OBF2 がセットされた場合の、HIRQ10 割り込み要求を許可または禁止します。

ビット 2 IRQ10E2	説 明
0	OBF2 および IRQ10E2 による HIRQ10 割り込みの要求を禁止 (初期値) [クリア条件] • IRQ10E2 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF2 の 0 クリア (IEDIR=0 の場合)
1	[IEDIR=0 の場合] OBF2 の 1 セットによる HIRQ10 割り込み要求を許可 [IEDIR=1 の場合] HIRQ10 割り込みを要求 [セット条件] • IRQ10E2=0 リード後の 1 ライト

SIRQCR1：ビット 1：ホスト IRQ9 割り込みイネーブル 2 (IRQ9E2)

ODR2 ライトにより OBF2 がセットされた場合の、HIRQ9 割り込み要求を許可または禁止します。

ビット 1 IRQ9E2	説 明
0	OBF2 および IRQ9E2 による HIRQ9 割り込みの要求を禁止 (初期値) [クリア条件] • IRQ9E2 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF2 の 0 クリア (IEDIR=0 の場合)
1	[IEDIR=0 の場合] OBF2 の 1 セットによる HIRQ9 割り込み要求を許可 [IEDIR=1 の場合] HIRQ9 割り込みを要求 [セット条件] • IRQ9E2=0 リード後の 1 ライト

SIRQCR1：ビット 0：ホスト IRQ6 割り込みイネーブル 2 (IRQ6E2)

ODR2 ライトにより OBF2 がセットされた場合の、HIRQ6 割り込み要求を許可または禁止します。

ビット 0 IRQ6E2	説 明
0	OBF2 および IRQ6E2 による HIRQ6 割り込みの要求を禁止 (初期値) [クリア条件] • IRQ6E2 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF2 の 0 クリア (IEDIR=0 の場合)
1	[IEDIR=0 の場合] OBF2 の 1 セットによる HIRQ6 割り込み要求を許可 [IEDIR=1 の場合] HIRQ6 割り込みを要求 [セット条件] • IRQ6E2=0 リード後の 1 ライト

SIRQCR0：ビット 1：ホスト IRQ12 割り込みイネーブル 1 (IRQ12E1)

ODR1 ライトにより OBF1 がセットされた場合の、HIRQ12 割り込み要求を許可または禁止します。

ビット 1	説 明
IRQ12E1	
0	OBF1 および IRQ12E1 による HIRQ12 割り込みの要求を禁止 (初期値) [クリア条件] • IRQ12E1 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF1 の 0 クリア
1	OBF1 の 1 セットによる HIRQ12 割り込み要求を許可 [セット条件] • IRQ12E1=0 リード後の 1 ライト

SIRQCR0：ビット 0：ホスト IRQ1 割り込みイネーブル 1 (IRQ1E1)

ODR1 ライトにより OBF1 がセットされた場合の、HIRQ1 割り込み要求を許可または禁止します。

ビット 0	説 明
IRQ1E1	
0	OBF1 および IRQ1E1 による HIRQ1 割り込みの要求を禁止 (初期値) [クリア条件] • IRQ1E1 への 0 ライト • LPC ハードウェアリセット、LPC ソフトウェアリセット • OBF1 の 0 クリア
1	OBF1 の 1 セットによる HIRQ1 割り込み要求を許可 [セット条件] • IRQ1E1=0 リード後の 1 ライト

18B.2.10 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCR _H								MSTPCR _L								
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP0 ビットを 1 にセットすると、ホストインタフェース (HIF: LPC) は動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCR_L ビット 0: モジュールストップ (MSTP0)

ホストインタフェースのモジュールストップモードを指定します。

MSTPCR _L ビット 0	説 明
MSTP0	
0	HIF: LPC のモジュールストップモード解除
1	HIF: LPC のモジュールストップモード設定 (初期値)

18B.3 動作説明

18B.3.1 ホストインタフェースの起動

シングルチップモードで HICR0 の LPC3E~LPC1E ビット (ビット 7~5) の少なくともひとつを 1 にセットすることにより、ホストインタフェースが起動します。ホストインタフェースを起動することにより、関連する I/O ポート (ポート 37~30、ポート 83、82) はホストインタフェース専用入出力となります。さらに FGA20E、PMEE、LSMIE および LSCIE ビットを 1 にセットすることにより、関連する I/O ポート (ポート 81、80、ポート B0、B1) がホストインタフェースの入出力に加わります。

リセット解除後のホストインタフェースの起動は、以下の手順に従ってください。

- (1) 信号線の状態をリードして、LPCモジュールを接続可能であることを確認します。
また、LPCモジュールの内部状態が初期状態であることを確認します。
- (2) チャンネル3を使用する場合は、LADR3を設定してチャンネル3のI/Oアドレスおよび双方向レジスタの使用の有無を決定します。
- (3) 使用するチャンネルのイネーブルビット (LPC3E~LPC1E) をセットします。
- (4) 使用する付加機能のイネーブルビット (FGA20E、PMEE、LSMIE、LSCIE) をセットします。
- (5) その他の機能の選択ビット (SDWNE、IEDIR) を設定します。
- (6) 念のため、割り込みフラグ (LRST、SDWN、ABRT、OBF) をクリアします。
IBFをクリアするために、IDRやTWR15をリードします。
- (7) 必要に応じて割り込みイネーブルビット (IBFIE3~IBFIE1、ERRIE) を設定します。

18B.3.2 LPC の I/O サイクル

LPC の転送サイクルには、メモリリード、メモリライト、I/O リード、I/O ライト、DMA リード、DMA ライト、バスマスタメモリリード、バスマスタメモリライト、バスマスタ I/O リード、バスマスタ I/O ライトの、合計 10 種類が存在します。本 LSI の HIF:LPC は、このうち I/O リードと I/O ライトのみをサポートします。

LPC の転送サイクルは、バスアイドル状態で $\overline{\text{LFRAME}}$ 信号が Low レベルになることにより起動されます。バスアイドルでない状態で $\overline{\text{LFRAME}}$ 信号が Low レベルになると、その LPC 転送サイクルの強制終了 (アボート) が要求されたことを意味します。

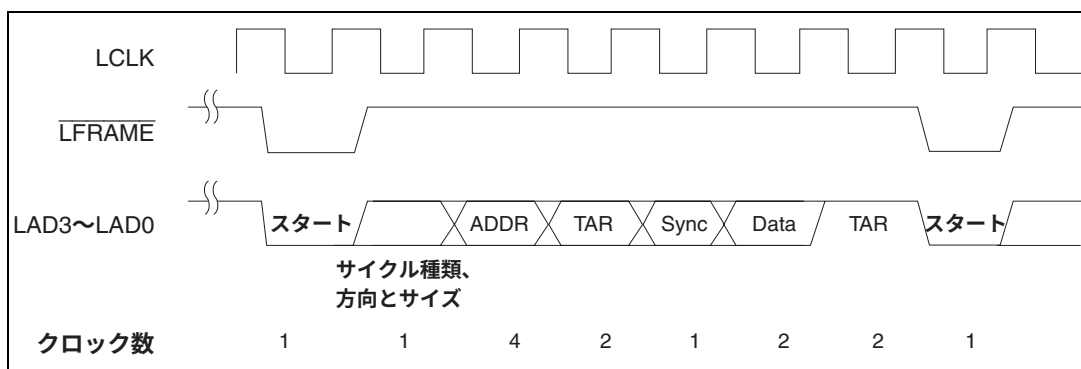
I/O リードサイクルおよび I/O ライトサイクルでは、LCLK に同期して、次の順番で LAD3~0 を用いて転送が行われます。スレーブからの同期返送サイクルは、0000 以外の値を返送してホストを待たせることが可能ですが、本 LSI の HIF:LPC では必ず 0000 を返送します。

ホストインタフェースは、受信したアドレスが HIF:LPC のレジスタ (IDR、ODR、STR、TWR) のホストアドレスに一致した場合にビジーとなり、ステートカウンタ 12 のターンアラウンドを出力することによりアイドル状態に戻ります。レジスタおよびフラグの変更は、このタイミングで行なわれるため、転送サイクルの強制終了 (アボート) があった場合にはレジスタおよびフラグの内容の変更は行われません。

18B. ホストインタフェース (LPC)

ステート カウント	I/O リードサイクル			I/O ライトサイクル		
	内容	駆動元	値(3~0)	内容	駆動元	値(3~0)
1	スタート	ホスト	0000	スタート	ホスト	0000
2	サイクル種類／方向	ホスト	0000	サイクル種類／方向	ホスト	0010
3	アドレス 1	ホスト	bit15~12	アドレス 1	ホスト	bit15~12
4	アドレス 2	ホスト	bit11~8	アドレス 2	ホスト	bit11~8
5	アドレス 3	ホスト	bit7~4	アドレス 3	ホスト	bit7~4
6	アドレス 4	ホスト	bit3~0	アドレス 4	ホスト	bit3~0
7	ターンアラウンド (リカバー)	ホスト	1111	データ 1	ホスト	bit3~0
8	ターンアラウンド	なし	ZZZZ	データ 2	ホスト	bit7~4
9	同期	スレーブ	0000	ターンアラウンド (リカバー)	ホスト	1111
10	データ 1	スレーブ	bit3~0	ターンアラウンド	なし	ZZZZ
11	データ 2	スレーブ	bit7~4	同期	スレーブ	0000
12	ターンアラウンド (リカバー)	スレーブ	1111	ターンアラウンド (リカバー)	スレーブ	1111
13	ターンアラウンド	なし	ZZZZ	ターンアラウンド	なし	ZZZZ

$\overline{\text{LFRAME}}$ 、LCLK、LAD 信号のタイミングを図 18B.2、図 18B.3 に示します。



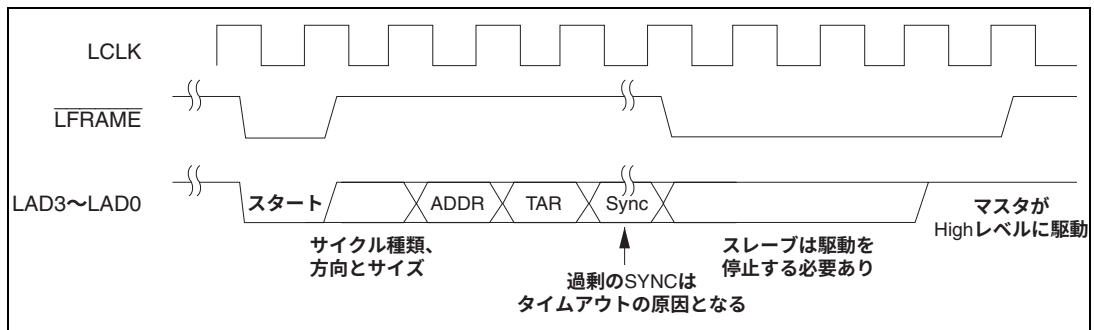


図 18B.3 アボートメカニズム

18B.3.3 GATE A20

GATE A20は8086*系CPUを使用したパソコンのアドレッシングモードをエミュレートするための機能で、アドレス A20 をマスクすることができます。本出力は通常 GATE A20 としてファームウェアで制御されますが、HICR0 (H'FE40) の FGA20E ビット (ビット 4) を 1 にセットすることによりハードウェアで処理速度を上げた、高速 GATE A20 機能を使用することが可能です。

【注】 * 米国インテル社のマイクロプロセッサの名称です。

(1) 通常の GATE A20 の動作

H'D1 コマンドとデータの組み合わせで GATE A20 の出力を制御することができます。スレーブ (本 LSI) がデータを受信するときは、通常は IBF1 割り込みによる割り込みルーチン使用して IDR1 をリードします。このとき、ファームウェアにより H'D1 コマンドに続くデータのビット 1 の値をコピーして GATE A20 端子に出力します。

(2) 高速 GATE A20 の動作

GA20 出力の内部状態は、FGA20E=0 であることにより 1 に初期化されます。FGA20E ビットを 1 にセットすると、P81/GA20 は高速 GA20 信号の出力端子となります。P81/GA20 端子の状態をモニタする場合は、HICR2 の GA20 ビットをリードしてください。

端子は、最初に初期値である 1 を出力します。その後ホストはコマンド/データを送ることにより本端子の出力を操作することができます。本機能は IDR1 レジスタによってのみ使用できます。この場合、ホストインタフェースはホストから入力されてくるコマンドをデコードします。ホストコマンド H'D1 が検出されると、このホストコマンドに続くデータのビット 1 が GA20 出力端子から出力されます。本動作は、ファームウェアや割り込みに依存しないため、通常の割り込みを使用した処理よりも高速です。表 18B.3 に GA20 (P81) のセット/クリアの条件を、図 18B.4 に GA20 出力のフローを示します。また、表 18B.4 に GA20 出力信号の値を示します。

表 18B.3 GA20 (P81) のセット/クリアタイミング

端子名	セット条件	クリア条件
GA20 (P81)	H'D1 ホストコマンドに続くデータのビット 1 が 1 のとき	H'D1 ホストコマンドに続くデータのビット 1 が 0 のとき

18B. ホストインタフェース (LPC)

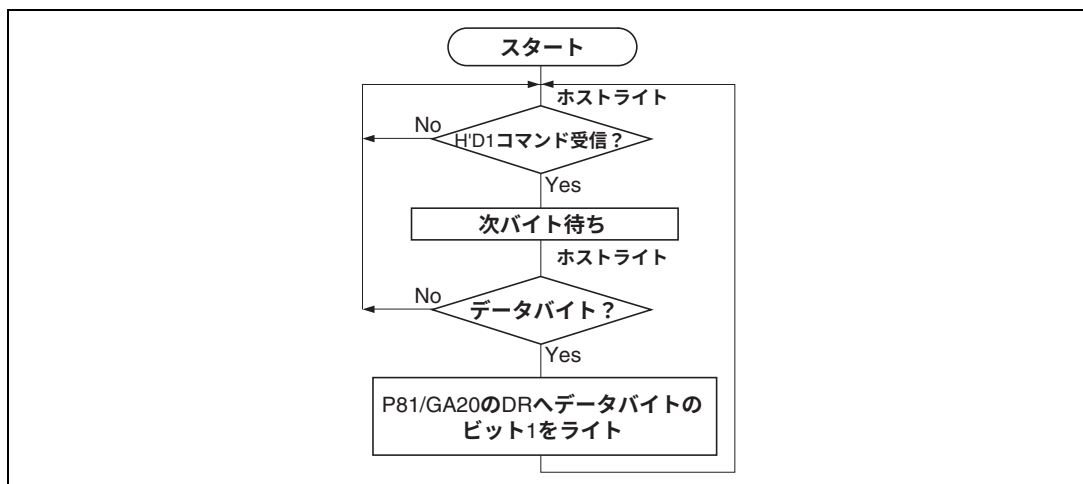


図 18B.4 GA20 出力フローチャート

表 18B.4 高速 GATE A20 出力信号

HA0	データ/コマンド	内部 CPU 割り込みフラグ (IBF)	GA20 (P81)	備考
1	H'D1 コマンド	0	Q	ターンオンシーケンス
0	1 データ*1	0	1	
1	H'FF コマンド	0	Q (1)	
1	H'D1 コマンド	0	Q	ターンオフシーケンス
0	0 データ*2	0	0	
1	H'FF コマンド	0	Q (0)	
1	H'D1 コマンド	0	Q	ターンオンシーケンス (短縮形)
0	1 データ*1	0	1	
1/0	H'FF・H'D1 コマンド以外	1	Q (1)	
1	H'D1 コマンド	0	Q	ターンオフシーケンス (短縮形)
0	0 データ*2	0	0	
1/0	H'FF・H'D1 コマンド以外	1	Q (0)	
1	H'D1 コマンド	0	Q	シーケンスの取り消し
1	H'D1 以外のコマンド	1	Q	
1	H'D1 コマンド	0	Q	シーケンスの再トリガ
1	H'D1 コマンド	0	Q	
1	H'D1 コマンド	0	Q	シーケンスの連続実行
0	任意のデータ	0	1/0	
1	H'D1 コマンド	0	Q (1/0)	

【注】 *1 ビット 1 が 1 の任意のデータ

*2 ビット 1 が 0 の任意のデータ

18B.3.4 ホストインタフェースのシャットダウン機能 (LPCPD)

$\overline{\text{LPCPD}}$ 端子の状態により、ホストインタフェースをシャットダウン状態にすることができます。ホストインタフェースのシャットダウン状態には、LPC ハードウェアシャットダウン状態と LPC ソフトウェアシャットダウン状態の 2 種類があります。LPC ハードウェアシャットダウン状態は $\overline{\text{LPCPD}}$ 端子で、LPC ソフトウェアシャットダウン状態は SDWNB ビットで制御されます。いずれの状態でも、ホストインタフェースは部分的にリセット状態となり、 $\overline{\text{LRESET}}$ 信号および $\overline{\text{LPCPD}}$ 信号以外の外部信号の影響を受けなくなります。

シャットダウン状態での消費電流を低減するためには、スレーブをスリープモードまたはソフトウェアスタンバイモードに設定することが有効です。ソフトウェアスタンバイモードに設定した場合には、 $\overline{\text{LPCPD}}$ 信号によるシャットダウン状態の解除の前にソフトウェアスタンバイモードを解除しておく手段が必要です。

SDWNE ビットをあらかじめ 1 にセットしておく、と、 $\overline{\text{LPCPD}}$ 信号の立ち下がりと同時に LPC ハードウェアシャットダウン状態になり、事前の準備ができません。一方、SDWNB ビットによって LPC ソフトウェアシャットダウン状態に設定すると、 $\overline{\text{LPCPD}}$ 信号の立ち上がりと同時に LPC ソフトウェアシャットダウン状態の解除ができません。これを考慮して、LPC ソフトウェアシャットダウンと LPC ハードウェアシャットダウンを組み合わせた操作手順を以下に示します。

- (1) SDWNE ビットは 0 にクリアしておきます。
- (2) ERRIE ビットを 1 にセットしておき、SDWN フラグによる割り込みを待ちます。
- (3) SDWN フラグによる ERRI 割り込みが発生したら、ホストインタフェースの内部状態フラグを確認し、処理すべき事項があれば処理します。
- (4) SDWNB ビットを 1 にセットして LPC ソフトウェアスタンバイモードを設定します。
- (5) SDWNE ビットを 1 にセットして LPC ハードウェアスタンバイモードに移行します。
SDWNB ビットは自動的にクリアされます。
- (6) $\overline{\text{LPCPD}}$ 信号の状態を確認して、(3)～(5)の操作中に $\overline{\text{LPCPD}}$ 信号が立ち上がっていないことを確認します。もし立ち上がっていれば、SDWNE を 0 にクリアして(1)の状態に戻ります。
- (7) 必要に応じて、スレーブをスリープモードまたはソフトウェアスタンバイモードに設定します。
- (8)' ソフトウェアスタンバイモードを設定した場合は、LPC と関係のない手段でソフトウェアスタンバイモードを解除します。
- (8) $\overline{\text{LPCPD}}$ 信号の立ち上がりエッジを検出すると、SDWNE ビットが自動的に 0 にクリアされます。スレーブがスリープモードに設定されている場合は、 $\overline{\text{LRESET}}$ 信号入力や LPC の転送サイクルの完了などによって解除されます。

18B. ホストインタフェース (LPC)

表 18B.5 にホストインタフェース端子シャットダウン範囲を示します。

表 18B.5 ホストインタフェース端子シャットダウン範囲

略称	ポート	シャット ダウン範囲	入出力	備考
LAD3～LAD0	P33～P30	○	入出力	Hi-Z
LFRAME	P34	○	入力	Hi-Z
LRESET	P35	×	入力	LPC ハードウェアリセット機能はアクティブ
LCLK	P36	○	入力	Hi-Z
SERIRQ	P37	○	入出力	Hi-Z
LSCI	PB1	△	入出力	Hi-Z、LSCIE=1 のときのみ
LSMI	PB0	△	入出力	Hi-Z、LSMIE=1 のときのみ
PME	P80	△	入出力	Hi-Z、PMEE=1 のときのみ
GA20	P81	△	入出力	Hi-Z、FGA20E=1 のときのみ
CLKRUN	P82	○	入出力	Hi-Z
LPCPD	P83	×	入力	シャットダウン状態解除に必要

【記号説明】 ○：シャットダウン機能によりシャットダウンされる端子

△：レジスタの設定による HIF：LPC 機能選択時のみシャットダウンされる端子

×：シャットダウンされない端子

LPC シャットダウン状態では、LPC の内部状態および一部のレジスタビットが初期化されます。
LPC リセット状態との優先順位は以下のようになっています。

- (1) システムリセット ($\overline{\text{STBY}}$ 、 $\overline{\text{RES}}$ 端子入力、WDT0オーバフローによるリセット)
 - LPC3E～LPC1E ビットはじめ、すべてのレジスタビットを初期化します。
- (2) LPCハードウェアリセット ($\overline{\text{LRESET}}$ 端子入力によるリセット)
 - LRSTB、SDWNE、SDWNB ビットを 0 にクリアします。
- (3) LPCソフトウェアリセット (LRSTBによるリセット)
 - SDWNE、SDWNB ビットを 0 にクリアします。
- (4) LPCハードウェアシャットダウン
 - SDWNB ビットを 0 にクリアします。
- (5) LPCソフトウェアシャットダウン

各モードで初期化される範囲を表 18B.6 に示します。

表 18B.6 ホストインタフェースの各モードで初期化される範囲

初期化対象	システム リセット	LPC リセット	LPC シャット ダウン
LPC 転送サイクルシーケンサ (内部状態) および LPCBSY フラグ、 ABRT フラグ	初期化	初期化	初期化
SERIRQ 転送サイクルシーケンサ (内部状態) および CLKREQ、 IRQBSY フラグ	初期化	初期化	初期化
ホストインタフェースフラグ (IBF1、IBF2、IBF3A、IBF3B、MWMF、C/D ₁ 、C/D ₂ 、C/D ₃ 、OBF1、 OBF2、OBF3A、OBF3B、SWMF、DBU) および GA20 (内部状態)	初期化	初期化	保持
ホスト割り込みイネーブル (IRQ1E1、IRQ12E1、SMIE2、IRQ6E2、IRQ9E2～IRQ11E2、SMIE3B、 SMIE3A、IRQ6E3、IRQ9E3～IRQ11E3) および Q/C フラグ	初期化	初期化	保持
LRST フラグ	初期化 (0)	セット／ク リア可能	セット／クリア 可能
SDWN フラグ	初期化 (0)	初期化 (0)	セット／クリア 可能
LRSTB ビット	初期化 (0)	HR : 0 SR : 1	0 (セット可能)
SDWNB ビット	初期化 (0)	初期化 (0)	HS : 0 SS : 1
SDWNE ビット	初期化 (0)	初期化 (0)	HS : 1 SS : 0 または 1
ホストインタフェース動作制御ビット (LPC3E～LPC1E、FGA20E、LADR3、IBFIE1～IBFIE3、PMEE、 PMEB、LSMIE、LSMIB、LSCIE、LSCIB)	初期化	保持	保持
LRESET 信号	入力 (ポート 機能)	入力	入力
LPCPD 信号		入力	入力
LAD3～LAD0、LFRAME、LCLK、SERIRQ、CLKRUN 信号		入力	Hi-Z
PME、LSMI、LSCI、GA20 信号 (機能選択時)		出力	Hi-Z
PME、LSMI、LSCI、GA20 信号 (機能非選択時)		ポート機能	

【注】 システムリセット：STBY 入力、RES 入力、WDT オーバフローによるリセット

LPC リセット：LPC ハードウェアリセット (HR)、LPC ソフトウェアリセット (SR) によるリセット

LPC シャットダウン：LPC ハードウェアシャットダウン (HS)、LPC ソフトウェアシャットダウン (SS) によるリセット

18B. ホストインタフェース (LPC)

$\overline{\text{LPCPD}}$ 、 $\overline{\text{LRESET}}$ 信号のタイミングを図 18B.5 に示します。

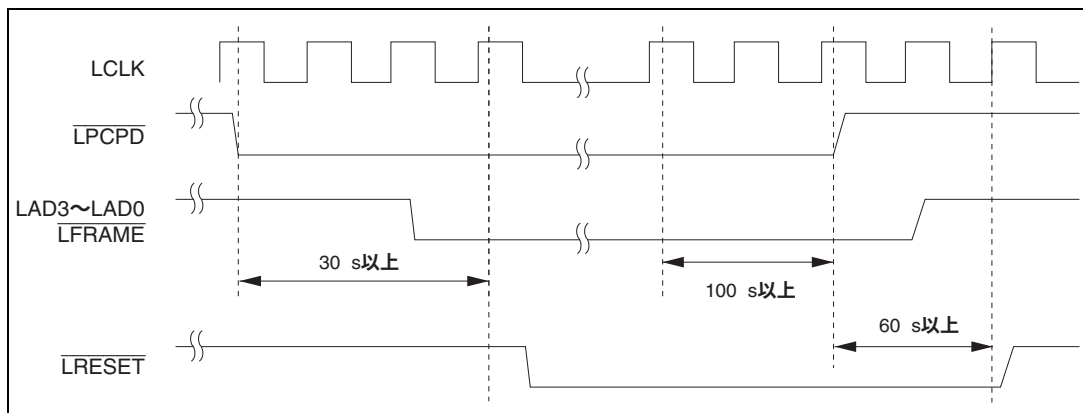


図 18B.5 パワーダウン状態の終了タイミング

18B.3.5 ホストインタフェースのシリアル割り込み動作 (SERIRQ)

SERIRQ 端子により、ホストインタフェースからホスト割り込み要求をすることができます。SERIRQ 端子によるホスト割り込み要求は、ホストまたは周辺機能から発生されるシリアル割り込み転送サイクルの開始フレームから起算して LCLK をカウントし、当該割り込みに対応するフレームで要求信号を発生します。このタイミングを図 18B.6 に示します。

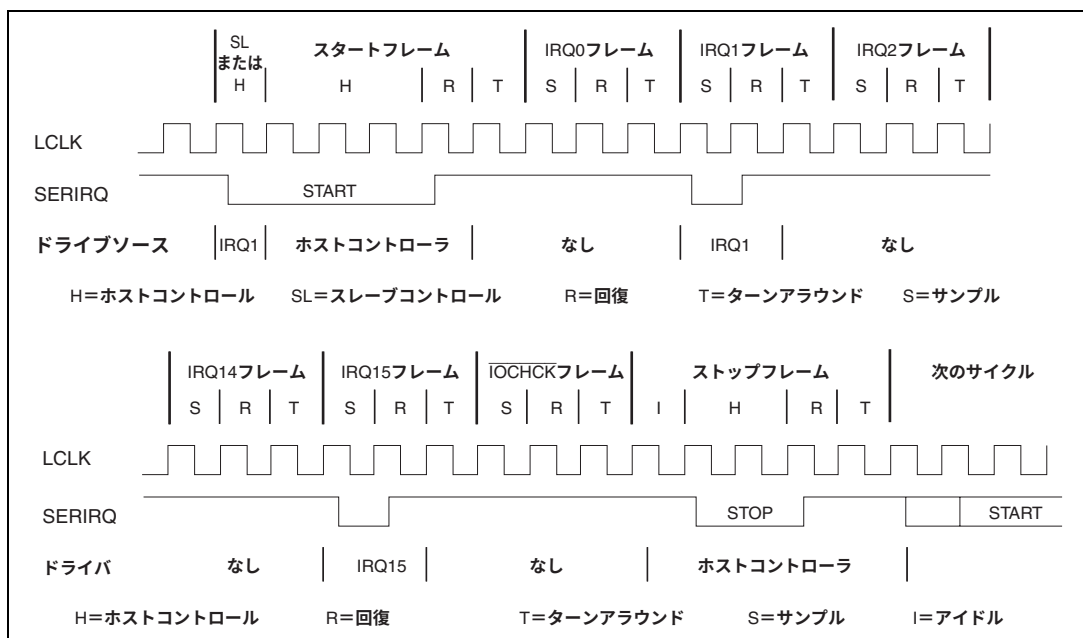


図 18B.6 SERIRQ タイミング

シリアル割り込み転送サイクルのフレームの配列は次のとおりです。各フレームのステート数のうち 2 ステートは、フレームの終わりに SERIRQ 信号を 1 レベルに戻すリカバーステートと、SERIRQ 信号をドライブをしないターンアラウンドステートです。リカバーステートは、直前のステートをドライブしていたホストまたはスレーブがドライブする必要があります。

フレーム カウント	シリアル割り込み転送サイクル			備考
	内容	駆動元	ステート数	
0	スタート	スレーブ ホスト	6	クワイエットモード時のみ、先頭ステートのスレーブ駆動可能 続く 3 ステートをホストが 0 駆動
1	HIRQ0	スレーブ	3	
2	HIRQ1	スレーブ	3	LPC チャンネル 1 で駆動可能
3	SMI	スレーブ	3	LPC チャンネル 2、3 で駆動可能
4	HIRQ3	スレーブ	3	
5	HIRQ4	スレーブ	3	
6	HIRQ5	スレーブ	3	
7	HIRQ6	スレーブ	3	LPC チャンネル 2、3 で駆動可能
8	HIRQ7	スレーブ	3	
9	HIRQ8	スレーブ	3	
10	HIRQ9	スレーブ	3	LPC チャンネル 2、3 で駆動可能
11	HIRQ10	スレーブ	3	LPC チャンネル 2、3 で駆動可能
12	HIRQ11	スレーブ	3	LPC チャンネル 2、3 で駆動可能
13	HIRQ12	スレーブ	3	LPC チャンネル 1 で駆動可能
14	HIRQ13	スレーブ	3	
15	HIRQ14	スレーブ	3	
16	HIRQ15	スレーブ	3	
17	IOCHCK	スレーブ	3	
18	ストップ	ホスト	不定	先頭に 1 ステート以上のアイドルステートその後ホストが 2 または 3 ステート 0 駆動 2 ステート：次はクワイエットモード 3 ステート：次はコンティニュアスモード

シリアル割り込みには、コンティニユアスモードとクワイエットモードがあり、次の転送サイクルがいずれのモードで起動されるかは、ひとつ前に終了したシリアル割り込み転送サイクルの停止フレームで選択されています。

コンティニユアスモードでは、ホストが定期的にホスト割り込み転送サイクルを起動します。クワイエットモードでは、ホストのほかに、要求すべき割り込み要因をもつスレーブが割り込み転送サイクルを起動することができます。クワイエットモードでは、必ずしもホストが割り込み転送サイクルを起動する必要がないため、クロック (LCLK) 供給を中断して低消費電力状態に入ることが可能です。このときスレーブが割り込み要求を転送するためには、事前にクロックの再起動をホストに要求する必要があります。詳細は「18B.3.6 ホストインタフェースのクロック起動要求 (CLKRUN)」を参照してください。

18B.3.6 ホストインタフェースのクロック起動要求 (CLKRUN)

$\overline{\text{CLKRUN}}$ 端子により、ホストにクロック (LCLK) の再起動を要求することができます。LPC のデータ転送およびコンティニユアスモードの SERIRQ では、転送サイクルはホストにより起動されるため、クロックの再起動を要求することはありません。クワイエットモードの SERIRQ では、ホスト割り込み要求が発生すると $\overline{\text{CLKRUN}}$ 信号を駆動し、ホストにクロック (LCLK) の再起動を要求します。このタイミングを図 18B.7 に示します。

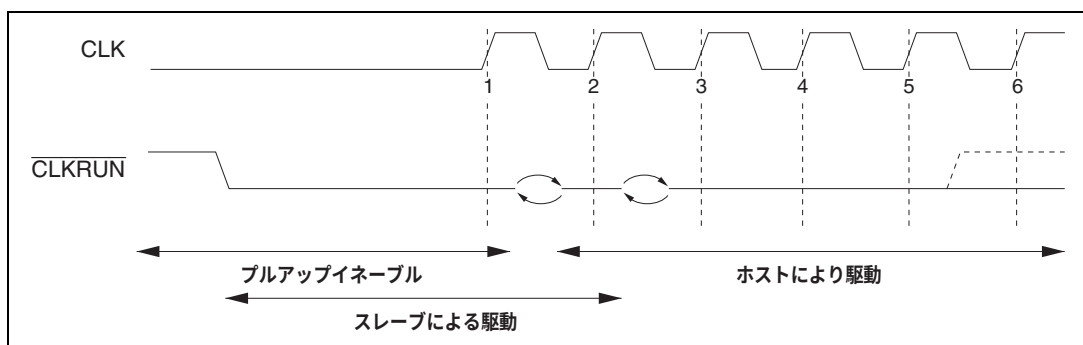


図 18B.7 クロックスタートまたはスピードアップ

クワイエットモードの SERIRQ 以外の場合でクロックの再起動が必要な場合は、 $\overline{\text{PME}}$ 信号等を用いた別プロトコルによる対応が必要です。

18B.4 割り込み要因

18B.4.1 IBFI1、IBFI2、IBFI3、ERRI

ホストインタフェースはスレーブ（本 LSI）に対して IBFI1、IBFI2、IBFI3、ERRI の 4 つの割り込み要求があります。IBFI1、IBFI2、IBFI3 はそれぞれ入力データレジスタ IDR1、IDR2、IDR3 および TWR についての受信完了割り込みです。ERRI は、LPC リセット、LPC シャットダウン、転送サイクルのアバートなど、特別な状態が発生したことを示す割り込みです。割り込み要求は対応するイネーブルビットをセットすることにより許可されます。

表 18B.7 受信完了割り込みおよびエラー割り込み

割り込み	説明
IBFI1	IBFIE1 が 1 にセットされ、IDR1 が受信完了になったときに要求
IBFI2	IBFIE2 が 1 にセットされ、IDR2 が受信完了になったときに要求
IBFI3	IBFIE3 が 1 にセットされ、IDR3 が受信完了になったときに要求。また、TWRE と IBFIE3 が 1 にセットされ、TWR15 まで受信完了になったときに要求
ERRI	ERRIE が 1 にセットされ、LRST、SDWN、ABRT のいずれかが 1 にセットされたときに要求

18B.4.2 SMI、HIRQ1、HIRQ6、HIRQ9、HIRQ10、HIRQ11、HIRQ12

ホストインタフェースは、SERIRQ により 7 種類のホスト割り込みを要求することができます。HIRQ1 と HIRQ12 は LPC チャンネル 1 専用で、SMI、HIRQ6、HIRQ9、HIRQ10、および HIRQ11 は LPC チャンネル 2 とチャンネル 3 のどちらからでも要求できます。

ホスト割り込み要求のクリアには 2 つの方法があります。

SIRQCR0 の IEDIR ビットが 0 にクリアされている場合は、ホスト割り込み要因と LPC チャンネルは、すべてホスト割り込み要求イネーブルビットで関連付けられています。対応する LPC チャンネルの ODR または TWR15 がホストにリードされることにより OBF フラグが 0 にクリアされると、対応するホスト割り込みイネーブルビットが自動的に 0 にクリアされ、ホスト割り込み要求がクリアされます。

SIRQCR0 の IEDIR ビットが 1 にセットされていると、LPC チャンネル 2 と 3 のホスト割り込み要求は、ホスト割り込みイネーブルビットのみによって要求されます。また、LPC チャンネル 2、3 の OBF がクリアされても、ホスト割り込みイネーブルビットはクリアされません。したがって、SMIE2、SMIE3A と SMIE3B、IRQ6E2 と IRQ6E3、IRQ9E2 と IRQ9E3、IRQ10E2 と IRQ10E3、IRQ11E2 と IRQ11E3 は、それぞれ機能上の違いはなくなります。ホスト割り込み要求をクリアするには、ホスト割り込みイネーブルビットをクリアする必要があります。

18B. ホストインタフェース (LPC)

表 18B.8 に、これらのビットのセットとクリアの方法を示します。また、図 18B.8 に処理フローを示します。

表 18B.8 HIRQ のセット／クリア

ホスト 割り込み	セット条件	クリア条件
HIRQ1 (IEDIR=1 でも同様)	内部 CPU が、ODR1 にライトしたあと、 IRQ1E1 ビットの 0 リード後、1 をライト	IRQ1E1 ビットに内部 CPU から 0 ライト、 または ODR1 をホストリード
HIRQ12 (IEDIR=1 でも同様)	内部 CPU が、ODR1 にライトしたあと、 IRQ12E1 ビットの 0 リード後、1 をライト	IRQ12E1 ビットに内部 CPU から 0 ライト、 ODR1 をホストリード
SMI (IEDIR=0)	内部 CPU が、 ODR2 にライトしたあと、SMIE2 ビットの 0 リード後、1 をライト ODR3 にライトしたあと、SMIE3A ビット の 0 リード後、1 をライト TWR15 にライトしたあと、SMIE3B ビッ トの 0 リード後、1 をライト	SMIE2 ビットに内部 CPU から 0 ライト、 または ODR2 をホストリード SMIE3A ビットに内部 CPU から 0 ライト、 または ODR3 をホストリード SMIE3B ビットに内部 CPU から 0 ライト、 または TWR15 をホストリード
SMI (IEDIR=1)	内部 CPU が、 SMIE2 ビットの 0 リード後、 1 をライト SMIE3A ビットの 0 リード後、 1 をライト SMIE3B ビットの 0 リード後、 1 をライト	SMIE2 ビットに内部 CPU から 0 ライト SMIE3A ビットに内部 CPU から 0 ライト SMIE3B ビットに内部 CPU から 0 ライト
HIRQi (i=6, 9, 10, 11) (IEDIR=0)	内部 CPU が、 ODR2 にライトしたあと、IRQiE2 ビット の 0 リード後、1 をライト ODR3 にライトしたあと、IRQiE3 ビット の 0 リード後、1 をライト	IRQiE2 ビットに内部 CPU から 0 ライト、 または ODR2 をホストリード IRQiE3 ビットに内部 CPU から 0 ライト、 または ODR3 をホストリード
HIRQi (i=6, 9, 10, 11) (IEDIR=1)	内部 CPU が、 IRQiE2 ビットの 0 リード後、 1 をライト IRQiE3 ビットの 0 リード後、 1 をライト	IRQiE2 ビットに内部 CPU から 0 ライト IRQiE3 ビットに内部 CPU から 0 ライト

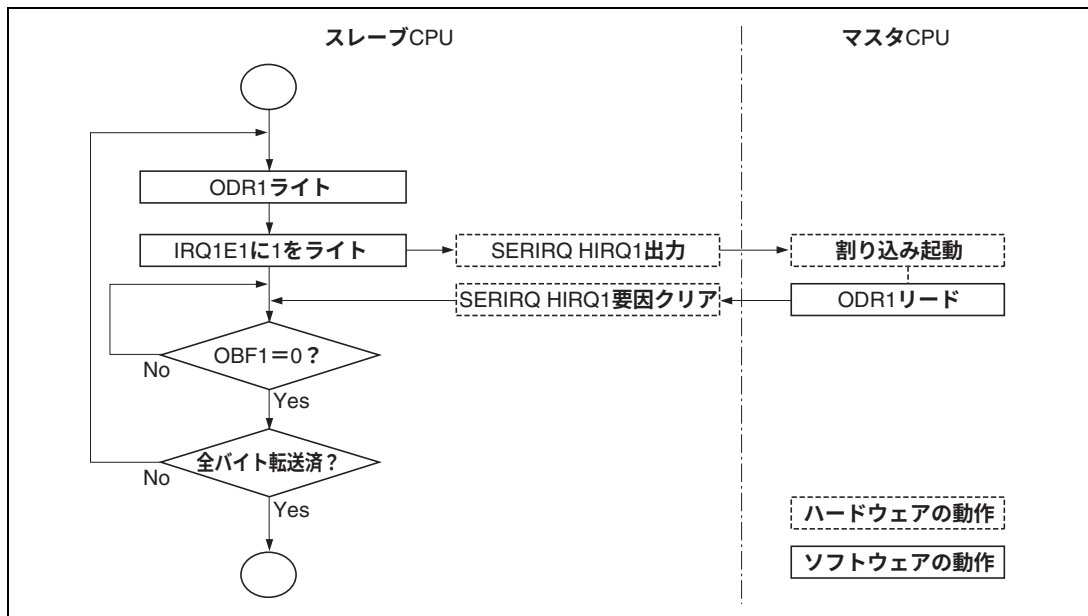


図 18B.8 HIRQ の利用フロー (チャンネル 1 の例)

18B.5 使用上の注意

ホストインタフェースはホストとスレーブ（本 LSI）からの非同期データのバッファリングを提供しています。データアクセスの競合を防ぐためには、STR 中のフラグを利用したインタフェースのプロトコルが必要です。たとえば、ホストとスレーブ（本 LSI）が同時に IDR や ODR をアクセスしようとする、正しいデータが得られません。同時アクセスを防ぐためには、IBF や OBF を利用して、書き込みの終わったデータのみをアクセスする必要があります。

双方向レジスタ（TWR）では、IDR や ODR と異なり、転送の方向が固定されていません。これを解決するために、STR 中に MWMF と SWMF があります。TWR0 にライトしたあと、TWR1～TWR15 の書き込み権を得られたのを MWMF と SWMF を利用して確認する必要があります。

LADR3 と IDR3、ODR3、STR3、TWR0MW、TWR0SW、TWR1～TWR15 レジスタのホストアドレス例を表 18B.9 に示します。

表 18B.9 ホストアドレス

レジスタ	LADR3=H'A24F の場合のホストアドレス	LADR3=H'3FD0 の場合のホストアドレス
IDR3	H'A24A と H'A24E	H'3FD0 と H'3FD4
ODR3	H'A24A	H'3FD0
STR3	H'A24E	H'3FD4
TWR0MW	H'A250	H'3FC0
TWR0SW	H'A250	H'3FC0
TWR1	H'A251	H'3FC1
TWR2	H'A252	H'3FC2
TWR3	H'A253	H'3FC3
TWR4	H'A254	H'3FC4
TWR5	H'A255	H'3FC5
TWR6	H'A256	H'3FC6
TWR7	H'A257	H'3FC7
TWR8	H'A258	H'3FC8
TWR9	H'A259	H'3FC9
TWR10	H'A25A	H'3FCA
TWR11	H'A25B	H'3FCB
TWR12	H'A25C	H'3FCC
TWR13	H'A25D	H'3FCD
TWR14	H'A25E	H'3FCE
TWR15	H'A25F	H'3FCF

19. D/A 変換器

19.1 概要

本 LSI は、2 チャンネルの D/A 変換器を内蔵しています。

19.1.1 特長

D/A 変換器の特長を以下に示します。

- 8 ビットの分解能
- 2 チャンネル出力
- 変換時間最大 10 μ s (負荷容量 20pF 時)
- 出力電圧 0V $\sim$ AV_{ref}
- ソフトウェアスタンバイモード時の D/A 出力保持機能

19.1.2 ブロック図

D/A 変換器のブロック図を図 19.1 に示します。

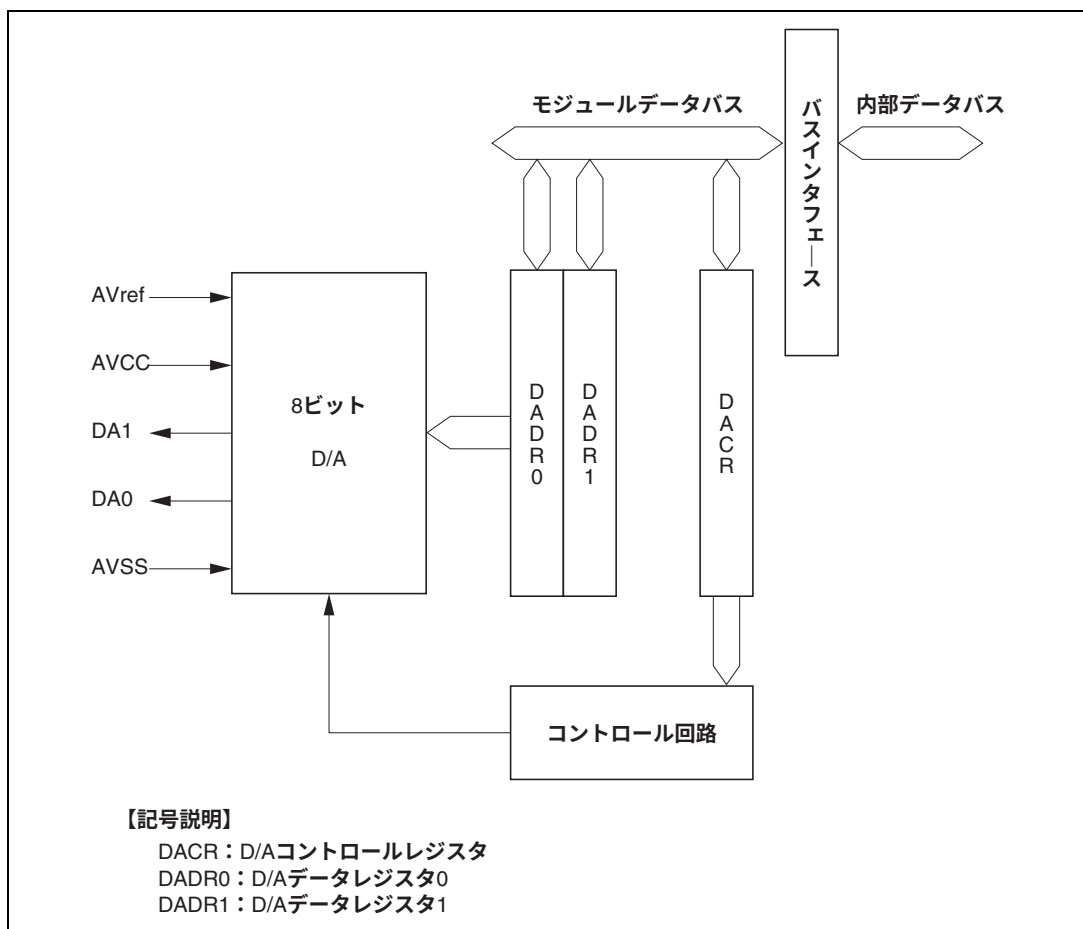


図 19.1 D/A 変換器のブロック図

19.1.3 端子構成

D/A 変換器で使用する入出力端子を表 19.1 に示します。

表 19.1 端子構成

名 称	記号	入出力	機 能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力
リファレンス電圧端子	AVref	入力	アナログ部の基準電圧

19.1.4 レジスタ構成

D/A 変換器のレジスタ構成を表 19.2 に示します。

表 19.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
D/A データレジスタ 0	DADR0	R/W	H'00	H'FFF8
D/A データレジスタ 1	DADR1	R/W	H'00	H'FFF9
D/A コントロールレジスタ	DACR	R/W	H'1F	H'FFFA
モジュールストップコントロールレジスタ	MSTPCR _H	R/W	H'3F	H'FF86
	MSTPCR _L	R/W	H'FF	H'FF87

【注】 * アドレスの下位 16 ビットを示しています。

19.2 各レジスタの説明

19.2.1 D/A データレジスタ 0、1 (DADR0、DADR1)

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A データレジスタ 0、1 (DADR0、DADR1) は、リード／ライト可能な 8 ビットのレジスタで変換を行うデータを格納します。

アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。

DADR は、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

19.2.2 D/A コントロールレジスタ (DACR)

ビット：	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	—	—	—	—	—
初期値：	0	0	0	1	1	1	1	1
R/W：	R/W	R/W	R/W	—	—	—	—	—

DACR は、8 ビットのリード／ライト可能なレジスタで、D/A 変換器の動作を制御します。

DACR は、リセットまたはハードウェアスタンバイモード時に、H'1F に初期化されます。

ビット 7：D/A アウトプットイネーブル 1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット 7	説 明
DAOE1	
0	アナログ出力 DA1 を禁止 (初期値)
1	チャンネル 1 の D/A 変換を許可。アナログ出力 DA1 を許可

ビット 6：D/A アウトプットイネーブル 0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット 6	説 明
DAOE0	
0	アナログ出力 DA0 を禁止 (初期値)
1	チャンネル 0 の D/A 変換を許可。アナログ出力 DA0 を許可

ビット 5：D/A イネーブル (DAE)

DAOE0、DAOE1 ビットと共に、D/A 変換を制御します。DAE ビットが 0 にクリアされているときチャンネル 0、1 の D/A 変換は独立に制御され、DAE ビットが 1 にセットされているときチャンネル 0、1 の D/A 変換は一括して制御されます。

変換結果の出力は、DAOE0、DAOE1 ビットにより、常に独立に制御されます。

ビット 7	ビット 6	ビット 5	説 明
DAOE1	DAOE0	DAE	
0	0	*	チャンネル 0、1 の D/A 変換を禁止
		0	チャンネル 0 の D/A 変換を許可
			チャンネル 1 の D/A 変換を禁止
		1	チャンネル 0、1 の D/A 変換を許可
1	0	0	チャンネル 0 の D/A 変換を禁止
			チャンネル 1 の D/A 変換を許可
		1	チャンネル 0、1 の D/A 変換を許可
	1	*	チャンネル 0、1 の D/A 変換を許可

*：Don't care

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合には、DAOE0、DAOE1、DAE ビットをいずれも 0 にクリアして D/A 出力を禁止にしてください。

ビット 4～0：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

19.2.3 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCR _H								MSTPCR _L								
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP10 ビットを 1 にセットすると、バスサイクルの終了時点で D/A 変換器は動作を停止してモジュールストップモードへ遷移します。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 10：モジュールストップ (MSTP10)

D/A 変換器のモジュールストップモードを指定します。

MSTPCR _H ビット 2	説 明
MSTP10	
0	D/A 変換器のモジュールストップモード解除
1	D/A 変換器のモジュールストップモード設定 (初期値)

19.3 動作説明

D/A 変換器は、2 チャンネルの D/A 変換回路を内蔵し、それぞれ独立に変換を行うことができます。

DACR によって D/A 変換が許可されている期間は、常に D/A 変換が行われています。DADR0、DADR1 を書き換えると直ちに、新しいデータが変換されます。DAOE0、DAOE1 ビットを 1 にセットすることにより、変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を示します。また、このときの動作タイミングを図 19.2 に示します。

- [1] DADR0 に変換データをライトします。
- [2] DACR の DAOE0 ビットを 1 にセットします。D/A 変換が開始され、DA0 端子が出力端子になります。変換時間経過後に変換結果が出力されます。出力値は以下の式で表されます。

$$\frac{\text{DADRの内容}}{256} \times \text{AVref}$$

次に DADR0 を書き換えるか、DAOE0 ビットを 0 にクリアするまでこの変換結果が出力され続けます。

- [3] DADR0 を書き換えると直ちに変換が開始されます。変換時間経過後に変換結果が出力されます。
- [4] DAOE0 ビットを 0 にクリアすると、DA0 端子は入力端子になります。

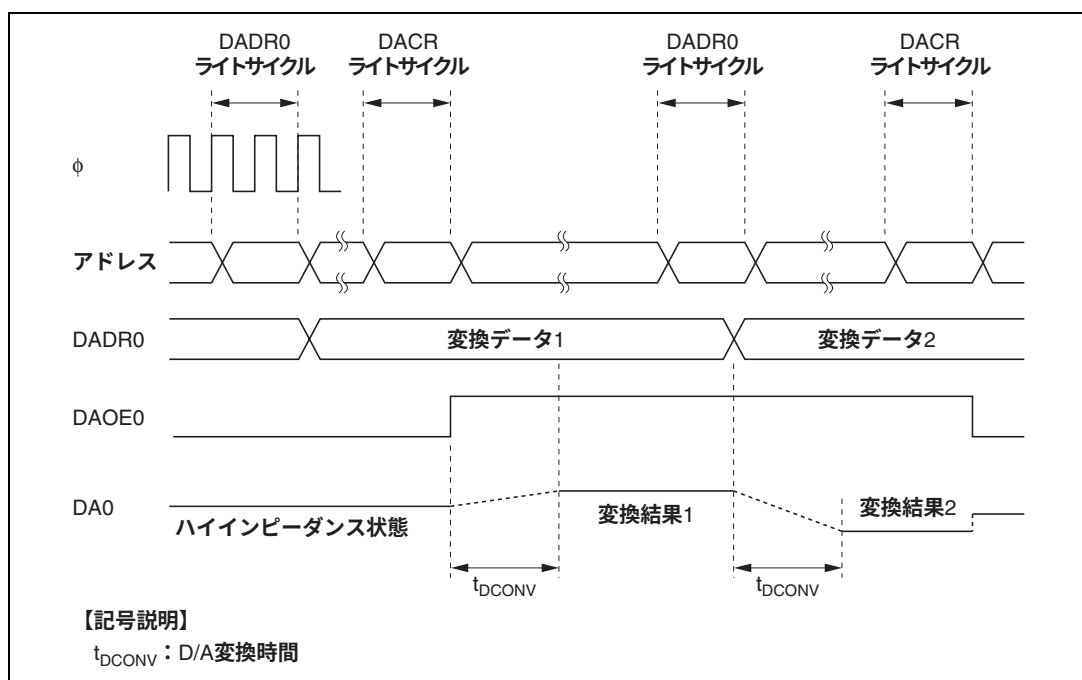


図 19.2 D/A 変換器の動作例

20. A/D 変換器

20.1 概要

本 LSI は、逐次比較方式で動作する 10 ビットの A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力を選択することができます。

8 チャンネルのアナログ端子入力に加え、最大 16 チャンネルのデジタル端子入力を A/D 変換の対象に選択が可能です。デジタル入力を選択した場合、変換精度が低下しますので、デジタル入力は多値入力判定のコンパレータなどの用途が最適です。

20.1.1 特長

A/D 変換器の特長を以下に示します。

■10 ビット分解能

■入力チャンネル：8 チャンネル（アナログ入力端子）、16 チャンネル（デジタル入力端子）

■アナログ変換電圧範囲の設定可能

- リファレンス電源電圧端子（AVref）をアナログ基準電圧として、アナログ変換電圧範囲を設定します。

■高速変換

- 変換時間：1 チャンネル当たり 13.4 μ s（10MHz 動作時）

■シングルモード／スキャンモードの動作モードから選択可能

- シングルモード：1 チャンネルの A/D 変換
- スキャンモード：1～4 チャンネルの連続 A/D 変換

■4 本のデータレジスタ

- 変換結果を各チャンネルに対応した 16 ビットデータレジスタに保持

■サンプル&ホールド機能

■3 種類の変換開始

- ソフトウェア、タイマの変換開始トリガ（8 ビットタイマ）または $\overline{\text{ADTRG}}$ 端子の選択が可能

■A/D 変換終了割り込み要求発生

- A/D 変換終了時に、A/D 変換終了割り込み（ADI）要求を発生可能

20.1.2 ブロック図

A/D 変換器のブロック図を図 20.1 に示します。

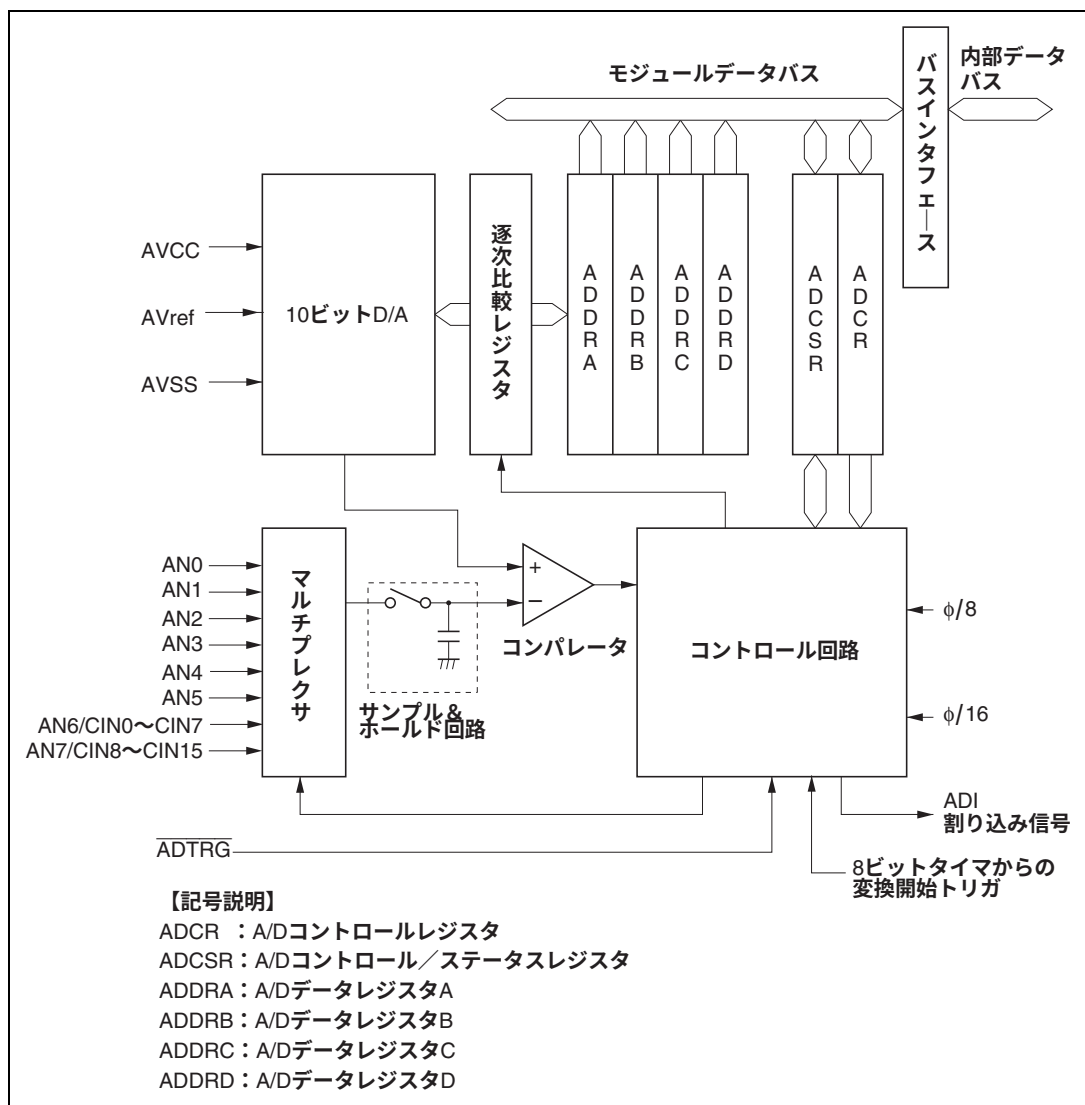


図 20.1 A/D 変換器のブロック図

20.1.3 端子構成

A/D 変換器で使用する入力端子を表 20.1 に示します。

AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。

表 20.1 端子構成

端子名	記号	入出力	機 能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
リファレンス電源端子	AVref	入力	A/D 変換の基準電圧
アナログ入力端子 0	AN0	入力	アナログ入力チャンネル 0
アナログ入力端子 1	AN1	入力	アナログ入力チャンネル 1
アナログ入力端子 2	AN2	入力	アナログ入力チャンネル 2
アナログ入力端子 3	AN3	入力	アナログ入力チャンネル 3
アナログ入力端子 4	AN4	入力	アナログ入力チャンネル 4
アナログ入力端子 5	AN5	入力	アナログ入力チャンネル 5
アナログ入力端子 6	AN6	入力	アナログ入力チャンネル 6
アナログ入力端子 7	AN7	入力	アナログ入力チャンネル 7
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力
拡張 A/D 入力端子 0～15	CIN0～CIN15	入力	拡張 A/D 変換入力 (デジタル入力端子) チャンネル 0～チャンネル 15

20.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 20.2 に示します。

表 20.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス ^{*1}
A/D データレジスタ AH	ADDRAH	R	H'00	H'FFE0
A/D データレジスタ AL	ADDRAL	R	H'00	H'FFE1
A/D データレジスタ BH	ADDRBH	R	H'00	H'FFE2
A/D データレジスタ BL	ADDRBL	R	H'00	H'FFE3
A/D データレジスタ CH	ADDRCH	R	H'00	H'FFE4
A/D データレジスタ CL	ADDRCL	R	H'00	H'FFE5
A/D データレジスタ DH	ADDRDH	R	H'00	H'FFE6
A/D データレジスタ DL	ADDRDL	R	H'00	H'FFE7
A/D コントロール/ステータスレジスタ	ADCSR	R/(W) ^{*2}	H'00	H'FFE8
A/D コントロールレジスタ	ADCR	R/W	H'3F	H'FFE9
モジュールストップコントロールレジスタ	MSTPCR _H	R/W	H'3F	H'FF86
	MSTPCR _L	R/W	H'FF	H'FF87
キーボードコンパレータコントロールレジスタ	KBCOMP	R/W	H'00	H'FEE4

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

20.2 各レジスタの説明

20.2.1 A/D データレジスタ A～D (ADDRA～ADDRD)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDRA～ADDRD の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャンネルに対応する ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイト（ビット 15～8）に、また下位 2 ビットが下位バイト（ビット 7、6）に転送され、保持されます。ビット 5～0 はリードすると常に 0 が読み出されます。

アナログ入力チャンネルと ADDR の対応を表 20.3 に示します。ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ（TEMP）を介してデータ転送が行われます。詳細は「20.3 バスマスタとのインタフェース」を参照してください。

ADDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'0000 に初期化されます。

表 20.3 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6 または CIN0～CIN7	ADDRC
AN3	AN7 または CIN8～CIN15	ADDRD

20.2.2 A/D コントロール／ステータスレジスタ (ADCSR)

ビット	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】＊ フラグをクリアするための 0 ライトのみ可能です。

ADCSR は、8 ビットのリード／ライト可能なレジスタで、A/D 変換動作を制御します。

ADCSR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'00 に初期化されます。

ビット 7：A/D エンドフラグ（ADF）

A/D 変換の終了を示すステータスフラグです。

ビット 7	説 明
ADF	
0	【クリア条件】 (初期値) (1) ADF=1 の状態で、ADF フラグをリードしたあと、ADF フラグに 0 をライトしたとき (2) ADI 割り込みにより DTC が起動され、ADDR をリードしたとき
1	【セット条件】 (1) シングルモード：A/D 変換が終了したとき (2) スキャンモード：指定したすべてのチャンネルの A/D 変換が終了したとき

ビット 6：A/D インタラプトイネーブル（ADIE）

A/D 変換の終了による割り込み（ADI）要求の許可または禁止を選択します。

ビット 6	説 明
ADIE	
0	A/D 変換の終了による割り込み（ADI）要求を禁止 (初期値)
1	A/D 変換の終了による割り込み（ADI）要求を許可

ビット 5：A/D スタート（ADST）

A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。

ADST ビットは、ソフトウェア、タイマの変換開始トリガ、または A/D 外部トリガ入力端子（ADTRG）によって 1 にセットすることができます。

ビット 5	説 明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) シングルモード：A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に 0 にクリア (2) スキャンモード：A/D 変換を開始。ソフトウェア、リセット、スタンバイモード、またはモジュールストップモードによって、0 にクリアされるまで選択されたチャンネルを順次連続変換

ビット 4：スキャンモード（SCAN）

A/D 変換の動作モードを、シングルモードまたはスキャンモードから選択します。シングルモード／スキャンモードの動作については、「20.4 動作説明」を参照してください。SCAN ビットの設定は、変換停止中に行ってください。

ビット 4	説 明
SCAN	
0	シングルモード (初期値)
1	スキャンモード

ビット 3：クロックセレクト (CKS)

A/D 変換時間の設定を行います。

変換時間の切り替えは、ADST=0 の状態で行ってください。

ビット 3	説 明
CKS	
0	変換時間=266 ステート (Max) (初期値)
1	変換時間=134 ステート (Max)

ビット 2～0：チャネルセレクト 2～0 (CH2～CH0)

SCAN ビットと共にアナログ入力チャネルを選択します。

アナログ入力のうち 2 チャネルはデジタル入力に切り替えることができます。

入力チャネルの設定は、変換停止中に行ってください。

グループ選択	チャネル選択		説 明	
CH2	CH1	CH0	シングルモード	スキャンモード
0	0	0	AN0 (初期値)	AN0
		1	AN1	AN0、AN1
	1	0	AN2	AN0、AN1、AN2
		1	AN3	AN0、AN1、AN2、AN3
1	0	0	AN4	AN4
		1	AN5	AN4、AN5
	1	0	AN6 または CIN0～CIN7	AN4、AN5、 AN6 または CIN0～CIN7
		1	AN7 または CIN8～CIN15	AN4、AN5、 AN6 または CIN0～CIN7、 AN7 または CIN8～CIN15

20.2.3 A/D コントロールレジスタ (ADCR)

ビット	7	6	5	4	3	2	1	0
	TRGS1	TRGS0	—	—	—	—	—	—
初期値	0	0	1	1	1	1	1	1
R/W	R/W	R/W	—	—	—	—	—	—

ADCR は、8 ビットのリード／ライト可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可または禁止を選択します。

ADCR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'3F に初期化されます。

ビット 7、6：タイマトリガセレクト 1、0 (TRGS1、TRGS0)

トリガ信号による A/D 変換開始の許可または禁止を選択します。

TRGS1、TRGS0 ビットの設定は、変換停止中に行ってください。

ビット 7	ビット 6	説 明
TRGS1	TRGS0	
0	0	外部トリガによる A/D 変換の開始を禁止 (初期値)
	1	外部トリガによる A/D 変換の開始を禁止
1	0	外部トリガ (8 ビットタイマ) による A/D 変換の開始を許可
	1	外部トリガ端子による A/D 変換の開始を許可

ビット 5～0：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

20.2.4 キーボードコンパレータコントロールレジスタ (KBCOMP)

ビット	7	6	5	4	3	2	1	0
	IrE	IrCKS2	IrCKS1	IrCKS0	KBADE	KBCH2	KBCH1	KBCH0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

KBCOMP は、8 ビットのリード／ライト可能なレジスタで、SCI2 の IrDA 機能の制御、A/D 変換する CIN 入力チャンネルの選択をします。

KBCOMP は、リセット、ハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7～4：IrDA コントロール

「15.2.11 キーボードコンパレータコントロールレジスタ (KBCOMP)」の説明を参照してください。

ビット 3：キーボード A/D イネーブル

A/D 変換器のチャンネル 6、7 の入力アナログ入力端子 (AN6、AN7) とデジタル入力端子 (CIN0～CIN7、CIN8～CIN15) のいずれかを選択します。

ビット 2～0：キーボード A/D チャンネルセレクト 2～0

デジタル入力端子から、A/D 変換するチャンネルを選択します。

入力チャンネルの設定は、変換停止中に行ってください。

ビット 3	ビット 2	ビット 1	ビット 0	A/D 変換器チャンネル 6 入力	A/D 変換器チャンネル 7 入力
KBADE	KBCH2	KBCH1	KBCH0		
0	—	—	—	AN6	AN7
1	0	0	0	CIN0	CIN8
			1	CIN1	CIN9
		1	0	CIN2	CIN10
			1	CIN3	CIN11
	1	0	0	CIN4	CIN12
			1	CIN5	CIN13
		1	0	CIN6	CIN14
			1	CIN7	CIN15

20.2.5 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCR _H								MSTPCR _L								
ビット：	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値：	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTP9 ビットを 1 にセットすると、バスサイクルの終了時点で A/D 変換器の動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード／ライトはできません。詳細は、「24.5 モジュールストップモード」を参照してください。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRH ビット 1：モジュールストップ (MSTP9)

A/D 変換器のモジュールストップモードを指定します。

MSTPCRH ビット 1	説 明
MSTP9	
0	A/D 変換器のモジュールストップモード解除
1	A/D 変換器のモジュールストップモード設定 (初期値)

20.3 バスマスタとのインタフェース

ADDRA～ADDRD は 16 ビットレジスタで、バスマスタとの間のデータバスは 8 ビット幅です。そのためバスマスタからのアクセスは、上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 20.2 に、ADDR のアクセス時のデータの流れを示します。

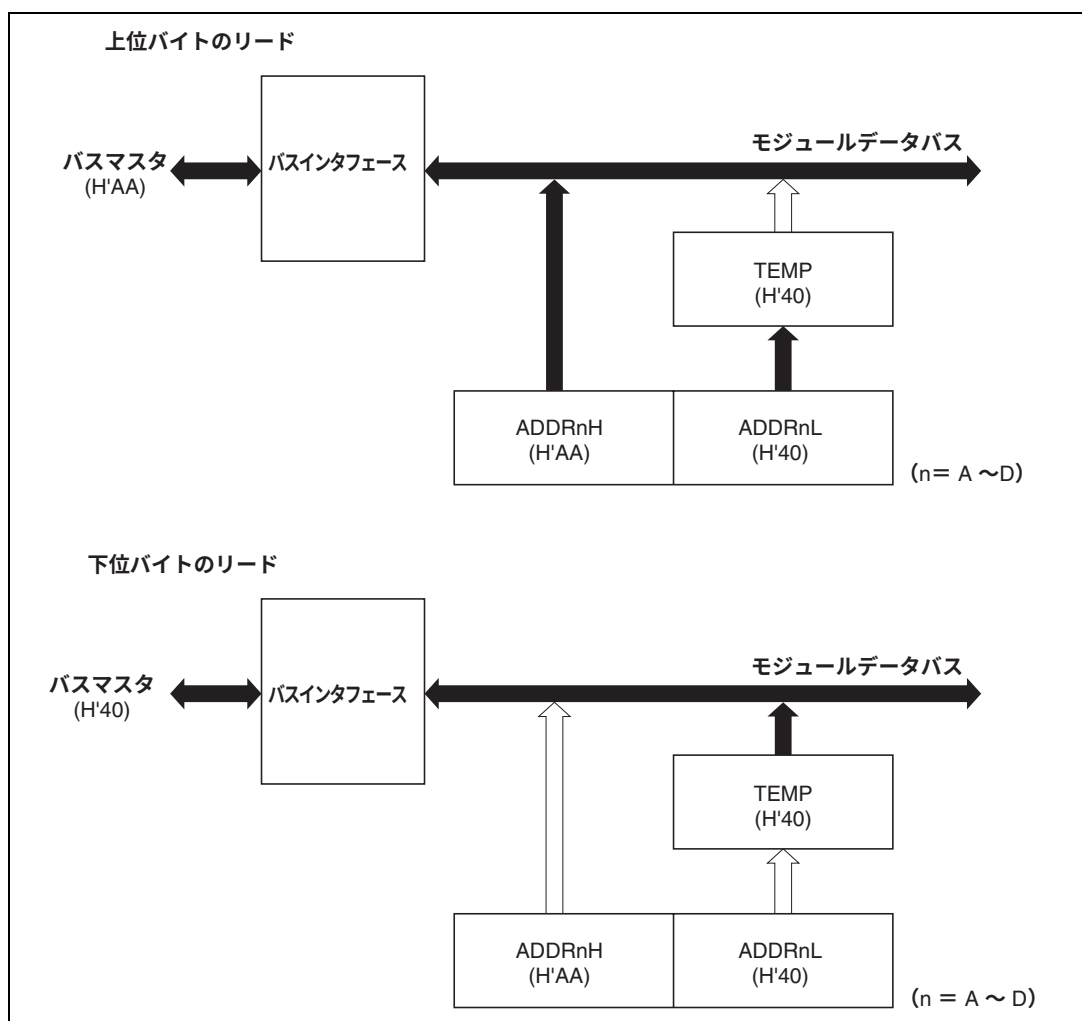


図 20.2 ADDR のアクセス動作 (H'AA40 リード時)

20.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能をもっています。シングルモードとスキップモードの各モードの動作について説明します。

20.4.1 シングルモード (SCAN=0)

シングルモードは、1 チャンネルのみ A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。

ADF フラグは、ADCSR をリードしたあと、0 をライトするとクリアされます。

動作モードやアナログ入力チャンネルを切り替える場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更したあと、ADST ビットを 1 にセットすると再び A/D 変換を開始します。なお、動作モードや入力チャンネルの変更と、ADST ビットのセットは同時に行うことができます。

シングルモードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 20.3 に示します。

- [1] 動作モードをシングルモードに (SCAN=0)、入力チャンネルを AN1 に (CH1=0、CH0=1) A/D 割り込み要求許可 (ADIE=1) に設定して、A/D 変換を開始 (ADST=1) します。
 - [2] A/D 変換が終了すると、A/D 変換結果が ADDR12 に転送されます。同時に、ADF=1、ADST=0 となり A/D 変換器は変換待機となります。
 - [3] ADF=1、ADIE=1 となっているため、ADI 割り込み要求が発生します。
 - [4] A/D 割り込み処理ルーチンが開始されます。
 - [5] ADCSR をリードしたあと、ADF に 0 をライトします。
 - [6] A/D 変換結果 (ADDR12) をリードして、処理します。
 - [7] A/D 割り込み処理ルーチンの実行を終了します。
- このあと、ADST ビットを 1 にセットすると A/D 変換が開始され、[2] ～ [7] を行います。

20. A/D 変換器

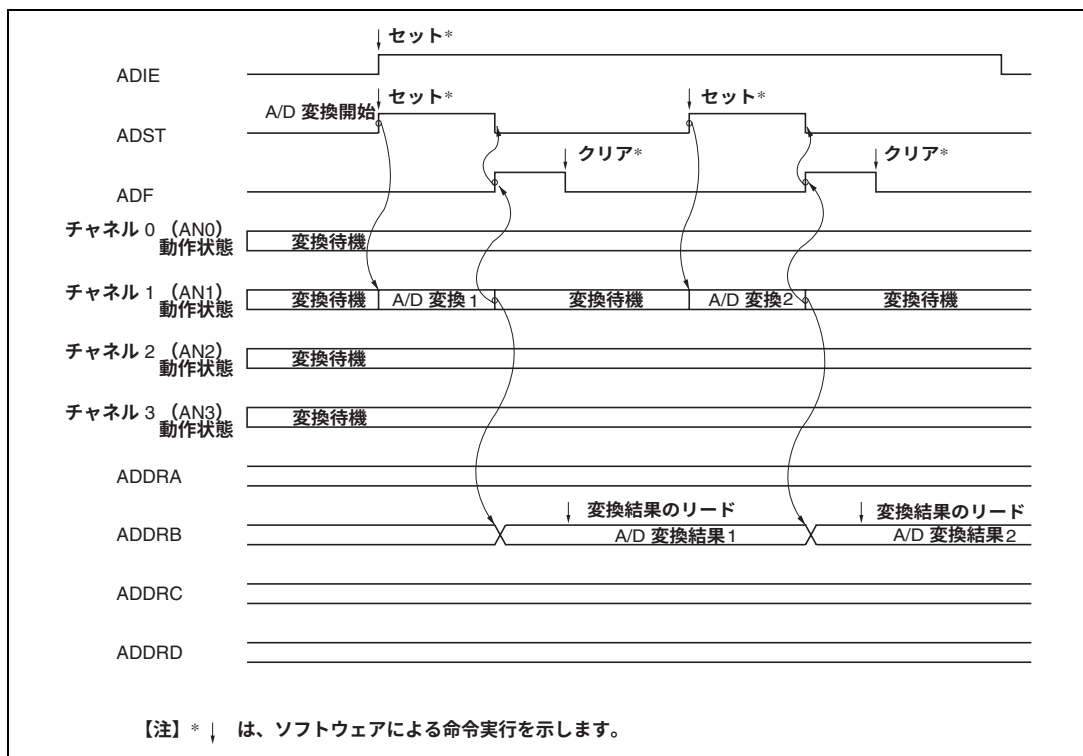


図 20.3 A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)

20.4.2 スキャンモード (SCAN=1)

スキャンモードは、複数チャンネル（1チャンネルを含む）のアナログ入力を常にモニタするような応用に適しています。ソフトウェア、タイマまたは外部トリガ入力によって ADST ビットが 1 にセットされると、グループの第 1 チャンネル（CH2=0 のとき AN0、CH2=1 のとき AN4）から A/D 変換は開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了したあと、直ちに第 2 チャンネル（AN1 または AN5）の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返します。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、動作モードやアナログ入力チャンネルを切り替える場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更したあと、ADST ビットを 1 にセットすると再び第 1 チャンネルから A/D 変換を開始します。なお、動作モードや入力チャンネルの変更と、ADST ビットのセットは同時に行うことができます。

スキャンモードで 3 チャンネル（AN0～AN2）を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 20.4 に示します。

- [1] 動作モードをスキャンモードに（SCAN=1）、スキャングループを 0 に（CH2=0）、アナログ入力チャンネルを AN0～AN2（CH1=1、CH0=0）に設定して A/D 変換を開始（ADST=1）します。
- [2] 第 1 チャンネル（AN0）の A/D 変換が開始され A/D 変換が終了すると、変換結果を ADDR0 に転送します。
次に第 2 チャンネル（AN1）が自動的に選択され、変換を開始します。
- [3] 同様に第 3 チャンネル（AN2）まで変換を行います。
- [4] 選択されたすべてのチャンネル（AN0～AN2）の変換が終了すると、ADF=1 となり、再び第 1 チャンネル（AN0）を選択し、変換が行われます。
このとき ADIE ビットが 1 にセットされていると A/D 変換終了後、ADI 割り込みが発生します。
- [5] ADST ビットが 1 にセットされている間は、[2] ～ [4] を繰り返します。
ADST ビットを 0 にクリアすると A/D 変換が停止します。このあと、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル（AN0）から変換が行われます。

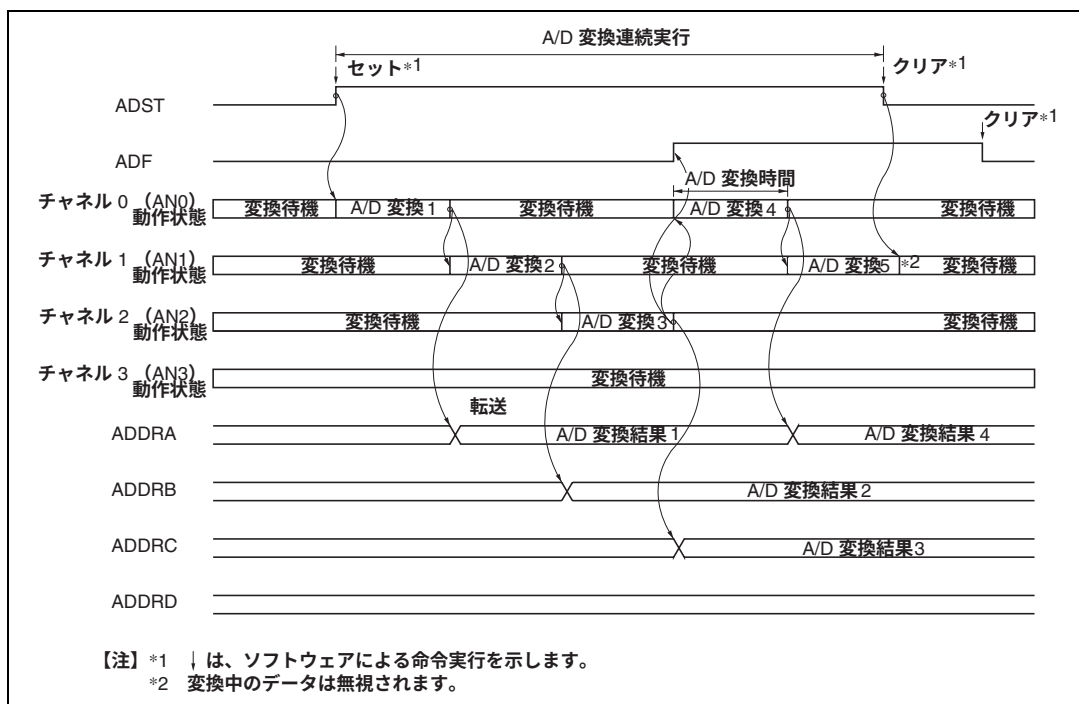


図 20.4 A/D 変換器の動作例 (スキャンモード AN0～AN2 の 3 チャンネル選択時)

20.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが 1 にセットされてから t_D 時間経過後、入力サンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 20.5 に示します。また、A/D 変換時間を表 20.4 に示します。

A/D 変換時間は、図 20.5 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 20.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 20.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS=0 の場合は 256 ステート（固定）、CKS=1 の場合は 128 ステート（固定）となります。

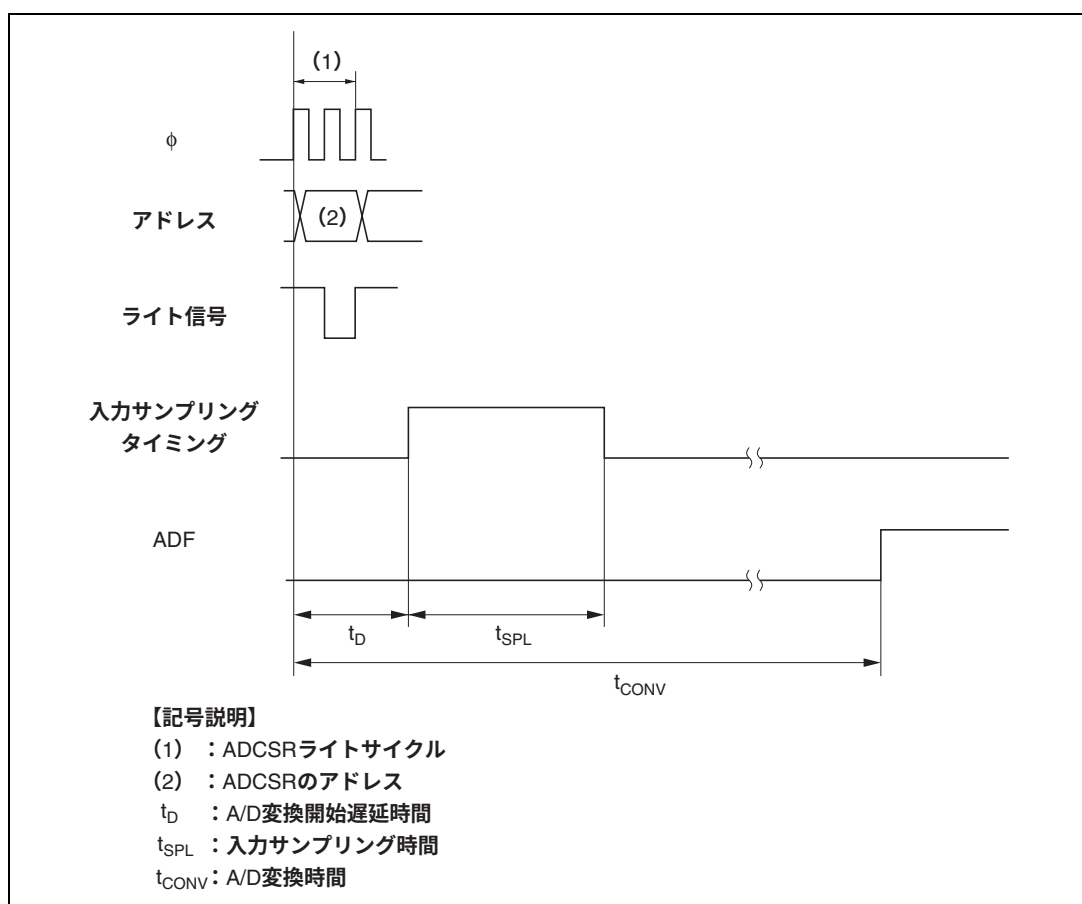


図 20.5 A/D 変換タイミング

表 20.4 A/D 変換時間（シングルモード）

項目	記号	CKS=0			CKS=1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	10	—	17	6	—	9
入力サンプリング時間	t_{SPL}	—	63	—	—	31	—
A/D 変換時間	t_{CONV}	259	—	266	131	—	134

【注】 単位：ステート

20.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが 11 にセットされているとき、 $\overline{ADTRG}$ 端子から入力されます。 $\overline{ADTRG}$ 入力端子の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、シングルモード／スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 20.6 に示します。

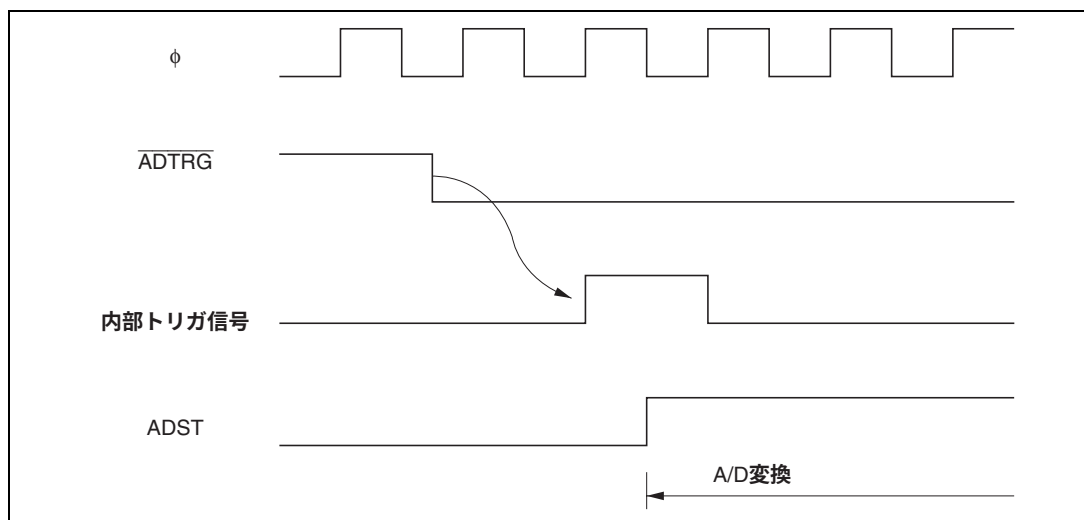


図 20.6 外部トリガ入力タイミング

20.5 割り込み

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。

ADI 割り込み要求は、ADCSR の ADIE ビットで許可または禁止することができます。

20.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

(1) アナログ電源端子ほかの設定範囲

- (a) アナログ入力電圧の範囲
A/D変換中、アナログ入力端子ANnに印加する電圧は $AV_{ss} \leq ANn \leq AV_{ref}$ の範囲としてください。(n=0~7)
- (b) デジタル入力電圧の範囲
デジタル入力端子CINnに印加する電圧は $AV_{ss} \leq CINn \leq AV_{ref}$ かつ $V_{ss} \leq CINn \leq V_{cc}$ の範囲としてください。(n=0~15)
- (c) AV_{cc} 、 AV_{ss} と V_{cc} 、 V_{ss} の関係
 AV_{cc} 、 AV_{ss} と V_{cc} 、 V_{ss} との関係は $AV_{ss} = V_{ss}$ とし、さらに、A/D変換器を使用しないときも、 AV_{cc} 、 AV_{ss} 端子を決してオープンにしないでください。
- (d) AV_{ref} 端子の設定範囲
 AV_{ref} 端子によるリファレンス電圧の設定範囲は $AV_{ref} \leq AV_{cc}$ にしてください。

以上 (a) ~ (d) が守られない場合、LSI の信頼性に悪影響を及ぼすことがあります。

(2) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AN0~AN7)、アナログ基準電源 (AVref)、アナログ電源 (AVCC) は、アナロググランド (AVSS) で、デジタル回路を必ず分離してください。さらに、アナロググランド (AVSS) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

(3) ノイズ対策上の注意

アナログ入力端子 (AN0~AN7)、アナログ基準電源 (AVref) に、過大なサージなど異常電圧による破壊を防ぐために接続する保護回路は、 20.7 に示すように AVCC-AVSS 間に接続してください。

また、AVCC、AVref に接続するバイパスコンデンサ、AN0~AN7 に接続するフィルタのコンデンサは、必ず AVSS に接続してください。

なお、 20.7 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AN0~AN7) の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモード等で頻繁に A/D 変換を行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって回路定数の決定については、十分ご検討くださいますようお願いいたします。

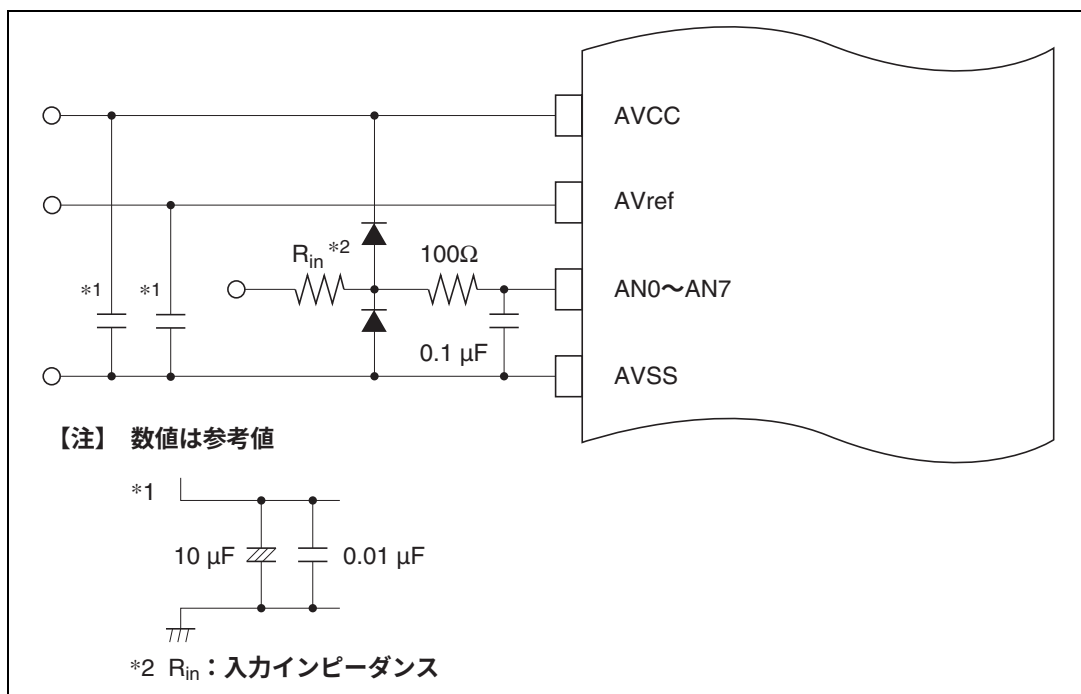


図 20.7 アナログ入力保護回路の例

表 20.5 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	5	k Ω

【注】 $V_{cc} = 2.7 \sim 3.6V$ 、 $\phi \leq 10MHz$ としてください。

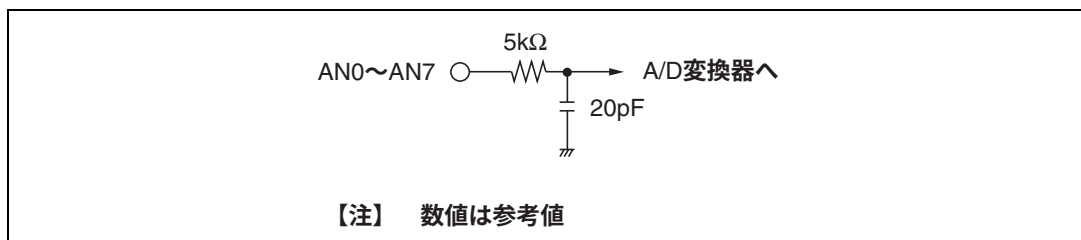


図 20.8 アナログ入力端子等価回路

(4) A/D 変換精度の定義

以下に、本 LSI の A/D 変換精度の定義を示します。

- 分解能
A/D変換器のデジタル出力コード数
- オフセット誤差
デジタル出力が最小電圧値B'0000000000 (H'000) からB'0000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図20.10)
- フルスケール誤差
デジタル出力がB'1111111110 (H'3FE) からB'1111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図20.11)
- 量子化誤差
A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図20.9)
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

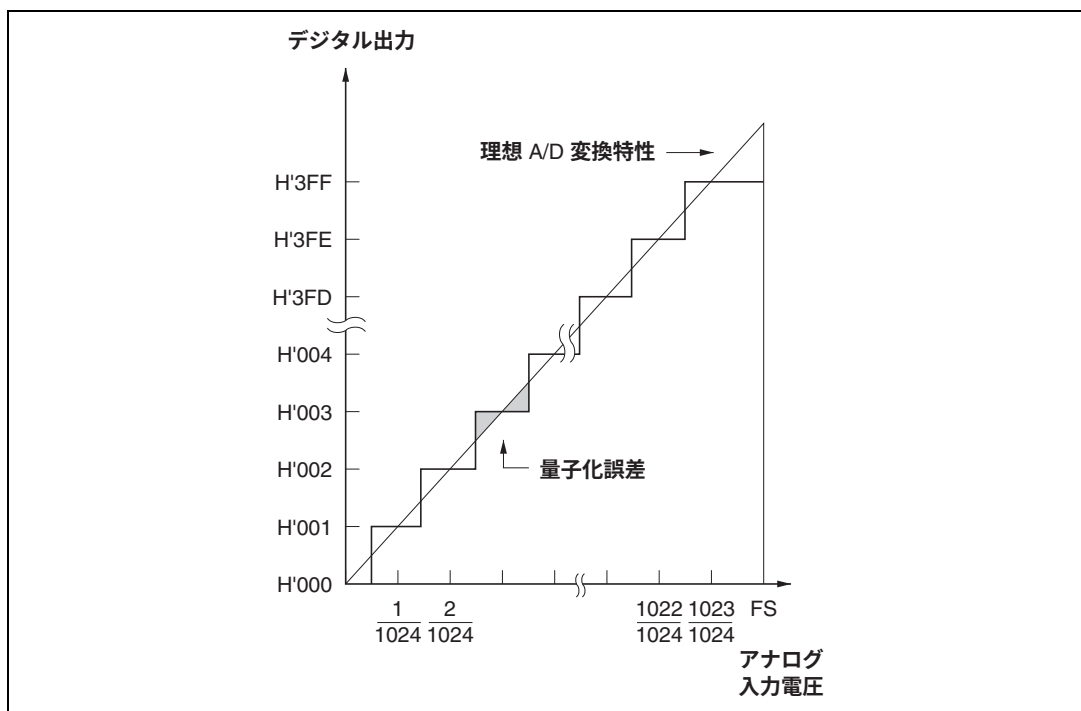


図 20.9 A/D 変換精度の定義 (1)

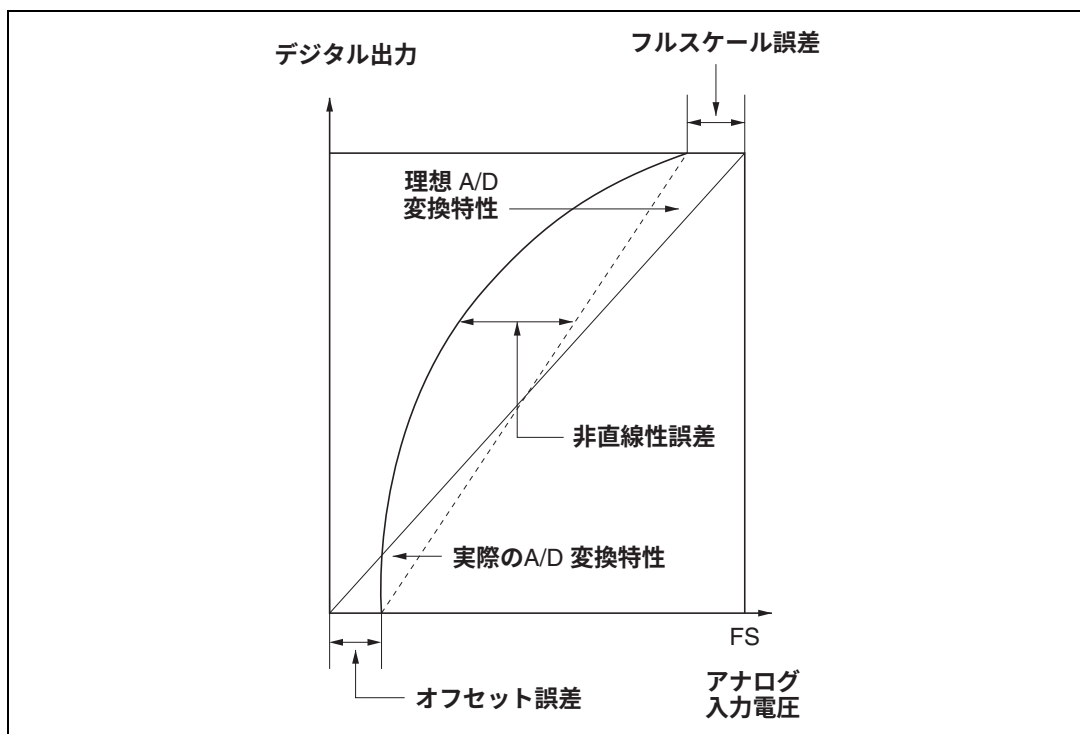


図 20.10 A/D 変換精度の定義 (2)

(5) 許容信号源インピーダンス

本 LSI のアナログ入力は、信号源インピーダンスが $5\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが $5\text{k}\Omega$ を超える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。

しかし外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $5\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。

ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5\text{mV}/\mu\text{s}$ 以上）には追従できない場合があります。

高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

(6) 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず AV_{ss} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交差したり、アンテナとならないように注意が必要です。

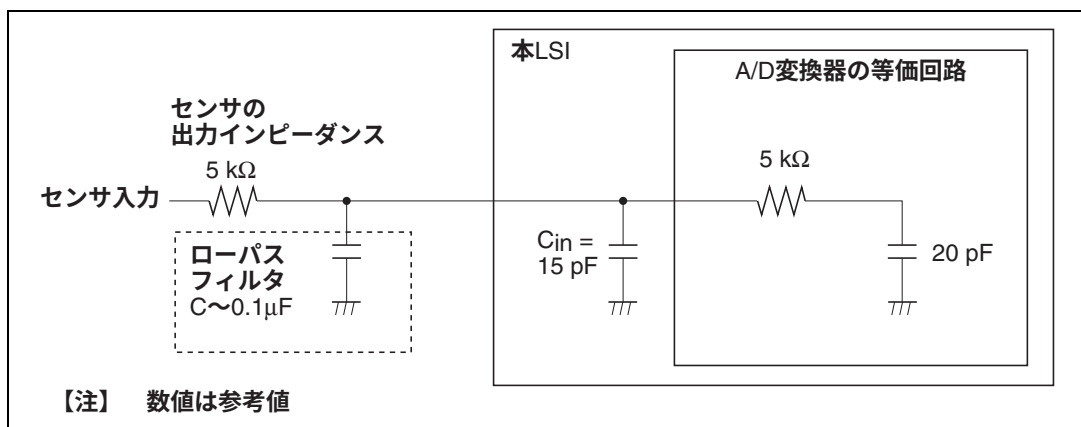


図 20.11 アナログ入力回路の例

21. RAM

21.1 概要

本 LSI は 2k バイトの高速スタティック RAM を内蔵しています。内蔵 RAM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。したがって、ワードデータの高速転送が可能です。

内蔵 RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより有効または無効の制御が可能です。

21.1.1 ブロック図

RAM のブロック図を図 21.1 に示します。

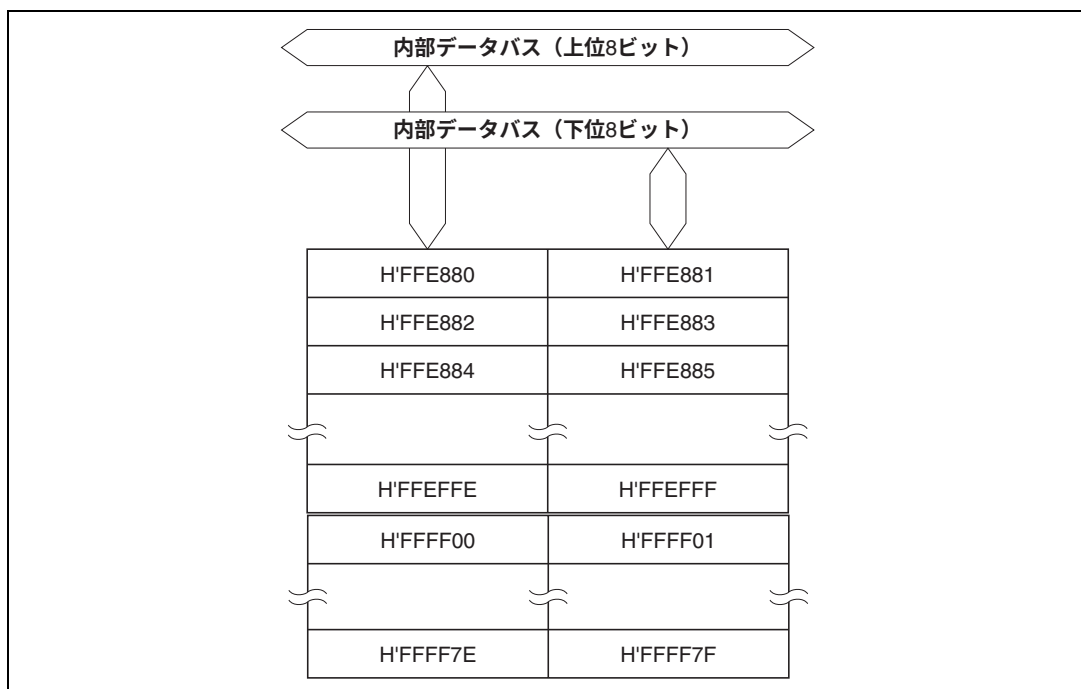


図 21.1 RAM のブロック図

21.1.2 レジスタ構成

内蔵 RAM は、SYSCR で制御されます。レジスタ構成を表 21.1 に示します。

表 21.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4

【注】 * アドレスの下位 16 ビットを示しています。

21.2 システムコントロールレジスタ (SYSCR)

ビット：	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値：	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R	R/W	R	R/W	R/W	R/W

内蔵 RAM は SYSCR の RAME ビットにより、有効／無効が選択されます。なお、SYSCR のその他のビットについての詳細は「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

ビット 0：RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットはリセット状態の解除時に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 0	説 明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

21.3 動作説明

21.3.1 拡張モード（モード 1～3（EXPE=1））

RAME ビットが 1 にセットされているとき、アドレス H'(FF)E880～H'(FF)EFFF および H'(FF)FF00～H'(FF)FF7F をアクセスすると内蔵 RAM がアクセスされます。また、RAME ビットが 0 にクリアされているときは、アドレス H'(FF)E080～H'(FF)EFFF および H'(FF)FF00～H'(FF)FF7F をアクセスすると外部アドレス空間がアクセスされます。

内蔵 RAM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイト単位、ワード単位のリード／ライトが可能です。いずれも、1 ステートでアクセスできます。

偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは、偶数番地から始まるデータに限定されています。

21.3.2 シングルチップモード（モード 2、3（EXPE=0））

RAME ビットが 1 にセットされているとき、アドレス H'(FF)E880～H'(FF)EFFF および H'(FF)FF00～H'(FF)FF7F をアクセスすると内蔵 RAM がアクセスされます。また、RAME ビットが 0 にクリアされているときは、内蔵 RAM はアクセスされません。リードすると不定値がリードされ、ライトは無効です。

内蔵 RAM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイト単位、ワード単位のリード／ライトが可能です。いずれも、1 ステートでアクセスできます。

偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは、偶数番地から始まるデータに限定されています。

22. ROM

22.1 概要

本 LSI は 64k バイトの ROM（フラッシュメモリ）を内蔵しています。ROM は、バスマスタと 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

内蔵 ROM の有効または無効の設定は、モード端子（MD1、MD0）および MDCR の EXPE ビットにより行います。

本 LSI のフラッシュメモリは、PROM ライタを用いて書き込み・消去ができるほか、オンボードでの消去・書き換えが可能です。

22.1.1 ブロック図

ROM のブロック図を図 22.1 に示します。

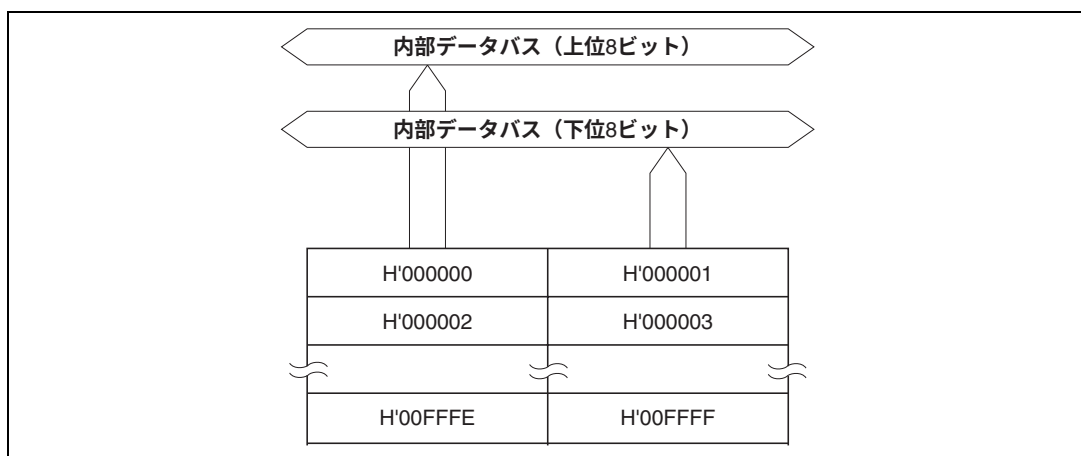


図 22.1 ROM のブロック図

22.1.2 レジスタ構成

本 LSI の動作モードは、モード端子と MDCR で制御されます。レジスタ構成を表 22.1 に示します。

表 22.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R/W	不定 動作モードにより異なります	H'FFC5

【注】 * アドレスの下位 16 ビットを示しています。

22.2 レジスタの説明

22.2.1 モードコントロールレジスタ (MDCR)

ビット：	7	6	5	4	3	2	1	0
	EXPE	—	—	—	—	—	MDS1	MDS0
初期値：	—*	0	0	0	0	0	—*	—*
R/W：	R/W*	—	—	—	—	—	R	R

【注】 * MD1～MD0端子により決定されます。

MDCR は 8 ビットのリード専用レジスタで、本 LSI の動作モードの設定および現在の動作モードをモニタするのに用います。

EXPE ビットは、リセットまたはハードウェアスタンバイモード時に、モード端子の状態に関連付けられて初期化されます。

ビット 7：拡張モードイネーブル (EXPE)

拡張モードを設定します。モード 1 の場合、1 に固定されており、ライトは無効です。モード 2、3 の場合、初期値は 0 で、リード／ライト可能です。

ビット 7	説 明
EXPE	
0	シングルチップモードを選択
1	拡張モードを選択

ビット 6～2：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 1、0：モードセレクト 1、0 (MDS1、MDS0)

モード端子 (MD1、MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。MDS1、MDS0 ビットは MD1、MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、モード端子 (MD1、MD0) の入力レベルがこれらのビットにラッチされます。

22.3 動作説明

内蔵 ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは偶数番地から始まるデータに限定されています。

内蔵 ROM の有効または無効の設定はモード端子（MD1、MD0）および MDCR の EXPE ビットにより行います。この設定を表 22.2 に示します。

ノーマルモードのとき、使用できる ROM は最大 56k バイトになります。

表 22.2 動作モードと ROM

動作モード			モード端子		MDCR	内蔵 ROM
MCU 動作モード	CPU 動作モード	内容	MD1	MD0	EXPE	
モード 1	ノーマル	内蔵 ROM 無効拡張モード	0	1	1	無効
モード 2	アドバンスト	シングルチップモード	1	0	0	有効 (64k バイト)
		内蔵 ROM 有効拡張モード			1	
モード 3	ノーマル	シングルチップモード		1	0	有効 (56k バイト)
		内蔵 ROM 有効拡張モード			1	

22.4 フラッシュメモリの概要

22.4.1 特長

フラッシュメモリの特長を以下に示します。

■フラッシュメモリの4種類の動作モード

- プログラムモード
- イレースモード
- プログラムベリファイモード
- イレースベリファイモード

■書き込み／消去方式

書き込みは128バイト同時書き込みを行います。消去はブロック分割消去（1ブロック単位）で行います。複数ブロックを消去する場合は、必ず各ブロック単位で順次消去を行ってください。ブロック分割消去では、1kバイト、28kバイト、16kバイト、8kバイトのブロック単位で任意に設定することができます。

■書き込み／消去時間

フラッシュメモリの書き込み時間は、128バイト同時書き込みにて10ms（typ.）、1バイトあたり換算にて約80μs（typ.）、消去時間は、ブロックあたり100ms（typ.）です。

■書き換え回数

フラッシュメモリの書き換えは、100回まで可能です。

■オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み／消去／ベリファイを行う2種類のモードがあります。

- ブートモード
- ユーザプログラムモード

■ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動で合せることができます。

■プロテクトモード

ハードウェアプロテクト、ソフトウェアプロテクトとエラープロテクトの3種類のモードがあり、フラッシュメモリの書き込み／消去／ベリファイのプロテクト状態を設定することができます。

■ライターモード

フラッシュメモリの書き込み／消去可能なモードとして、オンボードプログラミングモード以外にPROMライターを用いたライターモードがあります。

22.4.2 ブロック図

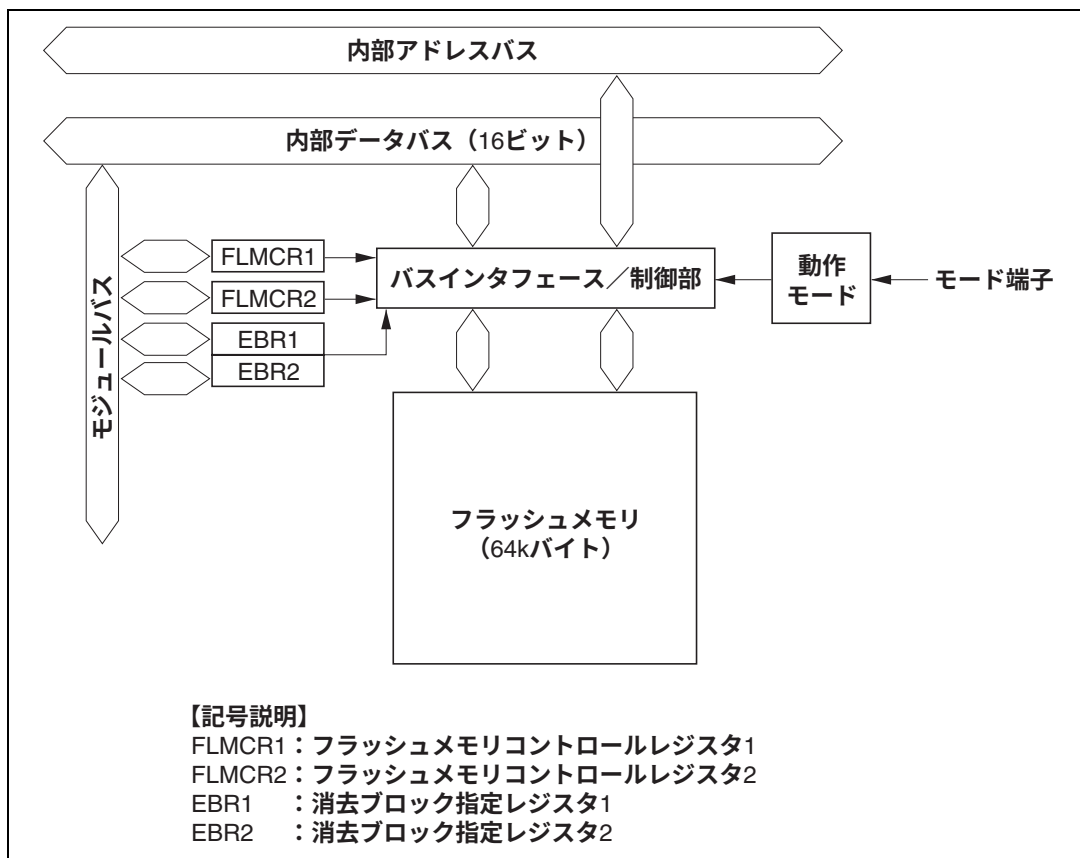


図 22.2 フラッシュメモリのブロック図

22.4.3 フラッシュメモリの動作モード

(1) モード遷移図

リセット状態で各モード端子を設定し、リセットスタートすると、マイコンは図 22.3 に示すような各動作モードへ遷移します。ユーザーモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み／消去はできません。

フラッシュメモリへの書き込み／消去を行えるモードとして、ブートモード、ユーザープログラムモード、ライターモードがあります。

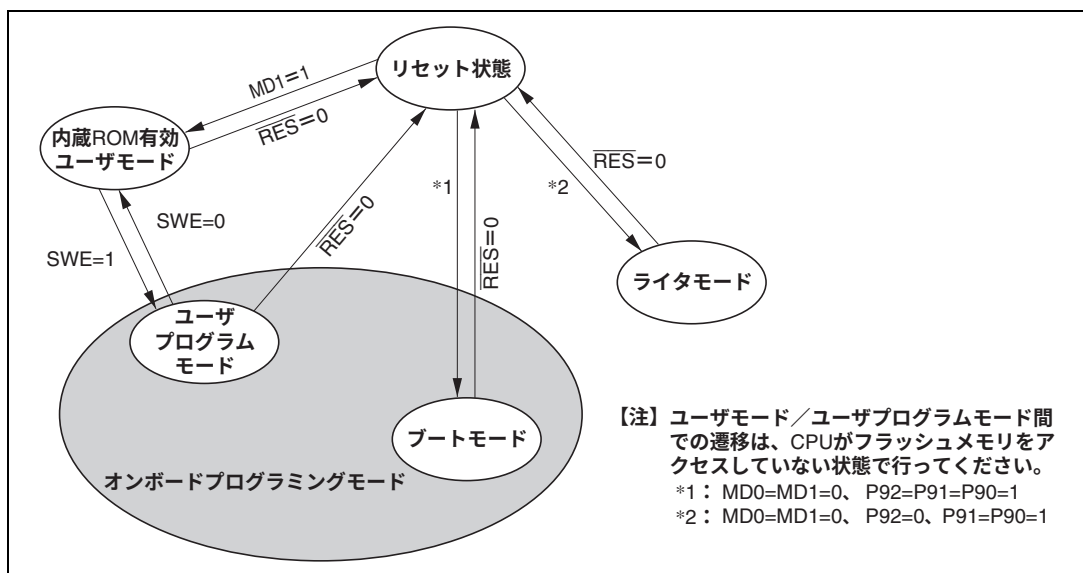
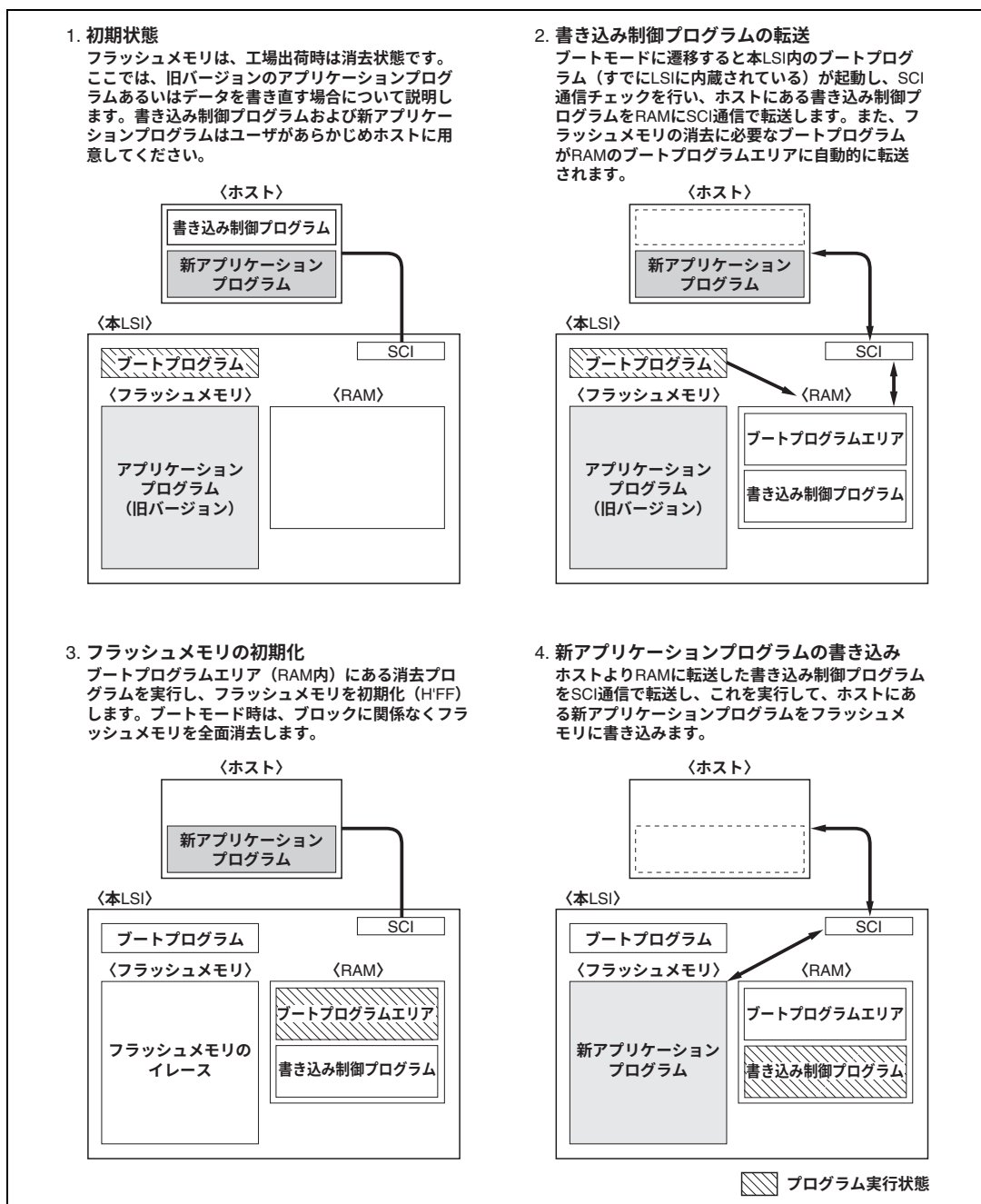


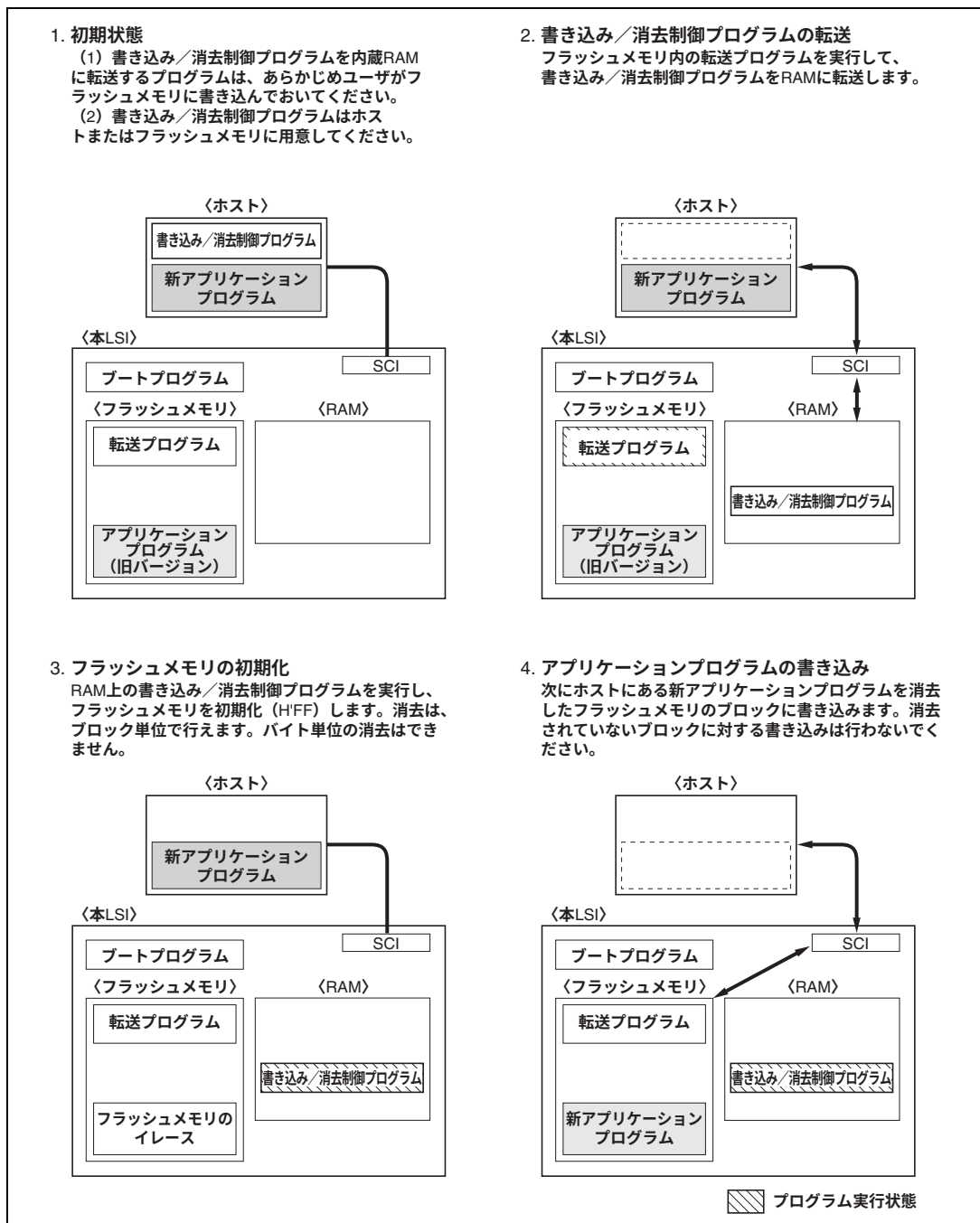
図 22.3 フラッシュメモリに関する状態遷移

(2) オンボードプログラミングモード

(a) ブートモード



(b) ユーザプログラムモード



(3) ブートモードとユーザプログラムモードの相違点

表 22.3 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去	○	○
ブロック分割消去	×	○
書き換え制御プログラム*	プログラム/プログラムベリファイ	プログラム/プログラムベリファイ イレース/イレースベリファイ

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

(4) ブロック分割法

8k バイト（2 ブロック）、16k バイト（1 ブロック）、28k バイト（1 ブロック）、1k バイト（4 ブロック）に分割されています。

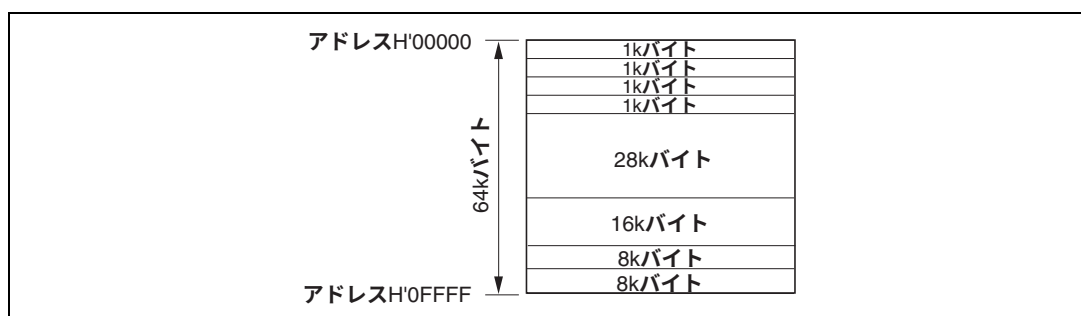


図 22.6 フラッシュメモリのブロック分割

22.4.4 端子構成

フラッシュメモリは表 22.4 に示す端子により制御されます。

表 22.4 端子構成

端子名	略 称	入出力	機 能
リセット	$\overline{\text{RES}}$	入力	リセット
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
ポート 92	P92	入力	MD1=MD0=0 の場合に、本 LSI の動作モードを設定
ポート 91	P91	入力	MD1=MD0=0 の場合に、本 LSI の動作モードを設定
ポート 90	P90	入力	MD1=MD0=0 の場合に、本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力
レシーブデータ	RxD1	入力	シリアル受信データ入力

22.4.5 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 22.5 に示します。本レジスタをアクセスするためには、STCR の FLSHE ビットを 1 にセットする必要があります。

表 22.5 レジスタ構成

名 称	略 称	R/W	初期値	アドレス ^{*1}
フラッシュメモリコントロールレジスタ 1	FLMCR1 ^{*5}	R/W ^{*3}	H'80	H'FF80 ^{*2}
フラッシュメモリコントロールレジスタ 2	FLMCR2 ^{*5}	R/W ^{*3}	H'00 ^{*4}	H'FF81 ^{*2}
消去ブロック指定レジスタ 1	EBR1 ^{*5}	— ^{*3}	H'00 ^{*4}	H'FF82 ^{*2}
消去ブロック指定レジスタ 2	EBR2 ^{*5}	R/W ^{*3}	H'00 ^{*4}	H'FF83 ^{*2}
シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FFC3

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラッシュメモリのレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイマコントロールレジスタ（STCR）の FLSHE ビットで行います。

*3 内蔵フラッシュメモリが無効のモードのときは、リードすると H'00 が読み出され、ライトも無効となります。

*4 FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。

*5 FLMCR1、FLMCR2、EBR1、EBR2 は 8 ビットのレジスタです。バイトアクセスのみ有効で、2 ステートアクセスとなります。

22.5 フラッシュメモリのレジスタの説明

22.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE	—	—	EV	PV	E	P
初期値：	1	0	0	0	0	0	0	0
R/W：	R	R/W	—	—	R/W	R/W	R/W	R/W

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。SWE=1 にして対応するビットをセットすることにより、プログラムベリファイモード、イレースベリファイモードに遷移します。プログラムモードへ遷移するには、SWE=1 にセットし、FLMCR2 の PSU ビットをセットしたあと、P ビットをセットします。イレースモードへ遷移するには、SWE=1 にセットし、FLMCR2 の ESU ビットをセットしたあと、E ビットをセットします。FLMCR1 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードで H'80 に初期化されます。内蔵フラッシュメモリが無効のモードのときは、リードすると H'00 が読み出され、ライトも無効となります。

また、FLMCR1 の EV、PV ビットへのライトは SWE=1 のとき、E ビットへのライトは SWE=1、ESU=1 のとき、P ビットへのライトは SWE=1、PSU=1 のときのみ有効です。

ビット 7：フラッシュライトイネーブル (FWE)

内蔵フラッシュメモリの書き込み／消去を制御するビットです。本製品では、リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6：ソフトウェアライトイネーブル (SWE)

フラッシュメモリの書き込みの有効または無効を選択するビットです (ESU、PSU、EV、PV、E、P、EB7～EB0 ビットの設定前にセットしてください。また、これらのビットと同時にクリアしないでください)。

ビット 6	説 明
SWE	
0	書き込み無効 (初期値)
1	書き込み有効

ビット 5、4：リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット3：イレースベリファイ (EV)

イレースベリファイモードへの遷移、解除を選択するビットです（SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください）。

ビット3	説 明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] SWE=1 のときにセット可

ビット2：プログラムベリファイ (PV)

プログラムベリファイモードへの遷移、解除を選択するビットです（SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください）。

ビット2	説 明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] SWE=1 のときにセット可

ビット1：イレース (E)

イレースモードへの遷移、解除を選択するビットです（SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください）。

ビット1	説 明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] SWE=1、ESU=1 のときにセット可

ビット0：プログラム (P)

プログラムモードへの遷移、解除を選択するビットです（SWE、PSU、ESU、EV、PV、E ビットを同時に設定しないでください）。

ビット0	説 明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] SWE=1、PSU=1 のときにセット可

22.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

ビット：	7	6	5	4	3	2	1	0
	FLER	—	—	—	—	—	ESU	PSU
初期値：	0	0	0	0	0	0	0	0
R/W：	R	—	—	—	—	—	R/W	R/W

FLMCR2 は、フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）の有無のモニタと、フラッシュメモリのプログラム／イレースモードへのセットアップを行う 8 ビットのレジスタです。FLMCR2 は、リセット、ハードウェアスタンバイモードで H'00 に初期化されます。また、ESU ビット、PSU ビットは、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードでも 0 にクリアされます。

内蔵フラッシュメモリが無効のモードのときは、リードすると H'00 が読み出され、ライトも無効となります。

ビット 7：フラッシュメモリエラー（FLER）

フラッシュメモリ動作中（書き込み、消去）にエラーが発生したことを示すビットです。FLER=1 に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット 7	説 明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）が無効 [クリア条件] リセット、ハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み／消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）が有効 [セット条件] 「22.8.3 エラープロテクト」参照

ビット 6～2：リザーブビット

リザーブビットです。1 をライトしないでください。

ビット 1：イレースセットアップ（ESU）

イレースモードへの遷移の準備をするビットです。FLMCR1 の E ビットを 1 にセットする前に 1 にセットしてください（SWE、PSU、EV、PV、E、P ビットを同時に設定しないでください）。

ビット 1	説 明
ESU	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] SWE=1 のときにセット可

ビット0：プログラムセットアップ（PSU）

プログラムモードへの遷移の準備をするビットです。FLMCRI の P ビットを 1 にセットする前に 1 にセットしてください（SWE、ESU、EV、PV、E、P ビットを同時に設定しないでください）。

ビット 1	説 明
PSU	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] SWE=1 のときにセット可

22.5.3 消去ブロック指定レジスタ 1、2 (EBR1、EBR2)

ビット：	7	6	5	4	3	2	1	0
EBR1	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	—*2	—*2	—*2	—*2	—*2	—*2	—*2	—*2

ビット：	7	6	5	4	3	2	1	0
EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W*1	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 ノーマルモードの場合は0が読み出され、ライトは無効です。

*2 本ビットは1にセットしないでください。

フラッシュメモリの消去エリアをブロックごとに設定するレジスタで、EBR2 のビット 7～0 についてリード／ライト可能です。EBR1、EBR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモード、および FLMCR1 の SWE ビットが設定されていないときは、それぞれ H'00 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR2 は 1 ビットのみ設定してください（2 ビット以上を設定しないでください）。内蔵フラッシュメモリが無効のモードのときは、リードするとそれぞれ H'00 が読み出され、ライトも無効となります。

フラッシュメモリのブロック分割方法は、表 22.6 を参照してください。

表 22.6 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (1k バイト)	H'(00)0000～H'(00)03FF
EB1 (1k バイト)	H'(00)0400～H'(00)07FF
EB2 (1k バイト)	H'(00)0800～H'(00)0BFF
EB3 (1k バイト)	H'(00)0C00～H'(00)0FFF
EB4 (28k バイト)	H'(00)1000～H'(00)7FFF
EB5 (16k バイト)	H'(00)8000～H'(00)BFFF
EB6 (8k バイト)	H'(00)C000～H'(00)DFFF
EB7 (8k バイト)	H'(00)E000～H'(00)FFFF

22.5.4 シリアルタイムコントロールレジスタ (STCR)

ビット：	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	IICE	FLSHE	—	ICKS1	ICKS0
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は 8 ビットのリード／ライト可能なレジスタで、レジスタアクセスの制御、IIC の動作モードの制御（IIC 内蔵オプションの場合）、内蔵フラッシュメモリの制御（F-ZTAT 版の場合）、TCNT の入力クロックの選択を行います。内蔵フラッシュメモリ以外の詳細は、「**3.2.4 シリアルタイムコントロールレジスタ (STCR)**」および各モジュールの説明を参照してください。STCR で制御するモジュールを使用しない場合は、当該ビットに 1 をライトしないでください。

STCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7～4：I²C コントロール (IICS、IICX1、IICX0、IICE)

I²C バスインタフェースの動作を制御するビットです。詳しくは「**第 16 章 I²C バスインタフェース (IIC)**」を参照してください。

ビット 3：フラッシュメモリコントロールレジスタイネーブル (FLSHE)

FLSHE ビットを 1 にセットすると、フラッシュメモリの制御レジスタをリード／ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。

ビット 3	説 明
FLSHE	
0	フラッシュメモリの制御レジスタは非選択状態 (初期値)
1	フラッシュメモリの制御レジスタは選択状態

ビット 2：リザーブビット

リザーブビットです。1 にセットしないでください。

ビット 1、0：インターナルクロックソースセレクト 1、0 (ICKS1、ICKS0)

8 ビットタイマの動作を制御するビットです。詳しくは「**第 12 章 8 ビットタイマ (TMR)**」を参照してください。

22.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み／消去／バリファイを行うことができます。オンボードプログラミングモードには、ブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法は、表 22.7 を参照してください。また、フラッシュメモリに関する各モードへの状態遷移図を図 22.3 に示します。

ブートモードは、アドバンストモードの設定のみ可能です。

ユーザプログラムモードは、MD0 端子の設定により、アドバンストモードまたはノーマルモードの設定が可能です。ノーマルモードでは 56k バイト分のフラッシュメモリの書き換えのみ可能です。

表 22.7 オンボードプログラミングモードの設定方法

モード		端子				
モード名	CPU 動作モード	MD1	MD0	P92	P91	P90
ブートモード	アドバンストモード	0	0	1*	1*	1*
ユーザプログラムモード	アドバンストモード	1	0	—	—	—
	ノーマルモード		1			

【注】 * ブートモード起動後は I/O ポートとして使用できます。

22.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネル 1 は調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムが起動され、ホストに用意した書き込み制御プログラムが、SCI を使って本 LSI へ順次送信されます。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込みを行います）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 22.7 にブートモード時のシステム構成図、図 22.8 にブートモード実行手順を示します。

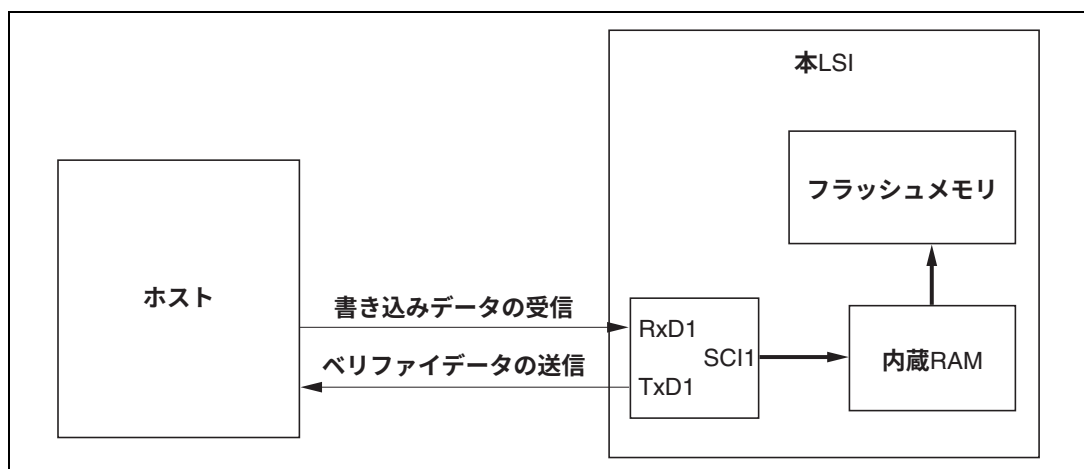


図 22.7 ブートモード時のシステム構成図

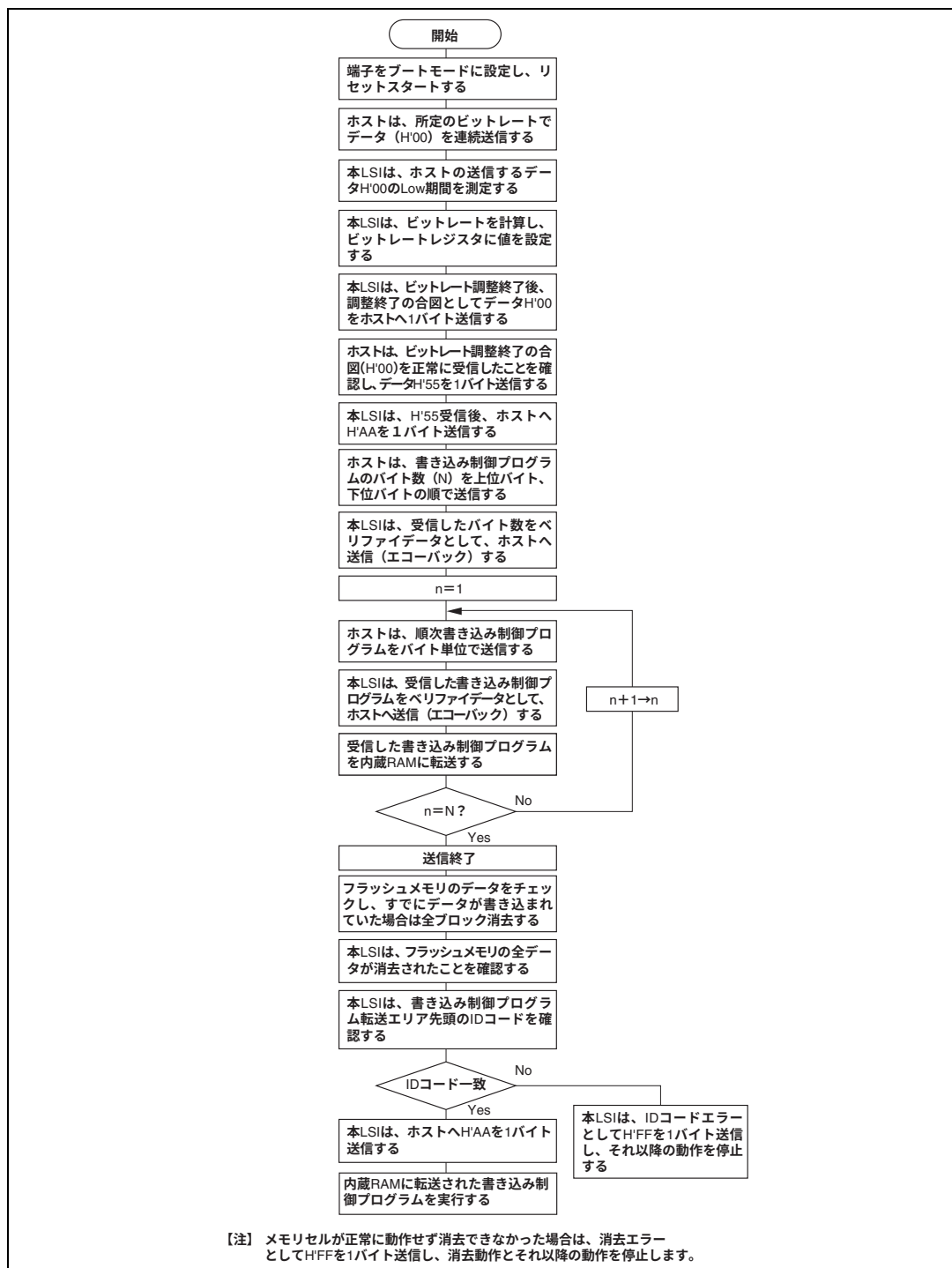


図 22.8 ブートモード実行手順

(1) SCI ビットレートの自動合わせ込み動作

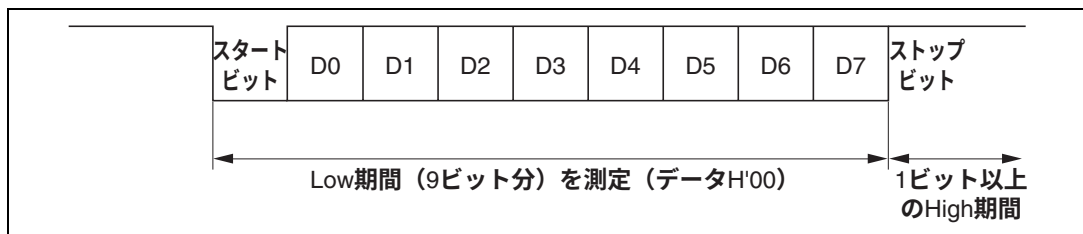


図 22.9 SCI ビットレート自動合わせ込み時の RxD1 入力信号

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 受信/送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 4800bps、9600bps、19200bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 22.8 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 22.8 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
19200bps	8MHz～10MHz
9600bps	4MHz～10MHz
4800bps	2MHz～10MHz

(2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、H'(FF)E880～H'(FF)EFFF の 1920 バイトと H'(FF)FF00～H'(FF)FF7F の 128 バイトは、図 22.10 に示すようにブートプログラムで使用するエリアとしてリザーブされています。書き込み制御プログラムを転送するエリアは H'(FF)E080～H'(FF)E87F の 2048 バイトです。ただし、H'(FF)E080～H'(FF)E087 の 8 バイトは図 22.10 に示すよう ID コードを配置します。ブートプログラムのエリアは、RAM 内に転送した書き込み制御プログラムが実行状態に遷移すると使用できます。スタックエリアは必要に応じて設定してください。

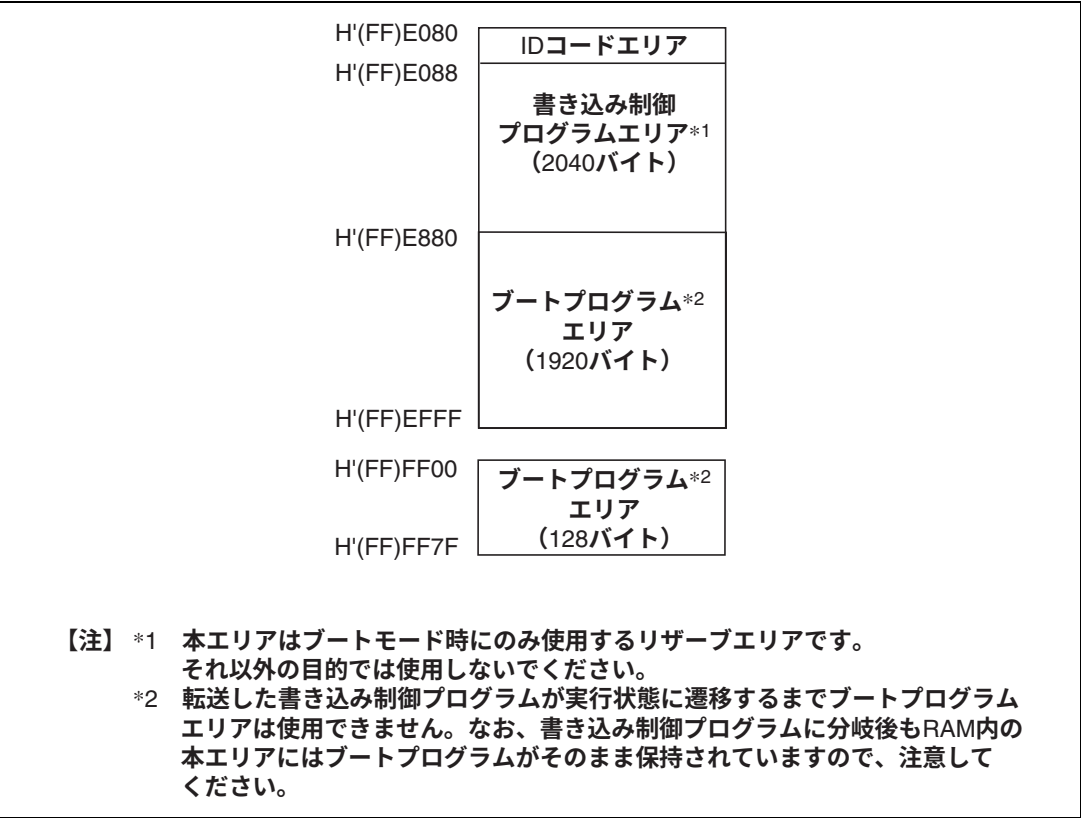


図 22.10 ブートモード時の RAM エリア

本 LSI のブートモードでは 8 バイトの ID コードエリアの内容を確認し、本 LSI に対応した書き込み制御プログラムであるか識別します。ブートモードで使用する書き込み制御プログラムをオリジナルで作成する際には、8 バイトの ID コードをプログラムの先頭に追加してください。

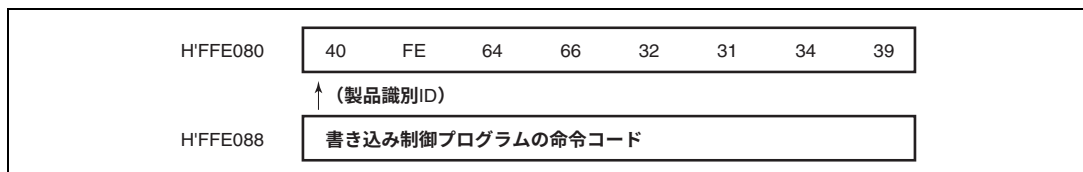


図 22.11 ID コードエリア

(3) ブートモード使用時の注意事項

- (a) 本 LSI は、ブートモードでリセット解除すると、SCI の Rx D1 端子の Low 期間を測定します。Rx D1 端子が High の状態でリセット解除してください。リセット解除後、Rx D1 端子から入力される Low 期間を測定できるようになるまで、本 LSI は約 100 ステート必要です。
- (b) ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが 1 でないとき）、フラッシュメモリの全ブロックを消去します。本モードは、オンボード状態での初期の書き込み、あるいはユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
- (c) フラッシュメモリの書き込み中、あるいは消去中に割り込みを使用することはできません。
- (d) Rx D1 端子および Tx D1 端子は、ボード上でプルアップして使用してください。
- (e) 本 LSI は、書き込み制御プログラム（RAM エリアの H'(FF)E088 に分岐するときには内蔵 SCI（チャネル 1）の送受信動作を終了（SCR の RE=0、TE=0）しますが、BRR には、合わせ込んだビットレートの値を保持しています。
また、このときトランスミットデータ出力端子 Tx D1 は、High レベル出力状態（P84DDR=1、P84DR=1）となっています。
さらにこのとき、CPU 内蔵の汎用レジスタの値は不定です。このため書き込み制御プログラムに分岐した直後に汎用レジスタの初期設定を必ず行ってください。
特にスタックポインタ（SP）は、サブルーチンコール時などに暗黙的に使用されますので、書き込み制御プログラムで使用するスタックエリアを必ず指定してください。
上記以外の内蔵レジスタについては、初期値が変更されるものではありません。
- (f) ブートモードへの遷移は表 22.7 のモード設定に従って、端子を設定しリセットスタートすることにより可能です。
本 LSI はリセット解除時^{*}にブートモードの設定であることを検出すると P92～P90 は I/O ポートとして使用できます。
ブートモードを解除するには、リセット端子を Low レベルにしてから最低 20 ステート経過後、モード端子を設定し、リセット解除^{*}してください。また、WDT のオーバフローリセットが発生した場合もブートモードを解除することが可能です。
ブートモードの途中でモード端子の入力レベルを変化させないでください。

- (g) リセット中にモード端子の入力レベルを変化（たとえばLowレベル→Highレベル）させると、マイコンの動作モードが切り替わることによりアドレス兼用ポート、およびバス制御出力信号（ $\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$ ）の状態が変化*²します。
このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。

- 【注】** *1 モード端子の入力はリセット解除のタイミングに対し、モードプログラミングセットアップ時間（ $t_{MDS}=4$ ステート）を満足する必要があります。
- *2 アドレス兼用ポートは、リセット中にモード端子がモード 1 の設定になったとき、アドレスとして Low レベルを出力します。それ以外のモードではハイインピーダンス状態となります。また、バス制御出力信号は、リセット中にモード端子がモード 1 の設定になったとき、High レベルを出力します。それ以外のモードではハイインピーダンス状態となります。

22.6.2 ユーザプログラムモード

ユーザプログラムモードに設定すると、ユーザの書き込み／消去制御プログラムによるフラッシュメモリの書き込み、消去が可能になります。したがって、あらかじめ基板上に書き換えデータ供給手段を設け、必要に応じてプログラムエリアの一部に書き込み／消去制御プログラムを内蔵しておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定では、内蔵フラッシュメモリの有効なモード 2、3 で起動します。この状態の動作では、フラッシュメモリ以外の周辺機能はモード 2、3 と同じ動作をします。

フラッシュメモリへの書き込み／消去を行うために SWE ビットを 1 にセットしている間は、フラッシュメモリ自身を読み出すことはできません。書き込み／消去を行う制御プログラムは、内蔵 RAM／外部メモリ上で実行するようにしてください。

図 22.12 に書き込み／消去制御プログラムを内蔵 RAM に転送する場合の実行手順例を示します。

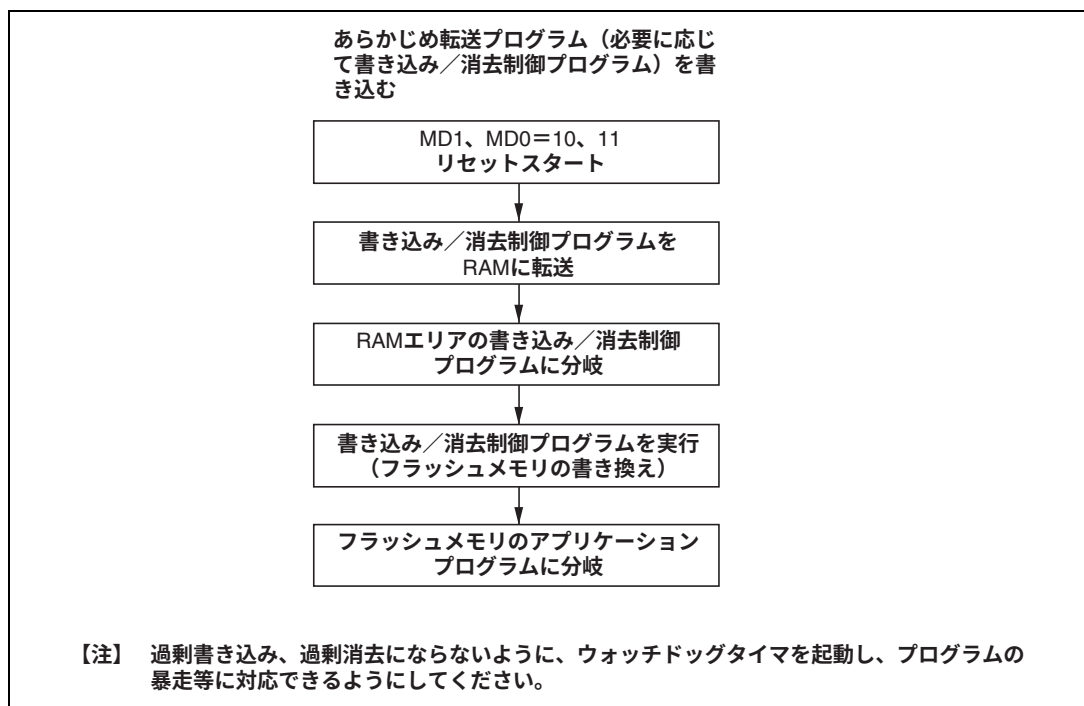


図 22.12 ユーザプログラムモードの実行手順例

22.7 フラッシュメモリの書き込み／消去

オンボードプログラミングモードでのフラッシュメモリの書き込み／消去は、CPU を用いてソフトウェアで行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード／イレースモード／プログラムベリファイモード／イレースベリファイモードがあり、FLMCR2 の PSU、ESU ビット、FLMCR1 の P、E、PV、EV ビットをセットすることにより各動作モードに遷移することができます。

フラッシュメモリは、書き込み／消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み／消去を制御するプログラム（書き込み制御プログラム）は、内蔵 RAM あるいは外部メモリ上に置いて、実行するようにしてください。

- 【注】
1. FLMCR1 の SWE、EV、PV、E、P ビット、FLMCR2 の ESU、PSU ビットのセット／リセットがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込みは消去状態で行ってください。すでに書き込まれたアドレスへの追加書き込みは行わないでください。

22.7.1 プログラムモード

フラッシュメモリへのデータ／プログラムの書き込みは、図 22.13 に示すプログラム／プログラムベリファイフローチャートにしたがって行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損うことなく、フラッシュメモリへデータ／プログラムの書き込みを行うことができます。また、1 回の書き込みは、128 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) の各ビットのセット／クリア後のウェイト時間 (x 、 y 、 $z1$ 、 $z2$ 、 $z3$ 、 α 、 β 、 γ 、 ε 、 η 、 θ)、最大書き込み回数 (N) については「25.6 フラッシュメモリ特性」を参照してください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットしたあと、(x) μs 以上の時間が経過してから、128 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレスに RAM 上の再書き込みデータエリアの 128 バイトのデータを連続ライトします。ただし、ライトする先頭アドレスの下位 8 ビットは、H'00、H'80 でなければなりません。データ転送はバイト単位で 128 回連続して行います。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は ($y + z2 + \alpha + \beta$) μs より大きくしてください。その後、FLMCR2 の PSU ビットをセットし、プログラムモードへの準備（プログラムセットアップ）を行い、(y) μs 以上の時間が経過してから、FLMCR1 の P ビットをセットすることで、動作モードはプログラムモードへ遷移します。P ビットがセットされている時間がフラッシュメモリの書き込み時間となります。1 回の書き込み時間を ($z1$)、($z2$)、または ($z3$) μs の範囲に収まるようにプログラムで設定してください。

22.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだあと、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除（FLMCR1 の P ビットを 0 にクリア後、 (α) μs 以上の時間が経過してから FLMCR2 の PSU ビットを 0 にクリア）します。次に、ウォッチドッグタイマーを (β) μs 以上の時間が経過してから解除し、FLMCR1 の PV ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは (γ) μs 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは 16 ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、 (ε) μs 以上おいてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算（図 22.13 参照）し、再書き込みデータを再書き込みデータエリアに転送します。128 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、 (η) μs 以上の待機時間をおいてください。このとき、書き込み回数が 6 回以内であれば、書き込むアドレスに RAM 上の追加書き込みデータエリアの 128 バイトのデータを連続ライトし追加書き込みを行います。そして、FLMCR1 の SWE ビットを 0 にクリアしたあと、 (θ) μs 以上の待機時間をおいてください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム／プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム／プログラムベリファイシーケンスの繰り返しは、 (N) 回を超えないようにしてください。

22. ROM

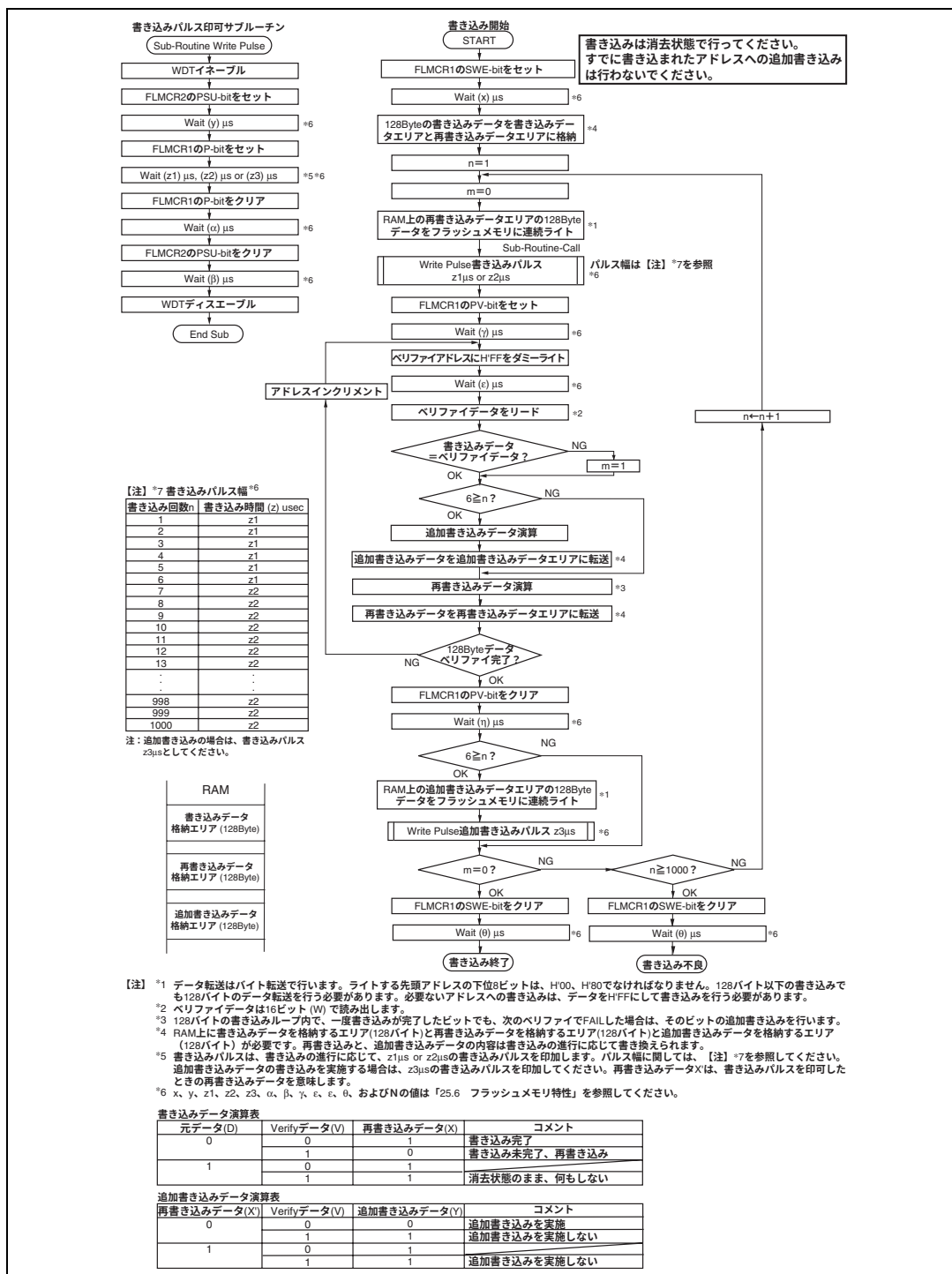


図 22.13 プログラム/プログラムペリファイフロー

22.7.3 イレースモード

フラッシュメモリの消去は1ブロックごとに、**図 22.13** に示すイレース／イレースベリファイフロー（単一ブロック消去）チャートに沿って行ってください。

フラッシュメモリコントロールレジスタ 1、2（FLMCR1、FLMCR2）の各ビットのセット／クリア後のウェイト時間（ x 、 y 、 $z1$ 、 $z2$ 、 $z3$ 、 α 、 β 、 γ 、 ε 、 η 、 θ ）、最大消去回数（ N ）については「**25.6 フラッシュメモリ特性**」を参照してください。

データ／プログラムの消去は、フラッシュメモリコントロールレジスタ 1（FLMCR1）の SWE ビットを 1 にセット後、 (x) μ s 以上の時間が経過してから、消去ブロック指定レジスタ 1、2（EBR1、EBR2）で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走等により過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は $(y+z+\alpha+\beta)$ ms より大きく設定してください。その後、FLMCR2 の ESU ビットをセットすることで、イレースモードへの準備（イレースセットアップ）を行い、 (y) μ s 以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが 1 にセットされている時間が消去時間となり、消去時間は (z) ms を超えないようにしてください。

【注】 フラッシュメモリの消去において、消去を開始する前にプレライト（消去するメモリのデータをすべて 0 にする）を行う必要はありません。

22.7.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去したあとデータを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除（FLMCR1 の E ビットを 0 にクリア後、 (α) μ s 以上の時間が経過してから FLMCR2 の ESU ビットを 0 にクリア）します。次に、ウォッチドッグタイマを (β) μ s 以上の時間が経過してから解除し、FLMCR1 の EV ビットを 1 にセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは (γ) μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは 16 ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、 (ε) μ s おいてから行ってください。読み出したデータが消去（データがすべて 1）されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース／イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数は (N) 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、 (η) μ s 以上の待機時間をおいてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを 0 にクリアしたあと、 (θ) μ s 以上の待機時間をおいてください。未消去のブロックが存在する場合は、消去するフラッシュメモリのブロックを EBR1、EBR2 で 1 ビット設定し、同様にイレース／イレースベリファイシーケンスを繰り返します。

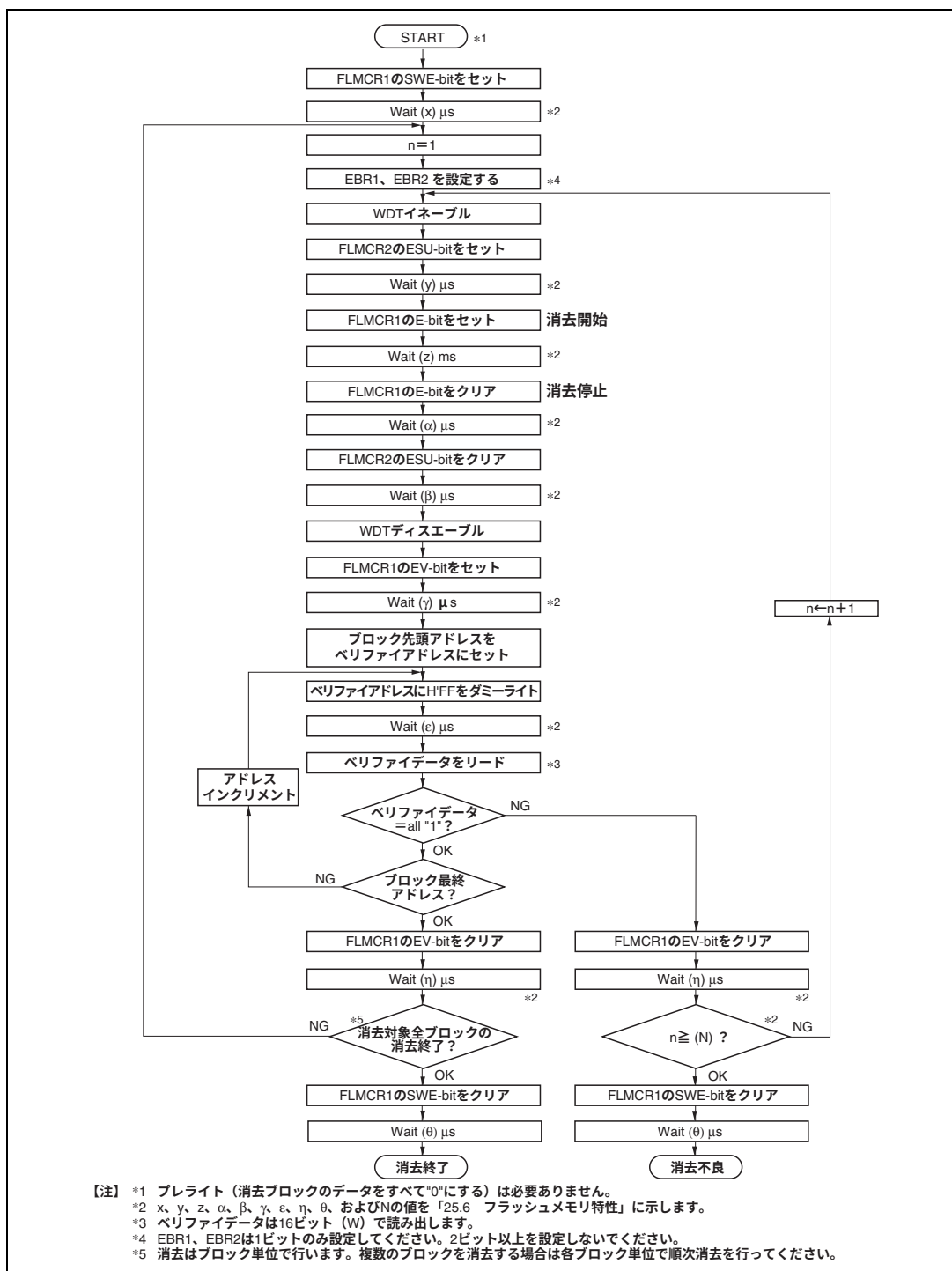


図 22.14 イレース／イレースベリファイフロー（単一ブロック消去）

22.8 フラッシュメモリのプロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ハードウェアプロテクト、ソフトウェアプロテクト、およびエラープロテクトの3種類があります。

22.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み／消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) および消去ブロック指定レジスタ 1、2 (EBR1、EBR2) の設定はリセットされます (表 22.9 参照)。

表 22.9 ハードウェアプロテクト

項 目	説 明	機 能	
		書き込み	消去
リセット、スタンバイプロテクト	- リセット (WDT のオーバフローリセットも含む)、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモード時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み／消去プロテクト状態になります。 - RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。	○	○

22.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE ビット、消去ブロック指定レジスタ 1、2 (EBR1、EBR2) をセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットおよび E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません (表 22.10 参照)。

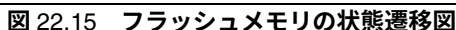
表 22.10 ソフトウェアプロテクト

項 目	説 明	機 能	
		書き込み	消去
SWE ビットプロテクト	FLMCR1 の SWE ビットを 0 にセットすることにより、全ブロックの書き込み／消去プロテクト状態になります。(内蔵 RAM／外部メモリ上で実行してください。)	○	○
ブロック指定プロテクト	- 消去ブロック指定レジスタ 1、2 (EBR1、EBR2) の設定により、ブロックごとに消去プロテクトが可能。 - EBR1 と EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。	—	○

エラープロテクトは、フラッシュメモリへの書き込み／消去中のマイコンの暴走や書き込み／消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み／消去動作を強制的に中断するプロテクトです。書き込み／消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

FLER ビットのセット条件は、

- エラープロテクト解除は、リセットまたはハードウェアスタンバイモードのみで行われます。



22.9 フラッシュメモリの書き込み／消去時の割り込み処理

フラッシュメモリへの書き込み、消去中（FLMCR1 の P ビットまたは E ビットがセット）、およびブートモードでのブートプログラム実行中^{*1}は、書き込み、消去動作を最優先とするため、NMI 入力を含むすべての割り込みを禁止してください。

これは以下のような動作状態を回避することを目的としています。

- (1) 書き込み、消去中に割り込みが発生することにより、書き込み／消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- (2) 書き込み／消去中の割り込み例外処理ではベクタリードが正常にできない^{*2}ため、結果としてマイコンが暴走してしまう。
- (3) ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、オンボードプログラミングモードにおいてのみ例外的に割り込みを禁止する条件が存在しますが、これによって正常な書き込み、消去およびマイコン動作が保証されるものではありません。

このため、フラッシュメモリへの書き込み／消去を行う場合には、マイコンの内部と外部で NMI を含むすべての割り込み要求を禁止する必要があります。また、エラープロテクト状態で FLMCR1 の P ビットまたは E ビットが保持された状態でも割り込みは禁止状態となります。

【注】 *1 書き込み制御プログラムによる書き込みが完了するまでは、マイコン内部と外部で割り込み要求を禁止する必要があります。

***2** この場合、以下の 2 つの理由によってベクタリードが正常に行われません。

- ・書き込み、消去中（FLMCR1 の P ビットまたは E ビットがセット）にフラッシュメモリのリードを行っても正しい値を読み出すことはできません（値は不定）。
- ・割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

22.10 フラッシュメモリのライターモード

22.10.1 ライターモードの設定

プログラム／データの書き込み／消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードではルネサス 64k バイトフラッシュメモリ内蔵マイコンデバイスタイプ*をサポートしている PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。ライターモード使用時の注意は、「22.10.10 メモリ書き込み注意事項」、「22.11 フラッシュメモリの書き込み／消去時の注意」をご参照ください。本デバイスタイプでは、フラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。自動書き込みモード／自動消去モード／ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み／自動消去を実行したあとに、その詳細な内部信号を出力します。

表 22.11 にライターモードの端子設定方法を示します。

【注】 * 本 LSI は、PROM ライタの書き込み電圧を 3.3V に設定して使用してください。

表 22.11 ライターモードの端子設定方法

端子名	設定、外付け回路接続
モード端子：MD1、MD0	MD1、MD0 に Low レベルを入力
STBY 端子	High レベルを入力 (ハードウェアスタンバイモードにしない)
RES 端子	パワーオンリセット回路
XTAL、EXTAL 端子	発振回路
その他の設定端子：P97、P92、P91、P90、P67	P92、P67 に Low レベル、P97、P91、P90 に High レベルを入力

22.10.2 ソケットアダプタとメモリマップ

このライターモードでは、PROM ライタに各パッケージに対応したソケットアダプタを取り付けて行います。ソケットアダプタは、ルネサス 64k バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているライターメーカーごとに用意されています。

図 22.16 にライターモード時のメモリマップを示します。ライターモード時の端子名は「1.3.2 動作モード別端子機能」を参照してください。

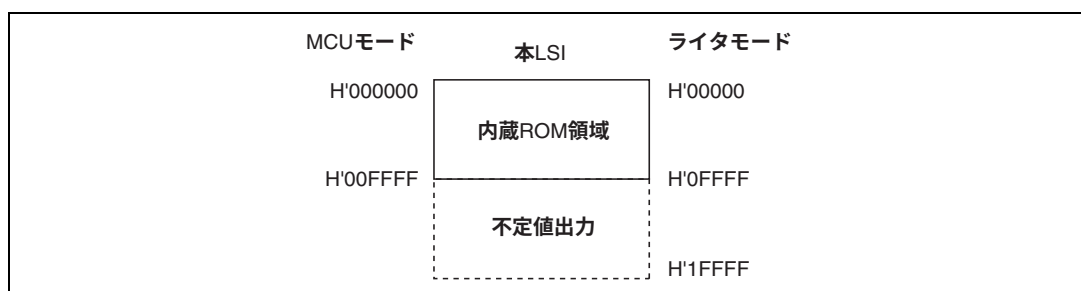


図 22.16 ライターモード時のメモリマップ

22.10.3 ライタモードの動作

表 22.12 にライタモード時の各動作モードの設定方法、表 22.13 にライタモード時の各コマンドを示します。また、各モードの詳細情報を以下に示します。

メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しております。

自動消去モード

自動消去モードでは、フラッシュメモリマツト全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しております。

ステータス読み出しモード

自動書き込み／自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は FO6 番の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 22.12 ライタモード時の各動作モードの設定方法

モード	ピン名				
	CE	OE	WE	FO7~FO0	FA17~FA0
リード	L	L	H	データ出力	Ain ^{*2}
出力ディスエーブル	L	H	H	Hi-Z	X
コマンド書き込み	L	H	L	データ入力	Ain ^{*2}
チップディスエーブル ^{*1}	H	X	X	Hi-Z	X

【注】 *1 チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。

*2 Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。

表 22.13 ライタモード時の各コマンド

コマンド名	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

【注】 1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。

2. メモリ読み出しモードでは、アドレス書き込みサイクル数 (n) によって、サイクル数が変化します。

22.10.4 メモリ読み出しモード

- (1) 自動書き込み／自動消去／ステータス読み出し終了後は、コマンド待ち状態に移移しています。メモリの内容を読み出す場合は、コマンド書き込みでメモリ読み出しモードに移移させたあとに、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに移移させたあとは、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに移移します。

表 22.14 メモリ読み出しモード時の AC 特性 (1)

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^\circ C \pm 5^\circ C$)

項 目	記 号	MIN	MAX	単 位
コマンド書き込みサイクル	t_{nxtc}	20	—	μs
CE ホールド時間	t_{ceh}	0	—	ns
CE セットアップ時間	t_{ces}	0	—	ns
データホールド時間	t_{dh}	50	—	ns
データセットアップ時間	t_{ds}	50	—	ns
書き込みパルス幅	t_{wep}	70	—	ns
$\overline{WE}$ 立ち上がり時間	t_r	—	30	ns
$\overline{WE}$ 立ち下がり時間	t_f	—	30	ns

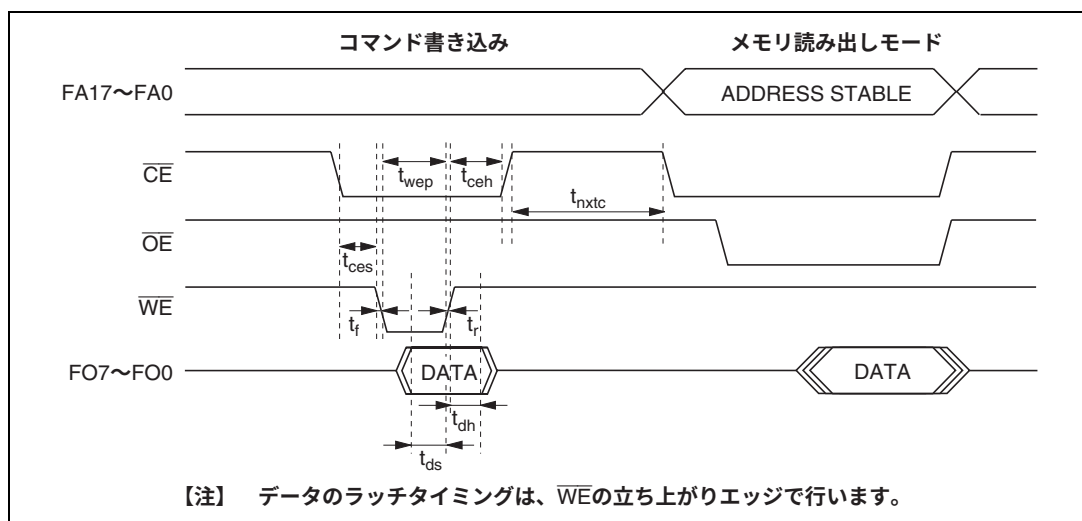


図 22.17 コマンド書き込み後メモリ読み出しタイミング波形

表 22.15 メモリ読み出しモードから他のモードへ遷移時の AC 特性
 (条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^\circ C \pm 5^\circ C$)

項 目	記 号	MIN	MAX	単 位
コマンド書き込みサイクル	t_{nxtc}	20	—	μs
$\overline{CE}$ ホールド時間	t_{ceh}	0	—	ns
$\overline{CE}$ セットアップ時間	t_{ces}	0	—	ns
データホールド時間	t_{dh}	50	—	ns
データセットアップ時間	t_{ds}	50	—	ns
書き込みパルス幅	t_{wep}	70	—	ns
WE 立ち上がり時間	t_r	—	30	ns
WE 立ち下がり時間	t_f	—	30	ns

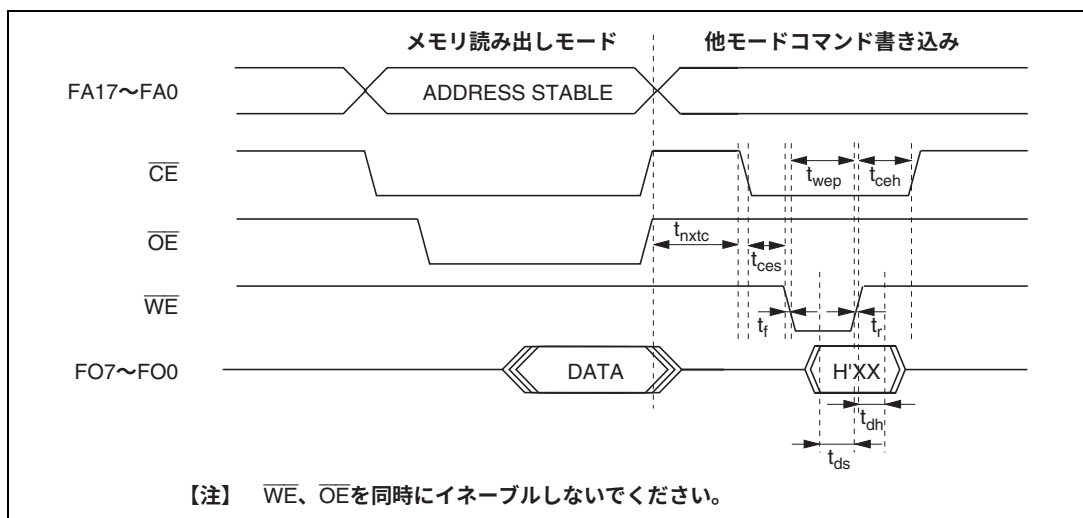
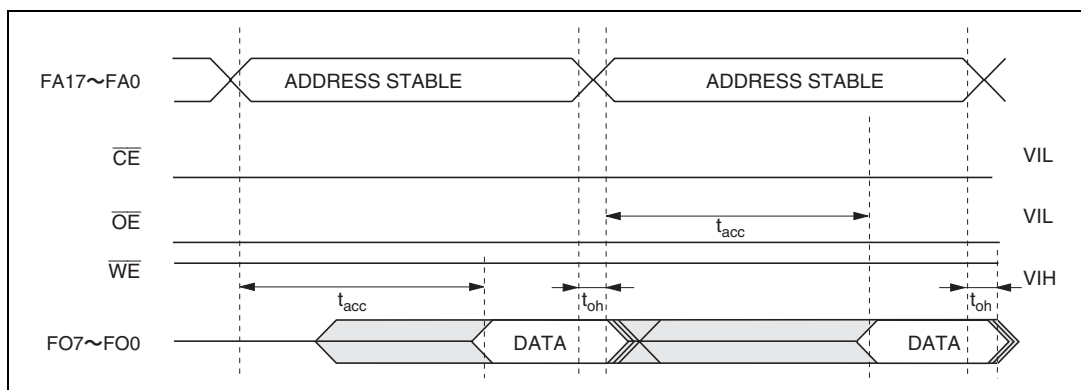
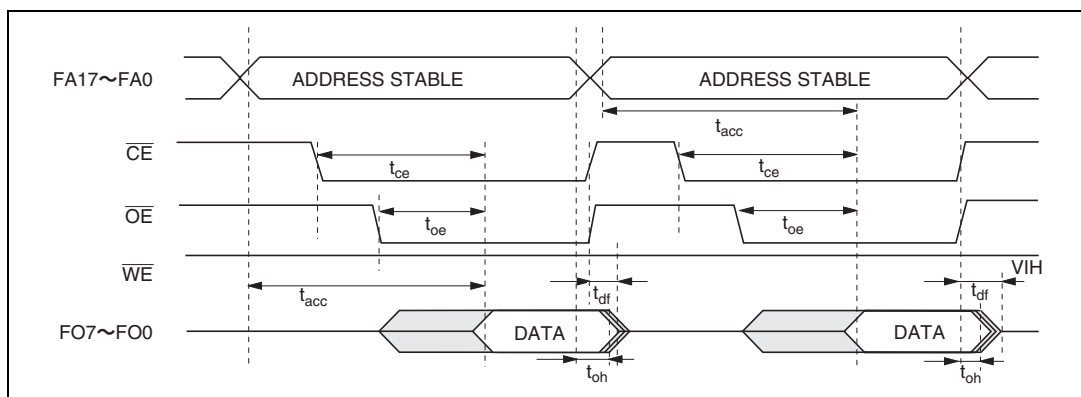


図 22.18 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 22.16 メモリ読み出しモード時の AC 特性 (2)

(条件: $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C \pm 5^{\circ}C$)

項 目	記 号	MIN	MAX	単 位
アクセス時間	t_{acc}	—	20	μs
$\overline{CE}$ 出力遅延時間	t_{ce}	—	150	ns
$\overline{OE}$ 出力遅延時間	t_{oe}	—	150	ns
出力ディスエイブル遅延時間	t_{df}	—	100	ns
データ出力ホールド時間	t_{oh}	5	—	ns

図 22.19 $\overline{CE}$ 、 $\overline{OE}$ イネーブル状態リード時のタイミング波形図 22.20 $\overline{CE}$ 、 $\overline{OE}$ クロック方式リード時のタイミング波形

22.10.5 自動書き込みモード

(1) AC 特性

表 22.17 自動書き込みモード時の AC 特性

(条件: $V_{CC}=3.3V\pm0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm5^{\circ}C$)

項 目	記 号	MIN	MAX	単 位
コマンド書き込みサイクル	t_{nxtc}	20	—	μs
CE ホールド時間	t_{ceh}	0	—	ns
CE セットアップ時間	t_{ces}	0	—	ns
データホールド時間	t_{dh}	50	—	ns
データセットアップ時間	t_{ds}	50	—	ns
書き込みパルス幅	t_{wep}	70	—	ns
ステータスポーリング開始時間	t_{wsts}	1	—	ms
ステータスポーリングアクセス時間	t_{spa}	—	150	ns
アドレスセットアップ時間	t_{as}	0	—	ns
アドレスホールド時間	t_{ah}	60	—	ns
メモリ書き込み時間	t_{write}	1	3000	ms
WE 立ち上がり時間	t_r	—	30	ns
WE 立ち下がり時間	t_f	—	30	ns

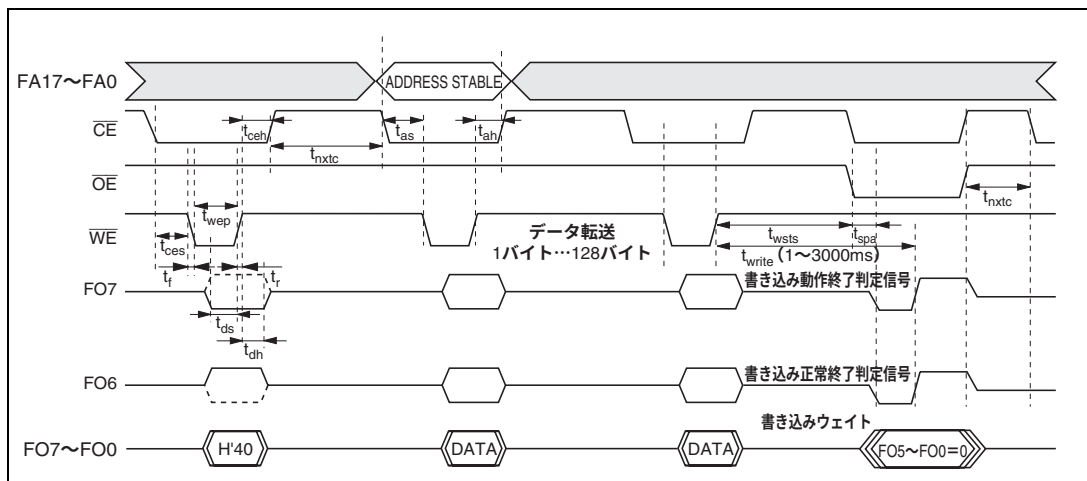


図 22.21 自動書き込みモードのタイミング波形

(2) 自動書き込みモードにおける注意事項

- (a) 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- (b) 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- (c) 転送するアドレスの下位8ビットは、H'00、H'80でなければなりません。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (d) メモリアドレスの転送は、第2サイクルで行います（図22.21）。第3サイクル以降では転送しないでください。
- (e) 書き込み動作中は、コマンド書き込みを行わないでください。
- (f) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。2回以上の書き込みについては特性保証できません。
- (g) 自動書き込み正常終了の確認には、FO6を調べるにより行います。または、ステータス読み出しモードを使用しても確認することができます（FO7番のステータスポーリングは、自動書き込み動作終了判定用端子です）。
- (h) ステータスポーリングのFO6、FO7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 $\overline{CE}$ 、 $\overline{OE}$ をイネーブルにすることにより読み出し可能となります。

22.10.6 自動消去モード

(1) AC 特性

表 22.18 自動消去モード時の AC 特性

(条件: $V_{CC}=3.3V\pm0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm5^{\circ}C$)

項 目	記 号	MIN	MAX	単 位
コマンド書き込みサイクル	t_{nxtc}	20	—	μs
CE ホールド時間	t_{ceh}	0	—	ns
CE セットアップ時間	t_{ces}	0	—	ns
データホールド時間	t_{dh}	50	—	ns
データセットアップ時間	t_{ds}	50	—	ns
書き込みパルス幅	t_{wep}	70	—	ns
ステータスポーリング開始時間	t_{ests}	1	—	ms
ステータスポーリングアクセス時間	t_{spa}	—	150	ns
メモリ消去時間	t_{erase}	100	40000	ms
WE 立ち上がり時間	t_r	—	30	ns
WE 立ち下がり時間	t_f	—	30	ns

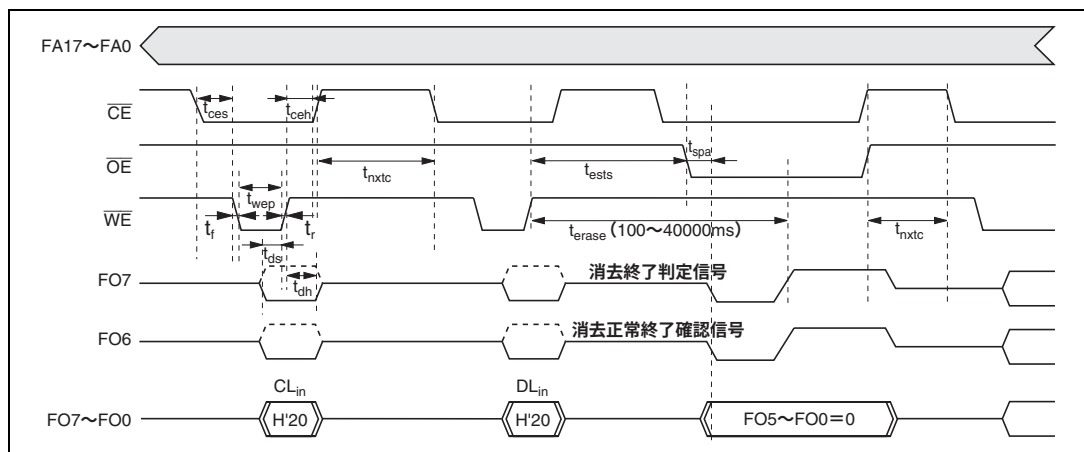


図 22.22 自動消去モードのタイミング波形

(2) 自動消去モードにおける注意事項

- (a) 自動消去モードは、メモリ全面消去のみサポートします。
- (b) 自動消去中はコマンド書き込みを行わないでください。
- (c) 自動消去正常終了の確認には、FO6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます（FO7番のステータスポーリングは、自動消去動作終了判定用端子です）。
- (d) ステータスポーリングのFO6、FO7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ をイネーブルにすることにより読み出し可能となります。

22.10.7 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード／自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 22.19 ステータス読み出しモード時の AC 特性

(条件： $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^\circ\text{C} \pm 5^\circ\text{C}$)

項 目	記 号	MIN	MAX	単 位
コマンド書き込みサイクル	t_{rwc}	20	—	μs
$\overline{\text{CE}}$ ホールド時間	t_{ceh}	0	—	ns
$\overline{\text{CE}}$ セットアップ時間	t_{ces}	0	—	ns
データホールド時間	t_{dh}	50	—	ns
データセットアップ時間	t_{ds}	50	—	ns
書き込みパルス幅	t_{wep}	70	—	ns
$\overline{\text{OE}}$ 出力遅延時間	t_{oe}	—	150	ns
ディスエーブル遅延時間	t_{df}	—	100	ns
$\overline{\text{CE}}$ 出力遅延時間	t_{ce}	—	150	ns
$\overline{\text{WE}}$ 立ち上がり時間	t_r	—	30	ns
$\overline{\text{WE}}$ 立ち下がり時間	t_f	—	30	ns

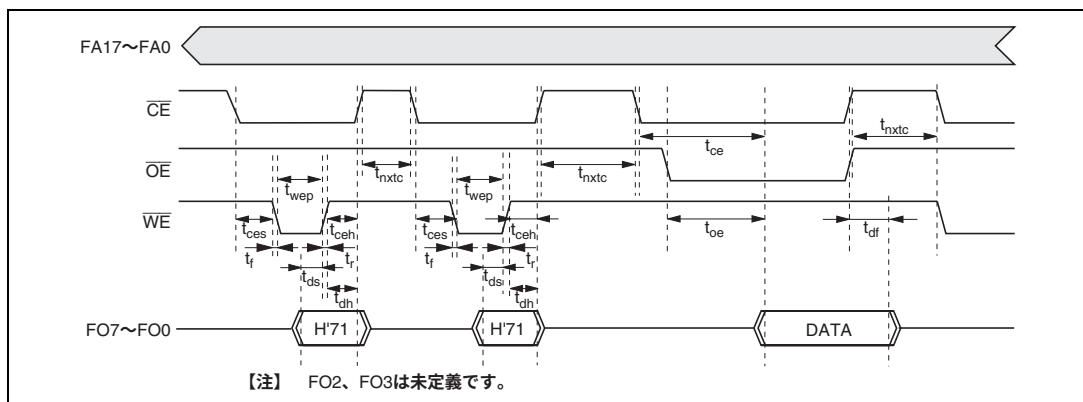


図 22.23 ステータス読み出しモードのタイミング波形

表 22.20 ステータス読み出しモードのリターンコマンド

ピン名	FO7	FO6	FO5	FO4	FO3	FO2	FO1	FO0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	—	—	書き込み or 消去回数 オーバ	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了：0 異常終了：1	コマンド エラー：1 その他：0	書き込み エラー：1 その他：0	消去 エラー：1 その他：0	—	—	回数 オーバー時：1 その他：0	有効アドレス エラー：1 その他：0

【注】 FO2、FO3 は未定です。

22.10.8 ステータスポーリング

- (1) FO7のステータスポーリングは、自動書き込み／自動消去モード時の動作状態を示すフラグです。
- (2) FO6のステータスポーリングは、自動書き込み／自動消去モード時の正常、または異常終了を示すフラグです。

表 22.21 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	—	正常終了
FO7	0	1	0	1
FO6	0	0	1	1
FO0~FO5	0	0	0	0

22.10.9 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 22.22 コマンド待ち状態までの遷移時間規定

項 目	記号	MIN	MAX	単 位
スタンバイ解除（発振安定時間）	t_{osc1}	20	—	ms
ライタモードセットアップ時間	t_{bmV}	10	—	ms
V_{CC} ホールド時間	t_{dwn}	0	—	ms

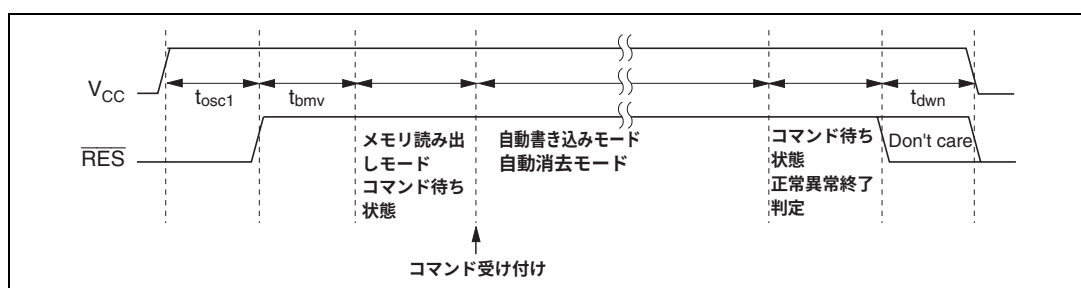


図 22.24 発振安定時間、ライタモードセットアップ、および電源立ち下げシーケンス

22.10.10 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行ったあとに自動書き込みをしてください。
- (2) オンボードプログラミングモードにて書き込み／消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行ったあとに自動書き込みを行うことを推奨します。

- 【注】
1. ルネサス テクノロジ出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1 回のみとします。

22.11 フラッシュメモリの書き込み／消去時の注意

オンボードプログラミングモード、およびライターモード使用時の注意事項を示します。

(1) 規定された電圧、タイミングで書き込み／消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。

PROM ライタは、ルネサス 64k バイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧 3.3V をサポートしているものを使用してください。

ライタの設定を HN28F101 や書き込み電圧を 5.0V にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。

(2) 電源投入／切断時の注意

V_{CC} 電源の印加／切断時は $\overline{RES}$ 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。

この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。

(3) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損うことなく書き込み、消去を行うことができます。また、FLMCR1 の P ビット、E ビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。

(4) SWE ビットのセット／クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

SWE ビットのセット／クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアしたあとに 100 μ s 以上の待ち時間をおいて行ってください。

SWE ビットをセットするとフラッシュメモリのデータを書き換えできますが、SWE=1 のときは、プログラムベリファイ／イレースベリファイモード以外ではフラッシュメモリを読み出すことはできません。ベリファイ（プログラム／イレース中のベリファイ）以外の目的で、フラッシュメモリをアクセスしないでください。

また、プログラム／イレース／ベリファイ中に SWE ビットのクリアを行わないでください。

(5) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

フラッシュメモリへの書き込み／消去を行う場合は、書き込み／消去動作を最優先とするため、NMI を含むすべての割り込み要求を禁止してください。

(6) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライターモードでも 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。

書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(7) **書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。**

PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

(8) **書き込み中はソケットアダプタや製品に手を触れないでください。**

接触不良などにより、書き込み不良になることがあります。

23. クロック発振器

23.1 概要

本 LSI は、クロック発振器 (CPG : Clock Pulse Generator) を内蔵しており、システムクロック (ϕ)、バスマスタクロック、および内部クロックを生成します。

クロック発振器は、発振器、デューティ補正回路、クロック選択回路、中速クロック分周器、バスマスタクロック選択回路、サブクロック入力回路、波形形成回路から構成されます。

23.1.1 ブロック図

クロック発振器のブロック図を図 23.1 に示します。

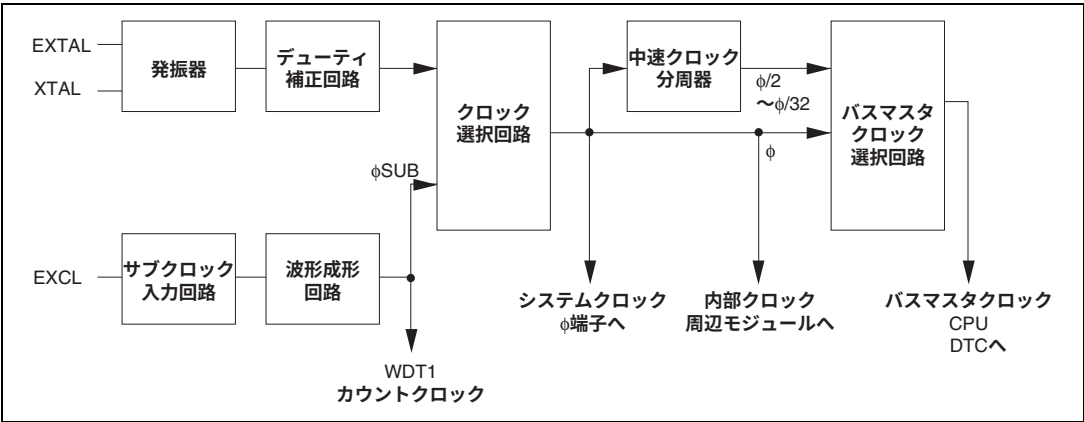


図 23.1 クロック発振器のブロック図

23.1.2 レジスタ構成

クロック発振器は、SBYCR、LPWRCR で制御されます。レジスタ構成を表 23.1 に示します。

表 23.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
スタンバイコントロールレジスタ	SBYCR	R/W	H'00	H'FF84
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FF85

【注】 * アドレスの下位 16 ビットを示しています。

23.2 各レジスタの説明

23.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	—	SCK2	SCK1	SCK0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W

SBYCR は 8 ビットのリード／ライト可能なレジスタで、低消費電力モードの制御を行います。

ここでは、ビット 2～0 についてのみ説明します。その他のビットの詳細については「24.2.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

SBYCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 2～0：システムクロックセレクト 2～0 (SCK2～SCK0)

高速モード、および中速モードでのバスマスタのクロックを選択します。

なお、サブアクティブモード、ウォッチモードに遷移して動作させる場合には、SCK2～SCK0 をすべて 0 としてください。

ビット 2	ビット 1	ビット 0	説 明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは $\phi/2$
	1	0	中速クロックは $\phi/4$
		1	中速クロックは $\phi/8$
1	0	0	中速クロックは $\phi/16$
		1	中速クロックは $\phi/32$
	1	—	—

23.2.2 ローパワーコントロールレジスタ (LPWRCR)

ビット :	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	EXCLE	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W (H8S/2149) :	R/W	R/W	R/W	R/W	—	—	—	—
R/W (H8S/2169) :	R/W	R/W	R/W	R/W	R/W	—	—	—

LPWRCR は 8 ビットのリード／ライト可能なレジスタで、低消費電力モードの制御を行います。

ここでは、ビット 4 についてのみ説明します。その他のビットの詳細については「24.2.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

LPWRCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 4：サブクロック入力イネーブル（EXCLE）

EXCL 端子からのサブクロック入力を制御します。

ビット 4	説 明
EXCLE	
0	EXCL 端子からのサブクロック入力禁止 (初期値)
1	EXCL 端子からのサブクロック入力許可

23.3 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

23.3.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 23.2 に示します。ダンピング抵抗 R_d は、表 23.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

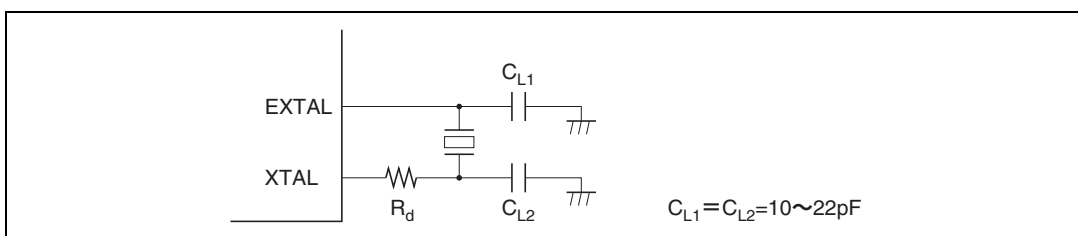


図 23.2 水晶発振子の接続例

表 23.2 ダンピング抵抗値

周波数 (MHz)	2	4	8	10
R_d (Ω)	1k	500	200	0

(2) 水晶発振子

図 23.3 に水晶発振子の等価回路を示します。水晶発振子は表 23.3 に示す特性のものを使用してください。

水晶発振子は、システムクロック (ϕ) と同一の周波数のものを使用してください。

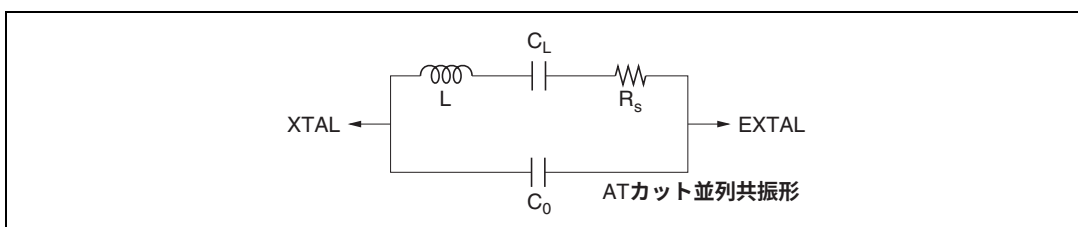


図 23.3 水晶発振子の等価回路

表 23.3 水晶発振子の特性

周波数 (MHz)	2	4	8	10
$R_s \text{ max } (\Omega)$	500	120	80	70
$C_o \text{ max } (\text{pF})$	7			

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通過させないでください（図 23.4）。誘導により正しい発振ができなくなる場合があります。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

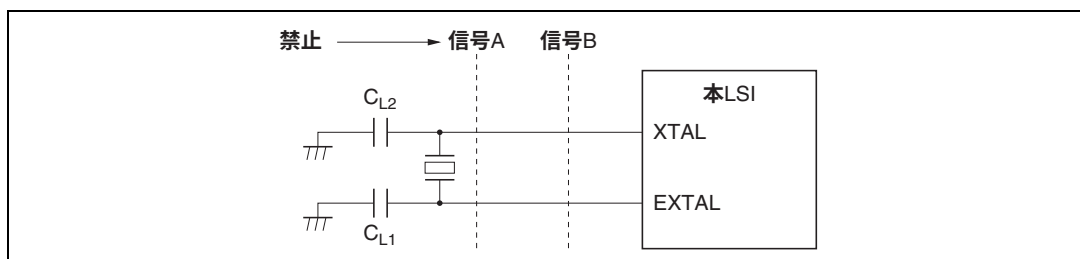


図 23.4 発振回路部のボード設計に関する注意事項

23.3.2 外部クロックを入力する方法

(1) 回路構成

外部クロック入力の接続例を図 23.5 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

図 23.5 (b) の場合、スタンバイモード、サブアクティブモード、サブスリープモード、およびウォッチモード時には外部クロックが High レベルになるようにしてください。

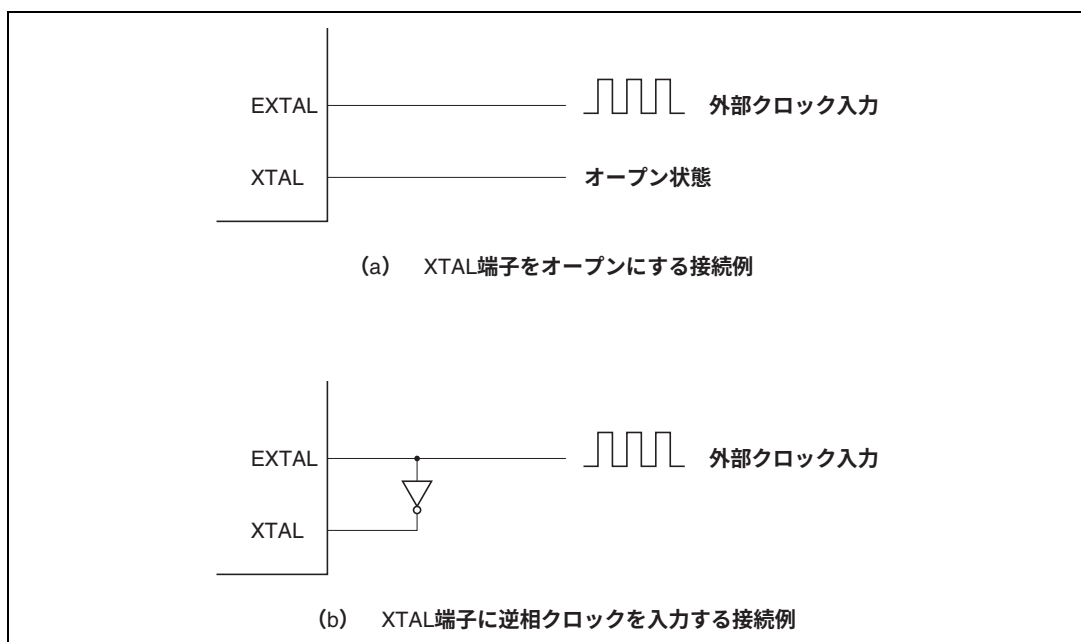


図 23.5 外部クロックの接続例

(2) 外部クロック

外部クロックは、システムクロック (ϕ) と同一の周波数としてください。
外部クロックの入力条件を表 23.4 および図 23.6 に示します。

表 23.4 外部クロック入力条件

項 目	記号	$V_{CC}=2.7\sim3.6V$		単位	測定条件	
		min	max			
外部クロック入力 パルス幅 Low レベル	t_{EXL}	40	—	ns	図 23.6	
外部クロック入力 パルス幅 High レベル	t_{EXH}	40	—	ns		
外部クロック 立ち上がり時間	t_{EXr}	—	10	ns		
外部クロック 立ち下がり時間	t_{EXf}	—	10	ns		
クロックパルス幅 Low レベル	t_{CL}	0.4	0.6	t_{cyc}	$\phi \geq 5MHz$	図 25.4
		80	—	ns	$\phi < 5MHz$	
クロックパルス幅 High レベル	t_{CH}	0.4	0.6	t_{cyc}	$\phi \geq 5MHz$	
		80	—	ns	$\phi < 5MHz$	

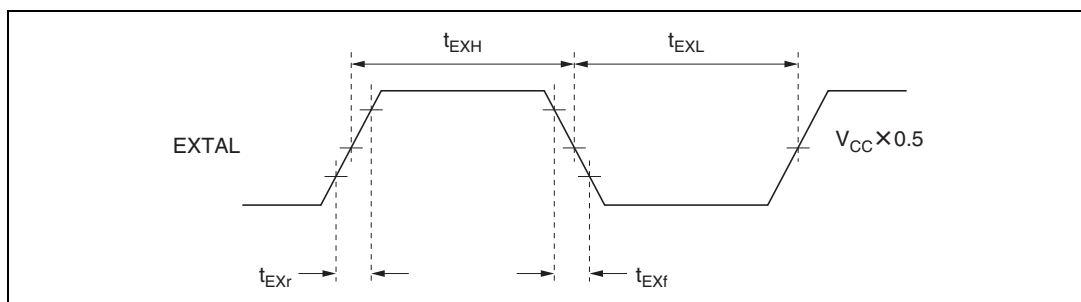


図 23.6 外部クロック入力タイミング

表 23.5 に外部クロック出力安定遅延時間、図 23.7 に外部クロック出力安定遅延時間タイミングを示します。発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロックの入力の波形を調整する機能を持っています。EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 (t_{DEXT}) 経過後に内部クロック信号出力が確定します。 t_{DEXT} 期間中はクロック信号出力が確定していないので、リセット信号を Low レベルにし、リセット状態に保持してください。

表 23.5 外部クロック出力安定遅延時間

[条件: $V_{CC}=2.7V\sim3.6V$ 、 $AV_{CC}=2.7V\sim3.6V$ 、 $V_{SS}=AV_{SS}=0V$]

項 目	記号	min.	max.	単位	備考
外部クロック出力安定遅延時間	t_{DEXT}^*	500	—	μs	図 23.7

【注】 * t_{DEXT} は、RES パルス幅 (t_{RESW}) を含みます。

23. クロック発振器

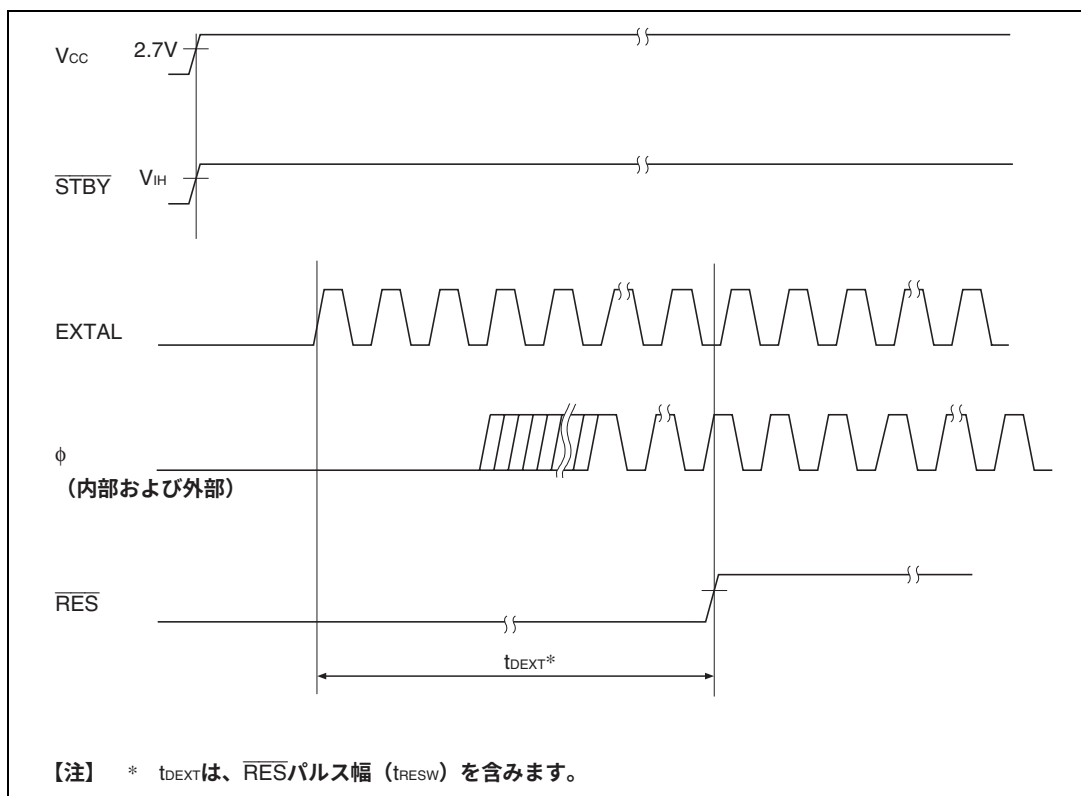


図 23.7 外部クロック出力安定遅延時間タイミング

23.4 デューティ補正回路

デューティ補正回路は、発振周波数 5MHz 以上の場合に有効になり、発振器の出力するクロックのデューティを補正し、システムクロック (ϕ) を生成します。

23.5 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ を生成します。

23.6 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを、SBYCR の SCK2～SCK0 ビットに従って、システムクロック (ϕ)、または中速クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) から選択します。

23.7 サブクロック入力回路

EXCL 端子からのサブクロック入力を制御します。

(1) サブクロックを入力する方法

サブクロックを使用する場合は、EXCL 端子から 32.768KHz の外部クロックを入力してください。このとき、P9DDR の P96DDR ビットを 0 にクリアし、LPWRCR の EXCLE ビットを 1 にセットしてください。

サブクロックの入力条件を表 23.6 および図 23.8 に示します。

表 23.6 サブクロック入力条件

項 目	記号	$V_{CC}=2.7\sim 3.6V$			単位	測定条件
		min	typ	max		
サブクロック入力パルス幅 Low レベル	t_{EXCLL}	—	15.26	—	μs	図 23.8
サブクロック入力パルス幅 High レベル	t_{EXCLH}	—	15.26	—	μs	
サブクロック入力立ち上がり時間	t_{EXCLr}	—	—	10	ns	
サブクロック入力立ち下がり時間	t_{EXCLf}	—	—	10	ns	

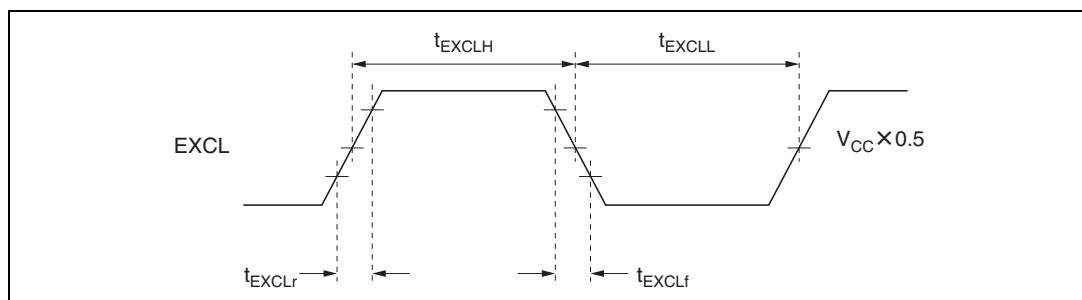


図 23.8 サブクロック入力タイミング

(2) サブクロックを必要としない場合

サブクロックを必要としない場合には、サブクロック入力をイネーブルにしないでください。

(3) サブクロック使用上の注意

低消費電力モード遷移時に、32kHz クロック入力許可 (EXCLE=1) から、SLEEP 命令実行 (低消費電力モード遷移) までの間に、32kHz クロックの取り込み (2 サイクル以上) が行われないと、サブクロック入力回路が初期化されず、マイコンが動作不具合を起こす場合があります。

サブクロックを使用する場合、32kHz クロック入力許可 (EXCLE=1) から、32kHz クロックの取り込み (2 サイクル分以上) を実施したうえで、低消費電力モードへ遷移してください。

また、サブクロックを使わない場合は、サブクロック入力をイネーブルにしない (EXCLE=0) してください。

23.8 サブクロック波形成形回路

EXCL 端子から入力されたサブクロックのノイズ除去のため、 ϕ クロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。詳細は、「24.2.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

サブアクティブモード、サブスリープモード、およびウォッチモードでは、サンプリングされません。

23.9 クロック選択回路

マイコン内部で使用するシステムクロックを選択します。

高速モード、中速モード、スリープモード、リセット状態、スタンバイモードからの復帰時には、EXTAL、XTAL 端子の発振器で生成されるクロックをシステムクロックとして選択します。

サブアクティブモード、サブスリープモード、ウォッチモードでは、EXCL 端子から入力されるサブクロックをシステムクロックとして選択します。このとき、CPU、TMR0、1、WDT0、1、ポート、割り込みなどのモジュールおよび機能は ϕ_{SUB} により動作し、各タイマのカウントクロックやサンプリングクロックも ϕ_{SUB} を分周したクロックとなります。

【注】 クロック選択回路は、図 23.1 を参照してください。

23.10 X1、X2 の端子処理

図 23.9 に示すように X1、X2 端子をオープンとしてください。

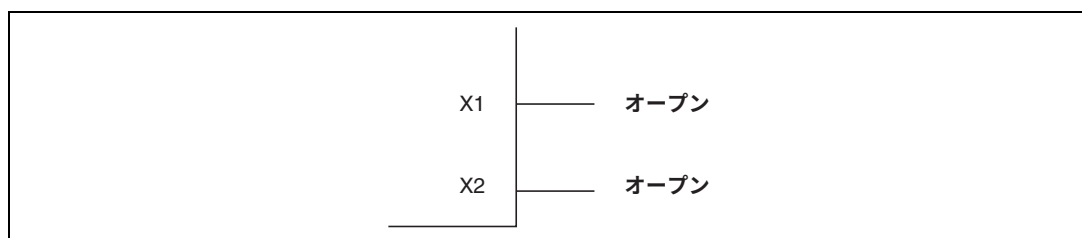


図 23.9 X1、X2 の端子処理

24. 低消費電力状態

24.1 概要

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、

- (1) 高速モード
- (2) 中速モード
- (3) サブアクティブモード
- (4) スリープモード
- (5) サブスリープモード
- (6) ウォッチモード
- (7) モジュールストップモード
- (8) ソフトウェアスタンバイモード
- (9) ハードウェアスタンバイモード

があり、(2)～(9)が低消費電力状態です。スリープモード、サブスリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、サブアクティブモードは CPU とバスマスタ、内蔵周辺機能の状態、モジュールストップモードは内蔵周辺機能(CPU 以外のバスマスタも含む)の状態です。これらは一部組み合わせて設定することができます。

リセット後は、高速モードかつモジュールストップモード (DTC を除く) になっています。

表 24.1 に各モードでの LSI の内部状態、**表 24.2** に低消費電力モード遷移条件を示します。

また、**図 24.1** に、モード遷移図を示します。

24. 低消費電力状態

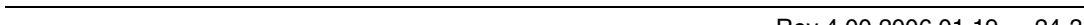
表 24.1 各モードでの LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ
システムクロック 発振器		動作	動作	動作	動作	停止	停止	停止	停止	停止
サブクロック入力		動作	動作	動作	動作	動作	動作	動作	停止	停止
CPU 動作	命令	動作	中速動作	停止	動作	停止	サブ クロック 動作	停止	停止	停止
	レジスタ			保持		保持				
外部 割り込み	NMI	動作	動作	動作	動作	動作	動作	動作	動作	停止
	IRQ0									
	IRQ1									
	IRQ2									
周辺機能の 動作	DTC	動作	中速動作	動作	動作/停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	WDT1				動作	サブ クロック 動作	サブ クロック 動作	サブ クロック 動作	停止 (保持)	停止 (リセット)
	WDT0					停止 (保持)				
	TMR0,1				動作/停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	FRT									
	TMRX,Y									
	タイマ コネクシ ョン									
	IIC0									
	IIC1									
	HIF : Lpc									
	SCI0				動作/停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
	SCI1									
	SCI2									
	PWM									
	PWMX									
	HIF : XBS, PS2									
	D/A									
	A/D									
	RAM	動作	動作	動作 (DTC)	動作	保持	動作	保持	保持	保持
	I/O									
		動作	動作	動作	動作	保持	動作	動作	保持	ハイレベル ダンス

【注】 停止（保持）は、内部レジスタ値保持。内部状態は動作中断。

停止（リセット）は、内部レジスタ値および内部状態を初期化。

モジュールストップモード時は、停止設定をしたモジュールのみ停止（リセットまたは保持）。



24. 低消費電力状態

表 24.2 低消費電力モード遷移条件

遷移前の状態	遷移時の制御ビット状態				SLEEP 命令による 遷移後の状態	割り込みによる 復帰後の状態
	SSBY	PSS	LSON	DTON		
高速／中速	0	*	0	*	スリープ	高速／中速
	0	*	1	*	—	—
	1	0	0	*	ソフトウェアスタンバイ	高速／中速
	1	0	1	*	—	—
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	—	—
	1	1	1	1	サブアクティブ	—
サブアクティブ	0	0	*	*	—	—
	0	1	0	*	—	—
	0	1	1	*	サブスリープ	サブアクティブ
	1	0	*	*	—	—
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	高速	—
	1	1	1	1	—	—

【記号説明】

* : Don't care

— : 設定しないでください。

24.1.1 レジスタ構成

低消費電力状態は、SBYCR、LPWRCR、TCSR（WDT1）、MSTPCR で制御されます。レジスタ構成を表 24.3 に示します。

表 24.3 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
スタンバイコントロールレジスタ	SBYCR	R/W	H'00	H'FF84* ²
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FF85* ²
タイマコントロール／ステータスレジスタ（WDT1）	TCSR	R/W	H'00	H'FFEA
モジュールストップコントロールレジスタ	MSTPCR ^H	R/W	H'3F	H'FF86* ²
	MSTPCRL	R/W	H'FF	H'FF87* ²

【注】 *¹ アドレスの下位 16 ビットを示しています。

*² 低消費電力状態の制御レジスタの一部の CPU アクセスは、シリアルタイマコントロールレジスタ（STCR）の FLSHE ビットで制御されます。

24.2 各レジスタの説明

24.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット：	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	—	SCK2	SCK1	SCK0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W

SBYCR は 8 ビットのリード／ライト可能なレジスタで、低消費電力モードの制御を行います。

SBYCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7：ソフトウェアスタンバイ (SSBY)

SLEEP 命令実行による低消費電力遷移時に、他の制御ビットとの組み合わせで動作モードを決定します。

なお、割り込みなどによってモード間遷移をした場合でも SSBY ビットの内容は変わりません。

ビット 7	説明
SSBY	
0	高速モードおよび中速モードで SLEEP 命令を実行したとき、スリープモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモードに遷移 (初期値)
1	高速モードおよび中速モードで SLEEP 命令を実行したとき、ソフトウェアスタンバイモード、サブアクティブモード、あるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモード、あるいは高速モードに遷移

ビット 6～4：スタンバイタイムセレクト 2～0 (STS2～STS0)

特定の割り込みや命令によってソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードを解除し、高速モードあるいは中速モードに遷移する場合に、クロックが安定するまで MCU が待機する時間を選択します。水晶発振の場合、表 24.4 を参照し、動作周波数に応じて待機時間が 8ms（発振安定時間）以上となるように選択してください。外部クロックの場合、任意の選択が可能です。

24. 低消費電力状態

ビット 6	ビット 5	ビット 4	説 明
STS2	STS1	STS0	
0	0	0	待機時間=8192 ステート (初期値)
		1	待機時間=16384 ステート
	1	0	待機時間=32768 ステート
		1	待機時間=65536 ステート
1	0	0	待機時間=131072 ステート
		1	待機時間=262144 ステート
	1	0	リザーブ
		1	待機時間=16 ステート*

【注】 * フラッシュメモリ内蔵版では、本設定は使用しないでください。

ビット 3：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 2～0：システムクロックセレクト 2～0 (SCK2～SCK0)

高速モード、および中速モードでのバスマスタのクロックを選択します。

なお、サブアクティブモード、ウォッチモードに遷移して動作させる場合には、SCK2～SCK0 をすべて 0 としてください。

ビット 2	ビット 1	ビット 0	説 明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは $\phi/2$
	1	0	中速クロックは $\phi/4$
		1	中速クロックは $\phi/8$
1	0	0	中速クロックは $\phi/16$
		1	中速クロックは $\phi/32$
	1	—	—

24.2.2 ローパワーコントロールレジスタ (LPWRCR)

ビット：	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	EXCLE	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	—	—	—	—

LPWRCR は 8 ビットのリード／ライト可能なレジスタで、低消費電力モードの制御を行います。

LPWRCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7：ダイレクトトランスファオンフラグ (DTON)

SLEEP 命令実行による低消費電力遷移時に、高速モード、中速モードとサブアクティブモードの各モード間を直接遷移するか否かを指定します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組み合わせで決定します。

ビット 7	説 明
DTON	
0	- 高速モード、あるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 - サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 (初期値)
1	- 高速モード、あるいは中速モードで SLEEP 命令を実行したとき、サブアクティブモード*に直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移 - サブアクティブモードで SLEEP 命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

24. 低消費電力状態

ビット 6：ロースピードオンフラグ (LSON)

SLEEP 命令実行による低消費電力遷移時に、他の制御ビットとの組み合わせで動作モードを決定します。また、ウォッチモードを解除時に、高速モードに遷移するかサブアクティブモードに遷移するかを制御します。

ビット 1	説 明
LSON	
0	・ 高速モード、あるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 ・ サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモードに遷移、または高速モードに直接遷移 ・ ウォッチモード解除後に高速モードに遷移 (初期値)
1	・ 高速モードで SLEEP 命令を実行したとき、ウォッチモード、またはサブアクティブモード*に遷移 ・ サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 ・ ウォッチモード解除後にサブアクティブモードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

ビット 5：ノイズ除去サンプリング周波数選択 (NESEL)

EXCL 端子より入力されたサブクロック (ϕ_{SUB}) を、システムクロック発振器より生成されたクロック (ϕ) により、サンプリングする周波数を選択します。 $\phi=5\text{MHz}$ 以上のときは、0 をセットしてください。

ビット 1	説 明
NESEL	
0	ϕ の 32 分周クロックでサンプリング (初期値)
1	ϕ の 4 分周クロックでサンプリング

ビット 4：サブクロック入力イネーブル (EXCLE)

EXCL 端子からのサブクロック入力を制御します。

ビット 1	説 明
EXCLE	
0	EXCL 端子からのサブクロック入力禁止 (初期値)
1	EXCL 端子からのサブクロック入力許可

ビット 3 (H8S/2149)：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 3 (H8S/2169)：リザーブビット

1 をライトしないでください。

ビット 2～0：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

24.2.3 タイマコントロール／ステータスレジスタ（TCSR）**■TCSR1**

ビット：	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

TCSR1 は、リード／ライト可能な 8 ビットのレジスタで、WDT1 の TCNT に入力するクロック、モードの選択などを行います。

ここでは、ビット 4 についてのみ説明します。その他のビットの詳細については「14.2.2 タイマコントロール／ステータスレジスタ（TCSR）」を参照してください。

TCSR1 は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 4：プリスケラセレクト（PSS）

WDT1 の TCNT の入力クロックソースを選択します。

また、低消費電力モード遷移時の動作を制御します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットとの組み合わせで決定します。

詳細は、「14.2.2 タイマコントロール／ステータスレジスタ（TCSR）」のクロックセレクト 2～0 の説明および本章を参照してください。

ビット 4	説 明
PSS	
0	• TCNT はϕベースのプリスケラ（PSM）の分周クロックをカウント • 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモードに遷移（初期値）
1	• TCNT はϕSUB ベースのプリスケラ（PSS）の分周クロックをカウント • 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ウォッチモード*、サブアクティブモード*に遷移 • サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、ウォッチモード、高速モードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

24.2.4 モジュールストップコントロールレジスタ（MSTPCR）

MSTPCR _H								MSTPCR _L								
ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0
初期値:	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCR は 8 ビットのリード／ライト可能な 2 本のレジスタで、モジュールストップモードの制御を行います。

MSTPCR は、リセットまたはハードウェアスタンバイモード時に H'3FFF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCR_H、MSTPCR_L ビット 7～0：モジュールストップ（MSTP15～MSTP0）

モジュールストップモードを指定します。内蔵周辺機能の選択方法は表 24.3 を参照してください。

MSTPCR _H 、 MSTPCR _L ビット 7～0		
MSTP15～MSTP0	説 明	
0	モジュールストップモード解除	(MSTP15、MSTP14 の初期値)
1	モジュールストップモード設定	(MSTP13～MSTP0 の初期値)

24.3 中速モード

高速モード時に SBYCR の SCK2～SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は、SCK2～SCK0 ビットで指定した動作クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) で動作します。CPU 以外のバスマスタ (DTC) も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック (ϕ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。たとえば、動作クロックとして $\phi/4$ を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2～SCK0 ビットをいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビット=1、LPWRCR の LSON ビット=0、TCSR (WDT1) の PSS ビット=0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると、中速モードに復帰します。

RES 端子を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバフローによるリセットによっても同様です。

STBY 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 24.2 に示します。

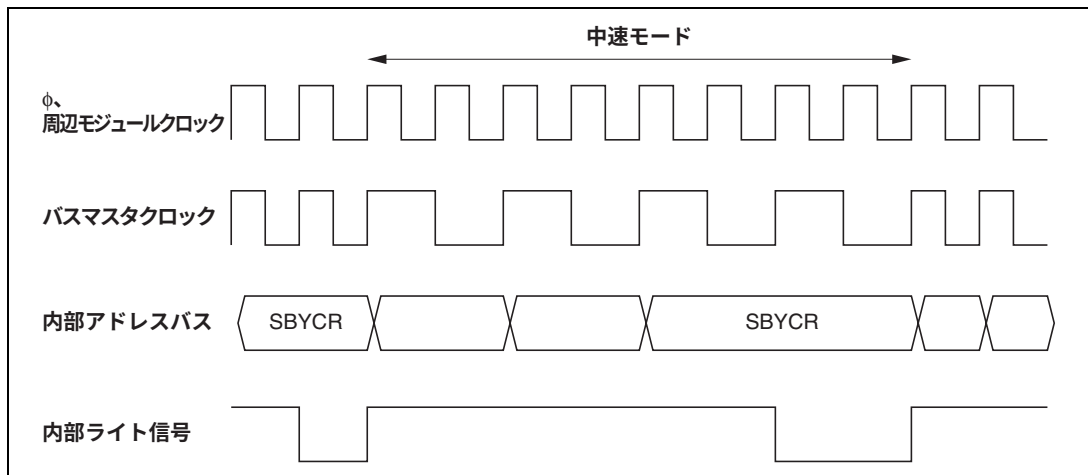


図 24.2 中速モードの遷移・解除タイミング

24.4 スリープモード

24.4.1 スリープモード

SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

24.4.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合には、スリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

24.5 モジュールストップモード

24.5.1 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

MSTP ビットと内蔵周辺機能の対応を表 24.4 に示します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI、A/D 変換器、8 ビット PWM、14 ビット PWM を除くモジュールの内部状態が保持されています。

リセット解除後は、DTC を除くすべてのモジュールがモジュールストップモードになっています。モジュールストップモードに設定されたモジュールのレジスタは、リード／ライトできません。

表 24.4 MSTP ビットと内蔵周辺機能の対応

レジスタ	ビット	モジュール
MSTPCR _H	MSTP15*	—
	MSTP14	データトランスファコントローラ (DTC)
	MSTP13	16 ビットフリーランニングタイマ (FRT)
	MSTP12	8 ビットタイマ (TMR0、TMR1)
	MSTP11	8 ビット PWM タイマ (PWM)、14 ビット PWM タイマ (PWMX)
	MSTP10	D/A 変換器
	MSTP9	A/D 変換器
	MSTP8	8 ビットタイマ (TMRX、TMRY)、タイマコネクション
MSTPCR _L	MSTP7	シリアルコミュニケーションインタフェース 0 (SCI0)
	MSTP6	シリアルコミュニケーションインタフェース 1 (SCI1)
	MSTP5	シリアルコミュニケーションインタフェース 2 (SCI2)
	MSTP4	I ² C バスインタフェース (IIC) チャンネル 0
	MSTP3	I ² C バスインタフェース (IIC) チャンネル 1
	MSTP2	ホストインタフェース (HIF:XBS)、 キーボードマトリクス割り込みマスクレジスタ (KMIMR)、 キーボードマトリクス割り込みマスクレジスタ A (KMIMRA)、 ポート 6 プルアップ MOS コントロールレジスタ (KMPCR)、 キーボードバッファコントローラ (PS2)
	MSTP1	—
	MSTP0	ホストインタフェース (HIF:LPC)、 ウェイクアップイベント割り込みマスクレジスタ B (WUEMRB)

【注】 ビット 1 はリード／ライトできますが、動作に影響を与えません。

* ビット 15 は 1 にセットしないでください。

24.5.2 使用上の注意

DTC のモジュールストップモードの設定と、DTC のバス権要求が競合すると、バス権要求が優先され、MSTP ビットは 1 にセットされません。

DTC のバスサイクル終了後に再び MSTP ビットに 1 をライトしてください。

24.6 ソフトウェアスタンバイモード

24.6.1 ソフトウェアスタンバイモード

SBYCR の SSBY ビット=1、LPWRCR の LSON ビット=0、TCSR (WDT1) の PSS=0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータおよび SCI、PWM、PWMX を除く内蔵周辺機能と I/O ポートの状態は保持されます。

本モードでは、発振器が停止するため、消費電力は著しく低減されます。

24.6.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み (NMI 端子、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$ 端子)、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

NMI、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$ 割り込み要求信号が入力されると、クロックが発振を開始し、SBYCR の STS2 $\sim$ STS0 ビットによって設定された時間が経過したあと、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

なお、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$ 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、または CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

24.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS2～STS0 ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が 8ms（発振安定時間）以上となるように STS2～STS0 ビットを設定してください。

表 24.5 に、動作周波数と STS2～STS0 ビットの設定に対する待機時間を示します。

表 24.5 発振安定時間の設定

STS2	STS1	STS0	待機時間	10MHz	8MHz	6MHz	4MHz	2MHz	単位
0	0	0	8192 ステート	0.8	1.0	1.3	2.0	4.1	ms
		1	16384 ステート	1.6	2.0	2.7	4.1	8.2	
	1	0	32768 ステート	3.3	4.1	5.5	8.2	16.4	
		1	65536 ステート	6.6	8.2	10.9	16.4	32.8	
1	0	0	131072 ステート	13.1	16.4	21.8	32.8	65.5	
		1	262144 ステート	26.2	32.8	43.6	65.6	131.2	
	1	0	リザーブ	—	—	—	—	—	
		1	16 ステート*	1.6	2.0	2.7	4.0	8.0	

☐ : 推奨設定時間

【注】 * H8S/2149、H8S/2169 の最大動作周波数は 10MHz です。
フラッシュメモリ内蔵版では、本設定は使用しないでください。

(2) 外部クロックの場合

任意の値を設定可能です。通常の場合は最小時間の使用を推奨します。

24.6.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 24.3 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ指定）状態で、NMI 割り込みを受け付けたあと、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットしたあと、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

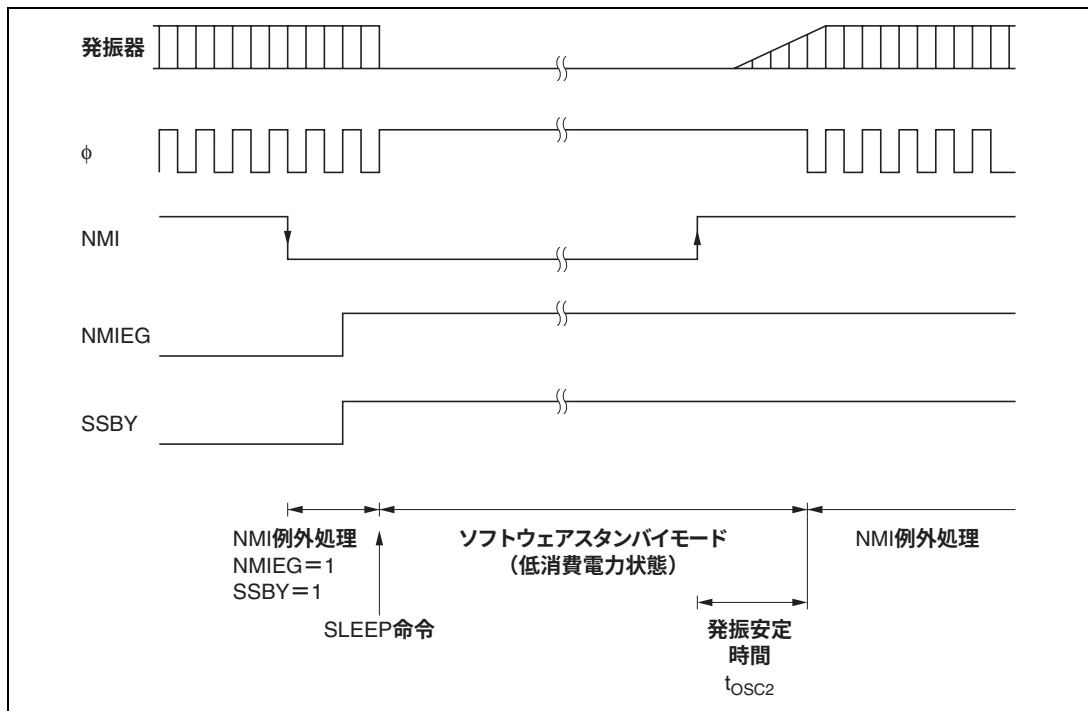


図 24.3 ソフトウェアスタンバイモードの応用例

24.6.5 使用上の注意

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

発振安定待機中は消費電流が増加します。

24.7 ハードウェアスタンバイモード

24.7.1 ハードウェアスタンバイモード

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

また、ハードウェアスタンバイモード中には、モード端子 (MD1、MD0) の状態を変化させないでください。

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで（水晶発振の場合、発振安定時間 8ms 以上）Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

24.7.2 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 24.4 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにしたあと、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

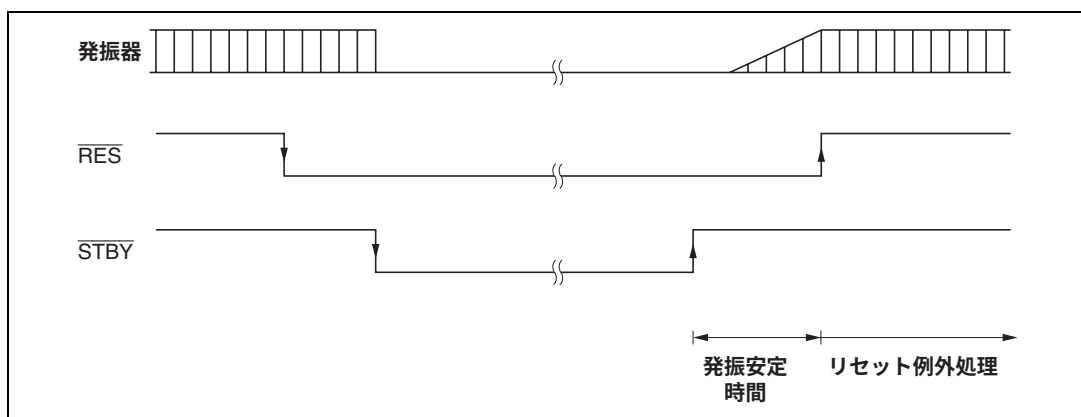


図 24.4 ハードウェアスタンバイモードのタイミング

24.8 ウォッチモード

24.8.1 ウォッチモード

高速モードあるいはサブアクティブモードにおいて、SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=0、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモード時、CPU は動作を停止します。また、WDT1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

24.8.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み (WOV1I 割り込み、NMI 端子、 $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$ 端子)、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込みが発生すると、ウォッチモードは解除され、LPWRCR の LSON ビット=0 のときは高速モードあるいは中速モードに、LSON ビット=1 のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCR の STS2~STS0 により設定された時間が経過したあと、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、 $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ6}}$ 、 $\overline{\text{IRQ7}}$ 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能による割り込みについては、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

ウォッチモードから高速モードに遷移するときの発振安定時間の設定は、「24.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「24.6.2 ソフトウェアスタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

24.9 サブスリープモード

24.9.1 サブスリープモード

サブアクティブモードにおいて、SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=1、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、CPU はサブスリープモードに遷移します。

サブスリープモード時、CPU は動作を停止します。また、TMR0、TMR1、WDT0、WDT1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

24.9.2 サブスリープモードの解除

サブスリープモードの解除は、割り込み（内蔵周辺機能からの割り込み、NMI 端子、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ7}}$ 端子）、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込みが発生すると、サブスリープモードは解除され、割り込み例外処理を開始します。

なお、IRQ0～IRQ7 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能からの割り込みについては、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合には、サブスリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「24.6.2 ソフトウェアスタンバイモードの解除 (2) RES 端子による解除」を参照してください。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

24.10 サブアクティブモード

24.10.1 サブアクティブモード

高速モードにおいて、SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=1、LSON ビット=1、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、CPU はサブアクティブモードに遷移します。また、ウォッチモードで割り込みが発生したとき、LPWRCR の LSON ビット=1 の状態であれば、サブアクティブモードに直接遷移します。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPU はサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、TMR0、TMR1、WDT0、WDT1 以外の周辺機能は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SBYCR の SCK2～SCK0 の各ビットを必ず 0 としてください。

24.10.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP 命令、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) SLEEP 命令による解除

SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=0、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行するとサブアクティブモードは解除され、ウォッチモードに遷移します。また、SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=1、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、サブスリープモードに遷移します。また、SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=1、LSON ビット=0、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、高速モードに直接遷移します。

直接遷移の詳細は「24.11 直接遷移」を参照してください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「24.6.2 ソフトウェアスタンバイモードの解除 (2) RES 端子による解除」を参照してください。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

24.11 直接遷移

24.11.1 直接遷移の概要

CPU がプログラムを実行している動作モードには高速モード、中速モード、サブアクティブモードの3つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく遷移することを直接遷移とよびます。直接遷移は LPWRCR の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移例外処理を開始します。

(1) 高速モードからサブアクティブモードへの直接遷移

高速モードで SBYCR の SSBY ビット=1、LPWRCR の LSON ビット=1、DTON ビット=1、TSCR (WDT1) の PSS ビット=1 にセットした状態で SLEEP 命令を実行すると、サブアクティブモードに遷移します。

(2) サブアクティブモードから高速モードへの直接遷移

サブアクティブモードで SBYCR の SSBY ビット=1、LPWRCR の LSON ビット=0、DTON ビット=1、TSCR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、SBYCR の STS2~STS0 により設定された時間を経過したあと、直接高速モードに遷移します。

24.12 使用上の注意事項

24.12.1 内蔵周辺モジュールの割り込み

• サブアクティブモード／ウォッチモード

サブアクティブモードで動作停止する内蔵周辺モジュール (DTC、FRT、TMRX、TMRY、タイマコネクション、IIC) は、当該割り込みをサブアクティブモードでクリアできません。したがって、割り込み要求された状態でサブアクティブモードに遷移すると、CPU の割り込み要因のクリアができません。

事前に各モジュールの割り込みをディスエーブルにしたあと、SLEEP 命令を実行しサブアクティブモード／ウォッチモードに遷移してください。

24.12.2 サブアクティブモード／ウォッチモード遷移と DTC のモジュールストップ

サブアクティブモード、ウォッチモードに遷移する場合は、DTC をモジュールストップ (MSTP14 ビットに 1 ライト) 設定し、MSTP14 ビットの 1 リード確認後、モード遷移してください。サブアクティブモードからアクティブモードに遷移後、モジュールストップ解除してください。

なお、サブアクティブモード中に DTC 起動要因が発生した場合、アクティブモードに遷移後モジュールストップ解除時に DTC が起動されます。

25. 電気的特性

25.1 絶対最大定格

絶対最大定格を表 25.1 に示します。

表 25.1 絶対最大定格

項 目	記号	定格値	単位
電源電圧	V_{CC} 、 V_{CL}	- 0.3～+ 4.3	V
入出力バッファ電源電圧	V_{CCB}	- 0.3～+ 7.0	V
入力電圧 (ポート 6、7、A 以外) (H8S/2169 にはポート C、D を追加)	V_{in}	- 0.3～ $V_{CC} + 0.3$	V
入力電圧 (ポート 6 で CIN 入力非選択時)	V_{in}	- 0.3～ $V_{CC} + 0.3$	V
入力電圧 (ポート A で CIN 入力非選択時) (H8S/2169 にはポート E～G を追加)	V_{in}	- 0.3～ $V_{CCB} + 0.3$	V
入力電圧 (ポート 6 で、CIN 入力選択時)	V_{in}	- 0.3～ $V_{CC} + 0.3$ と - 0.3～ $AV_{CC} + 0.3$ の いずれか低い方の電圧値	V
入力電圧 (ポート A で、CIN 入力選択時)	V_{in}	- 0.3～ $V_{CCB} + 0.3$ と - 0.3～ $AV_{CC} + 0.3$ の いずれか低い方の電圧値	V
入力電圧 (ポート 7)	V_{in}	- 0.3～ $AV_{CC} + 0.3$	V
リファレンス電源電圧	AV_{ref}	- 0.3～ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3～+ 4.3	V
アナログ入力電圧	V_{AN}	- 0.3～ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	-20～+ 75	°C
動作温度 (FLASH メモリ書き込み／消去時)	T_{opr}	-20～+ 75	°C
保存温度	T_{stg}	- 55～+ 125	°C

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

V_{CC} 、 AV_{CC} 、 V_{CL} 端子の電圧によって最大定格が決まる端子については、印加電圧が 4.3V を超えることのないよう、また V_{CCB} によって最大定格が決まる端子については印加電圧が 7.0V を超えることのないよう注意してください。

25.2 DC 特性

DC 特性を表 25.2 に示します。また、出力許容電流値、バス駆動特性をそれぞれを表 25.3、表 25.4 に示します。

表 25.2 DC 特性 (1)

条件: $V_{CC}=2.7V\sim 3.6V^{*9}$ 、 $V_{CCB}=2.7V\sim 5.5V$ 、 $AV_{CC}^{*1}=2.7V\sim 3.6V$ 、 $AV_{ref}^{*1}=2.7V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}^{*1}=0V$ 、 $T_a=-20\sim +75^{\circ}C$

項 目			記号	min	typ	max	単位	測定条件	
シュミット トリガ入力電圧	P67～P60 ^{*2*6} 、 KIN15～KIN8 ^{*7} 、 IRQ2～IRQ0 ^{*3} 、 IRQ5～IRQ3	(1) ^{*8}	V_T^-	$V_{cc} \times 0.2$ $V_{cc}B \times 0.2$	—	—	V		
			V_T^+	—	—	$V_{cc} \times 0.7$ $V_{cc}B \times 0.7$			
			$V_T^+ - V_T^-$	$V_{cc} \times 0.05$ $V_{cc}B \times 0.05$	—	—			
シュミット トリガ入力電圧 (レベル切り替 え時) ^{*6}	P67～P60 (KWUL＝00)		V_T^-	$V_{cc} \times 0.2$	—	—	V		
			V_T^+	—	—	$V_{cc} \times 0.7$			
			$V_T^+ - V_T^-$	$V_{cc} \times 0.05$	—	—			
	P67～P60 (KWUL＝01)		V_T^-	$V_{cc} \times 0.3$	—	—			
			V_T^+	—	—	$V_{cc} \times 0.7$			
			$V_T^+ - V_T^-$	$V_{cc} \times 0.05$	—	—			
	P67～P60 (KWUL＝10)		V_T^-	$V_{cc} \times 0.4$	—	—			
			V_T^+	—	—	$V_{cc} \times 0.8$			
			$V_T^+ - V_T^-$	$V_{cc} \times 0.03$	—	—			
	P67～P60 (KWUL＝11)		V_T^-	$V_{cc} \times 0.45$	—	—			
			V_T^+	—	—	$V_{cc} \times 0.9$			
			$V_T^+ - V_T^-$	0.05	—	—			
入力 High レベル電圧	RES、STBY、NMI、MD1、 MD0	(2)	V_{IH}	$V_{cc} \times 0.9$	—	$V_{cc} + 0.3$	V		
	EXTAL			$V_{cc} \times 0.7$	—	$V_{cc} + 0.3$			
	PA7～PA0 ^{*7} (H8S/2169 にはポート E～ G を追加)			$V_{cc}B \times 0.7$	—	$V_{cc}B + 0.3$			
	ポート 7			$V_{cc} \times 0.7$	—	$AV_{cc} + 0.3$			
	上記(1)(2)以外の入力端子 (H8S/2169 にはポート C、D を追 加)			$V_{cc} \times 0.7$	—	$V_{cc} + 0.3$			
入力 Low レベル電圧	RES、STBY、MD1、MD0	(3)	V_{IL}	- 0.3	—	$V_{cc} \times 0.1$	V	$V_{cc}B = 2.7V \sim 4.0V$ $V_{cc}B = 4.0V \sim 5.5V$ $V_{cc} = 2.7V \sim 3.6V$	
	PA7～PA0 (H8S/2169 にはポート E～ G を追加)			- 0.3	—	$V_{cc}B \times 0.2$ 0.8			
				- 0.3	—	$V_{cc} \times 0.2$			
	NMI、EXTAL ほか、上記(1)(3)以外 の入力端子 (H8S/2169 にはポート C、D を追加)								

項 目		記号	min	typ	max	単位	測定条件
出力 High レベル電圧	全出力端子 (P97、P52 を除く ^{*4)} ^{*5*} ^{*8} (H8S/2169 にはポート C~G ^{*8} を 追加)	V_{OH}	$V_{CC} - 0.5$ $V_{CC}B - 0.5$	—	—	V	$I_{OH} = -200\mu A$
			$V_{CC} - 1.0$ $V_{CC}B - 1.0$	—	—	V	$I_{OH} = -1mA$ ($V_{CC} = 2.7V \sim 3.6V$ 、 $V_{CC}B = 2.7V \sim 4.5V$)
	P97、P52 ^{*4}		0.5	—	—	V	$I_{OH} = -200\mu A$
出力 Low レベル電圧	全出力端子(RESO を除く) ^{*5} (H8S/2169 にはポート C~G ^{*8} を 追加)	V_{OL}	—	—	0.4	V	$I_{OL} = 1.6mA$
	ポート 1~3		—	—	1.0	V	$I_{OL} = 5mA$
	RESO		—	—	0.4	V	$I_{OL} = 1.6mA$

- 【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。
A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続するなどの方法で 2.0V~3.6V の範囲の電圧を印加してください。このとき、 $AV_{ref} \leq AV_{CC}$ としてください。
- *2 P67~P60 にはそれと兼用の周辺機能入力を含みます。
- *3 $\overline{IRQ2}$ には、それと兼用の $\overline{ADTRG}$ 端子を含みます。
- *4 P52/SCK0/SCL0、P97/SDA0 は NMOS プッシュプル出力です。
SCL0、SDA0 (ICE=1) から High レベル出力するためにはプルアップ抵抗を外付けする必要があります。
P52/SCK0、P97 (ICE=0) の High レベルは NMOS で駆動されます。
SCK0 端子を出力として使用する場合は、High レベルを出力するため、プルアップ抵抗を外付けする必要があります。
- *5 IICS=0、ICE=0、および KBIOE=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別途定めます。
- *6 ポート 6 の印加電圧の上限は、CIN 入力非選択時は $V_{CC}+0.3V$ 、CIN 入力選択時は $V_{CC}+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *7 ポート A の印加電圧の上限は、CIN 入力非選択時は $V_{CC}B+0.3V$ 、CIN 入力選択時は $V_{CC}B+0.3V$ と $AV_{CC}+0.3V$ のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。
- *8 ポート A の特性は、 $V_{CC}B$ 依存、その他の端子の特性は V_{CC} 依存です。H8S/2169 のポート E~G の特性は $V_{CC}B$ 依存、ポート C、D の特性は V_{CC} 依存です。
- *9 フラッシュメモリへの書き込み/消去動作は、 $V_{CC} = 3.0V \sim 3.6V$ の範囲としてください。

25. 電氣的特性

表 25.2 DC 特性 (2)

条件: $V_{CC}=2.7V\sim 3.6V^{*5}$ 、 $V_{CCB}=2.7V\sim 5.5V$ 、 $AV_{CC}^{*1}=2.7V\sim 3.6V$ 、 $AV_{ref}^{*1}=2.7V\sim AV_{CC}$ 、 $V_{SS}=AV_{SS}^{*1}=0V$ 、 $T_a=-20\sim +75^{\circ}C$

項 目			記号	min	typ	max	単位	測定条件
入力リーク電流	RES		$ I_{in} $	—	—	10.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$
	STBY、NMI、MD1～MD0			—	—	1.0		
	ポート 7			—	—	1.0		$V_{in}=0.5\sim AV_{CC}-0.5V$
スリープステート リーク電流 (オフ状態)	ポート 1～6 ポート 8、9、A ^{*4} 、B (H8S/2169 にはポート C～G ^{*4} を追加)		$ I_{TSI} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$ 、 $V_{in}=0.5\sim V_{CC}B-0.5V$
入力プルアップ MOS 電流	ポート 1～3		$-I_p$	5	—	150	μA	$V_{in}=0V$ 、 $V_{CC}=2.7V\sim 3.6V$ 、 $V_{CCB}=2.7V\sim 5.5V$
	ポート 6 (P6PUE=0) 、B			30	—	300		
	ポート A ^{*4} (H8S/2169 にはポート C～G ^{*4} を追加)			30	—	600		
	ポート 6 (P6PUE=1)			3	—	100		
入力容量	RES	(4)	C_{in}	—	—	80	pF	$V_{in}=0V$ 、 $f=1MHz$ 、 $T_a=25^{\circ}C$
	NMI			—	—	50		
	P52、P97、P42、P86、 PA7～PA2			—	—	20		
	上記(4)以外の入力端子 (H8S/2169 にはポート C～G を 追加)			—	—	15		
消費電流 ^{*2}	通常動作時		I_{CC}	—	30	40	mA	$f=10MHz$
	スリープ時			—	20	32	mA	$f=10MHz$
	スタンバイ時 ^{*3}			—	1	5.0	μA	$T_a\leq 50^{\circ}C$
				—	—	20.0		$50^{\circ}C<T_a$
アナログ 電源電流	A/D、D/A 変換中		AI_{CC}	—	1.2	2.0	mA	
	A/D、D/A 変換待機時			—	0.01	5.0	μA	$AV_{CC}=2.0V\sim 3.6V$
リファレンス 電源電流	A/D 変換中		AI_{ref}	—	0.5	1.0	mA	
	A/D、D/A 変換中			—	2.0	5.0		
	A/D、D/A 変換待機時			—	0.01	5.0	μA	$AV_{ref}=2.0V\sim AV_{CC}$
アナログ電源電圧 ^{*1}			AV_{CC}	2.7	—	3.6	V	動作時
				2.0	—	3.6		待機時、非使用時
RAM スタンバイ電圧			V_{RAM}	2.0	—	—	V	

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。
A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} 、 AV_{ref} 端子は電源 (V_{CC}) に接続するなどの方法で $2.0V\sim 3.6V$ の範囲の電圧を印加してください。このとき、 $AV_{ref}\leq AV_{CC}$ としてください。

*2 消費電流値は、 $V_{IH\ min}=V_{CC}-0.2V$ 、 $V_{CCB}-0.2V$ 、 $V_{IL\ max}=0.2V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 $V_{RAM}\leq V_{CC}<2.7V$ のとき、 $V_{IH\ min}=V_{CC}-0.2V$ 、 $V_{CCB}-0.2V$ 、 $V_{IL\ max}=0.2V$ とした場合の値です。

*4 ポート A の特性は V_{CCB} 依存、その他の端子の特性は V_{CC} 依存です。H8S/2169 のポート E~G の特性は V_{CCB} 依存、ポート C、D の特性は V_{CC} 依存です。

*5 フラッシュメモリへの書き込み/消去は、 $V_{CC}=3.0V\sim 3.6V$ の範囲としてください。

表 25.3 出力許容電流値

条件: $V_{CC}=2.7V\sim3.6V$ 、 $V_{CCB}=2.7V\sim5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim+75^{\circ}C$

項 目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL1、SCL0、SDA1、SDA0、 PS2AC~PS2CC、 PS2AD~PS2CD、 PA7~PA4(バス駆動機能選択)	I_{OL}	—	10	mA
	ポート 1~3	—	—	2	
	RES0	—	—	1	
	上記以外の出力端子	—	—	1	
出力 Low レベル許容電流 (総和)	ポート 1~3 の総和	ΣI_{OL}	—	40	mA
	上記を含む、全出力端子の総和	—	—	60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	—	2	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	—	30	mA

- 【注】 1. LSI の信頼性を確保するため、出力電流値は表 25.3 の値を超えないようにしてください。
 2. ダーリントトランジスタや、LED を直接駆動する場合には、図 25.1、図 25.2 に示すように、出力に必ず電流制限抵抗を挿入してください。

表 25.4 バス駆動特性

条件: $V_{CC}=2.7V\sim3.6V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim+75^{\circ}C$

対象端子: SCL1~SCL0、SDA1~SDA0 (バス駆動機能選択)

項 目	記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	V_T^-	$V_{CC}\times 0.3$	—	—	V	$V_{CC}=2.7V\sim3.6V$
	V_T^+	—	—	$V_{CC}\times 0.7$		$V_{CC}=2.7V\sim3.6V$
	$V_T^+ - V_T^-$	$V_{CC}\times 0.05$	—	—		$V_{CC}=2.7V\sim3.6V$
入力 High レベル電圧	V_{IH}	$V_{CC}\times 0.7$	—	$V_{CC} + 0.5$	V	$V_{CC}=2.7V\sim3.6V$
入力 Low レベル電圧	V_{IL}	- 0.5	—	$V_{CC}\times 0.3$	V	$V_{CC}=2.7V\sim3.6V$
出力 Low レベル電圧	V_{OL}	—	—	0.5	V	$I_{OL}=8mA$
		—	—	0.4		$I_{OL}=3mA$
入力容量	C_{in}	—	—	20	pF	$V_{in}=0V$ 、 $f=1MHz$ 、 $T_a=25^{\circ}C$
スリーステート リーク電流 (オフ状態)	$ I_{TSI} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{CC}-0.5V$
SCL、SDA 出力 立ち下がり時間	t_{Of}	$20 + 0.1Cb$	—	250	ns	$V_{CC}=2.7V\sim3.6V$

25. 電気的特性

条件： $V_{CC}=2.7V\sim3.6V$ 、 $V_{CCB}=2.7V\sim5.5V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim+75^{\circ}C$

対象端子：PS2AC、PS2AD、PS2BC、PS2BD、PS2CC、PS2CD

PA7～PA4（バス駆動機能選択）

項目	記号	min	typ	max	単位	測定条件
出力 Low レベル電圧	V_{OL}	—	—	0.8	V	$I_{OL}=16mA$ 、 $V_{CCB}=4.5V\sim5.5V$
		—	—	0.5		$I_{OL}=8mA$
		—	—	0.4		$I_{OL}=3mA$

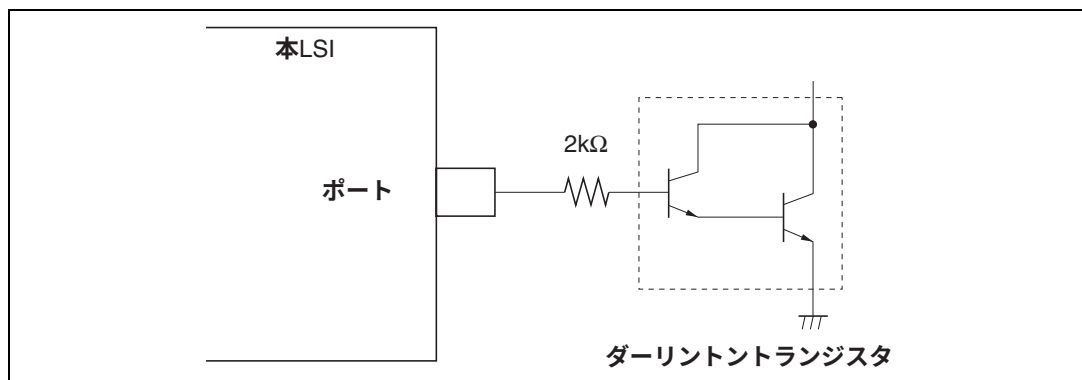


図 25.1 ダーリントントランジスタ駆動回路例

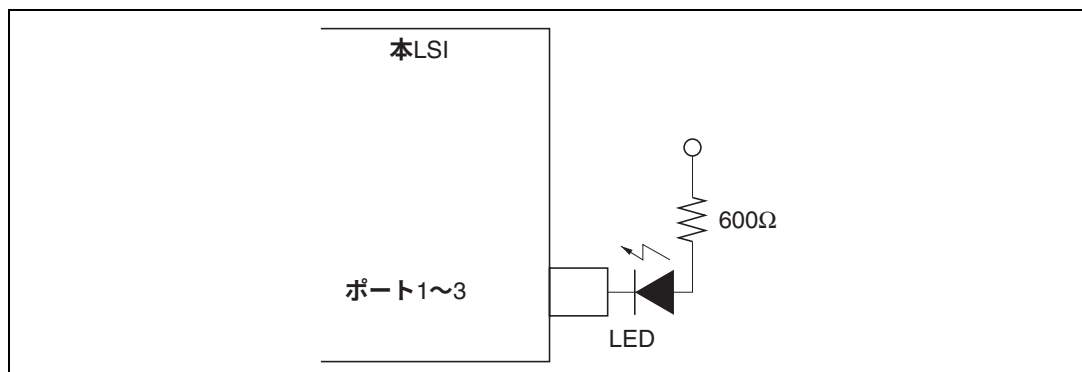


図 25.2 LED 駆動回路例

25.3 AC 特性

図 25.3 に AC 特性測定条件を示します。

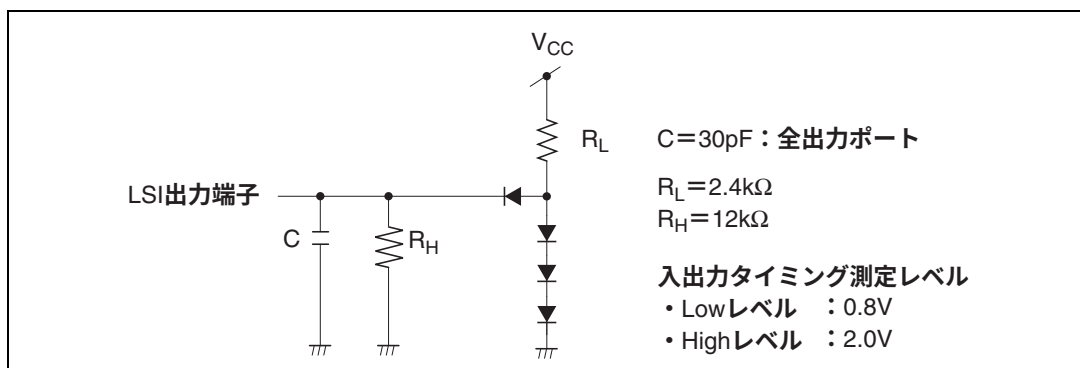


図 25.3 出力負荷回路

25.3.1 クロックタイミング

表 25.5 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック (ϕ) 出力と、クロック発振器 (水晶) と外部クロック入力 (EXTAL 端子) の発振安定時間です。外部クロック入力 (EXTAL 端子および EXCL 端子) タイミングの詳細については、「第 23 章 クロック発振器」を参照してください。

表 25.5 クロックタイミング

条件: $V_{CC}=2.7\text{V}\sim 3.6\text{V}$ 、 $V_{CCB}=2.7\text{V}\sim 5.5\text{V}$ 、 $V_{SS}=0\text{V}$ 、 $\phi=2\text{MHz}\sim$ 最大動作周波数、 $T_a=-20\sim+75^\circ\text{C}$

項 目	記号	条件		単位	参照図
		10MHz			
		min	max		
クロックサイクル時間	t_{cyc}	100	500	ns	図 25.4
クロックハイレベルパルス幅	t_{CH}	30	—	ns	
クロックローレベルパルス幅	t_{CL}	30	—	ns	
クロック立ち上がり時間	t_{Cr}	—	20	ns	
クロック立ち下がり時間	t_{Cl}	—	20	ns	
リセット発振安定時間（水晶）	t_{OSC1}	20	—	ms	図 25.5 図 25.6
ソフトウェアスタンバイ発振安定時間（水晶）	t_{OSC2}	8	—	ms	
外部クロック出力安定遅延時間	t_{DEXT}	500	—	μs	

25. 電気的特性

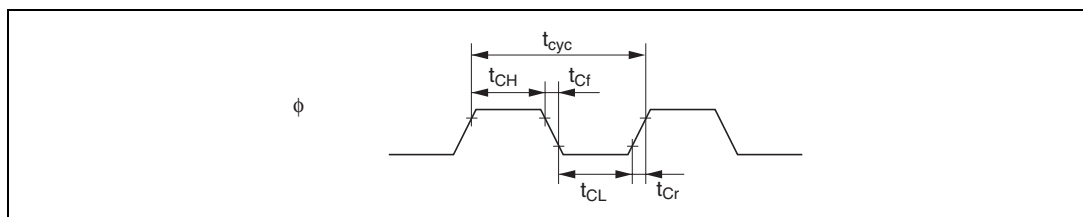


図 25.4 システムクロックタイミング

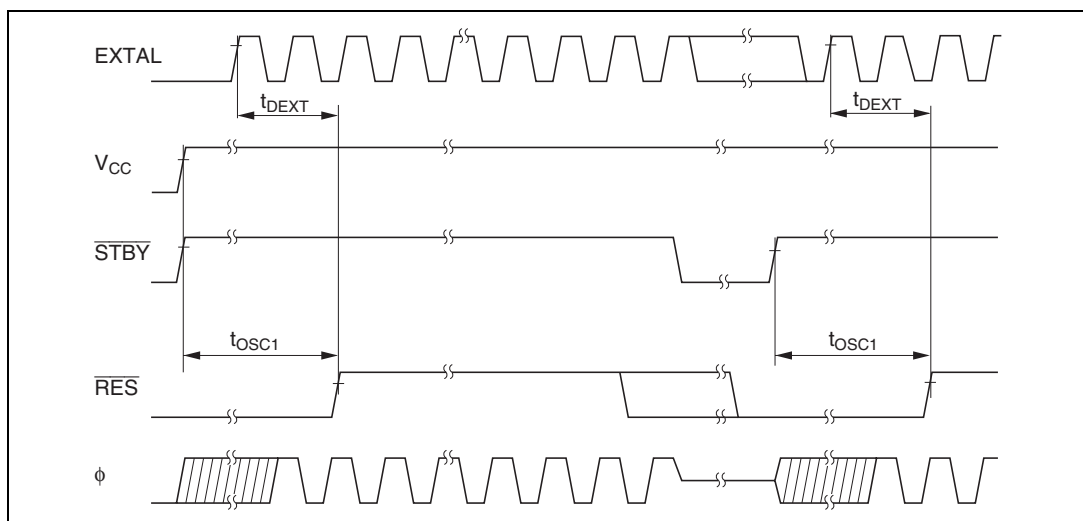


図 25.5 発振安定時間タイミング

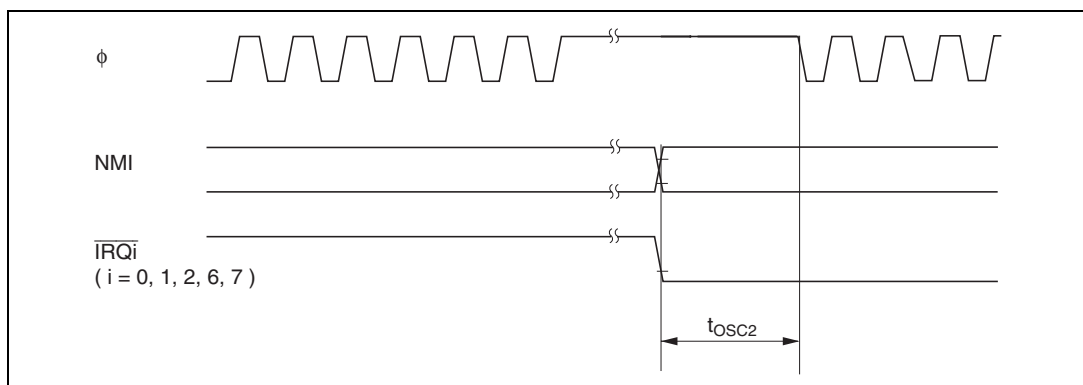


図 25.6 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

25.3.2 制御信号タイミング

表 25.6 に制御信号タイミングを示します。サブクロック ($\phi=32.768\text{kHz}$) で動作可能な外部割り込みは、NMI、IRQ0～2、6、7 のみです。

表 25.6 制御信号タイミング

条件: $V_{CC}=2.7\text{V}\sim3.6\text{V}$ 、 $V_{CCB}=2.7\text{V}\sim5.5\text{V}$ 、 $V_{SS}=0\text{V}$ 、 $\phi=32.768\text{kHz}$ 、 $2\text{MHz}\sim$ 最大動作周波数、 $T_a=-20\sim+75^\circ\text{C}$

項 目	記号	条件		単位	測定条件
		10MHz			
		min	max		
RES セットアップ時間	t_{RESS}	300	—	ns	図 25.7
RES パルス幅	t_{RESW}	20	—	t_{cyc}	
NMI セットアップ時間 (NMI)	t_{NMIS}	250	—	ns	図 25.8
NMI ホールド時間 (NMI)	t_{NMIH}	10	—	ns	
NMI パルス幅 (NMI) (ソフトウェアスタンバイモードからの 復帰時)	t_{NMIW}	200	—	ns	
IRQ セットアップ時間 (IRQ7～IRQ0)	t_{IRQS}	250	—	ns	
IRQ ホールド時間 (IRQ7～IRQ0)	t_{IRQH}	10	—	ns	
IRQ パルス幅 (IRQ7、IRQ6、IRQ2～IRQ0) (ソフトウェアスタンバイモードからの 復帰時)	t_{IRQW}	200	—	ns	

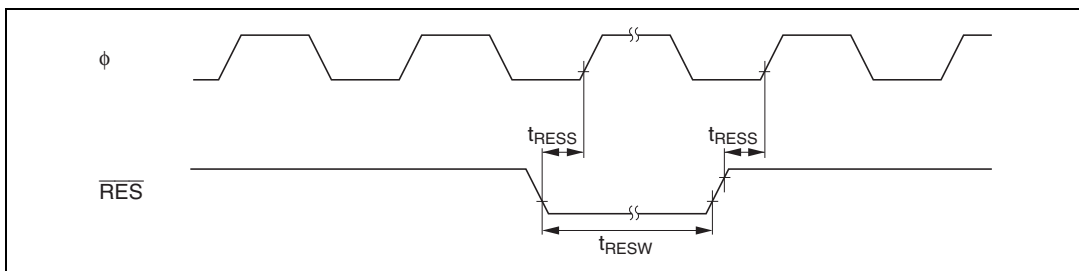


図 25.7 リセット入力タイミング

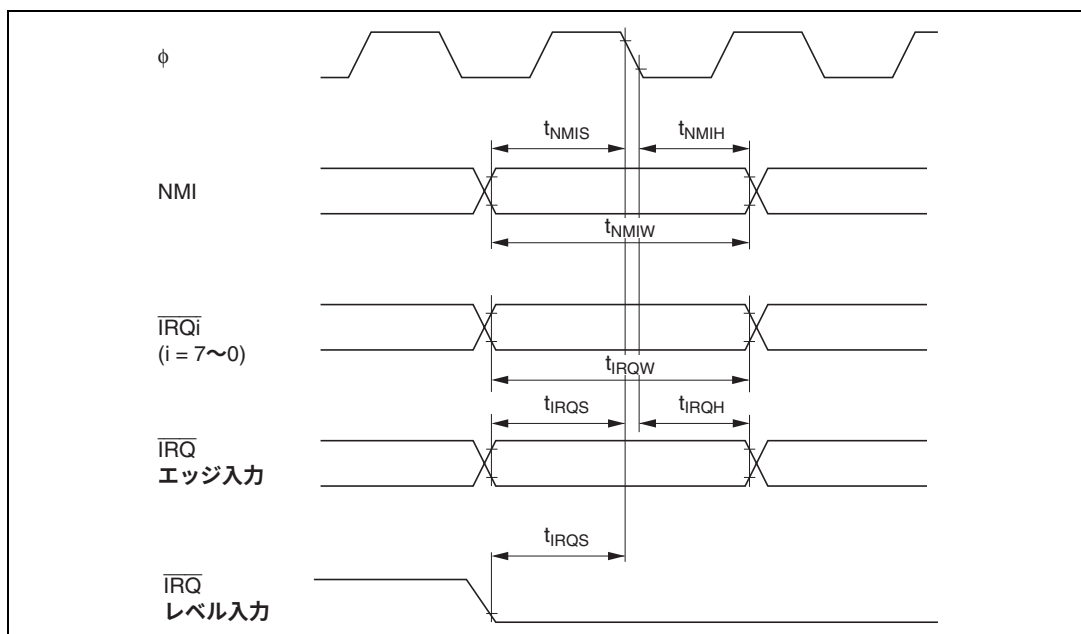


図 25.8 割り込み入力タイミング

25.3.3 バスタイミング

表 25.7 にバスタイミングを示します。サブクロック ($\phi=32.768\text{kHz}$) 動作では、外部拡張モードの動作は保証されません。

表 25.7 バスタイミング (1) (ノーマルモード時)

条件: $V_{CC}=2.7\text{V}\sim 3.6\text{V}$ 、 $V_{CCB}=2.7\text{V}\sim 5.5\text{V}$ 、 $V_{SS}=0\text{V}$ 、 $\phi=2\text{MHz}\sim$ 最大動作周波数、 $T_a = -20\sim +75^\circ\text{C}$

項 目	記号	条件		単位	測定条件
		10MHz			
		min	max		
アドレス遅延時間	t_{AD}	—	40	ns	図 25.9 ～ 図 25.13
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 30$	—	ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 20$	—	ns	
CS 遅延時間 (IOS)	t_{CSD}	—	40	ns	
AS 遅延時間	t_{ASD}	—	60	ns	
RD 遅延時間 1	t_{RSD1}	—	60	ns	
RD 遅延時間 2	t_{RSD2}	—	60	ns	
リードデータセットアップ時間	t_{RDS}	35	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
リードデータアクセス時間 1	t_{ACC1}	—	$1.0 \times t_{cyc} - 60$	ns	
リードデータアクセス時間 2	t_{ACC2}	—	$1.5 \times t_{cyc} - 50$	ns	
リードデータアクセス時間 3	t_{ACC3}	—	$2.0 \times t_{cyc} - 60$	ns	
リードデータアクセス時間 4	t_{ACC4}	—	$2.5 \times t_{cyc} - 50$	ns	
リードデータアクセス時間 5	t_{ACC5}	—	$3.0 \times t_{cyc} - 60$	ns	
WR 遅延時間 1	t_{WRD1}	—	60	ns	
WR 遅延時間 2	t_{WRD2}	—	60	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 40$	—	ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 40$	—	ns	
ライトデータ遅延時間	t_{WDD}	—	60	ns	
ライトデータセットアップ時間	t_{WDS}	0	—	ns	
ライトデータホールド時間	t_{WDH}	20	—	ns	
WAIT セットアップ時間	t_{WTS}	60	—	ns	
WAIT ホールド時間	t_{WTH}	10	—	ns	

25. 電気的特性

表 25.7 バスタイミング (2) (アドバンスモード時)

条件: $V_{CC}=2.7V\sim3.6V$ 、 $V_{CCB}=2.7V\sim5.5V$ 、 $V_{SS}=0V$ 、 $\phi=2MHz\sim$ 最大動作周波数、 $T_a=-20\sim+75^{\circ}C$

項 目	記号	条件		単位	測定条件
		10MHz			
		min	max		
アドレス遅延時間	t_{AD}	—	60	ns	図 25.9 ～ 図 25.13
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 30$	—	ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 20$	—	ns	
CS 遅延時間 (IOS)	t_{CSD}	—	60	ns	
AS 遅延時間	t_{ASD}	—	60	ns	
RD 遅延時間 1	t_{RSD1}	—	60	ns	
RD 遅延時間 2	t_{RSD2}	—	60	ns	
リードデータセットアップ時間	t_{RDS}	35	—	ns	
リードデータホールド時間	t_{RDH}	0	—	ns	
リードデータアクセス時間 1	t_{ACC1}	—	$1.0 \times t_{cyc} - 80$	ns	
リードデータアクセス時間 2	t_{ACC2}	—	$1.5 \times t_{cyc} - 50$	ns	
リードデータアクセス時間 3	t_{ACC3}	—	$2.0 \times t_{cyc} - 80$	ns	
リードデータアクセス時間 4	t_{ACC4}	—	$2.5 \times t_{cyc} - 50$	ns	
リードデータアクセス時間 5	t_{ACC5}	—	$3.0 \times t_{cyc} - 80$	ns	
WR 遅延時間 1	t_{WRD1}	—	60	ns	
WR 遅延時間 2	t_{WRD2}	—	60	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 40$	—	ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 40$	—	ns	
ライトデータ遅延時間	t_{WDD}	—	60	ns	
ライトデータセットアップ時間	t_{WDS}	0	—	ns	
ライトデータホールド時間	t_{WDH}	20	—	ns	
WAIT セットアップ時間	t_{WTS}	60	—	ns	
WAIT ホールド時間	t_{WTH}	10	—	ns	

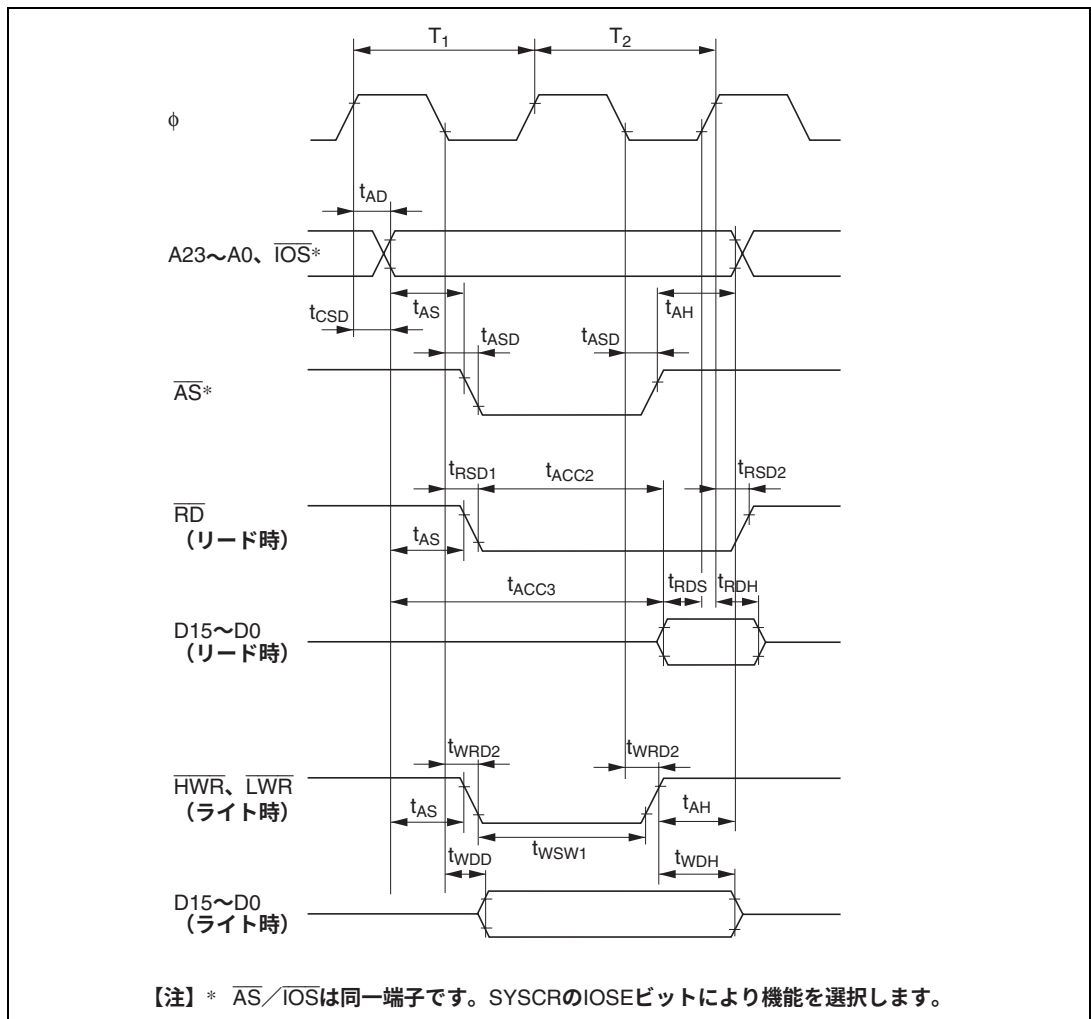


図 25.9 基本バスタイミング/2 ステートアクセス

25. 電気的特性

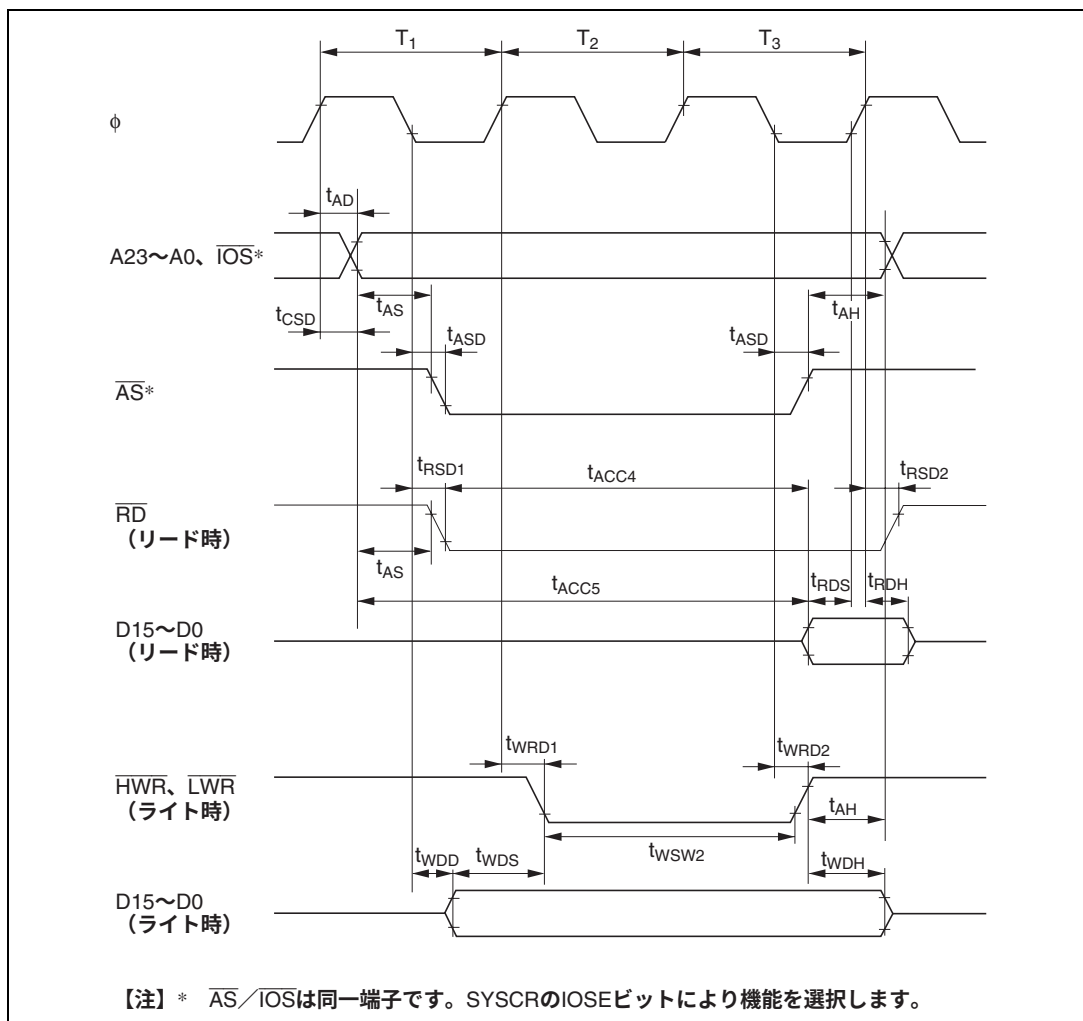


図 25.10 基本バスタイミング／3 ステートアクセス

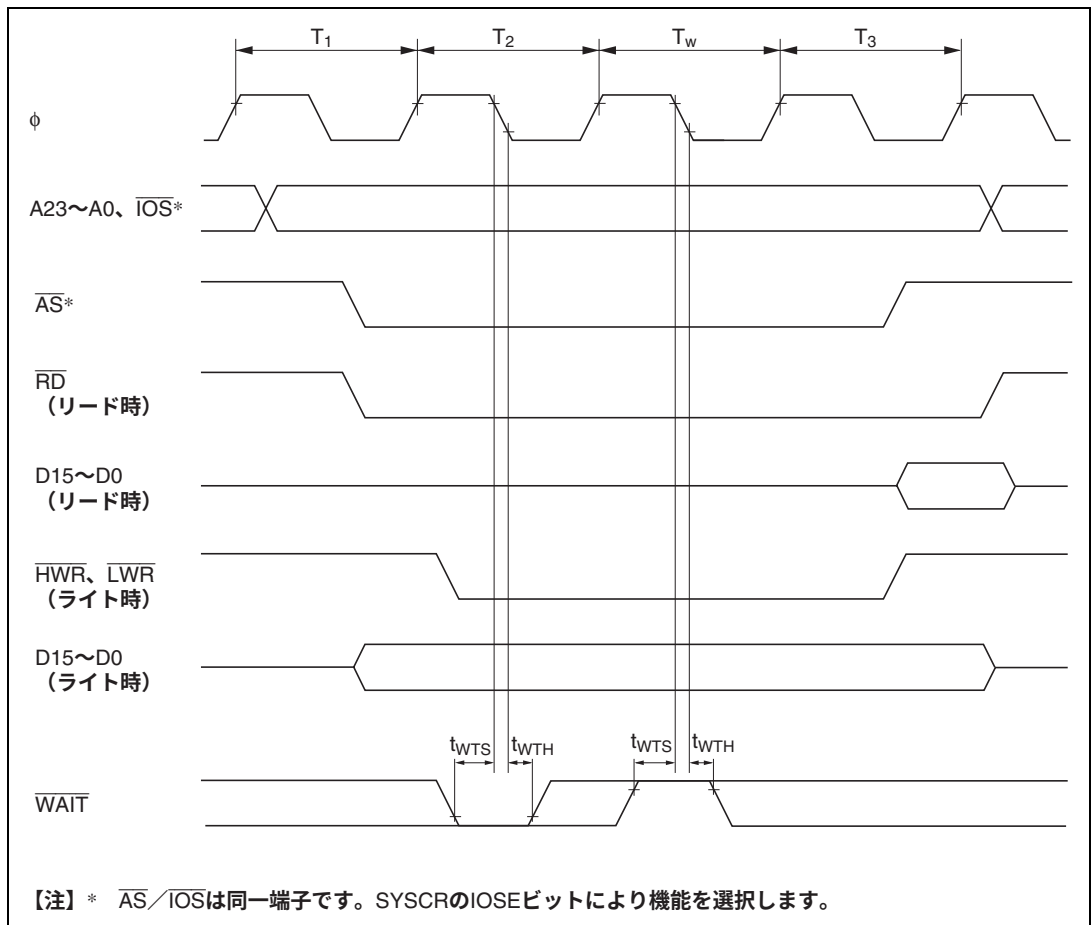


図 25.11 基本バスタイミング／3 ステートアクセス 1 ウェイト

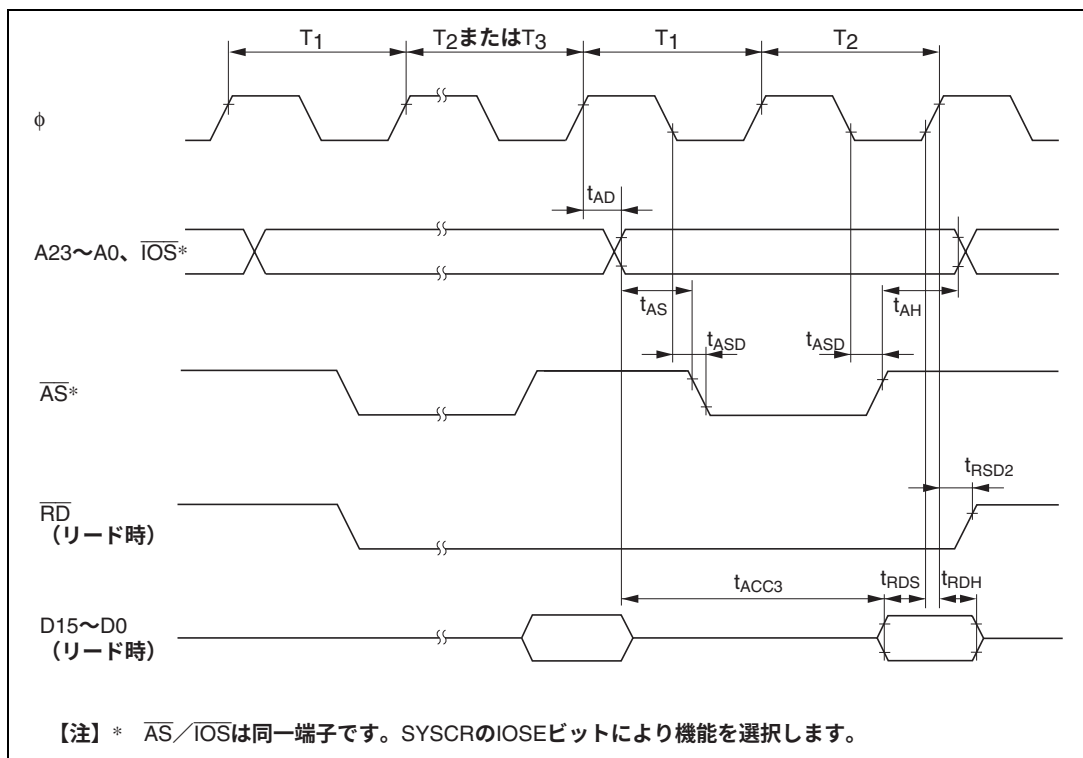


図 25.12 バースト ROM アクセスタイミング／2 ステートアクセス

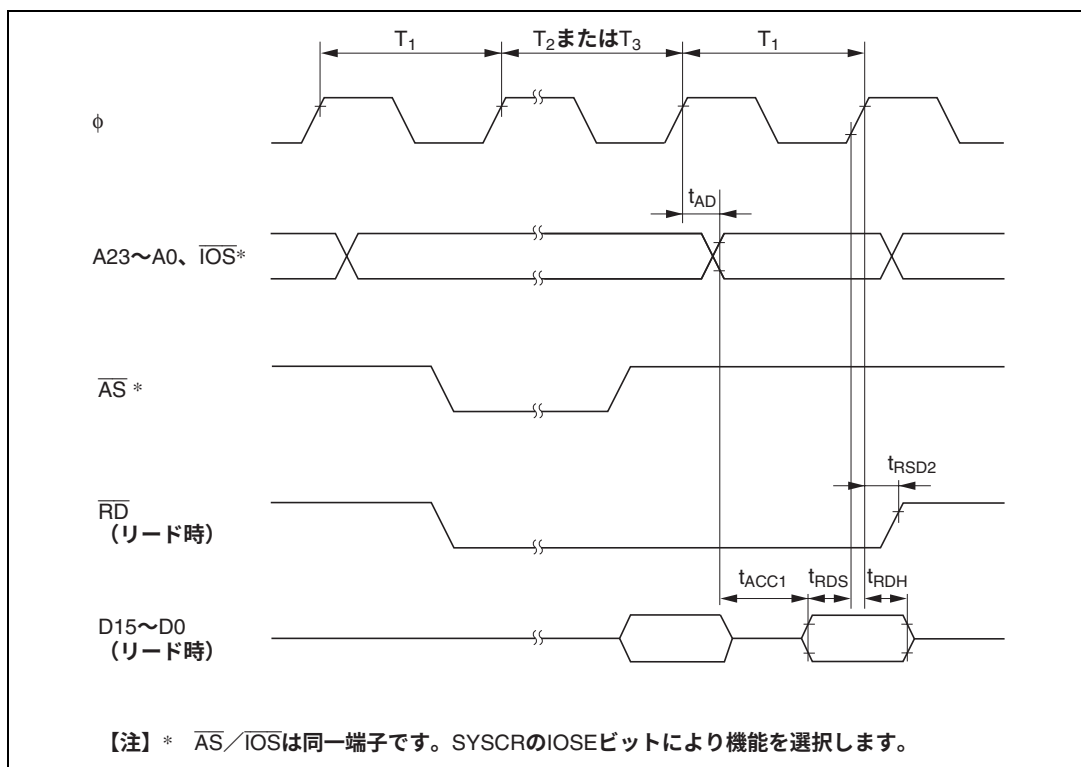


図 25.13 バースト ROM アクセスタイミング／1 ステートアクセス

25. 電気的特性

25.3.4 内蔵周辺モジュールタイミング

表 25.8～表 25.10 に内蔵周辺モジュールタイミングを示します。サブクロック動作時 ($\phi=32.768\text{kHz}$) に動作可能な内蔵周辺モジュールは、I/O ポート、外部割り込み (NMI、IRQ0～2、6、7)、ウォッチドッグタイマ、8 ビットタイマ (チャンネル 0、1) のみです。

表 25.8 内蔵周辺モジュールタイミング (1)

条件: $V_{CC}=2.7\text{V}\sim 3.6\text{V}$ 、 $V_{CCB}=2.7\text{V}\sim 5.5\text{V}$ 、 $V_{SS}=0\text{V}$ 、 $\phi=32.768\text{kHz}^*$ 、 $2\text{MHz}\sim$ 最大動作周波数、 $T_a=-20\sim+75^\circ\text{C}$

項 目			記号	条件		単位	測定条件
				10MHz			
				min	max		
I/O ポート	出力データ遅延時間		$t_{P\overline{WD}}$	—	100	ns	図 25.14
	入力データセットアップ時間		t_{PRS}	50	—		
	入力データホールド時間		t_{PRH}	50	—		
FRT	タイマ出力遅延時間		t_{FTOD}	—	100	ns	図 25.15
	タイマ入力セットアップ時間		t_{FTIS}	50	—		
	タイマクロック入力セットアップ時間		t_{FTCS}	50	—		
	タイマクロック パルス幅	単エッジ指定	t_{FTCWH}	1.5	—	t_{cyc}	図 25.16
		両エッジ指定	t_{FTCWL}	2.5	—		
TMR	タイマ出力遅延時間		t_{TMOD}	—	100	ns	図 25.17
	タイマリセット入力セットアップ時間		t_{TMRS}	50	—		図 25.19
	タイマクロック入力セットアップ時間		t_{TMCS}	50	—		図 25.18
	タイマクロック パルス幅	単エッジ指定	t_{TMCWH}	1.5	—	t_{cyc}	
		両エッジ指定	t_{TMCWL}	2.5	—		
PWM、 PWMX	パルス出力遅延時間		t_{PWOD}	—	100	ns	図 25.20
SCI	入力クロック サイクル	調歩同期	t_{Scyc}	4	—	t_{cyc}	図 25.21
		クロック同期		6	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	図 25.22
	入力クロック立ち上がり時間		t_{SCKr}	—	1.5	t_{cyc}	
	入力クロック立ち下がり時間		t_{SCKf}	—	1.5		
	送信データ遅延時間（クロック同期）		t_{TXD}	—	100	ns	
	受信データセットアップ時間（クロック同期）		t_{RXS}	100	—		
	受信データホールド時間（クロック同期）		t_{RXH}	100	—		
A/D 変換器	トリガ入力セットアップ時間		t_{TRGS}	50	—	ns	図 25.23
WDT	$\overline{RES0}$ 出力遅延時間		$t_{\overline{RESD}}$	—	200	ns	図 25.24
	$\overline{RES0}$ 出力パルス幅		$t_{\overline{RESOW}}$	132	—		

【注】 * サブクロック動作時に使用可能な内蔵周辺モジュールのみ

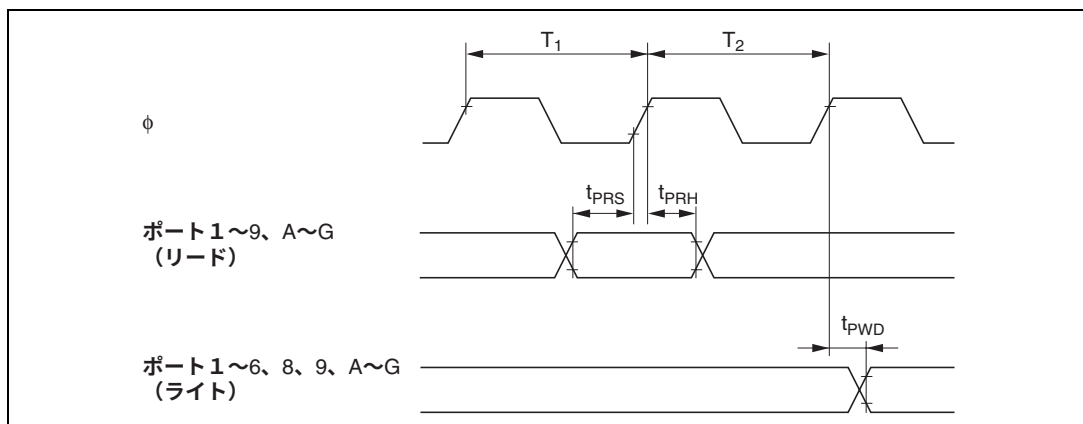


図 25.14 I/O ポート入出力タイミング

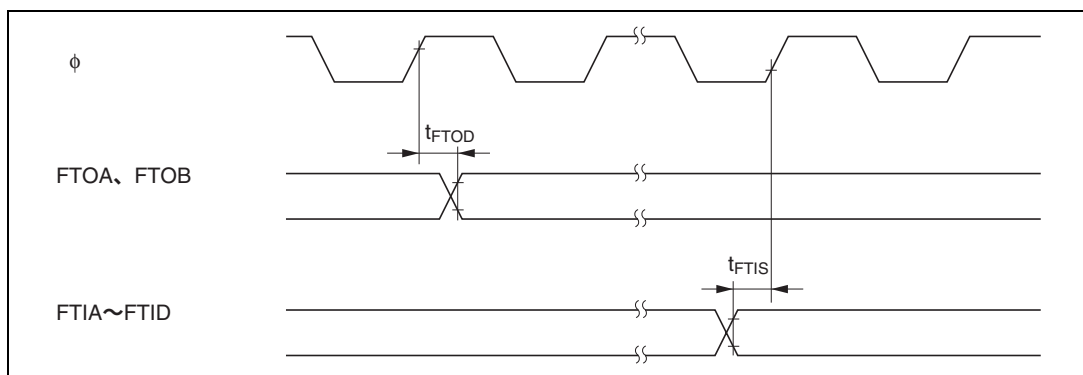


図 25.15 FRT 入出力タイミング

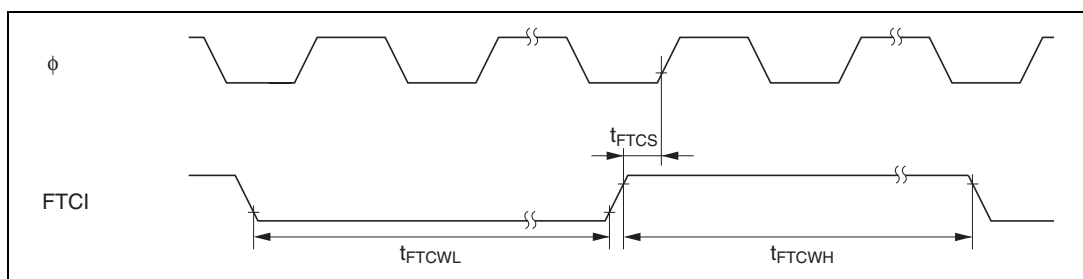


図 25.16 FRT クロック入力タイミング

25. 電気的特性

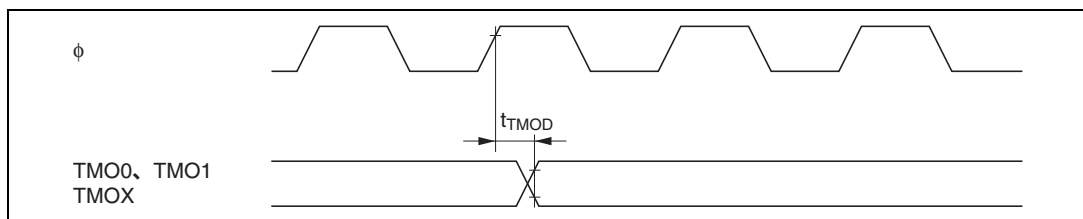


図 25.17 8 ビットタイマ出力タイミング

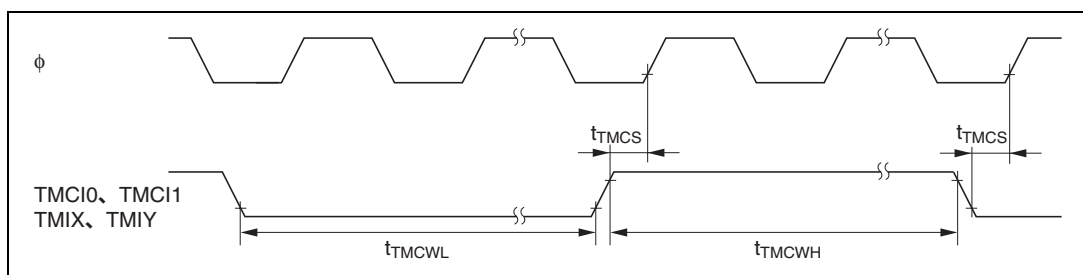


図 25.18 8 ビットタイマクロック入力タイミング

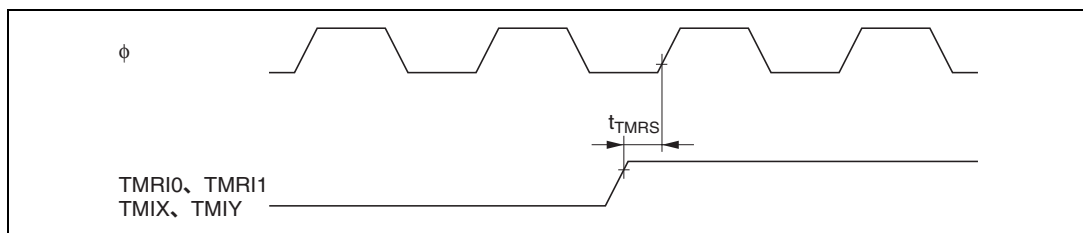


図 25.19 8 ビットタイマリセット入力タイミング

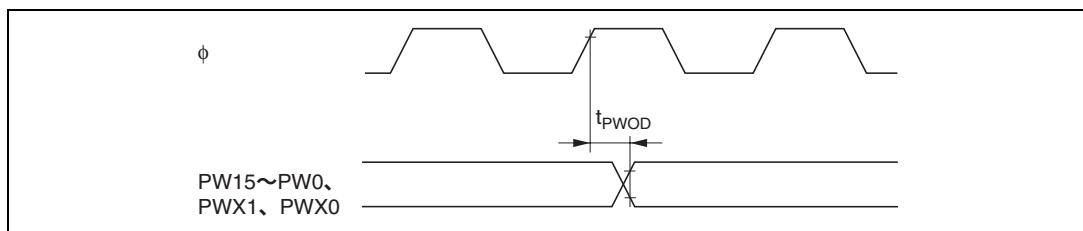


図 25.20 PWM、PWMX 出力タイミング

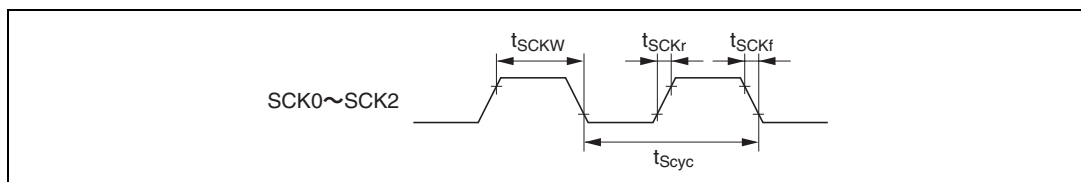


図 25.21 SCK クロック入力タイミング

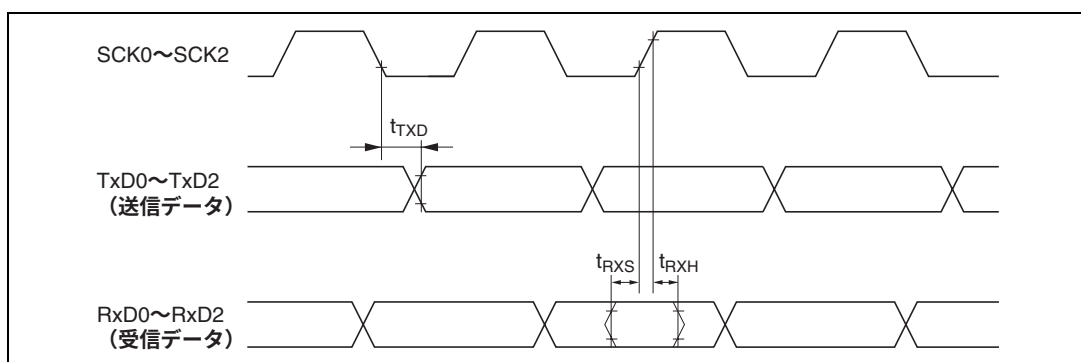


図 25.22 SCI 入出力タイミング／クロック同期式モード

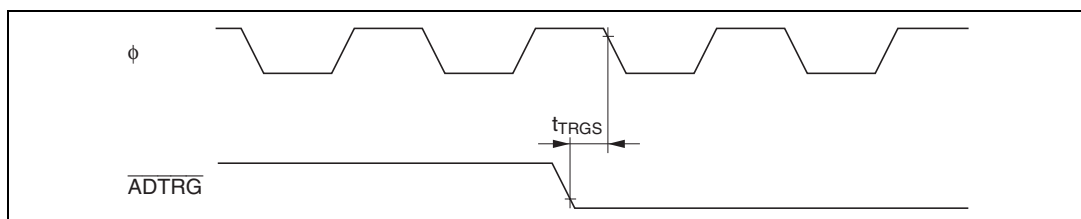


図 25.23 A/D 変換器外部トリガ入力タイミング

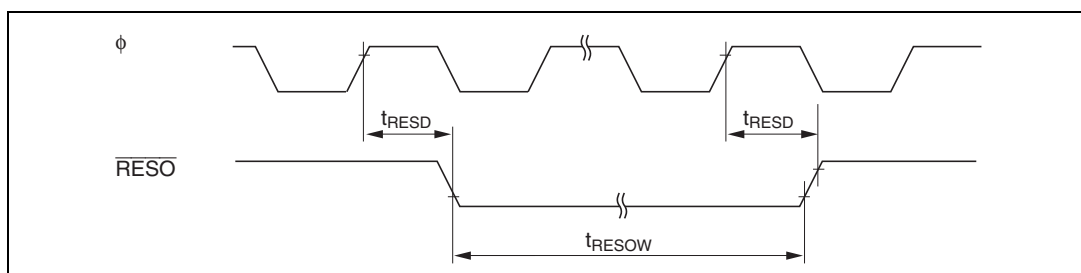


図 25.24 WDT 出力タイミング (RESO)

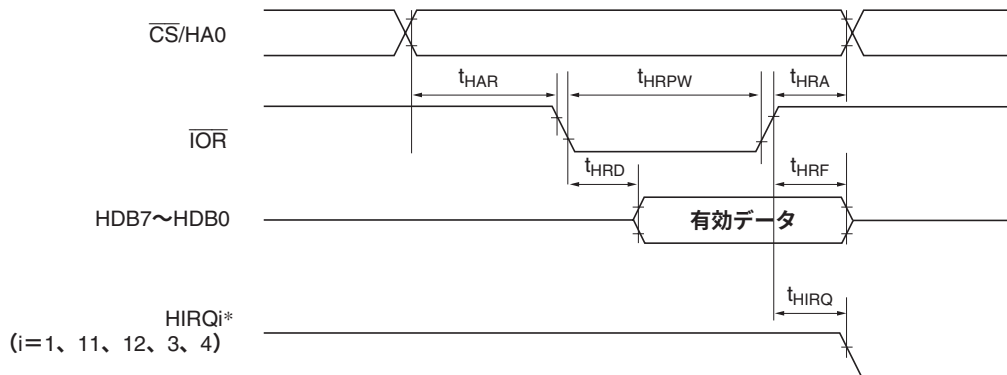
25. 電氣的特性

表 25.8 内蔵周辺モジュールタイミング (2)

条件: $V_{CC} = 2.7V \sim 3.6V$, $V_{CCB} = 2.7V \sim 5.5V$, $V_{SS} = 0V$, $\phi = 2MHz \sim$ 最大動作周波数, $T_a = -20 \sim +75^\circ C$

項 目		記号	条件		単位	測定条件	
			10MHz				
			min	max			
XBS リード サイクル	CS/HA0 セットアップ時間	t _{HAR}	10	—	ns	図 25.25	
	CS/HA0 ホールド時間	t _{HRA}	10	—	ns		
	IO $\overline{R}$ パルス幅	t _{HRPW}	220	—	ns		
	HDB 遅延時間	t _{HRD}	—	200	ns		
	HDB ホールド時間	t _{HRF}	0	40	ns		
	HIRQ 遅延時間	t _{HIRO}	—	200	ns		
XBS ライト サイクル	CS/HA0 セットアップ時間	t _{HAW}	10	—	ns		
	CS/HA0 ホールド時間	t _{HWA}	10	—	ns		
	IO $\overline{W}$ パルス幅	t _{HWPW}	100	—	ns		
	HDB セット アップ時間	高速 GATE A20 を使用しない 高速 GATE A20 を使用する	t _{HDW}	50	—		ns
			85	—	ns		
	HDB ホールド時間	t _{HWD}	25	—	ns		
	GA20 遅延時間	t _{LGA}	—	180	ns		

(1) ホストインタフェース (XBS) リードタイミング



【注】* 立ち上がりエッジタイミングはポート4、ポートB出力タイミングと同じです。
図25.14を参照してください。

(2) ホストインタフェース (XBS) ライトタイミング

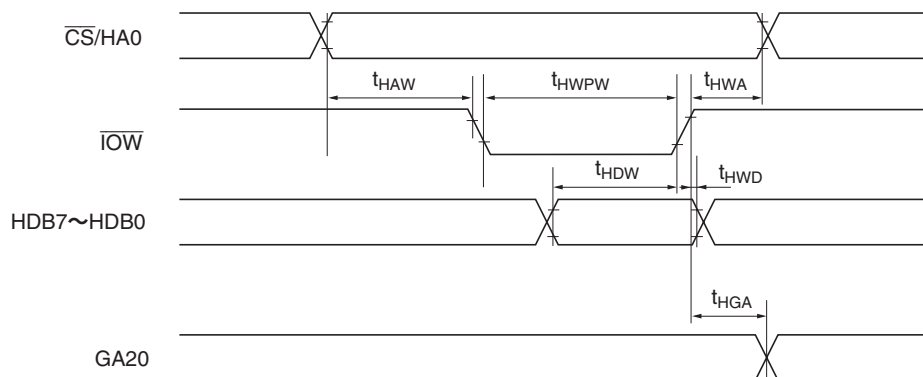


図 25.25 ホストインタフェース (XBS) タイミング

25. 電気的特性

表 25.9 キーボードバッファコントローラタイミング

条件： $V_{CC}=2.7\sim3.6V$ 、 $V_{CCB}=2.7\sim5.5V$ 、 $V_{SS}=0V$ 、 $\phi=2MHz\sim$ 最大動作周波数、 $T_a=-20\sim+75^\circ C$

項 目	記号	規格値			単位	測定条件	備考
		min	typ	max			
KCLK、KD 出力立ち下がり時間	t_{KBF}	$20 + 0.1C_b$	—	250	ns		図 25.26
KCLK、KD 入力データ ホールド時間	t_{KBIH}	150	—	—	ns		
KCLK、KD 入力データ セットアップ時間	t_{KBIS}	150	—	—	ns		
KCLK、KD 出力遅延時間	t_{KBOD}	—	—	450	ns		
KCLK、KD の容量性負荷	C_b	—	—	400	pF		

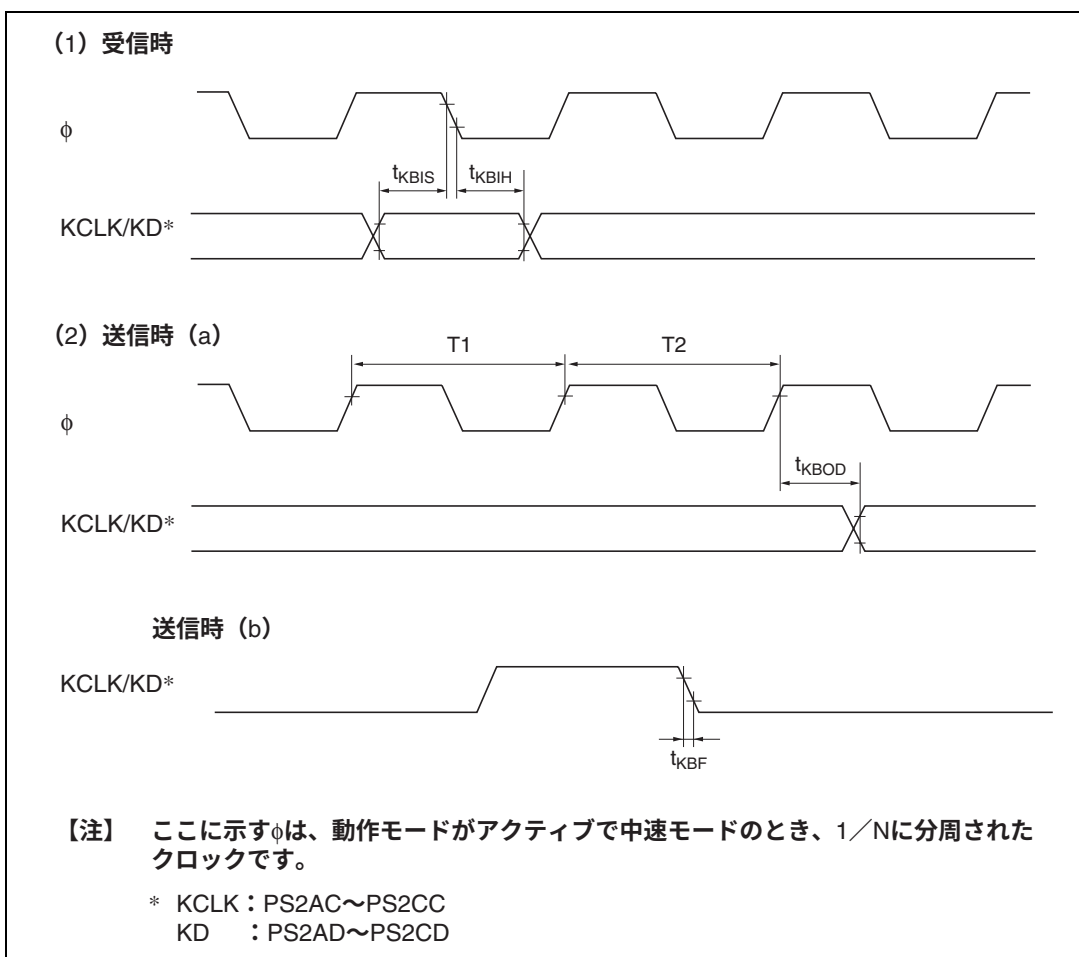
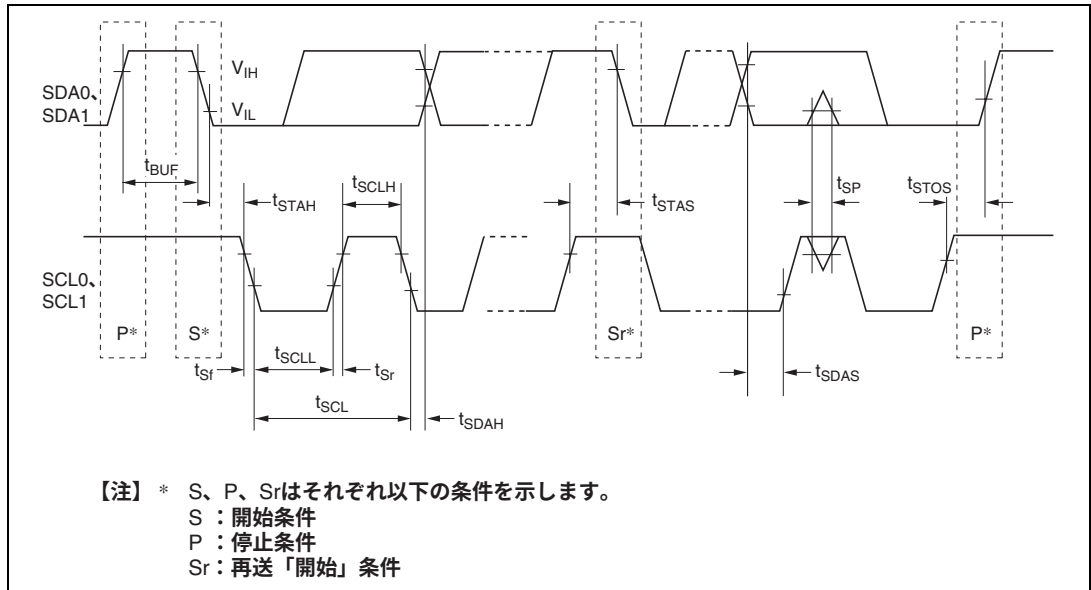


図 25.26 キーボードバッファコントローラタイミング

表 25.10 I²C バスタイミング条件: $V_{CC}=2.7\sim3.6V$ 、 $V_{SS}=0V$ 、 $\phi=5MHz\sim$ 最大動作周波数、 $T_a=-20\sim+75^{\circ}C$

項 目	記号	規格値			単位	測定条件	備考
		min	typ	max			
SCL 入力サイクル時間	t_{SCL}	12	—	—	t_{cyc}		図 25.27
SCL 入力 High パルス幅	t_{SCLH}	3	—	—	t_{cyc}		
SCL 入力 Low パルス幅	t_{SCLL}	5	—	—	t_{cyc}		
SCL、SDA 入力立ち上がり時間	t_{Sr}	—	—	7.5*	t_{cyc}		
SCL、SDA 入力立ち下がり時間	t_{Sf}	—	—	300	ns		
SCL、SDA 入力 スパイクパルス除去時間	t_{SP}	—	—	1	t_{cyc}		
SDA 入力バスフリー時間	t_{BUF}	5	—	—	t_{cyc}		
開始条件入力ホールド時間	t_{STAH}	3	—	—	t_{cyc}		
再送開始条件入力セットアップ時間	t_{STAS}	3	—	—	t_{cyc}		
停止条件入力セットアップ時間	t_{STOS}	3	—	—	t_{cyc}		
データ入力セットアップ時間	t_{SDAS}	0.5	—	—	t_{cyc}		
データ入力ホールド時間	t_{SDAH}	0	—	—	ns		
SCL、SDA の容量性負荷	C_b	—	—	400	pF		

【注】 * I²C モジュールで使用するクロックの選択により、 $17.5t_{cyc}$ とすることが可能です。詳細は「16.4 使用上の注意」を参照してください。

図 25.27 I²C バスインタフェース入出力タイミング

25. 電気的特性

表 25.11 LPC モジュールタイミング

条件: $V_{CC}=3.0V\sim 3.6V$ 、 $V_{SS}=0V$ 、 $\phi=2MHz\sim$ 最大動作周波数、 $T_a=-20\sim+75^{\circ}C$

項目	記号	min	max	単位	測定条件
LPC	入カクロックサイクル	t_{Lcyc}	30	—	図 25.28
	入カクロックパルス幅	t_{LCKW}	0.4	0.6	
	送信信号遅延時間	t_{TXD}	—	18	
	受信信号セットアップ時間	t_{RXS}	8	—	
	受信信号ホールド時間	t_{RXH}	8	—	

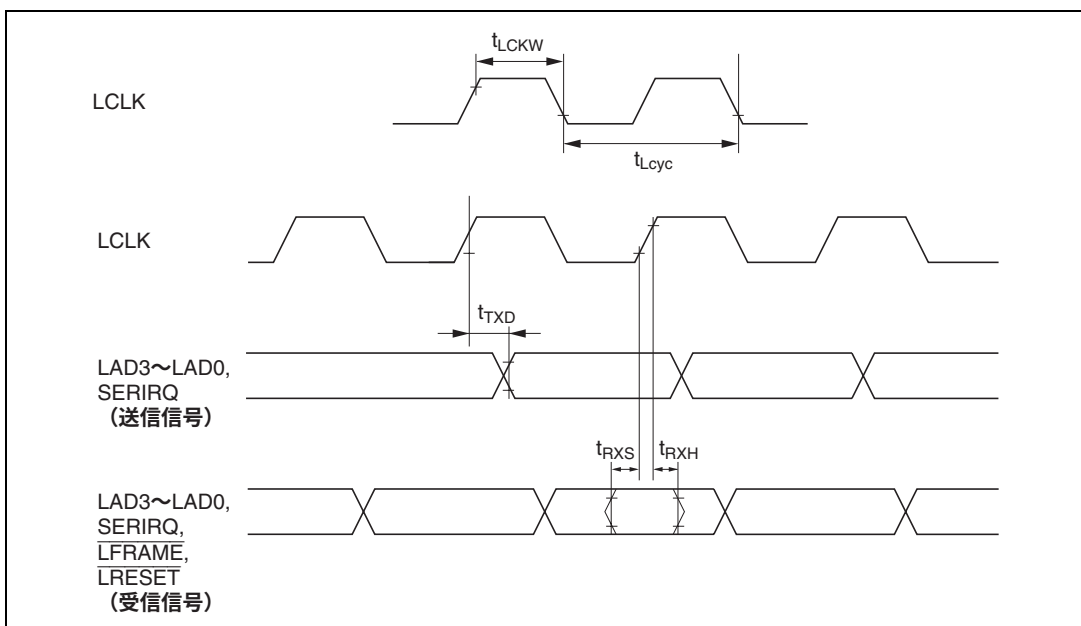


図 25.28 ホストインタフェース (LPC) タイミング

25.4 A/D 変換特性

A/D 変換特性を表 25.12、表 25.13 に示します。

表 25.12 A/D 変換特性 (AN7~AN0 入力: 134/266 ステート変換)

条件: $V_{CC}=2.7V\sim3.6V$ 、 $AV_{CC}=2.7V\sim3.6V$ 、 $AV_{ref}=2.7V\sim AV_{CC}$ 、 $V_{CCB}=2.7V\sim5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz\sim$ 最大動作周波数、 $T_a=-20\sim+75^{\circ}C$

項 目	条件			単 位
	10MHz			
	min	typ	max	
分解能	10			ビット
変換時間	—	—	13.4	μs
アナログ入力容量	—	—	20	pF
許容信号源インピーダンス	—	—	5	kΩ
非直線性誤差	—	—	±7.0	LSB
オフセット誤差	—	—	±7.5	LSB
フルスケール誤差	—	—	±7.5	LSB
量子化誤差	—	—	±0.5	LSB
絶対精度	—	—	±8.0	LSB

表 25.13 A/D 変換特性 (CIN15~CIN0 入力: 134/266 ステート変換)

条件: $V_{CC}=3.0V\sim3.6V$ 、 $AV_{CC}=3.0V\sim3.6V$ 、 $AV_{ref}=3.0V\sim AV_{CC}$ 、 $V_{CCB}=3.0V\sim5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz\sim$ 最大動作周波数、 $T_a=-20\sim+75^{\circ}C$

項 目	条件			単 位
	10MHz			
	min	typ	max	
分解能	10			ビット
変換時間	—	—	13.4	μs
アナログ入力容量	—	—	20	pF
許容信号源インピーダンス	—	—	5	kΩ
非直線性誤差	—	—	±11.0	LSB
オフセット誤差	—	—	±11.5	LSB
フルスケール誤差	—	—	±11.5	LSB
量子化誤差	—	—	±0.5	LSB
絶対精度	—	—	±12.0	LSB

25. 電気的特性

25.5 D/A 変換特性

D/A 変換特性を表 25.14 に示します。

表 25.14 D/A 変換特性

条件： $V_{CC}=2.7V\sim3.6V$ 、 $AV_{CC}=2.7V\sim3.6V$ 、 $AV_{ref}=2.7V\sim AV_{CC}$ 、 $V_{CCB}=2.7V\sim5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2MHz\sim$ 最大動作周波数、 $T_a=-20\sim+75^{\circ}C$

項 目		条件			単 位
		10MHz			
		min	typ	max	
分解能		8			ビット
変換時間	負荷容量 20pF	—	—	10	μs
絶対精度	負荷抵抗 2MΩ	—	±2.0	±3.0	LSB
	負荷抵抗 4MΩ	—	—	±2.0	

25.6 フラッシュメモリ特性

表 25.15 にフラッシュメモリ特性を示します。

表 25.15 フラッシュメモリ特性

条件： $V_{CC}=3.0V\sim3.6V$ 、 $V_{SS}=0V$ 、 $T_a=-20\sim+75^{\circ}C$

項目		記号	min	typ	max	単位	測定条件
書き込み時間 ^{*1*} ^{*2*} ^{*4}		tP	—	10	200	ms/128 バイト	
消去時間 ^{*1*} ^{*3*} ^{*6}		tE	—	100	1200	ms/ブロック	
書き換え回数		NWEC	100 ^{*8}	10000 ^{*9}	—	回	
データ保持時間 ^{*10}		t _{DRP}	10	—	—	年	
書き込み時	SWE-bit セット後のウェイト時間 ^{*1}	x	1	—	—	μs	
	PSU-bit セット後のウェイト時間 ^{*1}	y	50	—	—	μs	
	P-bit セット後のウェイト時間 ^{*1*} ^{*4}	z1	28	30	32	μs	1≤n≤6
		z2	198	200	202	μs	7≤n≤1000
		z3	8	10	12	μs	追加書き込み
	P-bit クリア後のウェイト時間 ^{*1}	α	5	—	—	μs	
	PSU-bit クリア後のウェイト時間 ^{*1}	β	5	—	—	μs	
	PV-bit セット後のウェイト時間 ^{*1}	γ	4	—	—	μs	
	ダミーライト後のウェイト時間 ^{*1}	ε	2	—	—	μs	
	PV-bit クリア後のウェイト時間 ^{*1}	η	2	—	—	μs	
	SWE-bit クリア後のウェイト時間 ^{*1}	θ	100	—	—	μs	
	最大書き込み回数 ^{*1*} ^{*4*} ^{*5}	N	—	—	1000	回	
消去時	SWE-bit セット後のウェイト時間 ^{*1}	x	1	—	—	μs	
	ESU-bit セット後のウェイト時間 ^{*1}	y	100	—	—	μs	
	E-bit セット後のウェイト時間 ^{*1*} ^{*6}	z	10	—	100	ms	
	E-bit クリア後のウェイト時間 ^{*1}	α	10	—	—	μs	
	ESU-bit クリア後のウェイト時間 ^{*1}	β	10	—	—	μs	
	EV-bit セット後のウェイト時間 ^{*1}	γ	20	—	—	μs	
	ダミーライト後のウェイト時間 ^{*1}	ε	2	—	—	μs	
	EV-bit クリア後のウェイト時間 ^{*1}	η	4	—	—	μs	
	SWE-bit クリア後のウェイト時間 ^{*1}	θ	100	—	—	μs	
最大消去回数 ^{*1*} ^{*6*} ^{*7}		N	—	—	120	回	

【注】 *1 各時間の設定は、プログラム／イレースのアルゴリズムに従い行ってください。

*2 128 バイト単位の書き込み時間（フラッシュメモリコントロールレジスタ（FLMCR1）の P-bit をセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）

*3 1 ブロックを消去する時間（フラッシュメモリコントロールレジスタ（FLMCR1）の E-bit をセットしているトータル期間を示します。イレースベリファイ時間は含まれません。）

*4 書き込み時間の最大値（tP（max））

$$tP(max) = (P\text{-bit セット後のウェイト時間}(z1) + (z3)) \times 6 \\ + P\text{-bit セット後のウェイト時間}(z2) \times ((N) - 6)$$

*5 最大書き込み回数（N）は、実際の（z1、z2、z3）の設定値に合わせ、書き込み時間の最大値（tP（max））以下となるよう設定してください。また、P-bit セット後のウェイト時間（z1、z2、z3）は、下記のように書き込み回数（n）の値によって切り替えてください。

25. 電気的特性

書き込み回数 n

$1 \leq n \leq 6z1 = 30\mu s$ 、 $z3 = 10\mu s$

$7 \leq n \leq 1000z2 = 200\mu s$

*6 消去時間の最大値 ($tE(max)$)

$tE(max) = E\text{-bit セット後のウェイト時間}(z) \times \text{最大消去回数}(N)$

*7 最大消去回数 (N) は、実際の (z) の設定値に合わせ、消去時間の最大値 ($tE(max)$) 以下となるよう設定してください。

*8 書き換え後のすべての特性を保証する min 回数です (保証は 1~min 値の範囲です)。

*9 25°Cのときの参考値 (通常この値まで書き換えは機能するという目安です)

*10 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

25.7 使用上の注意

外付けコンデンサ接続方法を図 25.29 に示します。VCL 端子には、VCC 端子と共にシステムの電源に接続してください。

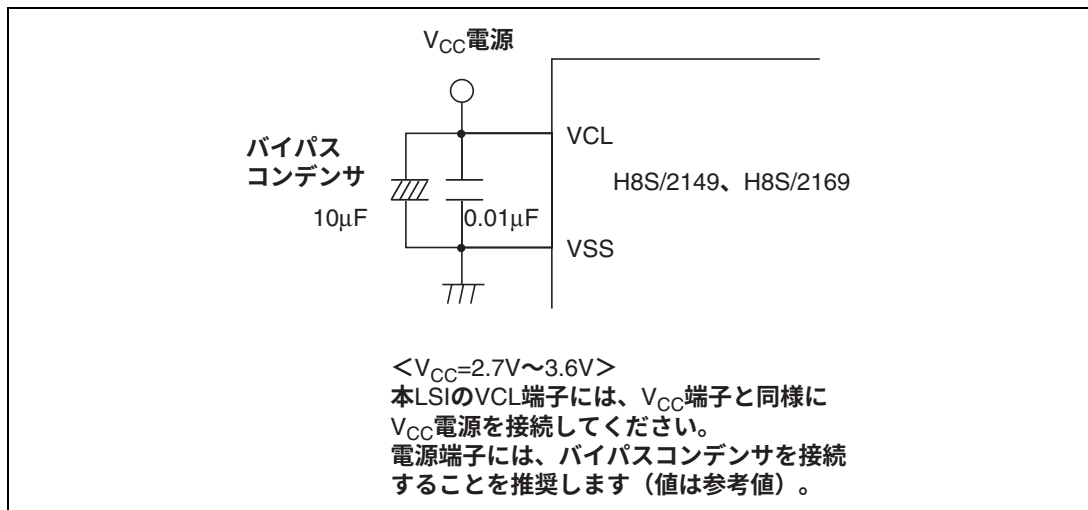


図 25.29 VCL コンデンサ接続方法

付録

A. 命令

A.1 命令セット一覧

《オペレーションの記号》

Rd	汎用レジスタ（デスティネーション側） ^{*1}
Rs	汎用レジスタ（ソース側） ^{*1}
Rn	汎用レジスタ ^{*1}
ERn	汎用レジスタ（32 ビットレジスタ）
MAC	積和レジスタ（32 ビットレジスタ） ^{*2}
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
−	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
~	反転論理（論理的補数）
() <>	オペランドの内容
: 8 / : 16 / : 24 / : 32	8 / 16 / 24 / 32 ビット長

【注】 ^{*1} 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）または 32 ビット（ER0～ER7）です。

^{*2} MAC レジスタは本 LSI では使用できません。

《コンディションコード》

記 号	内 容
↑ ↓	実行結果に従って変化することを表します
*	不確定であることを表します（値を保証しません）
0	常に 0 にクリアされることを表します
1	常に 1 にセットされることを表します
—	実行結果に影響を受けないことを表します

表 A.1 命令セット一覧
(1) データ転送命令

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)								オペレーション	コンディション コード					実行 ステート数*		
			#xx	Rn	@ERn	@ (d,ERn)	@-ERn/ @ERn+	@aa	@ (d,PC)	@aa		I	H	N	Z	V	C	ノーマル	アドバンス
MOV	MOV.B #xx:8,Rd	B	2								#xx:8→Rd8	—	—	↑	↑	0	—	1	
	MOV.B Rs,Rd	B		2							Rs8→Rd8	—	—	↑	↑	0	—	1	
	MOV.B @ERs,Rd	B			2						@ERs→Rd8	—	—	↑	↑	0	—	2	
	MOV.B @ (d:16,ERs),Rd	B				4					@ (d:16,ERs)→Rd8	—	—	↑	↑	0	—	3	
	MOV.B @ (d:32,ERs),Rd	B				8					@ (d:32,ERs)→Rd8	—	—	↑	↑	0	—	5	
	MOV.B @ERs+,Rd	B					2				@ERs→Rd8,ERs32+1→ERs32	—	—	↑	↑	0	—	3	
	MOV.B @aa:8,Rd	B						2			@aa:8→Rd8	—	—	↑	↑	0	—	2	
	MOV.B @aa:16,Rd	B						4			@aa:16→Rd8	—	—	↑	↑	0	—	3	
	MOV.B @aa:32,Rd	B						6			@aa:32→Rd8	—	—	↑	↑	0	—	4	
	MOV.B Rs,@ERd	B			2						Rs8→@ERd	—	—	↑	↑	0	—	2	
	MOV.B Rs,@ (d:16,ERd)	B				4					Rs8→@ (d:16,ERd)	—	—	↑	↑	0	—	3	
	MOV.B Rs,@ (d:32,ERd)	B				8					Rs8→@ (d:32,ERd)	—	—	↑	↑	0	—	5	
	MOV.B Rs,@-ERd	B					2				ERd32-1→ERd32,Rs8→@ERd	—	—	↑	↑	0	—	3	
	MOV.B Rs,@aa:8	B						2			Rs8→@aa:8	—	—	↑	↑	0	—	2	
	MOV.B Rs,@aa:16	B						4			Rs8→@aa:16	—	—	↑	↑	0	—	3	
	MOV.B Rs,@aa:32	B						6			Rs8→@aa:32	—	—	↑	↑	0	—	4	
	MOV.W #xx:16,Rd	W	4								#xx:16→Rd16	—	—	↑	↑	0	—	2	
	MOV.W Rs,Rd	W		2							Rs16→Rd16	—	—	↑	↑	0	—	1	
	MOV.W @ERs,Rd	W			2						@ERs→Rd16	—	—	↑	↑	0	—	2	
	MOV.W @ (d:16,ERs),Rd	W				4					@ (d:16,ERs)→Rd16	—	—	↑	↑	0	—	3	
	MOV.W @ (d:32,ERs),Rd	W				8					@ (d:32,ERs)→Rd16	—	—	↑	↑	0	—	5	
	MOV.W @ERs+,Rd	W					2				@ERs→Rd16,ERs32+2→ERs32	—	—	↑	↑	0	—	3	
	MOV.W @aa:16,Rd	W						4			@aa:16→Rd16	—	—	↑	↑	0	—	3	
	MOV.W @aa:32,Rd	W						6			@aa:32→Rd16	—	—	↑	↑	0	—	4	
	MOV.W Rs,@ERd	W			2						Rs16→@ERd	—	—	↑	↑	0	—	2	
	MOV.W Rs,@ (d:16,ERd)	W				4					Rs16→@ (d:16,ERd)	—	—	↑	↑	0	—	3	
	MOV.W Rs,@ (d:32,ERd)	W				8					Rs16→@ (d:32,ERd)	—	—	↑	↑	0	—	5	
	MOV.W Rs,@-ERd	W					2				ERd32-2→ERd32,Rs16→@ERd	—	—	↑	↑	0	—	3	
	MOV.W Rs,@aa:16	W						4			Rs16→@aa:16	—	—	↑	↑	0	—	3	
	MOV.W Rs,@aa:32	W						6			Rs16→@aa:32	—	—	↑	↑	0	—	4	
	MOV.L #xx:32,ERd	L	6								#xx:32→ERd32	—	—	↑	↑	0	—	3	
	MOV.L ERs,ERd	L		2							ERs32→ERd32	—	—	↑	↑	0	—	1	
MOV.L @ERs,ERd	L			4						@ERs→ERd32	—	—	↑	↑	0	—	4		
MOV.L @ (d:16,ERs),ERd	L				6					@ (d:16,ERs)→ERd32	—	—	↑	↑	0	—	5		
MOV.L @ (d:32,ERs),ERd	L				10					@ (d:32,ERs)→ERd32	—	—	↑	↑	0	—	7		
MOV.L @ERs+,ERd	L					4				@ERs→ERd32,ERs32+4→ERs32	—	—	↑	↑	0	—	5		
MOV.L @aa:16,ERd	L						6			@aa:16→ERd32	—	—	↑	↑	0	—	5		
MOV.L @aa:32,ERd	L						8			@aa:32→ERd32	—	—	↑	↑	0	—	6		
MOV.L ERs,@ERd	L			4						ERs32→@ERd	—	—	↑	↑	0	—	4		
MOV.L ERs,@ (d:16,ERd)	L				6					ERs32→@ (d:16,ERd)	—	—	↑	↑	0	—	5		
MOV.L ERs,@ (d:32,ERd)	L				10					ERs32→@ (d:32,ERd)	—	—	↑	↑	0	—	7		
MOV.L ERs,@-ERd	L					4				ERd32-4→ERd32,ERs32→@ERd	—	—	↑	↑	0	—	5		
MOV.L ERs,@aa:16	L						6			ERs32→@aa:16	—	—	↑	↑	0	—	5		
MOV.L ERs,@aa:32	L						8			ERs32→@aa:32	—	—	↑	↑	0	—	6		
POP	POP.W Rn	W							2	@SP→Rn16,SP+2→SP	—	—	↑	↑	0	—	3		
	POP.L ERn	L							4	@SP→ERn32,SP+4→SP	—	—	↑	↑	0	—	5		
PUSH	PUSH.W Rn	W							2	SP-2→SP,Rn16→@SP	—	—	↑	↑	0	—	3		
	PUSH.L ERn	L							4	SP-4→SP,ERn32→@SP	—	—	↑	↑	0	—	5		
LDM	LDM @SP+,(ERm-ERn)	L							4	(@SP→ERn32,SP+4→SP) 復帰本数分繰り返し	—	—	—	—	—	—	7/9/11	[1]	
STM	STM (ERm-ERn),@-SP	L							4	(SP-4→SP,ERn32→@SP) 退避本数分繰り返し	—	—	—	—	—	—	7/9/11	[1]	
MOVFP	MOVFP @aa:16,Rd	本LSIでは使用できません。																	[2]
MOVTP	MOVTP Rs,@aa:16																		[2]

(2) 算術演算命令

ニーモニック		サイズ	アドレッシングモード/命令長 (バイト)								オペレーション	コンディション コード					実行 ステート数 ^{*1}	
			#xx	Rn	@ERn	@(d,ERn)	@-ERn@ERn+	@aa	@(d,PC)	@@aa		I	H	N	Z	V	C	ノーマル
ADD	ADD.B #xx:8,Rd	B	2							Rd8+#xx:8→Rd8	—	↑	↑	↑	↑	↑	1	
	ADD.B Rs,Rd	B	2							Rd8+Rs8→Rd8	—	↑	↑	↑	↑	↑	1	
	ADD.W #xx:16,Rd	W	4							Rd16+#xx:16→Rd16	—	[3]	↑	↑	↑	↑	2	
	ADD.W Rs,Rd	W	2							Rd16+Rs16→Rd16	—	[3]	↑	↑	↑	↑	1	
	ADD.L #xx:32,ERd	L	6							ERd32+#xx:32→ERd32	—	[4]	↑	↑	↑	↑	3	
ADDD	ADD.L ERs,ERd	L	2							ERd32+ERs32→ERd32	—	[4]	↑	↑	↑	↑	1	
	ADDDX #xx:8,Rd	B	2							Rd8+#xx:8+C→Rd8	—	↑	↑	[5]	↑	↑	1	
ADDS	ADDDX Rs,Rd	B	2							Rd8+Rs8+C→Rd8	—	↑	↑	[5]	↑	↑	1	
	ADDS #1,ERd	L	2							ERd32+1→ERd32	—	—	—	—	—	—	1	
INC	ADDS #2,ERd	L	2							ERd32+2→ERd32	—	—	—	—	—	—	1	
	ADDS #4,ERd	L	2							ERd32+4→ERd32	—	—	—	—	—	—	1	
	INC.B Rd	B	2							Rd8+1→Rd8	—	↑	↑	↑	↑	↑	1	
	INC.W #1,Rd	W	2							Rd16+1→Rd16	—	↑	↑	↑	↑	↑	1	
DAA	INC.W #2,Rd	W	2							Rd16+2→Rd16	—	↑	↑	↑	↑	↑	1	
	INC.L #1,ERd	L	2							ERd32+1→ERd32	—	↑	↑	↑	↑	↑	1	
	INC.L #2,ERd	L	2							ERd32+2→ERd32	—	↑	↑	↑	↑	↑	1	
	DAA Rd	B	2							Rd8 10進補正→Rd8	—	*	↑	↑	*	↑	1	
	SUB.B Rs,Rd	B	2							Rd8-Rs8→Rd8	—	↑	↑	↑	↑	↑	1	
SUBX	SUB.W #xx:16,Rd	W	4							Rd16-#xx:16→Rd16	—	[3]	↑	↑	↑	↑	2	
	SUB.W Rs,Rd	W	2							Rd16-Rs16→Rd16	—	[3]	↑	↑	↑	↑	1	
	SUB.L #xx:32,ERd	L	6							ERd32-#xx:32→ERd32	—	[4]	↑	↑	↑	↑	3	
	SUB.L ERs,ERd	L	2							ERd32-ERs32→ERd32	—	[4]	↑	↑	↑	↑	1	
	SUBX #xx:8,Rd	B	2							Rd8-#xx:8-C→Rd8	—	↑	↑	[5]	↑	↑	1	
SUBS	SUBX Rs,Rd	B	2							Rd8-Rs8-C→Rd8	—	↑	↑	[5]	↑	↑	1	
	SUBS #1,ERd	L	2							ERd32-1→ERd32	—	—	—	—	—	—	1	
	SUBS #2,ERd	L	2							ERd32-2→ERd32	—	—	—	—	—	—	1	
	SUBS #4,ERd	L	2							ERd32-4→ERd32	—	—	—	—	—	—	1	
DEC	DEC.B Rd	B	2							Rd8-1→Rd8	—	↑	↑	↑	↑	↑	1	
	DEC.W #1,Rd	W	2							Rd16-1→Rd16	—	↑	↑	↑	↑	↑	1	
	DEC.W #2,Rd	W	2							Rd16-2→Rd16	—	↑	↑	↑	↑	↑	1	
	DEC.L #1,ERd	L	2							ERd32-1→ERd32	—	↑	↑	↑	↑	↑	1	
	DEC.L #2,ERd	L	2							ERd32-2→ERd32	—	↑	↑	↑	↑	↑	1	
DAS	DAS Rd	B	2							Rd8 10進補正→Rd8	—	*	↑	↑	*	↑	1	
MULXU	MULXU.B Rs,Rd	B	2							Rd8×Rs8→Rd16 (符号なし乗算)	—	—	—	—	—	—	12	
	MULXU.W Rs,ERd	W	2							Rd16×Rs16→ERd32 (符号なし乗算)	—	—	—	—	—	—	20	
MULXS	MULXS.B Rs,Rd	B	4							Rd8×Rs8→Rd16 (符号付き乗算)	—	↑	↑	↑	↑	↑	13	
	MULXS.W Rs,ERd	W	4							Rd16×Rs16→ERd32 (符号付き乗算)	—	↑	↑	↑	↑	↑	21	
DIVXU	DIVXU.B Rs,Rd	B	2							Rd16÷Rs8→Rd16 (RdH: 余り, RdL: 商) (符号なし除算)	—	—	[6]	[7]	—	—	12	
	DIVXU.W Rs,ERd	W	2							ERd32÷Rs16→ERd32 (Ed: 余り, Rd: 商) (符号なし除算)	—	—	[6]	[7]	—	—	20	
DIVXS	DIVXS.B Rs,Rd	B	4							Rd16÷Rs8→Rd16 (RdH: 余り, RdL: 商) (符号付き除算)	—	—	[8]	[7]	—	—	13	
	DIVXS.W Rs,ERd	W	4							ERd32÷Rs16→ERd32 (Ed: 余り, Rd: 商) (符号付き除算)	—	—	[8]	[7]	—	—	21	
CMP	CMP.B #xx:8,Rd	B	2							Rd8-#xx:8	—	↑	↑	↑	↑	↑	1	
	CMP.B Rs,Rd	B	2							Rd8-Rs8	—	↑	↑	↑	↑	↑	1	
	CMP.W #xx:16,Rd	W	4							Rd16-#xx:16	—	[3]	↑	↑	↑	↑	2	
	CMP.W Rs,Rd	W	2							Rd16-Rs16	—	[3]	↑	↑	↑	↑	1	
	CMP.L #xx:32,ERd	L	6							ERd32-#xx:32	—	[4]	↑	↑	↑	↑	3	
NEG	CMP.L ERs,ERd	L	2							ERd32-ERs32	—	[4]	↑	↑	↑	↑	1	
	NEG.B Rd	B	2							0-Rd8→Rd8	—	↑	↑	↑	↑	↑	1	
	NEG.W Rd	W	2							0-Rd16→Rd16	—	↑	↑	↑	↑	↑	1	
EXTU	NEG.L ERd	L	2							0-ERd32→ERd32	—	↑	↑	↑	↑	↑	1	
	EXTU.W Rd	W	2							0-<ビット15~8> of Rd16	—	—	0	↑	0	—	1	
EXTS	EXTU.L ERd	L	2							0-<ビット31~16> of ERd32	—	—	0	↑	0	—	1	
	EXTS.W Rd	W	2							<ビット7> of Rd16→<ビット15~8> of Rd16	—	—	↑	↑	0	—	1	
TAS	EXTS.L ERd	L	2							<ビット15> of ERd32→<ビット31~16> of ERd32	—	—	↑	↑	0	—	1	
	TAS @ERd*3	B		4						@ERd-0→CCRセット, (1)→<ビット7> of @ERd	—	—	↑	↑	0	—	4	
MAC	MAC @ERn+, @ERm+																	
CLRMAC	CLRMAC																	
LDMAC	LDMAC ERs,MACH																	
STMAC	LDMAC ERs,MACL																	
	STMAC MACH,ERd																	
	STMAC MACL,ERd																	

本LSIでは使用できません。

[2]

本LSIでは使用できません。

[2]

(3) 論理演算命令

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)								オペレーション	コンディション コード					実行 ステート数 ^{※1}			
			#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)	@@aa			I	H	N	Z	V	C	ノーマル	アドバンス
AND	AND.B #xx:8,Rd	B	2								Rd8 $\wedge$ #xx:8 $\rightarrow$ Rd8	—	—	↑	↑	0	—	1		
	AND.B Rs,Rd	B		2							Rd8 $\wedge$ Rs8 $\rightarrow$ Rd8	—	—	↑	↑	0	—	1		
	AND.W #xx:16,Rd	W	4								Rd16 $\wedge$ #xx:16 $\rightarrow$ Rd16	—	—	↑	↑	0	—	2		
	AND.W Rs,Rd	W		2							Rd16 $\wedge$ Rs16 $\rightarrow$ Rd16	—	—	↑	↑	0	—	1		
	AND.L #xx:32,ERd	L	6								ERd32 $\wedge$ #xx:32 $\rightarrow$ ERd32	—	—	↑	↑	0	—	3		
	AND.L ERs,ERd	L		4							ERd32 $\wedge$ ERs32 $\rightarrow$ ERd32	—	—	↑	↑	0	—	2		
OR	OR.B #xx:8,Rd	B	2								Rd8 $\vee$ #xx:8 $\rightarrow$ Rd8	—	—	↑	↑	0	—	1		
	OR.B Rs,Rd	B		2							Rd8 $\vee$ Rs8 $\rightarrow$ Rd8	—	—	↑	↑	0	—	1		
	OR.W #xx:16,Rd	W	4								Rd16 $\vee$ #xx:16 $\rightarrow$ Rd16	—	—	↑	↑	0	—	2		
	OR.W Rs,Rd	W		2							Rd16 $\vee$ Rs16 $\rightarrow$ Rd16	—	—	↑	↑	0	—	1		
	OR.L #xx:32,ERd	L	6								ERd32 $\vee$ #xx:32 $\rightarrow$ ERd32	—	—	↑	↑	0	—	3		
	OR.L ERs,ERd	L		4							ERd32 $\vee$ ERs32 $\rightarrow$ ERd32	—	—	↑	↑	0	—	2		
XOR	XOR.B #xx:8,Rd	B	2								Rd8 $\oplus$ #xx:8 $\rightarrow$ Rd8	—	—	↑	↑	0	—	1		
	XOR.B Rs,Rd	B		2							Rd8 $\oplus$ Rs8 $\rightarrow$ Rd8	—	—	↑	↑	0	—	1		
	XOR.W #xx:16,Rd	W	4								Rd16 $\oplus$ #xx:16 $\rightarrow$ Rd16	—	—	↑	↑	0	—	2		
	XOR.W Rs,Rd	W		2							Rd16 $\oplus$ Rs16 $\rightarrow$ Rd16	—	—	↑	↑	0	—	1		
	XOR.L #xx:32,ERd	L	6								ERd32 $\oplus$ #xx:32 $\rightarrow$ ERd32	—	—	↑	↑	0	—	3		
	XOR.L ERs,ERd	L		4							ERd32 $\oplus$ ERs32 $\rightarrow$ ERd32	—	—	↑	↑	0	—	2		
NOT	NOT.B Rd	B		2							$\sim$ Rd8 $\rightarrow$ Rd8	—	—	↑	↑	0	—	1		
	NOT.W Rd	W		2							$\sim$ Rd16 $\rightarrow$ Rd16	—	—	↑	↑	0	—	1		
	NOT.L ERd	L		2							$\sim$ ERd32 $\rightarrow$ ERd32	—	—	↑	↑	0	—	1		

(5) ビット操作命令

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)								オペレーション	コンディション コード					実行 ステート数 ^{※1}	
			#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@aa		I						
BSET	BSET #xx:3,Rd	B	2							(#xx:3 of Rd8)←1	—	—	—	—	—	—	1	
	BSET #xx:3,@ERd	B		4						(#xx:3 of @ERd)←1	—	—	—	—	—	—	4	
	BSET #xx:3,@aa:8	B					4			(#xx:3 of @aa:8)←1	—	—	—	—	—	—	4	
	BSET #xx:3,@aa:16	B					6			(#xx:3 of @aa:16)←1	—	—	—	—	—	—	5	
	BSET #xx:3,@aa:32	B					8			(#xx:3 of @aa:32)←1	—	—	—	—	—	—	6	
	BSET Rn,Rd	B	2							(Rn8 of Rd8)←1	—	—	—	—	—	—	1	
	BSET Rn,@ERd	B		4						(Rn8 of @ERd)←1	—	—	—	—	—	—	4	
	BSET Rn,@aa:8	B					4			(Rn8 of @aa:8)←1	—	—	—	—	—	—	4	
	BSET Rn,@aa:16	B					6			(Rn8 of @aa:16)←1	—	—	—	—	—	—	5	
BCLR	BCLR #xx:3,Rd	B	2							(#xx:3 of Rd8)←0	—	—	—	—	—	—	1	
	BCLR #xx:3,@ERd	B		4						(#xx:3 of @ERd)←0	—	—	—	—	—	—	4	
	BCLR #xx:3,@aa:8	B					4			(#xx:3 of @aa:8)←0	—	—	—	—	—	—	4	
	BCLR #xx:3,@aa:16	B					6			(#xx:3 of @aa:16)←0	—	—	—	—	—	—	5	
	BCLR #xx:3,@aa:32	B					8			(#xx:3 of @aa:32)←0	—	—	—	—	—	—	6	
	BCLR Rn,Rd	B	2							(Rn8 of Rd8)←0	—	—	—	—	—	—	1	
	BCLR Rn,@ERd	B		4						(Rn8 of @ERd)←0	—	—	—	—	—	—	4	
	BCLR Rn,@aa:8	B					4			(Rn8 of @aa:8)←0	—	—	—	—	—	—	4	
	BCLR Rn,@aa:16	B					6			(Rn8 of @aa:16)←0	—	—	—	—	—	—	5	
BNOT	BNOT #xx:3,Rd	B	2							(#xx:3 of Rd8)←[~(#xx:3 of Rd8)]	—	—	—	—	—	—	1	
	BNOT #xx:3,@ERd	B		4						(#xx:3 of @ERd)←[~(#xx:3 of @ERd)]	—	—	—	—	—	—	4	
	BNOT #xx:3,@aa:8	B					4			(#xx:3 of @aa:8)←[~(#xx:3 of @aa:8)]	—	—	—	—	—	—	4	
	BNOT #xx:3,@aa:16	B					6			(#xx:3 of @aa:16)←[~(#xx:3 of @aa:16)]	—	—	—	—	—	—	5	
	BNOT #xx:3,@aa:32	B					8			(#xx:3 of @aa:32)←[~(#xx:3 of @aa:32)]	—	—	—	—	—	—	6	
	BNOT Rn,Rd	B	2							(Rn8 of Rd8)←[~(Rn8 of Rd8)]	—	—	—	—	—	—	1	
	BNOT Rn,@ERd	B		4						(Rn8 of @ERd)←[~(Rn8 of @ERd)]	—	—	—	—	—	—	4	
	BNOT Rn,@aa:8	B					4			(Rn8 of @aa:8)←[~(Rn8 of @aa:8)]	—	—	—	—	—	—	4	
	BNOT Rn,@aa:16	B					6			(Rn8 of @aa:16)←[~(Rn8 of @aa:16)]	—	—	—	—	—	—	5	
BTST	BTST #xx:3,Rd	B	2							(Rn8 of @aa:32)←[~(Rn8 of @aa:32)]	—	—	—	—	—	—	6	
	BTST #xx:3,@ERd	B		4						~(#xx:3 of Rd8)→Z	—	—	—	↑	—	—	1	
	BTST #xx:3,@aa:8	B					4			~(#xx:3 of @ERd)→Z	—	—	—	↑	—	—	3	
	BTST #xx:3,@aa:16	B					6			~(#xx:3 of @aa:8)→Z	—	—	—	↑	—	—	3	
	BTST #xx:3,@aa:32	B					8			~(#xx:3 of @aa:16)→Z	—	—	—	↑	—	—	4	
	BTST Rn,Rd	B	2							~(#xx:3 of @aa:32)→Z	—	—	—	↑	—	—	5	
	BTST Rn,@ERd	B		4						~(Rn8 of Rd8)→Z	—	—	—	↑	—	—	1	
	BTST Rn,@aa:8	B					4			~(Rn8 of @ERd)→Z	—	—	—	↑	—	—	3	
	BTST Rn,@aa:16	B					6			~(Rn8 of @aa:8)→Z	—	—	—	↑	—	—	3	
BLD	BLD #xx:3,Rd	B	2							~(Rn8 of @aa:16)→Z	—	—	—	↑	—	—	4	
	BLD #xx:3,@ERd	B		4						~(Rn8 of @aa:32)→Z	—	—	—	↑	—	—	5	
	BLD #xx:3,@aa:8	B					4			(#xx:3 of Rd8)→C	—	—	—	—	↑	—	1	
	BLD #xx:3,@aa:16	B					6			(#xx:3 of @ERd)→C	—	—	—	—	↑	—	3	
	BLD #xx:3,@aa:32	B					8			(#xx:3 of @aa:8)→C	—	—	—	—	↑	—	3	
BILD	BILD #xx:3,Rd	B	2							(#xx:3 of @aa:16)→C	—	—	—	—	↑	—	4	
	BILD #xx:3,@ERd	B		4						(#xx:3 of @aa:32)→C	—	—	—	—	↑	—	5	
	BILD #xx:3,@aa:8	B					4			~(#xx:3 of Rd8)→C	—	—	—	—	↑	—	1	
	BILD #xx:3,@aa:16	B					6			~(#xx:3 of @ERd)→C	—	—	—	—	↑	—	3	
	BILD #xx:3,@aa:32	B					8			~(#xx:3 of @aa:8)→C	—	—	—	—	↑	—	3	
BST	BST #xx:3,Rd	B	2							~(#xx:3 of @aa:16)→C	—	—	—	—	↑	—	4	
	BST #xx:3,@ERd	B		4						~(#xx:3 of @aa:32)→C	—	—	—	—	↑	—	5	
	BST #xx:3,@aa:8	B					4			C→(#xx:3 of Rd8)	—	—	—	—	—	—	1	
	BST #xx:3,@aa:16	B					6			C→(#xx:3 of @ERd)	—	—	—	—	—	—	4	
	BST #xx:3,@aa:32	B					8			C→(#xx:3 of @aa:8)	—	—	—	—	—	—	4	
BIST	BIST #xx:3,Rd	B	2							C→(#xx:3 of @aa:16)	—	—	—	—	—	—	5	
	BIST #xx:3,@ERd	B		4						C→(#xx:3 of @aa:32)	—	—	—	—	—	—	6	
	BIST #xx:3,@aa:8	B					4			~C→(#xx:3 of Rd8)	—	—	—	—	—	—	1	
	BIST #xx:3,@aa:16	B					6			~C→(#xx:3 of @ERd)	—	—	—	—	—	—	4	
	BIST #xx:3,@aa:32	B					8			~C→(#xx:3 of @aa:8)	—	—	—	—	—	—	4	
BAND	BAND #xx:3,Rd	B	2							~C→(#xx:3 of @aa:16)	—	—	—	—	—	—	5	
	BAND #xx:3,@ERd	B		4						~C→(#xx:3 of @aa:32)	—	—	—	—	—	—	6	
	BAND #xx:3,@aa:8	B					4			C∧(#xx:3 of Rd8)→C	—	—	—	—	↑	—	1	
	BAND #xx:3,@aa:16	B					6			C∧(#xx:3 of @ERd)→C	—	—	—	—	↑	—	3	
	BAND #xx:3,@aa:32	B					8			C∧(#xx:3 of @aa:8)→C	—	—	—	—	↑	—	3	

付 録

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)								オペレーション	コンディションコード					実行ステート数 ^{*1}	
			#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@aa		I	H	N	Z	V		
																	ノーマル	アドバンスト
BIAND	BIAND #xx:3,Rd	B		2							C [^] [~(#xx:3 of Rd8)]→C	—	—	—	—	↑	1	
	BIAND #xx:3,@ERd	B			4						C [^] [~(#xx:3 of @ERd)]→C	—	—	—	—	↑	3	
	BIAND #xx:3,@aa:8	B						4			C [^] [~(#xx:3 of @aa:8)]→C	—	—	—	—	↑	3	
	BIAND #xx:3,@aa:16	B						6			C [^] [~(#xx:3 of @aa:16)]→C	—	—	—	—	↑	4	
	BIAND #xx:3,@aa:32	B						8			C [^] [~(#xx:3 of @aa:32)]→C	—	—	—	—	↑	5	
BOR	BOR #xx:3,Rd	B		2							Cv(#xx:3 of Rd8)→C	—	—	—	—	↑	1	
	BOR #xx:3,@ERd	B			4						Cv(#xx:3 of @ERd)→C	—	—	—	—	↑	3	
	BOR #xx:3,@aa:8	B						4			Cv(#xx:3 of @aa:8)→C	—	—	—	—	↑	3	
	BOR #xx:3,@aa:16	B						6			Cv(#xx:3 of @aa:16)→C	—	—	—	—	↑	4	
	BOR #xx:3,@aa:32	B						8			Cv(#xx:3 of @aa:32)→C	—	—	—	—	↑	5	
BIOR	BIOR #xx:3,Rd	B		2							Cv [~(#xx:3 of Rd8)]→C	—	—	—	—	↑	1	
	BIOR #xx:3,@ERd	B			4						Cv [~(#xx:3 of @ERd)]→C	—	—	—	—	↑	3	
	BIOR #xx:3,@aa:8	B						4			Cv [~(#xx:3 of @aa:8)]→C	—	—	—	—	↑	3	
	BIOR #xx:3,@aa:16	B						6			Cv [~(#xx:3 of @aa:16)]→C	—	—	—	—	↑	4	
	BIOR #xx:3,@aa:32	B						8			Cv [~(#xx:3 of @aa:32)]→C	—	—	—	—	↑	5	
BXOR	BXOR #xx:3,Rd	B		2							C⊕ (#xx:3 of Rd8)→C	—	—	—	—	↑	1	
	BXOR #xx:3,@ERd	B			4						C⊕ (#xx:3 of @ERd)→C	—	—	—	—	↑	3	
	BXOR #xx:3,@aa:8	B						4			C⊕ (#xx:3 of @aa:8)→C	—	—	—	—	↑	3	
	BXOR #xx:3,@aa:16	B						6			C⊕ (#xx:3 of @aa:16)→C	—	—	—	—	↑	4	
	BXOR #xx:3,@aa:32	B						8			C⊕ (#xx:3 of @aa:32)→C	—	—	—	—	↑	5	
BIXOR	BIXOR #xx:3,Rd	B		2							C⊕ [~(#xx:3 of Rd8)]→C	—	—	—	—	↑	1	
	BIXOR #xx:3,@ERd	B			4						C⊕ [~(#xx:3 of @ERd)]→C	—	—	—	—	↑	3	
	BIXOR #xx:3,@aa:8	B						4			C⊕ [~(#xx:3 of @aa:8)]→C	—	—	—	—	↑	3	
	BIXOR #xx:3,@aa:16	B						6			C⊕ [~(#xx:3 of @aa:16)]→C	—	—	—	—	↑	4	
	BIXOR #xx:3,@aa:32	B						8			C⊕ [~(#xx:3 of @aa:32)]→C	—	—	—	—	↑	5	

(6) 分岐命令

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)								オペレーション	コンディションコード					実行ステート数 ^{*1}		
			#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@aa		分岐条件	I	H	N	Z	V	C	ノーマル
Bcc	BRA d:8(BT d:8)	—						2		if condition is true then PC←PC+d else next;	Always	—	—	—	—	—	—	2	
	BRA d:16(BT d:16)	—						4				—	—	—	—	—	—	3	
	BRN d:8(BF d:8)	—						2			Never	—	—	—	—	—	—	2	
	BRN d:16(BF d:16)	—						4				—	—	—	—	—	—	3	
	BHI d:8	—						2			CvZ=0	—	—	—	—	—	—	2	
	BHI d:16	—						4				—	—	—	—	—	—	3	
	BLS d:8	—						2			CvZ=1	—	—	—	—	—	—	2	
	BLS d:16	—						4				—	—	—	—	—	—	3	
	BCC d:8(BHS d:8)	—						2			C=0	—	—	—	—	—	—	2	
	BCC d:16(BHS d:16)	—						4				—	—	—	—	—	—	3	
	BCS d:8(BLO d:8)	—						2			C=1	—	—	—	—	—	—	2	
	BCS d:16(BLO d:16)	—						4				—	—	—	—	—	—	3	
	BNE d:8	—						2			Z=0	—	—	—	—	—	—	2	
	BNE d:16	—						4				—	—	—	—	—	—	3	
	BEQ d:8	—						2			Z=1	—	—	—	—	—	—	2	
	BEQ d:16	—						4				—	—	—	—	—	—	3	
	BVC d:8	—						2			V=0	—	—	—	—	—	—	2	
	BVC d:16	—						4				—	—	—	—	—	—	3	
	BVS d:8	—						2			V=1	—	—	—	—	—	—	2	
	BVS d:16	—						4				—	—	—	—	—	—	3	
	BPL d:8	—						2			N=0	—	—	—	—	—	—	2	
	BPL d:16	—						4				—	—	—	—	—	—	3	
	BMI d:8	—						2			N=1	—	—	—	—	—	—	2	
	BMI d:16	—						4				—	—	—	—	—	—	3	
	BGE d:8	—						2			N@V=0	—	—	—	—	—	—	2	
	BGE d:16	—						4				—	—	—	—	—	—	3	
	BLT d:8	—						2			N@V=1	—	—	—	—	—	—	2	
	BLT d:16	—						4				—	—	—	—	—	—	3	
	BGT d:8	—						2			Zv(N@V)=0	—	—	—	—	—	—	2	
	BGT d:16	—						4				—	—	—	—	—	—	3	
	BLE d:8	—						2			Zv(N@V)=1	—	—	—	—	—	—	2	
	BLE d:16	—						4				—	—	—	—	—	—	3	
JMP	JMP @ERn	—			2					PC←ERn	—	—	—	—	—	—	—	2	
	JMP @aa:24	—					4			PC←aa:24	—	—	—	—	—	—	—	3	
	JMP @aa:8	—							2	PC←@aa:8	—	—	—	—	—	—	4	5	
BSR	BSR d:8	—						2		PC→@-SP,PC←PC+d:8	—	—	—	—	—	—	3	4	
	BSR d:16	—						4		PC→@-SP,PC←PC+d:16	—	—	—	—	—	—	4	5	
JSR	JSR @ERn	—			2					PC→@-SP,PC←ERn	—	—	—	—	—	—	3	4	
	JSR @aa:24	—					4			PC→@-SP,PC←aa:24	—	—	—	—	—	—	4	5	
	JSR @aa:8	—							2	PC→@-SP,PC←@aa:8	—	—	—	—	—	—	4	6	
RTS	RTS	—							2	PC←@SP+	—	—	—	—	—	—	4	5	

(7) システム制御命令

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)								オペレーション	コンディションコード					実行ステート数 ^{*1}		
			#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)	@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
TRAPA	TRAPA #xx:2	—									PC→@-SP,CCR→@-SP, EXR→@-SP,<ベクタ>→PC	1	—	—	—	—	—	7 [9]	8 [9]
RTE	RTE	—									EXR←@SP+,CCR←@SP+, PC←@SP+	↑	↑	↑	↑	↑	↑	5 [9]	
SLEEP	SLEEP	—									低消費電力状態に遷移	—	—	—	—	—	—	2	
LDC	LDC #xx:8,CCR	B	2								#xx:8→CCR	↑	↑	↑	↑	↑	↑	1	
	LDC #xx:8,EXR	B	4								#xx:8→EXR	—	—	—	—	—	—	2	
	LDC Rs,CCR	B		2							Rs8→CCR	↑	↑	↑	↑	↑	↑	1	
	LDC Rs,EXR	B		2							Rs8→EXR	—	—	—	—	—	—	1	
	LDC @ERs,CCR	W			4						@ERs→CCR	↑	↑	↑	↑	↑	↑	3	
	LDC @ERs,EXR	W			4						@ERs→EXR	—	—	—	—	—	—	3	
	LDC @ (d:16,ERs),CCR	W				6					@ (d:16,ERs)→CCR	↑	↑	↑	↑	↑	↑	4	
	LDC @ (d:16,ERs),EXR	W				6					@ (d:16,ERs)→EXR	—	—	—	—	—	—	4	
	LDC @ (d:32,ERs),CCR	W				10					@ (d:32,ERs)→CCR	↑	↑	↑	↑	↑	↑	6	
	LDC @ (d:32,ERs),EXR	W				10					@ (d:32,ERs)→EXR	—	—	—	—	—	—	6	
	LDC @ERs+,CCR	W					4				@ERs→CCR,ERs32+2→ERs32	↑	↑	↑	↑	↑	↑	4	
	LDC @ERs+,EXR	W					4				@ERs→EXR,ERs32+2→ERs32	—	—	—	—	—	—	4	
	LDC @aa:16,CCR	W						6			@aa:16→CCR	↑	↑	↑	↑	↑	↑	4	
	LDC @aa:16,EXR	W						6			@aa:16→EXR	—	—	—	—	—	—	4	
	LDC @aa:32,CCR	W						8			@aa:32→CCR	↑	↑	↑	↑	↑	↑	5	
	LDC @aa:32,EXR	W						8			@aa:32→EXR	—	—	—	—	—	—	5	
STC	STC CCR,Rd	B		2							CCR→Rd8	—	—	—	—	—	—	1	
	STC EXR,Rd	B		2							EXR→Rd8	—	—	—	—	—	—	1	
	STC CCR,@ERd	W			4						CCR→@ERd	—	—	—	—	—	—	3	
	STC EXR,@ERd	W			4						EXR→@ERd	—	—	—	—	—	—	3	
	STC CCR,@ (d:16,ERd)	W				6					CCR→@ (d:16,ERd)	—	—	—	—	—	—	4	
	STC EXR,@ (d:16,ERd)	W				6					EXR→@ (d:16,ERd)	—	—	—	—	—	—	4	
	STC CCR,@ (d:32,ERd)	W				10					CCR→@ (d:32,ERd)	—	—	—	—	—	—	6	
	STC EXR,@ (d:32,ERd)	W				10					EXR→@ (d:32,ERd)	—	—	—	—	—	—	6	
	STC CCR,@-ERd	W					4				ERd32-2→ERd32,CCR→@ERd	—	—	—	—	—	—	4	
	STC EXR,@-ERd	W					4				ERd32-2→ERd32,EXR→@ERd	—	—	—	—	—	—	4	
	STC CCR,@aa:16	W						6			CCR→@aa:16	—	—	—	—	—	—	4	
	STC EXR,@aa:16	W						6			EXR→@aa:16	—	—	—	—	—	—	4	
	STC CCR,@aa:32	W						8			CCR→@aa:32	—	—	—	—	—	—	5	
	STC EXR,@aa:32	W						8			EXR→@aa:32	—	—	—	—	—	—	5	
ANDC	ANDC #xx:8,CCR	B	2								CCR∧#xx:8→CCR	↑	↑	↑	↑	↑	↑	1	
	ANDC #xx:8,EXR	B	4								EXR∧#xx:8→EXR	—	—	—	—	—	—	2	
ORC	ORC #xx:8,CCR	B	2								CCR∨#xx:8→CCR	↑	↑	↑	↑	↑	↑	1	
	ORC #xx:8,EXR	B	4								EXR∨#xx:8→EXR	—	—	—	—	—	—	2	
XORC	XORC #xx:8,CCR	B	2								CCR⊕#xx:8→CCR	↑	↑	↑	↑	↑	↑	1	
	XORC #xx:8,EXR	B	4								EXR⊕#xx:8→EXR	—	—	—	—	—	—	2	
NOP	NOP	—							2	PC←PC+2	—	—	—	—	—	—	—	1	

(8) ブロック転送命令

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)									オペレーション	コンディションコード						実行 ステート数 ^{*1}	
			#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)	@aa			I	H	N	Z	V	C	ノーマル	アドバンス
EEPMOV	EEPMOV.B	—									4	if R4L≠0 Repeat @ER5→@ER6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;	—	—	—	—	—	—	4+2n ^{*2}	
	EEPMOV.W	—									4	if R4≠0 Repeat @ER5→@ER6 R5+1→R5 R6+1→R6 R4-1→R4 Until R4=0 else next;	—	—	—	—	—	—	4+2n ^{*2}	

【注】 *1 実行ステート数は、命令コードおよびオペランドが内蔵メモリに存在する場合の値です。

*2 nはR4LまたはR4の初期設定値です。

*3 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

[1] 復帰／退避レジスタ数が2本のとき7ステート、3本のとき9ステート、4本のとき11ステートになります。

[2] 本LSIでは使用できません。

[3] ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

[4] ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

[5] 演算結果が0（ゼロ）のとき、演算前の値を保持し、それ以外のとき0にクリアされます。

[6] 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。

[7] 除数が0（ゼロ）のとき1にセットされ、それ以外のとき0にクリアされます。

[8] 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

[9] EXRが有効のとき、実行ステート数は1ステート多くなります。

A.2 命令コード一覧

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
ADD	ADD.B #xx:8,Rd	B	8	rd	IMM							
	ADD.B Rs,Rd	B	0	8	rs	rd						
	ADD.W #xx:16,Rd	W	7	9	1	rd		IMM				
	ADD.W Rs,Rd	W	0	9	rs	rd						
	ADD.L #xx:32,Rd	L	7	A	1	0:erd		IMM				
ADDS	ADD.L ERs,ERd	L	0	A	1:ers	0:erd						
	ADDS #1,ERd	L	0	B	0	0:erd						
	ADDS #2,ERd	L	0	B	8	0:erd						
	ADDS #4,ERd	L	0	B	9	0:erd						
	ADDS #xx:8,Rd	B	9	rd	IMM							
ADDX	ADDX Rs,Rd	B	0	E	rs	rd						
	AND.B #xx:8,Rd	B	E	rd	IMM							
	AND.B Rs,Rd	B	1	6	rs	rd						
	AND.W #xx:16,Rd	W	7	9	6	rd		IMM				
	AND.W Rs,Rd	W	6	6	rs	rd						
	AND.L #xx:32,ERd	L	7	A	6	0:erd		IMM				
	AND.L ERs,ERd	L	0	1	F	0						
	ANDC #xx:8,CCR	B	0	6	IMM							
	ANDC #xx:8,EXR	B	0	1	4	1						
	BAND #xx:3,Rd	B	7	6	0:IMM	rd						
BAND	BAND #xx:3 @ERd	B	7	C	0:erd	0		7	6	0:IMM	0	
	BAND #xx:3 @aa:8	B	7	E	abs			7	6	0:IMM	0	
	BAND #xx:3 @aa:16	B	6	A	1	0		abs				
	BAND #xx:3 @aa:32	B	6	A	3	0		abs				
	BRA d:8 (BT d:8)	—	4	0	disp							
Bcc	BRA d:16 (BT d:16)	—	5	8	0	0		disp				
	BRN d:8 (BF d:8)	—	4	1	disp							
	BRN d:16 (BF d:16)	—	5	8	1	0		disp				
	BHI d:8	—	4	2	disp							
	BHI d:16	—	5	8	2	0		disp				
	BLS d:8	—	4	3	disp							
	BLS d:16	—	5	8	3	0		disp				
	BCC d:8 (BHS d:8)	—	4	4	disp							
	BCC d:16 (BHS d:16)	—	5	8	4	0		disp				
	BCS d:8 (BLO d:8)	—	4	5	disp							
	BCS d:16 (BLO d:16)	—	5	8	5	0		disp				
	BNE d:8	—	4	6	disp							
	BNE d:16	—	5	8	6	0		disp				
	BEQ d:8	—	4	7	disp							
	BEQ d:16	—	5	8	7	0		disp				
	BVC d:8	—	4	8	disp							
	BVC d:16	—	5	8	8	0		disp				
	BVS d:8	—	4	9	disp							
	BVS d:16	—	5	8	9	0		disp				

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
Bcc (続き)	BPL d8	—	4	A								
	BPL d16	—	5	8	A	0	disp					
	BMI d8	—	4	B								
	BMI d16	—	5	8	B	0	disp					
	BGE d8	—	4	C								
	BGE d16	—	5	8	C	0	disp					
	BLT d8	—	4	D								
	BLT d16	—	5	8	D	0	disp					
	BGT d8	—	4	E								
	BGT d16	—	5	8	E	0	disp					
BCLR	BLE d8	—	4	F								
	BLE d16	—	5	8	F	0	disp					
	BCLR #xx:3,Rd	B	7	2	0:IMM	rd						
	BCLR #xx:3,@ERd	B	7	D	0:erd	0	7	2	0:IMM	0		
	BCLR #xx:3,@aa:8	B	7	F	abs							
	BCLR #xx:3,@aa:16	B	6	A	1	8	abs	7	2	0:IMM	0	
	BCLR #xx:3,@aa:32	B	6	A	3	8	abs					
	BCLR Rn,Rd	B	6	2	m	rd						
	BCLR Rn,@ERd	B	7	D	0:erd	0	6	2	m	0		
	BCLR Rn,@aa:8	B	7	F	abs							
BIAND	BCLR Rn,@aa:16	B	6	A	1	8	abs	6	2	m	0	
	BCLR Rn,@aa:32	B	6	A	3	8	abs					
	BIAND #xx:3,Rd	B	7	6	1:IMM	rd						
	BIAND #xx:3,@ERd	B	7	C	0:erd	0	7	6	1:IMM	0		
	BIAND #xx:3,@aa:8	B	7	E	abs							
	BIAND #xx:3,@aa:16	B	6	A	1	0	abs	7	6	1:IMM	0	
	BIAND #xx:3,@aa:32	B	6	A	3	0	abs					
	BILD #xx:3,Rd	B	7	7	1:IMM	rd						
	BILD #xx:3,@ERd	B	7	C	0:erd	0	7	7	1:IMM	0		
	BILD #xx:3,@aa:8	B	7	E	abs							
BILD	BILD #xx:3,@aa:16	B	6	A	1	0	abs	7	7	1:IMM	0	
	BILD #xx:3,@aa:32	B	6	A	3	0	abs					
	BIOR #xx:3,Rd	B	7	4	1:IMM	rd						
	BIOR #xx:3,@ERd	B	7	C	0:erd	0	7	4	1:IMM	0		
	BIOR #xx:3,@aa:8	B	7	E	abs							
	BIOR #xx:3,@aa:16	B	6	A	1	0	abs	7	4	1:IMM	0	
	BIOR #xx:3,@aa:32	B	6	A	3	0	abs					
	BIST #xx:3,Rd	B	7	4	1:IMM	rd						
	BIST #xx:3,@ERd	B	7	C	0:erd	0	7	4	1:IMM	0		
	BIST #xx:3,@aa:8	B	7	E	abs							
BIST	BIST #xx:3,@aa:16	B	6	A	1	0	abs	7	4	1:IMM	0	
	BIST #xx:3,@aa:32	B	6	A	3	0	abs					
	BIST #xx:3,Rd	B	6	7	1:IMM	rd						
	BIST #xx:3,@ERd	B	7	D	0:erd	0	6	7	1:IMM	0		
	BIST #xx:3,@aa:8	B	7	F	abs							
	BIST #xx:3,@aa:16	B	6	A	1	8	abs	6	7	1:IMM	0	
	BIST #xx:3,@aa:32	B	6	A	3	8	abs					

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
BIXOR	BIXOR #xx:3,Rd	B	7	5	1:IMM; rd							
	BIXOR #xx:3,@ERd	B	7	C	0:erd; 0	7	5	1:IMM; 0				
	BIXOR #xx:3,@aa:8	B	7	C	0:erd; 0	7	5	1:IMM; 0				
	BIXOR #xx:3,@aa:16	B	6	A	1	0	abs					
	BIXOR #xx:3,@aa:32	B	6	A	3	0	abs					
BLD	BLD #xx:3,Rd	B	7	7	0:IMM; rd							
	BLD #xx:3,@ERd	B	7	C	0:erd; 0	7	7	0:IMM; 0				
	BLD #xx:3,@aa:8	B	7	C	0:erd; 0	7	7	0:IMM; 0				
	BLD #xx:3,@aa:16	B	6	A	1	0	abs					
	BLD #xx:3,@aa:32	B	6	A	3	0	abs					
BNOT	BNOT #xx:3,Rd	B	7	1	0:IMM; rd							
	BNOT #xx:3,@ERd	B	7	D	0:erd; 0	7	1	0:IMM; 0				
	BNOT #xx:3,@aa:8	B	7	F	abs							
	BNOT #xx:3,@aa:16	B	6	A	1	8	abs					
	BNOT #xx:3,@aa:32	B	6	A	3	8	abs					
BOR	BNOT Rn,Rd	B	6	1	rd							
	BNOT Rn,@ERd	B	7	D	0:erd; 0	6	1	rd				
	BNOT Rn,@aa:8	B	7	F	abs							
	BNOT Rn,@aa:16	B	6	A	1	8	abs					
	BNOT Rn,@aa:32	B	6	A	3	8	abs					
BSET	BOR #xx:3,Rd	B	7	4	0:IMM; rd							
	BOR #xx:3,@ERd	B	7	C	0:erd; 0	7	4	0:IMM; 0				
	BOR #xx:3,@aa:8	B	7	E	abs							
	BOR #xx:3,@aa:16	B	6	A	1	0	abs					
	BOR #xx:3,@aa:32	B	6	A	3	0	abs					
BSTR	BSET #xx:3,Rd	B	7	0	0:IMM; rd							
	BSET #xx:3,@ERd	B	7	D	0:erd; 0	7	0	0:IMM; 0				
	BSET #xx:3,@aa:8	B	7	F	abs							
	BSET #xx:3,@aa:16	B	6	A	1	8	abs					
	BSET #xx:3,@aa:32	B	6	A	3	8	abs					
BSR	BSET Rn,Rd	B	6	0	rd							
	BSET Rn,@ERd	B	7	D	0:erd; 0	6	0	rd				
	BSET Rn,@aa:8	B	7	F	abs							
	BSET Rn,@aa:16	B	6	A	1	8	abs					
	BSET Rn,@aa:32	B	6	A	3	8	abs					
BST	BSR d:8	-	5	5	disp							
	BSR d:16	-	5	C	0	0	disp					
	BST #xx:3,Rd	B	6	7	0:IMM; rd							
	BST #xx:3,@ERd	B	7	D	0:erd; 0	6	7	0:IMM; 0				
	BST #xx:3,@aa:8	B	7	F	abs							
BST	BST #xx:3,@aa:16	B	6	A	1	8	abs					
	BST #xx:3,@aa:32	B	6	A	3	8	abs					
	BST #xx:3,@aa:16	B	6	A	1	8	abs					
	BST #xx:3,@aa:32	B	6	A	3	8	abs					
	BST #xx:3,@aa:16	B	6	A	1	8	abs					

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
BTST	BTST #xx:3,Rd	B	7	3	0:IMM; rd							
	BTST #xx:3,@ERd	B	7	C	0:erd	0						
	BTST #xx:3,@aa:8	B	7	E	abs	0:IMM	0					
	BTST #xx:3,@aa:16	B	6	A	1	0						
	BTST #xx:3,@aa:32	B	6	A	3	0						
	BTST Rn,Rd	B	6	3	rd							
	BTST Rn,@ERd	B	7	C	0:erd	0						
	BTST Rn,@aa:8	B	7	E	abs	0:IMM	0					
	BTST Rn,@aa:16	B	6	A	1	0						
	BTST Rn,@aa:32	B	6	A	3	0						
	BXOR #xx:3,Rd	B	7	5	0:IMM; rd							
	BXOR #xx:3,@ERd	B	7	C	0:erd	0						
BXOR	BXOR #xx:3,@aa:8	B	7	E	abs	0:IMM	0					
	BXOR #xx:3,@aa:16	B	6	A	1	0						
	BXOR #xx:3,@aa:32	B	6	A	3	0						
	CLRMAC	-	本LSIでは使用できません。									
CMP	CMP.B #xx:8,Rd	B	A	rd	IMM							
	CMP.B Rs,Rd	B	1	C	rs	rd						
	CMP.W #xx:16,Rd	W	7	9	2	rd						
	CMP.W Rs,Rd	W	1	D	rs	rd						
	CMP.L #xx:32,ERd	L	7	A	2	0:erd						
	CMP.L ERs,ERd	L	1	F	1:ers	0:erd						
DAA	DAA Rd	B	0	F	0	rd						
DAS	DAS Rd	B	1	F	0	rd						
DEC	DEC.B Rd	B	1	A	0	rd						
	DEC.W #1,Rd	W	1	B	5	rd						
	DEC.W #2,Rd	W	1	B	D	rd						
	DEC.L #1,ERd	L	1	B	7	0:erd						
	DEC.L #2,ERd	L	1	B	F	0:erd						
	DIVXS.B Rs,Rd	B	0	1	D	0						
DIVXS	DIVXS.W Rs,ERd	W	0	1	D	0	5	1	rs	rd		
DIVXU	DIVXU.B Rs,Rd	B	5	1	rs	rd						
EEPMOV	DIVXU.W Rs,ERd	W	5	3	rs	0:erd						
	EEPMOV.B	-	7	B	5	C	5	9	8	F		
EXTS	EEPMOV.W	-	7	B	D	4	5	9	8	F		
	EXTS.W Rd	W	1	7	D	rd						
EXTU	EXTS.L ERd	L	1	7	F	0:erd						
	EXTU.W Rd	W	1	7	5	rd						
	EXTU.L ERd	L	1	7	7	0:erd						

命令		ニーモニック		サイズ	インストラクションフォーマット									
		第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト			
INC	INC.B Rd	B	0	A	0	rd								
	INC.W #1,Rd	W	0	B	5	rd								
	INC.W #2,Rd	W	0	B	D	rd								
	INC.L #1,ERd	L	0	B	7	0:erd								
	INC.L #2,ERd	L	0	B	F	0:erd								
JMP	JMP @ERn	—	5	9	0:ern	0								
	JMP @aa:24	—	5	A		abs								
	JMP @aa:8	—	5	B		abs								
JSR	JSR @ERn	—	5	D	0:ern	0								
	JSR @aa:24	—	5	E		abs								
	JSR @aa:8	—	5	F		abs								
LDC	LDC #xx:8,CCR	B	0	7	IMM									
	LDC #xx:8,EXR	B	0	1	4	1	0	7	IMM					
	LDC Rs,CCR	B	0	3	0	rs								
	LDC Rs,EXR	B	0	3	1	rs								
	LDC @ERs,CCR	W	0	1	4	0	6	9	0:ers	0				
	LDC @ERs,EXR	W	0	1	4	1	6	9	0:ers	0				
	LDC @(d:16,ERs),CCR	W	0	1	4	0	6	F	0:ers	0				
	LDC @(d:16,ERs),EXR	W	0	1	4	1	6	F	0:ers	0				
	LDC @(d:32,ERs),CCR	W	0	1	4	0	7	8	0:ers	0				
	LDC @(d:32,ERs),EXR	W	0	1	4	1	7	8	0:ers	0				
	LDC @ERs+,CCR	W	0	1	4	0	6	D	0:ers	0				
	LDC @ERs+,EXR	W	0	1	4	1	6	D	0:ers	0				
	LDC @aa:16,CCR	W	0	1	4	0	6	B	0	0				
	LDC @aa:16,EXR	W	0	1	4	1	6	B	0	0				
	LDC @aa:32,CCR	W	0	1	4	0	6	B	2	0				
	LDC @aa:32,EXR	W	0	1	4	1	6	B	2	0				
LDM	LDM.L @SP+, (ERn-ERn+1)	L	0	1	1	0	6	D	7	0:ern+1				
	LDM.L @SP+, (ERn-ERn+2)	L	0	1	2	0	6	D	7	0:ern+2				
	LDM.L @SP+, (ERn-ERn+3)	L	0	1	3	0	6	D	7	0:ern+3				
	LDMAC	L												
本LSIでは使用できません。														
MAC	MAC @ERn+, @ERm+	—												
	LDMAC	L												
MOV	MOV.B #xx:8,Rd	B	F	rd	IMM									
	MOV.B Rs,Rd	B	0	C	rs	rd								
	MOV.B @ERs,Rd	B	6	8	0:ers	rd								
	MOV.B @(d:16,ERs),Rd	B	6	E	0:ers	rd								
	MOV.B @(d:32,ERs),Rd	B	7	8	0:ers	0	6	A	2	rd				
	MOV.B @ERs+,Rd	B	6	C	0:ers	rd				disp				
	MOV.B @aa:8,Rd	B	2	rd	abs									
	MOV.B @aa:16,Rd	B	6	A	0	rd								
	MOV.B @aa:32,Rd	B	6	A	2	rd								
	MOV.B Rs,@ERd	B	6	8	1:erd	rs								
	MOV.B Rs,@(d:16,ERd)	B	6	E	1:erd	rs								
	MOV.B Rs,@(d:32,ERd)	B	7	8	0:erd	0	6	A	A	rs				
										disp				

本LSIでは使用できません。

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
MOV (続き)	MOV B Rs, @ERd	B	6	C 1 : erd : rs								
	MOV B Rs, @aa:8	B	3	rs	abs							
	MOV B Rs, @aa:16	B	6	A	8	rs	abs					
	MOV B Rs, @aa:32	B	6	A	A	rs	abs					
	MOV.W #xx:16, Rd	W	7	9	0	rd						
	MOV.W Rs, Rd	W	0	D	rs	rd						
	MOV.W @ERS, Rd	W	6	9	0 : ers : rd							
	MOV.W @(d:16, ERs), Rd	W	6	F	0 : ers : rd							
	MOV.W @(d:32, ERs), Rd	W	7	8	0 : ers : 0	6	B	2	rd	disp		
	MOV.W @ERS+, Rd	W	6	D	0 : ers : rd							
	MOV.W @aa:16, Rd	W	6	B	0	rd	abs					
	MOV.W @aa:32, Rd	W	6	B	2	rd	abs					
	MOV.W Rs, @ERd	W	6	9	1 : erd : rs							
	MOV.W Rs @(d:16, ERd)	W	6	F	1 : erd : rs							
	MOV.W Rs @(d:32, ERd)	W	7	8	0 : erd : 0	6	B	A	rs	disp		
	MOV.W Rs, @-ERd	W	6	D	1 : erd : rs							
	MOV.W Rs, @aa:16	W	6	B	8	rs	abs					
	MOV.W Rs, @aa:32	W	6	B	A	rs	abs					
	MOV.L #xx:32, Rd	L	7	A	0	0 : erd	abs					
	MOV.L ERs, ERd	L	0	F	1 : ers : 0 : erd		IMM					
	MOV.L @ERS, ERd	L	0	1	0	0	6	9	0 : ers : 0 : erd			
	MOV.L @(d:16, ERs), ERd	L	0	1	0	0	6	F	0 : ers : 0 : erd			
	MOV.L @(d:32, ERs), ERd	L	0	1	0	0	7	8	0 : ers : 0	disp		
	MOV.L @ERS+, ERd	L	0	1	0	0	6	D	0 : ers : 0 : erd			disp
	MOV.L @aa:16, ERd	L	0	1	0	0	6	B	0	0 : erd		
	MOV.L @aa:32, ERd	L	0	1	0	0	6	B	2	0 : erd		
	MOV.L ERs, @ERd	L	0	1	0	0	6	9	1 : erd : 0 : ers	abs		
	MOV.L ERs @(d:16, ERd)	L	0	1	0	0	6	F	1 : erd : 0 : ers			
	MOV.L ERs @(d:32, ERd) ※1	L	0	1	0	0	7	8	0 : erd : 0	disp		
	MOV.L ERs, @-ERd	L	0	1	0	0	6	D	1 : erd : 0 : ers			
	MOV.L ERs, @aa:16	L	0	1	0	0	6	B	8	0 : ers		
	MOV.L ERs, @aa:32	L	0	1	0	0	6	B	A	0 : ers		
本LSIでは使用できません。												
MOVFP	MOVFP	B	0	1	C	0	5	0	rs	rd		
MOVTP	MOVTP	B	0	1	C	0	5	2	rs	0 : erd		
MULXS	MULXS B Rs, Rd	B	0	1	C	0	rs	rd				
MULXU	MULXS.W Rs, ERd	W	0	1	C	0	rs	rd				
	MULXU B Rs, Rd	B	5	0	rs	0 : erd						
NEG	MULXU.W Rs, ERd	W	5	2	rs	0 : erd						
	NEG.B Rd	B	1	7	8	rd						
	NEG.W Rd	W	1	7	9	rd						
NOP	NEG.L ERd	L	1	7	B	0 : erd						
	NOP	-	0	0	0	0						

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
NOT	NOT.B Rd	B	1	7	0	rd						
	NOT.W Rd	W	1	7	1	rd						
	NOT.L ERd	L	1	7	3	0 : erd						
	OR.B #xx:8,Rd	B	C	rd	IMM							
OR	OR.B Rs,Rd	B	1	4	rs	rd						
	OR.W #xx:16,Rd	W	7	9	4	rd						
	OR.W Rs,Rd	W	6	4	rs	rd						
	OR.L #xx:32,ERd	L	7	A	4	0 : erd						
ORC	OR.L ERs,ERd	L	0	1	F	0	0	ers	0 : erd			
	ORC #xx:8,CCR	B	0	4	IMM							
	ORC #xx:8,EXR	B	0	1	4	1	0	4	IMM			
	POP.W Rn	W	6	D	7	rn						
PUSH	POP.L ERn	L	0	1	0	0	6	D	7	0 : ern		
	PUSH.W Rn	W	6	D	F	rn						
	PUSH.L ERn	L	0	1	0	0	6	D	F	0 : ern		
	ROTL.B Rd	B	1	2	8	rd						
ROTL	ROTL.B #2, Rd	B	1	2	C	rd						
	ROTL.W Rd	W	1	2	9	rd						
	ROTL.W #2, Rd	W	1	2	D	rd						
	ROTL.L ERd	L	1	2	B	0 : erd						
ROTR	ROTL.L #2, ERd	L	1	2	F	0 : erd						
	ROTR.B Rd	B	1	3	8	rd						
	ROTR.B #2, Rd	B	1	3	C	rd						
	ROTR.W Rd	W	1	3	9	rd						
ROTXL	ROTR.W #2, Rd	W	1	3	D	rd						
	ROTR.L ERd	L	1	3	B	0 : erd						
	ROTR.L #2, ERd	L	1	3	F	0 : erd						
	ROTXL.B Rd	B	1	2	0	rd						
ROTXR	ROTXL.B #2, Rd	B	1	2	4	rd						
	ROTXL.W Rd	W	1	2	1	rd						
	ROTXL.W #2, Rd	W	1	2	5	rd						
	ROTXL.L ERd	L	1	2	3	0 : erd						
RTX	ROTXL.L #2, ERd	L	1	2	7	0 : erd						
	ROTXR.B Rd	B	1	3	0	rd						
	ROTXR.B #2, Rd	B	1	3	4	rd						
	ROTXR.W Rd	W	1	3	1	rd						
RTE	ROTXR.W #2, Rd	W	1	3	5	rd						
	ROTXR.L ERd	L	1	3	3	0 : erd						
	ROTXR.L #2, ERd	L	1	3	7	0 : erd						
	RTX	-	5	6	7	0						
RTS	RTS	-	5	4	7	0						

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
SHAL	SHAL.B Rd	B	1	0	8	rd						
	SHAL.B #2, Rd	B	1	0	C	rd						
	SHAL.W Rd	W	1	0	9	rd						
	SHAL.W #2, Rd	W	1	0	D	rd						
	SHALL ERd	L	1	0	B	0 : erd						
SHAR	SHALL #2, ERd	L	1	0	F	0 : erd						
	SHAR.B Rd	B	1	1	8	rd						
	SHAR.B #2, Rd	B	1	1	C	rd						
	SHAR.W Rd	W	1	1	9	rd						
	SHAR.W #2, Rd	W	1	1	D	rd						
SHLL	SHAR.L ERd	L	1	1	B	0 : erd						
	SHAR.L #2, ERd	L	1	1	F	0 : erd						
	SHLL.B Rd	B	1	0	0	rd						
	SHLL.B #2, Rd	B	1	0	4	rd						
	SHLL.W Rd	W	1	0	1	rd						
SHLR	SHLL.W #2, Rd	W	1	0	5	rd						
	SHLL.L ERd	L	1	0	3	0 : erd						
	SHLL.L #2, ERd	L	1	0	7	0 : erd						
	SHLR.B Rd	B	1	1	0	rd						
	SHLR.B #2, Rd	B	1	1	4	rd						
SLEEP	SHLR.W Rd	W	1	1	1	rd						
	SHLR.W #2, Rd	W	1	1	5	rd						
	SHLR.L ERd	L	1	1	3	0 : erd						
	SHLR.L #2, ERd	L	1	1	7	0 : erd						
	SLEEP	—	0	1	8	0						
STC	STC.B CCR Rd	B	0	2	0	rd						
	STC.B EXR.L Rd	B	0	2	1	rd						
	STC.W CCR, @ERd	W	0	1	4	0	6	9	1 : erd	0		
	STC.W EXR, @ERd	W	0	1	4	1	6	9	1 : erd	0		
	STC.W CCR, @(d16:ERd)	W	0	1	4	0	6	F	1 : erd	0		
	STC.W EXR, @(d16:ERd)	W	0	1	4	1	6	F	1 : erd	0		
	STC.W CCR, @(d32:ERd)	W	0	1	4	0	7	8	0 : erd	0		
	STC.W EXR, @(d32:ERd)	W	0	1	4	1	7	8	0 : erd	0		
	STC.W CCR, @-ERd	W	0	1	4	0	6	D	1 : erd	0		
	STC.W EXR, @-ERd	W	0	1	4	1	6	D	1 : erd	0		
	STC.W CCR, @aa:16	W	0	1	4	0	6	B	8	0		
	STC.W EXR, @aa:16	W	0	1	4	1	6	B	8	0		
	STC.W CCR, @aa:32	W	0	1	4	0	6	B	A	0		
	STC.W EXR, @aa:32	W	0	1	4	1	6	B	A	0		
	STM.L (ERn-ERn+1), @-SP	L	0	1	1	0	6	D	F	0 : ern		
STM	STM.L (ERn-ERn+2), @-SP	L	0	1	2	0	6	D	F	0 : ern		
	STM.L (ERn-ERn+3), @-SP	L	0	1	3	0	6	D	F	0 : ern		
STMAC	STMAC MACH. ERd	L										
	STMAC MACL. ERd	L										

本LSIでは使用できません。

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
SUB	SUB.B Rs,Rd	B	1	8	rs	rd						
	SUB.W #xx:16,Rd	W	7	9	3	rd	IMM					
	SUB.W Rs,Rd	W	1	9	rs	rd						
	SUB.L #xx:32,ERd	L	7	A	3	0:erd		IMM				
	SUB.L ERs,ERd	L	1	A	1	ers:0:erd						
SUBS	SUBS #1,ERd	L	1	B	0	0:erd						
	SUBS #2,ERd	L	1	B	8	0:erd						
	SUBS #4,ERd	L	1	B	9	0:erd						
	SUBS #xx:8,Rd	B	B	rd	IMM							
SUBX	SUBX Rs,Rd	B	1	E	rs	rd						
	SUBX #xx:8,Rd	B	0	1	E	0	7	B	0:erd	C		
TAS	TAS @ERd #2	B	0	1	E	0	7	B	0:erd	C		
TRAPA	TRAPA #x:2	B	5	7	00:IMM	0						
XOR	XOR.B #xx:8,Rd	B	D	rd	IMM							
	XOR.B Rs,Rd	B	1	5	rs	rd						
	XOR.W #xx:16,Rd	W	7	9	5	rd	IMM					
	XOR.W Rs,Rd	W	6	5	rs	rd						
	XOR.L #xx:32,ERd	L	7	A	5	0:erd		IMM				
	XOR.L ERs,ERd	L	0	1	F	0	6	5	0:ers	0:erd		
XORC	XORC #xx:8,CCR	B	0	5	IMM							
	XORC #xx:8,EXR	B	0	1	4	1	0	5	IMM			

【注】 *1 MOV.L ERs, @ (d:32, ERd) 命令の第4バイト、ビット7は、1、0どちらでも動作可能です。
*2 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

《記号説明》

- IMM : イミディエイトデータ (2、3、8、16、32 ビット)
- abs : 絶対アドレス (8、16、24、32 ビット)
- disp : ディスプレースメント (8、16、32 ビット)
- rs、rd、rn : レジスタフィールド (4 ビットで、8 ビットレジスタまたは 16 ビットレジスタを指定します。rs、rd、rn はそれぞれオペランド形式の Rs、Rd、Rn に対応します。)
- ers、erd、ern、erm : レジスタフィールド (3 ビットで、アドレスレジスタまたは 32 ビットレジスタを指定します。ers、erd、ern、erm はそれぞれオペランド形式の ERs、ERd、ERn、ERm に対応します。)

レジスタフィールドと汎用レジスタの対応を下表に示します。

アドレスレジスタ 32 ビットレジスタ		16 ビットレジスタ		8 ビットレジスタ	
レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ
000	ER0	0000	R0	0000	R0H
001	ER1	0001	R1	0001	R1H
⋮	⋮	⋮	⋮	⋮	⋮
111	ER7	0111	R7	0111	R7H
		1000	E0	1000	R0L
		1001	E1	1001	R1L
		⋮	⋮	⋮	⋮
		1111	E7	1111	R7L

表A.3 オペレーションコードマップ (2)

命令コード：

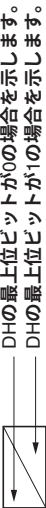
第1バイト		第2バイト	
AH	AL	BH	BL

BH AH AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F			
01	MOV	LDM	STM		LDC	STC	MAC*		SLEEP		CLRMAC*		表A.3(3)	表A.3(3)	TAS	表A.3(3)			
0A	INC	ADD																	
0B	ADDS					INC		INC	ADDS					INC		INC			
0F	DAA	MOV																	
10	SHLL				SHLL			SHLL	SHAL				SHAL			SHAL			
11	SHLR				SHLR			SHLR	SHAR				SHAR			SHAR			
12	ROTXL				ROTXL			ROTXL	ROTL				ROTL			ROTL			
13	ROTXR				ROTXR			ROTXR	ROTR				ROTR			ROTR			
17	NOT			NOT		EXTU		EXTU	NEG			NEG		EXTS		EXTS			
1A	DEC	SUB																	
1B	SUBS					DEC		DEC	SUBS				DEC			DEC			
1F	DAS	CMP																	
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE			
6A	MOV	表A.3(4)	MOV	表A.3(4)	MOVFP*				MOV		MOV		MOVTP*						
79	MOV	ADD	CMP	SUB	OR	XOR	AND												
7A	MOV	ADD	CMP	SUB	OR	XOR	AND												

【注】 * 本LSIでは使用できません。

表A.3 オペレーションコードマップ (3)

第1バイト		第2バイト		第3バイト		第4バイト	
AH	AL	BH	BL	CH	CL	DH	DL



CL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AH AL BH BL CH	MULXS	MULXS	MULXS													
01C05																
01D05		DIVXS		DIVXS												
01F06					OR	XOR	AND									
7Cr06 *1				BTST												
7Cr07 *1				BTST	BOR BIOR	BXOR BIXOR	BAND BIAND	BLD BILD BST BIST								
7Dr06 *1	BSET	BNOT	BCLR													
7Dr07 *1	BSET	BNOT	BCLR													
7Eaa6 *2				BTST												
7Eaa7 *2				BTST	BOR BIOR	BXOR BIXOR	BAND BIAND	BLD BILD BST BIST								
7Faa6 *2	BSET	BNOT	BCLR													
7Faa7 *2	BSET	BNOT	BCLR													

【注】 *1 rはレジスタ指定部
*2 aaは絶対アドレス指定

表A.3 オペレーションコンコードマップ (4)

命令コード：											
第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト	
AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL
EL AHALBHLCHCLDLEH 6A10aaaa6* 6A10aaaa7* 6A18aaaa6* 6A18aaaa7* 0 1 2 3 4 5 6 7 8 9 A B C D E F BTST BLD BAND BOR BAND BOR BAND BOR BAND BOR BAND BOR BAND BOR BAND BOR BSET BNOT BCLR											

→

→

FHの最上位ビットが0の場合を示します。
FHの最上位ビットが1の場合を示します。

命令コード：											
第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト	
AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL
GL AHALBHL...FHLGH 6A30aaaaaaaaa6* 6A30aaaaaaaaa7* 6A38aaaaaaaaa6* 6A38aaaaaaaaa7* 0 1 2 3 4 5 6 7 8 9 A B C D E F BTST BLD BAND BOR BAND BOR BAND BOR BAND BOR BAND BOR BAND BOR BAND BOR BSET BNOT BCLR											

→

→

HHの最上位ビットが0の場合を示します。
HHの最上位ビットが1の場合を示します。

【注】 * aaは絶対アドレス指定

A.4 命令実行ステート数

H8S/2000 CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.5 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード／ライト等のサイクル数を示し、**表 A.4** におおののサイズに必要なステート数を示します。

命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

アドバンスモード、プログラム領域およびスタック領域を外部空間に設定、内部周辺モジュールアクセス時 8 ビットバス幅で 2 ステートアクセス、外部デバイスアクセス時 16 ビットバス幅で 3 ステートアクセス 1 ウェイト挿入とした場合。

1. BSET #0, @FFFC7:8
表A.5より
 $I=L=2, J=K=M=N=0$
表A.4より
 $S_I = 4, S_L = 2$
 実行ステート数 = $2 \times 4 + 2 \times 2 = 12$
2. JSR @@30
表A.5より
 $I=J=K=2, L=M=N=0$
表A.4より
 $S_I=S_J=S_K = 4$
 実行ステート数 = $2 \times 4 + 2 \times 4 + 2 \times 4 = 24$

表 A.4 実行状態（サイクル）に要するステート数

実行状態（サイクル）	アクセス対象						
	内蔵メモリ	内蔵周辺モジュール		外部デバイス			
				8ビットバス		16ビットバス	
		8ビットバス	16ビットバス	2ステートアクセス	3ステートアクセス	2ステートアクセス	3ステートアクセス
命令フェッチ S_i	1	4	2	4	6+2m	2	3+m
分岐アドレスリード S_j							
スタック操作 S_k							
バイトデータアクセス S_L		2		2	3+m		
ワードデータアクセス S_M		4		4	6+2m		
内部動作 S_N	1						

【記号説明】

m：外部デバイスアクセス時のウェイトステート数。

表 A.5 命令実行状態（サイクル数）

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8,Rd	1					
	ADD.B Rs,Rd	1					
	ADD.W #xx:16,Rd	2					
	ADD.W Rs,Rd	1					
	ADD.L #xx:32,ERd	3					
	ADD.L ERs,ERd	1					
ADDS	ADDS #1/2/4,ERd	1					
ADDX	ADDX #xx:8,Rd	1					
	ADDX Rs,Rd	1					
AND	AND.B #xx:8,Rd	1					
	AND.B Rs,Rd	1					
	AND.W #xx:16,Rd	2					
	AND.W Rs,Rd	1					
	AND.L #xx:32,ERd	3					
	AND.L ERs,ERd	2					
ANDC	ANDC #xx:8,CCR	1					
	ANDC #xx:8,EXR	2					
BAND	BAND #xx:3,Rd	1					
	BAND #xx:3,@ERd	2			1		
	BAND #xx:3,@aa:8	2			1		
	BAND #xx:3,@aa:16	3			1		
	BAND #xx:3,@aa:32	4			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
	BLE d:8	2					

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BRA d:16 (BT d:16)	2					1
	BRN d:16 (BF d:16)	2					1
	BHI d:16	2					1
	BLS d:16	2					1
	BCC d:16 (BHS d:16)	2					1
	BCS d:16 (BLO d:16)	2					1
	BNE d:16	2					1
	BEQ d:16	2					1
	BVC d:16	2					1
	BVS d:16	2					1
	BPL d:16	2					1
	BMI d:16	2					1
	BGE d:16	2					1
	BLT d:16	2					1
	BGT d:16	2					1
	BLE d:16	2					1
BCLR	BCLR #xx:3,Rd	1					
	BCLR #xx:3,@ERd	2			2		
	BCLR #xx:3,@aa:8	2			2		
	BCLR #xx:3,@aa:16	3			2		
	BCLR #xx:3,@aa:32	4			2		
	BCLR Rn,Rd	1					
	BCLR Rn,@ERd	2			2		
	BCLR Rn,@aa:8	2			2		
	BCLR Rn,@aa:16	3			2		
	BCLR Rn,@aa:32	4			2		
BIAND	BIAND #xx:3,Rd	1					
	BIAND #xx:3,@ERd	2			1		
	BIAND #xx:3,@aa:8	2			1		
	BIAND #xx:3,@aa:16	3			1		
	BIAND #xx:3,@aa:32	4			1		
BILD	BILD #xx:3,Rd	1					
	BILD #xx:3,@ERd	2			1		
	BILD #xx:3,@aa:8	2			1		
	BILD #xx:3,@aa:16	3			1		
	BILD #xx:3,@aa:32	4			1		
BIOR	BIOR #xx:8,Rd	1					
	BIOR #xx:8,@ERd	2			1		
	BIOR #xx:8,@aa:8	2			1		
	BIOR #xx:8,@aa:16	3			1		
	BIOR #xx:8,@aa:32	4			1		

付 録

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BIST	BIST #xx:3,Rd	1					
	BIST #xx:3,@ERd	2			2		
	BIST #xx:3,@aa:8	2			2		
	BIST #xx:3,@aa:16	3			2		
	BIST #xx:3,@aa:32	4			2		
BIXOR	BIXOR #xx:3,Rd	1					
	BIXOR #xx:3,@ERd	2			1		
	BIXOR #xx:3,@aa:8	2			1		
	BIXOR #xx:3,@aa:16	3			1		
	BIXOR #xx:3,@aa:32	4			1		
BLD	BLD #xx:3,Rd	1					
	BLD #xx:3,@ERd	2			1		
	BLD #xx:3,@aa:8	2			1		
	BLD #xx:3,@aa:16	3			1		
	BLD #xx:3,@aa:32	4			1		
BNOT	BNOT #xx:3,Rd	1					
	BNOT #xx:3,@ERd	2			2		
	BNOT #xx:3,@aa:8	2			2		
	BNOT #xx:3,@aa:16	3			2		
	BNOT #xx:3,@aa:32	4			2		
	BNOT Rn,Rd	1					
	BNOT Rn,@ERd	2			2		
	BNOT Rn,@aa:8	2			2		
	BNOT Rn,@aa:16	3			2		
BNOT	BNOT Rn,@aa:32	4			2		
BOR	BOR #xx:3,Rd	1					
	BOR #xx:3,@ERd	2			1		
	BOR #xx:3,@aa:8	2			1		
	BOR #xx:3,@aa:16	3			1		
	BOR #xx:3,@aa:32	4			1		
BSET	BSET #xx:3,Rd	1					
	BSET #xx:3,@ERd	2			2		
	BSET #xx:3,@aa:8	2			2		
	BSET #xx:3,@aa:16	3			2		
	BSET #xx:3,@aa:32	4			2		
	BSET Rn,Rd	1					
	BSET Rn,@ERd	2			2		
	BSET Rn,@aa:8	2			2		
	BSET Rn,@aa:16	3			2		
	BSET Rn,@aa:32	4			2		

命令	ニーモニック		命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
			I	J	K	L	M	N
BSR	BSR d:8	ノーマル	2		1			
		アドバンスト	2		2			
	BSR d:16	ノーマル	2		1			1
		アドバンスト	2		2			1
BST	BST #xx:3,Rd		1					
	BST #xx:3,@ERd		2			2		
	BST #xx:3,@aa:8		2			2		
	BST #xx:3,@aa:16		3			2		
	BST #xx:3,@aa:32		4			2		
BTST	BTST #xx:3,Rd		1					
	BTST #xx:3,@ERd		2			1		
	BTST #xx:3,@aa:8		2			1		
	BTST #xx:3,@aa:16		3			1		
	BTST #xx:3,@aa:32		4			1		
	BTST Rn,Rd		1					
	BTST Rn,@ERd		2			1		
	BTST Rn,@aa:8		2			1		
	BTST Rn,@aa:16		3			1		
	BTST Rn,@aa:32		4			1		
BXOR	BXOR #xx:3,Rd		1					
	BXOR #xx:3,@ERd		2			1		
	BXOR #xx:3,@aa:8		2			1		
	BXOR #xx:3,@aa:16		3			1		
	BXOR #xx:3,@aa:32		4			1		
CLRMAC	CLRMAC		本 LSI では使用できません。					
CMP	CMP.B #xx:8,Rd		1					
	CMP.B Rs,Rd		1					
	CMP.W #xx:16,Rd		2					
	CMP.W Rs,Rd		1					
	CMP.L #xx:32,ERd		3					
	CMP.L ERs,ERd		1					
DAA	DAA Rd		1					
DAS	DAS Rd		1					
DEC	DEC.B Rd		1					
	DEC.W #1/2,Rd		1					
	DEC.L #1/2,ERd		1					
DIVXS	DIVXS.B Rs,Rd		2					11
	DIVXS.W Rs,ERd		2					19

付 録

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
DIVXU	DIVXU.B Rs,Rd	1					11
	DIVXU.W Rs,ERd	1					19
EEPMOV	EEPMOV.B	2			2n+2 * ²		
	EEPMOV.W	2			2n+2 * ²		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2,Rd	1					
	INC.L #1/2,ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					1
	JMP @@aa:8	ノーマル	2	1			1
		アドバンスト	2	2			1
JSR	JSR @ERn	ノーマル	2		1		
		アドバンスト	2		2		
	JSR @aa:24	ノーマル	2		1		1
		アドバンスト	2		2		1
	JSR @@aa:8	ノーマル	2	1	1		
		アドバンスト	2	2	2		
LDC	LDC #xx:8,CCR	1					
	LDC #xx:8,EXR	2					
	LDC Rs,CCR	1					
	LDC Rs,EXR	1					
	LDC @ERs,CCR	2				1	
	LDC @ERs,EXR	2				1	
	LDC @(d:16,ERs),CCR	3				1	
	LDC @(d:16,ERs),EXR	3				1	
	LDC @(d:32,ERs),CCR	5				1	
	LDC @(d:32,ERs),EXR	5				1	
	LDC @ERs+,CCR	2				1	1
	LDC @ERs+,EXR	2				1	1
	LDC @aa:16,CCR	3				1	
	LDC @aa:16,EXR	3				1	
	LDC @aa:32,CCR	4				1	
	LDC @aa:32,EXR	4				1	
LDM	LDM.L @SP+, (ERn-ERn+1)	2		4			1
	LDM.L @SP+, (ERn-ERn+2)	2		6			1
	LDM.L @SP+, (ERn-ERn+3)	2		8			1
LDMAC	LDMAC ERs, MACH LDMAC ERs, MACL	本 LSI では使用できません。					
MAC	MAC @ERn+, @ERm+						

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.B #xx:8,Rd	1					
	MOV.B Rs,Rd	1					
	MOV.B @ERs,Rd	1			1		
	MOV.B @(d:16,ERs),Rd	2			1		
	MOV.B @(d:32,ERs),Rd	4			1		
	MOV.B @ERs+,Rd	1			1		1
	MOV.B @aa:8,Rd	1			1		
	MOV.B @aa:16,Rd	2			1		
	MOV.B @aa:32,Rd	3			1		
	MOV.B Rs,@ERd	1			1		
	MOV.B Rs,@(d:16,ERd)	2			1		
	MOV.B Rs,@(d:32,ERd)	4			1		
	MOV.B Rs,@-ERd	1			1		1
	MOV.B Rs,@aa:8	1			1		
	MOV.B Rs,@aa:16	2			1		
	MOV.B Rs,@aa:32	3			1		
	MOV.W #xx:16,Rd	2					
	MOV.W Rs,Rd	1					
	MOV.W @ERs,Rd	1				1	
	MOV.W @(d:16,ERs),Rd	2				1	
	MOV.W @(d:32,ERs),Rd	4				1	
	MOV.W @ERs+,Rd	1				1	1
	MOV.W @aa:16,Rd	2				1	
	MOV.W @aa:32,Rd	3				1	
	MOV.W Rs,@ERd	1				1	
	MOV.W Rs,@(d:16,ERd)	2				1	
	MOV.W Rs,@(d:32,ERd)	4				1	
	MOV.W Rs,@-ERd	1				1	1
	MOV.W Rs,@aa:16	2				1	
	MOV.W Rs,@aa:32	3				1	
	MOV.L #xx:32,ERd	3					
	MOV.L ERs,ERd	1					
	MOV.L @ERs,ERd	2				2	
	MOV.L @(d:16,ERs),ERd	3				2	
	MOV.L @(d:32,ERs),ERd	5				2	
	MOV.L @ERs+,ERd	2				2	1
	MOV.L @aa:16,ERd	3				2	
	MOV.L @aa:32,ERd	4				2	
	MOV.L ERs,@ERd	2				2	
	MOV.L ERs,@(d:16,ERd)	3				2	
	MOV.L ERs,@(d:32,ERd)	5				2	
	MOV.L ERs,@-ERd	2				2	1
	MOV.L ERs,@aa:16	3				2	
	MOV.L ERs,@aa:32	4				2	

付 録

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
MOVFP	MOVFP @:aa:16,Rd	本 LSI では使用できません。					
MOVTP	MOVTP Rs,@:aa:16						
MULXS	MULXS.B Rs,Rd	2					11
	MULXS.W Rs,ERd	2					19
MULXU	MULXU.B Rs,Rd	1					11
	MULXU.W Rs,ERd	1					19
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					
OR	OR.B #xx:8,Rd	1					
	OR.B Rs,Rd	1					
	OR.W #xx:16,Rd	2					
	OR.W Rs,Rd	1					
	OR.L #xx:32,ERd	3					
	OR.L ERs,ERd	2					
ORC	ORC #xx:8,CCR	1					
	ORC #xx:8,EXR	2					
POP	POP.W Rn	1				1	1
	POP.L ERn	2				2	1
PUSH	PUSH.W Rn	1				1	1
	PUSH.L ERn	2				2	1
ROTL	ROTL.B Rd	1					
	ROTL.B #2,Rd	1					
	ROTL.W Rd	1					
	ROTL.W #2,Rd	1					
	ROTL.L ERd	1					
	ROTL.L #2,ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.B #2,Rd	1					
	ROTR.W Rd	1					
	ROTR.W #2,Rd	1					
	ROTR.L ERd	1					
	ROTR.L #2,ERd	1					

命令	ニーモニック		命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
			I	J	K	L	M	N
ROTXL	ROTXL.B Rd		1					
	ROTXL.B #2,Rd		1					
	ROTXL.W Rd		1					
	ROTXL.W #2,Rd		1					
	ROTXL.L ERd		1					
	ROTXL.L #2,ERd		1					
ROTXR	ROTXR.B Rd		1					
	ROTXR.B #2,Rd		1					
	ROTXR.W Rd		1					
	ROTXR.W #2,Rd		1					
	ROTXR.L ERd		1					
	ROTXR.L #2,ERd		1					
RTE	RTE		2		2 / 3 * ¹			1
RTS	RTS	ノーマル	2		1			1
		アドバンスト	2		2			1
SHAL	SHAL.B Rd		1					
	SHAL.B #2,Rd		1					
	SHAL.W Rd		1					
	SHAL.W #2,Rd		1					
	SHAL.L ERd		1					
	SHAL.L #2,ERd		1					
SHAR	SHAR.B Rd		1					
	SHAR.B #2,Rd		1					
	SHAR.W Rd		1					
	SHAR.W #2,Rd		1					
	SHAR.L ERd		1					
	SHAR.L #2,ERd		1					
SHLL	SHLL.B Rd		1					
	SHLL.B #2,Rd		1					
	SHLL.W Rd		1					
	SHLL.W #2,Rd		1					
	SHLL.L ERd		1					
	SHLL.L #2,ERd		1					
SHLR	SHLR.B Rd		1					
	SHLR.B #2,Rd		1					
	SHLR.W Rd		1					
	SHLR.W #2,Rd		1					
	SHLR.L ERd		1					
	SHLR.L #2,ERd		1					
SLEEP	SLEEP		1					1

付 録

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
STC	STC.B CCR,Rd	1					
	STC.B EXR,Rd	1					
	STC.W CCR,@ERd	2				1	
	STC.W EXR,@ERd	2				1	
	STC.W CCR,@(d:16,ERd)	3				1	
	STC.W EXR,@(d:16,ERd)	3				1	
	STC.W CCR,@(d:32,ERd)	5				1	
	STC.W EXR,@(d:32,ERd)	5				1	
	STC.W CCR,@-ERd	2				1	1
	STC.W EXR,@-ERd	2				1	1
	STC.W CCR,@aa:16	3				1	
	STC.W EXR,@aa:16	3				1	
	STC.W CCR,@aa:32	4				1	
	STC.W EXR,@aa:32	4				1	
STM	STM.L (ERn-ERn+1),@-SP	2		4			1
	STM.L (ERn-ERn+2),@-SP	2		6			1
	STM.L (ERn-ERn+3),@-SP	2		8			1
SUB	SUB.B Rs,Rd	1					
	SUB.W #xx:16,Rd	2					
	SUB.W Rs,Rd	1					
	SUB.L #xx:32,ERd	3					
	SUB.L ERs,ERd	1					
SUBS	SUBS #1/2/4,ERd	1					
SUBX	SUBX #xx:8,Rd	1					
	SUBX Rs,Rd	1					
TAS	TAS @ERd * ³	2			2		
TRAPA	TRAPA #x:2	ノーマル	1	2 / 3 * ¹			2
		アドバンスト	2	2 / 3 * ¹			2
XOR	XOR.B #xx:8,Rd	1					
	XOR.B Rs,Rd	1					
	XOR.W #xx:16,Rd	2					
	XOR.W Rs,Rd	1					
	XOR.L #xx:32,ERd	3					
	XOR.L ERs,ERd	2					
XORC	XORC #xx:8,CCR	1					
	XORC #xx:8,EXR	2					

【注】 *1 EXR が無効なとき 2、有効なとき 3 になります。

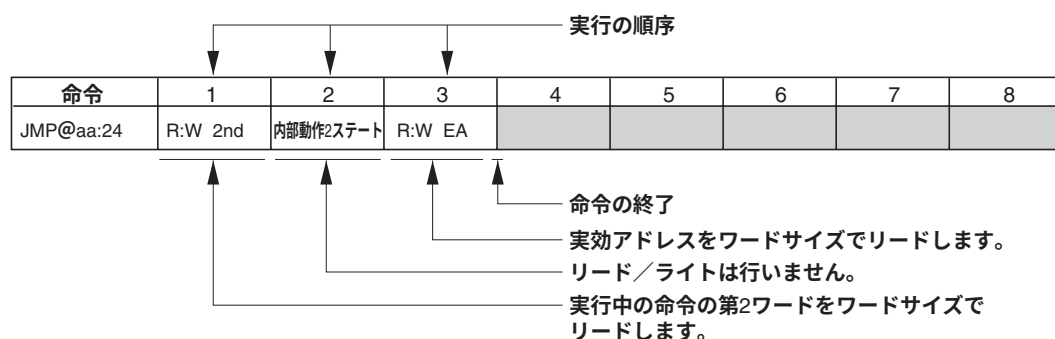
*2 転送データが n バイトのとき。

*3 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

A.5 命令実行中のバス状態

本 CPU の個々の命令についての実行状態を表 A.6 に示します。実行状態に必要なステート数に関しては、表 A.4 を参照してください。

《表の見方》



《記号説明》

R : B	バイトサイズリードを行います。
R : W	ワードサイズリードを行います。
W : B	バイトサイズライトを行います。
W : W	ワードサイズライトを行います。
: M	本サイクル直後はバス権移譲を行いません。
2nd	第 2 ワード（第 3 ・ 第 4 バイト）のアドレスです。
3rd	第 3 ワード（第 5 ・ 第 6 バイト）のアドレスです。
4th	第 4 ワード（第 7 ・ 第 8 バイト）のアドレスです。
5th	第 5 ワード（第 9 ・ 第 10 バイト）のアドレスです。
NEXT	実行中の命令の直後の命令の先頭アドレスです。
EA	実効アドレスです。
VEC	ベクタアドレスです。

8ビットバス・3ステートアクセス・ウェイトなしの場合、上記命令実行中のアドレスバス、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ のタイミングを図A.1に示します。

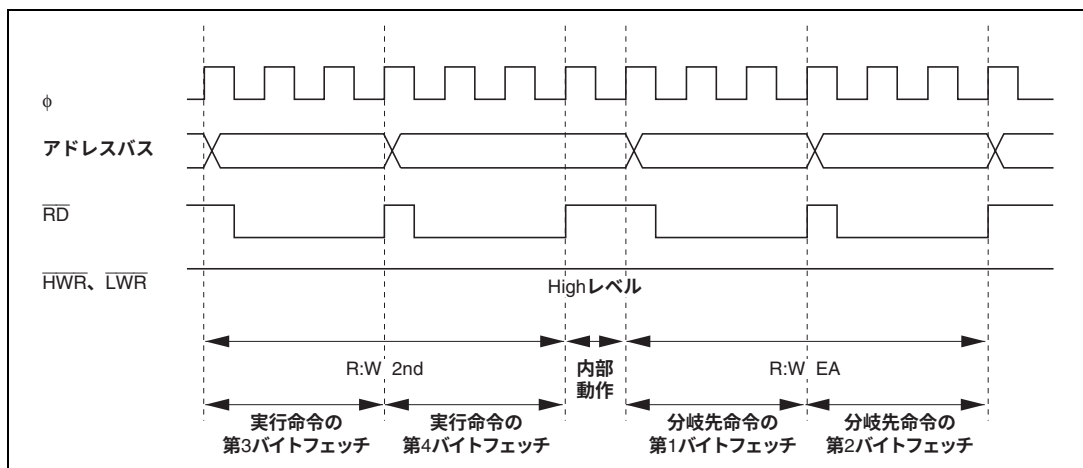


図 A.1 アドレスバス、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ のタイミング
(8ビットバス・3ステートアクセス・ウェイトなしの場合)

表 A.6 命令の実行状態

命令	1	2	3	4	5	6	7	8	9
ADD.B #xc:8,Rd	R:W NEXT								
ADD.B Rs,Rd	R:W NEXT								
ADD.W #xc:16,Rd	R:W 2nd	R:W NEXT							
ADD.W Rs,Rd	R:W NEXT								
ADD.L #xc:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
ADD.L ERs,ERd	R:W NEXT								
ADDS #1/2/4,ERd	R:W NEXT								
ADDX #xc:8,Rd	R:W NEXT								
ADDX Rs,Rd	R:W NEXT								
AND.B #xc:8,Rd	R:W NEXT								
AND.B Rs,Rd	R:W NEXT								
AND.W #xc:16,Rd	R:W 2nd	R:W NEXT							
AND.W Rs,Rd	R:W NEXT								
AND.L #xc:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
AND.L ERs,ERd	R:W 2nd	R:W NEXT							
ANDC #xc:8,CCR	R:W NEXT								
ANDC #xc:8,EXR	R:W 2nd	R:W NEXT							
BAND #xc:3,Rd	R:W NEXT								
BAND #xc:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xc:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xc:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BAND #xc:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BRA d:8 (BT d:8)	R:W NEXT	R:W EA							
BRN d:8 (BF d:8)	R:W NEXT	R:W EA							
BHI d:8	R:W NEXT	R:W EA							
BLS d:8	R:W NEXT	R:W EA							
BCC d:8 (BHS d:8)	R:W NEXT	R:W EA							
BCS d:8 (BLO d:8)	R:W NEXT	R:W EA							
BNE d:8	R:W NEXT	R:W EA							
BEQ d:8	R:W NEXT	R:W EA							
BVC d:8	R:W NEXT	R:W EA							
BVS d:8	R:W NEXT	R:W EA							
BPL d:8	R:W NEXT	R:W EA							
BMI d:8	R:W NEXT	R:W EA							
BGE d:8	R:W NEXT	R:W EA							
BLT d:8	R:W NEXT	R:W EA							
BGT d:8	R:W NEXT	R:W EA							
BLE d:8	R:W NEXT	R:W EA							
BRA d:16 (BT d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BRN d:16 (BF d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						

付 録

命令	1	2	3	4	5	6	7	8	9
BHI d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLS d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BCC d:16 (BHS d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BCS d:16 (BLO d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BNE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BEQ d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BVC d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BVS d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BPL d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BMI d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BGE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLT d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BGT d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BCLR #xc:3,Rd	R:W NEXT								
BCLR #xc:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xc:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xc:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR #xc:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BCLR Rn,Rd	R:W NEXT								
BCLR Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIAND #xc:3,Rd	R:W NEXT								
BIAND #xc:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xc:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xc:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIAND #xc:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BILD #xc:3,Rd	R:W NEXT								
BILD #xc:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xc:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						

命令	1	2	3	4	5	6	7	8	9
BILD #xc:3, @aa:16	R:W 2nd	R:W 3rd	R:B: EA	R:W:M NEXT					
BILD #xc:3, @aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIOR #xc:3, Rd	R:W NEXT								
BIOR #xc:3, @ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xc:3, @aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xc:3, @aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIOR #xc:3, @aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIST #xc:3, Rd	R:W NEXT								
BIST #xc:3, @ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xc:3, @aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xc:3, @aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BIST #xc:3, @aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIXOR #xc:3, Rd	R:W NEXT								
BIXOR #xc:3, @ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xc:3, @aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xc:3, @aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIXOR #xc:3, @aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BLD #xc:3, Rd	R:W NEXT								
BLD #xc:3, @ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xc:3, @aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xc:3, @aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BLD #xc:3, @aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BNOT #xc:3, Rd	R:W NEXT								
BNOT #xc:3, @ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xc:3, @aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xc:3, @aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT #xc:3, @aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BNOT Rn, Rd	R:W NEXT								
BNOT Rn, @ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn, @aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn, @aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT Rn, @aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BOR #xc:3, Rd	R:W NEXT								
BOR #xc:3, @ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xc:3, @aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xc:3, @aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BOR #xc:3, @aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BSET #xc:3, Rd	R:W NEXT								
BSET #xc:3, @ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xc:3, @aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xc:3, @aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET #xc:3, @aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSET Rn, Rd	R:W NEXT								

付 録

命令	1	2	3	4	5	6	7	8	9
BSET Rn, @ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn, @aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn, @aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET Rn, @aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSR d:8	7ビット	R:W NEXT	R:W EA	W:W:M 32ビット(H)	W:W 32ビット(L)				
BSR d:16	7ビット	R:W 2nd	内部動作 1 ステート	R:W EA	W:W:M 32ビット(H)	W:W 32ビット(L)			
BST #xc:3, Rd	R:W NEXT								
BST #xc:3, @ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xc:3, @aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xc:3, @aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BST #xc:3, @aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BTST #xc:3, Rd	R:W NEXT								
BTST #xc:3, @ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xc:3, @aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xc:3, @aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST #xc:3, @aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BTST Rn, Rd	R:W NEXT								
BTST Rn, @ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn, @aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn, @aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST Rn, @aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BXOR #xc:3, Rd	R:W NEXT								
BXOR #xc:3, @ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xc:3, @aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xc:3, @aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BXOR #xc:3, @aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
CLRMAC	本 LSI では使用できません。								
CMP.B #xc:8, Rd	R:W NEXT								
CMP.B Rs, Rd	R:W NEXT								
CMP.W #xc:16, Rd	R:W 2nd	R:W NEXT							
CMP.W Rs, Rd	R:W NEXT								
CMP.L #xc:32, ERd	R:W 2nd	R:W 3rd	R:W NEXT						
CMP.L ERs, ERd	R:W NEXT								
DAA Rd	R:W NEXT								
DAS Rd	R:W NEXT								
DEC.B Rd	R:W NEXT								
DEC.W #1/2, Rd	R:W NEXT								
DEC.L #1/2, ERd	R:W NEXT								
DIVXS.B Rs, Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
DIVXS.W Rs, ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
DIVXU.B Rs, Rd	R:W NEXT	内部動作 11 ステート							
DIVXU.W Rs, ERd	R:W NEXT	内部動作 19 ステート							

命令	1	2	3	4	5	6	7	8	9
EEPMOV.B	R:W 2nd	R:B EAs ¹	R:B EAd ¹	R:B EAs ²	W:B EAd ²	R:W NEXT			
EEPMOV.W	R:W 2nd	R:B EAs ¹	R:B EAd ¹	R:B EAs ²	W:B EAd ²	R:W NEXT			
EXTS.W Rd	R:W NEXT			← n 回繰り返す ² →					
EXTS.L ERd	R:W NEXT								
EXTU.W Rd	R:W NEXT								
EXTU.L ERd	R:W NEXT								
INC.B Rd	R:W NEXT								
INC.W #1/2,Rd	R:W NEXT								
INC.L #1/2,ERd	R:W NEXT								
JMP @ERn	R:W NEXT	R:W EA							
JMP @aa:24	R:W 2nd	内部動作 1 ステート	R:W EA						
JMP @aa:8 7h ¹ n ¹ >h	R:W NEXT	R:W:M aa:8	R:W aa:8	内部動作 1 ステート	R:W EA				
JSR @ERn 7h ¹ n ¹ >h	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)					
JSR @aa:24 7h ¹ n ¹ >h	R:W 2nd	内部動作 1 ステート	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
JSR @aa:8 7h ¹ n ¹ >h	R:W NEXT	R:W:M aa:8	R:W aa:8	W:W:M スタック(H)	W:W スタック(L)	R:W EA			
LDC #xx:8,CCR	R:W NEXT								
LDC #xx:8,EXR	R:W 2nd	R:W NEXT							
LDC R _s ,CCR	R:W NEXT								
LDC R _s ,EXR	R:W NEXT								
LDC @ERs,CCR	R:W 2nd	R:W NEXT	R:W EA						
LDC @ERs,EXR	R:W 2nd	R:W NEXT	R:W EA						
LDC @(d:16,ERs),CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @(d:16,ERs),EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @(d:32,ERs),CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC @(d:32,ERs),EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC @ERs+,CCR	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W EA					
LDC @ERs+,EXR	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W EA					
LDC @aa:16,CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:16,EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:32,CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDC @aa:32,EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDM.L @SP+, (ERn-ERn+1)	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタック(H) ²	R:W スタック(L) ²				
LDM.L @SP+, (ERn-ERn+2)	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタック(H) ²	R:W スタック(L) ²				
LDM.L @SP+, (ERn-ERn+3)	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタック(H) ²	R:W スタック(L) ²				

付 録

命令	1	2	3	4	5	6	7	8	9
LDMAC ERs,MACH	本 LSI では使用できません。								
LDMAC ERs,MACL									
MAC @ERn+,@ERm+									
MOV.B #xc:8,Rd	R:W NEXT								
MOV.B Rs,Rd	R:W NEXT								
MOV.B @ERs,Rd	R:W NEXT	R:B EA							
MOV.B @(d:16,ERs), Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @(d:32,ERs), Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:B EA				
MOV.B @ERs+,Rd	R:W NEXT	内部動作 1 ステート	R:B EA						
MOV.B @aa:8,Rd	R:W NEXT	R:B EA							
MOV.B @aa:16,Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.B Rs,@ERd	R:W NEXT	W:B EA							
MOV.B Rs, @(d:16,ERd)	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:B EA				
MOV.B Rs,@-ERd	R:W NEXT	内部動作 1 ステート	W:B EA						
MOV.B Rs,@aa:8	R:W NEXT	W:B EA							
MOV.B Rs,@aa:16	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:B EA					
MOV.W #xc:16,Rd	R:W 2nd	R:W NEXT							
MOV.W Rs,Rd	R:W NEXT								
MOV.W @ERs,Rd	R:W NEXT	R:W EA							
MOV.W @(d:16,ERs), Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @(d:32,ERs), Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
MOV.W @ERs+,Rd	R:W NEXT	内部動作 1 ステート	R:W EA						
MOV.W @aa:16,Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.W Rs,@ERd	R:W NEXT	W:W EA							
MOV.W Rs, @(d:16,ERd)	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
MOV.W Rs,@-ERd	R:W NEXT	内部動作 1 ステート	W:W EA						
MOV.W Rs,@aa:16	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					

命令	1	2	3	4	5	6	7	8	9
MOV.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
MOV.L ERs,ERd	R:W NEXT								
MOV.L @ERs,ERd	R:W 2nd	R:W:M NEXT	R:W:M EA	R:W EA+2					
MOV.L @(d:16,ERs), ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @(d:32,ERs), ERd	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	R:W:M EA	R:W EA+2		
MOV.L @ERs+,ERd	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M EA	R:W EA+2				
MOV.L @aa:16,ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @aa:32,ERd	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	R:W:M EA	R:W EA+2			
MOV.L ERs,@ERd	R:W 2nd	R:W:M NEXT	W:W:M EA	W:W EA+2					
MOV.L ERs, @(d:16,ERd)	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@(d:32,ERd)	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	W:W:M EA	W:W EA+2		
MOV.L ERs,@-ERd	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:16	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:32	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	W:W:M EA	W:W EA+2			
MOVFPPE @aa:16,Rd	本 LSI では使用できません。								
MOVTPPE Rs,@aa:16									
MULXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
MULXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
MULXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
MULXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
NEG.B Rd	R:W NEXT								
NEG.W Rd	R:W NEXT								
NEG.L ERd	R:W NEXT								
NOP	R:W NEXT								
NOT.B Rd	R:W NEXT								
NOT.W Rd	R:W NEXT								
NOT.L ERd	R:W NEXT								
OR.B #xx:8,Rd	R:W NEXT								
OR.B Rs,Rd	R:W NEXT								
OR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
OR.W Rs,Rd	R:W NEXT								
OR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
OR.L ERs,ERd	R:W 2nd	R:W NEXT							
ORC #xx:8,CCR	R:W NEXT								
ORC #xx:8,EXR	R:W 2nd	R:W NEXT							
POP.W Rn	R:W NEXT	内部動作 1 ステート	R:W EA						
POP.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M EA	R:W EA+2				

付 録

命令	1	2	3	4	5	6	7	8	9
PUSH.W Rn	R:W NEXT	内部動作 1 ステート	W:W EA						
PUSH.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M EA	W:W EA+2				
ROTL.B Rd	R:W NEXT								
ROTL.B #2,Rd	R:W NEXT								
ROTL.W Rd	R:W NEXT								
ROTL.W #2,Rd	R:W NEXT								
ROTL.L ERd	R:W NEXT								
ROTL.L #2,ERd	R:W NEXT								
ROTR.B Rd	R:W NEXT								
ROTR.B #2,Rd	R:W NEXT								
ROTR.W Rd	R:W NEXT								
ROTR.W #2,Rd	R:W NEXT								
ROTR.L ERd	R:W NEXT								
ROTR.L #2,ERd	R:W NEXT								
ROTXL.B Rd	R:W NEXT								
ROTXL.B #2,Rd	R:W NEXT								
ROTXL.W Rd	R:W NEXT								
ROTXL.W #2,Rd	R:W NEXT								
ROTXL.L ERd	R:W NEXT								
ROTXL.L #2,ERd	R:W NEXT								
ROTXR.B Rd	R:W NEXT								
ROTXR.B #2,Rd	R:W NEXT								
ROTXR.W Rd	R:W NEXT								
ROTXR.W #2,Rd	R:W NEXT								
ROTXR.L ERd	R:W NEXT								
ROTXR.L #2,ERd	R:W NEXT								
RTE	R:W NEXT	R:W ステップ(EXR)	R:W ステップ(H)	R:W ステップ(L)	内部動作 1 ステート	R:W ⁴			
RTS	7* n' > 8	R:W:M ステップ(H)	R:W ステップ(L)	内部動作 1 ステート	R:W ⁴				
SHAL.B Rd	R:W NEXT								
SHAL.B #2,Rd	R:W NEXT								
SHAL.W Rd	R:W NEXT								
SHAL.W #2,Rd	R:W NEXT								
SHAL.L ERd	R:W NEXT								
SHAL.L #2,ERd	R:W NEXT								
SHAR.B Rd	R:W NEXT								
SHAR.B #2,Rd	R:W NEXT								
SHAR.W Rd	R:W NEXT								
SHAR.W #2,Rd	R:W NEXT								
SHAR.L ERd	R:W NEXT								
SHAR.L #2,ERd	R:W NEXT								

命令	1	2	3	4	5	6	7	8	9
SHLL.B Rd	R:W NEXT								
SHLL.B #2,Rd	R:W NEXT								
SHLL.W Rd	R:W NEXT								
SHLL.W #2,Rd	R:W NEXT								
SHLL.L ERd	R:W NEXT								
SHLL.L #2,ERd	R:W NEXT								
SHLR.B Rd	R:W NEXT								
SHLR.B #2,Rd	R:W NEXT								
SHLR.W Rd	R:W NEXT								
SHLR.W #2,Rd	R:W NEXT								
SHLR.L ERd	R:W NEXT								
SHLR.L #2,ERd	R:W NEXT								
SLEEP	R:W NEXT	内部動作:M							
STC CCR,Rd	R:W NEXT								
STC EXR,Rd	R:W NEXT								
STC CCR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC EXR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC CCR,@(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR,@(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC EXR,@(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC CCR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W EA					
STC EXR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W EA					
STC CCR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STC EXR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STM.L (ERn-ERn+1), @-SP	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M スタック(H) *3	W:W スタック(L) *3				
STM.L (ERn-ERn+2), @-SP	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M スタック(H)*3	W:W スタック(L) *3				
STM.L (ERn-ERn+3), @-SP	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M スタック(H)*3	W:W スタック(L) *3				
STMAC MACH,ERd	本 LSI では使用できません。								
STMAC MACL,ERd									
SUB.B Rs,Rd	R:W NEXT								
SUB.W #xx:16,Rd	R:W 2nd	R:W NEXT							
SUB.W Rs,Rd	R:W NEXT								
SUB.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
SUB.L ERs,ERd	R:W NEXT								
SUBS #1/2/4,ERd	R:W NEXT								
SUBX #xx:8,Rd	R:W NEXT								

付 録

命令	1	2	3	4	5	6	7	8	9
SUBX Rs,Rd	R:W NEXT								
TAS @ERd + ^s	R:W 2nd	R:W NEXT	R:B:M EA	W:B EA					
TRAPA #xc:2	7ビット	R:W NEXT	内部動作 1 ステート	W:W ステップ(L)	W:W ステップ(H)	W:W ステップ(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1 ステート R:W ^{s2}
XOR.B #xc:8,Rd	R:W NEXT								
XOR.B Rs,Rd	R:W NEXT								
XOR.W #xc:16,Rd	R:W 2nd	R:W NEXT							
XOR.W Rs,Rd	R:W NEXT								
XOR.L #xc:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
XOR.L ERs,ERd	R:W 2nd	R:W NEXT							
XORC #xc:8,CCR	R:W NEXT								
XORC #xc:8,EXR	R:W 2nd	R:W NEXT							
リセット 例外処理	7ビット	R:W:M VEC	R:W VEC+2	内部動作 1 ステート	R:W ^{s3}				
割り込み 例外処理	7ビット	R:W ^{s4}	内部動作 1 ステート	W:W ステップ(L)	W:W ステップ(H)	W:W ステップ(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1 ステート R:W ^{s2}

- 【注】
- *1 EAs は ER5、EAd は ER6 の内容です。
 - *2 EAs は ER5、EAd は ER6 の内容で、実行後それぞれ 1 が加算されます。
また、n は R4L または R4 の初期値であり、n=0 のときこれらの実行は行われません。
 - *3 2 本退避／復帰時は 2 回、3 本退避／復帰時は 3 回、4 本退避／復帰時は 4 回繰り返します。
 - *4 リターン後の先頭アドレスです。
 - *5 プログラムのスタートアドレスです。
 - *6 プリフェッチアドレスです。退避される PC に 2 を加算したアドレスです。
また、スリープモード、ソフトウェアスタンバイモードからの復帰時にはリード動作は行われず、内部動作となります。
 - *7 割り込み処理ルーチンの先頭アドレスです。
 - *8 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

B. 内部 I/O レジスタ

B.1 アドレス一覧

アドレス	略 号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'EC00 ～ H'FFFF	MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC	16/32* ビット
	SAR										
	MRB	CHNE	DISEL	—	—	—	—	—	—		
	DAR										
	CRA										
	CRB										
H'FE20	TWR0MW	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	HIF : LPC	8
	TWR0SW	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE21	TWR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE22	TWR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE23	TWR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE24	TWR4	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE25	TWR5	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE26	TWR6	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE27	TWR7	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE28	TWR8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE29	TWR9	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE2A	TWR10	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE2B	TWR11	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE2C	TWR12	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE2D	TWR13	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE2E	TWR14	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE2F	TWR15	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE30	IDR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE31	ODR3	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE32	STR3	IBF3B	OBF3B	MWMF	SWMF	C/D3	DBU32	IBF3A	OBF3A		
H'FE34	LADR3H	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8		
H'FE35	LADR3L	bit7	bit6	bit5	bit4	bit3	—	bit1	TWRE		
H'FE36	SIRQCR0	Q/C	—	IEDIR	SMIE3B	SMIE3A	SMIE2	IRQ12E1	IRQ1E1		

付 録

アドレス	略 号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール名	バス幅
H'FE37	SIRQCR1	IRQ11E3	IRQ10E3	IRQ9E3	IRQ6E3	IRQ11E2	IRQ10E2	IRQ9E2	IRQ6E2	HIF : LPC	8
H'FE38	IDR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE39	ODR1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE3A	STR1	DBU17	DBU16	DBU15	DBU14	C/D1	DBU12	IBF1	OBF1		
H'FE3C	IDR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE3D	ODR2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0		
H'FE3E	STR2	DBU27	DBU26	DBU25	DBU24	C/D2	DBU22	IBF2	OBF2		
H'FE40	HICR0	LPC3E	LPC2E	LPC1E	FGA20E	SDWNE	PMEE	LSMIE	LSCIE		
H'FE41	HICR1	LPCBSY	CLKREQ	IRQBSY	LRSTB	SDWNB	PMEB	LSMIB	LSCIB		
H'FE42	HICR2	GA20	LRST	SDWN	ABRT	IBFIE3	IBFIE2	IBFIE1	ERRIE		
H'FE43	HICR3	LFRAME	CLKRUN	SERIRQ	LRESET	LPCPD	PME	LSMI	LSCI		
H'FE44	WUEMRB	WUEMR7	WUEMR6	WUEMR5	WUEMR4	WUEMR3	WUEMR2	WUEMR1	WUEMR0	割り込み	8
H'FE80	HICR2	—	—	—	—	—	IBFIE4	IBFIE3	—	HIF : XBS	8
H'FE84	IDR3	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0		
H'FE85	ODR3	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0		
H'FE86	STR3	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF		
H'FE8C	IDR4	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0		
H'FE8D	ODR4	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0		
H'FE8E	STR4	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF		
H'FED8	KBCRH0	KBIOE	KCLKI	KDI	KBFSEL	KBIE	KBF	PER	KBS	キーボード バッファ コントローラ	8
H'FED9	KBCRL0	KBE	KCLKO	KDO	—	RXCR3	RXCR2	RXCR1	RXCR0		
H'FEDA	KBBR0	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0		
H'FEDC	KBCRH1	KBIOE	KCLKI	KDI	KBFSEL	KBIE	KBF	PER	KBS		
H'FEDD	KBCRL1	KBE	KCLKO	KDO	—	RXCR3	RXCR2	RXCR1	RXCR0		
H'FEDE	KBBR1	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0		
H'FEE0	KBCRH2	KBIOE	KCLKI	KDI	KBFSEL	KBIE	KBF	PER	KBS		
H'FEE1	KBCRL2	KBE	KCLKO	KDO	—	RXCR3	RXCR2	RXCR1	RXCR0		
H'FEE2	KBBR2	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0	IrDA/ 拡張 A/D	8
H'FEE4	KBCOMP	IrE	IrCKS2	IrCKS1	IrCKS0	KBADE	KBCH2	KBCH1	KBCH0		
H'FEE6	DDCSWR	SWE	SW	IE	IF	CLR3	CLR2	CLR1	CLR0		
H'FEE8	ICRA	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0	割り込み コントローラ	8
H'FEE9	ICRB	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0		
H'FEEA	ICRC	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0		
H'FEEB	ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F		
H'FEEC	ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA		
H'FEED	ISCRL	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA		

アドレス	略 号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'EEEE	DTCEA7	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0	DTC	8
H'EEEF	DTCEB7	DTCEB7	DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0		
H'FEF0	DTCEC7	DTCEC7	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	DTCEC1	DTCEC0		
H'FEF1	DTCED7	DTCED7	DTCED6	DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0		
H'FEF2	DTCEE7	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0		
H'FEF3	DTVEC7	DTVEC7	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0		
H'FEF4	ABRKCR	CMF	—	—	—	—	—	—	BIE	割り込み コントロ ーラ	8
H'FEF5	BARA	A23	A22	A21	A20	A19	A18	A17	A16		
H'FEF6	BARB	A15	A14	A13	A12	A11	A10	A9	A8		
H'FEF7	BARC	A7	A6	A5	A4	A3	A2	A1	—		
H'FF80	FLMCR1	FWE	SWE	—	—	EV	PV	E	P	FLASH	8
H'FF81	FLMCR2	FLER	—	—	—	—	—	ESU	PSU		8
H'FF82	PCSR	—	—	—	—	—	PWCKB	PWCKA	—	PWM	8
	EBR1	—	—	—	—	—	—	—	—	FLASH	8
H'FF83	SYSCR2	KWUL1	KWUL0	P6PUE	—	SDE	CS4E	CS3E	HI12E	HIF : XBS	8
	EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	FLASH	8
H'FF84	SBYCR	SSBY	STS2	STS1	STS0	—	SCK2	SCK1	SCK0	システム	8
H'FF85	LPWRCR	DTON	LSON	NESEL	EXCLE	—	—	—	—		
H'FF86	MSTPCR1	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8		
H'FF87	MSTPCRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0		
H'FF88	SMR1	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI1	8
	ICCR1	ICE	IEIC	MST	TRS	ACKC	BBSY	IRIC	SCP	IIC1	
H'FF89	BRR1	—	—	—	—	—	—	—	—	SCI1	8
	ICSR1	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC1	
H'FF8A	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI1	8
H'FF8B	TDR1	—	—	—	—	—	—	—	—		
H'FF8C	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FF8D	RDR1	—	—	—	—	—	—	—	—		
H'FF8E	SCMR1	—	—	—	—	SDIR	SINV	—	SMIF		
	ICDR1	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	IIC1	8
	SARX1	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX		
H'FF8F	ICMR1	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0		
	SAR1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS		
H'FF90	TIER	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—	FRT	16
H'FF91	TCSR	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA		
H'FF92	FRCH	—	—	—	—	—	—	—	—		
H'FF93	FRCL	—	—	—	—	—	—	—	—		
H'FF94	OCRAH	—	—	—	—	—	—	—	—		
	OCRBH	—	—	—	—	—	—	—	—		

付 録

アドレス	略 号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール名	バス幅
H'FF95	OCRAL									FRT	16
	OCRBL										
H'FF96	TCR	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0		
H'FF97	TOCR	ICRDMS	OCRAMS	ICRS	OCRS	OEA	OEB	OLVLA	OLVLB		
H'FF98	ICRAH										
	OCRARH										
H'FF99	ICRAL										
	OCRARL										
H'FF9A	ICRBH										
	OCRAFH										
H'FF9B	ICRBL										
	OCRAFL										
H'FF9C	ICRCH										
	OCRDMH										
H'FF9D	ICRCL										
	OCRDML										
H'FF9E	ICRDH										
H'FF9F	ICRDL										
H'FFA0	SMR2	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0	SCI2	8
	DADRAH	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	PWMX	
	DACR	TEST	PWME	—	—	OEB	OEA	OS	CKS		
H'FFA1	BRR2									SCI2	8
	DADRAL	DA5	DA4	DA3	DA2	DA1	DA0	CFS	—	PWMX	
H'FFA2	SCR2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI2	8
H'FFA3	TDR2										
H'FFA4	SSR2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FFA5	RDR2										
H'FFA6	SCMR2	—	—	—	—	SDIR	SINV	—	SMIF		
	DADRBH	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	PWMX	8
	DACNTH										
H'FFA7	DADRBL	DA5	DA4	DA3	DA2	DA1	DA0	CFS	REGS		
	DACNTL							—	REGS		
H'FFA8	TCSR0	OVF	WT/ $\bar{IT}$	TME	RSTS	RST/ $\bar{NM}\bar{I}$	CKS2	CKS1	CKS0	WDT0	16
	TCNT0 (write)										
H'FFA9	TCNT0 (read)										
H'FFAA	PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR	ポート	8

アドレス	略 号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'FFAB	PAPIN (read)	PA7PIN	PA6PIN	PA5PIN	PA4PIN	PA3PIN	PA2PIN	PA1PIN	PA0PIN	ポート	8
	PADDR (write)	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR		
H'FFAC	P1PCR	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR		
H'FFAD	P2PCR	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR		
H'FFAE	P3PCR	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR		
H'FFB0	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR		
H'FFB1	P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR		
H'FFB2	P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR		
H'FFB3	P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR		
H'FFB4	P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR		
H'FFB5	P4DDR	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR		
H'FFB6	P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR		
H'FFB7	P4DR	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR		
H'FFB8	P5DDR	—	—	—	—	—	P52DDR	P51DDR	P50DDR		
H'FFB9	P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR		
H'FFBA	P5DR	—	—	—	—	—	P52DR	P51DR	P50DR		
H'FFBB	P6DR	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR		
H'FFBC	PBODR	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR		
H'FFBD	PBPIN (read)	PB7PIN	PB6PIN	PB5PIN	PB4PIN	PB3PIN	PB2PIN	PB1PIN	PB0PIN		
	P8DDR (write)	—	P86DDR	P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR		
H'FFBE	P7PIN (read)	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN		
	PBDDR (write)	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR		
H'FFBF	P8DR	—	P86DR	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR		
H'FFC0	P9DDR	P97DDR	P96DDR	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR		
H'FFC1	P9DR	P97DR	P96DR	P95DR	P94DR	P93DR	P92DR	P91DR	P90DR		
H'FFC2	IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	割り込み	8
H'FFC3	STCR	IICS	IICX1	IICX0	IICE	FLSHE	—	ICKS1	ICKS0	システム	8
H'FFC4	SYSCR	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME		
H'FFC5	MDCR	EXPE	—	—	—	—	—	MDS1	MDS0		
H'FFC6	BCR	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	—	IOS1	IOS0	バスコン トローラ	8
H'FFC7	WSCR	RAMS	RAM0	ABW	AST	WMS1	WMS0	WC1	WC0	TMR0, TMR1	16
H'FFC8	TCR0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0		
H'FFC9	TCR1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0		
H'FFCA	TCSR0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0		
H'FFCB	TCSR1	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	TMR0, TMR1	16
H'FFCC	TCORA0										
H'FFCD	TCORA1										
H'FFCE	TCORB0										
H'FFCF	TCORB1										
H'FFD0	TCNT0										
H'FFD1	TCNT1										

付 録

アドレス	略 号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール名	バス幅
H'FFD2	PWOERB	OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8	PWM	8
H'FFD3	PWOERA	OE7	OE6	OE5	OE4	OE3	OE2	OE1	OE0		
H'FFD4	PWDPRB	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8		
H'FFD5	PWDPR A	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0		
H'FFD6	PWSL	PWCKE	PWCKS	—	—	RS3	RS2	RS1	RS0		
H'FFD7	PWDR0～PWDR15										
H'FFD8	SMR0	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI0	8
	ICCR0	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC0	
H'FFD9	BRR0									SCI0	
	ICSR0	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC0	
H'FFDA	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI0	
H'FFDB	TDR0										
H'FFDC	SSR0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FFDD	RDR0										
H'FFDE	SCMR0	—	—	—	—	SDIR	SINV	—	SMIF		
	ICDR0	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0		IIC0
	SARX0	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX		
H'FFDF	ICMR0	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	IIC0	
	SAR0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS		
H'FFE0	ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D	8
H'FFE1	ADDRAL	AD1	AD0	—	—	—	—	—	—		
H'FFE2	ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFE3	ADDRBL	AD1	AD0	—	—	—	—	—	—		
H'FFE4	ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFE5	ADDRCL	AD1	AD0	—	—	—	—	—	—		
H'FFE6	ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FFE7	ADDRDL	AD1	AD0	—	—	—	—	—	—		
H'FFE8	ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0		
H'FFE9	ADCR	TRGS1	TRGS0	—	—	—	—	—	—		
H'FFEA	TCSR1	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0	WDT1	16
	TCNT1 (write)										
H'FFEB	TCNT1 (read)									WDT1	16

アドレス	略 号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール名	バス幅
H'FFF0	HICR	—	—	—	—	—	IBFIE2	IBFIE1	FGA20E	HIF : XBS	8
	TCRX	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMRX	
	TCRY	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMRY	
H'FFF1	KMIMR	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0	割り込み	
	TCSRX	CMFB	CMFA	OVF	ICF	OS3	OS2	OS1	OS0	TMRX	
	TCSRY	CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0	TMRY	
H'FFF2	KMPCR	KM7PCR	KM6PCR	KM5PCR	KM4PCR	KM3PCR	KM2PCR	KM1PCR	KM0PCR	ポート	
	TICRR									TMRX	
	TCORAY									TMRY	
H'FFF3	KMIMRA	KMIMR15	KMIMR14	KMIMR13	KMIMR12	KMIMR11	KMIMR10	KMIMR9	KMIMR8	割り込み	8
	TICRF									TMRX	
	TCORBY									TMRY	
H'FFF4	IDR1	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0	HIF : XBS	
	TCNTX									TMRX	
	TCNTY									TMRY	
H'FFF5	ODR1	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0	HIF : XBS	
	TCORC									TMRX	
	TISR	—	—	—	—	—	—	—	IS	TMRY	
H'FFF6	STR1	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF	HIF : XBS	
	TCORAX									TMRX	
H'FFF7	TCORBX										
H'FFF8	DADR0										
H'FFF9	DADR1										
H'FFFA	DACR	DAOE1	DAOE0	DAE	—	—	—	—	—		
H'FFFC	IDR2	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0	HIF : XBS	
	TCONRI	SIMOD1	SIMOD0	SCONE	ICST	HFINV	VFINV	HIINV	VIINV	タイマクション	
H'FFFD	ODR2	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0	HIF : XBS	
	TCONRO	HOE	VOE	CLOE	CBOE	HOINV	VOINV	CLOINV	CBOINV	タイマクション	
H'FFFE	STR2	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF	HIF : XBS	
	TCONRS	TMRX/Y	ISGENE	HOMOD1	HOMOD0	VOMOD1	VOMOD0	CLMOD1	CLMOD0	タイマクション	
H'FFFF	SEDGR	VEDG	HEDG	CEDG	HFEDG	VFEDG	PREQF	IHI	IVI		
H'FE16	PGNOCR	PG7NOC	PG6NOC	PG5NOC	PG4NOC	PG3NOC	PG2NOC	PG1NOC	PG0NOC	H8S/2169	8
H'FE18	PENOCR	PE7NOC	PE6NOC	PE5NOC	PE4NOC	PE3NOC	PE2NOC	PE1NOC	PE0NOC	追加ポート	
H'FE19	PFNOCR	PF7NOC	PF6NOC	PF5NOC	PF4NOC	PF3NOC	PF2NOC	PF1NOC	PF0NOC		
H'FE1C	PCNOCR	PC7NOC	PC6NOC	PC5NOC	PC4NOC	PC3NOC	PC2NOC	PC1NOC	PC0NOC		
H'FE1D	PDNOCR	PD7NOC	PD6NOC	PD5NOC	PD4NOC	PD3NOC	PD2NOC	PD1NOC	PD0NOC		
H'FE46	PGODR	PG7ODR	PG6ODR	PG5ODR	PG4ODR	PG3ODR	PG2ODR	PG1ODR	PG0ODR		

付 録

アドレス	略 号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'FE47	PGPIN (リード)	PG7PIN	PG6PIN	PG5PIN	PG4PIN	PG3PIN	PG2PIN	PG1PIN	PG0PIN	H8S/2169 追加ポート	8
	PGDDR (ライト)	PG7DDR	PG6DDR	PG5DDR	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR		
H'FE48	PEODR	PE7ODR	PE6ODR	PE5ODR	PE4ODR	PE3ODR	PE2ODR	PE1ODR	PE0ODR		
H'FE49	PFODR	PF7ODR	PF6ODR	PF5ODR	PF4ODR	PF3ODR	PF2ODR	PF1ODR	PF0ODR		
H'FE4A	PEPIN (リード)	PE7PIN	PE6PIN	PE5PIN	PE4PIN	PE3PIN	PE2PIN	PE1PIN	PE0PIN		
	PEDDR (ライト)	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR		
H'FE4B	PFPIN (リード)	PF7PIN	PF6PIN	PF5PIN	PF4PIN	PF3PIN	PF2PIN	PF1PIN	PF0PIN		
	PFDDR (ライト)	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR		
H'FE4C	PCODR	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR		
H'FE4D	PDODR	PD7ODR	PD6ODR	PD5ODR	PD4ODR	PD3ODR	PD2ODR	PD1ODR	PD0ODR		
H'FE4E	PCPIN (リード)	PC7PIN	PC6PIN	PC5PIN	PC4PIN	PC3PIN	PC2PIN	PC1PIN	PC0PIN		
	PCDDR (ライト)	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR		
H'FE4F	PDPIN (リード)	PD7PIN	PD6PIN	PD5PIN	PD4PIN	PD3PIN	PD2PIN	PD1PIN	PD0PIN		
	PDDDR (ライト)	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR		

B.2 レジスタ選択条件

下位アドレス	レジスタ名称	H8S/2149 レジスタ選択条件	H8S/2169 レジスタ選択条件	モジュール名
H'EC00～ H'FFFF	MRA SAR MRB DAR CRA CRB	SYSCR の RAME=1	←	DTC
H'FE16 H'FE18 H'FE19 H'FE1C H'FE1D	PGNOCR PENOCR PFNOCR PCNOCR PDNOCR	—	条件なし	ポート
H'FE20 H'FE21 H'FE22 H'FE23 H'FE24 H'FE25 H'FE26 H'FE27 H'FE28 H'FE29 H'FE2A H'FE2B H'FE2C H'FE2D H'FE2E H'FE2F H'FE30 H'FE31 H'FE32 H'FE34 H'FE35 H'FE36 H'FE37 H'FE38 H'FE39 H'FE3A H'FE3C	TWR0MW TWR0SW TWR1 TWR2 TWR3 TWR4 TWR5 TWR6 TWR7 TWR8 TWR9 TWR10 TWR11 TWR12 TWR13 TWR14 TWR15 IDR3 ODR3 STR3 LADR3H LADR3L SIRQCR0 SIRQCR1 IDR1 ODR1 STR1 IDR2	MSTP0=0, (HI12E=0)*	←	HIF : LPC

付 録

下位アドレス	レジスタ名称	H8S/2149 レジスタ選択条件	H8S/2169 レジスタ選択条件	モジュール名
H'FE3D	ODR2	MSTP0=0, (HI12E=0)*	←	HIF : LPC
H'FE3E	STR2			
H'FE40	HICR0			
H'FE41	HICR1			
H'FE42	HICR2			
H'FE43	HICR3			
H'FE44	WUEMRB	MSTP0=0	MSTP0=0	割り込み コントローラ
H'FE46	PGODR	—	条件なし	ポート
H'FE47	PGPIN (リード)			
	PGDDR (ライト)			
H'FE48	PEODR			
H'FE49	PFODR			
H'FE4A	PEPIN (リード)			
	PEDDR (ライト)			
H'FE4B	PFPIN (リード)			
	PFDDR (ライト)			
H'FE4C	PCODR			
H'FE4D	PDODR			
H'FE4E	PCPIN (リード)			
	PCDDR (ライト)			
H'FE4F	PDPIN (リード)			
	PDDDR (ライト)			
H'FE80	HICR2	MSTP2=0	←	HIF : XBS
H'FE84	IDR3			
H'FE85	ODR3			
H'FE86	STR3			
H'FE8C	IDR4			
H'FE8D	ODR4			
H'FE8E	STR4			
H'FED8	KBCRH0	MSTP2=0	←	キーボード バッファ コントローラ
H'FED9	KBCRL0			
H'FEDA	KBBR0			
H'FEDC	KBCRH1			
H'FEDD	KBCRL1			
H'FEDE	KBBR1			
H'FEE0	KBCRH2			
H'FEE1	KBCRL2			
H'FEE2	KBBR2			
H'FEE4	KBCOMP	条件なし	←	IrDA/拡張 A/D
H'FEE6	DDCSWR	MSTP4=0	←	IIC0

下位アドレス	レジスタ名称	H8S/2149 レジスタ選択条件	H8S/2169 レジスタ選択条件	モジュール名
H'FEE8	ICRA	条件なし	←	割り込み コントローラ
H'FEE9	ICRB			
H'FEEA	ICRC			
H'FEEB	ISR			
H'FEED	ISCRH			
H'FEED	ISCRH			
H'FEED	ISCRH			
H'FEE4	DTCERA	条件なし	←	DTC
H'FEE5	DTCERB			
H'FEE6	DTCERC			
H'FEE7	DTCERD			
H'FEE8	DTCERE			
H'FEE9	DTCERF			
H'FEEA	DTVECR			
H'FEEB	ABRKCR	条件なし	←	割り込み コントローラ
H'FEEC	BARA			
H'FEED	BARB			
H'FEEF	BARC			
H'FF80	FLMCR1	STCR の FLSHE=1	←	FLASH
H'FF81	FLMCR2			
H'FF82	PCSR	STCR の FLSHE=0	←	PWM
	EBR1	STCR の FLSHE=1	←	FLASH
H'FF83	SYSCR2	STCR の FLSHE=0	←	HIF : XBS
	EBR2	STCR の FLSHE=1	←	FLASH
H'FF84	SBYCR	STCR の FLSHE=0	←	システム
H'FF85	LPWRCR			
H'FF86	MSTPCR1			
H'FF87	MSTPCR2			
H'FF88	SMR1	MSTP6=0 STCR の IICE=0	←	SCI1
	ICCR1	MSTP3=0 STCR の IICE=1	←	IIC1
H'FF89	BRR1	MSTP6=0 STCR の IICE=0	←	SCI1
	ICSR1	MSTP3=0 STCR の IICE=1	←	IIC1
H'FF8A	SCR1	MSTP6=0	←	SCI1
H'FF8B	TDR1			
H'FF8C	SSR1			
H'FF8D	RDR1			
H'FF8E	SCMR1	MSTP6=0 STCR の IICE=0	←	IIC1
	ICDR1	MSTP3=0 STCR の IICE=1	←	
	SARX1	の IICE=1 ICCR1 の IICE=0	←	
H'FF8F	ICMR1	ICCR1 の IICE=1	←	
	SAR1	ICCR1 の IICE=0	←	

付 録

下位アドレス	レジスタ名称	H8S/2149 レジスタ選択条件		H8S/2169 レジスタ選択条件	モジュール名	
H'FF90	TIER	MSTP13=0		←	FRT	
H'FF91	TCSR					
H'FF92	FRCH					
H'FF93	FRCL					
H'FF94	OCRAH	MSTP13=0	TOCR の OCRS=0	←	FRT	
	OCRBH		TOCR の OCRS=1			
H'FF95	OCRAL		TOCR の OCRS=0			
	OCRBL		TOCR の OCRS=1			
H'FF96	TCR					
H'FF97	TOCR					
H'FF98	ICRAH		TOCR の ICRS=0			
	OCRARH		TOCR の ICRS=1			
H'FF99	ICRAL		TOCR の ICRS=0			
	OCRARL		TOCR の ICRS=1			
H'FF9A	ICRBH		TOCR の ICRS=0			
	OCRAFH		TOCR の ICRS=1			
H'FF9B	ICRBL		TOCR の ICRS=0			
	OCRAFL		TOCR の ICRS=1			
H'FF9C	ICRCH		TOCR の ICRS=0			
	OCRDMH		TOCR の ICRS=1			
H'FF9D	ICRCL		TOCR の ICRS=0			
	OCRDML		TOCR の ICRS=1			
H'FF9E	ICRDH					
H'FF9F	ICRDL					
H'FFA0	SMR2	MSTP5=0	STCR の IICE=0	←	SCI2	
	DADRAH	MSTP11=0	STCR の IICE=1	DACNT/DADRB の REGS=0	←	PWMX
	DACR			DACNT/DADRB の REGS=1		
H'FFA1	BRR2	MSTP5=0	STCR の IICE=0	←	SCI2	
	DADRAL	MSTP11=0	STCR の IICE=1	DACNT/DADRB の REGS=0	←	PWMX
H'FFA2	SCR2	MSTP5=0		←	SCI2	
H'FFA3	TDR2					
H'FFA4	SSR2					
H'FFA5	RDR2					

下位アドレス	レジスタ名称	H8S/2149 レジスタ選択条件	H8S/2169 レジスタ選択条件	モジュール名
H'FFA6	SCMR2	MSTP5=0 STCR の IICE=0	←	SCI2
	DADRBH	MSTP11=0 STCR の IICE=1	←	PWMX
	DACNTH			
H'FFA7	DADRBL			
	DACNTL			
H'FFA8	TCSR0	条件なし	←	WDT0
	TCNT0 (write)			
H'FFA9	TCNT0 (read)	条件なし	←	ポート
H'FFAA	PAODR0			
H'FFAB	PAPIN (read)			
	PADDR (write)			
H'FFAC	P1PCR			
H'FFAD	P2PCR			
H'FFAE	P3PCR			
H'FFB0	P1DDR			
H'FFB1	P2DDR			
H'FFB2	P1DR			
H'FFB3	P2DR			
H'FFB4	P3DDR			
H'FFB5	P4DDR			
H'FFB6	P3DR			
H'FFB7	P4DR			
H'FFB8	P5DDR			
H'FFB9	P6DDR			
H'FFBA	P5DR			
H'FFBB	P6DR			
H'FFBC	PBODR			
H'FFBD	P8DDR (write)			
	PBPIN (read)			
H'FFBE	P7PIN (read)	条件なし	←	
	PBDDR (write)			
H'FFBF	P8DR			
H'FFC0	P9DDR			
H'FFC1	P9DR	条件なし	←	割り込み
H'FFC2	IER			
H'FFC3	STCR	条件なし	←	システム
H'FFC4	SYSCR			
H'FFC5	MDCR			

付 録

下位アドレス	レジスタ名称	H8S/2149 レジスタ選択条件		H8S/2169 レジスタ選択条件	モジュール名
H'FFC6	BCR	条件なし		←	バス コントローラ
H'FFC7	WSCR				
H'FFC8	TCR0	MSTP12=0		←	TMR0, TMR1
H'FFC9	TCR1				
H'FFCA	TCSR0				
H'FFCB	TCSR1				
H'FFCC	TCORA0				
H'FFCD	TCORA1				
H'FFCE	TCORB0				
H'FFCF	TCORB1				
H'FFD0	TCNT0				
H'FFD1	TCNT1				
H'FFD2	PWOERB	条件なし		←	PWM
H'FFD3	PWOERA				
H'FFD4	PWDPRB				
H'FFD5	PWDPRB				
H'FFD6	PWSL	MSTP11=0		←	
H'FFD7	PWDR0~15				
H'FFD8	SMR0	MSTP7=0	STCR の IICE=0	←	SCI0
	ICCR0	MSTP4=0	STCR の IICE=1	←	IIC0
H'FFD9	BRR0	MSTP7=0	STCR の IICE=0	←	SCI0
	ICSR0	MSTP4=0	STCR の IICE=1	←	IIC0
H'FFDA	SCR0	MSTP7=0		←	SCI0
H'FFDB	TDR0				
H'FFDC	SSR0				
H'FFDD	RDR0				
H'FFDE	SCMR0				
H'FFDF	ICDR0	MSTP4=0	ICCR0 の ICE=1	←	IIC0
	SARX0	STCR の IICE=1	ICCR0 の ICE=0		
	ICMR0	MSTP4=0	ICCR0 の ICE=1		
H'FFDF	SAR0	STCR の IICE=1	ICCR0 の ICE=0	←	IIC0
H'FFE0	ADDRAH	MSTP9=0		←	A/D
H'FFE1	ADDRAL				
H'FFE2	ADDRBH				
H'FFE3	ADDRBL				
H'FFE4	ADDRCH				
H'FFE5	ADDRCL				
H'FFE6	ADDRDH				
H'FFE7	ADDRDL				
H'FFE8	ADCSR				
H'FFE9	ADCR				

下位アドレス	レジスタ名称	H8S/2149 レジスタ選択条件	H8S/2169 レジスタ選択条件	モジュール名
H'FFEA	TCSR1	条件なし	←	WDT1
	TCNT1 (write)			
H'FFEB	TCNT1 (read)			
H'FFF0	HICR	MSTP2=0 SYSCR の HIE=1	←	HIF : XBS
	TCRX	MSTP8=0 SYSCR の HIE=0	←	TMRX
	TCRY		←	TMRX
H'FFF1	KMIMR	MSTP2=0 SYSCR の HIE=1	←	割り込み
	TCSRX	MSTP8=0 SYSCR の HIE=0	←	TMRX
	TCSRY		←	TMRX
H'FFF2	KMPCR	MSTP2=0 SYSCR の HIE=1	←	ポート
	TICRR	MSTP8=0 SYSCR の HIE=0	←	TMRX
	TCORAY		←	TMRX
H'FFF3	KMIMRA	MSTP2=0 SYSCR の HIE=1	←	割り込み
	TICRF	MSTP8=0 SYSCR の HIE=0	←	TMRX
	TCORBY		←	TMRX
H'FFF4	IDR1	MSTP2=0 SYSCR の HIE=1	←	HIF : XBS
	TCNTX	MSTP8=0 SYSCR の HIE=0	←	TMRX
	TCNTY		←	TMRX
H'FFF5	ODR1	MSTP2=0 SYSCR の HIE=1	←	HIF : XBS
	TCORC	MSTP8=0 SYSCR の HIE=0	←	TMRX
	TISR		←	TMRX
H'FFF6	STR1	MSTP2=0 SYSCR の HIE=1	←	HIF : XBS
	TCORAX	MSTP8=0 SYSCR の HIE=0	←	TMRX
H'FFF7	TCORBX		←	TMRX
H'FFF8	DADR0	MSTP10=0	←	D/A
H'FFF9	DADR1			
H'FFFA	DACR			
H'FFFC	IDR2	MSTP2=0 SYSCR の HIE=1	←	HIF : XBS
	TCONRI	MSTP8=0 SYSCR の HIE=0	←	タイマコネク ション

付 録

下位アドレス	レジスタ名称	H8S/2149 レジスタ選択条件	H8S/2169 レジスタ選択条件	モジュール名
H'FFFD	ODR2	MSTP2=0 SYSCR の HIE=1	←	HIF : XBS
	TCONRO	MSTP8=0 SYSCR の HIE=0	←	タイマコネクション
H'FFFE	STR2	MSTP2=0 SYSCR の HIE=1	←	HIF : XBS
	TCONRS	MSTP8=0 SYSCR の HIE=0	←	タイマコネクション
H'FFFF	SEDGR			

【注】 * HIF : XBS 関連のビットの設定は、HIF : LPC の動作に影響を与えませんが、プログラム開発ツール（エミュレータ）の構成上の制約から、HIF:LPC を使用する場合は、SYSCR2 の HI12E ビットは 1 にセットしないでください。

B.3 機能一覧

H'EC00～H'FFFF：DTC モードレジスタ A MRA：DTC

ビット：	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	—	—	—	—	—	—	—	—

DTCデータ トランスファサイズ	
0	バイトサイズ 転送
1	ワードサイズ 転送

DTC転送モードセレクト	
0	デスティネーション側がリピート 領域またはブロック領域
1	ソース側がリピート領域または ブロック領域

DTCモード		
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	—

デスティネーションアドレスモード		
0	—	DARは固定
1	0	DARは転送後インクリメント (Sz=0のとき+1、Sz=1のとき+2)
	1	DARは転送後デクリメント (Sz=0のとき-1、Sz=1のとき-2)

ソースアドレスモード		
0	—	SARは固定
1	0	SARは転送後インクリメント (Sz=0のとき+1、Sz=1のとき+2)
	1	SARは転送後デクリメント (Sz=0のとき-1、Sz=1のとき-2)

H'EC00～H'EFFF : DTC モードレジスタ B MRB : DTC

ビット :	7	6	5	4	3	2	1	0
	CHNE	DISEL	—	—	—	—	—	—
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—

DTCインタラプトセレクト

0	DTCデータ転送終了後、転送カウンタが0でなければ、CPUへの割り込みを禁止
1	DTCデータ転送終了後、CPUへの割り込みを許可

DTCチェーン転送イネーブル

0	DTCデータ転送終了
1	DTCチェーン転送

H'EC00～H'EFFF : DTC ソースアドレスレジスタ SAR : DTC

ビット :	23	22	21	20	19	---	4	3	2	1	0

初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	---	—	—	—	—	—

転送データの転送元アドレスを指定

H'EC00～H'EFFF : DTC デスティネーションアドレスレジスタ DAR : DTC

ビット :	23	22	21	20	19	---	4	3	2	1	0

初期値 :	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	---	—	—	—	—	—

DTCの転送データの転送先アドレスを指定

H'EC00～H'EFFF：DTC 転送カウントレジスタ A CRA：DTC

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

← CRAH → ← CRAL →

DTCのデータ転送の転送回数を指定

H'EC00～H'EFFF：DTC 転送カウントレジスタ B CRB：DTC

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

DTCのブロックデータ転送の転送回数を指定

H'FE20～H'FE2F：双方向データレジスタ TWR0～15：HIF（LPC）

■TWR0MW

ビット：	7	6	5	4	3	2	1	0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
初期値：	—	—	—	—	—	—	—	—
スレーブR/W：	R	R	R	R	R	R	R	R
ホストR/W	W	W	W	W	W	W	W	W

■TWR0SW

ビット：	7	6	5	4	3	2	1	0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
初期値：	—	—	—	—	—	—	—	—
スレーブR/W：	W	W	W	W	W	W	W	W
ホストR/W	R	R	R	R	R	R	R	R

■TWR1～15

ビット：	7	6	5	4	3	2	1	0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
初期値：	—	—	—	—	—	—	—	—
スレーブR/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ホスト、スレーブともにアクセス可能なデータレジスタ

H'FE30：入力データレジスタ 3 IDR3：HIF (LPC)

H'FE38：入力データレジスタ 1 IDR1：HIF (LPC)

H'FE3C：入力データレジスタ 2 IDR2：HIF (LPC)

ビット：	7	6	5	4	3	2	1	0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
初期値：	—	—	—	—	—	—	—	—
スレーブR/W：	R	R	R	R	R	R	R	R
ホストR/W	W	W	W	W	W	W	W	W

下表のI/Oアドレスによりホストからライト*

I/Oアドレス					転送	ホスト選択レジスタ
ビット15～4	ビット3	ビット2	ビット1	ビット0	サイクル	
0000 0000 0110	0	0	0	0	I/Oライト	IDR1ライト、C/ $\bar{D}1 \leftarrow 0$
0000 0000 0110	0	1	0	0	I/Oライト	IDR1ライト、C/ $\bar{D}1 \leftarrow 1$
0000 0000 0110	0	0	1	0	I/Oライト	IDR2ライト、C/ $\bar{D}2 \leftarrow 0$
0000 0000 0110	0	1	1	0	I/Oライト	IDR2ライト、C/ $\bar{D}2 \leftarrow 1$

【注】 * IDR3の選択については、LPCチャネル3アドレスレジスタ (LADR3) を参照してください。

H'FE31：出力データレジスタ 3 ODR3：HIF (LPC)

H'FE39：出力データレジスタ 1 ODR1：HIF (LPC)

H'FE3D：出力データレジスタ 2 ODR2：HIF (LPC)

ビット：	7	6	5	4	3	2	1	0
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
初期値：	—	—	—	—	—	—	—	—
スレーブR/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W	R	R	R	R	R	R	R	R

下表のI/Oアドレスによりホストからリード*

I/Oアドレス					転送	ホスト選択レジスタ
ビット15～4	ビット3	ビット2	ビット1	ビット0	サイクル	
0000 0000 0110	0	0	0	0	I/Oリード	ODR1リード
0000 0000 0110	0	0	1	0	I/Oリード	ODR2リード

【注】 * ODR3の選択については、LPCチャネル3アドレスレジスタ (LADR3) を参照してください。

H'FE32：ステータスレジスタ 3 STR3：HIF（LPC）

ビット：	7	6	5	4	3	2	1	0
	IBF3B	OBF3B	MWMF	SWMF	C/D3	DBU32	IBF3A	OBF3A
初期値：	0	0	0	0	0	0	0	0
スレープR/W：	R	R/(W)*	R	R/(W)*	R	R/W	R	R/(W)*
ホストR/W	R	R	R	R	R	R	R	R

出力データレジスタフル	
0	[クリア条件] I/OリードサイクルによりODRをホストリード、 またはスレープがOBFビットに0ライト
1	[セット条件] スレープがODRにライト

入力データレジスタフル	
0	[クリア条件] スレープがIDRをリード
1	[セット条件] I/OライトサイクルによりIDRにホストライト

ユーザ定義ビット

コマンド／データ	
0	入力データレジスタ（IDR）の内容はデータ
1	入力データレジスタ（IDR）の内容はコマンド

スレープライトモードフラグ	
0	[クリア条件] I/OリードサイクルによりTWR15をホストリード、 またはスレープがSWMFビットに0ライト
1	[セット条件] MWMF=0の状態で、スレープがTWR0にライト

マスタライトモードフラグ	
0	[クリア条件] スレープがTWR15をリード
1	[セット条件] SWMF=0の状態で、I/OライトサイクルによりTWR0にホストライト

双方向レジスタ出力データフル	
0	[クリア条件] I/OリードサイクルによりTWR15をホストリード、またはスレープがOBF3Bビットに0ライト
1	[セット条件] スレープがTWR15にライト

双方向レジスタ入力データフル	
0	[クリア条件] スレープがTWR15をリード
1	[セット条件] I/OライトサイクルによりTWR15にホストライト

【注】 * フラグをクリアするための0ライトのみ可能です。

H'FE3A：ステータスレジスタ 1 STR1：HIF (LPC)

H'FE3E：ステータスレジスタ 2 STR2：HIF (LPC)

■STR1

ビット：	7	6	5	4	3	2	1	0
	DBU17	DBU16	DBU15	DBU14	C/ $\bar{D}$ 1	DBU12	IBF1	OBF1
初期値：	0	0	0	0	0	0	0	0
スレープR/W：	R/W	R/W	R/W	R/W	R	R/W	R	R/(W)*
ホストR/W	R	R	R	R	R	R	R	R

■STR2

ビット：	7	6	5	4	3	2	1	0
	DBU27	DBU26	DBU25	DBU24	C/ $\bar{D}$ 2	DBU22	IBF2	OBF2
初期値：	0	0	0	0	0	0	0	0
スレープR/W：	R/W	R/W	R/W	R/W	R	R/W	R	R/(W)*
ホストR/W	R	R	R	R	R	R	R	R

ユーザ定義ビット

出力データレジスタフル

0	[クリア条件] I/OリードサイクルによりODRをホストリード、 またはスレープがOBFビットに0ライト
1	[セット条件] スレープがODRにライト

入力データレジスタフル

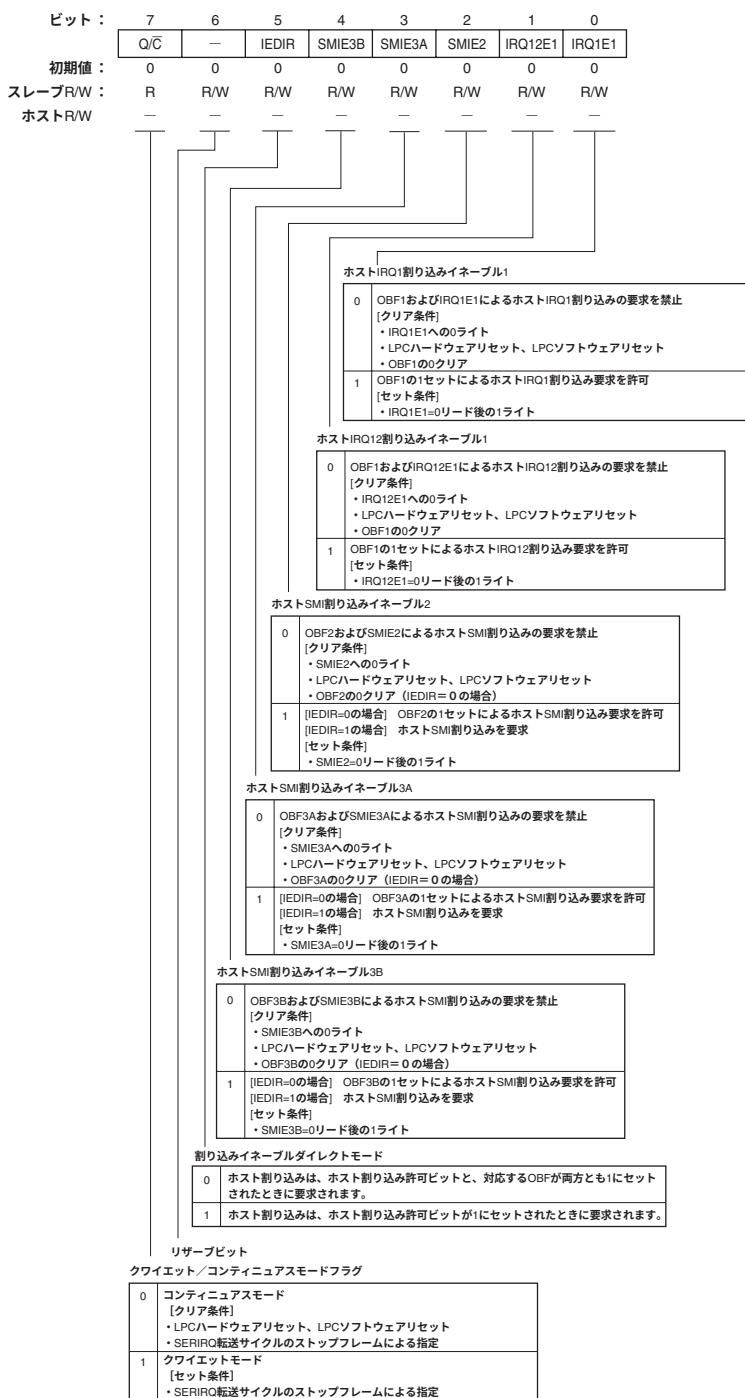
0	[クリア条件] スレープがIDRをリード
1	[セット条件] I/OライトサイクルによりIDRにホストライト

コマンド／データ

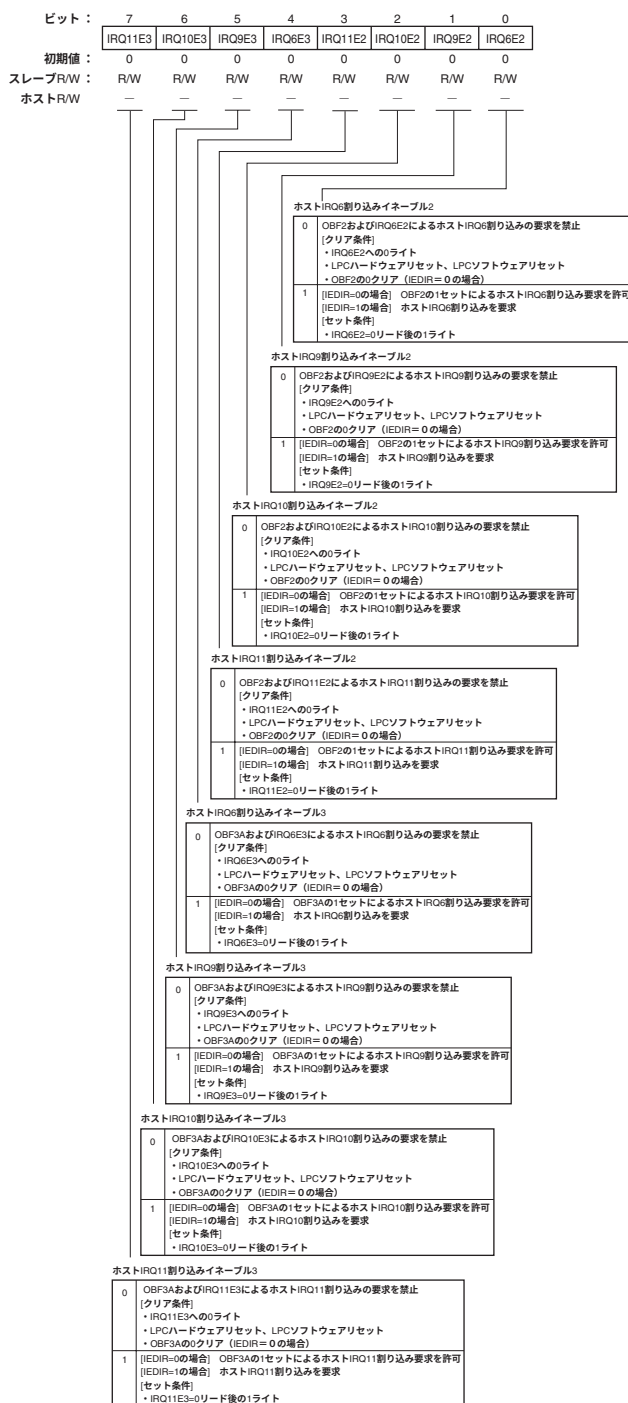
0	入力データレジスタ (IDR) の内容はデータ
1	入力データレジスタ (IDR) の内容はコマンド

【注】 * フラグをクリアするための0ライトのみ可能です。

H'FE36 : SERIRQ コントロールレジスタ 0 SIRQCR0 : HIF (LPC)



H'FE37 : SERIRQ コントロールレジスタ 1 SIRQCR1 : HIF (LPC)



H'FE40：ホストインタフェースコントロールレジスタ 0 HICR0：HIF (LPC)

ビット：	7	6	5	4	3	2	1	0
	LPC3E	LPC2E	LPC1E	FGA20E	SDWNE	PMEE	LSMIE	LSCIE
初期値：	0	0	0	0	0	0	0	0
スレープR/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W	—	—	—	—	—	—	—	—

LSCI出力イネーブル		
HICR0：ビット0	HICR1：ビット0	説 明
LSCIE	LSCIB	
0	0	LSCI出力を禁止、端子の兼用機能の入出力を許可
0	1	LSCI出力を禁止、端子の兼用機能の入出力を許可
1	0	LSCI出力を許可、LSCI 端子出力は0レベル
1	1	LSCI出力を許可、LSCI 端子出力はハインピーダンス

LSMI出力イネーブル		
HICR0：ビット1	HICR1：ビット1	説 明
LSMIE	LSMIB	
0	0	LSMI出力を禁止、端子の兼用機能の入出力を許可
0	1	LSMI出力を禁止、端子の兼用機能の入出力を許可
1	0	LSMI出力を許可、LSMI端子出力は0レベル
1	1	LSMI出力を許可、LSMI端子出力はハインピーダンス

PME出力イネーブル		
HICR0：ビット2	HICR0：ビット2	説 明
PMEE	PMEB	
0	0	PME出力を禁止、端子の兼用機能の入出力を許可
0	1	PME出力を禁止、端子の兼用機能の入出力を許可
1	0	PME出力を許可、PME端子出力は0レベル
1	1	PME出力を許可、PME端子出力はハインピーダンス

LPCソフトウェアシャットダウンイネーブル	
0	通常状態、LPCソフトウェアシャットダウンの設定許可 [クリア条件] ・0ライト ・LPCハードウェアリセットおよびLPCソフトウェアリセット ・LPCハードウェアシャットダウン解除 (LPCPD信号立上がりエッジ)
1	LPCハードウェアシャットダウン状態の設定許可 ・LPCPD信号Lowレベル時にハードウェアシャットダウン状態 [セット条件] ・SDWNE=0リード後の1ライト

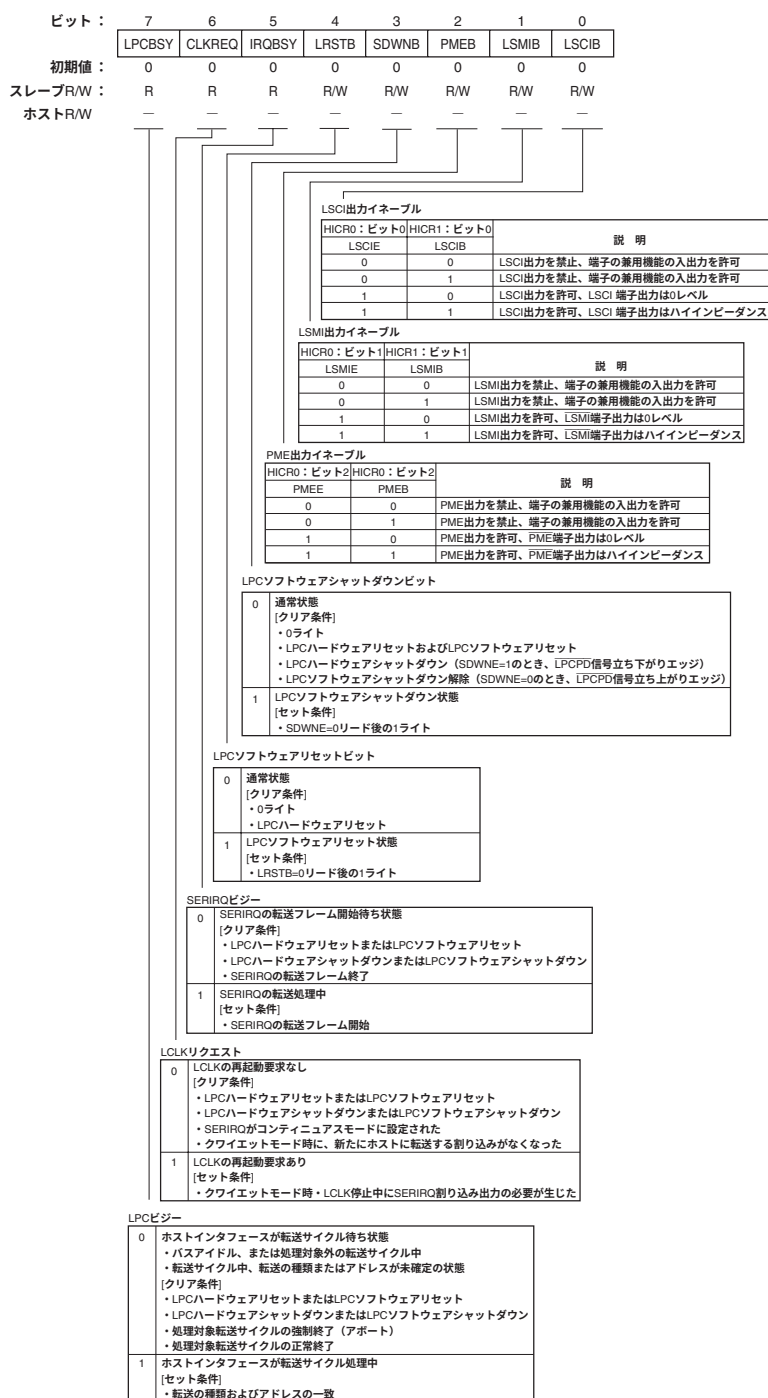
高速GATE A20イネーブル	
0	高速GATE A20機能を禁止 ・端子の兼用機能の入出力を許可 ・GA20出力の内部状態を1に初期化
1	高速GATE A20機能を許可 ・GA20端子出力はオープンドレイン (VCCヘブルアップ抵抗外付け要)

LPCイネーブル1	
0	LPCチャネル1の動作を禁止 IDR1、ODR1、STR1に関してアドレス (H'0060, 64) 一致発生なし
1	LPCチャネル1の動作を許可

LPCイネーブル2	
0	LPCチャネル2の動作を禁止 IDR2、ODR2、STR2に関してアドレス (H'0062, 66) 一致発生なし
1	LPCチャネル2の動作を許可

LPCイネーブル3	
0	LPCチャネル3の動作を禁止 IDR3、ODR3、STR3、TWR0～TWR15に関してアドレス(LADR3)一致発生なし
1	LPCチャネル3の動作を許可

H'FE41：ホストインタフェースコントロールレジスタ 1 HICR1：HIF (LPC)



H'FE42：ホストインタフェースコントロールレジスタ 2 HICR2：HIF (LPC)

ビット：	7	6	5	4	3	2	1	0
	GA20	LRST	SDWN	ABRT	IBFIE3	IBFIE2	IBFIE1	ERRIE
初期値：	0	0	0	0	0	0	0	0
スレーブR/W：	R	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W
ホストR/W	—	—	—	—	—	—	—	—

入力データレジスタフル割り込みイネーブル3～1／エラー割り込みイネーブル

IBFIE3	IBFIE2	IBFIE1	ERRI	説 明
—	—	—	0	エラー割り込み要求を禁止
—	—	—	1	エラー割り込み要求を許可
—	—	0	—	入力データレジスタ (IDR1) 受信完了割り込み要求を禁止
—	—	1	—	入力データレジスタ (IDR1) 受信完了割り込み要求を許可
—	0	—	—	入力データレジスタ (IDR2) 受信完了割り込み要求を禁止
—	1	—	—	入力データレジスタ (IDR2) 受信完了割り込み要求を許可
0	—	—	—	入力データレジスタ (IDR3) およびTWRの受信完了割り込み要求を禁止
1	—	—	—	入力データレジスタ (IDR3) およびTWR 受信完了割り込み要求を許可

LPCアボート割り込みフラグ

0	[クリア条件] ・ ABRT=1リード後の0ライト ・ LPCハードウェアリセット (LRESET端子の立ち下がりエッジ検出) ・ LPCソフトウェアリセット (LRSTB=1) ・ LPCハードウェアシャットダウン (SDWNE=1かつLRESET端子の立ち下がりエッジ検出) ・ LPCソフトウェアシャットダウン (SDWNB=1)
1	[セット条件] ・ LPC転送サイクル中のLFRAME端子の立ち下がりエッジ検出

LPCシャットダウン割り込みフラグ

0	[クリア条件] ・ SDWN=1リード後の0ライト ・ LPCハードウェアリセット (LRESET端子の立ち下がりエッジ検出) ・ LPCソフトウェアリセット (LRSTB=1)
1	[セット条件] ・ LPCPD端子の立ち下がりエッジ検出

LPCリセット割り込みフラグ

0	[クリア条件] ・ LRST=1リード後の0ライト
1	[セット条件] ・ LRESET端子の立ち下がりエッジ検出

GA20端子モニタ

0	GA20端子はLowレベル
1	GA20端子はHighレベル

【注】 * ビット6～4はフラグをクリアするための0ライトのみ可能です。

H'FE43：ホストインタフェースコントロールレジスタ3 HICR3：HIF（LPC）

ビット：	7	6	5	4	3	2	1	0
	LFRAME	CLKRUN	SERIRQ	LRESET	LPCPD	PME	LSMI	LSCI
初期値：	0	0	0	0	0	0	0	0
スレープR/W：	R	R	R	R	R	R	R	R
ホストR/W	—	—	—	—	—	—	—	—

0	LFRAME端子はLowレベル
1	LFRAME端子はHighレベル

0	CLKRUN端子はLowレベル
1	CLKRUN端子はHighレベル

0	SERIRQ端子はLowレベル
1	SERIRQ端子はHighレベル

0	LRESET端子はLowレベル
1	LRESET端子はHighレベル

0	LPCPD端子はLowレベル
1	LPCPD端子はHighレベル

0	PME端子はLowレベル
1	PME端子はHighレベル

0	LSMI端子はLowレベル
1	LSMI端子はHighレベル

0	LSCI端子はLowレベル
1	LSCI端子はHighレベル

LSCI端子モニタ

0	LSCI端子はLowレベル
1	LSCI端子はHighレベル

LSMI端子モニタ

0	LSMI端子はLowレベル
1	LSMI端子はHighレベル

PME端子モニタ

0	PME端子はLowレベル
1	PME端子はHighレベル

LPCPD端子モニタ

0	LPCPD端子はLowレベル
1	LPCPD端子はHighレベル

LRESET端子モニタ

0	LRESET端子はLowレベル
1	LRESET端子はHighレベル

SERIRQ端子モニタ

0	SERIRQ端子はLowレベル
1	SERIRQ端子はHighレベル

CLKRUN端子モニタ

0	CLKRUN端子はLowレベル
1	CLKRUN端子はHighレベル

LFRAME端子モニタ

0	LFRAME端子はLowレベル
1	LFRAME端子はHighレベル

H'FE44：ウェイクアップイベント割り込みマスクレジスタ B WUEMRB：割り込みコントローラ

ビット：	7	6	5	4	3	2	1	0
	WUEMR7	WUEMR6	WUEMR5	WUEMR4	WUEMR3	WUEMR2	WUEMR1	WUEMR0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイクアップイベント割り込みマスク

0	ウェイクアップイベント割り込み要求を許可
1	ウェイクアップイベント割り込み要求を禁止

H'FE80：ホストインタフェースコントロールレジスタ 2 HICR2：HIF (XBS)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	IBFIE4	IBFIE3	—
初期値：	1	1	1	1	1	0	0	0
スレーブR/W：	—	—	—	—	—	R/W	R/W	—
ホストR/W	—	—	—	—	—	—	—	—

入力データレジスタフル割り込み
イネーブルビット3

0	入力データレジスタ (IDR3) 受信完了割り込み要求を禁止
1	入力データレジスタ (IDR3) 受信完了割り込み要求を許可

入力データレジスタフル割り込み
イネーブルビット4

0	入力データレジスタ (IDR4) 受信完了割り込み要求を禁止
1	入力データレジスタ (IDR4) 受信完了割り込み要求を許可

H'FE84:入力データレジスタ 3 IDR3 : HIF (XBS)

H'FE8C:入力データレジスタ 4 IDR4 : HIF (XBS)

ビット :	7	6	5	4	3	2	1	0
	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
初期値 :	—	—	—	—	—	—	—	—
スレーブR/W :	R	R	R	R	R	R	R	R
ホストR/W	W	W	W	W	W	W	W	W

$\overline{CS}$ =Lowのとき、 $\overline{IOW}$ の立ち上がりでホストデータバスの内容を格納

H'FE85:出力データレジスタ 3 ODR3 : HIF (XBS)

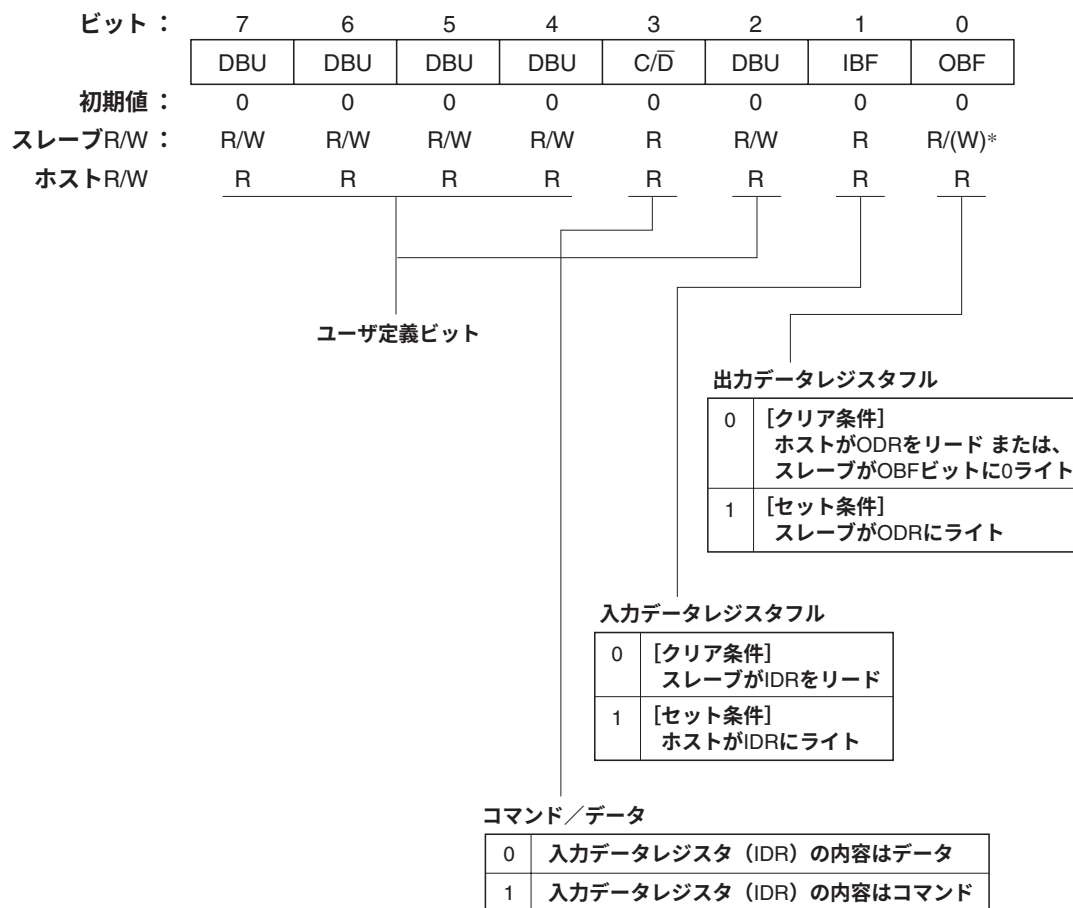
H'FE8D:出力データレジスタ 4 ODR4 : HIF (XBS)

ビット :	7	6	5	4	3	2	1	0
	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
初期値 :	—	—	—	—	—	—	—	—
スレーブR/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W	R	R	R	R	R	R	R	R

HA0=Low、 $\overline{CS}$ =Low、 $\overline{IOR}$ =Lowのとき、
ODRの内容をホストデータバスに出力

H'FE86:ステータスレジスタ 3 STR3: HIF (XBS)

H'FE8E:ステータスレジスタ 4 STR4: HIF (XBS)

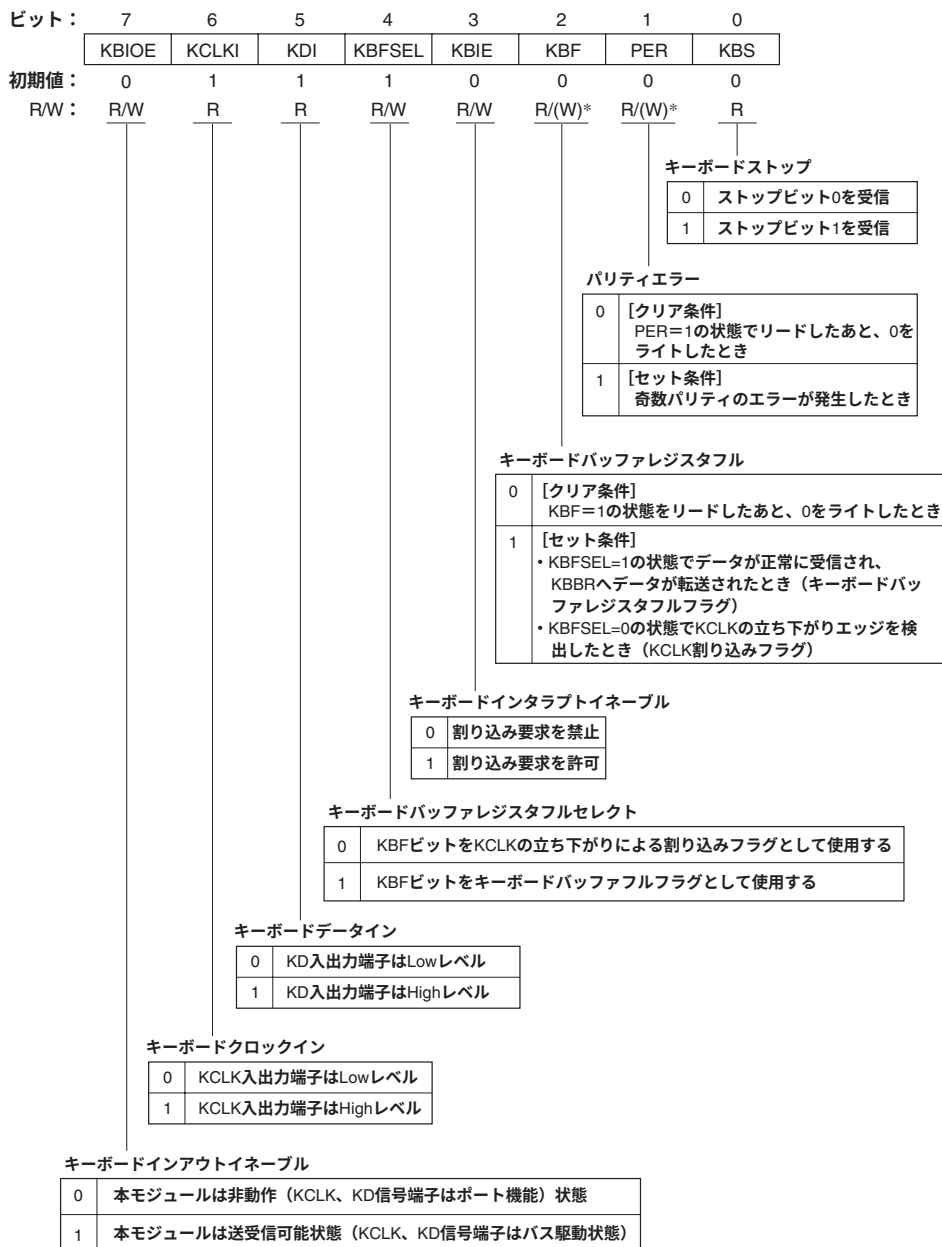


【注】 * フラグをクリアするための0ライトのみ可能です。

H'FED8 : キーボードコントロールレジスタ H0
H'FEDC : キーボードコントロールレジスタ H1
H'FEE0 : キーボードコントロールレジスタ H2

KBCRH0 :
KBCRH1 :
KBCRH2 :

キーボードバッファコントローラ



【注】 * フラグをクリアするための0ライトのみ可能です。

H'FED9 : キーボードコントロールレジスタ L0
H'FEDD : キーボードコントロールレジスタ L1
H'FEE1 : キーボードコントロールレジスタ L2

KBCRL0 :
KBCRL1 :
KBCRL2 :

キーボードバッファコントローラ

ビット:	7	6	5	4	3	2	1	0
	KBE	KCLKO	KDO	—	RXCR3	RXCR2	RXCR1	RXCR0
初期値:	0	1	1	1	0	0	0	0
R/W:	R/W	R/W	R/W	—	R	R	R	R

レシーブカウンタ

RXCR3	RXCR2	RXCR1	RXCR0	受信データの内容
0	0	0	0	—
			1	スタートビット
		1	0	KB0
			1	KB1
	1	0	0	KB2
			1	KB3
		1	0	KB4
			1	KB5
1	0	0	0	KB6
			1	KB7
		1	0	パリティビット
			1	—
	1	—	—	—

キーボードデータアウト

0	キーボードバッファコントローラデータ入出力端子はLowレベル
1	キーボードバッファコントローラデータ入出力端子はHighレベル

キーボードクロックアウト

0	キーボードバッファコントローラクロック入出力端子はLowレベル
1	キーボードバッファコントローラクロック入出力端子はHighレベル

キーボードイネーブル

0	KBBRへの受信データのロードを禁止
1	KBBRへの受信データのロードを許可

H'FEDA : キーボードデータバッファレジスタ 0
H'FEDE : キーボードデータバッファレジスタ 1
H'FEE2 : キーボードデータバッファレジスタ 2

KBBR0 :
KBBR1 :
KBBR2 :

キーボードバッファコントローラ

ビット:	7	6	5	4	3	2	1	0
	KB7	KB6	KB5	KB4	KB3	KB2	KB1	KB0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

受信データを格納

H'FEE4：キーボードコンパレータコントロールレジスタ KBCOMP：IrDA/拡張 A/D

ビット：	7	6	5	4	3	2	1	0
	IrE	IrCKS2	IrCKS1	IrCKS0	KBADE	KBCH2	KBCH1	KBCH0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット3：キーボードA/Dイネーブル
 ビット2～0：キーボードA/Dチャンネルセレクト2～0

ビット3	ビット2	ビット1	ビット0	A/D変換器 チャンネル6入力	A/D変換器 チャンネル7入力
KBADE	KBCH2	KBCH1	KBCH0	チャンネル6入力	チャンネル7入力
0	—	—	—	AN6	AN7
1	0	0	0	CIN0	CIN8
			1	CIN1	CIN9
		1	0	CIN2	CIN10
			1	CIN3	CIN11
	1	0	0	CIN4	CIN12
			1	CIN5	CIN13
		1	0	CIN6	CIN14
			1	CIN7	CIN15

IrDAクロックセレクト2～0

0	0	0	B×3/16 (ビットレートの16分の3)
		1	$\phi/2$
	1	0	$\phi/4$
		1	$\phi/8$
1	0	0	$\phi/16$
		1	$\phi/32$
	1	0	$\phi/64$
		1	$\phi/128$

IrDAイネーブル

0	TxD2/IrTxD、RxD2/IrRxD端子はTxD2、RxD2として動作
1	TxD2/IrTxD、RxD2/IrRxD端子はIrTxD、IrRxDとして動作

H'FEE6 : DDC スイッチレジスタ DDCSWR : IIC0

ビット :	7	6	5	4	3	2	1	0
	SWE	SW	IE	IF	CLR3	CLR2	CLR1	CLR0
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/(W)*1	W*2	W*2	W*2	W*2

IICクリアビット

ビット3	ビット2	ビット1	ビット0	説明
CLR3	CLR2	CLR1	CLR0	
0	0	—	—	設定禁止
			0	設定禁止
		1	0	IIC0内部ラッチクリア
			1	IIC0、1内部ラッチクリア
1	—	—	—	設定無効

DDCモードスイッチ割り込みフラグ

0	フォーマット自動切り替え実行時の割り込み要求なし [クリア条件] ・IF=1の状態をリードしたあと、0をライトしたとき
1	フォーマット自動切り替え実行時の割り込み要求あり [セット条件] ・SWE=1で、SCLに立ち下がりエッジを検出したとき

DDCモードスイッチ割り込み許可ビット

0	フォーマット自動切り替え実行時の割り込みを禁止
1	フォーマット自動切り替え実行時の割り込みを許可

DDCモードスイッチ

0	IICチャンネル0をI ² Cバスフォーマットで使用する [クリア条件] (1) ソフトウェアにより0をライトしたとき (2) SWE=1で、SCLに立ち下がりエッジを検出したとき
1	IICチャンネル0をフォーマットレスで使用する [セット条件] ・SW=0の状態をリードしたあと、1をライトしたとき

DDCモードスイッチイネーブル

0	IICチャンネル0の、フォーマットレスからI ² Cバスフォーマットへの自動切り替えを禁止する
1	IICチャンネル0の、フォーマットレスからI ² Cバスフォーマットへの自動切り替えを許可する

【注】 *1 フラグをクリアするための0ライトのみ可能です。

*2 リードすると常に1が読み出されます。

H'FEE8 : インタラプトコントロールレジスタ A ICRA : 割り込みコントローラ
H'FEE9 : インタラプトコントロールレジスタ B ICRB : 割り込みコントローラ
H'FEEA : インタラプトコントロールレジスタ C ICRC : 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	ICR7	ICR6	ICR5	ICR4	ICR3	ICR2	ICR1	ICR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込みコントロールレベル

0	対応する割り込み要因はコントロールレベル0（非優先）
1	対応する割り込み要因はコントロールレベル1（優先）

各割り込み要因とICRの対応

レジスタ	ビット							
	7	6	5	4	3	2	1	0
ICRA	IRQ0	IRQ1	IRQ2 IRQ3	IRQ4 IRQ5	IRQ6 IRQ7	DTC	ウォッチ ドッグ タイマ0	ウォッチ ドッグ タイマ1
ICRB	A/D 変換器	フリー ランニング タイマ	—	—	8ビット タイマ チャンネル0	8ビット タイマ チャンネル1	8ビット タイマ チャンネル X、Y	HIF : XBS、 キーボード バッファ コントローラ
ICRC	SCI チャンネル0	SCI チャンネル1	SCI チャンネル2	IIC チャンネル0 (オプション)	IIC チャンネル1 (オプション)	—	HIF : LPC	—

H'FEEB : IRQ ステータスレジスタ ISR : 割り込みコントローラ

ビット :	7	6	5	4	3	2	1	0
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1

IRQ7~IRQ0フラグ

0	【クリア条件】 (1) $\overline{\text{IRQnF}}=1$ をリードしたあと、0 をライトしたとき (2) Lowレベル検出設定 ($\text{IRQnSCB}=\text{IRQnSCA}=0$) の状態で $\overline{\text{IRQn}}$ 入力が高レベルの状態、割り込み例外処理を実行したとき*2 (3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 ($\text{IRQnSCB}=1$ 、または $\text{IRQnSCA}=1$) の状態で $\overline{\text{IRQn}}$ 割り込み例外処理を実行したとき*2
1	【セット条件】 (1) Lowレベル検出設定 ($\text{IRQnSCB}=\text{IRQnSCA}=0$) の状態で $\overline{\text{IRQn}}$ 入力がLowレベルになったとき (2) 立ち下がりエッジ検出設定時 ($\text{IRQnSCB}=0$ 、 $\text{IRQnSCA}=1$) の状態で $\overline{\text{IRQn}}$ 入りに立ち下がりエッジが発生したとき (3) 立ち上がりエッジ検出設定時 ($\text{IRQnSCB}=1$ 、 $\text{IRQnSCA}=0$) の状態で $\overline{\text{IRQn}}$ 入りに立ち上がりエッジが発生したとき (4) 両エッジ検出設定時 ($\text{IRQnSCB}=\text{IRQnSCA}=1$) の状態で $\overline{\text{IRQn}}$ 入りに立ち下がり、または立ち上がりエッジが発生したとき

(n=7~0)

【注】 *1 フラグをクリアするための0ライトのみ可能です。

*2 DTCを内蔵した製品において下記の設定で使用すると、対象フラグビットはクリア条件となる例外処理を実行しても自動クリアはされず、ビットは1のままとまります。

- (1) DTCEA3=1にセットした場合 (ADIを割り込み要因に設定)、IRQ4Fフラグの自動クリア
- (2) DTCEA2=1にセットした場合 (ICIAを割り込み要因に設定)、IRQ5Fフラグの自動クリア
- (3) DTCEA1=1にセットした場合 (ICIBを割り込み要因に設定)、IRQ6Fフラグの自動クリア
- (4) DTCEA0=1にセットした場合 (OCIAを割り込み要因に設定)、IRQ7Fフラグの自動クリア

DTCの起動割り込み要因とIRQ割り込みを上記の組み合わせで使用する場合には、当該IRQの割り込み処理ルーチン内でソフトウェアにより割り込みフラグのクリアを行ってください。

H'FEEC : IRQ センスコントロールレジスタ H ISCRH : 割り込みコントローラ
H'FEED : IRQ センスコントロールレジスタ L ISCRL : 割り込みコントローラ

ISCRH

ビット :	15	14	13	12	11	10	9	8
	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ7~IRQ4センスコントロールA、B

ISCRL

ビット :	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ3~IRQ0センスコントロールA、B

ISCRH ビット7~0 ISCRL ビット7~0		説 明
IRQ7SCB~ IRQ0SCB	IRQ7SCA~ IRQ0SCA	
0	0	IRQ7~IRQ0入力のLowレベルで割り込み要求を発生
	1	IRQ7~IRQ0入力の立ち下がりエッジで割り込み要求を発生
1	0	IRQ7~IRQ0入力の立ち上がりエッジで割り込み要求を発生
	1	IRQ7~IRQ0入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

H'FEFE~H'FEF2 : DTC イネーブルレジスタ DTCE7 : DTCE0

ビット :	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTC起動イネーブル

0	割り込みによるDTC起動を禁止 [クリア条件] ・DISELビットが1でデータ転送を終了したとき ・指定した回数の転送が終了したとき
1	割り込みによるDTC起動を許可 [保持条件] DISELビットが0で、指定した回数の転送が終了していないとき

H'FEF3 : DTC ベクタレジスタ DTVEC7 : DTVEC0

ビット :	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTCソフトウェア起動のベクタ番号を設定

DTCソフトウェア起動イネーブル

0	DTCソフトウェア起動を禁止 [クリア条件] DISELビットが0で、指定した回数の転送が終了していないとき
1	DTCソフトウェア起動を許可 [保持条件] ・DISELビットが1で、データ転送を終了したとき ・指定した回数の転送が終了したとき ・ソフトウェア起動によるデータ転送中

【注】 * SWDTEビットは、1ライトは常時可能ですが、0ライトは1リード後にのみ可能となります。

H'FEF4：アドレスブレイクコントロールレジスタ ABRKCR：割り込みコントローラ

ビット：	7	6	5	4	3	2	1	0
	CMF	—	—	—	—	—	—	BIE
初期値：	0	0	0	0	0	0	0	0
R/W：	R	—	—	—	—	—	—	R/W

コンディションマッチフラグ

0	[クリア条件] アドレスブレイク割り込み例外処理を実行したとき
1	[セット条件] BIE=1の状態、BARA～BARCで設定したアドレスのプリフェッチを実行したとき

ブレイク割り込みイネーブル

0	アドレスブレイク禁止
1	アドレスブレイク許可

H'FEF5：ブレイクアドレスレジスタ A BARA：割り込みコントローラ

H'FEF6：ブレイクアドレスレジスタ B BARB：割り込みコントローラ

H'FEF7：ブレイクアドレスレジスタ C BARC：割り込みコントローラ

ビット：	7	6	5	4	3	2	1	0
BARA	A23	A22	A21	A20	A19	A18	A17	A16
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレスブレイクを発生させるアドレス（ビット23～16）を指定

ビット：	7	6	5	4	3	2	1	0
BARB	A15	A14	A13	A12	A11	A10	A9	A8
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレスブレイクを発生させるアドレス（ビット15～8）を指定

ビット：	7	6	5	4	3	2	1	0
BARC	A7	A6	A5	A4	A3	A2	A1	—
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—

アドレスブレイクを発生させるアドレス（ビット7～1）を指定

H'FF80：フラッシュメモリコントロールレジスタ 1 FLMCR1：FLASH

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE	—	—	EV	PV	E	P
初期値：	1	0	0	0	0	0	0	0
R/W：	R	R/W	—	—	R/W	R/W	R/W	R/W

プログラム

0	プログラムモードを解除
1	プログラムモードに遷移 [セット条件] SWE=1、PSU=1のとき

イレース

0	イレースモードを解除
1	イレースモードに遷移 [セット条件] SWE=1、ESU=1のとき

プログラムベリファイ

0	プログラムベリファイモードを解除
1	プログラムベリファイモードに遷移 [セット条件] SWE=1のとき

イレースベリファイ

0	イレースベリファイモードを解除
1	イレースベリファイモードに遷移 [セット条件] SWE=1のとき

ソフトウェアライトイネーブル

0	書き込み無効
1	書き込み有効

フラッシュライトイネーブル

H'FF81：フラッシュメモリコントロールレジスタ 2 FLMCR2：FLASH

ビット：	7	6	5	4	3	2	1	0
	FLER	—	—	—	—	—	ESU	PSU
初期値：	0	0	0	0	0	0	0	0
R/W：	R	—	—	—	—	—	R/W	R/W

プログラムセットアップ

0	プログラムセットアップ解除
1	プログラムセットアップ [セット条件] SWE=1のとき

イレースセットアップ

0	イレースセットアップ解除
1	イレースセットアップ [セット条件] SWE=1のとき

フラッシュメモリエラー

0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み／消去プロテクト (エラープロテクト) が無効 [クリア条件] リセットまたはハードウェアスタンバイモードのとき
1	フラッシュメモリへの書き込み／消去中にエラーが発生 したことを示します。 フラッシュメモリへの書き込み／消去プロテクト (エラープロテクト) が有効 [セット条件] 「22.8.3 エラープロテクト」参照

H'FF82：周辺クロックセレクトレジスタ PCSR：PWM

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	PWCKB	PWCKA	—
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	—

PWMクロックセレクト

PWSL		PCSR		説 明
ビット7	ビット6	ビット2	ビット1	
PWCKE	PWCKS	PWCKB	PWCKA	
0	—	—	—	クロック入力禁止
1	0	—	—	ϕ （システムクロック）を選択
	1	0	0	$\phi/2$ を選択
			1	$\phi/4$ を選択
		1	0	$\phi/8$ を選択
			1	$\phi/16$ を選択

H'FF83：システムコントロールレジスタ2 SYSCR2：HIF（XBS）

ビット：	7	6	5	4	3	2	1	0
	KWUL1	KWUL0	P6PUE	—	SDE	CS4E	CS3E	HI12E
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

ホストインタフェースイネーブル	
0	ホストインタフェース機能を禁止
1	ホストインタフェース機能を許可

CS3イネーブル	
0	ホストインタフェースチャンネル3の機能を禁止
1	ホストインタフェースチャンネル3の機能を許可

CS4イネーブル	
0	ホストインタフェースチャンネル4の機能を禁止
1	ホストインタフェースチャンネル4の機能を許可

シャットダウンイネーブル	
0	ホストインタフェース端子のシャットダウン機能を禁止
1	ホストインタフェース端子のシャットダウン機能を許可

ポート6入力プルアップMOSエクストラ	
1	ポート6入力プルアップMOSは標準電流の仕様を選択
0	ポート6入力プルアップMOSは電流制限の仕様を選択

キーウェイクアップレベル1、0		
0	0	ポート6入力レベルは標準入力レベルを選択
	1	ポート6入力レベルは入力レベル1を選択
1	0	ポート6入力レベルは入力レベル2を選択
	1	ポート6入力レベルは入力レベル3を選択

H'FF83：システムコントロールレジスタ 2 SYSCR2：HIF (XBS)

ビット：	7	6	5	4	3	2	1	0
EBR1	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	—*2	—*2	—*2	—*2	—*2	—*2	—*2	—*2

ビット：	7	6	5	4	3	2	1	0
EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W*1	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 *1 ノーマルモードの場合は0が読み出され、ライトは無効です。

*2 本ビットは1にセットしないでください。

消去ブロックの分割

ブロック (サイズ)	アドレス
64kバイト版	
EB0 (1kバイト)	H'(00)0000～H'(00)03FF
EB1 (1kバイト)	H'(00)0400～H'(00)07FF
EB2 (1kバイト)	H'(00)0800～H'(00)0BFF
EB3 (1kバイト)	H'(00)0C00～H'(00)0FFF
EB4 (28kバイト)	H'(00)1000～H'(00)7FFF
EB5 (16kバイト)	H'(00)8000～H'(00)BFFF
EB6 (8kバイト)	H'(00)C000～H'(00)DFFF
EB7 (8kバイト)	H'00E000～H'00FFFF

H'FF82：消去ブロック指定レジスタ 1 EBR1：FLASH

H'FF83：消去ブロック指定レジスタ 2 EBR2：FLASH

ビット：	7	6	5	4	3	2	1	0
EBR1	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W	—*2	—*2	—*2	—*2	—*2	—*2	—*2	—*2

ビット：	7	6	5	4	3	2	1	0
EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値：	0	0	0	0	0	0	0	0
R/W	R/W*1	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 *1 ノーマルモードの場合は0が読み出され、ライトは無効です。

*2 本ビットは1にセットしないでください。

消去ブロックの分割

ブロック (サイズ)	アドレス
64kバイト版	
EB0 (1kバイト)	H'(00)0000～H'(00)03FF
EB1 (1kバイト)	H'(00)0400～H'(00)07FF
EB2 (1kバイト)	H'(00)0800～H'(00)0BFF
EB3 (1kバイト)	H'(00)0C00～H'(00)0FFF
EB4 (28kバイト)	H'(00)1000～H'(00)7FFF
EB5 (16kバイト)	H'(00)8000～H'(00)BFFF
EB6 (8kバイト)	H'(00)C000～H'(00)DFFF
EB7 (8kバイト)	H'00E000～H'00FFFF

H'FF84：スタンバイコントロールレジスタ SBYCR：システム

ビット：	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	—	SCK2	SCK1	SCK0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W

システムクロックセレクト2～0

0	0	0	バスマスタは高速モード
		1	中速クロックは $\phi/2$
	1	0	中速クロックは $\phi/4$
		1	中速クロックは $\phi/8$
	1	0	0
1			中速クロックは $\phi/32$
1		—	—

スタンバイタイムセレクト2～0

0	0	0	待機時間＝ 8192 ステート
		1	待機時間＝ 16384 ステート
	1	0	待機時間＝ 32768 ステート
		1	待機時間＝ 65536 ステート
1	0	0	待機時間＝ 131072 ステート
		1	待機時間＝ 262144 ステート
	1	0	リザーブ
		1	待機時間＝ 16 ステート*

【注】 * フラッシュメモリ内蔵版では、本設定は使用しないでください。

ソフトウェアスタンバイ

0	高速モードおよび中速モードでSLEEP命令を実行したとき、スリープモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、サブスリープモードに遷移
1	高速モードおよび中速モードでSLEEP命令を実行したとき、ソフトウェアスタンバイモード、サブアクティブモード、あるいはウォッチモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、あるいは高速モードに遷移

H'FF85：ローパワーコントロールレジスタ LPWRCR：システム

ビット：	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	EXCLE	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	—	—	—	—

サブクロック入力イネーブル

0	EXCL端子からのサブクロック入力禁止
1	EXCL端子からのサブクロック入力許可

ノイズ除去サンプリング周波数選択

0	ϕ の32分周クロックでサンプリング
1	ϕ の4分周クロックでサンプリング

ロースピードオンフラグ

0	・高速モード、あるいは中速モードでSLEEP命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 ・サブアクティブモードでSLEEP命令を実行したとき、ウォッチモードに遷移、または高速モードに直接遷移 ・ウォッチモード解除後に高速モードに遷移
1	・高速モードでSLEEP命令を実行したとき、ウォッチモード、またはサブアクティブモード*に遷移 ・サブアクティブモードでSLEEP命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 ・ウォッチモード解除後にサブアクティブモードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

ダイレクトトランスファオンフラグ

0	・高速モード、あるいは中速モードでSLEEP命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 ・サブアクティブモードでSLEEP命令を実行したとき、サブスリープモード、またはウォッチモードに遷移
1	・高速モード、あるいは中速モードでSLEEP命令を実行したとき、サブアクティブモード*に直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移 ・サブアクティブモードでSLEEP命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移

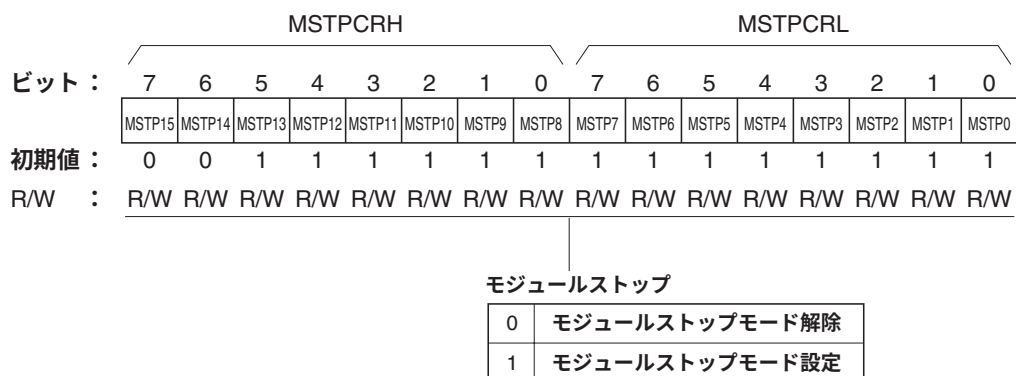
【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

H'FF86：モジュールストップコントロールレジスタH

H'FF87：モジュールストップコントロールレジスタL

MSTPCRH：システム

MSTPCRL：システム



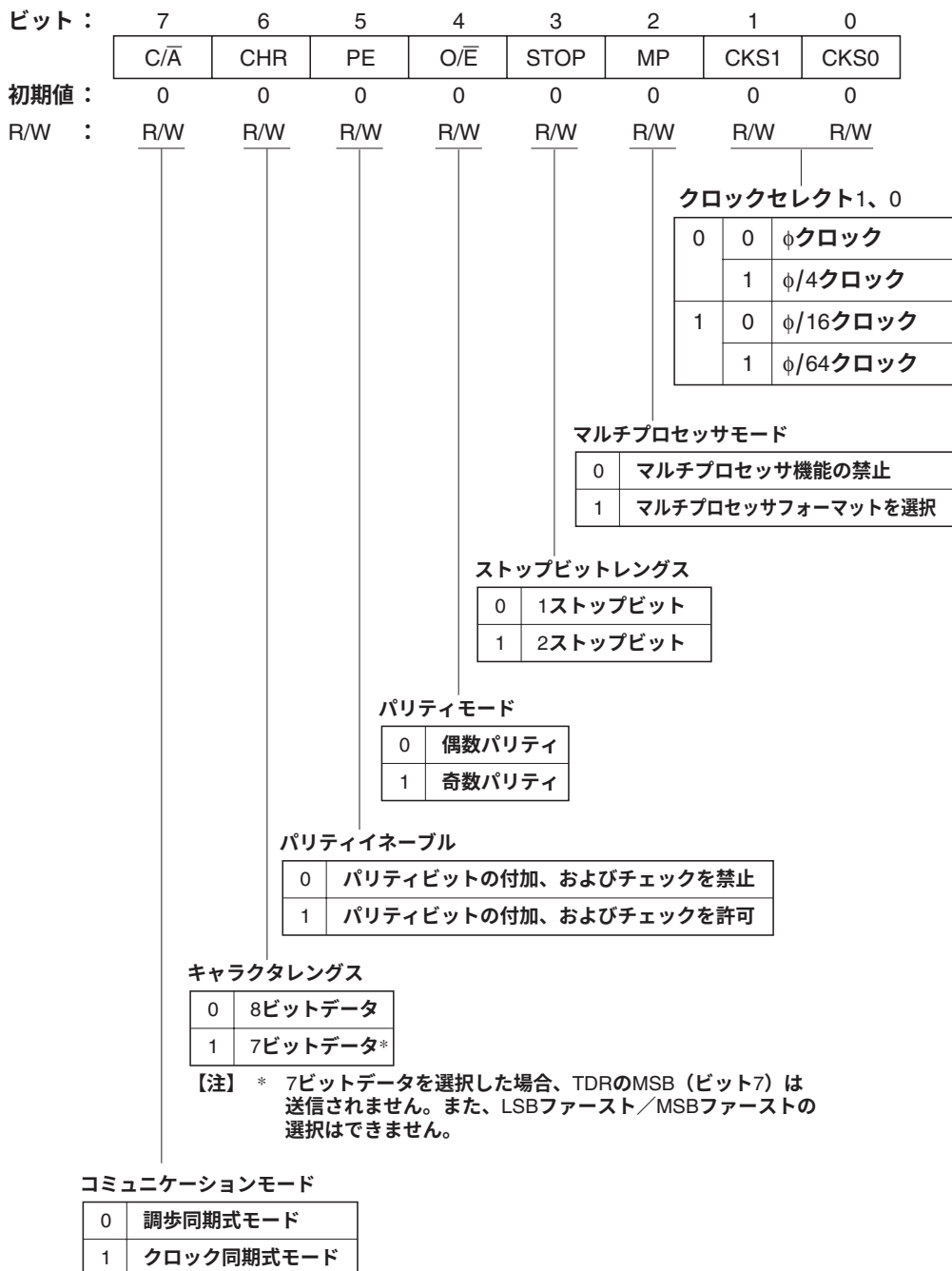
各ビットと内蔵周辺機能の対応は以下のとおりです。

レジスタ	ビット	モジュール
MSTPCRH	MSTP15*	－
	MSTP14	データトランスファコントローラ (DTC)
	MSTP13	16ビットフリーランニングタイマ (FRT)
	MSTP12	8ビットタイマ (TMR0、TMR1)
	MSTP11	8ビットPWMタイマ (PWM)、14ビットPWMタイマ (PWMX)
	MSTP10	D/A変換器
	MSTP9	A/D変換器
	MSTP8	8ビットタイマ (TMRX、TMRY)、タイマコネクション
MSTPCRL	MSTP7	シリアルコミュニケーションインタフェース0 (SCI0)
	MSTP6	シリアルコミュニケーションインタフェース1 (SCI1)
	MSTP5	シリアルコミュニケーションインタフェース2 (SCI2)
	MSTP4	I ² Cバスインタフェース (IIC) チャンネル0
	MSTP3	I ² Cバスインタフェース (IIC) チャンネル1
	MSTP2	ホストインタフェース (HIF：XBS)、 キーボードマトリクス割り込みマスクレジスタ (KMIMR)、 キーボードマトリクス割り込みマスクレジスタA (KMIMRA)、 ポート6プルアップMOSコントロールレジスタ (KMPCR)、 キーボードバッファコントローラ (PS2)
	MSTP1	－
	MSTP0	ホストインタフェース (HIF：LPC)

【注】 ビット1はリード／ライトできますが、動作に影響を与えません。

* ビット15は1にセットしないでください。

H'FF88 : シリアルモードレジスタ 1 SMR1 : SCI1
H'FFA0 : シリアルモードレジスタ 2 SMR2 : SCI2
H'FFD8 : シリアルモードレジスタ 0 SMR0 : SCI0



H'FF88 : I²C バスコントロールレジスタ 1 ICCR1 : IIC1
H'FFD8 : I²C バスコントロールレジスタ 0 ICCR0 : IIC0

ビット :

7	6	5	4	3	2	1	0
ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP

初期値 :

0	0	0	0	0	0	0	1

R/W :

R/W	R/W	R/W	R/W	R/W	R/W	R/(W)*	W

開始条件／停止条件発行禁止ビット

0	ライト時、BBSYフラグと組み合わせて開始条件、停止条件を発行
1	リード時、常に1をリード ライト時、無効

I²Cバスインタフェース割り込み要求フラグ

0	転送待ち状態、または転送中
1	割り込みが発生

【注】 クリア条件、セット条件は「16.2.5 I²Cバスコントロールレジスタ (ICCR)」を参照

バスビジー

0	バス解放状態 [クリア条件]・停止条件検出時
1	バス占有状態 [セット条件]・開始条件検出時

アクノリッジビット判定選択

0	アクノリッジビットの内容を無視して、連続的に転送を行う
1	アクノリッジビットが1の場合、連続的な転送を中断する

マスタ／スレーブ選択 (MST)、送信／受信選択 (TRS)

0	0	スレーブ受信モード
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

【注】 詳細は「16.2.5 I²Cバスコントロールレジスタ (ICCR)」を参照

I²Cバスインタフェース割り込みイネーブル

0	割り込み要求を禁止
1	割り込み要求を許可

I²Cバスインタフェースイネーブル

0	本モジュールは非動作状態 (SCL/SDA端子はポート機能) SAR、SARXがアクセス可能
1	本モジュールは転送動作可能状態 (SCL/SDA端子はバス駆動状態) ICMR、ICDRがアクセス可能

【注】 * フラグをクリアするための0ライトのみ可能です。

H'FF89 : ビットレートレジスタ 1 BRR1 : SCI1
H'FFA1 : ビットレートレジスタ 2 BRR2 : SCI2
H'FFD9 : ビットレートレジスタ 0 BRR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信／受信のビットレートを設定

H'FF89 : I²C バスステータスレジスタ 1 ICSR1 : IIC1

H'FFD9 : I²C バスステータスレジスタ 0 ICSR0 : IIC0

ビット :

7	6	5	4	3	2	1	0
ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB

初期値 :

0	0	0	0	0	0	0	0

R/W :

R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/W

アクリリジビット

0	受信時：アクリリジ出力タイミングで0出力 送信時：受信デバイスからアクリリジがあった（0だった）ことを示す
1	受信時：アクリリジ出力タイミングで1出力 送信時：受信デバイスからアクリリジがなかった（1だった）ことを示す

ゼネラルコールアドレス認識フラグ*2

0	ゼネラルコールアドレスを未認識
1	ゼネラルコールアドレスを認識

スレープアドレス認識フラグ*2

0	スレープアドレスまたはゼネラルコールアドレスを未認識
1	スレープアドレスまたはゼネラルコールアドレスを認識

アービトレーションロストフラグ*2

0	バスを確保
1	バス競合負け（アービトレーションロスト）

第2スレープアドレス認識フラグ*2

0	第2スレープアドレスを未認識
1	第2スレープアドレスを認識

I²Cバスインタフェース連続送受信割り込み要求フラグ*2

0	転送待ち状態、または転送中
1	連続転送状態

正常停止条件検出フラグ*2

0	正常停止条件なし
1	I ² Cバスフォーマットでスレープモードのとき：正常停止条件を検出 I ² Cバスフォーマットでスレープモードのとき以外：意味なし

エラー停止条件検出フラグ*2

0	エラー停止条件なし
1	I ² Cバスフォーマットでスレープモードのとき：エラー停止条件を検出 I ² Cバスフォーマットでスレープモードのとき以外：意味なし

【注】*1 フラグをクリアするための0ライトのみ可能です。

*2 クリア／セット条件については「16.2.6 I²Cバスステータスレジスタ（ICSR）」を参照

付 録

H'FF8A : シリアルコントロールレジスタ 1 SCR1: SCI1
H'FFA2 : シリアルコントロールレジスタ 2 SCR2: SCI2
H'FFDA : シリアルコントロールレジスタ 0 SCR0: SCI0

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル1、0			
0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート
	1	クロック同期式モード	内部クロック / SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK端子は同期クロック出力
	1	クロック同期式モード	外部クロック / SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK端子は同期クロック入力
	1	クロック同期式モード	外部クロック / SCK端子は同期クロック入力

トランスミットエンドインタラプトイネーブル	
0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル	
0	マルチプロセッサ割り込み禁止状態 (通常の受信動作) [クリア条件] (1) MPIEビットを0にクリア (2) MPB=1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで、受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSRのRDRF、FER、ORERの各フラグのセットを禁止

レシーブイネーブル	
0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル	
0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル	
0	送信データエンプティ割り込み (TXI) 要求の禁止
1	送信データエンプティ割り込み (TXI) 要求の許可

H'FF8D : レシーブデータレジスタ 1 RDR1 : SCI1

H'FFA5 : レシーブデータレジスタ 2 RDR2 : SCI2

H'FFDD : レシーブデータレジスタ 0 RDR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

シリアル受信データを格納

H'FF8B : トランスミットデータレジスタ 1 TDR1 : SCI1

H'FFA3 : トランスミットデータレジスタ 2 TDR2 : SCI2

H'FFDB : トランスミットデータレジスタ 0 TDR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信データを格納

H'FF8C : シリアルステータスレジスタ 1 SSR1 : SCI1
H'FFA4 : シリアルステータスレジスタ 2 SSR2 : SCI2
H'FFDC : シリアルステータスレジスタ 0 SSR0 : SCI0

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセスビットトランスファ	
0	マルチプロセスビットが0のデータを送信したとき
1	マルチプロセスビットが1のデータを送信したとき

マルチプロセスビット	
0	[クリア条件] マルチプロセスビットが0のデータを受信したとき
1	[セット条件] マルチプロセスビットが1のデータを受信したとき

トランスミットエンド	
0	[クリア条件] (1) TDRE=1の状態をリードしたあと、TDREフラグに0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE=1であったとき

パリティエラー	
0	[クリア条件] PER=1の状態をリードしたあと、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

フレーミングエラー	
0	[クリア条件] FER=1の状態をリードしたあと、0をライトしたとき
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットをチェックし、ストップビットが0であったとき

オーバランエラー	
0	[クリア条件] ORER=1の状態をリードしたあと、0をライトしたとき
1	[セット条件] RDRF=1の状態下次のシリアル受信を完了したとき

レシーブデータレジスタフル	
0	[クリア条件] (1) RDRF=1の状態をリードしたあと、0をライトしたとき (2) RXI割り込み要求によるDTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンプティ	
0	[クリア条件] (1) TDRE=1の状態をリードしたあと、0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

[注] * フラグをクリアするための0ライトのみ可能です。

H'FF8E : シリアルインタフェースモードレジスタ 1 SCMR1 : SCI1
 H'FFA6 : シリアルインタフェースモードレジスタ 2 SCMR2 : SCI2
 H'FFDE : シリアルインタフェースモードレジスタ 0 SCMR0 : SCI0

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	—	—	—	—	R/W	R/W	—	R/W

シリアルコミュニケーション
インタフェースモードセレクト

0	通常SCIモード
1	リザーブモード

データインバート

0	TDRの内容をそのまま送信 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを送信 受信データを反転してRDRに格納

データトランスファディレクション

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FF8E : I²C バスデータレジスタ 1 ICDR1 : IIC1
H'FFDE : I²C バスデータレジスタ 0 ICDR0 : IIC0

ビット :	7	6	5	4	3	2	1	0
	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■ICDRR

ビット :	7	6	5	4	3	2	1	0
	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0
初期値 :	—	—	—	—	—	—	—	—
R/W :	R	R	R	R	R	R	R	R

■ICDRS

ビット :	7	6	5	4	3	2	1	0
	ICDRS7	ICDRS6	ICDRS5	ICDRS4	ICDRS3	ICDRS2	ICDRS1	ICDRS0
初期値 :	—	—	—	—	—	—	—	—
R/W :	—	—	—	—	—	—	—	—

■ICDRT

ビット :	7	6	5	4	3	2	1	0
	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0
初期値 :	—	—	—	—	—	—	—	—
R/W :	W	W	W	W	W	W	W	W

■TDRE、RDRF (内部フラグ)

ビット :	—	—
	TDRE	RDRF
初期値 :	0	0
R/W :	—	—

【注】 詳細は「16.2.1 I²Cバスデータレジスタ (ICDR)」を参照。

H'FF8E : 第2スレーブアドレスレジスタ1 SARX1 : IIC1
 H'FF8F : スレーブアドレスレジスタ1 SAR1 : IIC1
 H'FFDE : 第2スレーブアドレスレジスタ0 SARX0 : IIC0
 H'FFDF : スレーブアドレスレジスタ0 SAR0 : IIC0

SAR

ビット:	7	6	5	4	3	2	1	0
	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
スレーブアドレス				フォーマットセレクト				

SARX

ビット:	7	6	5	4	3	2	1	0
	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX
初期値:	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
第2スレーブアドレス								

フォーマットセレクト

DDCSWR ビット6	SAR ビット0	SARX ビット0	動作モード
SW	FS	FSX	
0	0	0	I ² Cバスフォーマット ・SARとSARXのスレーブアドレスを認識
		1	I ² Cバスフォーマット ・SARのスレーブアドレスを認識 ・SARXのスレーブアドレスを無視
	1	0	I ² Cバスフォーマット ・SARのスレーブアドレスを無視 ・SARXのスレーブアドレスを認識
		1	クロック同期式シリアルフォーマット ・SARとSARXのスレーブアドレスを無視
1	0	0	フォーマットレス (開始条件/停止条件を検出しない)
		1	・アクノリッジビットあり
	1	0	・アクノリッジビットなし
		1	フォーマットレス* (開始条件/停止条件を検出しない) ・アクノリッジビットなし

【注】 * DDCSWRの設定によりI²Cバスフォーマットへの自動切り替えを行う場合は、本モードに設定しないでください。

付 録

H'FF8F : I²C バスモードレジスタ 1 ICMR1 : IIC1
H'FFDF : I²C バスモードレジスタ 0 ICMR0 : IIC0

ビット :	7	6	5	4	3	2	1	0
	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットカウンタ

BC2	BC1	BC0	クロック同期式 シリアルフォーマット	I ² Cバス フォーマット
0	0	0	8	9
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

転送クロック選択

IICX	CKS2	CKS1	CKS0	クロック	転送レート		
					φ=5MHz	φ=8MHz	φ=10MHz
0	0	0	0	φ/28	179kHz	286kHz	357kHz
			1	φ/40	125kHz	200kHz	250kHz
		1	0	φ/48	104kHz	167kHz	208kHz
			1	φ/64	78.1kHz	125kHz	156kHz
	1	0	0	φ/80	62.5kHz	100kHz	125kHz
			1	φ/100	50.0kHz	80.0kHz	100kHz
		1	0	φ/112	44.6kHz	71.4kHz	89.3kHz
			1	φ/128	39.1kHz	62.5kHz	78.1kHz
1	0	0	0	φ/56	89.3kHz	143kHz	179kHz
			1	φ/80	62.5kHz	100kHz	125kHz
		1	0	φ/96	52.1kHz	83.3kHz	104kHz
			1	φ/128	39.1kHz	62.5kHz	78.1kHz
	1	0	0	φ/160	31.3kHz	50.0kHz	62.5kHz
			1	φ/200	25.0kHz	40.0kHz	50.0kHz
		1	0	φ/224	22.3kHz	35.7kHz	44.6kHz
			1	φ/256	19.5kHz	31.3kHz	39.1kHz

ウェイト挿入ビット

0	データとアクノリッジを連続的に転送
1	データとアクノリッジの間にウェイトを挿入

MSBファースト／LSBファースト選択*

0	MSBファースト
1	LSBファースト

【注】 * I²Cバスフォーマットで使用するときは、本ビットを1にセットしないでください。

H'FF90：タイマインタラプトイネーブルレジスタ TIER：FRT

ビット：	7	6	5	4	3	2	1	0
	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—
初期値：	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—

タイマオーバーフロー インタラプトイネーブル	
0	OVFによる割り込み要求 (FOVI) を禁止
1	OVFによる割り込み要求 (FOVI) を許可

アウトプットコンペア インタラプトBイネーブル	
0	OCFBによる割り込み要求 (OCIB) を禁止
1	OCFBによる割り込み要求 (OCIB) を許可

アウトプットコンペアインタラプトAイネーブル	
0	OCFAによる割り込み要求 (OCIA) を禁止
1	OCFAによる割り込み要求 (OCIA) を許可

インプットキャプチャインタラプトDイネーブル	
0	ICFDによる割り込み要求 (ICID) を禁止
1	ICFDによる割り込み要求 (ICID) を許可

インプットキャプチャインタラプトCイネーブル	
0	ICFCによる割り込み要求 (ICIC) を禁止
1	ICFCによる割り込み要求 (ICIC) を許可

インプットキャプチャインタラプトBイネーブル	
0	ICFBによる割り込み要求 (ICIB) を禁止
1	ICFBによる割り込み要求 (ICIB) を許可

インプットキャプチャインタラプトAイネーブル	
0	ICFAによる割り込み要求 (ICIA) を禁止
1	ICFAによる割り込み要求 (ICIA) を許可

H'FF91：タイマコントロール／ステータスレジスタ TCSR：FRT

ビット：	7	6	5	4	3	2	1	0
	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W

カウンタクリアA	
0	FRCのクリアを禁止
1	コンペアマッチAによりFRCをクリア

タイマオーバーフロー	
0	[クリア条件] OVF=1の状態、OVFをリードしたあと、OVFに0をライトしたとき
1	[セット条件] FRCの値が、H'FFFF→H'0000になったとき

アウトプットコンペアフラグB	
0	[クリア条件] OCFB=1の状態、OCFBをリードしたあと、OCFBに0をライトしたとき
1	[セット条件] FRC=OCRBになったとき

アウトプットコンペアフラグA	
0	[クリア条件] OCFA=1の状態、OCFAをリードしたあと、OCFAに0をライトしたとき
1	[セット条件] FRC=OCRAになったとき

インプットキャプチャフラグD	
0	[クリア条件] ICFD=1の状態、ICFDをリードしたあと、ICFDに0をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

インプットキャプチャフラグC	
0	[クリア条件] ICFC=1の状態、ICFCをリードしたあと、ICFCに0をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

インプットキャプチャフラグB	
0	[クリア条件] ICFB=1の状態、ICFBをリードしたあと、ICFBに0をライトしたとき
1	[セット条件] インプットキャプチャ信号により、FRCの値がICRBに転送されたとき

インプットキャプチャフラグA	
0	[クリア条件] ICFA=1の状態、ICFAをリードしたあと、ICFAに0をライトしたとき
1	[セット条件] インプットキャプチャ信号により、FRCの値がICRAに転送されたとき

【注】* ビット7～1はフラグをクリアするための0ライトのみ可能です。

H'FF92：フリーランニングカウンタ FRC：FRT

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

カウント値

H'FF94：アウトプットコンペアレジスタ A、B OCRA、OCRB：FRT

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FRCの値と常時比較し、OCR=FRCでOCFをセット

H'FF96：タイマコントロールレジスタ TCR：FRT

ビット：	7	6	5	4	3	2	1	0
	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト		
0	0	内部クロック： $\phi/2$ でカウント
	1	内部クロック： $\phi/8$ でカウント
1	0	内部クロック： $\phi/32$ でカウント
	1	外部クロック：立ち上がりエッジ (↑) でカウント

バッファイネーブルB	
0	ICRDをICRBのバッファレジスタとして使用しない
1	ICRDをICRBのバッファレジスタとして使用する

バッファイネーブルA	
0	ICRCをICRAのバッファレジスタとして使用しない
1	ICRCをICRAのバッファレジスタとして使用する

インプットエッジセレクトD	
0	インプットキャプチャ入力Dの立ち下がりエッジ (↓) でキャプチャ
1	インプットキャプチャ入力Dの立ち上がりエッジ (↑) でキャプチャ

インプットエッジセレクトC	
0	インプットキャプチャ入力Cの立ち下がりエッジ (↓) でキャプチャ
1	インプットキャプチャ入力Cの立ち上がりエッジ (↑) でキャプチャ

インプットエッジセレクトB	
0	インプットキャプチャ入力Bの立ち下がりエッジ (↓) でキャプチャ
1	インプットキャプチャ入力Bの立ち上がりエッジ (↑) でキャプチャ

インプットエッジセレクトA	
0	インプットキャプチャ入力Aの立ち下がりエッジ (↓) でキャプチャ
1	インプットキャプチャ入力Aの立ち上がりエッジ (↑) でキャプチャ

H'FF97：タイマアウトプットコンペアコントロールレジスタ TOCR：FRT

ビット：	7	6	5	4	3	2	1	0
	ICRDMS	OCRAMS	ICRS	OCRS	OEA	OEB	OLVLA	OLVLB
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウトプットレベルB	
0	コンペアマッチBにより0出力
1	コンペアマッチBにより1出力

アウトプットレベルA	
0	コンペアマッチAにより0出力
1	コンペアマッチAにより1出力

アウトプットイネーブルB	
0	アウトプットコンペアB出力を禁止
1	アウトプットコンペアB出力を許可

アウトプットイネーブルA	
0	アウトプットコンペアA出力を禁止
1	アウトプットコンペアA出力を許可

アウトプットコンペアレジスタセレクト	
0	OCRAレジスタを選択
1	OCRBレジスタを選択

インプットキャプチャレジスタセレクト	
0	ICRA、ICRBとICRCレジスタを選択
1	OCRAR、OCRAFとOCRDMレジスタを選択

アウトプットコンペアAモードセレクト	
0	OCRAを、通常の動作モードに設定
1	OCRAを、OCRAR、OCRAFを利用した動作モードに設定

インプットキャプチャDモードセレクト	
0	ICRDを、通常の動作モードに設定
1	ICRDを、OCRDMを利用した動作モードに設定

H'FF98 : アウトプットコンペアレジスタ AR OCRAR : FRT
H'FF9A : アウトプットコンペアレジスタ AF OCRAF : FRT

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TOCRのOCRAMS=1のとき、OCRAの動作に使用
(詳細は「11.2.4 アウトプットコンペアレジスタAR、AF
(OCRAR、OCRAF)」を参照)

H'FF9C : アウトプットコンペアレジスタ DM OCRDM : FRT

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

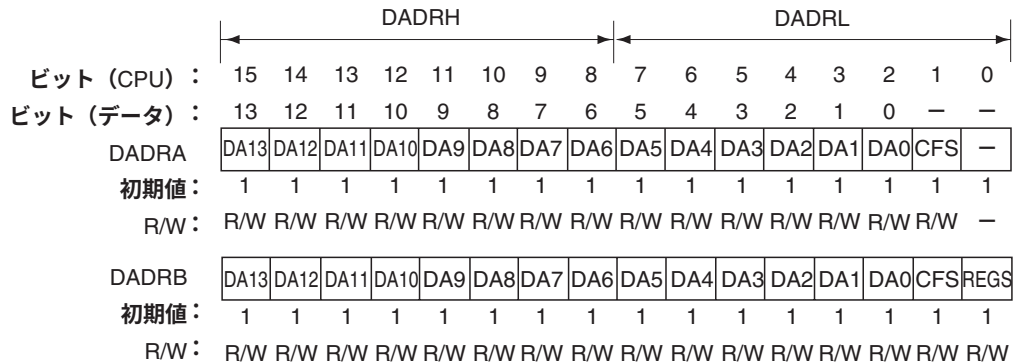
TOCRのICRDMS=1のとき、ICRDの動作に使用
(詳細は「11.2.5 アウトプットコンペアレジスタDM (OCRDM)」を参照)

H'FF98 : インプットキャプチャレジスタ A ICRA : FRT
H'FF9A : インプットキャプチャレジスタ B ICRB : FRT
H'FF9C : インプットキャプチャレジスタ C ICRC : FRT
H'FF9E : インプットキャプチャレジスタ D ICRD : FRT

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

インプットキャプチャ信号入力時、FRCの値を格納
(ICRC、Dはバッファ動作が可能です。詳細は「11.2.3 インプット
キャプチャレジスタA~D (ICRA~ICRD)」を参照)

H'FFA0 : PWM (D/A) データレジスタ AH DADRAH : PWMX
 H'FFA1 : PWM (D/A) データレジスタ AL DADRAL : PWMX
 H'FFA6 : PWM (D/A) データレジスタ BH DADRBH : PWMX
 H'FFA7 : PWM (D/A) データレジスタ BL DADRBL : PWMX



レジスタセレクト (DADRBのみ)

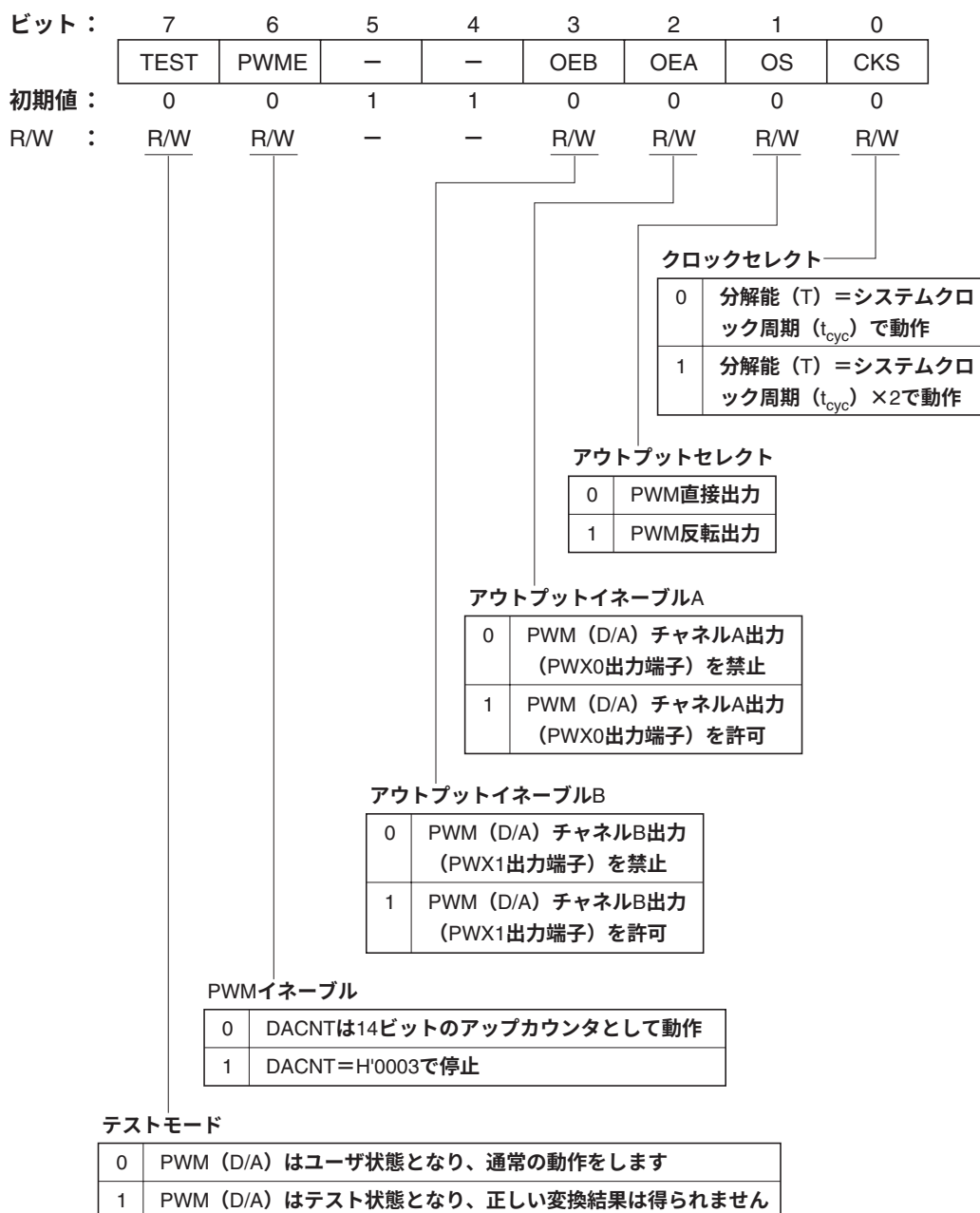
0	DADRAとDADRBがアクセス可能
1	DACRとDACNTがアクセス可能

キャリアフリーケンセレクト

0	基本周期=分解能 (T) × 64で動作、 DADRの値の範囲はH'0401~H'FFFD
1	基本周期=分解能 (T) × 256で動作、 DADRの値の範囲はH'0103~H'FFFF

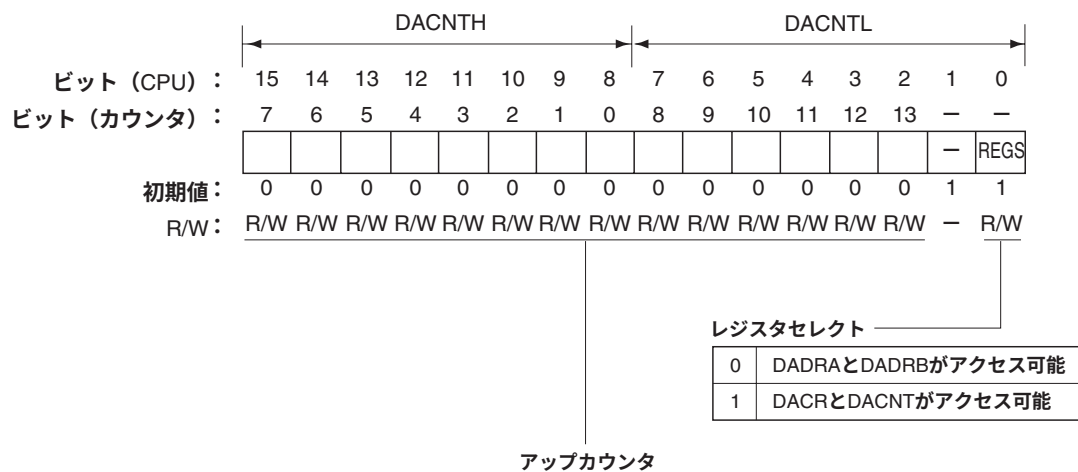
D/A変換データを設定

H'FFA0 : PWM (D/A) コントロールレジスタ DACR : PWMX



H'FFA6 : PWM (D/A) **カウンタ H** DACNTH : PWMX

H'FFA7 : PWM (D/A) **カウンタ L** DACNTL : PWMX



H'FFA8：タイマコントロール／ステータスレジスタ 0 TCSR0：WDT0

ビット：	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	RSTS	RST/NMI	CKS2	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト2～0			
CKS2	CKS1	CKS0	クロック
0	0	0	$\phi/2$
		1	$\phi/64$
	1	0	$\phi/128$
		1	$\phi/512$
1	0	0	$\phi/2048$
		1	$\phi/8192$
	1	0	$\phi/32768$
		1	$\phi/131072$

リセットまたはNMI	
0	NMI割り込みを要求
1	内部リセットを要求

リザーブビット

タイマイネーブル	
0	TCNTをH'00に初期化し、カウント動作を停止
1	TCNTはカウント動作

タイマモードセレクト

0	インターバルタイマモード：TCNTがオーバーフローしたときCPUへインターバルタイマ割り込み（WOVI）を要求
1	ウォッチドッグタイマモード：TCNTがオーバーフローしたときCPUへリセットまたはNMI割り込みを要求 同時に、RESO端子からLowレベルを出力（内部リセット選択時）

オーバーフローフラグ

0	【クリア条件】 (1) TMEビットに0をライトしたとき (2) OVF=1の状態、TCSRをリード後、OVFに0をライトしたとき
1	【セット条件】 TCNTがオーバーフロー（H'FF→H'00）したとき ただし、ウォッチドッグタイマモードで内部リセット要求を選択した場合、セット後、内部リセットにより自動的にクリアされます。

【注】＊ フラグをクリアするための0ライトのみ可能です。

H'FFA8 (W) H'FFA9 (R) : タイマカウンタ 0 TCNT0 : WDT0
H'FFEA (W) H'FFEB (R) : タイマカウンタ 1 TCNT1 : WDT1

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アップカウンタ

H'FFAA : ポート A 出力データレジスタ PAODR : ポート A

ビット :	7	6	5	4	3	2	1	0
	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAの各端子の出力データを格納

H'FFAB (R) : ポート A 入力データレジスタ PAPIN : ポート A

ビット :	7	6	5	4	3	2	1	0
	PA7PIN	PA6PIN	PA5PIN	PA4PIN	PA3PIN	PA2PIN	PA1PIN	PA0PIN
初期値 :	—*	—*	—*	—*	—*	—*	—*	—*
R/W :	R	R	R	R	R	R	R	R

ポートAの各端子の状態

【注】* PA7～PA0端子の状態により決定されます。

H'FFAB (W) : ポート A データディレクションレジスタ PADDDR : ポート A

ビット :	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートAの各端子の入出力を指定

H'FFAC：ポート 1 プルアップ MOS コントロールレジスタ P1PCR：ポート 1

ビット：	7	6	5	4	3	2	1	0
	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート1に内蔵された入力プルアップMOSを制御

H'FFAD：ポート 2 プルアップ MOS コントロールレジスタ P2PCR：ポート 2

ビット：	7	6	5	4	3	2	1	0
	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2に内蔵された入力プルアップMOSを制御

H'FFAE：ポート 3 プルアップ MOS コントロールレジスタ P3PCR：ポート 3

ビット：	7	6	5	4	3	2	1	0
	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート3に内蔵された入力プルアップMOSを制御

H'FFB0：ポート 1 データディレクションレジスタ P1DDR：ポート 1

ビット：	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポート1の各端子の入出力を指定

H'FFB1：ポート 2 データディレクションレジスタ P2DDR：ポート 2

ビット：	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポート2の各端子の入出力を指定

H'FFB2：ポート 1 データレジスタ P1DR：ポート 1

ビット：	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート1の各端子の出力データを格納

H'FFB3：ポート 2 データレジスタ P2DR：ポート 2

ビット：	7	6	5	4	3	2	1	0
	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2の各端子の出力データを格納

H'FFB4：ポート 3 データディレクションレジスタ P3DDR：ポート 3

ビット：	7	6	5	4	3	2	1	0
	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポート3の各端子の入出力を指定

H'FFB5：ポート 4 データディレクションレジスタ P4DDR：ポート 4

ビット：	7	6	5	4	3	2	1	0
	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポート4の各端子の入出力を指定

H'FFB6：ポート 3 データレジスタ P3DR：ポート 3

ビット：	7	6	5	4	3	2	1	0
	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート3の各端子の出力データを格納

H'FFB7：ポート 4 データレジスタ P4DR：ポート 4

ビット：	7	6	5	4	3	2	1	0
	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4の各端子の出力データを格納

H'FFB8：ポート 5 データディレクションレジスタ P5DDR：ポート 5

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	P52DDR	P51DDR	P50DDR
初期値：	1	1	1	1	1	0	0	0
R/W：	—	—	—	—	—	W	W	W

ポート5の各端子の入出力を指定

H'FFB9：ポート 6 データディレクションレジスタ P6DDR：ポート 6

ビット：	7	6	5	4	3	2	1	0
	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポート6の各端子の入出力を指定

H'FFBA：ポート 5 データレジスタ P5DR：ポート 5

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	P52DR	P51DR	P50DR
初期値：	1	1	1	1	1	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W

ポート5の各端子の出力データを格納

H'FFBB：ポート 6 データレジスタ P6DR：ポート 6

ビット：	7	6	5	4	3	2	1	0
	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート6の各端子の出力データを格納

H'FFBC：ポート B 出力データレジスタ PBODR：ポート B

ビット：	7	6	5	4	3	2	1	0
	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートBの各端子の出力データを格納

H'FFBD (W) : ポート 8 データディレクションレジスタ P8DDR : ポート 8

ビット :	7	6	5	4	3	2	1	0
	—	P86DDR	P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR
初期値 :	1	0	0	0	0	0	0	0
R/W :	—	W	W	W	W	W	W	W

ポート8の各端子の入出力を指定

H'FFBD (R) : ポート B 入力データレジスタ PBPIN : ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7PIN	PB6PIN	PB5PIN	PB4PIN	PB3PIN	PB2PIN	PB1PIN	PB0PIN
初期値 :	—*	—*	—*	—*	—*	—*	—*	—*
R/W :	R	R	R	R	R	R	R	R

ポートBの各端子の状態

【注】* PB7～PB0端子の状態により決定されます。

H'FFBE (W) : ポート B データディレクションレジスタ PBDDR : ポート B

ビット :	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートBの各端子の入出力を指定

H'FFBE (R) : ポート 7 入力データレジスタ P7PIN : ポート 7

ビット :	7	6	5	4	3	2	1	0
	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN
初期値 :	—*	—*	—*	—*	—*	—*	—*	—*
R/W :	R	R	R	R	R	R	R	R

ポート7の各端子の状態

【注】* P77～P70端子の状態により決定されます。

H'FFBF：ポート 8 データレジスタ P8DR：ポート 8

ビット：	7	6	5	4	3	2	1	0
	—	P86DR	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR
初期値：	1	0	0	0	0	0	0	0
R/W：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート8の各端子の出力データを格納

H'FFC0：ポート 9 データディレクションレジスタ P9DDR：ポート 9

ビット：	7	6	5	4	3	2	1	0
	P97DDR	P96DDR	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR
モード1								
初期値：	0	1	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W
モード2、3								
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポート9の各端子の入出力を指定

H'FFC1：ポート 9 データレジスタ P9DR：ポート 9

ビット：	7	6	5	4	3	2	1	0
	P97DR	P96DR	P95DR	P94DR	P93DR	P92DR	P91DR	P90DR
初期値：	0	—*	0	0	0	0	0	0
R/W：	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ポート9の各端子の出力データを格納

【注】* P96端子の状態により決定されます。

H'FFC2 : IRQ イネーブルレジスタ IER : 割り込み

ビット :	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ7~IRQ0イネーブル

0	IRQn割り込みを禁止
1	IRQn割り込みを許可

(n=7~0)

H'FFC3：シリアルタイムコントロールレジスタ STCR：システム

ビット：	7	6	5	4	3	2	1	0
	IICS	IICX1	IICX0	IICE	FLSHE	—	ICKS1	ICKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

インターナルクロック
ソースセレクト*1

リザーブ

フラッシュメモリコントロールレジスタイネーブル

0	フラッシュメモリの制御レジスタは非選択状態
1	フラッシュメモリの制御レジスタは選択状態

I²Cマスタイネーブル

0	SCI0、SCI1、SCI2の制御レジスタのCPUアクセスを許可
1	I ² Cバスインタフェース、PWMXのデータレジスタおよび制御レジスタのCPUアクセスを許可

I²Cトランスファレートセレクト1、0*2

I²Cエクストラバッファセレクト

0	PA7～PA4は通常入出力端子
1	PA7～PA4はバス駆動可能な入出力端子

【注】*1 8ビットタイマの入力クロック選択に使用します。詳細は「12.2.4 タイマコントロールレジスタ（TCR）」を参照してください。

*2 I²Cバスインタフェースの転送クロック選択に使用します。詳細は「16.2.4 I²Cバスモードレジスタ（ICMR）」を参照してください。

H'FFC4：システムコントロールレジスタ SYSCR：システム

ビット：	7	6	5	4	3	2	1	0
	CS2E	IOSE	INTM1	INTM0	XRST	NMIEG	HIE	RAME
初期値：	0	0	0	0	1	0	0	1
R/W：	R/W	R/W	R	R/W	R	R/W	R/W	R/W

RAMイネーブル	
0	内蔵RAM無効
1	内蔵RAM有効

ホストインタフェース (HIF：XBS) イネーブル	
0	アドレスH'(FF)FFF0～H'(FF)FFF7、H'(FF)FFFC～H'(FF)FFFFのエリアは、8ビットタイマ (チャネルX、Y) のデータレジスタと制御レジスタおよびタイマコネクションの制御レジスタのCPUアクセスを許可
1	アドレスH'(FF)FFF0～H'(FF)FFF7、H'(FF)FFFC～H'(FF)FFFFのエリアは、ホストインタフェース (HIF：XBS) のデータレジスタと制御レジスタ、キーボードコントローラおよび入力プルアップMOSの制御レジスタのCPUアクセスを許可

NMIエッジセレクト	
0	立ち下がりエッジ
1	立ち上がりエッジ

外部リセット	
0	リセットがウォッチドッグタイマオーバフローで発生
1	リセットが外部リセットで発生

割り込み制御選択モード1、0			
ビット5	ビット4	割り込み	説 明
INTM1	INTM0	制御モード	
0	0	0	1ビットで、割り込みを制御します (初期値)
	1	1	1、UIビットとICRで、割り込みを制御します
1	0	2	本LSIでは使用できません
	1	3	本LSIでは使用できません

IOSイネーブル	
0	AS/IOS端子はアドレスストロープ端子 (外部エリアアクセス時にLow出力)
1	AS/IOS端子はI/Oストロープ端子 (アドレスH' (FF) F000～H' (FF) FE4Fの指定アドレスアクセス時にLow出力)

チップセレクト2イネーブル		
SYSCR ビット7	HICR ビット0	説 明
CS2E	FGA20E	
0	0	CS2端子機能停止
	1	(CS2は内部的にHighレベル固定)
1	0	P81/CS2端子にCS2端子機能を選択
	1	P90/ECS2端子にCS2端子機能を選択

H'FFC5：モードコントロールレジスタ MDCR：システム

ビット：	7	6	5	4	3	2	1	0
	EXPE	—	—	—	—	—	MDS1	MDS0
初期値：	—*	0	0	0	0	0	—*	—*
R/W：	R/W*	—	—	—	—	—	R	R

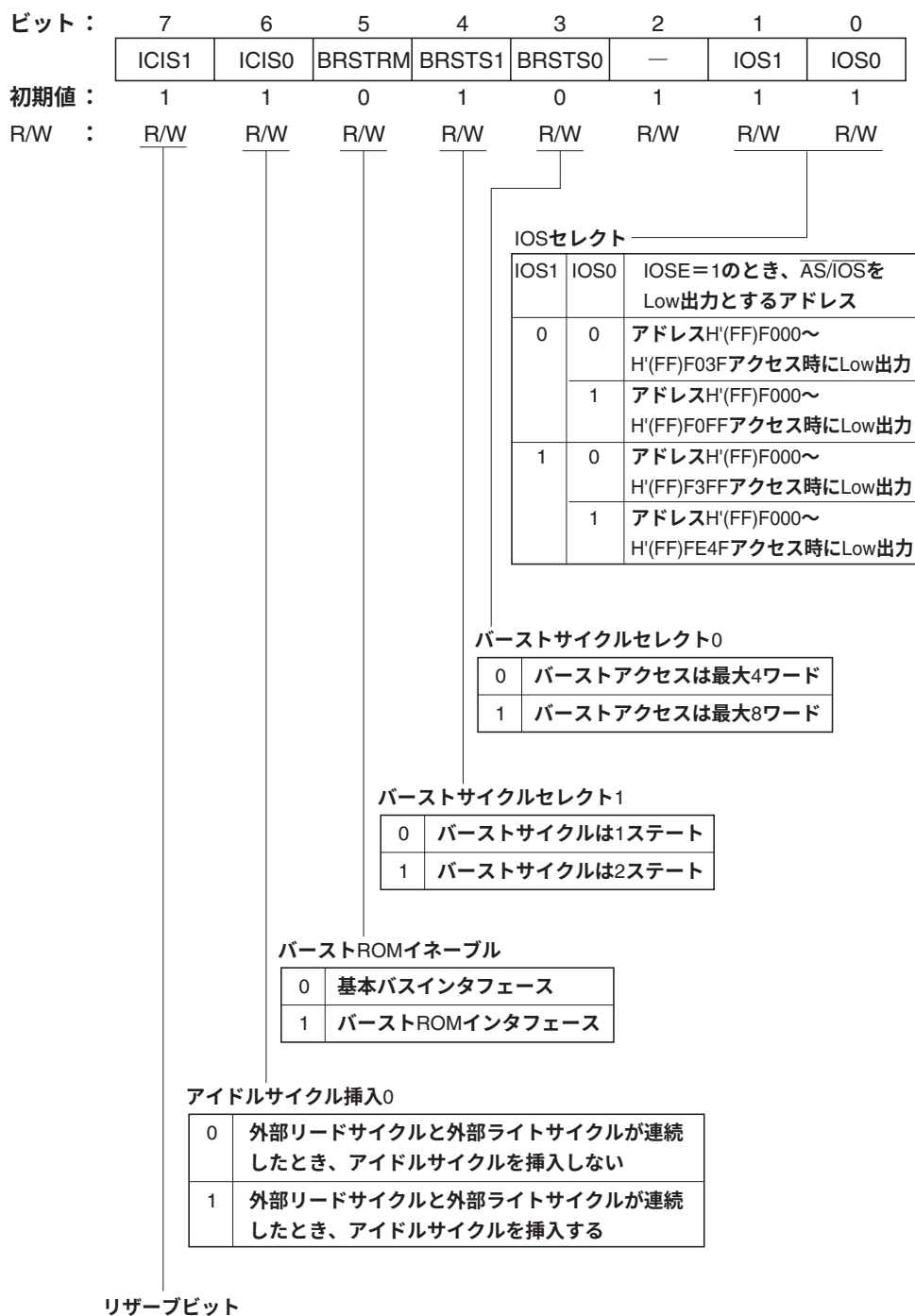
拡張モードイネーブル

0	シングルチップモードを選択
1	拡張モードを選択

モード端子の状態

【注】* MD1、MD0端子により決定されます。

H'FFC6：バスコントロールレジスタ BCR：バスコントローラ



H'FFC7：ウェイトステートコントロールレジスタ WSCR：バスコントローラ

ビット：	7	6	5	4	3	2	1	0
	RAMS	RAM0	ABW	AST	WMS1	WMS0	WC1	WC0
初期値：	0	0	1	1	0	0	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

ウェイトカウント1、0

0	0	プログラムウェイトを挿入しない
	1	外部メモリ空間アクセス時、 プログラムウェイトを1ステート挿入
1	0	外部メモリ空間アクセス時、 プログラムウェイトを2ステート挿入
	1	外部メモリ空間アクセス時、 プログラムウェイトを3ステート挿入

ウェイトモードセレクト1、0

0	0	プログラムウェイトモード
	1	ウェイト禁止モード
1	0	端子ウェイトモード
	1	端子オートウェイトモード

アクセスステートコントロール

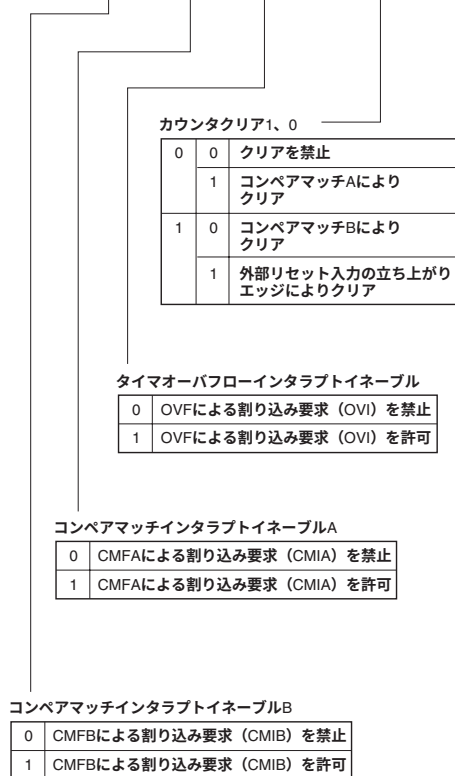
0	外部メモリ空間を2ステートアクセス空間に設定 外部メモリ空間のアクセスにウェイトステートの挿入を禁止
1	外部メモリ空間アクセスは3ステートアクセス 外部メモリ空間アクセスにウェイトステートの挿入を許可

バス幅コントロール

0	外部メモリ空間を16ビットアクセス空間に設定
1	外部メモリ空間を8ビットアクセス空間に設定

H'FFC8 : タイマコントロールレジスタ 0 TCR0 : TMR0
 H'FFC9 : タイマコントロールレジスタ 1 TCR1 : TMR1
 H'FFF0 : タイマコントロールレジスタ X TCRX : TMRX
 H'FFF0 : タイマコントロールレジスタ Y TCRY : TMR1Y

ビット : 7 6 5 4 3 2 1 0
 CMIEB CMIEA OVIE CCLR1 CCLR0 CKS2 CKS1 CKS0
 初期値 : 0 0 0 0 0 0 0 0
 R/W : R/W R/W R/W R/W R/W R/W R/W



クロックセレクト2~0

チャンネル	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	説明
0	0	0	0	クロック入力を禁止
			1 ^{*1}	内部クロック : $\phi/8$ 立ち下がりエッジでカウント
		1	0 ^{*1}	内部クロック : $\phi/2$ 立ち下がりエッジでカウント
			1 ^{*1}	内部クロック : $\phi/64$ 立ち下がりエッジでカウント
	1	0	0	内部クロック : $\phi/32$ 立ち下がりエッジでカウント
			1 ^{*1}	内部クロック : $\phi/1024$ 立ち下がりエッジでカウント
1	0	0	0	内部クロック : $\phi/256$ 立ち下がりエッジでカウント
			1 ^{*1}	TCNT1のオーバフロー信号でカウント ^{*2}
		1	0 ^{*1}	クロック入力を禁止
			1 ^{*1}	内部クロック : $\phi/8$ 立ち下がりエッジでカウント
	1	0	0	内部クロック : $\phi/2$ 立ち下がりエッジでカウント
			1 ^{*1}	内部クロック : $\phi/64$ 立ち下がりエッジでカウント
X	0	0	0	内部クロック : $\phi/128$ 立ち下がりエッジでカウント
			1 ^{*1}	内部クロック : $\phi/1024$ 立ち下がりエッジでカウント
		1	0	内部クロック : $\phi/2048$ 立ち下がりエッジでカウント
			1	内部クロック : $\phi/4$ 立ち下がりエッジでカウント
	1	0	0	クロック入力を禁止
			1	クロック入力を禁止
Y	0	0	0	クロック入力を禁止
			1	内部クロック : $\phi/4$ 立ち下がりエッジでカウント
		1	0	内部クロック : $\phi/256$ 立ち下がりエッジでカウント
			1	内部クロック : $\phi/2048$ 立ち下がりエッジでカウント
	1	0	0	クロック入力を禁止
			1	クロック入力を禁止
共通	1	0	1	外部クロック : 立ち上がりエッジでカウント
			1	外部クロック : 立ち下がりエッジでカウント
		1	1	外部クロック : 立ち上がり/立ち下がり両エッジでカウント

【注】 *1 STCRのICKS1、ICKS0で選択します。詳細は「12.2.4 タイマコントロールレジスタ (TCR)」を参照してください。

*2 チャンネル0のクロック入力をTCNT1のオーバフロー信号とし、チャンネル1のクロック入力をTCNT0のコンペアマッチ信号とすると、カウントアップクロックが発生しません。この設定は行わないでください。

H'FFCA：タイマコントロール／ステータスレジスタ 0 TCSR0：TMR0

TCSR0

ビット：

7	6	5	4	3	2	1	0
CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0

初期値： 0 0 0 0 0 0 0 0

R/W： R/(W)* R/(W)* R/(W)* R/W R/W R/W R/W R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

A/Dトリガインープル

0	コンペアマッチAによるA/D変換開始要求を禁止
1	コンペアマッチAによるA/D変換開始要求を許可

タイマオーバフローフラグ

0	[クリア条件] OVF=1の状態で、OVFをリードしたあと、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF→H'00になったとき

コンペアマッチフラグA

0	[クリア条件] (1) CMFA=1の状態で、CMFAをリードしたあと、CMFAに0をライトしたとき (2) CMIA割り込みにより、DTCが起動されたとき
1	[セット条件] TCNT=TCORAになったとき

コンペアマッチフラグB

0	[クリア条件] (1) CMFB=1の状態で、CMFBをリードしたあと、CMFBに0をライトしたとき (2) CMIB割り込みにより、DTCが起動されたとき
1	[セット条件] TCNT=TCORBになったとき

【注】＊ ビット7～5は、フラグをクリアするための0ライトのみ可能です。

H'FFCB：タイマコントロール／ステータスレジスタ 1 TCSR1：TMR1

TCSR1

ビット：	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0
初期値：	0	0	0	1	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	—	R/W	R/W	R/W	R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

タイマオーバーフローフラグ

0	[クリア条件] OVF=1の状態、OVFをリードしたあと、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF→H'00になったとき

コンペアマッチフラグA

0	[クリア条件] (1) CMFA=1の状態、CMFAをリードしたあと、CMFAに0をライトしたとき (2) CMIA割り込みにより、DTCが起動されたとき
1	[セット条件] TCNT=TCORAになったとき

コンペアマッチフラグB

0	[クリア条件] (1) CMFB=1の状態、CMFBをリードしたあと、CMFBに0をライトしたとき (2) CMIB割り込みにより、DTCが起動されたとき
1	[セット条件] TCNT=TCORBになったとき

【注】＊ ビット7～5は、フラグをクリアするための0ライトのみ可能です。

H'FFCC	: タイムコンスタントレジスタ A0	TCORA0	: TMR0
H'FFCD	: タイムコンスタントレジスタ A1	TCORA1	: TMR1
H'FFCE	: タイムコンスタントレジスタ B0	TCORB0	: TMR0
H'FFCF	: タイムコンスタントレジスタ B1	TCORB1	: TMR1
H'FFF2	: タイムコンスタントレジスタ AY	TCORAY	: TMR Y
H'FFF3	: タイムコンスタントレジスタ BY	TCORBY	: TMR Y
H'FFF5	: タイムコンスタントレジスタ C	TCORC	: TMR X
H'FFF6	: タイムコンスタントレジスタ AX	TCORAX	: TMR X
H'FFF7	: タイムコンスタントレジスタ BX	TCORBX	: TMR X

	TCORA0 TCORB0								TCORA1 TCORB1							
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCORとTCNTの値の一致時にコンペアマッチフラグ (CMF) をセット

TCORAX、TCORAY
TCORBX、TCORBY

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCORとTCNTの値の一致時にコンペアマッチフラグ (CMF) をセット

TCORC

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCORCとTICRの内容の和と、TCNTの一致時にコンペアマッチC信号が発生

付 録

H'FFD0 : タイマカウンタ 0 TCNT0 : TMR0
 H'FFD1 : タイマカウンタ 1 TCNT1 : TMR1
 H'FFF4 : タイマカウンタ X TCNTX : TMRX
 H'FFF4 : タイマカウンタ Y TCNTY : TMRX



TCNTX、TCNTY



H'FFD3 : PWM アウトプットイネーブルレジスタ A PWOERA : PWM

H'FFD2 : PWM アウトプットイネーブルレジスタ B PWOERB : PWM

ビット :	7	6	5	4	3	2	1	0
PWOERA:	OE7	OE6	OE5	OE4	OE3	OE2	OE1	OE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
PWOERB:	OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWM出力とポート出力を切り替え

DDR	OE	説明
0	0	ポート入力
	1	ポート入力
1	0	ポート出力またはPWMの256／256出力
	1	PWM出力 (0～255／256出力)

H'FFD5 : PWM データポラリティレジスタ A PWDPR A : PWM

H'FFD4 : PWM データポラリティレジスタ B PWDPRB : PWM

ビット :	7	6	5	4	3	2	1	0
PWDPR A:	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
PWDPRB:	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWM出力の極性を制御

0	PWM直接出力 (PWDRの値が、出力のHigh幅に対応)
1	PWM反転出力 (PWDRの値が、出力のLow幅に対応)

H'FFD6：PWM レジスタセレクト PWSL：PWM

ビット：	7	6	5	4	3	2	1	0
	PWCKE	PWCKS	—	—	RS3	RS2	RS1	RS0
初期値：	0	0	1	0	0	0	0	0
R/W：	R/W	R/W	—	—	R/W	R/W	R/W	R/W

レジスタセレクト

0	0	0	0	PWDR0選択
			1	PWDR1選択
		1	0	PWDR2選択
			1	PWDR3選択
	1	0	0	PWDR4選択
			1	PWDR5選択
		1	0	PWDR6選択
			1	PWDR7選択
	1	0	0	PWDR8選択
			1	PWDR9選択
		1	0	PWDR10選択
			1	PWDR11選択
		1	0	PWDR12選択
			1	PWDR13選択
		1	0	PWDR14選択
			1	PWDR15選択

PWMクロックイネーブル、PWMクロックセレクト

PWSL		PCSR		説明
ビット7	ビット6	ビット2	ビット1	
PWCKE	PWCKS	PWCKB	PWCKA	
0	—	—	—	クロック入力禁止
1	0	—	—	φ（システムクロック）を選択
	1	0	0	φ/2を選択
			1	φ/4を選択
		1	0	φ/8を選択
			1	φ/16を選択

H'FFD7 : PWM データレジスタ PWDR0~PWDR15 : PWM

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

出力する基本パルスのデューティ比および付加パルス個数の指定

H'FFE0 : A/D データレジスタ AH ADDR AH : A/D
 H'FFE1 : A/D データレジスタ AL ADDR AL : A/D
 H'FFE2 : A/D データレジスタ BH ADDR BH : A/D
 H'FFE3 : A/D データレジスタ BL ADDR BL : A/D
 H'FFE4 : A/D データレジスタ CH ADDR CH : A/D
 H'FFE5 : A/D データレジスタ CL ADDR CL : A/D
 H'FFE6 : A/D データレジスタ DH ADDR DH : A/D
 H'FFE7 : A/D データレジスタ DL ADDR DL : A/D

	ADDRH								ADDRL							
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

A/Dデータを格納

アナログ入力チャネルとADDRの対応

アナログ入力チャネル		A/Dデータレジスタ
グループ0	グループ1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6またはCIN0~CIN7	ADDRC
AN3	AN7またはCIN8~CIN15	ADDRD

H'FFE8 : A/D コントロール／ステータスレジスタ ADCSR : A/D

ビット	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネルセレクト				
グループ 選択	チャンネル 選択			説 明
CH2	CH1	CH0	シングルモード	スキャンモード
0	0	0	AN0	AN0
		1	AN1	AN0、AN1
	1	0	AN2	AN0、AN1、AN2
		1	AN3	AN0、AN1、AN2、 AN3
1	0	0	AN4	AN4
		1	AN5	AN4、AN5
	1	0	AN6または CIN0～CIN7	AN4、AN5、AN6 またはCIN0～CIN7
		1	AN7または CIN8～ CIN15	AN4、AN5、 AN6またはCIN0～ CIN7、AN7または CIN8～CIN15

クロックセレクト	
0	変換時間=266ステート (Max)
1	変換時間=134ステート (Max)

スキャンモード	
0	シングルモード
1	スキャンモード

A/Dスタート	
0	A/D変換を停止
1	(1) シングルモード：A/D変換を開始。指定したチャンネルの変換が 終了すると自動的に0にクリア (2) スキャンモード：A/D変換を開始。ソフトウェア、リセット、 スタンバイモードまたはモジュールストップ モードによって、0にクリアされるまで選択 されたチャンネルを順次連続変換

A/Dインタラプトイネーブル	
0	A/D変換の終了による割り込み (ADI) 要求を禁止
1	A/D変換の終了による割り込み (ADI) 要求を許可

A/Dエンドフラグ	
0	[クリア条件] (1) ADF=1の状態、ADFフラグをリードしたあと、ADFフラグに0をライトしたとき (2) ADI割り込みによりDTCが起動され、ADDRをリードしたとき
1	[セット条件] (1) シングルモード：A/D変換が終了したとき (2) スキャンモード：指定したすべてのチャンネルのA/D変換が終了したとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FFE9 : A/D コントロールレジスタ ADCR : A/D

ビット	7	6	5	4	3	2	1	0
	TRGS1	TRGS0	—	—	—	—	—	—
初期値	0	0	1	1	1	1	1	1
R/W	R/W	R/W	—	—	—	—	—	—

タイマトリガセレクト

0	0	外部トリガによるA/D変換の開始を禁止
	1	外部トリガによるA/D変換の開始を禁止
1	0	外部トリガ（8ビットタイマ）によるA/D変換の開始を許可
	1	外部トリガ端子によるA/D変換の開始を許可

H'FFEA：タイマコントロール／ステータスレジスタ 1 TCSR1：WDT1

ビット：	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*1	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト2～0					クロック
PSS	CKS2	CKS1	CKS0		
0	0	0	0	0	$\phi/2$
			1	0	$\phi/64$
		1	0	0	$\phi/128$
			1	0	$\phi/512$
	1	0	0	0	$\phi/2048$
			1	0	$\phi/8192$
		1	0	0	$\phi/32768$
			1	0	$\phi/131072$
1	0	0	0	0	$\phi_{SUB}/2$
			1	0	$\phi_{SUB}/4$
		1	0	0	$\phi_{SUB}/8$
			1	0	$\phi_{SUB}/16$
	1	0	0	0	$\phi_{SUB}/32$
			1	0	$\phi_{SUB}/64$
		1	0	0	$\phi_{SUB}/128$
			1	0	$\phi_{SUB}/256$

リセットまたはNMI	
0	NMI割り込みを要求
1	内部リセットを要求

プリスケラセレクト*2	
0	TCNTは ϕ ベースのプリスケラ（PSM）の分周クロックをカウント
1	TCNTは ϕ_{SUB} ベースのプリスケラ（PSS）の分周クロックをカウント

タイマイネーブル	
0	TCNTをH'00に初期化し、カウント動作を停止
1	TCNTはカウント動作

タイマモードセレクト	
0	インターバルタイマモード：TCNTがオーバーフローしたときCPUヘインターバルタイマ割り込み（WOVI）を要求
1	ウォッチドッグタイマモード：TCNTがオーバーフローしたときCPUヘリセットまたはNMI割り込みを要求 同時に、RESO端子からLowレベルを出力（内部リセット選択時）

オーバーフローフラグ	
0	[クリア条件] (1) TMEビットに0をライトしたとき (2) OVF=1の状態で、TCSRをリード後、OVFに0をライトしたとき
1	[セット条件] TCNTがオーバーフロー（H'FF→H'00）したとき ただし、ウォッチドッグタイマモードで内部リセット要求を選択した場合、セット後に内部リセットにより自動的にクリアされます。

【注】 *1 フラグをクリアするための0ライトのみ可能です。

*2 低消費電力モード遷移時の動作制御については、「24.2.3 タイマコントロール／ステータスレジスタ（TCSR）」を参照してください。

H'FFF0：ホストインタフェースコントロールレジスタ HICR：HIF (XBS)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	IBFIE2	IBFIE1	FGA20E
初期値：	1	1	1	1	1	0	0	0
スレーブR/W：	—	—	—	—	—	R/W	R/W	R/W
ホストR/W	—	—	—	—	—	—	—	—

高速GATE A20イネーブルビット

0	高速GATE A20機能を禁止
1	高速GATE A20機能を許可

入力データレジスタフル割り込み
イネーブルビット1

0	入力データレジスタ (IDR1) 受信完了割り込み要求を禁止
1	入力データレジスタ (IDR1) 受信完了割り込み要求を許可

入力データレジスタフル割り込み
イネーブルビット2

0	入力データレジスタ (IDR2) 受信完了割り込み要求を禁止
1	入力データレジスタ (IDR2) 受信完了割り込み要求を許可

H'FFF1：タイマコントロール／ステータスレジスタ X TCSR_X：TMR_XTCSR_X

ビット：

7	6	5	4	3	2	1	0
CMFB	CMFA	OVF	ICF	OS3	OS2	OS1	OS0

初期値：

0	0	0	0	0	0	0	0

R/W：

R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

インプットキャプチャフラグ

0	[クリア条件] ICF=1の状態、ICFをリードしたあと、ICFに0をライトしたとき
1	[セット条件] TCNRIのICSTビットが1にセットされたあと、外部リセット信号に 立ち上がりエッジ→立ち下がりエッジの順でエッジを検出したとき

タイマオーバフローフラグ

0	[クリア条件] OVF=1の状態、OVFをリードしたあと、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF→H'00になったとき

コンペアマッチフラグA

0	[クリア条件] (1) CMFA=1の状態、CMFAをリードしたあと、CMFAに0をライトしたとき (2) CMIA割り込みにより、DTCが起動されたとき
1	[セット条件] TCNT=TCORAになったとき

コンペアマッチフラグB

0	[クリア条件] (1) CMFB=1の状態、CMFBをリードしたあと、CMFBに0をライトしたとき (2) CMIB割り込みにより、DTCが起動されたとき
1	[セット条件] TCNT=TCORBになったとき

【注】* ビット7～4は、フラグをクリアするための0ライトのみ可能です。

H'FFF1：タイマコントロール／ステータスレジスタ Y TCSRY：TMR Y

TCSRY

ビット：

7	6	5	4	3	2	1	0
CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0

初期値： 0 0 0 0 0 0 0 0

R/W： R/(W)* R/(W)* R/(W)* R/W R/W R/W R/W R/W

アウトプットセレクト1、0

0	0	コンペアマッチAで変化しない
	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
	1	コンペアマッチAごとに反転出力 (トグル出力)

アウトプットセレクト3、2

0	0	コンペアマッチBで変化しない
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力 (トグル出力)

インプットキャプチャインタラプトイネーブル

0	ICFによる割り込み要求 (ICIX) を禁止
1	ICFによる割り込み要求 (ICIX) を許可

タイマオーバーフローフラグ

0	[クリア条件] OVF=1の状態、OVFをリードしたあと、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF→H'00になったとき

コンペアマッチフラグA

0	[クリア条件] (1) CMFA=1の状態、CMFAをリードしたあと、CMFAに0をライトしたとき (2) CMIA割り込みにより、DTCが起動されたとき
1	[セット条件] TCNT=TCORAになったとき

コンペアマッチフラグB

0	[クリア条件] (1) CMFB=1の状態、CMFBをリードしたあと、CMFBに0をライトしたとき (2) CMIB割り込みにより、DTCが起動されたとき
1	[セット条件] TCNT=TCORBになったとき

【注】* ビット7～5は、フラグをクリアするための0ライトのみ可能です。

H'FFF1：キーボードマトリクス割り込みマスクレジスタ KMIMR：割り込み
H'FFF3：キーボードマトリクス割り込みマスクレジスタ A KMIMRA：割り込み

KMIMR

ビット：	7	6	5	4	3	2	1	0
	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0
初期値：	1	0	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

キーボードマトリクス割り込みマスク

0	キーセンス入力割り込み要求を許可
1	キーセンス入力割り込み要求を禁止

KMIMRA

ビット：	7	6	5	4	3	2	1	0
	KMIMR15	KMIMR14	KMIMR13	KMIMR12	KMIMR11	KMIMR10	KMIMR9	KMIMR8
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

キーボードマトリクス割り込みマスク

0	キーセンス入力割り込み要求を許可
1	キーセンス入力割り込み要求を禁止

H'FFF2：インプットキャプチャレジスタ R TICRR：TMRX

H'FFF3：インプットキャプチャレジスタ F TICRF：TMRX

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

外部リセット入力の立ち下がり時、TCNTの値を格納

H'FFF2 : ポート 6 プルアップ MOS コントロールレジスタ KMPCR : ポート 6

ビット :	7	6	5	4	3	2	1	0
	KM7PCR	KM6PCR	KM5PCR	KM4PCR	KM3PCR	KM2PCR	KM1PCR	KM0PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート6に内蔵された入力プルアップMOSを制御

【注】 KMPCRはTMRX/TMRYのTICRR/TCORAYと同じアドレスです。
KMPCRを選択するときには、SYSCRのHIEビットを1に設定してください。

H'FFF4 : 入力データレジスタ 1 IDR1 : HIF (XBS)

H'FFFC : 入力データレジスタ 2 IDR2 : HIF (XBS)

ビット :	7	6	5	4	3	2	1	0
	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
初期値 :	—	—	—	—	—	—	—	—
スレーブR/W :	R	R	R	R	R	R	R	R
ホストR/W :	W	W	W	W	W	W	W	W

$\overline{CS}$ =Lowのとき、 $\overline{IOW}$ の立ち上がりでホストデータバスの内容を格納

H'FFF5 : 出力データレジスタ 1 ODR1 : HIF (XBS)

H'FFFD : 出力データレジスタ 2 ODR2 : HIF (XBS)

ビット :	7	6	5	4	3	2	1	0
	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
初期値 :	—	—	—	—	—	—	—	—
スレーブR/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W :	R	R	R	R	R	R	R	R

HA0=Low、 $\overline{CS}$ =Low、 $\overline{IOR}$ =Lowのとき、
ODRの内容をホストデータバスに出力

H'FFF5：タイムインプットセレクトレジスタ TISR：TMRY

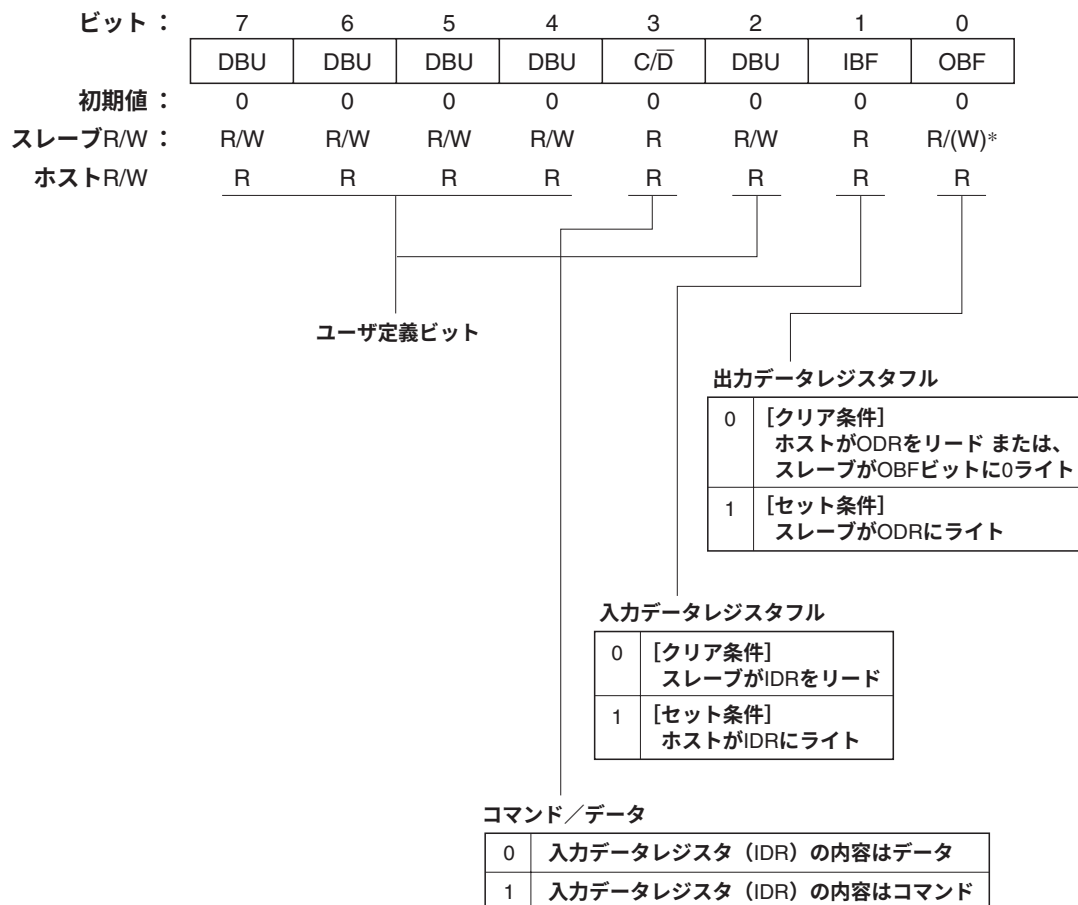
ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	IS
初期値：	1	1	1	1	1	1	1	0
R/W：	—	—	—	—	—	—	—	R/W

インプットセレクト

0	IVG信号を選択
1	VSYNCl/TMIY（TMCIY/TMRIY）を選択

H'FFF6 : ステータスレジスタ 1 STR1 : HIF (XBS)

H'FFFE : ステータスレジスタ 2 STR2 : HIF (XBS)



【注】 * フラグをクリアするための0ライトのみ可能です。

H'FFF8 : D/A データレジスタ 0 DADR0 : D/A

H'FFF9 : D/A データレジスタ 1 DADR1 : D/A

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A変換を行うデータを格納

H'FFFA : D/A コントロールレジスタ DACR : D/A

ビット :	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	—	—	—	—	—
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	—	—	—	—	—

D/Aイネーブル

DAOE1	DAOE0	DAE	変換結果
0	0	*	チャンネル0、1のD/A変換を禁止
		0	チャンネル0のD/A変換を許可
	1	0	チャンネル1のD/A変換を禁止
		1	チャンネル0、1のD/A変換を許可
1	0	0	チャンネル0のD/A変換を禁止
		0	チャンネル1のD/A変換を許可
	1	1	チャンネル0、1のD/A変換を許可
		*	チャンネル0、1のD/A変換を許可

* : Don't care

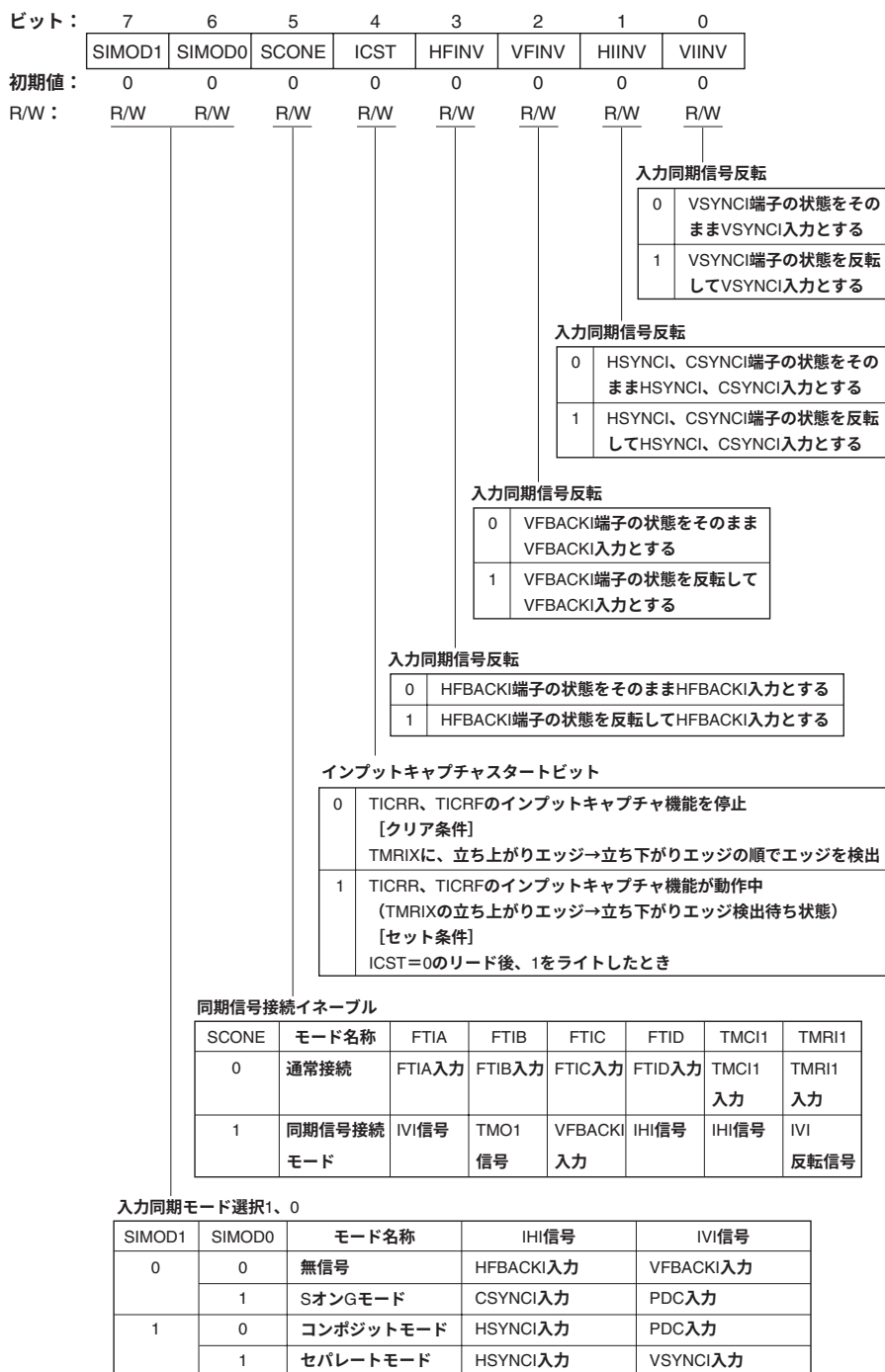
D/Aアウトプットイネーブル0

0	アナログ出力DA0を禁止
1	チャンネル0のD/A変換を許可。アナログ出力DA0を許可

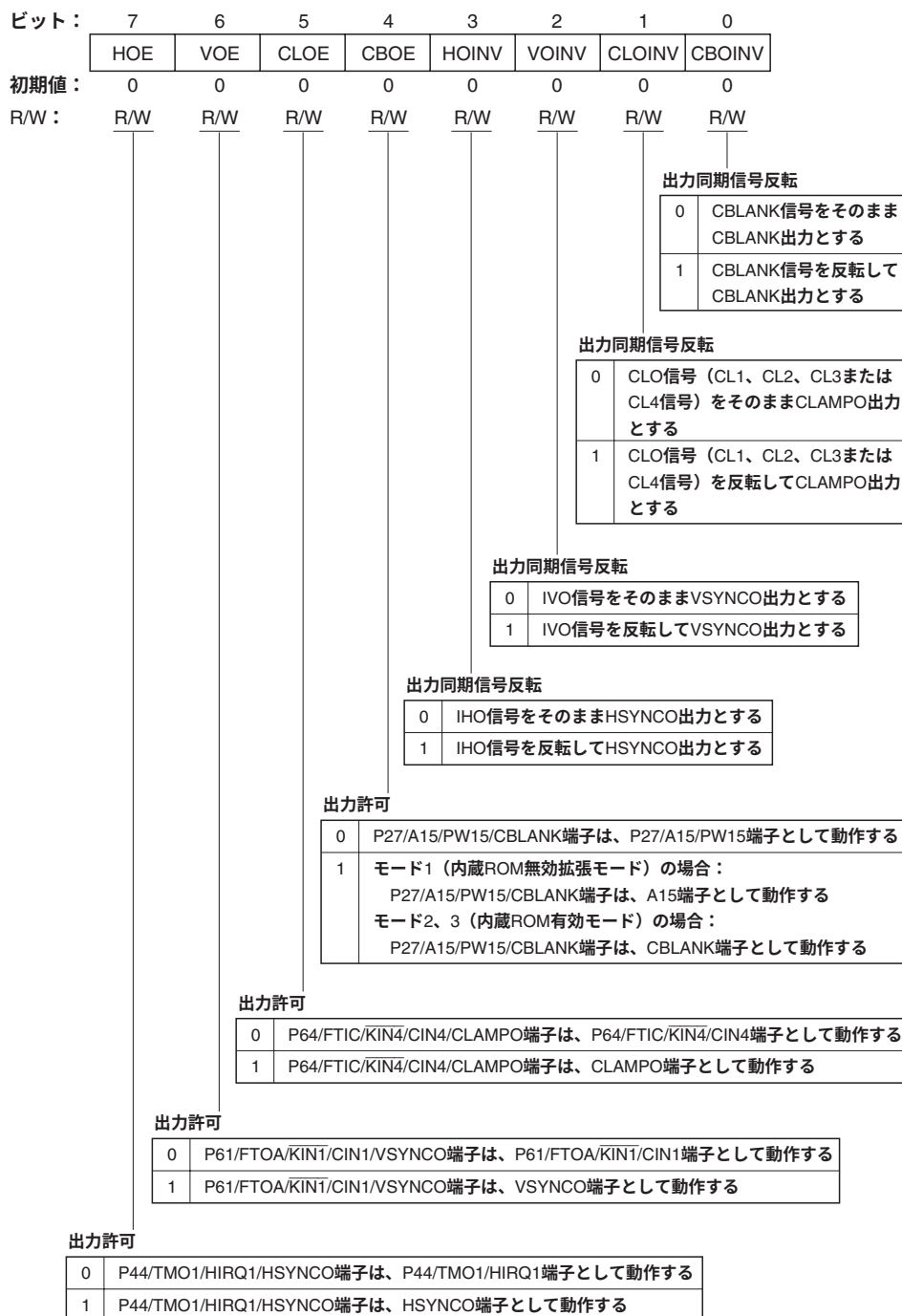
D/Aアウトプットイネーブル1

0	アナログ出力DA1を禁止
1	チャンネル1のD/A変換を許可。アナログ出力DA1を許可

H'FFFC：タイマコネクションレジスタ TCONRI：タイマコネクション



H'FFFD：タイマコネクションレジスタ 0 TCONRO：タイマコネクション



H'FFE：タイマコネクションレジスタ S TCONRS：タイマコネクション

ビット：	7	6	5	4	3	2	1	0
	TMRX/Y	ISGENE	HOMOD1	HOMOD0	VOMOD1	VOMOD0	CLMOD1	CLMOD0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クランプ波形モード選択1、0

ISGENE	CLMOD1	CLMOD0	説 明
0	0	0	CL1信号を選択
		1	CL2信号を選択
	1	0	CL3信号を選択
		1	
1	0	0	CL4信号を選択
		1	
	1	0	
		1	

垂直同期出力モード選択1、0

ISGENE	VOMOD1	VOMOD0	説 明
0	0	0	IVI信号 (立ち下がりモディファイなし、IHI同期なし)を選択
		1	IVI信号 (立ち下がりモディファイなし、IHI同期あり)を選択
	1	0	IVI信号 (立ち下がりモディファイあり、IHI同期なし)を選択
		1	IVI信号 (立ち下がりモディファイあり、IHI同期あり)を選択
	1	0	IVG信号を選択
		1	
1	0	0	
		1	
	1	0	

水平同期出力モード選択1、0

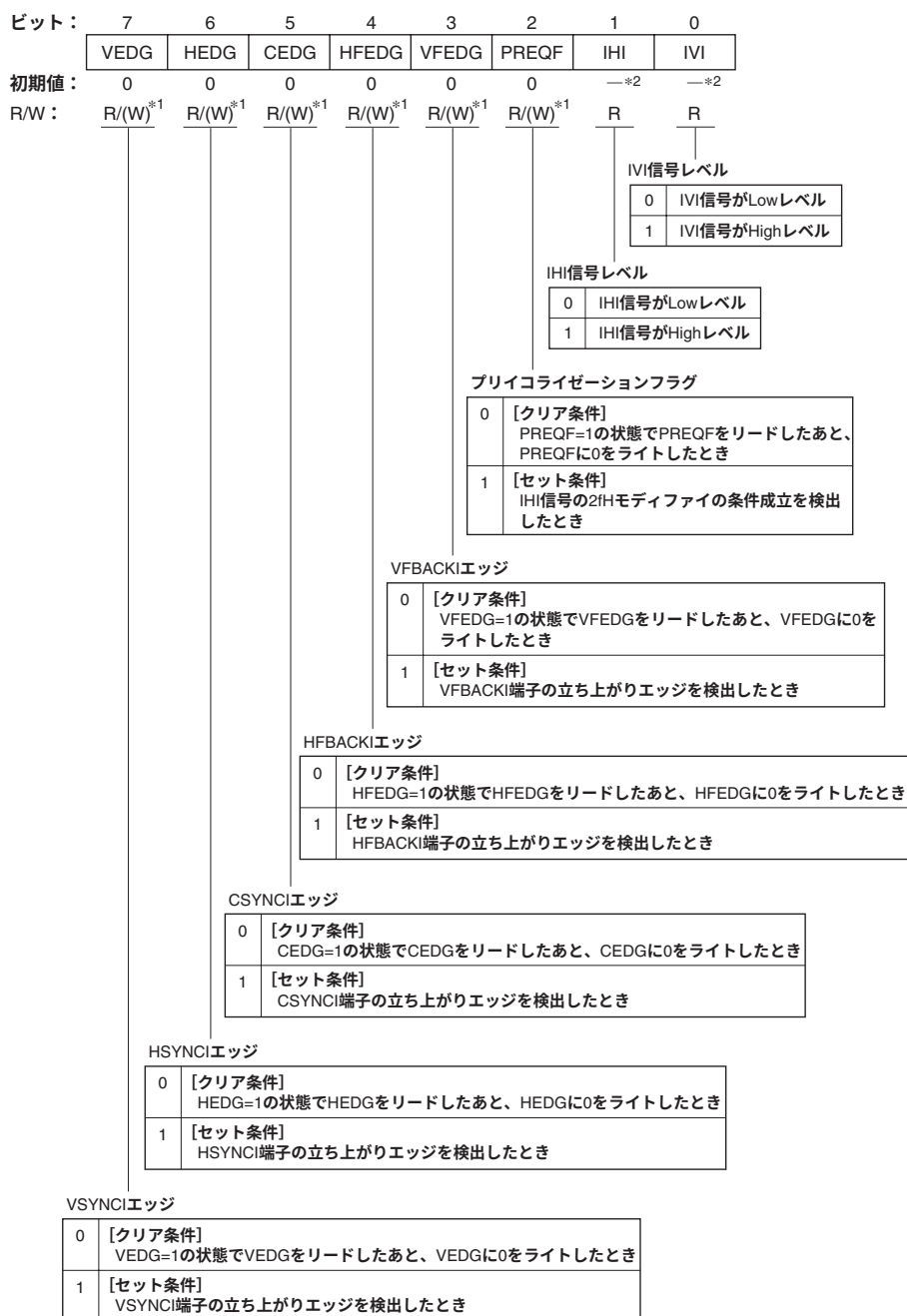
ISGENE	HOMOD1	HOMOD0	説 明
0	0	0	IHI信号 (2fHモディファイなし)を選択
		1	IHI信号 (2fHモディファイあり)を選択
	1	0	CL1信号を選択
		1	
1	0	0	IHG信号を選択
		1	
	1	0	
		1	

内部同期信号選択

TMRX/TMRYアクセス選択

0	アドレスH'FFF0～H'FFF5でTMRXのレジスタをアクセスする
1	アドレスH'FFF0～H'FFF5でTMRYのレジスタをアクセスする

H'FFFF：エッジセンスレジスタ SEDGR：タイマコネクション



【注】 *1 フラグをクリアするための0ライトのみ可能です。

*2 端子の状態によって決まるため、初期値は不定です。

H'FE16：ポート G Nch-OD コントロールレジスタ PGNOCR：ポート G

ビット：	7	6	5	4	3	2	1	0
	PG7NOC	PG6NOC	PG5NOC	PG4NOC	PG3NOC	PG2NOC	PG1NOC	PG0NOC
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートGの各端子の出力ドライバタイプを指定

H'FE18：ポート E Nch-OD コントロールレジスタ PENOCR：ポート E

ビット：	7	6	5	4	3	2	1	0
	PE7NOC	PE6NOC	PE5NOC	PE4NOC	PE3NOC	PE2NOC	PE1NOC	PE0NOC
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートEの各端子の出力ドライバタイプを指定

H'FE19：ポート F Nch-OD コントロールレジスタ PFNOCR：ポート F

ビット：	7	6	5	4	3	2	1	0
	PF7NOC	PF6NOC	PF5NOC	PF4NOC	PF3NOC	PF2NOC	PF1NOC	PF0NOC
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートFの各端子の出力ドライバタイプを指定

H'FE1C：ポート C Nch-OD コントロールレジスタ PCNOCR：ポート C

ビット：	7	6	5	4	3	2	1	0
	PC7NOC	PC6NOC	PC5NOC	PC4NOC	PC3NOC	PC2NOC	PC1NOC	PC0NOC
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートCの各端子の出力ドライバタイプを指定

H'FE1D：ポート D Nch-OD コントロールレジスタ PDNOCR：ポート D

ビット：	7	6	5	4	3	2	1	0
	PD7NOC	PD6NOC	PD5NOC	PD4NOC	PD3NOC	PD2NOC	PD1NOC	PD0NOC
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートDの各端子の出力ドライバタイプを指定

H'FE46：ポート G 出力データレジスタ PGODR：ポート G

ビット：	7	6	5	4	3	2	1	0
	PG7ODR	PG6ODR	PG5ODR	PG4ODR	PG3ODR	PG2ODR	PG1ODR	PG0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートGの各端子の出力データを格納

H'FE47 (R)：ポート G 入力データレジスタ PGPIN：ポート G

ビット：	7	6	5	4	3	2	1	0
	PG7PIN	PG6PIN	PG5PIN	PG4PIN	PG3PIN	PG2PIN	PG1PIN	PG0PIN
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

ポートGの各端子の状態

【注】* PG7～PG0端子の状態により決定されます。

H'FE47 (W)：ポート G データディレクションレジスタ PGDDR：ポート G

ビット：	7	6	5	4	3	2	1	0
	PG7DDR	PG6DDR	PG5DDR	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートGの各端子の入出力を指定

H'FE48：ポート E 出力データレジスタ PEODR：ポート E

ビット：	7	6	5	4	3	2	1	0
	PE7ODR	PE6ODR	PE5ODR	PE4ODR	PE3ODR	PE2ODR	PE1ODR	PE0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートEの各端子の出力データを格納

H'FE49：ポート F 出力データレジスタ PFODR：ポート F

ビット：	7	6	5	4	3	2	1	0
	PF7ODR	PF6ODR	PF5ODR	PF4ODR	PF3ODR	PF2ODR	PF1ODR	PF0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートFの各端子の出力データを格納

H'FE4A (R) : ポート E 入力データレジスタ PEPIN : ポート E

ビット:	7	6	5	4	3	2	1	0
	PE7PIN	PE6PIN	PE5PIN	PE4PIN	PE3PIN	PE2PIN	PE1PIN	PE0PIN
初期値:	—*	—*	—*	—*	—*	—*	—*	—*
R/W:	R	R	R	R	R	R	R	R

ポートEの各端子の状態

【注】* PE7～PE0端子の状態により決定されます。

H'FE4A (W) : ポート E データディレクションレジスタ PEDDDR : ポート E

ビット:	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポートEの各端子の入出力を決定

H'FE4B (R) : ポート F 入力データレジスタ PFPIN : ポート F

ビット:	7	6	5	4	3	2	1	0
	PF7PIN	PF6PIN	PF5PIN	PF4PIN	PF3PIN	PF2PIN	PF1PIN	PF0PIN
初期値:	—*	—*	—*	—*	—*	—*	—*	—*
R/W:	R	R	R	R	R	R	R	R

ポートFの各端子の状態

【注】* PF7～PF0端子の状態により決定されます。

H'FE4B (W) : ポート F データディレクションレジスタ PFDDR : ポート F

ビット:	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポートFの各端子の入出力を決定

【注】* PF7～PF0端子の状態により決定されます。

H'FE4C：ポート C 出力データレジスタ PCODR：ポート C

ビット：	7	6	5	4	3	2	1	0
	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートCの各端子の出力データを格納

H'FE4D：ポート D 出力データレジスタ PDODR：ポート D

ビット：	7	6	5	4	3	2	1	0
	PD7ODR	PD6ODR	PD5ODR	PD4ODR	PD3ODR	PD2ODR	PD1ODR	PD0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートDの各端子の出力データを格納

H'FE4E (R)：ポート C 入力データレジスタ PCPIN：ポート C

ビット：	7	6	5	4	3	2	1	0
	PC7PIN	PC6PIN	PC5PIN	PC4PIN	PC3PIN	PC2PIN	PC1PIN	PC0PIN
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

ポートCの各端子の状態

【注】* PC7～PC0端子の状態により決定されます。

H'FE4E (W)：ポート C データディレクションレジスタ PCDDR：ポート C

ビット：	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポートCの各端子の入出力を指定

H'FE4F (R) : ポート D 入力データレジスタ PDPIN : ポート D

ビット:	7	6	5	4	3	2	1	0
	PD7PIN	PD6PIN	PD5PIN	PD4PIN	PD3PIN	PD2PIN	PD1PIN	PD0PIN
初期値:	—*	—*	—*	—*	—*	—*	—*	—*
R/W:	R	R	R	R	R	R	R	R

ポートDの各端子の状態

【注】* PD7～PD0端子の状態により決定されます。

H'FE4F (W) : ポート D データディレクションレジスタ PDDDR : ポート D

ビット:	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポートDの各端子の入出力を指定

C. I/O ポートのブロック図

C.1 ポート 1 ブロック図

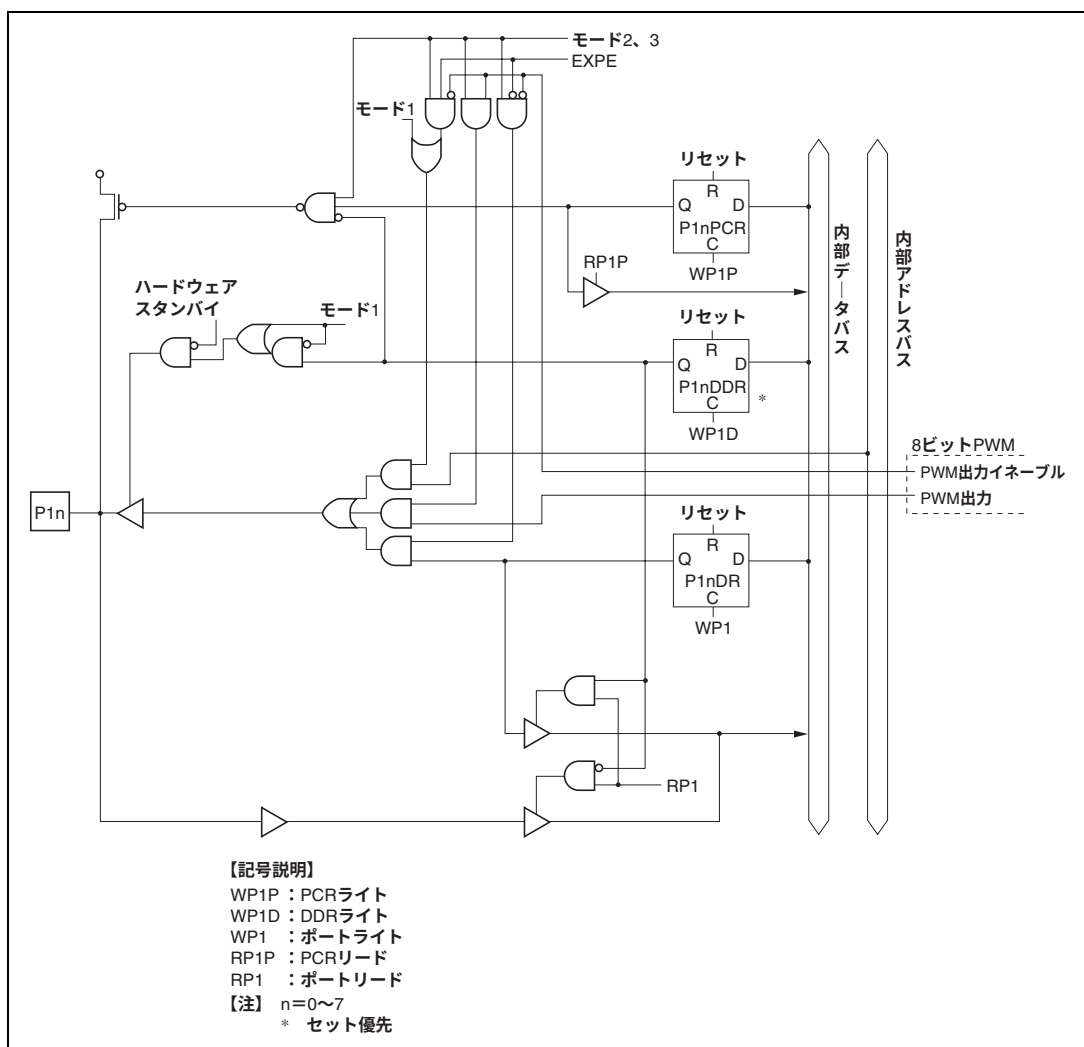


図 C.1 ポート 1 ブロック図 (P10~P17 端子)

C.2 ポート 2 ブロック図

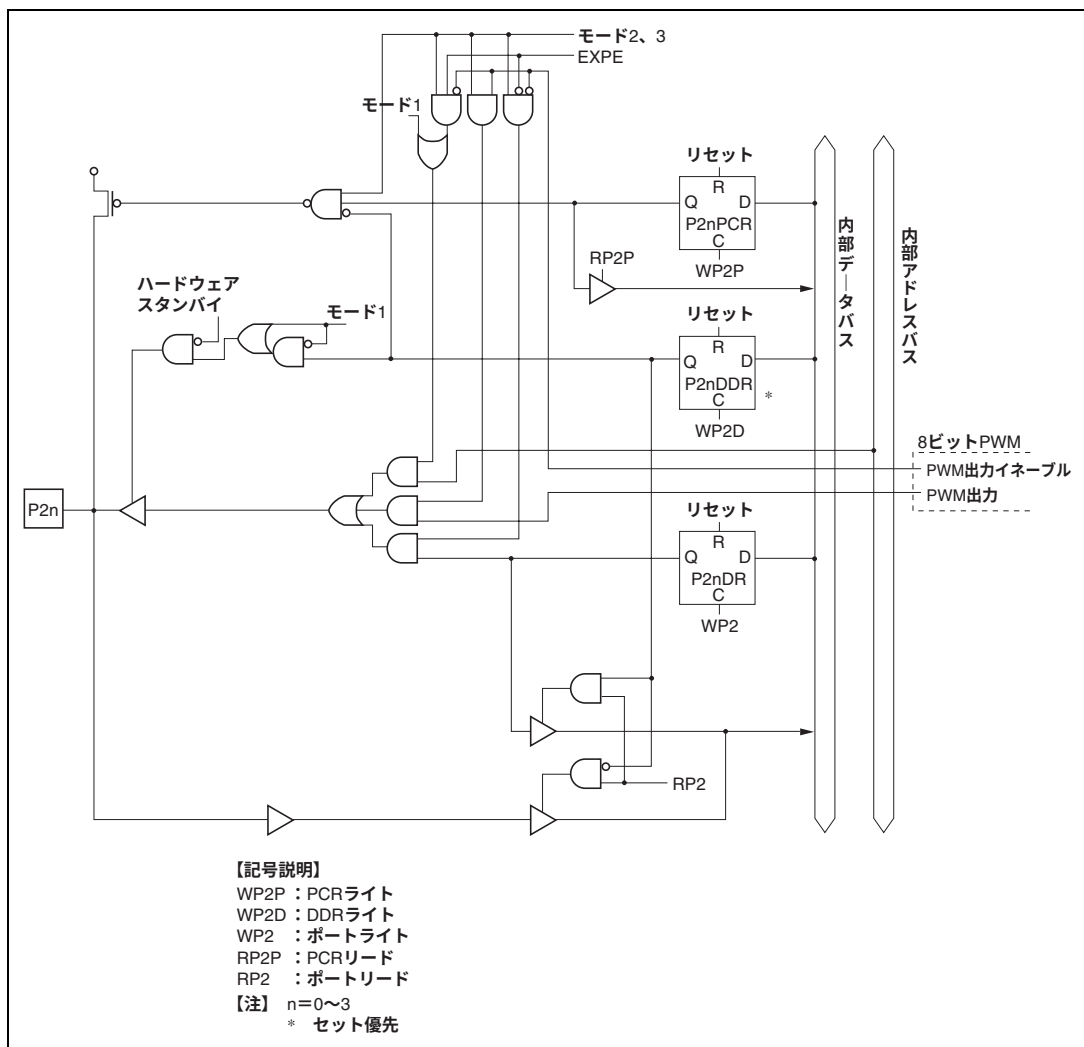


図 C.2 ポート 2 ブロック図 (P20~P23 端子)

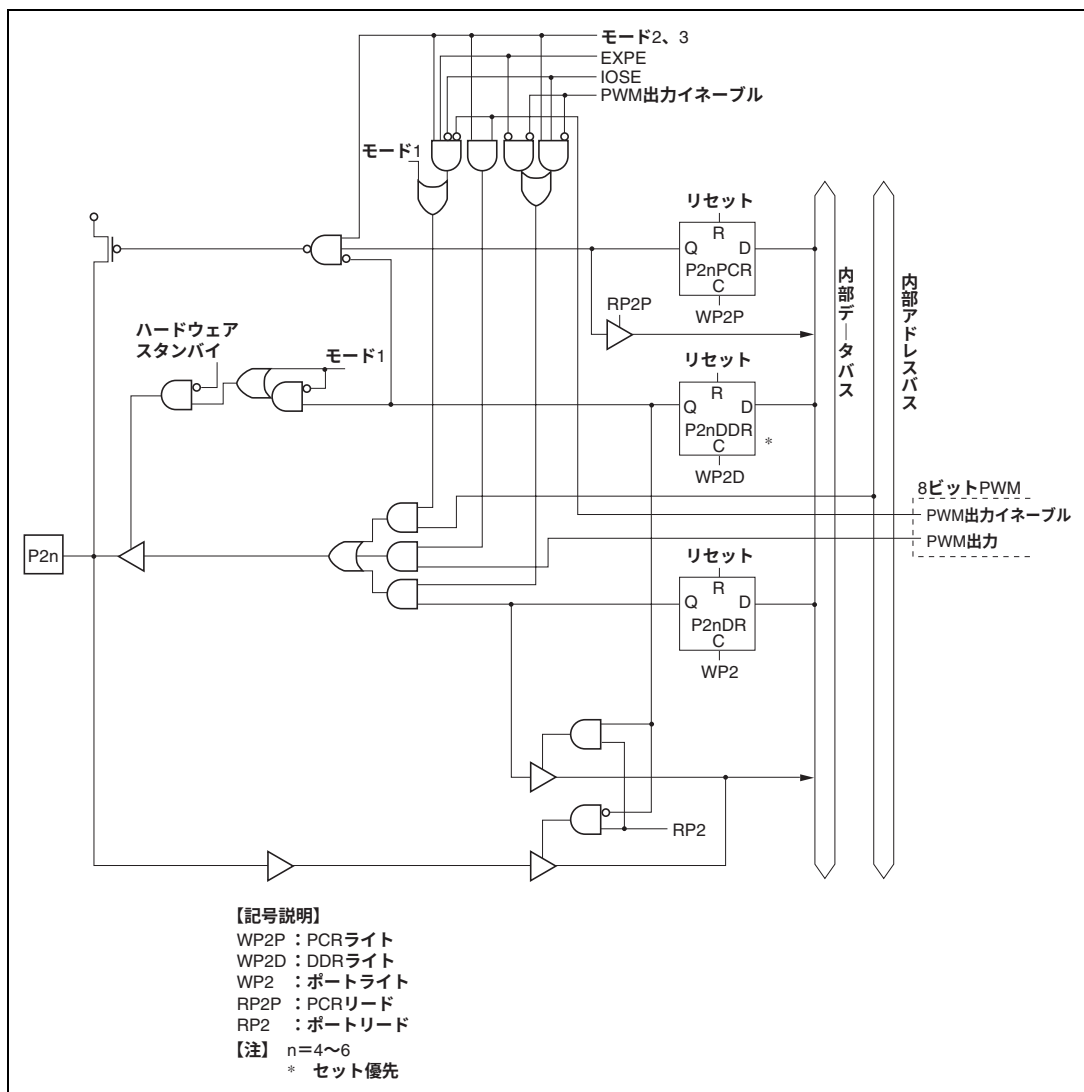


図 C.3 ポート 2 ブロック図 (P24~P26 端子)

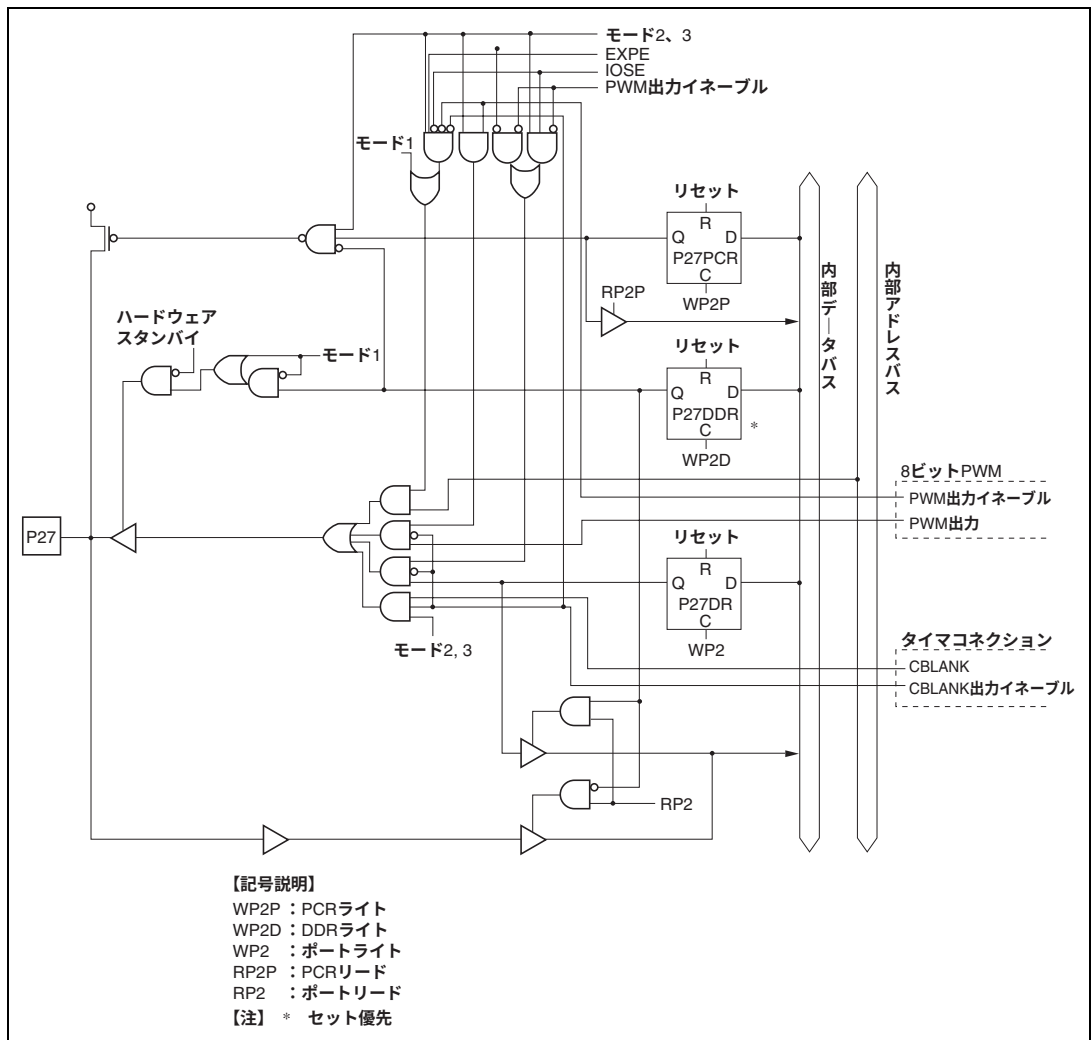


図 C.4 ポート 2 ブロック図 (P27 端子)

C.3 ポート 3 ブロック図

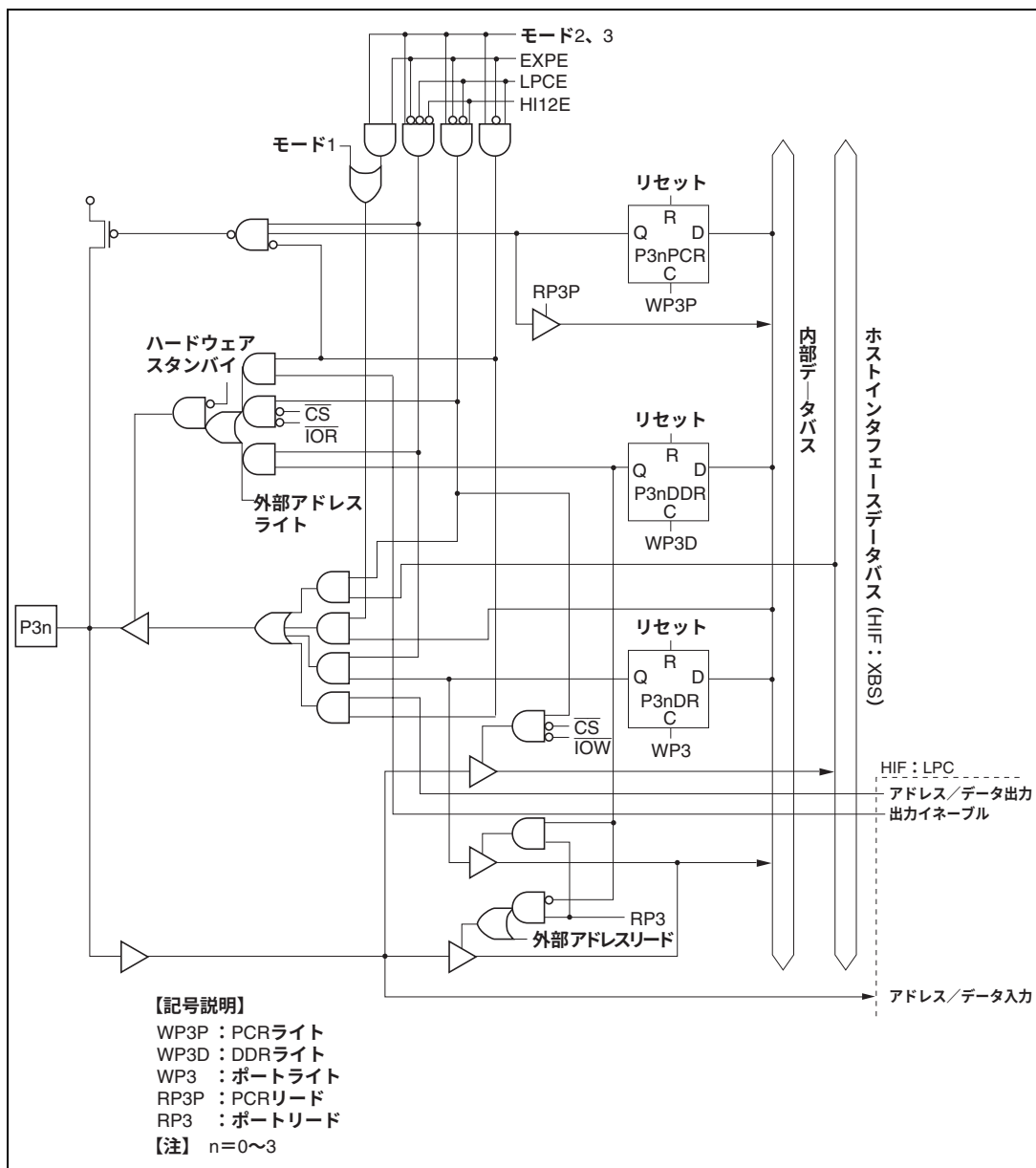


図 C.5 ポート 3 ブロック図 (P30~P33 端子)

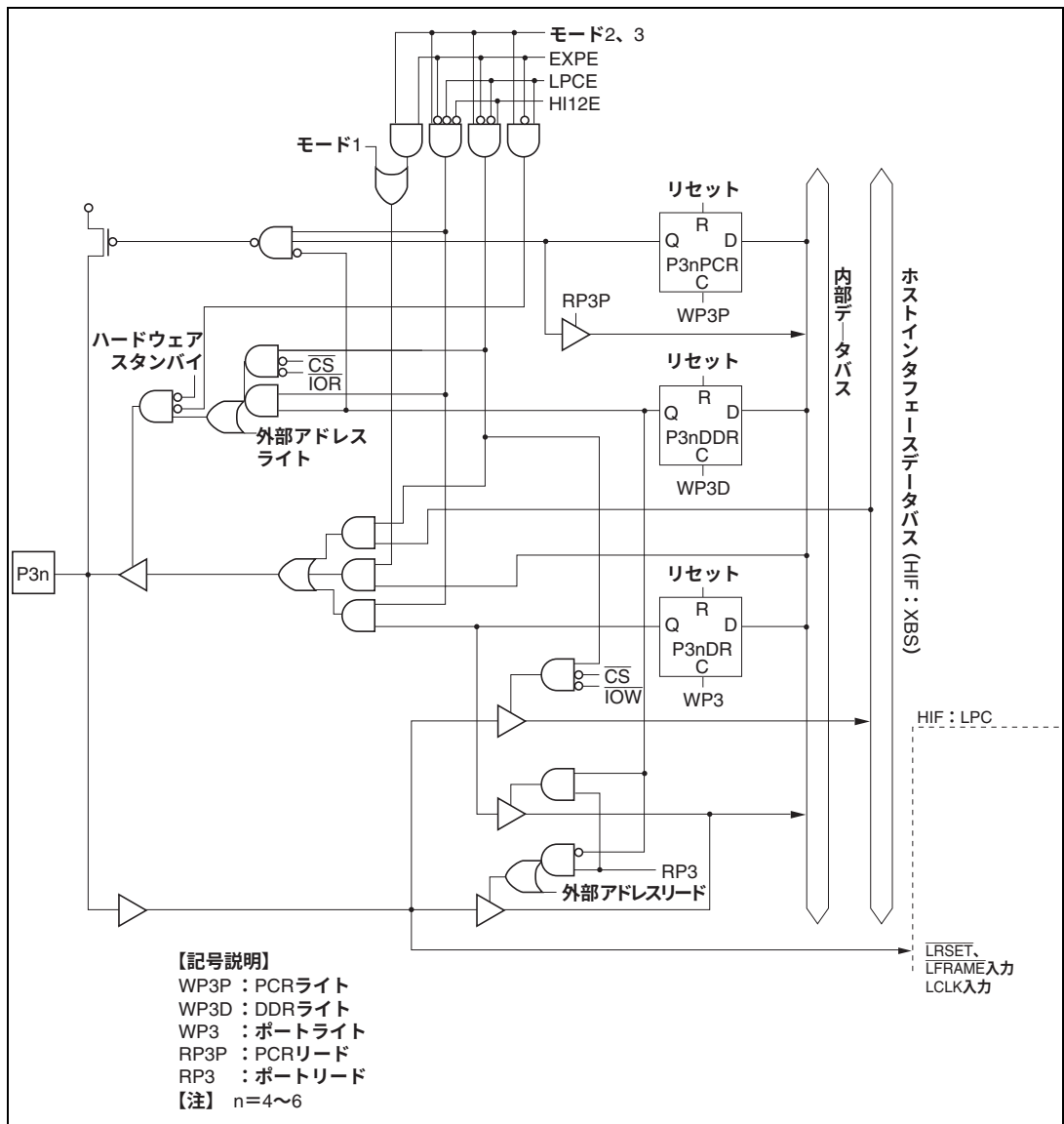


図 C.6 ポート 3 ブロック図 (P34~P36 端子)

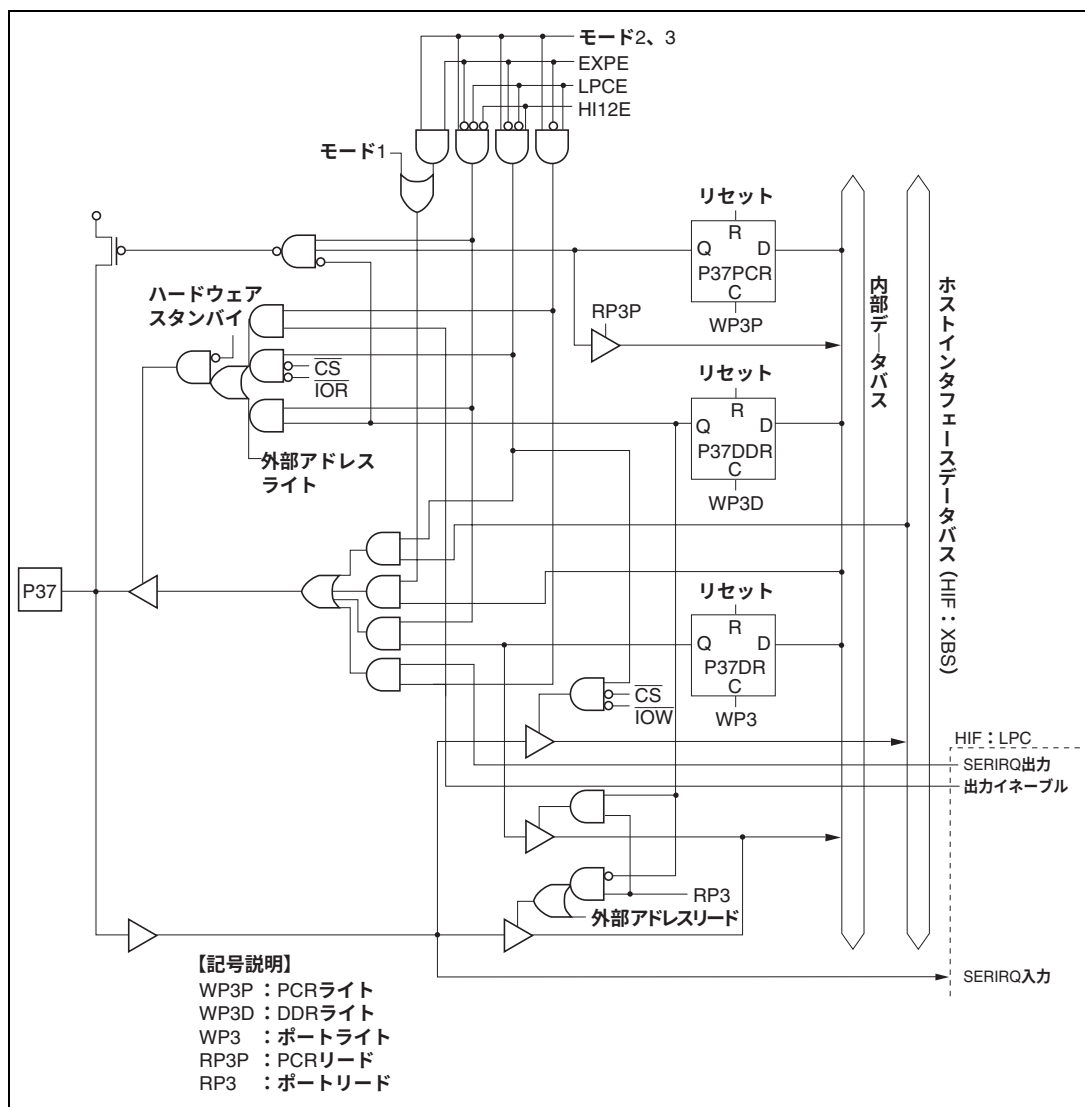


図 C.7 ポート 3 ブロック図 (P37 端子)

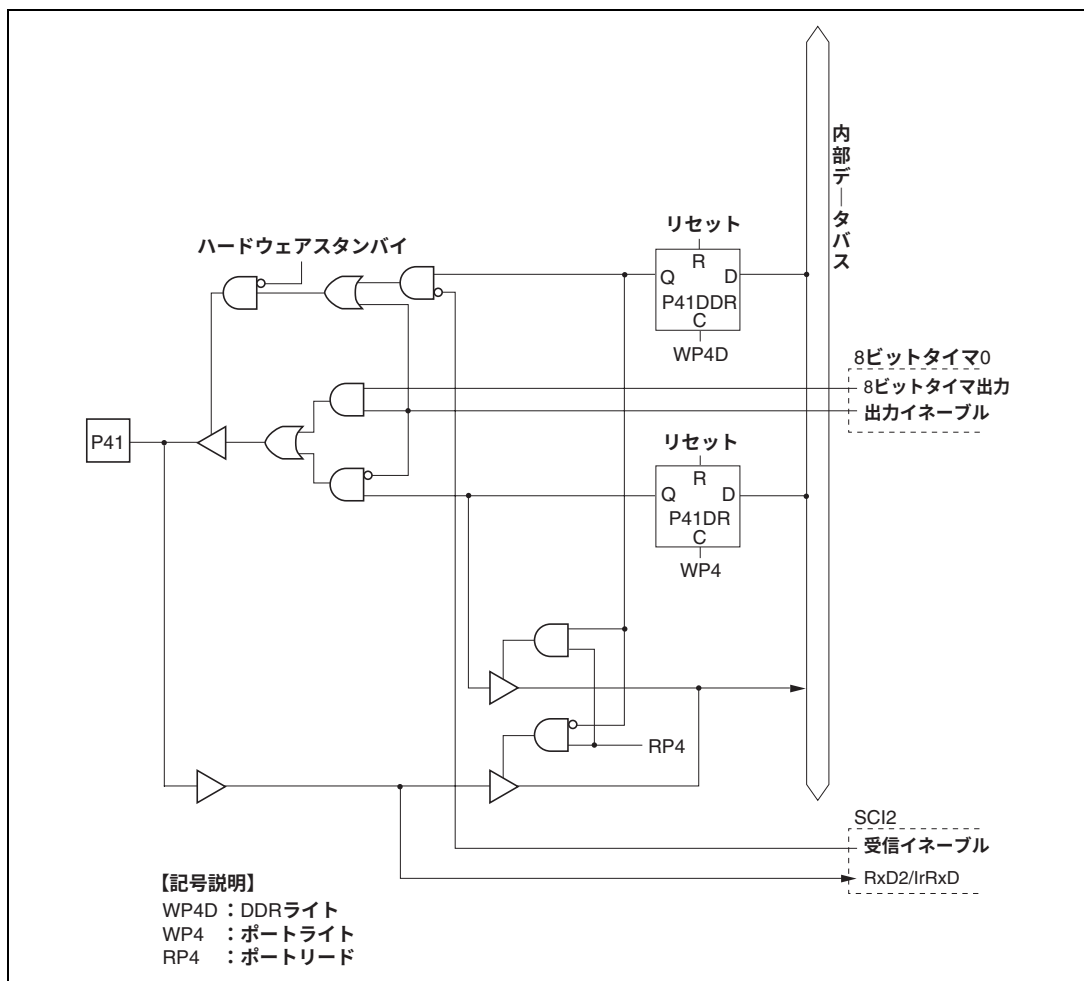


図 C.9 ポート 4 ブロック図 (P41 端子)







図 C.12 ポート 4 ブロック図 (P44 端子)



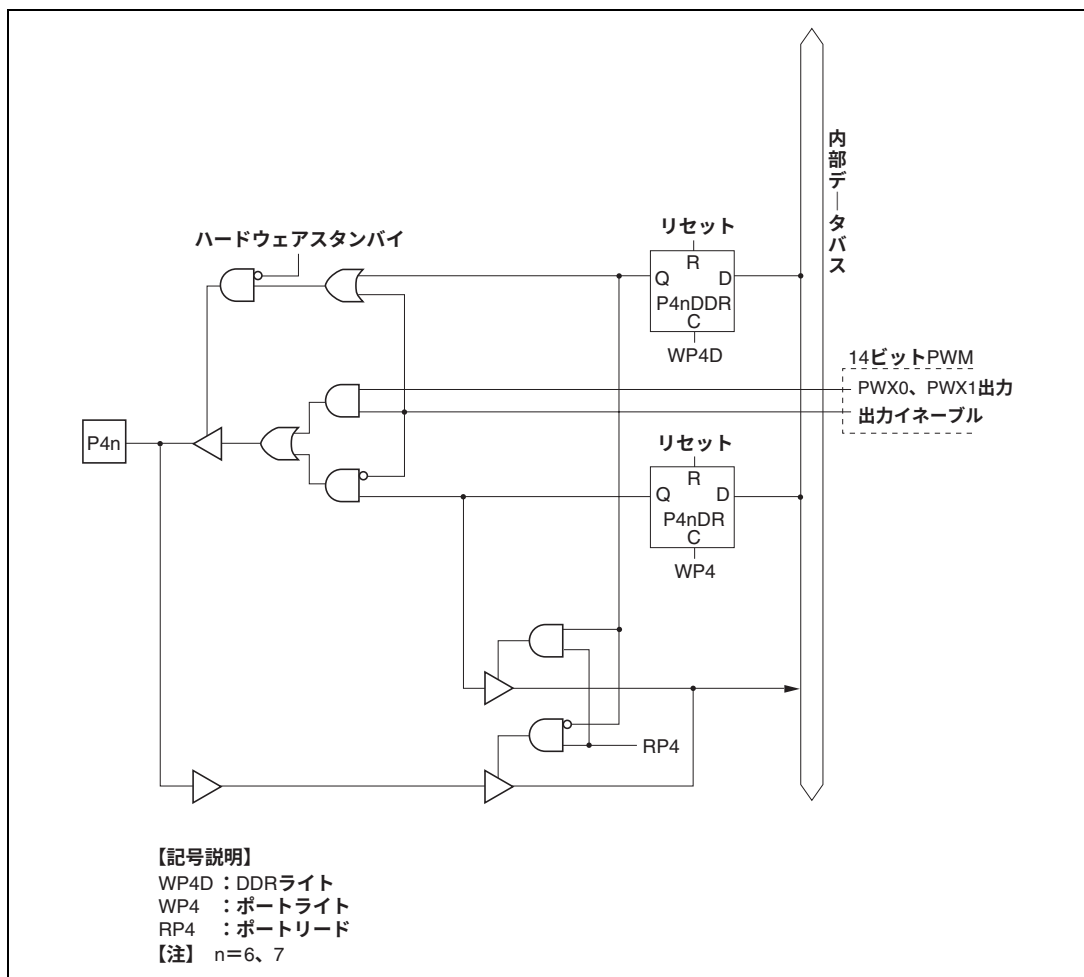


図 C.14 ポート 4 ブロック図 (P46、P47 端子)

C.5 ポート 5 ブロック図

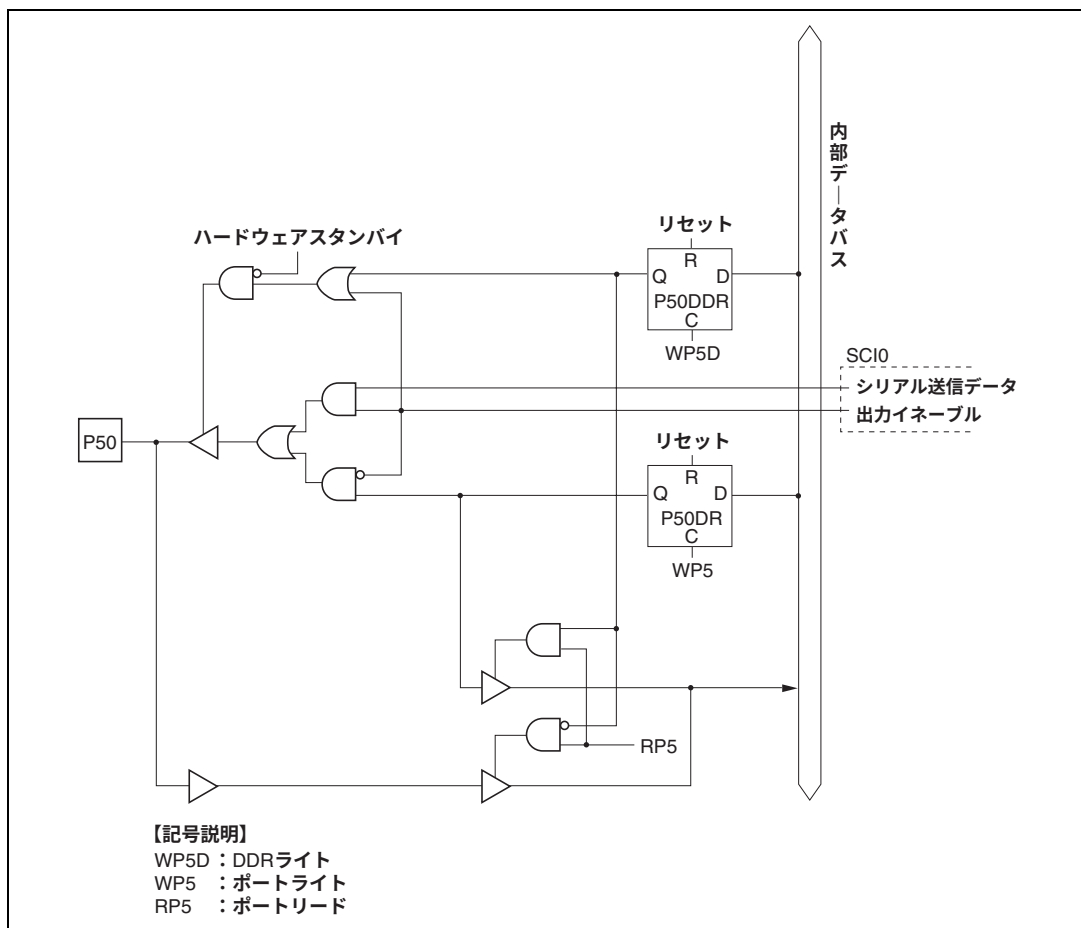


図 C.15 ポート 5 ブロック図 (P50 端子)



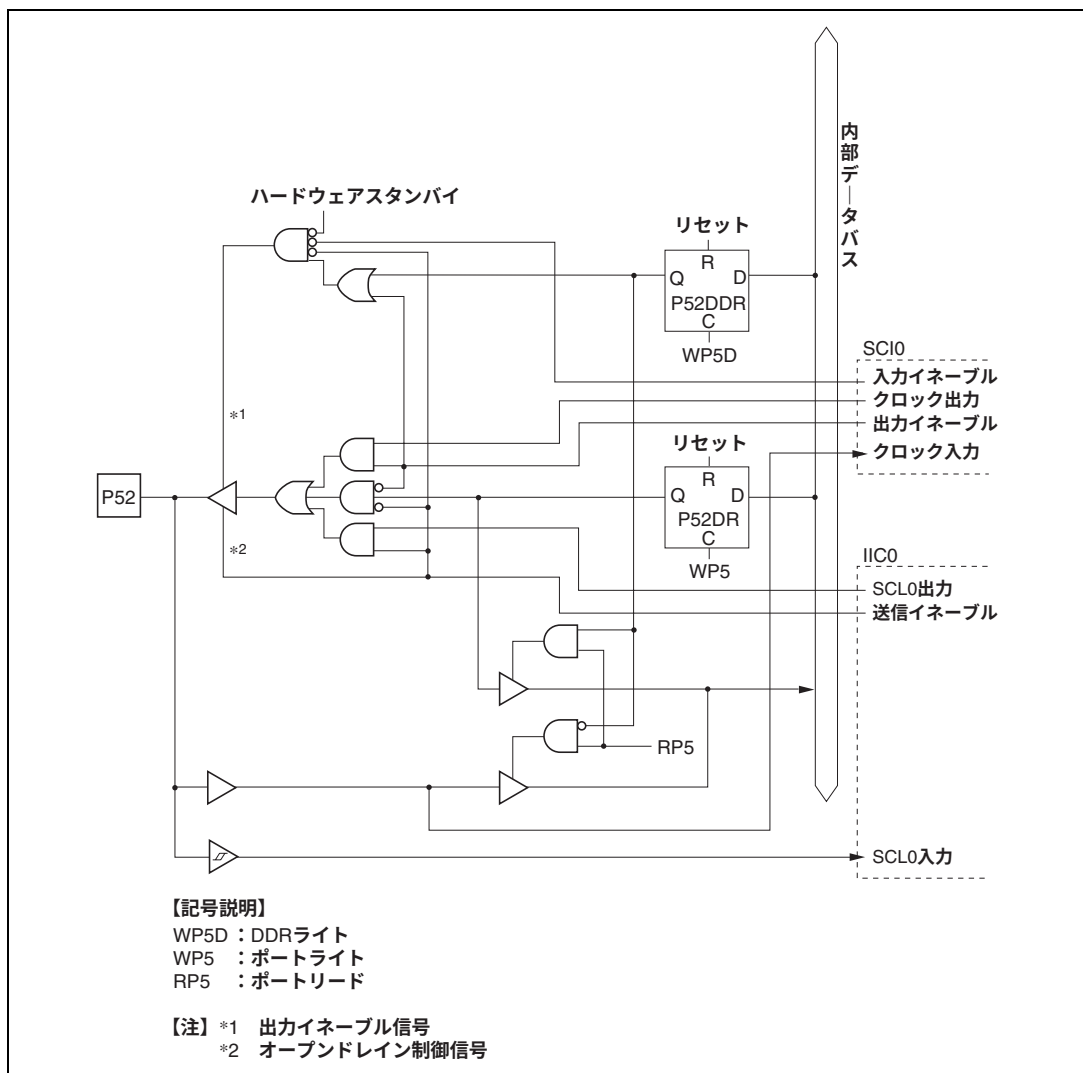


図 C.17 ポート 5 ブロック図 (P52 端子)

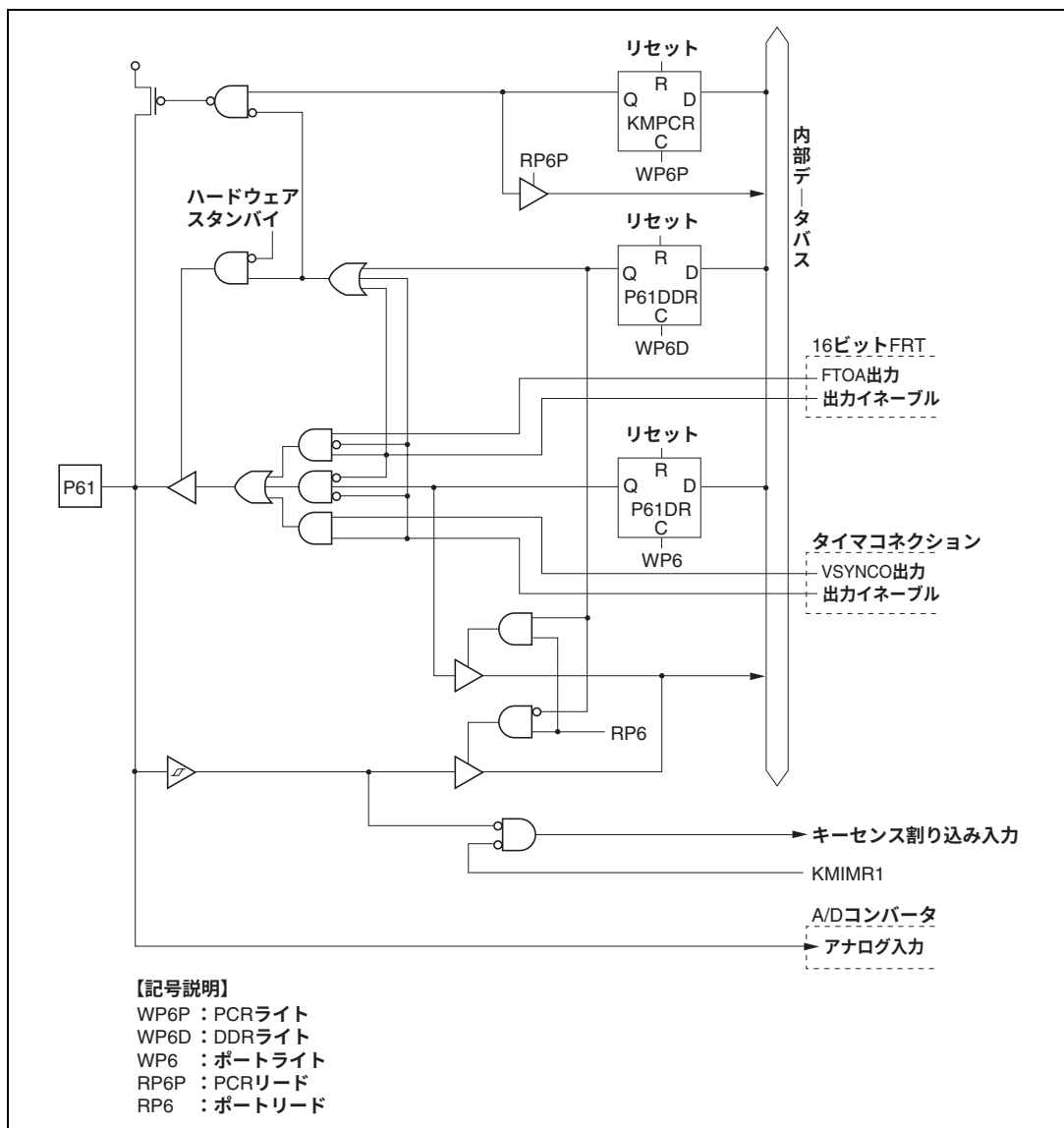


図 C.19 ポート 6 ブロック図 (P61 端子)

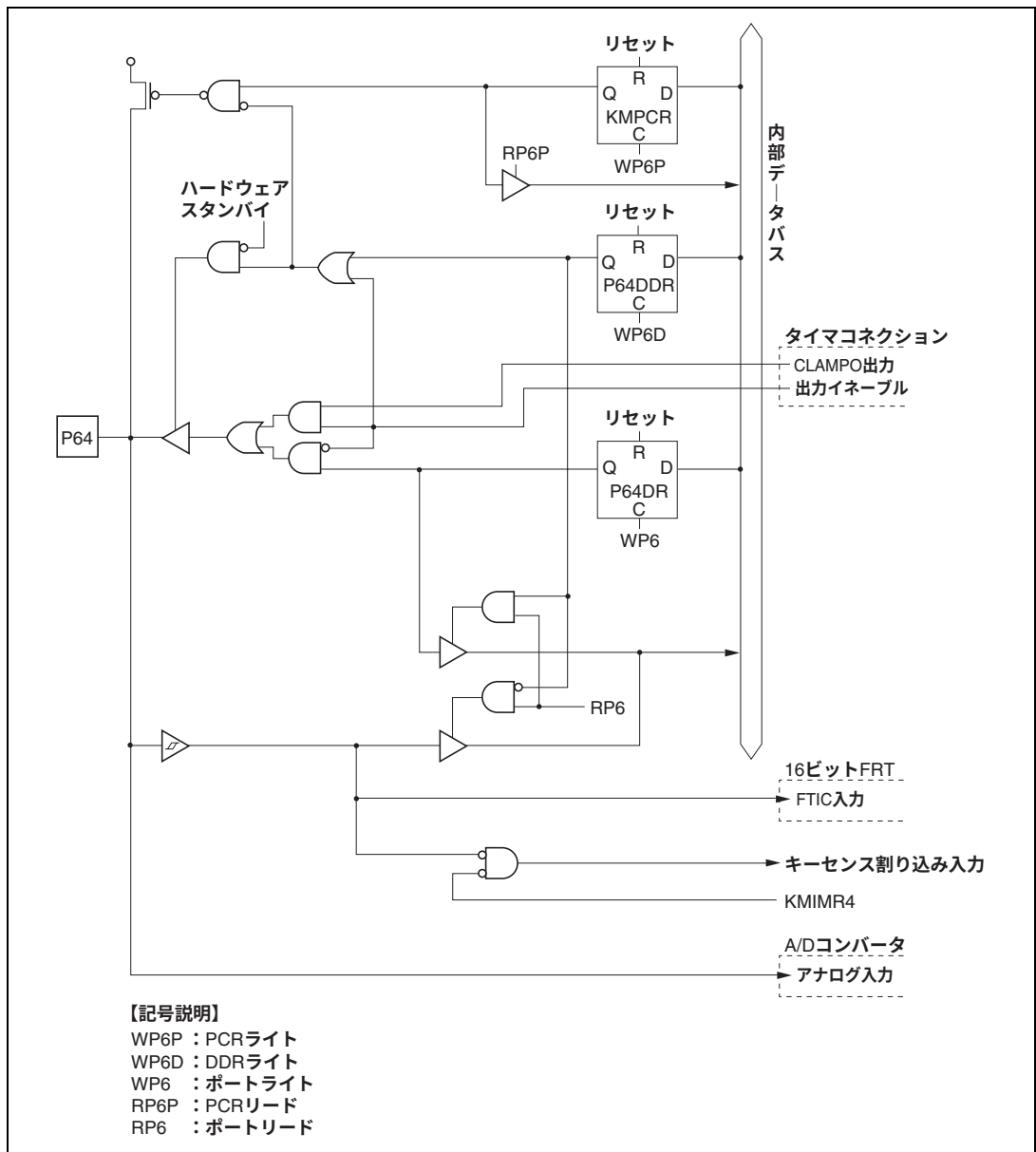


図 C.20 ポート 6 ブロック図 (P64 端子)

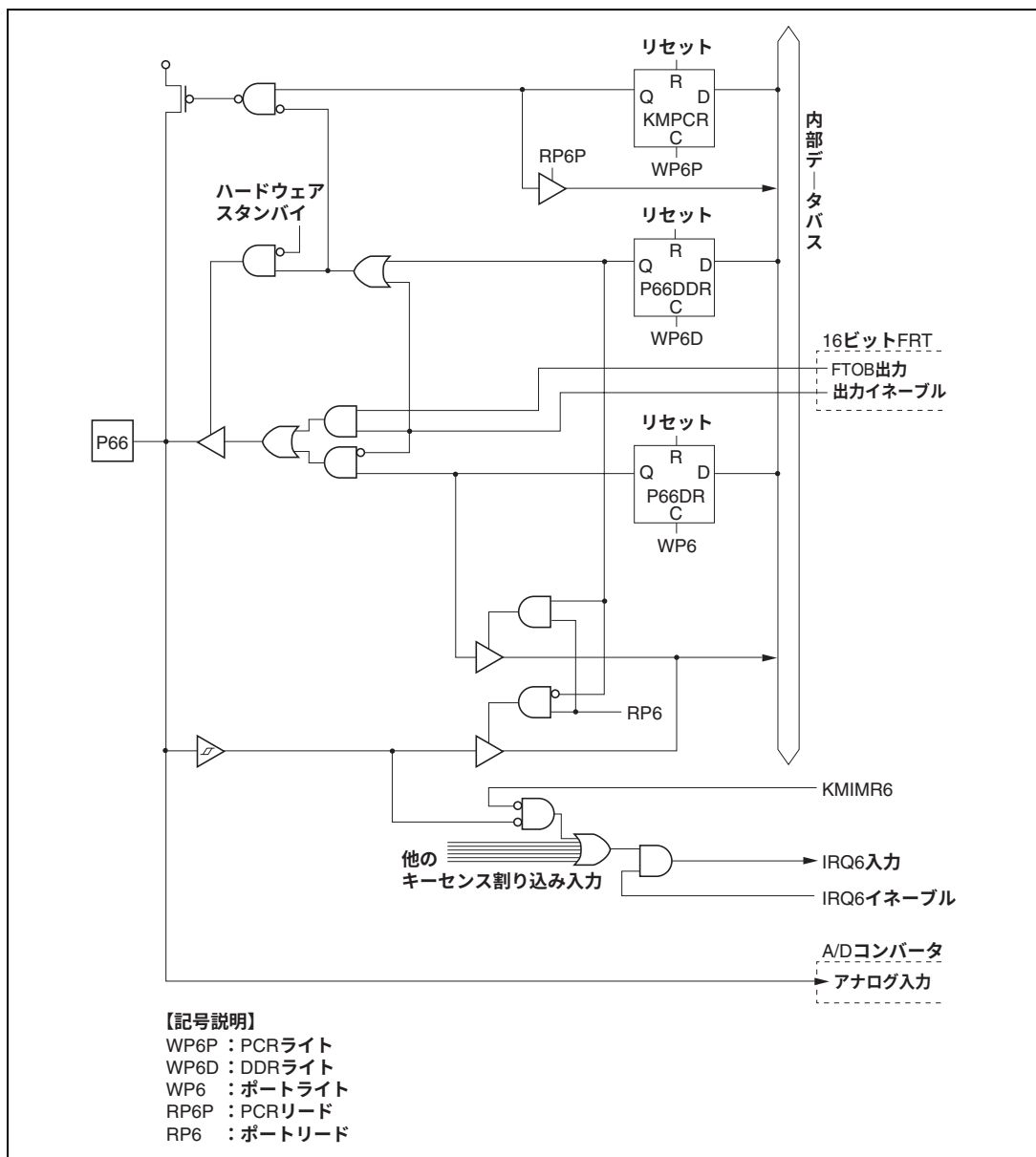


図 C.21 ポート 6 ブロック図 (P66 端子)



C.7 ポート 7 ブロック図

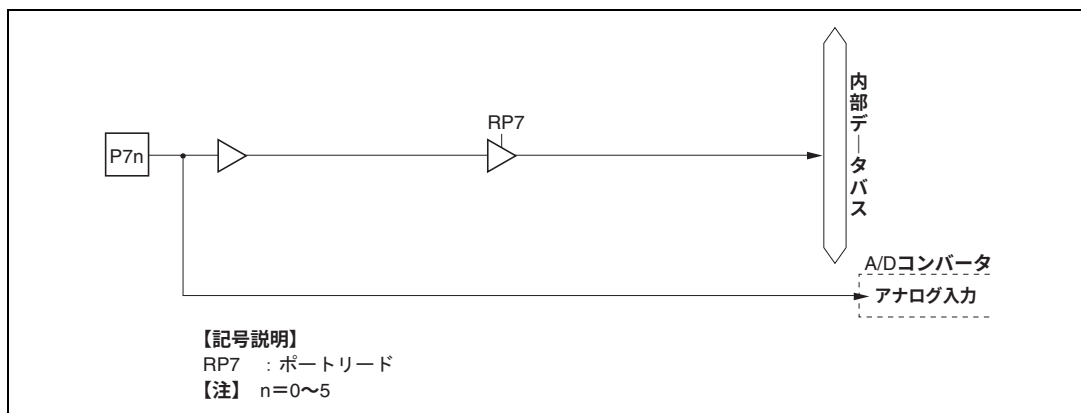


図 C.23 ポート 7 ブロック図 (P70~P75 端子)

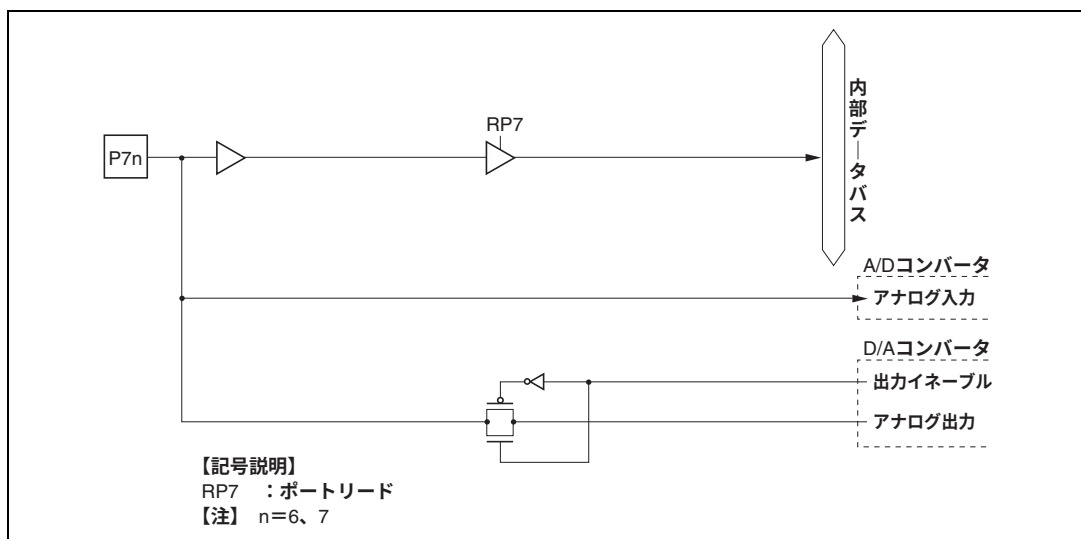


図 C.24 ポート 7 ブロック図 (P76、P77 端子)

C.8 ポート 8 ブロック図

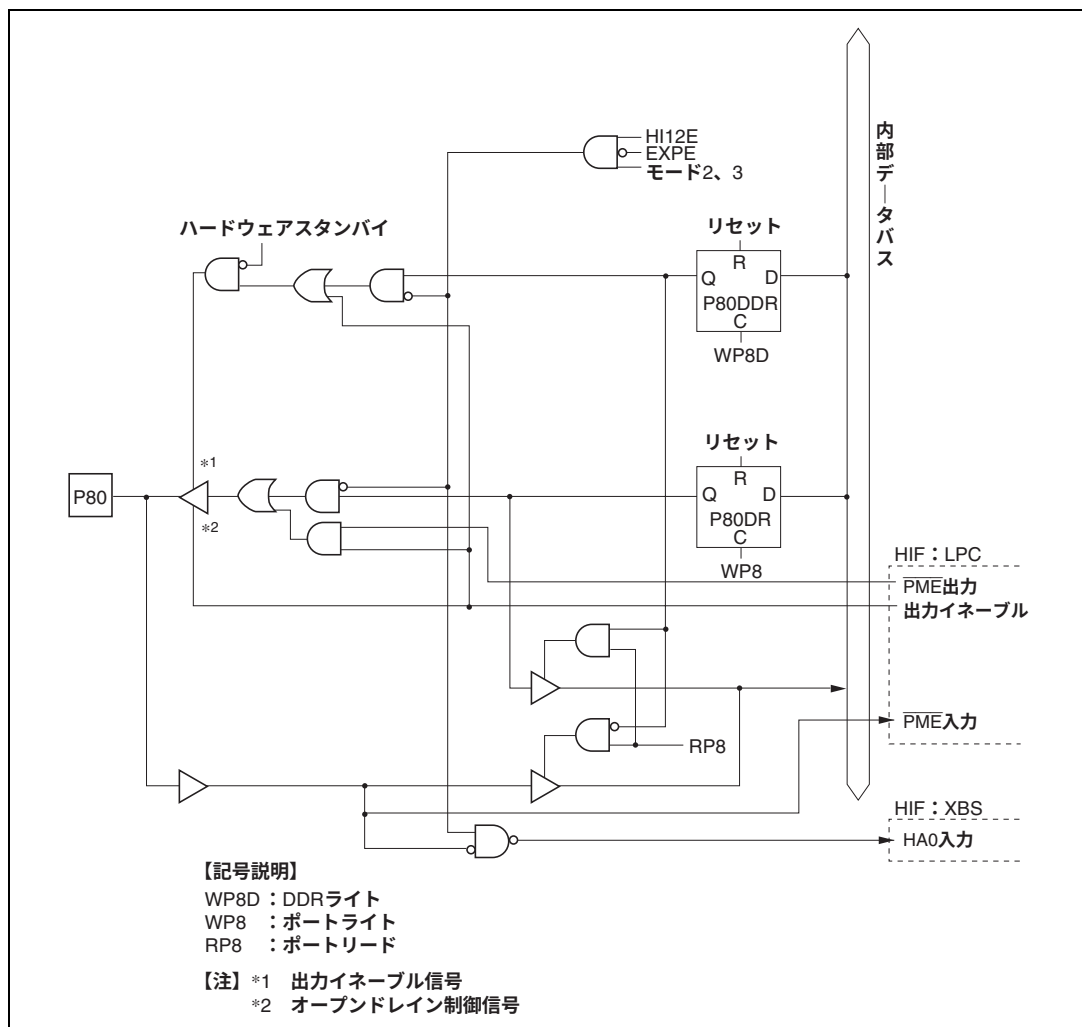


図 C.25 ポート 8 ブロック図 (P80 端子)

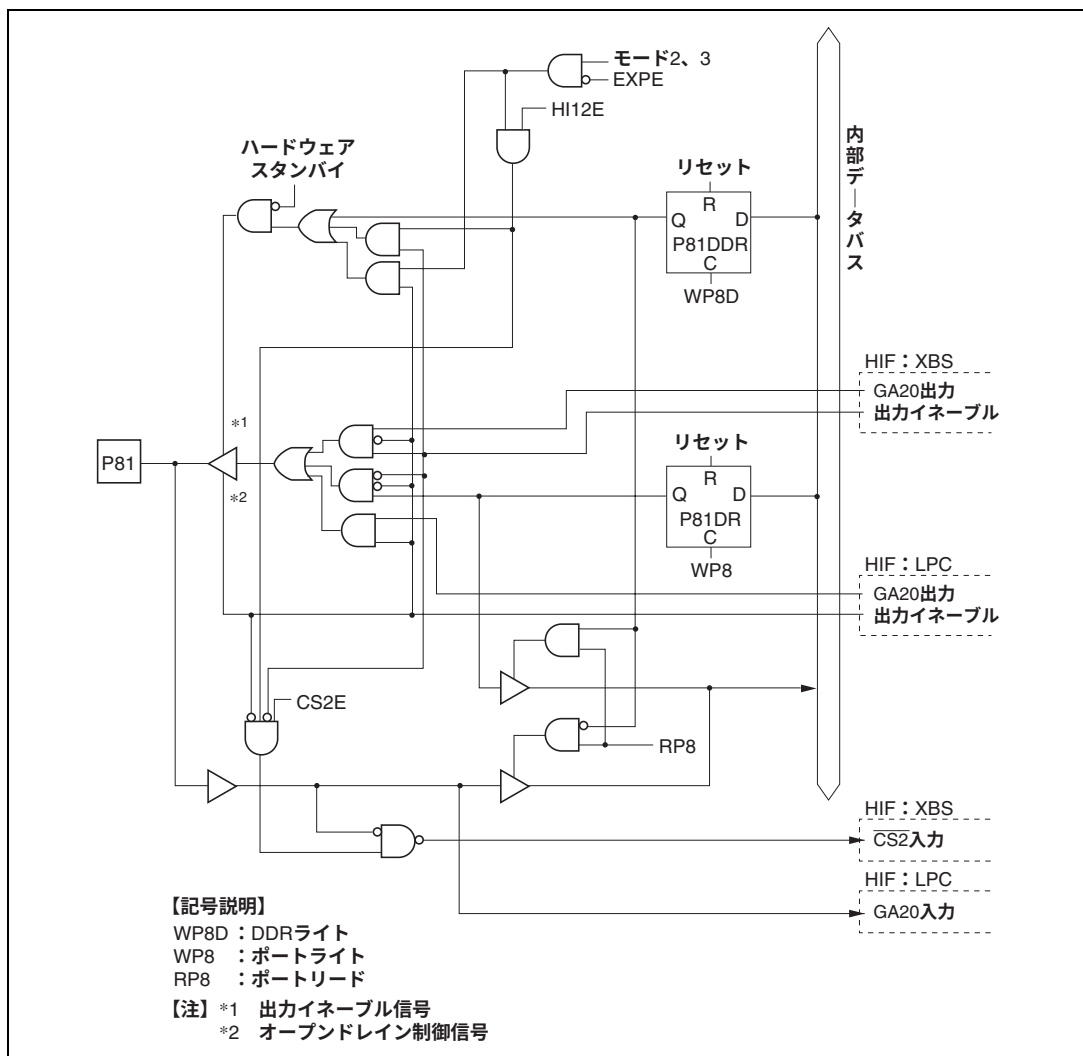


図 C.26 ポート 8 ブロック図 (P81 端子)

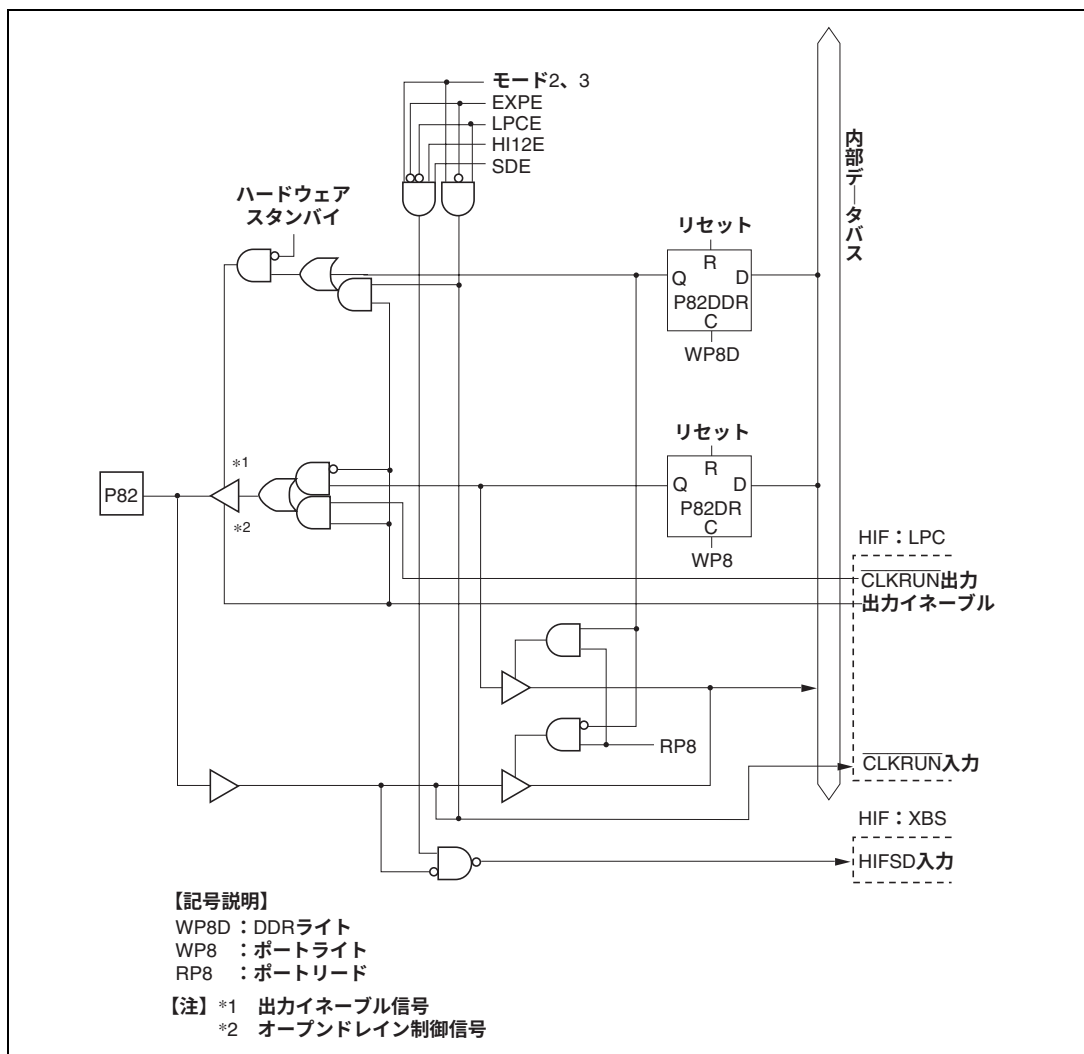


図 C.27 ポート 8 ブロック図 (P82 端子)



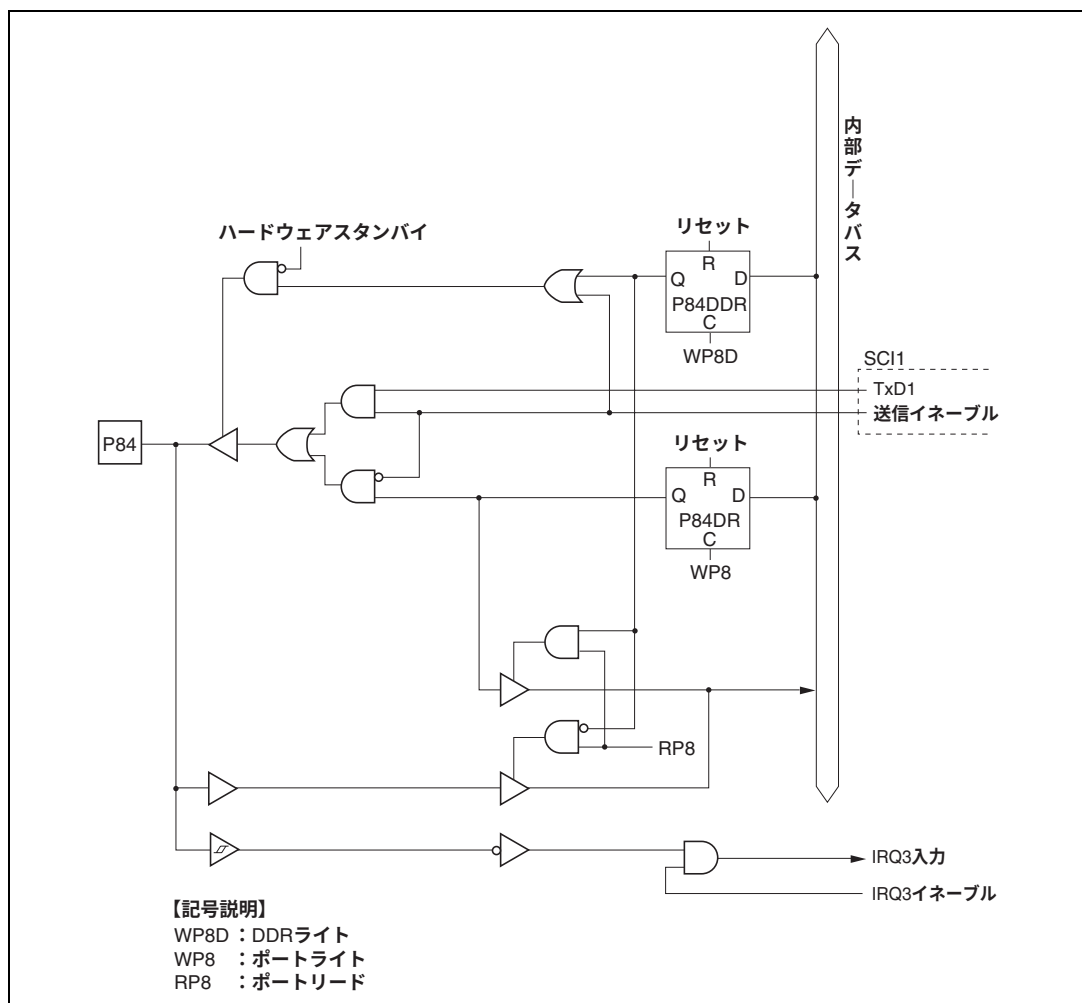


図 C.29 ポート 8 ブロック図 (P84 端子)

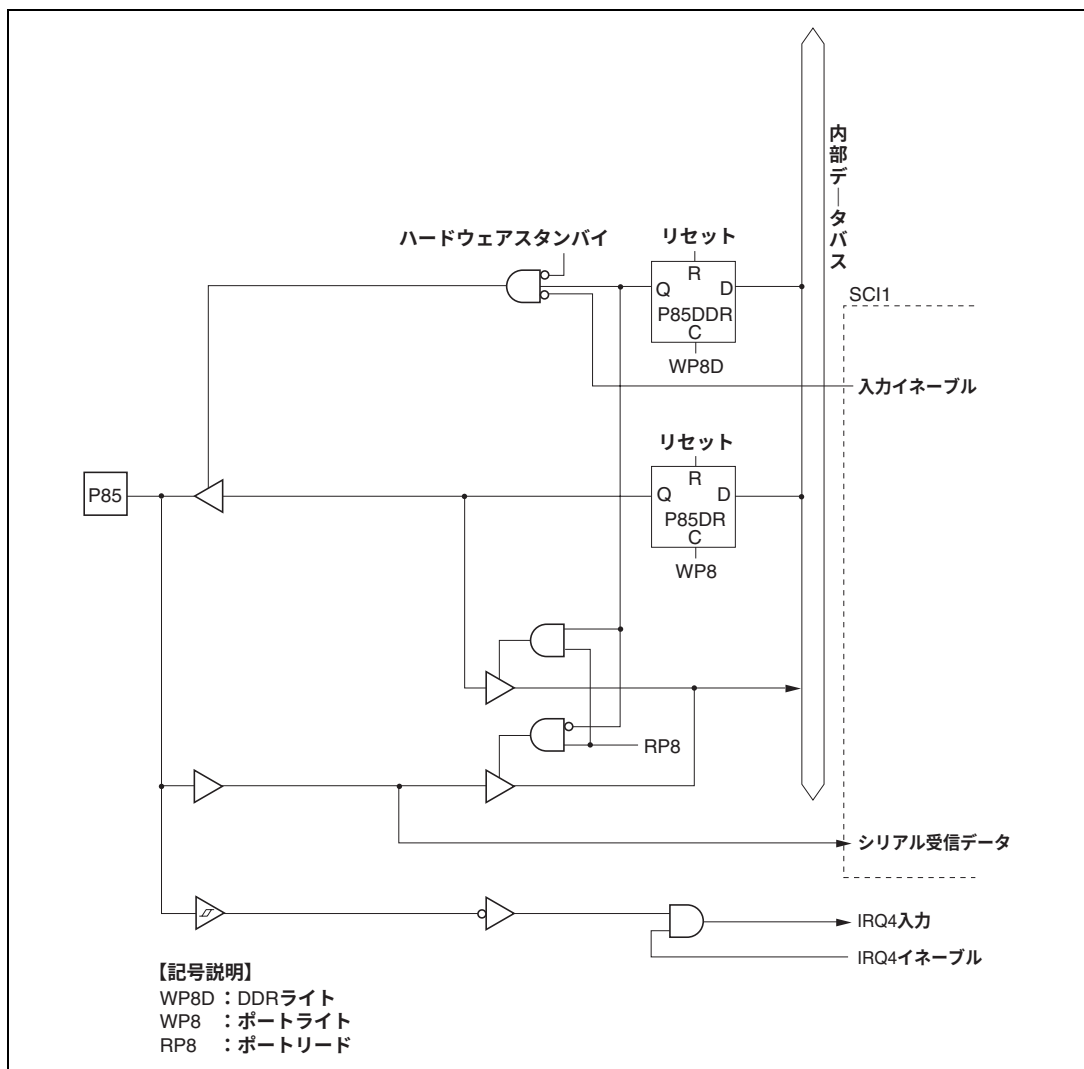


図 C.30 ポート 8 ブロック図 (P85 端子)

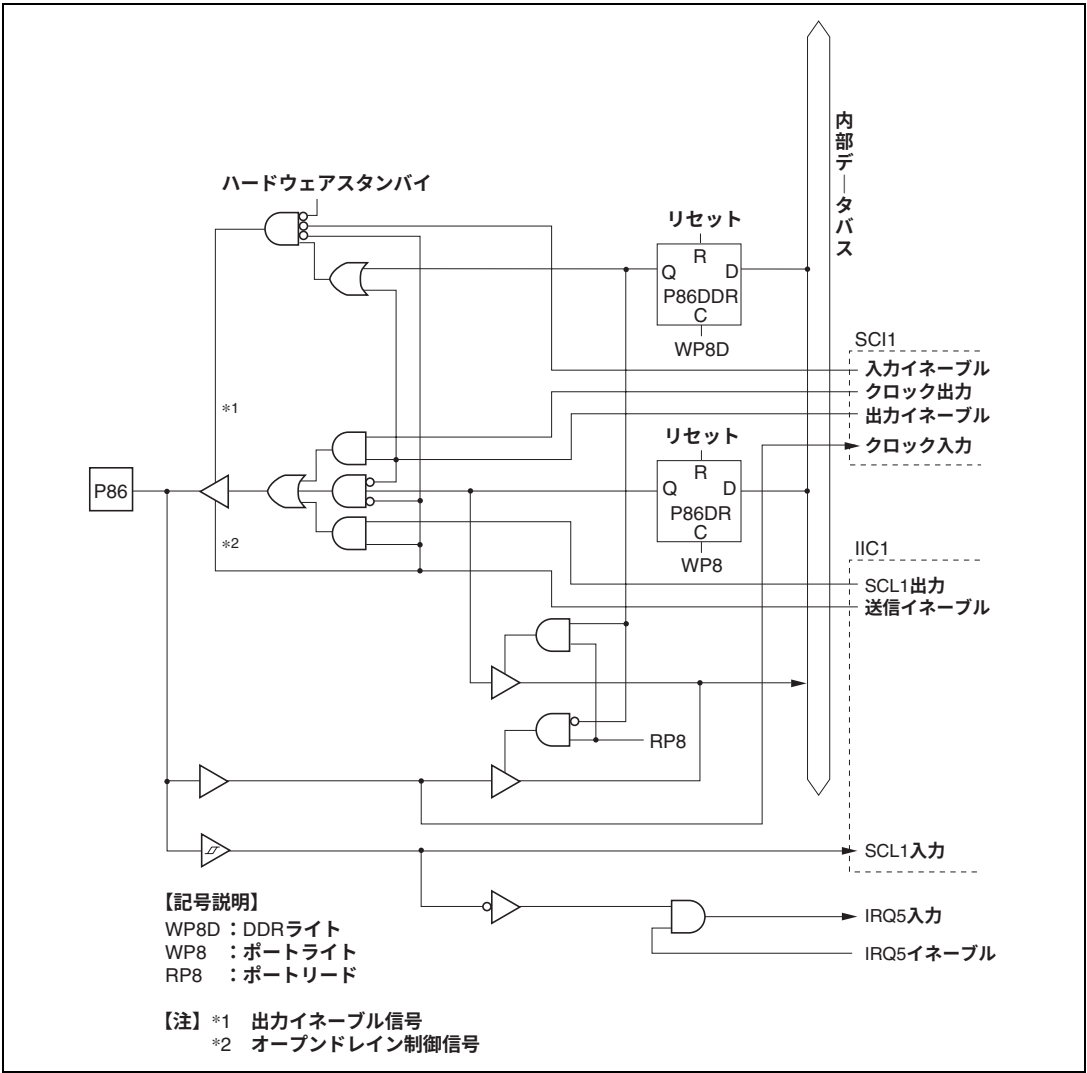


図 C.31 ポート 8 ブロック図 (P86 端子)

C.9 ポート 9 ブロック図

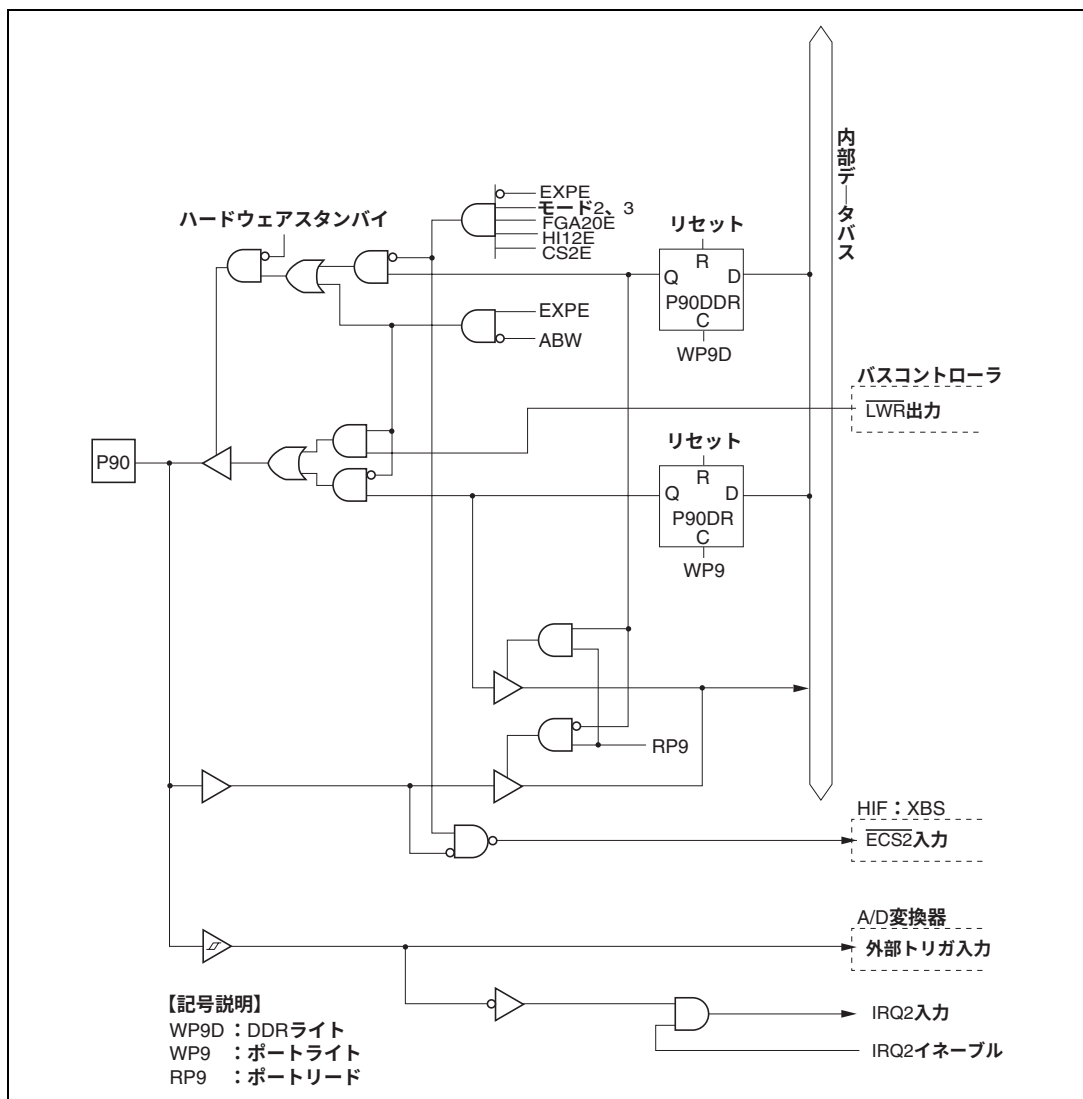


図 C.32 ポート 9 ブロック図 (P90 端子)

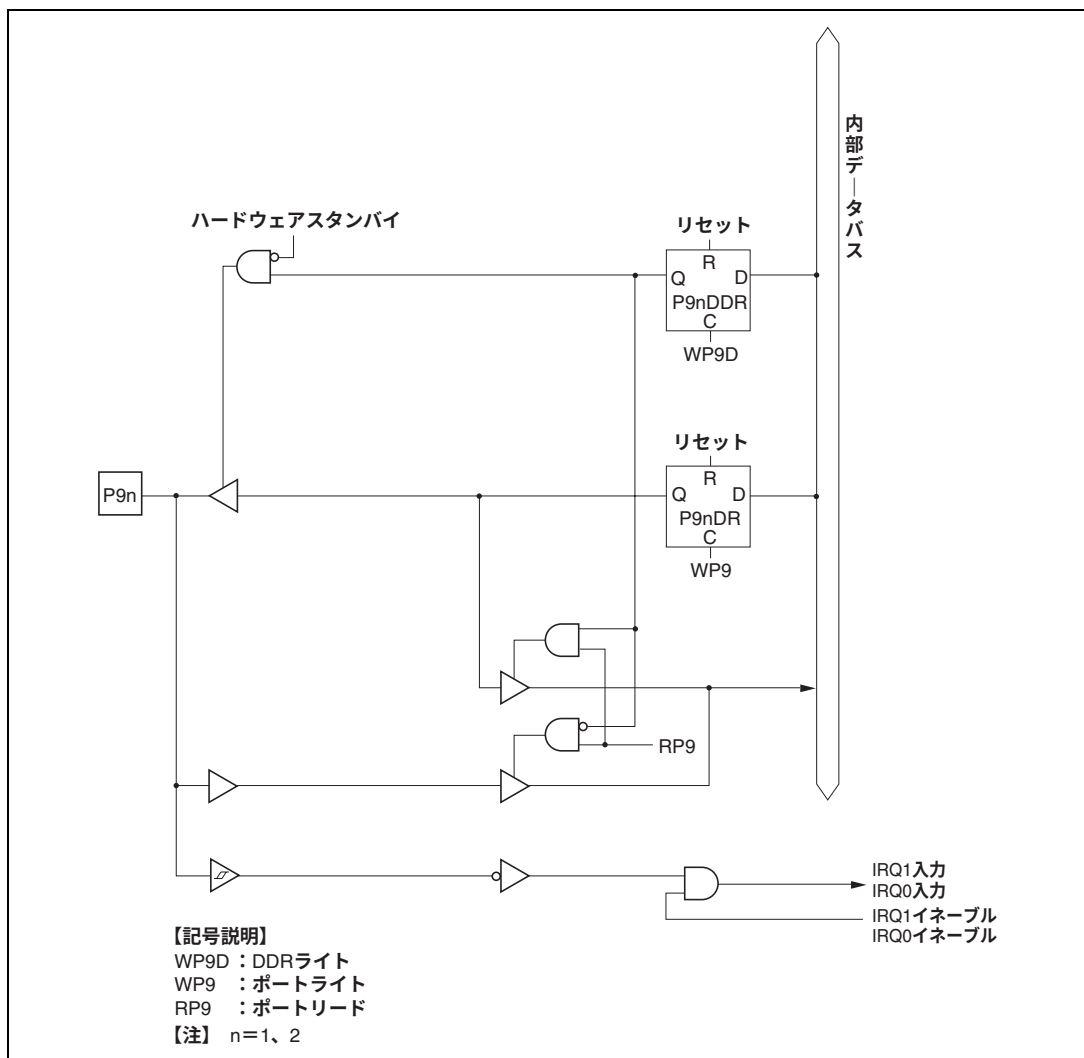


図 C.33 ポート 9 ブロック図 (P91、P92 端子)

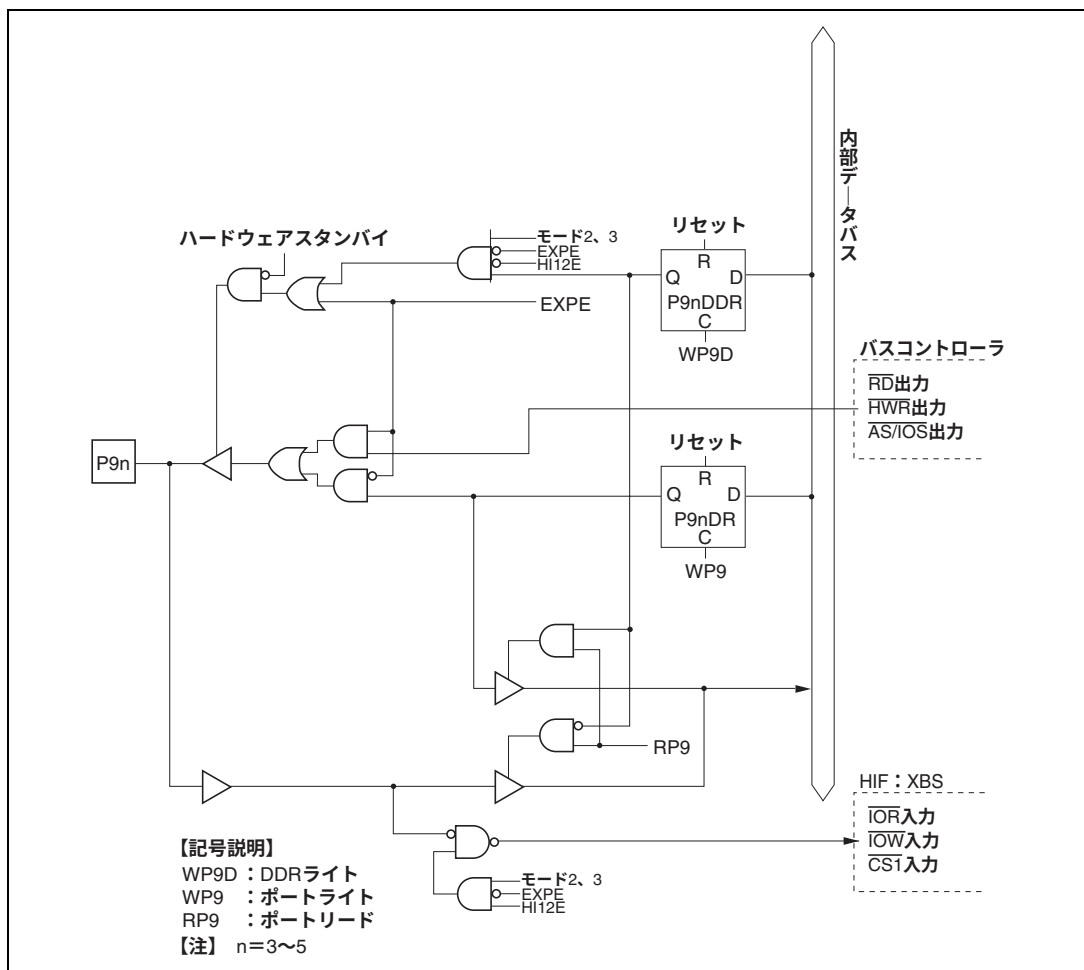


図 C.34 ポート 9 ブロック図 (P93~P95 端子)

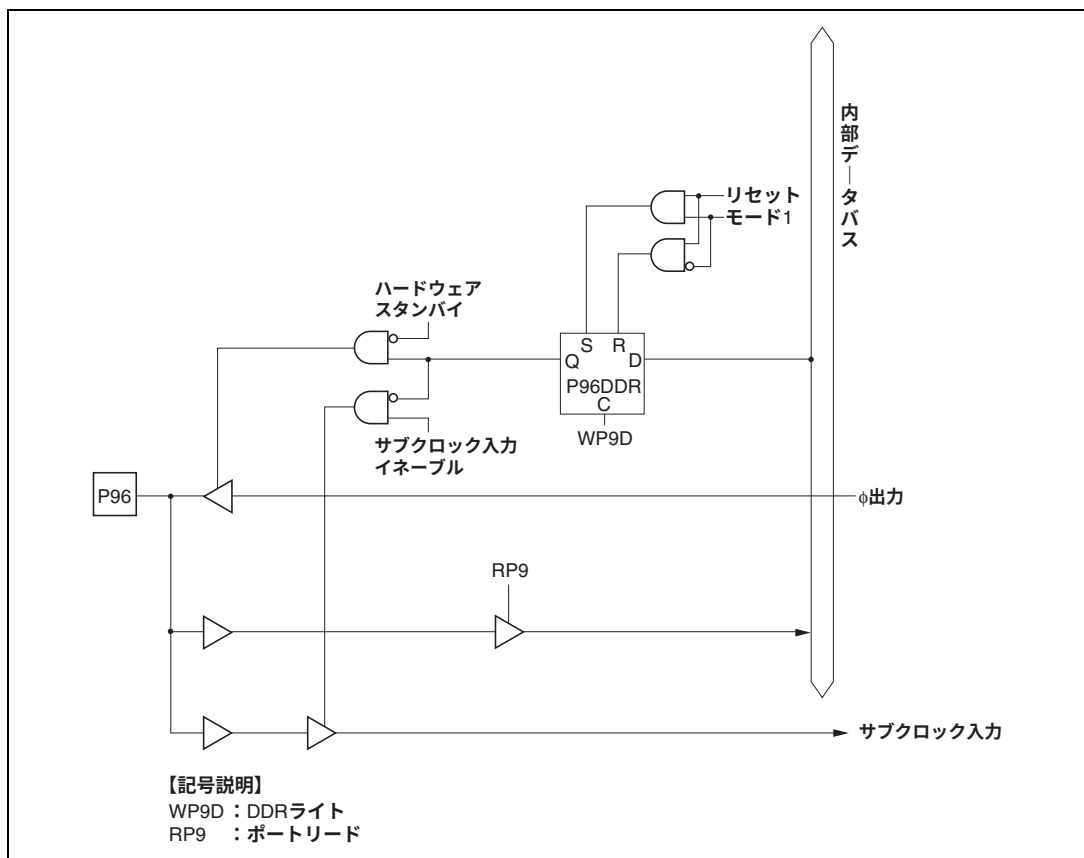


図 C.35 ポート 9 ブロック図 (P96 端子)

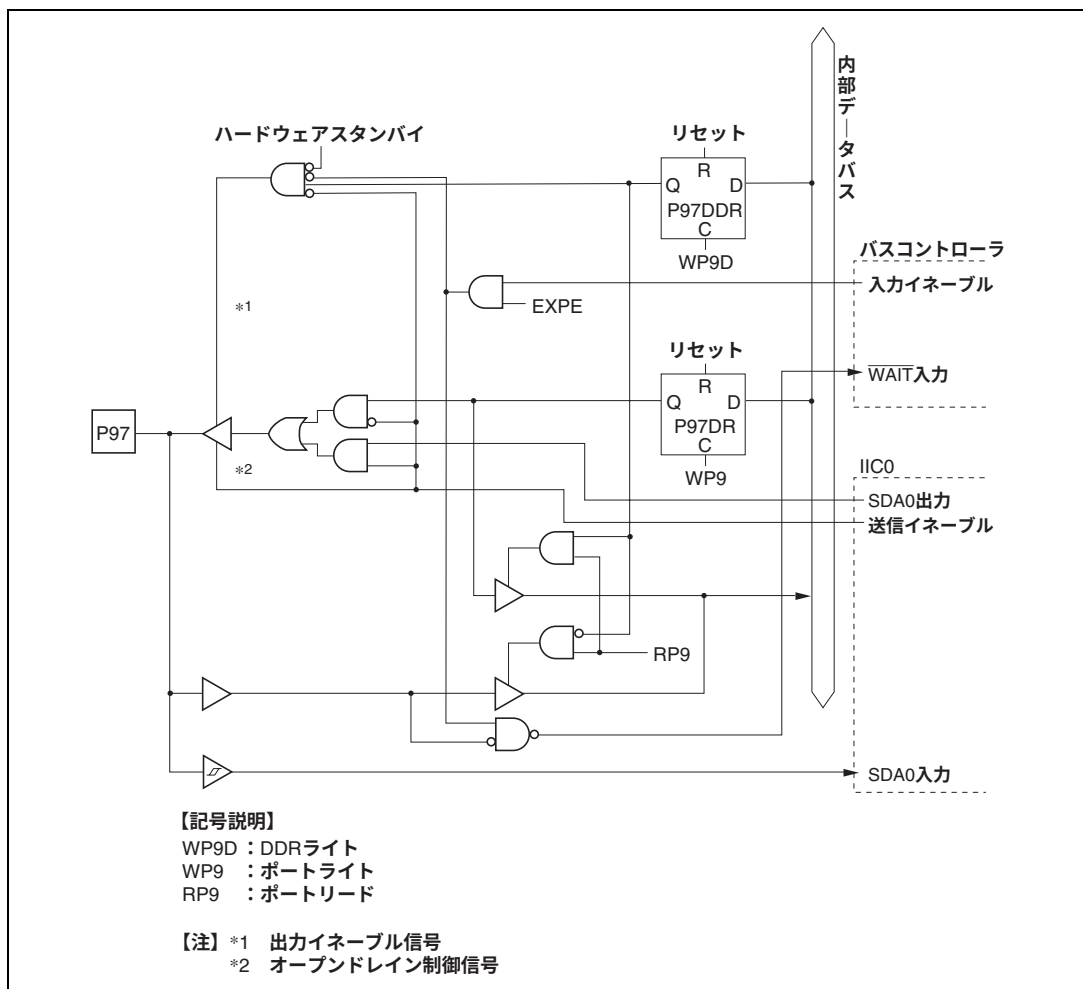


図 C.36 ポート 9 ブロック図 (P97 端子)

C.10 ポート A ブロック図

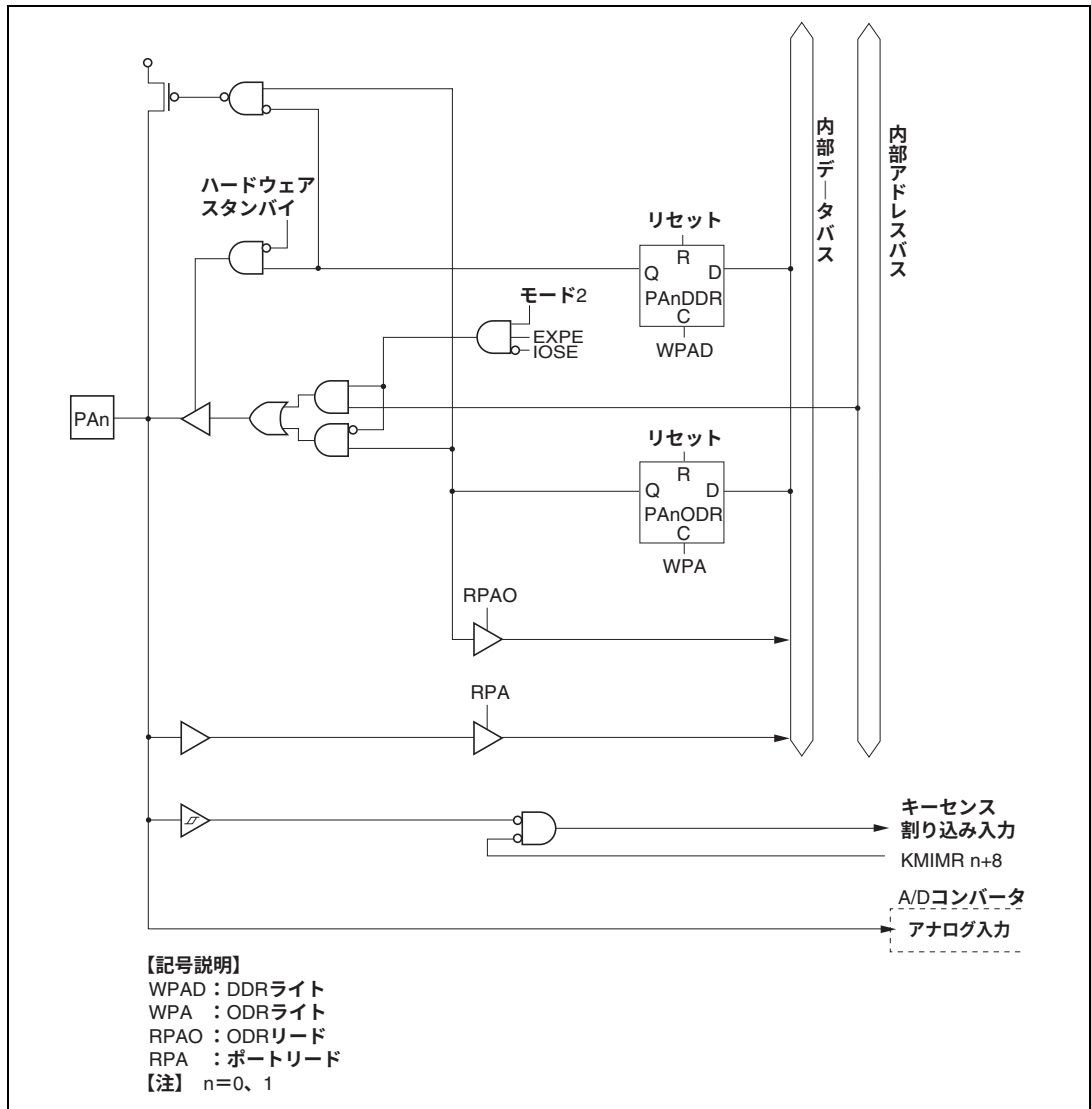


図 C.37 ポート A ブロック図 (PA0、PA1 端子)

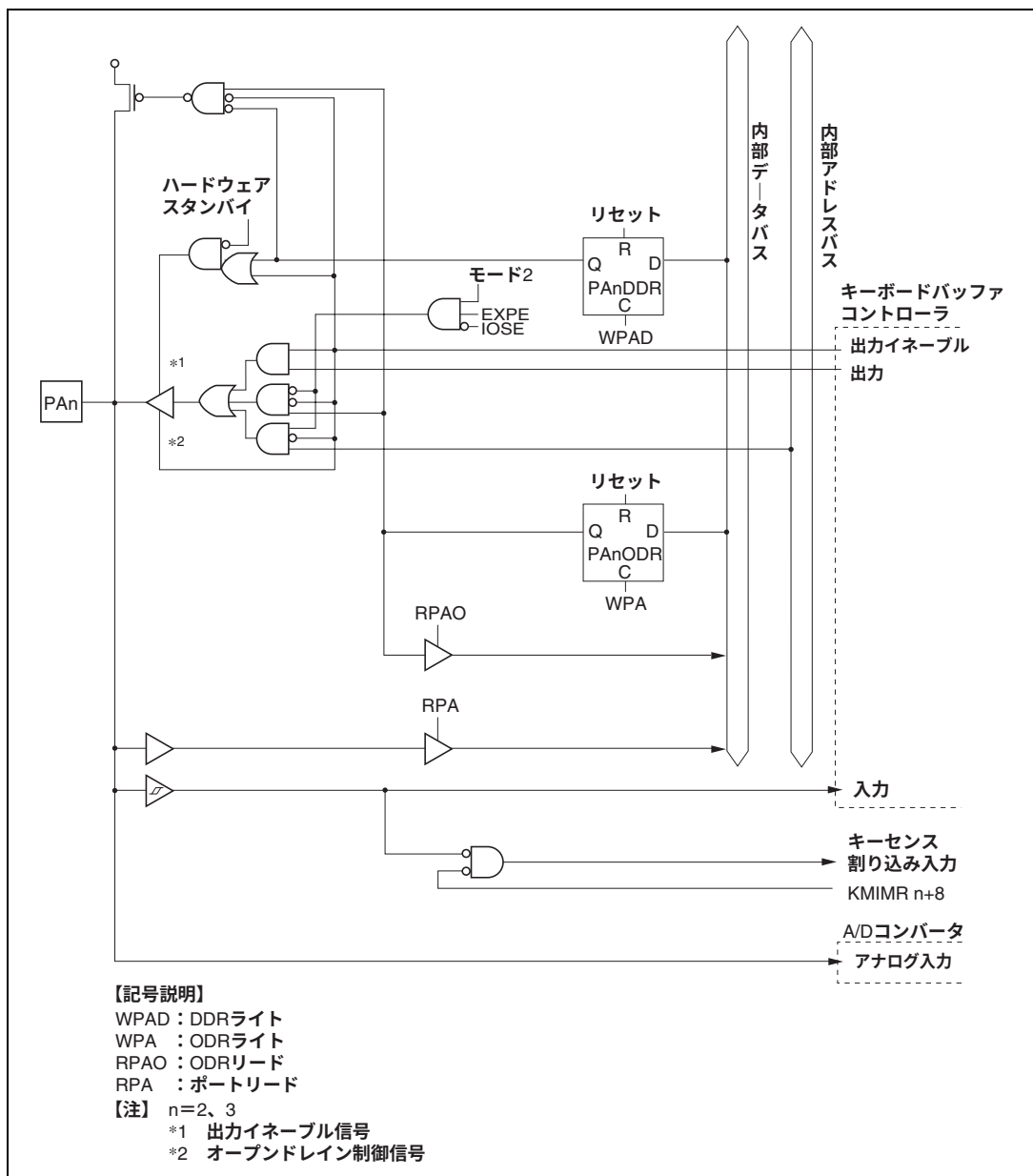


図 C.38 ポート A ブロック図 (PA2、PA3 端子)

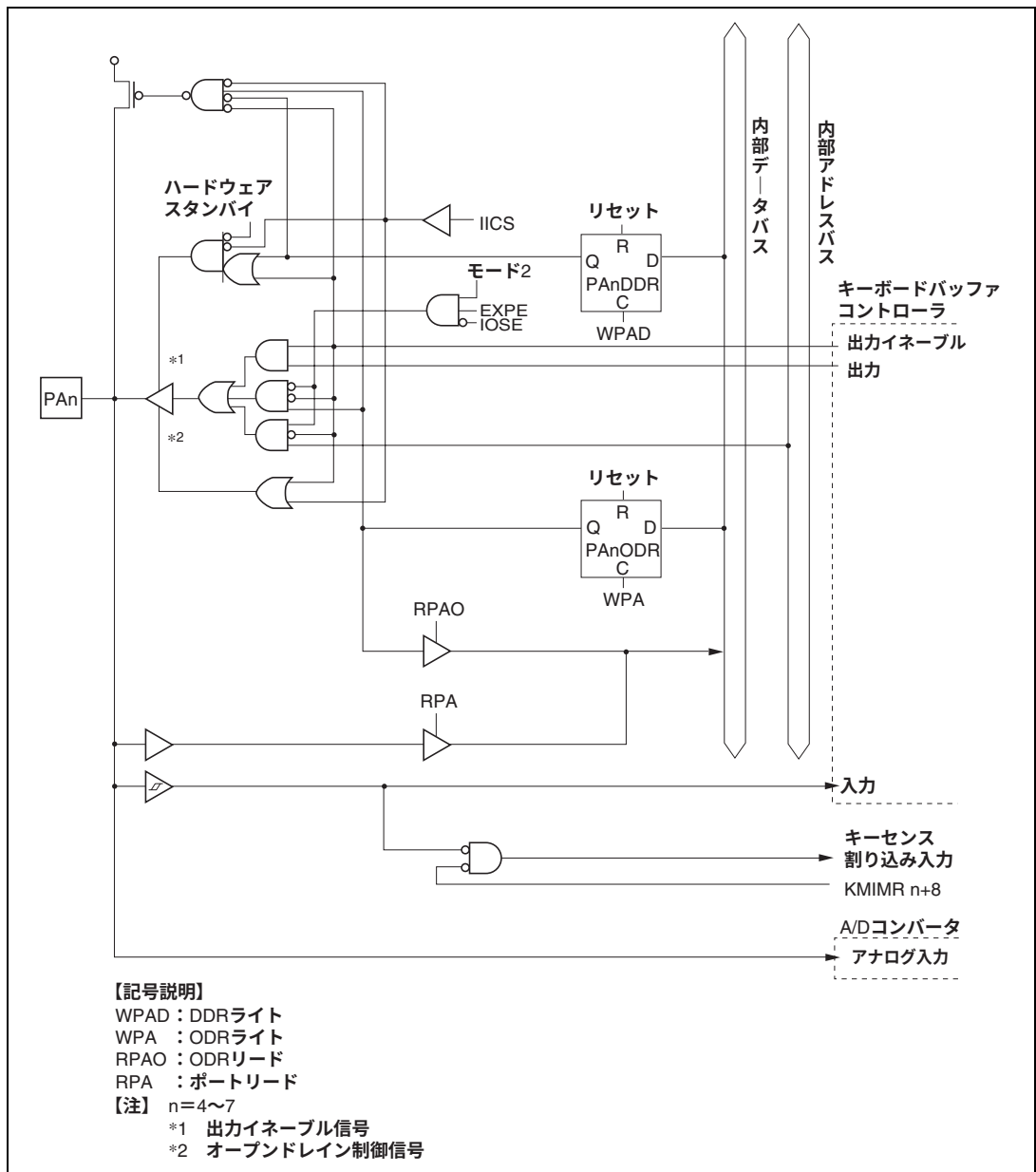


図 C.39 ポート A ブロック図 (PA4~PA7 端子)

C.11 ポート B ブロック図

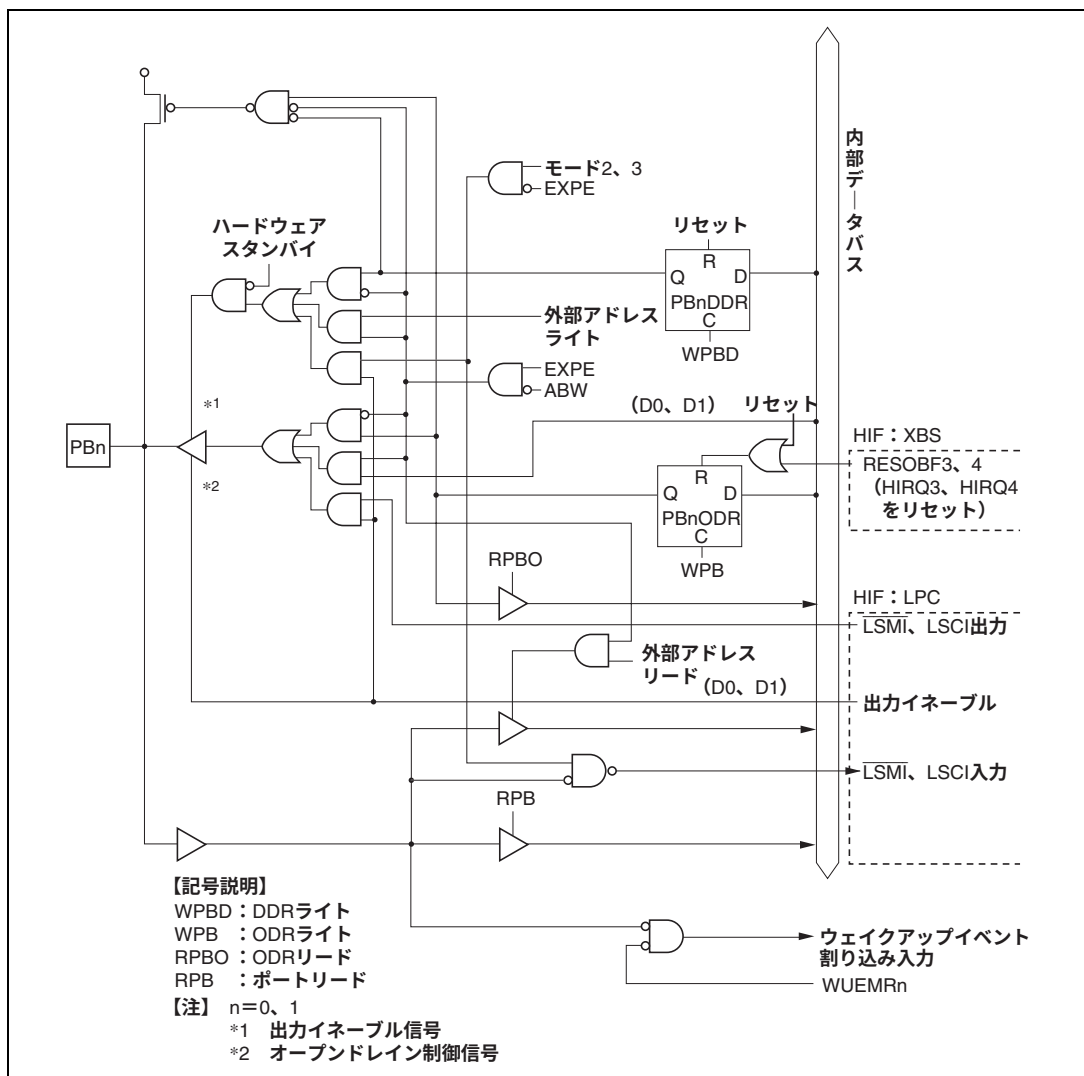


図 C.40 ポート B ブロック図 (PB0、PB1 端子)

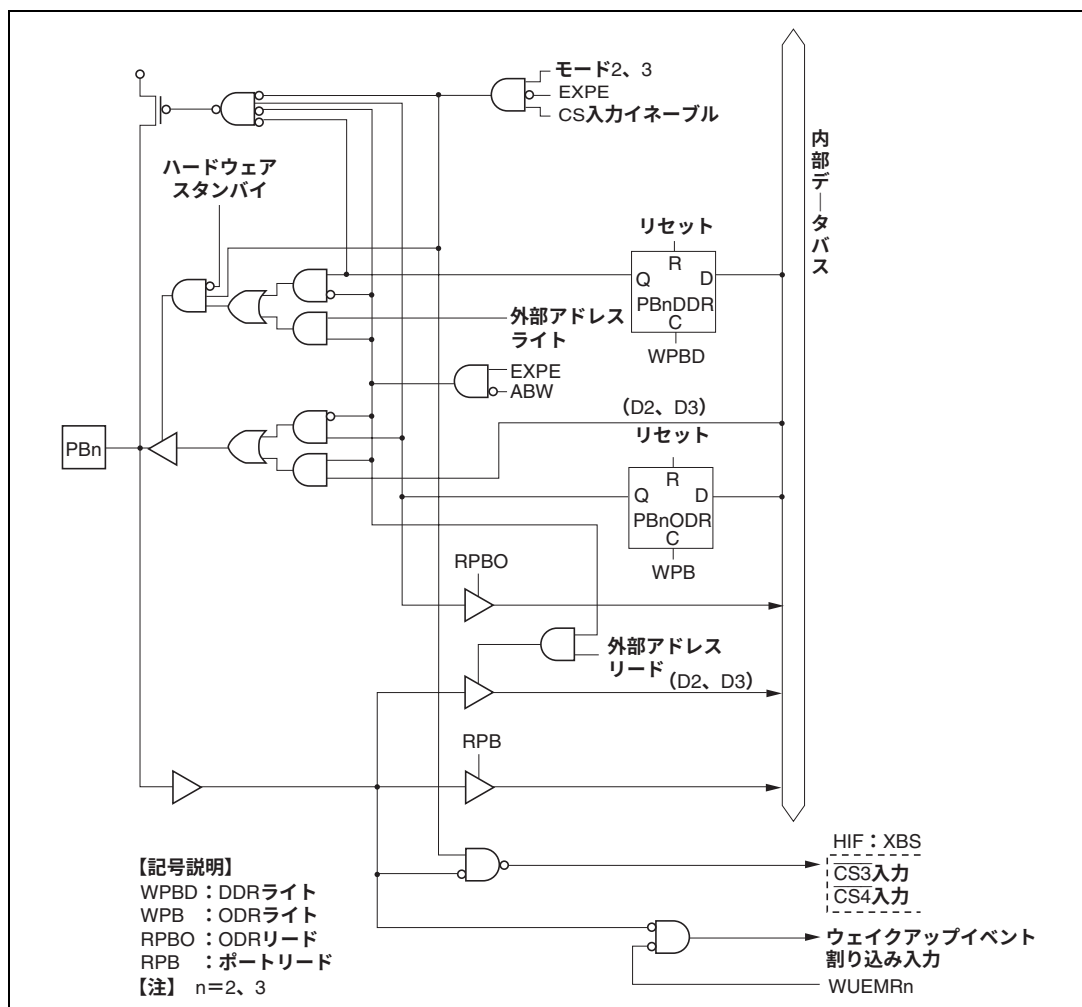


図 C.41 ポート B ブロック図 (PB2、PB3 端子)

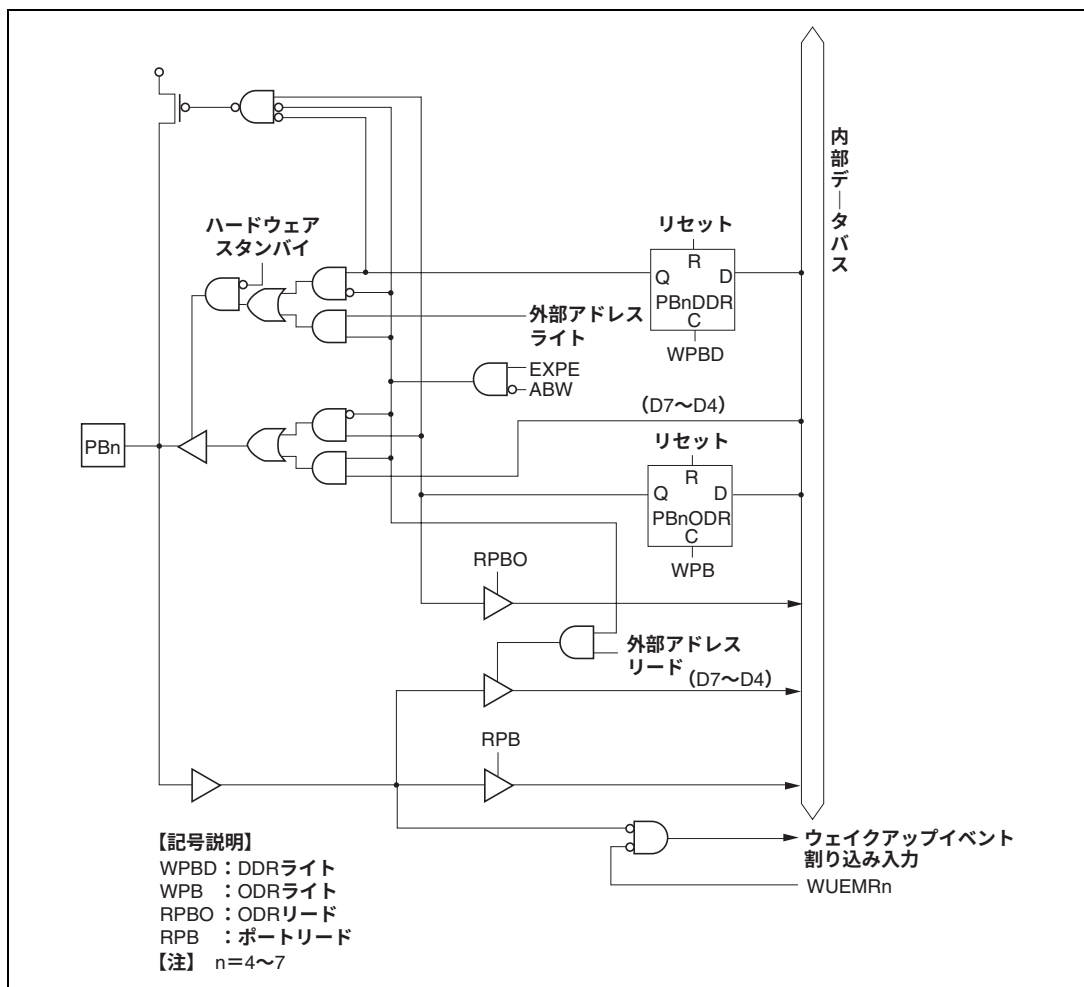


図 C.42 ポート B ブロック図 (PB4~PB7 端子)

C.12 ポート C、D、E、F、G ブロック図

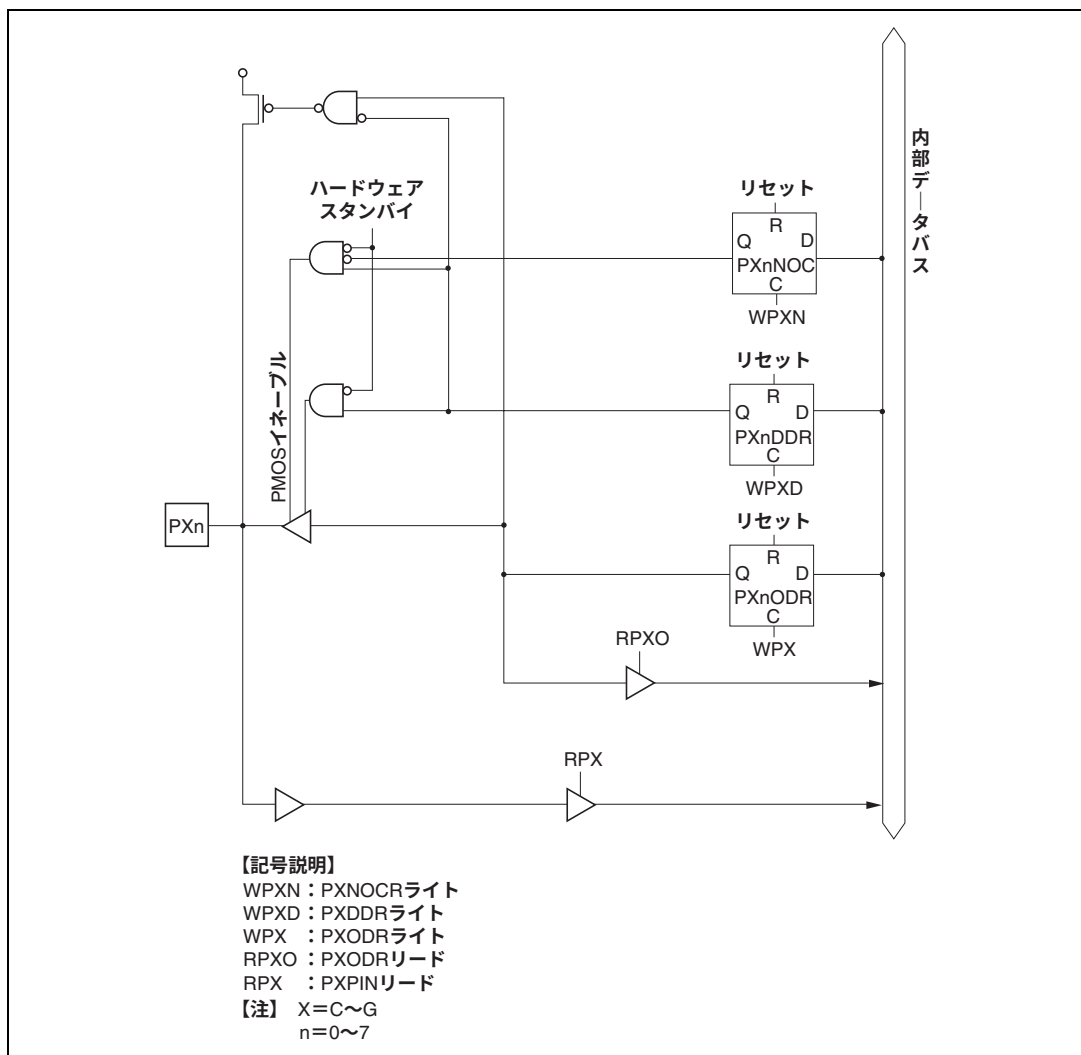


図 C.43 ポート C~G ブロック図

D. 端子状態

D.1 各処理状態におけるポートの状態

表 D.1 各処理状態における I/O ポートの状態

ポート名 端子名	MCU 動作モード	リセット	ハードウェア アスタンバイ モード	ソフトウェア アスタンバイ モード	ウォッチ モード	スリープ モード	サブスリープ モード	サブアクティブ モード	プログラム 実行状態	
ポート 1 A7～A0	1	L	T	keep*	keep*	keep*	keep*	A7～A0	A7～A0	
	2、3 (EXPE=1)	T						アドレス出力／ 入力ポート	アドレス出力／ 入力ポート	
	2、3 (EXPE=0)							入出力ポート	入出力ポート	
ポート 2 A15～A8	1	L	T	keep*	keep*	keep*	keep*	A15～A8	A15～A8	
	2、3 (EXPE=1)	T						アドレス出力／ 入力ポート	アドレス出力／ 入力ポート	
	2、3 (EXPE=0)							入出力ポート	入出力ポート	
ポート 3 D15～D8	1	T	T	T	T	T	T	D15～D8	D15～D8	
	2、3 (EXPE=1)			keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=0)									
ポート 4	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=1)									
	2、3 (EXPE=0)									
ポート 5	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=1)									
	2、3 (EXPE=0)									
ポート 6	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=1)									
	2、3 (EXPE=0)									
ポート 7	1	T	T	T	T	T	T	入力ポート	入力ポート	
	2、3 (EXPE=1)									
	2、3 (EXPE=0)									
ポート 8	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=1)									
	2、3 (EXPE=0)									
ポート 97 WAIT	1	T	T	T／keep	T／keep	T／keep	T／keep	WAIT／ 入出力ポート	WAIT／ 入出力ポート	
	2、3 (EXPE=1)			keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=0)									
ポート 96 φ EXCL	1	クロック出力	T	[DDR=1] H	EXCL 入力	[DDR=1]	EXCL 入力	EXCL 入力	クロック出力／ EXCL 入力／ 入力ポート	
	2、3 (EXPE=1)	T		クロック出力 [DDR=0] T						
	2、3 (EXPE=0)									
ポート 95～93 AS、HWR、RD	1	H	T	H	H	H	H	AS、HWR、RD	AS、HWR、RD	
	2、3 (EXPE=1)	T		keep	keep	keep	keep	入出力ポート	入出力ポート	
	2、3 (EXPE=0)									

ポート名 端子名	MCU 動作モード	リセット	ハードウェ アスタンバ イモード	ソフトウェ アスタンバ イモード	ウォッチ モード	スリープ モード	サブスリープ モード	サブアクティブ モード	プログラム 実行状態
ポート 92、91	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=1)								
	2、3 (EXPE=0)								
ポート 90 LWR	1	T	T	H/keep	H/keep	H/keep	H/keep	LWR/	LWR/
	2、3 (EXPE=1)			keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)							入出力ポート	入出力ポート
ポート A A23～A16	1	T	T	keep*	keep*	keep*	keep*	入出力ポート	入出力ポート
	2、3 (EXPE=1)							A23～A16/	A23～A16/
	2、3 (EXPE=0)							入出力ポート	入出力ポート
ポート B D7～D0	1	T	T	T/keep	T/keep	T/keep	T/keep	D7～D0/	D7～D0/
	2、3 (EXPE=1)			keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=0)							入出力ポート	入出力ポート
ポート C～G (H8S/2169)	1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3 (EXPE=1)								
	2、3 (EXPE=0)								

【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス (DDR=0、PCR=1 の場合、入力プルアップ MOS は、ON 状態を保持)
出力ポートは保持

なお、端子により、内蔵周辺モジュールが初期化され、DDR、DR で決まる入出力ポートとなる場合があります。

DDR : データディレクションレジスタ

【注】 * アドレス出力の場合、最後にアクセスしたアドレスを保持。

E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて

E.1 ハードウェアスタンバイモードの遷移タイミング

(1) SYSCR の RAME ビットを 1 にセットした状態で RAM の内容を保持する場合

図 E.1 に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、10 システムクロック前に $\overline{\text{RES}}$ 信号を Low としてください。

また、 $\overline{\text{RES}}$ 信号の立ち上がりは、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し、0ns 以上としてください。

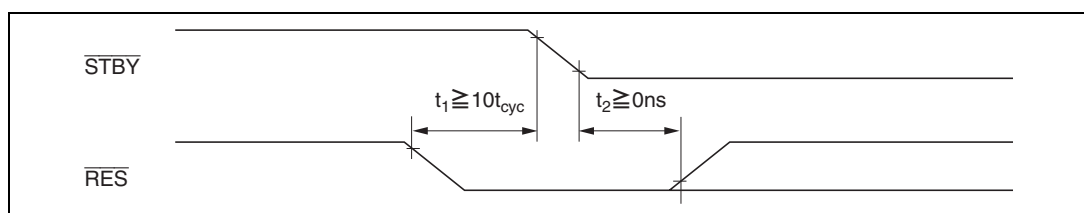


図 E.1 ハードウェアスタンバイモードの遷移タイミング

(2) SYSCR の RAME ビットを 0 にクリアした状態または RAM の内容を保持しない場合

(1) のように $\overline{\text{RES}}$ 信号を Low にする必要はありません。

E.2 ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$ 信号の立ち上がりに対し、100ns 以上前に $\overline{\text{RES}}$ 信号を Low にしてください。

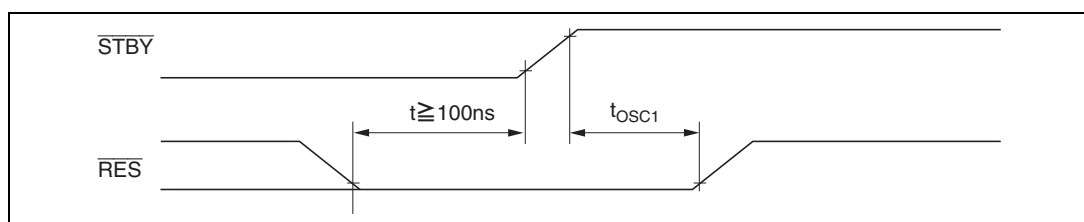


図 E.2 ハードウェアスタンバイモードからの復帰タイミング

F. 型名一覧

表 F.1 型名一覧

製品分類		製品型名	マーク型名	パッケージ (コード)
H8S/2149	F-ZTAT 版	HD64F2149YV	64F2149YVFA10	100 ピンプラスチック QFP (FP-100B)
			64F2149YVTE10	100 ピンプラスチック TQFP (TFP-100B)
H8S/2169	F-ZTAT 版	HD64F2169YV	64F2169YVTE10	144 ピンプラスチック TQFP (TFP-144)

G. 外形寸法図

H8S/2149 の外形寸法図を図 G.1、図 G.2 に示します。また、H8S/2169 の外形寸法図を図 G.3 に示します。

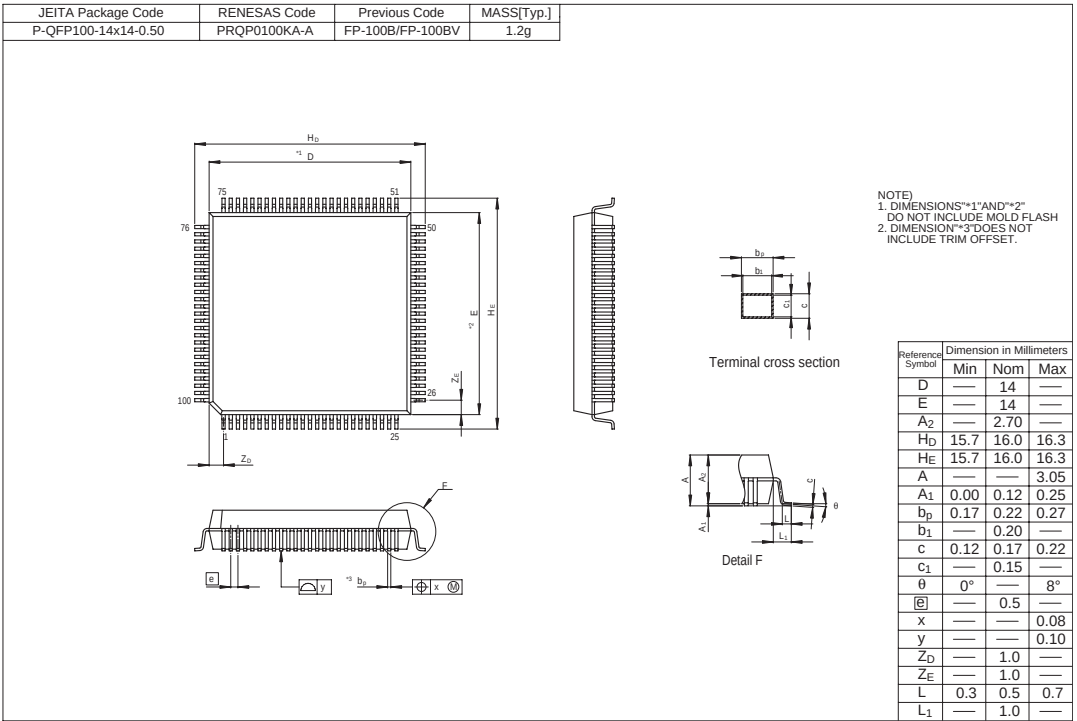


図 G.1 FP-100B の外形寸法図

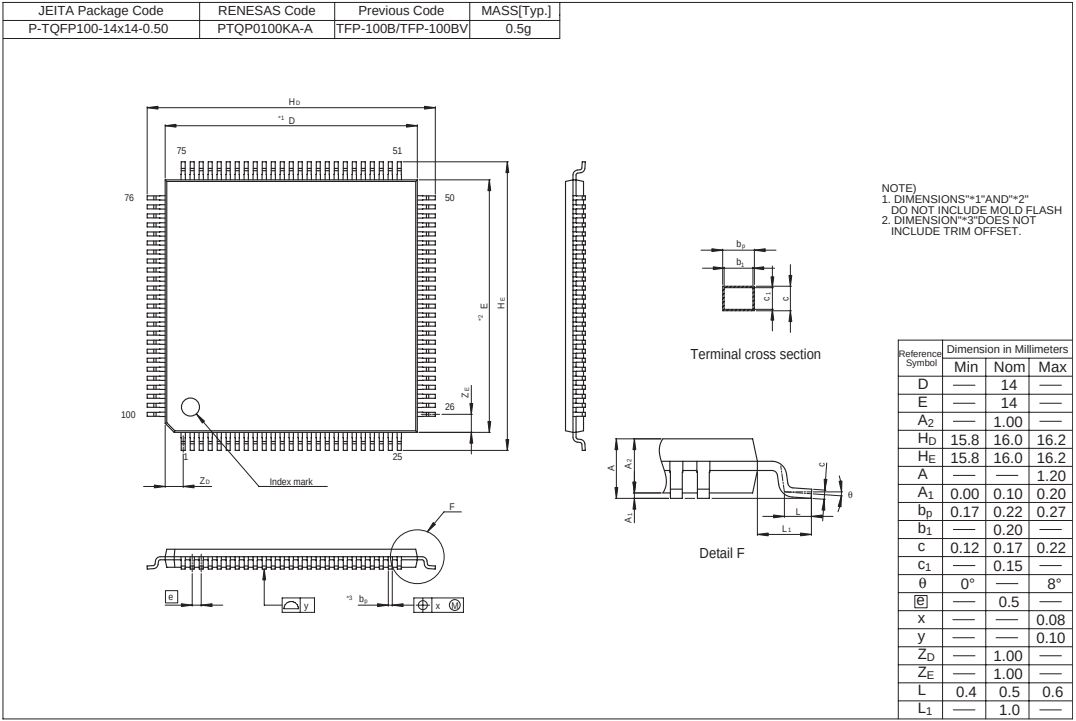


図 G.2 TFP-100B の外形寸法図

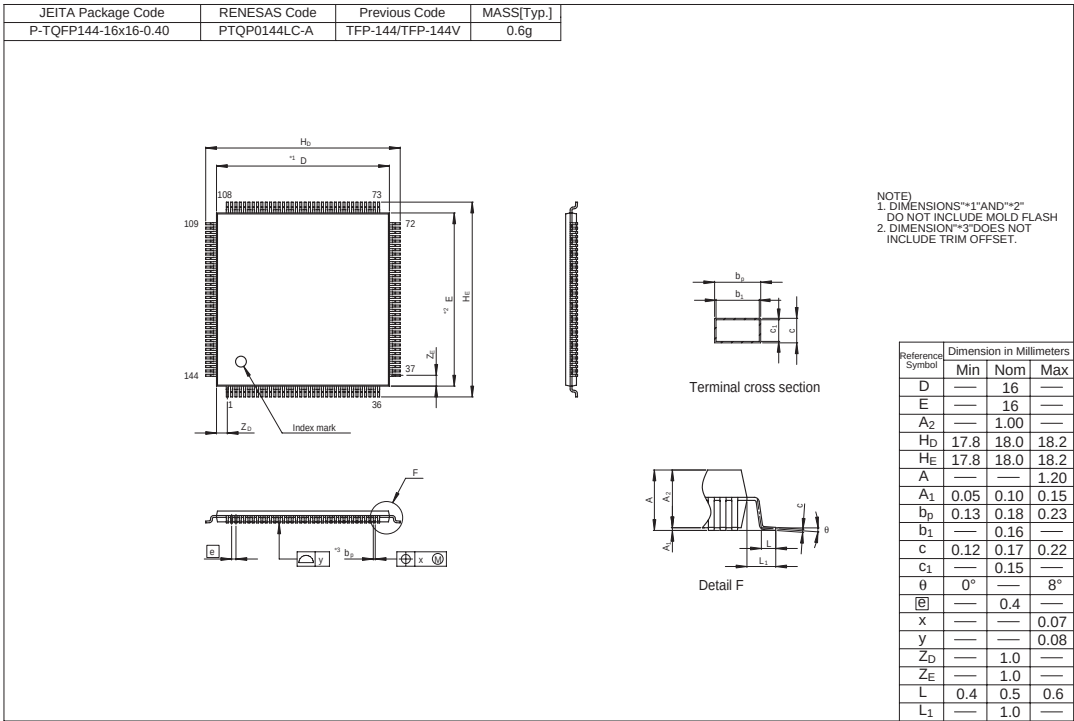


図 G.3 TFP-144 の外形寸法図

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2169F-ZTATTM、H8S/2149-ZTATTM

発行年月日 1999 年 4 月 第 1 版
2006 年 1 月 19 日 Rev.4.00
発行 株式会社ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

営業お問合せ窓口
株式会社ルネサス販売



<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com

H8S/2169F-ZTAT™、H8S/2149 F-ZTAT™ ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0312-0400