

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

暂定版

M16C/64 群

瑞萨 16 位单片机

M16C 族 / M16C/60 系列

Notes regarding these materials

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guaranties regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
 - (1) artificial life support devices or systems
 - (2) surgical implantations
 - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
 - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

注意

本文只是参考译文，前页所载英文版“Cautions”具有正式效力。

关于利用本资料时的注意事项

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页 (<http://www.renesas.com>) 等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而致使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统(如各种安全装置或者运输交通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等)而设计和制造的, 特别是对于品质和可靠性要求极高的机器和系统等(将本公司指定用于汽车方面的产品用于汽车时除外)。如果要用于上述的目的, 请务必事先向本公司的营业窗口咨询。另外, 对于用于上述目的而造成的损失等, 本公司概不负责。
8. 除上述第7项内容外, 不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失, 本公司概不负责。
 - 1) 生命维持装置。
 - 2) 植埋于人体使用的装置。
 - 3) 用于治疗(切除患部、给药等)的装置。
 - 4) 其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时, 对于最大额定值、工作电源电压的范围、放热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时, 对于由此而造成的故障和出现的事故, 本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性, 但一般来说, 半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失, 希望客户能自行负责进行冗余设计、采取延烧对策及进行防止错误运行等的安全设计(包括硬件和软件两方面的设计)以及老化处理等, 这是作为机器和系统的出厂保证。特别是单片机的软件, 由于单独进行验证很困难, 所以要求在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下, 有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时, 请顾客自行负责将本公司产品设置为不容易剥落的安全设计。如果从顾客的设备上剥落而造成事故时, 本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时, 不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容, 或者有其他关心的问题, 请向本公司的营业窗口咨询。

产品使用上的注意事项

本文对适用于所有单片机产品的“使用注意事项”进行说明，有关个别的使用注意事项请参照正文。此外，如果出现与本手册的正文不同的记载，以本文的记载为准。

1. 未使用引脚的处理

【注意】将未使用的引脚按照本文的“未使用引脚的处理”进行处理。

CMOS产品的输入引脚一般为高阻抗输入。如果单片机在未使用的输入引脚处于开放状态下运行，就可能因感应而LSI周围的噪声外加到未使用的输入引脚，导致在LSI内部产生穿透电流，或者被误认为是输入信号，引起误动作。未使用的引脚必须按照本文的“未使用引脚的处理”的指示进行处理。

2. 接通电源时的处理

【注意】接通电源时产品处于不定状态。

接通电源时，LSI内部电路、寄存器的设定和各引脚处于不确定状态。对于用外部复位引脚进行复位的产品，在接通电源到复位有效的期间，不能保证引脚的状态。

同样，对于用内部加电复位功能进行复位的产品，在接通电源到达复位所需规定电压的期间，不能保证引脚的状态。

3. 禁止存取保留地址

【注意】禁止存取保留地址

在地址区域中分配有用作将来功能扩展的保留地址。因为无法保证存取这些地址时的运行，所以请不要进行存取。

4. 关于时钟

【注意】复位时，必须在时钟稳定后解除复位。

在程序执行中切换时钟时，必须在切换目的时钟稳定之后进行。复位时，对于通过使用外部谐振器（或者外部振荡电路）的时钟开始运行的系统，必须在时钟充分稳定后解除复位。另外，在程序执行中切换成使用外部谐振器（或者外部振荡电路）的时钟时，必须在切换目的时钟充分稳定后进行。

5. 关于产品间的差异

【注意】在更换不同型号的产品时，必须事先确认是否没问题。

即使是同一个群中的单片机，如果产品型号不同，就可能因内部存储器、版图模式等的不同而引起特性的不同。因此，在更换不同型号的产品时，必须对每一个型号的产品进行系统评价测试。

本手册的使用方法

1 目的和对象

本手册是一本帮助用户理解本单片机的硬件功能和电特性的手册，它以设计本单片机应用系统的用户为对象。在使用本手册时，需要具备电路、逻辑电路以及单片机的基础知识。

本手册由产品概要、CPU、系统控制功能、外围功能、电特性、使用注意事项等几部分组成。

必须在充分确认注意事项后使用本单片机。注意事项记载在各章的正文中、各章的最后和注意事项的章节中。

修订记录归纳了对旧版本记载内容的更正或追加的主要位置，但是没有记录全部的修订内容。详细内容请通过本手册的正文确认。

为 M16C/64 群准备了以下的文献。请使用最新的文献，最新版本刊登在瑞萨科技的主页上。

文献的种类	记载内容	资料名	资料号
数据表	硬件的概要和电特性	M16C/64F 群数据表	REJ03B0216
硬件手册	硬件的说明（引脚配置、存储器映像、外围功能的说明、电特性、时序）和运行说明 ※有关外围功能的使用方法，请参照应用注意事项。	M16C/64 群硬件手册	本硬件手册
应用注意事项	外围功能的使用方法、应用例子 参考程序 汇编语言、C 语言的编程方法	刊登在瑞萨科技的主页上	
RENESAS TECHNICAL UPDATE	有关产品规格、文献等的速报		

2 数字、符号的表示

本手册使用的寄存器名或位名、数字或符号的表示范例如下所示。

1. 寄存器名、位名、引脚名

在正文中用符号表示。符号后面带有寄存器、位、引脚字样加以区别。

(例) PM0 寄存器的 PM03 位

P3_5 引脚、VCC 引脚
2. 数字的表示

2 进制数的后面带有“b”，但是在只有 1 位时数字后面什么也没有；16 进制数后面带有“h”；十进制数后面什么也没有。

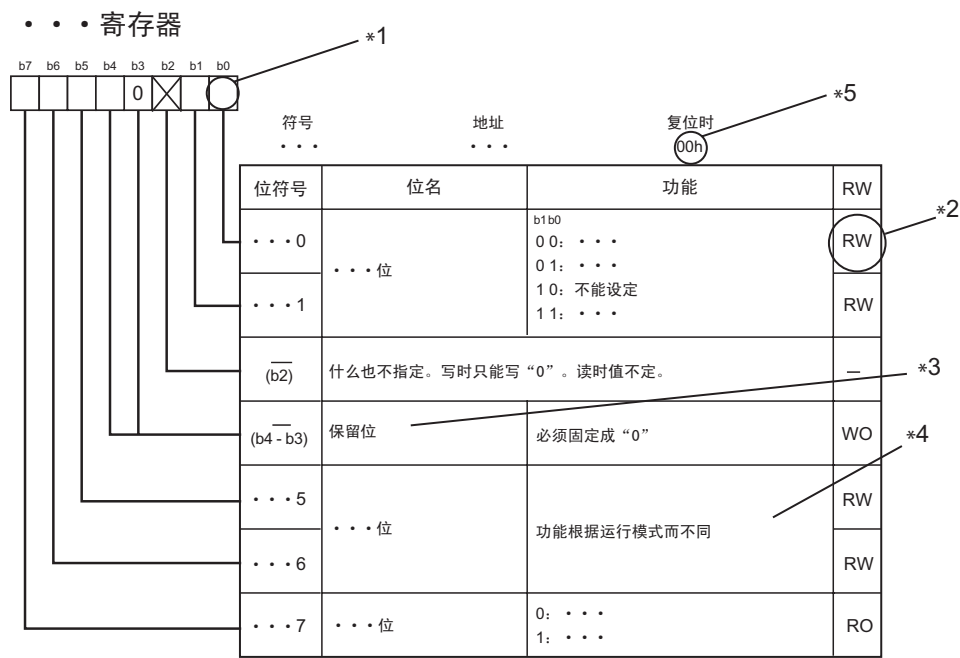
(例) 2 进制数：11b

16 进制数：EFA0h

10 进制数：1234

3 寄存器图表的阅读方法

说明在寄存器图表中使用的符号和用语。



*1

空白：按用途，置“0”或“1”。

0：置“0”。

1：置“1”。

×：什么也不指定。

*2

RW：可读，可写。

RO：可读，写数据无效。

WO：可写，不能读取位的状态。

—：什么也不指定。

*3

- 保留位
保留位，必须写指定值。

*4

- 什么也不指定
对该位，什么也不指定。根据将来外围功能的发展，可能出现新的功能。写数据时只能写“0”。
- 不能设定
不保证设定后的运行。
- 功能根据运行模式而不同
位功能根据外围功能的模式发生变化，请参照各模式的寄存器图表。

*5

2 进制或者 16 进制的记数法按各手册而定。

4 省略语及简称的说明

省略 / 简称	全称	备注
ACIA	Asynchronous Communication Interface Adapter	异步通信适配器
bps	bits per second	传送速度单位
CRC	Cyclic Redundancy Check	循环冗余校验
DMA	Direct Memory Access	
DMAC	Direct Memory Access Controller	
GSM	Global System for Mobile Communications	
Hi-Z	High Impedance	
IEBus	Inter Equipment bus	NEC 电子公司提倡的通信方式
I/O	Input/Output	输入 / 输出
IrDA	Infrared Data Association	红外线数据协会
LSB	Least Significant Bit	最低有效位
MSB	Most Significant Bit	最高有效位
NC	Non-Connection	未连接引脚
PLL	Phase Locked Loop	锁相环路
PWM	Pulse Width Modulation	脉冲宽度调制
SFR	Special Function Registers	外围电路控制寄存器组
SIM	Subscriber Identity Module	ISO-7816 规定的 IC 卡
UART	Universal Asynchronous Receiver/Transmitter	异步串行接口
VCO	Voltage Controlled Oscillator	电压控制振荡器

所有商标及注册商标分别归属于其所有者。

IEBus 是 NEC 电子公司的注册商标。

目 录

地址 - 页速查表.....	速查表 -1
1. 概要	1
1.1 特点	1
1.1.1 用途	1
1.2 规格概要	2
1.3 产品一览表	3
1.4 框图	5
1.5 引脚连接图	6
1.6 引脚功能的说明	10
2. 中央处理器	13
2.1 数据寄存器 (R0、R1、R2、R3)	14
2.2 地址寄存器 (A0、A1)	14
2.3 帧基址寄存器 (FB)	14
2.4 中断表寄存器 (INTB)	14
2.5 程序计数器 (PC)	14
2.6 用户堆栈指针 (USP) 和中断堆栈指针 (ISP)	14
2.7 堆栈基址寄存器 (SB)	14
2.8 标志寄存器 (FLG)	14
2.8.1 进位标志 (C 标志)	14
2.8.2 调试标志 (D 标志)	14
2.8.3 零标志 (Z 标志)	14
2.8.4 符号标志 (S 标志)	15
2.8.5 寄存器组指定标志 (B 标志)	15
2.8.6 上溢标志 (O 标志)	15
2.8.7 中断允许标志 (I 标志)	15
2.8.8 堆栈指针指定标志 (U 标志)	15
2.8.9 处理器中断优先级 (IPL)	15
2.8.10 保留位	15
3. 存储器	16
4. SFR	17
5. 复位	31
5.1 硬件复位 1	31
5.1.1 电源稳定的情况	31
5.1.2 接通电源的情况	31
5.2 硬件复位 2	33
5.3 软件复位	33
5.4 看门狗定时器复位	34
5.5 振荡停止检测复位	34
5.6 内部区域的状态	34
6. 电压检测电路	35
6.1 硬件复位 2	39
6.2 低电压检测中断	41
6.3 停止模式的制约	43
6.4 等待模式的制约	43

6.5	冷启动 / 热启动的判断功能	43
7.	处理器模式	45
7.1	处理器模式的种类	45
7.2	处理器模式的设定	45
7.3	内部存储器	48
8.	总线	50
8.1	总线模式	50
8.1.1	分离总线	50
8.1.2	多路复用总线	50
8.2	总线控制	51
8.2.1	地址总线	51
8.2.2	数据总线	51
8.2.3	片选信号	51
8.2.4	读写信号	54
8.2.5	<u>ALE</u> 信号	54
8.2.6	<u>RDY</u> 信号	55
8.2.7	<u>HOLD</u> 信号	56
8.2.8	BCLK 输出	56
8.2.9	存取内部区域时的外部总线状态	58
8.2.10	软件等待	58
9.	存储空间扩展功能	63
9.1	1M 字节模式	63
9.2	4M 字节模式	63
9.2.1	地址 04000h ~ 3FFFFh 和地址 C0000h ~ FFFFFh	63
9.2.2	地址 40000h ~ BFFFFh	63
10.	时钟发生电路	71
10.1	时钟发生电路的种类	71
10.1.1	主时钟	78
10.1.2	副时钟	78
10.1.3	125kHz 内部振荡器时钟 (fOCO-S)	79
10.1.4	PLL 时钟	79
10.2	CPU 时钟和外围功能时钟	81
10.2.1	CPU 时钟和 BCLK	81
10.2.2	外围功能时钟 (f1、fC32)	81
10.3	时钟输出功能	81
10.4	功率控制	82
10.4.1	正常运行模式	82
10.4.2	等待模式	83
10.4.3	停止模式	85
10.5	系统时钟保护功能	88
10.6	振荡停止 / 再振荡检测功能	89
10.6.1	CM27 位为 “0” (复位) 时的运行	89
10.6.2	CM27 位为 “1” (振荡停止 / 再振荡检测中断) 时的运行	89
10.6.3	振荡停止 / 再振荡检测功能的使用方法	90
11.	保护	91
12.	中断	92
12.1	中断的分类	92

12.2	软件中断	92
12.2.1	未定义指令中断	92
12.2.2	上溢中断	92
12.2.3	BRK 中断	92
12.2.4	INT 指令中断	93
12.3	硬件中断	93
12.3.1	特殊中断	93
12.3.2	外围功能中断	94
12.4	中断和中断向量	94
12.4.1	固定向量表	94
12.4.2	可变向量表	95
12.5	中断控制	97
12.5.1	I 标志	98
12.5.2	IR 位	98
12.5.3	ILVL2 ~ ILVL0 位、IPL	99
12.5.4	中断响应顺序	99
12.5.5	中断响应时间	100
12.5.6	接受中断请求时的 IPL 变化	101
12.5.7	寄存器压栈	101
12.5.8	从中断程序的返回	102
12.5.9	中断优先级	102
12.5.10	中断优先级的判断电路	103
12.6	INT 中断	104
12.7	NMI 中断	106
12.8	键输入中断	106
12.9	地址匹配中断	107
13.	看门狗定时器	109
13.1	计数源保护模式无效	113
13.2	计数源保护模式有效	114
14.	DMAC	115
14.1	传送周期	121
14.1.1	传送源地址和传送目标地址的影响	121
14.1.2	BYTE 引脚的影响	121
14.1.3	软件等待的影响	121
14.1.4	RDY 信号的影响	121
14.2	DMAC 传送周期数	123
14.3	DMA 允许	124
14.4	DMA 请求	124
14.5	通道的优先级和 DMA 传送时序	125
15.	定时器	126
15.1	定时器 A	129
15.1.1	定时器模式	135
15.1.2	事件计数器模式	137
15.1.3	单触发定时器模式	142
15.1.4	脉宽调制模式 (PWM 模式)	144
15.2	定时器 B	147
15.2.1	定时器模式	151
15.2.2	事件计数器模式	152
15.2.3	脉冲周期测量模式和脉宽测量模式	153

16. 三相马达控制的定时器功能	156
17. 串行接口	166
17.1 UARTi (i=0 ~ 2, 5 ~ 7)	166
17.1.1 时钟同步串行 I/O 模式	177
17.1.2 异步串行 I/O (UART) 模式	185
17.1.3 特殊模式 1 (I ² C 模式)	193
17.1.4 特殊模式 2	201
17.1.5 特殊模式 3 (IE 模式)	205
17.1.6 特殊模式 4 (SIM 模式) (UART2)	208
17.2 SI/O3 和 SI/O4	213
17.2.1 SI/Oi 的运行时序	217
17.2.2 CLK 极性选择	217
17.2.3 SOUTi 初始值的设定功能	218
17.2.4 发送后的 SOUTi 状态的选择	219
18. A/D 转换器	220
18.1 模式的说明	224
18.1.1 单次模式	224
18.1.2 重复模式	226
18.1.3 单次扫描模式	228
18.1.4 重复扫描模式 0	230
18.1.5 重复扫描模式 1	232
18.2 转换速度	234
18.3 扩展模拟输入引脚	234
18.4 消耗电流降低功能	234
18.5 A/D 转换时的传感器输出阻抗	235
19. D/A 转换器	236
19.1 概要	236
20. CRC 运算	238
21. 可编程输入 / 输出端口	240
21.1 端口 Pi 方向寄存器 (PDi 寄存器 i=0 ~ 10)	240
21.2 端口 Pi 寄存器 (Pi 寄存器 i=0 ~ 10)	240
21.3 上拉控制寄存器 0 ~ 上拉控制寄存器 2 (PUR0 ~ PUR2 寄存器)	240
21.4 端口控制寄存器 (PCR 寄存器)	240
22. 闪存版	252
22.1 存储器分配	253
22.1.1 引导模式	254
22.1.2 用户引导功能	254
22.2 闪存改写的禁止功能	256
22.2.1 ROM 码保护功能	256
22.2.2 ID 码检查功能	256
22.2.3 强制擦除功能	257
22.2.4 标准串行输入 / 输出模式的禁止功能	257
22.3 CPU 改写模式	259
22.3.1 EW0 模式	259
22.3.2 EW1 模式	260
22.3.3 闪存控制寄存器 (FMR0、FMR1、FMR2、FMR6 寄存器)	260

22.3.4	CPU 改写模式的注意事项	267
22.3.5	软件命令	269
22.3.6	数据保护功能	273
22.3.7	状态寄存器	274
22.3.8	全状态检查	274
22.4	标准串行输入 / 输出模式	276
22.4.1	ID 码检查功能	276
22.4.2	标准串行输入 / 输出模式中的引脚处理例子	280
22.5	并行输入 / 输出模式	281
22.5.1	ROM 码保护功能	281
23.	电特性	282
23.1	电特性	282
24.	使用时的注意事项	324
24.1	SFR	324
24.1.1	设定寄存器时的注意事项	324
24.2	复位	325
24.2.1	VCC1	325
24.2.2	CNVSS	325
24.3	外部总线	325
24.4	使用 PLL 频率合成器时	326
24.5	功率控制	326
24.6	保护	327
24.7	中断	328
24.7.1	地址 00000h 的读取	328
24.7.2	SP 的设定	328
24.7.3	NMI 中断	328
24.7.4	中断源的变更	329
24.7.5	INT 中断	329
24.7.6	中断控制寄存器的变更	330
24.7.7	看门狗定时器的中断	330
24.8	DMAC	331
24.8.1	DMiCON 寄存器的 DMAE 位的写 (i=0 ~ 3)	331
24.9	定时器	332
24.9.1	定时器 A	332
24.9.2	定时器 B	334
24.10	串行接口	335
24.10.1	时钟同步串行 I/O 模式	335
24.10.2	异步串行 I/O (UART) 模式	336
24.10.3	特殊模式 (I ² C 模式)	336
24.10.4	特殊模式 4 (SIM 模式)	336
24.10.5	SI/O3 和 SI/O4	336
24.11	A/D 转换器	337
24.12	可编程输入 / 输出端口	338
24.13	闪存版	338
24.13.1	闪存改写的禁止功能	338
24.13.2	停止模式	338
24.13.3	等待模式	338
24.13.4	低功耗模式和内部振荡器低功耗模式	338
24.13.5	命令和数据的写	338
24.13.6	编程命令	338

24.13.7	锁定位编程命令	338
24.13.8	运行速度	339
24.13.9	禁止使用的指令	339
24.13.10	中断	339
24.13.11	存取方法	339
24.13.12	用户 ROM 区的改写	339
24.13.13	DMA 传送	339
24.13.14	编程 / 擦除次数和执行时间	340
24.14	有关噪声的注意事项	340
附录		341
附录 1. 封装尺寸图		341
索引		342

地址 - 页速查表

地址	寄存器	符号	记载页
0000h			
0001h			
0002h			
0003h			
0004h	处理器模式寄存器 0	PM0	46
0005h	处理器模式寄存器 1	PM1	47
0006h	系统时钟控制寄存器 0	CM0	73
0007h	系统时钟控制寄存器 1	CM1	74
0008h	片选控制寄存器	CSR	52
0009h			
000Ah	保护寄存器	PRCR	91
000Bh	数据存储体寄存器	DBR	64
000Ch	振荡停止检测寄存器	CM2	75
000Dh			
000Eh			
000Fh			
0010h	程序 2 区域控制寄存器	PRG2C	48
0011h			
0012h	外围时钟选择寄存器	PCLKR	76
0013h			
0014h			
0015h	时钟预分频器复位标志	CPSRF	149
0016h			
0017h			
0018h	复位源判断标志	RSTFR	44
0019h	电压检测 2 电路标志寄存器	VCR1	36
001Ah	电压检测电路工作允许寄存器	VCR2	36
001Bh	片选扩展控制寄存器	CSE	59
001Ch	PLL 控制寄存器 0	PLC0	77
001Dh			
001Eh	处理器模式寄存器 2	PM2	76
001Fh	低电压检测中断寄存器	D4INT	37
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h			
0027h			
0028h			
0029h			
002Ah	电压监视 0 电路控制寄存器	VW0C	38
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h			

地址	寄存器	符号	记载页
0042h	INT7 中断控制寄存器	INT7IC	98
0043h	INT6 中断控制寄存器	INT6IC	98
0044h	INT3 中断控制寄存器	INT3IC	98
0045h	定时器 B5 中断控制寄存器	TB5IC	97
0046h	定时器 B4 中断控制寄存器、 UART1 总线冲突检测中断控制寄存器	TB4IC、 U1BCNIC	97
0047h	定时器 B3 中断控制寄存器、 UART0 总线冲突检测中断控制寄存器	TB3IC、 U0BCNIC	97
0048h	SI/O4 中断控制寄存器、 INT5 中断控制寄存器	S4IC、 INT5IC	98
0049h	SI/O3 中断控制寄存器、 INT4 中断控制寄存器	S3IC、 INT4IC	98
004Ah	UART2 总线冲突检测中断控制寄存器	BCNIC	97
004Bh	DMA0 中断控制寄存器	DM0IC	97
004Ch	DMA1 中断控制寄存器	DM1IC	97
004Dh	键输入中断控制寄存器	KUPIC	97
004Eh	A/D 转换中断控制寄存器	ADIC	97
004Fh	UART2 发送中断控制寄存器	S2TIC	97
0050h	UART2 接收中断控制寄存器	S2RIC	97
0051h	UART0 发送中断控制寄存器	S0TIC	97
0052h	UART0 接收中断控制寄存器	S0RIC	97
0053h	UART1 发送中断控制寄存器	S1TIC	97
0054h	UART1 接收中断控制寄存器	S1RIC	97
0055h	定时器 A0 中断控制寄存器	TA0IC	97
0056h	定时器 A1 中断控制寄存器	TA1IC	97
0057h	定时器 A2 中断控制寄存器	TA2IC	97
0058h	定时器 A3 中断控制寄存器	TA3IC	97
0059h	定时器 A4 中断控制寄存器	TA4IC	97
005Ah	定时器 B0 中断控制寄存器	TB0IC	97
005Bh	定时器 B1 中断控制寄存器	TB1IC	97
005Ch	定时器 B2 中断控制寄存器	TB2IC	97
005Dh	INT0 中断控制寄存器	INT0IC	98
005Eh	INT1 中断控制寄存器	INT1IC	98
005Fh	INT2 中断控制寄存器	INT2IC	98
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2 中断控制寄存器	DM2IC	97
006Ah	DMA3 中断控制寄存器	DM3IC	97
006Bh	UART5 总线冲突检测中断控制寄存器	U5BCNIC	97
006Ch	UART5 发送中断控制寄存器	S5TIC	97
006Dh	UART5 接收中断控制寄存器	S5RIC	97
006Eh	UART6 总线冲突检测中断控制寄存器	U6BCNIC	97
006Fh	UART6 发送中断控制寄存器	S6TIC	97
0070h	UART6 接收中断控制寄存器	S6RIC	97
0071h	UART7 总线冲突检测中断控制寄存器	U7BCNIC	97
0072h	UART7 发送中断控制寄存器	S7TIC	97
0073h	UART7 接收中断控制寄存器	S7RIC	97
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
D080h ~ D17Fh			

空栏为保留区，不能存取。

地址	寄存器	符号	记载页
0180h 0181h 0182h	DMA0 源指针	SAR0	120
0183h			
0184h 0185h 0186h			
0187h	DMA0 目标指针	DAR0	120
0188h 0189h	DMA0 传送计数器	TCR0	120
018Ah			
018Bh			
018Ch	DMA0 控制寄存器	DM0CON	119
018Dh 018Eh 018Fh			
0190h 0191h 0192h	DMA1 源指针	SAR1	120
0193h			
0194h 0195h 0196h			
0197h	DMA1 目标指针	DAR1	120
0198h 0199h	DMA1 传送计数器	TCR1	120
019Ah			
019Bh			
019Ch	DMA1 控制寄存器	DM1CON	119
019Dh 019Eh 019Fh			
01A0h 01A1h 01A2h	DMA2 源指针	SAR2	120
01A3h			
01A4h 01A5h 01A6h			
01A7h	DMA2 目标指针	DAR2	120
01A8h 01A9h	DMA2 传送计数器	TCR2	120
01AAh			
01ABh			
01ACh	DMA2 控制寄存器	DM2CON	119
01ADh 01AEh 01AFh			
01B0h 01B1h 01B2h	DMA3 源指针	SAR3	120
01B3h			
01B4h 01B5h 01B6h			
01B7h	DMA3 目标指针	DAR3	120
01B8h 01B9h	DMA3 传送计数器	TCR3	120
01BAh			
01BBh			
01BCh	DMA3 控制寄存器	DM3CON	119
01BDh 01BEh 01BFh			
01C0h 01C1h 01C2h			

地址	寄存器	符号	记载页
01C3h 01C4h 01C5h			
01C6h 01C7h			
01C8h	定时器 B 计数源选择寄存器 0	TBCS0	150
01C9h	定时器 B 计数源选择寄存器 1	TBCS1	150
01CAh 01CBh 01CCh			
01CDh 01CEh 01CFh			
01D0h	定时器 A 计数源选择寄存器 0	TACS0	133
01D1h	定时器 A 计数源选择寄存器 1	TACS1	133
01D2h	定时器 A 计数源选择寄存器 2	TACS2	134
01D3h 01D4h			
01D5h	定时器 A 波形输出功能选择寄存器	TAPOFS	134
01D6h 01D7h 01D8h			
01D9h 01DAh 01DBh			
01DCh 01DDh 01DEh			
01DFh 01E0h 01E1h			
01E2h 01E3h 01E4h			
01E5h 01E6h 01E7h			
01E8h	定时器 B 计数源选择寄存器 2	TBCS2	150
01E9h	定时器 B 计数源选择寄存器 3	TBCS3	150
01EAh 01EBh 01ECh			
01EDh 01EEh 01EFh			
01F0h 01F1h 01F2h			
01F3h 01F4h 01F5h			
01F6h 01F7h 01F8h			
01F9h 01FAh 01FBh			
01FCh 01FDh 01FEh			
01FFh 0200h 0201h			
0202h 0203h 0204h			

空栏为保留区，不能存取。

地址	寄存器	符号	记载页
0205h	中断源选择寄存器 3	IFSR3A	105
0206h	中断源选择寄存器 2	IFSR2A	105
0207h	中断源选择寄存器	IFSR	104
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	地址匹配中断允许寄存器	AIER	108
020Fh	地址匹配中断允许寄存器 2	AIER2	108
0210h	地址匹配中断寄存器 0	RMAD0	108
0211h			
0212h			
0213h			
0214h	地址匹配中断寄存器 1	RMAD1	108
0215h			
0216h			
0217h			
0218h	地址匹配中断寄存器 2	RMAD2	108
0219h			
021Ah			
021Bh			
021Ch	地址匹配中断寄存器 3	RMAD3	108
021Dh			
021Eh			
021Fh			
0220h	闪存控制寄存器 0	FMR0	260
0221h	闪存控制寄存器 1	FMR1	261
0222h	闪存控制寄存器 2	FMR2	261
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	闪存控制寄存器 6	FMR6	262
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			
0240h			
0241h			
0242h			
0243h			
0244h	UART0 特殊模式寄存器 4	U0SMR4	176
0245h	UART0 特殊模式寄存器 3	U0SMR3	175
0246h	UART0 特殊模式寄存器 2	U0SMR2	175
0247h	UART0 特殊模式寄存器	U0SMR	174
0248h	UART0 发送 / 接收模式寄存器	U0MR	171
0249h	UART0 位速率寄存器	U0BRG	171

地址	寄存器	符号	记载页
024Ah	UART0 发送缓冲寄存器	U0TB	170
024Bh			
024Ch	UART0 发送 / 接收控制寄存器 0	U0C0	172
024Dh	UART0 发送 / 接收控制寄存器 1	U0C1	173
024Eh	UART0 接收缓冲寄存器	U0RB	170
024Fh			
0250h	UART 发送 / 接收控制寄存器 2	U0CON	174
0251h			
0252h			
0253h			
0254h	UART1 特殊模式寄存器 4	U1SMR4	176
0255h	UART1 特殊模式寄存器 3	U1SMR3	175
0256h	UART1 特殊模式寄存器 2	U1SMR2	175
0257h	UART1 特殊模式寄存器	U1SMR	175
0258h	UART1 发送 / 接收模式寄存器	U1MR	171
0259h	UART1 位速率寄存器	U1BRG	171
025Ah	UART1 发送缓冲寄存器	U1TB	170
025Bh			
025Ch	UART1 发送 / 接收控制寄存器 0	U1C0	172
025Dh	UART1 发送 / 接收控制寄存器 1	U1C1	173
025Eh	UART1 接收缓冲寄存器	U1RB	170
025Fh			
0260h			
0261h			
0262h			
0263h			
0264h	UART2 特殊模式寄存器 4	U2SMR4	176
0265h	UART2 特殊模式寄存器 3	U2SMR3	175
0266h	UART2 特殊模式寄存器 2	U2SMR2	175
0267h	UART2 特殊模式寄存器	U2SMR	174
0268h	UART2 发送 / 接收模式寄存器	U2MR	171
0269h	UART2 位速率寄存器	U2BRG	171
026Ah	UART2 发送缓冲寄存器	U2TB	170
026Bh			
026Ch	UART2 发送 / 接收控制寄存器 0	U2C0	172
026Dh	UART2 发送 / 接收控制寄存器 1	U2C1	173
026Eh	UART2 接收缓冲寄存器	U2RB	170
026Fh			
0270h	SI/O3 发送 / 接收寄存器	S3TRR	214
0271h			
0272h	SI/O3 控制寄存器	S3C	214
0273h	SI/O3 位速率寄存器	S3BRG	214
0274h	SI/O4 发送 / 接收寄存器	S4TRR	214
0275h			
0276h	SI/O4 控制寄存器	S4C	214
0277h	SI/O4 位速率寄存器	S4BRG	214
0278h	SI/O3/4 控制寄存器 2	S3/4C2	215
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h	UART5 特殊模式寄存器 4	U5SMR4	176
0285h	UART5 特殊模式寄存器 3	U5SMR3	175
0286h	UART5 特殊模式寄存器 2	U5SMR2	175
0287h	UART5 特殊模式寄存器	U5SMR	174
0288h	UART5 发送 / 接收模式寄存器	U5MR	171
0289h	UART5 位速率寄存器	U5BRG	171

空栏为保留区，不能存取。

地址	寄存器	符号	记载页
028Ah	UART5 发送缓冲寄存器	U5TB	170
028Bh			
028Ch	UART5 发送 / 接收控制寄存器 0	U5C0	172
028Dh	UART5 发送 / 接收控制寄存器 1	U5C1	173
028Eh	UART5 接收缓冲寄存器	U5RB	170
028Fh			
0290h			
0291h			
0292h			
0293h			
0294h	UART6 特殊模式寄存器 4	U6SMR4	176
0295h	UART6 特殊模式寄存器 3	U6SMR3	175
0296h	UART6 特殊模式寄存器 2	U6SMR2	175
0297h	UART6 特殊模式寄存器	U6SMR	174
0298h	UART6 发送 / 接收模式寄存器	U6MR	171
0299h	UART6 位速率寄存器	U6BRG	171
029Ah	UART6 发送缓冲寄存器	U6TB	170
029Bh			
029Ch	UART6 发送 / 接收控制寄存器 0	U6C0	172
029Dh	UART6 发送 / 接收控制寄存器 1	U6C1	173
029Eh	UART6 接收缓冲寄存器	U6RB	170
029Fh			
02A0h			
02A1h			
02A2h			
02A3h			
02A4h	UART7 特殊模式寄存器 4	U7SMR4	176
02A5h	UART7 特殊模式寄存器 3	U7SMR3	175
02A6h	UART7 特殊模式寄存器 2	U7SMR2	175
02A7h	UART7 特殊模式寄存器	U7SMR	174
02A8h	UART7 发送 / 接收模式寄存器	U7MR	171
02A9h	UART7 位速率寄存器	U7BRG	171
02AAh	UART7 发送缓冲寄存器	U7TB	170
02ABh			
02ACH	UART7 发送 / 接收控制寄存器 0	U7C0	172
02ADh	UART7 发送 / 接收控制寄存器 1	U7C1	173
02AEh	UART7 接收缓冲寄存器	U7RB	170
02AFh			
02B0h			
~			
02FFh			
0300h	定时器 B3、4、5 计数开始标志	TBSR	149
0301h			
0302h	定时器 A1-1 寄存器	TA11	161
0303h			
0304h	定时器 A2-1 寄存器	TA21	161
0305h			
0306h	定时器 A4-1 寄存器	TA41	161
0307h			
0308h	三相 PWM 控制寄存器 0	INVC0	158
0309h	三相 PWM 控制寄存器 1	INVC1	159
030Ah	三相输出缓冲寄存器 0	IDB0	160
030Bh	三相输出缓冲寄存器 1	IDB1	160
030Ch	死区时间定时器	DTT	160
030Dh	定时器 B2 的中断发生频率设定计数器	ICTB2	160
030Eh			
030Fh			
0310h	定时器 B3 寄存器	TB3	148
0311h			
0312h	定时器 B4 寄存器	TB4	148
0313h			
0314h	定时器 B5 寄存器	TB5	148
0315h			
0316h			
0317h			
0318h			
0319h			

地址	寄存器	符号	记载页
031Ah			
031Bh	定时器 B3 模式寄存器	TB3MR	148
031Ch	定时器 B4 模式寄存器	TB4MR	148
031Dh	定时器 B5 模式寄存器	TB5MR	148
031Eh			
031Fh			
0320h	计数开始标志	TABSR	131
0321h			
0322h	单触发开始标志	ONSF	132
0323h	触发选择寄存器	TRGSR	132
0324h	递增 / 递减标志	UDF	131
0325h			
0326h	定时器 A0 寄存器	TA0	130
0327h			
0328h	定时器 A1 寄存器	TA1	130
0329h			
032Ah	定时器 A2 寄存器	TA2	130
032Bh			
032Ch	定时器 A3 寄存器	TA3	130
032Dh			
032Eh	定时器 A4 寄存器	TA4	130
032Fh			
0330h	定时器 B0 寄存器	TB0	148
0331h			
0332h	定时器 B1 寄存器	TB1	148
0333h			
0334h	定时器 B2 寄存器	TB2	148
0335h			
0336h	定时器 A0 模式寄存器	TA0MR	130
0337h	定时器 A1 模式寄存器	TA1MR	130
0338h	定时器 A2 模式寄存器	TA2MR	130
0339h	定时器 A3 模式寄存器	TA3MR	130
033Ah	定时器 A4 模式寄存器	TA4MR	130
033Bh	定时器 B0 模式寄存器	TB0MR	148
033Ch	定时器 B1 模式寄存器	TB1MR	148
033Dh	定时器 B2 模式寄存器	TB2MR	148
033Eh	定时器 B2 特殊模式寄存器	TB2SC	161
033Fh			
0340h			
0341h			
0342h			
0343h			
0344h			
0345h			
0346h			
0347h			
0348h			
0349h			
034Ah			
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			

空栏为保留区，不能存取。

地址	寄存器	符号	记载页
035Ch			
035Dh			
035Eh			
035Fh			
0360h	上拉控制寄存器 0	PUR0	247
0361h	上拉控制寄存器 1	PUR1	247
0362h	上拉控制寄存器 2	PUR2	248
0363h			
0364h			
0365h			
0366h	端口控制寄存器	PCR	248
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			
0370h			
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	计数源保护模式寄存器	CSPR	112
037Dh	看门狗定时器的复位寄存器	WDTR	111
037Eh	看门狗定时器的启动寄存器	WDTS	111
037Fh	看门狗定时器的控制寄存器	WDC	111
0380h			
0381h			
0382h			
0383h			
0384h			
0385h			
0386h			
0387h			
0388h			
0389h			
038Ah			
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			
0390h	DMA2 源选择寄存器	DM2SL	117
0391h			
0392h	DMA3 源选择寄存器	DM3SL	117
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0 源选择寄存器	DM0SL	117
0399h			
039Ah	DMA1 源选择寄存器	DM1SL	117
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			

地址	寄存器	符号	记载页
03A0h			
03A1h			
03A2h			
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACh			
03ADh			
03AEh			
03AFh			
03B0h			
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRC 数据寄存器	CRCD	238
03BDh			
03BEh	CRC 输入寄存器	CRCIN	238
03BFh			
03C0h	A/D 寄存器 0	AD0	223
03C1h			
03C2h	A/D 寄存器 1	AD1	223
03C3h			
03C4h	A/D 寄存器 2	AD2	223
03C5h			
03C6h	A/D 寄存器 3	AD3	223
03C7h			
03C8h	A/D 寄存器 4	AD4	223
03C9h			
03CAh	A/D 寄存器 5	AD5	223
03CBh			
03CCh	A/D 寄存器 6	AD6	223
03CDh			
03CEh	A/D 寄存器 7	AD7	223
03CFh			
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D 控制寄存器 2	ADCON2	223
03D5h			
03D6h	A/D 控制寄存器 0	ADCON0	222
03D7h	A/D 控制寄存器 1	ADCON1	222
03D8h	D/A0 寄存器	DA0	237
03D9h			
03DAh	D/A1 寄存器	DA1	237
03DBh			
03DCh	D/A 控制寄存器	DACON	237
03DDh			
03DEh			
03DFh			
03E0h	端口 P0 寄存器	P0	246
03E1h	端口 P1 寄存器	P1	246
03E2h	端口 P0 方向寄存器	PD0	246
03E3h	端口 P1 方向寄存器	PD1	246

空栏为保留区，不能存取。

地址	寄存器	符号	记载页
03E4h	端口 P2 寄存器	P2	246
03E5h	端口 P3 寄存器	P3	246
03E6h	端口 P2 方向寄存器	PD2	246
03E7h	端口 P3 方向寄存器	PD3	246
03E8h	端口 P4 寄存器	P4	246
03E9h	端口 P5 寄存器	P5	246
03EAh	端口 P4 方向寄存器	PD4	246
03EBh	端口 P5 方向寄存器	PD5	246
03ECh	端口 P6 寄存器	P6	246
03EDh	端口 P7 寄存器	P7	246
03EEh	端口 P6 方向寄存器	PD6	246
03EFh	端口 P7 方向寄存器	PD7	246
03F0h	端口 P8 寄存器	P8	246
03F1h	端口 P9 寄存器	P9	246
03F2h	端口 P8 方向寄存器	PD8	246
03F3h	端口 P9 方向寄存器	PD9	246
03F4h	端口 P10 寄存器	P10	246
03F5h			
03F6h	端口 P10 方向寄存器	PD10	246
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			
D000h ~ D7FFh			

FFFFh	选项功能选择地址	OFS1	112
-------	----------	------	-----

空栏为保留区，不能存取。

M16C/64 群

瑞萨 16 位单片机

1. 概要

1.1 特点

M16C/64 群是装载了 M16C/60 系列 CPU 内核的闪存内置型单片机。M16C/60 系列 CPU 内核具有高功能指令和高指令效率，还具备 1M 字节的地址空间（可扩展到 4M 字节）以及快速执行指令的能力，并且因有乘法器而能进行快速运算处理。

M16C/64 群不仅功耗小，而且能通过运行模式进行功率控制，通过噪声对策结构减小辐射噪声并增大噪声耐量。

M16C/64 内置了多功能定时器、串行接口等各种外围功能，能减少系统的部件数。

1.1.1 用途

音响、照相机、TV、家电、办公设备、通信设备、便携式设备、工业设备等。

1.2 规格概要

规格概要如表 1.1 ～表 1.2 所示。

表 1.1 规格概要 (1)

分类	功能	说明
CPU	中央处理器	M16C/60 内核（乘法器：16 位 ×16 位 →32 位、 乘加运算指令：16 位 ×16 位 +32 位 →32 位） - 基本指令数：91 - 最短指令执行时间：40.0ns（f(BCLK)=25MHz、VCC1=VCC2=2.7 ~ 5.5V） - 运行模式：单芯片、存储器扩展、微处理器
存储器	ROM、RAM、 数据闪存	请参照“表 1.3 产品一览表”。
电压检测	电压检测电路	低电压检测
时钟	时钟发生电路	4 个电路 主时钟、副时钟、内部振荡器（125kHz）、PLL - 振荡停止检测：主时钟振荡停止 / 再振荡检测功能 - 分频电路：可选择 1、2、4、8、16 分频 - 低功耗结构：等待模式、停止模式
外部总线扩展	总线 存储器扩展功能	- 地址空间：1M 字节 - 外部总线接口：可插入 0 ~ 3 个等待，输出 4 个片选，具有存储空间扩展功能（可扩展到 4M 字节）和 3V/5V 接口。 - 总线模式：可选择分离总线或者多路复用总线， 可选择数据总线的宽度（8 位 /16 位）， 可选择地址总线的条数（12 条 /16 条 /20 条）。
I/O 端口	可编程输入 / 输出 端口	- CMOS 输入 / 输出：可设定 85 个上拉电阻。 - Nch 漏极开路端口：3 个
中断		中断向量数：70 个 外部中断输入：13 个（ $\overline{\text{NMI}}$ 、 $\overline{\text{INT}} \times 8$ 、键输入 ×4） 中断优先级：7 级
看门狗定时器		15 位 ×1 个（带预分频器） 可选择复位开始功能。
DMA	DMAC	4 个通道、周期挪用方式 - 启动源个数：43 个 - 传送模式：2 种（单次传送、重复传送）
定时器	定时器 A	16 位定时器 ×5 个 定时器模式、事件计数器模式、单触发定时器模式、脉宽调制（PWM）模式 事件计数器二相脉冲信号处理（二相编码器输入）×3 个
	定时器 B	16 位定时器 ×6 个 定时器模式、事件计数器模式、脉冲周期测量模式、脉宽测量模式
	用于三相马达控制的 定时器功能	三相反相器控制（使用定时器 A1、定时器 A2、定时器 A4、定时器 B2） 内置死区时间定时器
串行接口	UART0 ~ UART2、 UART5 ~ UART7	时钟同步 / 异步兼用 ×6 个通道 I ² C-bus、IEBus（注 1）、特殊模式 2 SIM(UART2)
	SI/O3、SI/O4	时钟同步专用 ×2 个通道

注 1. IEBus 是 NEC 电子公司的注册商标。

表 1.2 规格概要 (2)

分类	功能	说明
A/D 转换器		10 位分辨率 × 26 个通道 有采样 & 保持 转换时间 1.72μs
D/A 转换器		8 位分辨率 × 2 个通道
CRC 运算电路		符合 CRC-CCITT ($X^{16}+X^{12}+X^5+1$) 标准
闪存		- 编程、擦除电压: 2.7V ~ 5.5V - 编程、擦除次数: 100 次 - 程序保护: ROM 码保护、ID 码检查
调试功能		on-chip 调试、板上闪存改写功能、地址匹配 × 4
工作频率 / 电源电压		25MHz/VCC1=VCC2=2.7 ~ 5.5V
消耗电流		20mA (25MHz/VCC1=VCC2=3V) 3.0μA (VCC1=VCC2=3V、停止模式)
工作环境温度		-20°C ~ 85°C、-40°C ~ 85°C
封装		100 引脚 QFP: PRQP0100JD-B (旧封装代码: 100P6F-A) 100 引脚 LQFP: PLQP0100KB-A (旧封装代码: 100P6Q-A)

1.3 产品一览表

产品一览表如表 1.3 所示，产品型号、存储器容量和封装如图 1.1 所示。

表 1.3 产品一览表

产品型号	ROM 容量			RAM 容量	封装	备注
	程序 ROM1	程序 ROM2	数据闪存			
R5F36406NFA (开)	128K 字节	16K 字节	4K 字节 × 2 块	12K 字节	PRQP0100JD-B	工作环境温度 -20°C ~ 85°C
R5F36406NFB (开)					PLQP0100KB-A	
R5F3640DNFA (开)	256K 字节	16K 字节	4K 字节 × 2 块	16K 字节	PRQP0100JD-B	
R5F3640DNFB (开)					PLQP0100KB-A	
R5F3640MNFA (开)	512K 字节	16K 字节	4K 字节 × 2 块	31K 字节	PRQP0100JD-B	
R5F3640MNFB (开)					PLQP0100KB-A	
R5F36406DFA (开)	128K 字节	16K 字节	4K 字节 × 2 块	12K 字节	PRQP0100JD-B	工作环境温度 -40°C ~ 85°C
R5F36406DFB (开)					PLQP0100KB-A	
R5F3640DDFA (开)	256K 字节	16K 字节	4K 字节 × 2 块	16K 字节	PRQP0100JD-B	
R5F3640DDFB (开)					PLQP0100KB-A	
R5F3640MDFA (开)	512K 字节	16K 字节	4K 字节 × 2 块	31K 字节	PRQP0100JD-B	
R5F3640MDFB (开)					PLQP0100KB-A	

(开): 开发中

注 1. 各封装的旧封装代码如下:

PRQP0100JD-B: 100P6F-A, PLQP0100KB-A: 100P6Q-A

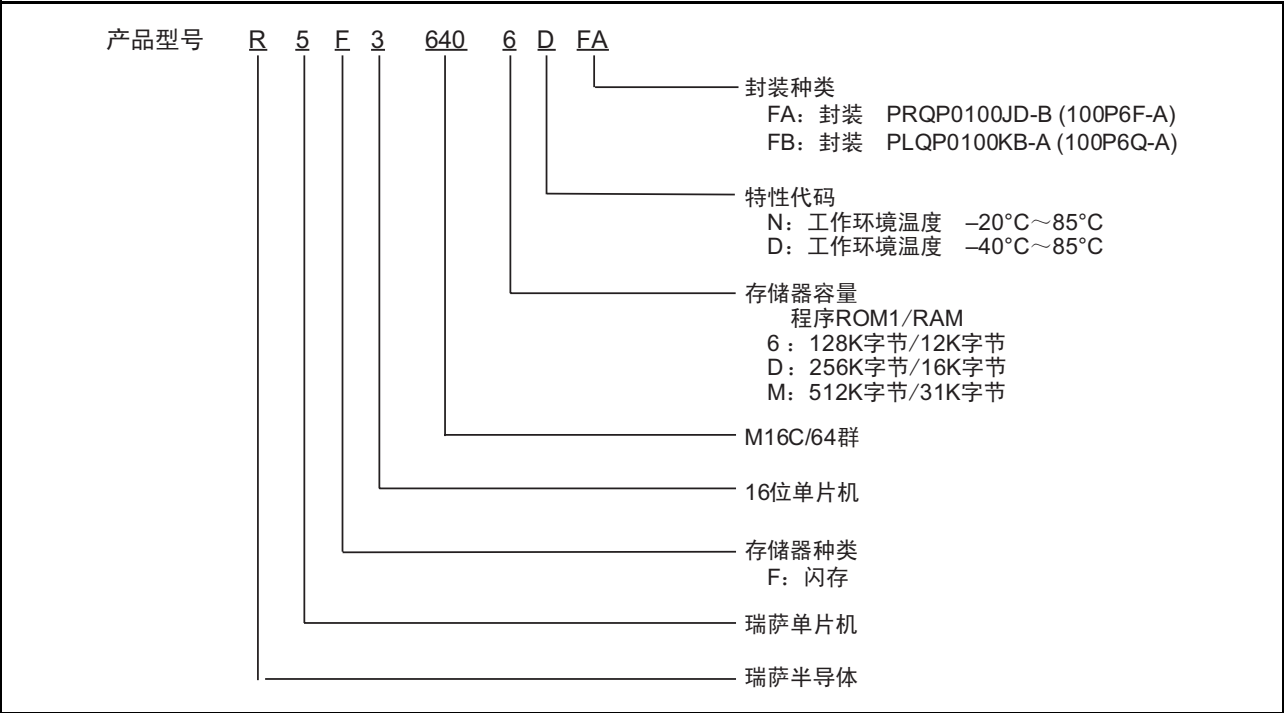


图 1.1 产品型号、存储器容量和封装

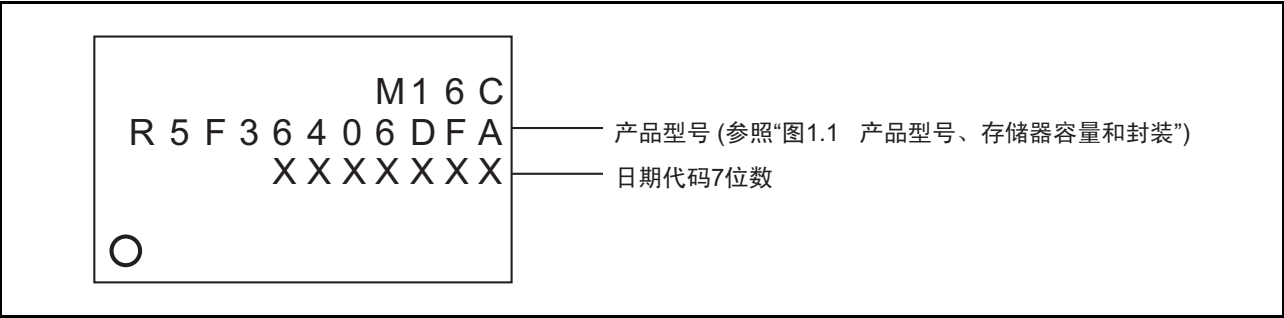


图 1.2 闪存版的标记图（俯视图）

1.4 框图

框图如图 1.3 所示。

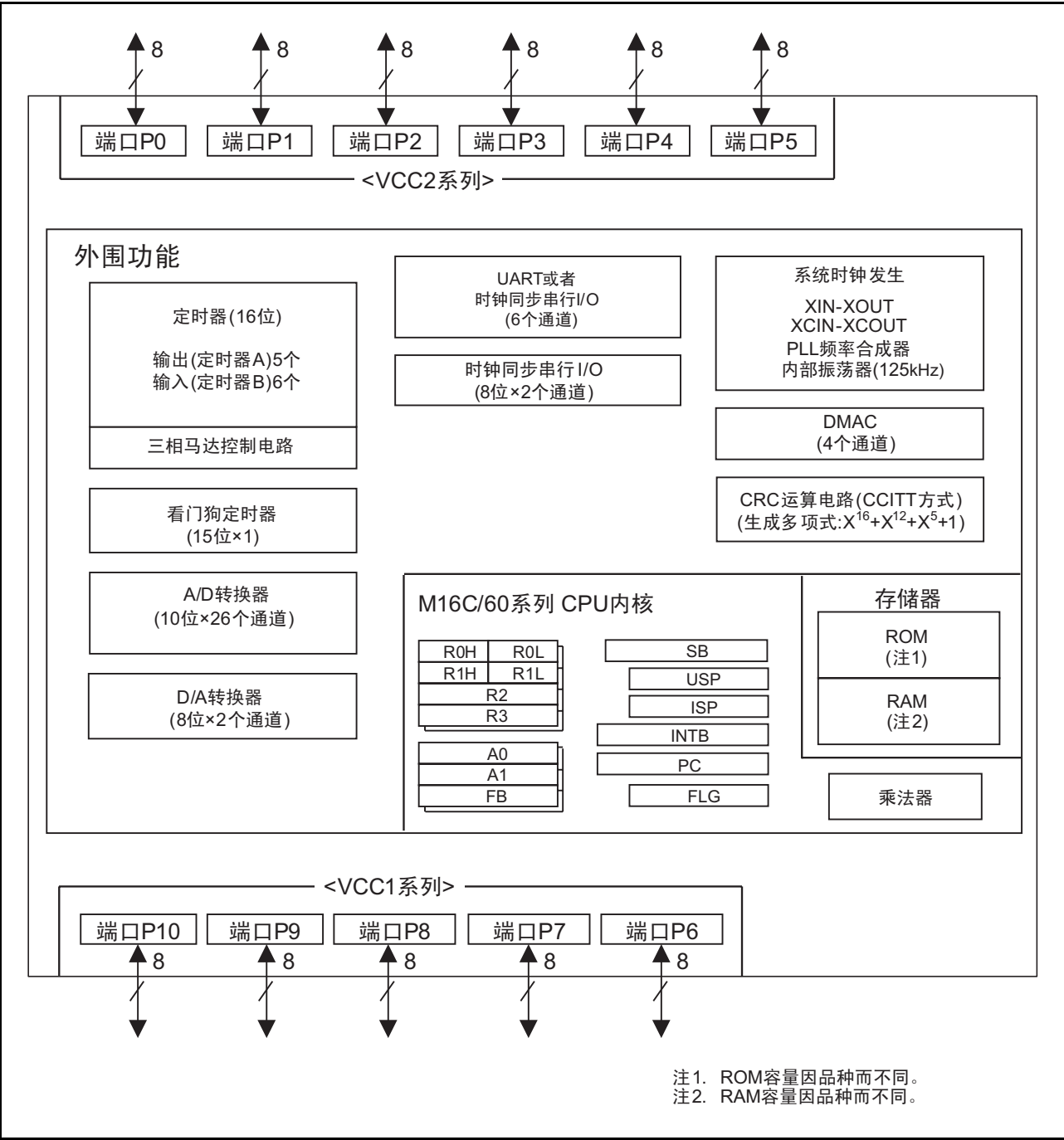


图 1.3 框图

1.5 引脚连接图

引脚连接图（俯视图）如图 1.4 ~ 图 1.5 所示。

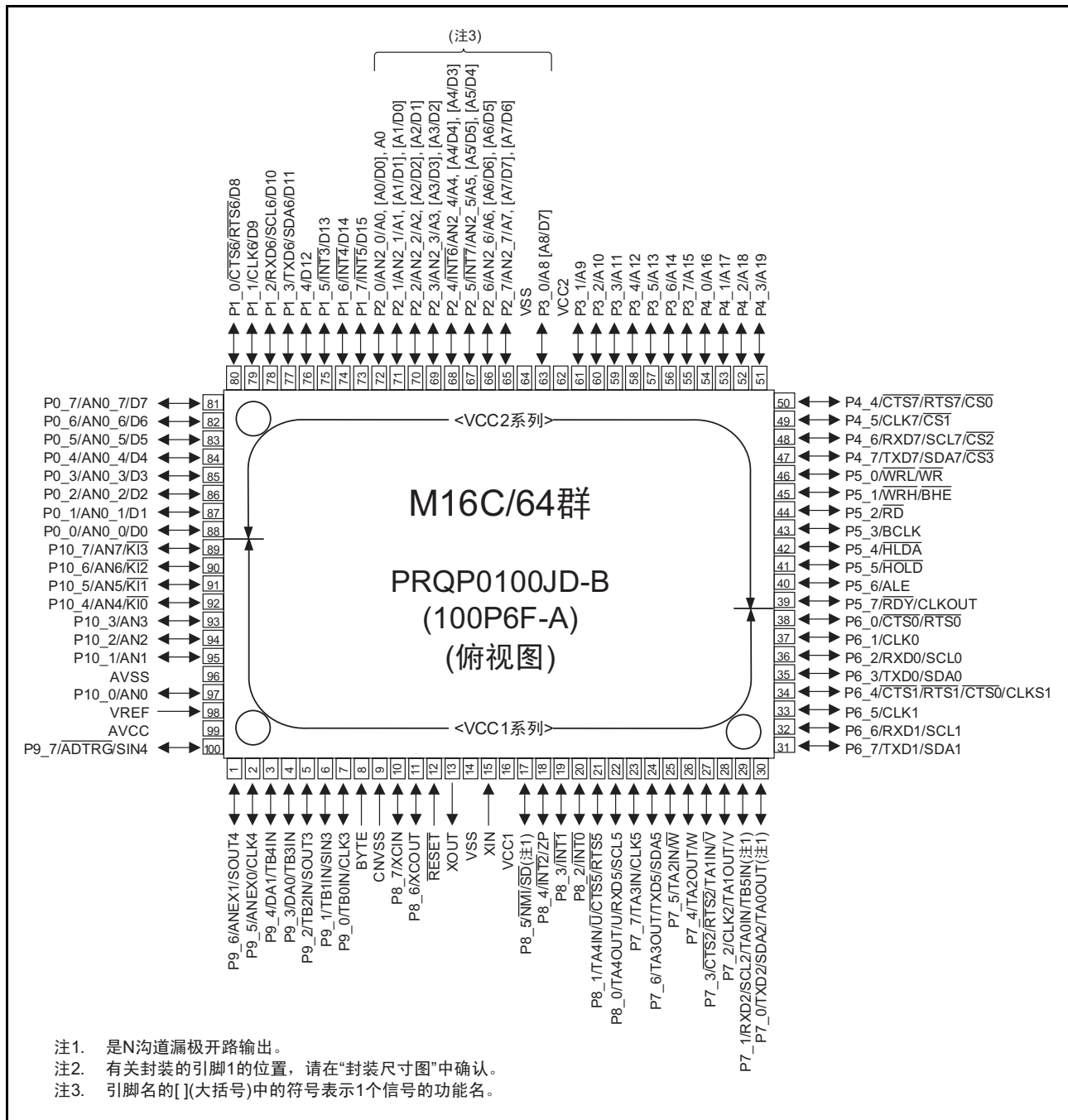


图 1.4 引脚连接图（俯视图）

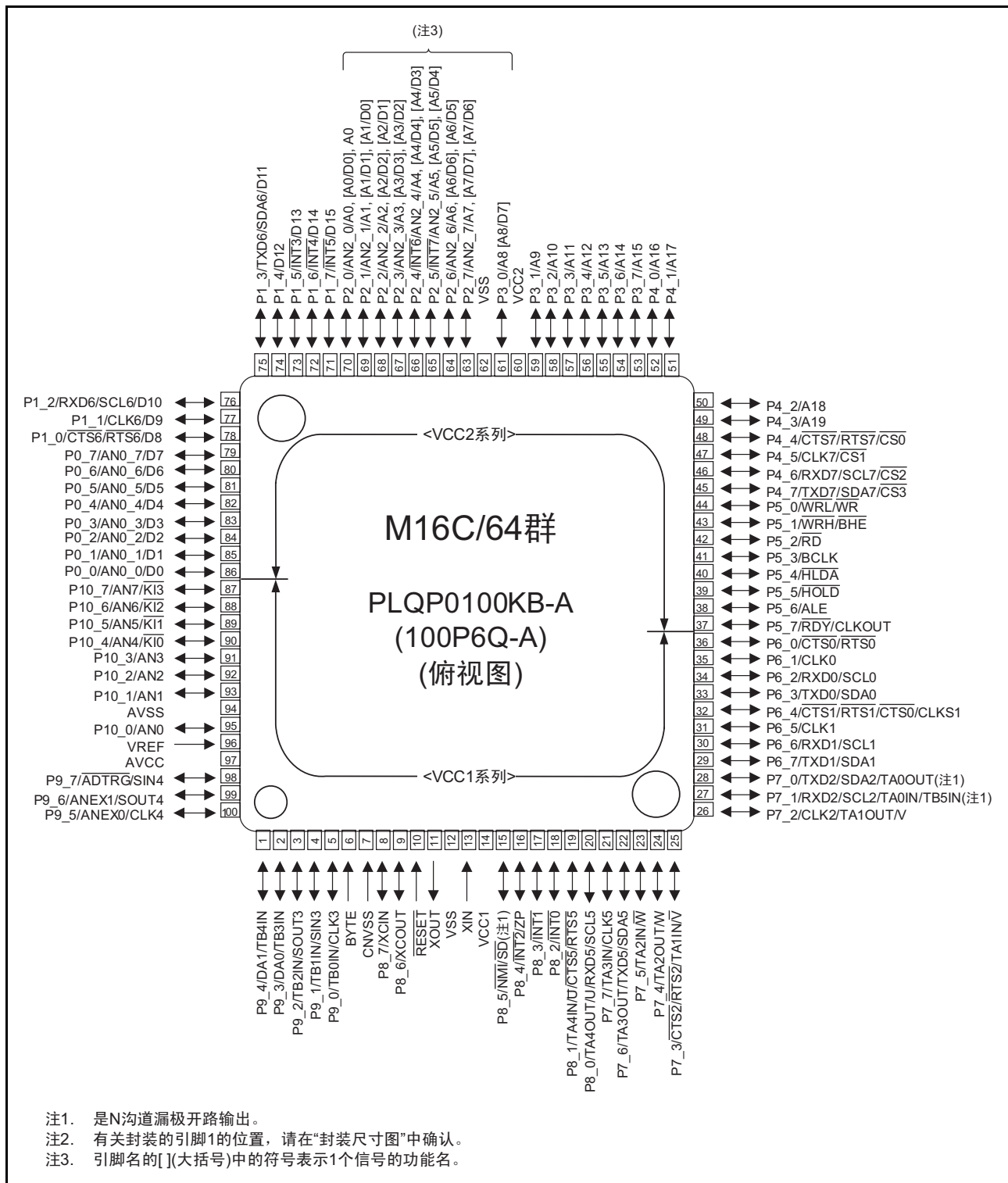


图 1.5 引脚连接图（俯视图）

表 1.4 100 个引脚版的引脚名一览表 (1)

Pin No.		控制引脚	端口	中断引脚	定时器引脚	UART 引脚	模拟引脚	总线控制引脚
FA	FB							
1	99		P9_6			SOUT4	ANEX1	
2	100		P9_5			CLK4	ANEX0	
3	1		P9_4		TB4IN		DA1	
4	2		P9_3		TB3IN		DA0	
5	3		P9_2		TB2IN	SOUT3		
6	4		P9_1		TB1IN	SIN3		
7	5		P9_0		TB0IN	CLK3		
8	6	BYTE						
9	7	CNVSS						
10	8	XCIN	P8_7					
11	9	XCOU	P8_6					
12	10	RESET						
13	11	XOUT						
14	12	VSS						
15	13	XIN						
16	14	VCC1						
17	15		P8_5	NMI	SD			
18	16		P8_4	INT2	ZP			
19	17		P8_3	INT1				
20	18		P8_2	INT0				
21	19		P8_1		TA4IN/U	CTS5/RTS5		
22	20		P8_0		TA4OUT/U	RXD5/SCL5		
23	21		P7_7		TA3IN	CLK5		
24	22		P7_6		TA3OUT	TXD5/SDA5		
25	23		P7_5		TA2IN/W			
26	24		P7_4		TA2OUT/W			
27	25		P7_3		TA1IN/V	CTS2/RTS2		
28	26		P7_2		TA1OUT/V	CLK2		
29	27		P7_1		TA0IN/TB5IN	RXD2/SCL2		
30	28		P7_0		TA0OUT	TXD2/SDA2		
31	29		P6_7			TXD1/SDA1		
32	30		P6_6			RXD1/SCL1		
33	31		P6_5			CLK1		
34	32		P6_4			CTS1/RTS1/CTS0/ CLKS1		
35	33		P6_3			TXD0/SDA0		
36	34		P6_2			RXD0/SCL0		
37	35		P6_1			CLK0		
38	36		P6_0			CTS0/RTS0		
39	37		P5_7					RDY/CLKOUT
40	38		P5_6					ALE
41	39		P5_5					HOLD
42	40		P5_4					HLDA
43	41		P5_3					BCLK
44	42		P5_2					RD
45	43		P5_1					WRH/BHE
46	44		P5_0					WRL/WR
47	45		P4_7			TXD7/SDA7		CS3
48	46		P4_6			RXD7/SCL7		CS2
49	47		P4_5			CLK7		CS1
50	48		P4_4			CTS7/RTS7		CS0

表 1.5 100 个引脚版的引脚名一览表 (2)

Pin No.		控制引脚	端口	中断引脚	定时器引脚	UART 引脚	模拟引脚	总线控制引脚
FA	FB							
51	49		P4_3					A19
52	50		P4_2					A18
53	51		P4_1					A17
54	52		P4_0					A16
55	53		P3_7					A15
56	54		P3_6					A14
57	55		P3_5					A13
58	56		P3_4					A12
59	57		P3_3					A11
60	58		P3_2					A10
61	59		P3_1					A9
62	60	VCC2						
63	61		P3_0					A8,[A8/D7]
64	62	VSS						
65	63		P2_7				AN2_7	A7,[A7/D7],[A7/D6]
66	64		P2_6				AN2_6	A6,[A6/D6],[A6/D5]
67	65		P2_5	INT7			AN2_5	A5,[A5/D5],[A5/D4]
68	66		P2_4	INT6			AN2_4	A4,[A4/D4],[A4/D3]
69	67		P2_3				AN2_3	A3,[A3/D3],[A3/D2]
70	68		P2_2				AN2_2	A2,[A2/D2],[A2/D1]
71	69		P2_1				AN2_1	A1,[A1/D1],[A1/D0]
72	70		P2_0				AN2_0	A0,[A0/D0],A0
73	71		P1_7	INT5				D15
74	72		P1_6	INT4				D14
75	73		P1_5	INT3				D13
76	74		P1_4					D12
77	75		P1_3			TXD6/SDA6		D11
78	76		P1_2			RXD6/SCL6		D10
79	77		P1_1			CLK6		D9
80	78		P1_0			CTS6/RTS6		D8
81	79		P0_7				AN0_7	D7
82	80		P0_6				AN0_6	D6
83	81		P0_5				AN0_5	D5
84	82		P0_4				AN0_4	D4
85	83		P0_3				AN0_3	D3
86	84		P0_2				AN0_2	D2
87	85		P0_1				AN0_1	D1
88	86		P0_0				AN0_0	D0
89	87		P10_7	KI3			AN7	
90	88		P10_6	KI2			AN6	
91	89		P10_5	KI1			AN5	
92	90		P10_4	KI0			AN4	
93	91		P10_3				AN3	
94	92		P10_2				AN2	
95	93		P10_1				AN1	
96	94	AVSS						
97	95		P10_0				AN0	
98	96	VREF						
99	97	AVCC						
100	98		P9_7			SIN4	ADTRG	

1.6 引脚功能的说明

表 1.6 引脚功能的说明 (1)

分类	引脚名	输入 / 输出	电源系统	功能
电源输入	VCC1、VCC2 VSS	输入	—	必须将 2.7V ~ 5.5V 输入到 VCC1、VCC2 引脚。VCC 的输入条件是 VCC1=VCC2。 必须将 0V 输入到 VSS。(注 1)
模拟电源输入	AVCC AVSS	输入	VCC1	是 A/D 转换器的电源输入。必须将 AVCC 连接到 VCC1，将 AVSS 连接到 VSS。
复位输入	RESET	输入	VCC1	如果将 “L” 电平输入到此引脚，单片机就变为复位状态。
CNVSS	CNVSS	输入	VCC1	是转换处理器模式的引脚。复位后，在单芯片模式中开始运行时，必须通过电阻连接到 VSS；在微处理器模式中开始运行时，必须连接到 VCC1。
外部数据总线宽度 转换输入	BYTE	输入	VCC1	是用于转换外部区域数据总线的引脚。当此引脚为 “L” 电平时，数据总线为 16 位；为 “H” 电平时，数据总线为 8 位。必须固定为 “L” 电平或者 “H” 电平。在单芯片模式中，必须连接到 VSS。
总线控制引脚	D0 ~ D7	输入 / 输出	VCC2	在存取了选择分离总线的区域时，进行数据 (D0 ~ D7) 的输入 / 输出。
	D8 ~ D15	输入 / 输出	VCC2	在外部数据总线为 16 位并且存取了选择分离总线的区域时，进行数据 (D8 ~ D15) 的输入 / 输出。
	A0 ~ A19	输出	VCC2	输出地址 A0 ~ A19。
	A0/D0 ~ A7/D7	输入 / 输出	VCC2	在外部数据总线为 8 位并且存取了选择多路复用总线的区域时，分时进行数据 (D0 ~ D7) 的输入 / 输出和地址 (A0 ~ A7) 的输出。
	A1/D0 ~ A8/D7	输入 / 输出	VCC2	在外部数据总线为 16 位并且存取了选择多路复用总线的区域时，分时进行数据 (D0 ~ D7) 的输入 / 输出和地址 (A1 ~ A8) 的输出。
	CS0 ~ CS3	输出	VCC2	是片选信号，用于指定存取空间。
	WRL/WR WRH/BHE RD	输出	VCC2	输出 WRL、WRH、(WR、BHE)、RD 信号。通过程序转换 WRL、WRH 或者 BHE、WR。 - 选择 WRL、WRH、RD 时 在外部数据总线为 16 位的情况下，当 WRL 信号为 “L” 电平时写偶数地址；当 WRH 信号为 “L” 电平时写奇数地址；当 RD 信号为 “L” 电平时进行读操作。 - 选择 WR、BHE、RD 时 当 WR 信号为 “L” 电平时进行写操作；当 RD 信号为 “L” 电平时进行读操作。当 BHE 信号为 “L” 电平时存取奇数地址。在外部数据为 8 位时，必须使用此模式。
	ALE	输出	VCC2	是用于锁存地址的信号。
	HOLD	输入	VCC2	在输入为 “L” 电平期间，单片机处于保持状态。
	HLDA	输出	VCC2	在保持状态期间，输出 “L” 电平。
	RDY	输入	VCC2	在输入为 “L” 电平期间，单片机的总线处于等待状态。

电源系统：将与外部总线有关的引脚电源系统分为 VCC2 系统。

注 1. 在此后的说明中，只要没有特别指定，在文章中标记的 VCC 就表示 VCC1。

表 1.7 引脚功能的说明 (2)

分类	引脚名	输入 / 输出	电源系统	功能
主时钟输入	XIN	输入	VCC1	主时钟振荡电路的输入 / 输出。必须在 XIN 和 XOUT 之间连接陶瓷谐振器或者晶体振荡器 (注 1)。如果输入外部生成的时钟，就必须从 XIN 输入时钟，并将 XOUT 置为开路。
主时钟输出	XOUT	输出	VCC1	
副时钟输入	XCIN	输入	VCC1	副时钟振荡电路的输入 / 输出。必须在 XCIN 和 XCOUT 之间连接晶体振荡器 (注 1)。如果输入外部生成的时钟，就必须从 XCIN 输入时钟，并将 XCOUT 置为开路。
副时钟输出	XCOUT	输出	VCC1	
BCLK 输出	BCLK	输出	VCC2	输出 BCLK 信号。
时钟输出	CLKOUT	输出	VCC2	输出和 fC、f8 或者 f32 相同周期的时钟。
INT 中断输入	INT0 ~ INT2	输入	VCC1	是 INT 中断的输入。
	INT3 ~ INT7	输入	VCC2	
NMI 中断输入	NMI	输入	VCC1	是 NMI 中断的输入。
键输入中断的输入	KI0 ~ KI3	输入	VCC1	是键输入中断的输入。
定时器 A	TA0OUT ~ TA4OUT	输入 / 输出	VCC1	是定时器 A0 ~ A4 的输入 / 输出 (但是，TA0OUT 的输出为 N 沟道漏极开路输出)。
	TA0IN ~ TA4IN	输入	VCC1	是定时器 A0 ~ A4 的输入。
	ZP	输入	VCC1	是 Z 相的输入。
定时器 B	TB0IN ~ TB5IN	输入	VCC1	是定时器 B0 ~ B5 的输入。
用于三相马达控制的定时器	U、 $\bar{U}$ 、V、 $\bar{V}$ 、W、 $\bar{W}$	输出	VCC1	是用于三相马达控制的定时器输出。
	SD	输入	VCC1	是用于三相马达控制的定时器输入。
串行接口 UART0 ~ UART2、 UART5 ~ UART7	CTS0 ~ CTS2、CTS5	输入	VCC1	是用于发送控制的输入。
	CTS6、CTS7	输入	VCC2	
	RTS0 ~ RTS2、RTS5	输出	VCC1	是用于接收控制的输出。
	RTS6、RTS7	输出	VCC2	
	CLK0 ~ CLK2、CLK5	输入 / 输出	VCC1	是传送时钟的输入 / 输出。
	CLK6、CLK7	输入 / 输出	VCC2	
	RXD0 ~ RXD2、RXD5	输入	VCC1	是串行数据的输入。
	RXD6、RXD7	输入	VCC2	
	TXD0 ~ TXD2、TXD5	输出	VCC1	是串行数据的输出。(注 2)
	TXD6、TXD7	输出	VCC2	
串行接口 SI/O3、SI/O4	CLKS1	输出	VCC1	是传送时钟的多个引脚输出功能的输出。
	CLK3、CLK4	输入 / 输出	VCC1	是传送时钟的输入 / 输出。
	SIN3、SIN4	输入	VCC1	是串行数据的输入。
I ² C 模式	SOUT3、SOUT4	输出	VCC1	是串行数据的输出。
	SDA0 ~ SDA2、SDA5	输入 / 输出	VCC1	是串行数据的输入 / 输出。(注 2)
	SDA6、SDA7	输入 / 输出	VCC2	
	SCL0 ~ SCL2、SCL5	输入 / 输出	VCC1	是传送时钟的输入 / 输出。(注 2)
	SCL6、SCL7	输入 / 输出	VCC2	

注 1. 有关振荡特性请向振荡器制造商询问。

注 2. TXD2、SDA2 和 SCL2 的输出为 N 沟道漏极开路输出。TXDi (i=0, 1, 5 ~ 7)、SDAi 和 SCLi 的输出为 CMOS 输出，能通过程序更改为 N 沟道漏极开路输出。

表 1.8 引脚功能的说明 (3)

分类	引脚名	输入 / 输出	电源系统	功能
基准电压输入	VREF	输入	VCC1	是 A/D 转换器和 D/A 转换器的基准电压输入。必须连接到 VCC1。
A/D 转换器	AN0 ~ AN7	输入	VCC1	是 A/D 转换器的模拟输入。
	AN0_0 ~ AN0_7 AN2_0 ~ AN2_7	输入	VCC2	
	ADTRG	输入	VCC1	是 A/D 的外部触发输入。
	ANEX0、ANEX1	输入	VCC1	是 A/D 转换器的扩展模拟输入。
D/A 转换器	DA0、DA1	输出	VCC1	是 D/A 转换器的输出。
输入 / 输出端口	P0_0 ~ P0_7 P1_0 ~ P1_7 P2_0 ~ P2_7 P3_0 ~ P3_7 P4_0 ~ P4_7 P5_0 ~ P5_7	输入 / 输出	VCC2	是 CMOS 的 8 位输入 / 输出端口。具有用于选择输入 / 输出的方向寄存器，每个引脚都能用作输入端口或者输出端口。 输入端口能以 4 位为单位选择有无上拉电阻。
	P6_0 ~ P6_7 P7_0 ~ P7_7 P8_0 ~ P8_7 P9_0 ~ P9_7 P10_0 ~ P10_7	输入 / 输出	VCC1	具有和 P0 同等功能的 8 位输入 / 输出端口。但是，P7_0、P7_1、P8_5 的输出为 N 沟道漏极开路输出，没有上拉电阻。 P8_5 和 $\overline{\text{NMI}}$ 引脚复用，能确认 $\overline{\text{NMI}}$ 的输入电平。

2. 中央处理器

CPU 的寄存器如图 2.1 所示。CPU 有 13 个寄存器，其中 R0、R1、R2、R3、A0、A1、FB 构成寄存器组。寄存器组有 2 组。

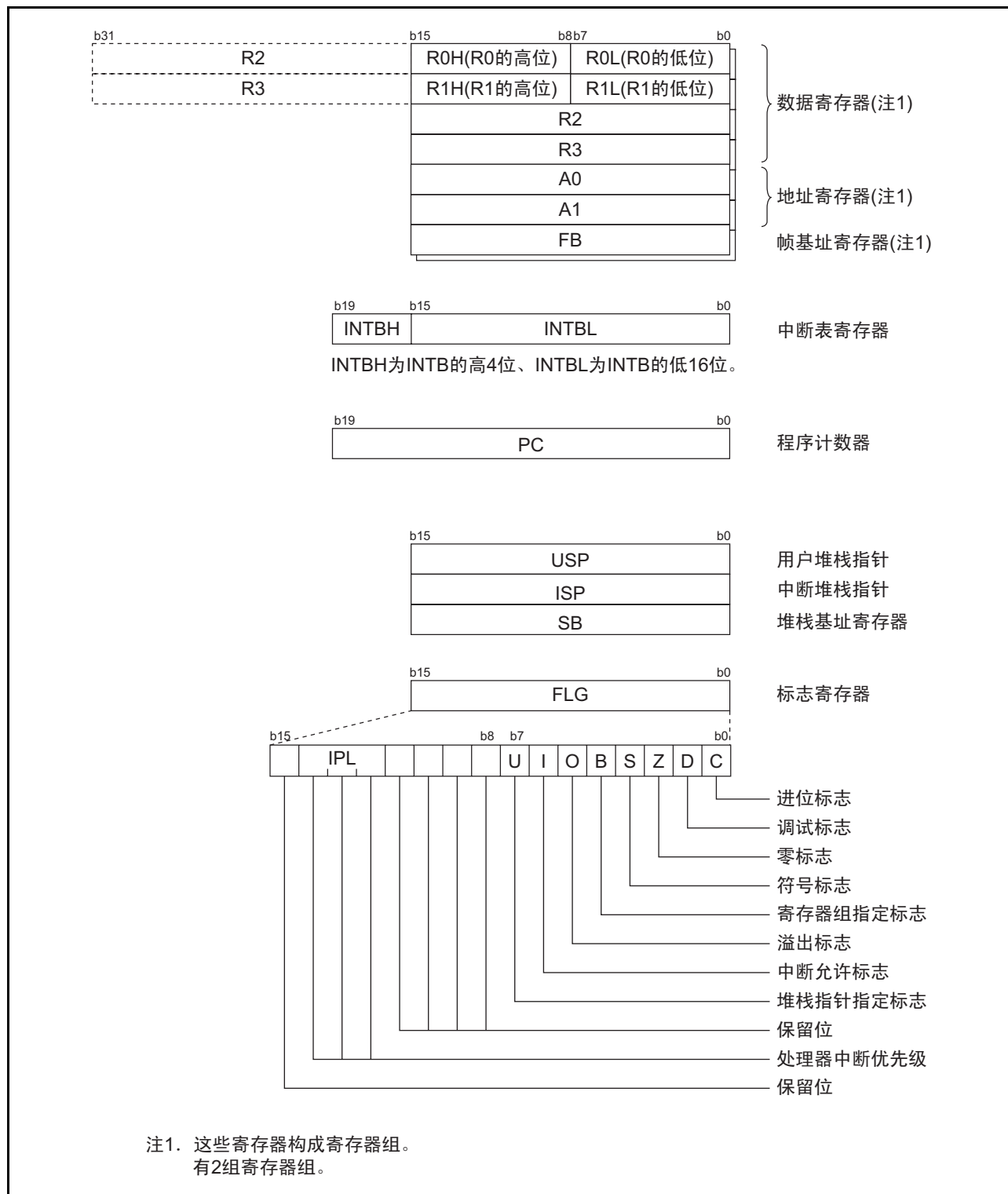


图 2.1 CPU 的寄存器

2.1 数据寄存器（R0、R1、R2、R3）

R0 由 16 位构成，主要用于传送、算术和逻辑运算，R1～R3 和 R0 相同。

能将 R0 的高位（R0H）和低位（R0L）分别作为 8 位数据寄存器使用，R1H、R1L 和 R0H、R0L 相同。

能将 R2 和 R0 组合用作 32 位数据寄存器（R2R0），R3R1 和 R2R0 相同。

2.2 地址寄存器（A0、A1）

A0 由 16 位构成，用于地址寄存器间接寻址和地址寄存器相对寻址，并且还用于传送、算术和逻辑运算，A1 和 A0 相同。

能将 A1 和 A0 组合用作 32 位地址寄存器（A1A0）。

2.3 帧基址寄存器（FB）

FB 由 16 位构成，用于 FB 相对寻址。

2.4 中断表寄存器（INTB）

INTB 由 20 位构成，表示可变中断向量表的起始地址。

2.5 程序计数器（PC）

PC 由 20 位构成，表示下次执行的指令的地址。

2.6 用户堆栈指针（USP）和中断堆栈指针（ISP）

堆栈指针（SP）有 USP 和 ISP 两种，都由 16 位构成。

能通过 FLG 的 U 标志，进行 USP 和 ISP 的转换。

2.7 堆栈基址寄存器（SB）

SB 由 16 位构成，用于 SB 相对寻址。

2.8 标志寄存器（FLG）

FLG 由 11 位构成，表示 CPU 状态。

2.8.1 进位标志（C 标志）

保存由算术逻辑运算器产生的进位、借位和移出的位等。

2.8.2 调试标志（D 标志）

D 标志是调试专用标志，必须置“0”。

2.8.3 零标志（Z 标志）

在运算结果为 0 时为“1”，否则为“0”。

2.8.4 符号标志（S 标志）

在运算结果为负时为“1”，否则为“0”。

2.8.5 寄存器组指定标志（B 标志）

在 B 标志为“0”时，指定寄存器组 0；在 B 标志为“1”时，指定寄存器组 1。

2.8.6 上溢标志（O 标志）

在运算结果上溢时为“1”，否则为“0”。

2.8.7 中断允许标志（I 标志）

它是允许屏蔽中断的标志。

在 I 标志为“0”时，禁止可屏蔽中断；在 I 标志为“1”时，允许可屏蔽中断。

如果接受中断请求，I 标志就变为“0”。

2.8.8 堆栈指针指定标志（U 标志）

在 U 标志为“0”时，指定 ISP；在 U 标志为“1”时，指定 USP。

在接受硬件中断请求或者执行软件中断序号 0～31 的 INT 指令时，U 标志变为“0”。

2.8.9 处理器中断优先级（IPL）

IPL 由 3 位构成，指定 0～7 级的 8 个处理器中断优先级。

如果请求的中断优先级高于 IPL，就允许该中断请求。

2.8.10 保留位

只能写“0”，读时值不定。

3. 存储器

存储器分配图如图 3.1 所示。地址空间为地址 00000h～地址 FFFFFh 的 1M 字节。

内部 ROM 是闪存。程序 ROM1 分配在从地址 FFFFFh 向低位地址方向延伸的区域。例如，64K 字节的程序 ROM1 分配在地址 F0000h～地址 FFFFFh。另外，地址 0E000h～地址 0FFFFh 为 8K 字节的数据闪存，主要用于保存数据，但是也能保存程序。地址 10000h～地址 13FFFh 为程序 ROM2，其中地址 13FF0h～地址 13FFFh 为用户引导代码区。

固定中断向量表分配在地址 FFFDCh～地址 FFFFFh，保存中断程序的起始地址。

内部 RAM 分配在从地址 00400h 向高位地址方向延伸的区域。例如，10K 字节的内部 RAM 分配在地址 00400h～地址 02BFFh。内部 RAM 除了保存数据以外，还用作子程序调用和中断时的堆栈。

SFR 分配在地址 00000h～地址 003FFh 和地址 0D000h～地址 0D7FFh，配置了外围功能控制寄存器。SFR 中未被配置的区域全部为保留区，用户不能使用。

专用页向量表分配在地址 FFE00h～地址 FFFD7h，此向量由 JMPs 指令和 JSRS 指令使用。详细内容请参照《M16C/60、M16C/20 系列软件手册》。

在存储器扩展模式或者微处理器模式时，部分区域为保留区，不能使用。

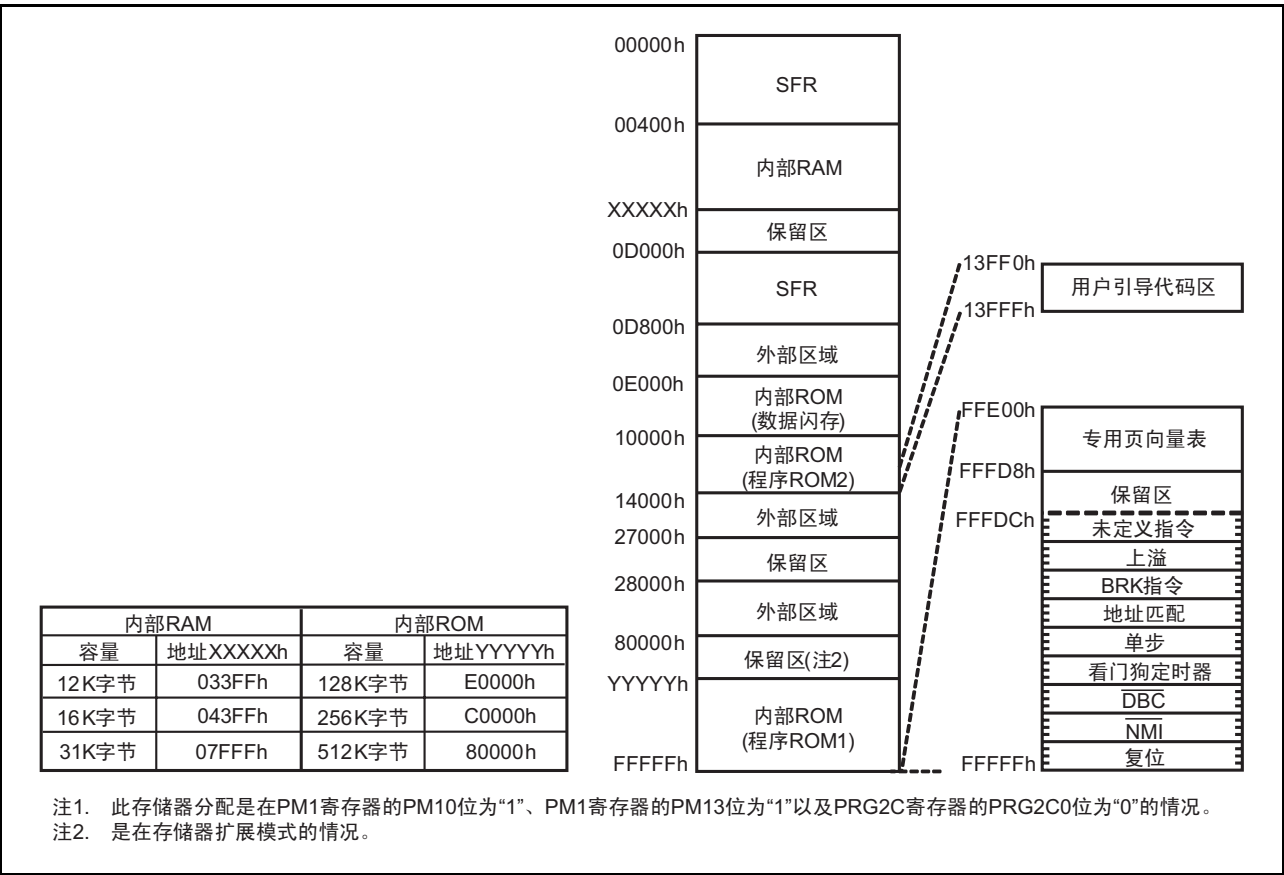


图 3.1 存储器分配图

4. SFR

SFR（Special Function Register）是外围功能控制寄存器，SFR 一览如表 4.1～表 4.14 所示。

表 4.1 SFR 一览（1）（注 1）

地址	寄存器	符号	复位后的值
0000h			
0001h			
0002h			
0003h			
0004h	处理器模式寄存器 0	PM0	00000000b（CNVSS 引脚为“L”） 00000011b（CNVSS 引脚为“H”）（注 2）
0005h	处理器模式寄存器 1	PM1	00001000b
0006h	系统时钟控制寄存器 0	CM0	01001000b
0007h	系统时钟控制寄存器 1	CM1	00100000b
0008h	片选控制寄存器	CSR	00000001b
0009h			
000Ah	保护寄存器	PRCR	00h
000Bh	数据存储体寄存器	DBR	00h
000Ch	振荡停止检测寄存器	CM2	0X000010b（注 3）
000Dh			
000Eh			
000Fh			
0010h	程序 2 区域控制寄存器	PRG2C	XXXXXXXX0b
0011h			
0012h	外围时钟选择寄存器	PCLKR	00000011b
0013h			
0014h			
0015h	时钟预分频器复位标志	CPSRF	0XXXXXXXXb
0016h			
0017h			
0018h	复位源判断标志	RSTFR	0XXXXXXXXb（注 4）
0019h	电压检测 2 电路标志寄存器	VCR1	00001000b（注 2）
001Ah	电压检测电路工作允许寄存器	VCR2	000X0000b（硬件复位 1） 001X0000b（硬件复位 2）（注 2）
001Bh	片选扩展控制寄存器	CSE	00h
001Ch	PLL 控制寄存器 0	PLC0	0X01X010b
001Dh			
001Eh	处理器模式寄存器 2	PM2	XXX00X01b（注 2）
001Fh	低电压检测中断寄存器	D4INT	00h
0020h			
0021h			
0022h			
0023h			
0024h			
0025h			
0026h			
0027h			
0028h			
0029h			
002Ah	电压监视 0 电路控制寄存器	VW0C	10001X10b（硬件复位 1） 11001X11b（硬件复位 2）（注 2）
002Bh			
002Ch			
002Dh			
002Eh			
002Fh			

X：不定

- 注 1. 空栏为保留区，不能存取。
注 2. 在软件复位、看门狗定时器复位、振荡停止检测复位时，以下寄存器或者位不变。
PM0 寄存器的 PM00 和 PM01 位、VCR1 寄存器、VCR2 寄存器、VW0C 寄存器。
注 3. 在振荡停止检测复位时，CM20、CM21、CM27 位不变。
注 4. RSTFR 寄存器的 CWR 位在硬件复位 2 时为“0”，在其他复位时不变。

表 4.2 SFR 一览 (2) (注 1)

地址	寄存器	符号	复位后的值
0030h			
0031h			
0032h			
0033h			
0034h			
0035h			
0036h			
0037h			
0038h			
0039h			
003Ah			
003Bh			
003Ch			
003Dh			
003Eh			
003Fh			
0040h			
0041h			
0042h	INT7 中断控制寄存器	INT7IC	XX00X000b
0043h	INT6 中断控制寄存器	INT6IC	XX00X000b
0044h	INT3 中断控制寄存器	INT3IC	XX00X000b
0045h	定时器 B5 中断控制寄存器	TB5IC	XXXXX000b
0046h	定时器 B4 中断控制寄存器、UART1 总线冲突检测中断控制寄存器	TB4IC、U1BCNIC	XXXXX000b
0047h	定时器 B3 中断控制寄存器、UART0 总线冲突检测中断控制寄存器	TB3IC、U0BCNIC	XXXXX000b
0048h	SI/O4 中断控制寄存器、INT5 中断控制寄存器	S4IC、INT5IC	XX00X000b
0049h	SI/O3 中断控制寄存器、INT4 中断控制寄存器	S3IC、INT4IC	XX00X000b
004Ah	UART2 总线冲突检测中断控制寄存器	BCNIC	XXXXX000b
004Bh	DMA0 中断控制寄存器	DM0IC	XXXXX000b
004Ch	DMA1 中断控制寄存器	DM1IC	XXXXX000b
004Dh	键输入中断控制寄存器	KUPIC	XXXXX000b
004Eh	A/D 转换中断控制寄存器	ADIC	XXXXX000b
004Fh	UART2 发送中断控制寄存器	S2TIC	XXXXX000b
0050h	UART2 接收中断控制寄存器	S2RIC	XXXXX000b
0051h	UART0 发送中断控制寄存器	S0TIC	XXXXX000b
0052h	UART0 接收中断控制寄存器	S0RIC	XXXXX000b
0053h	UART1 发送中断控制寄存器	S1TIC	XXXXX000b
0054h	UART1 接收中断控制寄存器	S1RIC	XXXXX000b
0055h	定时器 A0 中断控制寄存器	TA0IC	XXXXX000b
0056h	定时器 A1 中断控制寄存器	TA1IC	XXXXX000b
0057h	定时器 A2 中断控制寄存器	TA2IC	XXXXX000b
0058h	定时器 A3 中断控制寄存器	TA3IC	XXXXX000b
0059h	定时器 A4 中断控制寄存器	TA4IC	XXXXX000b
005Ah	定时器 B0 中断控制寄存器	TB0IC	XXXXX000b
005Bh	定时器 B1 中断控制寄存器	TB1IC	XXXXX000b
005Ch	定时器 B2 中断控制寄存器	TB2IC	XXXXX000b
005Dh	INT0 中断控制寄存器	INT0IC	XX00X000b
005Eh	INT1 中断控制寄存器	INT1IC	XX00X000b
005Fh	INT2 中断控制寄存器	INT2IC	XX00X000b

X: 不定

注 1. 空栏为保留区，不能存取。

表 4.3 SFR 一览 (3) (注 1)

地址	寄存器	符号	复位后的值
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	DMA2 中断控制寄存器	DM2IC	XXXXX000b
006Ah	DMA3 中断控制寄存器	DM3IC	XXXXX000b
006Bh	UART5 总线冲突检测中断控制寄存器	U5BCNIC	XXXXX000b
006Ch	UART5 发送中断控制寄存器	S5TIC	XXXXX000b
006Dh	UART5 接收中断控制寄存器	S5RIC	XXXXX000b
006Eh	UART6 总线冲突检测中断控制寄存器	U6BCNIC	XXXXX000b
006Fh	UART6 发送中断控制寄存器	S6TIC	XXXXX000b
0070h	UART6 接收中断控制寄存器	S6RIC	XXXXX000b
0071h	UART7 总线冲突检测中断控制寄存器	U7BCNIC	XXXXX000b
0072h	UART7 发送中断控制寄存器	S7TIC	XXXXX000b
0073h	UART7 接收中断控制寄存器	S7RIC	XXXXX000b
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
~			
015Fh			

X: 不定

注 1. 空栏为保留区，不能存取。

表 4.4 SFR 一览 (4) (注 1)

地址	寄存器	符号	复位后的值
0160h			
0161h			
0162h			
0163h			
0164h			
0165h			
0166h			
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			
0180h 0181h 0182h	DMA0 源指针	SAR0	XXh XXh 0Xh
0183h 0184h 0185h 0186h	DMA0 目标指针	DAR0	XXh XXh 0Xh
0187h 0188h 0189h	DMA0 传送计数器	TCR0	XXh XXh
018Ah 018Bh			
018Ch 018Dh 018Eh 018Fh	DMA0 控制寄存器	DM0CON	00000X00b
0190h 0191h 0192h	DMA1 源指针	SAR1	XXh XXh 0Xh
0193h 0194h 0195h 0196h	DMA1 目标指针	DAR1	XXh XXh 0Xh
0197h 0198h 0199h	DMA1 传送计数器	TCR1	XXh XXh
019Ah 019Bh			
019Ch 019Dh 019Eh 019Fh	DMA1 控制寄存器	DM1CON	00000X00b

X: 不定

注 1. 空栏为保留区，不能存取。

表 4.5 SFR 一览 (5) (注 1)

地址	寄存器	符号	复位后的值
01A0h 01A1h 01A2h	DMA2 源指针	SAR2	XXh XXh 0Xh
01A3h			
01A4h 01A5h 01A6h	DMA2 目标指针	DAR2	XXh XXh 0Xh
01A7h			
01A8h 01A9h	DMA2 传送计数器	TCR2	XXh XXh
01AAh			
01ABh			
01ACh	DMA2 控制寄存器	DM2CON	00000X00b
01ADh			
01AEh			
01AFh			
01B0h 01B1h 01B2h	DMA3 源指针	SAR3	XXh XXh 0Xh
01B3h			
01B4h 01B5h 01B6h	DMA3 目标指针	DAR3	XXh XXh 0Xh
01B7h			
01B8h 01B9h	DMA3 传送计数器	TCR3	XXh XXh
01BAh			
01BBh			
01BCh	DMA3 控制寄存器	DM3CON	00000X00b
01BDh			
01BEh			
01BFh			
01C0h			
01C1h			
01C2h			
01C3h			
01C4h			
01C5h			
01C6h			
01C7h			
01C8h	定时器 B 计数源选择寄存器 0	TBCS0	00h
01C9h	定时器 B 计数源选择寄存器 1	TBCS1	X0h
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h	定时器 A 计数源选择寄存器 0	TACS0	00h
01D1h	定时器 A 计数源选择寄存器 1	TACS1	00h
01D2h	定时器 A 计数源选择寄存器 2	TACS2	X0h
01D3h			
01D4h			
01D5h	定时器 A 波形输出功能选择寄存器	TAPOFS	XXX00000b
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			

X: 不定

注 1. 空栏为保留区，不能存取。

表 4.6 SFR 一览 (6) (注 1)

地址	寄存器	符号	复位后的值
01E0h			
01E1h			
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h	定时器 B 计数源选择寄存器 2	TBCS2	00h
01E9h	定时器 B 计数源选择寄存器 3	TBCS3	X0h
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h			
01F1h			
01F2h			
01F3h			
01F4h			
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			
01FAh			
01FBh			
01FCh			
01FDh			
01FEh			
01FFh			
0200h			
0201h			
0202h			
0203h			
0204h			
0205h	中断源选择寄存器 3	IFSR3A	00h
0206h	中断源选择寄存器 2	IFSR2A	00h
0207h	中断源选择寄存器	IFSR	00h
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh	地址匹配中断允许寄存器	AIER	XXXXXX00b
020Fh	地址匹配中断允许寄存器 2	AIER2	XXXXXX00b
0210h	地址匹配中断寄存器 0	RMAD0	00h
0211h			00h
0212h			X0h
0213h			
0214h	地址匹配中断寄存器 1	RMAD1	00h
0215h			00h
0216h			X0h
0217h			
0218h	地址匹配中断寄存器 2	RMAD2	00h
0219h			00h
021Ah			X0h
021Bh			
021Ch	地址匹配中断寄存器 3	RMAD3	00h
021Dh			00h
021Eh			X0h
021Fh			

X: 不定

注 1. 空栏为保留区，不能存取。

表 4.7 SFR 一览 (7) (注 1)

地址	寄存器	符号	复位后的值
0220h	闪存控制寄存器 0	FMR0	00000001b
0221h	闪存控制寄存器 1	FMR1	00X0XX0Xb
0222h	闪存控制寄存器 2	FMR2	XXXX0000b
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h	闪存控制寄存器 6	FMR6	XX0XXX00b
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			
0240h			
0241h			
0242h			
0243h			
0244h	UART0 特殊模式寄存器 4	U0SMR4	00h
0245h	UART0 特殊模式寄存器 3	U0SMR3	000X0X0Xb
0246h	UART0 特殊模式寄存器 2	U0SMR2	X0000000b
0247h	UART0 特殊模式寄存器	U0SMR	X0000000b
0248h	UART0 发送 / 接收模式寄存器	U0MR	00h
0249h	UART0 位速率寄存器	U0BRG	XXh
024Ah	UART0 发送缓冲寄存器	U0TB	XXh
024Bh			XXh
024Ch	UART0 发送 / 接收控制寄存器 0	U0C0	00001000b
024Dh	UART0 发送 / 接收控制寄存器 1	U0C1	00XX0010b
024Eh	UART0 接收缓冲寄存器	U0RB	XXh
024Fh			XXh
0250h	UART 发送 / 接收控制寄存器 2	U0CON	X0000000b
0251h			
0252h			
0253h			
0254h	UART1 特殊模式寄存器 4	U1SMR4	00h
0255h	UART1 特殊模式寄存器 3	U1SMR3	000X0X0Xb
0256h	UART1 特殊模式寄存器 2	U1SMR2	X0000000b
0257h	UART1 特殊模式寄存器	U1SMR	X0000000b
0258h	UART1 发送 / 接收模式寄存器	U1MR	00h
0259h	UART1 位速率寄存器	U1BRG	XXh
025Ah	UART1 发送缓冲寄存器	U1TB	XXh
025Bh			XXh
025Ch	UART1 发送 / 接收控制寄存器 0	U1C0	00001000b
025Dh	UART1 发送 / 接收控制寄存器 1	U1C1	00XX0010b
025Eh	UART1 接收缓冲寄存器	U1RB	XXh
025Fh			XXh

X: 不定

注 1. 空栏为保留区，不能存取。

表 4.8 SFR 一览 (8) (注 1)

地址	寄存器	符号	复位后的值
0260h			
0261h			
0262h			
0263h			
0264h	UART2 特殊模式寄存器 4	U2SMR4	00h
0265h	UART2 特殊模式寄存器 3	U2SMR3	000X0X0Xb
0266h	UART2 特殊模式寄存器 2	U2SMR2	X0000000b
0267h	UART2 特殊模式寄存器	U2SMR	X0000000b
0268h	UART2 发送 / 接收模式寄存器	U2MR	00h
0269h	UART2 位速率寄存器	U2BRG	XXh
026Ah	UART2 发送缓冲寄存器	U2TB	XXh
026Bh			XXh
026Ch	UART2 发送 / 接收控制寄存器 0	U2C0	00001000b
026Dh	UART2 发送 / 接收控制寄存器 1	U2C1	00000010b
026Eh	UART2 接收缓冲寄存器	U2RB	XXh
026Fh			XXh
0270h	SI/O3 发送 / 接收寄存器	S3TRR	XXh
0271h			
0272h	SI/O3 控制寄存器	S3C	01000000b
0273h	SI/O3 位速率寄存器	S3BRG	XXh
0274h	SI/O4 发送 / 接收寄存器	S4TRR	XXh
0275h			
0276h	SI/O4 控制寄存器	S4C	01000000b
0277h	SI/O4 位速率寄存器	S4BRG	XXh
0278h	SI/O34 控制寄存器 2	S34C2	00XXX0X0b
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			
0280h			
0281h			
0282h			
0283h			
0284h	UART5 特殊模式寄存器 4	U5SMR4	00h
0285h	UART5 特殊模式寄存器 3	U5SMR3	000X0X0Xb
0286h	UART5 特殊模式寄存器 2	U5SMR2	X0000000b
0287h	UART5 特殊模式寄存器	U5SMR	X0000000b
0288h	UART5 发送 / 接收模式寄存器	U5MR	00h
0289h	UART5 位速率寄存器	U5BRG	XXh
028Ah	UART5 发送缓冲寄存器	U5TB	XXh
028Bh			XXh
028Ch	UART5 发送 / 接收控制寄存器 0	U5C0	00001000b
028Dh	UART5 发送 / 接收控制寄存器 1	U5C1	00000010b
028Eh	UART5 接收缓冲寄存器	U5RB	XXh
028Fh			XXh
0290h			
0291h			
0292h			
0293h			
0294h	UART6 特殊模式寄存器 4	U6SMR4	00h
0295h	UART6 特殊模式寄存器 3	U6SMR3	000X0X0Xb
0296h	UART6 特殊模式寄存器 2	U6SMR2	X0000000b
0297h	UART6 特殊模式寄存器	U6SMR	X0000000b
0298h	UART6 发送 / 接收模式寄存器	U6MR	00h
0299h	UART6 位速率寄存器	U6BRG	XXh
029Ah	UART6 发送缓冲寄存器	U6TB	XXh
029Bh			XXh
029Ch	UART6 发送 / 接收控制寄存器 0	U6C0	00001000b
029Dh	UART6 发送 / 接收控制寄存器 1	U6C1	00000010b
029Eh	UART6 接收缓冲寄存器	U6RB	XXh
029Fh			XXh

X: 不定

注 1. 空栏为保留区，不能存取。

表 4.9 SFR 一览 (9) (注 1)

地址	寄存器	符号	复位后的值
02A0h			
02A1h			
02A2h			
02A3h			
02A4h	UART7 特殊模式寄存器 4	U7SMR4	00h
02A5h	UART7 特殊模式寄存器 3	U7SMR3	000X0X0Xb
02A6h	UART7 特殊模式寄存器 2	U7SMR2	X0000000b
02A7h	UART7 特殊模式寄存器	U7SMR	X0000000b
02A8h	UART7 发送 / 接收模式寄存器	U7MR	00h
02A9h	UART7 位速率寄存器	U7BRG	XXh
02AAh	UART7 发送缓冲寄存器	U7TB	XXh
02ABh			XXh
02ACh	UART7 发送 / 接收控制寄存器 0	U7C0	00001000b
02ADh	UART7 发送 / 接收控制寄存器 1	U7C1	00000010b
02AEh	UART7 接收缓冲寄存器	U7RB	XXh
02AFh			XXh
02B0h			
02B1h			
02B2h			
02B3h			
02B4h			
02B5h			
02B6h			
02B7h			
02B8h			
02B9h			
02BAh			
02BBh			
02BCh			
02BDh			
02BEh			
02BFh			
02C0h			
02C1h			
02C2h			
02C3h			
02C4h			
02C5h			
02C6h			
02C7h			
02C8h			
02C9h			
02CAh			
02CBh			
02CCh			
02CDh			
02CEh			
02CFh			
02D0h			
02D1h			
02D2h			
02D3h			
02D4h			
02D5h			
02D6h			
02D7h			
02D8h			
02D9h			
02DAh			
02DBh			
02DCh			
02DDh			
02DEh			
02DFh			

X: 不定

注 1. 空栏为保留区，不能存取。

表 4.10 SFR 一览 (10) (注 1)

地址	寄存器	符号	复位后的值
02E0h			
02E1h			
02E2h			
02E3h			
02E4h			
02E5h			
02E6h			
02E7h			
02E8h			
02E9h			
02EAh			
02EBh			
02ECh			
02EDh			
02EEh			
02EFh			
02F0h			
02F1h			
02F2h			
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh			
02FCh			
02FDh			
02FEh			
02FFh			
0300h	定时器 B3、4、5 计数开始标志	TBSR	000XXXXb
0301h			
0302h	定时器 A1-1 寄存器	TA11	XXh
0303h			XXh
0304h	定时器 A2-1 寄存器	TA21	XXh
0305h			XXh
0306h	定时器 A4-1 寄存器	TA41	XXh
0307h			XXh
0308h	三相 PWM 控制寄存器 0	INVC0	00h
0309h	三相 PWM 控制寄存器 1	INVC1	00h
030Ah	三相输出缓冲寄存器 0	IDB0	XX111111b
030Bh	三相输出缓冲寄存器 1	IDB1	XX111111b
030Ch	死区时间定时器	DTT	XXh
030Dh	定时器 B2 的中断发生频率设定计数器	ICTB2	XXh
030Eh			
030Fh			
0310h	定时器 B3 寄存器	TB3	XXh
0311h			XXh
0312h	定时器 B4 寄存器	TB4	XXh
0313h			XXh
0314h	定时器 B5 寄存器	TB5	XXh
0315h			XXh
0316h			
0317h			
0318h			
0319h			
031Ah			
031Bh	定时器 B3 模式寄存器	TB3MR	00XX0000b
031Ch	定时器 B4 模式寄存器	TB4MR	00XX0000b
031Dh	定时器 B5 模式寄存器	TB5MR	00XX0000b
031Eh			
031Fh			

X: 不定

注 1. 空栏为保留区，不能存取。

表 4.11 SFR 一览 (11) (注 1)

地址	寄存器	符号	复位后的值
0320h	计数开始标志	TABSR	00h
0321h			
0322h	单触发开始标志	ONSF	00h
0323h	触发选择寄存器	TRGSR	00h
0324h	递增 / 递减标志	UDF	00h
0325h			
0326h	定时器 A0 寄存器	TA0	XXh
0327h			XXh
0328h	定时器 A1 寄存器	TA1	XXh
0329h			XXh
032Ah	定时器 A2 寄存器	TA2	XXh
032Bh			XXh
032Ch	定时器 A3 寄存器	TA3	XXh
032Dh			XXh
032Eh	定时器 A4 寄存器	TA4	XXh
032Fh			XXh
0330h	定时器 B0 寄存器	TB0	XXh
0331h			XXh
0332h	定时器 B1 寄存器	TB1	XXh
0333h			XXh
0334h	定时器 B2 寄存器	TB2	XXh
0335h			XXh
0336h	定时器 A0 模式寄存器	TA0MR	00h
0337h	定时器 A1 模式寄存器	TA1MR	00h
0338h	定时器 A2 模式寄存器	TA2MR	00h
0339h	定时器 A3 模式寄存器	TA3MR	00h
033Ah	定时器 A4 模式寄存器	TA4MR	00h
033Bh	定时器 B0 模式寄存器	TB0MR	00XX0000b
033Ch	定时器 B1 模式寄存器	TB1MR	00XX0000b
033Dh	定时器 B2 模式寄存器	TB2MR	00XX0000b
033Eh	定时器 B2 特殊模式寄存器	TB2SC	XXXXXX00b
033Fh			
0340h			
0341h			
0342h			
0343h			
0344h			
0345h			
0346h			
0347h			
0348h			
0349h			
034Ah			
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh			
035Fh			

X: 不定

注 1. 空栏为保留区，不能存取。

表 4.12 SFR 一览 (12) (注 1)

地址	寄存器	符号	复位后的值
0360h	上拉控制寄存器 0	PUR0	00h
0361h	上拉控制寄存器 1	PUR1	00000000b (注 2) 00000010b
0362h	上拉控制寄存器 2	PUR2	00h
0363h			
0364h			
0365h			
0366h	端口控制寄存器	PCR	00000XX0b
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			
0370h			
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch	计数源保护模式寄存器	CSPR	00h (注 3)
037Dh	看门狗定时器的复位寄存器	WDTR	XXh
037Eh	看门狗定时器启动寄存器	WDTS	XXh
037Fh	看门狗定时器控制寄存器	WDC	00XXXXXXb
0380h			
0381h			
0382h			
0383h			
0384h			
0385h			
0386h			
0387h			
0388h			
0389h			
038Ah			
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			

X: 不定

注 1. 空栏为保留区，不能存取。

注 2. 在硬件复位 1 或者硬件复位 2 时，复位后的值如下：

• 在 CNVSS 引脚输入 “L” 时为 “00000000b”

• 在 CNVSS 引脚输入 “H” 时为 “00000010b”

在软件复位、看门狗定时器复位或者振荡停止检测复位时，复位后的值如下：

• 在 PM0 寄存器的 PM01 ~ PM00 位为 “00b” (单芯片模式) 时为 “00000000b”

• 在 PM0 寄存器的 PM01 ~ PM00 位为 “01b” (存储器扩展模式) 或者 “11b” (微处理器模式) 时为 “00000010b”

注 3. 在 OFS1 地址的 CSPROINT 位为 “0” 时为 “10000000b”。

表 4.13 SFR 一览 (13) (注 1)

地址	寄存器	符号	复位后的值
0390h	DMA2 源选择寄存器	DM2SL	00h
0391h			
0392h	DMA3 源选择寄存器	DM3SL	00h
0393h			
0394h			
0395h			
0396h			
0397h			
0398h	DMA0 源选择寄存器	DM0SL	00h
0399h			
039Ah	DMA1 源选择寄存器	DM1SL	00h
039Bh			
039Ch			
039Dh			
039Eh			
039Fh			
03A0h			
03A1h			
03A2h			
03A3h			
03A4h			
03A5h			
03A6h			
03A7h			
03A8h			
03A9h			
03AAh			
03ABh			
03ACH			
03ADh			
03AEh			
03AFh			
03B0h			
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h			
03B9h			
03BAh			
03BBh			
03BCh	CRC 数据寄存器	CRC D	XXh
03BDh			XXh
03BEh	CRC 输入寄存器	CRC IN	XXh
03BFh			
03C0h	A/D 寄存器 0	AD0	XXXXXXXXb
03C1h			000000XXb
03C2h	A/D 寄存器 1	AD1	XXXXXXXXb
03C3h			000000XXb
03C4h	A/D 寄存器 2	AD2	XXXXXXXXb
03C5h			000000XXb
03C6h	A/D 寄存器 3	AD3	XXXXXXXXb
03C7h			000000XXb
03C8h	A/D 寄存器 4	AD4	XXXXXXXXb
03C9h			000000XXb

注 1. 空栏为保留区，不能存取。

X: 不定

表 4.14 SFR 一览 (14) (注 1)

地址	寄存器	符号	复位后的值
03CAh 03CBh	A/D 寄存器 5	AD5	XXXXXXXXb 000000XXb
03CCh 03CDh	A/D 寄存器 6	AD6	XXXXXXXXb 000000XXb
03CEh 03CFh	A/D 寄存器 7	AD7	XXXXXXXXb 000000XXb
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D 控制寄存器 2	ADCON2	0000X00Xb
03D5h			
03D6h	A/D 控制寄存器 0	ADCON0	00000XXXb
03D7h	A/D 控制寄存器 1	ADCON1	0000X000b
03D8h	D/A0 寄存器	DA0	00h
03D9h			
03DAh	D/A1 寄存器	DA1	00h
03DBh			
03DCh	D/A 控制寄存器	DACON	00h
03DDh			
03DEh			
03DFh			
03E0h	端口 P0 寄存器	P0	XXh
03E1h	端口 P1 寄存器	P1	XXh
03E2h	端口 P0 方向寄存器	PD0	00h
03E3h	端口 P1 方向寄存器	PD1	00h
03E4h	端口 P2 寄存器	P2	XXh
03E5h	端口 P3 寄存器	P3	XXh
03E6h	端口 P2 方向寄存器	PD2	00h
03E7h	端口 P3 方向寄存器	PD3	00h
03E8h	端口 P4 寄存器	P4	XXh
03E9h	端口 P5 寄存器	P5	XXh
03EAh	端口 P4 方向寄存器	PD4	00h
03EBh	端口 P5 方向寄存器	PD5	00h
03ECh	端口 P6 寄存器	P6	XXh
03EDh	端口 P7 寄存器	P7	XXh
03EEh	端口 P6 方向寄存器	PD6	00h
03EFh	端口 P7 方向寄存器	PD7	00h
03F0h	端口 P8 寄存器	P8	XXh
03F1h	端口 P9 寄存器	P9	XXh
03F2h	端口 P8 方向寄存器	PD8	00h
03F3h	端口 P9 方向寄存器	PD9	00h
03F4h	端口 P10 寄存器	P10	XXh
03F5h			
03F6h	端口 P10 方向寄存器	PD10	00h
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh			
03FDh			
03FEh			
03FFh			
D000h ~ D7FFh			

注 1. 空栏为保留区，不能存取。

X: 不定

5. 复位

复位有硬件复位 1、硬件复位 2、软件复位、看门狗定时器复位和振荡停止检测复位。

5.1 硬件复位 1

硬件复位 1 是由 $\overline{\text{RESET}}$ 引脚控制的复位。当电源电压满足推荐运行条件时，如果将“L”电平输入到 $\overline{\text{RESET}}$ 引脚，引脚、CPU 和 SFR 就被初始化（参照“表 5.1 $\overline{\text{RESET}}$ 引脚电平为“L”期间的引脚状态”）。

如果将 $\overline{\text{RESET}}$ 引脚的输入电平从“L”变为“H”，就从复位向量指向的地址开始执行程序。复位后的 CPU 时钟自动选择 125kHz 内部振荡器时钟的 8 分频时钟。

复位后的 SFR 状态请参照“4. SFR”。

不初始化内部 RAM。另外，如果在写内部 RAM 过程中 $\overline{\text{RESET}}$ 引脚变为“L”电平，内部 RAM 就不定。

复位电路的例子和复位顺序分别如图 5.1 和图 5.2 所示， $\overline{\text{RESET}}$ 引脚电平为“L”期间的引脚状态如表 5.1 所示。

5.1.1 电源稳定的情况

1. 将“L”电平输入到 $\overline{\text{RESET}}$ 引脚。
2. 等待 $1/\text{fOCO-S} \times 20$ 。
3. 将“H”电平输入到 $\overline{\text{RESET}}$ 引脚。

5.1.2 接通电源的情况

1. 将“L”电平输入到 $\overline{\text{RESET}}$ 引脚。
2. 使电源电压上升到满足推荐运行条件的电平为止。
3. 等待 td(P-R) （等待内部电源稳定）。
4. 等待 $1/\text{fOCO-S} \times 20$ 。
5. 将“H”电平输入到 $\overline{\text{RESET}}$ 引脚。

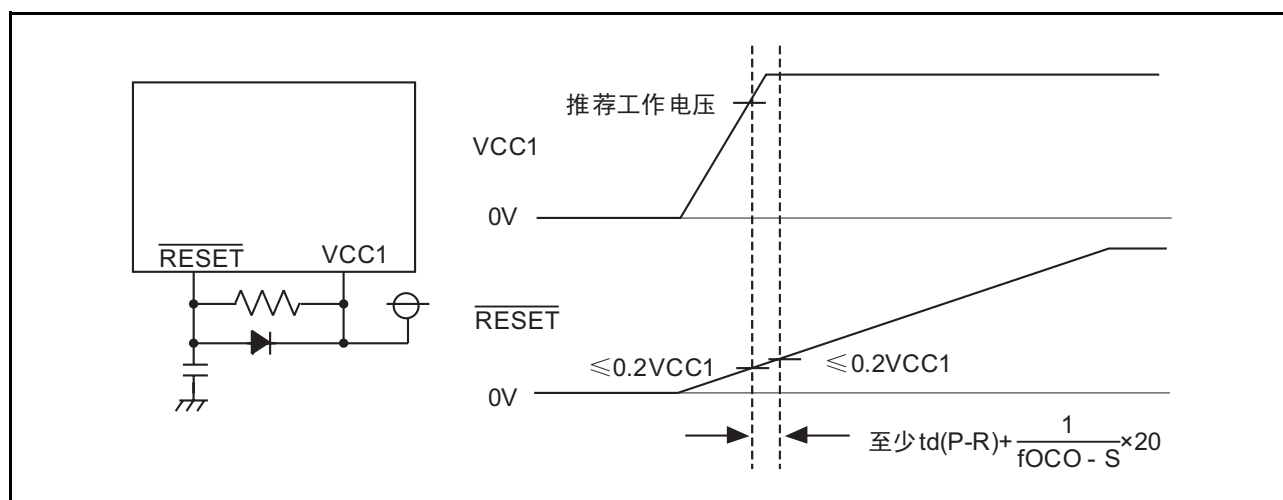


图 5.1 复位电路的例子

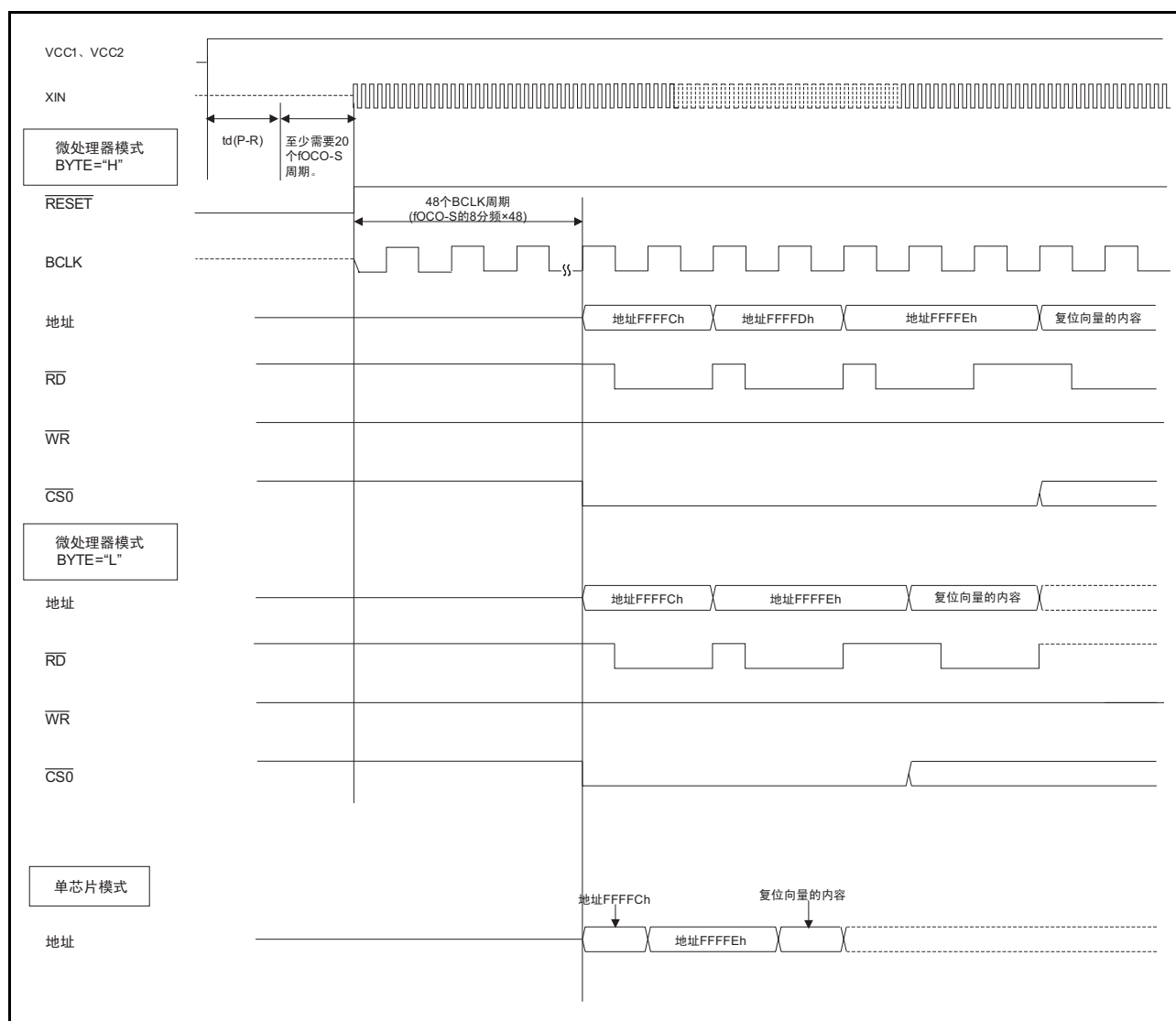


图 5.2 复位顺序

表 5.1 $\overline{\text{RESET}}$ 引脚电平为“L”期间的引脚状态

引脚名	引脚状态		
	CNVSS=VSS	CNVSS=VCC1 (注 1)	
		BYTE=VSS	BYTE=VCC1
P0	输入端口	数据输入	数据输入
P1	输入端口	数据输入	输入端口
P2、P3、P4_0 ~ P4_3	输入端口	地址输出 (不定)	地址输出 (不定)
P4_4	输入端口	$\overline{\text{CS0}}$ 输出 (输出“H”电平)	$\overline{\text{CS0}}$ 输出 (输出“H”电平)
P4_5 ~ P4_7	输入端口	输入端口 (有上拉)	输入端口 (有上拉)
P5_0	输入端口	$\overline{\text{WR}}$ 输出 (输出“H”电平)	$\overline{\text{WR}}$ 输出 (输出“H”电平)
P5_1	输入端口	$\overline{\text{BHE}}$ 输出 (不定)	$\overline{\text{BHE}}$ 输出 (不定)
P5_2	输入端口	$\overline{\text{RD}}$ 输出 (输出“H”电平)	$\overline{\text{RD}}$ 输出 (输出“H”电平)
P5_3	输入端口	BCLK 输出	BCLK 输出
P5_4	输入端口	$\overline{\text{HLDA}}$ 输出 (输出值取决于 $\overline{\text{HOLD}}$ 引脚的输入)	$\overline{\text{HLDA}}$ 输出 (输出值取决于 $\overline{\text{HOLD}}$ 引脚的输入)
P5_5	输入端口	$\overline{\text{HOLD}}$ 输入 (注 2)	$\overline{\text{HOLD}}$ 输入 (注 2)
P5_6	输入端口	ALE 输出 (输出“L”电平)	ALE 输出 (输出“L”电平)
P5_7	输入端口	$\overline{\text{RDY}}$ 输入	$\overline{\text{RDY}}$ 输入
P6、P7、P8、P9、P10	输入端口	输入端口	输入端口

注 1. 当 CNVSS=VCC1 时，引脚状态为在接通电源后内部电源电压稳定后的状态。在内部电源电压稳定前，引脚状态不定。

注 2. 必须输入“H”电平。

5.2 硬件复位 2

硬件复位 2 是由内置在单片机内的电压检测 0 电路控制的复位。电压检测 0 电路监视 VCC1 引脚的输入电压，监视电压为 Vdet0。

当 VCC1 引脚的输入电压下降到不超过 Vdet0 时，引脚、CPU 和 SFR 就被初始化。

然后，当 VCC1 引脚的输入电压上升到不低于 Vdet0 时，就开始 125kHz 内部振荡器时钟的计数。当进行了 32 次 125kHz 内部振荡器时钟的计数时，内部复位信号就变为“H”电平，进入复位顺序（参照图 5.2）。复位后的 CPU 时钟自动选择 125kHz 内部振荡器时钟的 8 分频时钟。

硬件复位 2 复位后的 SFR 状态请参照“4. SFR”。

不初始化内部 RAM。另外，在写内部 RAM 过程中，当 VCC1 引脚的输入电压下降到不超过 Vdet0 时，内部 RAM 就不定。

电压检测 0 电路的详细内容请参照“6. 电压检测电路”。

5.3 软件复位

如果将 PM0 寄存器的 PM03 位置“1”（单片机复位），单片机就初始化引脚、CPU 和 SFR。然后，从复位向量指向的地址开始执行程序。复位后的 CPU 时钟自动选择 125kHz 内部振荡器时钟的 8 分频时钟。

软件复位不初始化部分 SFR，详细内容请参照“4. SFR”。

不初始化内部 RAM。

5.4 看门狗定时器复位

在 PM1 寄存器的 PM12 位为“1”（在看门狗定时器下溢时复位）时，如果看门狗定时器下溢，单片机就初始化引脚、CPU 和 SFR。然后，从复位向量指向的地址开始执行程序。复位后的 CPU 时钟自动选择 125kHz 内部振荡器时钟的 8 分频时钟。

看门狗定时器复位不初始化部分 SFR，详细内容请参照“4. SFR”。

不初始化内部 RAM。另外，如果在写内部 RAM 过程中看门狗定时器下溢，内部 RAM 就不定。

看门狗定时器的详细内容请参照“13. 看门狗定时器”。

5.5 振荡停止检测复位

在 CM2 寄存器的 CM27 位为“0”（在检测到振荡停止时复位）时，如果检测到主时钟振荡电路停止振荡，单片机就初始化引脚、CPU 和 SFR，并且停止运行。详细内容请参照“10.6 振荡停止 / 再振荡检测功能”。

振荡停止检测复位不初始化部分 SFR，详细内容请参照“4. SFR”。另外，由于不初始化 PM0 寄存器的 PM01 ~ PM00 位，所以处理器模式不变。

5.6 内部区域的状态

复位后的 CPU 寄存器状态如图 5.3 所示，复位后的 SFR 状态请参照“4. SFR”。

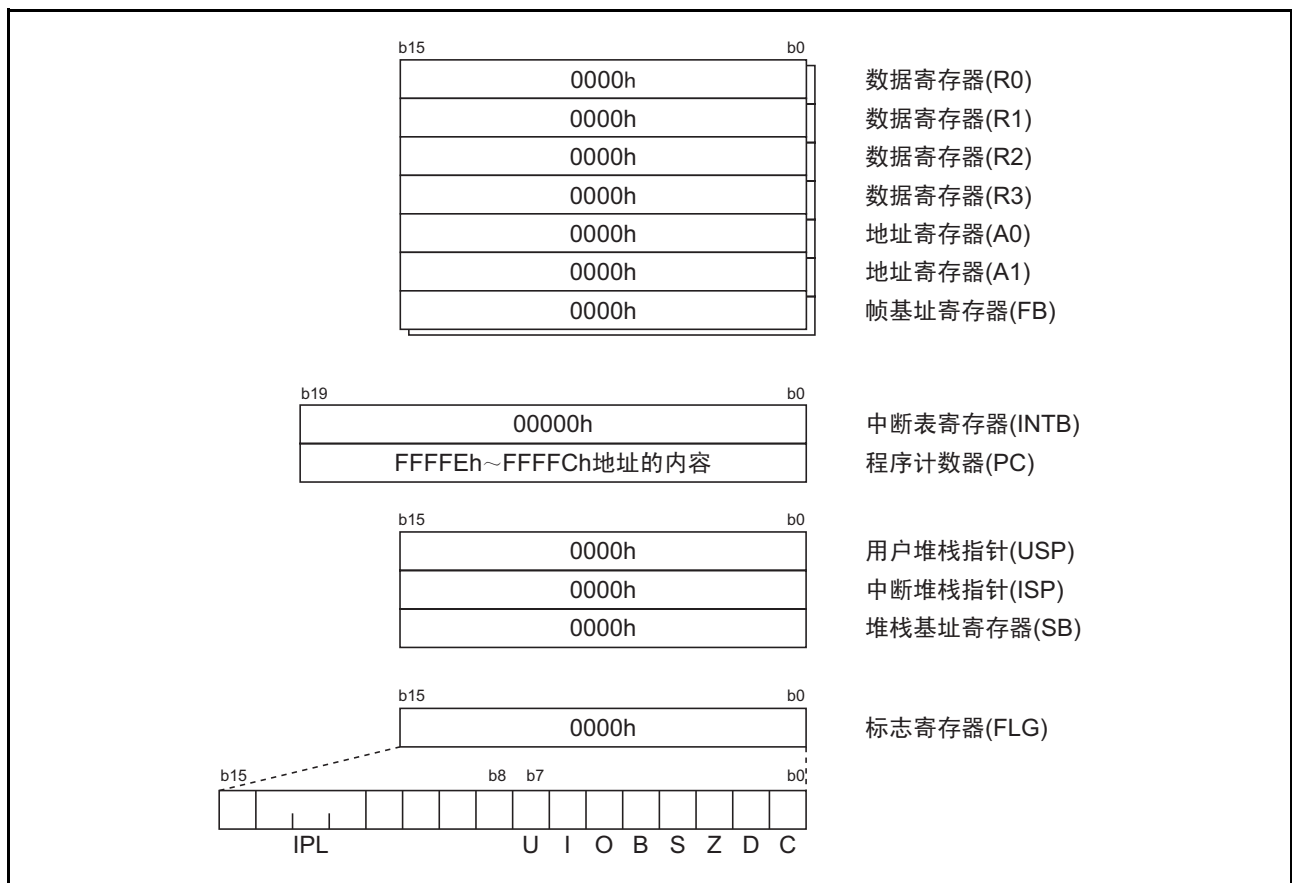


图 5.3 复位后的 CPU 寄存器状态

6. 电压检测电路

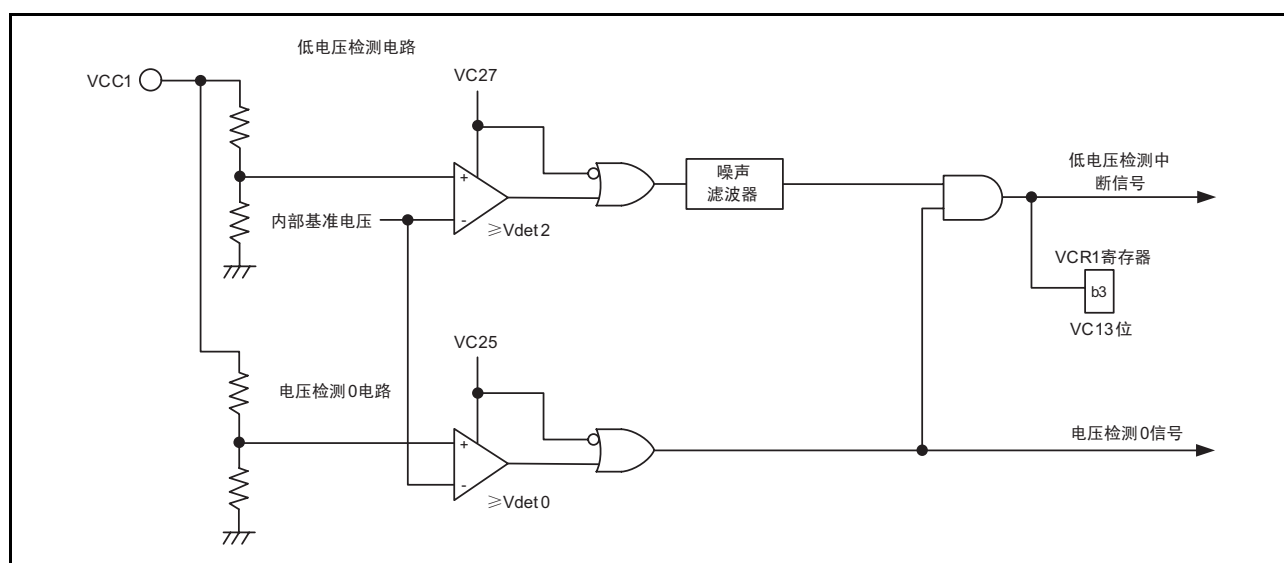
电压检测电路有电压检测 0 电路和低电压检测电路。

电压检测 0 电路监视 VCC1 引脚的输入电压，当 VCC1 引脚的输入电压下降到不超过 Vdet0 时，就将单片机进行复位。

低电压检测电路监视 VCC1 引脚的输入电压，当 VCC1 引脚的输入电压通过 Vdet2 时，就生成低电压检测信号。生成的信号用于低电压检测中断。能通过 VCR1 寄存器的 VC13 位检测到电压是不低于 Vdet2 或是低于 Vdet2。

当 $V_{CC1}=5V$ 时, 能使用电压检测电路。

电压检测电路的框图如图 6.1 所示。



电压检测2电路标志寄存器

b7	b6	b5	b4	b3	b2	b1	b0	符号	地址	复位后的值(注2)	
0	0	0	0	0	0	0	0	VCR1	地址0019h	00001000b	
								位符号	位名	功能	RW
								— (b2-b0)	保留位	必须置“0”。	RW
								VC13	低电压监视标志(注1)	0: $VCC1 < V_{det2}$ 1: $VCC1 \geq V_{det2}$	RO
								— (b7-b4)	保留位	必须置“0”。	RW

注1. 在VCR2寄存器的VC27位为“1”(低电压检测电路有效)时，VC13位有效。
在VCR2寄存器的VC27位为“0”(低电压检测电路无效)时，VC13位为“1”(VCC1 ≥ Vdet2)。
注2. 在软件复位、看门狗定时器复位、振荡停止检测复位时不变。

电压检测电路工作允许寄存器(注1)

b7	b6	b5	b4	b3	b2	b1	b0	符号	地址	复位后的值(注4)	
0	0	X	0	0	0	0	0	VCR2	地址001Ah	000X0000b(硬件复位1) 001X0000b(硬件复位2)	
								位符号	位名	功能	RW
								— (b3-b0)	保留位	必须置“0”。	RW
								— (b4)	什么也不指定。只能写“ 0” ， 读时值不定。		—
								VC25	电压检测0允许位(注2、5)	0: 电压检测0电路无效 1: 电压检测0电路有效	RW
								— (b6)	保留位	必须置“0”。	RW
								VC27	低电压监视位(注3、5)	0: 低电压检测电路无效 1: 低电压检测电路有效	RW

注1. 必须在将PRCR寄存器的PRC3位置“1”(允许写)后改写此寄存器。
注2. 在使用硬件复位2时，必须将VC25位置“1”(电压检测0电路有效)。
注3. 在使用VCR1寄存器的VC13位和D4INT寄存器的D42位时，或者在将D40位置“1”(允许低电压检测中断)时，必须将VC27位置“1”(低电压检测电路有效)。
注4. 在软件复位、看门狗定时器复位、振荡停止检测复位时不变。
注5. 在将VC25位或者VC27位置“1”后，检测电路经过td(E-A)后开始工作。

图 6.2 VCR1 和 VCR2 寄存器



图 6.3 D4INT 寄存器

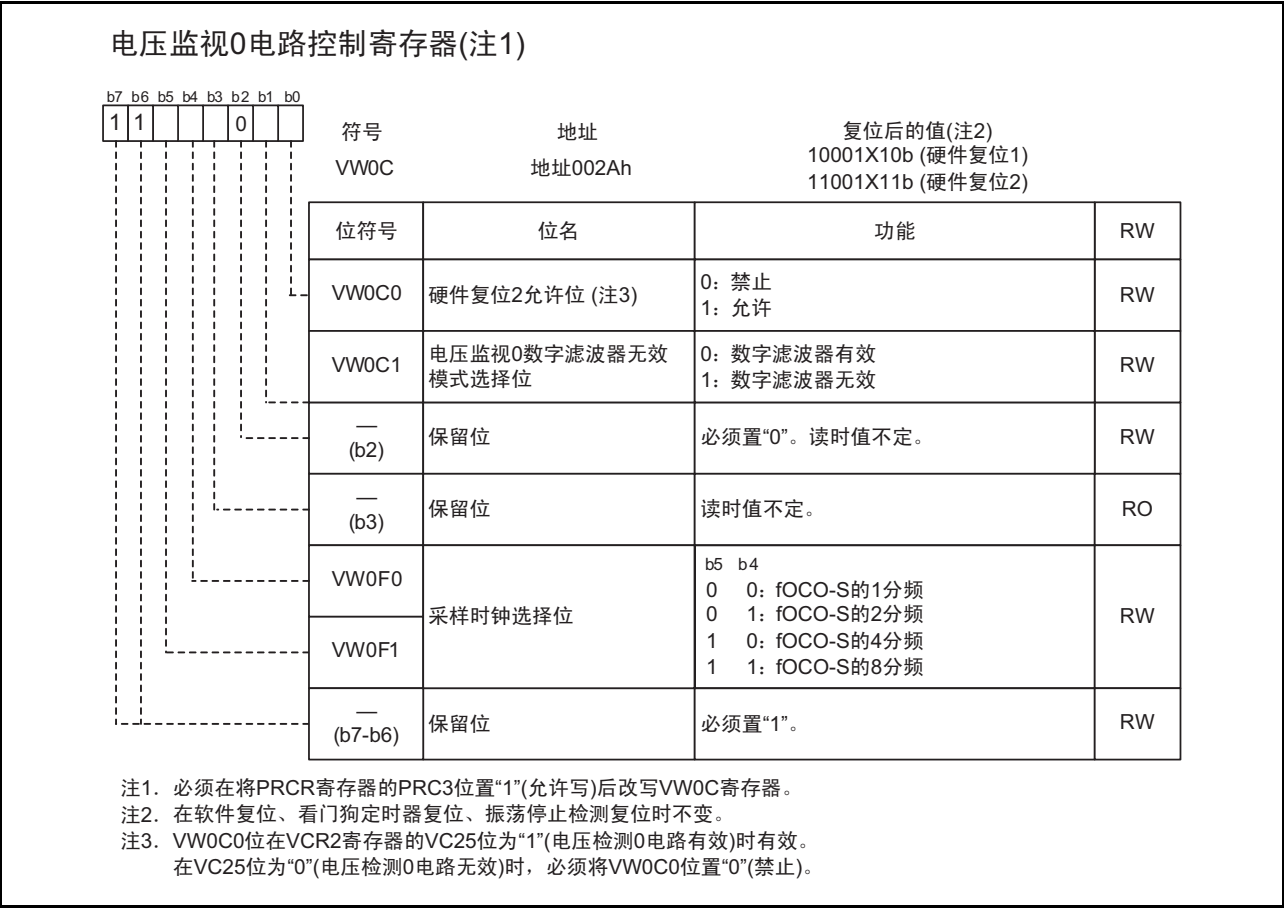


图 6.4 VW0C 寄存器

6.1 硬件复位 2

硬件复位 2 关联位的设定步骤如表 6.1 所示，硬件复位 2 的发生电路框图和运行例分别如图 6.5 和图 6.6 所示。

另外，在将硬件复位 2 用于从停止模式的返回时，必须将 VW0C 寄存器的 VW0C1 位置 “1”（数字滤波器无效）。

表 6.1 硬件复位 2 关联位的设定步骤

步骤	使用数字滤波器	不使用数字滤波器
1	将 VCR2 寄存器的 VC25 位置 “1”（电压检测 0 电路有效）。	
2	等待 $t_d(E-A)$	
3	通过 VW0C 寄存器的 VW0F0 ~ VW0F1 位选择数字滤波器的采样时钟，并且将 VW0C1 位置 “0”（数字滤波器有效），bit6 和 bit7 置 “1”。	将 VW0C 寄存器的 VW0C1 位置 “1”（数字滤波器无效），bit6 和 bit7 置 “1”。
4	将 VW0C 寄存器的 bit2 置 “0”（在步骤 3 之后重新将 bit2 置 “0”）。	
5	将 CM1 寄存器的 CM14 位置 “0”（125kHz 内部振荡器振荡）。	—
6	等待（数字滤波器的采样时钟 $\times 4$ 个周期）	—（无等待时间）
7	将 VW0C 寄存器的 VW0C0 位置 “1”（允许硬件复位 2）。	

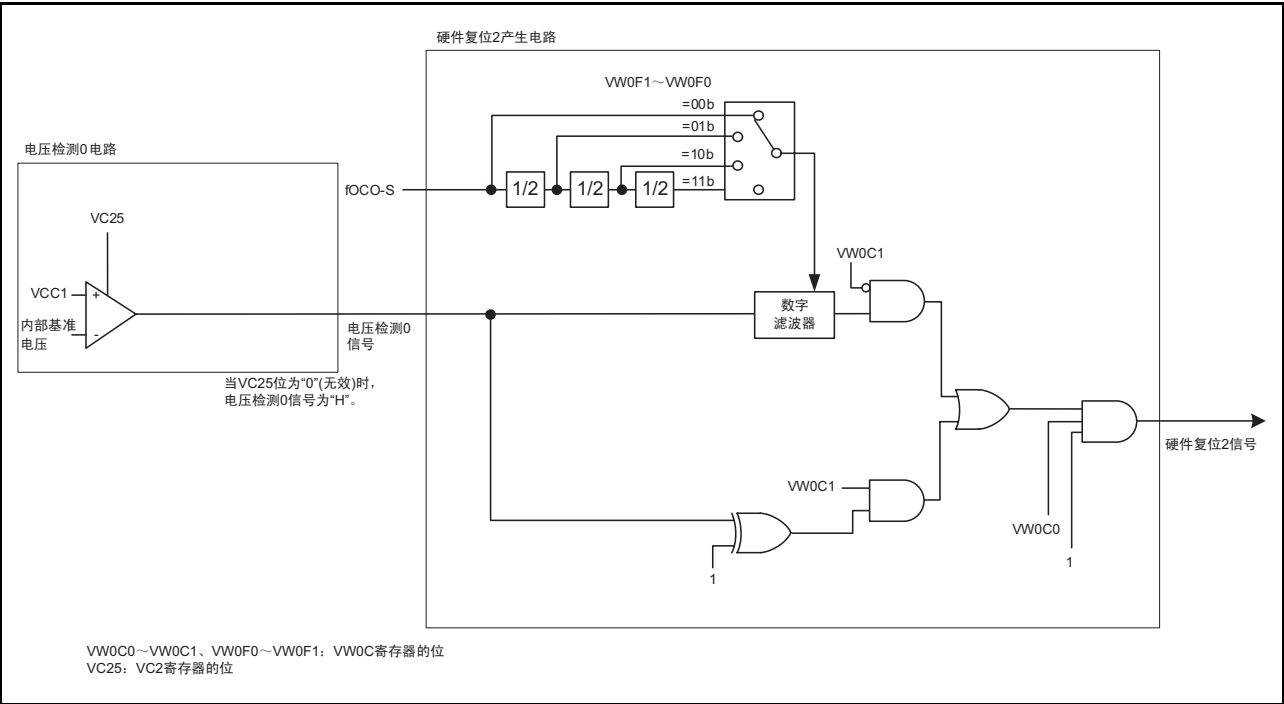


图 6.5 硬件复位 2 的发生电路框图

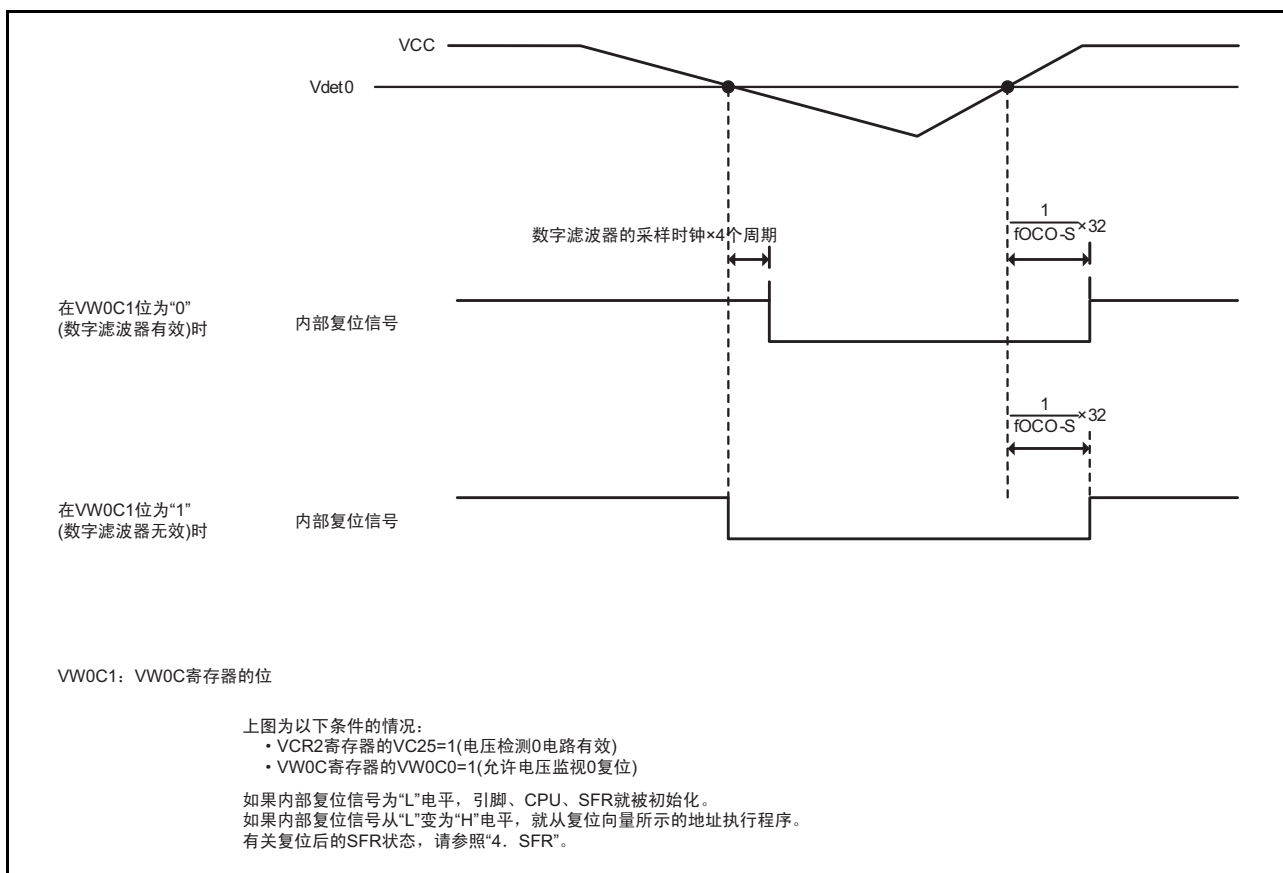


图 6.6 硬件复位 2 的运行例

6.2 低电压检测中断

在 D4INT 寄存器的 D40 位为“1”（允许低电压检测中断）时，如果 VCC1 引脚的输入电压上升到不低于 Vdet2 或者下降到不超过 Vdet2，就产生低电压检测中断请求。低电压检测中断与看门狗定时器中断、振荡停止 / 再振荡检测中断共用中断向量。

将低电压检测中断用于从停止模式的返回时，必须将 D4INT 寄存器的 D41 位置“1”（有效）。

在检测到 VCC1 引脚的输入电压上升或者下降并通过 Vdet2 时，D4INT 寄存器的 D42 位变为“1”。如果 D42 位从“0”变为“1”，就产生低电压检测中断请求。必须通过程序将 D42 位置“0”。但是，当 D41 位为“1”并且在停止模式的情况下，如果检测到 VCC1 引脚的输入电压上升并通过 Vdet2，就与 D42 位的状态无关，产生低电压检测中断请求，并从停止模式返回。

低电压检测中断请求的产生条件如表 6.2 所示。

检测 VCC1 引脚的输入电压通过 Vdet2 的采样时钟能通过 D4INT 寄存器的 DF1 ~ DF0 位设定，采样时间如表 6.3 所示。

表 6.2 低电压检测中断请求的产生条件

运行模式	VC27 位	D40 位	D41 位	D42 位	CM02 位	VC13 位
正常运行模式 (注 1)	1	1	—	0→1	—	0→1 (注 3)
						1→0 (注 3)
等待模式 (注 2)			—	0→1	0	0→1 (注 3)
						1→0 (注 3)
			—	1	0→1	
停止模式 (注 2)			1	—	0	0→1

—: “0” 或者 “1”

注 1. 将等待模式和停止模式以外的模式作为正常运行模式（参照“10. 时钟发生电路”）。

注 2. 请参照“6.3 停止模式的制约”和“6.4 等待模式的制约”。

注 3. 从 VC13 位的值发生变化开始，经过采样时间后，产生中断请求。

注 4. 详细内容请参照“图 6.8 低电压检测中断发生电路的运行例”。

表 6.3 采样时间

CPU 时钟 (D4INT 时钟) (MHz)	采样时钟 (μs)			
	DF1 ~ DF0=00 (CPU 时钟的 8 分频)	DF1 ~ DF0=01 (CPU 时钟的 16 分频)	DF1 ~ DF0=10 (CPU 时钟的 32 分频)	DF1 ~ DF0=11 (CPU 时钟的 64 分频)
16	3.0	6.0	12.0	24.0

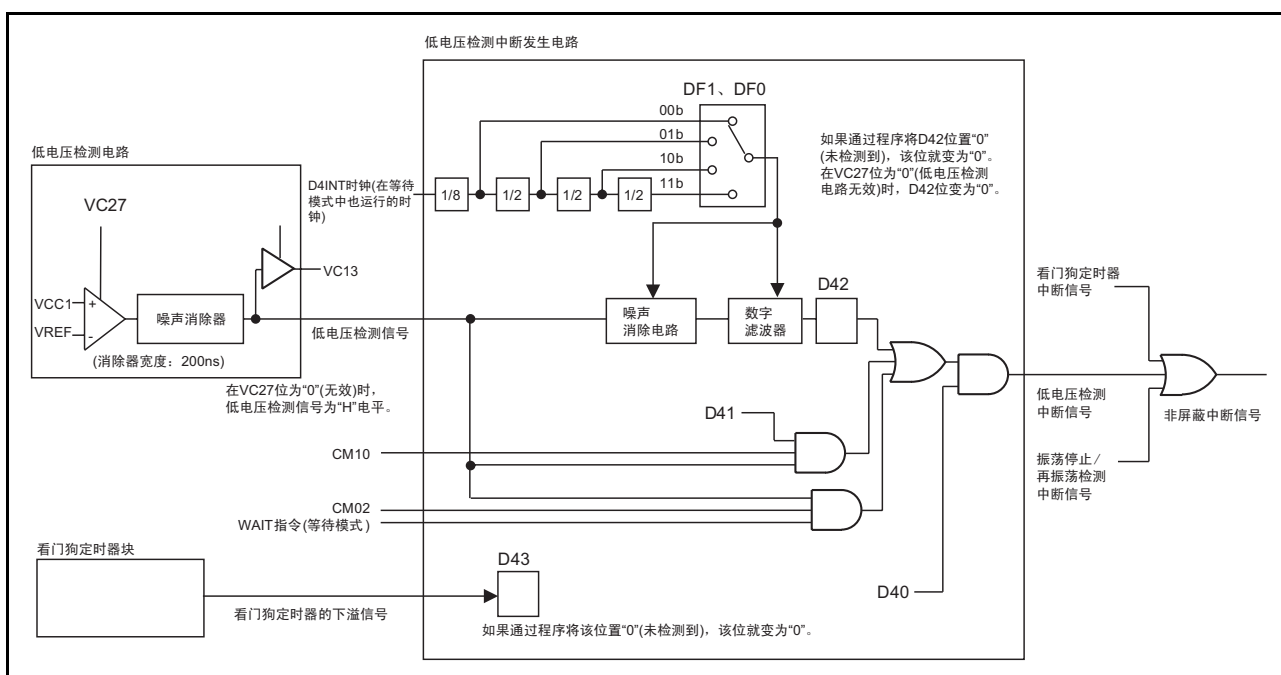


图 6.7 低电压检测中断发生电路的框图

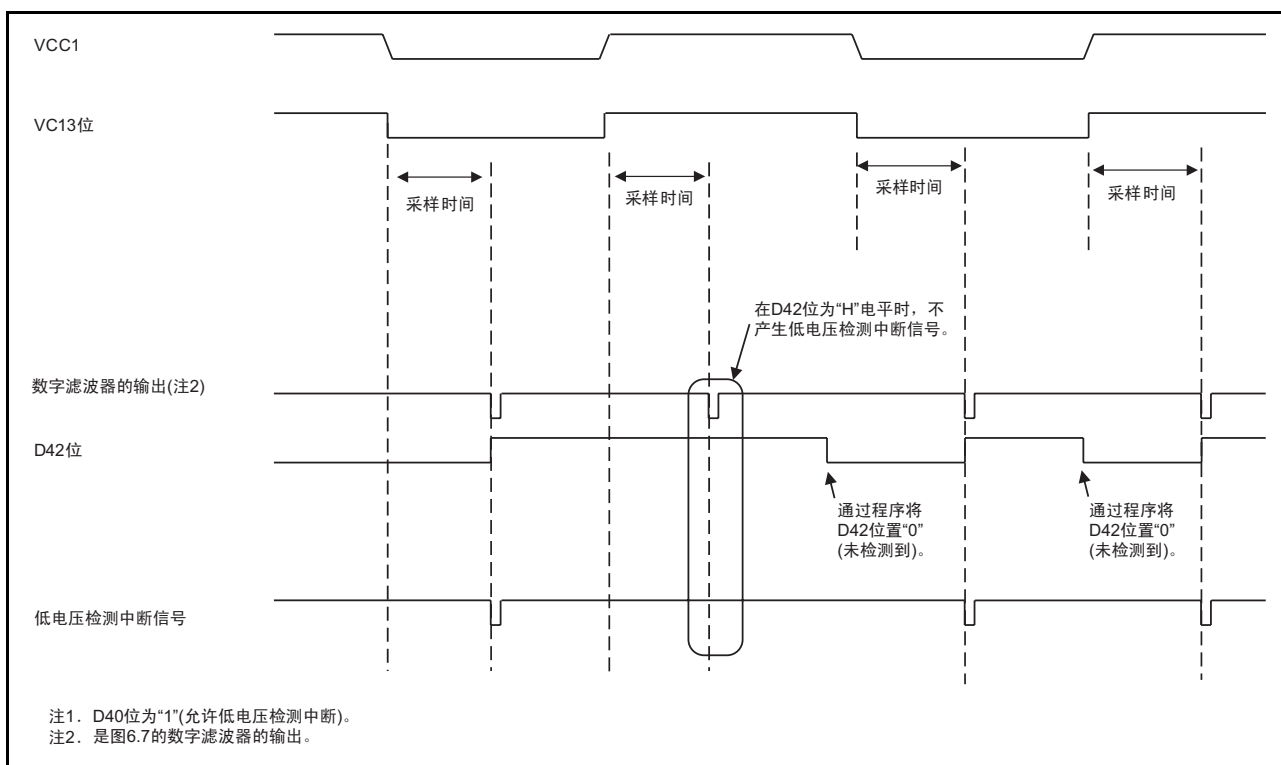


图 6.8 低电压检测中断发生电路的运行例

6.3 停止模式的制约

在全部满足以下 4 个条件时，如果将 CM1 寄存器的 CM10 位置“1”（停止模式），就立即产生低电压检测中断，并从停止模式返回。

- VCR2 寄存器的 VC27 位为“1”（低电压检测电路有效）。
- D4INT 寄存器的 D40 位为“1”（允许低电压检测中断）。
- D41 位为“1”（将低电压检测中断用于从停止模式的返回）。
- VCC1 引脚的输入电压不低于 V_{det2} （VCR1 寄存器的 VC13 位为“1”）。

当 VCC1 引脚的输入电压下降到不超过 V_{det2} 时，就转移到停止模式；当输入电压上升到不低于 V_{det2} 时，如果在从停止模式返回的系统中 VC13 位为“0”（ $VCC1 < V_{det2}$ ），就必须将 CM10 位置“1”。

6.4 等待模式的制约

在全部满足以下 5 个条件时，如果执行 WAIT 指令，就立即产生低电压检测中断，并从等待模式返回。

- CM0 寄存器的 CM02 位为“1”（停止外围功能时钟）。
- VCR2 寄存器的 VC27 位为“1”（低电压检测电路有效）。
- D4INT 寄存器的 D40 位为“1”（允许低电压检测中断）。
- D41 位为“1”（将低电压检测中断用于从等待模式的返回）。
- VCC1 引脚的输入电压不低于 V_{det2} （VCR1 寄存器的 VC13 位为“1”）。

当 VCC1 引脚的输入电压不超过 V_{det2} 时，就转移到等待模式；当输入电压至少为 V_{det2} 时，如果从等待模式返回的系统中的 VC13 位为“0”（ $VCC1 < V_{det2}$ ），就必须执行 WAIT 指令。

6.5 冷启动 / 热启动的判断功能

冷启动 / 热启动的判断功能能通过 RSTFR 寄存器的 CWR 位来判断接通电源时的冷启动（复位处理）以及在运行中输入复位信号时的热启动（复位处理）。

CWR 位在接通电源或者硬件复位 2 时为“0”。如果通过程序给 CWR 位写“1”，该位就变为“1”，而在硬件复位 1、软件复位、看门狗定时器复位和振荡停止检测复位时不变。

冷启动 / 热启动的判断功能使用硬件复位 2。

必须按照“表 6.1 硬件复位 2 关联位的设定步骤”设定硬件复位 2 的关联位。

冷启动 / 热启动判断功能的运行例和 RSTFR 寄存器分别如图 6.9 和图 6.10 所示。

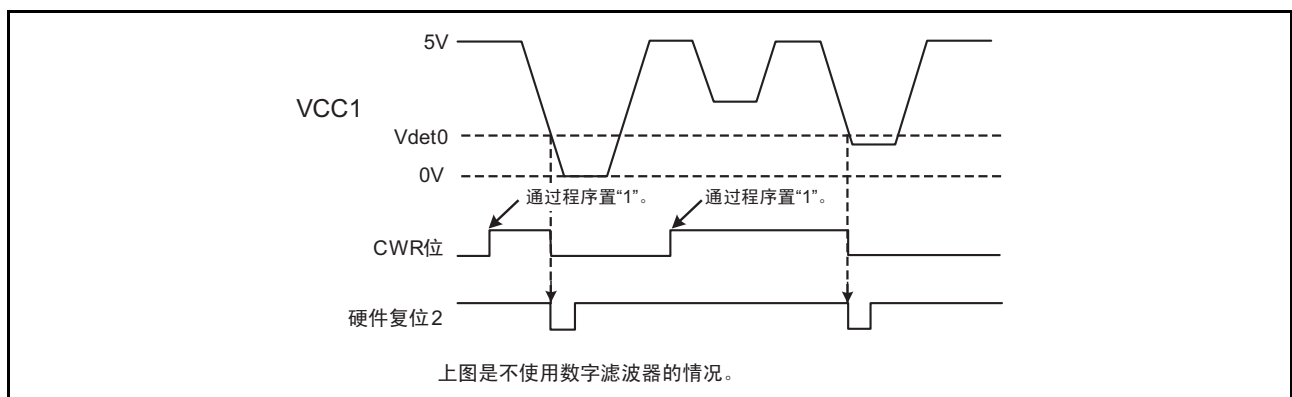


图 6.9 冷启动 / 热启动判断功能的运行例

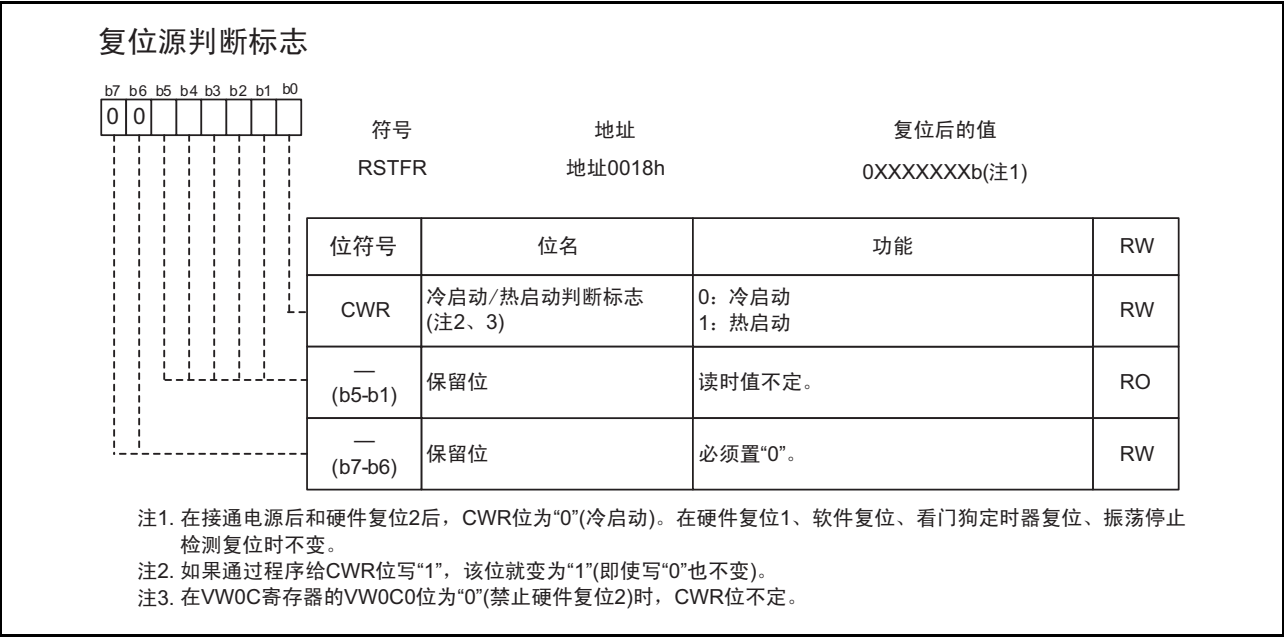


图 6.10 RSTFR 寄存器

7. 处理器模式

7.1 处理器模式的种类

处理器模式能选择单芯片模式、存储器扩展模式和微处理器模式。处理器模式的特点如表 7.1 所示。

表 7.1 处理器模式的特点

处理器模式	存取空间	分配输入 / 输出端口的引脚
单芯片模式	SFR、内部 RAM、内部 ROM	全部引脚为输入 / 输出端口或者外围功能输入 / 输出引脚。
存储器扩展模式	SFR、内部 RAM、内部 ROM、外部区域（注 1）	部分引脚为总线控制引脚（注 1）。
微处理器模式	SFR、内部 RAM、外部区域（注 1）	部分引脚为总线控制引脚（注 1）。

注 1. 详细内容请参照“8. 总线”。

7.2 处理器模式的设定

通过 CNVSS 引脚和 PM0 寄存器的 PM01 ~ PM00 位设定处理器模式。硬件复位后的处理器模式以及对应 PM01 ~ PM00 位设定值的处理器模式分别如表 7.2 和表 7.3 所示。

表 7.2 硬件复位后的处理器模式

CNVSS 引脚的输入电平	处理器模式
VSS	单芯片模式
VCC1（注 1、2）	微处理器模式

注 1. 如果将 VCC1 输入到 CNVSS 引脚并进行硬件复位（硬件复位 1 或者硬件复位 2），就与 PM01 ~ PM00 位无关，不能存取内部 ROM。

注 2. 不能将多路复用总线分配到 $\overline{\text{CS}}$ 的全部空间。

表 7.3 对应 PM01 ~ PM00 位设定值的处理器模式

PM01 ~ PM00 位	处理器模式
00b	单芯片模式
01b	存储器扩展模式
10b	不能设定
11b	微处理器模式

如果改写 PM01 ~ PM00 位，就与 CNVSS 引脚的输入电平无关，变为对应 PM01 ~ PM00 位的模式。在将 PM01 ~ PM00 位改写为“01b”（存储器扩展模式）或者“11b”（微处理器模式）时，不能同时改写 PM07 ~ PM02 位。另外，不能在内部 ROM 转移到微处理器模式，也不能在和内部 ROM 重叠的区域进行从微处理器模式的转移。

如果将 VCC1 输入到 CNVSS 引脚并进行硬件复位（硬件复位 1 或者硬件复位 2），就与 PM01 ~ PM00 位无关，不能存取内部 ROM。

处理器模式的关联寄存器以及单芯片模式中的存储器分配分别如图 7.1 ~ 图 7.3 和图 7.4 所示。

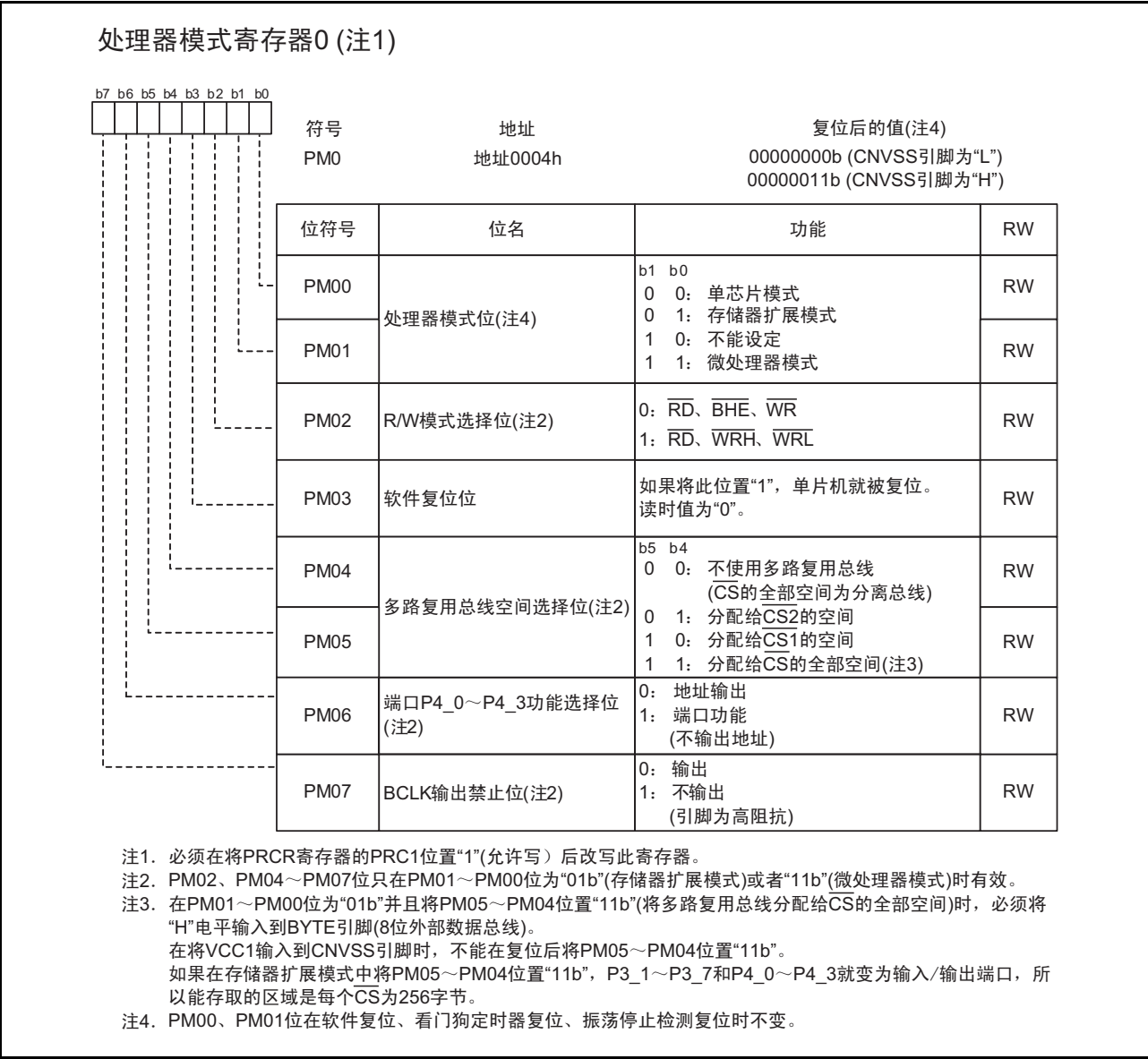
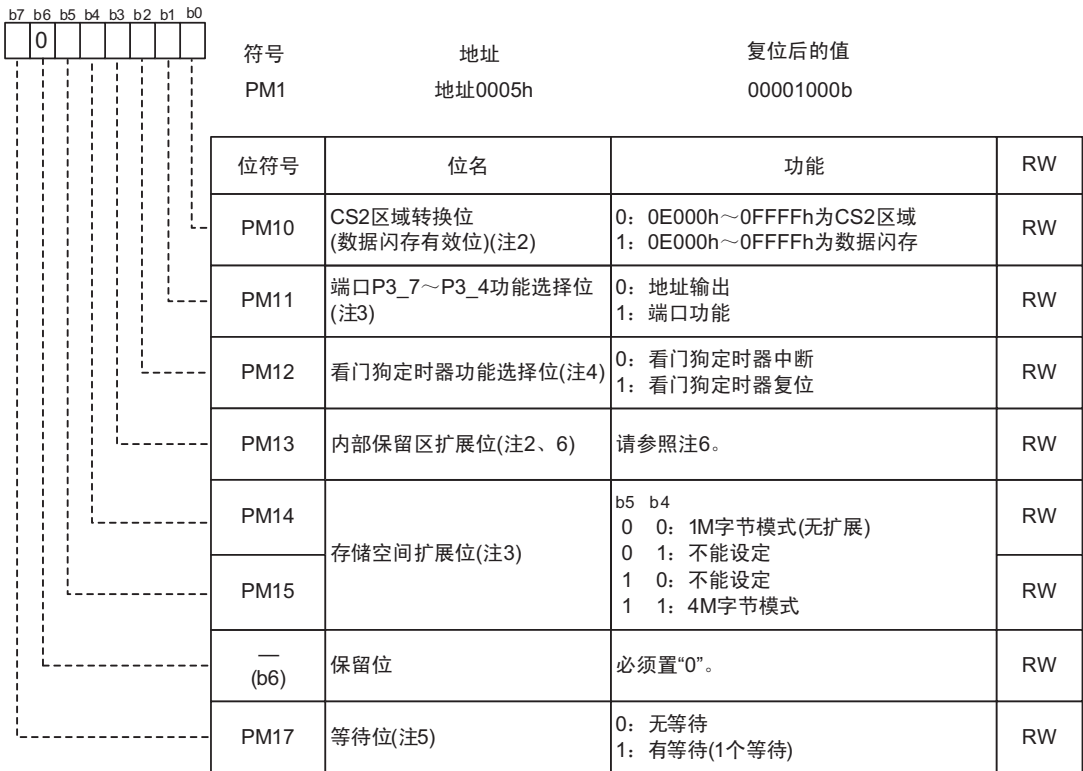


图 7.1 PM0 寄存器

处理器模式寄存器1(注1)



注1. 必须在将PRCR寄存器的PRC1位置“1”(允许写)后改写此寄存器。
注2. 在FMR0寄存器的FMR01位为“1”(CPU改写模式)期间，PM10位和PM13位自动变为“1”。
注3. PM11、PM14和PM15位只在PM01~PM00位为“01b”(存储器扩展模式)或者“11b”(微处理器模式)时有效。
注4. 如果通过程序给PM12位写“1”，该位就变为“1”(即使写“0”也不变)。CSPR寄存器的CSPRO位为“1”(计数源保护模式有效)时，PM12位自动变为“1”。
注5. 如果PM17位为“1”(有等待)，就在内存取部RAM和内部ROM时插入1个等待。
如果在PM17位为“1”时存取外部区域，就必须将CSR寄存器的CSIW位(i=0~3)置“0”(有等待)。
注6. 由PM13位引起的存取区域的变化如下：

存取区域		PM13=0	PM13=1
内部	RAM	最大地址00400h~03FFFh(15K字节)	可使用全区域。
	程序ROM1	最大地址D0000h~FFFFFh(192K字节)	可使用全区域。
外部		可使用地址04000h~0CFFFh。 可使用地址80000h~CFFFFh。 但是，在微处理器模式并且PM10=1时 地址08000h~0CFFFh为保留区。	地址04000h~0CFFFh为保留区。 地址80000h~CFFFFh为保留区(存储器 扩展模式中)。

图 7.2 PM1 寄存器

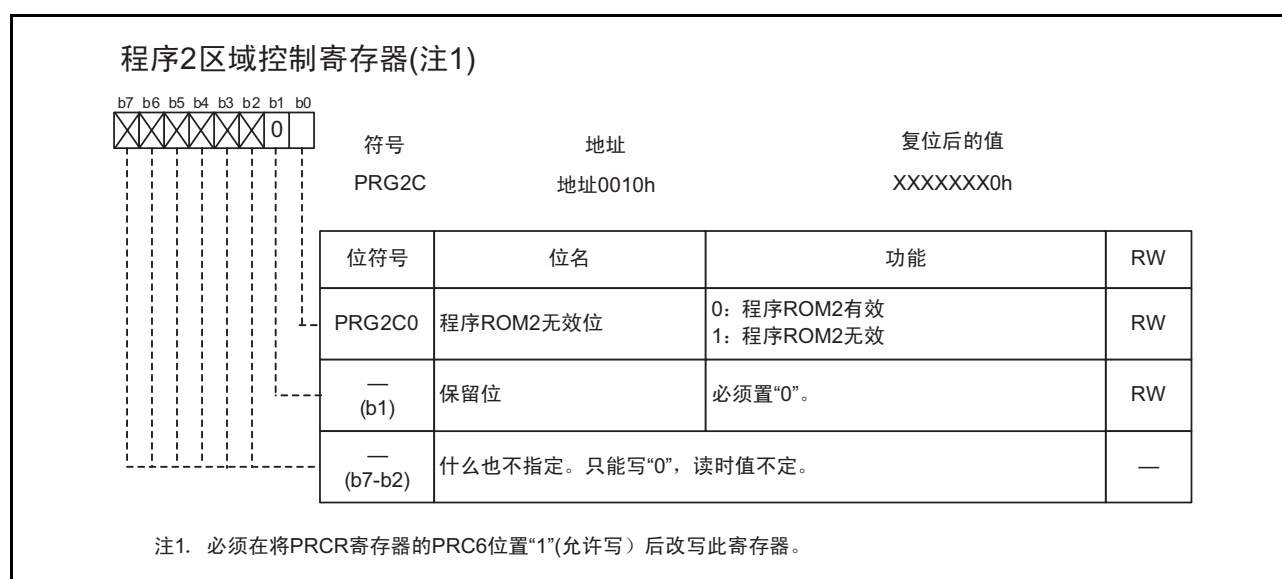


图 7.3 PRG2C 寄存器

7.3 内部存储器

能在全部的处理模式中使用内部 RAM，但是能使用的内部 RAM 的范围因 PM1 寄存器的 PM13 位而不同。

能在单芯片模式和存储器扩展模式中使用内部 ROM。内部 ROM 有数据闪存、程序 ROM2 和程序 ROM1。

数据闪存 有块 A（地址 0E000h ~ 0EFFFh）和块 B（地址 0F000h ~ 0FFFFh）。如果通过 PM1 寄存器的 PM10 位选择数据闪存，就能使用块 A 和块 B。数据闪存（地址 0E000h ~ 0FFFFh）如表 7.4 所示。

表 7.4 数据闪存（地址 0E000h ~ 0FFFFh）

PM1 寄存器的 PM10 位		0	1
处理器模式	单芯片模式	保留区	数据闪存
	存储器扩展模式	外部区域	数据闪存
	微处理器模式	外部区域	保留区

必须通过 PRG2C 寄存器的 PRG2C0 位选择程序 ROM2。程序 ROM2（地址 10000h ~ 13FFFh）如表 7.5 所示。

在单芯片模式或者存储器扩展模式中使用程序 ROM2 时，不能使用最后的 16 个字节（地址 13FF0h ~ 13FFFh），这 16 个字节是用户引导代码区（参照“22.1.2 用户引导功能”）。

表 7.5 程序 ROM2（地址 10000h ~ 13FFFh）

PRG2C 寄存器的 PRG2C0 位		0	1
处理器模式	单芯片模式	程序 ROM2	不能使用
	存储器扩展模式	程序 ROM2	外部区域
	微处理器模式	保留区	外部区域

能使用的程序 ROM1 的范围因 PM1 寄存器的 PM13 位而不同。单芯片模式中的存储器分配如图 7.4 所示。

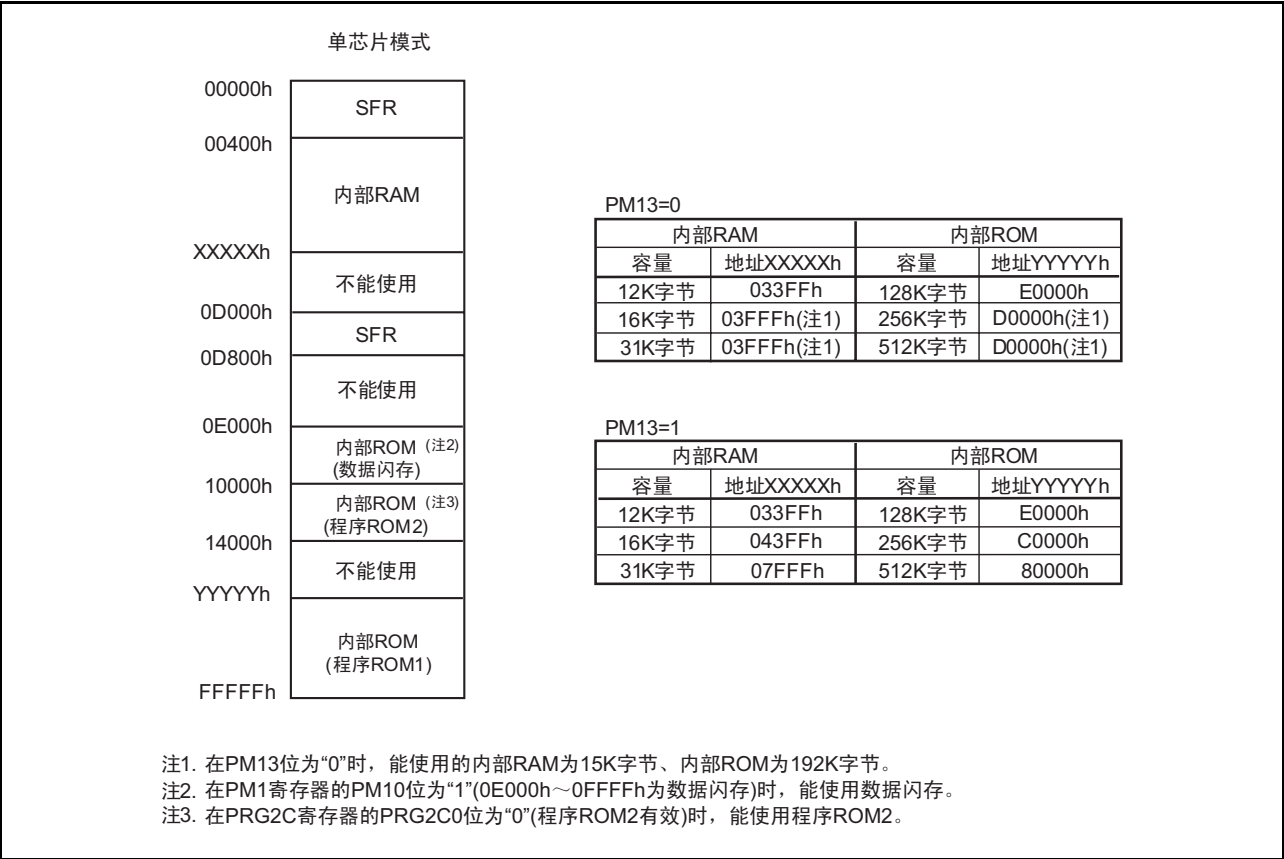


图 7.4 单芯片模式中的存储器分配

8. 总线

在存储器扩展模式或者微处理器模式中，部分引脚为和外部器件进行数据输入 / 输出的总线控制引脚。总线控制引脚有 A0 ~ A19、D0 ~ D15、 $\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL/WR}}$ 、 $\overline{\text{WRH/BHE}}$ 、ALE、 $\overline{\text{RDY}}$ 、 $\overline{\text{HOLD}}$ 、 $\overline{\text{HLDA}}$ 和 BCLK。

8.1 总线模式

能通过 PM0 寄存器的 PM05 ~ PM04 位选择多路复用总线或者分离总线。分离总线和多路复用总线的差异如表 8.1 所示。

8.1.1 分离总线

分离总线是数据和地址分离的总线模式。

8.1.2 多路复用总线

多路复用总线是数据和地址多路复用的总线模式。

8.1.2.1 将“H”电平输入到 BYTE 引脚（数据总线宽度为 8 位）时

D0 ~ D7 和 A0 ~ A7 多路复用。

8.1.2.2 将“L”电平输入到 BYTE 引脚（数据总线宽度为 16 位）时

D0 ~ D7 和 A1 ~ A8 多路复用。D8 ~ D15 不被多路复用，所以不能使用 D8 ~ D15。只能将连接多路复用总线的外部器件分配到单片机的偶数地址，不能存取奇数地址。

表 8.1 分离总线和多路复用总线的差异

引脚名（注 1）	分离总线	多路复用总线	
		BYTE=H	BYTE=L
P0_0 ~ P0_7/D0 ~ D7	D0 ~ D7	（注 2）	（注 2）
P1_0 ~ P1_7/D8 ~ D15	D8 ~ D15	输入 / 输出端口 P1_0 ~ P1_7	（注 2）
P2_0/A0(/D0/-)	A0	A0 D0	A0
P2_1 ~ P2_7/A1 ~ A7 (/D1 ~ D7/D0 ~ D6)	A1 ~ A7	A1 ~ A7 D1 ~ D7	A1 ~ A7 D0 ~ D6
P3_0/A8(/-/D7)	A8	A8	A8 D7

注 1. 有关上述以外的总线控制信号，请参照“表 8.6 处理器模式和引脚功能表”。

注 2. PM05 ~ PM04 的设定因存取的区域而不同。详细内容请参照“表 8.6 处理器模式和引脚功能表”。

8.2 总线控制

以下说明存取外部器件时所需的信号和软件等待。

8.2.1 地址总线

地址总线有 A0 ~ A19 共 20 条。能通过 PM0 寄存器的 PM06 位和 PM1 寄存器的 PM11 位，从 12 位、16 位、20 位中选择地址总线宽度。PM06 位、PM11 位的设定值和地址总线宽度如表 8.2 所示。

表 8.2 PM06 位、PM11 位的设定值和地址总线宽度

设定值（注 1）	引脚功能	地址总线宽度
PM11=1	P3_4 ~ P3_7	12 位
PM06=1	P4_0 ~ P4_3	
PM11=0	A12 ~ A15	16 位
PM06=1	P4_0 ~ P4_3	
PM11=0	A12 ~ A15	20 位
PM06=0	A16 ~ A19	

注 1. 不能设定此表中以外的值。

另外，在从单芯片模式变为存储器模式时，地址总线在存取外部区域前为不定状态。

8.2.2 数据总线

将“H”电平输入到 BYTE 引脚（数据总线宽度为 8 位）时，D0 ~ D7 为 8 条数据总线；将“L”电平输入到 BYTE 引脚（数据总线宽度为 16 位）时，D0 ~ D15 为 16 条数据总线。

不能更改 BYTE 引脚的输入电平。

8.2.3 片选信号

从 $\overline{\text{CS}}_i$ ($i=0 \sim 3$) 引脚输出片选信号（以下称为 $\overline{\text{CS}}$ ）。能通过 CSR 寄存器的 $\overline{\text{CS}}_i$ 位选择引脚功能为输入 / 输出端口或者 $\overline{\text{CS}}$ 。CSR 寄存器如图 8.1 所示。

在 1M 字节模式中，能根据从 $\overline{\text{CS}}_i$ 引脚输出的 $\overline{\text{CS}}_i$ 信号将外部区域最多分为 4 个；在 4M 字节模式中，从 $\overline{\text{CS}}_i$ 引脚输出 $\overline{\text{CS}}_i$ 信号或者存储体号。详细内容请参照“9. 存储空间扩展功能”。

1M 字节模式中的地址总线和 $\overline{\text{CS}}_i$ 信号的输出例子（分离总线和无等待）如图 8.2 所示。

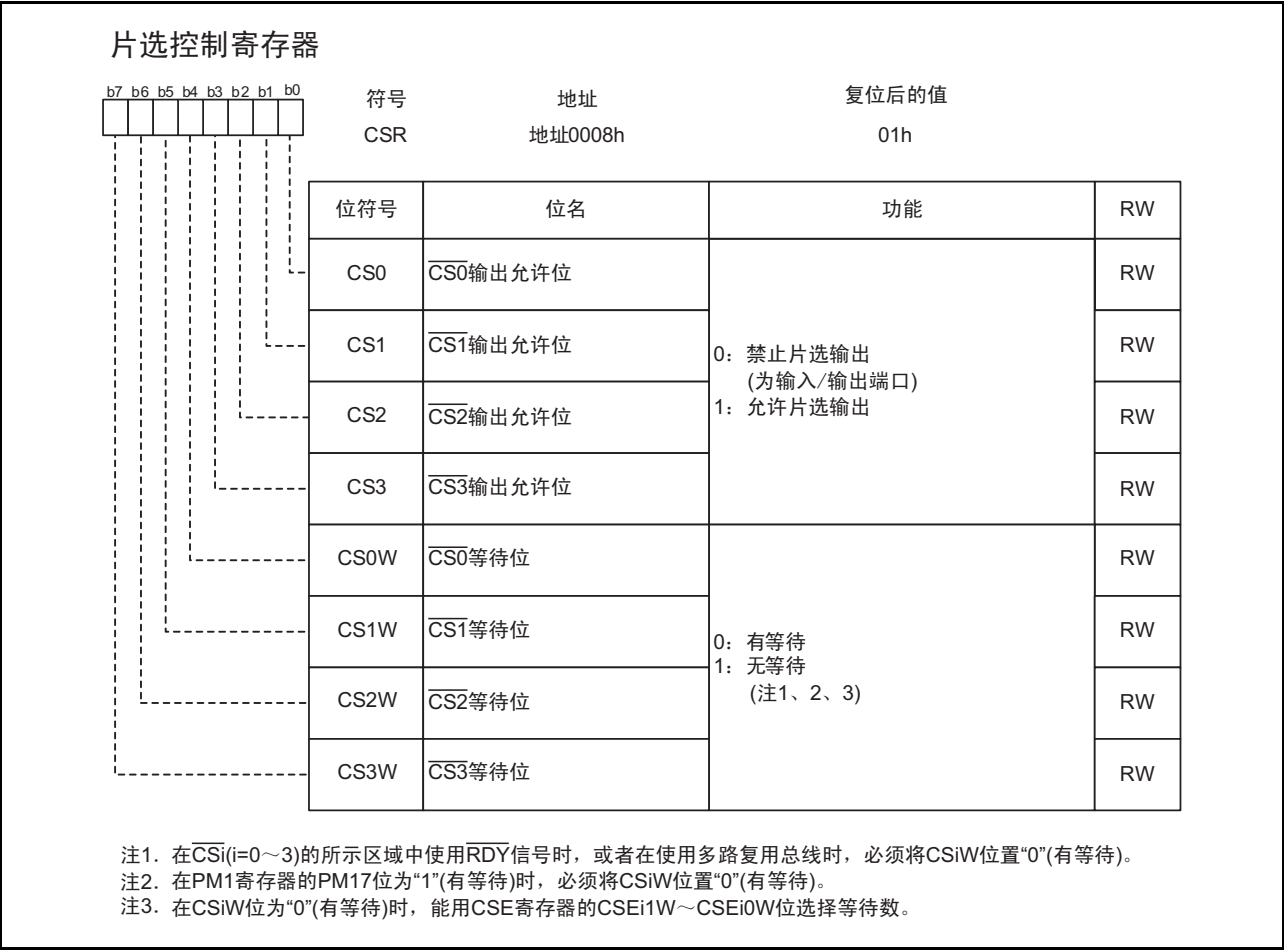
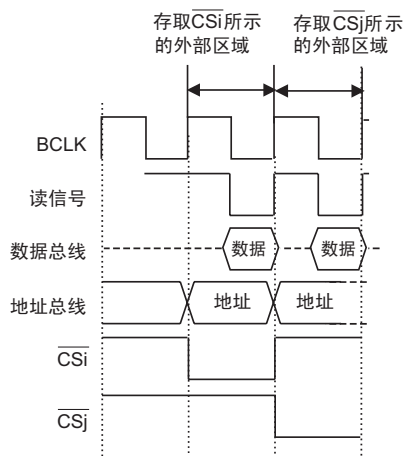


图 8.1 CSR 寄存器

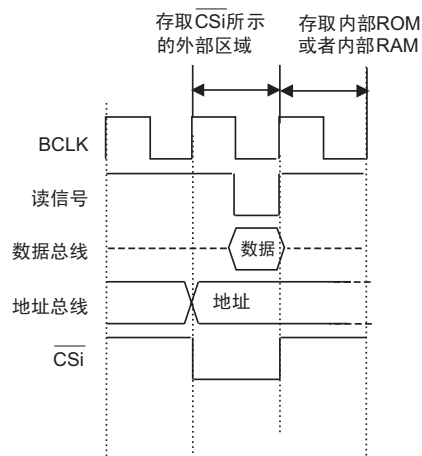
例1. 在存取 $\overline{\text{CSi}}$ 所示的外部区域后的下一个周期，存取 $\overline{\text{CSj}}$ 所示的外部区域

在此2个周期中，地址总线和片选信号都发生变化。



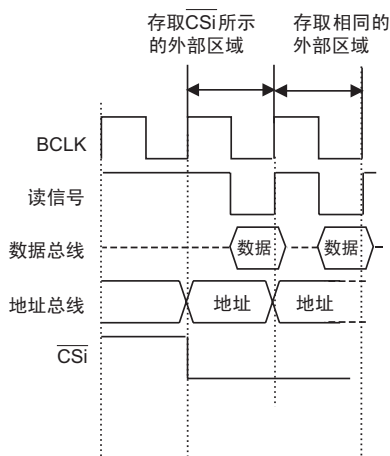
例2. 在存取 $\overline{\text{CSi}}$ 所示的外部区域后的下一个周期，存取内部ROM或者内部RAM

在此2个周期中，片选信号发生变化，但是地址总线不发生变化。



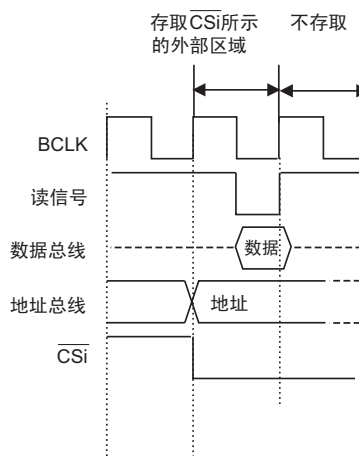
例3. 在存取 $\overline{\text{CSi}}$ 所示的外部区域后的下一个周期，存取相同 $\overline{\text{CSi}}$ 所示的外部区域

在此2个周期中，地址总线发生变化，但是片选信号不发生变化。



例4. 在存取 $\overline{\text{CSi}}$ 所示的外部区域后的下一个周期，不存取任何区域(也不预取指令)

在此2个周期中，地址总线和片选信号都不发生变化。



注1. 这些例子表示连续2个周期的地址总线和芯片选择信号。
根据这些例子的组合，片选信号有可能至少延长为2个总线周期。

上图分离总线、无等待、读取的情况。 $i=0\sim3$ 、 $j=0\sim3$ (但是， i 除外)。

图 8.2 1M 字节模式中的地址总线和 $\overline{\text{CSi}}$ 信号的输出例子

8.2.4 读写信号

当数据总线宽度为 16 位时，读写信号能通过 PM0 寄存器的 PM02 位选择 $\overline{\text{RD}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{WR}}$ 的组合或者 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 的组合；当数据总线宽度为 8 位时，必须选择 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 的组合。 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 信号的运行和 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 信号的运行分别如表 8.3 和表 8.4 所示。

表 8.3 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 信号的运行

数据总线	$\overline{\text{RD}}$	$\overline{\text{WRL}}$	$\overline{\text{WRH}}$	外部数据总线的状态
16 位（将“L”电平输入到 BYTE 引脚）	L	H	H	读数据。
	H	L	H	将 1 个字节的数据写到偶数地址。
	H	H	L	将 1 个字节的数据写到奇数地址。
	H	L	L	将数据写到偶数地址和奇数地址。

表 8.4 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 和 $\overline{\text{BHE}}$ 信号的运行

数据总线	$\overline{\text{RD}}$	$\overline{\text{WR}}$	$\overline{\text{BHE}}$	A0	外部数据总线的状态
16 位（将“L”电平输入到 BYTE 引脚）	H	L	L	H	将 1 个字节的数据写到奇数地址。
	L	H	L	H	读奇数地址的 1 个字节数据。
	H	L	H	L	将 1 个字节的数据写到偶数地址。
	L	H	H	L	读偶数地址的 1 个字节数据。
	H	L	L	L	将数据写到偶数地址和奇数地址。
	L	H	L	L	读偶数地址和奇数地址的数据。
8 位（将“H”电平输入到 BYTE 引脚）	H	L	—（注 1）	H 或者 L	写 1 个字节的数据。
	L	H	—（注 1）	H 或者 L	读 1 个字节的数据。

注 1. 不能使用。

8.2.5 ALE 信号

ALE 信号是在存取多路复用总线的空间时用于锁存地址的信号。必须在 ALE 信号的下降沿锁存地址。

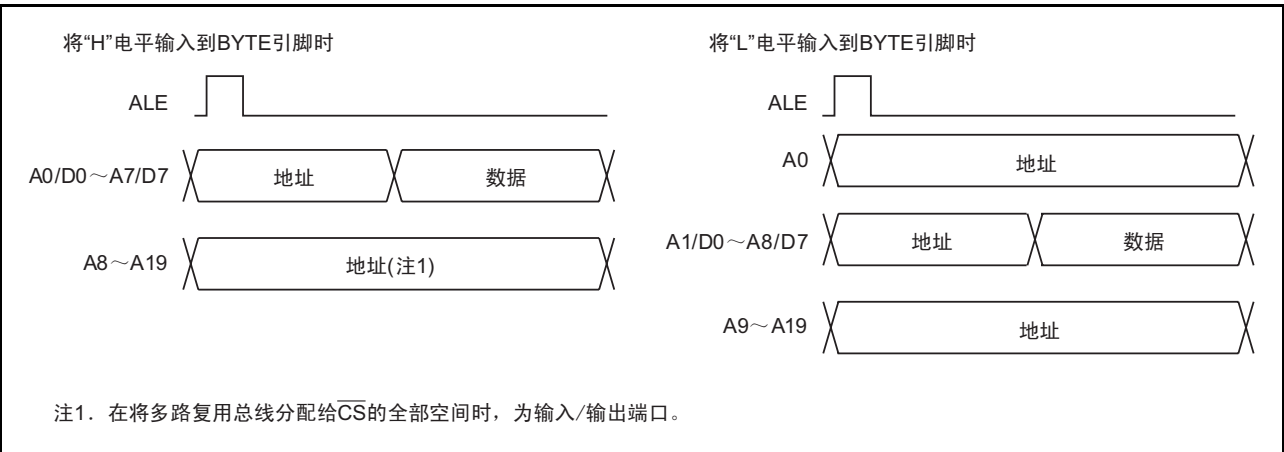


图 8.3 ALE 信号、地址总线 and 数据总线

8.2.6 $\overline{\text{RDY}}$ 信号

$\overline{\text{RDY}}$ 信号是用于存取速度慢的外部器件的信号。如果在总线周期的最后 BCLK 下降时将“L”电平输入到 $\overline{\text{RDY}}$ 引脚，就将等待插入总线周期。在 $\overline{\text{RDY}}$ 信号产生的等待中，以下的信号保持接受到 $\overline{\text{RDY}}$ 信号时的状态。

A0 ~ A19、D0 ~ D15、 $\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、ALE、 $\overline{\text{HLDA}}$

然后，如果在 BCLK 下降时将“H”电平输入到 $\overline{\text{RDY}}$ 引脚，就执行剩下的总线周期。通过 $\overline{\text{RDY}}$ 信号将等待插入读周期的例子如图 8.4 所示。

在使用 $\overline{\text{RDY}}$ 信号时，必须将 CSR 寄存器的对应位（CS3W ~ CS0W 位）置“0”（有等待）；在不使用 $\overline{\text{RDY}}$ 信号时，必须将 $\overline{\text{RDY}}$ 引脚上拉。

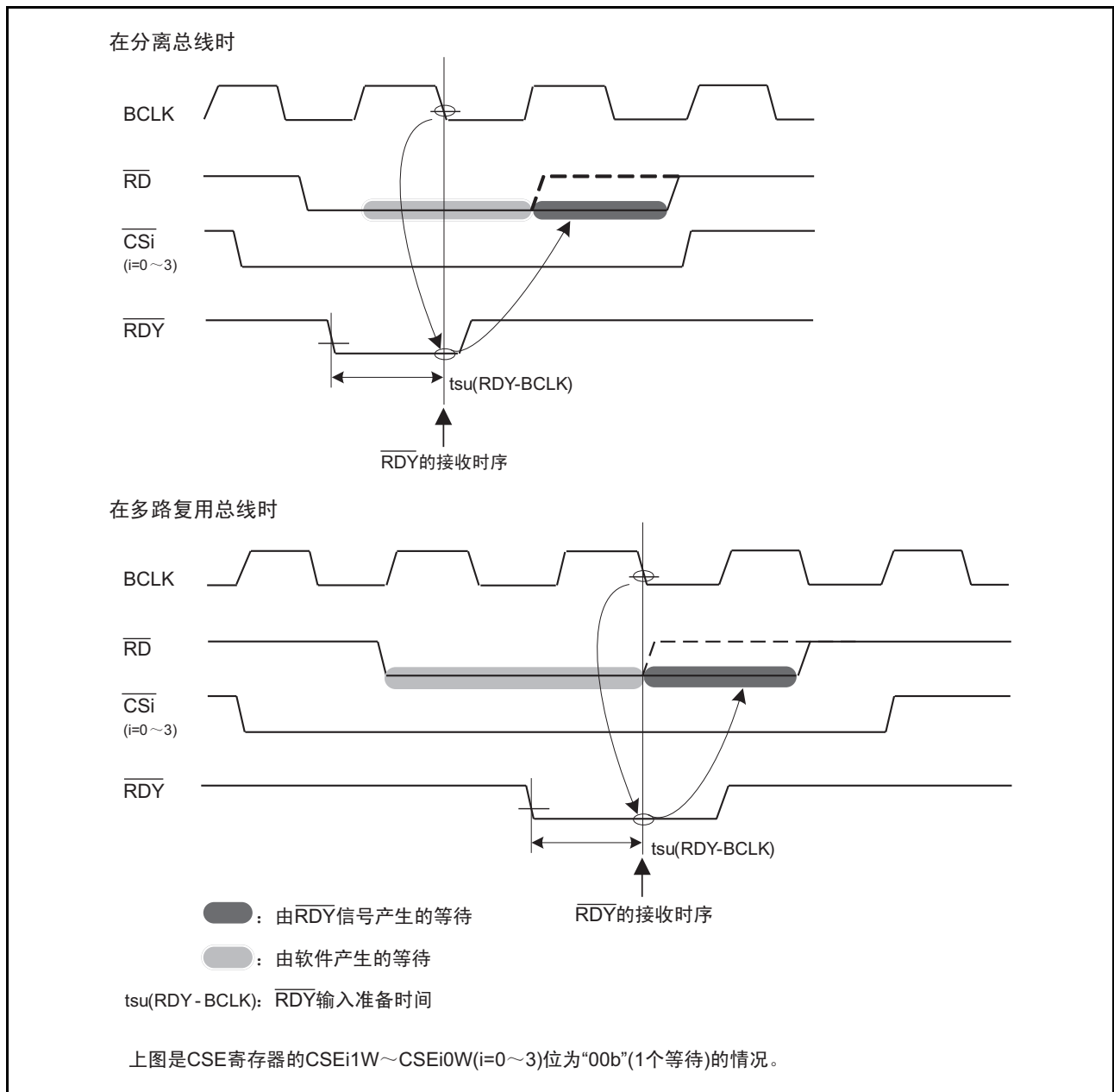


图 8.4 通过 $\overline{\text{RDY}}$ 信号将等待插入读周期的例子

8.2.7 $\overline{\text{HOLD}}$ 信号

$\overline{\text{HOLD}}$ 信号是用于将总线使用权从 CPU 或者 DMAC 转移到外部电路的信号。如果将“L”电平输入到 $\overline{\text{HOLD}}$ 引脚，就在结束当时的总线存取后，单片机变为保持状态。在 $\overline{\text{HOLD}}$ 引脚为“L”电平期间，处于保持状态， $\overline{\text{HLDA}}$ 引脚在保持状态期间输出“L”电平。处于保持状态的单片机状态如表 8.5 所示。

另外，总线使用权的优先级由高到低依次为 $\overline{\text{HOLD}}$ 、DMAC 和 CPU。但是，如果 CPU 以字为单位存取奇数地址，就在分 2 次存取的期间，DMAC 得不到总线使用权。

$\overline{\text{HOLD}} > \text{DMAC} > \text{CPU}$

图 8.5 总线使用权的优先级

表 8.5 处于保持状态的单片机状态

项目		状态
BCLK		输出
A0 ~ A19、D0 ~ D15、 $\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$		高阻抗
输入 / 输出端口	P0、P1、P3、P4（注 1）	高阻抗
	P6 ~ P10	保持接受到 $\overline{\text{HOLD}}$ 信号时的状态。
$\overline{\text{HLDA}}$		输出“L”电平。
内部外围功能		运行（但是看门狗定时器停止运行）（注 2）
ALE		不定

注 1. 这是选择输入 / 输出端口的情况。

注 2. 当 CSPR 寄存器的 CSPRO 位为“1”（计数源保护模式有效）时，看门狗定时器不停止运行。

8.2.8 BCLK 输出

如果将 PM0 寄存器的 PM07 位置“0”（输出），就从 BCLK 引脚输出和 CPU 时钟同频率的时钟（作为 BCLK）。详细内容请参照“10.2 CPU 时钟和外围功能时钟”。

表 8.6 处理器模式和引脚功能表

处理器模式		存储器扩展模式或者微处理器模式				存储器扩展模式
PM05 ~ PM04 位		00b（分离总线）		01b（CS2 区域为多路复用总线，其他为分离总线） 10b（CS1 区域为多路复用总线，其他为分离总线）		11b（CS 的全部区域为多路复用总线） （注 1）
数据总线宽度 BYTE 引脚		8 位 “H”	16 位 “L”	8 位 “H”	16 位 “L”	8 位 “H”
P0_0 ~ P0_7		D0 ~ D7	D0 ~ D7	D0 ~ D7（注 6）	D0 ~ D7（注 6）	输入 / 输出端口
P1_0 ~ P1_7		输入 / 输出端口	D8 ~ D15	输入 / 输出端口	D8 ~ D15（注 6）	输入 / 输出端口
P2_0		A0	A0	A0/D0（注 4）	A0	A0/D0
P2_1 ~ P2_7		A1 ~ A7	A1 ~ A7	A1 ~ A7/D1 ~ D7 （注 4）	A1 ~ A7/D0 ~ D6 （注 4）	A1 ~ A7/D1 ~ D7
P3_0		A8	A8	A8	A8/D7（注 4）	A8
P3_1 ~ P3_3		A9 ~ A11				输入 / 输出端口
P3_4 ~ P3_7	PM11=0	A12 ~ A15				输入 / 输出端口
	PM11=1	输入 / 输出端口				
P4_0 ~ P4_3	PM06=0	A16 ~ A19				输入 / 输出端口
	PM06=1	输入 / 输出端口				
P4_4	CS0=0	输入 / 输出端口				
	CS0=1	CS0				
P4_5	CS1=0	输入 / 输出端口				
	CS1=1	CS1				
P4_6	CS2=0	输入 / 输出端口				
	CS2=1	CS2				
P4_7	CS3=0	输入 / 输出端口				
	CS3=1	CS3				
P5_0	PM02=0	WR				
	PM02=1	—（注 5）	WRL	—（注 5）	WRL	—（注 5）
P5_1	PM02=0	BHE				
	PM02=1	—（注 5）	WRH	—（注 5）	WRH	—（注 5）
P5_2		RD				
P5_3		BCLK				
P5_4		HLDA				
P5_5		HOLD				
P5_6		ALE				
P5_7		RDY				

输入 / 输出端口：用作输入 / 输出端口或者外围功能的输入 / 输出引脚

- 注 1. 在 PM01 ~ PM00 位为 “01b” (存储器扩展模式) 并且将 PM05 ~ PM04 位置 “11b” (将多路复用总线分配给 $\overline{\text{CS}}$ 的全部空间) 时，必须将 “H” 电平输入到 BYTE 引脚 (外部数据总线为 8 位)。
- 注 2. 在将 VCC1 输入到 CNVSS 引脚时，不能在复位后将 PM05 ~ PM04 位置 “11b”。
- 注 3. 如果在存储器扩展模式中将 PM05 ~ PM04 位置 “11b”，P3_1 ~ P3_7 和 P4_0 ~ P4_3 就变为输入 / 输出端口，所以能存取的区域是每个 $\overline{\text{CS}}$ 为 256 个字节。
- 注 4. 在分离总线时为地址总线。
- 注 5. 在数据总线宽度为 8 位时，必须将 PM02 位置 “0” ($\overline{\text{RD}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{WR}}$)。
- 注 6. 当存取要使用多路复用总线的区域时，就在写操作时输出不定值。

8.2.9 存取内部区域时的外部总线状态

存取内部区域时的外部总线状态如表 8.7 所示。

表 8.7 存取内部区域时的外部总线状态

项目		存取 SFR 时的状态	存取内部 ROM、RAM 时的状态
A0 ~ A19		输出地址。	保持刚存取的外部区域或者 SFR 的地址。
D0 ~ D15	读时	高阻抗	高阻抗
	写时	输出数据。	不定
$\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$		输出 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 。	输出“H”电平。
$\overline{\text{BHE}}$		输出 $\overline{\text{BHE}}$ 。	保持刚存取的外部区域或者 SFR 的状态。
$\overline{\text{CS0}} \sim \overline{\text{CS3}}$		输出“H”电平。	输出“H”电平。
$\overline{\text{ALE}}$		输出“L”电平。	输出“L”电平。

8.2.10 软件等待

在软件等待的关联位中，PM1 寄存器的 PM17 位影响内部存储器和外部区域。

根据 PM2 寄存器的 PM20 位，以 2 个或者 3 个 BCLK 周期存取 SFR 区域。在内部 ROM 中，数据闪存受 PM17 位和 FMR1 寄存器的 FMR17 位的影响。详细内容请参照“表 8.8 软件等待的关联位和总线周期（SFR、内部存储器）”。

对于外部区域，除了 PM17 位以外，能根据 CSR 寄存器的 CSiW 位和 CSE 寄存器的 CSEi1W ~ CSEi0W 位给每个 CSi（i=0 ~ 3）插入软件等待。另外，在使用 RDY 信号时，必须将 CSiW 位的对应位置“0”（有等待）。详细内容请参照“表 8.9 软件等待的关联位和总线周期（外部区域）”。

CSE 寄存器如图 8.6 所示，软件等待的关联位和总线周期（SFR、内部存储器）、软件等待的关联位和总线周期（外部区域）分别如表 8.8 和表 8.9 所示。

表 8.8 软件等待的关联位和总线周期（SFR、内部存储器）

区域		软件等待关联位的设定			软件等待	总线周期
		PM2 寄存器的 PM20 位（注 1）	FMR1 寄存器的 FMR17 位	PM1 寄存器的 PM17 位		
SFR		1	—	—	1 个等待	2 个 BCLK 周期（注 3）
		0	—	—	2 个等待	3 个 BCLK 周期
内部 RAM		—	—	0	无	1 个 BCLK 周期（注 3）
				1	1 个等待	2 个 BCLK 周期
内部 ROM	程序 ROM1	—	—	0	无	1 个 BCLK 周期（注 3）
	程序 ROM2			1	1 个等待	2 个 BCLK 周期
	数据闪存 （注 2）	—	0	—	1 个等待	2 个 BCLK 周期（注 3）
			1	0	无	1 个 BCLK 周期
				1	1 个等待	2 个 BCLK 周期

—：“0”或者“1”

注 1. PM20 位在 PLC0 寄存器的 PLC07 位为“1”（PLL 运行）时有效。

注 2. 当 $2.7\text{V} \leq \text{VCC1} \leq 3.0\text{V}$ 并且 $f(\text{BCLK}) \geq 16\text{MHz}$ 时或者在 $3.0\text{V} < \text{VCC1} \leq 5.5\text{V}$ 并且 $f(\text{BCLK}) \geq 20\text{MHz}$ 时，数据闪存的读取需要 1 个等待，必须通过 PM17 位或者 FMR17 位设定为 1 个等待。

注 3. 是复位后的状态。

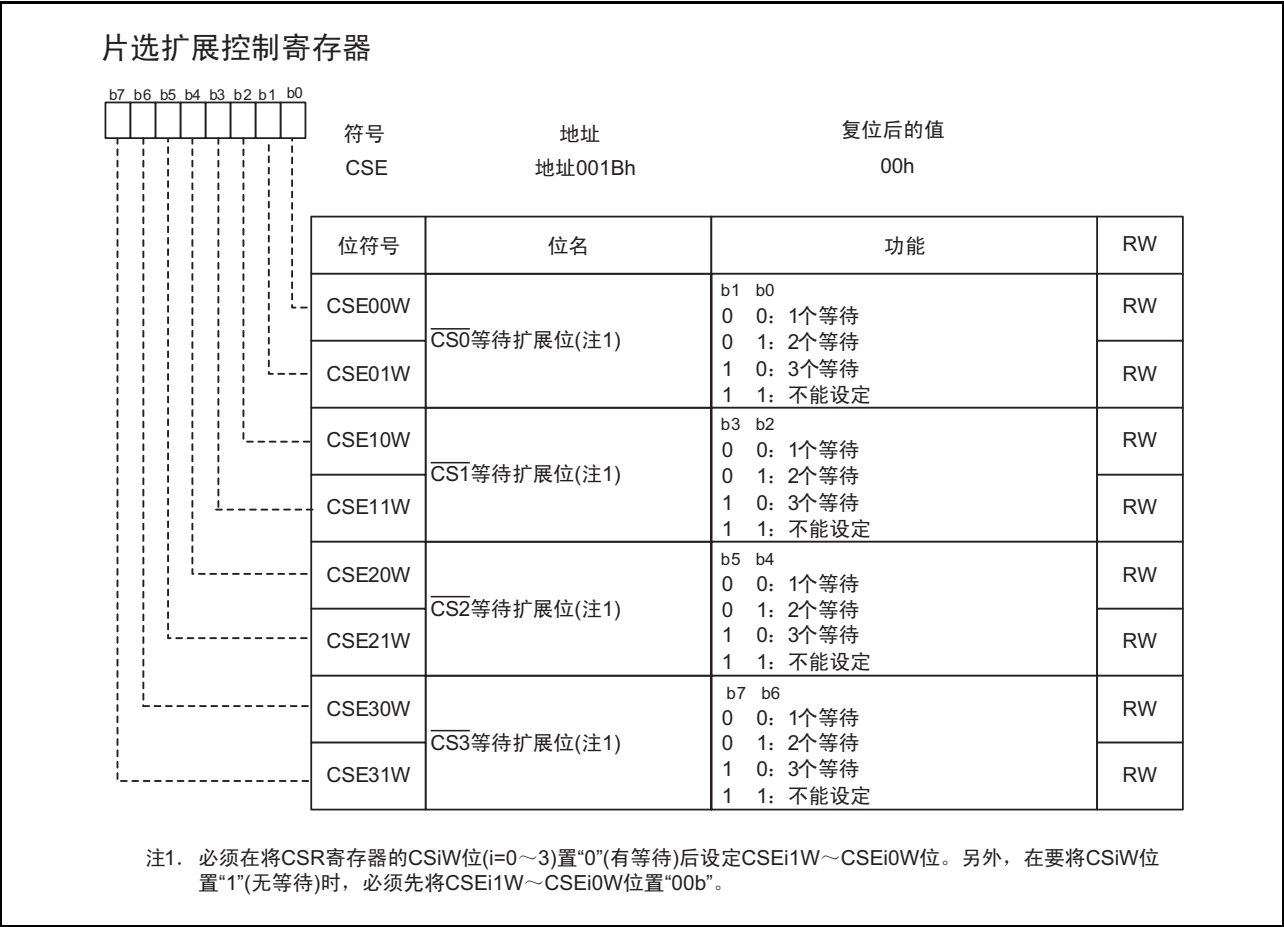


图 8.6 CSE 寄存器

表 8.9 软件等待的关联位和总线周期（外部区域）

区域	总线模式	软件等待关联位的设定			软件等待	总线周期
		PM1 寄存器的 PM17 位	CSR 寄存器的 CSiW 位（注 1）	CSE 寄存器的 CSEi1W ~ CSEi0W 位		
外部区域	分离总线	0	1	00b	无	1 个 BCLK 周期（读）
		—	—	—		2 个 BCLK 周期（写）
		—	0	00b	1 个等待	2 个 BCLK 周期（注 4）
		—	0	01b	2 个等待	3 个 BCLK 周期
		—	0	10b	3 个等待	4 个 BCLK 周期
		1	0（注 3）	00b	1 个等待	2 个 BCLK 周期
	多路复用 总线	—	0（注 2）	00b	1 个等待	3 个 BCLK 周期
		—	0（注 2）	01b	2 个等待	3 个 BCLK 周期
		—	0（注 2）	10b	3 个等待	4 个 BCLK 周期
		1	0（注 2、3）	00b	1 个等待	3 个 BCLK 周期

i=0 ~ 3

—: “0” 或者 “1”

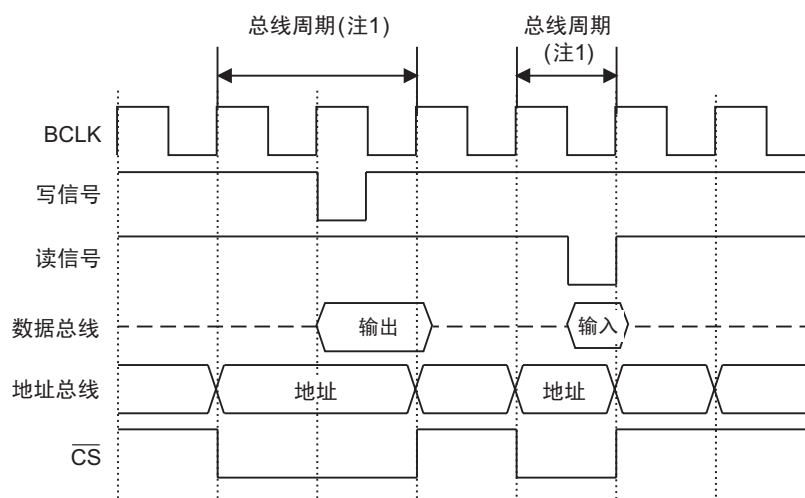
注 1. 在使用 RDY 信号时，必须将 CSiW 位置 “0”（有等待）。

注 2. 在通过多路复用总线进行存取时，必须将 CSiW 位置 “0”（有等待）。

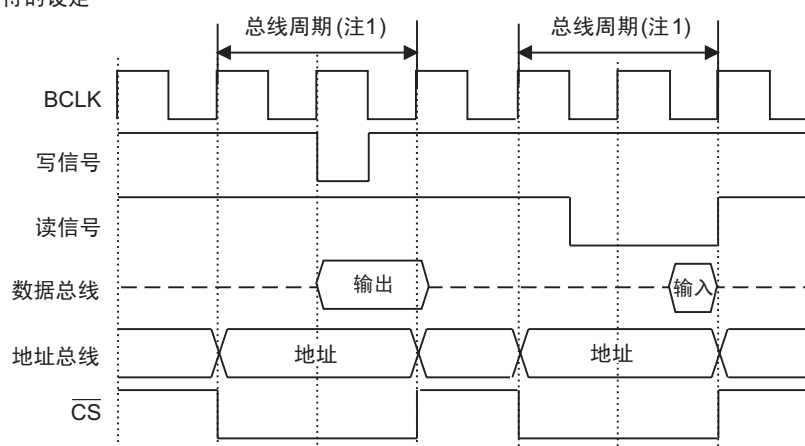
注 3. 在 PM17 位为 “1” 并且存取外部区域时，必须将 CSiW 位置 “0”（有等待）。

注 4. 因为在复位后 PM17 位为 “0”（无等待）、CS0W ~ CS3W 位为全 “0”（有等待）、CSE 寄存器为 “00h”（CS0 ~ CS3 为 1 个等待），所以外部区域全部为 1 个等待。

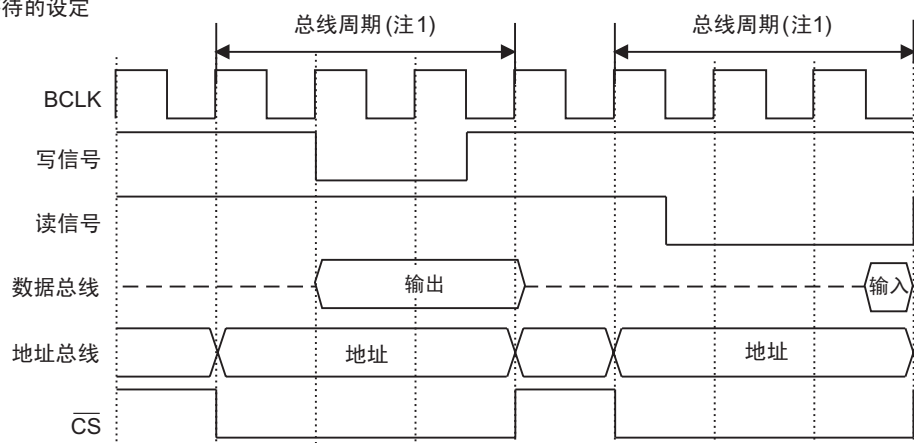
(1) 分离总线、无等待的设定



(2) 分离总线、1个等待的设定



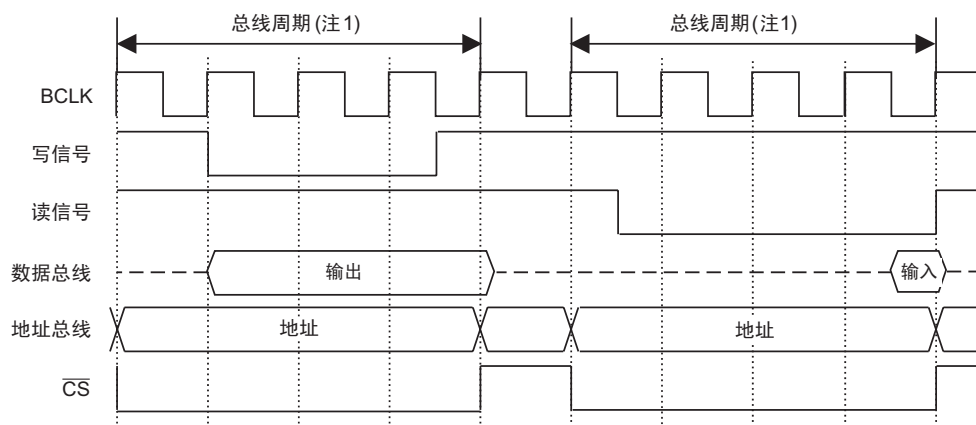
(3) 分离总线、2个等待的设定



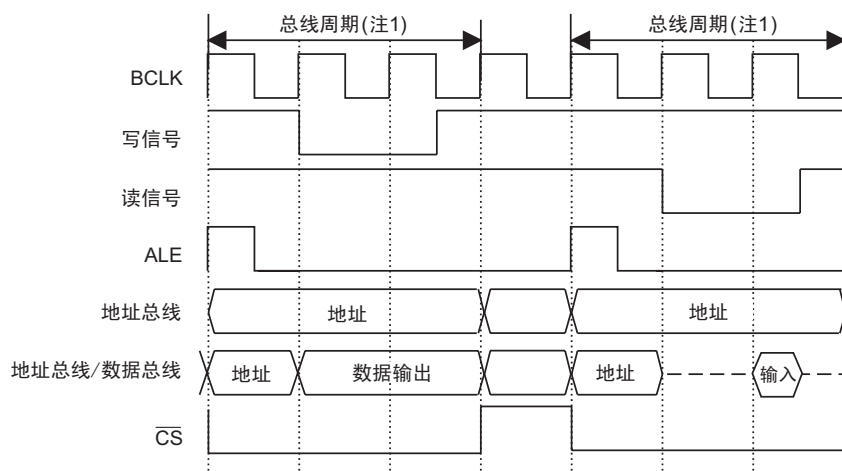
注1. 此时序例子表示总线周期的长度。在此总线周期之后也可能会出现连续出现读周期和写周期的情况。

图 8.7 使用软件等待时的总线时序例子 (1)

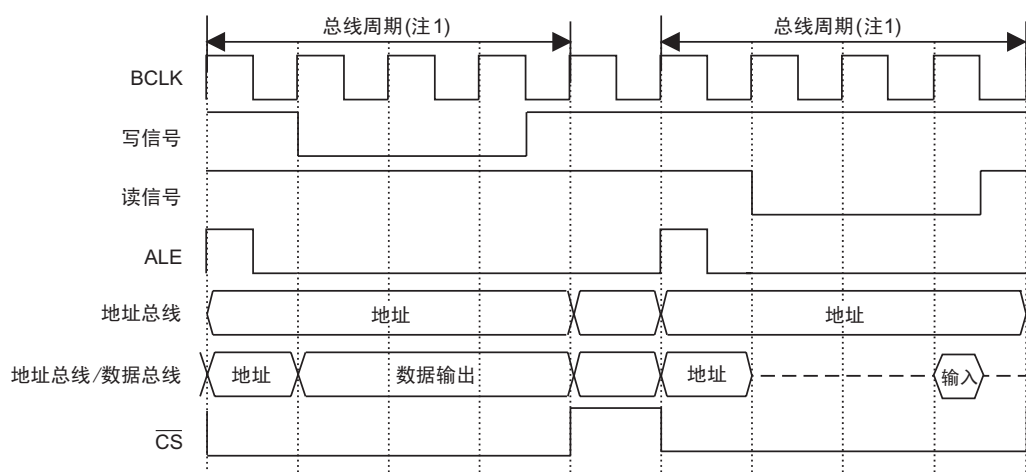
(1) 分离总线、3个等待的设置



(2) 多路复用总线、1个等待或者2个等待的设置



(3) 多路复用总线、3个等待的设置



注1. 此时序例子表示总线周期的长度。在此总线周期之后也可能会连续出现读周期和写周期的情况。

图 8.8 使用软件等待时的总线时序例子 (2)

9. 存储空间扩展功能

以下说明有关存储空间扩展功能。

在存储器扩展模式或者微处理器模式中，能通过存储空间扩展功能扩展存取空间。存储空间扩展功能的设定方法和存储空间如表 9.1 所示。

表 9.1 存储空间扩展功能的设定方法和存储空间

存储空间扩展功能	设定方法 (PM15 ~ PM14)	存储空间
1M 字节模式	00b	1M 字节 (无扩展)
4M 字节模式	11b	4M 字节

9.1 1M 字节模式

存储空间为 1M 字节的模式。在 1M 字节模式中，通过 $\overline{\text{CSi}}$ ($i=0 \sim 3$) 信号指定能存取的外部区域 (以下称为 $\overline{\text{CSi}}$ 区域)。1M 字节模式中的存储器配置和 $\overline{\text{CS}}$ 区域如图 9.2 ~ 图 9.3 所示。

9.2 4M 字节模式

存储空间为 4M 字节的模式。DBR 寄存器如图 9.1 所示，能通过 DBR 寄存器的 BSR2 ~ BSR0 位选择数据存取时的存储体号。如果将 OFS 位置 “1” (有偏移)，就能将地址 40000h 的偏移量追加到存取地址。

在 4M 字节模式中， $\overline{\text{CSi}}$ ($i=0 \sim 3$) 引脚功能因存取的区域而不同。

9.2.1 地址 04000h ~ 3FFFFh 和地址 C0000h ~ FFFFFh

- $\overline{\text{CSi}}$ 引脚输出 $\overline{\text{CSi}}$ 信号 (和 1M 字节模式的运行相同，但是 $\overline{\text{CS1}}$ 区域的结束地址为 3FFFFh)。

9.2.2 地址 40000h ~ BFFFFh

- $\overline{\text{CS0}}$ 引脚输出 “L” 电平。
- $\overline{\text{CS1}} \sim \overline{\text{CS3}}$ 引脚输出 BSR2 ~ BSR0 位的设定值 (存储体号)。

4M 字节模式中的存储器配置和 $\overline{\text{CS}}$ 区域如图 9.4 ~ 图 9.5 所示。

另外，存储体 0 ~ 6 为数据专用区。必须将程序分配到存储体 7 或者 $\overline{\text{CSi}}$ 区域。

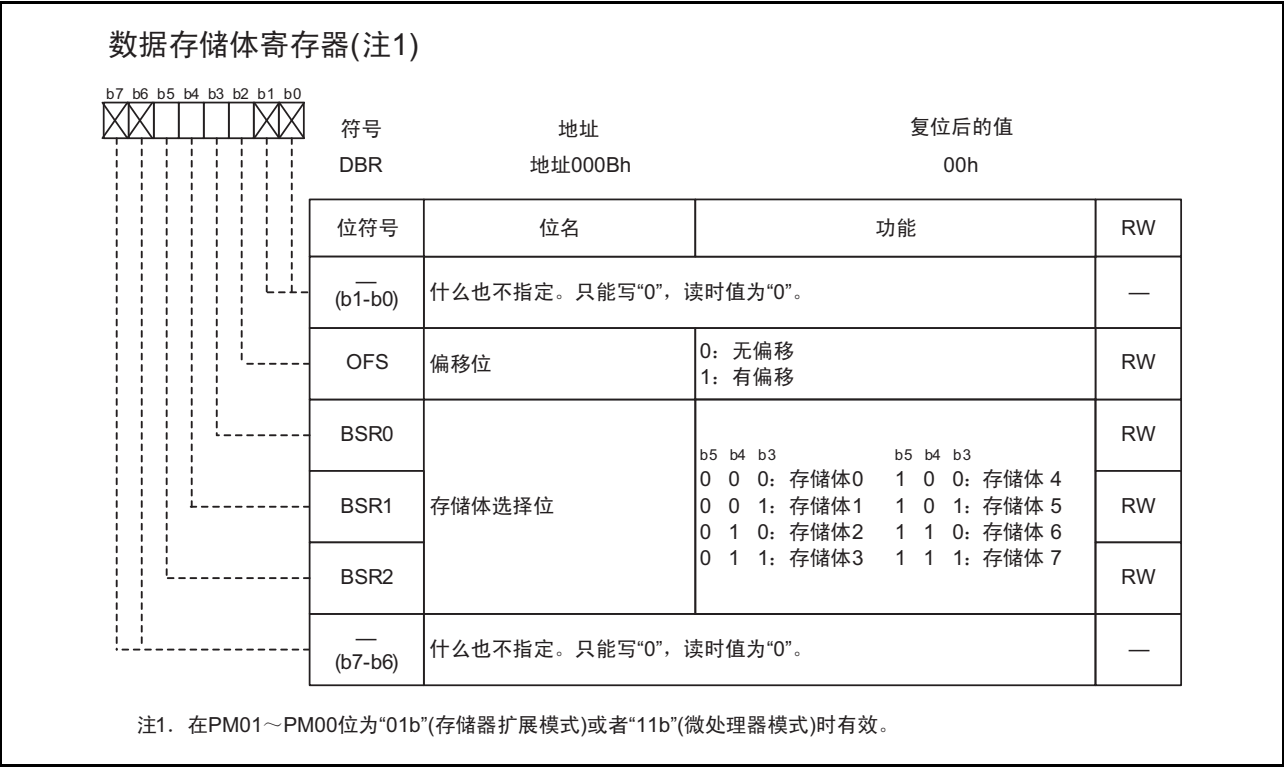


图 9.1 DBR 寄存器

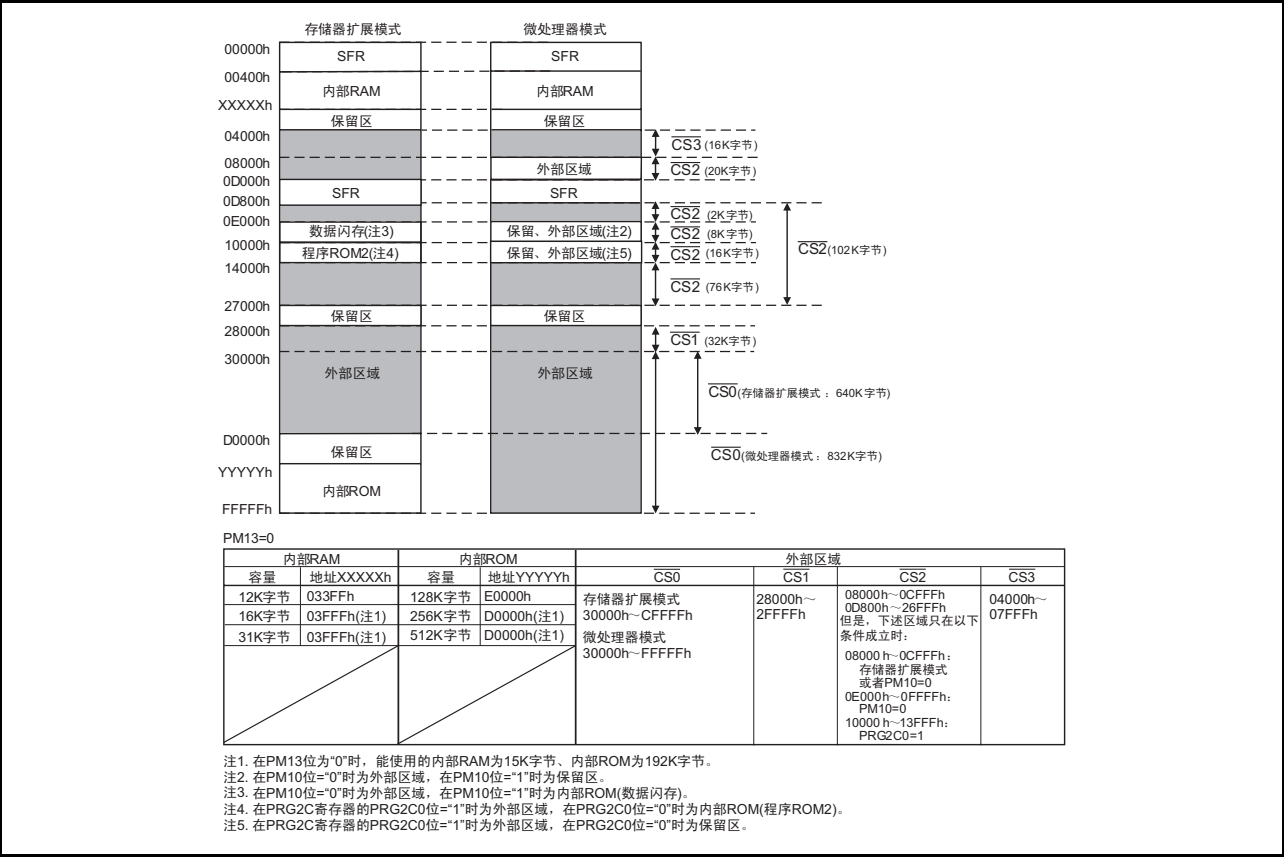


图 9.2 1M 字节模式中的存储器分配和 CS 区域 (PM13=0)

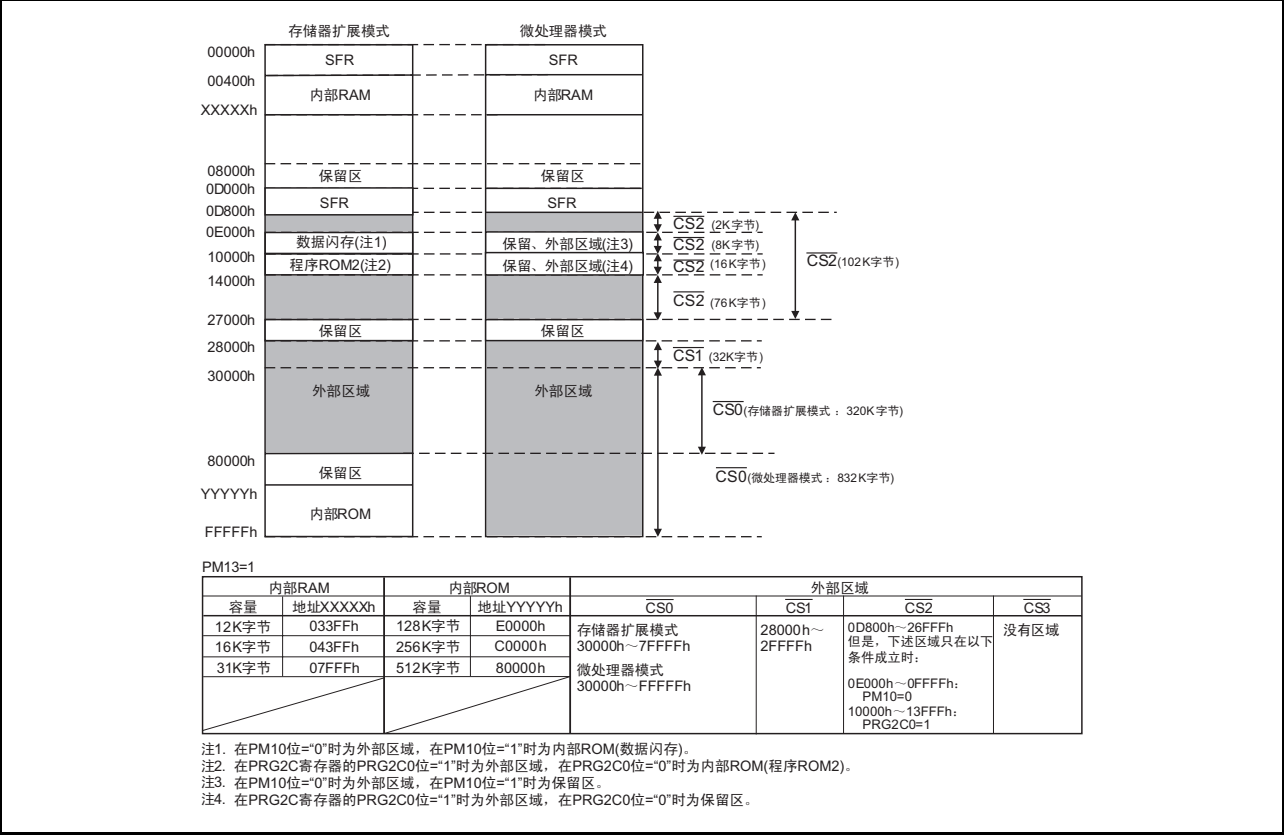


图 9.3 1M 字节模式中的存储器分配和 CS 区域 (PM13=1)

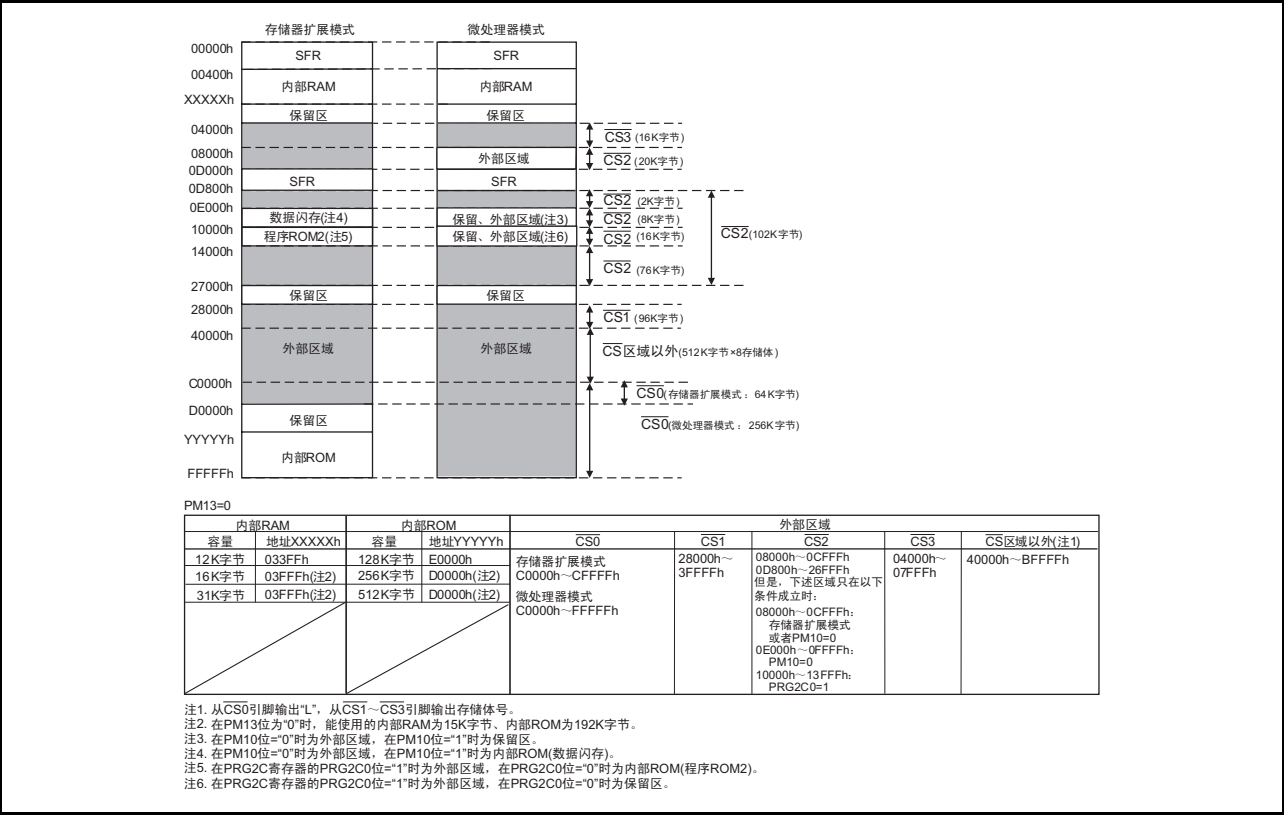


图 9.4 4M 字节模式中的存储器分配和 CS 区域 (PM13=0)

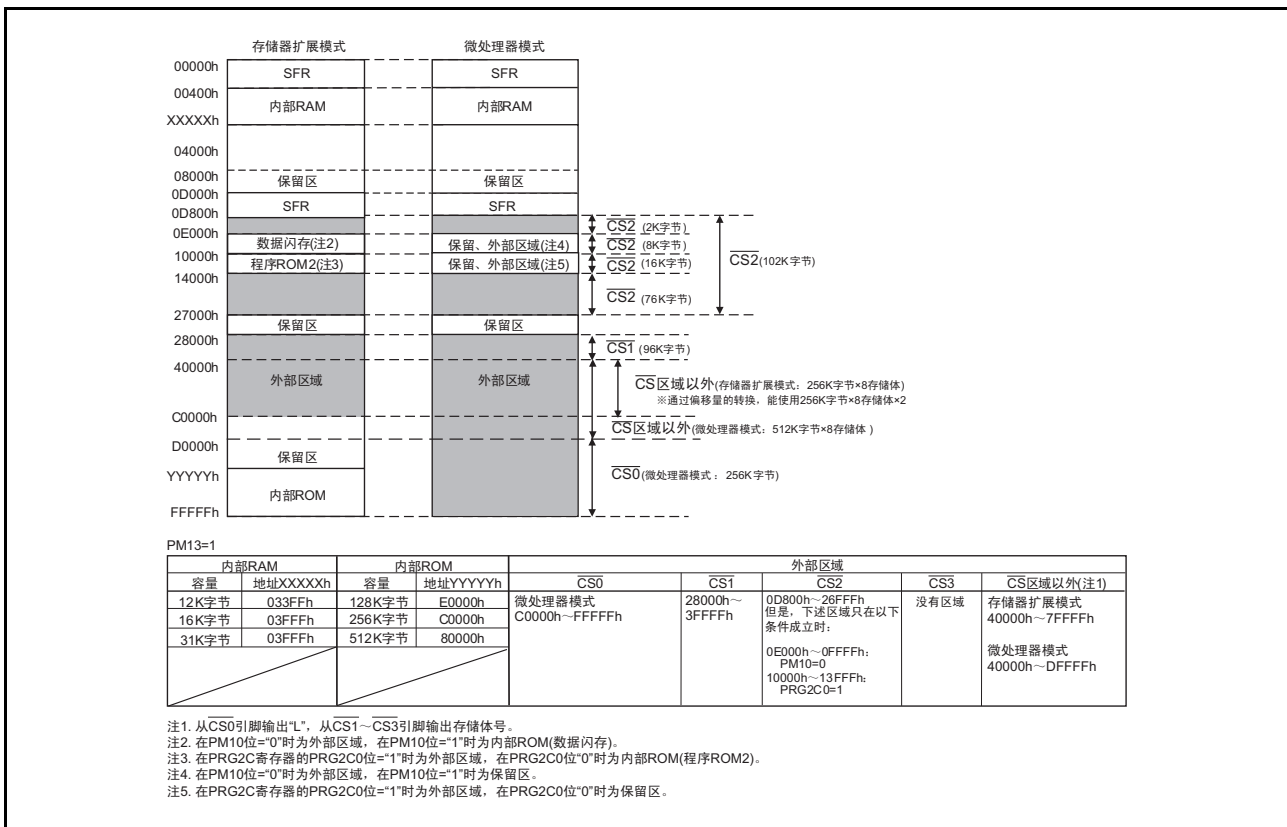


图 9.5 4M 字节模式中的存储器分配和 CS 区域 (PM13=1)

4M 字节模式中的外部存储器的连接例子如图 9.6 所示。在此例子中, 将 4M 字节 ROM 的 $\overline{CS}$ 引脚和单片机的 $\overline{CS0}$ 引脚连接, 4M 字节 ROM 的地址输入 AD21 引脚、AD20 引脚、AD19 引脚分别和单片机的 $\overline{CS3}$ 引脚、 $\overline{CS2}$ 引脚、 $\overline{CS1}$ 引脚连接, 地址输入 AD18 引脚和单片机的 A19 引脚连接。图 9.6 连接例子中的 4M 字节 ROM 和单片机的地址关系如图 9.7 ~ 图 9.9 所示。

在微处理器模式或者 PM1 寄存器的 PM13 位为“0”的存储器扩展模式中, 每 512K 字节为一个存储体。通过将 DBR 寄存器的 OFS 位置“1”(有偏移), 使地址偏移 40000h, 即使是存储体边界部分的数据也能连续存取。

在 PM13 位为“1”的存储器扩展模式中, 通过 OFS 位转换 512K 字节的存储体, 能以 256K 字节为单位进行存取。

因为 SRAM 的存取条件是片选信号 S2 为“H”电平并且 $\overline{S1}$ 为“L”电平, 所以能将 SRAM 的 $\overline{CS0}$ 和 $\overline{CS2}$ 分别连接到 S2 和 $\overline{S1}$ 。如果没有双极性的片选信号输入引脚 ($\overline{S1}$ 和 S2), 就必须在外部对 $\overline{CS0}$ 和 $\overline{CS2}$ 进行译码。

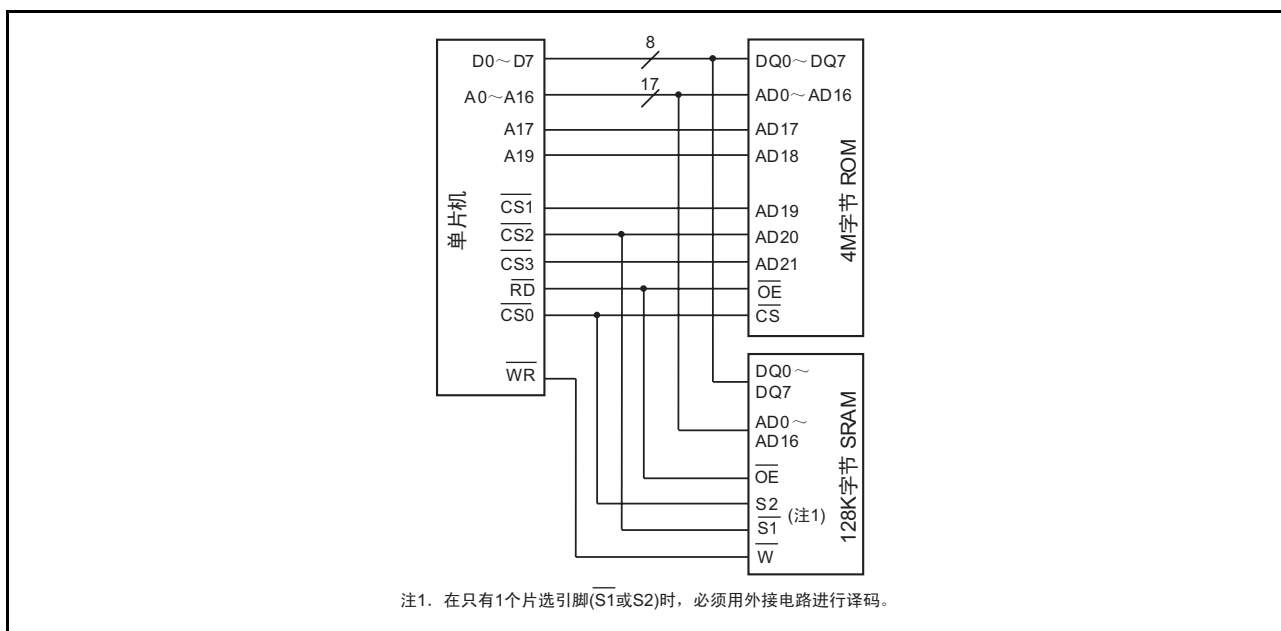


图 9.6 4M 字节模式中的外部存储器的连接例子

在存储器扩展模式并且PM13=0时

ROM中的地址		单片机中的地址		存储体号	OFS	存取 区域	从单片机引脚的输出										
		DBR寄存器的 OFS位=0	DBR寄存器的 OFS位=1				CS输出			地址输出							
							CS3	CS2	CS1	A19	A18	A17	A16	A15~A0			
数据专用	000000h	40000h	存储体0 (512K字节)	40000h	0	0	40000h	0	0	0	0	1	0	0	0000h	000000h	
	BFFFFh						0	0	0	1	0	1	1	FFFFh	07FFFFh		
	040000h	40000h	存储体0 (512K字节)	40000h	1	0	40000h	0	0	0	1	0	0	0	0000h	040000h	
	BFFFFh						0	0	1	0	1	1	1	FFFFh	0BFFFFh		
	080000h	40000h	存储体1 (512K字节)	40000h	0	0	40000h	0	0	1	0	1	0	0	0000h	080000h	
	BFFFFh						0	0	1	1	0	1	1	FFFFh	0FFFFFh		
	0C0000h	40000h	存储体1 (512K字节)	40000h	1	0	40000h	0	0	1	1	0	0	0000h	0C0000h		
	BFFFFh						0	1	0	0	1	1	1	FFFFh	13FFFFh		
	100000h	40000h	存储体2 (512K字节)	40000h	0	0	40000h	0	1	0	0	1	0	0	0000h	100000h	
	BFFFFh						0	1	0	1	0	1	1	FFFFh	17FFFFh		
	140000h	40000h	存储体2 (512K字节)	40000h	1	0	40000h	0	1	0	1	0	0	0	0000h	140000h	
	BFFFFh						0	1	1	0	1	1	1	FFFFh	1BFFFFh		
	180000h	40000h	存储体3 (512K字节)	40000h	0	0	40000h	0	1	1	0	1	0	0	0000h	180000h	
	BFFFFh						0	1	1	1	0	1	1	FFFFh	1FFFFFh		
	1C0000h	40000h	存储体3 (512K字节)	40000h	1	0	40000h	0	1	1	1	0	0	0	0000h	1C0000h	
	BFFFFh						0	1	1	1	0	0	1	FFFFh	23FFFFh		
200000h	40000h	存储体4 (512K字节)	40000h	0	0	40000h	1	0	0	0	1	0	0	0000h	200000h		
BFFFFh						1	0	0	1	0	1	1	FFFFh	27FFFFh			
240000h	40000h	存储体4 (512K字节)	40000h	1	0	40000h	1	0	0	1	0	0	0	0000h	240000h		
BFFFFh						1	0	1	0	1	1	1	FFFFh	2BFFFFh			
280000h	40000h	存储体5 (512K字节)	40000h	0	0	40000h	1	0	1	0	1	0	0	0000h	280000h		
BFFFFh						1	0	1	1	0	1	1	FFFFh	2FFFFFh			
2C0000h	40000h	存储体5 (512K字节)	40000h	1	0	40000h	1	0	1	1	0	0	0	0000h	2C0000h		
BFFFFh						1	1	0	0	1	1	1	FFFFh	33FFFFh			
300000h	40000h	存储体6 (512K字节)	40000h	0	0	40000h	1	1	0	0	1	0	0	0000h	300000h		
BFFFFh						1	1	0	1	0	1	1	FFFFh	37FFFFh			
340000h	40000h	存储体6 (512K字节)	40000h	1	0	40000h	1	1	0	1	0	0	0	0000h	340000h		
BFFFFh						1	1	1	0	1	1	1	FFFFh	3BFFFFh			
380000h	40000h	存储体7 (512K字节)	40000h	0	0	40000h	1	1	1	0	1	0	0	0000h	380000h		
BFFFFh						1	1	1	0	1	1	1	FFFFh	3BFFFFh			
3C0000h	40000h	存储体7 (512K字节)	40000h	1	0	40000h	1	1	1	1	0	0	0	0000h	3C0000h		
BFFFFh						1	1	1	1	0	1	1	FFFFh	3FFFFFh			
3FFFFFh	40000h	存储体7 (512K字节)	40000h	1	0	40000h	1	1	1	1	1	0	0	0000h	3C0000h		
BFFFFh						1	1	1	1	1	0	0	FFFFh	3CFFFFh			
																存取内部ROM	
																	存取内部ROM
																	存取内部ROM

图 9.7 4M 字节 ROM 地址和单片机地址的关系 (1)

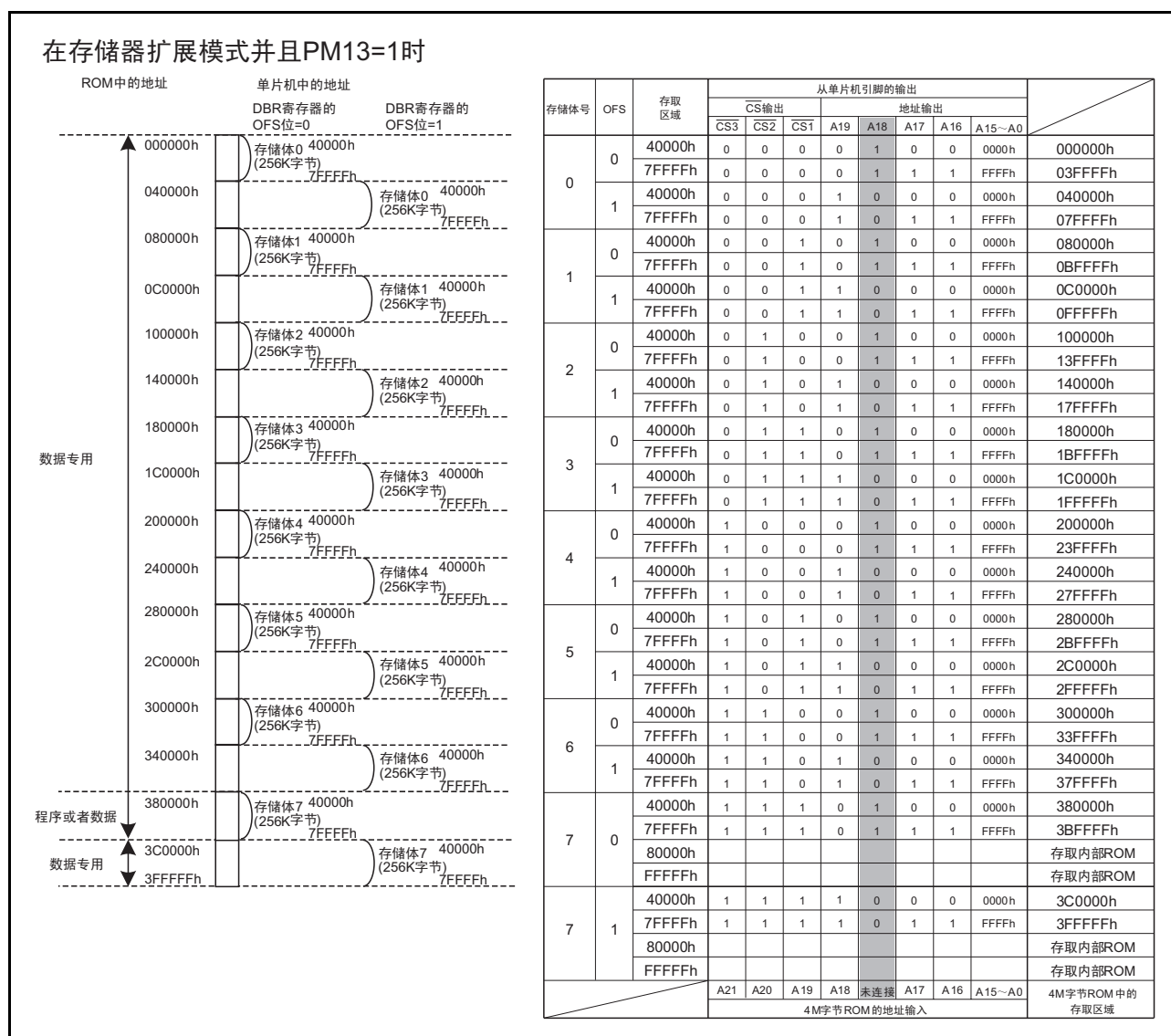


图 9.8 4M 字节 ROM 地址和单片机地址的关系 (2)

在微处理器模式时

ROM中的地址		单片机中的地址		存储体号	OFS	存取 区域	从单片机引脚的输出									
		DBR寄存器的 OFS位=0	DBR寄存器的 OFS位=1				CS输出			地址输出						
							CS3	CS2	CS1	A19	A18	A17	A16	A15~A0		
数据专用	000000h	40000h	存储体0 (512K字节)	40000h	0	0	40000h	0	0	0	0	1	0	0	0000h	000000h
	BFFFFh						0	0	0	1	0	1	1	FFFFh	07FFFFh	
	040000h	40000h	存储体0 (512K字节)	40000h	1	0	40000h	0	0	0	1	0	0	0000h	040000h	
	BFFFFh						0	0	1	0	1	1	1	FFFFh	0BFFFFh	
	080000h	40000h	存储体1 (512K字节)	BFFFFh	40000h	0	0	40000h	0	0	1	0	1	0000h	080000h	
	BFFFFh							0	0	1	1	0	1	1	FFFFh	0FFFFh
	0C0000h	40000h	存储体1 (512K字节)	BFFFFh	40000h	1	0	40000h	0	0	1	1	0	0000h	0C0000h	
	BFFFFh							0	1	0	0	1	1	1	FFFFh	13FFFFh
	100000h	40000h	存储体2 (512K字节)	BFFFFh	40000h	0	0	40000h	0	1	0	1	1	0000h	100000h	
	BFFFFh							0	1	0	1	1	1	FFFFh	17FFFFh	
	140000h	40000h	存储体2 (512K字节)	BFFFFh	40000h	1	0	40000h	0	1	0	1	0	0000h	140000h	
	BFFFFh							0	1	1	0	1	1	1	FFFFh	1BFFFFh
	180000h	40000h	存储体3 (512K字节)	BFFFFh	40000h	0	0	40000h	0	1	1	0	1	0000h	180000h	
	BFFFFh							0	1	1	1	0	1	1	FFFFh	1FFFFh
	1C0000h	40000h	存储体3 (512K字节)	BFFFFh	40000h	1	0	40000h	0	1	1	1	0	0000h	1C0000h	
	BFFFFh							1	0	0	0	1	1	1	FFFFh	23FFFFh
	200000h	40000h	存储体4 (512K字节)	BFFFFh	40000h	0	0	40000h	1	0	0	0	1	0000h	200000h	
	BFFFFh							1	0	0	1	0	1	1	FFFFh	27FFFFh
	240000h	40000h	存储体4 (512K字节)	BFFFFh	40000h	1	0	40000h	1	0	0	1	0	0000h	240000h	
	BFFFFh							1	0	1	0	1	1	1	FFFFh	2BFFFFh
280000h	40000h	存储体5 (512K字节)	BFFFFh	40000h	0	0	40000h	1	0	1	0	1	0000h	280000h		
BFFFFh							1	0	1	1	0	1	1	FFFFh	2FFFFh	
2C0000h	40000h	存储体5 (512K字节)	BFFFFh	40000h	1	0	40000h	1	0	1	1	0	0000h	2C0000h		
BFFFFh							1	0	1	1	0	1	1	FFFFh	33FFFFh	
300000h	40000h	存储体6 (512K字节)	BFFFFh	40000h	0	0	40000h	1	1	0	0	1	0000h	300000h		
BFFFFh							1	1	0	1	0	1	1	FFFFh	37FFFFh	
340000h	40000h	存储体6 (512K字节)	BFFFFh	40000h	1	0	40000h	1	1	0	0	0	0000h	340000h		
BFFFFh							1	1	0	1	1	1	1	FFFFh	3BFFFFh	
380000h	40000h	存储体7 (512K字节)	BFFFFh	40000h	0	0	40000h	1	1	1	0	1	0000h	380000h		
BFFFFh							1	1	1	0	1	1	1	FFFFh	3BFFFFh	
3C0000h	40000h	存储体7 (512K字节)	BFFFFh	40000h	1	0	40000h	1	1	1	0	0	0000h	3C0000h		
BFFFFh							1	1	1	1	0	1	1	FFFFh	3FFFFh	
3E0000h	40000h	存储体7 (512K字节)	BFFFFh	40000h	0	0	40000h	1	1	1	1	1	0000h	3E0000h		
BFFFFh							1	1	1	1	1	1	1	FFFFh	3FFFFh	
程序或者数据	380000h	40000h	存储体7 (512K字节)	BFFFFh	1	0	40000h	1	1	1	0	0	0000h	380000h		
程序或者数据	3C0000h						BFFFFh	1	1	1	0	1	1	FFFFh	3BFFFFh	
	3E0000h	40000h	存储体7 (512K字节)	BFFFFh	0	0	40000h	1	1	1	1	0	0000h	3C0000h		
	3FFFFFh						BFFFFh	1	1	1	1	1	1	FFFFh	3FFFFh	

存储体号	OFS	存取 区域	从单片机引脚的输出								
			CS输出			地址输出					
			CS3	CS2	CS1	A19	A18	A17	A16	A15~A0	
0	0	40000h	0	0	0	0	1	0	0	0000h	000000h
		BFFFFh	0	0	0	1	0	1	1	FFFFh	07FFFFh
1	0	40000h	0	0	0	1	0	0	0	0000h	040000h
		BFFFFh	0	0	1	0	1	1	1	FFFFh	0BFFFFh
2	0	40000h	0	0	1	0	1	0	0	0000h	080000h
		BFFFFh	0	0	1	1	0	1	1	FFFFh	0FFFFh
3	0	40000h	0	1	0	0	1	1	1	FFFFh	13FFFFh
		BFFFFh	0	1	0	1	0	1	1	FFFFh	17FFFFh
4	0	40000h	0	1	0	1	0	0	0	0000h	100000h
		BFFFFh	0	1	0	1	0	0	0	0000h	140000h
5	0	40000h	0	1	1	0	1	1	1	FFFFh	1BFFFFh
		BFFFFh	0	1	1	1	0	1	1	FFFFh	1FFFFh
6	0	40000h	0	1	1	1	0	1	0	0000h	1C0000h
		BFFFFh	0	1	1	1	1	0	0	0000h	23FFFFh
7	0	40000h	1	0	0	0	1	0	0	0000h	200000h
		BFFFFh	1	0	0	1	0	1	1	FFFFh	27FFFFh
8	0	40000h	1	0	0	1	0	0	0	0000h	240000h
		BFFFFh	1	0	1	0	1	1	1	FFFFh	2BFFFFh
9	0	40000h	1	0	1	0	1	1	1	FFFFh	280000h
		BFFFFh	1	0	1	1	0	1	1	FFFFh	2FFFFh
10	0	40000h	1	0	1	1	0	1	0	0000h	2C0000h
		BFFFFh	1	0	1	1	0	1	1	FFFFh	33FFFFh
11	0	40000h	1	1	0	0	1	0	0	0000h	300000h
		BFFFFh	1	1	0	1	0	1	1	FFFFh	37FFFFh
12	0	40000h	1	1	0	1	0	0	0	0000h	340000h
		BFFFFh	1	1	0	1	1	0	0	0000h	3BFFFFh
13	0	40000h	1	1	1	0	1	0	0	0000h	380000h
		BFFFFh	1	1	1	0	1	1	1	FFFFh	3BFFFFh
14	0	40000h	1	1	1	1	0	0	0	0000h	3C0000h
		BFFFFh	1	1	1	1	0	1	1	FFFFh	3FFFFh
15	0	40000h	1	1	1	1	1	0	0	0000h	3E0000h
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
16	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
17	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
18	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
19	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
20	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
21	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
22	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
23	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
24	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
25	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
26	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
27	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
28	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
29	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
30	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
31	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
32	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
33	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
34	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
35	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
36	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
37	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
38	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
39	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
40	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
41	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
42	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
43	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
44	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh
45	0	40000h	1	1	1	1	1	1	1	FFFFh	3FFFFh
		BFFFFh	1	1	1	1	1	1	1	FFFFh	3FFFFh

10. 时钟发生电路

10.1 时钟发生电路的种类

时钟发生电路有以下 4 种：

- 主时钟振荡电路
- 副时钟振荡电路
- 125kHz 内部振荡器
- PLL 频率合成器

时钟发生电路的概略规格如表 10.1 所示，系统时钟发生电路的框图和时钟关联寄存器分别如图 10.1 和图 10.2 ～图 10.6 所示。

表 10.1 时钟发生电路的概略规格

项目	主时钟 振荡电路	副时钟 振荡电路	125kHz 内部振荡器	PLL 频率 合成器
用途	CPU 的时钟源 外围功能的时钟源	CPU 的时钟源 定时器 A、B 的时钟源	CPU 的时钟源 外围功能的时钟源 主时钟振荡停止时的 CPU 和外围功能的时 钟源	CPU 的时钟源 外围功能的时钟源
时钟频率	0 ～ 20MHz	32.768kHz	约 125kHz	10 ～ 25MHz
可连接的振荡器	陶瓷谐振器 晶体振荡器	晶体振荡器	—	—（注 1）
振荡器的连接引脚	XIN、XOUT	XCIN、XCOUT	—	—（注 1）
振荡停止 / 再振荡功能	有	有	有	有
复位后的状态	振荡	停止	振荡	停止
其他	能输入外部生成的时钟。		—	—（注 1）

注 1. PLL 频率合成器将主时钟振荡电路用作基准时钟源。

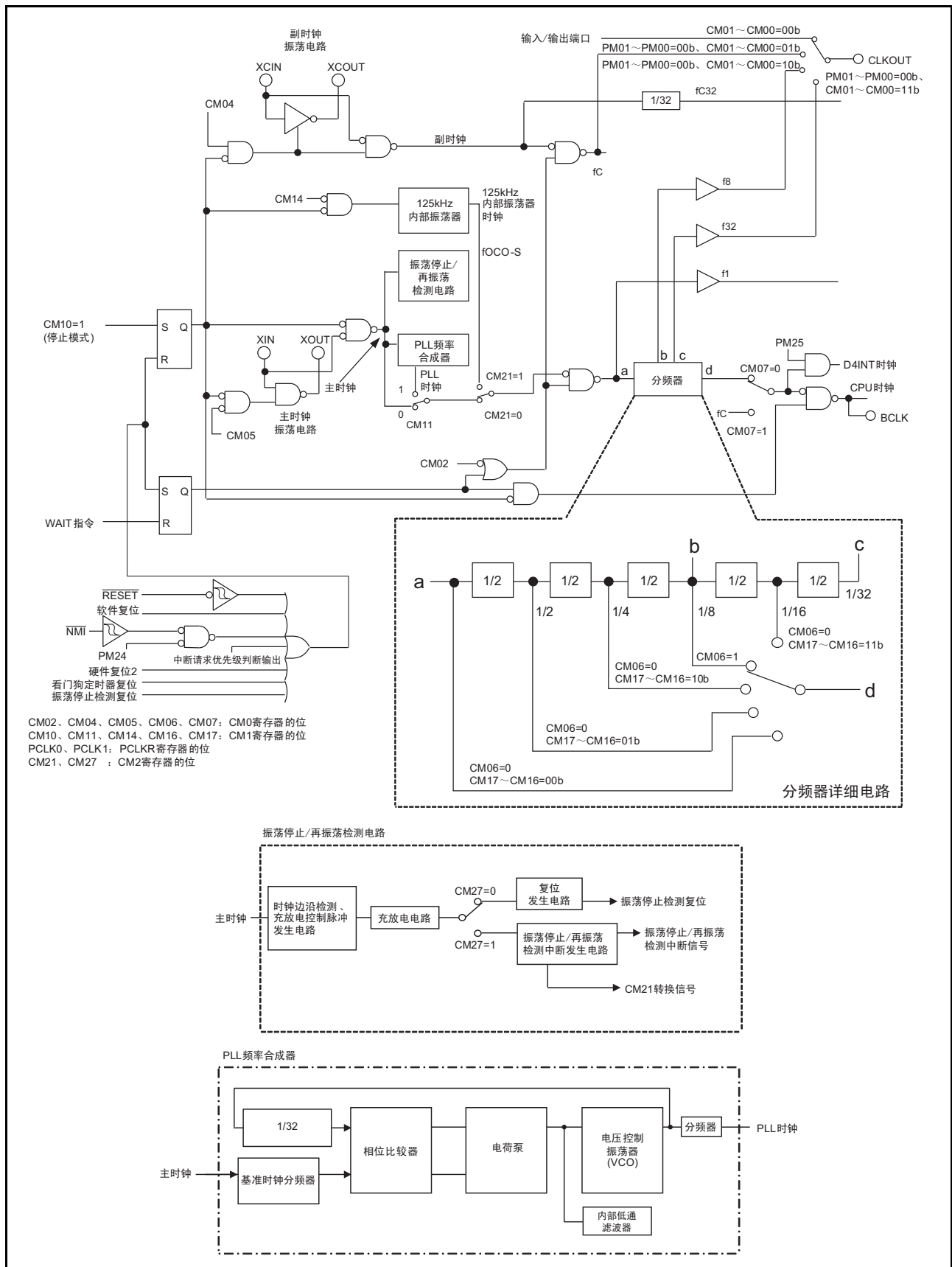


图 10.1 系统时钟发生电路

系统时钟控制寄存器0 (注1)

b7b6b5b4b3b2b1b0								符号 CM0	地址 地址0006h	复位后的值 01001000b
		位符号	位名	功能	RW					
		CM00	时钟输出功能选择位 (只在单芯片模式时有效)	b1 b0 0 0: 输入/输出端口P5_7 0 1: 输出fC 1 0: 输出f8 1 1: 输出f32	RW					
		CM01								
		CM02	等待模式中外围功能时钟 停止位(注10)	0: 在等待模式中，不停止外围功能时钟 f1 1: 在等待模式中，停止外围功能时钟f1 (注8)	RW					
		CM03	XCIN-XCOUT驱动能力选择位 (注2)	0: Low 1: High	RW					
		CM04	端口XC转换位(注2)	0: 输入/输出端口P8_6、P8_7 1: XCIN-XCOUT振荡功能(注9)	RW					
		CM05	主时钟停止位 (注3、4、10、12、13)	0: 振荡 1: 停止(注5)	RW					
		CM06	主时钟分频比选择位0 (注7、13、14)	0: CM16和CM17位有效 1: 8分频模式	RW					
		CM07	系统时钟选择位 (注6、10、11、12)	0: 主时钟、PLL时钟或者125kHz内部 振荡器时钟 1: 副时钟	RW					

- 注1. 必须在将PRCR寄存器的PRC0位置“1”(允许写)后改写此寄存器。
- 注2. 在CM04位为“0”(输入/输出端口)期间或者在转移到停止模式时，CM03位变为“1”(HIGH驱动能力)。
- 注3. 此位是用于在设定为低功耗模式或者125kHz内部振荡器低功耗模式时停止主时钟的位，不能用于检测主时钟是否停止。
要停止主时钟时，必须进行以下设定：
(1) 在副时钟稳定振荡的状态下，将CM07位置“1”(选择副时钟)或者CM2寄存器的CM21位置“1”(选择125kHz内部振荡器)。
(2) 将CM2寄存器的CM20位置“0”(振荡停止/再振荡检测功能无效)。
(3) 将CM05位置“1”(停止)。
- 注4. 在输入外部时钟时，必须置“0”(振荡)。
- 注5. 在CM05位为“1”时，XOUT引脚为“H”电平。另外，因为连接了内部反馈电阻，所以XIN引脚经过反馈电阻被上拉到XOUT(“H”电平)。
- 注6. 必须在将CM04位置“1”(XCIN-XCOUT振荡功能)并且副时钟稳定振荡后，将CM07位从“0”变为“1”(副时钟)。
- 注7. 在转移到停止模式时，CM06位变为“1”(8分频模式)。
- 注8. 不停止fC32、定时器A和定时器B的时钟源fOCO-S。
- 注9. 在使用副时钟时，必须将此位置“1”，并且将端口P8_6和P8_7设定为输入端口和无上拉。
- 注10. 在PM2寄存器的PM21位为“1”(禁止更改时钟)时，即使给CM02、CM05和CM07位写数据，这些位也不变。
- 注11. 要将PM21位置“1”时，必须在将CM07位置“0”(主时钟)后将PM21位置“1”。
- 注12. 要将CPU时钟的时钟源设定为主时钟时，必须进行以下设定：
(1) 将CM05位置“0”(振荡)。
(2) 等待主时钟的振荡稳定时间。
(3) 将CM11位、CM21位和CM07位置“0”。
- 注13. 在CM07位为“1”(副时钟)并且CM05位为“1”(主时钟停止)时，CM06位被固定为“1”(8分频模式)，CM15位被固定为“1”(HIGH驱动能力)。
- 注14. 在从125kHz内部振荡器模式返回到高速、中速模式时，必须将CM06位和CM15位置“1”。

图 10.2 CM0 寄存器

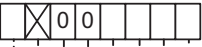
系统时钟控制寄存器1 (注1)

b7 b6 b5 b4 b3 b2 b1 b0	符号 CM1	地址 地址0007h	复位后的值 00100000b
0 0			
位符号	位名	功能	RW
CM10	全部时钟停止控制位(注4、6)	0: 时钟振荡 1: 全部时钟停止(停止模式)	RW
CM11	系统时钟选择位1(注6、7)	0: 主时钟 1: PLL时钟(注5)	RW
— (b3-b2)	保留位	必须置“0”。	RW
CM14	125kHz内部振荡器振荡停止位(注8、9)	0: 125kHz内部振荡器振荡 1: 125kHz内部振荡器停止	RW
CM15	XIN-XOUT驱动能力选择位(注2)	0: LOW 1: HIGH	RW
CM16	主时钟分频比选择位1(注3)	b7 b6 0 0: 无分频模式	RW
CM17		0 1: 2分频模式 1 0: 4分频模式 1 1: 16分频模式	

- 注1. 必须在将PRCR寄存器的PRC0位置“1”(允许写)后改写此寄存器。
- 注2. 在转移到停止模式时或者在低速模式中将CM05位置“1”(停止主时钟)时，CM15位变为“1”(HIGH驱动能力)。
- 注3. 在CM06位为“0”(CM16和CM17位有效)时有效。
- 注4. 在CM10位为“1”(停止模式)时，XOUT为“H”电平，与内部反馈电阻分离。XCIN引脚和XCOUT引脚为高阻抗。在CM11位为“1”(PLL时钟)或者CM2寄存器的CM20位为“1”(振荡停止检测功能有效)时，不能将CM10位置“1”。
- 注5. 在将PLC0寄存器的PLC07位置“1”(PLL运行)后，必须等待tsu(PLL)，然后将CM11位置“1”(PLL时钟)。
- 注6. 在PM2寄存器的PM21位为“1”(禁止更改时钟)时，即使给CM10和CM11位写数据，这些位也不变。在CSPR寄存器的CSPRO位为“1”(计数源保护模式有效)时，即使给CM10位写数据，此位也不变。
- 注7. CM11位在CM07位为“0”并且CM21位为“0”时有效。
- 注8. CM14位在CM21位为“0”(主时钟或者PLL时钟)时能设定为“1”(停止125kHz内部振荡器)。如果将CM21位置“1”(125kHz内部振荡器时钟)，CM14位就变为“0”(125kHz内部振荡器振荡)，即使置“1”也不变。
- 注9. 在CSPR寄存器的CSPRO位为“1”(计数源保护模式)时，CM14位自动变为“0”(125kHz内部振荡器振荡)，即使置“1”也不变(125kHz内部振荡器不停止)。

图 10.3 CM1 寄存器

振荡停止检测寄存器 (注1)

b7 b6 b5 b4 b3 b2 b1 b0	符号 CM2	地址 地址000Ch	复位后的值 0X000010b(注11)
			
位符号	位名	功能	RW
CM20	振荡停止/再振荡检测允许位 (注7、9、10、11)	0: 振荡停止/再振荡检测功能无效 1: 振荡停止/再振荡检测功能有效	RW
CM21	系统时钟选择位2 (注2、3、6、8、11、12)	0: 主时钟或者PLL时钟 1: 125kHz内部振荡器时钟	RW
CM22	振荡停止/再振荡检测标志 (注4)	0: 未检测到主时钟停止/再振荡 1: 检测到主时钟停止/再振荡	RW
CM23	XIN监视标志 (注5)	0: 主时钟振荡 1: 主时钟停止	RO
— (b5-b4)	保留位	必须置“0”。	RW
— (b6)	什么也不指定。只能写“0”，读时值不定。		—
CM27	检测到振荡停止/再振荡时的 运行选择位 (注11)	0: 振荡停止检测复位 1: 振荡停止/再振荡检测中断	RW

- 注1. 必须在将PRCR寄存器的PRC0位置“1”(允许写)后改写此寄存器。
- 注2. 在CM20位为“1”(振荡停止/再振荡检测功能有效)、CM27位为“1”(振荡停止/再振荡检测中断)并且CPU时钟源为主时钟时，如果检测到主时钟停止，CM21位就变为“1”(125kHz内部振荡器时钟)。
- 注3. 在CM20位为“1”并且CM23位为“1”(主时钟停止)时，不能将CM21位置“0”。
- 注4. 此位在检测到主时钟停止并且检测到主时钟再振荡时变为“1”。如果此位从“0”变到“1”，就产生振荡停止/再振荡检测中断请求。在中断程序中，为了判断是振荡停止/再振荡检测中断还是看门狗定时器中断，必须使用此位。如果通过程序给此位写“0”，此位就变为“0”(即使写“1”也不变。另外，即使接受振荡停止/再振荡检测的中断请求也不变为“0”)。
- 在CM22位为“1”时，即使检测到振荡停止或者再振荡，也不产生振荡停止/再振荡检测中断。
- 注5. 在振荡停止/再振荡检测中断的程序中，必须通过多次读取CM23位来判断主时钟的状态。
- 注6. 在CM0寄存器的CM07位为“0”时有效。
- 注7. 在PM2寄存器的PM21位为“1”(禁止更改时钟)时，即使给CM20位写数据，此位也不变。
- 注8. 在CM20位为“1”(振荡停止/再振荡检测功能有效)、CM27位为“1”(振荡停止/再振荡检测中断)并且CM11位为“1”(CPU时钟源为PLL时钟)时，即使检测到主时钟停止，CM21位也不变。如果在此条件下CM22位为“0”，就在检测到主时钟停止时产生振荡停止/再振荡检测的中断请求，所以必须在中断程序中将CM21位置“1”(125kHz内部振荡器时钟)。
- 注9. 在转移到停止模式时，必须将CM20位置“0”(无效)。必须在从停止模式返回后重新将CM20位置“1”(有效)。
- 注10. 必须在将CM0寄存器的CM05位置“1”(主时钟停止)前将CM2寄存器的CM20位置“0”(无效)。
- 注11. CM20、CM21和CM27位在振荡停止检测复位时不变。
- 注12. 在CM21位为“0”(主时钟或者PLL时钟)并且CM05位为“1”(主时钟停止)时，CM06位被固定为“1”(8分频模式)，CM15位被固定为“1”(HIGH驱动能力)。

图 10.4 CM2 寄存器

外围时钟选择寄存器(注1)

b7	b6	b5	b4	b3	b2	b1	b0	符号	地址	复位后的值	
0	0	0	0	0	0			PCLKR	地址0012h	00000011b	
								位符号	位名	功能	RW
								PCLK0	定时器A、B时钟选择位 (定时器A、定时器B、 死区时间定时器的时钟源)	0: f2TIMAB 1: f1TIMAB	RW
								PCLK1	SI/O时钟选择位 (UART0~UART2、 UART5~UART7、SI/O3、 SI/O4的时钟源)	0: f2SIO 1: f1SIO	RW
								— (b7-b2)	保留位	必须置“0”。读时值不定。	RW

注1. 必须在将PRCR寄存器的PRC0位置“1”(允许写)后改写此寄存器。

处理器模式寄存器2 (注1)

b7 b6 b5 b4 b3 b2 b1 b0								符号 PM2	地址 地址001Eh	复位后的值 XX000X01b								
<table border="1"><tr><td>X</td><td>X</td><td></td><td></td><td>0</td><td>X</td><td></td><td></td></tr></table>								X	X			0	X					
X	X			0	X													
								位符号	位名	功能	RW							
								PM20	PLL运行时的SFR存取的等待指定(注2)	0: 2个等待 1: 1个等待	RW							
								PM21	系统时钟保护位(注3、4)	0: 用PRCR寄存器保护时钟 1: 禁止更改时钟	RW							
								$\overline{\text{(b2)}}$	什么也不指定。只能写“0”，读时值不定。		—							
								$\overline{\text{(b3)}}$	保留位	必须置“0”。	RW							
								PM24	P8_5/ $\overline{\text{NMI}}$ 功能转换位(注3)	0: 端口P8_5功能 1: NMI功能	RW							
								PM25	D4INT时钟供给允许位(注5)	0: 禁止供给 1: 允许供给	RW							
								$\overline{\text{(b7-b6)}}$	什么也不指定。只能写“0”，读时值不定。		—							

- 注1. 必须在将PRCR寄存器的PRC1位置“1”(允许写)后改写此寄存器。
注2. 在PLC07位为“1”(PLL运行)时，PM20位有效。必须在PLC07位为“0”(PLL停止)时更改PM20位。
注3. 一旦置“1”，就不能通过程序置“0”。
注4. 如果将PM21位置“1”，即使给以下的位写数据，这些位也不变：
CM0寄存器的CM02位
CM0寄存器的CM05位(不停止主时钟)
CM0寄存器的CM07位(CPU时钟的时钟源不变)
CM1寄存器的CM10位(不转移到停止模式)
CM1寄存器的CM11位(CPU时钟的时钟源不变)
CM2寄存器的CM20位(振荡停止/再振荡检测功能的设定不变)
PLC0寄存器的全部位(PLL频率合成器的设定不变)
而且，在PM21位为“1”时，不能执行WAIT指令。
注5. 在使用低电压检测中断时，必须将PM25位置“1”(允许供给)。

图 10.5 PCLKR 和 PM2 寄存器

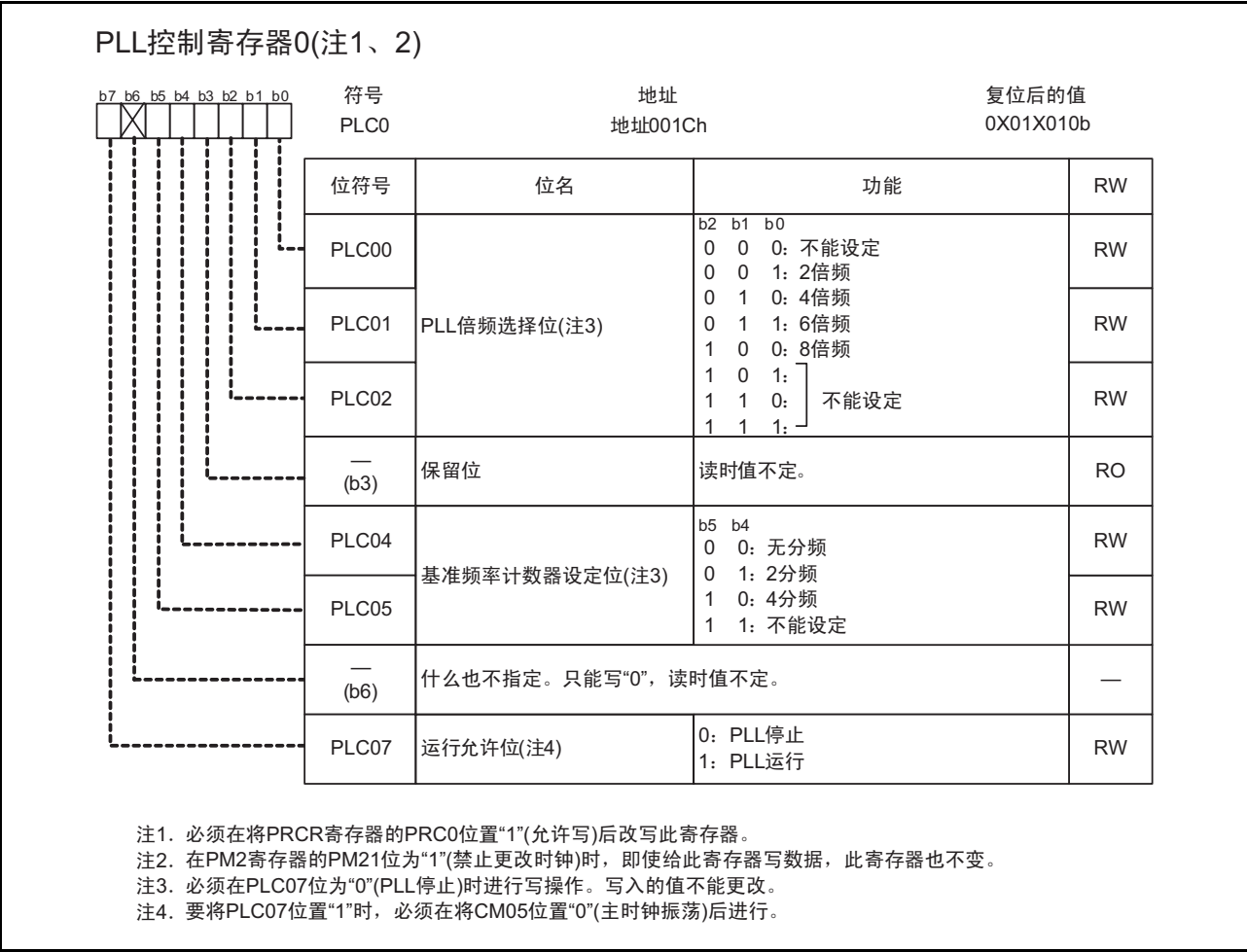


图 10.6 PLC0 寄存器

以下说明时钟发生电路中生成的时钟。

10.1.1 主时钟

主时钟是由主时钟振荡电路供给的时钟，是 CPU 时钟和外围功能时钟的时钟源。主时钟振荡电路通过在 XIN-XOUT 引脚之间连接谐振器构成振荡电路。主时钟振荡电路内置反馈电阻，为了在停止模式中降低功耗，将反馈电阻从振荡电路分开。对于主时钟振荡电路，也能将外部生成的时钟输入到 XIN 引脚。主时钟连接电路的例子如图 10.7 所示。

在将 CPU 时钟的时钟源转换为副时钟或者 125kHz 内部振荡器时钟后，如果将 CM0 寄存器的 CM05 位置“1”（主时钟振荡电路振荡停止），就能降低功耗。此时，XOUT 引脚变为“H”电平。另外，因为内置的反馈电阻一直处于 ON 状态，所以 XIN 引脚经过反馈电阻被上拉到 XOUT 引脚。

在停止模式中，包括主时钟在内的所有时钟都停止振荡。详细内容请参照“10.4 功率控制”。

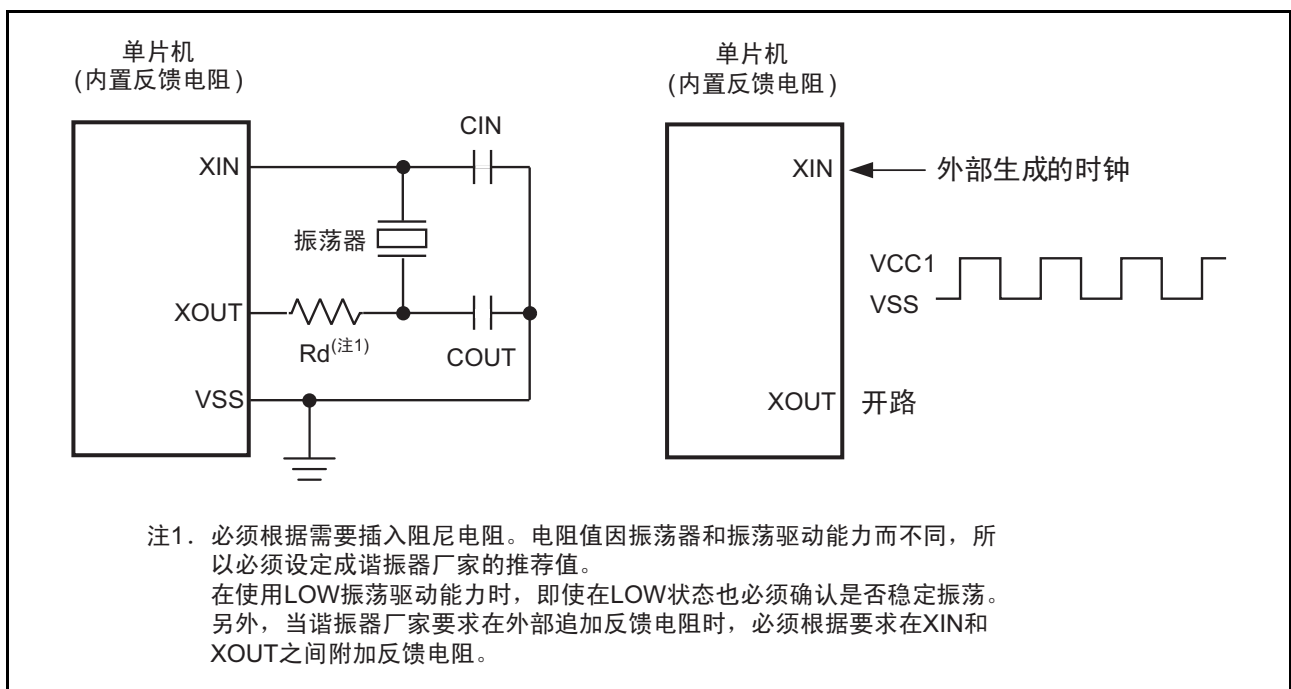


图 10.7 主时钟连接电路的例子

10.1.2 副时钟

副时钟是由副时钟振荡电路供给的时钟，是 CPU 时钟、定时器 A 和定时器 B 计数源的时钟源。而且，能从 CLKOUT 引脚输出和副时钟同频率的 fC。

副时钟振荡电路通过在 XCIN-XCOUT 引脚之间连接晶体振荡器构成振荡电路。副时钟振荡电路内置反馈电阻，为了在停止模式中降低功耗，将反馈电阻从振荡电路分开。对于副时钟振荡电路，也能将外部生成的时钟输入到 XCIN 引脚。副时钟连接电路的例子如图 10.8 所示。

复位后，副时钟停止运行。此时，反馈电阻已从振荡电路分开。

在副时钟振荡稳定后，如果将 CM0 寄存器的 CM07 位置“1”（副时钟），副时钟就为 CPU 时钟。

在停止模式中，包括副时钟在内的所有时钟都停止振荡。详细内容请参照“10.4 功率控制”。

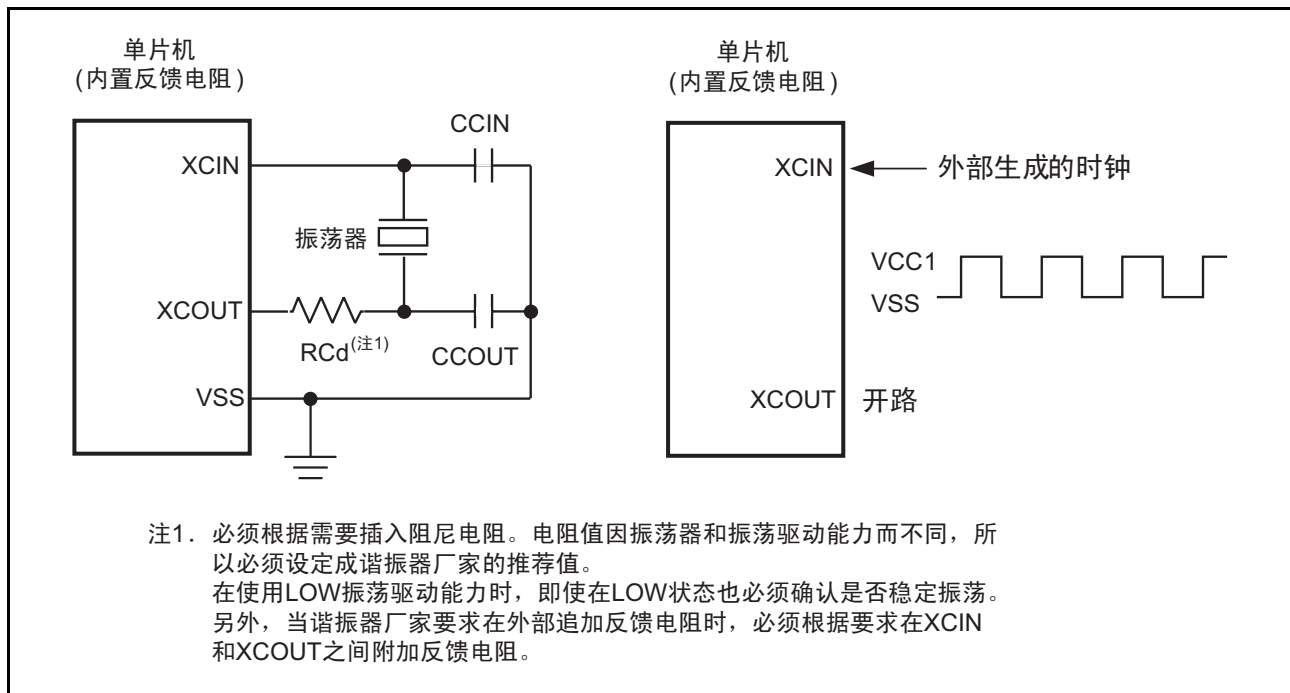


图 10.8 副时钟连接电路的例子

10.1.3 125kHz 内部振荡器时钟（fOCO-S）

这是由 125kHz 内部振荡器供给的约 125kHz 的时钟，是 CPU 时钟和外围功能时钟的时钟源。当 CSPR 寄存器的 CSPRO 位为“1”（计数源保护模式有效）时，内部振荡器时钟为看门狗定时器的计数源（参照“13.2 计数源保护模式有效”）。

复位后，125kHz 内部振荡器的 8 分频为 CPU 时钟，如果将 CM1 寄存器的 CM14 位置“0”（125kHz 内部振荡器停止），125kHz 内部振荡器就停止振荡。当 CM2 寄存器的 CM20 位为“1”（振荡停止 / 再振荡检测功能有效）并且 CM27 位为“1”（振荡停止 / 再振荡检测中断）时，就在主时钟停止振荡时 125kHz 内部振荡器自动开始振荡并供给时钟。

10.1.4 PLL 时钟

PLL 时钟是 PLL 频率合成器生成的时钟，是 CPU 时钟和外围功能时钟的时钟源。复位后，PLL 频率合成器停止运行。如果将 PLC07 位置“1”（PLL 运行），PLL 频率合成器就开始运行。将 PLL 时钟用作 CPU 时钟的时钟源时，必须等待 $t_{su}(PLL)$ ，在 PLL 时钟稳定后将 CM1 寄存器的 CM11 位置“1”。

向等待模式或者停止模式转移时，必须将 CM11 位置“0”（CPU 时钟源为主时钟）。而且在转移到停止模式时，必须先将 PLC0 寄存器的 PLC07 位置“0”（PLL 停止），然后转移到停止模式。将 PLL 时钟设定为 CPU 时钟源的步骤如图 10.10 所示。

通过 PLC0 寄存器的 PLC05 ~ PLC04 位所选的值进行主时钟的分频，并且通过 PLC02 ~ PLC00 位所选的值对分频后的时钟进行倍频，倍频后的时钟为 PLL 时钟。必须设定 PLC05 ~ PLC04 位，使分频后的时钟频率为 2MHz ~ 5MHz。主时钟和 PLL 时钟的关系如图 10.9 所示。

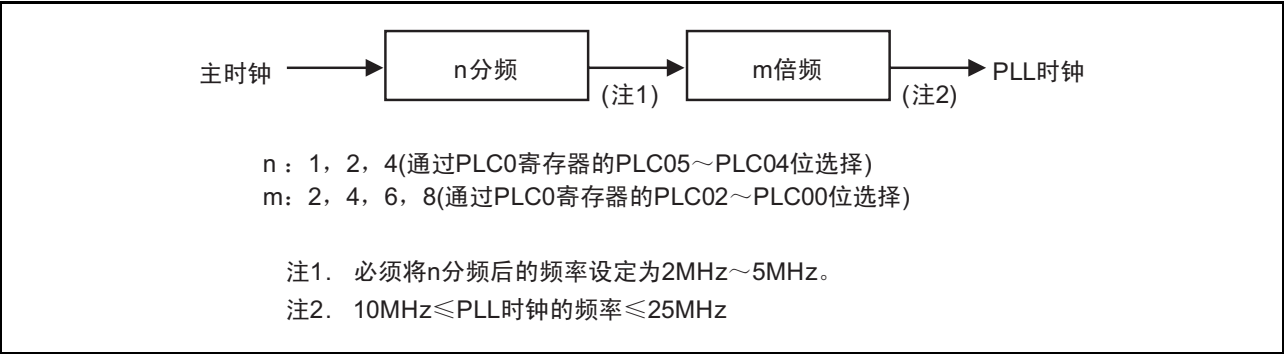


图 10.9 主时钟和 PLL 时钟的关系

复位后，只能设定 1 次 PLC05 ~ PLC04、PLC02 ~ PLC00 位。PLL 时钟频率的设定例子如表 10.2 所示。

表 10.2 PLL 时钟频率的设定例子

主时钟	设定值		PLL 时钟
	PLC05 ~ PLC04 位	PLC02 ~ PLC00 位	
10MHz	01b (2 分频)	010b (4 倍频)	20MHz
5MHz	00b (无分频)	010b (4 倍频)	
12MHz	10b (4 分频)	100b (8 倍频)	24MHz
6MHz	01b (2 分频)	100b (8 倍频)	

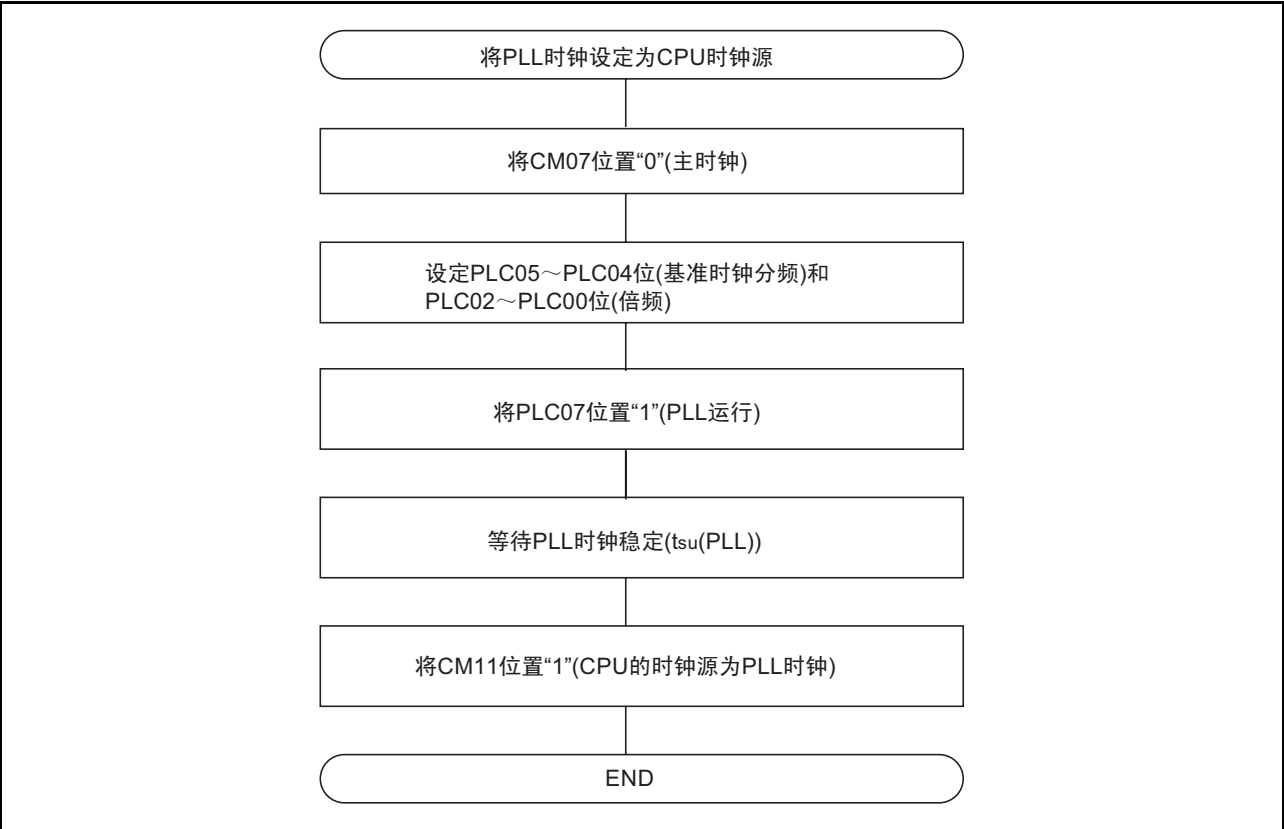


图 10.10 将 PLL 时钟设定为 CPU 时钟源的步骤

10.2 CPU 时钟和外围功能时钟

有使 CPU 运行的 CPU 时钟和使外围功能运行的外围功能时钟。

10.2.1 CPU 时钟和 BCLK

CPU 时钟是 CPU 和看门狗定时器的运行时钟。

可选择主时钟、副时钟、125kHz 内部振荡器时钟或者 PLL 时钟作为 CPU 时钟的时钟源。

如果选择主时钟、PLL 时钟或者 125kHz 内部振荡器时钟作为 CPU 时钟的时钟源，所选时钟的 1 分频（无分频）或者 2、4、8、16 分频时钟就为 CPU 时钟。能通过 CM0 寄存器的 CM06 位和 CM1 寄存器的 CM17 ~ CM16 位选择分频。

复位后，125kHz 内部振荡器时钟的 8 分频时钟为 CPU 时钟。

在存储器扩展模式或者微处理器模式中，如果将 PM0 寄存器的 PM07 位置“0”（输出），就能从 BCLK 引脚输出和 CPU 时钟同频率的 BCLK 信号。

另外，在转移到停止模式时或者在低速模式中将 CM0 寄存器的 CM05 位置“1”（停止）时，CM0 寄存器的 CM06 位变为“1”（8 分频模式）。

10.2.2 外围功能时钟（f1、fC32）

外围功能时钟是外围功能的运行时钟。

f1 是以主时钟、PLL 时钟或者 125kHz 内部振荡器时钟为时钟源的时钟，用于定时器 A、定时器 B、UART0 ~ UART2、UART5 ~ UART7、SI/O3、SI/O4 和 A/D 转换器。

在将 CM0 寄存器的 CM02 位被“1”（在等待模式中，停止外围功能时钟 f1）后实行 WAIT 指令时，或者在低功耗模式中，f1 就停止振荡。

fC32 是以副时钟为时钟源的时钟，用于定时器 A 和定时器 B，并能在供给副时钟时使用。

fOCO-S 也用于定时器 A 和定时器 B，能在 CM1 寄存器的 CM14 位为“0”（125kHz 内部振荡器振荡）时使用。

外围功能时钟如图 10.11 所示。

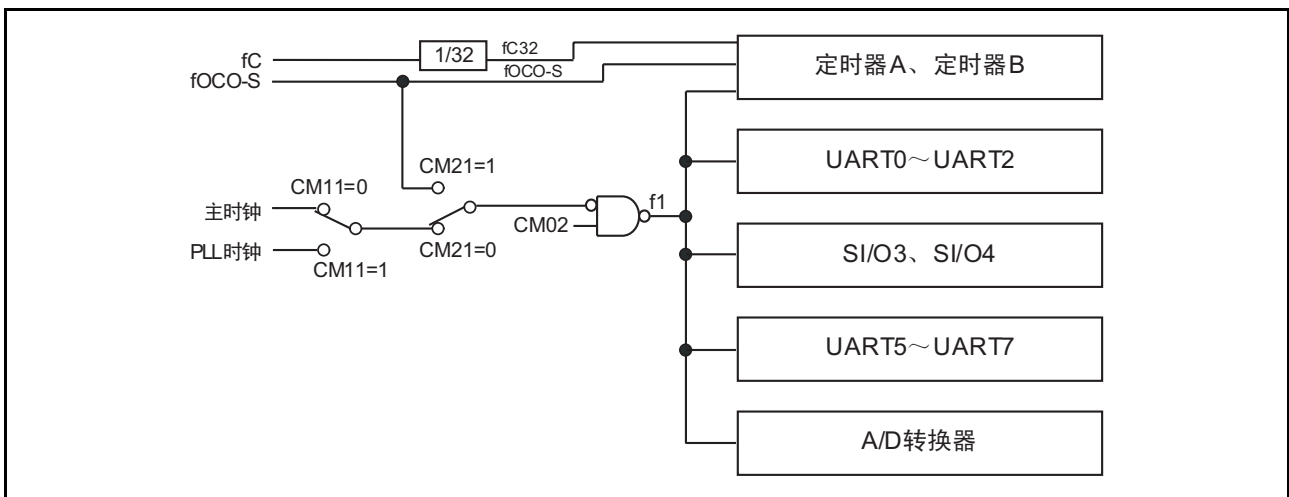


图 10.11 外围功能时钟

10.3 时钟输出功能

在单芯片模式中，能从 CLKOUT 引脚输出 f8、f32 或者 fC。必须通过 CM0 寄存器的 CM01 ~ CM00 位选择时钟的输出。

10.4 功率控制

功率控制有 3 种模式。为了方便起见，在此将等待模式和停止模式以外的模式称为正常运行模式。

10.4.1 正常运行模式

正常运行模式又分为 7 种。

因为在正常运行模式中同时供给 CPU 时钟和外围功能时钟，所以 CPU 和外围功能都运行。通过控制 CPU 时钟的频率进行功率控制。CPU 时钟的频率越大，处理能力就越强；频率越小，功耗就越小。另外，如果停止不需要的振荡电路，功耗就会更小。

在转换 CPU 时钟的时钟源时，转换目标的时钟必需处于稳定振荡。当转换目标为主时钟、副时钟或者 PLL 时钟时，必须先程序中取得等待时间，在振荡稳定后进行转换。

如果将 CPU 时钟的时钟源从 125kHz 内部振荡器转换为主时钟，就必须在 125kHz 内部振荡器模式中将主时钟 8 分频（CM0 寄存器的 CM06 位 =1）后，转换为中速模式（8 分频）。

10.4.1.1 高速模式

主时钟的 1 分频时钟为 CPU 时钟。在供给副时钟的情况下，fC32 能用于定时器 A 和定时器 B 的计数源。

10.4.1.2 PLL 运行模式

PLL 时钟为 CPU 时钟。在供给副时钟的情况下，fC32 能用于定时器 A 和定时器 B 的计数源。在 fOCO-S 正在振荡的情况下，fOCO-S 能用于定时器 A 和定时器 B 的计数源。能从高速模式或者中速模式转移到 PLL 运行模式，而要转移到等待模式或者停止模式时，必须在转移到高速模式或者中速模式后进行。

10.4.1.3 中速模式

主时钟的 2 分频、4 分频、8 分频或者 16 分频时钟为 CPU 时钟。在供给副时钟的情况下，fC32 能用于定时器 A 和定时器 B 的计数源。在 fOCO-S 振荡的情况下，fOCO-S 能用于定时器 A 和定时器 B 的计数源。

10.4.1.4 低速模式

副时钟为 CPU 时钟。外围功能时钟的时钟源在 CM21 位是“0”（主时钟或者 PLL 时钟）时为主时钟；在 CM21 位是“1”（125kHz 内部振荡器时钟）时为 125kHz 内部振荡器时钟。

fC32 能用于定时器 A 和定时器 B 的计数源。

10.4.1.5 低功耗模式

低功耗模式是在转移到低速模式后使主时钟处于停止状态。副时钟为 CPU 时钟，fC32 能用于定时器 A 和定时器 B 的计数源。在 fOCO-S 振荡的情况下，fOCO-S 能用于定时器 A 和定时器 B 的计数源。

在转移到此模式的同时，CM0 寄存器的 CM06 位变为“1”（8 分频模式）。在低功耗模式中不能更改 CM06 位，因此在下次主时钟振荡时为中速模式（8 分频模式）。

10.4.1.6 125kHz 内部振荡器模式

125kHz 内部振荡器时钟的 1 分频（无分频）、2、4、8、16 分频时钟为 CPU 时钟，并且 125kHz 内部振荡器时钟为外围功能时钟的时钟源。在供给副时钟的情况下，fC32 能用于定时器 A 和定时器 B 的计数源。在返回到高速或者中速模式时，必须将 CM06 位置“1”（8 分频模式）。

10.4.1.7 125kHz 内部振荡器低功耗模式

此模式是在转移到 125kHz 内部振荡器模式后使主时钟处于停止状态。和 125kHz 内部振荡器模式一样，能选择 CPU 时钟，并且 125kHz 内部振荡器时钟为外围功能时钟的时钟源。在供给副时钟的情况下，fC32 能用于定时器 A 和定时器 B 的计数源。

表 10.3 时钟关联位的设定和模式

模式		CM2 寄存器	CM1 寄存器				CM0 寄存器			
		CM21	CM11	CM14	CM17、CM16	CM07	CM06	CM05	CM04	
PLL运行模式	无分频	0	1	—	00b	0	0	0	—	
	2 分频	0	1	—	01b	0	0	0	—	
	4 分频	0	1	—	10b	0	0	0	—	
	8 分频	0	1	—	—	0	1	0	—	
	16 分频	0	1	—	11b	0	0	0	—	
高速模式		0	0	—	00b	0	0	0	—	
中速模式	2 分频	0	0	—	01b	0	0	0	—	
	4 分频	0	0	—	10b	0	0	0	—	
	8 分频	0	0	—	—	0	1	0	—	
	16 分频	0	0	—	11b	0	0	0	—	
低速模式		—	0	—	—	1	—	0	1	
低功耗模式		0	0	—	—	1	1（注1）	1（注1）	1	
125kHz 内部 振荡器模式	无分频	1	0	0	00b	0	0	0	—	
	2 分频	1	0	0	01b	0	0	0	—	
	4 分频	1	0	0	10b	0	0	0	—	
	8 分频	1	0	0	—	0	1	0	—	
	16 分频	1	0	0	11b	0	0	0	—	
125kHz 内部振荡器 低功耗模式		1	0	0	（注2）	0	（注2）	1	—	

—: “0” 或者 “1”

注 1. 如果在低速模式中将 CM05 位置 “1” (主时钟停止)，就为低功耗模式。同时，CM06 位变为 “1” (8 分频模式)。

注 2. 和 125kHz 内部振荡器模式一样，能选择分频值。

10.4.2 等待模式

因为在等待模式中 CPU 时钟停止振荡，所以通过 CPU 时钟运行的 CPU 和看门狗定时器停止运行。但是，当 CSPR 寄存器的 CSPRO 位为 “1” (计数源保护模式有效) 时，看门狗定时器运行。因为主时钟、副时钟和 125kHz 内部振荡器时钟不停止振荡，所以使用这些时钟的外围功能保持运行状态。

10.4.2.1 外围功能时钟停止功能

当 CM02 位为 “1” (在等待模式中，停止外围功能时钟 f1) 时，因为在等待模式中，f1 停止运行，所以能降低功耗。作为 fC32、定时器 A 和定时器 B 时钟源的 fOCO-S 不停止运行。

10.4.2.2 转移到等待模式

一旦执行 WAIT 指令，就转移到等待模式。

当 CM11 位为 “1” (CPU 时钟的时钟源为 PLL 时钟) 时，必须先将 CM11 位置 “0” (CPU 时钟的时钟源为主时钟)，然后转移到等待模式。如果将 PLC07 位置 “0” (PLL 停止)，就能降低功耗。

10.4.2.3 等待模式中的引脚状态

等待模式中的引脚状态如表 10.4 所示。

表 10.4 等待模式中的引脚状态

引脚		存储器扩展模式 微处理器模式	单芯片模式
A0 ~ A19、D0 ~ D15、 CS0 ~ CS3、BHE		保持即将进入等待模式前的状态。	不作为总线控制引脚。
RD、WR、WRL、WRH		“H”	
HLDA、BCLK		“H”	
ALE		“L”	
输入 / 输入端口		保持即将进入等待模式前的状态。	保持即将进入等待模式前的状态。
CLKOUT	选择 fC 时	不作为 CLKOUT 引脚。	不停止运行。
	选择 f8、f32 时		当 CM02 位为 “0” 时，不停止运行； 当 CM02 位为 “1” 时，保持即将进入等待模式的状态。

10.4.2.4 从等待模式的返回

通过硬件复位、NMI 中断、低电压检测中断或者外围功能中断，从等待模式返回。

在通过硬件复位、NMI 中断或者低电压检测中断返回时，必须在将外围功能中断的 ILVL2 ~ ILVL0 位置 “000b”（禁止中断）后，执行 WAIT 指令。

外围功能中断受 CM02 位的影响。当 CM02 位为 “0”（在等待模式中，不停止外围功能时钟）时，外围功能中断能用于从等待模式返回；当 CM02 位为 “1”（在等待模式中，停止外围功能时钟）时，因为使用外围功能时钟的外围功能停止运行，所以根据外部信号运行的外围功能中断能用于从等待模式的返回。

能用于从等待模式返回的复位、中断和使用条件如表 10.5 所示。

表 10.5 能用于从等待模式返回的复位、中断和使用条件

复位和中断	CM02=0	CM02=1
NMI 中断	可使用	可使用
串行接口中断	可用于内部时钟或者外部时钟。	可用于外部时钟。
键输入中断	可使用	可使用
A/D 转换中断	可用于单触发模式或者单扫描模式。	不能使用
定时器 A 中断 定时器 B 中断	可用于所有模式。	可在事件计数器模式中或者在计数源为 fC32 或者 fOCO-S 时使用。
INT 中断	可使用	可使用
低电压检测中断	可使用	可使用
硬件复位 1	可使用	
硬件复位 2	可使用（参照 “6.1 硬件复位 2”）	
看门狗定时器复位	可在计数源保护模式有效（CSPRO=1）时使用。	

将外围功能中断用于从等待模式返回时，必须在执行 WAIT 指令前进行以下设定：

1. 对用于从等待模式返回的外围功能中断，给其对应的中断控制寄存器的 ILVL2～ILVL0 位设定中断优先级。
并且，对不用于从等待模式返回的外围功能中断，将其对应的中断控制寄存器的 ILVL2～ILVL0 位全部置“000b”（禁止中断）。
2. 将 I 标志置“1”。
3. 运行用于从等待模式返回的外围功能。
在通过外围功能中断返回时，如果产生中断请求并且开始供给 CPU 时钟，就执行中断程序。

通过外围功能中断从等待模式返回后的 CPU 时钟和执行 WAIT 指令时的 CPU 时钟相同。

10.4.3 停止模式

在停止模式中，全部的振荡都停止。因此，CPU 时钟和外围功能时钟停止振荡，通过这些时钟运行的 CPU 和外围功能停止运行。停止模式是功耗最小的模式。当 VCC1 引脚和 VCC2 引脚的外加电压不低于 VRAM 时，能保持内部 RAM 的内容；当 VCC1 引脚和 VCC2 引脚的外加电压不超过 2.7V 时，必须设定 VCC1=VCC2 ≥ VRAM。

另外，根据外部信号运行的外围功能保持运行状态。用于从停止模式返回的复位、中断和使用条件如表 10.6 所示。

表 10.6 用于从停止模式返回的复位、中断和使用条件

复位和中断	条件
NMI 中断	可使用
键输入中断	可使用
$\overline{\text{INT}}$ 中断	可使用
定时器 A 中断 定时器 B 中断	可在事件计数器模式中对外部脉冲进行计数时使用。
串行接口中断	可在选择外部时钟时使用。
低电压检测中断	可使用（参照“6.2 低电压检测中断”）
硬件复位 1	可使用
硬件复位 2	可在数字滤波器无效（VW0C=1）时使用。

10.4.3.1 转移到停止模式

一旦将 CM1 寄存器的 CM10 位置“1”（全部时钟停止），就转移到停止模式。同时，CM0 寄存器的 CM06 位为“1”（8 分频模式）、CM1 寄存器的 CM15 位为“1”（主时钟振荡电路为 HIGH 驱动能力）。

在使用停止模式时，必须先将 CM20 位置“0”（振荡停止 / 再振荡检测功能无效），然后转移到停止模式。

另外，当 CM11 位为“1”（CPU 时钟的时钟源为 PLL 时钟）时，必须在将 CM11 位置“0”（CPU 时钟的时钟源为主时钟）后将 PLC07 位置“0”（PLL 停止），然后转移到停止模式。

10.4.3.2 停止模式中的引脚状态

停止模式中的引脚状态如表 10.7 所示。

表 10.7 停止模式中的引脚状态

引脚	存储器扩展模式 微处理器模式	单芯片模式
A0 ~ A19、D0 ~ D15、 CS0 ~ CS3、BHE	保持即将进入停止模式前的状态。	不作为总线控制引脚。
RD、WR、WRL、WRH	“H”	
HLDA、BCLK	“H”	
ALE	不定	
输入 / 输出端口	保持即将进入停止模式前的状态。	保持即将进入停止模式前的状态。
CLKOUT	不作为 CLKOUT 引脚。	“H”

10.4.3.3 从停止模式的返回

通过硬件复位、 $\overline{\text{NMI}}$ 中断、低电压检测中断或者外围功能中断，从停止模式返回。

在通过硬件复位、 $\overline{\text{NMI}}$ 中断或者低电压检测中断返回时，必须在将外围功能中断的 ILVL2 ~ ILVL0 位全部置“000b”（禁止中断）后，将 CM10 位置“1”。

通过外围功能中断返回时，必须在进行以下的设定后将 CM10 置“1”：

1. 对用于从停止模式返回的外围功能中断，给其对应的中断控制寄存器的 ILVL2 ~ ILVL0 位设定中断优先级。
并且，对不用于从停止模式返回的外围功能中断，将其对应的中断控制寄存器的 ILVL2 ~ ILVL0 位全部置“000b”（禁止中断）。
2. 将 I 标志置“1”。
3. 运行用于从停止模式返回的外围功能。

在通过外围功能中断返回时，如果产生中断请求并开始供给 CPU 时钟，就执行中断程序。

根据停止模式转移前的 CPU 时钟，通过外围功能中断、低电压检测中断或者 $\overline{\text{NMI}}$ 中断从停止模式返回时的 CPU 时钟如下：

转移到停止模式前的 CPU 时钟源为副时钟：副时钟

转移到停止模式前的 CPU 时钟源为主时钟：主时钟的 8 分频时钟

转移到停止模式前的 CPU 时钟源为 125kHz 内部振荡器时钟：125kHz 内部振荡器时钟的 8 分频时钟

功率控制转移如图 10.12 所示。

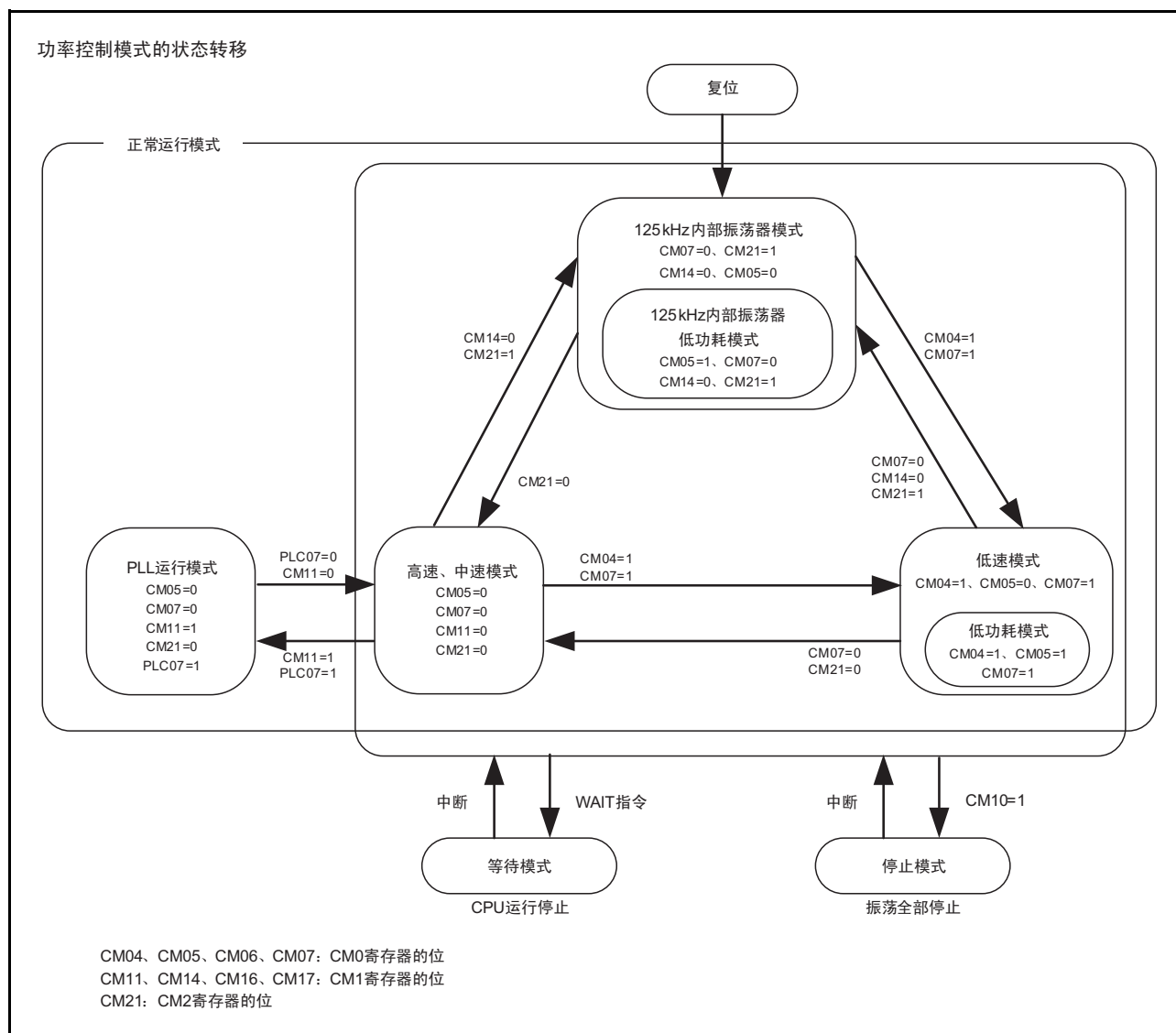


图 10.12 功率控制转移

10.5 系统时钟保护功能

系统时钟保护功能是指在选择主时钟作为 CPU 时钟的时钟源时，为了在程序失控时不使 CPU 时钟停止振荡而禁止更改时钟的功能。

如果将 PM2 寄存器的 PM21 位置 “1”（禁止更改时钟），就无法写以下的位：

- CM0 寄存器的 CM02 位、CM05 位和 CM07 位
- CM1 寄存器的 CM10 位和 CM11 位
- CM2 寄存器的 CM20 位
- PLC0 寄存器的全部位

在使用系统时钟保护功能时，必须在 CM0 寄存器的 CM05 为 “0”（主时钟振荡）并且 CM07 位为 “0”（CPU 时钟的时钟源为主时钟）的状态下进行以下处理：

- 将 PRCR 寄存器的 PRC1 位置 “1”（允许写 PM2 寄存器）。
- 将 PM2 寄存器的 PM21 位置 “1”（禁止更改时钟）。
- 将 PRCR 寄存器的 PRC1 位置 “0”（禁止写 PM2 寄存器）。

当 PM21 位为 “1” 时，不能执行 WAIT 指令。

10.6 振荡停止 / 再振荡检测功能

振荡停止 / 再振荡检测功能是检测主时钟振荡电路的停止和再振荡的功能。在检测到振荡停止或者再振荡时，产生复位或者振荡停止 / 再振荡检测中断。能根据 CM2 寄存器的 CM27 位选择是产生哪种中断。

能根据 CM2 寄存器的 CM20 位选择振荡停止 / 再振荡检测功能是否有效。

振荡停止 / 再振荡检测功能的规格如表 10.8 所示。

表 10.8 振荡停止 / 再振荡检测功能的规格

项目	规格
能检测到振荡停止的时钟和频率范围	$f(XIN) \geq 2\text{MHz}$
振荡停止 / 再振荡检测功能的有效条件	将 CM20 位置 “1”（有效）。
检测到振荡停止 / 再振荡时的运行	- 产生复位（CM27 位 =0）。 - 产生振荡停止 / 再振荡检测中断（CM27 位 =1）。

10.6.1 CM27 位为 “0”（复位）时的运行

如果在 CM20 位为 “1”（振荡停止 / 再振荡检测功能有效）时检测到主时钟停止振荡，就初始化单片机并停止单片机的运行（振荡停止的检测复位。请参照“4. SFR”和“5. 复位”）。

通过硬件复位 1 或者硬件复位 2 解除此状态。虽然也能在检测到再振荡时初始化单片机并停止单片机的运行，但是不能使用这种方法（在主时钟停止的状态下，不能将 CM20 位置 “1” 并且不能将 CM27 位置 “0”）。

10.6.2 CM27 位为 “1”（振荡停止 / 再振荡检测中断）时的运行

当主时钟为 CPU 时钟源并且 CM20 位为 “1”（振荡停止 / 再振荡检测功能有效）时，一旦主时钟停止振荡，就变为以下的状态：

- 产生振荡停止/再振荡检测的中断请求
- CM14 位=0（125kHz 内部振荡器振荡）
- CM21 位=1（125kHz 内部振荡器时钟为 CPU 时钟和外围功能时钟的时钟源）
- CM22 位=1（检测到主时钟停止）
- CM23 位=1（主时钟停止）

当 PLL 时钟为 CPU 时钟源并且 CM20 位为 “1” 时，一旦主时钟停止振荡，就变为以下的状态。因为 CM21 位不变，所以必须在中断程序中将此位置 “1”（125kHz 内部振荡器时钟）。

- 产生振荡停止/再振荡检测的中断请求
- CM14 位=0（125kHz 内部振荡器振荡）
- CM22 位=1（检测到主时钟停止）
- CM23 位=1（主时钟停止）
- CM21 位不变

当 CM20 位为 “1” 时，一旦主时钟从停止状态返回到振荡状态，就变为以下的状态：

- 产生振荡停止/再振荡检测的中断请求
- CM14 位=0（125kHz 内部振荡器振荡）
- CM22 位=1（检测到主时钟再振荡）
- CM23 位=0（主时钟振荡）
- CM21 位不变

10.6.3 振荡停止 / 再振荡检测功能的使用方法

- 振荡停止/再振荡检测中断与看门狗定时器中断、低电压检测中断共用向量。在使用振荡停止/再振荡检测中断和看门狗定时器中断时，必须通过中断程序读取CM22位，判断是哪个中断源产生的中断请求。
- 如果在振荡停止后主时钟再振荡，就必须通过程序将主时钟恢复为CPU时钟或者外围功能的时钟源。从125kHz内部振荡器时钟转换到主时钟的步骤如图10.13所示。
- 在产生振荡停止/再振荡检测中断的同时，CM22位变为“1”。当CM22位为“1”时，禁止振荡停止/再振荡检测中断。如果通过程序将CM22位置“0”，就允许振荡停止/再振荡检测中断。
- 在低速模式中，如果CM20位为“1”并且主时钟停止振荡，就会产生振荡停止/再振荡检测的中断请求。同时，125kHz内部振荡器开始振荡。此时，CPU时钟的时钟源仍然为副时钟，而外围功能时钟的时钟源变为125kHz内部振荡器。
- 如果要在使用振荡停止/再振荡检测功能中转移到等待模式，就必须将CM02位置“0”（在等待模式中，不停止外围功能时钟）。
- 因为振荡停止/再振荡检测功能具有通过外部源停止主时钟振荡的功能，所以通过程序使主时钟停止或者振荡时，即在转移到停止模式或者更改CM05位时，必须将CM20位置“0”（振荡停止/再振荡检测功能无效）。
- 在主时钟频率不超过2MHz时，因为不能使用此功能，所以必须将CM20位置“0”。

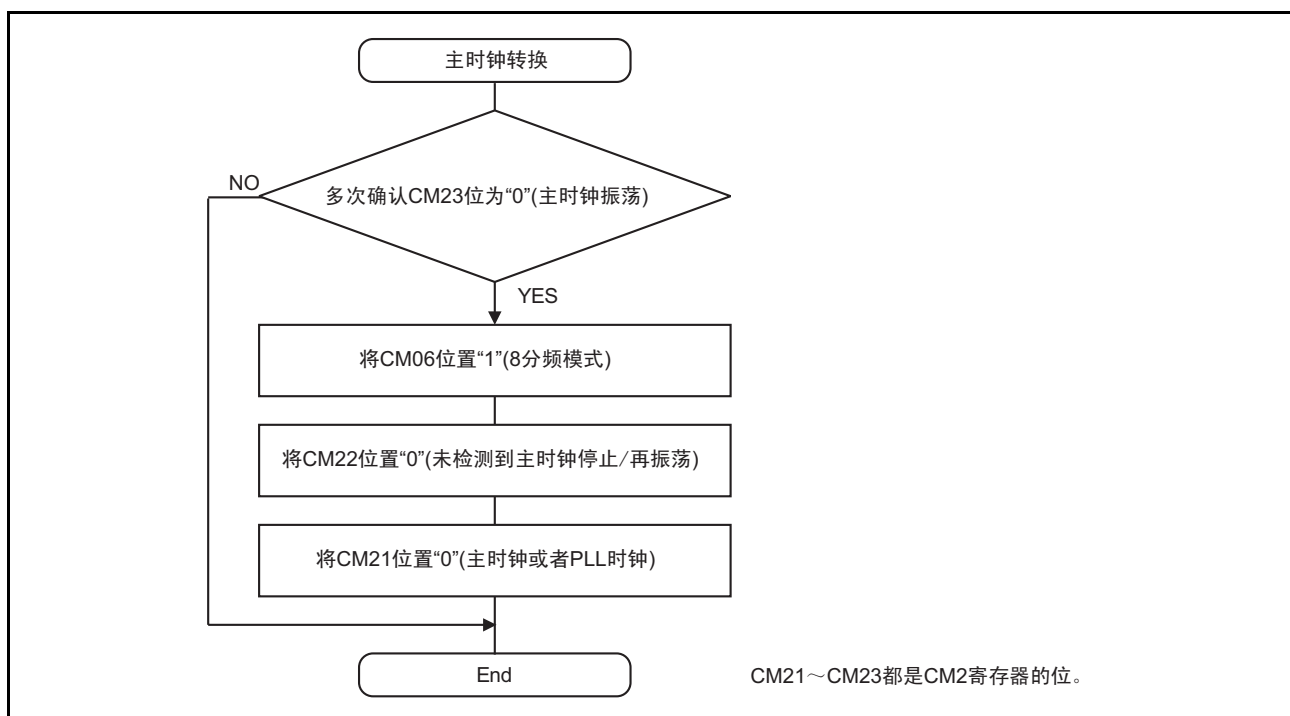


图 10.13 从 125kHz 内部振荡器时钟转换到主时钟的步骤

11. 保护

保护是为了在程序失控时使重要的寄存器不被轻易改写的功能。PRCR 寄存器如图 11.1 所示。PRCR 寄存器所保护的寄存器如下：

- 由PRC0位保护的寄存器：CM0、CM1、CM2、PLC0、PCLKR 寄存器
- 由PRC1位保护的寄存器：PM0、PM1、PM2、TB2SC、INVC0、INVC1 寄存器
- 由PRC2位保护的寄存器：PD9、S3C、S4C 寄存器
- 由PRC3位保护的寄存器：VCR2、D4INT、VW0C 寄存器
- 由PRC6位保护的寄存器：PRG2C 寄存器

如果在将 PRC2 位置 “1”（允许写状态）后，对任意的 SFR 进行写操作，PRC2 位就变为 “0”（禁止写状态）。必须通过将 PRC2 位置 “1” 后的下一条指令更改由 PRC2 位保护的寄存器。在将 PRC2 位置 “1” 的指令和下一条指令之间不能发生中断和 DMA 传送。即使对任意的 SFR 进行写操作，PRC0、PRC1、PRC3、PRC6 位也不会变为 “0”，所以必须通过程序将这些位置 “0”。

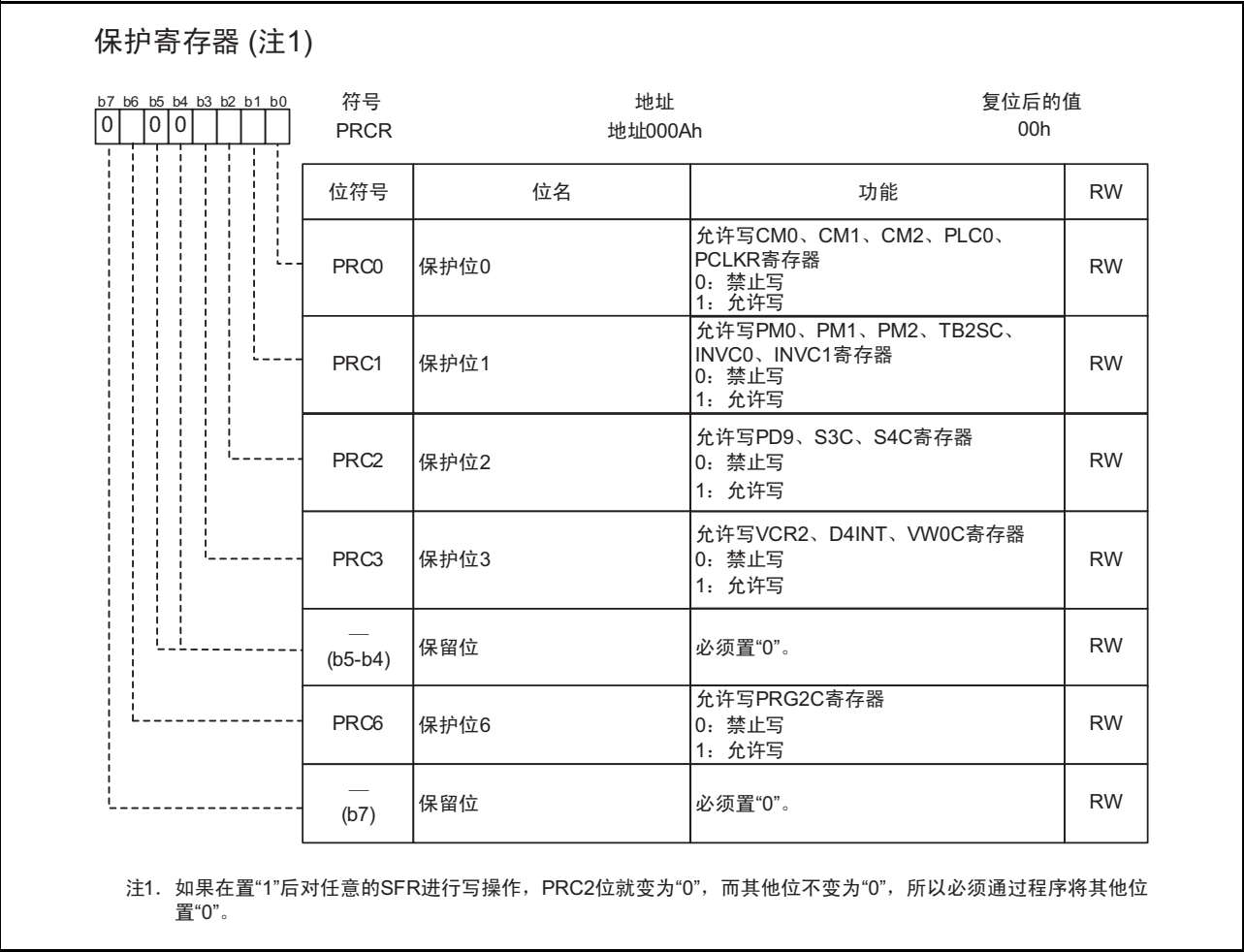


图 11.1 PRCR 寄存器

12. 中断

12.1 中断的分类

中断的分类图 12.1 所示。

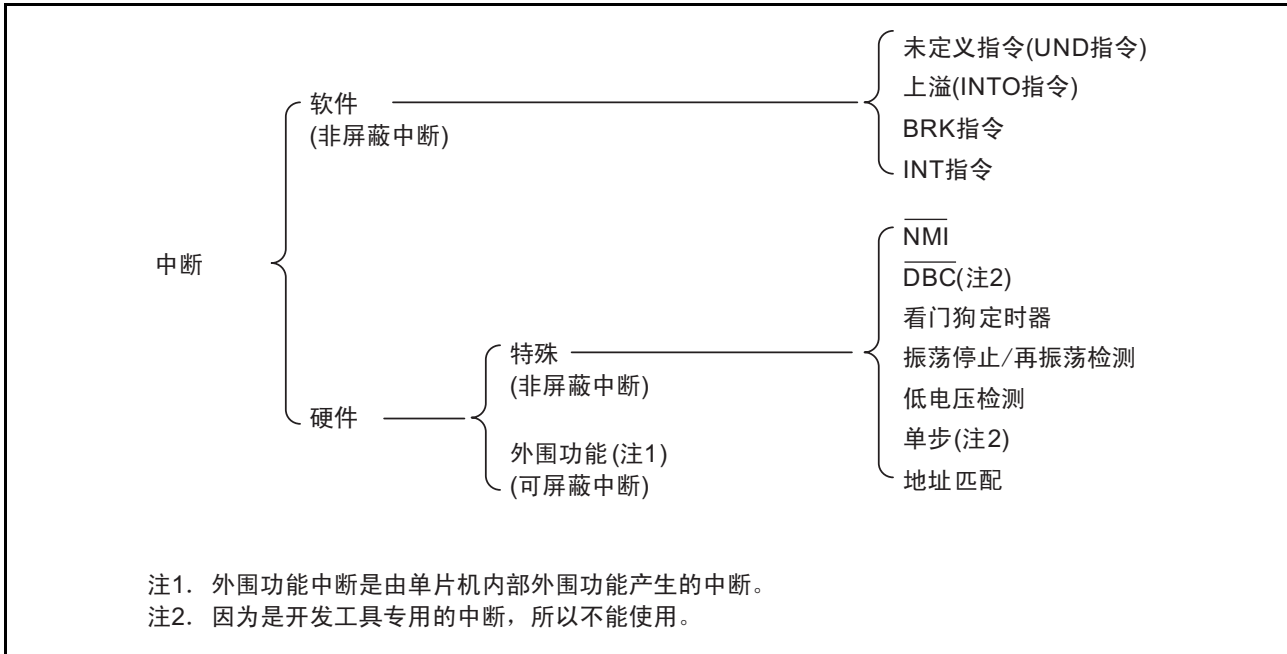


图 12.1 中断的分类

- 可屏蔽中断：**能**通过中断允许标志（I标志）允许（禁止）中断，并且**能**通过中断优先级更改中断的优先级。
- 非屏蔽中断：**不能**通过中断允许标志（I标志）允许（禁止）中断，并且**不能**通过中断优先级更改中断的优先级。

12.2 软件中断

通过执行指令产生软件中断，软件中断为非屏蔽中断。

12.2.1 未定义指令中断

如果执行 UND 指令，就产生未定义指令中断。

12.2.2 上溢中断

在 FLG 寄存器的 O 标志为“1”（运算结果上溢）时，如果执行 INTO 指令，就产生上溢中断。根据运算，O 标志发生变化的指令如下：

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

12.2.3 BRK 中断

如果执行 BRK 指令，就产生 BRK 中断。

12.2.4 INT 指令中断

如果执行 INT 指令，就产生 INT 指令中断。能用 INT 指令指定的软件中断序号为 0 ~ 63。因为软件中断序号 2 ~ 31、41 ~ 51 被分配给外围功能中断，所以通过执行 INT 指令能执行和外围功能中断相同的中断程序。

对于软件中断序号 0 ~ 31，在执行指令时将 U 标志压栈，然后在将 U 标志置“0”（选择 ISP）后执行中断响应顺序。从中断程序返回时恢复被压栈的 U 标志。对于软件中断序号 32 ~ 63，在执行指令时 U 标志不变而使用当时选择的 SP。

12.3 硬件中断

硬件中断有特殊中断和外围功能中断。

12.3.1 特殊中断

特殊中断为非屏蔽中断。

12.3.1.1 $\overline{\text{NMI}}$ 中断

如果 $\overline{\text{NMI}}$ 引脚的输入从“H”电平变为“L”电平，就产生 $\overline{\text{NMI}}$ 中断。 $\overline{\text{NMI}}$ 中断的详细内容请参照“12.7 $\overline{\text{NMI}}$ 中断”。

12.3.1.2 $\overline{\text{DBC}}$ 中断

因为 $\overline{\text{DBC}}$ 中断是开发工具专用的中断，所以不能使用。

12.3.1.3 看门狗定时器中断

看门狗定时器中断是由看门狗定时器产生的中断。在发生看门狗定时器中断后，必须初始化看门狗定时器。看门狗定时器的详细内容请参照“13. 看门狗定时器”。

12.3.1.4 振荡停止 / 再振荡检测中断

振荡停止 / 再振荡检测中断是由振荡停止 / 再振荡检测功能产生的中断。有关振荡停止 / 再振荡检测功能的详细内容，请参照“10. 时钟发生电路”。

12.3.1.5 低电压检测中断

低电压检测中断是由电压检测电路产生的中断。有关电压检测电路的详细内容，请参照“6. 电压检测电路”。

12.3.1.6 单步中断

因为单步中断是开发工具专用的中断，所以不能使用。

12.3.1.7 地址匹配中断

如果 AIER 寄存器的 AIER0 位和 AIER1 位、AIER2 寄存器的 AIER20 位和 AIER21 位中的任意 1 位为“1”（允许地址匹配中断），就在即将执行对应的 RMAD0 ~ RMAD3 寄存器指向的地址的指令前产生地址匹配中断。

有关地址匹配中断的详细内容，请参照“12.9 地址匹配中断”。

12.3.2 外围功能中断

外围功能中断是由单片机内部的外围功能产生的中断，为可屏蔽中断。外围功能中断的中断源请参照“表 12.2 ～表 12.3 可变量表”，外围功能的详细内容请参照各外围功能的说明。

12.4 中断和中断向量

1 个向量为 4 个字节。必须给各中断向量设定中断程序的起始地址。如果接受中断请求，就转移到设定在中断向量中的地址。中断向量如图 12.2 所示。

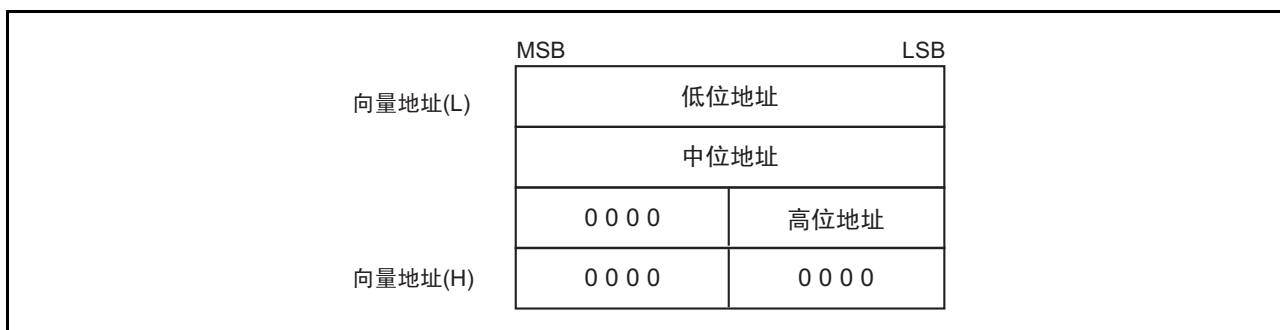


图 12.2 中断向量

12.4.1 固定向量表

固定向量表分配在地址 FFFDCh ～地址 FFFFFh，固定向量表如表 12.1 所示。闪存版的 ID 码检查功能使用固定向量的向量地址（H），详细内容请参照“22.2 闪存改写的禁止功能”。

表 12.1 固定向量表

中断源	向量地址 地址（L）～地址（H）	参照
未定义指令（UND 指令）	FFFDCh ～ FFFDFh	M16C/60、M16C/20 系列软件手册
上溢（INTO 指令）	FFFE0h ～ FFFE3h	
BRK 指令（注 2）	FFFE4h ～ FFFE7h	
地址匹配	FFFE8h ～ FFEFBh	12.9 地址匹配中断
单步（注 1）	FFFECh ～ FFFEFh	—
看门狗定时器、 振荡停止 / 再振荡检测、 低电压检测	FFFF0h ～ FFFF3h	13. 看门狗定时器、 10. 时钟发生电路、 6. 电压检测电路
DBC（注 1）	FFFF4h ～ FFFF7h	—
NMI	FFFF8h ～ FFFFBh	12.7 NMI 中断
复位	FFFFCh ～ FFFFFh	5. 复位

注 1. 因为是开发工具专用的中断，所以不能使用。

注 2. 当 FFFE7h 地址的内容为 FFh 时，从可变量表内的向量指向的地址开始执行。

12.4.2 可变向量表

从设定在 INTB 寄存器中的起始地址开始的 256 个字节为可变向量表区，可变向量表如表 12.2 ～表 12.3 所示。如果将偶数地址设定到 INTB 寄存器，就能比奇数地址更快地执行中断响应顺序。

表 12.2 可变向量表 (1)

中断源	向量地址 (注 1) 地址 (L) ~ 地址 (H)	软件中断序号	参照
BRK 指令 (注 5)	+0 ~ +3(0000h ~ 0003h)	0	M16C/60、M16C/20 系列软件手册
— (保留)		1	
INT7	+8 ~ +11(0008h ~ 000Bh)	2	12.6 INT 中断
INT6	+12 ~ +15(000Ch ~ 000Fh)	3	
INT3	+16 ~ +19(0010h ~ 0013h)	4	
定时器 B5	+20 ~ +23(0014h ~ 0017h)	5	15. 定时器
定时器 B4、UART1 总线冲突检测 (注 4、6)	+24 ~ +27(0018h ~ 001Bh)	6	15. 定时器 17. 串行接口
定时器 B3、UART0 总线冲突检测 (注 4、6)	+28 ~ +31(001Ch ~ 001Fh)	7	
SI/O4、INT5 (注 2)	+32 ~ +35(0020h ~ 0023h)	8	12.6 INT 中断
SI/O3、INT4 (注 2)	+36 ~ +39(0024h ~ 0027h)	9	17. 串行接口
UART2 总线冲突检测 (注 6)	+40 ~ +43(0028h ~ 002Bh)	10	17. 串行接口
DMA0	+44 ~ +47(002Ch ~ 002Fh)	11	14. DMAC
DMA1	+48 ~ +51(0030h ~ 0033h)	12	
键输入中断	+52 ~ +55(0034h ~ 0037h)	13	12.8 键输入中断
A/D	+56 ~ +59(0038h ~ 003Bh)	14	18. A/D 转换器
UART2 发送、NACK2 (注 3)	+60 ~ +63(003Ch ~ 003Fh)	15	17. 串行接口
UART2 接收、ACK2 (注 3)	+64 ~ +67(0040h ~ 0043h)	16	
UART0 发送、NACK0 (注 3)	+68 ~ +71(0044h ~ 0047h)	17	
UART0 接收、ACK0 (注 3)	+72 ~ +75(0048h ~ 004Bh)	18	
UART1 发送、NACK1 (注 3)	+76 ~ +79(004Ch ~ 004Fh)	19	
UART1 接收、ACK1 (注 3)	+80 ~ +83(0050h ~ 0053h)	20	
定时器 A0	+84 ~ +87(0054h ~ 0057h)	21	15. 定时器
定时器 A1	+88 ~ +91(0058h ~ 005Bh)	22	
定时器 A2	+92 ~ +95(005Ch ~ 005Fh)	23	
定时器 A3	+96 ~ +99(0060h ~ 0063h)	24	
定时器 A4	+100 ~ +103(0064h ~ 0067h)	25	
定时器 B0	+104 ~ +107(0068h ~ 006Bh)	26	
定时器 B1	+108 ~ +111(006Ch ~ 006Fh)	27	
定时器 B2	+112 ~ +115(0070h ~ 0073h)	28	

注 1. 从 INTB 寄存器指向的地址开始的相对地址。

注 2. 必须通过 IFSR 寄存器的 IFSR6 位和 IFSR7 位选择该中断源。

注 3. 在 I²C 模式中，NACK 和 ACK 为中断源。

注 4. 必须通过 IFSR2A 寄存器的 IFSR26 位和 IFSR27 位选择该中断源。

注 5. 不能通过 I 标志禁止。

注 6. 总线冲突检测：在 IE 模式中，总线冲突检测为中断源。

在 I²C 模式中，开始条件检测和停止条件检测为中断源。

表 12.3 可变向量表 (2)

中断源	向量地址 (注 1) 地址 (L) ~ 地址 (H)	软件中断序号	参照
INT0	+116 ~ +119(0074h ~ 0077h)	29	12.6 $\overline{\text{INT}}$ 中断
INT1	+120 ~ +123(0078h ~ 007Bh)	30	
INT2	+124 ~ +127(007Ch ~ 007Fh)	31	
INT 指令中断 (注 3)	+128 ~ +131(0080h ~ 0083h) ~ +160 ~ +163(00A0h ~ 00A3h)	32 ~ 40	M16C/60、M16C/20 系列软件手册
DMA2	+164 ~ +167(00A4h ~ 00A7h)	41	14. DMAC
DMA3	+168 ~ +171(00A8h ~ 00ABh)	42	
UART5 总线冲突检测 (注 4)	+172 ~ +175(00ACh ~ 00AFh)	43	17. 串行接口
UART5 发送、NACK5 (注 2)	+176 ~ +179(00B0h ~ 00B3h)	44	
UART5 接收、ACK5 (注 2)	+180 ~ +183(00B4h ~ 00B7h)	45	
UART6 总线冲突检测 (注 4)	+184 ~ +187(00B8h ~ 00BBh)	46	
UART6 发送、NACK6 (注 2)	+188 ~ +191(00BCh ~ 00BFh)	47	
UART6 接收、ACK6 (注 2)	+192 ~ +195(00C0h ~ 00C3h)	48	
UART7 总线冲突检测 (注 4)	+196 ~ +199(00C4h ~ 00C7h)	49	
UART7 发送、NACK7 (注 2)	+200 ~ +203(00C8h ~ 00CBh)	50	
UART7 接收、ACK7 (注 2)	+204 ~ +207(00CCh ~ 00CFh)	51	
— (保留)		52 ~ 63	

注 1. 从 INTB 寄存器指向的地址开始的相对地址。

注 2. 在 I²C 模式中，NACK 和 ACK 为中断源。

注 3. 不能通过 I 标志禁止。

注 4. 总线冲突检测：在 IE 模式中，总线冲突检测为中断源。

在 I²C 模式中，开始条件检测和停止条件检测为中断源。

12.5 中断控制

以下说明可屏蔽中断的允许和禁止以及接受优先级的设定。在此说明的内容不适用于非屏蔽中断。

通过 FLG 寄存器的 I 标志、IPL 以及各中断控制寄存器的 ILVL2 ~ ILVL0 位，允许或者禁止可屏蔽中断。
各中断控制寄存器的 IR 位表示中断请求的有无。

中断控制寄存器如图 12.3 ~ 图 12.4 所示。



图 12.3 中断控制寄存器 (1)

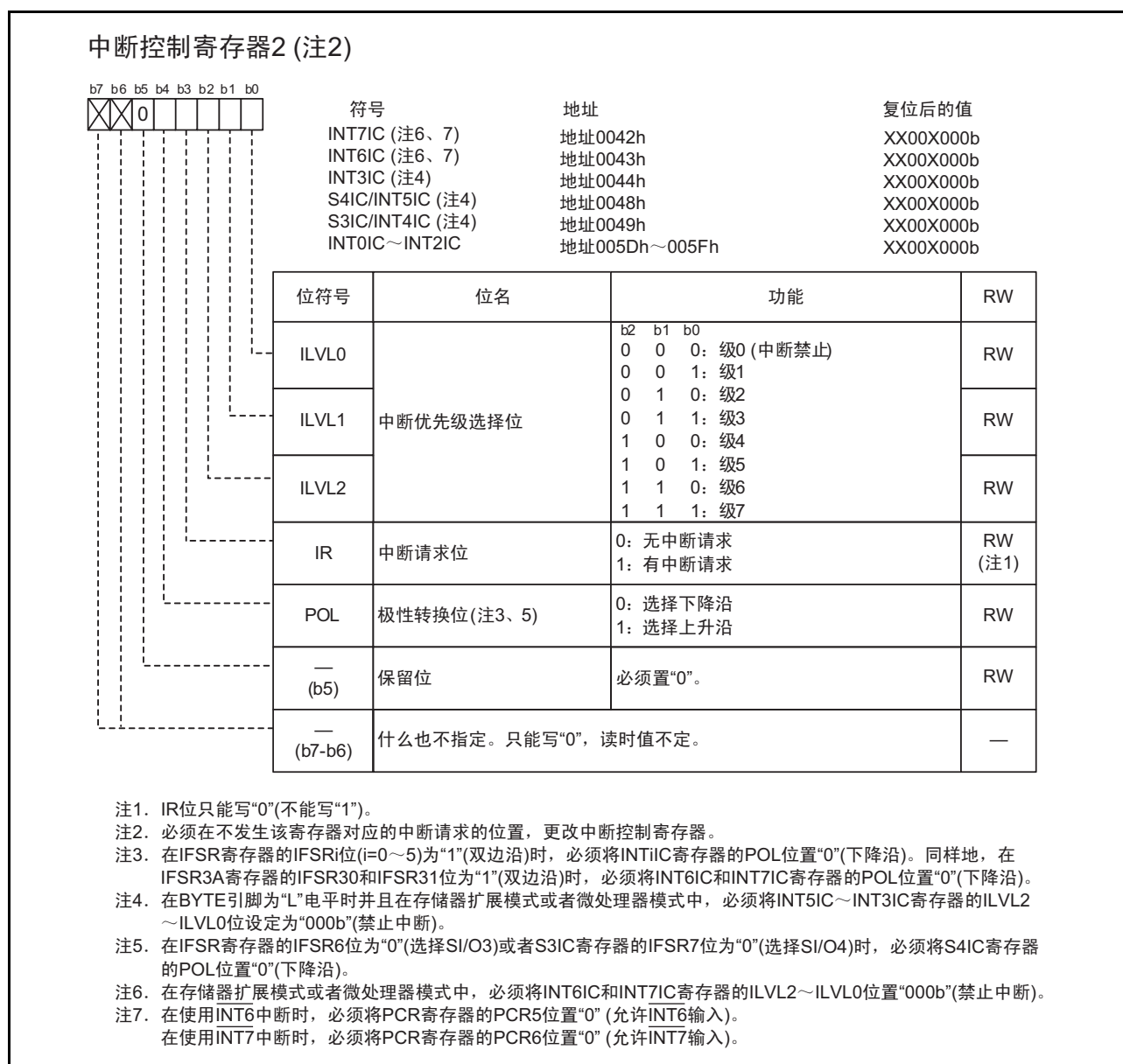


图 12.4 中断控制寄存器 (2)

12.5.1 I 标志

I 标志允许或者禁止可屏蔽中断。如果将 I 标志置 “1” (允许)，就允许可屏蔽中断；如果置 “0” (禁止)，就禁止全部的可屏蔽中断。

12.5.2 IR 位

如果产生中断请求，IR 位就变为 “1” (有中断请求)。在接受中断请求后，IR 位变为 “0” (无中断请求)。

能通过程序将 IR 位置 “0”，但是不能置 “1”。

12.5.3 ILVL2 ~ ILVL0 位、IPL

能通过 ILVL2 ~ ILVL0 位设定中断优先级。

中断优先级的设定以及 IPL 允许的中断优先级分别如表 12.4 和表 12.5 所示。

接受中断请求的条件如下所示：

- I 标志 = 1
- IR 位 = 1
- 中断优先级 > IPL

I 标志、IR 位、ILVL2 ~ ILVL0 位和 IPL 各自独立，互不影响。

表 12.4 中断优先级的设定

ILVL2 ~ ILVL0 位	中断优先级	优先级
000b	0（禁止中断）	—
001b	1	低 ↓ 高
010b	2	
011b	3	
100b	4	
101b	5	
110b	6	
111b	7	

表 12.5 IPL 允许的中断优先级

IPL	允许的中断优先级
000b	允许 1 级以上（含 1 级）
001b	允许 2 级以上（含 2 级）
010b	允许 3 级以上（含 3 级）
011b	允许 4 级以上（含 4 级）
100b	允许 5 级以上（含 5 级）
101b	允许 6 级以上（含 6 级）
110b	允许 7 级以上（含 7 级）
111b	禁止全部的可屏蔽中断

12.5.4 中断响应顺序

以下说明从接受中断请求到执行中断程序的中断响应顺序。

如果在执行指令中发生中断请求，CPU 就在该指令执行结束后判断优先级，在下一个周期转移到中断响应顺序。但是，如果在执行 SMOVB、SMOVF、SSTR、RMPA 指令中发生中断请求，就暂时中断指令的运行，转移到中断响应顺序。

中断响应顺序的运行如下所示，中断响应顺序的执行时间如图 12.5 所示。

1. 在 CPU 通过读地址 00000h 获得中断信息（中断序号和中断请求优先级）后，相应的中断 IR 位变为“0”（无中断请求）。
2. 将中断响应顺序前的 FLG 寄存器保存到 CPU 内部的临时寄存器（注 1）。
3. FLG 寄存器中的 I 标志、D 标志和 U 标志的状态如下所示：
I 标志为“0”（禁止中断）。
D 标志为“0”（禁止单步中断）。
U 标志为“0”（指定 ISP）。
但是，如果执行软件中断序号 32 ~ 63 的 INT 指令，U 标志就不变。
4. 将 CPU 内部的临时寄存器（注 1）压栈。
5. 将 PC 压栈。
6. 给 IPL 设定已接受中断的中断优先级。
7. 将设定在中断向量的中断程序的起始地址输入到 PC。

在中断响应顺序结束后，从中断程序的起始地址开始执行指令。

注 1. 用户不能使用。

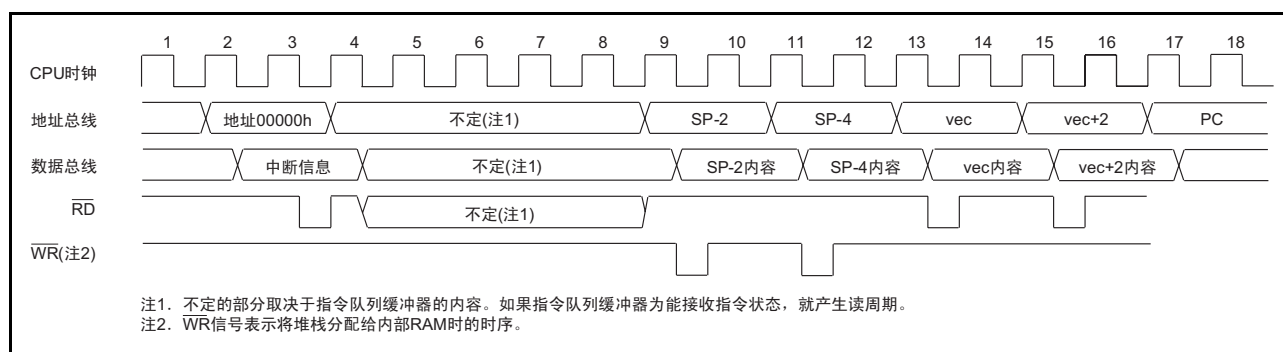


图 12.5 中断响应顺序的执行时间

12.5.5 中断响应时间

中断响应时间如图 12.6 所示。中断响应时间是从发生中断请求开始到执行中断程序内的第一条指令为止的时间。此时间由发生中断请求开始到当时正在执行的指令结束为止的时间（图 12.6 的 (a)）和执行中断响应顺序的时间构成（图 12.6 的 (b)）。

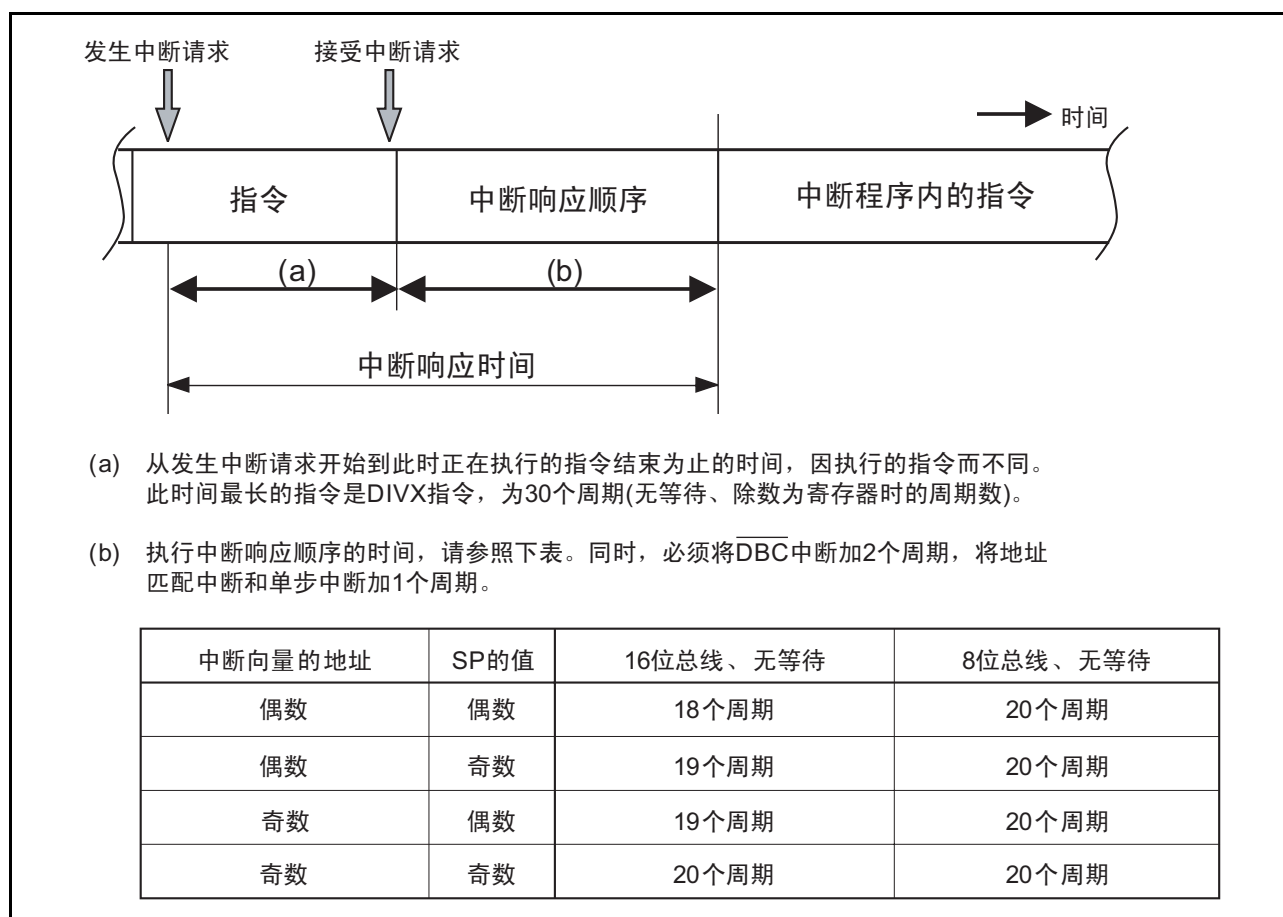


图 12.6 中断响应时间

12.5.6 接受中断请求时的 IPL 变化

如果接受可屏蔽中断的中断请求，就给 IPL 设定已接受中断的中断优先级。

如果接受软件中断和特殊中断请求，就给 IPL 设定表 12.6 所示的值。接受软件中断和特殊中断时的 IPL 值如表 12.6 所示。

表 12.6 接受软件中断和特殊中断时的 IPL 值

中断源	IPL 的设定值
看门狗定时器、NMI、振荡停止 / 再振荡检测、低电压检测	7
软件、地址匹配、DBC、单步	不变

12.5.7 寄存器压栈

在中断响应顺序中，将 FLG 寄存器和 PC 压栈。

先将 PC 的高 4 位、FLG 寄存器的高 4 位（IPL）和低 8 位共 16 位压栈，然后将 PC 的低 16 位压栈。中断请求接受前后的堆栈状态如图 12.7 所示。

必须在中断程序的开始位置通过程序将其他所需的寄存器压栈。如果使用 PUSHM 指令，就能用 1 条指令将 SP 除外的全部寄存器压栈。

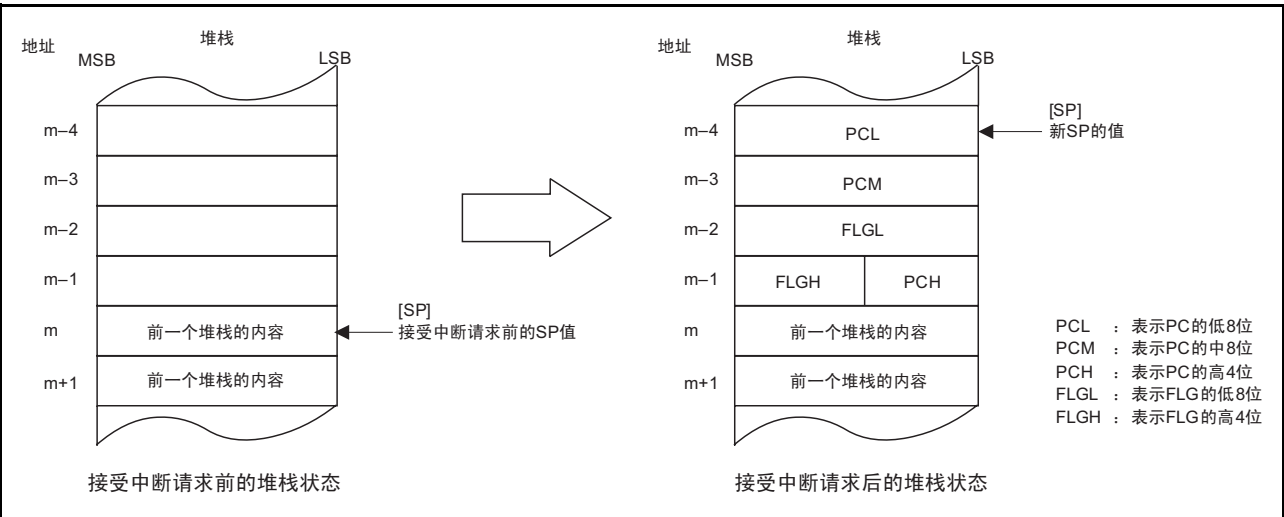


图 12.7 中断请求接受前后的堆栈状态

根据接受中断请求时的 SP（注 1）是偶数还是奇数，中断响应顺序中的寄存器压栈操作不同。当 SP（注 1）为偶数时，同时将 FLG 寄存器和 PC 的各 16 位压栈；当 SP（注 1）为奇数时，按 8 位分 2 次压栈。寄存器的压栈操作如图 12.8 所示。

注 1. 如果执行软件序号 32 ~ 63 的 INT 指令，为 U 标志表示的 SP，否则为 ISP。

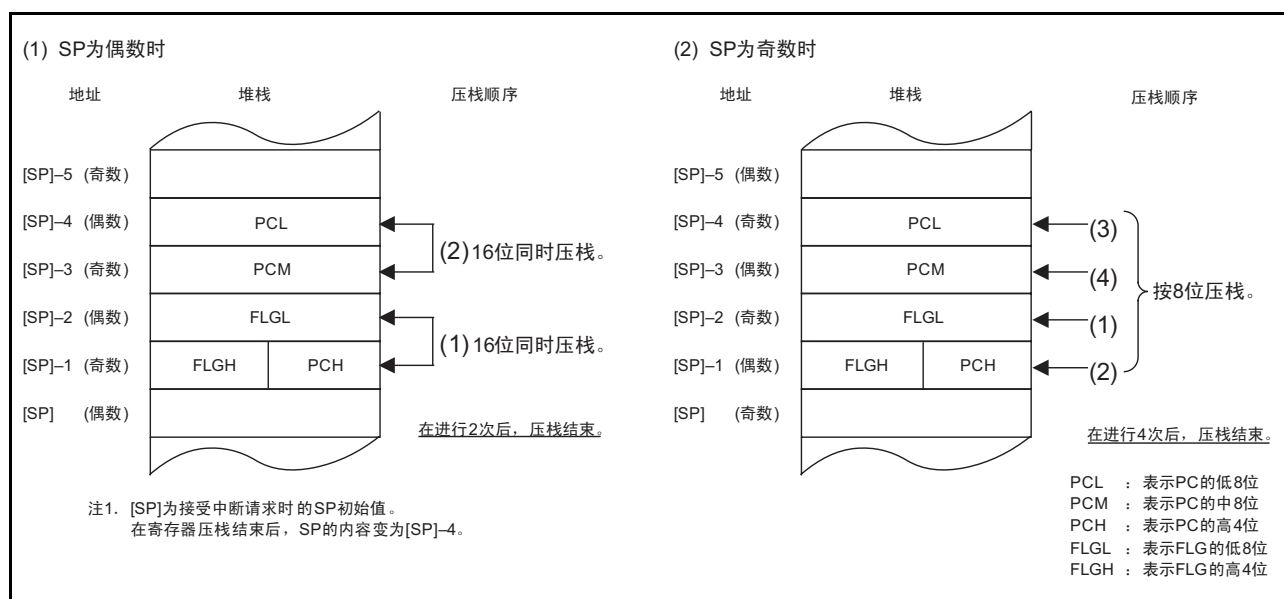


图 12.8 寄存器的压栈操作

12.5.8 从中断程序的返回

如果在中断程序的最后执行 REIT 指令，就先恢复被压栈的中断响应顺序前的 FLG 寄存器和 PC，然后返回到接受中断请求前正在执行的程序。

必须在执行 REIT 指令前使用 POPM 指令等，恢复在中断程序内通过程序压栈的寄存器。

在转换寄存器组时，通过执行 REIT 指令转换为中断响应顺序前的寄存器组。

12.5.9 中断优先级

如果在同一采样点（调查是否有中断请求时）发生 2 个或者 2 个以上的中断请求，就接受优先级高的中断。

能通过 ILVL2 ~ ILVL0 位任意选择可屏蔽中断（外围功能中断）的优先级。但是，如果中断优先级为相同的设定值，就接受硬件设定的优先级高的中断。

通过硬件设定看门狗定时器中断等特殊中断的优先级。硬件中断的中断优先级如图 12.9 所示。

软件中断不受中断优先级的影响。如果执行指令，就执行中断程序。

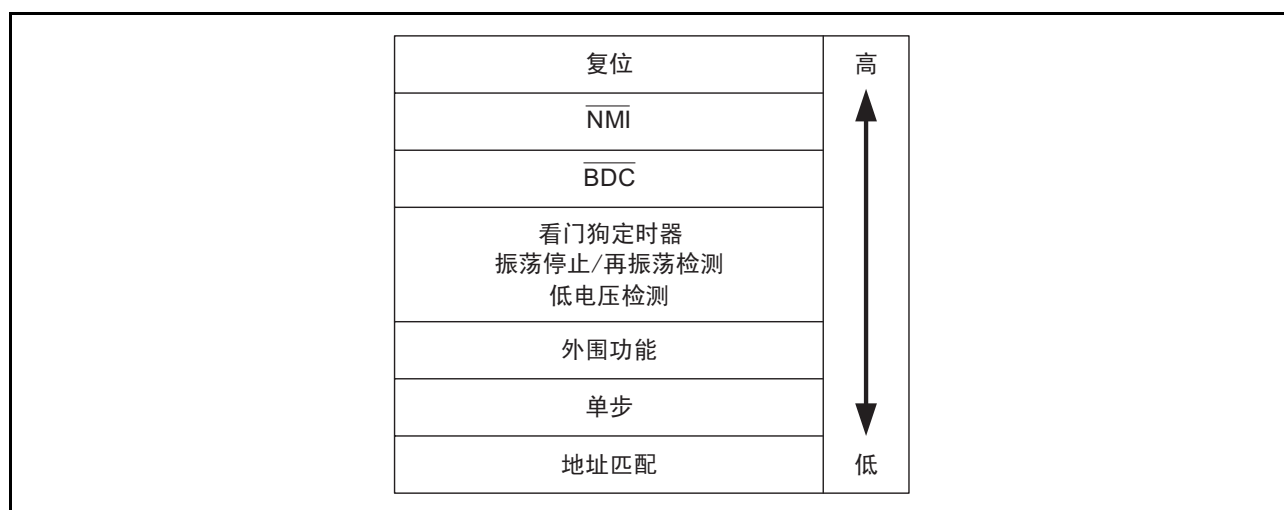


图 12.9 硬件中断的中断优先级

12.5.10 中断优先级的判断电路

中断优先级的判断电路用于从同一采样点发生请求的中断中选择优先级最高的中断。

中断优先级的判断电路如图 12.10 所示。

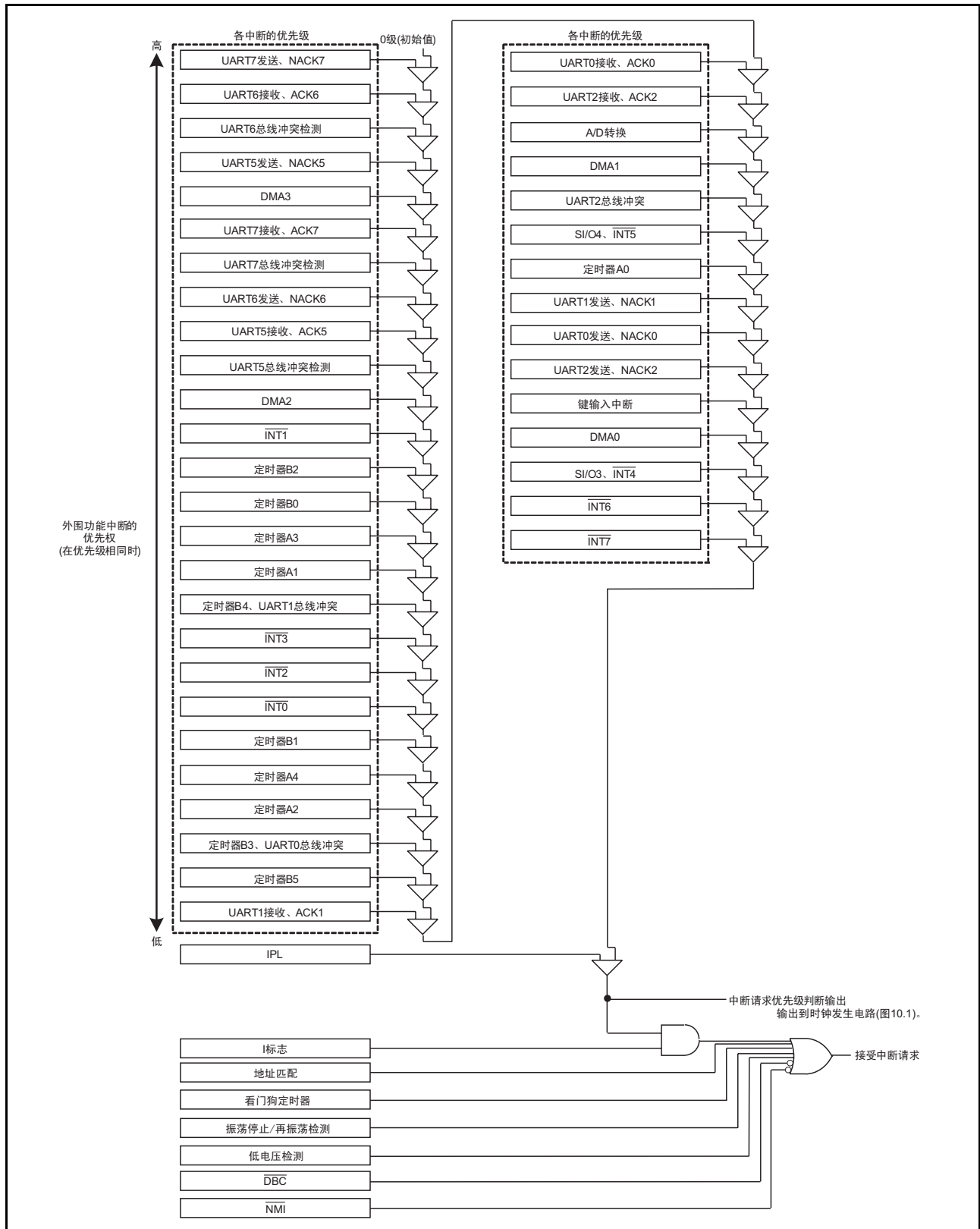


图 12.10 中断优先级的判断电路

12.6 INT 中断

$\overline{\text{INT}}_i$ 中断 ($i=0 \sim 7$) 是由外部输入引起的中断，能通过 IFSR 寄存器的 IFSR i 位、IFSR3A 寄存器的 IFSR30 和 FSR31 位选择极性。

INT4 和 SI/O3、 $\overline{\text{INT}}_5$ 和 SI/O4 共用向量和中断控制寄存器。在使用 $\overline{\text{INT}}_4$ 中断时，必须将 IFSR 寄存器的 IFSR6 位置 “1” (INT4)；在使用 $\overline{\text{INT}}_5$ 中断时，必须将 IFSR 寄存器的 IFSR7 位置 “1” (INT5)。

在更改 IFSR6 或者 IFSR7 位后，必须先将对应的 IR 位置 “0” (无中断请求)，然后允许中断。

在使用 $\overline{\text{INT}}_6$ 中断时，必须将 PCR 寄存器的 PCR5 位置 “0” (允许 $\overline{\text{INT}}_6$ 输入)；在使用 $\overline{\text{INT}}_7$ 中断时，必须将 PCR 寄存器的 PCR6 位置 “0” (允许 $\overline{\text{INT}}_7$ 输入)。

IFSR 寄存器以及 IFSR2A、IFSR3A 和 PCR 寄存器分别如图 12.11 和图 12.12 所示。

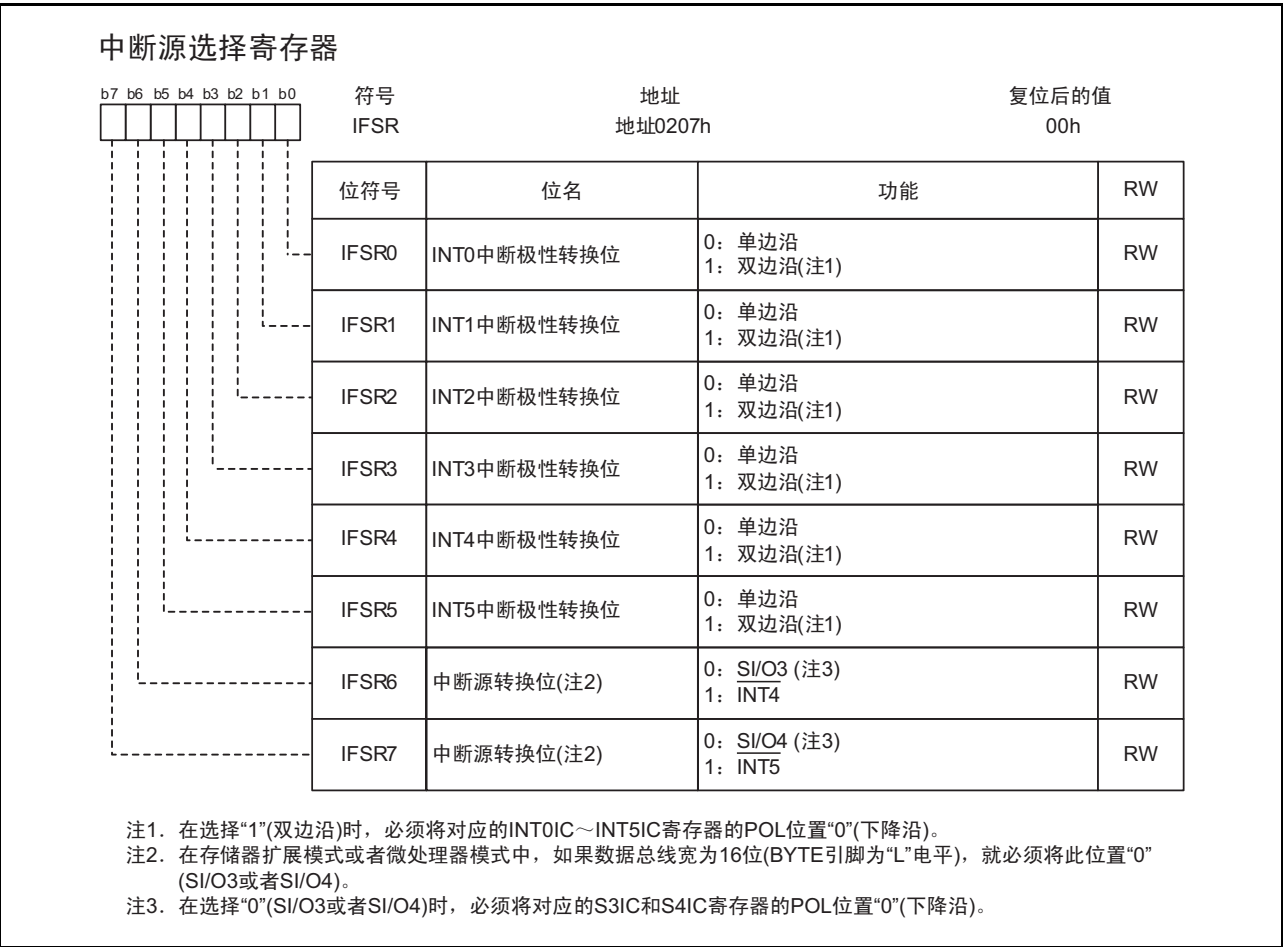


图 12.11 IFSR 寄存器

中断源选择寄存器2

b7 b6 b5 b4 b3 b2 b1 b0	符号 IFSR2A	地址 地址0206h	复位后的值 00h
位符号	位名	功能	RW
— (b5-b0)	保留位	必须置“0”。	RW
IFSR26	中断源转换位(注1)	0: 定时器B3 1: UART0总线冲突检测	RW
IFSR27	中断源转换位(注2)	0: 定时器B4 1: UART1总线冲突检测	RW

注1. 定时器B3和UART0总线冲突检测共用向量和中断控制寄存器。在使用定时器B3中断时，必须将IFSR26位置“0”(定时器B3)；在使用UART0总线冲突检测中断时，必须将IFSR26位置“1”。

注2. 定时器B4和UART1总线冲突检测共用向量和中断控制寄存器。在使用定时器B4中断时，必须将IFSR27位置“0”(定时器B4)；在使用UART1总线冲突检测中断时，必须将IFSR27位置“1”。

中断源选择寄存器3

b7 b6 b5 b4 b3 b2 b1 b0	符号 IFSR3A	地址 地址0205h	复位后的值 00h
位符号	位名	功能	RW
IFSR30	INT6中断极性转换位	0: 单边沿 1: 双边沿(注1)	RW
IFSR31	INT7中断极性转换位	0: 单边沿 1: 双边沿(注1)	RW
— (b7-b2)	保留位	必须置“0”。	RW

注1. 在选择“1”时，必须将对应的INT6IC~INT7IC寄存器的POL位置“0”(下降沿)。

端口控制寄存器

b7 b6 b5 b4 b3 b2 b1 b0	符号 PCR	地址 地址0366h	复位后的值 00000XX0b
位符号	位名	功能	RW
PCR0	端口P1控制位	读P1寄存器时的运行 0: 在输入端口时，读P1_0~P1_7引脚的输入电平 在输出端口时，读端口锁存器 1: 与输入端口、输出端口无关，读端口锁存器	RW
— (b4-b1)	保留位	必须置“0”。	RW
PCR5	INT6输入允许位(注1)	0: 允许 1: 禁止	RW
PCR6	INT7输入允许位(注2)	0: 允许 1: 禁止	RW
PCR7	键输入允许位(注3)	0: 允许 1: 禁止	RW

注1. 在将AN2_4引脚用作模拟输入时，必须将PCR5位置“1”(禁止INT6输入)。

注2. 在将AN2_5引脚用作模拟输入时，必须将PCR6位置“1”(禁止INT7输入)。

注3. 在将AN4~AN7引脚用作模拟输入时，必须将PCR7位置“1”(禁止键输入)。

图 12.12 IFSR2A、IFSR3A 和 PCR 寄存器

12.7 $\overline{\text{NMI}}$ 中断

在 $\overline{\text{NMI}}$ 引脚的输入从“H”电平变为“L”电平时产生 $\overline{\text{NMI}}$ 中断， $\overline{\text{NMI}}$ 中断为非屏蔽中断。在使用 $\overline{\text{NMI}}$ 中断时，必须将 PM2 寄存器的 PM24 位置“1”（ $\overline{\text{NMI}}$ 功能）。

12.8 键输入中断

如果 P10_4 ~ P10_7 中的 PD10 寄存器的 PD10_4 ~ PD10_7 位被置“0”（输入）的任意引脚的输入电平下降，就产生键输入中断请求。键输入中断也能用作解除等待模式或者停止模式的键唤醒功能，但是在使用键输入中断时，不能将 P10_4 ~ P10_7 用作模拟输入引脚。键输入中断的框图如图 12.13 所示。如果给 PD10_4 ~ PD10_7 位被置“0”（输入模式）的任意引脚输入“L”电平，就检测不到其他引脚的输入中断。在使用键输入中断时，必须将 PCR 寄存器的 PCR7 位置“0”（允许键输入）。

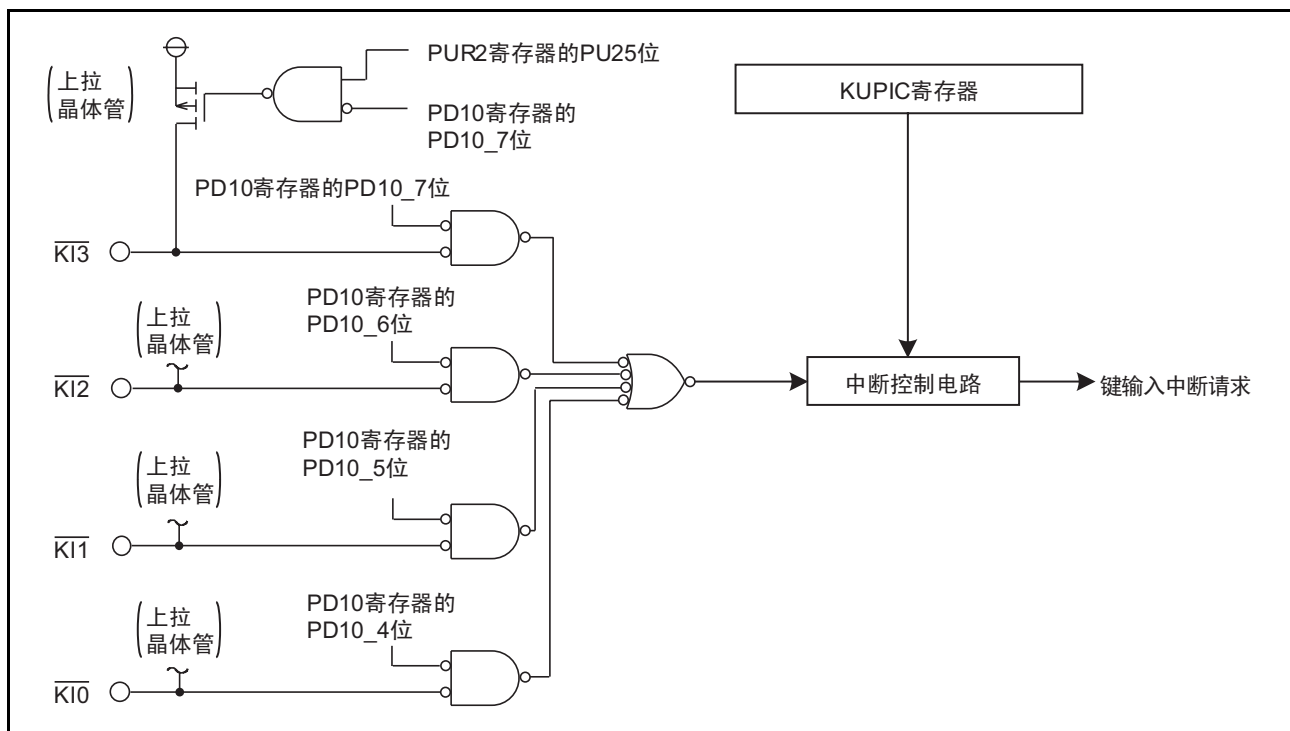


图 12.13 键输入中断的框图

12.9 地址匹配中断

在即将执行 RMADi 寄存器（i=0 ~ 3）指向的地址的指令前，产生地址匹配中断。必须将指令的起始地址设定到 RMADi 寄存器。能通过 AIER 寄存器的 AIER0 位和 AIER1 位、AIER2 寄存器的 AIER20 位和 AIER21 位选择中断的禁止或者允许。地址匹配中断不受 I 标志和 IPL 的影响。接受地址匹配中断请求时被压栈的 PC 值（参照“12.5.7 寄存器压栈”）因 RMADi 寄存器指向的地址的指令而不同（正确的返回目标地址没有被压栈）。因此，在从地址匹配中断返回时，必须使用以下的任何一种方法：

- 改写堆栈的内容，使用 REIT 指令返回。
- 使用 POP 指令等将堆栈恢复到接受中断请求前的状态后，使用转移指令返回。

接受地址匹配中断请求时被压栈的 PC 值如表 12.7 所示。

另外，在使用 8 位外部数据总线时，不能对外部区域使用地址匹配中断。

AIER、AIER2 和 RMAD0 ~ RMAD3 寄存器如图 12.14 所示。

表 12.7 接受地址匹配中断请求时被压栈的 PC 值

RMADi 寄存器指向的地址的指令	被压栈的 PC 值
• 16 位操作码指令 • 如下所示的 8 位操作码指令： ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ #IMM8,dest STNZ #IMM8,dest STZX #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest（但是，dest=A0 或者 A1）	RMADi 寄存器指向的地址 +2
上述以外的指令	RMADi 寄存器指向的地址 +1

被压栈的 PC 值请参照“12.5.7 寄存器压栈”。

表 12.8 地址匹配中断源和关联寄存器的对应

地址匹配中断源	地址匹配中断允许位	地址匹配中断寄存器
地址匹配中断 0	AIER0	RMAD0
地址匹配中断 1	AIER1	RMAD1
地址匹配中断 2	AIER20	RMAD2
地址匹配中断 3	AIER21	RMAD3

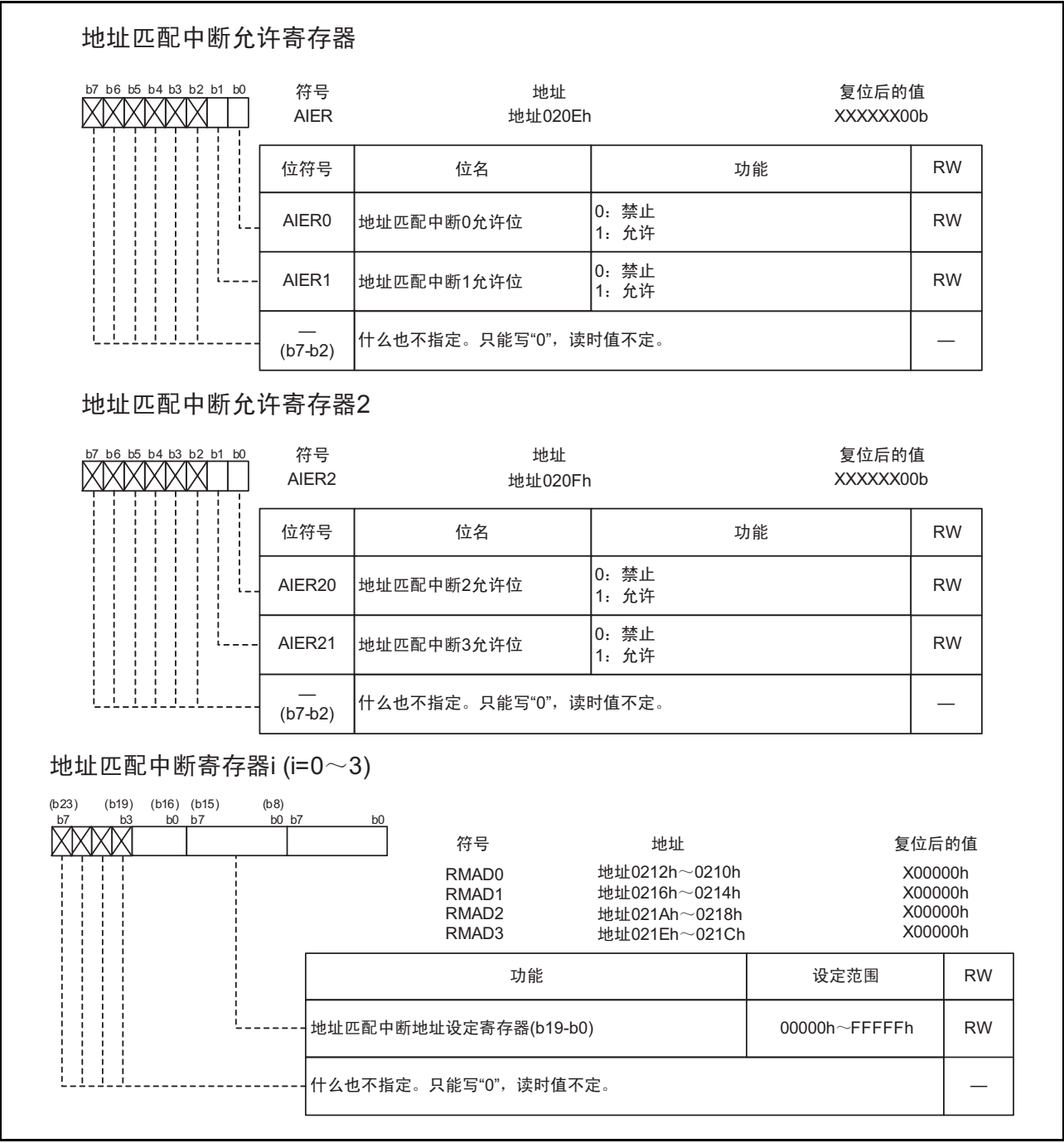


图 12.14 AIER、AIER2 和 RMAD0 ~ RMAD3 寄存器

13. 看门狗定时器

看门狗定时器具有检测程序失控的功能。为了提高系统的可靠性，建议使用看门狗定时器。

看门狗定时器有 1 个 15 位计数器，能选择计数源保护模式是否有效。

看门狗定时器的规格如表 13.1 所示。

看门狗定时器复位的详细内容请参照“5.4 看门狗定时器复位”。

看门狗定时器的框图如图 13.1 所示，WDTR、WDTS、WDC 寄存器以及 CSPR 寄存器、地址 OFS1 分别如图 13.2 和图 13.3 所示。

表 13.1 看门狗定时器的规格

项目	计数源保护模式无效	计数源保护模式有效
计数源	CPU 时钟	125kHz 内部振荡器时钟
计数	递减计数	
计数开始条件	可选择以下任意一项： - 复位后自动开始计数。 - 通过写 WDTS 寄存器开始计数。	
计数停止条件	停止模式、等待模式、保持状态	无
看门狗定时器的初始化条件	- 复位 - 将“00h”和“FFh”依次写到 WDTR 寄存器。 - 下溢	
下溢时的运行	看门狗定时器中断或者看门狗定时器复位	看门狗定时器复位
选择功能	- 预分频器的分频比 通过 WDC 寄存器的 WDC7 位选择。 - 计数源保护模式 通过地址 OFS1 的 CSPROINI 位（闪存）选择计数源保护模式在复位后是否有效。如果计数源保护模式在复位后无效，就需要通过 CSPR 寄存器的 CSPRO 位（程序）选择。 - 复位后，启动或者停止看门狗定时器 通过地址 OFS1 的 WDTON 位（闪存）选择。	

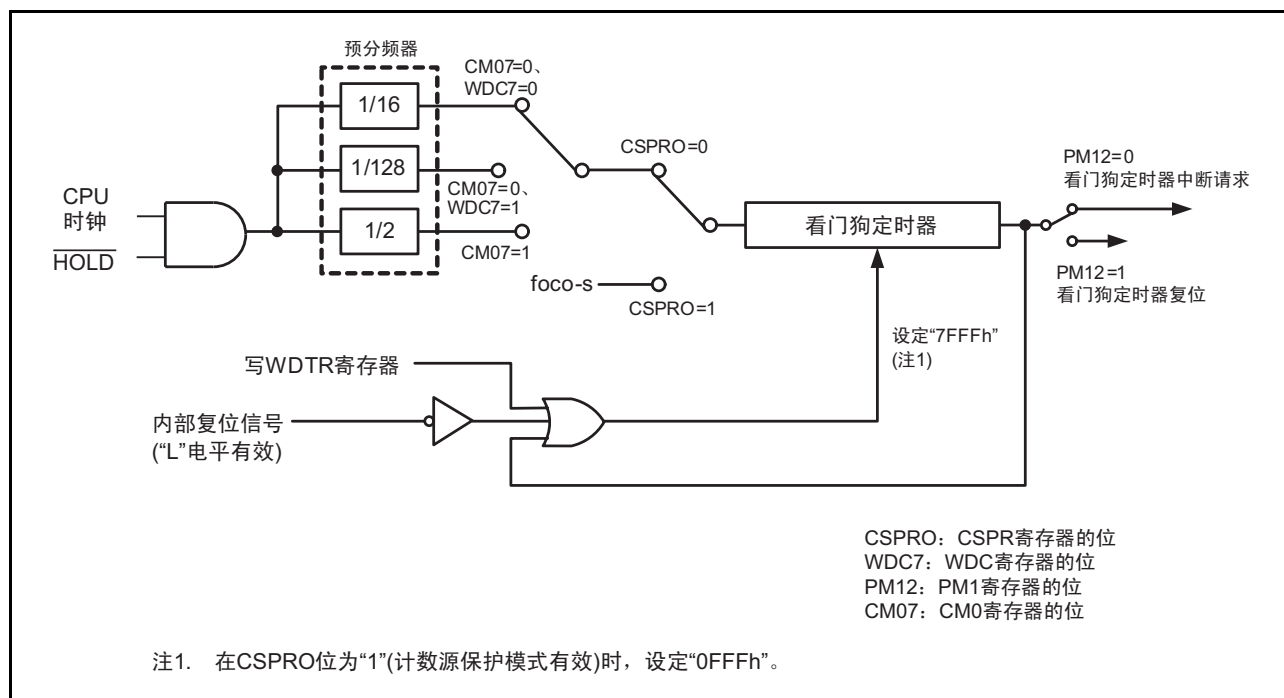


图 13.1 看门狗定时器的框图

看门狗定时器的复位寄存器

b7b0	符号 WDTR	地址 地址037Dh	复位后的值 不定
功能			RW
如果依次写“00h”和“FFh”，看门狗定时器就被初始化。(注1、3) 看门狗定时器的初始值在计数源保护模式无效时被设定为“7FFFh”，在计数源保护模式有效时被设定为“0FFFh”。(注2)			WO

- 注1. 在写“00h”和“FFh”之间，不能发生中断和DMA传送。
注2. 如果将CSPR寄存器的CSPRO位置“1”（计数源保护模式有效），看门狗定时器就被设定为“0FFFh”。
注3. 在发生看门狗定时器中断后，必须通过WDTR寄存器初始化看门狗定时器。

看门狗定时器的启动寄存器

b7b0	符号 WDTS	地址 地址037Eh	复位后的值 不定
功能			RW
通过给此寄存器写指令，启动看门狗定时器。			WO

看门狗定时器的控制寄存器

b7b6b5b4b3b2b1b0 0	符号 WDC	地址 地址037Fh	复位后的值 00XXXXXXb
位符号	位名	功能	RW
— (b4-b0)	看门狗定时器的高位		RO
— (b5)	什么也不指定。只能写“0”，读时值为“0”。		—
— (b6)	保留位	必须置“0”。	RW
WDC7	预分频器选择位	0: 16分频 1: 128分频	RW

图 13.2 WDTR、WDTS 和 WDC 寄存器

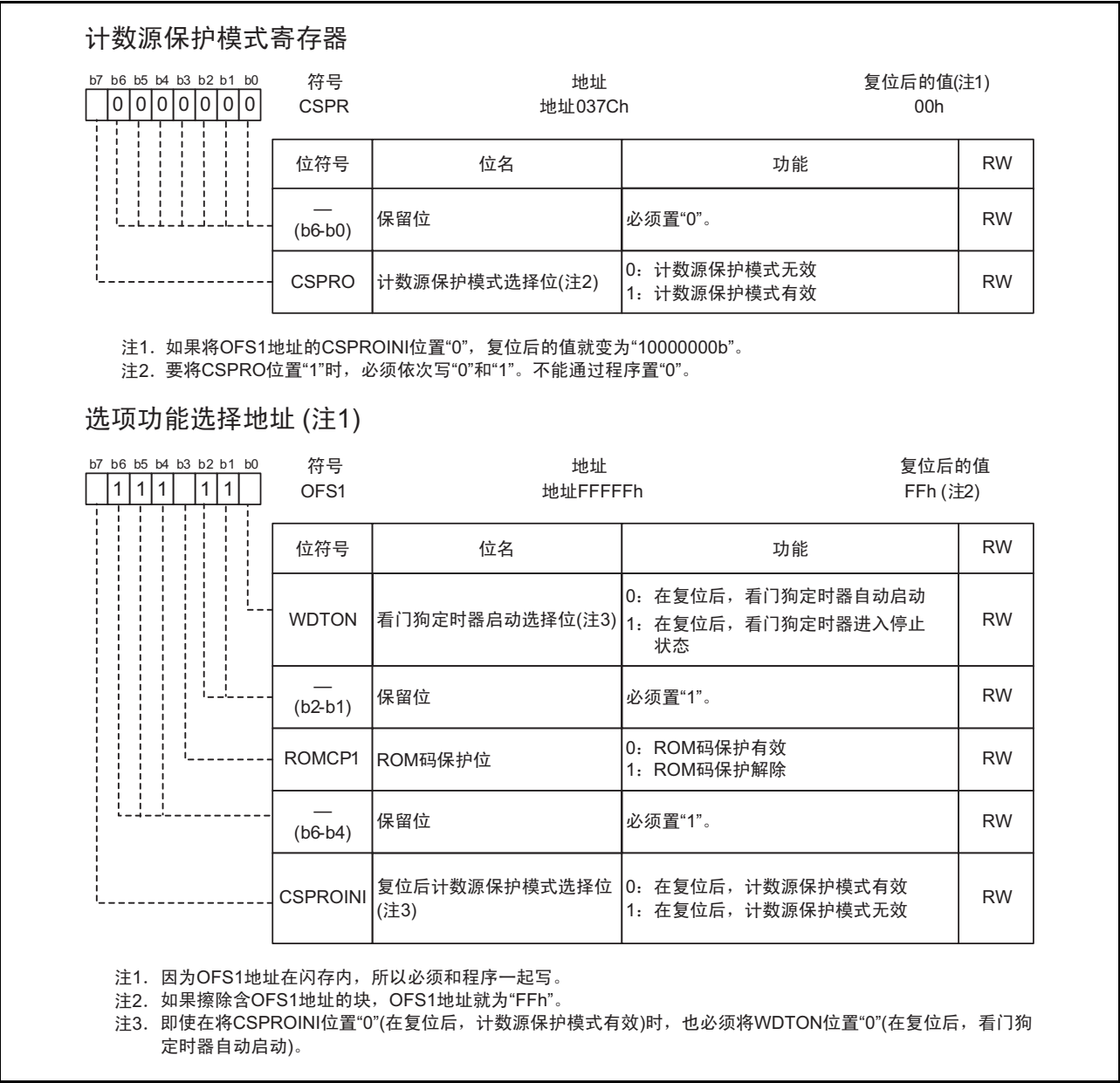


图 13.3 CSPR 寄存器和地址 OFS1

13.1 计数源保护模式无效

当计数源保护模式无效时，看门狗定时器的计数源为 CPU 时钟。

看门狗定时器的规格（计数源保护模式无效）如表 13.2 所示。

表 13.2 看门狗定时器的规格（计数源保护模式无效）

项目	规格
计数源	CPU 时钟
计数	递减计数
周期	预分频器的分频比 (n) × 看门狗定时器的计数值 (32768) (注 1) CPU 时钟 其中，n 为 16 或者 128（通过 WDC 寄存器的 WDC7 位选择）。 例：当 CPU 时钟为 16MHz 并且预分频器为 16 分频时，周期约为 32.8ms。
看门狗定时器的初始化条件	- 复位 - 将“00h”和“FFh”依次写到 WDTR 寄存器。 - 下溢
计数开始条件	通过地址 OFS1（地址 FFFFh）的 WDTON 位（注 2）选择复位后的看门狗定时器的运行。 - 当 WDTON 位为“1”（复位后，看门狗定时器处于停止状态）时 复位后，看门狗定时器和预分频器停止运行，通过写 WDTS 寄存器开始计数。 - 当 WDTON 位为“0”（复位后，看门狗定时器自动启动）时 复位后，看门狗定时器和预分频器自动开始计数。
计数停止条件	停止模式、等待模式、保持状态（解除后，从被保持的值开始继续计数）
下溢时的运行	- 当 PM1 寄存器的 PM12 位为“0”时 看门狗定时器中断 - 当 PM1 寄存器的 PM12 位为“1”时 看门狗定时器复位（参照“5.4 看门狗定时器复位”）

注 1. 看门狗定时器在将“00h”和“FFh”依次写到 WDTR 寄存器时被初始化，预分频器在复位后被初始化。因此，看门狗定时器的周期将产生由预分频器引起的误差。

注 2. 不能通过程序更改 WDTON 位。在设定 WDTON 位时，必须通过快速编程器将“0”写到地址 FFFFh 的 b0。

13.2 计数源保护模式有效

当计数源保护模式有效时，看门狗定时器的计数源为 125kHz 内部振荡器时钟。在程序失控时，即使 CPU 时钟停止运行，也能为看门狗定时器提供时钟。

看门狗定时器的规格（计数源保护模式有效）如表 13.3 所示。

表 13.3 看门狗定时器的规格（计数源保护模式有效）

项 目	规 格
计数源	125kHz 内部振荡器时钟
计数	递减计数
周期	看门狗定时器的计数值（4096） 125kHz 内部振荡器时钟 例：当 125kHz 内部振荡器时钟为 125kHz 时，周期约为 32.8ms
看门狗定时器的初始化条件	• 复位 • 将“00h”和“FFh”依次写到 WDTR 寄存器。 • 下溢
计数开始条件	通过地址 OFS1（地址 FFFFh）的 WDTON 位（注 1）选择复位后的看门狗定时器的运行。 • 当 WDTON 位为“1”（复位后，看门狗定时器处于停止状态）时 复位后，看门狗定时器和预分频器停止运行，通过写 WDTSR 寄存器开始计数。 • 当 WDTON 位为“0”（复位后，看门狗定时器自动启动）时 复位后，看门狗定时器和预分频器自动开始计数。
计数停止条件	无（在开始计数后，即使在等待模式或者保护状态下也不停止计数，也不进入停止模式）。
下溢时的运行	看门狗定时器复位（参照“5.4 看门狗定时器复位”）
寄存器、位	• 当将 CSPR 寄存器的 CSPRO 位置“1”（计数源保护模式有效）时（注 2），就自动进行如下的设定： — 给看门狗定时器设定 0FFFh。 — 将 CM1 寄存器的 CM14 位置“0”（125kHz 内部振荡器振荡）。 — 将 PM1 寄存器的 PM12 位置“1”（在看门狗定时器下溢时，看门狗定时器复位）。 • 在计数源保护模式中，处于以下状态： — 禁止写 CM1 寄存器的 CM10 位（即使写“1”也不变，不转移到停止模式）。 — 禁止写 CM1 寄存器的 CM14 位（即使写“1”也不变，125kHz 内部振荡器不停止振荡）。

注 1. 不能通过程序更改 WDTON 位。在设定 WDTON 位时，必须通过快速编程器将“0”写到地址 FFFFh 的 b0。

注 2. 即使给地址 OFS1 的 CSPROINI 位写“0”，CSPRO 位也为“1”。不能通过程序更改 CSPROINI 位。在设定 CSPROINI 位时，必须通过快速编程器将“0”写到地址 FFFFh 的 b7。

14. DMAC

DMAC（直接存储器存取控制器）具有不使用 CPU 而传送数据的功能，有 4 个通道。每当发生 DMA 请求时，DMAC 就将传送源地址的 1 个数据（8 位或者 16 位）传送到传送目标地址。DMAC 使用和 CPU 相同的数据总线。因为 DMAC 的总线使用权高于 CPU 并采用了周期挪用方式，所以能快速地进行从发生 DMA 请求到结束 1 个字（16 位）或者 1 个字节（8 位）的数据传送。DMAC 的规格如表 14.1 所示，DMAC 框图和 DMAC 关联寄存器分别如图 14.1 和图 14.2 ~ 图 14.5 所示。

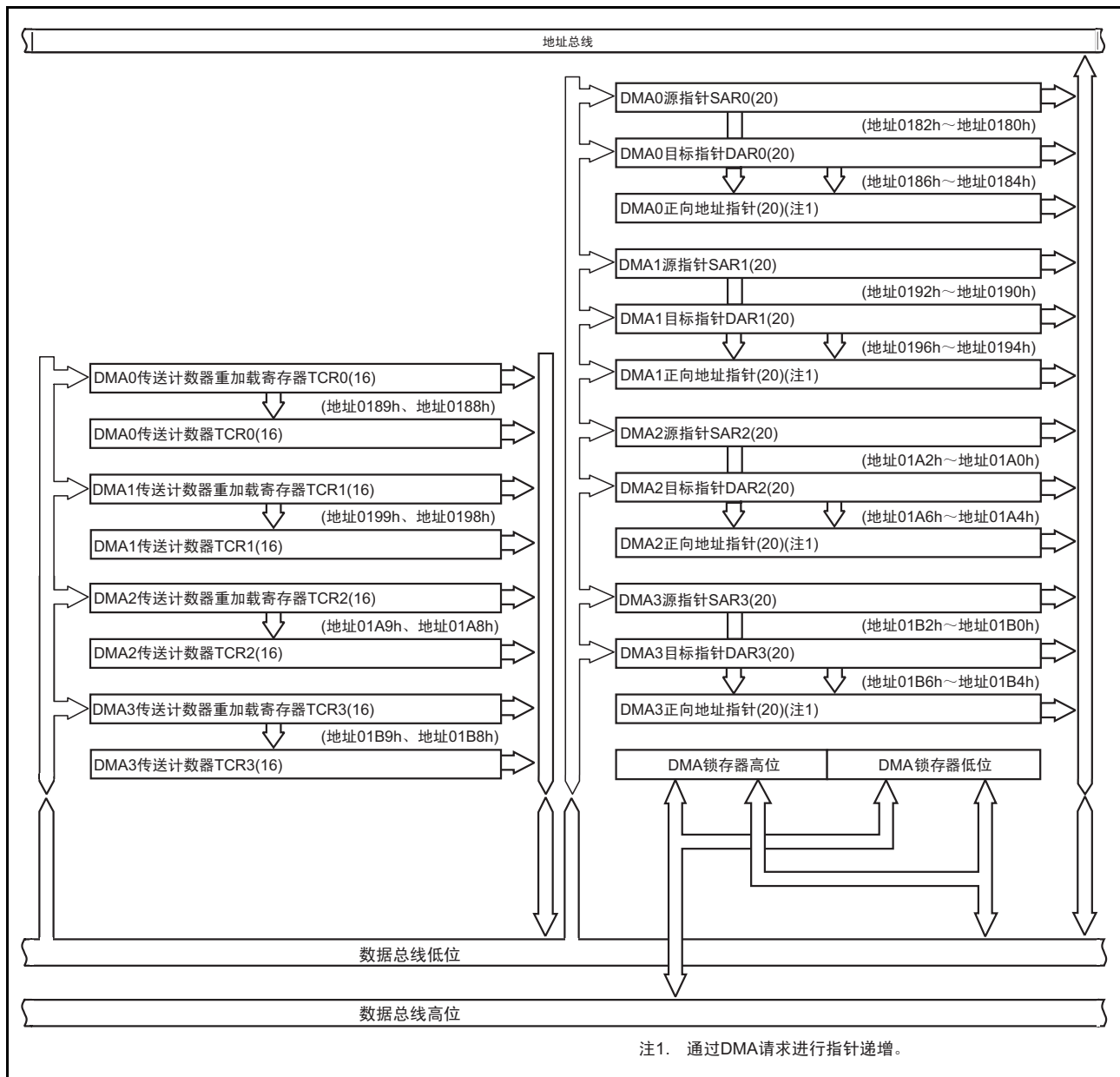


图 14.1 DMAC 框图

除了写 DMiSL 寄存器（i=0 ~ 3）的 DSR 位以外，还通过从 DMiSL 寄存器的 DMS 位和 DSEL4 ~ DSEL0 位指定的各功能输出的中断请求，产生 DMA 请求。但是，因为 DMA 传送和中断请求的运行不同，不受 I 标志和中断控制寄存器的影响，所以如同在中断禁止时，即使不能接受中断请求，也能接受 DMA 请求。另外，因为 DMAC 不影响中断，所以在 DMA 传送时中断控制寄存器的 IR 位不变。

如果 DMiCON 寄存器的 DMAE 位为“1”（允许 DMA），就在每次发生 DMA 请求时开始传送数据。但是，如果发生 DMA 请求的周期比传送周期短，传送请求次数和传送次数就有可能不同。详细内容请参照“14.4 DMA 请求”。

表 14.1 DMAC 的规格（注 3）

项目		规格
通道个数		4 个通道（周期挪用方式）
传送空间		- 从 1M 字节的任意空间到固定地址 - 从固定地址到 1M 字节的任意空间 - 从固定地址到固定地址
最大传送字节数		128K 字节（16 位传送时）、64K 字节（8 位传送时）
DMA 请求源（注 1、2）		$\overline{\text{INT0}} \sim \overline{\text{INT7}}$ 引脚的下降沿 $\overline{\text{INT0}} \sim \overline{\text{INT7}}$ 引脚的双边沿 - 定时器 A0 ~ 定时器 A4 的中断请求 - 定时器 B0 ~ 定时器 B5 的中断请求 - UART0 ~ UART2、UART5 ~ UART7 发送中断请求 - UART0 ~ UART2、UART5 ~ UART7 接收 /ACK 中断请求 - SI/O3、SI/O4 中断请求 - A/D 转换中断请求 - 软件触发
通道优先级		DMA0 > DMA1 > DMA2 > DMA3（DMA0 优先）
传送单位		8 位或者 16 位
传送地址方向		正向或者固定（不能将传送源和传送目标都设定为正向）
传送模式	单次传送	当 DMAi 传送计数器发生下溢时，结束传送。
	重复传送	在 DMAi 传送计数器发生下溢后，将 DMAi 传送计数器重加载寄存器的值重新加载到 DMAi 传送计数器，继续 DMA 传送。
DMA 中断请求的产生		在 DMAi 传送计数器发生下溢时
DMA 传送开始		如果将 DMAiCON 寄存器的 DMAE 位置“1”（允许），就在每次发生 DMA 请求时开始传送数据。
DMA 传送停止	单次传送	- 将 DMAE 位置“0”（禁止）。 - 在 DMAi 传送计数器发生下溢后
	重复传送	将 DMAE 位置“0”（禁止）。
正向地址指针、DMAi 传送计数器的重新加载		在将 DMAE 位置“1”（允许）后开始传送数据时，将指定为正向指针的 SARi 指针或者 DARi 指针的值重新加载到正向地址指针，并且将 DMAi 传送计数器的重加载寄存器的值重新加载到 DMAi 传送计数器。
DMA 传送周期数		SFR、内部 RAM 之间：3 个周期

注 1. DMA 传送不影响各中断，也不受 I 标志和中断控制寄存器的影响。

注 2. 能选择的源因通道而不同。

注 3. 不能通过 DMAC 存取 DMAC 关联寄存器（地址 0180h ~ 01BFh）。

i=0 ~ 3

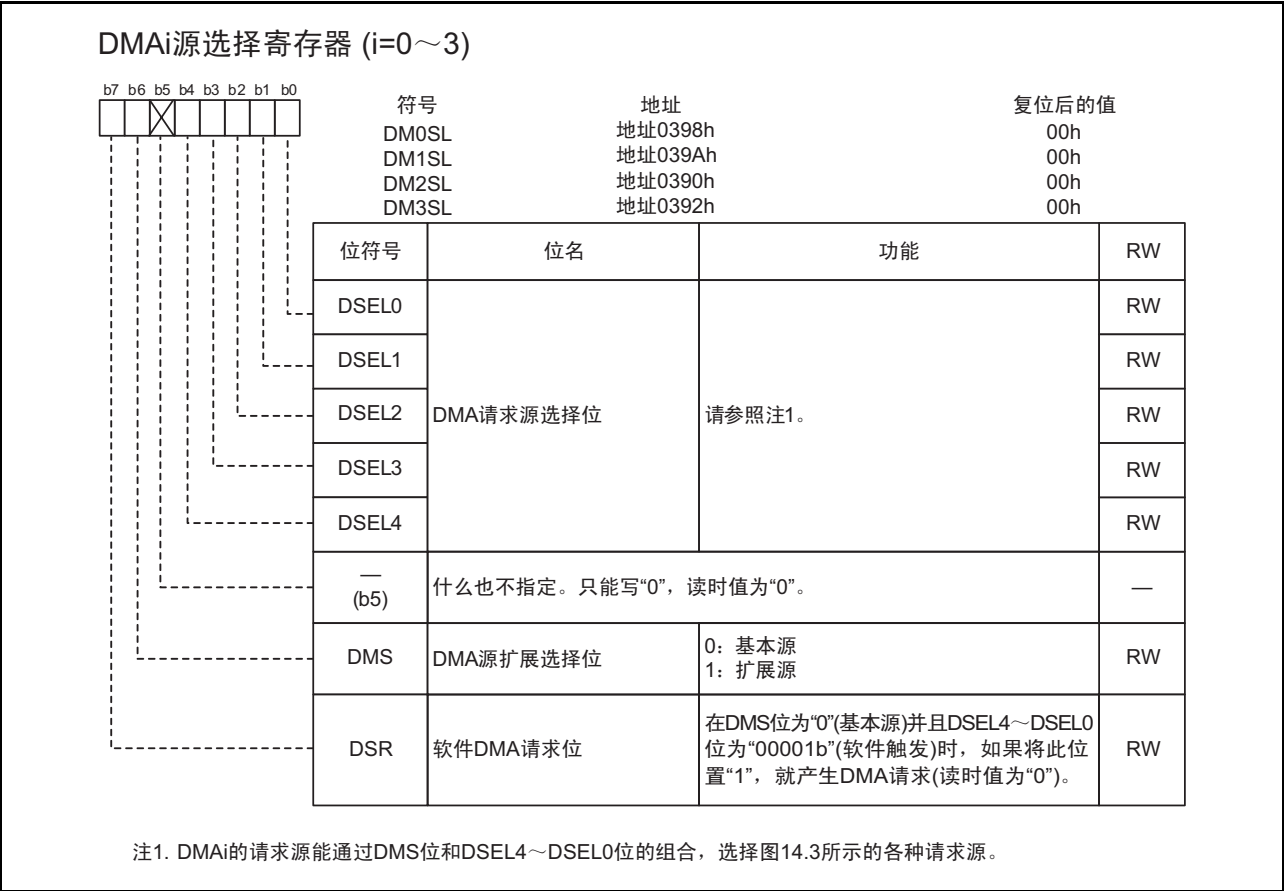


图 14.2 DM0SL、DM1SL、DM2SL 和 DM3SL 寄存器 (1)

DMA0			DMA2		
DSEL4~DSEL0	DMS=0(基本源)	DMS=1(扩展源)	DSEL4~DSEL0	DMS=0(基本源)	DMS=1(扩展源)
0 0 0 0 0 b	INT0引脚的下降沿	—	0 0 0 0 0 b	INT2引脚的下降沿	—
0 0 0 0 1 b	软件触发	—	0 0 0 0 1 b	软件触发	—
0 0 0 1 0 b	定时器A0	—	0 0 0 1 0 b	定时器A0	—
0 0 0 1 1 b	定时器A1	—	0 0 0 1 1 b	定时器A1	—
0 0 1 0 0 b	定时器A2	—	0 0 1 0 0 b	定时器A2	—
0 0 1 0 1 b	定时器A3	—	0 0 1 0 1 b	定时器A3	—
0 0 1 1 0 b	定时器A4	INT0引脚的双边沿	0 0 1 1 0 b	定时器A4	INT2引脚的双边沿
0 0 1 1 1 b	定时器B0	定时器B3	0 0 1 1 1 b	定时器B0	定时器B3
0 1 0 0 0 b	定时器B1	定时器B4	0 1 0 0 0 b	定时器B1	定时器B4
0 1 0 0 1 b	定时器B2	定时器B5	0 1 0 0 1 b	定时器B2	定时器B5
0 1 0 1 0 b	UART0发送	—	0 1 0 1 0 b	UART0发送	—
0 1 0 1 1 b	UART0接收	—	0 1 0 1 1 b	UART0接收	—
0 1 1 0 0 b	UART2发送	—	0 1 1 0 0 b	UART2发送	—
0 1 1 0 1 b	UART2接收	—	0 1 1 0 1 b	UART2接收	—
0 1 1 1 0 b	A/D转换	—	0 1 1 1 0 b	A/D转换	—
0 1 1 1 1 b	UART1发送	—	0 1 1 1 1 b	UART1发送	—
1 0 0 0 0 b	UART1接收	INT4引脚的下降沿	1 0 0 0 0 b	UART1接收	INT6引脚的下降沿
1 0 0 0 1 b	UART5发送	INT4引脚的双边沿	1 0 0 0 1 b	UART5发送	INT6引脚的双边沿
1 0 0 1 0 b	UART5接收	—	1 0 0 1 0 b	UART5接收	—
1 0 0 1 1 b	UART6发送	—	1 0 0 1 1 b	UART6发送	—
1 0 1 0 0 b	UART6接收	—	1 0 1 0 0 b	UART6接收	—
1 0 1 0 1 b	UART7发送	—	1 0 1 0 1 b	UART7发送	—
1 0 1 1 0 b	UART7接收	—	1 0 1 1 0 b	UART7接收	—
1 0 1 1 1 b	—	—	1 0 1 1 1 b	—	—
1 1 X X X b	—	—	1 1 X X X b	—	—

X: "0"或者"1" —: 不能设定。

DMA1			DMA3		
DSEL4~DSEL0	DMS=0(基本源)	DMS=1(扩展源)	DSEL4~DSEL0	DMS=0(基本源)	DMS=1(扩展源)
0 0 0 0 0 b	INT1引脚的下降沿	—	0 0 0 0 0 b	INT3引脚的下降沿	—
0 0 0 0 1 b	软件触发	—	0 0 0 0 1 b	软件触发	—
0 0 0 1 0 b	定时器A0	—	0 0 0 1 0 b	定时器A0	—
0 0 0 1 1 b	定时器A1	—	0 0 0 1 1 b	定时器A1	—
0 0 1 0 0 b	定时器A2	—	0 0 1 0 0 b	定时器A2	—
0 0 1 0 1 b	定时器A3	SI/O3	0 0 1 0 1 b	定时器A3	SI/O3
0 0 1 1 0 b	定时器A4	SI/O4	0 0 1 1 0 b	定时器A4	SI/O4
0 0 1 1 1 b	定时器B0	INT1引脚的双边沿	0 0 1 1 1 b	定时器B0	INT3引脚的双边沿
0 1 0 0 0 b	定时器B1	—	0 1 0 0 0 b	定时器B1	—
0 1 0 0 1 b	定时器B2	—	0 1 0 0 1 b	定时器B2	—
0 1 0 1 0 b	UART0发送	—	0 1 0 1 0 b	UART0发送	—
0 1 0 1 1 b	UART0接收/ACK0	—	0 1 0 1 1 b	UART0接收/ACK0	—
0 1 1 0 0 b	UART2发送	—	0 1 1 0 0 b	UART2发送	—
0 1 1 0 1 b	UART2接收/ACK2	—	0 1 1 0 1 b	UART2接收/ACK2	—
0 1 1 1 0 b	A/D转换	—	0 1 1 1 0 b	A/D转换	—
0 1 1 1 1 b	UART1接收/ACK1	—	0 1 1 1 1 b	UART1接收/ACK1	—
1 0 0 0 0 b	UART1发送	INT5引脚的下降沿	1 0 0 0 0 b	UART1发送	INT7引脚的下降沿
1 0 0 0 1 b	UART5发送	INT5引脚的双边沿	1 0 0 0 1 b	UART5发送	INT7引脚的双边沿
1 0 0 1 0 b	UART5接收/ACK5	—	1 0 0 1 0 b	UART5接收/ACK5	—
1 0 0 1 1 b	UART6发送	—	1 0 0 1 1 b	UART6发送	—
1 0 1 0 0 b	UART6接收/ACK6	—	1 0 1 0 0 b	UART6接收/ACK6	—
1 0 1 0 1 b	UART7发送	—	1 0 1 0 1 b	UART7发送	—
1 0 1 1 0 b	UART7接收/ACK7	—	1 0 1 1 0 b	UART7接收/ACK7	—
1 0 1 1 1 b	—	—	1 0 1 1 1 b	—	—
1 1 X X X b	—	—	1 1 X X X b	—	—

X: "0"或者"1" —: 不能设定。

图 14.3 DM0SL、DM1SL、DM2SL 和 DM3SL 寄存器 (2)

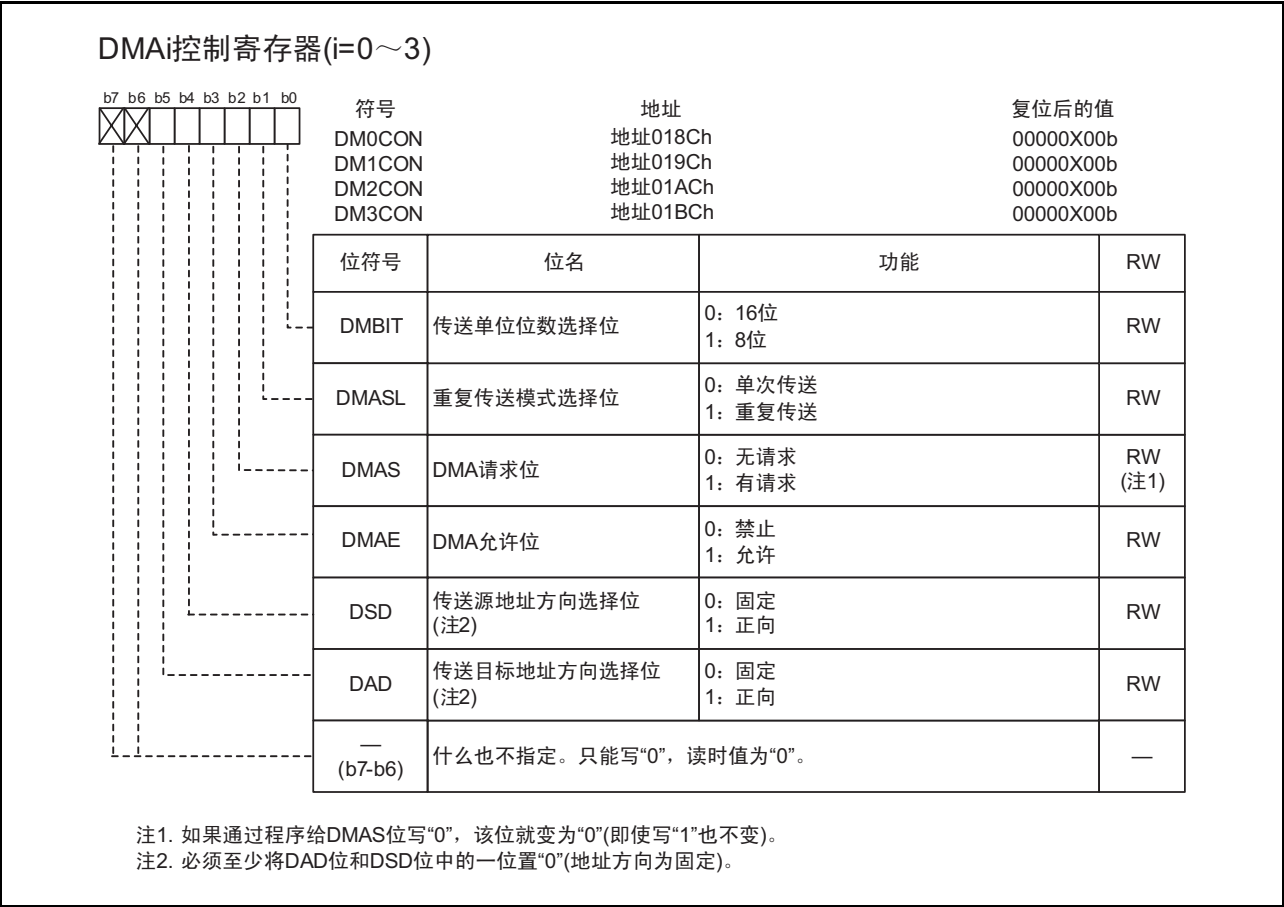


图 14.4 DM0CON、DM1CON、DM2CON 和 DM3CON 寄存器

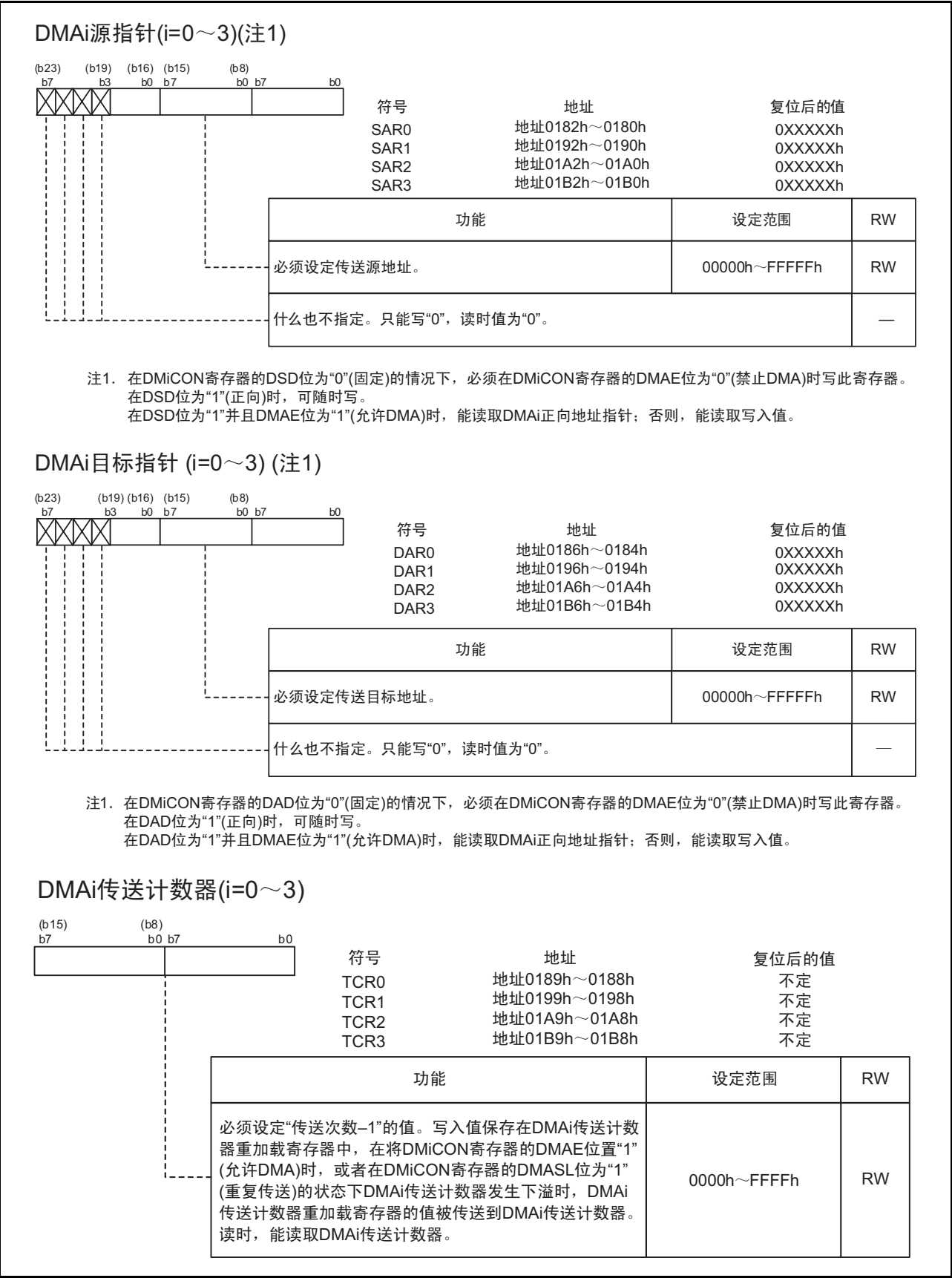


图 14.5 SAR0、SAR1、SAR2、SAR3、DAR0、DAR1、DAR2、DAR3、TCR0、TCR1、TCR2 和 TCR3 寄存器

14.1 传送周期

传送周期由存储器或者 SFR 的读（源读）总线周期和写（目标写）总线周期构成。读写总线周期的次数受传送源地址和传送目标地址的影响，在存储器扩展模式和微处理器模式中还受 BYTE 引脚电平的影响。而且，由于软件等待或者 $\overline{\text{RDY}}$ 信号的影响，总线周期会变长。

14.1.1 传送源地址和传送目标地址的影响

在传送单位和数据总线都是 16 位并且传送源地址从奇数地址开始时，源读周期比从偶数地址开始时增加 1 个总线周期。

同样，在传送单位和数据总线都是 16 位并且传送源地址从奇数地址开始时，目标写周期比从偶数地址开始时增加 1 个总线周期。

14.1.2 BYTE 引脚的影响

在存储器扩展模式和微处理器模式中，通过 8 位数据总线（在将“H”电平输入到 BYTE 引脚时）进行 16 位数据的传送时，传送 2 次 8 位数据。因此，总线周期在读写数据时各需要 2 个总线周期。另外，DMAC 存取内部区域（内部 ROM、内部 RAM、SFR）的情况和 CPU 存取内部区域的情况不同，它以 BYTE 引脚选择的数据宽度进行存取。

14.1.3 软件等待的影响

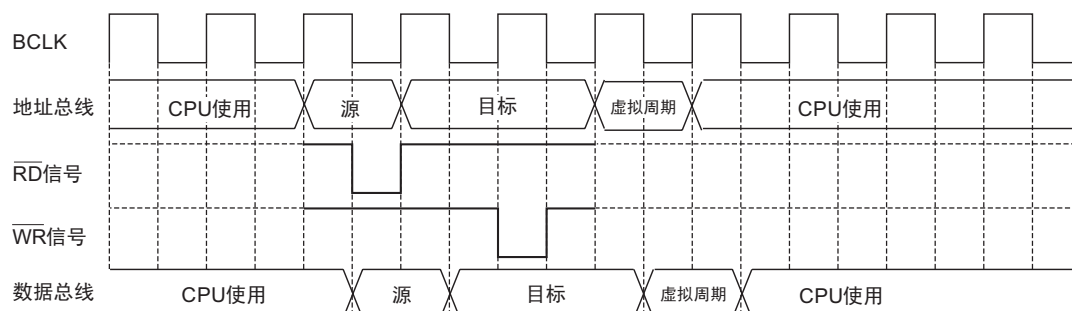
在存取插入软件等待的存储器或者 SFR 时，只增加软件等待数的 1 个总线周期所需的周期数。

14.1.4 $\overline{\text{RDY}}$ 信号的影响

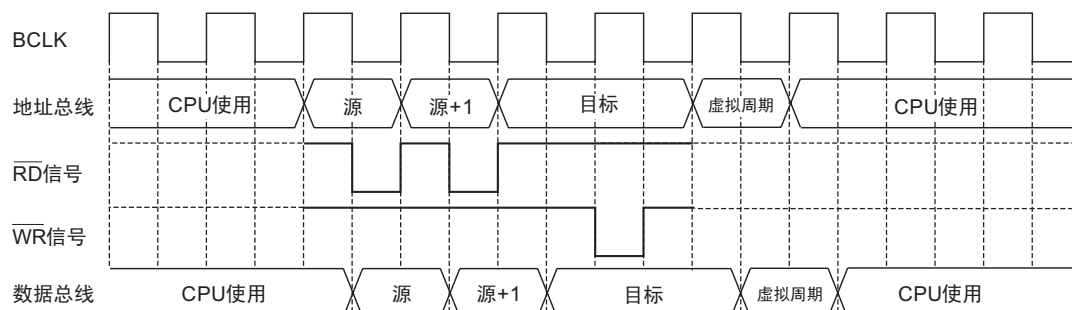
在存储器扩展模式和微处理器模式中，外部区域受 $\overline{\text{RDY}}$ 信号的影响，详细内容请参照“8.2.6 $\overline{\text{RDY}}$ 信号”。

源读周期的例子如图 14.6 所示。为了方便起见，图中的目标写周期为 1 个周期，并表示有关源读的各条件的周期数。实际上，目标写周期和源读周期一样也受各条件的影响而发生传送周期的变化。在计算传送周期时，必须符合目标写周期和源读周期的各条件。例如，在传送单位为 16 位并且使用 8 位的总线时（图 14.6 的 (2)），源读周期和目标写周期各需要 2 个周期。

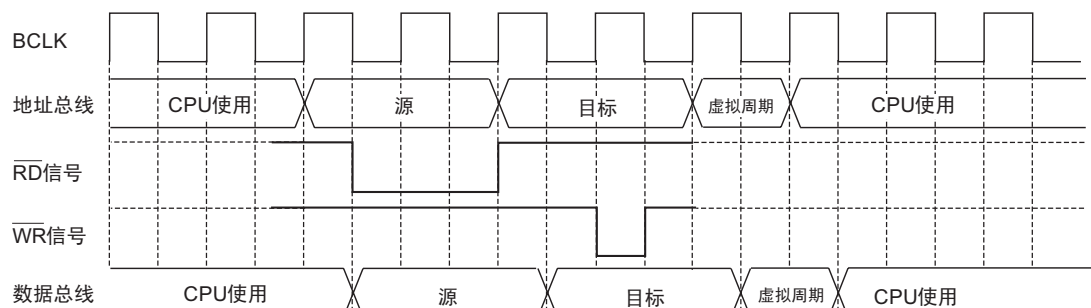
(1) 传送单位为8位时，或者传送单位为16位且源为偶数地址时



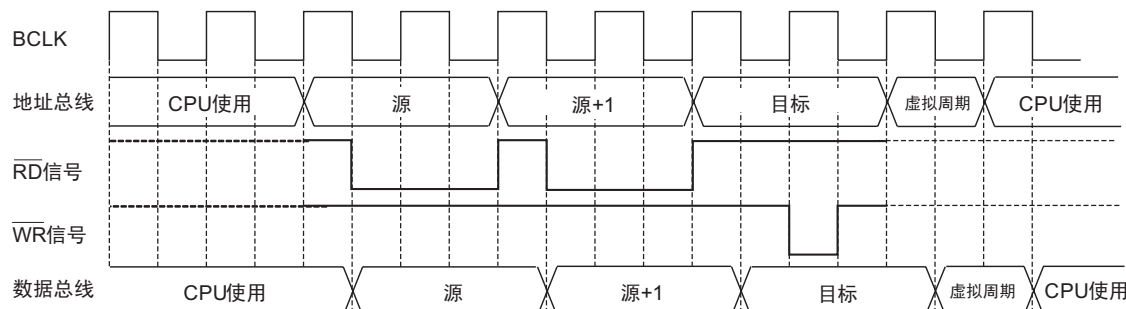
(2) 传送单位为16位且源为奇数地址时，或者传送单位为16位且使用8位总线时



(3) 在(1)的条件下，对源的读取插入1个等待时



(4) 在(2)的条件下，对源的读取插入1个等待时



注1. 在各条件下，目标发生与源相同的时序变化。

图 14.6 源读周期的例子

14.2 DMAC 传送周期数

DMA 传送周期数的计算如下。

DMAC 传送周期数和系数 j、k 分别如表 14.2 和表 14.3 所示。

1 个传送单位的传送周期数 = 读周期数 × j + 写周期数 × k

表 14.2 DMAC 传送周期数

传送单位	总线	存取地址	单芯片模式		存储器扩展模式 微处理器模式	
			读周期数	写周期数	读周期数	写周期数
8 位传送 (DMBIT= “1”)	16 位 (BYTE= “L”)	偶数	1	1	1	1
		奇数	1	1	1	1
	8 位 (BYTE= “H”)	偶数	—	—	1	1
		奇数	—	—	1	1
16 位传送 (DMBIT= “0”)	16 位 (BYTE= “L”)	偶数	1	1	1	1
		奇数	2	2	2	2
	8 位 (BYTE= “H”)	偶数	—	—	2	2
		奇数	—	—	2	2

—: 无条件

表 14.3 系数 j、k

	内部区域				外部区域						
	内部 ROM、RAM		SFR		分离总线				多路复用总线		
	无等待	有等待	1 个等待 (注 2)	2 个等待 (注 2)	无等待	有等待 (注 1)			有等待 (注 1)		
						1 个等待	2 个等待	3 个等待	1 个等待	2 个等待	3 个等待
j	1	2	2	3	1	2	3	4	3	3	4
k	1	2	2	3	2	2	3	4	3	3	4

注 1. 取决于 CSE 寄存器的设定值。

注 2. 取决于 PM2 寄存器的 PM20 位的设定值。

14.3 DMA 允许

在将 DMiCON 寄存器 (i=0 ~ 3) 的 DMAE 位置 “1” (允许) 后开始传送数据时, DMAC 的运行如下:

- A. 当 DMiCON 寄存器的 DSD 位为 “1” (正向) 时, 将 SARi 寄存器的值重新加载到正向地址指针;
当 DMiCON 寄存器的 DAD 位为 “1” (正向) 时, 将 DARi 寄存器的值重新加载到正向地址指针。
- B. 将 DMAi 传送计数器的重加载寄存器的值重新加载到 DMAi 传送计数器。

如果在 DMAE 位为 “1” 时重新写 “1”, 就进行上述运行。

但是, 如果在写 DMAE 位的同时有可能发生 DMA 请求, 就必须按照以下步骤进行写操作:

1. 给 DMiCON 寄存器的 DMAE 位和 DMAS 位同时写 “1”。
2. 通过程序确认 DMAi 已处于初始状态 (上述项 A 和项 B 的状态)。

如果 DMAi 未处于初始状态, 就重复执行项 1 和项 2。

14.4 DMA 请求

DMAC 能按通道将由 DMiSL 寄存器 (i=0 ~ 3) 的 DMS 位和 DSEL4 ~ DSEL0 位选择的请求源作为触发器来产生 DMA 请求。DMAS 位的变化如表 14.4 所示。

与 DMAE 位的状态无关, 如果发生 DMA 请求, DMAS 位就变为 “1” (有请求)。当 DMAE 位为 “1” (允许) 时, 在即将开始传送数据前, DMAS 位变为 “0” (无请求)。另外, 通过程序能将 DMAS 位置 “0” 而不能置 “1”。

如果更改 DMS 位和 DSEL4 ~ DSEL0 位, DMAS 位就有可能变为 “1”。因此, 必须在更改 DMS 位和 DSEL4 ~ DSEL0 位后将 DMAS 位置 “0”。

如果 DMAE 位为 “1”, 就在发生 DMA 请求后立刻开始传送数据, 所以即使通过程序读 DMAS 位, 大部分情况下读到的是 “0”。要判断 DMAC 是否处于允许状态时, 必须读 DMAE 位。

表 14.4 DMAS 位的变化

DMA 源	DMiCON 寄存器的 DMAS 位	
	变为 “1”	变为 “0”
软件触发	将 DMiSL 寄存器的 DSR 位置 “1” 时	- 开始传送数据前 - 通过程序写 “0” 时
外围功能	由 DMiSL 寄存器的 DSEL4 ~ DSEL0 位和 DMS 位选择的外围功能的中断控制寄存器的 IR 位为 “1” 时	

i=0 ~ 3

14.5 通道的优先级和 DMA 传送时序

在 DMA0 ~ DMA3 中允许多个通道时，如果多个 DMA 的传送请求信号进入同一采样期间（从 BCLK 的下降沿到下一个下降沿的一个周期），各通道的 DMAS 位就同时变为“1”（有请求）。此时的通道优先级为 DMA0 > DMA1 > DMA2 > DMA3。以下说明 DMA0 和 DMA1 的请求进入同一采样期间后的运行，外部源产生的 DMA 传送例子如图 14.7 所示。

因为在图 14.7 中同时发生了 DMA0 和 DMA1 的请求，所以先接受通道优先级较高的 DMA0 并开始传送。DMA0 一旦结束 1 个传送单位的传送，就将总线使用权让给 CPU。然后，CPU 一旦结束 1 次总线存取，DMA1 就开始传送，在结束 1 个传送单位的传送后将总线使用权还给 CPU。

另外，因为各通道有 1 个 DMAS 位，所以无法对 DMA 请求的次数进行计数。因此，如图 14.7 的 DMA1，即使在获得总线使用权前发生多次 DMA 请求，也在获得总线使用权时将 DMAS 位置“0”，并在结束 1 个传送单位的传送后将总线使用权还给 CPU。

有关和 CPU 的总线使用权的优先级请参照“8.2.7 HOLD 信号”。

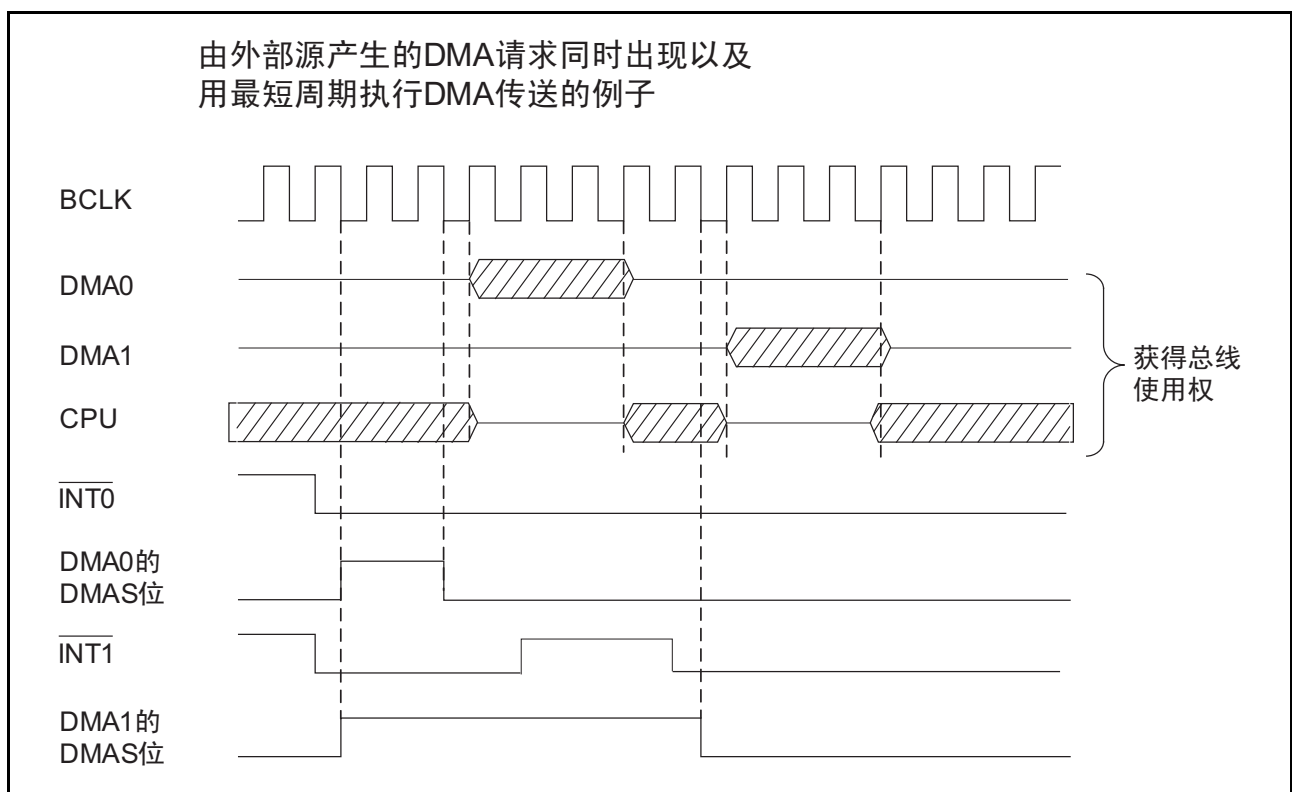


图 14.7 外部源产生的 DMA 传送例子

15. 定时器

16 位定时器有 11 个，能根据具有的功能分为定时器 A（5 个）和定时器 B（6 个）2 种，全部定时器各自独立运行。各定时器的计数源为计数和重加载等定时器的运行时钟。定时器 A 和定时器 B 的计数源如图 15.1 所示，定时器 A 的结构和定时器 B 的结构分别如图 15.2 和图 15.3 所示。

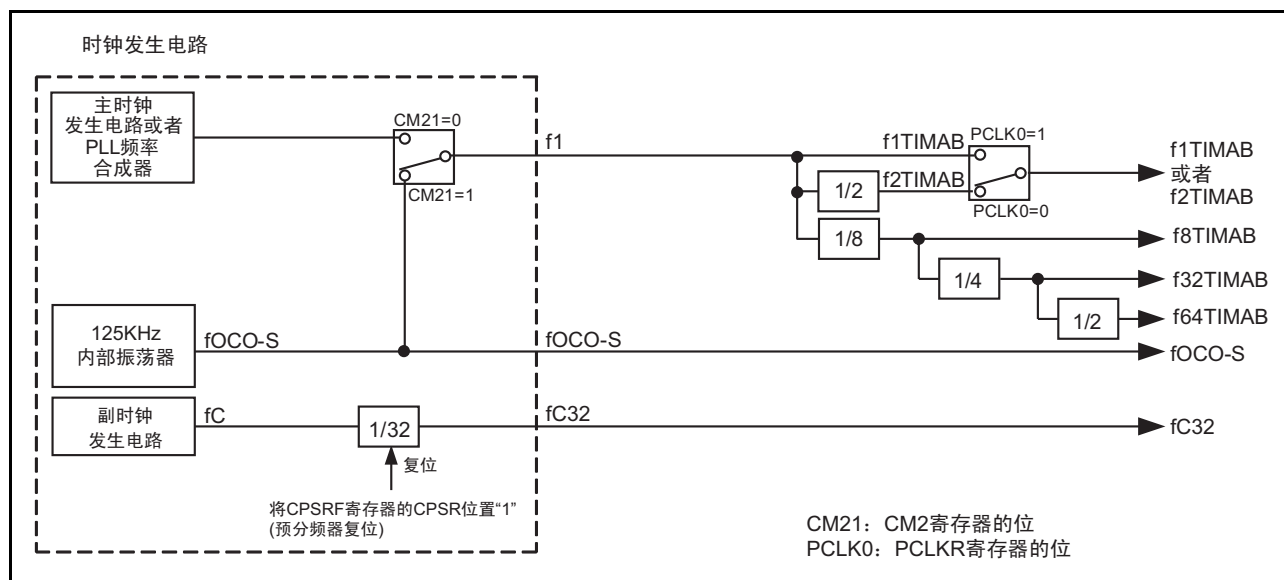


图 15.1 定时器 A 和定时器 B 的计数源

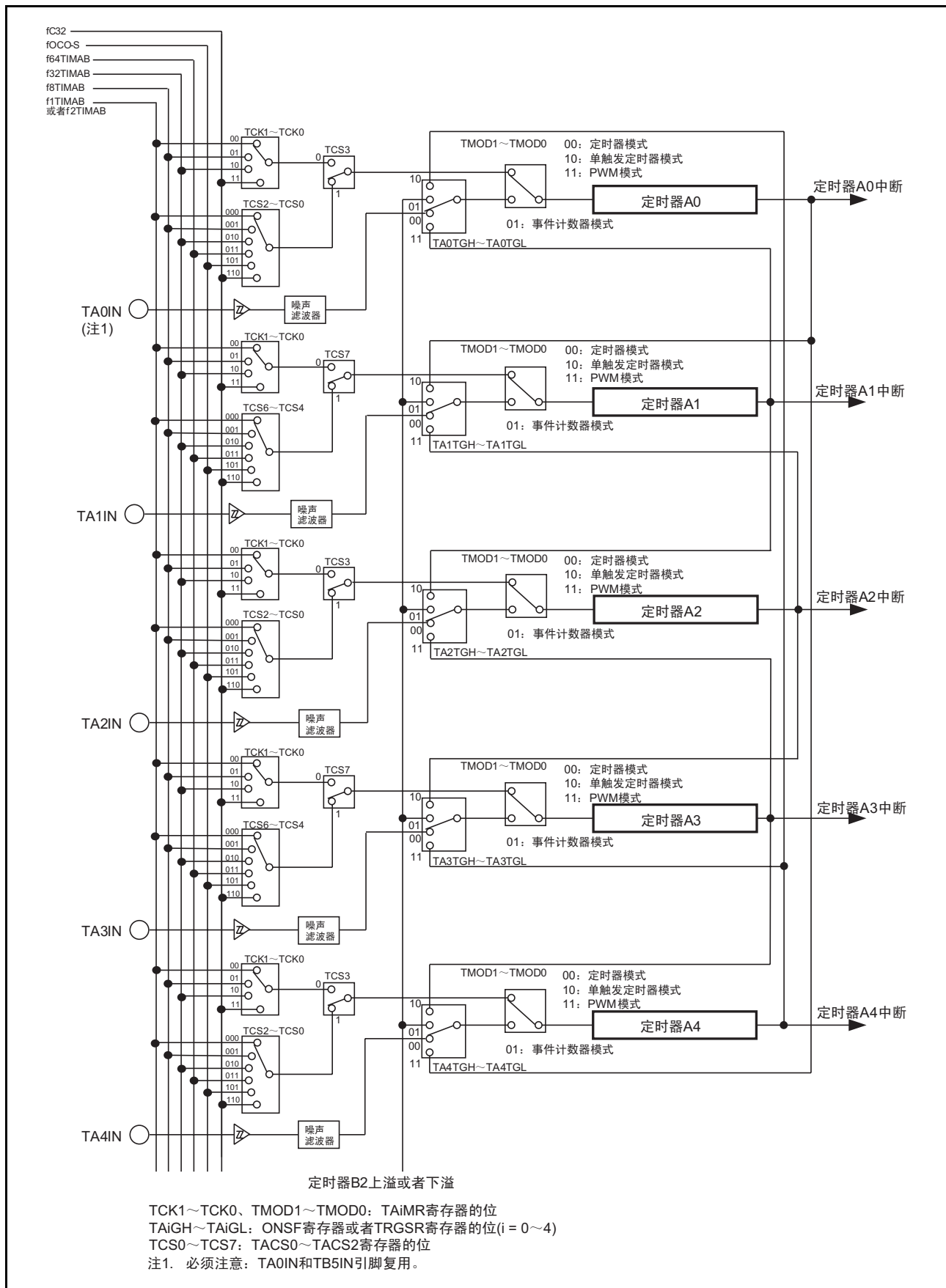


图 15.2 定时器 A 的结构

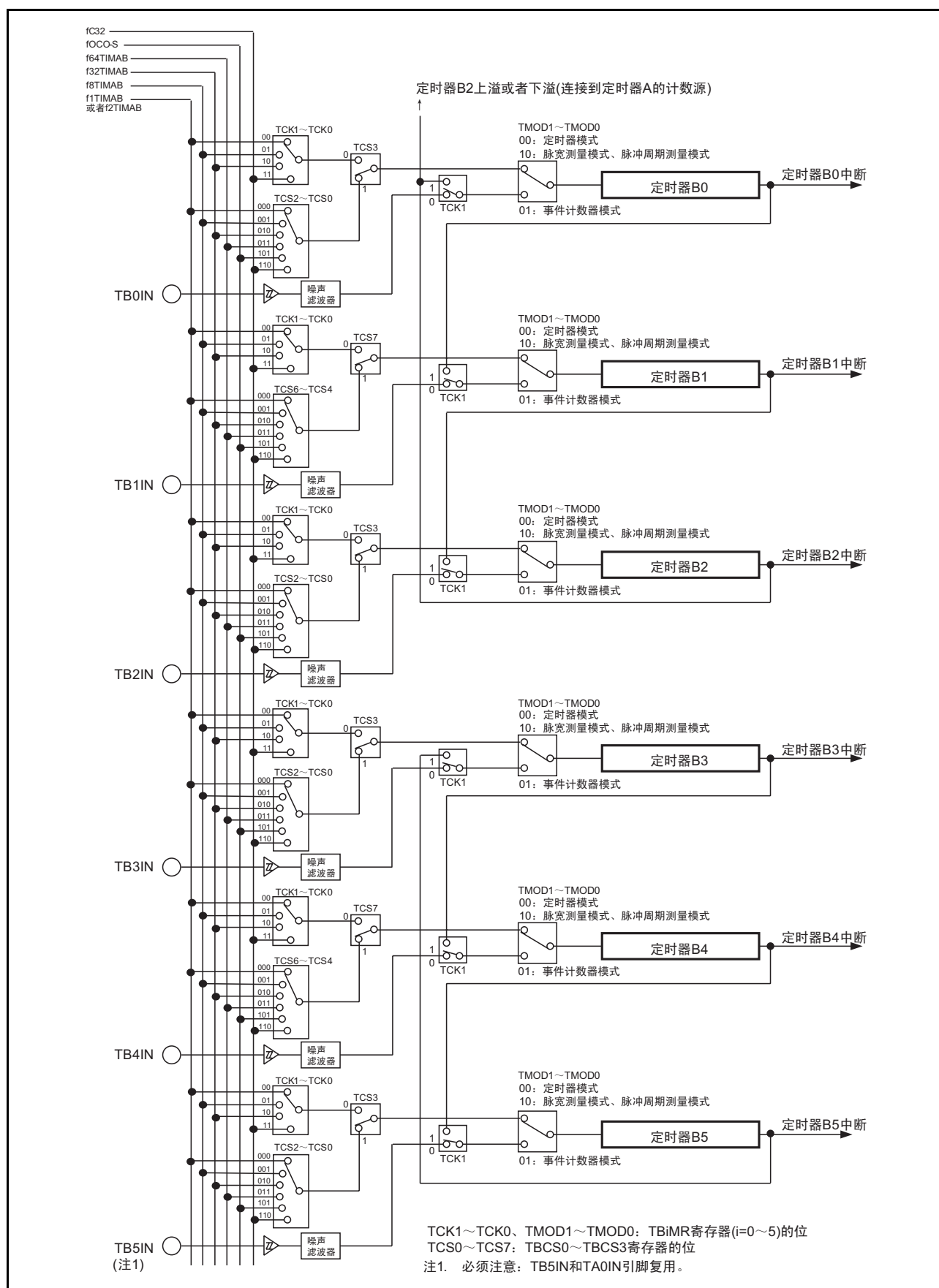


图 15.3 定时器 B 的结构

15.1 定时器 A

定时器 A 的框图及其关联寄存器分别如图 15.4 和图 15.5 ~ 图 15.9 所示。

定时器 A 有以下 4 种模式，除了事件计数器模式以外，定时器 A0 ~ A4 具有相同的功能。能根据 TAI_{MR} 寄存器 (i=0 ~ 4) 的 TMOD1 ~ TMOD0 位选择模式。

- 定时器模式 对内部计数源进行计数的模式
- 事件计数器模式 对外部脉冲或者其他定时器的上溢/下溢进行计数的模式
- 单次定时器模式 在计数值变为“0000h”之前，只输出1次脉冲的模式
- PWM 模式 连续输出任意宽度的脉冲的模式

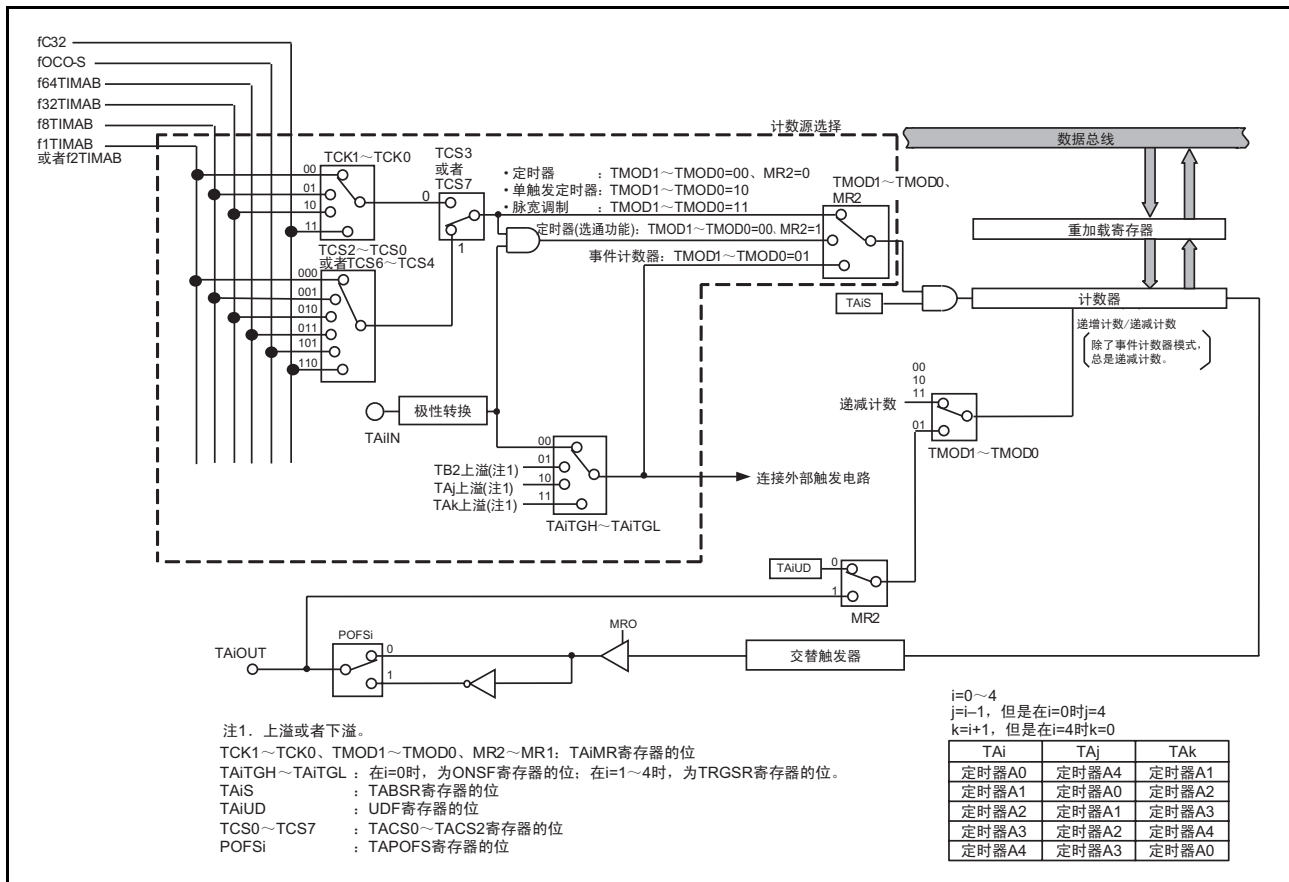


图 15.4 定时器 A 的框图

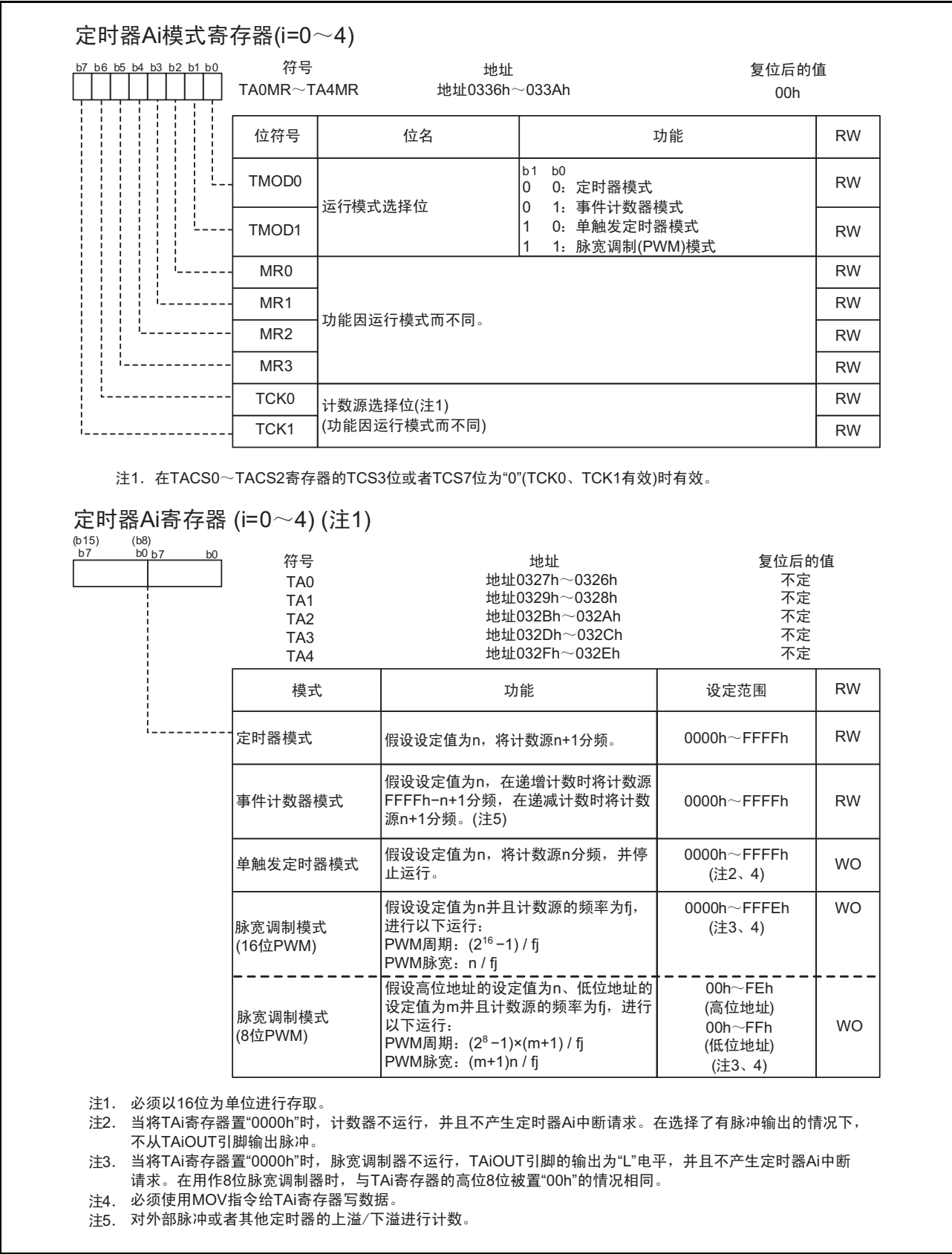


图 15.5 TA0MR ~ TA4MR 和 TA0 ~ TA4 寄存器

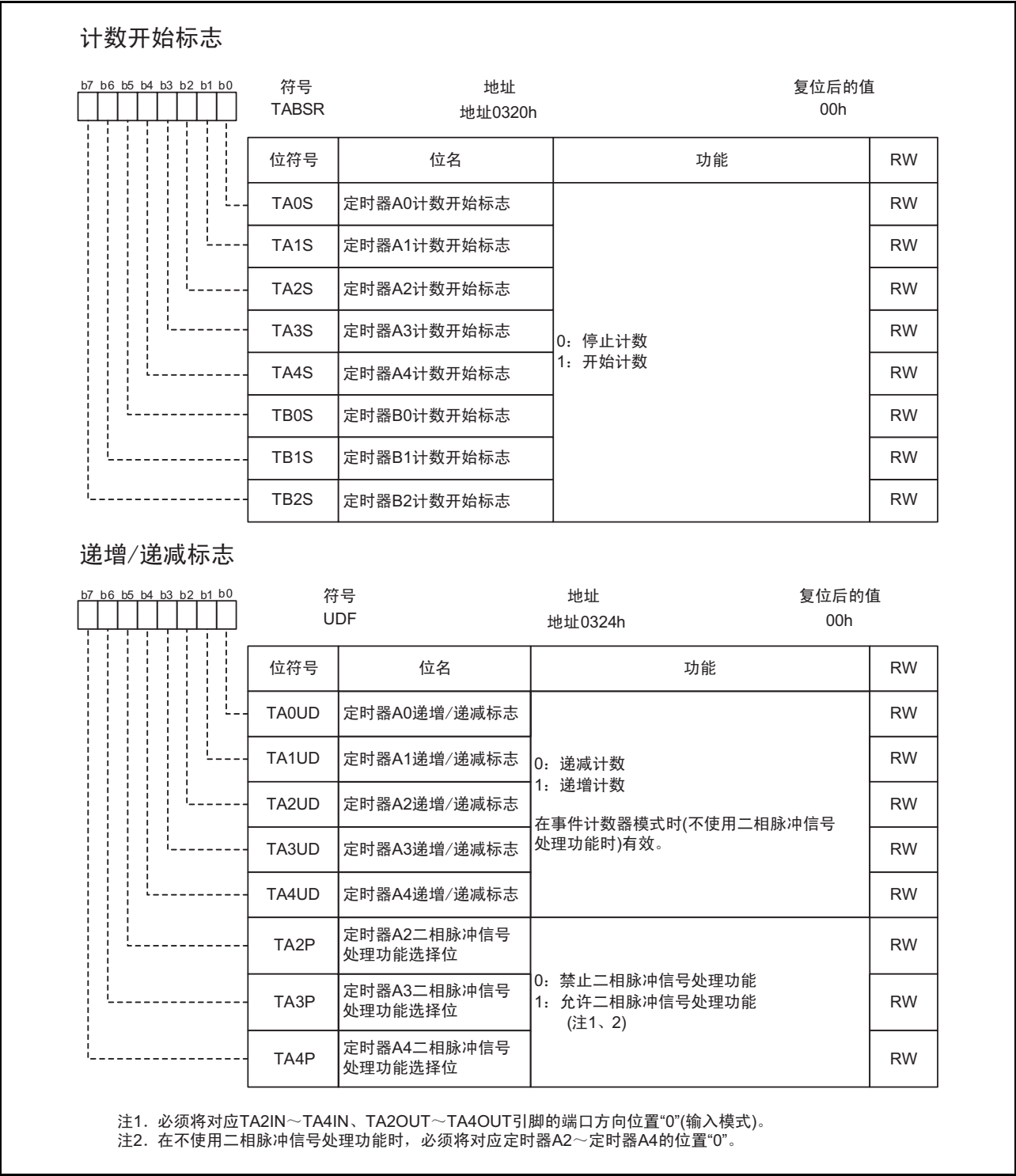


图 15.6 TABSR 和 UDF 寄存器

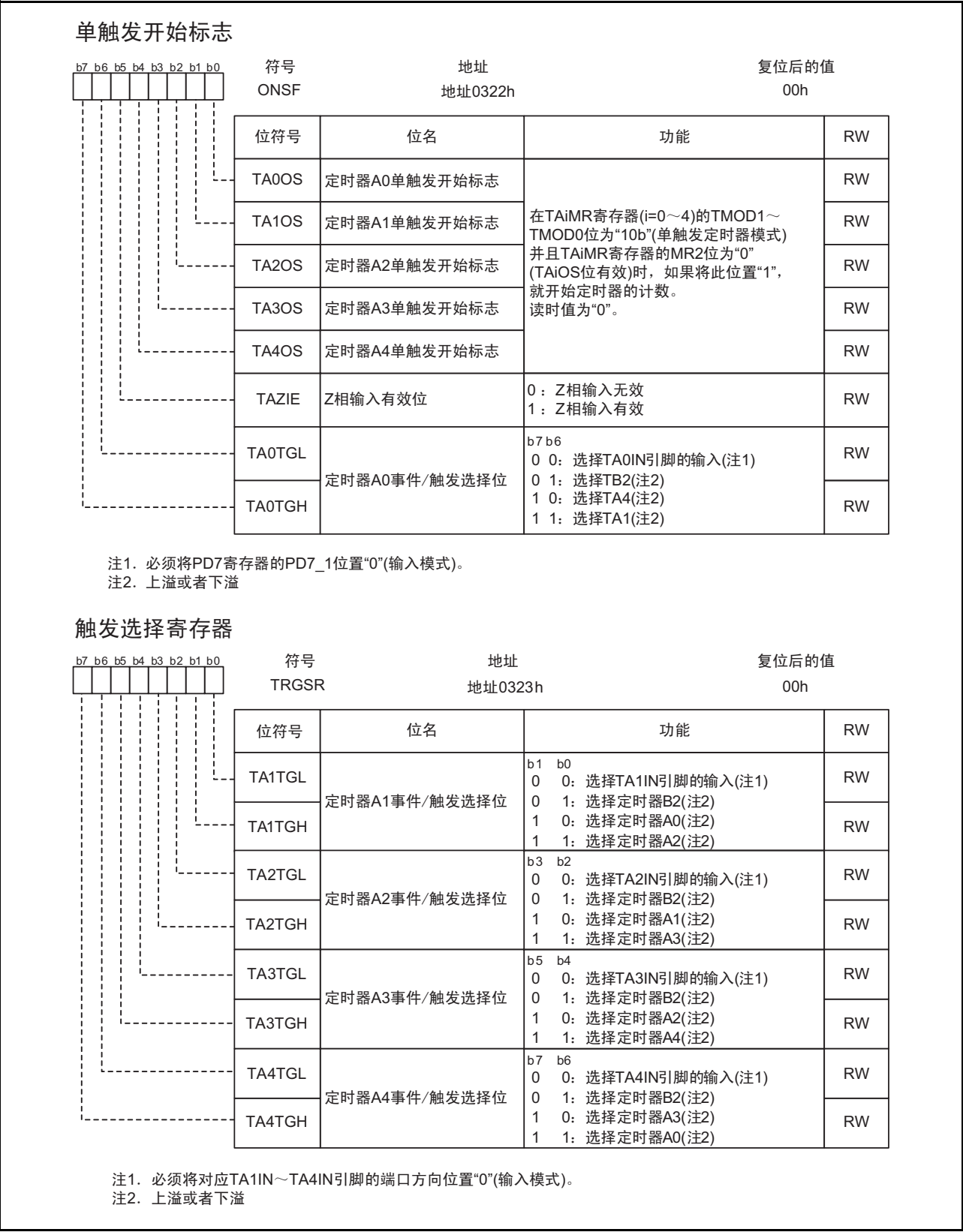


图 15.7 ONSF 和 TRGSR 寄存器

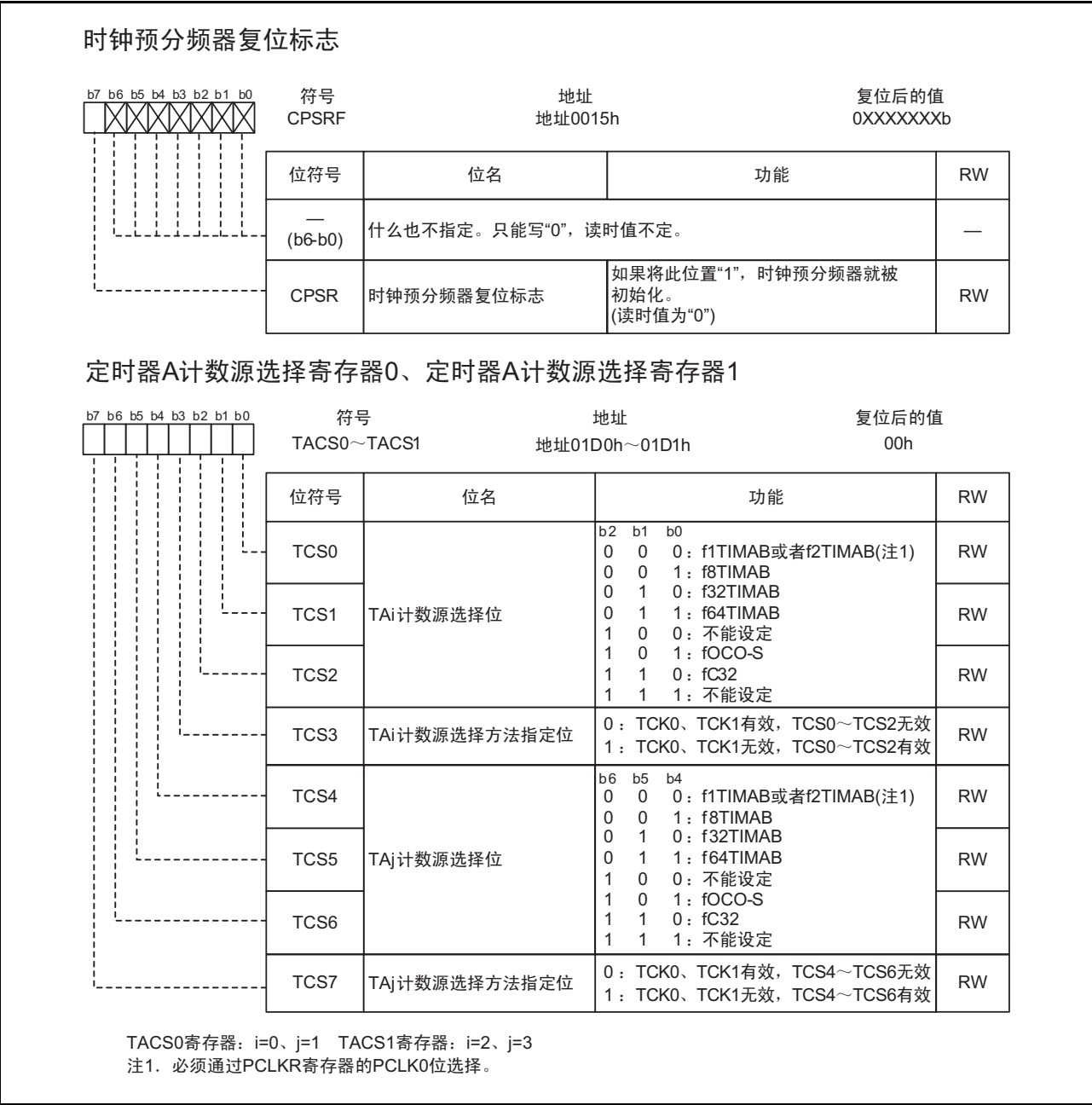


图 15.8 CPSRF、TACS0 和 TACS1 寄存器

定时器A计数源选择寄存器2

b7b6b5b4b3b2b1b0 ××××××××								符号 TACS2	地址 地址01D2h	复位后的值 X0h	
位符号	位名	功能						RW			
TCS0	TA4计数源选择位	b2	b1	b0	0 0 0: f1TIMAB或者f2TIMAB(注1) 0 0 1: f8TIMAB 0 1 0: f32TIMAB 0 1 1: f64TIMAB 1 0 0: 不能设定 1 0 1: fOCO-S 1 1 0: fC32 1 1 1: 不能设定			RW			
TCS1		0	0	0				RW			
TCS2		0	0	1				RW			
TCS3		0	1	0				RW			
		0	1	1				RW			
		1	0	0							
		1	0	1							
		1	1	0							
		1	1	1							
TCS3	TA4计数源选择方法指定位	0: TCK0、TCK1有效, TCS0~TCS2无效 1: TCK0、TCK1无效, TCS0~TCS2有效						RW			
— (b7-b4)	什么也不指定。只能写“0”，读时值不定。							—			

注1. 必须通过PCLKR寄存器的PCLK0位选择。

定时器A波形输出功能选择寄存器

b7b6b5b4b3b2b1b0 ××××××××								符号 TAPOFS	地址 地址01D5h	复位后的值 XXX00000b
位符号	位名	功能	RW							
POFS0	TA0OUT输出极性控制位	0: 输出波形“H”有效 1: 输出波形“L”有效 (反相输出)	RW							
POFS1	TA1OUT输出极性控制位		RW							
POFS2	TA2OUT输出极性控制位		RW							
POFS3	TA3OUT输出极性控制位		RW							
POFS4	TA4OUT输出极性控制位		RW							
— (b7-b5)	什么也不指定。只能写“0”，读时值不定。		—							

图 15.9 TACS2 和 TAPOFS 寄存器

15.1.1 定时器模式

定时器模式是对内部生成的计数源进行计数的模式（表 15.1）。定时器模式中的 TAI_{MR} 寄存器如图 15.10 所示。

表 15.1 定时器模式的规格

项目	规格
计数源	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
计数	- 递减计数 - 在发生下溢时，将重加载寄存器的内容进行重新加载后继续计数。
分频比	1/(n+1)，其中 n 为 TAI 寄存器（i=0 ~ 4）的设定值（0000h ~ FFFFh）。
计数开始条件	将 TABSR 寄存器的 TAI _S 位置“1”（开始计数）。
计数停止条件	将 TAI _S 位置“0”（停止计数）。
中断请求的发生	在发生下溢时
TAI _{IN} 引脚功能	输入 / 输出端口或者选通输入引脚
TAI _{OUT} 引脚功能	输入 / 输出端口或者脉冲输出引脚
定时器的读	如果读 TAI 寄存器，就能读取计数值。
定时器的写	- 如果在计数停止时写 TAI 寄存器，数据就被写到重加载寄存器和计数器。 - 如果在计数时写 TAI 寄存器，数据就被写到重加载寄存器（在下次重新加载时进行传送）。
选择功能	- 选通功能 能根据 TAI_{IN} 引脚的输入信号选择开始计数或者停止计数。 - 脉冲输出功能 在每次发生下溢时，将 TAI_{OUT} 引脚的输出极性反相。在 TAI_S 位为“0”（停止计数）期间，TAI_{OUT} 引脚输出“L”电平。 - 输出极性控制 将 TAI_{OUT} 引脚的输出极性反相（在 TAI 位为“0”（停止计数）期间，TAI_{OUT} 引脚输出“H”电平）。

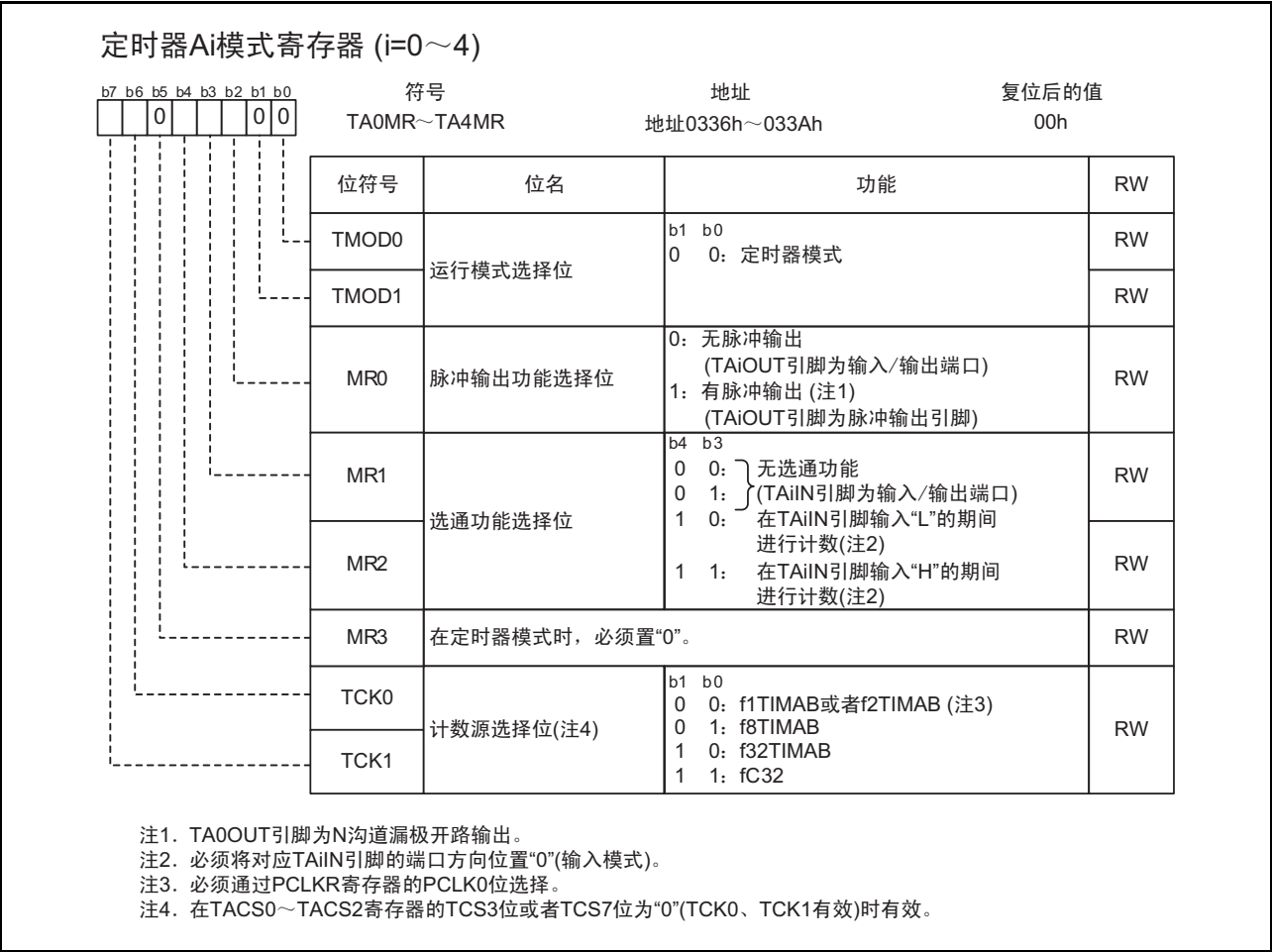


图 15.10 定时器模式中的 TAiMR 寄存器

15.1.2 事件计数器模式

事件计数器模式是对外部信号或者其他定时器的上溢 / 下溢进行计数的模式。定时器 A2、定时器 A3 和定时器 A4 能对二相外部信号进行计数。事件计数器模式的规格（不使用二相脉冲处理时）如表 15.2 所示，事件计数器模式中的 TAI_{MR} 寄存器（不使用二相脉冲信号处理时）如图 15.11 所示。

表 15.2 事件计数器模式的规格（不使用二相脉冲信号处理时）

项目	规格
计数源	- 输入到 TAI_{IN} 引脚（$i=0 \sim 4$）的外部信号（可通过程序选择有效边沿） - 定时器 B2 的上溢或者下溢、定时器 A_j（$j=i-1$，但是 $i=0$ 时 $j=4$）的上溢或者下溢、定时器 A_k（$k=i+1$，但是 $i=4$ 时 $k=0$）的上溢或者下溢
计数	- 可通过程序选择递增计数或者递减计数。 - 在发生上溢或者下溢时，将重加载寄存器的内容进行重新加载后继续计数。在选择自由运行功能时，不进行重新加载而继续计数。
分频比	- 递增计数时为 $1/(\text{FFFFh}-n+1)$。 - 递减计数时为 $1/(n+1)$，其中 n 为 TAI 寄存器的设定值（0000h ~ FFFFh）。
计数开始条件	将 TABSR 寄存器的 TAI _S 位置“1”（开始计数）。
计数停止条件	将 TAI _S 位置“0”（停止计数）。
中断请求的发生	在发生上溢或者下溢时
TAI _{IN} 引脚功能	输入 / 输出端口或者计数源输入引脚
TAI _{OUT} 引脚功能	输入 / 输出端口或者脉冲输出引脚
定时器的读	如果读 TAI 寄存器，就能读取计数值。
定时器的写	- 如果在计数停止时写 TAI 寄存器，数据就被写到重加载寄存器和计数器。 - 如果在计数时写 TAI 寄存器，数据就被写到重加载寄存器（在下次重新加载时进行传送）。
选择功能	- 自由运行计数功能 即使发生上溢或者下溢，也不从重加载寄存器进行重新加载。 - 脉冲输出功能 在每次发生上溢或者下溢时，将 TAI_{OUT} 引脚的输出极性反相。在 TAI_S 位为“0”（停止计数）期间，TAI_{OUT} 引脚输出“L”电平。 - 输出极性控制 将 TAI_{OUT} 引脚的输出极性反相（在 TAI 位为“0”（停止计数）期间，TAI_{OUT} 引脚输出“H”电平）。

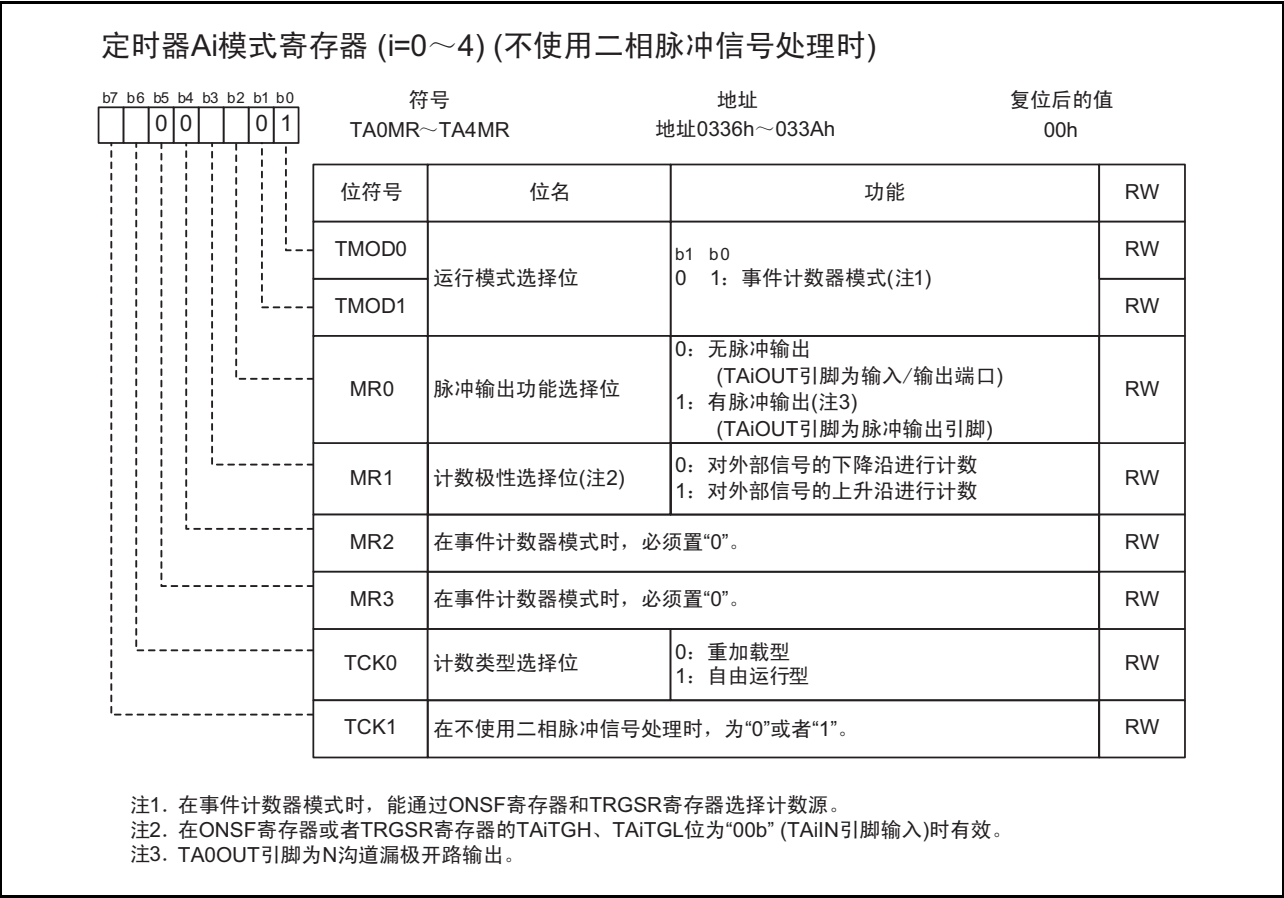
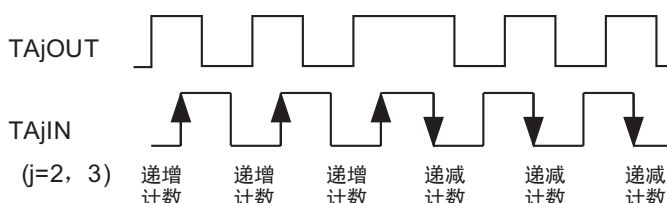
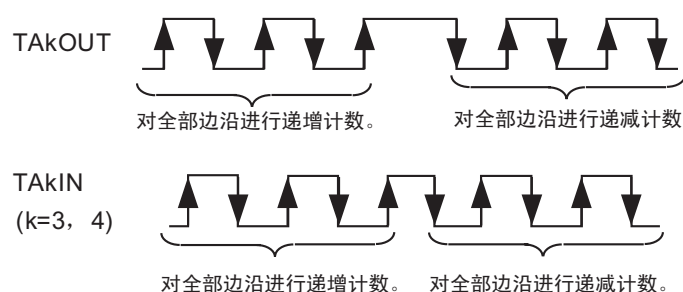


图 15.11 事件计数器模式中的 TAiMR 寄存器（不使用二相脉冲信号处理时）

事件计数器模式的规格（在通过定时器 A2、定时器 A3 和定时器 A4 使用二相脉冲信号处理时）如表 15.3 所示，事件计数器模式中的 TA2MR ~ TA4MR 寄存器（在通过定时器 A2、定时器 A3 和定时器 A4 使用二相脉冲信号处理时）如图 15.12 所示。

表 15.3 事件计数器模式的规格（在通过定时器 A2、定时器 A3 和定时器 A4 使用二相脉冲信号处理时）

项目	规格
计数源	输入到 TAIiN、TAiOUT 引脚（i=2 ~ 4）的二相脉冲信号
计数	- 可通过二相脉冲信号转换递增计数或者递减计数。 - 在发生上溢或者下溢时，将重加载寄存器的内容进行重新加载后继续计数。在选择自由运行功能时，不进行重新加载而继续计数。
分频比	- 递增计数时为 $1/(\text{FFFFh}-n+1)$。 - 递减计数时为 $1/(n+1)$，其中 n 为 TAI 寄存器的设定值（0000h ~ FFFFh）。
计数开始条件	将 TABSR 寄存器的 TAI <i>S</i> 位置“1”（开始计数）。
计数停止条件	将 TAI <i>S</i> 位置“0”（停止计数）。
中断请求的发生	在发生上溢或者下溢时
TAiIN 引脚功能	二相脉冲输入引脚
TAiOUT 引脚功能	二相脉冲输出引脚
定时器的读	如果读定时器 A2、A3、A4 的寄存器，就能读取计数值。
定时器的写	- 如果在计数停止时写 TAI 寄存器，数据就被写到重加载寄存器和计数器。 - 如果在计数时写 TAI 寄存器，数据就被写到重加载寄存器（在下次重新加载时进行传送）。
选择功能（注 1）	- 正常处理（定时器 A2 和定时器 A3） 在 TAJOUT 引脚（j=2、3）的输入信号为“H”电平期间，对 TAJIN 引脚的上升沿进行递增计数，对其下降沿进行递减计数。  4 倍频处理（定时器 A3 和定时器 A4） 在 TAKOUT 引脚（k=3、4）的输入信号为“H”电平期间，TAKIN 引脚为上升相位关系时，对 TAKOUT 和 TAKIN 引脚的上升沿和下降沿进行递增计数；在 TAKIN 引脚为下降相位关系时，对 TAKOUT 和 TAKIN 引脚的上升沿和下降沿进行递减计数。  - 通过 Z 相输入初始化计数器（定时器 A3） 通过 Z 相输入将定时器的计数值置“0”。

注 1. 能选择定时器 A3。定时器 A2 为正常处理，定时器 A4 为 4 倍频处理。

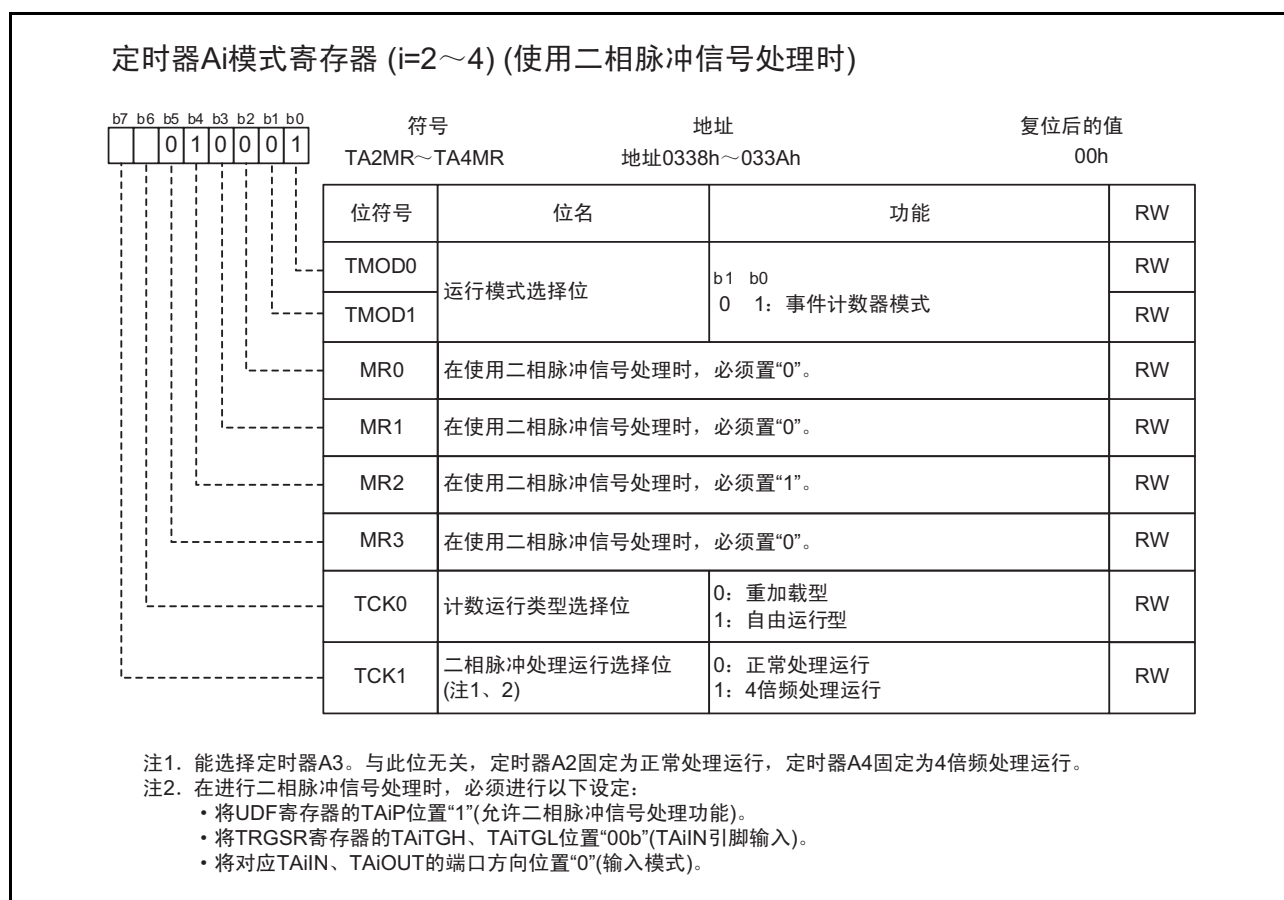


图 15.12 事件计数器模式中的 TA2MR ~ TA4MR 寄存器（在通过定时器 A2、定时器 A3 和定时器 A4 使用二相脉冲信号处理时）

15.1.2.1 二相脉冲信号处理中的计数器初始化

这是在二相脉冲信号处理时通过 Z 相（计数器的初始化）输入将定时器的计数值置“0”的功能。

此功能只能用于定时器 A3 的事件计数器模式、二相脉冲信号处理、自由运行型和 4 倍频处理，从 ZP 引脚输入 Z 相。

如果给 TA3 寄存器写“0000h”并将 ONSF 寄存器的 TAZIE 位置“1”（Z 相输入有效），通过 Z 相输入进行的计数器初始化就有效。

检测 Z 相的输入边沿进行计数器的初始化。能通过 INT2IC 寄存器的 POL 位选择边沿的极性。输入的 Z 相脉宽必须至少为定时器 A3 的 1 个计数源周期。

在接受到 Z 相输入的下一个计数时进行计数器的初始化。二相脉冲（A 相和 B 相）和 Z 相的关系如图 15.13 所示。

如果定时器 A3 的上溢或者下溢时序与通过 Z 相输入的计数器初始化时序重叠，就连续发生 2 次定时器 A3 的中断请求，所以在使用此功能时不能使用定时器 A3 中断。

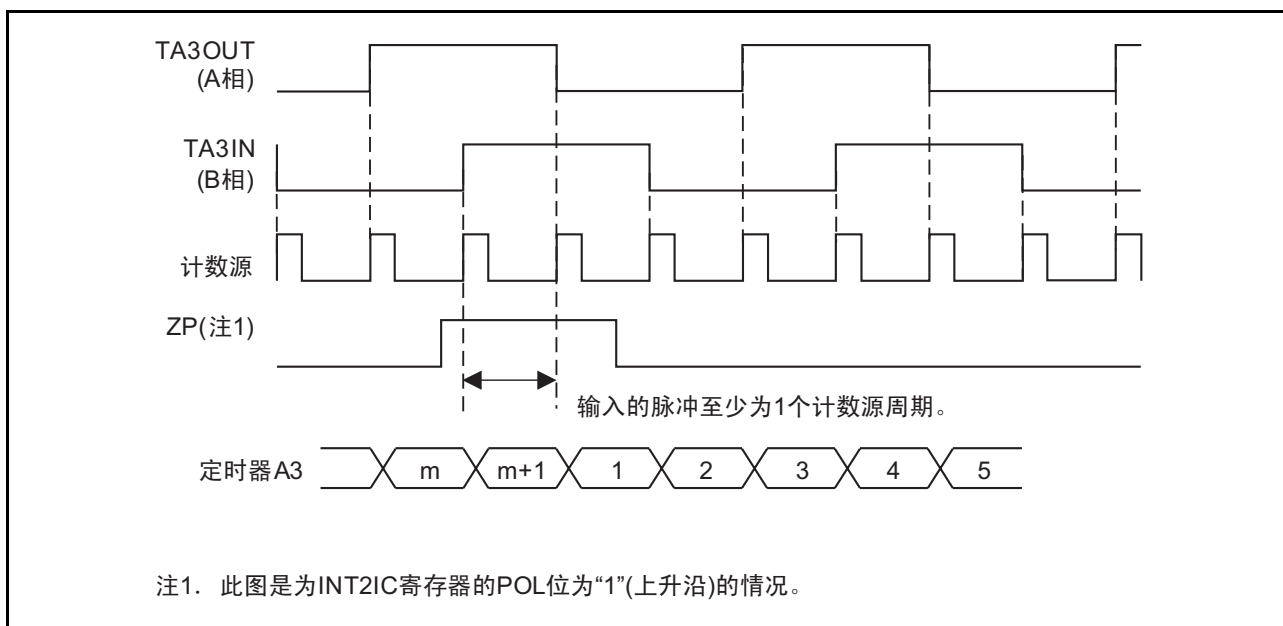


图 15.13 二相脉冲（A 相和 B 相）和 Z 相的关系

15.1.3 单触发定时器模式

单触发定时器模式是对 1 次触发只运行 1 次定时器的模式（表 15.4）。如果发生触发，定时器就从发生触发时的任意期间开始运行。单触发定时器模式中的 TAI_{MR} 寄存器如图 15.14 所示。

表 15.4 单触发定时器模式的规格

项目	规格
计数源	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
计数	- 递减计数 - 在计数器变为 0000h 时，进行重新加载后停止计数。 - 如果在计数时发生触发，就在进行重新加载后继续计数。
分频比	1/n，其中 n 为 TAI 寄存器（i=0 ~ 4）的设定值（0000h ~ FFFFh）。 但是，如果设定值为 0000h，计数器就不计数。
计数开始条件	TABSR 寄存器的 TAI _S 位为 “1”（开始计数）并且发生以下触发： - 从 TAI_{IN} 引脚输入外部触发。 - 定时器 B2 的上溢或者下溢、定时器 A_j（j=i-1，但是 i=0 时 j=4）的上溢或者下溢、定时器 A_k（k=i+1，但是 i=4 时 k=0）的上溢或者下溢 - 将 ONSF 寄存器的 TAI_{OS} 位置 “1”（定时器开始计数）。
计数停止条件	- 计数值变为 0000h 并进行重新加载后。 - 将 TAI_S 位置 “0”（停止计数）。
中断请求的发生	在计数值变为 0000h 时
TAI _{IN} 引脚功能	输入 / 输出端口或者触发输入引脚
TAI _{OUT} 引脚功能	输入 / 输出端口或者脉冲输出引脚
定时器的读	如果读 TAI 寄存器，读取的值就为不定值。
定时器的写	- 如果在计数停止时或者在开始计数到输入第 1 个计数源之间写 TAI 寄存器，数据就被写到重加载寄存器和计数器。 - 如果在计数时（但是，在输入第 1 个计数源后）写 TAI 寄存器，数据就被写到重加载寄存器（在下次重新加载时进行传送）。
选择功能	- 脉冲输出功能 在计数停止时，TAI_{OUT} 引脚输出 “L” 电平；在计数时，TAI_{OUT} 引脚输出 “H” 电平。 - 输出极性控制 将 TAI_{OUT} 引脚的输出极性反相（在 TAI 位为 “0”（停止计数）期间，TAI_{OUT} 引脚输出 “H” 电平）。

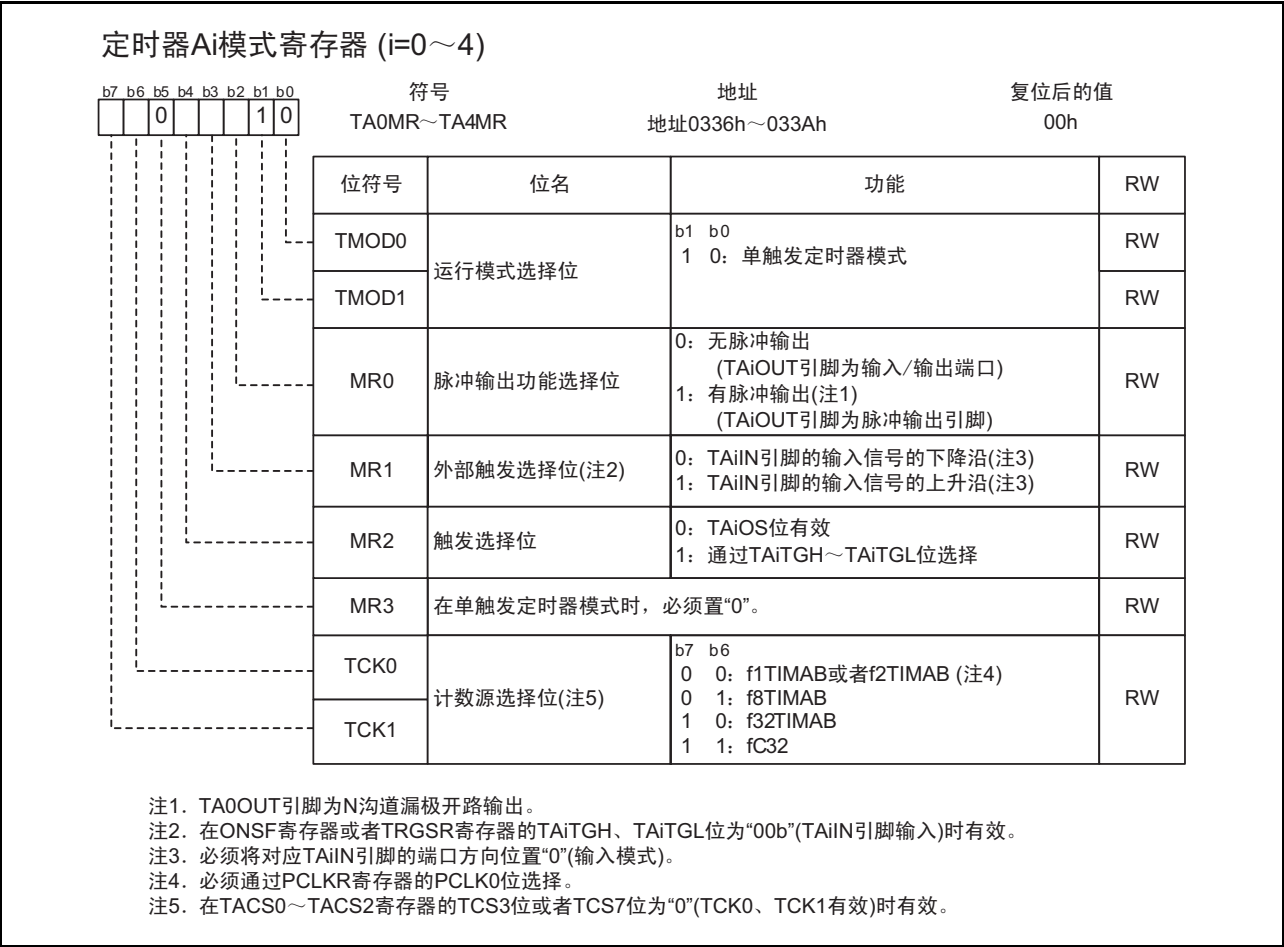


图 15.14 单触发定时器模式中的 TAiMR 寄存器

15.1.4 脉宽调制模式（PWM 模式）

脉宽调制模式是连续输出任意宽度的脉冲的模式（表 15.5）。在此模式中，计数器用作 16 位脉宽调制器或者 8 位脉宽调制器。脉宽调制模式中的 TAI_{MR} 寄存器如图 15.15 所示，16 位脉宽调制器的运行例子和 8 位脉宽调制器的运行例子分别如图 15.16 和图 15.17 所示。

表 15.5 PWM 模式的规格

项目	规格
计数源	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
计数	- 递减计数（用作 8 位或者 16 位脉宽调制器） - 在 PWM 脉冲的上升沿，进行重新加载后继续计数。 - 如果在计数时发生触发，就不影响计数。
16 位 PWM	- 脉宽：n/f_j，其中 n 为 TAI 寄存器的设定值（i=0 ~ 4）。 - 周期：固定为 (2¹⁶-1)/f_j，其中 f_j 为计数源的频率（f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32）。
8 位 PWM	- 脉宽：n×(m+1)/f_j，其中 n 为 TAI 寄存器高位地址的设定值。 - 周期：(2⁸-1)×(m+1)/f_j，其中 m 为 TAI 寄存器低位地址的设定值。
计数开始条件	- 将 TABSR 寄存器的 TAI_S 位置“1”（开始计数）。 - TAI_S 位为“1”并且从 TAI_{IN} 引脚输入外部触发。 - TAI_S 位为“1”并且发生以下触发： 定时器 B2 的上溢或者下溢、定时器 A_j（j=i-1，但是 i=0 时 j=4）的上溢或者下溢、定时器 A_k（k=i+1，但是 i=4 时 k=0）的上溢或者下溢
计数停止条件	将 TAI _S 位置“0”（停止计数）。
中断请求的发生	在 PWM 脉冲下降时
TAI _{IN} 引脚功能	输入 / 输出端口或触发输入引脚
TAI _{OUT} 引脚功能	脉冲输出引脚
定时器的读	如果读 TAI 寄存器，读取的值就为不定值。
定时器的写	- 如果在计数停止时写 TAI 寄存器，数据就被写到重加载寄存器和计数器。 - 如果在计数时写 TAI 寄存器，数据就被写到重加载寄存器（在下次重新加载时进行传送）。
选择功能	输出极性控制 将 TAI_{OUT} 引脚的输出极性反相（在 TAI 位为“0”（停止计数）期间，TAI_{OUT} 引脚输出“H”电平）。

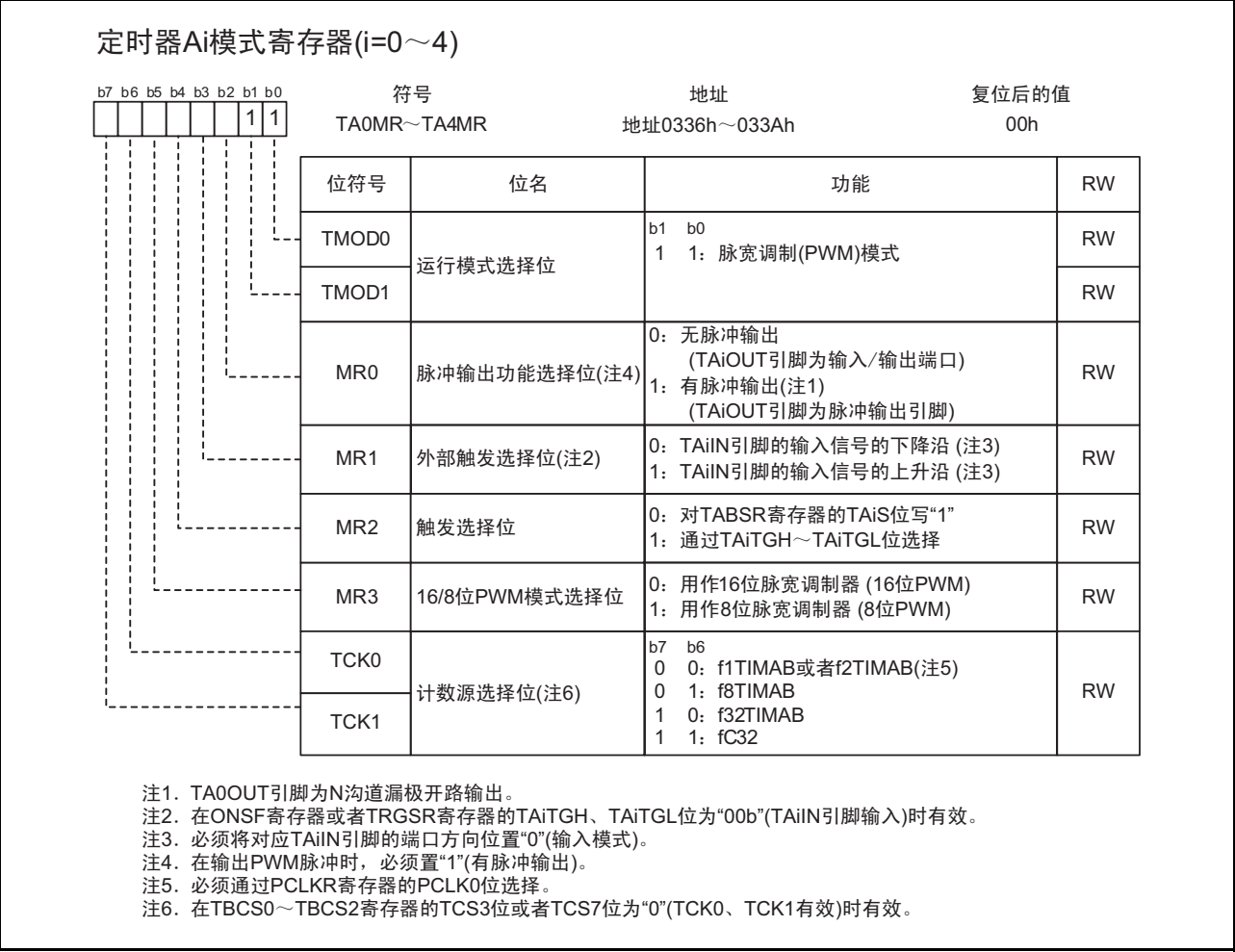


图 15.15 脉宽调制模式中的 TAIiMR 寄存器

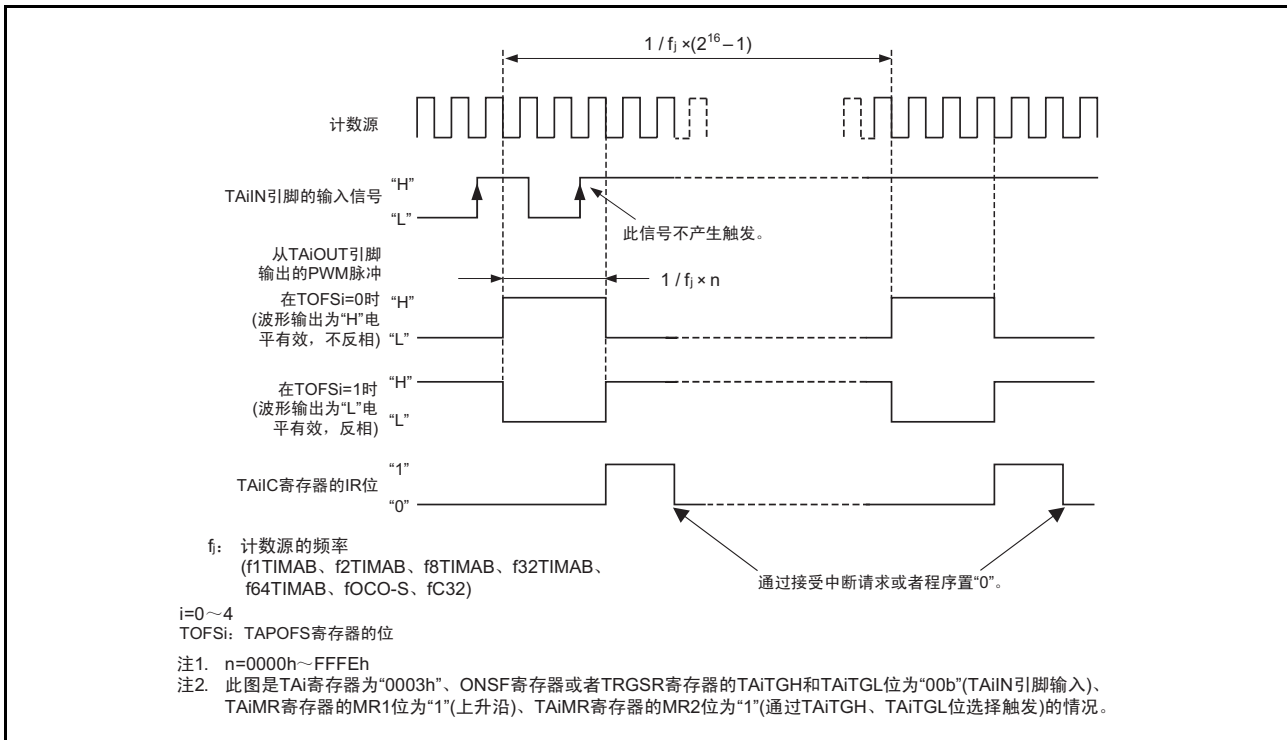


图 15.16 16 位脉宽调制器的运行例子

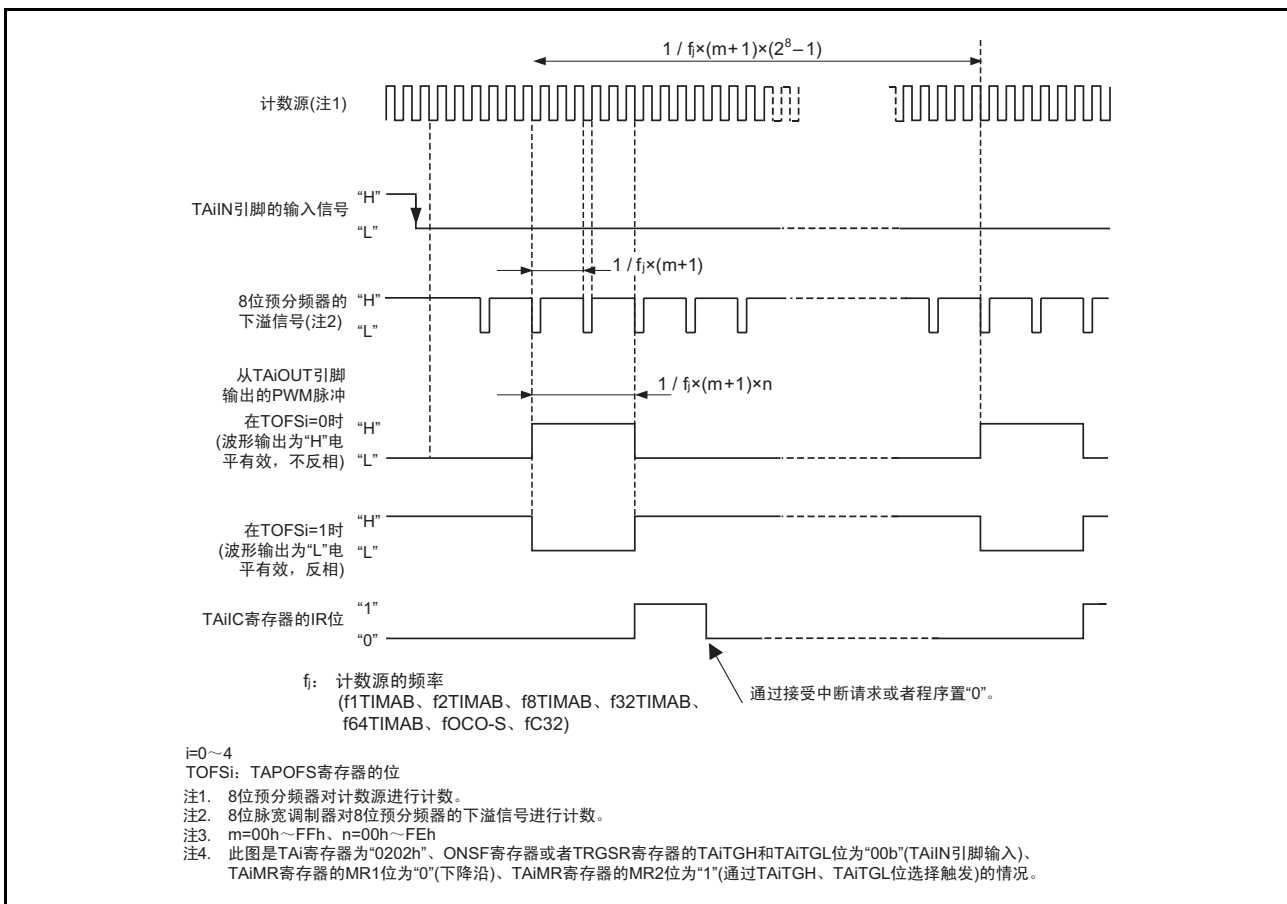


图 15.17 8 位脉宽调制器的运行例子

15.2 定时器 B

定时器 B 的框图及其关联寄存器分别如图 15.18 和图 15.19 ~ 图 15.21 所示。

定时器 B 有以下 3 种模式，能通过 TBiMR 寄存器 (i=0 ~ 5) 的 TMOD1 ~ TMOD0 位选择模式。

- 定时器模式 对内部计数源进行计数的模式
- 事件计数器模式 对外部脉冲或者其他定时器的上溢/下溢进行计数的模式
- 脉冲周期测量模式和脉宽测量模式 测量外部脉冲的周期或者脉宽的模式

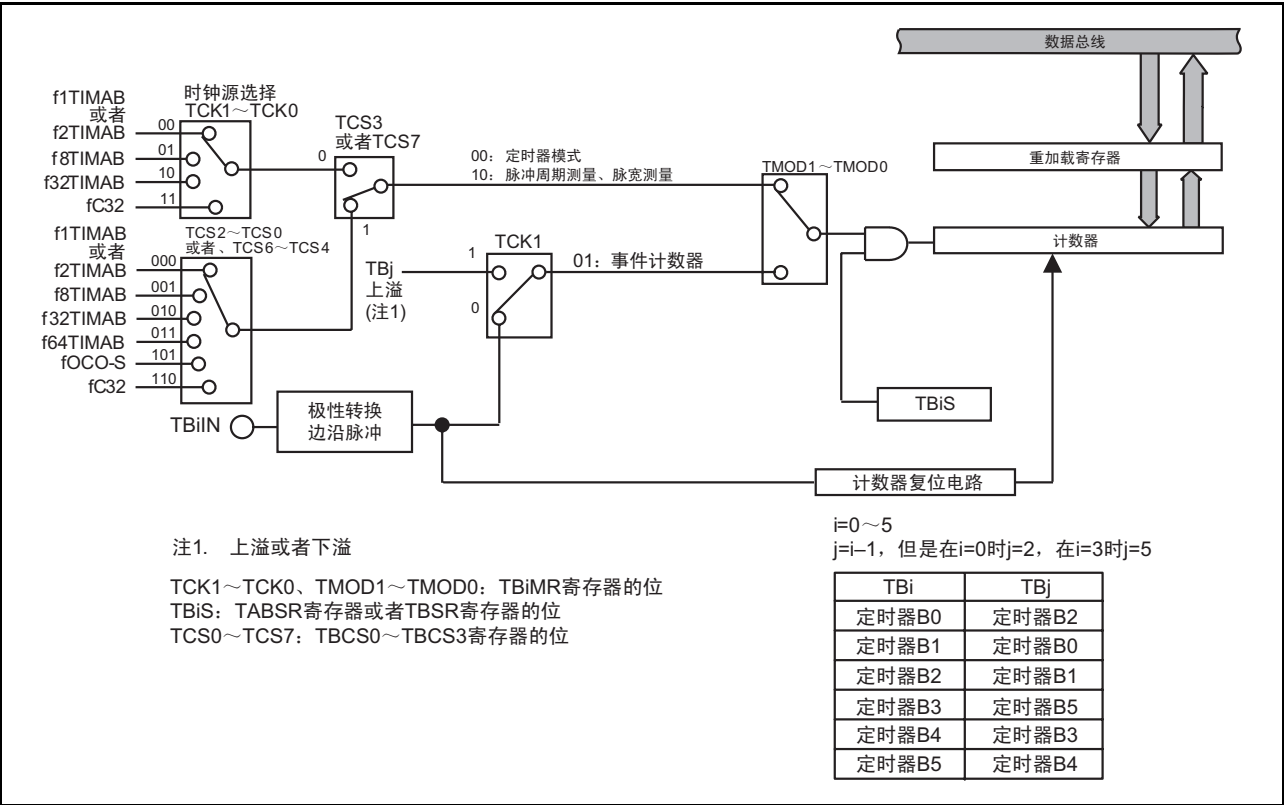


图 15.18 定时器 B 的框图

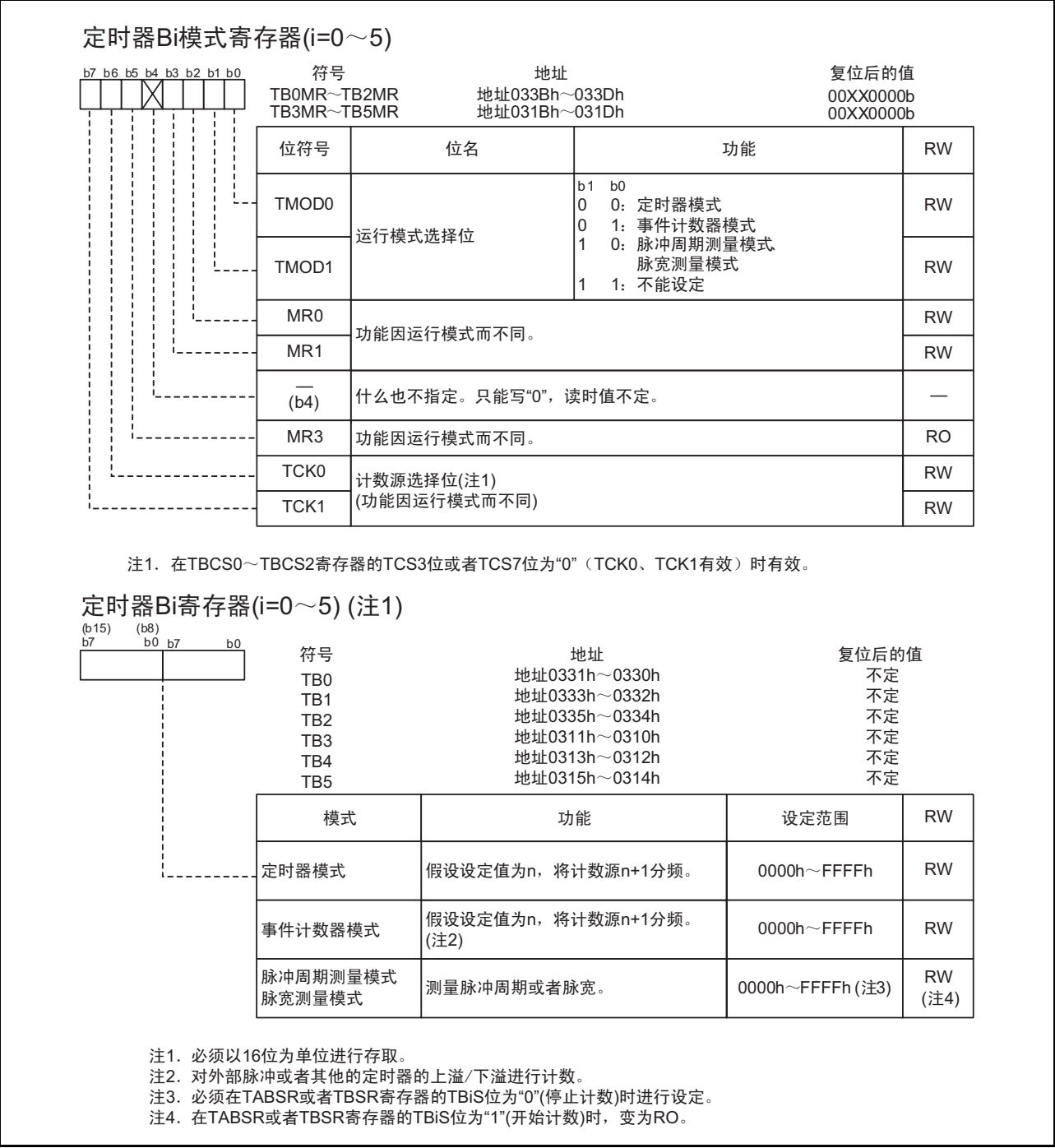


图 15.19 TB0MR ~ TB5MR 和 TB0 ~ TB5 寄存器

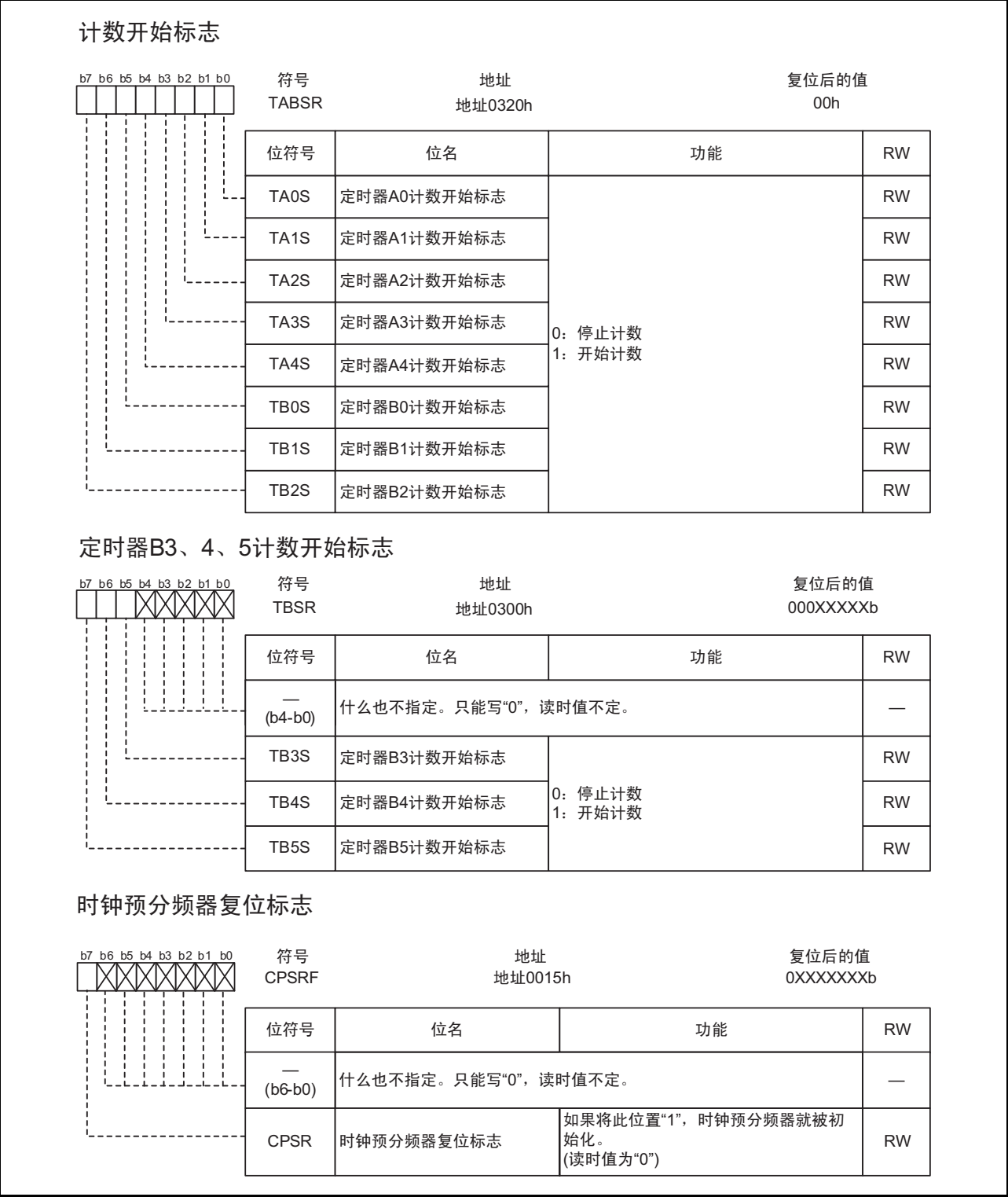


图 15.20 TABSR、TBSR 和 CPSRF 寄存器

定时器B计数源选择寄存器0、定时器B计数源选择寄存器2

b7 b6 b5 b4 b3 b2 b1 b0								符号	地址	复位后的值
								TBCS0	地址01C8h	00h
								TBCS2	地址01E8h	00h
位符号		位名		功能				RW		
TCS0		TBi计数源选择位		b2 b1 b0	0 0 0: f1TIMAB或者f2TIMAB(注1)			RW		
TCS1				0 0 1: f8TIMAB			RW			
TCS2				0 1 0: f32TIMAB						
				0 1 1: f64TIMAB						
				1 0 0: 不能设定						
				1 0 1: fOCO-S						
				1 1 0: fC32						
				1 1 1: 不能设定						
TCS3		TBi计数源选择方法指定位		0: TCK0、TCK1有效, TCS0~TCS2无效 1: TCK0、TCK1无效, TCS0~TCS2有效				RW		
TCS4		TBj计数源选择位		b6 b5 b4	0 0 0: f1TIMAB或者f2TIMAB(注1)			RW		
TCS5				0 0 1: f8TIMAB			RW			
TCS6				0 1 0: f32TIMAB						
				0 1 1: f64TIMAB						
				1 0 0: 不能设定						
				1 0 1: fOCO-S						
				1 1 0: fC32						
				1 1 1: 不能设定						
TCS7		TBj计数源选择方法指定位		0: TCK0、TCK1有效, TCS4~TCS6无效 1: TCK0、TCK1无效, TCS4~TCS6有效				RW		

TBCS0寄存器: i=0、j=1 TBCS2寄存器: i=3、j=4
注1. 必须通过PCLKR寄存器的PCLK0位选择。

定时器B计数源选择寄存器1、定时器B计数源选择寄存器3

b7 b6 b5 b4 b3 b2 b1 b0								符号	地址	复位后的值
								TBCS1	地址01C9h	X0h
								TBCS3	地址01E9h	X0h
位符号	位名	功能						RW		
TCS0	TBi计数源选择位	b2	b1	b0	0: f1TIMAB或者f2TIMAB(注1) 0 0 1: f8TIMAB 0 1 0: f32TIMAB 0 1 1: f64TIMAB 1 0 0: 不能设定 1 0 1: fOCO-S 1 1 0: fC32 1 1 1: 不能设定			RW		
TCS1		0	0	0				RW		
		0	0	1						
		0	1	0						
TCS2		0	1	1					RW	
TCS3	TBi计数源选择方法指定位	1	0	0	0: TCK0、TCK1有效，TCS0~TCS2无效 1: TCK0、TCK1无效，TCS0~TCS2有效			RW		
		1	0	1						
		1	1	0						
		1	1	1						
— (b7-b4)	什么也不指定。只能写“0”，读时值不定。						—			

TBCS1寄存器: i=2 TBCS3寄存器: i=5
注1. 必须通过PCLKR寄存器的PCLK0位选择。

图 15.21 TBCS0、TBCS1、TBCS2 和 TBCS3 寄存器

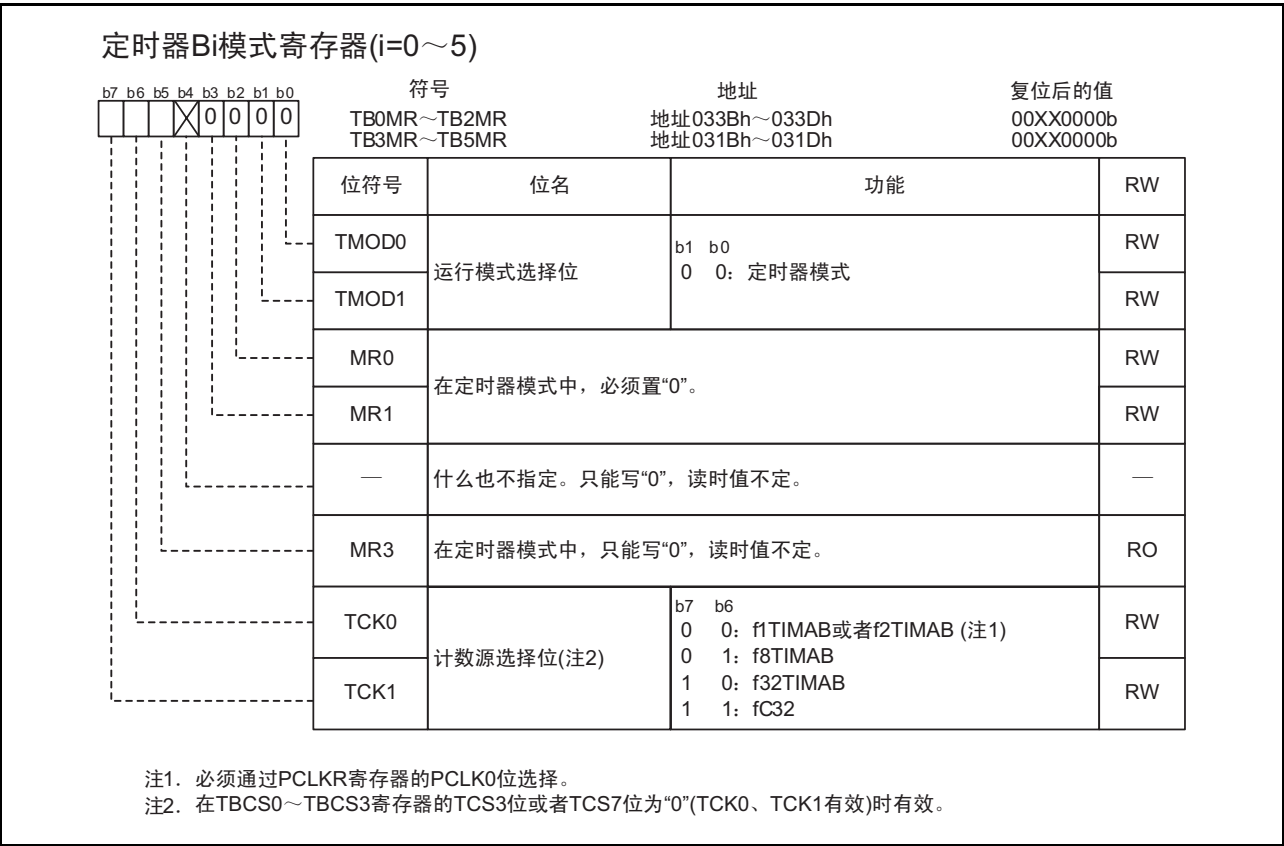
15.2.1 定时器模式

定时器模式是对内部生成的计数源进行计数的模式（表 15.6）。定时器模式中的 TBiMR 寄存器如图 15.22 所示。

表 15.6 定时器模式的规格

项目	规格
计数源	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
计数	- 递减计数 - 在发生下溢时，将重加载寄存器的内容进行重新加载后继续计数。
分频比	1/(n+1)，其中 n 为 TBi 寄存器（i=0～5）的设定值（0000h～FFFFh）。
计数开始条件	将 TBiS 位（注 1）置“1”（开始计数）。
计数停止条件	将 TBiS 位置“0”（停止计数）。
中断请求的发生	在发生下溢时
TBiIN 引脚功能	输入 / 输出端口
定时器的读	如果读 TBi 寄存器，就能读取计数值。
定时器的写	- 如果在计数停止时写 TBi 寄存器，数据就被写到重加载寄存器和计数器。 - 如果在计数时写 TBi 寄存器，数据就被写到重加载寄存器（在下次重新加载时进行传送）。

注 1. TB0S～TB2S 位为 TABSR 寄存器的 bit5～7，TB3S～TB5S 位为 TBSR 寄存器的 bit5～7。



15.2.2 事件计数器模式

事件计数器模式是对外部信号或者其他定时器的上溢 / 下溢进行计数的模式（表 15.7）。事件计数器模式中的 TBiMR 寄存器如图 15.23 所示。

表 15.7 事件计数器模式的规格

项目	规格
计数源	- 输入到 TBiIN 引脚（$i=0 \sim 5$）的外部信号（可通过程序选择计数源的有效边沿：上升沿、下升沿或者双边沿） - 定时器 Bj 的上溢或者下溢（$j=i-1$，但是 $i=0$ 时 $j=2$，$i=3$ 时 $j=5$）
计数	- 递减计数 - 在发生下溢时，将重加载寄存器的内容进行重新加载后继续计数。
分频比	$1/(n+1)$ ，其中 n 为 TBi 寄存器的设定值（0000h ~ FFFFh）。
计数开始条件	将 TBiS 位（注 1）置“1”（开始计数）。
计数停止条件	将 TBiS 位置“0”（停止计数）。
中断请求的发生	在发生下溢时
TBiIN 引脚功能	计数源输入引脚
定时器的读	如果读 TBi 寄存器，就能读取计数值。
定时器的写	- 如果在计数停止时写 TBi 寄存器，数据就被写到重加载寄存器和计数器。 - 如果在计数时写 TBi 寄存器，数据就被写到重加载寄存器（在下次重新加载时进行传送）。

注 1. TB0S ~ TB2S 位为 TABSR 寄存器的 bit5 ~ 7，TB3S ~ TB5S 位为 TBSR 寄存器的 bit5 ~ 7。

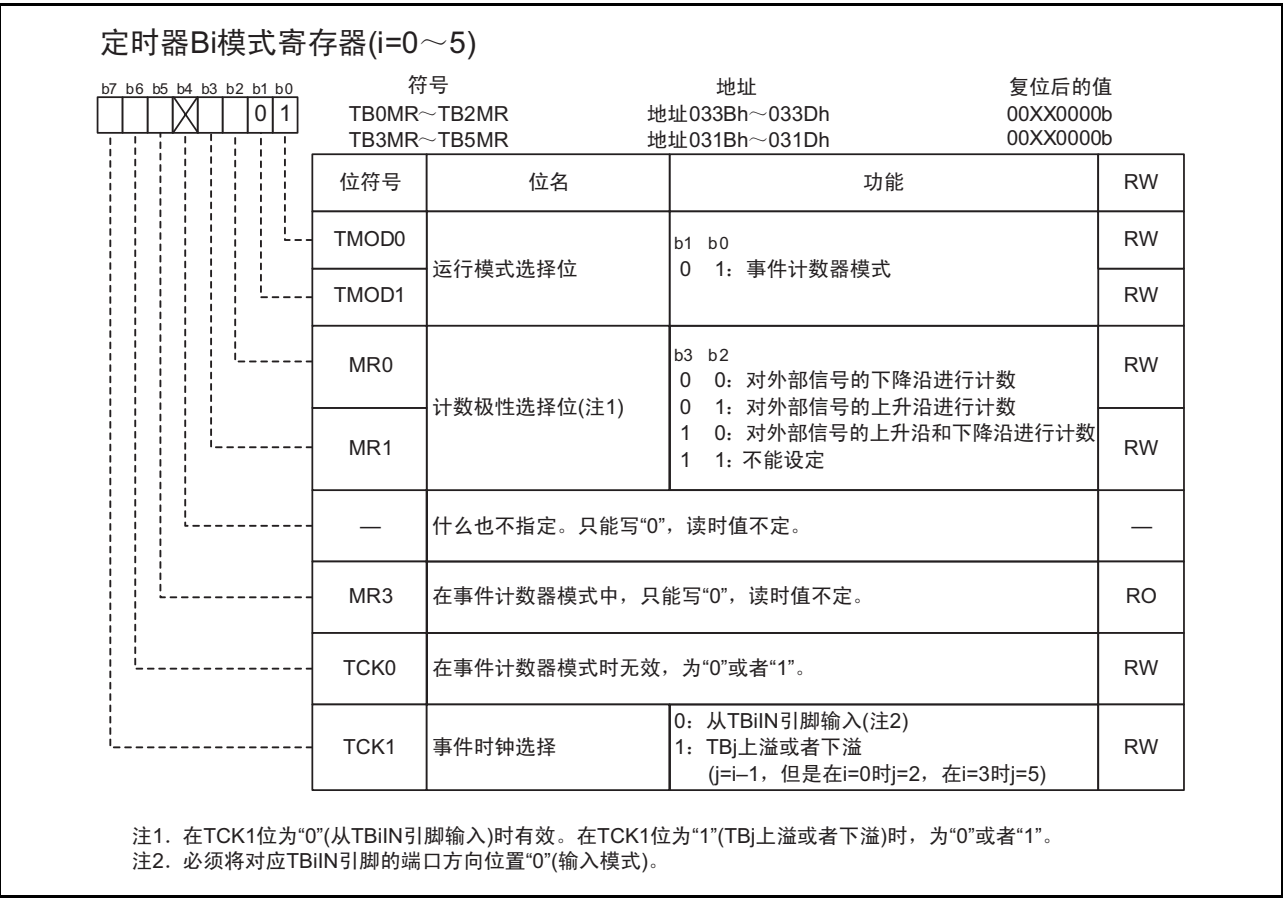


图 15.23 事件计数器模式中的 TBiMR 寄存器

15.2.3 脉冲周期测量模式和脉宽测量模式

这是测量外部信号的脉冲周期或者脉宽的模式（表 15.8）。脉冲周期测量模式和脉宽测量模式中的 TBiMR 寄存器如图 15.24 所示，测量脉冲周期和脉宽时的运行图分别如图 15.25 和图 15.26 所示。

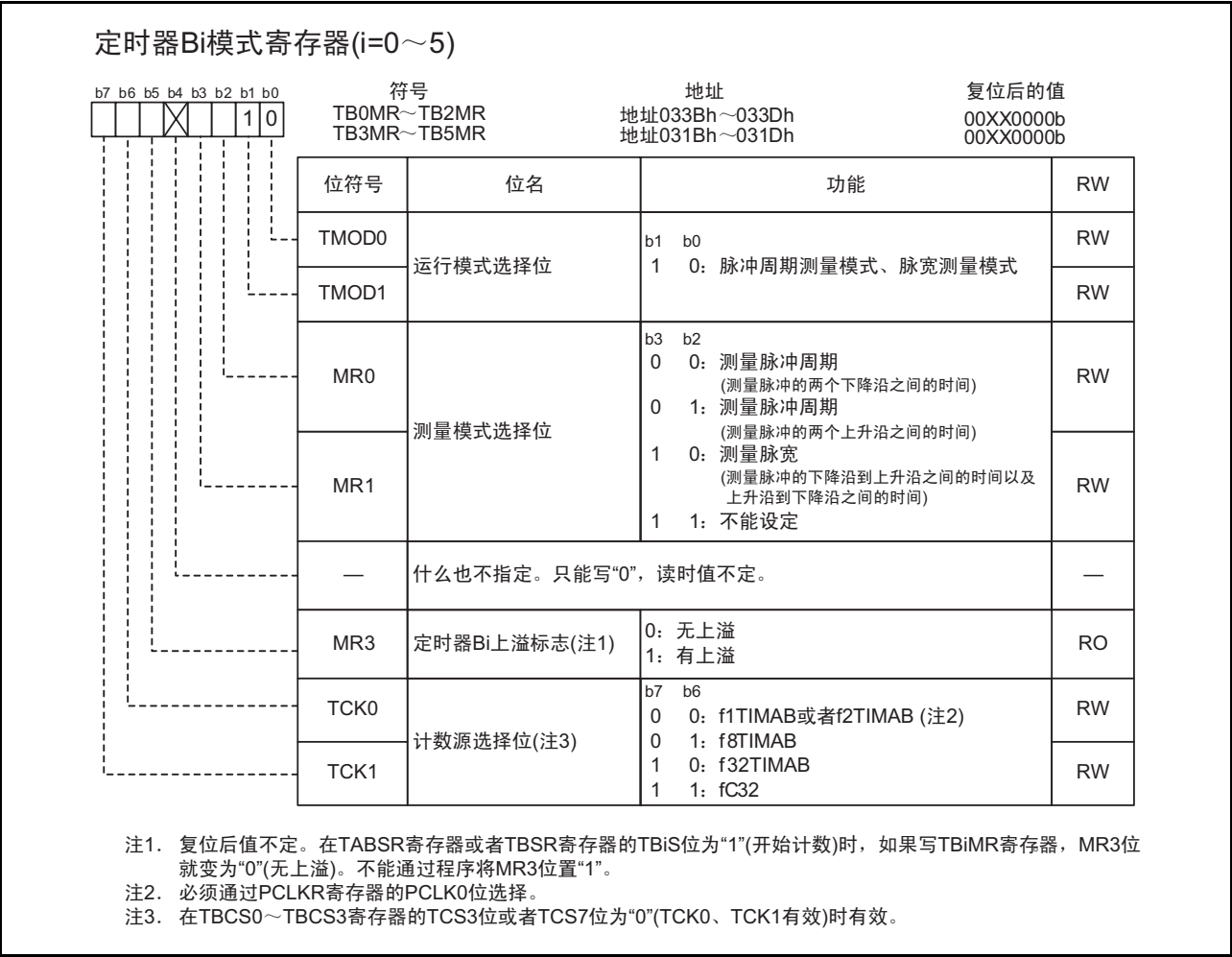
表 15.8 脉冲周期测量模式和脉宽测量模式的规格

项目	规格
计数源	f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32
计数	- 递增计数 - 在测量脉冲的有效边沿，将计数器的值传送到重加载寄存器，并将计数器的值置“0000h”后继续计数。
计数开始条件	将 TBiS 位（i=0 ~ 5）（注 3）置“1”（开始计数）。
计数停止条件	将 TBiS 位置“0”（停止计数）。
中断请求的发生	- 输入测量脉冲的有效边沿时（注 1） - 在发生上溢时。在上溢的同时，TBiMR 寄存器的 MR3 位变为“1”（有上溢）。
TBiIN 引脚功能	测量脉冲输入引脚
定时器的读	如果读 TBi 寄存器，就能读取重加载寄存器的内容（测量结果）（注 2）。
定时器的写	写到 TBi 寄存器的值不被写到重加载寄存器和计数器。

注 1. 在开始计数后输入第 1 个有效边沿时，不发生中断请求。

注 2. 在开始计数后到输入第 2 个有效边沿为止，TBi 寄存器的读取值不定。

注 3. TB0S ~ TB2S 位为 TABSR 寄存器的 bit5 ~ 7，TB3S ~ TB5S 位为 TBSR 寄存器的 bit5 ~ 7。



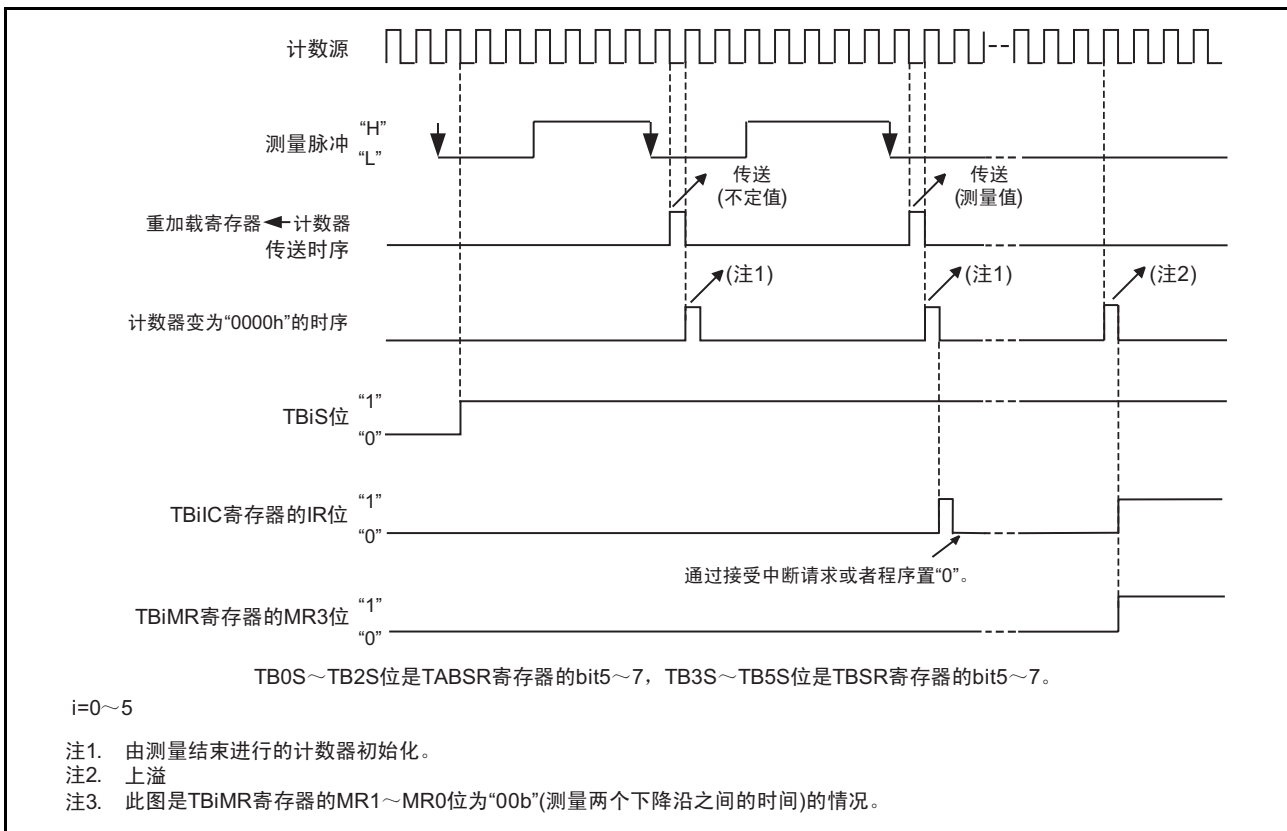


图 15.25 测量脉冲周期时的运行图

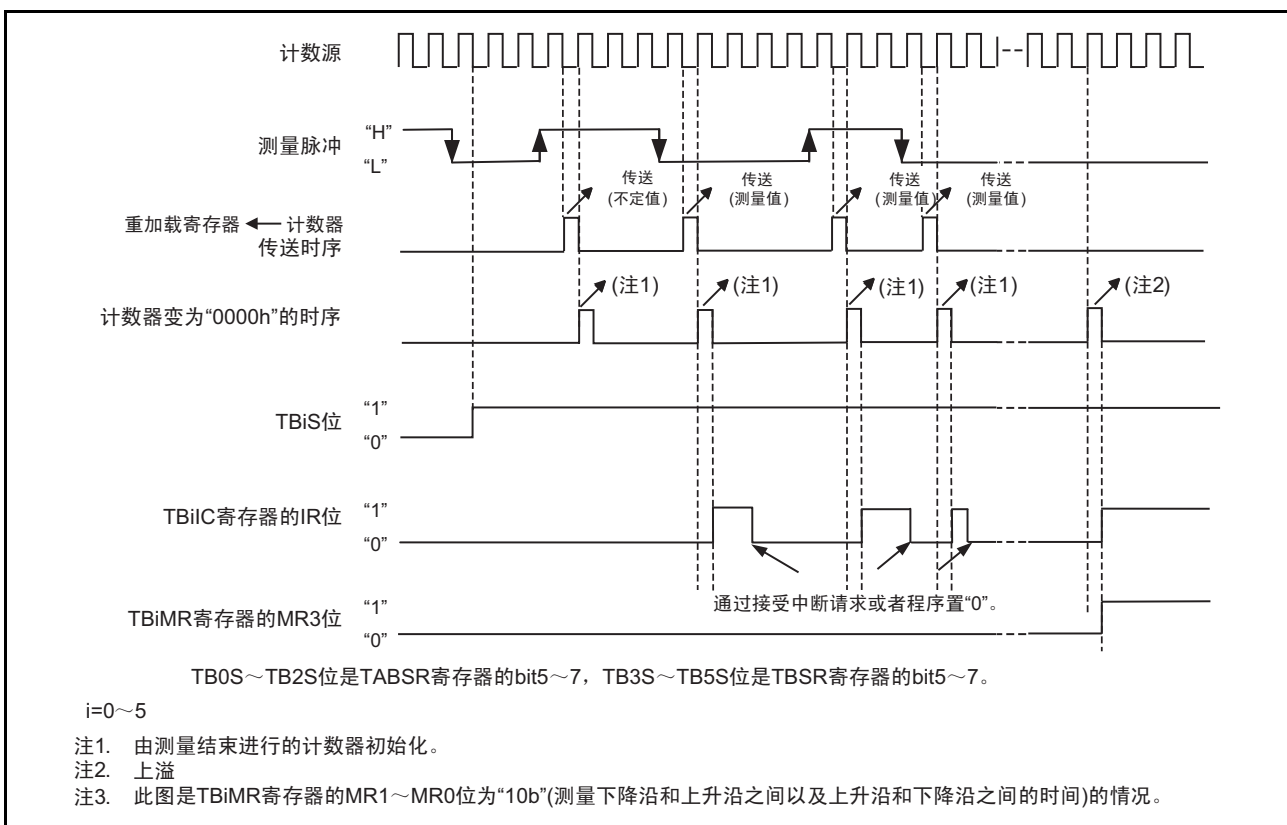


图 15.26 测量脉宽时的运行图

16. 三相马达控制的定时器功能

能使用定时器 A1、定时器 A2、定时器 A4 和定时器 B2 输出三相马达驱动波形。三相马达控制的定时器功能的规格如表 16.1 所示，三相马达控制的定时器功能的框图及其关联寄存器分别如图 16.1 和图 16.2 ～图 16.7 所示。

表 16.1 三相马达控制的定时器功能的规格

项目	规格
三相波形输出引脚	6 个 ($\overline{U}$ 、 $\overline{V}$ 、 $\overline{W}$)
强制切断输入 (注 1)	将 “L” 电平输入到 $\overline{SD}$ 引脚。
使用的定时器	定时器 A4、定时器 A1 和定时器 A2 (用于单触发定时器模式) 定时器 A4: $\overline{U}$ 相波形控制 定时器 A1: $\overline{V}$ 相波形控制 定时器 A2: $\overline{W}$ 相波形控制 定时器 B2 (用于定时器模式) 载波周期控制 死区时间定时器 (3 个 8 位定时器, 共用重加载寄存器) 死区时间控制
输出波形	三角波调制和锯齿波调制 • 可在 1 个周期中输出 “H” 电平或者 “L” 电平。 • 可独立设定正相电平和反相电平。
载波周期	三角波调制: 计数源 $\times(m+1)\times 2$ 锯齿波调制: 计数源 $\times(m+1)$ 其中, m 为 TB2 寄存器的设定值 (0000h ~ FFFFh), 计数源为 f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32。
三相 PWM 输出宽度	三角波调制: 计数源 $\times n \times 2$ 锯齿波调制: 计数源 $\times n$ 其中, n 为 TA4、TA1、TA2 (当 INV11 为 “1” 时, 为 TA4、TA41、TA1、TA11、TA2、TA21) 寄存器的设定值 (0001h ~ FFFFh), 计数源为 f1TIMAB、f2TIMAB、f8TIMAB、f32TIMAB、f64TIMAB、fOCO-S、fC32。
死区时间 (宽度)	计数源 $\times p$, 或者没有死区时间 其中, p 为 DTT 寄存器的设定值 (01h ~ FFh), 计数源为 f1TIMAB、f2TIMAB、f1TIMAB 的 2 分频、f2TIMAB 的 2 分频。
有效电平	可选择 “H” 电平或者 “L” 电平。
正反相电平同时有效禁止功能	具有正反相电平同时有效禁止功能和同时有效检测功能。
中断频率	定时器 B2 的中断频率可选择 1 ~ 15 个载波周期。

注 1. 通过 $\overline{SD}$ 输入进行的强制切断在 TB2SC 寄存器的 IVPCR1 位为 “1” (允许通过 $\overline{SD}$ 引脚输入进行三相输出的强制切断) 时有效。当 IVPCR1 位为 “1” 时, 如果将 “L” 电平输入到 $\overline{SD}$ 引脚, 对象引脚就与使用的功能无关而处于高阻抗状态。

对象引脚: P7_2/CLK2/TA1OUT/ $\overline{V}$ 、P7_3/ $\overline{CTS2}$ / $\overline{RTS2}$ /TA1IN/ $\overline{V}$ 、P7_4/TA2OUT/ $\overline{W}$ 、P7_5/TA2IN/ $\overline{W}$ 、
P8_0/TA4OUT/RXD5/SCL5/ $\overline{U}$ 、P8_1/TA4IN/CTS5/RTS5/ $\overline{U}$

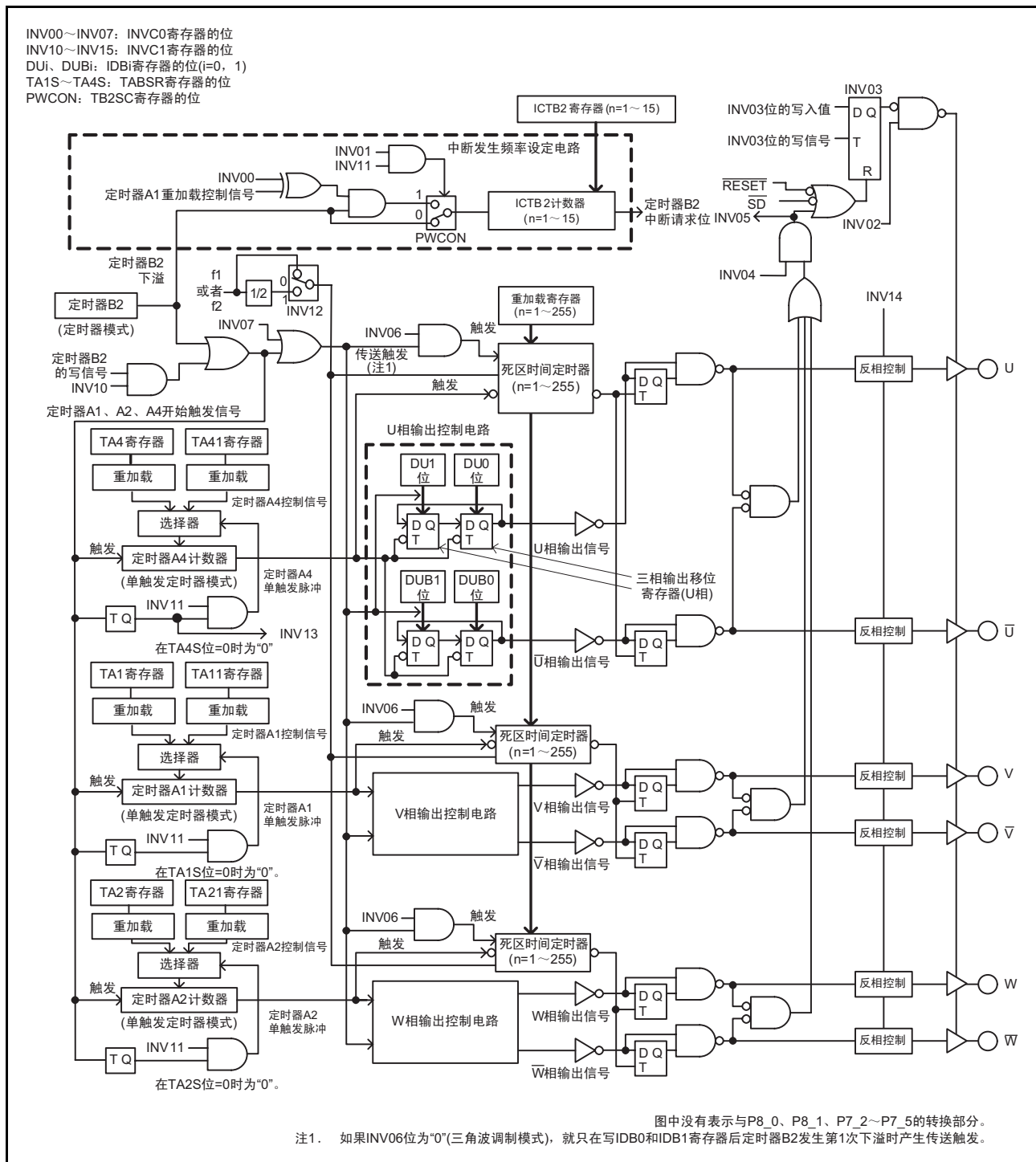


图 16.1 三相马达控制的定时器功能的框图

三相PWM控制寄存器0 (注1)

b7 b6 b5 b4 b3 b2 b1 b0								符号	地址	复位后的值	
								INVC0	地址0308h	00h	
								位符号	位名	功能	RW
								INV00	中断有效输出极性选择位	0: 在定时器A1重加载控制信号的上升沿, ICTB2计数器的计数加1 1: 在定时器A1重加载控制信号的下降沿, ICTB2计数器的计数加1(注3)	RW
								INV01	中断有效输出指定位(注2)	0: 在定时器B2下溢时ICTB2计数器的计数加1 1: 通过INV00位选择(注3)	RW
								INV02	模式选择位(注4)	0: 不使用三相马达控制的定时器功能 1: 使用三相马达控制的定时器功能(注5)	RW
								INV03	输出控制位(注6)	0: 禁止三相马达控制的定时器输出(注5) 1: 允许三相马达控制的定时器输出	RW
								INV04	正反相同时有效输出禁止位	0: 允许同时有效输出 1: 禁止同时有效输出	RW
								INV05	正反相同时有效输出检测标志	0: 未检测到 1: 检测到(注7)	RW
								INV06	调制模式选择位(注8)	0: 三角波调制模式 1: 锯齿波调制模式(注9)	RW
								INV07	软件触发选择位	如果将此位置“1”，就产生传送触发。在INV06位为“1”时，也对死区时间定时器产生触发。读时值为“0”。	RW

注1. 必须在将PRCR寄存器的PRC1位置“1”(允许写)后改写此寄存器。另外，必须在定时器A1、A2、A4、B2处于停止状态时改写INV00~INV02、INV06位。

注2. 要将此位置“1”时，必须在给ICTB2寄存器设定值后进行。

注3. 在INVC1寄存器的INV11位为“1”(三相模式1)时有效。在INV11位为“0”(三相模式0)时，与INV00和INV01位无关，在定时器B2每次下溢时ICTB2计数器的计数加1。
在将INV01位置“1”时，必须在定时器B2最初发生下溢前将定时器A1计数开始标志置“1”。
在将INV00位置“1”时，假如ICTB2计数器的设定值为n，最初的中断就发生在定时器B2的第n-1次下溢时，而第2次以后的中断发生在定时器B2每n次下溢时。

注4. 如果将INV02位置“1”，死区时间定时器、U、V、W相输出控制电路和ICTB2计数器就开始运行。

注5. 如果将INV02位置“1”(三相马达控制的定时器功能)、各端口的方向寄存器设定为输入端口以及将INV03位置“0”(禁止三相马达控制的定时器输出)，U、 $\bar{U}$ 、V、 $\bar{V}$ 、W、 $\bar{W}$ 引脚(也包括设定为其他输出功能的复用引脚)就全部为高阻抗。

在INV03位为“1”时，U/V/W的对应引脚进行三相PWM输出。

注6. INV03位在以下情况下变为“0”：

- 复位
- 在INV04位为“1”变为同时有效输出时
- 通过程序置“0”时
- SD引脚的输入从“H”变为“L”电平时

在INV04位和INV05位都为“1”时，INV03位变为“0”。

注7. 不能通过程序将该位置“1”。在将INV05位置“0”时，必须将INV04位置“0”。

注8. INV06位的影响如下表所示：

项目	INV06位=0	INV06位=1
模式	三角波调制模式	锯齿波调制模式
从IDB0寄存器和IDB1寄存器到三相输出移位寄存器的传送时序。	在写IDB0寄存器和IDB1寄存器后，与传送触发同步只进行1次传送。	每次传送触发时传送。
在INV16=0时的死区时间定时器触发时序。	与定时器A1、A2、A4的单触发脉冲的下降沿同步。	定时器A1、A2、A4的单触发脉冲的下降沿和传送触发同步。
INV13位	在INV11=1并且INV06=0时有效。	无效

传送触发：定时器B2下溢、写INV07位或者在INV10=1时写TB2寄存器。

注9. 在INV06位为“1”时，必须将INV11位置“0”(三相模式0)、TB2SC寄存器的PWCON位置“0”(在定时器B2下溢时重新加载定时器B2)。

图 16.2 INVC0 寄存器

三相PWM控制寄存器1 (注1)

b7b6b5b4b3b2b1b0								符号	地址	复位后的值	
0								INVC1	地址0309h	00h	
								位符号	位名	功能	RW
								INV10	定时器A1、A2、A4开始触发选择位	0: 定时器B2下溢 1: 在定时器B2下溢时，写TB2寄存器	RW
								INV11	定时器A1-1、A2-1、A4-1控制位(注2)	0: 三相模式0 (注3) 1: 三相模式1	RW
								INV12	死区时间定时器计数源选择位	0: f1TIMAB或者f2TIMAB 1: f1TIMAB的2分频或者f2TIMAB的2分频	RW
								INV13	载波状态检测标志(注4)	0: 定时器A1重加载控制信号为“0” 1: 定时器A1重加载控制信号为“1”	RO
								INV14	输出极性控制位	0: 输出波形“L”电平有效 1: 输出波形“H”电平有效	RW
								INV15	死区时间无效位	0: 死区时间有效 1: 死区时间无效	RW
								INV16	死区时间定时器触发选择位(注5)	0: 定时器(A4、A1、A2)的单触发脉冲的下降沿 1: 三相输出移位寄存器(U、V、W相)输出的上升沿	RW
								— (b7)	保留位	必须置“0”。	RW

注1. 必须在将PRCR寄存器的PRC1位置“1”(允许写)后改写此寄存器。另外，必须在定时器A1、A2、A4、B2处于停止状态时改写此寄存器。

注2. INV11位的影响如下表所示：

项目	INV11位=0	INV11位=1
模式	三相模式0	三相模式1
TA11、TA21、TA41寄存器	不使用	使用
INVC0寄存器的INV00位和INV01位	无效。 与INV00和INV01位的值无关，在定时器B2每次下溢时ICTB2计数。	有效
INV13位	无效	在INV11=1并且INV06=0时有效。

注3. 在INVC0寄存器的INV06位为“1”(锯齿波调制模式)时，必须置“0”(三相模式0)。另外，在INV11位为“0”时，必须将TB2SC寄存器的PWCON位置“0”(在定时器B2下溢时重新加载定时器B2)。

注4. INV13位只在INV06位为“0”(三角波调制模式)并且INV11位为“1”(三相模式1)时有效。

注5. 在以下条件全部成立时，必须将INV16位置“1”(死区时间定时器的触发为三相输出移位寄存器输出的上升沿)：

- INV15位为“0”(死区时间有效)。
- 在INV03位为“1”(允许三相马达控制的定时器输出)时，Dij位(i: U、V或者W、j: 0~1)和DiBj位的值总是不同(在死区时间以外的期间、正相和反相总是以相反的电平输出)。

另外，在上述某个条件不成立时，必须将INV16位置“0”(死区时间定时器的触发为定时器单触发脉冲的下降沿)。

图 16.3 INVC1 寄存器

三相输出缓冲寄存器*i* (*i*=0, 1)(注1)

b7b6b5b4b3b2b1b0	符号 IDB0 IDB1	地址 地址030Ah 地址030Bh	复位后的值 XX111111b XX111111b	
	位符号	位名	功能	RW
	DUi	U相输出缓冲 i	必须写输出电平。 0: 有效电平 1: 无效电平 读时, 能读取三相移位寄存器的值。	RW
	DUBi	$\bar{U}$ 相输出缓冲 i		RW
	DVi	V相输出缓冲 i		RW
	DVBi	$\bar{V}$ 相输出缓冲 i		RW
	DWi	W相输出缓冲 i		RW
	DWBi	$\bar{W}$ 相输出缓冲 i		RW
	— (b7-b6)	什么也不指定。只能写“0”，读时值不定。		—

注1. 通过传送触发将IDB0和IDB1寄存器的值传送到三相输出移位寄存器。在传送触发后, IDB0寄存器中的写入值变为各相的输出信号, 然后在定时器A1、A2、A4单触发脉冲的下降沿IDB1寄存器中的写入值变为各相的输出信号。

死区时间定时器(注1、2)

b7 b6 b5 b4 b3 b2 b1 b0	符号 DTT	地址 地址030Ch	复位后的值 不定
	功能	设定范围	RW
	假设设定值为 <i>n</i> , 就在开始触发后对INVC1寄存器的INV12位选择的计数源进行 <i>n</i> 次计数, 然后停止。正反相中的无效电平变为有效电平的相在死区时间定时器停止时发生变化。	1~255	WO

注1. 必须用MOV指令写此寄存器。

注2. 在INVC1寄存器的INV15位为“0”(死区时间有效)时有效。在INV15位为“1”(死区时间无效)时没有死区时间。必须通过INVC0寄存器的INV06位选择DTT寄存器的开始触发。

定时器B2的中断发生频率设定计数器(注1、2、3)

b7 b6 b5 b4 b3 b2 b1 b0	符号 ICTB2	地址 地址030Dh	复位后的值 不定
	功能	设定范围	RW
	在INV01位为“0”(在定时器B2每次下溢时ICTB2计数器计数)时, 假设设定值为 <i>n</i> , 就在定时器B2每 <i>n</i> 次下溢时产生定时器B2的中断请求。在INV01位为“1”(通过INV00位选择ICTB2计数器计数时序)时, 假设设定值为 <i>n</i> , 就按照INV00位选择的条件, 在定时器B2每 <i>n</i> 次下溢时产生定时器B2的中断请求。	1~15	WO
	什么也不指定。只能写“0”。		—

注1. 必须用MOV指令写ICTB2寄存器。

注2. 如果INVC0寄存器的INV01位为“1”, 就必须在TABSR寄存器的TB2S位为“0”(定时器B2停止计数)时写此寄存器。在INV01位为“0”的情况下, 尽管能在TB2S位为“1”(定时器B2开始计数)时写此寄存器, 但是请不要在定时器B2下溢时写。

注3. 在将INV00位置“1”时, 假设ICTB2计数器的设定值为*n*, 最初的中断就发生在定时器B2的第*n*-1次下溢时, 而第2次以后的中断发生在定时器B2每*n*次下溢时。

图 16.4 IDB0、IDB1、DTT 和 ICTB2 寄存器



图 16.5 TA1、TA2、TA4、TA11、TA21、TA41 和 TB2SC 寄存器

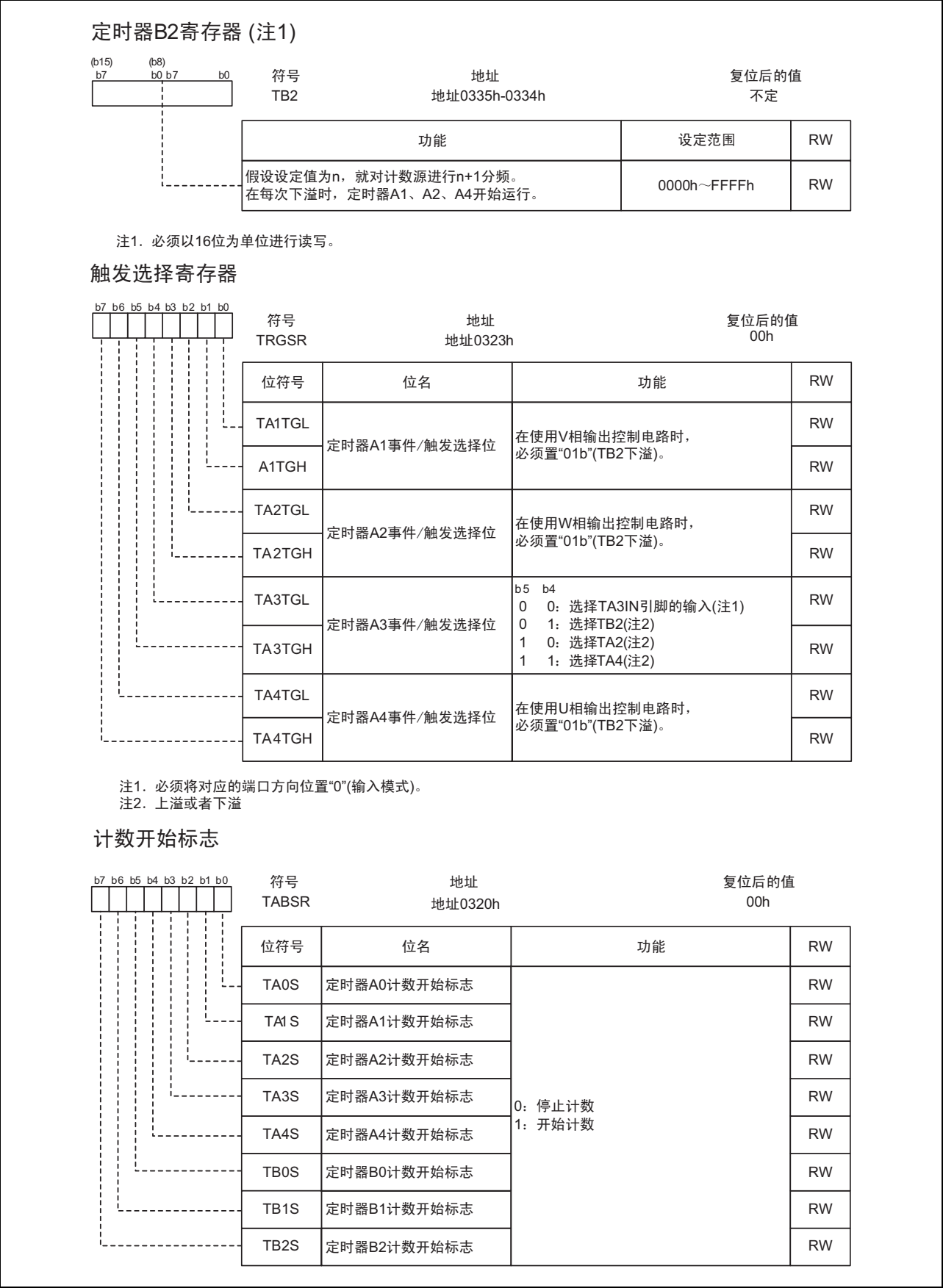


图 16.6 TB2、TRGSR 和 TABSR 寄存器

定时器Ai模式寄存器(i=1, 2, 4)

b7	b6	b5	b4	b3	b2	b1	b0	符号	地址	复位后的值	
		0	1	0	0	1	0	TA1MR TA2MR TA4MR	地址0337h 地址0338h 地址033Ah	00h 00h 00h	
								位符号	位名	功能	RW
								TMOD0	运行模式选择位	在使用三相马达控制的定时器功能时， 必须置“10b”(单触发定时器模式)。	RW
								TMOD1			RW
								MR0	脉冲输出功能选择位	在使用三相马达控制的定时器功能时， 必须置“0”。	RW
								MR1	外部触发选择位	在使用三相马达控制的定时器功能时， 必须置“0”。	RW
								MR2	触发选择位	在使用三相马达控制的定时器功能时， 必须置“1”(通过TRGSR寄存器选择)。	RW
								MR3	在使用三相马达控制的定时器功能时，必须置“0”。		RW
								TCK0	计数源选择位(注2)	b7 b6 0 0: f1TIMAB或者f2TIMAB(注1) 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW
								TCK1			RW

注1. 必须通过PCLKR寄存器的PCLK0位选择。
注2. 在TACS0~TACS2寄存器的TCS3和TCS7位为“1”时有效。在TCS3和TCS7位为“0”时，必须通过TACS0~TACS2寄存器的TCS2~TCS0位或者TCS6~TCS4位选择(参照“图15.8 TACS0和TACS1寄存器”和“图15.9 TACS2寄存器”)。

定时器B2模式寄存器

b7	b6	b5	b4	b3	b2	b1	b0	符号	地址	复位后的值	
			X			0	0	TB2MR	地址033Dh	00XX0000b	
								位符号	位名	功能	RW
								TMOD0	运行模式选择位	在使用三相马达控制的定时器功能时， 必须置“00b”(定时器模式)。	RW
								TMOD1			RW
								MR0	在使用三相马达控制的定时器功能时无效。 只能写“0”，读时值不定。		RW
								MR1			RW
								— (b4)	什么也不指定。只能写“0”，读时值不定。		—
								MR3	在使用三相马达控制的定时器功能时，只能写“0”，读时值不定。		RO
								TCK0	计数源选择位(注2)	b7 b6 0 0: f1TIMAB或者f2TIMAB (注1) 0 1: f8TIMAB 1 0: f32TIMAB 1 1: fC32	RW
								TCK1			RW

注1. 必须通过PCLKR寄存器的PCLK0位选择。
注2. 在TBCS1寄存器的TCS3位为“1”时有效。在TBCS1寄存器的TCS3位为“0”时，必须通过TBCS1寄存器的TCS2~TCS0位选择(参照“图15.21 TBCS1寄存器”)。

图 16.7 TA1MR、TA2MR、TA4MR 和 TB2MR 寄存器

如果将 INVC0 寄存器的 INV02 位置“1”，三相马达控制的定时器功能就有效。在此功能中，定时器 B2 用于载波控制，定时器 A4、定时器 A1 和定时器 A2 用于三相 PWM 输出（U、 $\bar{U}$ 、V、 $\bar{V}$ 、W、 $\bar{W}$ ）的控制。死区时间由专用死区时间定时器来控制。三角波调制和锯齿波调制的运行例子分别如图 16.8 和图 16.9 所示。

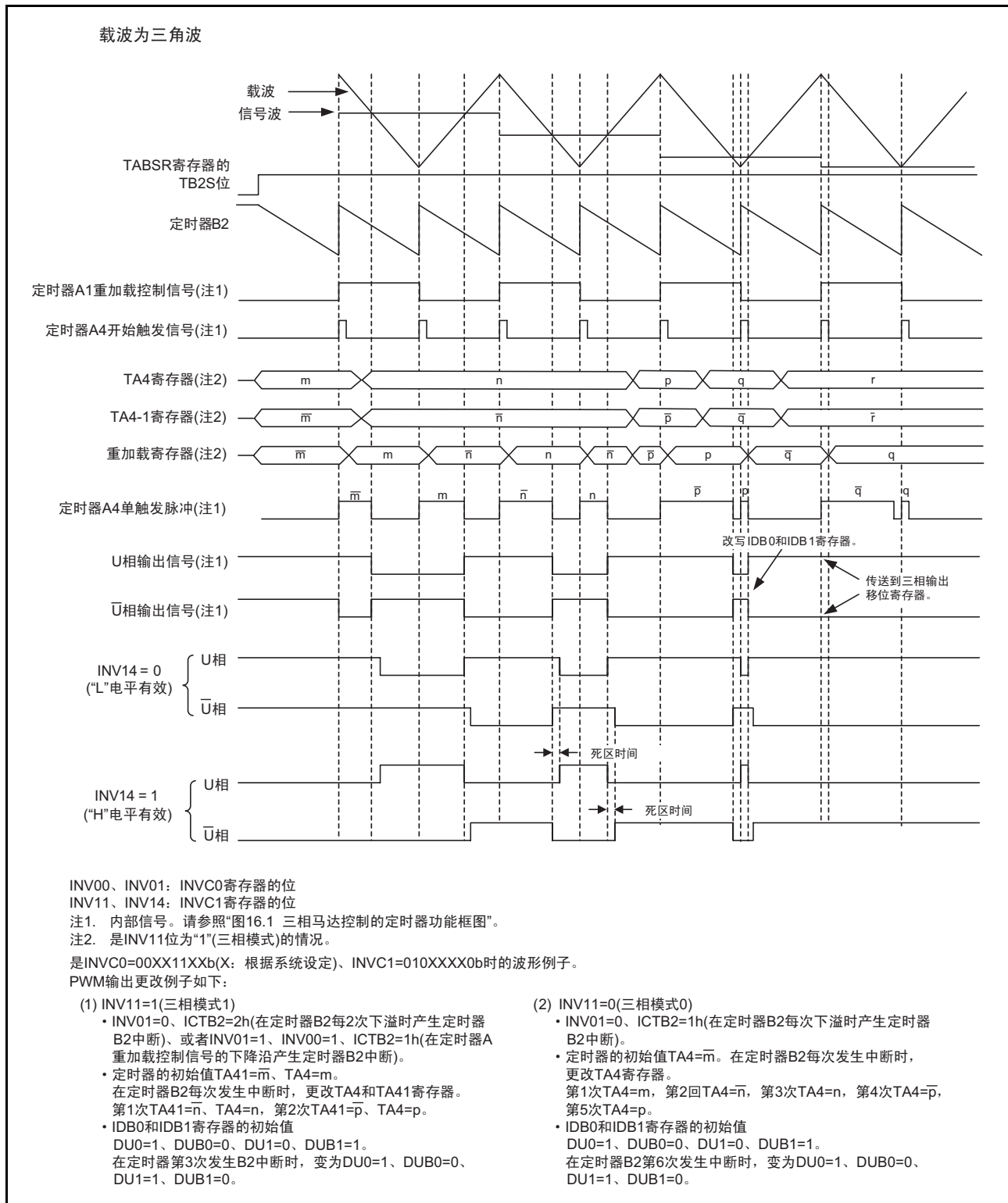


图 16.8 三角波调制的运行例子

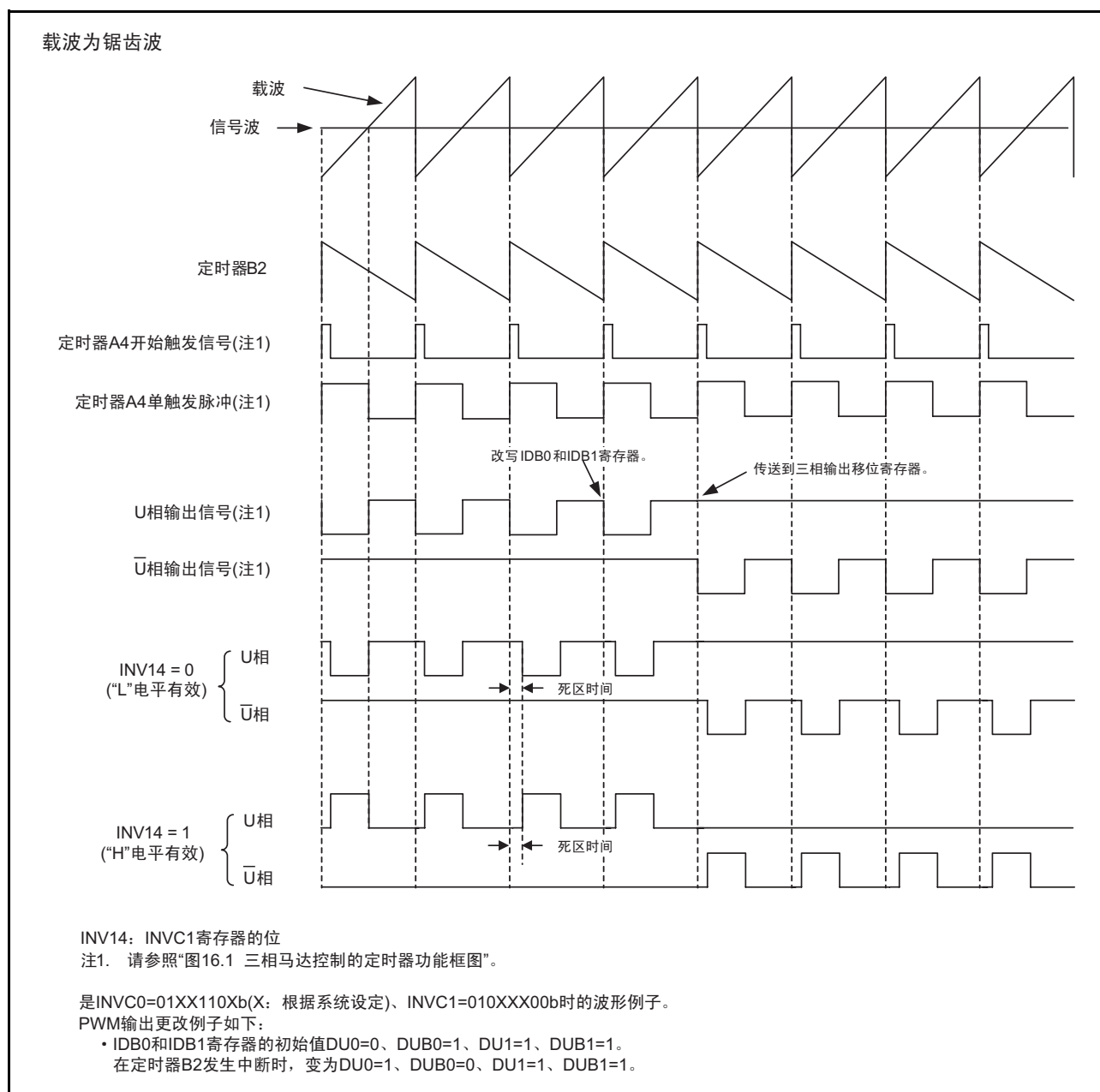


图 16.9 锯齿调制的运行例子

17. 串行接口

串行接口由 UART0 ~ UART2、UART5 ~ UART7、SI/O3、SI/O4 共 8 个通道构成。
以下分别进行说明。

17.1 UARTi (i=0 ~ 2, 5 ~ 7)

UARTi 分别有专用的传送时钟发生定时器并独立运行。

UARTi 框图以及 UARTi 发送和接收部框图分别如图 17.1 ~ 图 17.3 和图 17.4 所示。

UARTi 有以下模式：

- 时钟同步串行 I/O 模式
- 异步串行 I/O 模式（UART 模式）
- 特殊模式 1（I²C 模式）
- 特殊模式 2
- 特殊模式 3（总线冲突检测功能、IE 模式）
- 特殊模式 4（SIM 模式）：UART2

UARTi 的关联寄存器如图 17.5 ~ 图 17.11 所示。

有关寄存器的设定请参照各模式表。

另外，在存储器扩展模式或者微处理器模式中，不能使用 UART6 和 UART7。

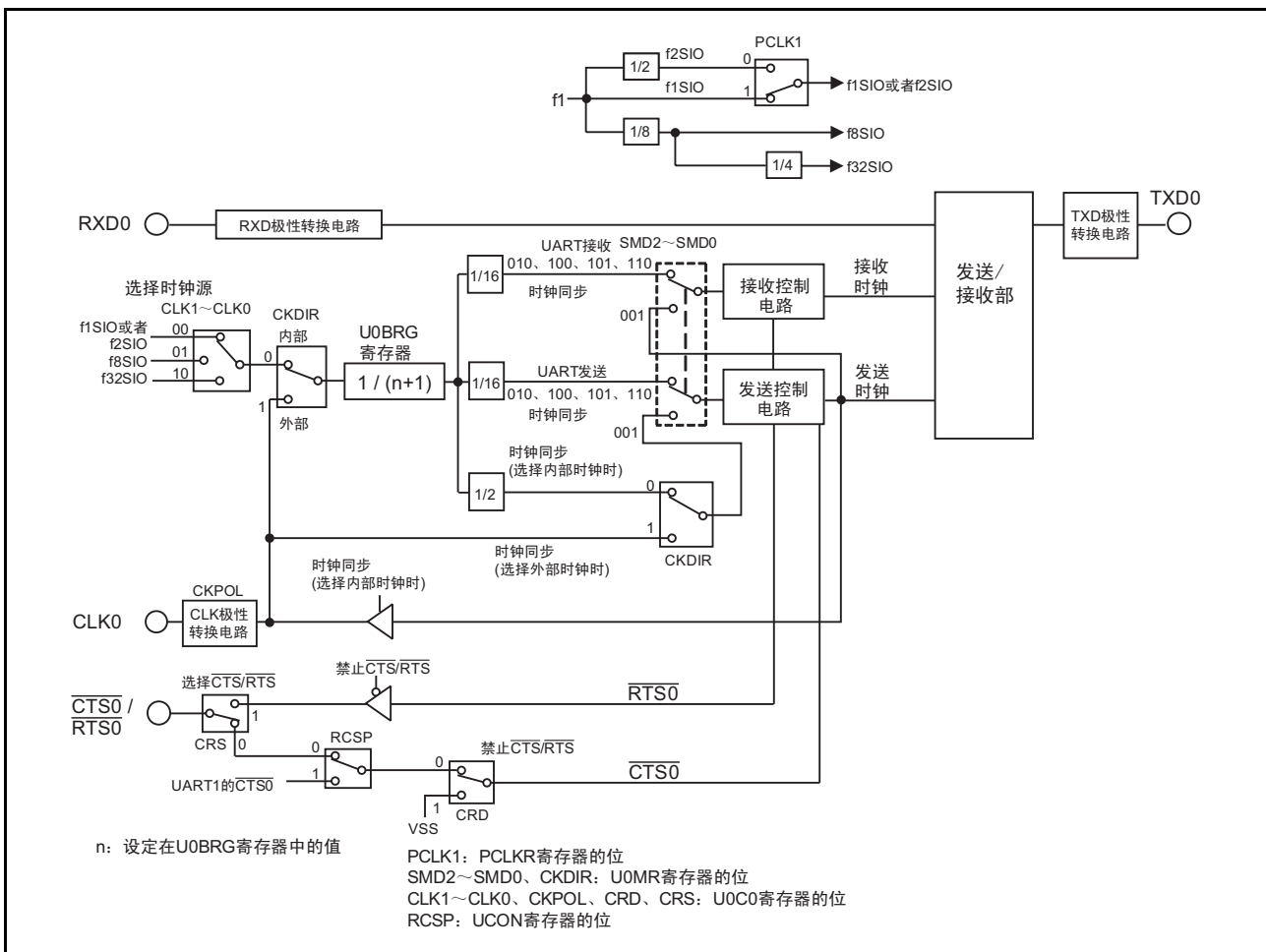


图 17.1 UART0 框图

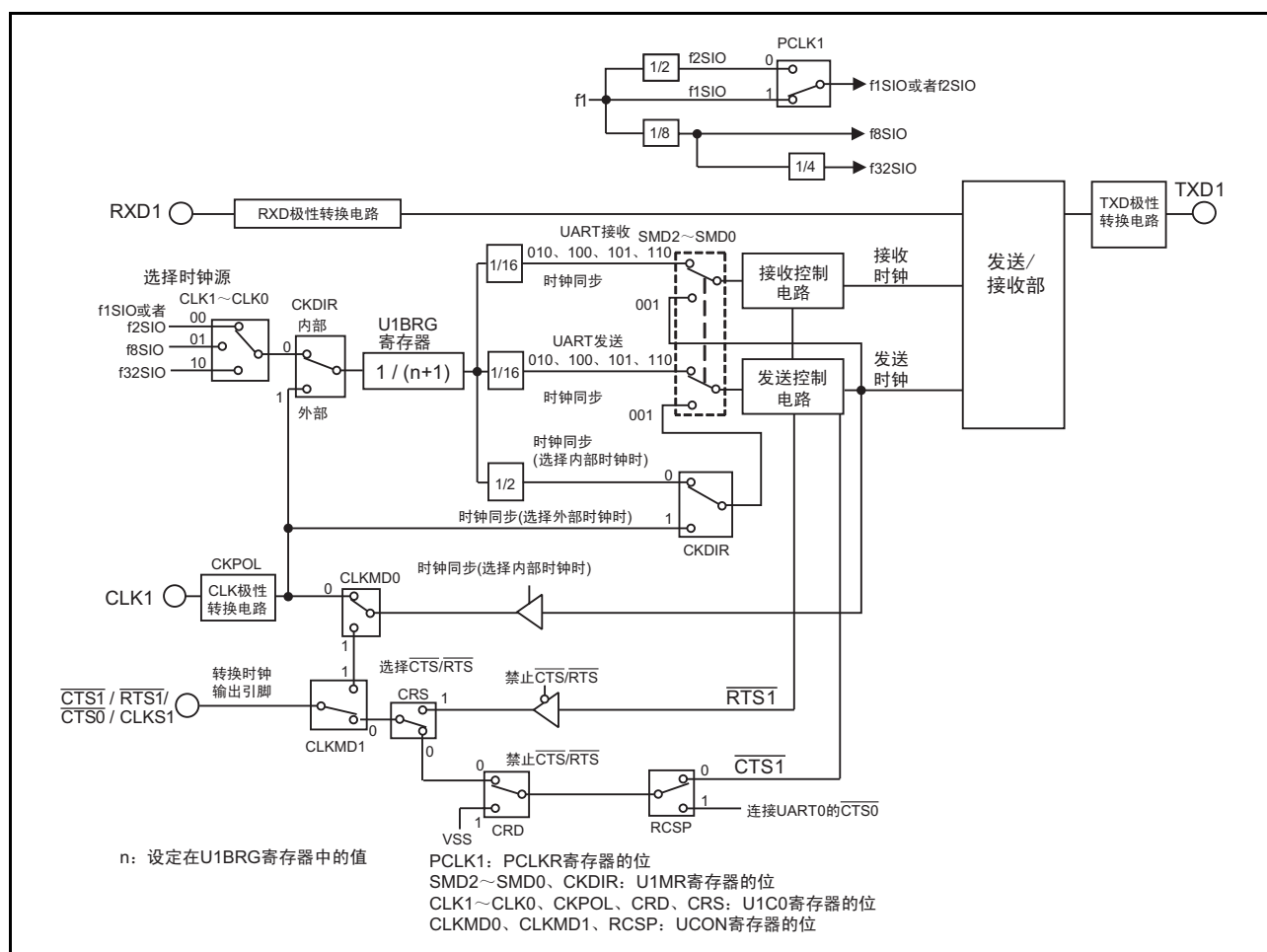


图 17.2 UART1 框图

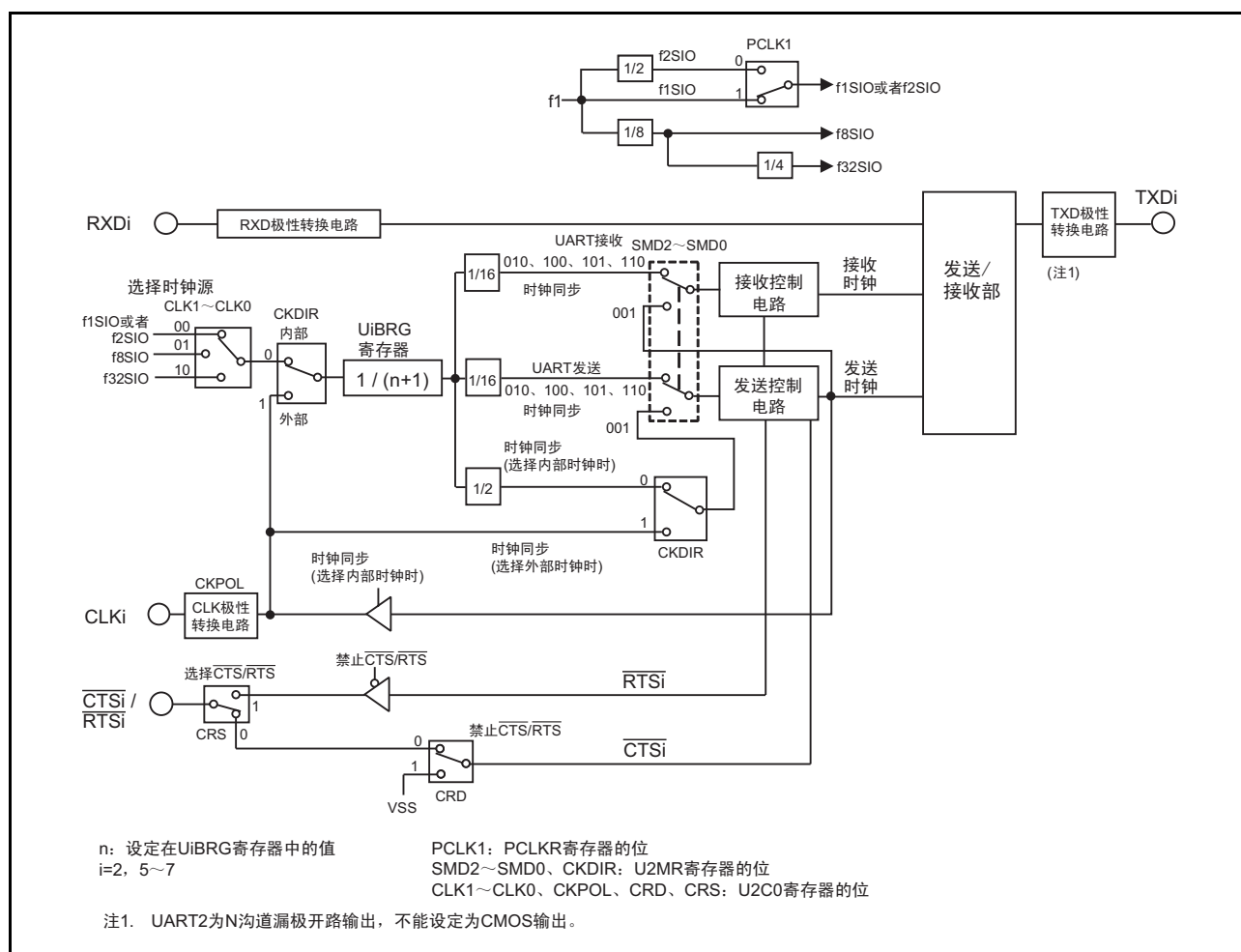


图 17.3 UART2、UART5 ~ 7 框图

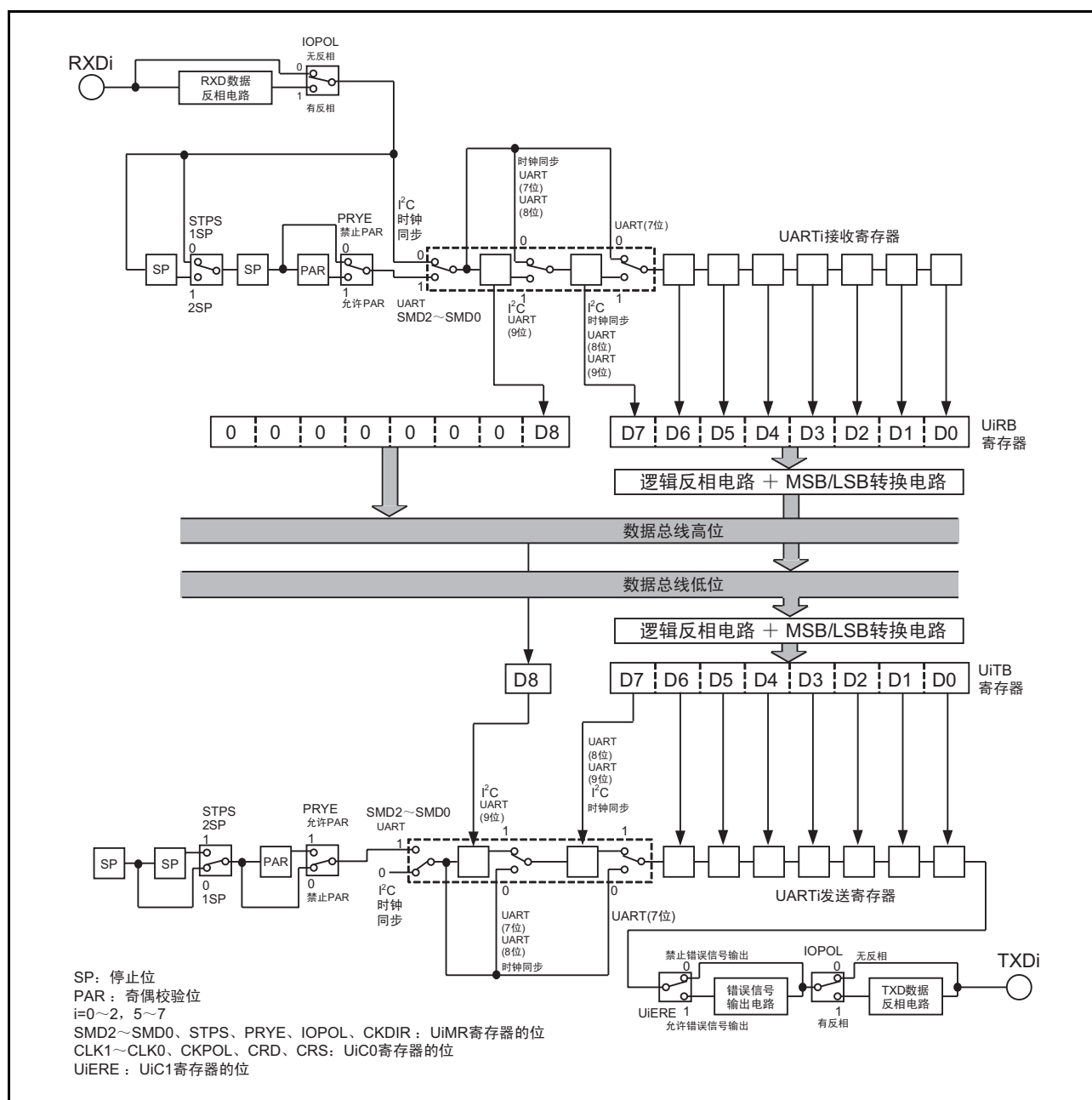
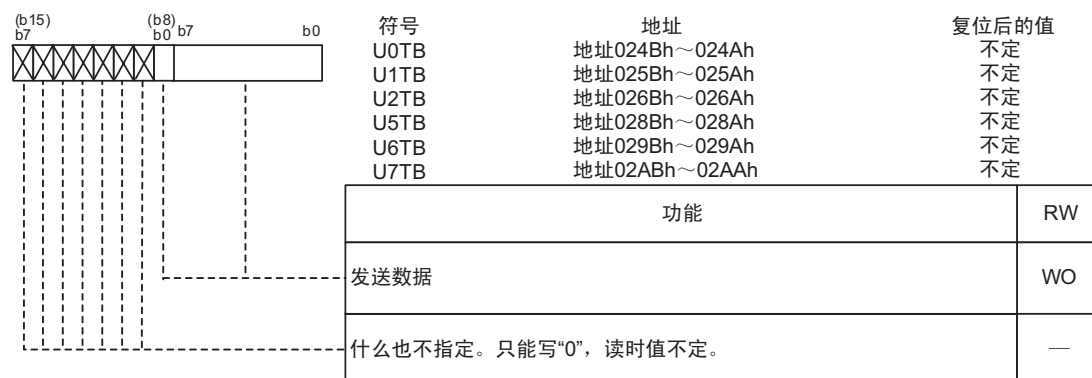


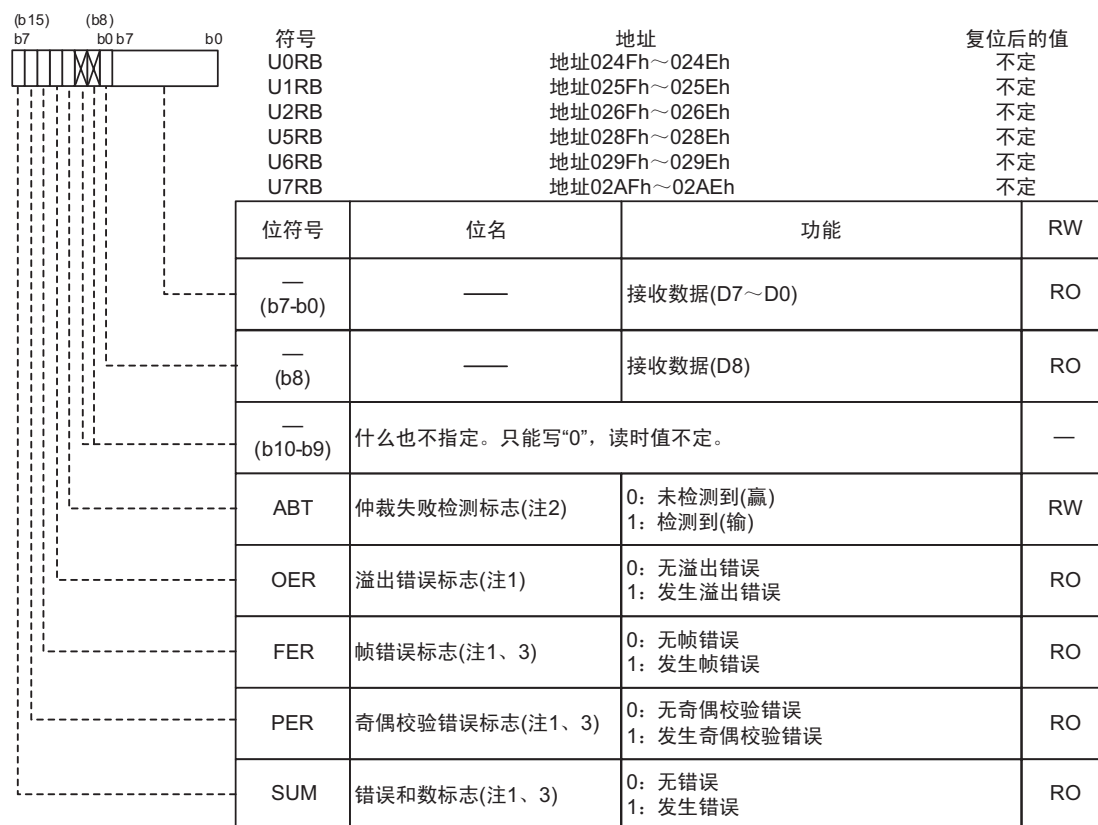
图 17.4 UARTi 发送和接收部框图

UARTi发送缓冲寄存器 (i=0~2, 5~7) (注1)



注1. 必须用MOV指令写此寄存器。

UARTi接收缓冲寄存器 (i=0~2, 5~7)



注1. 在将UiMR寄存器的SMD2~SMD0位置“000b”(串行接口无效)或者将UiC1寄存器的RE位置“0”(禁止接收)时，SUM、PER、FER、OER位都变为“0”(无错误)。如果PER、FER、OER位都为“0”(无错误)，SUM位就变为“0”(无错误)。另外，在读UiRB寄存器的低位字节时，PER、FER位变为“0”。

注2. 如果通过程序给ABT位写“0”，该位就变为“0”(即使写“1”也不变)。

注3. 在SMD2~SMD0位为“001b”(时钟同步串行I/O模式)或者“010b”(I²C模式)时，这些错误标志无效，读时值不定。

图 17.5 U0TB ~ U2TB、U5TB ~ U7TB、U0RB ~ U2RB 和 U5RB ~ U7RB 寄存器

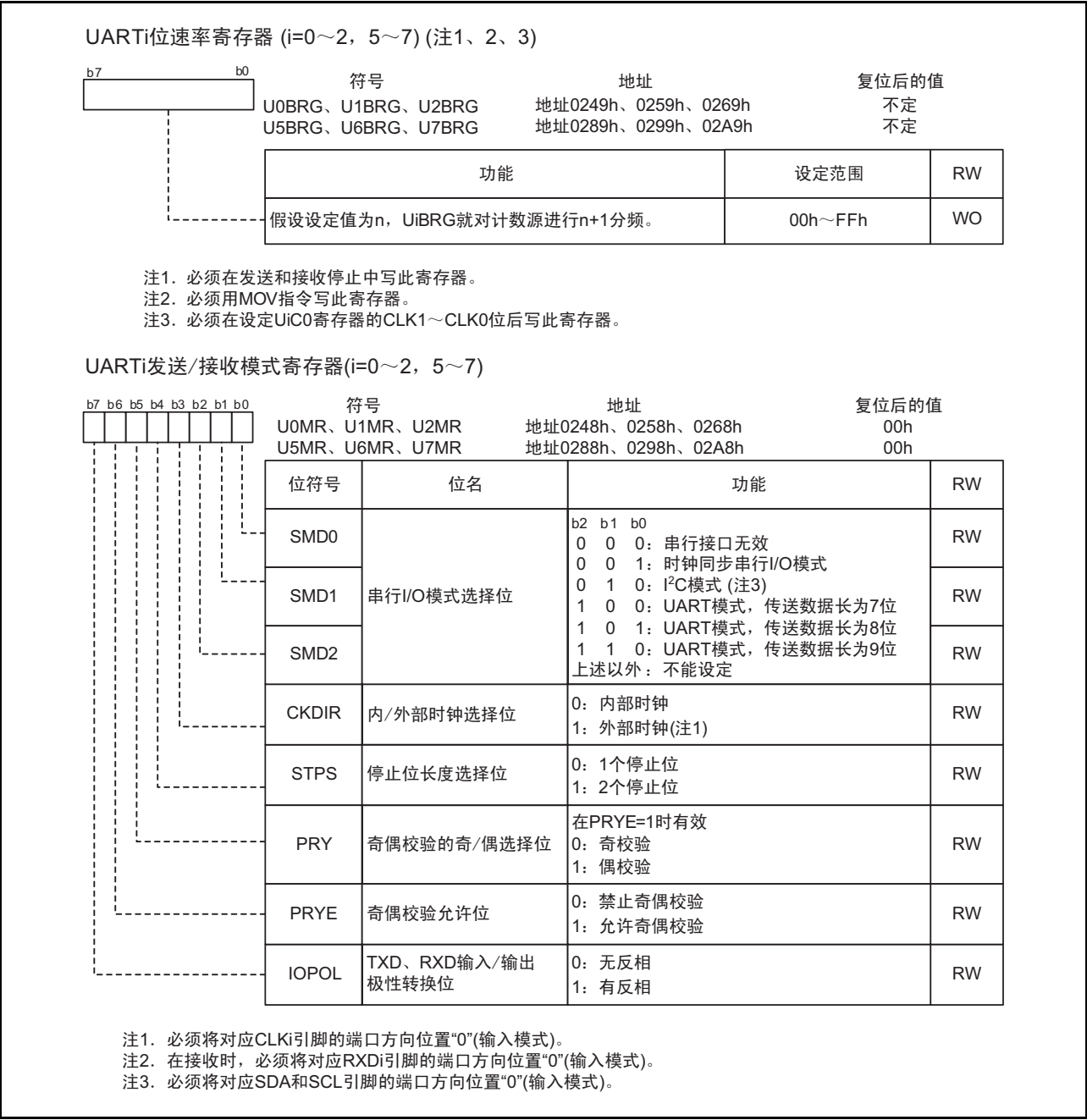


图 17.6 U0BRG ~ U2BRG、U5BRG ~ U7BRG、U0MR ~ U2MR 和 U5MR ~ U7MR 寄存器

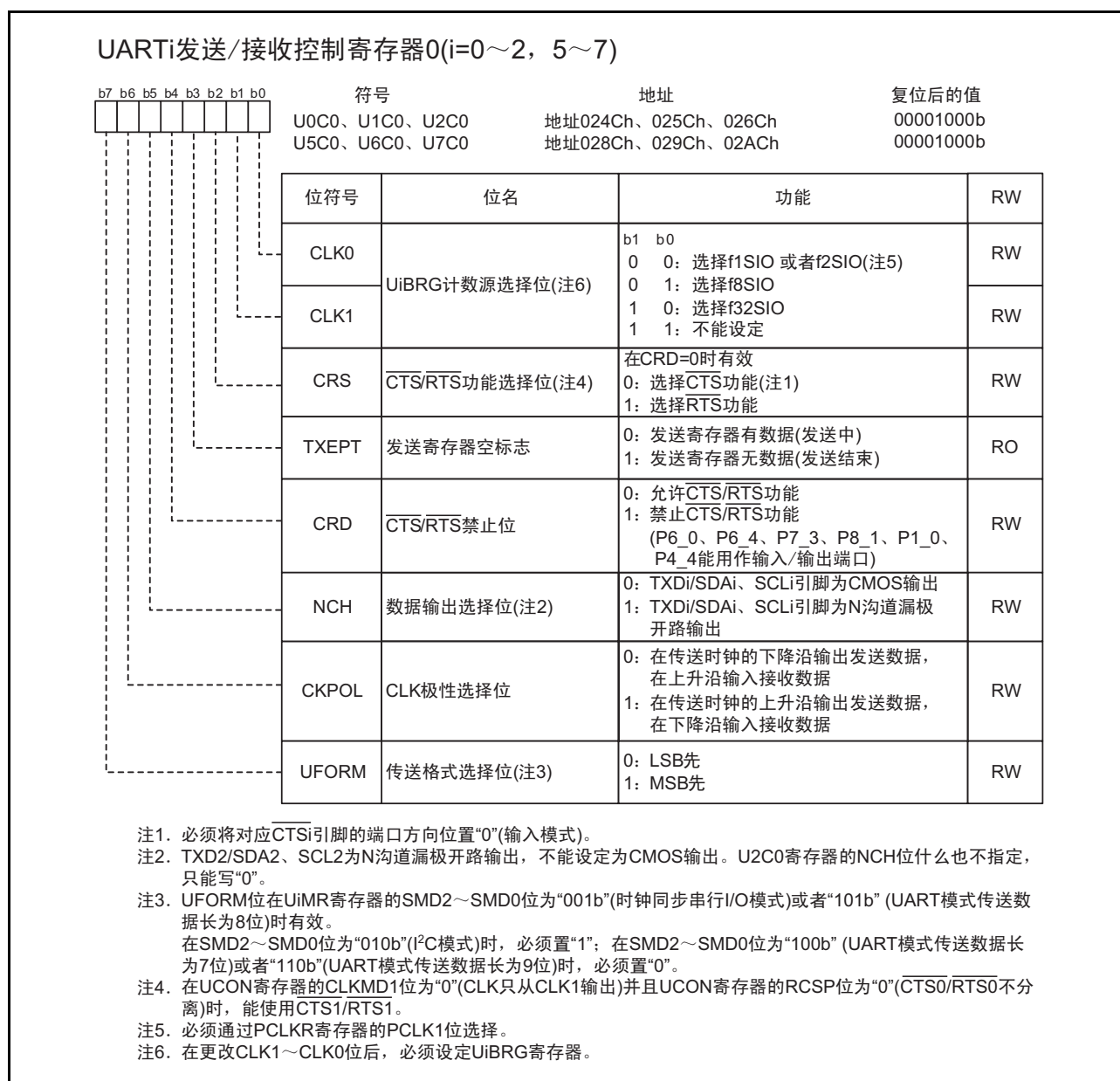


图 17.7 U0C0 ~ U2C0 和 U5C0 ~ U7C0 寄存器

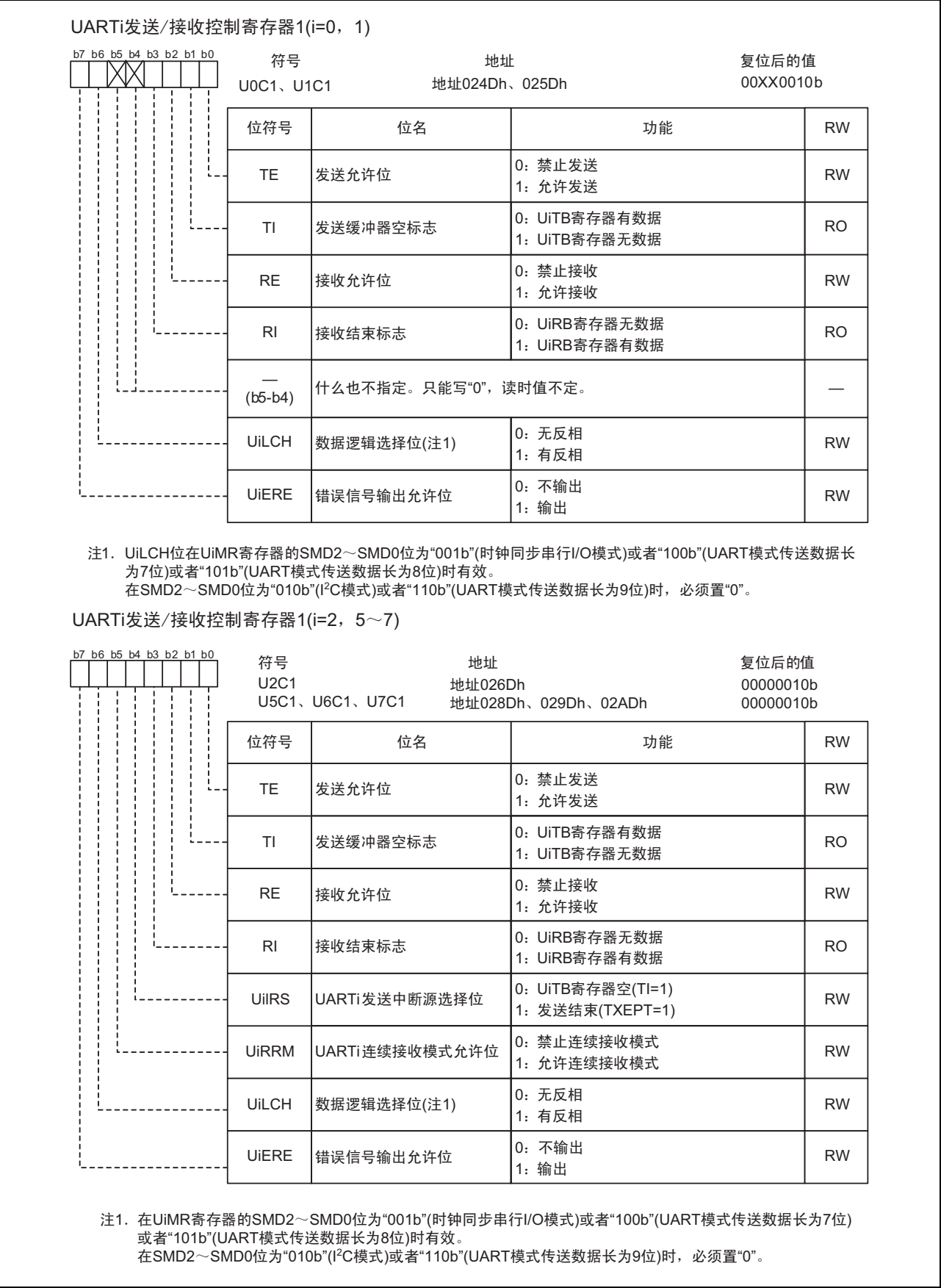


图 17.8 U0C1 ~ U2C1 和 U5C1 ~ U7C1 寄存器

UART发送/接收控制寄存器2

b7 b6 b5 b4 b3 b2 b1 b0								符号	地址	复位后的值
UCON								地址0250h	X0000000b	
位符号		位名	功能			RW				
U0IRS		UART0发送中断源选择位	0: 发送缓冲器空(TI=1) 1: 发送结束(TXEPT=1)			RW				
U1IRS		UART1发送中断源选择位	0: 发送缓冲器空(TI=1) 1: 发送结束(TXEPT=1)			RW				
U0RRM		UART0连续接收模式允许位	0: 禁止连续接收模式 1: 允许连续接收模式			RW				
U1RRM		UART1连续接收模式允许位	0: 禁止连续接收模式 1: 允许连续接收模式			RW				
CLKMD0		UART1 CLK、CLKS选择位0	在CLKMD1=1时有效 0: 从CLK1输出时钟 1: 从CLKS1输出时钟			RW				
CLKMD1		UART1 CLK、CLKS选择位1 (注1)	0: CLK只从CLK1输出 1: 选择传送时钟的多个引脚输出功能			RW				
RCSP		UART0 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分离位	0: $\overline{\text{CTS}}/\overline{\text{RTS}}$ 共用引脚 1: $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分离(从P6_4引脚输入 $\overline{\text{CTS}}_0$)			RW				
$\overline{\text{b7}}$		什么也不指定。只能写“0”，读时值不定。				—				

注1. 在使用多个传送时钟输出引脚时，必须满足U1MR寄存器的CKDIR位为“0”(内部时钟)的条件。

UARTi特殊模式寄存器 (i=0~2, 5~7)

b7b6b5b4b3b2b1b0								符号		地址		复位后的值																																					
<table border="1"><tr><td>×</td><td></td><td></td><td></td><td>0</td><td></td><td></td><td></td></tr></table>								×				0				U0SMR、U1SMR、U2SMR U5SMR、U6SMR、U7SMR		地址0247h、0257h、0267h 地址0287h、0297h、02A7h		X0000000b X0000000b																													
×				0																																													
								<table><thead><tr><th>位符号</th><th>位名</th><th>功能</th><th>RW</th></tr></thead><tbody><tr><td>IICM</td><td>I²C模式选择位</td><td>0: I²C模式以外 1: I²C模式</td><td>RW</td></tr><tr><td>ABC</td><td>仲裁失败检测标志控制位</td><td>0: 按位更新 1: 按字节更新</td><td>RW</td></tr><tr><td>BBS</td><td>总线忙标志(注1)</td><td>0: 检测到停止条件 1: 检测到开始条件(忙)</td><td>RW</td></tr><tr><td>— (b3)</td><td>保留位</td><td>必须置“0”。</td><td>RW</td></tr><tr><td>ABSCS</td><td>总线冲突检测采样时钟选择位</td><td>0: 传送时钟的上升沿 1: 定时器Aj的下溢信号 (注2)</td><td>RW</td></tr><tr><td>ACSE</td><td>发送允许位自动清除功能选择位</td><td>0: 无自动清除功能 1: 在发生总线冲生时自动清除</td><td>RW</td></tr><tr><td>SSS</td><td>发送开始条件选择位</td><td>0: 不与RXDi同步 1: 与RXDi同步 (注3)</td><td>RW</td></tr><tr><td>— (b7)</td><td colspan="2">什么也不指定。只能写“0”，读时值不定。</td><td>—</td></tr></tbody></table>						位符号	位名	功能	RW	IICM	I ² C模式选择位	0: I ² C模式以外 1: I ² C模式	RW	ABC	仲裁失败检测标志控制位	0: 按位更新 1: 按字节更新	RW	BBS	总线忙标志(注1)	0: 检测到停止条件 1: 检测到开始条件(忙)	RW	— (b3)	保留位	必须置“0”。	RW	ABSCS	总线冲突检测采样时钟选择位	0: 传送时钟的上升沿 1: 定时器Aj的下溢信号 (注2)	RW	ACSE	发送允许位自动清除功能选择位	0: 无自动清除功能 1: 在发生总线冲生时自动清除	RW	SSS	发送开始条件选择位	0: 不与RXDi同步 1: 与RXDi同步 (注3)	RW	— (b7)	什么也不指定。只能写“0”，读时值不定。		—
位符号	位名	功能	RW																																														
IICM	I ² C模式选择位	0: I ² C模式以外 1: I ² C模式	RW																																														
ABC	仲裁失败检测标志控制位	0: 按位更新 1: 按字节更新	RW																																														
BBS	总线忙标志(注1)	0: 检测到停止条件 1: 检测到开始条件(忙)	RW																																														
— (b3)	保留位	必须置“0”。	RW																																														
ABSCS	总线冲突检测采样时钟选择位	0: 传送时钟的上升沿 1: 定时器Aj的下溢信号 (注2)	RW																																														
ACSE	发送允许位自动清除功能选择位	0: 无自动清除功能 1: 在发生总线冲生时自动清除	RW																																														
SSS	发送开始条件选择位	0: 不与RXDi同步 1: 与RXDi同步 (注3)	RW																																														
— (b7)	什么也不指定。只能写“0”，读时值不定。		—																																														

注1. 如果通过程序给BBS位写“0”，该位就变为“0”(即使写“1”也不变)。

注2. 在UART0和UART6时为定时器A3的下溢信号；在UART1和UART7时为定时器A4的下溢信号；在UART2和UART5时为定时器A0的下溢信号。

注3. 当开始传送时，SSS位就变为“0”(不与RXDi同步)。

图 17.9 UCON、U0SMR ~ U2SMR 和 U5SMR ~ U7SMR 寄存器

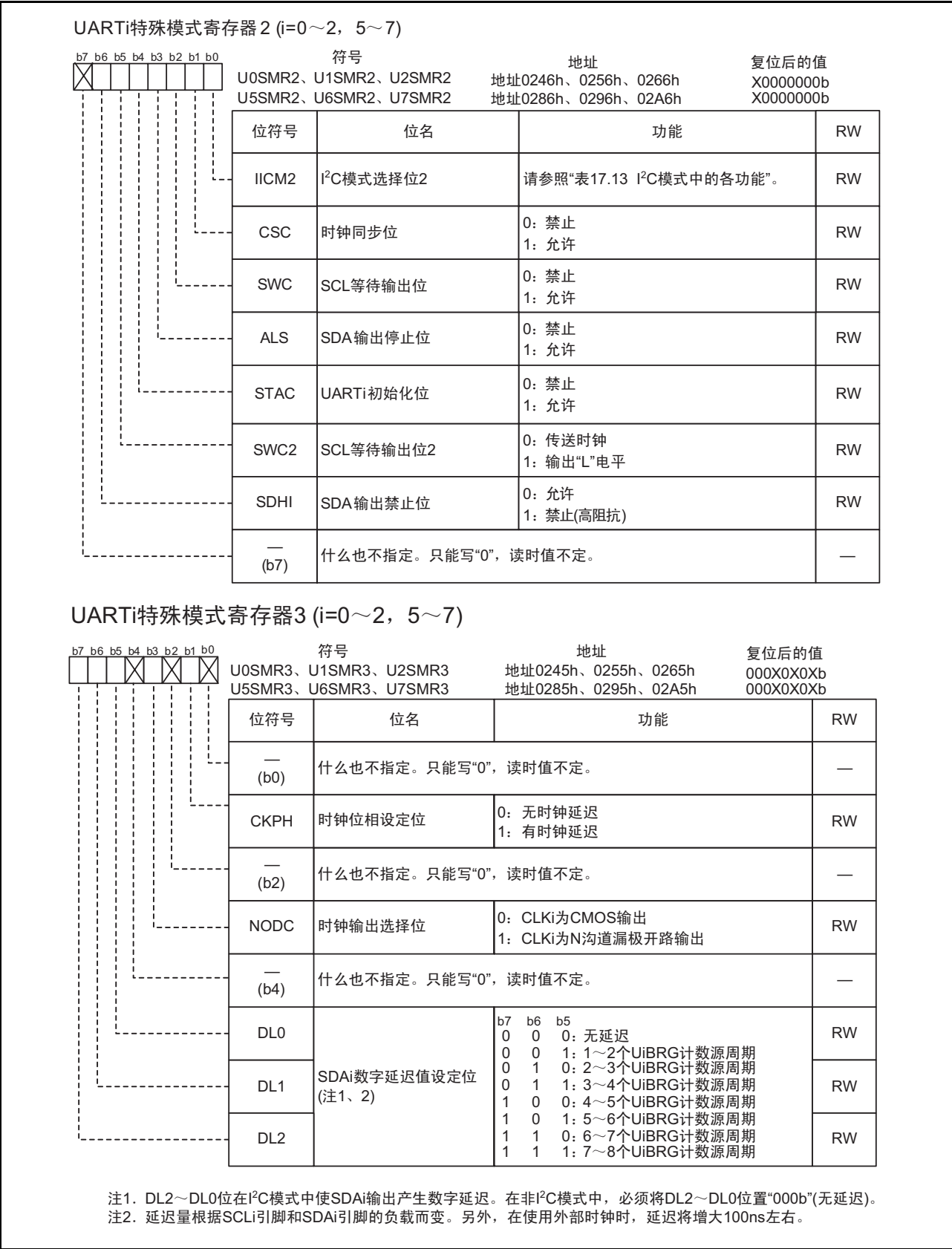


图 17.10 U0SMR2 ~ U2SMR2、U5SMR2 ~ U7SMR2、U0SMR3 ~ U2SMR3 和 U5SMR3 ~ U7SMR3 寄存器

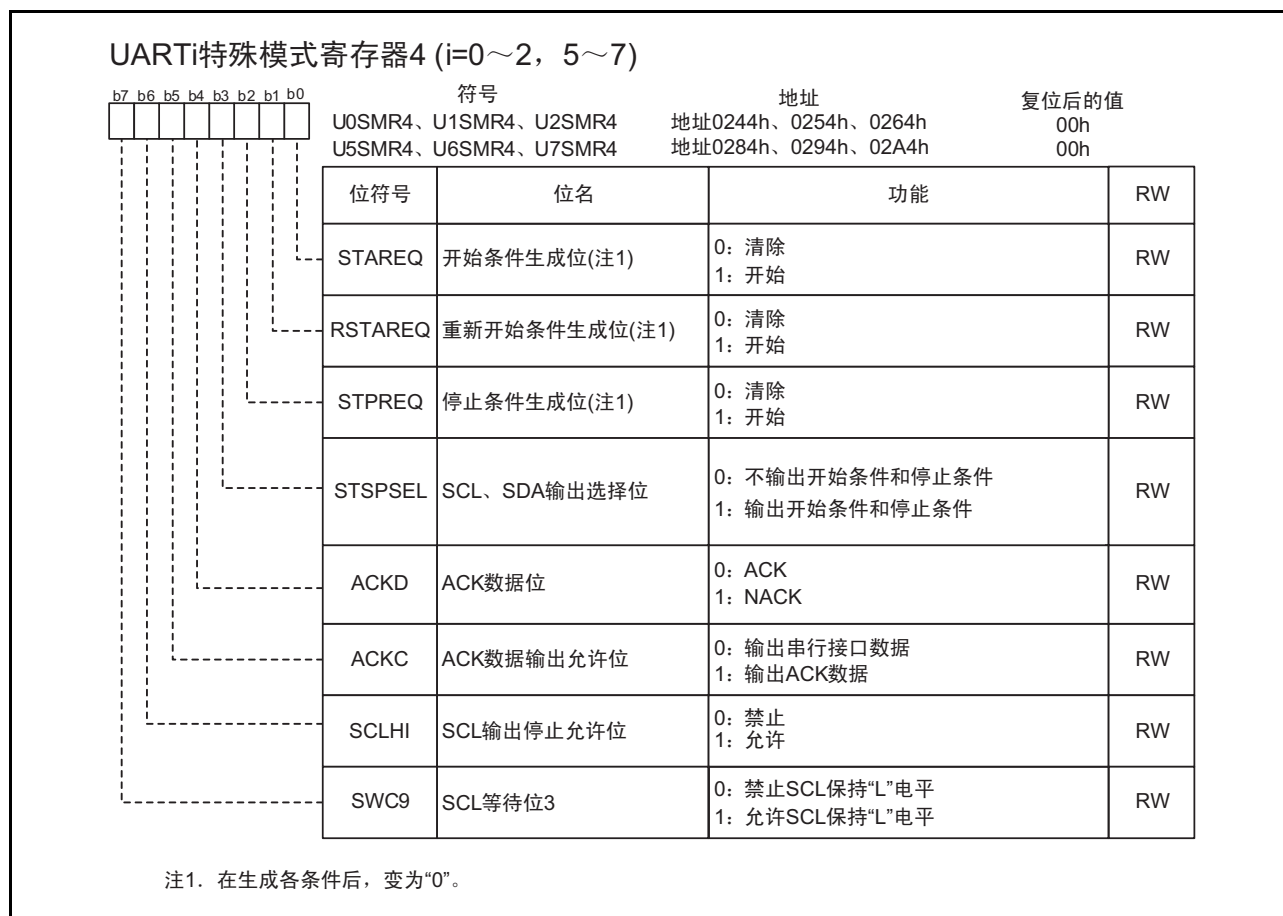


图 17.11 U0SMR4 ~ U2SMR4 和 U5SMR4 ~ U7SMR4 寄存器

17.1.1 时钟同步串行 I/O 模式

时钟同步串行 I/O 模式是使用传送时钟进行发送和接收的模式。时钟同步串行 I/O 模式的规格以及时钟同步串行 I/O 模式中使用的寄存器和设定值分别如表 17.1 和表 17.2 所示。

表 17.1 时钟同步串行 I/O 模式的规格

项目	规格
传送数据格式	传送数据长度：8 位
传送时钟	- 当 UiMR 寄存器的 CKDIR 位为 “0”（内部时钟）时：fj/(2(n+1)) fj 为 f1SIO、f2SIO、f8SIO、f32SIO，n 为 UiBRG 寄存器的设定值（00h ~ FFh）。 - 当 CKDIR 位为 “1”（外部时钟）时：CLKi 引脚的输入
发送控制、接收控制	可选择 CTS 功能、RTS 功能或者禁止 CTS/RTS 功能。
发送开始条件	开始发送时需要以下条件（注 1）： - UiC1 寄存器的 TE 位为 “1”（允许发送）。 - UiC1 寄存器的 TI 位为 “0”（UiTB 寄存器有数据）。 - 在选择 CTS 功能时，CTSi 引脚的输入为 “L” 电平。
接收开始条件	开始接收时需要以下条件（注 1）： - UiC1 寄存器的 RE 位为 “1”（允许接收）。 - UiC1 寄存器的 TE 位为 “1”（允许发送）。 - UiC1 寄存器的 TI 位为 “0”（UiTB 寄存器有数据。虚写 UiTB 寄存器。）。
中断请求的发生	在发送时，可选择以下的任意条件： - UiIRS 位（注 3）为 “0”（发送缓冲器空）： 在将数据从 UiTB 寄存器传送到 UARTi 发送寄存器时（开始发送时） - UiIRS 位为 “1”（发送结束）：在 UARTi 发送寄存器的数据发送结束时 在接收时 - 在将数据从 UARTi 接收寄存器传送到 UiRB 寄存器时（接收结束时）
错误检测	溢出错误（注 2） 如果在读 UiRB 寄存器前开始接收下一个数据并且接收下一个数据的第 7 位，就发生溢出错误。
选择功能	- CLK 极性选择 传送数据的输出和输入时序可选择传送时钟的上升沿或者下降沿。 - LSB 先或者 MSB 先的选择 可选择从 bit0 或者 bit7 开始发送和接受。 - 连续接收模式的选择 在读 UiRB 寄存器的同时变为接收允许状态。 - 串行数据的逻辑转换 这是将发送和接收数据逻辑值取反的功能。 - 传送时钟多个引脚输出的选择（UART1） 可设定 2 个 UART1 的传送时钟引脚并通过程序选择输出引脚。 - CTS/RTS 分离功能（UART0） 从其他引脚输入或者输出 CTS0 和 RTS0。

i=0 ~ 2, 5 ~ 7

注 1. 在选择外部时钟时，必须满足以下条件：

当 UiC0 寄存器的 CKPOL 位为 “0”（在传送时钟的下降沿输出发送数据，在上升沿输入接收数据）时，外部时钟为 “H” 电平状态；当 CKPOL 位为 “1”（在传送时钟的上升沿输出发送数据，在下降沿输入接收数据）时，外部时钟为 “L” 电平状态。

注 2. 如果发生溢出错误，UiRB 寄存器的接收数据就变为不定状态，而且 SiRIC 寄存器的 IR 位不变为 “1”（有中断请求）。

注 3. U0IRS 和 U1IRS 位是 UCON 寄存器的 bit0 和 bit1，U2IRS、U5IRS、U6IRS、U7IRS 位是 U2C1、U5C1、U6C1、U7C1 寄存器的位。

表 17.2 时钟同步串行 I/O 模式中使用的寄存器和设定值

寄存器	位	功能
UiTB (注 3)	0 ~ 7	必须设定发送数据。
UirB (注 3)	0 ~ 7	能读取接收数据。
	OER	溢出错误标志
UiBRG	0 ~ 7	必须设定位速率。
UIMR (注 3)	SMD2 ~ SMD0	必须置 “001b”。
	CKDIR	必须选择内部时钟或者外部时钟。
	IOPOL	必须置 “0”。
UiC0	CLK1 ~ CLK0	必须选择 UiBRG 的计数源。
	CRS	在使用 CTS 或者 RTS 时，必须选择 CTS 或者 RTS。
	TXEPT	发送寄存器空标志
	CRD	必须选择 CTS 或者 RTS 功能的允许或者禁止。
	NCH	必须选择 TXDi 引脚的输出形式 (注 2)。
	CKPOL	必须选择传送时钟的极性。
	UFORM	必须选择 LSB 先或者 MSB 先。
UiC1	TE	在允许发送和接收时，必须置 “1”。
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置 “1”。
	RI	接收结束标志
	UiIRS (注 1)	必须选择 UARTi 发送中断源。
	UiRRM (注 1)	在使用连续接收模式时，必须置 “1”。
	UiLCH	在使用数据逻辑反相电路时，必须置 “1”。
	UiERE	必须置 “0”。
UiSMR	0 ~ 7	必须置 “0”。
UiSMR2	0 ~ 7	必须置 “0”。
UiSMR3	0 ~ 2	必须置 “0”。
	NODC	必须选择时钟输出形式。
	4 ~ 7	必须置 “0”。
UiSMR4	0 ~ 7	必须置 “0”。
UCON	U0IRS、U1IRS	必须选择 UART0、UART1 发送中断源。
	U0RRM、U1RRM	在使用连续接收模式时，必须置 “1”。
	CLKMD0	当 CLKMD1=1 时，必须选择要输出传送时钟的引脚。
	CLKMD1	从 2 个引脚输出 UART1 的传送时钟时，必须置 “1”。
	RCSP	从 P6_4 引脚输入 UART0 的 CTS0 信号时，必须置 “1”。
	7	必须置 “0”。

i=0 ~ 2, 5 ~ 7

注 1. 必须将 U0C1、U1C1 寄存器的 bit4 和 bit5 置 “0”。U0IRS、U1IRS、U0RRM、U1RRM 位是 UCON 寄存器的位。

注 2. TXD2 引脚为 N 沟道漏极开路。必须将 U2C0 寄存器的 NCH 位置 “0”。

注 3. 在时钟同步串行 I/O 模式中进行写操作时，必须将此表中没有记载的位置 “0”。

时钟同步串行 I/O 模式中的输入 / 输出引脚功能和 P6_4 引脚功能分别如表 17.3 和表 17.4 所示，表 17.3 为不选择传送时钟的多个引脚输出选择功能时的情况。

另外，从选择 UARTi 的运行模式后到开始传送为止，TXDi 引脚输出“H”电平（在选择 N 沟道漏极开路输出时处于高阻抗状态）。

表 17.3 时钟同步串行 I/O 模式中的输入 / 输出引脚功能（不选择传送时钟的多个引脚输出功能时）

引脚名	功能	选择方法
TXDi	串行数据输出	（在只接收而不发送时输出虚拟数据）
RXDi	串行数据输入	将与 RXDi 引脚对应的端口方向位置“0”（在只发送而不接收时可用作输入端口）。
CLKi	传送时钟输出	UiMR 寄存器的 CKDIR 位 =0
	传送时钟输入	UiMR 寄存器的 CKDIR 位 =1 将与 CLKi 引脚对应的端口方向位置“0”。
$\overline{\text{CTS}}/\text{RTSi}$	$\overline{\text{CTS}}$ 输入	UiC0 寄存器的 CRD 位 =0 UiC0 寄存器的 CRS 位 =0 将与 $\overline{\text{CTS}}/\text{RTSi}$ 引脚对应的端口方向位置“0”。
	$\overline{\text{RTS}}$ 输出	UiC0 寄存器的 CRD 位 =0 UiC0 寄存器的 CRS 位 =1
	输入 / 输出端口	UiC0 寄存器的 CRD 位 =1

i=0 ~ 2, 5 ~ 7

表 17.4 时钟同步串行 I/O 模式中的 P6_4 引脚功能

引脚功能	位的设定值					
	U1C0 寄存器		UCON 寄存器			PD6 寄存器
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P6_4	1	—	0	0	—	输入：0，输出：1
$\overline{\text{CTS}}1$	0	0	0	0	—	0
$\overline{\text{RTS}}1$	0	1	0	0	—	—
$\overline{\text{CTS}}0$ （注 1）	0	0	1	0	—	0
CLKS1	—	—	—	1（注 2）	1	—

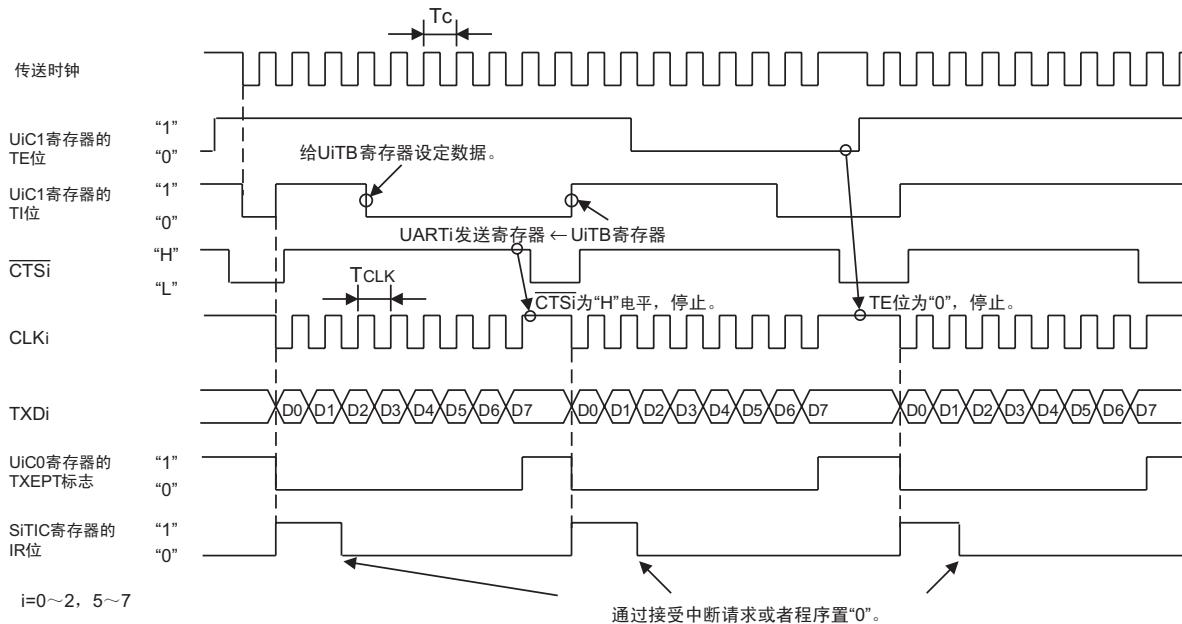
—：“0”或者“1”

注 1. 还必须将 U0C0 寄存器的 CRD 位置“0”（允许 $\overline{\text{CTS}}0/\text{RTS}0$ ）并且 U0C0 寄存器的 CRS 位置“1”（选择 $\overline{\text{RTS}}0$ ）。

注 2. 当 CLKMD1 位为“1”并且 CLKMD0 位为“0”时，输出以下电平：

- 当 U1C0 寄存器的 CKPOL 位为“0”时，输出“H”电平。
- 当 U1C0 寄存器的 CKPOL 位为“1”时，输出“L”电平。

(1) 发送时序的例子(选择内部时钟时)



此图为以下设定条件的情况：

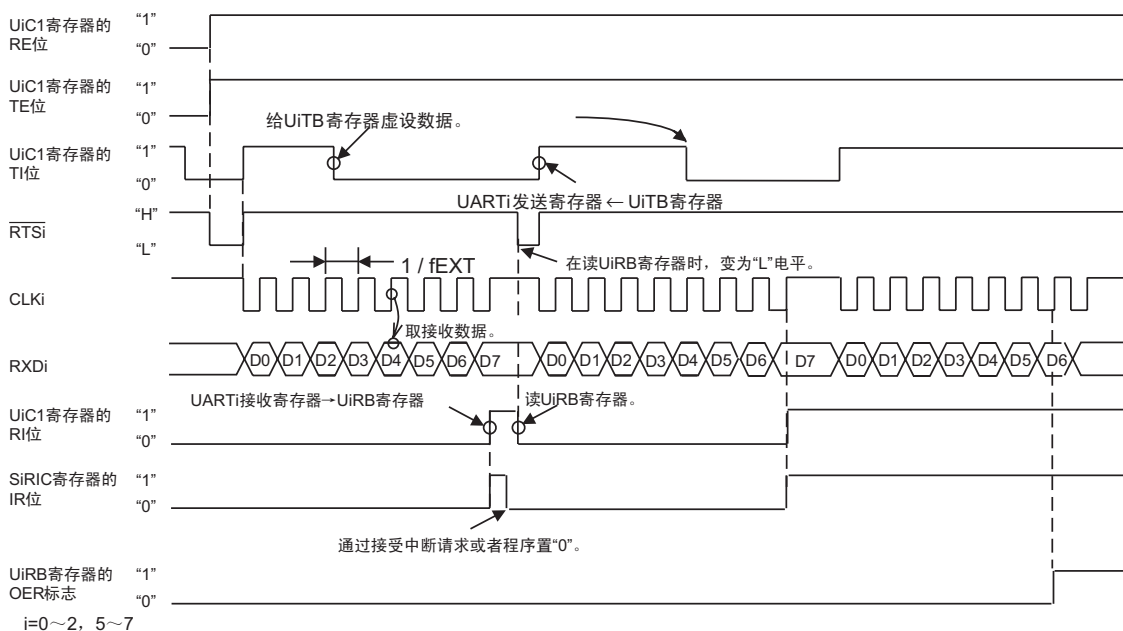
- UIMR寄存器的CKDIR位=0(选择内部时钟)
- UIC0寄存器的CRD位=0(允许CTS/RTS功能)、CRS位=0(选择CTS功能)
- UIC0寄存器的CKPOL位=0(在传送时钟的下降沿输出发送数据，在上升沿输入接收数据)
- UIC1寄存器的UIIRS位=0(在UITB寄存器为空时产生中断请求)

$$T_c = T_{CLK} = 2(n+1) / f_j$$

f_j : UICRG计数源的频率
(f1SIO、f2SIO、f8SIO、f32SIO)

n : 设定在UICRG寄存器中的值

(2) 接收时序的例子(选择外部时钟时)



此图为以下设定条件的情况：

- UIMR寄存器的CKDIR位=1(选择外部时钟)
- UIC0寄存器的CRD位=0(允许CTS/RTS功能)、CRS位=1(选择RTS功能)
- UIC0寄存器的CKPOL位=0(在传送时钟的下降沿输出发送数据，在上升沿输入接收数据)

在接收数据前CLKi引脚的输入为“H”电平时，必须满足以下条件：

- UIC1寄存器的TE位=1(允许发送)
- UIC1寄存器的RE位=1(允许接收)
- 虚写UITB寄存器。

fEXT: 外部时钟的频率

图 17.12 时钟同步串行 I/O 模式中的发送和接收时序例子

17.1.1.1 发生通信错误时的处理方法

如果在时钟同步串行 I/O 模式中进行接收或者发送时发生通信错误，就必须按照以下步骤重新进行设定：

- UiRB 寄存器 (i=0~2, 5~7) 的初始化步骤：
 1. 将UiC1寄存器的RE位置“0”（禁止接收）。
 2. 将UiMR寄存器的SMD2~SMD0位置“000b”（串行接口无效）。
 3. 将UiMR寄存器的SMD2~SMD0位置“001b”（时钟同步串行I/O模式）。
 4. 将UiC1寄存器的RE位置“1”（允许接收）。
- UiTB 寄存器的初始化步骤：
 1. 将UiMR寄存器的SMD2~SMD0位置“000b”（串行接口无效）。
 2. 将UiMR寄存器的SMD2~SMD0位置“001b”（时钟同步串行I/O模式）。
 3. 与UiC1寄存器的TE位的值无关，写“1”（允许发送）。

17.1.1.2 CLK 极性选择

能通过 UiC0 寄存器 (i=0~2, 5~7) 的 CKPOL 位选择传送时钟的极性。传送时钟的极性如图 17.13 所示。

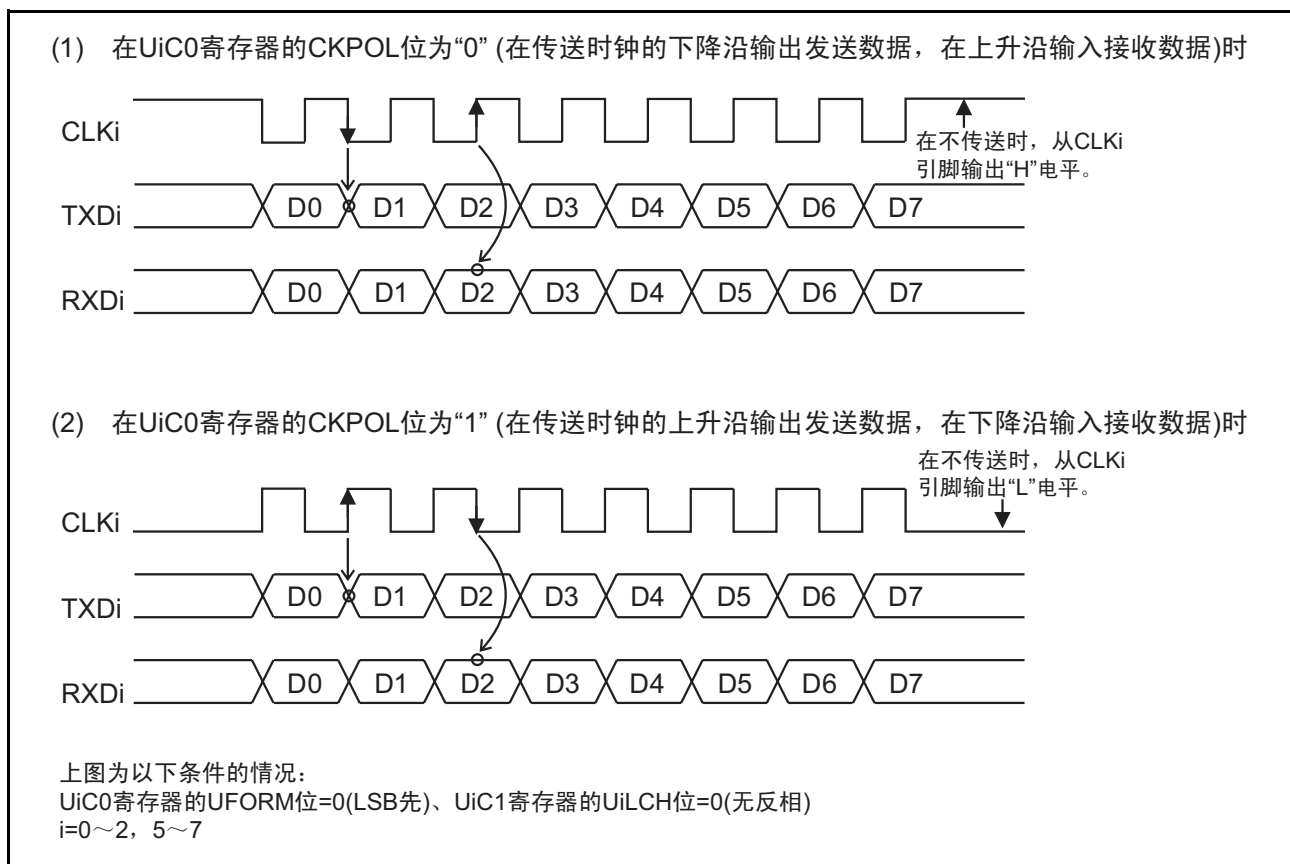


图 17.13 传送时钟的极性

17.1.1.3 LSB 先或者 MSB 先的选择

能通过 UiC0 寄存器 (i=0 ~ 2, 5 ~ 7) 的 UFORM 位选择传送格式。传送格式如图 17.14 所示。

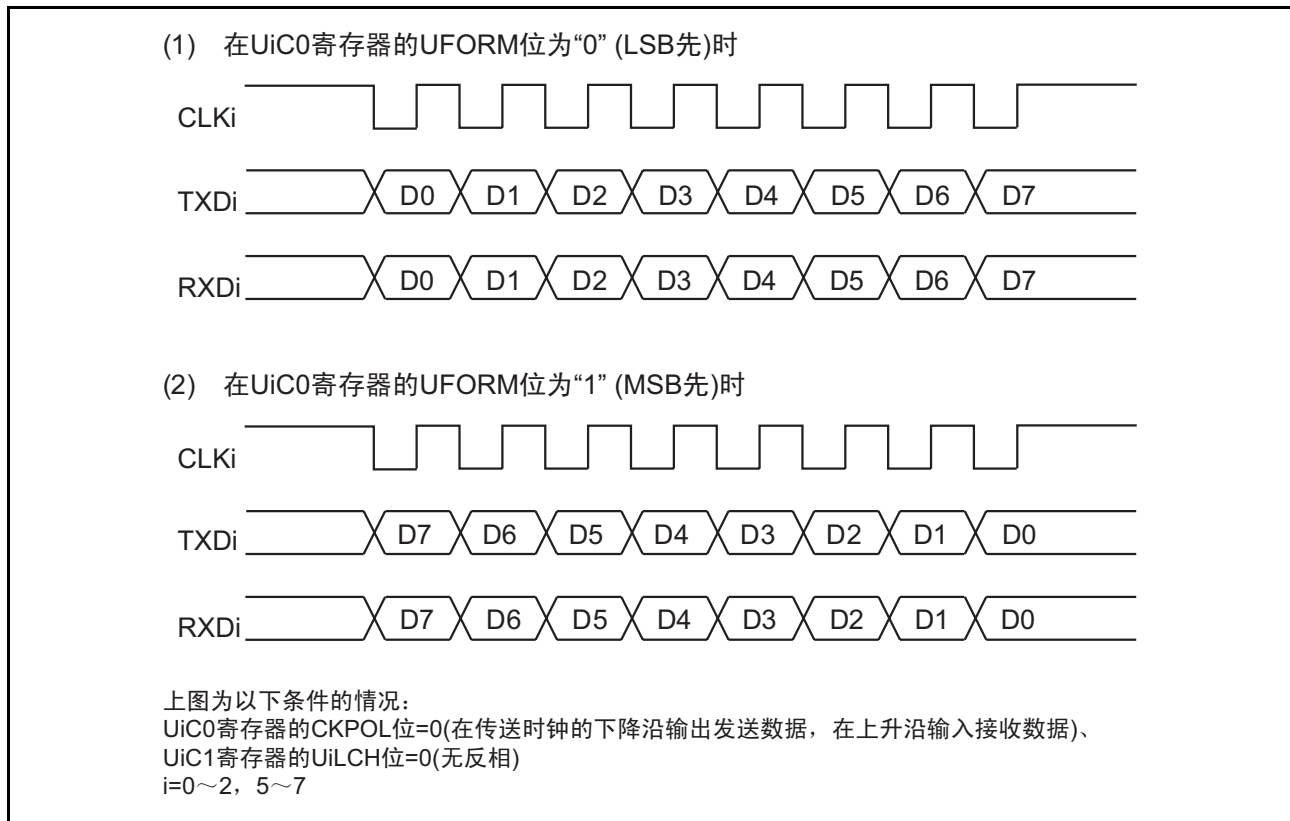


图 17.14 传送格式

17.1.1.4 连续接收模式

连续接收模式是通过读接收缓冲器而进入接收允许状态的模式。如果选择此模式, 在设定接收允许状态时就不需要虚写发送缓冲器。但是, 在开始接收时需要虚读接收缓冲器。

如果将 UiRRM 位 (i=0 ~ 2, 5 ~ 7) 置“1” (连续接收模式), 就通过读 UiRB 寄存器, UiC1 寄存器的 TI 位变为“0” (UiTB 寄存器有数据)。当 UiRRM 位为“1”时, 不能通过程序虚写 UiTB 寄存器。U0RRM 和 U1RRM 位是 UCON 寄存器的 bit2 和 bit3, U2RRM、U5RRM、U6RRM、U7RRM 位是 U2C1、U5C1、U6C1、U7C1 寄存器的位。

17.1.1.5 串行数据的逻辑转换

当 UiC1 寄存器 (i=0 ~ 2, 5 ~ 7) 的 UiLCH 位为 “1” (有反相) 时，将写在 UiTB 寄存器中的值进行逻辑取反后发送。如果读 UiRB 寄存器，就能读取对接收数据进行逻辑取反后的值。串行数据的逻辑如图 17.15 所示。

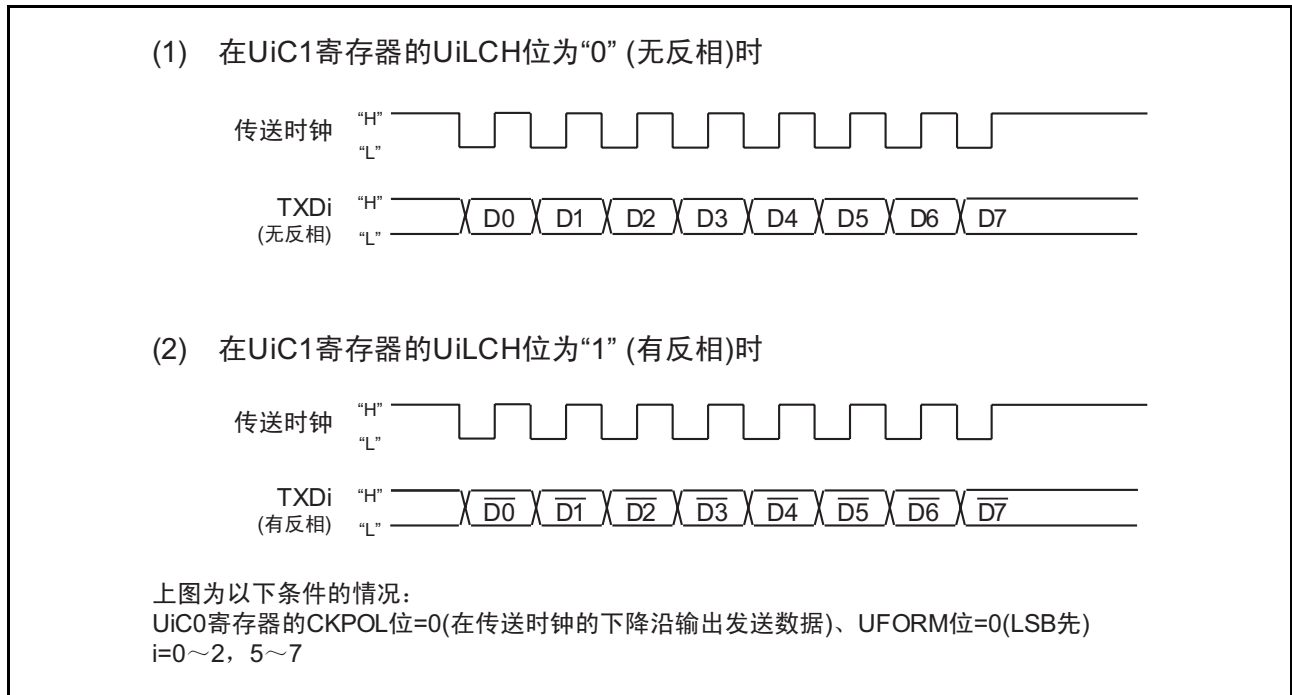


图 17.15 串行数据的逻辑

17.1.1.6 传输时钟多个引脚输出的选择 (UART1)

能通过 UCON 寄存器的 CLKMD1 ~ CLKMD0 位从 2 个传输时钟输出引脚中选择 1 个 (图 17.16)。此功能用于 UART1 的传输时钟为内部时钟的情况。

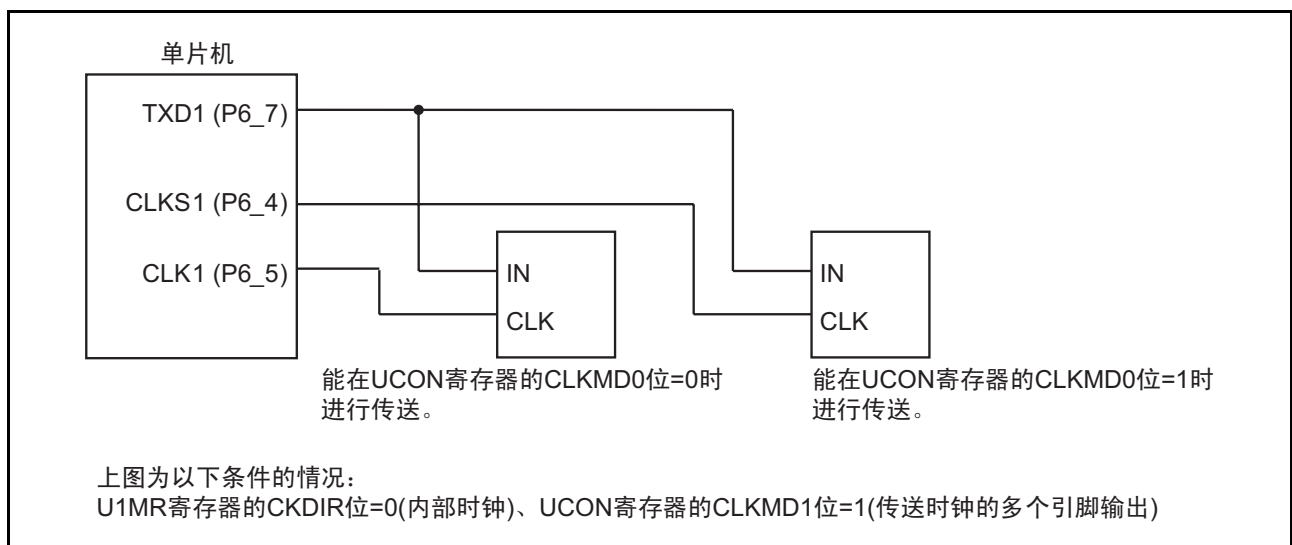


图 17.16 传输时钟多个引脚输出功能的使用例子

17.1.1.7 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能

$\overline{\text{CTS}}$ 功能是在给 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ ($i=0 \sim 2, 5 \sim 7$) 引脚输入 “L” 电平时就开始发送和接收的功能。当 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚的输入电平为 “L” 时，就开始发送和接收。如果在发送和接收中将输入电平置 “H”，就停止下一个数据的发送和接收。

$\overline{\text{RTS}}$ 功能在接收准备结束时， $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚的输出电平为 “L” 电平；在 CLK_i 引脚的第一个下降沿， $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚的输出电平为 “H” 电平。

- $\text{U}i\text{C}0$ 寄存器的 CRD 位=1 (禁止 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚为可编程的输入/输出功能
- CRD 位=0、 CRS 位=0 (选择 $\overline{\text{CTS}}$ 功能) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚为 $\overline{\text{CTS}}$ 功能
- CRD 位=0、 CRS 位=1 (选择 $\overline{\text{RTS}}$ 功能) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚为 $\overline{\text{RTS}}$ 功能

17.1.1.8 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分离功能 (UART0)

此功能是分离 $\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ ，从 P6_0 引脚输出 $\overline{\text{RTS}}_0$ 、从 P6_4 引脚输入 $\overline{\text{CTS}}_0$ 的功能。在使用此功能时，必须进行以下设定：

- $\text{U}0\text{C}0$ 寄存器的 CRD 位=0 (允许 UART0 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$)
- $\text{U}0\text{C}0$ 寄存器的 CRS 位=1 (输出 UART0 的 $\overline{\text{RTS}}$)
- $\text{U}1\text{C}0$ 寄存器的 CRD 位=0 (允许 UART1 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$)
- $\text{U}1\text{C}0$ 寄存器的 CRS 位=0 (输入 UART1 的 $\overline{\text{CTS}}$)
- $\text{U}0\text{C}0$ 寄存器的 RCSP 位=1 (从 P6_4 引脚输入 $\overline{\text{CTS}}_0$)
- $\text{U}0\text{C}0$ 寄存器的 $\text{CLKMD}1$ 位=0 (不使用 $\text{CLKS}1$)

另外，在使用 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分离功能时，不能使用 UART1 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能。

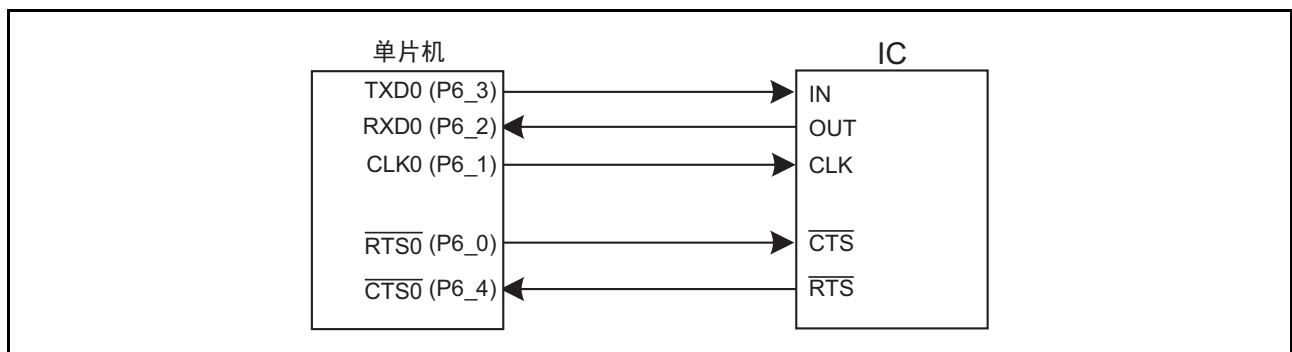


图 17.17 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分离功能的使用例子

17.1.2 异步串行 I/O (UART) 模式

UART 模式是在设定任意的位速率和传送数据格式后进行发送和接收的模式。UART 模式的规格如表 17.5 所示。

表 17.5 UART 模式的规格

项目	规格
传送数据格式	- 字符位 (传送数据) 可选择 7 位、8 位或者 9 位。 - 开始位 1 位 - 奇偶校验位 可选择奇校验、偶校验或者无奇偶校验。 - 停止位 可选择 1 位或者 2 位。
传送时钟	- 当 UIMR 寄存器的 CKDIR 位为 “0” (内部时钟) 时: $f_j/(16(n+1))$ f_j 为 f1SIO、f2SIO、f8SIO、f32SIO, n 为 UiBRG 寄存器的设定值 (00h ~ FFh)。 - 当 CKDIR 位为 “1” (外部时钟) 时: $f_{EXT}/(16(n+1))$ f_{EXT} 为 CLKi 引脚的输入, n 为 UiBRG 寄存器的设定值 (00h ~ FFh)。
发送控制、接收控制	可选择 CTS 功能、RTS 功能或者禁止 CTS/RTS 功能。
发送开始条件	开始发送时需要以下条件: - UiC1 寄存器的 TE 位为 “1” (允许发送)。 - UiC1 寄存器的 TI 位为 “0” (UITB 寄存器有数据)。 - 在选择 CTS 功能时, CTSi 引脚的输入为 “L” 电平。
接收开始条件	开始接收时需要以下条件: - UiC1 寄存器的 RE 位为 “1” (允许接收)。 - 检测到开始位。
中断请求的发生	在发送时可选择以下的任意条件: - UiIRS 位 (注 2) 为 “0” (发送缓冲器空): 在将数据从 UITB 寄存器传送到 UARTi 发送寄存器时 (开始发送时) - UiIRS 位为 “1” (发送结束): 在 UARTi 发送寄存器的数据传送结束时 在接收时 - 在将数据从 UARTi 接收寄存器传送到 UiRB 寄存器时 (接收结束时)
错误检测	- 溢出错误 (注 1) 如果在读 UiRB 寄存器前接收到下一个数据最后停止位的前 1 位, 就发生溢出错误。 - 帧错误 (注 3) 当检测不到已设定个数的停止位时, 发生帧错误。 - 奇偶校验错误 (注 3) 在允许奇偶校验的情况下, 如果奇偶校验位和字符位中的 “1” 的个数不是已设定的个数, 就发生奇偶校验错误。 - 错误和数标志 在发生溢出错误、帧错误或者奇偶校验错误时, 此标志为 “1”。
选择功能	- LSB 先或者 MSB 先的选择 可选择从 bit0 或者 bit7 开始发送和接收。 - 串行数据的逻辑转换 这是将发送数据的逻辑值取反的功能。不将开始位和停止位取反。 - TXD、RXD 输入 / 输出极性的转换 这是将 TXD 引脚输出和 RXD 引脚输入进行反相的功能。将输入 / 输出数据的电平全部反相。 - CTS/RTS 分离功能 (UART0) 从其他引脚输入或者输出 CTS0 和 RTS0。

i=0 ~ 2, 5 ~ 7

注 1. 如果发生溢出错误, UiRB 寄存器的接收数据就为不定状态, 而且 SiRIC 寄存器的 IR 位不变。

注 2. U0IRS 和 U1IRS 位是 UCON 寄存器的 bit0 和 bit1, U2IRS、U5IRS、U6IRS、U7IRS 位是 U2C1、U5C1、U6C1、U7C1 寄存器的位。

注 3. 在将数据从 UARTi 接收寄存器传送到 UiRB 寄存器时, 帧错误标志和奇偶校验错误标志被置位。

表 17.6 UART 模式中使用的寄存器和设定值

寄存器	位	功能
UiTB	0 ~ 8	必须设定发送数据（注 1）。
UiRB	0 ~ 8	能读取接收数据（注 1）。
	OER、FER、PER、SUM	错误标志
UiBRG	0 ~ 7	必须设定位速率。
UiMR	SMD2 ~ SMD0	当传送数据为 7 位时，必须置“100b”。
		当传送数据为 8 位时，必须置“101b”。
		当传送数据为 9 位时，必须置“110b”。
	CKDIR	必须选择内部时钟或者外部时钟。
	STPS	必须选择停止位。
	PRY、PRYE	必须选择偶校验、奇校验或者无奇偶校验。
	IOPOL	必须选择 TXD/RXD 输入 / 输出的极性。
UiC0	CLK0、CLK1	必须选择 UiBRG 的计数源。
	CRS	在使用 CTS 或者 RTS 时，必须选择 CTS 或者 RTS 功能。
	TXEPT	发送寄存器空标志
	CRD	必须选择 CTS/RTS 功能的允许或者禁止。
	NCH	必须选择 TXDi 引脚的输出形式（注 3）。
	CKPOL	必须置“0”。
	UFORM	当传送数据长度为 8 位时，能选择 LSB 先或者 MSB 先；当数据传送数据长度为 7 位或者 9 位时，必须置“0”。
UiC1	TE	在允许发送时，必须置“1”。
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置“1”。
	RI	接收结束标志
	UiIRS（注 2）	必须选择 UARTi 发送中断源。
	UiRRM（注 2）	必须置“0”。
	UiLCH	在使用数据逻辑反相电路时，必须置“1”。
	UiERE	必须置“0”。
UiSMR	0 ~ 7	必须置“0”。
UiSMR2	0 ~ 7	必须置“0”。
UiSMR3	0 ~ 7	必须置“0”。
UiSMR4	0 ~ 7	必须置“0”。
UCON	U0IRS、U1IRS	必须选择 UART0、UART1 发送中断源。
	U0RRM、U1RRM	必须置“0”。
	CLKMD0	因为 CLKMD1=0，所以无效。
	CLKMD1	必须置“0”。
	RCSP	从 P6_4 引脚输入 UART0 的 CTS0 信号时，必须置“1”。
	7	必须置“0”。

i=0 ~ 2, 5 ~ 7

注 1. 使用的位如下：

当传送数据长度为 7 位时，使用的位为 bit0 ~ 6；当传送数据长度为 8 位时，使用的位为 bit0 ~ 7；当传送数据长度为 9 位时，使用的位为 bit0 ~ 8

注 2. 必须将 U0C1、U1C1 寄存器的 bit4 和 bit5 置“0”。U0IRS、U1IRS、U0RRM、U1RRM 位是 UCON 寄存器的位。

注 3. TXD2 引脚为 N 沟道漏极开路。必须将 U2C0 寄存器的 NCH 位置“0”。

UART 模式中的输入 / 输出引脚功能和 P6_4 引脚功能分别如表 17.7 和表 17.8 所示。另外，在选择 UARTi 的运行模式后到开始传送为止，TXDi 引脚输出“H”电平（在选择 N 沟道漏极开路输出时为高阻抗状态）。

表 17.7 UART 模式中的输入 / 输出引脚功能

引脚名	功能	选择方法
TXDi	串行数据输出	（在只接收而不发送时输出“H”电平）
RXDi	串行数据输入	将与 RXDi 引脚对应的端口方向位置“0”（在只发送而不接收时可用作输入端口）。
CLKi	输入 / 输出端口	UiMR 寄存器的 CKDIR 位 = 0
	传送时钟输入	UiMR 寄存器的 CKDIR 位 = 1 将与 CLKi 引脚对应的端口方向位置“0”。
CTSi/RTSi	CTS 输入	UiC0 寄存器的 CRD 位 = 0 UiC0 寄存器的 CRS 位 = 0 将与 CTSi 引脚对应的端口方向位置“0”。
	RTS 输出	UiC0 寄存器的 CRD 位 = 0 UiC0 寄存器的 CRS 位 = 1
	输入 / 输出端口	UiC0 寄存器的 CRD 位 = 1

i=0 ~ 2, 5 ~ 7

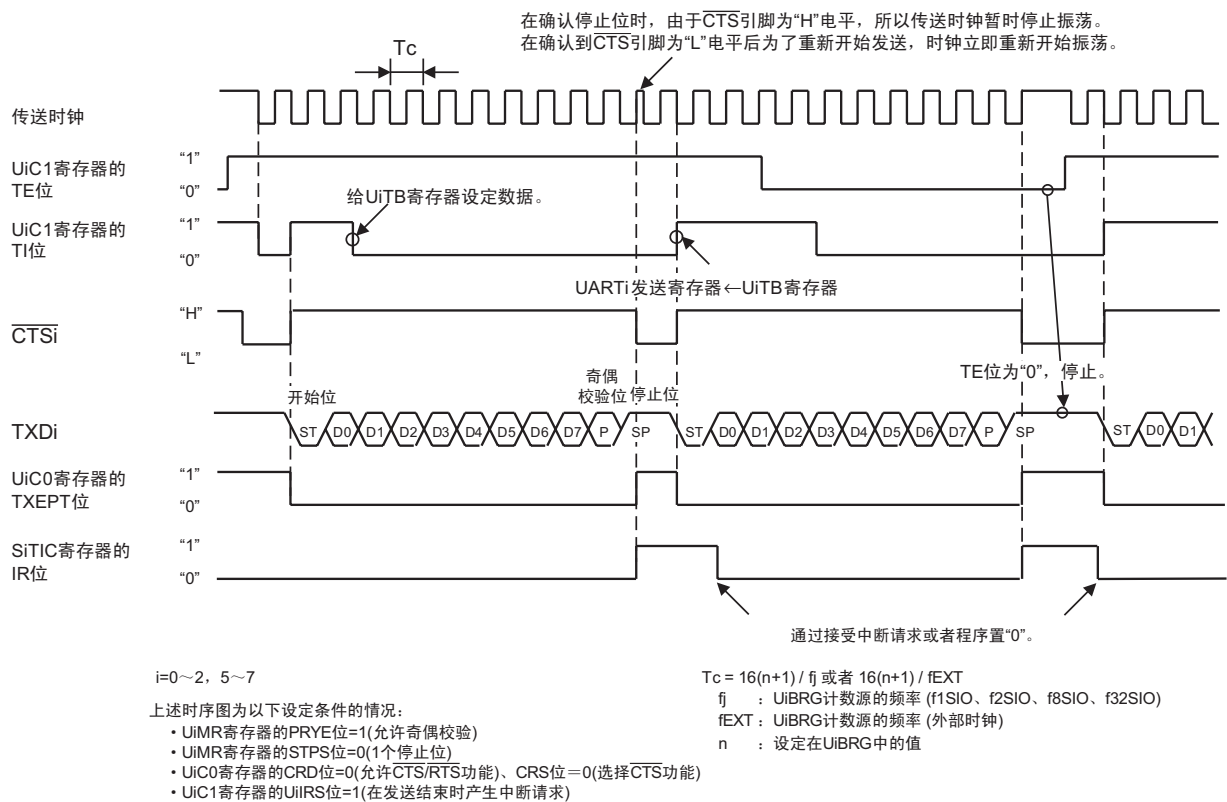
表 17.8 UART 模式中的 P6_4 引脚功能

引脚功能	位的设定值				
	U1C0 寄存器		UCON 寄存器		PD6 寄存器
	CRD	CRS	RCSP	CLKMD1	PD6_4
P6_4	1	—	0	0	输入：0，输出：1
CTS1	0	0	0	0	0
RTS1	0	1	0	0	—
CTS0（注 1）	0	0	1	0	0

—：“0”或者“1”

注 1. 还必须将 U0C0 寄存器的 CRD 位置“0”（允许 CTS0/RTS0）并且 U0C0 寄存器的 CRS 位置“1”（选择 RTS0）。

(1) 在传送数据长为8位时的发送时序例子(允许奇偶校验、1个停止位)



(2) 在传送数据长为9位时的发送时序例子(禁止奇偶校验、2个停止位)

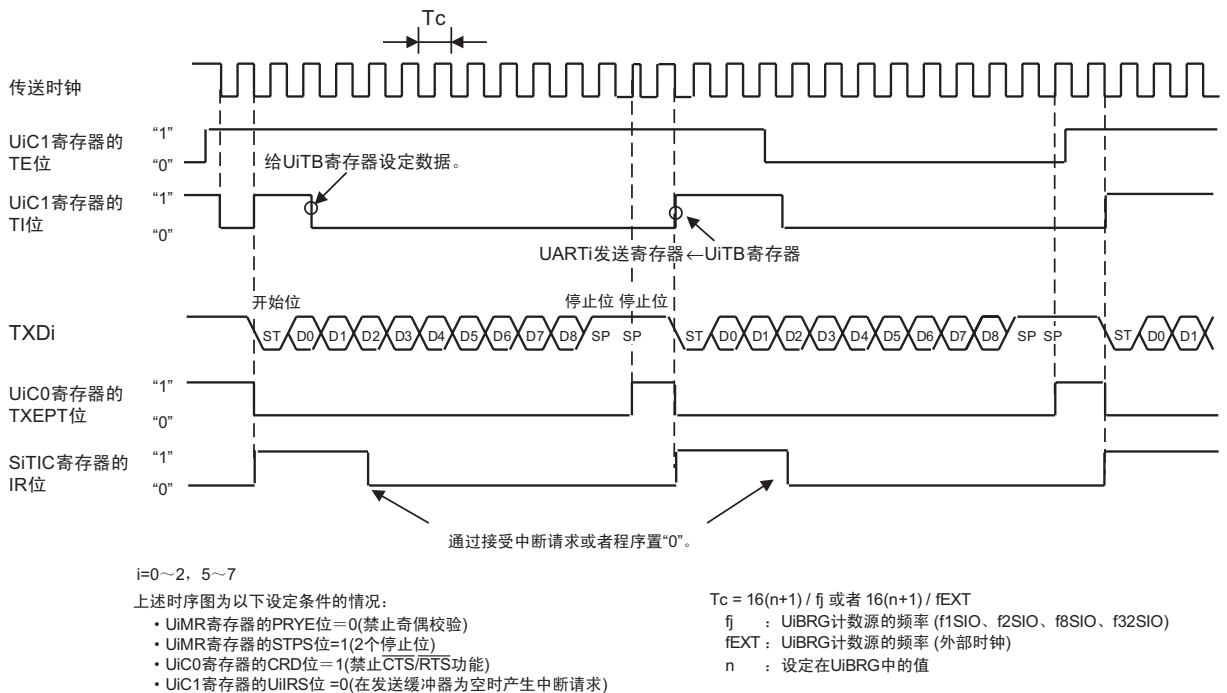


图 17.18 UART 模式中的发送时序例子

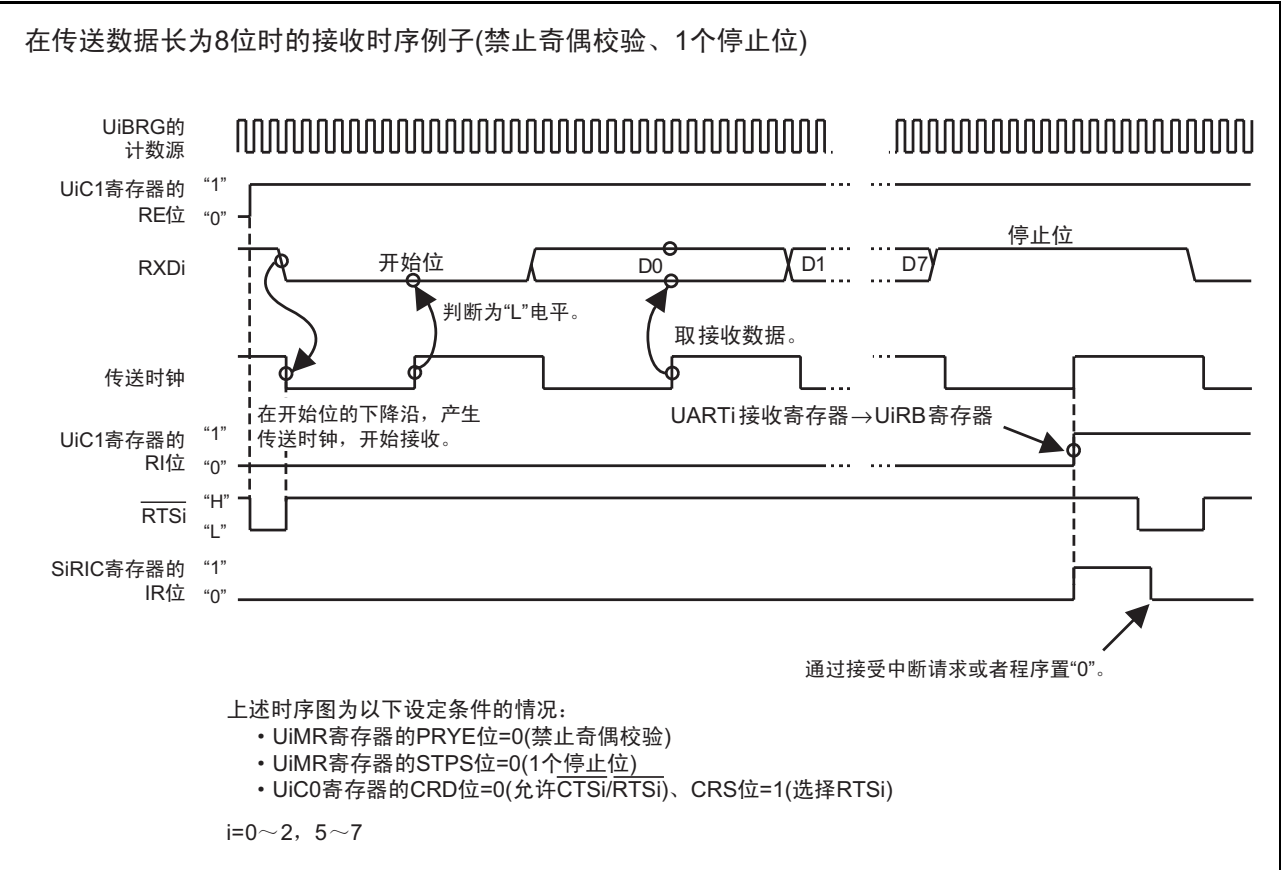


图 17.19 UART 模式中的接收时序例子

17.1.2.1 位速率

在 UART 模式中，位速率为通过 UiBRG 寄存器（i=0~2, 5~7）分频后的频率的 16 分频。位速率的设定例子如表 17.9 所示。

表 17.9 位速率

位速率 (bps)	UiBRG 的 计数源	外围功能时钟：16MHz		外围功能时钟：24MHz	
		UiBRG 的 设定值：n	位速率 (bps)	UiBRG 的 设定值：n	位速率 (bps)
1200	f8SIO	103(67h)	1202	155(9Bh)	1202
2400	f8SIO	51(33h)	2404	77(4Dh)	2404
4800	f8SIO	25(19h)	4808	38(26h)	4808
9600	f1SIO	103(67h)	9615	155(9Bh)	9615
14400	f1SIO	68(44h)	14493	103(67h)	14423
19200	f1SIO	51(33h)	19231	77(4Dh)	19231
28800	f1SIO	34(22h)	28571	51(33h)	28846
31250	f1SIO	31(1Fh)	31250	47(2Fh)	31250
38400	f1SIO	25(19h)	38462	38(26h)	38462
51200	f1SIO	19(13h)	50000	28(1Ch)	51724

17.1.2.2 发生通信错误时的处理方法

在 UART 模式中，如果在接收或者发送时发生通信错误，就必须按照以下步骤重新进行设定：

- UiRB 寄存器（i=0~2, 5~7）的初始化步骤：
 1. 将 UiC1 寄存器的 RE 位置 “0”（禁止接收）。
 2. 将 UiC1 寄存器的 RE 位置 “1”（允许接收）。
- UiTB 寄存器的初始化步骤：
 1. 将 UiMR 寄存器的 SMD2~SMD0 位置 “000b”（串行接口无效）。
 2. 重新设定 UiMR 寄存器的 SMD2~SMD0 位（“001b”、“101b”、“110b”）。
 3. 与 UiC1 寄存器的 TE 位的值无关，写 “1”（允许发送）。

17.1.2.3 LSB 先或者 MSB 先的选择

如图 17.20 所示，能通过 UiC0 寄存器的 UFORM 位选择传送格式。此功能在传送数据长度为 8 位时有效。

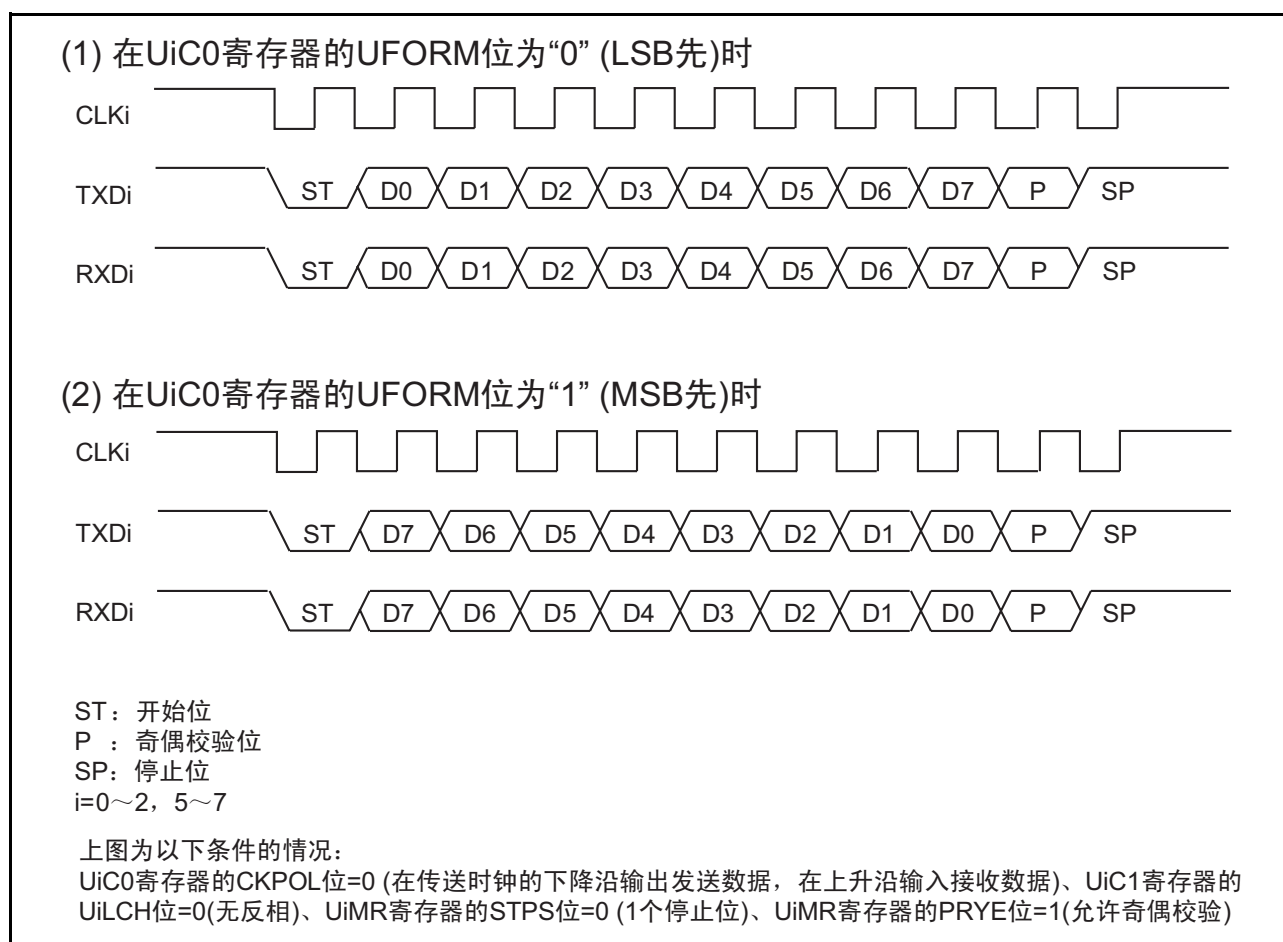


图 17.20 传送格式

17.1.2.4 串行数据的逻辑转换

将写在 UiTB 寄存器中的值进行逻辑取反后发送。如果读 UiRB 寄存器，就能读取对接收数据进行逻辑取反后的值。串行数据的逻辑如图 17.21 所示。

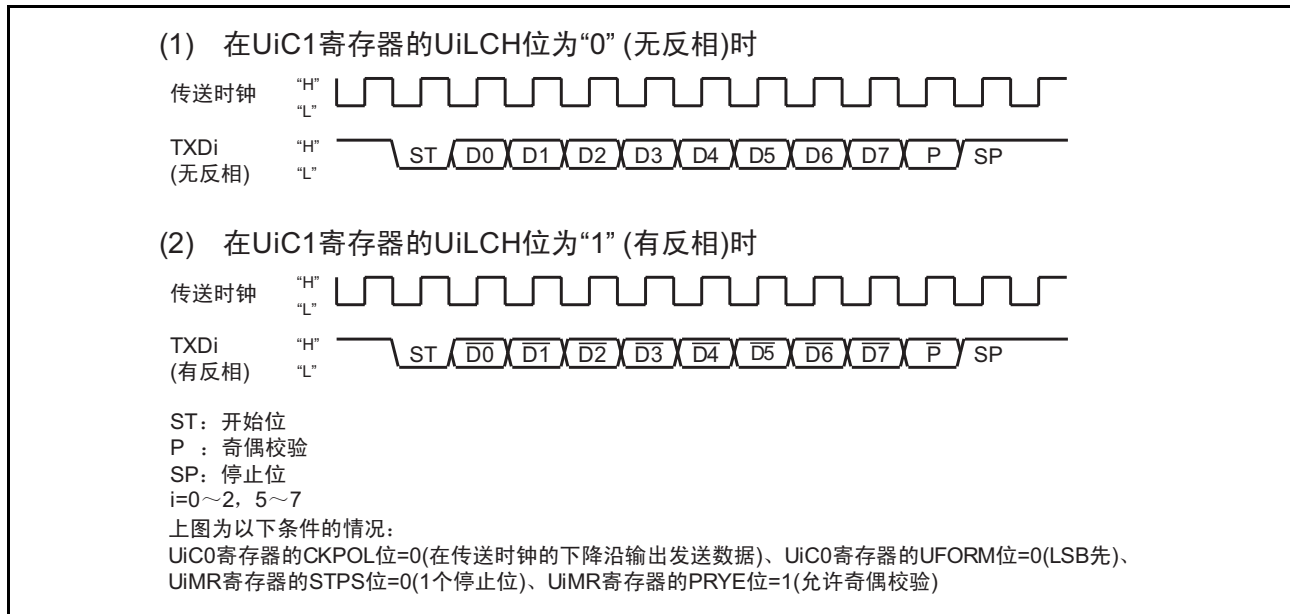


图 17.21 串行数据的逻辑

17.1.2.5 TXD、RXD 输入 / 输出极性的转换功能

这是将 TXDi 引脚输出和 RXDi 引脚输入进行反相的功能。将全部输入 / 输出数据的电平（包括开始位、停止位和奇偶校验位）反相。TXD、RXD 输入 / 输出极性的转换如图 17.22 所示。

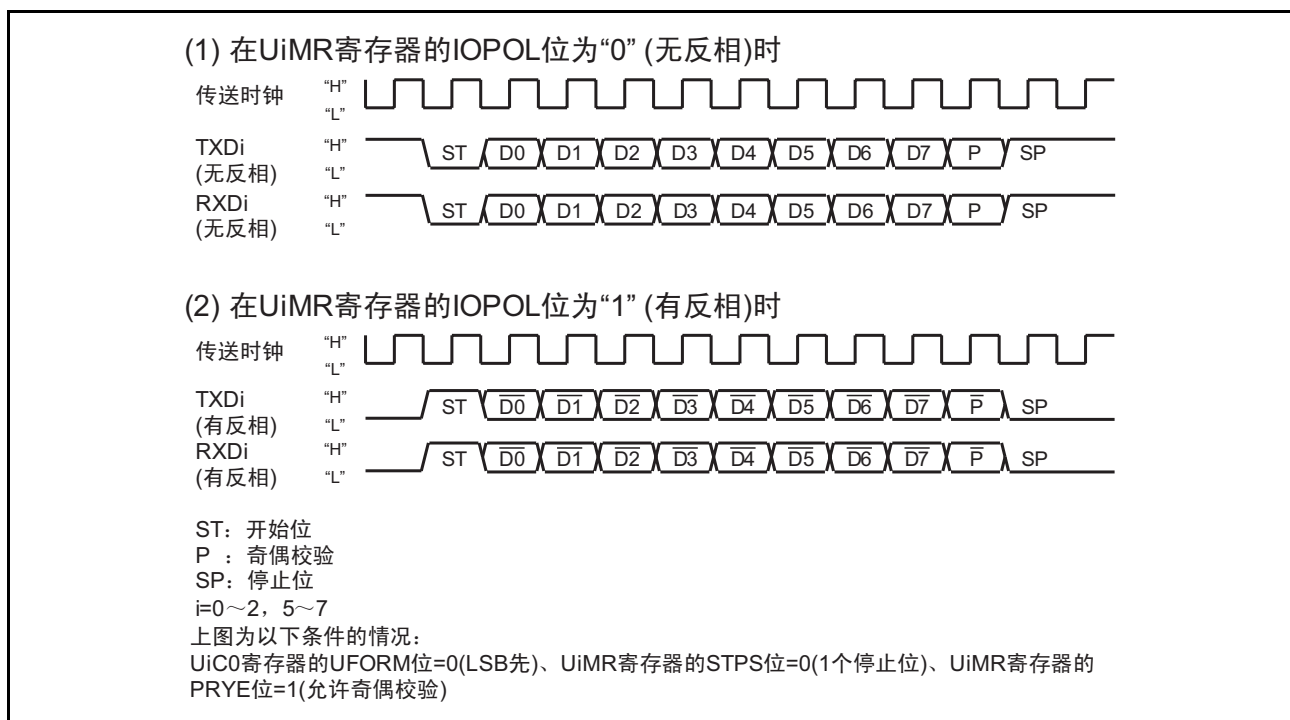


图 17.22 TXD、RXD 输入 / 输出极性的转换

17.1.2.6 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能

$\overline{\text{CTS}}$ 功能是在给 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ ($i=0 \sim 2, 5 \sim 7$) 引脚输入“L”电平时就开始发送的功能。当 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚的输入电平为“L”，就开始发送。如果在发送中将输入电平置“H”，就停止下一个数据的发送。

$\overline{\text{RTS}}$ 功能在接收准备结束时， $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚的输出电平为“L”电平；在 CLK_i 引脚第一个下降沿， $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚的输出电平为“H”电平。

- UIC0 寄存器的 CRD 位=1 (禁止 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚为可编程的输入/输出功能
- CRD 位=0、 CRS 位=0 (选择 $\overline{\text{CTS}}$ 功能) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚为 $\overline{\text{CTS}}$ 功能
- CRD 位=0、 CRS 位=1 (选择 $\overline{\text{RTS}}$ 功能) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚为 $\overline{\text{RTS}}$ 功能

17.1.2.7 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分离功能 (UART0)

此功能是分离 $\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ ，从 P6_0 引脚输出 $\overline{\text{RTS}}_0$ 、从 P6_4 引脚输入 $\overline{\text{CTS}}_0$ 的功能。在使用此功能时，必须进行以下的设定：

- U0C0 寄存器的 CRD 位=0 (允许 UART0 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$)
- U0C0 寄存器的 CRS 位=1 (输出 UART0 的 $\overline{\text{RTS}}$)
- U1C0 寄存器的 CRD 位=0 (允许 UART1 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$)
- U1C0 寄存器的 CRS 位=0 (输入 UART1 的 $\overline{\text{CTS}}$)
- UCON 寄存器的 RCSP 位=1 (从 P6_4 引脚输入 $\overline{\text{CTS}}_0$)
- UCON 寄存器的 CLKMD1 位=0 (不使用 CLKS1)

另外，在使用 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分离功能时，不能使用 UART1 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能。

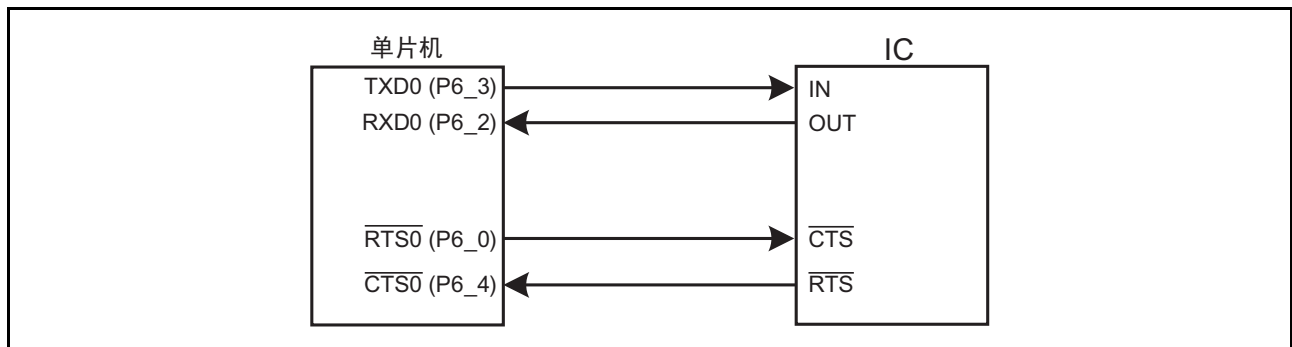


图 17.23 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 分离功能的使用例子

17.1.3 特殊模式 1 (I²C 模式)

I²C 模式是对应简易型 I²C 接口的模式。I²C 模式的规格、I²C 模式中使用的寄存器和设定值以及 I²C 模式中的各功能分别如表 17.10、表 17.11 ~ 表 17.12 和表 17.13 所示，I²C 模式的框图和 SCLi 时序分别如图 17.24 和图 17.25 所示。

如表 17.13 所示，如果将 SMD2 ~ SMD0 位置“010b”并且 IICM 位置“1”，就为 I²C 模式。因为 SDAi 发送输出附带延迟电路，所以在 SCLi 变为“L”电平并稳定后，SDAi 输出发生变化。

表 17.10 I²C 模式的规格

项目	规格
传送数据格式	传送数据长度：8 位
传送时钟	- 在主机模式中 当 UiMR 寄存器的 CKDIR 位为“0”（内部时钟）时：$f_j/(2(n+1))$ f_j 为 f1SIO、f2SIO、f8SIO、f32SIO，n 为 UiBRG 寄存器的设定值（00h ~ FFh）。 - 在从属模式中 当 CKDIR 位为“1”（外部时钟）时：SCLi 引脚的输入
发送开始条件	开始发送时需要以下条件（注 1）： - UiC1 寄存器的 TE 位为“1”（允许发送）。 - UiC1 寄存器的 TI 位为“0”（UiTB 寄存器有数据）。
接收开始条件	开始接收时需要以下条件（注 1）： - UiC1 寄存器的 RE 位为“1”（允许接收）。 - UiC1 寄存器的 TE 位为“1”（允许发送）。 - UiC1 寄存器的 TI 位为“0”（UiTB 寄存器有数据）。
中断请求的发生	检测到开始条件、检测到停止条件、未检测到应答、检测到应答。
错误检测	溢出错误（注 2） 如果在读 UiRB 寄存器前接收到下一个数据的第 8 位，就发生溢出错误。
选择功能	- 仲裁失败 可选择 UiRB 寄存器 ABT 位的更新时序。 - SDAi 数字延迟 可选择无数字延迟或者 2 ~ 8 个 UiBRG 计数源周期的延迟。 - 时钟相位设定 可选择有时钟延迟或者无时钟延迟。

i=0 ~ 2, 5 ~ 7

注 1. 当选择外部时钟时，必须在外部时钟为“H”电平的状态下满足条件。

注 2. 当发生溢出错误时，UiRB 寄存器的接收数据为不定状态，而且 SiRIC 寄存器的 IR 位不变。

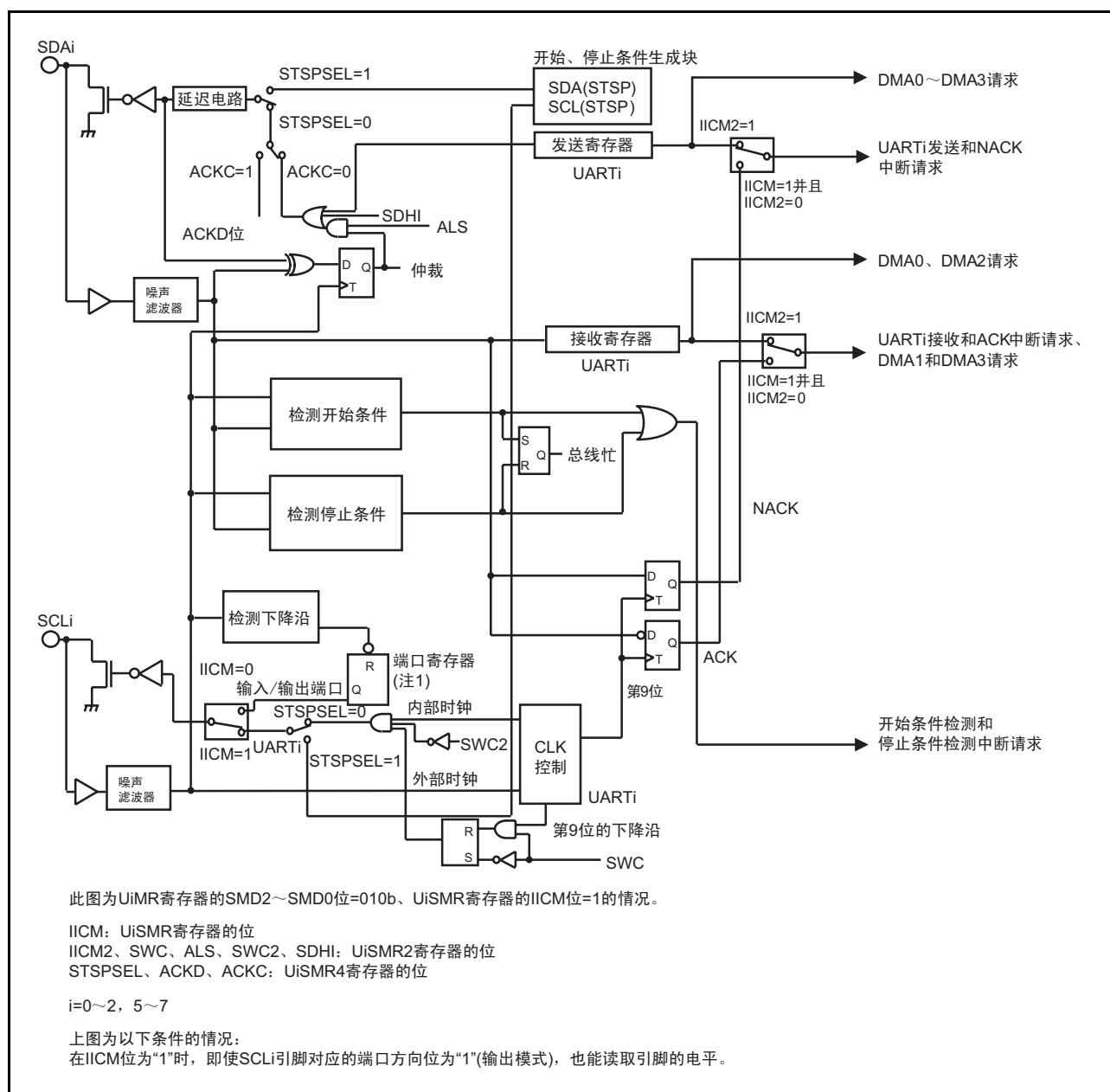


图 17.24 I²C 模式的框图

表 17.11 I²C 模式中使用的寄存器和设定值 (1)

寄存器	位	功能	
		主控模式	从属模式
UiTB	0 ~ 7	必须设定发送数据。	必须设定发送数据。
UiRB (注 3)	0 ~ 7	能读取接收数据。	能读取接收数据。
	8	ACK 或者 NACK	ACK 或者 NACK
	ABT	仲裁失败检测标志	无效
	OER	溢出错误标志	溢出错误标志
UiBRG	0 ~ 7	必须设定位速率。	无效
UiMR (注 3)	SMD2 ~ SMD0	必须置 “010b”。	必须置 “010b”。
	CKDIR	必须置 “0”。	必须置 “1”。
	IOPOL	必须置 “0”。	必须置 “0”。
UiC0	CLK1 ~ CLK0	必须选择 UiBRG 的计数源。	无效
	CRS	因为 CRD=1, 所以无效。	因为 CRD=1, 所以无效。
	TXEPT	发送寄存器空标志	发送寄存器空标志
	CRD (注 4)	必须置 “1”。	必须置 “1”。
	NCH	必须置 “1” (注 2)。	必须置 “1” (注 2)。
	CKPOL	必须置 “0”。	必须置 “0”。
	UFORM	必须置 “1”。	必须置 “1”。
UiC1	TE	在允许发送时, 必须置 “1”。	在允许发送时, 必须置 “1”。
	TI	发送缓冲器空标志	发送缓冲器空标志
	RE	在允许接收时, 必须置 “1”。	在允许接收时, 必须置 “1”。
	RI	接收结束标志	接收结束标志
	UiIRS (注 1)	无效	无效
	UiRRM (注 1)、 UiLCH、UiERE	必须置 “0”。	必须置 “0”。
UiSMR	IICM	必须置 “1”。	必须置 “1”。
	ABC	必须选择仲裁失败检测时序。	无效
	BBS	总线忙标志	总线忙标志
	3 ~ 7	必须置 “0”。	必须置 “0”。
UiSMR2	IICM2	参照 “表 17.13 I ² C 模式中的各功能”。	参照 “表 17.13 I ² C 模式中的各功能”。
	CSC	在允许时钟同步时, 必须置 “1”。	必须置 “0”。
	SWC	在第 9 位时钟的下降沿将 SCLi 输出固 定为 “L” 电平输出时, 必须置 “1”。	在第 9 位时钟的下降沿将 SCLi 输出固 定为 “L” 电平输出时, 必须置 “1”。
	ALS	在检测到仲裁失败时停止 SDAi 输出的 情况下, 必须置 “1”。	必须置 “0”。
	STAC	必须置 “0”。	在通过开始条件检测对 UARTi 进行初始 化时, 必须置 “1”。
	SWC2	将 SCLi 的输出强制置 “L” 电平时, 必 须置 “1”。	将 SCLi 的输出强制置 “L” 电平时, 必 须置 “1”。
	SDHI	在禁止 SDAi 输出时, 必须置 “1”。	在禁止 SDAi 输出时, 必须置 “1”。
	7	必须置 “0”。	必须置 “0”。

i=0 ~ 2, 5 ~ 7

注 1. 必须将 U0C1、U1C1 寄存器的 bit4 和 bit5 置 “0”。U0IRS、U1IRS、U0RRM、U1RRM 位是 UCON 寄存器的位。

注 2. TXD2 引脚为 N 沟道漏极开路。因为 U2C0 寄存器的 NCH 位什么也不指定, 所以在进行写操作时, 必须写 “0”。

注 3. 在 I²C 模式中进行写操作时, 必须将此表中没有记载的位写 “0”。

注 4. 在 I²C 模式中使用 UART1 的情况下, 如果允许 UART0 的 CTS/RTS 分离功能, 就必须将 U1C0 寄存器的 CRD 位置 “0” (允许 CTS/RTS) 并且 CRS 位置 “0” (输入 CTS)。

表 17.12 I²C 模式中使用的寄存器和设定值 (2)

寄存器	位	功能	
		主控模式	从属模式
UiSMR3	0、2、4 NODC	必须置“0”。	必须置“0”。
	CKPH	参照“表 17.13 I ² C 模式中的各功能”。	参照“表 17.13 I ² C 模式中的各功能”。
	DL2 ~ DL0	必须设定 SDAi 的数字延迟值。	必须设定 SDAi 的数字延迟值。
UiSMR4	STAREQ	在生成开始条件时，必须置“1”。	必须置“0”。
	RSTAREQ	在生成重新启动条件时，必须置“1”。	必须置“0”。
	STPREQ	在生成停止条件时，必须置“1”。	必须置“0”。
	STSPSEL	在输出各条件时，必须置“1”。	必须置“0”。
	ACKD	必须选择 ACK 或者 NACK。	必须选择 ACK 或者 NACK。
	ACKC	在输出 ACK 数据时，必须置“1”。	在输出 ACK 数据时，必须置“1”。
	SCLHI	在检测到停止条件时停止 SCLi 输出的情况下，必须置“1”。	必须置“0”。
	SWC9	必须置“0”。	在第 9 位时钟的下一个下降沿将 SCLi 保持“L”电平时，必须置“1”。
IFSR2A	IFSR26、IFSR27	必须置“1”。	必须置“1”。
UCON	U0IRS、U1IRS	无效	无效
	2 ~ 7	必须置“0”。	必须置“0”。

i=0 ~ 2, 5 ~ 7

表 17.13 I²C 模式中的各功能

功能	时钟同步串行 I/O 模式 (SMD2 ~ SMD0=001b、 IICM=0)	I ² C 模式 (SMD2 ~ SMD0=010b、IICM=1)			
		IICM2=0 (NACK/ACK 中断)		IICM2=1 (UART 发送 / 接收中断)	
		CKPH=0 (无时钟延迟)	CKPH=1 (有时钟延迟)	CKPH=0 (无时钟延迟)	CKPH=1 (有时钟延迟)
中断序号 5、6、7、 10、27、28 的源 (注 1、5、7)	—	检测到开始条件、检测到停止条件 (参照“表 17.14 STSPSEL 位的功能”)			
中断序号 15、17、19、 21、23、24 的源 (注 1、6)	UARTi 发送 发送开始或者发送结束 (由 UiIRS 选择)	未检测到应答 (NACK) 第 9 位的 SCLi 的上升沿		UARTi 发送 第 9 位的 SCLi 的 上升沿	UARTi 发送 第 9 位的下一个 SCLi 的下降沿
中断序号 16、18、20、 22、25、26 的源 (注 1、6)	UARTi 接收 接收第 8 位时 CKPOL=0 (上升) CKPOL=1 (下降)	检测到应答 (ACK) 第 9 位的 SCLi 的上升沿		UARTi 接收 第 9 位的 SCLi 的下降沿	
从 UART 接收移位寄存 器到 UiRB 寄存器的数 据传送	CKPOL=0 (上升) CKPOL=1 (下降)	第 9 位的 SCLi 的上升沿		第 9 位的 SCLi 的 下降沿	第 9 位的 SCLi 的 上升沿和下降沿
UARTi 发送输出延迟	无延迟	有延迟			
TXDi/SDAi 引脚功能	TXDi 输出引脚	SDAi 输入 / 输出引脚			
RXDi/SCLi 引脚功能	RXDi 输入引脚	SCLi 输入 / 输出引脚			
CLKi 引脚功能	选择 CLKi 输入或者输出 端口。	— (不能用于 I ² C 模式)			
噪声滤波器的宽度	15ns	200ns			
RXDi 和 SCLi 引脚 电平的读取	对应的端口方向位为 “0”时能读取。	与对应的端口方向位的内容无关，能读取。			
TXDi 和 SDAi 输出的 初始值	CKPOL=0 (H) CKPOL=1 (L)	在设定 I ² C 模式前，为端口寄存器的设定值 (注 2)。			
SCLi 的初始值和结束值	—	H	L	H	L
DMA1 源 (注 6)	UARTi 接收	检测到应答 (ACK)。		UARTi 接收 第 9 位的 SCLi 的下降沿	
接收数据的保存	将第 1 ~ 8 位保存到 UiRB 寄存器的 bit0 ~ 7。	将第 1 ~ 8 位保存到 UiRB 寄存器的 bit7 ~ 0。		将第 1 ~ 7 位保存到 UiRB 寄存器的 bit6 ~ 0，第 8 位保存到 UiRB 寄存 器的 bit8。 将第 1 ~ 8 位保 存到 UiRB 寄存 器的 bit7 ~ 0 (注 3)。	
接收数据的读取	读 UiRB 寄存器的状态。				将 UiRB 寄存器的 bit6 ~ 0 作为 bit7 ~ 1，bit8 作为 bit0 来读 (注 4)。

i=0 ~ 2, 5 ~ 7

注 1. 如果更改中断源，被改中断的中断控制寄存器的 IR 位有可能变为“1”（有中断请求）（参照“24.7 中断”）。如果更改以下的位，因为中断源和中断时序等发生变化，所以必须在更改以下这些位后，将 IR 位置“0”（无中断请求）。

UiMR 寄存器的 SMD2 ~ SMD0 位、UiSMR 寄存器的 IICM 位、
UiSMR2 寄存器的 IICM2 位、UiSMR3 寄存器的 CKPH 位

注 2. 必须在 SMD2 ~ SMD0 位为“000b”（串行接口无效）的状态下设定 SDAi 输出的初始值。

注 3. 第 2 次将数据传送到 UiRB 寄存器（在第 9 位的 SCLi 上升时）

注 4. 第 1 次将数据传送到 UiRB 寄存器（在第 9 位的 SCLi 下降时）

注 5. 参照“图 17.27 STSPSEL 位的功能”。

注 6. 参照“图 17.25 UiRB 寄存器的传送和中断时序”。

注 7. 在使用 UART0 时，必须将 IFSR2A 寄存器的 IFSR26 位置“1”（中断源为 UART0 总线冲突）。

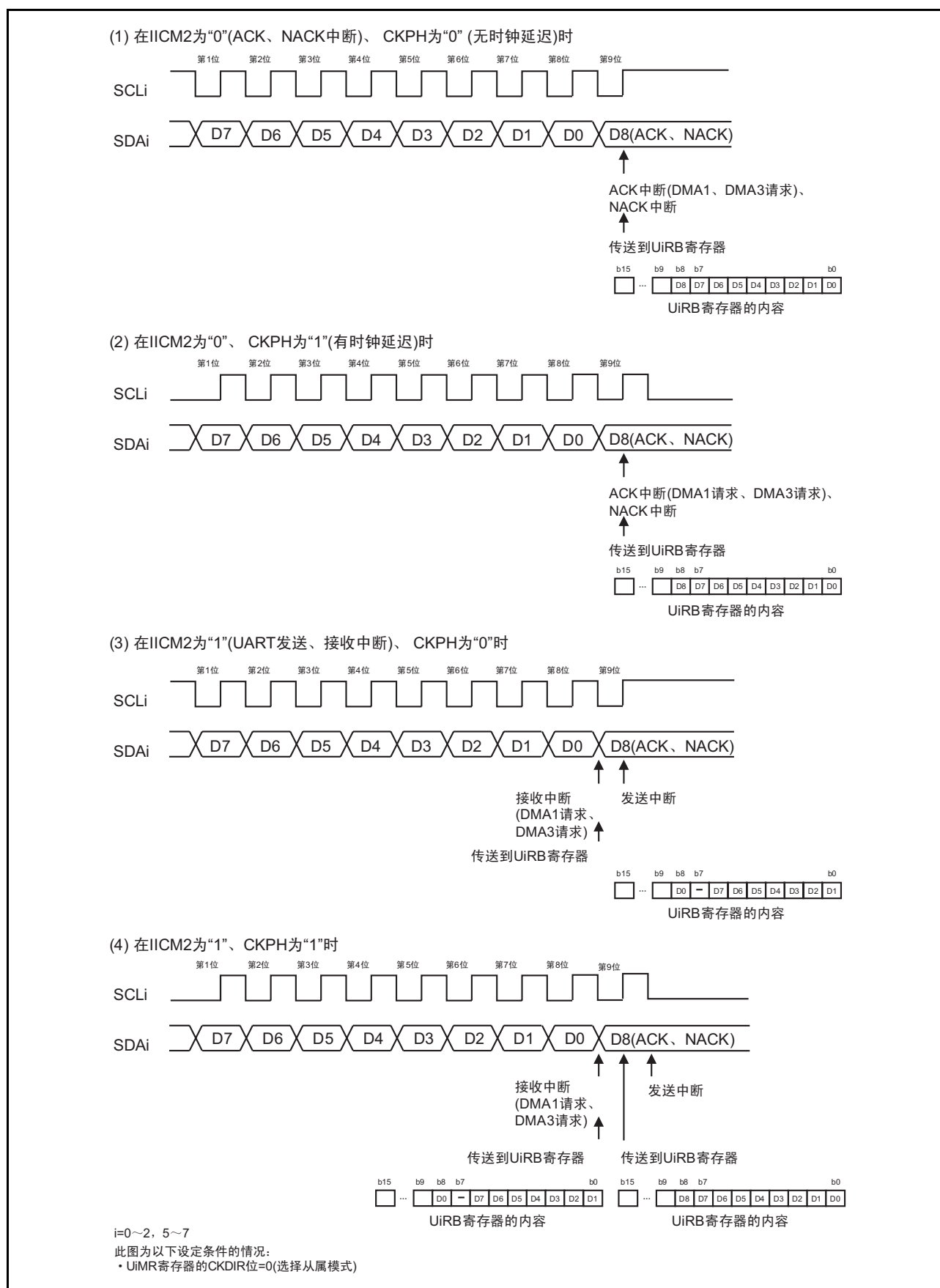


图 17.25 UiRB 寄存器的传送和中断时序

17.1.3.1 开始条件和停止条件的检测

判断开始条件或者停止条件的检测。

在 SCLi 引脚为“H”电平的状态下，如果 SDAi 引脚从“H”电平变为“L”电平，就产生开始条件检测中断请求；如果 SDAi 引脚从“L”电平变为“H”，就产生停止条件检测中断请求。

因为开始条件检测中断和停止条件检测中断共用中断控制寄存器和向量，所以无论由哪个请求产生的中断，都必须根据 UiSMR 寄存器的 BBS 位来判断。

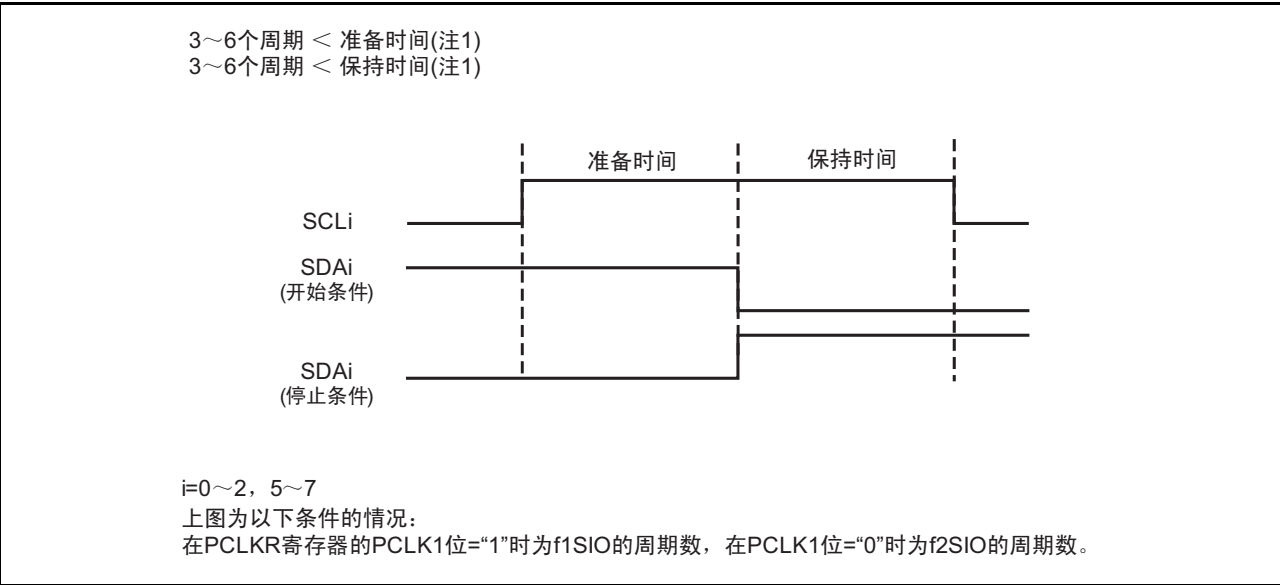


图 17.26 开始条件和停止条件的检测

17.1.3.2 开始条件和停止条件的输出

如果将 UiSMR4 寄存器（i=0 ~ 2, 5 ~ 7）的 STAREQ 位置“1”（开始），就生成开始条件。

如果将 UiSMR4 寄存器的 RSTAREQ 位置“1”（开始），就生成重新启动条件。

如果将 UiSMR4 寄存器的 STPREQ 位置“1”（开始），就生成停止条件。

输出的步骤如下：

1. 将 STAREQ 位、RSTAREQ 位或者 STPREQ 位置“1”（开始）。
2. 将 UiSMR4 寄存器的 STSPSEL 位置“1”（输出）。

STSPSEL 位的功能如表 17.14 和图 17.27 所示。

表 17.14 STSPSEL 位的功能

功能	STSPSEL=0	STSPSEL=1
SCLi、SDAi 引脚的输出	输出传送时钟和数据。 通过使用端口的程序实现开始条件和停止条件的输出。 （不通过硬件自动生成）	根据 STAREQ 位、RSTAREQ 位或者 STPREQ 位，输出开始条件和停止条件。
开始条件和停止条件中断请求的发生	检测到开始条件和停止条件。	结束开始条件和停止条件的生成。

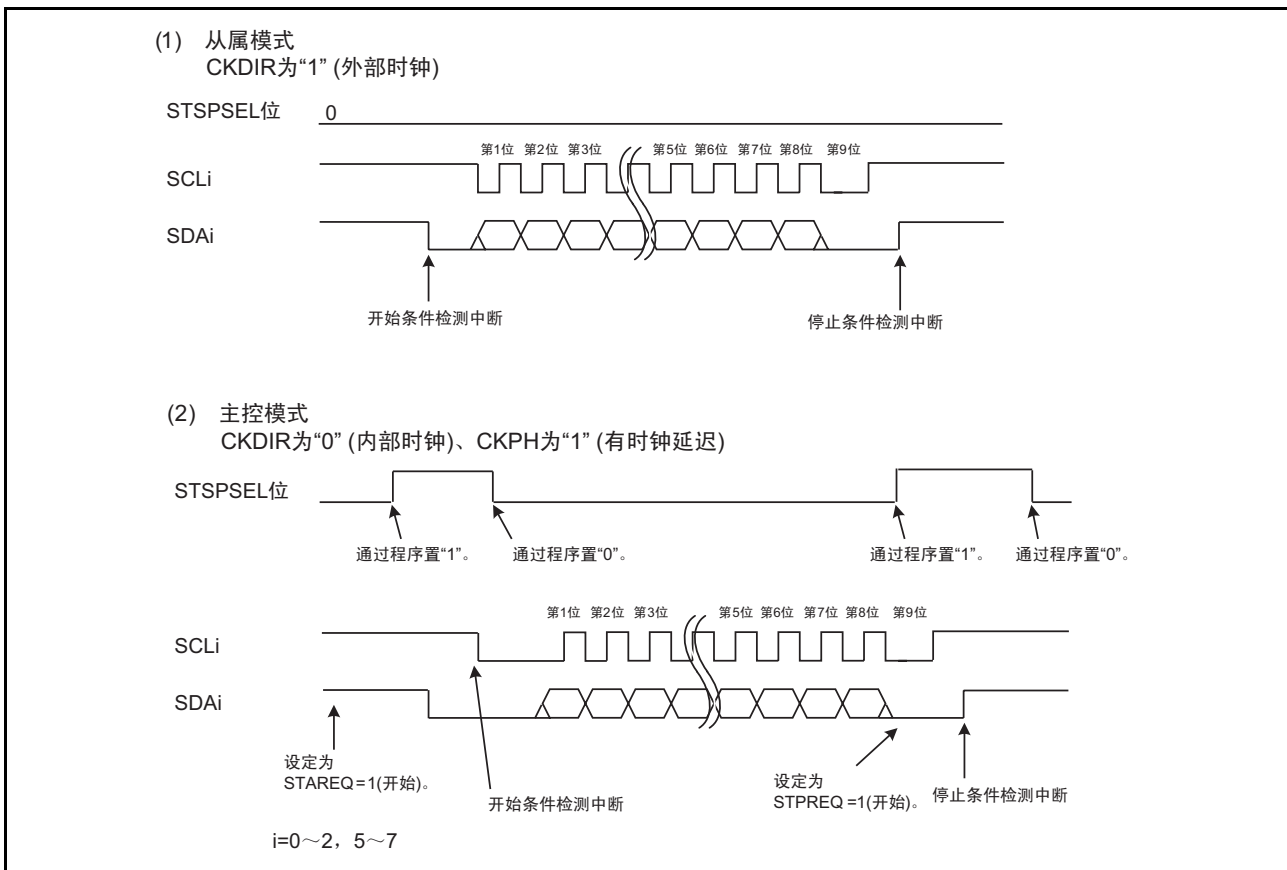


图 17.27 STSPSEL 位的功能

17.1.3.3 仲裁

在 SCLi 上升时判断发送数据和 SDAi 引脚输入数据是否不同。通过 UiSMR 寄存器的 ABC 位选择 UiRB 寄存器的 ABT 位的更新时序。当 ABC 位为 “0” (按位更新) 时，如果在判断时检测到不同，ABT 位就同时变为 “1”；否则，ABT 位就变为 “0”。如果将 ABC 位置 “1”，只要在判断时检测到一次不同，就在第 9 位时钟的下降沿 ABT 位变为 “1” (检测到不同)，而且在按字节更新时，必须在第 1 个字节的应答检测结束后，先将 ABT 位置 “0” (未检测到不同)，然后传送下一个字节。

如果将 UiSMR2 寄存器的 ALS 位置 “1” (允许 SDA 输出停止)，就产生仲裁失败，并且在 ABT 位变为 “1” (检测到不同) 的同时，SDAi 引脚变为高阻抗状态。

17.1.3.4 传送时钟

通过如 “图 17.25 UiRB 寄存器的传送和中断时序” 所示的传送时钟进行发送和接收。

UiSMR2 寄存器的 CSC 位是使内部生成的时钟 (内部 SCLi) 和 SCLi 引脚输入的外部时钟同步的位。在 CSC 位被置 “1” (允许时钟同步) 的情况下，当内部 SCLi 为 “H” 电平时，如果检测到 SCLi 引脚的下降沿，就将内部 SCLi 作为 “L” 电平，在重新加载 UiBRG 寄存器的值后开始对 L 区间进行计数；当 SCLi 引脚为 “L” 电平时，如果内部 SCLi 从 “L” 电平变为 “H” 电平，就停止计数，然后如果 SCLi 引脚变为 “H” 电平，就重新开始计数。因此，UARTi 的传送时钟为内部 SCLi 和 SCLi 引脚信号的逻辑与，而且传送时钟在从内部 SCLi 的第 1 位下降的半周期前到第 9 位上升的期间运行。在使用此功能时，传送时钟必须选择内部时钟。

能通过 UiSMR2 寄存器的 SWC 位选择 SCLi 引脚在第 9 位时钟的下降沿是固定为 “L” 电平输出还是解除 “L” 电平的固定输出。

如果将 UiSMR4 寄存器的 SCLHI 位置 “1”（允许），就在检测到停止条件时停止 SCLi 输出（高阻抗状态）。

如果将 UiSMR2 寄存器的 SWC2 位置 “1”（0 输出），即使在发送和接收时也能从 SCLi 引脚强制输出 “L” 电平。如果将 SWC2 位置 “0”（传送时钟），就在解除 SCLi 引脚的 “L” 电平输出后输入或者输出传送时钟。

当 UiSMR3 寄存器的 CKPH 位为 “1” 时，如果将 UiSMR4 寄存器的 SWC9 位置 “1”（允许 SCL 保持 “L” 电平），就在第 9 位的下一个时钟的下降沿将 SCLi 引脚固定为 “L” 电平输出；如果将 SWC9 位置 “0”（禁止 SCL 保持 “L” 电平），就解除 “L” 电平的固定输出。

17.1.3.5 SDA 输出

从 D7 开始按顺序输出写在 UiTB 寄存器的 bit7 ~ 0(D7 ~ D0) 的值，第 9 位 (D8) 为 ACK 或者 NACK。

必须在 IICM=1（I²C 模式）并且 UiMR 寄存器的 SMD2 ~ SMD0 位为 “000b”（串行接口无效）的状态下设定 SDAi 发送输出的初始值。

能通过 UiSMR3 寄存器的 DL2 ~ DL0 位设定 SDAi 的输出是不延迟还是延迟 2 ~ 8 个 UiBRG 计数源周期。

如果 UiSMR2 寄存器的 SDHI 位为 “1”（禁止 SDA 输出），SDAi 引脚就被强制变为高阻抗状态。另外，不能在 UARTi 传送时钟上升时写 SDHI 位。ABT 位有可能为 “1”（检测到）。

17.1.3.6 SDA 输入

当 IICM2 位为 “0” 时，将接收数据的第 1 ~ 8 位 (D7 ~ D0) 保存到 UiRB 寄存器的 bit7 ~ 0，第 9 位 (D8) 为 ACK 或者 NACK。

当 IICM2 位为 “1” 时，将接收数据的第 1 ~ 7 位 (D7 ~ D1) 保存到 UiRB 寄存器的 bit6 ~ 0，第 8 位 (D0) 保存到 UiRB 寄存器的 bit8。即使在 IICM2 位为 “1” 时，只要 CKPH 位为 “1”，也能在第 9 位的时钟上升后，通过读 UiRB 寄存器来读取和 IICM2 位为 “0” 时的相同数据。

17.1.3.7 ACK 和 NACK

当 UiSMR4 寄存器的 STSPSEL 位为 “0”（不生成开始条件和停止条件）并且 UiSMR4 寄存器的 ACKC 位为 “1”（输出 ACK 数据）时，能从 SDAi 引脚输出 UiSMR4 寄存器的 ACKD 位的值。

当 IICM2 位为 “0” 时，如果在第 9 位发送时钟上升时 SDAi 引脚为 “H” 电平，就产生 NACK 中断请求；如果 SDAi 引脚为 “L” 电平，就产生 ACK 中断请求。

如果将 ACKi 选择为 DMA1 或者 DMA3 的请求源，就能通过应答检测启动 DMA 传送。

17.1.3.8 发送和接收的初始化

如果将 STAC 位置 “1”（允许 UARTi 的初始化）并检测到开始条件，就进行如下运行：

- 对发送移位寄存器进行初始化，将 UiTB 寄存器的内容传送到发送移位寄存器。将下一个输入时钟作为第 1 位开始发送。但是，在从输入时钟到输出第 1 位数据的期间，UARTi 的输出值不变而保持检测到开始条件时的值。
- 对接收移位寄存器进行初始化，将下一个输入时钟作为第 1 位开始接收。
- SWC 位变为 “1”（允许 SCL 等待输出）。因此，SCLi 引脚在第 9 位时钟的下降沿变为 “L” 电平。

如果使用此功能开始 UARTi 的发送和接收，TI 位不变。另外，在使用此功能时，传送时钟必须选择外部时钟。

17.1.4 特殊模式 2

在特殊模式 2 中，能从 1 个主控模式与多个从属模式进行串行通信，还能选择传送时钟的极性和相位。特殊模式 2 的规格以及特殊模式 2 中使用的寄存器和设定值分别如表 17.15 和表 17.16 所示，特殊模式 2 的通信控制例子（UART2）如图 17.28 所示。

表 17.15 特殊模式 2 的规格

项目	规格
传送数据格式	传送数据长度：8 位
传送时钟	- 主控模式 当 UiMR 寄存器的 CKDIR 位为 “0”（选择内部时钟）时：$f_j/(2(n+1))$ f_j 为 f1SIO、f2SIO、f8SIO、f32SIO，n 为 UiBRG 寄存器的设定值（00h ~ FFh）。 - 从属模式 当 CKDIR 位为 “1”（选择外部时钟）时：CLKi 引脚的输入
发送控制、接收控制	通过输入 / 输出端口进行控制。
发送开始条件	开始发送时需要以下条件（注 1）： - UiC1 寄存器的 TE 位为 “1”（允许发送）。 - UiC1 寄存器的 TI 位为 “0”（UiTB 寄存器有数据）。
接收开始条件	开始接收时需要以下条件（注 1）： - UiC1 寄存器的 RE 位为 “1”（允许接收）。 - TE 位为 “1”（允许发送）。 - TI 位为 “0”（UiTB 寄存器有数据）。
中断请求的发生	在发送时可选择以下任意的条件： - UiC1 寄存器的 UiIRS 位为 “0”（发送缓冲器空）： 在将数据从 UiTB 寄存器传送到 UARTi 发送寄存器时（发送开始时） - UiIRS 位为 “1”（发送结束）： 在 UARTi 发送寄存器的数据发送结束时 在接收时 - 在将数据从 UARTi 接收寄存器传送到 UiRB 寄存器时（接收结束时）
错误检测	溢出错误（注 2） 如果在读 UiRB 寄存器前接收到下一个数据的第 7 位，就发生溢出错误。
选择功能	时钟相位的选择 可选择传送时钟的极性和相位的 4 种组合。

i=0 ~ 2, 5 ~ 7

- 注 1. 在选择外部时钟时，必须满足以下条件：
当 UiC0 寄存器的 CKPOL 位为 “0”（在传送时钟的下降沿输出发送数据、在上升沿输入接收数据）时，外部时钟为 “H” 电平状态；当 CKPOL 位为 “1”（在传送时钟的上升沿输出发送数据输出、在下降沿输入接收数据）时，外部时钟为 “L” 电平状态。
- 注 2. 在发生溢出错误时，UiRB 寄存器的接收数据为不定状态，而且 SiRIC 寄存器的 IR 位不变。

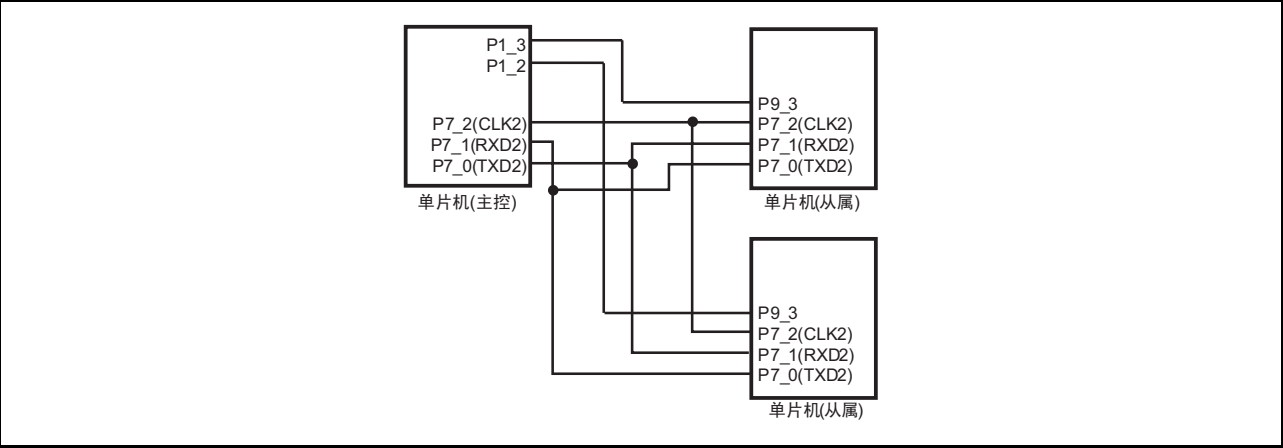


图 17.28 特殊模式 2 的通信控制例子（UART2）

表 17.16 特殊模式 2 中使用的寄存器和设定值

寄存器	位	功能
UiTB (注 1)	0 ~ 7	必须设定发送数据。
UIRB (注 3)	0 ~ 7	能读取接收数据。
	OER	溢出错误标志
UiBRG	0 ~ 7	必须设定位速率。
UIMR (注 3)	SMD2 ~ SMD0	必须置 “001b”。
	CKDIR	在主控模式中必须置 “0”，在从属模式中必须置 “1”。
	IOPOL	必须置 “0”。
UiC0	CLK0、CLK1	必须选择 UiBRG 的计数源。
	CRS	因为 CRD= “1”，所以无效。
	TXEPT	发送寄存器空标志
	CRD	必须置 “1”。
	NCH	必须选择 TXDi 引脚的输出形式 (注 2)。
	CKPOL	能通过和 UiSMR3 寄存器的 CKPH 位的组合设定时钟相位。
	UFORM	必须置 “0”。
UiC1	TE	在允许发送和接收时，必须置 “1”。
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置 “1”。
	RI	接收结束标志
	UiIRS (注 1)	必须选择 UARTi 发送中断源。
	UiRRM (注 1)、UiLCH、UiERE	必须置 “0”。
UiSMR	0 ~ 7	必须置 “0”。
UiSMR2	0 ~ 7	必须置 “0”。
UiSMR3	CKPH	能通过和 UiC0 寄存器的 CKPOL 位的组合，设定时钟相位。
	NODC	必须置 “0”。
	0、2、4 ~ 7	必须置 “0”。
UiSMR4	0 ~ 7	必须置 “0”。
UCON	U0IRS、U1IRS	必须选择 UART0、UART1 发送中断源。
	U0RRM、U1RRM	必须置 “0”。
	CLKMD0	因为 CLKMD1=0，所以无效。
	CLKMD1、RCSP、7	必须置 “0”。

注 1. 必须将 U0C0、U1C1 寄存器的 bit4 和 bit5 置 “0”。U0IRS、U1IRS、U0RRM、U1RRM 位是 UCON 寄存器的位。

注 2. TXD2 引脚为 N 沟道漏极开路。因为 U2C0 寄存器的 NCH 位什么也不指定，所以在进行写操作时，必须写 “0”。

注 3. 在特殊模式 2 中进行写操作时，必须给此表中没有记载的位写 “0”。

i=0 ~ 2, 5 ~ 7

17.1.4.1 时钟相位设定功能

能通过 UiSMR3 寄存器的 CKPH 位和 UiC0 寄存器的 CKPOL 位，选择传送时钟的相位和极性的 4 种组合。在进行传送的主控模式和从属模式中，必须设定相同的传送时钟的极性和相位。

主控模式（内部时钟）中的发送和接收时序如图 17.29 所示。

从属模式（外部时钟）中的发送和接收时序（CKPH=0）以及从属模式（外部时钟）中的发送和接收时序（CKPH=1）分别如图 17.30 和图 17.31 所示。

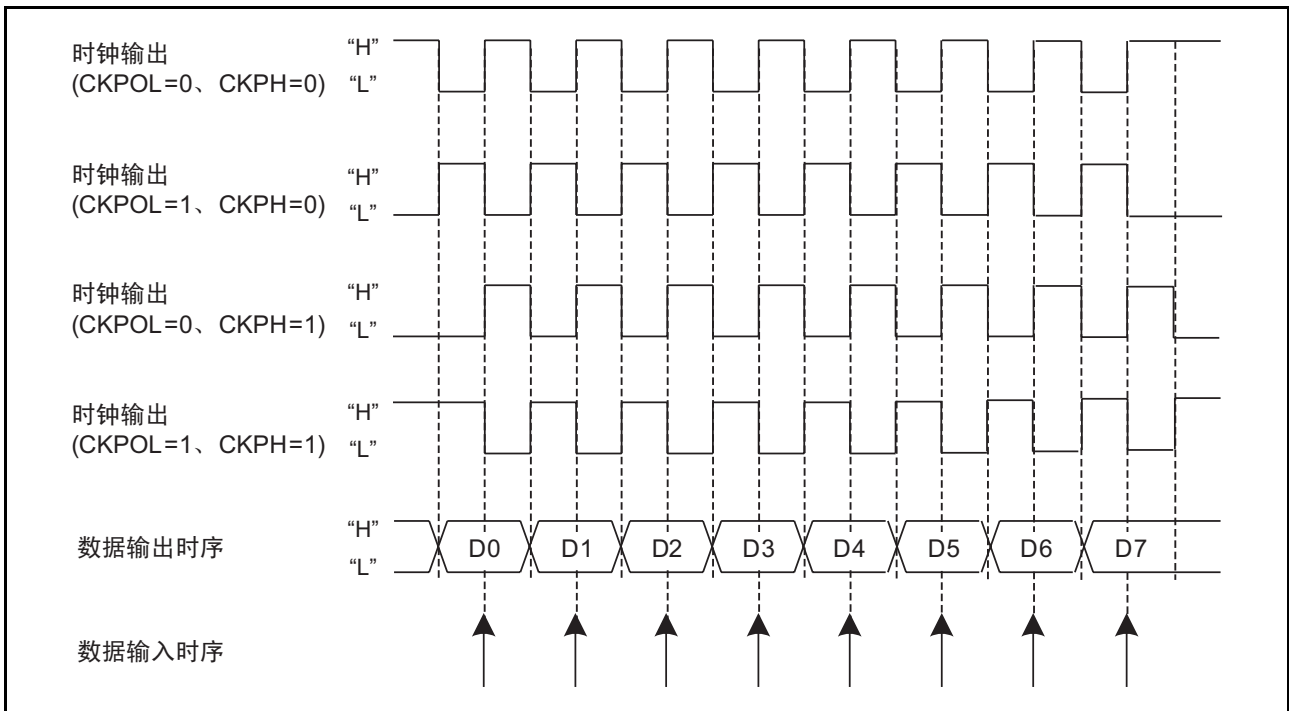


图 17.29 主控模式（内部时钟）中的发送和接收时序

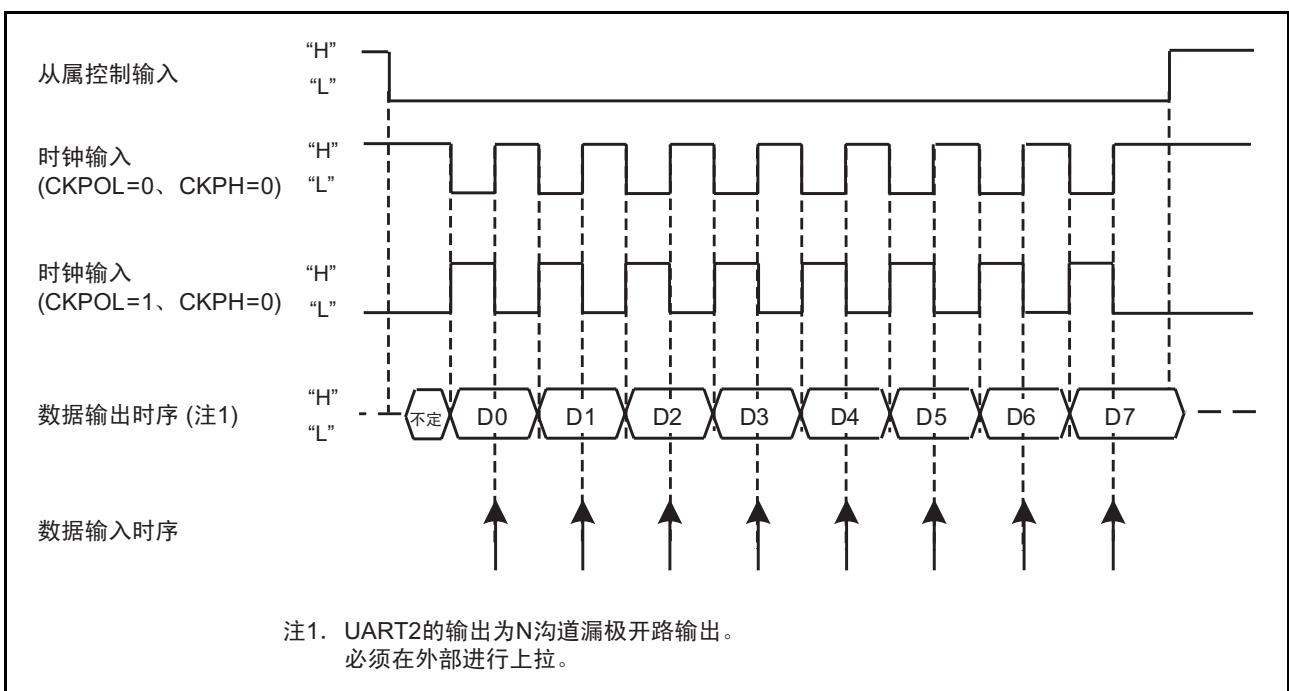


图 17.30 从属模式（外部时钟）中的发送和接收时序（CKPH=0）

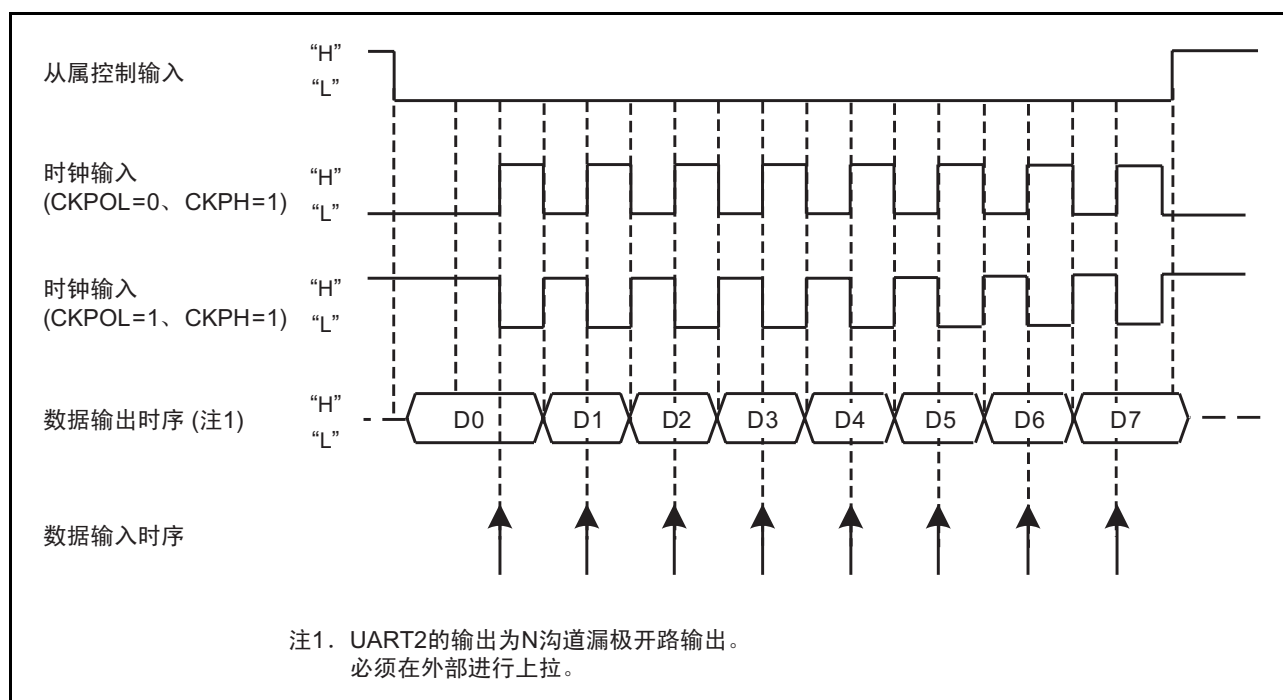


图 17.31 从属模式（外部时钟）中的发送和接收时序（CKPH=1）

17.1.5 特殊模式 3（IE 模式）

IE 模式是通过 UART 模式的 1 字节波形使其接近 IEBus 的 1 位的模式。

IE 模式中使用的寄存器和设定值如表 17.17 所示，总线冲突检测功能关联位的功能如图 17.32 所示。

当 TXDi 引脚（i=0 ~ 2, 5 ~ 7）的输出电平和 RXDi 引脚的输入电平不同时，发生 UARTi 总线冲突检测中断请求。

在使用 UART0 或者 UART1 的总线冲突检测功能时，必须通过 IFSR2A 寄存器的 IFSR26 位和 IFSR27 位选择。

表 17.17 IE 模式中使用的寄存器和设定值

寄存器	位	功能
UiTB	0 ~ 8	必须设定发送数据。
UIRB (注 3)	0 ~ 8	能读取接收数据。
	OER、FER、PER、SUM	错误标志
UiBRG	0 ~ 7	必须设定位速率。
UiMR	SMD2 ~ SMD0	必须置“110b”。
	CKDIR	必须选择内部时钟或者外部时钟。
	STPS	必须置“0”。
	PRY	因为 PRYE=0，所以无效。
	PRYE	必须置“0”。
	IOPOL	必须选择 TXD 和 RXD 输入 / 输出极性。
UiC0	CLK1 ~ CLK0	必须选择 UiBRG 的计数源。
	CRS	因为 CRD=1，所以无效。
	TXEPT	发送寄存器空标志
	CRD	必须置“1”。
	NCH	必须选择 TXDi 引脚的输出形式 (注 2)。
	CKPOL	必须置“0”。
	UFORM	必须置“0”。
UiC1	TE	在允许发送时，必须置“1”。
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置“1”。
	RI	接收结束标志
	UiIRS (注 1)	必须选择 UARTi 发送中断源。
	UiRRM (注 1)、UiLCH、UiERE	必须置“0”。
UiSMR	0 ~ 3、7	必须置“0”。
	ABSCS	必须选择总线冲突检测采样时序。
	ACSE	在使用发送允许位自动清除时，必须置“1”。
	SSS	必须选择发送开始条件。
UiSMR2	0 ~ 7	必须置“0”。
UiSMR3	0 ~ 7	必须置“0”。
UiSMR4	0 ~ 7	必须置“0”。
IFSR2A	IFSR26、IFSR27	必须置“1”。
UCON	U0IRS、U1IRS	必须选择 UART0、UART1 发送中断源。
	U0RRM、U1RRM	必须置“0”。
	CLKMD0	因为 CLKMD1=0，所以无效。
	CLKMD1、RCSP、7	必须置“0”。

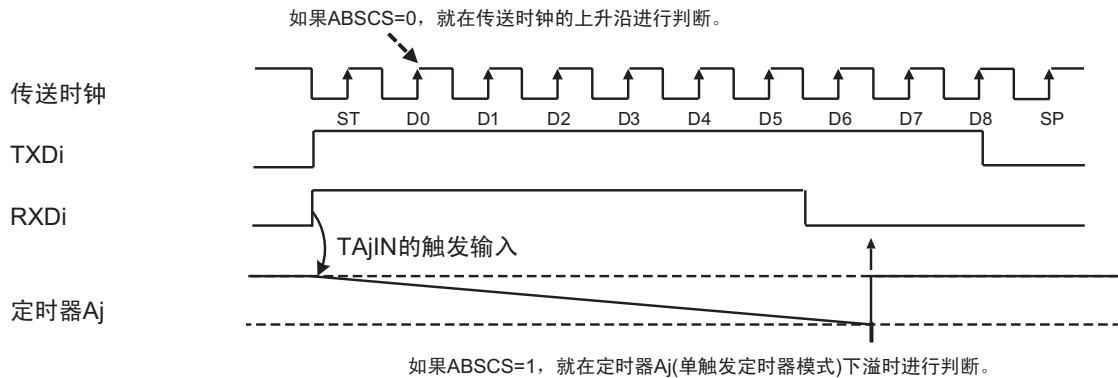
i=0 ~ 2, 5 ~ 7

注 1. 必须将 U0C0、U1C1 寄存器的 bit4 和 bit5 必须置“0”。U0IRS、U1IRS、U0RRM、U1RRM 位是 UCON 寄存器的位。

注 2. TXD2 引脚为 N 沟道漏极开路。因为 U2C0 寄存器的 NCH 位什么也不指定，所以必须写“0”。

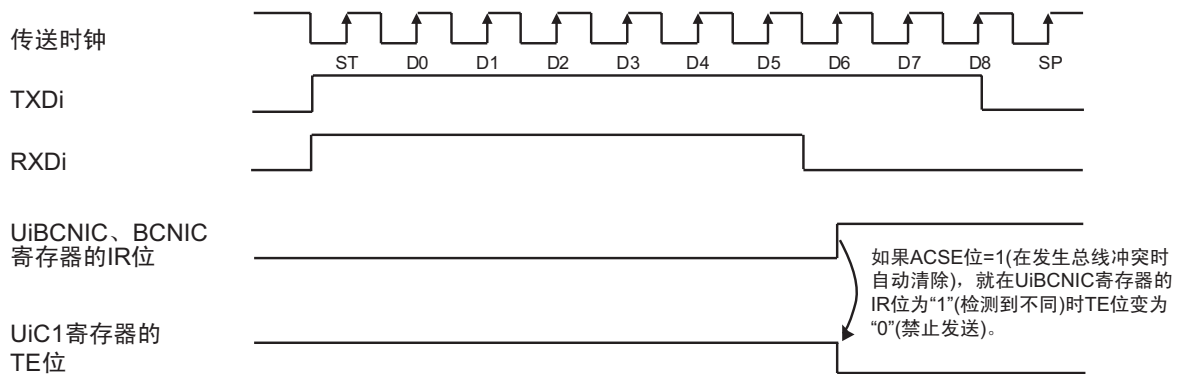
注 3. 在 IE 模式中进行写操作时，必须将此表中没有记载的位写“0”。

(1) UiSMR寄存器的ABSCS位 (选择总线冲突检测采样时钟) (i=0~2, 5~7)

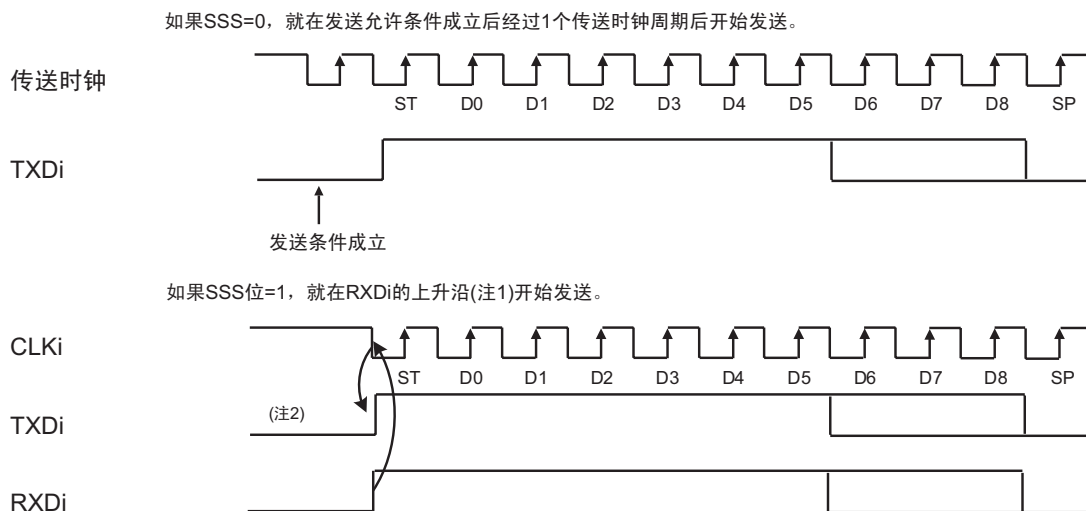


定时器Aj：在UART0时为定时器A3，在UART1时为定时器A4，在UART2时为定时器A0
在UART5时为定时器A0，在UART6时为定时器A3，在UART7时为定时器A4

(2) UiSMR寄存器的ACSE位 (发送允许位自动清除)



(3) UiSMR寄存器的SSS位(选择发送开始条件)



注1. 在IOPOL=0时为RXDi的下降沿，在IOPOL=1时为RXDi的上升沿。

注2. 发送条件需要在RXD的下降沿(注1)之前成立。

上图为IOPOL=1(有反相)的情况。i=0~2, 5~7

图 17.32 总线冲突检测功能关联位的功能

17.1.6 特殊模式 4（SIM 模式）（UART2）

SIM 模式是使用 UART 模式来对应 SIM 接口的模式。能实现直接格式和反向格式，并且能在检测到奇偶校验错误时，从 TXD2 引脚输出“L”电平。

SIM 模式的规格以及 SIM 模式中使用的寄存器和设定值分别如表 17.18 和表 17.19 所示。

表 17.18 SIM 模式的规格

项目	规格
传送数据格式	直接格式 反向格式
传送时钟	- 当 U2MR 寄存器的 CKDIR 位为“0”（内部时钟）时：$f_i/(16(n+1))$ f_i 为 f1SIO、f2SIO、f8SIO、f32SIO，n 为 U2BRG 寄存器的设定值（00h ~ FFh）。 - 当 CKDIR 位为“1”（外部时钟）时：$f_{EXT}/(16(n+1))$ f_{EXT} 为 CLK2 引脚的输入，n 为 U2BRG 寄存器的设定值（00h ~ FFh）。
发送开始条件	开始发送时需要以下条件： - U2C1 寄存器的 TE 位为“1”（允许发送）。 - U2C1 寄存器的 TI 位为“0”（U2TB 寄存器有数据）。
接收开始条件	开始接收时需要以下条件： - U2C1 寄存器的 RE 位为“1”（允许接收）。 - 检测到开始位。
中断请求的发生（注 2）	- 在发送时 在 UART2 发送寄存器的数据传送结束时（U2IRS 位 = “1”） - 在接收时 在将数据从 UART2 接收寄存器传送到 U2RB 寄存器（接收结束）时
错误检测	- 溢出错误（注 1） 如果在读 U2RB 寄存器前接收到下一个数据的最后停止位的前一位，就发生溢出错误。 - 帧错误（注 3） 当检测不到已设定个数的停止位时，发生帧错误。 - 奇偶校验错误（注 3） 如果在接收时检测到奇偶校验错误，就从 TXD2 引脚输出奇偶校验错误信号。 如果在发送时发生发送中断，就根据 RXD2 引脚的输入电平检测奇偶校验错误。 - 错误和数标志 如果发生溢出错误、帧错误或者奇偶校验错误，此标志就为“1”。

注 1. 在发生溢出错误时，U2RB 寄存器的接收数据为不定状态，而且 S2RIC 寄存器的 IR 位不变。

注 2. 在解除复位后，如果将 U2C1 寄存器的 U2IRS 位置“1”（发送结束）并且 U2ERE 位置“1”（错误信号输出），就产生发送中断请求。因此，在使用 SIM 模式时，必须在进行以上设定后将 IR 位置“0”（无中断请求）。

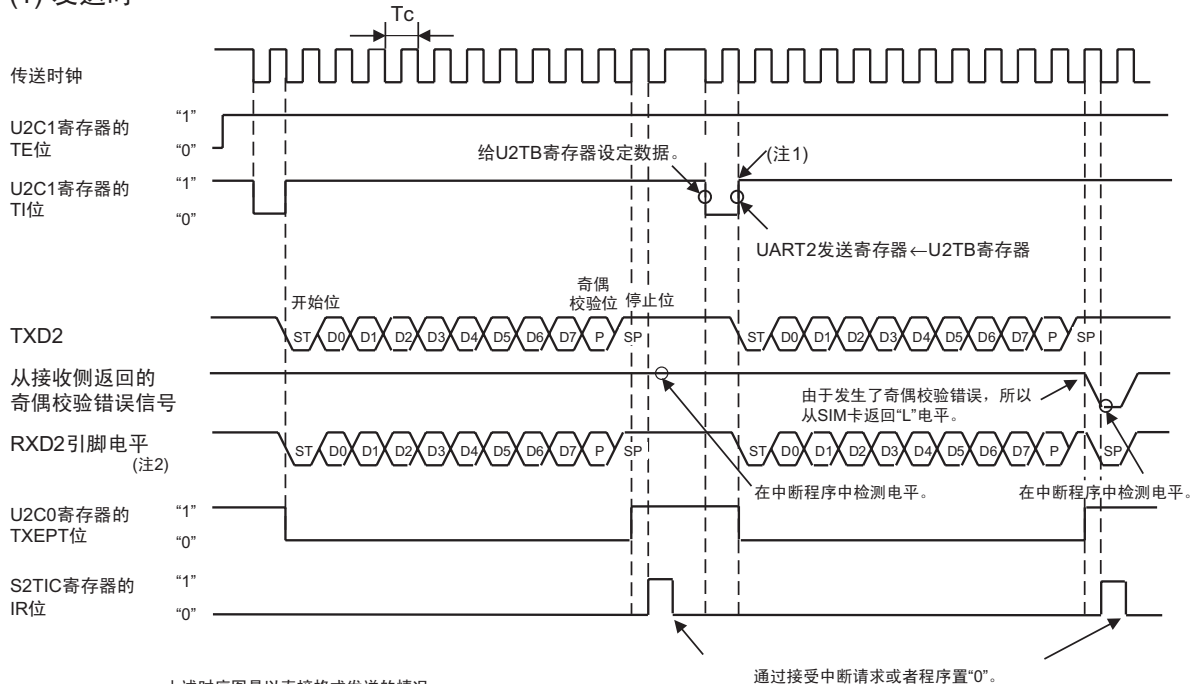
注 3. 在将数据从 UART2 接收寄存器传送到 U2RB 寄存器时，帧错误标志和奇偶校验错误标志被置位。

表 17.19 SIM 模式中使用的寄存器和设定值

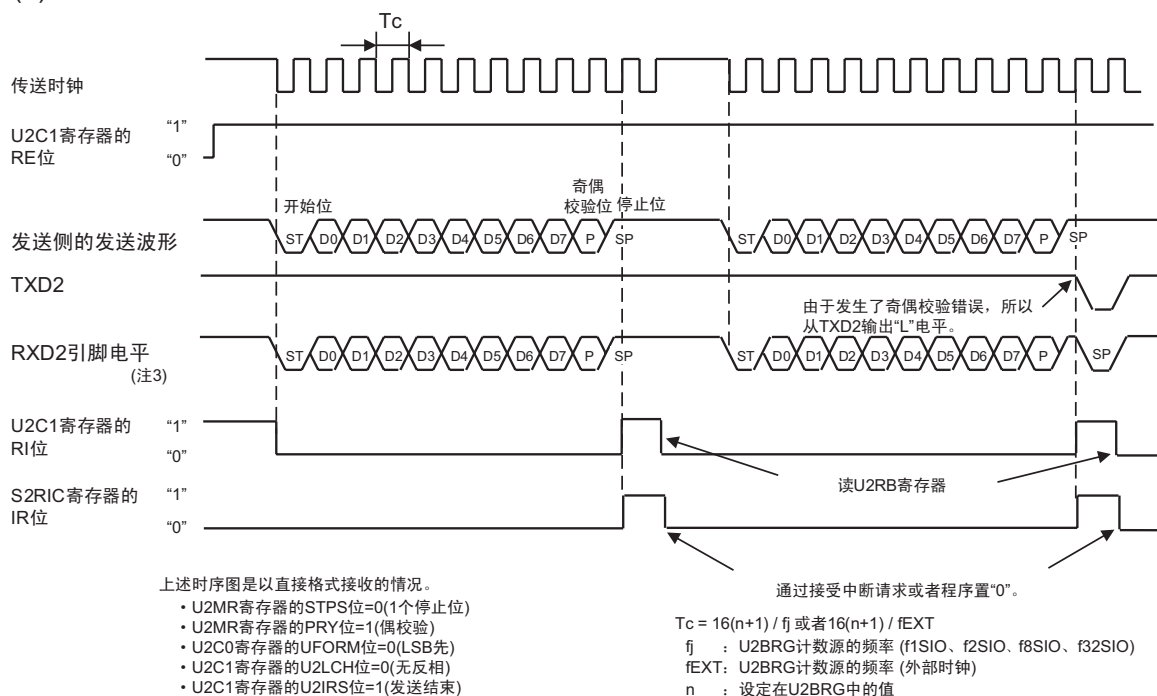
寄存器	位	功能
U2TB (注 1)	0 ~ 7	必须设定发送数据。
U2RB (注 1)	0 ~ 7	能读取接收数据。
	OER、FER、PER、SUM	错误标志
U2BRG	0 ~ 7	必须设定位速率。
U2MR	SMD2 ~ SMD0	必须置 “101b”。
	CKDIR	必须选择内部时钟或者外部时钟。
	STPS	必须置 “0”。
	PRY	在直接格式时必须置 “1”，在反向格式时必须置 “0”。
	PRYE	必须置 “1”。
	IOPOL	必须置 “0”。
U2C0	CLK0、CLK1	必须选择 U2BRG 的计数源。
	CRS	因为 CRD=1，所以无效。
	TXEPT	发送寄存器空标志
	CRD	必须置 “1”。
	NCH	必须置 “0”。
	CKPOL	必须置 “0”。
	UFORM	在直接格式时必须置 “0”，在反向格式时必须置 “1”。
U2C1	TE	在允许发送时，必须置 “1”。
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置 “1”。
	RI	接收结束标志
	U2IRS	必须置 “1”。
	U2RRM	必须置 “0”。
	U2LCH	在直接格式时必须置 “0”，在反向格式时必须置 “1”。
	U2ERE	必须置 “1”。
U2SMR (注 1)	0 ~ 3	必须置 “0”。
U2SMR2	0 ~ 7	必须置 “0”。
U2SMR3	0 ~ 7	必须置 “0”。
U2SMR4	0 ~ 7	必须置 “0”。

注 1. 在 SIM 模式中进行写操作时，必须将此表中没有记载的位写 “0”。

(1) 发送时



(2) 接收时



注1. 上述时序：在给U2TB寄存器写值后BRG上溢时开始发送。

注2. 由于TXD2和RXD2连接，所以此波形为TXD2的发送波形和从接收侧返回的奇偶校验错误信号的合成波形。

注3. 由于TXD2和RXD2连接，所以此波形为发送侧的发送波形和从TXD2输出的奇偶校验错误信号的合成波形。

图 17.33 SIM 模式中的发送和接收时序例子

SIM 接口的连接例子如图 17.34 所示，必须将 TXD2 和 RXD2 连接后上拉。

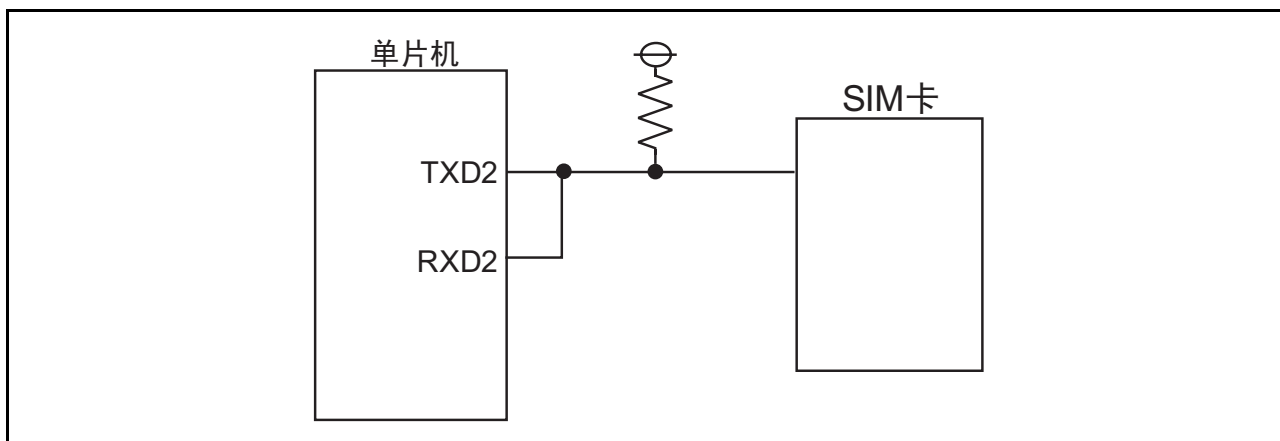


图 17.34 SIM 接口的连接例子

17.1.6.1 奇偶校验错误信号的输出功能

如果将 U2C1 寄存器的 U2ERE 位置“1”（输出），就能使用奇偶校验错误信号。

如果在接收时检测到奇偶校验错误，就输出奇偶校验错误信号，在图 17.35 所示的时序中 TXD2 输出变为“L”电平。但是，如果在输出奇偶校验错误信号时读 U2RB 寄存器，U2RB 寄存器的 PER 位就变为“0”（无奇偶校验错误），同时 TXD2 输出也恢复为“H”电平。

发送时，在输出停止位的下一个传送时钟的下降沿产生发送结束中断请求。因此，如果通过发送结束中断程序读和 RXD2 引脚复用的端口，就能判断奇偶校验错误信号是否被返回。

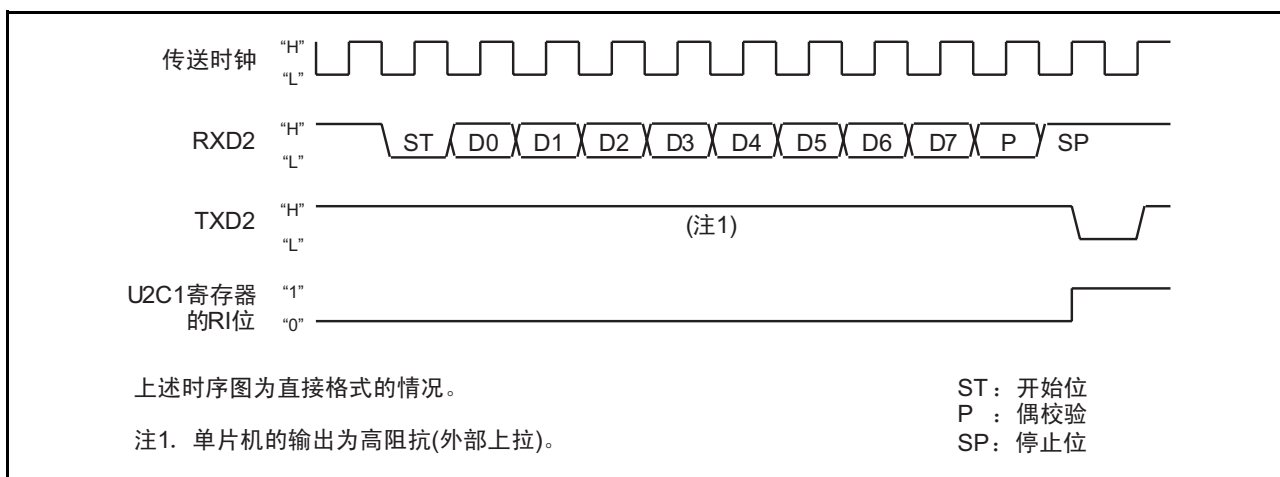


图 17.35 奇偶校验错误信号的输出时序

17.1.6.2 格式

格式有直接格式和反向格式。

在直接格式的情况下，必须将 U2MR 寄存器的 PRYE 位置 “1”（允许奇偶校验）、PRY 位置 “1”（偶校验）、U2C0 寄存器的 UFORM 位置 “0”（LSB 先）、U2C1 寄存器的 U2LCH 位置 “0”（无反相）。在发送时，将设定在 U2TB 寄存器中的数据附加偶校验位后从 D0 开始按顺序发送；在接收时，从 D0 开始按顺序将接收到的数据保存到 U2RB 寄存器，并通过偶校验位判断奇偶校验错误。

在反向格式的情况下，必须将 PRYE 位置 “1”、PRY 位置 “0”（奇校验）、UFORM 位置 “1”（MSB 先）、U2LCH 位置 “1”（有反相）。在发送时，将设定在 U2TB 寄存器中的数据附加奇校验位并进行逻辑取反后从 D7 开始按顺序发送；在接收时，将接收到的数据进行逻辑取反后，从 D7 开始按顺序保存到 U2RB 寄存器，并通过奇校验位判断奇偶校验错误。

SIM 接口格式如图 17.36 所示。

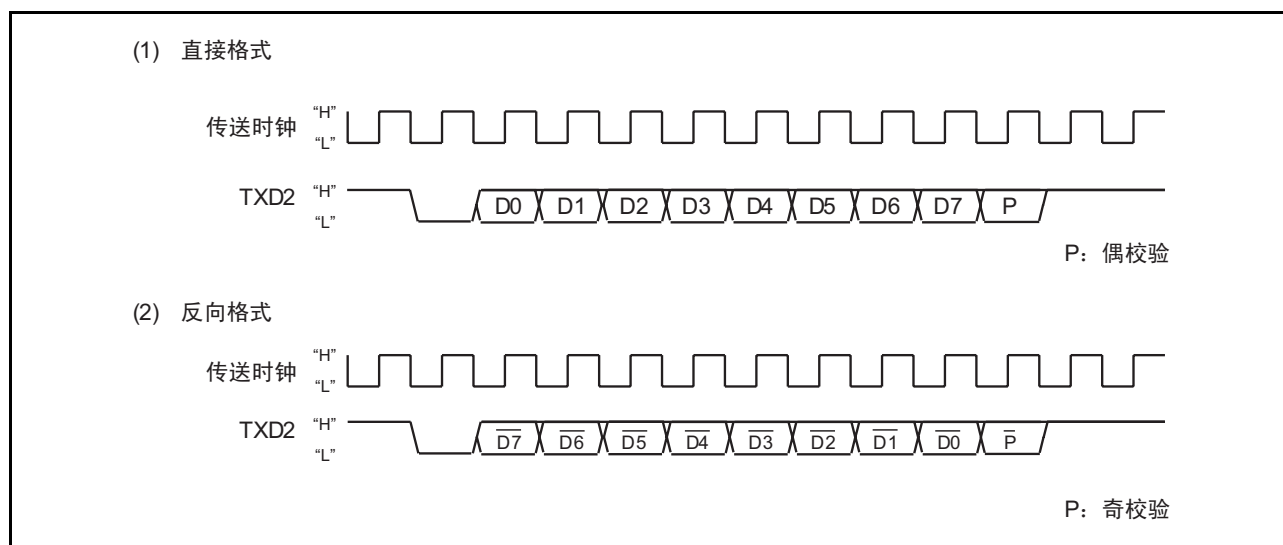


图 17.36 SIM 接口格式

17.2 SI/O3 和 SI/O4

SI/O3 和 SI/O4 为时钟同步专用串行 I/O。

SI/O3 和 SI/O4 的框图以及 SI/O3 和 SI/O4 的关联寄存器分别如图 17.37 和图 17.38 所示。

SI/O3 和 SI/O4 的规格如表 17.20 所示。

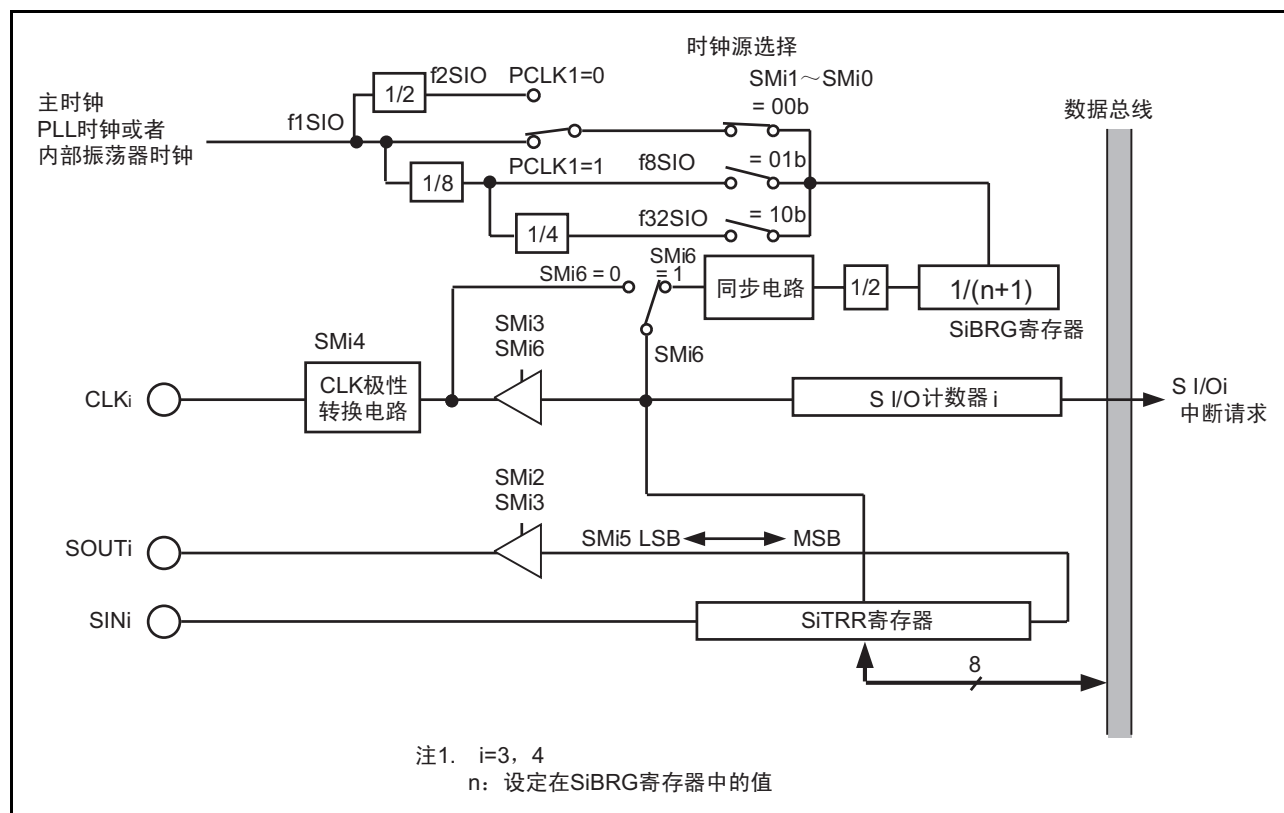


图 17.37 SI/O3 和 SI/O4 的框图

SI/Oi控制寄存器(i=3, 4) (注1)

b7b6b5b4b3b2b1b0								符号 S3C S4C	地址 地址0272h 地址0276h	复位后的值 01000000b 01000000b	
								位符号	位名	功能	RW
								SMi0	内部同步时钟选择位(注6)	b1 b0 0 0: 选择f1SIO或者f2SIO(注5) 0 1: 选择f8SIO 1 0: 选择f32SIO 1 1: 不能设定	RW
								SMi1			
								SMi2	SOUTi输出禁止位(注4)	0: 允许SOUTi输出 1: 禁止SOUTi输出(高阻抗)	RW
								SMi3	SI/Oi端口选择位	0: 输入/输出端口 串行接口无效 1: SOUTi输出、CLKi功能 串行接口有效	RW
								SMi4	CLK极性选择位	0: 在传送时钟的下降沿输出发送数据, 在上升沿输入接收数据 1: 在传送时钟的上升沿输出发送数据, 在下降沿输入接收数据	RW
								SMi5	传送方向选择位	0: LSB先 1: MSB先	RW
								SMi6	同步时钟选择位	0: 外部时钟 (注2) 1: 内部时钟 (注3)	RW
								SMi7	SOUTi初始输出设定位	在SMi6=0时有效 (注7) 0: 输出“L”电平 1: 输出“H”电平	RW

- 注1. 必须通过将PRCR寄存器的PRC2位置“1”(允许写)后的下一条指令写此寄存器。
 注2. 必须将SMi3位置“1”、对应的端口方向位置“0”(输入模式)。
 注3. 必须将SMi3位置“1”(SOUTi输出、CLKi功能)。
 注4. 如果将SMi2位置“1”，就与使用的功能无关，对象引脚变为高阻抗。
 注5. 必须通过PCLKR寄存器的PCLK1位选择。
 注6. 在更改SMi1~SMi0位后，必须设定SiBRG寄存器。
 注7. 在SMi3位为“0”(输入/输出端口)时，必须设定值。此后，如果将SMi3位置“1”(SOUTi输出)，就从SOUTi引脚输出由SMi7位选择的电平。

SI/Oi位速率寄存器(i=3, 4) (注1、2、3)

b7 b0		符号	地址	复位后的值
		S3BRG	地址0273h	不定
		S4BRG	地址0277h	不定
		功能	设定范围	RW
		假设设定值为n，SiBRG就对计数源进行n+1分频。	00h~FFh	WO

- 注1. 必须在发送和接收停止中写此寄存器。
 注2. 必须用MOV指令写此寄存器。
 注3. 必须在设定SiC寄存器的SMi1~SMi0位后写此寄存器。

SI/Oi发送/接收寄存器(i=3, 4) (注1、2)

b7 b0		符号	地址	复位后的值
		S3TRR	地址0270h	不定
		S4TRR	地址0274h	不定
		功能	设定范围	RW
-----		如果写发送数据，就开始发送和接收。在发送和接收结束后，能读取接收数据。		
		RW		

- 注1. 必须在发送和接收停止中写此寄存器。
 注2. 在接收时，必须将对应SiNi的端口方向位置“0”(输入模式)。

图 17.38 S3C、S4C、S3BRG、S4BRG、S3TRR、S4TRR 寄存器

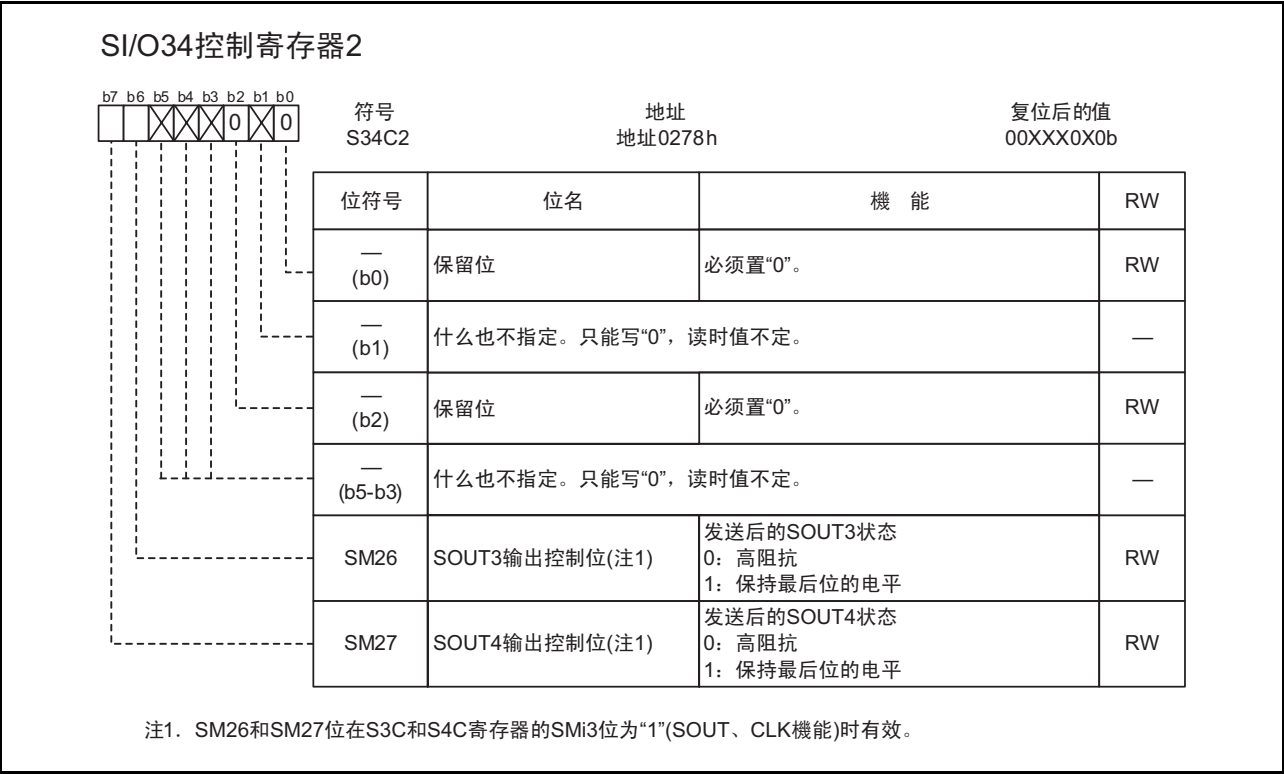


图 17.39 S34C2 寄存器

表 17.20 SI/O3 和 SI/O4 的规格

项目	规格
传送数据格式	传送数据长度：8 位
传送时钟	- 当 SiC 寄存器（i=3, 4）的 SMi6 位为“1”（内部时钟）时：$f_j/(2(n+1))$ fj 为 f1SIO、f8SIO、f32SIO，n 为 SiBRG 寄存器的设定值（00h ~ FFh）。 - 当 SMi6 位为“0”（外部时钟）时：CLKi 引脚的输入（注 1）
送接收开始条件	开始发送和接收时需要以下条件： 将发送数据写到 SiTRR 寄存器（注 2、3）。
中断请求的发生	- 当 SiC 寄存器的 SMi4 位为“0”时 最后传送时钟的上升沿（注 4） - 当 SMi4 位为“1”时 最后传送时钟的下降沿（注 4）
CLKi 引脚功能	输入 / 输出端口、传送时钟的输入引脚、传送时钟的输出引脚
SOUTi 引脚功能	输入 / 输出端口、发送数据的输出引脚、高阻抗
SINi 引脚功能	输入 / 输出端口、接收数据的输入引脚
选择功能	- LSB 先或者 MSB 先的选择 可选择从 bit0 或者 bit7 发送和接收。 - CLK 极性选择 传送数据的输出 / 输入时序可选择传送时钟的上升沿或者下降沿。 - SOUTi 初始值的设定功能 当 SiC 寄存器的 SMi6 位为“0”（外部时钟）时，可选择未发送时的 SOUTi 引脚的输出电平。 - 发送后的 SOUTi 状态选择 可选择高阻抗状态或者保持最后位的电平。

- 注 1. 将 SiC 寄存器的 SMi6 位置“0”（外部时钟）时，必须进行以下操作：
- 当 SiC 寄存器的 SMi4 位为“0”时，必须在给 CLKi 引脚输入“H”电平的状态下将发送数据写到 SiTRR 寄存器。在改写 SiC 寄存器的 SMi7 位时也这样。
 - 当 SMi4 位为“1”时，必须在给 CLKi 引脚输入“L”电平的状态下将发送数据写到 SiTRR 寄存器。在改写 SMi7 位时也这样。
 - 因为在传送时钟被输入到 SI/Oi 电路期间继续进行移位，所以必须在第 8 个脉冲停止传送时钟的振荡。当 SMi6 位为“1”（内部时钟）时，传送时钟自动停止振荡。
- 注 2. 因为 SI/Oi（i=3 ~ 4）不同于 UART0 ~ UART2，也不对用于传送的寄存器和缓冲器进行区分。所以不能在发送时将下一个发送数据写到 SiTRR 寄存器。
- 注 3. 当 SiC 寄存器的 SMi6 位为“1”（内部时钟）并且 S34C2 寄存器的 SM26（SOUT3）、SM27（SOUT4）为“0”（发送后为高阻抗状态）时，SOUTi 就在传送结束后的 1/2 传送时钟期间保持最后数据的电平，然后进入高阻抗状态。但是，如果在此期间将发送数据写到 SiTRR 寄存器，就在写数据时进入高阻抗状态，数据的保持时间变短。
- 注 4. 在 SiC 寄存器的 SMi6 位为“1”（内部时钟）的情况下，当 SMi4 位为“0”时，传送时钟在“H”电平的状态下停止振荡；当 SMi4 位为“1”时，在“L”电平的状态下停止振荡。

17.2.1 SI/Oi 的运行时序

SI/Oi 的运行时序如图 17.40 所示。

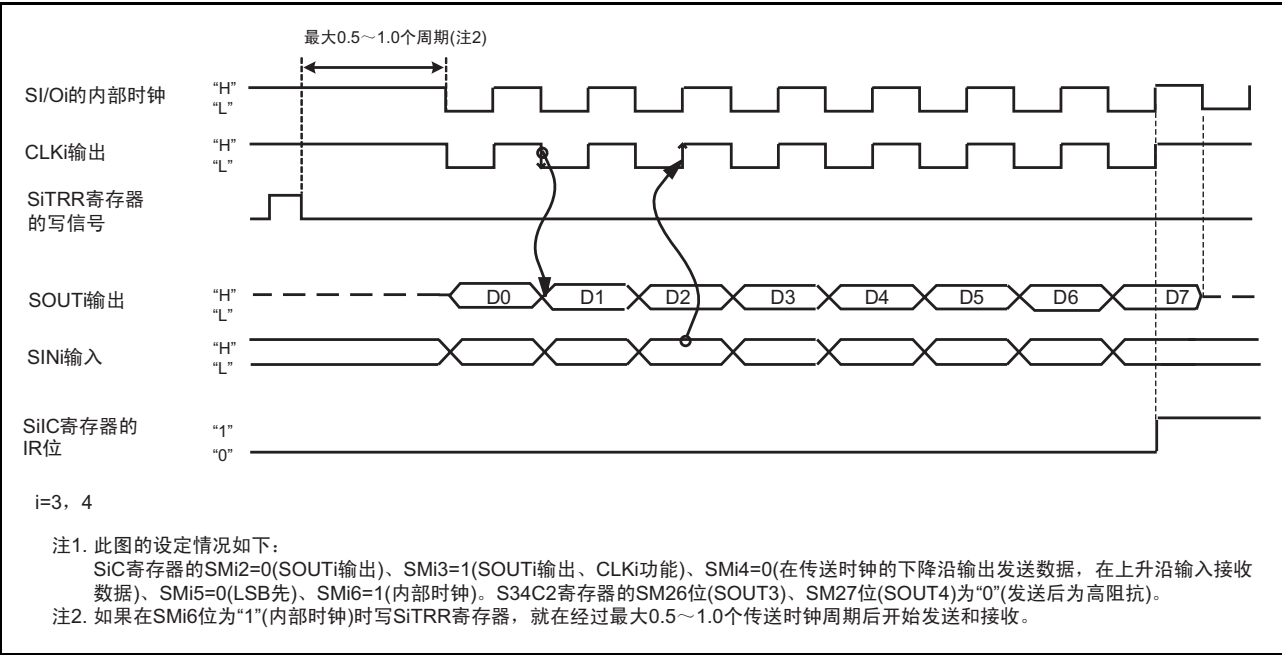


图 17.40 SI/Oi 的运行时序图

17.2.2 CLK 极性选择

能通过 SiC 寄存器的 SMi4 位选择传送时钟的极性。传送时钟的极性如图 17.41 所示。

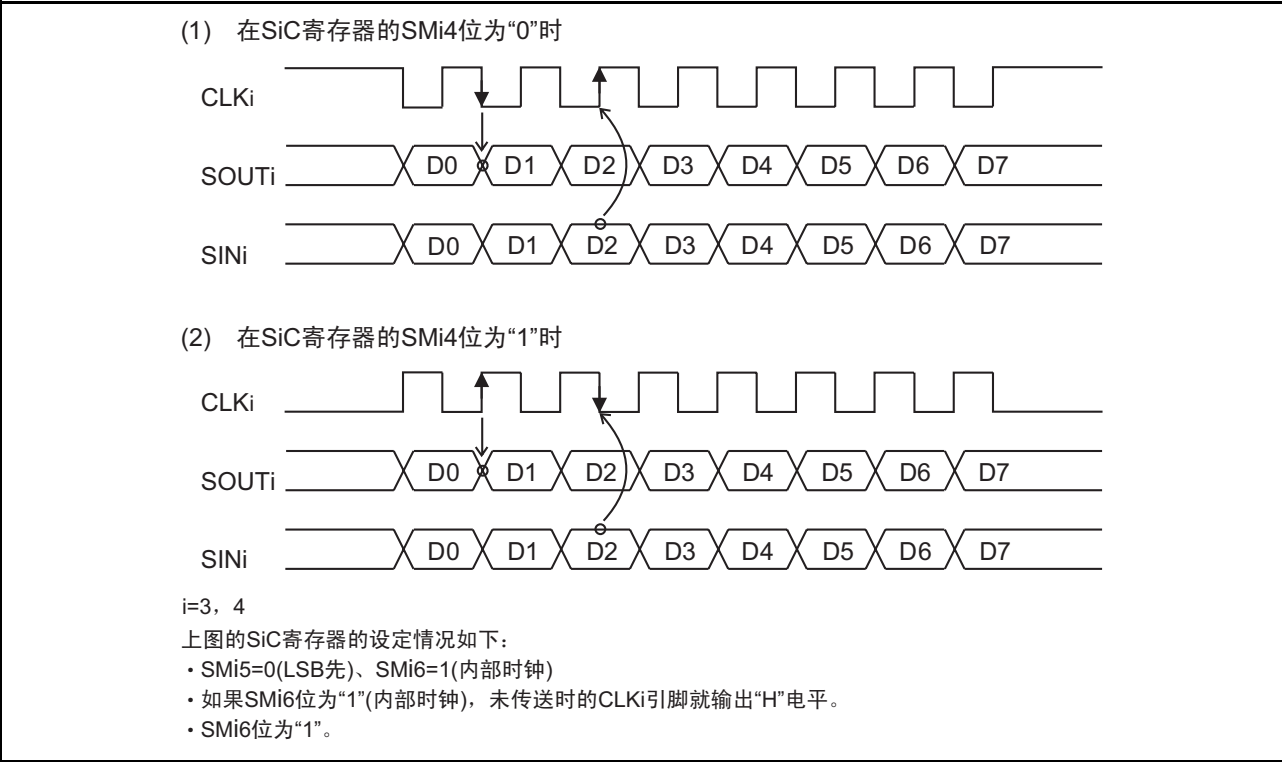


图 17.41 传送时钟的极性

17.2.3 SOUTi 初始值的设定功能

当 SiC 寄存器的 SMi6 位为“0”（外部时钟）时，能将未传送时的 SOUTi 引脚的输出设定为“H”电平或者“L”电平。但是，在连续发送数据的情况下，数据和数据之间保持前一个数据的最后位的值。SOUTi 初始值的设定时序图和设定方法如图 17.42 所示。

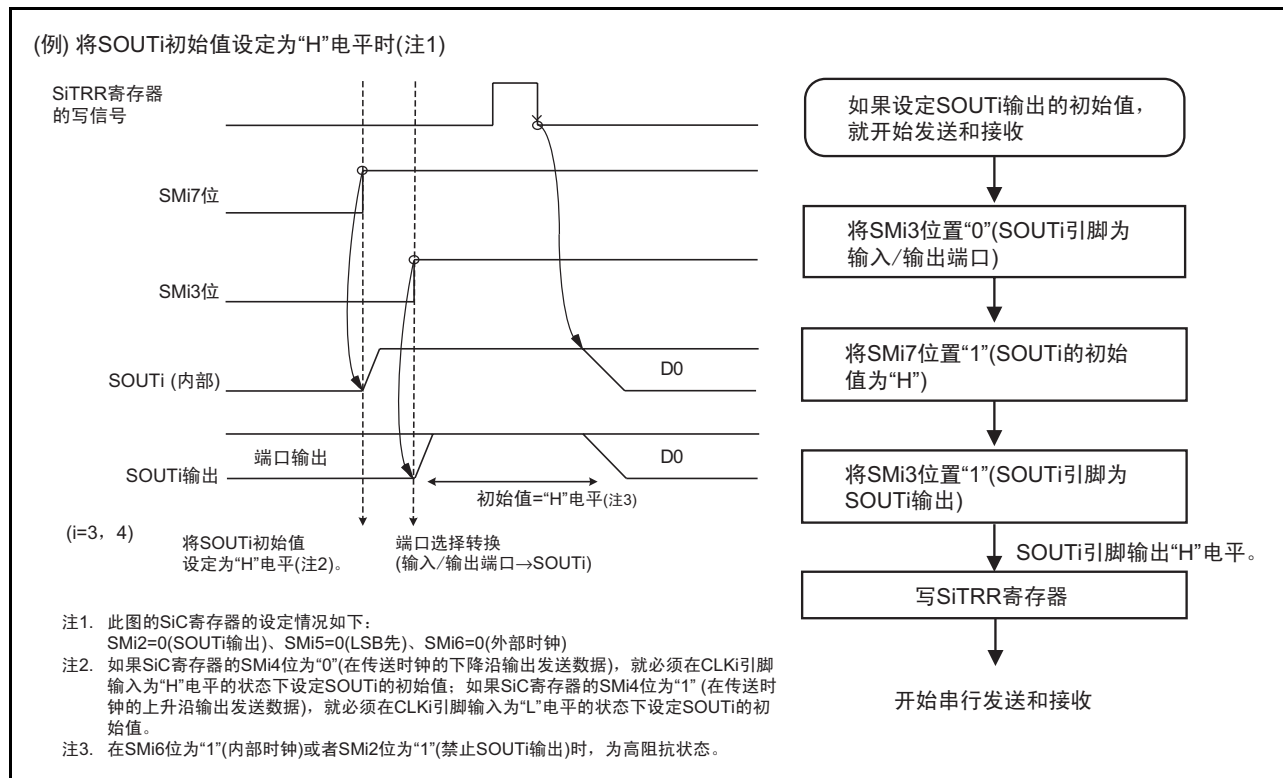


图 17.42 SOUTi 初始值的设定时序图和设定方法

17.2.4 发送后的 SOUTi 状态的选择

当 S34C2 寄存器的 SM26 和 SM27 位为“1”（保持最后位的电平）时，在发送后，SOUTi 引脚的输出保持最后位的电平。发送后的 SOUT3 引脚的电平如图 17.43 所示。

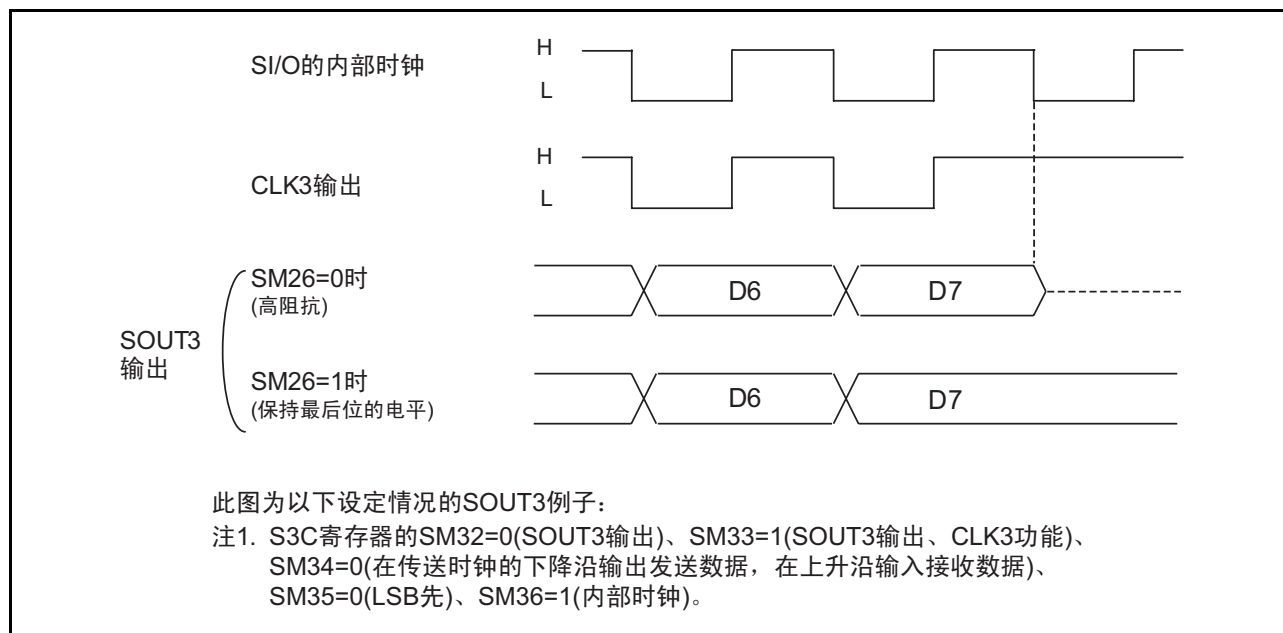


图 17.43 发送后的 SOUT3 引脚的电平

18. A/D 转换器

有 1 个 10 位逐次逼近转换方式的 A/D 转换器电路。模拟输入和 P10_0 ~ P10_7、P9_5、P9_6、P0_0 ~ P0_7、P2_0 ~ P2_7 引脚复用， $\overline{\text{ADTRG}}$ 输入和 P9_7 引脚复用。因此，在使用这些输入时，必须将对应的端口方向位置“0”（输入模式）。

在不使用 A/D 转换器时，如果将 ADSTBY 位置“0”（停止 A/D 运行：待机），电流就不流过 A/D 转换器，能降低功耗。

A/D 转换结果被保存到与 ANi、AN0_i、AN2_i 引脚（i=0 ~ 7）对应的 ADi 寄存器。

A/D 转换器的规格如表 18.1 所示，A/D 转换器的框图及其关联寄存器分别如图 18.1 和图 18.2 ~ 图 18.3 所示。

表 18.1 A/D 转换器的规格

项目	规格
A/D 转换方式	逐次逼近转换方式
模拟输入电压（注 1）	0V ~ AVCC(VCC1)
运行时钟 ϕAD （注 1）	fAD、fAD 的 2 分频、fAD 的 3 分频、fAD 的 4 分频、fAD 的 6 分频或者 fAD 的 12 分频
分辨率	10 位
积分非线性误差	- AVCC=VREF=5V 从 AN0 ~ AN7、AN0_0 ~ AN0_7、AN2_0 ~ AN2_7 输入时，误差为 $\pm 3\text{LSB}$。 从 ANEX0、ANEX1 输入时，误差为 $\pm 3\text{LSB}$。 - AVCC=VREF=3.0V 从 AN0 ~ AN7、AN0_0 ~ AN0_7、AN2_0 ~ AN2_7 输入时，误差为 $\pm 3\text{LSB}$。 从 ANEX0、ANEX1 输入时，误差为 $\pm 3\text{LSB}$。
运行模式	单次模式、重复模式、单次扫描模式、重复扫描模式 0、重复扫描模式 1
模拟输入引脚	8 个（AN0 ~ AN7）+ 2 个（ANEX0、ANEX1）+ 8 个（AN0_0 ~ AN0_7）+ 8 个（AN2_0 ~ AN2_7）
A/D 转换开始条件	- 软件触发 将 ADCON0 寄存器的 ADST 位置“1”（开始 A/D 转换）。 - 外部触发（能重新触发） 在将 ADST 位置“1”（开始 A/D 转换）后，$\overline{\text{ADTRG}}$ 引脚的输入从“H”电平变为“L”电平。
每个引脚的转换速度	最短 43 个 ϕAD 周期

注 1. ϕAD 的频率如下：

当 VCC1 为 4.0 ~ 5.5V 时， $2\text{MHz} \leq \phi\text{AD} \leq 25\text{MHz}$

当 VCC1 为 3.2 ~ 4.0V 时， $2\text{MHz} \leq \phi\text{AD} \leq 16\text{MHz}$

当 VCC1 为 3.0 ~ 3.2V 时， $2\text{MHz} \leq \phi\text{AD} \leq 10\text{MHz}$

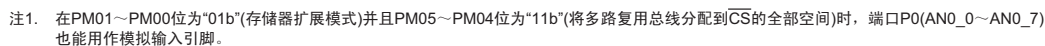
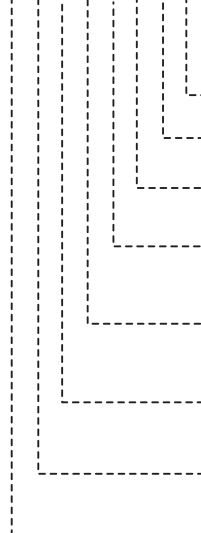


图 18.1 A/D 转换器的框图

A/D控制寄存器0(注1)

b7 b6 b5 b4 b3 b2 b1 b0								符号 ADCON0	地址 地址03D6h	复位后的值 00000XXXb	
								位符号	位名	功能	RW
								CH0	模拟输入引脚选择位	功能因运行模式而不同。	RW
								CH1			RW
								CH2			RW
								MD0	A/D运行模式选择位0	b4 b3 0 0: 单次模式 0 1: 重复模式 1 0: 单次扫描模式 1 1: 重复扫描模式0 或者重复扫描模式1	RW
								MD1			RW
								TRG	触发选择位	0: 软件触发 1: 通过ADTRG的触发	RW
								ADST	A/D转换开始标志	0: 停止A/D转换 1: 开始A/D转换	RW
								CKS0	频率选择位0	请参照ADCON2寄存器的注2。	RW

注1. 如果在A/D转换中改写ADCON0寄存器，转换结果就不定。

A/D控制寄存器1(注1)

b7 b6 b5 b4 b3 b2 b1 b0								符号 ADCON1	地址 地址03D7h	复位后的值 0000X000b
								</		

注1. 如果在A/D转换中改写ADCON1寄存器，转换结果就不定。
注2. 在将ADSTBY位从“0”(停止A/D运行)改为“1”(能进行A/D运行)时，必须至少在经过1个 ϕ AD周期后开始A/D转换。

图 18.2 ADCON0 ~ ADCON1 寄存器

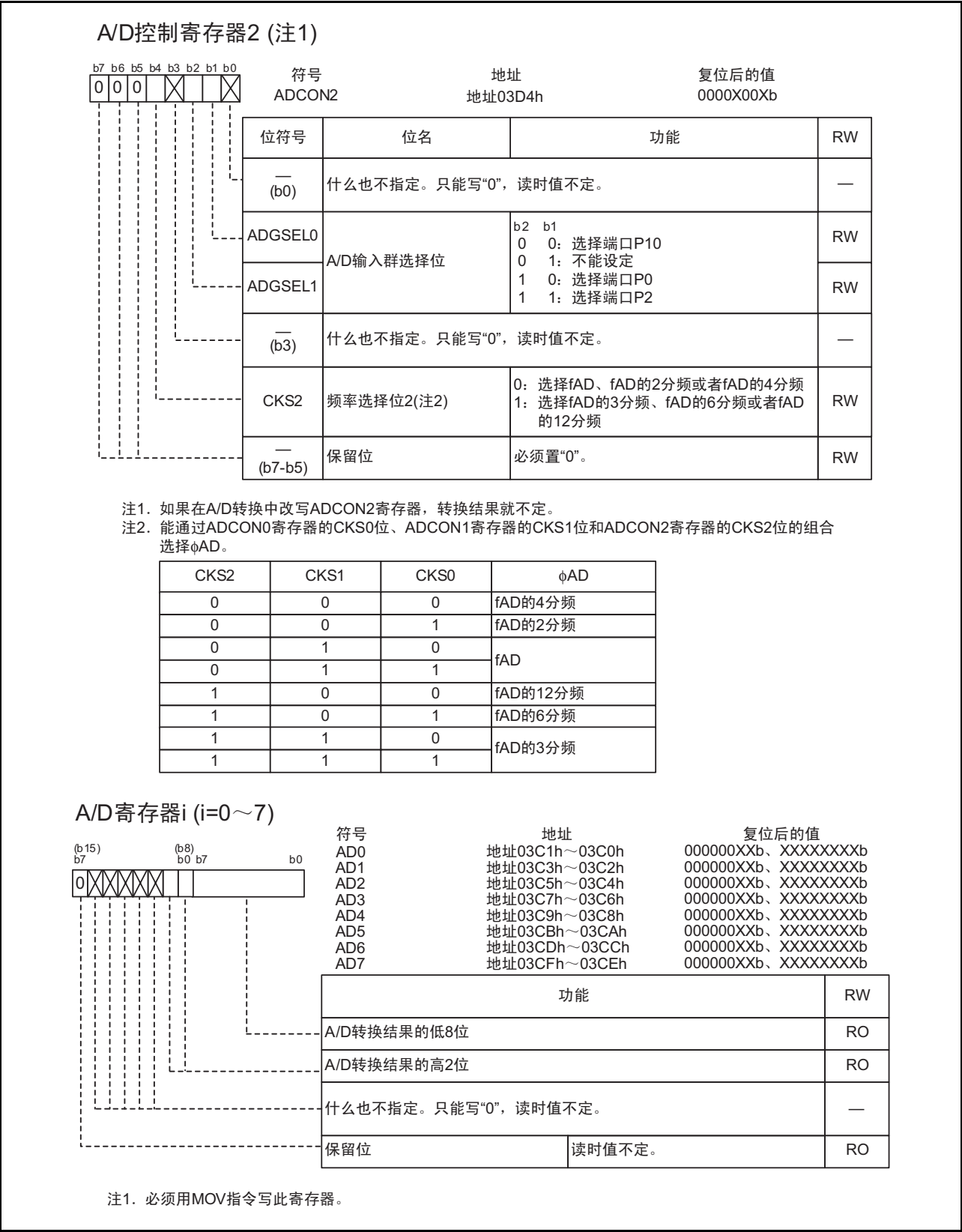


图 18.3 ADCON2 和 AD0 ~ AD7 寄存器

18.1 模式的说明

18.1.1 单次模式

单次模式是将所选的 1 个引脚的输入电压进行 1 次 A/D 转换的模式。单次模式的规格如表 18.2 所示，单次模式中的 ADCON0 ~ ADCON1 寄存器如图 18.4 所示。

表 18.2 单次模式的规格

项目	规格
功能	通过 ADCON0 寄存器的 CH2 ~ CH0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位、或者 ADCON1 寄存器的 ADEX1 ~ ADEX0 位，将所选的 1 个引脚的输入电压进行 1 次 A/D 转换。
A/D 转换开始条件	- 当 ADCON0 寄存器的 TRG 位为 “0”（软件触发）时将 ADCON0 寄存器的 ADST 位置 “1”（开始 A/D 转换）。 - 当 TRG 位为 “1”（通过 ADTRG 的触发）时在将 ADST 位置 “1”（开始 A/D 转换）后，ADTRG 引脚的输入从 “H” 电平变为 “L” 电平。
A/D 转换停止条件	- A/D 转换结束（ADST 位为 “0”（停止 A/D 转换））。 - 将 ADST 位置 “0”。
中断请求的发生	在 A/D 转换结束时
模拟输入引脚	从 AN0 ~ AN7、AN0_0 ~ AN0_7、AN2_0 ~ AN2_7、ANEX0 ~ ANEX1 中选择 1 个引脚。
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器。

A/D控制寄存器0(注1)

b7 b6 b5 b4 b3 b2 b1 b0								符号	地址	复位后的值	
0 0								ADCON0	地址03D6h	00000XXXb	
								位符号	位名	功能	RW
								CH0	模拟输入引脚选择位(注2)	b2 b1 b0 0 0 0: 选择AN0 0 0 1: 选择AN1 0 1 0: 选择AN2 0 1 1: 选择AN3 1 0 0: 选择AN4 1 0 1: 选择AN5 1 1 0: 选择AN6 1 1 1: 选择AN7	RW
								CH1		RW	
								CH2		RW	
								MD0		A/D运行模式选择位0	b4 b3 0 0: 单次模式
								MD1	RW		
								TRG	触发选择位	0: 软件触发 1: 通过ADTRG的触发	RW
								ADST	A/D转换开始标志	0: 停止A/D转换 1: 开始A/D转换	RW
								CKS0	频率选择位0	请参照ADCON2寄存器的注2。	RW

注1. 如果在A/D转换中改写ADCON0寄存器，转换结果就不定。
注2. 如同AN0～AN7，能使用AN0_0～AN0_7、AN2_0～AN2_7。必须通过ADCON2寄存器的ADGSEL1～ADGSEL0位选择。

A/D控制寄存器1(注1)

b7 b6 b5 b4 b3 b2 b1 b0								符号	地址	复位后的值																																																																									
<table border="1"><tr><td></td><td></td><td>1</td><td><table border="1"><tr><td>X</td></tr></table></td><td>0</td><td></td><td></td><td></td></tr></table>										1	<table border="1"><tr><td>X</td></tr></table>	X	0				ADCON1	地址03D7h	0000X000b																																																																
		1	<table border="1"><tr><td>X</td></tr></table>	X	0																																																																														
X																																																																																			
<table><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table>																																																																																位符号	位名	功能	RW
SCAN0		A/D扫描引脚选择位	在单次模式时无效。	RW																																																																															
SCAN1				RW																																																																															
MD2		A/D运行模式选择位1	在单次模式中，必须置“0”。	RW																																																																															
— (b3)		什么也不指定。只能写“0”，读时值不定。			—																																																																														
CKS1		频率选择位1	请参照ADCON2寄存器的注2。	RW																																																																															
ADSTBY		A/D待机位(注2)	必须置“1”(能进行A/D运行)。	RW																																																																															
ADEX0		扩展引脚选择位	b7 b6 0 0: 不使用ANEX0和ANEX1 0 1: 将ANEX0的输入进行A/D转换 1 0: 将ANEX1的输入进行A/D转换 1 1: 不能设定	RW																																																																															
ADEX1				RW																																																																															

注1. 如果在A/D转换中改写ADCON1寄存器，转换结果就不定。
注2. 在将ADSTBY位从“0”(停止A/D运行)改为“1”(能进行A/D运行)时，必须至少在经过1个φAD周期后开始A/D转换。

图 18.4 单次模式中的 ADCON0 ～ ADCON1 寄存器

18.1.2 重复模式

重复模式是将所选的 1 个引脚的输入电压重复进行 A/D 转换的模式。重复模式的规格如表 18.3 所示，重复模式中的 ADCON0 ~ ADCON1 寄存器如图 18.5 所示。

表 18.3 重复模式的规格

项目	规格
功能	通过 ADCON0 寄存器的 CH2 ~ CH0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位、或者 ADCON1 寄存器的 ADEX1 ~ ADEX0 位，将所选的 1 个引脚的输入电压重复进行 A/D 转换。
A/D 转换开始条件	- 当 ADCON0 寄存器的 TRG 位为 “0”（软件触发）时将 ADCON0 寄存器的 ADST 位置 “1”（开始 A/D 转换）。 - 当 TRG 位为 “1”（通过 $\overline{\text{ADTRG}}$ 的触发）时在将 ADST 位置 “1”（开始 A/D 转换）后，$\overline{\text{ADTRG}}$ 引脚的输入从 “H” 电平变为 “L” 电平。
A/D 转换停止条件	将 ADST 位置 “0”（停止 A/D 转换）。
中断请求的发生	不发生中断请求。
模拟输入引脚	从 AN0 ~ AN7、AN0_0 ~ AN0_7、AN2_0 ~ AN2_7、ANEX0 ~ ANEX1 中选择 1 个引脚。
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器。

A/D控制寄存器0(注1)

b7	b6	b5	b4	b3	b2	b1	b0	符号	地址	复位后的值	
		0	1					ADCON0	地址03D6h	00000XXXb	
								位符号	位名	功能	RW
								CH0	模拟输入引脚选择位(注2)	b2 b1 b0 0 0 0: 选择AN0 0 0 1: 选择AN1 0 1 0: 选择AN2 0 1 1: 选择AN3 1 0 0: 选择AN4 1 0 1: 选择AN5 1 1 0: 选择AN6 1 1 1: 选择AN7	RW
								CH1			RW
								CH2			RW
								MD0	A/D运行模式选择位0	b4 b3 0 1: 重复模式	RW
								MD1			RW
								TRG	触发选择位	0: 软件触发 1: 通过ADTRG的触发	RW
								ADST	A/D转换开始标志	0: 停止A/D转换 1: 开始A/D转换	RW
								CKS0	频率选择位0	请参照ADCON2寄存器的注2。	RW

注1. 如果在A/D转换中改写ADCON0寄存器，转换结果就不定。
注2. 如同AN0~AN7，能使用AN0_0~AN0_7、AN2_0~AN2_7。必须通过ADCON2寄存器的ADGSEL1~ADGSEL0位选择。

A/D控制寄存器1(注1)

b7	b6	b5	b4	b3	b2	b1	b0	符号	地址	复位后的值
		1	☒	0				ADCON1	地址03D7h	0000X000b

注1. 如果在A/D转换中改写ADCON1寄存器，转换结果就不定。
注2. 在将ADSTBY位从“0”(停止A/D运行)改为“1”(能进行A/D运行)时，必须至少在经过1个φAD周期后开始A/D转换。

图 18.5 重复模式中的 ADCON0 ~ ADCON1 寄存器

18.1.3 单次扫描模式

单次扫描模式是将所选引脚的输入电压逐次进行 A/D 转换的模式。单次扫描模式的规格如表 18.4 所示，单次扫描模式中的 ADCON0 ~ ADCON1 寄存器如图 18.6 所示。

表 18.4 单次扫描模式的规格

项目	规格
功能	通过 ADCON1 寄存器的 SCAN1 ~ SCAN0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位，将所选引脚的输入电压逐次进行 A/D 转换。
A/D 转换开始条件	- 当 ADCON0 寄存器的 TRG 位为 “0”（软件触发）时将 ADCON0 寄存器的 ADST 位置 “1”（开始 A/D 转换）。 - 当 TRG 位为 “1”（通过 $\overline{\text{ADTRG}}$ 的触发）时在将 ADST 位置 “1”（开始 A/D 转换），$\overline{\text{ADTRG}}$ 引脚的输入从 “H” 电平变为 “L” 电平。
A/D 转换停止条件	- A/D 转换结束（ADST 位为 “0”（停止 A/D 转换））。 - 将 ADST 位置 “0”。
中断请求的发生	在 A/D 转换结束时
模拟输入引脚	从 AN0 ~ AN1（2 个引脚）、AN0 ~ AN3（4 个引脚）、AN0 ~ AN5（6 个引脚）、AN0 ~ AN7（8 个引脚）中选择（注 1）。
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器。

注 1. 如同 AN0 ~ AN7，能使用 AN0_0 ~ AN0_7、AN2_0 ~ AN2_7。

A/D控制寄存器0(注1)

b7b6b5b4b3b2b1b0 1 0								符号	地址		复位后的值
								ADCON0	地址03D6h	00000XXXb	
								位符号	位名	功能	RW
								CH0	模拟输入引脚选择位	在单次扫描模式时无效。	RW
								CH1			RW
								CH2			RW
								MD0	A/D运行模式选择位0	b4 b3 1 0: 单次扫描模式	RW
								MD1			RW
								TRG	触发选择位	0: 软件触发 1: 通过ADTRG的触发	RW
								ADST	A/D转换开始标志	0: 停止A/D转换 1: 开始A/D转换	RW
								CKS0	频率选择位0	请参照ADCON2寄存器的注2。	RW

注1. 如果在A/D转换中改写ADCON0寄存器，转换结果就不定。

A/D控制寄存器1(注1)

b7	b6	b5	b4	b3	b2	b1	b0	符号	地址	复位后的值		
		1	0					ADCON1	地址03D7h	0000X000b		
								位符号	位名	功能	RW	
								SCAN0	A/D扫描引脚选择位(注2)	在选择单次扫描模式时 b1 b0 0 0: AN0~AN1(2个引脚) 0 1: AN0~AN3(4个引脚) 1 0: AN0~AN5(6个引脚) 1 1: AN0~AN7(8个引脚)	RW	
								SCAN1			RW	
								MD2	A/D运行模式选择位1	在单次扫描模式中，必须置“0”。	RW	
								(b3)	什么也不指定。只能写“0”，读时值不定。			—
								CKS1	频率选择位1	请参照ADCON2寄存器的注2。	RW	
								ADSTBY	A/D待机位(注3)	必须置“1”(能进行A/D运行)。	RW	
								ADEX0	扩展引脚选择位	b7 b6 0 0: 不使用ANEX0和ANEX1 0 1: 不能设定 1 0: 不能设定 1 1: 不能设定	RW	
								ADEX1			RW	

注1. 如果在A/D转换中改写ADCON1寄存器，转换结果就不定。
注2. 如同AN0~AN7，能使用AN0_0~AN0_7、AN2_0~AN2_7。必须通过ADCON2寄存器的ADGSEL1~ADGSEL0位选择。
注3. 在将ADSTBY位从“0”(停止A/D运行)改为“1”(能进行A/D运行)时，必须至少在经过1个φAD周期后开始A/D转换。

图 18.6 单次扫描模式中的 ADCON0 ~ ADCON1 寄存器

18.1.4 重复扫描模式 0

重复扫描模式 0 是将所选引脚的输入电压重复进行 A/D 转换的模式。重复扫描模式 0 的规格如表 18.5 所示，重复扫描模式 0 中的 ADCON0 ~ ADCON1 寄存器如图 18.7 所示。

表 18.5 重复扫描模式 0 的规格

项目	规格
功能	通过 ADCON1 寄存器的 SCAN1 ~ SCAN0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位，将所选引脚的输入电压重复进行 A/D 转换。
A/D 转换开始条件	- 当 ADCON0 寄存器的 TRG 位为“0”（软件触发）时将 ADCON0 寄存器的 ADST 位置“1”（开始 A/D 转换）。 - 当 TRG 位为“1”（通过 ADTRG 的触发）时在将 ADST 位置“1”（开始 A/D 转换）后，ADTRG 引脚的输入从“H”电平变为“L”电平。
A/D 转换停止条件	将 ADST 位置“0”（停止 A/D 转换）。
中断请求的发生	不发生中断请求。
模拟输入引脚	从 AN0 ~ AN1（2 个引脚）、AN0 ~ AN3（4 个引脚）、AN0 ~ AN5（6 个引脚）、AN0 ~ AN7（8 个引脚）中选择（注 1）。
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器。

注 1. 如同 AN0 ~ AN7，能使用 AN0_0 ~ AN0_7、AN2_0 ~ AN2_7。

A/D控制寄存器0(注1)

b7b6b5b4b3b2b1b0 1 1								符号	地址	复位后的值
								ADCON0	地址03D6h	00000XXXb
位符号		位名		功能		RW				
CH0		模拟输入引脚选择位		在重复扫描模式0时无效。		RW				
CH1						RW				
CH2						RW				
MD0		A/D运行模式选择位0		b4b3 11: 重复扫描模式0或者 重复扫描模式1		RW				
MD1						RW				
TRG		触发选择位		0: 软件触发 1: 通过ADTRG的触发		RW				
ADST		A/D转换开始标志		0: 停止A/D转换 1: 开始A/D转换		RW				
CKS0		频率选择位0		请参照ADCON2寄存器的注2。		RW				

注1. 如果在A/D转换中改写ADCON0寄存器，转换结果就不定。

A/D控制寄存器1(注1)

b7	b6	b5	b4	b3	b2	b1	b0	符号	地址	复位后的值	
		1	☒	0				ADCON1	地址03D7h	0000X000b	
								位符号	位名	功能	RW
								SCAN0	A/D扫描引脚选择位(注2)	在选择重复扫描模式0时 b1 b0 0 0: AN0~AN1(2个引脚) 0 1: AN0~AN3(4个引脚) 1 0: AN0~AN5(6个引脚) 1 1: AN0~AN7(8个引脚)	RW
								SCAN1		RW	
								MD2	A/D运行模式选择位1	在重复扫描模式0时，必须置“0”。	RW
								$\overline{\text{b3}}$	什么也不指定。只能写“0”，读时值不定。		—
								CKS1	频率选择位1	请参照ADCON2寄存器的注2。	RW
								ADSTBY	A/D待机位(注3)	必须置“1”(能进行A/D运行)。	RW
								ADEX0	扩展引脚选择位	b7 b6 0 0: 不使用ANEX0和ANEX1 0 1: 不能设定 1 0: 不能设定 1 1: 不能设定	RW
								ADEX1		RW	

注1. 如果在A/D转换中改写ADCON1寄存器，转换结果就不定。
注2. 如同AN0~AN7，能使用AN0_0~AN0_7、AN2_0~AN2_7。必须通过ADCON2寄存器的ADGSEL1~ADGSEL0位选择。
注3. 在将ADSTBY位从“0”(停止A/D运行)改为“1”(能进行A/D运行)时，必须至少在经过1个φAD周期后开始A/D转换。

图 18.7 重复扫描模式 0 中的 ADCON0 ~ ADCON1 寄存器

18.1.5 重复扫描模式 1

重复扫描模式 1 是以所选的引脚为重点，将全部引脚的输入电压重复进行 A/D 转换的模式。重复扫描模式 1 的规格如表 18.6 所示，重复扫描模式 1 中的 ADCON0 ~ ADCON1 寄存器如图 18.8 所示。

表 18.6 重复扫描模式 1 的规格

项目	规格
功能	以通过 ADCON1 寄存器的 SCAN1 ~ SCAN0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位选择的引脚为重点，将通过 ADGSEL1 ~ ADGSEL0 位选择的全部引脚的输入电压重复进行 A/D 转换。 例：如果选择 AN0，就按 AN0 → AN1 → AN0 → AN2 → AN0 → AN3…的顺序进行 A/D 转换。
A/D 转换开始条件	- 当 ADCON0 寄存器的 TRG 位为“0”（软件触发）时将 ADCON0 寄存器的 ADST 位置“1”（开始 A/D 转换）。 - 当 TRG 位为“1”（通过 $\overline{\text{ADTRG}}$ 的触发）时在将 ADST 位置“1”（开始 A/D 转换）后，$\overline{\text{ADTRG}}$ 引脚的输入从“H”电平变为“L”电平。
A/D 转换停止条件	将 ADST 位置“0”（停止 A/D 转换）。
中断请求的发生	不发生中断请求。
重点进行 A/D 转换的模拟输入引脚	从 AN0（1 个引脚）、AN0 ~ AN1（2 个引脚）、AN0 ~ AN2（3 个引脚）、AN0 ~ AN3（4 个引脚）中选择（注 1）。
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器。

注 1. 如同 AN0 ~ AN7，能使用 AN0_0 ~ AN0_7、AN2_0 ~ AN2_7。

A/D控制寄存器0(注1)

b7 b6 b5 b4 b3 b2 b1 b0								符号 ADCON0	地址 地址03D6h	复位后的值 00000XXXb
			1	1						
						</				

注1. 如果在A/D转换中改写ADCON0寄存器，转换结果就不定。

A/D控制寄存器1(注1)

b7 b6 b5 b4 b3 b2 b1 b0								符号 ADCON1	地址 地址03D7h	复位后的值 0000X000b
		1	X	1						

- 注1. 如果在A/D转换中改写ADCON1寄存器，转换结果就不定。
注2. 如同AN0~AN7，能使用AN0_0~AN0_7、AN2_0~AN2_7。必须通过ADCON2寄存器的ADGSEL1~ADGSEL0位选择。
注3. 在将ADSTBY位从“0”(停止A/D运行)改为“1”(能进行A/D运行)时，必须至少在经过1个φAD周期后开始A/D转换。

图 18.8 重复扫描模式 1 中的 ADCON0 ~ ADCON1 寄存器

18.2 转换速度

转换时间如下。

开始的虚拟时间因 ϕAD 的选择而不同。开始的虚拟时间如表 18.7 所示。如果给 ADCON0 寄存器的 ADST 位写“1”（开始 A/D 转换），就在经过开始的虚拟时间后开始 A/D 转换。在开始 A/D 转换前，ADST 位的读取值总是“0”（停止 A/D 转换）。

在对多个引脚或者多次进行 A/D 转换的模式中，在 1 个引脚的 A/D 转换执行时间和下一个 A/D 转换执行时间之间有执行期间的虚拟时间。

在单次模式和单次扫描模式中，在结束的虚拟时间内 ADST 位变为“0”，最后的 A/D 转换结果被保存到 ADi 寄存器。

在单次模式中：

开始的虚拟时间 + A/D 转换执行时间 + 结束的虚拟时间

在单次扫描模式中选择 2 个引脚时：

开始的虚拟时间 + (A/D 转换执行时间 + 执行期间的虚拟时间 + A/D 转换执行时间) + 结束的虚拟时间

开始的虚拟时间：参照“表 18.7 开始的虚拟时间”

A/D 转换执行时间：每个引脚，40 个 ϕAD 周期

执行期间的虚拟时间：1 个 ϕAD 周期

结束的虚拟时间：2 ~ 3 个 fAD 周期

表 18.7 开始的虚拟时间

ϕAD 的选择	开始的虚拟时间
fAD	1 ~ 2 个 fAD 周期
fAD 的 2 分频	2 ~ 3 个 fAD 周期
fAD 的 3 分频	3 ~ 4 个 fAD 周期
fAD 的 4 分频	3 ~ 4 个 fAD 周期
fAD 的 6 分频	4 ~ 5 个 fAD 周期
fAD 的 12 分频	7 ~ 8 个 fAD 周期

18.3 扩展模拟输入引脚

在单次模式和重复模式中，能将 ANEX0、ANEX1 引脚用作模拟输入引脚。必须通过 ADCON1 寄存器的 ADEX1 ~ ADEX0 位选择扩展模拟输入引脚。

将 ANEX0 输入的 A/D 转换结果保存到 AD0 寄存器，ANEX1 输入的 A/D 转换结果保存到 AD1 寄存器。

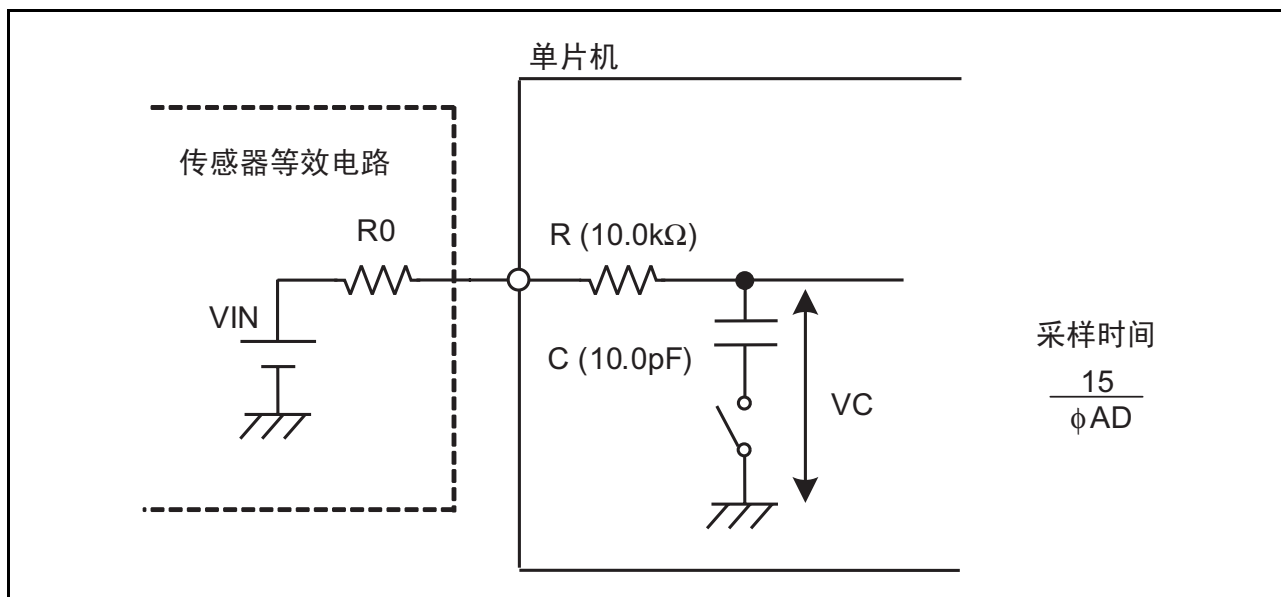
18.4 消耗电流降低功能

在不使用 A/D 转换器时，如果将 ADCON1 寄存器的 ADSTBY 位置“0”（停止 A/D 运行（待机）），就没有电流流过模拟电路，因此能降低功耗。

在使用 A/D 转换器时，必须在将 ADSTBY 位置“1”（能进行 A/D 运行）并且至少经过 1 个 ϕAD 周期后将 ADCON0 寄存器的 ADST 位置“1”（开始 A/D 转换）。ADST 位和 ADSTBY 位不能同时写“1”。

另外，在 A/D 转换中不能将 ADSTBY 位置“0”（运行 A/D 停止（待机））。

18.5 A/D 转换时的传感器输出阻抗



19. D/A 转换器

19.1 概要

这是 2 个独立的 8 位 R-2R 方式的 D/A 转换器。

如果将值写到 **DAi** 寄存器（ $i=0 \sim 1$ ），就进行 D/A 转换。在输出转换结果时，必须将 **DACON** 寄存器的 **DAiE** 位置“1”（允许输出）。在使用 D/A 转换时，必须将对应的端口方向位置“0”（输入模式）。如果将 **DAiE** 位置“1”，对应的端口就不被上拉。

输出的模拟电压 V 取决于 **DAi** 寄存器的设定值 n （ n 为 10 进制数）。

$$V = V_{REF} \times n / 256 \quad (n=0 \sim 255)$$

V_{REF} ：基准电压

D/A 转换器的规格如表 19.1 所示，D/A 转换器的框图及其关联寄存器、D/A 转换器的等效电路分别如图 19.1 ～ 图 19.3 所示。

表 19.1 D/A 转换器的规格

项目	性能
D/A 转换方式	R-2R 方式
分辨率	8 位
模拟输出引脚	2 个通道（DA0、DA1）

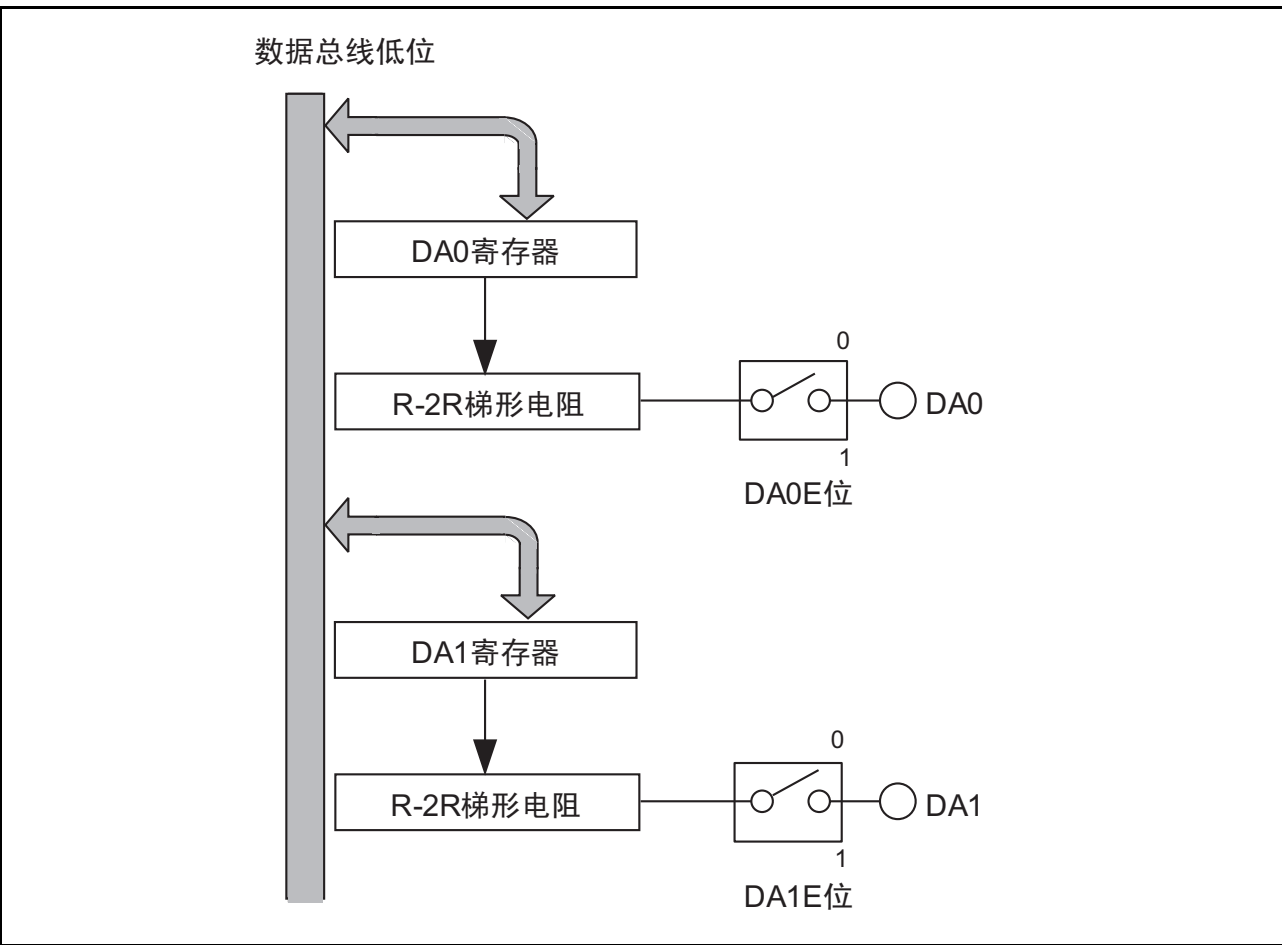


图 19.1 D/A 转换器的框图

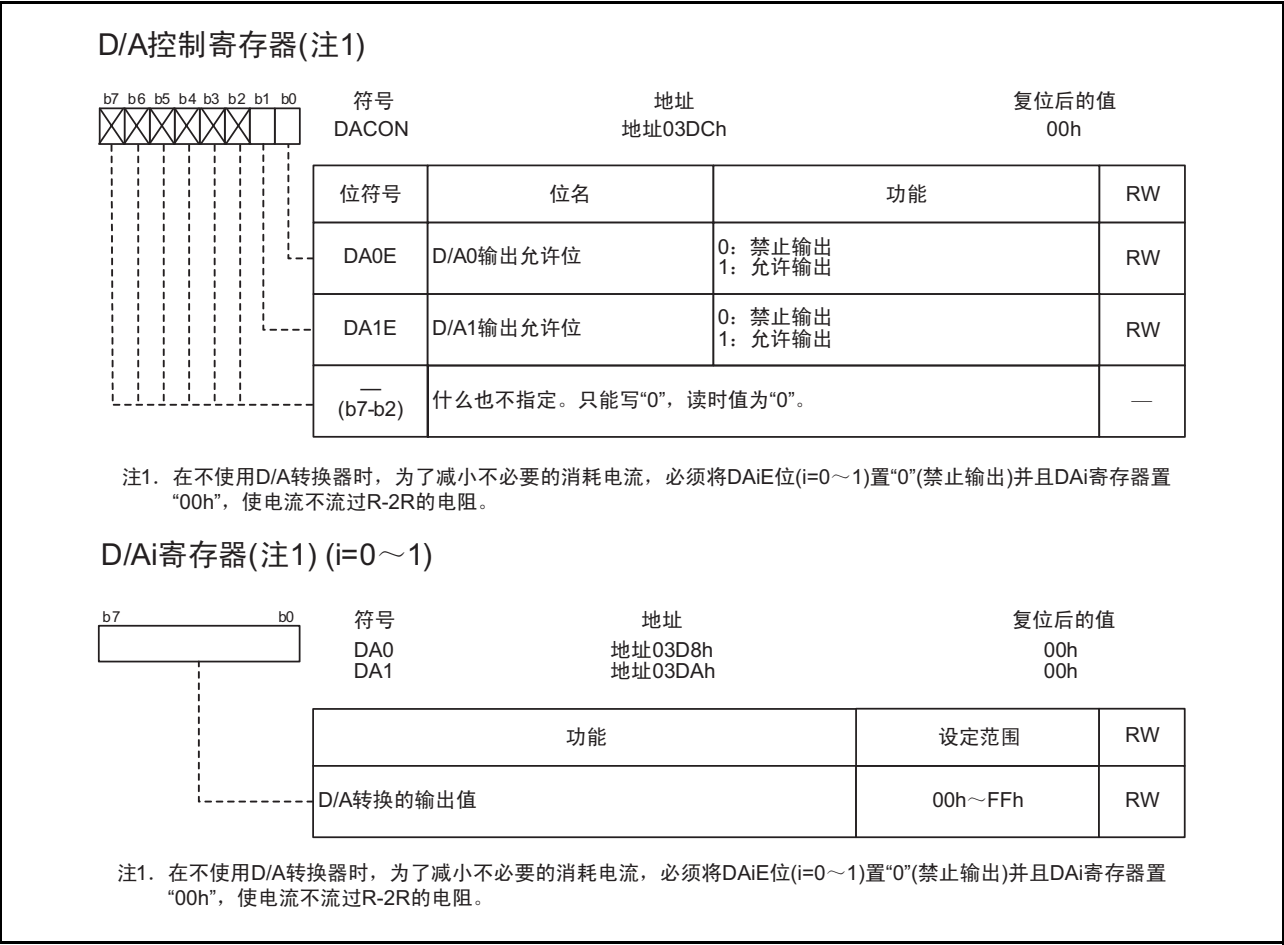


图 19.2 DAICON、DA0 和 DA1 寄存器

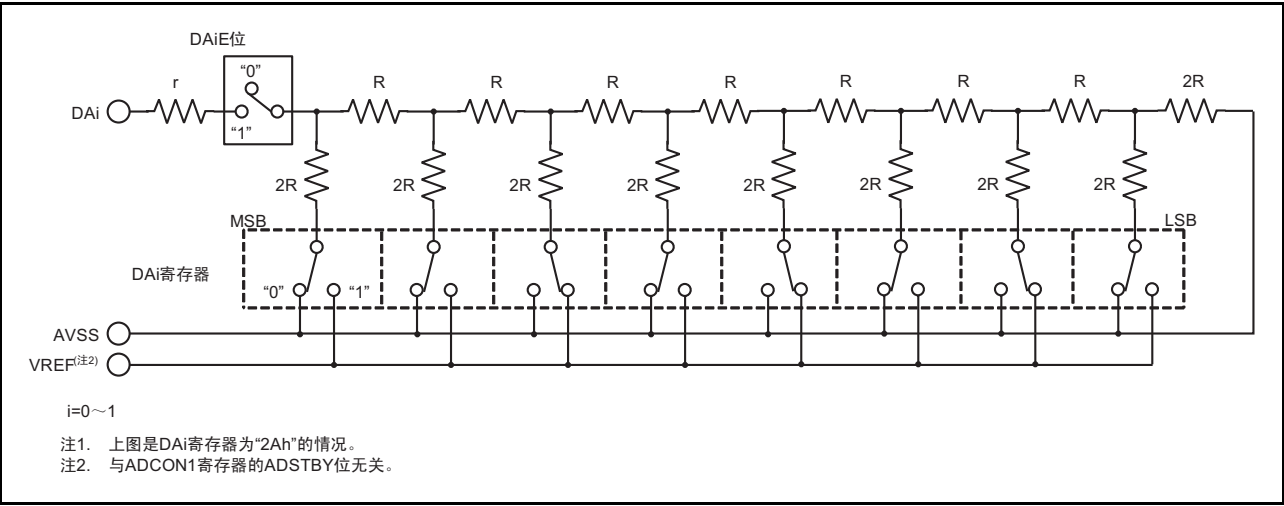


图 19.3 D/A 转换器的等效电路

20. CRC 运算

CRC（Cyclic Redundancy Check）运算能检测数据块的错误。在生成 CRC 码时使用 CRC-CCITT（ $X^{16}+X^{12}+X^5+1$ ）的生成多项式。

CRC 码是对以 8 位为单位的任意数据长度的块而生成的 16 位代码。在给 CRCD 寄存器设定初始值后，每当将 1 字节的数据写到 CRCIN 寄存器时，CRC 码就被设定到 CRCD 寄存器。对于 1 字节的数据，CRC 码的生成需要 2 个周期。

CRC 框图及其关联寄存器、CRC 运算例子分别如图 20.1～图 20.3 所示。

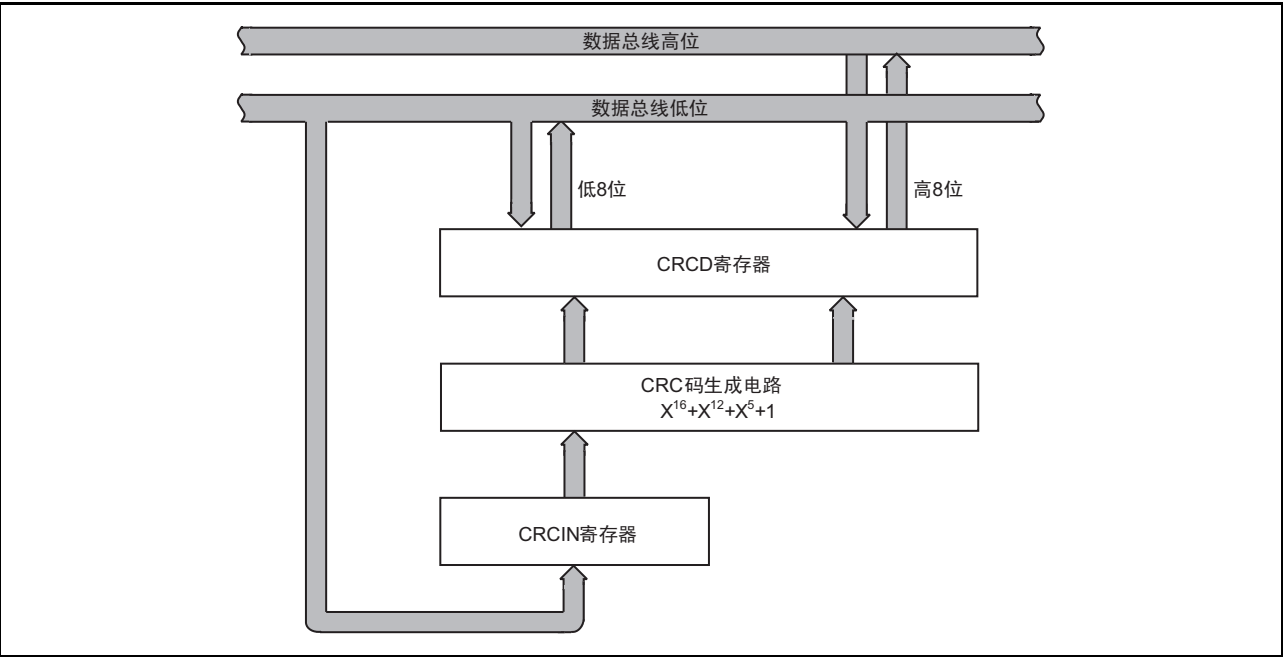


图 20.1 CRC 框图

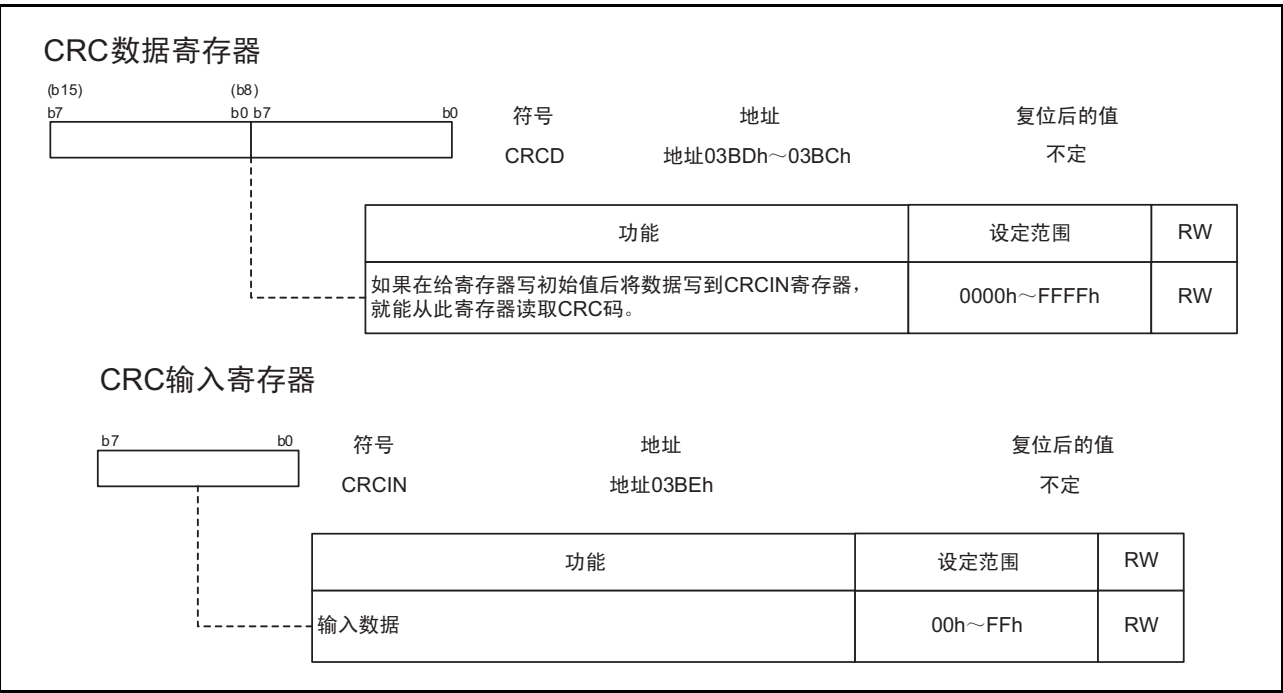


图 20.2 CRCD 和 CRCIN 寄存器

生成“80C4h”的CRC码时的设定步骤和CRC运算

• M16C的CRC运算

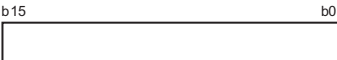
CRC码：颠倒被写在CRCIN寄存器中的值的位顺序，以颠倒后的数为被除数、生成多项式为除数进行除法运算，其余数为CRC码。

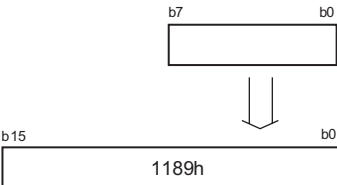
生成多项式： $X^{16}+X^{12}+X^5+1(1\ 0001\ 0000\ 0010\ 0001b)$

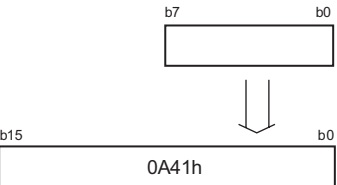
• 设定步骤

(1) 通过程序以字节为单位颠倒“80C4h”的位顺序。

“80h”→“01h”、“C4h”→“23h”

(2) 写0000h(初始值) →  CRCD寄存器

(3) 写01h →  CRCIN寄存器
在2个周期后，将“80h”的CRC码(9188h)的位顺序颠倒，得到“1189h”并保存到CRCD寄存器。

(4) 写23h →  CRCIN寄存器
在2个周期后，将“80C4h”的CRC码(8250h)的位顺序颠倒，得到“0A41h”并保存到CRCD寄存器。

• 详细的CRC运算

上述(3)，颠倒被写在CRCIN寄存器中的值“01h(00000001b)”的位顺序，得到“10000000b”，给此值追加16位数变为“1000 0000 0000 0000 0000 0000b”；给CRCD寄存器的初始值“0000 0000 0000 0000b”追加8位数变为“0000 0000 0000 0000 0000 0000b”。对此2个数的相加值进行模2除法运算。

$$\begin{array}{r}
 \text{生成多项式} \quad 1\ 0001\ 0000\ 0010\ 0001 \overline{) 1000\ 0000\ 0000\ 0000\ 0000\ 0000} \quad \text{数据} \\
 \underline{1000\ 1000\ 0001\ 0000\ 1} \\
 1000\ 0001\ 0000\ 1000\ 0 \\
 \underline{1000\ 1000\ 0001\ 0000\ 1} \\
 1001\ 0001\ 1000\ 1000
 \end{array}$$

CRC码

模2运算的运算法则

$$\begin{array}{l}
 0 + 0 = 0 \\
 0 + 1 = 1 \\
 1 + 0 = 1 \\
 1 + 1 = 0 \\
 -1 = 1
 \end{array}$$

能从CRCD寄存器读取被颠倒的余数“1001 0001 1000 1000b(9188h)”位顺序后的值“0001 0001 1000 1001b(1189h)”。

上述(4)，颠倒被写在CRCIN寄存器中的值“23h(00100011b)”的位顺序，得到“11000100b”，给此值追加16位数变为“1100 0100 0000 0000 0000 0000b”；给保存在CRCD寄存器中的(3)的余数“1001 0001 1000 1000b”追加8位数变为“1001 0001 1000 1000 0000 0000b”。对此2个数的相加值进行模2除法运算。

能从CRCD寄存器读取被颠倒的余数位顺序后的值“0000 1010 0100 0001b(0A41h)”。

图 20.3 CRC 运算例子

21. 可编程输入 / 输出端口

有 88 个可编程输入 / 输出端口（以下称为输入 / 输出端口），能通过方向寄存器逐个设定各端口的输入 / 输出，还能以 4 个端口为单位选择是否上拉。P7_0、P7_1、P8_5 无上拉电阻。因为端口 P8_5 和 $\overline{\text{NMI}}$ 引脚复用，所以能从 P8 寄存器的 P8_5 位读取 $\overline{\text{NMI}}$ 输入电平。

输入 / 输出端口的结构和引脚的结构分别如图 21.1 ~ 图 21.5 和图 21.6 所示。

各引脚用作输入 / 输出端口、外围功能的输入 / 输出引脚或者总线控制引脚。

外围功能的设定方法请参照各功能的说明。在用作外围功能的输入引脚或者 D/A 转换器的输出引脚时，必须将对应引脚的方向位置“0”（输入模式）；在用作 D/A 转换器以外的外围功能的输出引脚时，与方向位无关，为外围功能的输出引脚。

在用作总线控制引脚时，请参照“8.2 总线控制”。

P0 ~ P5 能输入或者输出 VCC2 电平，P6 ~ P10 能输入或者输出 VCC1 电平。

21.1 端口 Pi 方向寄存器（PDi 寄存器 i=0 ~ 10）

Pi 方向寄存器如图 21.7 所示。

这是选择输入 / 输出端口是用于输入还是用于输出的寄存器。此寄存器的每 1 位各对应 1 个端口。

在存储器扩展模式或者微处理器模式中，不能更改作为总线控制引脚（A0 ~ A19、D0 ~ D15、 $\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL/WR}}$ 、 $\overline{\text{WRH/BHE}}$ 、ALE、 $\overline{\text{RDY}}$ 、 $\overline{\text{HOLD}}$ 、 $\overline{\text{HLDA}}$ 、BCLK）的 PDi 寄存器。

21.2 端口 Pi 寄存器（Pi 寄存器 i=0 ~ 10）

Pi 寄存器如图 21.8 所示。

通过读写 Pi 寄存器，与外部进行数据的输入 / 输出。Pi 寄存器由保持输出数据的端口锁存器和读取引脚状态的电路构成。

如果读被设定为输入模式的端口的 Pi 寄存器，就能读取引脚的输入电平；如果写被设定为输入模式的端口的 Pi 寄存器，就能将数据写到端口锁存器。

如果读被设定为输出模式的端口的 Pi 寄存器，就能读取端口锁存器的内容；如果写被设定为输出模式的端口的 Pi 寄存器，就能将数据写到端口锁存器，并且从引脚输出锁存器的值。Pi 寄存器的每 1 位各对应 1 个端口。

在存储器扩展模式或者微处理器模式中，不能更改作为总线控制引脚（A0 ~ A19、D0 ~ D15、 $\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL/WR}}$ 、 $\overline{\text{WRH/BHE}}$ 、ALE、 $\overline{\text{RDY}}$ 、 $\overline{\text{HOLD}}$ 、 $\overline{\text{HLDA}}$ 、BCLK）的 Pi 寄存器。

21.3 上拉控制寄存器 0 ~ 上拉控制寄存器 2（PUR0 ~ PUR2 寄存器）

PUR0 ~ PUR2 寄存器如图 21.9 ~ 图 21.10 所示。

能通过 PUR0 ~ PUR2 寄存器的各位，以 4 个端口为单位选择是否上拉。在将方向位设定为输入模式时，选择上拉的端口连接上拉电阻。

在存储器扩展模式和微处理器模式中，P0 ~ P3、P4_0 ~ P4_3、P5 的上拉控制寄存器无效。能更改寄存器的内容，但是不连接上拉电阻。

21.4 端口控制寄存器（PCR 寄存器）

PCR 寄存器如图 21.11 所示。

如果在将 PCR 寄存器的 PCR0 位置“1”后读 P1 寄存器，就与 PD1 寄存器的设定无关，读取对应的端口锁存器的内容。

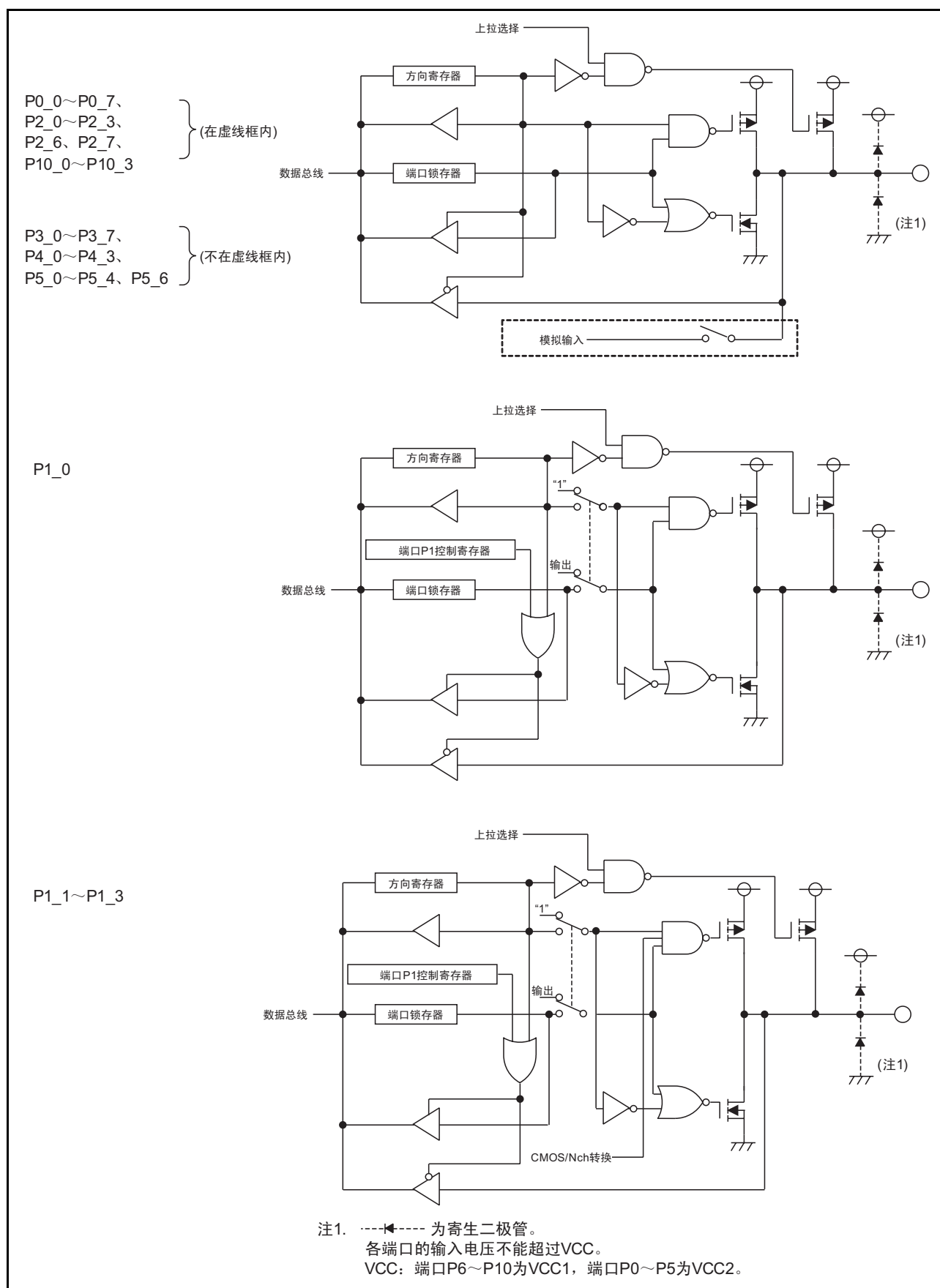


图 21.1 输入 / 输出端口的结构 (1)

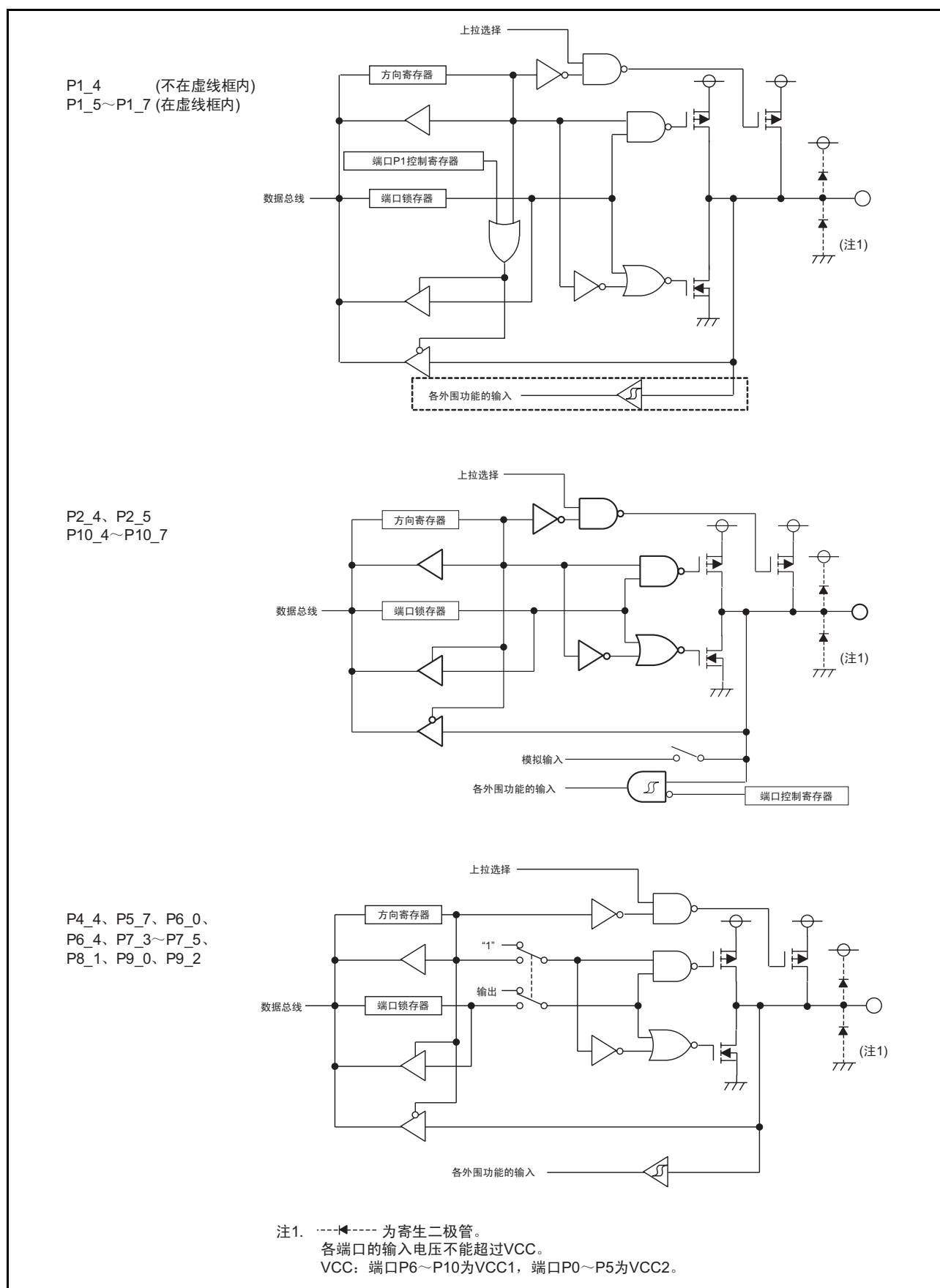


图 21.2 输入 / 输出端口的结构 (2)

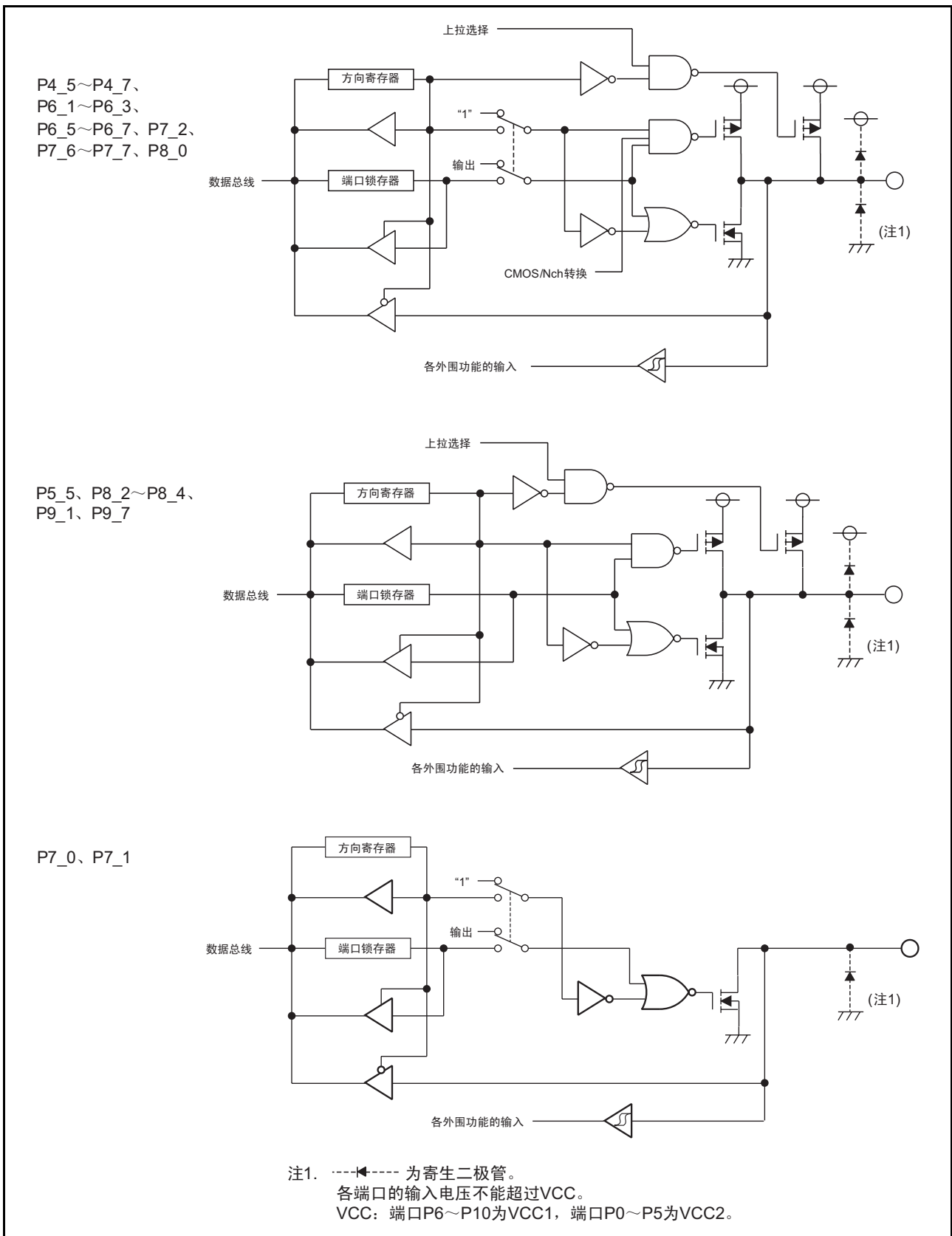


图 21.3 输入 / 输出端口的结构 (3)

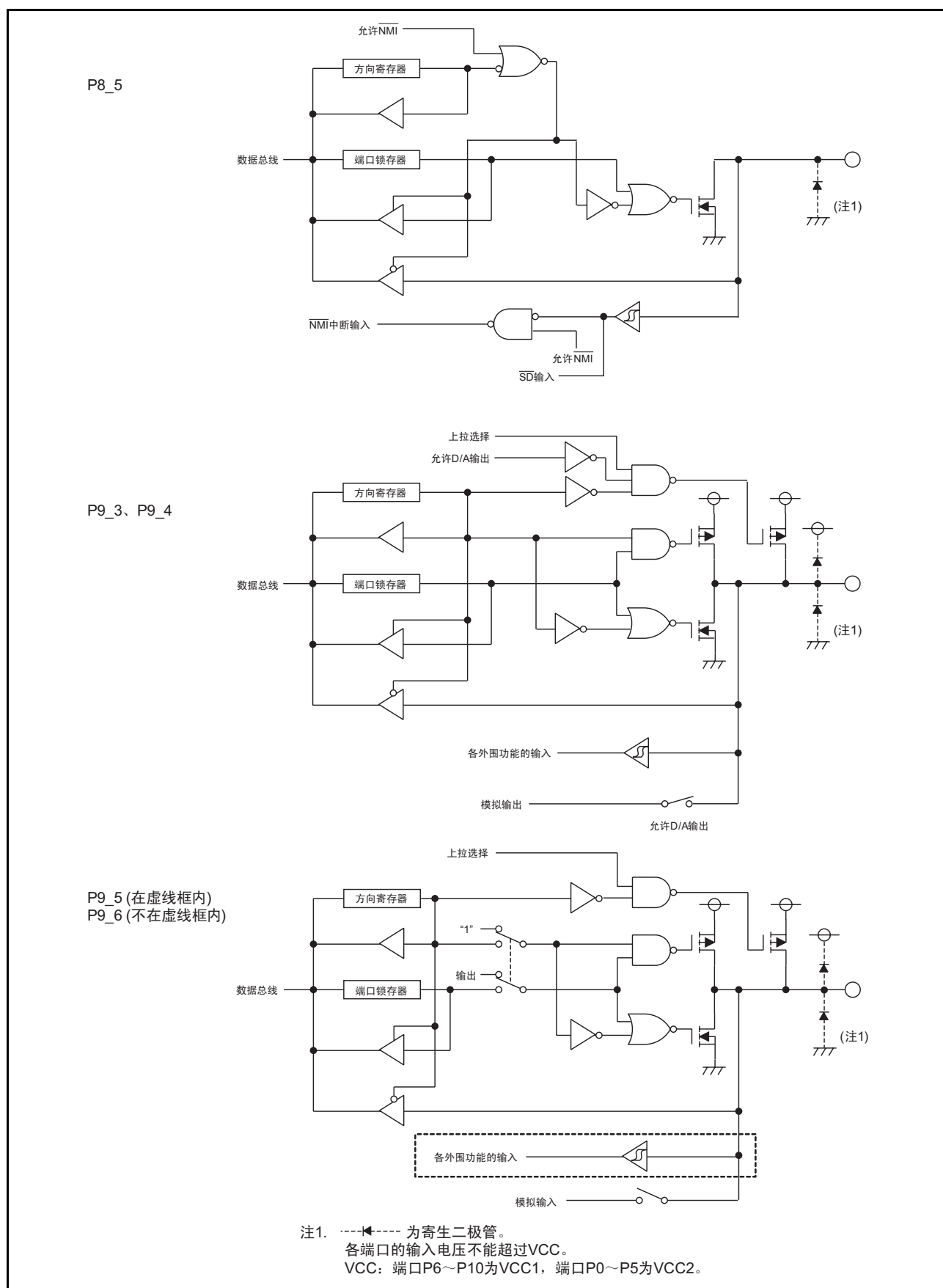


图 21.4 输入 / 输出端口的结构 (4)

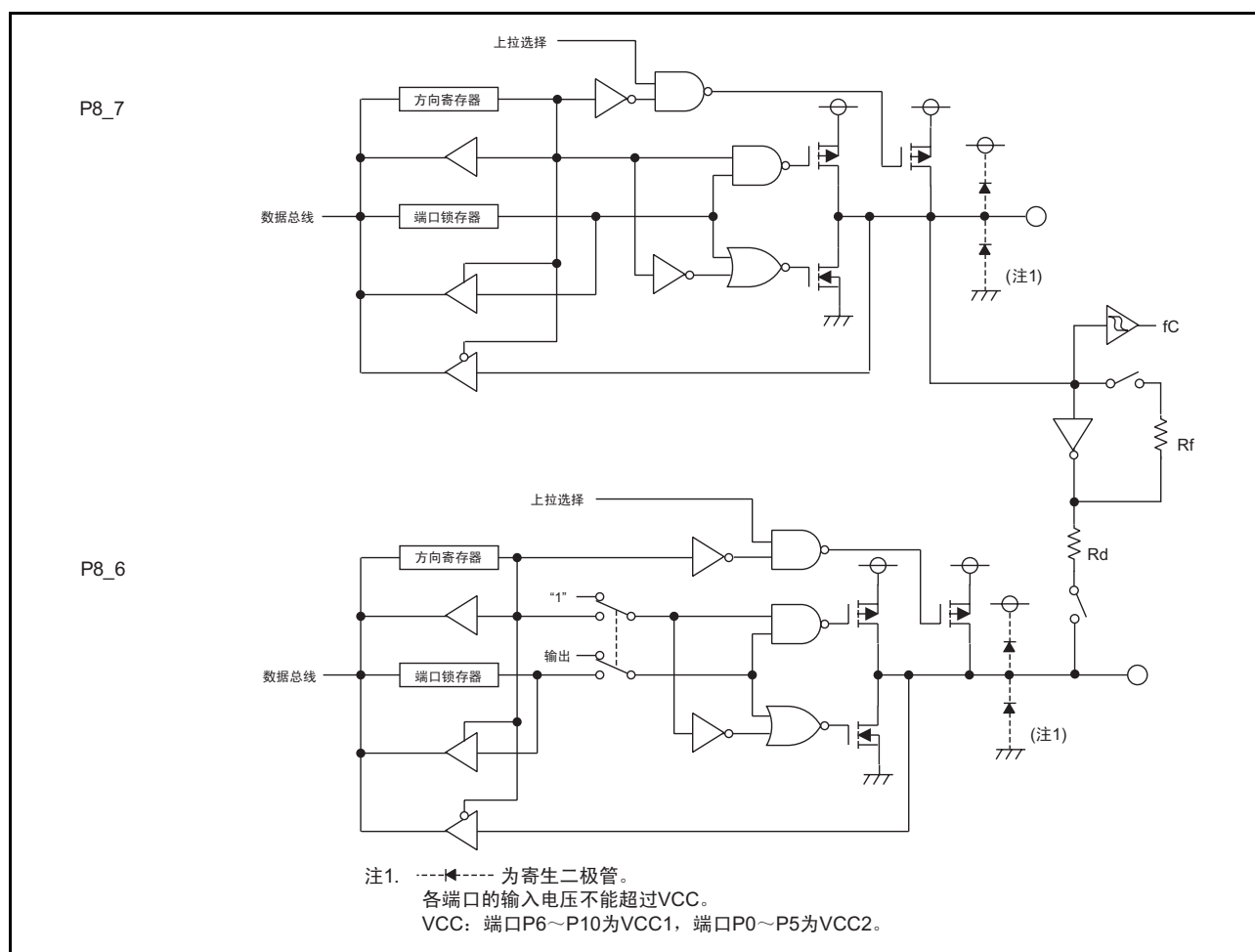


图 21.5 输入 / 输出端口的结构 (5)

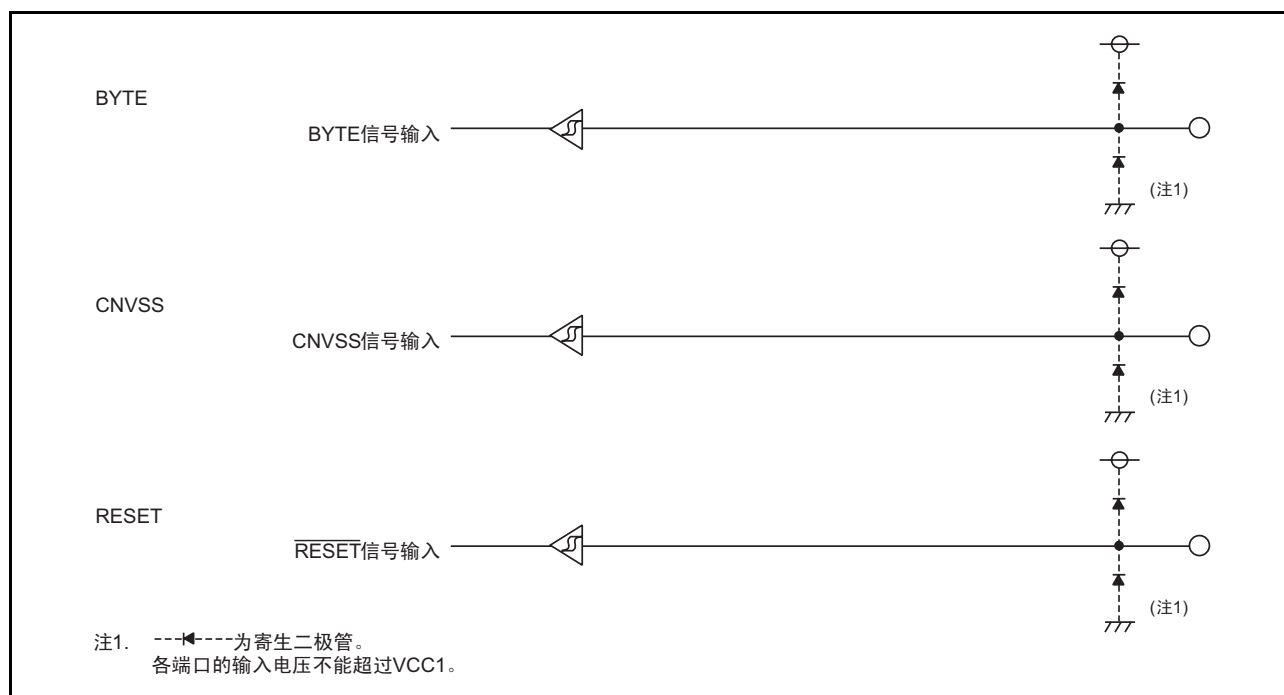


图 21.6 引脚的结构

端口Pi方向寄存器(i=0~10)(注1、2)

符号	地址	复位后的值
PD0~PD3	地址03E2h、03E3h、03E6h、03E7h	00h
PD4~PD7	地址03EAh、03EBh、03EEh、03EFh	00h
PD8	地址03F2h	00h
PD9、PD10	地址03F3h、03F6h	00h

位符号	位名	功能	RW
PD _i _0	端口Pi_0方向位	0: 输入模式 (用作输入端口) 1: 输出模式 (用作输出端口)	RW
PD _i _1	端口Pi_1方向位		RW
PD _i _2	端口Pi_2方向位		RW
PD _i _3	端口Pi_3方向位		RW
PD _i _4	端口Pi_4方向位		RW
PD _i _5	端口Pi_5方向位		RW
PD _i _6	端口Pi_6方向位		RW
PD _i _7	端口Pi_7方向位		RW

注1. 必须通过将PRCR寄存器的PRC2位置“1”(允许写)后的下一条指令写PD9寄存器。

注2. 在存储器扩展模式或者微处理器模式中，不能更改总线控制引脚(A0~A19、D0~D15、 $\overline{CS0} \sim \overline{CS3}$ 、 $\overline{RD}$ 、 $\overline{WRL}/\overline{WR}$ 、 $\overline{WRH}/\overline{BHE}$ 、 $\overline{ALE}$ 、 $\overline{RDY}$ 、 $\overline{HOLD}$ 、 $\overline{HLDA}$ 、 $\overline{BCLK}$)的PD寄存器。

图 21.7 PD0 ~ PD10 寄存器

端口Pi寄存器(i=0~10)(注2)

符号	地址	复位后的值
P0~P3	地址03E0h、03E1h、03E4h、03E5h	不定
P4~P7	地址03E8h、03E9h、03ECh、03EDh	不定
P8	地址03F0h	不定
P9、P10	地址03F1h、03F4h	不定

位符号	位名	功能	RW
Pi_0	端口Pi_0位	如果读被设定为输入模式的输入/输出端口的对应位，就能读取引脚的电平。 如果写被设定为输出模式的输入/输出端口的对应位，就能控制引脚的电平。 0: “L”电平 1: “H”电平(注1)	RW
Pi_1	端口Pi_1位		RW
Pi_2	端口Pi_2位		RW
Pi_3	端口Pi_3位		RW
Pi_4	端口Pi_4位		RW
Pi_5	端口Pi_5位		RW
Pi_6	端口Pi_6位		RW
Pi_7	端口Pi_7位		RW

注1. 因为P7_0、P7_1、P8_5是N沟道漏极开路端口，所以为高阻抗。

注2. 在存储器扩展模式或者微处理器模式中，不能更改总线控制引脚(A0~A19、D0~D15、 $\overline{CS0} \sim \overline{CS3}$ 、 $\overline{RD}$ 、 $\overline{WRL}/\overline{WR}$ 、 $\overline{WRH}/\overline{BHE}$ 、 $\overline{ALE}$ 、 $\overline{RDY}$ 、 $\overline{HOLD}$ 、 $\overline{HLDA}$ 、 $\overline{BCLK}$)的Pi寄存器。

图 21.8 P0 ~ P10 寄存器

上拉控制寄存器0(注1)

b7 b6 b5 b4 b3 b2 b1 b0	符号 PUR0	地址 地址0360h	复位后的值 00h
	位符号	位名	功能
	PU00	P0_0~P0_3的上拉	RW
	PU01	P0_4~P0_7的上拉	RW
	PU02	P1_0~P1_3的上拉	RW
	PU03	P1_4~P1_7的上拉	0: 无上拉 1: 有上拉(注2)
	PU04	P2_0~P2_3的上拉	RW
	PU05	P2_4~P2_7的上拉	RW
	PU06	P3_0~P3_3的上拉	RW
	PU07	P3_4~P3_7的上拉	RW

注1. 在存储器扩展模式或者微处理器模式中，能更改寄存器的内容，但是不被上拉。

注2. 此位为“1”(有上拉)并且方向位为“0”(输入模式)的引脚被上拉。

上拉控制寄存器1

b7 b6 b5 b4 b3 b2 b1 b0	符号 PUR1	地址 地址0361h	复位后的值(注5) 00000000b 00000010b
	位符号	位名	功能
	PU10	P4_0~P4_3的上拉(注2)	RW
	PU11	P4_4~P4_7的上拉(注4)	RW
	PU12	P5_0~P5_3的上拉(注2)	RW
	PU13	P5_4~P5_7的上拉(注2)	0: 无上拉 1: 有上拉(注3)
	PU14	P6_0~P6_3的上拉	RW
	PU15	P6_4~P6_7的上拉	RW
	PU16	P7_2~P7_3的上拉(注1)	RW
	PU17	P7_4~P7_7的上拉	RW

注1. P7_0、P7_1引脚不被上拉。

注2. 在存储器扩展模式或者微处理器模式中，能更改此位的内容，但是不被上拉。

注3. 此位为“1”(有上拉)并且方向位为“0”(输入模式)的引脚被上拉。

注4. 如果在单芯片模式中通过程序将PM01~PM00位置“01b”(存储器扩展模式)或者“11b”(微处理器模式)，PU11位就变为“1”。

注5. 在硬件复位1或者硬件复位2时，复位后的值如下：

- 在CNVSS引脚输入“L”电平时为“00000000b”。
- 在CNVSS引脚输入“H”电平时为“00000010b”。

在软件复位、看门狗定时器复位或者振荡停止检测复位时，复位后的值如下：

- 在PM0寄存器的PM01~PM00位是“00b”(单芯片模式)时为“00000000b”。
- 在PM0寄存器的PM01~PM00位是“01b”(存储器扩展模式)或者“11b”(微处理器模式)时为“00000010b”。

图 21.9 PUR0 和 PUR1 寄存器

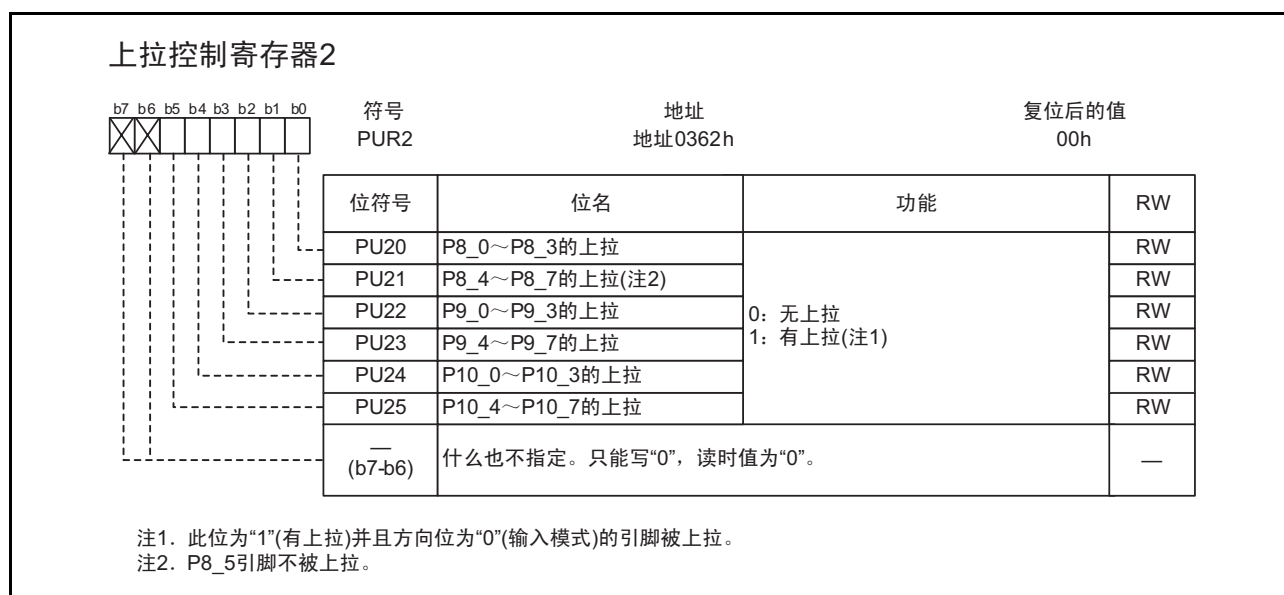


图 21.10 PUR2 寄存器



图 21.11 PCR 寄存器

表 21.1 单芯片模式中的未使用引脚的处理例子

引脚名	处理内容（注 2）
端口 P0 ~ P5	进行以下任意一项的处理： • 设定为输入模式，每个引脚经过电阻连接 VSS（下拉）。 • 设定为输入模式，每个引脚经过电阻连接 VCC2（上拉）。 • 设定为输出模式，引脚开路（注 1）。
端口 P6 ~ P10	进行以下任意一项的处理： • 设定为输入模式，每个引脚经过电阻连接 VSS（下拉）。 • 设定为输入模式，每个引脚经过电阻连接 VCC1（上拉）。 • 设定为输出模式，引脚开路（注 1、3）。
XOUT（注 4）	开路
XIN	经过电阻连接 VCC1（上拉）。
AVCC、VREF	连接 VCC1。
AVSS、BYTE	连接 VSS。

注 1. 在将引脚设定为输出模式并置为开路时，在从复位到通过程序将端口转换为输出模式前，端口为输入模式。因此，引脚的电压电平不稳定，在端口为输入模式期间，电源电流有可能增加。
另外，考虑到因噪声或者噪声引起的失控等而使方向寄存器的内容发生变化的情况，建议通过软件定期地重新设定方向寄存器的内容，提高程序的可靠性。

注 2. 必须尽量用较短的布线（不超过 2cm）处理单片机中未使用的引脚。

注 3. 在将端口 P7_0、P7_1、P8_5 设定为输出模式时，必须输出“L”电平。
端口 P7_0、P7_1、P8_5 为 N 沟道漏极开路输出。

注 4. 这是给 XIN 引脚输入外部时钟或者经过电阻连接 VCC1 的情况。

表 21.2 存储器扩展模式和微处理器模式中的未使用引脚的处理例子

引脚名	处理内容（注 2）
端口 P0 ~ P5	进行以下任意一项的处理： • 设定为输入模式，每个引脚经过电阻连接 VSS（下拉）。 • 设定为输入模式，每个引脚经过电阻连接 VCC2（上拉）。 • 设定为输出模式，引脚开路（注 1、3）。
端口 P6 ~ P10	进行以下任意一项的处理： • 设定为输入模式，每个引脚经过电阻连接 VSS（下拉）。 • 设定为输入模式，每个引脚经过电阻连接 VCC1（上拉）。 • 设定为输出模式，引脚开路（注 1、4）。
$\overline{\text{BHE}}$ 、 $\overline{\text{ALE}}$ 、 $\overline{\text{HLDA}}$ 、 $\overline{\text{XOUT}}$ （注 5）、 $\overline{\text{BCLK}}$ （注 6）	开路
$\overline{\text{HOLD}}$ 、 $\overline{\text{RDY}}$	经过电阻连接 VCC2（上拉）。
XIN	经过电阻连接 VCC1（上拉）。
AVCC、VREF	连接 VCC1。
AVSS	连接 VSS。

- 注 1. 在将引脚设定为输出模式并置为开路时，在从复位到通过程序将端口转换为输出模式前，端口为输入模式。因此，引脚的电压电平不稳定，在端口为输入模式期间，电源电流有可能增加。
另外，考虑到因噪声或者噪声引起的失控等而使方向寄存器的内容发生变化的情况，建议通过软件定期地重新设定方向寄存器的内容，提高程序的可靠性。
- 注 2. 必须尽量用较短的布线（不超过 2cm）处理单片机中未使用的引脚。
- 注 3. 在给 CNVSS 引脚外加 VSS 电平时，在从复位到通过程序转换处理器模式前，这些端口为输入模式端口。因此，引脚的电压电平不稳定，在这些端口为输入端口期间，电源电流有可能增加。
- 注 4. 在将端口 P7_0、P7_1、P8_5 设定为输出模式时，必须输出“L”电平。
端口 P7_0、P7_1、P8_5 为 N 沟道漏极开路输出。
- 注 5. 这是给 XIN 引脚输入外部时钟或者经过电阻连接 VCC1 的情况。
- 注 6. 如果将 PM0 寄存器的 PM07 位置“1”（不输出 BCLK），就必须经过电阻连接 VCC2（上拉）。

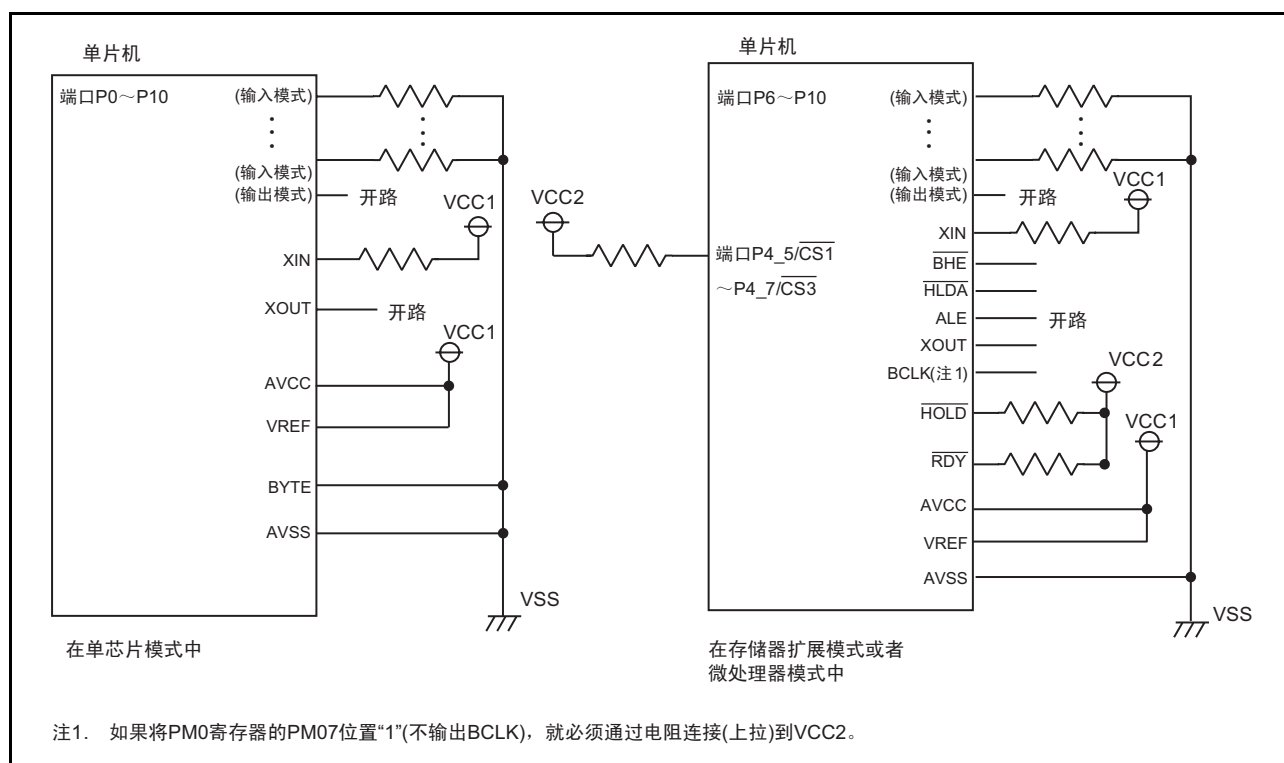


图 21.12 未使用引脚的处理例子

22. 闪存版

本产品能在 CPU 改写模式、标准串行输入 / 输出模式和并行输入 / 输出模式这 3 种改写模式中进行闪存操作。

闪存版的规格概要如表 22.1 所示（表 22.1 以外的项目请参照“表 1.1 ~ 表 1.2 规格概要”）。

表 22.1 闪存版的规格概要

项目		性能
闪存的改写模式		3 种模式（CPU 改写模式、标准串行输入 / 输出模式、并行输入 / 输出模式）
擦除块的分割	程序 ROM1	请参照“图 22.1 闪存框图”。
	程序 ROM2	分成 1 块（16K 字节）
	数据闪存	分成 2 块（各 4K 字节）
编程方式		以 2 个字为单位
擦除方式		块擦除
编程 / 擦除的控制方式		通过软件命令控制编程和擦除。
保护方式		以块为单位，通过锁定位进行保护。
命令数		8 条命令
编程 / 擦除次数		100 次（注 1）
数据保持		10 年
ROM 码的保护		对应并行输入 / 输出模式和标准串行输入 / 输出模式。

注 1. 编程 / 擦除次数的定义：

编程 / 擦除次数是指每块的擦除次数。

例如，对于 4K 字节的块，如果在分 1024 次写 2 个字后擦除此块，编程 / 擦除次数就计为 1 次。

如果编程 / 擦除次数为 100 次，每块就能擦除 100 次。

表 22.2 闪存改写模式的概要

闪存的改写模式	CPU 改写模式（注 1）	标准串行输入 / 输出模式	并行输入 / 输出模式
功能概要	能通过 CPU 执行软件命令改写程序 ROM1、程序 ROM2 和数据闪存。 EW0 模式： 能在闪存以外的区域内进行改写（注 2）。 EW1 模式： 能在闪存内进行改写。	能使用专用串行编程器改写程序 ROM1、程序 ROM2 和数据闪存。 标准串行输入 / 输出模式 1： 时钟同步串行 I/O 标准串行输入 / 输出模式 2： 异步串行 I/O	能使用专用并行编程器改写程序 ROM1、程序 ROM2 和数据闪存。
能改写的区域	程序 ROM1、程序 ROM2 和数据闪存	程序 ROM1、程序 ROM2 和数据闪存	程序 ROM1、程序 ROM2 和数据闪存
运行模式	单芯片模式 存储器扩展模式（EW0 模式）	引导模式	并行输入 / 输出模式
ROM 编程器	—	串行编程器	并行编程器

注 1. 在 FMR0 寄存器的 FMR01 位为“1”（CPU 改写模式有效）期间，PM13 位为“1”。如果将 FMR01 位置“0”（CPU 改写模式无效），PM13 位就恢复原来的值。如果在 CPU 改写模式中更改 PM13 位，就在将 FMR01 位置“0”后，反映被更改后的 PM13 位的值。

注 2. 在 CPU 改写模式中，PM1 寄存器的 PM10 位和 PM13 位为“1”。必须在内部 RAM 中或者在 PM13 位为“1”时能使用的外部区域内执行改写控制程序。在 PM13 位为“0”并且使用 4M 字节模式时，不能使用存取空间的扩展区域（40000h ~ BFFFFh）。

22.1 存储器分配

本产品的 ROM 分为程序 ROM1、程序 ROM2 和数据闪存。闪存框图如图 22.1 所示。

程序 ROM1 被分割为若干块，能按块禁止（锁定）编程和擦除。在 CPU 改写模式、标准串行输入 / 输出模式或者并行输入 / 输出模式中，能改写程序 ROM1 和程序 ROM2。

当 PRG2C 寄存器的 PRG2C0 位为“0”（程序 ROM2 有效）时，能使用程序 ROM2。程序 ROM2 包括用户引导代码区。

如果将 PM1 寄存器的 PM10 位置“1”（0E000h ~ 0FFFFh 为数据闪存），就能使用数据闪存。数据闪存被分割为块 A 和块 B。

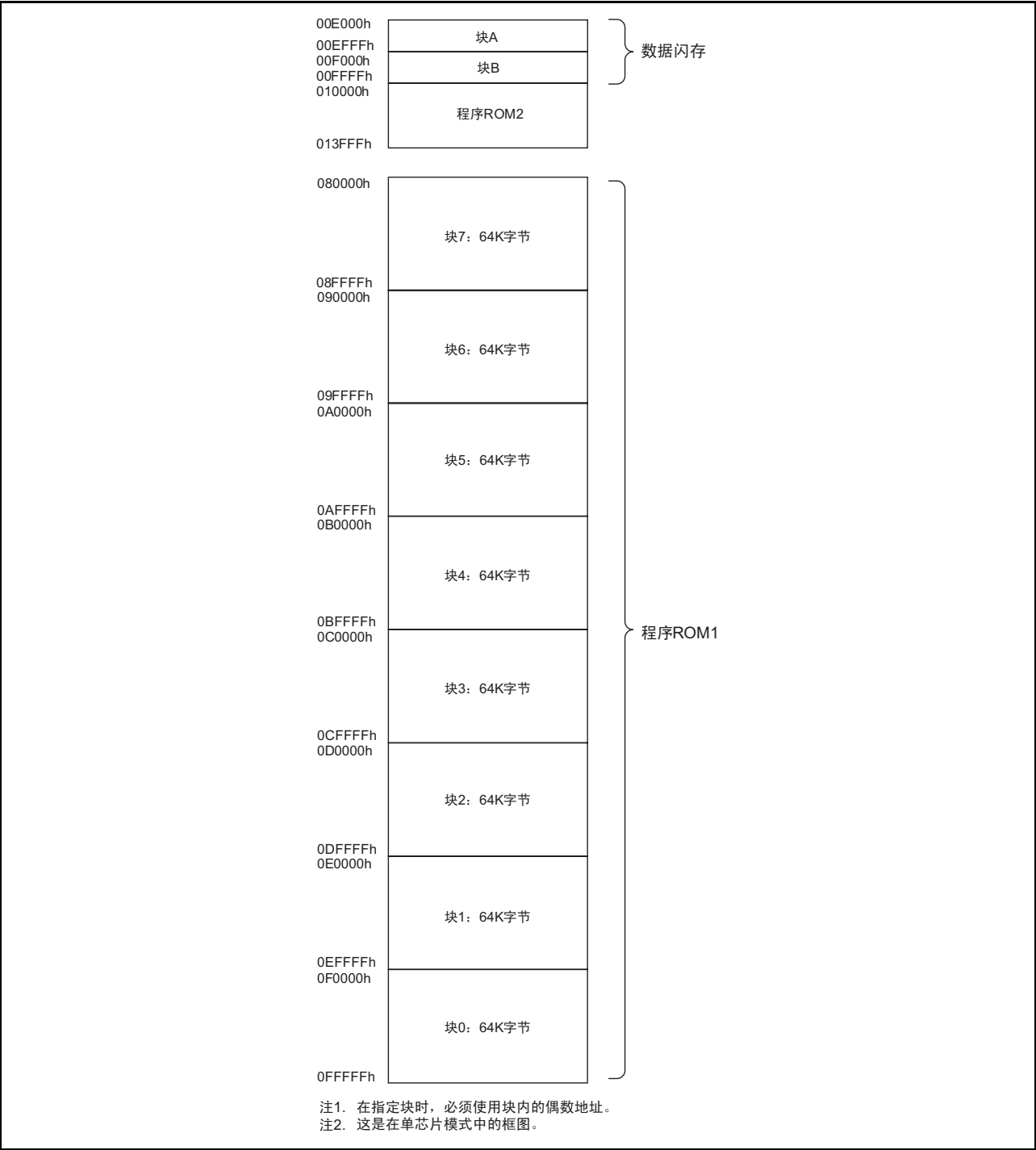


图 22.1 闪存框图

22.1.1 引导模式

如果在给 P5_5 引脚输入“L”电平、给 CNVSS 引脚输入“H”电平并且给 P5_0 引脚输入“H”电平后进行硬件复位，就进入引导模式。在引导模式中，能根据用户引导代码区的内容选择用户引导模式或者标准串行输入 / 输出模式。标准串行输入 / 输出模式请参照“22.4 标准串行输入 / 输出模式”。

22.1.2 用户引导功能

在引导模式中启动时，能在任意的端口状态下选择用户引导模式。用户引导功能的规格如表 22.3 所示。

表 22.3 用户引导功能的规格

项目	规格
用于入口的引脚	无引脚或者从端口 P0_0 ~ P10_7 中选择。
用户引导的启动电平	选择“H”电平或者“L”电平。
用户引导的起始地址	地址 10000h（程序 ROM2 的起始地址）

必须将 ASCII 码“UserBoot”设定到用户引导代码区的地址 13FF0h ~ 13FF7h；用地址 13FF8h ~ 13FF9h 和地址 13FFAh 选择用于入口的端口；用地址 13FFBh 选择启动电平。在启动引导模式后，根据所选端口的电平启动用户引导模式或者标准串行输入 / 输出模式。

当地址 13FF0h ~ 13FF7h 为 ASCII 码“UserBoot”并且地址 13FF8h ~ 13FFBh 全部为“00h”时，进入用户引导模式。

一旦进入用户引导模式，就从地址 10000h（程序 ROM2 的起始地址）开始执行程序。

用户引导代码区如图 22.2 所示，启动模式、“UserBoot”的 ASCII 码和能用于入口的端口地址分别如表 22.4、表 22.5 和表 22.6 所示。

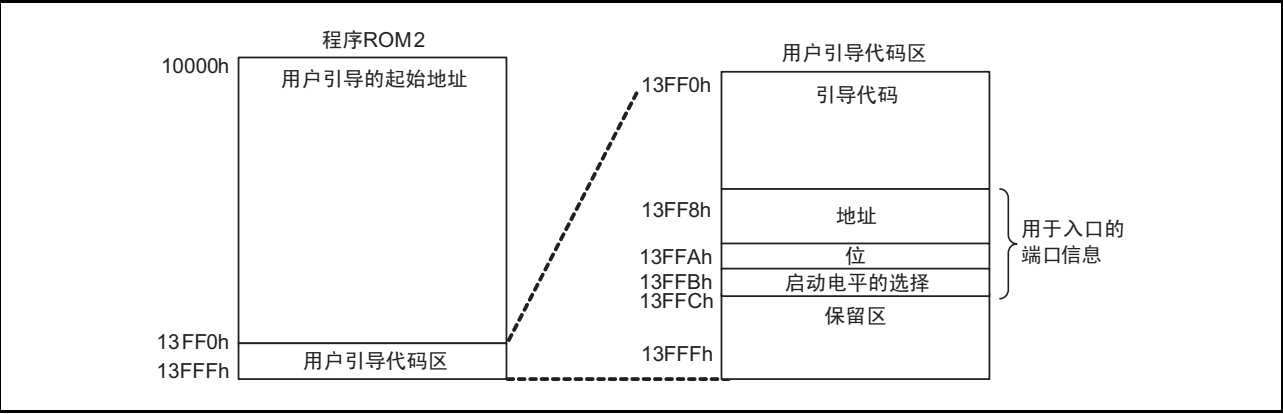


图 22.2 用户引导代码区

表 22.4 启动模式（用于入口的端口为端口 Pi_j 时）（注 1）

引导代码 （地址 13FF0h ~ 13FF7h）	用于入口的端口信息			端口 Pi _j 的输入电平	启动模式
	地址 （地址 13FF8h ~ 13FF9h）	位 （地址 13FFAh）	启动电平的选择 （地址 13FFBh）		
ASCII 码 “UserBoot” （注 2）	0000h	00h	00h	—	用户引导模式
	Pi 寄存器的地址 （注 3）	00h ~ 07h （j 的值）	00h	H	标准串行输入 / 输出模式
				L	用户引导模式
	Pi 寄存器的地址 （注 3）	00h ~ 07h （j 的值）	01h	H	用户引导模式
				L	标准串行输入 / 输出模式
ASCII 码 “UserBoot” 以外	—	—	—	—	标准串行输入 / 输出模式

i = 0 ~ 10, j = 0 ~ 7

注 1. 不能设定表 22.4 中没有的值。

注 2. 参照“表 22.5 “UserBoot” 的 ASCII 码”。

注 3. 参照“表 22.6 能用于入口的端口地址”。

表 22.5 “UserBoot” 的 ASCII 码

地址	13FF0h	13FF1h	13FF2h	13FF3h	13FF4h	13FF5h	13FF6h	13FF7h
ASCII 码	55h (U)	73h (s)	65h (e)	72h (r)	42h (B)	6Fh (o)	6Fh (o)	74h (t)

表 22.6 能用于入口的端口地址

端口	地址	端口	地址
P0	03E0h	P6	03ECh
P1	03E1h	P7	03EDh
P2	03E4h	P8	03F0h
P3	03E5h	P9	03F1h
P4	03E8h	P10	03F4h
P5	03E9h	—	—

22.2 闪存改写的禁止功能

为了禁止闪存的读写，并行输入 / 输出模式有 ROM 码保护功能，标准串行输入 / 输出模式有 ID 码检查功能。

22.2.1 ROM 码保护功能

ROM 码保护是在使用并行输入 / 输出模式时禁止读写闪存的功能。OFS1 地址如图 22.3 所示，它存在于程序 ROM1 的块 0 中。

如果将 ROMCP1 位置“0”，ROM 码保护就有效。

在解除 ROM 码保护时，必须在标准串行输入 / 输出模式或者 CPU 改写模式中擦除含有 OFS1 地址的块 0。

22.2.2 ID 码检查功能

在标准串行输入 / 输出模式中使用此功能。此功能判断串行编程器送出的 ID 码和写在闪存中的 ID 码是否相同，如果 ID 码不同，就不接受串行编程器送出的命令。如果复位向量的 4 个字节为“FFFFFFFFh”，就不判断 ID 码而接受全部的命令。

闪存的 ID 码是从第 1 字节开始分别分配到地址 0FFFDfH、0FFFE3h、0FFFEbH、0FFFEfH、0FFFF3h、0FFFF7h、0FFFFbH 的 7 个字节数据。必须将给这些地址设定 ID 码的程序写到闪存。ID 码的保存地址如表 22.7 所示。

ASCII 码“ALeRASE”的 ID 码是强制擦除功能中使用的保留字；“Protect”的 ID 码是标准串行输入 / 输出模式禁止功能中使用的保留字。ID 码的保留字如表 22.7 所示。当 ID 码的保存地址和数据都与表 22.7 中的数据相同时，即为保留字。在不使用强制擦除功能和标准串行输入 / 输出模式的禁止功能时，必须使用其他的 ID 码。

表 22.7 ID 码的保留字

ID 码的保存地址		ID 码的保留字（ASCII 码）	
		ALeRASE	Protect
FFFDfH	ID1	41h(A)	50h(P)
FFFE3h	ID2	4Ch(L)	72h(r)
FFFEbH	ID3	65h(e)	6Fh(o)
FFFEfH	ID4	52h(R)	74h(t)
FFFF3h	ID5	41h(A)	65h(e)
FFFF7h	ID6	53h(S)	63h(c)
FFFFbH	ID7	45h(E)	74h(t)

当 ID 码的保存地址和数据都与表 22.7 的数据相同时，即为保留字。

22.2.3 强制擦除功能

在标准串行输入 / 输出模式中使用此功能。当串行编程器送出的 ID 码为 ASCII 码 “ALeRASE” 时，就将用户 ROM 区全部擦除。如果 ID 码保存地址的内容不是 ASCII 码 “ALeRASE”（“表 22.7 ID 码的保留字”以外）并且 ROMCP1 地址的 ROMCP1 位不是 “11b”（ROM 码保护有效）时，就不强制擦除而使用 ID 码的检查功能对 ID 码进行判断。强制擦除功能的条件和操作如表 22.8 所示。

预先将 ID 码保存地址的内容设定为 ASCII 码 “ALeRASE”，如果串行编程器送出的 ID 码为 “ALeRASE”，就擦除用户 ROM 区；如果 ID 码不是 “ALeRASE”，ID 码就不同，也不接受命令，所以不能操作用户 ROM 区。

表 22.8 强制擦除功能的条件和操作

条件			操作
串行编程器送出的 ID 码	ID 码的保存地址中的 ID 码	OFS1 地址的 ROMCP1 位	
ALeRASE	ALeRASE	—	将用户 ROM 区全部擦除。 （强制擦除功能）
	ALeRASE 以外的 ID 码 （注 1）	1（ROM 码保护无效）	
		0（ROM 码保护有效）	判断 ID 码（ID 码的检查功能）。
ALeRASE 以外	ALeRASE	—	判断 ID 码（ID 码的检查功能，ID 码不同）。
	ALeRASE 以外的 ID 码 （注 1）	—	判断 ID 码（ID 码的检查功能）。

注 1. ID 码为 “Protect” 时，请参照 “22.2.4 标准串行输入 / 输出模式的禁止功能”。

22.2.4 标准串行输入 / 输出模式的禁止功能

在标准串行输入 / 输出模式中使用此功能。当 ID 码保存地址的 ID 码为 ASCII 码 “Protect”（参照 “表 22.7 ID 码的保留字”）时，不和串行编程器进行通信。因此，能通过串行编程器禁止闪存的读写和擦除。即使 ID 码为 “Protect”，也启动用户引导模式。

另外，当 ID 码为 “Protect” 并且 OFS1 地址的 ROMCP1 位为 “0”（ROM 码保护有效）时，不能通过串行编程器解除 ROM 码保护。因此，不能通过串行编程器或者并行编程器禁止闪存的读写和擦除。

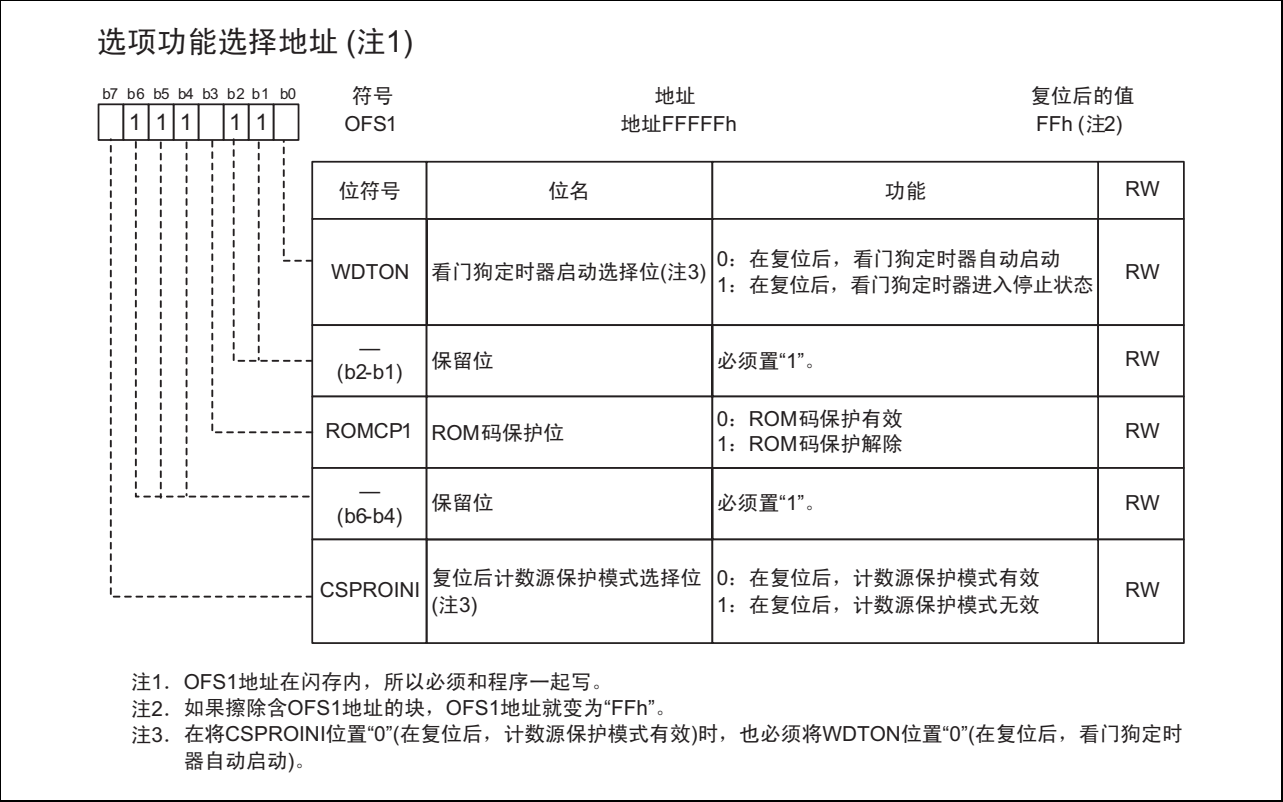


图 22.3 OFS1 地址

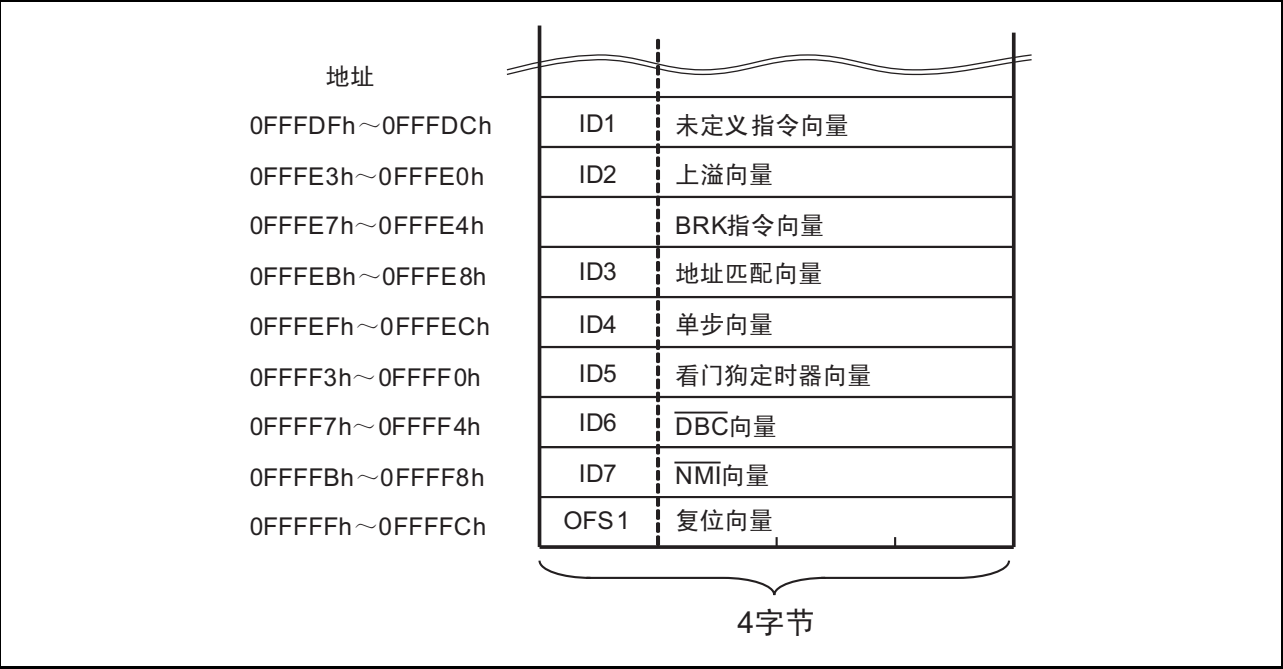


图 22.4 ID 码的保存地址

22.3 CPU 改写模式

在 CPU 改写模式中，能通过 CPU 执行软件命令改写闪存。因此，能不使用 ROM 编程器等而在将单片机安装在电路板的状态下，改写程序 ROM1、程序 ROM2 和数据闪存。

只能对程序 ROM1、程序 ROM2 和数据闪存的各块区域执行编程或者块擦除的命令。

CPU 改写模式有擦除写 0 模式（EW0 模式）和擦除写 1 模式（EW1 模式）。EW0 模式和 EW1 模式的差异如表 22.9 所示。

表 22.9 EW0 模式和 EW1 模式的差异

项目	EW0 模式	EW1 模式
运行模式	- 单芯片模式 - 存储器扩展模式	单芯片模式
能装入改写控制程序的区域	- 程序 ROM1 - 程序 ROM2	- 程序 ROM1 - 程序 ROM2
能执行改写控制程序的区域	必须在传送到闪存以外（RAM 等）的区域后执行（注 2）。	能在程序 ROM1、程序 ROM2、数据闪存中执行。
能改写的区域	- 程序 ROM1 - 程序 ROM2 - 数据闪存	程序 ROM1、程序 ROM2、数据闪存（存有改写控制程序的块除外）
软件命令的限制	无	- 对存有改写控制程序的块禁止执行编程和块擦除命令。 - 禁止执行读状态寄存器命令。
编程、擦除后的模式	读状态寄存器模式	读阵列模式
自动编程、自动擦除时的 CPU 状态	运行	保持状态（输入 / 输出端口保持命令执行前的状态（注 1））
闪存的状态检测	- 通过程序读取 FMR0 寄存器的 FMR00 位、FMR06 位和 FMR07 位。 - 执行读状态寄存器命令，读取状态寄存器的 SR7 位、SR5 位和 SR4 位。	通过程序读取 FMR0 寄存器的 FMR00 位、FMR06 位和 FMR07 位。

注 1. 不能发生中断（ $\overline{\text{NMI}}$ 除外）和 DMA 传送。

注 2. 在 CPU 改写模式中，PM1 寄存器的 PM10 位和 PM13 位变为“1”。必须在内部 RAM 中或者在 PM13 位为“1”时能使用的外部区域内执行改写控制程序。在 PM13 位为“0”并且使用 4M 字节模式时，不能使用存取空间的扩展区域（4000h ~ BFFFFh）。

22.3.1 EW0 模式

如果将 FMR0 寄存器的 FMR01 位置“1”（CPU 改写模式有效），就进入 CPU 改写模式，能接受命令。此时，如果 FMR6 寄存器的 FMR60 位为“0”，就为 EW0 模式。EW0 模式的设定和解除方法如图 22.11 所示。

通过软件命令进行编程和擦除的控制，能通过 FMR0 寄存器或者状态寄存器确认编程或者擦除结束时的状态等。

22.3.2 EW1 模式

如果在将 FMR01 位置“1”后将 FMR60 位置“1”，就进入 EW1 模式。EW1 模式的设定和解除方法如图 22.12 所示。

能通过 FMR0 寄存器确认编程或者擦除结束时的状态等。不能在 EW1 模式中读状态寄存器。
如果执行编程或者擦除命令，CPU 就在命令执行结束前停止运行。

22.3.3 闪存控制寄存器（FMR0、FMR1、FMR2、FMR6 寄存器）

FMR0 寄存器、FMR1 寄存器、FMR2 寄存器和 FMR6 寄存器分别如图 22.5、图 22.6、图 22.7 和图 22.8 所示。

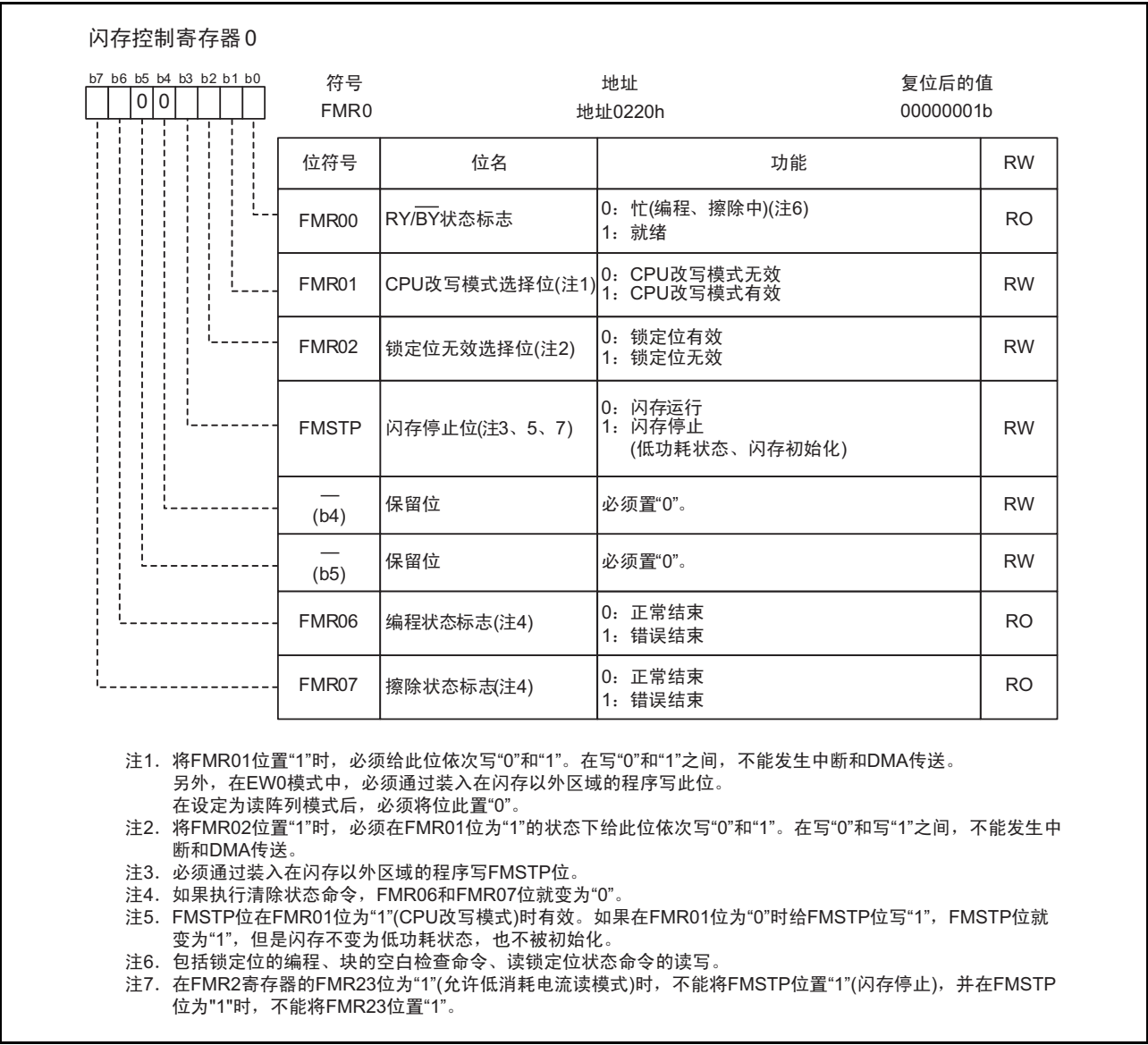


图 22.5 FMR0 寄存器

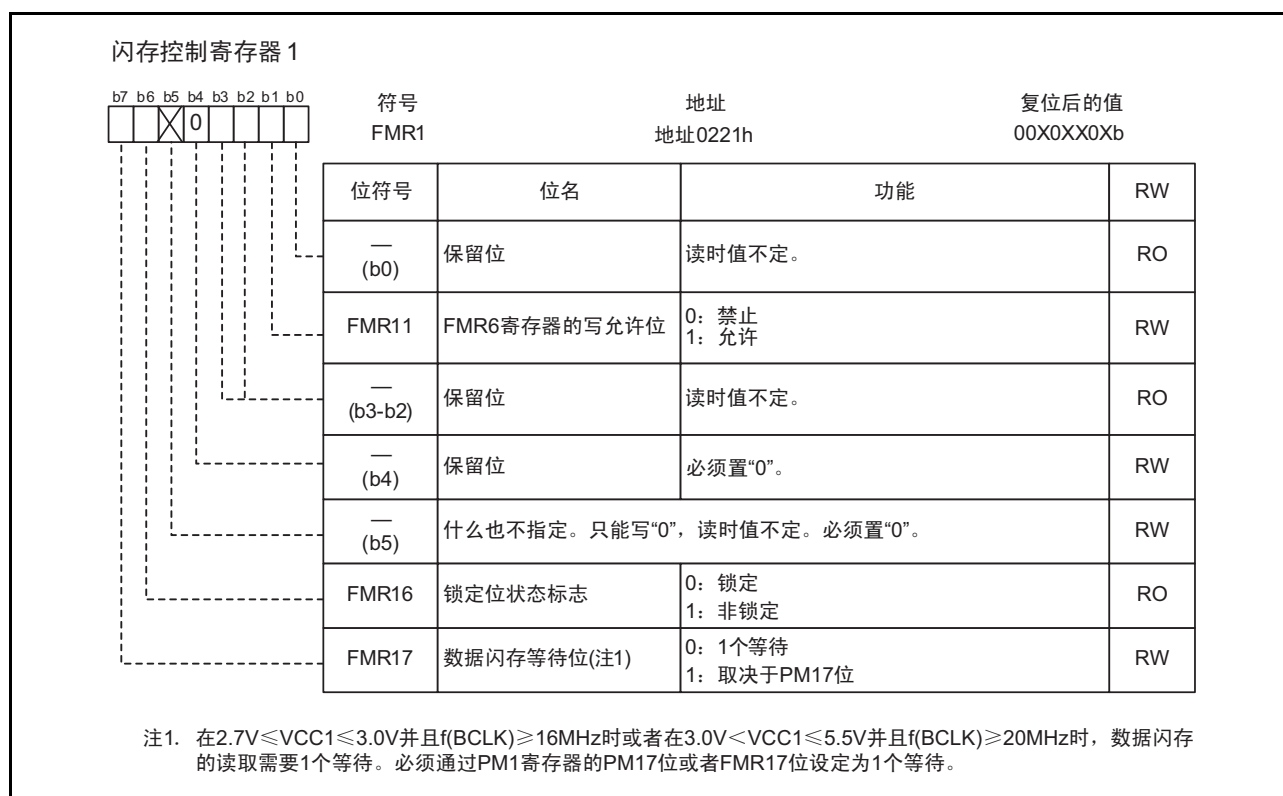


图 22.6 FMR1 寄存器

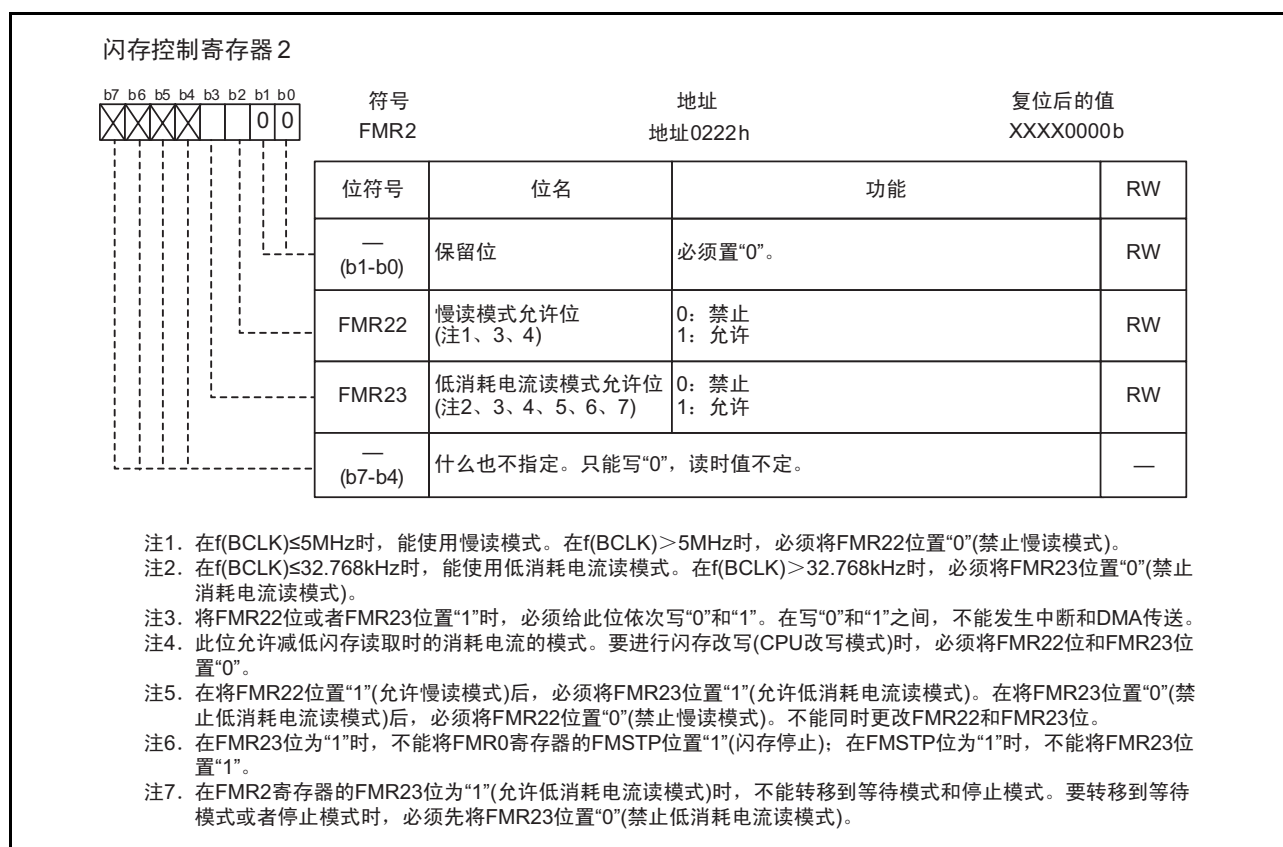


图 22.7 FMR2 寄存器

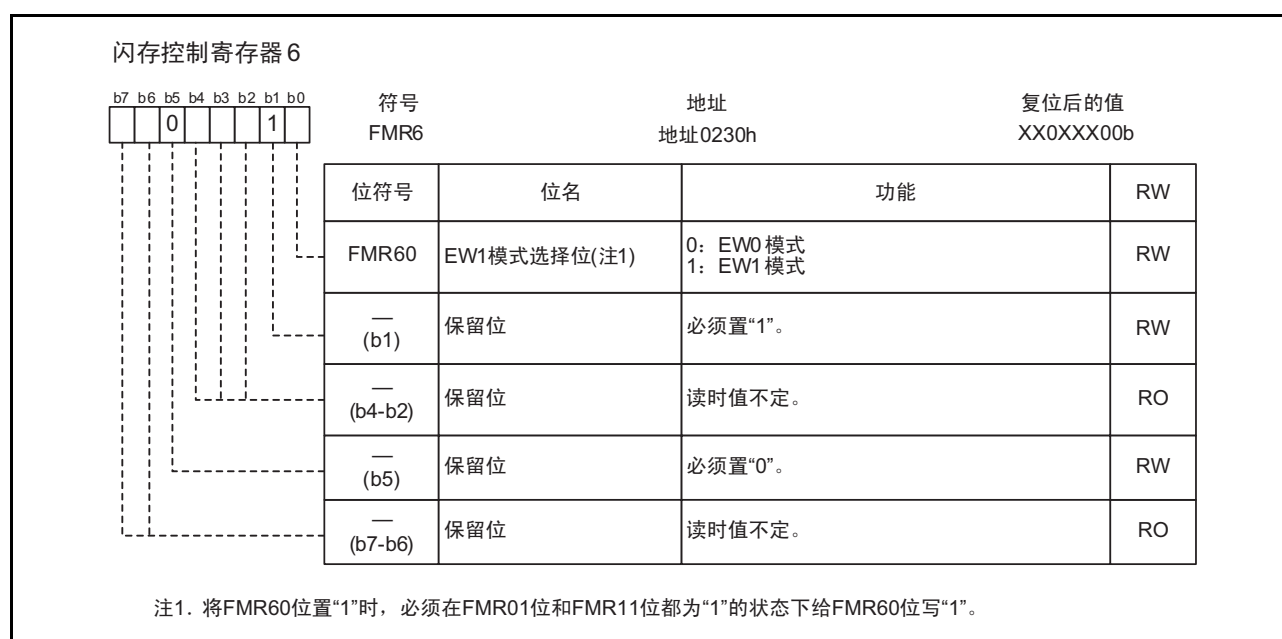


图 22.8 FMR6 寄存器

22.3.3.1 FMR00 位

此位是表示闪存运行状况的位。在执行编程命令、块擦除命令、锁定位编程命令、读锁定位状态命令或者块空白检查命令时，此位为“0”，否则为“1”。

22.3.3.2 FMR01 位

如果将 FMR01 位置“1”（CPU 改写模式），就能接受命令。

22.3.3.3 FMR02 位

如果将 FMR02 位置“1”（锁定位无效），锁定位就无效（参照“22.3.6 数据保护功能”）；如果置“0”，锁定位就有效。

FMR02 位只是将锁定位的功能设定为无效，而锁定位数据不变。如果在 FMR02 位置“1”的状态下执行擦除命令，值为“0”（锁定状态）的锁定位数据在擦除结束后就变为“1”（非锁定状态）。

22.3.3.4 FMSTP 位

此位是用于对闪存的控制电路进行初始化并降低闪存消耗电流的位。如果将 FMSTP 位置“1”（停止闪存），就不能存取内部闪存。因此，必须通过装入在闪存以外区域的程序写 FMSTP 位。

在以下情况下，必须将 FMSTP 位置“1”：

- 在EW0模式中进行擦除或者编程时，闪存的存取发生异常（FMR00位无法恢复到“1”（就绪））。
- 设定为低功耗模式或者内部振荡器低功耗模式。

必须按照以下步骤改写 FMSTP 位：

停止闪存时，

- 将FMSTP位置“1”。
- 等待闪存电路的稳定时间（tps）。

重新运行闪存时，

- 将FMSTP位置“0”。
- 等待闪存电路的稳定时间（tps）。

转移到低功耗模式和内部振荡器低功耗模式前后的处理如图 22.13 所示，必须根据此流程进行操作。

另外，因为内部闪存的电源在转移到停止模式或者等待模式时自动切断，在返回时自动接通，所以不需要设定 FMR0 寄存器。

22.3.3.5 FMR06 位

此位是表示自动编程状况的只读位，当发生编程错误时为“1”，否则为“0”。详细内容请参照“22.3.8 全状态检查”。

22.3.3.6 FMR07 位

此位是表示自动擦除状况的只读位，当发生擦除错误时为“1”，否则为“0”。此位还用于空白检查。详细内容请参照“22.3.8 全状态检查”。

22.3.3.7 FMR11 位

此位是允许写 FMR6 寄存器的位。

22.3.3.8 FMR16 位

此位是表示读锁定位状态执行结果的只读位。

当块处于锁定状态时，此位为“0”，否则为“1”。

22.3.3.9 FMR17 位

此位是选择数据闪存等待的位。

22.3.3.10 FMR22 位

此位允许降低闪存读取时的消耗电流的模式。在改写闪存（CPU 改写模式）时，必须将 FMR22 位置“0”（禁止慢读模式）。

当 $f(\text{BCLK}) > 5\text{MHz}$ 时，必须将 FMR22 位置“0”（禁止慢读模式）。

慢读模式的设定和解除如图 22.9 所示。

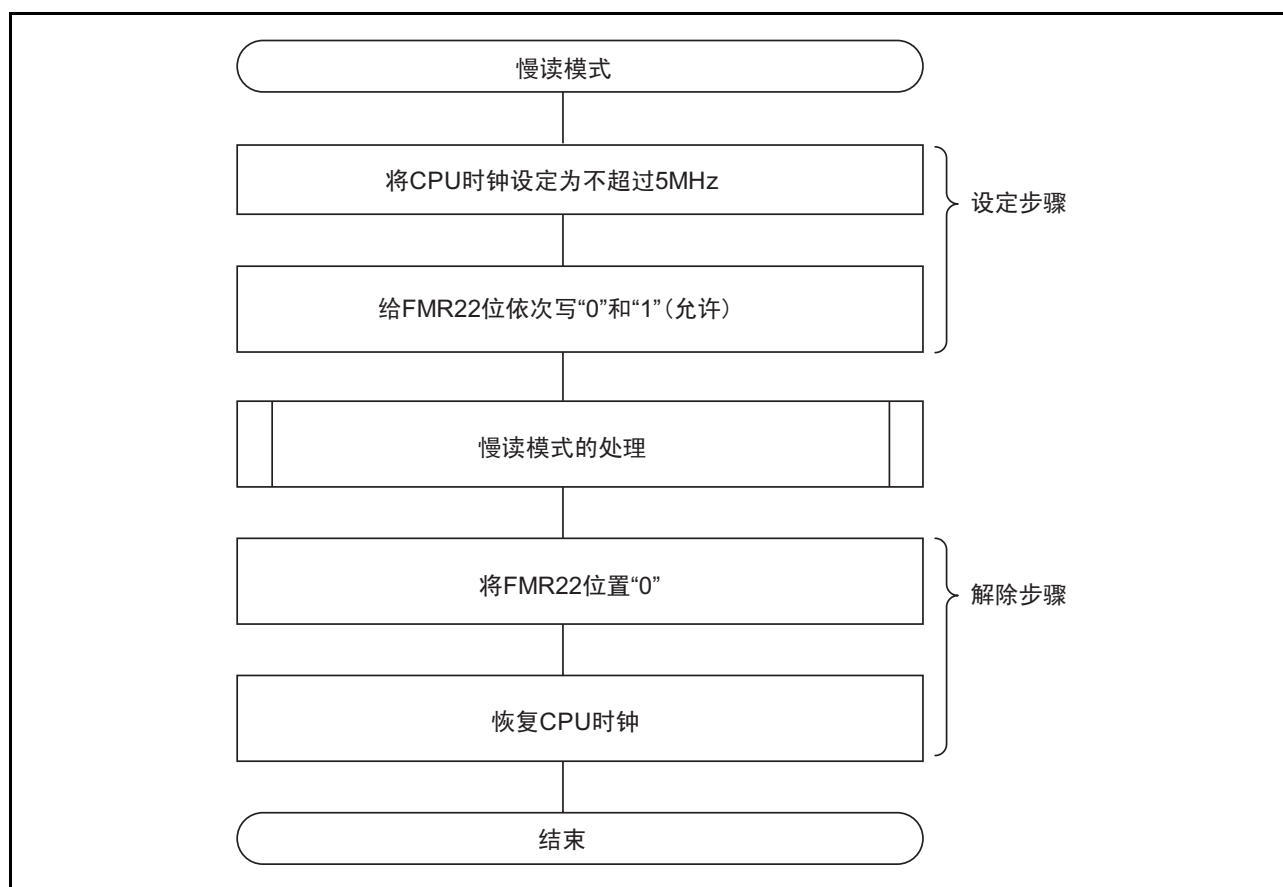


图 22.9 慢读模式的设定和解除步骤

22.3.3.11 FMR23 位

此位允许降低闪存读取时的消耗电流的模式。在改写闪存（CPU 改写模式）时，必须将 FMR23 位置 “0”（禁止低消耗电流读模式）。

此位在 FMR22 位为 “1”（允许）时有效。当 $f(\text{BCLK}) > 32.768\text{kHz}$ 时，必须将 FMR23 位置 “0”（禁止低消耗电流读模式）。

低消耗电流读模式的设定和解除步骤如图 22.10 所示。

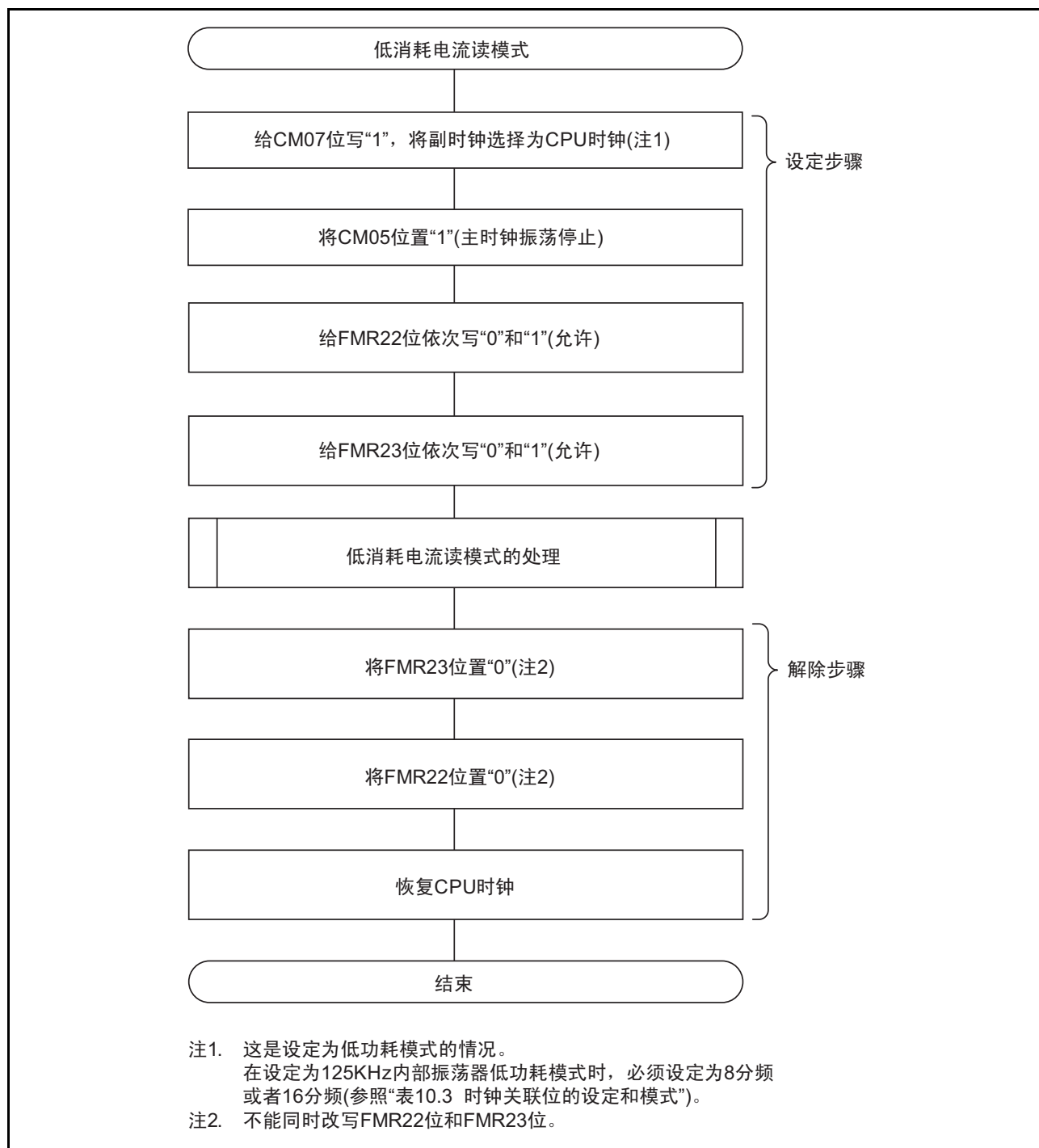


图 22.10 低消耗电流读模式的设定和解除步骤

22.3.3.12 FMR60 位

当 FMR01 位为 “1” (CPU 改写模式有效) 时，此位为选择 EW1 模式的位。
EW0 模式和 EW1 模式的设定和解除方法分别如图 22.11 和图 22.12 所示。

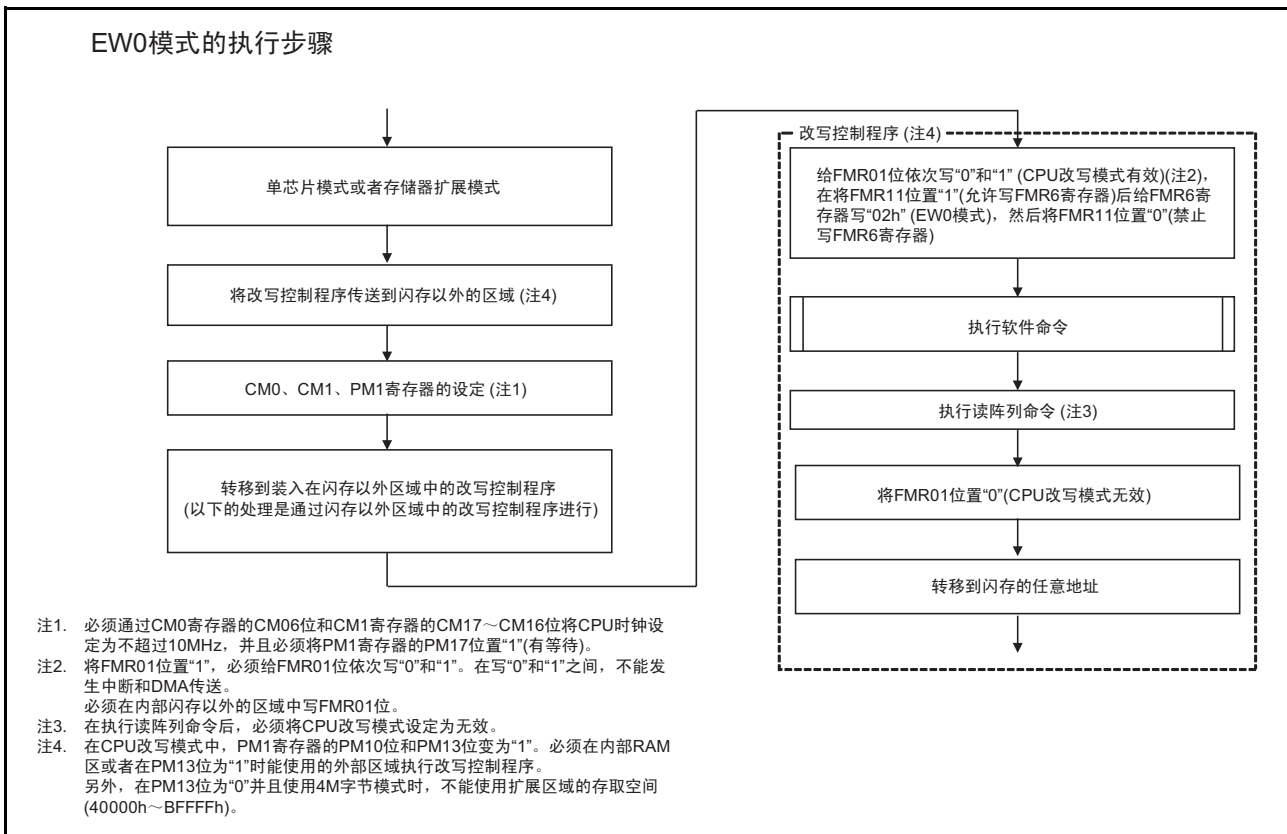


图 22.11 EW0 模式的设定和解除方法

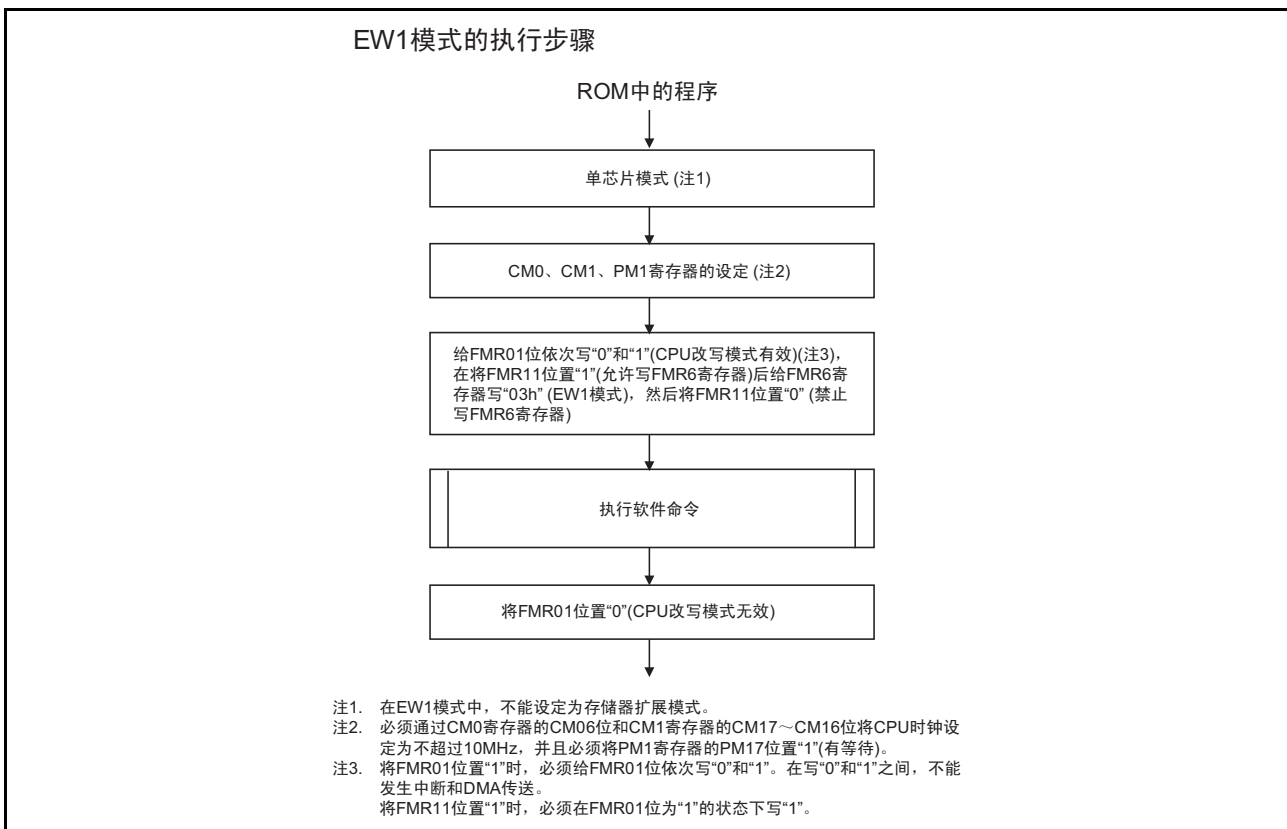


图 22.12 EW1 模式的设定和解除方法

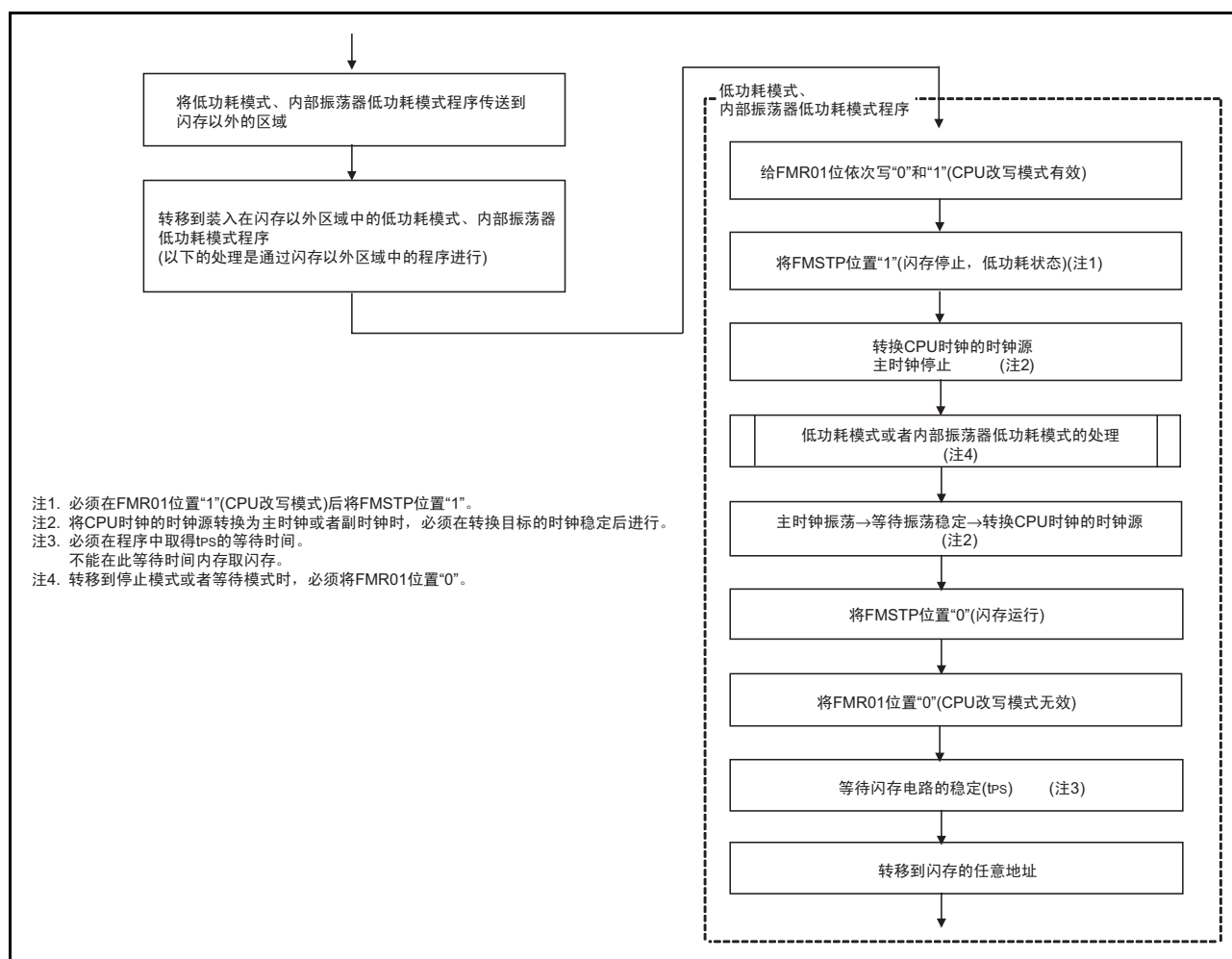


图 22.13 转移到低功耗模式和内部振荡器低功耗模式前后的处理

22.3.4 CPU 改写模式的注意事项

22.3.4.1 运行速度

在进入 CPU 改写模式（EW0、EW1 模式）前，必须通过 CM0 寄存器的 CM06 位和 CM1 寄存器的 CM17 ~ CM16 位，将 CPU 时钟设定为不超过 10MHz。另外，必须将 PM1 寄存器的 PM17 位置 “1”（有等待）。

22.3.4.2 禁止使用的指令

在 EW0 模式中，因为以下指令参照闪存内部的数据，所以不能使用：

UND 指令、INTO 指令、JMPS 指令、JSRS 指令、BRK 指令

22.3.4.3 中断（EW0 模式）

- 能通过将向量移动到 RAM 区，使用可变向量表中有向量的中断。
- 因为在发生中断时 FMR0 寄存器和 FMR1 寄存器被强制初始化，所以能使用 NMI 中断和看门狗定时器中断。必须将各中断程序的转移地址设定到固定向量表。在发生 NMI 中断或者看门狗定时器中断时，结束改写操作。必须在中断程序结束后重新执行改写程序。
- 因为地址匹配中断参照闪存内部的数据，所以不能使用。

22.3.4.4 中断（EW1 模式）

- 在自动编程或者自动擦除期间，不能接受可变向量表中有向量的中断或者地址匹配中断。
- 不能使用看门狗定时器中断。
- 因为在发生中断时 FMR0 寄存器和 FMR1 寄存器被强制初始化，所以能使用 $\overline{\text{NMI}}$ 中断。必须将各中断程序的转移地址设定到固定向量表。在发生 $\overline{\text{NMI}}$ 中断时，结束改写操作。必须在中断程序结束后重新执行改写程序。

22.3.4.5 存取方法

在将 FMR01 位和 FMR02 位置“1”时，必须在给对应的位依次写“0”和“1”。在写“0”和“1”之间，不能发生中断和 DMA 传送。

22.3.4.6 改写（EW0 模式）

在对保存改写控制程序的块进行改写的过程中，如果电源电压降低，改写控制程序就不能被正常改写，此后有可能无法改写闪存。此时，必须使用标准串行输入 / 输出模式或者并行输入 / 输出模式。

22.3.4.7 改写（EW1 模式）

不能对保存改写控制程序的块进行改写。

22.3.4.8 DMA 传送

在 EW1 模式中，不能在 FMR0 寄存器的 FMR00 位为“0”（自动编程或者自动擦除的期间）时进行 DMA 传送。

22.3.4.9 命令和数据的写

必须将命令码和数据写到偶数地址。

22.3.4.10 等待模式

在转移到等待模式时，必须在将 FMR01 位置“0”（CPU 改写模式无效）后执行 WAIT 指令。

22.3.4.11 停止模式

在转移到停止模式时，必须将 FMR01 位置“0”（CPU 改写模式无效）并且在禁止 DMA 传送后，执行将 CM10 位置“1”（停止模式）的指令。

22.3.4.12 低功耗模式和内部振荡器低功耗模式

当 CM05 位为“1”（主时钟停止）时，不能执行以下命令：

- 编程
- 块擦除
- 锁定位编程
- 读锁定位状态
- 块空白检查

22.3.5 软件命令

以下说明软件命令。必须以 16 位为单位对程序 ROM1、程序 ROM2 或者数据闪存内的偶数地址进行命令和数据的读写。在写命令码时，忽略高 8 位（D15 ~ D8）。

表 22.10 软件命令一览表

软件命令	第 1 总线周期			第 2 总线周期			第 3 总线周期		
	模式	地址	数据 (D15 ~ D0)	模式	地址	数据 (D15 ~ D0)	模式	地址	数据 (D15 ~ D0)
读阵列	写	×	xxFFh						
读状态寄存器	写	×	xx70h	读	×	SRD			
清除状态寄存器	写	×	xx50h						
编程	写	WA0	xx41h	写	WA0	WD0	写	WA1	WD1
块擦除	写	×	xx20h	写	BA	xxD0h			
锁定位编程	写	BA	xx77h	写	BA	xxD0h			
读锁定位状态	写	×	xx71h	写	BA	xxD0h			
块空白检查	写	×	xx25h	写	BA	xxD0h			

SRD : 状态寄存器数据（D7 ~ D0）

WA0 : 编程地址的低位字（第 1 总线周期的地址和第 2 总线周期的地址必须是同一偶数地址）

WA1 : 编程地址的高位字

WD0 : 编程数据的低位字（16 位）

WD1 : 编程数据的高位字（16 位）

BA : 块的最高位地址（偶数地址）

×

: 程序 ROM1、程序 ROM2 或者数据闪存内的任意偶数地址

xx : 命令码高 8 位（忽略）

22.3.5.1 读阵列

这是读闪存的命令。

如果在第 1 总线周期写“xxFFh”，就进入读阵列模式。如果在下一个总线周期以后输入要读的地址，就能以 16 位为单位读取指定地址的内容。

因为读阵列模式被保持到写其它命令为止，所以能连续读取多个地址的内容。

22.3.5.2 读状态寄存器

这是读状态寄存器的命令。

如果在第 1 总线周期写“xx70h”，就能在第 2 总线周期读状态寄存器（参照“22.3.7 状态寄存器”）。必须读取程序 ROM1、程序 ROM2 或者数据闪存内的偶数地址。

不能在 EW1 模式中执行此命令。

22.3.5.3 清除状态寄存器

这是清除状态寄存器的命令。

如果在第 1 总线周期写“xx50h”，FMR0 寄存器的 FMR07 ~ FMR06 位和状态寄存器的 SR5 ~ SR4 位就变为“00b”。

22.3.5.4 编程

这是以 2 个字（4 个字节）为单位将数据写到闪存的命令。

如果在第 1 总线周期写“xx41h”，并且在第 2 总线周期和第 3 总线周期将数据写到编程地址，就开始自动编程（数据的编程和验证）。必须将第 1 总线周期的地址值和第 2 总线周期指定的编程地址设定为同一偶数地址。

能通过 FMR0 寄存器的 FMR00 位确认自动编程的结束。FMR00 位在自动编程期间为“0”（忙），在结束后为“1”（就绪）。

在自动编程结束后，能通过 FMR0 寄存器的 FMR06 位得知自动编程的结果（参照“22.3.8 全状态检查”）。

不能对已编程的地址进行追加写。编程流程图如图 22.14 所示。

另外，各块能通过锁定位禁止编程（参照“22.3.6 数据保护功能”）。

在 EW1 模式中，不能对已装入改写控制程序的块执行此命令。

在 EW0 模式中，在开始自动编程的同时进入读状态寄存器模式，就能读状态寄存器。状态寄存器的 SR7 位在开始自动编程的同时变为“0”，在结束的同时恢复为“1”。此时的读状态寄存器模式继续保持到下次写读阵列命令为止。另外，在自动编程结束后，能通过读状态寄存器得知自动编程的结果。

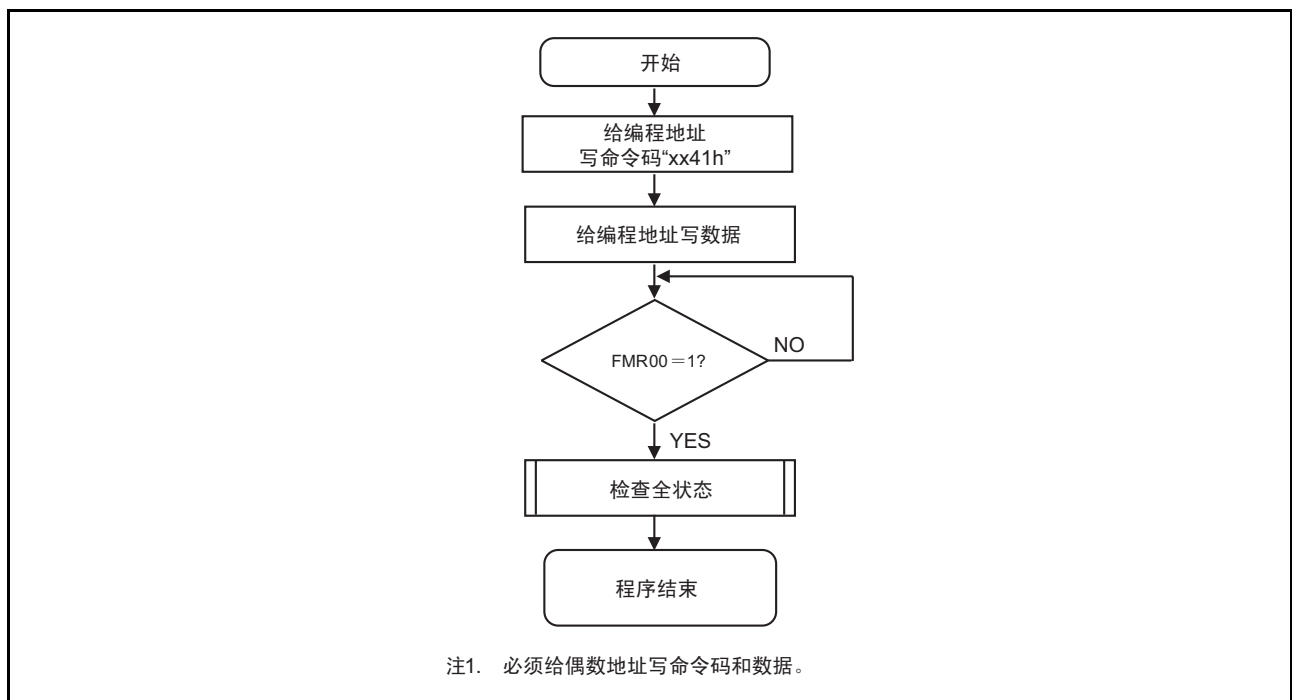


图 22.14 编程流程图

22.3.5.5 块擦除

如果在第 1 总线周期和第 2 总线周期分别将“xx20h”和“xxD0h”写到块的最高位地址（偶数地址），就开始对指定的块执行自动擦除（擦除和擦除校验）。

能通过 FMR0 寄存器的 FMR00 位确认自动擦除的结束。

FMR00 位在自动擦除期间为“0”（忙），在自动擦除结束后为“1”（就绪）。

在自动擦除结束后，能通过 FMR0 寄存器的 FMR07 位得知自动擦除的结果（参照“22.3.8 全状态检查”）。

块擦除流程图的例子如图 22.15 所示。

另外，各块能通过锁定位禁止擦除（参照“22.3.6 数据保护功能”）。

在 EW1 模式中，不能对已装入改写控制程序的块执行此命令。

在 EW0 模式中，在开始自动擦除的同时进入读状态寄存器模式，就能取状态寄存器。状态寄存器的 SR7 位在开始自动擦除的同时变为“0”，在结束的同时恢复为“1”。此时的读状态寄存器模式继续保持到下次读写阵列命令或者读锁定位状态命令为止。如果发生擦除错误，就必须至少执行 3 次清除状态寄存器命令→块擦除命令，直到不发生擦除错误为止。

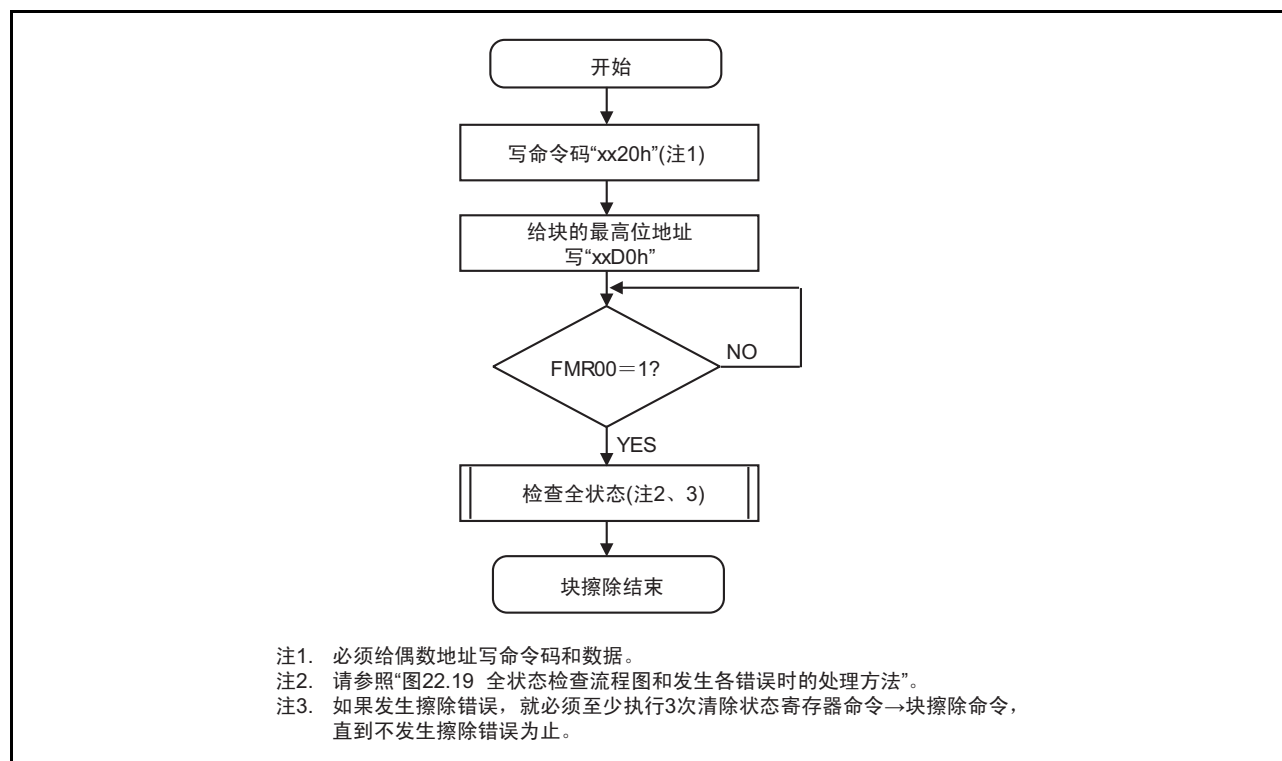


图 22.15 块擦除流程图

22.3.5.6 锁定位编程

此命令是将任意块的锁定位置“0”（锁定状态）的命令。

如果在第 1 总线周期和第 2 总线周期分别将“xx77h”和“xxD0h”写到块的最高位地址（偶数地址），就将指定块的锁定位置“0”。第 1 总线周期的地址值和第 2 总线周期指定的块的最高位地址必须相同。

锁定位编程流程图的例子如图 22.16 所示。能通过读锁定位状态命令读取锁定位的状态（锁定位数据）。能通过 FMR0 寄存器的 FMR00 位确认编程的结束。

另外，有关锁定位的功能以及将锁定位置“1”（非锁定状态）的方法，请参照“22.3.6 数据保护功能”。

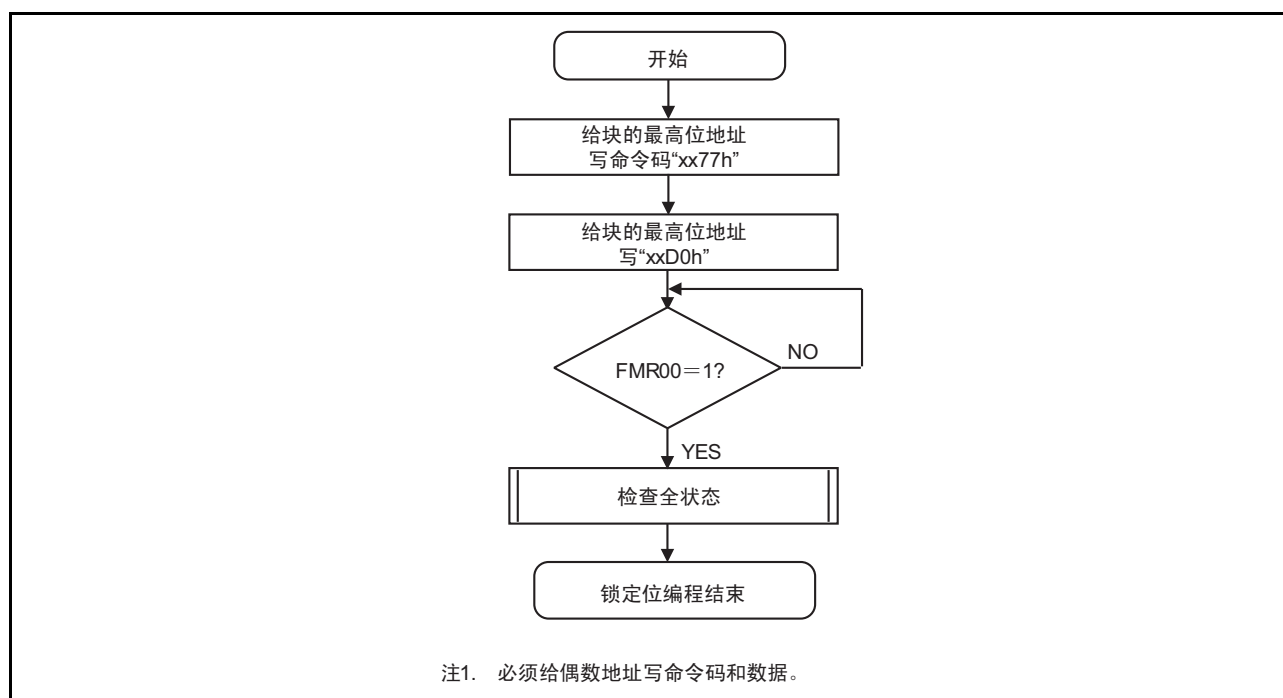


图 22.16 锁定位编程流程图

22.3.5.7 读锁定位状态

这是读取任意块的锁定位状态的命令。

如果在第 1 总线周期和第 2 总线周期分别将 “xx71h” 和 “xxD0h” 写到块的最高位地址（偶数地址），就将块的锁定位状态保存到 FMR1 寄存器的 FMR16 位。必须在 FMR0 寄存器的 FMR00 位变为 “1”（就绪）后读取 FMR16 位。

读锁定位状态流程图的例子如图 22.17 所示。

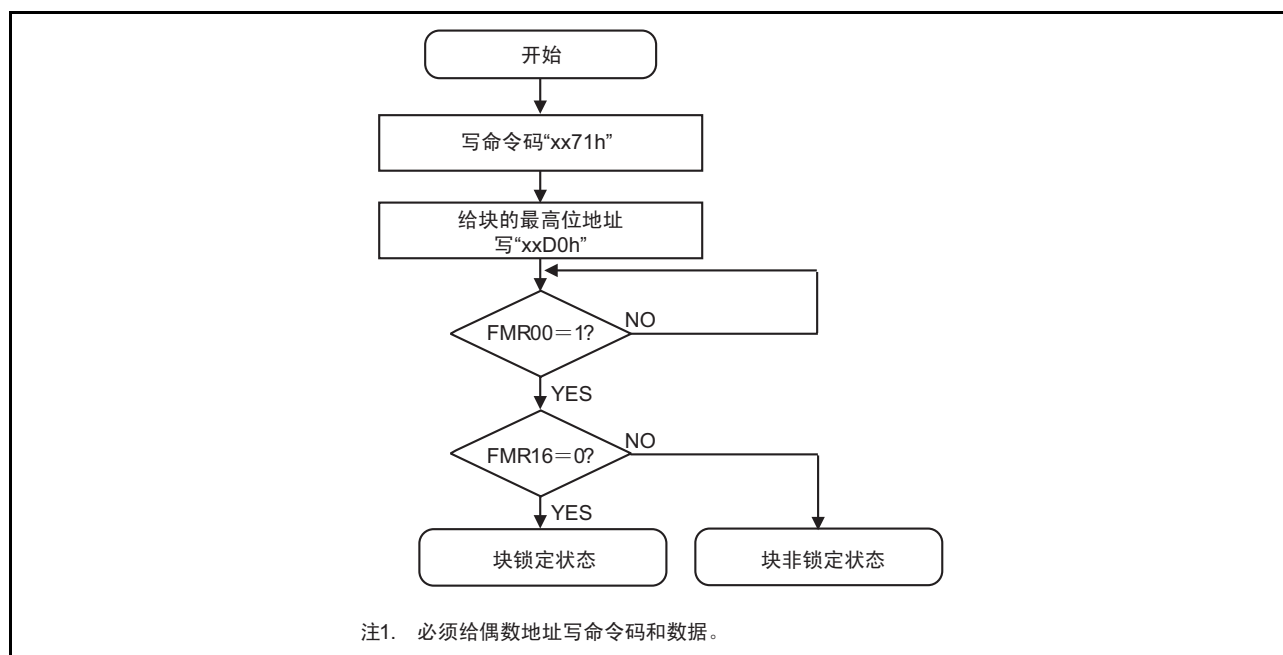


图 22.17 读锁定位状态流程图

22.3.5.8 块空白检查

这是检查任意块是否为空白（擦除后的状态）的命令。

如果在第 1 总线周期和第 2 总线周期分别将“xx25h”和“xxD0h”写到块的最高位地址（偶数地址），就将检查结果保存到 FMR0 寄存器的 FMR07 位。必须在 FMR0 寄存器的 FMR00 位变为“1”（就绪）后读取 FMR07 位。

块空白检查命令对没有锁定的块有效。

如果对锁定位为“0”（锁定状态）的块执行块空白检查命令，就与 FMR02 位的状态无关，FMR07 位（SR5）变为“1”（非空白）。

块空白检查流程图如图 22.18 所示。

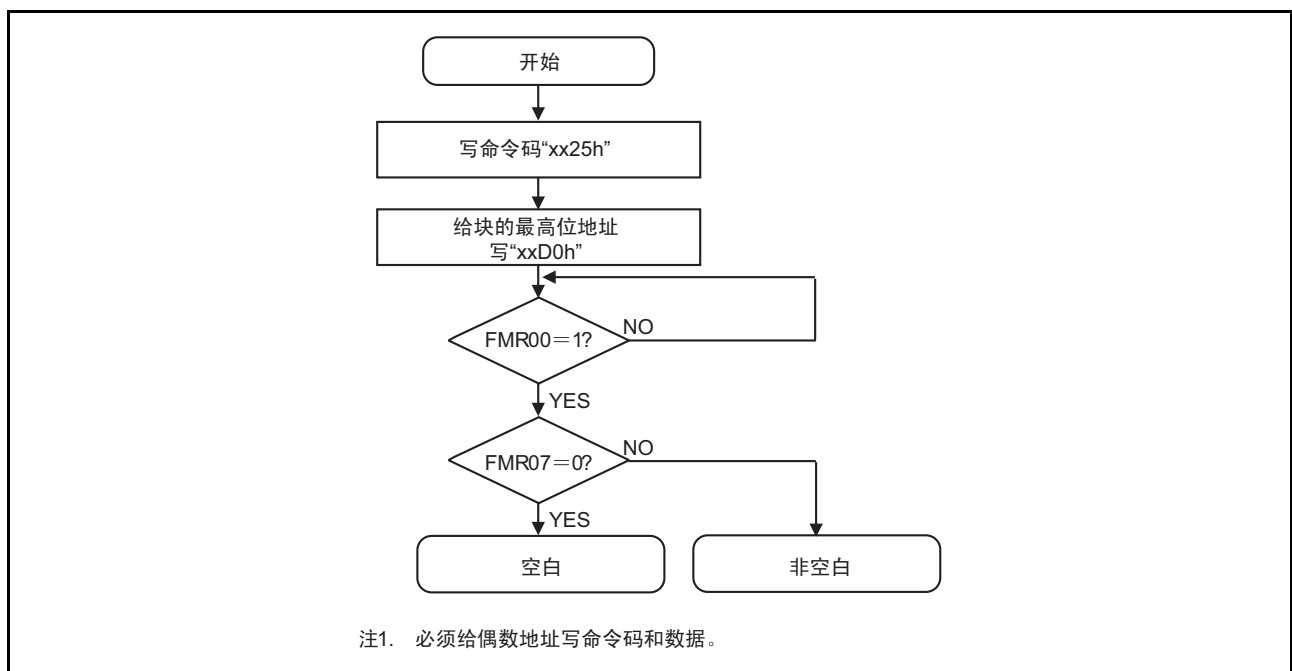


图 22.18 块空白检查流程图

22.3.6 数据保护功能

闪存的各块具有非易失性的锁定位，锁定位在 FMR02 位为“0”（锁定位有效）时有效。能通过锁定位禁止每块的编程和擦除（锁定），因此可以防止数据的误编程和误擦除。由锁定位决定的块状态如下所示：

- 当锁定位数据为“0”时，块处于锁定状态（此块不能编程和擦除）。
- 当锁定位数据为“1”时，块处于非锁定状态（此块能编程和擦除）。

如果执行锁定位编程命令，锁定位数据就变为“0”（锁定状态）；如果擦除块，锁定位数据就变为“1”（非锁定状态）。不能通过命令将锁定位数据置“1”。

能通过读锁定位状态命令读取锁定位数据。

如果将 FMR02 位置“1”，锁定位的功能就无效，所有块处于非锁定状态（各锁定位数据不变）；如果将 FMR02 位置“0”，锁定位的功能就有效（保持锁定位数据）。

如果在 FMR02 位为“1”的状态下执行块擦除命令，就与锁定位无关，擦除对象块。在擦除结束后，各块的锁定位变为“1”。

各命令的详细内容请参照“22.3.5 软件命令”。

22.3.7 状态寄存器

状态寄存器表示闪存的运行状态以及擦除、编程的正常结束或者错误结束等状态。能通过 FMR0 寄存器的 FMR00 位、FMR06 位和 FMR07 位读取状态寄存器的状态。

状态寄存器如表 22.11 所示。

另外，在 EW0 模式中，能在下述情况下读状态寄存器：

- 在读写状态寄存器的命令后，读取了程序ROM1、程序ROM2或者数据闪存内的任意偶数地址时
- 在执行编程命令、块擦除命令、锁定位命令或者块空白检查命令后，并且在执行读阵列命令前，读取了程序ROM1、程序ROM2或者数据闪存内的任意偶数地址时

22.3.7.1 定序器状态（SR7、FMR00 位）

定序器状态表示闪存的运行状况。在执行编程命令、块擦除命令、锁定位编程命令、块空白检查命令或者读锁定位状态命令时，SR7 和 FMR00 位为“0”，否则为“1”。

22.3.7.2 擦除状态（SR5、FMR07 位）

请参照“22.3.8 全状态检查”。

22.3.7.3 编程状态（SR4、FMR06 位）

请参照“22.3.8 全状态检查”。

表 22.11 状态寄存器

状态寄存器的位	FMR0 寄存器的位	状态名	内容		复位后的值
			“0”	“1”	
SR0(D0)	—	保留位	—	—	—
SR1(D1)	—	保留位	—	—	—
SR2(D2)	—	保留位	—	—	—
SR3(D3)	—	保留位	—	—	—
SR4(D4)	FMR06	编程状态	正常结束	错误结束	0
SR5(D5)	FMR07	擦除状态	正常结束	错误结束	0
SR6(D6)	—	保留位	—	—	—
SR7(D7)	FMR00	定序器状态	忙	就绪	1

D0 ~ D7：表示在执行了读状态寄存器命令时被读取的数据总线。

如果执行清除状态寄存器命令，FMR07 位（SR5 位）和 FMR06 位（SR4 位）就变为“0”。

当 FMR07 位（SR5 位）或者 FMR06 位（SR4 位）为“1”时，不能接受编程命令、块擦除命令、锁定位编程命令、块空白检查命令和读锁定位状态命令。

22.3.8 全状态检查

如果发生错误，FMR0 寄存器的 FMR06 ~ FMR07 位就变为“1”，表示各错误的发生。因此，能通过检查这些状态（全状态检查）确认执行结果。

错误和 FMR0 寄存器的状态如表 22.12 所示，全状态检查流程图和各错误发生时的处理方法如图 22.19 所示。

表 22.12 错误和 FMR0 寄存器的状态

FMR00 寄存器 (状态寄存器) 的状态		错误	发生错误的条件
FMR07 位 (SR5)	FMR06 位 (SR4)		
1	1	命令顺序错误	- 没有正确地写命令。 - 在锁定位编程命令、块擦除命令的第 2 总线周期写了“xxD0h”或者“xxFFh”以外的数据（注 1）。
1	0	擦除错误	- 对被锁定的块执行了擦除命令（注 2）。 - 对没有被锁定的块执行了块擦除命令而无法正确地进行自动擦除。 - 在执行块空白检查命令后，检查结果不是空白。
0	1	编程错误	- 对被锁定的块执行了编程命令（注 2）。 - 对没有被锁定的块执行了编程命令而无法正确地进行自动编程。 - 执行了锁定位编程命令而无法正确地进行编程。

注 1. 如果在这些命令的第 2 总线周期写“xxFFh”，就进入读阵列模式，同时第 1 总线周期写的命令码失效。

注 2. 如果 FMR02 位为“1”（锁定位无效），在这些条件下也不发生错误。

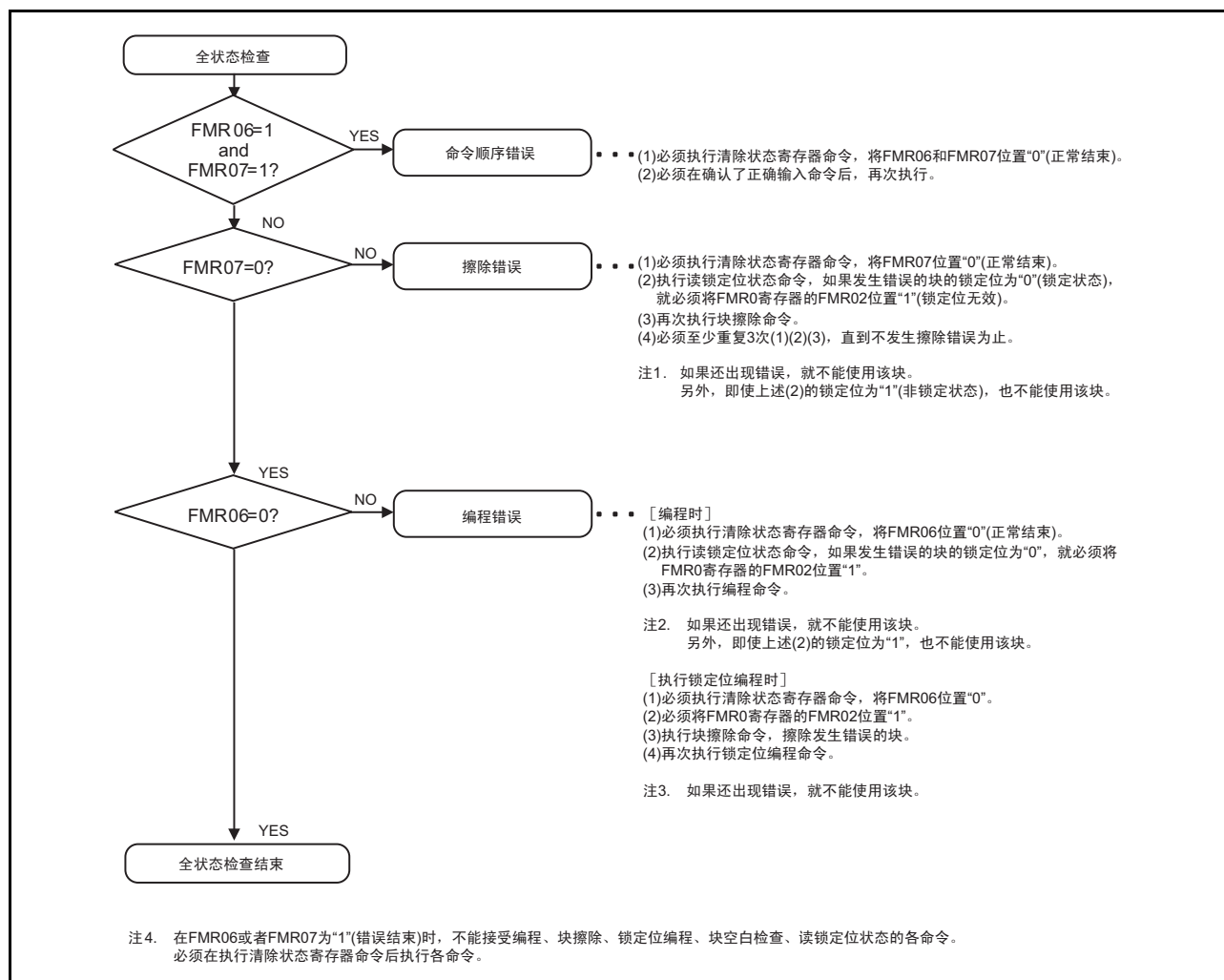


图 22.19 全状态检查流程图和发生各错误时的处理方法

22.4 标准串行输入 / 输出模式

在标准串行输入 / 输出模式中，能使用与 M16C/64 群对应的串行编程器，在将单片机安装在电路板的状态下改写程序 ROM1、程序 ROM2 或者数据闪存。有关串行编程器请向各厂家询问，有关串行编程器的操作方法请参照串行编程器的用户手册。

引脚功能的说明（闪存标准串行输入 / 输出模式）如表 22.13 所示，标准串行输入 / 输出模式中的引脚接线图如图 22.20 ~ 图 22.21 所示。

22.4.1 ID 码检查功能

此功能判断从串行编程器送出的 ID 码和写在闪存中的 ID 码是否相同（参照“22.2 闪存改写的禁止功能”）。

表 22.13 引脚功能的说明（闪存标准串行输入 / 输出模式）

引脚名	名称	输入 / 输出	电源系统	功能
VCC1、VCC2、VSS	电源输入		—	必须给 VCC1 引脚输入闪存编程 / 擦除电压，给 VCC2 引脚输入 VCC2。输入条件是 VCC2 = VCC1。必须给 VSS 输入 0V。
CNVSS	CNVSS	输入	VCC1	必须连接 VCC1。
RESET	复位输入	输入	VCC1	是复位输入引脚。在 RESET 引脚为“L”电平期间，必须至少给 XIN 引脚输入 20 个周期的时钟。
XIN	时钟输入	输入	VCC1	必须在 XIN 引脚和 XOUT 引脚之间连接陶瓷谐振器或者晶体振荡器。在输入外部生成的时钟时，必须从 XIN 引脚输入，并且将 XOUT 引脚置为开路。
XOUT	时钟输出	输出		
BYTE	BYTE 输入	输入	VCC1	必须连接 VSS 或者 VCC1。
AVCC、AVSS	模拟电源输入			AVCC 必须连接 VCC1，AVSS 必须连接 VSS。
VREF	基准电压输入	输入		是 A/D 转换器的基准电压输入引脚。必须连接 VCC1。
P0_0 ~ P0_7	输入端口 P0	输入	VCC2	必须输入“H”或者“L”电平，或者置为开路。
P1_0 ~ P1_7	输入端口 P1	输入	VCC2	必须输入“H”或者“L”电平，或者置为开路。
P2_0 ~ P2_7	输入端口 P2	输入	VCC2	必须输入“H”或者“L”电平，或者置为开路。
P3_0 ~ P3_7	输入端口 P3	输入	VCC2	必须输入“H”或者“L”电平，或者置为开路。
P4_0 ~ P4_7	输入端口 P4	输入	VCC2	必须输入“H”或者“L”电平，或者置为开路。
P5_1 ~ P5_4、P5_6、P5_7	输入端口 P5	输入	VCC2	必须输入“H”或者“L”电平，或者置为开路。
P5_0	CE 输入	输入	VCC2	必须输入“H”电平。
P5_5	EPM 输入	输入	VCC2	必须输入“L”电平。
P6_0 ~ P6_3	输入端口 P6	输入	VCC1	必须输入“H”或者“L”电平，或者置为开路。
P6_4/RTS1	BUSY 输出	输出	VCC1	在标准串行输入 / 输出模式 1 中，为 BUSY 信号的输出引脚。 在标准串行输入 / 输出模式 2 中，为引导程序运行检查的监视信号输出引脚。
P6_5/CLK1	SCLK 输入	输入	VCC1	在标准串行输入 / 输出模式 1 中，为串行时钟的输入引脚。 在标准串行输入 / 输出模式 2 中，必须输入“L”电平。
P6_6/RXD1	RXD 输入	输入	VCC1	是串行数据的输入引脚。
P6_7/TXD1	TXD 输出	输出	VCC1	是串行数据的输出引脚（注 1）。
P7_0 ~ P7_7	输入端口 P7	输入	VCC1	必须输入“H”或者“L”电平，或者置为开路。
P8_0 ~ P8_3、P8_6、P8_7	输入端口 P8	输入	VCC1	必须输入“H”或者“L”电平，或者置为开路。
P8_4	P8_4 输入	输入	VCC1	必须输入“L”电平（注 2）。
P8_5/NMI	NMI 输入	输入	VCC1	必须输入“H”或者“L”电平，或者置为开路。
P9_0 ~ P9_7	输入端口 P9	输入	VCC1	必须输入“H”或者“L”电平，或者置为开路。
P10_0 ~ P10_7	输入端口 P10	输入	VCC1	必须输入“H”或者“L”电平，或者置为开路。

注 1. 在使用标准串行输入 / 输出模式的情况下，在 RESET 引脚为“L”电平期间，TXD1（P6_7）引脚为内部上拉有效。

注 2. 在使用标准串行输入 / 输出模式的情况下，在 P8_4 引脚为“H”电平并且 RESET 引脚为“L”电平期间，有可能从 P0_0 ~ P0_7 和 P1_0 ~ P1_7 输出不定值。如果会引起问题，就必须给 P8_4 引脚输入“L”电平。

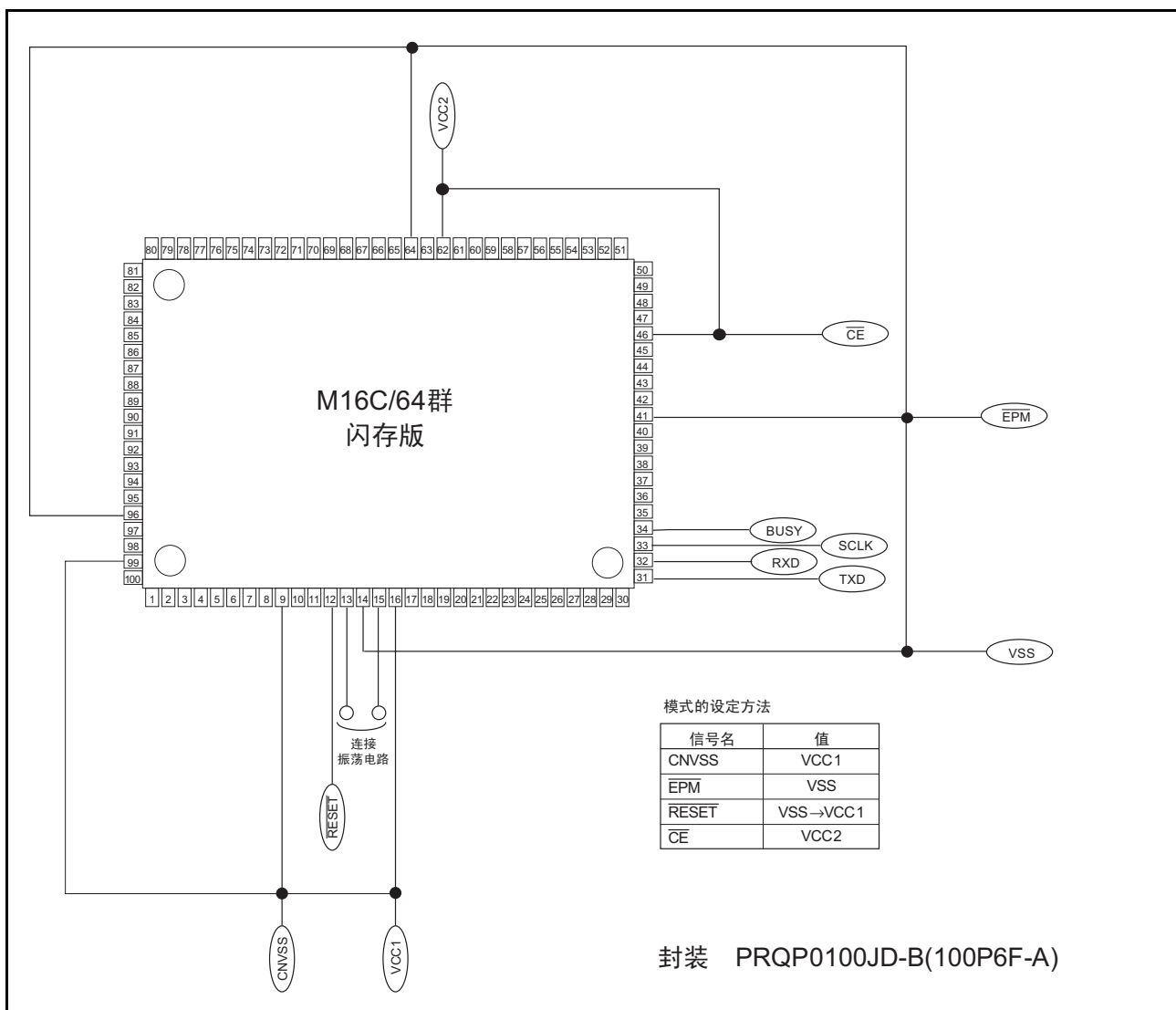


图 22.20 标准串行输入 / 输出模式中的引脚接线图 (1)

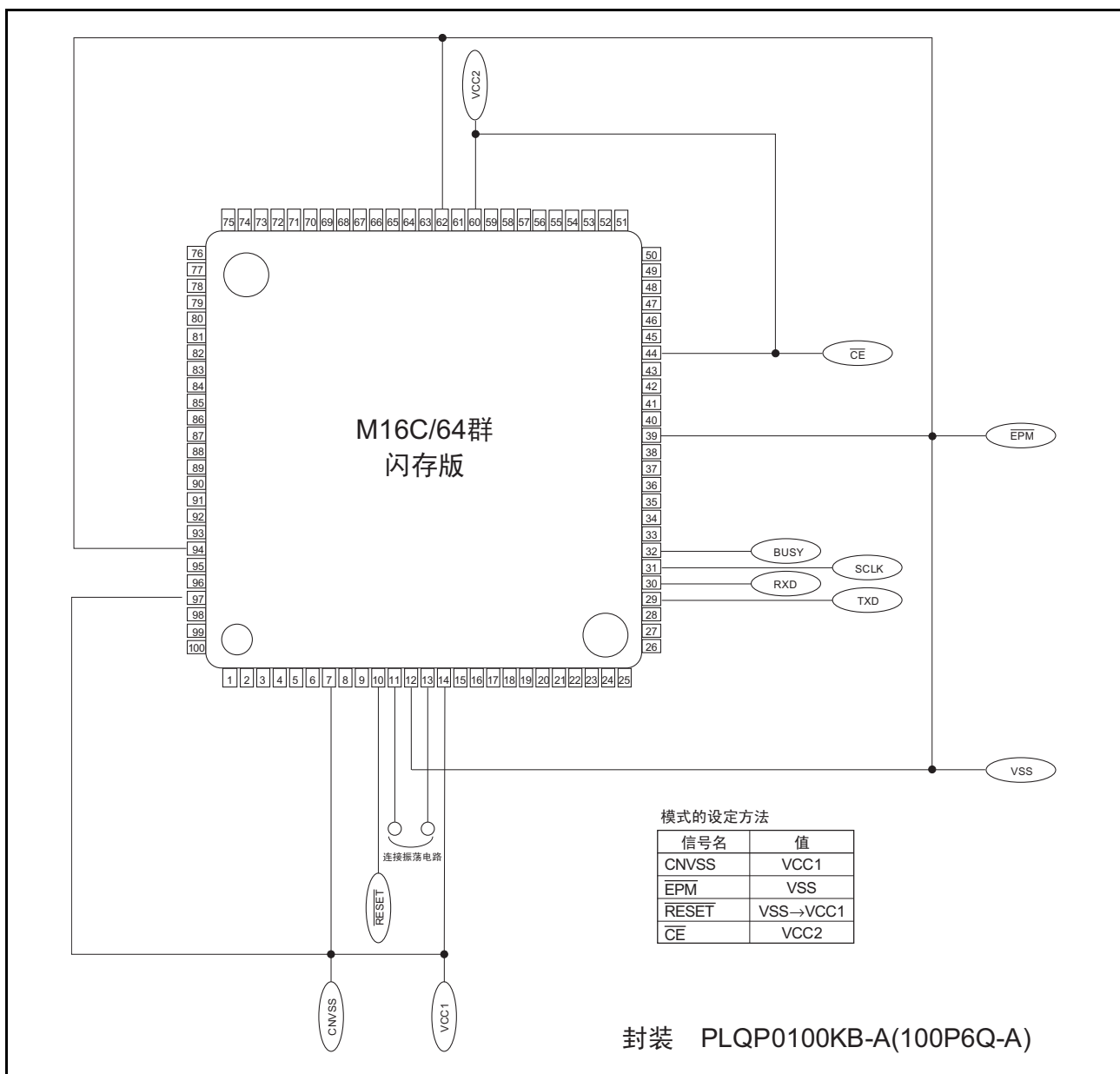


图 22.21 标准串行输入 / 输出模式中的引脚接线图 (2)

22.4.2 标准串行输入 / 输出模式中的引脚处理例子

使用标准串行输入 / 输出模式 1 和标准串行输入 / 输出模式 2 时的引脚处理例子分别如图 22.22 和图 22.23 所示。控制的引脚等因编程器而不同，详细内容请参照编程器使用手册。

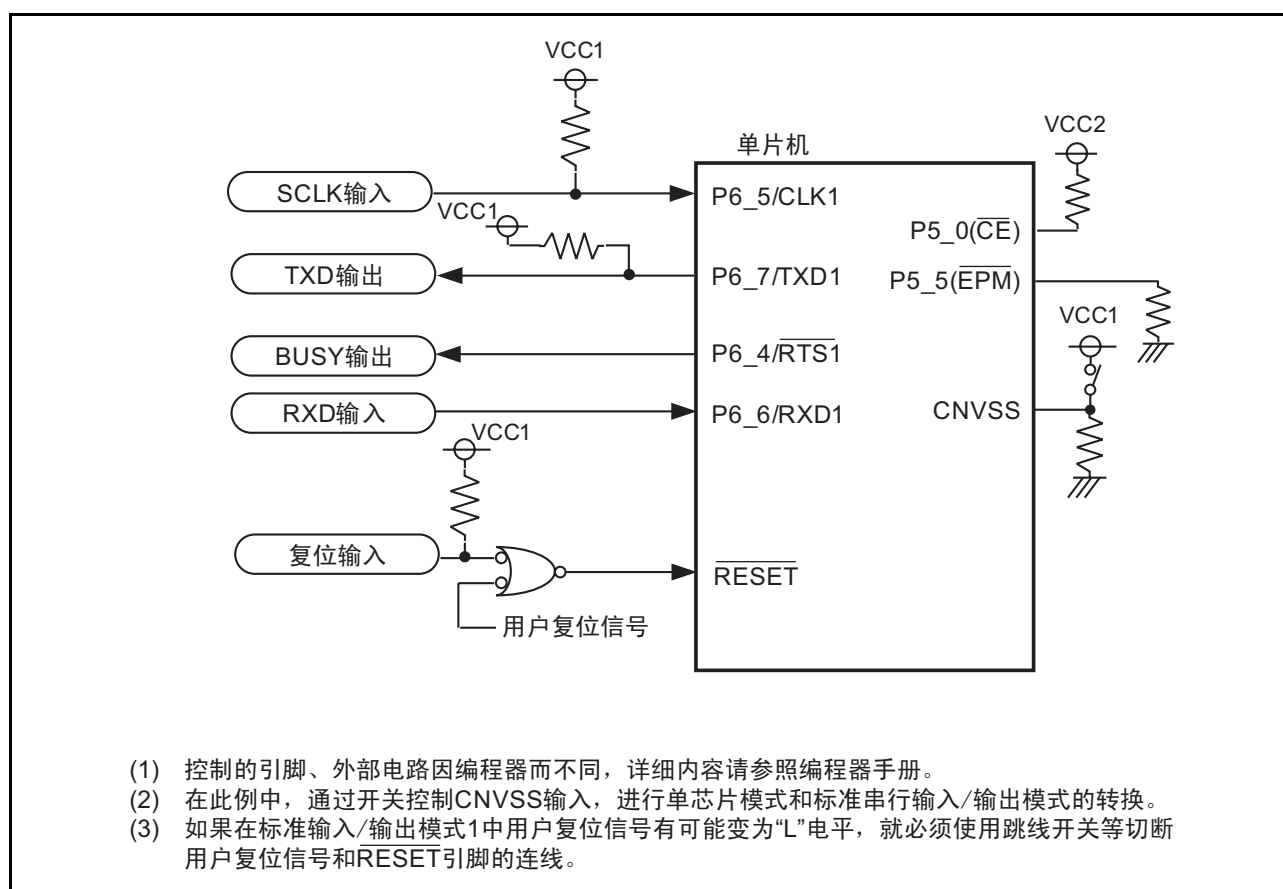


图 22.22 使用标准串行输入 / 输出模式 1 时的引脚处理例子

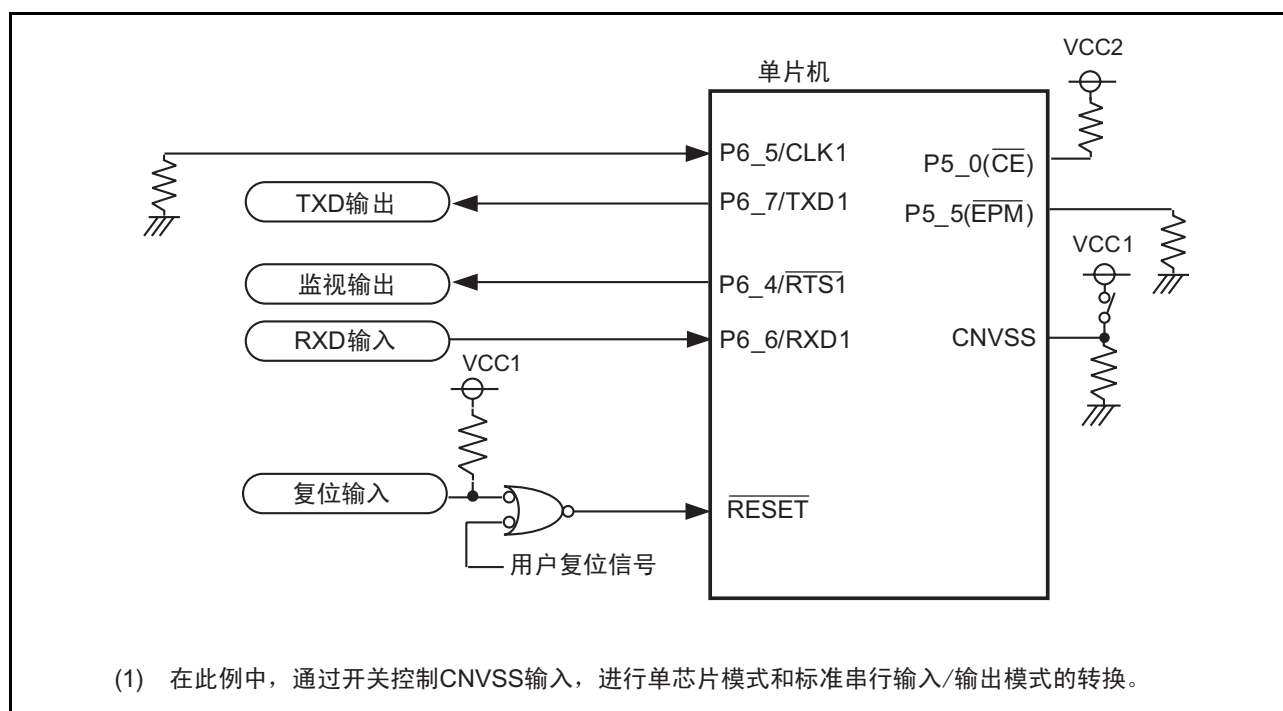


图 22.23 使用标准串行输入 / 输出模式 2 时的引脚处理例子

22.5 并行输入 / 输出模式

在并行输入 / 输出模式中，能使用与 M16C/64 群对应的并行编程器改写程序 ROM1 和程序 ROM2。有关并行编程器请向各厂家询问。有关并行编程器的操作方法，请参照并行编程器使用手册。

22.5.1 ROM 码保护功能

这是禁止读取或者改写闪存的功能（参照“22.2 闪存改写的禁止功能”）。

23. 电特性

23.1 电特性

表 23.1 绝对最大额定值

符号	项目		条件	额定值	单位
VCC1、 VCC2	电源电压		VCC1=VCC2=AVCC	-0.3 ~ 6.5	V
AVCC	模拟电源电压		VCC1=AVCC	-0.3 ~ 6.5	V
VI	输入电压	RESET、CNVSS、BYTE、 P6_0 ~ P6_7、P7_2 ~ P7_7、 P8_0 ~ P8_4、P8_6、P8_7、P9_0 ~ P9_7、 P10_0 ~ P10_7、 XIN		-0.3 ~ VCC1+0.3	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、 P7_0、P7_1、P8_5		-0.3 ~ VCC2+0.3	V
				-0.3 ~ 6.5	V
VO	输出电压	P6_0 ~ P6_7、P7_2 ~ P7_7、P8_0 ~ P8_4、 P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、 XOUT		-0.3 ~ VCC1+0.3	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、 P7_0、P7_1、P8_5		-0.3 ~ VCC2+0.3	V
				-0.3 ~ 6.5	V
Pd	功耗		-40°C < Topr ≤ 85°C	300	mW
Topr	工作环境温度	单片机工作时		-20 ~ 85/-40 ~ 85	°C
		进行闪存的编程 / 擦除时		0 ~ 60	
Tstg	保存温度			-65 ~ 150	°C

表 23.2 推荐工作条件（注 1）

符号	项目	规格值			单位
		最小	典型	最大	
VCC1、VCC2	电源电压 (VCC1=VCC2)	2.7	5.0	5.5	V
AVCC	模拟电源电压		VCC1		V
VSS	电源电压		0		V
AVSS	模拟电源电压		0		V
VIH	“H” 电平 输入电压	P3_1 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7	0.8VCC2	VCC2	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 (单芯片模式时)	0.8VCC2	VCC2	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 (存储器扩展、微处理器模式时的数据输入)	0.5VCC2	VCC2	V
		P6_0 ~ P6_7、P7_2 ~ P7_7、P8_0 ~ P8_4、 P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、 XIN、RESET、CNVSS、BYTE	0.8VCC1	VCC1	V
		P7_0、P7_1、P8_5	0.8VCC1	6.5	V
VIL	“L” 电平 输入电压	P3_1 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7	0	0.2VCC2	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 (单芯片模式时)	0	0.2VCC2	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 (存储器扩展、微处理器模式时的数据输入)	0	0.16VCC2	V
		P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_7、 P9_0 ~ P9_7、P10_0 ~ P10_7、 XIN、RESET、CNVSS、BYTE	0	0.2VCC1	V
IOH(peak)	“H” 电平 峰值输出 电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、 P6_0 ~ P6_7、P7_2 ~ P7_7、P8_0 ~ P8_4、 P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7		-10.0	mA
IOH(avg)	“H” 电平 平均输出 电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、 P6_0 ~ P6_7、P7_2 ~ P7_7、P8_0 ~ P8_4、 P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7		-5.0	mA
IOL(peak)	“L” 电平 峰值输出 电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、 P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_7、 P9_0 ~ P9_7、P10_0 ~ P10_7		10.0	mA
IOL(avg)	“L” 电平 平均输出 电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、 P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_7、 P9_0 ~ P9_7、P10_0 ~ P10_7		5.0	mA
f(XIN)	主时钟输入振荡频率	VCC1=2.7V ~ 5.5V	0	20	MHz
f(XCIN)	副时钟振荡频率		32.768	50	kHz
f(OCO)	125kHz 内部振荡器振荡频率		125		kHz
f(PLL)	PLL 时钟振荡频率	VCC1=2.7V ~ 5.5V	10	25	MHz
f(BCLK)	CPU 工作频率		0	25	MHz
tsu(PLL)	PLL 频率合成器的稳定等待时间	VCC1=5.0V		20	ms
		VCC1=3.0V		50	ms

注 1. 不指定时，VCC1=VCC2=2.7V ~ 5.5V、Topr=-20 ~ 85°C/-40 ~ 85°C。

注 2. 平均输出电流是在 100ms 期间的平均值。

注 3. 端口 P0、P1、P2、P8_6、P8_7、P9、P10 的 IOL(peak) 总电流值不能超过 80mA，端口 P3、P4、P5、P6、P7、P8_0 ~ P8_5 的 IOL(peak) 总电流值不能超过 80mA，端口 P0、P1、P2 的 IOH(peak) 总电流值不能超过 -40mA，端口 P3、P4、P5 的 IOH(peak) 总电流值不能超过 -40mA，端口 P6、P7_2 ~ P7_7、P8_0 ~ P8_4 的 IOH(peak) 总电流值不能超过 -40mA，端口 P8_6、P8_7、P9、P10 的 IOH(peak) 总电流值不能超过 -40mA。

表 23.3 A/D 转换特性（注 1）

符号	项目		测量条件		规格值			单位
					最小	典型	最大	
—	分辨率		VREF=VCC1				10	Bits
INL	积分非线性误差	10bit	VREF=	AN0 ~ AN7 输入			±3	LSB
			VCC1=	AN0_0 ~ AN0_7 输入				
			5.0V	AN2_0 ~ AN2_7 输入 ANEX0、ANEX1 输入				
			VREF=	AN0 ~ AN7 输入			±3	LSB
			VCC1=	AN0_0 ~ AN0_7 输入				
			3.3V	AN2_0 ~ AN2_7 输入 ANEX0、ANEX1 输入				
			VREF=	AN0 ~ AN7 输入			±3	LSB
			VCC1=	AN0_0 ~ AN0_7 输入				
			3.0V	AN2_0 ~ AN2_7 输入 ANEX0、ANEX1 输入				
—	绝对精度	10bit	VREF=	AN0 ~ AN7 输入			±3	LSB
			VCC1=	AN0_0 ~ AN0_7 输入				
			5.0V	AN2_0 ~ AN2_7 输入 ANEX0、ANEX1 输入				
			VREF=	AN0 ~ AN7 输入			±3	LSB
			VCC1=	AN0_0 ~ AN0_7 输入				
			3.3V	AN2_0 ~ AN2_7 输入 ANEX0、ANEX1 输入				
			VREF=	AN0 ~ AN7 输入			±3	LSB
			VCC1=	AN0_0 ~ AN0_7 输入				
			3.0V	AN2_0 ~ AN2_7 输入 ANEX0、ANEX1 输入				
—	容许信号源阻抗					3		kΩ
DNL	微分非线性误差						±1	LSB
—	偏移误差						±3	LSB
—	增益误差						±3	LSB
RLADDER	梯形电阻		VREF=VCC1		10		40	kΩ
tCONV	转换时间（10bit）		VREF=VCC1=5V、φAD=25MHz		1.60			μs
tSAMP	采样时间				0.60			μs
VREF	基准电压					VCC1		V
VIA	模拟输入电压				0		VREF	V

注 1. 不指定时，VCC1=AVCC=VREF=3.0 ~ 5.5V、VSS=AVSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C。

注 2. φAD 的频率必须进行如下的设定：

VCC1=4.0 ~ 5.5V 时，2MHz ≤ φAD ≤ 25MHz

VCC1=3.2 ~ 4.0V 时，2MHz ≤ φAD ≤ 16MHz

VCC1=3.0 ~ 3.2V 时，2MHz ≤ φAD ≤ 10MHz

注 3. 必须在 VREF=VCC1 时使用。

表 23.4 D/A 转换特性（注 1）

符号	项目	测量条件	规格值			单位
			最小	典型	最大	
—	分辨率				8	Bits
—	绝对精度				2.5	LSB
tsu	设定时间				3	μs
RO	输出电阻			6		kΩ
IVREF	基准电源的输入电流	（注 2）			1.5	mA

注 1. 不指定时，VCC1=VREF=3.0 ~ 5.5V、VSS=AVSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C。

注 2. 这是使用 1 个 D/A 转换器并且未使用的 D/A 转换器的 D/A 寄存器的值为“00h”的情况。

注 3. A/D 转换器的电流消耗部分除外。另外，即使在 A/D 控制寄存器的设定为不连接 Vref 时，也有 D/A 转换器的 IVREF 流过。

表 23.5 闪存电特性（注 1）

符号	项目		规格值			单位
			最小	典型	最大	
—	编程 / 擦除次数	非数据闪存	100			次
		数据闪存	100			次
—	2 个字编程时间 (VCC1=3.3V、Topr=25°C)	非数据闪存		150		μs
		数据闪存		300		μs
—	锁定位编程时间 (VCC1=3.3V、Topr=25°C)	非数据闪存		70		μs
		数据闪存		140		μs
—	块擦除时间 (VCC1=3.3V、Topr=25°C)	4K 字节块		0.20		s
		16K 字节块		0.20		s
		64K 字节块		0.20		s
tPS	闪存电路的稳定等待时间				50	μs
—	数据保持时间（注 3）		10			年

注 1. 不指定时，VCC1=2.7 ~ 5.5V、Topr=0 ~ 60°C。

注 2. 编程 / 擦除次数的定义：

编程 / 擦除次数是指每块的擦除次数。

如果编程 / 擦除次数为 n 次（n=100），每块就能擦除 n 次。

例如，对于 4K 字节的块，如果在将 2 个字的数据分 1024 次写到不同的地址后擦除此块，编程 / 擦除次数就计为 1。

但是，对于 1 次擦除，不能对相同地址进行多次编程（禁止重写）。

注 3. 条件为 Topr=-40 ~ 85°C/-20°C ~ 85°C。

表 23.6 闪存的编程 / 擦除电压和读工作电压特性（Topr=0 ~ 60°C）

闪存编程 / 擦除电压	闪存读工作电压
VCC1=2.7 ~ 5.5V	VCC1=2.7 ~ 5.5V

表 23.7 低电压检测电路的电特性（注 3）

符号	项目	测量条件	规格值			单位
			最小	典型	最大	
Vdet2	低电压检测电压（注 1）	VCC1=0.8 ~ 5.5V	3.3	3.8	4.4	V
Vdet0	复位区检测电压（注 1）			1.9		V
Vdet2-Vdet0	低电压检测和复位区检测的电位差		0.3			V
Vdet0s	低电压复位保持电压				0.8	V
Vdet0r	低电压复位解除电压（注 2）			2.0		V

注 1. Vdet2 > Vdet0。

注 2. 不保证 Vdet0r > Vdet0。

注 3. 必须在 VCC1=5V 时使用。

表 23.8 电源电路的时序特性

符号	项目	测量条件	规格值			单位
			最小	典型	最大	
td(P-R)	接通电源时的内部电源稳定时间	VCC1=2.7 ~ 5.5V			5	ms
td(R-S)	STOP 解除时间				150	μs
td(W-S)	低功耗模式和等待模式的解除时间				150	μs
td(S-R)	低电压检测复位 （硬件复位 2）的解除等待时间	VCC1=Vdet0r ~ 5.5V		6（注 1）	20	ms
td(E-A)	低电压检测电路的工作开始时间	VCC1=2.7 ~ 5.5V			20	μs

注 1. 这是 VCC1=5V 时的典型值。

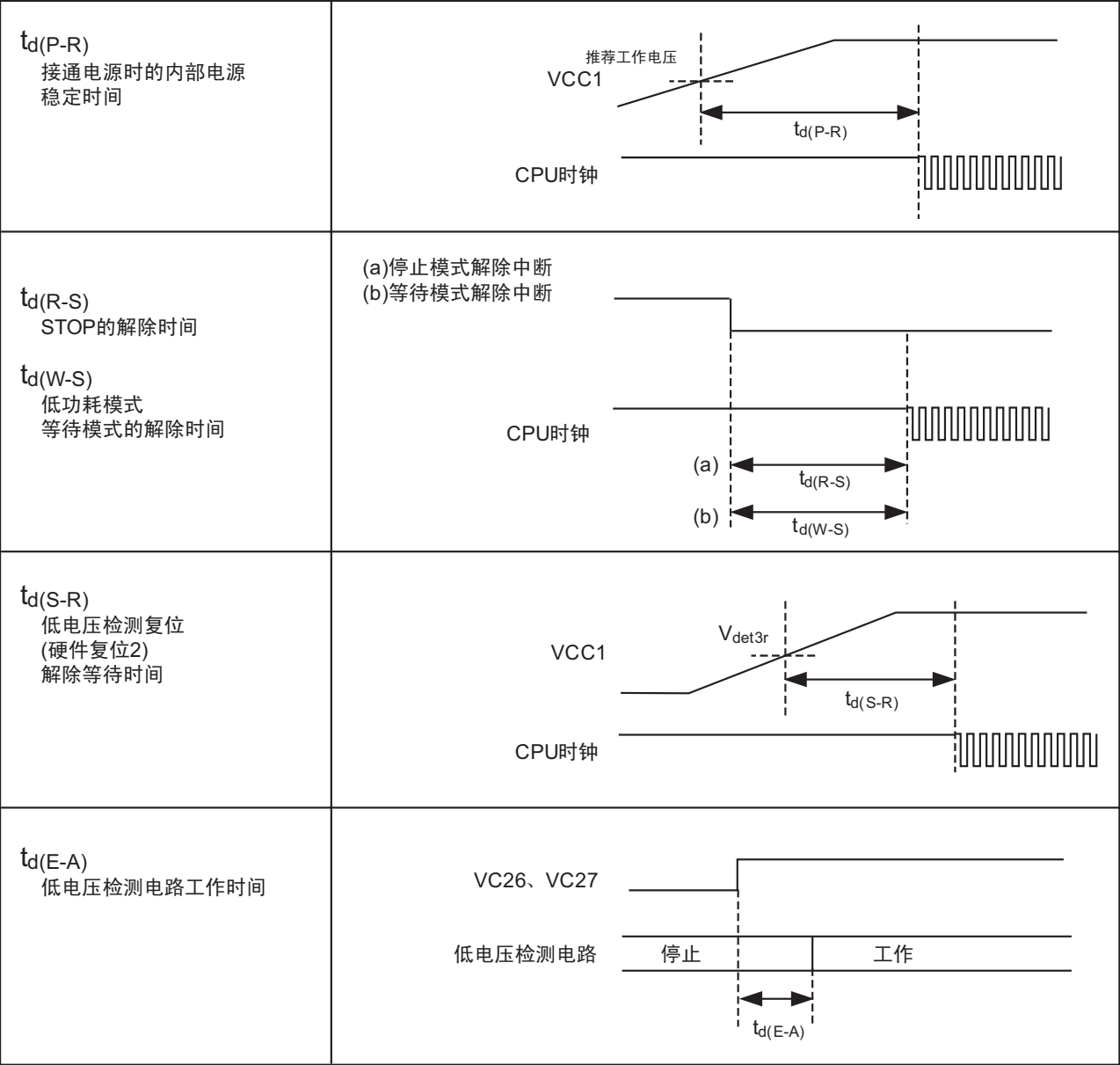


图 23.1 电源电路的时序图

VCC1=VCC2=5V

表 23.9 电特性 (1) (注 1)

符号	项目		测量条件	规格值			单位
				最小	典型	最大	
VOH	“H” 电平 输出电压	P6_0 ~ P6_7、P7_2 ~ P7_7、P8_0 ~ P8_4、 P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7	IOH=-5mA	VCC1-2.0		VCC1	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7	IOH=-5mA	VCC2-2.0		VCC2	
VOH	“H” 电平 输出电压	P6_0 ~ P6_7、P7_2 ~ P7_7、P8_0 ~ P8_4、 P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7	IOH=-200μA	VCC1-0.3		VCC1	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7	IOH=-200μA	VCC2-0.3		VCC2	
VOH	“H” 电平输出电压 XOUT	HIGHPOWER	IOH=-1mA	VCC1-2.0		VCC1	V
		LOWPOWER	IOH=-0.5mA	VCC1-2.0		VCC1	
	“H” 电平输出电压 XCOUT	HIGHPOWER	无负载时		2.9		V
		LOWPOWER	无负载时		2.2		
VOL	“L” 电平 输出电压	P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_7、 P9_0 ~ P9_7、P10_0 ~ P10_7	IOL=5mA			2.0	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7	IOL=5mA			2.0	
VOL	“L” 电平 输出电压	P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_7、 P9_0 ~ P9_7、P10_0 ~ P10_7	IOL=200μA			0.45	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7	IOL=200μA			0.45	
VOL	“L” 电平输出电压 XOUT	HIGHPOWER	IOL=1mA			2.0	V
		LOWPOWER	IOL=0.5mA			2.0	
	“L” 电平输出电压 XCOUT	HIGHPOWER	无负载时		0		V
		LOWPOWER	无负载时		0		
VT+-VT-	滞后	HOLD、RDY、TA0IN ~ TA4IN、 TB0IN ~ TB5IN、INT0 ~ INT7、NMI、ADTRG、 CTS0 ~ CTS2、CTS5 ~ CTS7、SCL0 ~ SCL2、 SCL5 ~ SCL7、SDA0 ~ SDA2、SDA5 ~ SDA7、 CLK0 ~ CLK7、TA0OUT ~ TA4OUT、K10 ~ K13、 RXD0 ~ RXD2、RXD5 ~ RXD7、SIN3、SIN4		0.2		1.0	V
VT+-VT-	滞后	RESET		0.2		2.5	V
IIH	“H” 电平 输入电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、 P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_7、 P9_0 ~ P9_7、P10_0 ~ P10_7、 XIN、RESET、CNVSS、BYTE	VI=5V			5.0	μA
IIL	“L” 电平 输入电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、 P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_7、 P9_0 ~ P9_7、P10_0 ~ P10_7、 XIN、RESET、CNVSS、BYTE	VI=0V			-5.0	μA
RPULL UP	上拉 电阻	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、 P6_0 ~ P6_7、P7_2 ~ P7_7、P8_0 ~ P8_4、 P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7	VI=0V	30	50	170	kΩ
RfXIN	反馈电阻 XIN				1.5		MΩ
RfXCIN	反馈电阻 XCIN				15		MΩ
VRAM	RAM 保持电压		停止模式时	2.0			V

注 1. 不指定时，VCC1=VCC2=4.2 ~ 5.5V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C、f(BCLK)=25MHz。

VCC1=VCC2=5V

表 23.10 电特性 (2) (注 1)

符号	项目		测量条件		规格值			单位
					最小	典型	最大	
ICC	电源电流 （VCC1=4.0 ～ 5.5V）	在单芯片模式中， 输出引脚置为开 路，其它引脚连接 VSS。	闪存	f(BCLK)=25MHz PLL 工作时，无分频		20		mA
				125kHz 内部振荡器 振荡工作时无分频		450		μA
			闪存的编程	f(BCLK)=10MHz VCC1=5.0V		20		mA
			闪存的擦除	f(BCLK)=10MHz VCC1=5.0V		30		mA
			闪存	f(BCLK)=32kHz 低功耗模式时， RAM （注 3）		45		μA
				f(BCLK)=32kHz 低功耗模式时， 闪存 （注 3）， FMR22=FMR23=1		160		μA
				125kHz 内部振荡器 振荡工作等待模式时		12		μA
				f(BCLK) = 32kHz 等待模式时 （注 2） High 振荡能力		11.5		μA
				f(BCLK) = 32kHz 等待模式时 （注 2） Low 振荡能力		6.2		μA
				停止模式时 Topr=25°C		3.0		μA
Idet2	低电压检测消耗电流 （注 4）					3.0		μA
Idet0	复位区检测消耗电流 （注 4）					6.0		μA

注 1. 不指定时，VCC1=VCC2=4.2 ~ 5.5V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C、f(BCLK)=25MHz。

注 2. 这是通过 fC32 使 1 个定时器工作的状态。

注 3. 这是表示执行程序的存储器。

注 4. Idet 是在将以下位置 “1” (检测电路有效) 时的消耗电流。

Idet2: VCR2 寄存器的 VC27 位

Idet0: VCR2 寄存器的 VC25 位

VCC1=VCC2=5V

时序必要条件

(不指定时, VCC1=VCC2=5V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C)

表 23.11 外部时钟输入 (XIN 输入) (注 1)

符号	项目	规格值		单位
		最小	最大	
tc	外部时钟输入的周期时间	50		ns
tw(H)	外部时钟输入的“H”电平脉宽	20		ns
tw(L)	外部时钟输入的“L”电平脉宽	20		ns
tr	外部时钟上升时间		9	ns
tf	外部时钟下降时间		9	ns

注 1. 条件为 VCC1=VCC2=3.0 ~ 5.0V。

表 23.12 存储器扩展模式、微处理器模式

符号	项目	规格值		单位
		最小	最大	
tac1(RD-DB)	数据输入的存取时间 (设定无等待)		(注 1)	ns
tac2(RD-DB)	数据输入的存取时间 (设定有等待)		(注 2)	ns
tac3(RD-DB)	数据输入的存取时间 (存取多路复用总线区域时)		(注 3)	ns
tsu(DB-RD)	数据输入的准备时间	40		ns
tsu(RDY-BCLK)	RDY 输入的准备时间	30		ns
tsu(HOLD-BCLK)	HOLD 输入的准备时间	40		ns
th(RD-DB)	数据输入的保持时间	0		ns
th(BCLK-RDY)	RDY 输入的保持时间	0		ns
th(BCLK-HOLD)	HOLD 输入的保持时间	0		ns

注 1. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 45[\text{ns}]$$

注 2. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 45[\text{ns}] \quad n \text{ 在设定 1 个等待时为“2”, 在设定 2 个等待时为“3”, 在设定 3 个等待时为“4”。}$$

注 3. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 45[\text{ns}] \quad n \text{ 在设定 2 个等待时为“2”, } n \text{ 在设定 3 个等待时为“3”。}$$

VCC1=VCC2=5V

时序必要条件

(不指定时, VCC1=VCC2=5V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C)

表 23.13 定时器 A 输入 (事件计数器模式的计数输入)

符号	项目	规格值		单位
		最小	最大	
tc(TA)	TAiIN 输入的周期时间	100		ns
tw(TAH)	TAiIN 输入的“H”电平脉宽	40		ns
tw(TAL)	TAiIN 输入的“L”电平脉宽	40		ns

表 23.14 定时器 A 输入 (定时器模式的选通输入)

符号	项目	规格值		单位
		最小	最大	
tc(TA)	TAiIN 输入的周期时间	400		ns
tw(TAH)	TAiIN 输入的“H”电平脉宽	200		ns
tw(TAL)	TAiIN 输入的“L”电平脉宽	200		ns

表 23.15 定时器 A 输入 (单触发定时器模式的外部触发输入)

符号	项目	规格值		单位
		最小	最大	
tc(TA)	TAiIN 输入的周期时间	200		ns
tw(TAH)	TAiIN 输入的“H”电平脉宽	100		ns
tw(TAL)	TAiIN 输入的“L”电平脉宽	100		ns

表 23.16 定时器 A 输入 (脉宽调制模式的外部触发输入)

符号	项目	规格值		单位
		最小	最大	
tw(TAH)	TAiIN 输入的“H”电平脉宽	100		ns
tw(TAL)	TAiIN 输入的“L”电平脉宽	100		ns

表 23.17 定时器 A 输入 (事件计数器模式的递增 / 递减输入)

符号	项目	规格值		单位
		最小	最大	
tc(UP)	TAiOUT 输入的周期时间	2000		ns
tw(UPH)	TAiOUT 输入的“H”电平脉宽	1000		ns
tw(UPL)	TAiOUT 输入的“L”电平脉宽	1000		ns
tsu(UP-TIN)	TAiOUT 输入的准备时间	400		ns
th(TIN-UP)	TAiOUT 输入的保持时间	400		ns

VCC1=VCC2=5V

时序必要条件

(不指定时, VCC1=VCC2=5V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C)

表 23.18 定时器 A 输入 (事件计数器模式的二相脉冲输入)

符号	项目	规格值		单位
		最小	最大	
tc(TA)	TAiIN 输入的周期时间	800		ns
tsu(TAIN-TAOUT)	TAiOUT 输入的准备时间	200		ns
tsu(TAOUT-TAIN)	TAiIN 输入的准备时间	200		ns

表 23.19 定时器 B 输入 (事件计数器模式的计数输入)

符号	项目	规格值		单位
		最小	最大	
tc(TB)	TBiIN 输入的周期时间 (单边沿计数)	100		ns
tw(TBH)	TBiIN 输入的 “H” 电平脉宽 (单边沿计数)	40		ns
tw(TBL)	TBiIN 输入的 “L” 电平脉宽 (单边沿计数)	40		ns
tc(TB)	TBiIN 输入的周期时间 (双边沿计数)	200		ns
tw(TBH)	TBiIN 输入的 “H” 电平脉宽 (双边沿计数)	80		ns
tw(TBL)	TBiIN 输入的 “L” 电平脉宽 (双边沿计数)	80		ns

表 23.20 定时器 B 输入 (脉冲周期测量模式)

符号	项目	规格值		单位
		最小	最大	
tc(TB)	TBiIN 输入的周期时间	400		ns
tw(TBH)	TBiIN 输入的 “H” 电平脉宽	200		ns
tw(TBL)	TBiIN 输入的 “L” 电平脉宽	200		ns

表 23.21 定时器 B 输入 (脉宽测量模式)

符号	项目	规格值		单位
		最小	最大	
tc(TB)	TBiIN 输入的周期时间	400		ns
tw(TBH)	TBiIN 输入的 “H” 电平脉宽	200		ns
tw(TBL)	TBiIN 输入的 “L” 电平脉宽	200		ns

表 23.22 A/D 触发输入

符号	项目	规格值		单位
		最小	最大	
tc(AD)	ADTRG 输入的周期时间	1000		ns
tw(ADL)	ADTRG 输入的 “L” 电平脉宽	125		ns

VCC1=VCC2=5V

开关特性

(不指定时, VCC1=VCC2=5V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C)

表 23.23 串行接口

符号	项目	规格值		单位
		最小	最大	
tc(CK)	CLKi 输入的周期时间	200		ns
tw(CKH)	CLKi 输入的“H”电平脉宽	100		ns
tw(CKL)	CLKi 输入的“L”电平脉宽	100		ns
td(C-Q)	TXDi 输出的延迟时间		80	ns
th(C-Q)	TXDi 的保持时间	0		ns
tsu(D-C)	RXDi 输入的准备时间	70		ns
th(C-D)	RXDi 输入的保持时间	90		ns

表 23.24 外部中断 $\overline{\text{INTi}}$ 输入

符号	项目	规格值		单位
		最小	最大	
tw(INH)	$\overline{\text{INTi}}$ 输入的“H”电平脉宽	250		ns
tw(INL)	$\overline{\text{INTi}}$ 输入的“L”电平脉宽	250		ns

VCC1=VCC2=5V

开关特性
(不指定时, VCC1=VCC2=5V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C)

表 23.25 存储器扩展模式、微处理器模式 (设定无等待时)

符号	项目	测量条件	规格值		单位
			最小	最大	
td(BCLK-AD)	地址输出的延迟时间	图 23.2		25	ns
th(BCLK-AD)	地址输出的保持时间 (BCLK 基准)		4		ns
th(RD-AD)	地址输出的保持时间 (RD 基准)		0		ns
th(WR-AD)	地址输出的保持时间 (WR 基准)		(注 2)		ns
td(BCLK-CS)	片选输出的延迟时间			25	ns
th(BCLK-CS)	片选输出的保持时间 (BCLK 基准)		4		ns
td(BCLK-ALE)	ALE 信号输出的延迟时间			15	ns
th(BCLK-ALE)	ALE 信号输出的保持时间		-4		ns
td(BCLK-RD)	RD 信号输出的延迟时间			25	ns
th(BCLK-RD)	RD 信号输出的保持时间		0		ns
td(BCLK-WR)	WR 信号输出的延迟时间			25	ns
th(BCLK-WR)	WR 信号输出的保持时间		0		ns
td(BCLK-DB)	数据输出的延迟时间 (BCLK 基准)			40	ns
th(BCLK-DB)	数据输出的保持时间 (BCLK 基准) (注 3)		4		ns
td(DB-WR)	数据输出的延迟时间 (WR 基准)		(注 1)		ns
th(WR-DB)	数据输出的保持时间 (WR 基准) (注 3)		(注 2)		ns
td(BCLK-HLDA)	HLDA 输出的延迟时间			40	ns

注 1. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{ 不能超过 } 12.5\text{MHz}.$$

注 2. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注 3. 此规格值表示输出 OFF 的时序, 并不表示数据总线的保持时间。数据总线的保持时间因附加电容和上拉 (下拉) 电阻值而不同。

在右图的电路中, 数据总线的保持时间为

$$t = -CR \times \ln(1 - \text{VOL}/\text{VCC2})$$

例如, 假设 VOL=0.2VCC2、C=30pF、R=1kΩ, 输出 “L” 电平的保持时间就为

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2\text{VCC2}/\text{VCC2})$$

$$= 6.7\text{ns}$$

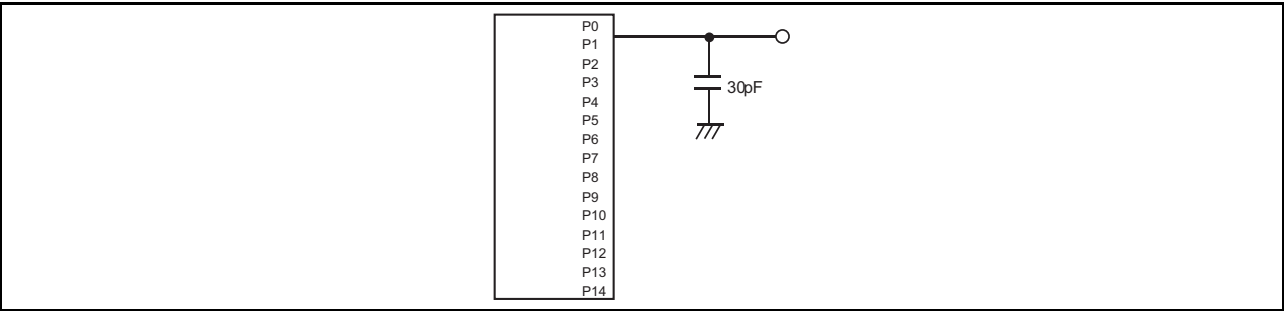
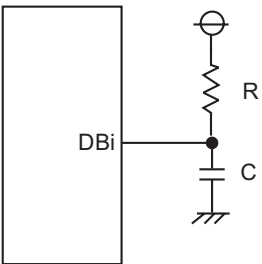


图 23.2 端口 P0 ~ P14 的测量电路

VCC1=VCC2=5V

开关特性

(不指定时, VCC1=VCC2=5V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C)

表 23.26 存储器扩展模式、微处理器模式 (设定 1 ~ 3 个等待并且存取外部区域时)

符号	项目	测量条件	规格值		单位
			最小	最大	
td(BCLK-AD)	地址输出的延迟时间	图 23.2		25	ns
th(BCLK-AD)	地址输出的保持时间 (BCLK 基准)		4		ns
th(RD-AD)	地址输出的保持时间 (RD 基准)		0		ns
th(WR-AD)	地址输出的保持时间 (WR 基准)		(注 2)		ns
td(BCLK-CS)	片选输出的延迟时间			25	ns
th(BCLK-CS)	片选输出的保持时间 (BCLK 基准)		4		ns
td(BCLK-ALE)	ALE 信号输出的延迟时间			15	ns
th(BCLK-ALE)	ALE 信号输出的保持时间		-4		ns
td(BCLK-RD)	RD 信号输出的延迟时间			25	ns
th(BCLK-RD)	RD 信号输出的保持时间		0		ns
td(BCLK-WR)	WR 信号输出的延迟时间			25	ns
th(BCLK-WR)	WR 信号输出的保持时间		0		ns
td(BCLK-DB)	数据输出的延迟时间 (BCLK 基准)			40	ns
th(BCLK-DB)	数据输出的保持时间 (BCLK 基准) (注 3)		4		ns
td(DB-WR)	数据输出的延迟时间 (WR 基准)		(注 1)		ns
th(WR-DB)	数据输出的保持时间 (WR 基准) (注 3)		(注 2)		ns
td(BCLK-HLDA)	HLDA 输出的延迟时间			40	ns

注 1. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

n 在设定 1 个等待时为 “1”, 在设定 2 个等待时为 “2”, 在设定 3 个等待时为 “3”。
当 n=1 时, f(BCLK) 不能超过 12.5MHz。

注 2. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注 3. 此规格值表示输出 OFF 的时序, 并不表示数据总线的保持时间。数据总线的保持时间因附加电容和上拉 (下拉) 电阻值而不同。

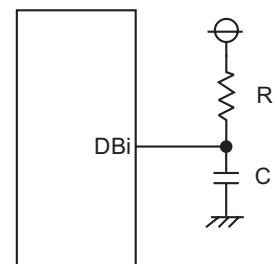
在右图的电路中, 数据总线的保持时间为

$$t = -CR \times \ln(1 - \text{VOL}/\text{VCC2})$$

例如, 假设 VOL=0.2VCC2、C=30pF、R=1kΩ, 输出 “L” 电平的保持时间就为

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2\text{VCC2}/\text{VCC2})$$

$$= 6.7\text{ns}$$



VCC1=VCC2=5V

开关特性

(不指定时, VCC1=VCC2=5V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C)

表 23.27 存储器扩展模式、微处理器模式 (设定 2 ~ 3 个等待、存取外部区域并且选择多路复用总线时)

符号	项目	测量条件	规格值		单位
			最小	最大	
td(BCLK-AD)	地址输出的延迟时间	图 23.2		25	ns
th(BCLK-AD)	地址输出的保持时间 (BCLK 基准)		4		ns
th(RD-AD)	地址输出的保持时间 (RD 基准)		(注 1)		ns
th(WR-AD)	地址输出的保持时间 (WR 基准)		(注 1)		ns
td(BCLK-CS)	片选输出的延迟时间			25	ns
th(BCLK-CS)	片选输出的保持时间 (BCLK 基准)		4		ns
th(RD-CS)	片选输出的保持时间 (RD 基准)		(注 1)		ns
th(WR-CS)	片选输出的保持时间 (WR 基准)		(注 1)		ns
td(BCLK-RD)	RD 信号输出的延迟时间			25	ns
th(BCLK-RD)	RD 信号输出的保持时间		0		ns
td(BCLK-WR)	WR 信号输出的延迟时间			25	ns
th(BCLK-WR)	WR 信号输出的保持时间		0		ns
td(BCLK-DB)	数据输出的延迟时间 (BCLK 基准)			40	ns
th(BCLK-DB)	数据输出的保持时间 (BCLK 基准)		4		ns
td(DB-WR)	数据输出的延迟时间 (WR 基准)		(注 2)		ns
th(WR-DB)	数据输出的保持时间 (WR 基准)		(注 1)		ns
td(BCLK-HLDA)	HLDA 输出的延迟时间			40	ns
td(BCLK-ALE)	ALE 输出的延迟时间 (BCLK 基准)			15	ns
th(BCLK-ALE)	ALE 输出的保持时间 (BCLK 基准)		-4		ns
td(AD-ALE)	ALE 输出的延迟时间 (地址基准)		(注 3)		ns
th(ALE-AD)	ALE 输出的保持时间 (地址基准)		(注 4)		ns
td(AD-RD)	地址后的 RD 信号输出的延迟时间		0		ns
td(AD-WR)	地址后的 WR 信号输出的延迟时间		0		ns
tdZ(RD-AD)	地址输出的浮动开始时间			8	ns

注 1. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注 2. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad n \text{ 在设定 2 个等待时为 "2", 在设定 3 个等待时为 "3"}.$$

注 3. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 25[\text{ns}]$$

注 4. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15[\text{ns}]$$

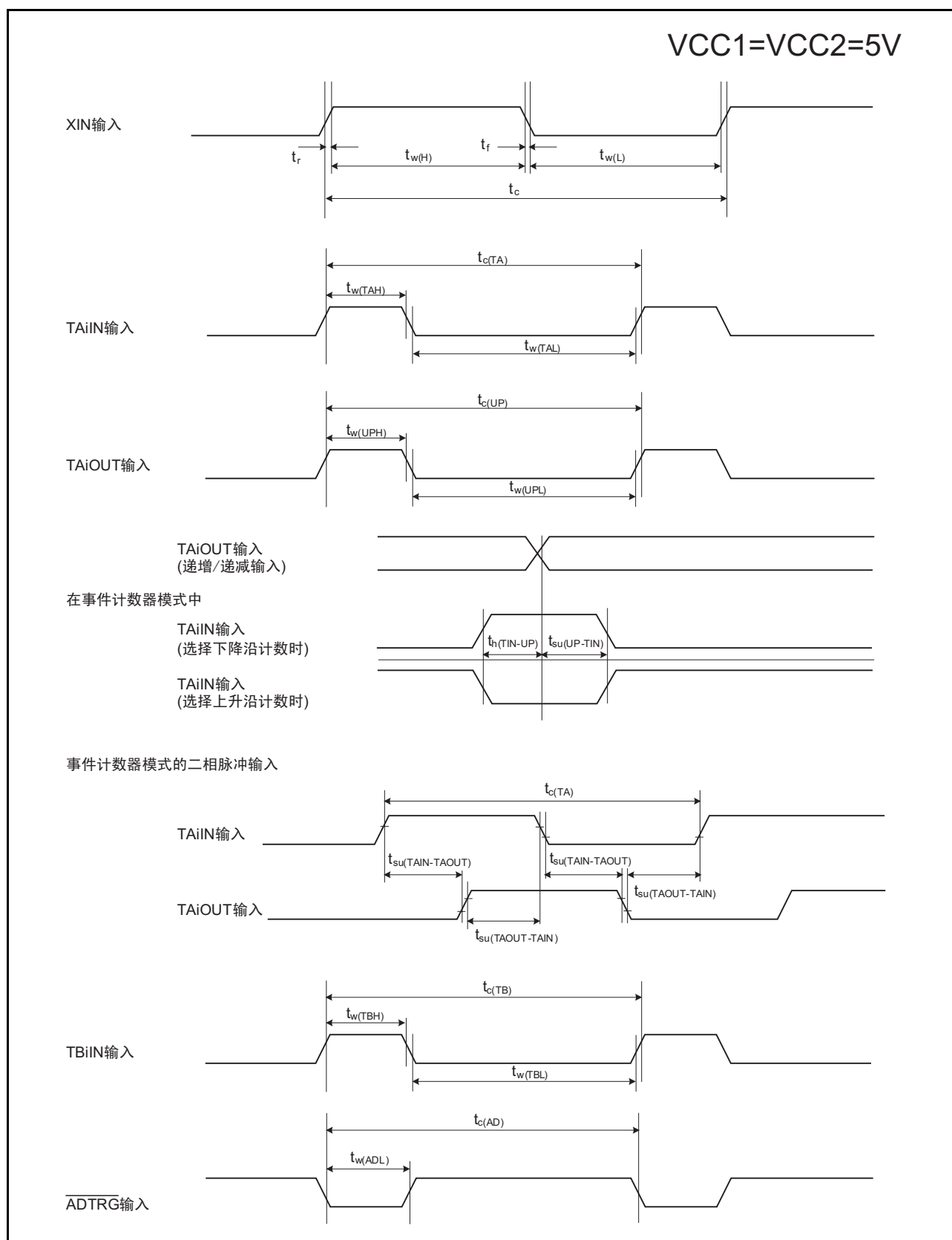


图 23.3 时序图 (1)

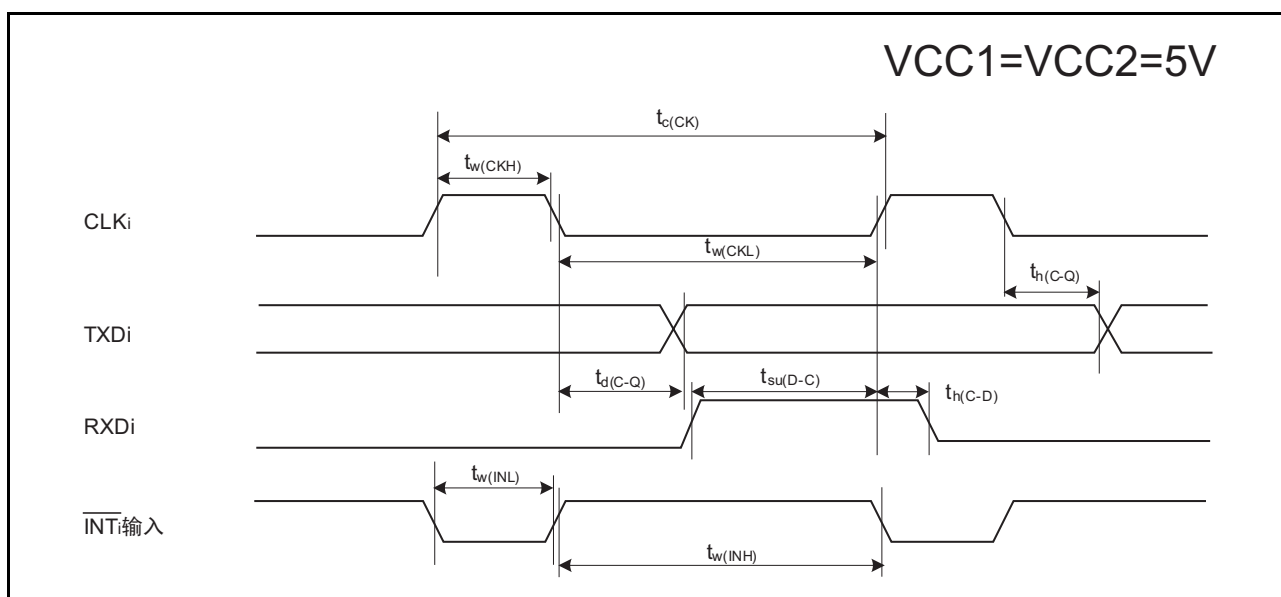


图 23.4 时序图 (2)

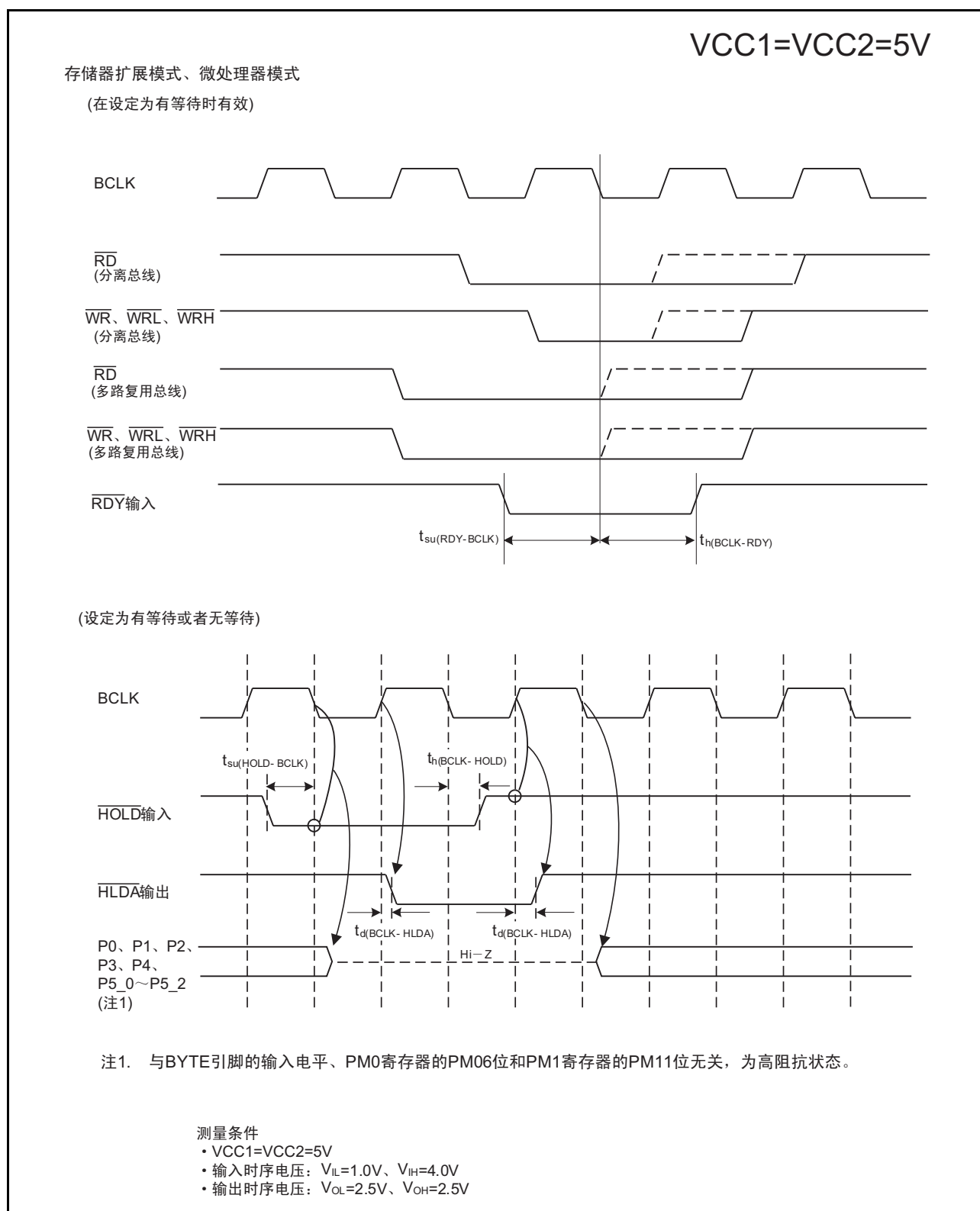


图 23.5 时序图 (3)

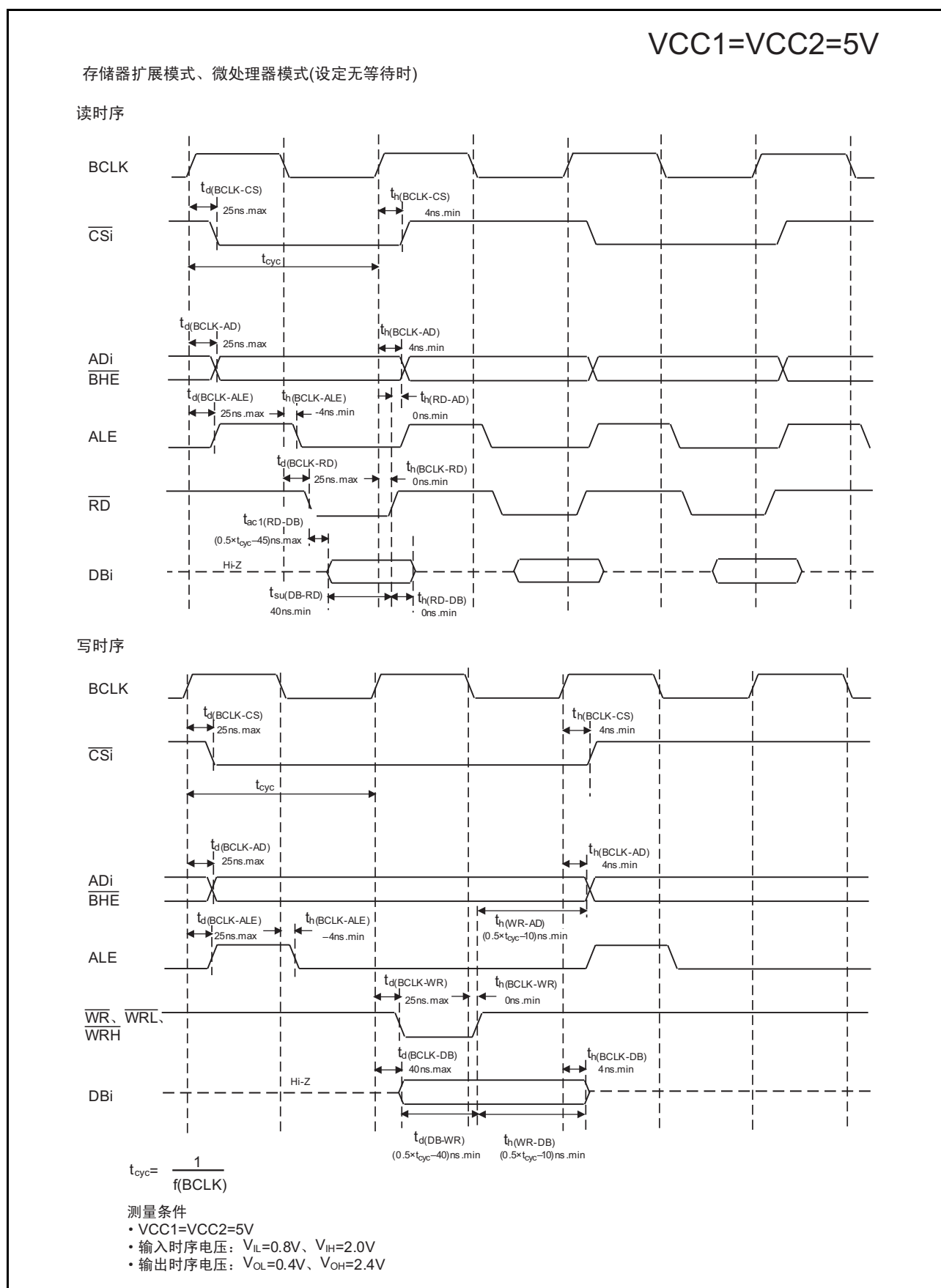
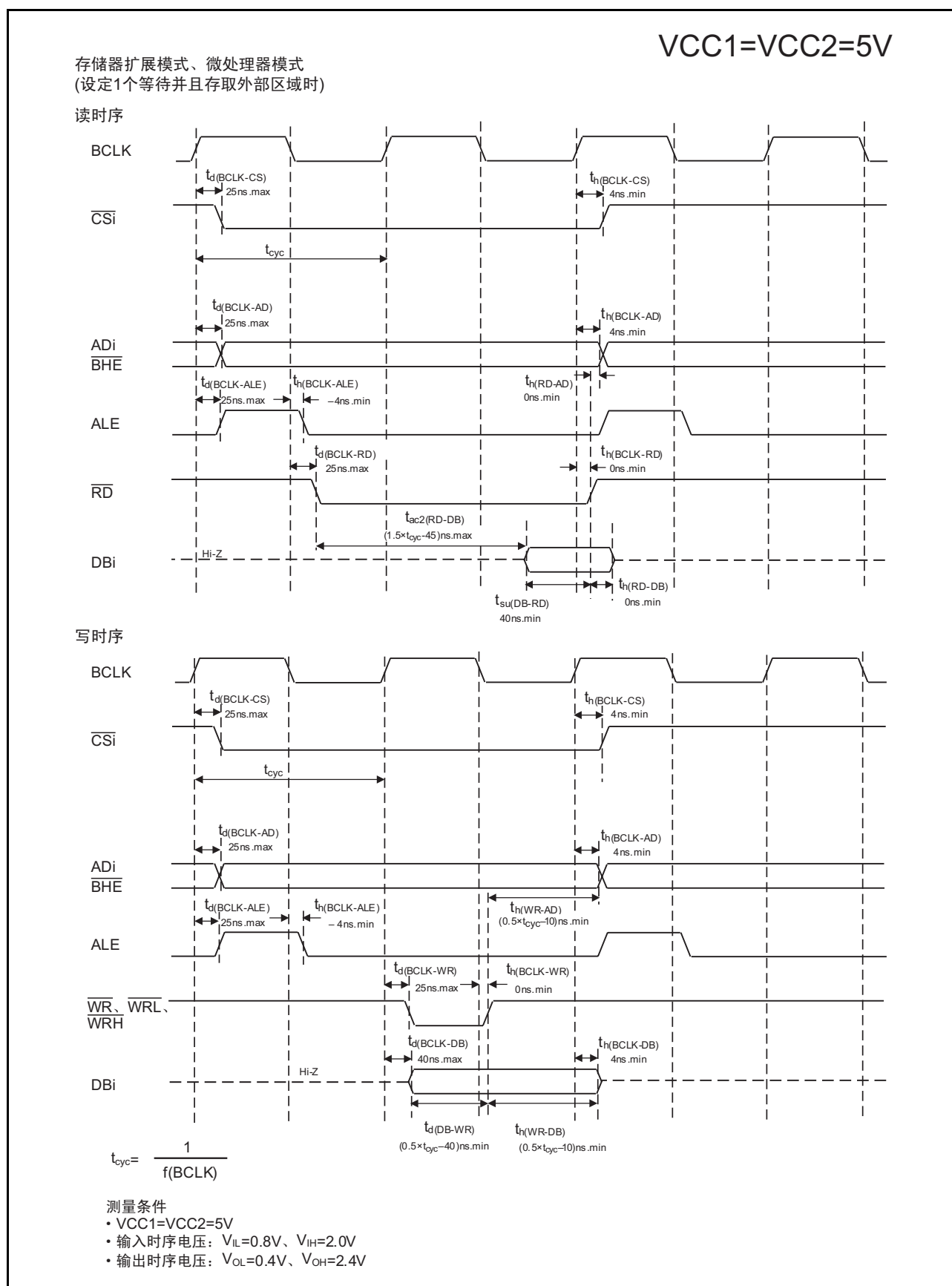
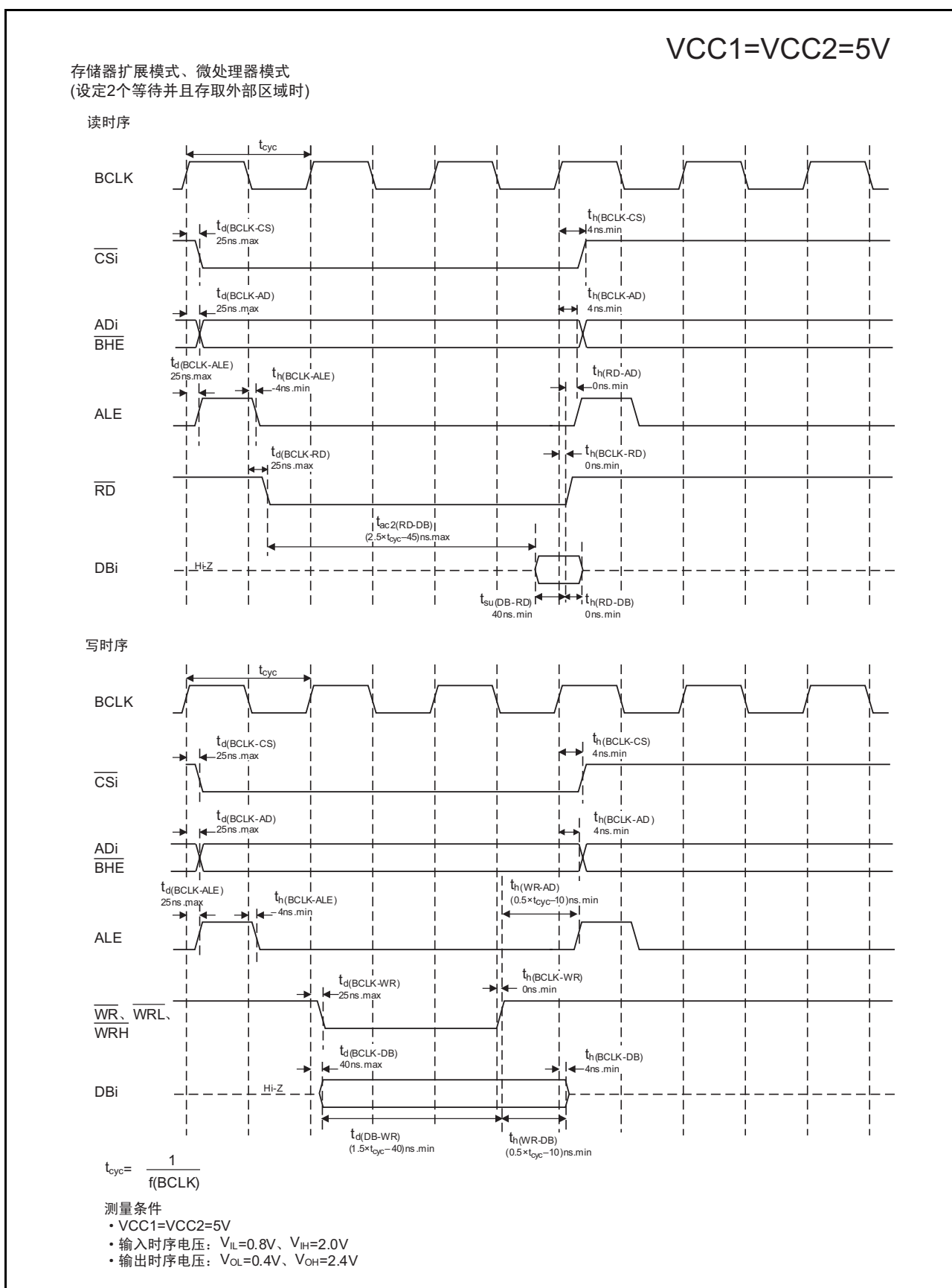


图 23.6 时序图 (4)





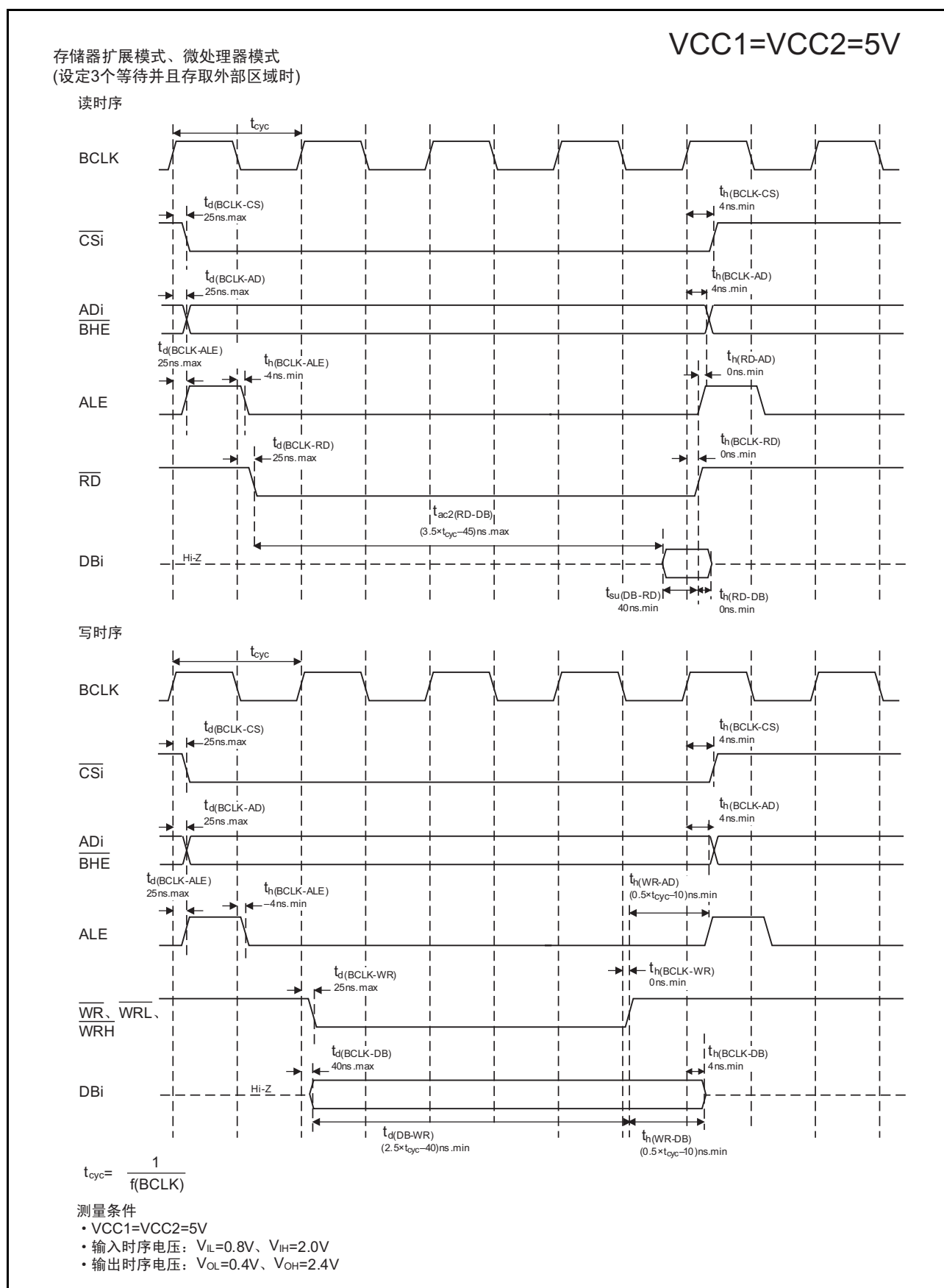


图 23.9 时序图 (7)

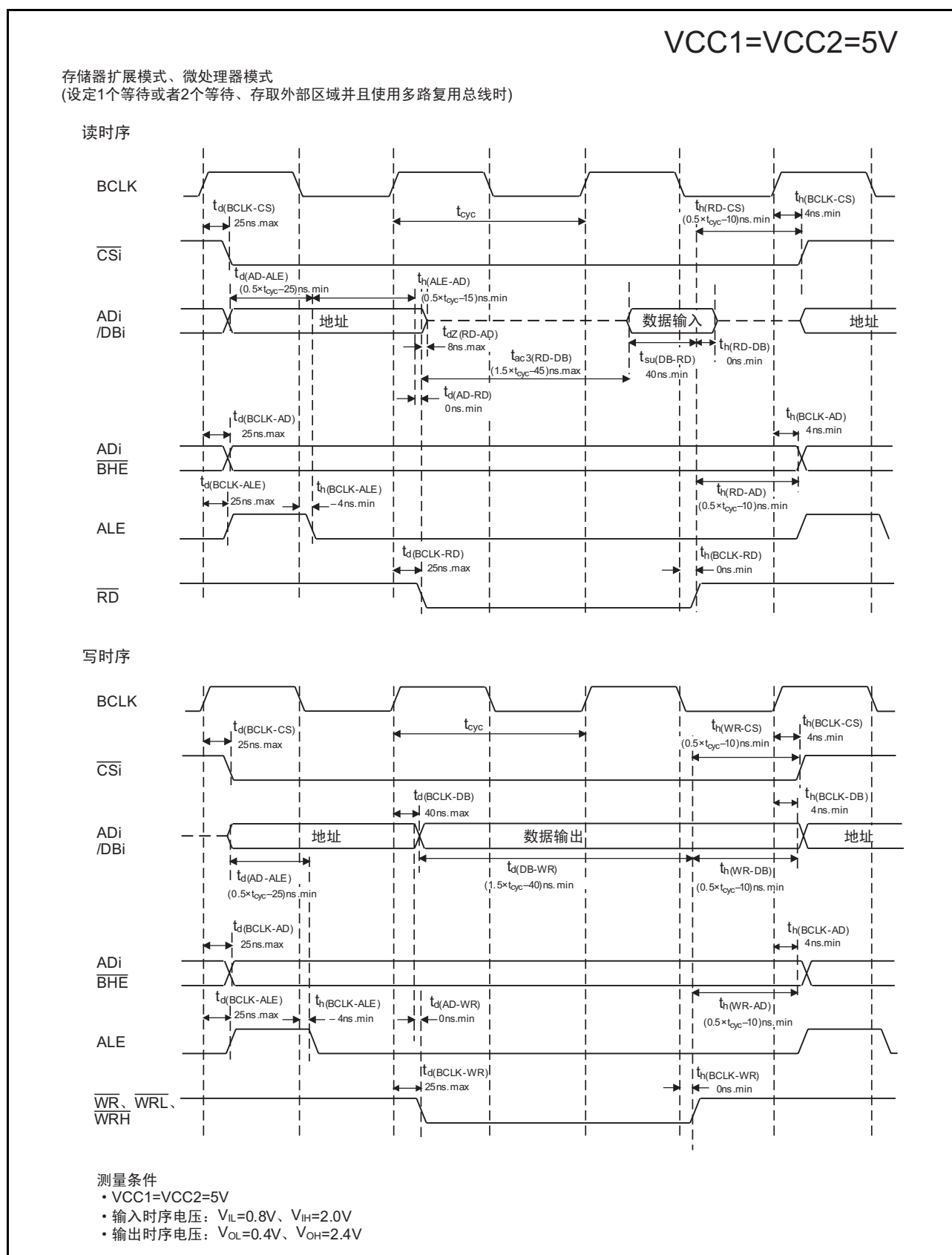


图 23.10 时序图 (8)

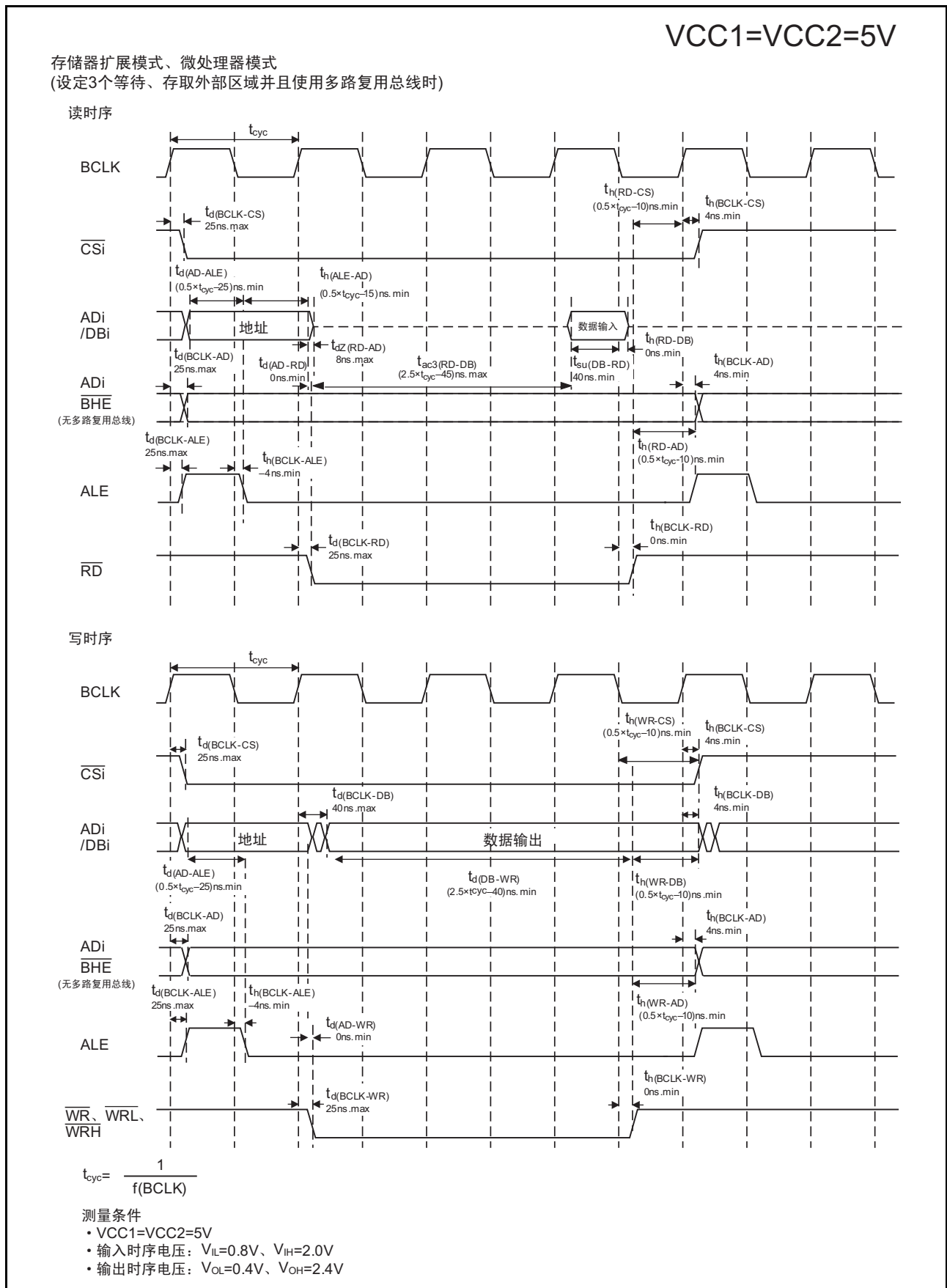


图 23.11 时序图 (9)

VCC1=VCC2=3V

表 23.28 电特性 (1) (注 1)

符号	项目		测量条件	规格值			单位
				最小	典型	最大	
VOH	“H” 电平 输出电压	P6_0 ~ P6_7、P7_2 ~ P7_7、P8_0 ~ P8_4、 P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7	IOH=-1mA	VCC1-0.5		VCC1	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7	IOH=-1mA	VCC2-0.5		VCC2	
VOH	“H” 电平输出电压 XOUT		HIGHPOWER	IOH=-0.1mA	VCC1-0.5	VCC1	V
			LOWPOWER	IOH=-50μA	VCC1-0.5	VCC1	
	“H” 电平输出电压 XCOUT		HIGHPOWER	无负载时	2.9		V
			LOWPOWER	无负载时	2.2		
VOL	“L” 电平 输出电压	P6_0 ~ P6_7、P7_2 ~ P7_7、P8_0 ~ P8_7、 P9_0 ~ P9_7、P10_0 ~ P10_7	IOL=1mA			0.5	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7	IOL=1mA			0.5	
VOL	“L” 电平输出电压 XOUT		HIGHPOWER	IOL=0.1mA		0.5	V
			LOWPOWER	IOL=50μA		0.5	
	“L” 电平输出电压 XCOUT		HIGHPOWER	无负载时	0		V
			LOWPOWER	无负载时	0		
VT+VT-	滞后	HOLD、RDY、TA0IN ~ TA4IN、 TB0IN ~ TB5IN、INT0 ~ INT7、NMI、ADTRG、 CTS0 ~ CTS2、CTS5 ~ CTS7、SCL0 ~ SCL2、 SCL5 ~ SCL7、SDA0 ~ SDA2、SDA5 ~ SDA7、 CLK0 ~ CLK7、TA0OUT ~ TA4OUT、K10 ~ K13、 RXD0 ~ RXD2、RXD5 ~ RXD7、SIN3、SIN4		0.2		0.8	V
VT+VT-	滞后	RESET		0.2	(0.7)	1.8	V
IIH	“H” 电平 输入电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、 P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_7、 P9_0 ~ P9_7、P10_0 ~ P10_7、 XIN、RESET、CNVSS、BYTE	VI=3V			4.0	μA
IIL	“L” 电平 输入电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、 P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_7、 P9_0 ~ P9_7、P10_0 ~ P10_7、 XIN、RESET、CNVSS、BYTE	VI=0V			-4.0	μA
RPULL UP	上拉电阻	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、 P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、 P6_0 ~ P6_7、P7_2 ~ P7_7、P8_0 ~ P8_4、 P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7	VI=0V	50	100	500	kΩ
RfXIN	反馈电阻 XIN				3.0		MΩ
RfXCIN	反馈电阻 XCIN				25		MΩ
VRAM	RAM 保持电压		停止模式时	2.0			V

注 1. 不指定时，VCC1=VCC2=2.7 ~ 3.3V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C、f(BCLK)=25MHz。

注 2. VCC: 端口 P6 ~ P10 为 VCC1，端口 P0 ~ P5 为 VCC2。

VCC1=VCC2=3V

表 23.29 电特性 (2) (注 1)

符号	项目		测量条件		规格值			单位
					最小	典型	最大	
ICC	电源电流 （VCC1=2.7 ~ 3.6V）	在单芯片模式中， 输出引脚置为开 路，其它引脚连接 VSS。	闪存	f(BCLK)=25MHz 无分频		20		mA
				125kHz 内部振荡器 振荡工作时无分频		450		μA
			闪存的编程	f(BCLK)=10MHz VCC1=3.0V		20		mA
			闪存的擦除	f(BCLK)=10MHz VCC1=3.0V		30		mA
			闪存	f(BCLK)=32kHz 低功耗模式时 RAM（注3）		40		μA
				f(BCLK)=32kHz 低功耗模式时 闪存（注3） FMR22=FMR23=1		160		μA
				125kHz 内部振荡器 振荡工作 等待模式时		9		μA
				f(BCLK) = 32kHz 等待模式时（注2） High 振荡能力		9.5		μA
				f(BCLK) = 32kHz 等待模式时（注2） Low 振荡能力		5.7		μA
				停止模式时 Topr=25℃		3		μA
Idet2	低电压检测消耗电流（注4）				3		μA	
Idet0	复位区检测消耗电流（注4）				6		μA	

注 1. 不指定时，VCC1=VCC2=2.7 ~ 3.3V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C、f(BCLK)=25MHz。

注 2. 这是通过 fC32 使 1 个定时器工作的状态。

注 3. 这是表示执行程序的存储器。

注 4. I_{det} 是在将以下位置 “1” (检测电路有效) 时的消耗电流。

I_{det2}: VCR2 寄存器的 VC27 位

I_{det0}: VCR2 寄存器的 VC25 位

VCC1=VCC2=3V

时序必要条件

(不指定时, VCC1=VCC2=3V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C)

表 23.30 外部时钟输入 (XIN 输入) (注 1)

符号	项目	规格值		单位
		最小	最大	
tc	外部时钟输入的周期时间	50		ns
tw(H)	外部时钟输入的“H”电平脉宽	20		ns
tw(L)	外部时钟输入的“L”电平脉宽	20		ns
tr	外部时钟的上升时间		9	ns
tf	外部时钟的下降时间		9	ns

注 1. 条件为 VCC1=VCC2=2.7 ~ 3.0V。

表 23.31 存储器扩展模式、微处理器模式

符号	项目	规格值		单位
		最小	最大	
tac1(RD-DB)	数据输入的存取时间 (设定无等待)		(注 1)	ns
tac2(RD-DB)	数据输入的存取时间 (设定有等待)		(注 2)	ns
tac3(RD-DB)	数据输入的存取时间 (存取多路复用总线区域时)		(注 3)	ns
tsu(DB-RD)	数据输入的准备时间	50		ns
tsu(RDY-BCLK)	RDY 输入的准备时间	40		ns
tsu(HOLD-BCLK)	HOLD 输入的准备时间	50		ns
th(RD-DB)	数据输入的保持时间	0		ns
th(BCLK-RDY)	RDY 输入的保持时间	0		ns
th(BCLK-HOLD)	HOLD 输入的保持时间	0		ns

注 1. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 60[\text{ns}]$$

注 2. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 60[\text{ns}] \quad n \text{ 在设定 1 个等待时为“2”, 在设定 2 个等待时为“3”, 在设定 3 个等待时为“4”。}$$

注 3. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 60[\text{ns}] \quad n \text{ 在设定 2 个等待时为“2”, 在设定 3 个等待时为“3”。}$$

VCC1=VCC2=3V

时序必要条件

(不指定时, VCC1=VCC2=3V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C)

表 23.32 定时器 A 输入 (事件计数器模式的计数输入)

符号	项目	规格值		单位
		最小	最大	
tc(TA)	TAiIN 输入的周期时间	150		ns
tw(TAH)	TAiIN 输入的“H”电平脉宽	60		ns
tw(TAL)	TAiIN 输入的“L”电平脉宽	60		ns

表 23.33 定时器 A 输入 (定时器模式的选通输入)

符号	项目	规格值		单位
		最小	最大	
tc(TA)	TAiIN 输入的周期时间	600		ns
tw(TAH)	TAiIN 输入的“H”电平脉宽	300		ns
tw(TAL)	TAiIN 输入的“L”电平脉宽	300		ns

表 23.34 定时器 A 输入 (单触发定时器模式的外部触发输入)

符号	项目	规格值		单位
		最小	最大	
tc(TA)	TAiIN 输入的周期时间	300		ns
tw(TAH)	TAiIN 输入的“H”电平脉宽	150		ns
tw(TAL)	TAiIN 输入的“L”电平脉宽	150		ns

表 23.35 定时器 A 输入 (脉宽调制模式的外部触发输入)

符号	项目	规格值		单位
		最小	最大	
tw(TAH)	TAiIN 输入的“H”电平脉宽	150		ns
tw(TAL)	TAiIN 输入的“L”电平脉宽	150		ns

表 23.36 定时器 A 输入 (事件计数器模式的递增 / 递减输入)

符号	项目	规格值		单位
		最小	最大	
tc(UP)	TAiOUT 输入的周期时间	3000		ns
tw(UPH)	TAiOUT 输入的“H”电平脉宽	1500		ns
tw(UPL)	TAiOUT 输入的“L”电平脉宽	1500		ns
tsu(UP-TIN)	TAiOUT 输入的准备时间	600		ns
th(TIN-UP)	TAiOUT 输入的保持时间	600		ns

VCC1=VCC2=3V

时序必要条件

(不指定时, VCC1=VCC2=3V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C)

表 23.37 定时器 A 输入 (事件计数器模式的二相脉冲输入)

符号	项目	规格值		单位
		最小	最大	
tc(TA)	TAiIN 输入的周期时间	2		μs
tsu(TAIN-TAOUT)	TAiOUT 输入的准备时间	500		ns
tsu(TAOUT-TAIN)	TAiIN 输入的准备时间	500		ns

表 23.38 定时器 B 输入 (事件计数器模式的计数输入)

符号	项目	规格值		单位
		最小	最大	
tc(TB)	TBiIN 输入的周期时间 (单边沿计数)	150		ns
tw(TBH)	TBiIN 输入的“H”电平脉宽 (单边沿计数)	60		ns
tw(TBL)	TBiIN 输入的“L”电平脉宽 (单边沿计数)	60		ns
tc(TB)	TBiIN 输入的周期时间 (双边沿计数)	300		ns
tw(TBH)	TBiIN 输入的“H”电平脉宽 (双边沿计数)	120		ns
tw(TBL)	TBiIN 输入的“L”电平脉宽 (双边沿计数)	120		ns

表 23.39 定时器 B 输入 (脉冲周期测量模式)

符号	项目	规格值		单位
		最小	最大	
tc(TB)	TBiIN 输入的周期时间	600		ns
tw(TBH)	TBiIN 输入的“H”电平脉宽	300		ns
tw(TBL)	TBiIN 输入的“L”电平脉宽	300		ns

表 23.40 定时器 B 输入 (脉宽测量模式)

符号	项目	规格值		单位
		最小	最大	
tc(TB)	TBiIN 输入的周期时间	600		ns
tw(TBH)	TBiIN 输入的“H”电平脉宽	300		ns
tw(TBL)	TBiIN 输入的“L”电平脉宽	300		ns

表 23.41 A/D 触发输入

符号	项目	规格值		单位
		最小	最大	
tc(AD)	ADTRG 输入的周期时间	1500		ns
tw(ADL)	ADTRG 输入的“L”电平脉宽	200		ns

VCC1=VCC2=3V

开关特性

(不指定时, VCC1=VCC2=3V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C)

表 23.42 串行接口

符号	项目	规格值		单位
		最小	最大	
tc(CK)	CLKi 输入周期时间	300		ns
tw(CKH)	CLKi 输入的“H”电平脉宽	150		ns
tw(CKL)	CLKi 输入的“L”电平脉宽	150		ns
td(C-Q)	TXDi 输出延迟时间		160	ns
th(C-Q)	TXDi 的保持时间	0		ns
tsu(D-C)	RXDi 输入的准备时间	100		ns
th(C-D)	RXDi 输入的保持时间	90		ns

表 23.43 外部中断 $\overline{\text{INTi}}$ 输入

符号	项目	规格值		单位
		最小	最大	
tw(INH)	$\overline{\text{INTi}}$ 输入的“H”电平脉宽	380		ns
tw(INL)	$\overline{\text{INTi}}$ 输入的“L”电平脉宽	380		ns

VCC1=VCC2=3V

开关特性
(不指定时, VCC1=VCC2=3V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C)

表 23.44 存储器扩展模式、微处理器模式 (设定无等待时)

符号	项目	测量条件	规格值		单位
			最小	最大	
td(BCLK-AD)	地址输出的延迟时间	图 23.12		30	ns
th(BCLK-AD)	地址输出的保持时间 (BCLK 基准)		4		ns
th(RD-AD)	地址输出的保持时间 (RD 基准)		0		ns
th(WR-AD)	地址输出的保持时间 (WR 基准)		(注 2)		ns
td(BCLK-CS)	片选输出的延迟时间			30	ns
th(BCLK-CS)	片选输出的保持时间 (BCLK 基准)		4		ns
td(BCLK-ALE)	ALE 信号输出的延迟时间			25	ns
th(BCLK-ALE)	ALE 信号输出的保持时间		-4		ns
td(BCLK-RD)	RD 信号输出的延迟时间			30	ns
th(BCLK-RD)	RD 信号输出的保持时间		0		ns
td(BCLK-WR)	WR 信号输出的延迟时间			30	ns
th(BCLK-WR)	WR 信号输出的保持时间		0		ns
td(BCLK-DB)	数据输出的延迟时间 (BCLK 基准)			40	ns
th(BCLK-DB)	数据输出的保持时间 (BCLK 基准) (注 3)		4		ns
td(DB-WR)	数据输出的延迟时间 (WR 基准)		(注 1)		ns
th(WR-DB)	数据输出的保持时间 (WR 基准) (注 3)		(注 2)		ns
td(BCLK-HLDA)	HLDA 输出的延迟时间			40	ns

注 1. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{ 不能超过 } 12.5\text{MHz}.$$

注 2. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注 3. 此规格值表示输出 OFF 的时序, 并不表示数据总线的保持时间。数据总线的保持时间因附加电容和上拉 (下拉) 电阻值而不同。

在右图的电路中, 数据总线的保持时间为

$$t = -CR \times \ln(1 - \text{VOL}/\text{VCC2})$$

例如, 假设 VOL=0.2VCC2、C=30pF、R=1KΩ, 输出 “L” 电平的保持时间就为

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2\text{VCC2}/\text{VCC2}) \\ = 6.7\text{ns}$$

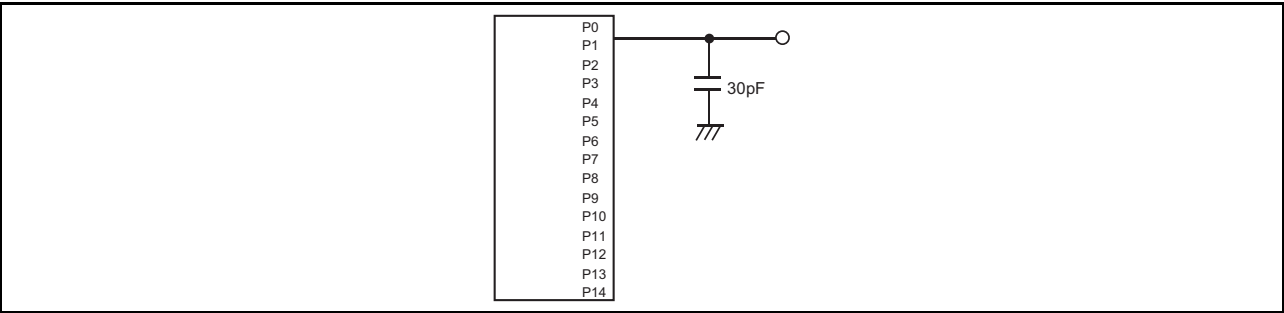
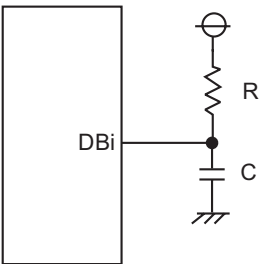


图 23.12 端口 P0 ~ P14 的测量电路

VCC1=VCC2=3V

开关特性

(不指定时, VCC1=VCC2=3V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C)

表 23.45 存储器扩展模式、微处理器模式 (设定 1 ~ 3 个等待并且存取外部区域时)

符号	项目	测量条件	规格值		单位
			最小	最大	
td(BCLK-AD)	地址输出的延迟时间	图 23.12		30	ns
th(BCLK-AD)	地址输出的保持时间 (BCLK 基准)		4		ns
th(RD-AD)	地址输出的保持时间 (RD 基准)		0		ns
th(WR-AD)	地址输出的保持时间 (WR 基准)		(注 2)		ns
td(BCLK-CS)	片选输出的延迟时间			30	ns
th(BCLK-CS)	片选输出的保持时间 (BCLK 基准)		4		ns
td(BCLK-ALE)	ALE 信号输出的延迟时间			25	ns
th(BCLK-ALE)	ALE 信号输出的保持时间		-4		ns
td(BCLK-RD)	RD 信号输出的延迟时间			30	ns
th(BCLK-RD)	RD 信号输出的保持时间		0		ns
td(BCLK-WR)	WR 信号输出的延迟时间			30	ns
th(BCLK-WR)	WR 信号输出的保持时间		0		ns
td(BCLK-DB)	数据输出的延迟时间 (BCLK 基准)			40	ns
th(BCLK-DB)	数据输出的保持时间 (BCLK 基准) (注 3)		4		ns
td(DB-WR)	数据输出的延迟时间 (WR 基准)		(注 1)		ns
th(WR-DB)	数据输出的保持时间 (WR 基准) (注 3)		(注 2)		ns
td(BCLK-HLDA)	HLDA 输出的延迟时间			40	ns

注 1. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

n 在设定 1 个等待时为 “1”, 在设定 2 个等待时为 “2”, 在设定 3 个等待时为 “3”。
当 n=1 时, f(BCLK) 不能超过 12.5MHz。

注 2. 根据 BCLK 频率, 用以下计算式计算。

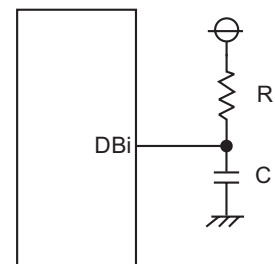
$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注 3. 此规格值表示输出 OFF 的时序, 并不表示数据总线的保持时间。数据总线的保持时间因附加电容和上拉 (下拉) 电阻值而不同。

在右图的电路中, 数据总线的保持时间为

$$t = -CR \times \ln(1 - \text{VOL}/\text{VCC2})$$

例如, 假设 VOL=0.2VCC2、C=30pF、R=1kΩ, 输出 “L” 电平的保持时间就为
 $t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2\text{VCC2}/\text{VCC2})$
 =6.7ns



VCC1=VCC2=3V

开关特性

(不指定时, VCC1=VCC2=3V、VSS=0V、Topr=-20 ~ 85°C/-40 ~ 85°C)

表 23.46 存储器扩展模式、微处理器模式 (设定 2 ~ 3 个等待、存取外部区域并且选择多路复用总线时)

符号	项目	测量条件	规格值		单位
			最小	最大	
td(BCLK-AD)	地址输出的延迟时间	图 23.12		50	ns
th(BCLK-AD)	地址输出的保持时间 (BCLK 基准)		4		ns
th(RD-AD)	地址输出的保持时间 (RD 基准)		(注 1)		ns
th(WR-AD)	地址输出的保持时间 (WR 基准)		(注 1)		ns
td(BCLK-CS)	片选输出的延迟时间			50	ns
th(BCLK-CS)	片选输出的保持时间 (BCLK 基准)		4		ns
th(RD-CS)	片选输出的保持时间 (RD 基准)		(注 1)		ns
th(WR-CS)	片选输出的保持时间 (WR 基准)		(注 1)		ns
td(BCLK-RD)	RD 信号输出的延迟时间			40	ns
th(BCLK-RD)	RD 信号输出的保持时间		0		ns
td(BCLK-WR)	WR 信号输出的延迟时间			40	ns
th(BCLK-WR)	WR 信号输出的保持时间		0		ns
td(BCLK-DB)	数据输出的延迟时间 (BCLK 基准)			50	ns
th(BCLK-DB)	数据输出的保持时间 (BCLK 基准)		4		ns
td(DB-WR)	数据输出的延迟时间 (WR 基准)		(注 2)		ns
th(WR-DB)	数据输出的保持时间 (WR 基准)		(注 1)		ns
td(BCLK-HLDA)	HLDA 输出的延迟时间			40	ns
td(BCLK-ALE)	ALE 输出的延迟时间 (BCLK 基准)			25	ns
th(BCLK-ALE)	ALE 输出的保持时间 (BCLK 基准)		-4		ns
td(AD-ALE)	ALE 输出的延迟时间 (地址基准)		(注 3)		ns
th(ALE-AD)	ALE 输出的保持时间 (地址基准)		(注 4)		ns
td(AD-RD)	地址后的 RD 信号输出的延迟时间		0		ns
td(AD-WR)	地址后的 WR 信号输出的延迟时间		0		ns
tdZ(RD-AD)	地址输出的浮动开始时间			8	ns

注 1. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注 2. 根据 BCLK 频率, 用以下计算式计算。

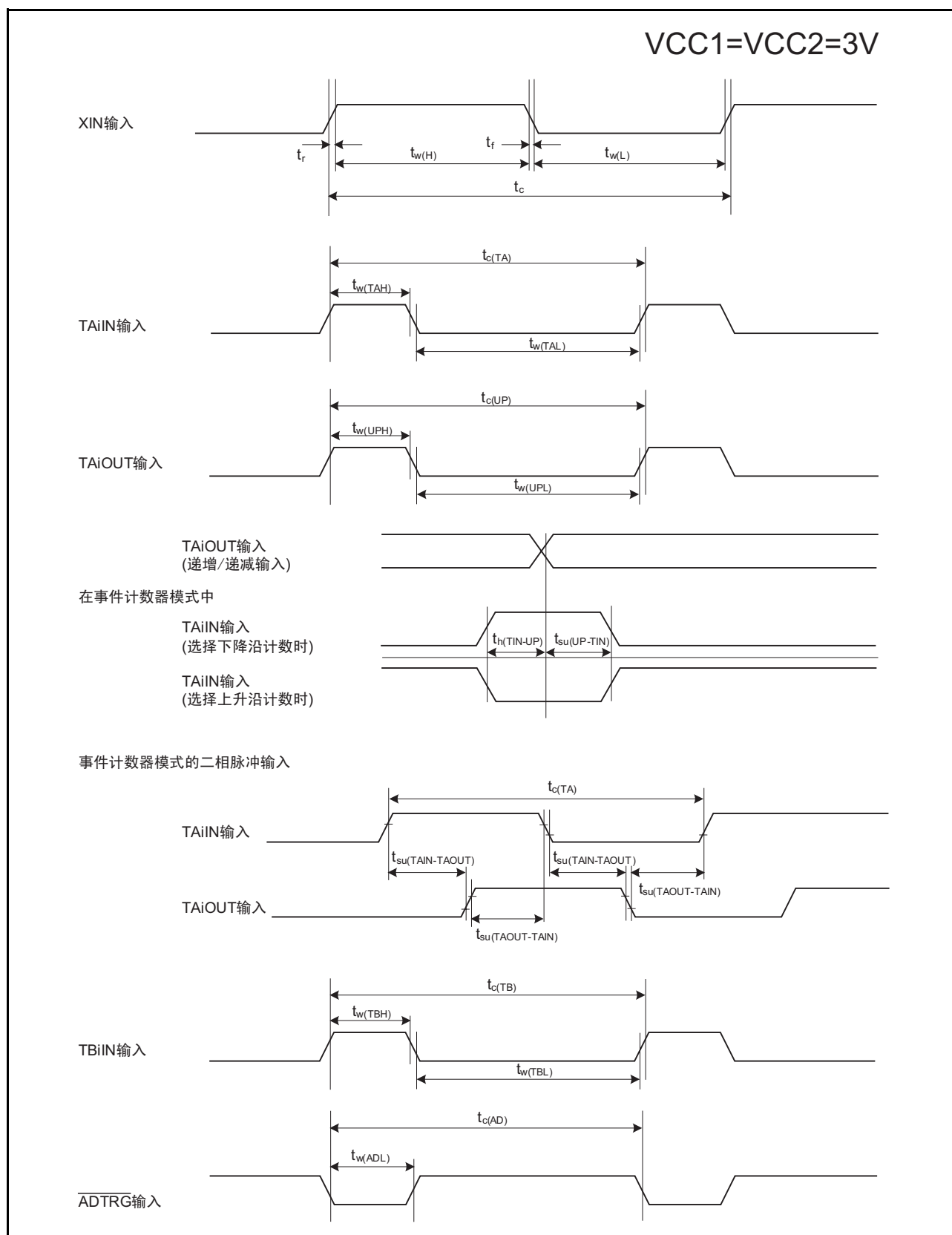
$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 50[\text{ns}] \quad n \text{ 在设定 2 个等待时为 "2", 在设定 3 个等待时为 "3"}.$$

注 3. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

注 4. 根据 BCLK 频率, 用以下计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15[\text{ns}]$$



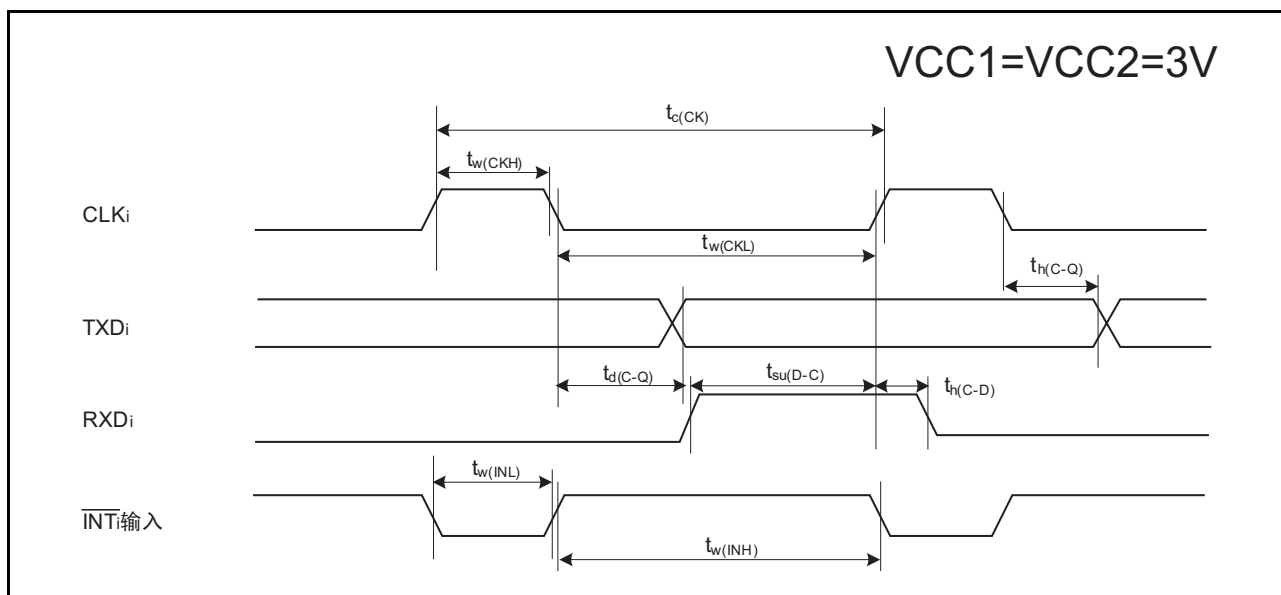


图 23.14 时序图 (2)

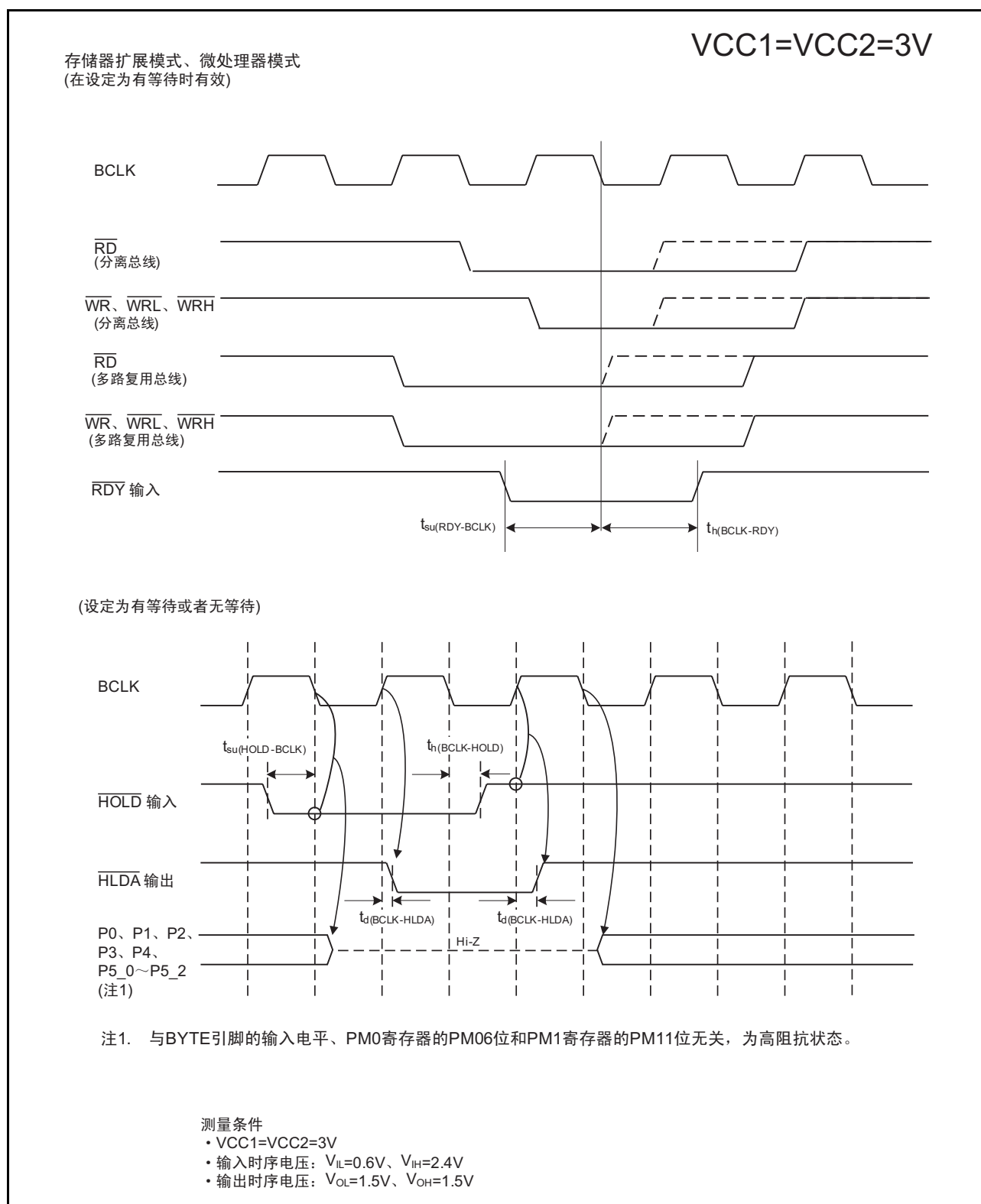


图 23.15 时序图 (3)

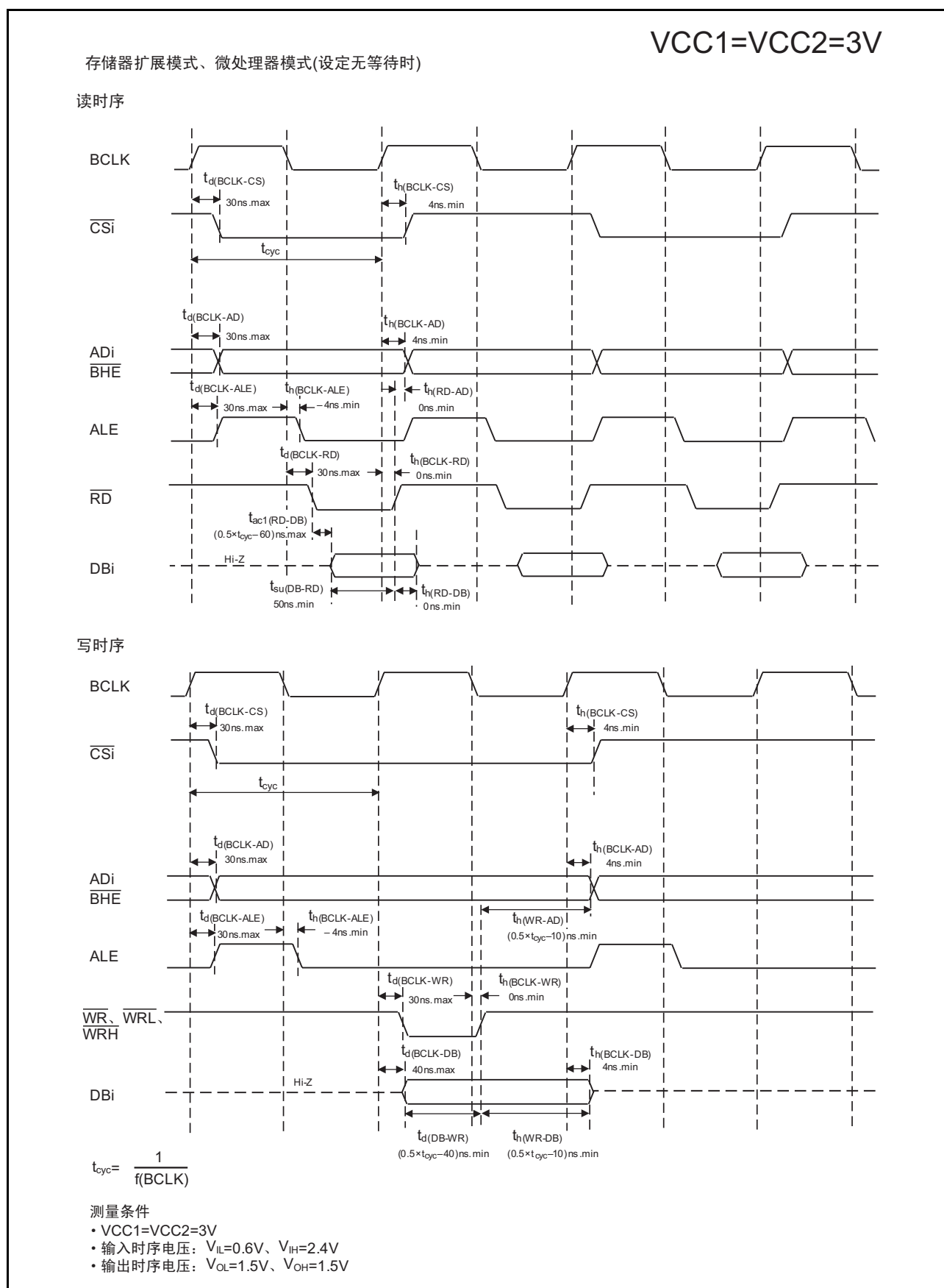


图 23.16 时序图 (4)

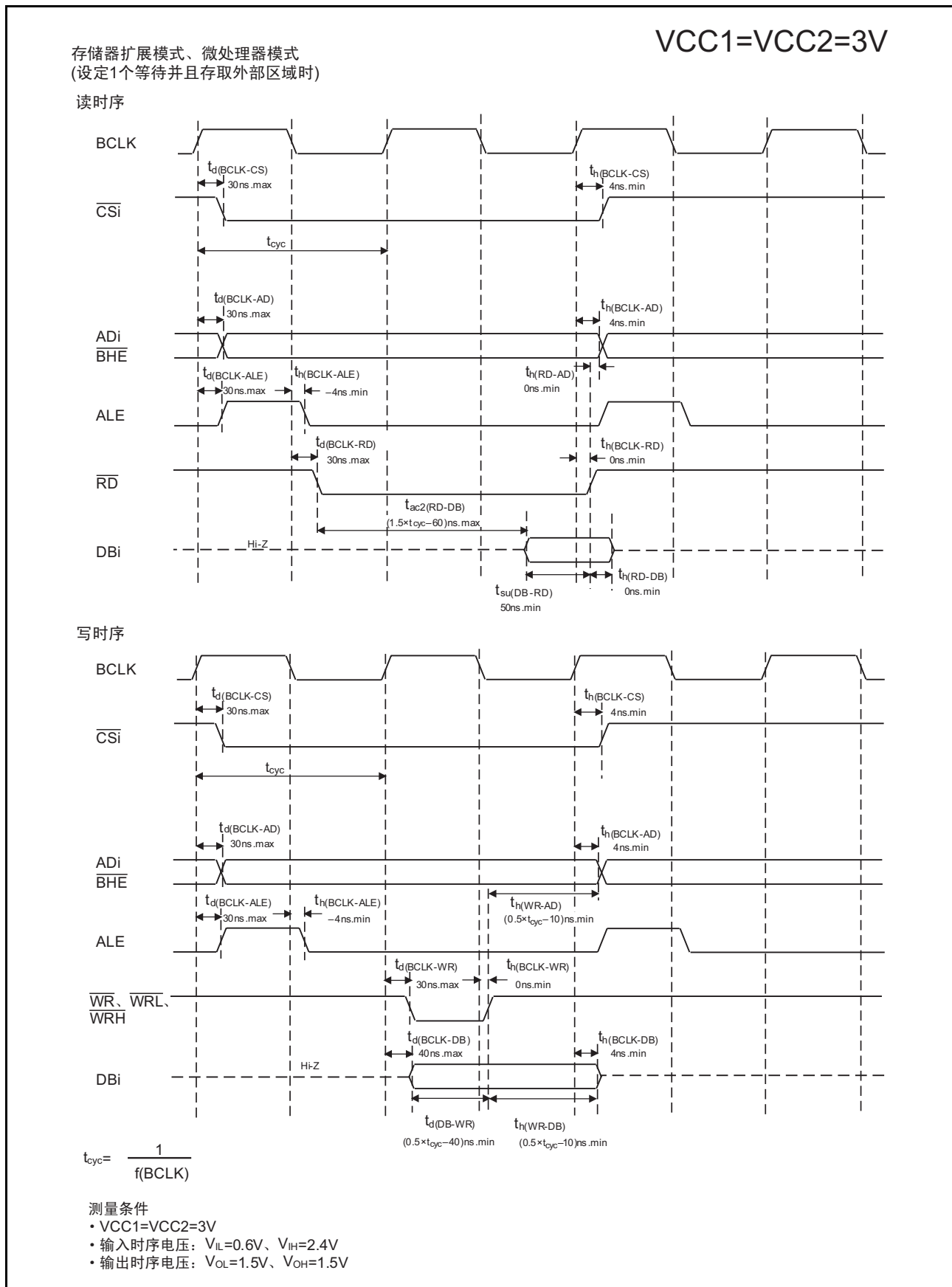
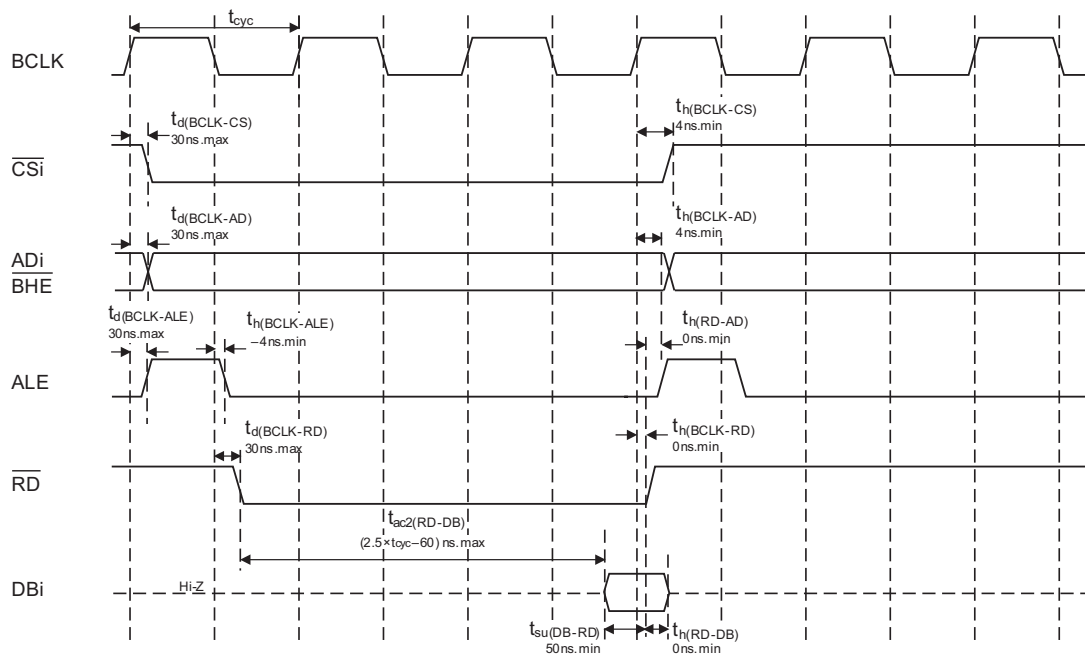


图 23.17 时序图 (5)

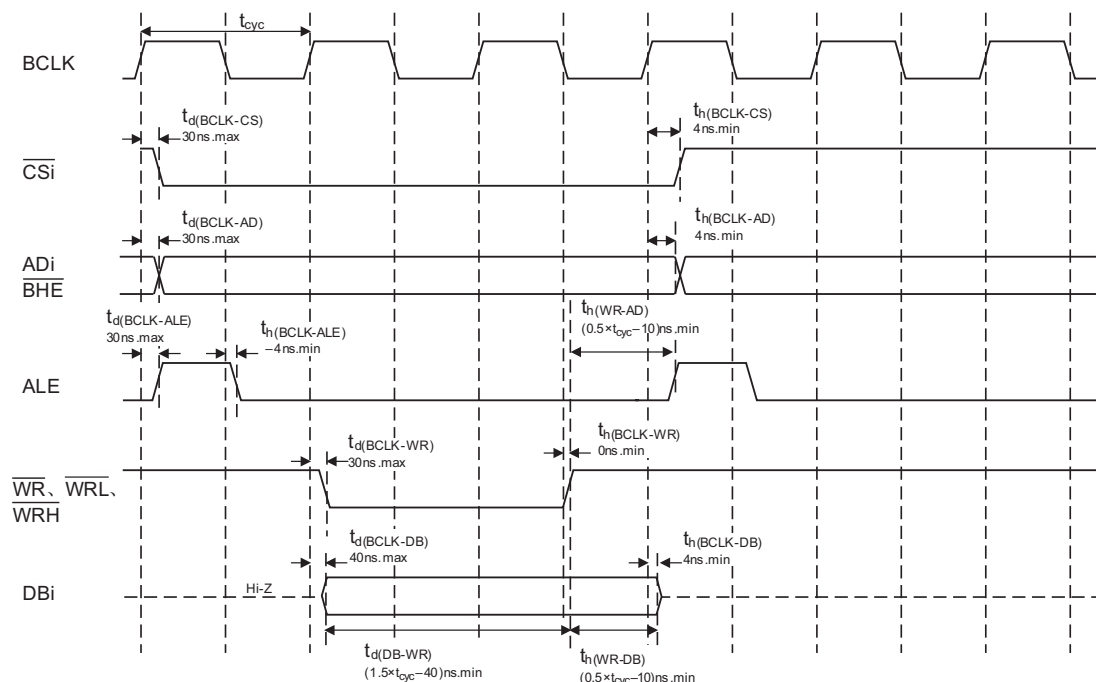
存储器扩展模式、微处理器模式
(设定2个等待并且存取外部区域时)

VCC1=VCC2=3V

读时序



写时序



$$t_{cyc} = \frac{1}{f(BCLK)}$$

测量条件

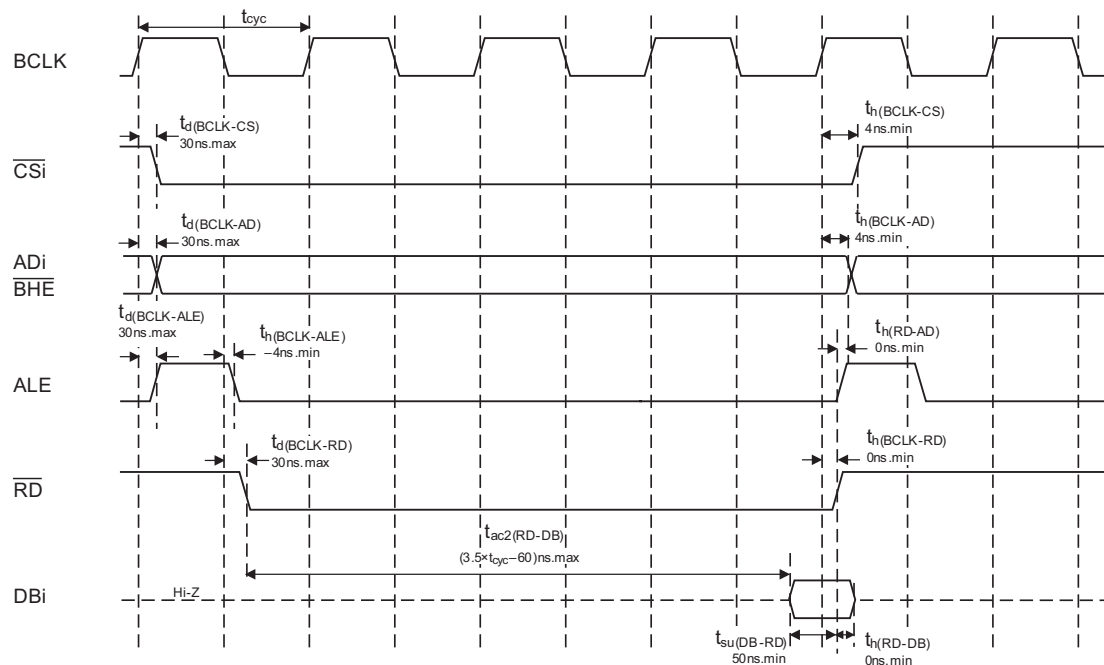
- VCC1=VCC2=3V
- 输入时序电压: $V_{IL}=0.6V$, $V_{IH}=2.4V$
- 输出时序电压: $V_{OL}=1.5V$, $V_{OH}=1.5V$

图 23.18 时序图 (6)

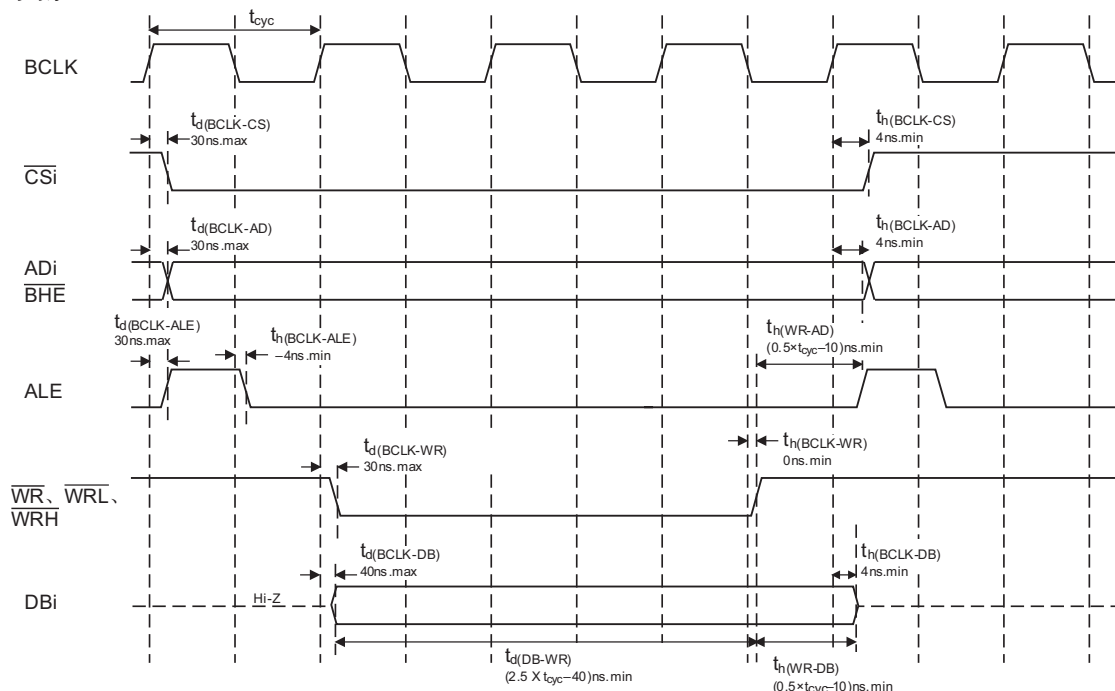
存储器扩展模式、微处理器模式
(设定3个等待并且存取外部区域时)

VCC1=VCC2=3V

读时序



写时序



$$t_{cyc} = \frac{1}{f(BCLK)}$$

测量条件

- VCC1=VCC2=3V
- 输入时序电压: $V_{IL}=0.6V$, $V_{IH}=2.4V$
- 输出时序电压: $V_{OL}=1.5V$, $V_{OH}=1.5V$

图 23.19 时序图 (7)

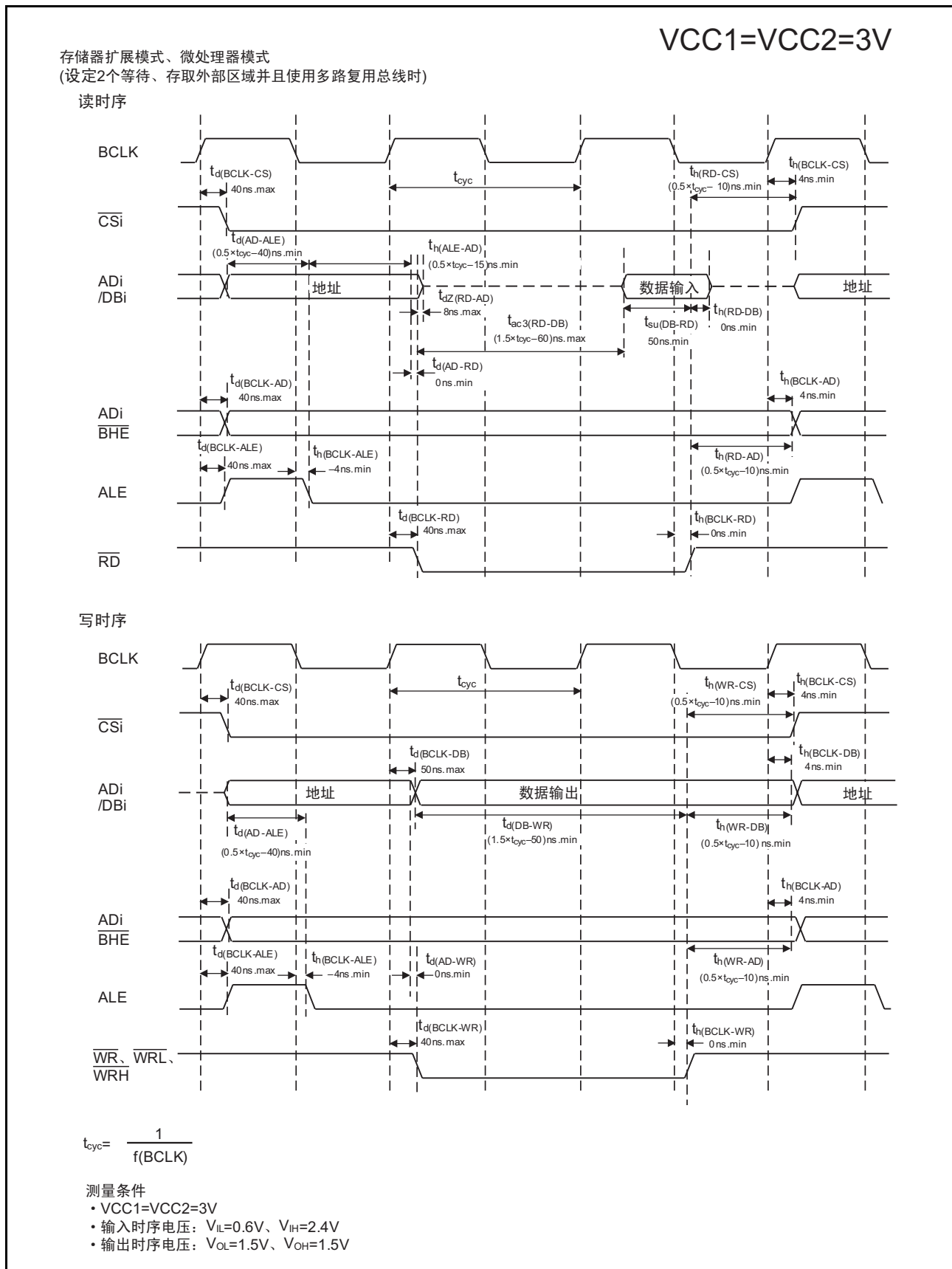


图 23.20 时序图 (8)

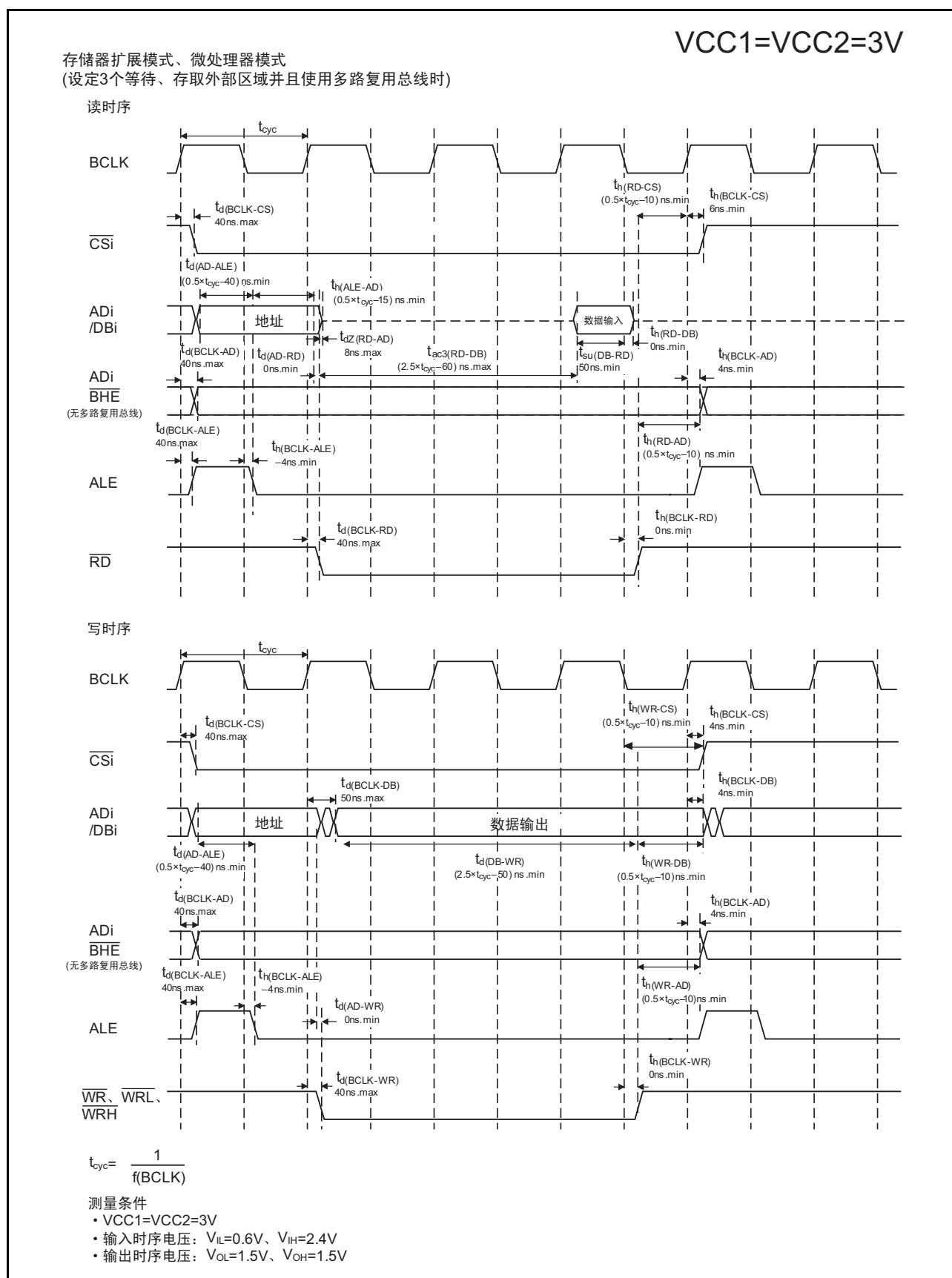


图 23.21 时序图 (9)

24. 使用时的注意事项

24.1 SFR

24.1.1 设定寄存器时的注意事项

含有只写位的寄存器如表 24.1 所示。必须给这些寄存器设定立即数。在处理上一次的值后决定下一次的值时，也必须预先将要写到寄存器的值写到 RAM，然后在更改 RAM 的内容后将下一次的值传送到寄存器。

表 24.1 含有只写位的寄存器

寄存器名	符号	地址
看门狗定时器的复位寄存器	WDTR	037Dh
看门狗定时器的启动寄存器	WDTS	037Eh
定时器 A1-1 寄存器	TA11	0303h ~ 0302h
定时器 A2-1 寄存器	TA21	0305h ~ 0304h
定时器 A4-1 寄存器	TA41	0307h ~ 0306h
死区时间定时器	DTT	030Ch
定时器 B2 的中断发生频率设定计数器	ICTB2	030Dh
SI/O3 位速率寄存器	S3BRG	0273h
SI/O4 位速率寄存器	S4BRG	0277h
UART0 位速率寄存器	U0BRG	0249h
UART1 位速率寄存器	U1BRG	0259h
UART2 位速率寄存器	U2BRG	0269h
UART5 位速率寄存器	U5BRG	0289h
UART6 位速率寄存器	U6BRG	0299h
UART7 位速率寄存器	U7BRG	02A9h
UART0 发送缓冲寄存器	U0TB	024Bh ~ 024Ah
UART1 发送缓冲寄存器	U1TB	025Bh ~ 025Ah
UART2 发送缓冲寄存器	U2TB	026Bh ~ 026Ah
UART5 发送缓冲寄存器	U5TB	028Bh ~ 028Ah
UART6 发送缓冲寄存器	U6TB	029Bh ~ 029Ah
UART7 发送缓冲寄存器	U7TB	02ABh ~ 02AAh
定时器 A0 寄存器	TA0	0327h ~ 0326h
定时器 A1 寄存器	TA1	0329h ~ 0328h
定时器 A2 寄存器	TA2	032Bh ~ 032Ah
定时器 A3 寄存器	TA3	032Dh ~ 032Ch
定时器 A4 寄存器	TA4	032Fh ~ 032Eh

24.2 复位

24.2.1 VCC1

在接通电源时，VCC1 引脚的输入电压必须符合 SV_{CC} 的规格。

符号	项目	规格值			单位
		最小	典型	最大	
SV_{CC}	电源上升斜率 (VCC1) (电压范围 0V ~ 2.0V)	0.05			V/ms

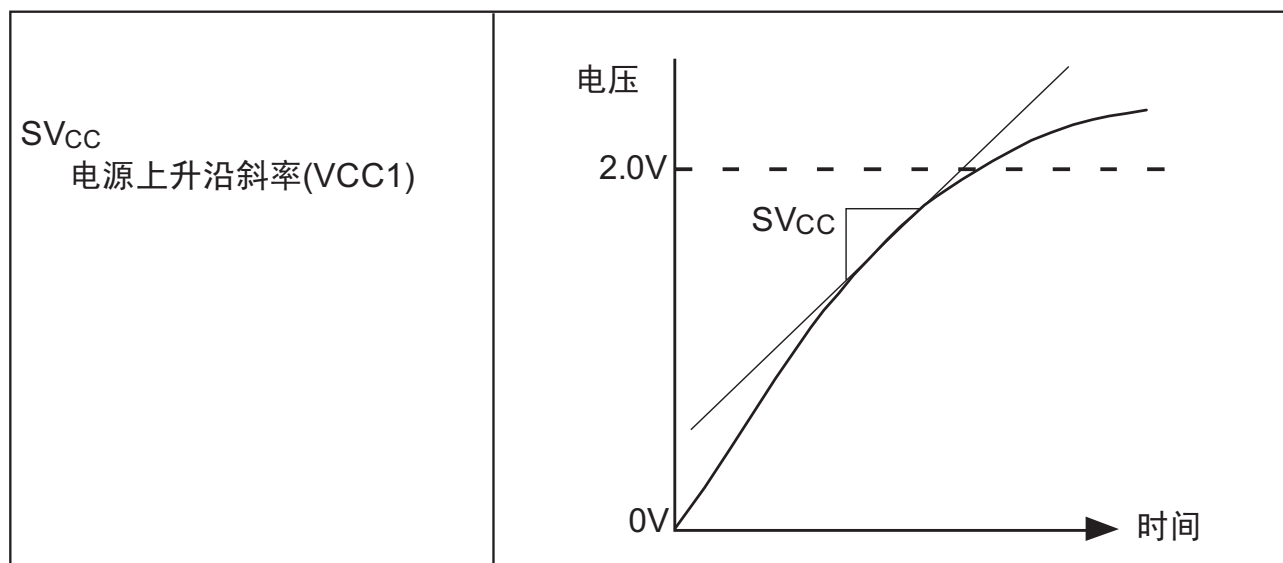


图 24.1 SV_{CC} 时序图

24.2.2 CNVSS

- 复位后，在单芯片模式中开始运行时，CNVSS 引脚必须经过电阻连接 VSS。因为在单芯片模式中解除硬件复位 1 或者硬件复位 2 后，CNVSS 引脚的内部上拉立即变为 ON 状态，所以在最多 2 个 fOCO-S 周期之间 CNVSS 引脚为 “H” 电平。

24.3 外部总线

- 如果给 CNVSS 引脚输入 “H” 电平进行硬件复位（硬件复位 1 或者硬件复位 2），就不能读取内部 ROM。

24.4 使用 PLL 频率合成器时

在使用 PLL 频率合成器时，必须使电源电压稳定以符合电源纹波的规格。

符号	项目	规格值			单位
		最小	典型	最大	
f_{ripple}	电源纹波允许频率 (VCC1)			10	kHz
$V_{\text{p-p(ripple)}}$	电源纹波允许振幅电压	(VCC1=5V)		0.5	V
		(VCC1=3V)		0.3	V
$V_{\text{CC}}(\Delta V /\Delta T)$	电源纹波上升 / 下降斜率	(VCC1=5V)		0.3	V/ms
		(VCC1=3V)		0.3	V/ms

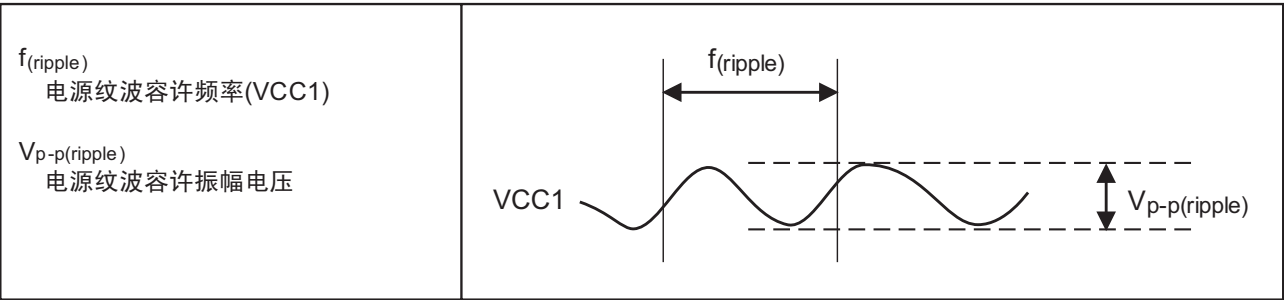


图 24.2 电源变动时序图

24.5 功率控制

- 在通过硬件复位1从停止模式返回时，必须在主时钟的振荡充分稳定前，给RESET引脚输入“L”电平。
- 在使用定时器A从停止模式的返回时，必须将TAiMR寄存器（i=0~4）的MR0位置“0”（无脉冲输出）。
- 必须在WAIT指令之后至少插入4条NOP指令。在转移到等待模式时，因为指令队列在预读WAIT指令的下一条指令后停止程序，所以根据指令的组合和执行时序，有可能在进入等待模式前执行下一条指令。

转移到等待模式时的程序例子如下所示：

例：

```
FSET    I    ;  
WAIT    ;转移到等待模式  
NOP     ;至少插入4条NOP指令  
NOP  
NOP  
NOP
```

- 在转移到停止模式时，必须在将CM1寄存器的CM10位置“1”的指令之后紧接着插入JMP.B指令，然后至少插入4条NOP指令。在转移到停止模式时，因为指令队列需要预读将CM10位置“1”（全部时钟停止）的指令后面的指令，所以有可能在进入停止模式前或者在从停止模式返回的中断程序前，先执行预读的指令。

转移到停止模式时的程序例子如下所示：

```
例：      FSET      I
          BSET      0,CM1 ;转移到停止模式
          JMP.B     L2    ;插入JMP.B指令

          L2:
          NOP                ;至少插入4条NOP指令
          NOP
          NOP
          NOP
```

- 在停止模式中，CLKOUT引脚输出“H”电平。如果在CLKOUT引脚的输出从“H”电平变为“L”电平后立即进入停止模式，“L”电平的宽度就会变窄。



- 将CPU时钟的时钟源转换为主时钟时，必须在等待主时钟振荡稳定时间后进行转换。
- 将CPU时钟的时钟源转换为副时钟时，必须在副时钟的振荡稳定后进行转换。
- 将外部生成的时钟输入到XIN引脚并且将CPU时钟源设定为主时钟时，不能停止外部生成的时钟。
- 降低功耗的要点

降低功耗的要点如下所示，请在设计系统和编程时参考。

【端口】

即使转移到等待模式或者停止模式也保持输入/输出端口的状态。处于激活状态的输出端口有电流流过，处于高阻抗状态的输入端口有穿透电流流过。必须先将不需要的端口设定为输入端口并固定为稳定的电位，然后转移到等待模式或者停止模式。

【A/D转换器】

在不进行A/D转换时，必须将ADCON1寄存器的ADSTBY位置“0”（停止A/D运行）；在进行A/D转换时，必须将ADSTBY位置“1”（能进行A/D运行）并且至少经过1个 ϕ_{AD} 周期，然后开始A/D转换。

【D/A转换器】

在不进行D/A转换时，必须将DACON寄存器的DAiE位（ $i=0\sim 1$ ）置“0”（禁止输出）并将DAi寄存器置“00h”。

【外围功能的停止】

必须在等待模式中通过CM0寄存器的CM02位停止不必要的外围功能。

【振荡驱动能力的转换】

在振荡稳定时，必须将驱动能力置为“LOW”。

24.6 保护

如果在将PRC2位置“1”（写允许状态）后写任意的SFR，PRC2位就变为“0”（写禁止状态）。必须通过将PRC2位置“1”后的下一条指令更改由PRC2位保护的寄存器。在将PRC2位置“1”的指令和下一条指令之间，不能发生中断和DMA传送。

24.7 中断

24.7.1 地址 00000h 的读取

不能通过程序读地址 00000h。如果接受可屏蔽中断的中断请求，CPU 就在中断响应顺序中从地址 00000h 读取中断信息（中断序号和中断请求优先级）。此时，接受中断的 IR 位变为“0”。

如果通过程序读地址 00000h，在允许的中断中优先级最高的中断的 IR 位就变为“0”。因此，有可能中断被取消或者发生预料之外的中断请求。

24.7.2 SP 的设定

必须在接受中断前给 SP（USP、ISP）设定值。复位后，SP（USP、ISP）为“0000h”。因此，如果在给 SP（USP、ISP）设定值前接受中断，就会导致系统失控。

尤其在使用 $\overline{\text{NMI}}$ 中断时，必须在程序的开头给 ISP 设定值。只有复位后的第一条指令，才禁止了包括 $\overline{\text{NMI}}$ 中断在内的全部中断。

24.7.3 $\overline{\text{NMI}}$ 中断

- 不能禁止 $\overline{\text{NMI}}$ 中断。在不使用 $\overline{\text{NMI}}$ 中断时，必须将 PM2 寄存器的 PM24 位置“0”（端口 P8_5 功能）。
- 在给 $\overline{\text{NMI}}$ 引脚输入“L”电平时，不能转移到停止模式，并且 CM1 寄存器的 CM10 位被固定为“0”。
- 在给 $\overline{\text{NMI}}$ 引脚输入“L”电平时，不能转移到等待模式。此时，虽然 CPU 停止运行，但是 CPU 时钟不停止运行，所以消耗电流不会减少。在这种情况下，能通过以后的中断正常地返回。
- 必须将 $\overline{\text{NMI}}$ 引脚输入信号的“L”电平宽度和“H”电平宽度至少设定为 2 个 CPU 时钟周期 + 300ns。

24.7.4 中断源的变更

如果更改中断源，中断控制寄存器的 IR 位就有可能变为“1”（有中断请求）。在使用中断时，必须在更改中断请求源后将 IR 位置“0”（无中断请求）。

这里所说的中断源的变更是指包括要替换被分配了各软件中断序号的中断源、极性和时序在内的全部要素的变更。因此，如果外围功能的模式变更等与中断源、极性和时序有关，就必须在更改这些内容后将 IR 位置“0”（无中断请求）。外围功能的中断请参照各外围功能。

中断源的变更步骤例子如图 24.3 所示。

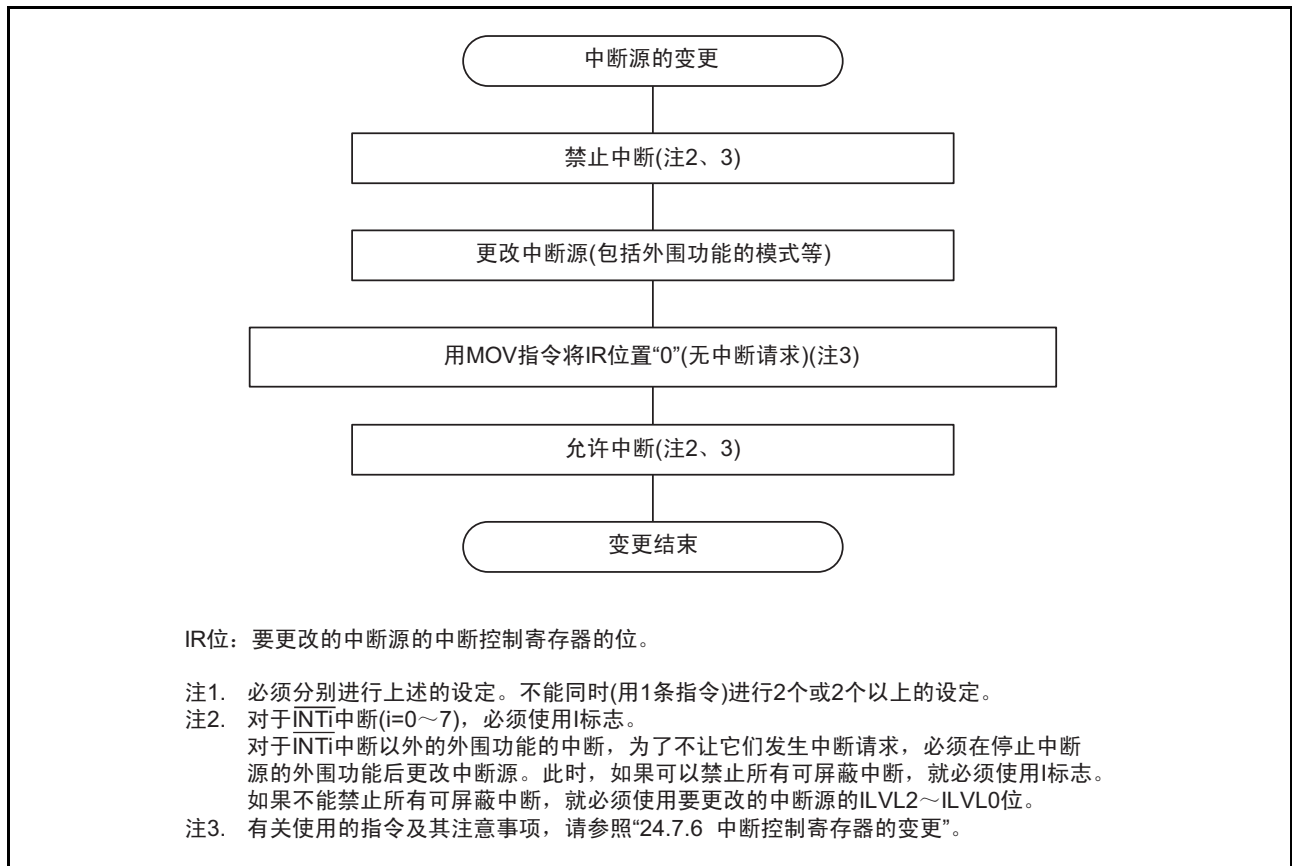


图 24.3 中断源的变更步骤例子

24.7.5 INT 中断

- 与CPU时钟无关， $\overline{\text{INT0}} \sim \overline{\text{INT7}}$ 引脚的输入信号至少需要 $t_w(\text{INL})$ 的“L”电平宽度或者 $t_w(\text{INH})$ 的“H”电平宽度。
- 如果更改INT0IC~INT7IC寄存器的POL位、IFSR寄存器的IFSR7~IFSR0位和IFSR3A寄存器的IFSR31~IFSR30位，IR位就有可能变为“1”（有中断请求）。必须在更改这些位后将IR位置“0”（无中断请求）。

24.7.6 中断控制寄存器的变更

1. 必须在不发生与该寄存器对应的中断请求的位置更改中断控制寄存器。如果有可能发生中断请求，就必须在禁止中断后更改中断控制寄存器。
2. 在禁止中断后更改中断控制寄存器时，必须注意所使用的指令。
 - 非IR位的变更
如果在执行指令时发生与该寄存器对应的中断请求，IR位就有可能不变为“1”（有中断请求）而忽略中断。如果会引起问题，必须使用以下指令更改寄存器。
对象指令：AND、OR、BCLR、BSET
 - IR位的变更
在将IR位置“0”（无中断请求）时，根据所使用的指令，IR位有可能不变为“0”。必须使用MOV指令将IR位置“0”。
3. 在使用I标志禁止中断时，必须按照以下的参考程序例子来设定I标志（参考程序例子的中断控制寄存器的变更请参照2.）。

例1～例3是防止因受内部总线和指令队列缓冲器的影响而在更改中断控制寄存器前I标志变为“1”（允许中断）的方法。

例1：用NOP指令等待中断控制寄存器被变更的例子

```
INT_SWITCH1:
    FCLR    I                ; 禁止中断
    AND.B   #00H, 0055H     ; 将 TA0IC 寄存器置 “00h”
    NOP
    NOP
    FSET    I                ; 允许中断
```

NOP指令数如下：

PM20=1（1个等待）时为2条，PM20=0（2个等待）时为3条，使用HOLD时为4条。

例2：用虚读让FSET指令等待的例子

```
INT_SWITCH2:
    FCLR    I                ; 禁止中断
    AND.B   #00H, 0055H     ; 将 TA0IC 寄存器置 “00h”
    MOV.W   MEM, R0         ; 虚读
    FSET    I                ; 允许中断
```

例3：用POPC指令更改I标志的例子

```
INT_SWITCH3:
    PUSHC   FLG
    FCLR    I                ; 禁止中断
    AND.B   #00H, 0055H     ; 将 TA0IC 寄存器置 “00h”
    POPC    FLG             ; 允许中断
```

24.7.7 看门狗定时器的中断

在发生看门狗定时器的中断后，必须对看门狗定时器进行初始化。

24.8 DMAC

24.8.1 DMiCON 寄存器的 DMAE 位的写 (i=0 ~ 3)

在 1. 所示的条件下，必须按照 2. 所示的步骤进行写操作。

1. 条件

- 当DMAE位为“1”（DMAi为激活状态）时，重新给DMAE位写“1”。
- 在写DMAE位的同时，有可能发生DMA请求。

2. 步骤

- a. 同时给DMiCON寄存器的DMAE位和DMAS位写“1”（注1）。
- b. 通过程序确认DMAi是否为初始状态（注2）。

如果DMAi不为初始状态，就重复执行a.和b.。

注 1. 即使写“1”，DMAS位也不变。如果写“0”，DMAS位就变为“0”（无DMA请求）。因此，为了给DMAE位写“1”，如果在写DMiCON寄存器时预先将要写到DMAS的值置“1”，DMAS就能保持写之前的状态。
在使用读/修改/写指令写DMAE位时，如果预先将要写到DMAS的值置“1”，就能保持指令执行时发生的DMA请求。

注 2. 必须通过TCRi寄存器的值进行确认。

读TCRi寄存器，如果能读到DMA传送开始前的TCRi寄存器的写入值（如果在写DMAE位后发生DMA请求，就为“TCRi寄存器的写入值-1”），就能判断DMAi为初始状态；如果读到的是传送中途的值，就能判断DMAi不为初始状态。

24.9 定时器

24.9.1 定时器 A

24.9.1.1 定时器 A（定时器模式）

复位后，定时器停止运行。通过 $TAiMR$ ($i=0 \sim 4$) 寄存器、 TAi 寄存器、 $TACS0 \sim TACS2$ 寄存器和 $TAPOFS$ 寄存器，在设定模式、计数源和计数器的值后，必须将 $TABSR$ 寄存器的 $TAiS$ 位置“1”（开始计数）。

与是否在复位后无关，必须在 $TAiS$ 位为“0”（停止计数）的状态下更改 $TAiMR$ 寄存器、 $TACS0 \sim TACS2$ 寄存器和 $TAPOFS$ 寄存器。

通过读 TAi 寄存器，能在任意的时序读取计数中的计数器值。如果在重新加载时读 TAi 寄存器，就能读到“FFFFh”；在停止计数时，如果在给 TAi 寄存器设定值后到计数器开始计数前的期间读 TAi 寄存器，就能读到设定值。

当 $TB2SC$ 寄存器的 $IVPCR1$ 位为“1”（允许通过 $\overline{SD}$ 引脚输入进行三相输出的强制切断）时，如果给 $\overline{SD}$ 引脚输入“L”电平， $TA1OUT$ 、 $TA2OUT$ 和 $TA4OUT$ 引脚就变为高阻抗状态。

24.9.1.2 定时器 A（事件计数器模式）

复位后，定时器停止运行。通过 $TAiMR$ ($i=0 \sim 4$) 寄存器、 TAi 寄存器、 UDF 寄存器、 $ONSF$ 寄存器的 $TAZIE$ 位、 $TA0TGL$ 位、 $TA0TGH$ 位、 $TRGSR$ 寄存器和 $TAPOFS$ 寄存器，在设定模式、计数源和计数器的值后，必须将 $TABSR$ 寄存器的 $TAiS$ 位置“1”（开始计数）。

与是否在复位后无关，必须在 $TAiS$ 位为“0”（停止计数）的状态下更改 $TAiMR$ 寄存器、 UDF 寄存器、 $ONSF$ 寄存器的 $TAZIE$ 位、 $TA0TGL$ 位、 $TA0TGH$ 位、 $TRGSR$ 寄存器和 $TAPOFS$ 寄存器。

通过读 TAi 寄存器，能在任意的时序读取计数中的计数器值。如果在重新加载时读 TAi 寄存器，就能在下溢时读到“FFFFh”或者在上溢时读到“0000h”；在停止计数时，如果在给 TAi 寄存器设定值后到计数器开始计数前的期间读 TAi 寄存器，就能读到设定值。

当 $TB2SC$ 寄存器的 $IVPCR1$ 位为“1”（允许通过 $\overline{SD}$ 引脚输入进行三相输出的强制切断）时，如果给 $\overline{SD}$ 引脚输入“L”电平， $TA1OUT$ 、 $TA2OUT$ 和 $TA4OUT$ 引脚就变为高阻抗状态。

24.9.1.3 定时器 A（单触发定时器模式）

复位后，定时器停止运行。通过 $TAiMR$ ($i=0 \sim 4$) 寄存器、 TAi 寄存器、 $ONSF$ 寄存器的 $TA0TGL$ 位、 $TA0TGH$ 位、 $TRGSR$ 寄存器、 $TACS0 \sim TACS2$ 寄存器和 $TAPOFS$ 寄存器，在设定模式、计数源和计数器的值后，必须将 $TABSR$ 寄存器的 $TAiS$ 位置“1”（开始计数）。

与是否在复位后无关，必须在 $TAiS$ 位为“0”（停止计数）的状态下更改 $TAiMR$ 寄存器、 $ONSF$ 寄存器的 $TA0TGL$ 位、 $TA0TGH$ 位、 $TRGSR$ 寄存器、 $TACS0 \sim TACS2$ 寄存器和 $TAPOFS$ 寄存器。

如果在计数时将 $TAiS$ 位置“0”（停止计数），就进行以下的操作：

- 计数器停止计数，重新加载重加载寄存器的内容。
- $TAiOUT$ 引脚在 $TAPOFS$ 寄存器的 $POFSi$ 位为“0”时输出“L”电平，为“1”时输出“H”电平。
- 在1个CPU时钟周期后， $TAiIC$ 寄存器的 IR 位变为“1”（有中断请求）。

因为单触发定时器的输出与内部生成的计数源同步，所以当选择了外部触发时，就在从 $TAiIN$ 引脚的触发输入到单触发定时器的输出前，会产生最长 1.5 个计数源周期的延迟。

在以下任意一种情况下设定定时器的运行模式时， IR 位变为“1”。

- 在复位后选择单触发定时器模式时
- 将运行模式从定时器模式更改为单触发定时器模式时
- 将运行模式从事件计数器模式更改为单触发定时器模式时

因此，在使用定时器 Ai 中断（ IR 位）时，必须在进行上述的设定后将 IR 位置“0”。

如果在计数时发生触发，计数器就在发生再触发后进行 1 次递减计数，然后将重加载寄存器的内容进行重新加载，继续计数。如果要在计数时产生触发，就必须在从上次触发开始至少经过 1 个定时器计数源周期后产

生再触发。

当 TB2SC 寄存器的 IVPCR1 位为 “1”（允许通过 $\overline{SD}$ 引脚输入进行三相输出的强制切断）时，如果给 $\overline{SD}$ 引脚输入 “L” 电平，TA1OUT、TA2OUT 和 TA4OUT 引脚就变为高阻抗状态。

24.9.1.4 定时器 A（脉宽调制模式）

复位后，定时器停止运行。通过 TAI_iMR（i=0～4）寄存器、TA_i 寄存器、ONSF 寄存器的 TA0TGL 位、TA0TGH 位、TRGSR 寄存器、TACS0～TACS2 寄存器和 TAPOFS 寄存器，在设定模式、计数源和计数器的值后，必须将 TABSR 寄存器的 TA_iS 位置 “1”（开始计数）。

与是否在复位后无关，必须在 TA_iS 位为 “0”（停止计数）的状态下更改 TAI_iMR 寄存器、ONSF 寄存器的 TA0TGL 位、TA0TGH 位、TRGSR 寄存器、TACS0～TACS2 寄存器和 TAPOFS 寄存器。

在以下任意一种情况下设定定时器的运行模式时，IR 位变为 “1”。

- 在复位后选择 PWM 模式时
- 将运行模式从定时器模式更改为 PWM 模式时
- 将运行模式从事件计数器模式更改为 PWM 模式时

因此，在使用定时器 A_i 中断（IR 位）时，必须在进行上述的设定后通过程序将 IR 位置 “0”。

如果在输出 PWM 脉冲时将 TA_iS 位置 “0”（停止计数），就进行以下的操作：

当 TAPOFS 寄存器的 POF_{S_i} 位为 “0” 时

- 计数器停止计数。
- 在从 TAI_iOUT 引脚输出 “H” 电平时，输出电平变为 “L” 电平并且 IR 位为 “1”。
- 在从 TAI_iOUT 引脚输出 “L” 电平时，输出电平不变，而且 IR 位也不变。

当 TAPOFS 寄存器的 POF_{S_i} 位为 “1” 时

- 计数器停止计数。
- 在从 TAI_iOUT 引脚输出 “L” 电平时，输出电平变为 “H” 电平并且 IR 位为 “1”。
- 在从 TAI_iOUT 引脚输出 “H” 电平时，输出电平不变，而且 IR 位也不变。

当 TB2SC 寄存器的 IVPCR1 位为 “1”（允许通过 $\overline{SD}$ 引脚输入进行三相输出的强制切断）时，如果给 $\overline{SD}$ 引脚输入 “L” 电平，TA1OUT、TA2OUT 和 TA4OUT 引脚就变为高阻抗状态。

24.9.2 定时器 B

24.9.2.1 定时器 B（定时器模式）

复位后，定时器停止运行。通过 TBiMR（i=0～5）寄存器、TBi 寄存器和 TBCS0～TBCS3 寄存器，在设定模式、计数源和计数器的值后，必须将 TABSR 寄存器或者 TBSR 寄存器的 TBiS 位置“1”（开始计数）。

与是否在复位后无关，必须在 TBiS 位为“0”（停止计数）的状态下更改 TBiMR 寄存器和 TBCS0～TBCS3 寄存器。

通过读 TBi 寄存器，能在任意时序读取计数中的计数器值。如果在重新加载时读 TBi 寄存器，就能读到“FFFFh”；在停止计数时，如果在给 TBi 寄存器设定值后到计数器开始计数前的期间读 TBi 寄存器，就能读到设定值。

24.9.2.2 定时器 B（事件计数器模式）

复位后，定时器停止运行。通过 TBiMR（i=0～5）寄存器和 TBi 寄存器，在设定模式、计数源和计数器的值后，必须将 TABSR 寄存器或者 TBSR 寄存器的 TBiS 位置“1”（开始计数）。

与是否在复位后无关，必须在 TBiS 位为“0”（停止计数）的状态下更改 TBiMR 寄存器。

通过读 TBi 寄存器，能在任意时序读取计数中的计数器值。如果在重新加载时读 TBi 寄存器，就能读到“FFFFh”；在停止计数时，如果在给 TBi 寄存器设定值后到计数器开始计数前的期间读 TBi 寄存器，就能读到设定值。

24.9.2.3 定时器 B（脉冲周期测量 / 脉宽测量模式）

复位后，定时器停止运行。通过 TBiMR（i=0～5）寄存器和 TBCS0～TBCS3 寄存器，在设定模式和计数源的值后，必须将 TABSR 寄存器或者 TBSR 寄存器的 TBiS 位置“1”（开始计数）。

与是否在复位后无关，必须在 TBiS 位为“0”（停止计数）的状态下更改 TBiMR 寄存器和 TBCS0～TBCS3 寄存器。为了将 MR3 位置“0”，如果在 TBiS 位为“1”（开始计数）的状态下写 TBiMR 寄存器，就必须给 TMOD0 位、TMOD1 位、MR0 位、MR1 位、TCK0 位、TCK1 位写和上次相同的值，并给 bit4 写“0”。

在输入测量脉冲的有效边沿时以及在定时器 Bi 发生上溢时，TBiIC 寄存器（i=0～5）的 IR 位变为“1”（有中断请求）。能在中断程序内通过 TBiMR 寄存器的 MR3 位判断中断请求源。

如果测量脉冲的输入时序与定时器的上溢时序重叠等而无法通过 MR3 位判断中断源，就必须通过其他定时器对上溢的次数进行计数。

只在检测上溢时使用 TBiIC 寄存器的 IR 位，只在判断中断源时使用 MR3 位。

在开始计数后输入第 1 次有效边沿时，不定值被传送到重加载寄存器。此时，不发生定时器 Bi 中断请求。

复位后的计数器值不定。如果开始计数，就有可能在输入有效边沿前 MR3 位变为“1”，并且有可能产生定时器 Bi 中断请求。如果在 TBiS 位为“0”（停止计数）时给 TBi 寄存器设定值，相同的值就被设定到计数器。

脉宽的测量是指连续测量脉宽。必须通过程序来判断测量结果是“H”电平还是“L”电平。

24.10 串行接口

当 TB2SC 寄存器的 IVPCR1 位为“1”（允许通过 $\overline{SD}$ 引脚输入进行三相输出的强制切断）时，如果给 $\overline{SD}$ 引脚输入“L”电平，以下引脚就变为高阻抗状态。

对象引脚： $\overline{P7_2/CLK2/TA1OUT/V}$ 、 $\overline{P7_3/CTS2/RTS2/TA1IN/V}$ 、 $\overline{P7_4/TA2OUT/W}$ 、 $\overline{P7_5/TA2IN/W}$
 $\overline{P8_0/TA4OUT/RXD5/SCL5/U}$ 、 $\overline{P8_1/TA4IN/CTS5/RTS5/U}$

24.10.1 时钟同步串行 I/O 模式

24.10.1.1 发送和接收

在选择外部时钟和 $\overline{RTS}$ 功能时，如果进入可接收状态， $\overline{RTSi}$ ($i=0 \sim 2, 5 \sim 7$) 引脚的输出电平就变为“L”电平，将可接收状态通知发送侧。如果开始接收， $\overline{RTSi}$ 引脚的输出电平就变为“H”电平。因此，如果将 $\overline{RTSi}$ 引脚连接发送侧的 $\overline{CTS_i}$ 引脚，发送和接收的时序就能同步。在选择内部时钟时， $\overline{RTS}$ 功能无效。

24.10.1.2 发送

如果选择外部时钟，就在 $UiC0$ 寄存器 ($i=0 \sim 2, 5 \sim 7$) 的 CKPOL 位为“0”（在传送时钟的下降沿输出发送数据，在上升沿输入接收数据）并且外部时钟为“H”电平的状态下，或者在 CKPOL 位为“1”（在传送时钟的上升沿输出发送数据，在下降沿输入接收数据）并且外部时钟为“L”电平的状态下，必须满足以下条件：

- $UiC1$ 寄存器的 TE 位为“1”（允许发送）。
- $UiC1$ 寄存器的 TI 位为“0”（ $UiTB$ 寄存器有数据）。
- 在选择 $\overline{CTS}$ 功能时， $\overline{CTS_i}$ 引脚的输入为“L”电平。

24.10.1.3 接收

时钟同步串行 I/O 通过运行发送器而产生移位时钟。因此，即使只用于接收也必须进行发送的设定。在接收时将虚拟数据从 $TXDi$ 引脚 ($i=0 \sim 2, 5 \sim 7$) 输出到外部。

在选择内部时钟时，如果将 $UiC1$ 寄存器的 TE 位置“1”（允许发送）并且将虚拟数据设定到 $UiTB$ 寄存器，就产生移位时钟；在选择外部时钟时，如果将 TE 位置“1”，将虚拟数据设定到 $UiTB$ 寄存器并且将外部时钟输入到 CLK_i 引脚，就产生移位时钟。

在连续接收数据时，如果 $UiC1$ 寄存器的 RE 位为“1”（ $UiRB$ 寄存器有数据）并且 $UART_i$ 接收寄存器已有下一个接收数据，就发生溢出错误并且 $UiRB$ 寄存器的 OER 位变为“1”（发生溢出错误）。此时，因为 $UiRB$ 寄存器的值不定，所以在发生溢出错误时，必须通过发送侧和接收侧的程序重新发送以前的数据。另外，在发生溢出错误时， $SiRIC$ 寄存器的 IR 位不变。

在连续接收数据时，必须在每次接收时将虚拟数据设定到 $UiTB$ 寄存器的低位字节。

如果选择外部时钟，就在 CKPOL 位为“0”并且外部时钟为“H”电平的状态下，或者在 CKPOL 位为“1”并且外部时钟为“L”电平的状态下，必须满足以下条件：

- $UiC1$ 寄存器的 RE 位为“1”（允许接收）。
- $UiC1$ 寄存器的 TE 位为“1”（允许发送）。
- $UiC1$ 寄存器的 TI 位为“0”（ $UiTB$ 寄存器有数据）。

24.10.2 异步串行 I/O (UART) 模式

24.10.2.1 发送和接收

在选择外部时钟和 $\overline{\text{RTS}}$ 功能时，如果进入可接收状态， $\overline{\text{RTSi}}$ ($i=0 \sim 2, 5 \sim 7$) 引脚的输出电平就变为“L”电平，将可接收状态通知发送侧。如果开始接收， $\overline{\text{RTSi}}$ 引脚的输出电平就变为“H”电平。因此，如果将 $\overline{\text{RTSi}}$ 引脚连接发送侧的 $\overline{\text{CTS}}$ 引脚，发送和接收的时序就能同步。在选择内部时钟时， $\overline{\text{RTS}}$ 功能无效。

24.10.2.2 发送

如果选择外部时钟，就在 UiC0 寄存器 ($i=0 \sim 2, 5 \sim 7$) 的 CKPOL 位为“0”（在传送时钟的下降沿输出发送数据，在上升沿输入接收数据）并且外部时钟为“H”电平的状态下，或者在 CKPOL 位为“1”（在传送时钟的上升沿输出发送数据，在下降沿输入接收数据）并且外部时钟为“L”电平的状态下，必须满足以下条件：

- UiC1 寄存器的 TE 位为“1”（允许发送）。
- UiC1 寄存器的 TI 位为“0”（ UiTB 寄存器有数据）。
- 在选择 $\overline{\text{CTS}}$ 功能时， $\overline{\text{CTS}}$ 引脚的输入为“L”电平。

24.10.3 特殊模式 (I²C 模式)

在生成开始条件、停止条件和重新开始条件时，必须在将 UiSMR4 寄存器 ($i=0 \sim 2, 5 \sim 7$) 的 STSPSEL 位置“0”并且至少等待半个传送时钟周期后，将各条件生成位 (STAREQ 、 RSTAREQ 、 STPREQ) 从“0”改为“1”。

24.10.4 特殊模式 4 (SIM 模式)

在解除复位后，如果将 U2C1 寄存器的 U2IRS 位置“1”（发送结束）并且将 U2ERE 位置“1”（输出错误信号），就产生发送中断请求。因此，在使用 SIM 模式时，必须在设定后将 IR 位置“0”（无中断请求）。

24.10.5 SI/O3 和 SI/O4

如果在 SiC ($i=3, 4$) 寄存器的 SMi2 位为“0”（ SOUTi 输出）并且 SMi6 位为“1”（内部时钟）的状态下，将 SMi3 位从“0”（输入/输出端口）改为“1”（ SOUTi 输出、CLK 功能），就有可能输出 10ns 左右的 SOUTi 初始值（通过 SMi7 位设定的初始值），此后 SOUTi 引脚变为高阻抗状态。

将 SMi3 位从“0”改为“1”时，如果因 SOUTi 引脚的输出电平引起问题，就必须通过 SMi7 位设定 SOUTi 的初始值。

24.11 A/D 转换器

必须在停止 A/D 转换时（发生触发前）写 ADCON0 寄存器（bit6 除外）、ADCON1 寄存器和 ADCON2 寄存器。

必须在停止 AD 转换后将 ADSTBY 位从“1”改为“0”。

如果将 ADCON1 寄存器的 ADSTBY 位从“0”（停止 A/D 运行）改为“1”（能进行 A/D 运行），就必须在至少经过 1 个 ϕ_{AD} 周期后开始 A/D 转换。

为了防止噪声产生的误动作和门锁以及减少转换误差，必须在 AVCC 引脚、VREF 引脚、模拟输入引脚（ANi（i=0～7）、AN0_i、AN2_i）和 AVSS 引脚之间分别插入电容器，也必须在 VCC1 引脚和 VSS 引脚之间插入电容器。各引脚的处理例子如图 24.4 所示。

必须将用作模拟输入引脚的对应端口方向位置“0”（输入模式）。当 ADCON0 寄存器的 TRG 位为“1”（外部触发）时，必须将对应 ADTRG 引脚的端口方向位置“0”（输入模式）。

在使用键输入中断时，不能将 AN4～AN7 这 4 个引脚都用作模拟输入引脚（如果 A/D 输入电压为“L”电平，就产生键输入中断请求）。

在更改了 A/D 运行模式时，必须通过 ADCON0 寄存器的 CH2～CH0 位或者 ADCON1 寄存器的 SCAN1～SCAN0 位重新选择模拟输入引脚。

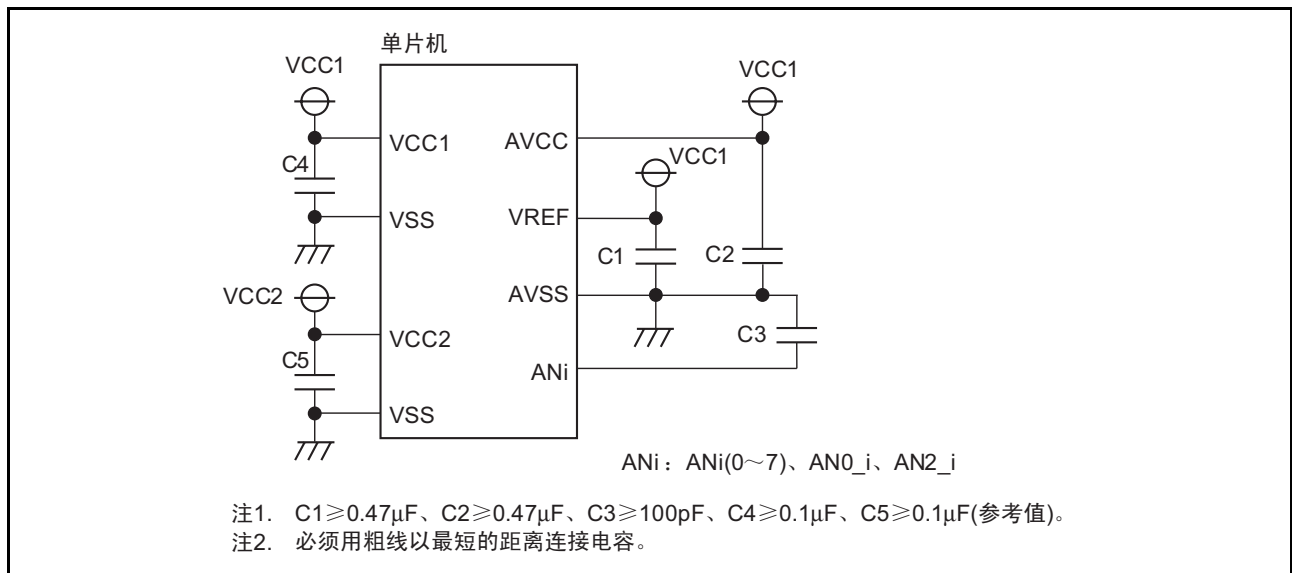


图 24.4 各引脚的处理例子

如果在 A/D 转换时通过程序将 ADCON0 寄存器的 ADST 位置“0”（停止 A/D 转换）来强制结束 A/D 转换，A/D 转换器的转换结果就为不定值，并且未进行 A/D 转换的 ADi 寄存器的值也有可能不定。如果在 A/D 转换时通过程序将 ADST 位置“0”，就不能使用全部 ADi 寄存器的值。

因为 AN4～AN7 和 KI0～KI3 引脚复用，所以在输入中间电位时，AN4～AN7 的消耗电流比其他模拟输入引脚（AN0～AN3、AN0_0～AN0_7、AN2_0～AN2_7）大。

在单次模式或者单次扫描模式中，如果 A/D 转换结束，ADCON0 寄存器的 ADST 位就变为“0”（停止 A/D 转换）。因为在选择了 ADTRG 的触发时 ADST 位也变为“0”，如果有可能继续输入触发，就必须再次通过程序将 ADST 位置“1”（开始 A/D 转换）。

必须将 VREF 引脚连接 VCC1 引脚。因为 VREF 引脚在内部连接 VCC1 引脚，如果此引脚之间产生电位差，就会有电流流过。

24.12 可编程输入 / 输出端口

当 TB2SC 寄存器的 IVPCR1 位为 “1”（允许通过 $\overline{\text{SD}}$ 引脚输入进行三相输出的强制切断）时，如果给 $\overline{\text{SD}}$ 引脚输入 “L” 电平，P7_2 ~ P7_5、P8_0 ~ P8_1 引脚就变为高阻抗状态。

如果将 S3C 寄存器的 SM32 位置 “1”，P9_2 引脚就变为高阻抗状态；如果将 S4C 寄存器的 SM42 位置 “1”，P9_6 引脚就变为高阻抗状态。

24.13 闪存版

24.13.1 闪存改写的禁止功能

地址 0FFFDfFh、0FFFE3h、0FFFEbFh、0FFFEfFh、0FFFF3h、0FFFF7h、0FFFFbFh 是保存 ID 码的地址。如果将错误数据写到这些地址，就无法在标准串行输入 / 输出模式中读写闪存。

另外，地址 0FFFFFFh 是 ROMCP 寄存器。如果将错误数据写到此地址，就无法在并行输入 / 输出模式中读写闪存。

这些地址被分配到固定向量的向量地址（H）。

24.13.2 停止模式

在转移到停止模式时，必须在将 FMR0 寄存器的 FMR01 位置 “0”（CPU 改写模式无效）并且在禁止 DMA 传送后，执行将 CM1 寄存器的 CM10 位置 “1”（停止模式）的指令。

24.13.3 等待模式

在转移到等待模式时，必须在将 FMR01 位置 “0”（CPU 改写模式无效）后执行 WAIT 指令。

24.13.4 低功耗模式和内部振荡器低功耗模式

当 CM0 寄存器的 CM05 位为 “1”（主时钟停止运行）时，不能执行以下指令：

- 编程、块擦除、锁定位编程

24.13.5 命令和数据的写

必须将命令码和数据写到偶数地址。

24.13.6 编程命令

如果在第 1 总线周期和第 2 总线周期分别将 “xx41h” 和数据写到编程地址，就开始自动编程（数据的编程和验证）。必须将第 1 总线周期的地址值和第 2 总线周期指定的编程地址设定为同一偶数地址。

24.13.7 锁定位编程命令

如果在第 1 总线周期和第 2 总线周期分别将 “xx77h” 和 “xxD0h” 写到块的最高位地址（偶数地址），就将指定块的锁定位置 “0”。第 1 总线周期的地址值和第 2 总线周期指定的块的最高位地址必须相同。

24.13.8 运行速度

在进入 CPU 改写模式（EW0、EW1 模式）前，必须将 CM1 寄存器的 CM11 位置“0”（主时钟），并通过 CM0 寄存器的 CM06 位和 CM1 寄存器的 CM17 ~ CM16 位将 CPU 时钟设定为不超过 10MHz。另外，必须将 PM1 寄存器的 PM17 位置“1”（有等待）。

24.13.9 禁止使用的指令

在 EW0 模式中，因为以下指令参照闪存内部的数据，所以不能使用：

UND 指令、INTO 指令、JMPS 指令、JSRS 指令、BRK 指令

24.13.10 中断

EW0 模式

- 能通过将向量移动到 RAM 区，使用可变向量表中有向量的中断。
- 因为在发生中断时 FMR0 寄存器和 FMR1 寄存器被强制初始化，所以能使用 $\overline{\text{NMI}}$ 中断和看门狗定时器（振荡停止/再振荡检测、低电压检测）中断。必须将各中断程序的转移地址设定到固定向量表。在发生 $\overline{\text{NMI}}$ 中断或者看门狗定时器（振荡停止/再振荡检测、低电压检测）中断时，因为改写操作被中止，所以必须在中断程序结束后重新执行改写程序。
- 因为地址匹配中断参照闪存内部的数据，所以不能使用。

EW1 模式

- 在自动编程或者自动擦除期间，不能接受可变向量表中有向量的中断或者地址匹配中断。
- 不能使用看门狗定时器（振荡停止/再振荡检测、低电压检测）中断。
- 因为在发生中断时 FMR0 寄存器和 FMR1 寄存器被强制初始化，所以能使用 $\overline{\text{NMI}}$ 中断。必须将各中断程序的转移地址设定到固定向量表。在发生 $\overline{\text{NMI}}$ 中断时，因为改写操作被中止，所以必须在中断程序结束后重新执行改写程序。

24.13.11 存取方法

在将 FMR01 位、FMR02 位和 FMR11 位置“1”时，必须在给对象位依次写“0”和“1”。在写“0”和“1”之间，不能发生中断和 DMA 传送。另外，当 PM24 位为“1”（ $\overline{\text{NMI}}$ ）时，必须给 NMI 引脚输入“H”电平。

24.13.12 用户 ROM 区的改写

EW0 模式

- 在对保存改写控制程序的块进行改写的过程中，如果电源电压降低，改写控制程序的块就不能被正常地改写，以后有可能无法改写闪存。此时，必须使用标准串行输入/输出模式或者并行输入/输出模式。

EW1 模式

- 不能对保存改写控制程序的块进行改写。

24.13.13 DMA 传送

在 EW1 模式中，不能在 FMR0 寄存器的 FMR00 位为“0”（自动编程和自动擦除的期间）时进行 DMA 传送。

24.13.14 编程 / 擦除次数和执行时间

软件命令（编程命令、块擦除命令、锁定位编程命令）的执行时间随着编程 / 擦除次数而变长。

通过硬件复位 1、硬件复位 2、NMI 中断、看门狗定时器（振荡停止 / 再振荡检测、低电压检测）中断能暂停软件命令。如果软件命令被暂停，就必须在擦除该块后重新执行该命令。

24.14 有关噪声的注意事项

减小噪声的方法是：必须在 VCC1 引脚和 VSS 引脚之间以及 VCC2 引脚和 VSS 引脚之间，使用最短并且较粗的布线连接旁路电容（0.1μF 左右）。旁路电容的连接例子如图 24.5 所示。

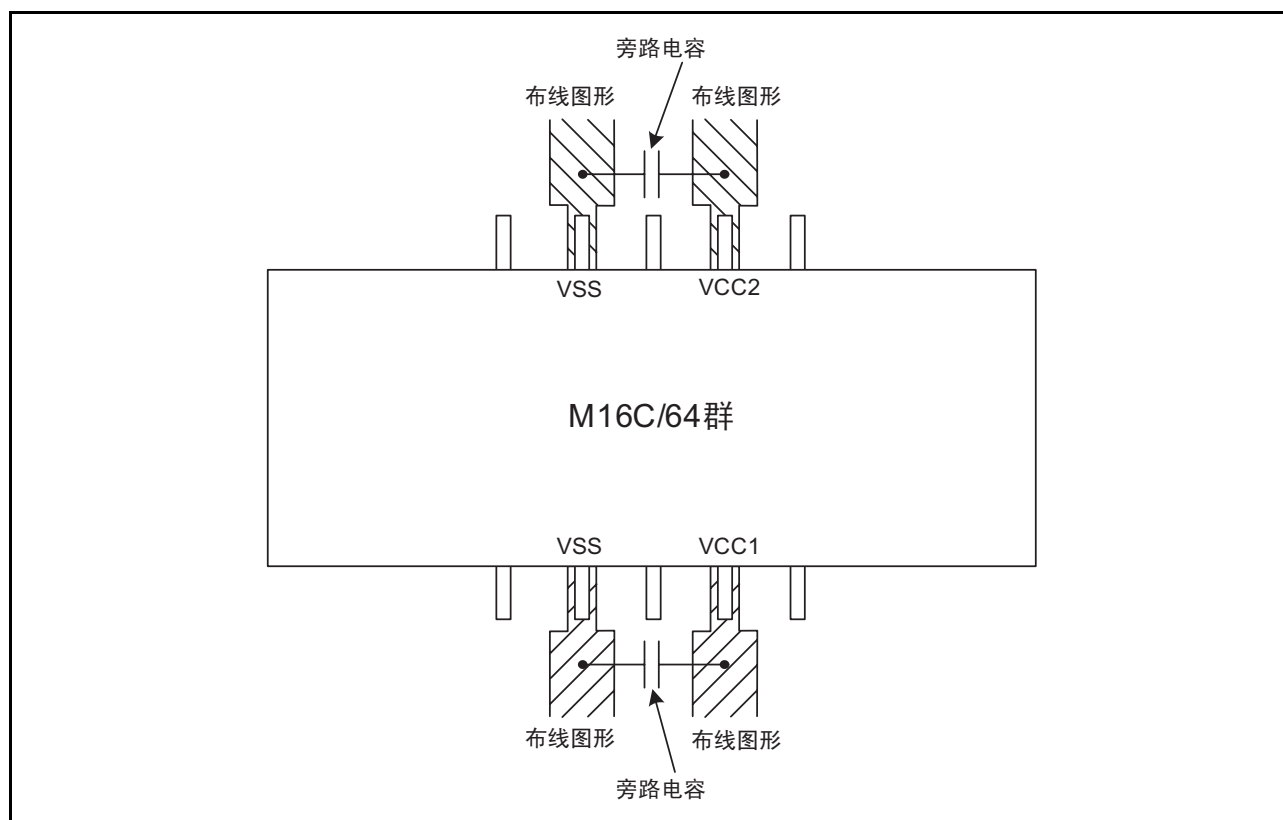
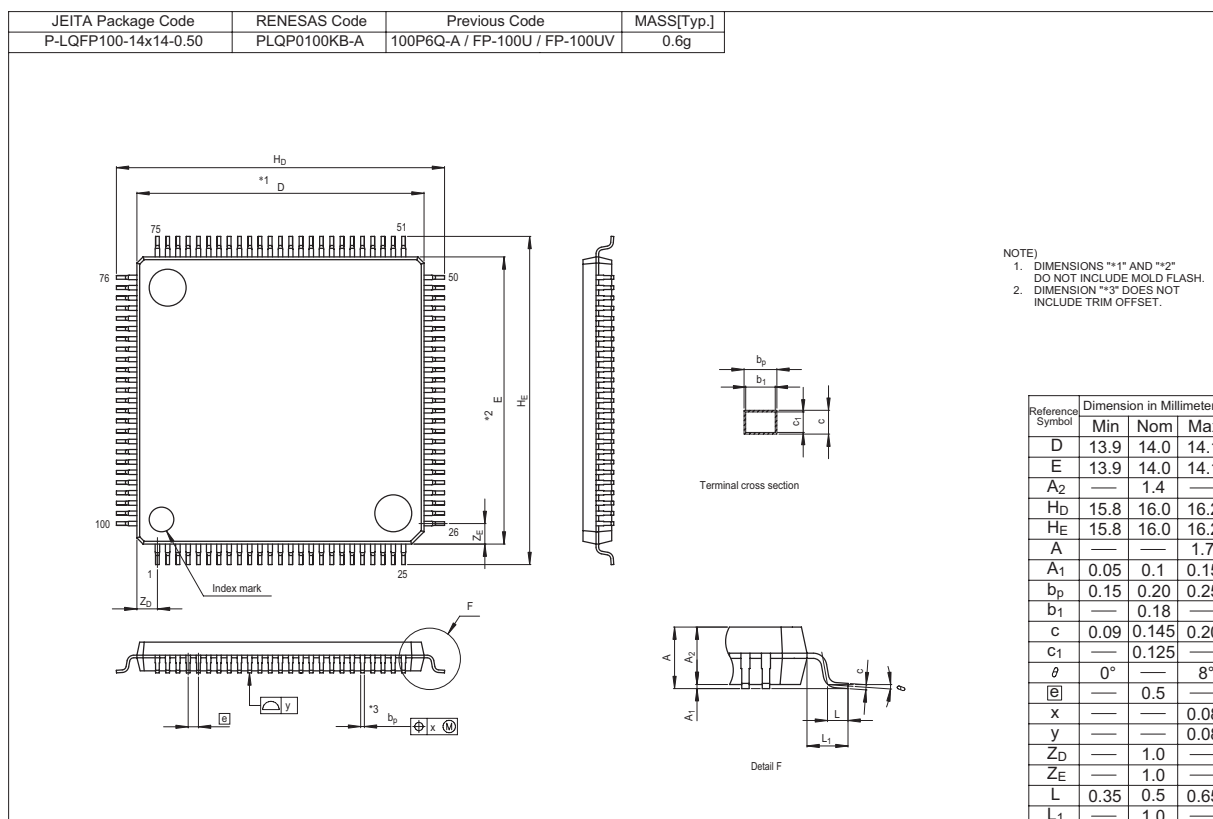
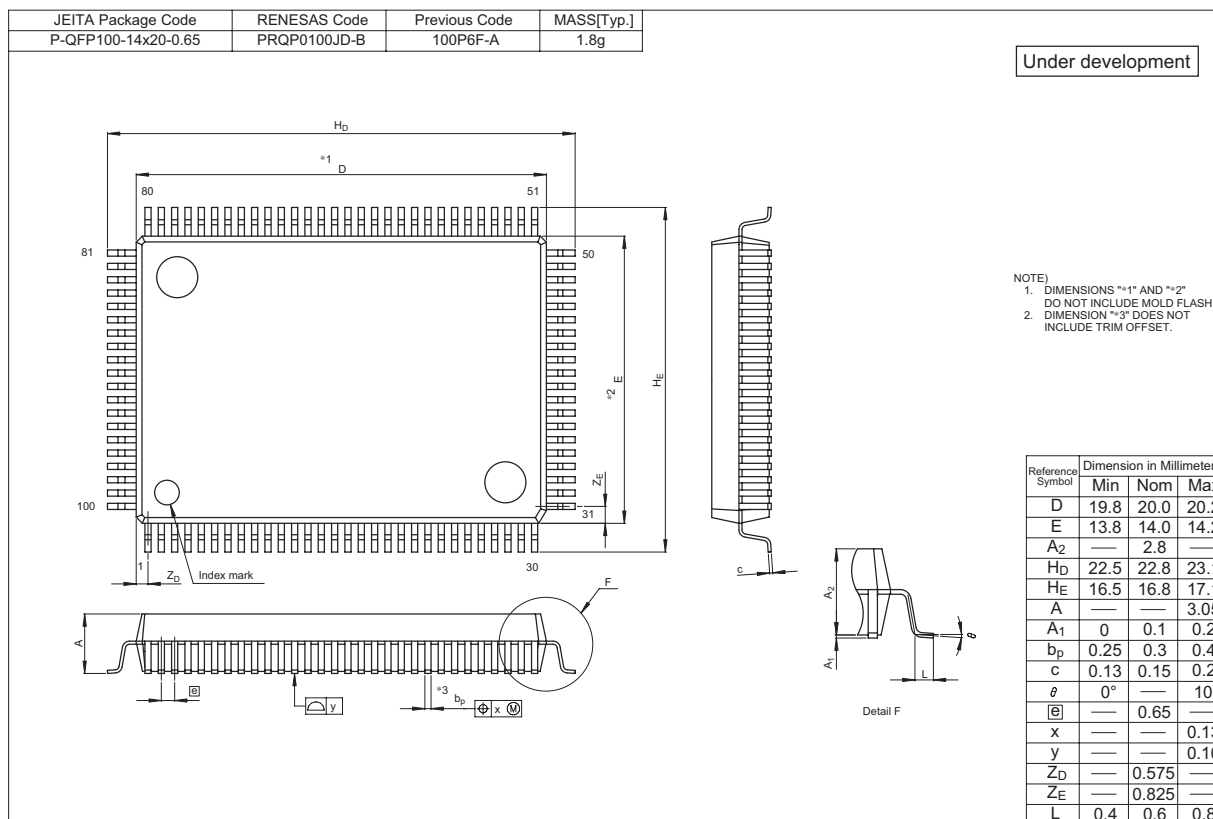


图 24.5 旁路电容的连接例子

附录

附录 1. 封装尺寸图



索引

A

AD0 ~ AD7	223
ADCON0 ~ ADCON1	222, 225, 227, 229, 231, 233
ADCON2	223
ADIC	97
AIER	108
AIER2	108

B

BCNIC	97
-------------	----

C

CM0	73
CM1	74
CM2	75
CPSRF	133, 149
CRCD	238
CRCIN	238
CSE	59
CSPR	112
CSR	52

D

D4INT	37
DA0、DA1	237
DACON	237
DAR0 ~ DAR3	120
DBR	64
DM0CON ~ DM3CON	119
DM0IC ~ DM3IC	97
DM0SL ~ DM3SL	117, 118
DTT	160

F

FMR0	260
FMR1	261
FMR2	261
FMR6	262

J

ICTB2	160
IDB0、IDB1	160
IFSR	104
IFSR2A、IFSR3A	105
INT0IC ~ INT2IC	98
INT3IC ~ INT7IC	98
INVC0	158
INVC1	159

K

KUPIC	97
-------------	----

O

OFS1	112, 258
ONSF	132

P

P0 ~ P10	246
PCLKR	76
PCR	105, 248
PD0 ~ PD10	246
PLC0	77
PM0	46
PM1	47
PM2	76
PRCR	91
PRG2C	48
PUR0、PUR1	247
PUR2	248

R

RMAD0 ~ RMAD3	108
RSTFR	44

S

S0RIC ~ S2RIC	97
S0TIC ~ S2TIC	97
S34C2	215
S3BRG、S4BRG	214
S3C、S4C	214
S3IC、S4IC	98
S3TRR、S4TRR	214
S5RIC ~ S7RIC	97
S5TIC ~ S7TIC	97
SAR0 ~ SAR3	120

T

TA0IC ~ TA4IC	97
TA0MR ~ TA4MR	130, 136, 138, 143, 145
TA0 ~ TA4	130
TA11	161
TA1MR、TA2MR	163
TA1、TA2	161
TA21	161
TA2MR ~ TA4MR	140
TA4	161
TA41	161

M16C/64 群

TA4MR.....	163
TABSR.....	131, 149, 162
TACS0、TACS1	133
TACS2	134
TAPOFS	134
TB0IC ~ TB2IC	97
TB0MR ~ TB5MR	148, 151, 152, 154
TB0 ~ TB5	148
TB2	162
TB2MR.....	163
TB2SC	161
TB3IC ~ TB5IC	97
TBCS0 ~ TBCS3	150
TBSR	149
TCR0 ~ TCR3.....	120
TRGSR	132, 162

U

U0BCNIC、U1BCNIC.....	97
U0BRG ~ U2BRG.....	171
U0C0 ~ U2C0	172
U0C1 ~ U2C1	173
U0MR ~ U2MR	171
U0RB ~ U2RB	170
U0SMR2 ~ U2SMR2	175
U0SMR3 ~ U2SMR3	175
U0SMR4 ~ U2SMR4	176
U0SMR ~ U2SMR	174
U0TB ~ U2TB.....	170
U5BNIC ~ U7BCNIC	97
U5BRG ~ U7BRG.....	171
U5C0 ~ U7C0	172
U5C1 ~ U7C1	173
U5MR ~ U7MR	171
U5RB ~ U7RB	170
U5SMR2 ~ U7SMR2	175
U5SMR3 ~ U7SMR3	175
U5SMR4 ~ U7SMR4	176
U5SMR ~ U7SMR	174
U5TB ~ U7TB.....	170
UCON	174
UDF	131

V

VCR1、VCR2.....	36
VW0C	38

W

WDC	111
WDTR	111
WDTs	111

修订记录	M16C/64 群硬件手册
------	---------------

Rev.	发行日	修订内容	
		页	修订处
0.10	2008.07.16	—	初版发行

**瑞萨 16 位单片机
硬件手册
M16C/64 群**

Publication Date: Rev.0.10, Jul. 16, 2008
Published by: Sales Strategic Planning Div.
Renesas Technology Corp.
Edited by: Customer Support Department
Global Strategic Communication Div.
Renesas Solutions Corp.

Renesas Technology Corp. Sales Strategic Planning Div. Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan



RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.

450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.

Unit 204, 205, AZIA Center, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7858/7898

Renesas Technology Hong Kong Ltd.

7th Floor, North Tower, World Finance Centre, Harbour City, Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2377-3473

Renesas Technology Taiwan Co., Ltd.

10th Floor, No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 3518-3399

Renesas Technology Singapore Pte. Ltd.

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

Renesas Technology Malaysia Sdn. Bhd

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jln Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510



M16C/64 群



瑞萨电子株式会社

RCJ09B0063-0010