

致尊敬的顾客

关于产品目录等资料中的旧公司名称

NEC电子公司与株式会社瑞萨科技于2010年4月1日进行业务整合（合并），整合后的新公司暨“瑞萨电子公司”继承两家公司的所有业务。因此，本资料中虽还保留有旧公司名称等标识，但是并不妨碍本资料的有效性，敬请谅解。

瑞萨电子公司网址：<http://www.renesas.com>

2010年4月1日
瑞萨电子公司

【发行】瑞萨电子公司（<http://www.renesas.com>）

【业务咨询】<http://www.renesas.com/inquiry>

Notice

1. All information included in this document is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas Electronics products listed herein, please confirm the latest product information with a Renesas Electronics sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas Electronics such as that disclosed through our website.
2. Renesas Electronics does not assume any liability for infringement of patents, copyrights, or other intellectual property rights of third parties by or arising from the use of Renesas Electronics products or technical information described in this document. No license, express, implied or otherwise, is granted hereby under any patents, copyrights or other intellectual property rights of Renesas Electronics or others.
3. You should not alter, modify, copy, or otherwise misappropriate any Renesas Electronics product, whether in whole or in part.
4. Descriptions of circuits, software and other related information in this document are provided only to illustrate the operation of semiconductor products and application examples. You are fully responsible for the incorporation of these circuits, software, and information in the design of your equipment. Renesas Electronics assumes no responsibility for any losses incurred by you or third parties arising from the use of these circuits, software, or information.
5. When exporting the products or technology described in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. You should not use Renesas Electronics products or the technology described in this document for any purpose relating to military applications or use by the military, including but not limited to the development of weapons of mass destruction. Renesas Electronics products and technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
6. Renesas Electronics has used reasonable care in preparing the information included in this document, but Renesas Electronics does not warrant that such information is error free. Renesas Electronics assumes no liability whatsoever for any damages incurred by you resulting from errors in or omissions from the information included herein.
7. Renesas Electronics products are classified according to the following three quality grades: “Standard”, “High Quality”, and “Specific”. The recommended applications for each Renesas Electronics product depends on the product’s quality grade, as indicated below. You must check the quality grade of each Renesas Electronics product before using it in a particular application. You may not use any Renesas Electronics product for any application categorized as “Specific” without the prior written consent of Renesas Electronics. Further, you may not use any Renesas Electronics product for any application for which it is not intended without the prior written consent of Renesas Electronics. Renesas Electronics shall not be in any way liable for any damages or losses incurred by you or third parties arising from the use of any Renesas Electronics product for an application categorized as “Specific” or for which the product is not intended where you have failed to obtain the prior written consent of Renesas Electronics. The quality grade of each Renesas Electronics product is “Standard” unless otherwise expressly specified in a Renesas Electronics data sheets or data books, etc.
 - “Standard”: Computers; office equipment; communications equipment; test and measurement equipment; audio and visual equipment; home electronic appliances; machine tools; personal electronic equipment; and industrial robots.
 - “High Quality”: Transportation equipment (automobiles, trains, ships, etc.); traffic control systems; anti-disaster systems; anti-crime systems; safety equipment; and medical equipment not specifically designed for life support.
 - “Specific”: Aircraft; aerospace equipment; submersible repeaters; nuclear reactor control systems; medical equipment or systems for life support (e.g. artificial life support devices or systems), surgical implantations, or healthcare intervention (e.g. excision, etc.), and any other applications or purposes that pose a direct threat to human life.
8. You should use the Renesas Electronics products described in this document within the range specified by Renesas Electronics, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas Electronics shall have no liability for malfunctions or damages arising out of the use of Renesas Electronics products beyond such specified ranges.
9. Although Renesas Electronics endeavors to improve the quality and reliability of its products, semiconductor products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Further, Renesas Electronics products are not subject to radiation resistance design. Please be sure to implement safety measures to guard them against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas Electronics product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other appropriate measures. Because the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
10. Please contact a Renesas Electronics sales office for details as to environmental matters such as the environmental compatibility of each Renesas Electronics product. Please use Renesas Electronics products in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. Renesas Electronics assumes no liability for damages or losses occurring as a result of your noncompliance with applicable laws and regulations.
11. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of Renesas Electronics.
12. Please contact a Renesas Electronics sales office if you have any questions regarding the information contained in this document or Renesas Electronics products, or if you have any other inquiries.

(Note 1) “Renesas Electronics” as used in this document means Renesas Electronics Corporation and also includes its majority-owned subsidiaries.

(Note 2) “Renesas Electronics product(s)” means any product developed or manufactured by or for Renesas Electronics.

M16C/6N 群 (M16C/6NK、 M16C/6NM)

瑞萨 16 位单片机
M16C 族 / R16C/60 系列

Notes regarding these materials

1. This document is provided for reference purposes only so that Renesas customers may select the appropriate Renesas products for their use. Renesas neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of Renesas or any third party with respect to the information in this document.
2. Renesas shall have no liability for damages or infringement of any intellectual property or other rights arising out of the use of any information in this document, including, but not limited to, product data, diagrams, charts, programs, algorithms, and application circuit examples.
3. You should not use the products or the technology described in this document for the purpose of military applications such as the development of weapons of mass destruction or for the purpose of any other military use. When exporting the products or technology described herein, you should follow the applicable export control laws and regulations, and procedures required by such laws and regulations.
4. All information included in this document such as product data, diagrams, charts, programs, algorithms, and application circuit examples, is current as of the date this document is issued. Such information, however, is subject to change without any prior notice. Before purchasing or using any Renesas products listed in this document, please confirm the latest product information with a Renesas sales office. Also, please pay regular and careful attention to additional and different information to be disclosed by Renesas such as that disclosed through our website. (<http://www.renesas.com>)
5. Renesas has used reasonable care in compiling the information included in this document, but Renesas assumes no liability whatsoever for any damages incurred as a result of errors or omissions in the information included in this document.
6. When using or otherwise relying on the information in this document, you should evaluate the information in light of the total system before deciding about the applicability of such information to the intended application. Renesas makes no representations, warranties or guaranties regarding the suitability of its products for any particular application and specifically disclaims any liability arising out of the application and use of the information in this document or Renesas products.
7. With the exception of products specified by Renesas as suitable for automobile applications, Renesas products are not designed, manufactured or tested for applications or otherwise in systems the failure or malfunction of which may cause a direct threat to human life or create a risk of human injury or which require especially high quality and reliability such as safety systems, or equipment or systems for transportation and traffic, healthcare, combustion control, aerospace and aeronautics, nuclear power, or undersea communication transmission. If you are considering the use of our products for such purposes, please contact a Renesas sales office beforehand. Renesas shall have no liability for damages arising out of the uses set forth above.
8. Notwithstanding the preceding paragraph, you should not use Renesas products for the purposes listed below:
 - (1) artificial life support devices or systems
 - (2) surgical implantations
 - (3) healthcare intervention (e.g., excision, administration of medication, etc.)
 - (4) any other purposes that pose a direct threat to human lifeRenesas shall have no liability for damages arising out of the uses set forth in the above and purchasers who elect to use Renesas products in any of the foregoing applications shall indemnify and hold harmless Renesas Technology Corp., its affiliated companies and their officers, directors, and employees against any and all damages arising out of such applications.
9. You should use the products described herein within the range specified by Renesas, especially with respect to the maximum rating, operating supply voltage range, movement power voltage range, heat radiation characteristics, installation and other product characteristics. Renesas shall have no liability for malfunctions or damages arising out of the use of Renesas products beyond such specified ranges.
10. Although Renesas endeavors to improve the quality and reliability of its products, IC products have specific characteristics such as the occurrence of failure at a certain rate and malfunctions under certain use conditions. Please be sure to implement safety measures to guard against the possibility of physical injury, and injury or damage caused by fire in the event of the failure of a Renesas product, such as safety design for hardware and software including but not limited to redundancy, fire control and malfunction prevention, appropriate treatment for aging degradation or any other applicable measures. Among others, since the evaluation of microcomputer software alone is very difficult, please evaluate the safety of the final products or system manufactured by you.
11. In case Renesas products listed in this document are detached from the products to which the Renesas products are attached or affixed, the risk of accident such as swallowing by infants and small children is very high. You should implement safety measures so that Renesas products may not be easily detached from your products. Renesas shall have no liability for damages arising out of such detachment.
12. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written approval from Renesas.
13. Please contact a Renesas sales office if you have any questions regarding the information contained in this document, Renesas semiconductor products, or if you have any other inquiries.

注意

本文只是参考译文，前页所载英文版“Cautions”具有正式效力。

关于利用本资料时的注意事项

1. 本资料是为了让用户根据用途选择合适的本公司产品的参考资料，对于本资料中所记载的技术信息，并非意味着对本公司或者第三者的知识产权及其他权利做出保证或对实施权力进行的承诺。
2. 对于因使用本资料所记载的产品数据、图、表、程序、算法及其他应用电路例而引起的损害或者对第三者的知识产权及其他权利造成侵犯，本公司不承担任何责任。
3. 不能将本资料所记载的产品和技术用于大规模破坏性武器的开发等目的、军事目的或其他的军需用途方面。另外，在出口时必须遵守日本的《外汇及外国贸易法》及其他出口的相关法令并履行这些法令中规定的必要手续。
4. 本资料所记载的产品数据、图、表、程序、算法以及其他应用电路例等所有信息均为本资料发行时的内容，本公司有可能在未做事先通知的情况下，对本资料所记载的产品或者产品规格进行更改。所以在购买和使用本公司的半导体产品之前，请事先向本公司的营业窗口确认最新的信息并经常留意本公司通过公司主页（<http://www.renesas.com>）等公开的最新信息。
5. 对于本资料中所记载的信息，制作时我们尽力保证出版时的精确性，但不承担因本资料的叙述不当而使顾客遭受损失等的任何相关责任。
6. 在使用本资料所记载的产品数据、图、表等所示的技术内容、程序、算法及其他应用电路例时，不仅要对所使用的技术信息进行单独评价，还要对整个系统进行充分的评价。请顾客自行负责，进行是否适用的判断。本公司对于是否适用不负任何责任。
7. 本资料中所记载的产品并非针对万一出现故障或是错误运行就会威胁到人的生命或给人体带来危害的机器、系统（如各种安全装置或者运输交通用的、医疗、燃烧控制、航天器械、核能、海底中继用的机器和系统等）而设计和制造的，特别是对于品质和可靠性要求极高的机器和系统等（将本公司指定用于汽车方面的产品用于汽车时除外）。如果要用于上述的目的，请务必事先向本公司的营业窗口咨询。另外，对于用于上述目的而造成的损失等，本公司概不负责。
8. 除上述第7项内容外，不能将本资料中记载的产品用于以下用途。如果用于以下用途而造成的损失，本公司概不负责。
 - 1) 生命维持装置。
 - 2) 植埋于人体使用的装置。
 - 3) 用于治疗（切除患部、给药等）的装置。
 - 4) 其他直接影响到人的生命的装置。
9. 在使用本资料所记载的产品时，对于最大额定值、工作电源电压的范围、放热特性、安装条件及其他条件请在本公司规定的保证范围内使用。如果超出了本公司规定的保证范围使用时，对于由此而造成的故障和出现的事故，本公司将不承担任何责任。
10. 本公司一直致力于提高产品的质量和可靠性，但一般来说，半导体产品总会以一定的概率发生故障、或者由于使用条件不同而出现错误运行等。为了避免因本公司的产品发生故障或者错误运行而导致人身事故和火灾或造成社会性的损失，希望客户能自行负责进行冗余设计、采取延烧对策及进行防止错误运行等的安全设计（包括硬件和软件两方面的设计）以及老化处理等，这是作为机器和系统的出厂保证。特别是单片机的软件，由于单独进行验证很困难，所以要求在顾客制造的最终的机器及系统上进行安全检验工作。
11. 如果把本资料所记载的产品从其载体设备上卸下，有可能造成婴儿误吞的危险。顾客在将本公司产品安装到顾客的设备上时，请顾客自行负责将本公司产品设置为不容易剥落的安全设计。如果从顾客的设备上剥落而造成事故时，本公司将不承担任何责任。
12. 在未得到本公司的事先书面认可时，不可将本资料的一部分或者全部转载或者复制。
13. 如果需要了解关于本资料的详细内容，或者有其他关心的问题，请向本公司的营业窗口咨询。

产品使用时的注意事项

本文对适用于所有单片机产品的“使用注意事项”进行了说明。个别注意事项请参照手册正文。当本文与手册正文中的记载不同时，请优先参照正文中的内容。

1. 未使用引脚的处理方法

【注意】对于未使用的引脚，请按照手册正文中所记载的“未使用引脚的处理”进行处理。

CMOS 产品的输入引脚的阻抗一般为高阻抗。若在开路状态运行未使用引脚时，由于电感现象，会产生 LSI 外围噪音，而在 LSI 内部产生的直通电流等会被认为是输入信号，从而引起误动作。对于未使用的引脚，请按照手册正文中“未使用引脚的处理”中的说明进行处理。

2. 接通电源时的处理方法

【注意】接通电源时，产品状态不稳定。

接通电源时，LSI 的内部电路为不确定状态，寄存器的设定和各引脚为不稳定状态。

通过外部复位引脚进行复位的产品，从接通电源到复位有效为止，不能保证引脚的状态。

同样，通过内部加电复位功能进行复位的产品，从接通电源到达到复位所需电压为止，不能保证引脚的状态。

3. 禁止对保留地址进行存取

【注意】禁止对保留地址进行存取。

在地址区中存在用于将来扩展功能而分配的保留地址。对这些地址进行存取时，不能保证运行的正常进行，因此不能存取保留地址。

4. 关于时钟的注意事项

【注意】复位时，必须在时钟稳定后再解除复位。

在程序执行过程中切换时钟时，必须等需要切换的时钟稳定后再对其进行切换。

复位时，在通过带有外部振荡器（或者外部振荡电路）的时钟开始运行的系统中，必须等时钟完全稳定后，再解除复位。另外，在程序执行过程中切换为带有外部振荡器（或者外部振荡电路）的时钟时，必须等需要切换的时钟完全稳定后再对其进行切换。

5. 关于产品间差异的注意事项

【注意】当产品型号产生变化时，请事先确认是否存在问题。

即使是同一群内的单片机，产品型号如果不同，也有可能由于内部存储器和布线图的不同产生特性的差异。当产品型号产生变化时，必须对每个型号的产品进行系统评价测试。

本手册的使用方法

1. 目的和对象

本手册是一本帮助用户理解本单片机的硬件功能和电特性的手册。它以使用本手册设计应用系统的用户为对象。在使用本手册时，需要具备电路、逻辑电路以及单片机的基础知识。

本手册由产品概要、CPU、系统控制功能、外围功能、电特性、使用上的注意事项几大部分组成。

必须在充分确认过注意事项后使用本单片机。注意事项记录在各章的正文中、各章的最后和注意事项章中。

修订记录归纳了对旧版本记载内容的更正或追加的主要位置。并不是修订内容的全部记载。详情请确认本手册的正文。

M16C/6N 群（M16C/6NK、M16C/6NM）准备了以下的文献。请使用最新的文献。最新版本刊登在瑞萨科技的主页上。

文献的种类	记载内容	资料名	资料号
数据表	硬件的概要和电特性	M16C/6N 群（M16C/6NK、M16C/6NM）数据表	REJ03B0058
硬件手册	硬件的说明（引脚配置、存储器映像、外围功能的说明、电特性、时序）和工作说明 ※外围功能的使用方法必须参照应用注意事项。	M16C/6N 群（M16C/6NK、M16C/6NM）硬件手册	本硬件手册（RCJ09B0040）
软件手册	CPU 指令设定的说明	M16C/60、M16C/20、M16C/Tiny 系列软件说明	REJ09B0137
应用注意事项	外围功能的使用方法、应用例子参考程序 应用汇编语言、C 语言编成方法	刊登在瑞萨科技的主页上	
RENESAS TECHNICAL UPDATE	相关产品说明、文献等的快速公告		

2. M16C 族的有关文献

本手册使用的寄存器名或位名、数字或符号的表示范例如下所示。

(1) 寄存器名、位名、引脚名

在正文中用符号表示。符号后面带有寄存器、位、引脚字样加以区别。

(例) PM0 寄存器的 PM03 位

P3_5 引脚、VCC 引脚

(2) 数字的表示

2 进制数的后面带有“b”。不过，只有 1 位时数字后面什么也没有。16 进制数后面带有“h”。十进制数后面什么也没有。

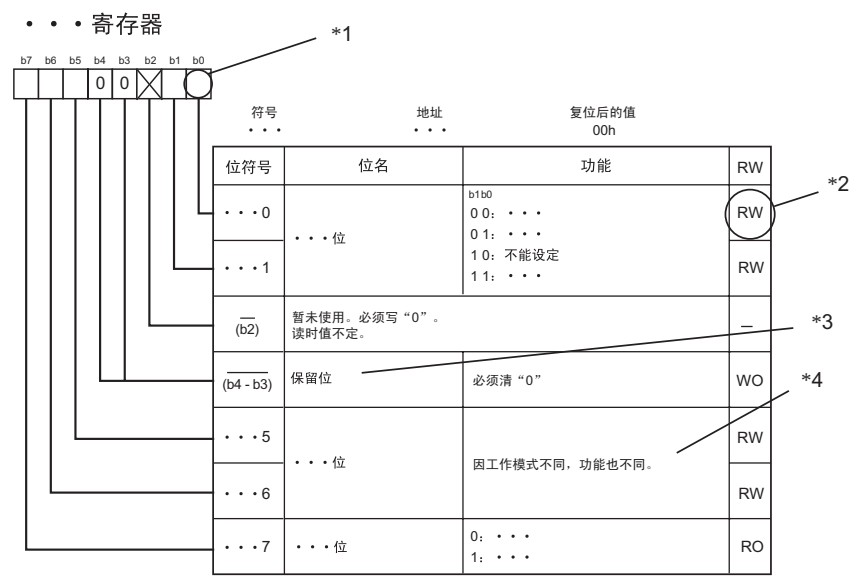
(例) 2 进制数: 11b

16 进制数: EFA0h

10 进制数: 1234

3. 寄存器图表的阅读方法

说明在寄存器图表中使用的符号和用语：



*1
空白：按用途，清“0”或者置“1”。
0：清“0”。
1：置“1”。
×：未使用位。

*2
RW：可读写位。
RO：只可读。
WO：只可写。
—：未使用位。

*3
• 保留位
保留位，必须设定指定值。

*4
• 未使用位
该位暂未使用。根据外围功能的发展，将来可能具有新的功能，写数据时必须写“0”。
• 不能设定
设定后不能保证正常工作。
• 因工作模式不同，功能也不同。
位的功能根据外围功能的模式而发生变化，请参考各模式下寄存器详细说明图。

4. 省略语及简称的说明

省略 / 简称	全称	备注
ACIA	Asynchronous Communication Interface Adapter	异步式通信适配器
bps	bits per second	传送速度单位
CRC	Cyclic Redundancy Check	循环冗余校验
DMA	Direct Memory Access	
DMAC	Direct Memory Access Controller	
GSM	Global System for Mobile Communications	
Hi-Z	High Impedance	
IEBus	Inter Equipment bus	NEC 电子公司提倡的通信方式
I/O	Input/Output	输入 / 输出
IrDA	Infrared Data Association	红外线数据协会
LSB	Least Significant Bit	最低有效位
MSB	Most Significant Bit	最高有效位
NC	Non-Connection	未连接引脚
PLL	Phase Locked Loop	锁相环路
PWM	Pulse Width Modulation	脉宽调制
SFR	Special Function Registers	外围电路控制寄存器组
SIM	Subscriber Identity Module	ISO-7816 规定的 IC 卡
UART	Universal Asynchronous Receiver/Transmitter	异步串行接口
VCO	Voltage Controlled Oscillator	电压控制振荡器

目 录

地址 - 页速查表	速查表 -1
1. 概要	1
1.1 应用	1
1.2 性能概要	2
1.3 框图	4
1.4 产品一览表	5
1.5 引脚连接图	6
1.6 引脚的功能说明	13
2. 使用时的注意事项	16
2.1 SFR	16
2.2 外部总线（仅限 Normal-ver.）	17
2.3 外部产生时钟	17
2.4 PLL 频率合成器	17
2.5 功耗控制	18
2.6 振荡停止、重新振荡检测功能	20
2.7 保护	21
2.8 中断	22
2.8.1 00000h 地址的读取	22
2.8.2 SP 的设定	22
2.8.3 NMI 中断	22
2.8.4 中断源的变更	23
2.8.5 INT 中断	23
2.8.6 中断控制寄存器的变更	24
2.8.7 看门狗定时器中断	24
2.9 DMAC	25
2.9.1 对 DMiCON 寄存器（i=0、1）的 DMAE 位写	25
2.10 定时器	25
2.10.1 定时器 A	25
2.10.2 定时器 B	29
2.11 三相马达控制用定时器功能	31
2.12 串行接口	32
2.12.1 时钟同步串行 I/O 模式	32
2.12.2 特殊模式	33
2.12.3 SI/Oi（i=3 ~ 6）（注 1）	34
2.13 A/D 转换器	35
2.14 CAN 模块	37
2.14.1 CiSTR 寄存器（i=0、1）的读取	37
2.14.2 CAN 运行模式和 CAN 复位模式的转移	39
2.14.3 降低消耗电流的要点	40
2.14.4 使用标准引导程序时的 CAN 收发器控制	41
2.15 可编程 I/O 端口	42
2.16 输入专用引脚	43
2.17 闪存版和掩模型 ROM 版的不同点	44
2.18 掩模型 ROM 版（仅限 Normal-ver.）	44
2.19 闪存版	45
2.19.1 闪存改写禁止功能	45
2.19.2 停止模式	45

2.19.3	等待模式	45
2.19.4	低功耗模式、内部振荡器低功耗模式	45
2.19.5	命令、数据的写	45
2.19.6	编程命令	45
2.19.7	锁住位编程命令	45
2.19.8	运行速度	45
2.19.9	禁止使用的指令	46
2.19.10	中断	46
2.19.11	存取方法	46
2.19.12	用户 ROM 区的改写	46
2.19.13	DMA 传送	46
2.20	通过标准引导程序改写闪存	47
2.20.1	利用串行执行写时	47
2.20.2	利用 CAN 执行写操作时	47
2.21	噪声	48
3.	中央处理器 (CPU)	49
3.1	数据寄存器 (R0、R1、R2、R3)	49
3.2	地址寄存器 (A0、A1)	49
3.3	帧基址寄存器 (FB)	50
3.4	中断表寄存器 (INTB)	50
3.5	程序计数器 (PC)	50
3.6	用户堆栈指针 (USP)、中断堆栈指针 (ISP)	50
3.7	静态基址寄存器 (SB)	50
3.8	标志寄存器 (FLG)	50
3.8.1	进位标志 (C 标志)	50
3.8.2	调试标志 (D 标志)	50
3.8.3	零标志位 (Z 标志)	50
3.8.4	符号标志 (S 标志)	50
3.8.5	寄存器组选择标志 (B 标志)	50
3.8.6	上溢标志 (O 标志)	50
3.8.7	中断允许标志 (I 标志)	50
3.8.8	堆栈指针选择标志 (U 标志)	50
3.8.9	处理器中断优先级 (IPL)	51
3.8.10	保留区	51
4.	存储器	52
5.	SFR	53
6.	复位	69
6.1	硬件复位	69
6.1.1	电源稳定时	69
6.1.2	接通电源时	69
6.2	软件复位	71
6.3	看门狗定时器复位	71
6.4	振荡停止检测复位	71
6.5	内部区域的状态	71
7.	处理器模式	72
7.1	处理器模式的类型	72
7.2	处理器模式的设定	73

8.	总线	79
8.1	总线格式	79
8.1.1	独立总线	79
8.1.2	多路复用总线	79
8.2	总线控制	80
8.2.1	地址总线	80
8.2.2	数据总线	80
8.2.3	片选信号	80
8.2.4	读写信号	82
8.2.5	<u>ALE</u> 信号	82
8.2.6	<u>RDY</u> 信号	83
8.2.7	<u>HOLD</u> 信号	84
8.2.8	BCLK 输出	84
8.2.9	存取内部区域时的外部总线状态	86
8.2.10	软件等待	86
9.	时钟产生电路	90
9.1	时钟产生电路的种类	90
9.1.1	主时钟	98
9.1.2	副时钟	99
9.1.3	内部振荡器时钟	100
9.1.4	PLL 时钟	100
9.2	CPU 时钟和外围功能时钟	102
9.2.1	CPU 时钟和 BCLK	102
9.2.2	外围功能时钟	102
9.3	时钟输出功能	102
9.4	功耗控制	103
9.4.1	正常运行模式	103
9.4.2	等待模式	105
9.4.3	停止模式	107
9.5	振荡停止、重新振荡检测功能	112
9.5.1	CM27 位为 “0”（复位）时的运行	112
9.5.2	CM27 位为 “1”（振荡停止、重新振荡检测中断）时的运行	112
9.5.3	振荡停止、重新振荡检测功能的使用方法	113
10.	保护	114
11.	中断	115
11.1	中断的分类	115
11.2	软件中断	116
11.2.1	未定义指令中断	116
11.2.2	上溢中断	116
11.2.3	BRK 中断	116
11.2.4	INT 指令中断	116
11.3	硬件中断	117
11.3.1	特殊中断	117
11.3.2	外围功能中断	117
11.4	中断和中断向量	118
11.4.1	固定向量表	118
11.4.2	可变向量表	118
11.5	中断控制	120
11.5.1	I 标志	122

11.5.2	IR 位	122
11.5.3	ILVL2 ~ ILVL0 位、IPL	122
11.5.4	中断响应顺序	123
11.5.5	中断响应时间	124
11.5.6	接受中断请求时的 IPL 变化	124
11.5.7	寄存器保存	125
11.5.8	从中断程序的返回	126
11.5.9	中断优先级	126
11.5.10	中断优先级判断电路	126
11.6	INT 中断	128
11.7	NMI 中断	132
11.8	键输入中断	132
11.9	CAN0/1 唤醒中断	132
11.10	地址匹配中断	133
12.	看门狗定时器	135
12.1	计数源保护模式	136
13.	DMAC	137
13.1	传送周期	142
13.1.1	传送源地址、传送目标地址的影响	142
13.1.2	BYTE 引脚的影响（注 1）	142
13.1.3	软件等待的影响	142
13.1.4	RDY 信号的影响（注 1）	142
13.2	DMAC 传送周期数	144
13.3	DMA 允许	145
13.4	DMA 请求	145
13.5	通道的优先级和 DMA 传送时序	146
14.	定时器	147
14.1	定时器 A	149
14.1.1	定时器模式	153
14.1.2	事件计数器模式	154
14.1.3	单次触发定时器模式	159
14.1.4	脉宽调制模式（PWM 模式）	161
14.2	定时器 B	164
14.2.1	定时器模式	167
14.2.2	事件计数器模式	168
14.2.3	脉冲周期测定、脉宽测定模式	169
15.	用于三相马达控制的定时器功能	172
16.	串行接口	183
16.1	UARTi (i=0 ~ 2)	183
16.1.1	时钟同步串行 I/O 模式	193
16.1.2	时钟异步串行 I/O（UART）模式	201
16.1.3	特殊模式 1（I ² C 模式）	209
16.1.4	特殊模式 2	218
16.1.5	特殊模式 3（IE 模式）	223
16.1.6	特殊模式 4（SIM 模式）（UART2）	225
16.2	SI/Oi (i=3 ~ 6)（注 1）	230
16.2.1	SI/Oi 运行时序	234

16.2.2	CLK 极性选择	234
16.2.3	SOUTi 初始值的设定功能	235
17.	A/D 转换器	236
17.1	模式的说明	240
17.1.1	单次模式	240
17.1.2	重复模式	242
17.1.3	单次扫描模式	244
17.1.4	重复扫描模式 0	246
17.1.5	重复扫描模式 1	248
17.2	功能	250
17.2.1	分辨率选择功能	250
17.2.2	采样 & 保持	250
17.2.3	扩展模拟输入引脚	250
17.2.4	外部运算放大器连接模式	250
17.2.5	降低功耗功能	251
17.2.6	A/D 转换时的传感器输出阻抗	251
18.	D/A 转换器	253
19.	CRC 运算电路	255
20.	CAN 模块	257
20.1	CAN 模块相关寄存器	258
20.1.1	CANi 消息框	258
20.1.2	接收屏蔽寄存器	258
20.1.3	CAN 专用寄存器 (SFR)	258
20.2	CANi 消息框	259
20.3	接收屏蔽寄存器	261
20.4	CAN SFR 寄存器	262
20.5	运行模式	268
20.5.1	CAN 复位 / 初始化模式	268
20.5.2	CAN 运行模式	269
20.5.3	CAN 睡眠模式	269
20.5.4	CAN 接口睡眠模式	269
20.5.5	总线关闭状态	270
20.6	CAN 模块系统时钟的设定	271
20.7	位时序的设定	271
20.8	传送速度	272
20.8.1	传送速度的计算式	272
20.9	接收滤波功能和屏蔽功能	273
20.10	接收滤波支持单元 (ASU)	274
20.11	Basic CAN 模式	275
20.12	总线关闭返回功能	276
20.13	时戳计数器和时戳功能	276
20.14	只监听模式	276
20.15	CAN 接收和 CAN 发送	277
20.15.1	接收	278
20.15.2	发送	279
20.16	CAN 中断	280
21.	可编程 I/O 端口	281

21.1	PDi 寄存器	282
21.2	Pi 寄存器、PC14 寄存器	282
21.3	PURj 寄存器	282
21.4	PCR 寄存器	282
22.	闪存版	294
22.1	存储器配置	295
22.1.1	引导模式	296
22.2	闪存改写禁止功能	296
22.2.1	ROM 码保护功能	296
22.2.2	ID 码检查功能	296
22.3	CPU 改写模式	298
22.3.1	EW0 模式	299
22.3.2	EW1 模式	299
22.3.3	FMR0、FMR1 寄存器	300
22.3.4	CPU 改写模式的注意事项	305
22.3.5	软件命令	307
22.3.6	数据保护功能	312
22.3.7	状态寄存器 (SRD 寄存器)	312
22.3.8	全状态检查	314
22.4	标准串行输入 / 输出模式	316
22.4.1	ID 码检查功能	316
22.4.2	标准串行输入 / 输出模式 1 及 2 时的引脚处理例	320
22.5	并行输入 / 输出模式	321
22.5.1	引导 ROM 区	321
22.5.2	ROM 码保护功能	321
22.6	CAN 输入 / 输出模式	322
22.6.1	ID 码检查功能	322
22.6.2	使用 CAN 输入 / 输出模式时的引脚处理例	325
23.	电特性	326
23.1	电特性 (Normal-ver.)	326
23.2	电特性 (T/V-ver.)	362
附录		372
附录 1.	封装尺寸图	372
寄存器索引		373

地址 - 页速查表

地址	寄存器	符号	记述页
0000h			
0001h			
0002h			
0003h			
0004h	处理器模式寄存器 0	PM0	74
0005h	处理器模式寄存器 1	PM1	75
0006h	系统时钟控制寄存器 0	CM0	95
0007h	系统时钟控制寄存器 1	CM1	93
0008h	片选控制寄存器	CSR	80
0009h	地址匹配中断允许寄存器	AIER	134
000Ah	保护寄存器	PRCR	114
000Bh			
000Ch	振荡停止检测寄存器	CM2	94
000Dh			
000Eh	看门狗定时器启动寄存器	WDTS	136
000Fh	看门狗定时器控制寄存器	WDC	136
0010h			
0011h	地址匹配中断寄存器 0	RMAD0	134
0012h			
0013h			
0014h			
0015h	地址匹配中断寄存器 1	RMAD1	134
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh	片选扩展控制寄存器	CSE	86
001Ch	PLL 控制寄存器 0	PLC0	97
001Dh			
001Eh	处理器模式寄存器 2	PM2	96
001Fh			
0020h			
0021h	DMA0 源指针	SAR0	141
0022h			
0023h			
0024h			
0025h	DMA0 目标指针	DAR0	141
0026h			
0027h			
0028h	DMA0 传送计数器	TCR0	141
0029h			
002Ah			
002Bh			
002Ch	DMA0 控制寄存器	DM0CON	140
002Dh			
002Eh			
002Fh			
0030h			
0031h	DMA1 源指针	SAR1	141
0032h			
0033h			
0034h			
0035h	DMA1 目标指针	DAR1	141
0036h			
0037h			
0038h	DMA1 传送计数器	TCR1	141
0039h			
003Ah			
003Bh			
003Ch	DMA1 控制寄存器	DM1CON	140
003Dh			
003Eh			
003Fh			

空栏为保留区，不能存取。

地址	寄存器	符号	记述页
0040h			
0041h	CAN0/1 唤醒中断控制寄存器	C01WKIC	120
0042h	CAN0 接收结束中断控制寄存器	C0RECIC	120
0043h	CAN0 发送结束中断控制寄存器	C0TRMIC	120
0044h	INT3 中断控制寄存器	INT3IC	121
0045h	定时器 B5 中断控制寄存器	TB5IC	120
	SI/O5 中断控制寄存器	S5IC	120
0046h	定时器 B4 中断控制寄存器	TB4IC	120
	UART1 总线冲突检测中断控制寄存器	U1BCNIC	120
0047h	定时器 B3 中断控制寄存器	TB3IC	120
	UART0 总线冲突检测中断控制寄存器	U0BCNIC	120
0048h	CAN1 接收结束中断控制寄存器	C1RECIC	121
	SI/O4 中断控制寄存器	S4IC	121
	INT5 中断控制寄存器	INT5IC	121
0049h	CAN1 发送结束中断控制寄存器	C1TRMIC	121
	SI/O3 中断控制寄存器	S3IC	121
	INT4 中断控制寄存器	INT4IC	121
004Ah	UART2 总线冲突检测中断控制寄存器	U2BCNIC	120
004Bh	DMA0 中断控制寄存器	DM0IC	120
004Ch	DMA1 中断控制寄存器	DM1IC	120
004Dh	CAN0/1 状态、错误中断控制寄存器	C01ERRIC	120
004Eh	A/D 转换中断控制寄存器	ADIC	120
	键输入中断控制寄存器	KUPIC	120
004Fh	UART2 发送中断控制寄存器	S2TIC	120
0050h	UART2 接收中断控制寄存器	S2RIC	120
0051h	UART0 发送中断控制寄存器	S0TIC	120
0052h	UART0 接收中断控制寄存器	S0RIC	120
0053h	UART1 发送中断控制寄存器	S1TIC	120
0054h	UART1 接收中断控制寄存器	S1RIC	120
0055h	定时器 A0 中断控制寄存器	TA0IC	120
0056h	定时器 A1 中断控制寄存器	TA1IC	120
0057h	定时器 A2 中断控制寄存器	TA2IC	121
	INT7 中断控制寄存器	INT7IC	121
0058h	定时器 A3 中断控制寄存器	TA3IC	121
	INT6 中断控制寄存器	INT6IC	121
0059h	定时器 A4 中断控制寄存器	TA4IC	120
005Ah	定时器 B0 中断控制寄存器	TB0IC	120
	SI/O6 中断控制寄存器	S6IC	120
005Bh	定时器 B1 中断控制寄存器	TB1IC	121
	INT8 中断控制寄存器	INT8IC	121
005Ch	定时器 B2 中断控制寄存器	TB2IC	120
005Dh	INT0 中断控制寄存器	INT0IC	121
005Eh	INT1 中断控制寄存器	INT1IC	121
005Fh	INT2 中断控制寄存器	INT2IC	121
0060h			
0061h			
0062h	CAN0 槽 0: 消息标识符 /DLC		
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h	CAN0 槽 0: 数据区		
006Ah			
006Bh			
006Ch			
006Dh			
006Eh	CAN0 槽 0: 时戳		
006Fh			
0070h			
0071h			
0072h	CAN0 槽 1: 消息标识符 /DLC		
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h	CAN0 槽 1: 数据区		
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh	CAN0 槽 1: 时戳		

地址 - 页速查表

地址	寄存器	符号	记述页
0080h	CAN0 槽 2: 消息标识符 /DLC		
0081h			
0082h			
0083h			
0084h			
0085h	CAN0 槽 2: 数据区		
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch	CAN0 槽 2: 时戳		
008Dh			
008Eh	CAN0 槽 3: 消息标识符 /DLC		
008Fh			
0090h			
0091h			
0092h			
0093h	CAN0 槽 3: 数据区		
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah	CAN0 槽 3: 时戳		
009Bh			
009Ch			
009Dh	CAN0 槽 4: 消息标识符 /DLC		259、260
009Eh			
009Fh			
00A0h			
00A1h			
00A2h	CAN0 槽 4: 数据区		
00A3h			
00A4h			
00A5h			
00A6h			
00A7h			
00A8h			
00A9h	CAN0 槽 4: 时戳		
00AAh			
00ABh			
00ACh	CAN0 槽 5: 消息标识符 /DLC		
00ADh			
00AEh			
00AFh			
00B0h			
00B1h	CAN0 槽 5: 数据区		
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	CAN0 槽 5: 时戳		
00B9h			
00BAh			
00BBh	CAN0 槽 5: 时戳		
00BCh			
00BDh			
00BEh			
00BFh			

空栏为保留区，不能存取。

地址	寄存器	符号	记述页
00C0h	CAN0 槽 6: 消息标识符 /DLC		
00C1h			
00C2h			
00C3h			
00C4h			
00C5h	CAN0 槽 6: 数据区		
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh	CAN0 槽 6: 时戳		
00CDh			
00CEh			
00CFh	CAN0 槽 7: 消息标识符 /DLC		
00D0h			
00D1h			
00D2h			
00D3h			
00D4h	CAN0 槽 7: 数据区		
00D5h			
00D6h			
00D7h			
00D8h			
00D9h			
00DAh			
00DBh	CAN0 槽 7: 时戳		
00DCh			
00DDh			
00DEh	CAN0 槽 8: 消息标识符 /DLC		259、260
00DFh			
00E0h			
00E1h			
00E2h			
00E3h	CAN0 槽 8: 数据区		
00E4h			
00E5h			
00E6h			
00E7h			
00E8h			
00E9h			
00EAh	CAN0 槽 8: 时戳		
00EBh			
00ECh			
00EDh	CAN0 槽 9: 消息标识符 /DLC		
00EEh			
00EFh			
00F0h			
00F1h			
00F2h	CAN0 槽 9: 数据区		
00F3h			
00F4h			
00F5h			
00F6h			
00F7h			
00B8h			
00F9h	CAN0 槽 9: 时戳		
00FAh			
00FBh			
00FCh			
00FDh			
00FEh			
00FFh			

地址 - 页速查表

地址	寄存器	符号	记述页
0100h	CAN0 槽 10: 消息标识符 /DLC		
0101h			
0102h			
0103h			
0104h			
0105h	CAN0 槽 10: 数据区		
0106h			
0107h			
0108h			
0109h			
010Ah			
010Bh			
010Ch	CAN0 槽 10: 时戳		
010Dh			
010Eh	CAN0 槽 11: 消息标识符 /DLC		
010Fh			
0110h			
0111h			
0112h			
0113h	CAN0 槽 11: 数据区		
0114h			
0115h			
0116h			
0117h			
0118h			
0119h			
011Ah	CAN0 槽 11: 时戳		
011Bh			
011Ch	CAN0 槽 12: 消息标识符 /DLC		
011Dh			
011Eh			
011Fh			
0120h			
0121h	CAN0 槽 12: 数据区		
0122h			
0123h			
0124h			
0125h			
0126h	CAN0 槽 12: 时戳		
0127h			
0128h			
0129h			
012Ah			
012Bh			
012Ch			
012Dh	CAN0 槽 13: 消息标识符 /DLC		
012Eh			
012Fh			
0130h			
0131h			
0132h	CAN0 槽 13: 数据区		
0133h			
0134h			
0135h			
0136h			
0137h			
0138h			
0139h	CAN0 槽 13: 时戳		
013Ah			
013Bh	CAN0 槽 13: 数据区		
013Ch			
013Dh			
013Eh			
013Fh			

259、260

地址	寄存器	符号	记述页
0140h	CAN0 槽 14: 消息标识符 /DLC		
0141h			
0142h			
0143h			
0144h			
0145h	CAN0 槽 14: 数据区		
0146h			
0147h			
0148h			
0149h			
014Ah			
014Bh			
014Ch	CAN0 槽 14: 时戳		
014Dh			
014Eh	CAN0 槽 15: 消息标识符 /DLC		
014Fh			
0150h			
0151h			
0152h			
0153h	CAN0 槽 15: 数据区		
0154h			
0155h			
0156h			
0157h			
0158h			
0159h			
015Ah	CAN0 槽 15: 时戳		
015Bh			
015Ch	CAN0 全局屏蔽寄存器	COGMR	261
015Dh			
015Eh			
015Fh			
0160h			
0161h	CAN0 局部屏蔽 A 寄存器	COLMAR	261
0162h			
0163h			
0164h			
0165h			
0166h	CAN0 局部屏蔽 B 寄存器	COLMBR	261
0167h			
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh	CAN0 槽 15: 时戳		
016Eh			
016Fh			
0170h			
0171h			
0172h	CAN0 槽 15: 数据区		
0173h			
0174h			
0175h			
0176h			
0177h	CAN0 槽 15: 时戳		
0178h			
0179h			
017Ah			
017Bh			
017Ch	CAN0 槽 15: 数据区		
017Dh			
017Eh			
017Fh			

地址 - 页速查表

地址	寄存器	符号	记述页
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h			
01B4h			
01B5h	闪存控制寄存器 1	FMR1	300
01B6h			
01B7h	闪存控制寄存器 0	FMR0	300
01B8h			
01B9h	地址匹配中断寄存器 2	RMAD2	131
01BAh			
01BBh	地址匹配中断允许寄存器 2	AIER2	131
01BCh			
01BDh	地址匹配中断寄存器 3	RMAD3	131
01BEh			
01BFh			

空栏为保留区，不能存取。

地址	寄存器	符号	记述页
01C0h	定时器 B3、B4、B5 计数开始标志寄存器	TBSR	166
01C1h			
01C2h	定时器 A1-1 寄存器	TA11	177
01C3h			
01C4h	定时器 A2-1 寄存器	TA21	177
01C5h			
01C6h	定时器 A4-1 寄存器	TA41	177
01C7h			
01C8h	三相 PWM 控制寄存器 0	INVC0	174
01C9h	三相 PWM 控制寄存器 1	INVC1	175
01CAh	三相输出缓冲寄存器 0	IDB0	176
01CBh	三相输出缓冲寄存器 1	IDB1	176
01CCh	死区时间定时器	DTT	176
01CDh	定时器 B2 中断产生频率设置计数器	ICTB2	177
01CEh			
01CFh	中断源选择寄存器 2	IFSR2	131
01D0h	定时器 B3 寄存器	TB3	165
01D1h			
01D2h	定时器 B4 寄存器	TB4	165
01D3h			
01D4h	定时器 B5 寄存器	TB5	165
01D5h			
01D6h	SI/O6 发送 / 接收寄存器	S6TRR	231
01D7h			
01D8h	SI/O6 控制寄存器	S6C	231
01D9h	SI/O6 位速率寄存器	S6BRG	231
01DAh	SI/O3,4,5,6 发送 / 接收寄存器	S3456TRR	232
01DBh	定时器 B3 模式寄存器	TB3MR	165、 167、 170、 173
01DCh	定时器 B4 模式寄存器	TB4MR	
01DDh	定时器 B5 模式寄存器	TB5MR	
01DEh	中断源选择寄存器 0	IFSR0	129
01DFh	中断源选择寄存器 1	IFSR1	130
01E0h	SI/O3 发送 / 接收寄存器	S3TRR	231
01E1h			
01E2h	SI/O3 控制寄存器	S3C	231
01E3h	SI/O3 位速率寄存器	S3BRG	231
01E4h	SI/O4 发送 / 接收寄存器	S4TRR	231
01E5h			
01E6h	SI/O4 控制寄存器	S4C	231
01E7h	SI/O4 位速率寄存器	S4BRG	231
01E8h	SI/O5 发送 / 接收寄存器	S5TRR	231
01E9h			
01EAh	SI/O5 控制寄存器	S5C	231
01EBh	SI/O5 位速率寄存器	S5BRG	231
01ECh	UART0 特殊模式寄存器 4	U0SMR4	192
01EDh	UART0 特殊模式寄存器 3	U0SMR3	191
01EEh	UART0 特殊模式寄存器 2	U0SMR2	191
01EFh	UART0 特殊模式寄存器	U0SMR	190
01F0h	UART1 特殊模式寄存器 4	U1SMR4	192
01F1h	UART1 特殊模式寄存器 3	U1SMR3	191
01F2h	UART1 特殊模式寄存器 2	U1SMR2	191
01F3h	UART1 特殊模式寄存器	U1SMR	190
01F4h	UART2 特殊模式寄存器 4	U2SMR4	192
01F5h	UART2 特殊模式寄存器 3	U2SMR3	191
01F6h	UART2 特殊模式寄存器 2	U2SMR2	191
01F7h	UART2 特殊模式寄存器	U2SMR	190
01F8h	UART2 发送 / 接收模式寄存器	U2MR	188
01F9h	UART2 位速率寄存器	U2BRG	187
01FAh			
01FBh	UART2 发送缓冲寄存器	U2TB	187
01FCh	UART2 发送 / 接收控制寄存器 0	U2C0	188
01FDh	UART2 发送 / 接收控制寄存器 1	U2C1	189
01FEh			
01FFh	UART2 接收缓冲寄存器	U2RB	187

地址 - 页速查表

地址	寄存器	符号	记述页
0200h	CAN0 消息控制寄存器 0	C0MCTL0	262
0201h	CAN0 消息控制寄存器 1	C0MCTL1	
0202h	CAN0 消息控制寄存器 2	C0MCTL2	
0203h	CAN0 消息控制寄存器 3	C0MCTL3	
0204h	CAN0 消息控制寄存器 4	C0MCTL4	
0205h	CAN0 消息控制寄存器 5	C0MCTL5	
0206h	CAN0 消息控制寄存器 6	C0MCTL6	
0207h	CAN0 消息控制寄存器 7	C0MCTL7	
0208h	CAN0 消息控制寄存器 8	C0MCTL8	
0209h	CAN0 消息控制寄存器 9	C0MCTL9	
020Ah	CAN0 消息控制寄存器 10	C0MCTL10	
020Bh	CAN0 消息控制寄存器 11	C0MCTL11	
020Ch	CAN0 消息控制寄存器 12	C0MCTL12	
020Dh	CAN0 消息控制寄存器 13	C0MCTL13	
020Eh	CAN0 消息控制寄存器 14	C0MCTL14	
020Fh	CAN0 消息控制寄存器 15	C0MCTL15	
0210h	CAN0 控制寄存器	C0CTLR	263
0211h			
0212h	CAN0 状态寄存器	C0STR	264
0213h			
0214h	CAN0 槽状态寄存器	C0SSTR	265
0215h			
0216h	CAN0 中断控制寄存器	C0ICR	265
0217h			
0218h	CAN0 扩展 ID 寄存器	C0IDR	265
0219h			
021Ah	CAN0 总线时序控制寄存器	C0CONR	266
021Bh			
021Ch	CAN0 接收错误计数寄存器	C0RECR	267
021Dh	CAN0 发送错误计数寄存器	C0TECR	267
021Eh	CAN0 时戳寄存器	C0TSR	267
021Fh			
0220h	CAN1 消息控制寄存器 0	C1MCTL0	262
0221h	CAN1 消息控制寄存器 1	C1MCTL1	
0222h	CAN1 消息控制寄存器 2	C1MCTL2	
0223h	CAN1 消息控制寄存器 3	C1MCTL3	
0224h	CAN1 消息控制寄存器 4	C1MCTL4	
0225h	CAN1 消息控制寄存器 5	C1MCTL5	
0226h	CAN1 消息控制寄存器 6	C1MCTL6	
0227h	CAN1 消息控制寄存器 7	C1MCTL7	
0228h	CAN1 消息控制寄存器 8	C1MCTL8	
0229h	CAN1 消息控制寄存器 9	C1MCTL9	
022Ah	CAN1 消息控制寄存器 10	C1MCTL10	
022Bh	CAN1 消息控制寄存器 11	C1MCTL11	
022Ch	CAN1 消息控制寄存器 12	C1MCTL12	
022Dh	CAN1 消息控制寄存器 13	C1MCTL13	
022Eh	CAN1 消息控制寄存器 14	C1MCTL14	
022Fh	CAN1 消息控制寄存器 15	C1MCTL15	
0230h	CAN1 控制寄存器	C1CTLR	263
0231h			
0232h	CAN1 状态寄存器	C1STR	264
0233h			
0234h	CAN1 槽状态寄存器	C1SSTR	265
0235h			
0236h	CAN1 中断控制寄存器	C1ICR	265
0237h			
0238h	CAN1 扩展 ID 寄存器	C1IDR	265
0239h			
023Ah	CAN1 总线时序控制寄存器	C1CONR	266
023Bh			
023Ch	CAN1 接收错误计数寄存器	C1RECR	267
023Dh	CAN1 发送错误计数寄存器	C1TECR	267
023Eh	CAN1 时戳寄存器	C1TSR	267
023Fh			

空栏为保留区，不能存取。

地址	寄存器	符号	记述页
0240h			
0241h			
0242h			
0243h	CAN0 接收滤波支持寄存器	C0AFS	267
0244h	CAN1 接收滤波支持寄存器	C1AFS	267
0245h			
0246h			
0247h			
0248h			
0249h			
024Ah			
024Bh			
024Ch			
024Dh			
024Eh			
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh	外围时钟选择寄存器	PCLKR	95
025Fh	CAN0/1 时钟选择寄存器	CCLKR	96
0260h	CAN1 槽 0: 消息标识符 /DLC		259、260
0261h			
0262h			
0263h			
0264h			
0265h	CAN1 槽 0: 数据区		
0266h			
0267h			
0268h			
0269h			
026Ah	CAN1 槽 0: 数据区		
026Bh			
026Ch			
026Dh			
026Eh			
026Fh	CAN1 槽 0: 时戳		
0270h	CAN1 槽 1: 消息标识符 /DLC		
0271h			
0272h			
0273h			
0274h			
0275h	CAN1 槽 1: 数据区		
0276h			
0277h			
0278h			
0279h			
027Ah	CAN1 槽 1: 数据区		
027Bh			
027Ch			
027Dh			
027Eh			
027Fh	CAN1 槽 1: 时戳		

地址 - 页速查表

地址	寄存器	符号	记述页
0280h	CAN1 槽 2: 消息标识符 /DLC		
0281h			
0282h			
0283h			
0284h			
0285h	CAN1 槽 2: 数据区		
0286h			
0287h			
0288h			
0289h			
028Ah			
028Bh			
028Ch	CAN1 槽 2: 时戳		
028Dh			
028Eh			
028Fh			
0290h			
0291h	CAN1 槽 3: 消息标识符 /DLC		
0292h			
0293h			
0294h			
0295h			
0296h	CAN1 槽 3: 数据区		
0297h			
0298h			
0299h			
029Ah			
029Bh			
029Ch			
029Dh	CAN1 槽 3: 时戳		
029Eh			
029Fh			
02A0h			
02A1h			
02A2h	CAN1 槽 4: 消息标识符 /DLC		
02A3h			
02A4h			
02A5h			
02A6h			
02A7h	CAN1 槽 4: 数据区		
02A8h			
02A9h			
02AAh			
02ABh			
02ACh			
02ADh			
02AEh	CAN1 槽 4: 时戳		
02AFh			
02B0h			
02B1h			
02B2h			
02B3h	CAN1 槽 5: 消息标识符 /DLC		
02B4h			
02B5h			
02B6h			
02B7h			
02B8h	CAN1 槽 5: 数据区		
02B9h			
02BAh			
02BBh			
02BCh			
02BDh			
02BEh			
02BFh	CAN1 槽 5: 时戳		

259、260

地址	寄存器	符号	记述页
02C0h	CAN1 槽 6: 消息标识符 /DLC		
02C1h			
02C2h			
02C3h			
02C4h			
02C5h	CAN1 槽 6: 数据区		
02C6h			
02C7h			
02C8h			
02C9h			
02CAh			
02CBh			
02CCh	CAN1 槽 6: 时戳		
02CDh			
02CEh			
02CFh			
02D0h			
02D1h	CAN1 槽 7: 消息标识符 /DLC		
02D2h			
02D3h			
02D4h			
02D5h			
02D6h	CAN1 槽 7: 数据区		
02D7h			
02D8h			
02D9h			
02DAh			
02DBh			
02DCh			
02DDh	CAN1 槽 7: 时戳		
02DEh			
02DFh			
02E0h			
02E1h			
02E2h	CAN1 槽 8: 消息标识符 /DLC		
02E3h			
02E4h			
02E5h			
02E6h			
02E7h	CAN1 槽 8: 数据区		
02E8h			
02E9h			
02EAh			
02EBh			
02ECh			
02EDh			
02EEh	CAN1 槽 8: 时戳		
02EFh			
02F0h			
02F1h			
02F2h			
02F3h	CAN1 槽 9: 消息标识符 /DLC		
02F4h			
02F5h			
02F6h			
02F7h			
02F8h	CAN1 槽 9: 数据区		
02F9h			
02FAh			
02FBh			
02FCh			
02FDh			
02FEh			
02FFh	CAN1 槽 9: 时戳		

259、260

空栏为保留区，不能存取。

地址 - 页速查表

地址	寄存器	符号	记述页
0300h	CAN1 槽 10: 消息标识符 /DLC		259、260
0301h			
0302h			
0303h			
0304h			
0305h			
0306h	CAN1 槽 10: 数据区		
0307h			
0308h			
0309h			
030Ah			
030Bh			
030Ch			
030Dh			
030Eh	CAN1 槽 10: 时戳		
030Fh			
0310h	CAN1 槽 11: 消息标识符 /DLC		
0311h			
0312h			
0313h			
0314h			
0315h			
0316h	CAN1 槽 11: 数据区		
0317h			
0318h			
0319h			
031Ah			
031Bh			
031Ch			
031Dh			
031Eh	CAN1 槽 11: 时戳		
031Fh			
0320h	CAN1 槽 12: 消息标识符 /DLC		
0321h			
0322h			
0323h			
0324h			
0325h			
0326h	CAN1 槽 12: 数据区		
0327h			
0328h			
0329h			
032Ah			
032Bh			
032Ch			
032Dh			
032Eh	CAN1 槽 12: 时戳		
032Fh			
0330h	CAN1 槽 13: 消息标识符 /DLC		
0331h			
0332h			
0333h			
0334h			
0335h			
0336h	CAN1 槽 13: 数据区		
0337h			
0338h			
0339h			
033Ah			
033Bh			
033Ch			
033Dh			
033Eh	CAN1 槽 13: 时戳		
033Fh			

空栏为保留区，不能存取。

地址	寄存器	符号	记述页
0340h	CAN1 槽 14: 消息标识符 /DLC		259、260
0341h			
0342h			
0343h			
0344h			
0345h			
0346h	CAN1 槽 14: 数据区		
0347h			
0348h			
0349h			
034Ah			
034Bh			
034Ch			
034Dh			
034Eh	CAN1 槽 14: 时戳		
034Fh			
0350h	CAN1 槽 15: 消息标识符 /DLC		
0351h			
0352h			
0353h			
0354h			
0355h			
0356h	CAN1 槽 15: 数据区		
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh	CAN1 槽 15: 时戳		
035Fh			
0360h	CAN1 全局屏蔽寄存器	C1GMR	261
0361h			
0362h			
0363h			
0364h			
0365h			
0366h	CAN1 局部屏蔽 A 寄存器	C1MAR	261
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch	CAN1 局部屏蔽 B 寄存器	C1LMBR	261
036Dh			
036Eh			
036Fh			
0370h			
0371h			
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch			
037Dh			
037Eh			
037Fh			

地址 - 页速查表

地址	寄存器	符号	记述页
0380h	计数开始标志	TABSR	151、166、179
0381h	时钟预分频器复位标志	CPSRF	152、166
0382h	单次触发启动标志	ONSF	152
0383h	触发选择	TRGSR	152、179
0384h	递增 / 递减标志	UDF	151
0385h			
0386h	定时器 A0 寄存器	TA0	150
0387h			
0388h	定时器 A1 寄存器	TA1	150、177
0389h			
038Ah	定时器 A2 寄存器	TA2	150、177
038Bh			
038Ch	定时器 A3 寄存器	TA3	150
038Dh			
038Eh	定时器 A4 寄存器	TA4	150、177
038Fh			
0390h	定时器 B0 寄存器	TB0	165
0391h			
0392h	定时器 B1 寄存器	TB1	165
0393h			
0394h	定时器 B2 寄存器	TB2	165、177
0395h			
0396h	定时器 A0 模式寄存器	TA0MR	150、180
0397h	定时器 A1 模式寄存器	TA1MR	152、157、180
0398h	定时器 A2 模式寄存器	TA2MR	152、157、180
0399h	定时器 A3 模式寄存器	TA3MR	160、157
039Ah	定时器 A4 模式寄存器	TA4MR	157、180
039Bh	定时器 B0 模式寄存器	TB0MR	
039Ch	定时器 B1 模式寄存器	TB1MR	165、167、180
039Dh	定时器 B2 模式寄存器	TB2MR	
039Eh	定时器 B2 特殊模式寄存器	TB2SC	177
039Fh			
03A0h	UART0 发送 / 接收模式寄存器	U0MR	188
03A1h	UART0 位速率寄存器	U0BRG	187
03A2h			
03A3h	UART0 发送缓冲寄存器	U0TB	187
03A4h	UART0 发送 / 接收控制寄存器 0	U0C0	188
03A5h	UART0 发送 / 接收控制寄存器 1	U0C1	189
03A6h			
03A7h	UART0 接收缓冲寄存器	U0RB	187
03A8h	UART1 发送 / 接收模式寄存器	U1MR	188
03A9h	UART1 位速率寄存器	U1BRG	187
03AAh			
03ABh	UART1 发送缓冲寄存器	U1TB	187
03ACh	UART1 发送 / 接收控制寄存器 0	U1C0	188
03ADh	UART1 发送 / 接收控制寄存器 1	U1C1	189
03AEh			
03AFh	UART1 接收缓冲寄存器	U1RB	188
03B0h	UART 发送 / 接收控制寄存器 2	UCON	190
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0 触发源选择寄存器	DM0SL	139
03B9h			
03BAh	DMA1 触发源选择寄存器	DM1SL	140
03BBh			
03BCh			
03BDh	CRC 数据寄存器	CRCD	255
03BEh	CRC 输入寄存器	CRCIN	255
03BFh			

空栏为保留区，不能存取。

地址	寄存器	符号	记述页
03C0h	A/D 寄存器 0	AD0	236
03C1h			
03C2h	A/D 寄存器 1	AD1	
03C3h			
03C4h	A/D 寄存器 2	AD2	
03C5h			
03C6h	A/D 寄存器 3	AD3	
03C7h			
03C8h	A/D 寄存器 4	AD4	
03C9h			
03CAh	A/D 寄存器 5	AD5	239
03CBh			
03CCh	A/D 寄存器 6	AD6	
03CDh			
03CEh	A/D 寄存器 7	AD7	
03CFh			
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D 控制寄存器 2	ADCON2	239
03D5h			
03D6h	A/D 控制寄存器 0	ADCON0	239、241、253、245、247、249
03D7h	A/D 控制寄存器 1	ADCON1	
03D8h	D/A 寄存器 0	DA0	254
03D9h			
03DAh	D/A 寄存器 1	DA1	254
03DBh			
03DCh	D/A 控制寄存器	DACON	254
03DDh			
03DEh	端口 P14 控制寄存器	PC14	289
03DFh	上拉控制寄存器 3	PUR3	290
03E0h	P0 口寄存器	P0	289
03E1h	P1 口寄存器	P1	289
03E2h	P0 口方向寄存器	PD0	288
03E3h	P1 口方向寄存器	PD1	288
03E4h	P2 口寄存器	P2	289
03E5h	P3 口寄存器	P3	289
03E6h	P2 口方向寄存器	PD2	288
03E7h	P3 口方向寄存器	PD3	288
03E8h	P4 口寄存器	P4	289
03E9h	P5 口寄存器	P5	289
03EAh	P4 口方向寄存器	PD4	288
03EBh	P5 口方向寄存器	PD5	288
03ECh	P6 口寄存器	P6	289
03EDh	P7 口寄存器	P7	289
03EEh	P6 口方向寄存器	PD6	288
03EFh	P7 口方向寄存器	PD7	288
03F0h	P8 口寄存器	P8	289
03F1h	P9 口寄存器	P9	289
03F2h	P8 口方向寄存器	PD8	288
03F3h	P9 口方向寄存器	PD9	288
03F4h	P10 口寄存器	P10	289
03F5h	P11 口寄存器	P11	289
03F6h	P10 口方向寄存器	PD10	288
03F7h	P11 口方向寄存器	PD11	288
03F8h	P12 口寄存器	P12	289
03F9h	P13 口寄存器	P13	289
03FAh	P12 口方向寄存器	PD12	288
03FBh	P13 口方向寄存器	PD13	288
03FCh	上拉控制寄存器 0	PUR0	290
03FDh	上拉控制寄存器 1	PUR1	290
03FEh	上拉控制寄存器 2	PUR2	290
03FFh	端口控制寄存器	PCR	290

M16C/6N 群 (M16C/6NK、M16C/6NM)

瑞萨 16 位单片机

1. 概要

M16C/6N 群 (M16C/6NK、M16C/6NM) 是采用高性能硅栅 CMOS 工艺并且搭载了 M16C/60 系列 CPU 内核的单片机，采用 100 引脚或者 128 引脚 LQFP 塑封。此单片机既有高性能指令又有高效率指令，并具备 1M 字节的地址空间和快速执行指令的能力。内置有 2 通道的 CAN 模块，是适用于车载音频、工业设备等的单片机。另外，M16C/6N 群具有乘法器和 DMA，所以也适用于需要高速算术处理的 OA 和通信设备的控制。

1.1 应用

- 汽车音响、工业设备、其他 (Normal-ver. 产品)
- 车载、FA 的 LAN 系统、其他 (T/V-ver. 产品)

1.2 性能概要

性能概要如表 1.1、表 1.2 所示。

表 1.1 性能概要 (100 引脚版: M16C/6NK)

项目		性能	
		Normal-ver.	T/V-ver.
CPU	基本指令数	91 条指令	
	最短指令执行时间	41.7ns(f(BCLK)=24MHz、1/1 预分频器、无等待时)	50.0ns(f(BCLK)=20MHz、1/1 预分频器、无等待时)
	运行模式	单芯片、存储器扩展、微处理器模式	单芯片模式
	地址空间	1M 字节	
	存储器容量	请参照“表 1.3 产品一览表”	
外围功能	端口	输入 / 输出 :87 个、输入 :1 个	
	多功能定时器	定时器 A:16 位 ×5 通道 定时器 B:16 位 ×6 通道 三相马达控制电路	
	串行接口	3 通道 时钟同步串行 I/O、时钟异步串行 I/O、I ² C bus(注 1)、IEBus(注 2) 2 通道 时钟同步串行 I/O	
	A/D 转换器	10 位 A/D 转换器 :1 个电路、26 通道	
	D/A 转换器	8 位 ×2 通道	
	DMAC	2 通道	
	CRC 运算电路	CRC-CCITT 方式	
	CAN 模块	2 通道、对应 2.0B	
	看门狗定时器	15 位 ×1 通道 (带预分频器)	
	中断	内部 :32 个中断源、外部 :9 个中断源、软件 :4 个中断源 中断优先级 :7 级	
	时钟产生电路	4 个电路 • 主时钟振荡电路 (*) • 副时钟振荡电路 (*) • 内部振荡器 • PLL 频率合成器 (*) 振荡电路中内置反馈电阻	
	振荡停止检测功能	主时钟振荡停止、重新振荡检测功能	
电特性	电源电压	VCC=3.0 ~ 5.5V(f(BCLK)=24MHz、1/1 预分频器、无等待时)	VCC=4.2 ~ 5.5V(f(BCLK)=20MHz、1/1 预分频器、无等待时)
	消耗电流	掩模型 ROM	21mA(f(BCLK)=24MHz、PLL 运行时, 无分频)
		闪存	23mA(f(BCLK)=24MHz、PLL 运行时, 无分频)
		掩模型 ROM	3μA(f(BCLK)=32kHz、等待模式时, 振荡能力 Low)
		闪存	0.8μA (停止模式时, Topr=25°C)
闪存版	编程、擦除电压	3.3±0.3V 或者 5.0±0.5V	5.0±0.5V
	编程、擦除次数	100 次	
输入 / 输出特性	输入 / 输出耐电压	5.0V	
	输出电流	5mA	
工作环境温度		-40 ~ 85°C	T-ver.: -40 ~ 85°C V-ver.: -40 ~ 125°C (任选)
元件构造		CMOS 高性能硅栅	
封装		100 引脚塑模 LQFP	

注 1. I²C bus 是荷兰飞利浦公司的注册商标。

注 2. IEBus 是 NEC 电子株式会社的注册商标。

使用任选功能时请指定。

表 1.2 性能概要 (128 引脚版: M16C/6NM)

项目		性能	
		Normal-ver.	T/V-ver.
CPU	基本指令数	91 条指令	
	最短指令执行时间	41.7ns(f(BCLK)=24MHz、1/1 预分频器、无等待时)	50.0ns(f(BCLK)=20MHz、1/1 预分频器、无等待时)
	运行模式	单芯片、存储器扩展、微处理器模式	单芯片模式
	地址空间	1M 字节	
	存储器容量	请参照“表 1.3 产品一览表”	
外围功能	端口	输入 / 输出 :113 个、输入 :1 个	
	多功能定时器	定时器 A:16 位 ×5 通道 定时器 B:16 位 ×6 通道 三相马达控制电路	
	串行接口	3 通道 时钟同步串行 I/O、时钟异步串行 I/O、I ² C bus(注 1)、IEBus(注 2) 4 通道 时钟同步串行 I/O	
	A/D 转换器	10 位 A/D 转换器 :1 个电路、26 通道	
	D/A 转换器	8 位 ×2 通道	
	DMAC	2 通道	
	CRC 运算电路	CRC-CCITT 方式	
	CAN 模块	2 通道、对应 2.0B	
	看门狗定时器	15 位 ×1 通道 (带预分频器)	
	中断	内部 :34 个中断源、外部 :12 个中断源、软件 :4 个中断源 中断优先级 :7 级	
	时钟产生电路	4 个电路 • 主时钟振荡电路 (*) • 副时钟振荡电路 (*) • 内部振荡器 • PLL 频率合成器 (*) 振荡电路中内置反馈电阻	
	振荡停止检测功能	主时钟振荡停止、重新振荡检测功能	
电特性	电源电压	VCC=3.0 ~ 5.5V(f(BCLK)=24MHz、1/1 预分频器、无等待时)	VCC=4.2 ~ 5.5V(f(BCLK)=20MHz、1/1 预分频器、无等待时)
	消耗电流	掩模型 ROM	—
		闪存	21mA(f(BCLK)=24MHz、PLL 运行时, 无分频)
		掩模型 ROM 闪存	3μA(f(BCLK)=32kHz、等待模式时、振荡能力 Low) 0.8μA(停止模式时, Topr=25°C)
闪存版	编程、擦除电压	3.3±0.3V 或者 5.0±0.5V	5.0±0.5V
	编程、擦除次数	100 次	
输入 / 输出特性	输入 / 输出耐电压	5.0V	
	输出电流	5mA	
工作环境温度		-40 ~ 85°C	T-ver.: -40 ~ 85°C V-ver.: -40 ~ 125°C (任选)
元件构造		CMOS 高性能硅栅	
封装		128 引脚塑模 LQFP	

注 1. I²C bus 是荷兰飞利浦公司的注册商标。

注 2. IEBus 是 NEC 电子株式会社的注册商标。

注 3. 使用任选功能时请指定。

1.3 框图

框图如图 1.1 所示。

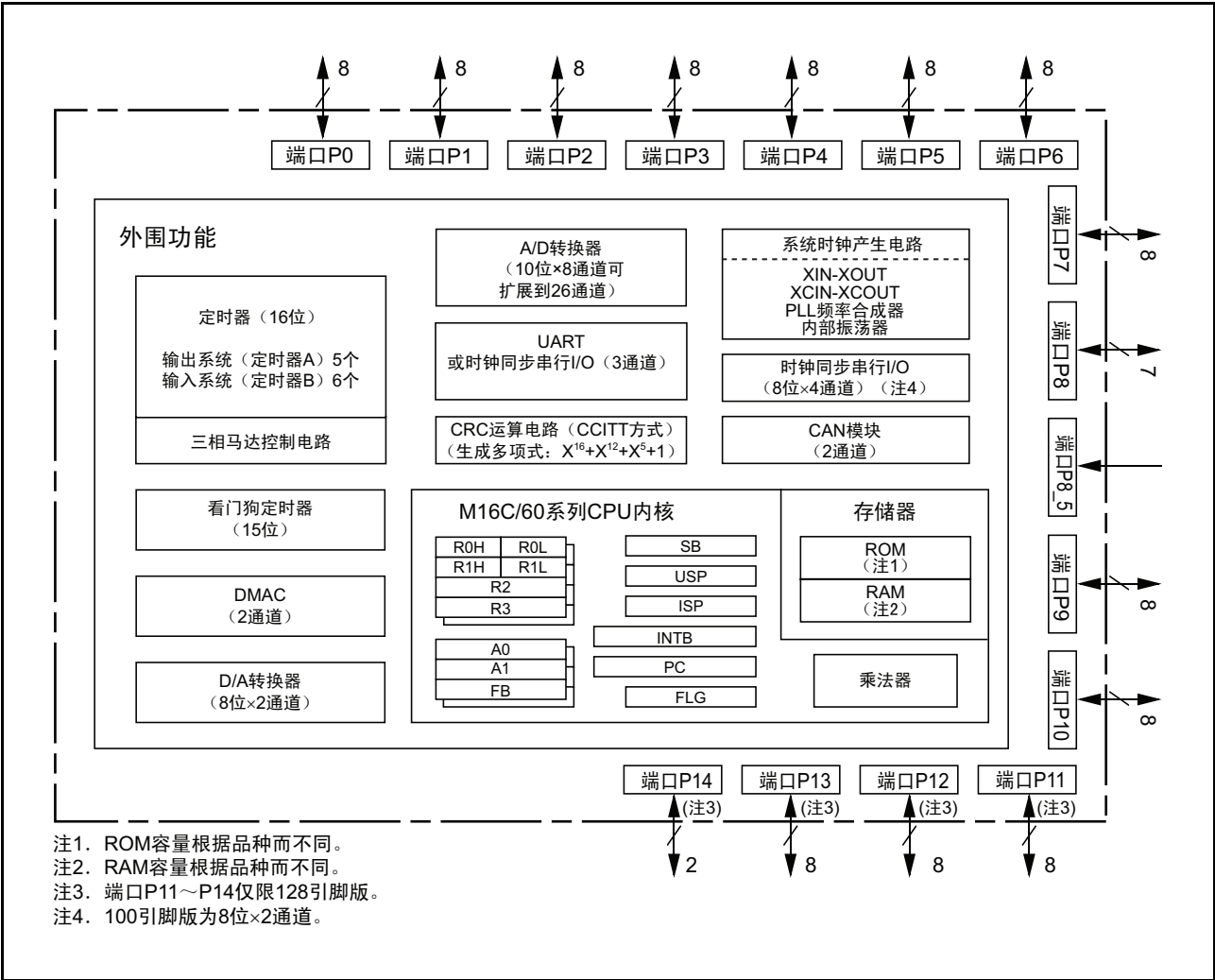


图 1.1 框图

1.4 产品一览表

产品一览表如表 1.3 所示，产品型号和名称、存储器容量和封装如图 1.2 所示。

表 1.3 产品一览表 截止于 2006 年 10 月

型号和名称	ROM 容量	RAM 容量	封装（注 2）	备注	
M306NKFHGP	384K+4K 字节	31K 字节	PLQP0100KB-A	闪存版（注 1）	Normal-ver.
M306NMFHGP			PLQP0128KB-A		
M306NKFJGP	512K+4K 字节	31K 字节	PLQP0100KB-A		
M306NMFJGP			PLQP0128KB-A		
M306NKFHTGP（开）	384K+4K 字节	31K 字节	PLQP0100KB-A		T-ver.
M306NMFHTGP（开）			PLQP0128KB-A		
M306NKFJTGP	512K+4K 字节	31K 字节	PLQP0100KB-A		V-ver.
M306NMFJTGP			PLQP0128KB-A		
M306NKFHVG（开）	384K+4K 字节	31K 字节	PLQP0100KB-A		
M306NMFHVGP（开）			PLQP0128KB-A		
M306NKFJVGP（开）	512K+4K 字节	31K 字节	PLQP0100KB-A	掩模型 ROM 版	Normal-ver.
M306NMFJVGP（开）			PLQP0128KB-A		
M306NKME-XXXGP	192K 字节	16K 字节	PLQP0100KB-A		
M306NMME-XXXGP			PLQP0128KB-A		
M306NKMKG-XXXGP	256K 字节	20K 字节	PLQP0100KB-A		
M306NMMG-XXXGP			PLQP0128KB-A		

（开）：开发中

注 1. 闪存版中有 4K 字节的区（块 A）。

注 2. 各封装的旧封装型号和名称如下：
PLQP0100KB-A：100P6Q-A
PLQP0128KB-A：128P6Q-A

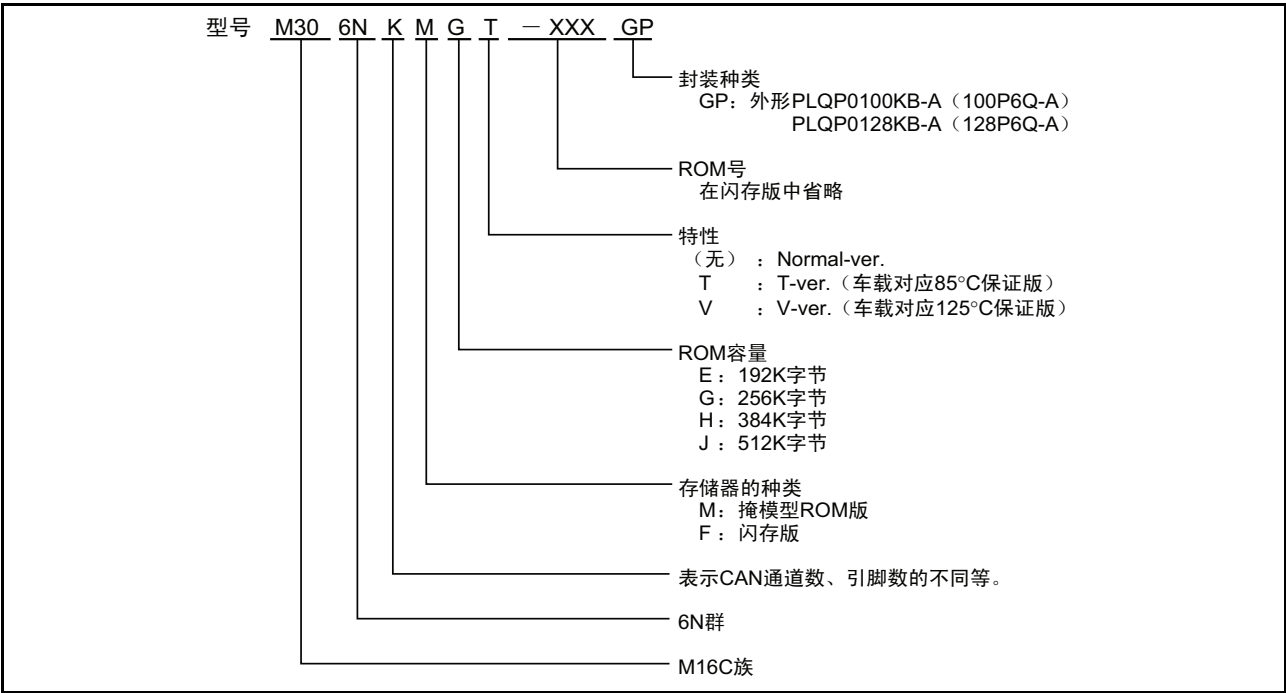


图 1.2 产品型号和名称、存储器容量和封装

1.5 引脚连接图

引脚连接图（俯视图）如图 1.3、图 1.4 所示，引脚名一览表如表 1.4 ~ 表 1.8 所示。

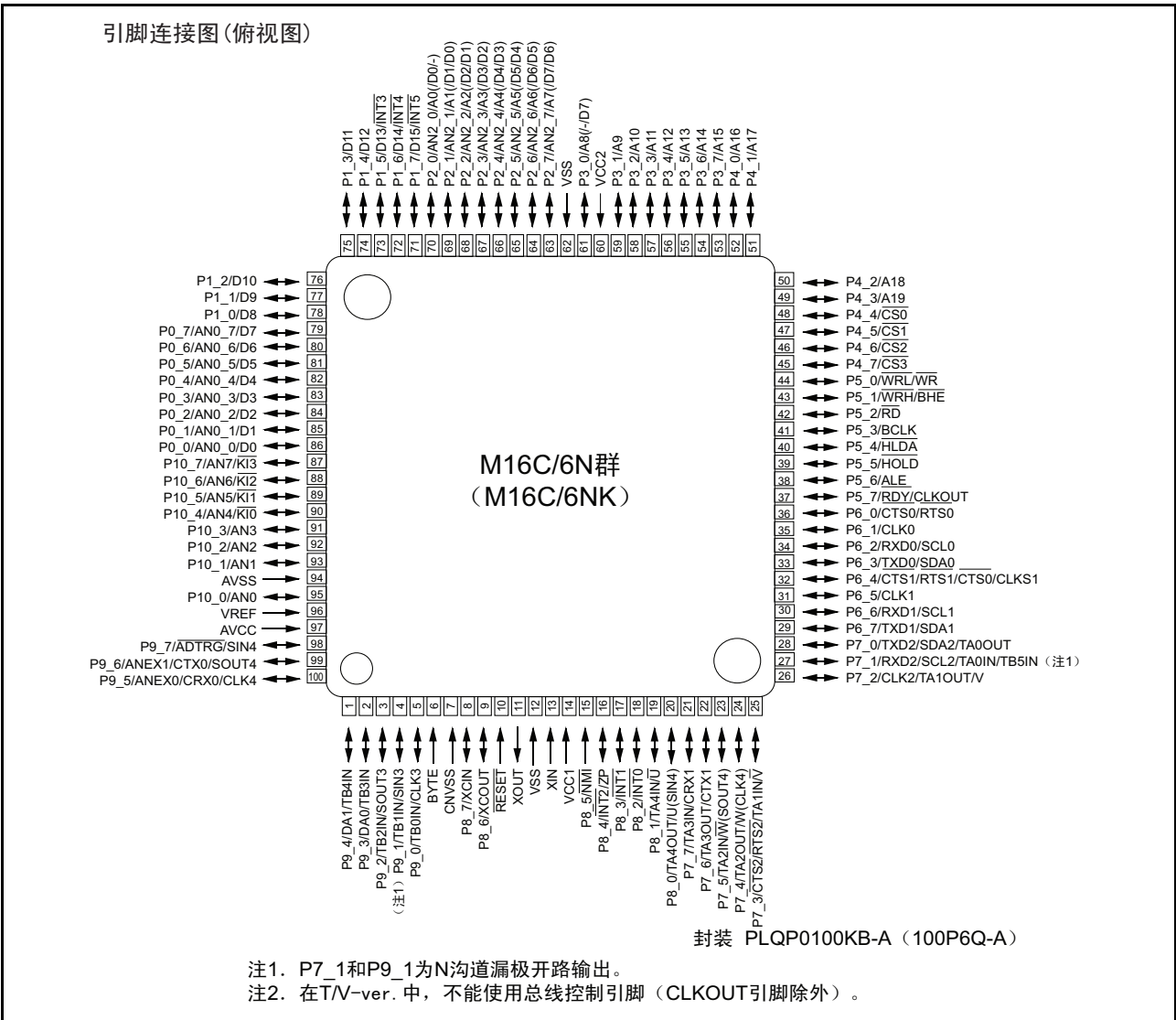


图 1.3 引脚连接图（俯视图）（1）

表 1.4 100 引脚版的引脚名一览表 (1)

Pin No.	控制引脚	端口	中断引脚	定时器引脚	UART 引脚	模拟引脚	CAN 模块引脚	总线控制引脚 (注 1)
1		P9_4		TB4IN		DA1		
2		P9_3		TB3IN		DA0		
3		P9_2		TB2IN	SOUT3			
4		P9_1		TB1IN	SIN3			
5		P9_0		TB0IN	CLK3			
6	BYTE							
7	CNVSS							
8	XCIN	P8_7						
9	XCOUT	P8_6						
10	RESET							
11	XOUT							
12	VSS							
13	XIN							
14	VCC1							
15		P8_5	NMI					
16		P8_4	INT2	ZP				
17		P8_3	INT1					
18		P8_2	INT0					
19		P8_1		TA4IN/U				
20		P8_0		TA4OUT/U	(SIN4)			
21		P7_7		TA3IN			CRX1	
22		P7_6		TA3OUT			CTX1	
23		P7_5		TA2IN/W	(SOUT4)			
24		P7_4		TA2OUT/W	(CLK4)			
25		P7_3		TA1IN/V	CTS2/RTS2			
26		P7_2		TA1OUT/V	CLK2			
27		P7_1		TA0IN/TB5IN	RXD2/SCL2			
28		P7_0		TA0OUT	TXD2/SDA2			
29		P6_7			TXD1/SDA1			
30		P6_6			RXD1/SCL1			
31		P6_5			CLK1			
32		P6_4			CTS1/RTS1/ CTS0/CLKS1			
33		P6_3			TXD0/SDA0			
34		P6_2			RXD0/SCL0			
35		P6_1			CLK0			
36		P6_0			CTS0/RTS0			
37		P5_7						RDY/CLKOUT
38		P5_6						ALE
39		P5_5						HOLD
40		P5_4						HLDA
41		P5_3						BCLK
42		P5_2						RD
43		P5_1						WRH/BHE
44		P5_0						WRL/WR
45		P4_7						CS3
46		P4_6						CS2
47		P4_5						CS1
48		P4_4						CS0
49		P4_3						A19
50		P4_2						A18

注 1. 在 T/V-ver. 中，不能使用总线控制引脚 (CLKOUT 引脚 (Pin No.37) 除外)。

表 1.5 100 引脚版的引脚名一览表 (2)

Pin No.	控制引脚	端口	中断引脚	定时器引脚	UART 引脚	模拟引脚	CAN 模块引脚	总线控制引脚 (注 1)
51		P4_1						A17
52		P4_0						A16
53		P3_7						A15
54		P3_6						A14
55		P3_5						A13
56		P3_4						A12
57		P3_3						A11
58		P3_2						A10
59		P3_1						A9
60	VCC2							
61		P3_0						A8(/-D7)
62	VSS							
63		P2_7				AN2_7		A7(/D7/D6)
64		P2_6				AN2_6		A6(/D6/D5)
65		P2_5				AN2_5		A5(/D5/D4)
66		P2_4				AN2_4		A4(/D4/D3)
67		P2_3				AN2_3		A3(/D3/D2)
68		P2_2				AN2_2		A2(/D2/D1)
69		P2_1				AN2_1		A1(/D1/D0)
70		P2_0				AN2_0		A0(/D0/-)
71		P1_7	INT5					D15
72		P1_6	INT4					D14
73		P1_5	INT3					D13
74		P1_4						D12
75		P1_3						D11
76		P1_2						D10
77		P1_1						D9
78		P1_0						D8
79		P0_7				AN0_7		D7
80		P0_6				AN0_6		D6
81		P0_5				AN0_5		D5
82		P0_4				AN0_4		D4
83		P0_3				AN0_3		D3
84		P0_2				AN0_2		D2
85		P0_1				AN0_1		D1
86		P0_0				AN0_0		D0
87		P10_7	KI3			AN7		
88		P10_6	KI2			AN6		
89		P10_5	KI1			AN5		
90		P10_4	KI0			AN4		
91		P10_3				AN3		
92		P10_2				AN2		
93		P10_1				AN1		
94	AVSS							
95		P10_0				AN0		
96	VREF							
97	AVCC							
98		P9_7			SIN4	ADTRG		
99		P9_6			SOUT4	ANEX1	CTX0	
100		P9_5			CLK4	ANEX0	CRX0	

注 1. 在 T/V-ver. 中，不能使用总线控制引脚。

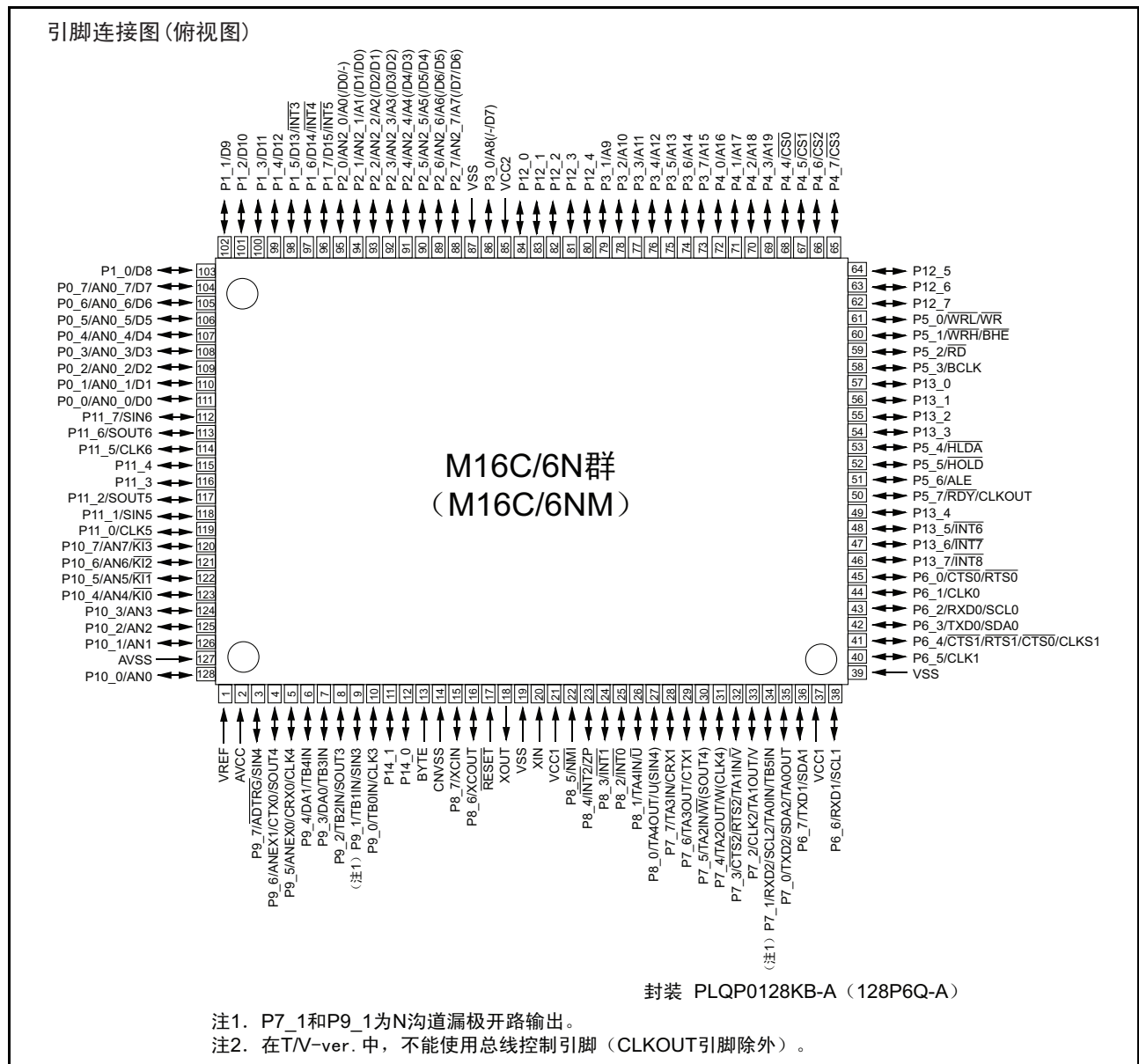


图 1.4 引脚连接图 (俯视图) (2)

表 1.6 128 引脚版的引脚名一览表 (1)

Pin No.	控制引脚	端口	中断引脚	定时器引脚	UART 引脚	模拟引脚	CAN 模块引脚	总线控制引脚 (注 1)
1	VREF							
2	AVCC							
3		P9_7			SIN4	ADTRG		
4		P9_6			SOUT4	ANEX1	CTX0	
5		P9_5			CLK4	ANEX0	CRX0	
6		P9_4		TB4IN		DA1		
7		P9_3		TB3IN		DA0		
8		P9_2		TB2IN	SOUT3			
9		P9_1		TB1IN	SIN3			
10		P9_0		TB0IN	CLK3			
11		P14_1						
12		P14_0						
13	BYTE							
14	CNVSS							
15	XCIN	P8_7						
16	XCOUT	P8_6						
17	RESET							
18	XOUT							
19	VSS							
20	XIN							
21	VCC1							
22		P8_5	NMI					
23		P8_4	INT2	ZP				
24		P8_3	INT1					
25		P8_2	INT0					
26		P8_1		TA4IN/U				
27		P8_0		TA4OUT/U	(SIN4)			
28		P7_7		TA3IN			CRX1	
29		P7_6		TA3OUT			CTX1	
30		P7_5		TA2IN/W	(SOUT4)			
31		P7_4		TA2OUT/W	(CLK4)			
32		P7_3		TA1IN/V	CTS2/RTS2			
33		P7_2		TA1OUT/V	CLK2			
34		P7_1		TA0IN/TB5IN	RXD2/SCL2			
35		P7_0		TA0OUT	TXD2/SDA2			
36		P6_7			TXD1/SDA1			
37	VCC1							
38		P6_6			RXD1/SCL1			
39	VSS							
40		P6_5			CLK1			
41		P6_4			CTS1/RTS1/CTS0/CLKS1			
42		P6_3			TXD0/SDA0			
43		P6_2			RXD0/SCL0			
44		P6_1			CLK0			
45		P6_0			CTS0/RTS0			
46		P13_7	INT8					
47		P13_6	INT7					
48		P13_5	INT6					
49		P13_4						
50		P5_7						RDY/CLKOUT

注 1. 在 T/V-ver. 中，不能使用总线控制引脚 (CLKOUT 引脚 (Pin No.50) 除外)。

表 1.7 128 引脚版的引脚名一览表 (2)

Pin No.	控制引脚	端口	中断引脚	定时器引脚	UART 引脚	模拟引脚	CAN 模块引脚	总线控制引脚 (注 1)
51		P5_6						ALE
52		P5_5						HOLD
53		P5_4						HLDA
54		P13_3						
55		P13_2						
56		P13_1						
57		P13_0						
58		P5_3						BCLK
59		P5_2						RD
60		P5_1						WRH/BHE
61		P5_0						WRL/WR
62		P12_7						
63		P12_6						
64		P12_5						
65		P4_7						CS3
66		P4_6						CS2
67		P4_5						CS1
68		P4_4						CS0
69		P4_3						A19
70		P4_2						A18
71		P4_1						A17
72		P4_0						A16
73		P3_7						A15
74		P3_6						A14
75		P3_5						A13
76		P3_4						A12
77		P3_3						A11
78		P3_2						A10
79		P3_1						A9
80		P12_4						
81		P12_3						
82		P12_2						
83		P12_1						
84		P12_0						
85	VCC2							
86		P3_0						A8(/-/D7)
87	VSS							
88		P2_7				AN2_7		A7(/D7/D6)
89		P2_6				AN2_6		A6(/D6/D5)
90		P2_5				AN2_5		A5(/D5/D4)
91		P2_4				AN2_4		A4(/D4/D3)
92		P2_3				AN2_3		A3(/D3/D2)
93		P2_2				AN2_2		A2(/D2/D1)
94		P2_1				AN2_1		A1(/D1/D0)
95		P2_0				AN2_0		A0(/D0/-)
96		P1_7	INT5					D15
97		P1_6	INT4					D14
98		P1_5	INT3					D13
99		P1_4						D12
100		P1_3						D11

注 1. 在 T/V-ver. 中，不能使用总线控制引脚。

表 1.8 128 引脚版的引脚名一览表 (3)

Pin No.	控制引脚	端口	中断引脚	定时器引脚	UART 引脚	模拟引脚	CAN 模块引脚	总线控制引脚 (注 1)
101		P1_2						D10
102		P1_1						D9
103		P1_0						D8
104		P0_7				AN0_7		D7
105		P0_6				AN0_6		D6
106		P0_5				AN0_5		D5
107		P0_4				AN0_4		D4
108		P0_3				AN0_3		D3
109		P0_2				AN0_2		D2
110		P0_1				AN0_1		D1
111		P0_0				AN0_0		D0
112		P11_7			SIN6			
113		P11_6			SOUT6			
114		P11_5			CLK6			
115		P11_4						
116		P11_3						
117		P11_2			SOUT5			
118		P11_1			SIN5			
119		P11_0			CLK5			
120		P10_7	$\overline{\text{KI3}}$			AN7		
121		P10_6	$\overline{\text{KI2}}$			AN6		
122		P10_5	$\overline{\text{KI1}}$			AN5		
123		P10_4	$\overline{\text{KI0}}$			AN4		
124		P10_3				AN3		
125		P10_2				AN2		
126		P10_1				AN1		
127	AVSS							
128		P10_0				AN0		

注 1. 在 T/V-ver. 中，不能使用总线控制引脚。

1.6 引脚的功能说明

引脚的功能说明如表 1.9 ~ 表 1.11 所示。

表 1.9 引脚的功能说明 (100 引脚版、128 引脚版共通) (1)

名称	引脚名	输入 / 输出	功能
电源输入	VCC1、VCC2、VSS	输入	必须向 VCC1、VCC2 引脚输入 3.0 ~ 5.5V 电压。VCC 的输入条件为 VCC2=VCC1(注 1)。 必须向 VSS 引脚输入 0V。
模拟电源输入	AVCC、AVSS	输入	A/D 转换器的电源输入。将 AVCC 连接到 VCC1，并且将 AVSS 连接到 VSS。
复位输入	$\overline{\text{RESET}}$	输入	如果此引脚接“L”电平，单片机就进入复位状态。
CNVSS (注 2)	CNVSS	输入	用于切换处理器模式的引脚。复位后，在单芯片模式下开始运行时连接到 VSS，在微处理器模式下开始运行时连接到 VCC1。
外部数据总线宽度切换输入 (注 2)	BYTE	输入	用于切换外部数据总线的引脚。此引脚为“L”电平时为 16 位，“H”电平时为 8 位。固定为“L”电平或者“H”电平。单芯片模式时必须连接到 VSS。
总线控制引脚 (注 3)	D0 ~ D7	输入 / 输出	在访问设定为独立总线的区时，设定数据 (D0 ~ D7) 的输入 / 输出。
	D8 ~ D15	输入 / 输出	在外部数据总线为 16 位且选择了独立总线时，进行数据 (D8 ~ D15) 的输入 / 输出。
	A0 ~ A19	输出	输出地址 A0 ~ A19。
	A0/D0 ~ A7/D7	输入 / 输出	在外部数据总线为 8 位且选择了多路复用总线时，分时进行数据 (D0 ~ D7) 的输入 / 输出和地址 (A0 ~ A7) 的输出。
	A1/D0 ~ A8/D7	输入 / 输出	在外部数据总线为 16 位且选择了多路复用总线时，分时进行数据 (D0 ~ D7) 的输入 / 输出和地址 (A1 ~ A8) 的输出。
	$\overline{\text{CS0}} \sim \overline{\text{CS3}}$	输出	芯片选择信号。用于指定存取空间。
	$\overline{\text{WRL}}/\overline{\text{WR}}$ $\overline{\text{WRH}}/\overline{\text{BHE}}$ RD	输出	输出 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、($\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$)、 $\overline{\text{RD}}$ 信号。通过程序转换 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 或者 $\overline{\text{BHE}}$ 、 $\overline{\text{WR}}$ 。 - 选择 $\overline{\text{WRL}}$、$\overline{\text{WRH}}$、$\overline{\text{RD}}$ 时 在外部数据总线为 16 位的情况下，$\overline{\text{WRL}}$ 信号为“L”电平时写偶地址，$\overline{\text{WRH}}$ 信号为“L”电平时写奇地址。在 $\overline{\text{RD}}$ 信号为“L”电平时，为读状态。 - 选择 $\overline{\text{WR}}$、$\overline{\text{BHE}}$、$\overline{\text{RD}}$ 时 在 $\overline{\text{WR}}$ 信号为“L”电平时，为写状态。在 $\overline{\text{RD}}$ 信号为“L”电平时，为读状态。$\overline{\text{BHE}}$ 信号为“L”电平时存取奇数地址。外部数据总线为 8 位时，必须使用此模式。
	ALE	输出	地址锁存信号。
	$\overline{\text{HOLD}}$	输入	在输入为“L”电平期间，单片机为保持状态。
	$\overline{\text{HLDA}}$	输出	在保持状态期间，输出“L”电平。
	$\overline{\text{RDY}}$	输入	在输入为“L”电平期间，单片机进入等待状态。

注 1. 在此后的说明中，如果没有特别指定，文中记述的 VCC 就表示 VCC1。

注 2. 在 T/V-ver. 中，必须连接到 VSS。

注 3. 在 T/V-ver. 中，不能使用总线控制引脚。

表 1.10 引脚的功能说明（100 引脚版、128 引脚版共通）（2）

名称	引脚名	输入 / 输出	功能
主时钟输入	XIN	输入	主时钟振荡电路的输入 / 输出引脚。必须在 XIN 和 XOUT 之间连接陶瓷谐振器或者晶体振荡器（注 1）。如果输入外部生成的时钟，就从 XIN 输入时钟，并将 XOUT 置为开路。
主时钟输出	XOUT	输出	
副时钟输入	XCIN	输入	副时钟振荡电路的输入 / 输出引脚。在 XCIN 和 XCOUT 之间连接晶体振荡器（注 1）。如果输入外部生成的时钟，就从 XCIN 输入时钟，并将 XCOUT 置为开路。
副时钟输出	XCOUT	输出	
BCLK 输出（注 3）	BCLK	输出	输出 BCLK 信号。
时钟输出	CLKOUT	输出	输出和 fC、f8 或者 f32 相同周期的时钟。
INT 中断输入	INT0 ~ INT8（注 2）	输入	INT 中断的输入。
NMI 中断输入	NMI	输入	NMI 中断的输入
键输入中断的输入	KI0 ~ KI3	输入	键输入中断的输入。
定时器 A	TA0OUT ~ TA4OUT	输入 / 输出	TA0 ~ TA4 的输入 / 输出。
	TA0IN ~ TA4IN	输入	TA0 ~ TA4 的输入。
	ZP	输入	Z 相的输入。
定时器 B	TB0IN ~ TB5IN	输入	TB0 ~ TB5 的输入。
用于三相马达控制的定时器输出	U, $\overline{U}$, V, $\overline{V}$, W, $\overline{W}$	输出	用于三相马达控制的定时器输出
串行接口	CTS0 ~ CTS2	输入	发送控制的输入。
	RTS0 ~ RTS2	输出	接收控制的输出。
	CLK0 ~ CLK6(注 2)	输入 / 输出	传送时钟的输入 / 输出。
	RXD0 ~ RXD2	输入	串行数据的输入。
	SIN3 ~ SIN6（注 2）	输入	串行数据的输入。
	TXD0 ~ TXD2	输出	串行数据的输出。
	SOUT3 ~ SOUT6（注 2）	输出	串行数据的输出。
	CLKS1	输出	传送时钟多引脚输出功能的输出。
I ² C 模式	SDA0 ~ SDA2	输入 / 输出	串行数据的输入 / 输出。
	SCL0 ~ SCL2	输入 / 输出	传送时钟的输入/输出（但是 SCL2 的输出为 N 沟道漏极开路输出）。
基准电压输入	VREF	输入	A/D 转换器、D/A 转换器的基准电压输入。
A/D 转换器	AN0 ~ AN7 AN0_0 ~ AN0_7 AN2_0 ~ AN2_7	输入	A/D 转换器的模拟输入。
	ADTRG	输入	A/D 外部触发输入。
	ANEX0	输入 / 输出	A/D 转换器的扩展模拟输入和外部运算放大器连接模式的输出。
	ANEX1	输入	A/D 转换器的扩展模拟输入。
D/A 转换器	DA0、DA1	输出	D/A 转换器的输出。
CAN 模块	CRX0、CRX1	输入	CAN 模块的输入。
	CTX0、CTX1	输出	CAN 模块的输出。

注 1. 有关振荡特性，请向振荡器厂商咨询。

注 2. $\overline{\text{INT6}} \sim \overline{\text{INT8}}$ 、CLK5、CLK6、SIN5、SIN6、SOUT5、SOUT6 仅限 128 引脚版。

注 3. 在 T/V-ver. 中，不能使用总线控制引脚。

表 1.11 引脚的功能说明（100 引脚版、128 引脚版共通）（2）

分类	引脚名	输入 / 输出	功能
输入 / 输出 端口	P0_0 ~ P0_7 P1_0 ~ P1_7 P2_0 ~ P2_7 P3_0 ~ P3_7 P4_0 ~ P4_7 P5_0 ~ P5_7 P6_0 ~ P6_7 P7_0 ~ P7_7 P8_0 ~ P8_4 P8_6、P8_7 P9_0 ~ P9_7 P10_0 ~ P10_7 P11_0 ~ P11_7（注 1） P12_0 ~ P12_7（注 1） P13_0 ~ P13_7（注 1） P14_0、P14_1（注 1）	输入 / 输出	CMOS 的 8 位输入 / 输出端口。具有选择输入 / 输出的方向寄存器，每个引脚都能设定为输入端口或者输出端口。 输入端口能以 4 位为单位选择有无上拉电阻（但是 P7_1、P9_1 为 N 沟道漏极开路输出）。
输入端口	P8_5	输入	与 $\overline{\text{NMI}}$ 复用引脚。是用于确认 $\overline{\text{NMI}}$ 输入电平的输入专用端口。

注 1. P11 ~ P14 仅限 128 引脚版。

2. 使用时的注意事项

2.1 SFR

SFR 有包含可以写入位的寄存器。请给这些寄存器设定立即地址。如果通过对上一次的值对下一个值进行加工来决定下一个值，请将写入寄存器的值也写入 RAM，在下一个值将 RAM 的值更改后，再传送到寄存器。

表 2.1 表示包含了仅能写入位的寄存器。

表 2.1 包含了仅能写入位的寄存器

寄存器名	符号	地址
看门狗定时器启动寄存器	WDTS	000Eh
定时器 A1-1 寄存器	TA11	01C3h ~ 01C2h
定时器 A2-1 寄存器	TA21	01C5h ~ 01C4h
定时器 A4-1 寄存器	TA41	01C7h ~ 01C6h
死区时间定时器	DTT	01CCh
定时器 B2 中断发生频率设定计数器	ICTB2	01CDh
SI/O6 位速率寄存器（注 1）	S6BRG	01D9h
SI/O3 位速率寄存器	S3BRG	01E3h
SI/O4 位速率寄存器	S4BRG	01E7h
SI/O5 位速率寄存器（注 1）	S5BRG	01EBh
UART2 位速率寄存器	U2BRG	01F9h
UART2 发送缓冲寄存器	U2TB	01FBh ~ 01FAh
递增 / 递减标志	UDF	0384h
定时器 A0 寄存器	TA0	0387h ~ 0386h
定时器 A1 寄存器	TA1	0389h ~ 0388h
定时器 A2 寄存器	TA2	038Bh ~ 038Ah
定时器 A3 寄存器	TA3	038Dh ~ 038Ch
定时器 A4 寄存器	TA4	038Fh ~ 038Eh
UART0 位速率寄存器	U0BRG	03A1h
UART0 发送缓冲寄存器	U0TB	03A3h ~ 03A2h
UART1 位速率寄存器	U1BRG	03A9h
UART1 发送缓冲寄存器	U1TB	03ABh ~ 03AAh

注 1. 仅限 128 引脚版。

2.2 外部总线（仅限 Normal-ver.）

如果 CNVSS 引脚输入“H”电平进行硬件复位，就不能读取内部 ROM。

2.3 外部产生时钟

对 XIN 引脚输入外部产生的时钟，并选择主时钟为 CPU 时钟时，不能使外部产生的时钟停止。

2.4 PLL 频率合成器

在使用 PLL 频率合成器时，必须满足电源纹波规格，使电源电压稳定。

电源纹波的电特性如表 2.2、电源纹波的时序图如图 2.1 所示。

表 2.2 电源纹波的电特性（注 1）

符号	项目		额定值			单位
			最小	典型	最大	
f(ripple)	电源纹波容许频率（VCC）				10	kHz
V _{p-p(ripple)}	电源纹波容许振幅电压	VCC=5V			0.5	V
		VCC=3V（注 2）			0.3	
V _{CC} (ΔV /ΔT)	纹波上升 / 下降斜率	VCC=5V			0.3	V/ms
		VCC=3V（注 2）			0.3	

注 1. 不指定时，在 T/V-ver. 中，VCC=4.2～5.5V、Topr=-40～85℃；在 Normal-ver. 中，VCC=3.0～5.5V、Topr=-40～85℃

注 2. 仅限 Normal-ver.。

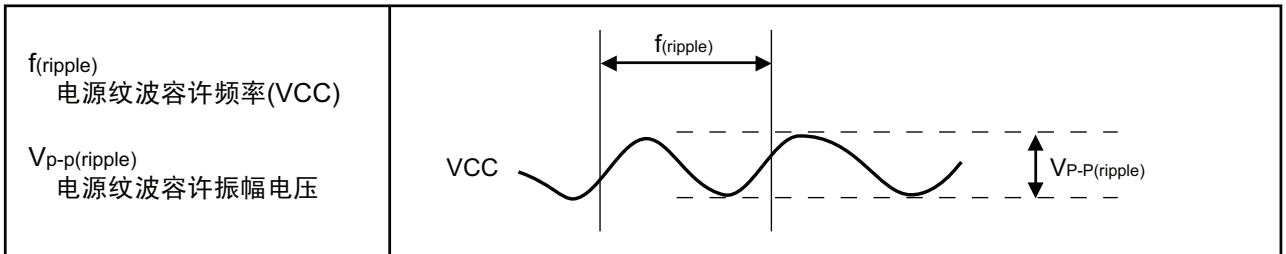


图 2.1 电源纹波的时序图

2.5 功耗控制

- 通过复位从停止模式返回时，在主时钟的振荡充分稳定前，必须给 **RESET** 引脚输入“L”电平。
- 通过定时器 A 从停止模式返回时，必须将 **TAiMR** 寄存器（i=0 ~ 4）的 **MR0** 位清“0”（无脉冲输出）。
- 在主时钟振荡或低功耗模式时，必须将 **CM02** 位清“0”（在等待模式时，不停止外围功能时钟），转移到等待模式。
- 在转移到等待模式时，必须在 **WAIT** 指令前插入 **JMP.B** 指令。在执行 **JMP.B** 指令和 **WAIT** 指令之间，不能执行对 **RAM** 进行写操作的指令。在 **JMP.B** 指令和 **WAIT** 指令之间有可能发生 **DMA** 传送时，必须禁止 **DMA** 传送。

另外，必须在 **WAIT** 指令的后面插入至少 4 条 **NOP** 指令。在进入等待模式且程序停止运行前，由于指令队列已经预先读取了 **WAIT** 指令后面的几条指令运行，所以根据指令的组合和执行时序，在进入等待模式前有可能执行下一条指令。

转移到等待模式时的程序例子如下所示：

```
例：          JMP.B    L1          ; 在 WAIT 指令前插入 JMP.B 指令
              L1:
                  FSET     I          ;
                  WAIT      ; 转移到等待模式
                  NOP       ; 插入至少 4 条 NOP 指令
                  NOP
                  NOP
                  NOP
```

- 转移到停止模式时，必须如下进行编程。

(1) 使用 **BSET** 指令转移到停止模式时

BSET 指令使用“**BSET bit,base:16**”，必须如下进行编程。此时，必须事先禁止 **DMA** 传送。

```
              BSET     0, CM1        ; 设定停止模式 [bit,base:16]
              JMP.B    L1            ;
              L1:                    ;
                  NOP                ; 针对先读指令再停止程序的对策
                  NOP                ; （插入至少 4 条 NOP 指令）
                  NOP
                  NOP
```

(2) 使用 **MOV** 指令转移到停止模式时

MOV 指令使用“**MOV.B #IMM8,abs16**”，必须如下进行编程。此时，必须事先禁止 **DMA** 传送。

另外，必须改变 **MOV** 指令的 **src** 的值（记为 **[#21]** 的部分），使其适合使用状态。

```
              MOV.B    #21H, CM1     ; 设定停止模式 [#IMM8,abs16]
              JMP.B    L1            ;
              L1:                    ;
                  NOP                ; 针对先读指令再停止程序的对策
                  NOP                ; （插入至少 4 条 NOP 指令）
                  NOP
                  NOP
```

- 从低速模式、低功耗模式转移到停止模式并返回中速模式时，使用 MOV 指令的 [MOV.W #IMM16,abs16]，必须如下进行编程。此时，必须事先禁止 DMA 传送。
另外，必须改变 MOV 指令的 src 的值（记为 [#2118] 的部分），使其适合使用状态。

```
MOV.W #2118H, CM0 ; 设定停止模式 [#IMM16,abs16]
JMP.S L1          ;
NOP               ;
L1:
NOP               ; 针对先读指令再停止程序的对策
NOP               ; （插入至少 4 条 NOP 指令）
NOP               ;
NOP               ;
```

- 将 CPU 时钟的时钟源切换到主时钟时，必须在等待主时钟振荡稳定后切换。
将 CPU 时钟的时钟源切换到副时钟时，必须在等待副时钟振荡稳定后切换。
- 降低功耗的要点
降低功耗的要点如下所示。请在设计系统和编写程序时参考。

【端口】

即使转移到等待模式或者停止模式，I/O 端口也会保持其原来的状态。激活状态的输出端口有电流流过。为高阻抗状态的输入端口有穿透电流流过。所以，必须事先将不需要的端口设定为输入端口，固定成稳定的电位，然后转移到等待模式或者停止模式。

【A/D 转换器】

不进行 A/D 转换时，必须将 ADCON1 寄存器的 VCUT 位清“0”（VREF 未连接）。另外，进行 A/D 转换时，必须在将 VCUT 位置“1”（VREF 连接）后等待 1μs 以后，才能开始 A/D 转换。

【D/A 转换器】

不进行 D/A 转换时，必须将 DACON 寄存器的 DAiE 位（i=0、1）清“0”（禁止输出），并且将 DAi 寄存器置“00h”。

【切换振荡驱动能力】

振荡处于稳定状态时，必须将驱动能力置为“LOW”。

2.6 振荡停止、重新振荡检测功能

以下的条件全部满足时，振荡停止、重新振荡检测中断的运行产生如下限制。

条件

- CM2 寄存器的 CM20 位 =1（振荡停止、重新振荡检测功能有效）
- CM2 寄存器的 CM27 位 =1（振荡停止、重新振荡检测中断）
- CM0 寄存器的 CM02 位 =0（在等待模式时，不停止外围功能时钟）
- 从高速・中速模式转移到等待模式

限制

- 如果在等待模式时 XIN 的振荡停止，则并不立即开始进行振荡停止、重新振荡检测中断处理，而是在从等待模式返回后开始。

振荡停止、重新振荡检测时的运行时序例子如图 2.2、图 2.3 所示。

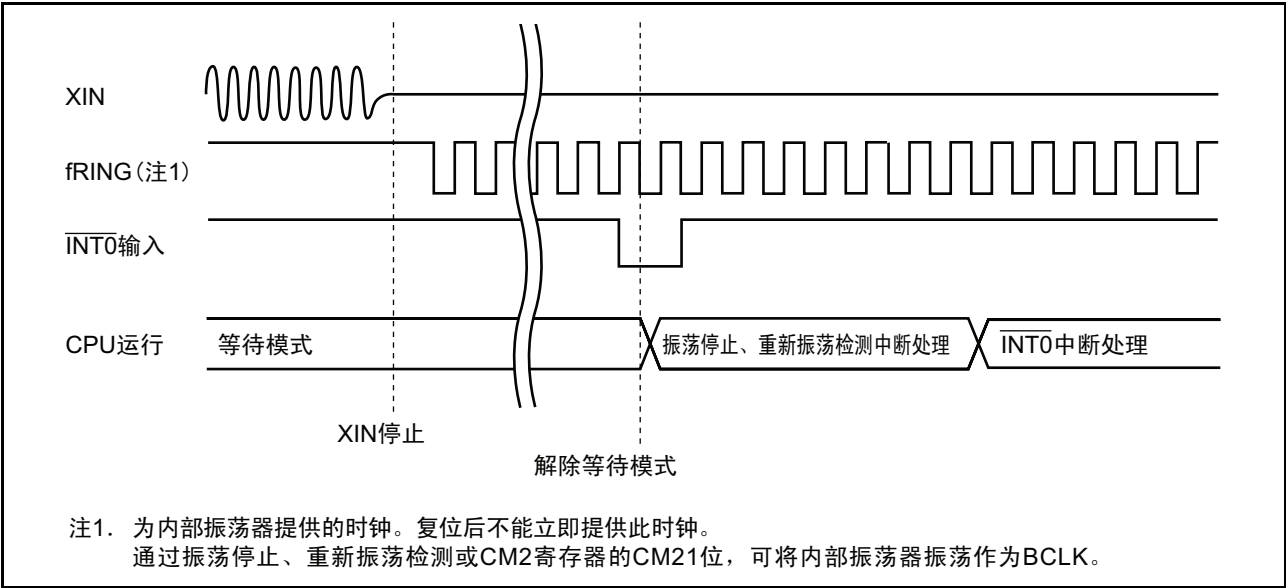


图 2.2 等待模式时的振荡停止、重新振荡检测中断运行例子（通过 $\overline{\text{INT0}}$ 中断从等待模式返回时）

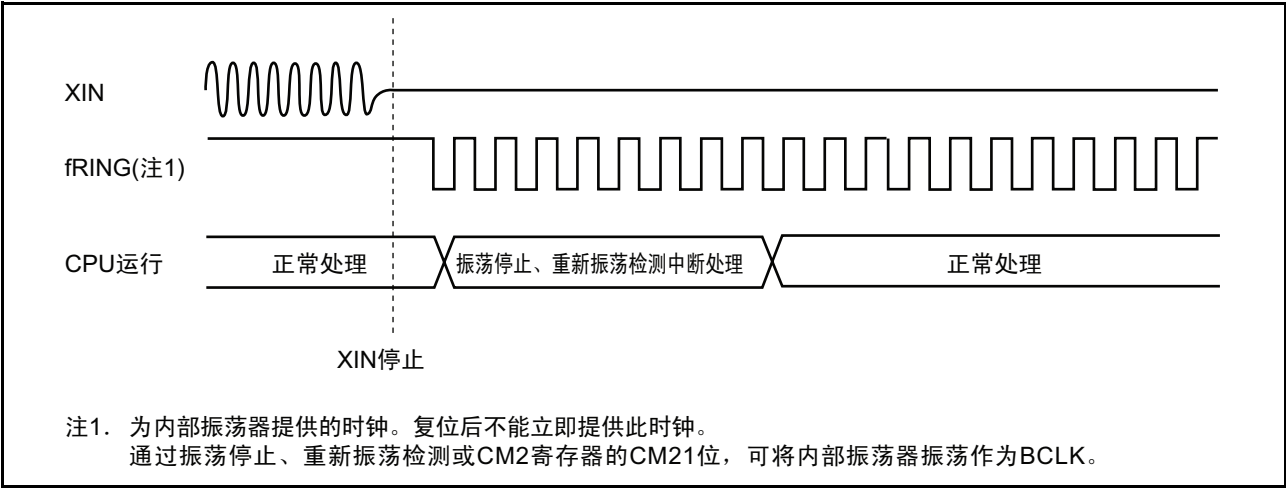


图 2.3 正常运行时的振荡停止、重新振荡检测中断运行例子

2.7 保护

如果在将 PRC2 位置“1”（写允许状态）后对任意地址进行写操作，PRC2 位就变为“0”（写禁止状态）。必须通过将 PRC2 位置“1”后的下一条指令更改 PRC2 位保护的寄存器。在将 PRC2 位置“1”的指令和下一条指令之间，不能发生中断或者 DMA 传送。

2.8 中断

2.8.1 00000h 地址的读取

不要在程序中读 00000h 地址。在接受可屏蔽中断的中断请求时，CPU 从 00000h 地址读取中断响应顺序中的中断信息（中断号和中断请求级）。此时，接受的中断的 IR 位为“0”。

如果在程序中读 00000h 地址，在被允许的中断中优先级最高的中断的 IR 位为“0”。此时，就有可能取消中断或者产生预想外的中断请求。

2.8.2 SP 的设定

在接受中断请求前，必须给 SP（USP、ISP）设定值。在复位后，SP（USP、ISP）为“0000h”。因此，如果在给 SP（USP、ISP）设定值前接受中断请求，是程序失控的一个重要原因。

特别是在使用 $\overline{\text{NMI}}$ 中断时，必须在程序的开头给 ISP 设定值。限于复位后的开始的 1 条指令，禁止包含 $\overline{\text{NMI}}$ 中断的所有中断。

2.8.3 $\overline{\text{NMI}}$ 中断

- 不能禁止 $\overline{\text{NMI}}$ 中断。不使用时，必须将 $\overline{\text{NMI}}$ 引脚经电阻连接到 VCC（上拉）。
- 通过读 P8 寄存器的 P8_5 位，可读取 $\overline{\text{NMI}}$ 引脚的值。只能在 $\overline{\text{NMI}}$ 中断程序中判断引脚的电平时读取 P8_5 位。
- $\overline{\text{NMI}}$ 引脚为“L”电平时，不能转移到停止模式。如果 $\overline{\text{NMI}}$ 引脚为“L”电平，CM1 寄存器的 CM10 位就被固定为“0”。
- $\overline{\text{NMI}}$ 引脚为“L”电平时，不能转移到等待模式。如果 $\overline{\text{NMI}}$ 引脚为“L”电平，即使 CPU 停止运行，因为 CPU 时钟也不停止，所以不减少功耗。在这种情况下，能通过此后的中断进行正常返回。
- $\overline{\text{NMI}}$ 引脚输入的信号的“L”和“H”电平宽度都必须在 CPU 时钟的 2 个或 2 个以上周期 +300ns。

2.8.4 中断源的变更

如果更改中断源，中断控制寄存器的 IR 位就可能为“1”（有中断请求）。使用中断时，必须在更改中断源后将 IR 位清“0”（无中断请求）。

另外，在此所说的中断源变更包含更改分配在各软件中断号中的中断源、极性及时序的所有要素。因此，变更与中断源、极性及时序有关的外围功能的模式时，必须在更改这些内容后将 IR 位清“0”（无中断请求）。有关外围功能的中断，请参照各外围功能。

中断源的变更步骤例子如图 2.4 所示。

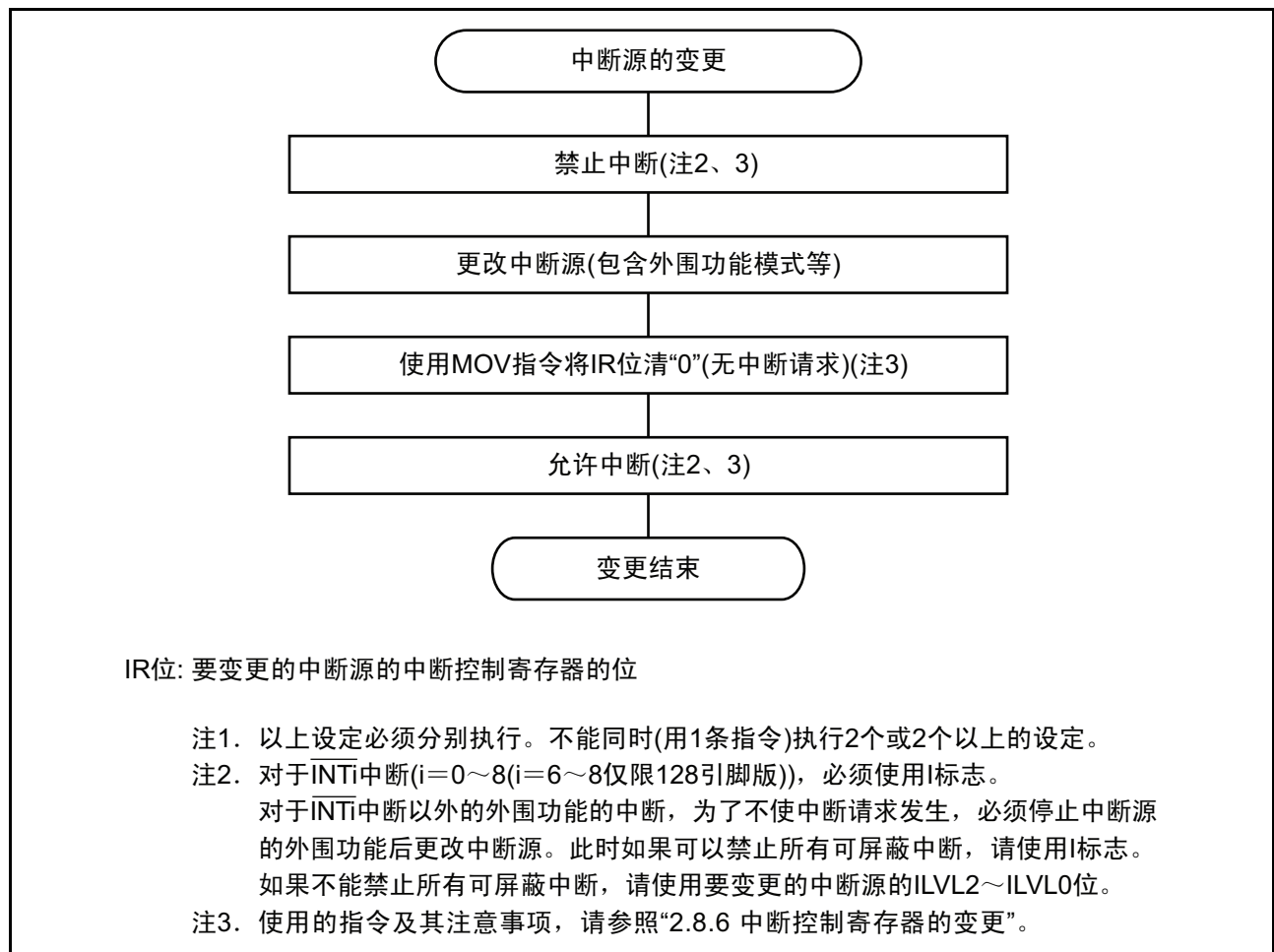


图 2.4 中断源的变更步骤例子

2.8.5 $\overline{\text{INT}}$ 中断

- $\overline{\text{INT}}0 \sim \overline{\text{INT}}8$ 引脚输入的信号与 CPU 时钟无关, 需要大于等于 $t_{w(\text{INL})}$ 的“L”电平宽度或者大于等于 $t_{w(\text{INH})}$ 的“H”电平宽度。
- 如果更改 $\overline{\text{INT}}0\text{IC} \sim \overline{\text{INT}}8\text{IC}$ 寄存器 (注 2) 的 POL 位和 IFSR1 寄存器的 IFSR10 $\sim$ IFSR15 位、IFSR2 寄存器的 IFSR23 $\sim$ IFSR25 位 (注 3), IR 位就可能为“1”（有中断请求）。所以必须在更改这些位后将 IR 位清“0”（无中断请求）。

注 1. $\overline{\text{INT}}6 \sim \overline{\text{INT}}8$ 引脚仅限 128 引脚版。

注 2. $\overline{\text{INT}}6\text{IC} \sim \overline{\text{INT}}8\text{IC}$ 寄存器仅限 128 引脚版。

注 3. IFSR2 寄存器的 IFSR23 $\sim$ IFSR25 位仅限 128 引脚版有效。在 100 引脚版中必须将这些位清“0”（单边沿）。

2.8.6 中断控制寄存器的变更

(a) 必须在对应该寄存器的中断请求不发生的位置更改中断控制寄存器。在有可能发生中断请求时，必须在禁止中断后更改中断控制寄存器。

(b) 在禁止中断后更改中断控制寄存器时，必须注意使用的指令。

IR 位以外的位的变更

如果在指令执行中发生对应该寄存器的中断请求，IR 位就有可能不变为“1”（有中断请求），中断将被忽略。在发生这种问题时，必须用以下指令更改寄存器：

对象指令 … AND、OR、BCLR、BSET

IR 位的变更

在将 IR 位清“0”（无中断请求）时，根据使用的指令，IR 位有可能不变为“0”。必须使用 MOV 指令将 IR 位清“0”。

(c) 使用 I 标志禁止中断时，必须按以下的参考程序例子进行 I 标志的设定（有关参考程序例子的中断控制寄存器的变更，请参照 (b)）。

例 1～例 3 是防止因内部总线和指令队列缓冲器的影响而在更改中断控制寄存器前 I 标志变为“1”（允许中断）的方法。

例 1: 通过 NOP 指令等待中断控制寄存器被更改的例子

INT_SWITCH1:

```
FCLR    I                ; 禁止中断
AND.B   #00H, 0055H      ; 将 TA0IC 寄存器置“00h”
NOP                      ;
NOP                      ;
FSET     I                ; 允许中断
```

NOP 指令数如下：

- PM2 寄存器的 PM20 位 =1（1 个等待）时 :2 个
- PM20 位 =0（2 个等待）时 :3 个
- 使用 HOLD 时 :4 个。

例 2: 通过虚读使 FSET 指令等待的例子

INT_SWITCH2:

```
FCLR    I                ; 禁止中断
AND.B   #00H, 0055H      ; 将 TA0IC 寄存器置“00h”
MOV.W   MEM, R0          ; 虚读
FSET     I                ; 允许中断
```

例 3: 通过 POPC 指令更改 I 标志的例子

INT_SWITCH3:

```
PUSHC   FLG
FCLR    I                ; 禁止中断
AND.B   #00H, 0055H      ; 将 TA0IC 寄存器置“00h”
POPC    FLG              ; 允许中断
```

2.8.7 看门狗定时器中断

在看门狗定时器中断请求发生后，必须对看门狗定时器进行初始化。

2.9 DMAC

2.9.1 对 DMiCON 寄存器 (i=0、1) 的 DMAE 位写

在 (a) 表示的条件下，请按 (b) 所示的步骤写。

(a)条件

- DMAE 位为 “1” (DMAi 为激活状态) 时，再次给 DMAE 位写 “1”。
- 有可能在对 DMAE 位写数据的同时发生 DMA 请求。

(b)步骤

- (1) 同时给 DMiCON 寄存器的 DMAE 位和 DMAS 位写 “1” (注 1)。
- (2) 通过程序确认 DMAi 是否为初始状态 (注 2)。

DMAi 不为初始状态时，重复 (1)(2)。

注 1. DMAS 位即使写 “1” 也不变。如果写 “0”，就变为 “0” (无 DMA 请求)。因此，为了给 DMAE 位写 “1”，在给 DMiCON 寄存器写数据时，如果对要给 DMAS 写的值预先置 “1”，DMAS 就能保持即将写前的状态。

对于 DMAE 位的写，即使使用读 - 改 - 写指令，只要对要给 DMAS 写的值预先置 “1”，就能保持指令执行中发生的 DMA 请求。

注 2. 必须通过 TCRi 寄存器的值确认。

读取 TCRi 寄存器，如果能读取 DMA 传送开始前写给 TCRi 寄存器的值 (对 DMAE 位写数据后发生 DMA 请求时，为 “给 TCRi 寄存器写的值 - 1”)，就判断为处于初始状态；如果读到的值是传送中途的值，就判断为不处于初始状态。

2.10 定时器

2.10.1 定时器 A

2.10.1.1 定时器模式

在复位后，定时器停止运行。通过 TAI_{MR} (i=0 ~ 4) 寄存器和 TAI 寄存器，在设定模式、计数源、计数器的值等后，必须将 TABSR 寄存器的 TAI_S 位置 “1” (开始计数)。

另外，与是否在复位后无关，必须在 TAI_S 位为 “0” (停止计数) 的状态下更改 TAI_{MR} 寄存器。

通过读取 TAI 寄存器，能在任意的时序读取计数中的计数器值。但是，在进行重加载操作的过程中读取时，只能读到 “FFFFh”。另外，在计数停止时，如果在给 TAI 寄存器设定值后并且在计数器开始计数前读取时，就能读取设定值。

在 TB2SC 寄存器的 IVPCR1 位为 “1” (允许根据 $\overline{\text{NMI}}$ 引脚的输入电平强制截止三相输出) 时，如果 $\overline{\text{NMI}}$ 引脚为 “L” 电平，TA1OUT、TA2OUT、TA4OUT 引脚就为高阻抗。

2.10.1.2 事件计数器模式

在复位后，定时器停止运行。通过 $TAiMR(i=0 \sim 4)$ 寄存器、 TAi 寄存器、UDF 寄存器、ONSF 寄存器的 TAZIE、TA0TGL 和 TA0TGH 位、TRGSR 寄存器，在设定模式、计数源、计数器的值等后，必须将 TABSR 寄存器的 $TAiS$ 位置 “1”（开始计数）。

另外，与是否在复位后无关，必须在 $TAiS$ 位为 “0”（停止计数）的状态下更改 $TAiMR$ 寄存器、UDF 寄存器、ONSF 寄存器的 TAZIE、TA0TGL 和 TA0TGH 位、TRGSR 寄存器。

通过读取 TAi 寄存器，能在任意的时序读取计数中的计数器值。但是，在进行重加载操作的过程中读取时，只能读到 “FFFFh”，在上溢时读取 “0000h”。在计数停止时，如果在给 TAi 寄存器设定值后并且在计数器开始计数前读取时，就能读取设定值。

在 TB2SC 寄存器的 IVPCR1 位为 “1”（允许根据 $\overline{NMI}$ 引脚的输入电平强制截止三相输出）时，如果 $\overline{NMI}$ 引脚为 “L” 电平，TA1OUT、TA2OUT、TA4OUT 引脚就为高阻抗。

2.10.1.3 单次触发定时器模式

在复位后，定时器停止运行。通过 $TAiMR(i=0 \sim 4)$ 寄存器、 TAi 寄存器、 $ONSF$ 寄存器的 $TA0TGL$ 和 $TA0TGH$ 位、 $TRGSR$ 寄存器，在设定模式、计数源、计数器的值等后，必须将 $TABSR$ 寄存器的 $TAiS$ 位置“1”（开始计数）。

另外，与是否在复位后无关，必须在 $TAiS$ 位为“0”（停止计数）的状态下更改 $TAiMR$ 寄存器、 $ONSF$ 寄存器的 $TA0TGL$ 和 $TA0TGH$ 位、 $TRGSR$ 寄存器。

如果在计数中将 $TAiS$ 位清“0”（停止计数），就进行以下的运行。

- 计数器停止计数，对重加载寄存器的内容进行重新装入。
- $TAiOUT$ 引脚输出“L”电平。
- 在 CPU 时钟的 1 个周期后， $TAiIC$ 寄存器的 IR 位变为“1”（有中断请求）。

由于单次触发定时器的输出与内部生成的计数源同步，所以在选择外部触发时，从给 $TAiIN$ 引脚触发输入到单次触发定时器输出，最大产生计数源的 1 个周期的延迟。

在用以下任意方法设定定时器运行模式时， IR 位变为“1”。

- 在复位后选择单次触发定时器模式时
- 将运行模式从定时器模式变更为单次触发定时器模式时
- 将运行模式从事件计数器模式变更为单次触发定时器模式时

因此，在使用定时器 Ai 中断（ IR 位）时，必须在进行上述设定后将 IR 位清“0”。

如果在计数中发生触发，计数器就在发生再触发后进行 1 次递减计数，然后进行重加载寄存器的重新装入，继续进行计数。如果在计数中产生触发，就必须从前次的触发发生开始经过定时器计数源的 1 个周期以后产生再触发。

在选择外部触发为计数开始条件时，在计数值为“0000h”前 300ns 的期间内不能重新输入外部触发。

在 $TB2SC$ 寄存器的 $IVPCR1$ 位为“1”（允许根据 $\overline{NMI}$ 引脚的输入电平强制截止三相输出）时，如果 $\overline{NMI}$ 引脚为“L”电平， $TA1OUT$ 、 $TA2OUT$ 、 $TA4OUT$ 引脚就为高阻抗。

2.10.1.4 脉宽调制模式

在复位后，定时器停止运行。通过 $TAiMR(i=0 \sim 4)$ 寄存器、 TAi 寄存器、 $ONSF$ 寄存器的 $TA0TGL$ 和 $TA0TGH$ 位、 $TRGSR$ 寄存器，在设定模式、计数源、计数器的值等后，必须将 $TABSR$ 寄存器的 $TAiS$ 位置“1”（开始计数）。

另外，与是否在复位后无关，必须在 $TAiS$ 位为“0”（停止计数）的状态下更改 $TAiMR$ 寄存器、 $ONSF$ 寄存器的 $TA0TGL$ 和 $TA0TGH$ 位、 $TRGSR$ 寄存器。

在用以下任意方法设定定时器运行模式时， IR 位变为“1”。

- 在复位后选择脉宽调制模式时
- 将运行模式从定时器模式变更为脉宽调制模式时
- 将运行模式从事件计数器模式变更为脉宽调制模式时

因此，在使用定时器 Ai 中断（ IR 位）时，必须在进行上述设定后通过程序将 IR 位清“0”。

如果在输出 PWM 脉冲中将 $TAiS$ 位清“0”（停止计数），就进行以下的运行。

- 计数器停止计数，对重加载寄存器的内容进行重新装入。
- 在从 $TAiOUT$ 引脚输出“H”电平时，输出电平变为“L”，并且 IR 位为“1”。
- 在从 $TAiOUT$ 引脚输出“L”电平时，输出电平和 IR 位都不变。

在 $TB2SC$ 寄存器的 $IVPCR1$ 位为“1”（允许根据 $\overline{NMI}$ 引脚的输入电平强制截止三相输出）时，如果 $\overline{NMI}$ 引脚为“L”电平， $TA1OUT$ 、 $TA2OUT$ 、 $TA4OUT$ 引脚就为高阻抗。

2.10.2 定时器 B

2.10.2.1 定时器模式

在复位后，定时器停止运行。通过 TBiMR(i=0 ~ 5) 寄存器和 TBi 寄存器，在设定模式、计数源、计数器的值等后，必须将 TABSR 寄存器或者 TBSR 寄存器的 TBIS 位置 “1” (开始计数)。

另外，与是否在复位后无关，必须在 TBIS 位为 “0” (停止计数) 的状态下更改 TBiMR 寄存器。

通过读取 TBi 寄存器，能在任意的时序读取计数中的计数器值。但是，在进行重加载操作的过程中读取时，只能读到 “FFFFh”。另外，在计数停止时，如果在给 TBi 寄存器设定值后并且在计数器开始计数前读取时，就能读取设定值。

2.10.2.2 事件计数器模式

在复位后，定时器停止运行。通过 TBiMR(i=0 ~ 5) 寄存器和 TBi 寄存器，在设定模式、计数源、计数器的值等后，必须将 TABSR 寄存器或者 TBSR 寄存器的 TBIS 位置 “1” (开始计数)。

另外，与是否在复位后无关，必须在 TBIS 位为 “0” (停止计数) 的状态下更改 TBiMR 寄存器。

通过读取 TBi 寄存器，能在任意的时序读取计数中的计数器值。但是，在进行重加载操作的过程中读取时，只能读到 “FFFFh”。另外，在计数停止时，如果在给 TBi 寄存器设定值后并且在计数器开始计数前读取时，就能读取设定值。

2.10.2.3 脉冲周期测定 / 脉宽测定模式

在复位后，定时器停止运行。通过 TBiMR(i=0 ~ 5) 寄存器，在设定模式、计数源等后，必须将 TABSR 寄存器或者 TBSR 寄存器的 TBiS 位置 “1” (开始计数)。

另外，与是否在复位后无关，必须在 TBiS 位为 “0” (停止计数) 的状态下更改 TBiMR 寄存器。为了将 MR3 位清 “0”，在 TBiS 位为 “1” (开始计数) 的状态下写 TBiMR 寄存器时，必须给 TM0D0、TM0D1、MR0、MR1、TCK0、TCK1 位写与前次写的值相同的值，并且给 MR2 写 “0”。

在输入测定脉冲的有效边沿时或者在定时器 Bi 上溢时，TBiIC 寄存器 (i=0 ~ 5) 的 IR 位变为 “1” (有中断请求)。在中断程序内用 TBiMR 寄存器的 MR3 位判断中断源。

用 MR3 位不能判断测定脉冲输入重叠于定时器上溢时序等中断源时，必须用其它定时器对上溢次数进行计数。

在将 MR3 位清 “0” (无上溢) 时，必须在 TBiS 位为 “1” (开始计数) 的状态下并且在 MR3 位变为 “1” (有上溢) 后的下一个计数源的计数时序以后写 TBiMR 寄存器。

在只检测上溢时，使用 TBiIC 寄存器的 IR 位。在中断程序内只判断中断源时使用 MR3 位。

在开始计数后的第 1 次有效边沿输入时，不定值被传送到重加载寄存器。此时，不发生定时器 Bi 中断请求。

在开始计数时，计数器值不定。因此，在开始计数后且在有效边沿输入前，有可能 MR3 位为 “1”，并且有可能发生定时器 Bi 中断请求。

在脉宽测定模式时连续测定脉宽，必须用程序判断测定结果是 “H” 电平还是 “L” 电平。

2.11 三相马达控制用定时器功能

有可能在定时器 B2 的上溢前后对 TAI1 寄存器 (i=1、2、4) 写计数值时，在确认到读 TB2 寄存器的值，及定时器 B2 的上溢之前有充足的时间后，必须立刻写 TAI1 寄存器。另外，为了缩短读 TB2 寄存器之后到写 TAI1 寄存器之前的处理时间，必须避免在此期间产生中断请求等。如果在定时器 B2 上溢前没有时间，就必须在定时器 B2 上溢后写 TAI1 寄存器。

2.12 串行接口

2.12.1 时钟同步串行 I/O 模式

2.12.1.1 发送 / 接收

在选择外部时钟和 $\overline{\text{RTS}}$ 功能时，如果进入可接收状态， $\overline{\text{RTSi}}$ 引脚的输出电平就变为 “L”，将已成为可接收的状态通知发送方。如果开始接收， $\overline{\text{RTSi}}$ 引脚的输出电平就变为 “H”。因此，如果将 $\overline{\text{RTSi}}$ 引脚连接到发送方的 $\overline{\text{CTSi}}$ 引脚，就能匹配发送 / 接收的时序。在选择内部时钟时， $\overline{\text{RTS}}$ 功能无效。

在 TB2SC 寄存器的 IVPSCR1 位为 “1”（允许根据 $\overline{\text{NMI}}$ 引脚的输入电平强制截止三相输出）时，如果给 $\overline{\text{NMI}}$ 引脚输入 “L” 电平， $\overline{\text{RTS2}}$ 引脚和 CLK2 引脚就为高阻抗。

2.12.1.2 发送

在选择外部时钟时，如果 UiC0 寄存器的 CKPOL 位为 “0”（在传送时钟的下降沿输出发送数据，在上升沿输入接收数据），外部时钟就为 “H” 状态；如果 CKPOL 位为 “1”（在传送时钟的上升沿输出发送数据，在下降沿输入接收数据），外部时钟就为 “L” 状态。并且必须满足以下条件：

- UiC1 寄存器的 TE 位为 “1”（允许发送）
- UiC1 寄存器的 TI 位为 “0”（UiTB 寄存器中有数据）
- 在选择 $\overline{\text{CTS}}$ 功能时， $\overline{\text{CTSi}}$ 引脚的输入为 “L” 电平

2.12.1.3 接收

在时钟同步串行 I/O 中，通过发送器的运行产生移位时钟。因此，即使只用于接收，也必须进行发送的设定。接收时从 TXDi 引脚将虚设数据输出到外部。

在选择内部时钟时，如果将 UiC1 寄存器（i=0 ~ 2）的 TE 位置 “1”（允许发送），并且将虚设数据设定到 UiTB 寄存器，就产生移位时钟；在选择外部时钟时，如果将 TE 位置 “1”、将虚设数据设定到 UiTB 寄存器，并且将外部时钟输入到 CLKi 引脚，就产生移位时钟。

在连续接收数据时，如果 UiC1 寄存器（i=0 ~ 2）的 RI 位为 “1”（UiRB 寄存器中有数据），并且 UARTi 接收寄存器已有下一个接收数据，就发生上溢错误，UiRB 寄存器的 OER 位变为 “1”（发生上溢错误）。此时，由于 UiRB 寄存器的内容不定，所以必须在发送方和接收方的程序中，对上溢错误发生时的前一次数据进行再次发送处理。另外，在发生上溢错误时，SiRIC 寄存器的 IR 位不变。

在连续接收数据时，必须在每次接收时给 UiTB 寄存器的低位字节设定虚设数据。

在选择外部时钟时，如果 CKPOL 位为 “0”，外部时钟就为 “H” 状态；如果 CKPOL 位为 “1”，外部时钟就为 “L” 状态。并且必须满足以下条件：

- UiC1 寄存器的 RE 位为 “1”（允许接收）
- UiC1 寄存器的 TE 位为 “1”（允许发送）
- UiC1 寄存器的 TI 位为 “0”（UiTB 寄存器中有数据）

2.12.2 特殊模式

2.12.2.1 特殊模式 1 (I²C 模式)

生成开始条件、停止条件、重新开始条件时，必须在将 UiSMR4 寄存器的 STSPSEL 位清 “0” (不输出开始条件、停止条件) 并等待传送时钟的半个周期以后，使各条件生成位 (STAREQ、RSTAREQ、STPREQ 位) 从 “0” (清除) 变成 “1” (开始)。

2.12.2.2 特殊模式 2

在 TB2SC 寄存器的 IVPCR1 位为 “1” (允许根据 $\overline{\text{NMI}}$ 引脚输入的三相输出的强制截止) 时，如果给 $\overline{\text{NMI}}$ 引脚输入 “L” 电平， $\overline{\text{RTS2}}$ 引脚和 CLK2 引脚就为高阻抗。

2.12.2.3 特殊模式 4 (SIM 模式)

在复位后，如果将 U2C1 寄存器的 U2IRS 位置 “1” (发送结束)、U2ERE 位置 “1” (错误信号输出)，就产生发送中断请求。因此，在使用 SIM 模式时，必须在设定后将 IR 位清 “0” (无中断请求)。

2.12.3 SI/Oi（i=3～6）（注 1）

在 SiC 寄存器的 SMi2 位为“0”（SOUTi 输出）并且 SMi6 位为“1”（内部时钟）的状态下，如果将 SMi3 位从“0”（I/O 端口）变为“1”（SOUTi 输出、CLKi 功能），就有可能把通过 SMi7 位设定的 SOUTi 初始值从 SOUTi 引脚输出 10ns 左右，此后 SOUTi 引脚变为高阻抗。

如果在将 SMi3 位从“0”变为“1”时 SOUTi 引脚的输出电平出现问题的情况下，就必须用 SMi7 位设定 SOUTi 的初始值。

注 1. SI/O5、SI/O6 仅限 128 引脚版。

2.13 A/D 转换器

必须在 A/D 转换停止时（发生触发前）写 ADCON0 寄存器（位 6 除外）、ADCON1 寄存器、ADCON2 寄存器。

必须在 A/D 转换停止后，使 ADCON1 寄存器的 VCUT 位从“1”（连接 VREF）变成“0”（未连接 VREF）。

在使 VCUT 位从“0”变成“1”时，必须经过大于等于 $1\mu\text{s}$ 后再开始 A/D 转换。

为了防止因噪声引起的误动作和闩锁、降低转换误差，必须在 AVCC 引脚、VREF 引脚、模拟输入引脚（ANi（ $i=0\sim 7$ ）、AN0_i、AN2_i）和 AVSS 引脚之间分别插入电容。同样，也必须在 VCC 引脚和 VSS 引脚之间插入电容。

各引脚的处理例子如图 2.5 所示。

必须将对应用作模拟输入引脚的端口方向位清“0”（输入模式）。另外，在 ADCON0 寄存器的 TRG 位为“1”（外部触发）时，必须将对应 ADTRG 引脚的端口方向位清“0”（输入模式）。

使用键输入中断时，AN4～AN7 都不能用作模拟输入引脚（如果 A/D 输入电压为“L”电平，就产生键输入中断请求）。

ϕ_{AD} 的频率必须小于等于 10MHz。无采样 & 保持功能时， ϕ_{AD} 的频率必须大于等于 250kHz；有采样 & 保持功能时， ϕ_{AD} 的频率必须大于等于 1MHz。

在改变 A/D 运行模式时，必须通过 ADCON0 寄存器的 CH2～CH0 位或者 ADCON1 寄存器的 SCAN1～SCAN0 位重新选择模拟输入引脚。

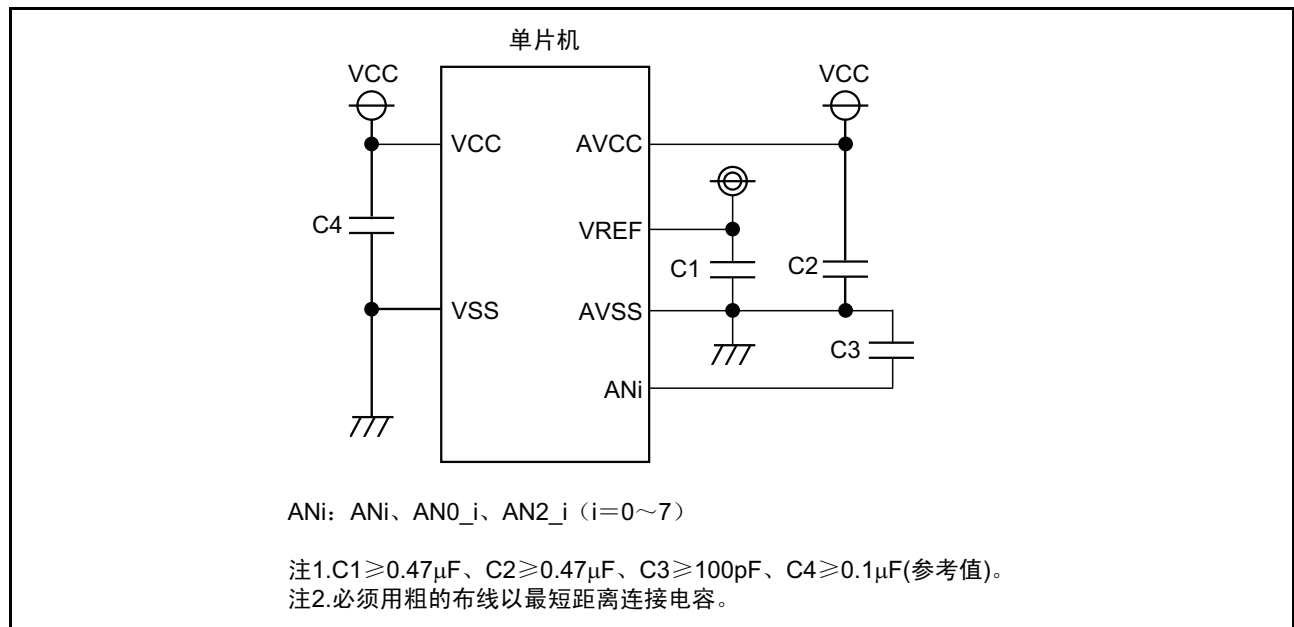


图 2.5 各引脚的处理例子

在 A/D 转换结束后将转换结果保存到 ADi 寄存器 (i=0 ~ 7) 时，如果 CPU 读取 ADi 寄存器，错误值就被保存到 ADi 寄存器。在对 CPU 时钟选择主时钟的分频时钟或者副时钟时，发生此现象。

- 在单次模式或者单次扫描模式使用时
必须在确认了 A/D 转换结束后读对象 ADi 寄存器 (能用 ADIC 寄存器的 IR 位判断 A/D 转换结束)。
- 在重复模式、重复扫描模式 0 或者重复扫描模式 1 使用时
CPU 时钟使用没有分频的主时钟。

如果在 A/D 转换运行中通过程序将 ADCON0 寄存器的 ADST 位清 “0” (停止 A/D 转换) 来强制结束转换，A/D 转换器的转换结果就不定。另外，不进行 A/D 转换的 ADi 寄存器的内容也可能不定。如果在 A/D 转换运行中通过程序将 ADST 位清 “0”，就不能使用所有 ADi 寄存器的值。

在单次扫描模式的 A/D 转换中，如果将 ADCON0 寄存器的 ADST 位清 “0” 来中止 A/D 转换，就必须在将 ADST 位清 “0” 前禁止中断。

由于 AN4 ~ AN7 和 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 复用引脚，所以如果输入中间电位，功耗就会比其它模拟输入引脚 (AN0 ~ AN3、AN0_0 ~ AN0_7、AN2_0 ~ AN2_7) 大。

2.14 CAN 模块

2.14.1 CiSTR 寄存器（i=0、1）的读取

M16C/6N 群（M16C/6NK、M16C/6NM）的 CAN 模块，以一定的周期对 CiSTR 寄存器进行状态更新。CPU 和 CAN 模块在同一时序对 CiSTR 寄存器进行存取时，规定 CPU 的存取优先，并禁止 CAN 模块的存取。因此，CAN 模块的状态更新周期与 CPU 的存取经常一致时，CAN 模块的状态不会被更新（参照“图 2.6 CAN 模块的更新周期与 CPU 的存取周期一致时”）。

因此，为了避免 CPU 的存取周期与 CAN 模块的更新周期一致，必须注意以下几点。

- 在 CPU 读 CiSTR 寄存器前，需要等待大于等于 3fCAN（参照“表 2.3 CAN 模块状态更新周期”）的待机时间（参照“图 2.7 在 CPU 读前待机 3fCAN 时”）。
- 在 CPU 查询 CiSTR 寄存器时，需要使用大于 3fCAN 的周期（参照“图 2.8 CPU 的查询周期大于 3fCAN 时”）。

表 2.3 CAN 模块状态更新周期

3fCAN 时间 = 3 × XIN（源振荡时间） × CAN 时钟用分频值（CCLK）	
（例 1） 条件 XIN 16MHz CCLK: 1 分频	3fCAN 时间 = 3 × 62.5ns × 1 = 187.5ns
（例 2） 条件 XIN 16MHz CCLK: 2 分频	3fCAN 时间 = 3 × 62.5ns × 2 = 375ns
（例 3） 条件 XIN 16MHz CCLK: 4 分频	3fCAN 时间 = 3 × 62.5ns × 4 = 750ns
（例 4） 条件 XIN 16MHz CCLK: 8 分频	3fCAN 时间 = 3 × 62.5ns × 8 = 1.5μs
（例 5） 条件 XIN 16MHz CCLK: 16 分频	3fCAN 时间 = 3 × 62.5ns × 16 = 3μs

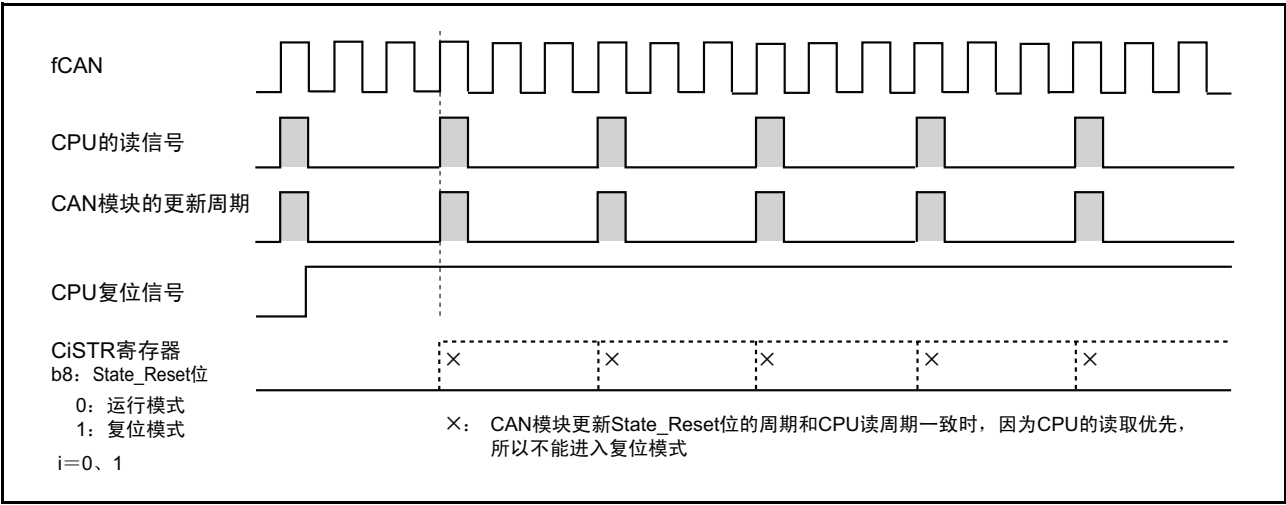


图 2.6 CAN 模块的更新周期与 CPU 的存取周期一致时

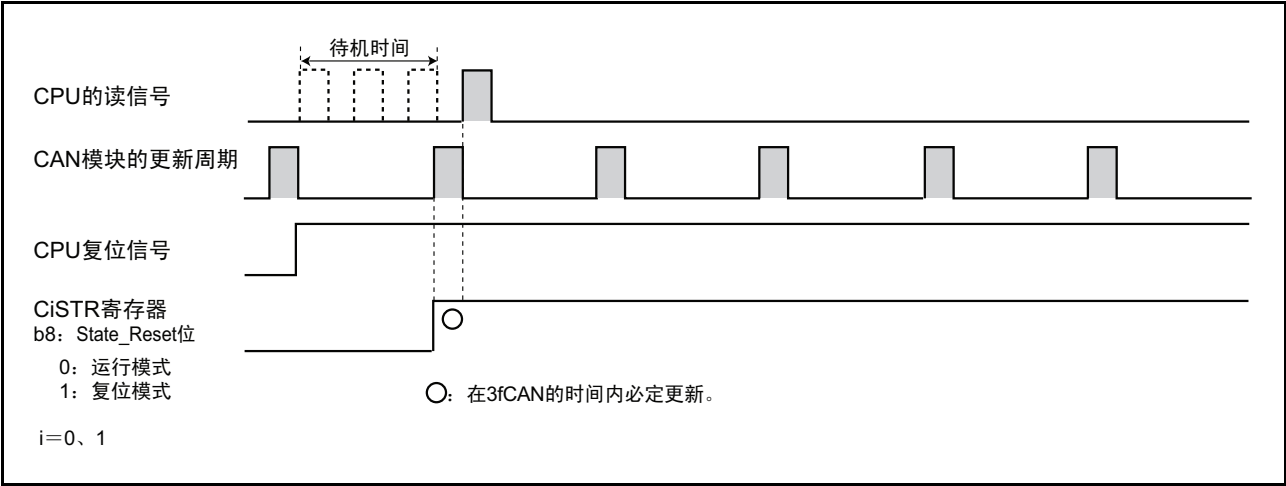


图 2.7 在 CPU 读前待机 3fCAN 时

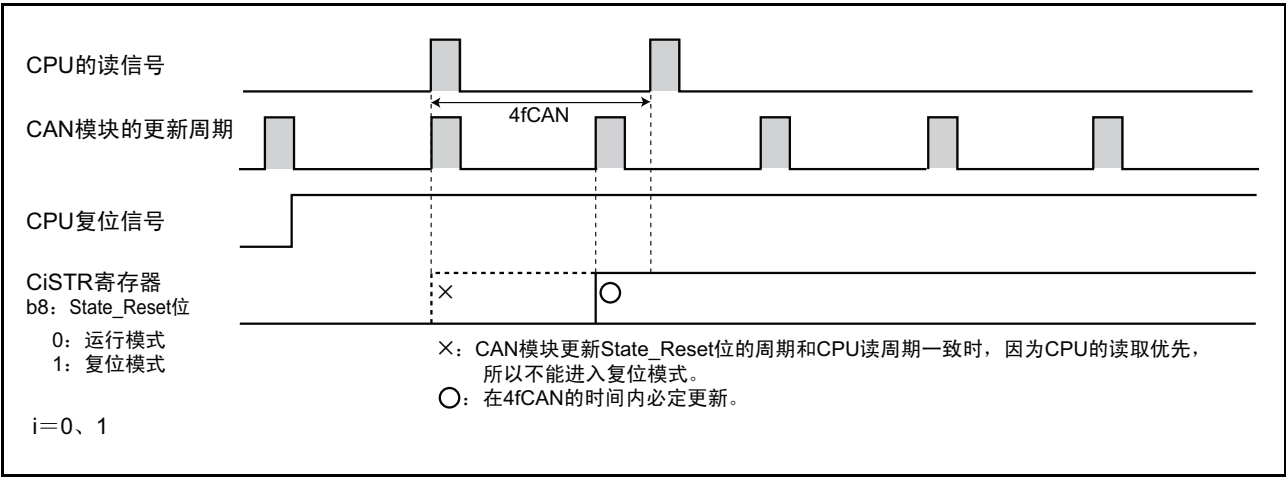


图 2.8 CPU 的查询周期大于 3fCAN 时

2.14.2 CAN 运行模式和 CAN 复位模式的转移

为了从 CAN 运行模式转移到 CAN 复位模式，在使 CiCTLR 寄存器（i=0、1）的 Reset 位从“0”（运行模式）变成“1”（复位 / 初始化模式）时，必须确认 CiSTR 寄存器的 State_Reset 位为“1”（复位模式）。

为了从 CAN 复位模式转移到 CAN 运行模式，在使 Reset 位从“1”变成“0”时，必须确认 State_Reset 位为“0”（运行模式）。

步骤如下。

- 从 CAN 运行模式转移到 CAN 复位模式时
 - 使 Reset 位从“0”变成“1”
 - 确认 State_Reset 位为“1”
- 从 CAN 复位模式转移到 CAN 运行模式时
 - 使 Reset 位从“1”变成“0”
 - 确认 State_Reset 位为“0”

2.14.3 降低消耗电流的要点

在不进行 CAN 通信时，CAN 收发器的运行模式必须设定为待机模式或睡眠模式。

在进行 CAN 通信时，如果控制 CAN 收发器的运行模式引脚，就能大幅降低不进行 CAN 通信时 CAN 收发器的消耗电流。

连接推荐例子如表 2.4、表 2.5 所示。

表 2.4 连接推荐例子（1）（飞利浦公司生产的 PCA82C250 的情况）

	待机模式	高速模式
Rs 引脚（注 1）	“H”	“L”
CAN 收发器的消耗电流（注 2）	不足 170 μ A	不足 70mA
CAN 通信	不可能	可能
连接图		

i=0、1

注 1. 控制 CAN 收发器运行状态的引脚。

注 2. Ta=25°C 时。

注 3. 必须连接可用于 CAN 收发器控制的端口。

表 2.5 连接推荐例子（2）（飞利浦公司生产的 PCA82C252 的情况）

	睡眠模式	正常运行模式
STB 引脚（注 1）	“L”	“H”
EN 引脚（注 1）	“L”	“H”
CAN 收发器的消耗电流（注 2）	不足 50 μ A	不足 35mA
CAN 通信	不可能	可能
连接图		

i=0、1

注 1. 控制 CAN 收发器的运行状态的引脚。

注 2. Ta=25°C 时。

注 3. 必须连接可用于 CAN 收发器控制的端口。

2.14.4 使用标准引导程序时的 CAN 收发器控制

使用标准引导程序并经由 CAN 执行写入闪存时，必须将 CAN 收发器的运行模式设定为高速模式或正常运行模式。

由单片机的闪存控制 CAN 收发器的运行模式时，必须如表 2.6、表 2.7 所示，通过开关等设定 CAN 收发器的运行模式后，再进行写操作。

表 2.6 CAN 收发器的连接（飞利浦公司生产的 PCA82C250 的情况）

	待机模式	高速模式
Rs 引脚（注 1）	“H”	“L”
CAN 通信	不可能	可能
连接图		

i=0、1

注 1. 控制 CAN 收发器的运行状态的引脚。

注 2. 必须连接可用于 CAN 收发器控制的端口。

表 2.7 CAN 收发器的连接（飞利浦公司生产的 PCA82C252 的情况）

	睡眠模式	正常运行模式
STB 引脚（注 1）	“L”	“H”
EN 引脚（注 1）	“L”	“H”
CAN 通信	不可能	可能
连接图		

i=0、1

注 1. 控制 CAN 收发器的运行状态的引脚。

注 2. 必须连接可用于 CAN 收发器控制的端口。

2.15 可编程 I/O 端口

在 TB2SC 寄存器的 IVPCR1 位为“1”（允许根据 $\overline{\text{NMI}}$ 引脚输入强制截止三相输出）时，如果给 $\overline{\text{NMI}}$ 引脚输入“L”电平，P7_2 ~ P7_5、P8_0、P8_1 引脚就为高阻抗。

如果将 S3C 寄存器的 SM32 位置“1”，P9_2 引脚就为高阻抗。

如果将 S4C 寄存器的 SM42 位置“1”，P9_6 引脚就为高阻抗（注 1）。

如果将 S5C 寄存器的 SM52 位置“1”，P11_2 引脚就为高阻抗（注 2）。

如果将 S6C 寄存器的 SM62 位置“1”，P11_6 引脚就为高阻抗（注 2）。

注 1. 在使用 SI/O4 时必须将 SM43 位置“1”（SOUT4 输出、CLK4 功能），将对应 SOUT4 的端口方向位）清“0”（输入模式）。

注 2. S5C、S6C 寄存器仅限 128 引脚版。使用 SI/O5、SI/O6 时，必须在将 PUR3 寄存器的 PU37 位置“1”（可使用 P11 ~ P14）后设定 S5C、S6C 寄存器。

在可编程 I/O 端口和外围功能状态下，输入阈值电压不同。

因此，如果可编程 I/O 端口和外围功能复用引脚，在此引脚的输入电平为推荐运行条件 VIH 和 VIL 的范围以外（即不为“H”也不为“L”电平）时，在可编程 I/O 端口和外围功能状态下，电平判断的结果就有可能不同。

在将 PC14 寄存器的 PD14_i 位（i=0、1）从“0”（输入端口）变为“1”（输出端口）时，必须按以下步骤进行设定（仅限 128 引脚版）：

设定步骤例子：

- | | | |
|-----------------------------|---|--------------|
| (1) 设定 P14_i 位 | :MOV.B #0000000 1 b, PC14 | ; P14_i 位的设定 |
| (2) 用 MOV 指令将 PD14_i 位变为“1” | :MOV.B #00 11 000 1 b, PC14 | ; 变为输出端口 |

PM0 寄存器的 PM01 ~ PM00 位为“01b”（存储器扩展模式）或“11b”（微处理器模式），将 PM11 位置“1”时，如果读 P3、PD3 寄存器，就会从 P3_7 ~ P3_4、PD3_7 ~ PD3_4 位读出不定值。

改写（包括大小描述符为“W”，改写 P2、PD2 寄存器时）P3、PD3 寄存器时，必须使用 MOV 指令（仅限 Normal-ver.）。

将 PM11 位置“1”后，如果将 PM0 寄存器的 PM01 ~ PM00 位由“00b”（单芯片模式）设定为“01b”（存储器扩展模式）或“11b”（微处理器模式），就会在 PM01 ~ PM00 位改写时序上的 BCLK 的 0.5 个周期内，从 P3_7 ~ P3_4 引脚输出“L”电平（仅限 Normal-ver.）。

2.16 输入专用引脚

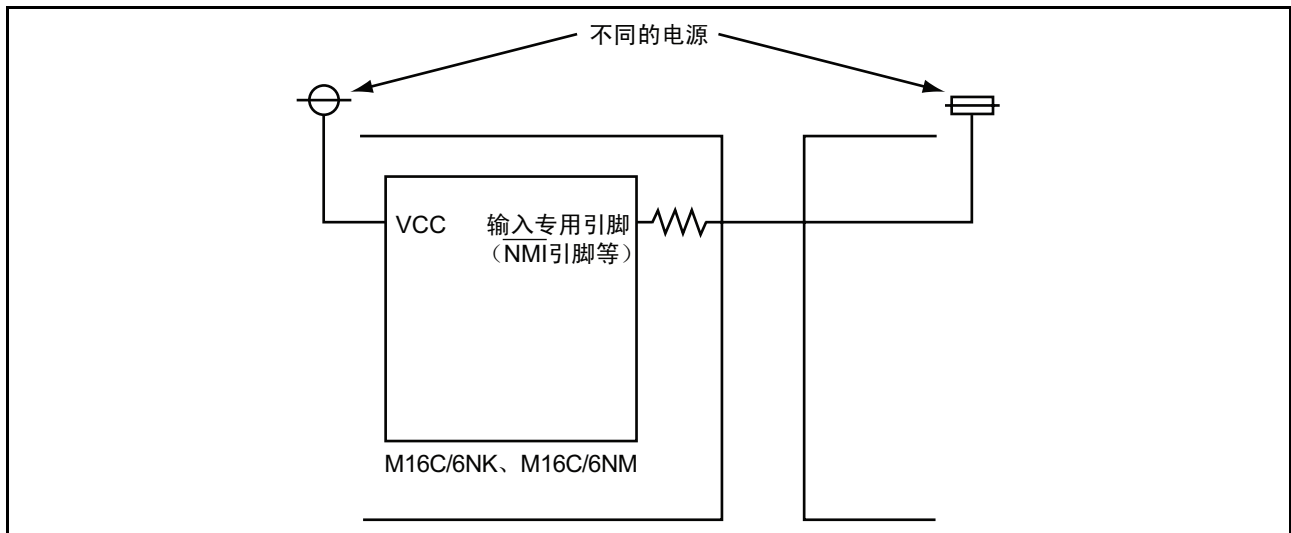
如果输入专用引脚的电压高于 VCC 引脚电压，就会成为闩锁产生的原因。

在将不同的电源提供给系统，并且不使用的输入专用引脚的输入电压大于等于 VCC 引脚的电压时，必须在输入专用引脚和电源间连接 $1k\Omega$ 左右的电阻。

连接例子如图 2.9 所示。

在通电时，电源上升不同的情况下也适用。

另外，VCC 引脚的电压是否与输入专用引脚的电压相等或电压更高时，就不需要电阻。



2.17 闪存版和掩模型 ROM 版的不同点

闪存版和掩模型 ROM 版根据内部 ROM 和版图模式的不同等，其电特性范围内的特性值、运行容限、噪声耐量、噪声辐射量等有可能不同。在从闪存版切换到掩模型 ROM 版时，必须进行和闪存版同等的系统评价试验（掩模型 ROM 版仅限 Normal-ver.）。

2.18 掩模型 ROM 版（仅限 Normal-ver.）

不能对掩模型 ROM 版的内部 ROM 区进行写操作。

2.19 闪存版

2.19.1 闪存改写禁止功能

0FFFDh、0FFFE3h、0FFFEb、0FFFEFh、0FFFF3h、0FFFF7h、0FFFFBh 地址是保存 ID 码的地址。如果对这些地址写错误数据，就不能进行标准串行输入 / 输出模式的闪存读写。

另外，0FFFFh 地址为 ROMCP 寄存器。如果对此地址写错误数据，就不能进行并行输入 / 输出模式的闪存读写。

这些地址被分配到固定向量的向量地址（H）。

2.19.2 停止模式

在转移到停止模式时，必须在将 FMR0 寄存器的 FMR01 位清“0”（CPU 改写模式无效）且禁止 DMA 传送后执行将 CM1 寄存器的 CM10 位置“1”（停止模式）的指令。

2.19.3 等待模式

在转移到等待模式时，必须在将 FMR01 位清“0”（CPU 改写模式无效）后执行 WAIT 指令。

2.19.4 低功耗模式、内部振荡器低功耗模式

在 CM0 寄存器的 CM05 位为“1”（主时钟停止）时，不能执行以下的指令：

- 编程
- 块擦除
- 擦除全部非锁住块
- 锁住位编程
- 读锁住位状态

2.19.5 命令、数据的写

必须给偶数地址写命令码和数据。

2.19.6 编程命令

如果在第 1 总线周期写“xx40h”，并且在第 2 总线周期给写地址写数据，就开始自动写（数据的编程和验证）。第 1 总线周期的地址值必须与在第 2 总线周期指定的写地址的偶数地址相同。

2.19.7 锁住位编程命令

如果在第 1 总线周期写“xx77h”，并且在第 2 总线周期给块的最高位地址（偶数地址）写“xxD0h”，就能给指定块的锁住位写“0”。第 1 总线周期的地址值必须与在第 2 总线周期指定的块的最高位地址相同。

2.19.8 运行速度

在进入 CPU 改写模式（EW0、EW1 模式）前，必须将 CM1 寄存器的 CM11 位清“0”（主时钟），并且通过 CM0 寄存器的 CM06 位和 CM1 寄存器的 CM17 ~ CM16 位将 CPU 时钟设定为小于等于 10MHz。另外，必须将 PM1 寄存器的 PM17 位置“1”（有等待）。

2.19.9 禁止使用的指令

在 EW0 模式，由于以下指令参照闪存内的数据，所以不能使用。
UND 指令、INTO 指令、JMPS 指令、JSRS 指令、BRK 指令。

2.19.10 中断

EW0 模式

- 具有可变向量表中的向量的中断，可按向量地址移至 RAM 区。
- 因为在中断请求发生时强制初始化 FMR0 寄存器和 FMR1 寄存器，所以能使用 $\overline{\text{NMI}}$ 中断、看门狗定时器中断。必须给固定向量表设定各中断程序的转移地址。在发生 $\overline{\text{NMI}}$ 中断、看门狗定时器中断请求时，退出改写运行。必须在退出中断程序后重新执行改写程序。
- 由于地址匹配中断参照闪存内的数据，所以不能使用。

EW1 模式

- 在自动写或者自动擦除期间，不能接受具有可变向量表中的向量的中断或者地址匹配中断。
- 不能使用看门狗定时器中断。
- 因为在中断请求发生时强制初始化 FMR0 寄存器和 FMR1 寄存器，所以能使用 $\overline{\text{NMI}}$ 中断。必须给固定向量表设定各中断程序的转移地址。在发生 $\overline{\text{NMI}}$ 中断请求时，退出改写运行。必须在退出中断程序后重新执行改写程序。

2.19.11 存取方法

在将 FMR0 寄存器的 FMR01 位、FMR02 位和 FMR1 寄存器的 FMR11 位置“1”时，必须在给对象位写“0”后继续写“1”。在写“0”后并且在写“1”前，不能发生中断和 DMA 传送。另外，必须在 $\overline{\text{NMI}}$ 引脚为“H”电平的状态下进行。

2.19.12 用户 ROM 区的改写

EW0 模式

- 在对保存改写控制程序的块进行改写过程中，如果电源电压降低，改写控制程序就不能被正常改写，此后有可能发生闪存不能改写的情况。此时，必须使用标准串行输入 / 输出模式、并行输入 / 输出模式或者 CAN 输入 / 输出模式。

EW1 模式

- 不能改写保存改写控制程序的块。

2.19.13 DMA 传送

在 EW1 模式并且 FMR0 寄存器的 FMR00 位为“0”（自动写、自动擦除期间）时不能进行 DMA 传送。

2.20 通过标准引导程序改写闪存

使用标准引导程序写时的各个引脚的状态和必要处理。

2.20.1 利用串行执行写时

CTX0 引脚 ... 写时输出“H”电平。

CRX0 引脚 ... 必须连接 CAN 收发器或通过电阻连接 VCC（上拉）。

利用串行执行写时的连接例子如图 2.10 所示。

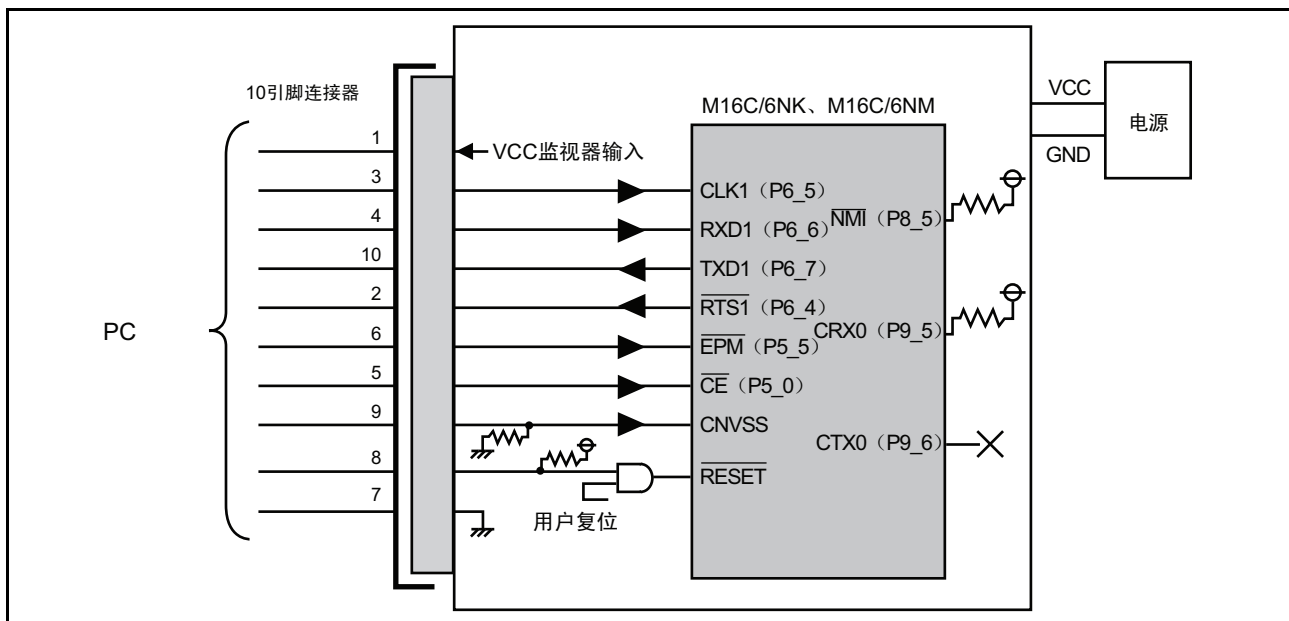


图 2.10 利用串行执行写时的连接例子

2.20.2 利用 CAN 执行写操作时

RTS1 引脚 ... 写入时输出“H”电平和“L”电平。

利用 CAN 执行写操作时的连接例子如图 2.11 所示。

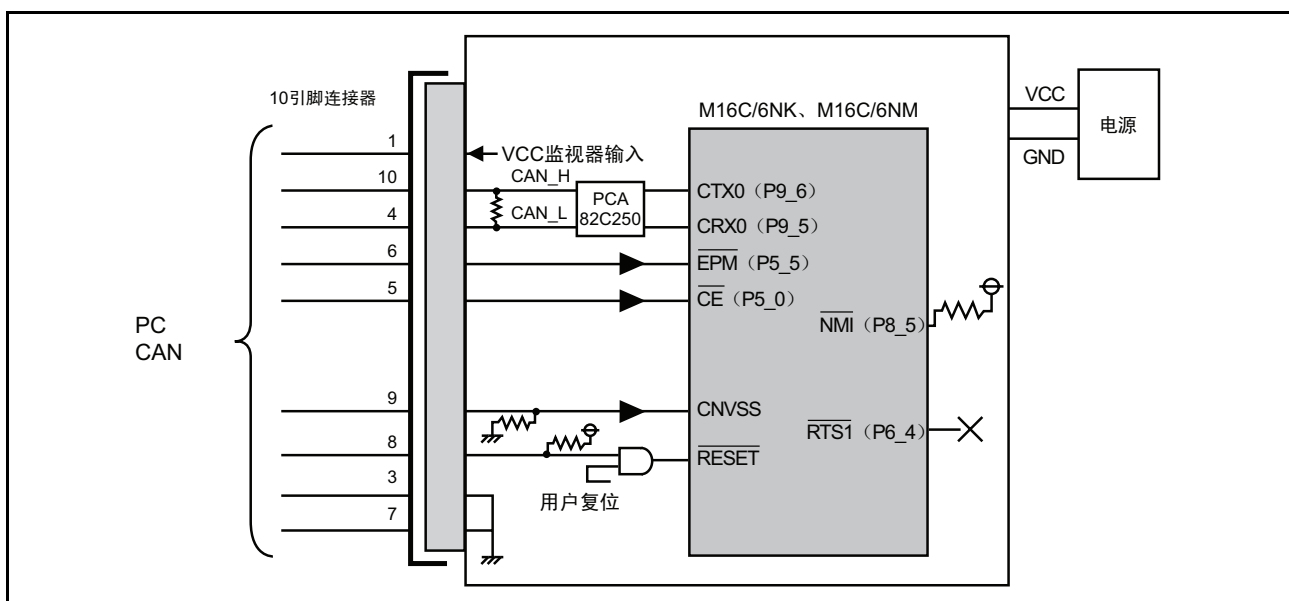


图 2.11 利用 CAN 执行写操作时的连接例子

2.21 噪声

作为噪声对策，必须在 VCC1 引脚和 VSS 引脚之间以及 VCC2 引脚和 VSS 引脚之间，使用最短的且较粗的布线连接旁路电容（0.1 μ F 左右）。

旁路电容的连接例子如图 2.12 所示。

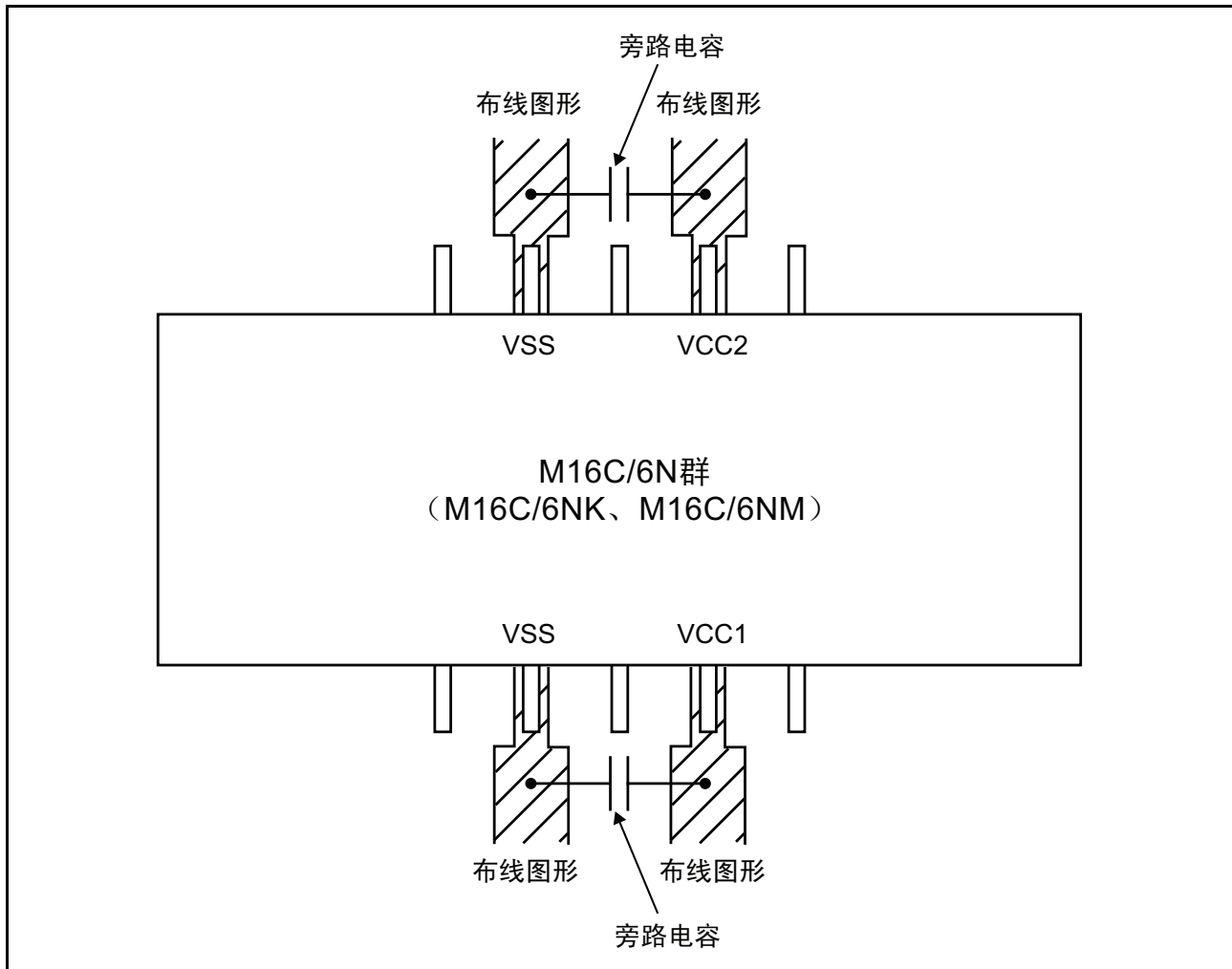


图 2.12 旁路电容的连接例子

3. 中央处理器（CPU）

CPU 的寄存器如图 3.1 所示。CPU 有 13 个寄存器。其中，R0、R1、R2、R3、A0、A1、FB 构成寄存器组。寄存器组有 2 组。

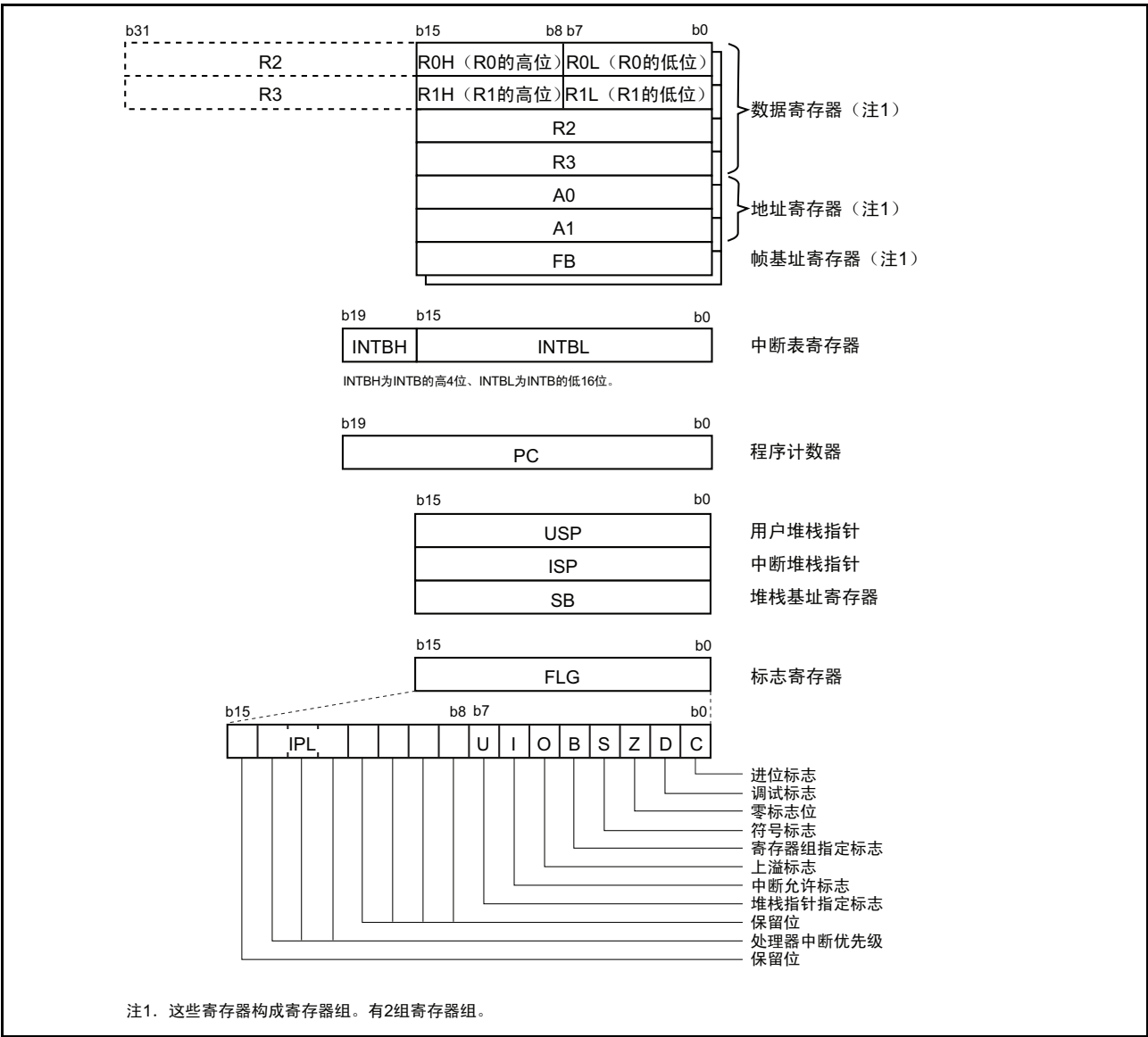


图 3.1 CPU 的寄存器

3.1 数据寄存器（R0、R1、R2、R3）

R0 由 16 位构成，主要用于传送、算术和逻辑运算。R1 ~ R3 与 R0 一样。

能将 R0 的高 8 位（R0H）和低 8 位（R0L）分别作为 8 位数据寄存器使用，R1H、R1L 与 R0H、R0L 一样。能将 R2 和 R0 组合，作为 32 位数据寄存器（R2R0）使用。R3R1 与 R2R0 一样。

3.2 地址寄存器（A0、A1）

A0 由 16 位构成，用于地址寄存器间接寻址和地址寄存器相对寻址，也可用于传送、算术和逻辑运算。

A1 与 A0 一样。能将 A1 和 A0 组合，作为 32 位地址寄存器（A1A0）使用。

3.3 帧基址寄存器 (FB)

FB 由 16 位构成，用于 FB 相对寻址。

3.4 中断表寄存器 (INTB)

INTB 由 20 位构成，表示可变中断向量表的起始地址。

3.5 程序计数器 (PC)

PC 由 20 位构成，表示下次将执行的指令地址。

3.6 用户堆栈指针 (USP)、中断堆栈指针 (ISP)

堆栈指针 (SP) 有 USP 和 ISP 两种，都由 16 位构成。

能通过 FLG 的 U 标志，切换 USP 或 ISP。

3.7 静态基址寄存器 (SB)

SB 由 16 位构成，用于 SB 相对寻址。

3.8 标志寄存器 (FLG)

FLG 由 11 位构成，表示 CPU 的状态。

3.8.1 进位标志 (C 标志)

C 标志存放由算术逻辑单元产生的进位、借位及移位操作中的移出位。

3.8.2 调试标志 (D 标志)

D 标志是调试专用位，必须清 “0”。

3.8.3 零标志位 (Z 标志)

运算结果位 0 时置 “1”，否则清 “0”。

3.8.4 符号标志 (S 标志)

运算结果为负时置 “1”，否则清 “0”。

3.8.5 寄存器组选择标志 (B 标志)

B 标志为 “0” 时选择寄存器组 0，为 “1” 时选择寄存器组 1。

3.8.6 上溢标志 (O 标志)

运算结果上溢时为 “1”，否则为 “0”。

3.8.7 中断允许标志 (I 标志)

I 标志是可屏蔽中断的允许标志。

I 标志为 “0” 时禁止可屏蔽中断，为 “1” 时允许可屏蔽中断。

如果接受中断请求，I 标志就变为 “0”。

3.8.8 堆栈指针选择标志 (U 标志)

U 标志为 “0” 时选择 ISP，为 “1” 时选择 USP。

当接受硬件中断请求或者执行软件中断号 0 ~ 31 的 INT 指令时，U 标志变为 “0”。

3.8.9 处理器中断优先级（IPL）

IPL 由 3 位构成，指定 0 ～ 7 级的 8 个处理器中断优先级。
若请求中断的优先级高于当前 IPL 值，允许该中断请求。

3.8.10 保留区

保留位必须写“0”，读时值不定。

4. 存储器

M16C/6N 群存储器分配图如图 4.1 所示，地址空间为从 00000h 地址到 FFFFFh 地址的 1M 字节。

内部 ROM 分配在从 FFFFFh 地址开始向低位方向延伸的区域。例如 512K 字节的内部 ROM 分配在 80000h 地址到 FFFFFh 地址之间。对于闪存版，在 0F000h 地址到 0FFFFh 地址之间有 4k 字节的区域（块 A），主要用于保存数据。但是也能保存程序。

固定中断向量表分配在 FFFDCh 地址到 FFFFFh 地址之间。在此，保存中断程序的起始地址。

内部 RAM 分配在从 00400h 地址向高位方向延伸的区域。例如 31K 字节的内部 RAM 分配在 00400h 地址到 07FFFh 地址。内部 RAM 除了保存数据之外，也可用作子程序调用和中断时的堆栈。

SFR 分配在 00000h 地址到 003FFh 地址之间。在此，分配了外围功能的控制寄存器。SFR 中未被分配的区域全部是保留区，用户不能使用。

专用页向量表分配在 FFE00h 地址到 FFFDBh 地址之间。这些向量地址在 JMPS 指令或 JSRS 指令中使用。详细内容请参照《M16C/60、M16C/20、M16C/Tiny 系列软件手册》。

在存储器扩展模式和微处理器模式中，部分区域为保留区，用户不能使用。

T/V-ver. 必须使用单芯片模式，不能使用存储器扩展模式和微处理器模式。

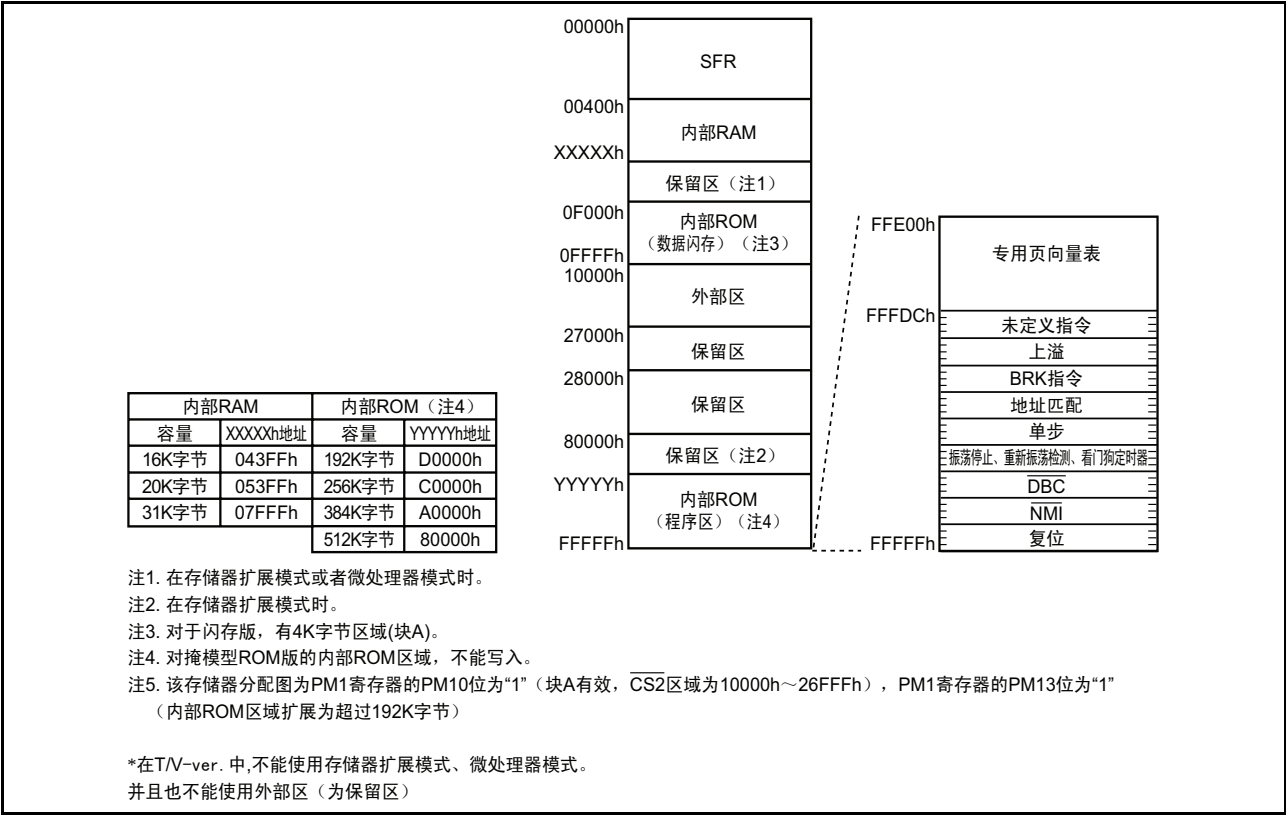


图 4.1 存储器分配图

5. SFR

SFR(Special Function Register) 是外围功能的控制寄存器。

SFR 一览表如表 5.1 ～表 5.16 所示。

表 5.1 SFR 一览表（1）（注 5）

地址	寄存器	符号	复位后的值
0000h			
0001h			
0002h			
0003h			
0004h	处理器模式寄存器 0（注 1）	PM0	00000000b（CNVSS 引脚为“L”） 00000011b（CNVSS 引脚为“H”）（注 3）
0005h	处理器模式寄存器 1	PM1	00001000b
0006h	系统时钟控制寄存器 0	CM0	01001000b
0007h	系统时钟控制寄存器 1	CM1	00100000b
0008h	片选控制寄存器（注 4）	CSR	00000001b
0009h	地址匹配中断允许寄存器	AIER	XXXXXX00b
000Ah	保护寄存器	PRCR	XX000000b
000Bh			
000Ch	振荡停止检测寄存器（注 2）	CM2	0X000000b
000Dh			
000Eh	看门狗定时器启动寄存器	WDTS	XXh
000Fh	看门狗定时器控制寄存器	WDC	00XXXXXXb
0010h			00h
0011h	地址匹配中断寄存器 0	RMAD0	00h
0012h			X0h
0013h			
0014h			00h
0015h	地址匹配中断寄存器 1	RMAD1	00h
0016h			X0h
0017h			
0018h			
0019h			
001Ah			
001Bh	片选扩展控制寄存器（注 4）	CSE	00h
001Ch	PLL 控制寄存器 0	PLC0	0001X010b
001Dh			
001Eh	处理器模式寄存器 2	PM2	XXX00000b
001Fh			
0020h			XXh
0021h	DMA0 源指针	SAR0	XXh
0022h			XXh
0023h			
0024h			XXh
0025h	DMA0 目标指针	DAR0	XXh
0026h			XXh
0027h			
0028h			XXh
0029h	DMA0 传送计数器	TCR0	XXh
002Ah			
002Bh			
002Ch	DMA0 控制寄存器	DM0CON	00000X00b
002Dh			
002Eh			
002Fh			
0030h			XXh
0031h	DMA1 源指针	SAR1	XXh
0032h			XXh
0033h			
0034h			XXh
0035h	DMA1 目标指针	DAR1	XXh
0036h			XXh
0037h			
0038h			XXh
0039h	DMA1 传送计数器	TCR1	XXh
003Ah			
003Bh			
003Ch	DMA1 控制寄存器	DM1CON	00000X00b
003Dh			
003Eh			
003Fh			

X：不定。

注 1. PM0 寄存器的 PM00、PM01 位在软件复位、看门狗定时器复位、振荡停止检测复位时不变。

* 仅存储器扩展模式、微处理器模式时有效。

注 2. CM2 寄存器的 CM20、CM21、CM27 位在振荡停止检测复位时不变。

注 3. 在 T/V-ver. 中不能设定 00000011b（CNVSS 引脚为“H”电平）。

注 4. 这些寄存器在 T/V-ver. 中不能使用。

注 5. 空栏为保留区，不能存取。

开发中

尚处于开发之中，本资料今后有可能改变。

M16C/6N 群（M16C/6NK、M16C/6NM）

5. SFR

表 5.2 SFR 一览表（2）（注 2）

地址	寄存器	符号	复位后的值
0040h			
0041h	CAN0/1 唤醒中断控制寄存器	C01WKIC	XXXXX000b
0042h	CAN0 接收结束中断控制寄存器	C0RECIC	XXXXX000b
0043h	CAN0 发送结束中断控制寄存器	C0TRMIC	XXXXX000b
0044h	INT3 中断控制寄存器	INT3IC	XX00X000b
0045h	定时器 B5 中断控制寄存器	TB5IC	XXXXX000b
	SI/O5 中断控制寄存器（注 1）	S5IC	
0046h	定时器 B4 中断控制寄存器	TB4IC	XXXXX000b
	UART1 总线冲突检测中断控制寄存器	U1BCNIC	
0047h	定时器 B3 中断控制寄存器	TB3IC	XXXXX000b
	UART0 总线冲突检测中断控制寄存器	U0BCNIC	
0048h	CAN1 接收结束中断控制寄存器	C1RECIC	XX00X000b
	SI/O4 中断控制寄存器	S4IC	
	INT5 中断控制寄存器	INT5IC	XX00X000b
0049h	CAN1 发送结束中断控制寄存器	C1TRMIC	
	SI/O3 中断控制寄存器	S3IC	
	INT4 中断控制寄存器	INT4IC	
004Ah	UART2 总线冲突检测中断控制寄存器	U2BCNIC	XXXXX000b
004Bh	DMA0 中断控制寄存器	DM0IC	XXXXX000b
004Ch	DMA1 中断控制寄存器	DM1IC	XXXXX000b
004Dh	CAN0/1 状态、错误中断控制寄存器	C0ERRIC	XXXXX000b
004Eh	A/D 转换中断控制寄存器	ADIC	XXXXX000b
	键输入中断控制寄存器	KUPIC	
004Fh	UART2 发送中断控制寄存器	S2TIC	XXXXX000b
0050h	UART2 接收中断控制寄存器	S2RIC	XXXXX000b
0051h	UART0 发送中断控制寄存器	S0TIC	XXXXX000b
0052h	UART0 接收中断控制寄存器	S0RIC	XXXXX000b
0053h	UART1 发送中断控制寄存器	S1TIC	XXXXX000b
0054h	UART1 接收中断控制寄存器	S1RIC	XXXXX000b
0055h	定时器 A0 中断控制寄存器	TA0IC	XXXXX000b
0056h	定时器 A1 中断控制寄存器	TA1IC	XXXXX000b
0057h	定时器 A2 中断控制寄存器	TA2IC	XX00X000b
	INT7 中断控制寄存器（注 1）	INT7IC	
0058h	定时器 A3 中断控制寄存器	TA3IC	XX00X000b
	INT6 中断控制寄存器（注 1）	INT6IC	
0059h	定时器 A4 中断控制寄存器	TA4IC	XXXXX000b
005Ah	定时器 B0 中断控制寄存器	TB0IC	XXXXX000b
	SI/O6 中断控制寄存器（注 1）	S6IC	
005Bh	定时器 B1 中断控制寄存器	TB1IC	XX00X000b
	INT8 中断控制寄存器（注 1）	INT8IC	
005Ch	定时器 B2 中断控制寄存器	TB2IC	XXXXX000b
005Dh	INT0 中断控制寄存器	INT0IC	XX00X000b
005Eh	INT1 中断控制寄存器	INT1IC	XX00X000b
005Fh	INT2 中断控制寄存器	INT2IC	XX00X000b
0060h	CAN0 槽 0: 消息标识符 /DLC		XXh
0061h			XXh
0062h			XXh
0063h			XXh
0064h			XXh
0065h			XXh
0066h			XXh
0067h	CAN0 槽 0: 数据区		XXh
0068h			XXh
0069h			XXh
006Ah			XXh
006Bh			XXh
006Ch			XXh
006Dh			XXh
006Eh	CAN0 槽 0: 时戳		XXh
006Fh			XXh
0070h	CAN0 槽 1: 消息标识符 /DLC		XXh
0071h			XXh
0072h			XXh
0073h			XXh
0074h			XXh
0075h			XXh
0076h			XXh
0077h	CAN0 槽 1: 数据区		XXh
0078h			XXh
0079h			XXh
007Ah			XXh
007Bh			XXh
007Ch			XXh
007Dh			XXh
007Eh	CAN0 槽 1: 时戳		XXh
007Fh			XXh

X: 不定。

注 1. 这些寄存器仅限 128 引脚版。

注 2. 空栏为保留区，不能存取。

表 5.3 SFR 一览表 (3)

地址	寄存器	符号	复位后的值
0080h	CAN0 槽 2: 消息标识符 /DLC		XXh
0081h			XXh
0082h			XXh
0083h			XXh
0084h			XXh
0085h	CAN0 槽 2: 数据区		XXh
0086h			XXh
0087h			XXh
0088h			XXh
0089h			XXh
008Ah			XXh
008Bh			XXh
008Ch	CAN0 槽 2: 时戳		XXh
008Dh			XXh
008Eh	CAN0 槽 3: 消息标识符 /DLC		XXh
008Fh			XXh
0090h			XXh
0091h			XXh
0092h			XXh
0093h	CAN0 槽 3: 数据区		XXh
0094h			XXh
0095h			XXh
0096h			XXh
0097h			XXh
0098h	CAN0 槽 3: 时戳		XXh
0099h			XXh
009Ah			XXh
009Bh			XXh
009Ch			XXh
009Dh	CAN0 槽 4: 消息标识符 /DLC		XXh
009Eh			XXh
009Fh			XXh
00A0h			XXh
00A1h			XXh
00A2h	CAN0 槽 4: 数据区		XXh
00A3h			XXh
00A4h			XXh
00A5h			XXh
00A6h			XXh
00A7h	CAN0 槽 4: 时戳		XXh
00A8h			XXh
00A9h			XXh
00AAh			XXh
00ABh			XXh
00ACh	CAN0 槽 5: 消息标识符 /DLC		XXh
00ADh			XXh
00AEh			XXh
00AFh			XXh
00B0h			XXh
00B1h	CAN0 槽 5: 数据区		XXh
00B2h			XXh
00B3h			XXh
00B4h			XXh
00B5h			XXh
00B6h	CAN0 槽 5: 时戳		XXh
00B7h			XXh
00B8h			XXh
00B9h			XXh
00BAh			XXh
00BBh	CAN0 槽 5: 数据区		XXh
00BCh			XXh
00BDh			XXh
00BEh			XXh
00BFh			XXh

X: 不定。

表 5.4 SFR 一览表 (4)

地址	寄存器	符号	复位后的值
00C0h	CAN0 槽 6: 消息标识符 /DLC		XXh
00C1h			XXh
00C2h			XXh
00C3h			XXh
00C4h			XXh
00C5h			XXh
00C6h	CAN0 槽 6: 数据区		XXh
00C7h			XXh
00C8h			XXh
00C9h			XXh
00CAh			XXh
00CBh			XXh
00CCh			XXh
00CDh			XXh
00CEh	CAN0 槽 6: 时戳		XXh
00CFh	CAN0 槽 7: 消息标识符 /DLC		XXh
00D0h			XXh
00D1h			XXh
00D2h			XXh
00D3h			XXh
00D4h			XXh
00D5h			XXh
00D6h	CAN0 槽 7: 数据区		XXh
00D7h			XXh
00D8h			XXh
00D9h			XXh
00DAh			XXh
00DBh			XXh
00DCh			XXh
00DDh			XXh
00DEh	CAN0 槽 7: 时戳		XXh
00DFh	CAN0 槽 8: 消息标识符 /DLC		XXh
00E0h			XXh
00E1h			XXh
00E2h			XXh
00E3h			XXh
00E4h			XXh
00E5h			XXh
00E6h	CAN0 槽 8: 数据区		XXh
00E7h			XXh
00E8h			XXh
00E9h			XXh
00EAh			XXh
00EBh			XXh
00ECh			XXh
00EDh			XXh
00EEh	CAN0 槽 8: 时戳		XXh
00EFh	CAN0 槽 9: 消息标识符 /DLC		XXh
00F0h			XXh
00F1h			XXh
00F2h			XXh
00F3h			XXh
00F4h			XXh
00F5h			XXh
00F6h	CAN0 槽 9: 数据区		XXh
00F7h			XXh
00F8h			XXh
00F9h			XXh
00FAh			XXh
00FBh			XXh
00FCh			XXh
00FDh			XXh
00FEh	CAN0 槽 9: 时戳		XXh
00FFh			XXh

X: 不定。

开发中

尚处于开发之中，本资料今后有可能改变。

M16C/6N 群（M16C/6NK、M16C/6NM）

5. SFR

表 5.5 SFR 一览表（5）

地址	寄存器	符号	复位后的值
0100h	CAN0 槽 10: 消息标识符 /DLC		XXh
0101h			XXh
0102h			XXh
0103h			XXh
0104h			XXh
0105h			XXh
0106h	CAN0 槽 10: 数据区		XXh
0107h			XXh
0108h			XXh
0109h			XXh
010Ah			XXh
010Bh			XXh
010Ch			XXh
010Dh			XXh
010Eh	CAN0 槽 10: 时戳		XXh
010Fh	CAN0 槽 11: 消息标识符 /DLC		XXh
0110h			XXh
0111h			XXh
0112h			XXh
0113h			XXh
0114h			XXh
0115h			XXh
0116h	CAN0 槽 11: 数据区		XXh
0117h			XXh
0118h			XXh
0119h			XXh
011Ah			XXh
011Bh			XXh
011Ch			XXh
011Dh			XXh
011Eh	CAN0 槽 11: 时戳		XXh
011Fh	CAN0 槽 12: 消息标识符 /DLC		XXh
0120h			XXh
0121h			XXh
0122h			XXh
0123h			XXh
0124h			XXh
0125h			XXh
0126h	CAN0 槽 12: 数据区		XXh
0127h			XXh
0128h			XXh
0129h			XXh
012Ah			XXh
012Bh			XXh
012Ch			XXh
012Dh			XXh
012Eh	CAN0 槽 12: 时戳		XXh
012Fh	CAN0 槽 13: 消息标识符 /DLC		XXh
0130h			XXh
0131h			XXh
0132h			XXh
0133h			XXh
0134h			XXh
0135h			XXh
0136h	CAN0 槽 13: 数据区		XXh
0137h			XXh
0138h			XXh
0139h			XXh
013Ah			XXh
013Bh			XXh
013Ch			XXh
013Dh			XXh
013Eh	CAN0 槽 13: 时戳		XXh
013Fh			XXh

X: 不定。

开发中

尚处于开发之中，本资料今后有可能改变。

M16C/6N 群（M16C/6NK、M16C/6NM）

5. SFR

表 5.6 SFR 一览表（6）（注 1）

地址	寄存器	符号	复位后的值
0140h	CAN0 槽 14: 消息标识符 /DLC		XXh
0141h			XXh
0142h			XXh
0143h			XXh
0144h			XXh
0145h			XXh
0146h	CAN0 槽 14: 数据区		XXh
0147h			XXh
0148h			XXh
0149h			XXh
014Ah			XXh
014Bh			XXh
014Ch			XXh
014Dh			XXh
014Eh	CAN0 槽 14: 时戳		XXh
014Fh			XXh
0150h	CAN0 槽 15: 消息标识符 /DLC		XXh
0151h			XXh
0152h			XXh
0153h			XXh
0154h			XXh
0155h			XXh
0156h	CAN0 槽 15: 数据区		XXh
0157h			XXh
0158h			XXh
0159h			XXh
015Ah			XXh
015Bh			XXh
015Ch			XXh
015Dh			XXh
015Eh	CAN0 槽 15: 时戳		XXh
015Fh			XXh
0160h	CAN0 全局屏蔽寄存器	COGMR	XXh
0161h			XXh
0162h			XXh
0163h			XXh
0164h			XXh
0165h			XXh
0166h	CAN0 局部屏蔽 A 寄存器	COLMAR	XXh
0167h			XXh
0168h			XXh
0169h			XXh
016Ah			XXh
016Bh			XXh
016Ch	CAN0 局部屏蔽 B 寄存器	COLMBR	XXh
016Dh			XXh
016Eh			XXh
016Fh			XXh
0170h			XXh
0171h			XXh
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

X: 不定。

注 1. 空栏为保留区，不能存取。

表 5.7 SFR 一览表（7）（注 2）

地址	寄存器	符号	复位后的值
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h			
01B4h			
01B5h	闪存控制寄存器 1（注 1）	FMR1	0X00XX0Xb
01B6h			
01B7h	闪存控制寄存器 0（注 1）	FMR0	00000001b
01B8h			00h
01B9h	地址匹配中断寄存器 2	RMAD2	00h
01BAh			X0h
01BBh	地址匹配中断允许寄存器 2	AIER2	XXXXXX00b
01BCh			00h
01BDh	地址匹配中断寄存器 3	RMAD3	00h
01BEh			X0h
01BFh			

X: 不定。

注 1. 这些寄存器在闪存版中。不能对掩模型 ROM 版存取。

注 2. 空栏为保留区，不能存取。

表 5.8 SFR 一览表 (8) (注 3)

地址	寄存器	符号	复位后的值
01C0h	定时器 B3、B4、B5 计数开始标志	TBSR	000XXXXXb
01C1h			XXh
01C2h			XXh
01C3h	定时器 A1-1 寄存器	TA11	XXh
01C4h			XXh
01C5h	定时器 A2-1 寄存器	TA21	XXh
01C6h			XXh
01C7h	定时器 A4-1 寄存器	TA41	XXh
01C8h	三相 PWM 控制寄存器 0	INVC0	00h
01C9h	三相 PWM 控制寄存器 1	INVC1	00h
01CAh	三相输出缓冲寄存器 0	IDB0	00111111b
01CBh	三相输出缓冲寄存器 1	IDB1	00111111b
01CCh	死区时间定时器	DTT	XXh
01CDh	定时器 B2 中断产生频率设置计数器	ICTB2	XXh
01CEh			
01CFh	中断源选择寄存器 2	IFSR2	X0000000b
01D0h			XXh
01D1h	定时器 B3 寄存器	TB3	XXh
01D2h			XXh
01D3h	定时器 B4 寄存器	TB4	XXh
01D4h			XXh
01D5h	定时器 B5 寄存器	TB5	XXh
01D6h	SI/O6 发送 / 接收寄存器 (注 1)	S6TRR	XXh
01D7h			
01D8h	SI/O6 控制寄存器 (注 1)	S6C	01000000b
01D9h	SI/O6 位速率寄存器 (注 1)	S6BRG	XXh
01DAh	SI/O3、4、5、6 发送 / 接收寄存器 (注 2)	S3456TRR	XXX00000b
01DBh	定时器 B3 模式寄存器	TB3MR	00XX0000b
01DCh	定时器 B4 模式寄存器	TB4MR	00XX0000b
01DDh	定时器 B5 模式寄存器	TB5MR	00XX0000b
01DEh	中断源选择寄存器 0	IFSR0	00h
01DFh	中断源选择寄存器 1	IFSR1	00h
01E0h	SI/O3 发送 / 接收寄存器	S3TRR	XXh
01E1h			
01E2h	SI/O3 控制寄存器	S3C	01000000b
01E3h	SI/O3 位速率寄存器	S3BRG	XXh
01E4h	SI/O4 发送 / 接收寄存器	S4TRR	XXh
01E5h			
01E6h	SI/O4 控制寄存器	S4C	01000000b
01E7h	SI/O4 位速率寄存器	S4BRG	XXh
01E8h	SI/O5 发送 / 接收寄存器 (注 1)	S5TRR	XXh
01E9h			
01EAh	SI/O5 控制寄存器 (注 1)	S5C	01000000b
01EBh	SI/O5 位速率寄存器 (注 1)	S5BRG	XXh
01ECh	UART0 特殊模式寄存器 4	U0SMR4	00h
01EDh	UART0 特殊模式寄存器 3	U0SMR3	000X0X0Xb
01EEh	UART0 特殊模式寄存器 2	U0SMR2	X0000000b
01EFh	UART0 特殊模式寄存器	U0SMR	X0000000b
01F0h	UART1 特殊模式寄存器 4	U1SMR4	00h
01F1h	UART1 特殊模式寄存器 3	U1SMR3	000X0X0Xb
01F2h	UART1 特殊模式寄存器 2	U1SMR2	X0000000b
01F3h	UART1 特殊模式寄存器	U1SMR	X0000000b
01F4h	UART2 特殊模式寄存器 4	U2SMR4	00h
01F5h	UART2 特殊模式寄存器 3	U2SMR3	000X0X0Xb
01F6h	UART2 特殊模式寄存器 2	U2SMR2	X0000000b
01F7h	UART2 特殊模式寄存器	U2SMR	X0000000b
01F8h	UART2 发送 / 接收模式寄存器	U2MR	00h
01F9h	UART2 位速率寄存器	U2BRG	XXh
01FAh			XXh
01FBh	UART2 发送缓冲寄存器	U2TB	XXh
01FCh	UART2 发送 / 接收控制寄存器 0	U2C0	00001000b
01FDh	UART2 发送 / 接收控制寄存器 1	U2C1	00000010b
01FEh			XXh
01FFh	UART2 接收缓冲寄存器	U2RB	XXh

X: 不定。

注 1. 这些寄存器仅限 128 引脚版。

注 2. S3456TRR 寄存器的 S5TRF、S6TRF 位用于 128 引脚版。

注 3. 空栏为保留区，不能存取。

表 5.9 SFR 一览表 (9)

地址	寄存器	符号	复位后的值
0200h	CAN0 消息控制寄存器 0	C0MCTL0	00h
0201h	CAN0 消息控制寄存器 1	C0MCTL1	00h
0202h	CAN0 消息控制寄存器 2	C0MCTL2	00h
0203h	CAN0 消息控制寄存器 3	C0MCTL3	00h
0204h	CAN0 消息控制寄存器 4	C0MCTL4	00h
0205h	CAN0 消息控制寄存器 5	C0MCTL5	00h
0206h	CAN0 消息控制寄存器 6	C0MCTL6	00h
0207h	CAN0 消息控制寄存器 7	C0MCTL7	00h
0208h	CAN0 消息控制寄存器 8	C0MCTL8	00h
0209h	CAN0 消息控制寄存器 9	C0MCTL9	00h
020Ah	CAN0 消息控制寄存器 10	C0MCTL10	00h
020Bh	CAN0 消息控制寄存器 11	C0MCTL11	00h
020Ch	CAN0 消息控制寄存器 12	C0MCTL12	00h
020Dh	CAN0 消息控制寄存器 13	C0MCTL13	00h
020Eh	CAN0 消息控制寄存器 14	C0MCTL14	00h
020Fh	CAN0 消息控制寄存器 15	C0MCTL15	00h
0210h	CAN0 控制寄存器	C0CTLR	X0000001b
0211h			XX0X0000b
0212h	CAN0 状态寄存器	C0STR	00h
0213h			X0000001b
0214h	CAN0 槽状态寄存器	C0SSTR	00h
0215h			00h
0216h	CAN0 中断控制寄存器	C0ICR	00h
0217h			00h
0218h	CAN0 扩展 ID 寄存器	C0IDR	00h
0219h			00h
021Ah	CAN0 总线时序控制寄存器	C0CONR	XXh
021Bh			XXh
021Ch	CAN0 接收错误计数寄存器	C0RECR	00h
021Dh	CAN0 发送错误计数寄存器	C0TECR	00h
021Eh	CAN0 时戳寄存器	C0TSR	00h
021Fh			00h
0220h	CAN1 消息控制寄存器 0	C1MCTL0	00h
0221h	CAN1 消息控制寄存器 1	C1MCTL1	00h
0222h	CAN1 消息控制寄存器 2	C1MCTL2	00h
0223h	CAN1 消息控制寄存器 3	C1MCTL3	00h
0224h	CAN1 消息控制寄存器 4	C1MCTL4	00h
0225h	CAN1 消息控制寄存器 5	C1MCTL5	00h
0226h	CAN1 消息控制寄存器 6	C1MCTL6	00h
0227h	CAN1 消息控制寄存器 7	C1MCTL7	00h
0228h	CAN1 消息控制寄存器 8	C1MCTL8	00h
0229h	CAN1 消息控制寄存器 9	C1MCTL9	00h
022Ah	CAN1 消息控制寄存器 10	C1MCTL10	00h
022Bh	CAN1 消息控制寄存器 11	C1MCTL11	00h
022Ch	CAN1 消息控制寄存器 12	C1MCTL12	00h
022Dh	CAN1 消息控制寄存器 13	C1MCTL13	00h
022Eh	CAN1 消息控制寄存器 14	C1MCTL14	00h
022Fh	CAN1 消息控制寄存器 15	C1MCTL15	00h
0230h	CAN1 控制寄存器	C1CTLR	X0000001b
0231h			XX0X0000b
0232h	CAN1 状态寄存器	C1STR	00h
0233h			X0000001b
0234h	CAN1 槽状态寄存器	C1SSTR	00h
0235h			00h
0236h	CAN1 中断控制寄存器	C1ICR	00h
0237h			00h
0238h	CAN1 扩展 ID 寄存器	C1IDR	00h
0239h			00h
023Ah	CAN1 总线时序控制寄存器	C1CONR	XXh
023Bh			XXh
023Ch	CAN1 接收错误计数寄存器	C1RECR	00h
023Dh	CAN1 发送错误计数寄存器	C1TECR	00h
023Eh	CAN1 时戳寄存器	C1TSR	00h
023Fh			00h

X: 不定。

开发中

尚处于开发之中，本资料今后有可能改变。

M16C/6N 群（M16C/6NK、M16C/6NM）

5. SFR

表 5.10 SFR 一览表（10）（注 1）

地址	寄存器	符号	复位后的值
0240h			
0241h			
0242h			
0243h	CAN0 接收滤波支持寄存器	C0AFS	XXh
0244h			XXh
0245h	CAN1 接收滤波支持寄存器	C1AFS	XXh
0246h			XXh
0247h			
0248h			
0249h			
024Ah			
024Bh			
024Ch			
024Dh			
024Eh			
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh	外围时钟选择寄存器	PCLKR	00h
025Fh	CAN0/1 时钟选择寄存器	CCLKR	00h
0260h			XXh
0261h			XXh
0262h			XXh
0263h	CAN1 槽 0: 消息标识符 /DLC		XXh
0264h			XXh
0265h			XXh
0266h			XXh
0267h			XXh
0268h			XXh
0269h			XXh
026Ah	CAN1 槽 0: 数据区		XXh
026Bh			XXh
026Ch			XXh
026Dh			XXh
026Eh	CAN1 槽 0: 时戳		XXh
026Fh			XXh
0270h			XXh
0271h			XXh
0272h			XXh
0273h	CAN1 槽 1: 消息标识符 /DLC		XXh
0274h			XXh
0275h			XXh
0276h			XXh
0277h			XXh
0278h			XXh
0279h			XXh
027Ah	CAN1 槽 1: 数据区		XXh
027Bh			XXh
027Ch			XXh
027Dh			XXh
027Eh			XXh
027Fh	CAN1 槽 1: 时戳		XXh

X: 不定。

注 1. 空栏为保留区，不能存取。

开发中

尚处于开发之中，本资料今后有可能改变。

M16C/6N 群（M16C/6NK、M16C/6NM）

5. SFR

表 5.11 SFR 一览表（11）

地址	寄存器	符号	复位后的值
0280h	CAN1 槽 2: 消息标识符 /DLC		XXh
0281h			XXh
0282h			XXh
0283h			XXh
0284h			XXh
0285h			XXh
0286h	CAN1 槽 2: 数据区		XXh
0287h			XXh
0288h			XXh
0289h			XXh
028Ah			XXh
028Bh			XXh
028Ch			XXh
028Dh			XXh
028Eh	CAN1 槽 2: 时戳		XXh
028Fh	CAN1 槽 3: 消息标识符 /DLC		XXh
0290h			XXh
0291h			XXh
0292h			XXh
0293h			XXh
0294h			XXh
0295h			XXh
0296h	CAN1 槽 3: 数据区		XXh
0297h			XXh
0298h			XXh
0299h			XXh
029Ah			XXh
029Bh			XXh
029Ch			XXh
029Dh			XXh
029Eh	CAN1 槽 3: 时戳		XXh
029Fh	CAN1 槽 4: 消息标识符 /DLC		XXh
02A0h			XXh
02A1h			XXh
02A2h			XXh
02A3h			XXh
02A4h			XXh
02A5h			XXh
02A6h	CAN1 槽 4: 数据区		XXh
02A7h			XXh
02A8h			XXh
02A9h			XXh
02AAh			XXh
02ABh			XXh
02ACh			XXh
02ADh			XXh
02AEh	CAN1 槽 4: 时戳		XXh
02AFh	CAN1 槽 5: 消息标识符 /DLC		XXh
02B0h			XXh
02B1h			XXh
02B2h			XXh
02B3h			XXh
02B4h			XXh
02B5h			XXh
02B6h	CAN1 槽 5: 数据区		XXh
02B7h			XXh
02B8h			XXh
02B9h			XXh
02BAh			XXh
02BBh			XXh
02BCh			XXh
02BDh			XXh
02BEh	CAN1 槽 5: 时戳		XXh
02BFh			XXh

X: 不定。

开发中

尚处于开发之中，本资料今后有可能改变。

M16C/6N 群 (M16C/6NK、M16C/6NM)

5. SFR

表 5.12 SFR 一览表 (12)

地址	寄存器	符号	复位后的值
02C0h	CAN1 槽 6: 消息标识符 /DLC		XXh
02C1h			XXh
02C2h			XXh
02C3h			XXh
02C4h			XXh
02C5h			XXh
02C6h	CAN1 槽 6: 数据区		XXh
02C7h			XXh
02C8h			XXh
02C9h			XXh
02CAh			XXh
02CBh			XXh
02CCh			XXh
02CDh			XXh
02CEh	CAN1 槽 6: 时戳		XXh
02CFh			XXh
02D0h	CAN1 槽 7: 消息标识符 /DLC		XXh
02D1h			XXh
02D2h			XXh
02D3h			XXh
02D4h			XXh
02D5h			XXh
02D6h	CAN1 槽 7: 数据区		XXh
02D7h			XXh
02D8h			XXh
02D9h			XXh
02DAh			XXh
02DBh			XXh
02DCh			XXh
02DDh			XXh
02DEh	CAN1 槽 7: 时戳		XXh
02DFh			XXh
02E0h	CAN1 槽 8: 消息标识符 /DLC		XXh
02E1h			XXh
02E2h			XXh
02E3h			XXh
02E4h			XXh
02E5h			XXh
02E6h	CAN1 槽 8: 数据区		XXh
02E7h			XXh
02E8h			XXh
02E9h			XXh
02EAh			XXh
02EBh			XXh
02ECh			XXh
02EDh			XXh
02EEh	CAN1 槽 8: 时戳		XXh
02EFh			XXh
02F0h	CAN1 槽 9: 消息标识符 /DLC		XXh
02F1h			XXh
02F2h			XXh
02F3h			XXh
02F4h			XXh
02F5h			XXh
02F6h	CAN1 槽 9: 数据区		XXh
02F7h			XXh
02F8h			XXh
02F9h			XXh
02FAh			XXh
02FBh			XXh
02FCh			XXh
02FDh			XXh
02FEh	CAN1 槽 9: 时戳		XXh
02FFh			XXh

X: 不定。

开发中

尚处于开发之中，本资料今后有可能改变。

M16C/6N 群 (M16C/6NK、M16C/6NM)

5. SFR

表 5.13 SFR 一览表 (13)

地址	寄存器	符号	复位后的值
0300h	CAN1 槽 10: 消息标识符 /DLC		XXh
0301h			XXh
0302h			XXh
0303h			XXh
0304h			XXh
0305h			XXh
0306h	CAN1 槽 10: 数据区		XXh
0307h			XXh
0308h			XXh
0309h			XXh
030Ah			XXh
030Bh			XXh
030Ch			XXh
030Dh			XXh
030Eh	CAN1 槽 10: 时戳		XXh
030Fh			XXh
0310h	CAN1 槽 11: 消息标识符 /DLC		XXh
0311h			XXh
0312h			XXh
0313h			XXh
0314h			XXh
0315h			XXh
0316h	CAN1 槽 11: 数据区		XXh
0317h			XXh
0318h			XXh
0319h			XXh
031Ah			XXh
031Bh			XXh
031Ch			XXh
031Dh			XXh
031Eh	CAN1 槽 11: 时戳		XXh
031Fh			XXh
0320h	CAN1 槽 12: 消息标识符 /DLC		XXh
0321h			XXh
0322h			XXh
0323h			XXh
0324h			XXh
0325h			XXh
0326h	CAN1 槽 12: 数据区		XXh
0327h			XXh
0328h			XXh
0329h			XXh
032Ah			XXh
032Bh			XXh
032Ch			XXh
032Dh			XXh
032Eh	CAN1 槽 12: 时戳		XXh
032Fh			XXh
0330h	CAN1 槽 13: 消息标识符 /DLC		XXh
0331h			XXh
0332h			XXh
0333h			XXh
0334h			XXh
0335h			XXh
0336h	CAN1 槽 13: 数据区		XXh
0337h			XXh
0338h			XXh
0339h			XXh
033Ah			XXh
033Bh			XXh
033Ch			XXh
033Dh			XXh
033Eh	CAN1 槽 13: 时戳		XXh
033Fh			XXh

X: 不定。

开发中

尚处于开发之中，本资料今后有可能改变。

M16C/6N 群（M16C/6NK、M16C/6NM）

5. SFR

表 5.14 SFR 一览表（14）（注 1）

地址	寄存器	符号	复位后的值
0340h	CAN1 槽 14: 消息标识符 /DLC		XXh
0341h			XXh
0342h			XXh
0343h			XXh
0344h			XXh
0345h	CAN1 槽 14: 数据区		XXh
0346h			XXh
0347h			XXh
0348h			XXh
0349h			XXh
034Ah			XXh
034Bh			XXh
034Ch			XXh
034Dh	CAN1 槽 14: 时戳		XXh
034Eh			XXh
0350h	CAN1 槽 15: 消息标识符 /DLC		XXh
0351h			XXh
0352h			XXh
0353h			XXh
0354h			XXh
0355h	CAN1 槽 15: 数据区		XXh
0356h			XXh
0357h			XXh
0358h			XXh
0359h			XXh
035Ah			XXh
035Bh			XXh
035Ch			XXh
035Dh	CAN1 槽 15: 时戳		XXh
035Eh			XXh
0360h	CAN1 全局屏蔽寄存器	C1GMR	XXh
0361h			XXh
0362h			XXh
0363h			XXh
0364h			XXh
0365h	CAN1 局部屏蔽 A 寄存器	C1MAR	XXh
0366h			XXh
0367h			XXh
0368h			XXh
0369h			XXh
036Ah	CAN1 局部屏蔽 B 寄存器	C1LMBR	XXh
036Bh			XXh
036Ch			XXh
036Dh			XXh
036Eh			XXh
036Fh			XXh
0370h			XXh
0371h			XXh
0372h			
0373h			
0374h			
0375h			
0376h			
0377h			
0378h			
0379h			
037Ah			
037Bh			
037Ch			
037Dh			
037Eh			
037Fh			

X: 不定。

注 1. 空栏为保留区，不能存取。

开发中

尚处于开发之中，本资料今后有可能改变。

M16C/6N 群（M16C/6NK、M16C/6NM）

5. SFR

表 5.15 SFR 一览表（15）（注 2）

地址	寄存器	符号	复位后的值
0380h	计数开始标志	TABSR	00h
0381h	时钟预分频器复位标志寄存器	CPSRF	0XXXXXXb
0382h	单次触发启动标志寄存器	ONSF	00h
0383h	触发选择寄存器	TRGSR	00h
0384h	递增 / 递减标志寄存器	UDF	00h（注 1）
0385h			
0386h	定时器 A0 寄存器	TA0	XXh
0387h			XXh
0388h	定时器 A1 寄存器	TA1	XXh
0389h			XXh
038Ah	定时器 A2 寄存器	TA2	XXh
038Bh			XXh
038Ch	定时器 A3 寄存器	TA3	XXh
038Dh			XXh
038Eh	定时器 A4 寄存器	TA4	XXh
038Fh			XXh
0390h	定时器 B0 寄存器	TB0	XXh
0391h			XXh
0392h	定时器 B1 寄存器	TB1	XXh
0393h			XXh
0394h	定时器 B2 寄存器	TB2	XXh
0395h			XXh
0396h	定时器 A0 模式寄存器	TA0MR	00h
0397h	定时器 A1 模式寄存器	TA1MR	00h
0398h	定时器 A2 模式寄存器	TA2MR	00h
0399h	定时器 A3 模式寄存器	TA3MR	00h
039Ah	定时器 A4 模式寄存器	TA4MR	00h
039Bh	定时器 B0 模式寄存器	TB0MR	00XX0000b
039Ch	定时器 B1 模式寄存器	TB1MR	00XX0000b
039Dh	定时器 B2 模式寄存器	TB2MR	00XX0000b
039Eh	定时器 B2 特殊模式寄存器	TB2SC	XXXXXX00b
039Fh			
03A0h	UART0 发送 / 接收模式寄存器	U0MR	00h
03A1h	UART0 位速率寄存器	U0BRG	XXh
03A2h	UART0 发送缓冲寄存器	U0TB	XXh
03A3h			XXh
03A4h	UART0 发送 / 接收控制寄存器 0	U0C0	00001000b
03A5h	UART0 发送 / 接收控制寄存器 1	U0C1	00XX0010b
03A6h	UART0 接收缓冲寄存器	U0RB	XXh
03A7h			XXh
03A8h	UART1 发送 / 接收模式寄存器	U1MR	00h
03A9h	UART1 位速率寄存器	U1BRG	XXh
03AAh	UART1 发送缓冲寄存器	U1TB	XXh
03ABh			XXh
03ACH	UART1 发送 / 接收控制寄存器 0	U1C0	00001000b
03ADh	UART1 发送 / 接收控制寄存器 1	U1C1	00XX0010b
03AEh	UART1 接收缓冲寄存器	U1RB	XXh
03AFh			XXh
03B0h	UART 发送 / 接收控制寄存器 2	U0CON	X0000000b
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0 触发源选择寄存器	DM0SL	00h
03B9h			
03BAh	DMA1 触发源选择寄存器	DM1SL	00h
03BBh			
03BCh	CRC 数据寄存器	CRCD	XXh
03BDh			XXh
03BEh	CRC 输入寄存器	CRCIN	XXh
03BFh			

X: 不定。

注 1. UDF 寄存器的 TA2P ~ TA4P 位复位后的值为“0”。读这些位时，值不定。

注 2. 空栏为保留区，不能存取。

表 5.16 SFR 一览表 (16) (注 3)

地址	寄存器	符号	复位后的值
03C0h	A/D 寄存器 0	AD0	XXh
03C1h			XXh
03C2h	A/D 寄存器 1	AD1	XXh
03C3h			XXh
03C4h	A/D 寄存器 2	AD2	XXh
03C5h			XXh
03C6h	A/D 寄存器 3	AD3	XXh
03C7h			XXh
03C8h	A/D 寄存器 4	AD4	XXh
03C9h			XXh
03CAh	A/D 寄存器 5	AD5	XXh
03CBh			XXh
03CCh	A/D 寄存器 6	AD6	XXh
03CDh			XXh
03CEh	A/D 寄存器 7	AD7	XXh
03CFh			XXh
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D 控制寄存器 2	ADCON2	00h
03D5h			
03D6h	A/D 控制寄存器 0	ADCON0	00000XXXb
03D7h	A/D 控制寄存器 1	ADCON1	00h
03D8h	D/A 寄存器 0	DA0	00h
03D9h			
03DAh	D/A 寄存器 1	DA1	00h
03DBh			
03DCh	D/A 控制寄存器	DACON	00h
03DDh			
03DEh	端口 P14 控制寄存器 (注 2)	PC14	XX00XXXXb
03DFh	上拉控制寄存器 3 (注 2)	PUR3	00h
03E0h	P0 口寄存器	P0	XXh
03E1h	P1 口寄存器	P1	XXh
03E2h	P0 口方向寄存器	PD0	00h
03E3h	P1 口方向寄存器	PD1	00h
03E4h	P2 口寄存器	P2	XXh
03E5h	P3 口寄存器	P3	XXh
03E6h	P2 口方向寄存器	PD2	00h
03E7h	P3 口方向寄存器	PD3	00h
03E8h	P4 口寄存器	P4	XXh
03E9h	P5 口寄存器	P5	XXh
03EAh	P4 口方向寄存器	PD4	00h
03EBh	P5 口方向寄存器	PD5	00h
03ECh	P6 口寄存器	P6	XXh
03EDh	P7 口寄存器	P7	XXh
03EEh	P6 口方向寄存器	PD6	00h
03EFh	P7 口方向寄存器	PD7	00h
03F0h	P8 口寄存器	P8	XXh
03F1h	P9 口寄存器	P9	XXh
03F2h	P8 口方向寄存器	PD8	00X00000b
03F3h	P9 口方向寄存器	PD9	00h
03F4h	P10 口寄存器	P10	XXh
03F5h	P11 口寄存器 (注 2)	P11	XXh
03F6h	P10 口方向寄存器	PD10	00h
03F7h	P11 口方向寄存器 (注 2)	PD11	00h
03F8h	P12 口寄存器 (注 2)	P12	XXh
03F9h	P13 口寄存器 (注 2)	P13	XXh
03FAh	P12 口方向寄存器 (注 2)	PD12	00h
03FBh	P13 口方向寄存器 (注 2)	PD13	00h
03FCh	上拉控制寄存器 0	PUR0	00h
03FDh	上拉控制寄存器 1	PUR1	00000000b (注 1)
			00000010b
03FEh	上拉控制寄存器 2	PUR2	00h
03FFh	端口控制寄存器	PCR	00h

X: 不定。

注 1. 在硬件复位后，寄存器的值如下：

- CNVSS 引脚的输入电平为 “L” 时，为 “00000000b”
- CNVSS 引脚的输入电平为 “H” 时，为 “00000010b” (在 T/V-ver. 中，不能设定为 00000010b)

在软件复位、看门狗定时器复位及振荡停止检测复位后，寄存器的值如下：

- PM0 寄存器的 PM01 ~ 00 位为 “00b” (单芯片模式) 时，为 “00000000b”
- PM0 寄存器的 PM01 ~ 00 位为 “01b” (存储器扩展模式) 或者 “11b” (微处理器模式) 时，为 “00000010b”
- 在 T/V-ver. 中，不能使用存储器扩展模式，微处理器模式。

注 2. 这些寄存器仅限 128 引脚版。

注 3. 空栏为保留区，不能存取。

6. 复位

复位有硬件复位、软件复位、看门狗定时器复位和振荡停止检测复位。

6.1 硬件复位

硬件复位是通过 $\overline{\text{RESET}}$ 引脚产生的复位。在电源电压满足推荐工作条件时，如果 $\overline{\text{RESET}}$ 引脚接“L”电平，引脚就被初始化（请参照“表 6.1 $\overline{\text{RESET}}$ 引脚电平为“L”期间的引脚状态）。同时，初始化振荡电路并开始主时钟的振荡，如果将 $\overline{\text{RESET}}$ 引脚的输入电平从“L”变为“H”，就初始化 CPU 和 SFR，并从由复位向量指向的地址开始执行程序。内部 RAM 不被初始化。另外，如果在对内部 RAM 写数据过程中 $\overline{\text{RESET}}$ 引脚变为“L”电平，就会导致内部 RAM 的内容不定。

复位电路的例子图 6.1、复位顺序如图 6.2 所示， $\overline{\text{RESET}}$ 引脚电平为“L”期间的引脚状态如表 6.1 所示。

6.1.1 电源稳定时

- (1) 将 $\overline{\text{RESET}}$ 引脚接“L”电平
- (2) 将 20 个或 20 个以上周期的时钟输入到 XIN 引脚
- (3) 将 $\overline{\text{RESET}}$ 引脚接“H”电平

6.1.2 接通电源时

- (1) 将 $\overline{\text{RESET}}$ 引脚接“L”电平
- (2) 使电源电压上升直到满足推荐运行条件的电平为止
- (3) 等待 $t_d(\text{P-R})$ 直到内部电源稳定为止
- (4) 将 20 个或 20 个以上周期的时钟输入到 XIN 引脚
- (5) 将 $\overline{\text{RESET}}$ 引脚接“H”电平

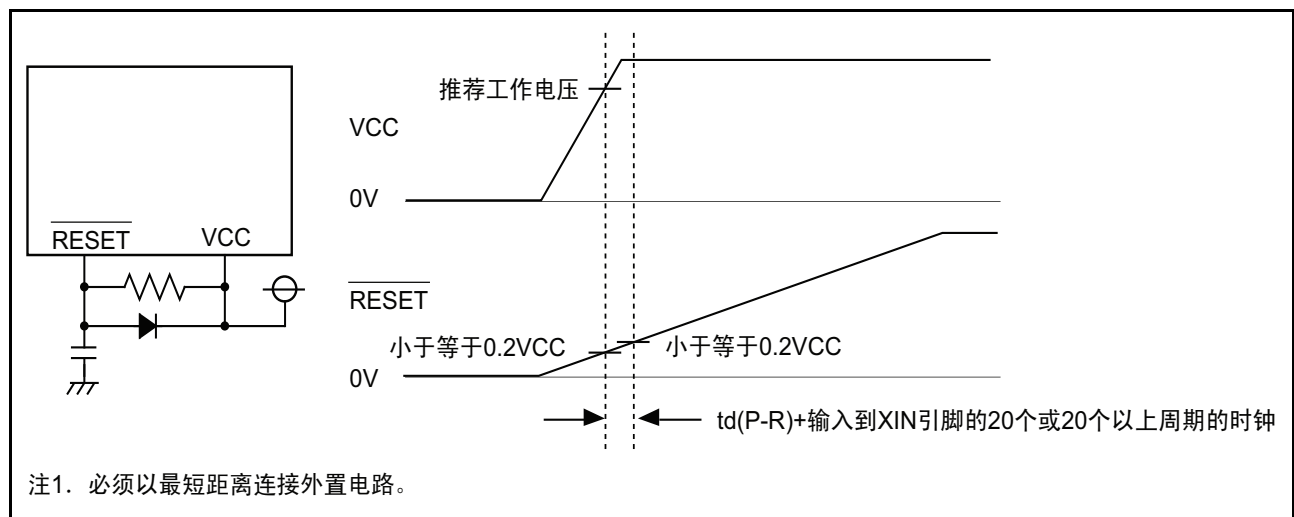


图 6.1 复位电路的例子

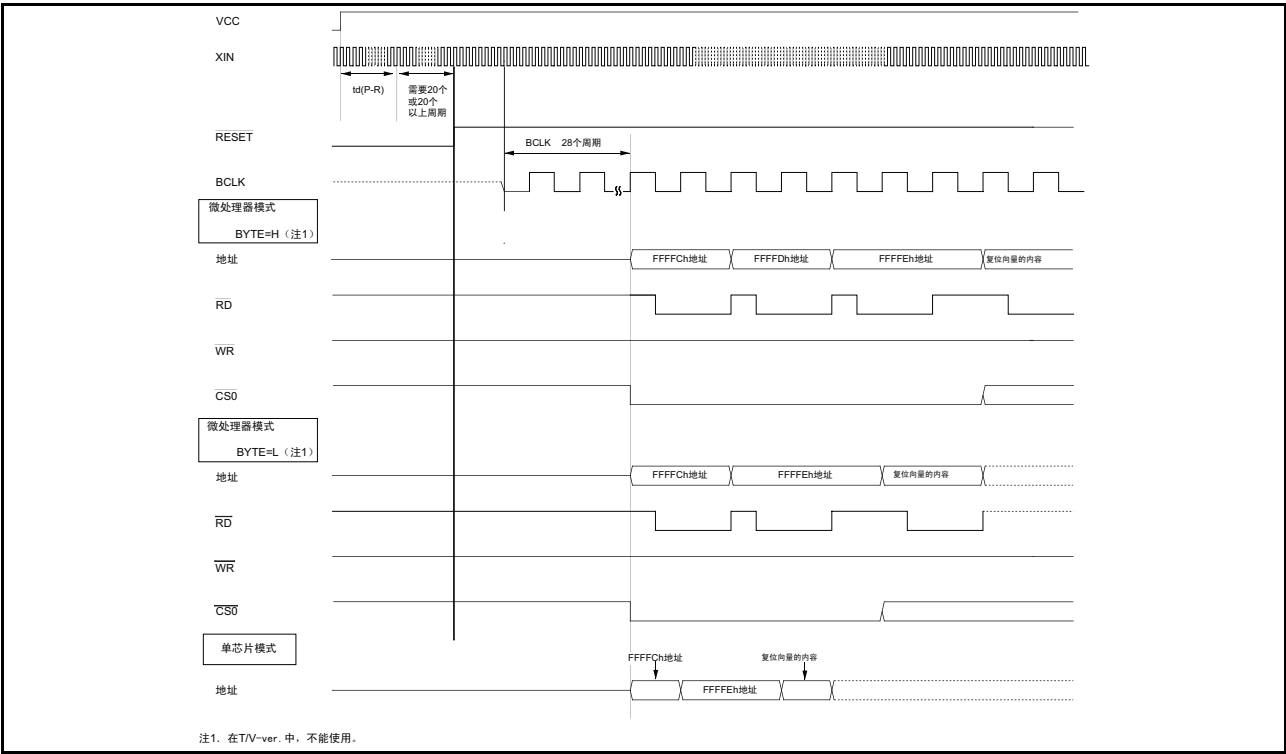


图 6.2 复位顺序

表 6.1 RESET 引脚电平为“L”期间的引脚状态

引脚名	引脚状态		
	CNVSS = VSS	CNVSS = VCC（注 1）	
		BYTE = VSS	BYTE = VCC
P0	输入端口	数据输入	数据输入
P1	输入端口	数据输入	输入端口
P2, P3, P4_0 ~ P4_3	输入端口	地址输出（不定）	地址输出（不定）
P4_4	输入端口	CS0 输出（输出“H”）	CS0 输出（输出“H”）
P4_5 ~ P4_7	输入端口	输入端口（有上拉）	输入端口（有上拉）
P5_0	输入端口	WR 输出（输出“H”）	WR 输出（输出“H”）
P5_1	输入端口	BHE 输出（不定）	BHE 输出（不定）
P5_2	输入端口	RD 输出（输出“H”）	RD 输出（输出“H”）
P5_3	输入端口	BCLK 输出	BCLK 输出
P5_4	输入端口	HLDA 输出（输出值取决于 HOLD 引脚的输入）	HLDA 输出（输出值取决于 HOLD 引脚的输入）
P5_5	输入端口	HOLD 输入	HOLD 输入
P5_6	输入端口	ALE 输出（输出“L”）	ALE 输出（输出“L”）
P5_7	输入端口	RDY 输入	RDY 输入
P6, P7, P8_0 ~ P8_4, P8_6, P8_7, P9, P10	输入端口	输入端口	输入端口
P11, P12, P13, P14_0, P14_1（注 2）	输入端口	输入端口	输入端口

注 1. 这里列出的是内部电源电压在经电源投入后并稳定下来时的引脚状态，且在 CNVSS=VCC 时，引脚状态在内部电源电压稳定之前是不确定的。

* 在 T/V-ver. 中，不能设定 CNVSS=VCC。

注 2. P11、P12、P13、P14_0、P14_1 仅限 128 引脚版。

6.2 软件复位

如果将 PM0 寄存器的 PM03 位置“1”（复位单片机），单片机就初始化引脚、CPU 和 SFR。然后，从由复位向量指向的地址开始执行程序。

在 CPU 时钟源选择主时钟时，必须在主时钟的振荡处于充分稳定的状态下将 PM03 位置“1”。

在软件复位中，一部分的 SFR 不被初始化，详细内容请参照“5. SFR”。另外，因为不初始化 PM0 寄存器的 PM01 ~ PM00 位，所以处理器模式不变。

6.3 看门狗定时器复位

PM1 寄存器的 PM12 位为“1”（在看门狗定时器下溢时复位）时，如果看门狗定时器下溢，单片机就初始化引脚、CPU 和 SFR。然后，从由复位向量指向的地址开始执行程序。

在看门狗定时器复位中，一部分的 SFR 不被初始化。详细内容请参照“5. SFR”。另外，因为不初始化 PM0 寄存器的 PM01 ~ PM00 位，所以处理器模式不变。

6.4 振荡停止检测复位

CM2 寄存器的 CM27 位为“0”（在检测到振荡停止时复位）时，如果检测到主时钟振荡电路的停止，单片机就初始化引脚、CPU 和 SFR，停止运行。详细内容请参照“9.5 振荡停止、重新振荡检测功能”。

在振荡停止检测复位中，一部分的 SFR 不被初始化。详细内容请参照“5. SFR”。另外，因为不初始化 PM0 寄存器的 PM01 ~ PM00 位，所以处理器模式不变。

6.5 内部区域的状态

复位后的 CPU 寄存器状态如图 6.3 所示。有关复位后的 SFR 的状态，请参照“5. SFR”。

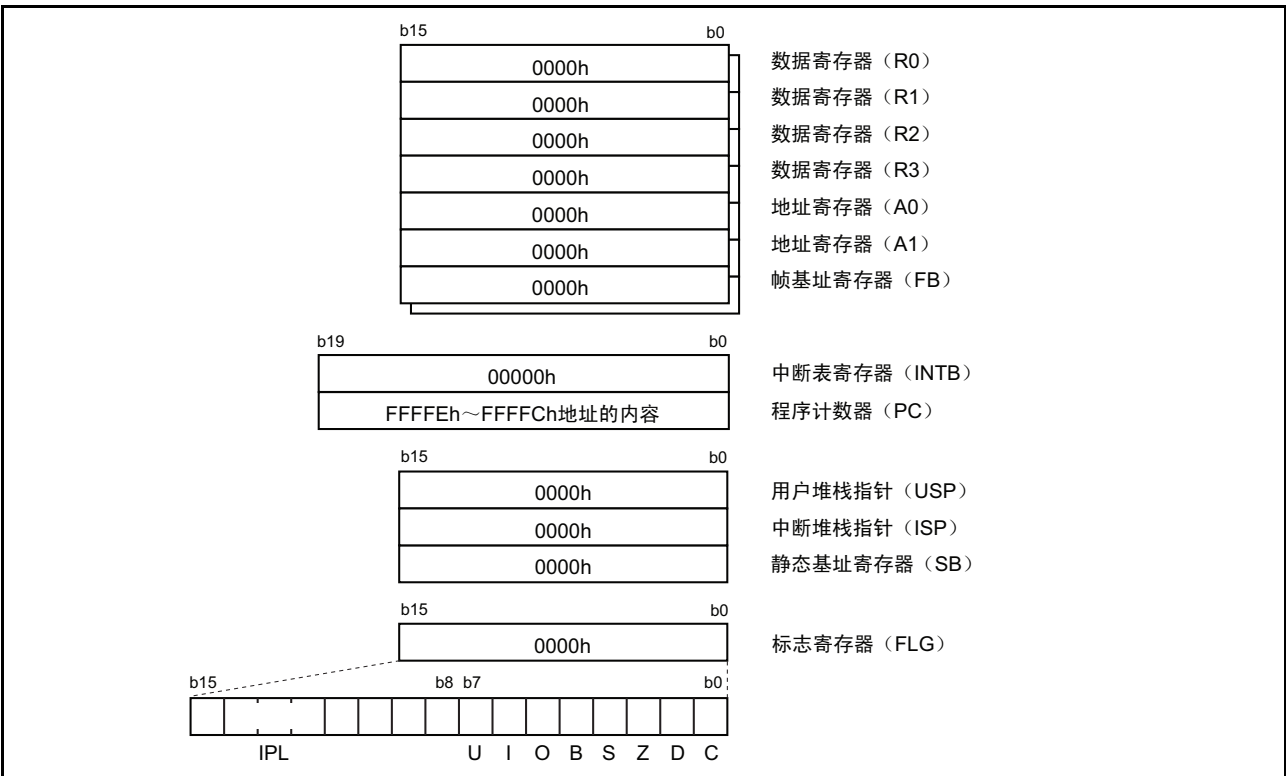


图 6.3 复位后的 CPU 寄存器状态

7. 处理器模式

注意

7. 以 Normal-ver. 为例对处理器模式进行说明。
T/V-ver. 只有单芯片模式。不能使用存储器扩展模式和微处理器模式。

7.1 处理器模式的类型

处理器有三种工作模式：单芯片模式、存储器扩展模式和微处理器模式。（在 T/V-ver. 中，不能使用存储器扩展模式和微处理器模式。）

处理器模式的特点如表 7.1 所示。

表 7.1 处理器模式的特点

处理器模式	存取空间	分配 I/O 端口的引脚
单芯片模式	SFR、内部 RAM、内部 ROM	全部引脚为 I/O 端口或者外围功能输入 / 输出引脚
存储器扩展模式（注 2）	SFR、内部 RAM、内部 ROM、外部区域（注 1）	部分引脚为总线控制引脚（注 1）
微处理器模式（注 2）	SFR、内部 RAM、外部区域（注 1）	部分引脚为总线控制引脚（注 1）

注 1. 详细内容请参照“8. 总线”。

注 2. 在 T/V-ver. 中不能使用。

7.2 处理器模式的设定

处理器模式的设定通过 CNVSS 引脚及 PM0 寄存器的 PM01 ~ PM00 位进行。

硬件复位后的处理器模式如表 7.2 所示，对应 PM01 ~ PM00 位的设定值的处理器模式如表 7.3 所示。

表 7.2 硬件复位后的处理器模式

CNVSS 引脚的输入电平	处理器模式
VSS	单芯片模式
VCC（注 1、2、3）	微处理器模式

注 1. 将 VCC 输入到 CNVSS 引脚进行硬件复位时，就与 PM01 ~ PM00 位无关，不能存取内部 ROM。

注 2. 不能将多路复用总线分配到 $\overline{\text{CS}}$ 的全部空间。

注 3. 在 T/V-ver. 中不能设定。

表 7.3 对应 PM01 ~ PM00 位的设定值的处理器模式

PM01 ~ PM00 位	处理器模式
00b	单芯片模式
01b（注 1）	存储器扩展模式
10b	不能设定
11b（注 1）	微处理器模式

注 1. 在 T/V-ver. 中不能设定。

如果改写 PM01 ~ PM00 位，就与 CNVSS 引脚的输入电平无关，变为对应 PM01 ~ PM00 位的模式。在将 PM01 ~ PM00 位改写为“01b”（存储器扩展模式）或者“11b”（微处理器模式）（注 1）时，就不能同时改写 PM07 ~ PM02 位。另外，不能在内部 ROM 转移到微处理器模式，也不能在和内部 ROM 重叠的区域进行从微处理器模式的转移。

将 VCC 输入到 CNVSS 引脚进行硬件复位时，就与 PM01 ~ PM00 位无关，不能存取内部 ROM。

注 1. 在 T/V-ver. 中，不能使用存储器扩展模式和微处理器模式。

与处理器模式相关的寄存器如图 7.1、图 7.2 所示，单芯片模式时的存储器分配如图 7.3 所示。存储器扩展模式、微处理器模式时的存储器分配及片选区域如图 7.4 ~ 图 7.7 所示（仅限 Normal-ver.）。

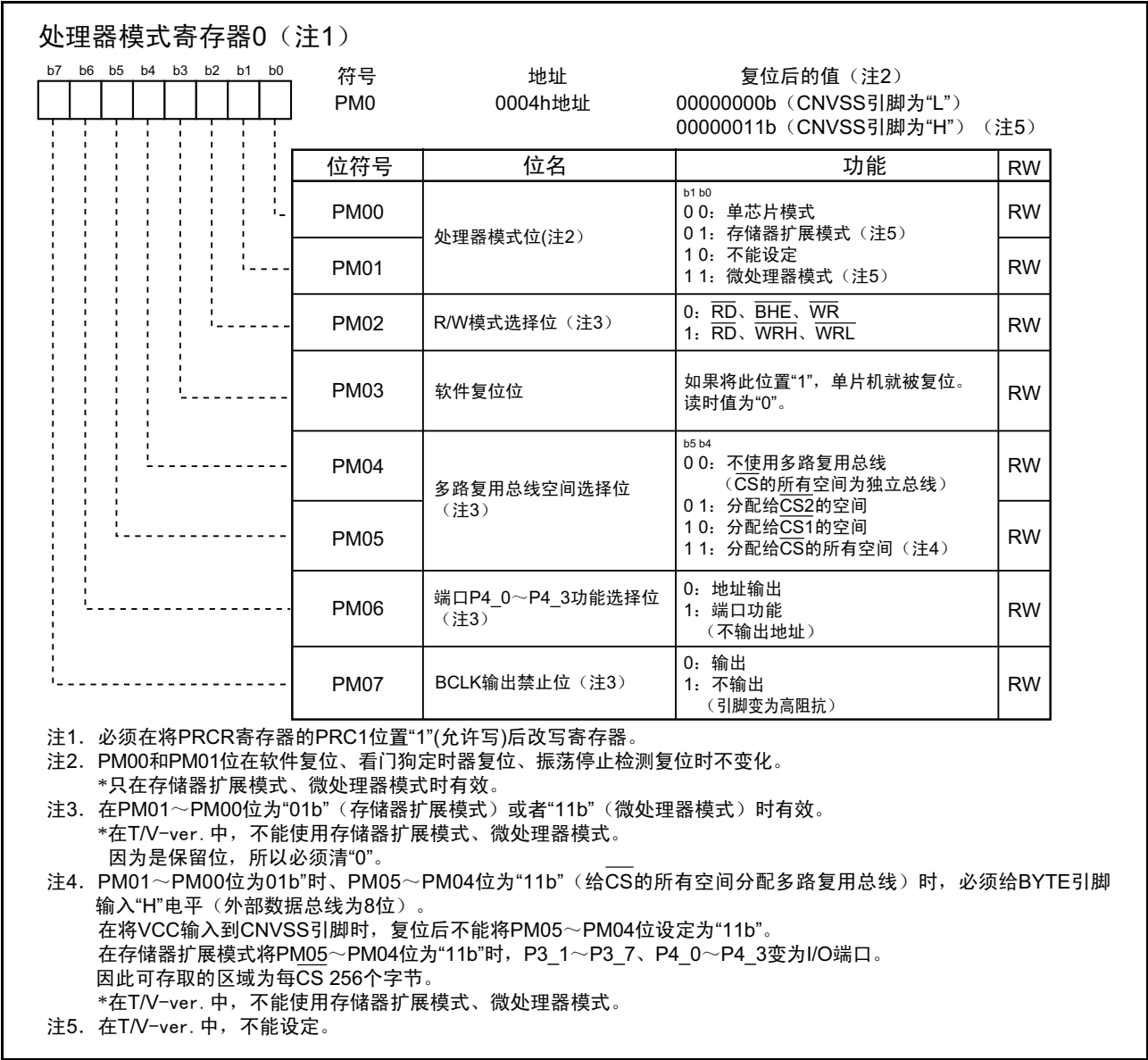
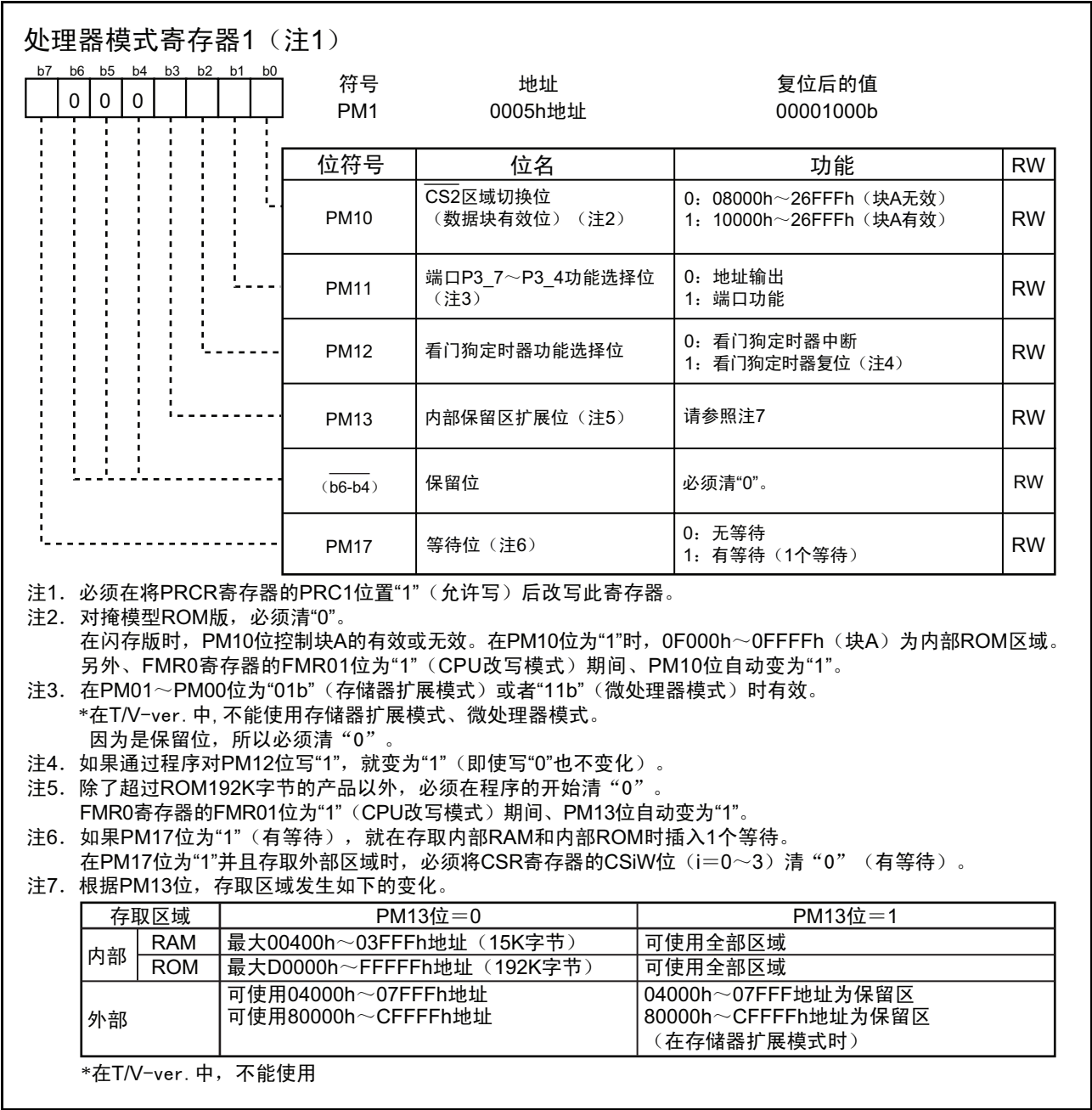


图 7.1 PM0 寄存器



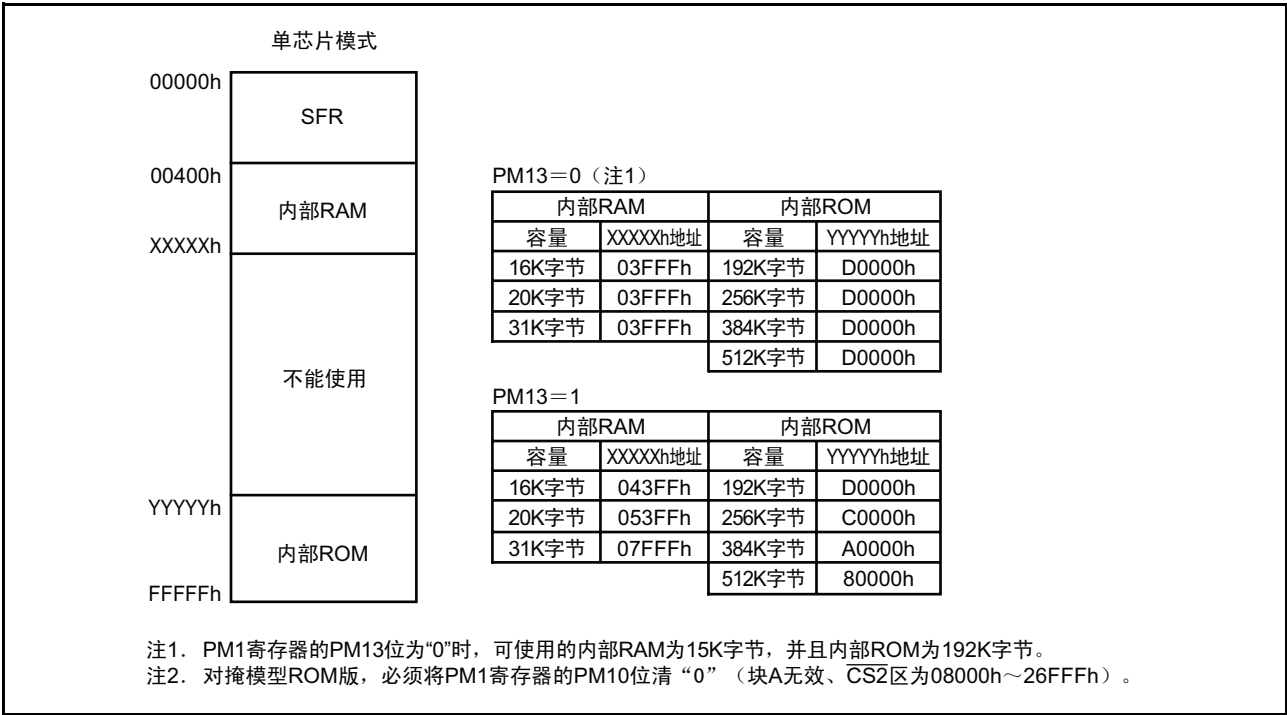


图 7.3 单芯片模式时的存储器分配

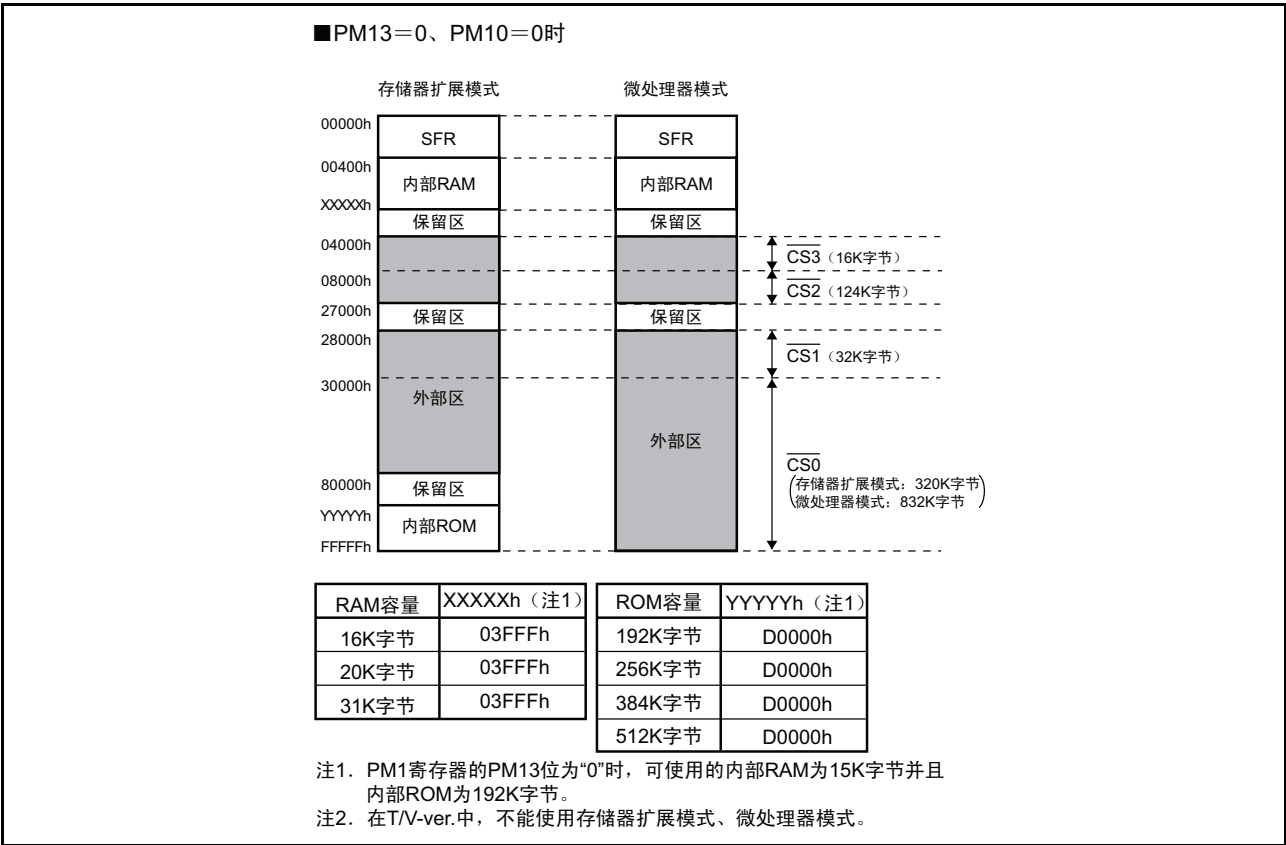


图 7.4 存储器扩展模式、微处理器模式时的存储器分配及片选区域（1）

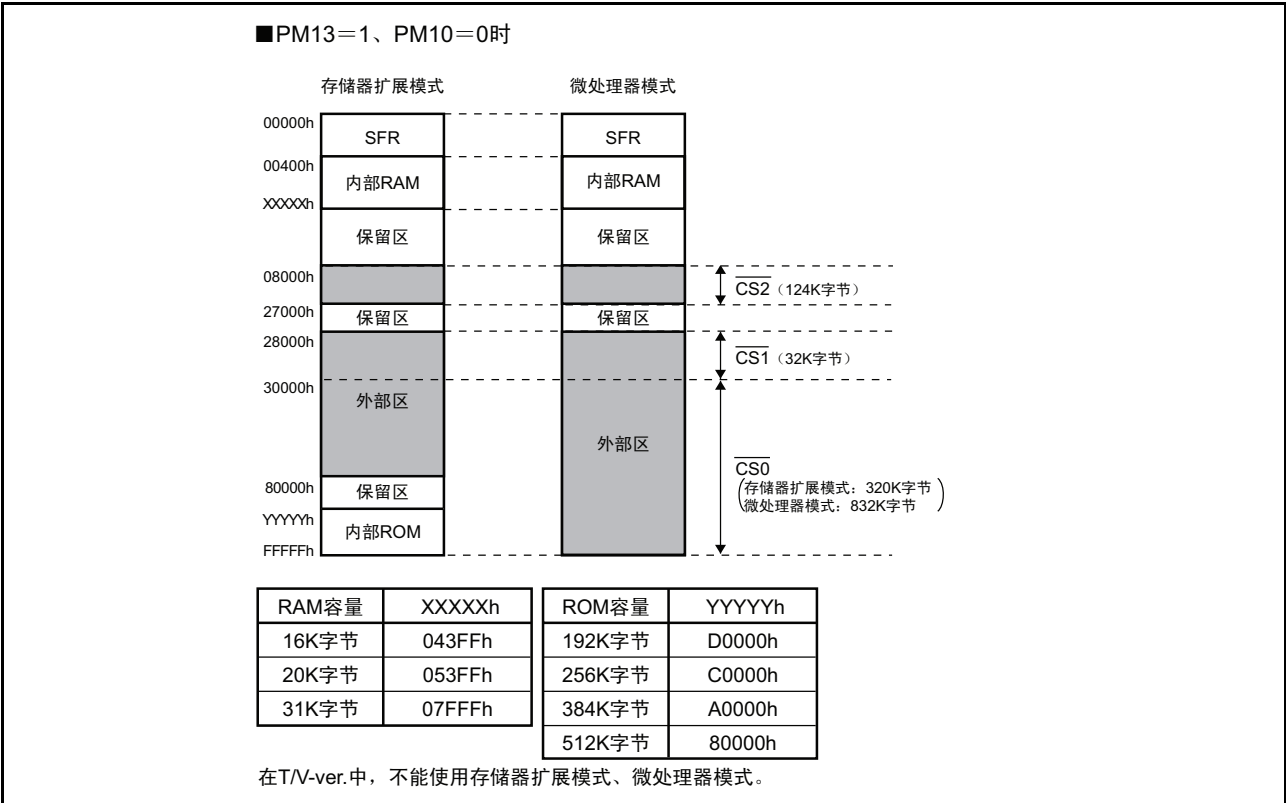


图 7.5 存储器扩展模式、微处理器模式时的存储器分配及片选区域（2）

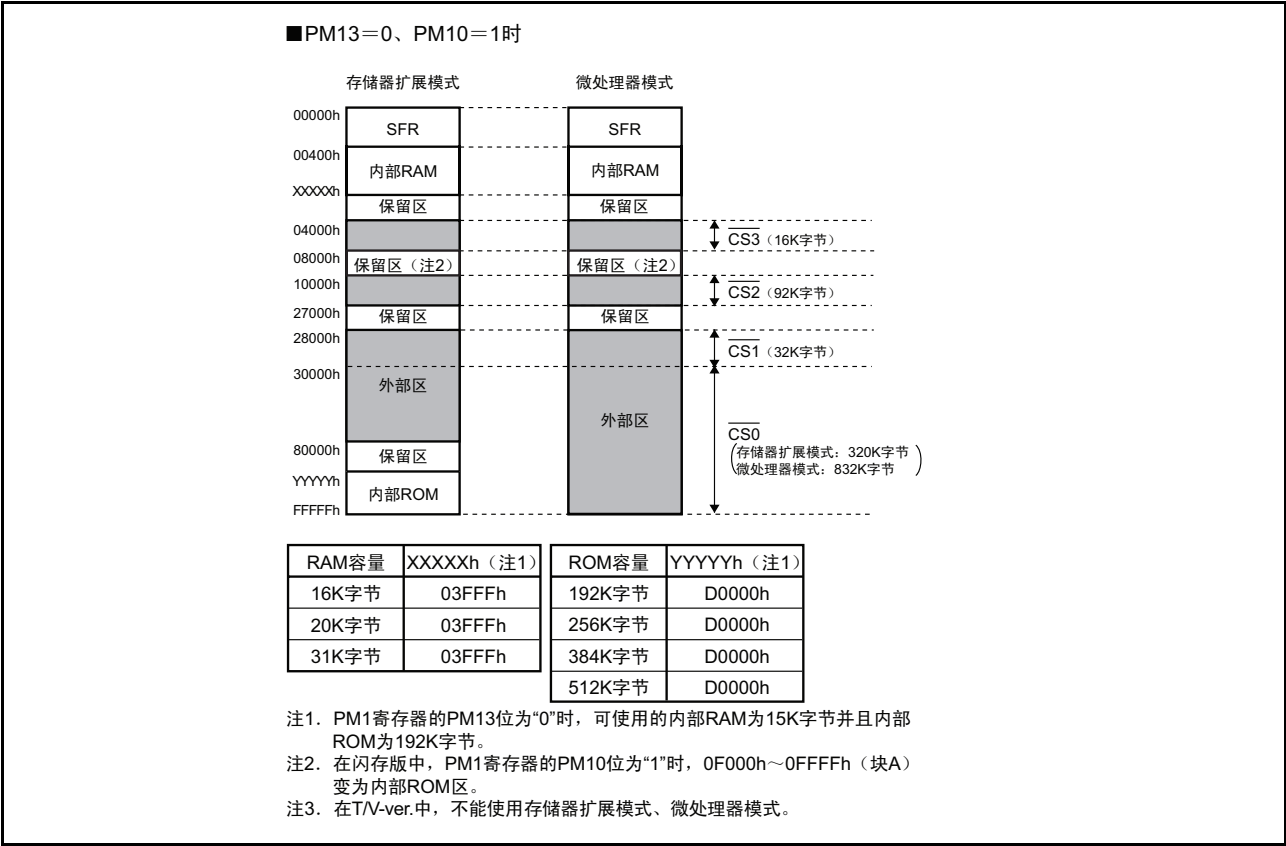


图 7.6 存储器扩展模式、微处理器模式时的存储器分配及片选区域（3）

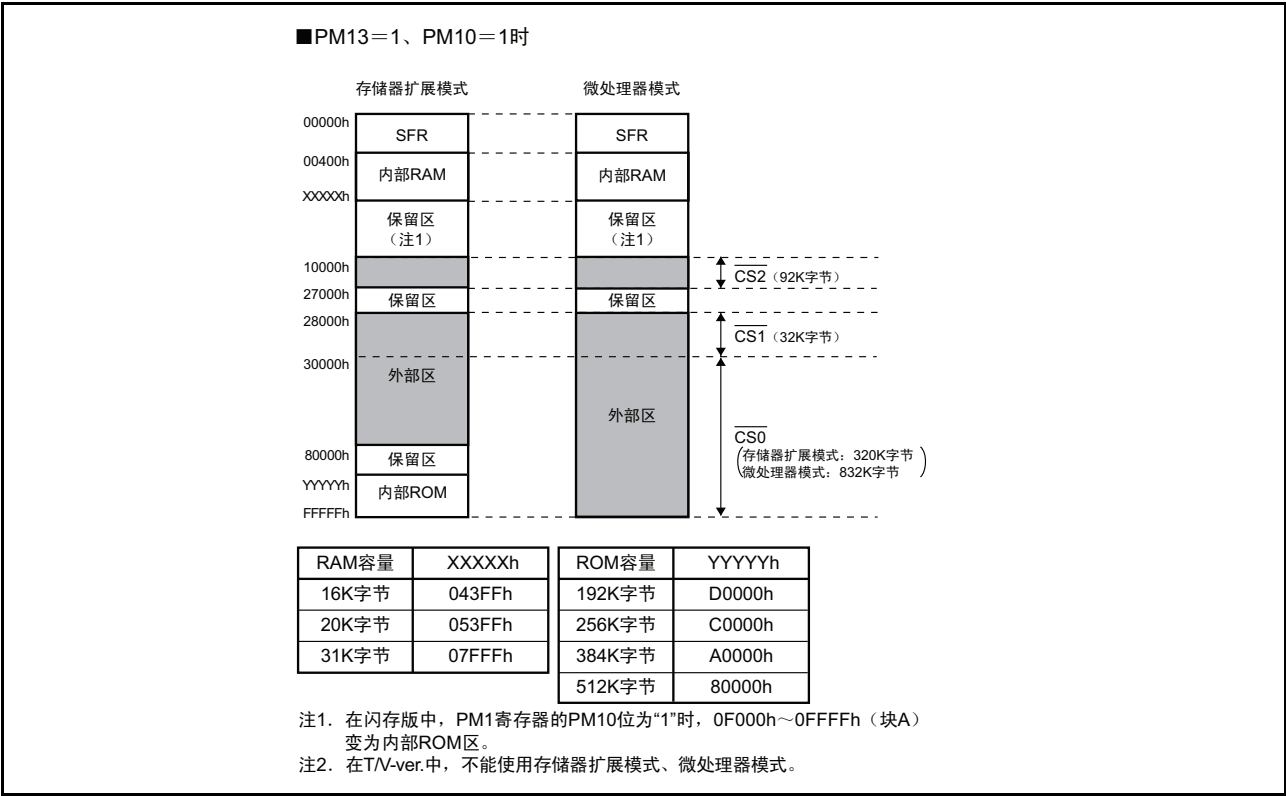


图 7.7 存储器扩展模式、微处理器模式时的存储器分配及片选区域（4）

8. 总线

注意

8. 以 Normal-ver. 为例说明总线。
在 T/V-ver. 中，不能使用总线控制引脚。

在存储器扩展模式或者微处理器模式中，部分引脚为和外部设备进行数据输入 / 输出的总线控制引脚。总线控制引脚有 A0 ~ A19、D0 ~ D15、 $\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}/\overline{\text{WR}}$ 、 $\overline{\text{WRH}}/\overline{\text{BHE}}$ 、ALE、 $\overline{\text{RDY}}$ 、 $\overline{\text{HOLD}}$ 、 $\overline{\text{HLDA}}$ 及 BCLK。

8.1 总线格式

总线模式能根据 PM0 寄存器 PM05 ~ PM04 位选择多路复用总线或者独立总线。

8.1.1 独立总线

独立总线是数据和地址分离的总线模式。

8.1.2 多路复用总线

多路复用总线是数据和地址多路复用的总线模式。

8.1.2.1 将 BYTE 引脚接“H”电平（数据总线宽度为 8 位）时

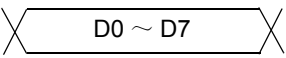
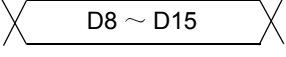
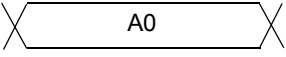
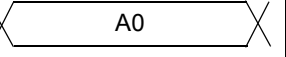
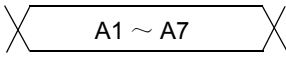
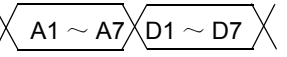
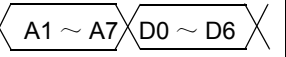
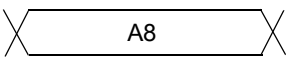
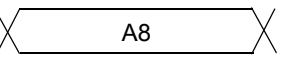
D0 ~ D7 和 A0 ~ A7 多路复用。

8.1.2.2 将 BYTE 引脚接“L”电平（数据总线宽度为 16 位）时

D0 ~ D7 和 A1 ~ A8 多路复用。由于 D8 ~ D15 不被多路复用，所以不能使用 D8 ~ D15。连接多路复用总线的外部设备只被分配到单片机的偶数地址，不能存取奇数地址。

独立总线和多路复用总线的差异如表 8.1 所示。

表 8.1 独立总线和多路复用总线的差异

引脚名（注 1）	独立总线	多路复用总线	
		BYTE=H	BYTE=L
P0_0 ~ P0_7/D0 ~ D7		（注 2）	（注 2）
P1_0 ~ P1_7/D8 ~ D15		输入 / 输出端口 P1_0 ~ P1_7	（注 2）
P2_0/A0（/D0/-）			
P2_1 ~ P2_7/A1 ~ A7 （/D1 ~ D7/D0 ~ D6）			
P3_0/A8（/-/D7）			

注 1. 有关上述以外的总线控制信号，请参照“表 8.6 处理器模式和引脚功能表”。

注 2. PM0 寄存器的 PM05 ~ PM04 位的设定根据存取的区域而不同。详细内容请参照“表 8.6 处理器模式和引脚功能表”

8.2 总线控制

以下说明在存取外部设备时所需的信号和软件等待。

8.2.1 地址总线

地址总线有 A0 ~ A19 共 20 条。能通过 PM0 寄存器 PM06 位和 PM1 寄存器的 PM11 位，从 12 位、16 位、20 位中选择地址总线宽度。PM06 位和 PM11 位的设定值和地址总线宽度如表 8.2 所示。
另外，在从单芯片模式更改为存储器模式时，在存取外部区域之前地址总线不定。

表 8.2 PM06 位和 PM11 位的设定值和地址总线宽度

设定值（注 1）	引脚功能	地址总线宽度
PM11=1	P3_4 ~ P3_7	12 位
PM06=1	P4_0 ~ P4_3	
PM11=0	A12 ~ A15	16 位
PM06=1	P4_0 ~ P4_3	
PM11=0	A12 ~ A15	20 位
PM06=0	A16 ~ A19	

注 1. 不能设定此表以外的值。

8.2.2 数据总线

将 BYTE 引脚接“H”电平时（数据总线宽度为 8 位）时，D0 ~ D7 为 8 条数据总线；将 BYTE 引脚接“L”电平时（数据总线宽度为 16 位）时，D0 ~ D15 为 16 条数据总线。
不能改变 BYTE 引脚的输入电平。

8.2.3 片选信号

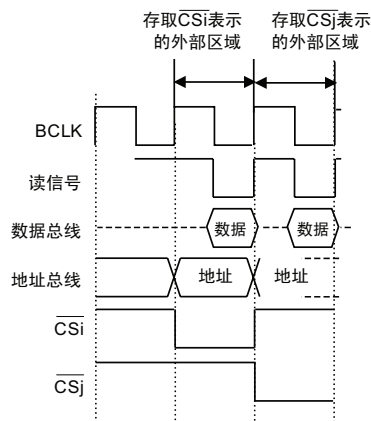
从 $\overline{\text{CSi}}$ （i=0 ~ 3）引脚输出片选信号（以下称为 $\overline{\text{CS}}$ ）。能通过 CSR 寄存器的 CSi 位将引脚功能选择为输入输出端口或者 $\overline{\text{CS}}$ 。
CSR 寄存器如图 8.1 所示。
能通过从 $\overline{\text{CSi}}$ 引脚输出的 $\overline{\text{CSi}}$ 信号将外部区域最大分为 4 个。
地址总线和 $\overline{\text{CSi}}$ 信号的输出例子（独立总线、无等待）如图 8.2 所示。



图 8.1 CSR 寄存器

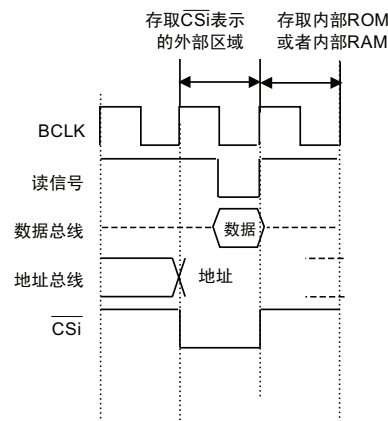
例1. 在存取 $\overline{CSi}$ 表示的外部区域后的下一个周期存取 $\overline{CSj}$ 表示的外部区域时

在此2个周期中，地址总线和片选信号都发生变化。



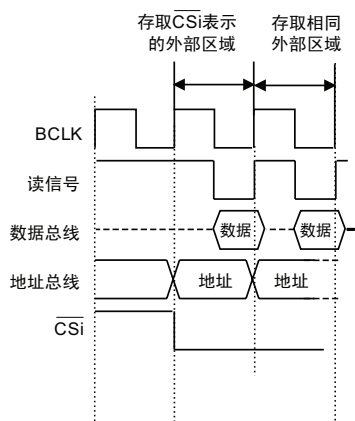
例2. 在存取 $\overline{CSi}$ 表示的外部区域后的下一个周期存取内部ROM或者内部RAM时

在此2个周期中，片选信号发生变化，但是地址总线不发生变化。



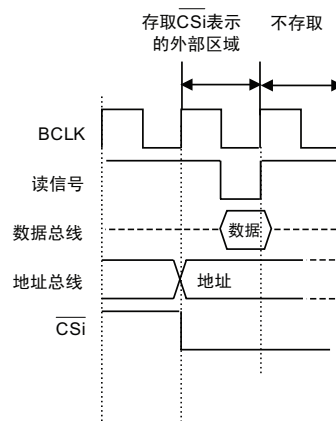
例3. 在存取 $\overline{CSi}$ 表示的外部区域后的下一个周期存取相同 $\overline{CSi}$ 表示的外部区域时

在此2个周期中，地址总线发生变化，但是片选信号不发生变化。



例4. 在存取 $\overline{CSi}$ 表示的外部区域后的下一个周期不存取任何区域时(也不预取指令)

在此2个周期中，地址总线和片选信号都不发生变化。



注1. 这些例子表示连续2个周期的地址总线和芯片选择信号。
根据这些例子的组合，片选信号有可能延长到2个或2个以上总线周期。

上图为独立总线、无等待、读取的情况。 $i=0\sim3$ 、 $j=0\sim3$ (但是， i 除外)。

图 8.2 地址总线和 $\overline{CSi}$ 信号的输出例子

8.2.4 读写信号

在数据总线宽度为 16 位时，读写信号能通过 PM0 寄存器的 PM02 位选择 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 的组合或者 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 的组合。在数据总线宽度为 8 位时，必须选择 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 的组合。 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 信号的运行如表 8.3 所示， $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 信号的运行如表 8.4 所示。

表 8.3 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 信号的运行

数据总线宽度	$\overline{\text{RD}}$	$\overline{\text{WRL}}$	$\overline{\text{WRH}}$	外部数据总线的状态
16 位（将 BYTE 引脚接“L”电平）	L	H	H	读数据
	H	L	H	将 1 个字节的数据写到偶数地址
	H	H	L	将 1 个字节的数据写到奇数地址
	H	L	L	将数据同时写到偶数地址和奇数地址

表 8.4 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 信号的运行

数据总线宽度	$\overline{\text{RD}}$	$\overline{\text{WR}}$	$\overline{\text{BHE}}$	A0	外部数总线的状态
16 位（将 BYTE 引脚接“L”电平）	H	L	L	H	将 1 个字节的数据写到奇数地址
	L	H	L	H	读奇数地址的 1 个字节数据
	H	L	H	L	将 1 个字节的数据写到偶数地址
	L	H	H	L	读偶数地址的 1 个字节数据
	H	L	L	L	将数据同时写到偶数地址和奇数地址
	L	H	L	L	同时读偶数地址和奇数地址的数据
8 位（将 BYTE 引脚接“H”电平）	H	L	—（注 1）	H 或者 L	写 1 个字节的数据
	L	H	—（注 1）	H 或者 L	读 1 个字节的数据

注 1. 不能使用。

8.2.5 ALE 信号

在存取多路复用总线空间时，ALE 信号是用于锁存地址的信号。在 ALE 信号的下降沿，锁存地址。ALE 信号和地址总线、数据总线如图 8.3 所示。

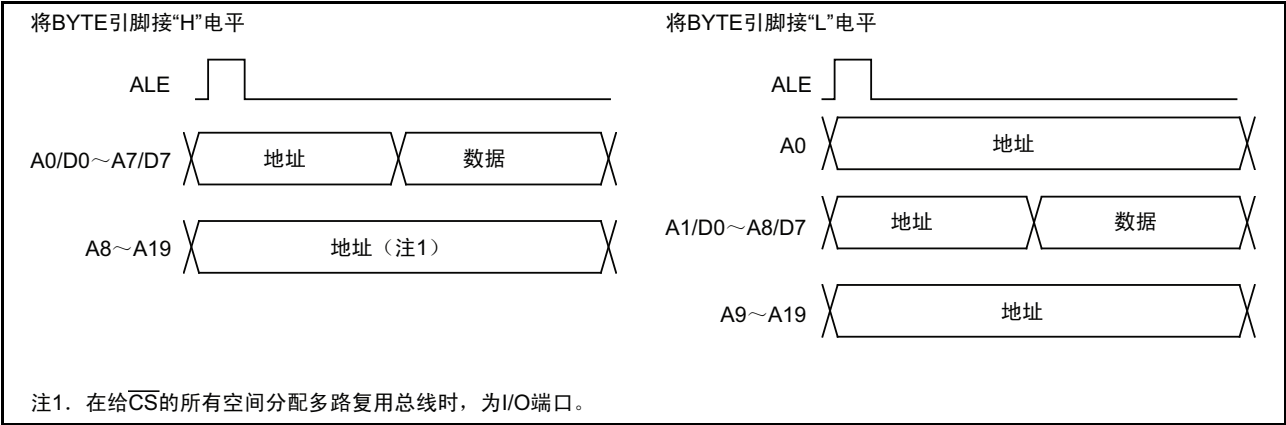


图 8.3 ALE 信号和地址总线、数据总线

8.2.6 $\overline{\text{RDY}}$ 信号

$\overline{\text{RDY}}$ 信号是用于存取速度慢的外部设备的信号。如果在总线周期的最后 BCLK 下降时将 $\overline{\text{RDY}}$ 引脚接“L”电平，就在总线周期中插入等待时间。在通过 $\overline{\text{RDY}}$ 信号产生的等待中，以下的信号保持接受 $\overline{\text{RDY}}$ 信号时的状态：

A0 ~ A19、D0 ~ D15、 $\overline{\text{CS0}} \sim \overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$ 、ALE、 $\overline{\text{HLDA}}$

然后，如果在 BCLK 下降时将 $\overline{\text{RDY}}$ 引脚接“H”电平，就执行剩下的总线周期。通过 $\overline{\text{RDY}}$ 信号在读周期中插入等待时间的例子如图 8.4 所示。

在使用 $\overline{\text{RDY}}$ 信号时，必须将 CSR 寄存器的对应位（CS3W ~ CS0W 位）清“0”（有等待）；在不使用 $\overline{\text{RDY}}$ 信号时，请把 $\overline{\text{RDY}}$ 引脚按未使用端口处理。

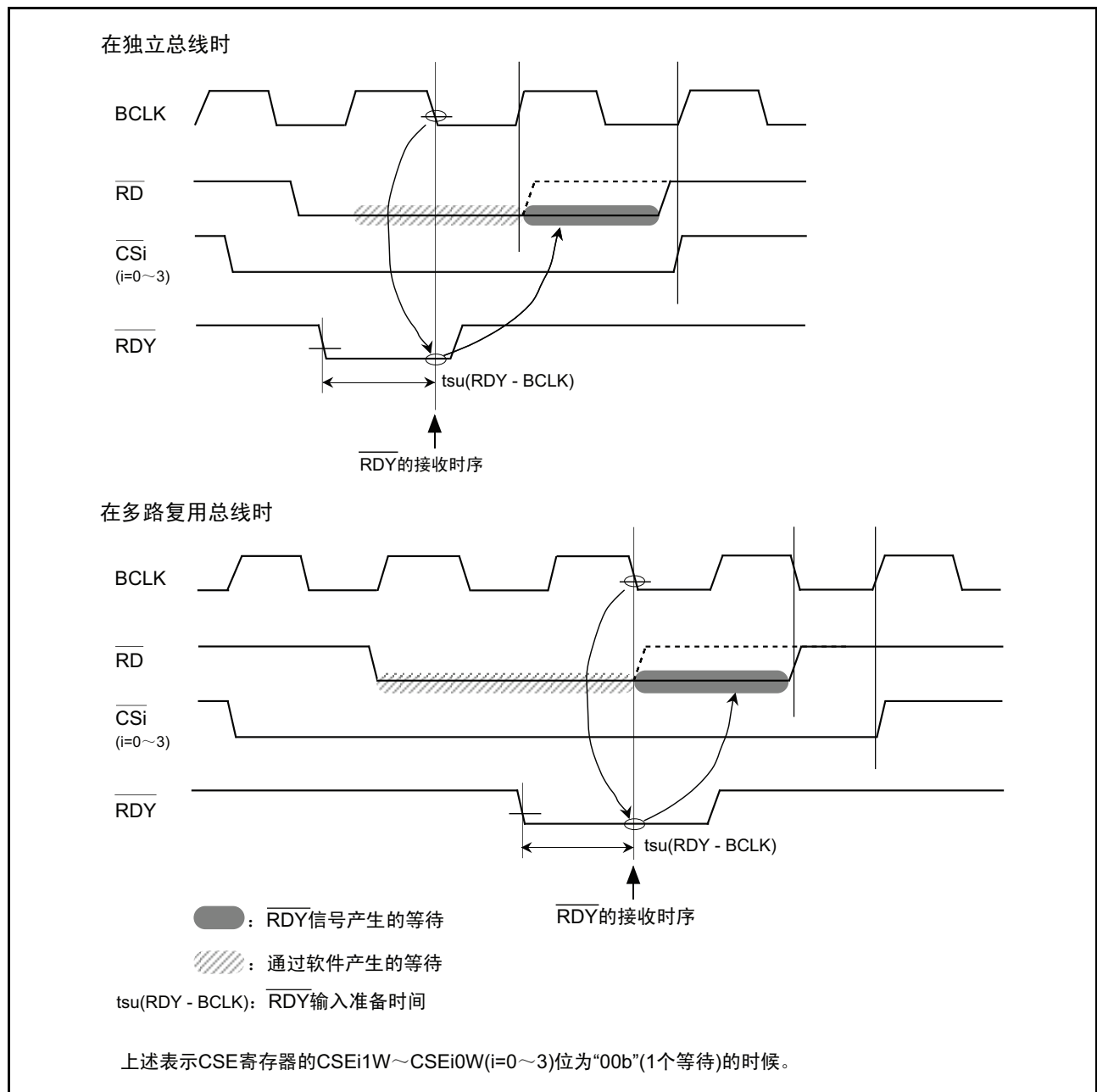


图 8.4 通过 $\overline{\text{RDY}}$ 信号在读周期中插入等待时间的例子

8.2.7 $\overline{\text{HOLD}}$ 信号

$\overline{\text{HOLD}}$ 信号是用于将总线的使用权从 CPU 或者 DMA 转移到外部电路的信号。如果将 $\overline{\text{HOLD}}$ 引脚接“L”电平，则单片机在结束当前的总线存取后进入保持状态。在 $\overline{\text{HOLD}}$ 引脚为“L”电平期间，维持保持状态，且在保持状态期间从 $\overline{\text{HLDA}}$ 引脚输出“L”电平。

处于保持状态的单片机状态如表 8.5 所示。

另外，总线的使用优先顺序由高至低依次为 $\overline{\text{HOLD}}$ 、DMAC 和 CPU（请参照“图 8.5 总线的使用优先级”）。但是，如果 CPU 以字为单位对奇数地址进行存取时，在分 2 次的存取期间，DMA 不能获得总线使用权。



图 8.5 总线的使用优先级

表 8.5 处于保持状态的单片机状态

项目		状态
BCLK		输出
A0 ~ A19、D0 ~ D15、 $\overline{\text{CS0}}$ ~ $\overline{\text{CS3}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{BHE}}$		高阻抗
I/O 端口	P0、P1、P3、P4（注 1）	高阻抗
	P6 ~ P14（注 3）	保持接受 $\overline{\text{HOLD}}$ 信号时的状态
$\overline{\text{HLDA}}$		输出“L”电平
内部外围功能		运行（但是看门狗定时器停止运行）（注 2）
ALE		不定

注 1. 选择为 I/O 端口的情况。

注 2. 在 PM2 寄存器的 PM22 位为 1（看门狗定时器的计数源为内部振荡器时钟）时，看门狗定时器不停止运行。

注 3. P11 ~ P14 仅限 128 引脚版。

8.2.8 BCLK 输出

如果将 PM0 寄存器的 PM07 位清“0”（输出），作为 BCLK，就从 BCLK 引脚输出与 CPU 时钟相同频率的时钟。详细内容请参照“9.2 CPU 时钟和外围功能时钟”。

处理器模式和引脚功能表如表 8.6 所示。

表 8.6 处理器模式和引脚功能表

处理器模式	存储器扩展模式或者微处理器模式				存储器扩展模式
PM05 ~ PM04 位	00b（独立总线）		01b（CS2 区域为多路复用总线，除此以外为独立总线。） 10b（CS1 区域为多路复用总线，除此以外为独立总线。）		11b（CS 的全部区域为多路复用总线） （注 1）
数据总线宽度 BYTE 引脚	8 位 “H”	16 位 “L”	8 位 “H”	16 位 “L”	8 位 “H”
P0_0 ~ P0_7	D0 ~ D7		D0 ~ D7（注 4）		I/O 端口
P1_0 ~ P1_7	I/O 端口	D8 ~ D15	I/O 端口	D8 ~ D15（注 4）	I/O 端口
P2_0	A0		A0/D0（注 2）	A0	A0/D0
P2_1 ~ P2_7	A1 ~ A7		A1 ~ A7/D1 ~ D7 （注 2）	A1 ~ A7/D0 ~ D6 （注 2）	A1 ~ A7/D1 ~ D7
P3_0	A8			A8/D7（注 2）	A8
P3_1 ~ P3_3	A9 ~ A11				I/O 端口
P3_4 ~ P3_7	PM11=0	A12 ~ A15			I/O 端口
	PM11=1	I/O 端口			
P4_0 ~ P4_3	PM06=0	A16 ~ A19			I/O 端口
	PM06=1	I/O 端口			
P4_4	CS0=0	I/O 端口			
	CS0=1	$\overline{\text{CS0}}$			
P4_5	CS1=0	I/O 端口			
	CS1=1	$\overline{\text{CS1}}$			
P4_6	CS2=0	I/O 端口			
	CS2=1	$\overline{\text{CS2}}$			
P4_7	CS3=0	I/O 端口			
	CS3=1	$\overline{\text{CS3}}$			
P5_0	PM02=0	$\overline{\text{WR}}$			
	PM02=1	—（注 3）	$\overline{\text{WRL}}$	—（注 3）	$\overline{\text{WRL}}$ —（注 3）
P5_1	PM02=0	$\overline{\text{BHE}}$			
	PM02=1	—（注 3）	$\overline{\text{WRH}}$	—（注 3）	$\overline{\text{WRH}}$ —（注 3）
P5_2	$\overline{\text{RD}}$				
P5_3	$\overline{\text{BCLK}}$				
P5_4	$\overline{\text{HLDA}}$				
P5_5	$\overline{\text{HOLD}}$				
P5_6	$\overline{\text{ALE}}$				
P5_7	$\overline{\text{RDY}}$				

I/O 端口：作为 I/O 端口或者外围功能输入 / 输出引脚使用

- 注 1. 在 PM01 ~ PM00 位为“01b”（存储器扩展模式）并且将 PM05 ~ PM04 位置“11b”（将多路复用总线分配给 $\overline{\text{CS}}$ 的全部空间）时，必须将 BYTE 引脚接“H”电平（外部数据总线为 8 位）。
在将 VCC 输入到 CNVSS 引脚时，不能在复位后将 PM05 ~ PM04 位置“11b”。
如果在存储器扩展模式中将 PM05 ~ PM04 位置“11b”，因为 P3_1 ~ P3_7、P4_0 ~ P4_3 为 I/O 端口，所以能存取的区域为每 $\overline{\text{CS}}$ 256 字节。
- 注 2. 在独立总线时为地址总线。
- 注 3. 在数据总线宽度为 8 位时，必须将 PM02 位清“0”（ $\overline{\text{RD}}$ 、 $\overline{\text{BHE}}$ 、 $\overline{\text{WR}}$ ）。
- 注 4. 在存取要使用多路复用总线的区域时，写时输出不定值。

8.2.9 存取内部区域时的外部总线状态

存取内部区域时的外部总线状态如表 8.7 所示。

表 8.7 存取内部区域时的外部总线状态

项目		存取 SFR 时的状态	存取内部 ROM、内部 RAM 时的状态
A0 ~ A19		输出地址	保持刚存取的外部区域或者 SFR 的地址
D0 ~ D15	读时	高阻抗	高阻抗
	写时	输出数据	不定
$\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$		输出 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ 、 $\overline{\text{WRL}}$ 、 $\overline{\text{WRH}}$	输出“H”电平
$\overline{\text{BHE}}$		输出 $\overline{\text{BHE}}$	保持刚存取的外部区域或者 SFR 的状态
$\overline{\text{CS0}} \sim \overline{\text{CS3}}$		输出“H”电平	输出“H”电平
$\overline{\text{ALE}}$		输出“L”电平	输出“L”电平

8.2.10 软件等待

能通过 PM1 寄存器的 PM17 位、CSR 寄存器的 CS0W ~ CS3W 位和 CSE 寄存器插入软件等待。不受这些控制位的影响，根据 PM2 寄存器的 PM20 位，以 BCLK 的 2 个周期或者 BCLK 的 3 个周期存取 SFR 区域。详细内容请参照“表 8.8 软件等待相关位和总线周期”。

在使用 $\overline{\text{RDY}}$ 信号时，必须将 CS0W ~ CS3W 的相应位清“0”（有等待）。

CSE 寄存器如图 8.6 所示，软件等待相关位和总线周期如表 8.8 所示，使用软件等待时的总线时序例子如图 8.7、图 8.8 所示。

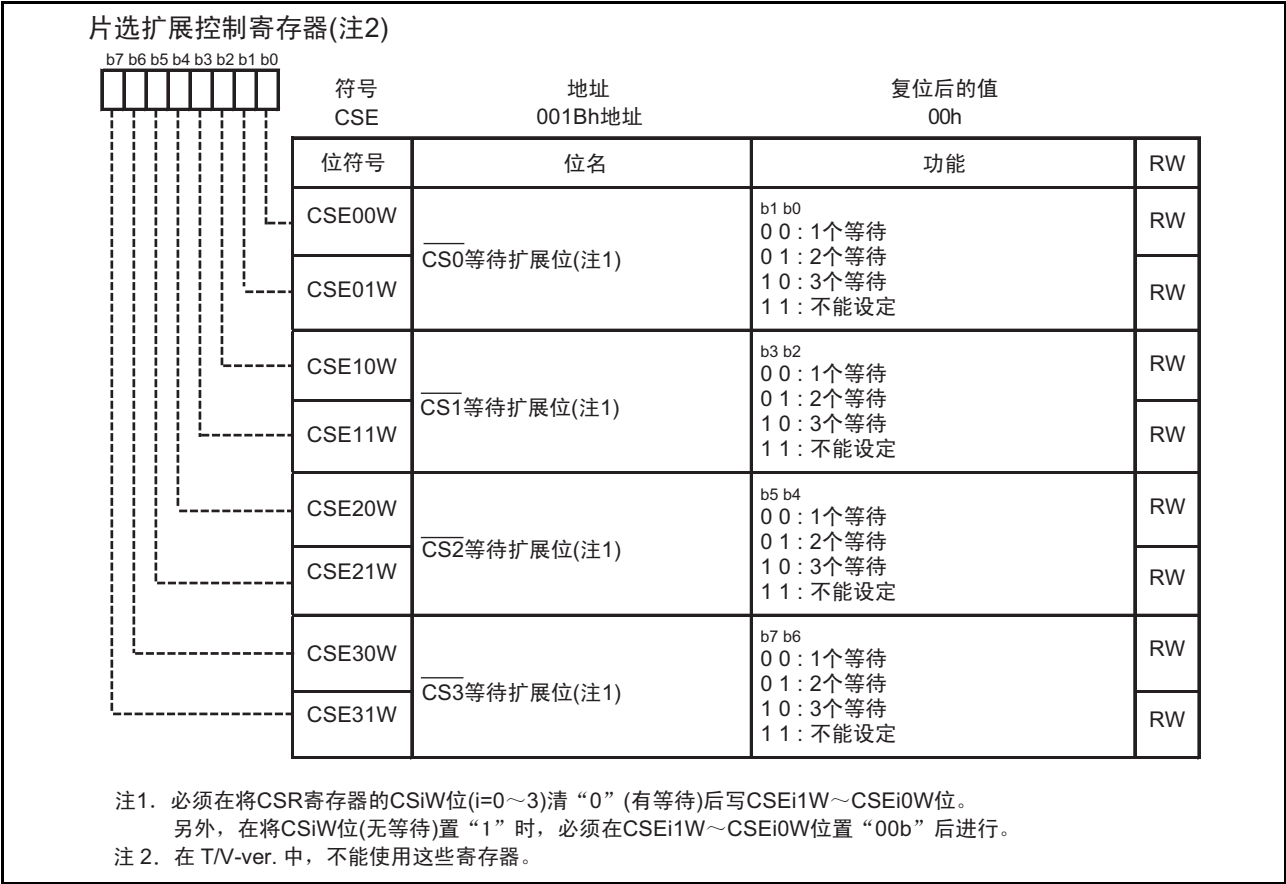


图 8.6 CSE 寄存器

表 8.8 软件等待相关位和总线周期

区域	总线模式	PM2 寄存器的 PM20 位	PM1 寄存器的 PM17 位（注 5）	CSR 寄存器 CS3W 位（注 1） CS2W 位（注 1） CS1W 位（注 1） CS0W 位（注 1）	CSE 寄存器 CSE31W ~ CSE30W 位 CSE21W ~ CSE20W 位 CSE11W ~ CSE10W 位 CSE01W ~ CSE00W 位	软件等待	总线周期
SFR	—	0	—	—	—	—	BCLK 的 3 个周期（注 4）
	—	1	—	—	—	—	BCLK 的 2 个周期（注 4）
内部 RAM、ROM	—	—	0	—	—	没有	BCLK 的 1 个周期（注 3）
	—	—	1	—	—	1 个等待	BCLK 的 2 个周期
外部区域	独立总线	—	0	1	00b	没有	BCLK 的 1 个周期（读）
			—	—	0	1 个等待	BCLK 的 2 个周期（写）
		—	—	0	00b	1 个等待	BCLK 的 2 个周期（注 3）
		—	—	0	01b	2 个等待	BCLK 的 3 个周期
		—	—	0	10b	3 个等待	BCLK 的 4 个周期
		—	1	0	00b	1 个等待	BCLK 的 2 个周期
	多路复用总线（注 2）	—	—	0	00b	1 个等待	BCLK 的 3 个周期
		—	—	0	01b	2 个等待	BCLK 的 3 个周期
		—	—	0	10b	3 个等待	BCLK 的 4 个周期
		—	1	0	00b	1 个等待	BCLK 的 3 个周期

注 1. 在使用 $\overline{\text{RDY}}$ 信号时，必须清 “0”（有等待）。

注 2. 在多路复用总线模式存取时，必须将 CS0W ~ CS3W 的相应位清 “0”（有等待）。

注 3. 因为在复位后 PM17 位为 “0”（没有等待）、CS0W ~ CS3W 位全为 “0”（有等待）、CSE 寄存器为 “00h”（CS0 ~ CS3 为 1 个等待），所以内部 RAM 和内部 ROM 没有等待，所有外部区域为 1 个等待。

注 4. CPU 时钟为 PLL 时钟时，能通过 PM2 寄存器的 PM20 位更改等待数。如果将 PLL 时钟设定为大于等于 16MHz，必须将 PM20 位清 “0”（2 个等待）。

注 5. 在 PM17 位为 “1” 并且存取外部区域时，必须将 CSR 寄存器的 CSiW 位（i=0 ~ 3）清 “0”（有等待）。

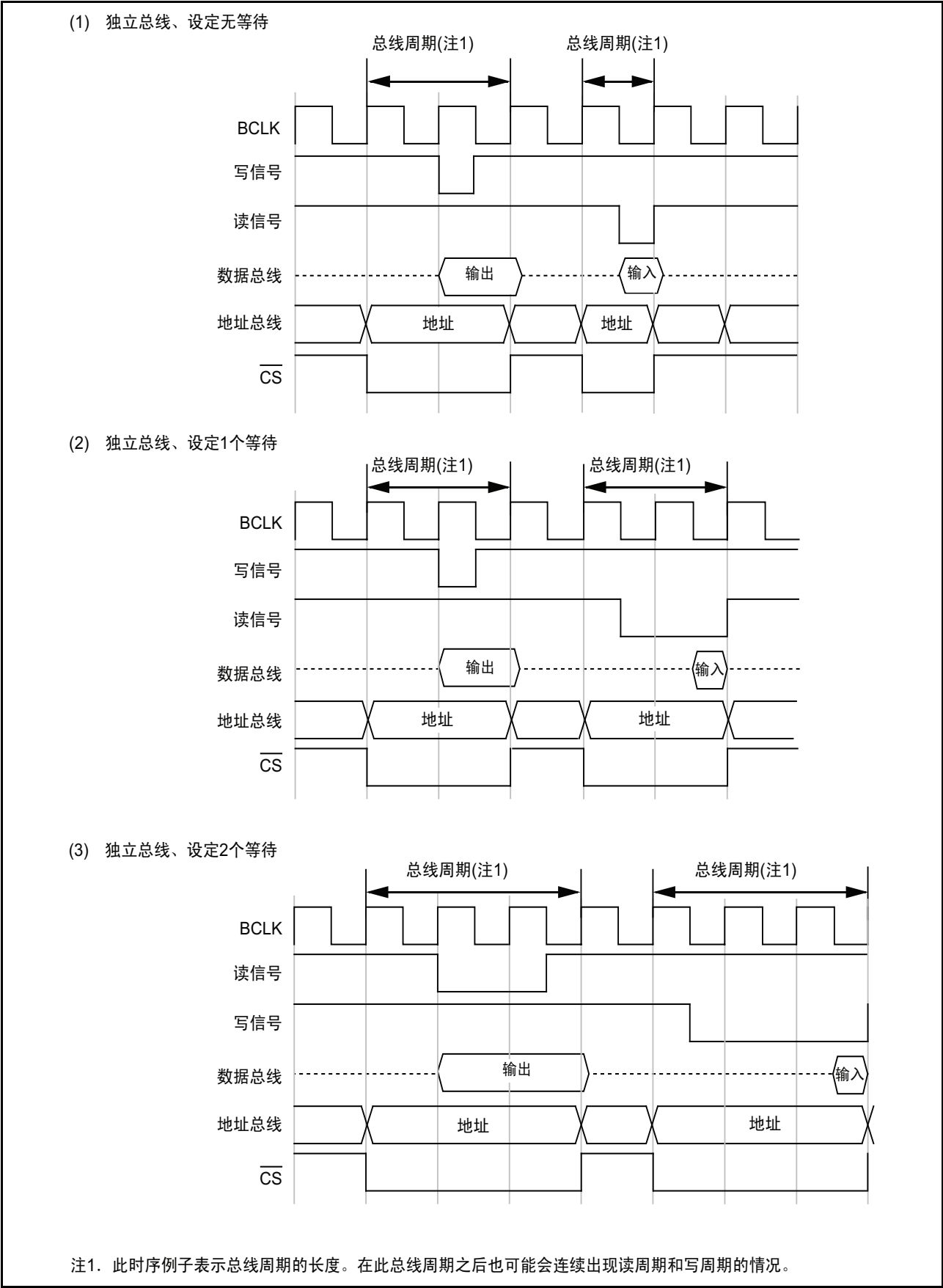


图 8.7 使用软件等待时的总线时序例子 (1)

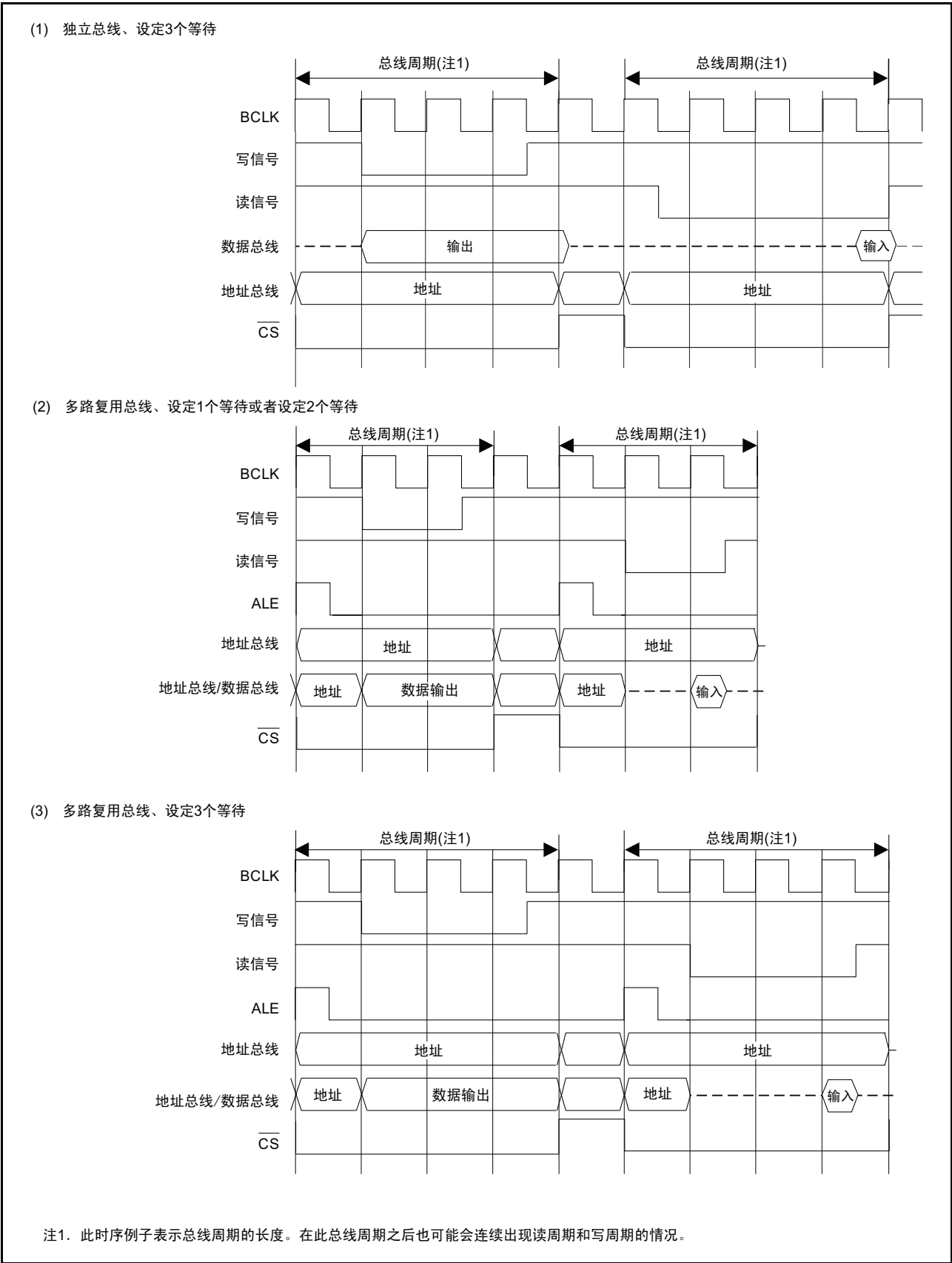


图 8.8 使用软件等待时的总线时序例子（2）

9. 时钟产生电路

9.1 时钟产生电路的种类

时钟产生电路内置 4 种电路：

- 主时钟振荡电路
- 副时钟振荡电路
- 内部振荡器
- PLL 频率合成器

时钟产生电路的概要规格如表 9.1 所示，系统时钟产生电路的框图如图 9.1 所示，时钟相关的寄存器如图 9.2 ～图 9.8 所示。

表 9.1 时钟产生电路的概要规格

项目	主时钟振荡电路	副时钟振荡电路	内部振荡器	PLL 频率合成器
用途	• CPU 的时钟源 • 外围功能的时钟源	• CPU 的时钟源 • 定时器 A、B 的时钟源	• CPU 的时钟源 • 外围功能的时钟源 • 主时钟停止振荡时的 CPU 和外围功能的时钟源	• CPU 的时钟源 • 外围功能的时钟源
时钟频率	0 ～ 16MHz	32.768kHz	约 1MHz	16MHz、20MHz、24MHz（注 1）
可连接的振荡器	• 陶瓷谐振器 • 晶体振荡器	晶体振荡器	—	—
振荡器的连接引脚	XIN、XOUT	XCIN、XCOUT	—	—
振荡停止、重新振荡检测功能	有	有	有	有
复位后的状态	振荡	停止	停止	停止
其它	能输入外部生成的时钟		—	—

注 1. 24MHz 仅限 Normal-ver. 中使用。

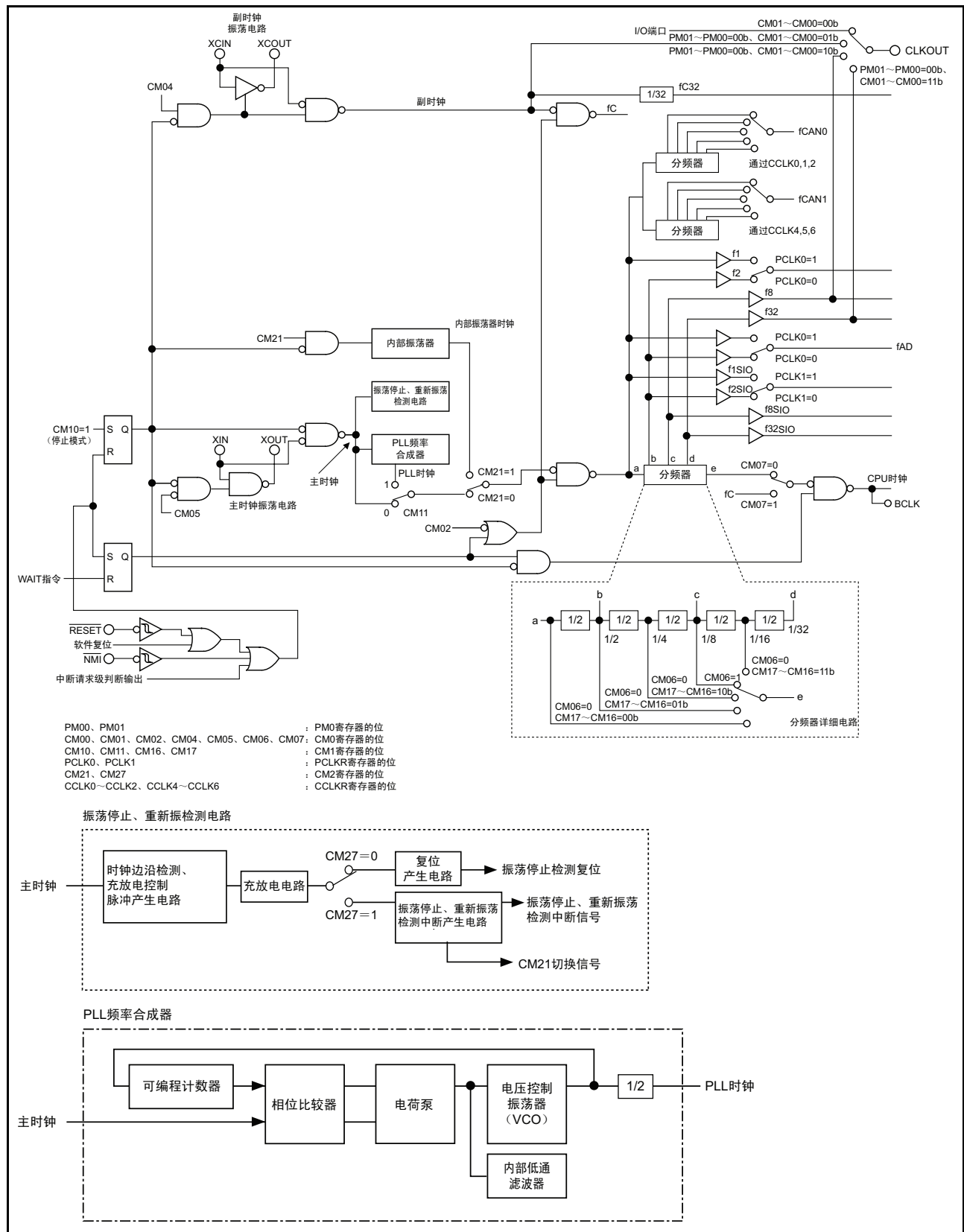


图 9.1 系统时钟产生电路的框图



图 9.2 CM0 寄存器



图 9.3 CM1 寄存器



图 9.4 CM2 寄存器

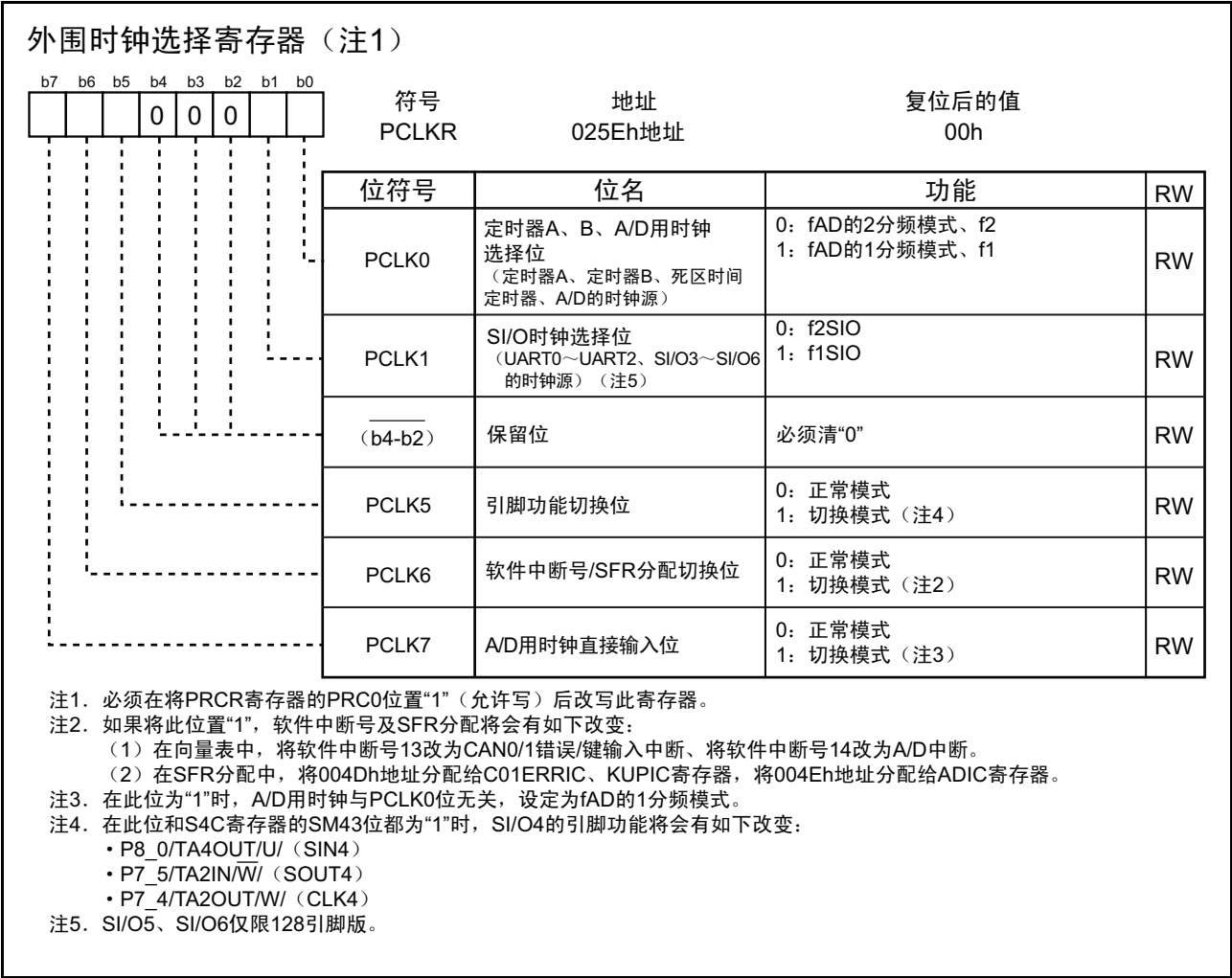


图 9.5 PCLKR 寄存器

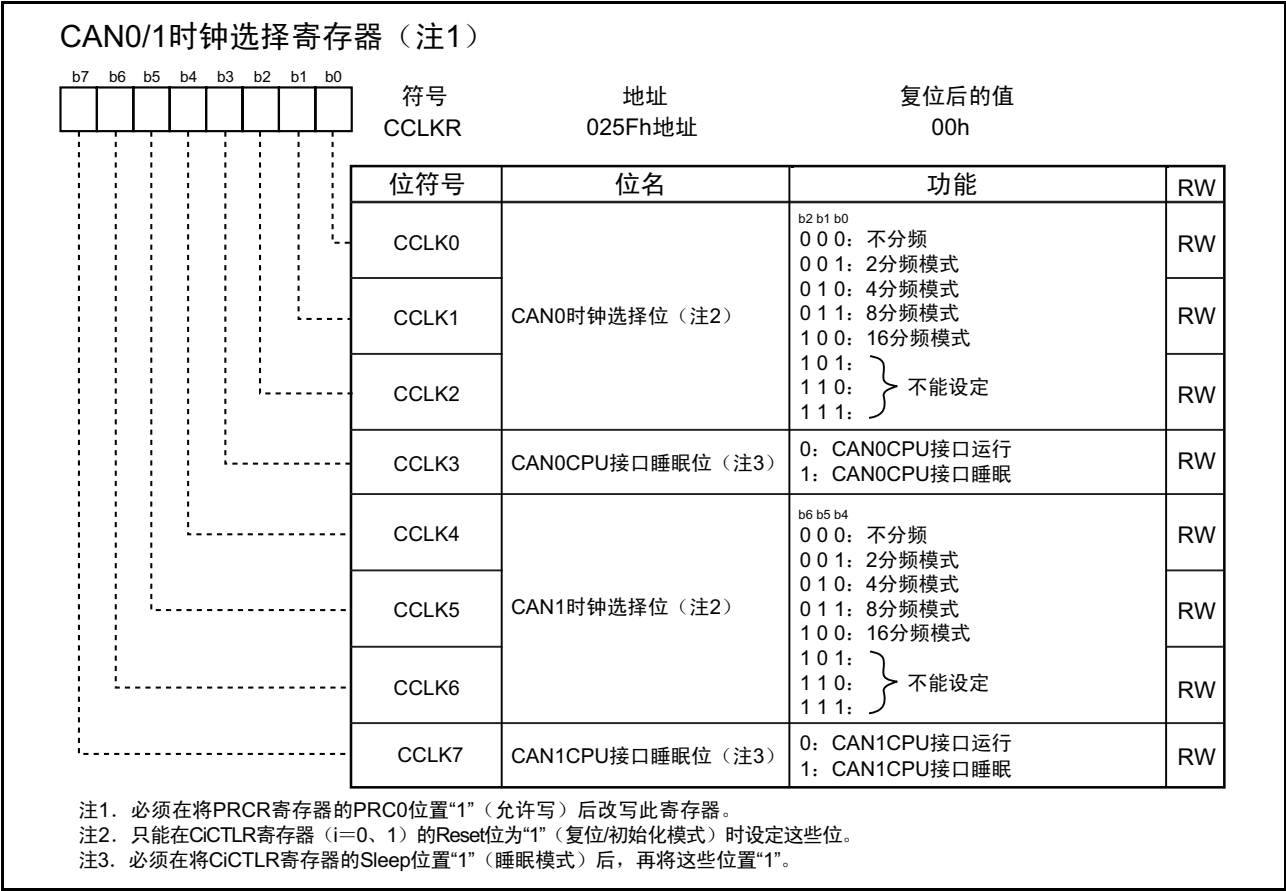


图 9.6 CCLKR 寄存器

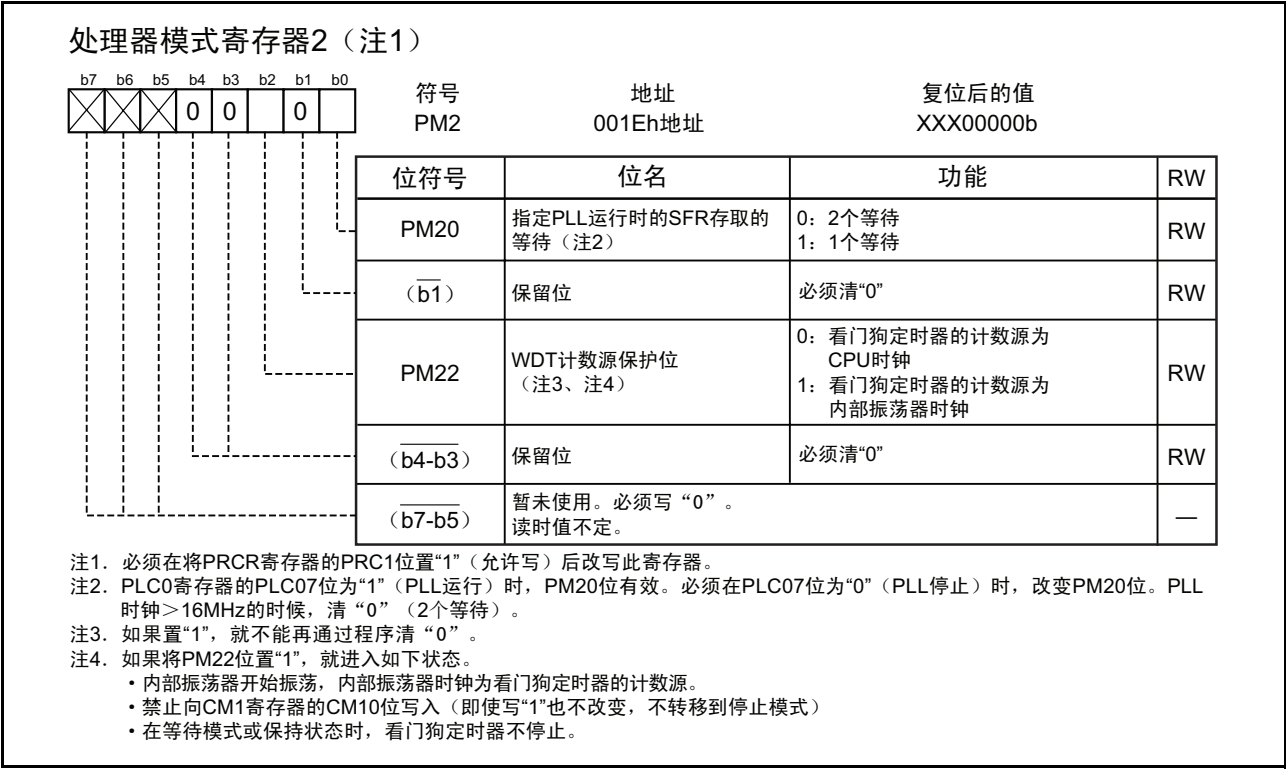


图 9.7 PM2 寄存器

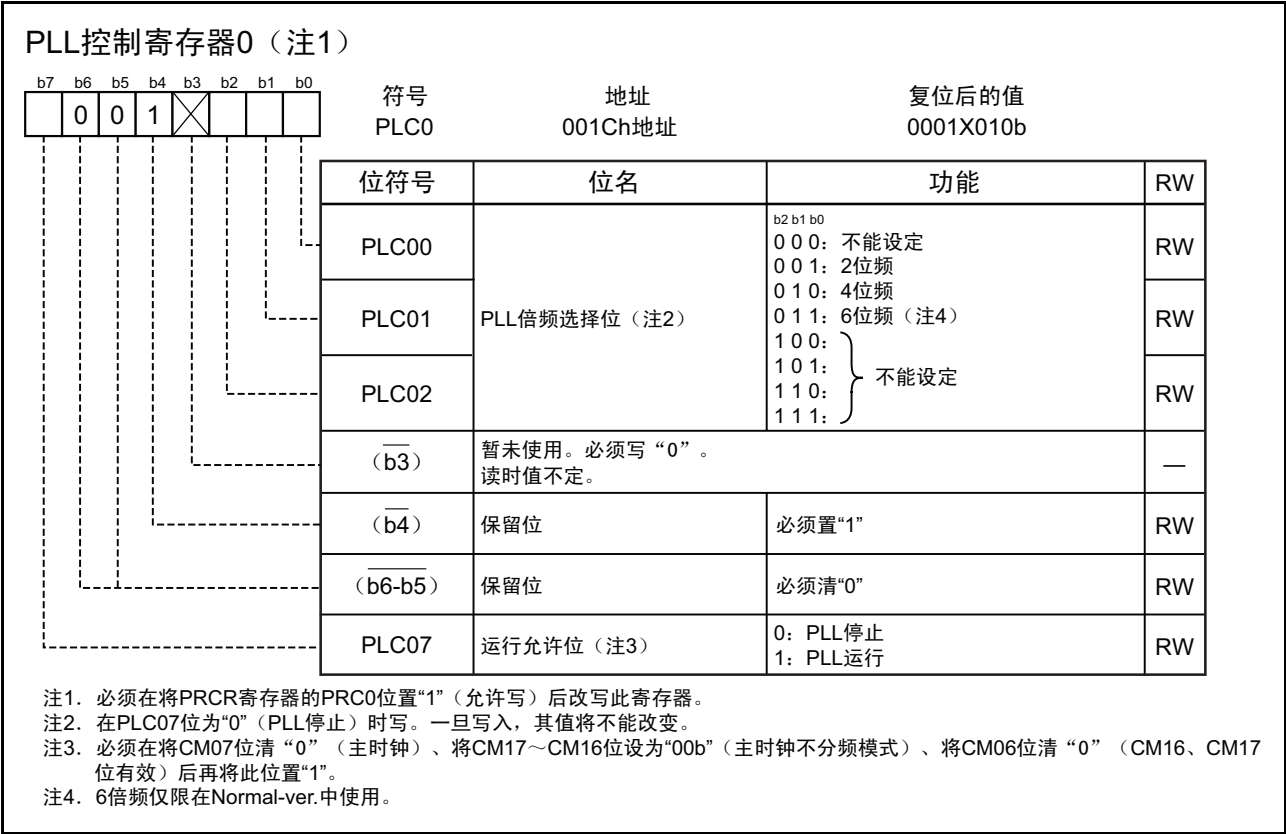


图 9.8 PLC0 寄存器

以下按顺序说明时钟产生电路产生的时钟。

9.1.1 主时钟

主时钟是由主时钟振荡电路供给的时钟，为 CPU 时钟和外围功能时钟的时钟源。

主时钟振荡电路通过在 XIN-XOUT 引脚之间连接谐振器构成振荡电路。主时钟振荡电路内置反馈电阻，为了在停止模式降低功耗，将反馈电阻从振荡电路分开。主时钟振荡电路也可以将外部生成的时钟输入到 XIN 引脚。主时钟连接电路的例子如图 9.9 所示。

复位后，主时钟的 8 分频时钟为 CPU 时钟。

在将 CPU 时钟的时钟源切换为副时钟或者内部振荡器时钟后，如果将 CM0 寄存器的 CM05 位置“1”（主时钟振荡电路的振荡停止），就能降低功耗，此时 XOUT 变为“H”电平。另外，因为内置的反馈电阻一直处于 ON 状态，所以 XIN 经过反馈电阻被上拉到 XOUT 的状态。而且，将外部生成的时钟输入到 XIN 引脚时，即使将 CM05 位置“1”，只要不将副时钟选择为 CPU 时钟源，主时钟就不停止，所以必要时须在外部停止时钟。

在停止模式时，包括主时钟在内的所有时钟都停止。详细内容请参照“9.4 功耗控制”。

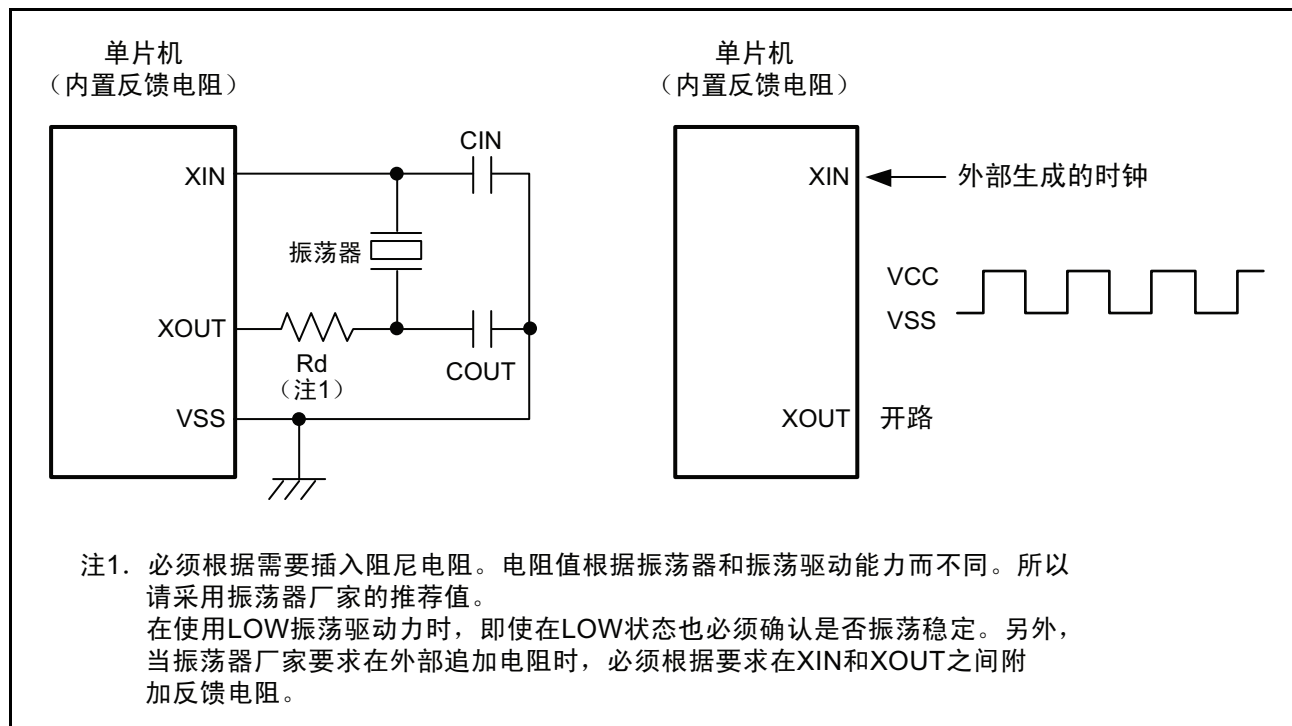


图 9.9 主时钟连接电路的例子

9.1.2 副时钟

副时钟是由副时钟振荡电路供给的时钟，为 CPU 时钟、定时器 A、定时器 B 计数源的时钟源。而且，能从 CLKOUT 引脚输出和副时钟相同频率的 fC。

副时钟振荡电路通过连接 XCIN-XCOUT 引脚间的晶体振荡器构成振荡电路。副时钟振荡电路内置反馈电阻，为了在停止模式降低功耗，将反馈电阻从振荡电路分开。副时钟振荡电路也可以将外部生成的时钟输入到 XCIN 引脚。作为主时钟振荡电路的振荡源。副时钟连接电路的例子如图 9.10 所示。

复位后，副时钟停止。此时，反馈电阻从振荡电路分开。

在副时钟的振荡稳定后，如果将 CM0 寄存器的 CM07 位置“1”（副时钟），副时钟就为 CPU 时钟。

在停止模式时，包括副时钟的所有时钟都停止。详细内容请参照“9.4 功耗控制”。

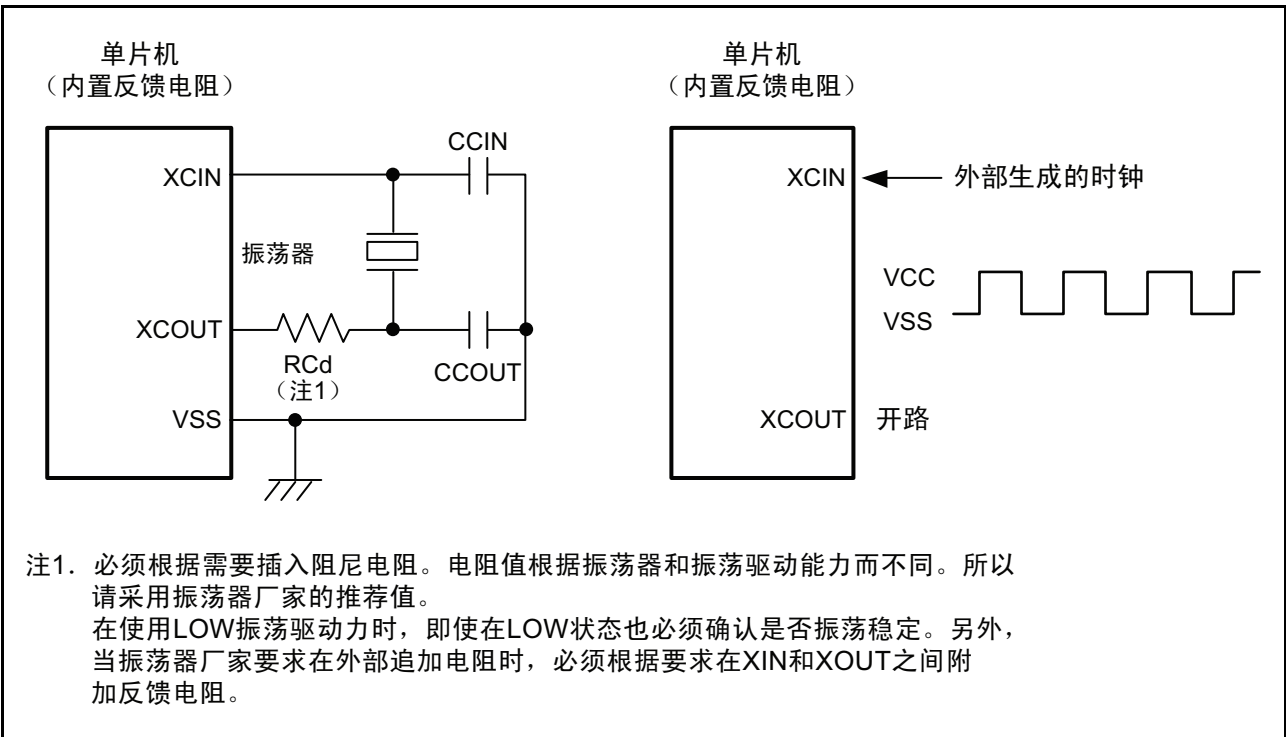


图 9.10 副时钟连接电路的例子

9.1.3 内部振荡器时钟

内部振荡器时钟是由内部振荡器供给的约 1MHz 的时钟，为 CPU 时钟和外围功能时钟的时钟源。另外，在 PM2 寄存器的 PM22 位为“1”（看门狗定时器的计数源为内部振荡器时钟）时，成为看门狗定时器的计数源（请参照“12.1 看门狗定时器 计数源保护模式”）。

复位后，内部振荡器停止。如果将 CM2 寄存器的 CM21 位置“1”（内部振荡器时钟），内部振荡器便开始振荡，并取代主时钟成为 CPU 时钟和外围功能的时钟源。另外，如果 CM2 寄存器的 CM20 位为“1”（振荡停止、重新振荡检测功能有效）并且 CM27 位为“1”（振荡停止、重新振荡检测功能中断），则当主时钟停止时内部振荡器自动开始运行并供给时钟。

9.1.4 PLL 时钟

PLL 时钟是 PLL 频率合成器生成的时钟，为 CPU 时钟和外围功能时钟的时钟源。复位后，PLL 频率合成器停止。如果将 PLC07 位置“1”（PLL 运行），PLL 频率合成器就开始运行。将 PLL 时钟置为 CPU 时钟的时钟源时，必须在 PLL 时钟稳定之前，等待 t_{su} （PLL）后，将 CM1 寄存器的 CM11 位置“1”。

向等待模式或者停止模式转移时，必须将 CM11 位清“0”（CPU 的时钟源为主时钟）。而且，必须在将 PLC0 寄存器的 PLC07 位清“0”（PLL 停止）后再转移到停止模式。将 PLL 时钟置为 CPU 时钟源的步骤如图 9.11 所示。

PLL 时钟频率如下所示。PLL 时钟频率大于等于 16MHz 时，必须将 PM2 寄存器的 PM20 位清“0”（2 个等待）。

PLL 时钟频率 = $f(XIN) \times$ （由 PLC0 寄存器的 PLC02 ~ PLC00 位设定的倍频）
（但是，PLL 时钟频率 = 16MHz、20MHz、24MHz（注 1））。

注 1. 24MHz 仅限 Normal-ver. 中使用

复位后，只能对 PLC02 ~ PLC00 位设定 1 次。PLL 时钟频率的设定例子如表 9.2 所示。

表 9.2 PLL 时钟频率的设定例子

XIN (MHz)	PLC02	PLC01	PLC00	倍频	PLL 时钟 (MHz) (注 1)
8	0	0	1	2	16
4	0	1	0	4	
10	0	0	1	2	20
5	0	1	0	4	
12	0	0	1	2	24 (注 2)
6	0	1	0	4	
4	0	1	1	6 (注 3)	

注 1. PLL 时钟频率 = 16MHz、20MHz、24MHz。

注 2. 24MHz 仅限 Normal-ver. 中使用。

注 3. 6 倍频仅限 Normal-ver. 中使用



图 9.11 将 PLL 时钟置为 CPU 时钟源的步骤

9.2 CPU 时钟和外围功能时钟

两种时钟：CPU 运行的 CPU 时钟和使外围功能运行的外围功能时钟。

9.2.1 CPU 时钟和 BCLK

CPU 时钟是 CPU 和看门狗定时器的运行时钟。

CPU 时钟的时钟源可选择主时钟、副时钟、内部振荡器时钟或者 PLL 时钟。

作为 CPU 时钟的时钟源，如果选择主时钟或者内部振荡器时钟，CPU 时钟就为所选时钟的 1 分频（无分频）、2、4、8 或者 16 分频时钟。能通过 CM0 寄存器的 CM06 位和 CM1 寄存器的 CM17 ~ CM16 位选择分频。

在将 PLL 时钟选择为 CPU 时钟的时钟源时，必须将 CM06 位清“0”并且将 CM17 ~ CM16 位置“00b”（无分频）。

复位后，主时钟的 8 分频时钟为 CPU 时钟。

在存储器扩展模式及微处理器模式时（注 1），一旦将 PM0 寄存器的 PM07 位清“0”（输出），就能从 BCLK 引脚输出与 CPU 时钟相同频率的 BCLK 信号。

另外，在从高速模式、中速模式、内部振荡器模式、内部振荡器低功耗模式转移到停止模式时，或者在低速模式中将 CM0 寄存器的 CM05 位置“1”（停止）后，CM0 寄存器的 CM06 位为“1”（8 分频模式）。

注 1. 在 T/V-ver. 中，不能使用存储器扩展模式和微处理器模式。

9.2.2 外围功能时钟（f₁、f₂、f₈、f₃₂、f_{1SIO}、f_{2SIO}、f_{8SIO}、f_{32SIO}、f_{AD}、f_{CAN0}、f_{CAN1}、f_{C32}）

外围功能时钟是外围功能的运行时钟。

f_i（i=1、2、8、32）和 f_{iSIO} 是将主时钟、PLL 时钟或者内部振荡器时钟进行 i 分频后的时钟。f_i 用于定时器 A 和定时器 B，f_{iSIO} 用于串行 I/O。f₈ 和 f₃₂ 能从 CLKOUT 引脚输出。

f_{AD} 将主时钟、PLL 时钟或者内部振荡器时钟作为时钟源，用于 A/D 转换器。

f_{CAN0}、f_{CAN1} 为将主时钟、PLL 时钟或内部振荡器时钟进行 1 分频（无分频）、2、4、8 或 16 分频后的 CAN0/1 的专用时钟。

在将 CM0 寄存器的 CM02 位置“1”（在等待模式时停止外围功能时钟）后执行 WAIT 指令时或者在低功耗模式时，f_i、f_{iSIO}、f_{AD}、f_{CAN0}、f_{CAN1} 停止运行（注 1）。

f_{C32} 将副时钟作为时钟源，用于定时器 A 和定时器 B。副时钟工作时能使用 f_{C32}。

注 1. f_{CAN0}、f_{CAN1} 的时钟在 CAN0/1 的睡眠模式的“H”状态下停止。

9.3 时钟输出功能

在单芯片模式时，能从 CLKOUT 引脚输出 f₈、f₃₂ 或者 f_C。必须通过 CM0 寄存器的 CM01 ~ CM00 位选择时钟的输出。

9.4 功耗控制

功耗控制有 3 种模式。为了方便起见，在此将等待模式和停止模式以外的状态称为正常运行模式。

9.4.1 正常运行模式

正常运行模式又分为 7 种模式。

因为在正常运行模式中同时供给 CPU 时钟和外围功能时钟，所以 CPU 和外围功能都运行。通过控制 CPU 时钟频率进行功耗控制。频率越高处理能力就越强，频率越低功耗就越小。另外，如果停止不需要的振荡电路，功耗就会更小。

在切换 CPU 时钟的时钟源时，切换的目标时钟必需处于稳定振荡。切换的目标时钟为主时钟、副时钟、PLL 时钟时，必须在程序中等待足够的时间让振荡稳定。

而且，不能从低速模式或者低功耗模式切换到内部振荡器模式或者内部振荡器低功耗模式。同样也不能从内部振荡器模式或者内部振荡器低功耗模式切换到低速模式或者低功耗模式。

如果将 CPU 时钟的时钟源从内部振荡器时钟切换为主时钟，就必须在内部振荡器模式将主时钟 8 分频 (CM0 寄存器的 CM06 位 = 1) 后切换到中速模式 (8 分频)。

9.4.1.1 高速模式

主时钟的 1 分频时钟为 CPU 时钟。在供给副时钟的情况下，fC32 能用于定时器 A 和定时器 B 的计数源。

9.4.1.2 PLL 运行模式

主时钟的 2 倍频、4 倍频或者 6 倍频 (注 1) 为 PLL 时钟，PLL 时钟为 CPU 时钟。在供给副时钟的情况下，fC32 能作为定时器 A 和定时器 B 的计数源使用。能从高速模式转移到 PLL 运行模式。在转移到等待模式或者停止模式时，必须在转移到高速模式之后进行。

注 1. 6 倍频仅限 Normal-ver. 中使用。

9.4.1.3 中速模式

主时钟的 2 分频、4 分频、8 分频或者 16 分频时钟为 CPU 时钟。在供给副时钟的情况下，fC32 能用于定时器 A 和定时器 B 的计数源。

9.4.1.4 低速模式

副时钟为 CPU 时钟。外围功能时钟的时钟源在 CM21 位 = “0” (内部振荡器停止) 时为主时钟，在 CM21 位 = “1” (内部振荡器振荡) 时为内部振荡器时钟。

fC32 能用于定时器 A 和定时器 B 的计数源。

9.4.1.5 低功耗模式

在低速模式下，使主时钟处于停止状态。副时钟为 CPU 时钟，fC32 能用于定时器 A 和定时器 B 的计数源。

在转移到此模式的同时，CM0 寄存器的 CM06 位变为 “1” (8 分频模式)。在低功耗模式，不能更改 CM06 位，因此在下次主时钟运行时变为中速模式 (8 分频)。

9.4.1.6 内部振荡器模式

内部振荡器时钟的 1 分频（无分频）、2、4、8 或者 16 分频为 CPU 时钟。另外，内部振荡器时钟为外围功能时钟的时钟源。在供给副时钟的情况下，fC32 能用于定时器 A 和定时器 B 的计数源。在返回高速、中速模式时，必须将 CM06 位置“1”（8 分频模式）。

9.4.1.7 内部振荡器低功耗模式

在内部振荡器模式下，使主时钟处于停止状态。和内部振荡器模式一样，能选择 CPU 时钟。内部振荡器时钟为外围功能时钟的时钟源。在供给副时钟的情况下，fC32 能用于定时器 A 和定时器 B 的计数源。

时钟相关位的设定和模式如表 9.3 所示。

表 9.3 时钟相关位的设定和模式

模式		CM2 寄存器	CM1 寄存器		CM0 寄存器			
		CM21	CM11	CM17、CM16	CM07	CM06	CM05	CM04
PLL 运行模式		0	1	00b	0	0	0	—
高速模式		0	0	00b	0	0	0	—
中速模式	2 分频	0	0	01b	0	0	0	—
	4 分频	0	0	10b	0	0	0	—
	8 分频	0	0	—	0	1	0	—
	16 分频	0	0	11b	0	0	0	—
低速模式		—	0	—	1	—	0	1
低功耗模式		0	0	—	1	1（注 1）	1（注 1）	1
内部振荡器模式	无分频	1	0	00b	0	0	0	—
	2 分频	1	0	01b	0	0	0	—
	4 分频	1	0	10b	0	0	0	—
	8 分频	1	0	—	0	1	0	—
	16 分频	1	0	11b	0	0	0	—
内部振荡器低功耗模式		1	0	（注 2）	0	（注 2）	1	—

—: “0” 或 “1”

注 1. 如果在低速模式中将 CM05 位置“1”（主时钟停止），就变为低功耗模式。同时，CM06 位变为“1”（8 分频模式）。

注 2. 内部振荡器低功耗模式和内部振荡器模式一样，能选择分频值。

9.4.2 等待模式

因为在等待模式中 CPU 时钟停止，所以用 CPU 时钟运行的 CPU 和看门狗定时器停止运行。但是，在 PM2 寄存器的 PM22 位为“1”（看门狗定时器的计数源为内部振荡器时钟）时，看门狗定时器运行。因为主时钟、副时钟、内部振荡器时钟不停止，所以使用这些时钟的外围功能保持运行状态。

9.4.2.1 外围功能时钟停止功能

在 CM02 位为“1”（在等待模式时停止外围功能时钟）时，因为在等待模式时 f1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fAD、fCAN0、fCAN1 处于停止状态，所以能降低功耗。fC32 不停止。

9.4.2.2 进入等待模式

一旦执行 WAIT 指令，就转移到等待模式。

在 CM11 位为“1”（CPU 时钟的时钟源为 PLL 时钟）时，必须在将 CM11 位清“0”（CPU 时钟的时钟源为主时钟）后转移到等待模式。如果将 PLC07 位清“0”（PLL 停止），就能降低功耗。

9.4.2.3 等待模式时的引脚状态

等待模式时的引脚状态如表 9.4 所示。

表 9.4 等待模式时的引脚状态

引 脚		存储器扩展模式 微处理器模式（注 1）	单芯片模式
A0 ~ A19、D0 ~ D15、 CS0 ~ CS3、BHE（注 2）		保持即将进入等待模式前的状态	不变为总线控制引脚
RD、WR、WRL、WRH（注 2）		“H”	
HLDA、BCLK（注 2）		“H”	
ALE（注 2）		“L”	
I/O 端口		保持即将进入等待模式前的状态	保持即将进入等待模式前的状态
CLKOUT	选择 fC 时	不变为 CLKOUT 引脚	不停止
	选择 f8、f32 时		• CM02 位 = 0: 不停止 • CM02 位 = 1: 保持即将进入等待模式前的状态

注 1. 在 T/V-ver. 中，不能使用存储器扩展模式、微处理器模式。

注 2. 在 T/V-ver. 中，不能使用总线控制引脚。

9.4.2.4 从等待模式的返回

通过硬件复位、NMI 中断或者外围功能中断，从等待模式返回。

在通过硬件复位或者 NMI 中断返回时，必须在将外围功能中断的 ILVL2 ~ ILVL0 位置“000b”（中断禁止）后执行 WAIT 指令。

外围功能中断受 CM02 位的影响。在 CM02 位为“0”（在等待模式中不停止外围功能时钟）时，外围功能中断能用于从等待模式的返回。在 CM02 位为“1”（在等待模式中停止外围功能时钟）时，因为使用外围功能时钟的外围功能处于停止状态，所以根据外部信号运行的外围功能中断能用于从等待模式的返回。

能用于从等待模式返回的中断和使用条件如表 9.5 所示。

表 9.5 能用于从等待模式返回的中断和使用条件

中断	CM02=0	CM02=1
$\overline{\text{NMI}}$ 中断	可使用	可使用
串行接口中断	可用于内部时钟和外部时钟	可用于外部时钟
键输入中断	可使用	可使用
A/D 转换中断	可用于单次模式或者单次扫描模式	不能使用
定时器 A 中断 定时器 B 中断	可用于所有模式	在事件计数器模式或者计数源为 fC32 时 可使用
$\overline{\text{INT}}$ 中断	可使用	可使用
CAN0/1 唤醒中断	可用于 CAN 睡眠模式	可用于 CAN 睡眠模式

在使用外围功能中断从等待模式返回时，必须在执行 WAIT 指令前进行如下设定：

- （1）对用于从等待模式返回的外围功能中断的中断控制寄存器的 ILVL2 ~ ILVL0 位设定中断优先级。而对不用于从等待模式返回的其它全部外围功能中断的中断控制寄存器的 ILVL2 ~ ILVL0 位置“000b”（中断禁止）。
- （2）I 标志置“1”。
- （3）运行用于从等待模式返回的外围功能。

在通过外围功能中断返回时，一旦产生中断请求并且 CPU 时钟开始供给，就执行中断程序。

通过外围功能中断从等待模式返回后的 CPU 时钟与执行 WAIT 指令时的 CPU 时钟相同。

9.4.3 停止模式

在停止模式中，停止所有振荡。因此，CPU 时钟和外围功能时钟也停止，使用这些时钟运行的 CPU 和外围功能也停止。它是功耗最小的模式。而且，当 VCC 引脚的外加电压大于等于 V_{RAM} 时，内部 RAM 处于保持状态。

另外，根据外部信号运行的外围功能保持运行状态。

能用于从停止模式返回的中断和使用条件如表 9.6 所示。

表 9.6 能用于从停止模式返回的中断和使用条件

中断	条件
NMI 中断	可使用
键输入中断	可使用
INT 中断	可使用
定时器 A 中断 定时器 B 中断	在事件计数器模式中对外部脉冲计数时可使用
串行接口中断	在选择外部时钟时可使用
CAN0/1 唤醒中断	在 CAN 睡眠模式时可使用

9.4.3.1 进入停止模式

一旦将 CM1 寄存器的 CM10 位置“1”（全部时钟停止），就进入停止模式。同时，CM0 寄存器的 CM06 位变为“1”（8 分频模式），CM1 寄存器的 CM15 位变为“1”（主时钟振荡电路的驱动能力 HIGH）。

在进入停止模式前，必须将 CM20 位清“0”（振荡停止、重新振荡检测功能无效）。

另外，在 CM11 位为“1”（CPU 时钟的时钟源为 PLL 时钟）时，必须在将 CM11 位清“0”（CPU 时钟的时钟源为主时钟）以及将 PLC07 位清“0”（PLL 停止）后进入停止模式。

9.4.3.2 停止模式时的引脚状态

停止模式时的引脚状态如表 9.7 所示。

表 9.7 停止模式时的引脚状态

引 脚		存储器扩展模式 微处理器模式（注 1）	单芯片模式
A0 ~ A19、D0 ~ D15、 CS0 ~ CS3、BHE（注 2）		保持即将进入停止模式前的状态	不变为总线控制引脚
RD、WR、WRL、WRH（注 2）		“H”	
HLDA、BCLK（注 2）		“H”	
ALE（注 2）		不定	
I/O 端口		保持即将进入停止模式前的状态	保持即将进入停止模式前的状态
CLKOUT	选择 fC 时	不变为 CLKOUT 引脚	“H”
	选择 f8、f32 时		保持即将进入停止模式前的状态

注 1. 在 T/V-ver. 中，不能使用存储器扩展模式、微处理器模式。

注 2. 在 T/V-ver. 中，不能使用总线控制引脚。

9.4.3.3 从停止模式的返回

通过硬件复位、 $\overline{\text{NMI}}$ 中断或者外围功能中断，从停止模式返回。

在通过硬件复位或者 $\overline{\text{NMI}}$ 中断返回时，必须在将全部外围功能中断的中断控制寄存器的 ILVL2 ~ ILVL0 位置 “000b” (中断禁止) 后将 CM10 位置 “1”。

在通过外围功能中断返回时，必须在进行如下设定后将 CM10 位置 “1”。

- (1) 对用于从停止模式返回的外围功能中断的 ILVL2 ~ ILVL0 位设定中断优先级。而对不用于从停止模式返回的其它全部外围功能中断的中断控制寄存器的 ILVL2 ~ ILVL0 位置 “000b” (中断禁止)。
- (2) I 标志置 “1”。
- (3) 运行用于从停止模式返回的外围功能。

在通过外围功能中断返回时，一旦产生中断请求并且 CPU 时钟开始供给，就执行中断程序。

根据进入停止模式前的 CPU 时钟，通过外围功能中断或者 $\overline{\text{NMI}}$ 中断从停止模式返回后的 CPU 时钟如下：

- 进入停止模式前的 CPU 时钟源为副时钟：副时钟
- 进入停止模式前的 CPU 时钟源为主时钟：主时钟的 8 分频
- 进入停止模式前的 CPU 时钟源为内部振荡器时钟：内部振荡时钟的 8 分频

从正常运行模式向停止模式、等待模式的状态转移如图 9.12 所示，正常运行模式的状态转移如图 9.13 所示。从当前状态到一个可转移的状态和设定方法如表 9.8 所示。表中的纵轴表示当前状态，横轴表示转移到一个的状态。

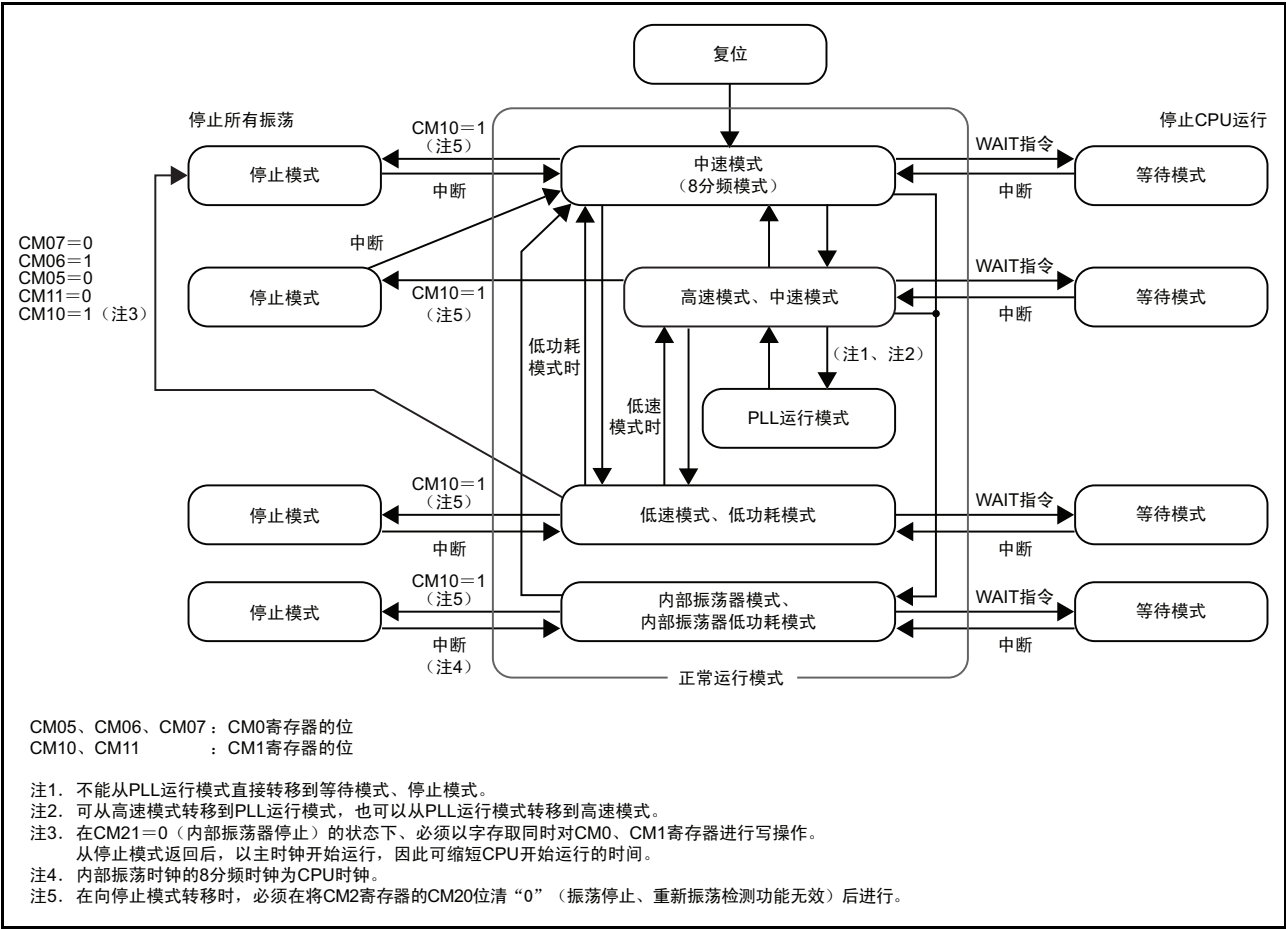


图 9.12 停止模式、等待模式的状态转移

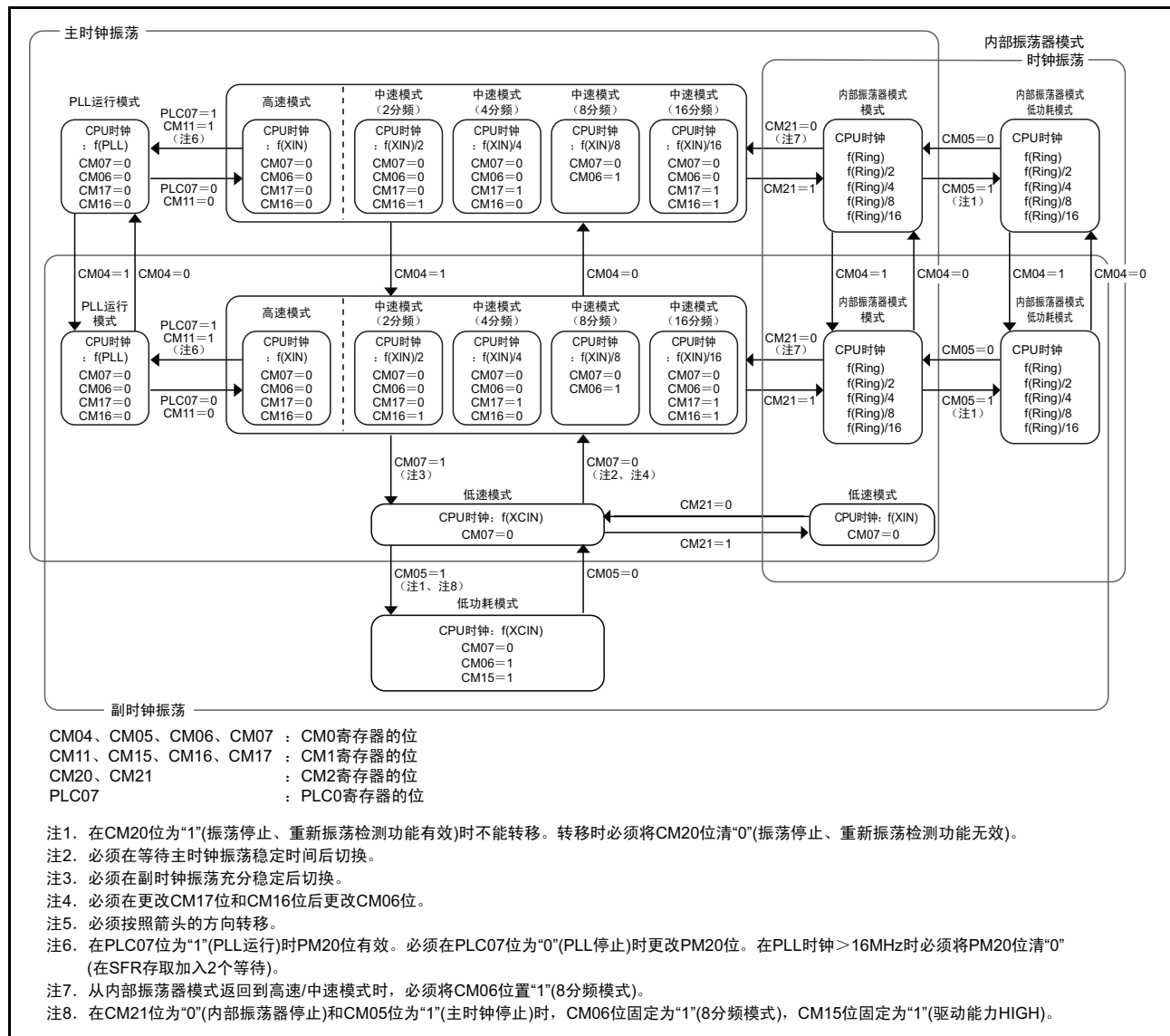


图 9.13 正常运行模式的状态转移

表 9.8 从当前状态到一个可转移的状态和设定方法 (注 9)

		下一个状态						
		高速、中速模式	低速模式 (注 2)	低功耗模式	PLL 运行模式 (注 2)	内部振荡器模式	内部振荡器低功耗模式	停止模式
当前状态	高速、中速模式	(注 8)	(9) (注 7)	—	(13) (注 3)	(15)	—	(16) (注 1)
	低速模式 (注 2)	(8)	—	(11) (注 1、6)	—	—	—	(16) (注 1)
	低功耗模式	—		—	—	—	—	(16) (注 1)
	PLL 运行模式 (注 2)	(12) (注 3)		—	—	—	—	—
	内部振荡器模式	(14) (注 4)	—	—	—	(注 8)	(11) (注 1)	(16) (注 1)
	内部振荡器低功耗模式	—	—	—	—	(10)	(注 8)	(16) (注 1)
	停止模式	(18) (注 5)	(18)	(18)	—	(18) (注 5)	(18) (注 5)	—
	等待模式	(18)	(18)	(18)	—	(18)	(18)	—

一: 不能转移

- 注 1. 在 CM20 位为 “1” (振荡停止、重新振荡检测功能有效) 时不能转移。转移时必须将 CM20 位清 “0” (振荡停止、重新振荡检测功能无效)。
- 注 2. 在低速模式，能控制内部振荡器时钟的振荡或停止。此时的内部振荡器时钟能用作外围功能时钟。在 PLL 运行模式，能控制副时钟的振荡或停止。此时的副时钟能用作外围功能时钟。
- 注 3. 向 PLL 运行模式的转移必须从高速模式进行。另外，从 PLL 运行模式必须转移到高速模式。
- 注 4. 在从内部振荡器模式转移到高速、中速模式前，必须将 CM06 位置 “1” (8 分频模式)。
- 注 5. 从停止模式返回时，CM06 位变为 “1” (8 分频模式)。
- 注 6. 如果将 CM05 位置 “1” (主时钟停止)，CM06 位就变为 “1” (8 分频模式)。
- 注 7. 能在副时钟振荡时转移。
- 注 8. 同模式内的转移 (分频的变更和副时钟振荡或停止) 如下：

		副时钟振荡					副时钟停止				
		无分频	2 分频	4 分频	8 分频	16 分频	无分频	2 分频	4 分频	8 分频	16 分频
副时钟振荡	无分频	—	(4)	(5)	(7)	(6)	(1)	—	—	—	—
	2 分频		(3)	(5)	(7)	(6)	—	(1)	—	—	—
	4 分频		(3)	(4)	(7)	(6)	—	—	(1)	—	—
	8 分频		(3)	(4)	(5)	(6)	—	—	—	(1)	—
	16 分频		(3)	(4)	(5)	(7)	—	—	—	—	(1)
副时钟停止	无分频	(2)	—	—	—	—	—	(4)	(5)	(7)	(6)
	2 分频	—	(2)	—	—	—	(3)	—	(5)	(7)	(6)
	4 分频	—	—	(2)	—	—	(3)	(4)	—	(7)	(6)
	8 分频	—	—	—	(2)	—	(3)	(4)	(5)	—	(6)
	16 分频	—	—	—	—	(2)	(3)	(4)	(5)	(7)	—

注 9. () 内为设定方法，请参照下表：

	设定内容	运行内容
(1)	CM04 = 0	副时钟停止
(2)	CM04 = 1	副时钟振荡
(3)	CM06 = 0, CM17 = 0, CM16 = 0	CPU 时钟无分频模式
(4)	CM06 = 0, CM17 = 0, CM16 = 1	CPU 时钟 2 分频模式
(5)	CM06 = 0, CM17 = 1, CM16 = 0	CPU 时钟 4 分频模式
(6)	CM06 = 0, CM17 = 1, CM16 = 1	CPU 时钟 16 分频模式
(7)	CM06 = 1	CPU 时钟 8 分频模式
(8)	CM07 = 0	选择主时钟、PLL 时钟或者内部振荡器时钟
(9)	CM07 = 1	选择副时钟
(10)	CM05 = 0	主时钟振荡
(11)	CM05 = 1	主时钟停止
(12)	PLC07 = 0, CM11 = 0	选择主时钟
(13)	PLC07 = 1, CM11 = 1	选择 PLL 时钟
(14)	CM21 = 0	选择主时钟或者 PLL 时钟
(15)	CM21 = 1	选择内部振荡器时钟
(16)	CM10 = 1	转移到停止模式
(17)	WAIT 指令	转移到等待模式
(18)	硬件中断	从停止模式、等待模式返回

CM04, CM05, CM06, CM07:CM0 寄存器的位
CM10, CM11, CM16, CM17:CM1 寄存器的位
CM20, CM21 :CM2 寄存器的位
PLC07 :PLC0 寄存器的位

9.5 振荡停止、重新振荡检测功能

振荡停止、重新振荡检测功能是检测主时钟振荡电路的停止和重新振荡的功能。在检测到振荡停止、重新振荡时，产生复位或者振荡停止、重新振荡检测中断请求。能根据 CM2 寄存器的 CM27 位选择产生复位还是中断。

可根据 CM2 寄存器的 CM20 位选择振荡停止、重新振荡检测功能是否有效。

振荡停止、重新振荡检测功能的规格如表 9.9 所示。

表 9.9 振荡停止、重新振荡检测功能的规格

项目	规格
能检测振荡停止的时钟和频率范围	$f(XIN) \geq 2\text{MHz}$
振荡停止、重新振荡检测功能的有效条件	CM20 位置 “1”（有效）
检测到振荡停止、重新振荡时的运行	- 产生复位（CM27 位 = 0） - 产生振荡停止、重新振荡检测中断（CM27 位 = 1）

9.5.1 CM27 位为 “0”（复位）时的运行

在 CM20 位为 “1”（振荡停止、重新振荡检测功能有效）时，如果检测到主时钟停止，单片机被初始化，并停止运行（有关振荡停止检测复位，请参照“5. SFR”和“6. 复位”）。

通过硬件复位解除此状态。虽然在检测到重新振荡时也能初始化单片机和停止单片机的运行，但是请不要使用这种方法（在主时钟的停止状态下，不要将 CM20 位置 “1”、CM27 位清 “0”）。

9.5.2 CM27 位为 “1”（振荡停止、重新振荡检测中断）时的运行

在主时钟为 CPU 时钟源并且 CM20 位为 “1”（振荡停止、重新振荡检测功能有效）时，一旦主时钟停止，就变为以下的状态：

- 产生振荡停止、重新振荡检测中断请求
- 内部振荡器开始振荡，内部振荡器时钟取代主时钟成为 CPU 时钟或者外围功能时钟的时钟源
- CM21 位 = 1（内部振荡器时钟为 CPU 时钟的时钟源）
- CM22 位 = 1（检测到主时钟停止）
- CM23 位 = 1（主时钟停止）

在 PLL 时钟为 CPU 时钟源并且 CM20 位为 “1” 时，一旦主时钟停止，就变为以下的状态。因为 CM21 位不变，所以必须在中断程序中将 CM21 置 “1”（内部振荡器时钟）。

- 产生振荡停止、重新振荡检测中断请求
- CM22 位 = 1（检测到主时钟停止）
- CM23 位 = 1（主时钟停止）
- CM21 位不变

在 CM20 位为 “1” 时，一旦主时钟从停止状态重新振荡，就变为以下的状态：

- 产生振荡停止、重新振荡检测中断请求
- CM22 位 = 1（检测到主时钟重新振荡）
- CM23 位 = 0（主时钟振荡）
- CM21 不变

9.5.3 振荡停止、重新振荡检测功能的使用方法

- 振荡停止、重新振荡检测中断和看门狗定时器中断复用一个中断向量地址。在使用振荡停止、重新振荡检测中断和看门狗定时器时，必须通过中断程序读取 CM22 位，判断是哪个中断源产生的中断请求。
- 如果在振荡停止后主时钟重新振荡，必须通过程序将主时钟返回到 CPU 时钟或者外围功能的时钟源。从内部振荡器时钟切换到主时钟的步骤如图 9.14 所示。
- 在发生振荡停止、重新振荡检测中断请求的同时，CM22 位变为“1”。在 CM22 位为“1”时，禁止振荡停止、重新振荡检测中断。如果通过程序将 CM22 位清“0”，就允许振荡停止、重新振荡检测中断。
- 在低速模式时，如果 CM20 位为“1”且主时钟停止，就产生振荡停止、重新振荡检测中断请求。同时，内部振荡器开始振荡。此时，CPU 时钟的时钟源仍然为副时钟，但是外围功能时钟的时钟源变为内部振荡器时钟。
- 如果在使用振荡停止、重新振荡检测功能中要转移到等待模式，就必须将 CM02 位清“0”（在等待模式时不停止外围功能时钟）。
- 因为振荡停止、重新振荡检测功能具有通过外部源停止主时钟的功能，所以在通过程序使主时钟停止或者振荡时，即在转移到停止模式或者更改 CM05 位时，必须将 CM20 位清“0”（振荡停止、重新振荡检测功能无效）。
- 如果主时钟的频率小于等于 2MHz，就不能使用此功能，所以必须将 CM20 位清“0”。

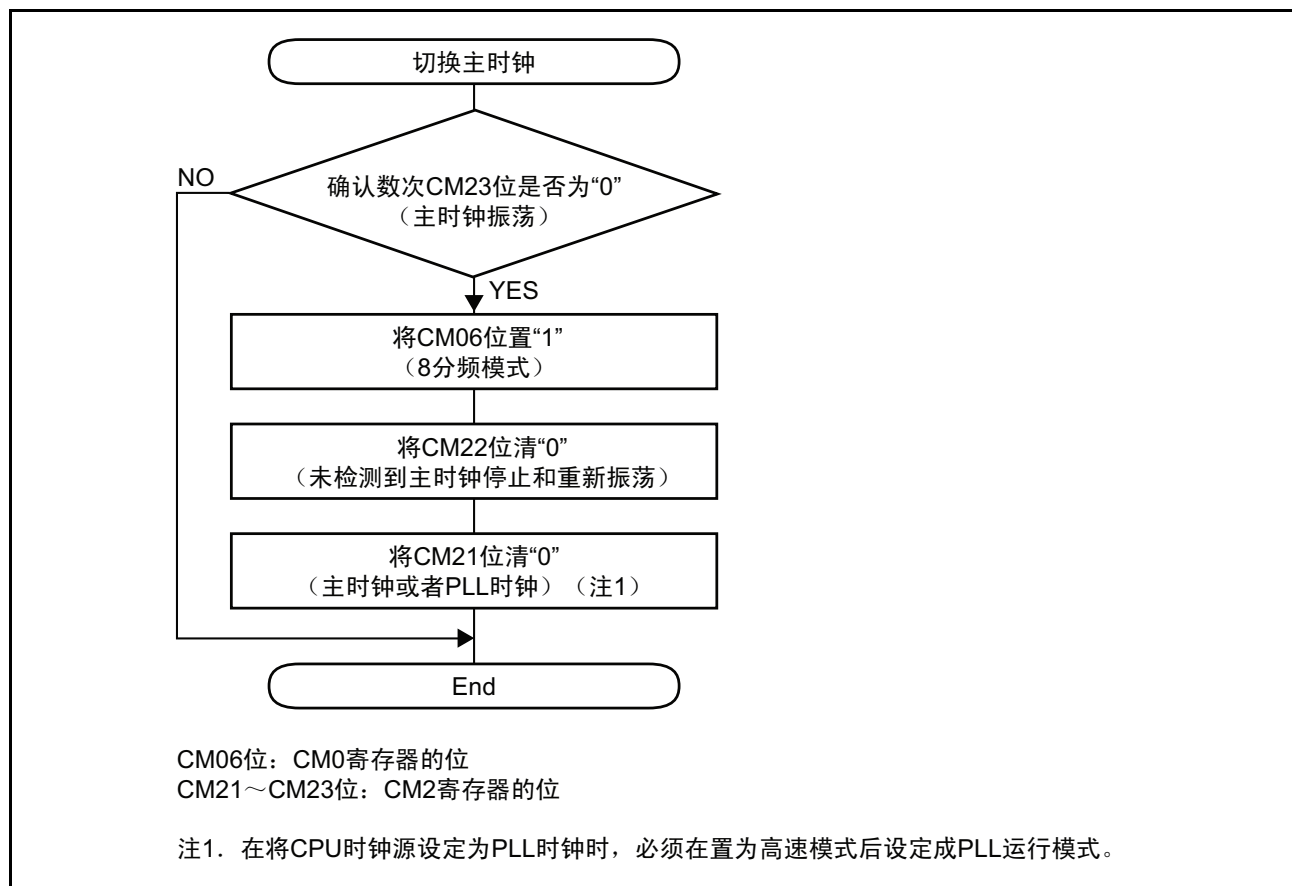


图 9.14 从内部振荡器时钟切换到主时钟的步骤

10. 保护

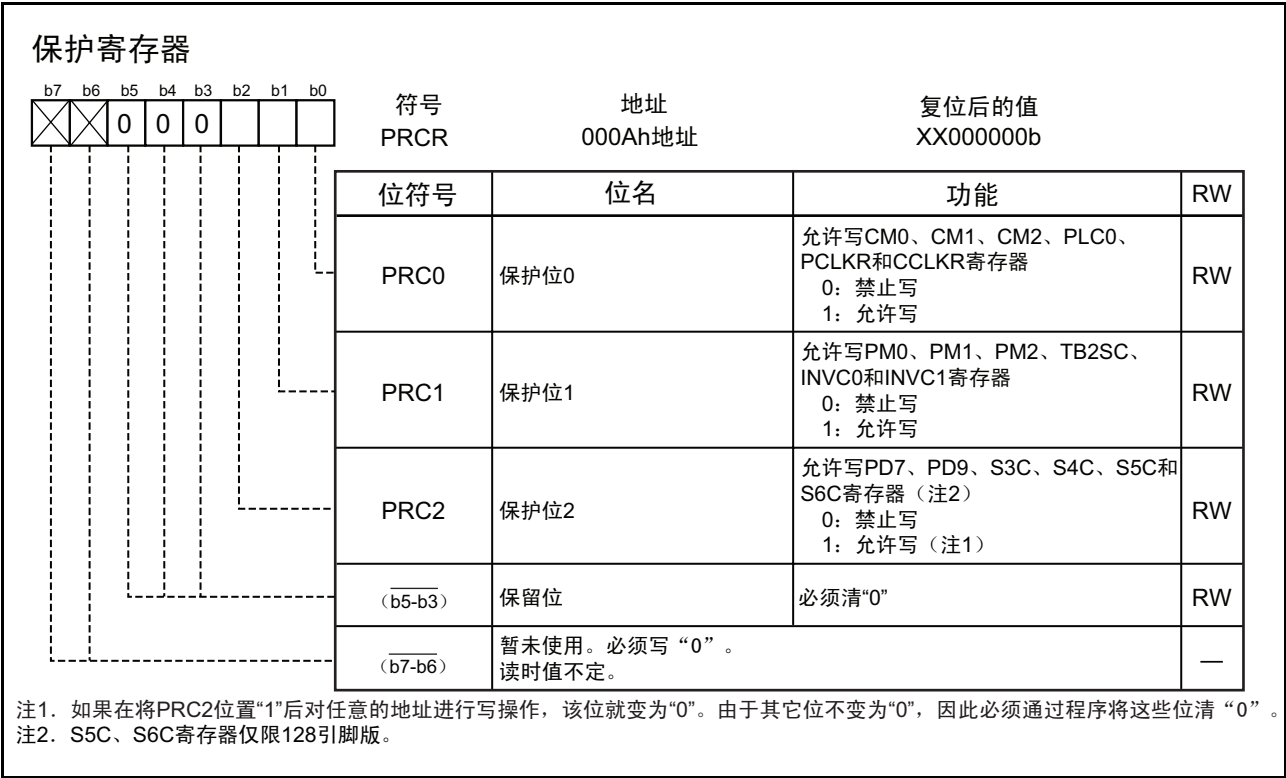
保护功能是为了在程序失控时不使重要的寄存器被轻易改写的功能。

PRCR 寄存器如图 10.1 所示。PRCR 寄存器保护的寄存器如下：

- 由 PRC0 位保护的寄存器 :CM0、CM1、CM2、PLC0、PCLKR、CCLKR 寄存器
- 由 PRC1 位保护的寄存器 :PM0、PM1、PM2、TB2SC、INVC0、INVC1 寄存器
- 由 PRC2 位保护的寄存器 :PD7、PD9、S3C、S4C、S5C、S6C 寄存器（注 1）

注 1. S5C、S6C 寄存器仅限 128 引脚版。

在将 PRC2 位置“1”(允许写状态)后可对任意的地址进行写操作，PRC2 位就变为“0”(禁止写状态)。必须在将 PRC2 位置“1”后的下一条指令更改由 PRC2 位保护的寄存器。在将 PRC2 位置“1”的指令和下一条指令之间不能进行中断和 DMA 传送。即使对任意的地址进行写操作，PRC0、PRC1 位也不会变为“0”，所以必须通过程序将 PRC0、PRC1 位清“0”。



11. 中断

11.1 中断的分类

中断的分类如图 11.1 所示。

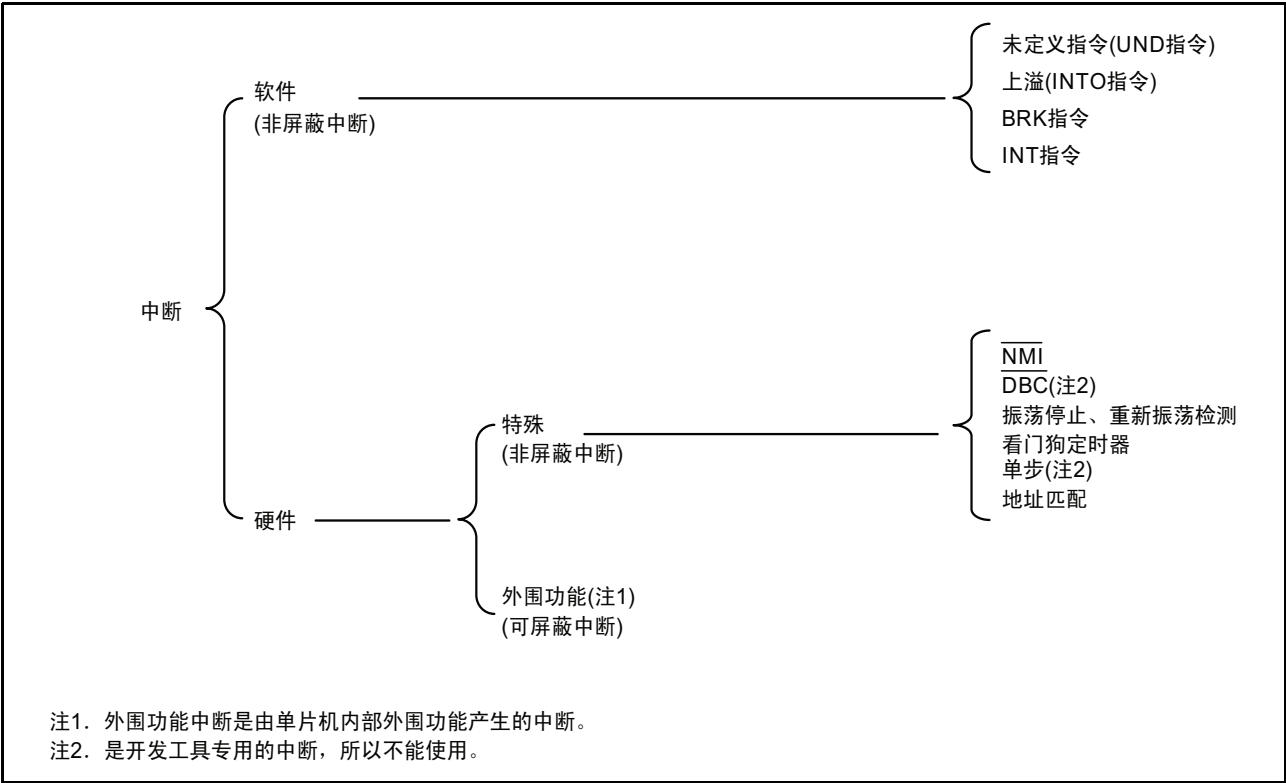


图 11.1 中断的分类

- 可屏蔽中断：能通过中断允许标志（I 标志）允许（禁止）中断或者通过中断控制寄存器更改中断控制寄存器
- 非屏蔽中断：不能通过中断允许标志（I 标志）允许（禁止）中断或者通过控制寄存器更改中断控制寄存器

11.2 软件中断

通过执行指令产生软件中断。软件中断是非屏蔽中断。

11.2.1 未定义指令中断

如果执行 UND 指令，就产生未定义指令中断。

11.2.2 上溢中断

FLG 寄存器的零标志位为“1”（运算结果上溢）时，如果执行 INTO 指令，就产生上溢中断。会影响零标志位变化的指令如下：

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

11.2.3 BRK 中断

如果执行 BRK 指令，就产生 BRK 中断。

11.2.4 INT 指令中断

如果执行 INT 指令，就产生 INT 指令中断。能用 INT 指令指定的软件中断序号为 0 ~ 63。因为软件中断序号 1 ~ 31 分配给外围功能中断，所以通过执行 INT 指令，能执行和外围功能中断一样的中断程序。

对于软件中断序号 0 ~ 31，在执行指令时将 U 标志压栈，然后在将 U 标志清“0”（选择 ISP）后执行中断响应顺序。从中断程序返回时恢复被压栈的 U 标志。对于软件中断序号 32 ~ 63，在执行指令时 U 标志不变而使用当时选择的 SP。

11.3 硬件中断

硬件中断有特殊中断和外围功能中断。

11.3.1 特殊中断

特殊中断是非屏蔽中断。

11.3.1.1 $\overline{\text{NMI}}$ 中断

如果 $\overline{\text{NMI}}$ 引脚的输入从“H”电平变为“L”电平，就发生 $\overline{\text{NMI}}$ 中断。详细内容请参照“11.7 $\overline{\text{NMI}}$ 中断”。

11.3.1.2 $\overline{\text{DBC}}$ 中断

$\overline{\text{DBC}}$ 中断是开发工具专用的中断，不能使用。

11.3.1.3 看门狗定时器中断

看门狗定时器中断是由看门狗定时器产生的中断。必须在看门狗定时器中断请求发生后初始化看门狗定时器。看门狗定时器的详细内容请参照“12. 看门狗定时器”。

11.3.1.4 振荡停止、重新振荡检测中断

振荡停止、重新振荡检测中断是由振荡停止、重新振荡检测功能产生的中断。振荡停止、重新振荡检测功能的详细内容请参照“9. 时钟产生电路”。

11.3.1.5 单步中断

单步中断是开发工具专用的中断，不能使用。

11.3.1.6 地址匹配中断

AIER 寄存器的 AIER0 位和 AIER1 位、AIER2 寄存器的 AIER20 位和 AIER21 位中的任意 1 位为“1”（允许地址匹配中断）时，在执行由对应的 RMAD0 ~ RMAD3 寄存器指向的地址的指令前产生地址匹配中断。

详细内容请参照“11.10 地址匹配中断”。

11.3.2 外围功能中断

外围功能中断是由单片机内部的外围功能产生的中断。外围功能中断是可屏蔽中断。外围功能中断的中断源请参照“表 11.2 可变量量表”。另外，外围功能的详细内容请参照各外围功能的说明。

11.4 中断和中断向量

1 个向量为 4 个字节。必须在各中断向量中设定各中断程序的起始地址。如果中断请求被接受，就转移到设定在中断向量的地址。中断向量如图 11.2 所示。

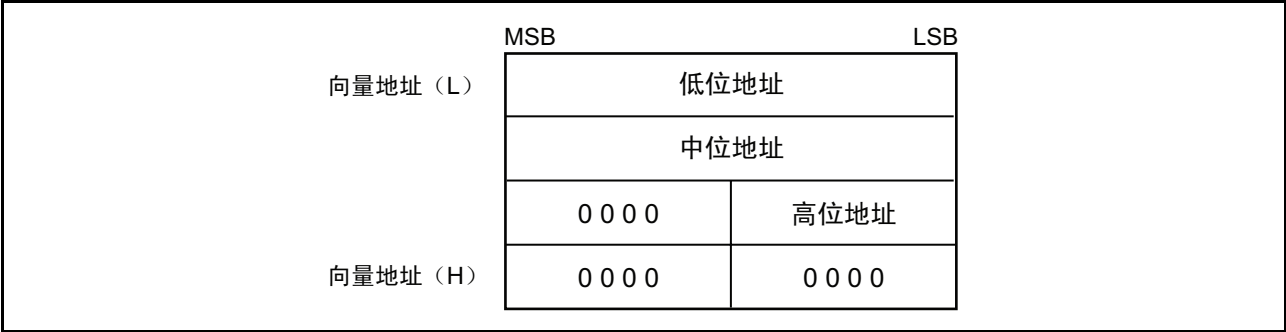


图 11.2 中断向量

11.4.1 固定向量表

固定向量表分配在 FFFDCh 地址到 FFFFFh 地址中。固定向量表如表 11.1 所示。在闪存版，固定向量的向量地址 (H) 用于 ID 码检查功能。详细内容请参照“22.2 闪存改写禁止功能”。

表 11.1 固定向量表

中断源	向量地址 地址 (L) ~ 地址 (H)	参考
未定义指令 (UND 指令)	FFFDCh ~ FFFDFh	M16C/60、M16C/20、M16C/Tiny 系列 软件手册
上溢 (INTO 指令)	FFFE0h ~ FFFE3h	
BRK 指令 (注 2)	FFFE4h ~ FFFE7h	
地址匹配	FFFE8h ~ FFFEBh	11.10 地址匹配中断
单步 (注 1)	FFFECh ~ FFFEFh	—
振荡停止、重新振荡检测 看门狗定时器	FFFF0h ~ FFFF3h	9. 时钟产生电路、 12. 看门狗定时器
$\overline{\text{DBC}}$ (注 1)	FFFF4h ~ FFFF7h	—
$\overline{\text{NMI}}$	FFFF8h ~ FFFFBh	11.7 $\overline{\text{NMI}}$ 中断
复位	FFFFCh ~ FFFFFh	6. 复位

注 1. 开发工具专用的中断，所以不能使用。

注 2. 在 FFFE7h 地址内容为 FFh 时，从可变向量表中的向量所指向的地址开始执行。

11.4.2 可变向量表

从设定在 INTB 寄存器的起始地址开始的 256 个字节为可变向量表区。可变向量表如表 11.2 所示。如果在 INTB 寄存器内设定偶数地址，就能比奇数地址更快地执行中断响应顺序。

表 11.2 可变量量表

中断源	向量地址 (注 1) 地址 (L) ~ 地址 (H)	软件中断序号	参考
BRK 指令 (注 2)	+0 ~ +3 (0000h ~ 0003h)	0	M16C/60、M16C/20、M16C/Tiny 系列软件手册
CAN0/1 唤醒 (注 10)	+4 ~ +7 (0004h ~ 0007h)	1	20. CAN 模块
CAN0 接收结束	+8 ~ +11 (0008h ~ 000Bh)	2	
CAN0 发送结束	+12 ~ +15 (000Ch ~ 000Fh)	3	
INT3	+16 ~ +19 (0010h ~ 0013h)	4	11.6 $\overline{\text{INT}}$ 中断
定时器 B5、SI/O5 (注 12)	+20 ~ +23 (0014h ~ 0017h)	5	14. 定时器 16. 串行接口
定时器 B4、UART1 总线冲突检测 (注 3、9)	+24 ~ +27 (0018h ~ 001Bh)	6	
定时器 B3、UART0 总线冲突检测 (注 4、9)	+28 ~ +31 (001Ch ~ 001Fh)	7	
CAN1 接收结束、SI/O4、INT5 (注 5)	+32 ~ +35 (0020h ~ 0023h)	8	20. CAN 模块 16. 串行接口 11.6 $\overline{\text{INT}}$ 中断
CAN1 发送结束、SI/O3、INT4 (注 6)	+36 ~ +39 (0024h ~ 0027h)	9	
UART2 总线冲突检测 (注 9)	+40 ~ +43 (0028h ~ 002Bh)	10	16. 串行接口
DMA0	+44 ~ +47 (002Ch ~ 002Fh)	11	13. DMAC
DMA1	+48 ~ +51 (0030h ~ 0033h)	12	
CAN0/1 错误 (注 11、17)	+52 ~ +55 (0034h ~ 0037h)	13	20. CAN 模块
A/D、键输入 (注 7、17)	+56 ~ +59 (0038h ~ 003Bh)	14	17. A/D 转换器、11.8 键输入中断
UART2 发送、NACK2 (注 8)	+60 ~ +63 (003Ch ~ 003Fh)	15	16. 串行接口
UART2 接收、ACK2 (注 8)	+64 ~ +67 (0040h ~ 0043h)	16	
UART0 发送、NACK0 (注 8)	+68 ~ +71 (0044h ~ 0047h)	17	
UART0 接收、ACK0 (注 8)	+72 ~ +75 (0048 ~ 004Bh)	18	
UART1 发送、NACK1 (注 8)	+76 ~ +79 (004Ch ~ 004Fh)	19	
UART1 接收、ACK1 (注 8)	+80 ~ +83 (0050h ~ 0053h)	20	
定时器 A0	+84 ~ +87 (0054h ~ 0057h)	21	14. 定时器
定时器 A1	+88 ~ +91 (0058h ~ 005Bh)	22	
定时器 A2、 $\overline{\text{INT7}}$ (注 13)	+92 ~ +95 (005Ch ~ 005Fh)	23	14. 定时器、11.6 $\overline{\text{INT}}$ 中断
定时器 A3、 $\overline{\text{INT6}}$ (注 14)	+96 ~ +99 (0060h ~ 0063h)	24	
定时器 A4	+100 ~ +103 (0064h ~ 0067h)	25	14. 定时器
定时器 B0、SIO6 (注 15)	+104 ~ +107 (0068h ~ 006Bh)	26	14. 定时器、16. 串行接口
定时器 B1、 $\overline{\text{INT8}}$ (注 16)	+108 ~ +111 (006Ch ~ 006Fh)	27	14. 定时器、11.6 $\overline{\text{INT}}$ 中断
定时器 B2	+112 ~ +115 (0070h ~ 0073h)	28	14. 定时器
INT0	+116 ~ +119 (0074h ~ 0077h)	29	11.6 $\overline{\text{INT}}$ 中断
INT1	+120 ~ +123 (0078h ~ 007Bh)	30	
INT2	+124 ~ +127 (007Ch ~ 007Fh)	31	
INT 指令中断 (注 2)	+128 ~ +131 (0080h ~ 0083h) ⋮ +252 ~ +255 (00FCh ~ 00FFh)	32 ⋮ 63	M16C/60、M16C/20、M16C/Tiny 系列软件手册

注 1. 该地址为从 INTB 寄存器指向的地址开始的相对地址。

注 2. 不能通过 I 标志禁止。

注 3. 必须通过 IFSR0 寄存器的 IFSR07 位选择。

注 4. 必须通过 IFSR0 寄存器的 IFSR06 位选择。

注 5. 必须通过 IFSR1 寄存器的 IFSR17 位选择。CAN1 接收结束或选择 SI/O4 时，再通过 IFSR0 寄存器的 IFSR03 位选择。

注 6. 必须通过 IFSR1 寄存器的 IFSR16 位选择。CAN1 接收结束或选择 SI/O3 时，再通过 IFSR0 寄存器的 IFSR00 位选择。

注 7. 必须通过 IFSR0 寄存器的 IFSR01 位选择。

注 8. 在 I²C 模式时，NACK、ACK 为中断源。

注 9. 总线冲突检测：在 IE 模式时，总线冲突检测为中断源。在 I²C 模式时，开始条件检测、停止条件检测为中断源。

注 10. 必须通过 IFSR0 寄存器的 IFSR02 位选择。IFSR02 位为“0”时为 CAN0/1 唤醒、为“1”时为 CAN0 唤醒・错误。

注 11. 必须通过 IFSR0 寄存器的 IFSR02 位选择。IFSR02 位为“0”时为 CAN0/1 错误、为“1”时为 CAN1 唤醒・错误。

注 12. 必须通过 IFSR0 寄存器的 IFSR04 位选择。SI/O5 仅限 128 引脚版。在 100 引脚版中，必须将 IFSR04 位清“0”（定时器 B5）。

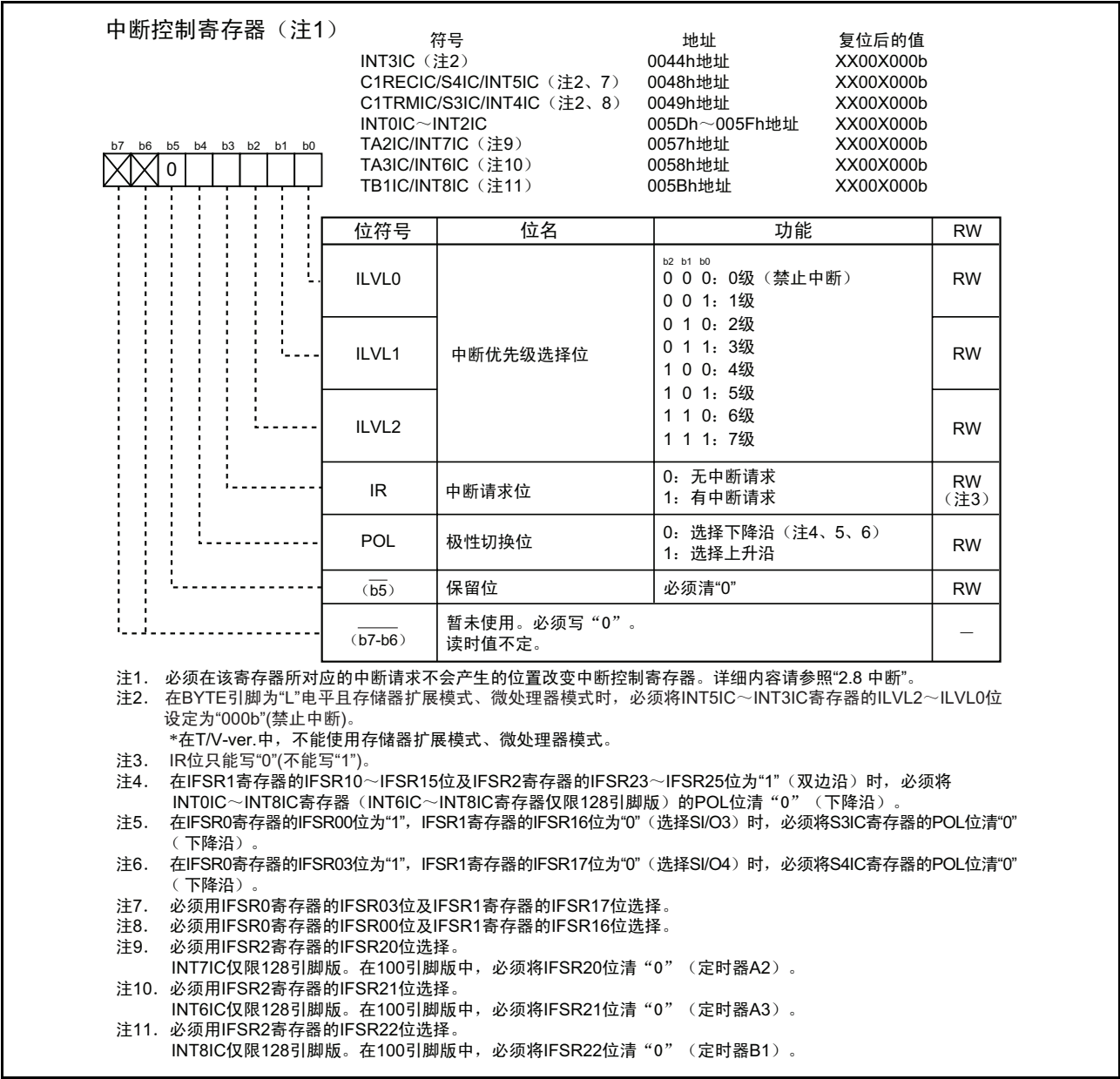
注 13. 必须通过 IFSR2 寄存器的 IFSR20 位选择。 $\overline{\text{INT7}}$ 仅限 128 引脚版。在 100 引脚版中，必须将 IFSR20 位清“0”（定时器 A2）。

注 14. 必须通过 IFSR2 寄存器的 IFSR21 位选择。 $\overline{\text{INT6}}$ 仅限 128 引脚版。在 100 引脚版中，必须将 IFSR21 位清“0”（定时器 A3）。

注 15. 必须通过 IFSR0 寄存器的 IFSR05 位选择。SI/O6 仅限 128 引脚版。在 100 引脚版中，必须将 IFSR05 位清“0”（定时器 B0）。

注 16. 必须通过 IFSR2 寄存器的 IFSR22 位选择。 $\overline{\text{INT8}}$ 仅限 128 引脚版。在 100 引脚版中，必须将 IFSR22 位清“0”（定时器 B1）。

注 17. 如果将 PCLKR 寄存器的 PCLK6 位置“1”，软件中断号 13 就改变为 CAN0/1 错误或键输入，软件中断号 14 就改变为 A/D。此时，必须用 IFSR2 寄存器的 IFSR26 位选择 CAN0/1 错误和键输入。



11.5.1 I 标志

I 标志允许或禁止可屏蔽中断。如果将 I 标志置“1”（允许），就允许可屏蔽中断；如果清“0”（禁止），就禁止所有可屏蔽中断。

11.5.2 IR 位

如果发生中断请求，IR 位就变为“1”（有中断请求）。在中断请求被接受并转移到对应的中断向量后，IR 位变为“0”（无中断请求）。

IR 位能通过程序清“0”，但是不能置“1”。

11.5.3 ILVL2 ~ ILVL0 位、IPL

能通过 ILVL2 ~ ILVL0 位设定中断优先级。

中断优先级的设定如表 11.3 所示，由 IPL 允许的中断优先级如表 11.4 所示。

接受中断请求的条件如下所示：

- I 标志 = 1
- IR 位 = 1
- 中断优先级 > IPL

I 标志、IR 位、ILVL2 ~ ILVL0 位及 IPL 各自独立互不影响。

表 11.3 中断优先级的设定

ILVL2 ~ ILVL0	中断优先级	优先级
000b	0 级（中断禁止）	—
001b	1 级	低 ↓ 高
010b	2 级	
011b	3 级	
100b	4 级	
101b	5 级	
110b	6 级	
111b	7 级	

表 11.4 由 IPL 允许的中断优先级

IPL	允许的中断优先级
000b	允许大于等于 1 级
001b	允许大于等于 2 级
010b	允许大于等于 3 级
011b	允许大于等于 4 级
100b	允许大于等于 5 级
101b	允许大于等于 6 级
110b	允许大于等于 7 级
111b	禁止所有可屏蔽中断

11.5.4 中断响应顺序

说明从接受中断请求开始到执行中断程序的中断响应顺序。

如果在指令执行中发生中断请求，CPU 就在该指令执行结束后判断优先级，从下一个周期开始转移到中断响应顺序。但是，对于 SMOVB、SMOVF、SSTR、RMPA 各指令，如果在指令执行中发生中断请求，就暂时中断指令的运行，转移到中断响应顺序。

中断响应顺序的运行如下。中断响应顺序的执行时间如图 11.5 所示。

- (1) 通过读 00000h 地址，在 CPU 获得中断信息（中断序号和中断请求级）后，相应的中断 IR 位变为“0”（无中断请求）。
- (2) 将中断响应顺序前的 FLG 寄存器保存到 CPU 内的暂时寄存器（注 1）。
- (3) 在 FLG 寄存器中的 I 标志、D 标志及 U 标志的状态如下：
 - I 标志为“0”（禁止中断）
 - D 标志为“0”（禁止单步中断）
 - U 标志为“0”（指定 ISP）

但是，在执行软件中断序号 32 ~ 63 的 INT 指令时，U 标志不变。

- (4) 将 CPU 内部的暂时寄存器（注 1）压栈。
- (5) 将 PC 压栈。
- (6) 在 IPL 设定接受中断的中断优先级。
- (7) 将设定在中断向量的中断程序的起始地址输入到 PC。

中断响应顺序结束后，从中断程序的起始地址开始执行指令。

注 1. 用户不能使用。

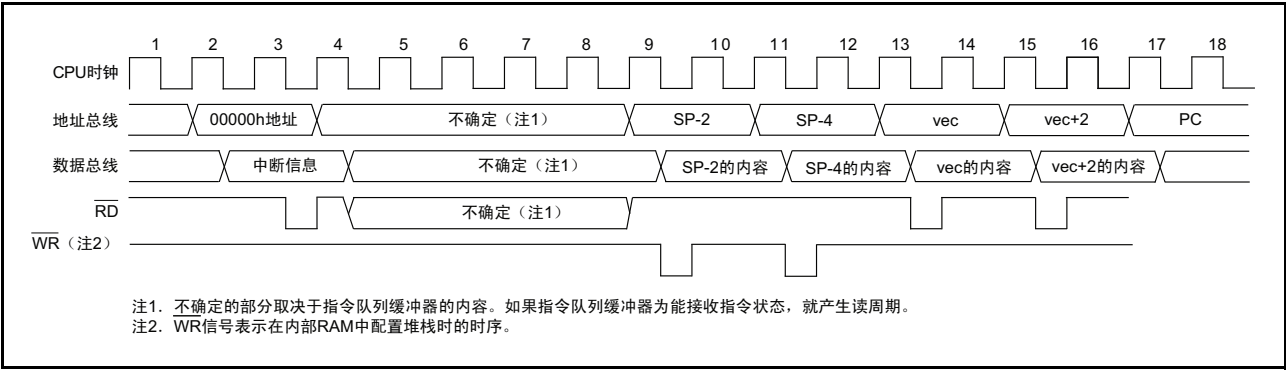


图 11.5 中断响应顺序的执行时间

11.5.5 中断响应时间

中断响应时间如图 11.6 所示。中断响应时间是从发生中断请求开始到执行中断程序内的第一条指令为止的时间。这个时间由从发生中断请求时开始到此时正在执行的指令结束为止的时间（图 11.6（a））和执行中断响应顺序的时间（图 11.6（b））构成。

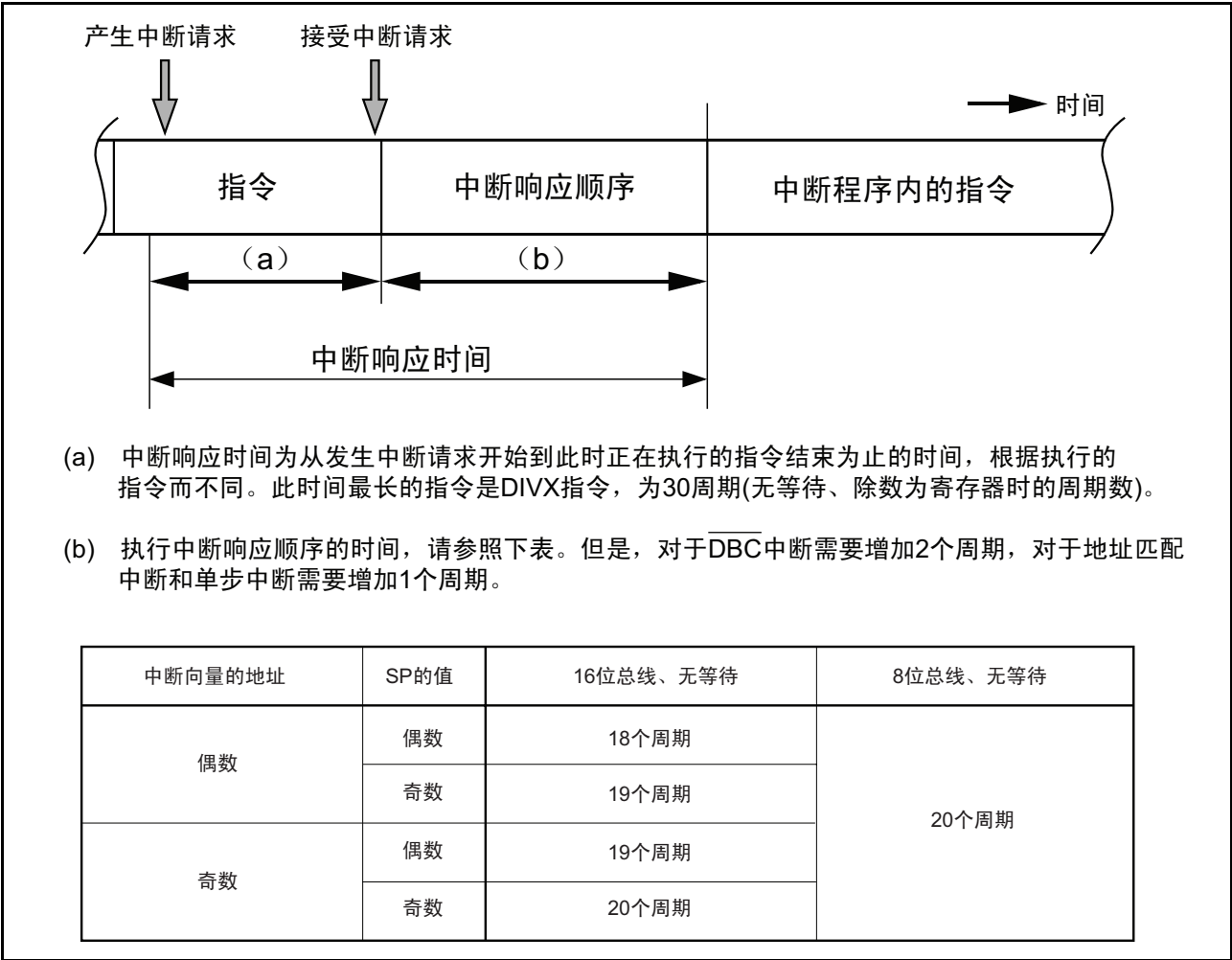


图 11.6 中断响应时间

11.5.6 接受中断请求时的 IPL 变化

如果接受可屏蔽中断的中断请求，就给 IPL 设定接受中断的中断优先级。

如果接受软件中断或特殊中断请求，就将表 11.5 中所示的值设定到 IPL。接受软件中断或特殊中断时的 IPL 值如表 11.5 所示。

表 11.5 接受软件中断或特殊中断时的 IPL 值

中断源	IPL 值
振荡停止、重新振荡检测、看门狗定时器、 $\overline{\text{NMI}}$	7
软件、地址匹配、 $\overline{\text{DBC}}$ 、单步	不变

11.5.7 寄存器保存

在中断响应顺序中，将 FLG 寄存器和 PC 压栈。

首先将 PC 的高 4 位、FLG 寄存器的高 4 位（IPL）和低 8 位共 16 位压栈，然后将 PC 的低 16 位压栈。中断请求接受前后的堆栈状态如图 11.7 所示。

必须在中断程序的开始通过程序保存其它所需的寄存器。如果使用 PUSHM 指令，就能用 1 条指令保存除 SP 以外的全部寄存器。

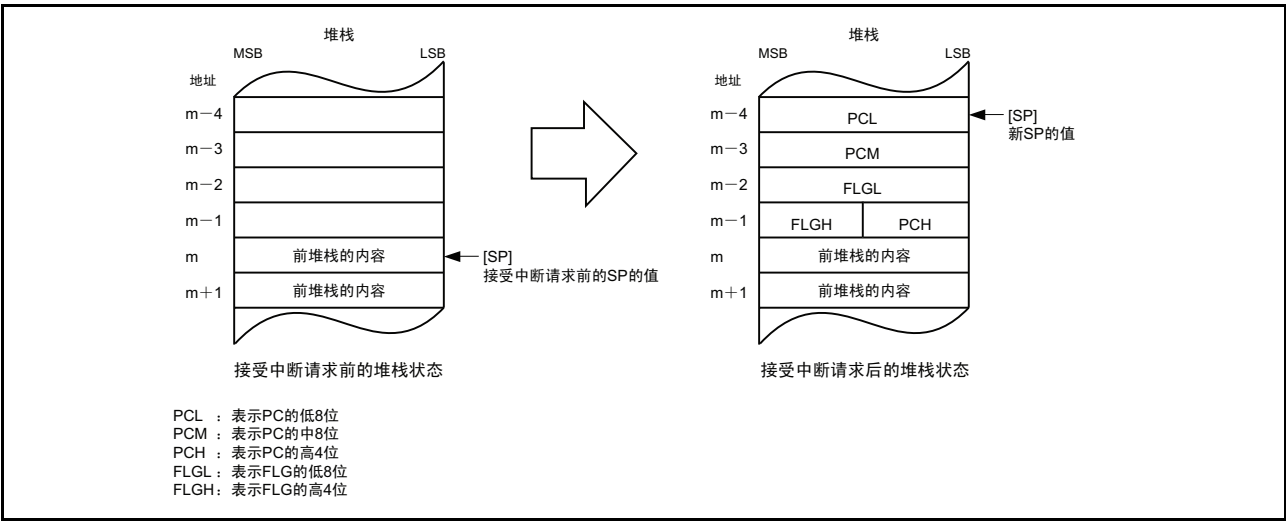


图 11.7 中断请求接受前后的堆栈状态

根据接受中断请求时的 SP（注 1）是偶数还是奇数，中断响应顺序进行的寄存器保存操作不同。SP（注 1）为偶数时，同时保存 FLG 寄存器和 PC 的各 16 位；为奇数时，按 8 位分 2 次保存。寄存器的保存操作如图 11.8 所示。

注 1. 如果执行软件序号 32 ~ 63 的 INT 指令，为 U 标志表示的 SP。否则为 ISP。

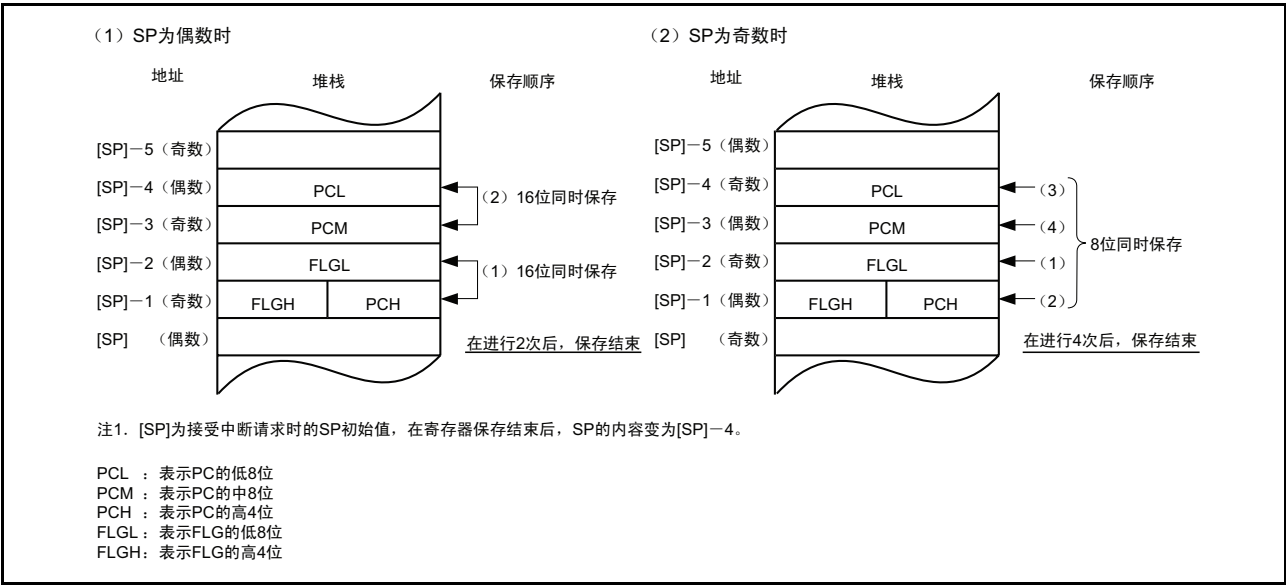


图 11.8 寄存器的保存操作

11.5.8 从中断程序的返回

如果在中断程序的最后执行 REIT 指令，就恢复被压栈的中断响应顺序前的 FLG 寄存器和 PC，然后返回到接受中断请求前执行的程序。

在中断程序内通过程序保存的寄存器必须在执行 REIT 指令前用 POPM 等指令恢复。

在切换寄存器组时，通过执行 REIT 指令切换到中断响应顺序前的寄存器组。

11.5.9 中断优先级

如果在同一个采样点（检查有无中断请求的时序）发生 2 个或 2 个以上的中断请求，就接受优先级高的中断。

能通过 ILVL2 ~ ILVL0 位任意选择可屏蔽中断（外围功能中断）的优先级。但是，如果中断优先级为相同的设定值，就接受硬件设定的优先级高的中断。

看门狗定时器中断等特殊中断的优先级通过硬件设定。硬件中断的中断优先级如图 11.9 所示。

软件中断不受中断优先级的影响。如果执行指令，就执行中断程序。

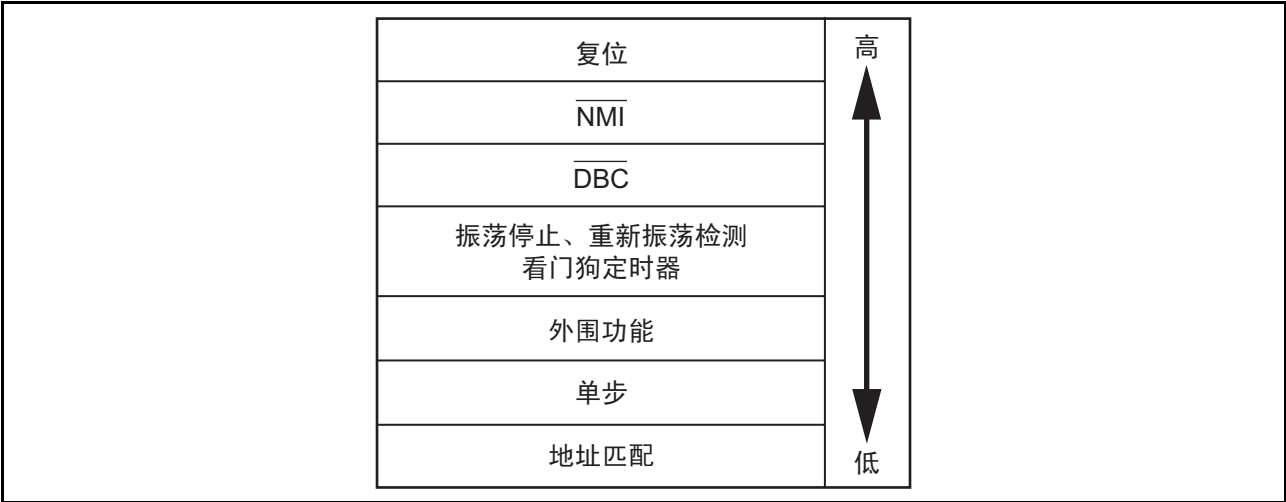


图 11.9 硬件中断的中断优先级

11.5.10 中断优先级判断电路

中断优先级判断电路是用于从同一个采样点发生多个中断请求中选择最高优先级中断的电路。

中断优先级的判断电路如图 11.10 所示。

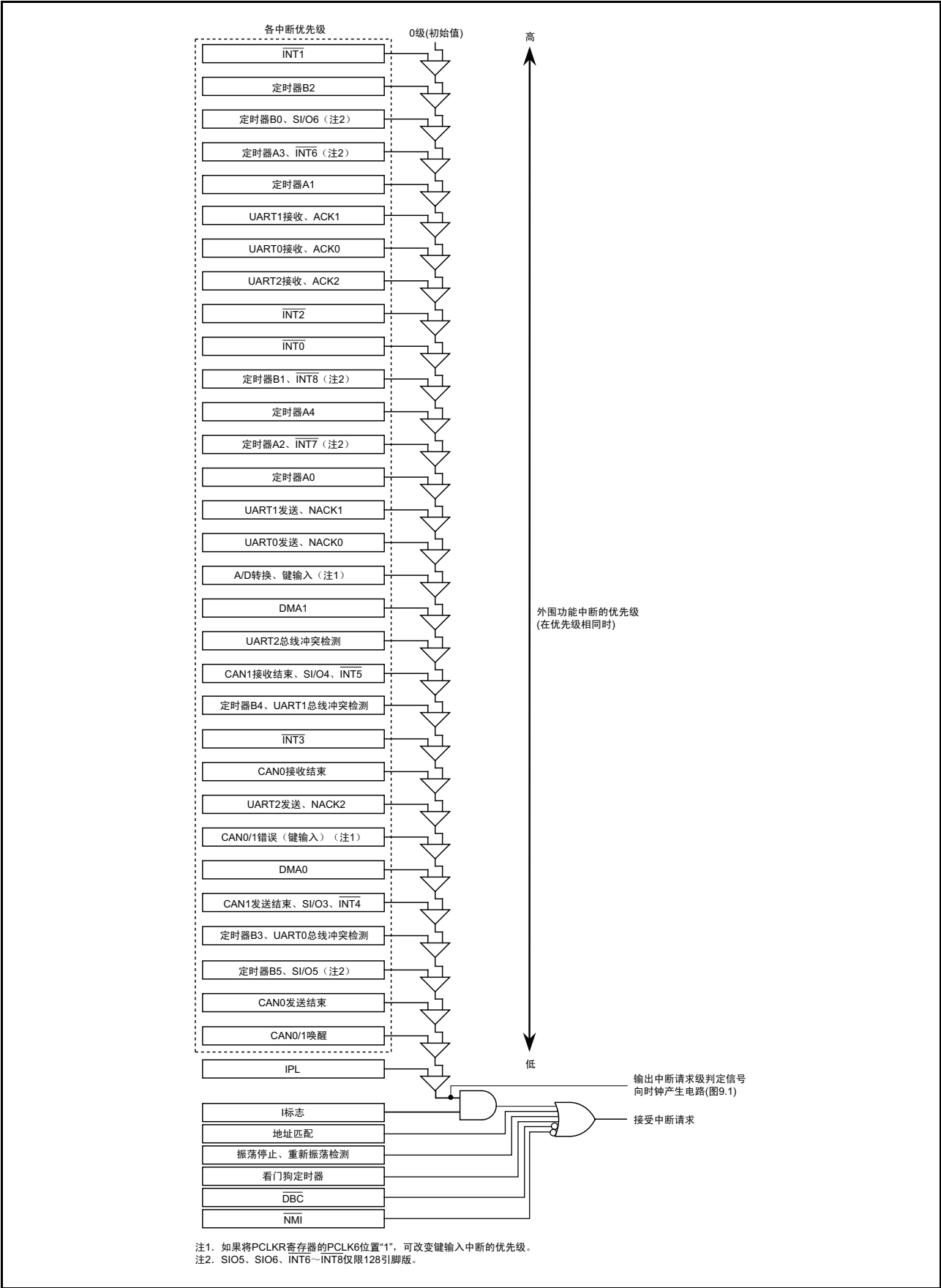


图 11.10 中断优先级的判断电路

11.6 $\overline{\text{INT}}$ 中断

$\overline{\text{INT}}_i$ 中断 ($i=0 \sim 8$) (注 1) 是由外部输入产生的中断。 $\overline{\text{INT}}_i$ 中断的极性可由 IFSR1 寄存器的 IFSR10 ~ IFSR15 位及 IFSR2 寄存器的 IFSR23 ~ IFSR25 位选择。

CAN1 发送结束和 SI/O3 和 $\overline{\text{INT}}_4$ 、CAN1 接收结束和 SI/O4 和 $\overline{\text{INT}}_5$ 、定时器 A3 和 $\overline{\text{INT}}_6$ 、定时器 A2 和 $\overline{\text{INT}}_7$ 、定时器 B1 和 $\overline{\text{INT}}_8$ 共享向量和中断控制寄存器。在使用 $\overline{\text{INT}}_4 \sim \overline{\text{INT}}_8$ 中断 (注 1) 时，必须如下设定：

- 使用 $\overline{\text{INT}}_4$ 中断时：将 IFSR1 寄存器的 IFSR16 位置 “1” ($\overline{\text{INT}}_4$)
- 使用 $\overline{\text{INT}}_5$ 中断时：将 IFSR1 寄存器的 IFSR17 位置 “1” ($\overline{\text{INT}}_5$)
- 使用 $\overline{\text{INT}}_6$ 中断时：将 IFSR2 寄存器的 IFSR21 位置 “1” ($\overline{\text{INT}}_6$) (注 1)
- 使用 $\overline{\text{INT}}_7$ 中断时：将 IFSR2 寄存器的 IFSR20 位置 “1” ($\overline{\text{INT}}_7$) (注 1)
- 使用 $\overline{\text{INT}}_8$ 中断时：将 IFSR2 寄存器的 IFSR22 位置 “1” ($\overline{\text{INT}}_8$) (注 1)

必须在更改 IFSR16、IFSР17、IFSР20、IFSР21、IFSР22 位后将对应的 IR 位清 “0” (无中断请求)，然后再允许中断。

注 1. $\overline{\text{INT}}_6 \sim \overline{\text{INT}}_8$ 中断仅限 128 引脚版。

IFSР0、IFSР1、IFSР2 寄存器如图 11.11 ~ 图 11.13 所示。

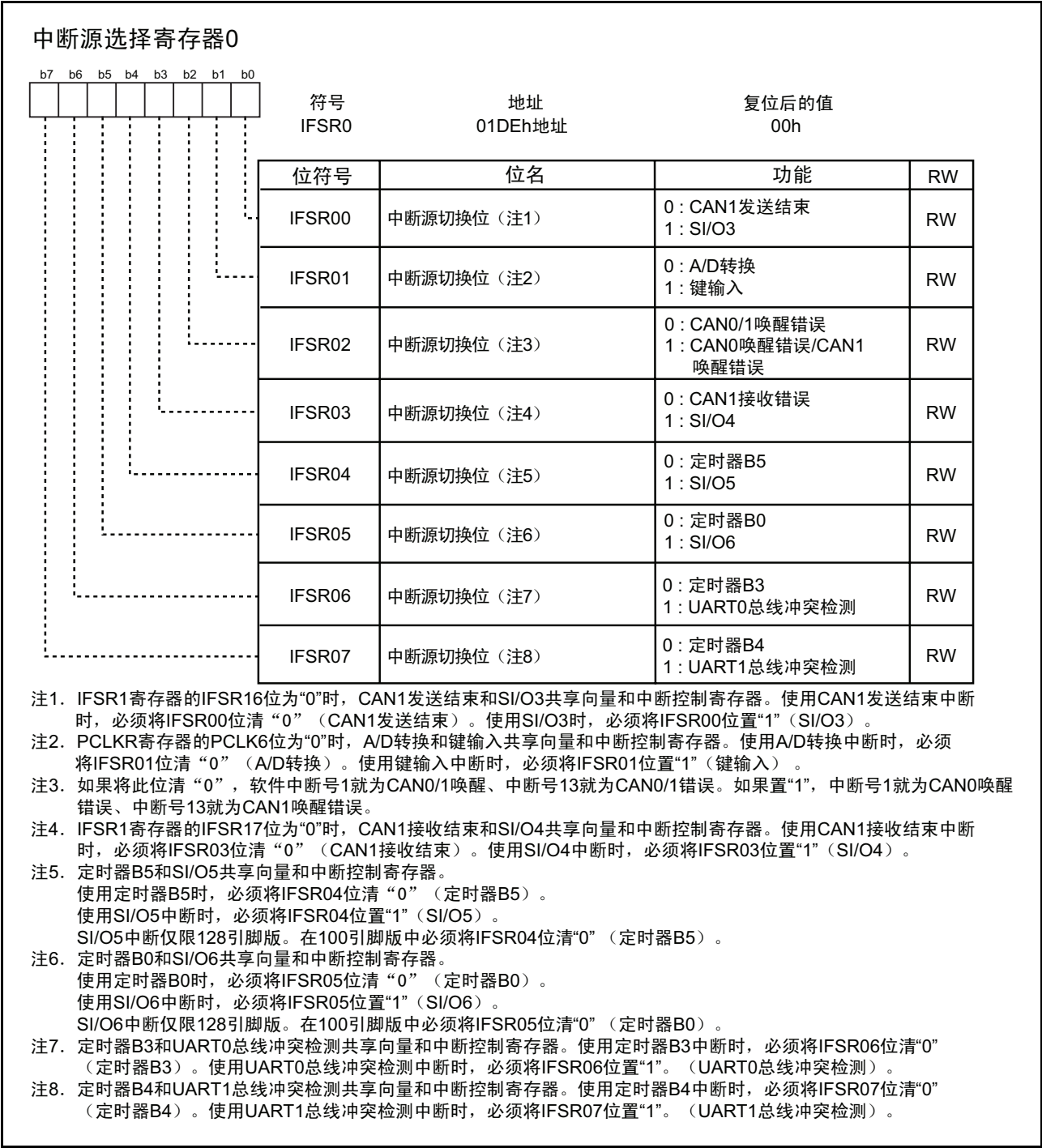


图 11.11 IFSR0 寄存器

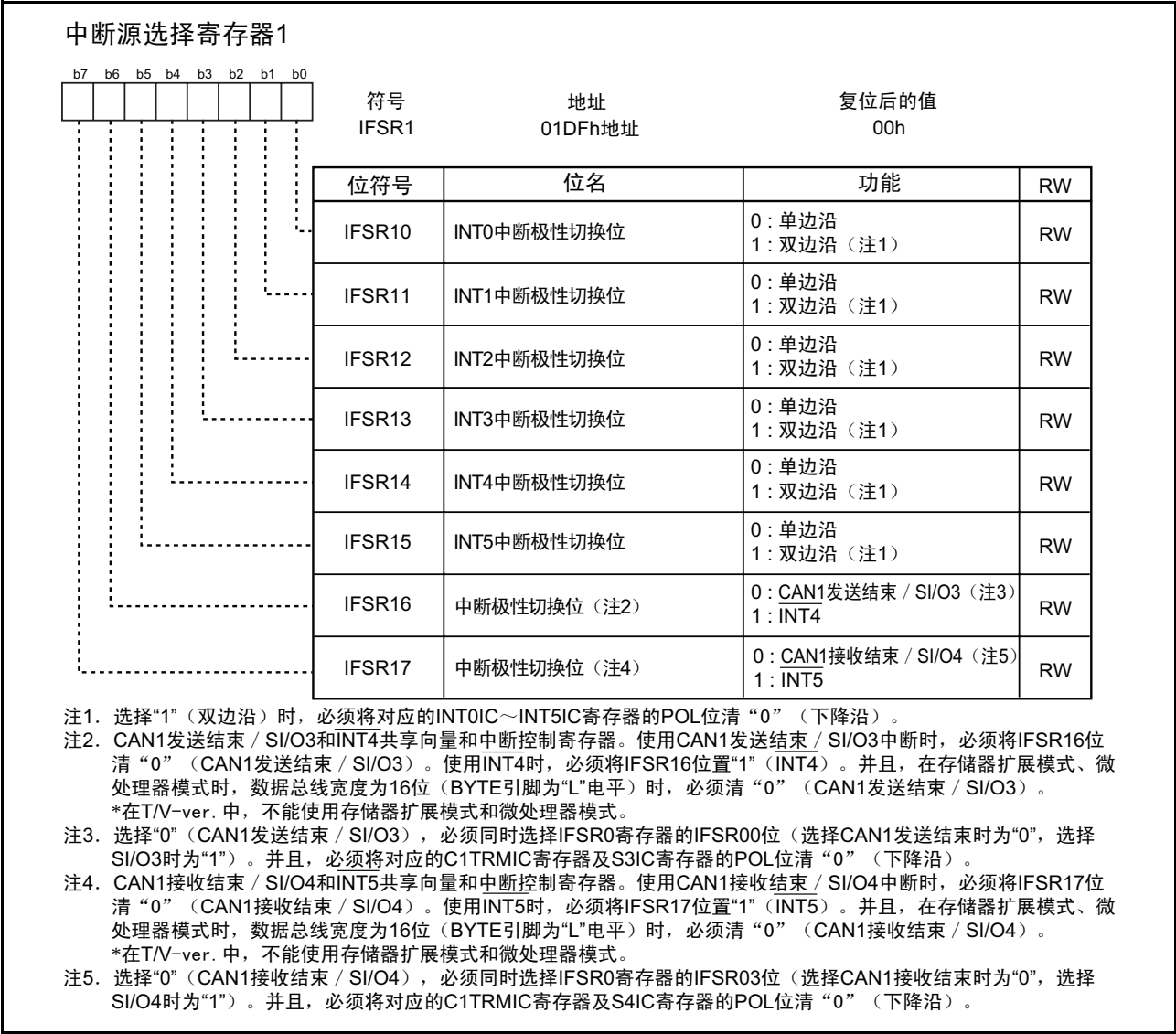


图 11.12 IFSR1 寄存器



11.10 地址匹配中断

在即将执行 RMAD_i（ $i=0 \sim 3$ ）寄存器指向的地址的指令前，产生地址匹配中断请求。必须将指令的起始地址设定到 RMAD_i 寄存器。能通过 AIER 寄存器的 AIER0 和 AIER1 位、AIER2 寄存器的 AIER20 和 AIER21 位选择中断的禁止或允许。地址匹配中断不受 I 标志和 IPL 的影响。接受地址匹配中断请求时被保存的 PC 值（请参照“11.5.7 寄存器保存”）根据 RMAD_i 寄存器指向的地址的指令而不同（在堆栈中保存的不是正确的返回地址）。因此，在从地址匹配中断返回时，必须使用以下的任何一种方法进行：

- 在改写堆栈的内容后，用 REIT 指令返回
- 在使用 POP 等指令将堆栈恢复到中断请求接受前的状态后，用转移指令返回

接受地址匹配中断请求时被保存的 PC 值如表 11.6 所示，地址匹配中断源和相关寄存器的对应如表 11.7 所示。

在使用 8 位外部数据总线时，不能对外部区域使用地址匹配中断（外部数据总线仅限在 Normal-ver. 中使用）。

AIER、AIER2、RMAD0 ~ RMAD3 寄存器如图 11.16 所示。

表 11.6 接受地址匹配中断请求时被保存的 PC 值

RMAD _i 寄存器指向的地址的指令	被保存的 PC 值
16 位操作码指令 - 在 8 位操作码的指令中，为以下所示的指令： ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPM dest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest（其中，dest = A0 或者 A1）	RMAD _i 寄存器指向的地址 +2
除上述以外的指令	RMAD _i 寄存器指向的地址 +1

被保存的 PC 值：请参照“11.5.7 寄存器保存”

表 11.7 地址匹配中断源和相关寄存器的对应

地址匹配中断源	地址匹配中断允许位	地址匹配中断寄存器
地址匹配中断源 0	AIER0	RMAD0
地址匹配中断源 1	AIER1	RMAD1
地址匹配中断源 2	AIER20	RMAD2
地址匹配中断源 3	AIER21	RMAD3

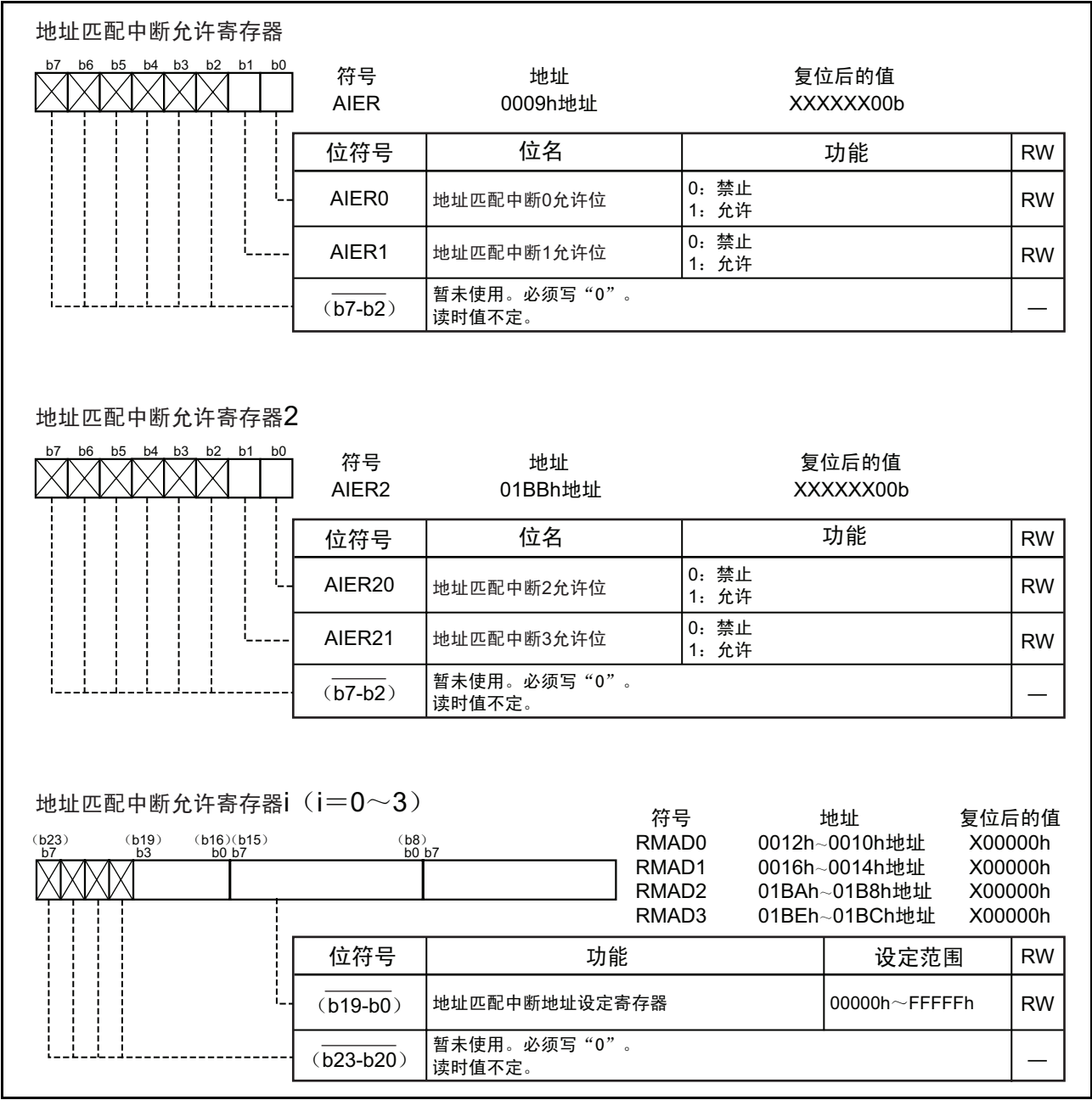


图 11.16 AIER、AIER2、RMAD0 ~ RMAD3 寄存器

12. 看门狗定时器

看门狗定时器具有检测程序是否失控的功能。因此，为了提高系统的可靠性，建议使用看门狗定时器。看门狗定时器具有 15 位计数器，对由预分频器将 CPU 时钟分频后的时钟进行递减计数。可以通过对 PM1 寄存器的 PM12 位的设定，选择当看门狗定时器发生下溢时，是产生看门狗定时器中断请求，还是进行看门狗定时器复位。PM12 位只能置“1”（看门狗定时器复位）。一旦将 PM12 位置“1”，就不能通过程序将其清“0”（看门狗定时器中断）。看门狗定时器复位的详细内容请参照“6.3 看门狗定时器复位”。

在选择主时钟、内部振荡器时钟或者 PLL 时钟为 CPU 时钟源时，可通过 WDC 寄存器的 WDC7 位将预分频器选择为 16 分频还是 128 分频。在选择副时钟为 CPU 时钟源时，与 WDC7 位无关，预分频器总为 2 分频。因此，能用以下计算式计算预分频器的周期。但是，看门狗定时器的周期会产生由预分频器引起的误差。

在选择主时钟、内部振荡器时钟或者 PLL 时钟为 CPU 时钟源时，

$$\text{看门狗定时器的周期} = \frac{\text{预分频器的分频 (16 或 128)} \times \text{看门狗定时器的计数值 (32768)}}{\text{CPU 时钟}}$$

在选择副时钟为 CPU 时钟源时，

$$\text{看门狗定时器的周期} = \frac{\text{预分频器的分频 (2)} \times \text{看门狗定时器的计数值 (32768)}}{\text{CPU 时钟}}$$

例如，在 CPU 时钟源为 16MHz 并且预分频器为 16 分频时，看门狗定时器的周期大约为 32.8ms。

看门狗定时器在写 WDTS 寄存器时被初始化，预分频器在复位后被初始化。而且，在复位后看门狗定时器和预分频器处于停止状态，因此可通过写 WDTS 寄存器启动计数。

在停止状态、等待状态或者保持状态时，如果看门狗定时器和预分频器处于停止状态，当状态解除时就被保持的值开始计数。

看门狗定时器的框图如图 12.1 所示，看门狗定时器的相关寄存器如图 12.2 所示。

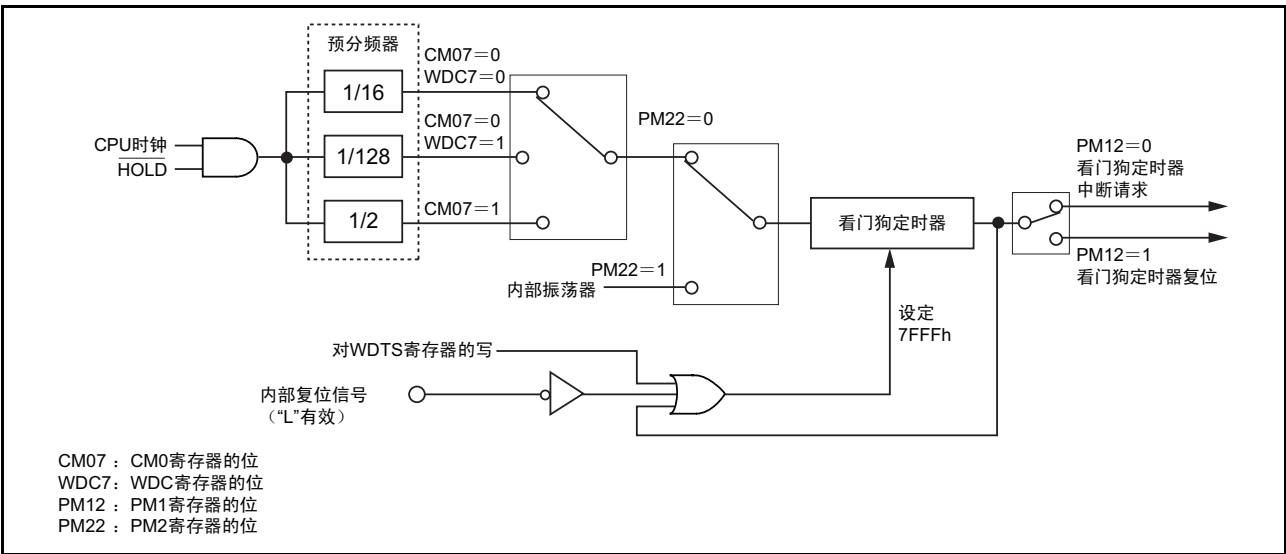
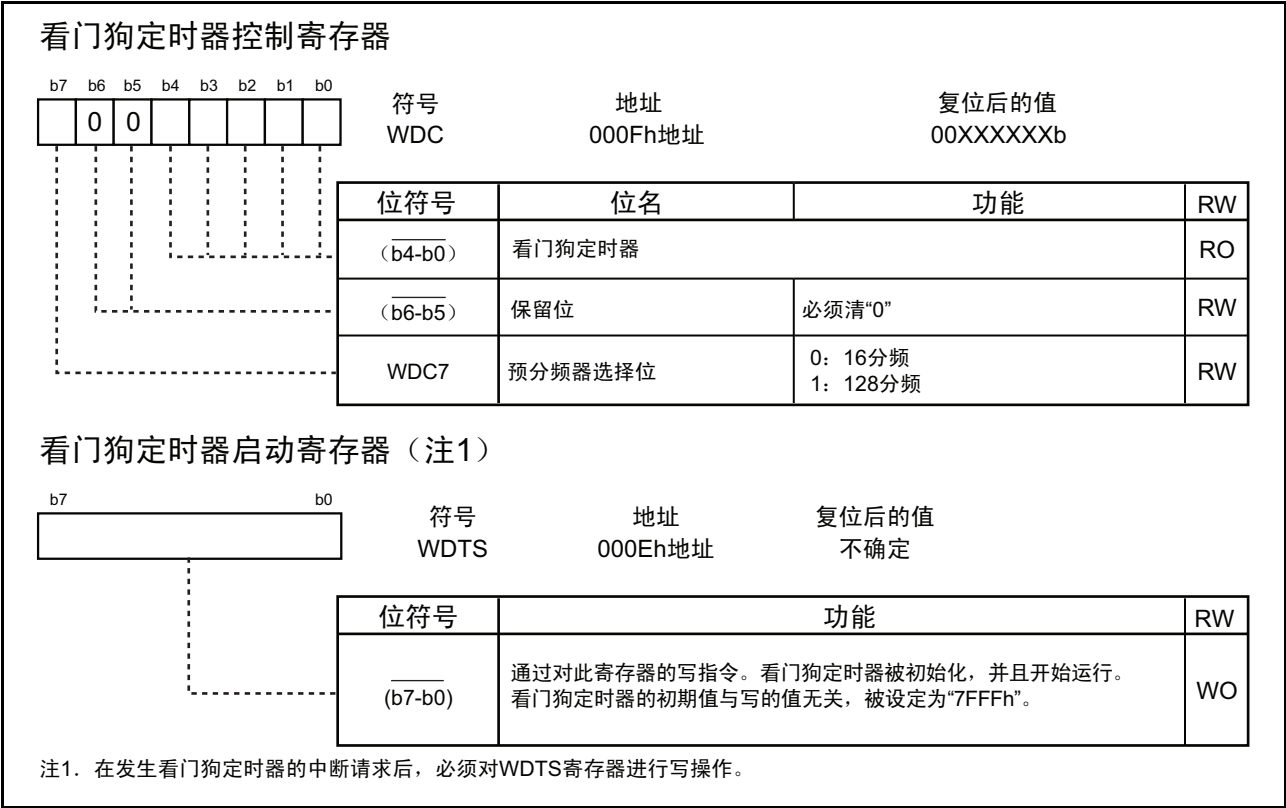


图 12.1 看门狗定时器的框图



13. DMAC

片内有 2 个 DMAC（直接存储器存取控制器）通道，数据可不经 CPU 直接送到存储器。每次发生 DMA 请求时，DMAC 将传送源地址的 1 个数据（8 位或者 16 位）传送到传送目标地址。DMAC 使用和 CPU 相同的数据总线。因为 DMAC 的总线使用权高于 CPU 并采用周期挪用方式，所以能快速地进行从发生 DMA 请求到结束 1 个字（16 位）或者 1 个字节（8 位）的数据传送。DMAC 框图如图 13.1 所示，DMAC 的规格如表 13.1 所示，DMAC 相关的寄存器如图 13.2～图 13.4 所示。

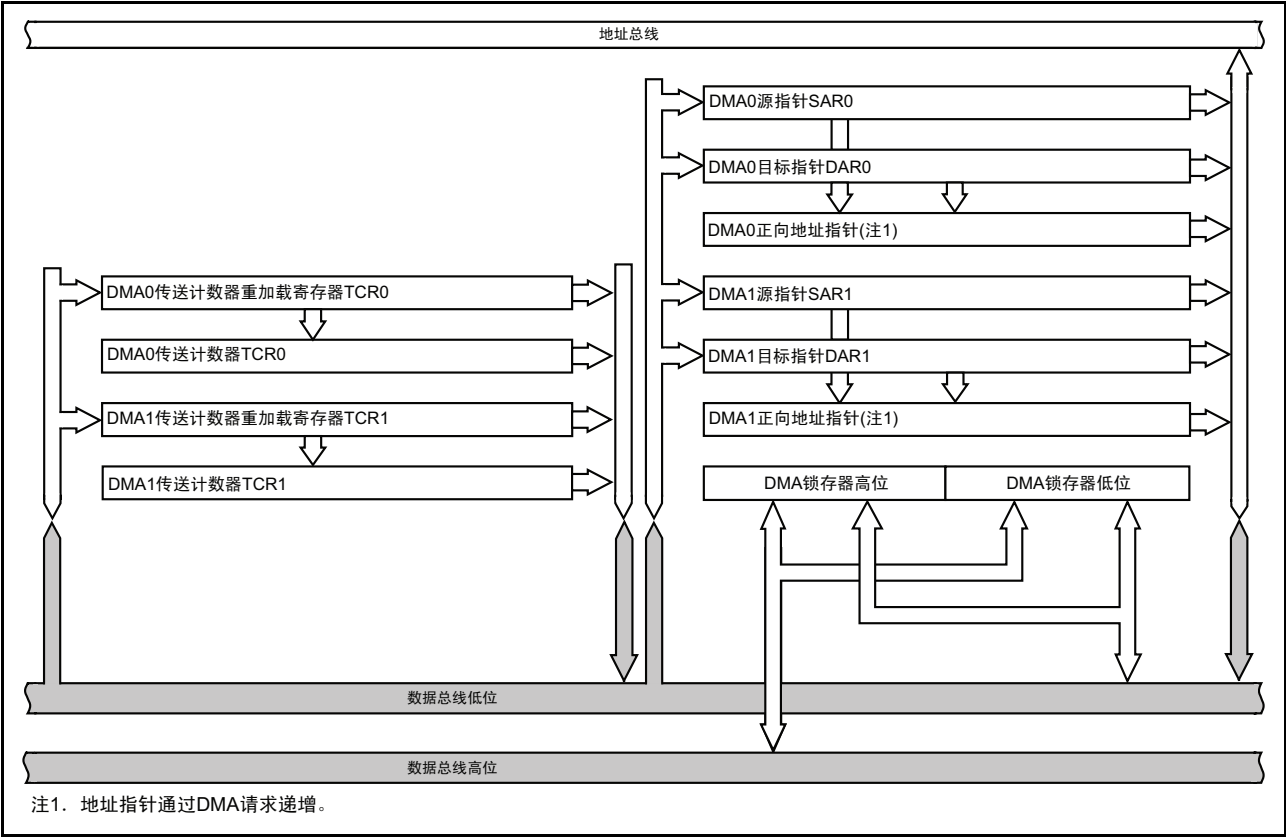


图 13.1 DMAC 框图

DMA 请求可以通过对 DMiSL 寄存器（i=0、1）的 DSR 位进行写操作方式实现，或通过 DMiSL 寄存器的 DMS 位、DSEL3～DSEL0 位所指定的各功能而产生中断请求的方式实现。但是，DMA 传送和中断请求的运行不同，因为不受 I 标志和中断控制寄存器的影响，所以在中断禁止时，即使不接受中断请求，也能接受 DMA 请求。另外，因为 DMAC 不影响中断，所以 DMA 传送时中断控制寄存器的 IR 位不变。

如果 DMiCON 寄存器的 DMAE 位为“1”（允许 DMA），就在每次发生 DMA 请求时开始数据传送。但是，如果 DMA 请求的发生周期快于 DMA 传送周期，就会出现传送请求次数和传送次数不一致的情况。详细内容请参照“13.4 DMA 请求”。

表 13.1 DMAC 的规格

项目		规格
通道数		2 通道（周期挪用方式）
传送空间		- 从 1M 字节空间的任意地址到固定地址 - 从固定地址开始的 1M 字节的任意空间 - 从固定地址到固定地址
最大传送字节数		128K 字节（16 位传送时）、64K 字节（8 位传送时）
DMA 请求源（注 1、2）		$\overline{\text{INT0}}$ 或者 $\overline{\text{INT1}}$ 引脚的下降沿 $\overline{\text{INT0}}$ 或者 $\overline{\text{INT1}}$ 引脚的双边沿 定时器 A0 ~ 定时器 A4 中断请求 定时器 B0 ~ 定时器 B5 中断请求 UART0 发送、UART0 接收中断请求 UART1 发送、UART1 接收中断请求 UART2 发送、UART2 接收中断请求 SI/O3、SI/O4 中断请求 A/D 转换中断请求 软件触发
通道优先级		DMA0 > DMA1（DMA0 优先）
传送单位		8 位或者 16 位
传送地址方向		正向或者固定（不能将传送源和传送目标同时设定为正向）
传送模式	单次传送	如果 DMAi 传送计数器下溢就退出传送
	重复传送	在 DMAi 传送计数器下溢后，DMAi 传送计数器重加载寄存器的值被再装入到 DMAi 传送计数器，继续 DMA 传送
DMA 中断请求的产生时序		DMAi 传送计数器下溢时
DMA 传送开始		如果将 DMAiCON 寄存器的 DMAE 位置“1”（允许），就在每次发生 DMA 请求时开始传送数据 DMA
DMA 传送停止	单次传送	- 将 DMAE 位清“0”（禁止） - DMAi 传送计数器下溢时
	重复传送	将 DMAE 位清“0”（禁止）
正向地址指针、DMAi 传送计数器的再装入时序		在将 DMAE 位置“1”（允许）后开始数据传送时，将被指定为正向指针的 SARi 指针或者 DARi 指针的值再装入到正向地址指针，将 DMAi 传送计数器重加载寄存器的值再装入到 DMAi 传送计数器
DMA 传送周期数		在 SFR 和内部 RAM 之间：最短 3 个周期

i=0、1

注 1. DMA 传送不影响各中断，也不受 I 标志和中断控制寄存器的影响。

注 2. 可选择的请求源根据通道而不同。

注 3. 不能通过 DMAC 存取 DMAC 的相关寄存器（0020h ~ 003Fh 地址）。



图 13.2 DM0SL 寄存器

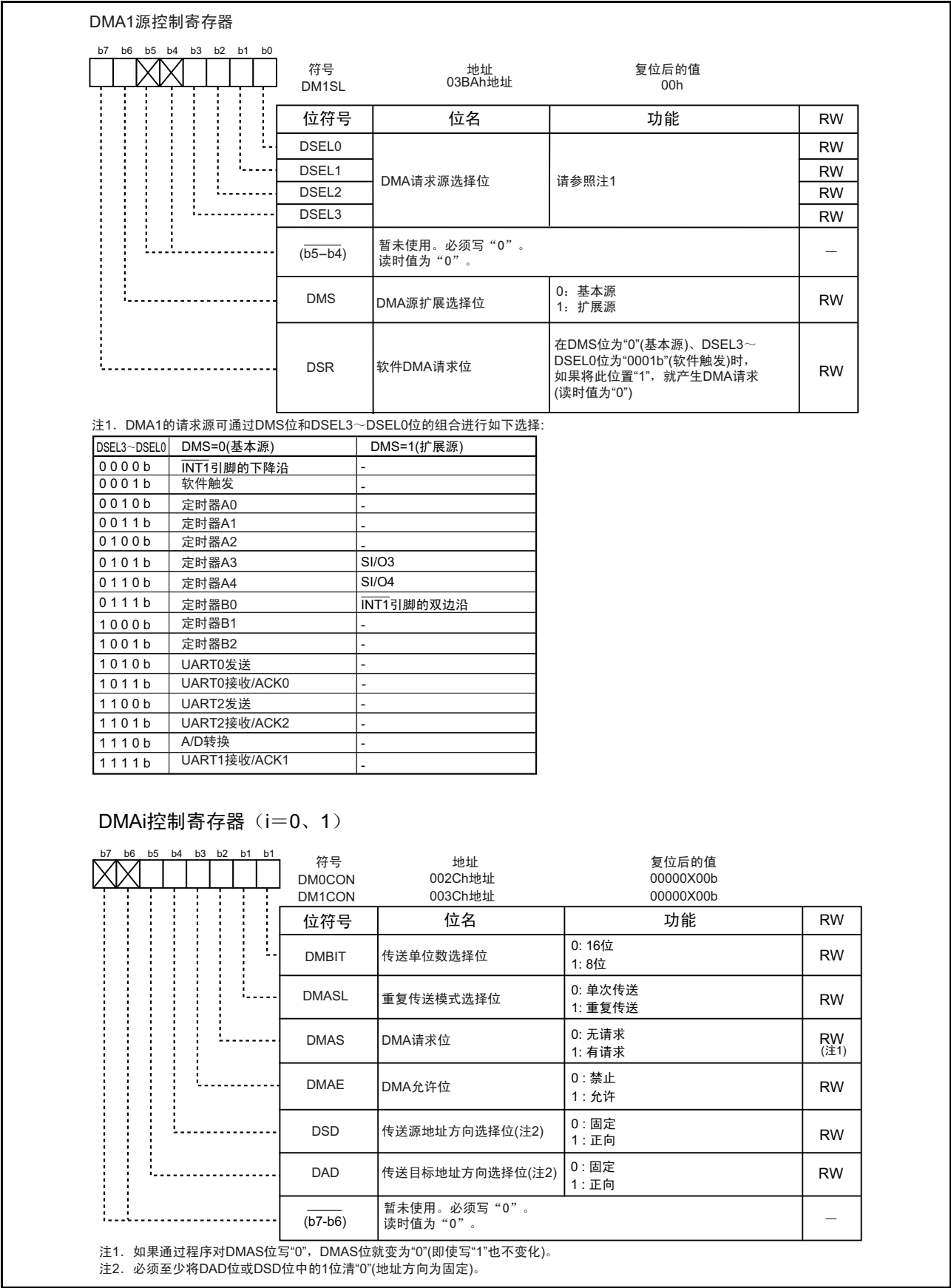


图 13.3 DM1SL、DM0CON、DM1CON 寄存器

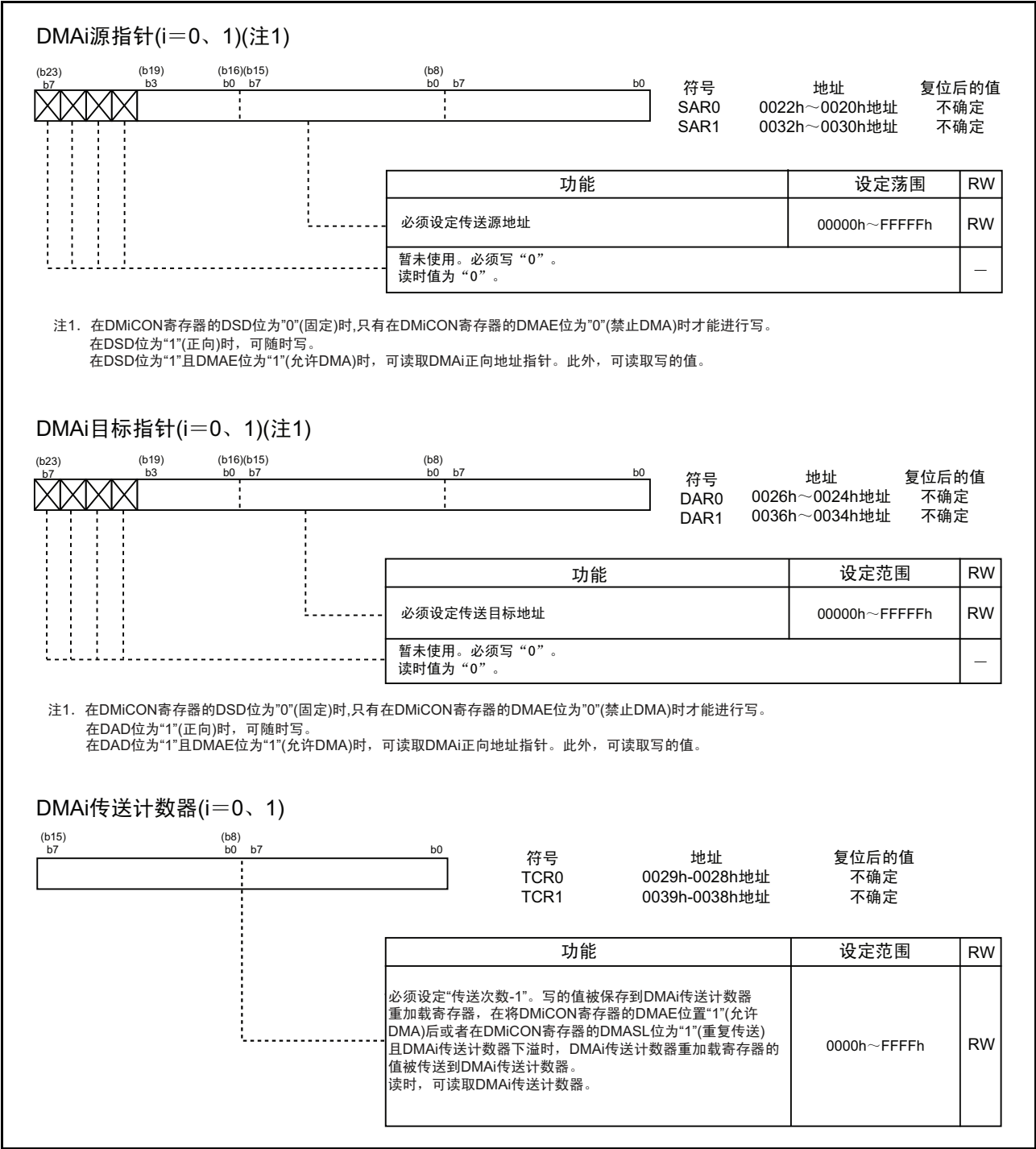


图 13.4 SAR0、SAR1、DAR0、DAR1、TCR0、TCR1 寄存器

13.1 传送周期

传送周期由读存储器或者 SFR（源读）总线周期和写（目标写）总线周期构成。读和写总线周期次数受传送源地址和传送目标地址的影响，并且在存储器扩展模式和微处理器模式时也受 BYTE 引脚电平的影响（注 1）。而且，由于软件等待或者 $\overline{\text{RDY}}$ 信号（注 2）的影响，总线周期变长。

注 1. 在 T/V-ver. 中，不能使用存储器扩展模式、微处理器模式。

注 2. 在 T/V-ver. 中，不能使用总线控制引脚。

13.1.1 传送源地址、传送目标地址的影响

在传送单位和数据总线都为 16 位并且传送源地址从奇数地址开始时，源读周期比从偶数地址开始时增加 1 个总线周期。

同样，在传送单位和数据总线都为 16 位并且传送目标地址从奇数地址开始时，目标写周期比从偶数地址开始时增加 1 个总线周期。

13.1.2 BYTE 引脚的影响（注 1）

在存储器扩展模式和微处理器模式时，如果用 8 位数据总线（BYTE 引脚为“H”电平时）进行 16 位数据传送，就以 8 位数据的形式传送两次。因此，总线周期在读数据时需要 2 个总线周期，在写数据时需要 2 个总线周期。另外，DMAC 存取内部区域（内部 ROM、内部 RAM、SFR）的情况和 CPU 存取内部区域的情况不同，它是以 BYTE 引脚选择的数据宽度进行存取的。

注 1. 在 T/V-ver. 中，不能使用总线控制引脚。

13.1.3 软件等待的影响

在存取插入软件等待的存储器或者 SFR 时，只增加软件等待数所需的总线周期数。

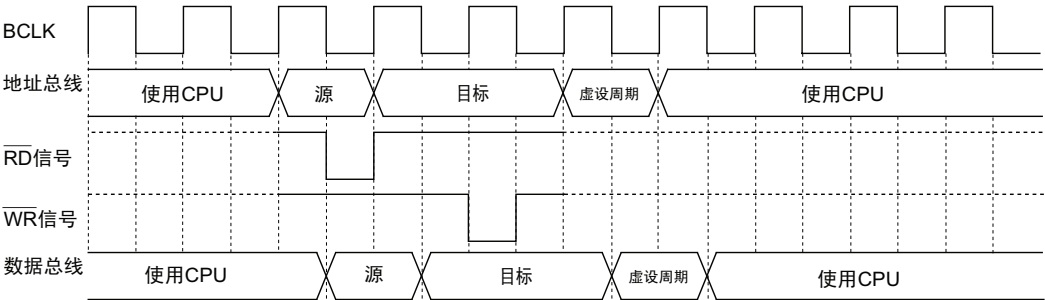
13.1.4 $\overline{\text{RDY}}$ 信号的影响（注 1）

在存储器扩展模式和微处理器模式时，外部区域受 $\overline{\text{RDY}}$ 信号的影响。详细内容请参照“8.2.6 $\overline{\text{RDY}}$ 信号”。

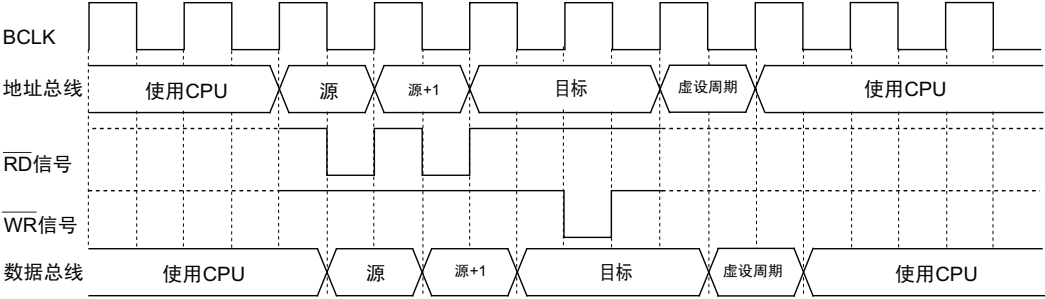
注 1. 在 T/V-ver. 中，不能使用总线控制引脚。

源读周期的例子如图 13.5 所示。在此图中，为方便起见，假设目标写周期为 1 个周期，列出不同条件的源读周期数。实际上和源读周期一样，目标写周期也受各种条件的影响，传送周期会相应变化。必须根据目标写周期和源读周期的各种条件计算传送周期。例如，在传送单位为 16 位并且使用 8 位总线时（图 13.5（2）），源读周期和目标写周期各需要 2 个总线周期。

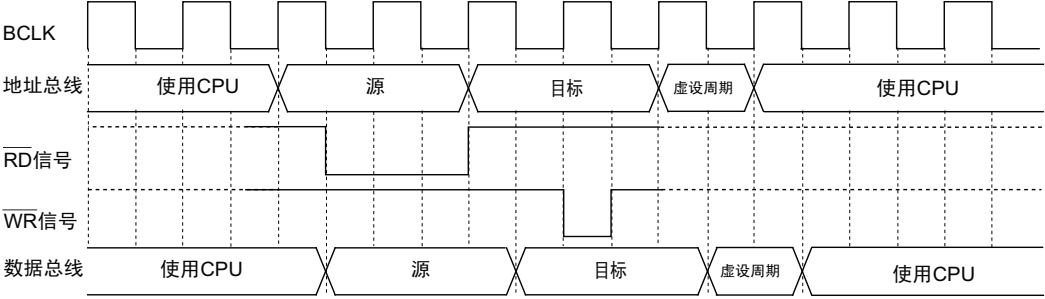
(1) 传送单位为8位时，或者传送单位为16位且源为偶数地址时



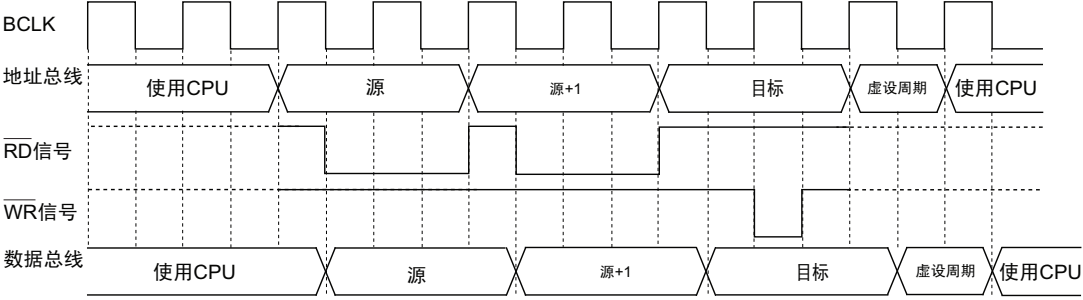
(2) 传送单位为16位且源为奇数地址时，或者传送单位为16位且使用8位总线时



(3) 在(1)的条件下，对源读插入1个等待时



(4) 在(2)的条件下，对源读插入1个等待时



注1. 目标在各种条件下也有与源相同的时序变化。

图 13.5 源读周期的例子

13.2 DMAC 传送周期数

DMAC 传送周期数能通过以下的计算式计算。

DMAC 传送周期数如表 13.2 所示，系数 j、k 如表 13.3 所示。

1 个传送单位的传送周期数 = 读周期数 × j + 写周期数 × k

表 13.2 DMAC 传送周期数

传送单位	总线	存取地址	单芯片模式		存储器扩展模式 微处理器模式（注 1）	
			读周期数	写周期数	读周期数	写周期数
8 位传送 (DMBIT = 1)	16 位 (BYTE = L)	偶数	1	1	1	1
		奇数	1	1	1	1
	8 位 (BYTE = H)	偶数	—	—	1	1
		奇数	—	—	1	1
16 位传送 (DMBIT = 0)	16 位 (BYTE = L)	偶数	1	1	1	1
		奇数	2	2	2	2
	8 位 (BYTE = H)	偶数	—	—	2	2
		奇数	—	—	2	2

—：该条件不存在。

注 1. 在 T/V-ver. 中，不能使用存储器扩展模式、微处理器模式。

表 13.3 系数 j、k

	内部区域				外部区域（注 3）						
	内部ROM、 内部 RAM		SFR		独立总线				多路复用总线		
	无等待	有等待	1 个等待 (注 1)	2 个等待 (注 1)	无等待	有等待（注 2）			有等待（注 2）		
						1 个等待	2 个等待	3 个等待	1 个等待	2 个等待	3 个等待
j	1	2	2	3	1	2	3	4	3	3	4
k	1	2	2	3	2	2	3	4	3	3	4

注 1. 取决于 PM2 寄存器的 PM20 位的设定值。

注 2. 取决于 CSE 寄存器的设定值。

注 3. 在 T/V-ver. 中，不能使用外部区域。

13.3 DMA 允许

在将 DMiCON 寄存器（ $i = 0、1$ ）的 DMAE 位置“1”（允许）后开始传送数据时，DMAC 进行如下运行：

- （a）在 DMiCON 寄存器的 DSD 位为“1”（正向）时，将 SARi 寄存器的值再装入到正向地址指针；在 DMiCON 寄存器的 DAD 位为“1”（正向）时，将 DARi 寄存器的值再装入到正向地址指针。
- （b）将 DMAi 传送计数器重加载寄存器的值再装入到 DMAi 传送计数器

如果在 DMAE 位为“1”时再次写“1”，就进行上述运行。
但是，如果在写 DMAE 位的同时有可能发生 DMA 请求，就必须按以下步骤写：

- （1）对 DMiCON 寄存器的 DMAE 位和 DMAS 位同时写“1”
- （2）通过程序确认 DMAi 是否处于初始状态（上述（a）（b）的状态）
如果 DMAi 没处于初始状态，就重复（1）（2）

13.4 DMA 请求

DMAC 能对各通道根据 DMiSL 寄存器（ $i = 0、1$ ）的 DMS 位和 DESL3 ~ DESL0 位选择的请求源作为触发源来产生 DMA 请求。DMAS 位变化的时序如表 13.4 所示。

与 DMAE 位的状态无关，如果发生 DMA 请求，DMAS 位就变为“1”（有请求）。如果 DMAE 位为“1”（允许），就在即将开始传送数据前，DMAS 位变为“0”（无请求）。另外，通过程序能将 DMAS 位清“0”而不能置“1”。

如果更改 DMS 位和 DSEL3 ~ DSEL0 位，DMAS 位有可能变为“1”。因此，必须在更改 DMS 位和 DSEL3 ~ DSEL0 位后，将 DMAS 位清“0”。

如果 DMAE 位为“1”，因为会在发生 DMA 请求后立刻开始传送数据，所以在通过程序读 DMAS 位时，大部分情况下读到的是“0”。在判断 DMAC 是否为允许状态时，必须读 DMAE 位。

表 13.4 DMAS 位变化的时序

DMA 源	DMiCON 寄存器的 DMAS 位	
	变为“1”的时序	变为“0”的时序
软件触发	在将 DMiSL 寄存器的 DSR 位置“1”时	- 在即将开始数据传送前 - 在通过程序写“0”时
外围功能	在由 DMiSL 寄存器的 DSEL3 ~ DSEL0 位和 DMS 位选择的外围功能的中断控制寄存器的 IR 位变为“1”时	

i=0、1

13.5 通道的优先级和 DMA 传送时序

在 DMA0 和 DMA1 都为允许状态时，如果 DMA0 和 DMA1 的 DMA 传送请求信号出现在同一个采样周期（从 BCLK 的下降沿到下一个下降沿的一个周期），各通道的 DMAS 位就同时变为“1”（有请求）。此时的通道优先级为 DMA0 > DMA1。

以下说明 DMA0 和 DMA1 的请求出现在同一个采样周期时的运行。

由外部源产生的 DMA 传送的例子如图 13.6 所示。

如图 13.6 所示，如果同时产生 DMA0 和 DMA1 的请求，就先接受通道优先级高的 DMA0 请求开始传送。在 DMA0 结束 1 个传送单位后将总线使用权让给 CPU。然后，在 CPU 结束 1 次总线存取后 DMA1 开始传送，在 DMA1 结束 1 个传送单位后将总线使用权还给 CPU。

另外，因为 DMAS 位是各通道的 1 个位，所以无法对 DMA 的请求次数进行计数。因此，如同图 13.6 中的 DMA1，在获得总线使用权前即使发生多次 DMA 请求，也在获得总线使用权后将 DMAS 位清“0”（无请求），并且在结束 1 个传送单位后将总线使用权还给 CPU。

有关 CPU 和总线使用优先级请参照“8.2.7 $\overline{\text{HOLD}}$ 信号”（仅限 Normal-ver.）。

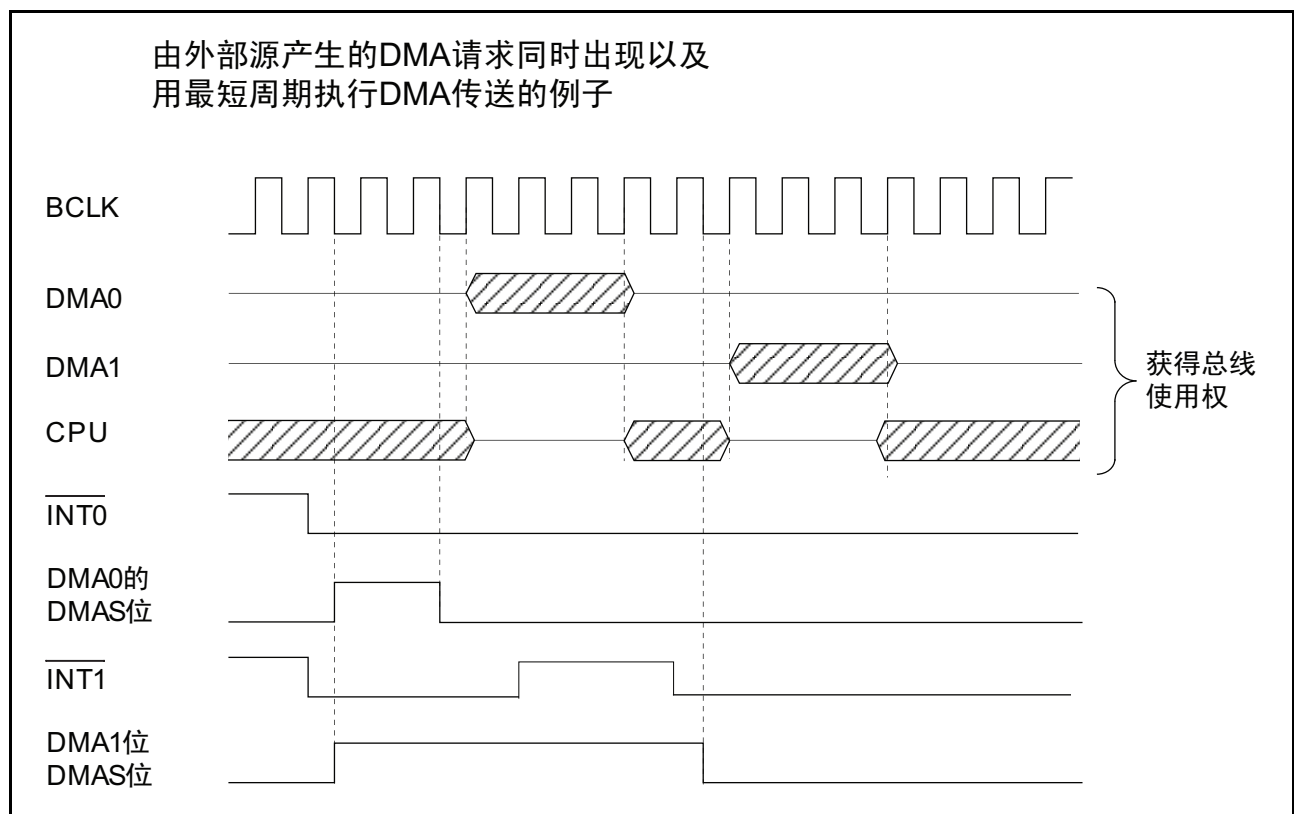


图 13.6 由外部源产生的 DMA 传送的例子

14. 定时器

M16C/6N 群有 11 个 16 位定时器，根据功能分为定时器 A（5 个）和定时器 B（6 个）两类。所有定时器都独立运行，各定时器的计数源为计数、再装入等定时器运行的运行时钟。

定时器 A 的结构如图 14.1 所示，定时器 B 的结构如图 14.2 所示。

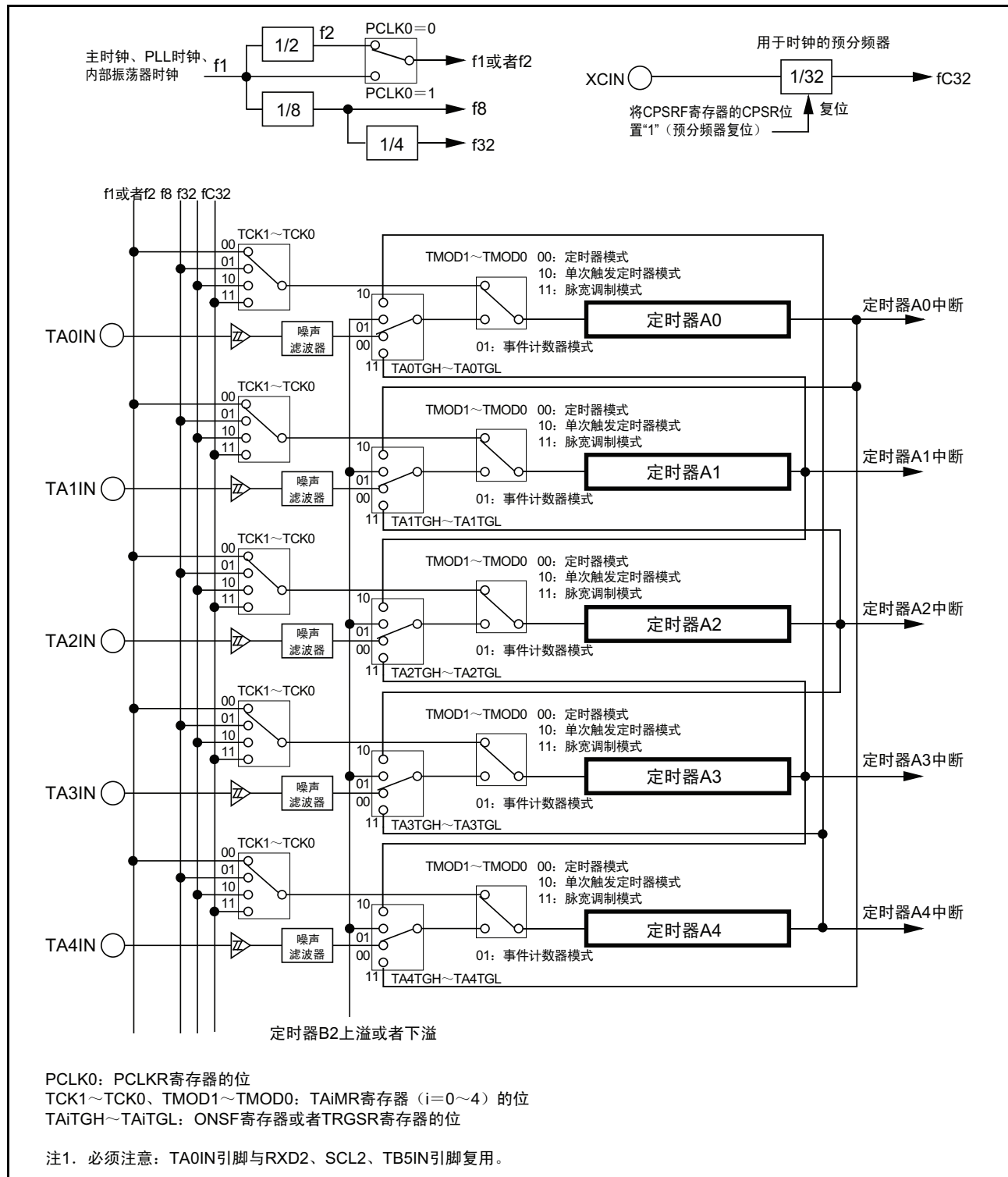


图 14.1 定时器 A 的结构

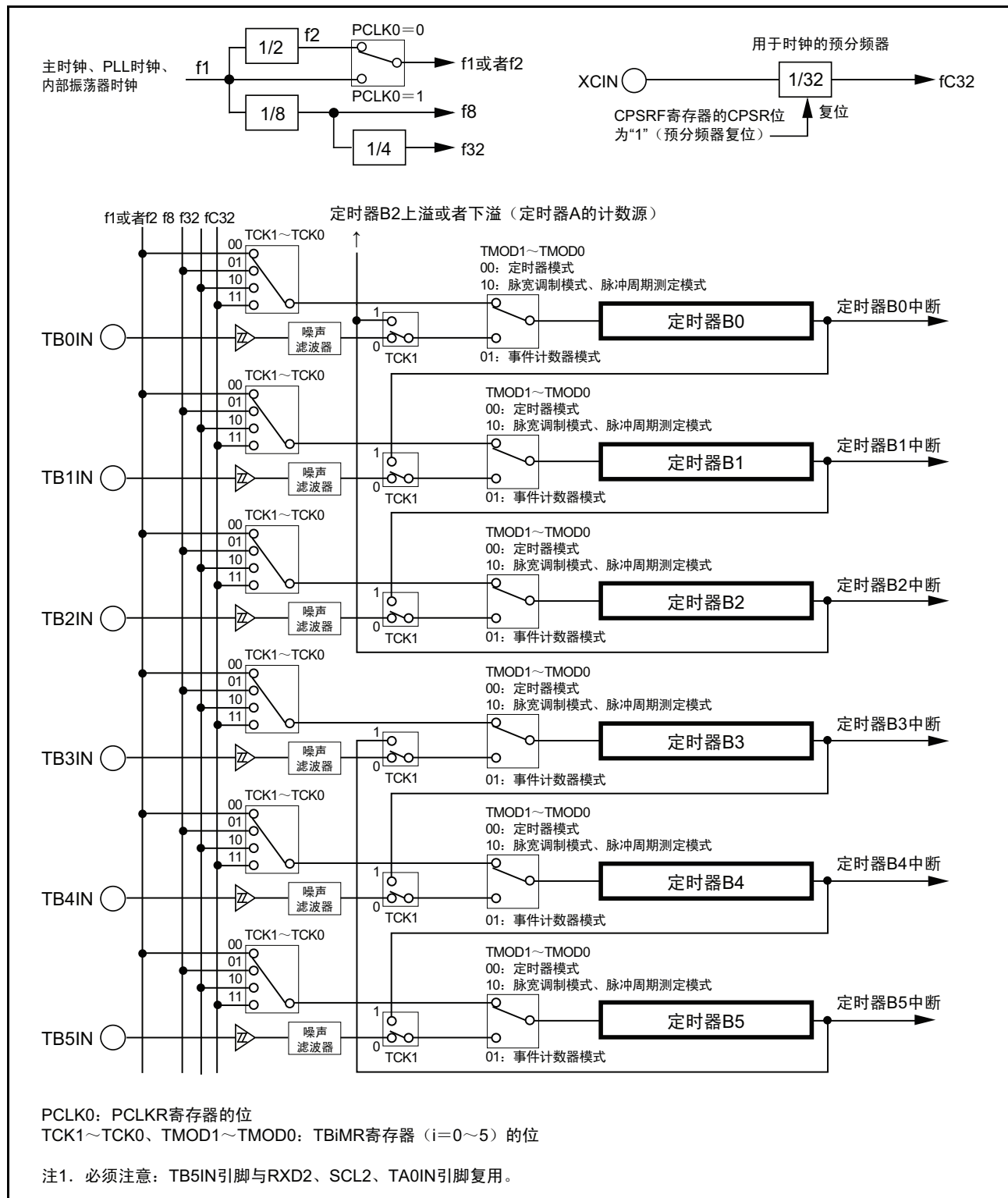


图 14.2 定时器 B 的结构

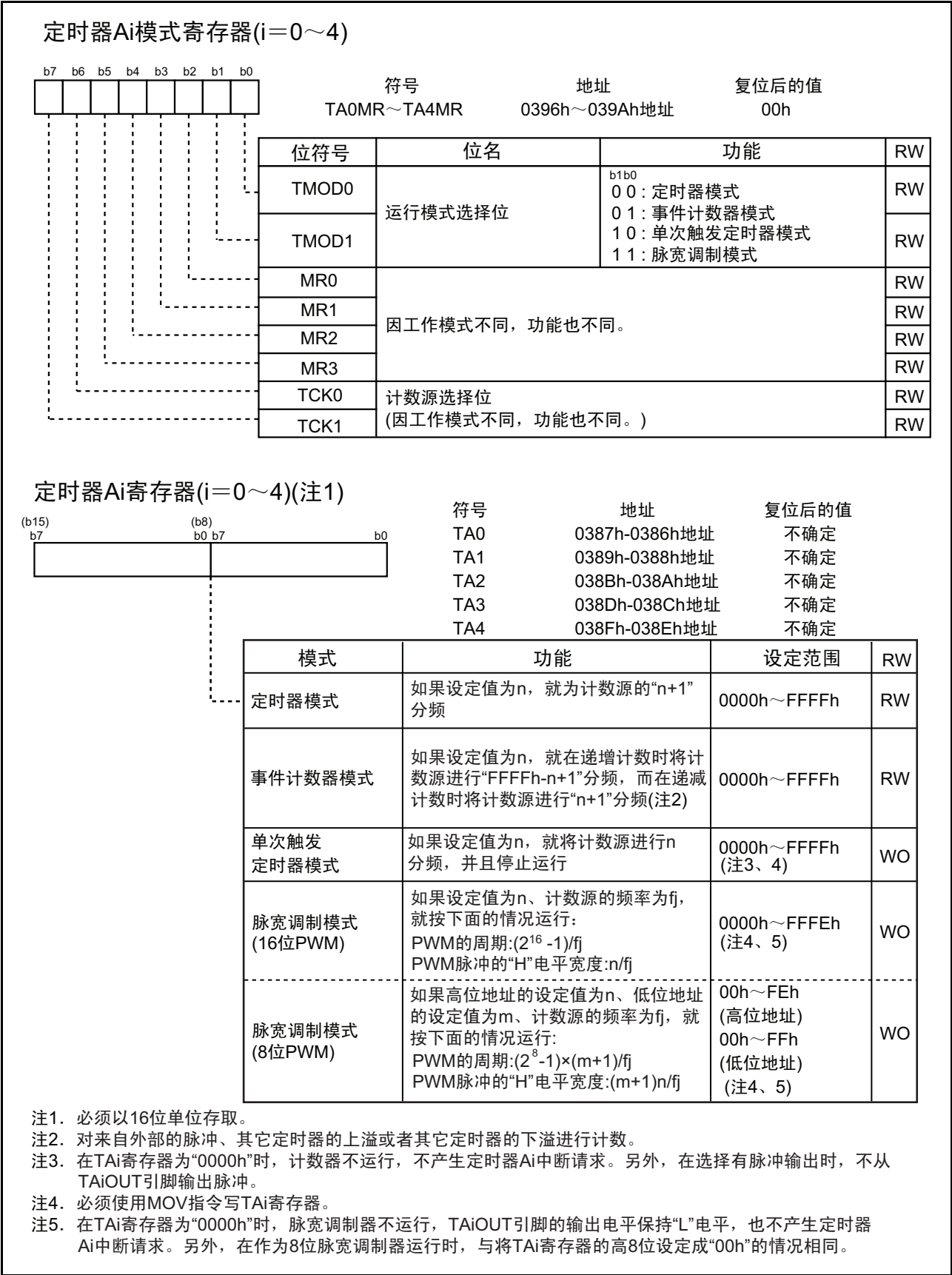


图 14.4 TA0MR ~ TA4MR、TA0 ~ TA4 寄存器

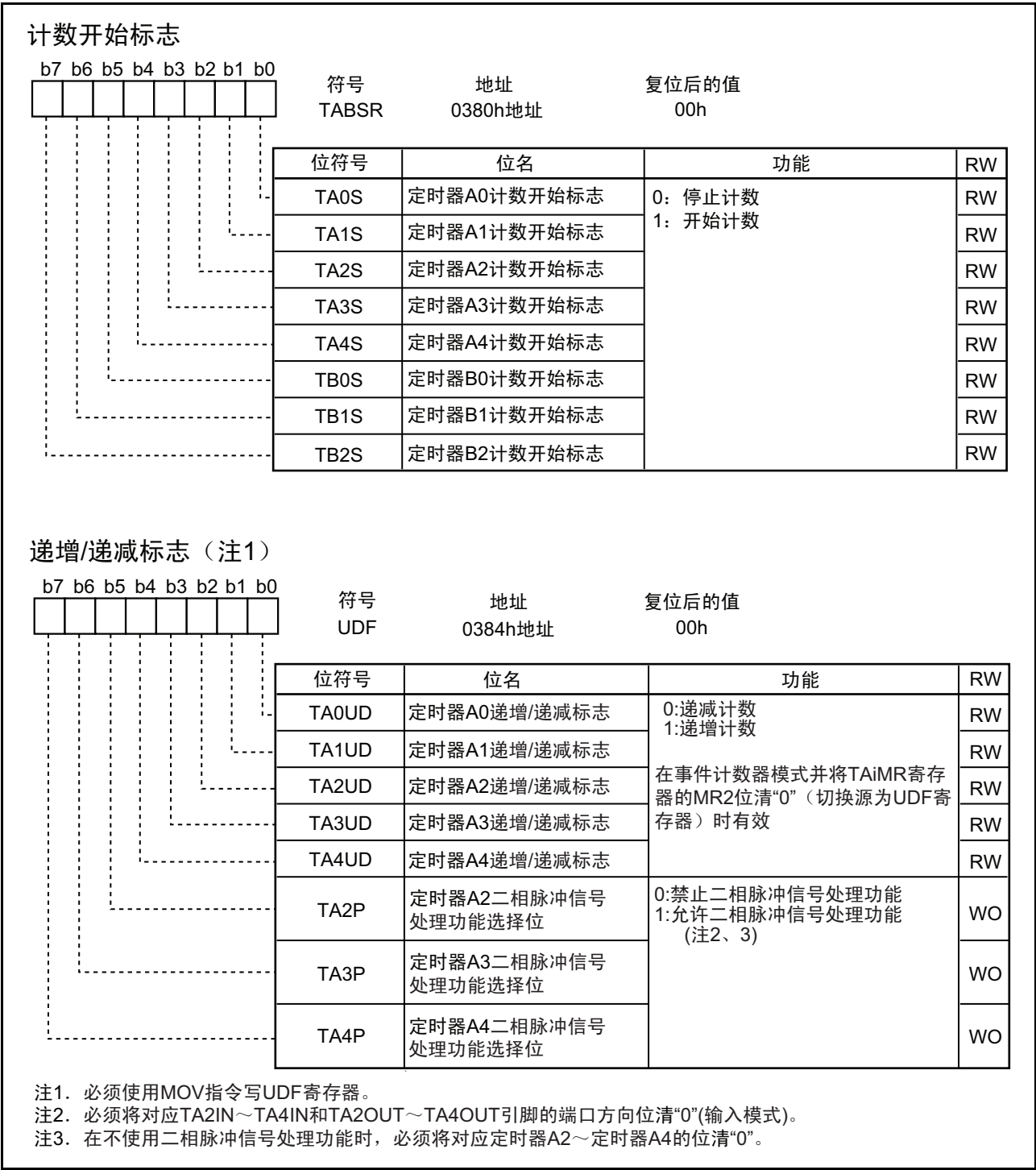


图 14.5 TABSR、UDF 寄存器

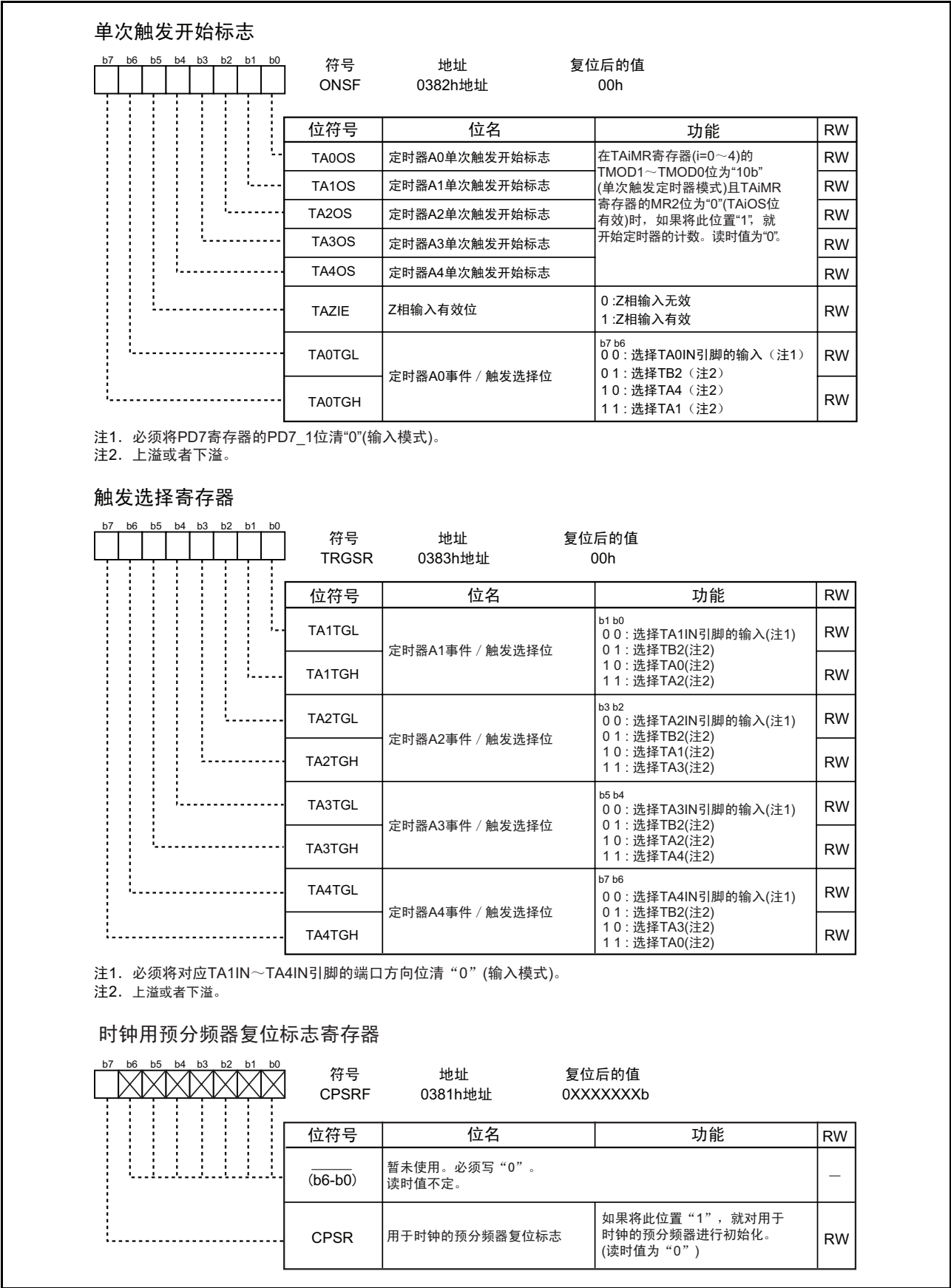


图 14.6 ONSF、TRGSR、CPSRF 寄存器

14.1.1 定时器模式

定时器模式是对在内部生成的计数源进行计数的模式。
定时器模式的规格如表 14.1 所示，定时器模式时的 TAI_iMR 寄存器如图 14.7 所示。

表 14.1 定时器模式的规格

项目	规格
计数源	f1、f2、f8、f32、fC32
计数运行	- 递减计数 - 下溢时，将重加载寄存器的内容再装入后继续计数
分频比	1/(n+1) n: TAI 寄存器的设定值为 0000h ~ FFFFh
计数开始条件	将 TABSR 寄存器的 TAI _S 位置 “1”（计数开始）
计数停止条件	将 TAI _S 位清 “0”（计数停止）
中断请求产生时间	下溢时
TAI _i N 引脚功能	I/O 端口或者选通输入
TAI _i OUT 引脚功能	I/O 端口或者脉冲输出
定时器的读	如果读 TAI 寄存器，就能读取计数值
定时器的写	- 在计数停止时，或计数开始后第一个计数源到来之前，如果给 TAI 寄存器写数据，则它会被同时写入重加载寄存器和计数器中 - 如果在计数中（但是在输入第 1 次计数源后）给 TAI 寄存器写数据，数据就被写到重加载寄存器（在下次的再装入时传送）
选择功能	- 选通功能 能通过 TAI_iN 引脚的输入信号选择计数开始或者计数停止 - 脉冲输出功能 每次下溢时，反转 TAI_iOUT 引脚的输出极性。在 TAI_S 位为 “0”（计数停止）期间输出 “L” 电平

i=0 ~ 4

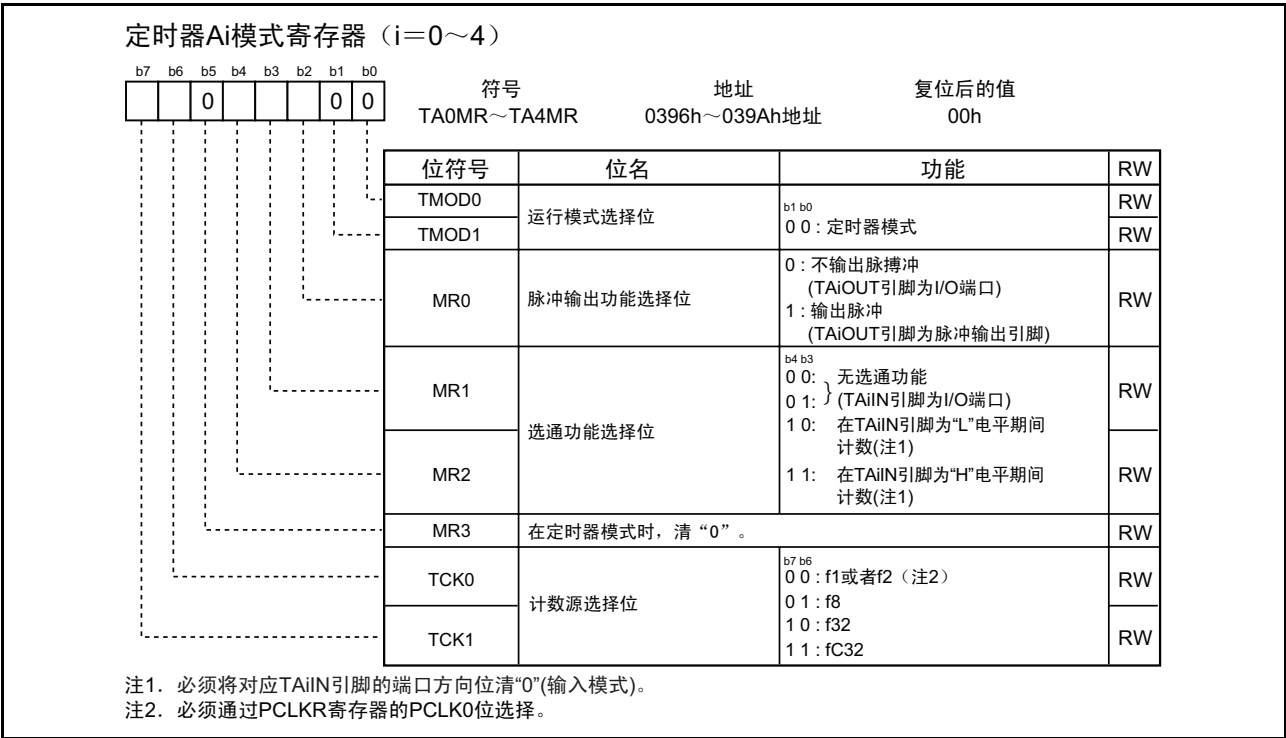


图 14.7 定时器模式时的 TAI_iMR 寄存器

14.1.2 事件计数器模式

事件计数器模式是对外部信号、其它定时器的上溢或者其它定时器的下溢进行计数的模式。定时器 A2、A3、A4 能对二相外部信号进行计数。

事件计数器模式的规格（不使用二相脉冲信号处理功能时）如表 14.2 所示，事件计数器模式时的 TAI_iMR 寄存器（不使用二相脉冲信号处理功能时）如图 14.8 所示。

事件计数器模式的规格（在定时器 A2、A3、A4 使用二相脉冲信号处理时）如表 14.3 所示，事件计数器模式时的 TA2MR ~ TA4MR 寄存器（在定时器 A2、A3、A4 使用二相脉冲信号处理功能时）如图 14.9 所示。

表 14.2 事件计数器模式的规格（不使用二相脉冲信号处理功能时）

项目	规格
计数源	- 输入到 TAI_iIN 引脚的外部信号（可通过程序选择有效沿） - 定时器 B2 上溢或者下溢 - 定时器 A_j 上溢或者下溢 - 定时器 A_k 上溢或者下溢
计数运行	- 可通过外部信号或者程序选择递增计数或者递减计数 - 上溢或者下溢时，将重加载寄存器的内容再装入后继续计数。选择自由运行功能时，不进行再装入而继续计数。
分频比	- 递增计数时为 1/(FFFFh-n+1) - 递减计数时为 1/(n+1) n: TAI_i 寄存器的设定值为 0000h ~ FFFFh
计数开始条件	将 TABSR 寄存器的 TAI _i S 位置“1”（计数开始）
计数停止条件	将 TAI _i S 位清“0”（计数停止）
中断请求产生时间	上溢或者下溢时
TAI _i IN 引脚功能	I/O 端口或者计数源输入
TAI _i OUT 引脚功能	I/O 端口、脉冲输出或者递增计数 / 递减计数的切换输入
定时器的读	如果读 TAI _i 寄存器，就能读取计数值
定时器的写	- 在计数停止时，或计数开始后第一个计数源到来之前，如果给 TAI_i 寄存器写数据，则它会被同时写入重加载寄存器和计数器中。 - 如果在计数中（但是在输入第 1 次计数源后）给 TAI_i 寄存器写数据，数据就被写到重加载寄存器（在下次的再装入时传送）
选择功能	- 自由运行计数功能 即使发生上溢或者下溢，也不从重加载寄存器进行再装入 - 脉冲输出功能 每次上溢或者下溢时，反转 TAI_iOUT 引脚的输出极性。在 TAI_iS 位为“0”（计数停止）期间输出“L”电平

i=0 ~ 4

j=i-1, 但是 i=0 时 j=4

k=i+1, 但是 i=4 时 k=0

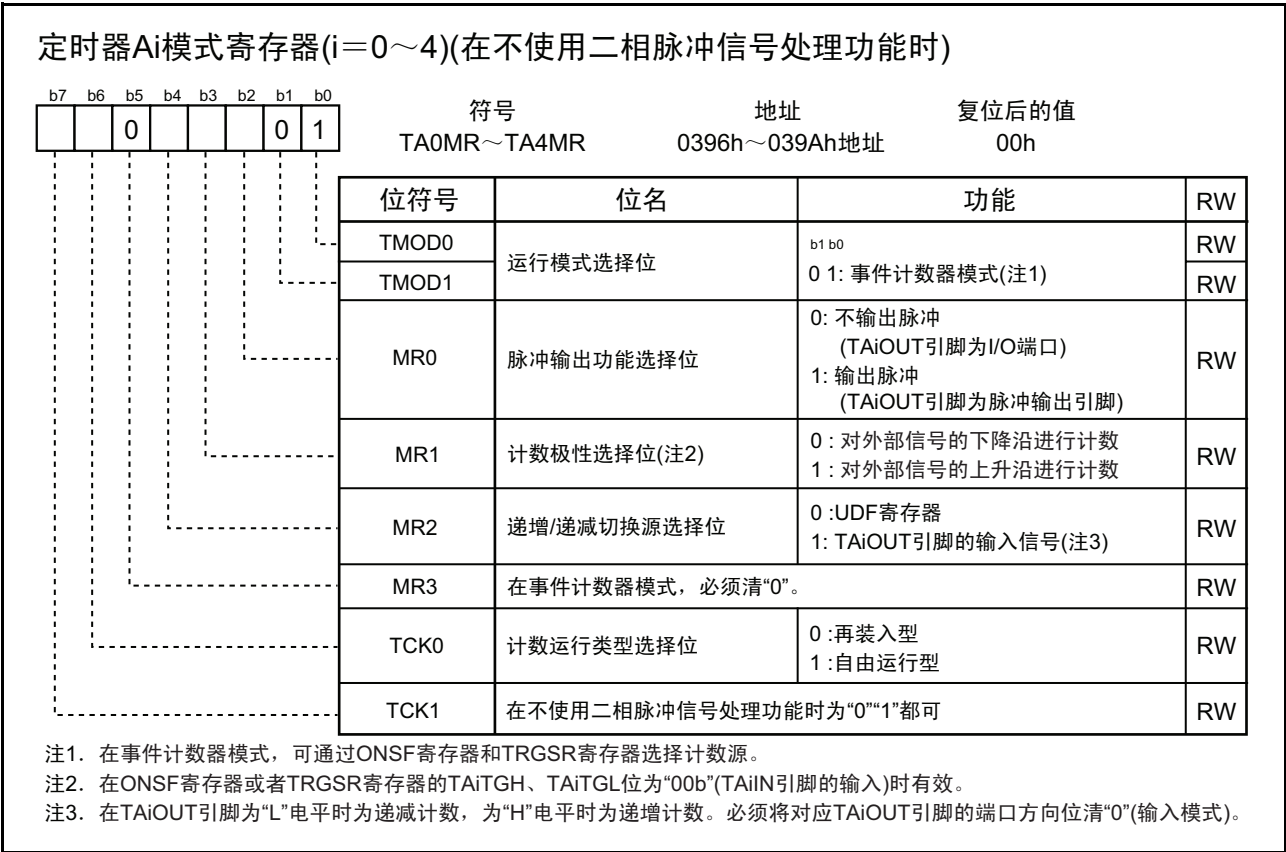
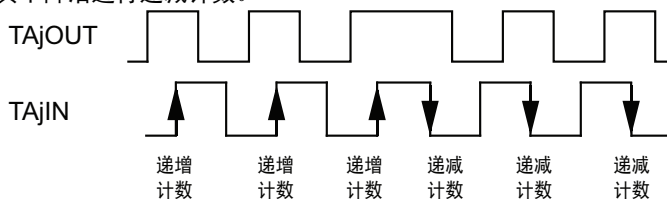
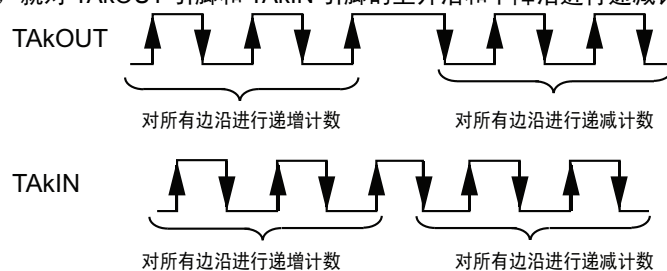


图 14.8 事件计数器模式时的 TAIMR 寄存器（不使用二相脉冲信号处理功能时）

表 14.3 事件计数器模式的规格（在定时器 A2、A3、A4 使用二相脉冲信号处理功能时）

项目	规格
计数源	输入到 TAIiN、TAiOUT 引脚的二相脉冲信号
计数运行	- 可通过二相脉冲信号切换递增计数或者递减计数 - 上溢或者下溢时，将重加载寄存器的内容再装入后继续计数。选择自由运行功能时，不进行再装入而继续计数。
分频比	- 递增计数时，为 $1/(FFFFh-n+1)$ - 递减计数时，为 $1/(n+1)$ n: TAI 寄存器的设定值为 0000h ~ FFFFh
计数开始条件	将 TABSR 寄存器的 TAI <i>s</i> 位置“1”（计数开始）
计数停止条件	将 TAI <i>s</i> 位清“0”（计数停止）
中断请求产生时间	上溢或者下溢时
TAIiN 引脚功能	二相脉冲输入
TAiOUT 引脚功能	二相脉冲输入
定时器的读	如果读 TAI 的寄存器，就能读取计数值
定时器的写	- 在计数停止时，或计数开始后第一个计数源到来之前，如果给 TAI 寄存器写数据，则它会被同时写入重加载寄存器和计数器中。 - 如果在计数中（但是在输入第 1 次计数源后）给 TAI 寄存器写数据，数据就被写到重加载寄存器（在下次的再装入时传送）
选择功能（注 1）	- 正常处理运行（定时器 A2、定时器 A3） 在 TAJOUT 引脚的输入信号为“H”电平期间，对 TAJIN 引脚的上升沿进行递增计数，对其下降沿进行递减计数。  4 倍频处理运行（定时器 A3、定时器 4） 在 TAKOUT 引脚的输入信号为“H”电平期间，如果与 TAKIN 引脚的上升沿存在相位关系，就对 TAKOUT 引脚和 TAKIN 引脚的上升沿和下降沿进行递增计数。在 TAKOUT 引脚的输入信号为“H”电平期间，如果与 TAKIN 引脚的下降沿存在相位关系，就对 TAKOUT 引脚和 TAKIN 引脚的上升沿和下降沿进行递减计数。  - 通过 Z 相输入进行计数器的初始化（定时器 A3） 通过 Z 相输入将定时器的计数值清“0”

i=2 ~ 4

j=2、3

k=3、4

注 1. 定时器 A3 能选择两种运行方式。定时器 A2 只能选择正常处理运行方式，定时器 A4 只能选择为 4 倍频处理运行方式。

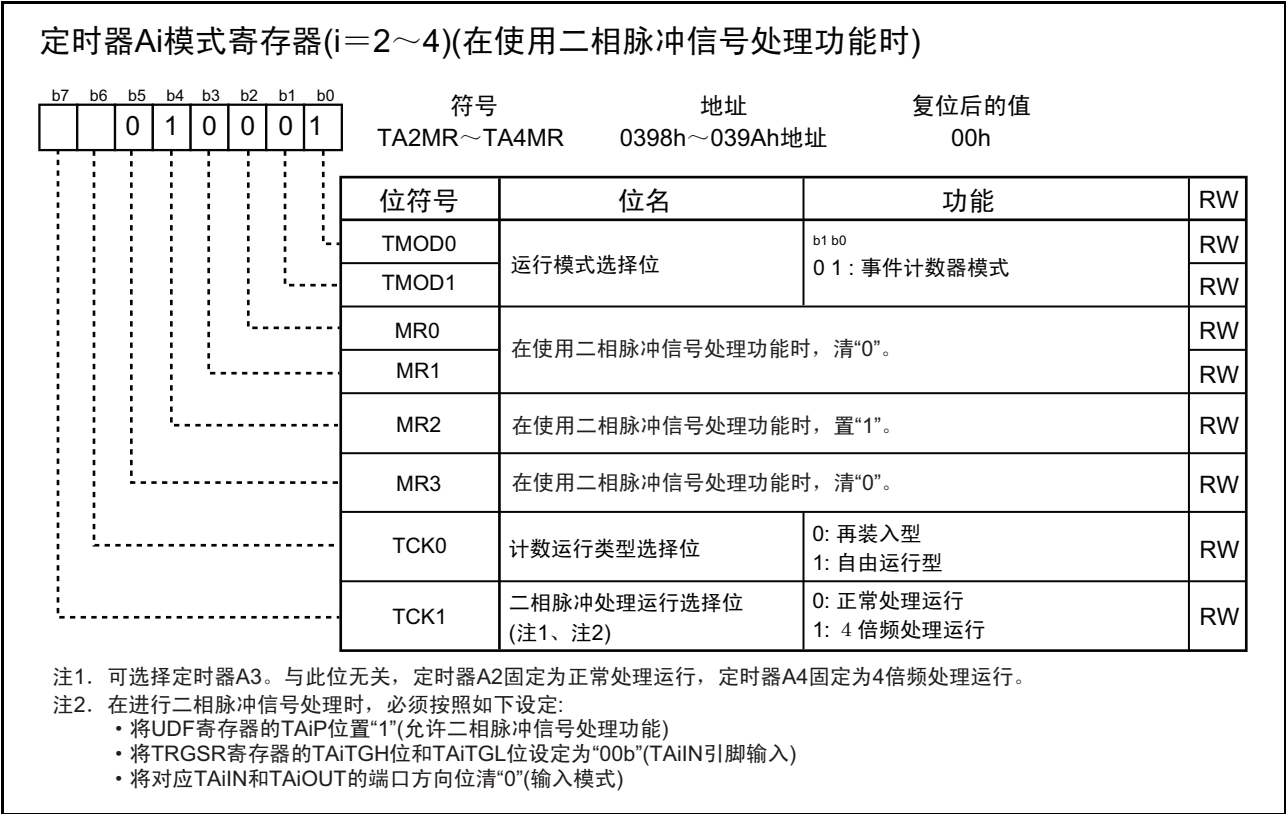


图 14.9 事件计数器模式时的TA2MR~TA4MR寄存器（在定时器A2、A3、A4使用二相脉冲信号处理功能时）

14.1.2.1 二相脉冲信号处理的计数器初始化

这是在二相脉冲信号处理时，通过 Z 相（计数器初始化）的输入将定时器的计数值清“0”的功能。

此功能只能用于定时器 A3 的事件计数器模式、二相脉冲信号处理、自由运行型和 4 倍频处理，Z 相从 ZP 引脚输入。

如果将“0000h”写到 TA3 寄存器，并将 ONSF 寄存器的 TAZIE 位置“1”（Z 相输入有效），就能通过 Z 相的输入进行计数器的初始化。

通过检测 Z 相的输入边沿进行计数器的初始化。边沿的极性能通过 INT2IC 寄存器的 POL 位选择。输入的 Z 相脉宽必须为定时器 A3 计数源的 1 个或 1 个以上周期。

接受 Z 相输入之后，在下一个计数时序到来时对计数器进行初始化。二相脉冲（A 相、B 相）和 Z 相的关系如图 14.10 所示。

如果定时器 A3 的上溢或下溢时序与 Z 相输入的计数器初始化时序重叠，因为会连续产生 2 次定时器 A3 的中断请求，所以使用此功能时不能使用定时器 A3 中断。

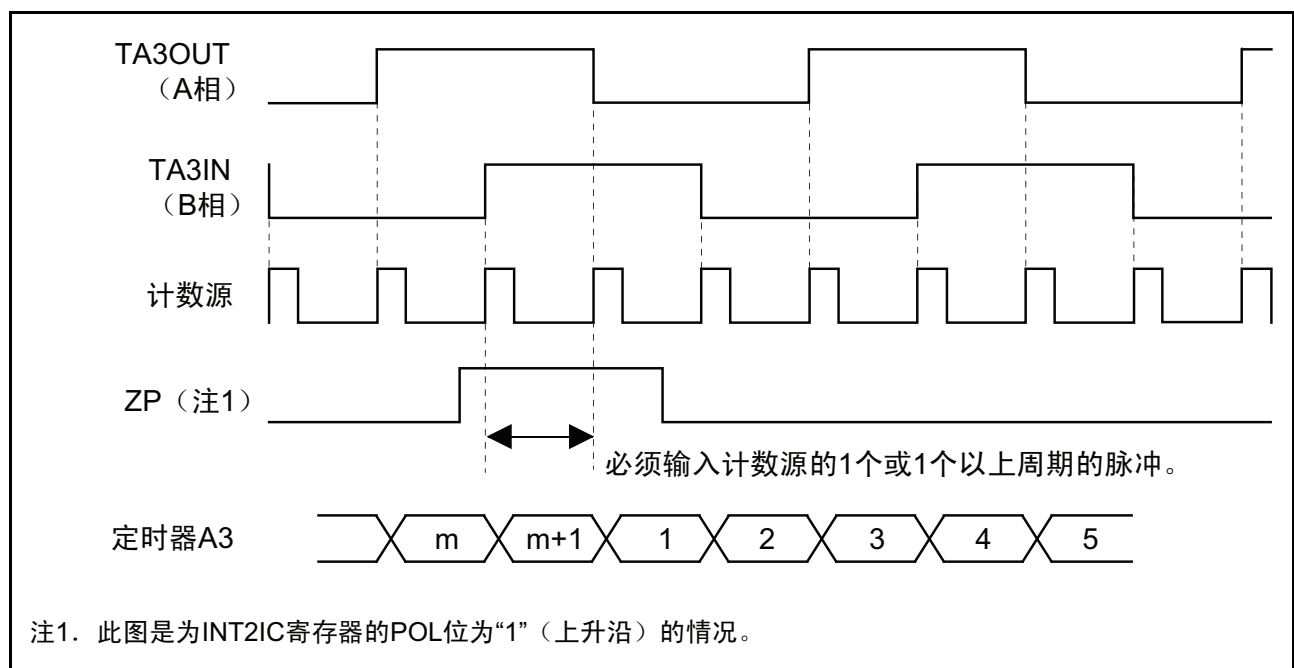


图 14.10 二相脉冲（A 相、B 相）和 Z 相的关系

14.1.3 单次触发定时器模式

单次触发定时器模式是对 1 次触发只运行定时器 1 次的模式。在从发生触发后的任意期间定时器运行。
单次触发定时器模式的规格如表 14.4 所示，单次触发定时器模式时的 TAI_{MR} 寄存器如图 14.11 所示。

表 14.4 单次触发定时器模式的规格

项目	规格
计数源	f1、f2、f8、f32、fC32
计数运行	- 递减计数 - 在计数值变为“0000h”的时序进行再装入，然后停止计数 - 如果在计数中发生触发，就进行再装入，然后继续计数
分频比	1/n n: TAI 寄存器的设定值为 0000h ~ FFFFh 但是，如果设定“0000h”，计数器就不运行。
计数开始条件	TABSR 寄存器的 TAI _S 位为“1”（计数开始）并且发生以下的触发： - 从 TAI_{IN} 引脚输入外部触发 - 定时器 B2 上溢或者下溢 - 定时器 A_j 上溢或者下溢 - 定时器 A_k 上溢或者下溢 - 将 ONSF 寄存器的 TAI_{OS} 位置“1”（定时器开始运行）
计数停止条件	- 计数值变为“0000h”并进行再装入后 - 将 TAI_S 位清“0”（计数停止）
中断请求产生时间	在计数值变为“0000h”时
TAI _{IN} 引脚功能	I/O 端口或者触发输入
TAI _{OUT} 引脚功能	I/O 端口或者脉冲输出
定时器的读	如果读 TAI 寄存器，读取的值为不定值。
定时器的写	- 在计数停止时，或计数开始后第一个计数源到来之前，如果给 TAI 寄存器写数据，则它会被同时写入重加载寄存器和计数器中。 - 如果在计数中（但是在输入第 1 次计数源后）给 TAI 寄存器写数据，数据就被写到重加载寄存器（在下次的再装入时传送）
选择功能	- 脉冲输出功能 - 在计数停止时输出“L”电平，在计数时输出“H”电平

i=0 ~ 4
j=i-1, 但是 i=0 时 j=4
k=i+1, 但是 i=4 时 k=0

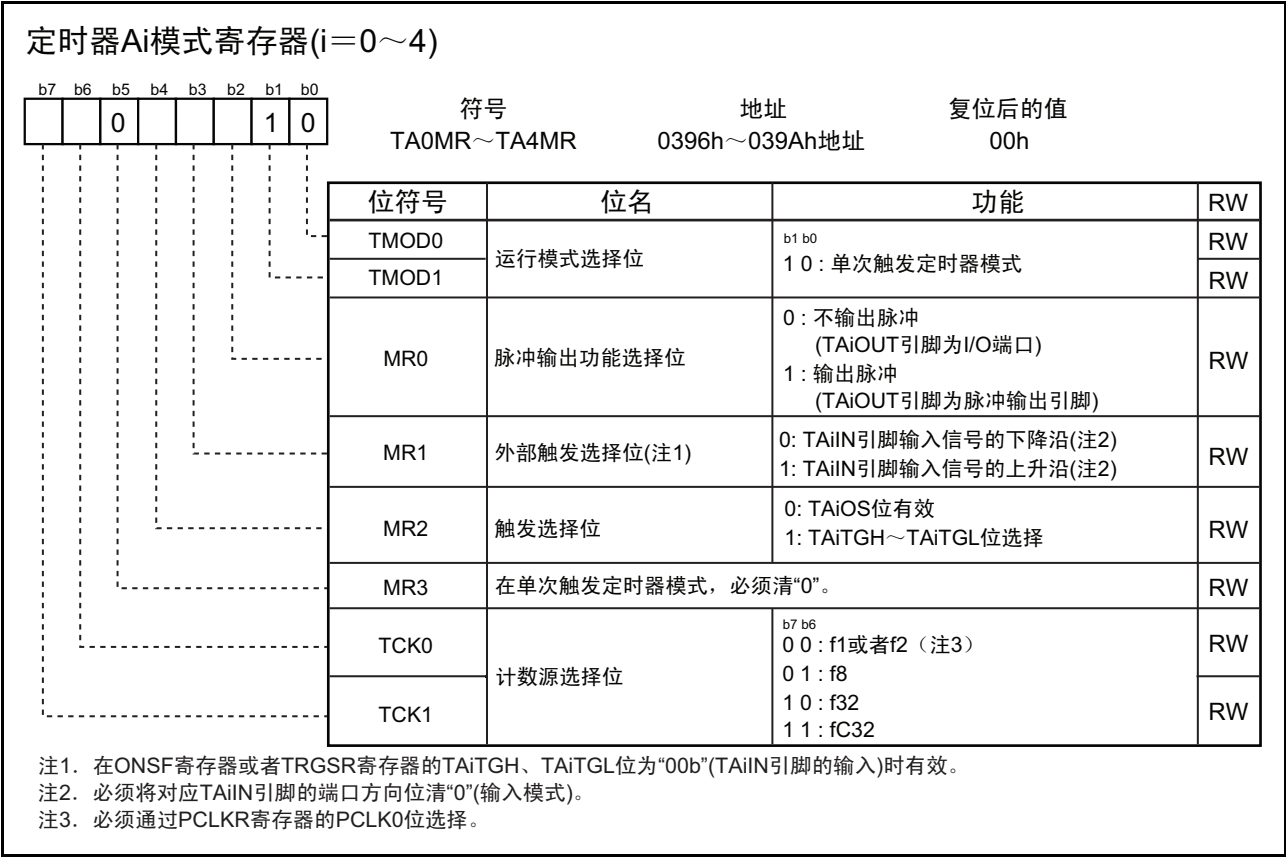


图 14.11 单次触发定时器模式时的 TAIiMR 寄存器

14.1.4 脉宽调制模式（PWM 模式）

脉宽调制模式是连续输出任意宽度的脉冲的模式。在此模式中，计数器作为 16 位或 8 位脉宽调制器运行。

脉宽调制模式的规格如表 14.5 所示，脉宽调制模式时的 TAI_{MR} 寄存器如图 14.12 所示，16 位脉宽调制器的运行例子如图 14.13 所示，8 位脉宽调制器的运行例子如图 14.14 所示。

表 14.5 脉宽调制模式的规格

项目	规格
计数源	f1、f2、f8、f32、fC32
计数运行	- 递减计数（作为 8 位或者 16 位脉宽调制器运行） - 在 PWM 脉冲的上升沿处，定时器重加载一个新值，并继续计数 - 如果在计数中发生触发，不影响计数
16 位 PWM	“H”电平宽度 n/f_j n: TAI 寄存器的设定值 - 周期 $(2^{16}-1)/f_j$ 固定 f_j: 计数源的频率 (f1、f2、f8、f32、fC32)
8 位 PWM	“H”电平宽度 $n \times (m+1)/f_j$ n: TAI 寄存器的高位地址设定值 - 周期 $(2^8-1) \times (m+1)/f_j$ m: TAI 寄存器的低位地址设定值
计数开始条件	- 将 TABSR 寄存器的 TAI_S 位置 “1”（计数开始） - TAI_S 位为 “1” 并且外部触发由 TAI_{IN} 引脚输入 - TAI_S 位为 “1” 并且发生以下的触发： 定时器 B2 上溢或者下溢 定时器 A_j 上溢或者下溢 定时器 A_k 上溢或者下溢
计数停止条件	将 TAI _S 位清 “0”（计数停止）
中断请求产生时间	在 PWM 脉冲下降沿处
TAI _{IN} 引脚功能	I/O 端口或者触发输入
TAI _{OUT} 引脚功能	脉冲输出
定时器的读	如果读 TAI 寄存器，读取的值为不定值
定时器的写	- 在计数停止时，或计数开始后第一个计数源到来之前， 如果给 TAI 寄存器写数据，则它会被同时写入重加载寄存器和计数器中。 - 如果在计数中（但是在输入第 1 次计数源后） 给 TAI 寄存器写数据，数据就被写到重加载寄存器（在下次的再装入时传送）

i=0 ~ 4

j=i-1, 但是 i=0 时 j=4

k=i+1, 但是 i=4 时 k=0

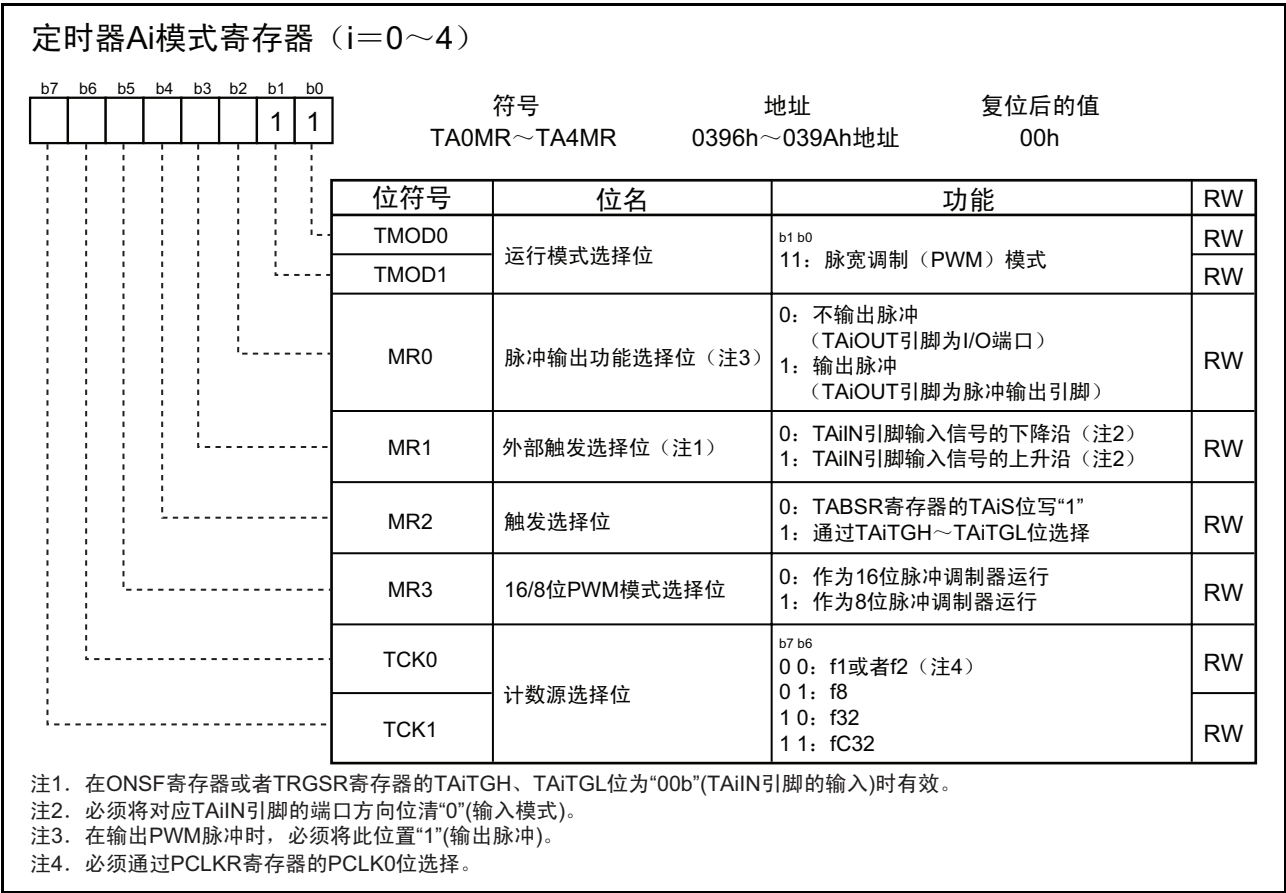


图 14.12 脉宽调制模式时的 TAIiMR 寄存器

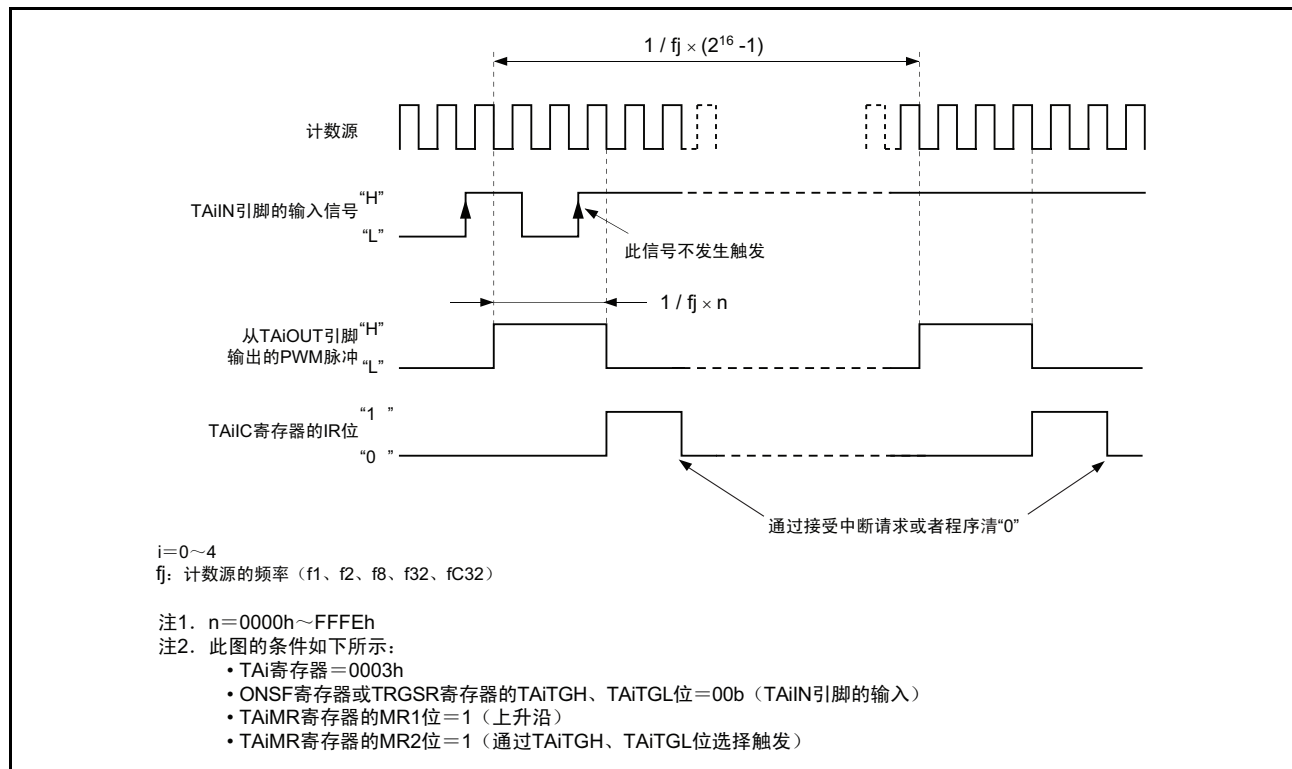


图 14.13 16 位脉宽调制器的运行例子

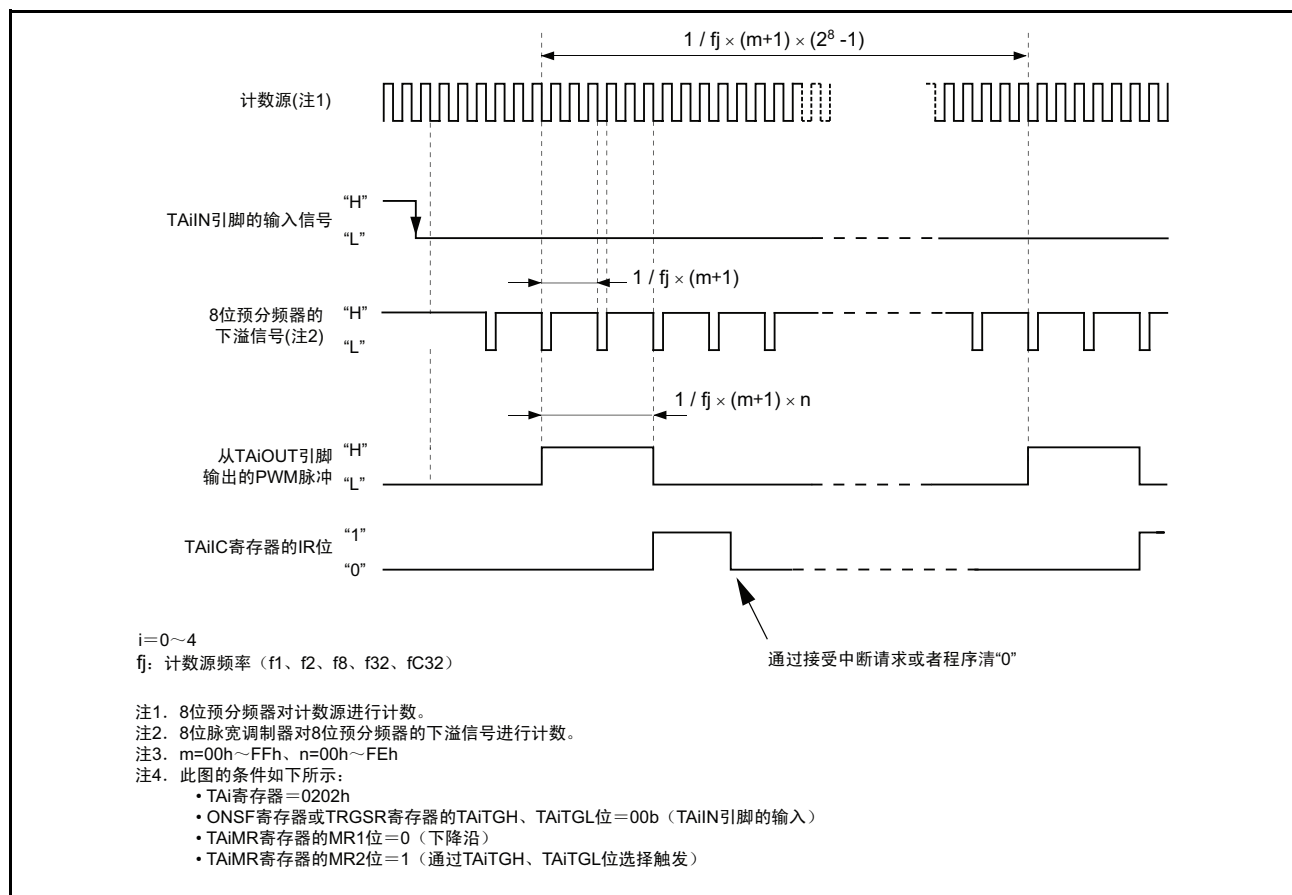


图 14.14 8 位脉宽调制器的运行例子

14.2 定时器 B

定时器 B 框图如图 14.15 所示，定时器 B 相关寄存器如图 14.16、图 14.17 所示。
定时器 B 有以下 3 种模式，能通过 TBiMR 寄存器（i=0 ~ 5）的 TMOD1 ~ TMOD0 位选择模式。

- 定时器模式 对内部计数源进行计数的模式
- 事件计数器 对来自外部的脉冲、其它定时器的上溢或其它定时器的下溢进行计数的模式
- 脉冲周期测定模式、脉宽测定模式 测定外部脉冲周期或者脉宽的模式

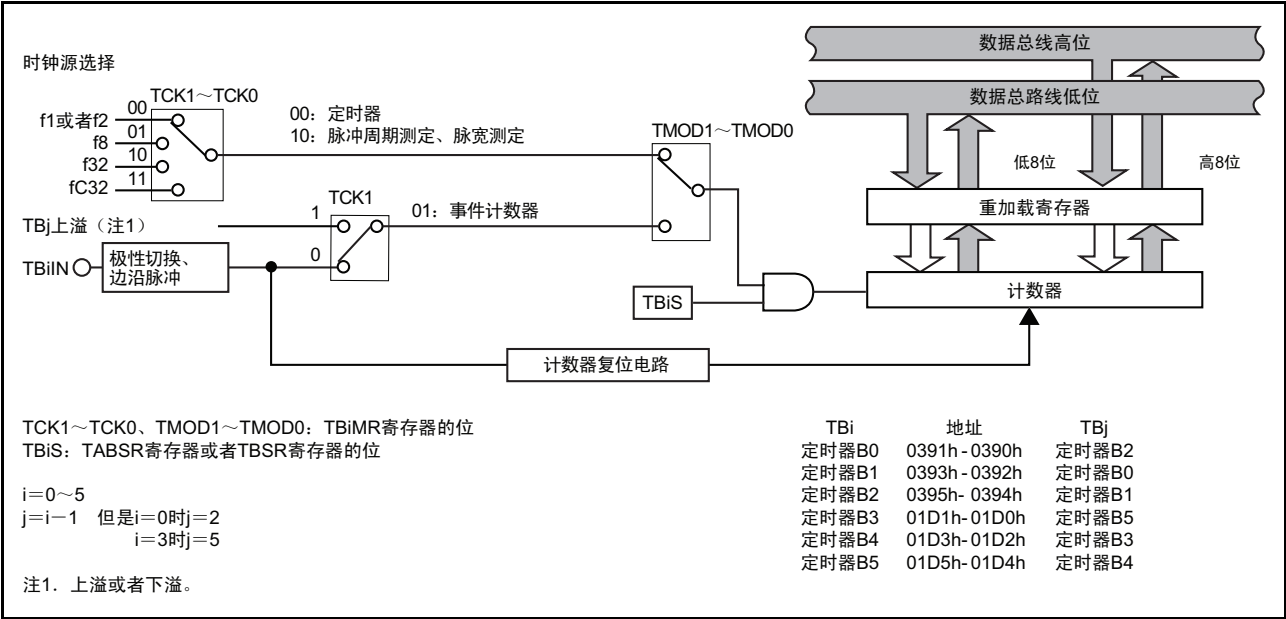
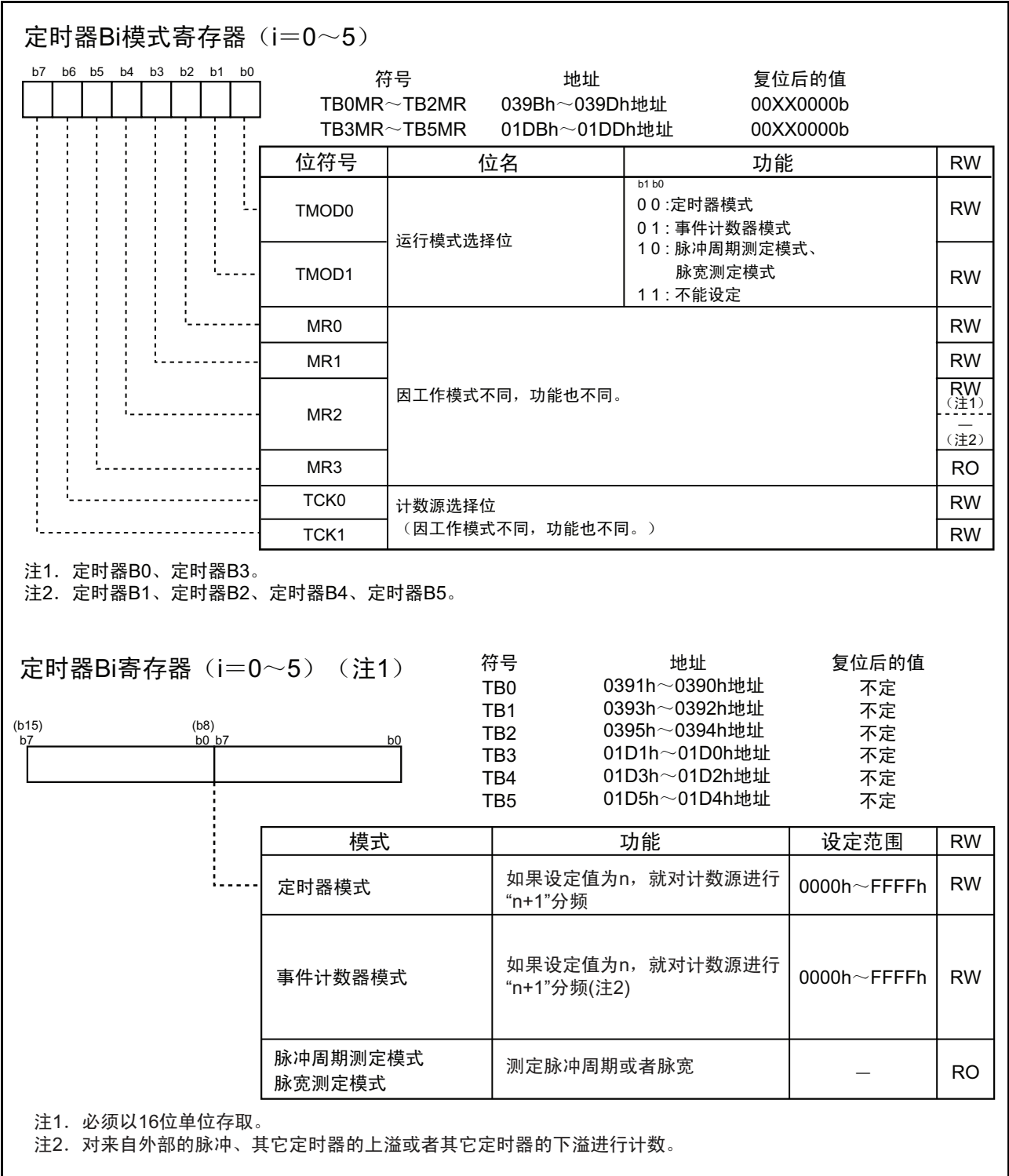


图 14.15 定时器 B 框图



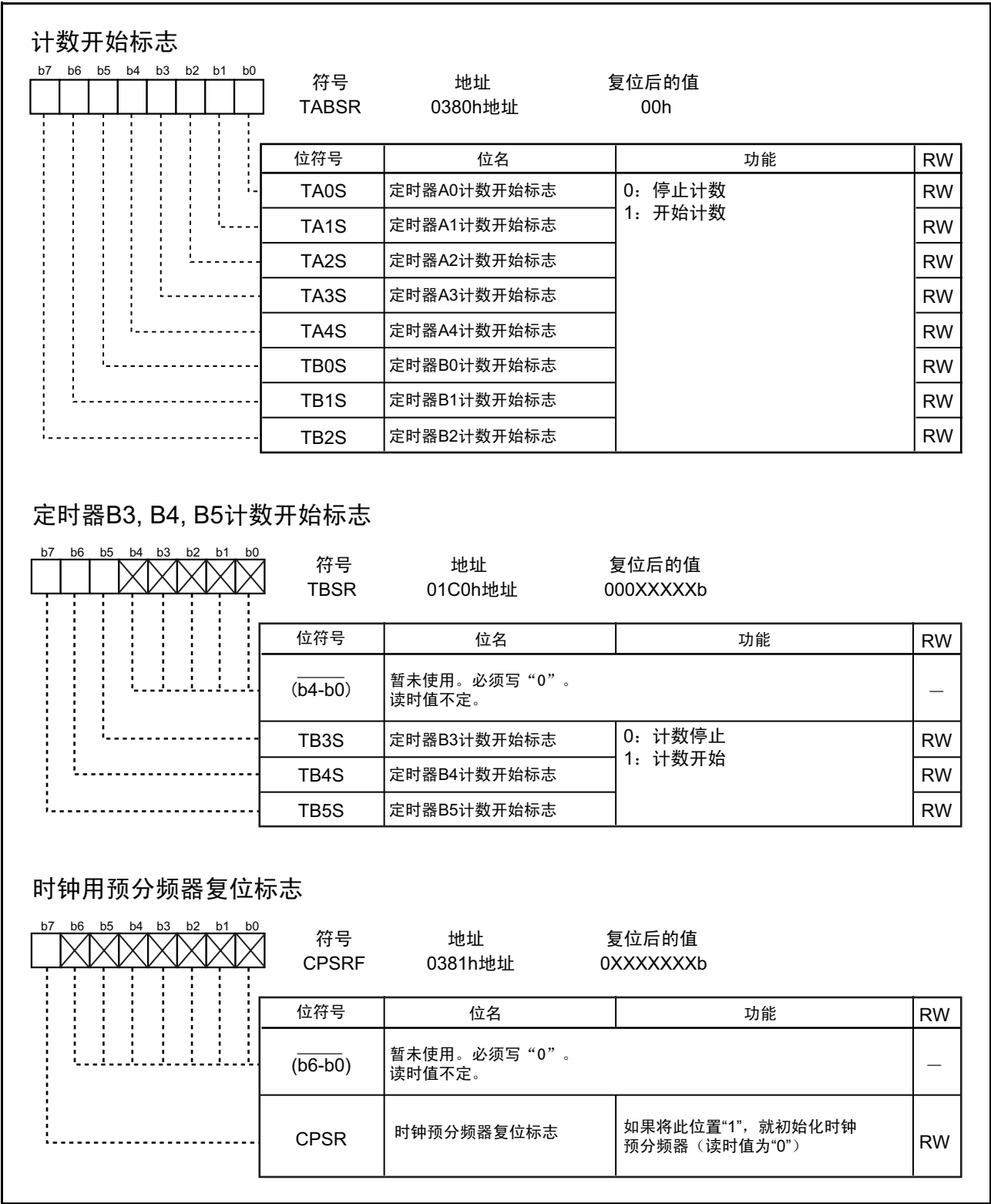


图 14.17 TABSR、TBSR、CPSRF 寄存器

14.2.1 定时器模式

定时器模式是对在内部生成的计数源进行计数的模式。
定时器模式的规格如表 14.6 所示，定时器模式时的 TBiMR 寄存器如图 14.18 所示。

表 14.6 定时器模式的规格

项目	规格
计数源	f1、f2、f8、f32、fC32
计数运行	- 递减计数 - 下溢时，将重加载寄存器的内容再装入后继续计数
分频比	1/ (n+1) n: TBi 寄存器的设定值 0000h ~ FFFFh
计数开始条件	将 TBiS 位（注 1）置“1”（计数开始）
计数停止条件	将 TBiS 位清“0”（计数停止）
中断请求产生时间	下溢时
TBiIN 引脚功能	I/O 端口
定时器的读	读 TBi 寄存器，可读取计数值
定时器的写	- 在计数停止时，或计数开始后第一个计数源到来之前，如果给 TBi 寄存器写数据，则它会被同时写入重加载寄存器和计数器中 - 如果在计数中（但是在输入第 1 次计数源后）给 TBi 寄存器写数据，数据就被写到重加载寄存器（在下次的再装入时传送）

i=0 ~ 5

注 1. TB0S ~ TB2S 位是 TABSR 寄存器的 bit5 ~ 7，TB3S ~ TB5S 位是 TBSR 寄存器的 bit5 ~ 7。

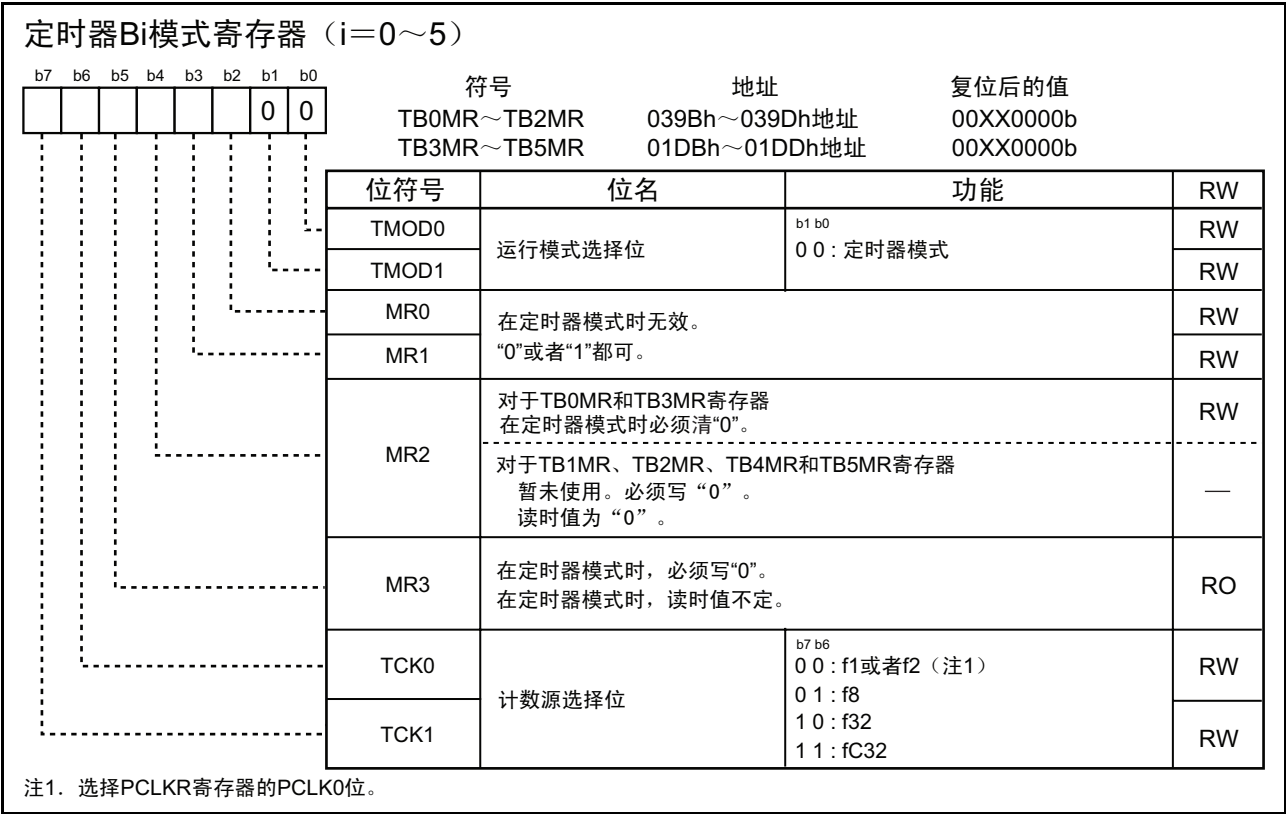


图 14.18 定时器模式时的 TBiMR 寄存器

14.2.2 事件计数器模式

事件计数器模式是对外部信号、其它定时器的上溢或者其它定时器的下溢进行计数的模式。
事件计数器模式的规格如表 14.7 所示，事件计数器模式时的 TBiMR 寄存器如图 14.19 所示。

表 14.7 事件计数器模式的规格

项目	规格
计数源	- 输入到 TBiIN 引脚的外部信号（对计数源的有效边沿，可通过程序选择上升沿、下降沿或者上升 / 下降双边沿） - 定时器 Bj 的上溢或者下溢
计数运行	- 递减计数 - 下溢时，将重加载寄存器的内容再装入后继续计数
分频比	$1/(n+1)$ n: TBi 寄存器的设定值 0000h ~ FFFFh
计数开始条件	将 TBiS 位（注 1）置“1”（计数开始）
计数停止条件	将 TBiS 位清“0”（计数停止）
中断请求产生时间	下溢时
TBiIN 引脚功能	计数源输入
定时器的读	读 TBi 寄存器，可读取计数值
定时器的写	- 在计数停止时，或计数开始后第一个计数源到来之前，如果给 TBi 寄存器写数据，则它会被同时写入重加载寄存器和计数器中 - 如果在计数中（但是在输入第 1 次计数源后）给 TBi 寄存器写数据，数据就被写到重加载寄存器（在下次的再装入时传送）

i=0 ~ 5
j=i-1, 但是 i=0 时 j=2, i=3 时 j=5
注 1. TB0S ~ TB2S 位是 TABSR 寄存器的 bit5 ~ 7, TB3S ~ TB5S 位是 TBSR 寄存器的 bit5 ~ 7。

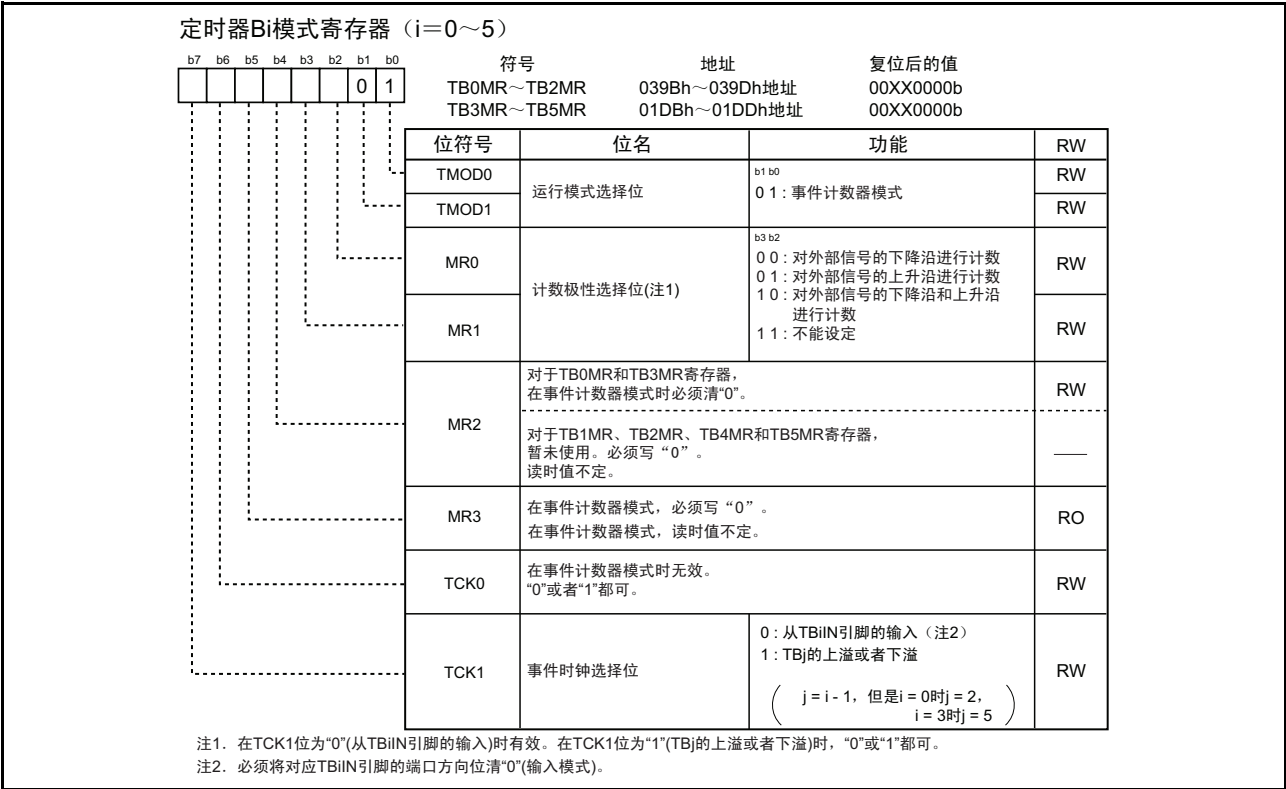


图 14.19 事件计数器模式时的 TBiMR 寄存器

14.2.3 脉冲周期测定、脉宽测定模式

脉冲周期测定模式、脉宽测定模式是测定外部信号的脉冲周期或者脉宽的模式。

脉冲周期测定模式、脉宽测定模式的规格如表 14.8 所示，脉冲周期测定模式、脉宽测定模式时的 TBiMR 寄存器如图 14.20 所示。脉冲周期测定时的运行图如图 14.21 所示，脉宽测定时的运行图如图 14.22 所示。

表 14.8 脉冲周期测定模式、脉宽测定模式的规格

项目	规格
计数源	f1、f2、f8、f32、fC32
计数运行	• 递增计数 • 在测定脉冲的有效沿，将计数器的值传送到重加载寄存器，然后将计数器的值置“0000h”，继续计数
计数开始条件	将 TBiS 位（注 1）置“1”（计数开始）
计数停止条件	将 TBiS 位清“0”（计数停止）
中断请求产生时间	• 输入测定脉冲的有效沿时（注 2） • 上溢时。在上溢同时 TBiMR 寄存器的 MR3 位变为“1”（有上溢）。在 TBiS 位为“1”（计数开始）时，如果在 MR3 位变为“1”的下次计数时序以后写 TBiMR 寄存器，MR3 位就变为“0”（没有上溢）。
TBiIN 引脚功能	测定脉冲输入
定时器的读	读 TBi 寄存器，可读取重加载寄存器的内容（测定结果）（注 3）
定时器的写	给 TBi 寄存器写的值既不被写到重加载寄存器也不被写到计数器。

i=0 ~ 5

注 1. TB0S ~ TB2S 位是 TABSR 寄存器的 bit5 ~ 7，TB3S ~ TB5S 位是 TBSR 寄存器的 bit5 ~ 7。

注 2. 在计数开始后输入第 1 次有效边沿时，不发生中断请求。

注 3. 在计数开始后到输入第 2 次有效边沿前，从 TBi 寄存器读取的值不定。

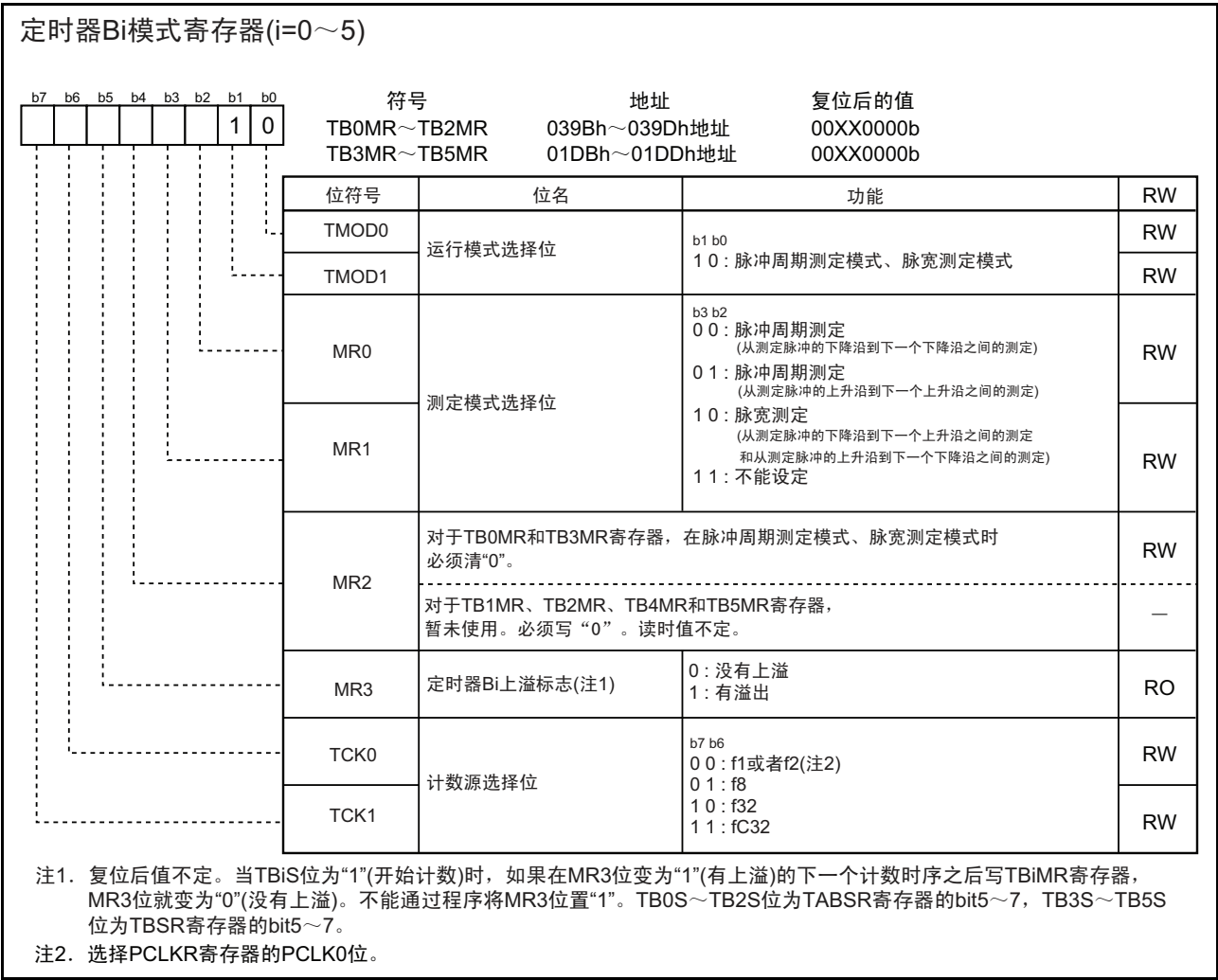


图 14.20 脉冲周期测定模式、脉宽测定模式时的 TBiMR 寄存器

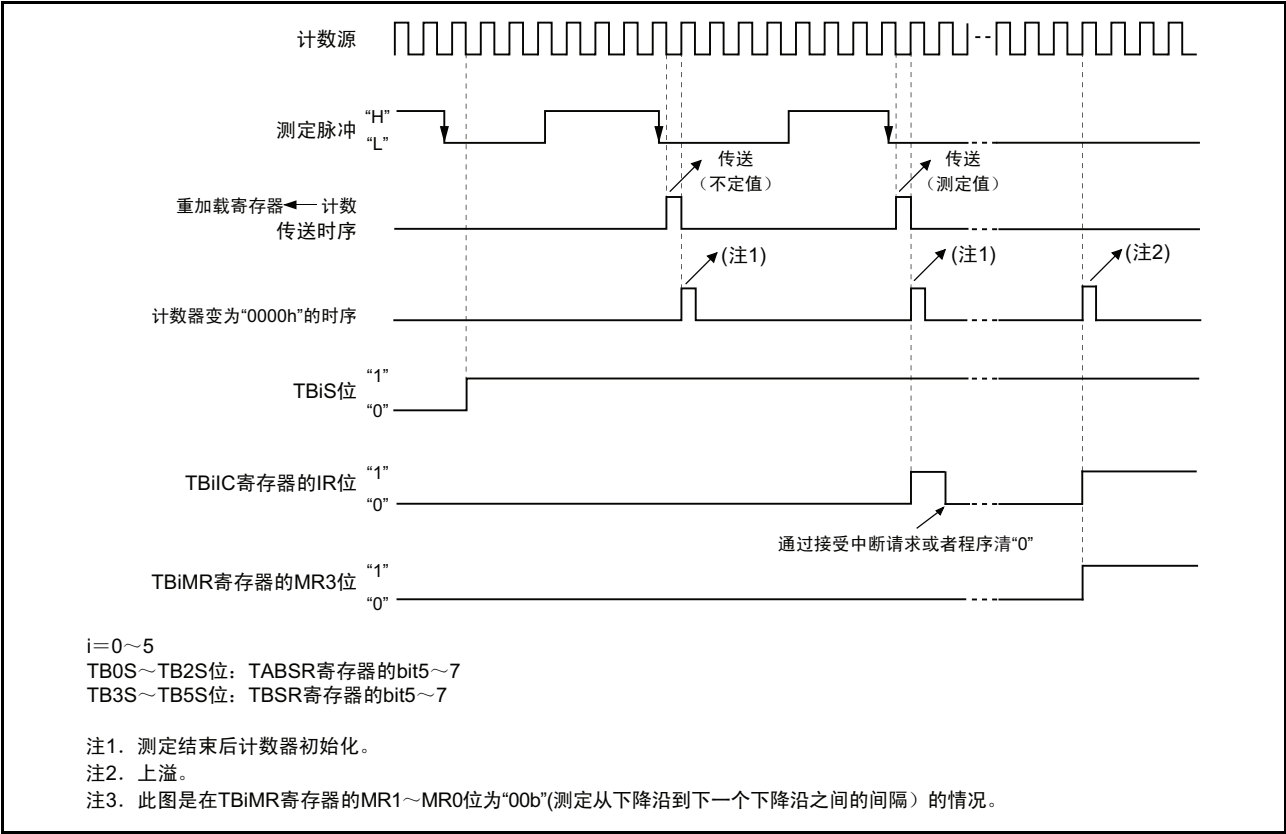


图 14.21 脉冲周期测定时的运行图

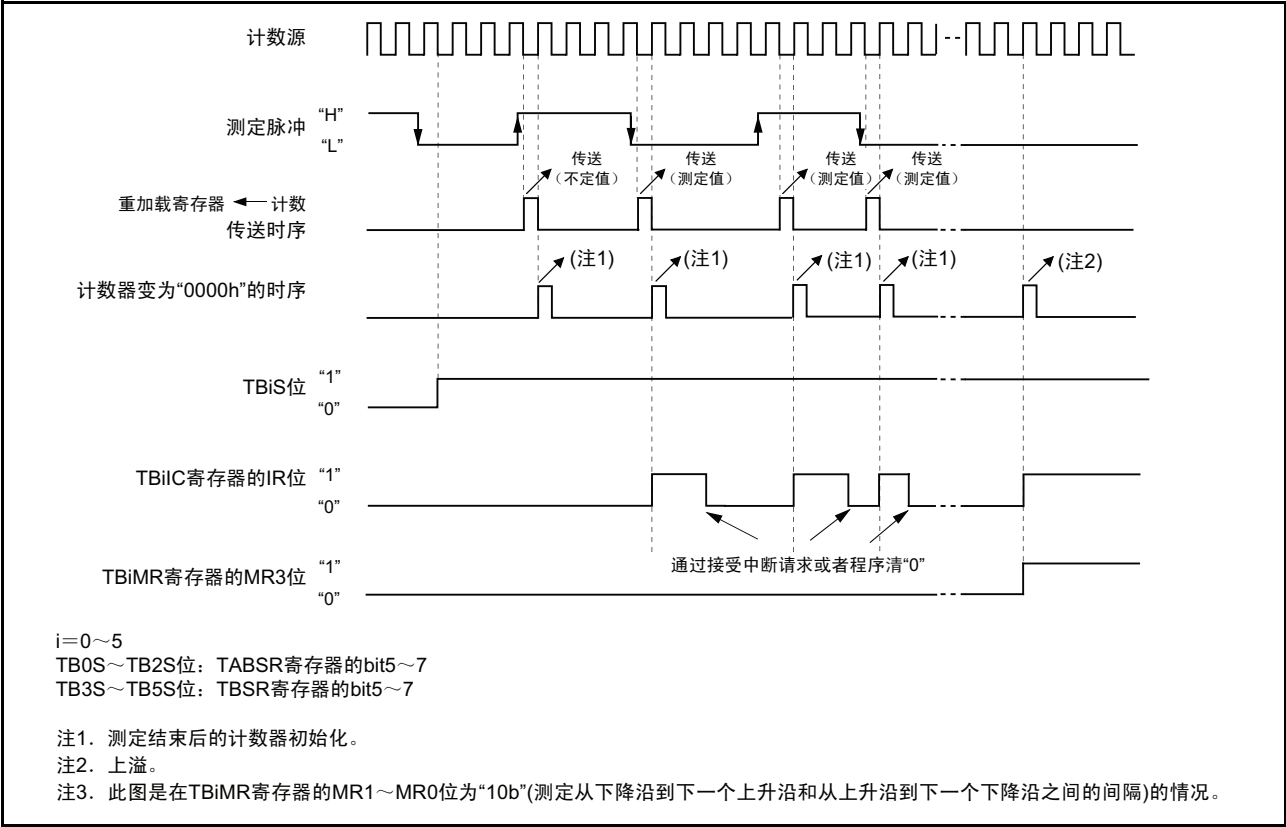


图 14.22 脉宽测定时的运行图

15. 用于三相马达控制的定时器功能

能使用定时器 A1、A2、A4、B2 输出三相马达驱动波形。

用于三相马达控制的定时器功能的规格如表 15.1 所示，用于三相马达控制的定时器功能的框图如图 15.1 所示。另外，用于三相马达控制的定时器功能的相关寄存器如图 15.2 ～图 15.8 所示。

表 15.1 用于三相马达控制的定时器功能的规格

项 目	规 格
三相波形输出引脚	6 个（U、 $\bar{U}$ 、V、 $\bar{V}$ 、W、 $\bar{W}$ ）
强制截止输入（注 1）	将 $\overline{\text{NMI}}$ 引脚接“L”电平
使用的定时器	定时器 A4、A1、A2（用于单次触发定时器模式） • 定时器 A4：U、$\bar{U}$ 相波形控制 • 定时器 A1：V、$\bar{V}$ 相波形控制 • 定时器 A2：W、$\bar{W}$ 相波形控制 定时器 B2（用于定时器模式） • 载波周期控制 死区时间定时器（3 个 8 位定时器，共享重加载寄存器） • 死区时间控制
输出波形	三角波调制、锯齿波调制 • 可在 1 个周期中输出“H”电平或者“L”电平 • 可独立设定正相电平和反相电平
载波周期	三角波调制：计数源 $\times(m+1) \times 2$ 锯齿波调制：计数源 $\times(m+1)$ m：TB2 寄存器设定值。0000h ~ FFFFh 计数源：f1、f2、f8、f32、fC32
三相 PWM 输出宽度	三角波调制：计数源 $\times n \times 2$ 锯齿波调制：计数源 $\times n$ n：TA4、TA1、TA2（INV11 位为“1”时，TA4、TA41、TA1、TA11、TA2、TA21）寄存器设定值。0001h ~ FFFFh 计数源：f1、f2、f8、f32、fC32
死区时间（宽度）	计数源 $\times p$ 或者没有死区时间 p：DTT 寄存器的设定值。01h ~ FFh 计数源：f1、f2、f1 的 2 分频、f2 的 2 分频
有效电平	可选择“H”电平或者“L”电平
正反相同时有效禁止功能	有正反相同时有效禁止功能。有正反相同时有效检测功能。
中断频率	对于定时器 B2 中断，选择 1 个载波周期 ~ 15 个载波周期

注 1. 通过 $\overline{\text{NMI}}$ 输入强制截止功能在 TB2SC 寄存器的 IVPCR1 位为“1”（允许通过 $\overline{\text{NMI}}$ 引脚的输入进行三相输出的强制截止）时有效。如果在 IVPCR1 位为“1”时将 $\overline{\text{NMI}}$ 引脚接“L”电平，对象引脚就与当前使用功能无关，变为高阻抗状态。

对象引脚：
• P7_2/CLK2/TA1OUT/V
• P7_3/CTS2/RTS2/TA1IN/ $\bar{V}$
• P7_4/TA2OUT/W（CLK4）
• P7_5/TA2IN/ $\bar{W}$ （SOUT4）
• P8_0/TA4OUT/U（SIN4）
• P8_1/TA4IN/ $\bar{U}$

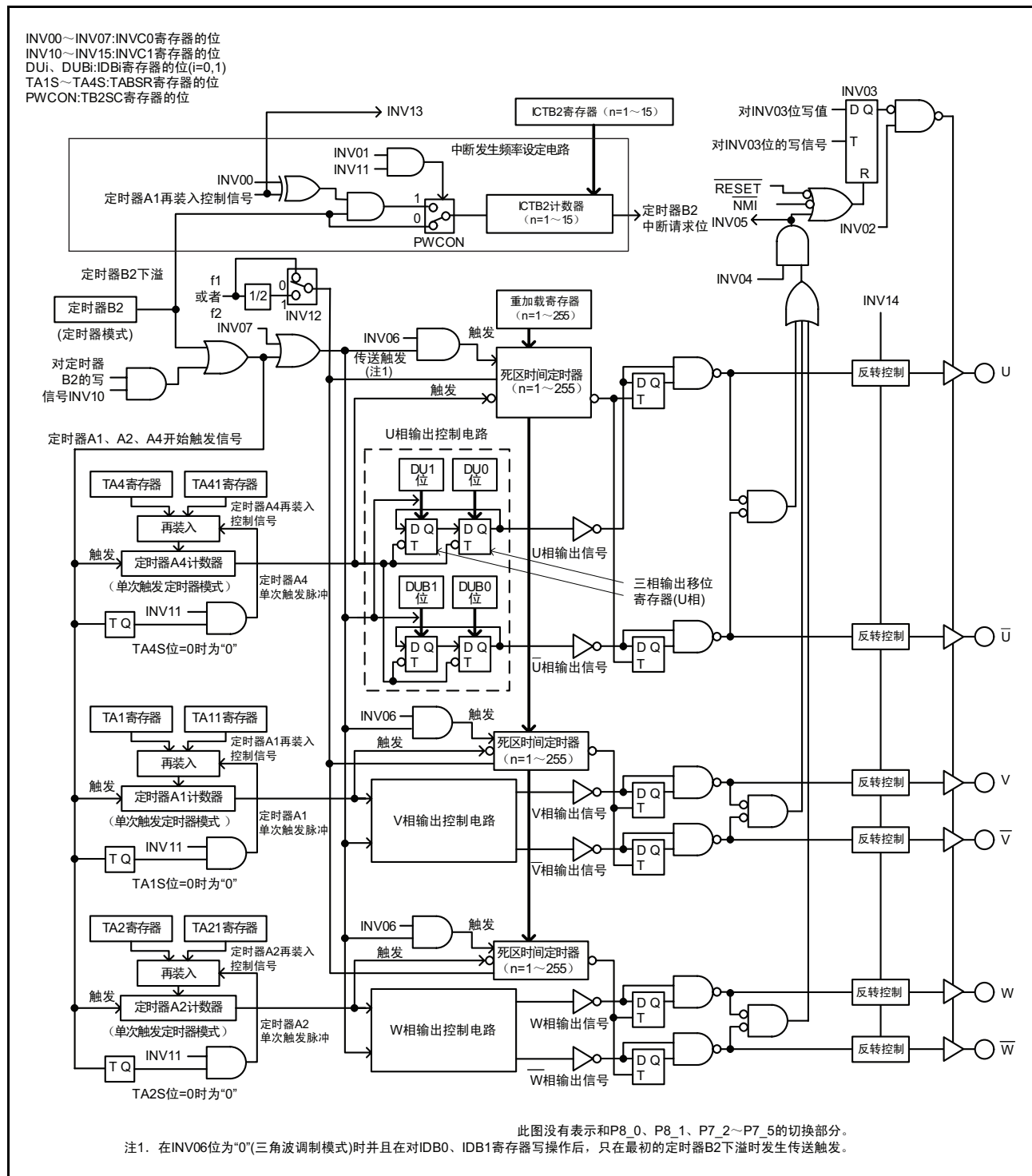


图 15.1 用于三相马达控制的定时器功能的框图

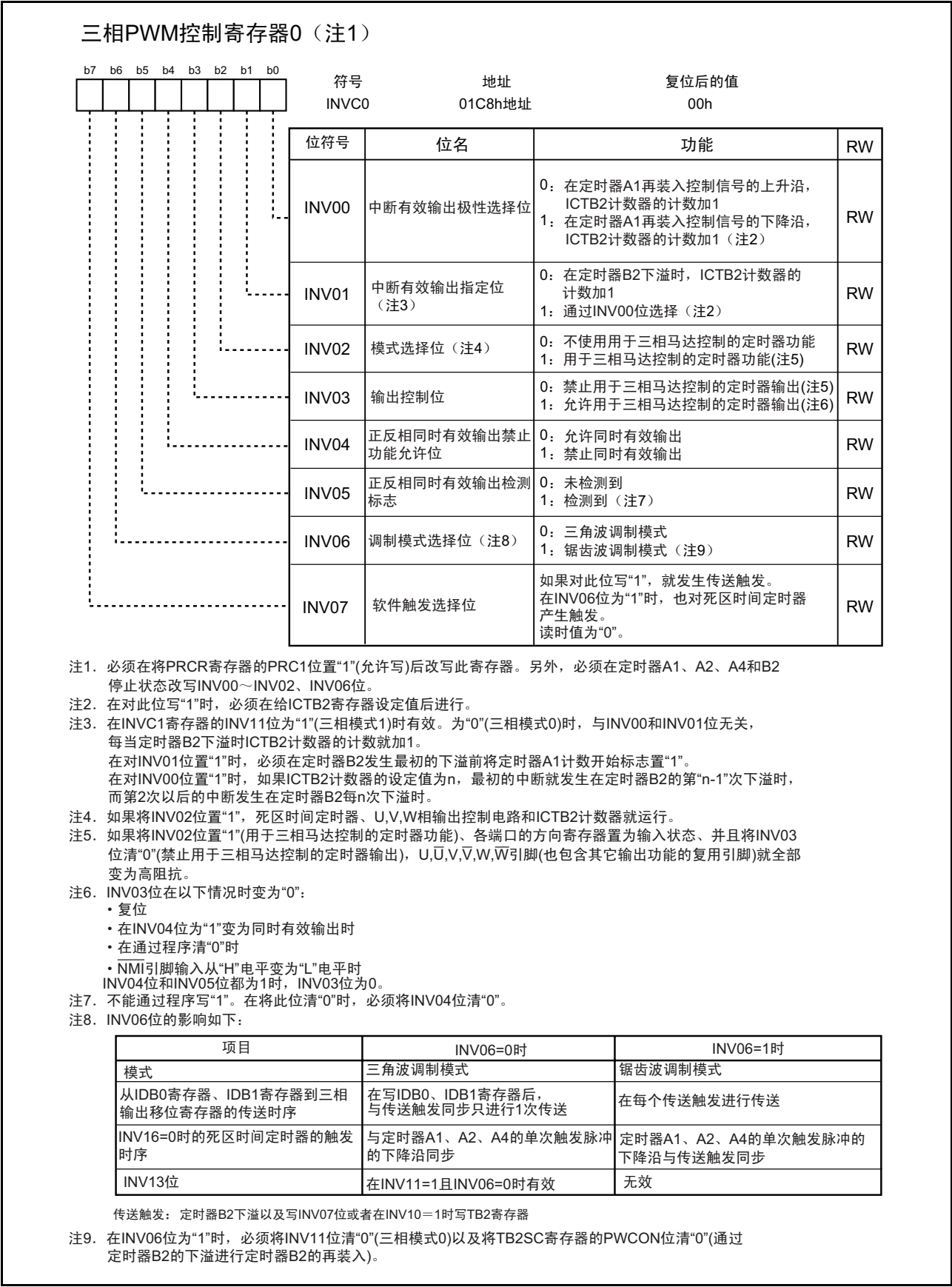
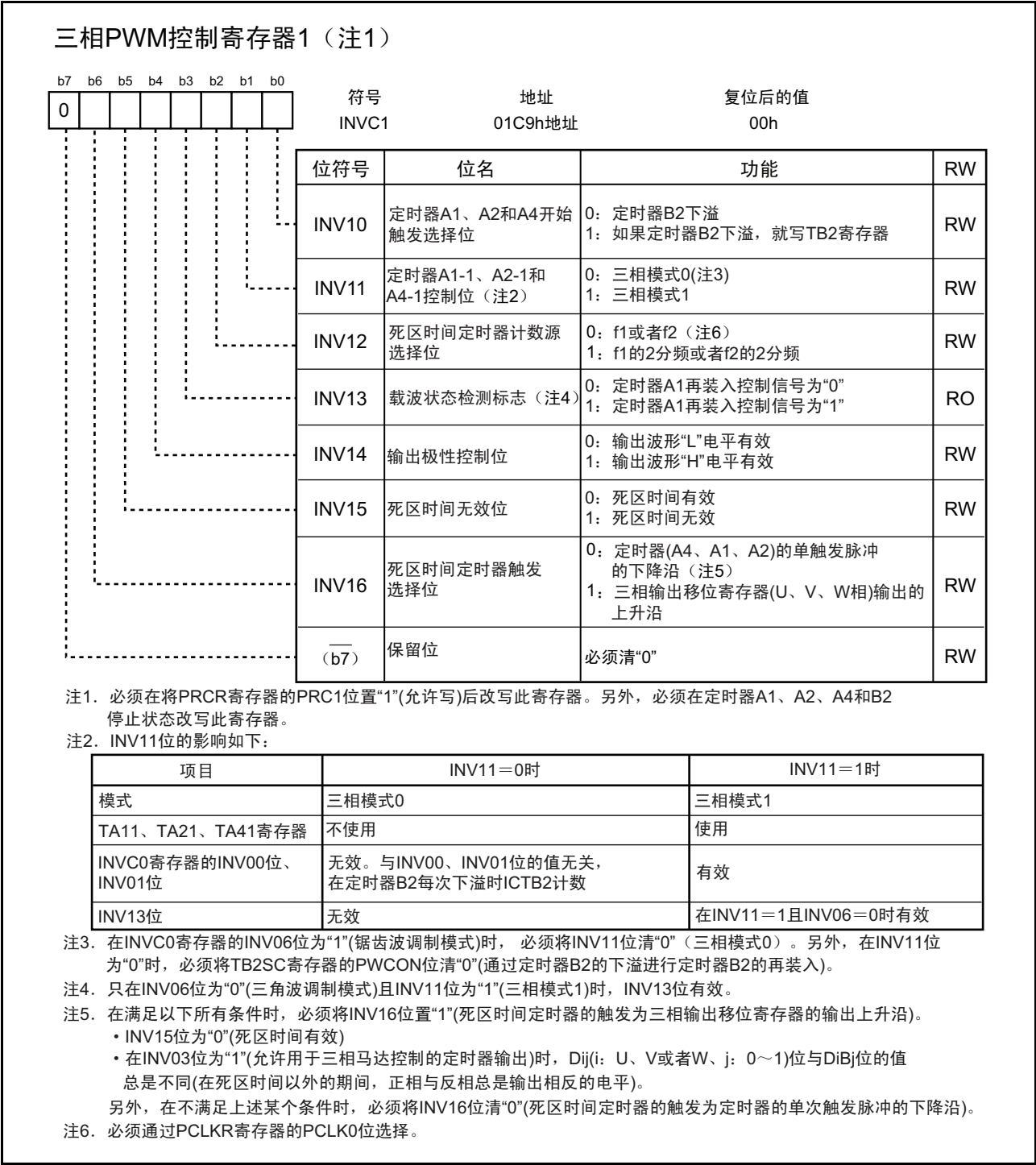


图 15.2 INVC0 寄存器



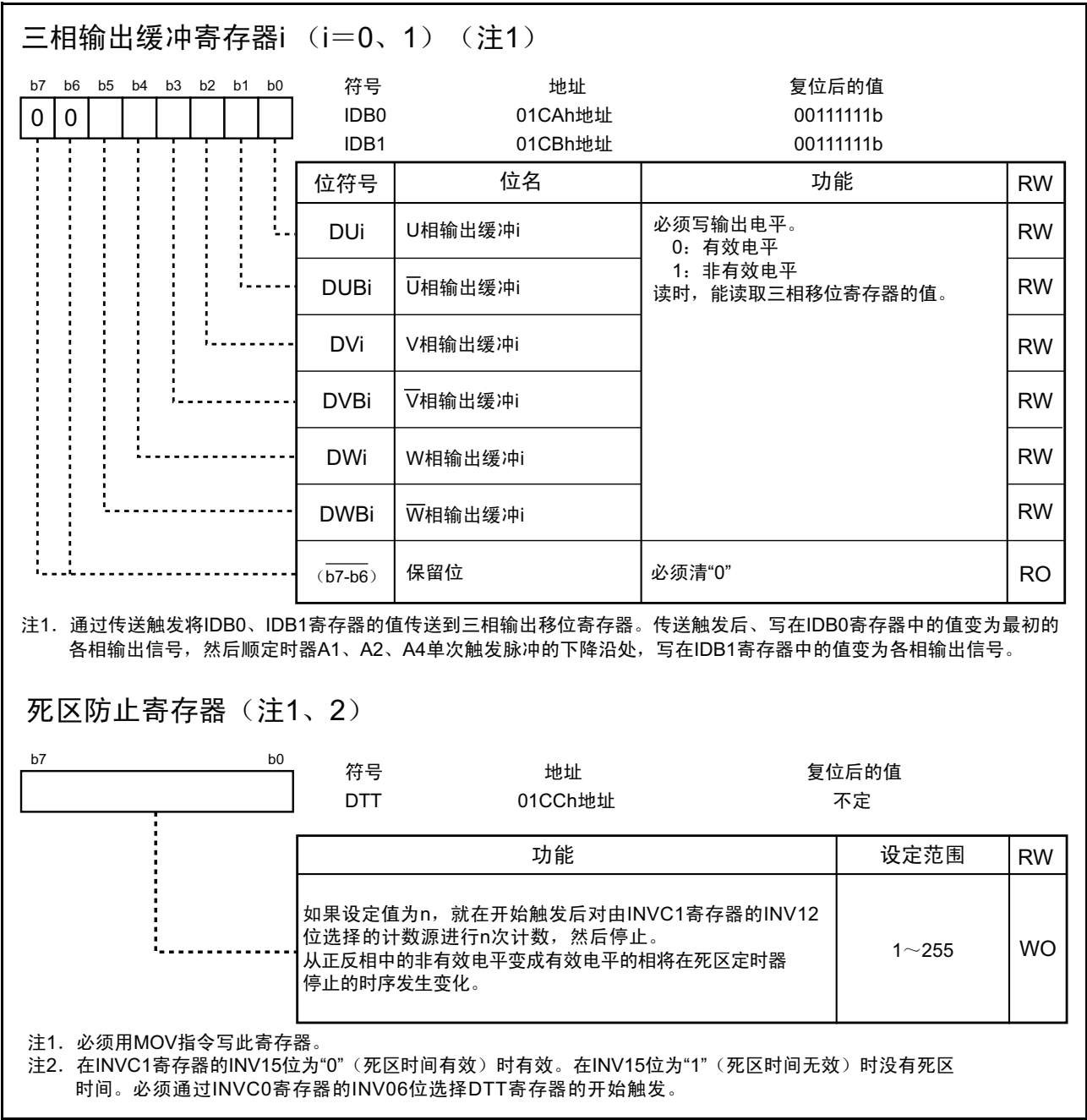


图 15.4 IDB0、IDB1、DTT 寄存器

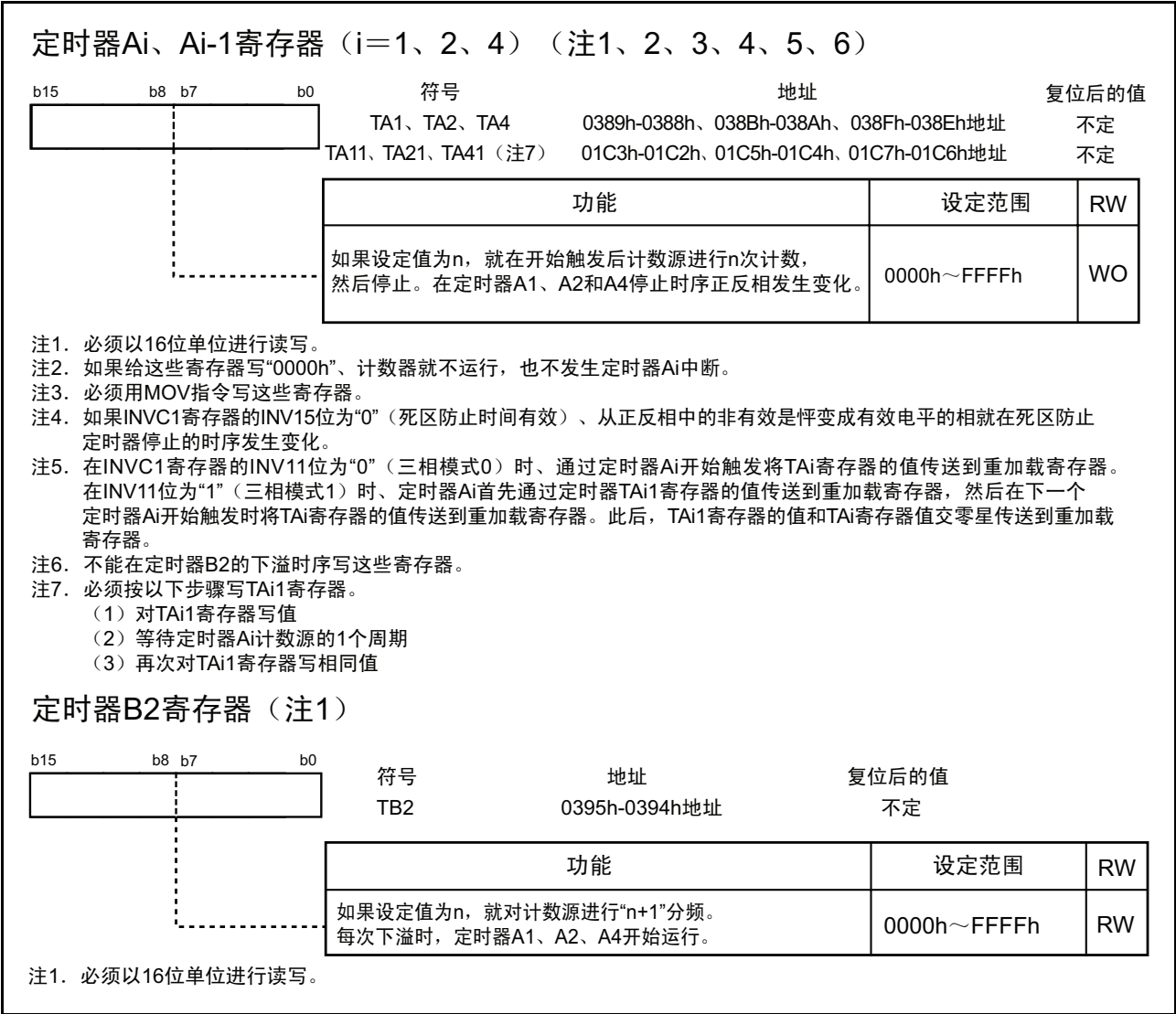
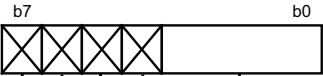


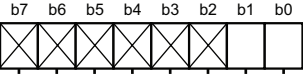
图 15.5 TA1、TA2、TA4、TA11、TA21、TA41、TB2 寄存器

定时器B2中断发生频率设定计数器（注1、2、3）

	符号 ICTB2	地址 01CDh地址	复位后的值 不定
功能		设定范围	RW
在INVC0寄存器的INV01位为“0”（在定时器B2每次下溢时ICTB2计数器进行计数）时，如果设定值为n，就在定时器B2每n次下溢时产生定时器B2中断请求。 在INV01位为“1”（通过INV00位选择ICTB2计数器的计数时邓）时，如果设定值为n，就在满足INV00位选择条件下的定时器B2每n次下溢时产生定时器B2中断请求。		1~15	WO
暂未使用。必须写“0”。			—

- 注1. 必须用MOV指令写ICTB2寄存器。
注2. 如果INVC0寄存器的INV01位为“1”，就必须在TABSR寄存器的TB2S位为“0”（定时器B2计数停止）时写些寄存器。
如果INV01位为“0”，也可在TB2S位为“1”（定时器B2计数开始）时写此寄存器，但是不能在定时器B2产生下溢时写。
注3. 在将INV00位置“1”时，如果ICTB2计数器的设定值为n，最初的中断就发生在定时器B2的第“n-1”次下溢时，而第2次以后的中断产生在定时器B2第n次下溢时。

定时器B2特殊模式寄存器（注1）

	符号 TB2SC	地址 039Eh地址	复位后的值 XXXXXX00b
位符号	位名	功能	RW
PWCON	定时器B2再装入时序切换位	0: 定时器B2下溢 1: 奇数次的定时器A输出（注2）	RW
IVPCR1	三相输出端口NMI控制位1（注3）	0: 禁止通过NMI引脚输入进行的三相输出强制截止（高阻抗） 1: 允许通过NMI引脚输入进行的三相输出强制截止（高阻抗）	RW
—— (b7-b2)	暂未使用。必须写“0”。 读时值为“0”。		—

- 注1. 必须在将PRCR寄存器的PRC1位置“1”（允许写）后改写此寄存器。
注2. 在INVC1寄存器的INV11位为“0”（三相模式0）或者INVC0寄存器的INV06位为“1”（锯齿波调制模式）时，必须将此位清“0”（定时器B2下溢）。
注3. 对应引脚为U(P8_0/TA4OUT/(SIN4))、 $\bar{U}$ (P8_1/TA4IN)、V(P7_2/CLK2/TA1OUT)、 $\bar{V}$ (P7_3/CTS2/RTS2/TA1IN)、W(P7_4/TA2OUT/(CLK4))、 $\bar{W}$ (P7_5/TA2IN/(SOUT4))。在IVPCR1位为“1”时，如果给NMI引脚输入“L”电平，就与对应引脚的使用功能无关，变为高阻抗状态。在强制截止后，如果给NMI引脚输入“H”电平并且将IVPCR1位清“0”，就解除强制截止。

图 15.6 ICTB2、TB2SC 寄存器

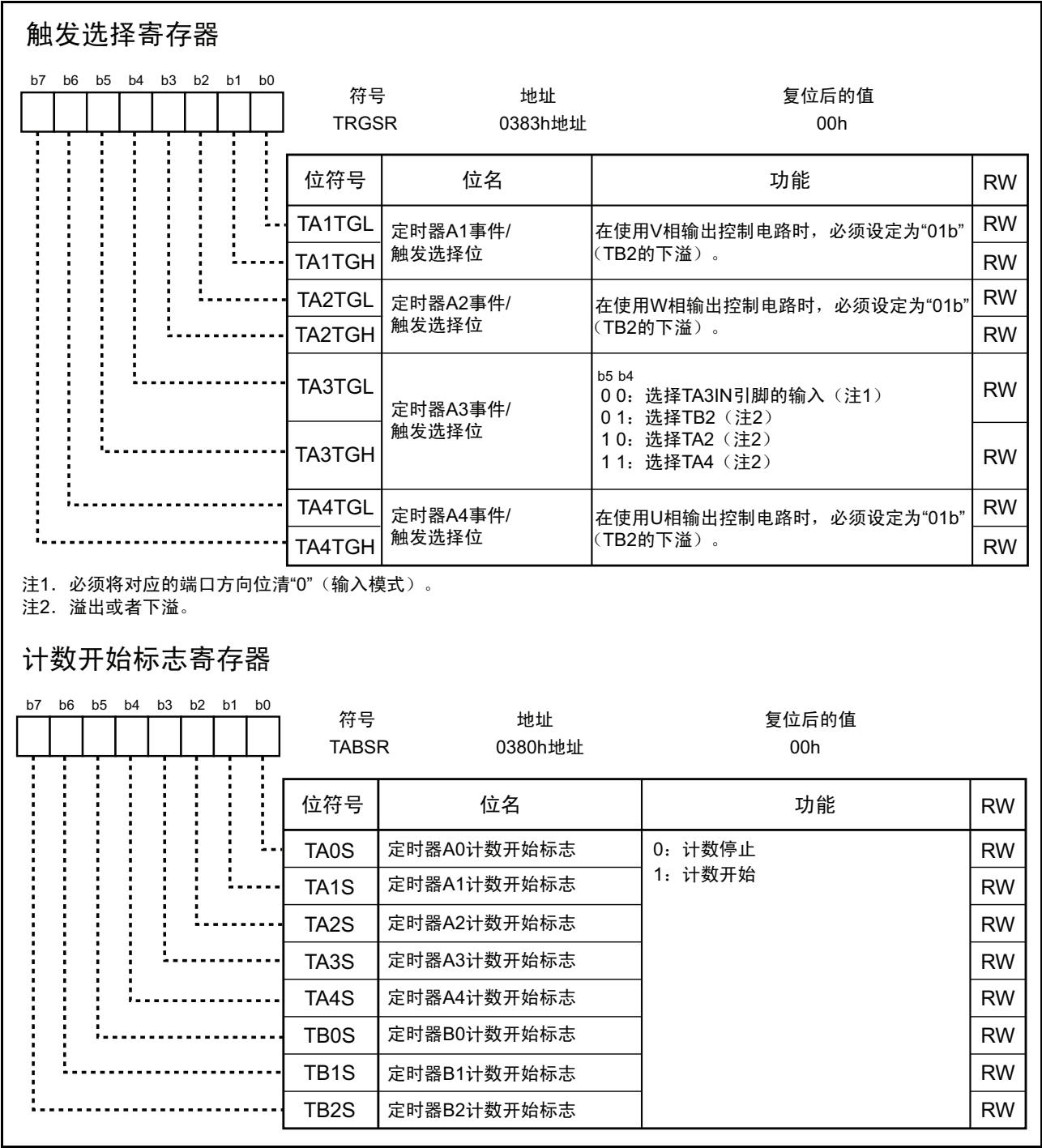


图 15.7 TRGSR、TABSR 寄存器

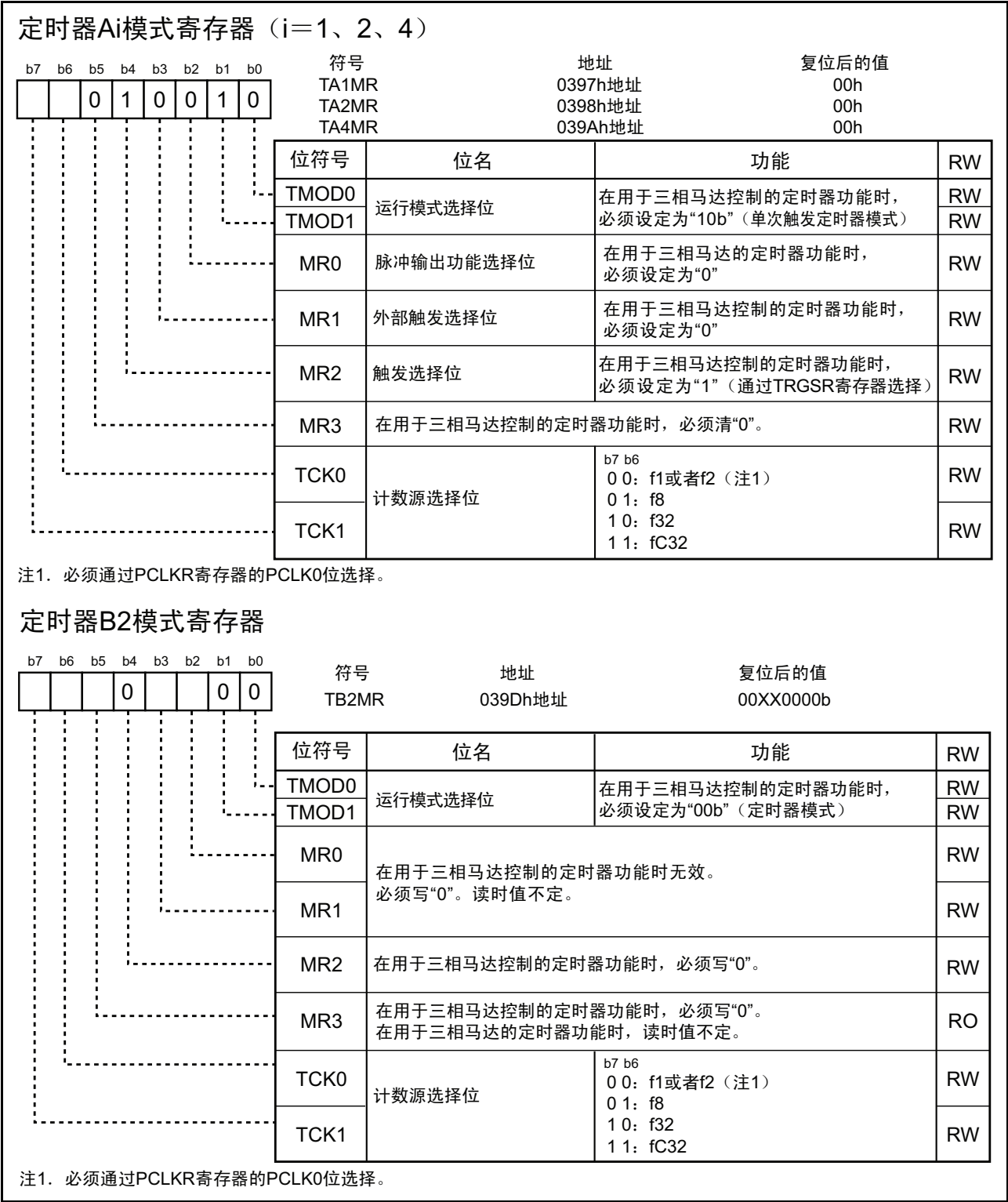


图 15.8 TA1MR、TA2MR、TA4MR、TB2MR 寄存器

如果将 INVC0 寄存器的 INV02 位置“1”，就变为用于三相马达控制的定时器功能。在此功能中，定时器 B2 用于载波控制，定时器 A4、A1、A2 用于三相 PWM 输出 (U 、 $\bar{U}$ 、 V 、 $\bar{V}$ 、 W 、 $\bar{W}$) 的控制。死区时间由专用死区时间定时器控制。

三角波调制运行的例子如图 15.9 所示，锯齿波调制运行的例子图 15.10 所示。

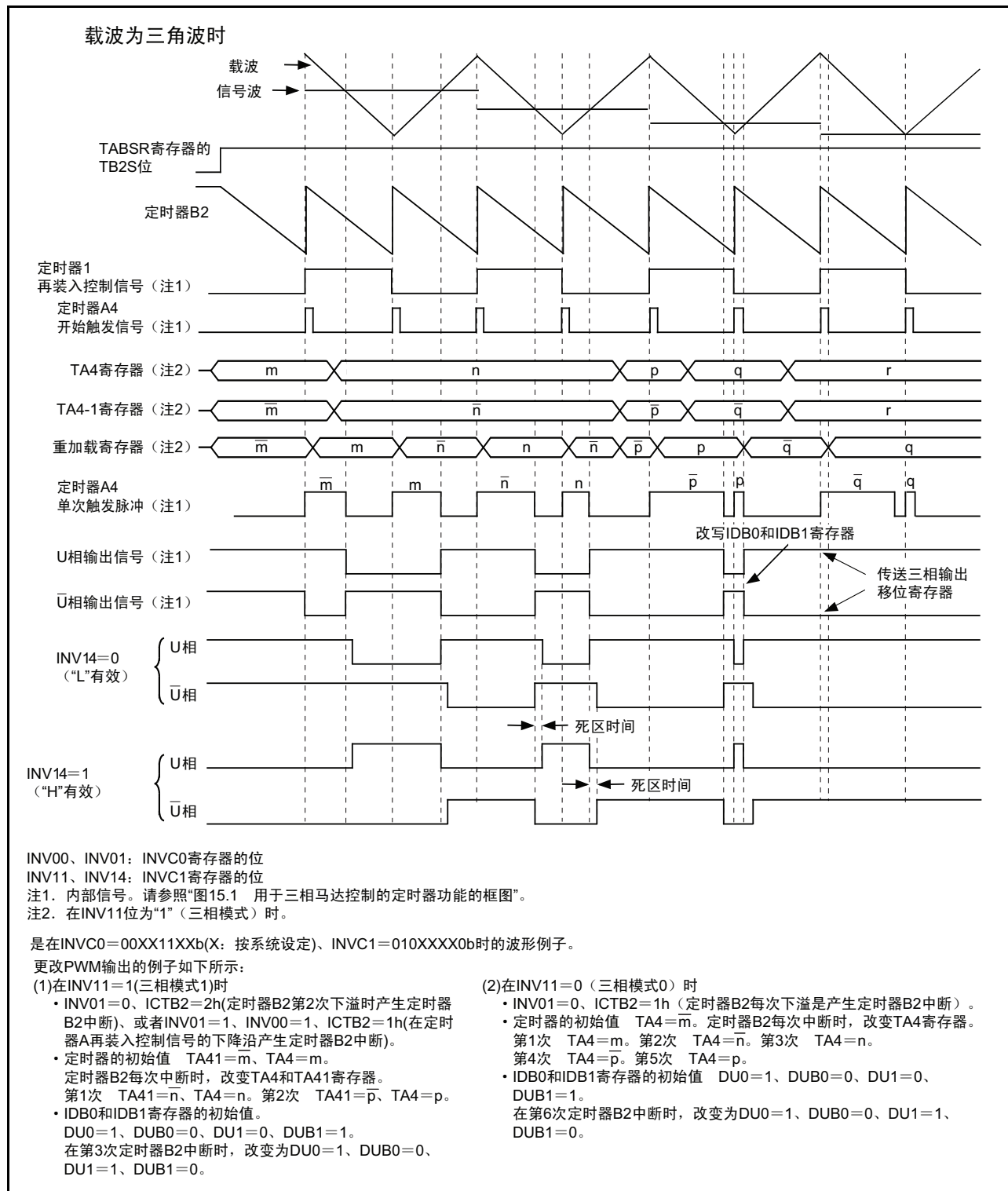


图 15.9 三角波调制运行的例子

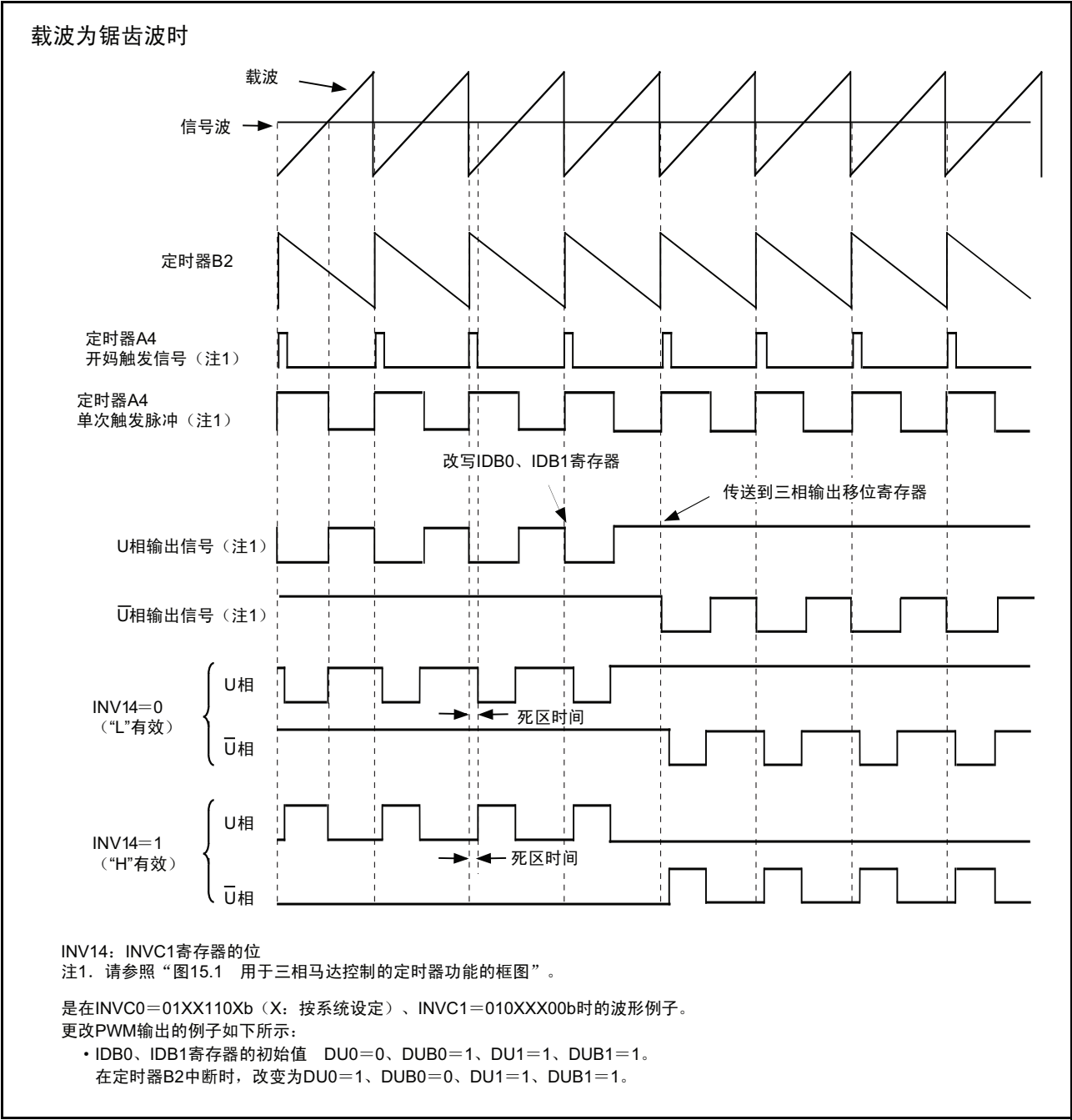


图 15.10 锯齿波调制运行的例子

16. 串行接口

串行接口由 UART0 ~ UART2、SI/O3 ~ SI/O6 的 7 通道构成（注 1）。
以下分别进行说明。

注 1. 100 引脚版：由 UART0 ~ UART2、SI/O3、SI/O4 的 5 通道构成
128 引脚版：由 UART0 ~ UART2、SI/O3 ~ SI/O6 的 7 通道构成

16.1 UARTi（i=0 ~ 2）

UARTi 分别具有专用的传送时钟产生用定时器，独立运行。

UARTi 框图如图 16.1 ~ 图 16.3 所示，UARTi 发送单元和接收单元的框图如图 16.4 所示。

UARTi 有以下模式：

- 时钟同步串行 I/O 模式
- 时钟异步串行 I/O 模式（UART 模式）
- 特殊模式 1（I²C 模式）
- 特殊模式 2
- 特殊模式 3（总线冲突检测功能、IE 模式）
- 特殊模式 4（SIM 模式）：UART2

UARTi 相关的寄存器如图 16.5 ~ 图 16.10 所示。

有关寄存器的设定，请参照各模式说明中的列表。

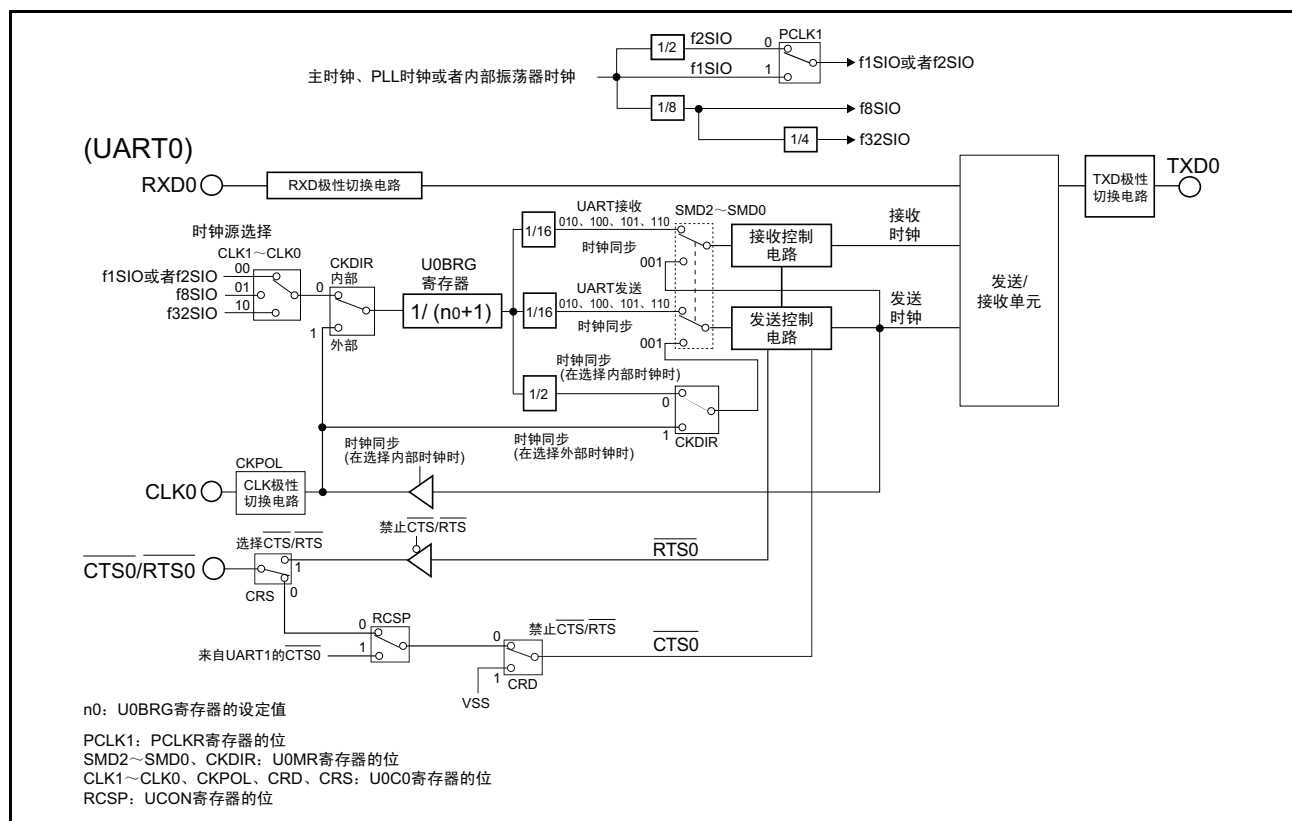


图 16.1 UART0 框图

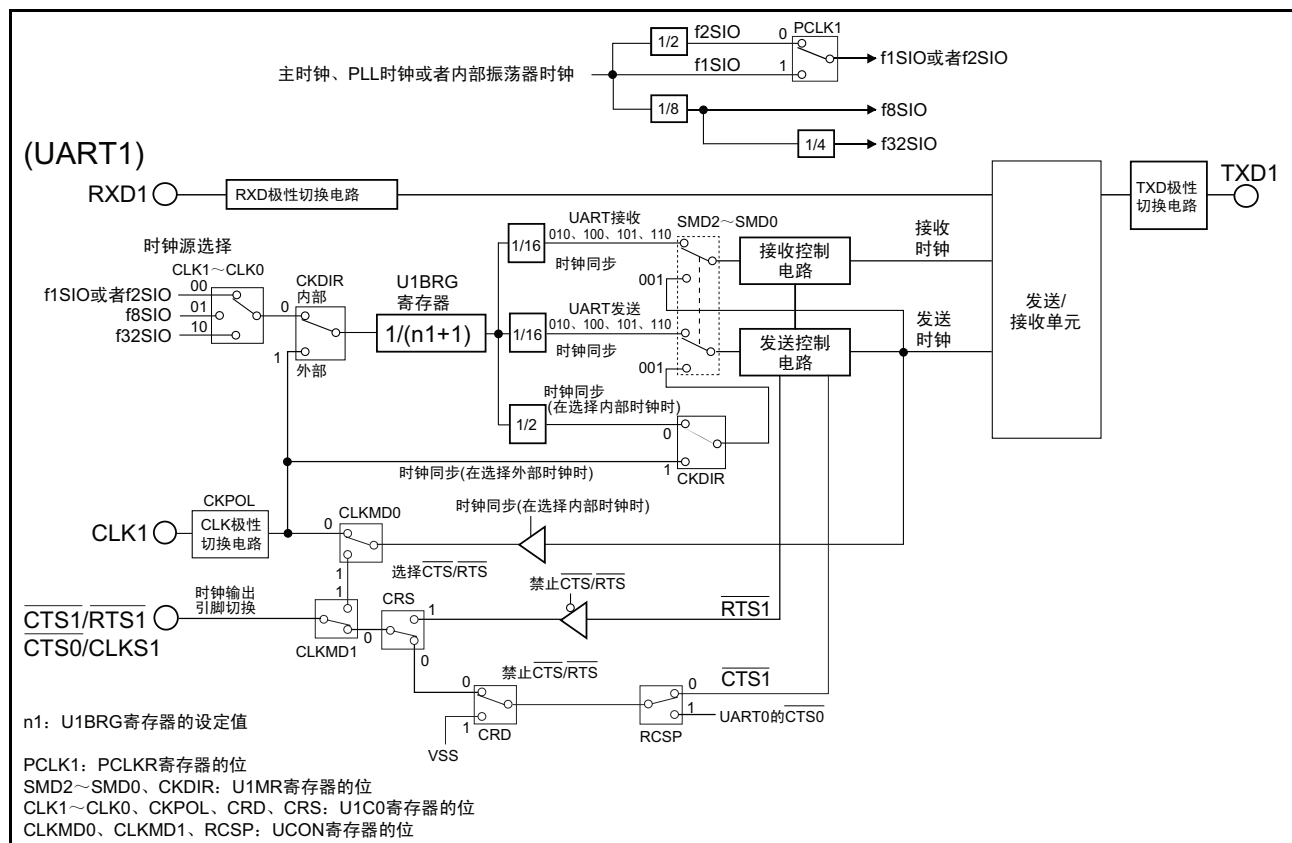


图 16.2 UART1 框图

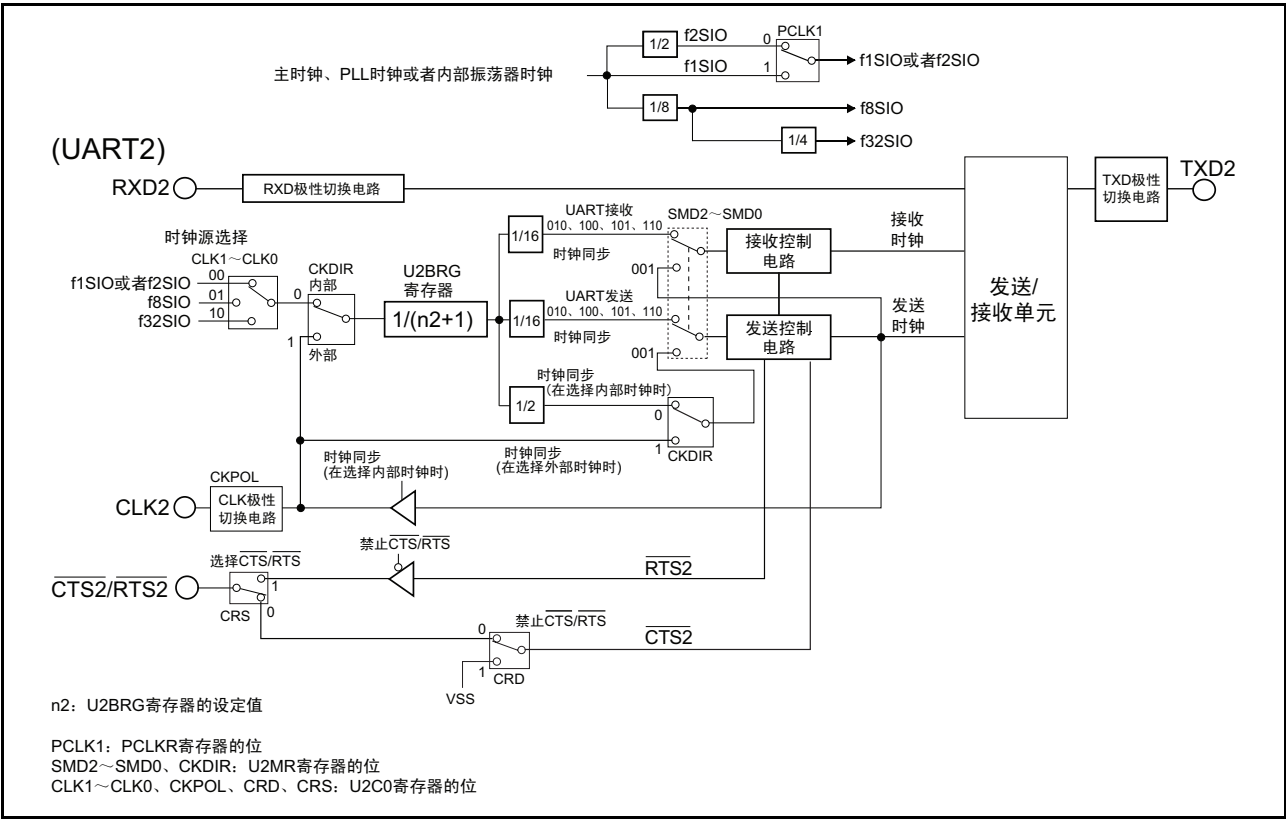


图 16.3 UART2 框图

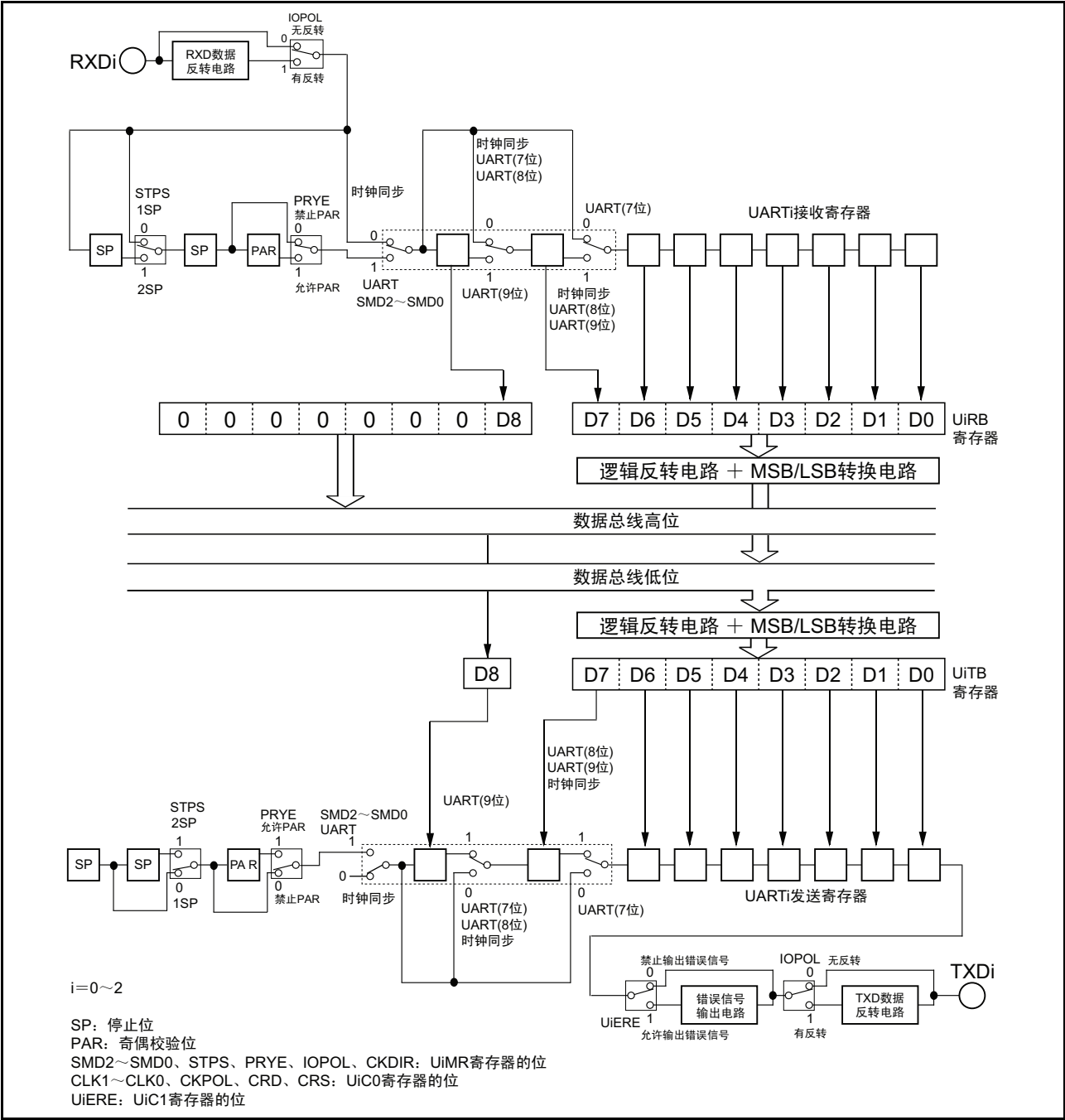


图 16.4 UARTi 发送单元和接收单元的框图

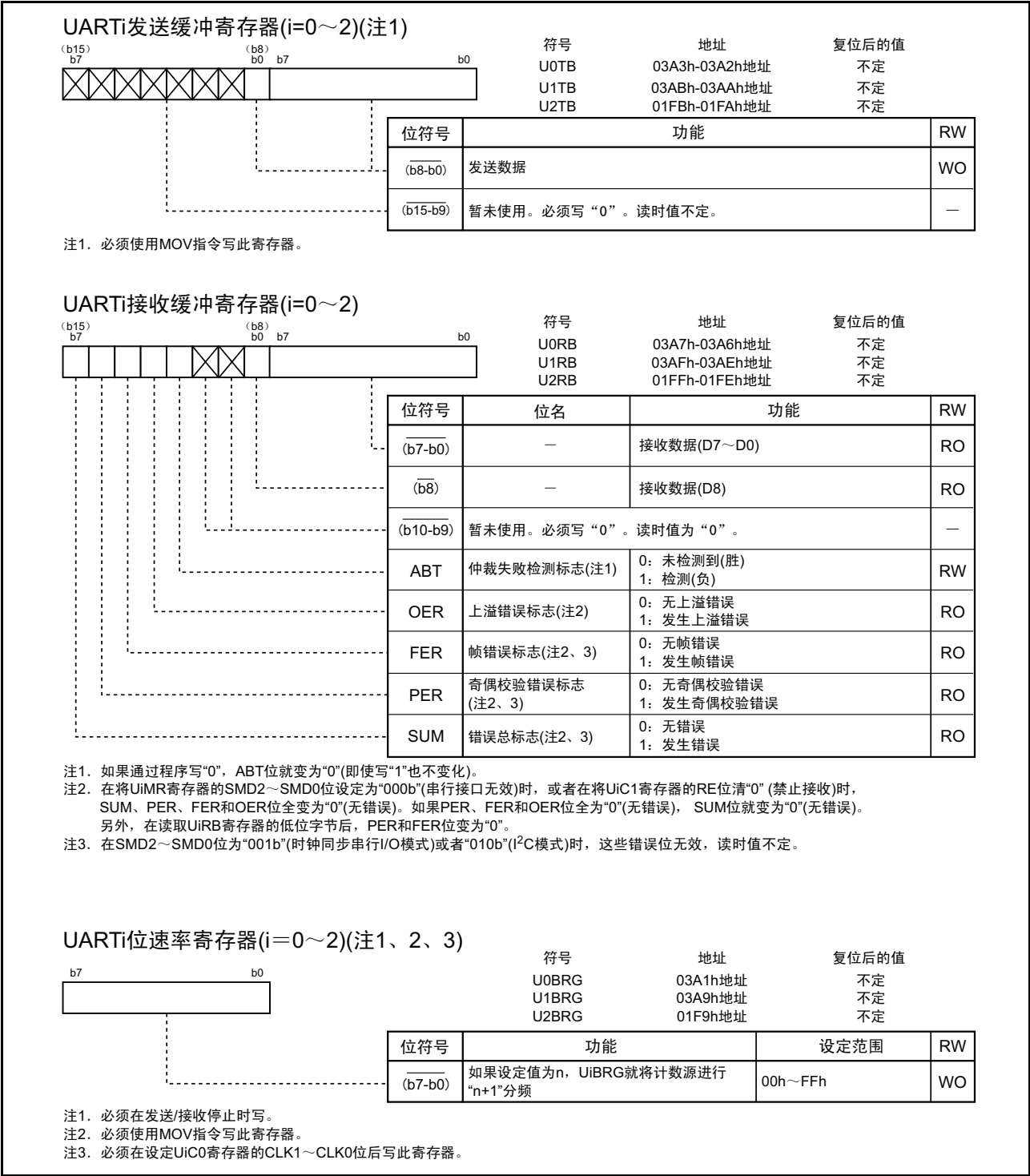


图 16.5 U0TB ~ U2TB、U0RB ~ U2RB、U0BRG ~ U2BRG 寄存器

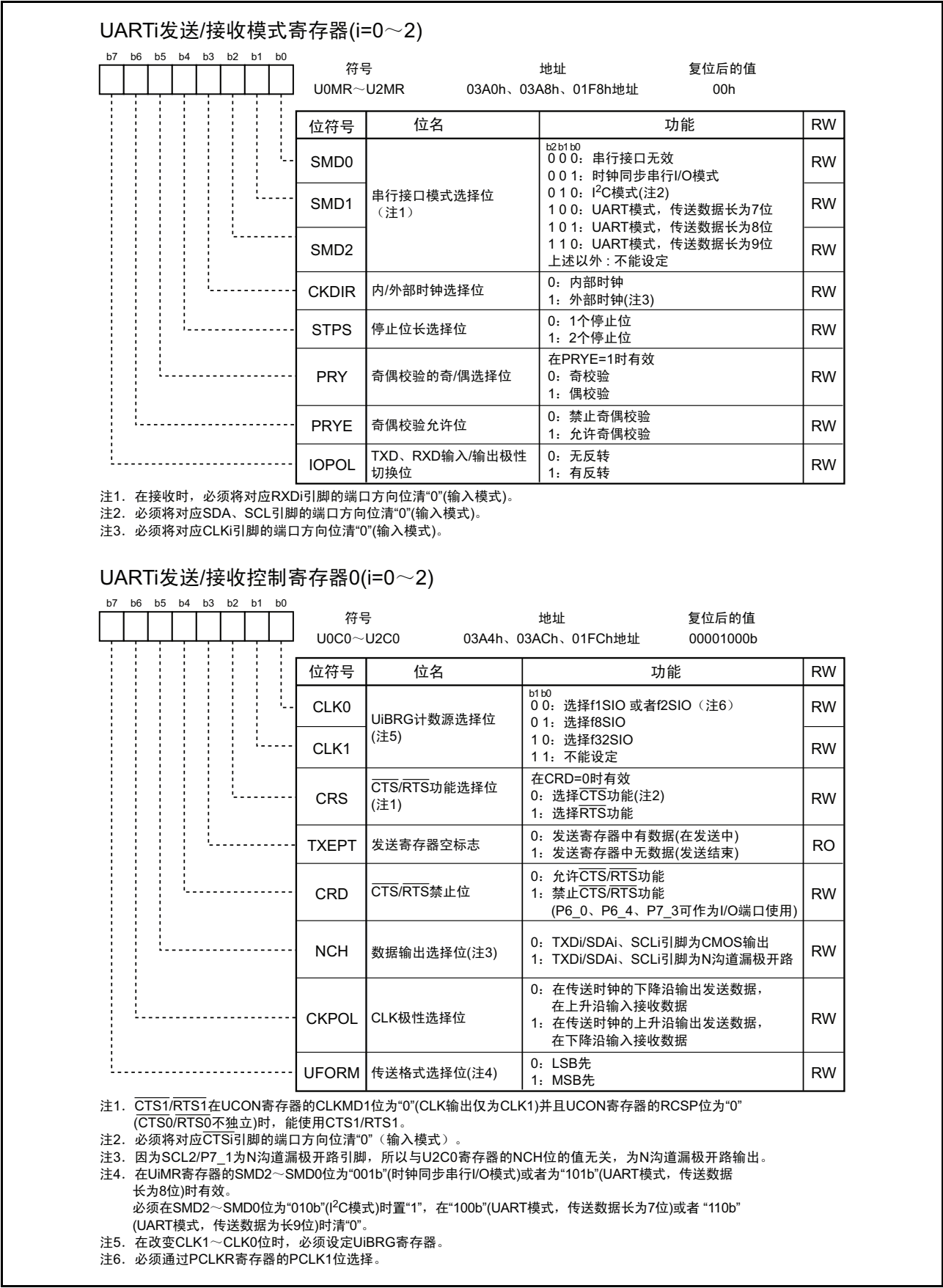


图 16.6 U0MR ~ U2MR、U0C0 ~ U2C0 寄存器

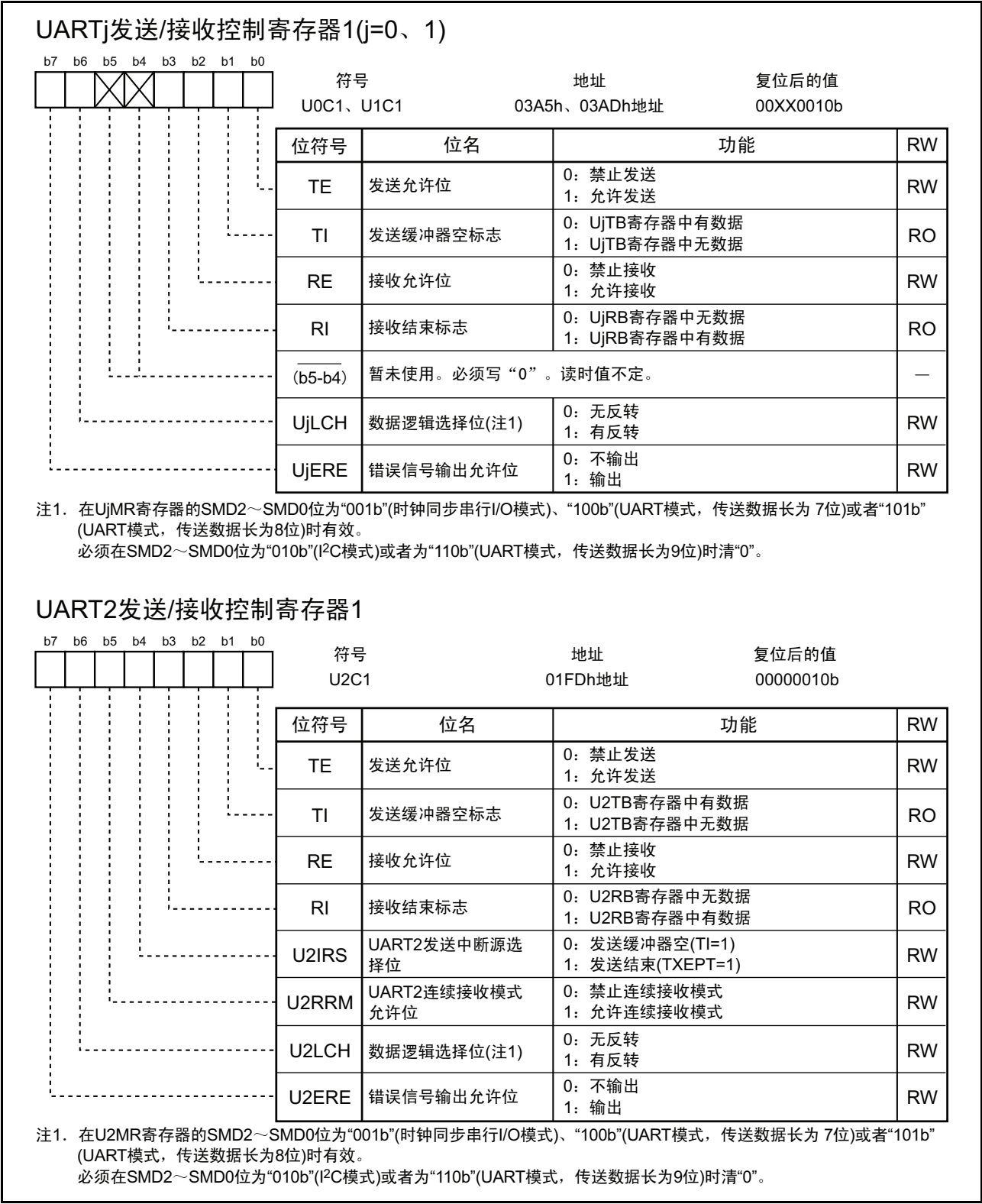


图 16.7 U0C1 ~ U2C1 寄存器

UART发送/接收控制寄存器2

b7	b6	b5	b4	b3	b2	b1	b0	符号	地址	复位后的值	
								UCON	03B0h地址	X0000000b	
								位符号	位名	功能	RW
								U0IRS	UART0发送中断源选择位	0: 发送缓冲器空(TI=1) 1: 发送结束(TXEPT=1)	RW
								U1IRS	UART1发送中断源选择位	0: 发送缓冲器空(TI=1) 1: 发送结束(TXEPT=1)	RW
								U0RRM	UART0连续接收模式允许位	0: 禁止连续接收模式 1: 允许连续接收模式	RW
								U1RRM	UART1连续接收模式允许位	0: 禁止连续接收模式 1: 允许连续接收模式	RW
								CLKMD0	UART1的CLK、CLKS选择位0	在CLKMD1=1时有效 0: 从CLK1输出时钟 1: 从CLKS1输出时钟	RW
								CLKMD1	UART1的CLK、CLKS选择位1(注1)	0: CLK输出仅为CLK1 1: 选择传送时钟多引脚输出功能	RW
								RCSP	UART0 CTS/RTS独立位	0: CTS/RTS共通引脚 1: CTS/RTS独立(从P6_4引脚输入CTS0)	RW
								(b7)	暂未使用。必须写“0”。读时值不定。		—

注1. 在使用多个传送时钟输出引脚时，必须满足以下条件：
• U1MR寄存器的CKDIR位=0(内部时钟)

UARTi特殊模式寄存器(i=0~2)

0								符号	地址	复位后的值	
								U0SMR~U2SMR	01EFh、01F3h、01F7地址	X0000000b	
								位符号	位名	功能	RW
								IICM	I ² C模式选择位	0: I ² C模式以外 1: I ² C模式	RW
								ABC	仲裁失败检测标志控制位	0: 按各位更新 1: 按各字节更新	RW
								BBS	总线忙标志	0: 停止条件检测 1: 开始条件检测(忙)	RW (注1)
								(b3)	保留位	必须清“0”	RW
								ABSCS	总线冲突检测采样时钟选择位	0: 传送时钟的上升沿 1: 定时器Aj的下溢信号(注2)	RW
								ACSE	发送允许位自动清除功能选择位	0: 无自动清除功能 1: 总线冲突发生时自动清除	RW
								SSS	发送开始条件选择位	0: 与RXDi不同步 1: 与RXDi同步(注3)	RW
								(b7)	暂未使用。必须写“0”。读时值不定。		—

注1. 如果通过程序写“0”，BBS位就变为“0”(即使写“1”也不变化)。
注2. 在UART0时为定时器A3的下溢信号、在UART1时为定时器A4的下溢信号、在UART2时为定时器A0的下溢信号。
注3. 如果开始传送，SSS位就变为“0”(不与RXDi同步)。

图 16.8 UCON、U0SMR ~ U2SMR 寄存器

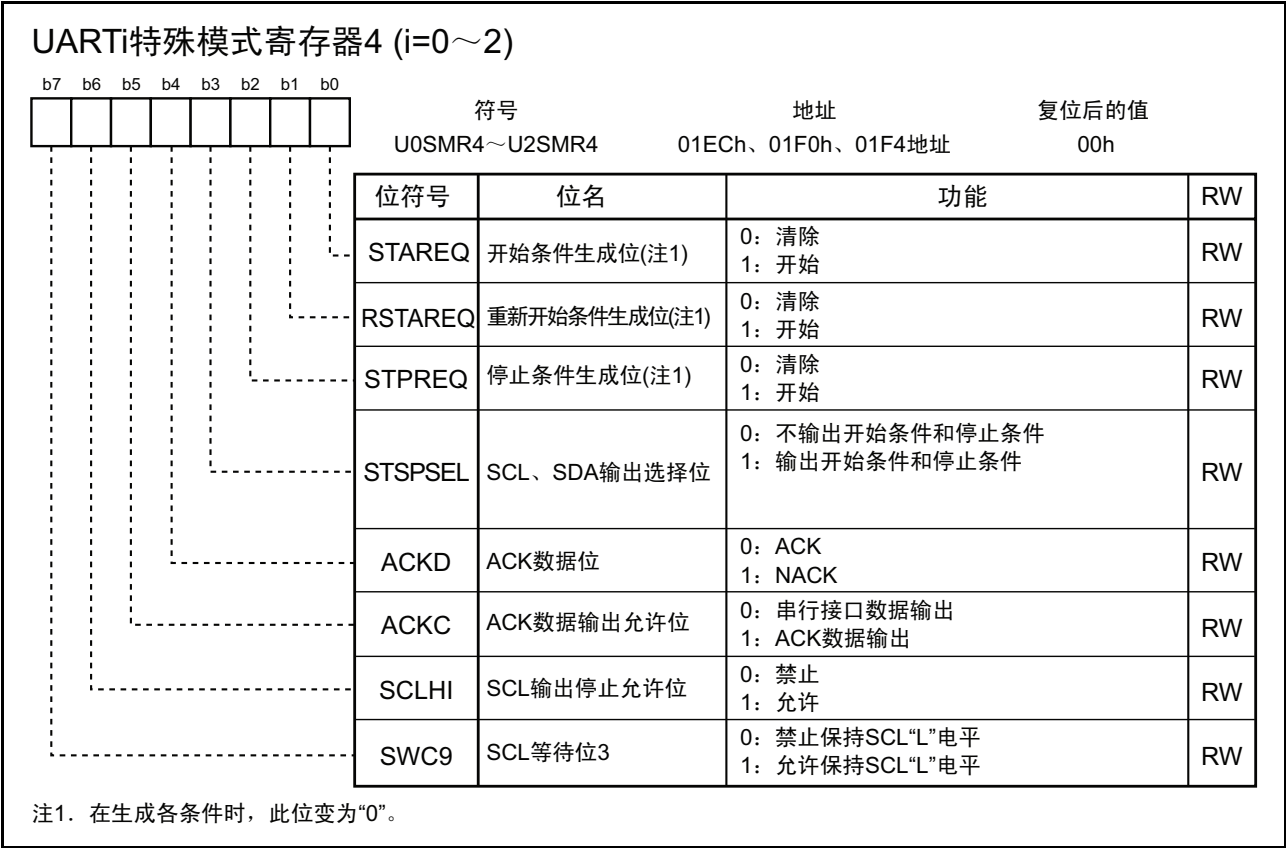


图 16.10 U0SMR4 ~ U2SMR4 寄存器

16.1.1 时钟同步串行 I/O 模式

时钟同步串行 I/O 模式是使用传送时钟进行发送和接收的模式。

时钟同步串行 I/O 模式的规格如表 16.1 所示，时钟同步串行 I/O 模式使用的寄存器和设定值如表 16.2 所示。

表 16.1 时钟同步串行 I/O 模式的规格

项目	规格
传送数据格式	传送数据长度 8 位
传送时钟	- UiMR 寄存器的 CKDIR 位为 “0”（内部时钟）：$f_j/2(n+1)$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ $n=UiBRG$ 寄存器的设定值 00h ~ FFh - CKDIR 位为 “1”（外部时钟）：CLKi 引脚的输入
发送控制、接收控制	可选择 CTS 功能、RTS 功能、CTS/RTS 功能禁止
发送开始条件	开始发送时需要以下条件（注 1）： - UiC1 寄存器的 TE 位为 “1”（允许发送） - UiC1 寄存器的 TI 位为 “0”（UiTB 寄存器中有数据） - 选择 CTS 功能时，CTSi 引脚的输入为 “L” 电平
接收开始条件	开始接收时需要以下条件（注 1）： - UiC1 寄存器的 RE 位为 “1”（允许接收） - UiC1 寄存器的 TE 位为 “1”（允许发送） - UiC1 寄存器的 TI 位为 “0”（UiTB 寄存器中有数据）
中断请求产生时序	在发送时，可选择以下的任意条件： - UiIRS 位（注 2）为 “0”（发送缓冲器空）： 在从 UiTB 寄存器给 UARTi 发送寄存器传送数据时（发送开始时） - UiIRS 位为 “1”（发送结束）：在从 UARTi 发送寄存器数据发送结束时 在接收时 - 在从 UARTi 接收寄存器给 UiRB 寄存器传送数据时（接收结束时）
错误检测	上溢错误（注 3） 如果在读取 UiRB 寄存器前开始接收下一个数据并且接收下一个数据的第 7 位，就发生上溢错误
选择功能	- CLK 极性选择 传送数据的输出和输入时序可选择传送时钟的上升沿或者下降沿 - LSB 先发送或 MSB 先发送 可选择是从第 0 位还是从第 7 位开始发送和接收 - 连续接收模式选择 通过读取 UiRB 寄存器，同时变为允许接收状态 - 串行数据的逻辑切换 反转发送和接收数据的逻辑值的功能 - 传送时钟多引脚的输出选择（UART1） 可将 UART1 的传送时钟引脚设定为 2 个，并且可通过程序选择输出引脚 - CTS/RTS 独立功能（UART0） 从其它引脚输入 / 输出 CTS0 和 RTS0

i=0 ~ 2

注 1. 在选择外部时钟时，必须满足以下条件：UiC0 寄存器的 CKPOL 位为 “0”（在传送时钟的下降沿输出发送数据，在上升沿输入接收数据）时，外部时钟为 “H” 电平状态；CKPOL 位为 “1”（在传送时钟的上升沿输出发送数据，在下降沿输入接收数据）时，外部时钟为 “L” 电平状态。

注 2. U0IRS、U1IRS 位为 UCON 寄存器的 bit0 和 bit1，U2IRS 位为 U2C1 寄存器的 bit4。

注 3. 如果发生上溢错误，UiRB 寄存器的内容不定。另外，SiRIC 寄存器的 IR 位不变为 “1”（有中断请求）。

表 16.2 时钟同步串行 I/O 模式使用的寄存器和设定值

寄存器	位	功能
UiTB (注 1)	0 ~ 7	设定发送数据
UiRB (注 1)	0 ~ 7	能读取接收数据
	OER	上溢错误标志
UiBRG	0 ~ 7	设定位速率
UiMR (注 1)	SMD2 ~ SMD0	置 “001b”
	CKDIR	选择内部时钟或者外部时钟
	IOPOL	必须清 “0”
UiC0	CLK1 ~ CLK0	选择 UiBRG 的计数源
	CRS	在使用 $\overline{\text{CTS}}$ 或者 $\overline{\text{RTS}}$ 时，选择其中一个
	TXEPT	发送寄存器空标志
	CRD	选择 $\overline{\text{CTS}}$ 或者 $\overline{\text{RTS}}$ 功能的允许或者禁止
	NCH	选择 TXDi 引脚的输出形式
	CKPOL	选择传送时钟的极性
	UFORM	LSB 先发送或 MSB 先发送
UiC1	TE	在允许发送和接收时，必须置 “1”
	TI	发送缓冲空标志
	RE	在允许接收时，必须置 “1”
	RI	接收结束标志
	U2IRS (注 2)	选择 UART2 发送中断源
	U2RRM (注 2)	在使用连续接收模式时，必须置 “1”
	UiLCH	在使用数据逻辑反转时，必须置 “1”
	UIERE	必须清 “0”
UiSMR	0 ~ 7	必须清 “0”
UiSMR2	0 ~ 7	必须清 “0”
UiSMR3	0 ~ 2	必须清 “0”
	NODC	选择时钟输出形式
	4 ~ 7	必须清 “0”
UiSMR4	0 ~ 7	必须清 “0”
UCON	U0IRS、U1IRS	选择 UART0、1 发送中断源
	U0RRM、U1RRM	在使用连续接收模式时，必须置 “1”
	CLKMD0	CLKMD1=1 时，选择输出传送时钟的引脚
	CLKMD1	从 2 个引脚输出 UART1 的传送时钟时，必须置 “1”
	RCSP	从 P6_4 引脚输入 UART0 的 $\overline{\text{CTS0}}$ 信号时，必须置 “1”
	7	必须清 “0”

i=0 ~ 2

注 1. 在时钟同步串行 I/O 模式进行写操作时，必须将此表中没有记述的位清 “0”。

注 2. 必须将 U0C1、U1C1 寄存器的 bit4、bit5 清 “0”。U0IRS、U1IRS、U0RRM、U1RRM 位为 UCON 寄存器的位。

时钟同步串行 I/O 模式中的输入 / 输出引脚的功能如表 16.3 所示。表 16.3 为不选择传送时钟多引脚输出选择功能时的情况。另外，时钟同步串行 I/O 模式中的 P6_4 引脚功能如表 16.4 所示。

而且，在选择 UARTi 的运行模式后到开始传送为止，TXDi 引脚输出“H”电平。

时钟同步串行 I/O 模式时的发送和接收时序的例子如图 16.11 所示。

表 16.3 时钟同步串行 I/O 模式中的输入 / 输出引脚的功能（不选择传送时钟多引脚输出选择功能时）

引脚名	功能	选择方法
TXDi (P6_3、P6_7、P7_0)	串行数据输出	（在只进行接收时输出虚设数据）
RXDi (P6_2、P6_6、P7_1)	串行数据输入	PD6 寄存器的 PD6_2 位 =0、PD6_6 位 =0 PD7 寄存器的 PD7_1 位 =0（在只进行发送时可用作输入端口）
CLKi (P6_1、P6_5、P7_2)	传送时钟输出	UiMR 寄存器的 CKDIR 位 =0
	传送时钟输入	UiMR 寄存器的 CKDIR 位 =1 PD6 寄存器的 PD6_1 位 =0、PD6_5 位 =0，PD7 寄存器的 PD7_2 位 =0
CTSi/RTSi (P6_0、P6_4、P7_3)	CTS 输入	UiC0 寄存器的 CRD 位 =0 UiC0 寄存器的 CRS 位 =0 PD6 寄存器的 PD6_0 位 =0、PD6_4 位 =0，PD7 寄存器的 PD7_3 位 =0
	RTS 输出	UiC0 寄存器的 CRD 位 =0 UiC0 寄存器的 CRS 位 =1
	I/O 端口	UiC0 寄存器的 CRD 位 =1

i=0 ~ 2

表 16.4 时钟同步串行 I/O 模式中的 P6_4 引脚功能

引脚的功能	位的设定值					
	U1C0 寄存器		UCON 寄存器			PD6 寄存器
	CRD	CRS	RCSP	CLKMD1	CLKMD0	PD6_4
P6_4	1	—	0	0	—	输入 :0、输出 :1
CTSi	0	0	0	0	—	0
RTSi	0	1	0	0	—	—
CTSi (注 1)	0	0	1	0	—	0
CLKS1	—	—	—	1 (注 2)	1	—

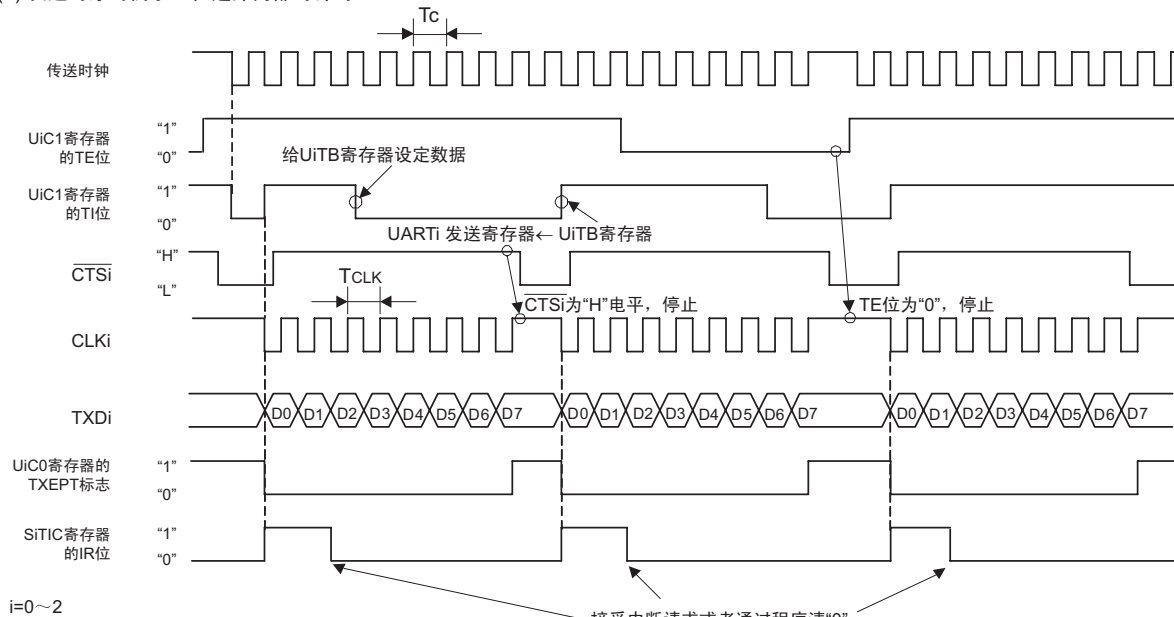
—: “0” 或者 “1”

注 1. 除此以外，还必须将 U0C0 寄存器的 CRD 位清“0”（允许 CTS0/RTS0）、U0C0 寄存器的 CRS 位置“1”（选择 RTS0）。

注 2. 在 CLKMD1 位为“1”并且 CLKMD0 位为“0”时，输出以下电平：

- U1C0 寄存器的 CKPOL 位为“0”：“H”电平
- U1C0 寄存器的 CKPOL 位为“1”：“L”电平

(1) 发送时序的例子 (在选择内部时钟时)



此图为以下的设定条件:

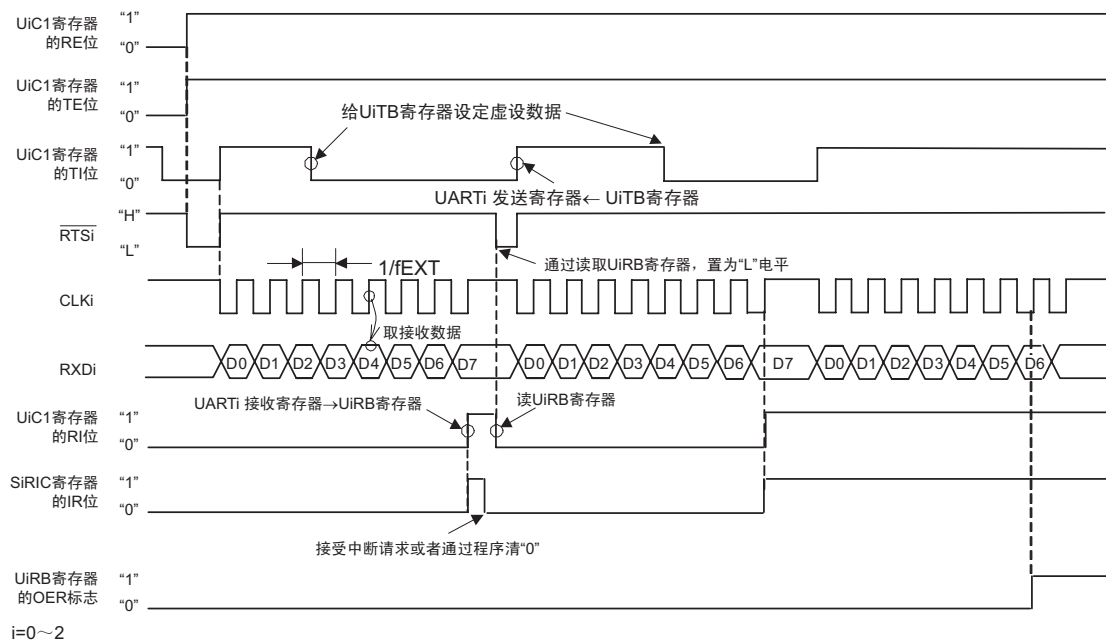
- UiMR寄存器的CKDIR位=0(内部时钟)
- UIC0寄存器的CRD位=0(允许CTS/RTS)、CRS位=0(选择CTS)
- UIC0寄存器的CKPOL位=0(在传送时钟的下降沿输出发送数据, 在上升沿输入接收数据)
- UCON寄存器、U2C1寄存器的UiIRS位=0(UiTB寄存器为空, 产生中断请求)

$$T_c = T_{CLK} = 2(n+1)/f_j$$

f_j : UiBRG计数源的频率
(f1SIO, f2SIO, f8SIO, f32SIO)

n : UiBRG寄存器的设定值

(2) 接收时序的例子(在选择外部时钟时)



此图为以下的设定条件:

- UiMR寄存器的CKDIR位=1(外部时钟)
- UIC0寄存器的CRD位=0(允许CTS/RTS)、CRS位=1(选择RTS)
- UIC0寄存器的CKPOL位=0(在传送时钟的下降沿输出发送数据, 在上升沿输入接收数据)

fEXT: 外部时钟频率

在数据接收前的CLKi引脚的输入为“H”电平时, 必须具备以下条件:

- UIC1寄存器的TE位=1(允许发送)
- UIC1寄存器的RE位=1(允许接收)
- 对UiTB寄存器写虚设数据

图 16.11 时钟同步串行 I/O 模式时的发送和接收时序的例子

16.1.1.1 发生通信错误时的处理方法

在时钟同步串行 I/O 模式中，如果在接收或者发送时发生通信错误，就必须按以下步骤重新设定：

- UiRB 寄存器 (i=0 ~ 2) 的初始化步骤：
 - (1) 将 UiC1 寄存器的 RE 位清 “0” (禁止接收)。
 - (2) 将 UiMR 寄存器的 SMD2 ~ SMD0 位置 “000b” (串行接口无效)。
 - (3) 将 UiMR 寄存器的 SMD2 ~ SMD0 位置 “001b” (时钟同步串行 I/O 模式)。
 - (4) 将 UiC1 寄存器的 RE 位置 “1” (允许接收)。
- UiTB 寄存器的初始化步骤：
 - (1) 将 UiMR 寄存器的 SMD2 ~ SMD0 位置 “000b” (串行接口无效)。
 - (2) 将 UiMR 寄存器的 SMD2 ~ SMD0 位置 “001b” (时钟同步串行 I/O 模式)。
 - (3) 与 UiC1 寄存器的 TE 位的值无关，向 TE 位写 “1” (允许接收)。

16.1.1.2 CLK 极性选择

能通过 UiC0 寄存器 (i=0 ~ 2) 的 CKPOL 位选择传送时钟的极性。
传送时钟的极性如图 16.12 所示。

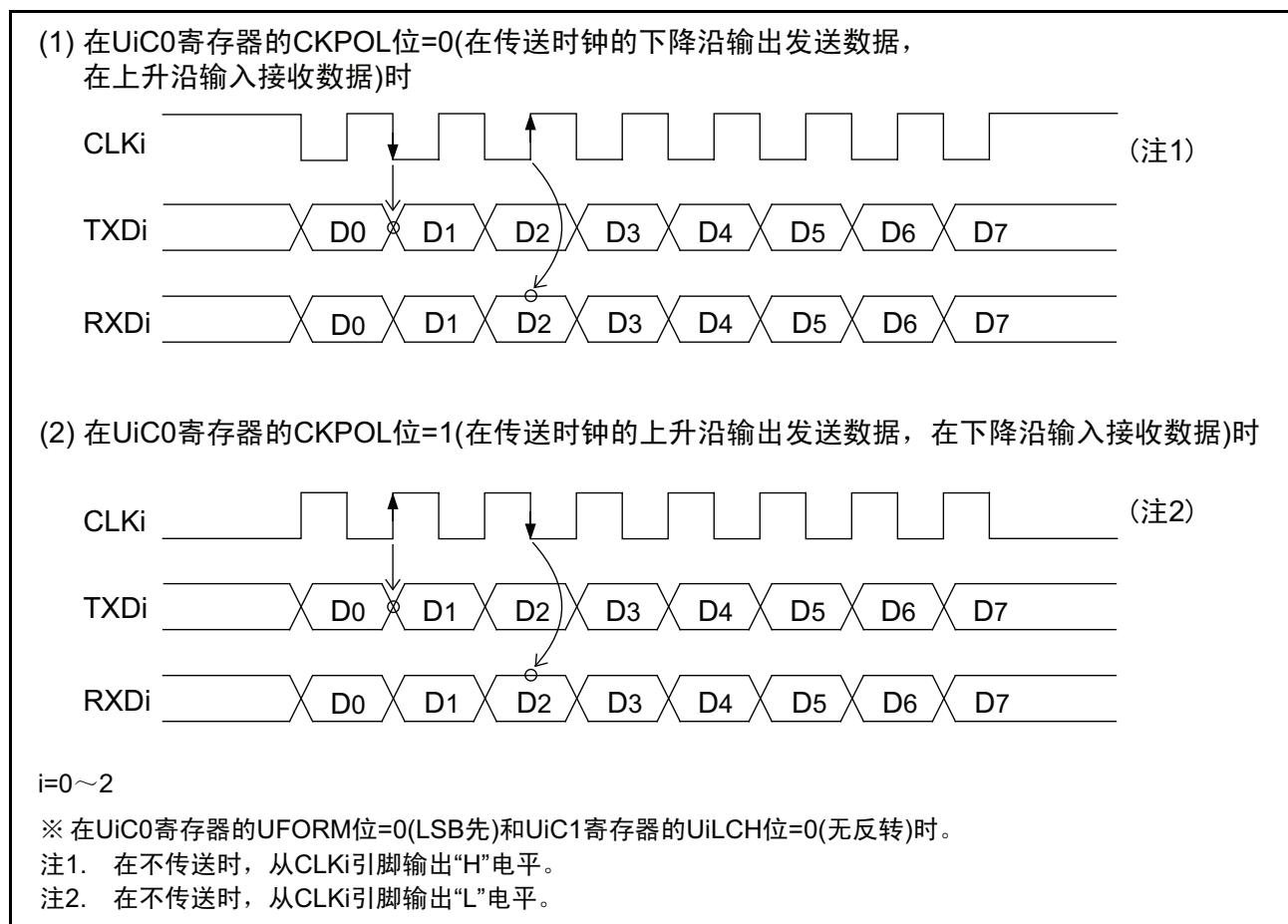


图 16.12 传送时钟的极性

16.1.1.3 LSB 先发送或 MSB 先发送的选择

能根据 UiC0 寄存器（ $i=0 \sim 2$ ）的 UFORM 位选择传送格式。
传送格式如图 16.13 所示。

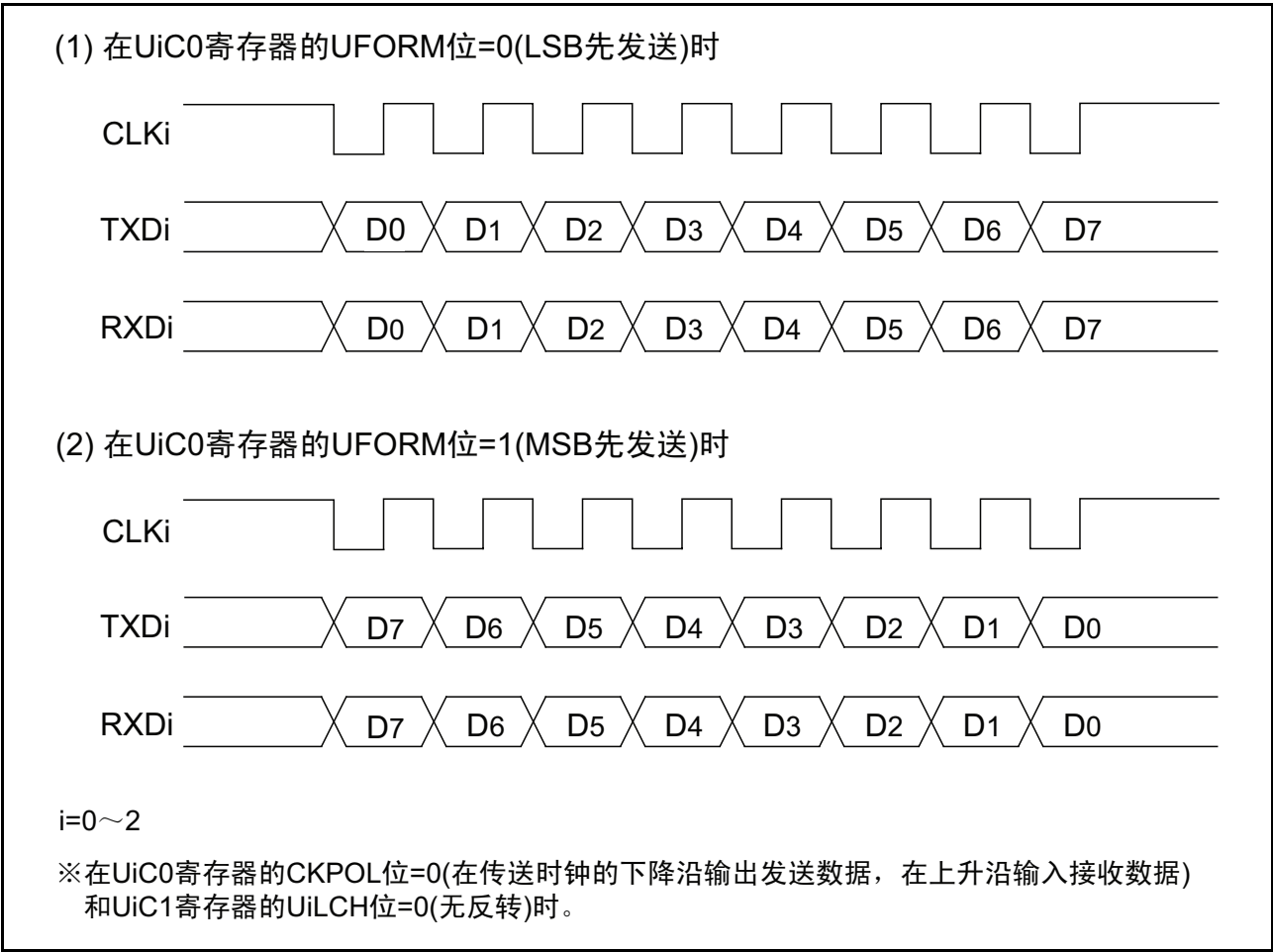


图 16.13 传送格式

16.1.1.4 连续接收模式

连续接收模式是通过读取接收缓冲寄存器而变为接收允许状态的模式。如果选择此模式，因为是接收允许状态，所以不需要对发送缓冲寄存器写虚设数据。但是，在开始接收时需要虚读接收缓冲寄存器。

如果将 UiRRM 位（ $i=0 \sim 2$ ）置“1”（连续接收模式），就通过读取 UiRB 寄存器，UiC1 寄存器的 TI 位变为“0”（UiTB 寄存器中有数据）。UiRRM 为“1”时，不能通过程序对 UiTB 寄存器写虚设数据。
U0RRM、U1RRM 位为 UCON 寄存器第 2 位和第 3 位，U2RRM 位为 U2C1 寄存器的第 5 位。

16.1.1.5 串行数据的逻辑切换

UiC1 寄存器（ $i=0 \sim 2$ ）的 UiLCH 位为“1”（有反转）时，将写在 UiTB 寄存器的值进行逻辑反转后发送。如果读取 UiRB 寄存器，就能读取接收数据逻辑反转后的值。

串行数据逻辑如图 16.14 所示。

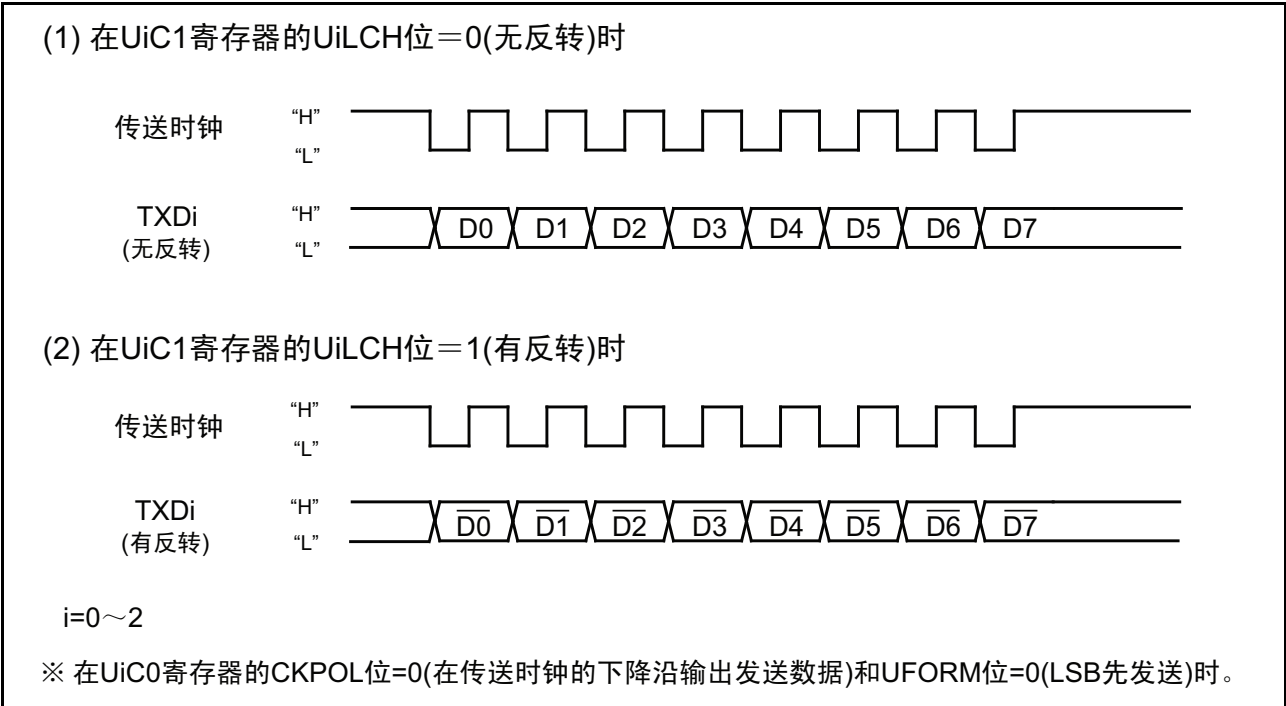


图 16.14 串行数据逻辑

16.1.1.6 传送时钟多引脚的输出选择（UART1）

能通过 UCON 寄存器的 CLKMD1 ~ CLKMD0 位从 2 个传送时钟输出引脚中选择 1 个输出引脚。

传送时钟多引脚输出功能的使用例子如图 16.15 所示。在 UART1 的传送时钟为内部时钟时能使用此功能。

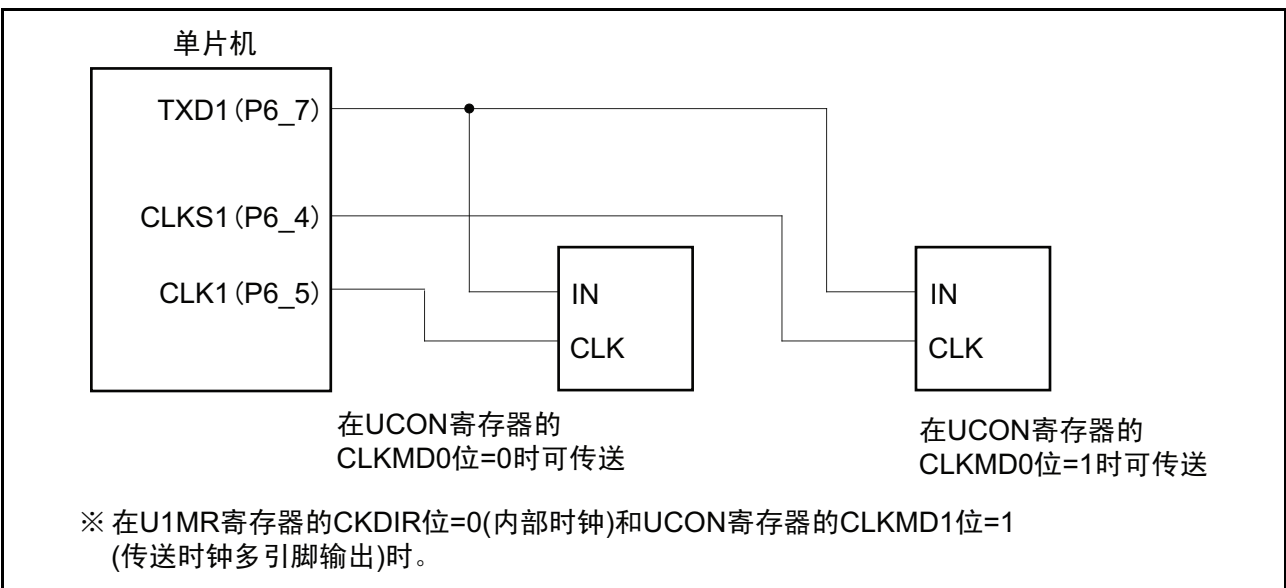


图 16.15 传送时钟多引脚输出功能的使用例子

16.1.1.7 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能

$\overline{\text{CTS}}$ 功能是在当 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ ($i=0 \sim 2$) 引脚为 “L” 电平时启动发送和接收的功能。如果 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚的输入电平为 “L”，就开始发送和接收。如果在发送和接收中输入电平变为 “H” 电平，就停止下一个数据的发送和接收。

$\overline{\text{RTS}}$ 功能在接收准备结束时，将 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚的输出电平变为 “L” 电平。在 CLK_i 引脚的第一个下降沿输出 “H” 电平。

- UIC0 寄存器的 CRD 位 =1 (禁止 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚为可编程的输入 / 输出功能
- CRD 位 =0、 UIC0 寄存器的 CRS 位 =0 (选择 $\overline{\text{CTS}}$ 功能) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚为 $\overline{\text{CTS}}$ 功能
- CRD 位 =0、 CRS 位 =1 (选择 $\overline{\text{RTS}}$ 功能) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚为 $\overline{\text{RTS}}$ 功能

16.1.1.8 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能 (UART0)

$\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ 独立功能是从 P6_0 引脚输出 $\overline{\text{RTS}}_0$ 、从 P6_4 引脚输入 $\overline{\text{CTS}}_0$ 的功能。在使用此功能时，必须进行以下设定：

- U0C0 寄存器的 CRD 位 =0 (允许 UART0 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$)
- U0C0 寄存器的 CRS 位 =1 (UART0 的 $\overline{\text{RTS}}$ 输出)
- U1C0 寄存器的 CRD 位 =0 (允许 UART1 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$)
- U1C0 寄存器的 CRS 位 =0 (UART1 的 $\overline{\text{CTS}}$ 输入)
- UCON 寄存器的 RCSP 位 =1 (从 P6_4 引脚输入 $\overline{\text{CTS}}_0$)
- UCON 寄存器的 CLKMD1 位 =0 (不使用 CLKS1)

另外，在使用 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能时，不能使用 UART1 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能。
 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能的使用例子如图 16.16 所示。

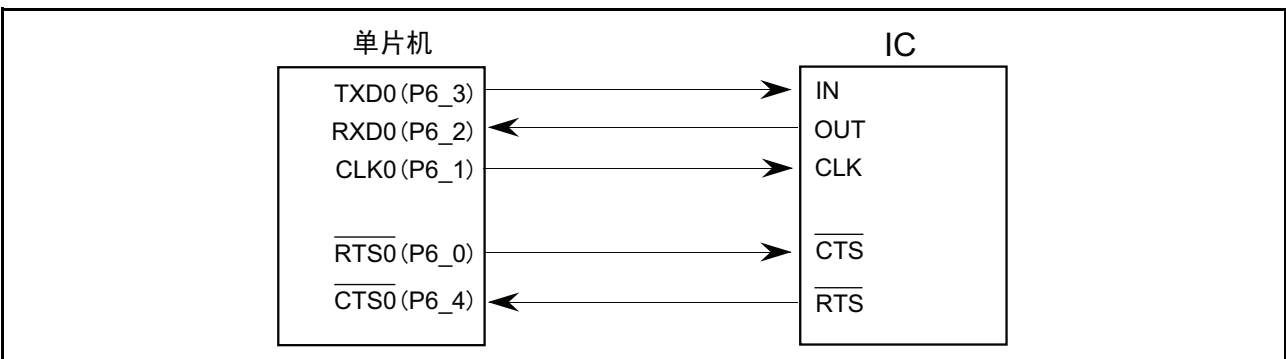


图 16.16 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能的使用例子

16.1.2 时钟异步串行 I/O（UART）模式

UART 模式是在设定任意的位速率和传送数据格式后进行发送和接收的模式。

UART 模式的规格如表 16.5 所示。UART 模式时使用的寄存器和设定值如表 16.6 所示。

表 16.5 UART 模式的规格

项目	规格
传送数据格式	• 字符位（传送数据） 可选择 7 位、8 位或者 9 位 • 开始位 1 位 • 奇偶校验位 可选择奇数校验、偶数校验或者无校验 • 停止位 可选择 1 位或者 2 位
传送时钟	• UiMR 寄存器的 CKDIR 位为“0”（内部时钟）：$f_i/16(n+1)$ $f_i=f1SIO、f2SIO、f8SIO、f32SIO$ $n=UiBRG$ 寄存器的设定值 00h ~ FFh • CKDIR 位为“1”（外部时钟）：$f_{EXT}/(16(n+1))$ f_{EXT} 是从 CLKi 引脚的输入 $n=UiBRG$ 寄存器的设定值 00h ~ FFh
发送控制、接收控制	可选择 CTS 功能、RTS 功能、CTS/RTS 功能禁止
发送开始条件	开始发送时需要以下条件： • UiC1 寄存器的 TE 位为“1”（允许发送） • UiC1 寄存器的 TI 位为“0”（UiTB 寄存器中有数据） • 选择 CTS 功能时，CTSi 引脚的输入为“L”电平
接收开始条件	开始接收时需要以下条件： • UiC1 寄存器的 RE 位为“1”（允许接收） • 检测到开始位
中断请求产生时间	在发送时可选择以下的任意条件： • UiIRS 位（注 1）为“0”（发送缓冲寄存器空）： 在从 UiTB 寄存器给 UARTi 发送寄存器传送数据时（发送开始时） • UiIRS 位为“1”（发送结束）：在从 UARTi 发送寄存器的数据发送结束时 在接收时 • 在从 UARTi 接收寄存器给 UiRB 寄存器传送数据时（接收结束时）
错误检测	• 上溢错误（注 2） 如果在读取 UiRB 寄存器前开始接收下一个数据，在接收下一个数据的最后停止位的前 1 位，发生上溢错误 • 帧错误（注 3） 当检测到的停止位个数小于设定值时，产生帧错误 • 奇偶校验错误（注 3）在允许奇偶校验时，奇偶校验位和字符位中的“1”的个数和设定的个数不等时，发生奇偶校验错误 • 错误和标志 在发生上溢错误、帧错误或者奇偶校验错误中的任意一个错误时，错误和标志为“1”
选择功能	• LSB 先发送或 MSB 先发送选择 可选择从第 0 位还是从第 7 位开始发送和接收。 • 串行数据的逻辑切换 反转发送和接收数据的逻辑值的功能。不反转开始位和停止位。 • TXD、RXD 输入 / 输出极性切换 反转 TXD 引脚输出和 RXD 引脚输入的功能。反转所有输入 / 输出数据的电平。 • CTS/RTS 独立功能（UART0） 从其它引脚输入 / 输出 CTS0 和 RTS0

i=0 ~ 2

注 1. U0IRS、U1IRS 位为 UCON 寄存器的第 0 位和第 1 位，U2IRS 位为 U2C1 寄存器的第 4 位。

注 2. 如果发生上溢错误，UiRB 寄存器的内容不定。另外，SiRIC 寄存器的 IR 位不变。

注 3. 检测并置位帧错误标志和奇偶校验错误标志的时序为将数据从 UARTi 接收寄存器传送到 UiRB 寄存器时。

表 16.6 UART 模式使用的寄存器和设定值

寄存器	位	功能
UiTB	0 ~ 8	设定发送数据（注 1）
UiRB	0 ~ 8	能读取接收数据（注 1）
	OER、FER、PER、SUM	错误标志
UiBRG	0 ~ 7	设定位速率
UiMR	SMD2 ~ SMD0	在传送数据为 7 位时，置“100b”
		在传送数据为 8 位时，置“101b”
		在传送数据为 9 位时，置“110b”
	CKDIR	选择内部时钟或者外部时钟
	STPS	选择停止位
	PRY、PRYE	选择奇偶校验的有无、偶数校验或者奇数校验
	IOPOL	选择 TXD/RXD 输入 / 输出极性
UiC0	CLK1 ~ CLK0	选择 UiBRG 的计数源
	CRS	在使用 <u>CTS</u> 或者 <u>RTS</u> 功能时，选择其中一个
	TXEPT	发送寄存器空标志
	CRD	选择 CTS/RTS 功能的允许或者禁止
	NCH	选择 TXDi 引脚的输出形式
	CKPOL	必须清“0”
	UFORM	在传送数据长度为 8 位时，能选择 LSB 先发送或 MSB 先发送 在传送数据长度为 7 位或者 9 位时，必须清“0”
UiC1	TE	在允许发送时，必须置“1”
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置“1”
	RI	接收结束标志
	U2IRS（注 2）	选择 UART2 发送中断源
	U2RRM（注 2）	必须清“0”
	UiLCH	在使用数据逻辑反转时，必须置“1”
	UiERE	必须清“0”
UiSMR	0 ~ 7	必须清“0”
UiSMR2	0 ~ 7	必须清“0”
UiSMR3	0 ~ 7	必须清“0”
UiSMR4	0 ~ 7	必须清“0”
UCON	U0IRS、U1IRS	选择 UART0、1 发送中断源
	U0RRM、U1RRM	必须清“0”
	CLKMD0	因为 CLKMD1=0，所以无效
	CLKMD1	必须清“0”
	RCSP	从 P6_4 引脚输入 UART0 的 <u>CTS0</u> 信号时，必须置“1”
	7	必须清“0”

i=0 ~ 2

注 1. 使用的位如下：

- 传送数据长度为 7 位：bit0 ~ 6
- 传送数据长度为 8 位：bit0 ~ 7
- 传送数据长度为 9 位：bit0 ~ 8

注 2. 必须将 U0C1、U1C1 寄存器的 bit4、bit5 清“0”。U0IRS、U1IRS、U0RRM、U1RRM 位为 UCON 寄存器的位。

UART 模式中的输入 / 输出引脚功能如表 16.7 所示，UART 模式中的 P6_4 引脚功能如表 16.8 所示。另外，在选择 UART_i 的运行模式后到开始传送为止，TXD_i 引脚输出“H”电平。

UART 模式中的发送时序的例子如图 16.17 所示，UART 模式中的接收时序的例子如图 16.18 所示。

表 16.7 UART 模式中的输入 / 输出引脚功能

引脚名	功能	选择方法
TXD _i (P6_3、P6_7、P7_0)	串行数据输出	（在只进行接收时输出“H”电平）
RXD _i (P6_2、P6_6、P7_1)	串行数据输入	PD6 寄存器的 PD6_2 位 =0、PD6_6 位 =0，PD7 寄存器的 PD7_1 位 =0（在只进行发送时可用作输入端口）
CLK _i (P6_1、P6_5、P7_2)	I/O 端口	UiMR 寄存器的 CKDIR 位 =0
	传送时钟输入	UiMR 寄存器的 CKDIR 位 =1 PD6 寄存器的 PD6_1 位 =0、PD6_5 位 =0，PD7 寄存器的 PD7_2 位 =0
$\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ (P6_0、P6_4、P7_3)	$\overline{\text{CTS}}$ 输入	UiC0 寄存器的 CRD 位 =0 UiC0 寄存器的 CRS 位 =0 PD6 寄存器的 PD6_0 位 =0、PD6_4 位 =0，PD7 寄存器的 PD7_3 位 =0
	$\overline{\text{RTS}}$ 输出	UiC0 寄存器的 CRD 位 =0 UiC0 寄存器的 CRS 位 =1
	I/O 端口	UiC0 寄存器的 CRD 位 =1

i=0 ~ 2

表 16.8 UART 模式中的 P6_4 引脚功能

引脚的功能	位的设定值				
	U1C0 寄存器		UCON 寄存器		PD6 寄存器
	CRD	CRS	RCSP	CLKMD1	PD6_4
P6_4	1	—	0	0	输入 :0、输出 :1
$\overline{\text{CTS}}_1$	0	0	0	0	0
$\overline{\text{RTS}}_1$	0	1	0	0	—
$\overline{\text{CTS}}_0$ （注 1）	0	0	1	0	0

—: “0” 或者 “1”

注 1. 除此以外，还必须将 U0C0 寄存器的 CRD 位清“0”（允许 $\overline{\text{CTS}}_0/\overline{\text{RTS}}_0$ ）、U0C0 寄存器的 CRS 位置“1”（选择 $\overline{\text{RTS}}_0$ ）。

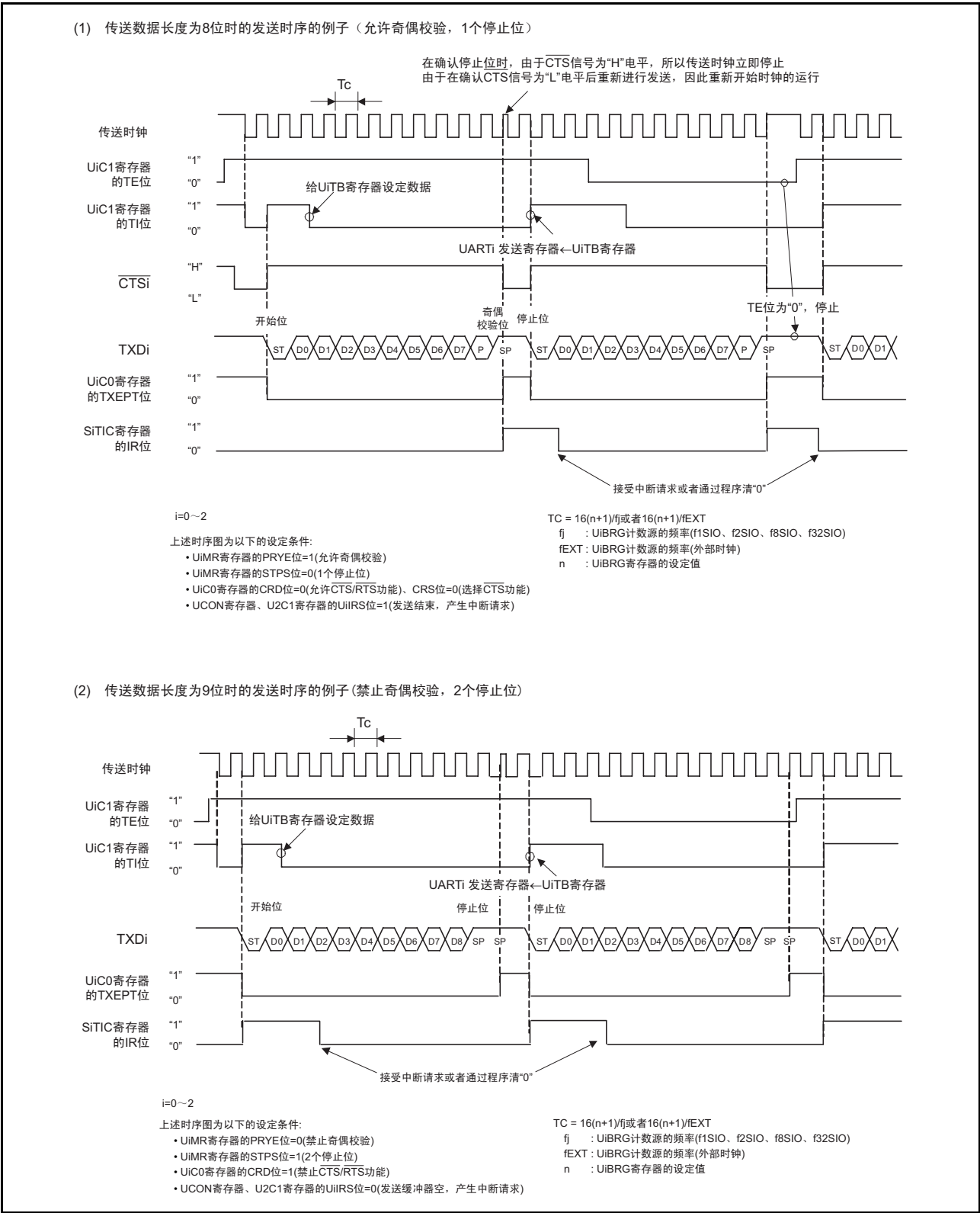


图 16.17 UART 模式中的发送时序的例子

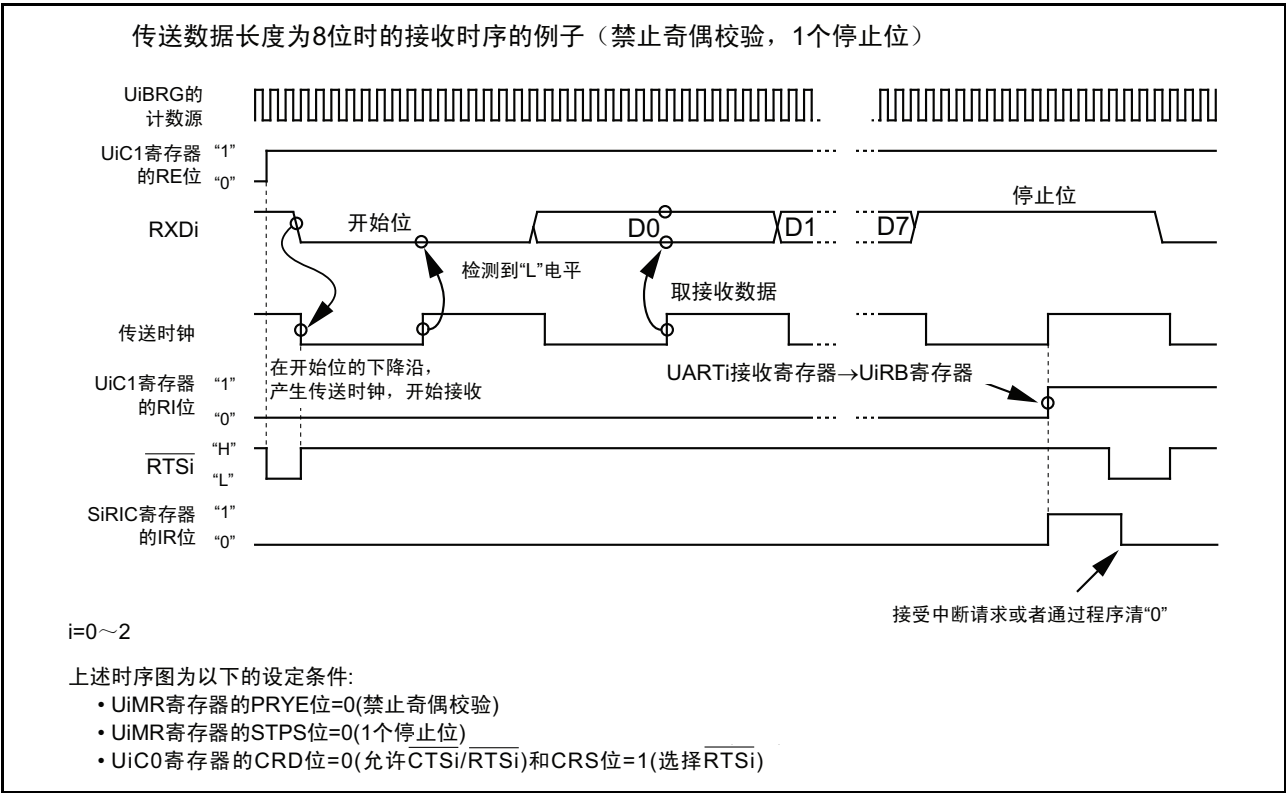


图 16.18 UART 模式中的接收时序的例子

16.1.2.1 位速率

在 UART 模式中，位速率为 UiBRG 寄存器（i=0 ~ 2）分频后频率的 16 分频。
位速率的设定例子如表 16.9 所示。

表 16.9 位速率

位速率 (bps)	UiBRG 的 计数源	外围功能时钟 :16MHz		外围功能时钟 :20MHz		外围功能时钟 :24MHz（注 1）	
		UiBRG 的 设定值 :n	位速率 (bps)	UiBRG 的 设定值 :n	位速率 (bps)	UiBRG 的 设定值 :n	位速率 (bps)
1200	f8	103（67h）	1202	129（81h）	1202	155（9Bh）	1202
2400	f8	51（33h）	2404	64（40h）	2404	77（4Dh）	2404
4800	f8	25（19h）	4808	32（20h）	4735	38（26h）	4808
9600	f1	103（67h）	9615	129（81h）	9615	155（9Bh）	9615
14400	f1	68（44h）	14493	86（56h）	14368	103（67h）	14423
19200	f1	51（33h）	19231	64（40h）	19231	77（4Dh）	19231
28800	f1	34（22h）	28571	42（2Ah）	29070	51（33h）	28846
31250	f1	31（1Fh）	31250	39（27h）	31250	47（2Fh）	31250
38400	f1	25（19h）	38462	32（20h）	37879	38（26h）	38462
51200	f1	19（13h）	50000	23（17h）	52083	28（1Ch）	51724

i=0 ~ 2

注 1. 24MHz 仅限在 Normal-ver. 中使用。

16.1.2.2 发生通信错误时的处理方法

在 UART 模式中，如果在接收或者发送时发生通信错误，就必须按以下步骤重新设定：

- UiRB 寄存器的（ $i=0 \sim 2$ ）初始化步骤：
 - （1）将 UiC1 寄存器的 RE 位清 “0”（禁止接收）。
 - （2）将 UiC1 寄存器的 RE 位置 “1”（允许接收）。
- UiTB 寄存器的初始化步骤：
 - （1）将 UiMR 寄存器的 SMD2 $\sim$ SMD0 位置 “000b”（串行接口无效）。
 - （2）将 UiMR 寄存器的 SMD2 $\sim$ SMD0 位设为重新设定（“001b”、“101b”、“110b”）。
 - （3）与 UiC1 寄存器的 TE 位的值无关，向 TE 位写 “1”（允许接收）。

16.1.2.3 LSB 先发送或 MSB 先发送选择

如图 16.19 所示，能通过 UiC0 寄存器的 UFORM 位选择传送格式。

传送格式如图 16.19 所示。此功能在传送数据长度为 8 位时有效。

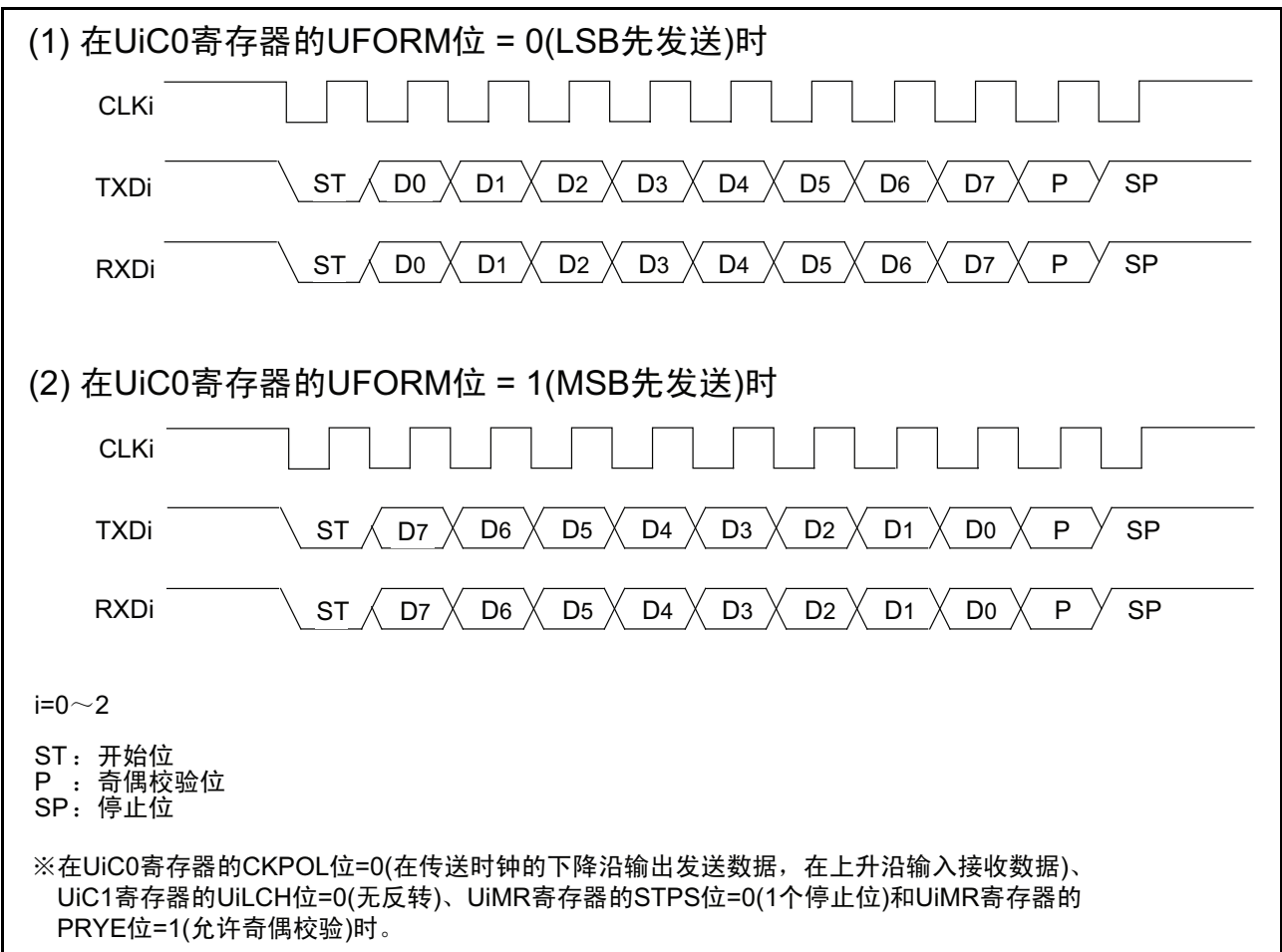


图 16.19 传送格式

16.1.2.4 串行数据的逻辑切换

将写在 UiTB 寄存器的值逻辑反转后发送。如果读取 UiRB 寄存器，就能读取接收数据逻辑反转后的值。
串行数据逻辑如图 16.20 所示。

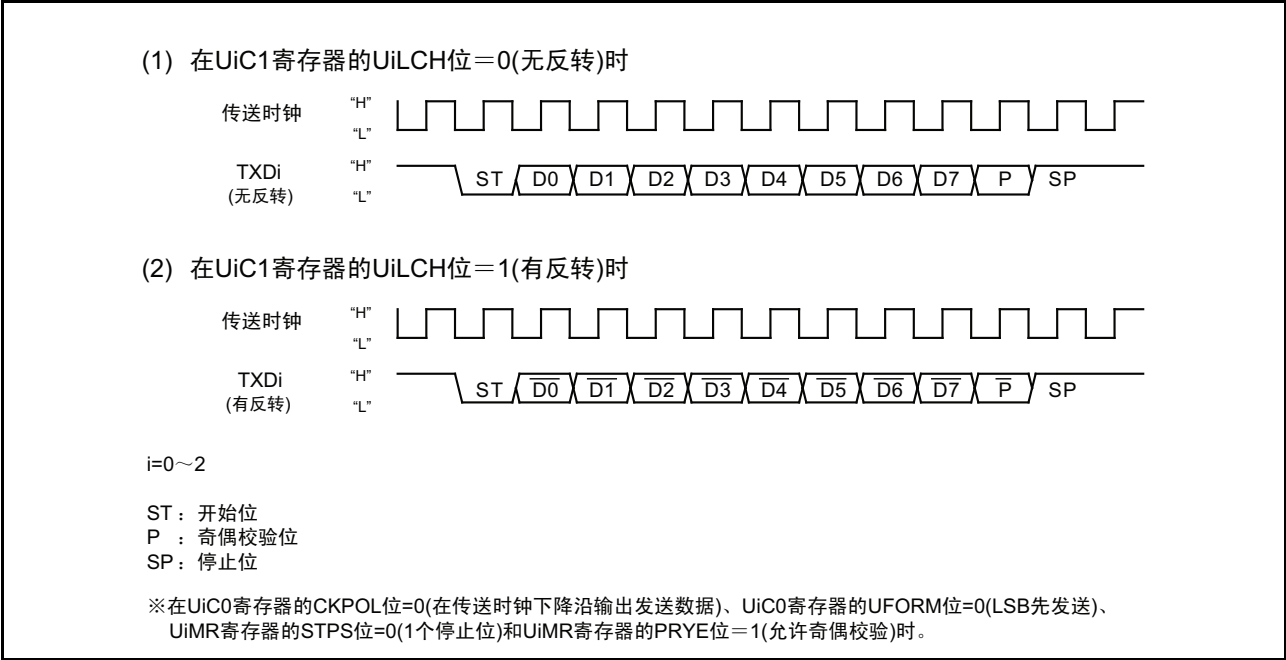


图 16.20 串行数据逻辑

16.1.2.5 TXD、RXD 输入 / 输出极性的切换功能

此功能是反转 TXDi 引脚输出和 RXDi 引脚输入的功能。将输入 / 输出数据的电平（包含开始位、停止位、奇偶校验位）全部反转。

TXD、RXD 输入 / 输出极性的切换如图 16.21 所示。

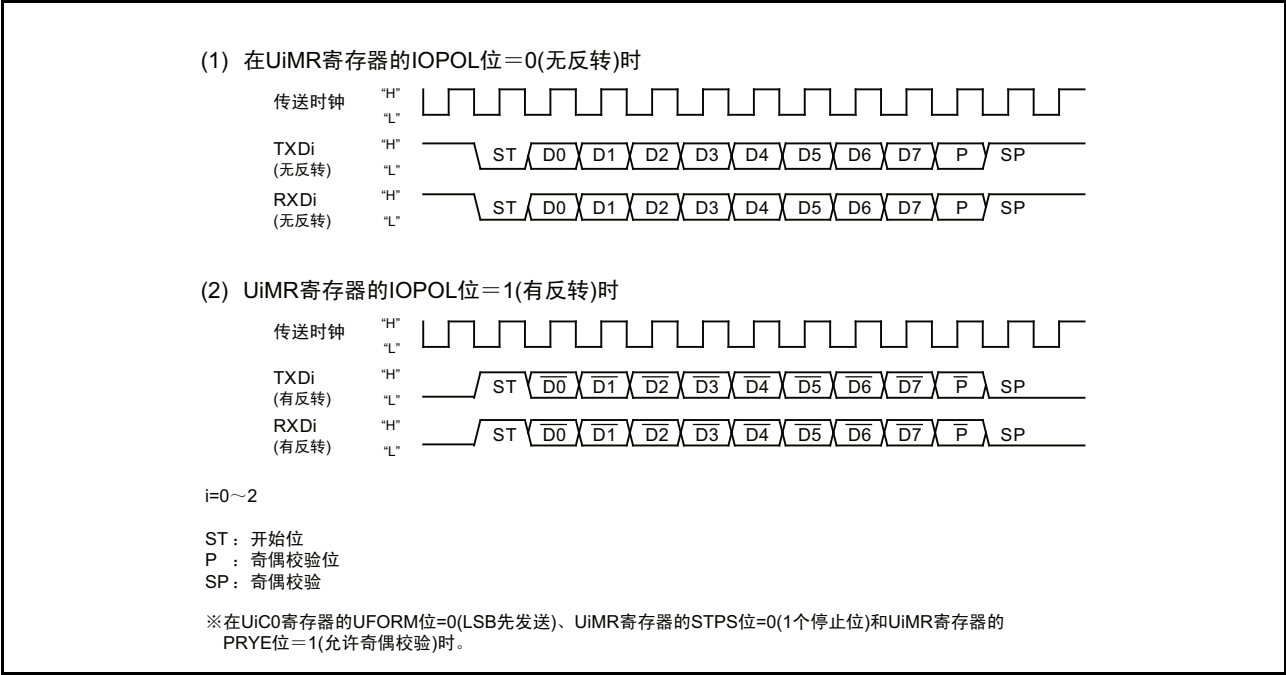


图 16.21 TXD、RXD 输入 / 输出极性的切换

16.1.2.6 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能

$\overline{\text{CTS}}$ 功能是在给 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ ($i=0 \sim 2$) 引脚输入 “L” 电平时让发送开始的功能。如果 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚的输入电平为 “L” 电平，就开始发送；如果在发送中将输入电平变为 “H” 电平，就停止下一个数据的发送。

$\overline{\text{RTS}}$ 功能在接收准备结束时，将 $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚的输出电平变为 “L” 电平，在 CLK_i 引脚的第一个下降沿输出 “H” 电平。

- UIC0 寄存器的 CRD 位 =1 (禁止 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚为可编程的输入 / 输出功能
- CRD 位 =0、 UIC0 寄存器的 CRS 位 =0 (选择 $\overline{\text{CTS}}$ 功能) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚为 $\overline{\text{CTS}}$ 功能
- CRD 位 =0、 CRS 位 =1 (选择 $\overline{\text{RTS}}$ 功能) $\overline{\text{CTS}}_i/\overline{\text{RTS}}_i$ 引脚为 $\overline{\text{RTS}}$ 功能

16.1.2.7 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能 (UART0)

$\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能是 $\overline{\text{CTS}}_0$ 与 $\overline{\text{RTS}}_0$ 引脚功能不复用，从 P6_0 引脚输出 $\overline{\text{RTS}}_0$ 、从 P6_4 引脚输入 $\overline{\text{CTS}}_0$ 的功能。在使用此功能时，必须进行以下的设定：

- U0C0 寄存器的 CRD 位 =0 (允许 UART0 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$)
- U0C0 寄存器的 CRS 位 =1 (UART0 的 $\overline{\text{RTS}}$ 输出)
- U1C0 寄存器的 CRD 位 =0 (允许 UART1 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$)
- U1C0 寄存器的 CRS 位 =0 (UART1 的 $\overline{\text{CTS}}$ 输入)
- UCON 寄存器的 RCSP 位 =1 (从 P6_4 引脚输入 $\overline{\text{CTS}}_0$)
- UCON 寄存器的 CLKMD1 位 =0 (不使用 CLKS1)

另外，在使用 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能时，不能使用 UART1 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 功能。

$\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能使用例子如图 16.22 所示。

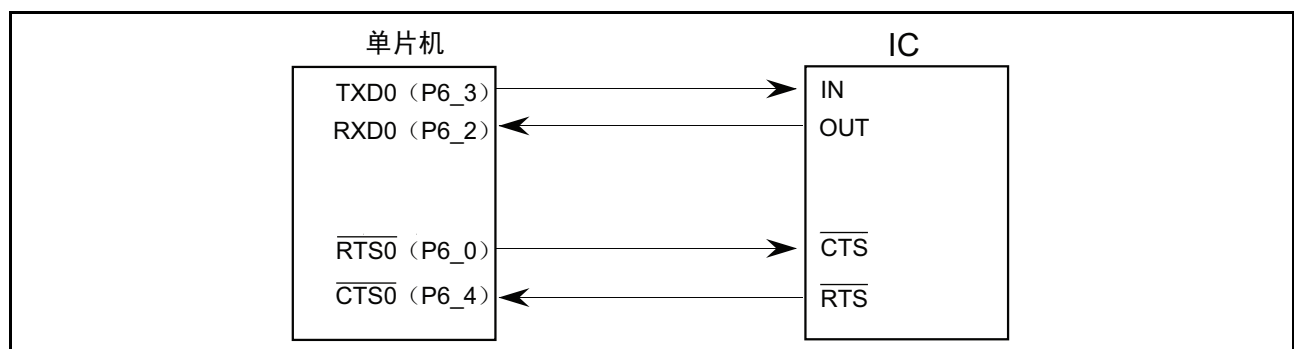


图 16.22 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能的使用例子

16.1.3 特殊模式 1（I²C 模式）

I²C 模式是对应简易型 I²C 接口的模式。

I²C 模式的规格如表 16.10 所示、I²C 模式的框图如图 16.23 所示、I²C 模式使用的寄存器和设定值如表 16.11 所示、I²C 模式中的各功能如表 16.12、UiRB 寄存器的传送和中断时序如图 16.24 所示。

如表 16.12 所示，如果将 SMD2 ~ SMD0 位置“010b”、IICM 位置“1”，就为 I²C 模式。因为 SDAi 发送输出附带延迟电路，所以在 SCLi 为“L”电平并稳定后，SDAi 输出才发生变化。

表 16.10 I²C 模式的规格

项目	规格
传送数据格式	传送数据长度 8 位
传送时钟	- 在主模式时 UiMR 寄存器的 CKDIR 位为“0”（内部时钟）：$f_j/2(n+1)$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ $n=UiBRG$ 寄存器的设定值 00h ~ FFh - 在从属模式时 CKDIR 位为“1”（外部时钟）：从 SCLi 引脚的输入
发送开始条件	开始发送时需要以下条件（注 1）： - UiC1 寄存器的 TE 位为“1”（允许发送） - UiC1 寄存器的 TI 位为“0”（UiTB 寄存器中有数据）
接收开始条件	开始接受时需要以下条件（注 1）： - UiC1 寄存器的 RE 位为“1”（接收允许） - UiC1 寄存器的 TE 位为“1”（发送允许） - UiC1 寄存器的 TI 位为“0”（UiTB 寄存器中有数据）
中断请求产生时间	检测到开始条件、检测到停止条件、未检测到应答、检测到应答
错误检测	上溢错误（注 2） 在读取 UiRB 寄存器前开始接收下一个数据并接收下一个数据的第 8 位时，发生上溢错误
选择功能	- 仲裁失败 可选择 UiRB 寄存器的 ABT 位的更新时序 - SDAi 数字延迟 可选择无数字延迟或者 UiBRG 计数源的 2 ~ 8 周期的延迟 - 时钟相位设定 可选择有或者无时钟延迟

i=0 ~ 2

注 1. 在选择外部时钟时，必须在外部时钟为“H”电平的状态下满足条件。

注 2. 如果发生上溢错误，UiRB 寄存器的内容不定。另外，SiRIC 寄存器的 IR 位不变。

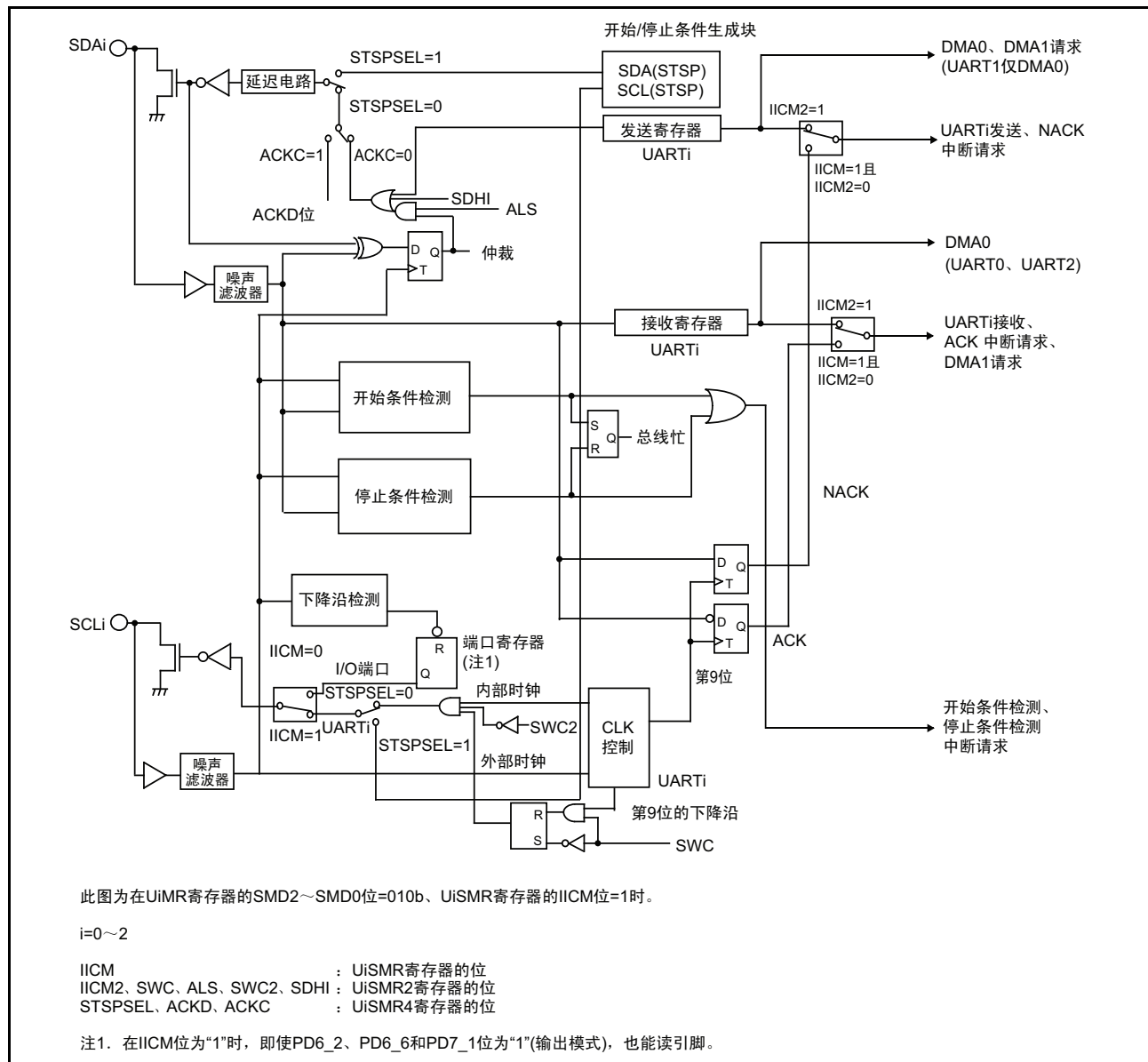


图 16.23 I²C 模式的框图

表 16.11 I²C 模式使用的寄存器和设定值

寄存器	位	功能	
		主模式时	从属模式时
UITB (注 1)	0 ~ 7	设定发送数据	
UiRB (注 1)	0 ~ 7	能读接收数据	
	8	置 ACK 或 NACK	
	ABT	仲裁失败检测标志	无效
	OER	上溢错误标志	
UiBRG	0 ~ 7	设定位速率	无效
UiMR (注 1)	SMD2 ~ SMD0	置 “010b”	
	CKDIR	必须清 “0”	必须置 “1”
	IOPOL	必须清 “0”	
UiC0	CLK1 ~ CLK0	选择 UiBRG 的计数源	无效
	CRS	因为 CRD=1, 所以无效	
	TXEPT	发送寄存器空标志	
	CRD (注 3)	必须置 “1”	
	NCH	必须置 “1”	
	CKPOL	必须清 “0”	
	UFORM	必须置 “1”	
UiC1	TE	在允许发送时, 置 “1”	
	TI	发送缓冲器空标志	
	RE	在允许接收时, 置 “1”	
	RI	接收结束标志	
	U2IRS (注 2)	无效	
	U2RRM (注 2)、 U1LCH、UIERE	必须清 “0”	
UiSMR	IICM	必须置 “1”	
	ABC	选择仲裁失败检测时序	无效
	BBS	总线忙标志	
	3 ~ 7	必须清 “0”	
UiSMR2	IICM2	请参照 “表 16.12 I ² C 模式中的各功能”	
	CSC	在允许时钟同步时, 必须置 “1”	必须清 “0”
	SWC	在时钟第 9 位的下降沿将 SCLi 输出固定为 “L” 电平时, 必须置 “1”	
	ALS	在检测出仲裁失败并时停止 SDAi 输出时, 必须置 “1”	必须清 “0”
	STAC	必须清 “0”	通过开始条件检测初始化 UARTi 时, 必须置 “1”
	SWC2	将 SCLi 的输出强制设为 “L” 电平时, 必须置 “1”	
	SDHI	在禁止 SDAi 输出时, 必须置 “1”	
	7	必须清 “0”	
UiSMR3	0、2、4、NODC	必须清 “0”	
	CKPH	请参照 “表 16.12 I ² C 模式中的各功能”	
	DL2 ~ DL0	设定 SDAi 的数字延迟值	
UiSMR4	STAREQ	在生成开始条件时, 必须置 “1”	必须清 “0”
	RSTAREQ	在生成重新启动条件时, 必须置 “1”	必须清 “0”
	STPREQ	在生成停止条件时, 必须置 “1”	必须清 “0”
	STSPSEL	在输出各条件时, 必须置 “1”	必须清 “0”
	ACKD	选择 ACK 或者 NACK	
	ACKC	在输出 ACK 数据时, 必须置 “1”	
	SCLHI	如果在检测出停止条件时停止 SCLi 输出, 必须置 “1”	必须清 “0”
	SWC9	必须清 “0”	在时钟第 9 位的下一个下降沿将 SCLi 保持为 “L” 电平时, 必须置 “1”
IFSR0	IFSR06、IFSR07	必须置 “1”	
UCON	U0IRS、U1IRS	无效	
	2 ~ 7	必须清 “0”	

i=0 ~ 2

- 注 1. 在 I²C 模式时, 必须将此表中没有记述的位清 “0”。
- 注 2. 必须将 U0C1、U1C1 寄存器的 bit4、bit5 清 “0”。U0IRS、U1IRS、U0RRM、U1RRM 位为 UCON 寄存器的位。
- 注 3. 在 I²C 模式下使用 UART1, 并允许 UART0 的 $\overline{\text{CTS}}/\overline{\text{RTS}}$ 独立功能时, 必须将 U1C0 寄存器的 CRD 位清 “0” (允许 CTS/RTS 功能), 将 CRS 位清 “0” (选择 CTS 功能)。

表 16.12 I²C 模式中的各功能

功能	时钟同步串行 I/O 模式 (SMD2 ~ SMD0=001b、 IICM=0)	I ² C 模式 (SMD2 ~ SMD0=010b、IICM=1)			
		IICM2=0 (NACK/ACK 中断)		IICM2=1 (UART 发送 /UART 接收中断)	
		CKPH=0 (无时钟延迟)	CKPH=1 (有时钟延迟)	CKPH=0 (无延迟时钟)	CKPH=1 (有时钟延迟)
中断序号 6、7、10 的源 (注 1、5、7)	—	开始条件检测、停止条件检测 (请参照 “表 16.13 STSPSEL 位的功能”)			
中断序号 15、17、19 的源 (注 1、6)	UARTi 发送、发送开始 或者发送结束 (由 UiIRS 选择)	无应答检测 (NACK) 第 9 位的 SCLi 上升沿		UARTi 发送 第 9 位的 SCLi 上 升沿	UARTi 送信 第 9 位的下一个 SCLi 下降沿
中断序号 16、18、20 的源 (注 1、6)	UARTi 接收 接收第 8 位时 CKPOL=0 (上升) CKPOL=1 (下降)	应答检测 (ACK) 第 9 位的 SCLi 上升沿		UARTi 接收 第 9 位的 SCLi 下降沿	
从 UART 接收移位寄存器 将数据传送给 UiRB 寄存 器的时序	CKPOL=0 (上升) CKPOL=1 (下降)	第 9 位的 SCLi 上升沿		第 9 位的 SCLi 下 降沿	第 9 位的 SCLi 下降沿和 上升沿
UARTi 发送输出延迟	无延迟	有延迟			
P6_3、P6_7、P7_0 引脚 的功能	TXDi 输出	SDAi 输入 / 输出			
P6_2、P6_6、P7_1 引脚 的功能	RXDi 输入	SCLi 输入 / 输出			
P6_1、P6_5、P7_2 引脚 的功能	CLKi 输入或者输出选择	— (不用于 I ² C 模式)			
噪声滤波器宽度	15ns	200ns			
RXDi、SCLi 引脚电平的 读取	对应的端口方向位为 “0” 时能读取	与对应的方向位的内容无关，总是能读取			
TXDi、SDAi 输出的初始 值	CKPOL=0(H) CKPOL=1(L)	I ² C 模式设定前，设定在端口寄存器的值 (注 2)			
SCLi 的初始值和结束值	—	H	L	H	L
DMA1 触发源 (注 6)	UARTi 接收	应答检测 (ACK)		UARTi 接收 第 9 位的 SCLi 下降沿	
接收数据的保存	将第 1 ~ 8 位保存到 UiRB 寄存器的 0 ~ 7 位	将第 1 ~ 8 位保存到 UiRB 寄存器的 7 ~ 0 位		将第 1 ~ 7 位保存到 UiRB 寄存器的 6 ~ 0 位、第 8 位保存到 UiRB 寄存器的 8 位 将第 1 ~ 8 位保存到 UiRB 寄存器的 7 ~ 0 位 (注 3)	
接收数据的读取	读 UiRB 寄存器的状态				UiRB 寄存器的 6 ~ 0 位作为 7 ~ 1 位、 8 位作为 0 位来读 (注 4)

i=0 ~ 2

注 1. 如果更改中断源，被更改中断的中断控制寄存器的 IR 位有可能变为“1”（有中断请求）（请参照“2.8 中断”）。如果更改 UiMR 寄存器的 SMD2 ~ SMD0 位、UiSMR 寄存器的 IICM 位、UiSMR2 寄存器的 IICM2 位、UiSMR3 寄存器的 CKPH 位，因为中断源和中断时序等发生变化，所以必须在更改这些位后，将 IR 位清“0”（无中断请求）。

- U1MR 寄存器的 SMD2 ~ SMD0 位 • U1SMR 寄存器的 IICM 位
- S1SMR2 寄存器的 IICM2 位 • U1SMR3 寄存器的 CKPH 位

注 2. 必须在 SMD2 ~ SMD0 位为“000b”（串行接口无效）的状态下设定 SDAi 输出的初始值。

注 3. 第 2 次给 UiRB 寄存器传送数据（第 9 位的 SCLi 上升时）

注 4. 第 1 次给 UiRB 寄存器传送数据（第 9 位的 SCLi 下降时）

注 5. 请参照“图 16.26 STSPSEL 位的功能”。

注 6. 请参照“图 16.24 UiRB 寄存器的传送和中断时序”。

注 7. 在使用 UART0 时，必须将 IFSR0 寄存器的 IFSR06 位置“1”（中断源为 UART0 总线冲突）。
在使用 UART1 时，必须将 IFSR0 寄存器的 IFSR07 位置“1”（中断源为 UART1 总线冲突）。

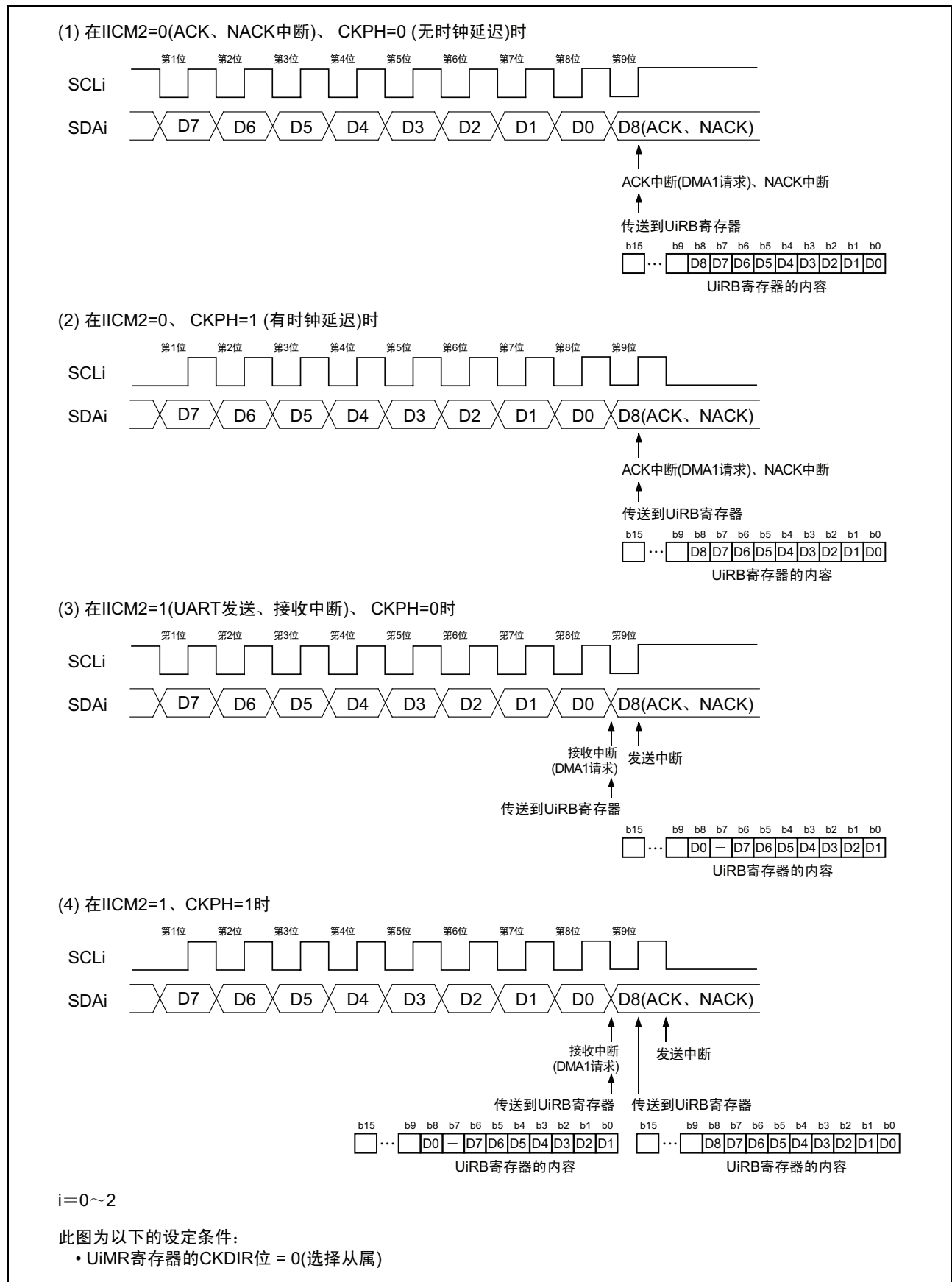


图 16.24 UiRB 寄存器的传送和中断时序

16.1.3.1 开始条件和停止条件的检测

判断开始条件或者停止条件的检测。

在 SCLi 引脚为“H”电平的状态下，如果 SDAi 引脚从“H”电平变为“L”电平，就产生开始条件检测中断请求；如果 SDAi 引脚从“L”电平变为“H”电平，就产生停止条件检测中断请求。

开始条件和停止条件的检测如图 16.25 所示。

因为开始条件检测中断和停止条件检测中断复用中断控制寄存器和向量，所以不论由哪个请求发生的中断都必须用 UiSMR 寄存器的 BBS 位来判断。

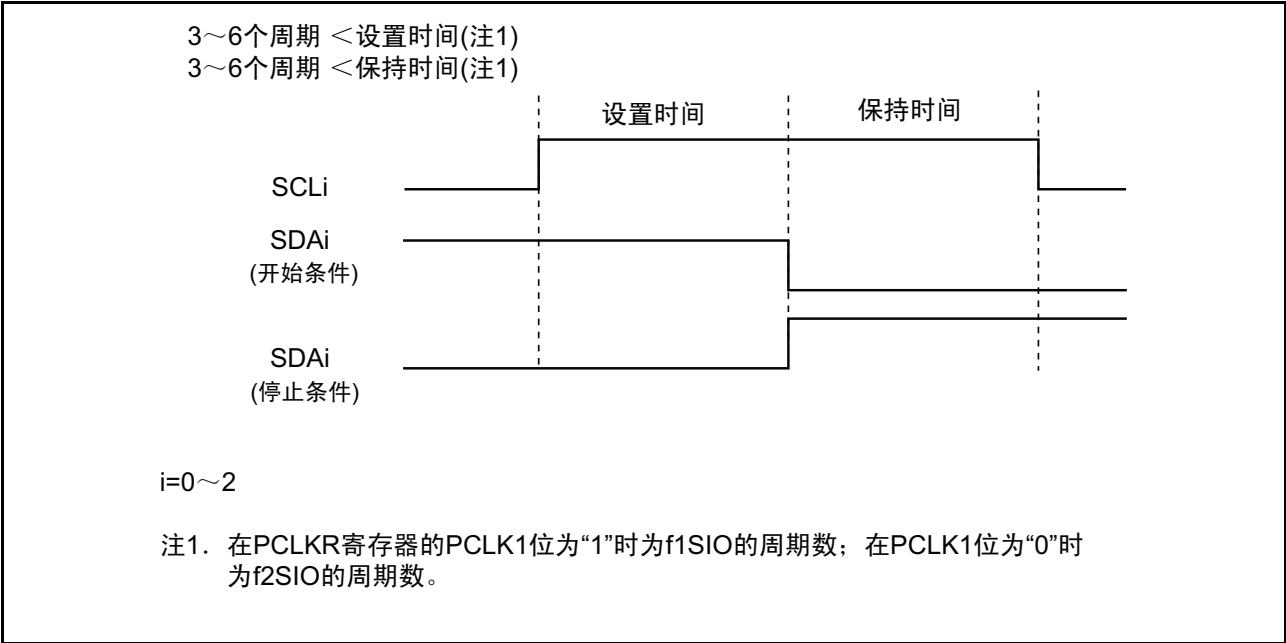


图 16.25 开始条件和停止条件的检测

16.1.3.2 开始条件和停止条件的输出

如果将 UiSMR4 寄存器（i=0 ~ 2）的 STAREQ 位置“1”（开始），就生成开始条件。

如果将 UiSMR4 寄存器的 RSTAREQ 位置“1”（开始），就生成重新开始条件。

如果将 UiSMR4 寄存器的 STPREQ 位置“1”（开始），就生成停止条件。

输出的步骤如下：

- （1）将 STAREQ 位、RSTAREQ 位或者 STPREQ 位置“1”（开始）
- （2）将 UiSMR4 寄存器的 STSPSEL 位置“1”（输出）

STSPSEL 位的功能如表 16.13 和图 16.26 所示。

表 16.13 STSPSEL 位的功能

功能	STSPSEL=0	STSPSEL=1
SCLi、SDAi 引脚的输出	输出传送时钟和数据。 通过程序采用端口实现开始条件和停止条件的输出（不通过硬件自动生成）	根据 STAREQ 位、RSTAREQ 位或者 STPREQ 位输出开始条件和停止条件的
开始条件和停止条件的中断请求产生时间	开始条件和停止条件检测	开始条件和停止条件生成结束

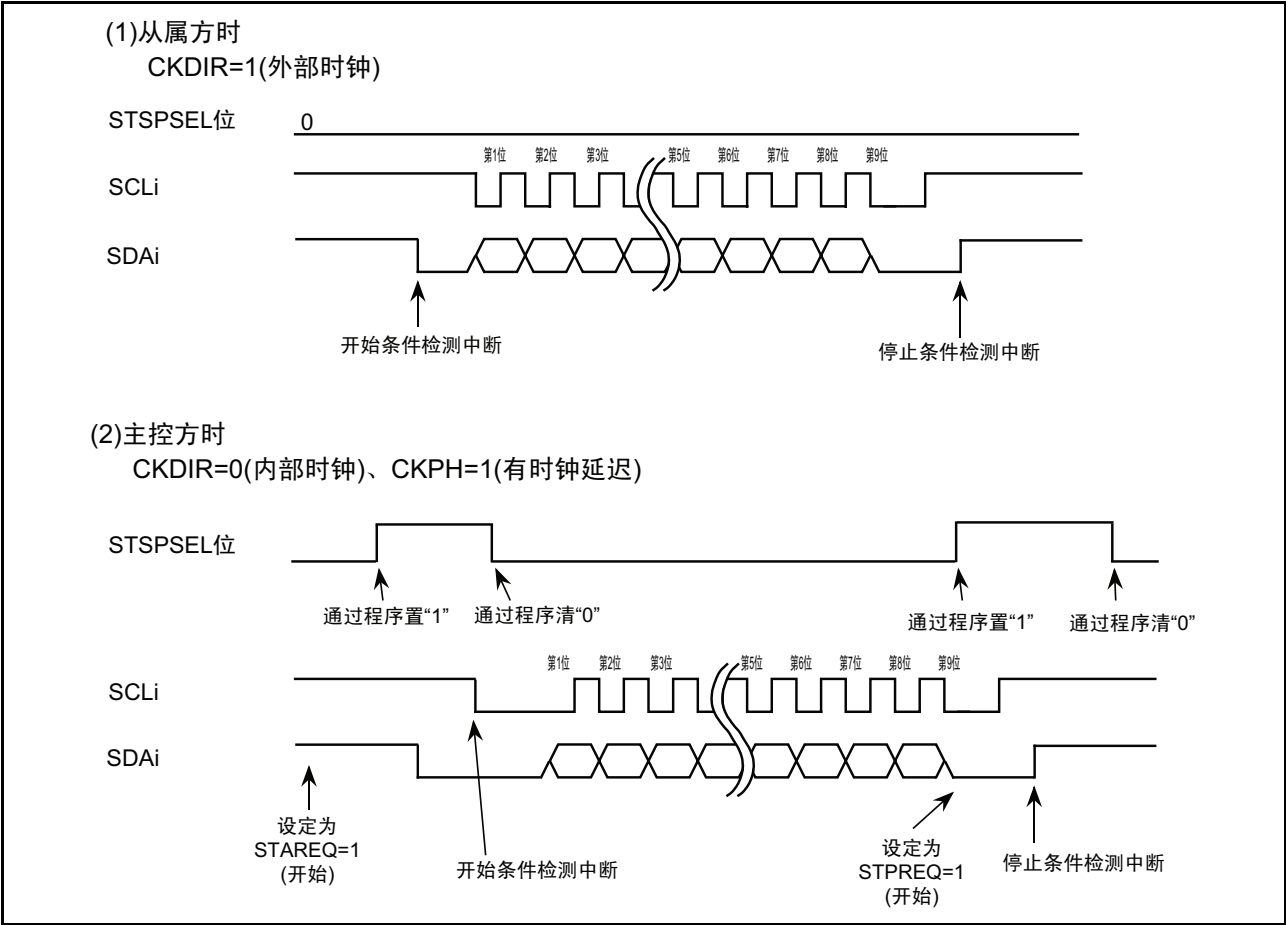


图 16.26 STSPSEL 位的功能

16.1.3.3 仲裁

在 SCLi 的上升沿处判断发送数据和 SDAi 引脚输入数据是否不一致。通过 UiSMR 寄存器的 ABC 位选择 UiRB 寄存器的 ABT 位的更新时序。在 ABC 位为 “0”（按位更新）时，如果在判断时检测出不一致，ABT 位就为 “1”；如果没检测出不一致，ABT 位就为 “0”。如果将 ABC 位置 “1”，只要在判断时检测出一次不一致，就在第 9 位的时钟下降沿 ABT 位变为 “1”（不一致检测）。而且，在按字节更新时，必须在第 1 个字节的应答检测结束后，先将 ABT 位清 “0”（未检测），然后传送下一个字节。

如果将 UiSMR2 寄存器的 ALS 位置 “1”（允许 SDA 输出停止），就发生仲裁失败，并在 ABT 位变为 “1”（不一致检测）的同时，SDAi 引脚变为高阻抗状态。

16.1.3.4 传送时钟

通过如图 16.24 所示的传送时钟进行发送和接收。

UiSMR2 寄存器的 CSC 位是使内部生成的时钟（内部 SCLi）和 SCLi 引脚输入的外部时钟同步的位。如果将 CSC 位置“1”（允许时钟同步），在内部 SCLi 为“H”电平时，如果检测到 SCLi 引脚的下降沿，就将内部 SCLi 作为“L”电平，在将 UiBRG 寄存器的值再装入后开始 L 区间的计数。另外，在 SCLi 引脚为“L”电平时，如果内部 SCLi 从“L”电平变为“H”电平，就停止计数，此后，如果 SCLi 引脚为“H”电平，就重新开始计数。

因此，UARTi 的传送时钟为内部 SCLi 和 SCLi 引脚信号的逻辑与。而且，传送时钟在从内部 SCLi 的第 1 位下降沿半周期前到第 9 位上升沿的期间运行。使用此功能时，对传送时钟必须选择内部时钟。

能通过 UiSMR2 寄存器的 SWC 位并在时钟的第 9 位下降沿，选择是将 SCLi 引脚固定为“L”电平输出还是解除固定的“L”电平输出。

如果将 UiSMR4 寄存器的 SCLHI 位置“1”（允许），就在检测停止条件时停止 SCLi 输出（高阻抗状态）。

如果 UiSMR2 寄存器的 SWC2 位置“1”（0 输出），即使在发送和接收中也能从 SCLi 引脚强制输出“L”电平。如果将 SWC2 位清“0”（传送时钟），就解除 SCLi 引脚的“L”电平输出，从 SCLi 引脚输入 / 输出传送时钟。

在 UiSMR3 寄存器的 CKPH 位为“1”时，如果将 UiSMR4 寄存器的 SWC9 位置“1”（允许 SCL 保持“L”电平），就在时钟第 9 位的下一个下降沿将 SCLi 引脚固定为“L”电平输出；如果将 SWC9 位清“0”（禁止 SCL 保持“L”电平），就解除固定的“L”电平输出。

16.1.3.5 SDA 输出

从 D7 按顺序输出写在 UiTB 寄存器的 7～0 位（D7～D0）的值，第 9 位（D8）为 ACK 或者 NACK。

必须在 IICM=1（I²C 模式）并且 UiMR 寄存器的 SMD2～SMD0 位为“000b”（串行接口无效）的状态下设定 SDAi 发送输出的初始值。

对 SDAi 的输出，能根据 UiSMR3 寄存器的 DL2～DL0 位设定无延迟或者延迟 UiBRG 计数源的 2～8 周期。

如果将 UiSMR2 寄存器的 SDHI 位置“1”（禁止 SDA 输出），SDAi 引脚就强制变为高阻抗状态。另外，不能在 UARTi 传送时钟的上升沿时序写 SDHI 位。ABT 位有可能为“1”（检测）。

16.1.3.6 SDA 输入

在 IICM2 位为“0”时，将接收数据的第 1～8 位（D7～D0）保存到 UiRB 寄存器的 7～0 位，第 9 位（D8）为 ACK 或者 NACK。

在 IICM2 位为“1”时，将接收数据的第 1～7 位（D7～D1）保存到 UiRB 寄存器的 6～0 位、第 8 位（D0）保存到 UiRB 寄存器的第 8 位。即使在 IICM2 位为“1”时，只要 CKPH 位为“1”，也能在第 9 位的时钟上升沿后通过读取 UiRB 寄存器来读取和 IICM2 位为“0”时的相同数据。

16.1.3.7 ACK、NACK

UiSMR4 寄存器的 STSPSEL 位为“0”（不生成开始条件和停止条件）并且 UiSMR4 寄存器的 ACKC 位为“1”（输出 ACK 数据）时，从 SDAi 引脚输出 UiSMR4 寄存器的 ACKD 位的值。

IICM2 位为“0”时，如果在发送时钟的第 9 位上升沿时 SDAi 引脚一直为“H”电平，就产生 NACK 中断请求；如果在发送时钟的第 9 位上升沿时 SDAi 引脚一直为“L”电平，就产生 ACK 中断请求。

如果对 DMA1 请求源选择 ACKi，就能通过应答检测启动 DMA 传送。

16.1.3.8 发送和接收初始化

如果将 STAC 位置“1”（允许 UARTi 初始化）并检测出开始条件，就进行如下运行：

- 初始化发送移位寄存器，将 UiTB 寄存器的内容传送到发送移位寄存器。在下一个输入时钟开始第 1 位数据的发送。但是，在从时钟输入到输出第 1 位数据之间，UARTi 输出值不变而一直为检测出开始条件时的值。
- 初始化接收移位寄存器，在下一个输入时钟开始第 1 位数据的接收。
- SWC 位变为“1”（允许 SCL 等待输出）。在时钟第 9 位的下降沿 SCLi 引脚变为“L”电平。

而且，在使用此功能并开始 UARTi 的发送和接收时，TI 位不变。另外，在使用此功能时，必须选择外部时钟作为传送时钟。

16.1.4 特殊模式 2

特殊模式 2 可以使 1 个主控方与多个从属方进行串行通讯，并且可以选择传送时钟的极性和相位。

特殊模式 2 的规格如表 16.14、特殊模式 2 的通信控制例子（UART2）如图 16.27、特殊模式 2 使用的寄存器和设定值如表 16.15 所示。

表 16.14 特殊模式 2 的规格

项目	规格
传送数据格式	传送数据长度 8 位
传送时钟	- 主模式 UiMR 寄存器的 CKDIR 位 “0”（选择内部时钟）：$f_j/2(n+1)$ $f_j=f1SIO、f2SIO、f8SIO、f32SIO$ n:UiBRG 寄存器的设定值 00h ~ FFh。 - 从属模式 CKDIR 位为 “1”（选择外部时钟）：从 CLKi 引脚的输入
发送控制、接收控制	通过 I/O 端口控制
发送开始条件	开始发送时需要以下条件（注 1）： - UiC1 寄存器的 TE 位为 “1”（允许发送） - UiC1 寄存器的 TI 位为 “0”（UiTB 寄存器中有数据）
接收开始条件	开始接收时需要以下条件（注 1）： - UiC1 寄存器的 RE 位为 “1”（允许接收） - TE 位为 “1”（允许发送） - TI 位为 “0”（UiTB 寄存器中有数据）
中断请求产生时序	发送时可选择以下的任意条件： - UiIRS 位（注 2）为 “0”（发送缓冲器空）： 在从 UiTB 寄存器给 UARTi 发送寄存器传送数据时（发送开始时） - UiIRS 位为 “1”（发送结束）：在从 UARTi 发送寄存器数据传送结束时接收时 - 在从 UARTi 接收寄存器给 UiRB 寄存器传送数据时（接收结束时）
错误检测	上溢错误（注 3） 如果在读取 UiRB 寄存器前开始接收下一个数据并且接收下一个数据的第 7 位，就发生上溢错误
选择功能	时钟相位选择 可选择传送时钟的极性和相位的 4 种组合

i=0 ~ 2

注 1. 在选择外部时钟时，必须满足以下条件：UiC0 寄存器的 CKPOL 位为 “0”（在传送时钟的下降沿输出发送数据，在上升沿输入接收数据）时，外部时钟为 “H” 电平状态；CKPOL 位为 “1”（在传送时钟的上升沿输出发送数据，在下降沿输入接收数据）时，外部时钟为 “L” 电平状态。

注 2. U0IRS、U1IRS 位为 UCON 寄存器的 bit0、bit1，U2IRS 为 U2C1 寄存器的 bit4。

注 3. 如果发生上溢错误，UiRB 寄存器的内容不定。另外，SiRIC 寄存器的 IR 位不变。

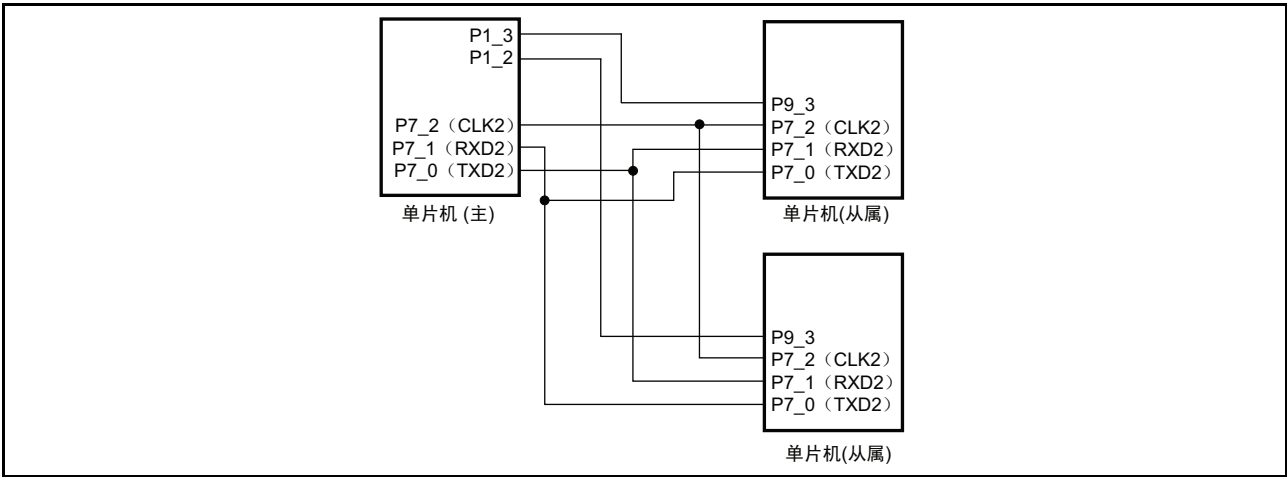


图 16.27 特殊模式 2 的通信控制例子（UART2）

表 16.15 特殊模式 2 使用的寄存器和设定值

寄存器	位	功能
UiTB（注 1）	0 ~ 7	设定发送数据
UiRB（注 1）	0 ~ 7	能读取接收数据
	OER	上溢错误标志
UiBRG	0 ~ 7	设定位速率
UiMR（注 1）	SMD2 ~ SMD0	置“001b”
	CKDIR	主模式时清“0”，从属模式时置“1”
	IOPOL	必须清“0”
UiC0	CLK1 ~ CLK0	选择 UiBRG 的计数源
	CRS	因为 CRD=1，所以无效
	TXEPT	发送寄存器空标志
	CRD	必须置“1”
	NCH	选择 TXDi 引脚的输出形式
	CKPOL	能通过和 UiSMR3 寄存器的 CKPH 位的组合设定相位
	UFORM	必须清“0”
UiC1	TE	在允许发送和接收时，必须置“1”
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置“1”
	RI	接收结束标志
	U2IRS（注 2）	选择 UART2 发送中断源
	U2RRM（注 2）、 UiLCH、UiERE	必须清“0”
UiSMR	0 ~ 7	必须清“0”
UiSMR2	0 ~ 7	必须清“0”
UiSMR3	CKPH	能通过和 UiC0 寄存器的 CKPOL 位的组合设定相位
	NODC	必须清“0”
	0、2、4 ~ 7	必须清“0”
UiSMR4	0 ~ 7	必须清“0”
UCON	U0IRS、U1IRS	选择 UART0、1 发送中断源
	U0RRM、U1RRM	必须清“0”
	CLKMD0	因为 CLKMD1=0，所以无效
	CLKMD1、RCSP、7	必须清“0”

i=0 ~ 2

注 1. 在特殊模式 2 中进行写操作时，对此表中没有记述的位只能写“0”。

注 2. 必须将 U0C1、U1C1 寄存器的 bit4、bit5 清“0”。U0IRS、U1IRS、U0RRM、U1RRM 位为 UCON 寄存器的位。

16.1.4.1 时钟相位设定功能

传送时钟的相位和极性共有 4 种组合，可以通过 UiSMR3 寄存器的 CKPH 位和 UiC0 寄存器的 CKPOL 位进行选择。

必须在进行传送的主控方和从属方设定相同的传送时钟的极性和相位。

主控方（内部时钟）的发送和接收时序如图 16.28 所示。

从属方（外部时钟）的发送和接收时序（CKPH=0）如图 16.29、从属方（外部时钟）的发送和接收时序（CKPH=1）如图 16.30 所示。

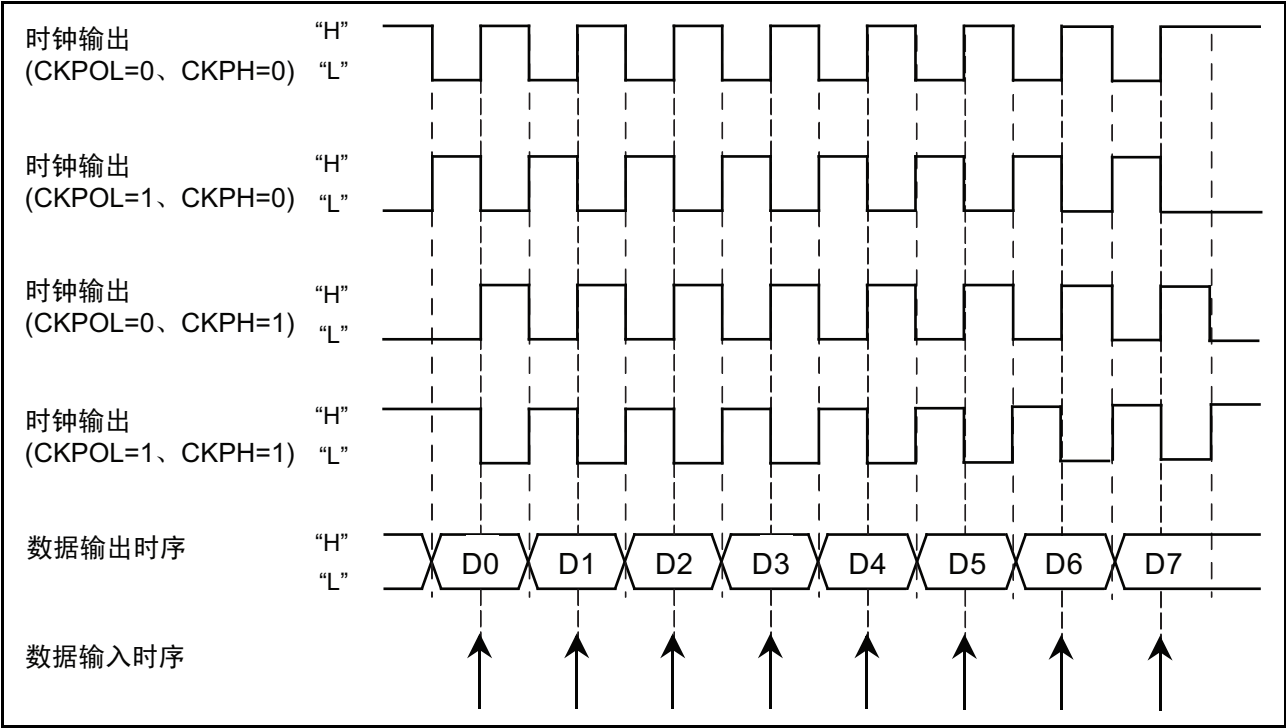


图 16.28 主控方（内部时钟）的发送和接收时序

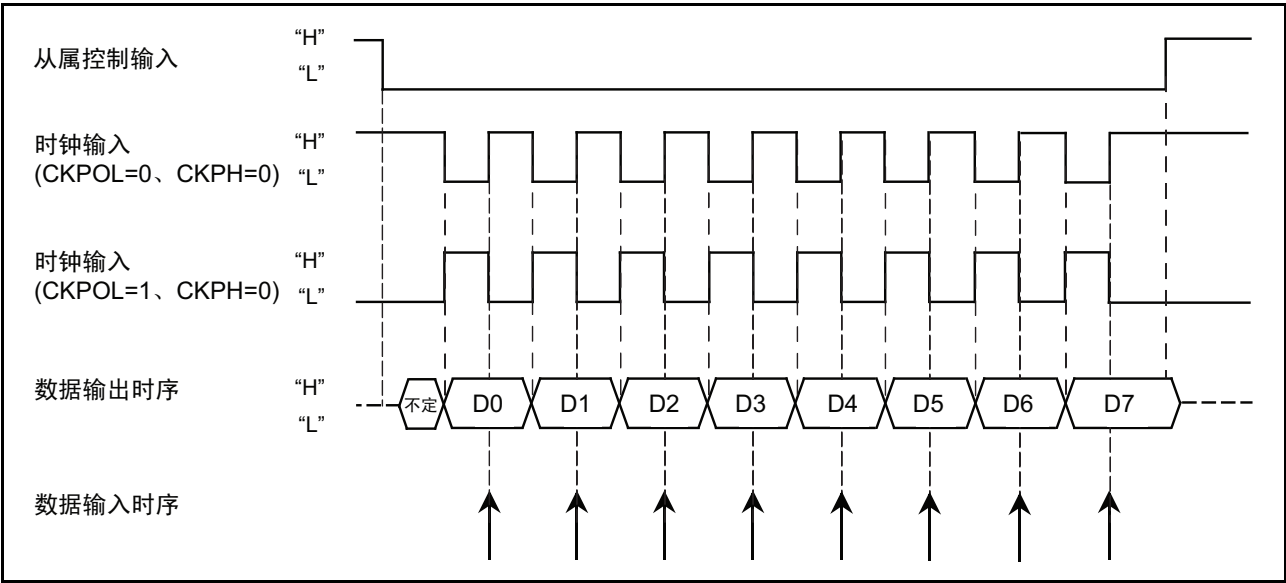


图 16.29 从属方（外部时钟）的发送和接收时序（CKPH=0）

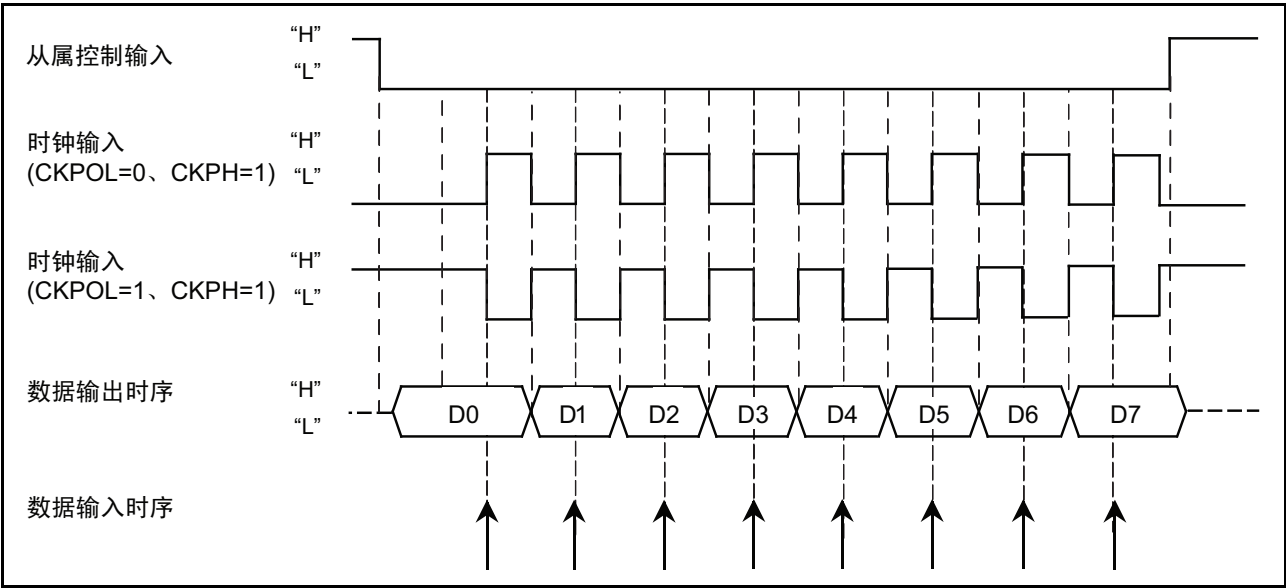


图 16.30 从属方（外部时钟）的发送和接收时序（CKPH=1）

16.1.5 特殊模式 3（IE 模式）

特殊模式 3 是通过 UART 模式的 1 个字节的波形使它接近 IEBus 的 1 位的模式。

IE 模式使用的寄存器和设定值如表 16.16、总线冲突检测功能相关位的功能如图 16.31 所示。

在 TXDi 引脚（i=0～2）的输出电平与 RXDi 引脚的输入电平不同时，产生 UARTi 总线冲突检测中断请求。

在使用 UART0 或者 UART1 的总线冲突检测功能时，必须通过 IFSR0 寄存器的 IFSR06 位和 IFSR07 位来选择。

表 16.16 IE 模式使用的寄存器和设定值

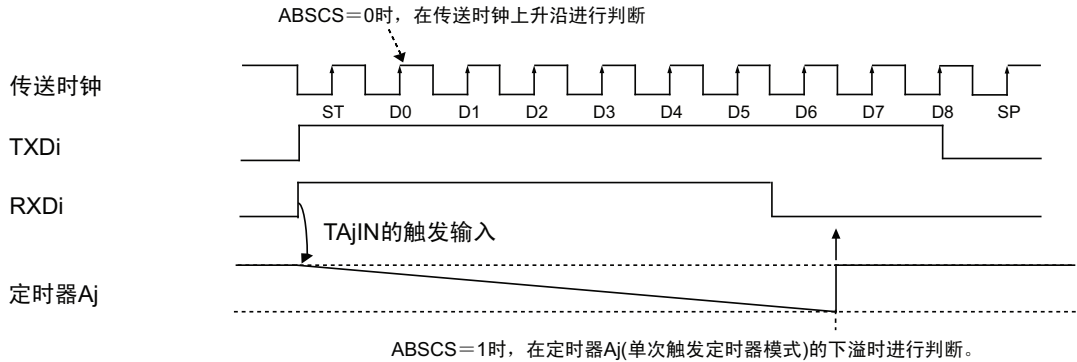
寄存器	位	功能
UiTB	0～8	设定发送数据
UiRB（注 1）	0～8	能读取接收数据
	OER、FER、PER、SUM	错误标志
UiBRG	0～7	设定位速率
UiMR	SMD2～SMD0	置“110b”
	CKDIR	选择内部时钟或者外部时钟
	STPS	必须清“0”
	PRY	因为 PRYE=0，所以无效
	PRYE	必须清“0”
	IOPOL	选择 TXD 和 RXD 输入 / 输出极性
UiC0	CLK1～CLK0	选择 UiBRG 的计数源
	CRS	因为 CRD=1，所以无效
	TXEPT	发送寄存器空标志
	CRD	必须置“1”
	NCH	选择 TXDi 引脚的输出形式
	CKPOL	必须清“0”
	UFORM	必须清“0”
UiC1	TE	在允许发送时，必须置“1”
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置“1”
	RI	接收结束标志
	U2IRS（注 2）	选择 URAT2 发送中断源
	U2RRM（注 2）、 UiLCH、UiERE	必须清“0”
UiSMR	0～3、7	必须清“0”
	ABSCS	选择总线冲突检测的采样时序
	ACSE	在使用发送允许位自动清除时，必须置“1”
	SSS	选择发送开始条件
UiSMR2	0～7	必须清“0”
UiSMR3	0～7	必须清“0”
UiSMR4	0～7	必须清“0”
IFSR0	IFSR06、IFSR07	必须置“1”
UCON	U0IRS、U1IRS	选择 UART0、1 发送中断源
	U0RRM、U1RRM	必须清“0”
	CLKMD0	因为 CLKMD1=0，所以无效
	CLKMD1、RCSP、7	必须清“0”

i=0～2

注 1. 在 IE 模式中进行写操作时，对此表中没有记述的位只能写“0”。

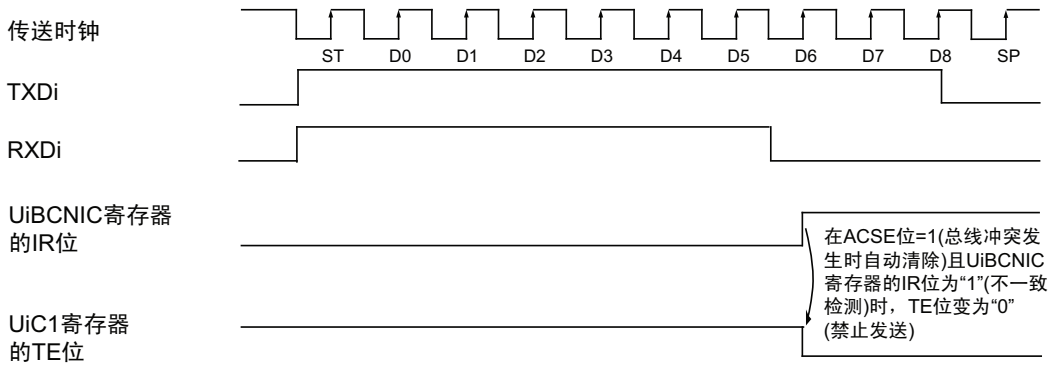
注 2. 必须将 U0C1、U1C1 寄存器的 bit4、bit5 清“0”。U0IRS、U1IRS、U0RRM、U1RRM 位为 UCON 寄存器的位。

(1) UiSMR寄存器的ABSCS位 (总线冲突检测采样时钟选择)

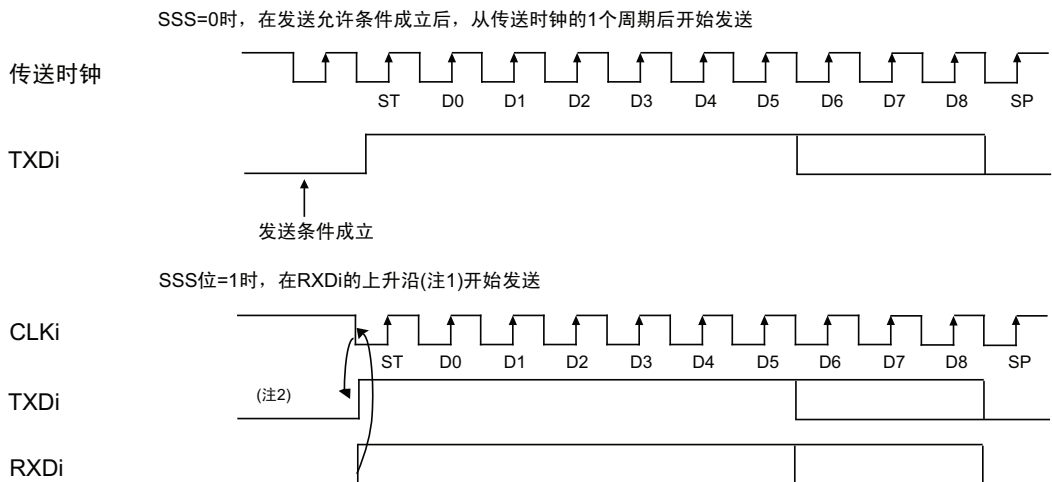


定时器Aj: 在UART0时为定时器A3, 在UART1时为定时器A4, 在UART2时为定时器A0。

(2) UiSMR寄存器的ACSE位 (发送允许位自动清除)



(3) UiSMR寄存器的SSS位(选择发送开始条件)



注1. 在IOPOL=0时，RXDi的下降沿。在IOPOL=1时，RXDi的上升沿。

注2. 发送条件必须在RXDi的下降沿(注1)前成立。

i=0~2
此图为IOPOL=1(有反转)的情况。

图 16.31 总线冲突检测功能相关位的功能

16.1.6 特殊模式 4（SIM 模式）（UART2）

特殊模式 4 是基于 UART 模式，兼容 SIM 接口的模式。能实现正向格式和反向格式，并且能在检测奇偶校验错误时，从 TXD2 引脚输出“L”电平。

SIM 模式的规格如表 16.17、SIM 模式使用的寄存器和设定值如表 16.18、SIM 模式的发送和接收时序例如图 16.32 所示。

表 16.17 SIM 模式的规格

项目	规格
传送数据格式	- 正向格式 - 反向格式
传送时钟	- U2MR 寄存器的 CKDIR 位为“0”（内部时钟）：$f_i/16(n+1)$ $f_i=f1SIO、f2SIO、f8SIO、f32SIO$ $n=U2BRG$ 寄存器的设定值 00h ~ FFh - CKDIR 位为“1”（外部时钟）：$f_{EXT}/16(n+1)$ f_{EXT} 是从 CLK2 引脚的输入。 $n=U2BRG$ 寄存器的设定值 00h ~ FFh
发送开始条件	开始发送时需要以下条件： - U2C1 寄存器的 TE 位为“1”（允许发送） - U2C1 寄存器的 TI 位为“0”（U2TB 寄存器中有数据）
接收开始条件	开始接收时需要以下条件： - U2C1 寄存器的 RE 位为“1”（允许接收） - 检测到开始位
中断请求产生时序（注 2）	- 在发送时 从 UART2 发送寄存器数据传送结束时（U2IRS 位=1） - 在接收时 从 UART2 接收寄存器给 U2RB 寄存器传送数据（接收结束）时
错误检测	- 上溢错误（注 1） 如果在读取 U2RB 寄存器前开始接收下一个数据，在接收下一个数据的最后停止位的前 1 位，发生上溢错误 - 帧错误（注 3） 当检测到的停止位个数小于设定值时，产生帧错误 - 奇偶检验错误（注 3） 如果在接收时检测出上溢错误，就从 TXD2 引脚端子输出奇偶检验错误信号 如果在发送时发生发送中断，就根据 RXD2 引脚的输入电平检测奇偶检验错误 - 错误和标志 如果发生上溢错误、帧错误或者奇偶检验错误中的任意一个错误，错误和标志就为“1”

注 1. 如果发生上溢错误，U2RB 寄存器的内容不定。另外，S2RIC 寄存器的 IR 位不变。

注 2. 如果在复位后将 U2C1 寄存器的 U2IRS 位置“1”（发送结束）、U2ERE 位置“1”（输出错误信号），就产生发送中断请求。因此，在使用 SIM 模式时，必须在设定后将 IR 位清“0”（无中断请求）。

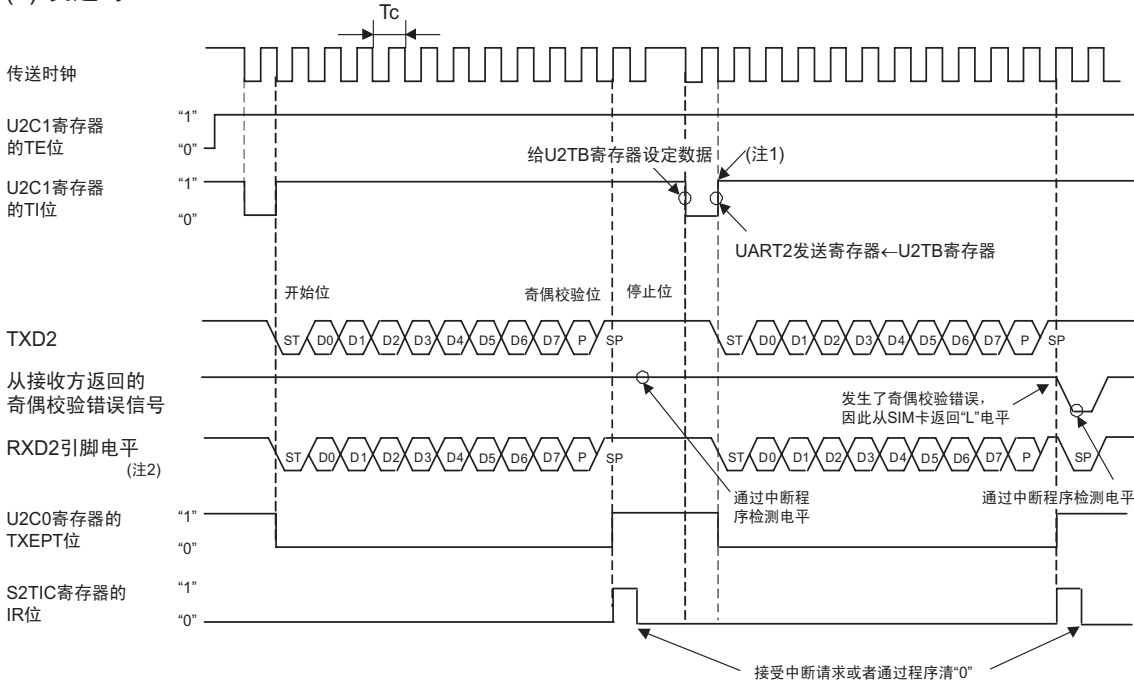
注 3. 检测并置位帧错误标志和奇偶校验错误标志的时序为将数据从 UARTi 接收寄存器传送到 UiRB 寄存器时。

表 16.18 SIM 模式使用的寄存器和设定值

寄存器	位	功能
U2TB (注 1)	0 ~ 7	设定发送数据
U2RB (注 1)	0 ~ 7	能读取接收数据
	OER、FER、 PER、SUM	错误标志
U2BRG	0 ~ 7	设定位速率
U2MR	SMD2 ~ SMD0	置 “101b”
	CKDIR	选择内部时钟或者外部时钟
	STPS	必须清 “0”
	PRY	在正向格式时，必须置 “1”；在反向格式时，必须清 “0”
	PRYE	必须置 “1”
	IOPOL	必须清 “0”
U2C0	CLK1 ~ CLK0	选择 U2BRG 的计数源
	CRS	因为 CRD=1，所以无效
	TXEPT	发送寄存器空标志
	CRD	必须置 “1”
	NCH	必须清 “0”
	CKPOL	必须清 “0”
	UFORM	在正向格式时，必须清 “0”；在反向格式时，必须置 “1”
U2C1	TE	在允许发送时，必须置 “1”
	TI	发送缓冲器空标志
	RE	在允许接收时，必须置 “1”
	RI	接收结束标志
	U2IRS	必须置 “1”
	U2RRM	必须清 “0”
	U2LCH	在正向格式时，必须清 “0”；在反向格式时，必须置 “1”
	U2ERE	必须置 “1”
U2SMR (注 1)	0 ~ 3	必须清 “0”
U2SMR2	0 ~ 7	必须清 “0”
U2SMR3	0 ~ 7	必须清 “0”
U2SMR4	0 ~ 7	必须清 “0”

注 1. 在 SIM 模式中进行写操作时，对此表中没有记述的位必须写 “0”。

(1) 发送时

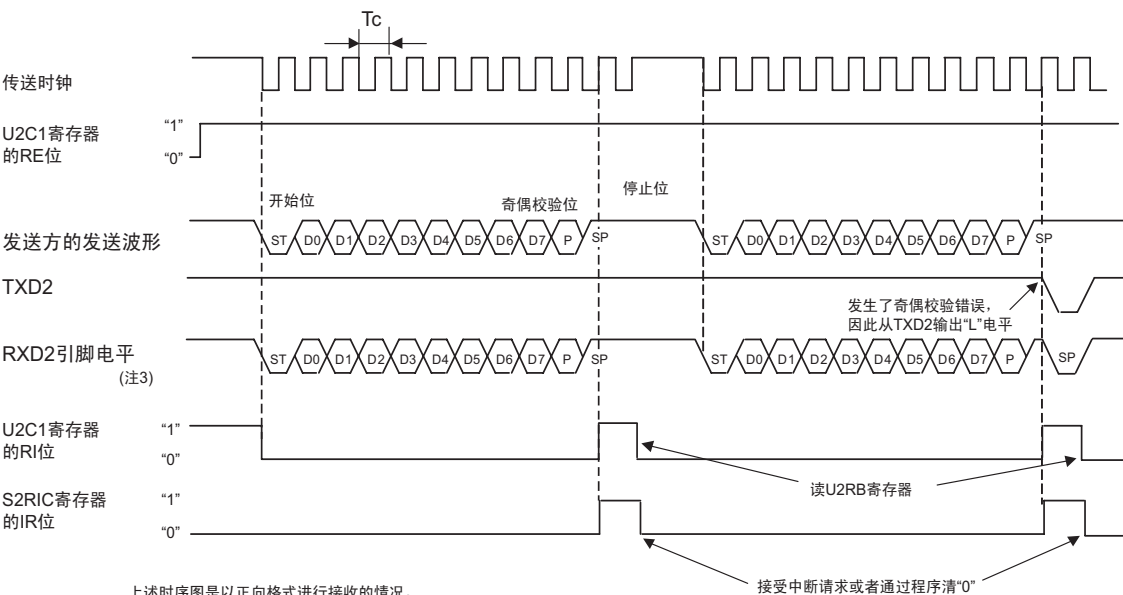


上述时序图是以正向格式进行发送的情况。

- U2MR寄存器的STPS位=0(1个停止位)
- U2MR寄存器的PRY位=1(偶校验)
- U2C0寄存器的UFORM位=0(LSB先发送)
- U2C1寄存器的U2LCH位=0(无反转)
- U2C1寄存器的U2IRS位=1(发送结束)

$TC = 16(n+1) / f_i$ 或者 $16(n+1)/f_{EXT}$
 f_i : U2BRG计数源的频率 (f1SIO、f2SIO、f8SIO、f32SIO)
 f_{EXT} : U2BRG计数源的频率 (外部时钟)
 n : U2BRG的设定值

(2) 接收时



上述时序图是以正向格式进行接收的情况。

- U2MR寄存器的STPS位=0(1个停止位)
- U2MR寄存器的PRY位=1(偶校验)
- U2C0寄存器的UFORM位=0(LSB先发送)
- U2C1寄存器的U2LCH位=0(无反转)
- U2C1寄存器的U2IRS位=1(发送结束)

$TC = 16(n+1) / f_i$ 或者 $16(n+1)/f_{EXT}$
 f_i : U2BRG计数源的频率 (f1SIO、f2SIO、f8SIO、f32SIO)
 f_{EXT} : U2BRG计数源的频率 (外部时钟)
 n : U2BRG的设定值

注1. 上述时序中，在给U2TB寄存器写值后的BRG上溢时开始发送。
注2. 由于TXD2和RXD2连接，所以为TXD2的发送波形和从接收方返回的奇偶校验错误信号的合成波形。
注3. 由于TXD2和RXD2连接，所以为发送方的发送波形和TXD2的奇偶校验错误信号输出的合成波形。

图 16.32 SIM 模式的发送和接收时序例子

SIM 接口的连接例子如图 16.33 所示，必须将 TXD2 和 RXD2 连接后上拉。

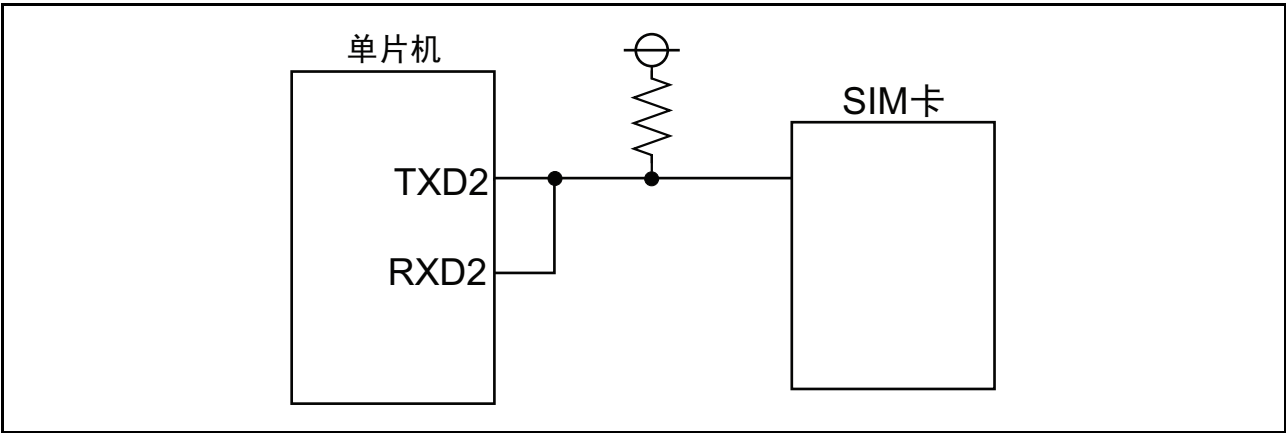


图 16.33 SIM 接口的连接例子

16.1.6.1 奇偶校验错误信号的输出功能

如果将 U2C1 寄存器的 U2ERE 位置“1”（输出），就能使用奇偶校验错误信号。

如果在接收时检测出奇偶校验错误，奇偶校验错误信号就为输出信号，并在如图 16.34 所示的时序 TXD2 输出变为“L”电平。但是，如果在输出奇偶校验错误信号中读取 U2RB 寄存器，U2RB 寄存器的 PER 位就变为“0”（无奇偶校验错误），同时 TXD2 输出也恢复到“H”电平。

发送时，在输出停止位的下一个传送时钟下降沿产生发送结束中断请求。因此，如果通过发送结束中断程序读取 RXD2 和引脚复用的端口，就能判断上溢错误信号是否被返回。

奇偶校验错误信号的输出时序如图 16.34 所示。

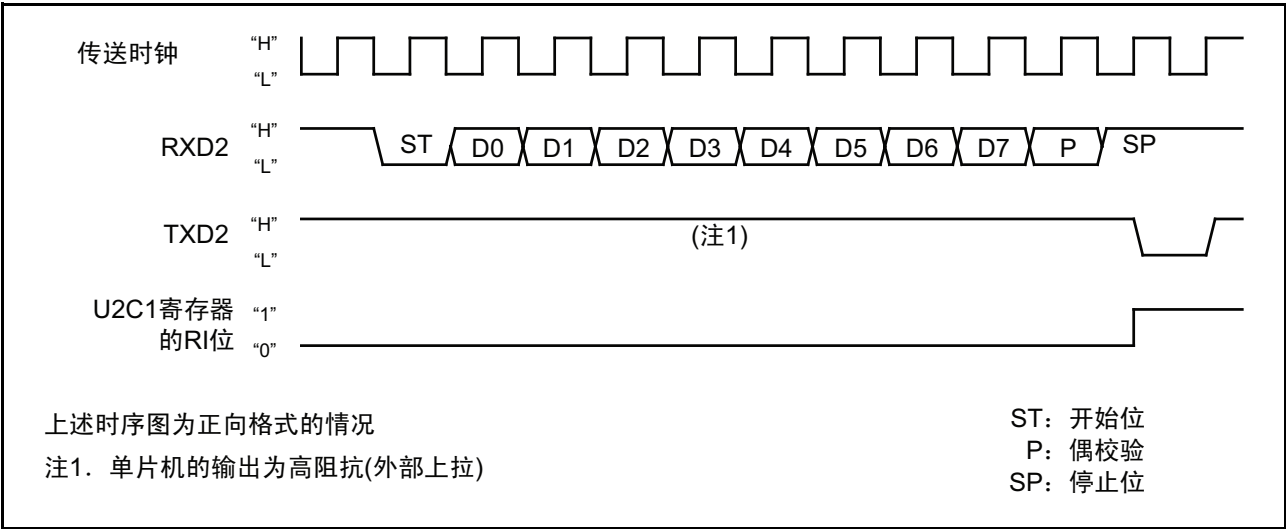


图 16.34 奇偶校验错误信号的输出时序

16.1.6.2 格式

格式有正向格式和反向格式。

在正向格式时，必须将 U2MR 寄存器的 PRYE 位置 “1”（允许奇偶检验）、PRY 位置 “1”（偶检验）、U2C0 寄存器的 UFORM 位清 “0”（LSB 先发送）、U2C1 寄存器的 U2LCH 位清 “0”（无反转）。发送时，从 D0 按顺序附加偶检验后发送设定在 U2TB 寄存器中的数据。接收时，从 D0 按顺序将接收数据保存到 U2RB 寄存器。通过偶检验判断奇偶检验错误。

在反向格式时，必须将 U2MR 寄存器的 PRYE 位置 “1”、PRY 位清 “0”（奇检验）、UFORM 位置 “1”（MSB 先发送）、U2LCH 位置 “1”（有反转）。发送时，从 D7 按顺序附加奇检验后发送对设定在 U2TB 寄存器中的值进行逻辑取反后的值。接收时，在将接收数据进行逻辑取反后从 D7 按顺序保存到 U2RB 寄存器。通过奇检验判断奇偶检验错误。

SIM 接口格式如图 16.35 所示。

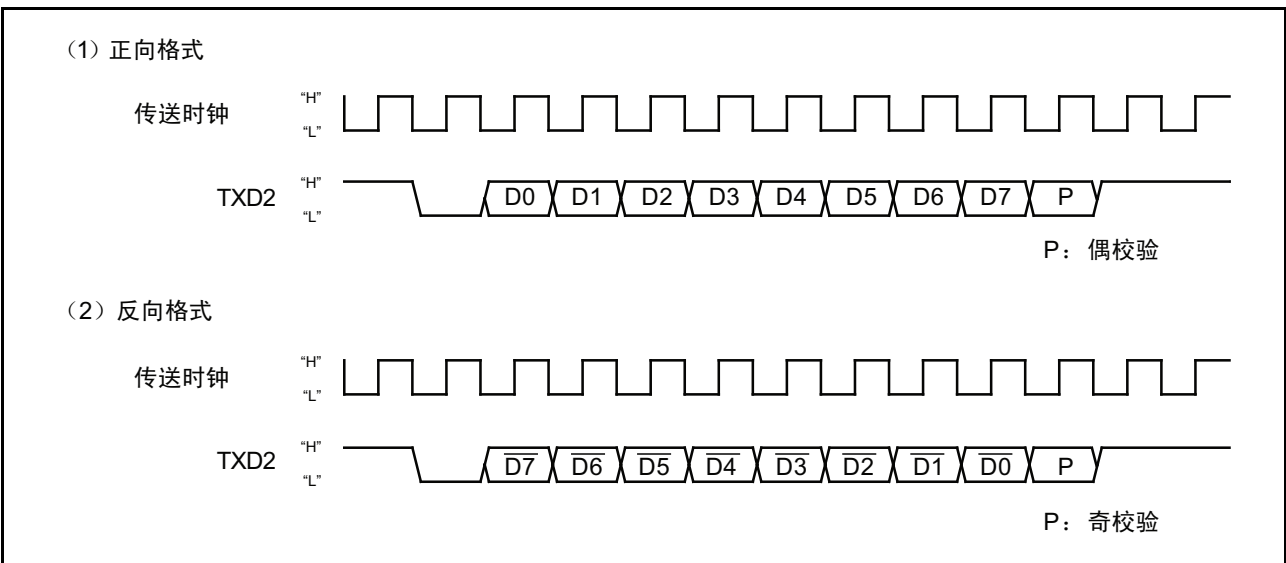


图 16.35 SIM 接口格式

16.2 SI/Oi（i=3～6）（注1）

SI/Oi 为时钟同步专用串行 I/O。

SI/Oi 框图如图 16.36，SI/Oi 相关寄存器如图 16.37、图 16.38，SI/Oi 的规格如表 16.19 所示。

注 1. 100 引脚版：SI/O3、SI/O4

128 引脚版：SI/O3～SI/O6

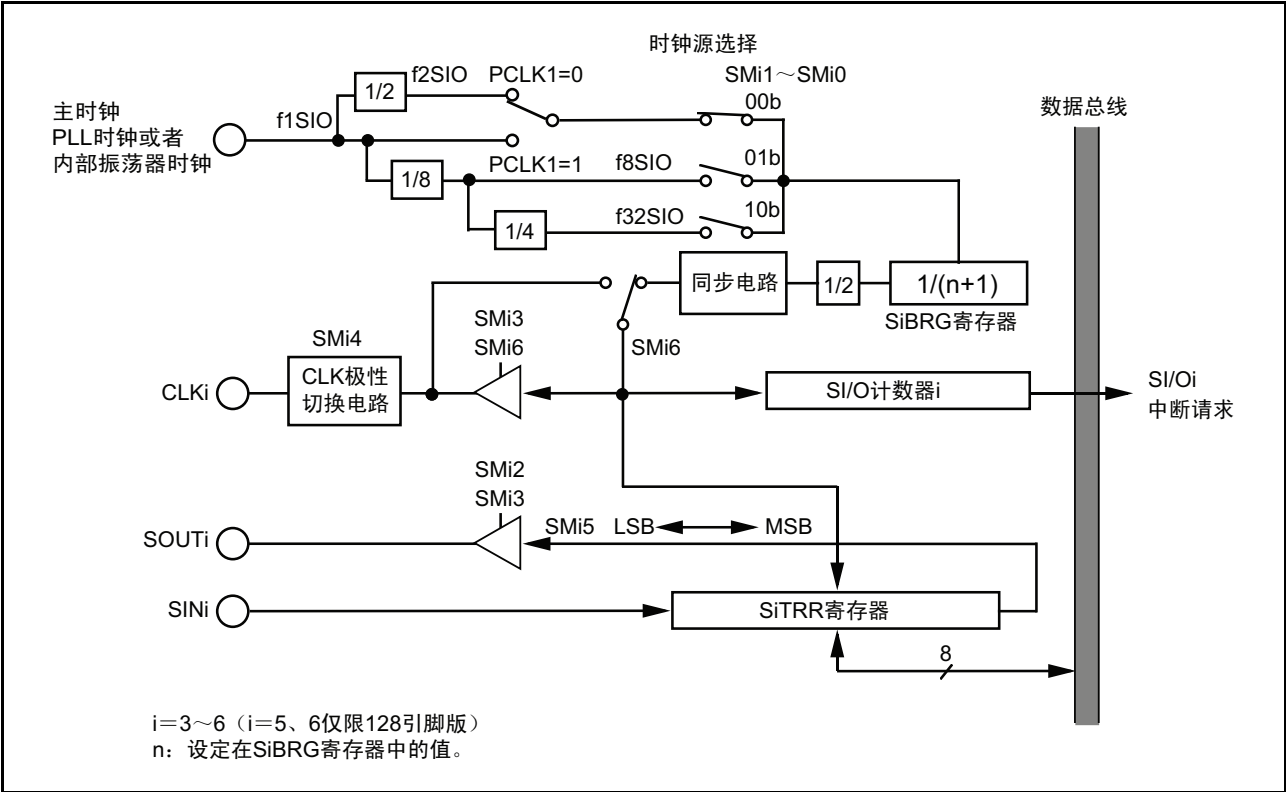


图 16.36 SI/Oi 框图

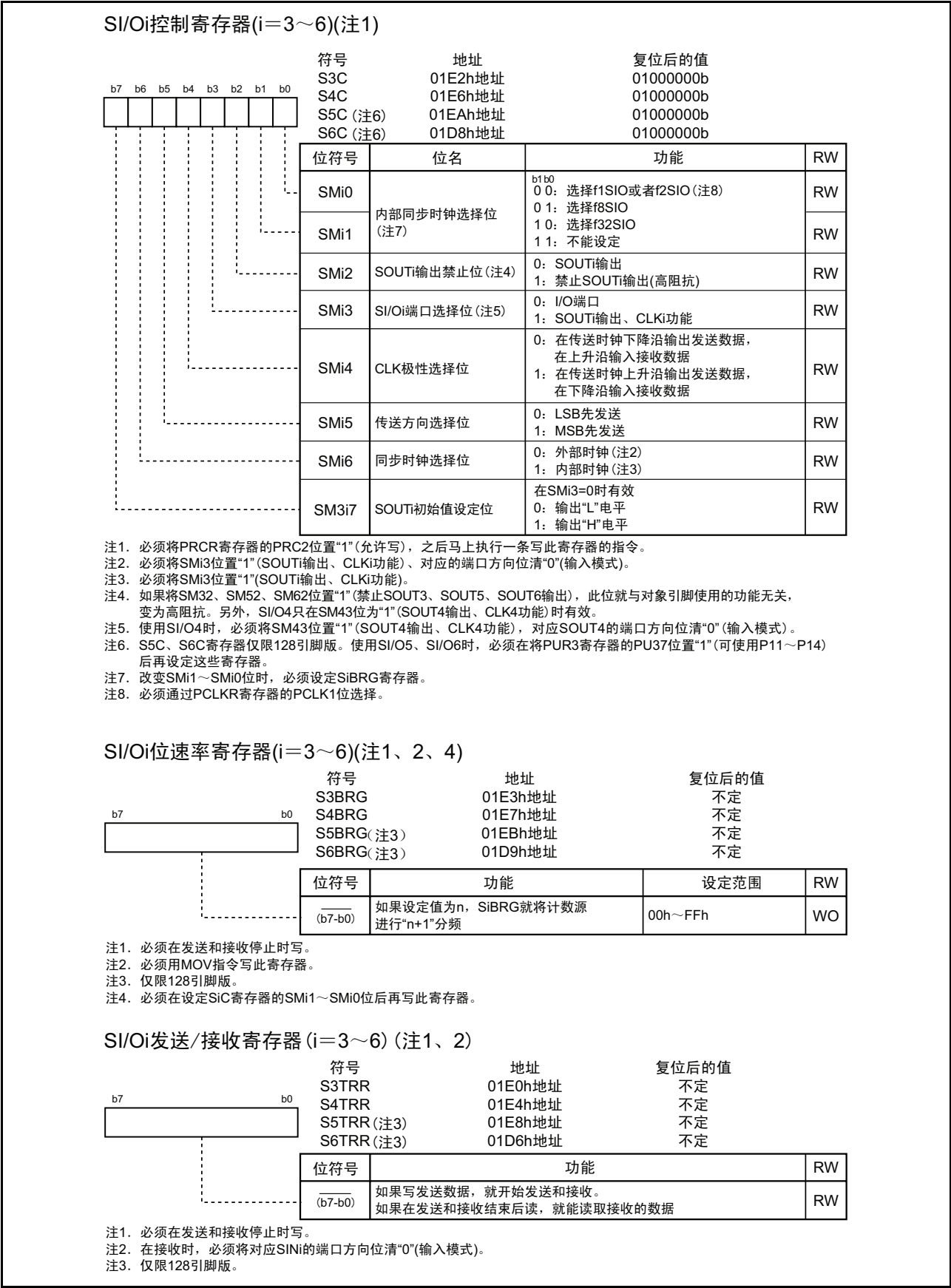


图 16.37 SiC、SiBRG、SiTRR 寄存器

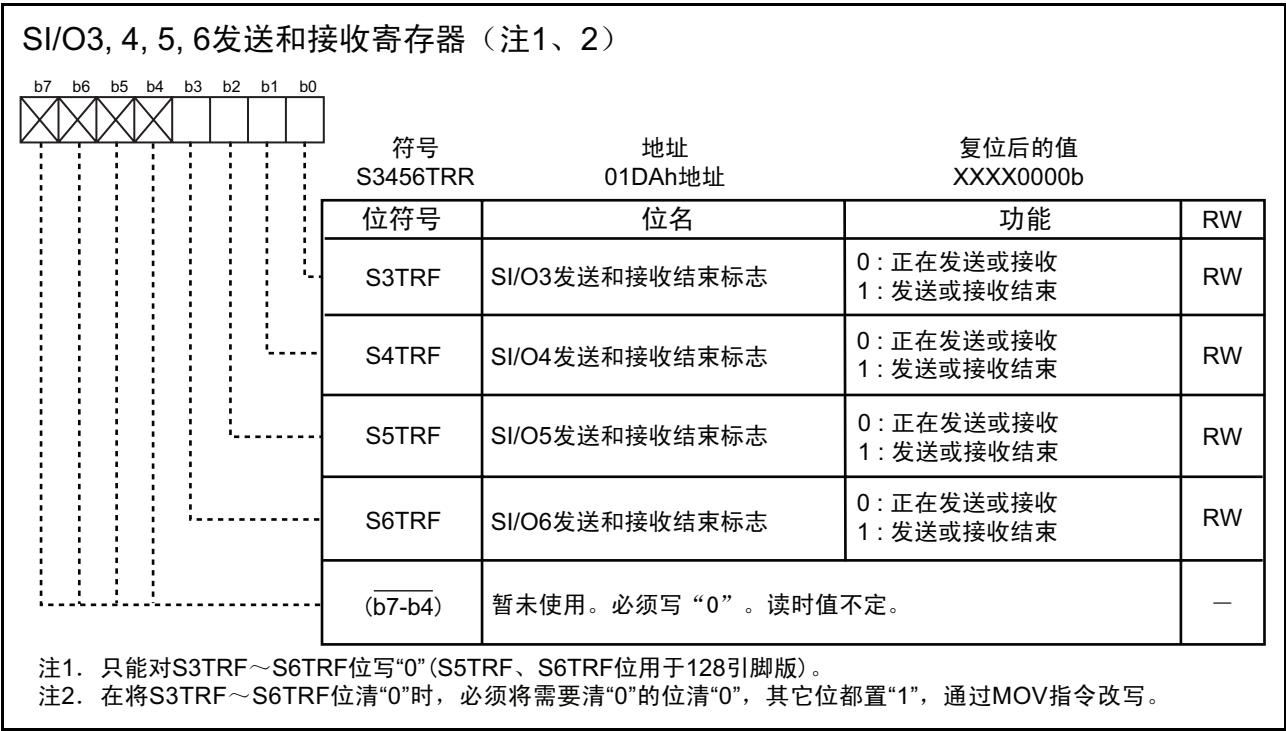


图 16.38 S3456TRR 寄存器

表 16.19 SI/Oi 的规格

项目	规格
传送数据格式	传送数据长度 8 位
传送时钟	- SiC 寄存器的 SMi6 位为 “1”（内部时钟）：$f_j/2(n+1)$ $f_j=f1SIO、f8SIO、f32SIO$ $n=SiBRG$ 寄存器的设定值 00h ~ FFh - SMi6 位为 “0”（外部时钟）：从 CLKi 引脚输入（注 1）
发送和接收开始条件	开始发送时需要以下条件： 将发送数据写到 SiTRR 寄存器（注 2、3）
中断请求产生时间	- SiC 寄存器的 SMi4 位为 “0” 时 最后的传送时钟的上升沿（注 4） - SMi4 位为 “1” 时 最后的传送时钟的下降沿（注 4）
CLKi 引脚功能	I/O 端口、传送时钟的输入、传送时钟的输出
SOUTi 引脚功能	I/O 端口、发送数据的输出、高阻抗
SINi 引脚功能	I/O 端口、接收数据的输入
选择功能	- LSB 先发送、MSB 先发送选择 可选择从 bit0 或者从 bit7 开始发送和接收 - SOUTi 初始值的设定功能 SiC 寄存器的 SMi6 位为 “0”（外部时钟）时，可选择 SOUTi 引脚不发送时的输出电平 - CLK 极性选择 传送数据的输出和输入时序可选择传送时钟的上升沿或者下降沿

i=3 ~ 6（i=5、6 仅限 128 引脚版）

注 1. 在将 SiC 寄存器的 SMi6 位清 “0”（外部时钟）时，必须进行如下处理：

- SiC 寄存器的 SMi4 位为 “0” 时，必须在给 CLKi 引脚为 “H” 电平的状态下将发送数据写到 SiTRR 寄存器。在改写 SiC 寄存器的 SMi7 位时也相同。
- SMi4 位为 “1” 时，必须在给 CLKi 引脚为 “L” 电平状态下将发送数据写到 SiTRR 寄存器。在改写 SMi7 位时也相同。
- 因为在传送时钟被输入到 SI/Oi 电路期间继续进行移位处理，所以必须在 8 个脉冲后停止传送时钟。SMi6 位为 “1”（内部时钟）时，传送时钟自动停止。

注 2. SI/Oi 与 UART0 ~ UART2 不同，不分为用于传送的寄存器和缓冲器。因此，不能在发送中将下一个发送数据写到 SiTRR 寄存器。

注 3. SiC 寄存器的 SMi6 位为 “1”（内部时钟）时，在传送结束后，SOUTi 在 1/2 传送时钟期间保持最后数据，变为高阻抗状态。但是，如果在此期间将发送数据写到 SiTRR 寄存器，就从写时开始变为高阻抗状态，数据的保持时间变短。

注 4. SiC 寄存器的 SMi6 位为 “1”（内部时钟）时，如果 SMi4 位为 “0”，传送时钟就在 “H” 电平的状态下停止；如果 SMi4 位为 “1”，传送时钟就在 “L” 电平状态下停止。

16.2.1 SI/Oi 运行时序

SI/Oi 运行时序图如图 16.39 所示。

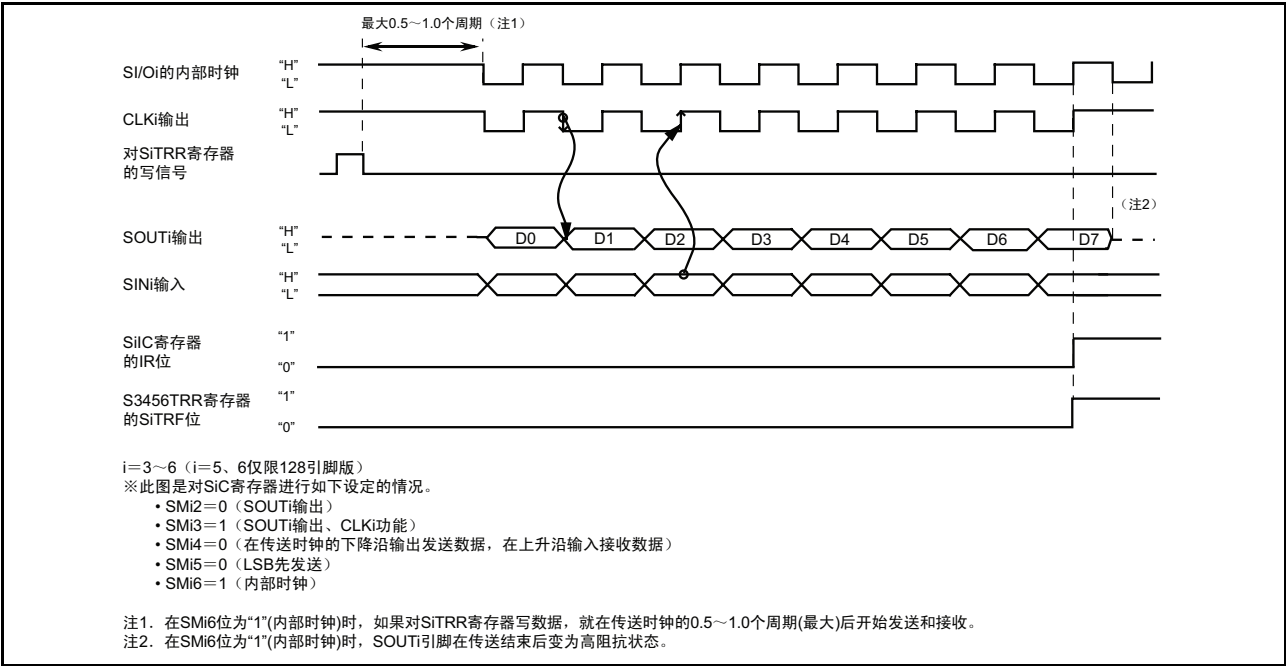


图 16.39 SI/Oi 运行时序图

16.2.2 CLK 极性选择

能通过 SiC 寄存器的 SMi4 位选择传送时钟的极性。
传送时钟的极性如图 16.40 所示。

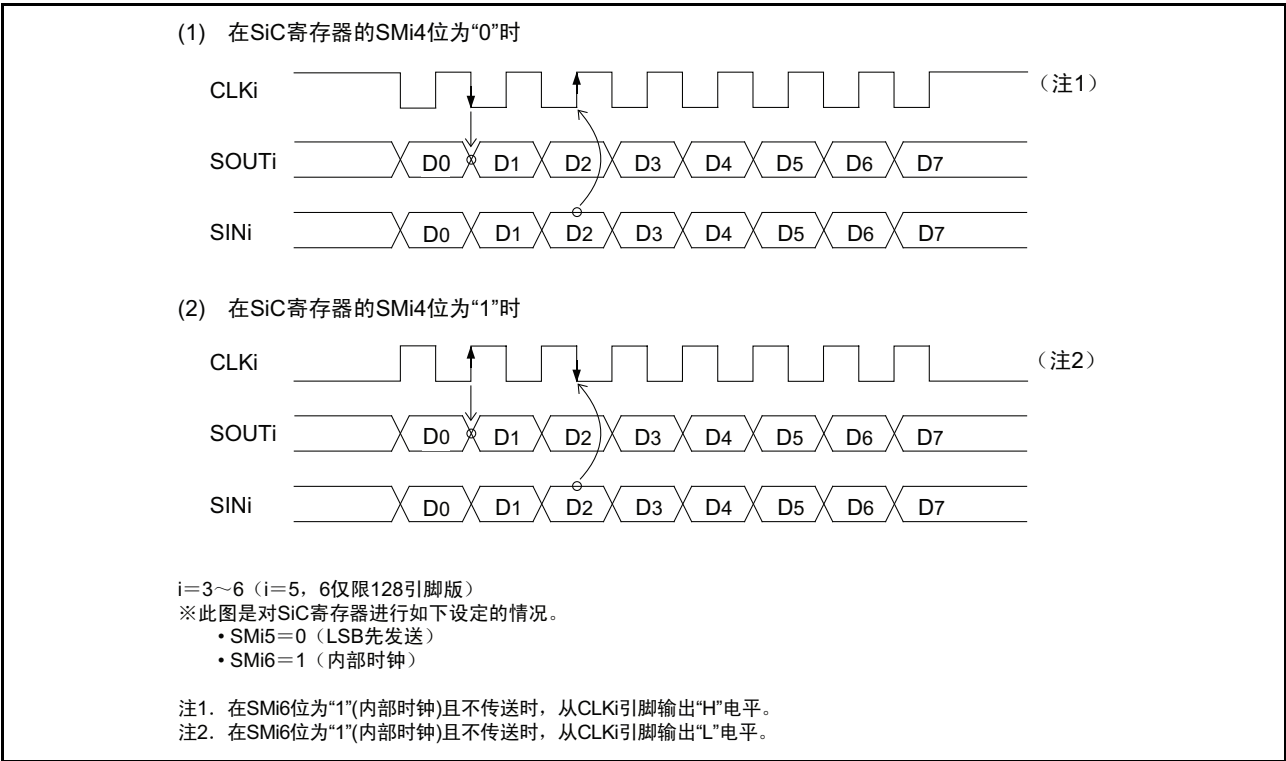


图 16.40 传送时钟的极性

16.2.3 SOUTi 初始值的设定功能

SiC 寄存器的 SMi6 位为“0”（外部时钟）时，能将不传送时的 SOUTi 引脚的输出设定为“H”电平或者“L”电平（注 1）。但是，在连续发送数据时，在数据和数据之间保持前一个数据的最后位的值。

SOUTi 初始值设定时的时序图和设定方法如图 16.41 所示。

注 1. 选择 CAN0 功能时，端口 P8_0、P7_4、P7_5 可作为 SI/O4 的输入 / 输出引脚使用。
不选择 CAN0 功能时，端口 P9_5、P9_6、P9_7 可作为 SI/O4 的输入 / 输出引脚使用。

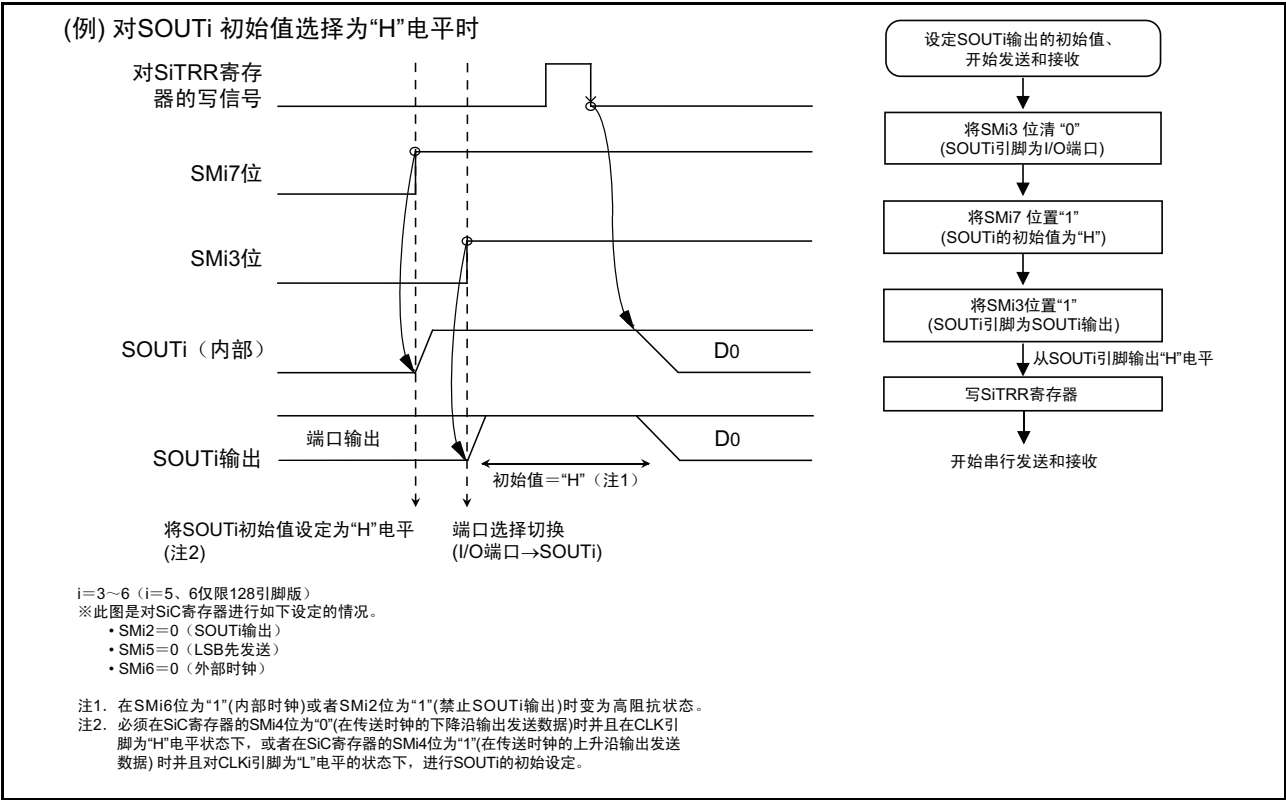


图 16.41 SOUTi 初始值设定时的时序图和设定方法

17. A/D 转换器

M16C/6N 系列单片机具有 1 个由电容耦合放大器构成的 10 位逐次逼近转换方式的 A/D 转换器电路。模拟输入和 P10_0 ~ P10_7、P9_5、P9_6、P0_0 ~ P0_7、P2_0 ~ P2_7 引脚复用。另外， $\overline{\text{ADTRG}}$ 输入和 P9_7 引脚复用。因此，使用这些输入时，必须将对应的端口方向位清“0”（输入模式）。

不使用 A/D 转换器时，如果将 ADCON1 寄存器的 VCUT 位清“0”（VREF 未连接），电流就不从 VREF 引脚流到梯形电阻，能降低功耗。

A/D 转换的结果保存到对应 AN_i、AN0_i、AN2_i 引脚（i=0 ~ 7）的 AD_i 寄存器。

A/D 转换器的规格如表 17.1、A/D 转换器的框图如图 17.1、A/D 转换器的相关寄存器如图 17.2、图 17.3 所示。

表 17.1 A/D 转换器的规格

项目	规格
A/D 转换方式	逐次逼近转换方式（电容耦合放大器）
模拟输入电压（注 1）	0V ~ AVCC(VCC)
运行时钟 ϕ_{AD} （注 2）	fAD、fAD 的 2 分频、fAD 的 3 分频、fAD 的 4 分频、fAD 的 6 分频或者 fAD 的 12 分频
分辨率	8 位或者 10 位
积分非线性误差	AVCC = VREF = 5V 时 • 8 位分辨率时 $\pm 2\text{LSB}$ • 10 位分辨率时： AN0 ~ AN7 输入、AN0_0 ~ AN0_7 输入、AN2_0 ~ AN2_7 输入时 $\pm 3\text{LSB}$ ANEX0、ANEX1 输入（包含外部运算放大器连接模式）时 $\pm 7\text{LSB}$ AVCC = VREF = 3.3V 时 • 8 位分辨率时 $\pm 2\text{LSB}$ • 10 位分辨率时 AN0 ~ AN7 输入、AN0_0 ~ AN0_7 输入、AN2_0 ~ AN2_7 输入时 $\pm 5\text{LSB}$ ANEX0、ANEX1 输入（包含外部运算放大器连接模式）时 $\pm 7\text{LSB}$
运行模式	单次模式、重复模式、单次扫描模式、重复扫描模式 0、重复扫描模式 1
模拟输入引脚	8 个 (AN0 ~ AN7)+2 个 (ANEX0、ANEX1)+8 个 (AN0_0 ~ AN0_7)+8 个 (AN2_0 ~ AN2_7)
A/D 转换开始条件	• 软件触发 将 ADCON0 寄存器的 ADST 位置“1”（开始 A/D 转换） • 外部触发（能重新触发） 将 ADST 位置“1”（开始 A/D 转换）后， $\overline{\text{ADTRG}}$ 引脚的输入由“H”变为“L”电平
每个引脚的转换速度	• 无采样 & 保持 8 位分辨率时 49 个 ϕ_{AD} 周期 10 位分辨率时 59 个 ϕ_{AD} 周期 • 有采样 & 保持 8 位分辨率时 28 个 ϕ_{AD} 周期 10 位分辨率时 33 个 ϕ_{AD} 周期

注 1. 与是否有采样 & 保持功能无关。

注 2. 必须将 ϕ_{AD} 的频率设定为小于等于 10MHz。

无采样和保持功能时，必须将 ϕ_{AD} 的频率设定为大于等于 250kHz。

有采样和保持功能时，必须将 ϕ_{AD} 的频率设定为大于等于 1MHz。

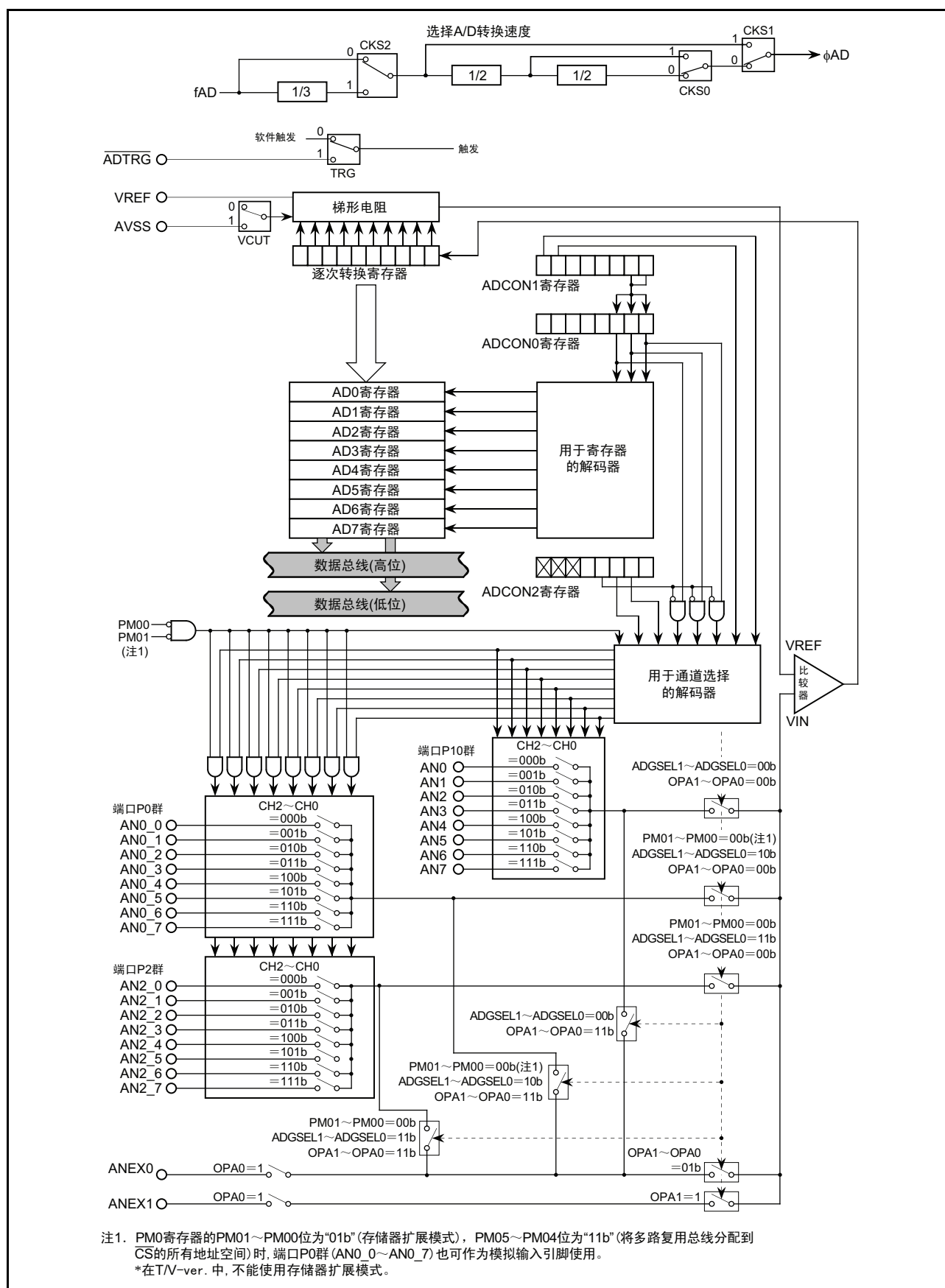


图 17.1 A/D 转换器的框图

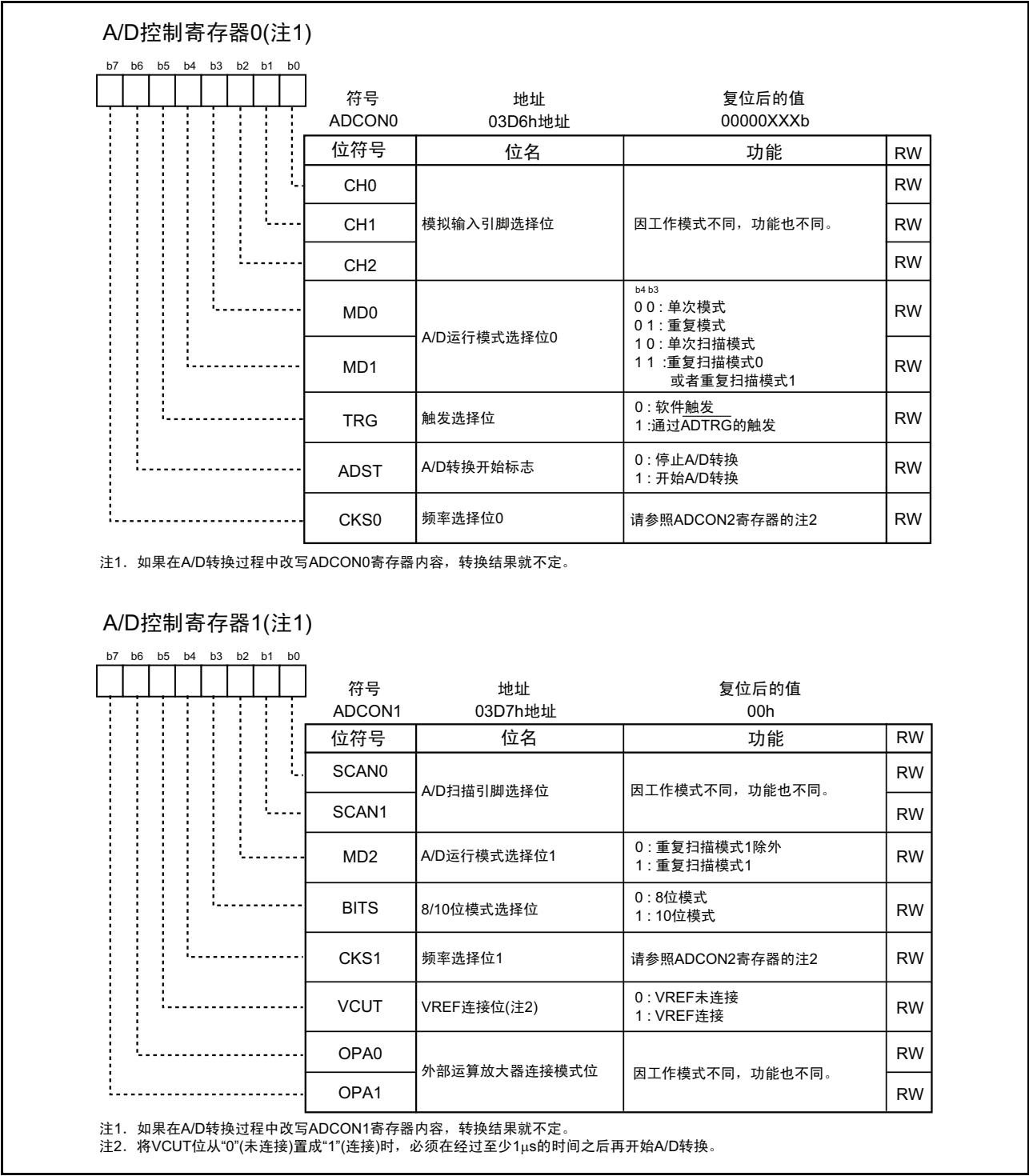


图 17.2 ADCON0、ADCON1 寄存器

17.1 模式的说明

17.1.1 单次模式

单次模式是对所选的 1 个引脚的输入电压进行 1 次 A/D 转换的模式。

单次模式的规格如表 17.2、单次模式中的 ADCON0、ADCON1 寄存器如图 17.4 所示。

表 17.2 单次模式的规格

项目	规格
功能	通过 ADCON0 寄存器的 CH2 ~ CH0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位或者 ADCON1 寄存器的 OPA1 ~ OPA0 位，对所选的 1 个引脚的输入电压进行 1 次 A/D 转换
A/D 转换开始条件	- 将 ADCON0 寄存器的 TRG 位为 “0”（软件触发）时 将 ADCON0 寄存器的 ADST 位置 “1”（开始 A/D 转换） - TRG 位为 “1”（通过 ADTRG 的触发）时 将 ADST 位置 “1”（开始 A/D 转换）后，ADTRG 引脚的输入从 “H” 变为 “L” 电平
A/D 转换停止条件	- A/D 转换结束（在选择软件触发时，ADST 位为 “0”（停止 A/D 转换）） - 将 ADST 位清 “0”
中断请求产生时间	A/D 转换结束时
模拟输入引脚	从 AN0 ~ AN7、AN0_0 ~ AN0_7、AN2_0 ~ AN2_7、ANEX0 ~ ANEX1 中选择 1 个引脚
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器

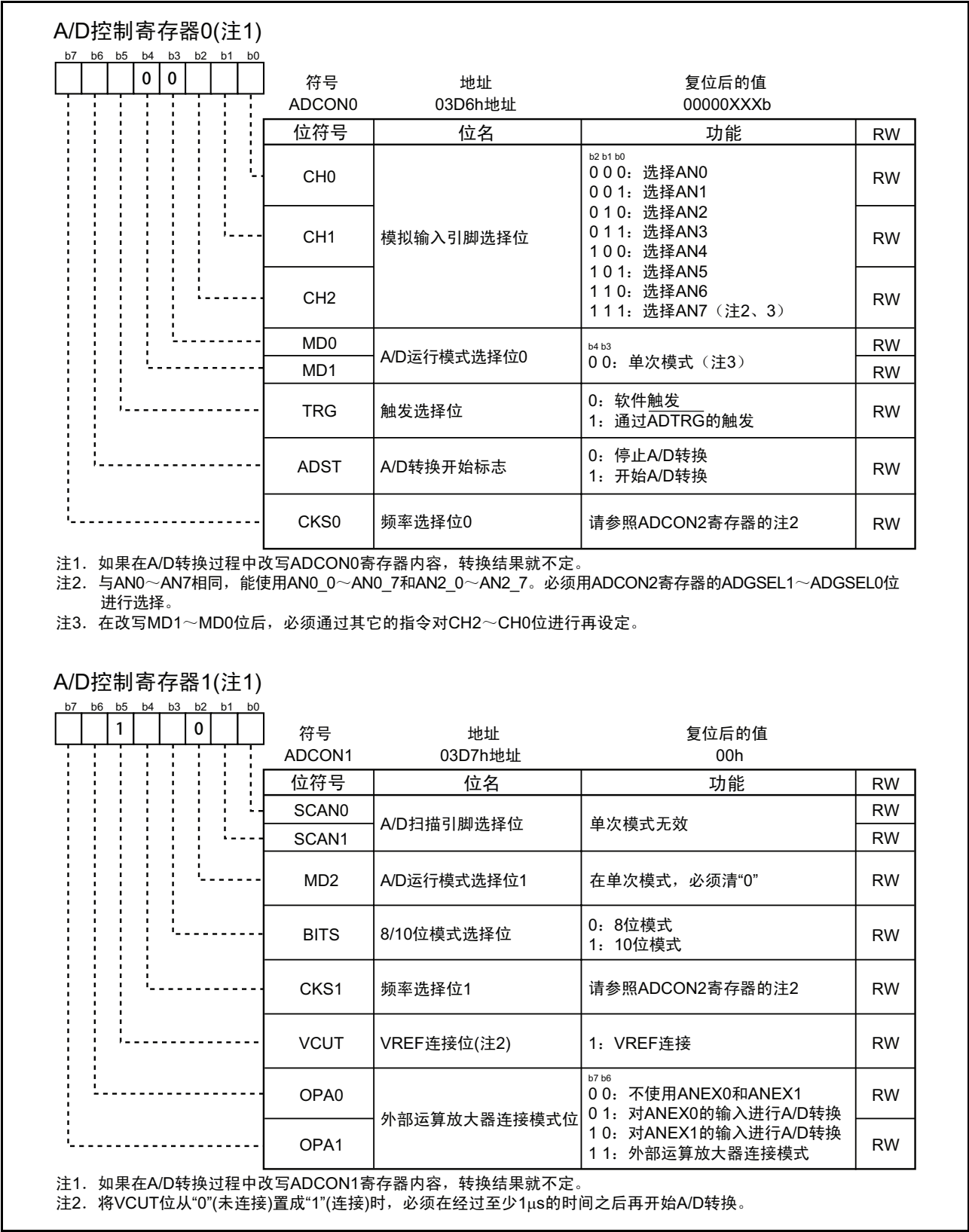


图 17.4 单次模式中的 ADCON0、ADCON1 寄存器

17.1.2 重复模式

重复模式是对所选的 1 个引脚的输入电压重复进行 A/D 转换的模式。
重复模式的规格如表 17.3、重复模式中的 ADCON0、ADCON1 寄存器如图 17.5 所示。

表 17.3 重复模式的规格

项目	规格
功能	通过 ADCON0 寄存器的 CH2 ~ CH0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位或者 ADCON1 寄存器的 OPA1 ~ OPA0 位，对所选的 1 个引脚的输入电压重复进行 A/D 转换
A/D 转换开始条件	- ADCON0 寄存器的 TRG 位为 “0”（软件触发）时 将 ADCON0 寄存器的 ADST 位置 “1”（开始 A/D 转换） - TRG 位为 “1”（通过 $\overline{\text{ADTRG}}$ 的触发）时 将 ADST 位置 “1”（开始 A/D 转换）后，$\overline{\text{ADTRG}}$ 引脚的输入从 “H” 变为 “L” 电平
A/D 转换停止条件	将 ADST 位清 “0”（停止 A/D 转换）
中断请求产生时间	不产生中断请求
模拟输入引脚	从 AN0 ~ AN7、AN0_0 ~ AN0_7、AN2_0 ~ AN2_7、ANEX0 ~ ANEX1 中选择 1 个引脚
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器

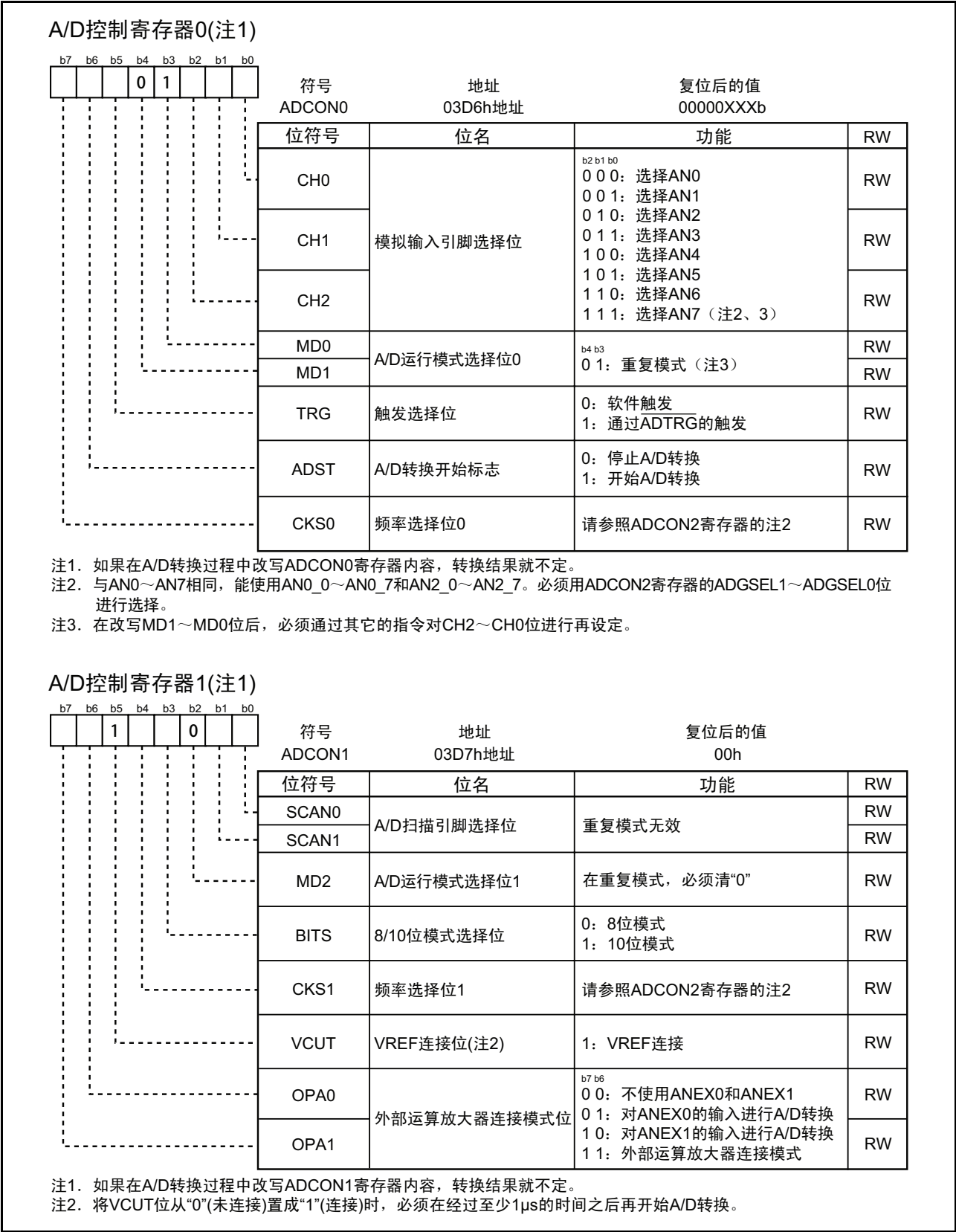


图 17.5 重复模式中的 ADCON0、ADCON1 寄存器

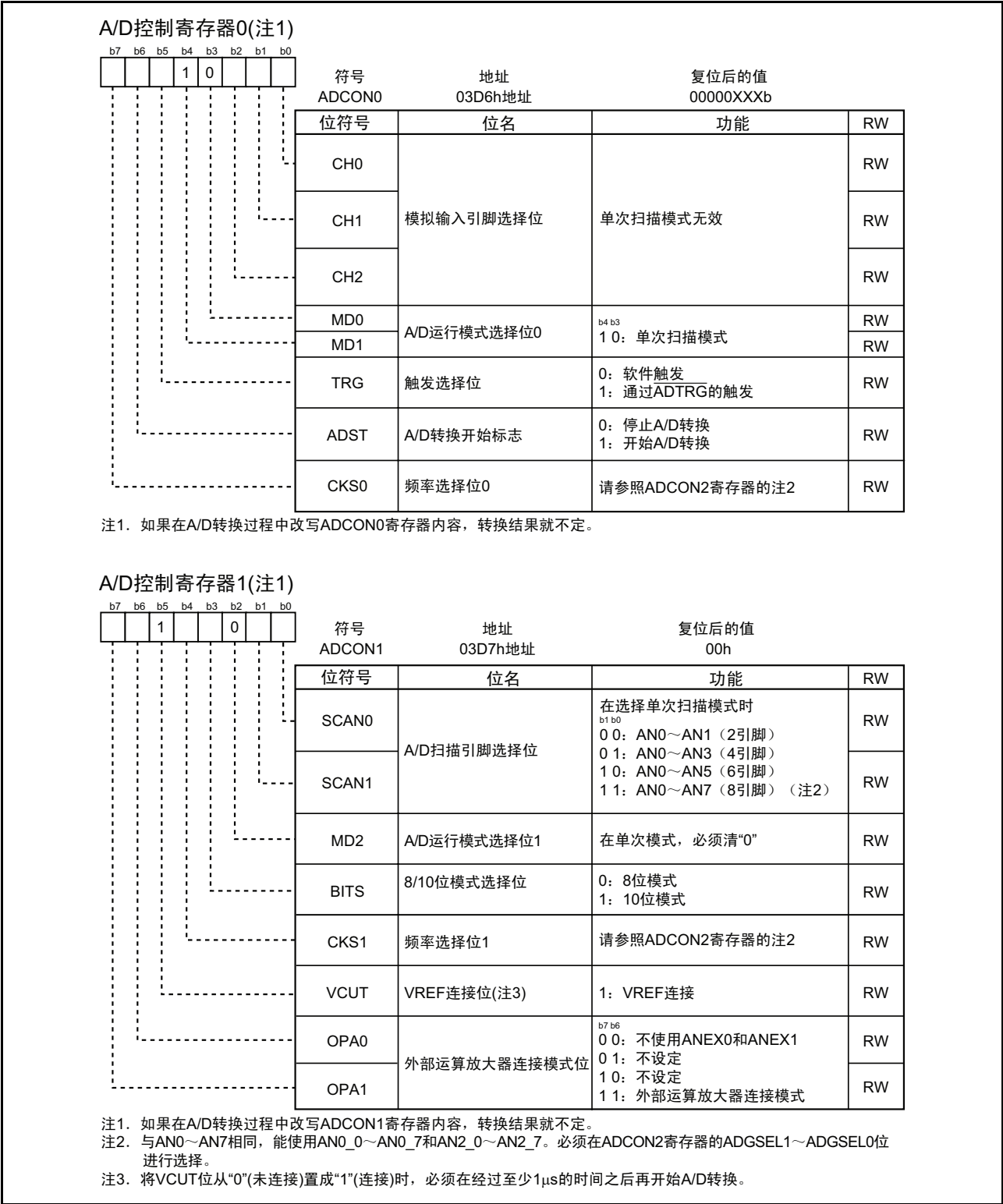
17.1.3 单次扫描模式

单次扫描模式是对所选引脚的输入电压逐次进行 A/D 转换的模式。
单次扫描模式的规格如表 17.4、单次扫描模式中的 ADCON0、ADCON1 寄存器如图 17.6 所示。

表 17.4 单次扫描模式的规格

项目	规格
功能	通过 ADCON1 寄存器的 SCAN1 ~ SCAN0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位，对所选引脚的输入电压逐次进行 A/D 转换
A/D 转换开始条件	- ADCON0 寄存器的 TRG 位为 “0”（软件触发）时 将 ADCON0 寄存器的 ADST 位置 “1”（开始 A/D 转换） - TRG 位为 “1”（通过 ADTRG 的触发）时 将 ADST 位置 “1”（开始 A/D 转换）后，ADTRG 引脚的输入从 “H” 变为 “L” 电平
A/D 转换停止条件	- A/D 转换结束（选择软件触发时，ADST 位为 “0”（停止 A/D 转换）） - 将 ADST 位清 “0”
中断请求产生时间	A/D 转换结束时
模拟输入引脚	从 AN0 ~ AN1(2 引脚)、AN0 ~ AN3(4 引脚)、AN0 ~ AN5(6 引脚)、AN0 ~ AN7(8 引脚) 中选择（注 1）
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器

注 1. 与 AN0 ~ AN7 相同，能使用 AN0_0 ~ AN0_7、AN2_0 ~ AN2_7。



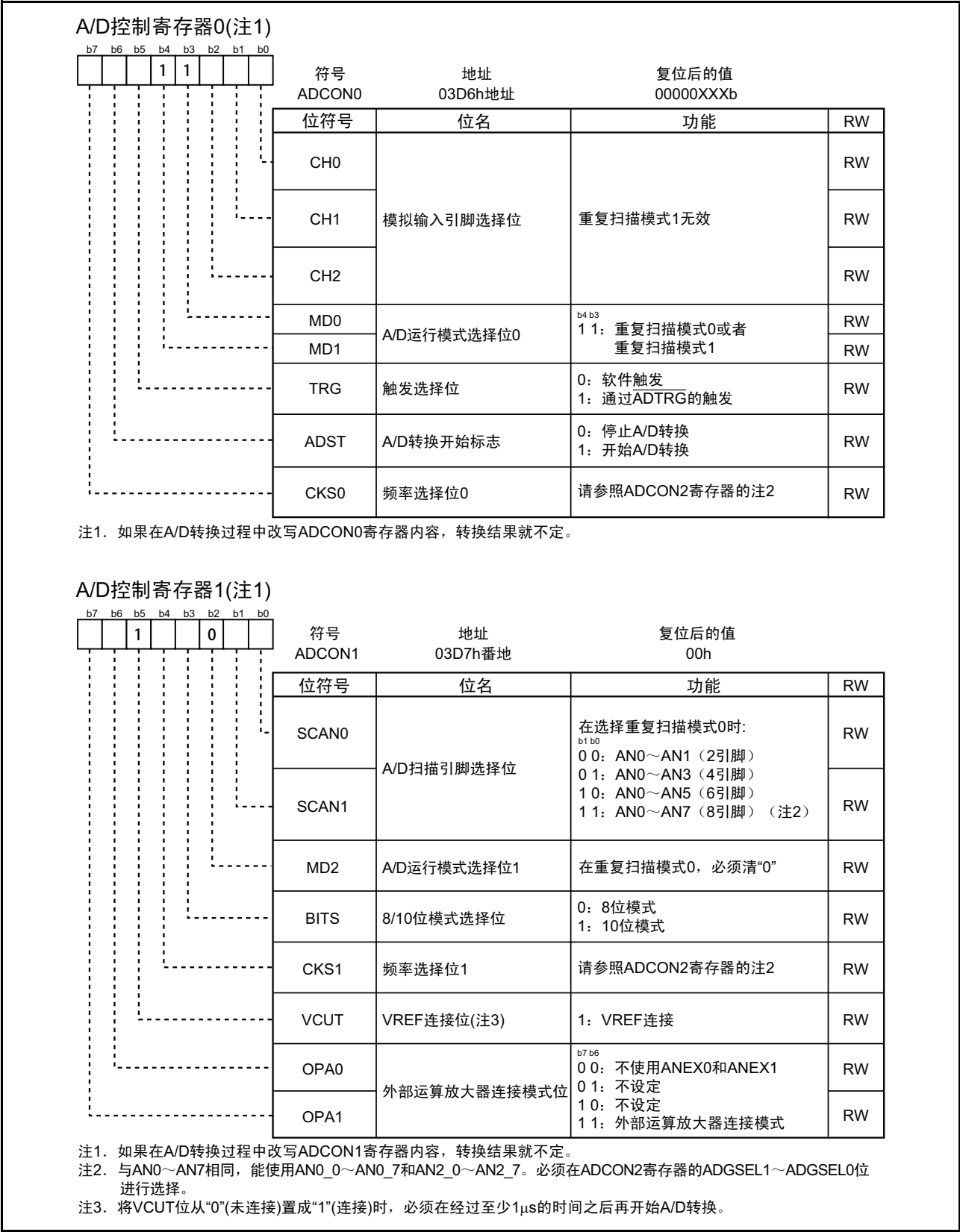
17.1.4 重复扫描模式 0

重复扫描模式 0 是对所选引脚的输入电压重复进行 A/D 转换的模式。
重复扫描模式 0 的规格如表 17.5、重复扫描模式 0 中的 ADCON0、ADCON1 寄存器如图 17.7 所示。

表 17.5 重复扫描模式 0 的规格

项目	规格
功能	通过 ADCON1 寄存器的 SCAN1 ~ SCAN0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位，对所选引脚的输入电压重复进行 A/D 转换
A/D 转换开始条件	- ADCON0 寄存器的 TRG 位为“0”（软件触发）时 将 ADCON0 寄存器的 ADST 位置“1”（开始 A/D 转换） - TRG 位为“1”（通过 ADTRG 的触发）时 将 ADST 位置“1”（开始 A/D 转换）后，ADTRG 引脚的输入从“H”变为“L”电平
A/D 转换停止条件	将 ADST 位清“0”（停止 A/D 转换）
中断请求产生时间	不产生中断请求
模拟输入引脚	从 AN0 ~ AN1(2 引脚)、AN0 ~ AN3(4 引脚)、AN0 ~ AN5(6 引脚)、AN0 ~ AN7(8 引脚) 中选择（注 1）
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器

注 1. 与 AN0 ~ AN7 相同，能使用 AN0_0 ~ AN0_7、AN2_0 ~ AN2_7。



17.1.5 重复扫描模式 1

重复扫描模式 1 是以所选引脚为重点，对所有引脚的输入电压重复进行 A/D 转换的模式。
重复扫描模式 1 的规格如表 17.6、重复扫描模式 1 中的 ADCON0、ADCON1 寄存器如图 17.8 所示。

表 17.6 重复扫描模式 1 的规格

项目	规格
功能	以通过 ADCON1 寄存器的 SCAN1 ~ SCAN0 位和 ADCON2 寄存器的 ADGSEL1 ~ ADGSEL0 位选择的引脚为重点，对由 ADGSEL1 ~ ADGSEL0 位所选的全部引脚的输入电压重复进行 A/D 转换 例：如果选择 AN0 按 AN0→AN1→AN0→AN2→AN0→AN3···的顺序进行 A/D 转换
A/D 转换开始条件	- ADCON0 寄存器的 TRG 位为“0”（软件触发）时 将 ADCON0 寄存器的 ADST 位置“1”（开始 A/D 转换） - TRG 位为“1”（通过 ADTRG 的触发）时 将 ADST 位置“1”（A/D 转换开始）后，ADTRG 引脚的输入从“H”变为“L”电平
A/D 转换停止条件	将 ADST 位清“0”（A/D 转换停止）
中断请求产生时间	不产生中断请求
进行重点 A/D 转换的模拟输入引脚	从 AN0(1 引脚)、AN0 ~ AN1(2 引脚)、AN0 ~ AN2(3 引脚)、AN0 ~ AN3(4 引脚)中选择（注 1）
A/D 转换值的读取	读取与所选引脚对应的 AD0 ~ AD7 寄存器

注 1. 与 AN0 ~ AN7 相同，能使用 AN0_0 ~ AN0_7、AN2_0 ~ AN2_7。

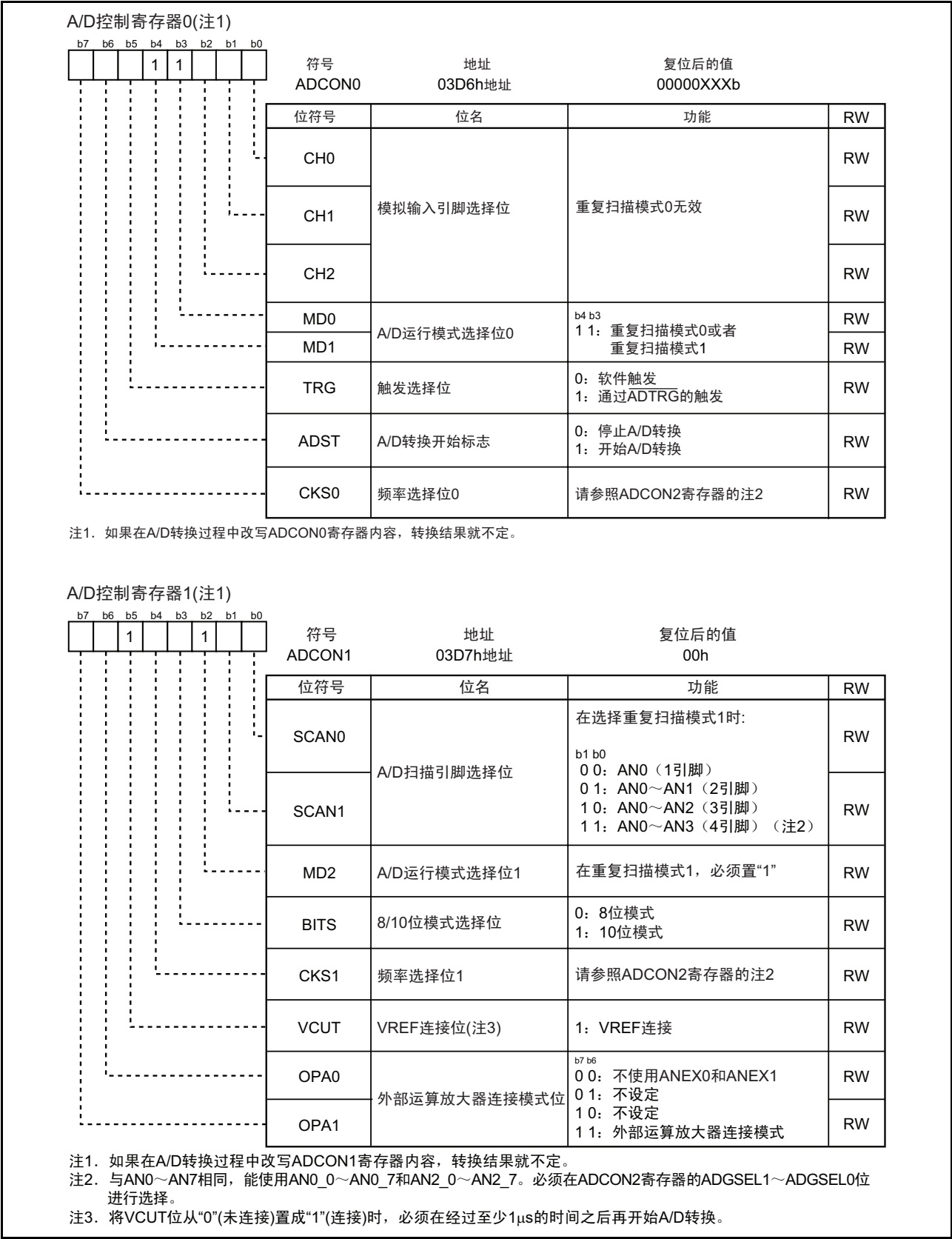


图 17.8 重复扫描模式 1 中的 ADCON0、ADCON1 寄存器

17.2 功能

17.2.1 分辨率选择功能

能通过 ADCON1 寄存器的 BITS 位选择分辨率。如果将 BITS 位置 “1” (转换精度为 10 位)，A/D 转换结果就被保存到 ADi 寄存器 (i=0 ~ 7) 的 0 ~ 9 位；如果将 BITS 位清 “0” (转换精度为 8 位)，A/D 转换结果就被保存到 ADi 寄存器的 0 ~ 7 位。

17.2.2 采样 & 保持

如果将 ADCON2 寄存器的 SMP 位置 “1” (有采样 & 保持)，就能提高每个引脚的转换速度。分辨率为 8 位时为 28 个 ϕ AD 周期；分辨率为 10 位时为 33 个 ϕ AD 周期。对于全部的运行模式，采样 & 保持都有效。必须在选择有无采样 & 保持后开始 A/D 转换。

17.2.3 扩展模拟输入引脚

在单次模式、重复模式中，能将 ANEX0、ANEX1 引脚作为模拟输入引脚使用。必须通过 ADCON1 寄存器的 OPA1 ~ OPA0 位选择 ANEX0 引脚或者 ANEX1 引脚。

ANEX0 输入的 A/D 转换结果保存到 AD0 寄存器，ANEX1 输入的 A/D 转换结果保存到 AD1 寄存器。

17.2.4 外部运算放大器连接模式

能通过 ANEX0 和 ANEX1 引脚而用 1 个外部运算放大器放大多个模拟输入信号。

必须将 ADCON1 寄存器的 OPA1 ~ OPA0 位置 “11b” (外部运算放大器连接模式)。从 ANEX0 引脚输出 ANi (i=0 ~ 7) (注 1) 的输入信号。必须将通过外部运算放大器放大的此输出信号输入到 ANEX1 引脚。A/D 转换结果保存到对应的 ADi 寄存器，A/D 转换速度取决于外部运算放大器的响应特性。

外部运算放大器的连接例子如图 17.9 所示。

注 1. 与 ANi 相同，能使用 AN0_i、AN2_i。

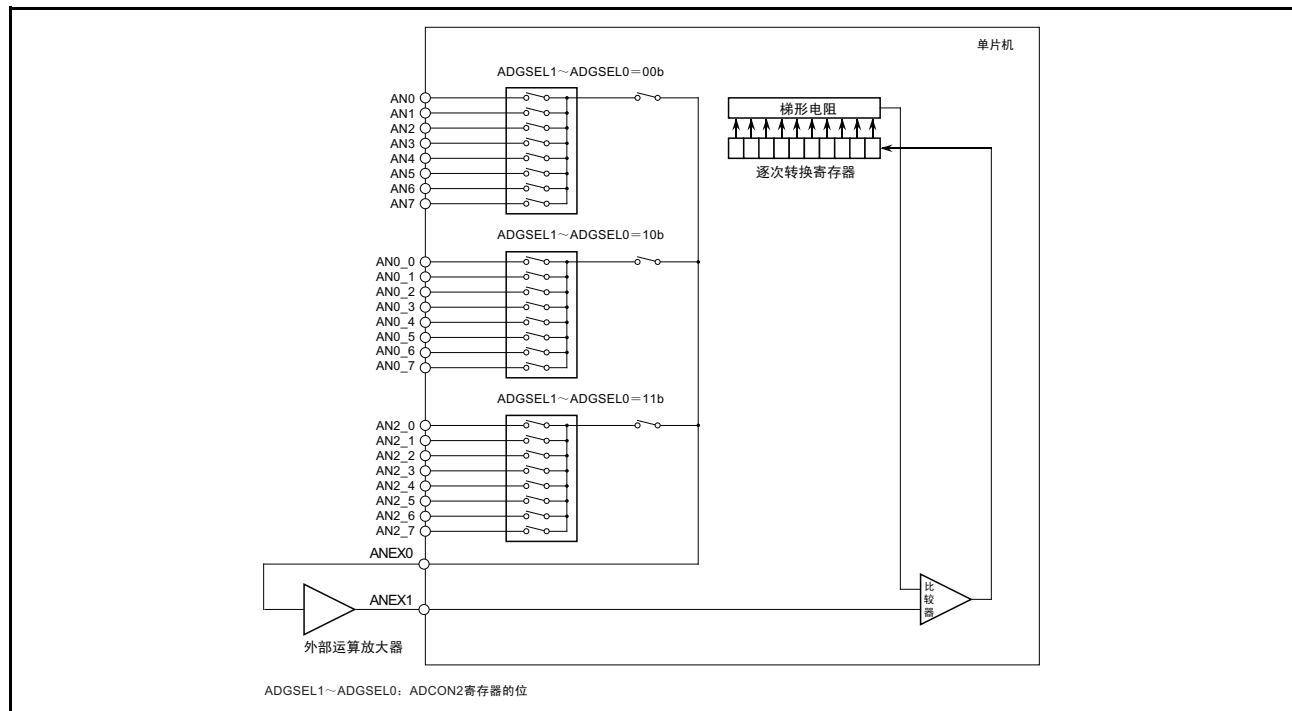


图 17.9 外部运算放大器的连接例子

17.2.5 降低功耗功能

不使用 A/D 转换器时，能通过 ADCON1 寄存器的 VCUT 位将 A/D 转换器的梯形电阻和基准电压输入引脚 (VREF) 断开，因为电流不从 VREF 引脚流到梯形电阻，从而降低功耗。

使用 A/D 转换器时，必须在将 VCUT 位置 “1” (VREF 连接) 后，将 ADCON0 寄存器的 ADST 位置 “1” (开始 A/D 转换)。ADST 位和 VCUT 位不能同时写 “1”。

另外，在 A/D 转换中不能将 VCUT 位清 “0” (VREF 未连接)。

而且，不影响 D/A 转换器的 VREF (无关系)。

17.2.6 A/D 转换时的传感器输出阻抗

为了正确进行 A/D 转换，需要在规定的时间内结束如图 17.10 中的内部电容器 C 的充电。假设此规定时间 (采样时间) 为 T、传感器等效电路的输出阻抗为 R0、单片机的内部电阻为 R、A/D 转换器的精度 (误差) 为 X、分辨率为 Y (Y 在 10 位模式时为 1024；在 8 位模式时为 256)。

$$VC \text{ 一般为 } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0+R)}t} \right\}$$

$$\text{在 } t = T \text{ 时, 根据 } VC = VIN - \frac{X}{Y}VIN = VIN \left(1 - \frac{X}{Y} \right)$$

$$e^{-\frac{1}{C(R0+R)}T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T = \ln \frac{X}{Y}$$

$$\text{因此, } R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

模拟输入引脚和外部传感器等效电路的例子如图 17.10 所示。

在 VIN 与 VC 的差为 0.1LSB 时，求在时间 T 内电容器 C 的引脚间电压 VC 从 0 变为 VIN-(0.1/1024)VIN 的阻抗 R0。(0.1/1024) 表示在 10 位模式的 A/D 转换时，将因电容器充电不足而引起的 A/D 转换精度下降控制在小于等于 0.1LSB。但是，实际误差是 0.1LSB 加上绝对精度的值。

f(φAD)=10MHz 时，在带采样 & 保持的 A/D 转换模式中 T=0.3μs。可按以下的计算式求出在此时间 T 内能充分进行电容器 C 充电的输出阻抗 R0:

因为 T=0.3μs、R=7.8kΩ、C=1.5pF、X=0.1、Y=1024,

$$R0 = -\frac{0.3 \times 10^{-6}}{1.5 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 7.8 \times 10^3 = 13.9 \times 10^3$$

所以，将 A/D 转换器精度 (误差) 控制在小于等于 0.1LSB 的传感器电路的输出阻抗 R0 最大为 13.9kΩ。

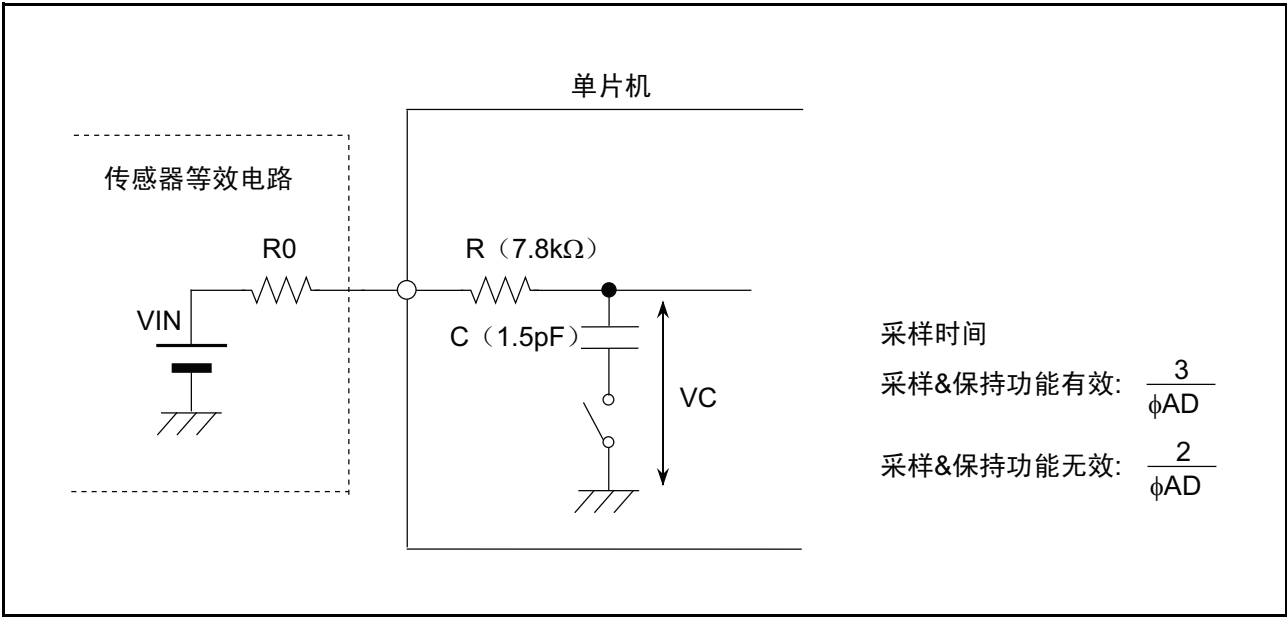


图 17.10 模拟输入引脚和外部传感器等效电路的例子

18. D/A 转换器

M16C/6N 群具有 2 个独立的 8 位 R-2R 方式的 D/A 转换器。

如果将值写到 DAi 寄存器（i=0、1），就进行 D/A 转换。必须在输出转换结果时将 DACon 寄存器的 DAiE 位置“1”（允许输出）。使用 D/A 转换时，必须将对应的端口方向位清“0”（输入模式）。如果将 DAiE 位置“1”，对应的端口就无上拉。

输出的模拟电压 V 由设定在 DAi 寄存器的值 n（n 为 10 进制数）决定。

$V = V_{REF} \times n / 256$ （n=0 ~ 255） 其中，VREF: 基准电压

D/A 转换器的规格如表 18.1、D/A 转换器框图如图 18.1、D/A 转换器的相关寄存器如图 18.2、D/A 转换器的等效电路如图 18.3 所示。

表 18.1 D/A 转换器的规格

项目	规格
D/A 转换方式	R-2R 方式
分辨率	8 位
模拟输出引脚	2 通道（DA0、DA1）

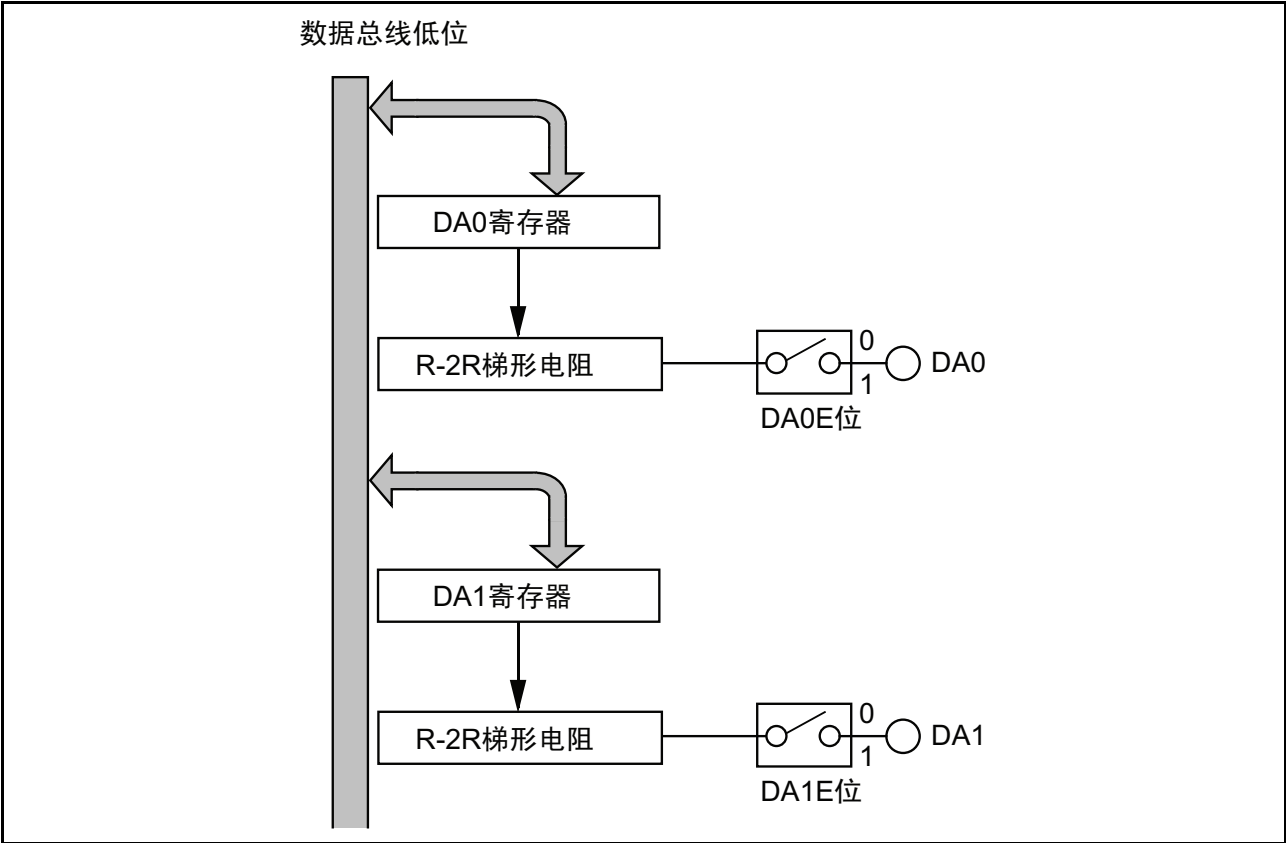
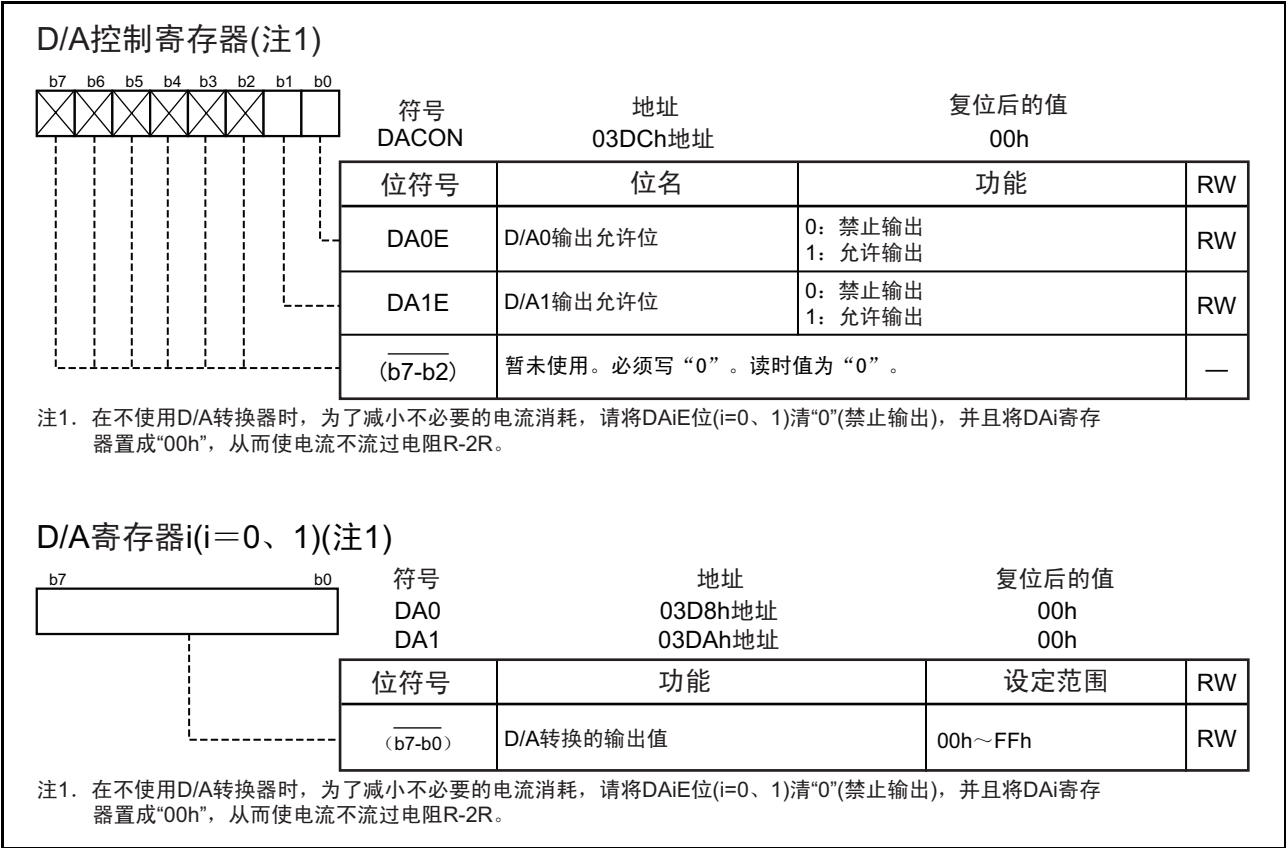


图 18.1 D/A 转换器框图



19. CRC 运算电路

CRC(Cyclic Redundancy Check) 运算电路检测数据块的错误。在生成 CRC 码时，使用 CRC-CCITT($X^{16}+X^{12}+X^5+1$) 的生成多项式。

CRC 码是对于以 8 位为单位的任意数据长度的块而生成的 16 位代码。在给 CRCD 寄存器设定初始值后，每当给 CRCIN 寄存器写 1 个字节的数据时，CRC 码就被设定到 CRCD 寄存器。对于 1 个字节的数据，CRC 码的生成需要 2 个周期。

CRC 框图如图 19.1、CRC 相关寄存器如图 19.2、CRC 运算的例子如图 19.3 所示。

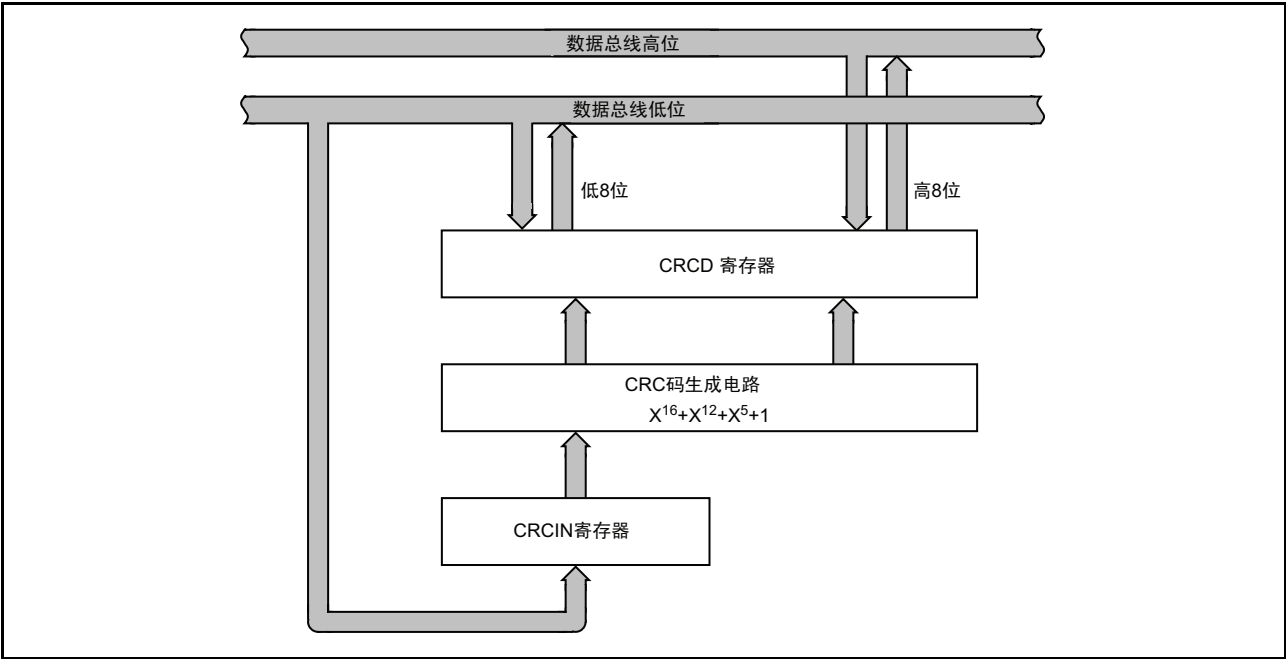


图 19.1 CRC 框图

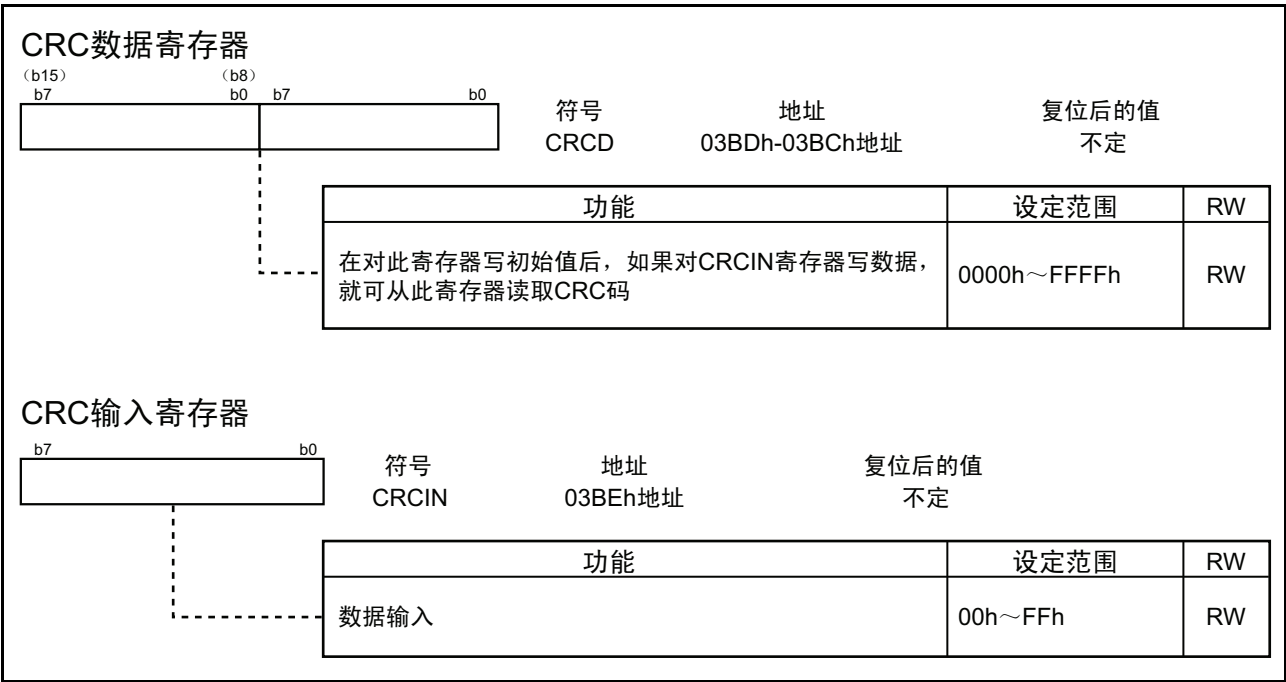


图 19.2 CRCD、CRCIN 寄存器

生成“80C4h”的CRC码时的设定步骤和CRC运算

○M16C的CRC运算

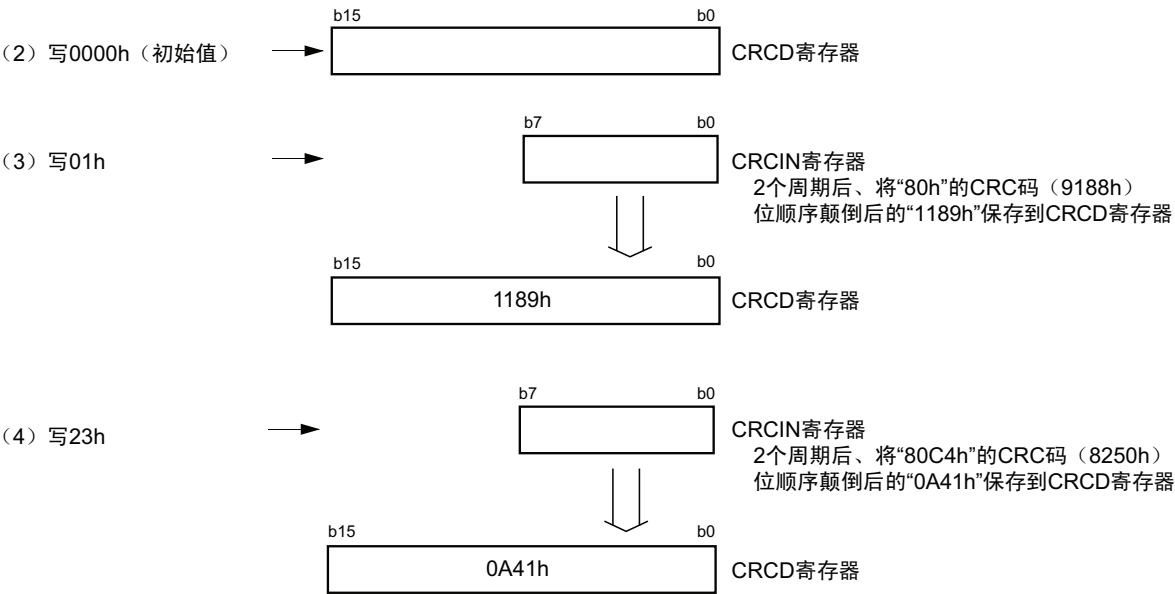
CRC码：以将写在CRCIN寄存器的值按位顺序颠倒后的数为被除数、以生成多项式为除数，进行除法运算的余数

生成多项式： $X^{16} + X^{12} + X^5 + 1$ (1 0001 0000 0010 0001b)

○设定步骤

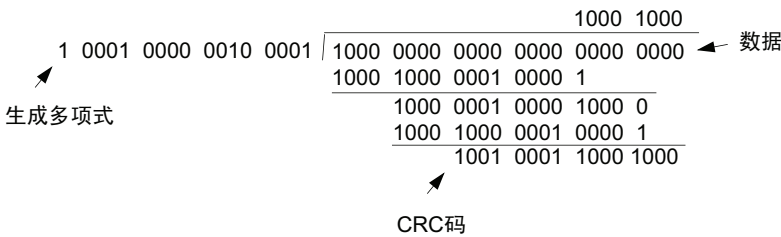
(1) 通过程序以字节为单位将“80C4h”的位顺序颠倒

“80h”→“01h”、“C4h”→“23h”



○详细的CRC运算

在上述（3）时，将写在CRCIN寄存器的值“01h（00000001b）”按位顺序颠倒后变为“10000000b”。将此值追加16位后的“1000 0000 0000 0000 0000 0000b”和CRCD寄存器的初始值“0000 0000 0000 0000b”追加8位后的“0000 0000 0000 0000 0000 0000b”进行加法运算，然后对其结果的值进行模2除法运算。



模2运算为基于以下运算法则的运算。

0 + 0 = 0
0 + 1 = 1
1 + 0 = 1
1 + 1 = 0
-1 = 1

可从CRCD寄存器读取将余数“1001 0001 1000 1000b（9188h）”按位顺序颠倒后的“0001 0001 1000 1001b（1189h）”。

在上述（4）时，将写在CRCIN寄存器的值“23h（00100011b）”按位顺序颠倒后变为“11000100b”。将值追加16位后的“1100 0100 0000 0000 0000 0000b”和保留在CRCD寄存器中的（3）的余数“1001 0001 1000 1000b”追加8位后的“1001 0001 1000 1000 0000 0000b”进行加法运算，然后对其结果的值进行模2除法运算。
可从CRCD寄存器读取将余数按位顺序颠倒后的“0000 1010 0100 0001b（0A41h）”。

图 19.3 CRC 运算的例子

20. CAN 模块

M16C/6N 群（M16C/6NK、M16C/6NM）搭载有 2 通道的对应 CAN2.0B 协议的 CAN（Controller Area Network）模块。CAN 模块可发送和接收两种格式的消息：标准 Identifier（11 位，以下简称 ID）和扩展 ID（29 位）。

CAN 模块框图如图 20.1 所示。

另外，必须外置 CAN 总线驱动器 / 接收器。

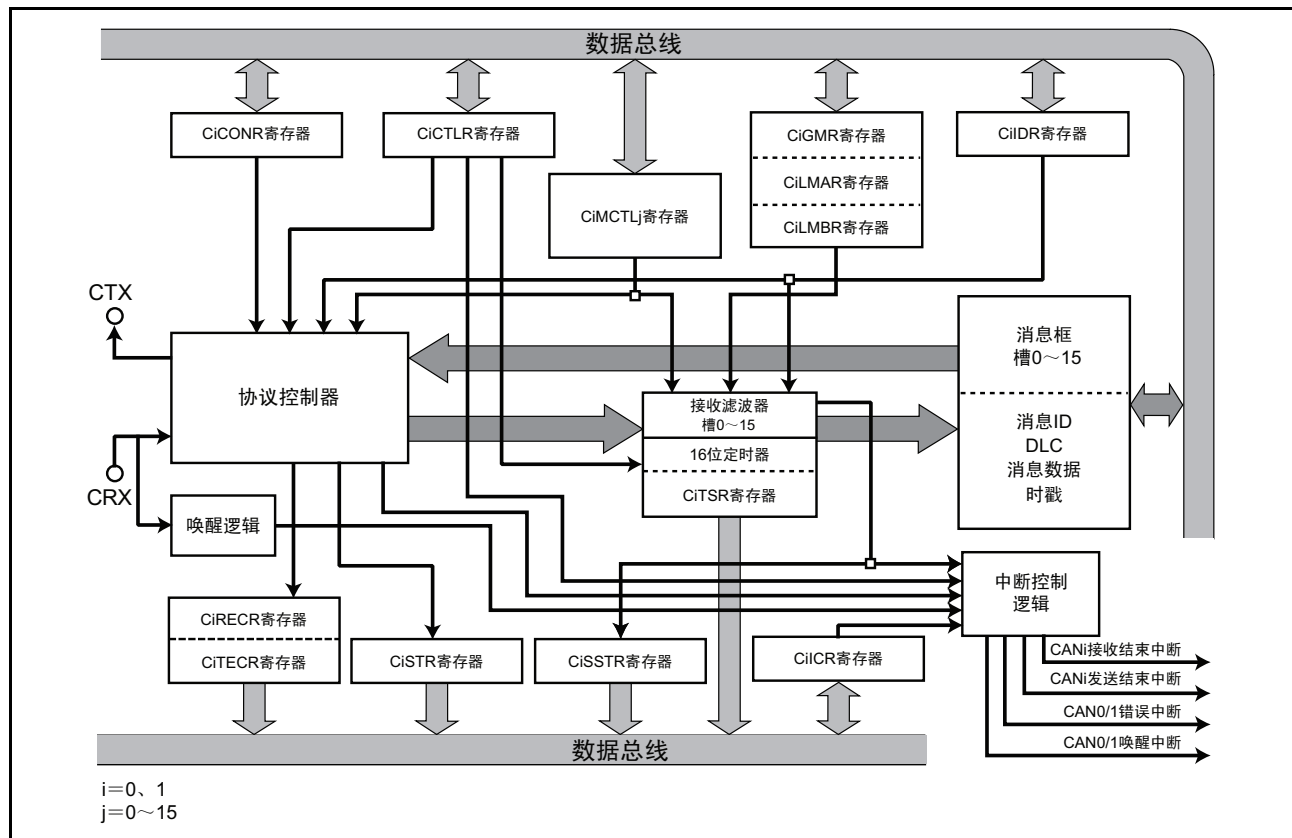


图 20.1 CAN 模块框图

- CTX / CRX : CAN 的输入 / 输出引脚。
- 协议控制器 : 进行总线仲裁或发送和接收时的位时序、填充位处理、错误处理等 CAN 协议处理。
- 消息框 : 由可作为发送或接收槽使用的 16 个槽构成。包括固有的 ID、数据长度码、8 字节的数据及时戳。
- 接收滤波器 : 进行接收消息的滤波处理。该滤波处理使用 CiGMR 寄存器（ $i = 0, 1$ ）、CiLMAR 寄存器或 CiLMBR 寄存器。
- 16 位定时器 : 用于时戳功能。在消息存储器中保存接收的消息时，该值作为时戳保存。
- 唤醒功能 : 通过从 CAN 总线接收消息产生 CAN0/1 唤醒中断请求。
- 中断产生功能 : 由 CAN 模块产生中断请求。有 CANi 接收结束中断、CANi 发送结束中断、CAN0/1 错误中断及 CAN0/1 唤醒中断等 8 种。

20.1 CAN 模块相关寄存器

CAN 模块相关寄存器如下所示。

20.1.1 CAN_i 消息框 (i = 0、1)

由 16 字节 (或 8 字) 的 16 个槽构成。槽 14、15 可作为 Basic CAN 规格使用。

- 不论是发送还是接收，都是槽号小的槽优先级高 (上升顺序)
- 可通过程序选择该槽是接收槽还是发送槽。

20.1.2 接收屏蔽寄存器

由 3 个接收滤波器构成。

- CAN_i 全局屏蔽寄存器 (i = 0、1) (CiGMR 寄存器: 6 字节)
设定对槽 0 ~ 13 进行接收滤波处理时的屏蔽条件。
- CAN_i 局部屏蔽 A 寄存器 (CiLMAR 寄存器: 6 字节)
设定对槽 14 进行接收滤波处理时的屏蔽条件。
- CAN_i 局部屏蔽 B 寄存器 (CiLMBR 寄存器: 6 字节)
设定对槽 15 进行接收滤波处理时的屏蔽条件。

20.1.3 CAN 专用寄存器 (SFR)

- CAN_i 消息控制寄存器 j (i = 0、1、j = 0 ~ 15) (CiMCTLj 寄存器: 8 位 × 16 个)
进行各个槽的发送和接收控制。
- CAN_i 控制寄存器 (CiCTLR 寄存器: 16 位)
为 CAN 协议的控制寄存器。
- CAN_i 状态寄存器 (CiSTR 寄存器: 16 位)
表示 CAN 协议的运行状态。
- CAN_i 槽状态寄存器 (CiSSTR 寄存器: 16 位)
表示各个槽的通信状态。
- CAN_i 中断控制寄存器 (CiICR 寄存器: 16 位)
设定各个槽的中断允许或禁止。
- CAN_i 扩展 ID 寄存器 (CiIDR 寄存器: 16 位)
指定各个槽的 ID 格式 (标准、扩展)。
- CAN_i 总线时序控制寄存器 (CiCONR 寄存器: 16 位)
设定总线时序。
- CAN_i 接收错误计数寄存器 (CiRECR 寄存器: 8 位)
表示 CAN 模块接收时的错误状态。
根据错误的产生状态, 增减计数值。
- CAN_i 发送错误计数寄存器 (CiTECR 寄存器: 8 位)
表示 CAN 模块发送时的错误状态。
根据错误的产生状态, 增减计数值。
- CAN_i 时戳寄存器 (CiTSR 寄存器: 16 位)
表示时戳计数值。
- CAN_i 接收滤波支持寄存器 (CiAFS 寄存器: 16 位)
解码接收的 ID, 以备在接收滤波支持单元中使用。

以下说明各个寄存器。

20.2 CANi 消息框（i = 0、1）

CANi 消息框的存储器分配如表 20.1 所示。

可对消息框进行字节存取或字存取。

字节存取和字存取中消息内容的分配不同。通过 CiCTLr 寄存器的 MsgOrder 位设定字节存取或字存取。

表 20.1 CANi 消息框的存储器分配

地址		消息内容	
		字节存取时的 存储器分配（8 位）	字存取时的 存储器分配（16 位）
CAN0	CAN1		
0060h + n×16 + 0	0260h + n×16 + 0	SID10 ~ SID6	SID5 ~ SID0
0060h + n×16 + 1	0260h + n×16 + 1	SID5 ~ SID0	SID10 ~ SID6
0060h + n×16 + 2	0260h + n×16 + 2	EID17 ~ EID14	EID13 ~ EID6
0060h + n×16 + 3	0260h + n×16 + 3	EID13 ~ EID6	EID17 ~ EID14
0060h + n×16 + 4	0260h + n×16 + 4	EID5 ~ EID0	数据长度码（DLC）
0060h + n×16 + 5	0260h + n×16 + 5	数据长度码（DLC）	EID5 ~ EID0
0060h + n×16 + 6	0260h + n×16 + 6	数据字节 0	数据字节 1
0060h + n×16 + 7	0260h + n×16 + 7	数据字节 1	数据字节 0
⋮	⋮	⋮	⋮
0060h + n×16 + 13	0260h + n×16 + 13	数据字节 7	数据字节 6
0060h + n×16 + 14	0260h + n×16 + 14	时戳高位字节	时戳低位字节
0060h + n×16 + 15	0260h + n×16 + 15	时戳低位字节	时戳高位字节

i=0、1

n: 槽号。n = 0 ~ 15

字节存取及字存取时各个槽内的位分配如图 20.2、图 20.3 所示。
只要不进行新消息的发送和接收，各槽的内容就保持以前的值。

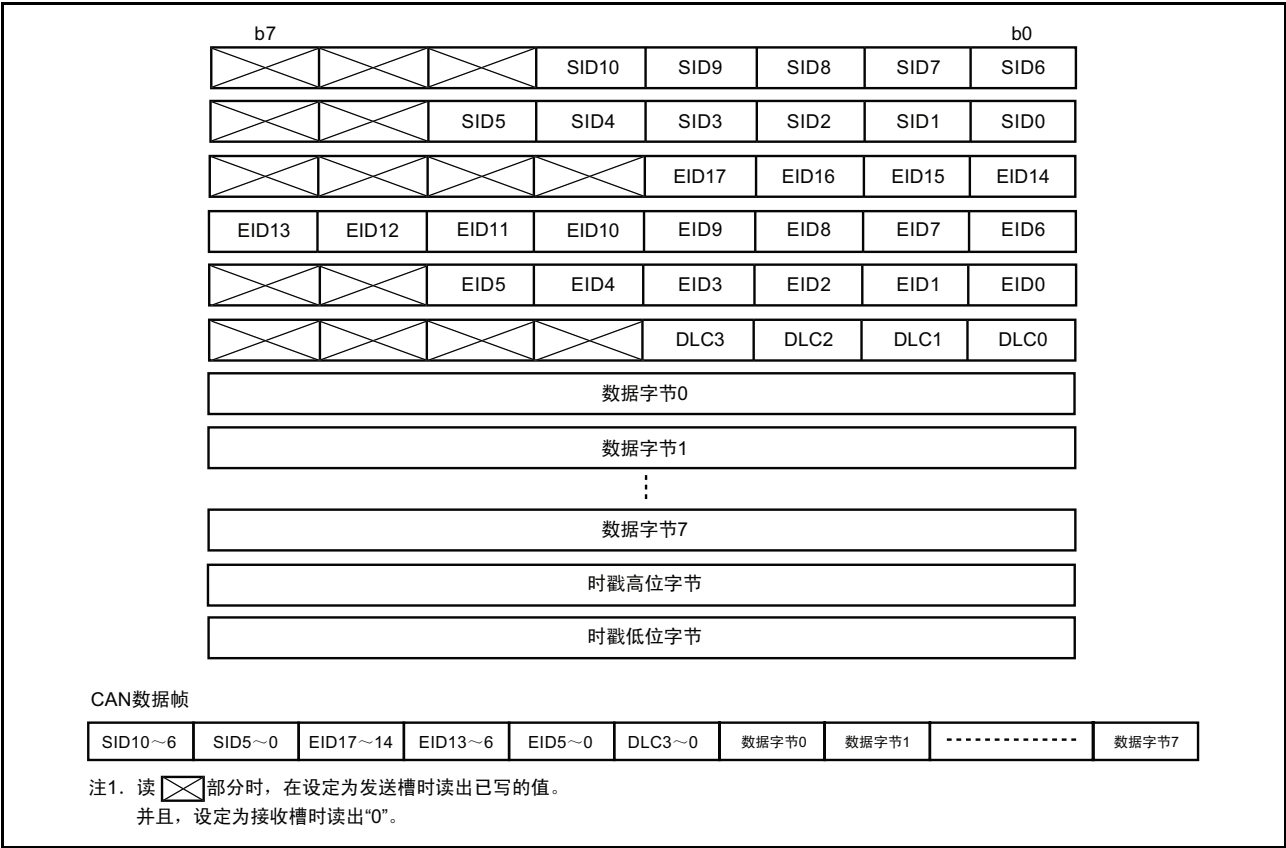


图 20.2 字节存取时各个槽内的位分配



图 20.3 字存取时各个槽内的位分配

20.3 接收屏蔽寄存器

字节存取及字存取时的 CiGMR 寄存器（ $i = 0, 1$ ）、CiLMAR 寄存器及 CiLMBR 寄存器的位分配如图 20.4、图 20.5 所示。

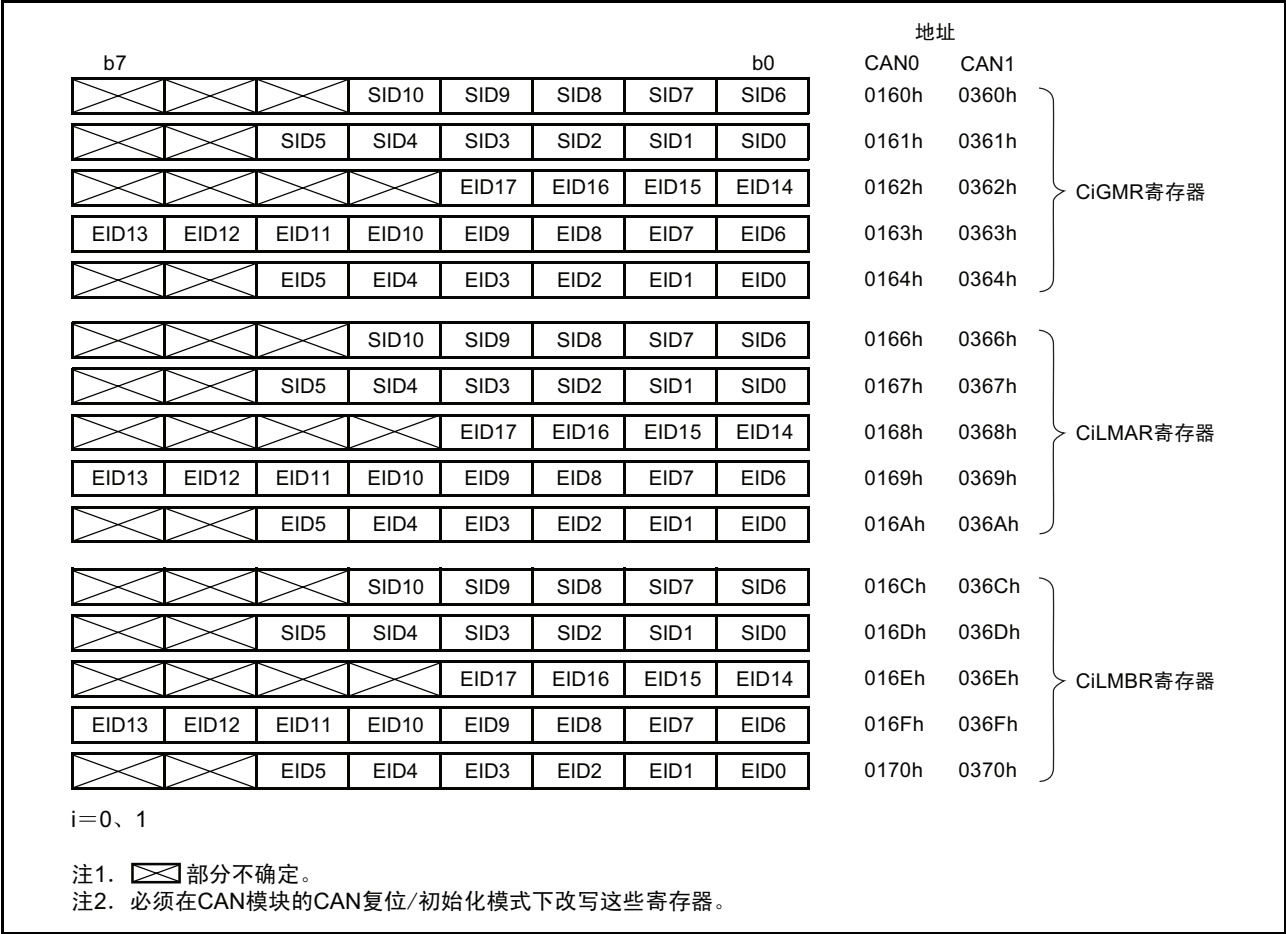


图 20.4 字节存取时各个屏蔽寄存器的位分配

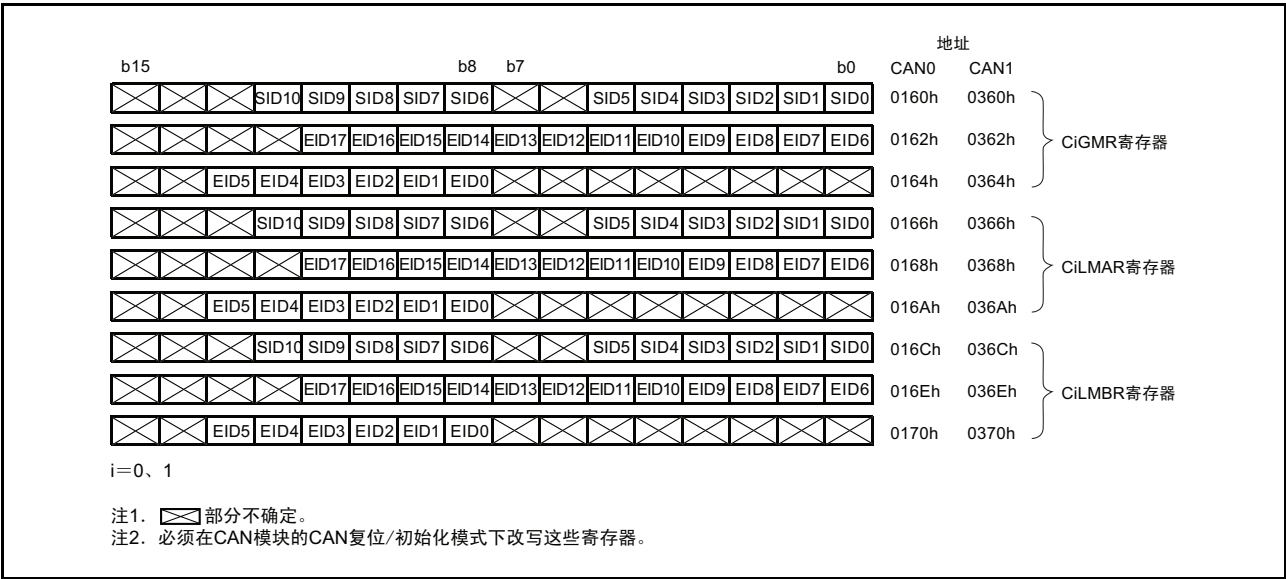


图 20.5 字存取时各个屏蔽寄存器的位分配

20.4 CAN SFR 寄存器

CAN SFR 寄存器如图 20.6～图 20.11 所示。

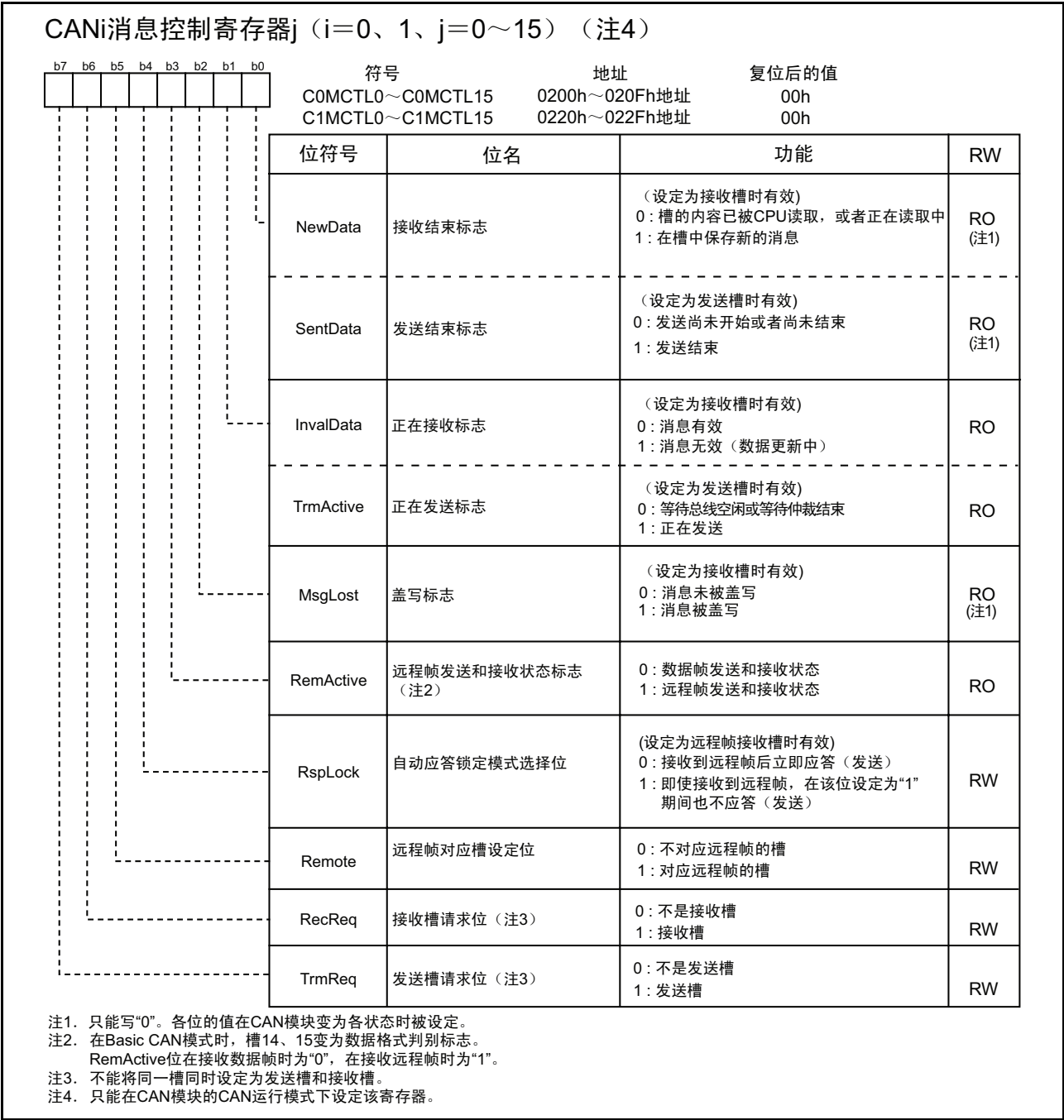
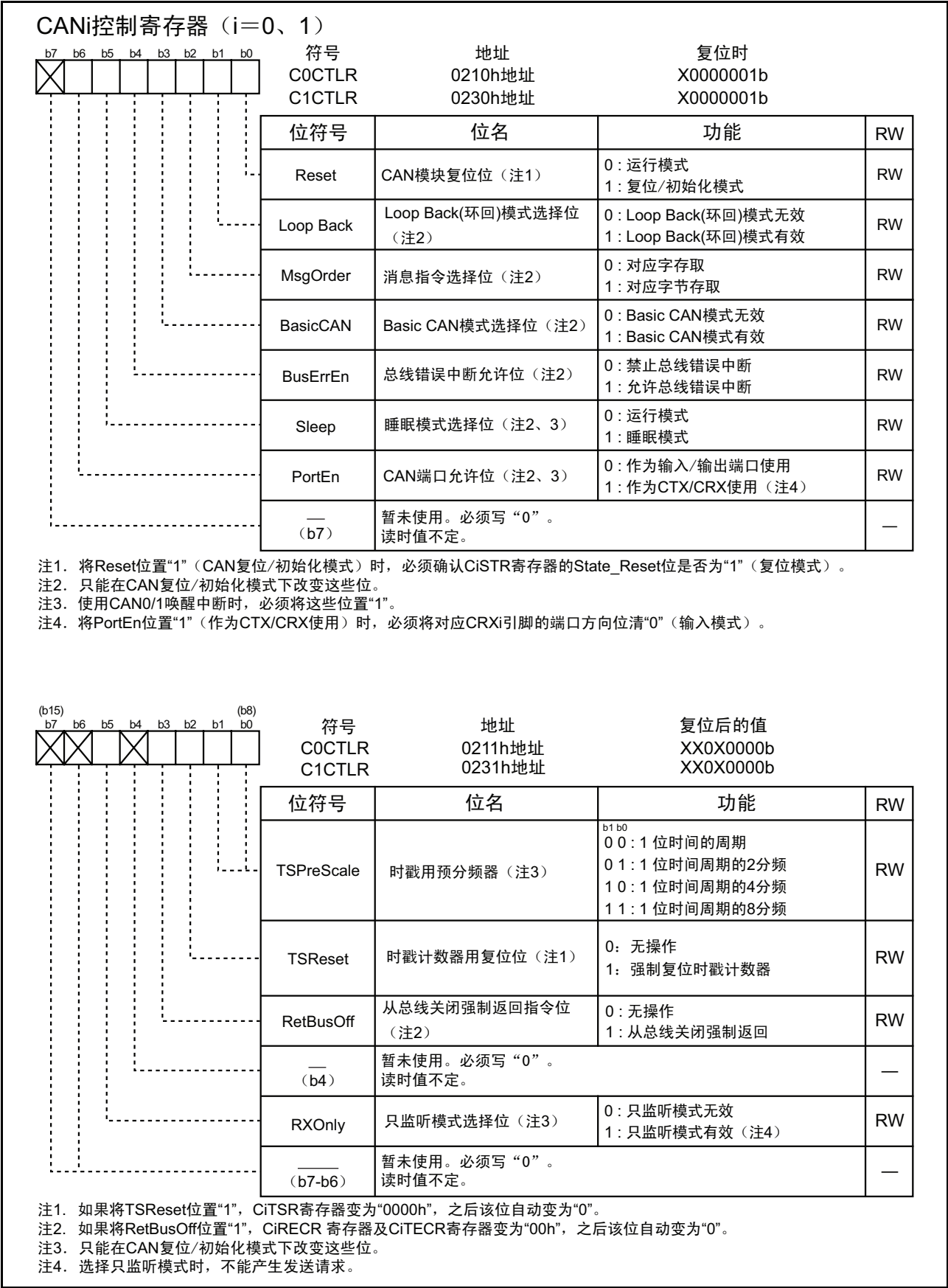


图 20.6 C0MCTLj、C1MCTLj 寄存器



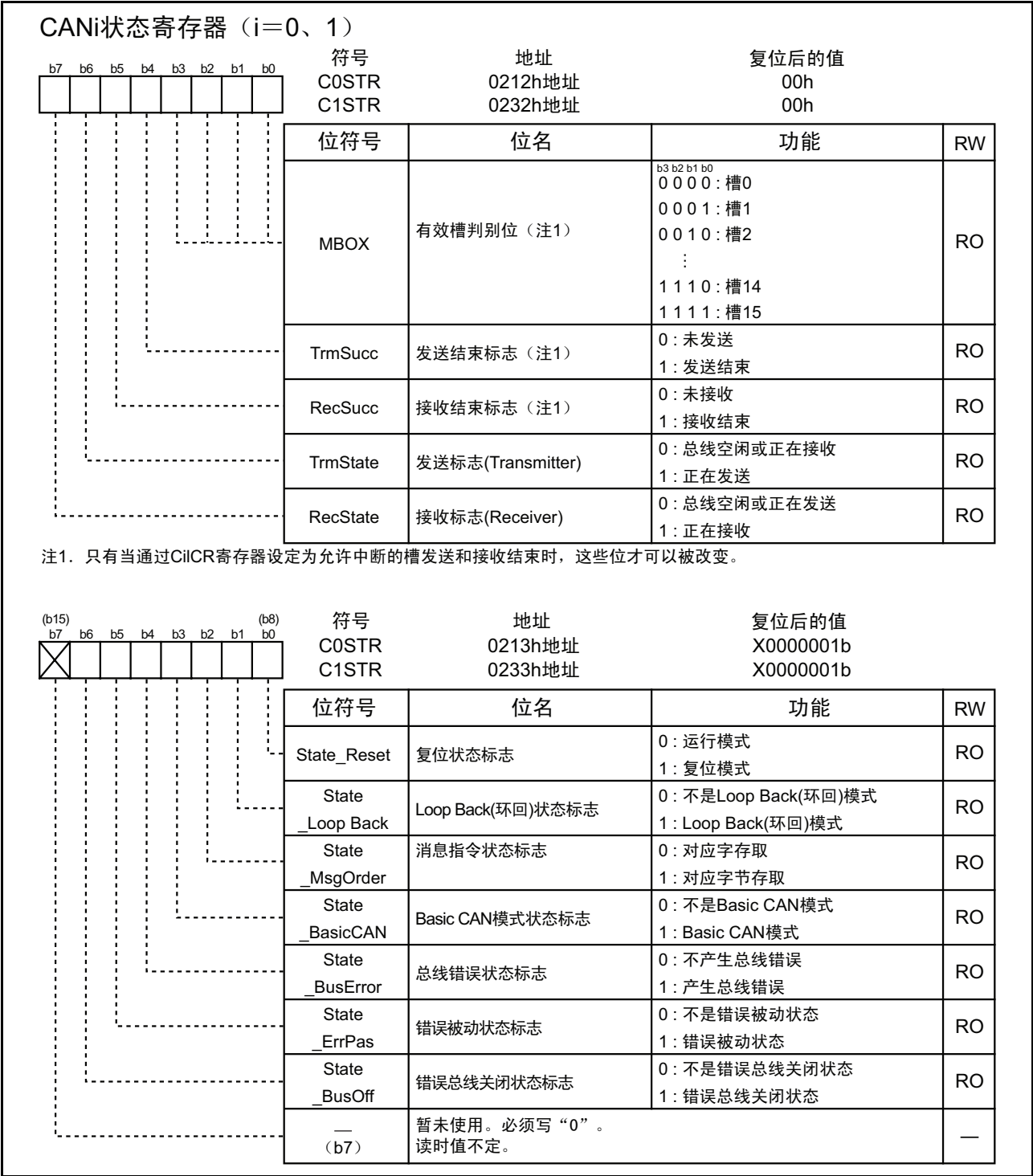


图 20.8 C0STR、C1STR 寄存器

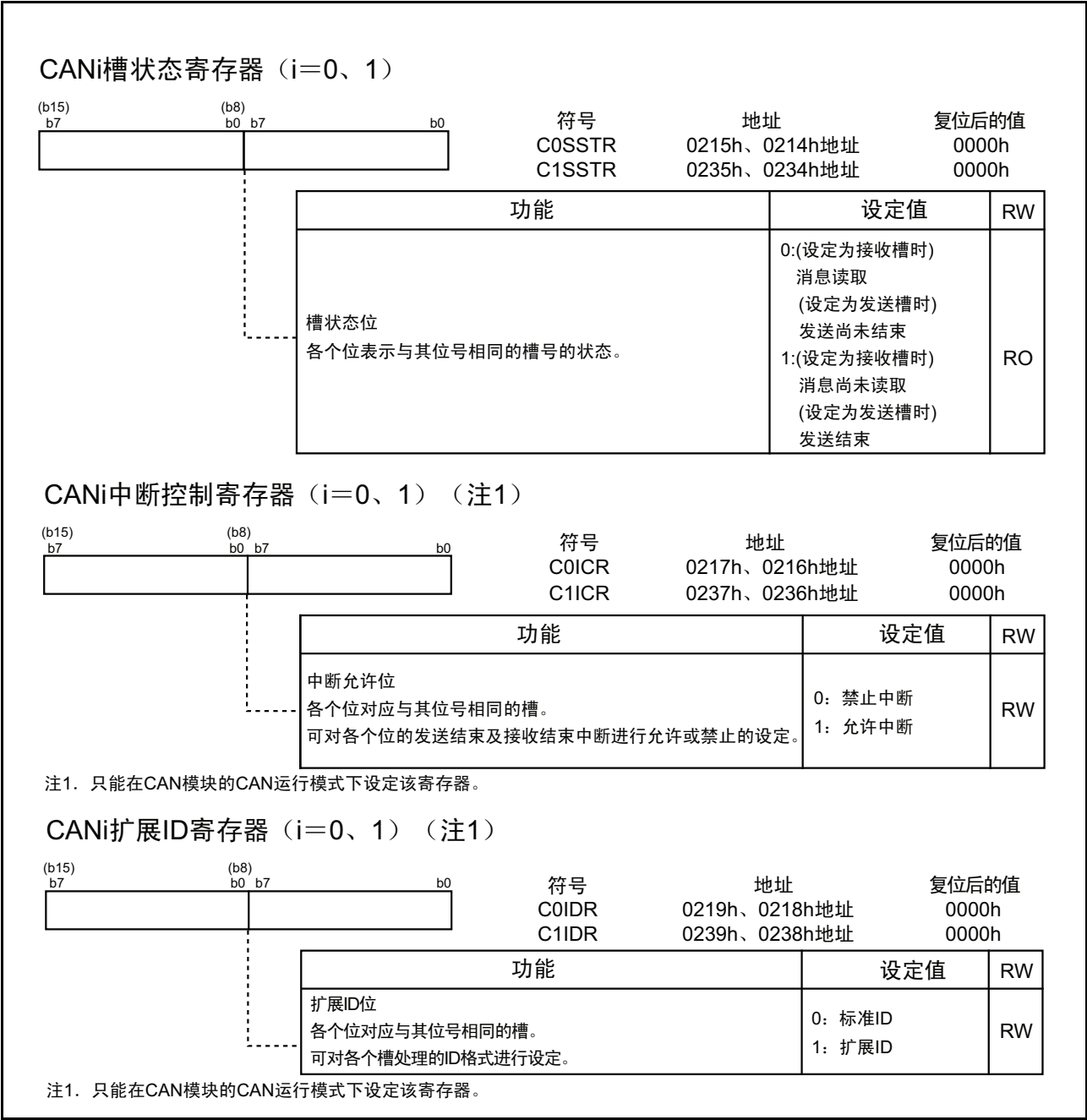


图 20.9 C0SSTR、C1SSTR、C0ICR、C1ICR、C0IDR、C1IDR 寄存器

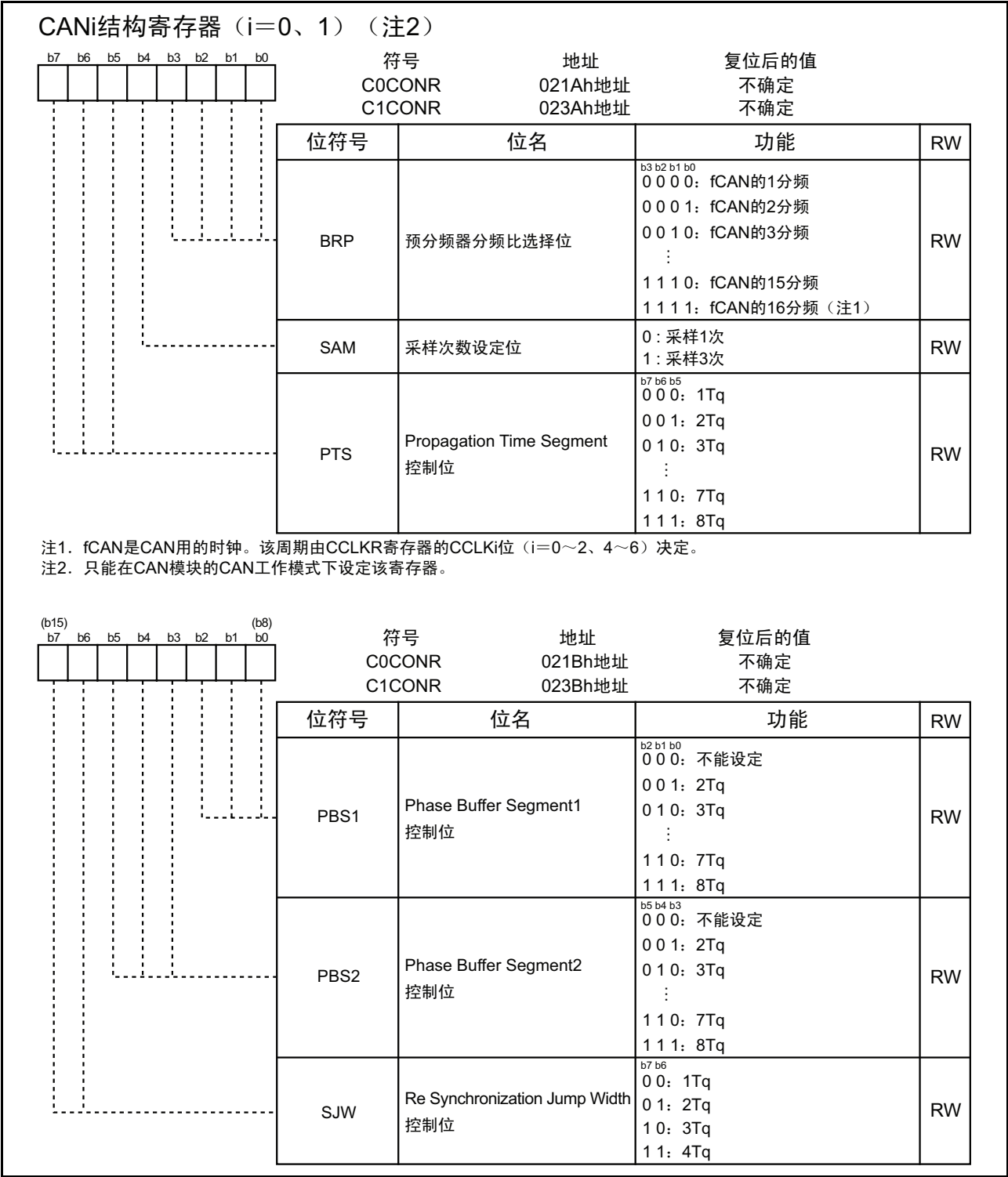


图 20.10 C0CONR、C1CONR 寄存器

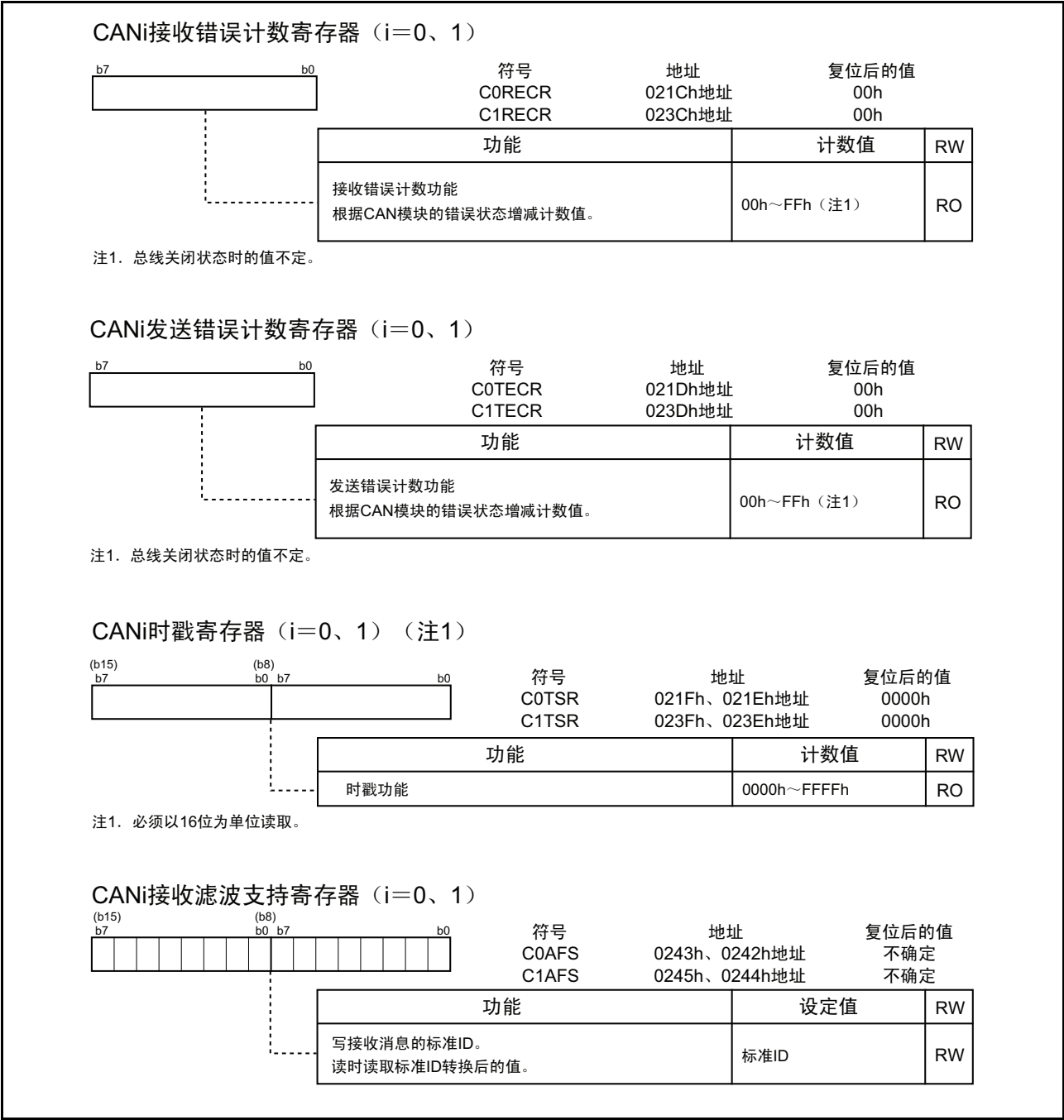


图 20.11 C0RECR、C1RECR、C0TECR、C1TECR、C0TSR、C1TSR、C0AFS、C1AFS 寄存器

20.5 运行模式

CAN 模块有以下 4 种运行模式。

- CAN 复位 / 初始化模式
- CAN 运行模式
- CAN 睡眠模式
- CAN 接口睡眠模式

运行模式的转移如图 20.12 所示。

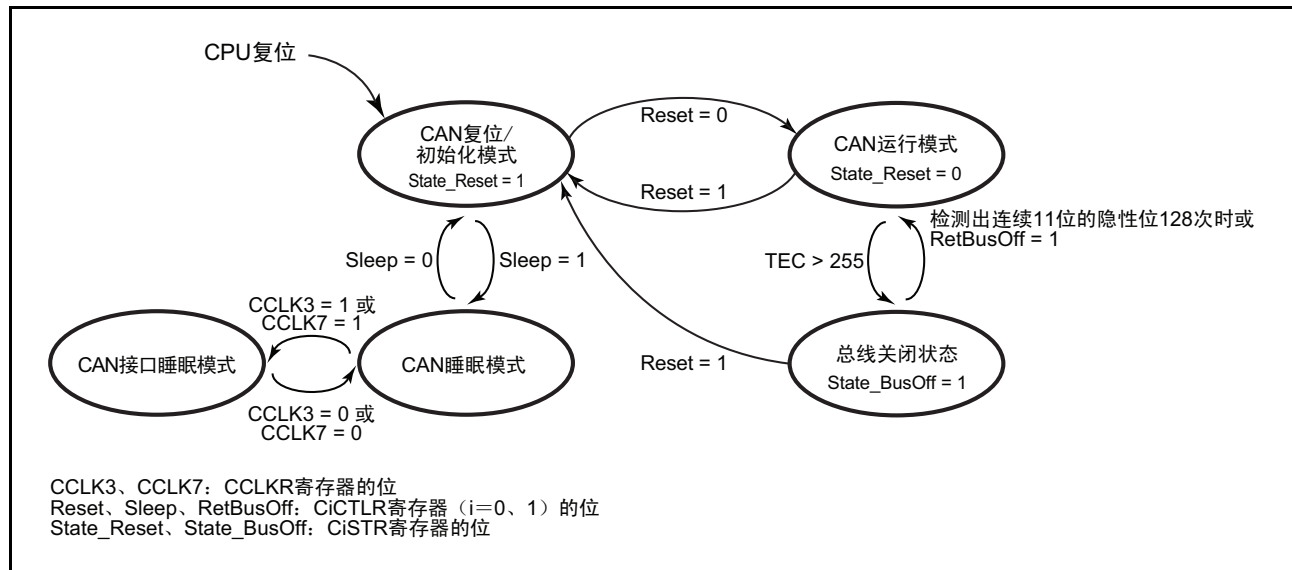


图 20.12 运行模式的转移

20.5.1 CAN 复位 / 初始化模式

如果将 CPU 复位或将 CiCTLR 寄存器 ($i = 0, 1$) 的 Reset 位置“1”，CAN 模块就进入 CAN 复位 / 初始化模式。在将 Reset 位置“1”时，必须确认 CiISTR 寄存器的 State_Reset 位是否变为“1”。

在 CAN 复位 / 初始化模式下，CAN 模块变为以下状态。

- 不能进行 CAN 通信。
- 在发送消息中设为 CAN 复位 / 初始化模式时，在发送结束、仲裁失败或检测出错误前，一直维持 CAN 运行模式。之后 State_Reset 位变为“1”，转移到 CAN 复位 / 初始化模式。
- CiMCTLj 寄存器 ($j = 0 \sim 15$)、CiISTR 寄存器、CiICR 寄存器、CiIDR 寄存器、CiRECR 寄存器、CiTECR 寄存器及 CiTSR 寄存器被初始化，CPU 不能访问。
- CiCTLR 寄存器、CiCONR 寄存器、CiGMR 寄存器、CiLMAR 寄存器、CiLMBR 寄存器及 CANi 消息框保持以前的值，CPU 可以访问。

20.5.2 CAN 运行模式

如果将 CiCTRL 寄存器（ $i = 0, 1$ ）的 Reset 位清“0”，CAN 模块就进入 CAN 运行模式。在将 Reset 位清“0”时，必须确认 CiSTR 寄存器的 State_Reset 位是否已变为“0”。

转移到 CAN 运行模式后，如果检测出连续 11 位的隐位，CAN 模块就进入以下状态。

- 可发送和接收消息。
 - 开始对发送错误、接收错误进行计数，管理 CAN 模块的错误状态。
- 根据错误状态，CAN 模块进入不能进行 CAN 通信的状态。

CAN 模块的 CAN 运行模式又分为以下 3 种子模式。

- 空闲模式：不进行发送和接收的状态。
- 接收模式：对其它节点发送的消息进行接收的状态。
- 发送模式：本节点发送消息的状态。CiCTRL 寄存器的 Loop Back（环回）位为“1”（Loop Back（环回）模式有效）时，同时接收自身发送的消息。

CAN 运行模式的子模式如图 20.13 所示。

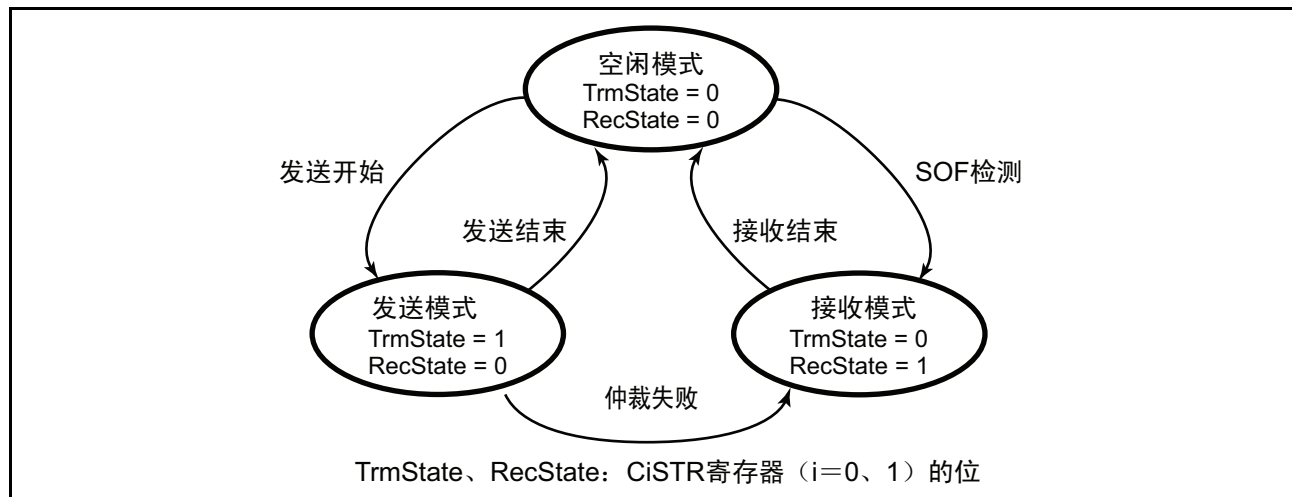


图 20.13 CAN 运行模式的子模式

20.5.3 CAN 睡眠模式

如果将 CiCTRL 寄存器的 Sleep 位置“1”并将 Reset 位清“0”，CAN 模块就进入睡眠模式。从 CAN 运行模式转移到 CAN 睡眠模式时，必须通过 CAN 复位 / 初始化模式进入 CAN 睡眠模式。

如果进入 CAN 睡眠模式，因为立即停止向 CAN 模块提供时钟，所以可以降低消耗电流。

20.5.4 CAN 接口睡眠模式

如果将 CCLKR 寄存器的 CCLK3 位或 CCLK7 位置“1”，CAN 模块就进入接口睡眠模式。转移到 CAN 接口睡眠模式时，必须通过 CAN 睡眠模式进入 CAN 接口睡眠模式。

如果进入 CAN 接口睡眠模式，因为停止向 CAN 模块的 CPU 接口部分提供时钟，所以可以降低消耗电流。

20.5.5 总线关闭状态

如果重复产生 CAN 通信错误，按照 CAN 协议的错误控制规则，CAN 模块就转移到总线关闭状态，不能进行 CAN 通信。转移到总线关闭状态后，以下两种情况可返回 CAN 运行模式。另外，此时，除 CiSTR 寄存器、CiRECR 寄存器及 CiTECR 寄存器外，CAN 模块相关寄存器的值不改变。

- (1) 检测出连续 11 位的隐性位 128 次时

CAN 模块立即转移到错误有效状态，可马上进行 CAN 通信。

- (2) CiCTRL 寄存器的 RetBusOff 位 = 1（从总线关闭状态强制返回）时

CAN 模块立即转移到错误有效状态，检测出连续 11 位的隐性位后，重新进行 CAN 通信。

20.6 CAN 模块系统时钟的设定

CAN 模块备有专用的 CAN 模块系统时钟产生电路。

通过 CCLKR 寄存器及 CiCONR 寄存器（i = 0、1）的 BRP 位进行 CAN 模块系统时钟的设定。有关 CCLKR 寄存器请参照“9. 时钟产生电路”。

CAN 模块系统时钟产生电路框图如图 20.14 所示。

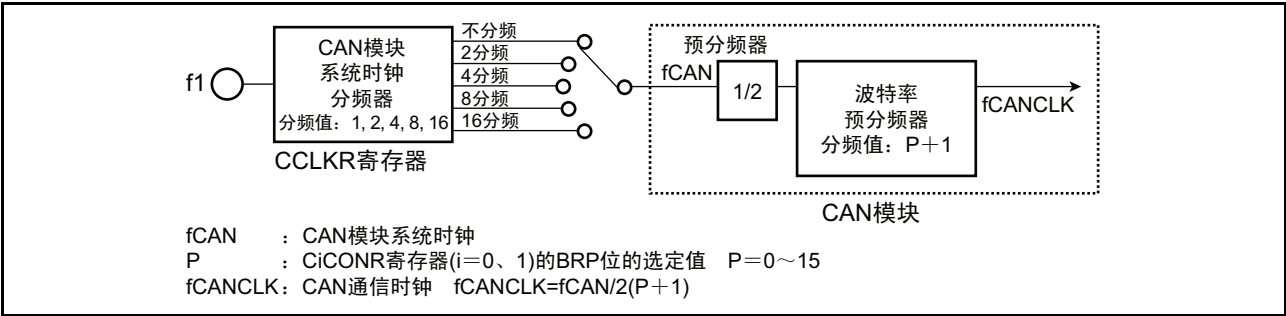


图 20.14 CAN 模块系统时钟产生电路框图

20.7 位时序的设定

- 位时间由以下 4 个段构成。
- 同步段（SS）
对位的下降沿进行监视并取得同步的段。
 - 传播时间段（PTS）
用于吸收 CAN 网络上的物理延迟的段。网络上的物理延迟是 CAN 总线上延迟、输入比较电路延迟及输出驱动器延迟的总和的 2 倍。
 - 相位缓冲段 1（PBS1）
补偿由频率误差引起的相位错误的段。位的下降沿比预期值晚时，PBS1 的延长时间最大只能为 SJW 的设定值。
 - 相位缓冲段 2（PBS2）
具有和 PBS1 相同功能的段。位的下降沿比预期值早时，PBS2 的缩短时间最大只能为 SJW 的设定值。

位时序图如图 20.15 所示。

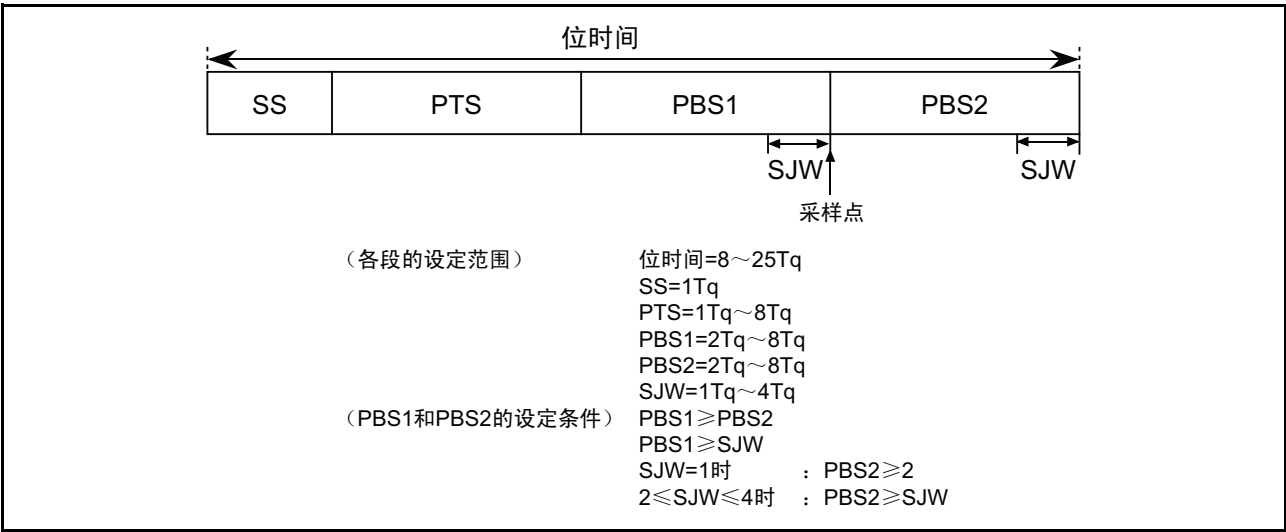


图 20.15 位时序图

20.8 传送速度

传送速度由 f1、CAN 模块系统时钟分频值、波特率预分频器分频值及 1 位的 Tq 数决定。
传送速度的实现例如表 20.2 所示。

表 20.2 传送速度的实现例

传送速度	24MHz（注 2）	20MHz	16MHz	10MHz	8MHz
1Mbps	12Tq（1）	10Tq（1）	8Tq（1）	—	—
500kbps	8Tq（3）	10Tq（2）	8Tq（2）	10Tq（1）	8Tq（1）
	12Tq（2）	20Tq（1）	16Tq（1）	—	—
	24Tq（1）	—	—	—	—
125kbps	8Tq（12）	8Tq（10）	8Tq（8）	8Tq（5）	8Tq（4）
	12Tq（8）	10Tq（8）	16Tq（4）	10Tq（4）	16Tq（2）
	16Tq（6）	16Tq（5）	—	20Tq（2）	—
	24Tq（4）	20Tq（4）	—	—	—
83.3kbps	8Tq（18）	8Tq（15）	8Tq（12）	10Tq（6）	8Tq（6）
	12Tq（12）	10Tq（12）	16Tq（6）	20Tq（3）	16Tq（3）
	16Tq（9）	20Tq（6）	—	—	—
	24Tq（6）	—	—	—	—
33.3kbps	10Tq（36）	10Tq（30）	8Tq（30）	10Tq（15）	8Tq（15）
	12Tq（30）	20Tq（15）	10Tq（24）	—	10Tq（12）
	20Tq（18）	—	16Tq（15）	—	20Tq（6）
	24Tq（15）	—	20Tq（12）	—	—

注 1. （ ）内的数字表示 fCAN 分频值 × 波特率预分频器分频值。

注 2. 24MHz 只能在 Normal-ver. 中使用。

20.8.1 传送速度的计算式

$$\frac{f1}{2 \times \text{fCAN 分频值（注 1）} \times \text{波特率预分频器分频值（注 2）} \times 1 \text{ 位的 Tq 数}}$$

注 1. fCAN 分频值 = 1、2、4、8、16
fCAN 分频值：CCLKR 寄存器的选定值

注 2. 波特率预分频器分频值 = P + 1（P = 0 ~ 15）
P：CiCONR 寄存器的 BRP 位的选定值（i = 0、1）

20.9 接收滤波功能和屏蔽功能

该功能是由用户可以选择接收任意消息的功能。CiGMR 寄存器（ $i = 0、1$ ）、CiLMAR 寄存器及 CiLMBR 寄存器可对标准 ID 和扩展 ID 的 29 位进行屏蔽。CiGMR 寄存器对应槽 0 ~ 13、CiLMAR 寄存器对应槽 14、CiLMBR 寄存器对应槽 15。屏蔽功能在进行接收滤波处理时，根据 CiIDR 寄存器对应的槽的设定值，对接收 ID 的 11 位或 29 位有效。如果使用屏蔽功能，可以接收某个范围内的 ID。

各个屏蔽寄存器和槽的对应如图 20.16 所示，接收功能如图 20.17 所示。

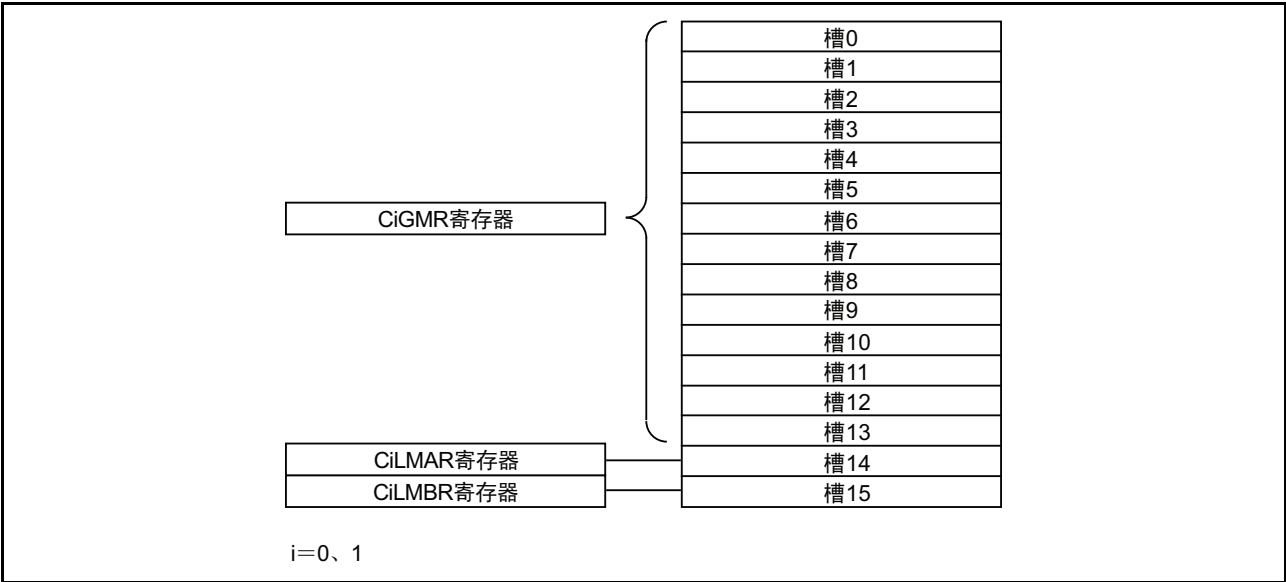


图 20.16 各个屏蔽寄存器和槽的对应

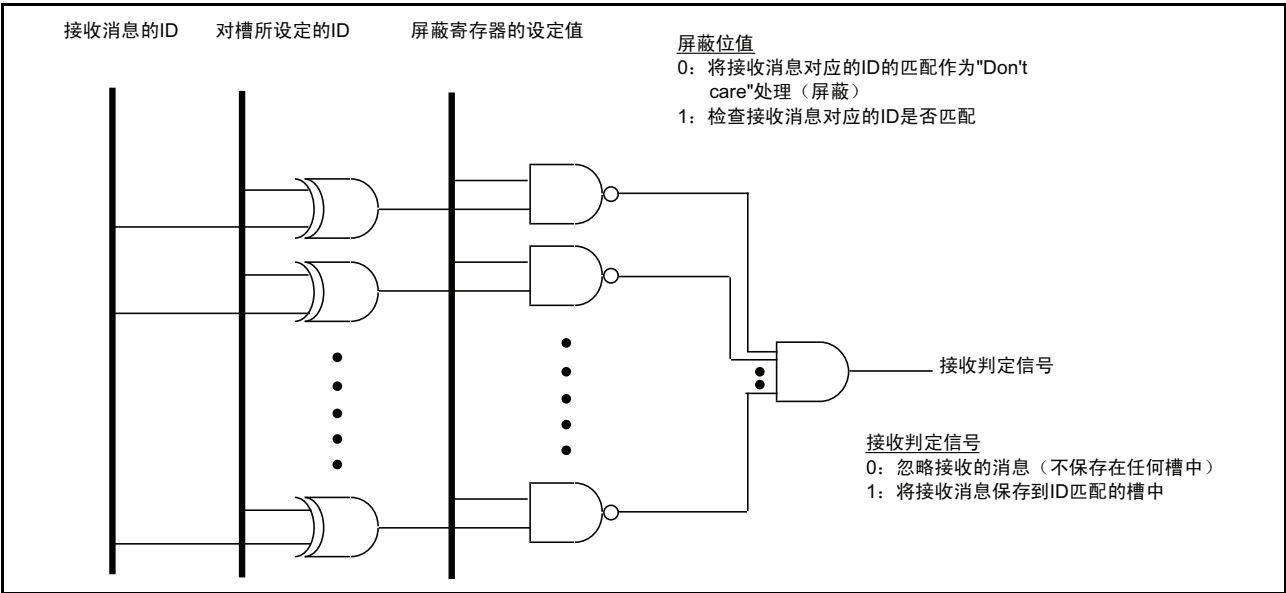


图 20.17 接收功能

- 使用接收功能时必须注意以下几点。
- (1) 对不同的槽设定相同的 ID 进行接收时，槽号小的槽有效。
 - (2) 在 Basic CAN 模式下将槽 14、15 设定为接收所有的 ID（消息）时，槽 14、15 接收槽 0 ~ 13 不接收的所有的 ID。

20.10 接收滤波支持单元（ASU）

ASU 是通过检索表格来判断接收的 ID 是否有效的功能。将需要接收的 ID 登录到数据表，并将已经接收的 ID 保存到 CiAFS 寄存器（i = 0、1）后，使用解码后的接收 ID 进行表格检索。该 ASU 只能用于标准 ID。

- ASU 在以下情况下有效。
- 不能通过接收滤波器对需要接收的 ID 进行屏蔽时
例如：需要接收的 ID：078h、087h、111h
 - 需要接收的 ID 非常多，用软件滤波耗费时间过多时

字存取时的 CiAFS 寄存器的写入及读出时的状态如图 20.18 所示。

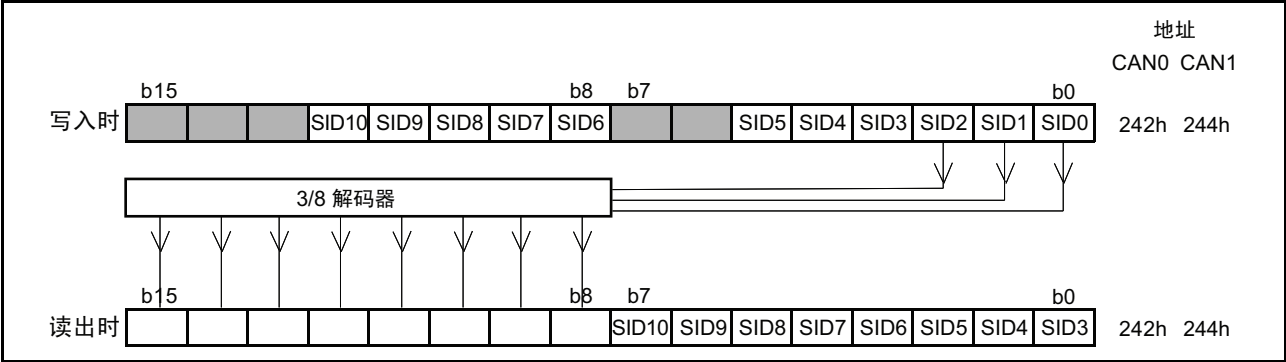


图 20.18 字存取时的 CiAFS 寄存器的写入及读出时的状态

20.11 Basic CAN 模式

如果将 CiCTLR 寄存器（ $i = 0、1$ ）的 BasicCAN 位置“1”（Basic CAN 模式有效），槽 14、15 就对应 Basic CAN 模式。通常，各槽通过 CPU 设定只能处理数据帧或远程帧中的一种，而 Basic CAN 模式可以同时处理这两种帧。

如果在 Basic CAN 模式下设定槽 14、15 允许接收，接收到的数据帧或远程帧在槽 14 和槽 15 之间交替保存。

接收到的消息的数据格式，可通过 CiMCTLj 寄存器（ $j=0 \sim 5$ ）的 RemActive 位来判断。

Basic CAN 模式时的槽 14 和槽 15 的运行如图 20.19 所示。

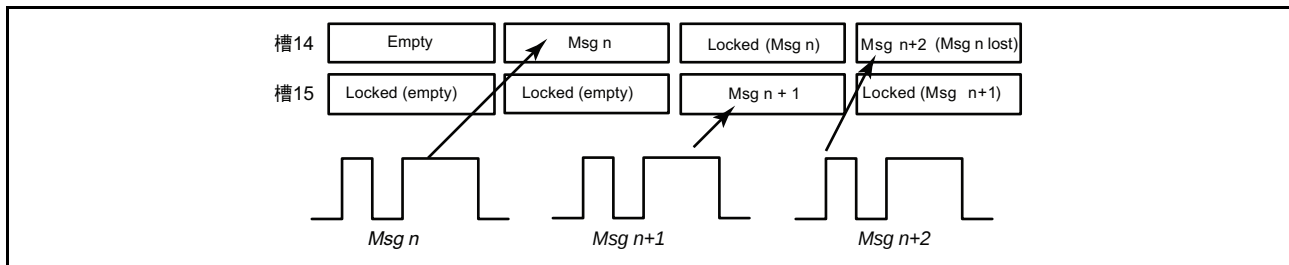


图 20.19 Basic CAN 模式时的槽 14 和槽 15 的运行

使用 Basic CAN 模式时，必须注意以下几点。

- (1) Basic CAN 模式的设定必须在 CAN 复位 / 初始化模式下进行。
- (2) 必须对槽 14 和槽 15 设定相同的 ID。并且，CiLMAR 寄存器及 CiLMBR 寄存器的设定也必须相同。
- (3) 槽 14 和槽 15 只能设定为接收槽。
- (4) 没有针对消息盖写的保护功能。通过新的消息盖写各槽。
- (5) 槽 0 ~ 13 的运行不改变。

20.12 总线关闭返回功能

协议控制器进入总线关闭状态时，如果使用 CiCTLR 寄存器 (i=0、1) 的总线关闭功能 (将 RetBusOff 位置 “1” (从总线关闭状态强制返回))，可强制从总线关闭状态返回。此时，错误状态从总线关闭状态变为错误有效状态。如果执行此功能，将初始化 CiRECR 寄存器及 CiTECR 寄存器，CiSTR 寄存器的 State_BusOff 位变为 “0” (不是错误总线关闭状态)，但 CiCONR 寄存器等 CAN 模块的各寄存器和各槽的内容不被初始化。

20.13 时戳计数器和时戳功能

如果读取 CiTSR 寄存器 (i = 0、1)，就能读出该时刻的时戳计数器的值。时戳计数器的基准时钟周期与 CiCONR 寄存器中设定的 1 位时间的周期相同。时戳计数器可作为自由运行计数器使用。

时戳计数器的基准时钟，可根据 CiCTLR 寄存器的 TSPreScale 位的设定，选择 1 位时间的周期的 1、2、4 或 8 分频。

并且，时戳计数器备有捕捉计数值的寄存器 (当协议控制器认为接收结束时，该寄存器捕捉计数值)。在向接收槽保存时戳值时，保存捕捉到的值。

20.14 只监听模式

如果将 CiCTLR 寄存器 (i = 0、1) 的 RXOnly 位置 “1”，就进入只监听模式。

在只监听模式下，数据帧、错误帧的发送及 ACK 应答等对总线的发送都不能进行。

选择只监听模式时，不能产生发送请求。

20.15 CAN 接收和 CAN 发送

CAN 接收模式和 CAN 发送模式的设定方法如表 20.3 所示。

表 20.3 CAN 接收模式和 CAN 发送模式的设定方法

TrmReq	RecReq	Remote	RspLock	槽的通信模式设定内容
0	0	—	—	通信环境设定模式。 必须通过 CPU 设定该槽的通信环境。
0	1	0	0	设定为数据帧的接收槽。
1	0	1	0	设定为远程帧的发送槽（此时 RemActive 位 =1）。 发送后，作为数据帧的接收槽使用（此时 RemActive 位 =0）。 但是，在发送远程帧前检测出 CAN 总线上匹配的 ID 时，立即作为数据帧的接收槽使用。
1	0	0	0	设定为数据帧的发送槽。
0	1	1	1/0	设定为远程帧的接收槽（此时 RemActive 位 =1）。 接收后，作为数据帧的发送槽使用（此时 RemActive 位 =0）。 但是，只要 RspLock 位 =1，发送就不开始，也不进行自动应答。 如果使 RspLock 位 =0，就开始应答（发送）。

TrmReq、RecReq、Remote、RspLock、RemActive、RspLock: CiMCTLj 寄存器（i = 0、1、j = 0 ~ 15）的位

在接收模式下必须注意以下几点。

- （1）必须在将 CiMCTLj 寄存器设为“00h”后，再进行槽的接收设定。
- （2）在设定接收模式和进行接收滤波处理后，接收的消息被保存在第一个符合条件的槽中。决定保存槽时，槽号小的槽优先级高。
- （3）在一般 CAN 运行模式下，即使本节点发送的消息 ID 匹配，本节点也不接收。但是，Loop Back（环回）模式时，在 ID 匹配时接收该消息。只是在这种情况下不返回 ACK。

在发送模式下必须注意以下几点。

- （1）必须在将 CiMCTLj 寄存器设为“00h”后，再进行槽的发送设定。
- （2）必须在将 CiMCTLj 寄存器的 TrmReq 位清“0”（不是发送槽）后，再改写发送槽。
- （3）CiMCTLj 寄存器的 TrmActive 位为“1”（正在发送）时，不能改写发送槽。如果改写，将输出不确定的数据。

20.15.1 接收

接收数据帧时的运行例如图 20.20 所示。此例表示的是接收 2 个连续的消息时 CAN 模块的运行。

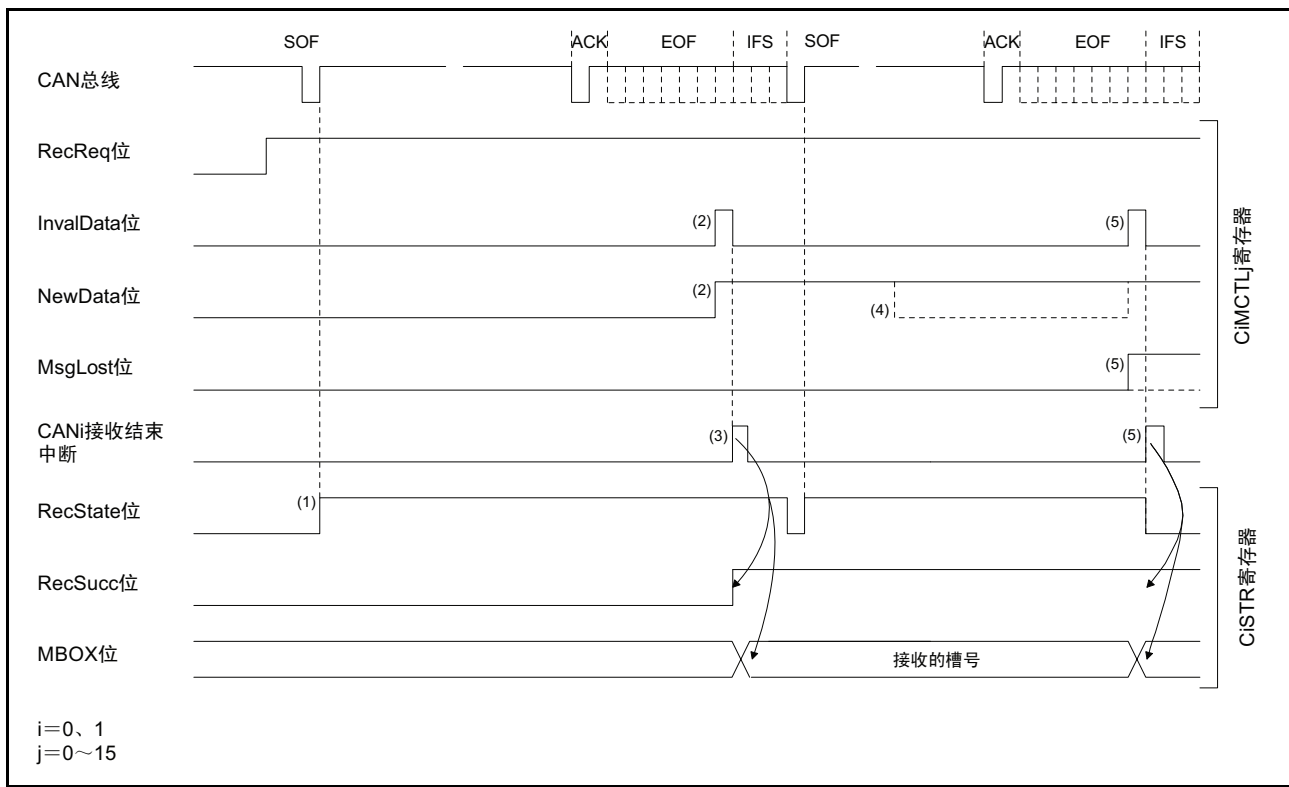


图 20.20 接收数据帧时的运行例

- (1) 如果在 CAN 总线上检测到 SOF，CiSTR 寄存器（ $i=0、1$ ）的 RecState 位立即变为“1”（正在接收），并开始接收消息。
- (2) 如果结束接收消息，接收槽的 CiMCTLj 寄存器（ $j=0\sim15$ ）的 NewData 位就变为“1”（槽中保存新的数据）。同时，CiMCTLj 寄存器的 InvalData 位变为“1”（数据更新中），当消息被完全保存到该槽后，InvalData 位返回为“0”（消息有效）。
- (3) 接收的槽的 CiICR 寄存器的中断允许位为“1”（允许中断）时，产生 CANi 接收结束中断请求，CiSTR 寄存器的 MBOX 位（接收了消息的槽号）和 RecSucc 位发生改变。
- (4) 必须在通过程序将 New Data 位清“0”（CPU 读取槽内容，或正在读取）后，从槽中读取消息。
- (5) 在通过程序将 New Data 位清“0”，或者取消对槽的接收请求前接收下一个 CAN 消息时，CiMCTLj 寄存器的 MsgLost 位变为“1”（消息被盖写）。并且，新接收到的消息也保存到该槽中。中断请求和 CiSTR 寄存器的变化与（3）相同。

20.15.2 发送

发送数据帧时的运行例如图 20.21 所示

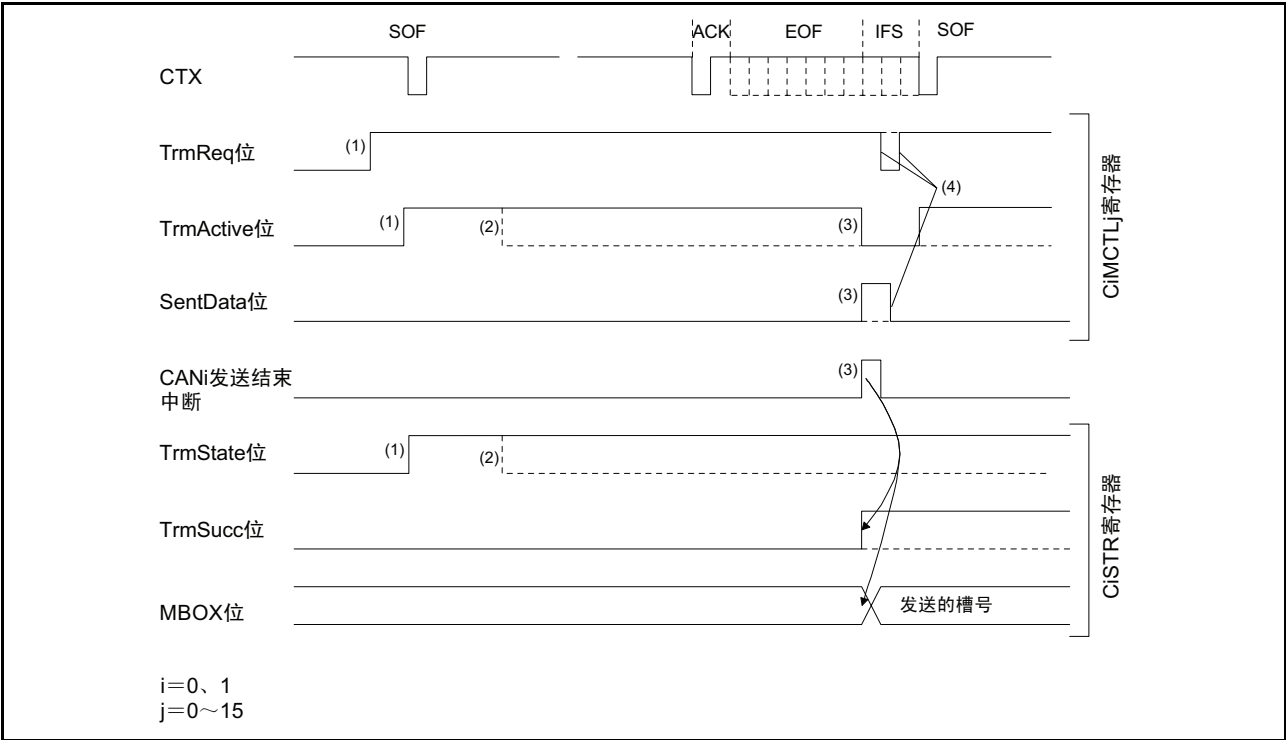


图 20.21 发送数据帧时的运行例

- (1) 总线空闲时，如果将 CiMCTLj 寄存器的 TrmReq 位置“1”（发送槽），CiMCTLj 寄存器的 TrmActive 位及 CiSTR 寄存器的 TrmState 位就变为“1”（发送中），开始发送。
- (2) 开始发送后，如果产生仲裁失败，TrmActive 位及 TrmState 位就变为“0”。
- (3) 如果未发生仲裁失败而结束发送，CiMCTLj 寄存器的 SentData 位就变为“1”（发送结束），TrmActive 位就变为“0”（总线空闲等待或仲裁结束等待）。并且，CiICR 寄存器的中断允许位为“1”（中断允许）时，产生 CANi 发送结束中断请求，CiSTR 寄存器的 MBOX 位（发送消息的槽号）和 TrmSucc 位发生改变。
- (4) 进行下一次发送时，将 TrmReq 位及 SentData 位清“0”，必须在确认 TrmReq 位及 SentData 位变为“0”后，再将 TrmReq 位置“1”。

20.16 CAN 中断

CAN 模块有以下的 CAN 中断。

- CANi 接收结束中断 (i=0、1)
- CANi 发送结束中断
- CAN0/1 错误中断：被动错误状态
总线关闭状态
总线错误
- CAN0/1 唤醒中断

产生 CANi 接收结束中断、CANi 发送结束中断请求时，通过读 CiSTR 寄存器的 MBOX 位，可判断产生中断请求的槽。

21. 可编程 I/O 端口

可编程 I/O 端口（以下称为 I/O 端口）在 100 引脚版中有 87 个、128 引脚版中有 113 个。能通过方向寄存器逐个设定各端口的输入 / 输出。另外，能以 4 个为单位选择是否上拉。P8_5 为输入专用并且无上拉电阻。因为端口 P8_5 和 NMI 复用引脚，所以能从 P8 寄存器的 P8_5 位读取 NMI 输入电平。

各封装的 I/O 端口的个数如表 21.1 所示、I/O 端口的结构如图 21.1 ~ 图 21.5、引脚的结构如图 21.6 所示。各引脚作为 I/O 端口、外围功能的输入 / 输出或者总线控制引脚（注 1）使用。

外围功能的设定方法请参照各功能的说明。在用作外围功能的输入引脚或者 SI/O4、D/A 转换器的输出引脚时，必须将对应的引脚的方向位清“0”（输入模式）；用作 SI/O4、D/A 转换器以外的外围功能的输出引脚时，与方向位无关，为外围功能的输出引脚。

在用作总线控制引脚（注 1）时，请参照“8.2 总线控制”。

注 1. 在 T/V-ver. 中，不能使用总线控制引脚。

表 21.1 各封装的 I/O 端口的个数

	128 引脚版	100 引脚版
I/O 端口	P0_0 ~ P0_7、 P1_0 ~ P1_7、 P2_0 ~ P2_7、 P3_0 ~ P3_7、 P4_0 ~ P4_7、 P5_0 ~ P5_7、 P6_0 ~ P6_7、 P7_0 ~ P7_7、 P8_0 ~ P8_4、P8_6、P8_7 （P8_5 为输入端口）、 P9_0 ~ P9_7、 P10_0 ~ P10_7、 P11_0 ~ P11_7、 P12_0 ~ P12_7、 P13_0 ~ P13_7、 P14_0、P14_1	P0_0 ~ P0_7、 P1_0 ~ P1_7、 P2_0 ~ P2_7、 P3_0 ~ P3_7、 P4_0 ~ P4_7、 P5_0 ~ P5_7、 P6_0 ~ P6_7、 P7_0 ~ P7_7、 P8_0 ~ P8_4、P8_6、P8_7 （P8_5 为输入端口）、 P9_0 ~ P9_7、 P10_0 ~ P10_7
共计	113 个	87 个

21.1 PDi 寄存器 (i=0 ~ 10 (100 引脚版)、i=0 ~ 13 (128 引脚版))

PDi 寄存器如图 21.7 所示。

它是选择将 I/O 端口用作输入还是用作输出的寄存器。此寄存器的每 1 位对应每 1 个端口。

在存储器扩展模式或者微处理器模式 (注 1) 中，不能更改总线控制引脚 ($\overline{A0} \sim \overline{A19}$ 、 $\overline{D0} \sim \overline{D15}$ 、 $\overline{CS0} \sim \overline{CS3}$ 、 $\overline{RD}$ 、 $\overline{WRL/WR}$ 、 $\overline{WRH/BHE}$ 、 $\overline{ALE}$ 、 $\overline{RDY}$ 、 $\overline{HOLD}$ 、 $\overline{HLDA}$ 、 $\overline{BCLK}$) 的 PDi 寄存器。

另外，没有对应 P8_5 的方向寄存器的位。

注 1. 在 T/V-ver. 中，不能使用存储器扩展模式、微处理器模式。

21.2 Pi 寄存器 (i=0 ~ 10 (100 引脚版)、i=0 ~ 13 (128 引脚版))、PC14 寄存器

Pi 寄存器如图 21.8 所示。

通过对 Pi 寄存器的读写，进行与外部的数据输入 / 输出。Pi 寄存器由保持输出数据的端口锁存器和读引脚状态的电路构成。如果读取设定为输入模式的端口的 Pi 寄存器，就能读取引脚的输入电平；如果写数据，就将数据写到端口锁存器。

如果读取设定为输出模式的端口的 Pi 寄存器，就能读取端口锁存器；如果写数据，就将数据写到端口锁存器。写在端口锁存器的值从引脚输出。Pi 寄存器的每 1 位对应每 1 个端口。

在存储器扩展模式或者微处理器模式 (注 1) 中，不能更改总线控制引脚 ($\overline{A0} \sim \overline{A19}$ 、 $\overline{D0} \sim \overline{D15}$ 、 $\overline{CS0} \sim \overline{CS3}$ 、 $\overline{RD}$ 、 $\overline{WRL/WR}$ 、 $\overline{WRH/BHE}$ 、 $\overline{ALE}$ 、 $\overline{RDY}$ 、 $\overline{HOLD}$ 、 $\overline{HLDA}$ 、 $\overline{BCLK}$) 的 Pi 寄存器。

关于端口 P14 (仅限 128 引脚版)，PC14 寄存器如图 21.8 所示。

注 1. 在 T/V-ver. 中，不能使用存储器扩展模式、微处理器模式。

21.3 PURj 寄存器 (j=0 ~ 2 (100 引脚版)、j=0 ~ 3 (128 引脚版))

PURj 寄存器如图 21.9、图 21.10 所示。

能通过 PURj 寄存器的各位，以 4 个引脚为单位选择是否上拉。在将方向位设定为输入模式时，选择上拉的端口连接上拉电阻。

在存储器扩展模式和微处理器模式 (注 1) 中，P0 ~ P3、P4_0 ~ P4_3、P5 的上拉控制寄存器无效。能更改寄存器的内容，但是不连接上拉电阻。

使用端口 P11 ~ P14 时，必须将 PUR3 寄存器的 PU37 位置 “1” (可使用 P11 ~ P14)。

注 1. 在 T/V-ver. 中，不能使用存储器扩展模式、微处理器模式。

21.4 PCR 寄存器

PCR 寄存器如图 21.11 所示。

如果在将 PCR 寄存器的 PCR0 位置 “1” 后读取 P1 寄存器，就与 PD1 寄存器的设定无关，读取对应的端口锁存器。

单芯片模式时的未使用引脚的处理例子如表 21.2、存储器扩展模式和微处理器模式时的未使用引脚的处理例子如表 21.3、未使用引脚的处理例子如图 21.12 所示。

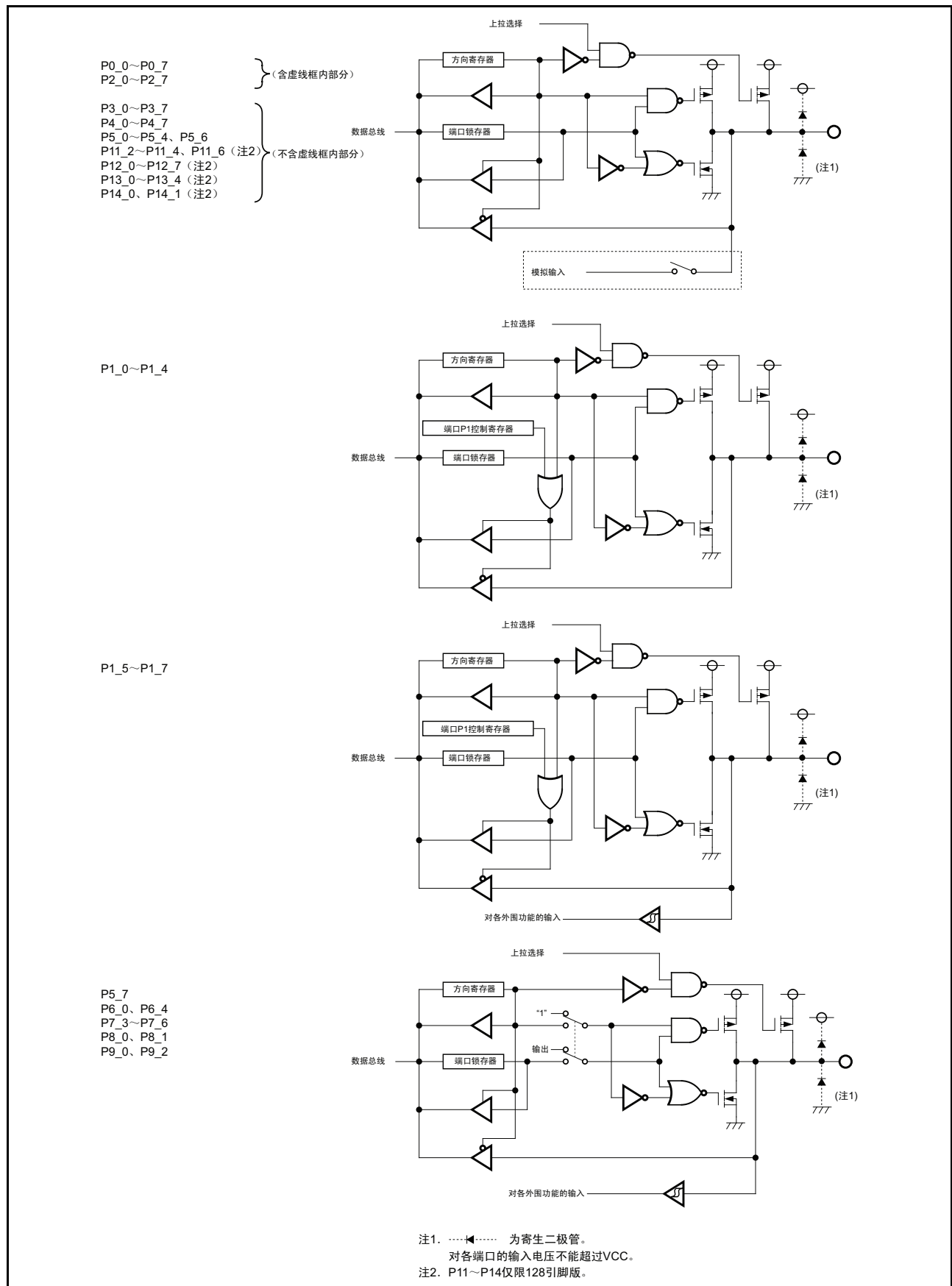


图 21.1 I/O 端口的结构（1）

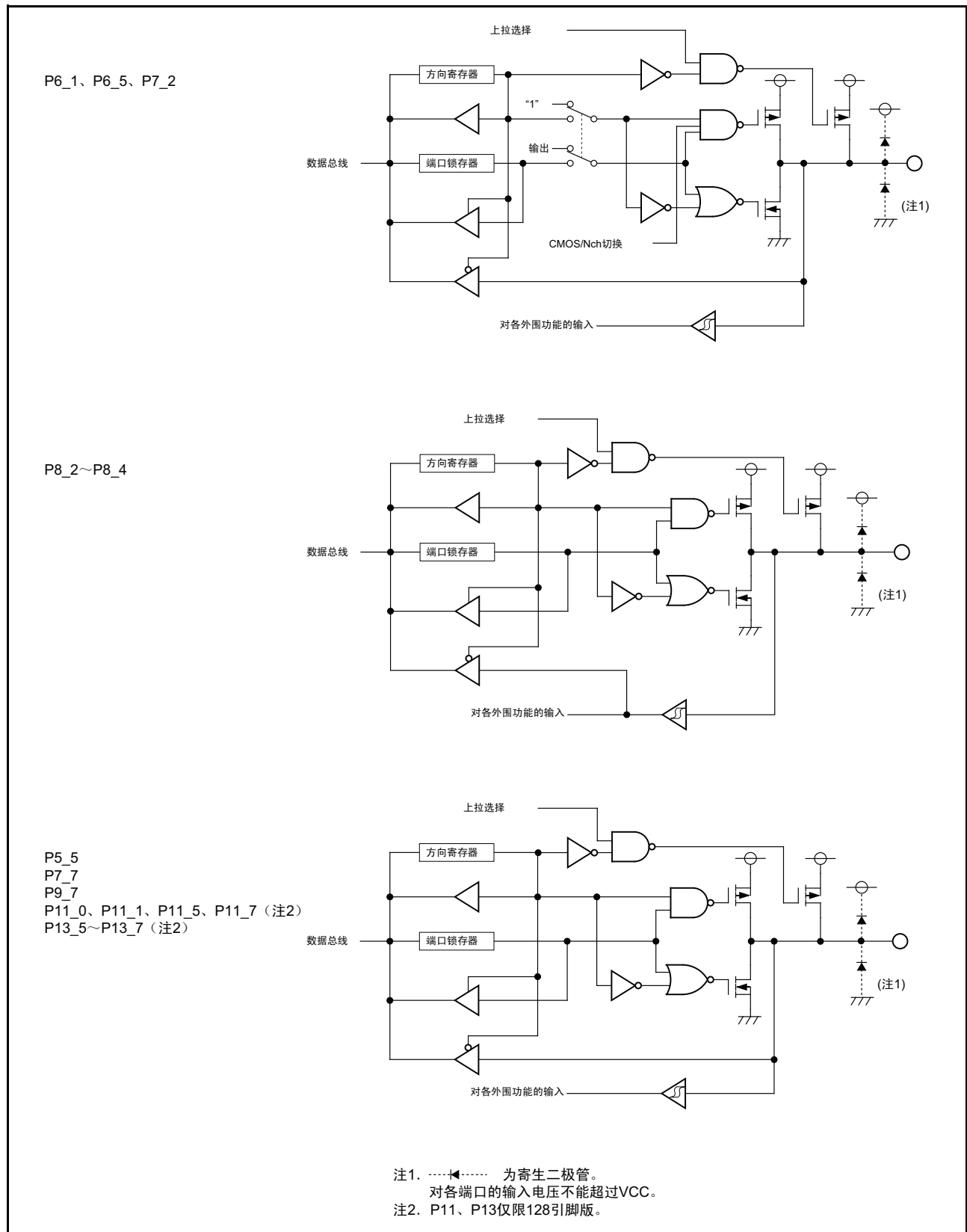


图 21.2 I/O 端口的结构 (2)

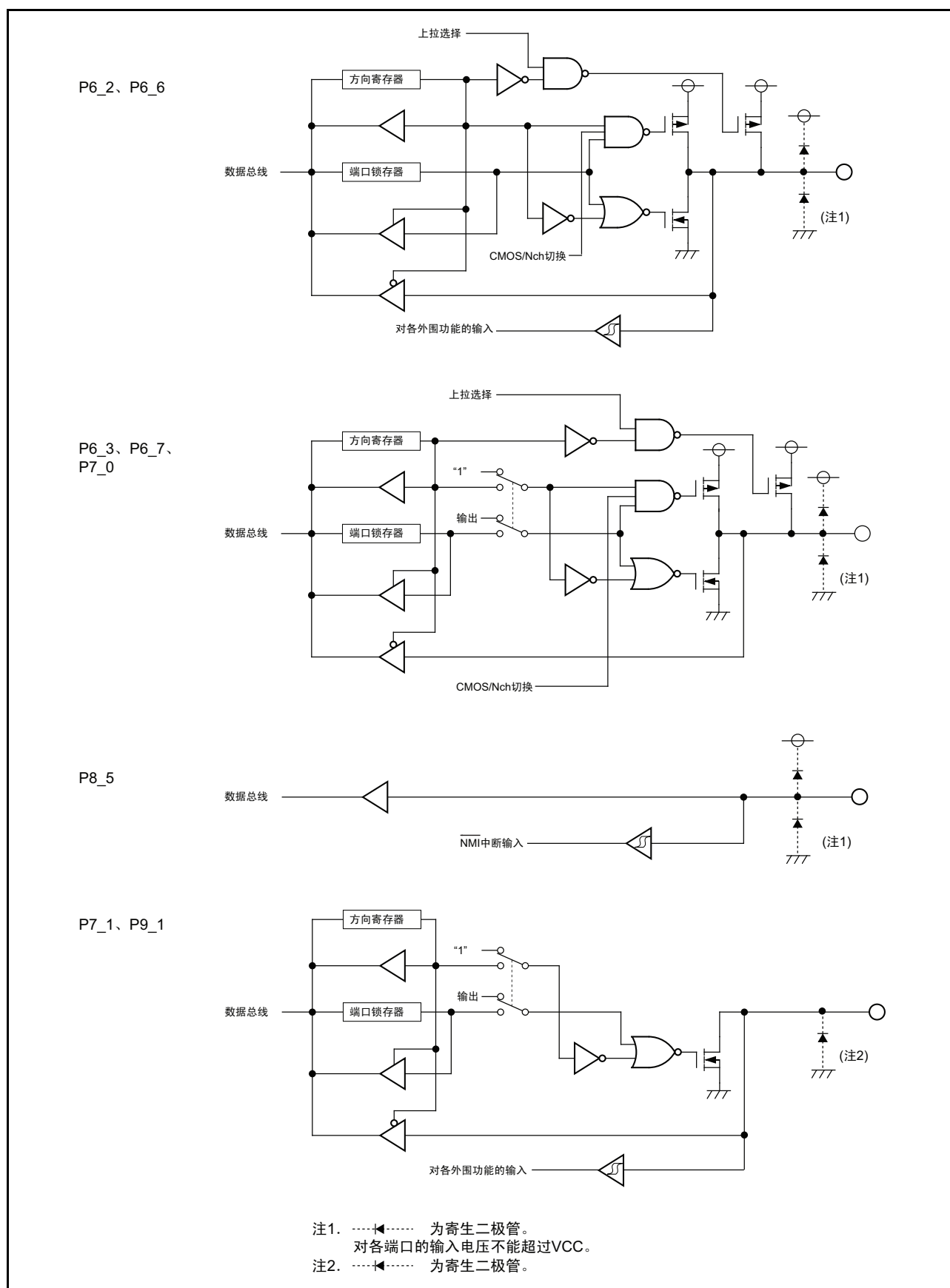


图 21.3 I/O 端口的结构 (3)

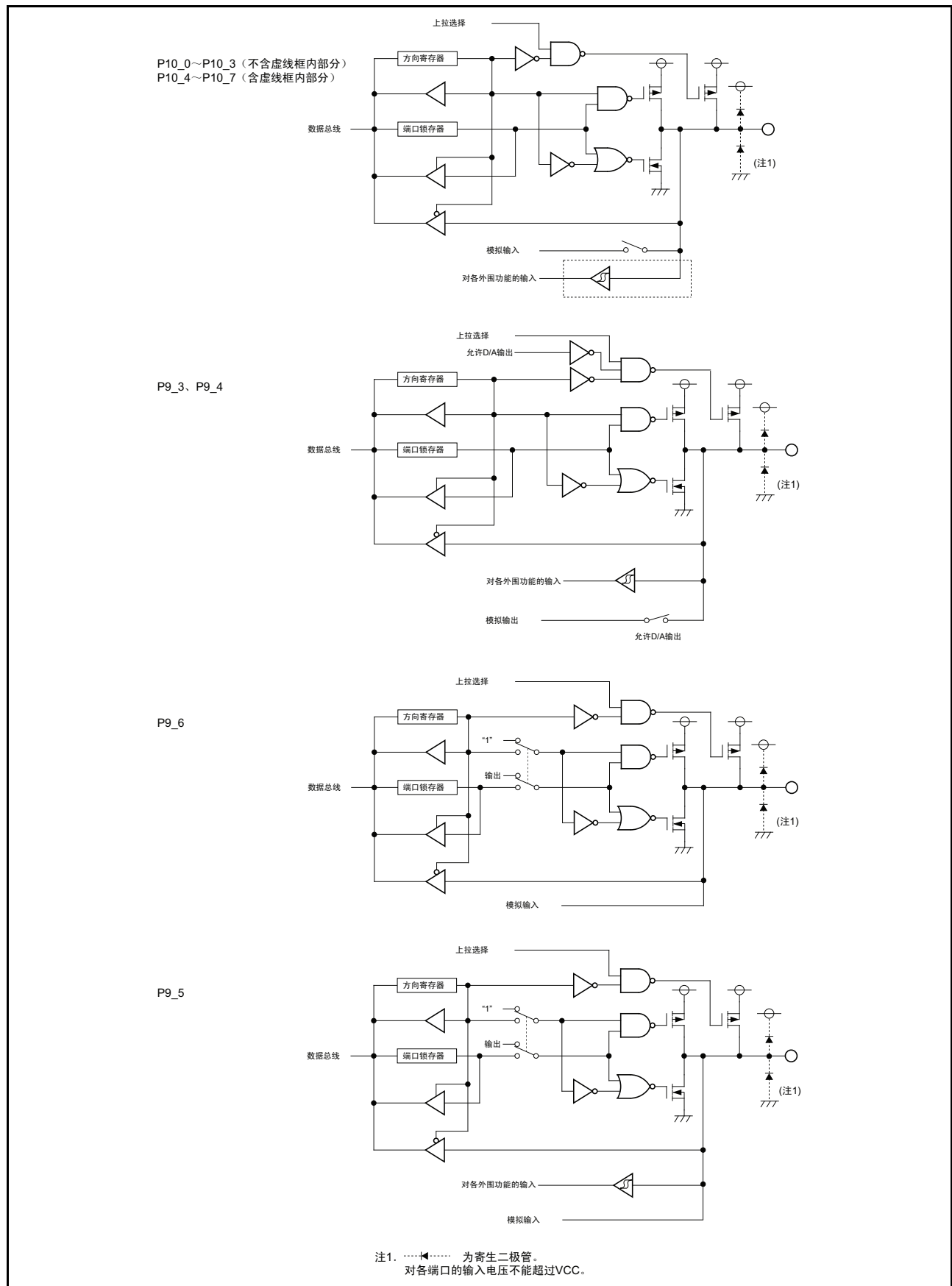


图 21.4 I/O 端口的结构 (4)

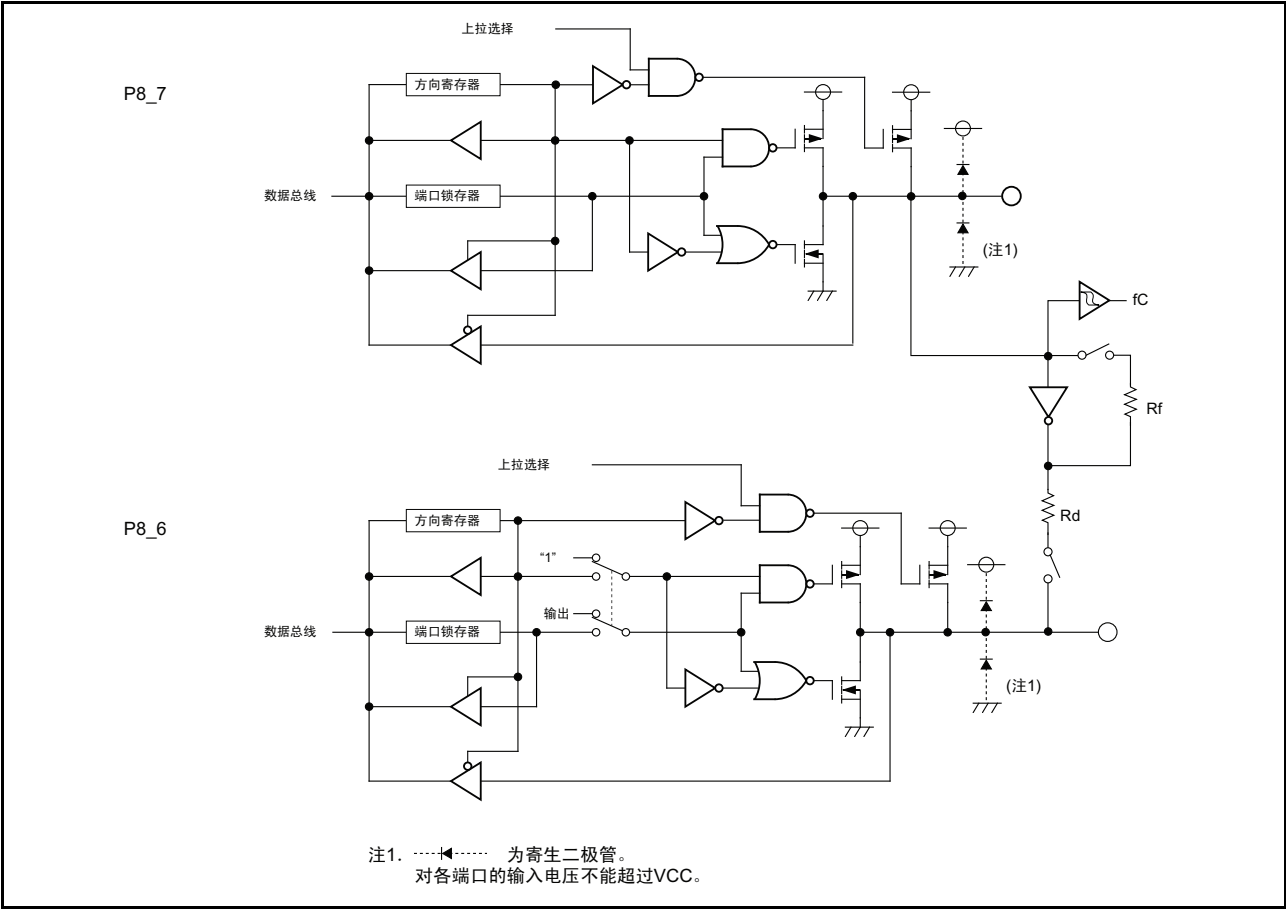


图 21.5 I/O 端口的结构（5）

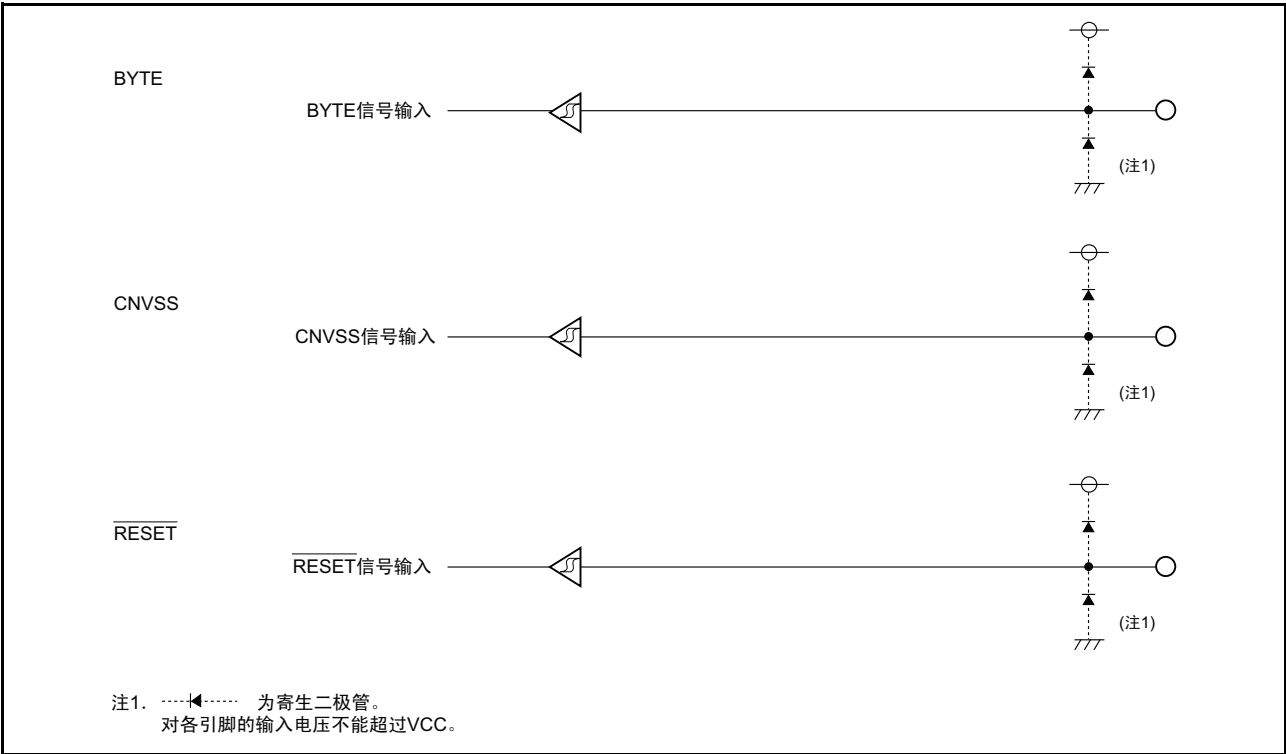


图 21.6 引脚的结构

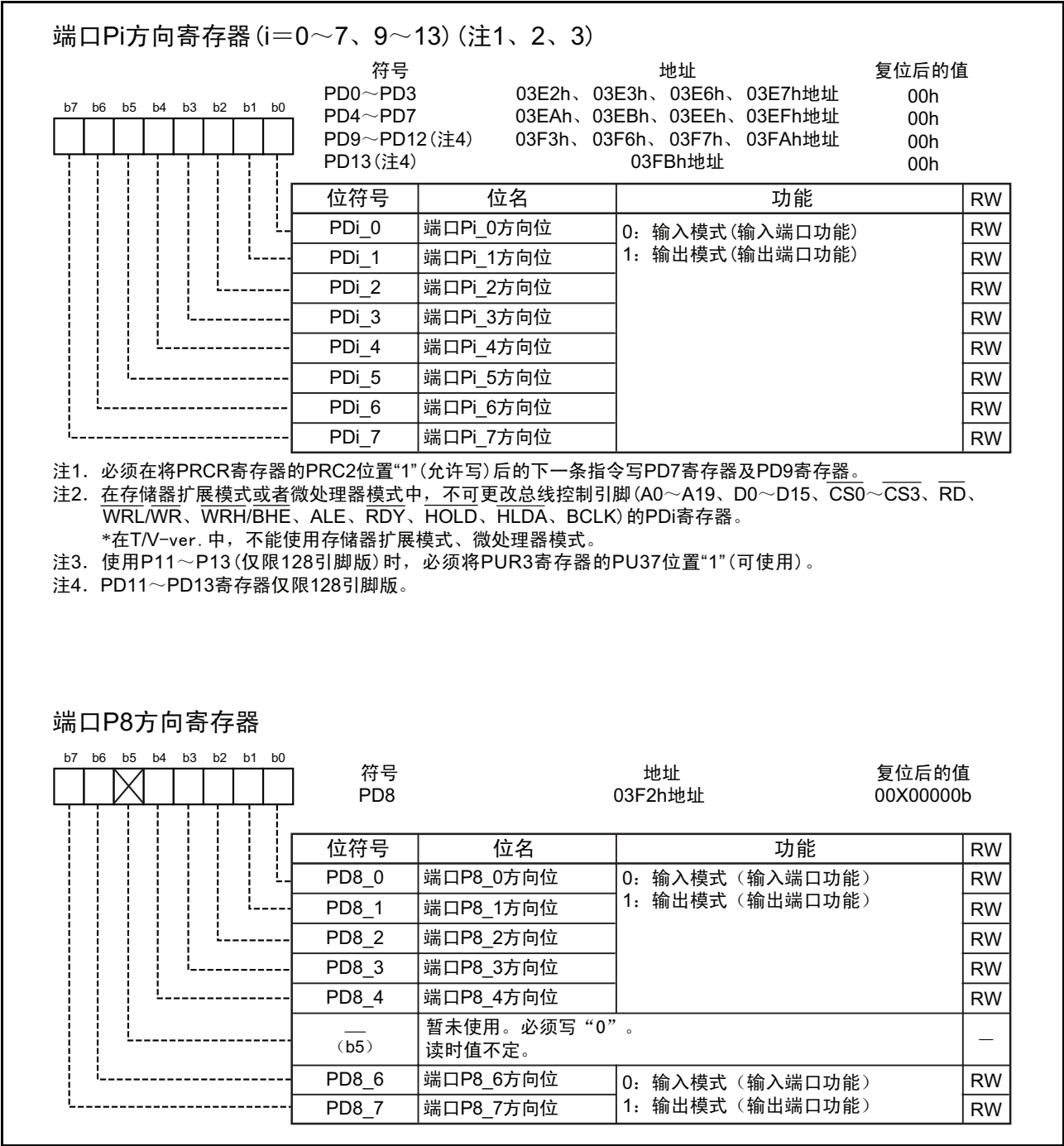


图 21.7 PD0 ~ PD13 寄存器

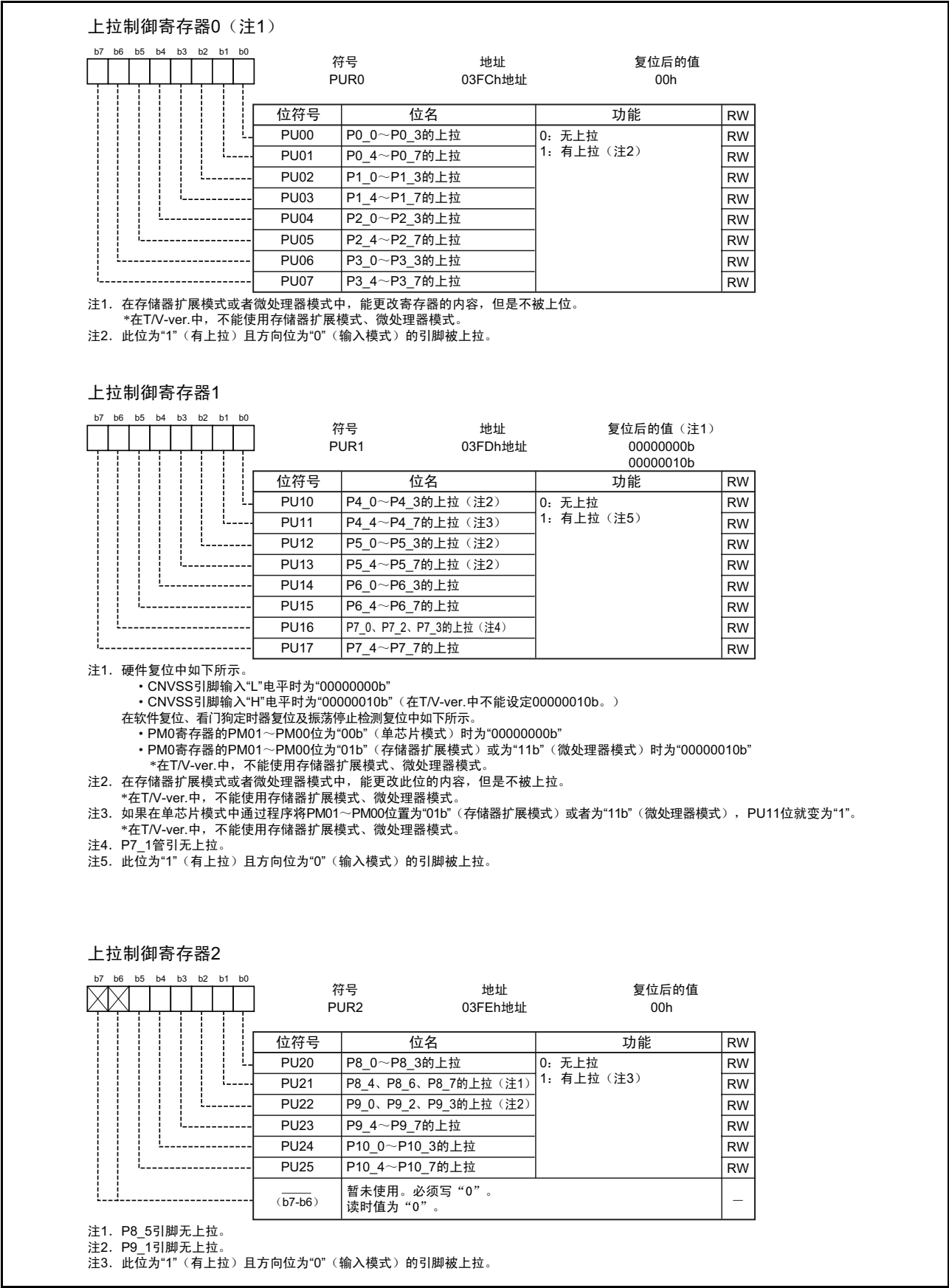


图 21.9 PUR0 ~ PUR2 寄存器

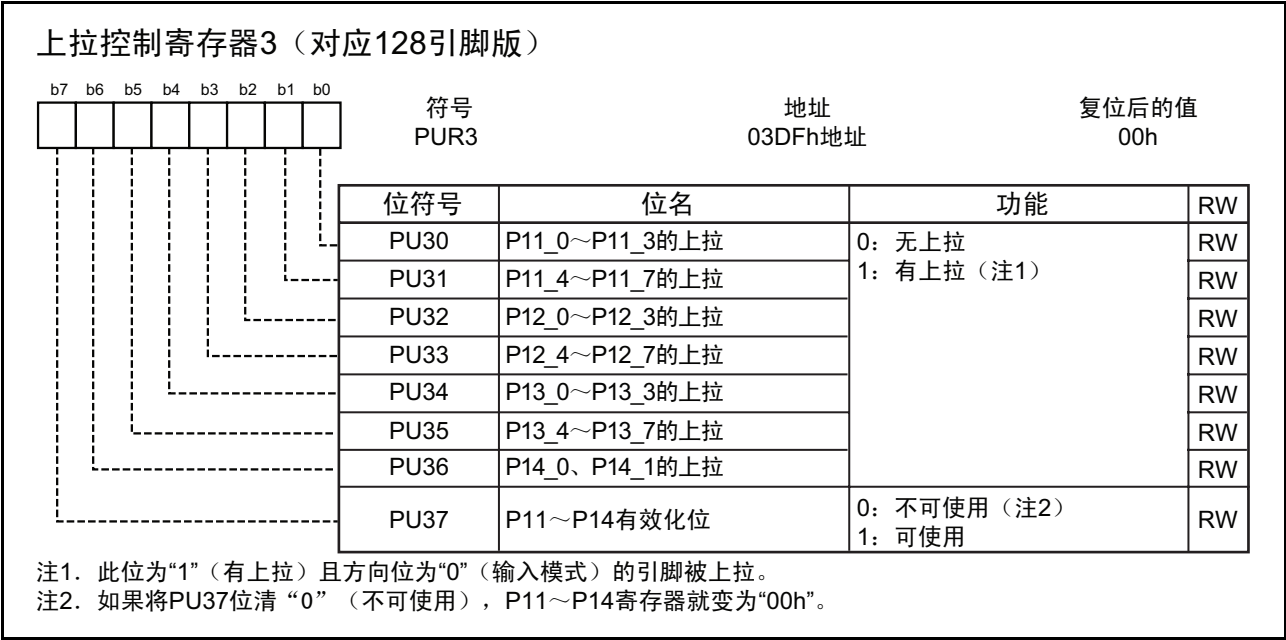


图 21.10 PUR3 寄存器

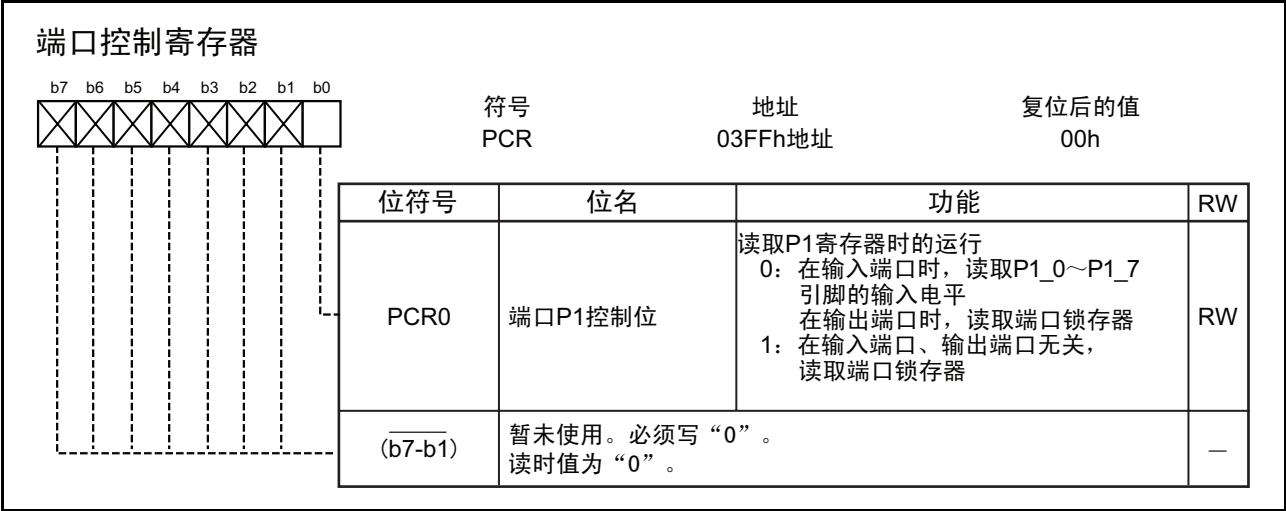


图 21.11 PCR 寄存器

表 21.2 单芯片模式时的未使用引脚的处理例子

引脚名	处理内容
端口 P0 ~ P7、P8_0 ~ P8_4、 P8_6、P8_7、P9 ~ P14（注 5）	设定为输入模式，每个引脚经过电阻连接到 VSS（下拉）；或者设定为输出模式，引脚开路（注 1、2、3）
XOUT（注 4）	开路
$\overline{\text{NMI}}$ （P8_5）	经过电阻连接到 VCC（上拉）
AVCC	连接到 VCC
AVSS、VREF、BYTE	连接到 VSS

- 注 1. 在设定为输出模式且引脚开路时，由于在复位后、通过程序将端口切换为输出模式之前，端口为输入模式，所以在此期间引脚的电压值不定，从而可能导致电源电流增加。
另外，考虑到由于噪声或者噪声引起的失控等而导致方向寄存器的内容变化的情况，如果通过软件定期地重新设定方向寄存器内容，就能提高程序的可靠性。
- 注 2. 尽量用较短的布线（2cm 以内）处理单片机的未使用引脚。
- 注 3. 在将端口 P7_1、P9_1 设定为输出模式时，必须输出“L”电平。端口 P7_1、P9_1 为 N 沟道漏极开路输出。
- 注 4. 在将外部时钟输入到 XIN 引脚时。
- 注 5. 端口 P11 ~ P14 仅限 128 引脚版。在端口 P11 ~ P14 都不使用时，可将 PUR3 寄存器的 PU37 位清“0”（不可使用 P11 ~ P14）且 P11 ~ P14 引脚开路。

表 21.3 存储器扩展模式和微处理器模式中的未使用引脚的处理例子（仅限 Normal-ver.）

引脚名	处理内容
端口 P6、P7、P8_0 ~ P8_4、 P8_6、P8_7、P9 ~ P14（注 7）	设定为输入模式，每个引脚经过电阻连接到 VSS（下拉）；或者设定为输出模式，引脚开路（注 1、2、3、4）
P4_5/ $\overline{\text{CS1}}$ ~ P4_7/ $\overline{\text{CS3}}$	将对应 PD4 寄存器的 $\overline{\text{CSi}}$ （i=1 ~ 3）的方向位清“0”（输入模式）、CSR 寄存器的 $\overline{\text{CSi}}$ 位清“0”（片选禁止），经过电阻连接到 VCC（上拉）
$\overline{\text{BHE}}$ 、ALE、 $\overline{\text{HLDA}}$ 、XOUT（注 5）、 BCLK（注 6）	开路
$\overline{\text{HOLD}}$ 、 $\overline{\text{RDY}}$ 、 $\overline{\text{NMI}}$ （P8_5）	经过电阻连接到 VCC（上拉）
AVCC	连接到 VCC
AVSS、VREF	连接到 VSS

- 注 1. 在设定为输出模式且引脚开路时，由于在复位后、通过程序将端口切换为输出模式之前，端口为输入模式，所以在此期间引脚的电压值不定，从而可能导致电源电流增加。
另外，考虑到由于噪声或者噪声引起的失控等而导致方向寄存器的内容变化的情况，如果通过软件定期地重新设定方向寄存器的内容，就能提高程序的可靠性。
- 注 2. 尽量用较短的布线（2cm 以内）处理单片机的未使用引脚。
- 注 3. 在将 VSS 电平外加到 CNVSS 引脚时，因为在复位以后、通过程序将端口转换为输出模式以前，端口为输入模式，所以在此期间引脚的电压值不定，从而可能导致电源电流增加。
- 注 4. 在将端口 P7_1、P9_1 设定为输出模式时，必须输出“L”电平。端口 P7_1、P9_1 为 N 沟道漏极开路输出。
- 注 5. 在将外部时钟输入到 XIN 引脚时。
- 注 6. 如果将 PM0 寄存器的 PM07 位置“1”（不输出 BCLK），必须经过电阻连接到 VCC（上拉）。
- 注 7. 端口 P11 ~ P14 仅限 128 引脚版。在端口 P11 ~ P14 都不使用时，可将 PUR3 寄存器的 PU37 位清“0”（不可使用 P11 ~ P14）且 P11 ~ P14 引脚开路。

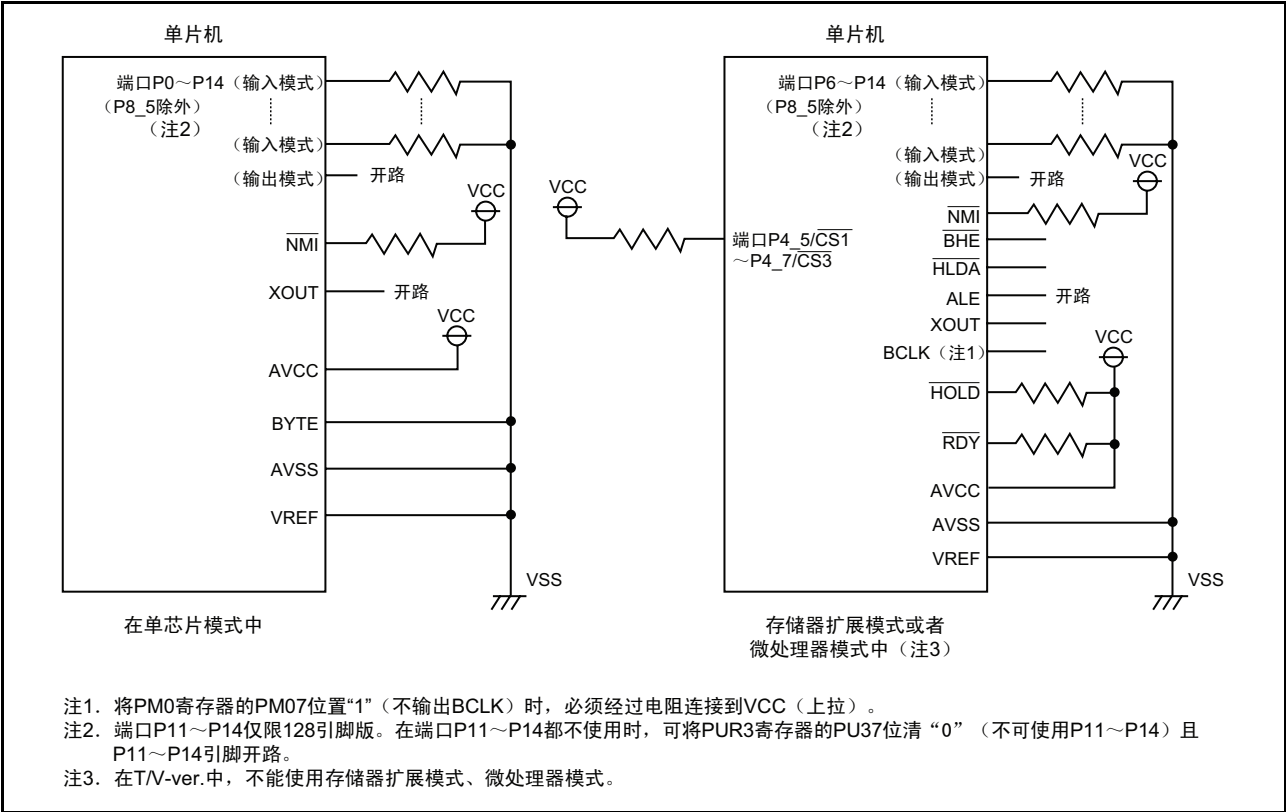


图 21.12 未使用引脚的处理例子

22. 闪存版

闪存版除了内置闪存以外，具有和掩模型 ROM 版相同的功能。

对于闪存版，能通过 CPU 改写模式、标准串行输入 / 输出模式和并行输入 / 输出模式及 CAN 输入 / 输出模式的 4 种改写模式进行闪存的操作。

闪存版的性能概要如表 22.1、闪存改写模式的概要如表 22.2 所示（表 22.1 所示以外的项目请参照“表 1.1、表 1.2 性能概要”）。

表 22.1 闪存版的性能概要

项目		性能
闪存改写模式		4 模式（CPU 改写、标准串行输入 / 输出、并行输入 / 输出、CAN 输入 / 输出）
擦除块分配	用户 ROM 区	请参照“图 22.1 闪存框图”。
	引导 ROM 区	1 个分配（4K 字节）（注 1）
编程方式		字单位、字节单位（注 2）
擦除方式		全部擦除、块擦除
编程、擦除控制方式		通过软件命令的编程、擦除控制
保护方式		通过锁住位的块单位保护
命令数		8 个命令
编程、擦除次数（注 3）		100 次
ROM 码保护		对应并行输入 / 输出模式、标准串行输入 / 输出模式、CAN 输入 / 输出

注 1. 在出货时，引导 ROM 区存有标准串行输入 / 输出模式及 CAN 输入 / 输出模式的改写控制程序。只能在并行输入 / 输出模式改写此区域。

注 2. 只能在并行输入 / 输出模式中以字节为单位进行编程。

注 3. 编程、擦除次数的定义

编程、擦除次数是各块的擦除次数。

例如，如果在对 4K 字节的块 A 进行了 2,048 次的 1 个字的写操作后擦除，编程、擦除次数就被计为 1 次。

编程、擦除次数为 100 次时，能按块进行 100 次的擦除。

表 22.2 闪存改写模式的概要

闪存改写模式	CPU 改写模式（注 1）	标准串行输入 / 输出模式	并行输入 / 输出模式	CAN 输入 / 输出模式
功能概要	能通过 CPU 执行软件命令改写用户区 EW0 模式： 能改写闪存以外的区域（注 2） EW1 模式： 能改写闪存	能使用专用串行编程器改写用户 ROM 区 • 标准串行输入 / 输出模式 1： 时钟同步串行 I/O • 标准串行输入 / 输出模式 2： UART（注 3）	能使用专用并行编程器改写引导 ROM 区和用户 ROM 区	使用专用 CAN 编程器改写用户 ROM 区
能改写的区域	用户 ROM 区	用户 ROM 区	用户 ROM 区 引导 ROM 区	用户 ROM 区
运行模式	单芯片模式 存储器扩展模式（EW0 模式）（注 4） 引导模式（EW0 模式）	引导模式	并行输入 / 输出模式	引导模式
ROM 编程器	—	串行编程器	并行编程器	CAN 编程器

注 1. 在 FMR0 寄存器的 FMR01 位为“1”（CPU 改写模式有效）期间，PM13 位为“1”。如果将 FMR01 位清“0”（CPU 改写模式无效），PM13 位恢复为原来的值。但是，如果在 CPU 改写模式中更改 PM13 位，就在将 FMR01 位清“0”后，反映更改值。

注 2. 在 CPU 改写模式中，PM1 寄存器的 PM10 位和 PM13 位为“1”。必须在内部 RAM 或者在 PM13 位为“1”时在能使用的外部区执行改

注 3. 在标准串行输入 / 输出模式 2 中，必须将主时钟的输入振荡频率设定为 5MHz、10MHz、16MHz。

注 4. 在 T/V-ver. 中，不能使用存储器扩展模式。

22.1 存储器配置

闪存版的 ROM 分为用户 ROM 区和引导 ROM 区。闪存框图如图 22.1 所示。用户 ROM 区除了保存单芯片模式或者存储器扩展模式时的单片机运行程序的区域以外，还有 4K 字节的块 A。

用户 ROM 区被分为几个块，能按块禁止（锁住）编程和擦除。能通过 CPU 改写模式、标准串行输入 / 输出模式、并行输入 / 输出模式或者 CAN 输入 / 输出模式改写用户 ROM 区。如果将 PM1 寄存器的 PM10 位置“1”（块 A 有效，CS2 区为 10000h ~ 26FFFh），就能使用块 A。

引导 ROM 区分配在与用户 ROM 区重叠的地址，只能在并行输入 / 输出模式进行改写。另外，如果 CNVSS 引脚和 P5_0 引脚为“H”电平、P5_5 引脚为“L”电平时进行硬件复位，复位后执行引导 ROM 区的程序；如果 CNVSS 引脚为“L”电平时进行硬件复位，复位后执行用户 ROM 区的程序，而不能读取引导 ROM 区。

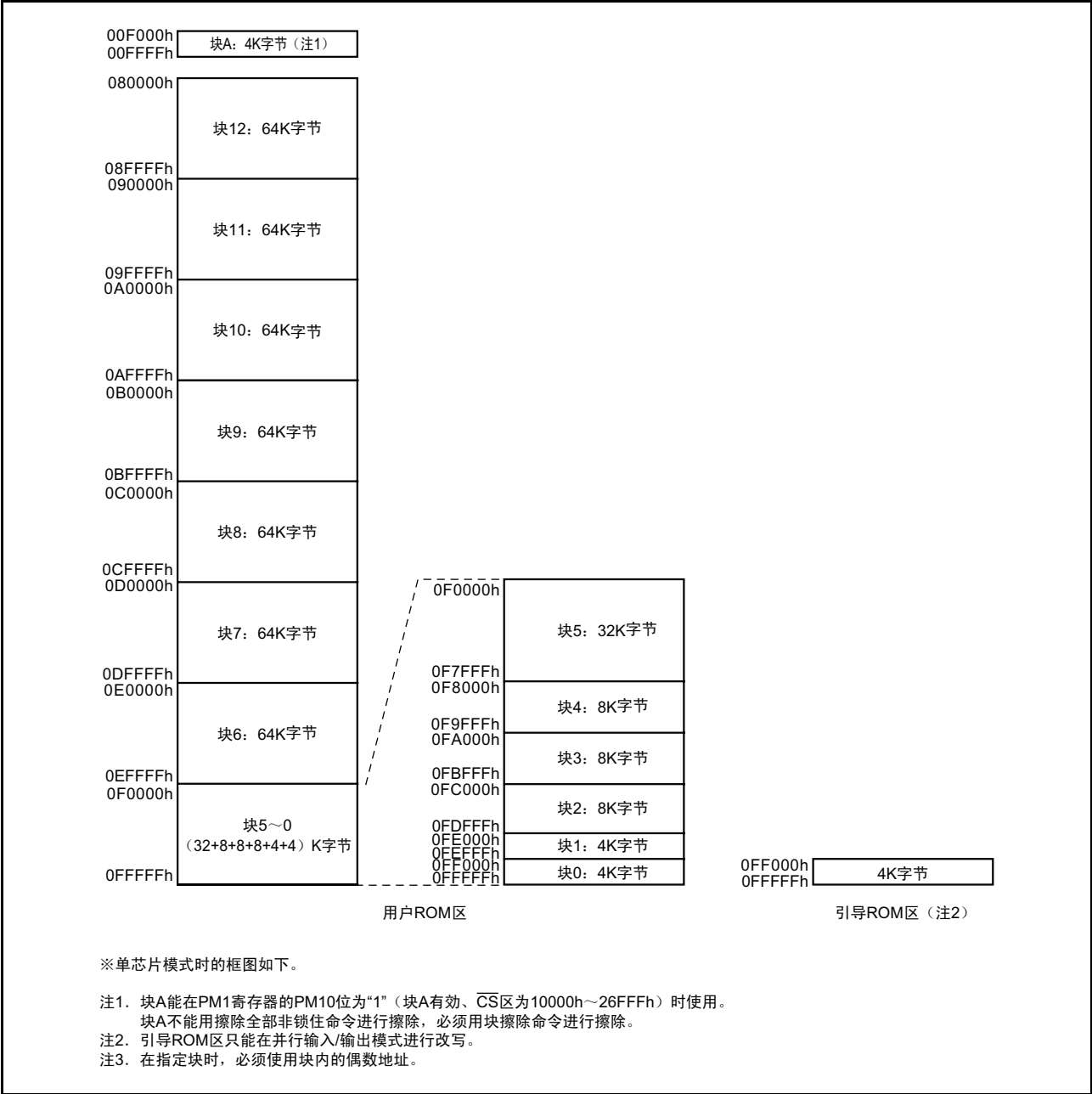


图 22.1 闪存框图

22.1.1 引导模式

如果 P5_5 引脚为“L”电平、CNVSS 引脚为“H”电平、P5_0 引脚为“H”电平时进行硬件复位，就进入引导模式，执行引导 ROM 区的程序。

在引导模式时，引导 ROM 区和用户 ROM 区能通过 FMR0 寄存器的 FMR05 位进行切换。

在出货时，引导 ROM 区存有标准串行输入 / 输出模式及 CAN 输入 / 输出模式的改写控制程序。

另外，引导 ROM 区只能在并行输入 / 输出模式进行改写。如果将使用 EW0 模式的任何改写控制程序写入引导 ROM 区，就能按系统进行改写。

22.2 闪存改写禁止功能

为了禁止读出或改写闪存，并行输入 / 输出模式有 ROM 码保护功能，标准串行输入 / 输出模式、CAN 输入 / 输出模式有 ID 码检查功能。

22.2.1 ROM 码保护功能

ROM 码保护是在使用并行输入 / 输出模式时禁止读出或者改写闪存的功能。ROMCP 寄存器如图 22.2 所示。ROMCP 寄存器存在于用户 ROM 区。

在将 ROMCP1 位设定为“11b”（保护无效）以外的值时，ROM 码保护有效。此时，必须将 5 ~ 0 位设定为“111111b”。

在解除 ROM 码保护时，必须在标准串行输入 / 输出模式、CPU 改写模式或者 CAN 输入 / 输出模式擦除包含 ROMCP 寄存器的块。

22.2.2 ID 码检查功能

在标准串行输入 / 输出模式、CAN 输入 / 输出模式使用此功能。判断从串行编程器、CAN 编程器送来的 ID 码是否和写在闪存中的 ID 码一致。如果 ID 码不一致，就不接受从串行编程器、CAN 编程器送来的命令。但是，如果复位向量的 4 个字节为“FFFFFFFFh”，就不进行 ID 码的判断而接受所有的命令。

闪存的 ID 码是从第 1 个字节开始分别分配在 0FFFDfH、0FFFE3h、0FFFEbH、0FFFEfH、0FFFF3h、0FFFF7h、0FFFFbH 地址中的 7 个字节的数据。必须将给这些地址设定 ID 码的程序写入闪存。

ID 码的保存地址如图 22.3 所示。

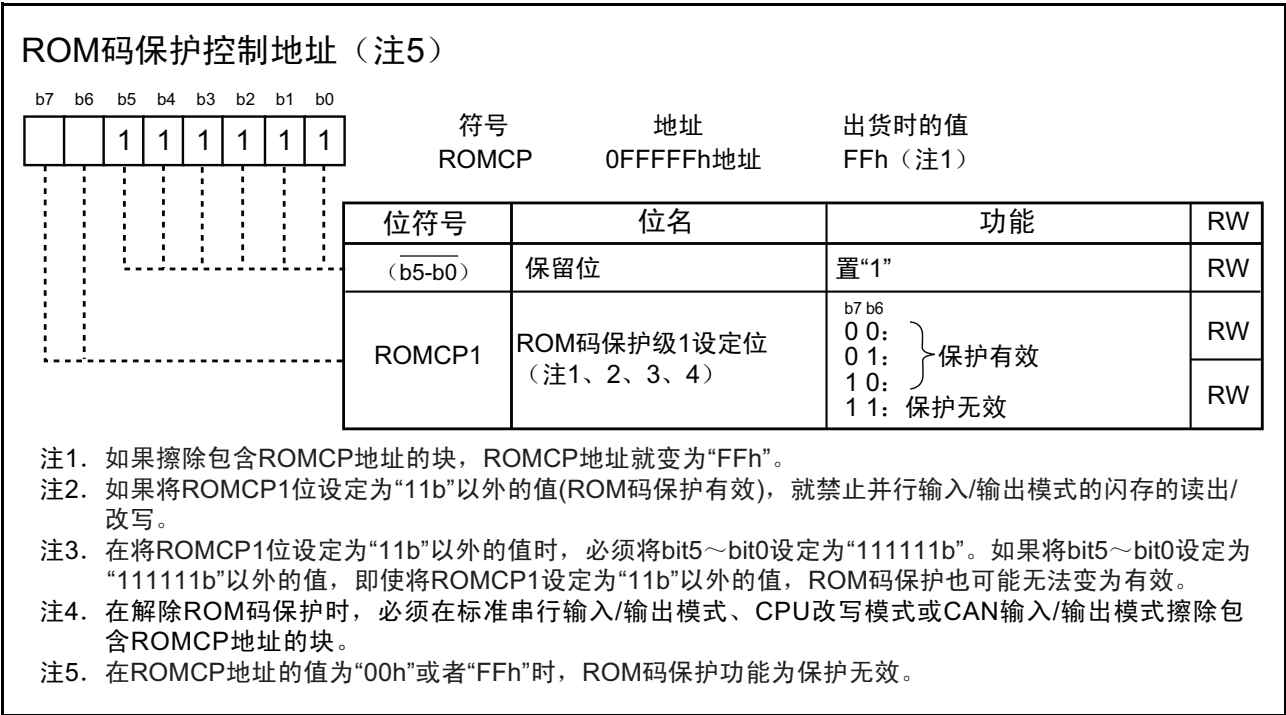


图 22.2 ROMCP 寄存器

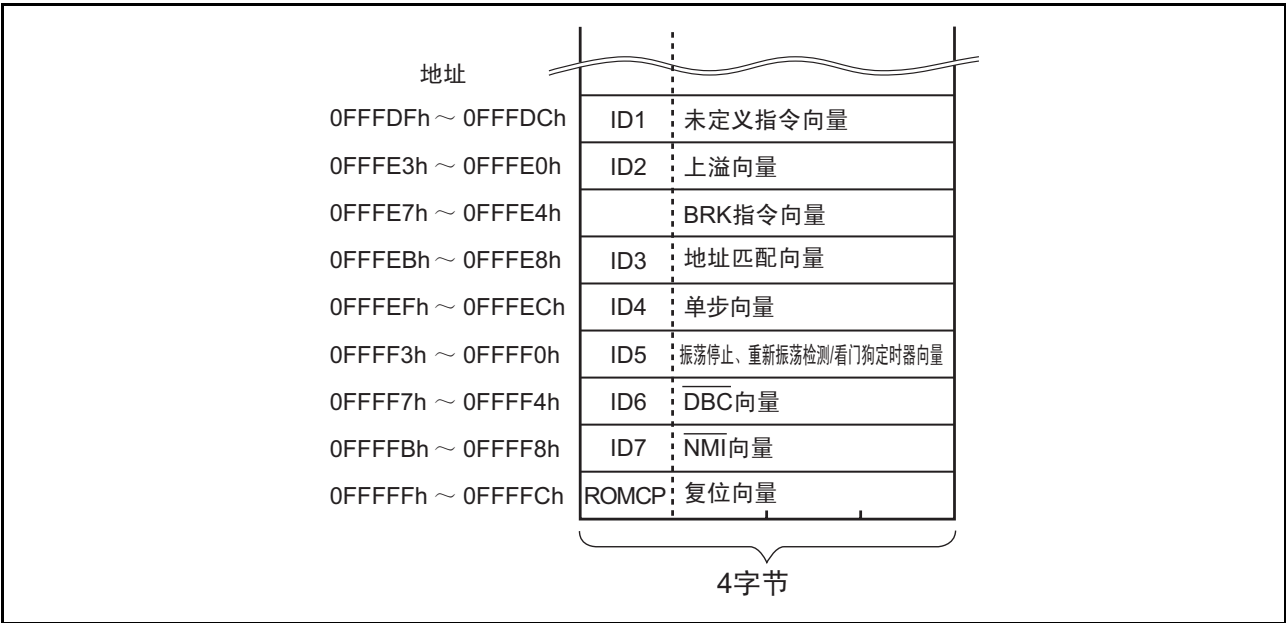


图 22.3 ID 码的保存地址

22.3 CPU 改写模式

在 CPU 改写模式，能通过 CPU 执行软件命令改写用户 ROM 区。因此，能在不使用 ROM 编程器等而将单片机安装在电路板的状态下，改写用户 ROM 区。

在 CPU 改写模式，只能改写如图 22.1 所示的用户 ROM 区，而不能改写引导 ROM 区。只能对用户 ROM 区的各块区域执行编程和块擦除的命令。

CPU 改写模式有擦除编程 0（EW0）模式和擦除编程 1（EW1）模式。EW0 模式和 EW1 模式的不同点如表 22.3 所示。

表 22.3 EW0 模式和 EW1 模式的不同点

项目	EW0 模式	EW1 模式
运行模式	- 单芯片模式 - 存储器扩展模式（注 3） - 引导模式	单芯片模式
能存放改写控制程序的区域	- 用户 ROM 区 - 引导 ROM 区	用户 ROM 区
能执行改写控制程序的区域	必须在传送到闪存以外（RAM 等）的区域后执行（注 2）	可在用户 ROM 区执行
能改写的区域	用户 ROM 区	用户 ROM 区 但是，存有改写控制程序的块除外
软件命令的限制	无	- 编程、块擦除命令对于存有改写控制程序的块，禁止执行擦除全部非锁住块命令 - 在存有改写控制程序的块的锁住位为“1”（非锁住）或者 FMR0 寄存器的 FMR02 位为“1”（锁住位无效）时，禁止执行 - 读状态寄存器命令禁止执行
编程、擦除后的模式	读状态寄存器模式	读阵列模式
自动写、自动擦除时的 CPU 状态	运行	保持状态（I/O 端口保持命令执行前的状态（注 1））
闪存的状态检测	- 通过程序读取 FMR0 寄存器的 FMR00、FMR06、FMR07 位 - 执行读状态寄存器命令，读取状态寄存器的 SR7、SR5、SR4 位	通过编程读取 FMR0 寄存器的 FMR00、FMR06、FMR07 位

注 1. 不能发生中断（ $\overline{\text{NMI}}$ 除外）、DMA 传送。

注 2. 在 CPU 改写模式中，PM1 寄存器的 PM10 位和 PM13 位为“1”。执行改写控制程序的区域为内部 RAM，或者在 PM13 位为“1”时在能使用的外部区域执行。

注 3. 在 T/V-ver. 中，不能使用存储器扩展模式。

22.3.1 EW0 模式

如果将 FMR0 寄存器的 FMR01 位置 “1”（CPU 改写模式有效），就进入 CPU 改写模式，能接受软件命令。此时，如果 FMR1 寄存器的 FMR11 位为 “0”，就为 EW0 模式。在将 FMR01 位置 “1” 时，必须在写 “0” 后继续写 “1”。

通过软件命令进行编程和擦除运行的控制。能通过 FMR0 寄存器或者 SRD 寄存器，确认编程或者擦除结束时的状态等。

22.3.2 EW1 模式

在将 FMR01 位置 “1”（在写 “0” 后继续写 “1”）后，如果将 FMR11 位置 “1”（在写 “0” 后继续写 “1”），就进入 EW1 模式。

能通过 FMR0 寄存器确认编程或者擦除结束时的状态等。不能在 EW1 模式读取 SRD 寄存器。

如果执行编程或者擦除的命令，就在命令执行结束前 CPU 停止运行。

22.3.3 FMR0、FMR1 寄存器

FMR0、FMR1 寄存器如图 22.4 所示。

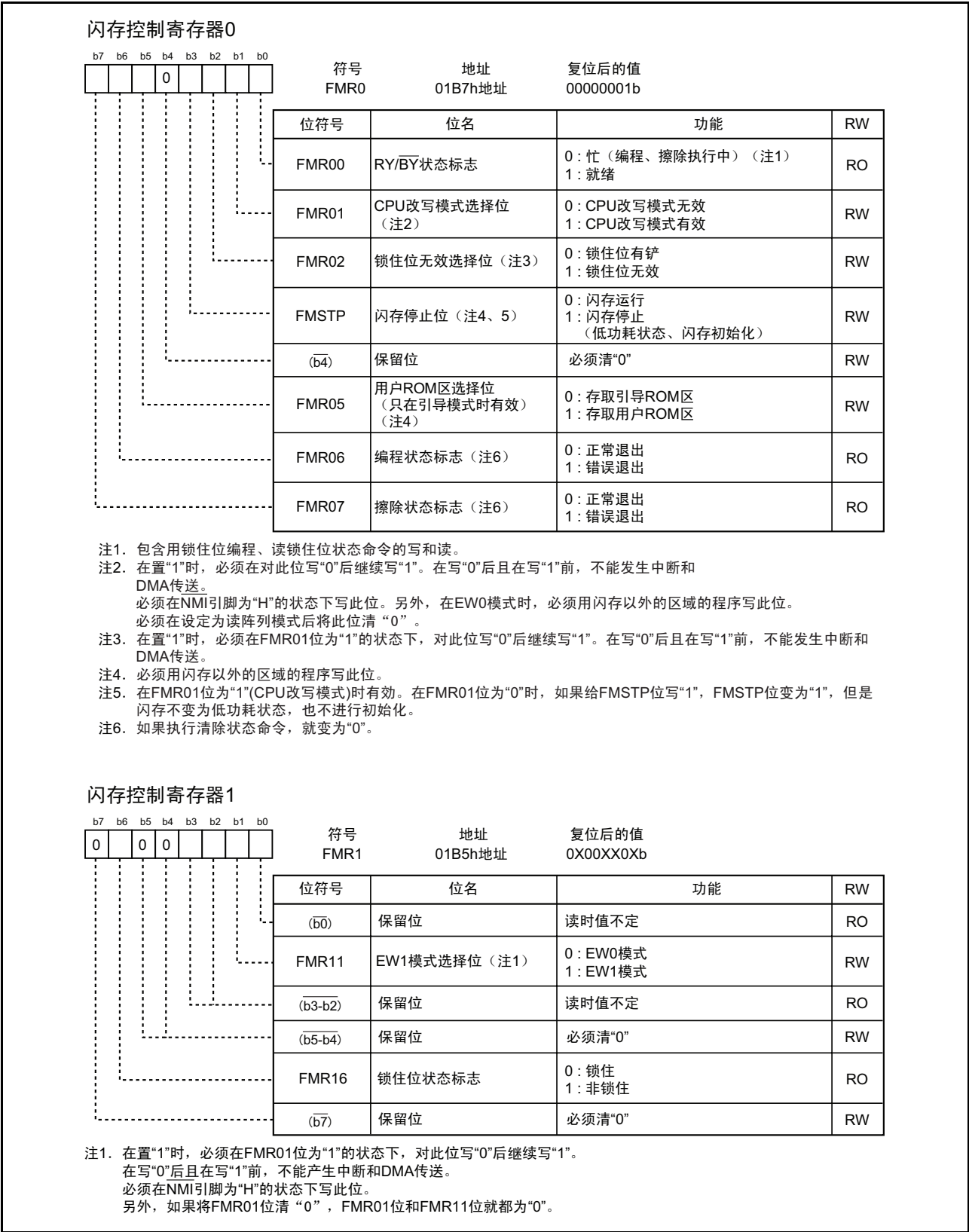


图 22.4 FMR0、FMR1 寄存器

22.3.3.1 FMR00 位

它是表示闪存运行状况的位。在编程、块擦除、擦除全部非锁住块、锁住位编程、读锁住位状态命令执行中为“0”，否则为“1”。

22.3.3.2 FMR01 位

如果将 FMR01 位置“1”（CPU 改写模式），就变为能接受命令的状态。另外，还必须在引导模式时将 FMR05 位置“1”（用户 ROM 区存取）。

22.3.3.3 FMR02 位

如果将 FMR02 位置“1”（锁住位无效），就能使锁住位无效（请参照“22.3.6 数据保护功能”）；如果清“0”，锁住位就变为有效。

FMR02 位只能将锁住位的功能置为无效，锁住位数据不变化。但是，在将 FMR02 位置“1”的状态下执行擦除时，为“0”（锁住状态）的锁住位数据在擦除结束后变为“1”（非锁住状态）。

22.3.3.4 FMSTP 位

它是用于对闪存的控制电路进行初始化和降低闪存功耗的位。如果将 FMSTP 位置“1”（闪存停止），就不能存取快速擦写存储器。因此，必须通过闪存以外的区域的程序写 FMSTP 位。

在以下情况，必须将 FMSTP 位置“1”。

- 在 EW0 模式的擦除或者写过程中，如果闪存的存取发生异常（FMR00 位不能恢复到“1”（就绪））
- 在设定成低功耗模式或者内部振荡器低功耗模式时

必须按照以下步骤改写 FMSTP 位：

- （1）将 FMSTP 位置“1”
- （2）等待闪存电路稳定等待时间（tps）
- （3）将 FMSTP 位清“0”
- （4）等待闪存电路稳定等待时间（tps）

低功耗模式、内部振荡器低功耗模式前后的处理如图 22.7 所示。

另外，由于内置的闪存的电源在转移到停止模式或者等待模式时自动切断，返回时自动连接，因此不需要设定 FMR0 寄存器。

22.3.3.5 FMR05 位

它是在引导模式时切换引导 ROM 区和用户 ROM 区的位。在存取（读）引导 ROM 区时必须清“0”；在存取用户 ROM 区（读、写、擦除）时必须置“1”（存取用户 ROM）。

22.3.3.6 FMR06 位

它是表示自动写状况的只读位。在发生编程错误时为“1”，否则为“0”。详细内容请参照“22.3.8 全状态检查”。

22.3.3.7 FMR07 位

它是表示自动擦除状况的只读位。在发生擦除错误时为“1”，否则为“0”。详细内容请参照“22.3.8 全状态检查”。

22.3.3.8 FMR11 位

在 FMR11 位为“0”（EW0 模式）时，为 EW0 模式。

在 FMR11 位为“1”（EW1 模式）时，为 EW1 模式。

22.3.3.9 FMR16 位

它是表示读锁住位状态执行结果的只读位。

块为锁住状态时为“0”；为非锁住状态时为“1”。

EW0 模式的设定和解除方法如图 22.5、EW1 模式的设定和解除方法如图 22.6 所示。

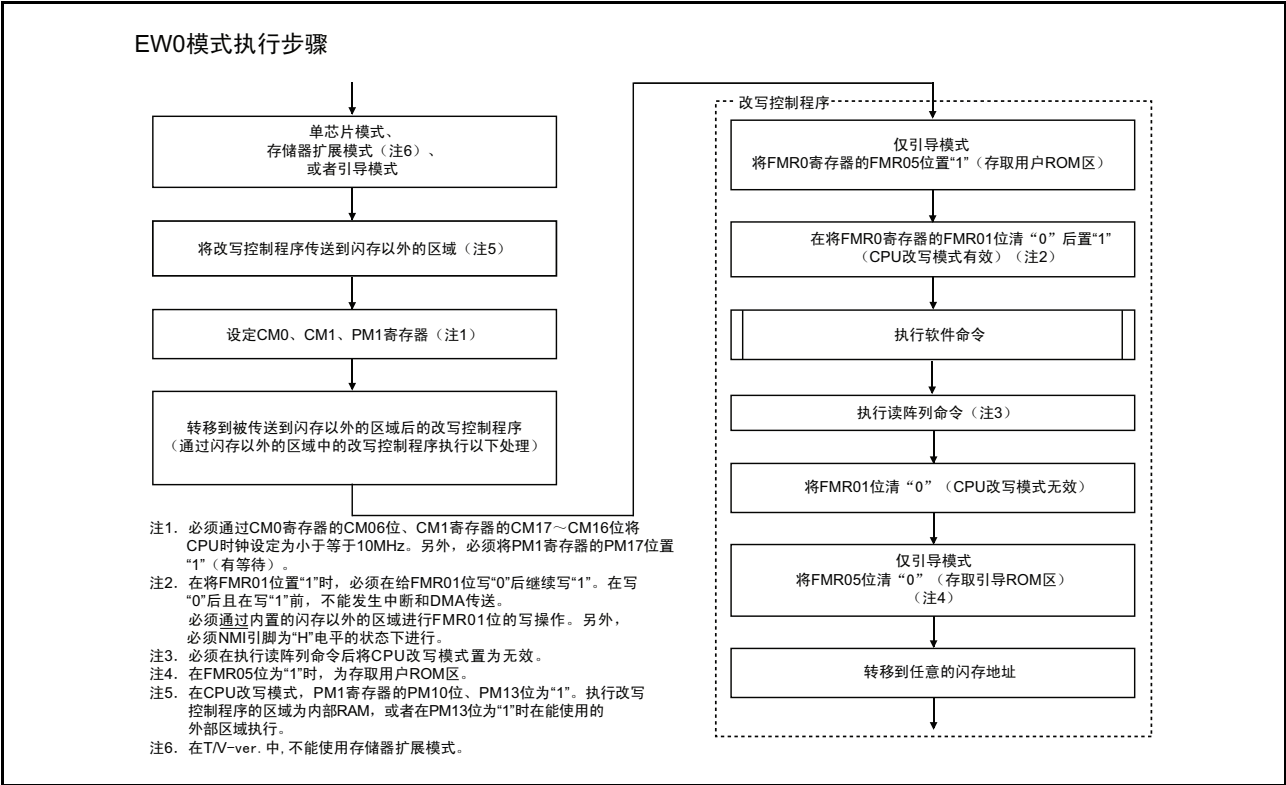


图 22.5 EW0 模式的设定和解除方法

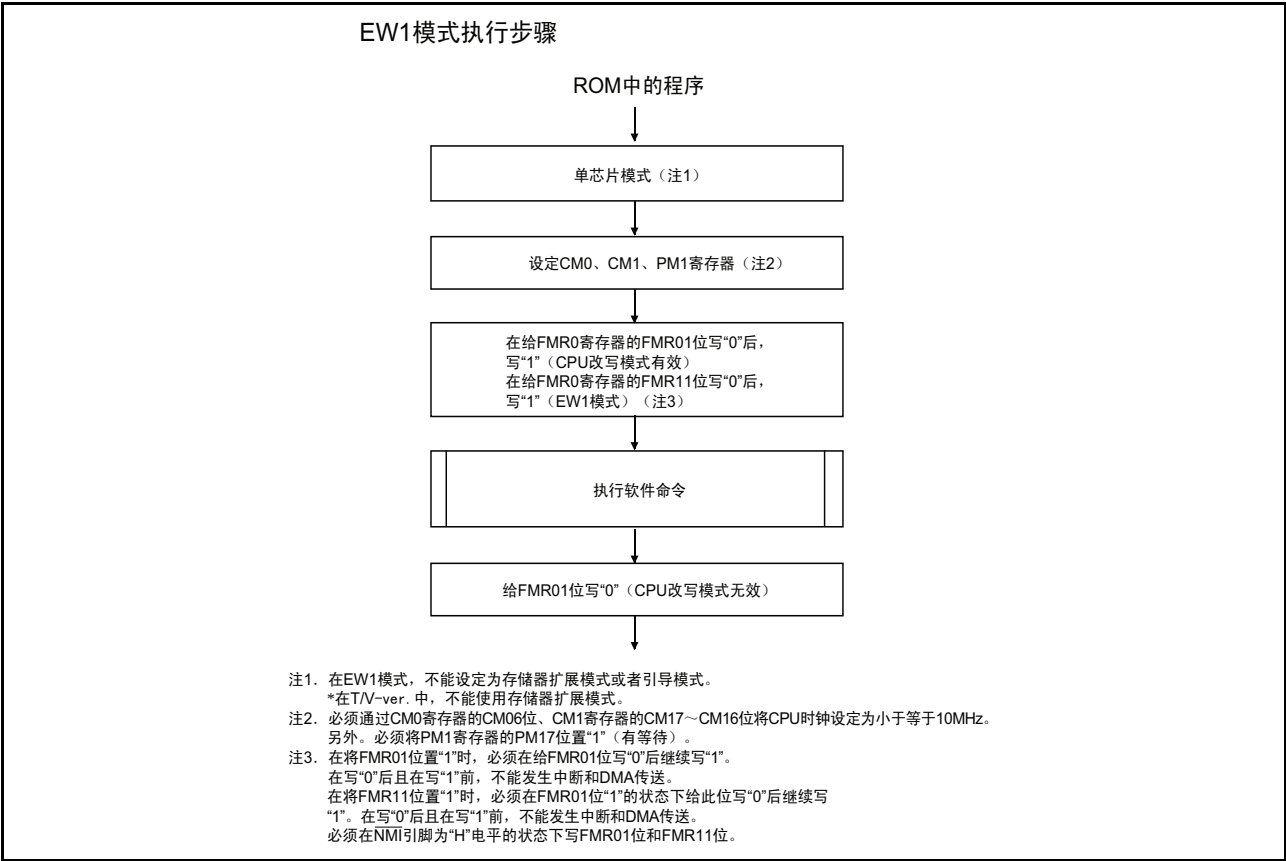


图 22.6 EW1 模式的设定和解除方法

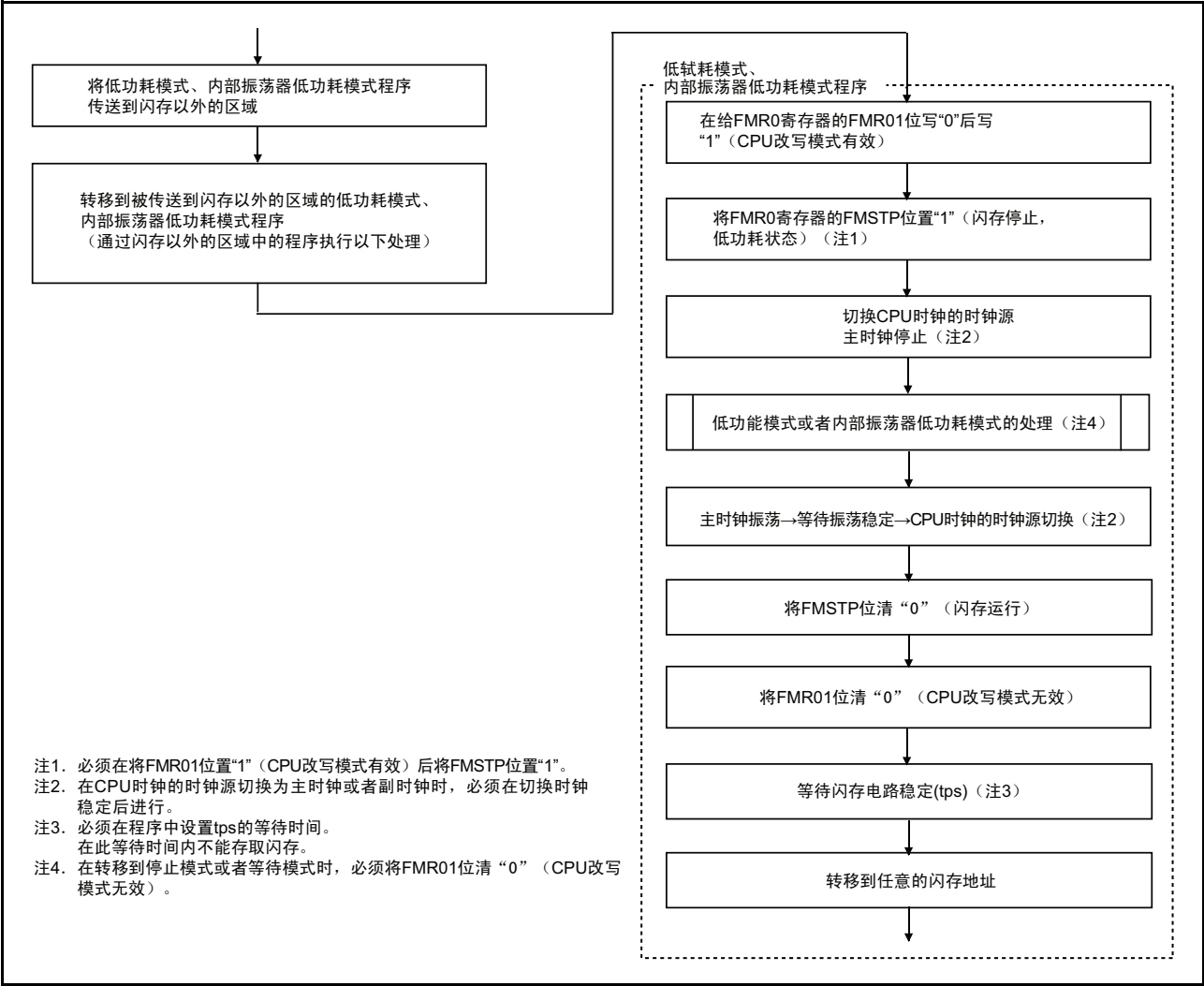


图 22.7 低功耗模式、内部振荡器低功耗模式前后的处理

22.3.4 CPU 改写模式的注意事项

22.3.4.1 运行速度

在进入 CPU 改写模式 (EW0、EW1 模式) 前, 必须将 CM1 寄存器的 CM11 位清 “0” (主时钟), 通过 CM0 寄存器的 CM06 位和 CM1 寄存器的 CM17 ~ CM6 位将 CPU 时钟设定为小于等于 10MHz。另外, 必须将 PM1 寄存器的 PM17 位置 “1” (有等待)。

22.3.4.2 禁止使用的指令

在 EW0 模式中, 由于以下指令参照闪存内的数据, 所以不能使用:
UND 指令、INTO 指令、JMPS 指令、JSRS 指令、BRK 指令

22.3.4.3 中断 (EW0 模式)

- 可使用可变向量表中的被移至 RAM 区的向量的中断。
- 因为在产生中断请求时强制初始化 FMR0 寄存器和 FMR1 寄存器, 所以能使用 $\overline{\text{NMI}}$ 中断、看门狗定时器中断。必须给固定向量表设定各中断程序的转移地址。在产生 $\overline{\text{NMI}}$ 中断、看门狗定时器中断请求时, 结束改写运行。必须在中断程序结束后重新执行改写程序。
- 由于地址匹配中断参照闪存内的数据, 所以不能使用。

22.3.4.4 中断 (EW1 模式)

- 在自动写或者自动擦除期间, 不能接受具有可变向量表中的向量的中断或者地址匹配中断。
- 不能使用看门狗定时器中断。
- 因为在中断请求产生时强制初始化 FMR0 寄存器和 FMR1 寄存器, 所以能使用 $\overline{\text{NMI}}$ 中断。必须给固定向量表设定各中断程序的转移地址。在发生 $\overline{\text{NMI}}$ 中断时, 结束改写运行。必须在中断程序结束后重新执行改写程序。

22.3.4.5 存取方法

在将 FMR01 位、FMR02 位和 FMR11 位置 “1” 时, 必须在给对象位写 “0” 后继续写 “1”。在写 “0” 后并且在写 “1” 前, 不能发生中断和 DMA 传送。另外, 必须在 $\overline{\text{NMI}}$ 引脚为 “H” 电平的状态下进行。

22.3.4.6 用户 ROM 区的改写 (EW0 模式)

在对保存改写控制程序的块进行改写过程中, 如果电源电压降低, 改写控制程序就不能被正常改写, 此后有可能发生闪存不能改写的情况。此时, 必须使用标准串行输入 / 输出模式、并行输入 / 输出模式或者 CAN 输入 / 输出模式。

22.3.4.7 用户 ROM 区的改写 (EW1 模式)

不能改写保存改写控制程序的块。

22.3.4.8 DMA 传送

在 EW1 模式并且 FMR0 寄存器的 FMR00 位为 “0” (自动写、自动擦除期间) 时, 不能进行 DMA 传送。

22.3.4.9 命令、数据的写

必须给偶数地址写命令码和数据。

22.3.4.10 等待模式

在转移到等待模式时，必须在将 FMR01 位清 “0”（CPU 改写模式无效）后执行 WAIT 指令。

22.3.4.11 停止模式

在转移到停止模式时，必须在将 FMR01 位清 “0”（CPU 改写模式无效），禁止 DMA 传送后执行将 CM10 位置 “1”（停止模式）的指令。

22.3.4.12 低功耗模式、内部振荡器低功耗模式

在 CM05 位为 “1”（主时钟停止）时不能执行以下命令：

- 编程
- 块擦除
- 擦除全部非锁住块
- 锁住位编程
- 读锁住位状态

22.3.5 软件命令

以下说明软件命令。以 16 位为单位对用户 ROM 区内的偶数地址进行命令和数据的读写操作。写命令码时，忽视高 8 位（D15 ~ D8）。

软件命令一览表如表 22.4 所示。

表 22.4 软件命令一览表

软件命令	第 1 总线周期			第 2 总线周期		
	模式	地址	数据 (D15 ~ D0)	模式	地址	数据 (D15 ~ D0)
读阵列	写	X	xxFFh	—	—	—
读状态寄存器	写	X	xx70h	读	x	SRD
清除状态寄存器	写	X	xx50h	—	—	—
编程	写	WA	xx40h	写	WA	WD
块擦除	写	X	xx20h	写	BA	xxD0h
擦除全部非锁住块（注 1）	写	X	xxA7h	写	X	xxD0h
锁住位编程	写	BA	xx77h	写	BA	xxD0h
读锁住位状态	写	X	xx71h	写	BA	xxD0h

SRD: 状态寄存器数据（D7 ~ D0）

WA: 写地址（第 1 总线周期地址必须为相同于第 2 总线周期地址的偶数地址）

WD: 写数据（16 位）

BA: 块的最高位地址（但是为偶数地址）

X: 用户 ROM 区内的任意偶数地址

xx: 命令码的高 8 位（被忽视）

注 1. 能用擦除全部非锁住块命令擦除的块为块 0 ~ 12，不能擦除块 A。在擦除块 A 时，必须使用块擦除命令。

22.3.5.1 读阵列

是读闪存的命令。

如果在第 1 总线周期写“xxFFh”，就进入读阵列模式。如果下一个总线周期以后输入读地址，就能以 16 位为单位读取指定地址的内容。

读阵列模式被保持到写其它命令为止，所以能读取多个地址的内容。

22.3.5.2 读状态寄存器

是读状态寄存器的命令。

如果在第 1 总线周期写“xx70h”，就能在第 2 总线周期读取 SRD 寄存器（请参照“22.3.7 SRD 寄存器”）。必须读取用户 ROM 区内的偶数地址。

不能在 EW1 模式执行此命令。

22.3.5.3 清除状态寄存器

是清除状态寄存器的命令。

如果在第 1 总线周期写“xx50h”，FMR0 寄存器的 FMR07 ~ FMR06 位和状态寄存器的 SR5 ~ SR4 位就变为“00b”。

22.3.5.4 编程

是以 1 字（2 个字节）为单位对闪存写数据的命令。

如果在第 1 总线周期写“xx40h”，并且在第 2 总线周期给写地址写数据，就开始自动写（数据的编程和验证）。第 1 总线周期的地址值必须与在第 2 总线周期指定的偶数写地址相同。

能通过 FMR0 寄存器的 FMR00 位确认自动写结束。FMR00 位在自动写期间为“0”（忙），在结束后变为“1”（就绪）。

在自动写结束后，能通过 FMR0 寄存器的 FMR06 位得到自动写的结果（参照“22.3.8 全状态检查”）。

不能对已编程的地址进行追加写。编程流程如图 22.8 所示。

另外，能通过各块的锁住位禁止编程（参照“22.3.6 数据保护功能”）。

在 EW1 模式，不能对已分配改写控制程序的块执行此命令。

在 EW0 模式，开始自动写的同时变为读状态寄存器模式，能读取 SRD 寄存器。SRD 寄存器的 SR7 位在开始自动写的同时变为“0”，在结束自动写的同时恢复为“1”。此时的读状态寄存器模式被继续保持到下次读写阵列命令为止。另外，在自动写结束后，能通过读取 SRD 寄存器得到自动写的结果。

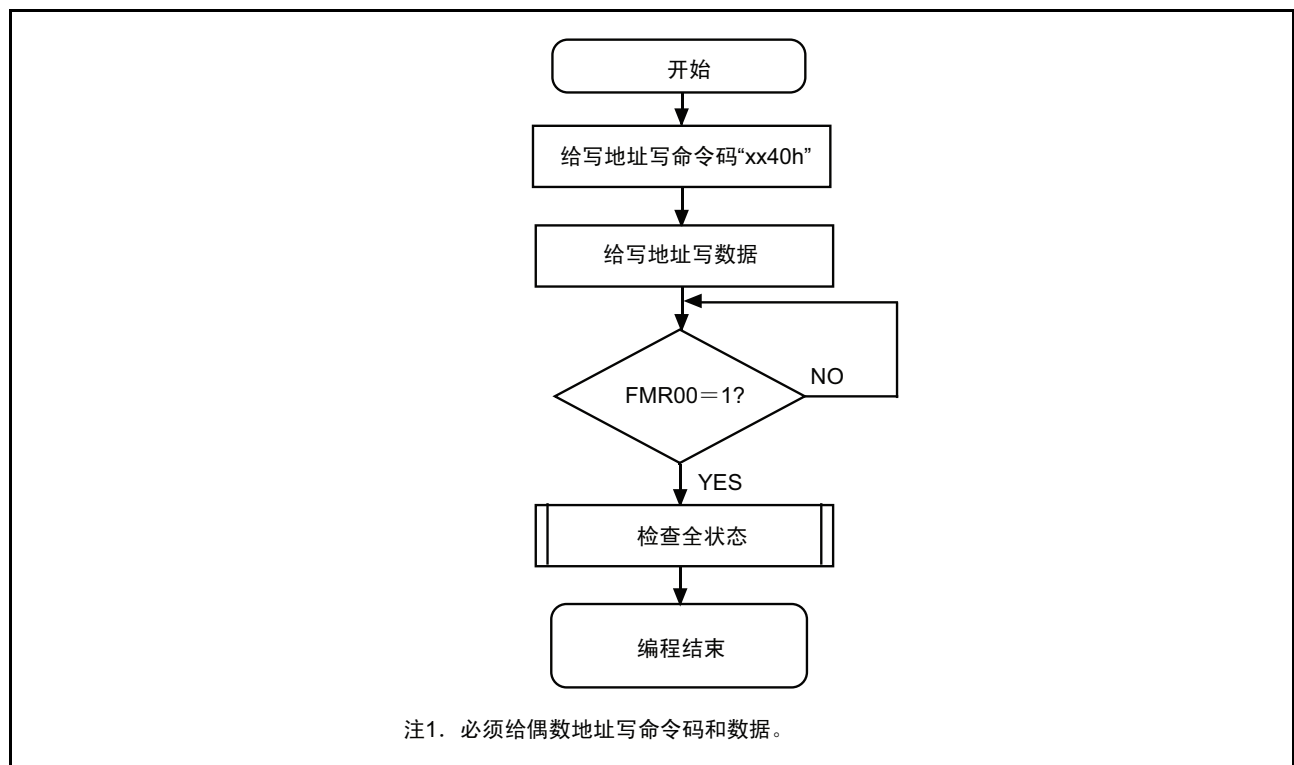


图 22.8 编程流程

22.3.5.5 块擦除

如果在第 1 总线周期写 “xx20h”，并且在第 2 总线周期给块的最高位地址（偶数地址）写 “xxD0h”，就开始自动擦除（擦除和擦除验证）指定的块。

能通过 FMR0 寄存器的 FMR00 位确认自动擦除的结束。

FMR00 位在自动擦除期间为 “0”（忙），在自动擦除结束后变为 “1”（就绪）。

在自动擦除结束后，能通过 FMR0 寄存器的 FMR07 位得到自动擦除的结果（参照 “22.3.8 全状态检查”）。

块擦除流程如图 22.9 所示。

另外，能通过各块的锁住位禁止擦除（参照 “22.3.6 数据保护功能”）。

在 EW1 模式，不能对已装入改写控制程序的地址执行此命令。

在 EW0 模式，开始自动擦除的同时变为读状态寄存器模式，能读取 SRD 寄存器。SRD 寄存器的 SR7 位在开始自动擦除的同时变为 “0”，在结束自动擦除的同时恢复为 “1”。此时的读状态寄存器模式被继续保持到下次读写阵列命令或者读锁住位状态命令为止。另外，在发生擦除错误后，必须至少执行 3 次清除状态寄存器命令 → 块擦除命令，直至不发生擦除错误。

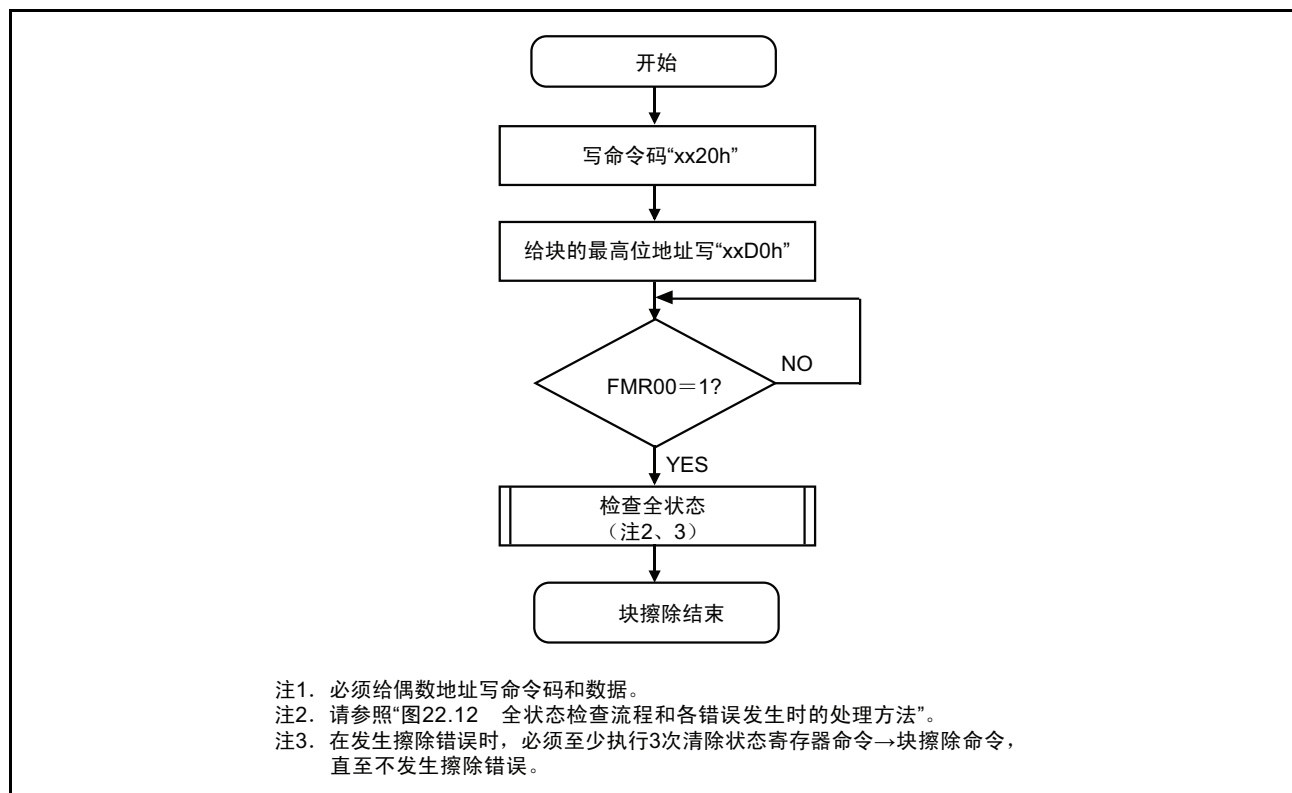


图 22.9 块擦除流程

22.3.5.6 擦除全部非锁住块

如果在第 1 总线周期写 “xxA7h”，并且在第 2 总线周期写 “xxD0h”，就对除块 A 以外的全部块连续进行块擦除。

能通过 FMR0 寄存器的 FMR00 位确认自动擦除的结束，能通过 FMR0 寄存器的 FMR07 位确认自动擦除的结果。

另外，能通过各块的锁住位禁止擦除（参照“22.3.6 数据保护功能”）。

在 EW1 模式，在已装入改写控制程序的块的锁住位为“1”（非锁住）时或者在 FMR0 寄存器的 FMR02 位为“1”（锁住位无效）时，不能执行此命令。

在 EW0 模式，开始自动擦除的同时变为读状态寄存器模式，能读取 SRD 寄存器。SRD 寄存器的 SR7 位在开始自动擦除的同时变为“0”（忙），在结束自动擦除的同时恢复为“1”（就绪）。此时的读状态寄存器模式被继续保持到下次读写阵列命令或者读锁住位状态命令为止。

另外，能用擦除全部非锁住块命令擦除的块为块 0～12，不能擦除块 A。在擦除块 A 时，必须使用块擦除命令。

22.3.5.7 锁住位编程

是将任意块的锁住位清“0”（锁住状态）的命令。

如果在第 1 总线周期写 “xx77h”，并且在第 2 总线周期给块的最高位地址（偶数地址）写 “xxD0h”，就能给指定块的锁住位写“0”。第 1 总线周期的地址值必须与在第 2 总线周期指定的块的最高位地址相同。

锁住位编程流程如图 22.10 所示。能用读锁住位状态命令读取锁住位的状态（锁住位数据）。

能通过 FMR0 寄存器的 FMR00 位确认写结束。

另外，有关锁住位的功能、将锁住位置“1”（非锁住状态）的方法，请参照“22.3.6 数据保护功能”。

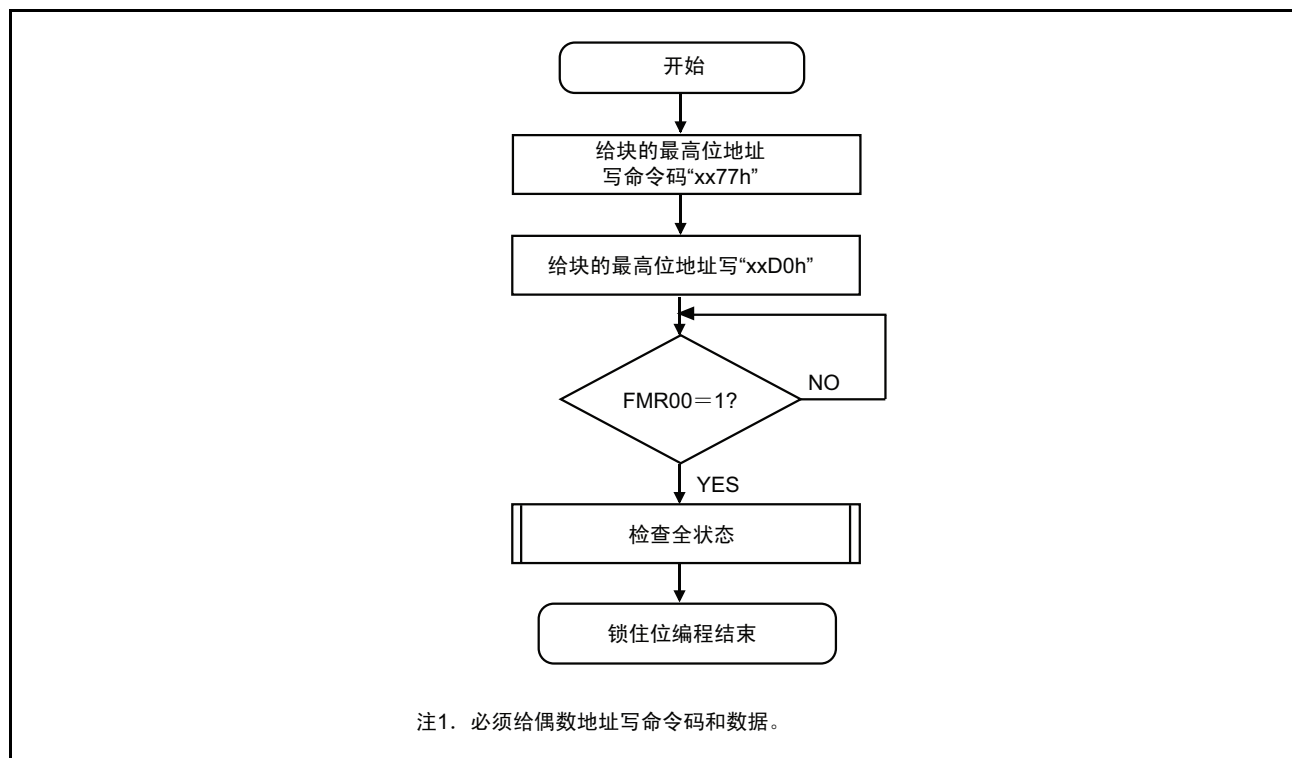


图 22.10 锁住位编程流程

22.3.5.8 读锁住位状态

是读任意块的锁住位状态的命令。

如果在第 1 总线周期写 “xx71h”，并且在第 2 总线周期给块的最高位地址（偶数地址）写 “xxD0h”，就将块的锁住位状态保存到 FMR1 寄存器的 FMR16 位。必须在 FMR0 寄存器 FMR00 位为 “1”（就绪）后读取 FMR16 位。

读锁住位状态流程如图 22.11 所示。

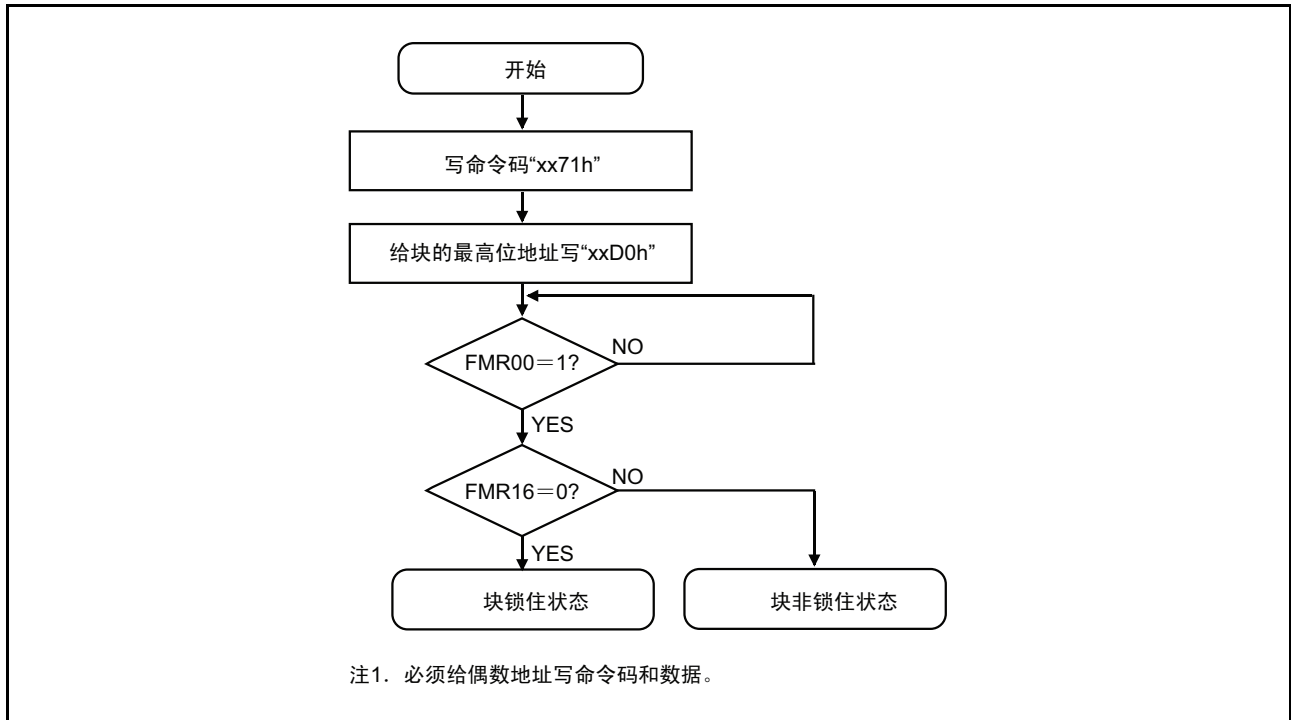


图 22.11 读锁住位状态流程

22.3.6 数据保护功能

闪存的各块具有非易失性的锁住位，锁住位在 FMR0 寄存器的 FMR02 位为“0”（锁住位有效）时有效。能通过锁住位禁止各块的编程和擦除（锁住），因此能防止数据的误写和误擦除。根据锁住位表示的块状态如下：

- 锁住位数据为“0”时：锁住状态（此块不能编程和擦除）
- 锁住位数据为“1”时：非锁住状态（此块能编程和擦除）

如果执行锁住位编程命令，锁住位数据就变为“0”（锁住状态）；如果擦除块，锁住位数据就变为“1”（非锁住状态）。不能用命令将锁住位数据置“1”。

另外，能通过读锁住位状态命令读取锁住位数据。

如果将 FMR02 位置“1”（锁住位无效），锁住位的功能就无效，全部块为非锁住状态（各锁住位数据不变）；如果将 FMR02 位清“0”，锁住位的功能就有效（保持锁住位数据）。

如果在 FMR02 位为“1”的状态下执行块擦除命令或者擦除全部非锁住块命令，就与锁住位无关，擦除对象块或者全部块。在擦除结束后，各块的锁住位为“1”。

各命令的详细内容请参照“22.3.5 软件命令”。

22.3.7 状态寄存器（SRD 寄存器）

SRD 寄存器是表示闪存的运行状态、擦除和编程的正常 / 错误结束等状态 of 寄存器。能通过 FMR0 寄存器的 FMR00、FMR06、FMR07 位读取 SRD 寄存器的状态。

SRD 寄存器如表 22.5 所示。

另外，能在 EW0 模式读取以下情况的 SRD 寄存器：

- 在执行读状态寄存器命令后读取用户 ROM 区内的任意偶数地址时
- 在执行编程命令、块擦除命令、擦除全部非锁住块命令或者锁住位命令后，并且在执行读阵列命令前，读取用户 ROM 区内的任意偶数地址时

22.3.7.1 定序器状态（SR7、FMR00 位）

定序器状态表示闪存的运行状况，在执行编程、块擦除、擦除全部非锁住块、锁住位编程或者读锁住位状态命令中为“0”（忙），否则，为“1”（就绪）。

22.3.7.2 擦除状态（SR5、FMR07 位）

请参照“22.3.8 全状态检查”。

22.3.7.3 编程状态（SR4、FMR06 位）

请参照“22.3.8 全状态检查”。

表 22.5 SRD 寄存器

SRD 寄存器的位	FMR0 寄存器的位	状态名	内容		复位后的值
			“0”	“1”	
SR0（D0）	—	保留位	—	—	—
SR1（D1）	—	保留位	—	—	—
SR2（D2）	—	保留位	—	—	—
SR3（D3）	—	保留位	—	—	—
SR4（D4）	FMR06	编程状态	正常结束	错误结束	0
SR5（D5）	FMR07	擦除状态	正常结束	错误结束	0
SR6（D6）	—	保留位	—	—	—
SR7（D7）	FMR00	定序器状态	忙	就绪	1

D0～D7：在执行读状态寄存器命令时，表示读取的数据总线。

注 1. 如果执行清除状态寄存器命令，FMR06 位（SR4 位）和 FMR07 位（SR5 位）就变为“0”。
在 FMR06 位（SR4 位）或者 FMR07 位（SR5 位）为“1”时，不能接受编程、块擦除、擦除全部非锁住块及锁住位编程命令。

22.3.8 全状态检查

在发生错误时，FMR0 寄存器的 FMR06、FMR07 位为“1”（错误退出），表示各错误的发生。因此，能通过检查这些状态（全状态检查）就能确认执行结果。

错误和 FMR0 寄存器的状态如表 22.6、全状态检查流程和各错误发生时的处理方法如图 22.12 所示。

表 22.6 错误和 FMR0 寄存器的状态

FMR0 寄存器 (SRD 寄存器) 的状态		错误	错误发生条件
FMR07 位 (SR5 位)	FMR06 位 (SR4 位)		
1	1	命令顺序错误	- 没有正确写命令时 - 锁住位编程、块擦除或者擦除全部非锁住块命令的第 2 总线周期写了无效数据（有效数据为“xxD0h”或者“xxFFh”）时（注 1）
1	0	擦除错误	- 在对锁住的块执行块擦除命令时（注 2） - 对没锁住的块执行块擦除或者擦除全部非锁住块命令，但是没有被正确自动擦除时
0	1	编程错误	- 在对锁住的块执行编程命令时（注 2） - 对没锁住的块执行编程命令，但是没有被正确自动写时 - 执行锁住位编程命令，但是没有被正确写时

注 1. 如果在这些命令的第 2 总线周期写“xxFFh”，就变为读阵列模式，同时第 1 总线周期写的命令码无效。

注 2. FMR0 寄存器的 FMR02 位为“1”（锁住位无效）时，即使满足这些条件也不发生错误。

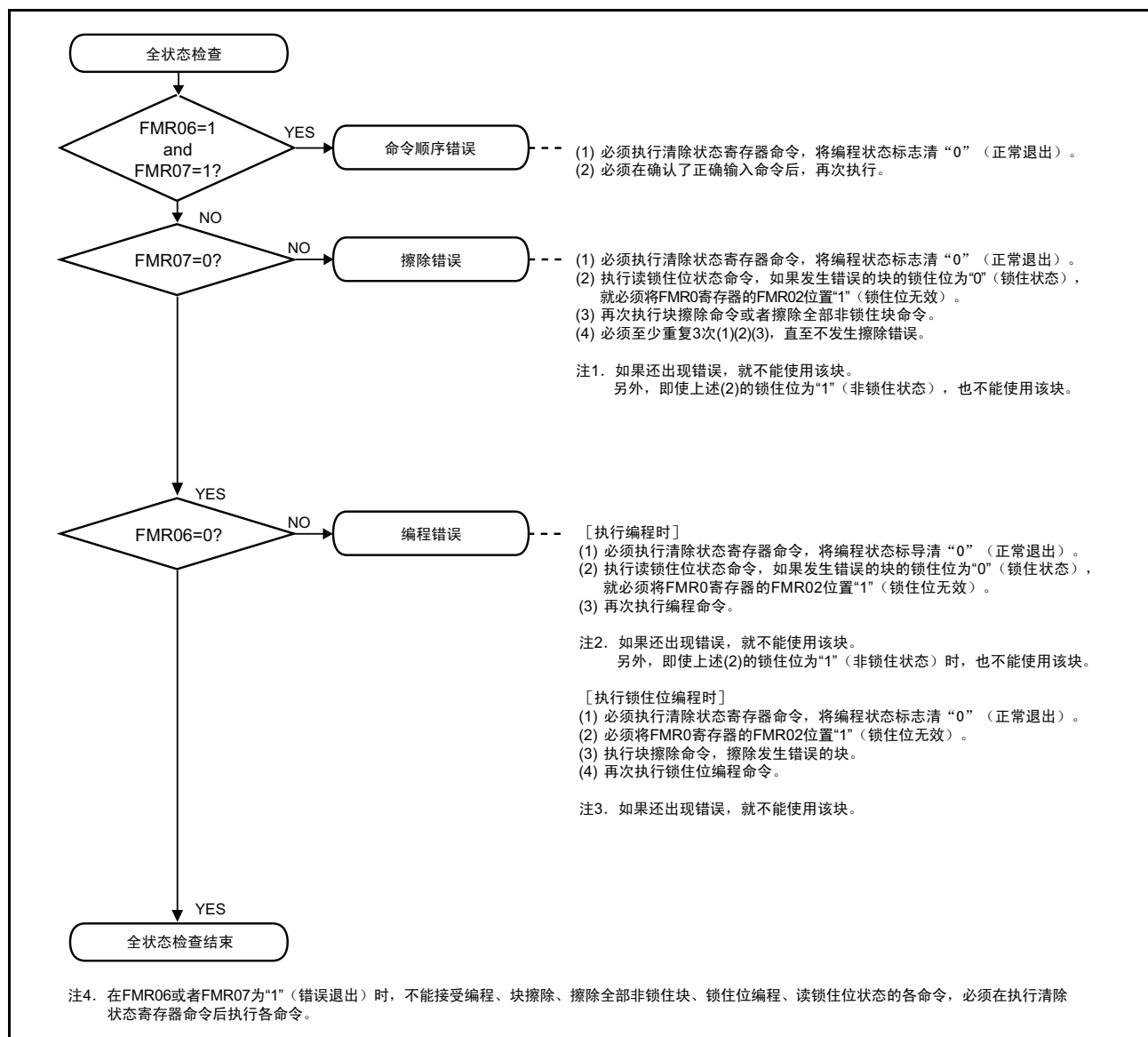


图 22.12 全状态检查流程和各错误发生时的处理方法

22.4 标准串行输入 / 输出模式

在标准串行输入 / 输出模式，使用对应 M16C/6N 群（M16C/6NK、M16C/6NM）的串行编程器，在将单片机安装在电路板的状态下，能改写用户 ROM 区。关于串行编程器，请向各厂商查询。另外，关于串行编程器的操作方法，请参照串行编程器的用户手册。

标准串行输入 / 输出模式的引脚的功能说明如表 22.7、标准串行输入 / 输出模式时的引脚接线图如图 22.13、图 22.14 所示。

22.4.1 ID 码检查功能

判断从串行编程器送来的 ID 码是否和写在快速擦写存储器中的 ID 码一致（请参照“22.2 闪存改写禁止功能”）。

表 22.7 标准串行输入 / 输出模式的引脚的功能说明

引脚名	名称	输入 / 输出	功能
VCC1、VCC2、VSS	电源输入		必须给VCC1引脚输入闪存写、擦除电压，给VCC2引脚输入VCC2，VCC 的输入条件为 VCC2=VCC1。给 VSS 引脚输入 0V。
CNVSS	CNVSS	输入	必须连接到 VCC1。
RESET	复位输入	输入	是复位输入引脚。在 RESET 引脚为 “L” 期间，必须给 XIN 引脚输入 20 个或 20 个以上周期的时钟。
XIN	时钟输入	输入	必须在 XIN 引脚和 XOUT 引脚之间连接陶瓷谐振器或者晶体振荡器。在输入外部生成的时钟时，必须从 XIN 引脚输入，并且 XOUT 引脚开路。
XOUT	时钟输出	输出	
BYTE	BYTE 输入	输入	必须连接到 VCC1 或者 VSS。
AVCC、AVSS	模拟电源输入		AVCC 引脚必须连接到 VCC1，AVSS 引脚必须连接到 VSS。
VREF	基准电压输入	输入	A/D 转换器、D/A 转换器的基准电压输入引脚。
P0_0 ~ P0_7	输入端口 P0	输入	必须接 “H” 或 “L” 电平，或者开路。
P1_0 ~ P1_7	输入端口 P1	输入	必须接 “H” 或 “L” 电平，或者开路。
P2_0 ~ P2_7	输入端口 P2	输入	必须接 “H” 或 “L” 电平，或者开路。
P3_0 ~ P3_7	输入端口 P3	输入	必须接 “H” 或 “L” 电平，或者开路。
P4_0 ~ P4_7	输入端口 P4	输入	必须接 “H” 或 “L” 电平，或者开路。
P5_0	CE 输入	输入	必须接 “H” 电平。
P5_1 ~ P5_4、P5_6、P5_7	输入端口 P5	输入	必须接 “H” 或 “L” 电平，或者开路。
P5_5	EPM 输入	输入	必须接 “L” 电平。
P6_0 ~ P6_3	输入端口 P6	输入	必须接 “H” 或 “L” 电平，或者开路。
P6_4/RTS1	BUSY 输出	输出	- 标准串行输入 / 输出模式 1：为 BUSY 信号的输出引脚。 - 标准串行输入 / 输出模式 2：为用于引导程序运行检查的监视信号输出引脚。
P6_5/CLK1	SCLK 输入	输入	- 标准串行输入 / 输出模式 1：为串行时钟的输入引脚。 - 标准串行输入 / 输出模式 2：必须接 “L” 电平。
P6_6/RXD1	RXD 输入	输入	是串行数据的输入引脚。
P6_7/TXD1	TXD 输出	输出	是串行数据的输出引脚（注 1）。
P7_0 ~ P7_7	输入端口 P7	输入	必须接 “H” 或 “L” 电平，或者开路。
P8_0 ~ P8_3、P8_6、P8_7	输入端口 P8	输入	必须接 “H” 或 “L” 电平，或者开路。
P8_4	P8_4 输入	输入	必须接 “L” 电平（注 2）。
P8_5/NMI	NMI 输入	输入	必须连接到 VCC1。
P9_0 ~ P9_4、P9_7	输入端口 P9	输入	必须接 “H” 或 “L” 电平，或者开路。
P9_5/CRX0	CRX 输入	输入	必须接 “H” 或 “L” 电平，或者 CAN 收发器。
P9_6/CTX0	CTX 输出	输出	必须接 “H” 电平、开路或者 CAN 收发器。
P10_0 ~ P10_7	输入端口 P10	输入	必须接 “H” 或 “L” 电平，或者开路。
P11_0 ~ P11_7（注 3）	输入端口 P11	输入	必须接 “H” 或 “L” 电平，或者开路。
P12_0 ~ P12_7（注 3）	输入端口 P12	输入	必须接 “H” 或 “L” 电平，或者开路。
P13_0 ~ P13_7（注 3）	输入端口 P13	输入	必须接 “H” 或 “L” 电平，或者开路。
P14_0、P14_1（注 3）	输入端口 P14	输入	必须接 “H” 或 “L” 电平，或者开路。

注 1. 使用标准串行输入 / 输出模式时，在 RESET 引脚为 “L” 电平期间需要将 TXD1（P6_7）引脚接 “H” 电平。因此，TXD1（P6_7）引脚变为内置上拉有效。

注 2. 使用标准串行输入 / 输出模式时，P8_4 引脚为 “H” 电平，RESET 引脚为 “L” 电平期间，P0_0 ~ P0_7、P1_0 ~ P1_7 可能会输出不定值。如果产生此问题，必须将 P8_4 引脚输入 “L” 电平。

注 3. 仅限 128 引脚版。

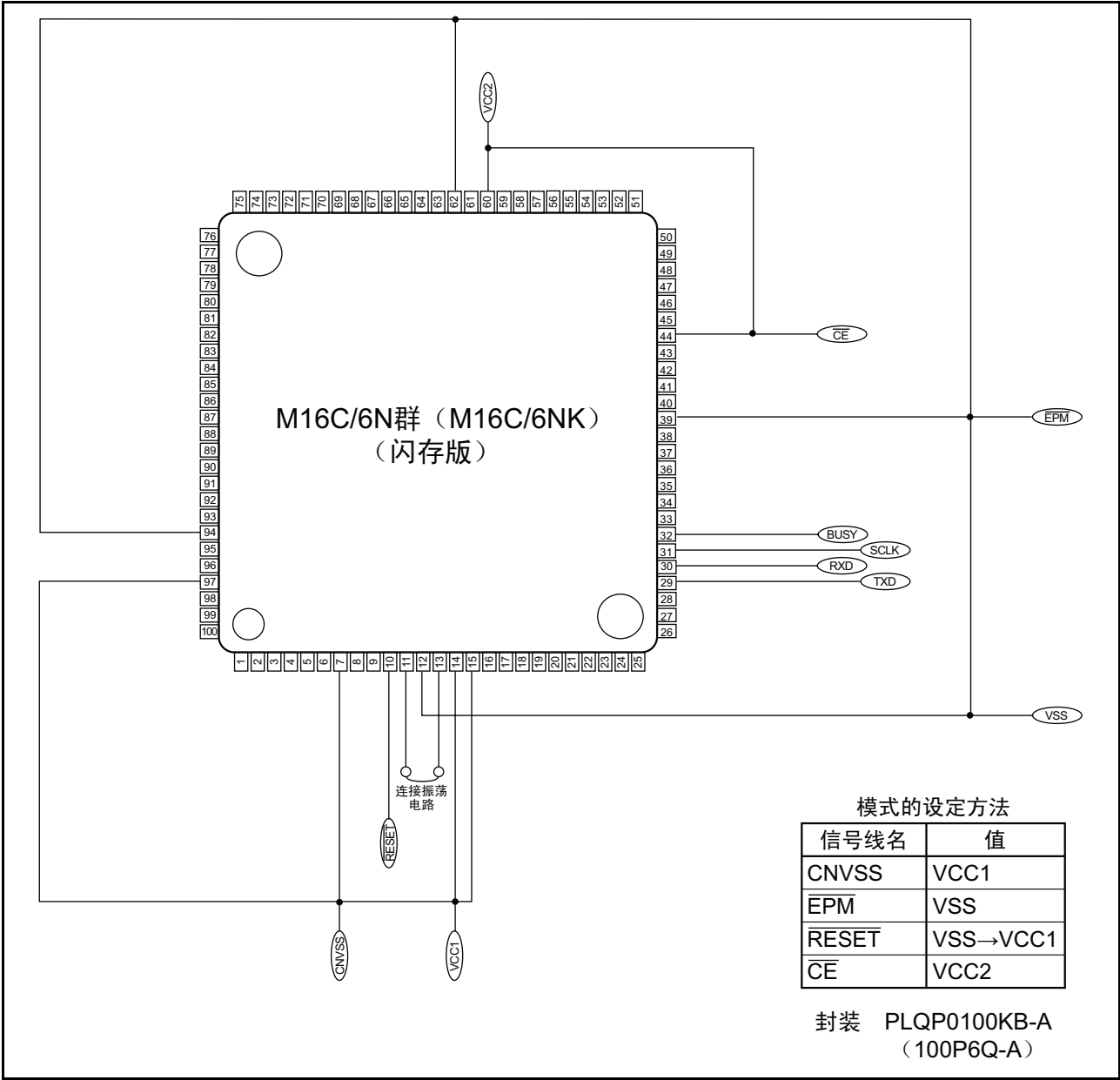


图 22.13 标准串行输入 / 输出模式时的引脚接线图（1）

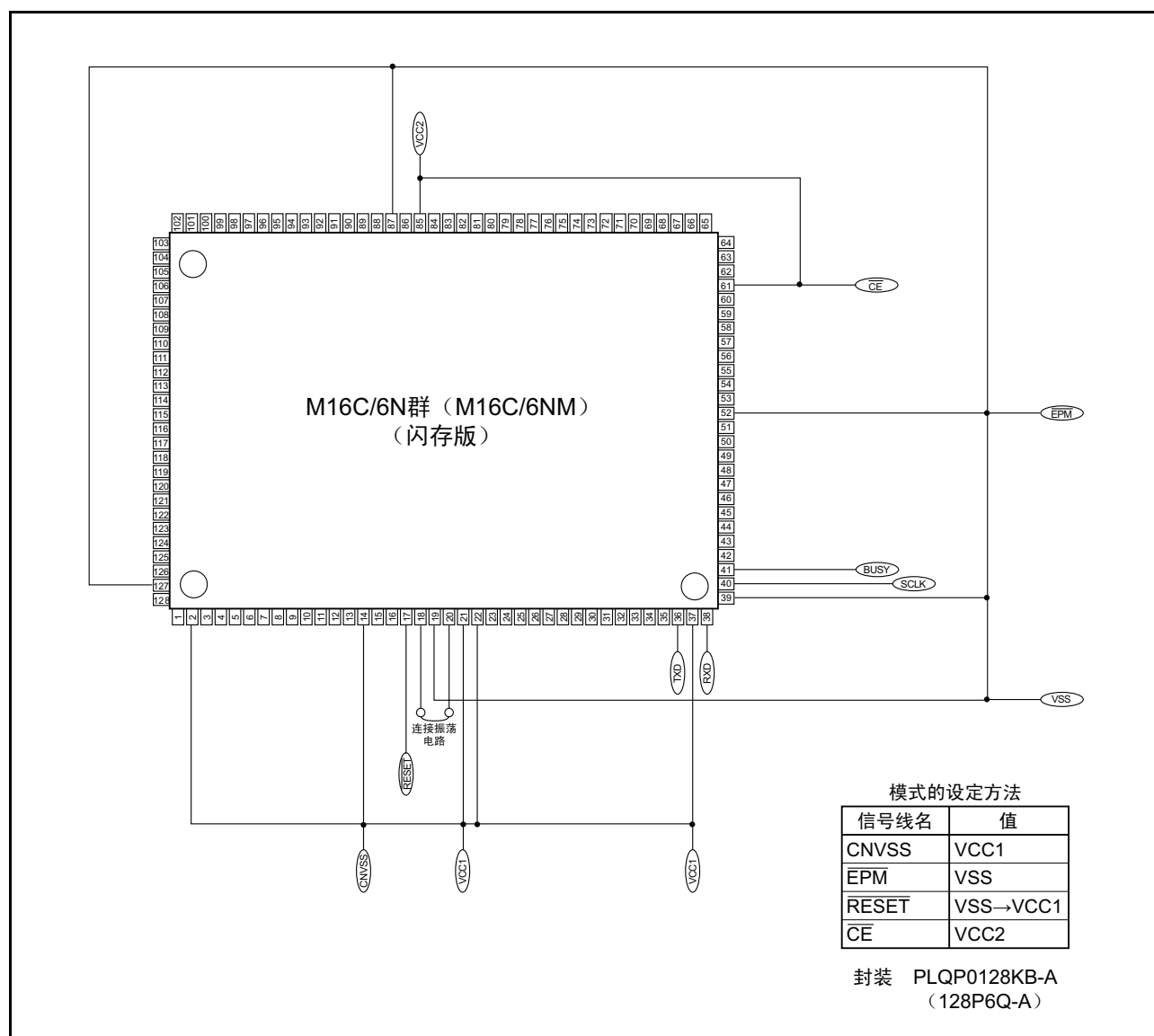


图 22.14 标准串行输入 / 输出模式时的引脚接线图 (2)

22.4.2 标准串行输入 / 输出模式 1 及 2 时的引脚处理例

使用标准串行输入 / 输出模式 1 时的引脚处理例如图 22.15、使用标准串行输入 / 输出模式 2 时的引脚处理例如图 22.16 所示。控制的引脚等因编程器而不同，所以详细内容请参照编程器手册。

另外，使用标准串行输入 / 输出模式 2 时，必须将主时钟的输入振荡频率设定为 5MHz、10MHz 或者 16MHz。

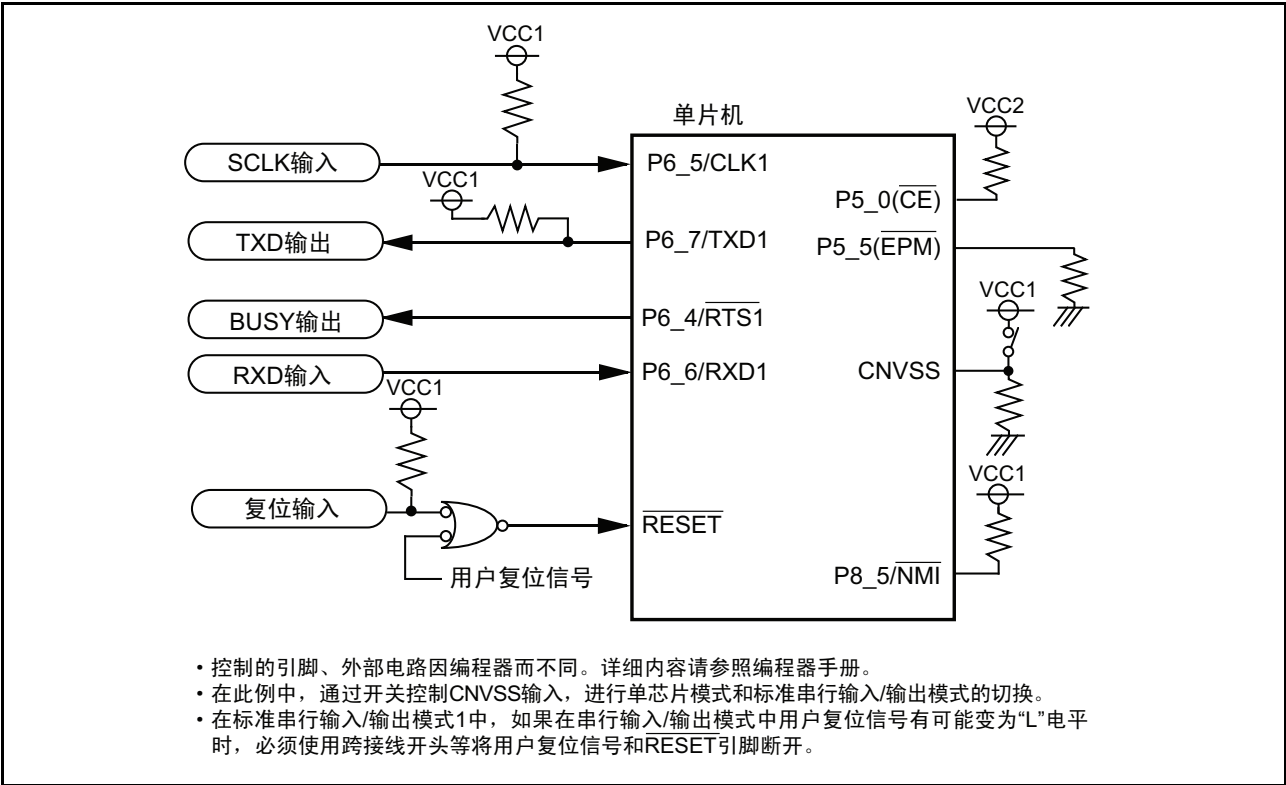


图 22.15 使用标准串行输入 / 输出模式 1 时的引脚处理例

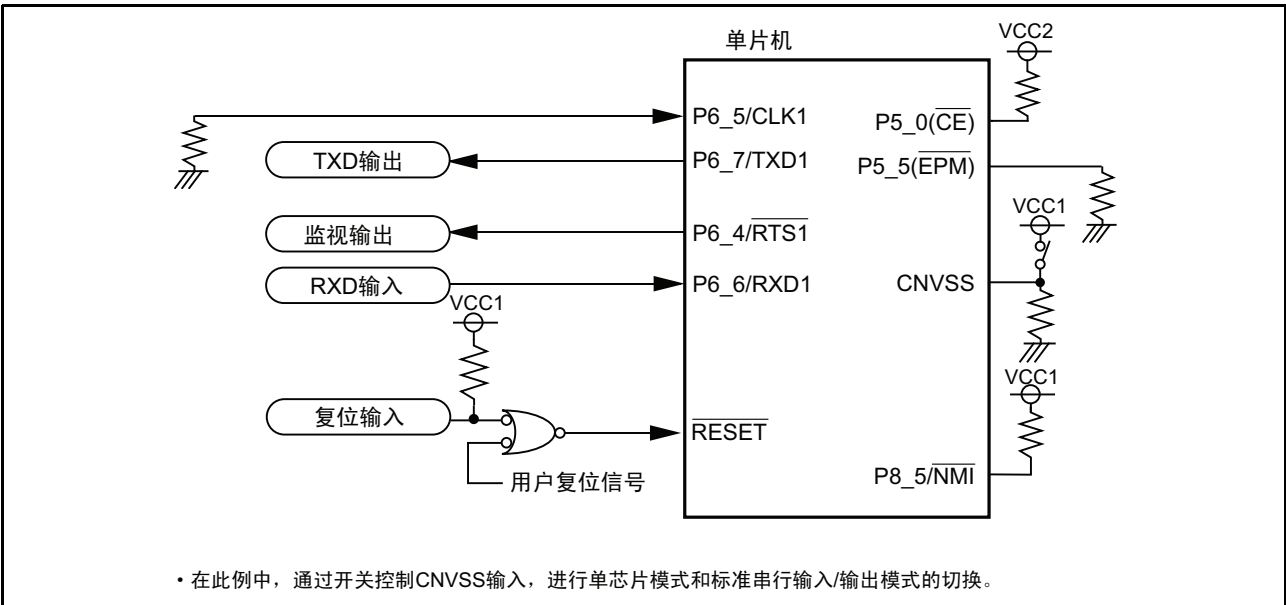


图 22.16 使用标准串行输入 / 输出模式 2 时的引脚处理例

22.5 并行输入 / 输出模式

在并行输入 / 输出模式，使用对应 M16C/6N 群（M16C/6NK、M16C/6NM）的并行编程器，能改写用户 ROM 区和引导 ROM 区。关于并行编程器，请向各厂商查询。另外，关于并行编程器的操作方法，请参照并行编程器的用户手册。

22.5.1 引导 ROM 区

引导 ROM 区的擦除块只有 1 块 4K 字节的擦除块。从瑞萨出货时，引导 ROM 区存有出货时标准串行输入 / 输出模式及 CAN 输入 / 输出模式的改写控制程序。因此，在使用串行编程器或 CAN 编程器时，请不要改写引导 ROM 区。

在并行输入 / 输出模式，引导 ROM 区分配于 0FF000h ~ 0FFFFFFh 地址。在需要改写引导 ROM 区时，必须在此范围内改写（不能存取 0FF000h ~ 0FFFFFFh 地址以外的空间）。

22.5.2 ROM 码保护功能

是禁止读或者改写闪存的功能（请参照“22.2 闪存改写禁止功能”）。

22.6 CAN 输入 / 输出模式

在 CAN 输入 / 输出模式，使用对应 M16C/6N 群（M16C/6NK、M16C/6NM）的 CAN 编程器，在将单片机安装在电路板的状态下，能改写用户 ROM 区。关于 CAN 编程器，请向各厂商查询。另外，关于 CAN 编程器的操作方法，请参照 CAN 编程器的用户手册。

CAN 输入 / 输出模式的引脚的功能说明如表 22.8、CAN 输入 / 输出模式时的引脚接线图如图 22.17、图 22.18 所示。

22.6.1 ID 码检查功能

判断从 CAN 编程器送来的 ID 码是否和写在闪存中的 ID 码一致（请参照“22.2 闪存改写禁止功能”）。

表 22.8 CAN 输入 / 输出模式的引脚的功能说明

引脚名	名称	输入 / 输出	功能
VCC1、VCC2、VSS	电源输入		必须给 VCC1 引脚输入闪存写、擦除电压，给 VCC2 引脚输入 VCC2，VCC 的输入条件为 VCC2=VCC1。给 VSS 引脚输入 0V。
CNVSS	CNVSS	输入	必须连接到 VCC1。
RESET	复位输入	输入	是复位输入引脚。在 RESET 引脚为“L”期间，必须给 XIN 引脚输入 20 个或 20 个或 20 个以上周期的时钟。
XIN	时钟输入	输入	必须在 XIN 引脚和 XOUT 引脚之间连接陶瓷谐振器或者晶体振荡器。在输入外部生成的时钟时，必须从 XIN 引脚输入，并且 XOUT 引脚开路。
XOUT	时钟输出	输出	
BYTE	BYTE 输入	输入	必须连接到 VCC1 或者 VSS。
AVCC、AVSS	模拟电源输入		AVCC 引脚必须连接到 VCC1，AVSS 引脚必须连接到 VSS。
VREF	基准电压输入	输入	A/D 转换器、D/A 转换器的基准电压输入引脚。
P0_0 ~ P0_7	输入端口 P0	输入	必须接“H”或“L”电平，或者开路。
P1_0 ~ P1_7	输入端口 P1	输入	必须接“H”或“L”电平，或者开路。
P2_0 ~ P2_7	输入端口 P2	输入	必须接“H”或“L”电平，或者开路。
P3_0 ~ P3_7	输入端口 P3	输入	必须接“H”或“L”电平，或者开路。
P4_0 ~ P4_7	输入端口 P4	输入	必须接“H”或“L”电平，或者开路。
P5_0	CE 输入	输入	必须接“H”电平。
P5_1 ~ P5_4、P5_6、P5_7	输入端口 P5	输入	必须接“H”或“L”电平，或者开路。
P5_5	EPM 输入	输入	必须接“L”电平。
P6_0 ~ P6_4、P6_6	输入端口 P6	输入	必须接“H”或“L”电平，或者开路。
P6_5/CLK1	SCLK 输入	输入	必须接“L”电平。
P6_7/TXD1	TXD 输出	输出	必须接“H”电平。
P7_0 ~ P7_7	输入端口 P7	输入	必须接“H”或“L”电平，或者开路。
P8_0 ~ P8_3、P8_6、P8_7	输入端口 P8	输入	必须接“H”或“L”电平，或者开路。
P8_4	P8_4 输入	输入	必须接“L”电平（注 1）。
P8_5/NMI	NMI 输入	输入	必须连接到 VCC1。
P9_0 ~ P9_4、P9_7	输入端口 P9	输入	必须接“H”或“L”电平，或者开路。
P9_5/CRX0	CRX 输入	输入	必须接 CAN 收发器。
P9_6/CTX0	CTX 输出	输出	必须接 CAN 收发器。
P10_0 ~ P10_7	输入端口 P10	输入	必须接“H”或“L”电平，或者开路。
P11_0 ~ P11_7（注 2）	输入端口 P11	输入	必须接“H”或“L”电平，或者开路。
P12_0 ~ P12_7（注 2）	输入端口 P12	输入	必须接“H”或“L”电平，或者开路。
P13_0 ~ P13_7（注 2）	输入端口 P13	输入	必须接“H”或“L”电平，或者开路。
P14_0、P14_1（注 2）	输入端口 P14	输入	必须接“H”或“L”电平，或者开路。

注 1. 使用 CAN 输入 / 输出模式时，P8_4 引脚为“H”电平，RESET 引脚为“L”电平期间，P0_0 ~ P0_7、P1_0 ~ P1_7 可能会输出不定值。如果产生此问题，必须向 P8_4 引脚输入“L”电平。

注 2. 仅限 128 引脚版。

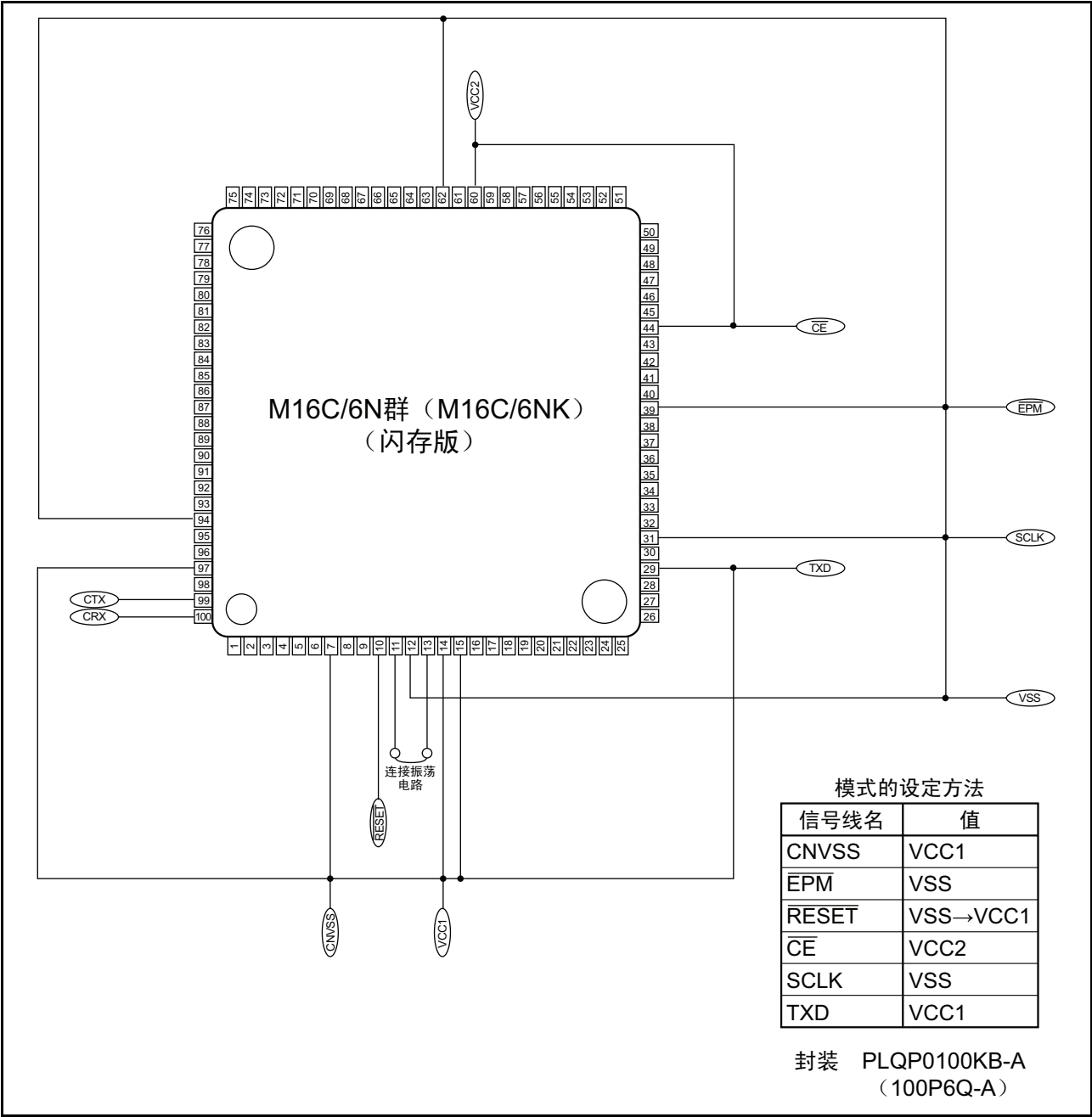


图 22.17 CAN 输入 / 输出模式时的引脚接线图（1）

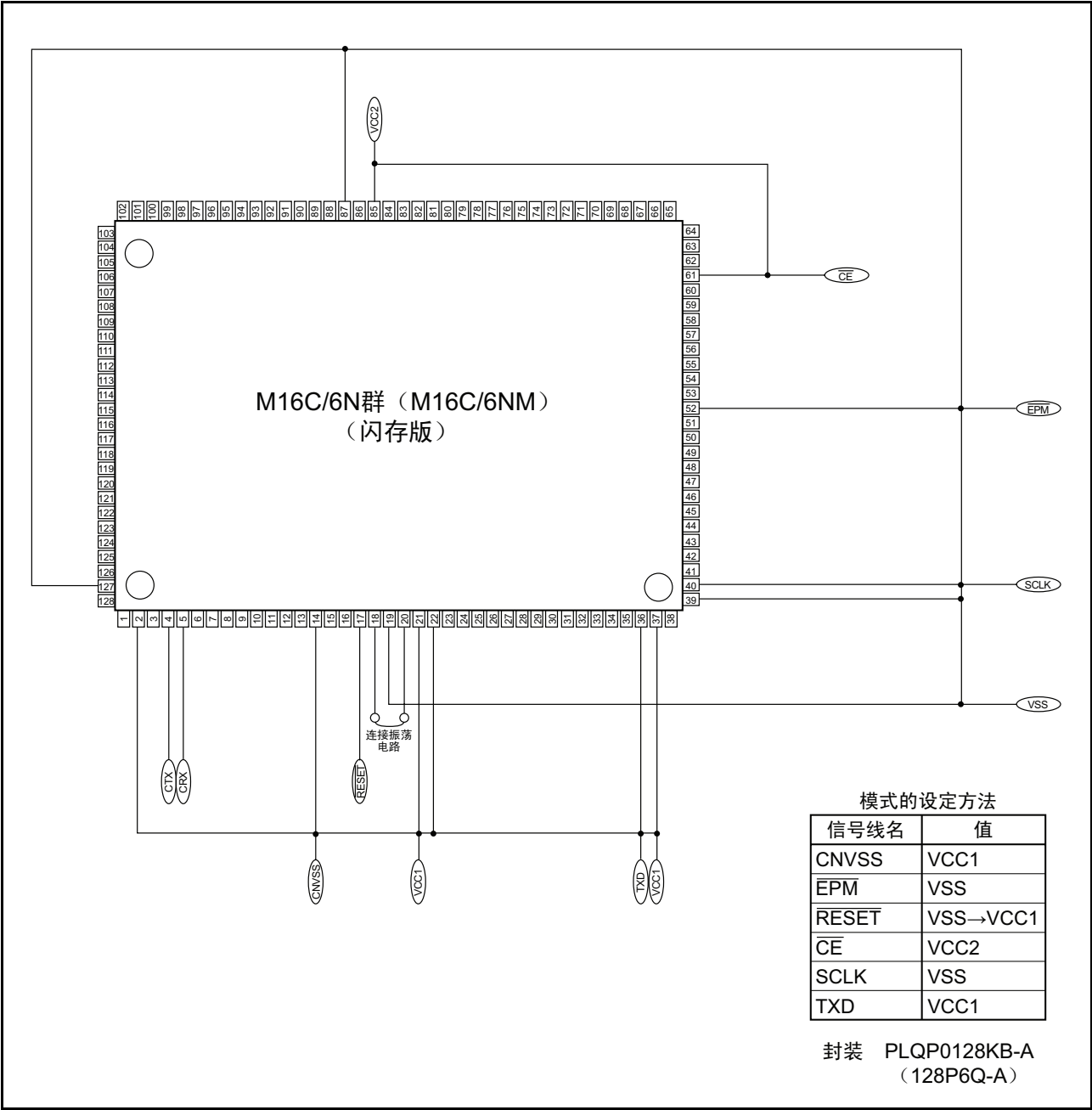


图 22.18 CAN 输入 / 输出模式时的引脚接线图（2）

22.6.2 使用 CAN 输入 / 输出模式时的引脚处理例

使用 CAN 输入 / 输出模式时的引脚处理例如图 22.19 所示。控制的引脚等因编程器而不同，所以详细内容请参照编程器手册。

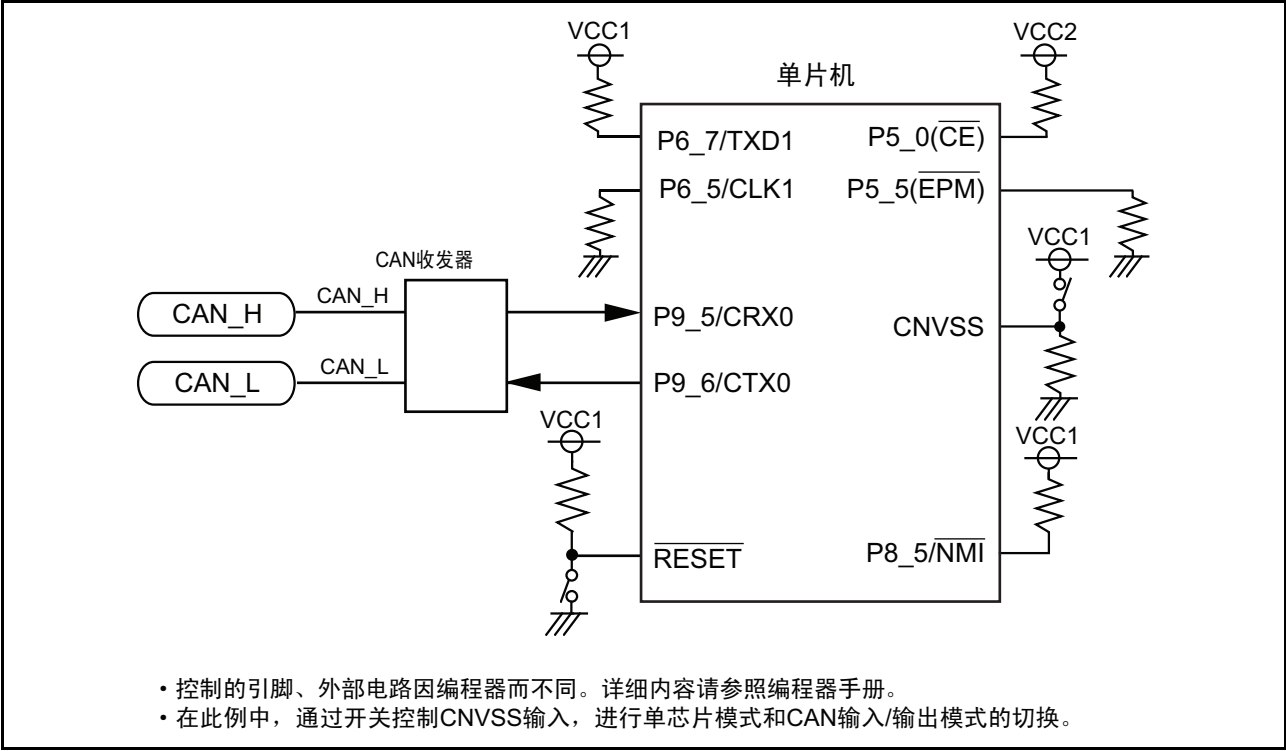


图 22.19 使用 CAN 输入 / 输出模式时的引脚处理例

23. 电特性

23.1 电特性 (Normal-ver.)

表 23.1 绝对最大额定值

符号	项目		条件	绝对最大额定	单位
V _{CC}	电源电压 (V _{CC1} =V _{CC2})		V _{CC} =AV _{CC}	-0.3 ~ 6.5	V
AV _{CC}	模拟电源电压		V _{CC} =AV _{CC}	-0.3 ~ 6.5	V
V _I	输入电压	RESET、CNVSS、BYTE、 P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、 P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0、 P7_2 ~ P7_7、P8_0 ~ P8_7、P9_0、 P9_2 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1、VREF、XIN		-0.3 ~ V _{CC} +0.3	V
		P7_1、P9_1		-0.3 ~ 6.5	V
V _O	输出电压	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、 P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0、 P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、 P8_7、P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、 P14_1、XOUT		-0.3 ~ V _{CC} +0.3	V
		P7_1、P9_1		-0.3 ~ 6.5	V
P _d	功耗		T _{opr} =25°C	700	mW
T _{opr}	工作环境温度	单片机运行时		-40 ~ 85	°C
		闪存写或擦除时		0 ~ 60	
T _{stg}	保存温度			-65 ~ 150	°C

注 1. P11 ~ P14 仅限 128 引脚版。

表 23.2 推荐运行条件 (1) (注 1)

符号	项目	额定值			单位
		最小	典型	最大	
VCC	电源电压 (VCC1=VCC2)	3.0	5.0	5.5	V
AVCC	模拟电源电压		VCC		V
VSS	电源电压		0		V
AVSS	模拟电源电压		0		V
VIH	“H”电平 输入电压	P3_1 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、 P7_0、P7_2 ~ P7_7、P8_0 ~ P8_7、P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、 P14_0、P14_1、XIN、RESET、CNVSS、BYTE	0.8VCC	VCC	V
		P7_1、P9_1	0.8VCC	6.5	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 (单芯片模式时)	0.8VCC	VCC	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 (存储器扩展、微处理器模式时的数据输入)	0.5VCC	VCC	V
VIL	“L”电平 输入电压	P3_1 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、 P7_0 ~ P7_7、P8_0 ~ P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、 P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、 P14_1、XIN、RESET、CNVSS、BYTE	0	0.2VCC	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 (单芯片模式时)	0	0.2VCC	V
		P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 (存储器扩展、微处理器模式时的数据输入)	0	0.16VCC	V
IOH(peak)	峰值 “H” 电平 输出电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0、 P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、 P13_0 ~ P13_7、P14_0、P14_1		-10.0	mA
IOH(avg)	平均 “H” 电平 输出电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0、 P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、 P13_0 ~ P13_7、P14_0、P14_1		-5.0	mA
IOL(peak)	峰值 “L” 电平 输出电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0 ~ P9_7、 P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1		10.0	mA
IOL(avg)	平均 “L” 电平 输出电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0 ~ P9_7、 P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1		5.0	mA

注 1. 不指定时，VCC=3.0V ~ 5.5V、Topr=-40 ~ 85°C。

注 2. 平均输出电流为 100ms 期间的平均值。

注 3. 必须使端口 P0、P1、P2、P8_6、P8_7、P9、P10、P11、P14_0、P14_1 的 IOL(peak) 总计小于等于 80mA；
端口 P3、P4、P5、P6、P7、P8_0 ~ P8_4、P12、P13 的 IOL(peak) 总计小于等于 80mA；端口 P0、P1、P2
的 IOH(peak) 总计小于等于 -40mA；端口 P3、P4、P5、P12、P13 的 IOH(peak) 总计小于等于 -40mA；端口
P6、P7、P8_0 ~ P8_4 的 IOH(peak) 总计小于等于 -40mA；端口 P8_6、P8_7、P9、P10、P11、P14_0、
P14_1 的 IOH(peak) 总计小于等于 -40mA。

注 4. P11 ~ P14 仅限 128 引脚版。

表 23.3 推荐运行条件（2）（注 1）

符号	项目				额定值			单位
					最小	典型	最大	
f(XIN)	主时钟输入振荡频率 （注 2、3、4）	无等待	掩模型 ROM 版 闪存版	VCC=3.0V ~ 5.5V	0		16	MHz
f(XCIN)	副时钟振荡频率					32.768	50	kHz
f(Ring)	内部振荡器振荡频率					1		MHz
f(PLL)	PLL 时钟振荡频率				16		24	MHz
f(BCLK)	CPU 运行频率			VCC=3.0V ~ 5.5V	0		24	MHz
t _{su} (PLL)	PLL 频率合成器稳定等待时间						20	ms

- 注 1. 不指定时，VCC=3.0V ~ 5.5V、Topr=-40 ~ 85°C。
- 注 2. 主时钟输入频率和电源电压的关系如下所示。
- 注 3. 闪存的写入和擦除必须设定为 VCC=3.3V±0.3V 或 VCC=5.0V±0.5V。
- 注 4. 在使用大于等于 16MHz 的时钟时，必须使用 PLL 时钟。可使用的 PLL 时钟频率为 16MHz、20MHz 或 24MHz。

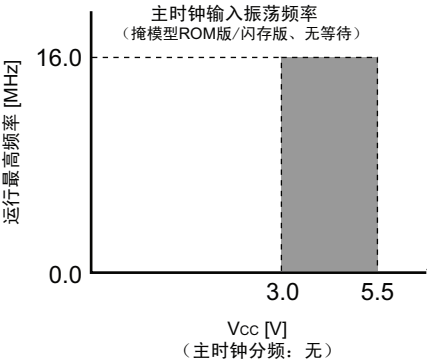


表 23.4 电特性 (1) (注 1)

符号	项目	测定条件	额定值			单位
			最小	典型	最大	
V _{OH}	“H”电平 输出电压 P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、 P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0、P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0、P9_2 ~ P9_7、 P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1	I _{OH} =-5mA	V _{CC} -2.0		V _{CC}	V
V _{OH}	“H”电平 输出电压 P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、 P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0、P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0、P9_2 ~ P9_7、 P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1	I _{OH} =-200μA	V _{CC} -0.3		V _{CC}	V
V _{OH}	“H”电平输出电压 XOUT	HIGHPOWER	I _{OH} =-1mA	3.0	V _{CC}	V
		LOWPOWER	I _{OH} =-0.5mA	3.0	V _{CC}	
	“H”电平输出电压 XCOUT	HIGHPOWER	无负载时	2.5		V
		LOWPOWER	无负载时	1.6		
V _{OL}	“L”电平 输出电压 P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、 P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_7、 P8_0 ~ P8_4、P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、 P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、 P14_1	I _{OL} =5mA			2.0	V
V _{OL}	“L”电平 输出电压 P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、 P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_7、 P8_0 ~ P8_4、P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、 P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、 P14_1	I _{OL} =200μA			0.45	V
V _{OL}	“L”电平输出电压 XOUT	HIGHPOWER	I _{OL} =1mA		2.0	V
		LOWPOWER	I _{OL} =0.5mA		2.0	
	“L”电平输出电压 XCOUT	HIGHPOWER	无负载时	0		V
		LOWPOWER	无负载时	0		
V _{T+} -V _{T-}	滞后 HOLD、RDY、TA0IN ~ TA4IN、TB0IN ~ TB5IN、INT0 ~ INT8、NMI、ADTRG、CTS0 ~ CTS2、SCL0 ~ SCL2、 SDA0 ~ SDA2、CLK0 ~ CLK6、TA0OUT ~ TA4OUT、 KI0 ~ KI3、RXD0 ~ RXD2、SIN3 ~ SIN6		0.2		1.0	V
V _{T+} -V _{T-}	滞后 RESET		0.2		2.5	V
I _{IH}	“H”电平 输入电流 P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、 P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_7、 P8_0 ~ P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、 P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1XIN、RESET、 CNVSS、BYTE	V _I =5V			5.0	μA
I _{IL}	“L”电平 输入电流 P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、 P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_7、 P8_0 ~ P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、 P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1XIN、RESET、 CNVSS、BYTE	V _I =0V			-5.0	μA
R _{PULLUP}	上拉电阻 P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、 P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0、P7_2 ~ P7_7、 P8_0 ~ P8_4、P8_6、P8_7、P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、 P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、 P14_1	V _I =0V	30	50	170	kΩ
R _{XIN}	反馈电阻 XIN			1.5		MΩ
R _{XCIN}	反馈电阻 XCIN			15		MΩ
V _{RAM}	RAM 保持电压	停止模式时	2.0			V

注 1. 不指定时，V_{CC}=4.2 ~ 5.5V、V_{SS}=0V、T_{opr}=-40 ~ 85°C、f(BCLK)=24MHz。

注 2. P11 ~ P14、INT6 ~ INT8、CLK5、CLK6、SIN5、SIN6 仅限 128 引脚版。

表 23.5 电特性 (2) (注 1)

符号	项目		测定条件		额定值			单位
					最小	典型	最大	
I _{CC}	电源电流 (VCC=3.0 ~ 5.5V)	单芯片模式中、 输出引脚开路、 其它引脚为 VSS	掩模型 ROM	f(BCLK)=24MHz、 PLL 运行时，无分频		21	37	mA
				内部振荡器振荡运行时 无分频		1		mA
			闪存	f(BCLK)=24MHz、 PLL 运行时，无分频		23	39	mA
				内部振荡器振荡运行时 无分频		1.8		mA
			闪存编程	f(BCLK)=10MHz、 VCC=5V		15		mA
			闪存擦除	f(BCLK)=10MHz、 VCC=5V		25		mA
			掩模型 ROM	f(BCLK)=32kHz、 低功耗模式时 ROM (注 2)		25		μA
			闪存	f(BCLK)=32kHz、 低功耗模式时 ROM (注 2)		25		μA
				f(BCLK)=32kHz、 低功耗模式时闪存 (注 2)		420		μA
			掩模型 ROM、 闪存	内部振荡器振荡运行， 等待模式时		50		μA
				f(BCLK)=32kHz、 等待模式时 (注 3) 振荡能力 High		8.5		μA
				f(BCLK)=32kHz、 等待模式时 (注 3) 振荡能力 Low		3.0		μA
				停止模式时、T _{opr} =25°C		0.8	3.0	μA

注 1. 不指定时，VCC=3.0 ~ 5.5V、VSS=0V、T_{opr}=-40 ~ 85°C、f(BCLK)=24MHz。

注 2. 表示存在执行程序存储器。

注 3. 通过 fC32 使 1 个定时器运行的状态。

表 23.6 A/D 转换特性（注 1）

符号	项目		测定条件		额定值			单位
					单位	典型	最大	
—	分辨率		VREF=VCC				10	Bits
INL	积分非线性误差	10 位	VREF=VCC=5V	ANEX0、ANEX1 输入、AN0 ~ AN7 输入、AN0_0 ~ AN0_7 输入、AN2_0 ~ AN2_7 输入			±3	LSB
				外部运算放大器连接模式			±7	LSB
			VREF=VCC=3.3V	ANEX0、ANEX1 输入、AN0 ~ AN7 输入、AN0_0 ~ AN0_7 输入、AN2_0 ~ AN2_7 输入			±5	LSB
				外部运算放大器连接模式			±7	LSB
		8 位	VREF=AVCC=VCC=3.3V				±2	LSB
—	绝对精度	10 位	VREF=VCC=5V	ANEX0、ANEX1 输入、AN0 ~ AN7 输入、AN0_0 ~ AN0_7 输入、AN2_0 ~ AN2_7 输入			±3	LSB
				外部运算放大器连接模式			±7	LSB
			VREF=VCC=3.3V	ANEX0、ANEX1 输入、AN0 ~ AN7 输入、AN0_0 ~ AN0_7 输入、AN2_0 ~ AN2_7 输入			±5	LSB
				外部运算放大器连接模式			±7	LSB
		8 位	VREF=AVCC=VCC=3.3V				±2	LSB
DNL	微分非线性误差						±1	LSB
—	偏移误差						±3	LSB
—	增益误差						±3	LSB
RLADDER	梯形电阻		VREF=VCC		10		40	kΩ
tCONV	转换时间（10 位）、有采样 & 保持		VREF=VCC=5V、φAD=10MHz		3.3			μs
	转换时间（8 位）、有采样 & 保持		VREF=VCC=5V、φAD=10MHz		2.8			μs
tSAMP	采样时间				0.3			μs
VREF	基准电压				2.0		VCC	V
VIA	模拟输入电压				0		VREF	V

注 1. 不指定时，VCC=AVCC=VREF=3.3 ~ 5.5V、VSS=AVSS=0V、Topr=-40 ~ 85°C。

注 2. φAD 的频率必须小于等于 10MHz。

注 3. 没有采样 & 保持时，除了注 2 的限制以外，φAD 的频率必须大于等于 250kHz。
有采样 & 保持时，除了注 2 的限制以外，φAD 的频率必须大于等于 1MHz。

表 23.7 D/A 转换特性（注 1）

符号	项目	测定条件	额定值			单位
			最小	典型	最大	
—	分辨率				8	Bits
—	绝对精度				1.0	%
tsu	设定时间				3	μs
Ro	输出电阻		4	10	20	kΩ
IVREF	基准电源输入电流	（注 2）			1.5	mA

注 1. 不指定时，VCC=VREF=3.3 ~ 5.5V、VSS=AVSS=0V、Top=-40 ~ 85°C。

注 2. 此为使用 1 个 D/A 转换器，且其余未使用的 D/A 转换器的 DAi 寄存器（i=0、1）的值为“00h”时的情况。流经 A/D 转换器梯形电阻的电流除外。另外，即使在 ADCON1 寄存器中 VREF 未连接时，也存在 D/A 转换器的 IVREF。

表 23.8 闪存电特性（注 1）

符号	项目		额定值			单位
			最小	典型	最大	
—	编程、擦除次数（注 2）		100			次
—	字编程时间（VCC=5.0V）			25	200	μs
—	锁住位编程时间			25	200	μs
—	块擦除时间（VCC=5.0V）	4K 字节块		0.3	4	s
		8K 字节块		0.3	4	s
		32K 字节块		0.5	4	s
		64K 字节块		0.8	4	s
—	擦除全部非锁住块时间				4×n（注 3）	s
tPS	闪存电路稳定等待时间				15	μs

注 1. 不指定时，VCC=4.5～5.5V、3.0～3.6V、Topr=0～60℃。

注 2. 编程、擦除次数的定义

编程、擦除次数为各块的擦除次数。

编程、擦除次数为 n 次（n=100）时，能按块分别擦除 n 次。

例如，对 4K 字节块的块 A 的不同地址进行 2,048 次的 1 个字的写入操作后擦除此块，编程/擦除次数也计为 1 次。但是，对于 1 次的擦除，不能对同一地址进行多次写入操作（禁止盖写）。

注 3. n 为擦除的块数。

表 23.9 闪存的写 / 擦除电压和读工作电压特性（Topr=0～60℃）

闪存的写 / 擦除电压	闪存的读工作电压
VCC=3.3±0.3V 或者 5.0±0.5V	VCC=3.0～5.5V

表 23.10 电源电路的时序特性

符号	项目	测定条件	额定值			单位
			最小	典型	最大	
td(P-R)	接通电源时内部电源稳定时间	VCC=3.0～5.5V			2	ms
td(R-S)	STOP 解除时间				150	μs
td(W-S)	低功耗模式或等待模式的解除时间				150	μs

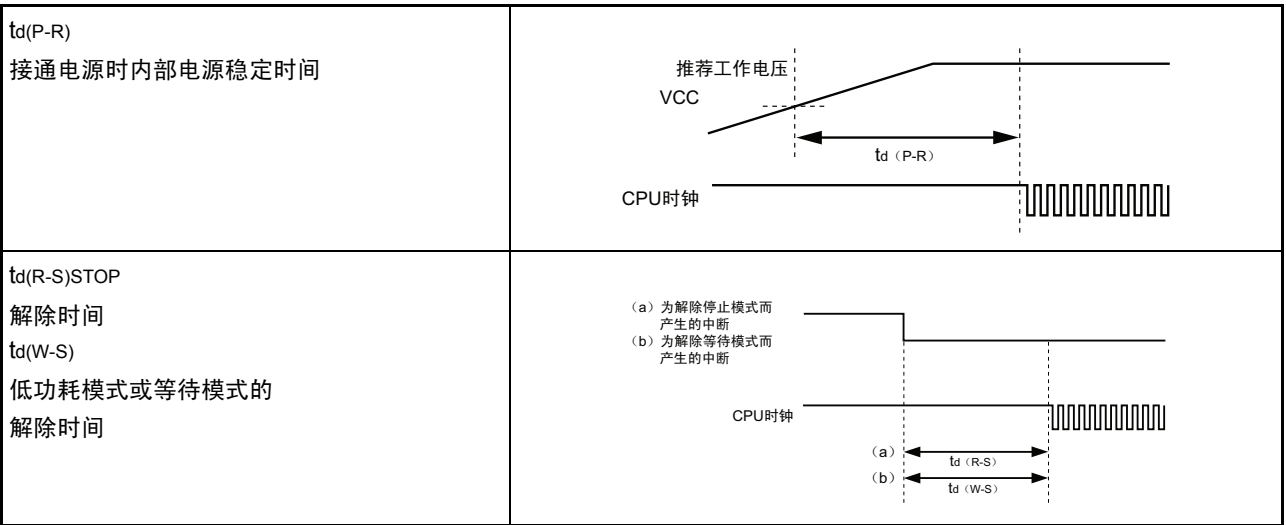


图 23.1 电源电路的时序图

时序必要条件
(不指定时, VCC=5V、VSS=0V、Topr=-40 ~ 85°C)

VCC=5V

表 23.11 外部时钟输入 (XIN 输入)

符号	项目	额定值		单位
		最小	最大	
t _c	外部时钟输入周期时间	62.5		ns
t _{w(H)}	外部时钟输入 “H” 电平脉宽	25		ns
t _{w(L)}	外部时钟输入 “L” 电平脉宽	25		ns
t _r	外部时钟上升时间		15	ns
t _f	外部时钟下降时间		15	ns

表 23.12 存储器扩展模式、微处理器模式

符号	项目	额定值		单位
		最小	最大	
t _{ac1} (RD-DB)	数据输入存取时间 (设定无等待时)		(注 1)	ns
t _{ac2} (RD-DB)	数据输入存取时间 (设定有等待时)		(注 2)	ns
t _{ac3} (RD-DB)	数据输入存取时间 (存取多路复用总线区域时)		(注 3)	ns
t _{su} (DB-RD)	数据输入准备时间	40		ns
t _{su} (RDY-BCLK)	$\overline{\text{RDY}}$ 输入准备时间	30		ns
t _{su} (HOLD-BCLK)	$\overline{\text{HOLD}}$ 输入准备时间	40		ns
t _h (RD-DB)	数据输入保持时间	0		ns
t _h (BCLK -RDY)	$\overline{\text{RDY}}$ 输入保持时间	0		ns
t _h (BCLK-HOLD)	$\overline{\text{HOLD}}$ 输入保持时间	0		ns

注 1. 按 BCLK 的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 45[\text{ns}]$$

注 2. 按 BCLK 的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 45[\text{ns}] \quad \begin{array}{l} \text{在设定 1 个等待时 } n \text{ 为 “2”；在设定 2 个等待时 } n \text{ 为 “3”；} \\ \text{在设定 3 个等待时 } n \text{ 为 “4”} \end{array}$$

注 3. 按 BCLK 的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 45[\text{ns}] \quad \text{在设定 2 个等待时 } n \text{ 为 “2”；在设定 3 个等待时 } n \text{ 为 “3”}$$

时序必要条件
(不指定时, VCC=5V、VSS=0V、Topr=-40 ~ 85°C)

VCC=5V

表 23.13 定时器 A 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
t _c (TA)	TAiIN 输入周期时间	100		ns
t _w (TAH)	TAiIN 输入 “H” 电平脉宽	40		ns
t _w (TAL)	TAiIN 输入 “L” 电平脉宽	40		ns

表 23.14 定时器 A 输入 (定时器模式的选通输入)

符号	项目	额定值		单位
		最小	最大	
t _c (TA)	TAiIN 输入周期时间	400		ns
t _w (TAH)	TAiIN 输入 “H” 电平脉宽	200		ns
t _w (TAL)	TAiIN 输入 “L” 电平脉宽	200		ns

表 23.15 定时器 A 输入 (单次触发定时器模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
t _c (TA)	TAiIN 输入周期时间	200		ns
t _w (TAH)	TAiIN 输入 “H” 电平脉宽	100		ns
t _w (TAL)	TAiIN 输入 “L” 电平脉宽	100		ns

表 23.16 定时器 A 输入 (脉宽调制模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
t _w (TAH)	TAiIN 输入 “H” 电平脉宽	100		ns
t _w (TAL)	TAiIN 输入 “L” 电平脉宽	100		ns

表 23.17 定时器 A 输入 (事件计数器模式的增减输入)

符号	项目	额定值		单位
		最小	最大	
t _c (UP)	TAiOUT 输入周期时间	2000		ns
t _w (UPH)	TAiOUT 输入 “H” 电平脉宽	1000		ns
t _w (UPL)	TAiOUT 输入 “L” 电平脉宽	1000		ns
t _{su} (UP-TIN)	TAiOUT 输入准备时间	400		ns
t _h (TIN-UP)	TAiOUT 输入保持时间	400		ns

表 23.18 定时器 A 输入 (事件计数器模式的二相脉冲输入)

符号	项目	额定值		单位
		最小	最大	
t _c (TA)	TAiIN 输入周期时间	800		ns
t _{su} (TAIN-TAOUT)	TAiOUT 输入准备时间	200		ns
t _{su} (TAOUT-TAIN)	TAiIN 输入准备时间	200		ns

时序必要条件
不指定时，VCC2=5V、VSS=0V、Topr=-40 ~ 85°C)

VCC=5V

表 23.19 定时器 B 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
t _c (TB)	TBiIN 输入周期时间 (单边沿计数)	100		ns
t _w (TBH)	TBiIN 输入 “H” 电平脉宽 (单边沿计数)	40		ns
t _w (TBL)	TBiIN 输入 “L” 电平脉宽 (单边沿计数)	40		ns
t _c (TB)	TBiIN 输入周期时间 (双边沿计数)	200		ns
t _w (TBH)	TBiIN 输入 “H” 电平脉宽 (双边沿计数)	80		ns
t _w (TBL)	TBiIN 输入 “L” 电平脉宽 (双边沿计数)	80		ns

表 23.20 定时器 B 输入 (脉冲周期测定模式)

符号	项目	额定值		单位
		最小	最大	
t _c (TB)	TBiIN 输入周期时间	400		ns
t _w (TBH)	TBiIN 输入 “H” 电平脉宽	200		ns
t _w (TBL)	TBiIN 输入 “L” 电平脉宽	200		ns

表 23.21 定时器 B 输入 (脉宽测定模式)

符号	项目	额定值		单位
		最小	最大	
t _c (TB)	TBiIN 输入周期时间	400		ns
t _w (TBH)	TBiIN 输入 “H” 电平脉宽	200		ns
t _w (TBL)	TBiIN 输入 “L” 电平脉宽	200		ns

表 23.22 A/D 触发输入

符号	项目	额定值		单位
		最小	最大	
t _c (AD)	ADTRG 输入周期时间 (触发可能最小)	1000		ns
t _w (ADL)	ADTRG 输入 “L” 电平脉宽	125		ns

表 23.23 串行接口

符号	项目	额定值		单位
		最小	最大	
t _c (CK)	CLKi 输入周期时间	200		ns
t _w (CKH)	CLKi 输入 “H” 电平脉宽	100		ns
t _w (CKL)	CLKi 输入 “L” 电平脉宽	100		ns
t _d (C-Q)	TXDi 输出延迟时间		80	ns
t _h (C-Q)	TXDi 保持时间	0		ns
t _{su} (D-C)	RXDi 输入准备时间	70		ns
t _h (C-D)	RXDi 输入保持时间	90		ns

表 23.24 外部中断 INTi 输入

符号	项目	额定值		单位
		最小	最大	
t _w (INH)	INTi 输入 “H” 电平脉宽	250		ns
t _w (INL)	INTi 输入 “L” 电平脉宽	250		ns

开关特性
(不指定时, VCC=5V、VSS=0V、Topr=-40 ~ 85°C)

VCC=5V

表 23.25 存储器扩展模式、微处理器模式 (设定无等待时)

符号	项目	测定条件	额定值		单位
			最小	最大	
td(BCLK-AD)	地址输出延迟时间	图 23.2		25	ns
th(BCLK-AD)	地址输出保持时间 (BCLK 基准)		4		ns
th(RD-AD)	地址输出保持时间 (RD 基准)		0		ns
th(WR-AD)	地址输出保持时间 (WR 基准)		(注 1)		ns
td(BCLK-CS)	片选输出延迟时间			25	ns
th(BCLK-CS)	片选输出保持时间 (BCLK 基准)		4		ns
td(BCLK-ALE)	ALE 信号输出延迟时间			15	ns
th(BCLK-ALE)	ALE 信号输出保持时间		-4		ns
td(BCLK-RD)	RD 信号输出延迟时间			25	ns
th(BCLK-RD)	RD 信号输出保持时间		0		ns
td(BCLK-WR)	WR 信号输出延迟时间			25	ns
th(BCLK-WR)	WR 信号输出保持时间		0		ns
td(BCLK-DB)	数据输出延迟时间 (BCLK 基准)			40	ns
th(BCLK-DB)	数据输出保持时间 (BCLK 基准) (注 3)		4		ns
td(DB-WR)	数据输出延迟时间 (WR 基准)		(注 2)		ns
th(WR-DB)	数据输出保持时间 (WR 基准) (注 3)		(注 1)		ns
td(BCLK-HLDA)	HLDA 输出延迟时间			40	ns

注 1. 按 BCLK 的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注 2. 按 BCLK 的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{ 小于等于 } 12.5\text{MHz}$$

注 3. 此额定值表示输出 OFF 的时序, 并非表示数据总线的保持时间。数据总线的保持时间因附加电容和上拉 (下拉) 电阻值而不同。

右图的电路中的数据总线的保持时间由以下计算式表示:

$$t = -CR \times \ln(1 - V_{OL}/V_{CC})$$

例如, 假设 $V_{OL}=0.2V_{CC}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$, 输出 “L” 电平的保持时间为
 $t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC}/V_{CC}) = 6.7\text{ns}$

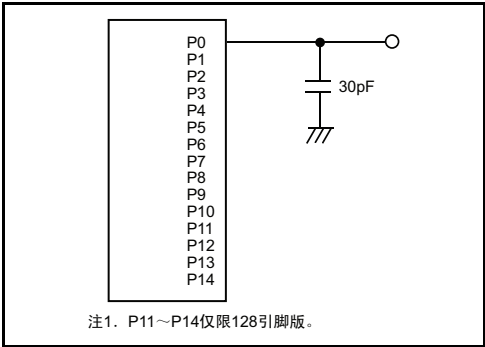
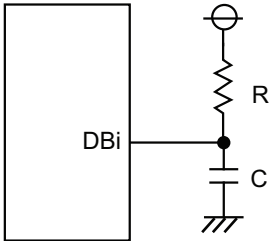


图 23.2 端口 P0 ~ P14 的测定电路

开关特性
（不指定时，VCC=5V、VSS=0V、Topr= -40 ~ 85°C）

VCC=5V

表 23.26 存储器扩展模式、微处理器模式（设定 1 ~ 3 个等待、存取外部区域时）

符号	项目	测定条件	额定值		单位
			最小	最大	
td(BCLK-AD)	地址输出延迟时间	图 23.2		25	ns
th(BCLK-AD)	地址输出保持时间（BCLK 基准）		4		ns
th(RD-AD)	地址输出保持时间（RD 基准）		0		ns
th(WR-AD)	地址输出保持时间（WR 基准）		（注 1）		ns
td(BCLK-CS)	片选输出延迟时间			25	ns
th(BCLK-CS)	片选输出保持时间（BCLK 基准）		4		ns
td(BCLK-ALE)	ALE 信号输出延迟时间			15	ns
th(BCLK-ALE)	ALE 信号输出保持时间		-4		ns
td(BCLK-RD)	RD 信号输出延迟时间			25	ns
th(BCLK-RD)	RD 信号输出保持时间		0		ns
td(BCLK-WR)	WR 信号输出延迟时间			25	ns
th(BCLK-WR)	WR 信号输出保持时间		0		ns
td(BCLK-DB)	数据输出延迟时间（BCLK 基准）			40	ns
th(BCLK-DB)	数据输出保持时间（BCLK 基准）（注 3）		4		ns
td(DB-WR)	数据输出延迟时间（WR 基准）		（注 2）		ns
th(WR-DB)	数据输出保持时间（WR 基准）（注 3）		（注 1）		ns
td(BCLK-HLDA)	HLDA 输出延迟时间			40	ns

注 1. 按 BCLK 的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注 2. 按 BCLK 的频率用以下的计算式计算。

$$\frac{(n - 0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

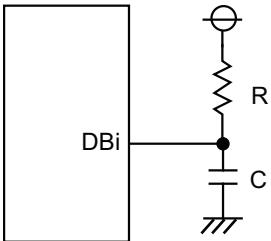
在设定 1 个等待时 n 为“1”；在设定 2 个等待时 n 为“2”；在设定 3 个等待时 n 为“3”
当 n=1 时，f(BCLK) 小于等于 12.5MHz

注 3. 此额定值表示输出 OFF 的时序，并非表示数据总线的保持时间。数据总线的保持时间因附加电容和上拉（下拉）电阻值而不同。

右图的电路中的数据总线的保持时间由以下计算式表示：

$$t = -CR \times \ln(1 - V_{OL}/V_{CC})$$

例如，假设 $V_{OL} = 0.2V_{CC}$ 、 $C = 30\text{pF}$ 、 $R = 1\text{k}\Omega$ ，输出“L”电平的保持时间为
 $t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC}/V_{CC}) = 6.7\text{ns}$



开关特性
(不指定时, VCC=5V、VSS=0V、Topr= -40 ~ 85°C)

VCC=5V

表 23.27 存储器扩展模式、微处理器模式
(设定 2、3 个等待、存取外部区域且选择多路复用总线时)

符号	项目	测定条件	额定值		单位
			最小	最大	
td(BCLK-AD)	地址输出延迟时间	图 23.2		25	ns
th(BCLK-AD)	地址输出保持时间 (BCLK 基准)		4		ns
th(RD-AD)	地址输出保持时间 (RD 基准)		(注 1)		ns
th(WR-AD)	地址输出保持时间 (WR 基准)		(注 1)		ns
td(BCLK-CS)	片选输出延迟时间			25	ns
th(BCLK-CS)	片选输出保持时间 (BCLK 基准)		4		ns
th(RD-CS)	片选输出保持时间 (RD 基准)		(注 1)		ns
th(WR-CS)	片选输出保持时间 (WR 基准)		(注 1)		ns
td(BCLK-RD)	RD 信号输出延迟时间			25	ns
th(BCLK-RD)	RD 信号输出保持时间		0		ns
td(BCLK-WR)	WR 信号输出延迟时间			25	ns
th(BCLK-WR)	WR 信号输出保持时间		0		ns
td(BCLK-DB)	数据输出延迟时间 (BCLK 基准)			40	ns
th(BCLK-DB)	数据输出保持时间 (BCLK 基准)		4		ns
td(DB-WR)	数据输出延迟时间 (WR 基准)		(注 2)		ns
th(WR-DB)	数据输出保持时间 (WR 基准)		(注 1)		ns
td(BCLK-HLDA)	HLDA 输出延迟时间			40	ns
td(BCLK-ALE)	ALE 输出延迟时间 (BCLK 基准)			15	ns
th(BCLK-ALE)	ALE 输出保持时间 (BCLK 基准)		-4		ns
td(AD-ALE)	ALE 输出延迟时间 (地址基准)		(注 3)		ns
th(ALE-AD)	ALE 输出保持时间 (地址基准)		(注 4)		ns
td(AD-RD)	地址后 RD 信号输出延迟时间		0		ns
td(AD-WR)	地址后 WR 信号输出延迟时间		0		ns
tdZ(RD-AD)	地址输出浮动开始时间			8	ns

注 1. 按 BCLK 的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注 2. 按 BCLK 的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \text{ 在设定 2 个等待时 } n \text{ 为 “2”；在设定 3 个等待时 } n \text{ 为 “3”}$$

注 3. 按 BCLK 的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 25[\text{ns}]$$

注 4. 按 BCLK 的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15[\text{ns}]$$

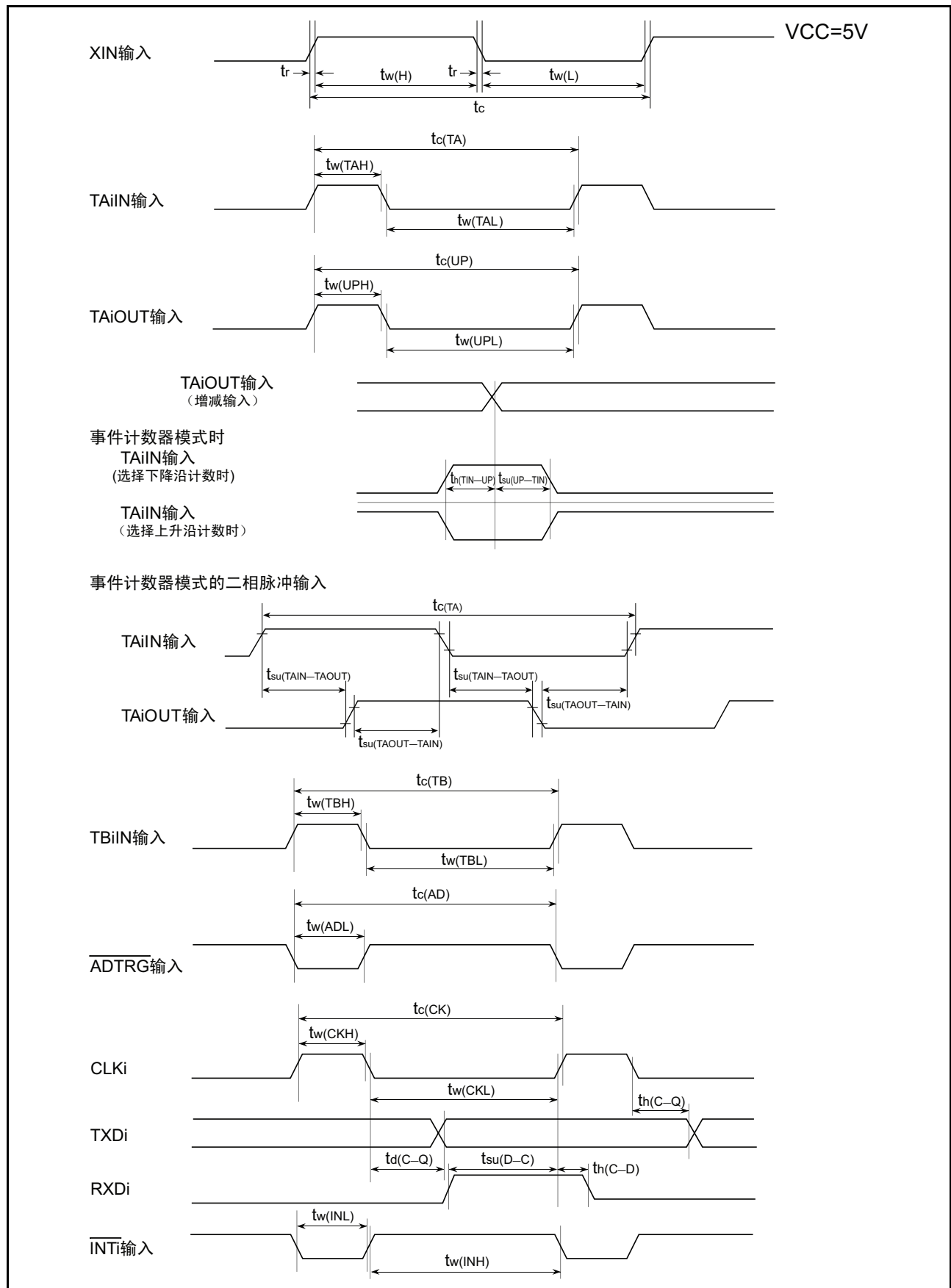


图 23.3 时序图 (1)

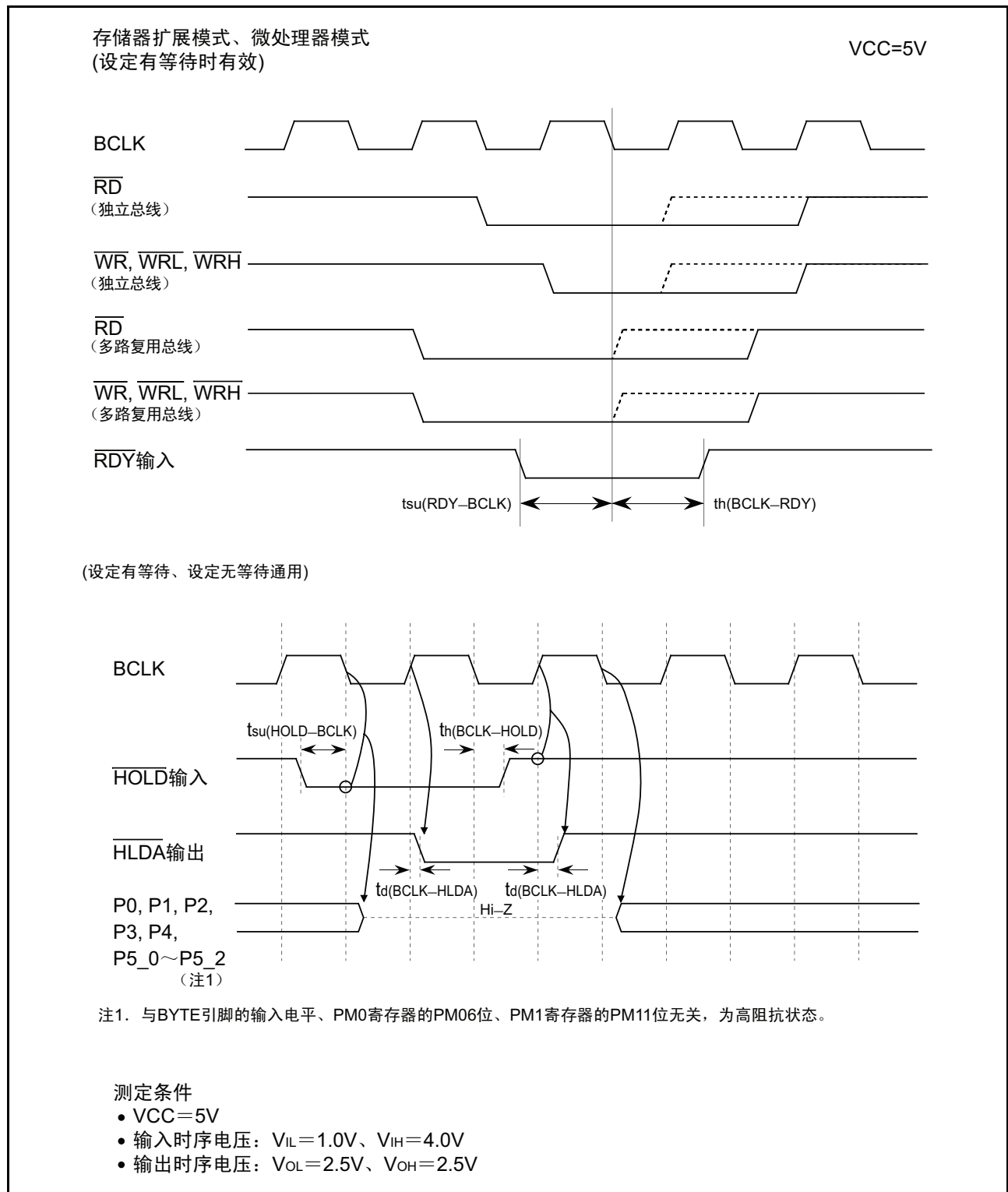


图 23.4 时序图 (2)

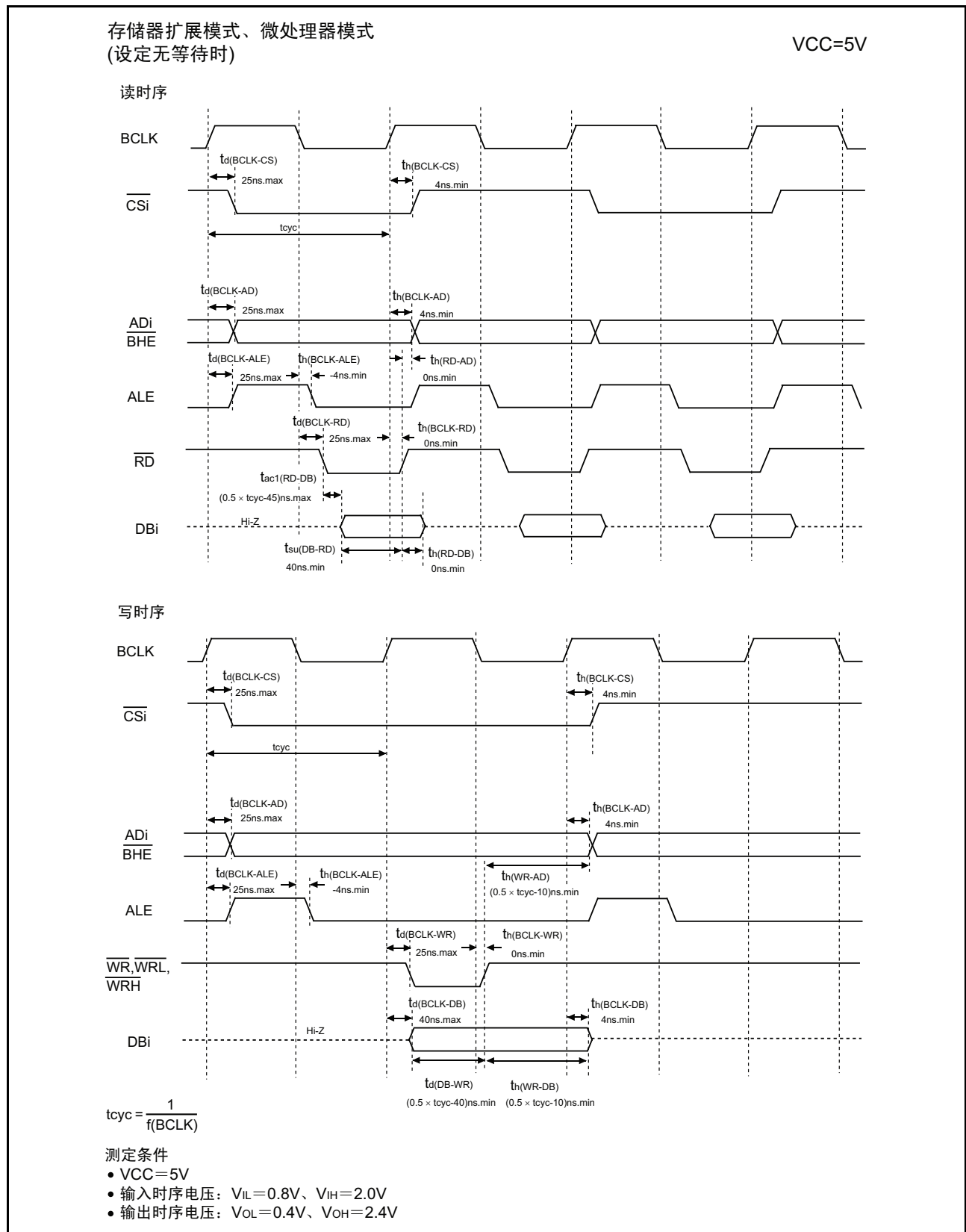


图 23.5 时序图 (3)

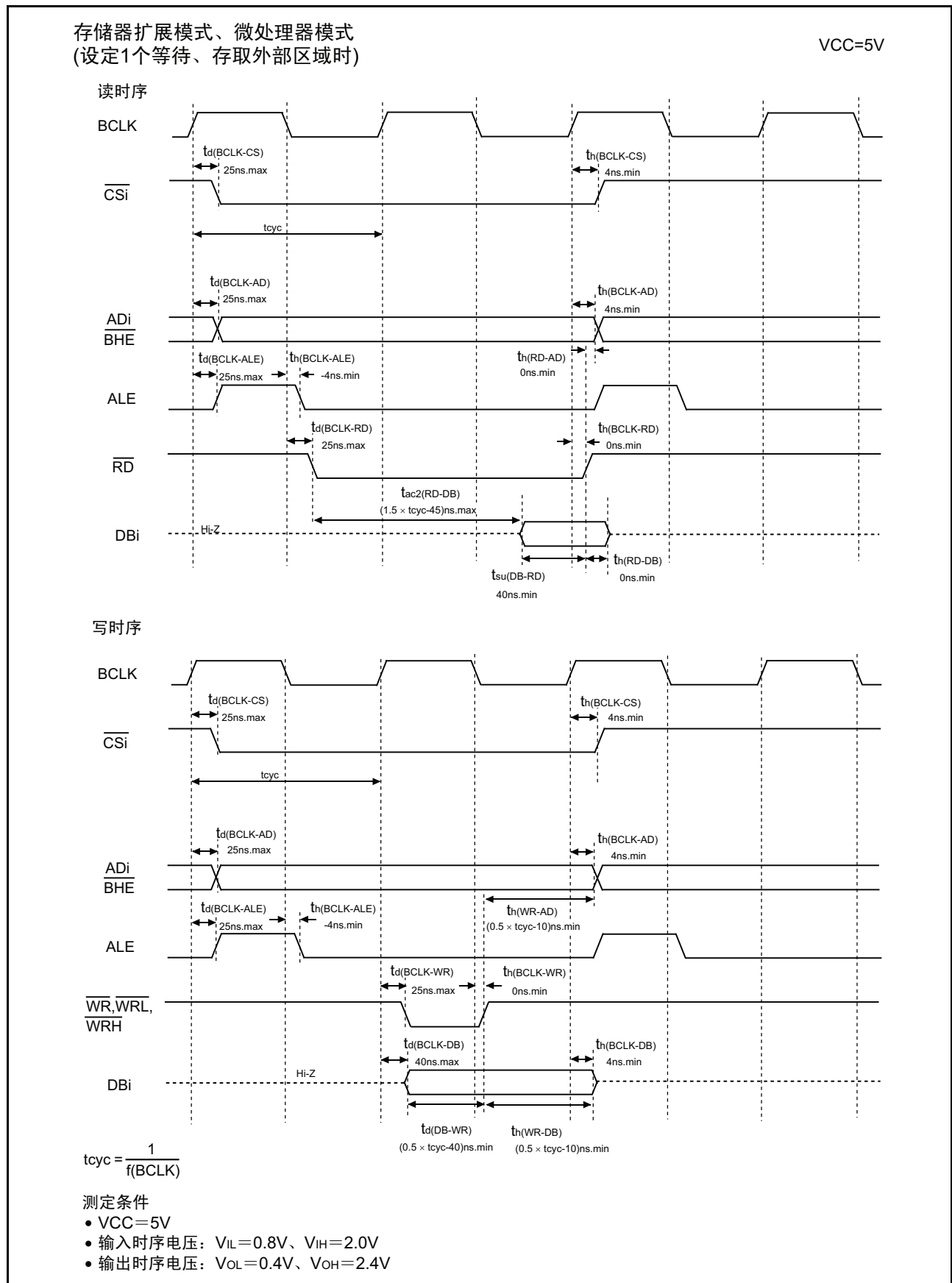
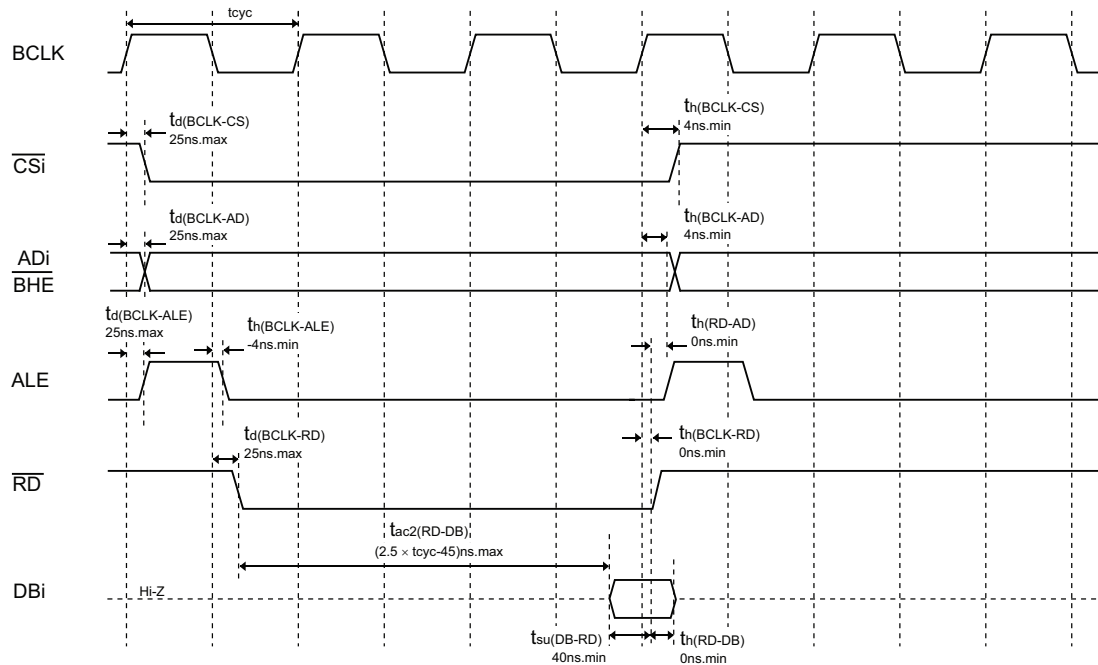


图 23.6 时序图 (4)

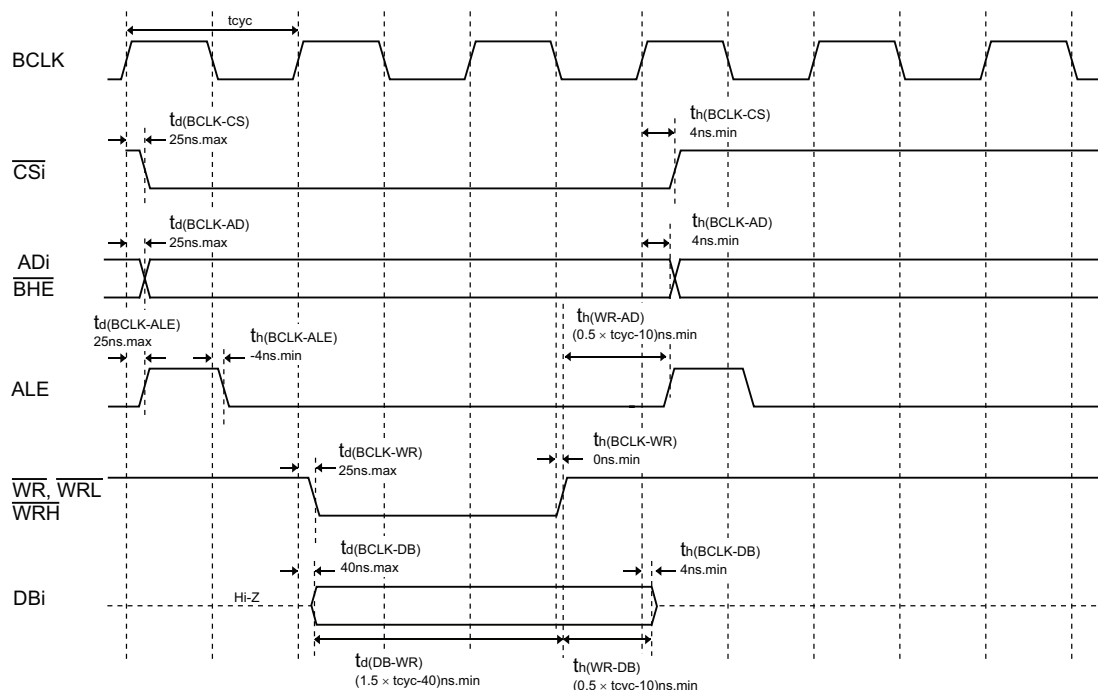
存储器扩展模式、微处理器模式
(设定2个等待、存取外部区域时)

VCC=5V

读时序



写时序



$$tcyc = \frac{1}{f(BCLK)}$$

测定条件

- VCC=5V
- 输入时序电压: $V_{IL}=0.8V$ 、 $V_{IH}=2.0V$
- 输出时序电压: $V_{OL}=0.4V$ 、 $V_{OH}=2.4V$

图 23.7 时序图 (5)

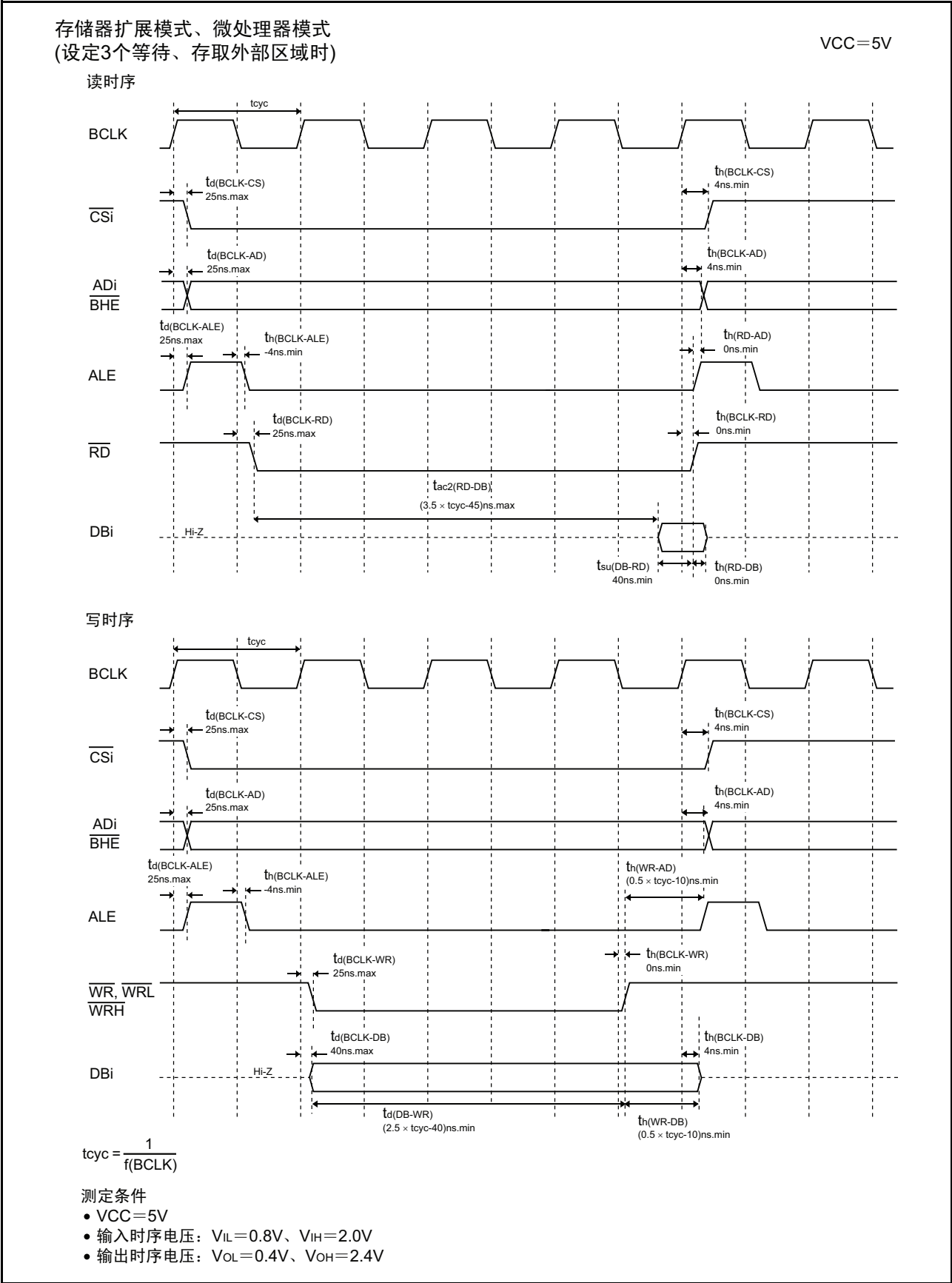


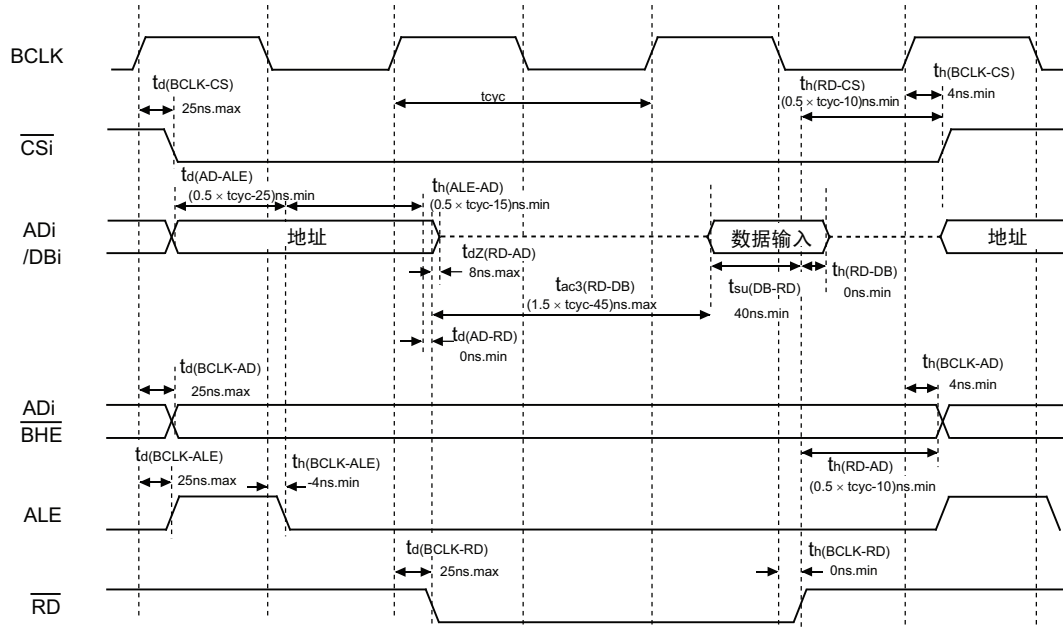
图 23.8 时序图 (6)

存储器扩展模式、微处理器模式

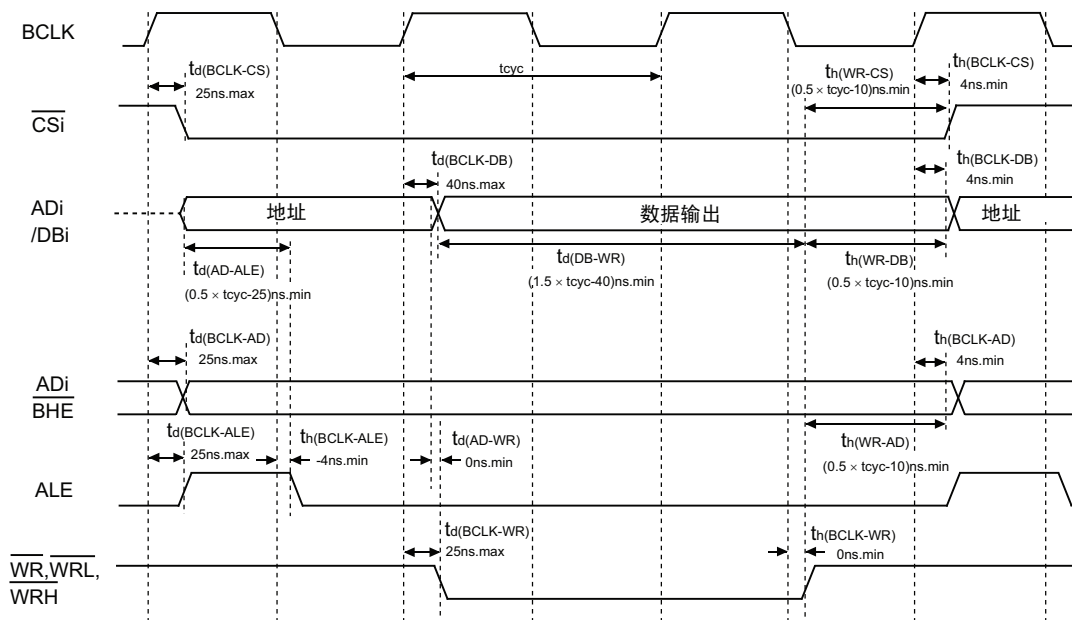
(设定1个等待或者2个等待、存取外部区域并且使用多路复用总线时)

VCC=5V

读时序



写时序



$$t_{\text{cyc}} = \frac{1}{f(\text{BCLK})}$$

测定条件

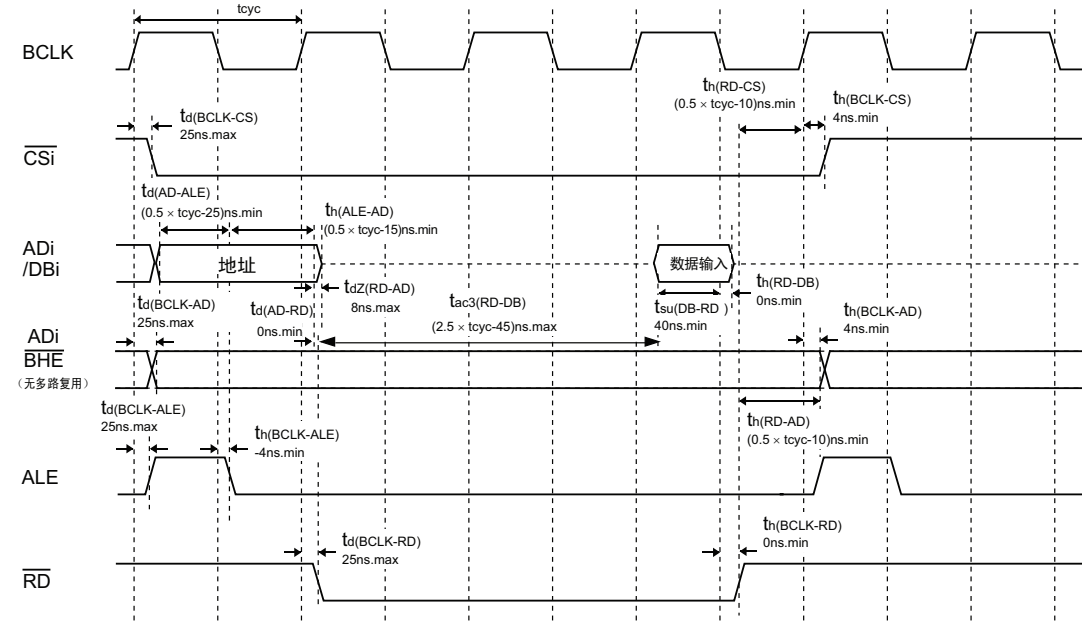
- VCC=5V
- 输入时序电压: $V_{\text{IL}}=0.8\text{V}$ 、 $V_{\text{IH}}=2.0\text{V}$
- 输出时序电压: $V_{\text{OL}}=0.4\text{V}$ 、 $V_{\text{OH}}=2.4\text{V}$

图 23.9 时序图 (7)

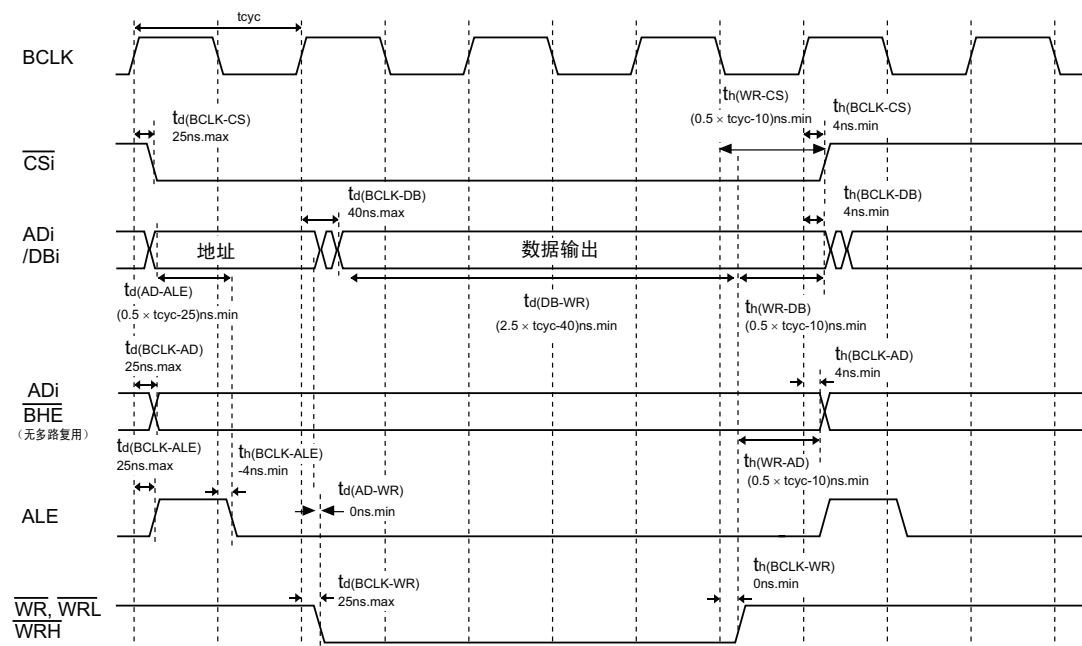
存储器扩展模式、微处理器模式
(设定3个等待、存取外部区域并且使用多路复用总线时)

VCC=5V

读时序



写时序



$$t_{cy} = \frac{1}{f(BCLK)}$$

测定条件

- VCC=5V
- 输入时序电压: $V_{IL}=0.8V$ 、 $V_{IH}=2.0V$
- 输出时序电压: $V_{OL}=0.4V$ 、 $V_{OH}=2.4V$

图 23.10 时序图 (8)

表 23.28 电特性 (注 1)

VCC=3.3V

符号	项目	测定条件	额定值			单位
			最小	典型	最大	
V _{OH}	“H” 电平 输出电压 P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1	I _{OH} = -1mA	V _{CC} -0.5		V _{CC}	V
V _{OH}	“H” 电平输出电压 XOUT	HIGHPOWER	I _{OH} = -0.1mA	V _{CC} -0.5	V _{CC}	V
		LOWPOWER	I _{OH} = -50μA	V _{CC} -0.5	V _{CC}	
	“H” 电平输出电压 XCOUT	HIGHPOWER	无负载时	2.5		V
		LOWPOWER	无负载时	1.6		
V _{OL}	“L” 电平 输出电压 P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1	I _{OL} = 1mA			0.5	V
V _{OL}	“L” 电平输出电压 XOUT	HIGHPOWER	I _{OL} = 0.1mA		0.5	V
		LOWPOWER	I _{OL} = 50μA		0.5	
	“L” 电平输出电压 XCOUT	HIGHPOWER	无负载时	0		V
		LOWPOWER	无负载时	0		
V _{T+} -V _{T-}	滞后 HOLD、RDY、TA0IN ~ TA4IN、TB0IN ~ TB5IN、INT0 ~ INT8、NMI、ADTRG、CTS0 ~ CTS2、SCL0 ~ SCL2、SDA0 ~ SDA2、CLK0 ~ CLK6、TA0OUT ~ TA4OUT、KI0 ~ KI3、RXD0 ~ RXD2、SIN3 ~ SIN6		0.2		0.8	V
V _{T+} -V _{T-}	滞后 RESET		0.2		1.8	V
I _{IH}	“H” 电平 输入电流 P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1 XIN、RESET、CNVSS、BYTE	V _I = 3.3V			4.0	μA
I _{IL}	“L” 电平 输入电流 P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1 XIN、RESET、CNVSS、BYTE	V _I = 0V			-4.0	μA
R _{PULLUP}	上拉电阻 P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1	V _I = 0V	50	100	500	kΩ
R _{FXIN}	反馈电阻 XIN			3.0		MΩ
R _{FXCIN}	反馈电阻 XCIN			25		MΩ
V _{RAM}	RAM 保持电压	停止模式时	2.0			V

注 1. 不指定时，VCC=3.0 ~ 3.6V、VSS=0V、Topr=-40 ~ 85°C、f(BCLK)=24MHz。

注 2. P11 ~ P14、INT6 ~ INT8、CLK5、CLK6、SIN5、SIN6 仅限 128 引脚版

时序必要条件
(不指定时, VCC=3.3V、VSS=0V、Topr= -40 ~ 85°C)

VCC=3.3V

表 23.29 外部时钟输入 (XIN 输入)

符号	项目	额定值		单位
		最小	最大	
tc	外部时钟输入周期时间	62.5		ns
tw(H)	外部时钟输入 “H” 电平脉宽	25		ns
tw(L)	外部时钟输入 “L” 电平脉宽	25		ns
tr	外部时钟上升时间		15	ns
tf	外部时钟下降时间		15	ns

表 23.30 存储器扩展模式、微处理器模式

符号	项目	额定值		单位
		最小	最大	
tac1(RD-DB)	数据输入存取时间 (设定无等待时)		(注 1)	ns
tac2(RD-DB)	数据输入存取时间 (设定有等待时)		(注 2)	ns
tac3(RD-DB)	数据输入存取时间 (存取多路复用总线区域时)		(注 3)	ns
tsu(DB-RD)	数据输入准备时间	50		ns
tsu(RDY-BCLK)	$\overline{\text{RDY}}$ 输入准备时间	40		ns
tsu(HOLD-BCLK)	$\overline{\text{HOLD}}$ 输入准备时间	50		ns
th(RD-DB)	数据输入保持时间	0		ns
th(BCLK-RDY)	$\overline{\text{RDY}}$ 输入保持时间	0		ns
th(BCLK-HOLD)	$\overline{\text{HOLD}}$ 输入保持时间	0		ns

注 1. 按 BCLK 的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 60[\text{ns}]$$

注 2. 按 BCLK 的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 60[\text{ns}] \quad \text{在设定 1 个等待时 } n \text{ 为 “2”；在设定 2 个等待时 } n \text{ 为 “3”；}$$

在设定 3 个等待时 } n \text{ 为 “4”}

注 3. 按 BCLK 的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 60[\text{ns}] \quad \text{在设定 2 个等待时 } n \text{ 为 “2”；在设定 3 个等待时 } n \text{ 为 “3”}$$

时序必要条件
(不指定时, VCC=3.3V、VSS=0V、Topr= -40 ~ 85°C)

VCC=3.3V

表 23.31 定时器 A 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
t _c (TA)	TAiIN 输入周期时间	150		ns
t _w (TAH)	TAiIN 输入 “H” 电平脉宽	60		ns
t _w (TAL)	TAiIN 输入 “L” 电平脉宽	60		ns

表 23.32 定时器 A 输入 (定时器模式的选通输入)

符号	项目	额定值		单位
		最小	最大	
t _c (TA)	TAiIN 输入周期时间	600		ns
t _w (TAH)	TAiIN 输入 “H” 电平脉宽	300		ns
t _w (TAL)	TAiIN 输入 “L” 电平脉宽	300		ns

表 23.33 定时器 A 输入 (单次触发定时器模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
t _c (TA)	TAiIN 输入周期时间	300		ns
t _w (TAH)	TAiIN 输入 “H” 电平脉宽	150		ns
t _w (TAL)	TAiIN 输入 “L” 电平脉宽	150		ns

表 23.34 定时器 A 输入 (脉宽调制模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
t _w (TAH)	TAiIN 输入 “H” 电平脉宽	150		ns
t _w (TAL)	TAiIN 输入 “L” 电平脉宽	150		ns

表 23.35 定时器 A 输入 (事件计数器模式的增减输入)

符号	项目	额定值		单位
		最小	最大	
t _c (UP)	TAiOUT 输入周期时间	3000		ns
t _w (UPH)	TAiOUT 输入 “H” 电平脉宽	1500		ns
t _w (UPL)	TAiOUT 输入 “L” 电平脉宽	1500		ns
t _{su} (UP-TIN)	TAiOUT 输入准备时间	600		ns
t _h (TIN-UP)	TAiOUT 输入保持时间	600		ns

表 23.36 定时器 A 输入 (事件计数器模式的二相脉冲输入)

符号	项目	额定值		单位
		最小	最大	
t _c (TA)	TAiIN 输入周期时间	2		μs
t _{su} (TAIN-TAOUT)	TAiOUT 输入准备时间	500		ns
t _{su} (TAOUT-TAIN)	TAiIN 输入准备时间	500		ns

时序必要条件
(不指定时, VCC=3.3V、VSS=0V、Topr= -40 ~ 85°C)

VCC=3.3V

表 23.37 定时器 B 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
t _c (TB)	TBiIN 输入周期时间 (单边沿计数)	150		ns
t _w (TBH)	TBiIN 输入 “H” 电平脉宽 (单边沿计数)	60		ns
t _w (TBL)	TBiIN 输入 “L” 电平脉宽 (单边沿计数)	60		ns
t _c (TB)	TBiIN 输入周期时间 (双边沿计数)	300		ns
t _w (TBH)	TBiIN 输入 “H” 电平脉宽 (双边沿计数)	120		ns
t _w (TBL)	TBiIN 输入 “L” 电平脉宽 (双边沿计数)	120		ns

表 23.38 定时器 B 输入 (脉冲周期测定模式)

符号	项目	额定值		单位
		最小	最大	
t _c (TB)	TBiIN 输入周期时间	600		ns
t _w (TBH)	TBiIN 输入 “H” 电平脉宽	300		ns
t _w (TBL)	TBiIN 输入 “L” 电平脉宽	300		ns

表 23.39 定时器 B 输入 (脉宽测定模式)

符号	项目	额定值		单位
		最小	最大	
t _c (TB)	TBiIN 输入周期时间	600		ns
t _w (TBH)	TBiIN 输入 “H” 电平脉宽	300		ns
t _w (TBL)	TBiIN 输入 “L” 电平脉宽	300		ns

表 23.40 A/D 触发输入

符号	项目	额定值		单位
		最小	最大	
t _c (AD)	ADTRG 输入周期时间 (触发可能最小)	1500		ns
t _w (ADL)	ADTRG 输入 “L” 电平脉宽	200		ns

表 23.41 串行接口

符号	项目	额定值		单位
		最小	最大	
t _c (CK)	CLKi 输入周期时间	300		ns
t _w (CKH)	CLKi 输入 “H” 电平脉宽	150		ns
t _w (CKL)	CLKi 输入 “L” 电平脉宽	150		ns
t _d (C-Q)	TXDi 输出延迟时间		160	ns
t _h (C-Q)	TXDi 保持时间	0		ns
t _{su} (D-C)	RXDi 输入准备时间	100		ns
t _h (C-D)	RXDi 输入保持时间	90		ns

表 23.42 外部中断 $\overline{\text{INTi}}$ 输入

符号	项目	额定值		单位
		最小	最大	
t _w (INH)	$\overline{\text{INTi}}$ 输入 “H” 电平脉宽	380		ns
t _w (INL)	$\overline{\text{INTi}}$ 输入 “L” 电平脉宽	380		ns

开关特性
(不指定时, VCC=3.3V、VSS=0V、Topr= -40 ~ 85°C)

VCC=3.3V

表 23.43 存储器扩展模式、微处理器模式 (设定无等待时)

符号	项目	测定条件	额定值		单位
			最小	最大	
$t_d(\text{BCLK-AD})$	地址输出延迟时间	图 23.11		30	ns
$t_h(\text{BCLK-AD})$	地址输出保持时间 (BCLK 基准)		4		ns
$t_h(\text{RD-AD})$	地址输出保持时间 (RD 基准)		0		ns
$t_h(\text{WR-AD})$	地址输出保持时间 (WR 基准)		(注 1)		ns
$t_d(\text{BCLK-CS})$	片选输出延迟时间			30	ns
$t_h(\text{BCLK-CS})$	片选输出保持时间 (BCLK 基准)		4		ns
$t_d(\text{BCLK-ALE})$	ALE 信号输出延迟时间			25	ns
$t_h(\text{BCLK-ALE})$	ALE 信号输出保持时间		-4		ns
$t_d(\text{BCLK-RD})$	RD 信号输出延迟时间			30	ns
$t_h(\text{BCLK-RD})$	RD 信号输出保持时间		0		ns
$t_d(\text{BCLK-WR})$	WR 信号输出延迟时间			30	ns
$t_h(\text{BCLK-WR})$	WR 信号输出保持时间		0		ns
$t_d(\text{BCLK-DB})$	数据输出延迟时间 (BCLK 基准)			40	ns
$t_h(\text{BCLK-DB})$	数据输出保持时间 (BCLK 基准) (注 3)		4		ns
$t_d(\text{DB-WR})$	数据输出延迟时间 (WR 基准)		(注 2)		ns
$t_h(\text{WR-DB})$	数据输出保持时间 (WR 基准) (注 3)		(注 1)		ns
$t_d(\text{BCLK-HLDA})$	HLDA 输出延迟时间			40	ns

注 1. 按 BCLK 的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注 2. 按 BCLK 的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}] \quad f(\text{BCLK}) \text{ 小于等于 } 12.5\text{MHz}$$

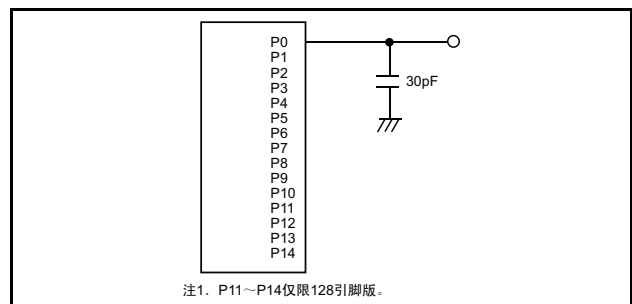
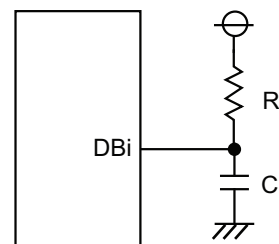
注 3. 此额定值表示输出 OFF 的时序，并非表示数据总线的保持时间。数据总线的保持时间因附加电容和上拉 (下拉) 电阻值而不同。

右图的电路中的数据总线的保持时间由以下计算式表示：

$$t = -CR \times \ln(1 - V_{OL}/V_{CC})$$

例如，假设 $V_{OL}=0.2V_{CC}$ 、 $C=30\text{pF}$ 、 $R=1\text{k}\Omega$ ，输出“L”电平的保持时间为

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC}/V_{CC}) = 6.7\text{ns}$$



注1. P11~P14仅限128引脚版。

图 23.11 端口 P0 ~ P14 的测定电路

开关特性
（不指定时，VCC=3.3V、VSS=0V、Topr= -40 ~ 85°C）

VCC=3.3V

表 23.44 存储器扩展模式、微处理器模式（设定 1 ~ 3 个等待、存取外部区域时）

符号	项目	测定条件	额定值		单位
			最小	最大	
t _d (BCLK-AD)	地址输出延迟时间	图 23.11		30	ns
t _h (BCLK-AD)	地址输出保持时间（BCLK 基准）		4		ns
t _h (RD-AD)	地址输出保持时间（RD 基准）		0		ns
t _h (WR-AD)	地址输出保持时间（WR 基准）		（注 1）		ns
t _d (BCLK-CS)	片选输出延迟时间			30	ns
t _h (BCLK-CS)	片选输出保持时间（BCLK 基准）		4		ns
t _d (BCLK-ALE)	ALE 信号输出延迟时间			25	ns
t _h (BCLK-ALE)	ALE 信号输出保持时间		-4		ns
t _d (BCLK-RD)	RD 信号输出延迟时间			30	ns
t _h (BCLK-RD)	RD 信号输出保持时间		0		ns
t _d (BCLK-WR)	WR 信号输出延迟时间			30	ns
t _h (BCLK-WR)	WR 信号输出保持时间		0		ns
t _d (BCLK-DB)	数据输出延迟时间（BCLK 基准）			40	ns
t _h (BCLK-DB)	数据输出保持时间（BCLK 基准）（注 3）		4		ns
t _d (DB-WR)	数据输出延迟时间（WR 基准）		（注 2）		ns
t _h (WR-DB)	数据输出保持时间（WR 基准）（注 3）		（注 1）		ns
t _d (BCLK-HLDA)	HLDA 输出延迟时间			40	ns

注 1. 按 BCLK 的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注 2. 按 BCLK 的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

在设定 1 个等待时 n 为“1”；在设定 2 个等待时 n 为“2”；
在设定 3 个等待时 n 为“3”
当 n=1 时，f(BCLK) 小于等于 12.5MHz

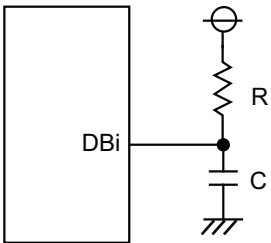
注 3. 此额定值表示输出 OFF 的时序，并非表示数据总线的保持时间。
数据总线的保持时间因附加电容和上拉（下拉）电阻值而不同。

右图的电路中的数据总线的保持时间由以下计算式表示：

$$t = -CR \times \ln(1 - V_{OL}/V_{CC})$$

例如，假设 V_{OL}=0.2V_{CC}、C=30pF、R=1kΩ，输出“L”电平的保持时间为

$$t = -30\text{pF} \times 1\text{k}\Omega \times \ln(1 - 0.2V_{CC}/V_{CC}) = 6.7\text{ns}$$



开关特性
(不指定时, VCC=3.3V、VSS=0V、Topr= -40 ~ 85°C)

VCC=3.3V

表 23.45 存储器扩展模式、微处理器模式 (设定 2、3 个等待、存取外部区域且选择多路复用总线时)

符号	项目	测定条件	额定值		单位
			最小	最大	
t _d (BCLK-AD)	地址输出延迟时间	图 23.11		50	ns
t _h (BCLK-AD)	地址输出保持时间 (BCLK 基准)		4		ns
t _h (RD-AD)	地址输出保持时间 (RD 基准)		(注 1)		ns
t _h (WR-AD)	地址输出保持时间 (WR 基准)		(注 1)		ns
t _d (BCLK-CS)	片选输出延迟时间			50	ns
t _h (BCLK-CS)	片选输出保持时间 (BCLK 基准)		4		ns
t _h (RD-CS)	片选输出保持时间 (RD 基准)		(注 1)		ns
t _h (WR-CS)	片选输出保持时间 (WR 基准)		(注 1)		ns
t _d (BCLK-RD)	RD 信号输出延迟时间			40	ns
t _h (BCLK-RD)	RD 信号输出保持时间		0		ns
t _d (BCLK-WR)	WR 信号输出延迟时间			40	ns
t _h (BCLK-WR)	WR 信号输出保持时间		0		ns
t _d (BCLK-DB)	数据输出延迟时间 (BCLK 基准)			50	ns
t _h (BCLK-DB)	数据输出保持时间 (BCLK 基准)		4		ns
t _d (DB-WR)	数据输出延迟时间 (WR 基准)		(注 2)		ns
t _h (WR-DB)	数据输出保持时间 (WR 基准)		(注 1)		ns
t _d (BCLK-HLDA)	HLDA 输出延迟时间			40	ns
t _d (BCLK-ALE)	ALE 输出延迟时间 (BCLK 基准)			25	ns
t _h (BCLK-ALE)	ALE 输出保持时间 (BCLK 基准)		-4		ns
t _d (AD-ALE)	ALE 输出延迟时间 (地址基准)		(注 3)		ns
t _h (ALE-AD)	ALE 输出保持时间 (地址基准)		(注 4)		ns
t _d (AD-RD)	地址后 RD 信号输出延迟时间		0		ns
t _d (AD-WR)	地址后 WR 信号输出延迟时间		0		ns
t _{dZ} (RD-AD)	地址输出浮动开始时间			8	ns

注 1. 按 BCLK 的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 10[\text{ns}]$$

注 2. 按 BCLK 的频率用以下的计算式计算。

$$\frac{(n-0.5) \times 10^9}{f(\text{BCLK})} - 50[\text{ns}] \quad \text{在设定 2 个等待时 } n \text{ 为 “2”；在设定 3 个等待时 } n \text{ 为 “3”}$$

注 3. 按 BCLK 的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 40[\text{ns}]$$

注 4. 按 BCLK 的频率用以下的计算式计算。

$$\frac{0.5 \times 10^9}{f(\text{BCLK})} - 15[\text{ns}]$$

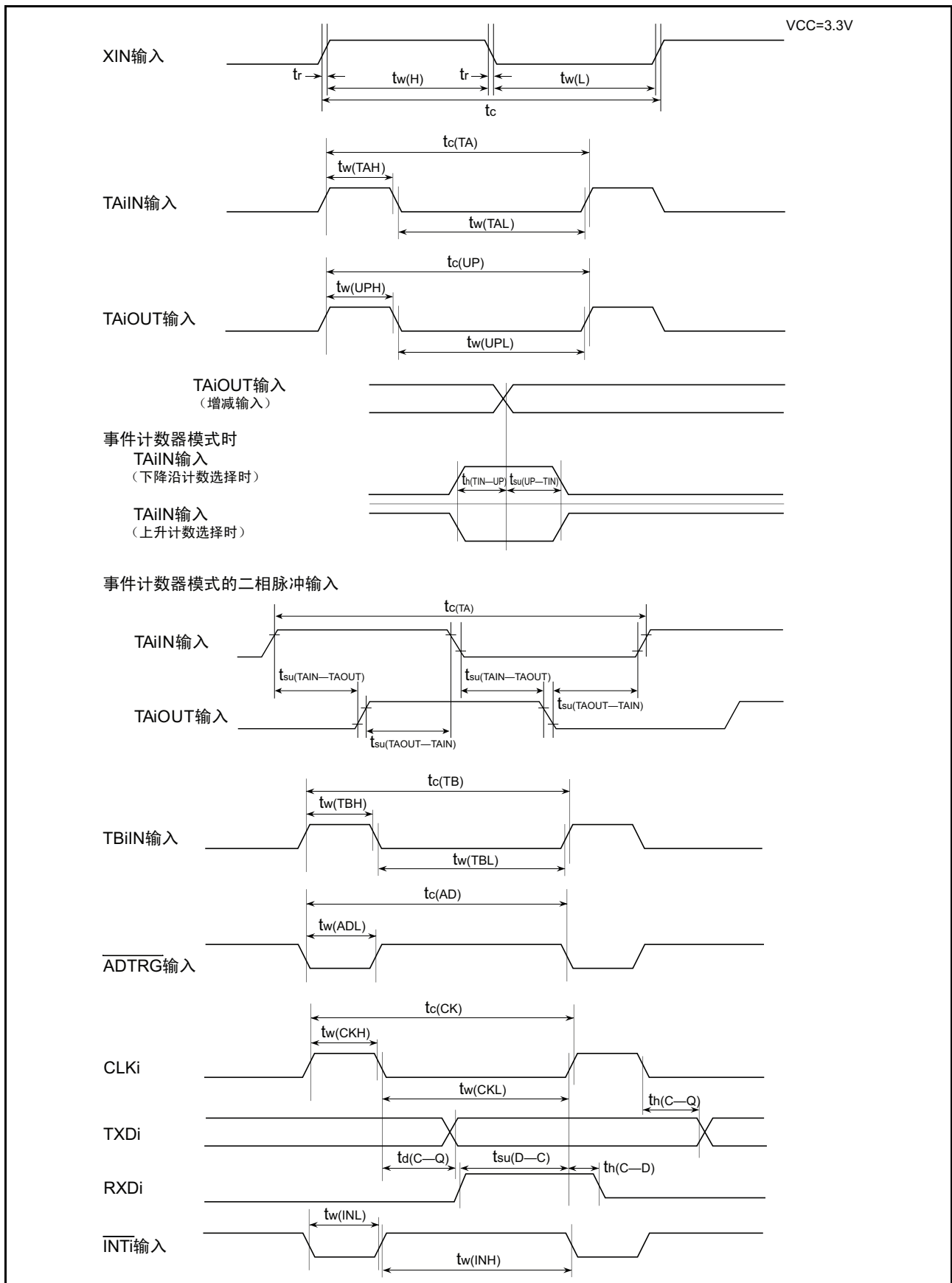
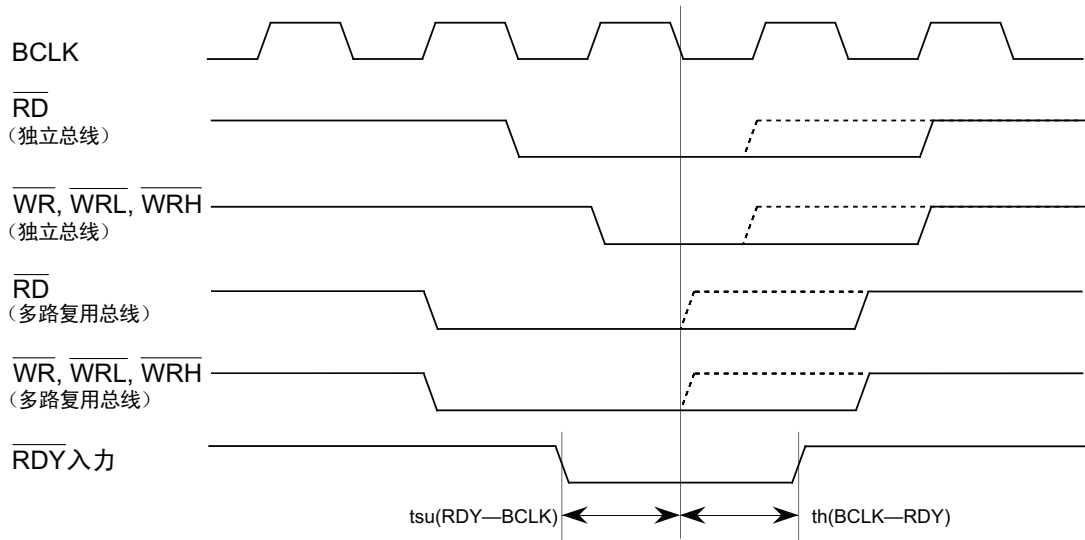


图 23.12 时序图 (1)

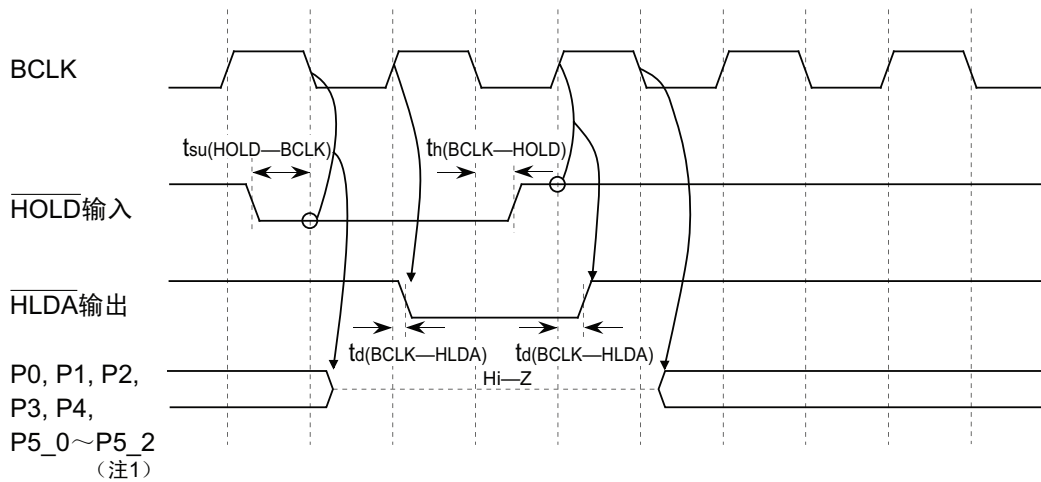
存储器扩展模式、微处理器模式

（在设定有等待时有效）

VCC=3.3V



（设定有等待、设定无等待通用）



注1. 与BYTE引脚的输入电平、PM0寄存器的PM06位、PM1寄存器的PM11位无关，为高阻抗状态。

测定条件

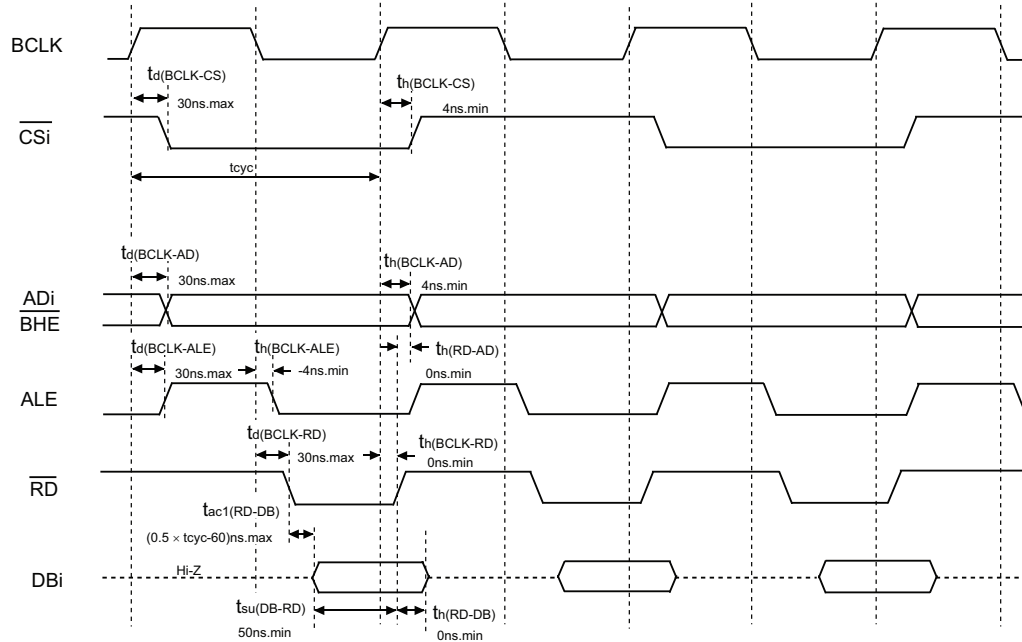
- VCC=3.3V
- 输入时序电压: $V_{IL}=0.6V$ 、 $V_{IH}=2.7V$
- 输出时序电压: $V_{OL}=1.65V$ 、 $V_{OH}=1.65V$

图 23.13 时序图（2）

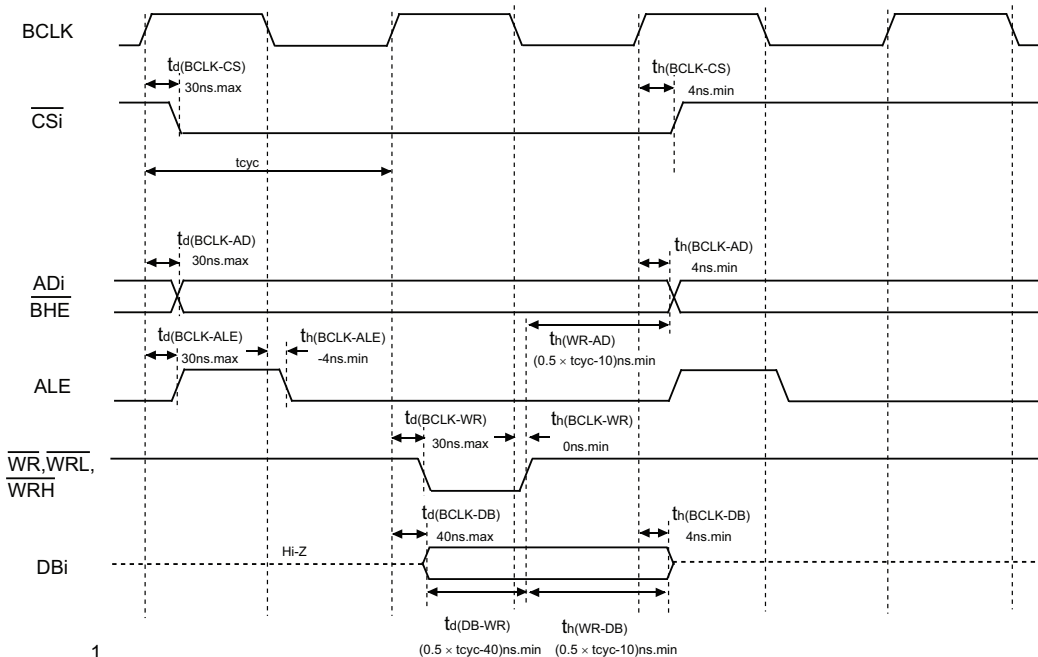
存储器扩展模式、微处理器模式
(设定无等待时)

VCC=3.3V

读时序



写时序



$$t_{\text{cyc}} = \frac{1}{f(\text{BCLK})}$$

測定条件

- VCC=3.3V
- 输入时序电压: $V_{\text{IL}}=0.6\text{V}$ 、 $V_{\text{IH}}=2.7\text{V}$
- 输出时序电压: $V_{\text{OL}}=1.65\text{V}$ 、 $V_{\text{OH}}=1.65\text{V}$

图 23.14 时序图 (3)

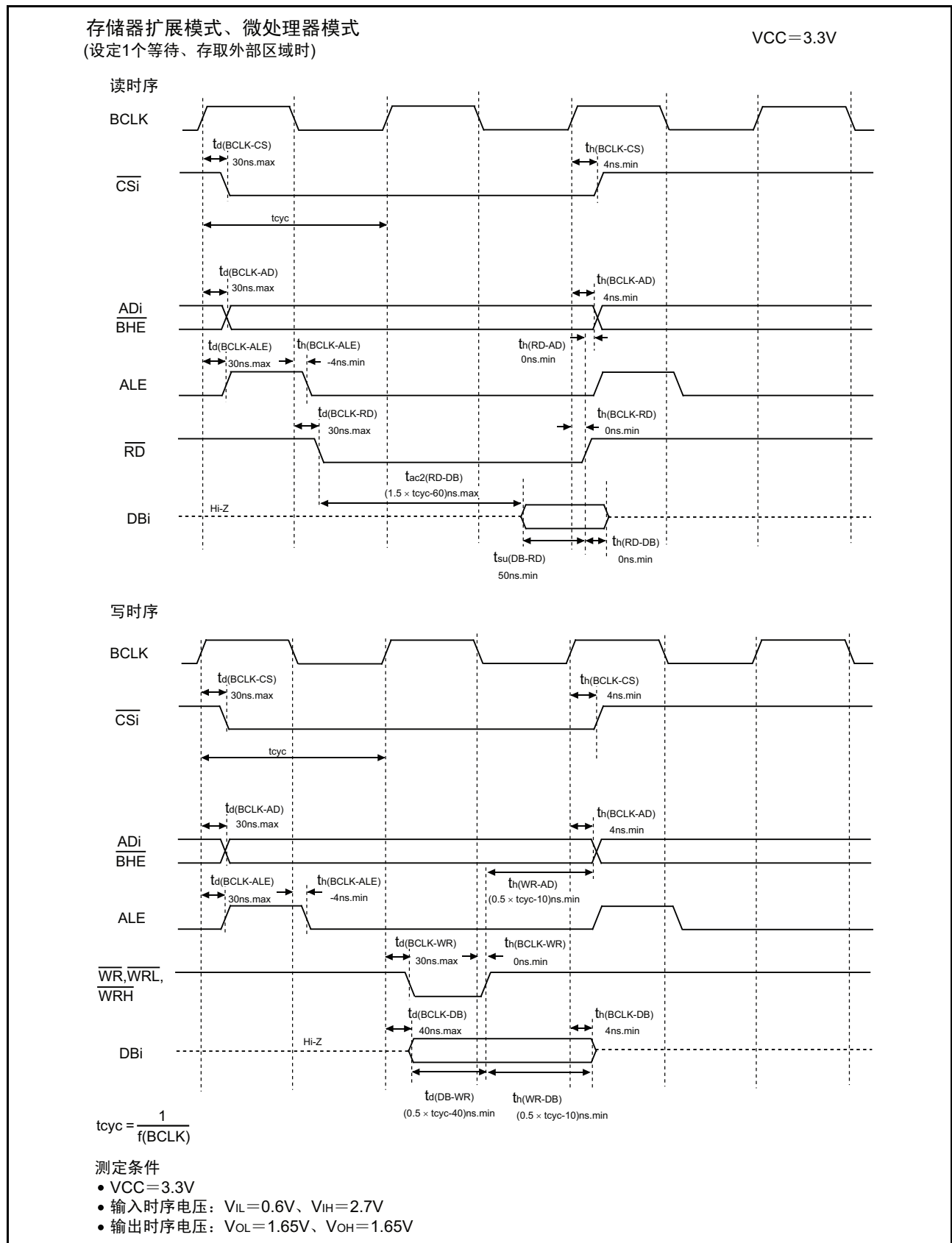
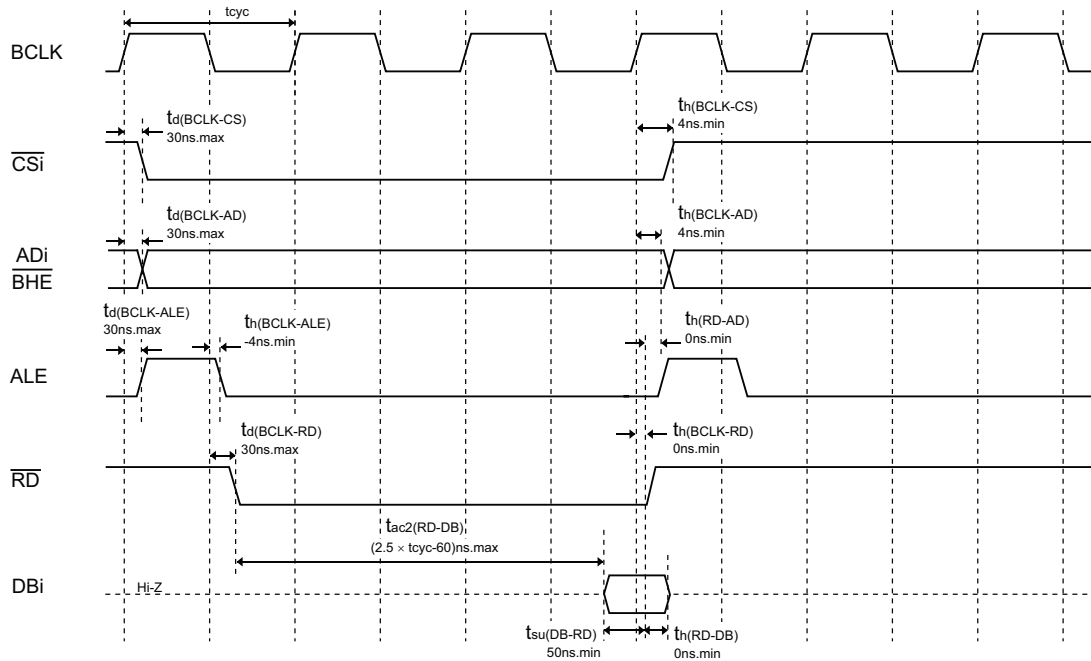


图 23.15 时序图 (4)

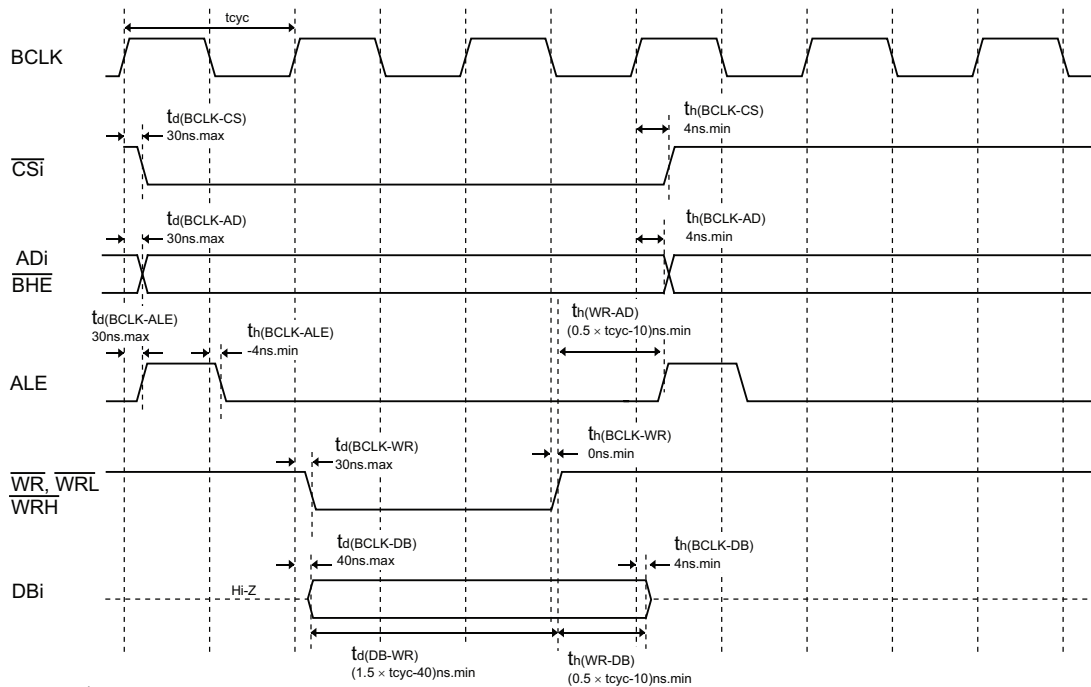
存储器扩展模式、微处理器模式
(设定2个等待、存取外部区域时)

VCC=3.3V

读时序



写时序



$$tcyc = \frac{1}{f(BCLK)}$$

测定条件

- VCC=3.3V
- 输入时序电压: $V_{IL}=0.6V$ 、 $V_{IH}=2.7V$
- 输出时序电压: $V_{OL}=1.65V$ 、 $V_{OH}=1.65V$

图 23.16 时序图 (5)

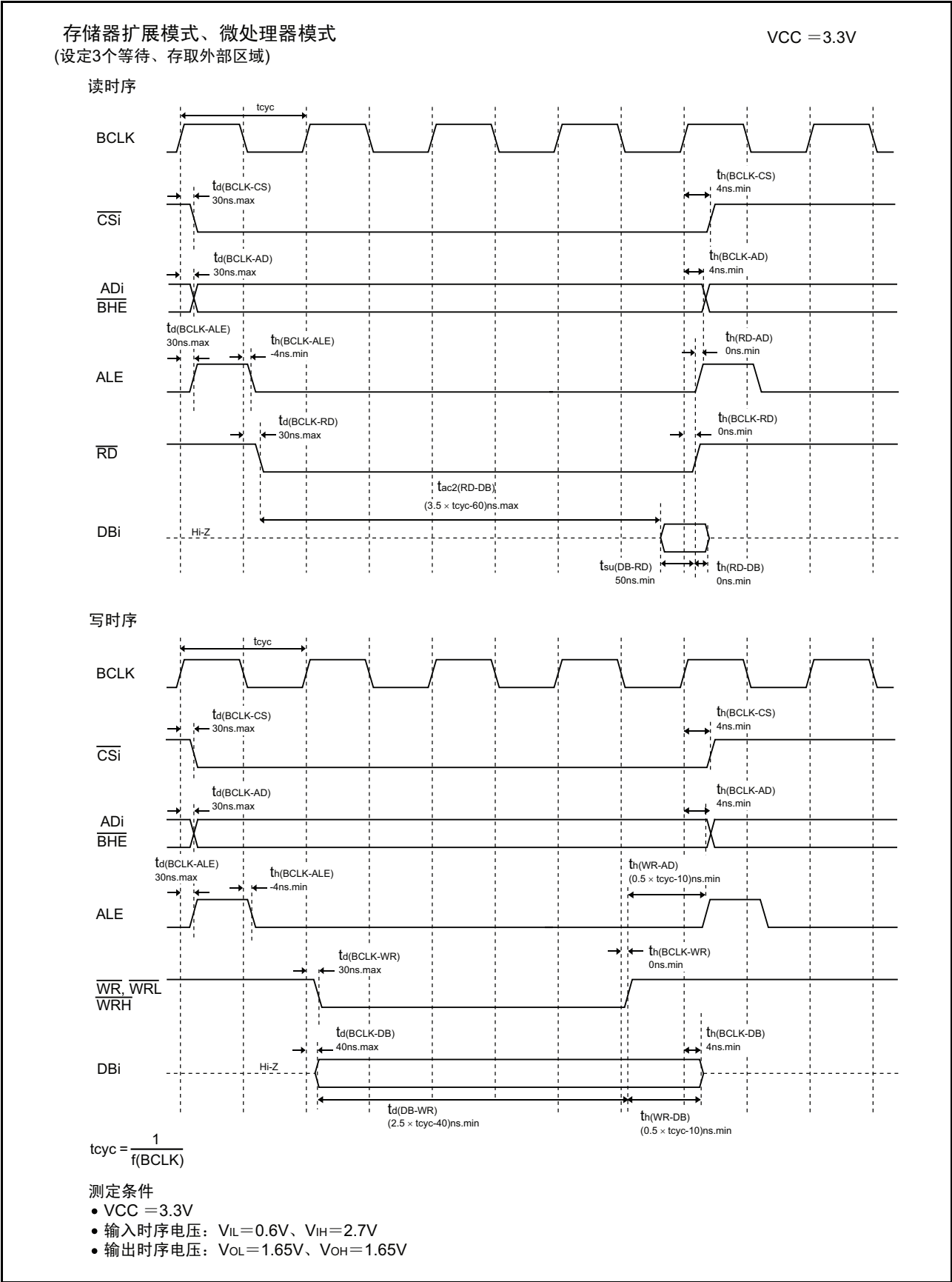
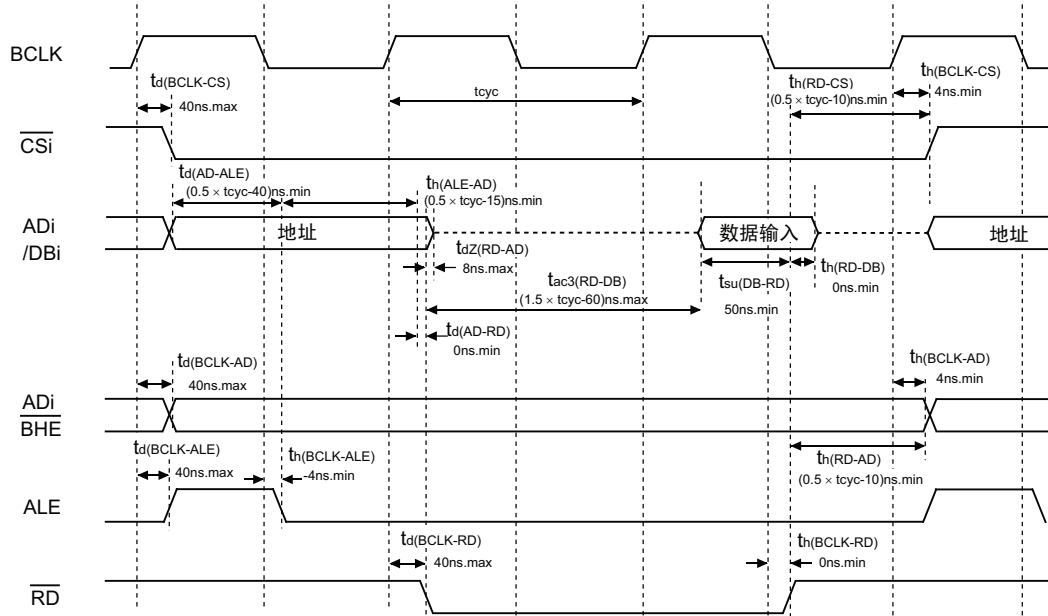


图 23.17 时序图（6）

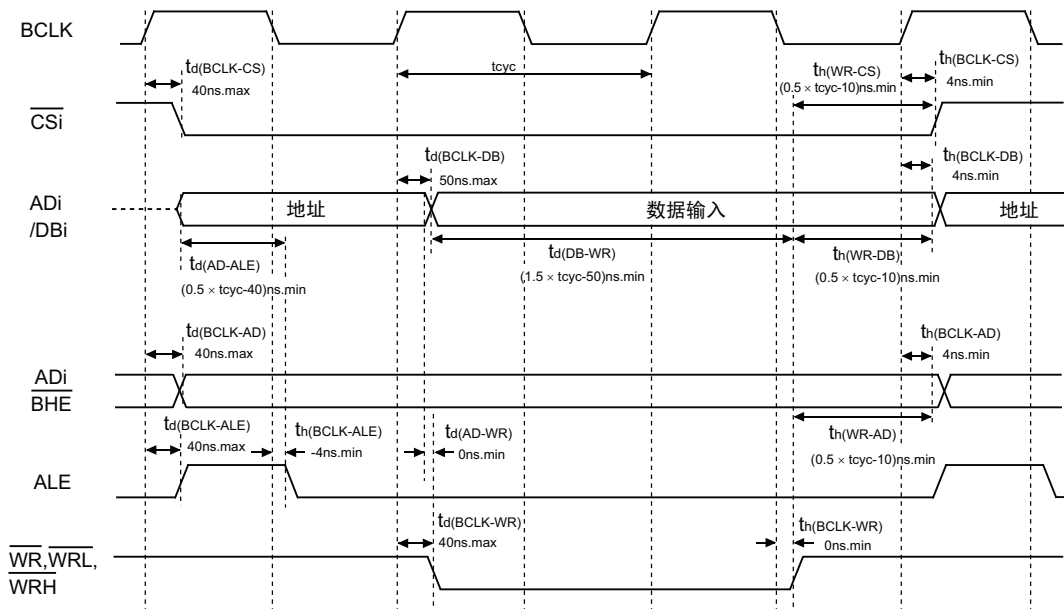
存储器扩展模式、微处理器模式
(设定2个等待、存取外部区域)

VCC=3.3V

读时序



写时序



$$tcyc = \frac{1}{f(BCLK)}$$

测定条件

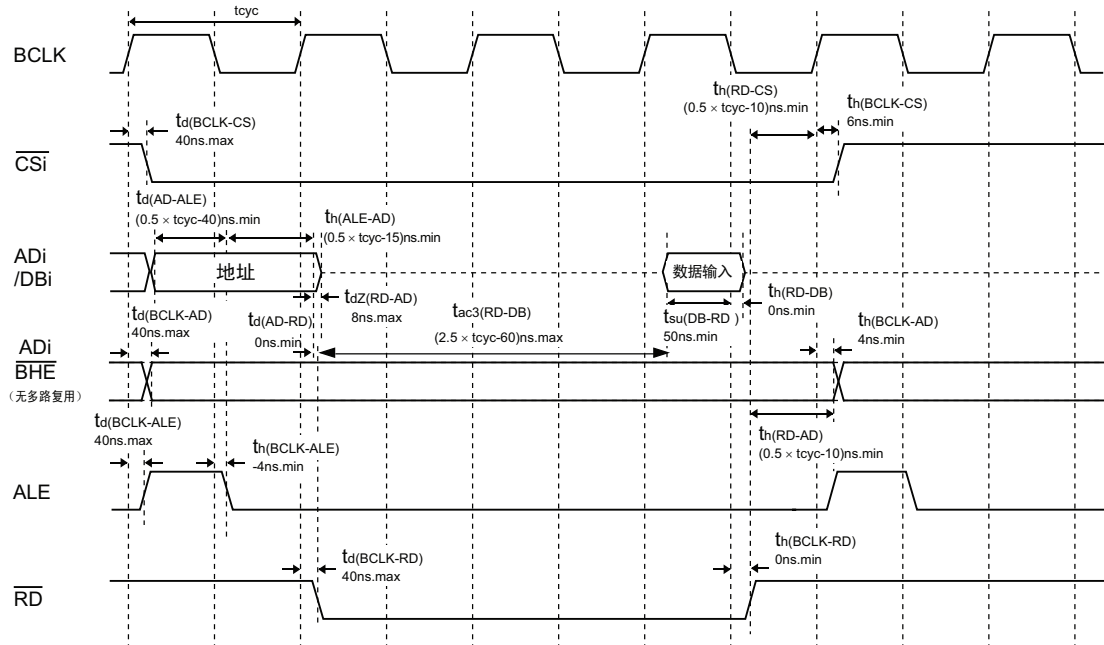
- VCC=3.3V
- 输入时序电压: $V_{IL}=0.6V$ 、 $V_{IH}=2.7V$
- 输出时序电压: $V_{OL}=1.65V$ 、 $V_{OH}=1.65V$

图 23.18 时序图 (7)

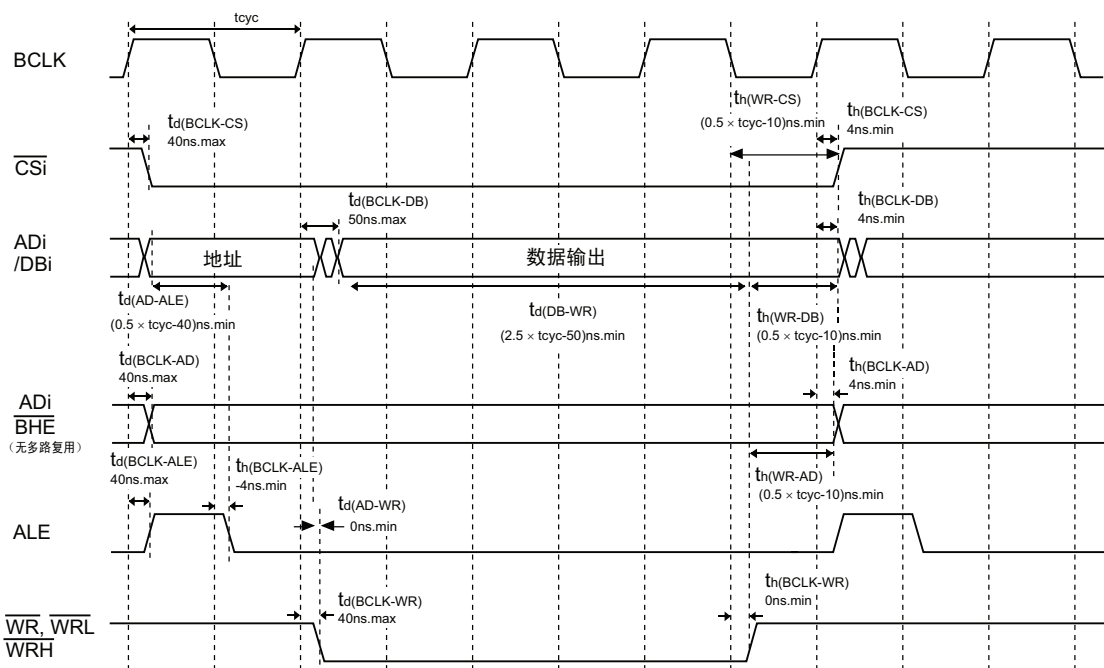
存储器扩展模式、微处理器模式
(设定3个等待、存取外部区域并且使用多路复用总线时)

VCC=3.3V

读时序



写时序



$$t_{cy} = \frac{1}{f(BCLK)}$$

测定条件

- VCC=3.3V
- 输入时序电压: $V_{IL}=0.6V$, $V_{IH}=2.7V$
- 输出时序电压: $V_{OL}=1.65V$, $V_{OH}=1.65V$

图 23.19 时序图 (8)

23.2 电特性 (T/V-ver.)

表 23.46 绝对最大额定值

符号	项目		条件	额定值	单位
V _{CC}	电源电压 (V _{CC1} =V _{CC2})		V _{CC} =AV _{CC}	-0.3 ~ 6.5	V
AV _{CC}	模拟电源电压		V _{CC} =AV _{CC}	-0.3 ~ 6.5	V
V _I	输入电压	RESET、CNVSS、BYTE, P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、 P7_0、P7_2 ~ P7_7、P8_0 ~ P8_7、P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、 P14_1、 VREF、XIN		-0.3 ~ V _{CC} +0.3	V
		P7_1、P9_1		-0.3 ~ 6.5	V
V _O	输出电压	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、 P7_0、P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1、XOUT		-0.3 ~ V _{CC} +0.3	V
		P7_1、P9_1		-0.3 ~ 6.5	V
P _d	功耗		T _{opr} =25°C	700	mW
T _{opr}	工作环境温度	单片机运行时		T-ver.: -40 ~ 85 V-ver.: -40 ~ 125 (任选)	°C
		闪存写擦除时		0 ~ 60	
T _{stg}	保存温度			-65 ~ 150	°C

任选：使用任选功能时请指定。

注 1. P11 ~ P14 仅限 128 引脚版。

表 23.47 推荐运行条件 (1) (注 1)

符号	项目	额定值			单位
		最小	典型	最大	
VCC	电源电压 (VCC1=VCC2)	4.2	5.0	5.5	V
AVCC	模拟电源电压		VCC		V
VSS	电源电压		0		V
AVSS	模拟电源电压		0		V
VIH	“H” 电平 输入电压	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、 P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0、P7_2 ~ P7_7、P8_0 ~ P8_7、P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、 P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、 P14_1、XIN、RESET、CNVSS、BYTE	0.8VCC	VCC	V
		P7_1、P9_1	0.8VCC	6.5	V
VIL	“L” 电平 输入电压	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、 P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_7、 P8_0 ~ P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1、 XIN、RESET、CNVSS、BYTE	0	0.2VCC	V
IOH(peak)	峰值 “H” 电平 输出电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、 P7_0、P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、 P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、 P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1		-10.0	mA
IOH(avg)	平均 “H” 电平 输出电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、 P7_0、P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、 P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、 P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1		-5.0	mA
IOL(peak)	峰值 “L” 电平 输出电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、 P7_0 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1		10.0	mA
IOL(avg)	平均 “L” 电平 输出电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、 P7_0 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1		5.0	mA

注 1. 不指定时，VCC=4.2 ~ 5.5V、Topr= -40 ~ 85°C。

注 2. 平均输出电流为 100ms 期间的平均值。

注 3. 必须使端口 P0、P1、P2、P8_6、P8_7、P9、P10、P11、P14_0、P14_1 的 IOL(peak) 总计小于等于 80mA；端口 P3、P4、P5、P6、P7、P8_0 ~ P8_4、P12、P13 的 IOL(peak) 总计小于等于 80mA；端口 P0、P1、P2 的 IOH(peak) 总计小于等于 -40mA；端口 P3、P4、P5、P12、P13 的 IOH(peak) 总计小于等于 -40mA；端口 P6、P7、P8_0 ~ P8_4 的 IOH(peak) 总计小于等于 -40mA；端口 P8_6、P8_7、P9、P10、P11、P14_0、P14_1 的 IOH(peak) 总计小于等于 -40mA。

注 4. P11 ~ P14 仅限 128 引脚版。

表 23.48 推荐运行条件（2）（注 1）

符号	项目				额定值			单位
					最小	典型	最大	
f(XIN)	主时钟输入振荡频率（注 2、3、4）	无等待	闪存版	VCC=4.2 ~ 5.5V	0		16	MHz
f(XCIN)	副时钟振荡频率					32.768	50	kHz
f(Ring)	内部振荡器振荡频率					1		MHz
f(PLL)	PLL 时钟振荡频率				16		20	MHz
f(BCLK)	CPU 运行频率			VCC=4.2 ~ 5.5V	0		20	MHz
t _{su} (PLL)	PLL 频率合成器稳定等待时间						20	ms

- 注 1. 不指定时，VCC=4.2 ~ 5.5V、Topr=-40 ~ 85°C。
- 注 2. 主时钟输入频率和电源电压的关系如下所示。
- 注 3. 闪存的写入和擦除必须设定为 VCC=5.0V±0.5V。
- 注 4. 在使用大于等于 16MHz 的时钟时，必须使用 PLL 时钟。可使用的 PLL 时钟频率为 16MHz 或 20MHz。

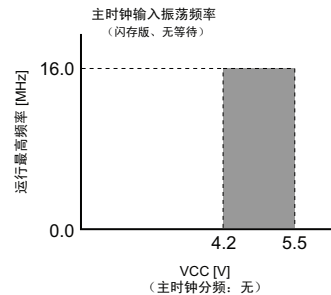


表 23.49 电特性 (1) (注 1)

符号	项目		测定条件	额定值			单位
				最小	典型	最大	
V _{OH}	“H” 电平 输出电压	P0_0 ~、P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0、P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1	IOH=-5mA	VCC-2.0		VCC	V
V _{OH}	“H” 电平 输出电压	P0_0、~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0、P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1	IOH=-200μA	VCC-0.3		VCC	V
V _{OH}	“H” 电平输出电压 XOUT	HIGHPOWER	IOH=-1mA	3.0		VCC	V
		LOWPOWER	IOH=-0.5mA	3.0		VCC	
	“H” 电平输出电压 XCOUT	HIGHPOWER	无负载时		2.5		V
		LOWPOWER	无负载时		1.6		
V _{OL}	“L” 电平 输出电压	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1	IOL=5mA			2.0	V
V _{OL}	“L” 电平 输出电压	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1	IOL=200μA			0.45	V
V _{OL}	“L” 电平输出电压 XOUT	HIGHPOWER	IOL=1mA			2.0	V
		LOWPOWER	IOL=0.5mA			2.0	
	“L” 电平输出电压 XCOUT	HIGHPOWER	无负载时		0		V
		LOWPOWER	无负载时		0		
V _{T+} -V _{T-}	滞后	TA0IN ~ TA4IN、TB0IN ~ TB5IN、INT0 ~ INT8、NMI、ADTRG、CTS0 ~ CTS2、SCL0 ~ SCL2、SDA0 ~ SDA2、CLK0 ~ CLK6、TA0OUT ~ TA4OUT、K10 ~ K13、RXD0 ~ RXD2、SIN3 ~ SIN6		0.2		1.0	V
V _{T+} -V _{T-}	滞后	RESET		0.2		2.5	V
I _{IH}	“H” 电平输入 电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1XIN、RESET、CNVSS、BYTE	VI=5V			5.0	μA
I _{IL}	“H” 电平输入 电流	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0 ~ P7_7、P8_0 ~ P8_7、P9_0 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1XIN、RESET、CNVSS、BYTE	VI=0V			-5.0	μA
RPULLUP	上拉电阻	P0_0 ~ P0_7、P1_0 ~ P1_7、P2_0 ~ P2_7、P3_0 ~ P3_7、P4_0 ~ P4_7、P5_0 ~ P5_7、P6_0 ~ P6_7、P7_0、P7_2 ~ P7_7、P8_0 ~ P8_4、P8_6、P8_7、P9_0、P9_2 ~ P9_7、P10_0 ~ P10_7、P11_0 ~ P11_7、P12_0 ~ P12_7、P13_0 ~ P13_7、P14_0、P14_1	VI=0V	30	50	170	kΩ
R _{IXIN}	反馈电阻 XIN				1.5		MΩ
R _{IXCIN}	反馈电阻 XCIN				15		MΩ
VRAM	RAM 保持电压		停止模式时	2.0			V

注 1. 不指定时，VCC=4.2 ~ 5.5V、VSS=0V、Topr=-40 ~ 85°C、f(BCLK)=20MHz。

注 2. P11 ~ P14、INT6 ~ INT8、CLK5、CLK6、SIN5、SIN6 仅限 128 引脚版。

表 23.50 电特性 (2) (注 1)

符号	项目		测定条件		额定值			单位
					最小	典型	最大	
I _{CC}	电源电流 (V _{CC} =4.2 ~ 5.5V)	输出引脚开路、 其它引脚为 V _{SS}	闪存	f(BCLK)=20MHz、 PLL 运行时，无分频		21	36	mA
				内部振荡器振荡运行时、 无分频		1.8		mA
			闪存编程	f(BCLK)=10MHz、 V _{CC} =5V		15		mA
			闪存擦除	f(BCLK)=10MHz、 V _{CC} =5V		25		mA
			闪存	f(BCLK)=32kHz、 低功耗模式时 RAM (注 2)		25		μA
				f(BCLK)=32kHz、 低功耗模式时闪存 (注 2)		420		μA
			闪存	内部振荡器振荡运行、 等待模式时		50		μA
				f(BCLK)=32kHz、 等待模式时 (注 3)、 振荡能力 High		8.5		μA
				f(BCLK)=32kHz、 等待模式时 (注 3)、 振荡能力 Low		3.0		μA
				停止模式时、T _{opr} =25°C		0.8	3.0	μA

注 1. 不指定时，V_{CC}=4.2 ~ 5.5V、V_{SS}=0V、T_{opr}= -40 ~ 85°C、f(BCLK)=20MHz。

注 2. 表示存在执行程序的存储器。

注 3. 通过 fC32 使 1 个定时器运行的状态。

表 23.51 A/D 转换特性 (注 1)

符号	项目		测定条件		额定值			单位
					最小	典型	最大	
—	分辨率		VREF=VCC				10	Bits
INL	积分非线性误差	10bit	VREF=VCC=5V	ANEX0、ANEX1 输入、 AN0 ~ AN7 输入、 AN0_0 ~ AN0_7 输入、 AN2_0 ~ AN2_7 输入			±3	LSB
				外部运算放大器连接模式			±7	LSB
		8bit	VREF=AVCC=VCC=5V				±2	LSB
—	绝对精度	10bit	VREF=VCC=5V	ANEX0、ANEX1 输入、 AN0 ~ AN7 输入、 AN0_0 ~ AN0_7 输入、 AN2_0 ~ AN2_7 输入			±3	LSB
				外部运算放大器连接模式			±7	LSB
		8bit	VREF=AVCC=VCC=5V				±2	LSB
DNL	微分非线性误差						±1	LSB
—	偏移误差						±3	LSB
—	增益误差						±3	LSB
RLADDER	梯形电阻		VREF=VCC		10		40	kΩ
tCONV	转换时间 (10bit)、有采样 & 保持		VREF=AVCC=5V、φAD=10MHz		3.3			μs
	转换时间 (8bit)、有采样 & 保持		VREF=AVCC=5V、φAD=10MHz		2.8			μs
tsAMP	采样时间				0.3			μs
VREF	基准电压				2.0		VCC	V
VIA	模拟输入电压				0		VREF	V

注 1. 不指定时，VCC=AVCC=VREF=4.2 ~ 5.5V、VSS=AVSS=0V、Topr= -40 ~ 85°C。

注 2. φAD 的频率必须小于等于 10MHz。

注 3. 没有采样 & 保持时，除了注 2 的限制以外，φAD 的频率必须大于等于 250kHz。

有采样&保持时，除了注2的限制以外，φAD的频率必须大于等于1MHz。

表 23.52 D/A 转换特性 (注 1)

符号	项目	测定条件	额定值			单位
			最小	典型	最大	
—	分辨率				8	Bits
—	绝对精度				1.0	%
tsu	设定时间				3	μs
Ro	输出电阻		4	10	20	kΩ
IVREF	基准电源输入电流	(注 2)			1.5	mA

注 1. 不指定时，VCC=VREF=4.2 ~ 5.5V、VSS=AVSS=0V、Topr= -40 ~ 85°C。

注 2. 为使用 1 个 D/A 转换器或者不使用 D/A 转换器的 DAi 寄存器 (i=0、1) 的值为 “00h” 的情况。A/D 转换器的梯形电阻除外。另外，在 ADCON1 寄存器中，即使 VREF 未连接，也存在 D/A 转换器的 IVREF。

表 23.53 闪存电特性（注 1）

符号	项目		额定值			单位
			最小	典型	最大	
—	编程、擦除次数（注 2）		100			次
—	字编程时间（VCC=5.0V）			25	200	μs
—	锁住位编程时间			25	200	μs
—	块擦除时间（VCC=5.0V）	4K 字节块		0.3	4	s
		8K 字节块		0.3	4	s
		32K 字节块		0.5	4	s
		64K 字节块		0.8	4	s
—	擦除全部非锁住块时间				4×n（注 3）	s
tps	闪存电路稳定等待时间				15	μs

注 1. 不指定时，VCC=4.5～5.5V、Topr=0～60℃。

注 2. 编程、擦除次数的定义。

编程、擦除次数为各块的擦除次数。

编程、擦除次数为 n 次（n=100）时，能按块分别擦除 n 次。

例如，对 4K 字节块的块 A 的不同地址进行 2,048 次的 1 个字的写入操作后擦除此块，编程/擦除次数就被计为 1 次。

但是，对于 1 次的擦除，不能对同一地址进行多次写入操作（禁止盖写）。

注 3. n 为擦除的块数。

表 23.54 闪存的写 / 擦除电压和读工作电压特性（Topr=0～60℃）

闪存的写、擦除电压	闪存的读工作电压
VCC =5.0±0.5V	VCC =4.2～5.5V

表 23.55 电源电路的时序特性

符号	项目	测定条件	额定值			单位
			最小	典型	最大	
td(P-R)	接通电源时内部电源稳定时间	VCC=4.2～5.5V			2	ms
td(R-S)	STOP 解除时间				150	μs
td(W-S)	低功耗模式或等待模式的解除时间				150	μs

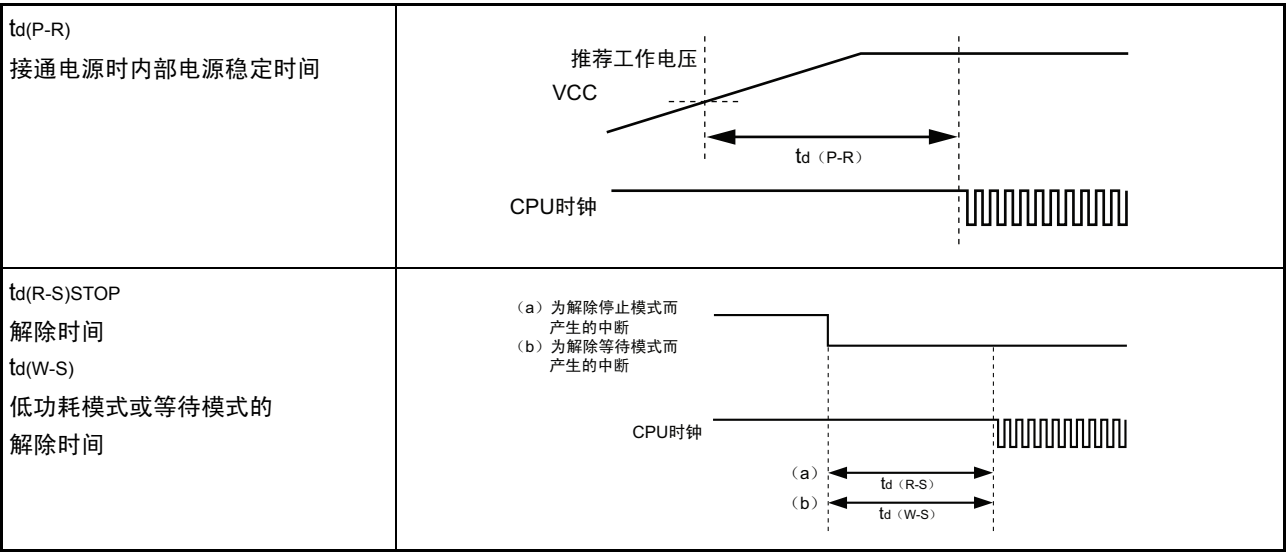


图 23.20 电源电路的时序图

时序必要条件
(不指定时, VCC=5V、VSS=0V、Topr= -40 ~ 85°C)

VCC=5V

表 23.56 外部时钟输入 (XIN 输入)

符号	项目	额定值		单位
		最小	最大	
tc	外部时钟输入周期时间	62.5		ns
tw(H)	外部时钟输入“H”电平脉宽	25		ns
tw(L)	外部时钟输入“L”电平脉宽	25		ns
tr	外部时钟上升时间		15	ns
tf	外部时钟下降时间		15	ns

表 23.57 定时器 A 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
tc(TA)	TAiIN 输入周期时间	100		ns
tw(TAH)	TAiIN 输入“H”电平脉宽	40		ns
tw(TAL)	TAiIN 输入“L”电平脉宽	40		ns

表 23.58 定时器 A 输入 (定时器模式的增益输入)

符号	项目	额定值		单位
		最小	最大	
tc(TA)	TAiIN 输入周期时间	400		ns
tw(TAH)	TAiIN 输入“H”电平脉宽	200		ns
tw(TAL)	TAiIN 输入“L”电平脉宽	200		ns

表 23.59 定时器 A 输入 (单次触发定时器模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
tc(TA)	TAiIN 输入周期时间	200		ns
tw(TAH)	TAiIN 输入“H”电平脉宽	100		ns
tw(TAL)	TAiIN 输入“L”电平脉宽	100		ns

表 23.60 定时器 A 输入 (脉宽调制模式的外部触发输入)

符号	项目	额定值		单位
		最小	最大	
tw(TAH)	TAiIN 输入“H”电平脉宽	100		ns
tw(TAL)	TAiIN 输入“L”电平脉宽	100		ns

表 23.61 定时器 A 输入 (事件计数器模式的增减输入)

符号	项目	额定值		单位
		最小	最大	
tc(UP)	TAiOUT 输入周期时间	2000		ns
tw(UPH)	TAiOUT 输入“H”电平脉宽	1000		ns
tw(UPL)	TAiOUT 输入“L”电平脉宽	1000		ns
tsu(UP-TIN)	TAiOUT 输入准备时间	400		ns
th(TIN-UP)	TAiOUT 输入保持时间	400		ns

表 23.62 定时器 A 输入 (事件计数器模式的二相脉冲输入)

符号	项目	额定值		单位
		最小	最大	
tc(TA)	TAiIN 输入周期时间	800		ns
tsu(TAIN-TAOUT)	TAiOUT 输入准备时间	200		ns
tsu(TAOUT-TAIN)	TAiIN 输入准备时间	200		ns

时序必要条件
(不指定时, VCC=5V、VSS=0V、Topr= -40 ~ 85°C)

VCC=5V

表 23.63 定时器 B 输入 (事件计数器模式的计数输入)

符号	项目	额定值		单位
		最小	最大	
t _c (TB)	TBiIN 输入周期时间 (单边沿计数)	100		ns
t _w (TBH)	TBiIN 输入 “H” 电平脉宽 (单边沿计数)	40		ns
t _w (TBL)	TBiIN 输入 “L” 电平脉宽 (单边沿计数)	40		ns
t _c (TB)	TBiIN 输入周期时间 (双边沿计数)	200		ns
t _w (TBH)	TBiIN 输入 “H” 电平脉宽 (双边沿计数)	80		ns
t _w (TBL)	TBiIN 输入 “L” 电平脉宽 (双边沿计数)	80		ns

表 23.64 定时器 B 输入 (脉冲周期测定模式)

符号	项目	额定值		单位
		最小	最大	
t _c (TB)	TBiIN 输入周期时间	400		ns
t _w (TBH)	TBiIN 输入 “H” 电平脉宽	200		ns
t _w (TBL)	TBiIN 输入 “L” 电平脉宽	200		ns

表 23.65 定时器 B 输入 (脉宽测定模式)

符号	项目	额定值		单位
		最小	最大	
t _c (TB)	TBiIN 输入周期时间	400		ns
t _w (TBH)	TBiIN 输入 “H” 电平脉宽	200		ns
t _w (TBL)	TBiIN 输入 “L” 电平脉宽	200		ns

表 23.66 A/D 触发输入

符号	项目	额定值		单位
		最小	最大	
t _c (AD)	ADTRG 输入周期时间 (触发可能最小)	1000		ns
t _w (ADL)	ADTRG 输入 “L” 电平脉宽	125		ns

表 23.67 串行接口

符号	项目	额定值		单位
		最小	最大	
t _c (CK)	CLKi 输入周期时间	200		ns
t _w (CKH)	CLKi 输入 “H” 电平脉宽	100		ns
t _w (CKL)	CLKi 输入 “L” 电平脉宽	100		ns
t _d (C-Q)	TXDi 输出延迟时间		80	ns
t _h (C-Q)	TXDi 保持时间	0		ns
t _{su} (D-C)	RXDi 输入准备时间	70		ns
t _h (C-D)	RXDi 输入保持时间	90		ns

表 23.68 外部中断 INTi 输入

符号	项目	额定值		单位
		最小	最大	
t _w (INH)	INTi 输入 “H” 电平脉宽	250		ns
t _w (INL)	INTi 输入 “L” 电平脉宽	250		ns

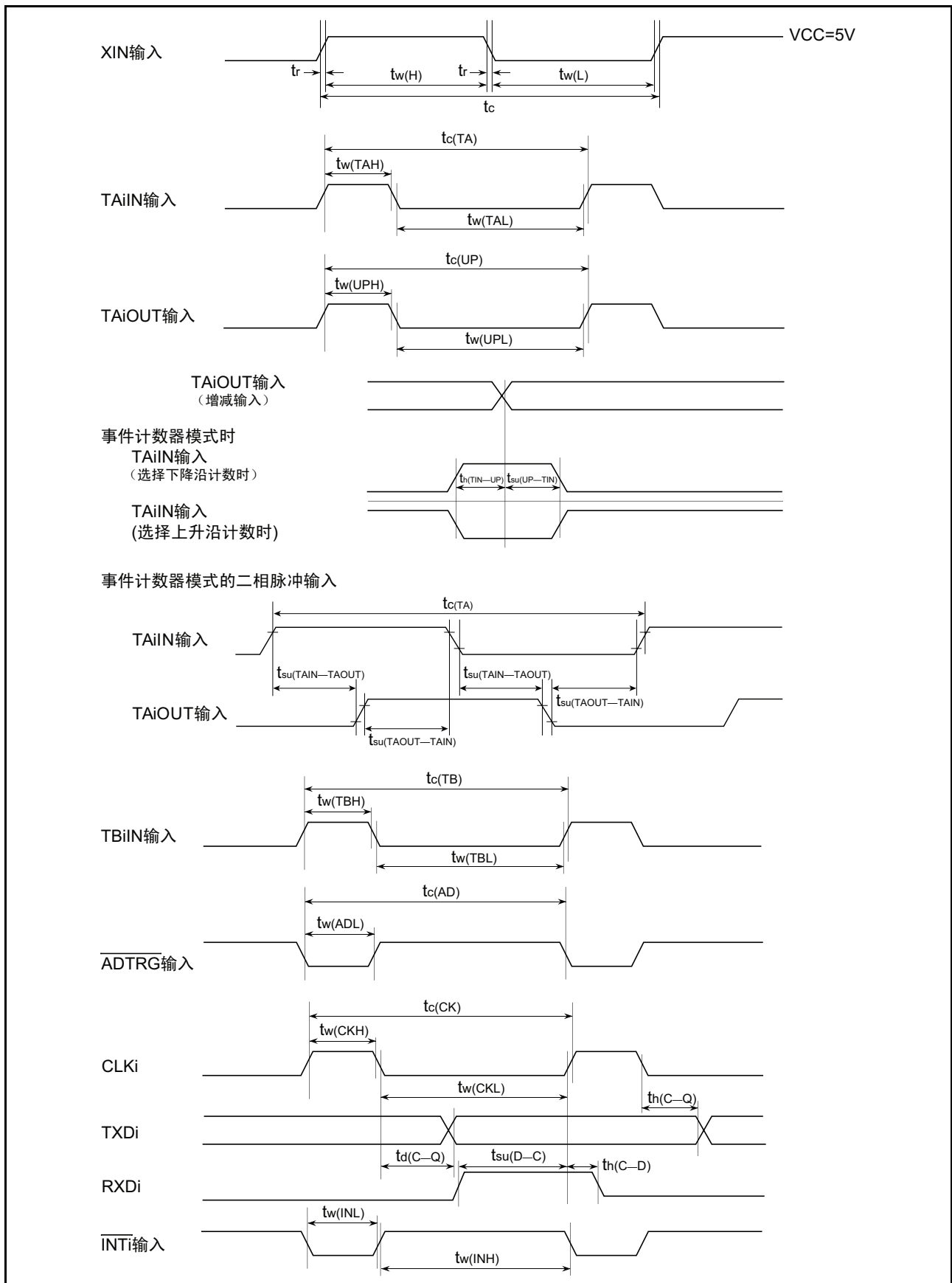
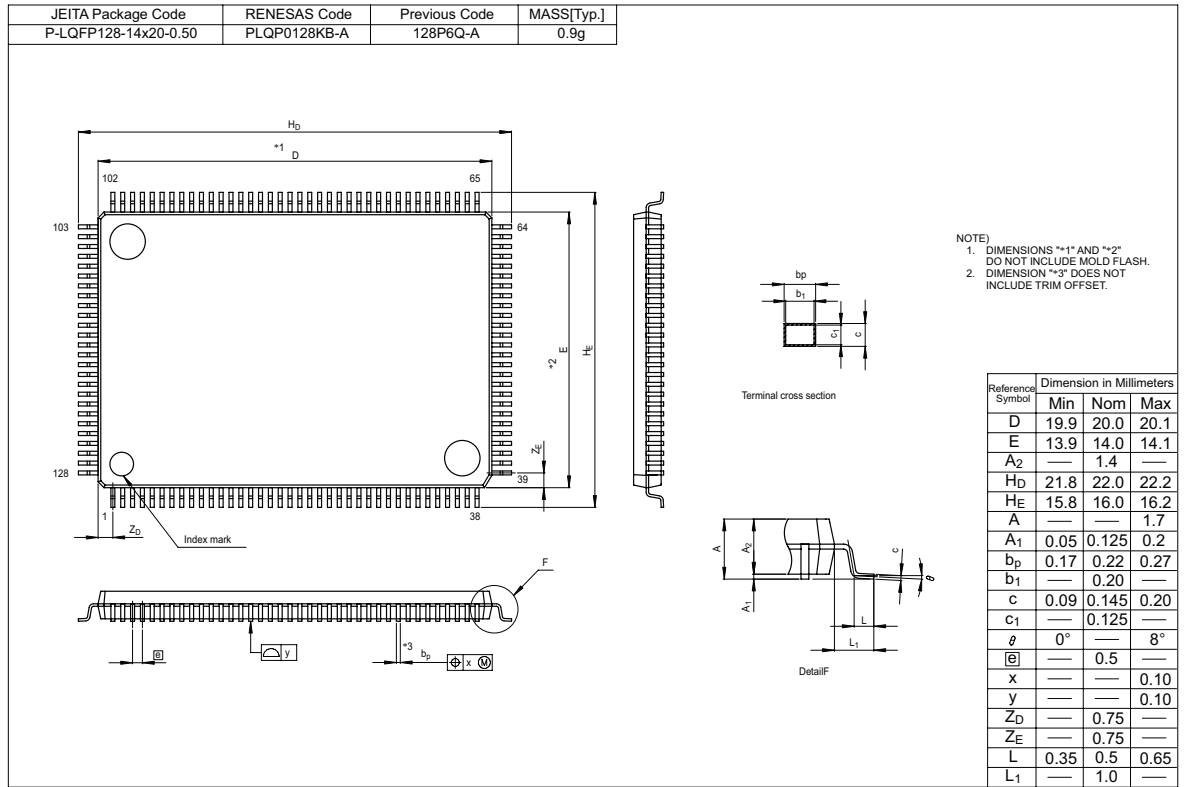
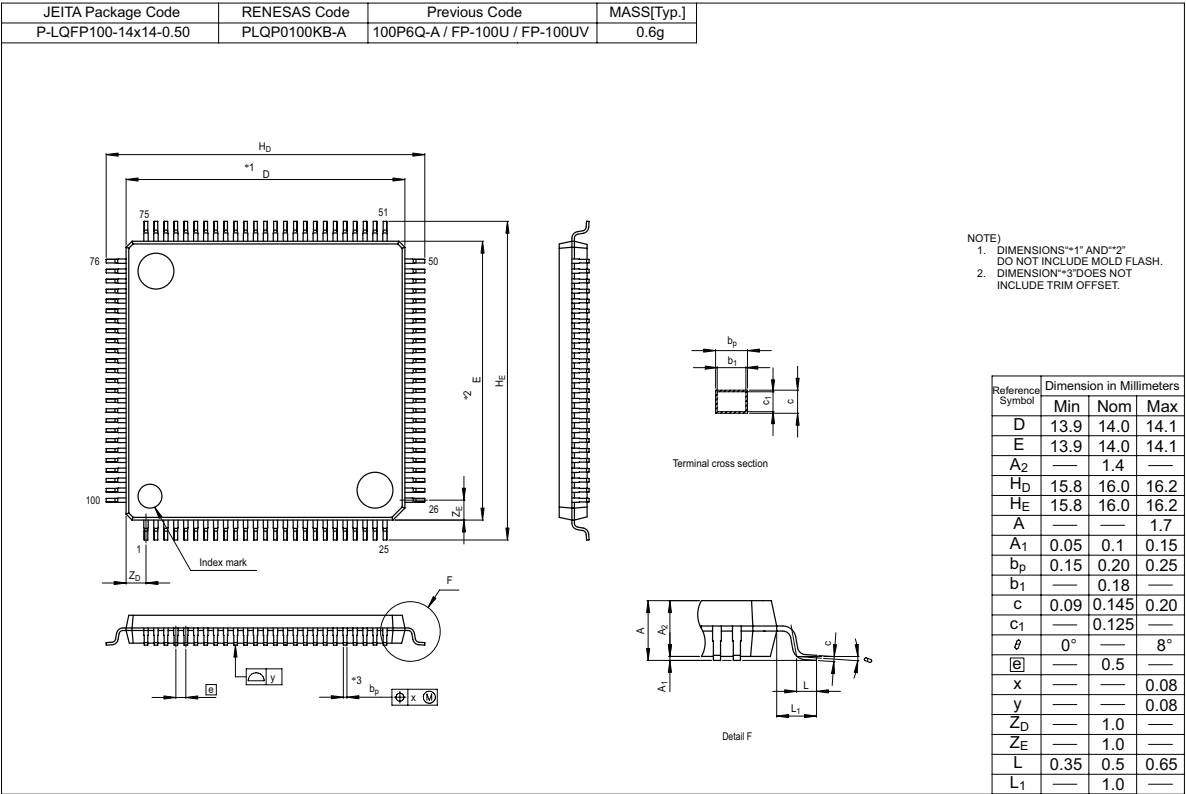


图 23.21 时序图

附录

附录 1. 封装尺寸图



寄存器索引

A

AD0 ~ AD7	239
ADCON0	238,241,243,245,247,249
ADCON1	238,241,243,245,247,249
ADCON2	239
ADIC	120
AIER	134
AIER2	134

C

C01ERRIC	120
C01WKIC	120
C0AFS、C1AFS	267
C0CONR、C1CONR	266
C0CTLR、C1CTLR	263
C0GMR、C1GMR	261
C0ICR、C1ICR	265
C0IDR、C1IDR	265
C0LMAR、C1LMAR	261
C0LMBR、C1LMBR	261
C0MCTL0 ~ C0MCTL15	262
C0RECIC	120
C0RECR、C1RECR	267
C0SSTR、C1SSTR	265
C0STR、C1STR	234
C0TECR、C1TECR	267
C0TRMIC	120
C0TSR、C1TSR	267
C1MCTL0 ~ C1MCTL15	262
C1RECIC	121
C1TRMIC	121
CAN0/1 槽 0 ~ 15	
: 时戳	259,260
: 数据区	259,260
: 消息标识符	259,260
CCLKR	96
CM0	92
CM1	93
CM2	94
CPSRF	152,166
CRC0	255
CRCIN	255
CSE	86
CSR	80

D

DA0、DA1	254
DACON	254
DAR0、DAR1	141
DM0CON、DM1CON	140
DM0IC、DM1IC	120

DM0SL	139
DM1SL	140
DTT	176

F

FMR0	300
FMR1	300

I

ICTB2	178
IDB0、IDB1	176
IFSR0	129
IFSR1	130
IFSR2	131
INT0IC ~ INT8IC	121
INVC0	174
INVC1	175

K

KUPIC	120
-------------	-----

O

ONSF	152
------------	-----

P

P0 ~ P13	289
PC14	289
PCLKR	95
PCR	291
PD0 ~ PD13	288
PLC0	97
PM0	74
PM1	75
PM2	96
PRCR	114
PUR0、PUR2	290
PUR3	291

R

RMAD0 ~ RMAD3	134
ROMCP	297

S

S0RIC ~ S2RIC	120
S0TIC ~ S2TIC	120
S3456TRR	232
S3BRG ~ S6BRG	231
S3C ~ S6C	231

S3IC、S4IC	121
S3TRR ~ S6TRR	231
S5IC、S6IC	120
SAR0、SAR1	141

T

TA0	150
TA0IC	120
TA0MR	150,153,155,160,162
TA1	150,177
TA11	177
TA1IC	120
TA1MR	150,153,155,160,165,180
TA2	150,177
TA21	177
TA2IC	121
TA2MR	150,153,155,177, 160,162,180
TA3	151
TA3IC	122
TA3MR	150,153,155,157,160,162
TA4	151,177
TA41	178
TA4IC	120
TA4MR	150,153,155,157, 160,162,180
TABSR	151,166,179
TB0	165
TB0IC	120
TB0MR	165,167,168,170
TB1	165
TB1IC	121
TB1MR	165,167,168,170
TB2	165,177
TB2IC	120
TB2MR	165,167,168,170,180
TB2SC	178
TB3	165
TB3IC	120
TB3MR	165,167,168,170
TB4	165
TB4IC	120
TB4MR	165,167,168,170
TB5	165
TB5IC	120
TB5MR	165,167,168,170
TBSR	166
TCR0、TCR1	141
TRGSR	152,179

U

U0BCNIC ~ U2BCNIC	120
U0BRG ~ U2BRG	187
U0C0 ~ U2C0	188

U0C1 ~ U2C1	189
U0MR ~ U2MR	188
U0RB ~ U2RB	187
U0SMR ~ U2SMR	190
U0SMR2 ~ U2SMR2	191
U0SMR3 ~ U2SMR3	191
U0SMR4 ~ U2SMR4	192
U0TB ~ U2TB	187
UCON	190
UDF	151

W

WDC	136
WDTS	136

修订记录	M16C/6N 群（M16C/6NK、M16C/6NM）硬件手册
------	----------------------------------

Rev.	发行日	修订内容	
		页	修订处
1.00	2007.03.23	—	初版发行

瑞萨 16 位单片机 M16C 族 / R16C/60 系列
硬件手册
M16C/6N 群 (M16C/6NK、M16C/6NM)

Publication Date: Rev.1.00, Mar.23, 2007

Published by: Sales Strategic Planning Div.
Renesas Technology Corp.

Edited by: Customer Support Department
Global Strategic Communication Div.
Renesas Solutions Corp.

Renesas Technology Corp. Sales Strategic Planning Div. Nippon Bldg., 2-6-2, Ohte-machi, Chiyoda-ku, Tokyo 100-0004, Japan



RENESAS SALES OFFICES

<http://www.renesas.com>

Refer to "<http://www.renesas.com/en/network>" for the latest and detailed information.

Renesas Technology America, Inc.

450 Holger Way, San Jose, CA 95134-1368, U.S.A
Tel: <1> (408) 382-7500, Fax: <1> (408) 382-7501

Renesas Technology Europe Limited

Dukes Meadow, Millboard Road, Bourne End, Buckinghamshire, SL8 5FH, U.K.
Tel: <44> (1628) 585-100, Fax: <44> (1628) 585-900

Renesas Technology (Shanghai) Co., Ltd.

Unit 204, 205, AZIACenter, No.1233 Lujiazui Ring Rd, Pudong District, Shanghai, China 200120
Tel: <86> (21) 5877-1818, Fax: <86> (21) 6887-7898

Renesas Technology Hong Kong Ltd.

7th Floor, North Tower, World Finance Centre, Harbour City, 1 Canton Road, Tsimshatsui, Kowloon, Hong Kong
Tel: <852> 2265-6688, Fax: <852> 2730-6071

Renesas Technology Taiwan Co., Ltd.

10th Floor, No.99, Fushing North Road, Taipei, Taiwan
Tel: <886> (2) 2715-2888, Fax: <886> (2) 2713-2999

Renesas Technology Singapore Pte. Ltd.

1 Harbour Front Avenue, #06-10, Keppel Bay Tower, Singapore 098632
Tel: <65> 6213-0200, Fax: <65> 6278-8001

Renesas Technology Korea Co., Ltd.

Kukje Center Bldg. 18th Fl., 191, 2-ka, Hangang-ro, Yongsan-ku, Seoul 140-702, Korea
Tel: <82> (2) 796-3115, Fax: <82> (2) 796-2145

Renesas Technology Malaysia Sdn. Bhd

Unit 906, Block B, Menara Amcorp, Amcorp Trade Centre, No.18, Jalan Persiaran Barat, 46050 Petaling Jaya, Selangor Darul Ehsan, Malaysia
Tel: <603> 7955-9390, Fax: <603> 7955-9510

M16C/6N 群
(M16C/6NK、M16C/6NM)



瑞萨电子株式会社

RCJ09B0040-0100