

R8C/54E グループ、R8C/54F グループ、 R8C/54G グループ、R8C/54H グループ

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

R8C ファミリ／R8C/5x シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違うと、内部 ROM、レイアウトパターンの相違などにより、電氣的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイクロコンピュータのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイクロコンピュータを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用する場合は、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意事項で構成されています。

本マイクロコンピュータは、注意事項を十分に確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して、訂正または追加した主な箇所をまとめたものです。改定内容すべてを記載したものではありません。詳細はこのマニュアルの本文で確認してください。

R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、R8C/54H グループでは次のドキュメントを使用しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクスホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要	R8C/54E グループ、 R8C/54F グループ、 R8C/54G グループ、 R8C/54H グループ データシート	R01DS0043JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様(ピン配置、メモリ マップ、周辺機能の仕様、電気的特性、 タイミング)と動作説明 ※周辺機能の使用方法はアプリケー ションノートを参照してください。	R8C/54E グループ、 R8C/54F グループ、 R8C/54G グループ、 R8C/54H グループ ユーザーズマニュアル ハードウェア編	本ユーザーズ マニュアル
ユーザーズマニュアル ソフトウェア編	CPU 命令セットの説明	R8C/5x シリーズ ユーザーズマニュアル ソフトウェア編	R01US0007JJ
アプリケーションノート	周辺機能の使用手法、応用例 参考プログラム アセンブリ言語、C 言語によるプログラ ムの作成方法	—	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメントなどに関す る速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

- (1) レジスタ名、ビット名、端子名
本文中では、シンボルで表記します。シンボルの後にレジスタ、ビット、端子を付けて区別します。
(例) PM0 レジスタの SRST ビット
P3_5 端子、VCC 端子
- (2) 周辺機能名、レジスタ名、端子名
周辺機能名、レジスタ名、端子名の「_」(アンダースコア)の後の数字は、複数内蔵するモジュールの番号を示します。
(例) ●周辺機能名
タイマ RC : タイマ RC_0、タイマ RC_1
タイマ RJ : タイマ RJ_0、タイマ RJ_1、タイマ RJ_2、タイマ RJ_3
●端子名
タイマ RC : TRCCLK_0、TRCCLK_1
UART0 : RXD_0、RXD_1、RXD_2、RXD_3
- (3) 数の表記
2進数は数字の後に「b」を付けます。ただし、1ビットの値の場合は何も付けません。16進数は数字の後に「h」を付けます。10進数には数字の後に何も付けません。
(例) 2進数 : 11b
16進数 : EFA0h
10進数 : 1234

3. レジスタの表記

レジスタ図で使用する記号、用語を以下に説明します。

X.X.X レジスタ (シンボル)

アドレス h

ビット

b7

b6

b5

b4

b3

b2

b1

b0

シンボル

. . . 7

. . . 6

. . . 5

—

—

—

. . . 1

. . . 0

リセット後の値

0

0

0

0

0

0

0

0

* 1

ビット	シンボル	ビット名	機能	R/W
b0	. . . 0	. . . ビット	b1 b0 0 0 : . . . 0 1 : . . . 1 0 : 設定しないでください 1 1 : . . .	R/W R/W
b1	. . . 1			
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b3	—	予約ビット	0にしてください	W
b4	—			
b5	. . . 5	. . . ビット	動作モードによって機能が異なる	R/W
b6	. . . 6			R/W
b7	. . . 7	. . . ビット	0 : . . . 1 : . . .	R

* 2

* 3

* 1

R/W : 読むとビットの状態が読めます。書くと有効データになります。

R : 読むとビットの状態が読めます。書いた値は無効になります。

W : 書くと有効データになります。ビットの状態は読めません。

— : 何も配置されていないビットです。

* 2

• 予約ビット

予約ビットです。指定された値にしてください。R/Wのビットについては、特に記載のない限り書いた値が読めます。

* 3

• 何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は0を書いてください。

• 設定しないでください

設定した場合の動作は保証されません。

• 動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

4. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PLL	Phase Locked Loop	位相同期回路
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC7816規格の接触型ICカード
UART	Universal Asynchronous Receiver/Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

目次

SFR ページ早見表	B - 1
1. 概要	1
1.1 特長	1
1.1.1 用途	1
1.1.2 仕様概要	2
1.2 製品一覧	10
1.3 ブロック図	14
1.4 ピン配置図	15
1.5 端子機能の説明	21
2. 中央演算処理装置 (CPU)	23
2.1 データレジスタ (R0、R1、R2、R3)	24
2.2 アドレスレジスタ (A0、A1)	24
2.3 フレームベースレジスタ (FB)	24
2.4 割り込みテーブルレジスタ (INTB)	24
2.5 プログラムカウンタ (PC)	24
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)	24
2.7 スタディックベースレジスタ (SB)	24
2.8 フラグレジスタ (FLG)	24
2.8.1 キャリフラグ (Cフラグ)	24
2.8.2 デバッグフラグ (Dフラグ)	24
2.8.3 ゼロフラグ (Zフラグ)	24
2.8.4 サインフラグ (Sフラグ)	24
2.8.5 レジスタバンク指定フラグ (Bフラグ)	24
2.8.6 オーバフローフラグ (Oフラグ)	25
2.8.7 割り込み許可フラグ (Iフラグ)	25
2.8.8 スタックポインタ指定フラグ (Uフラグ)	25
2.8.9 プロセッサ割り込み優先レベル (IPL)	25
2.8.10 予約ビット	25
3. アドレス空間	26
3.1 R8C/54E グループのメモリマップ	26
3.2 R8C/54F グループのメモリマップ	27
3.3 R8C/54G グループのメモリマップ	28
3.4 R8C/54H グループのメモリマップ	29
3.5 SFR	30
4. バスアクセス	53
4.1 バスアクセス	53
5. システム制御	55
5.1 概要	55
5.2 レジスタの説明	55
5.2.1 プロセッサモードレジスタ 0 (PM0)	55
5.2.2 プロセッサモードレジスタ 1 (PM1)	56
5.2.3 プロテクトレジスタ (PRCR)	57
5.2.4 オプション機能選択レジスタ 2 (OFS2)	58
5.2.5 オプション機能選択レジスタ (OFS)	59

5.3	IDコード領域	60
5.3.1	概要	60
5.3.2	機能	60
5.3.3	強制イレース機能	61
5.3.4	標準シリアル入出力モード禁止機能	62
5.3.5	IDコード領域使用上の注意(設定例).....	62
5.4	プロテクト	63
5.5	オプション機能選択領域	63
5.5.1	概要	63
5.6	システム制御使用上の注意事項	64
5.6.1	オプション機能選択領域の設定例	64
6.	リセット	65
6.1	概要	65
6.2	レジスタの説明	66
6.2.1	プロセッサモードレジスタ 0 (PM0).....	66
6.2.2	リセット要因判別レジスタ (RSTFR)	67
6.2.3	オプション機能選択レジスタ 2 (OFS2).....	68
6.2.4	オプション機能選択レジスタ (OFS).....	69
6.3	動作説明	70
6.3.1	リセットシーケンス	70
6.3.2	ハードウェアリセット	71
6.3.3	パワーオンリセット	73
6.3.4	電圧監視0リセット.....	74
6.3.5	ウォッチドッグタイマリセット	75
6.3.6	ソフトウェアリセット	75
6.3.7	コールドスタート/ウォームスタート判定機能	75
6.3.8	リセット要因判別機能	75
6.4	リセット時の状態	76
6.4.1	RESET端子のレベルがLの期間の端子の状態.....	76
6.4.2	リセット後のCPUレジスタの状態.....	76
6.5	リセット使用上の注意事項	77
6.5.1	RSTFRレジスタ	77
7.	電圧検出回路	78
7.1	概要	78
7.2	レジスタの説明	81
7.2.1	電圧監視回路制御レジスタ (CMPA)	81
7.2.2	電圧監視回路エッジ選択レジスタ (VCAC)	82
7.2.3	電圧検出レジスタ 2 (VCA2).....	82
7.2.4	電圧検出1レベル選択レジスタ (VD1LS)	83
7.2.5	電圧監視0回路制御レジスタ (VW0C)	84
7.2.6	電圧監視1回路制御レジスタ (VW1C)	85
7.2.7	電圧監視2回路制御レジスタ (VW2C)	86
7.2.8	オプション機能選択レジスタ (OFS).....	87
7.3	VCC入力電圧のモニタ	88
7.3.1	Vdet0のモニタ	88
7.3.2	Vdet1のモニタ	88
7.3.3	Vdet2のモニタ	88

7.4	電圧監視0リセット	89
7.5	電圧監視1割り込み	90
7.6	電圧監視2割り込み	92
8.	ウォッチドッグタイマ	94
8.1	概要	94
8.2	レジスタの説明	96
8.2.1	リセット割り込み選択レジスタ (RISR)	97
8.2.2	ウォッチドッグタイマリセットレジスタ (WDTR).....	97
8.2.3	ウォッチドッグタイマスタートレジスタ (WDTS).....	98
8.2.4	ウォッチドッグタイマ制御レジスタ (WDTC).....	98
8.2.5	カウントソース保護モードレジスタ (CSPR).....	99
8.2.6	オプション機能選択レジスタ 2 (OFS2).....	100
8.2.7	オプション機能選択レジスタ (OFS).....	101
8.3	動作説明	102
8.3.1	複数モードに関わる共通事項	102
8.3.2	カウントソース保護モード無効時	103
8.3.3	カウントソース保護モード有効時	104
9.	クロック発生回路	105
9.1	概要	105
9.2	レジスタの説明	108
9.2.1	システムクロック制御レジスタ 0 (CM0)	109
9.2.2	システムクロック制御レジスタ 1 (CM1)	110
9.2.3	発振停止検出レジスタ (OCD).....	111
9.2.4	システムクロック制御レジスタ 3 (CM3)	112
9.2.5	システムクロック制御レジスタ 4 (CM4).....	113
9.2.6	周辺クロック選択レジスタ 1 (PCLKR1)	114
9.2.7	高速オンチップオシレータ制御レジスタ 0 (FRA0).....	114
9.2.8	高速オンチップオシレータ制御レジスタ 2 (FRA2).....	115
9.2.9	PLL制御レジスタ 0 (PLC0).....	116
9.2.10	電圧検出レジスタ 2 (VCA2).....	117
9.2.11	入出力機能端子選択レジスタ (PINSR).....	118
9.3	XINクロック	119
9.4	オンチップオシレータクロック	121
9.4.1	低速オンチップオシレータクロック	121
9.4.2	高速オンチップオシレータクロック	121
9.5	PLLクロック	122
9.6	CPUクロックと周辺機能クロック	124
9.6.1	システムクロック	124
9.6.2	CPUクロック	124
9.6.3	周辺機能クロック (f1、f2、f4、f8、f32).....	124
9.6.4	fOCO.....	124
9.6.5	fHOCO.....	124
9.6.6	fHOCO-F	124
9.6.7	fLOCO	124
9.6.8	fOCO128.....	125
9.6.9	fLOCOWDT	125
9.6.10	CANクロック	125

9.7	発振停止検出機能	126
9.7.1	発振停止検出機能の使用方法	126
9.8	クロック発生回路使用上の注意事項	129
9.8.1	発振停止検出機能	129
9.8.2	発振回路定数	129
10.	パワーコントロール	130
10.1	概要	130
10.2	レジスタの説明	131
10.2.1	システムクロック制御レジスタ 0 (CM0)	131
10.2.2	システムクロック制御レジスタ 1 (CM1)	132
10.2.3	システムクロック制御レジスタ 3 (CM3)	133
10.2.4	システムクロック制御レジスタ 4 (CM4)	134
10.2.5	高速オンチップオシレータ制御レジスタ 0 (FRA0)	135
10.2.6	STBY VDC 電力制御レジスタ (SVDC)	135
10.2.7	モジュールスタンバイコントロールレジスタ 0 (MSTCR0)	136
10.2.8	モジュールスタンバイコントロールレジスタ 1 (MSTCR1)	136
10.2.9	モジュールスタンバイコントロールレジスタ 2 (MSTCR2)	137
10.2.10	モジュールスタンバイコントロールレジスタ 3 (MSTCR3)	137
10.3	標準動作モード	138
10.3.1	高速クロックモード	139
10.3.2	高速オンチップオシレータモード	139
10.3.3	低速オンチップオシレータモード	139
10.3.4	PLL 動作モード	139
10.4	ウェイトモード	140
10.4.1	周辺機能クロック停止機能	140
10.4.2	ウェイトモードへの移行	140
10.4.3	ウェイトモード時の端子の状態	140
10.4.4	ウェイトモードからの復帰	141
10.5	ストップモード	144
10.5.1	ストップモードへの移行	144
10.5.2	ストップモード時の端子の状態	144
10.5.3	ストップモードからの復帰	145
10.6	消費電力の低減	146
10.6.1	電圧検出回路	146
10.6.2	ポート	146
10.6.3	クロック	146
10.6.4	ウェイトモード、ストップモード	146
10.6.5	周辺機能クロックの停止	146
10.6.6	タイマ	146
10.6.7	A/D コンバータ	147
10.6.8	クロック同期形シリアルインタフェースおよびシリアルインタフェース	147
10.6.9	内部電源の消費電力低減(低消費電力モード)	147
10.6.10	フラッシュメモリの停止	149
10.6.11	低消費電流リードモード	150
10.7	パワーコントロール使用上の注意事項	151
10.7.1	ストップモード	151
10.7.2	ウェイトモード	151

11.	割り込み	152
11.1	概要	152
11.1.1	割り込みの分類	152
11.1.2	ソフトウェア割り込み	153
11.1.3	特殊割り込み	153
11.2	レジスタの説明	155
11.2.1	割り込み制御レジスタ (FMRDYIC、TRJIC_1、INT4IC、TRCIC_0、TRD0IC_0、TRD1IC_0、TRE2IC、U2TIC、 U2RIC、KUPIC、ADIC、SSUIC_0/ICIC_0、U0TIC_0、U0RIC_0、U0TIC_1、U0RIC_1、 INT2IC、TRJIC_0、TRB2IC_0、INT1IC、INT3IC、INT0IC、U2BCNIC、CANRXIC_0、 CANTXIC_0、CANERIC_0、VCMP1IC、VCMP2IC、SSUIC_1/ICIC_1)	156
11.2.2	外部入力許可レジスタ0 (INTEN)	157
11.2.3	外部入力許可レジスタ1 (INTEN1)	158
11.2.4	INT入力フィルタ選択レジスタ0 (INTF)	159
11.2.5	INT入力フィルタ選択レジスタ1 (INTF1)	160
11.2.6	INT入力極性切り替えレジスタ (INTPOL)	160
11.2.7	キー入力割り込み許可レジスタ (KIEN)	161
11.2.8	アドレス一致割り込みアドレスijレジスタ (AIADRIj) (i = 0、1、j = L、H)	162
11.2.9	アドレス一致割り込み許可iレジスタ (AIENi) (i = 0、1)	162
11.2.10	INT割り込み入力端子選択レジスタ0 (INTSR0)	163
11.3	割り込みと割り込みベクタ	164
11.3.1	固定ベクタテーブル	164
11.3.2	可変ベクタテーブル	165
11.4	割り込み制御	167
11.4.1	Iフラグ	167
11.4.2	IRビット	167
11.4.3	ILVL0～ILVL2ビット、IPL	167
11.4.4	割り込みシーケンス	168
11.4.5	割り込み応答時間	169
11.4.6	割り込み要求受付時のIPLの変化	169
11.4.7	レジスタ退避	170
11.4.8	割り込みルーチンからの復帰	172
11.4.9	割り込み優先順位	172
11.4.10	割り込み優先レベル判定回路	173
11.5	INT割り込み	174
11.5.1	INTi割り込み (i = 0～4)	174
11.5.2	INTi入力フィルタ (i = 0～4)	175
11.6	キー入力割り込み	176
11.7	アドレス一致割り込み	177
11.8	タイマRC割り込み、タイマRD割り込み、タイマRE2割り込み、シンクロナスシリアルコ ミュニケーションユニット/I ² Cバスインタフェース割り込み、CAN送信割り込み、 CAN受信割り込み、CANエラー割り込み、フラッシュメモリ割り込み (複数の割り込み要求要因を持つ割り込み)	178
11.9	割り込み使用上の注意事項	181
11.9.1	00000h番地の読み出し	181
11.9.2	SPの設定	181
11.9.3	外部割り込み、キー入力割り込み	181
11.9.4	割り込み要因の変更	182
11.9.5	割り込み制御レジスタの変更	183

12.	イベントリンクコントローラ (ELC)	184
12.1	概要	184
12.2	レジスタの説明	185
12.2.1	イベント出力先選択レジスタ n (ELSELRn) (n = 0 ~ 4、8 ~ 24)	186
12.3	動作説明	188
13.	DTC	190
13.1	概要	190
13.2	レジスタの説明	192
13.2.1	DTC 起動制御レジスタ (DTCTL)	195
13.2.2	DTC 起動許可レジスタ i (DTCENi) (i = 0 ~ 6)	196
13.2.3	DTC 制御レジスタ j (DTCCRj) (j = 0 ~ 23)	197
13.2.4	DTC ブロックサイズレジスタ j (DTBLSj) (j = 0 ~ 23)	197
13.2.5	DTC 転送回数レジスタ j (DTCCTj) (j = 0 ~ 23)	197
13.2.6	DTC 転送回数リロードレジスタ j (DTRLdj) (j = 0 ~ 23)	198
13.2.7	DTC ソースアドレスレジスタ j (DTSARj) (j = 0 ~ 23)	198
13.2.8	DTC デステイネーションアドレスレジスタ j (DTDARj) (j = 0 ~ 23)	198
13.3	動作説明	199
13.3.1	概要	199
13.3.2	起動要因	199
13.3.3	コントロールデータの配置と DTC ベクタテーブル	201
13.3.4	ノーマルモード	206
13.3.5	リピートモード	207
13.3.6	チェイン転送	208
13.3.7	割り込み要因	208
13.3.8	動作タイミング	209
13.3.9	DTC 実行サイクル数	210
13.3.10	DTC 起動要因受付と割り込み要因フラグ	211
13.4	DTC 使用上の注意事項	212
13.4.1	DTC 起動要因	212
13.4.2	DTCENi レジスタ (i = 0 ~ 6)	212
13.4.3	周辺モジュール	212
13.4.4	割り込み要求	212
13.4.5	DTC の起動	212
14.	I/Oポート	213
14.1	概要	213
14.2	I/Oポートの機能	214
14.3	I/Oポート以外の端子	214
14.4	周辺機能への入出力	223
14.4.1	周辺機能入出力と PDi ビット (i = 0 ~ 4、6、9)	223
14.5	レジスタの説明	224
14.5.1	タイマ RJ_0 端子選択レジスタ (TRJ_0SR)	225
14.5.2	タイマ RJ_1 端子選択レジスタ (TRJ_1SR)	225
14.5.3	タイマ RB2 端子選択レジスタ (TRBSR)	226
14.5.4	タイマ RCCLK 端子選択レジスタ (TRCCLKSR)	227
14.5.5	タイマ RC_0 端子選択レジスタ 0 (TRC_0SR0)	228
14.5.6	タイマ RC_0 端子選択レジスタ 1 (TRC_0SR1)	229
14.5.7	タイマ RD_0 端子選択レジスタ 0 (TRD_0SR0)	230

14.5.8	タイマRD_0端子選択レジスタ1 (TRD_0SR1)	231
14.5.9	タイマ端子選択レジスタ (TIMSR)	232
14.5.10	UART0_0端子選択レジスタ (U_0SR)	233
14.5.11	UART0_1端子選択レジスタ (U_1SR)	234
14.5.12	UART2端子選択レジスタ0 (U2SR0)	235
14.5.13	UART2端子選択レジスタ1 (U2SR1)	236
14.5.14	SSU/IIC_0端子選択レジスタ (SSUIIC_0SR)	237
14.5.15	INT割り込み入力端子選択レジスタ0 (INTSR0)	238
14.5.16	入出力機能端子選択レジスタ (PINSR)	239
14.5.17	プルアップ制御レジスタ0 (PUR0)	240
14.5.18	プルアップ制御レジスタ1 (PUR1)	240
14.5.19	プルアップ制御レジスタ2 (PUR2)	241
14.5.20	ポートP1駆動能力制御レジスタ (P1DDR)	241
14.5.21	ポートP2駆動能力制御レジスタ (P2DDR)	242
14.5.22	駆動能力制御レジスタ0 (DDR0)	243
14.5.23	駆動能力制御レジスタ1 (DDR1)	244
14.5.24	駆動能力制御レジスタ2 (DDR2)	245
14.5.25	入力しきい値制御レジスタ0 (VLT0)	246
14.5.26	入力しきい値制御レジスタ1 (VLT1)	247
14.5.27	入力しきい値制御レジスタ2 (VLT2)	247
14.5.28	ポートPiレジスタ (PORTi) (i = 0 ~ 4, 6, 9)	248
14.5.29	ポートPi方向レジスタ (PDi) (i = 0 ~ 4, 6, 9)	249
14.5.30	端子選択レジスタで制御されない入出力端子	250
14.6	未使用端子の処理	251
15.	タイマRJ	252
15.1	概要	252
15.2	入出力端子	253
15.3	レジスタの説明	254
15.3.1	タイマRJカウンタレジスタ (TRJ)	254
15.3.2	タイマRJ制御レジスタ (TRJCR)	255
15.3.3	タイマRJ I/O制御レジスタ (TRJIOC)	257
15.3.4	タイマRJモードレジスタ (TRJMR)	259
15.3.5	タイマRJイベント端子選択レジスタ (TRJISR)	260
15.4	動作説明	261
15.4.1	リロードレジスタとカウンタの書き換え動作	261
15.4.2	タイマモード	262
15.4.3	パルス出力モード	263
15.4.4	イベントカウンタモード	264
15.4.5	パルス幅測定モード	265
15.4.6	パルス周期測定モード	266
15.4.7	イベントリンクコントローラ (ELC) との連携による動作	267
15.4.8	各モードの入出力設定	267
15.5	タイマRJ使用上の注意事項	268
16.	タイマRB2	270
16.1	概要	270
16.2	入出力端子	272
16.3	レジスタの説明	273

16.3.1	タイマRB2制御レジスタ (TRBCR)	274
16.3.2	タイマRB2ワンショット制御レジスタ (TRBOCR)	275
16.3.3	タイマRB2 I/O制御レジスタ (TRBIOC)	276
16.3.4	タイマRB2モードレジスタ (TRBMR)	277
16.3.5	タイマRB2プリスケアラレジスタ (TRBPRES)	278
16.3.6	タイマRB2プライマリレジスタ (TRBPR)	279
16.3.7	タイマRB2セカンダリレジスタ (TRBSC)	280
16.3.8	タイマRB2割り込み要求レジスタ (TRBIR)	281
16.4	動作説明	282
16.4.1	タイマモード	282
16.4.2	プログラマブル波形発生モード	284
16.4.3	プログラマブルワンショット発生モード	287
16.4.4	プログラマブルウェイトワンショット発生モード	290
16.5	選択機能	293
16.5.1	TRBPRES、TRBPR、TRBSCレジスタの構造と更新タイミング	293
16.5.2	TWRCビットによるプリスケアラとカウンタ動作	295
16.5.3	TOCNTビットの設定と端子状態	300
16.5.4	イベントリンクコントローラ (ELC) との連携による動作	300
16.6	割り込み要求	301
16.7	INT0入力トリガ選択	301
16.8	タイマRB2使用上の注意事項	302
17.	タイマRC	304
17.1	概要	304
17.2	レジスタの説明	307
17.2.1	タイマRCカウンタ (TRCCNT)	307
17.2.2	タイマRCジェネラルレジスタA、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)	308
17.2.3	タイマRCモードレジスタ (TRCMR)	309
17.2.4	タイマRC制御レジスタ1 (TRCCR1)	311
17.2.5	タイマRC割り込み許可レジスタ (TRCIER)	312
17.2.6	タイマRCステータスレジスタ (TRCSR)	313
17.2.7	タイマRC I/O制御レジスタ0 (TRCIOR0)	314
17.2.8	タイマRC I/O制御レジスタ1 (TRCIOR1)	315
17.2.9	タイマRC制御レジスタ2 (TRCCR2)	316
17.2.10	タイマRCデジタルフィルタ機能選択レジスタ (TRCDF)	317
17.2.11	タイマRC出力許可レジスタ (TRCOER)	318
17.2.12	タイマRC A/D変換トリガ制御レジスタ (TRCADCR)	319
17.2.13	タイマRC出力波形操作レジスタ (TRCOPR)	320
17.2.14	タイマRC ELC連動制御レジスタ (TRCELCCR)	321
17.3	動作説明	322
17.3.1	タイマモード	323
17.3.2	PWMモード	327
17.3.3	PWM2モード	331
17.4	選択機能	338
17.4.1	インプットキャプチャ入力デジタルフィルタ	338
17.4.2	A/D変換開始トリガ	339
17.4.3	ジェネラルレジスタと出力端子変更	340
17.4.4	出力波形操作	342

17.5	動作タイミング	345
17.5.1	TRCCNTレジスタのカウントタイミング	345
17.5.2	アウトプットコンペア出力タイミング	346
17.5.3	インプットキャプチャ入力タイミング	346
17.5.4	コンペア一致によるカウンタクリアのタイミング	347
17.5.5	バッファ動作のタイミング	347
17.5.6	コンペア一致時のIMFA～IMFDビットタイミング	348
17.5.7	インプットキャプチャ時のIMFA～IMFDビットタイミング	348
17.5.8	IMFA～IMFDビットおよびOVFビットが0になるタイミング	349
17.5.9	コンペア一致によるA/D変換開始トリガのタイミング	349
17.6	タイマRC割り込み	350
17.7	タイマRC使用上の注意事項	351
17.7.1	TRCCNTレジスタ	351
17.7.2	TRCCR1レジスタ	351
17.7.3	TRCSRレジスタ	351
17.7.4	カウントソースの切り替え	351
17.7.5	インプットキャプチャ機能	353
17.7.6	PWM2モード時のTRCMRレジスタ	353
17.7.7	モジュールスタンバイ	353
17.7.8	モードの切り替え	353
17.7.9	カウント停止時のインプットキャプチャ動作	353
18.	タイマRD	354
18.1	概要	354
18.2	レジスタの説明	356
18.2.1	タイマRD ELC連動制御レジスタ (TRDELCCR)	357
18.2.2	タイマRDトリガ制御レジスタ (TRDADCR)	358
18.2.3	タイマRDスタートレジスタ (TRDSTR)	359
18.2.4	タイマRDモードレジスタ (TRDMR)	360
18.2.5	タイマRD PWMモードレジスタ (TRDPMR)	360
18.2.6	タイマRD機能制御レジスタ (TRDFCR)	361
18.2.7	タイマRD出力マスタ許可レジスタ1 (TRDOER1)	362
18.2.8	タイマRD出力マスタ許可レジスタ2 (TRDOER2)	363
18.2.9	タイマRD出力制御レジスタ (TRDOCR)	363
18.2.10	タイマRDデジタルフィルタ機能選択レジスタ i (TRDDFi) (i = 0、1)	365
18.2.11	タイマRD制御レジスタ i (TRDCRi) (i = 0、1)	366
18.2.12	タイマRD I/O制御レジスタ Ai (TRDIORAi) (i = 0、1)	369
18.2.13	タイマRD I/O制御レジスタ Ci (TRDIORCi) (i = 0、1)	371
18.2.14	タイマRDステータスレジスタ i (TRDSRi) (i = 0、1)	373
18.2.15	タイマRD割り込み許可レジスタ i (TRDIERi) (i = 0、1)	375
18.2.16	タイマRD PWMモード出力レベル制御レジスタ i (TRDPOCRi) (i = 0、1)	375
18.2.17	タイマRDカウンタ i (TRDi) (i = 0、1)	376
18.2.18	タイマRDジェネラルレジスタ ji (TRDGRji) (i = 0、1、j = A、B、C、D)	377
18.3	動作説明	383
18.3.1	複数モードに関わる共通事項	383
18.3.2	インプットキャプチャ機能	392
18.3.3	アウトプットコンペア機能	396
18.3.4	PWMモード	401
18.3.5	リセット同期PWMモード	405

18.3.6	相補PWMモード	408
18.3.7	PWM3モード	412
18.3.8	タイマRD割り込み	415
18.4	タイマRD使用上の注意事項	417
18.4.1	SFR リード/ライトアクセス	417
18.4.2	モードの切り替え	418
18.4.3	カウントソース切り替え	418
18.4.4	インプットキャプチャ機能	419
18.4.5	リセット同期PWMモード	419
18.4.6	相補PWMモード	420
18.4.7	カウント停止時のインプットキャプチャ動作	423
19.	タイマRE2	424
19.1	概要	424
19.2	レジスタの説明	426
19.2.1	タイマRE2カウンタデータレジスタ (TRESEC)	426
19.2.2	タイマRE2コンペアデータレジスタ (TREMINT)	427
19.2.3	タイマRE2制御レジスタ (TRECRCR)	428
19.2.4	タイマRE2カウントソース選択レジスタ (TRECSCR)	429
19.2.5	タイマRE2割り込みフラグレジスタ (TREIFR)	430
19.2.6	タイマRE2割り込み許可レジスタ (TREIER)	431
19.2.7	タイマRE2プロテクトレジスタ (TREPRT)	431
19.3	コンペア一致タイマモードの動作説明	432
19.3.1	動作例	432
19.3.2	関連レジスタの設定例	432
19.4	割り込み要因	434
19.5	タイマRE2使用上の注意事項	435
20.	シリアルインタフェース (UART0)	436
20.1	概要	436
20.2	レジスタの説明	439
20.2.1	UART0送受信モードレジスタ (U0MR)	439
20.2.2	UART0ビットレートレジスタ (U0BRG)	440
20.2.3	UART0送信バッファレジスタ (U0TB)	440
20.2.4	UART0送受信制御レジスタ0 (U0C0)	441
20.2.5	UART0送受信制御レジスタ1 (U0C1)	442
20.2.6	UART0受信バッファレジスタ (U0RB)	443
20.2.7	UART0割り込みフラグと許可レジスタ (U0IR)	444
20.3	動作説明	445
20.3.1	クロック同期形シリアルI/Oモード	445
20.3.2	クロック非同期形シリアルI/O (UART)モード	450
20.4	UART0の割り込み	456
20.5	シリアルインタフェース (UART0)使用上の注意事項	457
20.5.1	動作モード共通	457
21.	シリアルインタフェース (UART2)	458
21.1	概要	458
21.2	レジスタの説明	463
21.2.1	UART2送受信モードレジスタ (U2MR)	464

21.2.2	UART2ビットレートレジスタ (U2BRG).....	464
21.2.3	UART2送信バッファレジスタ (U2TB).....	465
21.2.4	UART2送受信制御レジスタ0 (U2C0).....	466
21.2.5	UART2送受信制御レジスタ1 (U2C1).....	467
21.2.6	UART2受信バッファレジスタ (U2RB).....	468
21.2.7	UART2デジタルフィルタ機能選択レジスタ (U2RXDF).....	469
21.2.8	UART2特殊モードレジスタ5 (U2SMR5).....	470
21.2.9	UART2特殊モードレジスタ3 (U2SMR3).....	470
21.2.10	UART2特殊モードレジスタ (U2SMR).....	471
21.3	動作説明	472
21.3.1	クロック同期形シリアルI/Oモード(SIOモード).....	472
21.3.2	クロック非同期形シリアルI/O (UART)モード	477
21.3.3	特殊モード3 (IEモード).....	485
21.3.4	マルチプロセッサ通信モード	487
21.3.5	UART2割り込み要因	492
21.4	シリアルインタフェース (UART2)使用上の注意事項	493
21.4.1	動作モード共通	493
21.4.2	クロック同期形シリアルI/Oモード	493
22.	クロック同期形シリアルインタフェース	495
22.1	概要	495
22.1.1	モード選択	495
22.1.2	シンクロナスシリアルコミュニケーションユニット(SSU).....	496
22.1.3	I ² Cバスインタフェース	498
22.2	レジスタの説明	501
22.2.1	I ² C制御レジスタ (IICCR).....	502
22.2.2	SSビットカウンタレジスタ (SSBR).....	503
22.2.3	SI送信データレジスタ (SITDR).....	504
22.2.4	SI受信データレジスタ (SIRDR).....	504
22.2.5	SI制御レジスタ1 (SICR1).....	505
22.2.6	SI制御レジスタ2 (SICR2).....	507
22.2.7	SIモードレジスタ1 (SIMR1).....	509
22.2.8	SI割り込み許可レジスタ (SIER).....	511
22.2.9	SIステータスレジスタ (SISR).....	513
22.2.10	SIモードレジスタ2 (SIMR2).....	515
22.3	シンクロナスシリアルコミュニケーションユニット(SSU)の動作説明	517
22.3.1	クロック同期式通信モード、4線式バス通信モードにかかわる共通事項	517
22.3.2	クロック同期式通信モード	521
22.3.3	4線式バス通信モード	529
22.4	I ² Cバスインタフェースの動作説明	536
22.4.1	I ² Cバスインタフェースモード、クロック同期式シリアルモードにかかわる共通事項	536
22.4.2	I ² Cバスインタフェースモード	540
22.4.3	クロック同期式シリアルモード	552
22.4.4	レジスタ設定例	555
22.4.5	ノイズ除去回路	559
22.4.6	ビット同期回路	559
22.4.7	DTCとの連携動作	560
22.4.8	I ² Cバスインタフェースモード時の制御部リセット手順	563
22.5	クロック同期形シリアルインタフェース使用上の注意事項	564

22.5.1	シンクロナスシリアルコミュニケーションユニット使用上の注意	564
22.5.2	I ² Cバスインタフェース使用上の注意	564
22.5.3	SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット	564
23.	ハードウェアLIN	566
23.1	概要	566
23.2	入出力端子	567
23.3	レジスタの説明	567
23.3.1	LIN特殊機能レジスタ(LINCR2)	568
23.3.2	LIN制御レジスタ(LINCT).....	568
23.3.3	LINステータスレジスタ(LINST).....	569
23.4	動作説明	570
23.4.1	マスタモード	570
23.4.2	スレーブモード	573
23.4.3	バス衝突検出機能	577
23.4.4	ハードウェアLIN終了処理.....	578
23.5	割り込み要求	579
23.6	ハードウェアLIN使用上の注意事項	580
24.	CANモジュール	581
24.1	概要	581
24.2	レジスタの説明	584
24.2.1	CANメールボックス(CMBj) (j = 0 ~ 15).....	586
24.2.2	CANマスクレジスタk (CMKRk) (k = 0 ~ 3).....	590
24.2.3	CAN FIFO受信ID比較レジスタn (CFIDCRn) (n = 0、1)	591
24.2.4	CANマスク無効レジスタ(CMKIVLR).....	592
24.2.5	CANメールボックス割り込み許可レジスタ(CMIER).....	593
24.2.6	CANメッセージ制御レジスタj (CMCTLj) (j = 0 ~ 15).....	594
24.2.7	CAN制御レジスタ(CCTLR).....	598
24.2.8	CANステータスレジスタ(CSTR).....	603
24.2.9	CANビットコンフィグレーションレジスタ(CBCR).....	606
24.2.10	CANクロック選択レジスタ(CCLKR)	607
24.2.11	CAN受信FIFO制御レジスタ(CRFCR)	608
24.2.12	CAN受信FIFOポインタ制御レジスタ(CRFPCR).....	610
24.2.13	CAN送信FIFO制御レジスタ(CTFCR)	611
24.2.14	CAN送信FIFOポインタ制御レジスタ(CTFPCR)	612
24.2.15	CANエラー割り込み許可レジスタ(CEIER).....	613
24.2.16	CANエラー割り込み要因判定レジスタ(CEIFR).....	615
24.2.17	CAN受信エラーカウントレジスタ(CRECR)	617
24.2.18	CAN送信エラーカウントレジスタ(CTECR).....	617
24.2.19	CANエラーコード格納レジスタ(CECSR).....	618
24.2.20	CANチャネルサーチサポートレジスタ(CCSSR)	619
24.2.21	CANメールボックスサーチステータスレジスタ(CMSSR)	620
24.2.22	CANメールボックスサーチモードレジスタ(CMSMR).....	621
24.2.23	CANタイムスタンプレジスタ(CTSR).....	622
24.2.24	CANアクセプタンスフィルタサポートレジスタ(CAFSR).....	623
24.2.25	CANテスト制御レジスタ(CTCR).....	624
24.2.26	CAN割り込みステータスレジスタ(CANISR).....	626
24.2.27	CAN割り込み制御レジスタ(CANIE)	626

24.3	動作モード	629
24.3.1	CANリセットモード	630
24.3.2	CAN Haltモード	631
24.3.3	CANスリープモード	632
24.3.4	CANオペレーションモード(バスオフ状態以外)	632
24.3.5	CANオペレーションモード(バスオフ状態)	633
24.4	CAN通信速度の設定	634
24.4.1	CANクロックの設定	634
24.4.2	ビットタイミングの設定	634
24.4.3	ビットレート	635
24.5	メールボックスとマスクレジスタの構成	636
24.6	アクセプタンスフィルタ機能とマスク機能	637
24.7	受信、送信	639
24.7.1	受信	640
24.7.2	送信	642
24.8	CAN割り込み	643
25.	A/Dコンバータ	644
25.1	概要	644
25.2	レジスタの説明	647
25.2.1	チップ内蔵基準電圧制御レジスタ(OCVREFCR)	647
25.2.2	A/Dレジスタ <i>i</i> (AD <i>i</i>)(<i>i</i> = 0 ~ 7)	648
25.2.3	A/Dモードレジスタ(ADMOD)	649
25.2.4	A/D入力選択レジスタ(ADINSEL)	650
25.2.5	A/D制御レジスタ0(ADCON0)	651
25.2.6	A/D制御レジスタ1(ADCON1)	652
25.3	複数モードに関わる共通事項	653
25.3.1	入出力端子	653
25.3.2	A/D変換サイクル数	653
25.3.3	A/D変換開始条件	655
25.3.4	A/D変換結果	657
25.3.5	分解能(8ビット/10ビットモード)	657
25.3.6	消費電流低減機能	657
25.3.7	チップ内蔵基準電圧(OCVREF)	657
25.3.8	A/D断線検出アシスト機能	658
25.4	単発モード	659
25.5	繰り返しモード0	660
25.6	繰り返しモード1	661
25.7	単掃引モード	663
25.8	繰り返し掃引モード	665
25.9	A/D変換時のセンサの出力インピーダンス	667
25.10	A/Dコンバータ使用上の注意事項	668
25.10.1	A/D変換中の注意事項	668
25.10.2	クロック源の切り替え	668
25.10.3	端子処理	668
26.	コンパレータB	669
26.1	概要	669
26.2	レジスタの説明	671

26.2.1	コンパレータ B 制御レジスタ 0 (INTCMP).....	671
26.3	動作説明	672
26.3.1	コンパレータ Bi デジタルフィルタ (i = 1、3)	673
26.4	コンパレータ B1、コンパレータ B3 割り込み	674
27.	フラッシュメモリ	676
27.1	概要	676
27.2	メモリ配置	677
27.3	レジスタの説明	679
27.3.1	フラッシュメモリステータスレジスタ (FST)	679
27.3.2	フラッシュメモリ制御レジスタ 0 (FMR0)	682
27.3.3	フラッシュメモリ制御レジスタ 1 (FMR1)	685
27.3.4	フラッシュメモリ制御レジスタ 2 (FMR2)	687
27.3.5	オプション機能選択レジスタ (OFS)	689
27.4	フラッシュメモリ書き換え禁止機能	690
27.4.1	ID コードチェック機能	690
27.4.2	ROM コードプロテクト機能	690
27.5	CPU 書き換えモード	691
27.5.1	EW0 モード	692
27.5.2	EW1 モード	692
27.5.3	各モードの設定と解除方法	693
27.5.4	サスペンド動作	694
27.5.5	BGO (バックグラウンドオペレーション) 機能	695
27.5.6	データ保護機能	696
27.5.7	ソフトウェアコマンド	697
27.5.8	フルステータスチェック	706
27.6	標準シリアル入出力モード	708
27.6.1	ID コードチェック機能	708
27.7	パラレル入出力モード	711
27.7.1	ROM コードプロテクト機能	711
27.8	フラッシュメモリ使用上の注意	712
27.8.1	CPU 書き換えモード	712
28.	CRC	716
28.1	概要	716
28.2	レジスタの説明	717
28.2.1	SFR 監視アドレスレジスタ (CRC SAR)	717
28.2.2	CRC 制御レジスタ (CRC MR)	718
28.2.3	CRC データレジスタ (CRC D)	719
28.2.4	CRC インพุットレジスタ (CRC IN)	719
28.3	動作説明	720
28.4	SFR アクセス監視機能	720
28.5	使用方法	720
29.	ペリフェラルマッピングコントローラ (PMC)	721
29.1	概要	721
29.1.1	PMCSEL レジスタで未選択となった端子について	721
29.2	周辺機能の割り当て	722
29.3	レジスタの説明	724

29.3.1	端子配置選択レジスタ (PMCSEL).....	724
29.4	ペリフェラルマッピングコントローラ (PMC)使用上の注意事項.....	725
29.4.1	端子配置選択レジスタ (PMCSEL)の設定	725
29.4.2	フルスペックエミュレータ (E100)使用時の制限事項	725
30.	電气的特性.....	726
30.1	絶対最大定格	726
30.2	推奨動作条件	727
30.3	周辺機能の特性	729
30.4	DC 特性.....	736
30.5	AC 特性	742
31.	使用上の注意事項集	751
31.1	システム制御使用上の注意事項	751
31.1.1	オプション機能選択領域の設定例	751
31.2	リセット使用上の注意事項	752
31.2.1	RSTFR レジスタ	752
31.3	クロック発生回路使用上の注意事項	753
31.3.1	発振停止検出機能	753
31.3.2	発振回路定数	753
31.4	パワーコントロール使用上の注意事項	754
31.4.1	ストップモード	754
31.4.2	ウェイトモード	754
31.5	割り込み使用上の注意事項	755
31.5.1	00000h 番地の読み出し	755
31.5.2	SP の設定.....	755
31.5.3	外部割り込み、キー入力割り込み	755
31.5.4	割り込み要因の変更	756
31.5.5	割り込み制御レジスタの変更	757
31.6	DTC使用上の注意事項.....	758
31.6.1	DTC 起動要因	758
31.6.2	DTCENi レジスタ (i = 0 ~ 6)	758
31.6.3	周辺モジュール	758
31.6.4	割り込み要求	758
31.6.5	DTC の起動	758
31.7	タイマRJ使用上の注意事項	759
31.8	タイマRB2使用上の注意事項.....	761
31.9	タイマRC使用上の注意事項.....	763
31.9.1	TRCCNT レジスタ	763
31.9.2	TRCCR1 レジスタ	763
31.9.3	TRCSR レジスタ	763
31.9.4	カウントソースの切り替え	763
31.9.5	インプットキャプチャ機能	765
31.9.6	PWM2モード時の TRCMR レジスタ	765
31.9.7	モジュールスタンバイ	765
31.9.8	モードの切り替え	765
31.9.9	カウント停止時のインプットキャプチャ動作	765
31.10	タイマRD使用上の注意事項.....	766
31.10.1	SFR リード/ライトアクセス	766

31.10.2	モードの切り替え	767
31.10.3	カウントソース切り替え	767
31.10.4	インプットキャプチャ機能	768
31.10.5	リセット同期PWMモード	768
31.10.6	相補PWMモード	769
31.10.7	カウント停止時のインプットキャプチャ動作	772
31.11	タイマRE2使用上の注意事項	773
31.12	シリアルインタフェース(UART0)使用上の注意事項	774
31.12.1	動作モード共通	774
31.13	シリアルインタフェース(UART2)使用上の注意事項	775
31.13.1	動作モード共通	775
31.13.2	クロック同期形シリアルI/Oモード	775
31.14	クロック同期形シリアルインタフェース使用上の注意事項	777
31.14.1	シンクロナスシリアルコミュニケーションユニット使用上の注意	777
31.14.2	I ² Cバスインタフェース使用上の注意	777
31.14.3	SICR1レジスタのICEビットおよびSICR2レジスタのSIRSTビット	777
31.15	ハードウェアLIN使用上の注意事項	779
31.16	A/Dコンバータ使用上の注意事項	780
31.16.1	A/D変換中の注意事項	780
31.16.2	クロック源の切り替え	780
31.16.3	端子処理	780
31.17	フラッシュメモリ使用上の注意	781
31.17.1	CPU書き換えモード	781
31.18	ペリフェラルマッピングコントローラ(PMC)使用上の注意事項	785
31.18.1	端子配置選択レジスタ(PMCSEL)の設定	785
31.18.2	フルスペックエミュレータ(E100)使用時の制限事項	785
32.	オンチップデバッグの注意事項	786
33.	エミュレータデバッグの注意事項	787
付録1.	外形寸法図	788
付録2.	シリアルライタとオンチップデバッグエミュレータとの接続例	789
付録3.	発振評価回路例	791
索引		792

SFR ページ早見表

アドレス	レジスタ名	シンボル	掲載 ページ
00000h			
00001h			
00002h			
00003h			
00004h	プロセッサモードレジスタ 0	PM0	55、66
00005h	プロセッサモードレジスタ 1	PM1	56
00006h			
00007h	プロテクトレジスタ	PRCR	57
00008h	システムクロック制御レジスタ 0	CM0	109、131
00009h	システムクロック制御レジスタ 1	CM1	110、132
0000Ah	発振停止検出レジスタ	OC	111
0000Bh	システムクロック制御レジスタ 3	CM3	112、133
0000Ch	システムクロック制御レジスタ 4	CM4	113、134
0000Dh			
0000Eh			
0000Fh	周辺クロック選択レジスタ 1	PCLKR1	114
00010h			
00011h			
00012h	高速オンチップオシレータ制御レジスタ 0	FRA0	114、135
00013h			
00014h	高速オンチップオシレータ制御レジスタ 2	FRA2	115
00015h			
00016h			
00017h			
00018h			
00019h			
0001Ah			
0001Bh			
0001Ch	PLL 制御レジスタ 0	PLC0	116
0001Dh			
0001Eh			
0001Fh			
00020h	リセット割り込み選択レジスタ	RISR	97
00021h	ウォッチドッグタイマリセットレジスタ	WDTR	97
00022h	ウォッチドッグタイマスタートレジスタ	WDTS	98
00023h	ウォッチドッグタイマ制御レジスタ	WDTC	98
00024h	カウントソース保護モードレジスタ	CSPR	99
00025h			
00026h			
00027h			
00028h	リセット要因判別レジスタ	RSTFR	67
00029h			
0002Ah			
0002Bh			
0002Ch	STBY VDC 電力制御レジスタ	SVDC	135
0002Dh			
0002Eh			
0002Fh			
00030h	電圧監視回路制御レジスタ	CMPA	81
00031h	電圧監視回路エッジ選択レジスタ	VCAC	82
00032h	チップ内蔵基準電圧制御レジスタ	OCVREFCR	647
00033h			
00034h	電圧検出レジスタ 2	VCA2	82、117
00035h			
00036h	電圧検出 1 レベル選択レジスタ	VD1LS	83
00037h			
00038h	電圧監視 0 回路制御レジスタ	VW0C	84
00039h	電圧監視 1 回路制御レジスタ	VW1C	85

注 1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載 ページ
0003Ah	電圧監視 2 回路制御レジスタ	VW2C	86
0003Bh			
0003Ch			
0003Dh			
0003Eh			
0003Fh			
00040h			
00041h	割り込み制御レジスタ	FMRDYIC	156
00042h	割り込み制御レジスタ	TRJIC_1	156
00043h			
00044h			
00045h			
00046h	割り込み制御レジスタ	INT4IC	156
00047h	割り込み制御レジスタ	TRCIC_0	156
00048h	割り込み制御レジスタ	TRD0IC_0	156
00049h	割り込み制御レジスタ	TRD1IC_0	156
0004Ah	割り込み制御レジスタ	TRE2IC	156
0004Bh	割り込み制御レジスタ	U2TIC	156
0004Ch	割り込み制御レジスタ	U2RIC	156
0004Dh	割り込み制御レジスタ	KUPIC	156
0004Eh	割り込み制御レジスタ	ADIC	156
0004Fh	割り込み制御レジスタ	SSUIC_0/IICIC_0	156
00050h			
00051h	割り込み制御レジスタ	U0TIC_0	156
00052h	割り込み制御レジスタ	U0RIC_0	156
00053h	割り込み制御レジスタ	U0TIC_1	156
00054h	割り込み制御レジスタ	U0RIC_1	156
00055h	割り込み制御レジスタ	INT2IC	156
00056h	割り込み制御レジスタ	TRJIC_0	156
00057h			
00058h	割り込み制御レジスタ	TRB2IC_0	156
00059h	割り込み制御レジスタ	INT1IC	156
0005Ah	割り込み制御レジスタ	INT3IC	156
0005Bh			
0005Ch			
0005Dh	割り込み制御レジスタ	INT0IC	156
0005Eh	割り込み制御レジスタ	U2BCNIC	156
0005Fh			
00060h			
00061h			
00062h			
00063h			
00064h			
00065h			
00066h			
00067h			
00068h			
00069h			
0006Ah			
0006Bh			
0006Ch	割り込み制御レジスタ	CANRXIC_0	156
0006Dh	割り込み制御レジスタ	CANTXIC_0	156
0006Eh	割り込み制御レジスタ	CANERIC_0	156
0006Fh			
00070h			
00071h			
00072h	割り込み制御レジスタ	VCMP1IC	156
00073h	割り込み制御レジスタ	VCMP2IC	156
00074h			
00075h			
00076h			
00077h			
00078h			
00079h	割り込み制御レジスタ	SSUIC_1/IICIC_1	156

アドレス	レジスタ名	シンボル	掲載 ページ
0007Ah			
0007Bh			
0007Ch			
0007Dh			
0007Eh			
0007Fh			
00080h	UART0_0送受信モードレジスタ	U0MR_0	439
00081h	UART0_0ビットレートレジスタ	U0BRG_0	440
00082h	UART0_0送信バッファレジスタ	U0TB_0	440
00083h			
00084h	UART0_0送受信制御レジスタ0	U0C0_0	441
00085h	UART0_0送受信制御レジスタ1	U0C1_0	442
00086h	UART0_0受信バッファレジスタ	U0RB_0	443
00087h			
00088h	UART0_0割り込みフラグと許可レジスタ	U0IR_0	444
00089h			
0008Ah			
0008Bh			
0008Ch	LIN_0特殊機能レジスタ	LINCR2_0	568
0008Dh			
0008Eh	LIN_0制御レジスタ	LINCT_0	568
0008Fh	LIN_0ステータスレジスタ	LINST_0	569
00090h	UART0_1送受信モードレジスタ	U0MR_1	439
00091h	UART0_1ビットレートレジスタ	U0BRG_1	440
00092h	UART0_1送信バッファレジスタ	U0TB_1	440
00093h			
00094h	UART0_1送受信制御レジスタ0	U0C0_1	441
00095h	UART0_1送受信制御レジスタ1	U0C1_1	442
00096h	UART0_1受信バッファレジスタ	U0RB_1	443
00097h			
00098h	UART0_1割り込みフラグと許可レジスタ	U0IR_1	444
00099h			
0009Ah			
0009Bh			
0009Ch	LIN_1特殊機能レジスタ	LINCR2_1	568
0009Dh			
0009Eh	LIN_1制御レジスタ	LINCT_1	568
0009Fh	LIN_1ステータスレジスタ	LINST_1	569
000A0h			
000A1h			
000A2h			
000A3h			
000A4h			
000A5h			
000A7h			
000A6h			
000A7h			
000A8h			
000A9h			
000AAh			
000ABh			
000ACh			
000ADh			
000AEh			
000AFh			
000B0h			
000B1h			
000B2h			
000B3h			
000B4h			
000B5h			
000B6h			
000B7h			
000B8h			
000B9h			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載 ページ
000BAh			
000BBh			
000BCh			
000BDh			
000BEh			
000BFh			
000C0h	UART2送受信モードレジスタ	U2MR	464
000C1h	UART2ビットレートレジスタ	U2BRG	464
000C2h	UART2送信バッファレジスタ	U2TB	465
000C3h			
000C4h	UART2送受信制御レジスタ0	U2C0	466
000C5h	UART2送受信制御レジスタ1	U2C1	467
000C6h	UART2受信バッファレジスタ	U2RB	468
000C7h			
000C8h	UART2デジタルフィルタ機能選択レジスタ	U2RXDF	469
000C9h			
000CAh			
000CBh			
000CCh			
000CDh			
000CEh			
000CFh			
000D0h	UART2特殊モードレジスタ5	U2SMR5	470
000D1h			
000D2h			
000D3h			
000D4h			
000D5h	UART2特殊モードレジスタ3	U2SMR3	470
000D6h			
000D7h	UART2特殊モードレジスタ	U2SMR	471
000D8h			
000D9h			
000DAh			
000DBh			
000DCh			
000DDh			
000DEh			
000DFh			
000E0h	I ² C_0制御レジスタ	IICCR_0	502
000E1h	SS_0ビットカウンタレジスタ	SSBR_0	503
000E2h	SI_0送信データレジスタ	SITDR_0	504
000E3h			
000E4h	SI_0受信データレジスタ	SIRDR_0	504
000E5h			
000E6h	SI_0制御レジスタ1	SICR1_0	505
000E7h	SI_0制御レジスタ2	SICR2_0	507
000E8h	SI_0モードレジスタ1	SIMR1_0	509
000E9h	SI_0割り込み許可レジスタ	SIER_0	511
000EAh	SI_0ステータスレジスタ	SISR_0	513
000EBh	SI_0モードレジスタ2	SIMR2_0	515
000ECh			
000EDh			
000EEh			
000EFh			
000F0h	I ² C_1制御レジスタ	IICCR_1	502
000F1h	SS_1ビットカウンタレジスタ	SSBR_1	503
000F2h	SI_1送信データレジスタ	SITDR_1	504
000F3h			
000F4h	SI_1受信データレジスタ	SIRDR_1	504
000F5h			
000F6h	SI_1制御レジスタ1	SICR1_1	505
000F7h	SI_1制御レジスタ2	SICR2_1	507
000F8h	SI_1モードレジスタ1	SIMR1_1	509
000F9h	SI_1割り込み許可レジスタ	SIER_1	511

アドレス	レジスタ名	シンボル	掲載 ページ
000FAh	SI_1ステータスレジスタ	SISR_1	513
000FBh	SI_1モードレジスタ2	SIMR2_1	515
000FCh			
000FDh			
000FEh			
000FFh			
00100h			
00101h			
00102h			
00103h			
00104h			
00105h			
00106h			
00107h			
00108h			
00109h			
0010Ah			
0010Bh			
0010Ch			
0010Dh			
0010Eh			
0010Fh			
00110h	タイマRJ_0カウンタレジスタ	TRJ_0	254
00111h			
00112h	タイマRJ_0制御レジスタ	TRJCR_0	255
00113h	タイマRJ_0 I/O制御レジスタ	TRJIOC_0	257
00114h	タイマRJ_0モードレジスタ	TRJMR_0	259
00115h	タイマRJ_0イベント端子選択レジスタ	TRJISR_0	260
00116h			
00117h			
00118h	タイマRJ_1カウンタレジスタ	TRJ_1	254
00119h			
0011Ah	タイマRJ_1制御レジスタ	TRJCR_1	255
0011Bh	タイマRJ_1 I/O制御レジスタ	TRJIOC_1	257
0011Ch	タイマRJ_1モードレジスタ	TRJMR_1	259
0011Dh	タイマRJ_1イベント端子選択レジスタ	TRJISR_1	260
0011Eh			
0011Fh			
00120h			
00121h			
00122h			
00123h			
00124h			
00125h			
00126h			
00127h			
00128h			
00129h			
0012Ah			
0012Bh			
0012Ch			
0012Dh			
0012Eh			
0012Fh			
00130h	タイマRB2_0制御レジスタ	TRBCR_0	274
00131h	タイマRB2_0ワンショット制御レジスタ	TRBOCR_0	275
00132h	タイマRB2_0 I/O制御レジスタ	TRBIOC_0	276
00133h	タイマRB2_0モードレジスタ	TRBMR_0	277
00134h	タイマRB2_0プリスケアラレジスタ タイマRB2_0プライマリ/セカンダリ レジスタ (下位8ビット)	TRBPRE_0	278
00135h	タイマRB2_0プライマリレジスタ タイマRB2_0プライマリレジスタ (上位8ビット)	TRBPR_0	
00136h	タイマRB2_0セカンダリレジスタ タイマRB2_0セカンダリレジスタ (上位8ビット)	TRBSC_0	280
00137h	タイマRB2_0割り込み要求レジスタ	TRBIR_0	281
00138h	タイマRC_0カウンタ	TRCCNT_0	307
00139h			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載 ページ
0013Ah	タイマRC_0ジェネラルレジスタA	TRCGRA_0	308
0013Bh			
0013Ch	タイマRC_0ジェネラルレジスタB	TRCGRB_0	308
0013Dh			
0013Eh	タイマRC_0ジェネラルレジスタC	TRCGRC_0	308
0013Fh			
00140h	タイマRC_0ジェネラルレジスタD	TRCGRD_0	308
00141h			
00142h	タイマRC_0モードレジスタ	TRCMR_0	309
00143h	タイマRC_0制御レジスタ1	TRCCR1_0	311
00144h	タイマRC_0割り込み許可レジスタ	TRCIER_0	312
00145h	タイマRC_0ステータスレジスタ	TRCSR_0	313
00146h	タイマRC_0 I/O制御レジスタ0	TRCIOR0_0	314
00147h	タイマRC_0 I/O制御レジスタ1	TRCIOR1_0	315
00148h	タイマRC_0制御レジスタ2	TRCCR2_0	316
00149h	タイマRC_0デジタルフィルタ機能選択レ ジスタ	TRCDF_0	317
0014Ah	タイマRC_0出力許可レジスタ	TRCOER_0	318
0014Bh	タイマRC_0 A/D変換トリガ制御レジスタ	TRCADCR_0	319
0014Ch	タイマRC_0出力波形操作レジスタ	TRCOPR_0	320
0014Dh	タイマRC_0 ELC連動制御レジスタ	TRCECCR_0	321
0014Eh			
0014Fh			
00150h			
00151h			
00152h			
00153h			
00154h			
00155h			
00156h			
00157h			
00158h			
00159h			
0015Ah			
0015Bh			
0015Ch			
0015Dh			
0015Eh			
0015Fh			
00160h			
00161h			
00162h			
00163h			
00164h			
00165h			
00166h			
00167h			
00168h			
00169h			
0016Ah			
0016Bh			
0016Ch			
0016Dh			
0016Eh			
0016Fh			
00170h	タイマRE2カウンタデータレジスタ	TRESEC	426
00171h	タイマRE2コンペアデータレジスタ	TREMIN	427
00172h			
00173h			
00174h			
00175h			
00176h			
00177h	タイマRE2制御レジスタ	TRECR	428
00178h	タイマRE2カウントソース選択レジスタ	TRECSR	429
00179h			

アドレス	レジスタ名	シンボル	掲載ページ
0017Ah	タイマRE2割り込みフラグレジスタ	TREIFR	430
0017Bh	タイマRE2割り込み許可レジスタ	TREIER	431
0017Ch			
0017Dh			
0017Eh			
0017Fh	タイマRE2プロテクトレジスタ	TREPRC	431
00180h	タイマRD_0 ELC運動制御レジスタ	TRDELCCR_0	357
00181h			
00182h	タイマRD_0トリガ制御レジスタ	TRDADCR_0	358
00183h	タイマRD_0スタートレジスタ	TRDSTR_0	359
00184h	タイマRD_0モードレジスタ	TRDMR_0	360
00185h	タイマRD_0 PWMモードレジスタ	TRDPMR_0	360
00186h	タイマRD_0機能制御レジスタ	TRDFCR_0	361
00187h	タイマRD_0出力マスタ許可レジスタ1	TRDOER1_0	362
00188h	タイマRD_0出力マスタ許可レジスタ2	TRDOER2_0	363
00189h	タイマRD_0出力制御レジスタ	TRDOCR_0	363
0018Ah	タイマRD_0デジタルフィルタ機能選択レジスタ0	TRDDF0_0	365
0018Bh	タイマRD_0デジタルフィルタ機能選択レジスタ1	TRDDF1_0	365
0018Ch			
0018Dh			
0018Eh			
0018Fh			
00190h	タイマRD_0制御レジスタ0	TRDCR0_0	366
00191h	タイマRD_0 I/O制御レジスタA0	TRDIORA0_0	369
00192h	タイマRD_0 I/O制御レジスタC0	TRDIORC0_0	371
00193h	タイマRD_0ステータスレジスタ0	TRDSR0_0	373
00194h	タイマRD_0割り込み許可レジスタ0	TRDIER0_0	375
00195h	タイマRD_0 PWMモード出力レベル制御レジスタ0	TRDPOCR0_0	375
00196h	タイマRD_0カウンタ0	TRD0_0	376
00197h			
00198h	タイマRD_0ジェネラルレジスタA0	TRDGRA0_0	377
00199h			
0019Ah	タイマRD_0ジェネラルレジスタB0	TRDGRB0_0	377
0019Bh			
0019Ch	タイマRD_0ジェネラルレジスタC0	TRDGRC0_0	377
0019Dh			
0019Eh	タイマRD_0ジェネラルレジスタD0	TRDGRD0_0	377
0019Fh			
001A0h	タイマRD_0制御レジスタ1	TRDCR1_0	366
001A1h	タイマRD_0 I/O制御レジスタA1	TRDIORA1_0	369
001A2h	タイマRD_0 I/O制御レジスタC1	TRDIORC1_0	371
001A3h	タイマRD_0ステータスレジスタ1	TRDSR1_0	373
001A4h	タイマRD_0割り込み許可レジスタ1	TRDIER1_0	375
001A5h	タイマRD_0 PWMモード出力レベル制御レジスタ1	TRDPOCR1_0	375
001A6h	タイマRD_0カウンタ1	TRD1_0	376
001A7h			
001A8h	タイマRD_0ジェネラルレジスタA1	TRDGRA1_0	377
001A9h			
001AAh	タイマRD_0ジェネラルレジスタB1	TRDGRB1_0	377
001ABh			
001ACh	タイマRD_0ジェネラルレジスタC1	TRDGRC1_0	377
001ADh			
001AEh	タイマRD_0ジェネラルレジスタD1	TRDGRD1_0	377
001AFh			
001B0h ～ 001FFh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
00200h	A/Dレジスタ0	AD0	648
00201h			
00202h	A/Dレジスタ1	AD1	648
00203h			
00204h	A/Dレジスタ2	AD2	648
00205h			
00206h	A/Dレジスタ3	AD3	648
00207h			
00208h	A/Dレジスタ4	AD4	648
00209h			
0020Ah	A/Dレジスタ5	AD5	648
0020Bh			
0020Ch	A/Dレジスタ6	AD6	648
0020Dh			
0020Eh	A/Dレジスタ7	AD7	648
0020Fh			
00210h			
00211h			
00212h			
00213h			
00214h	A/Dモードレジスタ	ADMOD	649
00215h	A/D入力選択レジスタ	ADINSEL	650
00216h	A/D制御レジスタ0	ADCON0	651
00217h	A/D制御レジスタ1	ADCON1	652
00218h			
00219h			
0021Ah			
0021Bh			
0021Ch			
0021Dh			
0021Eh			
0021Fh			
00220h			
00221h			
00222h			
00223h			
00224h			
00225h			
00226h			
00227h			
00228h	コンパレータB制御レジスタ0	INTCMP	671
00229h			
0022Ah			
0022Bh			
0022Ch			
0022Dh			
0022Eh			
0022Fh			
00230h	外部入力許可レジスタ0	INTEN	157
00231h	外部入力許可レジスタ1	INTEN1	158
00232h	INT入力フィルタ選択レジスタ0	INTF	159
00233h	INT入力フィルタ選択レジスタ1	INTF1	160
00234h	INT入力極性切り替えレジスタ	INTPOL	160
00235h			
00236h	キー入力割り込み許可レジスタ	KIEN	161
00237h			
00238h	モジュールスタンバイコントロールレジスタ0	MSTCR0	136
00239h	モジュールスタンバイコントロールレジスタ1	MSTCR1	136
0023Ah	モジュールスタンバイコントロールレジスタ2	MSTCR2	137
0023Bh	モジュールスタンバイコントロールレジスタ3	MSTCR3	137
0023Ch			
0023Dh			
0023Eh			
0023Fh			

アドレス	レジスタ名	シンボル	掲載ページ
00240h			
00241h			
00242h			
00243h			
00244h			
00245h			
00246h			
00247h			
00248h			
00249h			
0024Ah			
0024Bh			
0024Ch			
0024Dh			
0024Eh			
0024Fh			
00250h			
00251h			
00252h	フラッシュメモリステータスレジスタ	FST	679
00253h			
00254h	フラッシュメモリ制御レジスタ0	FMR0	682
00255h	フラッシュメモリ制御レジスタ1	FMR1	685
00256h	フラッシュメモリ制御レジスタ2	FMR2	687
00257h			
00258h			
00259h			
0025Ah			
0025Bh			
0025Ch			
0025Dh			
0025Eh			
0025Fh			
00260h	アドレス一致割り込みアドレス0Lレジスタ	AIADR0L	162
00261h			
00262h	アドレス一致割り込みアドレス0Hレジスタ	AIADR0H	162
00263h	アドレス一致割り込み許可0レジスタ	AIEN0	162
00264h	アドレス一致割り込みアドレス1Lレジスタ	AIADR1L	162
00265h			
00266h	アドレス一致割り込みアドレス1Hレジスタ	AIADR1H	162
00267h	アドレス一致割り込み許可1レジスタ	AIEN1	162
00268h			
00269h			
0026Ah			
0026Bh			
0026Ch			
0026Dh			
0026Eh			
0026Fh			
00270h			
00271h			
00272h			
00273h			
00274h			
00275h			
00276h			
00277h			
00278h			
00279h			
0027Ah			
0027Bh			
0027Ch			
0027Dh			
0027Eh			
0027Fh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
00280h	DTC起動制御レジスタ	DTCTL	195
00281h			
00282h			
00283h			
00284h			
00285h			
00286h			
00287h			
00288h	DTC起動許可レジスタ0	DTCEN0	196
00289h	DTC起動許可レジスタ1	DTCEN1	196
0028Ah	DTC起動許可レジスタ2	DTCEN2	196
0028Bh	DTC起動許可レジスタ3	DTCEN3	196
0028Ch	DTC起動許可レジスタ4	DTCEN4	196
0028Dh	DTC起動許可レジスタ5	DTCEN5	196
0028Eh	DTC起動許可レジスタ6	DTCEN6	196
0028Fh			
00290h	SFR監視アドレスレジスタ	CRCSAR	717
00291h			
00292h	CRC制御レジスタ	CRCMR	718
00293h			
00294h	CRCデータレジスタ	CRCD	719
00295h			
00296h	CRCインプットレジスタ	CRCIN	719
00297h			
00298h			
00299h			
0029Ah			
0029Bh			
0029Ch			
0029Dh			
0029Eh			
0029Fh			
002A0h	タイマRJ_0端子選択レジスタ	TRJ_0SR	225
002A1h	タイマRJ_1端子選択レジスタ	TRJ_1SR	225
002A2h			
002A3h			
002A4h	タイマRB2端子選択レジスタ	TRBSR	226
002A5h	タイマRCCLK端子選択レジスタ	TRCLKSR	227
002A6h	タイマRC_0端子選択レジスタ0	TRC_0SR0	228
002A7h	タイマRC_0端子選択レジスタ1	TRC_0SR1	229
002A8h			
002A9h	タイマRD_0端子選択レジスタ0	TRD_0SR0	230
002AAh	タイマRD_0端子選択レジスタ1	TRD_0SR1	231
002ABh			
002ACh			
002ADh	タイマ端子選択レジスタ	TIMSR	232
002AEh	UART0_0端子選択レジスタ	U_0SR	233
002AFh	UART0_1端子選択レジスタ	U_1SR	234
002B0h			
002B1h			
002B2h	UART2端子選択レジスタ0	U2SR0	235
002B3h	UART2端子選択レジスタ1	U2SR1	236
002B4h	SSU/IIC_0端子選択レジスタ	SSU/IIC_0SR	237
002B5h			
002B6h	INT割り込み入力端子選択レジスタ0	INTSR0	163、238
002B7h			
002B8h			
002B9h	入出力機能端子選択レジスタ	PINSR	118、239
002BAh			
002BBh			
002BCh			
002BDh			
002BEh	端子配置選択レジスタ	PMCSEL	724
002BFh			

アドレス	レジスタ名	シンボル	掲載ページ
002C0h	ブルアップ制御レジスタ 0	PUR0	240
002C1h	ブルアップ制御レジスタ 1	PUR1	240
002C2h	ブルアップ制御レジスタ 2	PUR2	241
002C3h			
002C4h			
002C5h			
002C6h			
002C7h			
002C8h	ポート P1 駆動能力制御レジスタ	P1DRR	241
002C9h	ポート P2 駆動能力制御レジスタ	P2DRR	242
002CAh			
002CBh			
002CCh	駆動能力制御レジスタ 0	DRR0	243
002CDh	駆動能力制御レジスタ 1	DRR1	244
002CEh	駆動能力制御レジスタ 2	DRR2	245
002CFh			
002D0h	入力しきい値制御レジスタ 0	VLT0	246
002D1h	入力しきい値制御レジスタ 1	VLT1	247
002D2h	入力しきい値制御レジスタ 2	VLT2	247
002D3h			
002D4h			
002D5h			
002D6h			
002D7h			
002D8h			
002D9h			
002DAh			
002DBh			
002DCh			
002DDh			
002DEh			
002DFh			
002E0h	ポート P0 レジスタ	PORT0	248
002E1h	ポート P1 レジスタ	PORT1	248
002E2h	ポート P0 方向レジスタ	PD0	249
002E3h	ポート P1 方向レジスタ	PD1	249
002E4h	ポート P2 レジスタ	PORT2	248
002E5h	ポート P3 レジスタ	PORT3	248
002E6h	ポート P2 方向レジスタ	PD2	249
002E7h	ポート P3 方向レジスタ	PD3	249
002E8h	ポート P4 レジスタ	PORT4	248
002E9h			
002EAh	ポート P4 方向レジスタ	PD4	249
002EBh			
002ECh	ポート P6 レジスタ	PORT6	248
002EDh			
002EEh	ポート P6 方向レジスタ	PD6	249
002EFh			
002F0h			
002F1h	ポート P9 レジスタ	PORT9	248
002F2h			
002F3h	ポート P9 方向レジスタ	PD9	249
002F4h			
002F5h			
002F6h			
002F7h			
002F8h			
002F9h			
002FAh			
002FBh			
002FCh			
002FDh			
002FEh			
002FFh			
00300h ～ 003FFh			

注 1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
00400h ～ 02BFFh	内蔵 RAM	内蔵 RAM	
02C00h ～ 069FFh			
06A00h	イベント出力先選択レジスタ 0	ELSELR0	186
06A01h	イベント出力先選択レジスタ 1	ELSELR1	186
06A02h	イベント出力先選択レジスタ 2	ELSELR2	186
06A03h	イベント出力先選択レジスタ 3	ELSELR3	186
06A04h	イベント出力先選択レジスタ 4	ELSELR4	186
06A05h			
06A06h			
06A07h			
06A08h	イベント出力先選択レジスタ 8	ELSELR8	186
06A09h	イベント出力先選択レジスタ 9	ELSELR9	186
06A0Ah	イベント出力先選択レジスタ 10	ELSELR10	186
06A0Bh	イベント出力先選択レジスタ 11	ELSELR11	186
06A0Ch	イベント出力先選択レジスタ 12	ELSELR12	186
06A0Dh	イベント出力先選択レジスタ 13	ELSELR13	186
06A0Eh	イベント出力先選択レジスタ 14	ELSELR14	186
06A0Fh	イベント出力先選択レジスタ 15	ELSELR15	186
06A10h	イベント出力先選択レジスタ 16	ELSELR16	186
06A11h	イベント出力先選択レジスタ 17	ELSELR17	186
06A12h	イベント出力先選択レジスタ 18	ELSELR18	186
06A13h	イベント出力先選択レジスタ 19	ELSELR19	186
06A14h	イベント出力先選択レジスタ 20	ELSELR20	186
06A15h	イベント出力先選択レジスタ 21	ELSELR21	186
06A16h	イベント出力先選択レジスタ 22	ELSELR22	186
06A17h	イベント出力先選択レジスタ 23	ELSELR23	186
06A18h	イベント出力先選択レジスタ 24	ELSELR24	186
06A19h			
06A1Ah			
06A1Bh			
06A1Ch			
06A1Dh			
06A1Eh			
06A1Fh			
06A20h			
06A21h			
06A22h			
06A23h			
06A24h			
06A25h			
06A26h			
06A27h			
06A28h			
06A29h			
06A2Ah			
06A2Bh			
06A2Ch			
06A2Dh			
06A2Eh			
06A2Fh			
06A30h			
06A31h ～ 06BFFh			
06C00h	DTC 転送ベクタ 0 格納領域		201
06C01h	DTC 転送ベクタ 1 格納領域		201
06C02h	DTC 転送ベクタ 2 格納領域		201
06C03h	DTC 転送ベクタ 3 格納領域		201
06C04h	DTC 転送ベクタ 4 格納領域		201
06C05h			
06C06h			
06C07h			
06C08h	DTC 転送ベクタ 8 格納領域		201
06C09h	DTC 転送ベクタ 9 格納領域		201

アドレス	レジスタ名	シンボル	掲載ページ
06C0Ah	DTC転送ベクタ 10格納領域		201
06C0Bh	DTC転送ベクタ 11格納領域		201
06C0Ch	DTC転送ベクタ 12格納領域		201
06C0Dh	DTC転送ベクタ 13格納領域		201
06C0Eh	DTC転送ベクタ 14格納領域		201
06C0Fh	DTC転送ベクタ 15格納領域		201
06C10h	DTC転送ベクタ 16格納領域		201
06C11h	DTC転送ベクタ 17格納領域		201
06C12h	DTC転送ベクタ 18格納領域		201
06C13h	DTC転送ベクタ 19格納領域		201
06C14h			
06C15h			
06C16h	DTC転送ベクタ 22格納領域		201
06C17h	DTC転送ベクタ 23格納領域		201
06C18h	DTC転送ベクタ 24格納領域		201
06C19h	DTC転送ベクタ 25格納領域		201
06C1Ah	DTC転送ベクタ 26格納領域		201
06C1Bh	DTC転送ベクタ 27格納領域		201
06C1Ch	DTC転送ベクタ 28格納領域		201
06C1Dh	DTC転送ベクタ 29格納領域		201
06C1Eh	DTC転送ベクタ 30格納領域		201
06C1Fh	DTC転送ベクタ 31格納領域		201
06C20h	DTC転送ベクタ 32格納領域		201
06C21h	DTC転送ベクタ 33格納領域		201
06C22h			
06C23h			
06C24h			
06C25h			
06C26h	DTC転送ベクタ 38格納領域		201
06C27h	DTC転送ベクタ 39格納領域		201
06C28h			
06C29h			
06C2Ah	DTC転送ベクタ 42格納領域		201
06C2Bh			
06C2Ch			
06C2Dh			
06C2Eh			
06C2Fh			
06C30h			
06C31h	DTC転送ベクタ 49格納領域		201
06C32h	DTC転送ベクタ 50格納領域		201
06C33h	DTC転送ベクタ 51格納領域		201
06C34h	DTC転送ベクタ 52格納領域		201
06C35h			
06C36h			
06C37h			
06C38h			
06C39h			
06C3Ah			
06C3Bh			
06C3Ch			
06C3Dh			
06C3Eh			
06C3Fh			
06C40h	DTC制御レジスタ 0	DTCCR0	197
06C41h	DTCブロックサイズレジスタ 0	DTBLS0	197
06C42h	DTC転送回数レジスタ 0	DTCCCT0	197
06C43h	DTC転送回数リロードレジスタ 0	DTRLDO	198
06C44h	DTCソースアドレスレジスタ 0	DTSAR0	198
06C45h			
06C46h	DTCデスティネーションアドレスレジスタ 0	DTDAR0	198
06C47h			
06C48h	DTC制御レジスタ 1	DTCCR1	197
06C49h	DTCブロックサイズレジスタ 1	DTBLS1	197

注 1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
06C4Ah	DTC転送回数レジスタ 1	DTCCCT1	197
06C4Bh	DTC転送回数リロードレジスタ 1	DTRLDO1	198
06C4Ch	DTCソースアドレスレジスタ 1	DTSAR1	198
06C4Dh			
06C4Eh	DTCデスティネーションアドレスレジスタ 1	DTDAR1	198
06C4Fh			
06C50h	DTC制御レジスタ 2	DTCCR2	197
06C51h	DTCブロックサイズレジスタ 2	DTBLS2	197
06C52h	DTC転送回数レジスタ 2	DTCCCT2	197
06C53h	DTC転送回数リロードレジスタ 2	DTRLDO2	198
06C54h	DTCソースアドレスレジスタ 2	DTSAR2	198
06C55h			
06C56h	DTCデスティネーションアドレスレジスタ 2	DTDAR2	198
06C57h			
06C58h	DTC制御レジスタ 3	DTCCR3	197
06C59h	DTCブロックサイズレジスタ 3	DTBLS3	197
06C5Ah	DTC転送回数レジスタ 3	DTCCCT3	197
06C5Bh	DTC転送回数リロードレジスタ 3	DTRLDO3	198
06C5Ch	DTCソースアドレスレジスタ 3	DTSAR3	198
06C5Dh			
06C5Eh	DTCデスティネーションアドレスレジスタ 3	DTDAR3	198
06C5Fh			
06C60h	DTC制御レジスタ 4	DTCCR4	197
06C61h	DTCブロックサイズレジスタ 4	DTBLS4	197
06C62h	DTC転送回数レジスタ 4	DTCCCT4	197
06C63h	DTC転送回数リロードレジスタ 4	DTRLDO4	198
06C64h	DTCソースアドレスレジスタ 4	DTSAR4	198
06C65h			
06C66h	DTCデスティネーションアドレスレジスタ 4	DTDAR4	198
06C67h			
06C68h	DTC制御レジスタ 5	DTCCR5	197
06C69h	DTCブロックサイズレジスタ 5	DTBLS5	197
06C6Ah	DTC転送回数レジスタ 5	DTCCCT5	197
06C6Bh	DTC転送回数リロードレジスタ 5	DTRLDO5	198
06C6Ch	DTCソースアドレスレジスタ 5	DTSAR5	198
06C6Dh			
06C6Eh	DTCデスティネーションアドレスレジスタ 5	DTDAR5	198
06C6Fh			
06C70h	DTC制御レジスタ 6	DTCCR6	197
06C71h	DTCブロックサイズレジスタ 6	DTBLS6	197
06C72h	DTC転送回数レジスタ 6	DTCCCT6	197
06C73h	DTC転送回数リロードレジスタ 6	DTRLDO6	198
06C74h	DTCソースアドレスレジスタ 6	DTSAR6	198
06C75h			
06C76h	DTCデスティネーションアドレスレジスタ 6	DTDAR6	198
06C77h			
06C78h	DTC制御レジスタ 7	DTCCR7	197
06C79h	DTCブロックサイズレジスタ 7	DTBLS7	197
06C7Ah	DTC転送回数レジスタ 7	DTCCCT7	197
06C7Bh	DTC転送回数リロードレジスタ 7	DTRLDO7	198
06C7Ch	DTCソースアドレスレジスタ 7	DTSAR7	198
06C7Dh			
06C7Eh	DTCデスティネーションアドレスレジスタ 7	DTDAR7	198
06C7Fh			
06C80h	DTC制御レジスタ 8	DTCCR8	197
06C81h	DTCブロックサイズレジスタ 8	DTBLS8	197
06C82h	DTC転送回数レジスタ 8	DTCCCT8	197
06C83h	DTC転送回数リロードレジスタ 8	DTRLDO8	198
06C84h	DTCソースアドレスレジスタ 8	DTSAR8	198
06C85h			
06C86h	DTCデスティネーションアドレスレジスタ 8	DTDAR8	198
06C87h			
06C88h	DTC制御レジスタ 9	DTCCR9	197
06C89h	DTCブロックサイズレジスタ 9	DTBLS9	197
06C8Ah	DTC転送回数レジスタ 9	DTCCCT9	197
06C8Bh	DTC転送回数リロードレジスタ 9	DTRLDO9	198
06C8Ch	DTCソースアドレスレジスタ 9	DTSAR9	198
06C8Dh			
06C8Eh	DTCデスティネーションアドレスレジスタ 9	DTDAR9	198
06C8Fh			

アドレス	レジスタ名	シンボル	掲載ページ
06C90h	DTC制御レジスタ 10	DTCCR10	197
06C91h	DTCブロックサイズレジスタ 10	DTBLS10	197
06C92h	DTC転送回数レジスタ 10	DTCCT10	197
06C93h	DTC転送回数リロードレジスタ 10	DTRL10	198
06C94h	DTCソースアドレスレジスタ 10	DTSAR10	198
06C95h			
06C96h	DTCデスティネーションアドレスレジスタ 10	DTDAR10	198
06C97h			
06C98h	DTC制御レジスタ 11	DTCCR11	197
06C99h	DTCブロックサイズレジスタ 11	DTBLS11	197
06C9Ah	DTC転送回数レジスタ 11	DTCCT11	197
06C9Bh	DTC転送回数リロードレジスタ 11	DTRL11	198
06C9Ch	DTCソースアドレスレジスタ 11	DTSAR11	198
06C9Dh			
06C9Eh	DTCデスティネーションアドレスレジスタ 11	DTDAR11	198
06C9Fh			
06CA0h	DTC制御レジスタ 12	DTCCR12	197
06CA1h	DTCブロックサイズレジスタ 12	DTBLS12	197
06CA2h	DTC転送回数レジスタ 12	DTCCT12	197
06CA3h	DTC転送回数リロードレジスタ 12	DTRL12	198
06CA4h	DTCソースアドレスレジスタ 12	DTSAR12	198
06CA5h			
06CA6h	DTCデスティネーションアドレスレジスタ 12	DTDAR12	198
06CA7h			
06CA8h	DTC制御レジスタ 13	DTCCR13	197
06CA9h	DTCブロックサイズレジスタ 13	DTBLS13	197
06CAAh	DTC転送回数レジスタ 13	DTCCT13	197
06CABh	DTC転送回数リロードレジスタ 13	DTRL13	198
06CACH	DTCソースアドレスレジスタ 13	DTSAR13	198
06CADh			
06CAEh	DTCデスティネーションアドレスレジスタ 13	DTDAR13	198
06CAFh			
06CB0h	DTC制御レジスタ 14	DTCCR14	197
06CB1h	DTCブロックサイズレジスタ 14	DTBLS14	197
06CB2h	DTC転送回数レジスタ 14	DTCCT14	197
06CB3h	DTC転送回数リロードレジスタ 14	DTRL14	198
06CB4h	DTCソースアドレスレジスタ 14	DTSAR14	198
06CB5h			
06CB6h	DTCデスティネーションアドレスレジスタ 14	DTDAR14	198
06CB7h			
06CB8h	DTC制御レジスタ 15	DTCCR15	197
06CB9h	DTCブロックサイズレジスタ 15	DTBLS15	197
06CBAh	DTC転送回数レジスタ 15	DTCCT15	197
06CBbh	DTC転送回数リロードレジスタ 15	DTRL15	198
06CBCh	DTCソースアドレスレジスタ 15	DTSAR15	198
06CBDh			
06CBEh	DTCデスティネーションアドレスレジスタ 15	DTDAR15	198
06CBFh			
06CC0h	DTC制御レジスタ 16	DTCCR16	197
06CC1h	DTCブロックサイズレジスタ 16	DTBLS16	197
06CC2h	DTC転送回数レジスタ 16	DTCCT16	197
06CC3h	DTC転送回数リロードレジスタ 16	DTRL16	198
06CC4h	DTCソースアドレスレジスタ 16	DTSAR16	198
06CC5h			
06CC6h	DTCデスティネーションアドレスレジスタ 16	DTDAR16	198
06CC7h			
06CC8h	DTC制御レジスタ 17	DTCCR17	197
06CC9h	DTCブロックサイズレジスタ 17	DTBLS17	197
06CCAh	DTC転送回数レジスタ 17	DTCCT17	197
06CCBh	DTC転送回数リロードレジスタ 17	DTRL17	198
06CCCh	DTCソースアドレスレジスタ 17	DTSAR17	198
06CCDh			
06CCEh	DTCデスティネーションアドレスレジスタ 17	DTDAR17	198
06CCFh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
06CD0h	DTC制御レジスタ 18	DTCCR18	197
06CD1h	DTCブロックサイズレジスタ 18	DTBLS18	197
06CD2h	DTC転送回数レジスタ 18	DTCCT18	197
06CD3h	DTC転送回数リロードレジスタ 18	DTRL18	198
06CD4h	DTCソースアドレスレジスタ 18	DTSAR18	198
06CD5h			
06CD6h	DTCデスティネーションアドレスレジスタ 18	DTDAR18	198
06CD7h			
06CD8h	DTC制御レジスタ 19	DTCCR19	197
06CD9h	DTCブロックサイズレジスタ 19	DTBLS19	197
06CDAh	DTC転送回数レジスタ 19	DTCCT19	197
06CDBh	DTC転送回数リロードレジスタ 19	DTRL19	198
06CDCh	DTCソースアドレスレジスタ 19	DTSAR19	198
06CDDh			
06CDEh	DTCデスティネーションアドレスレジスタ 19	DTDAR19	198
06CDFh			
06CE0h	DTC制御レジスタ 20	DTCCR20	197
06CE1h	DTCブロックサイズレジスタ 20	DTBLS20	197
06CE2h	DTC転送回数レジスタ 20	DTCCT20	197
06CE3h	DTC転送回数リロードレジスタ 20	DTRL20	198
06CE4h	DTCソースアドレスレジスタ 20	DTSAR20	198
06CE5h			
06CE6h	DTCデスティネーションアドレスレジスタ 20	DTDAR20	198
06CE7h			
06CE8h	DTC制御レジスタ 21	DTCCR21	197
06CE9h	DTCブロックサイズレジスタ 21	DTBLS21	197
06CEAh	DTC転送回数レジスタ 21	DTCCT21	197
06CEBh	DTC転送回数リロードレジスタ 21	DTRL21	198
06CECh	DTCソースアドレスレジスタ 21	DTSAR21	198
06CEDh			
06CEEh	DTCデスティネーションアドレスレジスタ 21	DTDAR21	198
06CEFh			
06CF0h	DTC制御レジスタ 22	DTCCR22	197
06CF1h	DTCブロックサイズレジスタ 22	DTBLS22	197
06CF2h	DTC転送回数レジスタ 22	DTCCT22	197
06CF3h	DTC転送回数リロードレジスタ 22	DTRL22	198
06CF4h	DTCソースアドレスレジスタ 22	DTSAR22	198
06CF5h			
06CF6h	DTCデスティネーションアドレスレジスタ 22	DTDAR22	198
06CF7h			
06CF8h	DTC制御レジスタ 23	DTCCR23	197
06CF9h	DTCブロックサイズレジスタ 23	DTBLS23	197
06CFAh	DTC転送回数レジスタ 23	DTCCT23	197
06CFBh	DTC転送回数リロードレジスタ 23	DTRL23	198
06CFCh	DTCソースアドレスレジスタ 23	DTSAR23	198
06CFDh			
06CFEh	DTCデスティネーションアドレスレジスタ 23	DTDAR23	198
06CFFh			
06D00h ~ 06DFFh			
06E00h	CAN_0 メールボックス 0	CMB0_0	586
06E01h			
06E02h			
06E03h			
06E04h			
06E05h			
06E06h			
06E07h			
06E08h			
06E09h			
06E0Ah			
06E0Bh			
06E0Ch			
06E0Dh			
06E0Eh			
06E0Fh			

アドレス	レジスタ名	シンボル	掲載ページ
06E10h	CAN_0 メールボックス 1	CMB1_0	586
06E11h			
06E12h			
06E13h			
06E14h			
06E15h			
06E16h			
06E17h			
06E18h			
06E19h			
06E1Ah			
06E1Bh			
06E1Ch			
06E1Dh			
06E1Eh			
06E1Fh			
06E20h	CAN_0 メールボックス 2	CMB2_0	586
06E21h			
06E22h			
06E23h			
06E24h			
06E25h			
06E26h			
06E27h			
06E28h			
06E29h			
06E2Ah			
06E2Bh			
06E2Ch			
06E2Dh			
06E2Eh			
06E2Fh			
06E30h	CAN_0 メールボックス 3	CMB3_0	586
06E31h			
06E32h			
06E33h			
06E34h			
06E35h			
06E36h			
06E37h			
06E38h			
06E39h			
06E3Ah			
06E3Bh			
06E3Ch			
06E3Dh			
06E3Eh			
06E3Fh			
06E40h	CAN_0 メールボックス 4	CMB4_0	586
06E41h			
06E42h			
06E43h			
06E44h			
06E45h			
06E46h			
06E47h			
06E48h			
06E49h			
06E4Ah			
06E4Bh			
06E4Ch			
06E4Dh			
06E4Eh			
06E4Fh			

アドレス	レジスタ名	シンボル	掲載ページ
06E50h	CAN_0 メールボックス 5	CMB5_0	586
06E51h			
06E52h			
06E53h			
06E54h			
06E55h			
06E56h			
06E57h			
06E58h			
06E59h			
06E5Ah			
06E5Bh			
06E5Ch			
06E5Dh			
06E5Eh			
06E5Fh			
06E60h	CAN_0 メールボックス 6	CMB6_0	586
06E61h			
06E62h			
06E63h			
06E64h			
06E65h			
06E66h			
06E67h			
06E68h			
06E69h			
06E6Ah			
06E6Bh			
06E6Ch			
06E6Dh			
06E6Eh			
06E6Fh			
06E70h	CAN_0 メールボックス 7	CMB7_0	586
06E71h			
06E72h			
06E73h			
06E74h			
06E75h			
06E76h			
06E77h			
06E78h			
06E79h			
06E7Ah			
06E7Bh			
06E7Ch			
06E7Dh			
06E7Eh			
06E7Fh			
06E80h	CAN_0 メールボックス 8	CMB8_0	586
06E81h			
06E82h			
06E83h			
06E84h			
06E85h			
06E86h			
06E87h			
06E88h			
06E89h			
06E8Ah			
06E8Bh			
06E8Ch			
06E8Dh			
06E8Eh			
06E8Fh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
06E90h	CAN_0 メールボックス 9	CMB9_0	586
06E91h			
06E92h			
06E93h			
06E94h			
06E95h			
06E96h			
06E97h			
06E98h			
06E99h			
06E9Ah			
06E9Bh			
06E9Ch			
06E9Dh			
06E9Eh			
06E9Fh			
06EA0h	CAN_0 メールボックス 10	CMB10_0	586
06EA1h			
06EA2h			
06EA3h			
06EA4h			
06EA5h			
06EA6h			
06EA7h			
06EA8h			
06EA9h			
06EAAh			
06EABh			
06EACh			
06EADh			
06EAEh			
06EAFh			
06EB0h	CAN_0 メールボックス 11	CMB11_0	586
06EB1h			
06EB2h			
06EB3h			
06EB4h			
06EB5h			
06EB6h			
06EB7h			
06EB8h			
06EB9h			
06EBAh			
06EBBh			
06EBCh			
06EBDh			
06EBEh			
06EBFh			
06EC0h	CAN_0 メールボックス 12	CMB12_0	586
06EC1h			
06EC2h			
06EC3h			
06EC4h			
06EC5h			
06EC6h			
06EC7h			
06EC8h			
06EC9h			
06ECAh			
06ECBh			
06ECCh			
06ECDh			
06ECEh			
06ECFh			

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載ページ
06ED0h	CAN_0 メールボックス 13	CMB13_0	586
06ED1h			
06ED2h			
06ED3h			
06ED4h			
06ED5h			
06ED6h			
06ED7h			
06ED8h			
06ED9h			
06EDAh			
06EDBh			
06EDCh			
06EDDh			
06EDEh			
06EDFh			
06EE0h	CAN_0 メールボックス 14	CMB14_0	586
06EE1h			
06EE2h			
06EE3h			
06EE4h			
06EE5h			
06EE6h			
06EE7h			
06EE8h			
06EE9h			
06EEAh			
06EEBh			
06EECh			
06EEDh			
06EEEh			
06EEFh			
06EF0h	CAN_0 メールボックス 15	CMB15_0	586
06EF1h			
06EF2h			
06EF3h			
06EF4h			
06EF5h			
06EF6h			
06EF7h			
06EF8h			
06EF9h			
06EFAh			
06EFBh			
06EFCh			
06EFDh			
06EFEh			
06EFFh			
06F00h			
06F01h			
06F02h			
06F03h			
06F04h			
06F05h			
06F06h			
06F07h			
06F08h			
06F09h			
06F0Ah			
06F0Bh			
06F0Ch			
06F0Dh			
06F0Eh			
06F0Fh			

アドレス	レジスタ名	シンボル	掲載ページ
06F10h	CAN_0 マスクレジスタ 0	CMKR0_0	590
06F11h			
06F12h			
06F13h			
06F14h	CAN_0 マスクレジスタ 1	CMKR1_0	590
06F15h			
06F16h			
06F17h			
06F18h	CAN_0 マスクレジスタ 2	CMKR2_0	590
06F19h			
06F1Ah			
06F1Bh			
06F1Ch	CAN_0 マスクレジスタ 3	CMKR3_0	590
06F1Dh			
06F1Eh			
06F1Fh			
06F20h	CAN_0 FIFO 受信 ID 比較レジスタ 0	CFIDCR0_0	591
06F21h			
06F22h			
06F23h			
06F24h	CAN_0 FIFO 受信 ID 比較レジスタ 1	CFIDCR1_0	591
06F25h			
06F26h			
06F27h			
06F28h			
06F29h			
06F2Ah	CAN_0 マスク無効レジスタ	CMKIVLR_0	592
06F2Bh			
06F2Ch			
06F2Dh			
06F2Eh	CAN_0 メールボックス割り込み許可レジスタ	CMIER_0	593
06F2Fh			
06F30h	CAN_0 メッセージ制御レジスタ 0	CMCTL0_0	594
06F31h	CAN_0 メッセージ制御レジスタ 1	CMCTL1_0	594
06F32h	CAN_0 メッセージ制御レジスタ 2	CMCTL2_0	594
06F33h	CAN_0 メッセージ制御レジスタ 3	CMCTL3_0	594
06F34h	CAN_0 メッセージ制御レジスタ 4	CMCTL4_0	594
06F35h	CAN_0 メッセージ制御レジスタ 5	CMCTL5_0	594
06F36h	CAN_0 メッセージ制御レジスタ 6	CMCTL6_0	594
06F37h	CAN_0 メッセージ制御レジスタ 7	CMCTL7_0	594
06F38h	CAN_0 メッセージ制御レジスタ 8	CMCTL8_0	594
06F39h	CAN_0 メッセージ制御レジスタ 9	CMCTL9_0	594
06F3Ah	CAN_0 メッセージ制御レジスタ 10	CMCTL10_0	594
06F3Bh	CAN_0 メッセージ制御レジスタ 11	CMCTL11_0	594
06F3Ch	CAN_0 メッセージ制御レジスタ 12	CMCTL12_0	594
06F3Dh	CAN_0 メッセージ制御レジスタ 13	CMCTL13_0	594
06F3Eh	CAN_0 メッセージ制御レジスタ 14	CMCTL14_0	594
06F3Fh	CAN_0 メッセージ制御レジスタ 15	CMCTL15_0	594
06F40h	CAN_0 制御レジスタ	CCTLR_0	598
06F41h			
06F42h	CAN_0 ステータスレジスタ	CSTR_0	603
06F43h			
06F44h	CAN_0 ビットコンフィグレーションレジスタ	CBCR_0	606
06F45h			
06F46h			
06F47h	CAN_0 クロック選択レジスタ	CCLKR_0	607
06F48h	CAN_0 受信 FIFO 制御レジスタ	CRFCR_0	608
06F49h	CAN_0 受信 FIFO ボイнта制御レジスタ	CRFPCR_0	610
06F4Ah	CAN_0 送信 FIFO 制御レジスタ	CTFCR_0	611
06F4Bh	CAN_0 送信 FIFO ボイнта制御レジスタ	CTFPCR_0	612
06F4Ch	CAN_0 エラー割り込み許可レジスタ	CEIER_0	613
06F4Dh	CAN_0 エラー割り込み要因判定レジスタ	CEIFR_0	615
06F4Eh	CAN_0 受信エラーカウントレジスタ	CRECR_0	617
06F4Fh	CAN_0 送信エラーカウントレジスタ	CTECR_0	617

注1. 空欄は予約領域です。アクセスしないでください。

アドレス	レジスタ名	シンボル	掲載 ページ
06F50h	CAN_0 エラーコード格納レジスタ	CECSR_0	618
06F51h	CAN_0 チャネルサーチサポートレジスタ	CCSSR_0	619
06F52h	CAN_0 メールボックスサーチステータスレジスタ	CMSSR_0	620
06F53h	CAN_0 メールボックスサーチモードレジスタ	CMSMR_0	621
06F54h	CAN_0 タイムスタンプレジスタ	CTSR_0	622
06F55h			
06F56h	CAN_0 アクセプタンスフィルタサポートレジスタ	CAFSR_0	623
06F57h			
06F58h	CAN_0 テスト制御レジスタ	CTCR_0	624
06F59h			
06F5Ah			
06F5Bh			
06F5Ch			
06F5Dh			
06F5Eh			
06F5Fh			
06F60h			
06F61h			
06F62h			
06F63h			
06F64h			
06F65h			
06F66h			
06F67h			
06F68h			
06F69h			
06F6Ah			
06F6Bh			
06F6Ch			
06F6Dh			
06F6Eh			
06F6Fh			
06F70h			
06F71h			
06F72h			
06F73h			
06F74h			
06F75h			
06F76h			
06F77h			
06F78h			
06F79h			
06F7Ah			
06F7Bh			
06F7Ch			
06F7Dh			
06F7Eh	CAN_0 割り込みステータスレジスタ	CANISR_0	626
06F7Fh	CAN_0 割り込み制御レジスタ	CANIE_0	626
06F80h ～ 06FFFh			
:			
0FFDBh	オプション機能選択レジスタ 2	OFS2	58、68、100
:			
0FFFFh	オプション機能選択レジスタ	OFS	59、69、87、101、689

1. 概要

1.1 特長

R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、R8C/54H グループは、R8C CPU コアを搭載したシングルチップマイクロコンピュータです。R8C CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1 M バイトのアドレス空間と、命令を高速に実行する能力を備え、さらに、乗算器があるため高速な演算処理が可能です。

消費電力が小さい上、動作モードによるパワーコントロールが可能です。また、R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、R8C/54H グループは、EMI/EMS 性能を最大限に考慮した設計を行っています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

R8C/54E グループ、R8C/54F グループはCAN モジュールを1チャンネル内蔵し、車載やFAのLANシステムに適したマイクロコンピュータです。R8C/54G グループ、R8C/54H グループはCAN モジュールを内蔵しません。

また、R8C/54E グループ、R8C/54G グループはBGO (バックグラウンドオペレーション)機能付データフラッシュ (1 K バイト×4 ブロック)を内蔵します。

1.1.1 用途

自動車、他

1.1.2 仕様概要

表 1.1、表 1.2 に R8C/54E グループの仕様概要を、表 1.3、表 1.4 に R8C/54F グループの仕様概要を、表 1.5、表 1.6 に R8C/54G グループの仕様概要を、表 1.7、表 1.8 に R8C/54H グループの仕様概要を示します。

表 1.1 R8C/54E グループの仕様概要 (1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPU コア - 基本命令数：89 命令 - 最小命令実行時間：31.25 ns (CPU クロック = 32 MHz、VCC = 2.7 V ~ 5.5 V) - 乗算器：16 ビット × 16 ビット → 32 ビット - 積和演算命令：16 ビット × 16 ビット + 32 ビット → 32 ビット - 動作モード：シングルチップモード (アドレス空間：1 M バイト)
メモリ	ROM、RAM、データフラッシュ	「表 1.9 R8C/54E グループの製品一覧」参照
電圧検出	電圧検出回路	- パワーオンリセット - 電圧検出 3 点 (電圧検出 0 と電圧検出 1 は検出レベル選択可能)
I/O ポート	プログラマブル入出力ポート	- 入力専用：1 - CMOS 入出力：43、プルアップ抵抗選択可能 - PMC (Peripheral Mapping Controller) により通信機能優先型の端子配置選択可能
クロック	クロック発生回路	4 回路：XIN クロック発振回路、高速オンチップオシレータ (周波数調整機能付)、低速オンチップオシレータ、PLL 周波数シンセサイザ (~32 MHz) 2、4、6、8 通倍 - 発振停止検出：XIN クロック発振停止検出機能 - 周波数分周回路：1、2、4、8、16 分周選択 - 低消費電力機構：標準動作モード (高速クロック、高速オンチップオシレータ、低速オンチップオシレータ、PLL 動作)、ウェイトモード、ストップモード
割り込み		- 割り込みベクタ数：69 - 外部割り込み入力：9 (INT × 5、キー入力 × 4) - 割り込み優先レベル：7 レベル
イベントリンクコントローラ (ELC)		- 周辺機能のイベント出力を別の周辺機能のイベント入力にリンク可能 (22 要因 × 7 種類のイベントリンク動作) - 割り込み要求とは独立してイベントを扱うことが可能
ウォッチドッグタイマ		14 ビット × 1 (プリスケール付) - リセットスタート機能選択可能 - ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC (データ転送ファクトリー)		1 チャンネル - 起動要因：36 - 転送モード：2 (ノーマルモード、リピートモード)

表1.2 R8C/54E グループの仕様概要(2)

分類	機能	説明
タイマ	タイマRJ_0、RJ_1	16ビット×1 2回路内蔵 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC_0	16ビット(キャプチャ/コンペアレジスタ4本付)×1 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRD_0	16ビット(キャプチャ/コンペアレジスタ4本付)×2 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)
	タイマRE2	8ビット×1 コンペアー致タイマモード
シリアル インタ フェース	UART0_0、UART0_1	2チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード
	UART2	1チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード、特殊モード3(IEモード)、マルチプロセッサ通信モード
クロック 同期形 シリアル インタ フェース	[SSU] SSU_0、SSU_1	2チャンネル(I ² Cバスと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
	[I ² Cバス] I ² C_0、I ² C_1	2チャンネル(SSUと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
LIN モジュール	HW-LIN_0、HW-LIN_1	ハードウェアLIN 2チャンネル(タイマRJ_0、RJ_1、UART0_0、UART0_1を使用)
CAN モジュール	CAN_0	1チャンネル 16メールボックス(ISO11898-1仕様準拠)
A/Dコンバータ		分解能10ビット×12チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		・プログラム、イレーズ電圧：VCC = 2.7 V～5.5 V ・リード電圧：VCC = 2.7 V～5.5 V ・プログラム/イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM) ・プログラムセキュリティ：ROMコードプロテクト、IDコードチェック ・デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能 ・BGO(バックグラウンドオペレーション)機能(データフラッシュ)
デバッグ機能		・1線式デバッグインタフェース搭載(専用ハードウェア搭載) ・ホットプラグ接続対応によりユーザモード動作中にデバッグインタフェース接続することが可能
動作周波数/電源電圧		CPUクロック = 32 MHz (VCC = 2.7 V～5.5 V)
消費電流		標準14 mA (VCC = 5 V、f(CPU) = 32 MHz)
動作周囲温度		-40 °C～85 °C (Jバージョン) -40 °C～125 °C (Kバージョン) (注1)
パッケージ		48ピンLQFP パッケージコード：PLQP0048KB-A (旧コード：48P6Q-A)

注1. Kバージョンをご使用になる場合は、その旨をご指定ください。

表 1.3 R8C/54F グループの仕様概要 (1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPU コア ・基本命令数：89 命令 ・最小命令実行時間：31.25 ns (CPU クロック = 32 MHz、VCC = 2.7 V ~ 5.5 V) ・乗算器：16 ビット × 16 ビット → 32 ビット ・積和演算命令：16 ビット × 16 ビット + 32 ビット → 32 ビット ・動作モード：シングルチップモード (アドレス空間：1 M バイト)
メモリ	ROM、RAM	「表 1.10 R8C/54F グループの製品一覧」参照
電圧検出	電圧検出回路	・パワーオンリセット ・電圧検出 3 点 (電圧検出 0 と電圧検出 1 は検出レベル選択可能)
I/O ポート	プログラマブル 入出力ポート	・入力専用：1 ・CMOS 入出力：43、プルアップ抵抗選択可能 ・PMC (Peripheral Mapping Controller) により通信機能優先型の端子配置選択可能
クロック	クロック発生回路	・4 回路：XIN クロック発振回路、 高速オンチップオシレータ (周波数調整機能付)、 低速オンチップオシレータ、 PLL 周波数シンセサイザ (~ 32 MHz) 2、4、6、8 通倍 ・発振停止検出：XIN クロック発振停止検出機能 ・周波数分周回路：1、2、4、8、16 分周選択 ・低消費電力機構：標準動作モード (高速クロック、高速オンチップオシレータ、 低速オンチップオシレータ、PLL 動作)、ウェイトモード、 ストップモード
割り込み		・割り込みベクタ数：69 ・外部割り込み入力：9 (INT × 5、キー入力 × 4) ・割り込み優先レベル：7 レベル
イベントリンクコントローラ (ELC)		・周辺機能のイベント出力を別の周辺機能のイベント入力にリンク可能 (22 要因 × 7 種類のイベントリンク動作) ・割り込み要求とは独立してイベントを扱うことが可能
ウォッチドッグタイマ		・14 ビット × 1 (プリスケール付) ・リセットスタート機能選択可能 ・ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC (データトランスファ コントローラ)		・1 チャンネル ・起動要因：36 ・転送モード：2 (ノーマルモード、リピートモード)

表 1.4 R8C/54F グループの仕様概要 (2)

分類	機能	説明
タイマ	タイマRJ_0、RJ_1	16ビット×1 2回路内蔵 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC_0	16ビット(キャプチャ/コンペアレジスタ4本付)×1 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRD_0	16ビット(キャプチャ/コンペアレジスタ4本付)×2 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)
	タイマRE2	8ビット×1 コンペアー致タイマモード
シリアルインタフェース	UART0_0、UART0_1	2チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード
	UART2	1チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード、特殊モード3(IEモード)、マルチプロセッサ通信モード
クロック同期形シリアルインタフェース	[SSU] SSU_0、SSU_1	2チャンネル(I ² Cバスと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
	[I ² Cバス] I ² C_0、I ² C_1	2チャンネル(SSUと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
LINモジュール	HW-LIN_0、HW-LIN_1	ハードウェアLIN 2チャンネル(タイマRJ_0、RJ_1、UART0_0、UART0_1を使用)
CANモジュール	CAN_0	1チャンネル 16メールボックス(ISO11898-1仕様準拠)
A/Dコンバータ		分解能10ビット×12チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		・プログラム、イレーズ電圧：VCC = 2.7 V～5.5 V ・リード電圧：VCC = 2.7 V～5.5 V ・プログラム/イレーズ回数：1,000回(プログラムROM) ・プログラムセキュリティ：ROMコードプロテクト、IDコードチェック ・デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能
デバッグ機能		・1線式デバッグインタフェース搭載(専用ハードウェア搭載) ・ホットプラグ接続対応によりユーザモード動作中にデバッグインタフェース接続することが可能
動作周波数/電源電圧		CPUクロック = 32 MHz (VCC = 2.7 V～5.5 V)
消費電流		標準14 mA (VCC = 5 V、f(CPU) = 32 MHz)
動作周囲温度		-40 °C～85 °C (Jバージョン) -40 °C～125 °C (Kバージョン) (注1)
パッケージ		48ピンLQFP パッケージコード：PLQP0048KB-A (旧コード：48P6Q-A)

注1. Kバージョンをご使用になる場合は、その旨をご指定ください。

表 1.5 R8C/54G グループの仕様概要 (1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア - 基本命令数：89 命令 - 最小命令実行時間：31.25 ns (CPU クロック = 32 MHz、VCC = 2.7 V ~ 5.5 V) - 乗算器：16 ビット × 16 ビット → 32 ビット - 積和演算命令：16 ビット × 16 ビット + 32 ビット → 32 ビット - 動作モード：シングルチップモード (アドレス空間：1 M バイト)
メモリ	ROM、RAM、データフラッシュ	「表 1.11 R8C/54G グループの製品一覧」参照
電圧検出	電圧検出回路	- パワーオンリセット - 電圧検出 3 点 (電圧検出 0 と電圧検出 1 は検出レベル選択可能)
I/O ポート	プログラマブル入出力ポート	- 入力専用：1 - CMOS 入出力：43、プルアップ抵抗選択可能 - PMC (Peripheral Mapping Controller) により通信機能優先型の端子配置選択可能
クロック	クロック発生回路	4 回路：XIN クロック発振回路、高速オンチップオシレータ (周波数調整機能付)、低速オンチップオシレータ、PLL 周波数シンセサイザ (~ 32 MHz) 2、4、6、8 通倍 - 発振停止検出：XIN クロック発振停止検出機能 - 周波数分周回路：1、2、4、8、16 分周選択 - 低消費電力機構：標準動作モード (高速クロック、高速オンチップオシレータ、低速オンチップオシレータ、PLL 動作)、ウェイトモード、ストップモード
割り込み		- 割り込みベクタ数：69 - 外部割り込み入力：9 (INT × 5、キー入力 × 4) - 割り込み優先レベル：7 レベル
イベントリンクコントローラ (ELC)		- 周辺機能のイベント出力を別の周辺機能のイベント入力にリンク可能 (22 要因 × 7 種類のイベントリンク動作) - 割り込み要求とは独立してイベントを扱うことが可能
ウォッチドッグタイマ		14 ビット × 1 (プリスケール付) - リセットスタート機能選択可能 - ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC (データトランスファコントローラ)		1 チャンネル - 起動要因：36 - 転送モード：2 (ノーマルモード、リピートモード)

表 1.6 R8C/54G グループの仕様概要(2)

分類	機能	説明
タイマ	タイマRJ_0、RJ_1	16ビット×1 2回路内蔵 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC_0	16ビット(キャプチャ/コンペアレジスタ4本付)×1 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRD_0	16ビット(キャプチャ/コンペアレジスタ4本付)×2 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)
	タイマRE2	8ビット×1 コンペアー致タイマモード
シリアル インタ フェース	UART0_0、UART0_1	2チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード
	UART2	1チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード、特殊モード3(IEモード)、マルチプロセッサ通信モード
クロック 同期形 シリアル インタ フェース	[SSU] SSU_0、SSU_1	2チャンネル(I ² Cバスと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
	[I ² Cバス] I ² C_0、I ² C_1	2チャンネル(SSUと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
LIN モジュール	HW-LIN_0、HW-LIN_1	ハードウェアLIN 2チャンネル(タイマRJ_0、RJ_1、UART0_0、UART0_1を使用)
A/Dコンバータ		分解能10ビット×12チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		・プログラム、イレーズ電圧：VCC = 2.7 V～5.5 V ・リード電圧：VCC = 2.7 V～5.5 V ・プログラム/イレーズ回数：10,000回(データフラッシュ) 1,000回(プログラムROM) ・プログラムセキュリティ：ROMコードプロテクト、IDコードチェック ・デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能 ・BGO(バックグラウンドオペレーション)機能(データフラッシュ)
デバッグ機能		・1線式デバッグインタフェース搭載(専用ハードウェア搭載) ・ホットプラグ接続対応によりユーザモード動作中にデバッグインタフェース接続することが可能
動作周波数/電源電圧		CPUクロック = 32 MHz (VCC = 2.7 V～5.5 V)
消費電流		標準14 mA (VCC = 5 V、f(CPU) = 32 MHz)
動作周囲温度		-40 °C～85 °C (Jバージョン) -40 °C～125 °C (Kバージョン) (注1)
パッケージ		48ピンLQFP パッケージコード：PLQP0048KB-A (旧コード：48P6Q-A)

注1. Kバージョンをご使用になる場合は、その旨をご指定ください。

表 1.7 R8C/54H グループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C CPUコア ・基本命令数：89 命令 ・最小命令実行時間：31.25 ns (CPU クロック = 32 MHz、VCC = 2.7 V ~ 5.5 V) ・乗算器：16 ビット × 16 ビット → 32 ビット ・積和演算命令：16 ビット × 16 ビット + 32 ビット → 32 ビット ・動作モード：シングルチップモード (アドレス空間：1 M バイト)
メモリ	ROM、RAM	「表 1.12 R8C/54H グループの製品一覧」参照
電圧検出	電圧検出回路	・パワーオンリセット ・電圧検出 3 点 (電圧検出 0 と電圧検出 1 は検出レベル選択可能)
I/O ポート	プログラマブル 入出力ポート	・入力専用：1 ・CMOS 入出力：43、プルアップ抵抗選択可能 ・PMC (Peripheral Mapping Controller) により通信機能優先型の端子配置選択可能
クロック	クロック発生回路	・4 回路：XIN クロック発振回路、 高速オンチップオシレータ (周波数調整機能付)、 低速オンチップオシレータ、 PLL 周波数シンセサイザ (~ 32 MHz) 2、4、6、8 通倍 ・発振停止検出：XIN クロック発振停止検出機能 ・周波数分周回路：1、2、4、8、16 分周選択 ・低消費電力機構：標準動作モード (高速クロック、高速オンチップオシレータ、 低速オンチップオシレータ、PLL 動作)、ウェイトモード、 ストップモード
割り込み		・割り込みベクタ数：69 ・外部割り込み入力：9 (INT × 5、キー入力 × 4) ・割り込み優先レベル：7 レベル
イベントリンクコントローラ (ELC)		・周辺機能のイベント出力を別の周辺機能のイベント入力にリンク可能 (22 要因 × 7 種類のイベントリンク動作) ・割り込み要求とは独立してイベントを扱うことが可能
ウォッチドッグタイマ		・14 ビット × 1 (プリスケアラ付) ・リセットスタート機能選択可能 ・ウォッチドッグタイマ用低速オンチップオシレータ選択可能
DTC (データトランスファ コントローラ)		・1 チャンネル ・起動要因：36 ・転送モード：2 (ノーマルモード、リピートモード)

表1.8 R8C/54H グループの仕様概要(2)

分類	機能	説明
タイマ	タイマRJ_0、RJ_1	16ビット×1 2回路内蔵 タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB2_0	16ビット×1 1回路内蔵 タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC_0	16ビット(キャプチャ/コンペアレジスタ4本付)×1 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRD_0	16ビット(キャプチャ/コンペアレジスタ4本付)×2 1回路内蔵 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本)鋸波変調)、相補PWMモード(三相波形出力(6本)三角波変調)、PWM3モード(同一周期のPWM出力2本)
	タイマRE2	8ビット×1 コンペアー致タイマモード
シリアル インタ フェース	UART0_0、UART0_1	2チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード
	UART2	1チャンネル クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/Oモード、特殊モード3(IEモード)、マルチプロセッサ通信モード
クロック 同期形 シリアル インタ フェース	[SSU] SSU_0、SSU_1	2チャンネル(I ² Cバスと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
	[I ² Cバス] I ² C_0、I ² C_1	2チャンネル(SSUと兼用) (通信機能優先ピン配置のみ2チャンネル使用可能(他は1チャンネルのみ))
LIN モジュール	HW-LIN_0、HW-LIN_1	ハードウェアLIN 2チャンネル(タイマRJ_0、RJ_1、UART0_0、UART0_1を使用)
A/Dコンバータ		分解能10ビット×12チャンネル、サンプル&ホールドあり、掃引モードあり
コンパレータB		2回路
CRC演算回路		CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、CRC-16 ($X^{16} + X^{15} + X^2 + 1$)に準拠
フラッシュメモリ		・プログラム、イレーズ電圧：VCC = 2.7 V ~ 5.5 V ・リード電圧：VCC = 2.7 V ~ 5.5 V ・プログラム/イレーズ回数：1,000回(プログラムROM) ・プログラムセキュリティ：ROMコードプロテクト、IDコードチェック ・デバッグ機能：オンチップデバッグ、オンボードフラッシュ書き換え機能
デバッグ機能		・1線式デバッグインタフェース搭載(専用ハードウェア搭載) ・ホットプラグ接続対応によりユーザモード動作中にデバッグインタフェース接続することが可能
動作周波数/電源電圧		CPUクロック = 32 MHz (VCC = 2.7 V ~ 5.5 V)
消費電流		標準14 mA (VCC = 5 V、f(CPU) = 32 MHz)
動作周囲温度		-40 °C ~ 85 °C (Jバージョン) -40 °C ~ 125 °C (Kバージョン) (注1)
パッケージ		48ピンLQFP パッケージコード：PLQP0048KB-A (旧コード：48P6Q-A)

注1. Kバージョンをご使用になる場合は、その旨をご指定ください。

1.2 製品一覧

表 1.9 に R8C/54E グループの製品一覧を、図 1.1 に R8C/54E グループの型名とメモリサイズ・パッケージを、表 1.10 に R8C/54F グループの製品一覧を、図 1.2 に R8C/54F グループの型名とメモリサイズ・パッケージを、表 1.11 に R8C/54G グループの製品一覧を、図 1.3 に R8C/54G グループの型名とメモリサイズ・パッケージを、表 1.12 に R8C/54H グループの製品一覧を、図 1.4 に R8C/54H グループの型名とメモリサイズ・パッケージを示します。

表 1.9 R8C/54E グループの製品一覧

2014年9月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21546EJFP	32 Kバイト	1 Kバイト × 4	2.5 Kバイト	PLQP0048KB-A	Jバージョン
R5F21547EJFP	48 Kバイト		4 Kバイト		
R5F21548EJFP	64 Kバイト		6 Kバイト		
R5F2154AEJFP	96 Kバイト		8 Kバイト		
R5F2154CEJFP	128 Kバイト		10 Kバイト		
R5F21546EKFP	32 Kバイト		2.5 Kバイト		Kバージョン
R5F21547EKFP	48 Kバイト		4 Kバイト		
R5F21548EKFP	64 Kバイト		6 Kバイト		
R5F2154AEKFP	96 Kバイト		8 Kバイト		
R5F2154CEKFP	128 Kバイト		10 Kバイト		

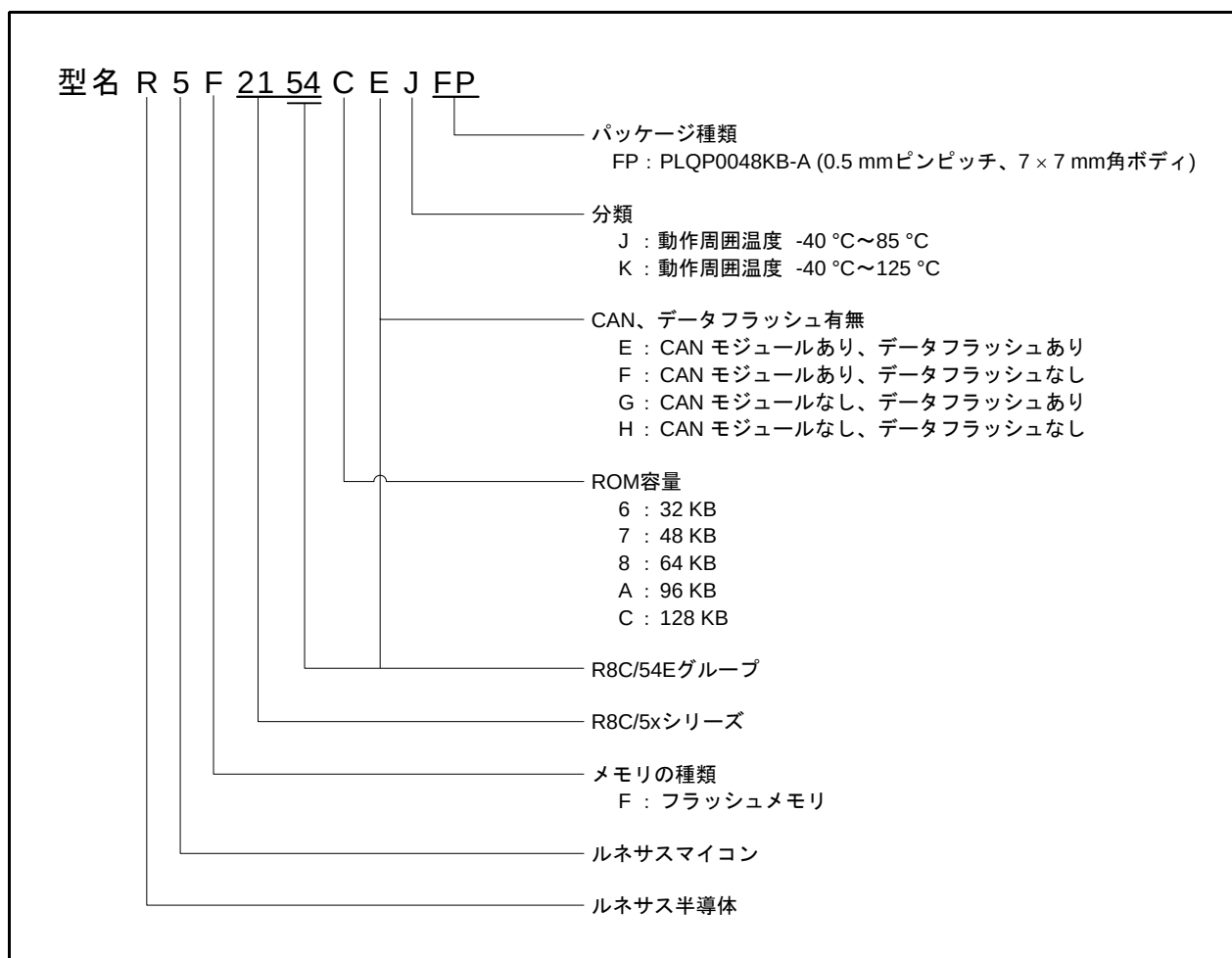


図 1.1 R8C/54E グループの型名とメモリサイズ・パッケージ

表 1.10 R8C/54F グループの製品一覧

2014年9月現在

型名	内部ROM容量	内部RAM容量	パッケージ	備考
	プログラムROM			
R5F21546FJFP	32 Kバイト	2.5 Kバイト	PLQP0048KB-A	Jバージョン
R5F21547FJFP	48 Kバイト	4 Kバイト		
R5F21548FJFP	64 Kバイト	6 Kバイト		
R5F2154AFJFP	96 Kバイト	8 Kバイト		
R5F2154CFJFP	128 Kバイト	10 Kバイト		
R5F21546FKFP	32 Kバイト	2.5 Kバイト		Kバージョン
R5F21547FKFP	48 Kバイト	4 Kバイト		
R5F21548FKFP	64 Kバイト	6 Kバイト		
R5F2154AFKFP	96 Kバイト	8 Kバイト		
R5F2154CFKFP	128 Kバイト	10 Kバイト		

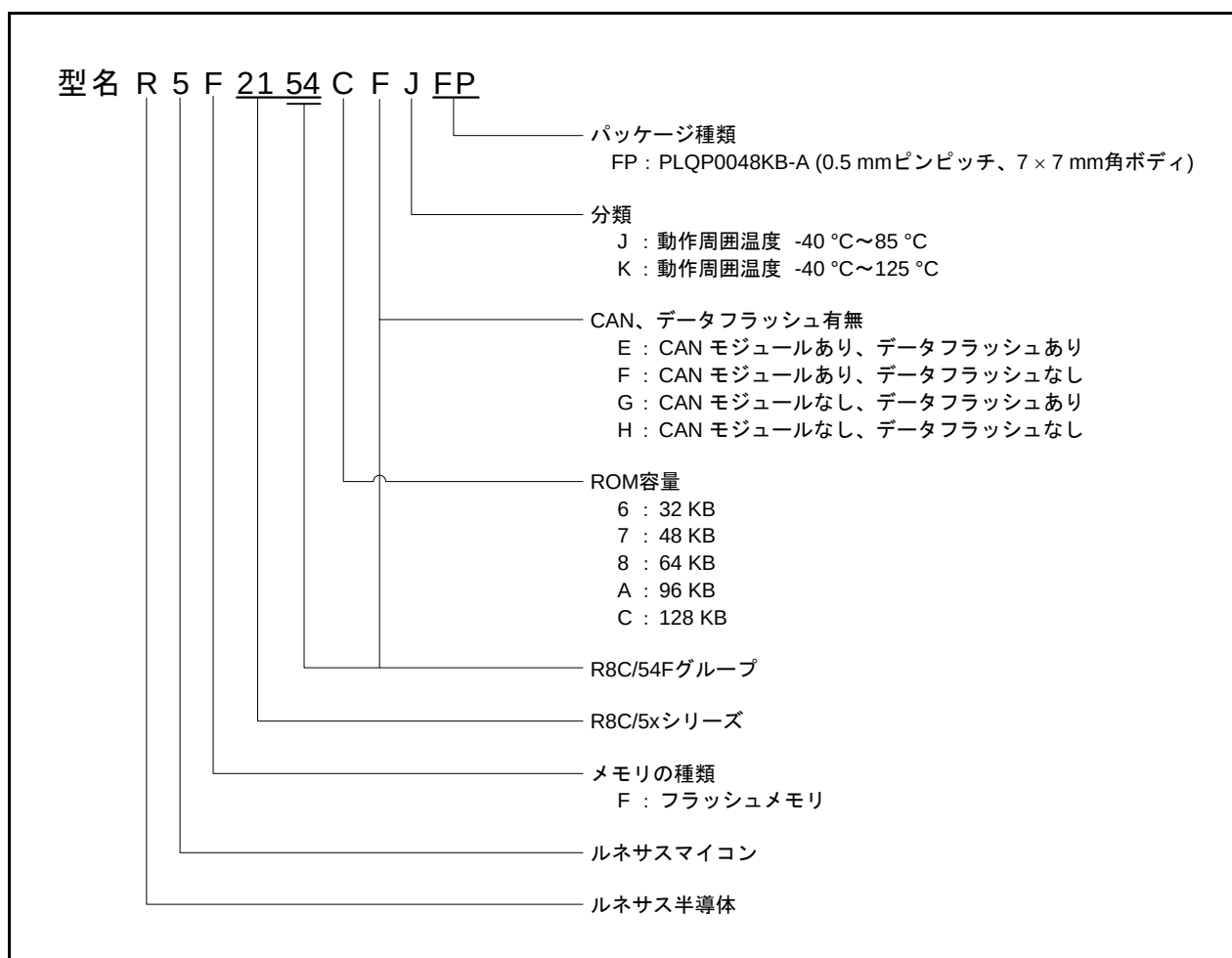


図 1.2 R8C/54F グループの型名とメモリサイズ・パッケージ

表 1.11 R8C/54G グループの製品一覧

2014年9月現在

型名	内部ROM容量		内部RAM容量	パッケージ	備考
	プログラムROM	データフラッシュ			
R5F21546GJFP	32 Kバイト	1 Kバイト × 4	2.5 Kバイト	PLQP0048KB-A	Jバージョン
R5F21547GJFP	48 Kバイト		4 Kバイト		
R5F21548GJFP	64 Kバイト		6 Kバイト		
R5F2154AGJFP	96 Kバイト		8 Kバイト		
R5F2154CGJFP	128 Kバイト		10 Kバイト		
R5F21546GKFP	32 Kバイト		2.5 Kバイト		Kバージョン
R5F21547GKFP	48 Kバイト		4 Kバイト		
R5F21548GKFP	64 Kバイト		6 Kバイト		
R5F2154AGKFP	96 Kバイト		8 Kバイト		
R5F2154CGKFP	128 Kバイト		10 Kバイト		

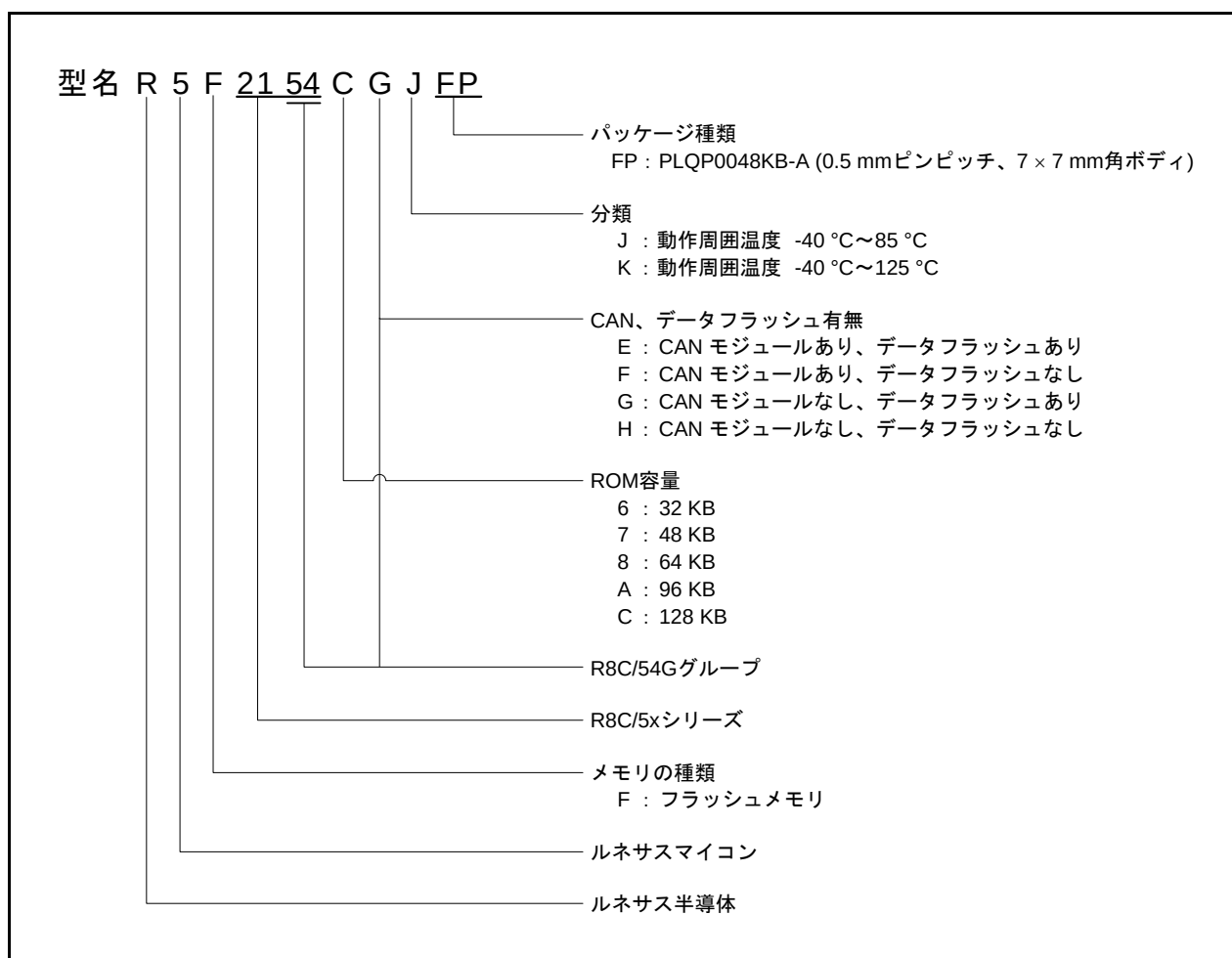


図 1.3 R8C/54G グループの型名とメモリサイズ・パッケージ

表 1.12 R8C/54H グループの製品一覧

2014年9月現在

型名	内部ROM容量	内部RAM容量	パッケージ	備考
	プログラムROM			
R5F21546HJFP	32 Kバイト	2.5 Kバイト	PLQP0048KB-A	Jバージョン
R5F21547HJFP	48 Kバイト	4 Kバイト		
R5F21548HJFP	64 Kバイト	6 Kバイト		
R5F2154AHJFP	96 Kバイト	8 Kバイト		
R5F2154CHJFP	128 Kバイト	10 Kバイト		
R5F21546HKFP	32 Kバイト	2.5 Kバイト		Kバージョン
R5F21547HKFP	48 Kバイト	4 Kバイト		
R5F21548HKFP	64 Kバイト	6 Kバイト		
R5F2154AHKFP	96 Kバイト	8 Kバイト		
R5F2154CHKFP	128 Kバイト	10 Kバイト		

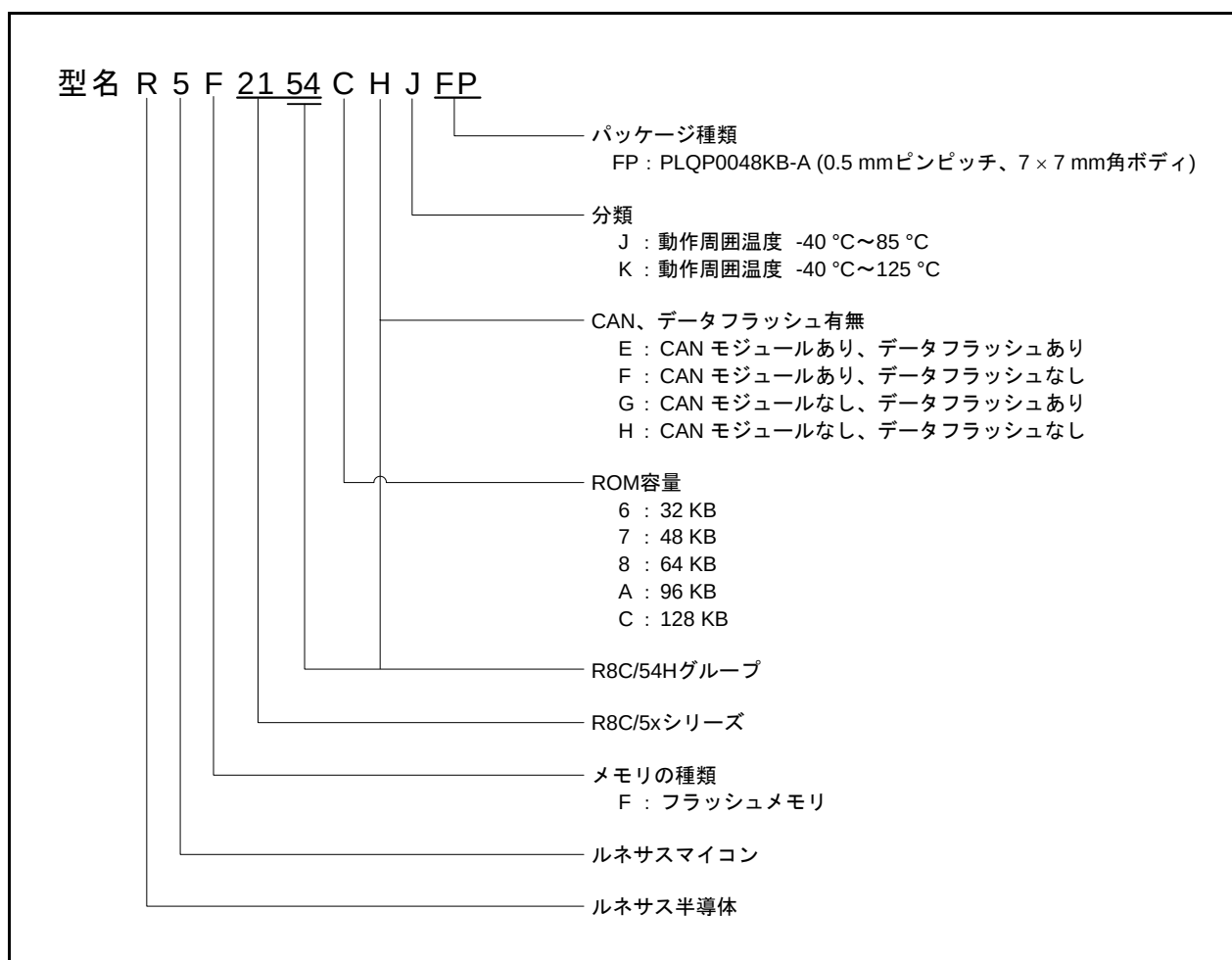


図 1.4 R8C/54H グループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.5 にブロック図を示します。

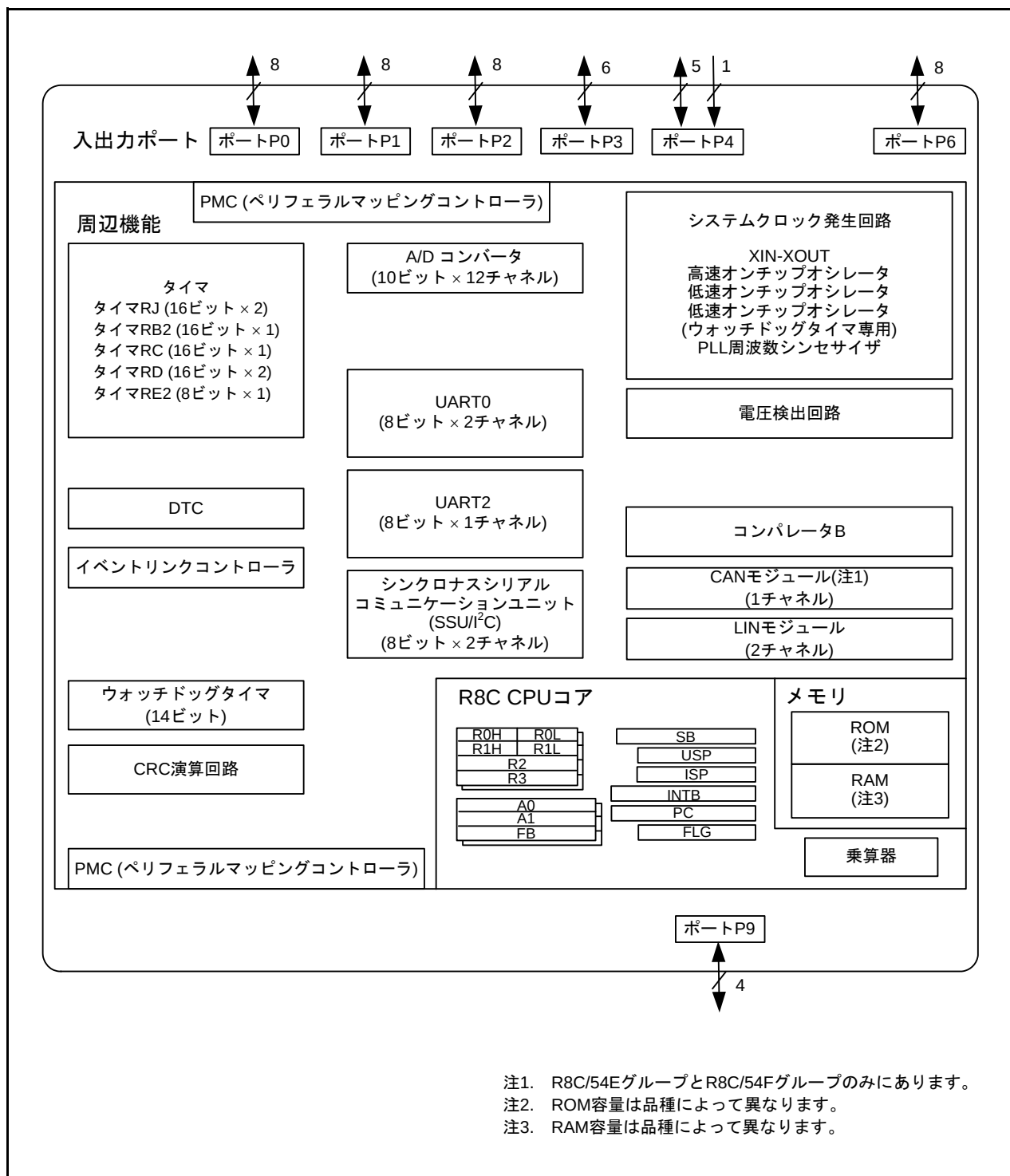


図 1.5 ブロック図

1.4 ピン配置図

図1.6にピン配置図(上面図)を、表1.13～表1.17にピン番号別端子名一覧を示します。

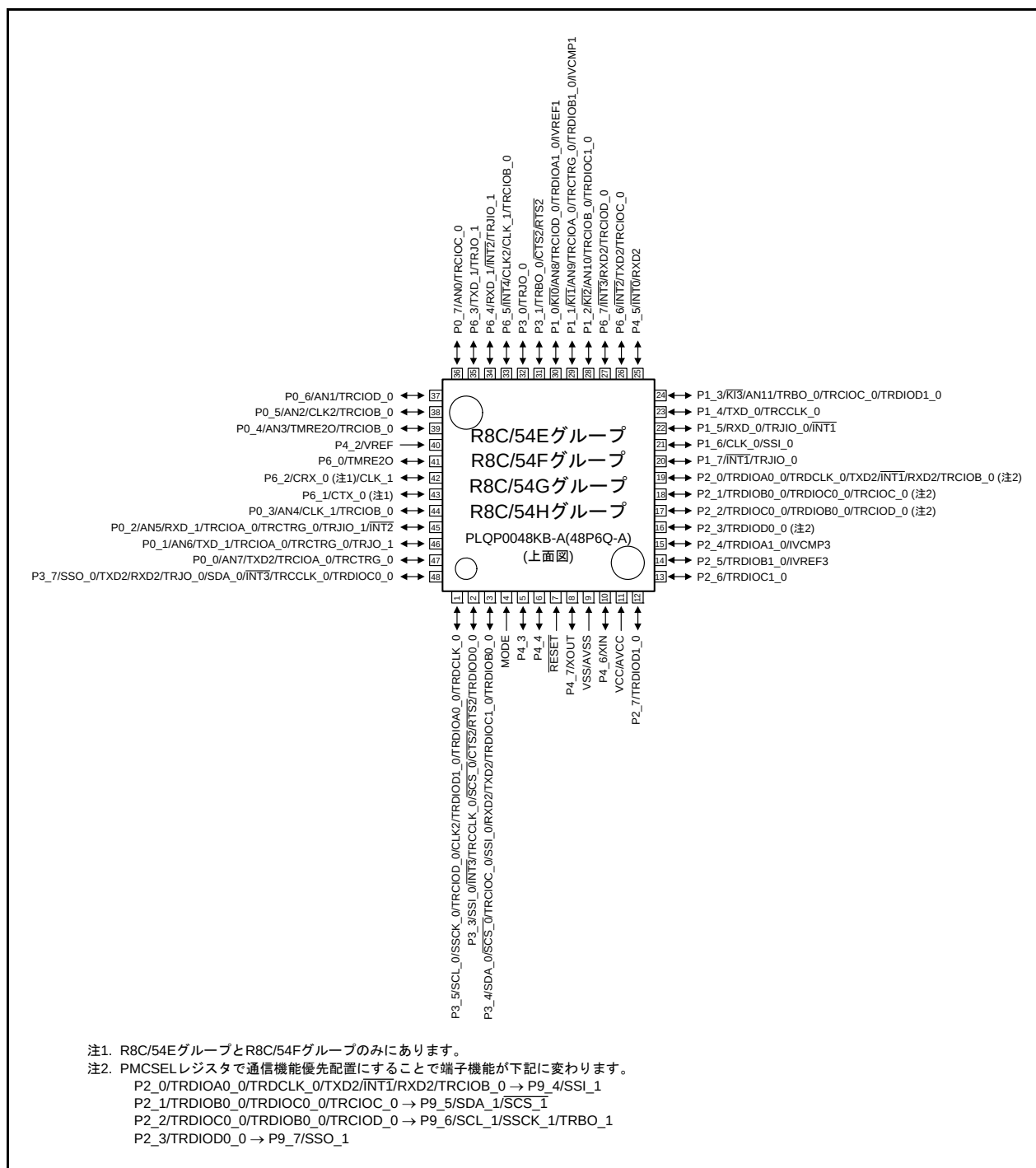


図1.6 ピン配置図(上面図)

表 1.13 ピン番号別端子名一覧(割り込み、UART0、UART2)

ポート	端子番号	割り込み					UART0						UART2				
		INT0	INT1	INT2	INT3	INT4	TXD_0	TXD_1	RXD_0	RXD_1	CLK_0	CLK_1	TXD2	RXD2	CTS2	RTS2	CLK2
P0_0	47												TXD2				
P0_1	46							TXD_1									
P0_2	45			INT2						RXD_1							
P0_3	44										CLK_1						
P0_4	39																
P0_5	38																CLK2
P0_6	37																
P0_7	36																
P1_0	30																
P1_1	29																
P1_2	28																
P1_3	24																
P1_4	23						TXD_0										
P1_5	22		INT1						RXD_0								
P1_6	21									CLK_0							
P1_7	20		INT1														
P2_0	19 (注1)		INT1									TXD2	RXD2				
P2_1	18 (注1)																
P2_2	17 (注1)																
P2_3	16 (注1)																
P2_4	15																
P2_5	14																
P2_6	13																
P2_7	12																
P3_0	32																
P3_1	31													CTS2	RTS2		
P3_3	2				INT3									CTS2	RTS2		
P3_4	3											TXD2	RXD2				
P3_5	1																CLK2
P3_7	48				INT3							TXD2	RXD2				
P4_2	40																
P4_3	5																
P4_4	6																
P4_5	25	INT0											RXD2				
P4_6	10																
P4_7	8																
P6_0	41																
P6_1	43																
P6_2	42										CLK_1						
P6_3	35							TXD_1									
P6_4	34			INT2						RXD_1							
P6_5	33					INT4					CLK_1						CLK2
P6_6	26			INT2								TXD2					
P6_7	27				INT3								RXD2				
P9_4	19 (注1)																
P9_5	18 (注1)																
P9_6	17 (注1)																
P9_7	16 (注1)																

注1. PMC機能により端子配置が変わります。

表1.14 ピン番号別端子名一覧(CAN、SSU/I²C)

ポート	端子番号	CAN (注1)		SSU/I ² C											
		CTX_0	CRX_0	SCL_0	SCL_1	SDA_0	SDA_1	SSI_0	SSI_1	SCS_0	SCS_1	SSCK_0	SSCK_1	SSO_0	SSO_1
P0_0	47														
P0_1	46														
P0_2	45														
P0_3	44														
P0_4	39														
P0_5	38														
P0_6	37														
P0_7	36														
P1_0	30														
P1_1	29														
P1_2	28														
P1_3	24														
P1_4	23														
P1_5	22														
P1_6	21							SSI_0							
P1_7	20														
P2_0	19 (注2)														
P2_1	18 (注2)														
P2_2	17 (注2)														
P2_3	16 (注2)														
P2_4	15														
P2_5	14														
P2_6	13														
P2_7	12														
P3_0	32														
P3_1	31														
P3_3	2							SSI_0		SCS_0					
P3_4	3					SDA_0		SSI_0		SCS_0					
P3_5	1			SCL_0								SSCK_0			
P3_7	48					SDA_0								SSO_0	
P4_2	40														
P4_3	5														
P4_4	6														
P4_5	25														
P4_6	10														
P4_7	8														
P6_0	41														
P6_1	43	CTX_0													
P6_2	42		CRX_0												
P6_3	35														
P6_4	34														
P6_5	33														
P6_6	26														
P6_7	27														
P9_4	19 (注2)							SSI_1							
P9_5	18 (注2)					SDA_1				SCS_1					
P9_6	17 (注2)				SCL_1							SSCK_1			
P9_7	16 (注2)														SSO_1

注1. R8C/54E グループとR8C/54F グループのみにあります。

注2. PMC機能により端子配置が変わります。

表1.15 ピン番号別端子名一覧(タイマRJ、タイマRB2、タイマRC)

ポート	端子番号	タイマRJ				タイマRB2	タイマRC					
		TRJO_0	TRJO_1	TRJIO_0	TRJIO_1	TRBO_0	TRCCLK_0	TRCIOA_0	TRCIOB_0	TRCIOC_0	TRCIOD_0	TRCTRG_0
P0_0	47							TRCIOA_0				TRCTRG_0
P0_1	46		TRJO_1					TRCIOA_0				TRCTRG_0
P0_2	45				TRJIO_1			TRCIOA_0				TRCTRG_0
P0_3	44								TRCIOB_0			
P0_4	39								TRCIOB_0			
P0_5	38								TRCIOB_0			
P0_6	37										TRCIOD_0	
P0_7	36									TRCIOC_0		
P1_0	30										TRCIOD_0	
P1_1	29							TRCIOA_0				TRCTRG_0
P1_2	28								TRCIOB_0			
P1_3	24					TRBO_0				TRCIOC_0		
P1_4	23						TRCCLK_0					
P1_5	22			TRJIO_0								
P1_6	21											
P1_7	20			TRJIO_0								
P2_0	19 (注1)								TRCIOB_0			
P2_1	18 (注1)									TRCIOC_0		
P2_2	17 (注1)										TRCIOD_0	
P2_3	16 (注1)											
P2_4	15											
P2_5	14											
P2_6	13											
P2_7	12											
P3_0	32	TRJO_0										
P3_1	31					TRBO_0						
P3_3	2						TRCCLK_0					
P3_4	3									TRCIOC_0		
P3_5	1										TRCIOD_0	
P3_7	48	TRJO_0					TRCCLK_0					
P4_2	40											
P4_3	5											
P4_4	6											
P4_5	25											
P4_6	10											
P4_7	8											
P6_0	41											
P6_1	43											
P6_2	42											
P6_3	35		TRJO_1									
P6_4	34				TRJIO_1							
P6_5	33								TRCIOB_0			
P6_6	26									TRCIOC_0		
P6_7	27										TRCIOD_0	
P9_4	19 (注1)											
P9_5	18 (注1)											
P9_6	17 (注1)											
P9_7	16 (注1)											

注1. PMC機能により端子配置が変わります。

表1.16 ピン番号別端子名一覧(タイマRD、タイマRE2)

ポート	端子番号	タイマRD									タイマRE2
		TRDCLK_0	TRDIOA0_0	TRDIOB0_0	TRDIOC0_0	TRDIOD0_0	TRDIOA1_0	TRDIOB1_0	TRDIOC1_0	TRDIOD1_0	TMRE20
P0_0	47										
P0_1	46										
P0_2	45										
P0_3	44										
P0_4	39										TMRE20
P0_5	38										
P0_6	37										
P0_7	36										
P1_0	30						TRDIOA1_0				
P1_1	29							TRDIOB1_0			
P1_2	28								TRDIOC1_0		
P1_3	24									TRDIOD1_0	
P1_4	23										
P1_5	22										
P1_6	21										
P1_7	20										
P2_0	19 (注1)	TRDCLK_0	TRDIOA0_0								
P2_1	18 (注1)			TRDIOB0_0	TRDIOC0_0						
P2_2	17 (注1)			TRDIOB0_0	TRDIOC0_0						
P2_3	16 (注1)					TRDIOD0_0					
P2_4	15						TRDIOA1_0				
P2_5	14							TRDIOB1_0			
P2_6	13								TRDIOC1_0		
P2_7	12									TRDIOD1_0	
P3_0	32										
P3_1	31										
P3_3	2					TRDIOD0_0					
P3_4	3			TRDIOB0_0					TRDIOC1_0		
P3_5	1	TRDCLK_0	TRDIOA0_0							TRDIOD1_0	
P3_7	48				TRDIOC0_0						
P4_2	40										
P4_3	5										
P4_4	6										
P4_5	25										
P4_6	10										
P4_7	8										
P6_0	41										TMRE20
P6_1	43										
P6_2	42										
P6_3	35										
P6_4	34										
P6_5	33										
P6_6	26										
P6_7	27										
P9_4	19 (注1)										
P9_5	18 (注1)										
P9_6	17 (注1)										
P9_7	16 (注1)										

注1. PMC機能により端子配置が変わります。

表 1.17 ピン番号別端子名一覧(その他)

ポート	端子番号	その他		
P0_0	47	AN7		
P0_1	46	AN6		
P0_2	45	AN5		
P0_3	44	AN4		
P0_4	39	AN3		
P0_5	38	AN2		
P0_6	37	AN1		
P0_7	36	AN0		
P1_0	30	KI0	AN8	IVREF1
P1_1	29	KI1	AN9	IVCMP1
P1_2	28	KI2	AN10	
P1_3	24	KI3	AN11	
P1_4	23			
P1_5	22			
P1_6	21			
P1_7	20			
P2_0	19 (注1)			
P2_1	18 (注1)			
P2_2	17 (注1)			
P2_3	16 (注1)			
P2_4	15	IVCMP3		
P2_5	14	IVREF3		
P2_6	13			
P2_7	12			
P3_0	32			
P3_1	31			
P3_3	2			
P3_4	3			
P3_5	1			
P3_7	48			
P4_2	40	VREF		
P4_3	5			
P4_4	6			
P4_5	25			
P4_6	10	XIN		
P4_7	8	XOUT		
P6_0	41			
P6_1	43			
P6_2	42			
P6_3	35			
P6_4	34			
P6_5	33			
P6_6	26			
P6_7	27			
P9_4	19 (注1)			
P9_5	18 (注1)			
P9_6	17 (注1)			
P9_7	16 (注1)			

注1. PMC機能により端子配置が変わります。

1.5 端子機能の説明

表 1.18、表 1.19 に端子機能の説明を示します。

表 1.18 端子機能の説明 (1)

分類	端子名	入出力	機能
電源入力	VCC、VSS	—	CPU クロック = 32 MHz のとき、VCC には 2.7 V ~ 5.5 V を入力してください。 VSS には、0 V を入力してください。
アナログ電源入力	AVCC、AVSS	—	A/D コンバータの電源入力です。 AVCC と AVSS 間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に L を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介して VCC に接続してください。
XIN クロック入力	XIN	入力	XIN クロック発振回路の入出力です。
XIN クロック出力	XOUT	入出力	XIN と XOUT の間には、セラミック共振子または水晶発振子を接続してください。(注 1) 外部で生成したクロックを入力する場合は、XOUT からクロックを入力し、XIN は開放にしてください。
INT 割り込み入力	INT0 ~ INT4	入力	INT 割り込みの入力です。
キー入力割り込み	KI0 ~ KI3	入力	キー入力割り込みの入力です。
タイマ RJ_0、RJ_1	TRJIO_0、TRJIO_1	入出力	タイマ RJ の入出力です。
	TRJO_0、TRJO_1	出力	タイマ RJ の出力です。
タイマ RB2_0	TRBO_0	出力	タイマ RB2 の出力です。
タイマ RC_0	TRCLK_0	入力	外部クロック入力です。
	TRCTRG_0	入力	外部トリガ入力です。
	TRCIOA_0、TRCIOB_0、TRCIOA_0、TRCIOB_0、TRCIOA_0、TRCIOB_0	入出力	タイマ RC の入出力です。
タイマ RD_0	TRDIOA0_0、TRDIOA1_0、TRDIOB0_0、TRDIOB1_0、TRDIOC0_0、TRDIOC1_0、TRDIOD0_0、TRDIOD1_0	入出力	タイマ RD の入出力です。
	TRDCLK_0	入力	外部クロック入力です。
タイマ RE2	TMRE20	出力	分周クロックの出力です。
シリアルインタフェース (UART0)	CLK_0、CLK_1	入出力	転送クロック入出力です。
	RXD_0、RXD_1	入力	シリアルデータ入力です。
	TXD_0、TXD_1	出力	シリアルデータ出力です。
シリアルインタフェース (UART2)	CTS2	入力	送信制御用入力です。
	RTS2	出力	受信制御用出力です。
	RXD2	入力	シリアルデータ入力です。
	TXD2	出力	シリアルデータ出力です。
	CLK2	入出力	転送クロック入出力です。

注 1. 発振特性は発振子メーカーに問い合わせてください。

表 1.19 端子機能の説明(2)

分類	端子名	入出力	機能
シンクロナスシリアル コミュニケーション ユニット (SSU_0、SSU_1)	SSI_0、SSI_1	入出力	データ入出力です。
	SCS_0、SCS_1	入出力	チップセレクト入出力です。
	SSCK_0、SSCK_1	入出力	クロック入出力です。
	SSO_0、SSO_1	入出力	データ入出力です。
I ² Cバス (I ² C_0、I ² C_1)	SCL_0、SCL_1	入出力	クロック入出力です。
	SDA_0、SDA_1	入出力	データ入出力です。
CANモジュール (CAN_0) (注1)	CRX_0	入力	CANのデータ入力です。
	CTX_0	出力	CANのデータ出力です。
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0～AN11	入力	A/Dコンバータのアナログ入力です。
コンパレータB	IVCMP1、IVCMP3	入力	コンパレータBのアナログ電圧入力です。
	IVREF1、IVREF3	入力	コンパレータBの基準電圧入力です。
入出力ポート	P0_0～P0_7、 P1_0～P1_7、 P2_0～P2_7、 P3_0、P3_1、 P3_3～P3_5、P3_7 P4_3～P4_7、 P6_0～P6_7、 P9_4～P9_7	入出力	CMOSの8ビット入出力ポートです。 入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポートまたは出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 すべてのポートは、LED駆動(高駆動)ポートとして使用できます。
入力ポート	P4_2	入力	入力専用ポートです。

注1. R8C/54E グループとR8C/54F グループのみにあります。

2. 中央演算処理装置 (CPU)

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

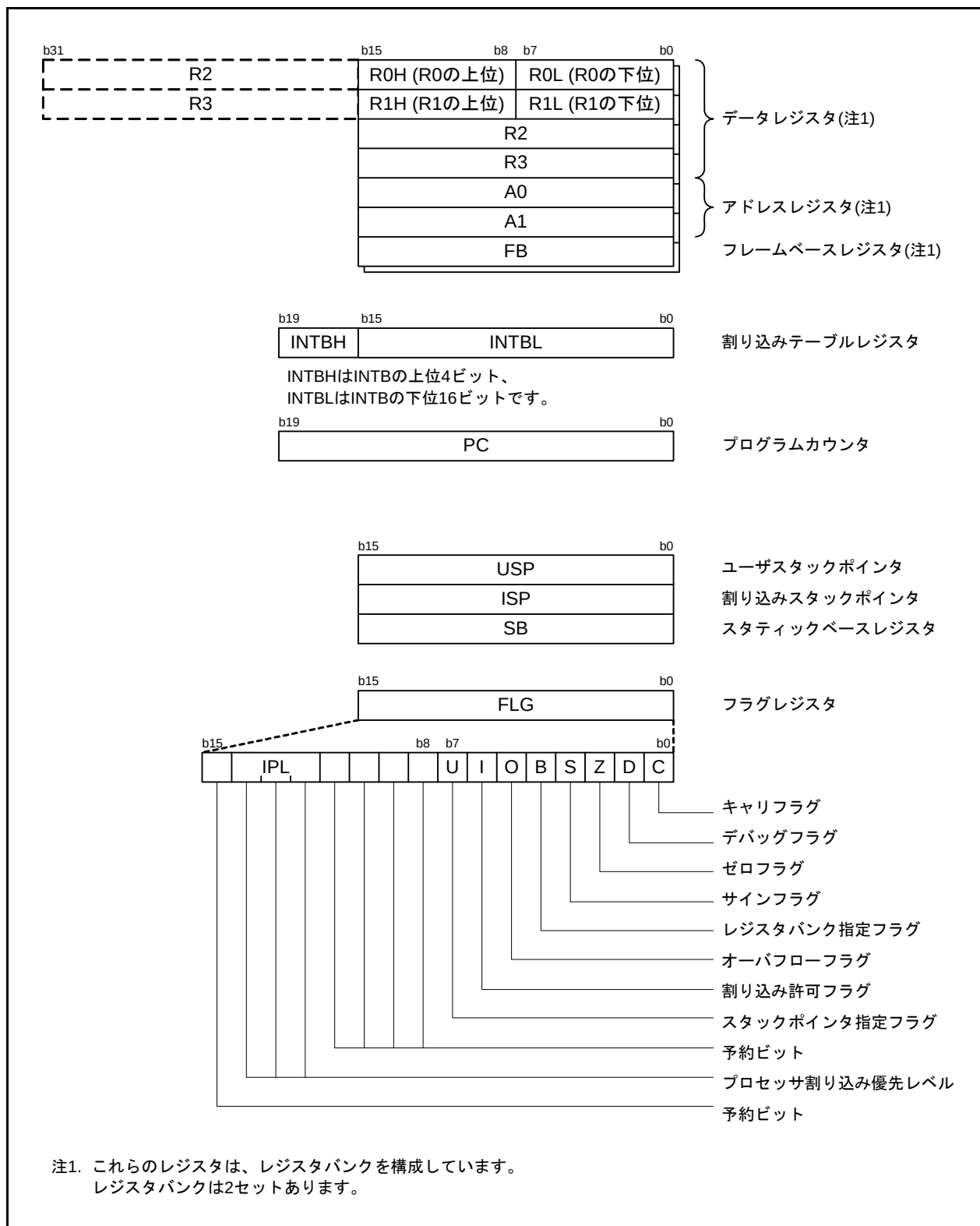


図2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0 は 16 ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3 は R0 と同様です。R0 は、上位 (R0H) と下位 (R0L) を別々に 8 ビットのデータレジスタとして使用できます。R1H、R1L は R0H、R0L と同様です。R2 と R0 を組み合わせて 32 ビットのデータレジスタ (R2R0) として使用できます。R3R1 は R2R0 と同様です。

2.2 アドレスレジスタ (A0、A1)

A0 は 16 ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1 は A0 と同様です。A1 と A0 を組み合わせて 32 ビットのアドレスレジスタ (A1A0) として使用できます。

2.3 フレームベースレジスタ (FB)

FB は 16 ビットで構成されており、FB 相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTB は 20 ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PC は 20 ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ (SP) は、USP と ISP の 2 種類あり、ともに 16 ビットで構成されています。USP と ISP は FLG の U フラグで切り替えられます。

2.7 スタティックベースレジスタ (SB)

SB は 16 ビットで構成されており、SB 相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLG は 11 ビットで構成されており、CPU の状態を示します。

2.8.1 キャリフラグ (C フラグ)

算術論理ユニットで発生したキャリ、ボロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (D フラグ)

D フラグはデバッグ専用です。0 にしてください。

2.8.3 ゼロフラグ (Z フラグ)

演算の結果が 0 のとき 1 になり、それ以外るとき 0 になります。

2.8.4 サインフラグ (S フラグ)

演算の結果が負のとき 1 になり、それ以外るとき 0 になります。

2.8.5 レジスタバンク指定フラグ (B フラグ)

B フラグが 0 の場合、レジスタバンク 0 が指定され、1 の場合、レジスタバンク 1 が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに1になります。それ以外では0になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクابل割り込みを許可するフラグです。Iフラグが0の場合、マスクابل割り込みは禁止され、1の場合、許可されます。割り込み要求を受け付けると、Iフラグは0になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが0の場合、ISPが指定され、1の場合、USPが指定されます。ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは0になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、0を書いてください。読んだ場合、その値は不定です。

3. アドレス空間

3.1 R8C/54E グループのメモリマップ

図3.1にR8C/54Eグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に最大で32 Kバイト配置され、32 Kバイトを超える領域は、10000h番地から上位方向に配置されます。例えば64 Kバイトの内部ROMは、08000h番地から17FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM (データフラッシュ)は07000h番地から07FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば6 Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地、06800h番地から06FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

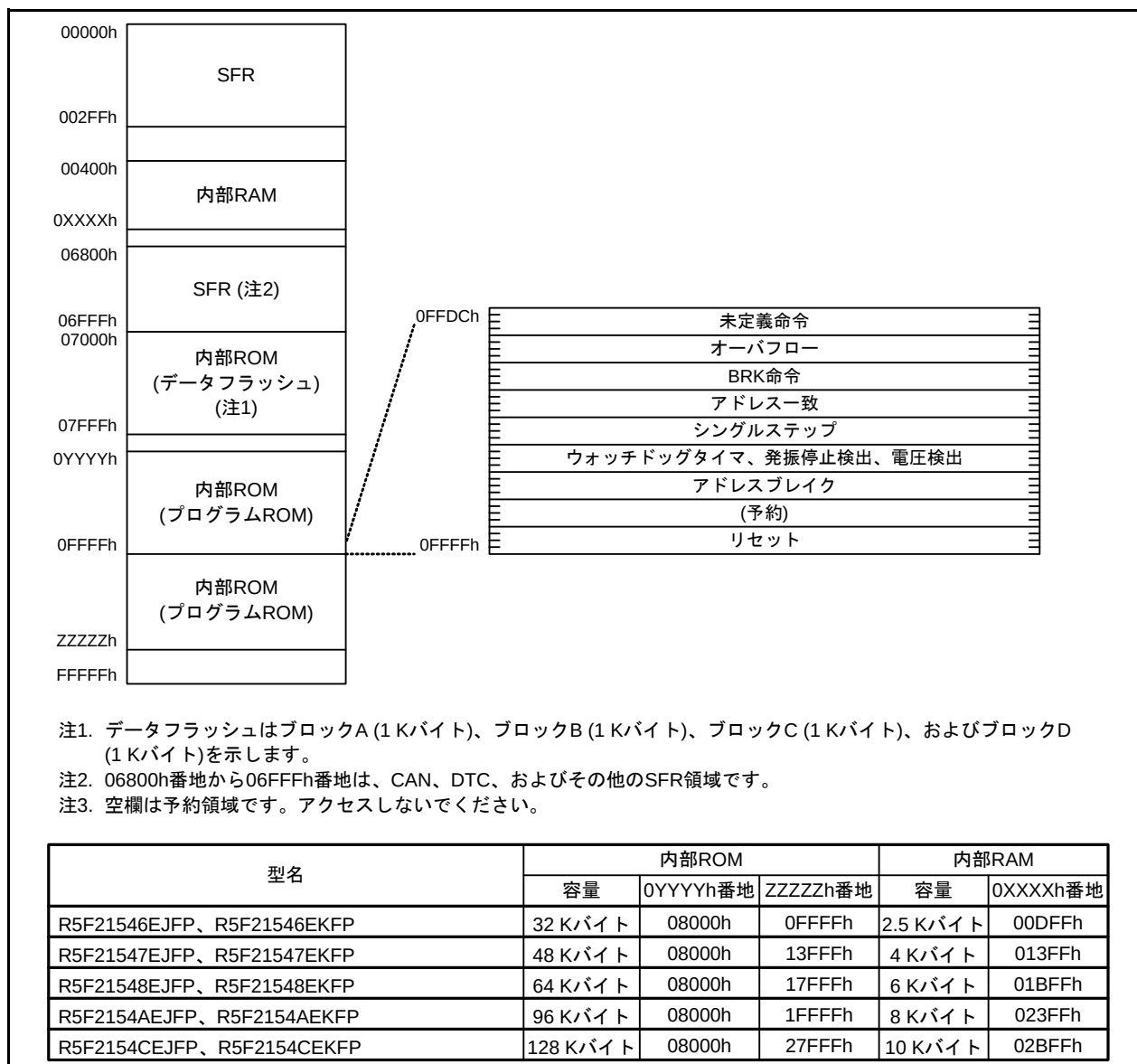


図3.1 R8C/54Eグループのメモリ配置図

3.2 R8C/54F グループのメモリマップ

図3.2にR8C/54Fグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に最大で32 Kバイト配置され、32 Kバイトを超える領域は、10000h番地から上位方向に配置されます。例えば64 Kバイトの内部ROMは、08000h番地から17FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば6 Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地、06800h番地から06FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

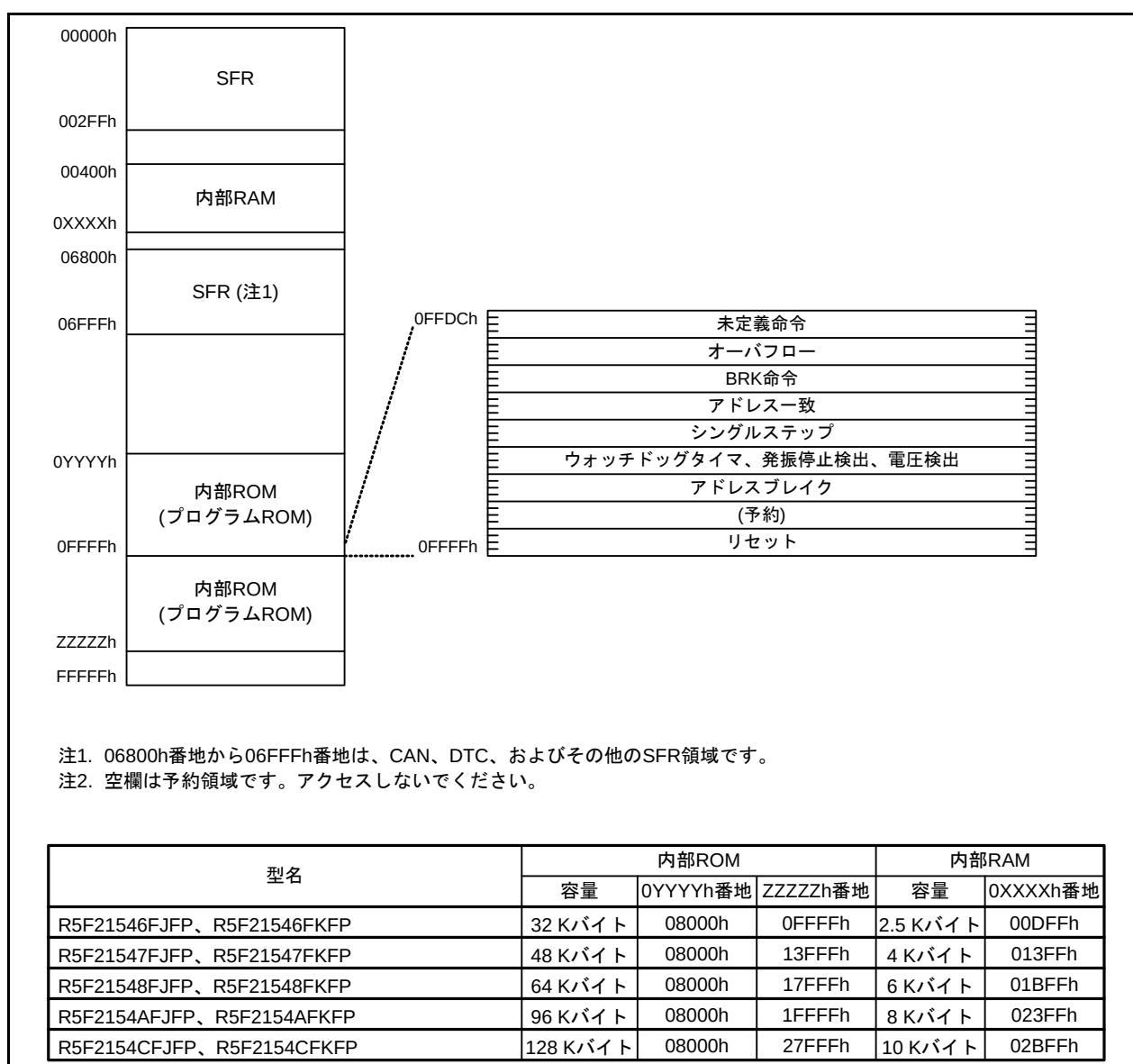


図3.2 R8C/54Fグループのメモリ配置図

3.3 R8C/54G グループのメモリマップ

図3.3にR8C/54Gグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に最大で32 Kバイト配置され、32 Kバイトを超える領域は、10000h番地から上位方向に配置されます。例えば64 Kバイトの内部ROMは、08000h番地から17FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM (データフラッシュ)は07000h番地から07FFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば6 Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地、06800h番地から06FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

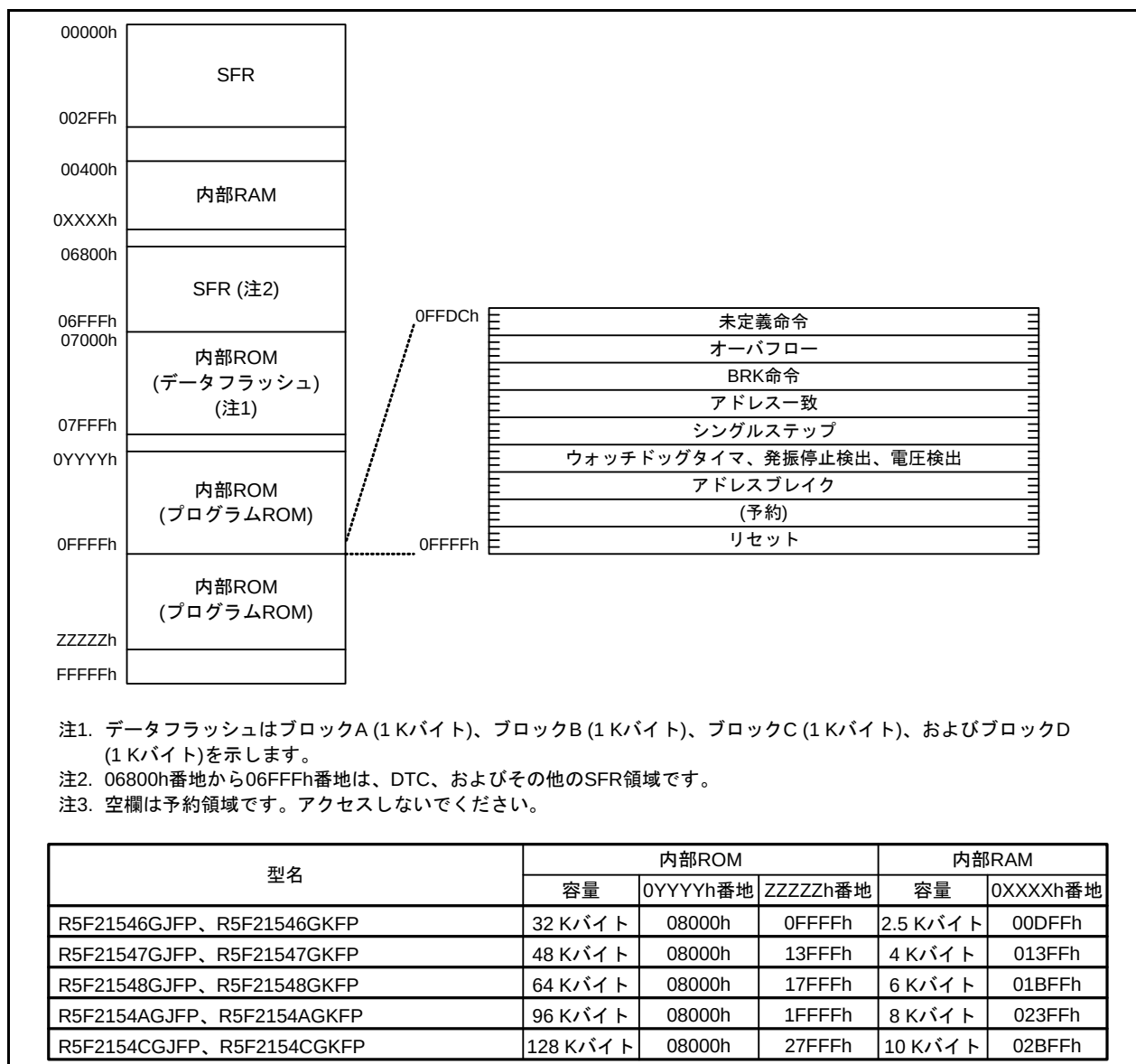


図3.3 R8C/54Gグループのメモリ配置図

3.4 R8C/54Hグループのメモリマップ

図3.4にR8C/54Hグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFh番地までの1 Mバイトあります。内部ROM (プログラムROM)は0FFFFh番地から下位方向に最大で32 Kバイト配置され、32 Kバイトを超える領域は、10000h番地から上位方向に配置されます。例えば64 Kバイトの内部ROMは、08000h番地から17FFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば6 Kバイトの内部RAMは、00400h番地から01BFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFR (Special Function Register)は00000h番地から002FFh番地、06800h番地から06FFFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

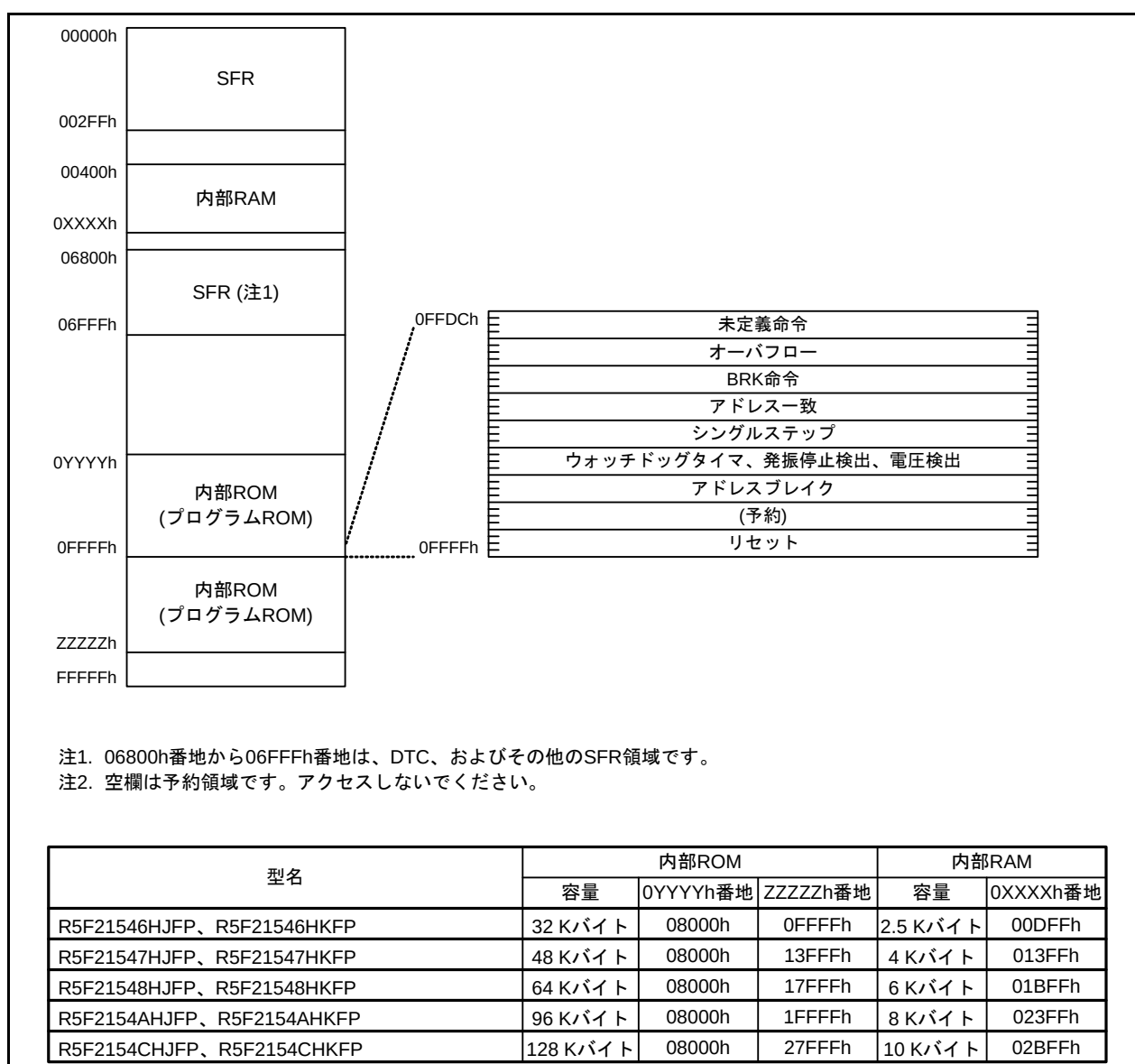


図3.4 R8C/54Hグループのメモリ配置図

3.5 SFR

SFR (Special Function Register) は、周辺機能の制御レジスタです。表 3.1～表 3.22 に SFR 一覧を、表 3.23 に ID コード領域、オプション機能選択領域を示します。

表 3.1 SFR 一覧 (1) (注 1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00000h				
00001h				
00002h				
00003h				
00004h	PM0	プロセッサモードレジスタ 0	00h	
00005h	PM1	プロセッサモードレジスタ 1	10000000b	
00006h				
00007h	PRCR	プロテクトレジスタ	00h	
00008h	CM0	システムクロック制御レジスタ 0	00101000b	
00009h	CM1	システムクロック制御レジスタ 1	00100000b	
0000Ah	OCD	発振停止検出レジスタ	00h	
0000Bh	CM3	システムクロック制御レジスタ 3	00h	
0000Ch	CM4	システムクロック制御レジスタ 4	00000001b	
0000Dh				
0000Eh				
0000Fh	PCLKR1	周辺クロック選択レジスタ 1	00h	
00010h				
00011h				
00012h	FRA0	高速オンチップオシレータ制御レジスタ 0	00h	
00013h				
00014h	FRA2	高速オンチップオシレータ制御レジスタ 2	00h	
00015h				
00016h				
00017h				
00018h				
00019h				
0001Ah				
0001Bh				
0001Ch	PLC0	PLL 制御レジスタ 0	00010010b	
0001Dh				
0001Eh				
0001Fh				
00020h	RISR	リセット割り込み選択レジスタ	10000000b、00000000b	(注 2)
00021h	WDTR	ウォッチドッグタイマリセットレジスタ	FFh	
00022h	WDTS	ウォッチドッグタイマスタートレジスタ	FFh	
00023h	WDTC	ウォッチドッグタイマ制御レジスタ	01111111b	
00024h	CSPR	カウントソース保護モードレジスタ	10000000b、00000000b	(注 2)
00025h				
00026h				
00027h				
00028h	RSTFR	リセット要因判別レジスタ	00XXXXXXb	
00029h				
0002Ah				
0002Bh				
0002Ch	SVDC	STBY VDC 電力制御レジスタ	00h	
0002Dh				
0002Eh				
0002Fh				
00030h	CMPA	電圧監視回路制御レジスタ	00h	
00031h	VCAC	電圧監視回路エッジ選択レジスタ	00h	
00032h	OCVREFCR	チップ内蔵基準電圧制御レジスタ	00h	
00033h				
00034h	VCA2	電圧検出レジスタ 2	00000000b、00100000b	(注 3)
00035h				
00036h	VD1LS	電圧検出 1 レベル選択レジスタ	00000111b	
00037h				
00038h	VW0C	電圧監視 0 回路制御レジスタ	1100XX10b、1100XX11b	(注 3)
00039h	VW1C	電圧監視 1 回路制御レジスタ	10001010b	

X: 不定

注 1. 空欄は予約領域です。アクセスしないでください。

注 2. OFS レジスタの CSPROINI ビットの値によってリセット後の値が異なります。

注 3. OFS レジスタの LVDAS ビットの値によってリセット後の値が異なります

表3.2 SFR一覧 (2) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0003Ah	VW2C	電圧監視2回路制御レジスタ	10001010b	
0003Bh				
0003Ch				
0003Dh				
0003Eh				
0003Fh				
00040h				
00041h	FMRDYIC	割り込み制御レジスタ	00h	
00042h	TRJIC_1	割り込み制御レジスタ	00h	
00043h				
00044h				
00045h				
00046h	INT4IC	割り込み制御レジスタ	00h	
00047h	TRCIC_0	割り込み制御レジスタ	00h	
00048h	TRD0IC_0	割り込み制御レジスタ	00h	
00049h	TRD1IC_0	割り込み制御レジスタ	00h	
0004Ah	TRE2IC	割り込み制御レジスタ	00h	
0004Bh	U2TIC	割り込み制御レジスタ	00h	
0004Ch	U2RIC	割り込み制御レジスタ	00h	
0004Dh	KUPIC	割り込み制御レジスタ	00h	
0004Eh	ADIC	割り込み制御レジスタ	00h	
0004Fh	SSUIC_0/IICIC_0	割り込み制御レジスタ	00h	
00050h				
00051h	U0TIC_0	割り込み制御レジスタ	00h	
00052h	U0RIC_0	割り込み制御レジスタ	00h	
00053h	U0TIC_1	割り込み制御レジスタ	00h	
00054h	U0RIC_1	割り込み制御レジスタ	00h	
00055h	INT2IC	割り込み制御レジスタ	00h	
00056h	TRJIC_0	割り込み制御レジスタ	00h	
00057h				
00058h	TRB2IC_0	割り込み制御レジスタ	00h	
00059h	INT1IC	割り込み制御レジスタ	00h	
0005Ah	INT3IC	割り込み制御レジスタ	00h	
0005Bh				
0005Ch				
0005Dh	INT0IC	割り込み制御レジスタ	00h	
0005Eh	U2BCNIC	割り込み制御レジスタ	00h	
0005Fh				
00060h				
00061h				
00062h				
00063h				
00064h				
00065h				
00066h				
00067h				
00068h				
00069h				
0006Ah				
0006Bh				
0006Ch	CANRXIC_0	割り込み制御レジスタ	00h	
0006Dh	CANTXIC_0	割り込み制御レジスタ	00h	
0006Eh	CANERIC_0	割り込み制御レジスタ	00h	
0006Fh				
00070h				
00071h				
00072h	VCMP1IC	割り込み制御レジスタ	00h	
00073h	VCMP2IC	割り込み制御レジスタ	00h	
00074h				
00075h				
00076h				
00077h				
00078h				
00079h	SSUIC_1/IICIC_1	割り込み制御レジスタ	00h	

注1. 空欄は予約領域です。アクセスしないでください。

表 3.3 SFR 一覧 (3) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0007Ah				
0007Bh				
0007Ch				
0007Dh				
0007Eh				
0007Fh				
00080h	U0MR_0	UART0_0 送受信モードレジスタ	00h	
00081h	U0BRG_0	UART0_0 ビットレートレジスタ	XXh	
00082h	U0TB_0	UART0_0 送信バッファレジスタ	XXh	
00083h			XXh	
00084h	U0C0_0	UART0_0 送受信制御レジスタ 0	00001000b	
00085h	U0C1_0	UART0_0 送受信制御レジスタ 1	00000010b	
00086h	U0RB_0	UART0_0 受信バッファレジスタ	XXXXh	
00087h				
00088h	U0IR_0	UART0_0 割り込みフラグと許可レジスタ	00h	
00089h				
0008Ah				
0008Bh				
0008Ch	LINCR2_0	LIN_0 特殊機能レジスタ	00h	
0008Dh				
0008Eh	LINCT_0	LIN_0 制御レジスタ	00h	
0008Fh	LINST_0	LIN_0 ステータスレジスタ	00h	
00090h	U0MR_1	UART0_1 送受信モードレジスタ	00h	
00091h	U0BRG_1	UART0_1 ビットレートレジスタ	XXh	
00092h	U0TB_1	UART0_1 送信バッファレジスタ	XXh	
00093h			XXh	
00094h	U0C0_1	UART0_1 送受信制御レジスタ 0	00001000b	
00095h	U0C1_1	UART0_1 送受信制御レジスタ 1	00000010b	
00096h	U0RB_1	UART0_1 受信バッファレジスタ	XXXXh	
00097h				
00098h	U0IR_1	UART0_1 割り込みフラグと許可レジスタ	00h	
00099h				
0009Ah				
0009Bh				
0009Ch	LINCR2_1	LIN_1 特殊機能レジスタ	00h	
0009Dh				
0009Eh	LINCT_1	LIN_1 制御レジスタ	00h	
0009Fh	LINST_1	LIN_1 ステータスレジスタ	00h	
000A0h				
000A1h				
000A2h				
000A3h				
000A4h				
000A5h				
000A6h				
000A7h				
000A8h				
000A9h				
000AAh				
000ABh				
000ACh				
000ADh				
000AEh				
000AFh				
000B0h				
000B1h				
000B2h				
000B3h				
000B4h				
000B5h				
000B6h				
000B7h				
000B8h				
000B9h				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.4 SFR一覧 (4) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
000BAh				
000BBh				
000BCh				
000BDh				
000BEh				
000BFh				
000C0h	U2MR	UART2送受信モードレジスタ	00h	
000C1h	U2BRG	UART2ビットレートレジスタ	00h	
000C2h	U2TB	UART2送信バッファレジスタ	00h	
000C3h			00h	
000C4h	U2C0	UART2送受信制御レジスタ0	00001000b	
000C5h	U2C1	UART2送受信制御レジスタ1	00000010b	
000C6h	U2RB	UART2受信バッファレジスタ	0000h	
000C7h				
000C8h	U2RXDF	UART2デジタルフィルタ機能選択レジスタ	00h	
000C9h				
000CAh				
000CBh				
000CCh				
000CDh				
000CEh				
000CFh				
000D0h	U2SMR5	UART2特殊モードレジスタ5	00h	
000D1h				
000D2h				
000D3h				
000D4h				
000D5h	U2SMR3	UART2特殊モードレジスタ3	00h	
000D6h				
000D7h	U2SMR	UART2特殊モードレジスタ	00h	
000D8h				
000D9h				
000DAh				
000DBh				
000DCh				
000DDh				
000DEh				
000DFh				
000E0h	IICCR_0	I ² C_0制御レジスタ	00001110b	
000E1h	SSBR_0	SS_0ビットカウンタレジスタ	11111000b	
000E2h	SITDR_0	SI_0送信データレジスタ	FFh	
000E3h			FFh	
000E4h	SIRDR_0	SI_0受信データレジスタ	FFh	
000E5h			FFh	
000E6h	SICR1_0	SI_0制御レジスタ1	00h	
000E7h	SICR2_0	SI_0制御レジスタ2	01111101b	
000E8h	SIMR1_0	SI_0モードレジスタ1	00010000b	
000E9h	SIER_0	SI_0割り込み許可レジスタ	00h	
000EAh	SISR_0	SI_0ステータスレジスタ	00h	
000EBh	SIMR2_0	SI_0モードレジスタ2	00h	
000ECh				
000EDh				
000EEh				
000EFh				
000F0h	IICCR_1	I ² C_1制御レジスタ	00001110b	
000F1h	SSBR_1	SS_1ビットカウンタレジスタ	11111000b	
000F2h	SITDR_1	SI_1送信データレジスタ	FFh	
000F3h			FFh	
000F4h	SIRDR_1	SI_1受信データレジスタ	FFh	
000F5h			FFh	
000F6h	SICR1_1	SI_1制御レジスタ1	00h	
000F7h	SICR2_1	SI_1制御レジスタ2	01111101b	
000F8h	SIMR1_1	SI_1モードレジスタ1	00010000b	
000F9h	SIER_1	SI_1割り込み許可レジスタ	00h	

注1. 空欄は予約領域です。アクセスしないでください。

表3.5 SFR一覧 (5) (注1)

アドレス	シンボル		レジスタ名	リセット後の値	備考
000FAh	SISR_1		SI_1ステータスレジスタ	00h	
000FBh	SIMR2_1		SI_1モードレジスタ2	00h	
000FCh					
000FDh					
000FEh					
000FFh					
00100h					
00101h					
00102h					
00103h					
00104h					
00105h					
00106h					
00107h					
00108h					
00109h					
0010Ah					
0010Bh					
0010Ch					
0010Dh					
0010Eh					
0010Fh					
00110h	TRJ_0		タイマRJ_0カウンタレジスタ	FFFFh	
00111h					
00112h	TRJCR_0		タイマRJ_0制御レジスタ	00h	
00113h	TRJIOC_0		タイマRJ_0 I/O制御レジスタ	00h	
00114h	TRJMR_0		タイマRJ_0モードレジスタ	00h	
00115h	TRJISR_0		タイマRJ_0イベント端子選択レジスタ	00h	
00116h					
00117h					
00118h	TRJ_1		タイマRJ_1カウンタレジスタ	FFFFh	
00119h					
0011Ah	TRJCR_1		タイマRJ_1制御レジスタ	00h	
0011Bh	TRJIOC_1		タイマRJ_1 I/O制御レジスタ	00h	
0011Ch	TRJMR_1		タイマRJ_1モードレジスタ	00h	
0011Dh	TRJISR_1		タイマRJ_1イベント端子選択レジスタ	00h	
0011Eh					
0011Fh					
00120h					
00121h					
00122h					
00123h					
00124h					
00125h					
00126h					
00127h					
00128h					
00129h					
0012Ah					
0012Bh					
0012Ch					
0012Dh					
0012Eh					
0012Fh					
00130h	TRBCR_0		タイマRB2_0制御レジスタ	00h	
00131h	TRBOCR_0		タイマRB2_0ワンショット制御レジスタ	00h	
00132h	TRBIOC_0		タイマRB2_0 I/O制御レジスタ	00h	
00133h	TRBMR_0		タイマRB2_0モードレジスタ	00h	
00134h	TRBPRES_0	TRBPRSC_0	タイマRB2_0プリスケアラレジスタ タイマRB2_0プライマリ/セカンダリレジスタ (下位8ビット)	FFh	
00135h	TRBPR_0		タイマRB2_0プライマリレジスタ タイマRB2_0プライマリレジスタ(上位8ビット)	FFh	
00136h	TRBSC_0		タイマRB2_0セカンダリレジスタ タイマRB2_0セカンダリレジスタ(上位8ビット)	FFh	
00137h	TRBIR_0		タイマRB2_0割り込み要求レジスタ	00h	
00138h	TRCCNT_0		タイマRC_0カウンタ	0000h	
00139h					

注1. 空欄は予約領域です。アクセスしないでください。

表3.6 SFR一覧 (6) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	レジスタ名
0013Ah	TRCGRA_0	タイマRC_0ジェネラルレジスタA	FFFFh	
0013Bh				
0013Ch	TRCGRB_0	タイマRC_0ジェネラルレジスタB	FFFFh	
0013Dh				
0013Eh	TRCGRC_0	タイマRC_0ジェネラルレジスタC	FFFFh	
0013Fh				
00140h	TRCGRD_0	タイマRC_0ジェネラルレジスタD	FFFFh	
00141h				
00142h	TRCMR_0	タイマRC_0モードレジスタ	01001000b	
00143h	TRCCR1_0	タイマRC_0制御レジスタ1	00h	
00144h	TRCIER_0	タイマRC_0割り込み許可レジスタ	01110000b	
00145h	TRCSR_0	タイマRC_0ステータスレジスタ	01110000b	
00146h	TRCIOR0_0	タイマRC_0 I/O 制御レジスタ0	10001000b	
00147h	TRCIOR1_0	タイマRC_0 I/O 制御レジスタ1	10001000b	
00148h	TRCCR2_0	タイマRC_0制御レジスタ2	00011000b	
00149h	TRCDF_0	タイマRC_0デジタルフィルタ機能選択レジスタ	00h	
0014Ah	TRCOER_0	タイマRC_0出力許可レジスタ	01111111b	
0014Bh	TRCADCR_0	タイマRC_0 A/D 変換トリガ制御レジスタ	11110000b	
0014Ch	TRCOPR_0	タイマRC_0出力波形操作レジスタ	00h	
0014Dh	TRCELCCR_0	タイマRC_0 ELC 連動制御レジスタ	00h	
0014Eh				
0014Fh				
00150h				
00151h				
00152h				
00153h				
00154h				
00155h				
00156h				
00157h				
00158h				
00159h				
0015Ah				
0015Bh				
0015Ch				
0015Dh				
0015Eh				
0015Fh				
00160h				
00161h				
00162h				
00163h				
00164h				
00165h				
00166h				
00167h				
00168h				
00169h				
0016Ah				
0016Bh				
0016Ch				
0016Dh				
0016Eh				
0016Fh				
00170h	TRESEC	タイマRE2カウンタデータレジスタ	00h	
00171h	TREMIN	タイマRE2コンペアデータレジスタ	00h	
00172h				
00173h				
00174h				
00175h				
00176h				
00177h	TRECR	タイマRE2制御レジスタ	00000100b	
00178h	TRECSR	タイマRE2カウントソース選択レジスタ	00001000b	
00179h				

注1. 空欄は予約領域です。アクセスしないでください。

表3.7 SFR一覧 (7) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
0017Ah	TREIFR	タイマRE2割り込みフラグレジスタ	00h	
0017Bh	TREIER	タイマRE2割り込み許可レジスタ	00h	
0017Ch				
0017Dh				
0017Eh				
0017Fh	TREPRC	タイマRE2プロテクトレジスタ	00h	
00180h	TRDELCCR_0	タイマRD_0 ELC 連動制御レジスタ	00h	
00181h				
00182h	TRDADCR_0	タイマRD_0 トリガ制御レジスタ	00h	
00183h	TRDSTR_0	タイマRD_0 スタートレジスタ	11111100b	
00184h	TRDMR_0	タイマRD_0 モードレジスタ	00001110b	
00185h	TRDPMR_0	タイマRD_0 PWM モードレジスタ	10001000b	
00186h	TRDFCR_0	タイマRD_0 機能制御レジスタ	10000000b	
00187h	TRDOER1_0	タイマRD_0 出力マスタ許可レジスタ1	FFh	
00188h	TRDOER2_0	タイマRD_0 出力マスタ許可レジスタ2	01111111b	
00189h	TRDOCR_0	タイマRD_0 出力制御レジスタ	00h	
0018Ah	TRDDF0_0	タイマRD_0 デジタルフィルタ機能選択レジスタ0	00h	
0018Bh	TRDDF1_0	タイマRD_0 デジタルフィルタ機能選択レジスタ1	00h	
0018Ch				
0018Dh				
0018Eh				
0018Fh				
00190h	TRDCR0_0	タイマRD_0 制御レジスタ0	00h	
00191h	TRDIORA0_0	タイマRD_0 I/O 制御レジスタA0	10001000b	
00192h	TRDIORC0_0	タイマRD_0 I/O 制御レジスタC0	10001000b	
00193h	TRDSR0_0	タイマRD_0 ステータスレジスタ0	11100000b	
00194h	TRDIER0_0	タイマRD_0 割り込み許可レジスタ0	11100000b	
00195h	TRDPOCR0_0	タイマRD_0 PWM モード出力レベル制御レジスタ0	11111000b	
00196h	TRD0_0	タイマRD_0 カウンタ0	0000h	
00197h				
00198h	TRDGRA0_0	タイマRD_0 ジェネラルレジスタA0	FFFFh	
00199h				
0019Ah	TRDGRB0_0	タイマRD_0 ジェネラルレジスタB0	FFFFh	
0019Bh				
0019Ch	TRDGRC0_0	タイマRD_0 ジェネラルレジスタC0	FFFFh	
0019Dh				
0019Eh	TRDGRD0_0	タイマRD_0 ジェネラルレジスタD0	FFFFh	
0019Fh				
001A0h	TRDCR1_0	タイマRD_0 制御レジスタ1	00h	
001A1h	TRDIORA1_0	タイマRD_0 I/O 制御レジスタA1	10001000b	
001A2h	TRDIORC1_0	タイマRD_0 I/O 制御レジスタC1	10001000b	
001A3h	TRDSR1_0	タイマRD_0 ステータスレジスタ1	11000000b	
001A4h	TRDIER1_0	タイマRD_0 割り込み許可レジスタ1	11100000b	
001A5h	TRDPOCR1_0	タイマRD_0 PWM モード出力レベル制御レジスタ1	11111000b	
001A6h	TRD1_0	タイマRD_0 カウンタ1	0000h	
001A7h				
001A8h	TRDGRA1_0	タイマRD_0 ジェネラルレジスタA1	FFFFh	
001A9h				
001AAh	TRDGRB1_0	タイマRD_0 ジェネラルレジスタB1	FFFFh	
001ABh				
001ACh	TRDGRC1_0	タイマRD_0 ジェネラルレジスタC1	FFFFh	
001ADh				
001AEh	TRDGRD1_0	タイマRD_0 ジェネラルレジスタD1	FFFFh	
001AFh				
001B0h				
~				
001FFh				

注1. 空欄は予約領域です。アクセスしないでください。

表3.8 SFR一覧 (8) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00200h	AD0	A/D レジスタ 0	00h	
00201h			00h	
00202h	AD1	A/D レジスタ 1	00h	
00203h			00h	
00204h	AD2	A/D レジスタ 2	00h	
00205h			00h	
00206h	AD3	A/D レジスタ 3	00h	
00207h			00h	
00208h	AD4	A/D レジスタ 4	00h	
00209h			00h	
0020Ah	AD5	A/D レジスタ 5	00h	
0020Bh			00h	
0020Ch	AD6	A/D レジスタ 6	00h	
0020Dh			00h	
0020Eh	AD7	A/D レジスタ 7	00h	
0020Fh			00h	
00210h				
00211h				
00212h				
00213h				
00214h	ADMOD	A/D モードレジスタ	00h	
00215h	ADINSEL	A/D 入力選択レジスタ	11000000b	
00216h	ADCON0	A/D 制御レジスタ 0	00h	
00217h	ADCON1	A/D 制御レジスタ 1	00h	
00218h				
00219h				
0021Ah				
0021Bh				
0021Ch				
0021Dh				
0021Eh				
0021Fh				
00220h				
00221h				
00222h				
00223h				
00224h				
00225h				
00226h				
00227h				
00228h	INTCMP	コンパレータ B 制御レジスタ 0	00h	
00229h				
0022Ah				
0022Bh				
0022Ch				
0022Dh				
0022Eh				
0022Fh				
00230h	INTEN	外部入力許可レジスタ 0	00h	
00231h	INTEN1	外部入力許可レジスタ 1	00h	
00232h	INTF	INT 入力フィルタ選択レジスタ 0	00h	
00233h	INTF1	INT 入力フィルタ選択レジスタ 1	00h	
00234h	INTPOL	INT 入力極性切り替えレジスタ	00h	
00235h				
00236h	KIEN	キー入力割り込み許可レジスタ	00h	
00237h				
00238h	MSTCR0	モジュールスタンバイコントロールレジスタ 0	00h	
00239h	MSTCR1	モジュールスタンバイコントロールレジスタ 1	00h	
0023Ah	MSTCR2	モジュールスタンバイコントロールレジスタ 2	00h	
0023Bh	MSTCR3	モジュールスタンバイコントロールレジスタ 3	00h	
0023Ch				
0023Dh				
0023Eh				
0023Fh				

注1. 空欄は予約領域です。アクセスしないでください。

表 3.9 SFR 一覧 (9) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00240h				
00241h				
00242h				
00243h				
00244h				
00245h				
00246h				
00247h				
00248h				
00249h				
0024Ah				
0024Bh				
0024Ch				
0024Dh				
0024Eh				
0024Fh				
00250h				
00251h				
00252h	FST	フラッシュメモリステータスレジスタ	10000X00b	
00253h				
00254h	FMR0	フラッシュメモリ制御レジスタ 0	00h	
00255h	FMR1	フラッシュメモリ制御レジスタ 1	00h	
00256h	FMR2	フラッシュメモリ制御レジスタ 2	00h	
00257h				
00258h				
00259h				
0025Ah				
0025Bh				
0025Ch				
0025Dh				
0025Eh				
0025Fh				
00260h	AIADR0L	アドレス一致割り込みアドレス 0L レジスタ	XXXXh	
00261h				
00262h	AIADR0H	アドレス一致割り込みアドレス 0H レジスタ	0000XXXXb	
00263h	AIEN0	アドレス一致割り込み許可 0 レジスタ	00h	
00264h	AIADR1L	アドレス一致割り込みアドレス 1L レジスタ	XXXXh	
00265h				
00266h	AIADR1H	アドレス一致割り込みアドレス 1H レジスタ	0000XXXXb	
00267h	AIEN1	アドレス一致割り込み許可 1 レジスタ	00h	
00268h				
00269h				
0026Ah				
0026Bh				
0026Ch				
0026Dh				
0026Eh				
0026Fh				
00270h				
00271h				
00272h				
00273h				
00274h				
00275h				
00276h				
00277h				
00278h				
00279h				
0027Ah				
0027Bh				
0027Ch				
0027Dh				
0027Eh				
0027Fh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.10 SFR一覧 (10) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00280h	DCTL	DTC起動制御レジスタ	00h	
00281h				
00282h				
00283h				
00284h				
00285h				
00286h				
00287h				
00288h	DTCEN0	DTC起動許可レジスタ0	00h	
00289h	DTCEN1	DTC起動許可レジスタ1	00h	
0028Ah	DTCEN2	DTC起動許可レジスタ2	00h	
0028Bh	DTCEN3	DTC起動許可レジスタ3	00h	
0028Ch	DTCEN4	DTC起動許可レジスタ4	00h	
0028Dh	DTCEN5	DTC起動許可レジスタ5	00h	
0028Eh	DTCEN6	DTC起動許可レジスタ6	00h	
0028Fh				
00290h	CRCSAR	SFR監視アドレスレジスタ	0000h	
00291h				
00292h	CRCMR	CRC制御レジスタ	00h	
00293h				
00294h	CRCD	CRCデータレジスタ	0000h	
00295h				
00296h	CRCIN	CRCインプットレジスタ	00h	
00297h				
00298h				
00299h				
0029Ah				
0029Bh				
0029Ch				
0029Dh				
0029Eh				
0029Fh				
002A0h	TRJ_0SR	タイマRJ_0端子選択レジスタ	00h	
002A1h	TRJ_1SR	タイマRJ_1端子選択レジスタ	00h	
002A2h				
002A3h				
002A4h	TRBSR	タイマRB2端子選択レジスタ	00h	
002A5h	TRCCLKSR	タイマRCCLK端子選択レジスタ	00h	
002A6h	TRC_0SR0	タイマRC_0端子選択レジスタ0	00h	
002A7h	TRC_0SR1	タイマRC_0端子選択レジスタ1	00h	
002A8h				
002A9h	TRD_0SR0	タイマRD_0端子選択レジスタ0	00h	
002AAh	TRD_0SR1	タイマRD_0端子選択レジスタ1	00h	
002ABh				
002ACh				
002ADh	TIMSR	タイマ端子選択レジスタ	00h	
002AEh	U_0SR	UART0_0端子選択レジスタ	00h	
002AFh	U_1SR	UART0_1端子選択レジスタ	00h	
002B0h				
002B1h				
002B2h	U2SR0	UART2端子選択レジスタ0	00h	
002B3h	U2SR1	UART2端子選択レジスタ1	00h	
002B4h	SSUIC_0SR	SSU/IIC_0端子選択レジスタ	00h	
002B5h				
002B6h	INTSR0	INT割り込み入力端子選択レジスタ0	00h	
002B7h				
002B8h				
002B9h	PINSR	入出力機能端子選択レジスタ	00h	
002BAh				
002BBh				
002BCh				
002BDh				
002BEh	PMCSEL	端子配置選択レジスタ	00h	
002BFh				

注1. 空欄は予約領域です。アクセスしないでください。

表 3.11 SFR 一覧 (11) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
002C0h	PUR0	ブルアップ制御レジスタ 0	00h	
002C1h	PUR1	ブルアップ制御レジスタ 1	00h	
002C2h	PUR2	ブルアップ制御レジスタ 2	00h	
002C3h				
002C4h				
002C5h				
002C6h				
002C7h				
002C8h	P1DRR	ポート P1 駆動能力制御レジスタ	00h	
002C9h	P2DRR	ポート P2 駆動能力制御レジスタ	00h	
002CAh				
002CBh				
002CCh	DRR0	駆動能力制御レジスタ 0	00h	
002CDh	DRR1	駆動能力制御レジスタ 1	00h	
002CEh	DRR2	駆動能力制御レジスタ 2	00h	
002CFh				
002D0h	VLT0	入力しきい値制御レジスタ 0	00h	
002D1h	VLT1	入力しきい値制御レジスタ 1	00h	
002D2h	VLT2	入力しきい値制御レジスタ 2	00h	
002D3h				
002D4h				
002D5h				
002D6h				
002D7h				
002D8h				
002D9h				
002DAh				
002DBh				
002DCh				
002DDh				
002DEh				
002DFh				
002E0h	PORT0	ポート P0 レジスタ	XXh	
002E1h	PORT1	ポート P1 レジスタ	XXh	
002E2h	PD0	ポート P0 方向レジスタ	00h	
002E3h	PD1	ポート P1 方向レジスタ	00h	
002E4h	PORT2	ポート P2 レジスタ	XXh	
002E5h	PORT3	ポート P3 レジスタ	XXh	
002E6h	PD2	ポート P2 方向レジスタ	00h	
002E7h	PD3	ポート P3 方向レジスタ	00h	
002E8h	PORT4	ポート P4 レジスタ	XXh	
002E9h				
002EAh	PD4	ポート P4 方向レジスタ	00h	
002EBh				
002ECh	PORT6	ポート P6 レジスタ	XXh	
002EDh				
002EEh	PD6	ポート P6 方向レジスタ	00h	
002EFh				
002F0h				
002F1h	PORT9	ポート P9 レジスタ	XXh	
002F2h				
002F3h	PD9	ポート P9 方向レジスタ	00h	
002F4h				
002F5h				
002F6h				
002F7h				
002F8h				
002F9h				
002FAh				
002FBh				
002FCh				
002FDh				
002FEh				
002FFh				
00300h ~ 003FFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.12 SFR一覧 (12) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
00400h ~ 02BFFh	内蔵RAM	内蔵RAM		
02C00h ~ 069FFh				
06A00h	ELSELR0	イベント出力先選択レジスタ 0	00h	
06A01h	ELSELR1	イベント出力先選択レジスタ 1	00h	
06A02h	ELSELR2	イベント出力先選択レジスタ 2	00h	
06A03h	ELSELR3	イベント出力先選択レジスタ 3	00h	
06A04h	ELSELR4	イベント出力先選択レジスタ 4	00h	
06A05h				
06A06h				
06A07h				
06A08h	ELSELR8	イベント出力先選択レジスタ 8	00h	
06A09h	ELSELR9	イベント出力先選択レジスタ 9	00h	
06A0Ah	ELSELR10	イベント出力先選択レジスタ 10	00h	
06A0Bh	ELSELR11	イベント出力先選択レジスタ 11	00h	
06A0Ch	ELSELR12	イベント出力先選択レジスタ 12	00h	
06A0Dh	ELSELR13	イベント出力先選択レジスタ 13	00h	
06A0Eh	ELSELR14	イベント出力先選択レジスタ 14	00h	
06A0Fh	ELSELR15	イベント出力先選択レジスタ 15	00h	
06A10h	ELSELR16	イベント出力先選択レジスタ 16	00h	
06A11h	ELSELR17	イベント出力先選択レジスタ 17	00h	
06A12h	ELSELR18	イベント出力先選択レジスタ 18	00h	
06A13h	ELSELR19	イベント出力先選択レジスタ 19	00h	
06A14h	ELSELR20	イベント出力先選択レジスタ 20	00h	
06A15h	ELSELR21	イベント出力先選択レジスタ 21	00h	
06A16h	ELSELR22	イベント出力先選択レジスタ 22	00h	
06A17h	ELSELR23	イベント出力先選択レジスタ 23	00h	
06A18h	ELSELR24	イベント出力先選択レジスタ 24	00h	
06A19h				
06A1Ah				
06A1Bh				
06A1Ch				
06A1Dh				
06A1Eh				
06A1Fh				
06A20h				
06A21h				
06A22h				
06A23h				
06A24h				
06A25h				
06A26h				
06A27h				
06A28h				
06A29h				
06A2Ah				
06A2Bh				
06A2Ch				
06A2Dh				
06A2Eh				
06A2Fh				
06A30h				
06A31h ~ 06BFFh				
06C00h		DTC 転送ベクタ 0 格納領域	XXh	
06C01h		DTC 転送ベクタ 1 格納領域	XXh	
06C02h		DTC 転送ベクタ 2 格納領域	XXh	
06C03h		DTC 転送ベクタ 3 格納領域	XXh	
06C04h		DTC 転送ベクタ 4 格納領域	XXh	
06C05h				
06C06h				
06C07h				
06C08h		DTC 転送ベクタ 8 格納領域	XXh	
06C09h		DTC 転送ベクタ 9 格納領域	XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.13 SFR一覧 (13) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C0Ah		DTC転送ベクタ10格納領域	XXh	
06C0Bh		DTC転送ベクタ11格納領域	XXh	
06C0Ch		DTC転送ベクタ12格納領域	XXh	
06C0Dh		DTC転送ベクタ13格納領域	XXh	
06C0Eh		DTC転送ベクタ14格納領域	XXh	
06C0Fh		DTC転送ベクタ15格納領域	XXh	
06C10h		DTC転送ベクタ16格納領域	XXh	
06C11h		DTC転送ベクタ17格納領域	XXh	
06C12h		DTC転送ベクタ18格納領域	XXh	
06C13h		DTC転送ベクタ19格納領域	XXh	
06C14h				
06C15h				
06C16h		DTC転送ベクタ22格納領域	XXh	
06C17h		DTC転送ベクタ23格納領域	XXh	
06C18h		DTC転送ベクタ24格納領域	XXh	
06C19h		DTC転送ベクタ25格納領域	XXh	
06C1Ah		DTC転送ベクタ26格納領域	XXh	
06C1Bh		DTC転送ベクタ27格納領域	XXh	
06C1Ch		DTC転送ベクタ28格納領域	XXh	
06C1Dh		DTC転送ベクタ29格納領域	XXh	
06C1Eh		DTC転送ベクタ30格納領域	XXh	
06C1Fh		DTC転送ベクタ31格納領域	XXh	
06C20h		DTC転送ベクタ32格納領域	XXh	
06C21h		DTC転送ベクタ33格納領域	XXh	
06C22h				
06C23h				
06C24h				
06C25h				
06C26h		DTC転送ベクタ38格納領域	XXh	
06C27h		DTC転送ベクタ39格納領域	XXh	
06C28h				
06C29h				
06C2Ah		DTC転送ベクタ42格納領域	XXh	
06C2Bh				
06C2Ch				
06C2Dh				
06C2Eh				
06C2Fh				
06C30h				
06C31h		DTC転送ベクタ49格納領域	XXh	
06C32h		DTC転送ベクタ50格納領域	XXh	
06C33h		DTC転送ベクタ51格納領域	XXh	
06C34h		DTC転送ベクタ52格納領域	XXh	
06C35h				
06C36h				
06C37h				
06C38h				
06C39h				
06C3Ah				
06C3Bh				
06C3Ch				
06C3Dh				
06C3Eh				
06C3Fh				
06C40h	DTCCR0	DTC制御レジスタ0	XXh	
06C41h	DTBLS0	DTCブロックサイズレジスタ0	XXh	
06C42h	DTCC0	DTC転送回数レジスタ0	XXh	
06C43h	DTRL0	DTC転送回数リロードレジスタ0	XXh	
06C44h	DTSAR0	DTCソースアドレスレジスタ0	XXXXh	
06C45h				
06C46h	DTDAR0	DTCデスティネーションアドレスレジスタ0	XXXXh	
06C47h				
06C48h	DTCCR1	DTC制御レジスタ1	XXh	
06C49h	DTBLS1	DTCブロックサイズレジスタ1	XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.14 SFR一覧 (14) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C4Ah	DTCCT1	DTC転送回数レジスタ1	XXh	
06C4Bh	DTRLD1	DTC転送回数リロードレジスタ1	XXh	
06C4Ch	DTSAR1	DTCソースアドレスレジスタ1	XXXXh	
06C4Dh				
06C4Eh	DTDAR1	DTCデスティネーションアドレスレジスタ1	XXXXh	
06C4Fh				
06C50h	DTCCR2	DTC制御レジスタ2	XXh	
06C51h	DTBLS2	DTCブロックサイズレジスタ2	XXh	
06C52h	DTCCT2	DTC転送回数レジスタ2	XXh	
06C53h	DTRLD2	DTC転送回数リロードレジスタ2	XXh	
06C54h	DTSAR2	DTCソースアドレスレジスタ2	XXXXh	
06C55h				
06C56h	DTDAR2	DTCデスティネーションアドレスレジスタ2	XXXXh	
06C57h				
06C58h	DTCCR3	DTC制御レジスタ3	XXh	
06C59h	DTBLS3	DTCブロックサイズレジスタ3	XXh	
06C5Ah	DTCCT3	DTC転送回数レジスタ3	XXh	
06C5Bh	DTRLD3	DTC転送回数リロードレジスタ3	XXh	
06C5Ch	DTSAR3	DTCソースアドレスレジスタ3	XXXXh	
06C5Dh				
06C5Eh	DTDAR3	DTCデスティネーションアドレスレジスタ3	XXXXh	
06C5Fh				
06C60h	DTCCR4	DTC制御レジスタ4	XXh	
06C61h	DTBLS4	DTCブロックサイズレジスタ4	XXh	
06C62h	DTCCT4	DTC転送回数レジスタ4	XXh	
06C63h	DTRLD4	DTC転送回数リロードレジスタ4	XXh	
06C64h	DTSAR4	DTCソースアドレスレジスタ4	XXXXh	
06C65h				
06C66h	DTDAR4	DTCデスティネーションアドレスレジスタ4	XXXXh	
06C67h				
06C68h	DTCCR5	DTC制御レジスタ5	XXh	
06C69h	DTBLS5	DTCブロックサイズレジスタ5	XXh	
06C6Ah	DTCCT5	DTC転送回数レジスタ5	XXh	
06C6Bh	DTRLD5	DTC転送回数リロードレジスタ5	XXh	
06C6Ch	DTSAR5	DTCソースアドレスレジスタ5	XXXXh	
06C6Dh				
06C6Eh	DTDAR5	DTCデスティネーションアドレスレジスタ5	XXXXh	
06C6Fh				
06C70h	DTCCR6	DTC制御レジスタ6	XXh	
06C71h	DTBLS6	DTCブロックサイズレジスタ6	XXh	
06C72h	DTCCT6	DTC転送回数レジスタ6	XXh	
06C73h	DTRLD6	DTC転送回数リロードレジスタ6	XXh	
06C74h	DTSAR6	DTCソースアドレスレジスタ6	XXXXh	
06C75h				
06C76h	DTDAR6	DTCデスティネーションアドレスレジスタ6	XXXXh	
06C77h				
06C78h	DTCCR7	DTC制御レジスタ7	XXh	
06C79h	DTBLS7	DTCブロックサイズレジスタ7	XXh	
06C7Ah	DTCCT7	DTC転送回数レジスタ7	XXh	
06C7Bh	DTRLD7	DTC転送回数リロードレジスタ7	XXh	
06C7Ch	DTSAR7	DTCソースアドレスレジスタ7	XXXXh	
06C7Dh				
06C7Eh	DTDAR7	DTCデスティネーションアドレスレジスタ7	XXXXh	
06C7Fh				
06C80h	DTCCR8	DTC制御レジスタ8	XXh	
06C81h	DTBLS8	DTCブロックサイズレジスタ8	XXh	
06C82h	DTCCT8	DTC転送回数レジスタ8	XXh	
06C83h	DTRLD8	DTC転送回数リロードレジスタ8	XXh	
06C84h	DTSAR8	DTCソースアドレスレジスタ8	XXXXh	
06C85h				
06C86h	DTDAR8	DTCデスティネーションアドレスレジスタ8	XXXXh	
06C87h				
06C88h	DTCCR9	DTC制御レジスタ9	XXh	
06C89h	DTBLS9	DTCブロックサイズレジスタ9	XXh	
06C8Ah	DTCCT9	DTC転送回数レジスタ9	XXh	
06C8Bh	DTRLD9	DTC転送回数リロードレジスタ9	XXh	
06C8Ch	DTSAR9	DTCソースアドレスレジスタ9	XXXXh	
06C8Dh				
06C8Eh	DTDAR9	DTCデスティネーションアドレスレジスタ9	XXXXh	
06C8Fh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.15 SFR一覧 (15) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06C90h	DTCCR10	DTC制御レジスタ10	XXh	
06C91h	DTBLS10	DTCブロックサイズレジスタ10	XXh	
06C92h	DTCCT10	DTC転送回数レジスタ10	XXh	
06C93h	DTRLD10	DTC転送回数リロードレジスタ10	XXh	
06C94h	DTSAR10	DTCソースアドレスレジスタ10	XXXXh	
06C95h				
06C96h	DTDAR10	DTCデスティネーションアドレスレジスタ10	XXXXh	
06C97h				
06C98h	DTCCR11	DTC制御レジスタ11	XXh	
06C99h	DTBLS11	DTCブロックサイズレジスタ11	XXh	
06CA0h	DTCCT11	DTC転送回数レジスタ11	XXh	
06CA1h	DTRLD11	DTC転送回数リロードレジスタ11	XXh	
06CA2h	DTSAR11	DTCソースアドレスレジスタ11	XXXXh	
06CA3h				
06CA4h	DTDAR11	DTCデスティネーションアドレスレジスタ11	XXXXh	
06CA5h				
06CA6h	DTCCR12	DTC制御レジスタ12	XXh	
06CA7h	DTBLS12	DTCブロックサイズレジスタ12	XXh	
06CA8h	DTCCT12	DTC転送回数レジスタ12	XXh	
06CA9h	DTRLD12	DTC転送回数リロードレジスタ12	XXh	
06CAAh	DTSAR12	DTCソースアドレスレジスタ12	XXXXh	
06CABh				
06CACh	DTDAR12	DTCデスティネーションアドレスレジスタ12	XXXXh	
06CADh				
06CAEh	DTCCR13	DTC制御レジスタ13	XXh	
06CAFh	DTBLS13	DTCブロックサイズレジスタ13	XXh	
06CB0h	DTCCT13	DTC転送回数レジスタ13	XXh	
06CB1h	DTRLD13	DTC転送回数リロードレジスタ13	XXh	
06CB2h	DTSAR13	DTCソースアドレスレジスタ13	XXXXh	
06CB3h				
06CB4h	DTDAR13	DTCデスティネーションアドレスレジスタ13	XXXXh	
06CB5h				
06CB6h	DTCCR14	DTC制御レジスタ14	XXh	
06CB7h	DTBLS14	DTCブロックサイズレジスタ14	XXh	
06CB8h	DTCCT14	DTC転送回数レジスタ14	XXh	
06CB9h	DTRLD14	DTC転送回数リロードレジスタ14	XXh	
06CBAh	DTSAR14	DTCソースアドレスレジスタ14	XXXXh	
06CBBh				
06CBCh	DTDAR14	DTCデスティネーションアドレスレジスタ14	XXXXh	
06CBDh				
06CBEh	DTCCR15	DTC制御レジスタ15	XXh	
06CBFh	DTBLS15	DTCブロックサイズレジスタ15	XXh	
06CC0h	DTCCT15	DTC転送回数レジスタ15	XXh	
06CC1h	DTRLD15	DTC転送回数リロードレジスタ15	XXh	
06CC2h	DTSAR15	DTCソースアドレスレジスタ15	XXXXh	
06CC3h				
06CC4h	DTDAR15	DTCデスティネーションアドレスレジスタ15	XXXXh	
06CC5h				
06CC6h	DTCCR16	DTC制御レジスタ16	XXh	
06CC7h	DTBLS16	DTCブロックサイズレジスタ16	XXh	
06CC8h	DTCCT16	DTC転送回数レジスタ16	XXh	
06CC9h	DTRLD16	DTC転送回数リロードレジスタ16	XXh	
06CCAh	DTSAR16	DTCソースアドレスレジスタ16	XXXXh	
06CCBh				
06CCCh	DTDAR16	DTCデスティネーションアドレスレジスタ16	XXXXh	
06CCDh				
06CCFh	DTCCR17	DTC制御レジスタ17	XXh	
06CE0h	DTBLS17	DTCブロックサイズレジスタ17	XXh	
06CE1h	DTCCT17	DTC転送回数レジスタ17	XXh	
06CE2h	DTRLD17	DTC転送回数リロードレジスタ17	XXh	
06CE3h	DTSAR17	DTCソースアドレスレジスタ17	XXXXh	
06CE4h				
06CE5h	DTDAR17	DTCデスティネーションアドレスレジスタ17	XXXXh	
06CE6h				
06CE7h				
06CE8h				
06CE9h				
06CEAh				
06CEBh				
06CECh				
06CEDh				
06CEEh				
06CEFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.16 SFR一覧 (16) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06CD0h	DTCCR18	DTC制御レジスタ18	XXh	
06CD1h	DTBLS18	DTCブロックサイズレジスタ18	XXh	
06CD2h	DTCCT18	DTC転送回数レジスタ18	XXh	
06CD3h	DTRL18	DTC転送回数リロードレジスタ18	XXh	
06CD4h	DTSAR18	DTCソースアドレスレジスタ18	XXXXh	
06CD5h				
06CD6h	DTDAR18	DTCデスティネーションアドレスレジスタ18	XXXXh	
06CD7h				
06CD8h	DTCCR19	DTC制御レジスタ19	XXh	
06CD9h	DTBLS19	DTCブロックサイズレジスタ19	XXh	
06CDAh	DTCCT19	DTC転送回数レジスタ19	XXh	
06CDBh	DTRL19	DTC転送回数リロードレジスタ19	XXh	
06CDCh	DTSAR19	DTCソースアドレスレジスタ19	XXXXh	
06CDDh				
06CDEh	DTDAR19	DTCデスティネーションアドレスレジスタ19	XXXXh	
06CDFh				
06CE0h	DTCCR20	DTC制御レジスタ20	XXh	
06CE1h	DTBLS20	DTCブロックサイズレジスタ20	XXh	
06CE2h	DTCCT20	DTC転送回数レジスタ20	XXh	
06CE3h	DTRL20	DTC転送回数リロードレジスタ20	XXh	
06CE4h	DTSAR20	DTCソースアドレスレジスタ20	XXXXh	
06CE5h				
06CE6h	DTDAR20	DTCデスティネーションアドレスレジスタ20	XXXXh	
06CE7h				
06CE8h	DTCCR21	DTC制御レジスタ21	XXh	
06CE9h	DTBLS21	DTCブロックサイズレジスタ21	XXh	
06CEAh	DTCCT21	DTC転送回数レジスタ21	XXh	
06CEBh	DTRL21	DTC転送回数リロードレジスタ21	XXh	
06CECh	DTSAR21	DTCソースアドレスレジスタ21	XXXXh	
06CEDh				
06CEEh	DTDAR21	DTCデスティネーションアドレスレジスタ21	XXXXh	
06CEFh				
06CF0h	DTCCR22	DTC制御レジスタ22	XXh	
06CF1h	DTBLS22	DTCブロックサイズレジスタ22	XXh	
06CF2h	DTCCT22	DTC転送回数レジスタ22	XXh	
06CF3h	DTRL22	DTC転送回数リロードレジスタ22	XXh	
06CF4h	DTSAR22	DTCソースアドレスレジスタ22	XXXXh	
06CF5h				
06CF6h	DTDAR22	DTCデスティネーションアドレスレジスタ22	XXXXh	
06CF7h				
06CF8h	DTCCR23	DTC制御レジスタ23	XXh	
06CF9h	DTBLS23	DTCブロックサイズレジスタ23	XXh	
06CFAh	DTCCT23	DTC転送回数レジスタ23	XXh	
06CFBh	DTRL23	DTC転送回数リロードレジスタ23	XXh	
06CFCh	DTSAR23	DTCソースアドレスレジスタ23	XXXXh	
06CFDh				
06CFEh	DTDAR23	DTCデスティネーションアドレスレジスタ23	XXXXh	
06CFFh				
06D00h ~ 06DFFh				
06E00h	CMB0_0	CAN_0 メールボックス0	XXh	
06E01h			XXh	
06E02h			XXh	
06E03h			XXh	
06E04h			XXh	
06E05h			XXh	
06E06h			XXh	
06E07h			XXh	
06E08h			XXh	
06E09h			XXh	
06E0Ah			XXh	
06E0Bh			XXh	
06E0Ch			XXh	
06E0Dh			XXh	
06E0Eh			XXh	
06E0Fh			XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.17 SFR一覧 (17) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06E10h	CMB1_0	CAN_0 メールボックス 1	XXh	
06E11h			XXh	
06E12h			XXh	
06E13h			XXh	
06E14h			XXh	
06E15h			XXh	
06E16h			XXh	
06E17h			XXh	
06E18h			XXh	
06E19h			XXh	
06E1Ah			XXh	
06E1Bh			XXh	
06E1Ch			XXh	
06E1Dh			XXh	
06E1Eh			XXh	
06E1Fh			XXh	
06E20h	CMB2_0	CAN_0 メールボックス 2	XXh	
06E21h			XXh	
06E22h			XXh	
06E23h			XXh	
06E24h			XXh	
06E25h			XXh	
06E26h			XXh	
06E27h			XXh	
06E28h			XXh	
06E29h			XXh	
06E2Ah			XXh	
06E2Bh			XXh	
06E2Ch			XXh	
06E2Dh			XXh	
06E2Eh			XXh	
06E2Fh			XXh	
06E30h	CMB3_0	CAN_0 メールボックス 3	XXh	
06E31h			XXh	
06E32h			XXh	
06E33h			XXh	
06E34h			XXh	
06E35h			XXh	
06E36h			XXh	
06E37h			XXh	
06E38h			XXh	
06E39h			XXh	
06E3Ah			XXh	
06E3Bh			XXh	
06E3Ch			XXh	
06E3Dh			XXh	
06E3Eh			XXh	
06E3Fh			XXh	
06E40h	CMB4_0	CAN_0 メールボックス 4	XXh	
06E41h			XXh	
06E42h			XXh	
06E43h			XXh	
06E44h			XXh	
06E45h			XXh	
06E46h			XXh	
06E47h			XXh	
06E48h			XXh	
06E49h			XXh	
06E4Ah			XXh	
06E4Bh			XXh	
06E4Ch			XXh	
06E4Dh			XXh	
06E4Eh			XXh	
06E4Fh			XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.18 SFR一覧 (18) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06E50h	CMB5_0	CAN_0 メールボックス 5	XXh	
06E51h			XXh	
06E52h			XXh	
06E53h			XXh	
06E54h			XXh	
06E55h			XXh	
06E56h			XXh	
06E57h			XXh	
06E58h			XXh	
06E59h			XXh	
06E5Ah			XXh	
06E5Bh			XXh	
06E5Ch			XXh	
06E5Dh			XXh	
06E5Eh			XXh	
06E5Fh			XXh	
06E60h	CMB6_0	CAN_0 メールボックス 6	XXh	
06E61h			XXh	
06E62h			XXh	
06E63h			XXh	
06E64h			XXh	
06E65h			XXh	
06E66h			XXh	
06E67h			XXh	
06E68h			XXh	
06E69h			XXh	
06E6Ah			XXh	
06E6Bh			XXh	
06E6Ch			XXh	
06E6Dh			XXh	
06E6Eh			XXh	
06E6Fh			XXh	
06E70h	CMB7_0	CAN_0 メールボックス 7	XXh	
06E71h			XXh	
06E72h			XXh	
06E73h			XXh	
06E74h			XXh	
06E75h			XXh	
06E76h			XXh	
06E77h			XXh	
06E78h			XXh	
06E79h			XXh	
06E7Ah			XXh	
06E7Bh			XXh	
06E7Ch			XXh	
06E7Dh			XXh	
06E7Eh			XXh	
06E7Fh			XXh	
06E80h	CMB8_0	CAN_0 メールボックス 8	XXh	
06E81h			XXh	
06E82h			XXh	
06E83h			XXh	
06E84h			XXh	
06E85h			XXh	
06E86h			XXh	
06E87h			XXh	
06E88h			XXh	
06E89h			XXh	
06E8Ah			XXh	
06E8Bh			XXh	
06E8Ch			XXh	
06E8Dh			XXh	
06E8Eh			XXh	
06E8Fh			XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.19 SFR一覧 (19) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06E90h	CMB9_0	CAN_0 メールボックス 9	XXh	
06E91h			XXh	
06E92h			XXh	
06E93h			XXh	
06E94h			XXh	
06E95h			XXh	
06E96h			XXh	
06E97h			XXh	
06E98h			XXh	
06E99h			XXh	
06E9Ah			XXh	
06E9Bh			XXh	
06E9Ch			XXh	
06E9Dh			XXh	
06E9Eh			XXh	
06E9Fh			XXh	
06EA0h	CMB10_0	CAN_0 メールボックス 10	XXh	
06EA1h			XXh	
06EA2h			XXh	
06EA3h			XXh	
06EA4h			XXh	
06EA5h			XXh	
06EA6h			XXh	
06EA7h			XXh	
06EA8h			XXh	
06EA9h			XXh	
06EAAh			XXh	
06EABh			XXh	
06EACh			XXh	
06EADh			XXh	
06EAEh			XXh	
06EAFh			XXh	
06EB0h	CMB11_0	CAN_0 メールボックス 11	XXh	
06EB1h			XXh	
06EB2h			XXh	
06EB3h			XXh	
06EB4h			XXh	
06EB5h			XXh	
06EB6h			XXh	
06EB7h			XXh	
06EB8h			XXh	
06EB9h			XXh	
06EBAh			XXh	
06EBBh			XXh	
06EBCh			XXh	
06EBDh			XXh	
06EBEh			XXh	
06EBFh			XXh	
06EC0h	CMB12_0	CAN_0 メールボックス 12	XXh	
06EC1h			XXh	
06EC2h			XXh	
06EC3h			XXh	
06EC4h			XXh	
06EC5h			XXh	
06EC6h			XXh	
06EC7h			XXh	
06EC8h			XXh	
06EC9h			XXh	
06ECAh			XXh	
06ECBh			XXh	
06ECCh			XXh	
06ECDh			XXh	
06ECEh			XXh	
06ECFh			XXh	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.20 SFR一覧 (20) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06ED0h	CMB13_0	CAN_0 メールボックス 13	XXh	
06ED1h			XXh	
06ED2h			XXh	
06ED3h			XXh	
06ED4h			XXh	
06ED5h			XXh	
06ED6h			XXh	
06ED7h			XXh	
06ED8h			XXh	
06ED9h			XXh	
06EDAh			XXh	
06EDBh			XXh	
06EDCh			XXh	
06EDDh			XXh	
06EDEh			XXh	
06EDFh			XXh	
06EE0h	CMB14_0	CAN_0 メールボックス 14	XXh	
06EE1h			XXh	
06EE2h			XXh	
06EE3h			XXh	
06EE4h			XXh	
06EE5h			XXh	
06EE6h			XXh	
06EE7h			XXh	
06EE8h			XXh	
06EE9h			XXh	
06EEAh			XXh	
06EEBh			XXh	
06EECh			XXh	
06EEDh			XXh	
06EEEh			XXh	
06EEFh			XXh	
06EF0h	CMB15_0	CAN_0 メールボックス 15	XXh	
06EF1h			XXh	
06EF2h			XXh	
06EF3h			XXh	
06EF4h			XXh	
06EF5h			XXh	
06EF6h			XXh	
06EF7h			XXh	
06EF8h			XXh	
06EF9h			XXh	
06EFAh			XXh	
06EFBh			XXh	
06EFC			XXh	
06EFDh			XXh	
06EFEh			XXh	
06EFFh			XXh	
06F00h				
06F01h				
06F02h				
06F03h				
06F04h				
06F05h				
06F06h				
06F07h				
06F08h				
06F09h				
06F0Ah				
06F0Bh				
06F0Ch				
06F0Dh				
06F0Eh				
06F0Fh				

X：不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.21 SFR一覧 (21) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06F10h	CMKR0_0	CAN_0 マスクレジスタ 0	XXh	
06F11h			XXh	
06F12h			XXh	
06F13h			XXh	
06F14h	CMKR1_0	CAN_0 マスクレジスタ 1	XXh	
06F15h			XXh	
06F16h			XXh	
06F17h			XXh	
06F18h	CMKR2_0	CAN_0 マスクレジスタ 2	XXh	
06F19h			XXh	
06F1Ah			XXh	
06F1Bh			XXh	
06F1Ch	CMKR3_0	CAN_0 マスクレジスタ 3	XXh	
06F1Dh			XXh	
06F1Eh			XXh	
06F1Fh			XXh	
06F20h	CFIDCR0_0	CAN_0 FIFO 受信 ID 比較レジスタ 0	XXh	
06F21h			XXh	
06F22h			XXh	
06F23h			XXh	
06F24h	CFIDCR1_0	CAN_0 FIFO 受信 ID 比較レジスタ 1	XXh	
06F25h			XXh	
06F26h			XXh	
06F27h			XXh	
06F28h				
06F29h				
06F2Ah	CMKIVLR_0	CAN_0 マスク無効レジスタ	XXh	
06F2Bh			XXh	
06F2Ch				
06F2Dh				
06F2Eh	CMIER_0	CAN_0 メールボックス割り込み許可レジスタ	XXh	
06F2Fh			XXh	
06F30h	CMCTL0_0	CAN_0 メッセージ制御レジスタ 0	00h	
06F31h	CMCTL1_0	CAN_0 メッセージ制御レジスタ 1	00h	
06F32h	CMCTL2_0	CAN_0 メッセージ制御レジスタ 2	00h	
06F33h	CMCTL3_0	CAN_0 メッセージ制御レジスタ 3	00h	
06F34h	CMCTL4_0	CAN_0 メッセージ制御レジスタ 4	00h	
06F35h	CMCTL5_0	CAN_0 メッセージ制御レジスタ 5	00h	
06F36h	CMCTL6_0	CAN_0 メッセージ制御レジスタ 6	00h	
06F37h	CMCTL7_0	CAN_0 メッセージ制御レジスタ 7	00h	
06F38h	CMCTL8_0	CAN_0 メッセージ制御レジスタ 8	00h	
06F39h	CMCTL9_0	CAN_0 メッセージ制御レジスタ 9	00h	
06F3Ah	CMCTL10_0	CAN_0 メッセージ制御レジスタ 10	00h	
06F3Bh	CMCTL11_0	CAN_0 メッセージ制御レジスタ 11	00h	
06F3Ch	CMCTL12_0	CAN_0 メッセージ制御レジスタ 12	00h	
06F3Dh	CMCTL13_0	CAN_0 メッセージ制御レジスタ 13	00h	
06F3Eh	CMCTL14_0	CAN_0 メッセージ制御レジスタ 14	00h	
06F3Fh	CMCTL15_0	CAN_0 メッセージ制御レジスタ 15	00h	
06F40h	CCTLR_0	CAN_0 制御レジスタ	00000101b	
06F41h			00h	
06F42h	CSTR_0	CAN_0 ステータスレジスタ	00000101b	
06F43h			00h	
06F44h	CBCR_0	CAN_0 ビットコンフィグレーションレジスタ	00h	
06F45h			00h	
06F46h			00h	
06F47h	CCLKR_0	CAN_0 クロック選択レジスタ	00h	
06F48h	CRFCR_0	CAN_0 受信 FIFO 制御レジスタ	10000000b	
06F49h	CRFPCR_0	CAN_0 受信 FIFO ポインタ制御レジスタ	XXh	
06F4Ah	CTFCR_0	CAN_0 送信 FIFO 制御レジスタ	10000000b	
06F4Bh	CTFPCR_0	CAN_0 送信 FIFO ポインタ制御レジスタ	XXh	
06F4Ch	CEIER_0	CAN_0 エラー割り込み許可レジスタ	00h	
06F4Dh	CEIFR_0	CAN_0 エラー割り込み要因判定レジスタ	00h	
06F4Eh	CRECR_0	CAN_0 受信エラーカウントレジスタ	00h	
06F4Fh	CTECR_0	CAN_0 送信エラーカウントレジスタ	00h	

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.22 SFR一覧 (22) (注1)

アドレス	シンボル	レジスタ名	リセット後の値	備考
06F50h	CECSR_0	CAN_0 エラーコード格納レジスタ	00h	
06F51h	CCSSR_0	CAN_0 チャネルサーチサポートレジスタ	XXh	
06F52h	CMSSR_0	CAN_0 メールボックスサーチステータスレジスタ	10000000b	
06F53h	CMSMR_0	CAN_0 メールボックスサーチモードレジスタ	00h	
06F54h	CTSR_0	CAN_0 タイムスタンプレジスタ	0000h	
06F55h				
06F56h	CAFSR_0	CAN_0 アクセプタンスフィルタサポートレジスタ	XXh	
06F57h			XXh	
06F58h	CTCR_0	CAN_0 テスト制御レジスタ	00h	
06F59h				
06F5Ah				
06F5Bh				
06F5Ch				
06F5Dh				
06F5Eh				
06F5Fh				
06F60h				
06F61h				
06F62h				
06F63h				
06F64h				
06F65h				
06F66h				
06F67h				
06F68h				
06F69h				
06F6Ah				
06F6Bh				
06F6Ch				
06F6Dh				
06F6Eh				
06F6Fh				
06F70h				
06F71h				
06F72h				
06F73h				
06F74h				
06F75h				
06F76h				
06F77h				
06F78h				
06F79h				
06F7Ah				
06F7Bh				
06F7Ch				
06F7Dh				
06F7Eh	CANISR_0	CAN_0 割り込みステータスレジスタ	00h	
06F7Fh	CANIE_0	CAN_0 割り込み制御レジスタ	00h	
06F80h ~ 06FFFh				

X: 不定

注1. 空欄は予約領域です。アクセスしないでください。

表3.23 IDコード領域、オプション機能選択領域

アドレス	シンボル	領域名	リセット後の値	備考
0FFDBh	OFS2	オプション機能選択レジスタ2	(注1)	
0FFDFh	ID1		(注2)	
0FFE3h	ID2		(注2)	
0FFEBh	ID3		(注2)	
0FFEFh	ID4		(注2)	
0FFF3h	ID5		(注2)	
0FFF7h	ID6		(注2)	
0FFFBh	ID7		(注2)	
0FFFFh	OFS	オプション機能選択レジスタ	(注1)	

注1. オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。オプション機能選択領域に追加書き込みをしないでください。オプション機能選択領域を含むブロックを消去すると、オプション機能選択領域はFFhになります。

注2. IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。IDコード領域に追加書き込みをしないでください。IDコード領域を含むブロックを消去すると、IDコード領域はFFhになります。

4. バスアクセス

4.1 バスアクセス

ROM、RAM、DTC ベクタ領域、DTC コントロールデータ、およびSFRは、アクセス領域によりアクセス時のバスサイクルが異なります。また、ROMとSFRについては、CPUクロックの周波数により、アクセスサイクル数の制約が異なるため、制御レジスタ(プロセッサモードレジスタ(PM1)、フラッシュ制御レジスタ(FMR2))によるアクセスサイクル数の設定が必要です。

表4.1、表4.2にR8C/54Eグループ、R8C/54Fグループ、R8C/54Gグループ、R8C/54Hグループ(データフラッシュありの場合)の各アクセス領域に対するデータバス幅、バスサイクルを示します。

また、表4.3に各制御レジスタによるアクセスサイクル数の設定表を示します。CPUクロック周波数に応じて、この表の設定を行ってください。

SFRの一部とデータフラッシュは、8ビットバスでCPUと接続しています。このためワード(16ビット)単位でアクセスする場合、8ビット単位で2回アクセスします。

表4.1 アクセス領域に対するデータバス幅、バスサイクル(CPUクロック $\leq$ 20 MHz)

アクセス対象	バス幅(bit)	ウェイトサイクル数	アクセスサイクル数		
			バイトアクセス	ワードアクセス (偶数番地)	ワードアクセス (奇数番地)
SFR (00002h～0003Fh)	8	1ウェイト	2	4	4
SFR (注1) (00002h～0003Fh以外)	16	1ウェイト	2	2	4
RAM	16	0ウェイト	1	1	2
データフラッシュ	8	1ウェイト	2	4	4
プログラムROM	16	0ウェイト	1	1	2

注1. 以下のステータスレジスタへのライトサイクルは、3ウェイトになります。

SSU/IIC : SISR

タイマRC : TRCSR

タイマRD : TRDSR0、TRDSR1

SSU/IICのSITDRレジスタへのライトサイクルは、3ウェイトになります。

ただし、DTCアクセスによるSITDRレジスタへのライトは、1ウェイトとなります。

表4.2 アクセス領域に対するデータバス幅、バスサイクル(CPUクロック>20 MHz)

アクセス対象(注1)	バス幅(bit)	ウェイトサイクル数	アクセスサイクル数		
			バイトアクセス	ワードアクセス (偶数番地)	ワードアクセス (奇数番地)
SFR リード (00002h~0003Fh)	8	2ウェイト	3	6	6
SFR ライト (00002h~0003Fh)	8	1ウェイト	2	4	4
SFR リード(注2) (00002h~0003Fh以外)	16	2ウェイト	3	3	6
SFR ライト(注2) (00002h~0003Fh以外)	16	1ウェイト	2	2	4
RAM	16	0ウェイト	1	1	2
データフラッシュ	8	1ウェイト	2	4	4
プログラムROM (ランダムアクセス)	16	0ウェイト	1	1	2
プログラムROM (ページアクセス)	16	0ウェイト	1	1	2

注1. ページ空間(アドレス16バイト分)内でアクセスする場合は、ページアクセス、それ以外はランダムアクセスとなります。プログラムROM以外のアクセスが混在しても最後にアクセスしたプログラムROMと同じページ空間であれば、ページアクセスとなります。

注2. 以下のステータスレジスタへのライトサイクルは、3ウェイトになります。

SSU/IIC : SISR

タイマRC : TRCSR

タイマRD : TRDSR0、TRDSR1

SSU/IICのSITDRレジスタへのライトサイクルは、3ウェイトになります。

ただし、DTCアクセスによるSITDRレジスタへのライトは、1ウェイトとなります。

表4.3 アクセス領域に対するウェイトサイクル設定

レジスタ制御仕様 アクセス対象	プロセッサモードレジスタ1 (PM1 : 00005h番地)		フラッシュ制御レジスタ2 (FMR2 : 00256h番地)	
	PM17 = 1 (周辺ウェイト サイクル追加)	PM17 = 0 (周辺ウェイト サイクル1ウェイト)	FMR24 = 1 (フラッシュ 高速リード禁止)	FMR24 = 0 (フラッシュ 高速リード許可)
SFR リード	2ウェイト	1ウェイト	影響なし	影響なし
SFR ライト	1ウェイト	1ウェイト	影響なし	影響なし
データフラッシュ	影響なし	影響なし	1ウェイト	3ウェイト
プログラムROM (ランダムアクセス)	影響なし	影響なし	0ウェイト	1ウェイト
プログラムROM (ページアクセス)	影響なし	影響なし	0ウェイト	0ウェイト

5. システム制御

5.1 概要

本章ではレジスタアクセスプロテクト機能やオプション機能などに関するシステム共通の制御に関して説明します。

5.2 レジスタの説明

表5.1にシステム制御のレジスタ構成を示します。

表5.1 システム制御のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
プロセッサモードレジスタ0	PM0	00h	00004h	8
プロセッサモードレジスタ1	PM1	10000000b	00005h	8
プロテクトレジスタ	PRCR	00h	00007h	8
オプション機能選択レジスタ2	OFS2	(注1)	0FFDBh	8
オプション機能選択レジスタ	OFS	(注2)	0FFFFh	8

注1. OFS2 レジスタはフラッシュメモリ上にあり、SFRではありません。ROM データとして、プログラムで適切な値を設定してください。

OFS2 レジスタに追加書き込みをしないでください。OFS2 レジスタを含むブロックを消去すると、OFS2 レジスタはFFhになります。

注2. OFS レジスタはフラッシュメモリ上にあり、SFRではありません。ROM データとして、プログラムで適切な値を設定してください。

OFS レジスタに追加書き込みをしないでください。OFS レジスタを含むブロックを消去すると、OFS レジスタはFFhになります。

5.2.1 プロセッサモードレジスタ0 (PM0)

アドレス 00004h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PM03	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	PM03	ソフトウェアリセットビット	0 : 状態保持 1 : リセット発生	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

PRCR レジスタのPRC1ビットを1(書き込み許可)にした後、PM0 レジスタを書き換えてください。

PM03ビット(ソフトウェアリセットビット)

PM03 ビットを1にすると、マイクロコンピュータ全体がリセットされます。読んだ場合、その値は0です。

5.2.2 プロセッサモードレジスタ1 (PM1)

アドレス	00005h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PM17	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	—			
b5	—			
b6	—			
b7	PM17	バスサイクルウェイトビット (注1)	0：周辺ウェイトサイクル1ウェイト 1：周辺ウェイトサイクル追加	R/W

注1. 「表4.3 アクセス領域に対するウェイトサイクル設定」を参照してください。

- CPUクロック ≤ 20 MHzのとき、PM17 = 0または1にしてください。
- CPUクロック > 20 MHzのとき、PM17 = 1を維持してください。

PRCRレジスタのPRC1ビットを1(書き込み許可)にした後、PM1レジスタを書き換えてください。

5.2.3 プロテクトレジスタ (PRCR)

アドレス	00007h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PRC3	PRC2	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	0: 禁止	R/W
b1	PRC1	プロテクトビット1	1: 許可 (注1)	R/W
b2	PRC2	プロテクトビット2	0: 禁止 1: 許可 (注2)	R/W
b3	PRC3	プロテクトビット3	0: 禁止 1: 許可 (注1)	R/W
b4	—	予約ビット	0にしてください	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

注1. 一度1にすると、プログラムで0にするまで書き込み許可を継続します。

注2. PRC2ビットを1(書き込み許可)にした後、SFR領域に書き込むと0になります。PRC2ビットで保護されるレジスタは、PRC2ビットを1にした次の命令で変更してください。なお、PRC2ビットを1にする命令と次の命令の間に、割り込みやDTC起動が実行されないようにしてください。

PRC0ビット(プロテクトビット0)

CM0、CM1、CM3、CM4、OCD、FRA0、FRA2、PLC0、PCLKR1 レジスタへの書き込みの許可/禁止を制御します。

PRC1ビット(プロテクトビット1)

PM0、PM1、RISR レジスタへの書き込みの許可/禁止を制御します。

PRC2ビット(プロテクトビット2)

PD0 レジスタへの書き込みの許可/禁止を制御します。

PRC3ビット(プロテクトビット3)

OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2C、SVDC レジスタへの書き込みの許可/禁止を制御します。

5.2.4 オプション機能選択レジスタ 2 (OFS2)

アドレス	0FFDBh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0	R/W
b1	WDTUFS1		0 0 : 03FFh	R/W
			0 1 : 0FFFh	
			1 0 : 1FFFh	
			1 1 : 3FFFh	
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2	R/W
b3	WDTRCS1		0 0 : 25 %	R/W
			0 1 : 50 %	
			1 0 : 75 %	
			1 1 : 100 %	
b4	—	予約ビット	1にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2 レジスタはフラッシュメモリ上にあり、SFRではありません。ROM データとして、プログラムで適切な値を設定してください。OFS2 レジスタに追加書き込みをしないでください。OFS2 レジスタを含むブロックを消去すると、OFS2 レジスタはFFhになります。ブランク出荷品の出荷時、OFS2 レジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS2 レジスタの値は、ユーザがプログラムで設定した値です。

OFS2 レジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0～WDTRCS1 ビット

(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウンタ開始からアンダフローまでの期間を100 %として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択します。

詳細は「8.3.1.1 リフレッシュ受付期間」を参照してください。

5.2.5 オプション機能選択レジスタ (OFS)

アドレス 0FFFFh

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR — WDTON

リセット後の値 ユーザの設定値 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0 : リセット後、ウォッチドッグタイマは自動的に起動 1 : リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0 : ROMコードプロテクト解除 1 : ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0 : ROMコードプロテクト有効 1 : ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V選択 (Vdet0_3) 0 1 : 2.85 V選択 (Vdet0_2) 上記以外 : 設定しないでください	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0 : リセット後、カウントソース保護モード有効 1 : リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0 (リセット後、電圧監視0リセット有効) にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDAS ビット (電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

5.3 IDコード領域

5.3.1 概要

IDコード領域は、固定ベクタテーブルの各ベクタ最上位番地のうち、0FFDFh、0FFE3h、0FFEBh、0FFE7h、0FFF3h、0FFF7h、0FFFBh番地です。

図5.1にIDコード領域を示します。

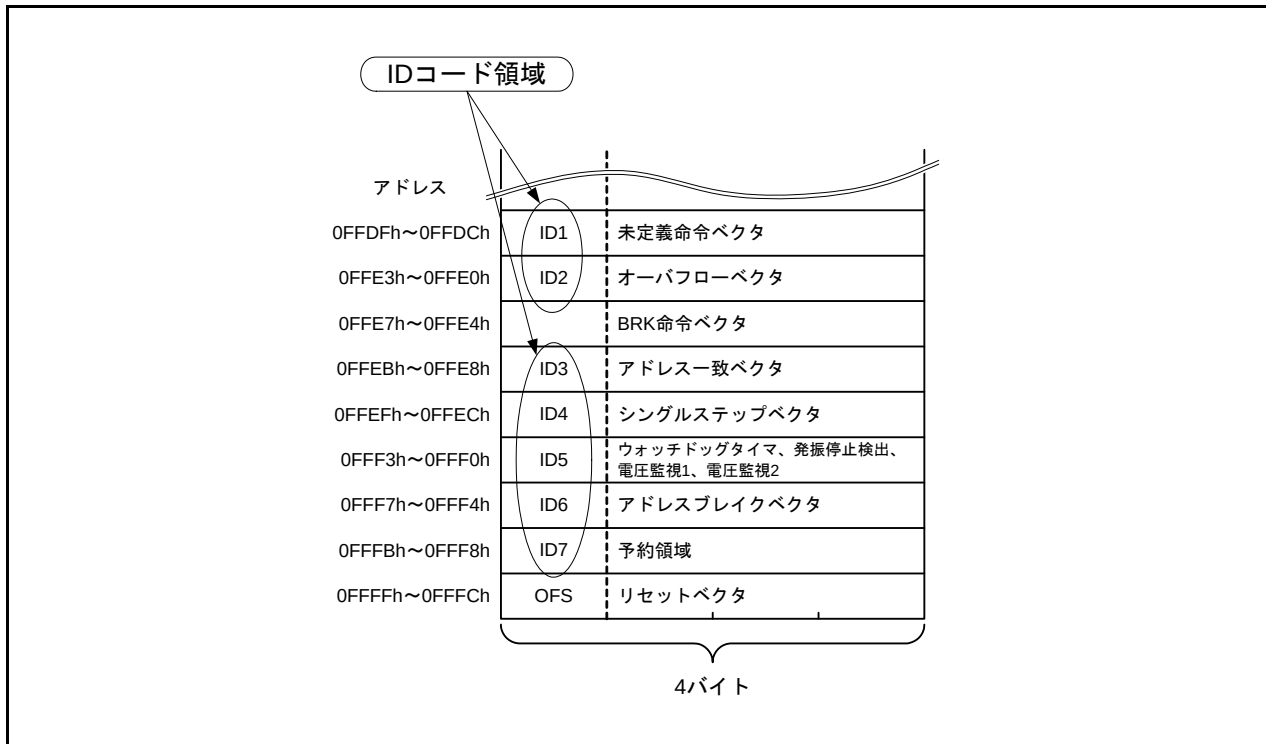


図5.1 IDコード領域

5.3.2 機能

IDコード領域は、標準シリアル入出力モードで使します。リセットベクタの3バイト(0FFFCCh~0FFFEh番地)がFFFFFFhの場合と、FFFFFFhでない場合で動作が異なります。

標準シリアル入出力モードでリセットベクタの3バイト(0FFFCCh~0FFFEh番地)がFFFFFFhではない場合、IDコード領域に格納されているIDコードと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードの一致を判定し、一致すれば送られてくるコマンドを受け付け、一致しなければ受け付けません。したがって、シリアルライターやオンチップデバッグエミュレータを使用する予定がある場合は、IDコード領域にあらかじめ決めておいたIDコードを書き込んでください。

リセットベクタの3バイト(0FFFCCh~0FFFEh番地)がFFFFFFhの場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

なお、IDコードがASCIIコードのALeRASEになる組み合わせは、強制イレーズ機能で使用する予約語です。また、Protectになる組み合わせは標準シリアル入出力モード禁止機能で使用する予約語です。

表5.2にIDコードの予約語を示します。IDコード格納番地のアドレスとデータがすべて表5.2と一致する場合が予約語です。強制イレーズ機能、標準シリアル入出力モード禁止機能を使用しない場合は、この組み合わせ以外のIDコードを使用してください。

表5.2 IDコードの予約語

IDコード格納番地		IDコードの予約語(ASCIIコード)(注1)	
		ALeRASE (強制イレーズ機能)	Protect (標準シリアル入出力モード禁止機能)
0FFDFh	ID1	41h : A (大文字)	50h : P (大文字)
0FFE3h	ID2	4Ch : L (大文字)	72h : r (小文字)
0FFEBh	ID3	65h : e (小文字)	6Fh : o (小文字)
0FFEfH	ID4	52h : R (大文字)	74h : t (小文字)
0FFF3h	ID5	41h : A (大文字)	65h : e (小文字)
0FFF7h	ID6	53h : S (大文字)	63h : c (小文字)
0FFFBh	ID7	45h : E (大文字)	74h : t (小文字)

注1. IDコード格納番地のアドレスとデータがすべて表5.2と一致する場合が予約語です。

5.3.3 強制イレーズ機能

強制イレーズ機能は、標準シリアル入出力モードで使します。シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードが、ASCIIコードのALeRASEの場合、ユーザROM領域をすべて消去します。ただし、IDコード格納番地の内容がASCIIコードのALeRASE以外(「表5.2 IDコードの予約語」以外)、かつOFSレジスタのROMCRビットが1、ROMCP1ビットが0(ROMコードプロテクト有効)の場合は、強制イレーズを行わず、IDコードチェック機能によるIDコードの判定を行います。表5.3に強制イレーズ機能の条件と動作を示します。

なお、IDコード格納番地の内容をASCIIコードのALeRASEにしておくと、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードがALeRASEならばユーザROM領域を消し、ALeRASE以外ならばIDが一致せず、コマンドを受け付けないので、ユーザROM領域を操作できません。

表5.3 強制イレーズ機能の条件と動作

条件			動作
シリアルライターやオンチップデバッグエミュレータから送られてくるIDコード	IDコード格納番地のIDコード	OFSレジスタのROMCP1～ROMCRビット	
ALeRASE	ALeRASE	—	ユーザROM領域をすべて消去(強制イレーズ機能)
	ALeRASE以外(注1)	01b以外(ROMコードプロテクト解除)	IDコードの判定(IDコードチェック機能)
		01b(ROMコードプロテクト有効)	
ALeRASE以外	ALeRASE	—	IDコードの判定(IDコードチェック機能、IDコード不一致)
	ALeRASE以外(注1)	—	IDコードの判定(IDコードチェック機能)

注1. Protectの場合は「5.3.4 標準シリアル入出力モード禁止機能」を参照してください。

5.3.4 標準シリアル入出力モード禁止機能

標準シリアル入出力モード禁止機能は、標準シリアル入出力モードで使用します。ID コード格納番地のIDコードがASCIIコードのProtectになる組み合わせ(「表5.2 IDコードの予約語」参照)の場合、シリアルライターやオンチップデバッグエミュレータとの通信を行いません。このため、シリアルライターやオンチップデバッグエミュレータによるフラッシュメモリの読み出し、書き込み、消去を禁止できます。

なお、IDコードをProtectになる組み合わせにし、かつ、OFSレジスタのROMCRビットを1、ROMCP1ビットを0(ROMコードプロテクト有効)にしている場合は、シリアルライターやオンチップデバッグエミュレータによるROMコードプロテクト解除ができません。したがって、シリアルライターやオンチップデバッグエミュレータでもパラレルライターでも、フラッシュメモリの読み出し、書き込み、消去ができなくなります。

5.3.5 IDコード領域使用上の注意(設定例)

IDコード領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- IDコード領域すべてに55hを設定する場合

```
.org 00FFDCH
.lword dummy | (55000000h)    ; UND
.lword dummy | (55000000h)    ; INTO
.lword dummy                  ; BREAK
.lword dummy | (55000000h)    ; ADDRESS MATCH
.lword dummy | (55000000h)    ; SET SINGLE STEP
.lword dummy | (55000000h)    ; WDT
.lword dummy | (55000000h)    ; ADDRESS BREAK
.lword dummy | (55000000h)    ; RESERVE
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

5.4 プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。

PRCR レジスタが保護するレジスタは次のとおりです。

表5.4 PRCR ジスタの各ビットと保護されるレジスタ一覧

ビット	保護されるレジスタ
PRC0	CM0、CM1、CM3、CM4、OCD、FRA0、FRA2、PLC0、PCLKR1 レジスタ
PRC1	PM0、PM1、RISR レジスタ
PRC2	PD0 レジスタ
PRC3	OCVREFCR、VCA2、VD1LS、VW0C、VW1C、VW2C、SVDC レジスタ

5.5 オプション機能選択領域

5.5.1 概要

オプション機能選択領域は、リセット後のマイコンの状態や、パラレル入出力モードでの書き換えを禁止する機能を選択する領域です。固定ベクタテーブルのリセットベクタ最上位、0FFFFh 番地、および 0FFDBh 番地がオプション機能選択領域です。

図5.2にオプション機能選択領域を示します。

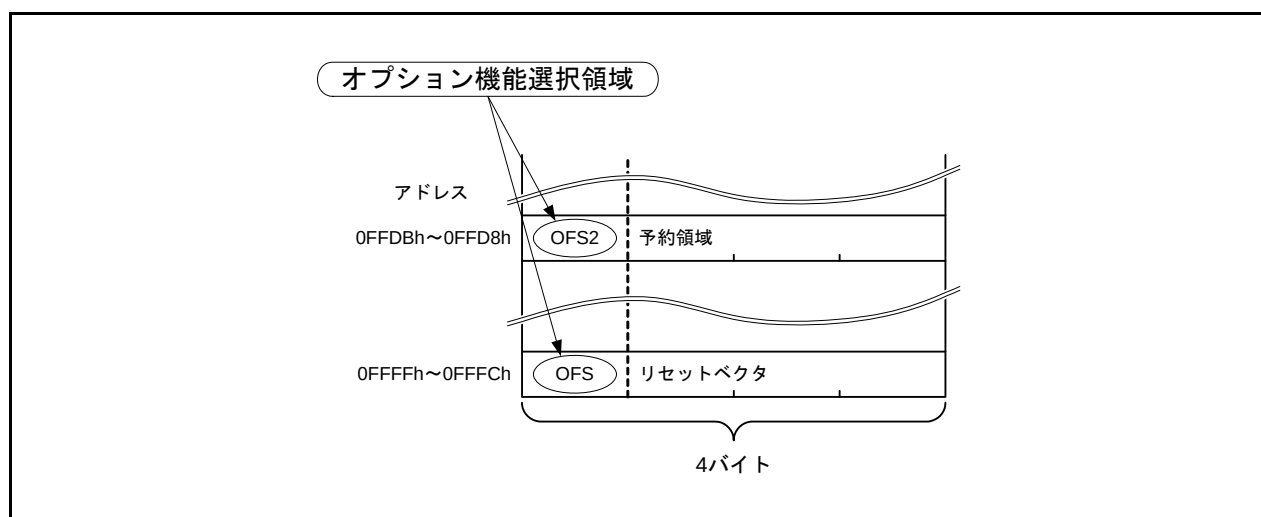


図5.2 オプション機能選択領域

5.6 システム制御使用上の注意事項

5.6.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFS2レジスタにFFhを設定する場合

```
.org 00FFDBH
```

```
.byte 0FFh
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

- OFSレジスタにFFhを設定する場合

```
.org 00FFFCH
```

```
.lword reset | (0FF000000h) ; RESET
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

6. リセット

リセットにはハードウェアリセット、パワーオンリセット、電圧検出回路による電圧監視0リセット、ウォッチドッグタイマリセット、およびソフトウェアリセットがあります。

6.1 概要

表6.1にリセットの名称と要因を、図6.1にリセット回路のブロック図を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
ハードウェアリセット	RESET端子にLレベルが入力されたとき
パワーオンリセット	電源VCCが投入されたとき
電圧監視0リセット	電源VCCがVdet0以下に降下し、電圧検出回路0によりこれを検知したとき
ウォッチドッグタイマリセット	ウォッチドッグタイマがアンダフローしたとき
ソフトウェアリセット	プログラムにより、PM0レジスタのPM03ビットに1を書いたとき

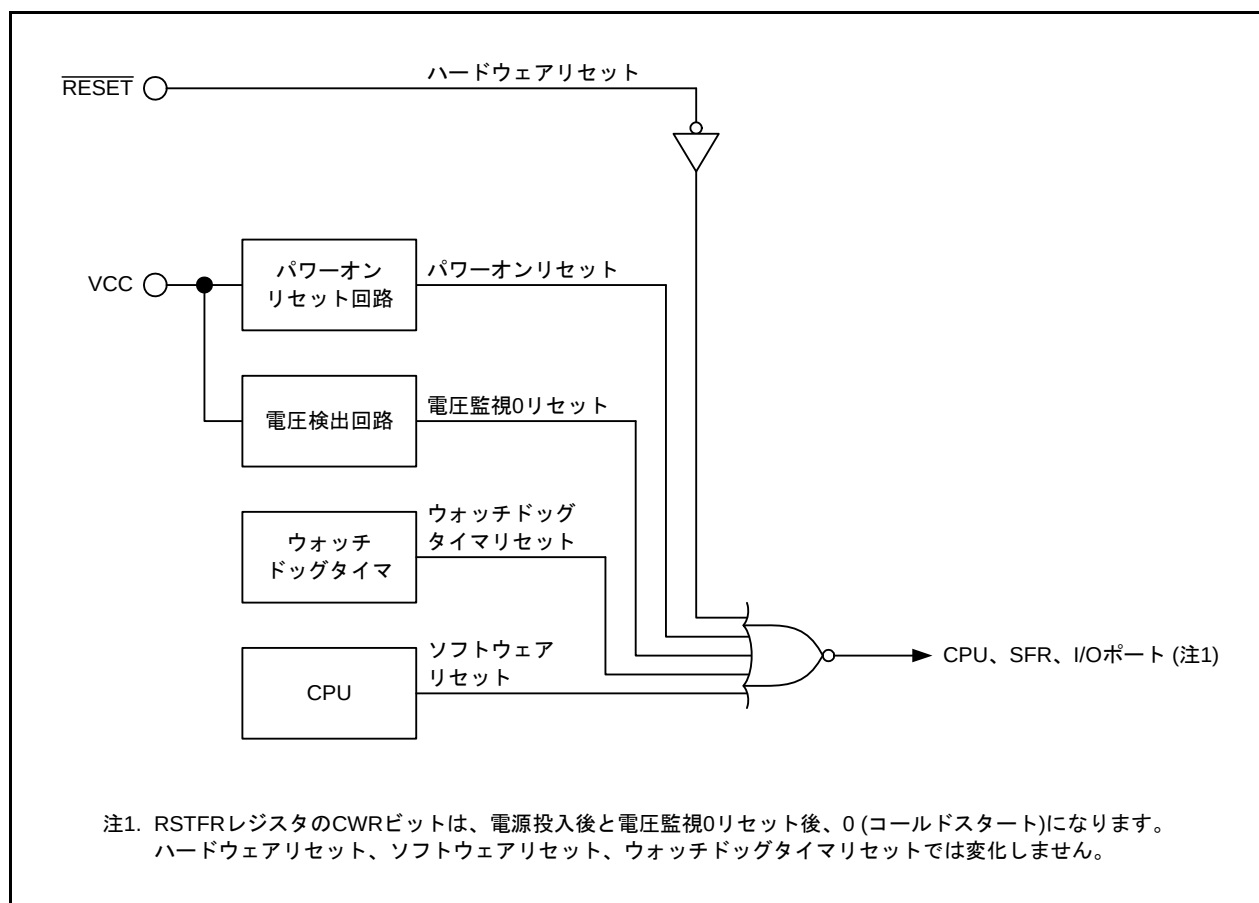


図6.1 リセット回路のブロック図

6.2 レジスタの説明

表6.2にリセットのレジスタ構成を示します。

表6.2 リセットのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
プロセッサモードレジスタ0	PM0	00h	00004h	8
リセット要因判別レジスタ	RSTFR	00XXXXXXb	00028h	8
オプション機能選択レジスタ2	OFS2	(注1)	0FFDBh	8
オプション機能選択レジスタ	OFS	(注2)	0FFFFh	8

注1. OFS2 レジスタはフラッシュメモリ上にあり、SFRではありません。ROM データとして、プログラムで適切な値を設定してください。

OFS2 レジスタに追加書き込みをしないでください。OFS2 レジスタを含むブロックを消去すると、OFS2 レジスタはFFhになります。

注2. OFS レジスタはフラッシュメモリ上にあり、SFRではありません。ROM データとして、プログラムで適切な値を設定してください。

OFS レジスタに追加書き込みをしないでください。OFS レジスタを含むブロックを消去すると、OFS レジスタはFFhになります。

6.2.1 プロセッサモードレジスタ0 (PM0)

アドレス 00004h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PM03	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	PM03	ソフトウェアリセットビット	0 : 状態保持 1 : リセット発生	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

PRCR レジスタのPRC1 ビットを1 (書き込み許可)にした後、PM0 レジスタを書き換えてください。

PM03 ビット (ソフトウェアリセットビット)

PM03 ビットを1にすると、マイクロコンピュータ全体がリセットされます。読んだ場合、その値は0です。

6.2.2 リセット要因判別レジスタ (RSTFR)

アドレス	00028h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDR	SWR	HWR	CWR
リセット後の値	0	0	X	X	X	X	X	X (注1)

ビット	シンボル	ビット名	機能	R/W	
b0	CWR	コールドスタート/ウォームスタート判定フラグ(注2、3)	0：コールドスタート 1：ウォームスタート	R/W	
b1	HWR	ハードウェアリセット検出フラグ	0：未検出 1：検出	R	
b2	SWR	ソフトウェアリセット検出フラグ		R	
b3	WDR	ウォッチドッグタイマリセット検出フラグ		R	
b4	—	予約ビット	読んだ場合、その値は不定。	R	
b5	—				
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。			—
b7	—				

注1. CWR ビットは電源投入後と、電圧監視0リセット後、0 (コールドスタート) になります。ハードウェアリセット、ソフトウェアリセット、ウォッチドッグタイマリセットでは変化しません。

注2. CWR ビットはプログラムで1を書くと1になります。(0を書いても変化しません。)

注3. VW0C レジスタのVW0C0 ビットが0 (電圧監視0リセット禁止) のとき、CWR ビットは不定です。

6.2.3 オプション機能選択レジスタ 2 (OFS2)

アドレス	0FFDBh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0	R/W
b1	WDTUFS1		0 0 : 03FFh	R/W
			0 1 : 0FFFh	
			1 0 : 1FFFh	
			1 1 : 3FFFh	
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2	R/W
b3	WDTRCS1		0 0 : 25 %	R/W
			0 1 : 50 %	
			1 0 : 75 %	
			1 1 : 100 %	
b4	—	予約ビット	1にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2 レジスタはフラッシュメモリ上にあり、SFRではありません。ROM データとして、プログラムで適切な値を設定してください。OFS2 レジスタに追加書き込みをしないでください。OFS2 レジスタを含むブロックを消去すると、OFS2 レジスタはFFhになります。ブランク出荷品の出荷時、OFS2 レジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS2 レジスタの値は、ユーザがプログラムで設定した値です。

OFS2 レジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0～WDTRCS1 ビット

(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウンタ開始からアンダフローまでの期間を100 %として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択します。

詳細は「8.3.1.1 リフレッシュ受付期間」を参照してください。

6.2.4 オプション機能選択レジスタ (OFS)

アドレス	0FFFFh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPROINI	LVDAS	VDSEL1	VDSEL0	ROMCP1	ROMCR	—	WDTON
リセット後の値	ユーザの設定値 (注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0 : リセット後、ウォッチドッグタイマは自動的に起動 1 : リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0 : ROMコードプロテクト解除 1 : ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0 : ROMコードプロテクト有効 1 : ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V選択 (Vdet0_3) 0 1 : 2.85 V選択 (Vdet0_2) 上記以外 : 設定しないでください	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0 : リセット後、カウントソース保護モード有効 1 : リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0 (リセット後、電圧監視0リセット有効) にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDAS ビット (電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

6.3 動作説明

6.3.1 リセットシーケンス

図6.2にハードウェアリセットを例にしてリセットシーケンスを示します。内部リセット信号が解除されると所定時間経過後リセットベクタ (0FFFCh～0FFFEh 番地) からCPUは動作を開始します。

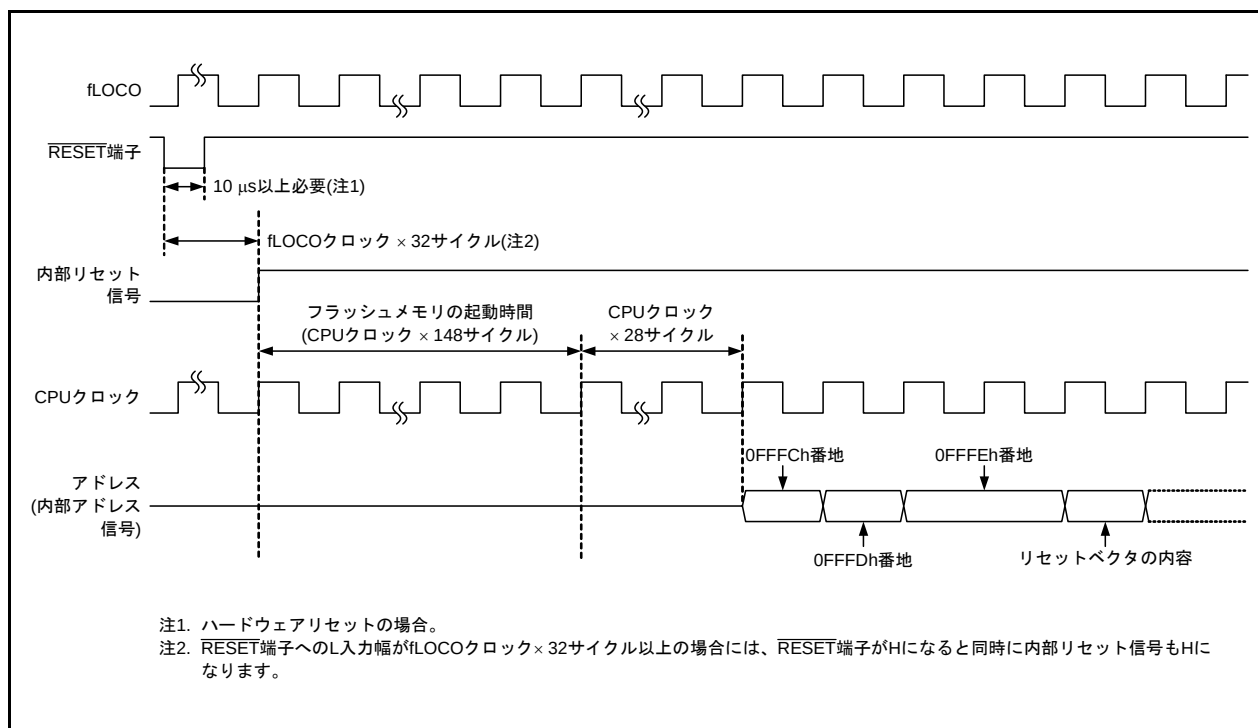


図6.2 リセットシーケンス

6.3.2 ハードウェアリセット

$\overline{\text{RESET}}$ 端子によるリセットです。電源電圧が推奨動作条件を満たすとき、 $\overline{\text{RESET}}$ 端子に L を入力すると CPU、SFR、I/O ポートが初期化されます(「表 6.3 $\overline{\text{RESET}}$ 端子のレベルが L の期間の端子の状態」、[図 6.8](#) リセット後の CPU レジスタの状態」、および「表 3.1～表 3.22 SFR 一覧」参照)。

$\overline{\text{RESET}}$ 端子の入力レベルを L から H にすると、リセットベクタで示される番地からプログラムを実行します。リセット後の CPU クロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

リセット後の SFR の状態は「3.5 SFR」を参照してください。

内部 RAM は初期化されません。また、内部 RAM へ書き込み中に $\overline{\text{RESET}}$ 端子が L になると、内部 RAM は不定となります。

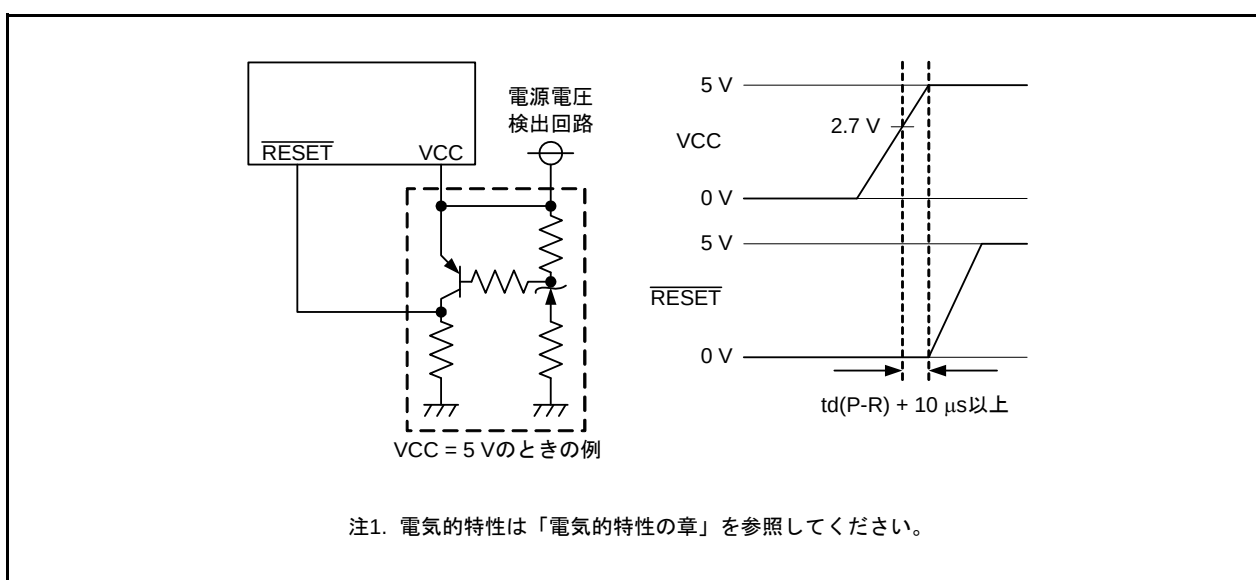
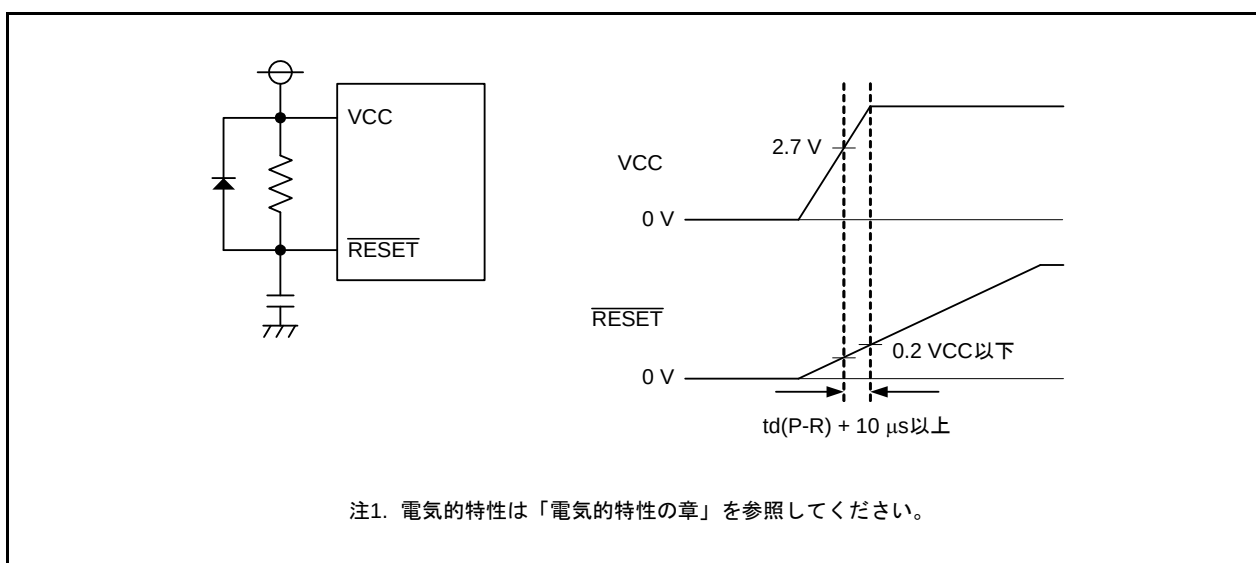
図 6.3 にハードウェアリセット回路例と動作を、図 6.4 にハードウェアリセット回路例(外付け電源電圧検出回路の使用例)と動作を示します。

6.3.2.1 電源が安定している場合

- (1) $\overline{\text{RESET}}$ 端子に L を入力する
- (2) $10\mu\text{s}$ 待つ
- (3) $\overline{\text{RESET}}$ 端子に H を入力する

6.3.2.2 電源投入時

- (1) $\overline{\text{RESET}}$ 端子に L を入力する
- (2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
- (3) 内部電源が安定するまで $t_d(P-R)$ 待つ(「30. 電気的特性」参照)
- (4) $10\mu\text{s}$ 待つ
- (5) $\overline{\text{RESET}}$ 端子に H を入力する



6.3.3 パワーオンリセット

抵抗を通して $\overline{\text{RESET}}$ 端子をVCCに接続し、VCCを立ち上げるとパワーオンリセットが有効になり、CPU、SFR、I/Oポートが初期化されます。 $\overline{\text{RESET}}$ 端子にコンデンサを接続する場合も、 $\overline{\text{RESET}}$ 端子の電圧が常に0.8 VCC以上になるようにご注意ください。

VCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号がHになり、リセットシーケンス(図6.2参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセット後のSFRの状態は「3.5 SFR」を参照してください。

パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを0にして、電圧監視0リセットを有効にしてください。

図6.5にパワーオンリセット回路例と動作を示します。

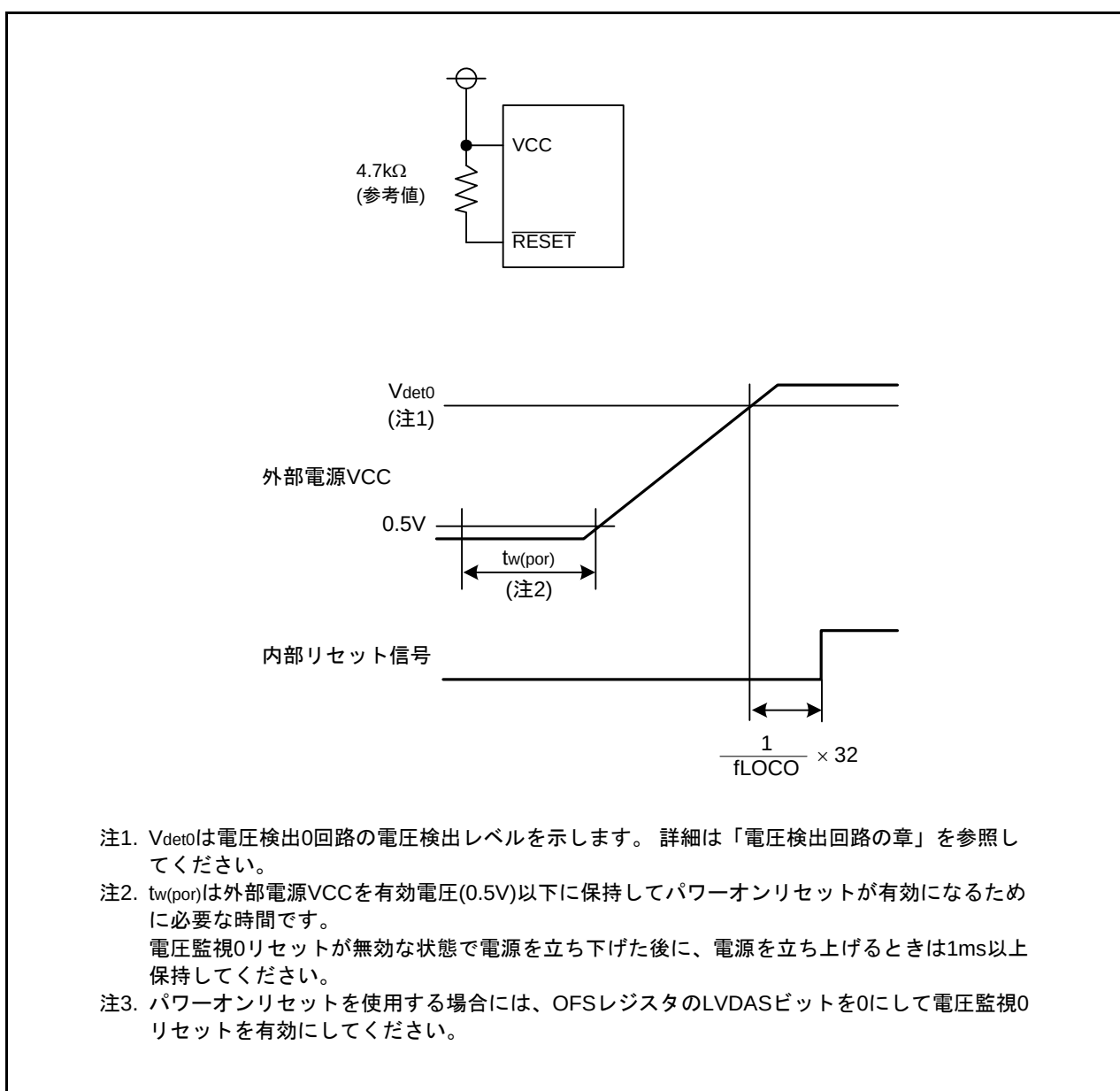


図6.5 パワーオンリセット回路例と動作

6.3.4 電圧監視0リセット

マイクロコンピュータに内蔵している電圧検出0回路によるリセットです。電圧検出0回路はVCC端子に入力する電圧を監視します。監視する電圧はVdet0です。電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。Vdet0の電圧検出レベルは、OFSレジスタのVDSEL0、VDSEL1ビットの設定により、変更できます。

VCC端子に入力する電圧がVdet0以下になるとCPU、SFR、I/Oポートが初期化されます。

次にVCC端子に入力する電圧がVdet0以上になると、低速オンチップオシレータクロックのカウントを開始します。低速オンチップオシレータクロックを32回カウントすると、内部リセット信号がHになり、リセットシーケンス(図6.2参照)に移ります。リセット後のCPUクロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

パワーオンリセットを使用する場合には、LVDASビットを0にして電圧監視0リセットを有効にしてください。

VDSEL0、VDSEL1ビット、LVDASビットはプログラムでは変更できません。これらのビットを設定する場合は、フラッシュライタで0FFFFh番地のb4～b6に値を書いてください。

OFSレジスタの詳細は「6.2.4 オプション機能選択レジスタ(OFS)」を参照してください。

電圧監視0リセット後のSFRの状態は「3.5 SFR」を参照してください。

内部RAMは初期化されません。また、内部RAMへ書き込み中にVCC端子に入力する電圧がVdet0以下になると、内部RAMは不定となります。

電圧監視0リセットの詳細は「7. 電圧検出回路」を参照してください。

図6.6に電圧監視0リセット回路例と動作を示します。

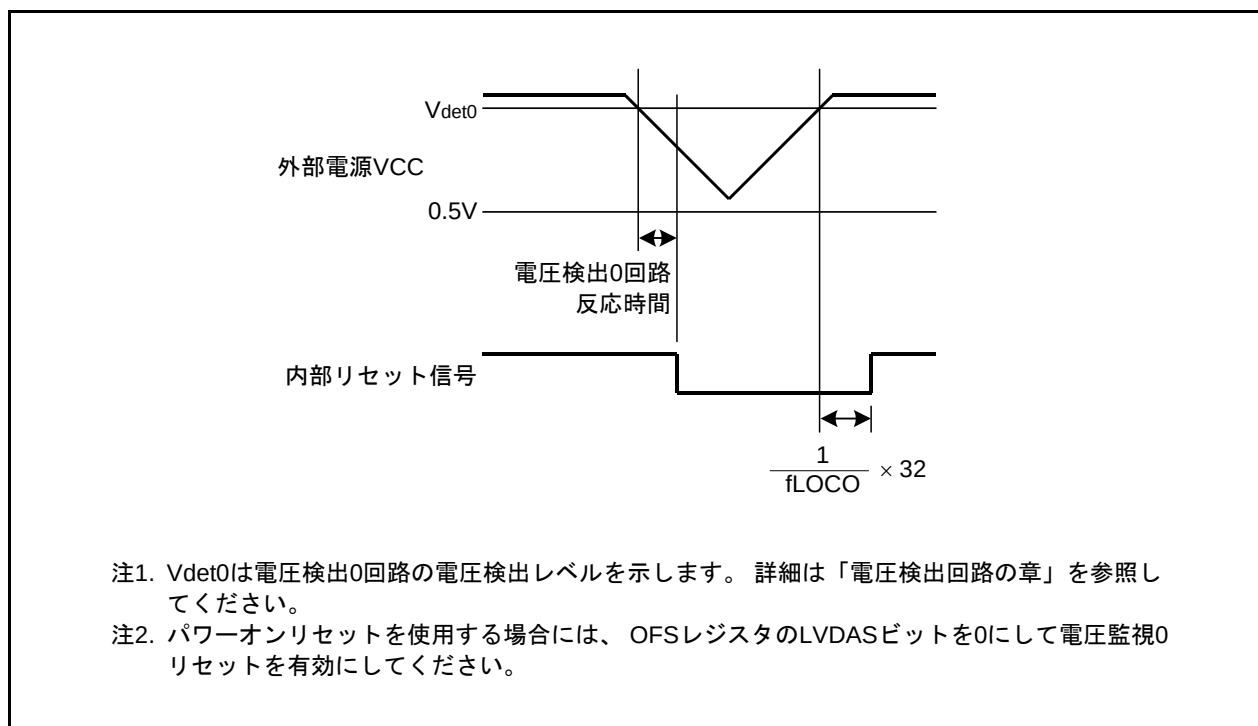


図6.6 電圧監視0リセット回路例と動作

6.3.5 ウォッチドッグタイマリセット

RISR レジスタの RIS ビットが 1 (ウォッチドッグタイマリセット) の場合、ウォッチドッグタイマがアンダフローするとマイクロコンピュータは CPU、SFR、I/O ポートを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後の CPU クロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ウォッチドッグタイマリセット後の SFR の状態は「3.5 SFR」を参照してください。

内部 RAM は初期化されません。また、内部 RAM へ書き込み中にウォッチドッグタイマがアンダフローすると、内部 RAM は不定となります。

ウォッチドッグタイマのアンダフロー周期とリフレッシュ受付周期を、OFS2 レジスタの WDTUFS0、WDTUFS1 ビット、WDTRCS0、WDTRCS1 ビットでそれぞれ設定することができます。

ウォッチドッグタイマの詳細は「8. ウォッチドッグタイマ」を参照してください。

6.3.6 ソフトウェアリセット

PM0 レジスタの PM03 ビットを 1 (マイクロコンピュータをリセット) にするとマイクロコンピュータは CPU、SFR、I/O ポートを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。リセット後の CPU クロックには、低速オンチップオシレータクロックの分周なしクロックが自動的に選択されます。

ソフトウェアリセット後の SFR の状態は「3.5 SFR」を参照してください。

内部 RAM は初期化されません。

6.3.7 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、RSTFR レジスタの CWR ビットによって、電源が投入されたときのコールドスタート (リセット処理) と、動作中にリセットが発生したときのウォームスタート (リセット処理) を判定することができます。

CWR ビットは、電源投入時 0 (コールドスタート) です。また、電圧監視 0 リセットでも 0 になります。CWR ビットはプログラムで 1 を書くと 1 になり、ハードウェアリセット、ソフトウェアリセット、およびウォッチドッグタイマリセットでは変化しません。

コールドスタート/ウォームスタート判定機能は電圧監視 0 リセットを使用します。

図 6.7 にコールドスタート/ウォームスタート判定機能の動作例を示します。

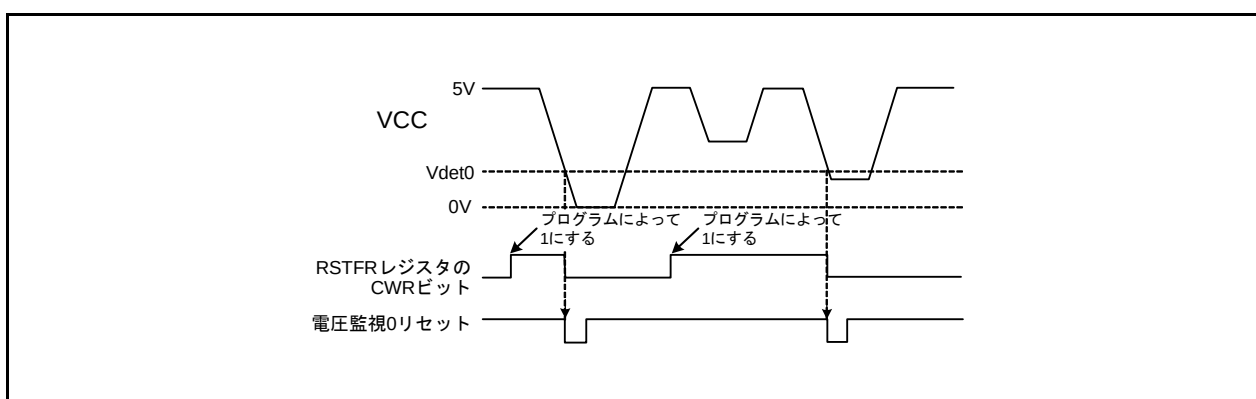


図 6.7 コールドスタート/ウォームスタート判定機能の動作例

6.3.8 リセット要因判別機能

ハードウェアリセット、ソフトウェアリセット、およびウォッチドッグタイマリセットの発生を、RSTFR レジスタで検出できます。

ハードウェアリセットが発生すると、RSTFR レジスタの HWR ビットが 1 (検出) になります。ソフトウェアリセットが発生すると、RSTFR レジスタの SWR ビットが 1 (検出) になります。ウォッチドッグタイマリセットが発生すると、RSTFR レジスタの WDR ビットが 1 (検出) になります。

6.4 リセット時の状態

6.4.1 RESET 端子のレベルがLの期間の端子の状態

表 6.3 に RESET 端子のレベルがLの期間の端子の状態を示します。

表 6.3 RESET 端子のレベルがLの期間の端子の状態

端子名	端子の状態
P0、P1、P2、P3_0、P3_1、P3_3～P3_5、P3_7、P6、P9_4～P9_7	入力ポート
P4_3～P4_7	入力ポート

6.4.2 リセット後のCPUレジスタの状態

図 6.8 にリセット後のCPUレジスタの状態を示します。

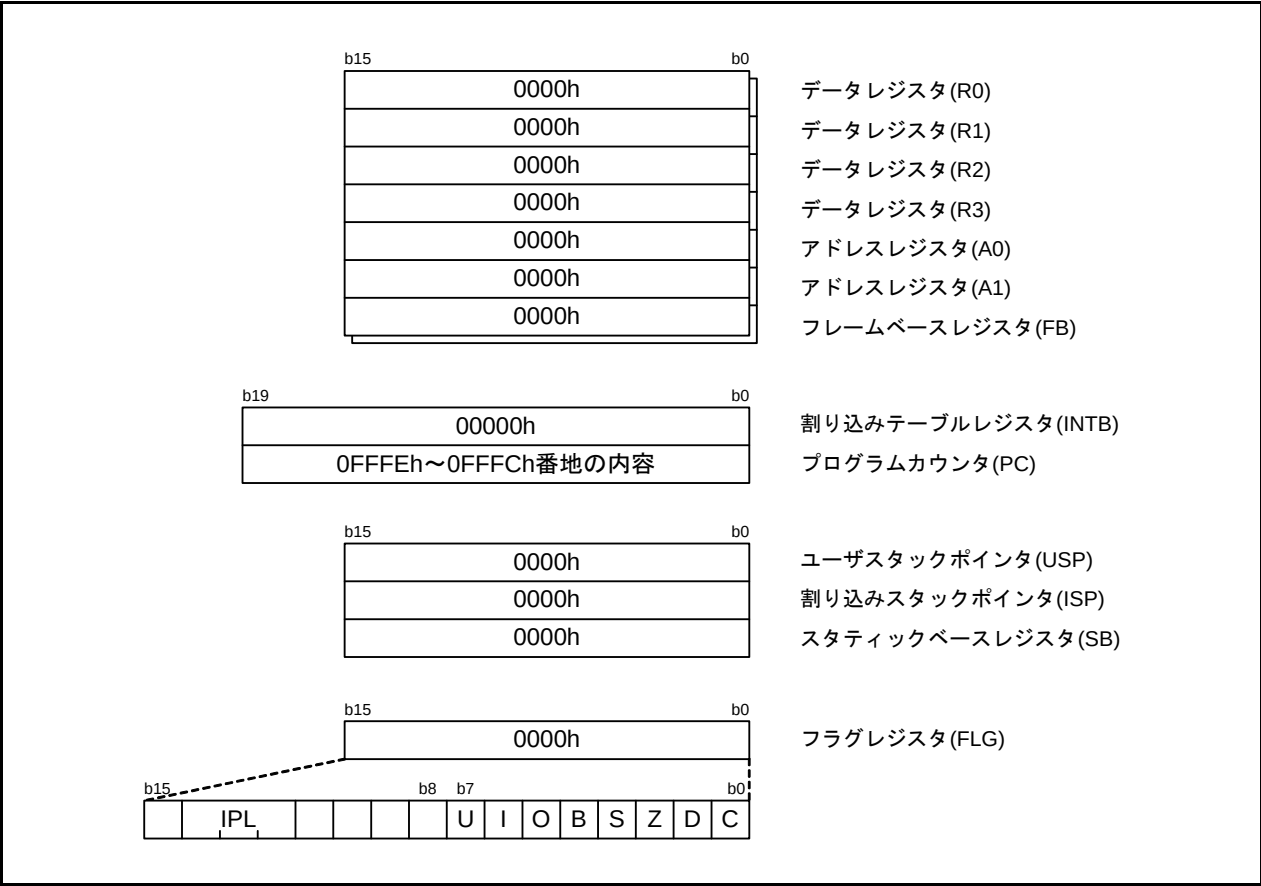


図 6.8 リセット後のCPUレジスタの状態

6.5 リセット使用上の注意事項

6.5.1 RSTFR レジスタ

RSTFR レジスタの読み出しを連続して2回以上読み出す場合は、読み出す直前に00hを書き込んでから、読み出してください。

<プログラム例>

```
MOV.B    #00H, 0028H    ; RSTFR レジスタに00hを書き込む(注1)
```

```
MOV.B    0028H, A0      ; RSTFR レジスタの読み出し値をA0に格納
```

注1. RSTFR レジスタのCWR ビットは0を書いても値は変化しません。

また本レジスタの他のビットは、全てリードオンリーなので本レジスタ内の他ビットの値に影響はありません。

7. 電圧検出回路

電圧検出回路は、VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

7.1 概要

電圧検出0はOFSレジスタで、検出電圧を2レベルから選択できます。

電圧検出1はVD1LSレジスタで、検出電圧を9レベルから選択できます。

電圧監視0リセット、電圧監視1割り込み、電圧監視2割り込みを使用できます。

表7.1に電圧検出回路の仕様を、図7.1に電圧検出回路のブロック図を、図7.2に電圧監視0リセット発生回路のブロック図を、図7.3に電圧監視1割り込み発生回路のブロック図を、図7.4に電圧監視2割り込み発生回路のブロック図を示します。

表7.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC 監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降して、Vdet0を通過したか	上昇または下降して、Vdet1を通過したか	上昇または下降して、Vdet2を通過したか
	検出電圧	OFSレジスタで、2レベルから選択可能	VD1LSレジスタで、9レベルから選択可能	固定レベル
	モニタ	なし	VW1CレジスタのVW1C3ビット Vdet1より高いか低い	VW2CレジスタのVW2C3ビット Vdet2より高いか低い
電圧検出時の処理	リセット	電圧監視0リセット Vdet0 > VCCでリセット、 VCC > Vdet0でCPU動作再開	なし	なし
	割り込み	なし	電圧監視1割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet1 > VCC、 VCC > Vdet1の両方、 またはどちらかで割り込み要求	電圧監視2割り込み ノンマスクابلまたはマスクابلを選択可能 Vdet2 > VCC、 VCC > Vdet2の両方、 またはどちらかで割り込み要求
	デジタルフィルタ	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	(fLOCOのn分周) × 2 n: 1、2、4、8	(fLOCOのn分周) × 2 n: 1、2、4、8

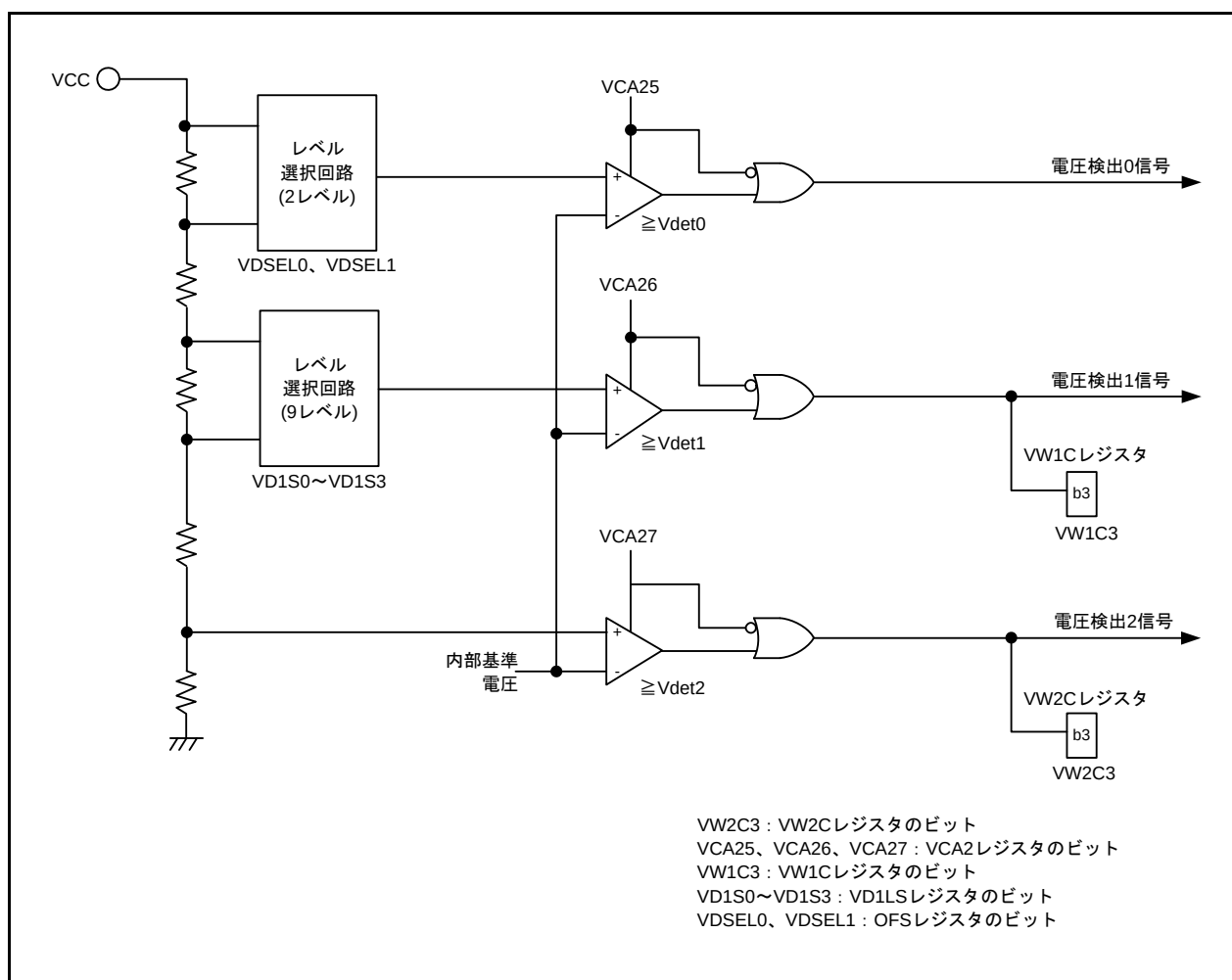


図7.1 電圧検出回路のブロック図

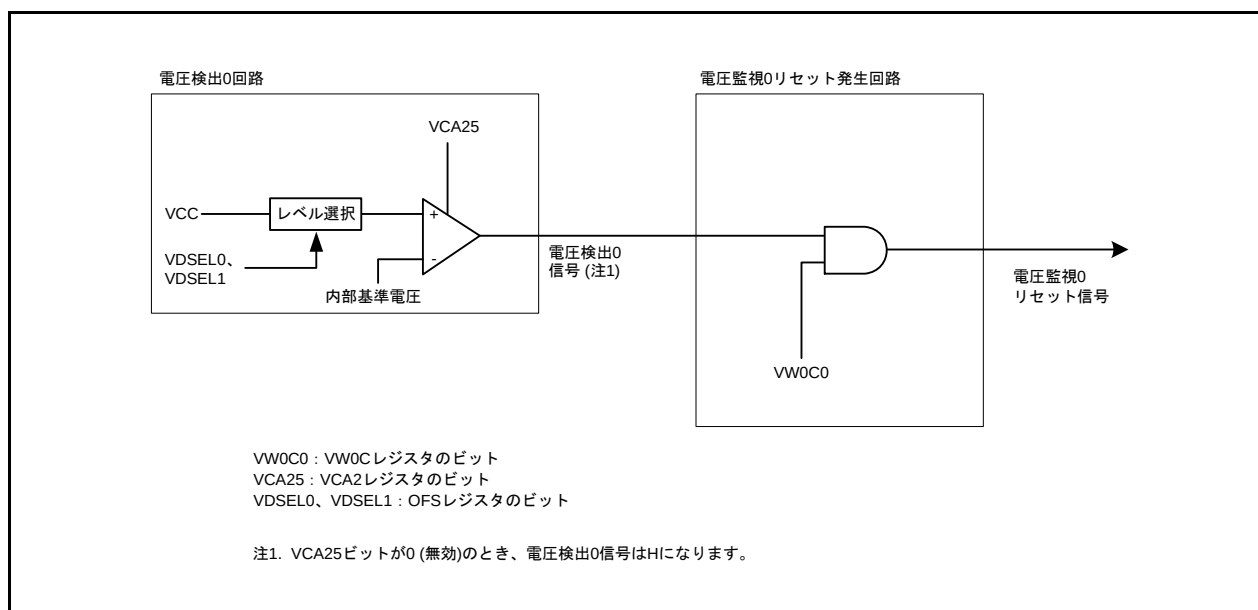


図7.2 電圧監視0リセット発生回路のブロック図

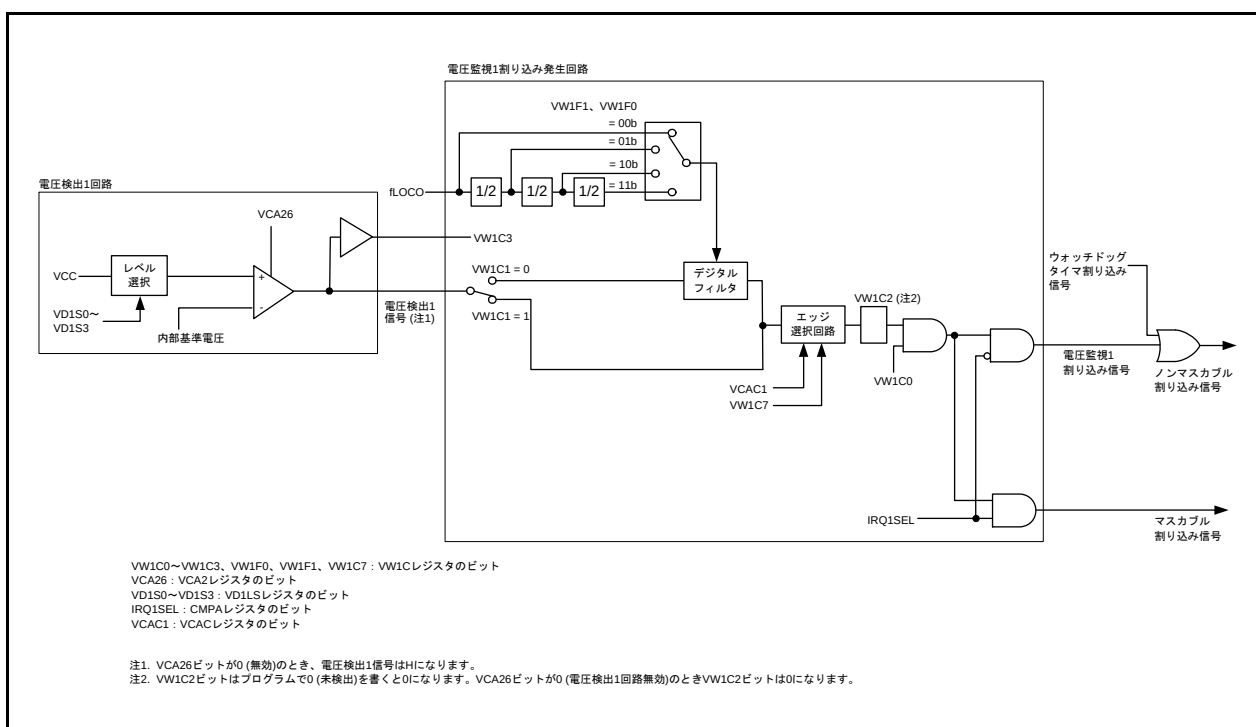


図 7.3 電圧監視1割り込み発生回路のブロック図

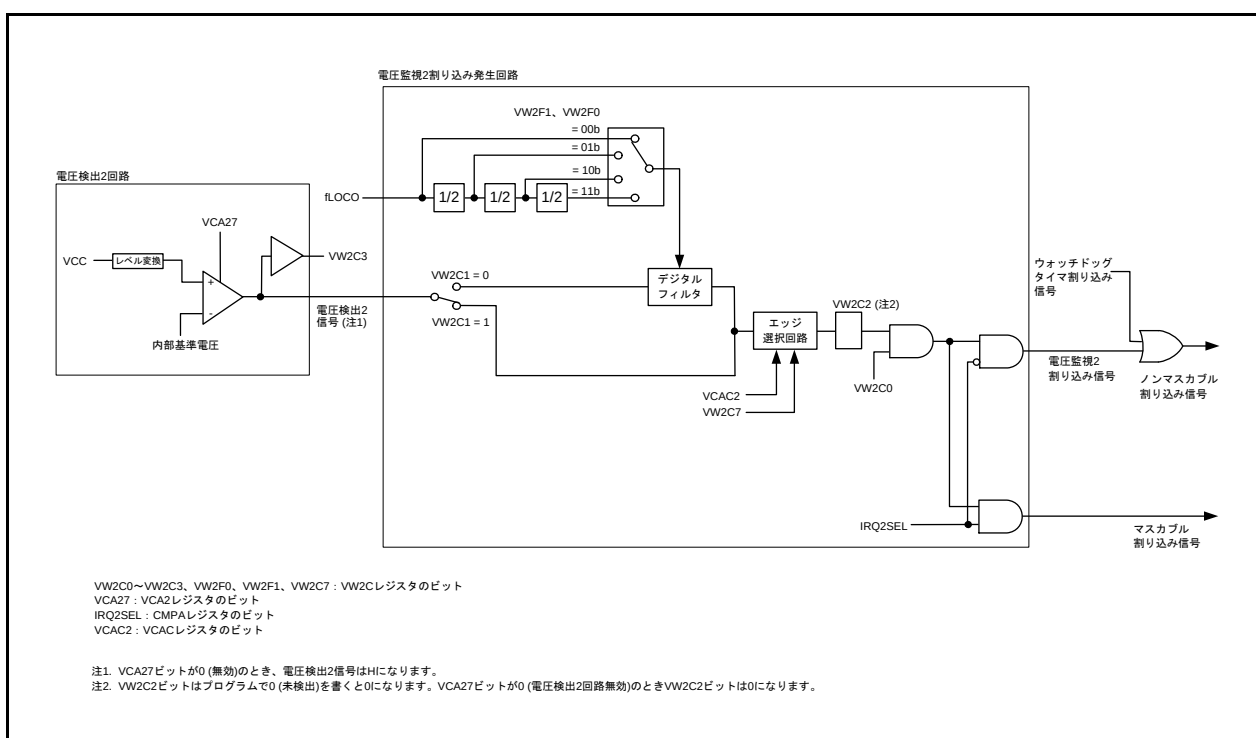


図 7.4 電圧監視2割り込み発生回路のブロック図

7.2 レジスタの説明

表7.2に電圧検出回路のレジスタ構成を示します。

表7.2 電圧検出回路のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
電圧監視回路制御レジスタ	CMPA	00h	00030h	8
電圧監視回路エッジ選択レジスタ	VCAC	00h	00031h	8
電圧検出レジスタ2	VCA2	00000000b、 00100000b (注1)	00034h	8
電圧検出1レベル選択レジスタ	VD1LS	00000111b	00036h	8
電圧監視0回路制御レジスタ	VW0C	1100XX10b、 1100XX11b (注1)	00038h	8
電圧監視1回路制御レジスタ	VW1C	10001010b	00039h	8
電圧監視2回路制御レジスタ	VW2C	10001010b	0003Ah	8
オプション機能選択レジスタ	OFS	(注2)	0FFFFh	8

注1. OFSレジスタのLVDASビットの値によってリセット後の値が異なります。

注2. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。

7.2.1 電圧監視回路制御レジスタ (CMPA)

アドレス 00030h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	IRQ2SEL	IRQ1SEL	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	IRQ1SEL	電圧監視1割り込み種類選択ビット	0 : ノンマスクابل割り込み 1 : マスクابل割り込み	R/W
b5	IRQ2SEL	電圧監視2割り込み種類選択ビット		R/W
b6	—	予約ビット	0にしてください	R/W
b7	—			

7.2.2 電圧監視回路エッジ選択レジスタ (VCAC)

アドレス	00031h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	VCAC2	VCAC1	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	VCAC1	電圧監視1回路エッジ選択ビット	0：片エッジ 1：両エッジ	R/W
b2	VCAC2	電圧監視2回路エッジ選択ビット		R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

7.2.3 電圧検出レジスタ 2 (VCA2)

アドレス	00034h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
上記はOFSレジスタのLVDASビットが1の場合								
リセット後の値	0	0	1	0	0	0	0	0
上記はOFSレジスタのLVDASビットが0の場合								

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注1)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注2)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注3)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W

注1. 電圧監視0リセットを使用する場合、VCA25ビットを1にしてください。

注2. 電圧検出1割り込みを使用する場合またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを1にしてください。VCA26ビットを0から1にした後、td(E-A)経過してから電圧検出1回路が動作します。

注3. 電圧検出2割り込みを使用する場合またはVW2CレジスタのVW2C3ビットを使用する場合、VCA27ビットを1にしてください。VCA27ビットを0から1にした後、td(E-A)経過してから電圧検出2回路が動作します。

VCA2レジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。

7.2.4 電圧検出1レベル選択レジスタ (VD1LS)

アドレス 00036h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VD1S3	VD1S2	VD1S1	VD1S0
リセット後の値	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	VD1S0	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b2 b1 b0 0 1 1 1 : 3.25 V (Vdet1_7)	R/W
b1	VD1S1		1 0 0 0 : 3.40 V (Vdet1_8)	R/W
b2	VD1S2		1 0 0 1 : 3.55 V (Vdet1_9)	R/W
b3	VD1S3		1 0 1 0 : 3.70 V (Vdet1_A)	R/W
			1 0 1 1 : 3.85 V (Vdet1_B)	
			1 1 0 0 : 4.00 V (Vdet1_C)	
			1 1 0 1 : 4.15 V (Vdet1_D)	
			1 1 1 0 : 4.30 V (Vdet1_E)	
			1 1 1 1 : 4.45 V (Vdet1_F)	
			上記以外 : 設定しないでください	
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

VD1LS レジスタは、PRCR レジスタの PRC3 ビットを1 (書き込み許可)にした後、書き換えてください。

7.2.5 電圧監視0回路制御レジスタ (VW0C)

アドレス 00038h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	VW0C0
リセット後の値	1	1	0	0	X	X	1	0

上記はOFSレジスタのLVDASビットが1の場合

リセット後の値	1	1	0	0	X	X	1	1

上記はOFSレジスタのLVDASビットが0の場合

ビット	シンボル	ビット名	機能	R/W
b0	VW0C0	電圧監視0リセット許可ビット(注1)	0: 禁止 1: 許可	R/W
b1	—	予約ビット	1にしてください	R/W
b2	—	予約ビット	読んだ場合、その値は不定。	R
b3	—	予約ビット		
b4	—	予約ビット	0にしてください	R/W
b5	—	予約ビット		
b6	—	予約ビット	1にしてください	R/W
b7	—	予約ビット		

注1. VW0C0 ビットはVCA2 レジスタのVCA25 ビットが1 (電圧検出0回路有効)のときに有効になります。VW0C0 ビットに書く場合は、リセット後の値を書いてください。

VW0C0 ビットを1にする場合は、次の手順で設定してください。

- (1) VCA25 ビットを1にする。
- (2) 検出回路が動作するまでtd(E-A)待つ。
- (3) VW0C0 ビットを1にする。

VW0C レジスタは、PRCR レジスタのPRC3 ビットを1 (書き込み許可)にした後、書き換えてください。

7.2.6 電圧監視1回路制御レジスタ (VW1C)

アドレス	00039h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW1C7	—	VW1F1	VW1F0	VW1C3	VW1C2	VW1C1	VW1C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW1C0	電圧監視1割り込み許可ビット(注1)	0 : 禁止 1 : 許可	R/W
b1	VW1C1	電圧監視1デジタルフィルタ無効モード選択ビット(注2、3)	0 : デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1 : デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW1C2	電圧変化検出フラグ(注4、5)	0 : 未検出 1 : Vdet1通過検出	R/W
b3	VW1C3	電圧検出1信号モニタフラグ(注4)	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または電圧検出1回路無効	R
b4	VW1F0	サンプリングクロック選択ビット(注3)	b5 b4 0 0 : fLOCOの1分周 0 1 : fLOCOの2分周 1 0 : fLOCOの4分周 1 1 : fLOCOの8分周	R/W
b5	VW1F1			R/W
b6	—	予約ビット	0にしてください	R/W
b7	VW1C7	電圧監視1割り込み発生条件選択ビット	0 : VCCがVdet1以上になるとき 1 : VCCがVdet1以下になるとき	R/W

注1. VW1C0ビットはVCA2レジスタのVCA26ビットが1(電圧検出1回路有効)のときに有効です。VCA26ビットが0(電圧検出1回路無効)のとき、VW1C0ビットを0(禁止)にしてください。VW1C0ビットを1(許可)にするときは、「表7.3 電圧監視1割り込み関連ビットの設定手順」に従ってください。

注2. デジタルフィルタを使用する場合(VW1C1ビットが0)、CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にしてください。

なお、電圧監視1割り込みをストップモードからの復帰に使用する場合、VW1CレジスタのVW1C1ビットを1(デジタルフィルタ無効)にしてください。

注3. VW1C0ビットが1(許可)のとき、VW1C1ビットとVW1F0、VW1F1ビットを同時に(1命令で)設定しないでください。

注4. VW1C2ビットおよびVW1C3ビットはVCA26ビットが1(電圧検出1回路有効)のときに有効になります。

注5. プログラムで0にしてください。プログラムで0を書くと0になります(1を書いても変化しません)。

VW1Cレジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。VW1Cレジスタを書き換えると、VW1C2ビットが1になる場合があります。VW1Cレジスタを書き換えた後、VW1C2ビットを0にしてください。

7.2.7 電圧監視2回路制御レジスタ (VW2C)

アドレス 0003Ah

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VW2C7	—	VW2F1	VW2F0	VW2C3	VW2C2	VW2C1	VW2C0
リセット後の値	1	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	VW2C0	電圧監視2割り込み許可ビット(注1)	0 : 禁止 1 : 許可	R/W
b1	VW2C1	電圧監視2デジタルフィルタ無効モード選択ビット(注2、3)	0 : デジタルフィルタ有効モード (デジタルフィルタ回路有効) 1 : デジタルフィルタ無効モード (デジタルフィルタ回路無効)	R/W
b2	VW2C2	電圧変化検出フラグ(注4、5)	0 : 未検出 1 : Vdet2通過検出	R/W
b3	VW2C3	電圧検出2信号モニタフラグ(注5)	0 : VCC < Vdet2 1 : VCC ≥ Vdet2 または電圧検出2回路無効	R
b4	VW2F0	サンプリングクロック選択ビット(注3)	b5 b4 0 0 : fLOCOの1分周 0 1 : fLOCOの2分周 1 0 : fLOCOの4分周 1 1 : fLOCOの8分周	R/W
b5	VW2F1			R/W
b6	—	予約ビット	0にしてください	R/W
b7	VW2C7	電圧監視2割り込み発生条件選択ビット	0 : VCCがVdet2以上になるとき 1 : VCCがVdet2以下になるとき	R/W

注1. VW2C0ビットはVCA2レジスタのVCA27ビットが1(電圧検出2回路有効)のときに有効です。VCA27ビットが0(電圧検出2回路無効)のとき、VW2C0ビットを0(禁止)にしてください。VW2C0ビットを1(許可)にするときは、「表7.4 電圧監視2割り込み関連ビットの設定手順」に従ってください。

注2. デジタルフィルタを使用する場合(VW2C1ビットが0)、CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にしてください。

なお、電圧監視2割り込みをストップモードからの復帰に使用する場合、VW2C1ビットを1(デジタルフィルタ無効モード)にしてください。

注3. VW2C0ビットが1(許可)のとき、VW2C1ビットとVW2F0、VW2F1ビットを同時に(1命令で)設定しないでください。

注4. VW2C2ビットはVCA27ビットが1(電圧検出2回路有効)のとき有効になります。

注5. プログラムで0にしてください。プログラムで0を書くと0になります(1を書いても変化しません)。

VW2Cレジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。VW2Cレジスタを書き換えると、VW2C2ビットが1になる場合があります。VW2Cレジスタを書き換えた後、VW2C2ビットを0にしてください。

7.2.8 オプション機能選択レジスタ (OFS)

アドレス 0FFFFh

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR — WDTON

リセット後の値 ユーザの設定値 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V選択 (Vdet0_3) 0 1 : 2.85 V選択 (Vdet0_2) 上記以外: 設定しないでください	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0 (リセット後、電圧監視0リセット有効) にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDAS ビット (電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

7.3 VCC入力電圧のモニタ

7.3.1 Vdet0のモニタ

Vdet0のモニタはできません。

7.3.2 Vdet1のモニタ

次の設定をした後、td(E-A) (「30. 電気的特性」参照)経過してから、VW1CレジスタのVW1C3ビットで電圧監視1の比較結果をモニタできます。

- (1) VD1LSレジスタのVD1S0～VD1S3ビットで電圧検出1の検出電圧を選択する
- (2) VCA2レジスタのVCA26ビットを1 (電圧検出1回路有効)にする

7.3.3 Vdet2のモニタ

次の設定をした後、td(E-A) (「30. 電気的特性」参照)経過後、VW2CレジスタのVW2C3ビットで電圧監視2の比較結果をモニタできます。

- (1) VCA2レジスタのVCA27ビットを1 (電圧検出2回路有効)にする

7.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFSレジスタのLVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

図7.5に電圧監視0リセットの動作例を示します。

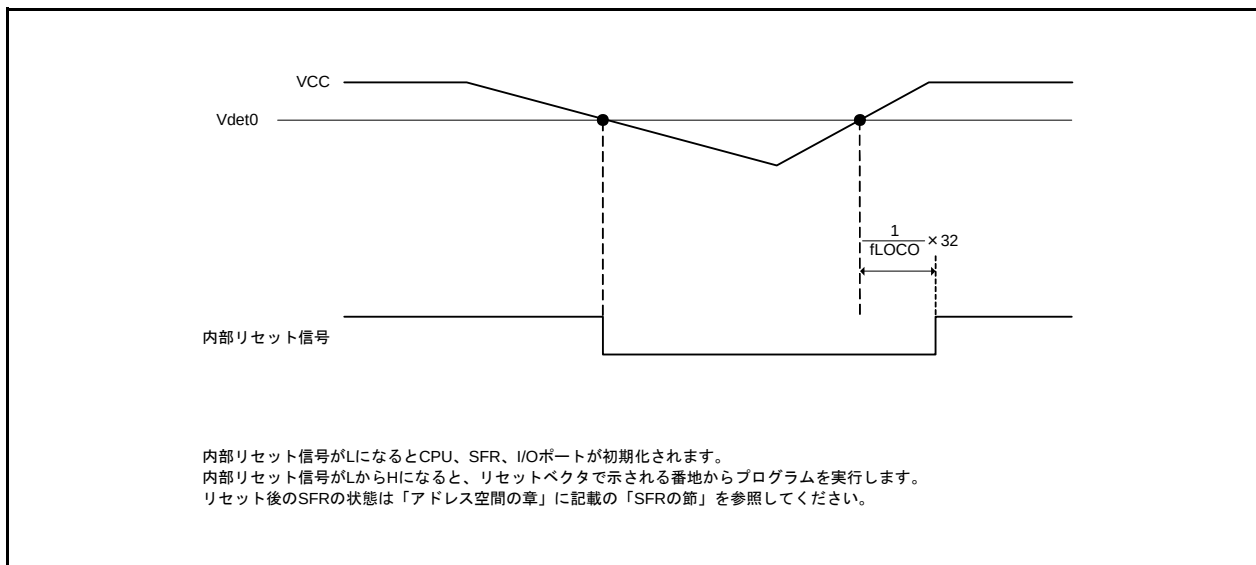


図7.5 電圧監視0リセットの動作例

7.5 電圧監視1割り込み

表7.3に電圧監視1割り込み関連ビットの設定手順を、図7.6に電圧監視1割り込みの動作例を示します。

なお、電圧監視1割り込みをストップモードからの復帰に使用する場合は、VW1CレジスタのVW1C1ビットを1(デジタルフィルタ無効モード)にしてください。

表7.3 電圧監視1割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VD1LSレジスタのVD1S0～VD1S3ビットで電圧検出1の検出電圧を選択する	
2	VCA2レジスタのVCA26ビットを1(電圧検出1回路有効)にする	
3	td(E-A)待つ	
4	CMPAレジスタのIRQ1SELビットで割り込みの種類を選択する	
5(注1)	VW1CレジスタのVW1F0、VW1F1ビットでデジタルフィルタのサンプリングクロックを選択する	VW1CレジスタのVW1C1ビットを1(デジタルフィルタ無効)にする
6(注1)	VW1CレジスタのVW1C1ビットを0(デジタルフィルタ有効)にする	—
7(注1)	VW1CレジスタのVW1C7ビットで割り込み検出のタイミングを選択する	
8	VCACレジスタのVCAC1ビットで割り込み検出のタイミングを選択する	
9	CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にする	—
10	デジタルフィルタのサンプリングクロック×4サイクル+低速OCOクロック×2サイクル待つ	— (待ち時間なし)
11	VW1CレジスタのVW1C2ビットを0にする	
12(注2)	VW1CレジスタのVW1C0ビットを1(電圧監視1割り込み許可)にする	

注1. VW1C0ビットが0のとき、手順5～7は同時に(1命令で)実行可能です。

注2. 電圧監視1割り込みが無効(VW1C0ビットが0、VCA26ビットが0)の状態から設定するとき、手順12の電圧監視1割り込みを許可するまでに $VCC < V_{det1}$ (または $VCC > V_{det1}$)を検出した場合は、割り込みは発生しません。手順11と手順12の間に $VCC < V_{det1}$ (または $VCC > V_{det1}$)を検出した場合は、VW1C2ビットが1になります。手順12のあとVW1C2ビットを読み、1の場合は検出したときに実行する処理を実施してください。

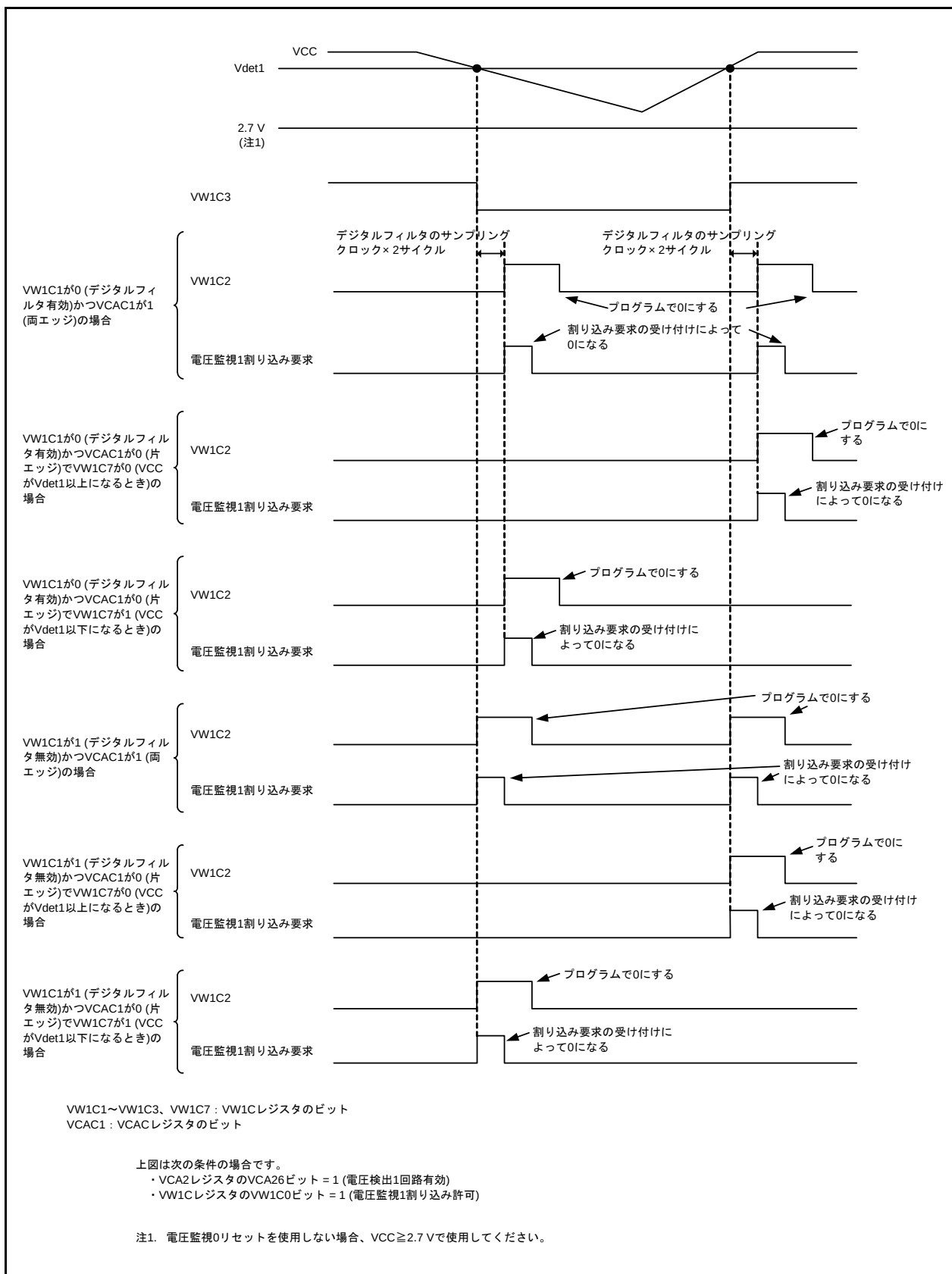


図 7.6 電圧監視1割り込みの動作例

7.6 電圧監視2割り込み

表7.4に電圧監視2割り込み関連ビットの設定手順を、図7.7に電圧監視2割り込みの動作例を示します。

なお、電圧監視2割り込みをストップモードからの復帰に使用する場合は、VW2CレジスタのVW2C1ビットを1(デジタルフィルタ無効)にしてください。

表7.4 電圧監視2割り込み関連ビットの設定手順

手順	デジタルフィルタを使用する場合	デジタルフィルタを使用しない場合
1	VCA2レジスタのVCA27ビットを1(電圧検出2回路有効)にする	
2	td(E-A)待つ	
3	CMPAレジスタのIRQ2SELビットで割り込みの種類を選択する	
4(注1)	VW2CレジスタのVW2F0、VW2F1ビットでデジタルフィルタのサンプリングクロックを選択する	VW2CレジスタのVW2C1ビットを1(デジタルフィルタ無効)にする
5(注1)	VW2CレジスタのVW2C1ビットを0(デジタルフィルタ有効)にする	—
6(注1)	VW2CレジスタのVW2C7ビットで割り込み検出のタイミングを選択する	
7	VCACレジスタのVCAC2ビットで割り込み検出のタイミングを選択する	
8	CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にする	—
9	デジタルフィルタのサンプリングクロック×4サイクル+低速OCOクロック×2サイクル待つ	— (待ち時間なし)
10	VW2CレジスタのVW2C2ビットを0にする	
11(注2)	VW2CレジスタのVW2C0ビットを1(電圧監視2割り込み許可)にする	

注1. VW2C0ビットが0のとき、手順4～6は同時に(1命令で)実行可能です。

注2. 電圧監視2割り込みが無効(VW2C0ビットが0、VCA27ビットが0)の状態から設定するとき、手順11の電圧監視2割り込みを許可するまでにVCC < Vdet2 (またはVCC > Vdet2)を検出した場合は、割り込みは発生しません。手順10と手順11の間にVCC < Vdet2 (またはVCC > Vdet2)を検出した場合は、VW2C2ビットが1になります。手順11のあとVW2C2ビットを読み、1の場合は検出したときに実行する処理を実施してください。

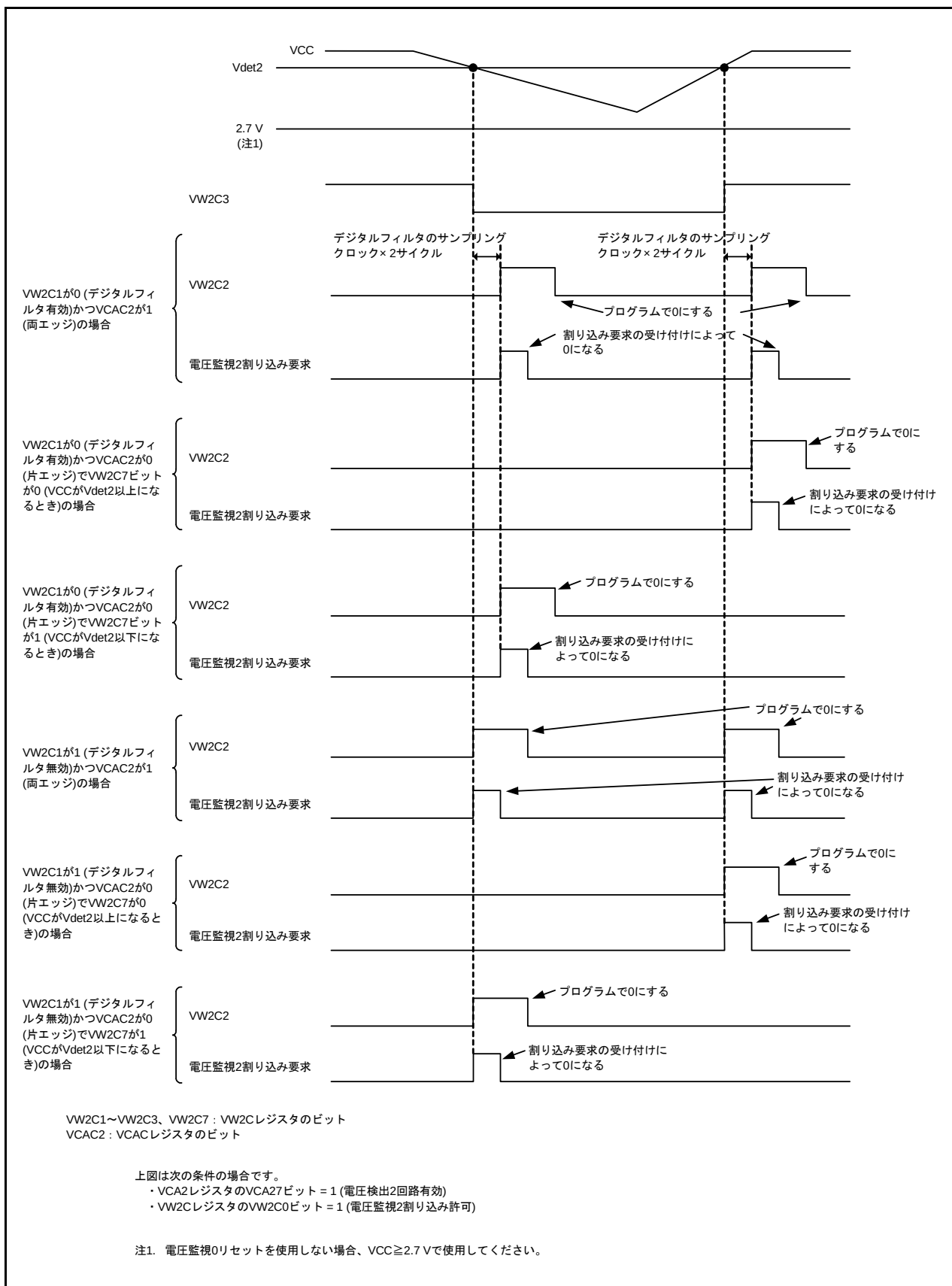


図 7.7 電圧監視2割り込みの動作例

8. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、ウォッチドッグタイマを使用されることをお奨めします。

8.1 概要

ウォッチドッグタイマは14ビットのダウンカウンタを持ち、カウントソース保護モードの有効または無効を選択できます。

表8.1にウォッチドッグタイマの仕様を示します。

ウォッチドッグタイマリセットの詳細は「6.3.5 ウォッチドッグタイマリセット」を参照してください。

図8.1にウォッチドッグタイマのブロック図を示します。

表8.1 ウォッチドッグタイマの仕様

項目	カウントソース保護モード無効時	カウントソース保護モード有効時
カウントソース	CPUクロック、またはウォッチドッグタイマ用低速オンチップオシレータクロック (1/16)	ウォッチドッグタイマ用低速オンチップオシレータクロック
カウント動作	ダウンカウント	
カウント開始条件	次のいずれかを選択可能 ・リセット後、自動的にカウントを開始 ・WDTSレジスタへの書き込みによりカウントを開始	
カウント停止条件	・カウントソースがCPUクロックの2、16または128分周のとき、ウェイトモードまたはストップモードに移行すると、カウントを停止します ・カウントソースがウォッチドッグタイマ用低速オンチップオシレータクロックの16分周のとき、ウェイトモードまたはストップモードに移行しても、カウントを停止しません	なし
ウォッチドッグタイマ初期化条件	・リセット ・受付可能な期間内にWDTRレジスタに00hを書いた後、FFhを書く(注1) (受付期間の設定あり) ・アンダフロー	
アンダフロー時の動作	ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット	ウォッチドッグタイマリセット
選択機能	・カウントソースの選択 WDTCレジスタのWDTC6、WDTC7ビットで選択 ・カウントソース保護モード - リセット後に有効か無効かをOFSレジスタのCSPROINIビット(フラッシュメモリ)で選択 - リセット後に無効の場合はCSPRレジスタのCSPROビット(プログラム)で選択 ・リセット後のウォッチドッグタイマの起動または停止 OFSレジスタのWDTONビット(フラッシュメモリ)で選択 ・ウォッチドッグタイマの初期値 OFS2レジスタのWDTUFS0、WDTUFS1ビットで選択 ・ウォッチドッグタイマのリフレッシュ受付周期 OFS2レジスタのWDTRCS0、WDTRCS1ビットで選択	

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中のリフレッシュ期間に書いてください。

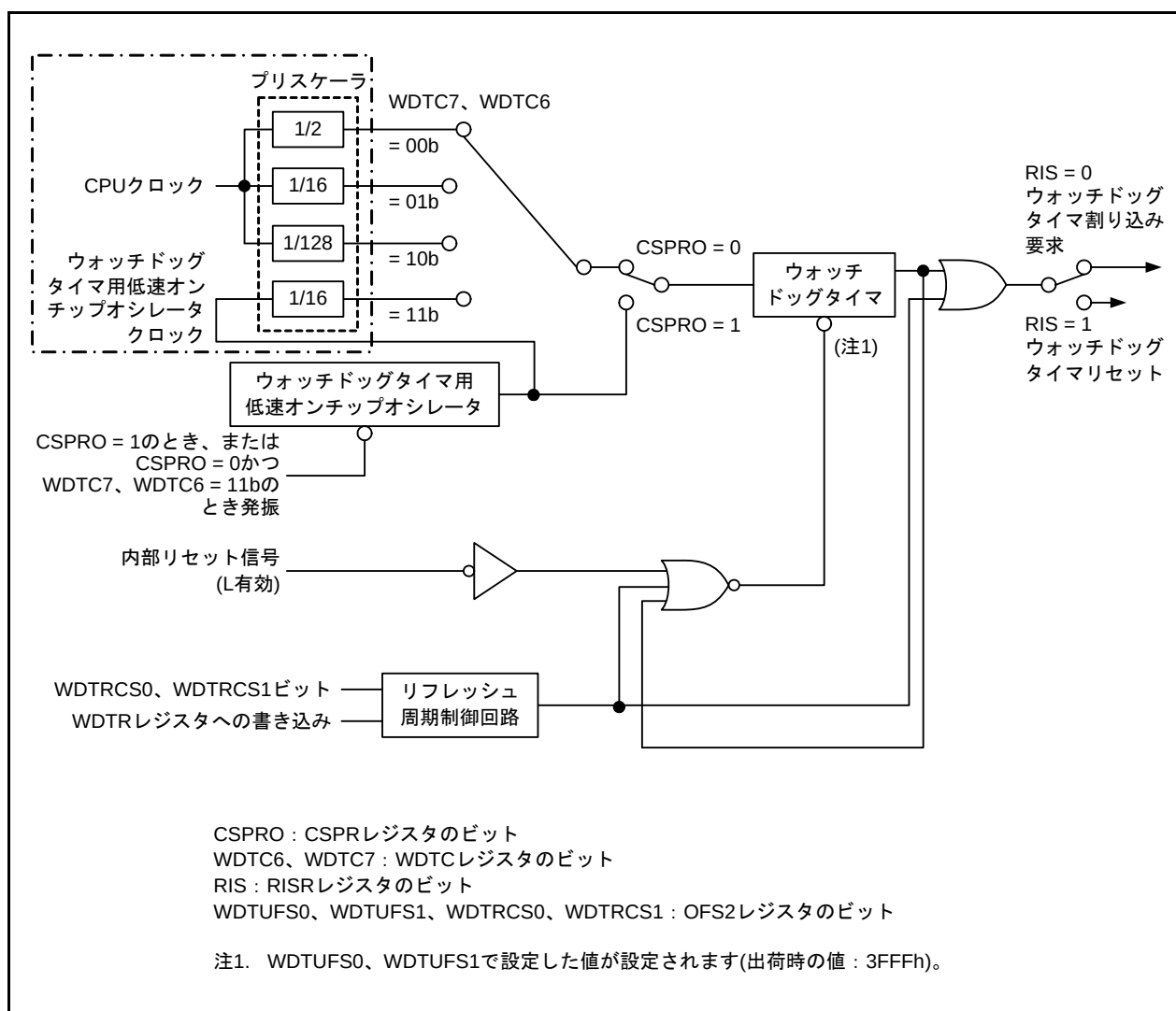


図8.1 ウォッチドッグタイマのブロック図

8.2 レジスタの説明

表8.2にウォッチドッグタイマのレジスタ構成を示します。

表8.2 ウォッチドッグタイマのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
リセット割り込み選択レジスタ	RISR	10000000b、 00000000b (注1)	00020h	8
ウォッチドッグタイマリセットレジスタ	WDTR	FFh	00021h	8
ウォッチドッグタイマスタートレジスタ	WDTS	FFh	00022h	8
ウォッチドッグタイマ制御レジスタ	WDTC	01111111b	00023h	8
カウントソース保護モードレジスタ	CSPR	10000000b、 00000000b (注1)	00024h	8
オプション機能選択レジスタ2	OFS2	(注2)	0FFDBh	8
オプション機能選択レジスタ	OFS	(注3)	0FFFFh	8

注1. OFS レジスタの CSPROINI ビットの値によってリセット後の値が異なります。

注2. OFS2 レジスタはフラッシュメモリ上にあり、SFRではありません。ROM データとして、プログラムで適切な値を設定してください。

OFS2 レジスタに追加書き込みをしないでください。OFS2 レジスタを含むブロックを消去すると、OFS2 レジスタはFFhになります。

注3. OFS レジスタはフラッシュメモリ上にあり、SFRではありません。ROM データとして、プログラムで適切な値を設定してください。

OFS レジスタに追加書き込みをしないでください。OFS レジスタを含むブロックを消去すると、OFS レジスタはFFhになります。

8.2.1 リセット割り込み選択レジスタ (RISR)

アドレス	00020h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RIS	UFIF	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0
上記はOFSレジスタのCSPROINIビットが0の場合								
リセット後の値	0	0	0	0	0	0	0	0
上記はOFSレジスタのCSPROINIビットが1の場合								

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	UFIF	WDT アンダフロー検出フラグ	0 : ウォッチドッグタイマアンダフローなし 1 : ウォッチドッグタイマアンダフローあり (注1)	R/W
b7	RIS	WDT 割り込み/リセット切り替えビット	0 : ウォッチドッグタイマ割り込み 1 : ウォッチドッグタイマリセット (注2)	R/W

注1. 1を読んだ後、カウントソースの1サイクル分経過してから、UFIFビットに0を書いてください。

注2. RISビットは、プログラムで1を書くと1になりますが、0を書いても変化しません。

CSPR レジスタのCSPROビットが1 (カウントソース保護モード有効) のとき、RISビットは自動的に1になります。

PRCR レジスタのPRC1ビットを1 (書き込み許可) にした後、RISR レジスタを書き換えてください。

UFIF ビット (WDT アンダフロー検出フラグ)

[0になる条件]

- 0を書いたとき

[1になる条件]

- RIS ビットが0 (ウォッチドッグタイマ割り込み) で、ウォッチドッグタイマがアンダフローしたとき
- RIS ビットが0 (ウォッチドッグタイマ割り込み) で、受付可能な期間以外にリフレッシュを実行したとき (不正リフレッシュ)

8.2.2 ウォッチドッグタイマリセットレジスタ (WDTR)

アドレス	00021h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7～b0	受付可能な期間内に00hを書いた後、FFhを書くと、ウォッチドッグタイマは初期化されます。ウォッチドッグタイマの初期値は、OFS2レジスタのWDTUFS0、WDTUFS1ビットで指定されます。(注1)	W

注1. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

8.2.3 ウォッチドッグタイマスタートレジスタ (WDTS)

アドレス	00022h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b7～b0	このレジスタに対する書き込み命令で、ウォッチドッグタイマは開始します。	W

8.2.4 ウォッチドッグタイマ制御レジスタ (WDTC)

アドレス	00023h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WDTC7	WDTC6	WDTC5	WDTC4	WDTC3	WDTC2	WDTC1	WDTC0
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	WDTC0	ウォッチドッグタイマモニタビット	OFS2 レジスタの WDTUFS1～WDTUFS0 ビットの 設定値によってウォッチドッグタイマの表 8.3 に示す ビットが読めます。	R
b1	WDTC1			
b2	WDTC2			
b3	WDTC3			
b4	WDTC4			
b5	WDTC5	ウォッチドッグタイマカウント ソース選択ビット	b7 b6 0 0 : CPU クロックの 2 分周 0 1 : CPU クロックの 16 分周 1 0 : CPU クロックの 128 分周 1 1 : ウォッチドッグタイマ用低速オンチップオ シレータクロックの 16 分周	R/W
b7	WDTC7			R/W

表 8.3 WDTC5～WDTC0 ビットに表示されるウォッチドッグタイマのビット

OFS2 レジスタ	WDTC レジスタ
WDTUFS1～WDTUFS0 ビット設定値	WDTC5～WDTC0 ビットに表示される ウォッチドッグタイマの該当ビット
00b (03FFh)	ウォッチドッグタイマの b5～b0 の内容
01b (0FFFh)	ウォッチドッグタイマの b7～b2 の内容
10b (1FFFh)	ウォッチドッグタイマの b8～b3 の内容
11b (3FFFh)	ウォッチドッグタイマの b9～b4 の内容

8.2.5 カウントソース保護モードレジスタ (CSPR)

アドレス 00024h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CSPRO	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

上記はOFSレジスタのCSPROINIビットが0の場合

リセット後の値	0	0	0	0	0	0	0	0

上記はOFSレジスタのCSPROINIビットが1の場合

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	CSPRO	カウントソース保護モード選択ビット(注1)	0: カウントソース保護モード無効 1: カウントソース保護モード有効	R/W

注1. CSPRO ビットを1にする場合、0を書いた後、1を書いてください。プログラムでは0にできません。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

8.2.6 オプション機能選択レジスタ 2 (OFS2)

アドレス	0FFDBh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	WDTRCS1	WDTRCS0	WDTUFS1	WDTUFS0
リセット後の値	ユーザの設定値(注1)							

ビット	シンボル	ビット名	機能	R/W
b0	WDTUFS0	ウォッチドッグタイマアンダフロー 周期設定ビット	b1 b0	R/W
b1	WDTUFS1		0 0 : 03FFh	R/W
			0 1 : 0FFFh	
			1 0 : 1FFFh	
			1 1 : 3FFFh	
b2	WDTRCS0	ウォッチドッグタイマリフレッシュ 受付周期設定ビット	b3 b2	R/W
b3	WDTRCS1		0 0 : 25 %	R/W
			0 1 : 50 %	
			1 0 : 75 %	
			1 1 : 100 %	
b4	—	予約ビット	1にしてください	R/W
b5	—			
b6	—			
b7	—			

注1. OFS2 レジスタはフラッシュメモリ上にあり、SFRではありません。ROM データとして、プログラムで適切な値を設定してください。OFS2 レジスタに追加書き込みをしないでください。OFS2 レジスタを含むブロックを消去すると、OFS2 レジスタはFFhになります。ブランク出荷品の出荷時、OFS2 レジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFS2 レジスタの値は、ユーザがプログラムで設定した値です。

OFS2 レジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

WDTRCS0～WDTRCS1 ビット

(ウォッチドッグタイマリフレッシュ受付周期設定ビット)

ウォッチドッグタイマのカウンタ開始からアンダフローまでの期間を100 %として、ウォッチドッグタイマのリフレッシュ受付可能な期間を選択します。

詳細は「8.3.1.1 リフレッシュ受付期間」を参照してください。

8.2.7 オプション機能選択レジスタ (OFS)

アドレス 0FFFFh

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR — WDTON

リセット後の値 ユーザの設定値 (注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0 : リセット後、ウォッチドッグタイマは自動的に起動 1 : リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0 : ROMコードプロテクト解除 1 : ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0 : ROMコードプロテクト有効 1 : ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V選択 (Vdet0_3) 0 1 : 2.85 V選択 (Vdet0_2) 上記以外 : 設定しないでください	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0 : リセット後、カウントソース保護モード有効 1 : リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0 (リセット後、電圧監視0リセット有効) にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDAS ビット (電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

8.3 動作説明

8.3.1 複数モードに関わる共通事項

8.3.1.1 リフレッシュ受付期間

ウォッチドッグタイマへのリフレッシュ動作 (WDTR レジスタへの書き込み) を受け付けできる期間を、OFS2 レジスタの WDTRCS0、WDTRCS1 ビットで選択できます。図8.2にウォッチドッグタイマのリフレッシュ受付期間を示します。

ウォッチドッグタイマのカウント開始からアンダフローまでの期間を 100 % として、受付可能な期間内に実行されたリフレッシュ動作が受け付けられます。受付可能な期間以外に実行されたリフレッシュ動作は、不正な書き込みとして、ウォッチドッグタイマ割り込みまたはウォッチドッグタイマリセット (RISR レジスタの RIS ビットで選択) が発生します。

なお、ウォッチドッグタイマのカウント停止中にリフレッシュ動作を実行しないでください。

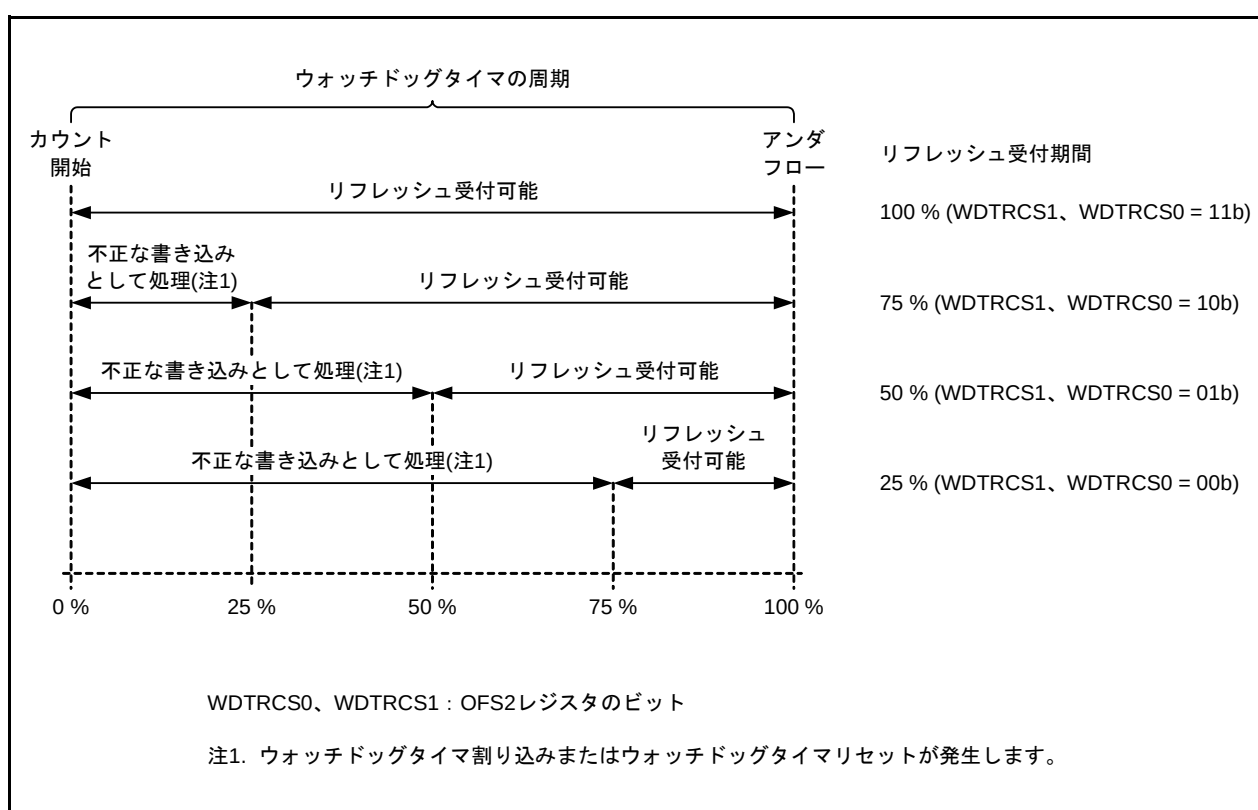


図8.2 ウォッチドッグタイマのリフレッシュ受付期間

8.3.2 カウントソース保護モード無効時

カウントソース保護モード無効時、ウォッチドッグタイマのカウントソースはCPUクロックまたはウォッチドッグタイマ用低速オンチップオシレータクロックです。

表8.4にカウントソース保護モード無効時ウォッチドッグタイマの仕様を示します。

表8.4 カウントソース保護モード無効時ウォッチドッグタイマの仕様

項目	仕様
カウントソース	CPUクロックまたはウォッチドッグタイマ用低速オンチップオシレータクロック (1/16)
カウント動作	ダウンカウント
周期	プリスケアラの分周比(n) × ウォッチドッグタイマのカウント値(m) (注1) カウントソース n : 2、16または128 (WDTCレジスタのWDTC6、WDTC7ビットで選択) ただし、WDTC7、WDTC6ビットが11b (カウントソースがウォッチドッグタイマ用低速オンチップオシレータクロック) のときは16 m : OFS2レジスタのWDTUFS0、WDTUFS1ビットで設定した値 例 : CPUクロックが20 MHzで、プリスケアラが16分周し、WDTUFS1、WDTUFS0ビットが11b (3FFFh) の場合、周期は約13.1 ms
ウォッチドッグタイマ初期化条件	- リセット - WDTRレジスタに00hを書いた後、FFhを書く (注2) - アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFSレジスタ(0FFFFh番地)のWDTONビット(注3)で選択 - WDTONビットが1 (リセット後、ウォッチドッグタイマは停止状態) のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDT5レジスタに書くことにより、カウントを開始 - WDTONビットが0 (リセット後、ウォッチドッグタイマは自動的に起動) のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	- カウントソースがCPUクロックの2、16または128分周のとき、ウェイトモードまたはストップモードに移行すると、カウントを停止します - カウントソースがウォッチドッグタイマ用低速オンチップオシレータクロックの16分周のとき、ウェイトモードまたはストップモードに移行しても、カウントを停止しません
アンダフロー時の動作	- RISRレジスタのRISビットが0のとき ウォッチドッグタイマ割り込み - RISRレジスタのRISビットが1のとき ウォッチドッグタイマリセット (「6.3.5 ウォッチドッグタイマリセット」参照)

注1. WDTRレジスタに00hを書いた後、FFhを書くと、ウォッチドッグタイマは初期化されます。プリスケアラはリセット後、初期化されます。したがって、ウォッチドッグタイマの周期には、プリスケアラによる誤差が生じます。

注2. WDTRレジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

注3. WDTONビットはプログラムでは変更できません。WDTONビットを設定する場合は、フラッシュライタで0FFFFh番地のb0に0を書き込んでください。

8.3.3 カウントソース保護モード有効時

カウントソース保護モード有効時、ウォッチドッグタイマのカウントソースはウォッチドッグタイマ用低速オンチップオシレータクロックです。プログラムの暴走時に CPU クロックが停止しても、ウォッチドッグタイマにクロックを供給できます。

表8.5にカウントソース保護モード有効時ウォッチドッグタイマの仕様を示します。

表8.5 カウントソース保護モード有効時ウォッチドッグタイマの仕様

項目	仕様
カウントソース	ウォッチドッグタイマ用低速オンチップオシレータクロック
カウント動作	ダウンカウント
周期	ウォッチドッグタイマのカウント値(m) ウォッチドッグタイマ用低速オンチップオシレータクロック m : OFS2 レジスタのWDTUFS0、WDTUFS1 ビットで設定した値 例 : ウォッチドッグタイマ用低速オンチップオシレータクロックが125 kHz で、 WDTUFS1、WDTUFS0 ビットが00b (03FFh) の場合、周期は約8.2 ms
ウォッチドッグタイマ初期化条件	- リセット - WDTR レジスタに00hを書いた後、FFhを書く(注1) - アンダフロー
カウント開始条件	リセット後のウォッチドッグタイマの動作を、OFS レジスタ(0FFFFh番地)のWDTON ビット(注2)で選択 - WDTON ビットが1(リセット後、ウォッチドッグタイマは停止状態)のとき リセット後、ウォッチドッグタイマとプリスケアラは停止しており、WDTS レジスタに書くことにより、カウントを開始 - WDTON ビットが0(リセット後、ウォッチドッグタイマは自動的に起動)のとき リセット後、自動的にウォッチドッグタイマとプリスケアラがカウントを開始
カウント停止条件	なし(カウント開始後、ウェイトモードまたはストップモードでも停止しない)
アンダフロー時の動作	ウォッチドッグタイマリセット(「6.3.5 ウォッチドッグタイマリセット」参照)
レジスタ、ビット	CSPR レジスタのCSPROビットを1(カウントソース保護モード有効)にすると(注3)、次が自動的に設定される - ウォッチドッグタイマ用低速オンチップオシレータが発振 - RISR レジスタのRIS ビットを1(ウォッチドッグタイマリセット)

注1. WDTR レジスタへは、ウォッチドッグタイマのカウント動作中に書いてください。

注2. WDTON ビットはプログラムでは変更できません。WDTON ビットを設定する場合は、フラッシュライタで 0FFFFh 番地の b0 に 0 を書き込んでください。

注3. OFS レジスタのCSPROINI ビットに 0 を書いても、CSPRO ビットは 1 になります。CSPROINI ビットはプログラムでは変更できません。CSPROINI ビットを設定する場合は、フラッシュライタで 0FFFFh 番地の b7 に 0 を書き込んでください。

9. クロック発生回路

9.1 概要

クロック発生回路として、5つの回路が内蔵されています。

- XIN クロック発振回路
- 低速オンチップオシレータ
- 高速オンチップオシレータ
- ウォッチドッグタイマ用低速オンチップオシレータ
- PLL 周波数シンセサイザ

表 9.1 にクロック発生回路の仕様を、図 9.1 にクロック発生回路のブロック図を、図 9.2 に周辺機能クロックの供給を、表 9.2 にクロック発生回路の端子構成を示します。

表 9.1 クロック発生回路の仕様

項目	XIN クロック発振回路	オシレータ		ウォッチドッグ タイマ用低速オンチップ オシレータ	PLL 周波数 シンセサイザ
		高速オンチップ オシレータ	低速オンチップ オシレータ		
用途	• CPU のクロック源 • 周辺機能のクロック源	• CPU のクロック源 • 周辺機能のクロック源 • XIN クロック発振停止時の CPU、周辺機能のクロック源		• ウォッチドッグタイマのクロック源	• CPU のクロック源 • 周辺機能のクロック源
クロック 周波数	0 ~ 20 MHz	約 40 MHz (注3)	約 125 kHz	約 125 kHz	10 MHz ~ 32 MHz
接続できる 発振子	• セラミック共振子 • 水晶発振子	—		—	— (注6)
発振子の接続 端子	XIN、XOUT (注1)	— (注1)		—	— (注6)
発振の開始と 停止	あり	あり		あり	あり
リセット後の 状態	停止	停止	発振	停止(注4) 発振(注5)	停止
その他	• 外部で生成されたクロックを入力可能(注2)	—		—	— (注6)

注1. XIN クロック発振回路を使用せず、オンチップオシレータクロックを CPU クロックに使用する場合には P4_6、P4_7 として使うことができます。

注2. 外部クロック入力時には、CM0 レジスタの CM05 ビットを 0 (発振)、CM0 レジスタの CM07 ビットを 1 (XOUT 端子への外部クロック入力による XIN クロック供給)に、CM1 レジスタの CM13 ビットを 1 (XIN-XOUT 端子)にしてください。

注3. CPU クロック源として使用する場合には、分周器により最大：約 20 MHz となります。

注4. OFS レジスタの CSPROINI ビットが 1 (リセット後、カウントソース保護モード無効)の場合です。

注5. CSPROINI ビットが 0 (リセット後、カウントソース保護モード有効)の場合です。

注6. PLL 周波数シンセサイザは基準クロック源として XIN クロック発振回路を使用します。

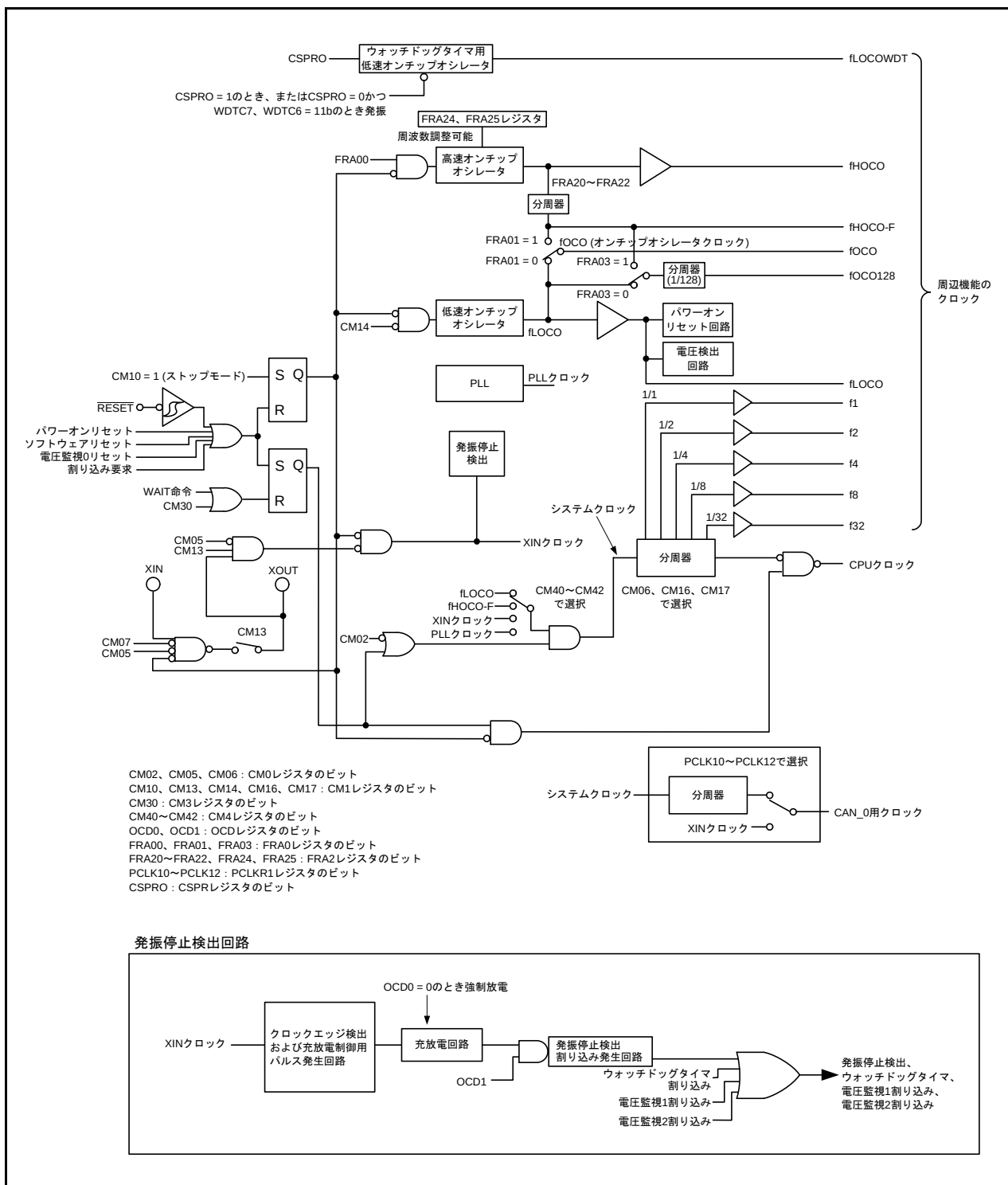


図9.1 クロック発生回路のブロック図

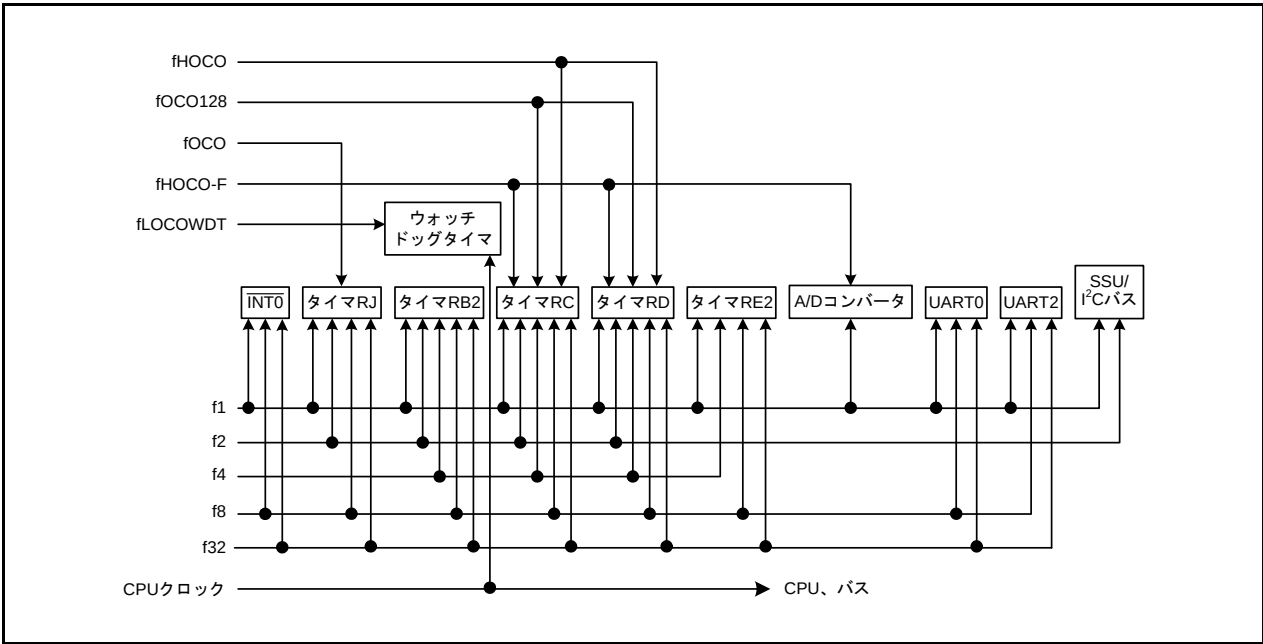


図9.2 周辺機能クロックの供給

表9.2 クロック発生回路の端子構成

端子名	入出力	機能
XIN	入力	XINクロック発振回路の入力
XOUT	入出力	XINクロック発振回路の出力/外部クロック入力

9.2 レジスタの説明

表9.3にクロック発生回路のレジスタ構成を示します。

表9.3 クロック発生回路のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システムクロック制御レジスタ0	CM0	00101000b	00008h	8
システムクロック制御レジスタ1	CM1	00100000b	00009h	8
発振停止検出レジスタ	OCD	00h	0000Ah	8
システムクロック制御レジスタ3	CM3	00h	0000Bh	8
システムクロック制御レジスタ4	CM4	00000001b	0000Ch	8
周辺クロック選択レジスタ1	PCLKR1	00h	0000Fh	8
高速オンチップオシレータ制御レジスタ0	FRA0	00h	00012h	8
高速オンチップオシレータ制御レジスタ2	FRA2	00h	00014h	8
PLL制御レジスタ0	PLC0	00010010b	0001Ch	8
電圧検出レジスタ2	VCA2	00000000b、 00100000b (注1)	00034h	8
入出力機能端子選択レジスタ	PINSR	00h	002B9h	8

注1. OFSレジスタのLVDASビットの値によってリセット後の値が異なります。

9.2.1 システムクロック制御レジスタ 0 (CM0)

アドレス	00008h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	—	—	CM02	—	—
リセット後の値	0	0	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	CM02	ウェイトモード時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロックを停止しない 1: ウェイトモード時、周辺機能クロックを停止する	R/W
b3	—	予約ビット	1にしてください	R/W
b4	—	予約ビット	0にしてください	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、2)	0: 発振 1: 停止(注3)	R/W
b6	CM06	CPUクロック分周比選択ビット0(注4)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	XINクロック供給設定ビット(注5)	0: 発振子(セラミック共振子外付け等)によるXINクロック供給 1: XOUT端子への外部クロック入力によるXINクロック供給	R/W

注1. CM05ビットはXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

(1)OCDレジスタのOCD1、OCD0ビットを00b(発振停止検出機能無効)

(2)CM4レジスタのCM42～CM40ビットを001b(fLOCOクロック)、101b(fHOCO-Fクロック)にしてください。

注2. CM05ビットが1(XINクロック停止)かつCM1レジスタのCM13ビットが0(P4_6、P4_7)の場合のみ、P4_6、P4_7はI/Oポートとして使用できます。

注3. 外部クロック入力時には、クロック入力そのものも受け付けません。

注4. ストップモードへの移行時、CM06ビットは1(8分周モード)になります。

注5. ストップモードまたはウェイトモードからの復帰時、XINクロックに切り替える場合、CM05ビットを1(XINクロック停止)にしないでください。

CM0レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.2 システムクロック制御レジスタ 1 (CM1)

アドレス 00009h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	—	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット (注1、2)	0 : クロック発振 1 : 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT 内蔵帰還抵抗選択ビット	0 : 内蔵帰還抵抗有効 1 : 内蔵帰還抵抗無効	R/W
b2	—	予約ビット	0にしてください	R/W
b3	CM13	ポート/XIN-XOUT 切り替えビット (注3)	0 : I/OポートP4_6、P4_7 1 : XIN-XOUT 端子	R/W
b4	CM14	低速オンチップオシレータ発振停止 ビット(注4、5)	0 : 低速オンチップオシレータ発振 1 : 低速オンチップオシレータ停止	R/W
b5	—	予約ビット	1にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1 (注6)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	R/W
b7	CM17			R/W

注1. CM10ビットが1(ストップモード)の場合、内蔵している帰還抵抗は無効となります。CM10ビットが1(ストップモード)の場合、CM13ビットが1(XIN-XOUT端子)のとき、XIN(P4_6)、XOUT(P4_7)端子はハイインピーダンスになります。

注2. SVDCレジスタのSVC0ビットが1(低消費電力モード遷移許可)のとき、CM10ビットを1(ストップモード)にしないでください。

注3. CM13ビットはプログラムで一度1にすると、0にはできません。XIN-XOUT端子として使用する場合はCM13ビットを1にしてください。

注4. CM14ビットはCM4レジスタのCM42～CM40ビットが000b(XINクロック)のとき、1(低速オンチップオシレータ停止)にできます。CM42～CM40ビットを001b(fLOCOクロック)にすると、CM14ビットは0(低速オンチップオシレータ発振)になります。1を書いても変化しません。

注5. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを0(低速オンチップオシレータ発振)にしてください。

注6. CM0レジスタのCM06ビットが0(CM16、CM17ビット有効)の場合、CM16、CM17ビットは有効となります。

CM1レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.3 発振停止検出レジスタ (OCD)

アドレス	0000Ah							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	OCD6	—	—	OCD3	OCD2	OCD1	OCD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OCD0	発振停止検出有効ビット (注1)	0 : 発振停止検出機能無効(注2) 1 : 発振停止検出機能有効	R/W
b1	OCD1	発振停止検出割り込み許可ビット	0 : 禁止(注2) 1 : 許可	R/W
b2	OCD2	発振停止検出フラグ (注3)	0 : 発振 1 : 発振停止検出	R
b3	OCD3	発振停止モニタビット (注4)	0 : 発振周波数 > 約 2 MHz 1 : 発振周波数 ≤ 約 2 MHz	R/W
b4	—	予約ビット	0にしてください	R/W
b5	—			
b6	OCD6	発振停止検出時の切り替えクロック選 択ビット(注5)	0 : fLOCO 1 : fHOCO-F	R/W
b7	—	予約ビット	0にしてください	R/W

注1. 発振停止検出後、XIN クロックが再発振した場合の切り替え手順は、「図 9.6 低速オンチップオシレータから XIN クロックへの切り替え手順」を参照してください。

注2. ストップモード、高速オンチップオシレータモード、低速オンチップオシレータモード(XIN クロック停止)に移行する前にOCD1、OCD0 ビットを00bに設定してください。

注3. OCD2 ビットは、OCD0 ビットが1 (発振停止検出機能有効)、OCD1 ビットが1 (発振停止割り込み許可) のときに、発振停止を検出すると1になります。OCD2 ビットの1の状態は、OCD1 ビットを0 (発振停止割り込み禁止) にするまで保持されます。

注4. OCD3 ビットは、OCD0 ビットが1 (発振停止検出機能有効) のときに有効です。OCD3 ビットは発振状態を継続してモニタ可能ですので、数回読むことによって選択したクロックの状態を判定してください。

注5. 発振停止後のクロックを選択する場合は、OCD6 ビットを設定した後にOCD1、OCD0 ビットを11bに設定してください。

OCD レジスタは、PRCR レジスタのPRC0 ビットを1 (書き込み許可) にした後、書き換えてください。

9.2.4 システムクロック制御レジスタ 3 (CM3)

アドレス	0000Bh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット (注1)	0 : ウェイトモードではない 1 : ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	CM35	ウェイトモードから復帰時のCPU クロック分周比選択ビット(注2)	0 : CM0 レジスタのCM06 ビット、CM1 レジス タのCM16、CM17 ビットの設定有効 1 : 分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから 復帰時のシステムクロック選択ビット (注3)	b7 b6 0 0 : ウェイトモード、ストップモードに移 行する直前のCPUクロックで復帰 0 1 : 設定しないでください 1 0 : 高速オンチップオシレータクロックを 選択(注4) 1 1 : XINクロックを選択(注5)	R/W
b7	CM37			R/W

注1. ウェイトモードから周辺機能割り込みで復帰時、CM30 ビットは0 (ウェイトモードではない)になります。

注2. ストップモード時はCM35 ビットを0にしてください。ウェイトモードへ移行時、CM35 ビットが1 (分周なし)の場合、CM0 レジスタのCM06 ビットは0 (CM1 レジスタのCM16、CM17 ビット有効)、CM17、CM16 ビットは00b (分周なしモード)になります。

注3. FMR2 レジスタのFMR27 ビットが1 (低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM37、CM36 ビットを00b (ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM35 ビットを0 (CM0 レジスタのCM06 ビット、CM1 レジスタのCM16、CM17 ビットの設定有効)にしてください。また、低消費電流リードモード中は、FMR0 レジスタのFMSTP ビットを1 (フラッシュメモリ停止)にしないでください。

注4. CM37、CM36 ビットが10b (高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次のようになります。

- CM4 レジスタのCM42～CM40 ビット= 001b (fLOCOクロック)
- FRA0 レジスタのFRA00 ビット= 1 (高速オンチップオシレータ発振)
- CM4 レジスタのCM42～CM40 ビット= 101b (fHOCO-Fクロック)

注5. CM37、CM36 ビットが11b (XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次のようになります。

- CM0 レジスタのCM05 ビット= 0 (XINクロック発振)
- CM1 レジスタのCM13 ビット= 1 (XIN-XOUT 端子)
- CM4 レジスタのCM42～CM40 ビット= 000b (XINクロック選択)

CM05 ビットが1 (XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06 ビットを1 (8 分周モード)かつCM35 ビットを0にしてください。ただし、XIN クロックに外部で生成されたクロックを使用する場合は、CM37、CM36 ビットを11b (XINクロックを選択)にしないでください。

CM3 レジスタは、PRCR レジスタのPRC0 ビットを1 (書き込み許可)にした後、書き換えてください。

CM30 ビット(ウェイト制御ビット)

CM30 ビットを1(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、低速オンチップオシレータクロック、高速オンチップオシレータクロック、およびウォッチドッグタイマ用低速オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30 ビットを1にするときは、FLG レジスタのIフラグを0(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰の場合、CM30 ビットを1にした命令の直後の命令から実行を再開します。

ただし、WAIT 命令でウェイトモードに移行する場合、Iフラグを1(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

9.2.5 システムクロック制御レジスタ 4 (CM4)

アドレス 0000Ch

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	CM42	CM41	CM40
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	
b0	CM40	CPUクロック選択ビット(注1)	b2 b1 b0 0 0 0 : XINクロック	R/W
b1	CM41		0 0 1 : fLOCOクロック	R/W
b2	CM42		0 1 0 : 設定しないでください	R/W
			0 1 1 : 設定しないでください	
		1 0 0 : PLLクロック		
		1 0 1 : fHOCO-Fクロック		
			上記以外 : 設定しないでください	
b3	—	予約ビット	0にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—			

注1. 詳細は「図10.1 パワーコントロールモードの状態遷移」を参照してください。

CM4 レジスタは、PRCR レジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.6 周辺クロック選択レジスタ 1 (PCLKR1)

アドレス	0000Fh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	PCLK12	PCLK11	PCLK10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PCLK10	CAN_0クロック選択ビット(注1)	b2 b1 b0	R/W
b1	PCLK11		0 0 0 : システムクロック 1分周	R/W
b2	PCLK12		0 0 1 : システムクロック 2分周	R/W
			0 1 0 : システムクロック 4分周	
			0 1 1 : システムクロック 8分周	
		1 0 0 : XINクロック		
			上記以外 : 設定しないでください	
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—	予約ビット	0にしてください	R/W
b5	—			
b6	—			
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

注1. CAN用クロック源を選択するビットです。

CAN用クロックは、CCLKRレジスタのCCLKSビットでCANシステムクロック(fCAN)として選択できます。

PCLKR1レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.7 高速オンチップオシレータ制御レジスタ 0 (FRA0)

アドレス	00012h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FRA03	—	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	FRA00	高速オンチップオシレータ許可ビット	0：高速オンチップオシレータ停止 1：高速オンチップオシレータ発振	R/W	
b1	FRA01	fOCOクロックソース選択ビット (注1)	0：低速オンチップオシレータ選択(注2) 1：高速オンチップオシレータ選択	R/W	
b2	—	予約ビット	0にしてください	R/W	
b3	FRA03	fOCO128クロック選択ビット	0：fLOCOの128分周を選択 1：fHOCO-Fの128分周を選択	R/W	
b4	—	予約ビット	0にしてください	R/W	
b5	—				
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—	
b7	—				

注1. FRA01ビットは次の条件のとき変更してください。

- FRA00ビット=1(高速オンチップオシレータ発振)
- CM1レジスタのCM14ビット=0(低速オンチップオシレータ発振)
- FRA2レジスタのFRA22~FRA20ビットが
VCC = 2.7V ~ 5.5Vの場合は全分周モード設定可能 000b ~ 111b

注2. FRA01ビットに0(低速オンチップオシレータ選択)を書くと、同時にFRA00ビットに0(高速オンチップオシレータ停止)を書かないでください。FRA01ビットを0にした後、FRA00ビットを0にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

9.2.8 高速オンチップオシレータ制御レジスタ 2 (FRA2)

アドレス	00014h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	FRA25	FRA24	—	FRA22	FRA21	FRA20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	
b0	FRA20	高速オンチップオシレータ分周比選択ビット	b2 b1 b0	R/W
b1	FRA21		0 0 0 : 2分周モード	R/W
b2	FRA22		0 0 1 : 3分周モード	R/W
			0 1 0 : 4分周モード	
			0 1 1 : 5分周モード	
			1 0 0 : 6分周モード	
			1 0 1 : 7分周モード	
			1 1 0 : 8分周モード	
		1 1 1 : 9分周モード		
b3	—	予約ビット	0にしてください	R/W
b4	FRA24	高速オンチップオシレータ周波数切り替えビット	b5 b4	R/W
b5	FRA25		0 0 : 40 MHz	
			0 1 : 36.864 MHz	
			1 0 : 32 MHz	
		1 1 : 設定した場合00bと同じ		
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

FRA2 レジスタを書き換える場合は、高速オンチップオシレータが停止している状態で、PRCR レジスタの PRC0 ビットを 1 (書き込み許可) にした後、書き換えてください。

9.2.9 PLL制御レジスタ0 (PLC0)

アドレス 0001Ch

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PLC07	—	PLC05	PLC04	—	PLC02	PLC01	PLC00
リセット後の値	0	0	0	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	PLC00	PLL通倍率選択ビット(注1)	b2 b1 b0	R/W
b1	PLC01		0 0 0 : 設定しないでください	R/W
b2	PLC02		0 0 1 : 2通倍	R/W
			0 1 0 : 4通倍	
			0 1 1 : 6通倍	
		1 0 0 : 8通倍		
			上記以外 : 設定しないでください	
b3	—	予約ビット	読んだ場合、その値は不定	R
b4	PLC04	基準周波数カウンタ設定ビット(注1)	b5 b4	R/W
b5	PLC05		0 0 : 分周なし	R/W
			0 1 : 2分周	
			1 0 : 4分周	
		1 1 : 8分周		
b6	—	予約ビット	0にしてください	R/W
b7	PLC07	PLL動作許可ビット(注2)	0 : PLL 停止 1 : PLL 動作	R/W

注1. PLC07ビットが0 (PLL停止)のときに書き込み可能です。一度書いた値は変更しないでください。

注2. PLC07ビットを1 (PLL動作)に設定後、CM4レジスタのCM42～CM40ビットを100b (PLLクロック)にしてください。

PLC0レジスタは、PRCRレジスタのPRC0ビットを1 (書き込み許可)にした後、書き換えてください。

9.2.10 電圧検出レジスタ 2 (VCA2)

アドレス 00034h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VCA27	VCA26	VCA25	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
上記はOFSレジスタのLVDASビットが1の場合								
リセット後の値	0	0	1	0	0	0	0	0
上記はOFSレジスタのLVDASビットが0の場合								

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	—			
b4	—			
b5	VCA25	電圧検出0許可ビット(注1)	0: 電圧検出0回路無効 1: 電圧検出0回路有効	R/W
b6	VCA26	電圧検出1許可ビット(注2)	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b7	VCA27	電圧検出2許可ビット(注3)	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W

注1. 電圧監視0リセットを使用する場合、VCA25ビットを1にしてください。

注2. 電圧検出1割り込みを使用する場合またはVW1CレジスタのVW1C3ビットを使用する場合、VCA26ビットを1にしてください。VCA26ビットを0から1にした後、 $t_d(E-A)$ 経過してから電圧検出1回路が動作します。

注3. 電圧検出2割り込みを使用する場合またはVW2CレジスタのVW2C3ビットを使用する場合、VCA27ビットを1にしてください。VCA27ビットを0から1にした後、 $t_d(E-A)$ 経過してから電圧検出2回路が動作します。

VCA2レジスタは、PRCRレジスタのPRC3ビットを1(書き込み許可)にした後、書き換えてください。

9.2.11 入出力機能端子選択レジスタ (PINSR)

アドレス	002B9h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IOINSEL	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	—	予約ビット	0にしてください	R/W	
b1	—			—	
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。			—
b3	IOINSEL	I/Oポート入力機能選択ビット	0：I/Oポートの入力機能はPDiレジスタ(i＝0～4、6、9)に依存。PDiレジスタのPDi_jビット(j＝0～7)が0(入力モード)のとき、端子の入力レベルが読める。 PDiレジスタのPDi_jビットが1(出力モード)のとき、ポートラッチの値が読める。 1：I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルが読める。	R/W	
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。			—
b5	—				
b6	—				
b7	—				

IOINSEL ビット (I/Oポート入力機能選択ビット)

IOINSEL ビットはPDi レジスタのPDi_jビットが1 (出力モード) のときに、Pi レジスタの読み出す値をポートラッチにするか、I/O ポートの端子の入力レベルにするかを選択するビットです。0 にするとポートラッチの値が読めます。1 にするとI/Oポートの端子の入力レベルが読めます。

表9.4にIOINSEL ビットによるI/Oポートの読み出し値を示します。IOINSEL ビットですべてのI/Oポートの入力機能を変更できます。

表9.4 IOINSEL ビットによるI/Oポートの読み出し値

PDiレジスタのPDi_jビット	0 (入力モード)		1 (出力モード)	
IOINSEL ビット	0	1	0	1
I/Oポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

i = 0~4、6、9、j = 0~7

9.3 XIN クロック

XIN クロック発振回路が供給するクロックです。CPU クロックと周辺機能クロックのクロック源になります。XIN クロック発振回路はXIN-XOUT 端子間に発振子を接続することで発振回路が構成されます。XIN クロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。XIN クロック発振回路には、外部で生成されたクロックをXOUT 端子へ入力することもできます。

図9.3にXIN クロック発振回路の接続例を示します。

リセット中およびリセット後、XIN クロックは停止しています。

CM1 レジスタのCM13 ビットを1 (XIN-XOUT 端子)にした後、CM0 レジスタのCM05 ビットを0 (XIN クロック発振)にするとXIN クロックは発振を開始します。XIN クロックの発振が安定した後、CM4 レジスタのCM42～CM40 ビットを000b (XIN クロック選択)にするとXIN クロックがCPU のクロック源になります。

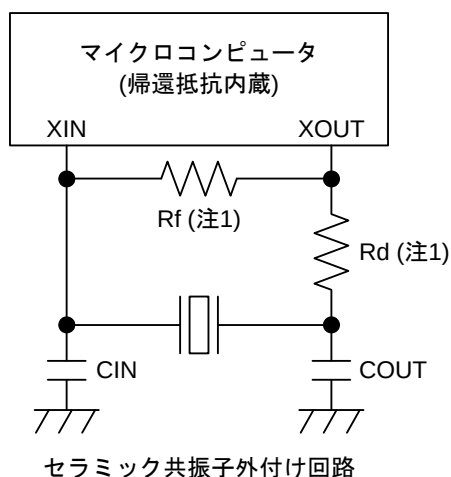
ストップモード時は、XIN クロックを含めたすべてのクロックが停止します。詳細は「10. パワーコントロール」を参照してください。

XIN クロックの設定は、発振子外付け、外部クロック入力のそれぞれに対応して表9.5に示す設定が必要です。

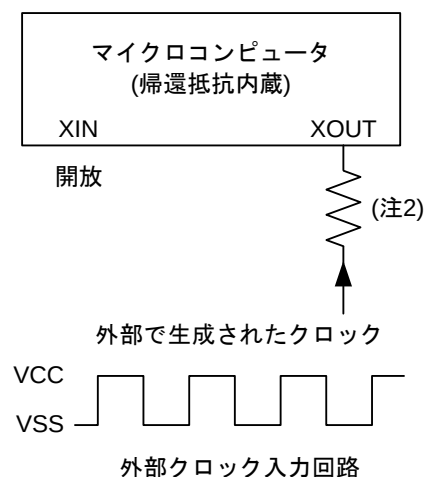
表9.5 CM0、CM1 レジスタの設定

CM0 レジスタ		CM1 レジスタ	XIN クロック
CM05 ビット	CM07 ビット	CM13 ビット	
1	0	1	発振停止
0	0	1	発振許可
1	1	1	外部クロック停止
0	1	1	外部クロック入力許可

- CM0レジスタのCM05ビットが0 (発振)、CM0レジスタのCM07ビットが0 (発振子(セラミック共振子外付け等)によるXINクロック供給)、CM1レジスタのCM13ビットが1 (XIN-XOUT端子)の場合



- CM0レジスタのCM05ビットが0 (発振)、CM0レジスタのCM07ビットが1 (XOUT端子への外部クロック入力によるXINクロック供給)、CM1レジスタのCM13ビットが1 (XIN-XOUT端子)の場合



- 注1. 必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので、発振子メーカーの推奨する値に設定してください。
また、発振子メーカーから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXIN、XOUT間に帰還抵抗を付加してください。
- 注2. オーバシュートが発生しないように、必要に応じてダンピング抵抗を挿入してください。

図9.3 XINクロック発振回路の接続例

9.4 オンチップオシレータクロック

オンチップオシレータが供給するクロックです。オンチップオシレータには、高速オンチップオシレータと低速オンチップオシレータがあります。FRA0 レジスタの FRA01 ビットで選択したオンチップオシレータのクロックが、オンチップオシレータクロックとなります。

9.4.1 低速オンチップオシレータクロック

低速オンチップオシレータで生成されたクロックは CPU クロック、周辺機能クロック、fOCO、fLOCO、fOCO128 のクロック源になります。

リセット後、低速オンチップオシレータで生成されたオンチップオシレータクロックの分周なしが CPU クロックになります。

また、OCD レジスタの OCD1、OCD0 ビットが 11b の場合、XIN クロックが停止したときに、自動的に低速オンチップオシレータが動作を開始し、クロックを供給します。

低速オンチップオシレータの周波数は電源電圧、動作周囲温度によって大きく変動しますので、応用製品設計の際には周波数変動に対して十分マージンを持ってください。

9.4.2 高速オンチップオシレータクロック

高速オンチップオシレータで生成されたクロックは CPU クロック、周辺機能クロック、fOCO、fHOCO-F、fHOCO、fOCO128 のクロック源になります。

高速オンチップオシレータで生成されるオンチップオシレータクロックは、リセット後停止しています。FRA0 レジスタの FRA00 ビットを 1 (オンチップオシレータ発振) にすると発振を開始します。

高速オンチップオシレータクロックの周波数を 36.864 MHz にするには、FRA2 レジスタの FRA25、FRA24 ビットを 01b としてください。これにより、シリアルインタフェースを UART モードで使用時に、9600 bps、38400 bps などのビットレートの設定誤差を、0% にすることができます。

高速オンチップオシレータクロックの周波数を 32 MHz にするには、FRA25、FRA24 ビットを 10b としてください。

9.5 PLL クロック

PLL クロックは、PLL 周波数シンセサイザが生成するクロックです。CPU クロックと周辺機能クロックのクロック源になります。リセット後、PLL 周波数シンセサイザは停止しています。PLC0 レジスタの PLC07 ビットを 1 (PLL 動作) にすると PLL 周波数シンセサイザが動作します。PLL クロックを CPU クロックのクロック源にする場合は、PLL クロックが安定するまで、tsu(PLL) 待つ CM4 レジスタの CM42 ～ CM40 ビットを 100b にしてください。

図 9.4 に PLL クロックを CPU のクロック源にする手順を示します。

XIN クロックを PLC0 レジスタの PLC04、PLC05 ビットで選択した値で分周し、PLC0 レジスタの PLC00 ～ PLC02 ビットで選択した値で通倍したものが PLL クロックになります。分周後のクロック周波数が 2 MHz ～ 6 MHz になるように PLC04、PLC05 ビットを設定してください。図 9.5 に XIN クロックと PLL クロックの関係を示します。

PLL 動作モードでウェイトモードまたはストップモードへ遷移はできません。

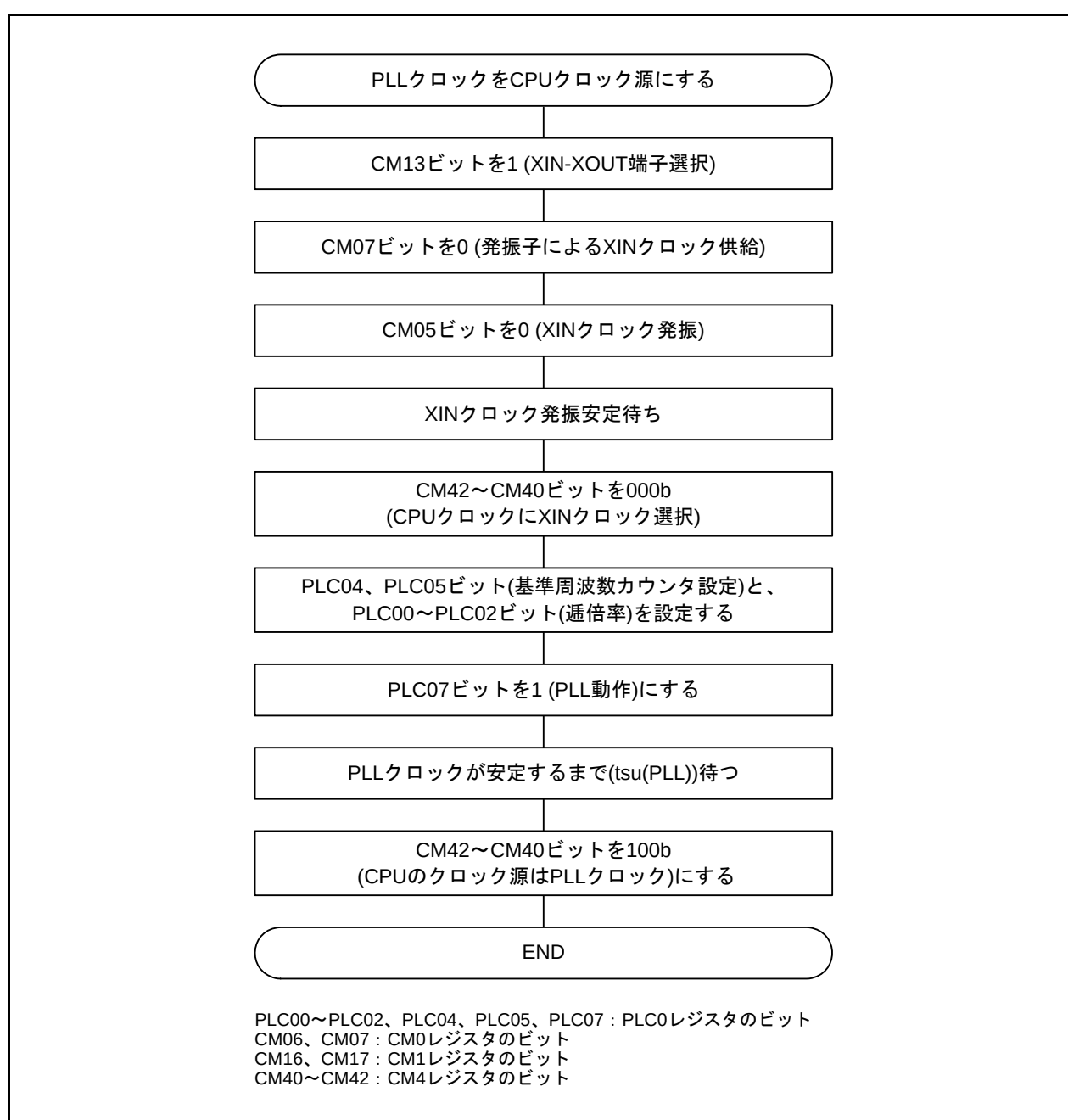


図 9.4 PLL クロックを CPU のクロック源にする手順

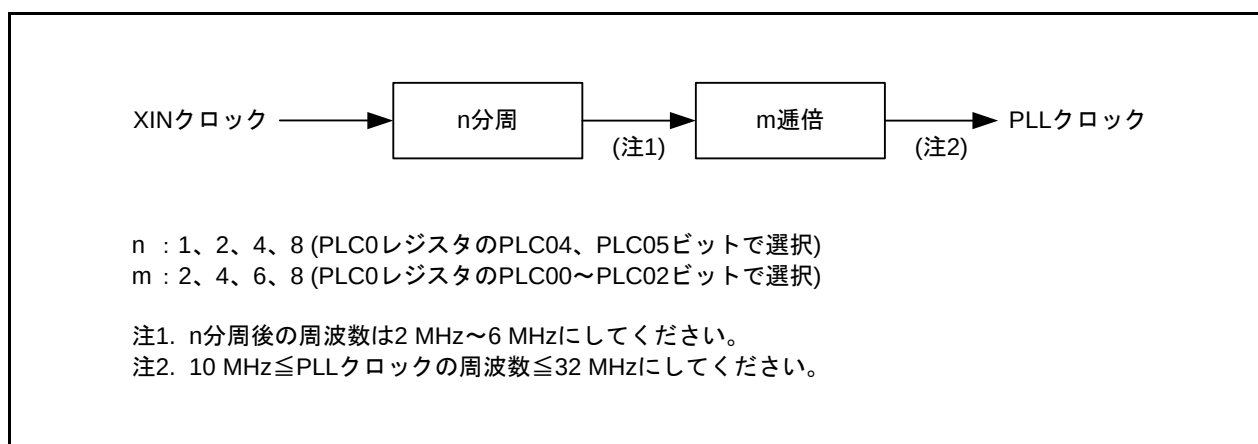


図9.5 XINクロックとPLLクロックの関係

PLC0レジスタのPLC00～PLC02、PLC04、PLC05ビットはリセット後、1回だけ設定できます。表9.6にPLLクロックの周波数設定例を示します。

表9.6 PLLクロックの周波数設定例

XINクロック	設定値		PLLクロック
	PLC05、PLC04ビット	PLC02～PLC00ビット	
10 MHz	01b (2分周)	010b (4通倍)	20 MHz
5 MHz	00b (分周なし)	010b (4通倍)	
12 MHz	10b (4分周)	100b (8通倍)	24 MHz
6 MHz	01b (2分周)	100b (8通倍)	
16 MHz	10b (4分周)	100b (8通倍)	32 MHz
8 MHz	01b (2分周)	100b (8通倍)	

9.6 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと、周辺機能を動作させる周辺機能クロックがあります(「図9.1 クロック発生回路のブロック図」参照)。

9.6.1 システムクロック

CPUクロックと周辺機能クロックのクロック源です。XINクロック、オンチップオシレータクロック、またはPLLクロックが選択できます。

9.6.2 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

システムクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM16、CM17ビットで選択できます。

リセット後、低速オンチップオシレータクロックの分周なしがCPUクロックになります。

なお、ストップモードへの移行時、CM06ビットは1(8分周モード)になります。ストップモードへ移行するときは、CM3レジスタのCM35ビットを0(CM06、CM16、CM17ビットの設定有効)にしてください。

9.6.3 周辺機能クロック(f1、f2、f4、f8、f32)

周辺機能の動作クロックです。

f_i (i = 1、2、4、8、32)はシステムクロックをi分周したクロックです。f_iはタイマRJ、タイマRB2、タイマRC、タイマRD、タイマRE2、シリアルインタフェース、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを1(ウェイトモード時、周辺機能クロックを停止する)にした後にウェイトモードに移行した場合、f_iは停止します。

9.6.4 fOCO

周辺機能の動作クロックです。

fOCOは、オンチップオシレータクロックと同じ周波数のクロックです。タイマRJで使用します。fOCOはウェイトモード時、停止しません。

9.6.5 fHOCO

タイマRC、タイマRDのカウントソースになります。

fHOCOは高速オンチップオシレータで生成したクロックで、FRA0レジスタのFRA00ビットを1にすると供給されます。

fHOCOはウェイトモード時、停止しません。

9.6.6 fHOCO-F

タイマRC、タイマRD、A/Dコンバータのカウントソースになります。

fHOCO-Fは高速オンチップオシレータで生成したクロックをi分周(i = 2、3、4、5、6、7、8、9 ; FRA2レジスタで選択した分周比)したクロックで、FRA00ビットを1にすると供給されます。

fHOCO-Fはウェイトモード時、停止しません。

9.6.7 fLOCO

電圧検出回路の動作クロックです。

fLOCOは低速オンチップオシレータで生成したクロックで、CM1レジスタのCM14ビットを0(低速オンチップオシレータ発振)にすると供給されます。

fLOCOはウェイトモード時、停止しません。

9.6.8 fOCO128

fLOCOまたはfHOCO-Fを128分周したクロックです。FRA0レジスタのFRA03ビットを0にするとfLOCOの128分周が選択され、1にするとfHOCO-Fの128分周が選択されます。

タイマRCのタイマRC_0およびタイマRDのタイマRD_0で使用するキャプチャ信号になります。

9.6.9 fLOCOWDT

ウォッチドッグタイマの動作クロックです。

fLOCOWDTはウォッチドッグタイマ用低速オンチップオシレータで生成したクロックで、CSPRO = 1 (カウントソース保護モード有効)のとき、またはCSPRO = 0 (カウントソース保護モード無効)かつWDTC7、WDTC6 = 11b (ウォッチドッグタイマ用低速オンチップオシレータクロックの16分周)のときに供給されます。

fLOCOWDTはウォッチドッグタイマのカウントソース保護モード時、停止しません。

9.6.10 CANクロック

CANの通信クロックです。

CANクロックにつきましては「24.4.1 CANクロックの設定」を参照してください。

9.7 発振停止検出機能

発振停止検出機能は、XINクロック発振回路の停止を検出する機能です。

発振停止検出機能はOCDレジスタのOCD0ビットで有効、無効が選択できます。

表9.7に発振停止検出機能の仕様を示します。

XINクロックがCPUクロック源でOCD1、OCD0ビットが11bの場合、XINクロックが停止すると、次の状態になります。

- CM4レジスタのCM42～CM40ビット=001b (fLOCO)
- CM1レジスタのCM14ビット=0 (低速オンチップオシレータ発振)
- 発振停止検出割り込み要求が発生する

表9.7 発振停止検出機能の仕様

項目	仕様
発振停止検出可能クロックと周波数域	$f(XIN) \geq 2 \text{ MHz}$
発振停止検出機能有効条件	OCDレジスタのOCD1、OCD0ビットを11bにする
発振停止検出時の動作	発振停止検出割り込み発生

9.7.1 発振停止検出機能の使用方法

- 発振停止検出割り込みは、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みとベクタを共用しています。発振停止検出割り込みとウォッチドッグタイマ割り込みの両方を使用する場合、要因の判別が必要となります。

表9.8に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別を示します。図9.7に発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例を示します。

- 発振停止後、XINクロックが再発振した場合は、プログラムでXINクロックをCPUクロックや周辺機能のクロック源に戻してください。

図9.6に低速オンチップオシレータからXINクロックへの切り替え手順を示します。

- 発振停止検出機能を使用中にウェイトモードへ移行する場合は、CM0レジスタのCM02ビットを0 (ウェイトモード時、周辺機能クロックを停止しない) にしてください。
- 発振停止検出機能は外部要因によるXINクロック停止に備えた機能ですので、プログラムでXINクロックを停止または発振させる場合(ストップモードにする、またはCM0レジスタのCM05ビットを変更する)は、OCD1、OCD0ビットを00bにしてください。
- XINクロックの周波数が2 MHz未満の場合、この機能は使用できませんので、OCD1、OCD0ビットを00bにしてください
- 発振停止検出後に、CPUクロックと周辺機能のクロック源に低速オンチップオシレータクロックを使用する場合、OCDレジスタのOCD6ビットを0 (低速オンチップオシレータ選択) にした後、OCD1、OCD0ビットを11bにしてください。

発振停止検出後に、CPUクロックと周辺機能のクロック源に高速オンチップオシレータクロックを使用する場合、FRA0レジスタのFRA00ビットを1 (高速オンチップオシレータ発振) にし、OCD6ビットを1 (高速オンチップオシレータ選択) にした後、OCD1、OCD0ビットを11bにしてください。

表 9.8 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込み、電圧監視2割り込みの割り込み要因の判別

項目	仕様
発振停止検出	OCD レジスタの OCD2 ビット = 1
ウォッチドッグタイマ	RISR レジスタの UFIF ビット = 1
電圧監視1	VW1C レジスタの VW1C2 ビット = 1
電圧監視2	VW2C レジスタの VW2C2 ビット = 1

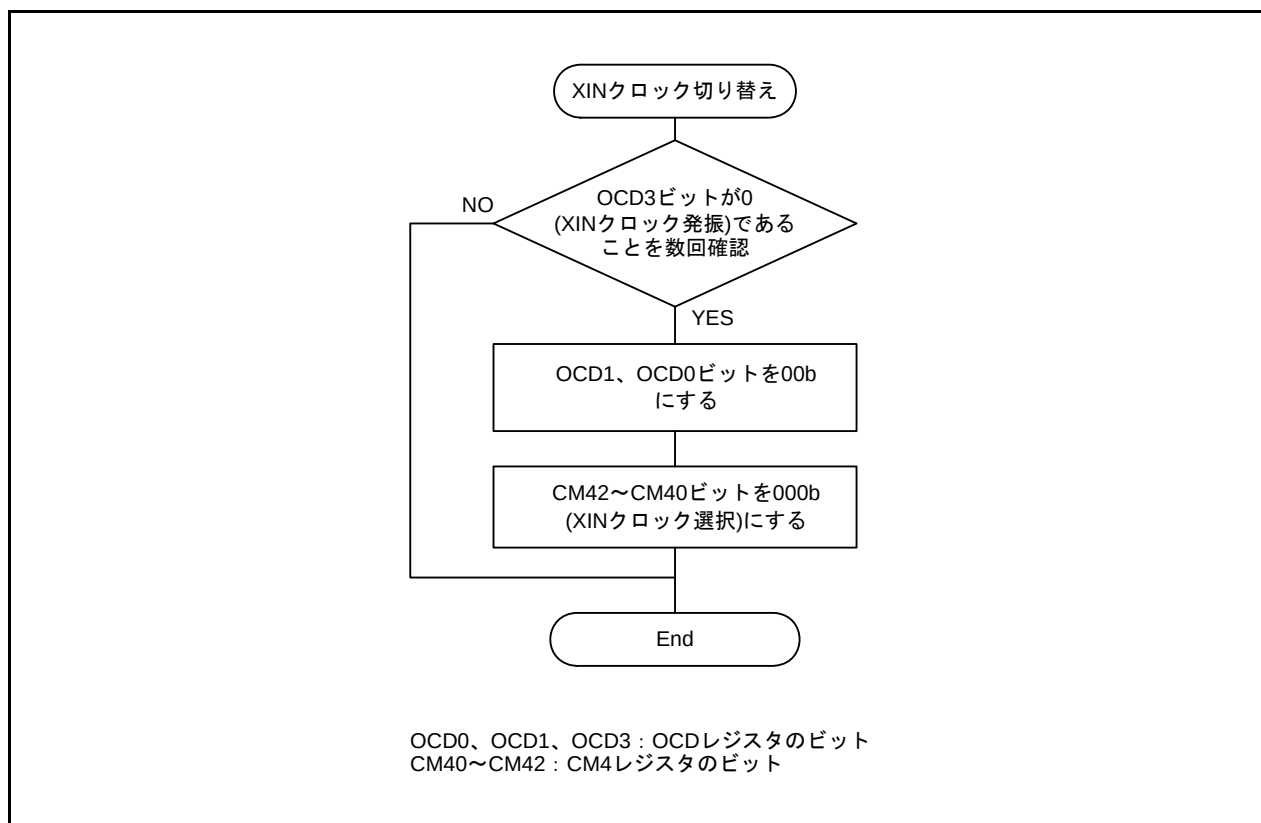


図 9.6 低速オンチップオシレータからXINクロックへの切り替え手順

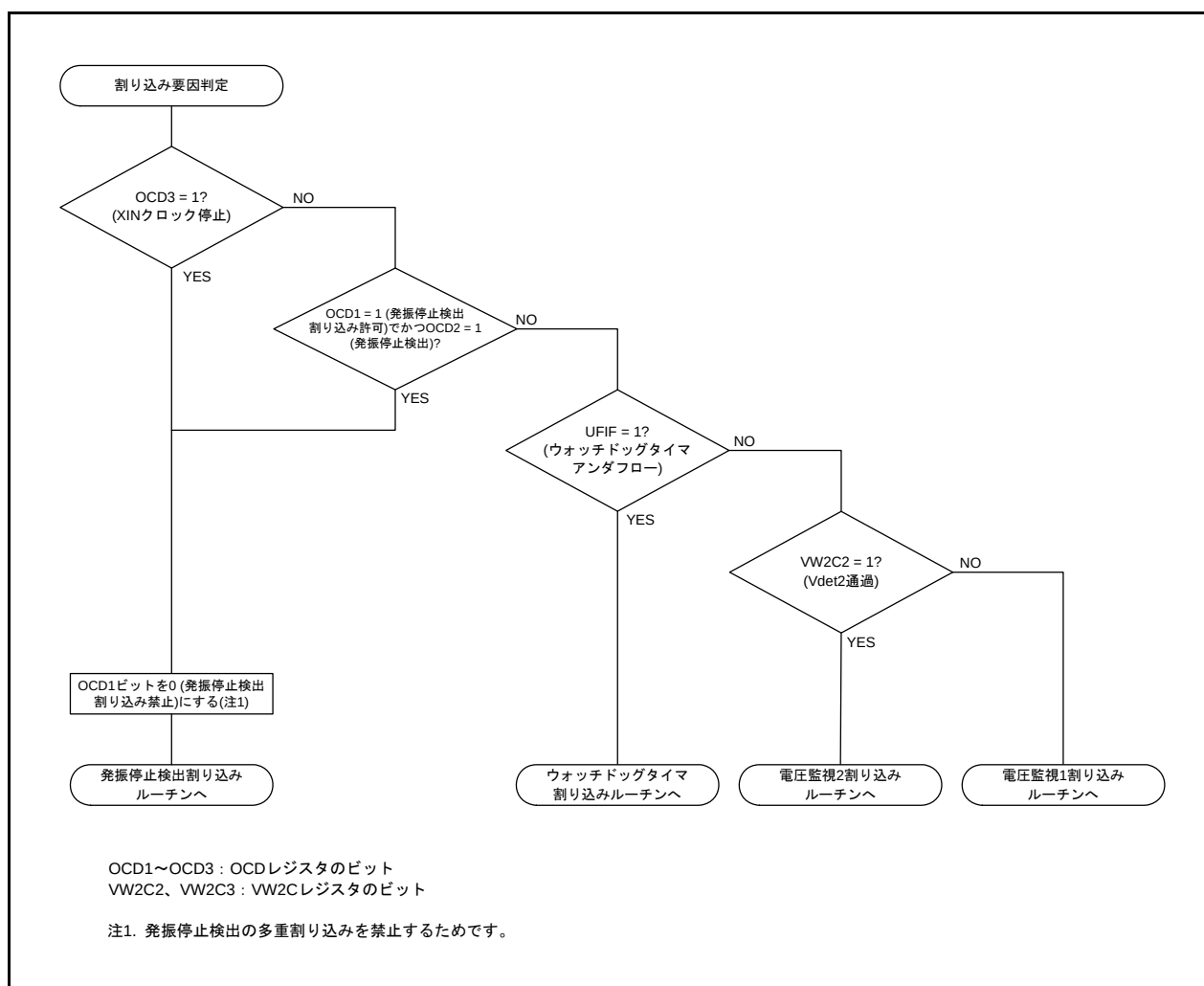


図9.7 発振停止検出割り込み、ウォッチドッグタイマ割り込み、電圧監視1割り込みまたは電圧監視2割り込みの割り込み要因判別方法例

9.8 クロック発生回路使用上の注意事項

9.8.1 発振停止検出機能

XIN クロックの周波数が 2 MHz 未満の場合、発振停止検出機能は使用できませんので、OCD レジスタの OCD1、OCD0 ビットを 00b にしてください。(対象 : OCD2、OCD3 ビット)

9.8.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

10. パワーコントロール

CPU クロックや周辺機能クロックの選択や停止などで、消費電力を制御することをパワーコントロールと呼びます。

10.1 概要

パワーコントロールには3つのモードがあります。なお、ここではウェイトモード、ストップモード以外の状態を、標準動作モードと呼びます。

図10.1にパワーコントロールモードの状態遷移を示します。

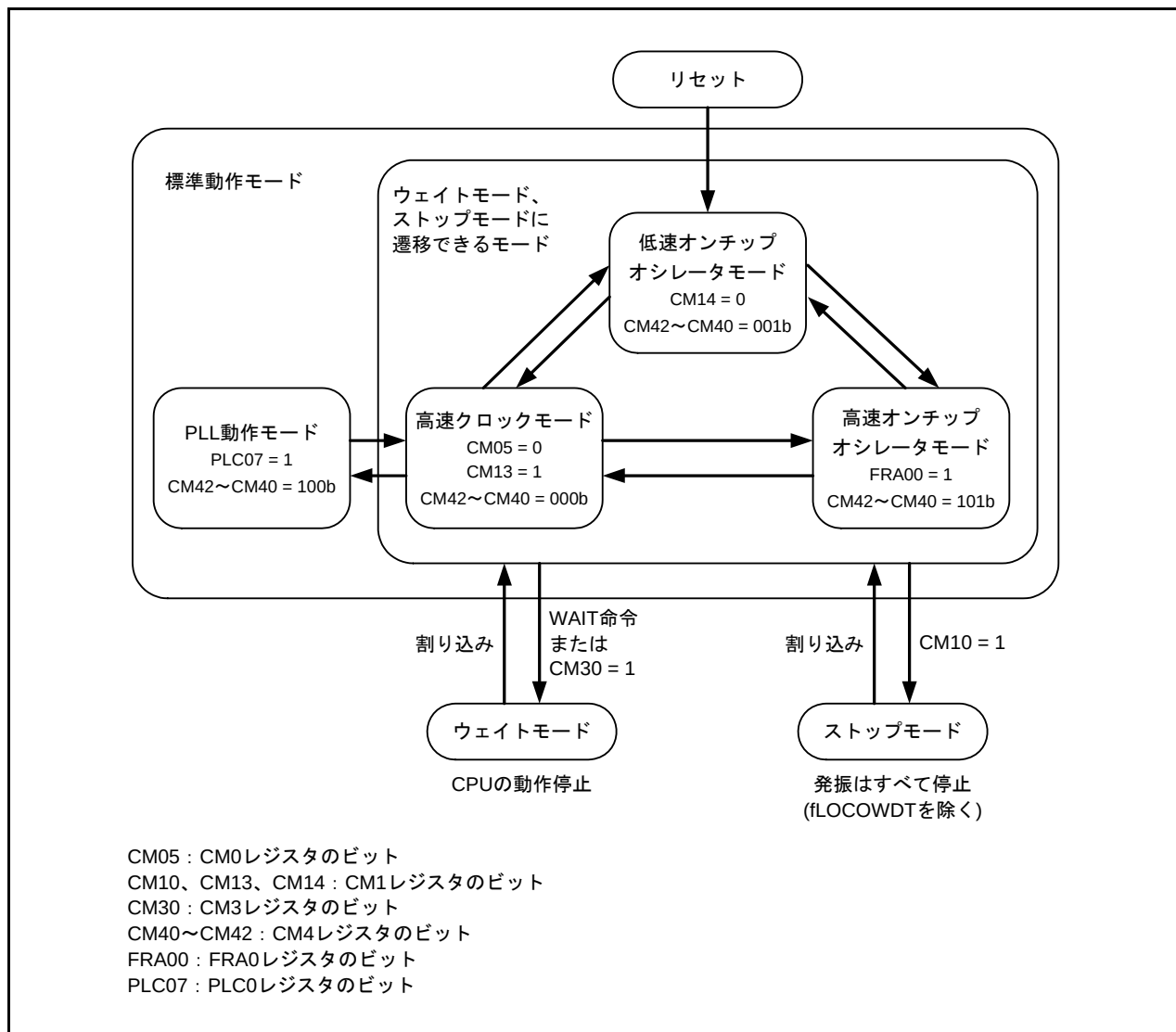


図10.1 パワーコントロールモードの状態遷移

10.2 レジスタの説明

表10.1にパワーコントロールのレジスタ構成を示します。

表10.1 パワーコントロールのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システムクロック制御レジスタ0	CM0	00101000b	00008h	8
システムクロック制御レジスタ1	CM1	00100000b	00009h	8
システムクロック制御レジスタ3	CM3	00h	0000Bh	8
システムクロック制御レジスタ4	CM4	00000001b	0000Ch	8
高速オンチップオシレータ制御レジスタ0	FRA0	00h	00012h	8
STBY VDC電力制御レジスタ	SVDC	00h	0002Ch	8
モジュールスタンバイコントロールレジスタ0	MSTCR0	00h	00238h	8
モジュールスタンバイコントロールレジスタ1	MSTCR1	00h	00239h	8
モジュールスタンバイコントロールレジスタ2	MSTCR2	00h	0023Ah	8
モジュールスタンバイコントロールレジスタ3	MSTCR3	00h	0023Bh	8

10.2.1 システムクロック制御レジスタ0 (CM0)

アドレス	00008h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM07	CM06	CM05	—	—	CM02	—	—
リセット後の値	0	0	1	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—	予約ビット	0にしてください	R/W
b2	CM02	ウェイトモード時周辺機能クロック停止ビット	0: ウェイトモード時、周辺機能クロックを停止しない 1: ウェイトモード時、周辺機能クロックを停止する	R/W
b3	—	予約ビット	1にしてください	R/W
b4	—	予約ビット	0にしてください	R/W
b5	CM05	XINクロック(XIN-XOUT)停止ビット(注1、2)	0: 発振 1: 停止(注3)	R/W
b6	CM06	CPUクロック分周比選択ビット0(注4)	0: CM1レジスタのCM16、CM17ビット有効 1: 8分周モード	R/W
b7	CM07	XINクロック供給設定ビット(注5)	0: 発振子(セラミック共振子外付け等)によるXINクロック供給 1: XOUT端子への外部クロック入力によるXINクロック供給	R/W

注1. CM05ビットはXINクロックを停止させるビットです。XINクロックが停止したかどうかの検出には使えません。XINクロックを停止させる場合、次のようにしてください。

(1)OCDレジスタのOCD1、OCD0ビットを00b(発振停止検出機能無効)

(2)CM4レジスタのCM42～CM40ビットを001b(fLOCOクロック)、101b(fHOCO-Fクロック)にしてください。

注2. CM05ビットが1(XINクロック停止)かつCM1レジスタのCM13ビットが0(P4_6、P4_7)の場合のみ、P4_6、P4_7はI/Oポートとして使用できます。

注3. 外部クロック入力時には、クロック入力そのものも受け付けません。

注4. ストップモードへの移行時、CM06ビットは1(8分周モード)になります。

注5. ストップモードまたはウェイトモードからの復帰時、XINクロックに切り替える場合、CM05ビットを1(XINクロック停止)にしないでください。

CM0レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

10.2.2 システムクロック制御レジスタ 1 (CM1)

アドレス 00009h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM17	CM16	—	CM14	CM13	—	CM11	CM10
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM10	全クロック停止制御ビット (注1、2)	0 : クロック発振 1 : 全クロック停止(ストップモード)	R/W
b1	CM11	XIN-XOUT内蔵帰還抵抗選択ビット	0 : 内蔵帰還抵抗有効 1 : 内蔵帰還抵抗無効	R/W
b2	—	予約ビット	0にしてください	R/W
b3	CM13	ポート/XIN-XOUT切り替えビット (注3)	0 : I/OポートP4_6、P4_7 1 : XIN-XOUT端子	R/W
b4	CM14	低速オンチップオシレータ発振停止 ビット(注4、5)	0 : 低速オンチップオシレータ発振 1 : 低速オンチップオシレータ停止	R/W
b5	—	予約ビット	1にしてください	R/W
b6	CM16	CPUクロック分周比選択ビット1 (注6)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	R/W
b7	CM17			R/W

注1. CM10ビットが1(ストップモード)の場合、内蔵している帰還抵抗は無効となります。CM10ビットが1(ストップモード)の場合、CM13ビットが1(XIN-XOUT端子)のとき、XIN(P4_6)、XOUT(P4_7)端子はハイインピーダンスになります。

注2. SVDCレジスタのSVC0ビットが1(低消費電力モード遷移許可)のとき、CM10ビットを1(ストップモード)にしないでください。

注3. CM13ビットはプログラムで一度1にすると、0にはできません。XIN-XOUT端子として使用する場合はCM13ビットを1にしてください。

注4. CM14ビットはCM4レジスタのCM42～CM40ビットが000b(XINクロック)のとき、1(低速オンチップオシレータ停止)にできます。CM42～CM40ビットを001b(fLOCOクロック)にすると、CM14ビットは0(低速オンチップオシレータ発振)になります。1を書いても変化しません。

注5. 電圧監視1割り込み、電圧監視2割り込みを使用する場合(デジタルフィルタを使用する場合)、CM14ビットを0(低速オンチップオシレータ発振)にしてください。

注6. CM0レジスタのCM06ビットが0(CM16、CM17ビット有効)の場合、CM16、CM17ビットは有効となります。

CM1レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

10.2.3 システムクロック制御レジスタ 3 (CM3)

アドレス	0000Bh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CM37	CM36	CM35	—	—	—	—	CM30
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CM30	ウェイト制御ビット (注1)	0 : ウェイトモードではない 1 : ウェイトモードに移行する	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	CM35	ウェイトモードから復帰時のCPU クロック分周比選択ビット(注2)	0 : CM0 レジスタのCM06 ビット、CM1 レジス タのCM16、CM17 ビットの設定有効 1 : 分周なし	R/W
b6	CM36	ウェイトモード、ストップモードから 復帰時のシステムクロック選択ビット (注3)	b7 b6 0 0 : ウェイトモード、ストップモードに移 行する直前のCPUクロックで復帰 0 1 : 設定しないでください 1 0 : 高速オンチップオシレータクロックを 選択(注4) 1 1 : XINクロックを選択(注5)	R/W
b7	CM37			R/W

注1. ウェイトモードから周辺機能割り込みで復帰時、CM30 ビットは0 (ウェイトモードではない)になります。

注2. ストップモード時はCM35 ビットを0にしてください。ウェイトモードへ移行時、CM35 ビットが1 (分周なし)の場合、CM0 レジスタのCM06 ビットは0 (CM1 レジスタのCM16、CM17 ビット有効)、CM17、CM16 ビットは00b (分周なしモード)になります。

注3. FMR2 レジスタのFMR27 ビットが1 (低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM37、CM36 ビットを00b (ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM35 ビットを0 (CM0 レジスタのCM06 ビット、CM1 レジスタのCM16、CM17 ビットの設定有効)にしてください。また、低消費電流リードモード中は、FMR0 レジスタのFMSTP ビットを1 (フラッシュメモリ停止)にしないでください。

注4. CM37、CM36 ビットが10b (高速オンチップオシレータクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次のようになります。

- CM4 レジスタのCM42～CM40 ビット= 001b (fLOCOクロック)
- FRA0 レジスタのFRA00 ビット= 1 (高速オンチップオシレータ発振)
- CM4 レジスタのCM42～CM40 ビット= 101b (fHOCO-Fクロック)

注5. CM37、CM36 ビットが11b (XINクロックを選択)のとき、ウェイトモード、ストップモードから復帰時に次のようになります。

- CM0 レジスタのCM05 ビット= 0 (XINクロック発振)
- CM1 レジスタのCM13 ビット= 1 (XIN-XOUT 端子)
- CM4 レジスタのCM42～CM40 ビット= 000b (XINクロック選択)

CM05 ビットが1 (XINクロック停止)で、ウェイトモードへ移行するとき、ウェイトモードから復帰時のCPUクロックにXINクロックを選択する場合は、CM06 ビットを1 (8 分周モード)かつCM35 ビットを0にしてください。ただし、XIN クロックに外部で生成されたクロックを使用する場合は、CM37、CM36 ビットを11b (XINクロックを選択)にしないでください。

CM3 レジスタは、PRCR レジスタのPRC0 ビットを1 (書き込み許可)にした後、書き換えてください。

CM30ビット(ウェイト制御ビット)

CM30ビットを1(ウェイトモードに移行する)にすると、CPUクロックが停止(ウェイトモード)します。XINクロック、低速オンチップオシレータクロック、高速オンチップオシレータクロック、およびウォッチドッグタイマ用低速オンチップオシレータクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。CM30ビットを1にするときは、FLGレジスタのIフラグを0(マスカブル割り込み禁止)にしてください。

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。ウェイトモードから周辺機能割り込みによる復帰の場合、CM30ビットを1にした命令の直後の命令から実行を再開します。

ただし、WAIT命令でウェイトモードに移行する場合、Iフラグを1(マスカブル割り込み許可)にしてください。このことで、ウェイトモードから復帰時に、CPUは割り込み処理を行います。

10.2.4 システムクロック制御レジスタ4 (CM4)

アドレス 0000Ch

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	CM42	CM41	CM40
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CM40	CPUクロック選択ビット(注1)	b2 b1 b0	R/W
b1	CM41		0 0 0 : XINクロック	R/W
b2	CM42		0 0 1 : fLOCOクロック	R/W
			0 1 0 : 設定しないでください	
		0 1 1 : 設定しないでください		
		1 0 0 : PLLクロック		
			1 0 1 : fHOCO-Fクロック	
			上記以外 : 設定しないでください	
b3	—	予約ビット	0にしてください	R/W
b4	—			
b5	—			
b6	—			
b7	—			

注1. 詳細は「図10.1 パワーコントロールモードの状態遷移」を参照してください。

CM4レジスタは、PRCRレジスタのPRC0ビットを1(書き込み許可)にした後、書き換えてください。

10.2.5 高速オンチップオシレータ制御レジスタ 0 (FRA0)

アドレス	00012h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	FRA03	—	FRA01	FRA00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRA00	高速オンチップオシレータ許可ビット	0 : 高速オンチップオシレータ停止 1 : 高速オンチップオシレータ発振	R/W
b1	FRA01	fOCOクロックソース選択ビット (注1)	0 : 低速オンチップオシレータ選択 (注2) 1 : 高速オンチップオシレータ選択	R/W
b2	—	予約ビット	0にしてください	R/W
b3	FRA03	fOCO128クロック選択ビット	0 : fLOCOの128分周を選択 1 : fHOCO-Fの128分周を選択	R/W
b4	—	予約ビット	0にしてください	R/W
b5	—			
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

注1. FRA01ビットは次の条件のとき変更してください。

- FRA00ビット=1 (高速オンチップオシレータ発振)
- CM1レジスタのCM14ビット=0 (低速オンチップオシレータ発振)
- FRA2レジスタのFRA22～FRA20ビットが
VCC = 2.7 V～5.5 Vの場合は全分周モード設定可能 000b～111b

注2. FRA01ビットに0 (低速オンチップオシレータ選択) を書くとき、同時にFRA00ビットに0 (高速オンチップオシレータ停止) を書かないでください。FRA01ビットを0にした後、FRA00ビットを0にしてください。

FRA0レジスタは、PRCRレジスタのPRC0ビットを1 (書き込み許可) にした後、書き換えてください。

10.2.6 STBY VDC電力制御レジスタ (SVDC)

アドレス	0002Ch							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	SVC0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SVC0	低消費電力モード遷移許可ビット	0 : 低消費電力モード遷移禁止 1 : 低消費電力モード遷移許可	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

SVDCレジスタは、PRCRレジスタのPRC3ビットを1 (書き込み許可) にした後、書き換えてください。

10.2.7 モジュールスタンバイコントロールレジスタ 0 (MSTCR0)

アドレス 00238h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MSTURT2	—	—	MSTURT_1	MSTURT_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTURT_0	UART0_0モジュールスタンバイビット	0 : UART0_0通常動作 1 : UART0_0スタンバイ	R/W
b1	MSTURT_1	UART0_1モジュールスタンバイビット	0 : UART0_1通常動作 1 : UART0_1スタンバイ	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—			
b4	MSTURT2	UART2モジュールスタンバイビット	0 : UART2通常動作 1 : UART2スタンバイ	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

10.2.8 モジュールスタンバイコントロールレジスタ 1 (MSTCR1)

アドレス 00239h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	MSTIIC_1	MSTIIC_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTIIC_0	IICSSU_0モジュールスタンバイビット	0 : IICSSU_0通常動作 1 : IICSSU_0スタンバイ	R/W
b1	MSTIIC_1	IICSSU_1モジュールスタンバイビット	0 : IICSSU_1通常動作 1 : IICSSU_1スタンバイ	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

10.2.9 モジュールスタンバイコントロールレジスタ 2 (MSTCR2)

アドレス 0023Ah

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	MSTTRC_0	—	MSTTRB_0	—	—	MSTTRJ_1	MSTTRJ_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTTRJ_0	タイマRJ_0モジュールスタンバイビット	0: タイマRJ_0通常動作 1: タイマRJ_0スタンバイ	R/W
b1	MSTTRJ_1	タイマRJ_1モジュールスタンバイビット	0: タイマRJ_1通常動作 1: タイマRJ_1スタンバイ	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—			
b4	MSTTRB_0	タイマRB2_0モジュールスタンバイビット	0: タイマRB2_0通常動作 1: タイマRB2_0スタンバイ	R/W
b5	—	予約ビット	0にしてください	R/W
b6	MSTTRC_0	タイマRC_0モジュールスタンバイビット	0: タイマRC_0通常動作 1: タイマRC_0スタンバイ	R/W
b7	—	予約ビット	1にしてください	R/W

10.2.10 モジュールスタンバイコントロールレジスタ 3 (MSTCR3)

アドレス 0023Bh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	MSTTRE	—	MSTTRD_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTTRD_0	タイマRD_0モジュールスタンバイビット	0: タイマRD_0通常動作 1: タイマRD_0スタンバイ	R/W
b1	—	予約ビット	0にしてください	R/W
b2	MSTTRE	タイマRE2モジュールスタンバイビット	0: タイマRE2通常動作 1: タイマRE2スタンバイ	R/W
b3	—	予約ビット	1にしてください	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

10.3 標準動作モード

標準動作モードは、さらに4つのモードに分けられます。

標準動作モードでは、CPUクロック、周辺機能クロックが共に供給されていますので、CPUも周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。周辺機能を周辺機能クロック (f1、f2、f4、f8、f32) 以外のクロックで動作させる場合は、対象クロックが発振安定状態である必要があります。CPUクロックの周波数が高いほど処理能力は上がり、低いほど消費電力は小さくなります。また、不要な発振回路を停止させるとさらに消費電力は小さくなります。

CPUクロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。プログラムで発振が安定するまで待ち時間を取ってから、クロックを切り替えてください。

表 10.2 クロック関連ビットの設定とモード

モード		CM4レジスタ	CM1レジスタ				CM0レジスタ	FRA0レジスタ	PLC0レジスタ
		CM42～CM40ビット	CM17、CM16ビット	CM14ビット	CM13ビット	CM06ビット	CM06ビット	FRA00ビット	PLC07ビット
高速クロックモード	分周なし	000b	00b	—	1	0	0	—	—
	2分周	000b	01b	—	1	0	0	—	—
	4分周	000b	10b	—	1	0	0	—	—
	8分周	000b	—	—	1	1	1	—	—
	16分周	000b	11b	—	1	0	0	—	—
高速オンチップオシレータモード	分周なし	101b	00b	—	—	0	0	1	—
	2分周	101b	01b	—	—	0	0	1	—
	4分周	101b	10b	—	—	0	0	1	—
	8分周	101b	—	—	—	1	1	1	—
	16分周	101b	11b	—	—	0	0	1	—
低速オンチップオシレータモード	分周なし	001b	00b	0	—	0	0	—	—
	2分周	001b	01b	0	—	0	0	—	—
	4分周	001b	10b	0	—	0	0	—	—
	8分周	001b	—	0	—	1	1	—	—
	16分周	001b	11b	0	—	0	0	—	—
PLL動作モード	分周なし	100b	00b	—	1	0	0	—	1
	2分周	100b	01b	—	1	0	0	—	1
	4分周	100b	10b	—	1	0	0	—	1
	8分周	100b	—	—	1	1	1	—	1
	16分周	100b	11b	—	1	0	0	—	1

—: 0でも1でも影響ない

10.3.1 高速クロックモード

CM1 レジスタのCM13 ビットが1 (XIN-XOUT 端子)、かつCM4 レジスタのCM42～CM40 ビットが000b のとき、XIN クロックがシステムクロックになり、システムクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPU クロックとなります。

10.3.2 高速オンチップオシレータモード

FRA00 ビットが1 (高速オンチップオシレータ発振)、かつCM4 レジスタのCM42～CM40 ビットが101b のとき、高速オンチップオシレータがシステムクロックになります。このとき、システムクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPU クロックになります。

10.3.3 低速オンチップオシレータモード

CM14 ビットが0 (低速オンチップオシレータ発振)、かつCM42～CM40 ビットが001b のとき、低速オンチップオシレータがシステムクロックになります。このとき、システムクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPU クロックになります。

このモードにおいて、XIN クロックおよび高速オンチップオシレータを停止させ、FMR27 ビットを1 (低消費電流リードモード許可)にすることで、低消費動作が可能です。CPU クロックが低速オンチップオシレータクロックの4分周、8分周、または16分周のいずれかで、低消費電流リードモードを使用できます。1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。CPU クロック分周比を設定した後、FMR27 ビットを1にしてください。

また、このモードからウェイトモードに入る場合、SVD0 ビットを1 (低消費電力モード遷移許可)にすることで、ウェイトモード中の電流をさらに低消費にすることができます。

消費電力を低減する方法は「10.6 消費電力の低減」を参照してください。

10.3.4 PLL 動作モード

PLC0 レジスタのPLC07 ビットが1 (PLL 動作)、かつCM4 レジスタのCM42～CM40 ビットが100b のとき、PLL がシステムクロックになり、システムクロックの1分周(分周なし)、2分周、4分周、8分周、または16分周がCPU クロックになります。

10.4 ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUと、CPUクロックをカウントソースに選択しているウォッチドッグタイマが停止します。XINクロック、高速オンチップオシレータ、低速オンチップオシレータ、およびウォッチドッグタイマ用低速オンチップオシレータの発振は停止しませんので、これらのクロックを使用する周辺機能は動作します。

10.4.1 周辺機能クロック停止機能

CM0レジスタのCM02ビットが1(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f4、f8、f32が停止しますので、消費電力が低減できます。

10.4.2 ウェイトモードへの移行

WAIT命令を実行またはCM3レジスタのCM30ビットを1(ウェイトモードに移行する)にするとウェイトモードになります。

CM4レジスタのCM42～CM40ビットを001b(CPUクロックにfLOCOを選択)、またはCM42～CM40ビットを101b(CPUクロックにfHOCO-Fクロックを選択)に設定した場合は、OCDレジスタのOCD1ビットを0(発振停止検出割り込み禁止)にしてから、WAIT命令を実行またはCM30ビットを1(ウェイトモードに移行する)にしてください。

OCD1ビットが1(発振停止検出割り込み許可)の状態、ウェイトモードに移行すると、CPUクロックが停止しないため消費電流が減少しません。

FMR2レジスタのFMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM3レジスタのCM37、CM36ビットを00b(ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM3レジスタのCM35ビットを0(CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットの設定有効)にしてください。

10.4.3 ウェイトモード時の端子の状態

I/Oポートはウェイトモードに入る直前の状態を保持します。

10.4.4 ウェイトモードからの復帰

リセットまたは周辺機能割り込みにより、ウェイトモードから復帰します。

周辺機能割り込みはCM0レジスタのCM02ビットの影響を受けます。CM02ビットが0(ウェイトモード時、周辺機能クロックを停止しない)の場合は、A/D変換割り込み以外の周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが1(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号またはfHOCOクロック、fOCO128クロック、fOCOクロック、fHOCO-Fクロック、fLOCOWDTクロックによって動作する周辺機能の割り込みがウェイトモードからの復帰に使用できます。

表10.3にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

表10.3 ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02 = 0 の場合	CM02 = 1 の場合
シリアルインタフェース 割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
シンクロナスシリアルコ ミュニケーションユニット I ² Cバスインタフェース	すべてのモードで使用可	— (使用しないでください)
キー入力割り込み	使用可	使用可
A/D変換割り込み	— (使用しないでください)	— (使用しないでください)
タイマRJ割り込み	すべてのモードで使用可	フィルタなしの場合にイベントカウンタ モードで使用可 カウントソースにfOCOを選択することで 使用可
タイマRB2割り込み	すべてのモードで使用可	— (使用しないでください)
タイマRC割り込み	すべてのモードで使用可	カウントソースにfHOCO、fHOCO-Fを選 択することで使用可
タイマRD割り込み	すべてのモードで使用可	カウントソースにfHOCO、fHOCO-Fを選 択することで使用可
タイマRE2割り込み	すべてのモードで使用可	— (使用しないでください)
INT割り込み	使用可	使用可 (INT0～INT4はフィルタなしの場合 に、使用可)
電圧監視1割り込み	使用可	使用可
電圧監視2割り込み	使用可	使用可
発振停止検出割り込み	使用可	— (使用しないでください)
CANウェイクアップ 割り込み	使用可	使用可

図10.2にCM3レジスタのCM30ビットを1(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、CM30ビットを1にする前に次の設定をしてください。

- (1) FLGレジスタのIフラグを0(マスカブル割り込み禁止)にする。
- (2) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL0～ILVL2ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて000b(割り込み禁止)にする。
- (3) ウェイトモードからの復帰に使用する周辺機能を動作させる。

周辺機能割り込みで復帰する場合、割り込み要求が発生してから次の命令を実行するまでの時間(サイクル数)は、FMR0レジスタのFMSTPビットおよびSVDCレジスタのSVC0ビットの設定に応じて図10.2のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3レジスタのCM35、CM36、CM37ビットで設定したクロックとなります。このとき、CM0レジスタのCM06ビット、CM1レジスタのCM16、CM17ビットは自動的に変更されます。

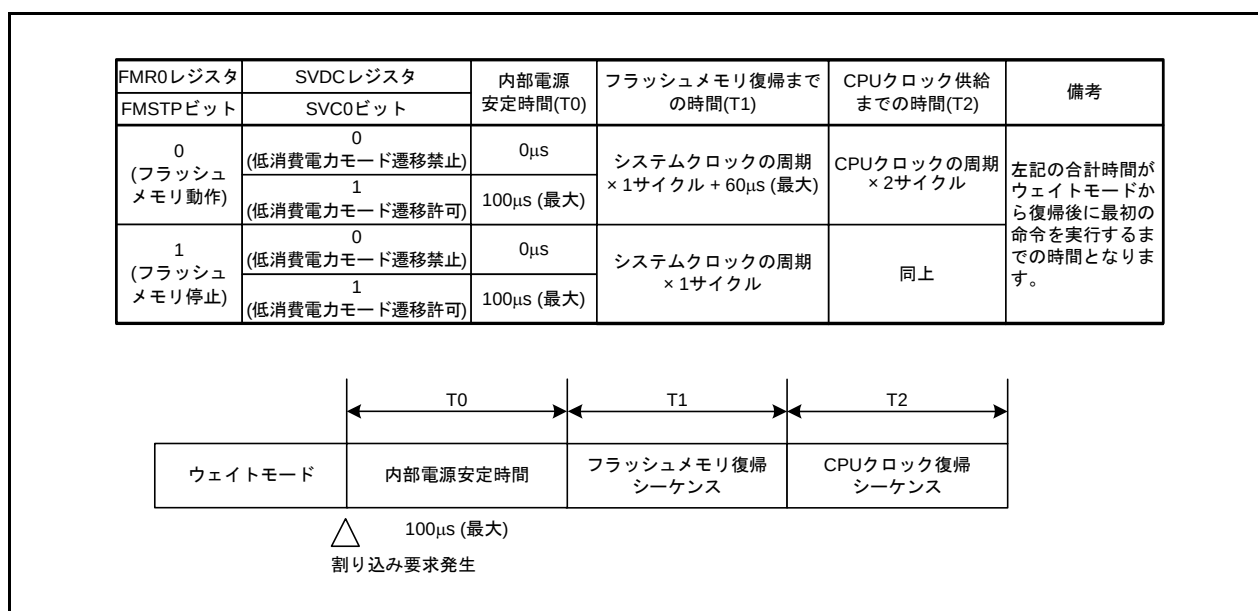


図10.2 CM30ビットを1(ウェイトモードに移行する)にした後のウェイトモードから復帰後に最初の命令を実行するまでの時間

図10.3にWAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

- (1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタの ILVL0 ～ ILVL2 ビットに割り込み優先レベルを設定する。また、ウェイトモードからの復帰に使用しない周辺機能割り込みの ILVL2 ～ ILVL0 ビットをすべて 000b (割り込み禁止) にする。
- (2) ウェイトモードからの復帰に使用する周辺機能を動作させる。
- (3) FLG レジスタの I フラグを 1 にする。

周辺割り込みで復帰する場合、割り込み要求が発生してから割り込みルーチンを実行するまでの時間(サイクル数)は、FMR0 レジスタの FMSTP ビットおよび SVDC レジスタの SVD0 ビットの設定に応じて図10.3のとおりとなります。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、CM3 レジスタの CM35、CM36、CM37 ビットで設定したクロックとなります。このとき、CM0 レジスタの CM06 ビット、CM1 レジスタの CM16、CM17 ビットは自動的に変更されます。

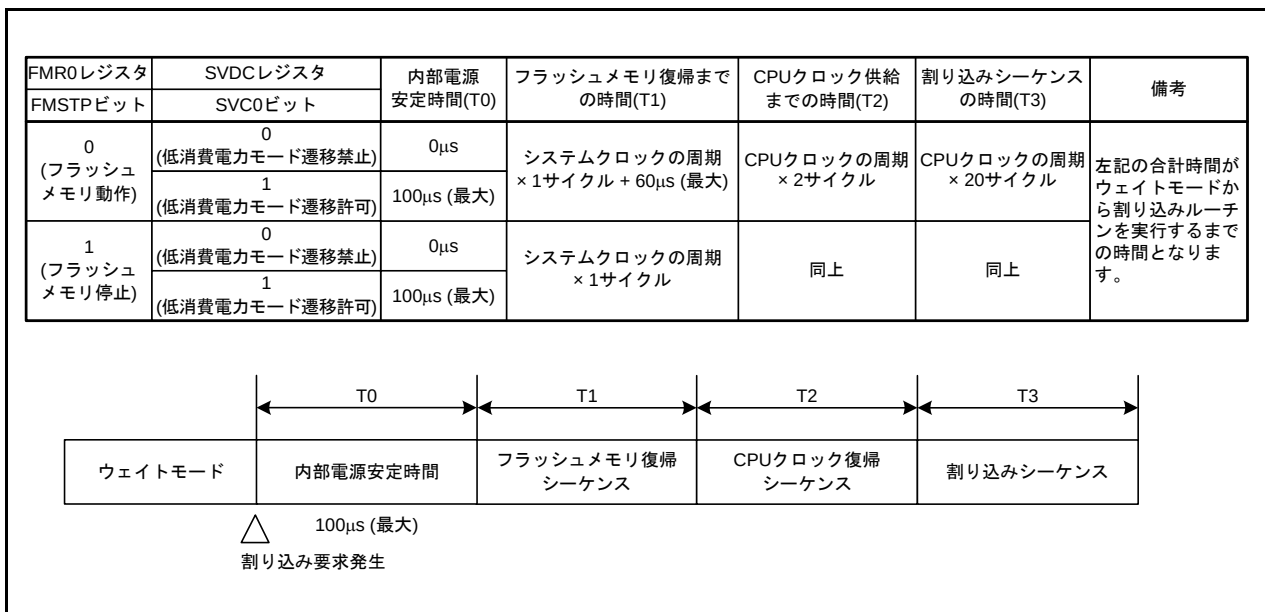


図10.3 WAIT命令実行後のウェイトモードから割り込みルーチンを実行するまでの時間

10.5 ストップモード

ストップモードでは、fLOCOWDT を除くすべての発振が停止します。したがって、CPU クロックと周辺機能クロックも停止し、これらのクロックで動作する CPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC 端子に印加する電圧が VRAM 以上するとき、内部 RAM は保持されます。

また、外部信号によって動作する周辺機能は動作します。

表 10.4 にストップモードからの復帰に使用できる割り込みと使用条件を示します。

表 10.4 ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	使用条件
キー入力割り込み	使用可
INT0～INT4 割り込み	フィルタなしの場合に使用可
タイマ RJ 割り込み	フィルタなしの場合にイベントカウンタモードで外部パルスをカウント時
シリアルインタフェース割り込み	外部クロック選択時
電圧監視 1 割り込み	デジタルフィルタ無効モード (VW1C レジスタの VW1C1 ビットが 1) の場合に使用可
電圧監視 2 割り込み	デジタルフィルタ無効モード (VW2C レジスタの VW2C1 ビットが 1) の場合に使用可
CAN ウェイクアップ割り込み	フィルタなしの場合に使用可

10.5.1 ストップモードへの移行

CM1 レジスタの CM10 ビットを 1 (全クロック停止) にすると、ストップモードになります。同時に CM0 レジスタの CM06 ビットは 1 (8 分周モード) になります。

ストップモードを使用する場合、OCD レジスタの OCD1、OCD0 ビットを 00b、CM3 レジスタの CM35 ビットを 0 (CM0 レジスタの CM06 ビット、CM1 レジスタの CM16、CM17 ビットの設定有効) にしてからストップモードにしてください。

FMR2 レジスタの FMR27 ビットが 1 (低消費電流リードモード許可) の状態で、ウェイトモードまたはストップモードへ移行する場合、CM37、CM36 ビットを 00b (ウェイトモード、ストップモードに移行する直前の CPU クロックで復帰)、CM35 ビットを 0 にしてください。

10.5.2 ストップモード時の端子の状態

I/O ポートはストップモードに入る直前の状態を保持します。

ただし、CM1 レジスタの CM13 ビットが 1 (XIN-XOUT 端子) のとき、XIN(P4_6)、XOUT(P4_7) 端子はハイインピーダンスになります。

10.5.3 ストップモードからの復帰

リセットまたは周辺機能割り込みにより、ストップモードから復帰します。

図 10.4 にストップモードから割り込みルーチンを実行するまでの時間を示します。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM1 レジスタの CM10 ビットを 1 にしてください。

- (1) ストップモードからの復帰に使用する周辺機能割り込み制御レジスタの ILVL0 ～ ILVL2 ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みの ILVL2 ～ ILVL0 ビットをすべて 000b (割り込み禁止) にする。
- (2) ストップモードからの復帰に使用する周辺機能を動作させる。
- (3) FLG レジスタの I フラグを 1 にする。

周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPU クロックの供給が開始されると割り込みシーケンスを実行します。

周辺機能割り込みでストップモードから復帰した場合の CPU クロックは、ストップモード直前に使用していたクロックの 8 分周になります。ストップモードへ移行するときは、CM3 レジスタの CM35 ビットを 0 (CM0 レジスタの CM06 ビット、CM1 レジスタの CM16、CM17 ビットの設定有効) にしてください。

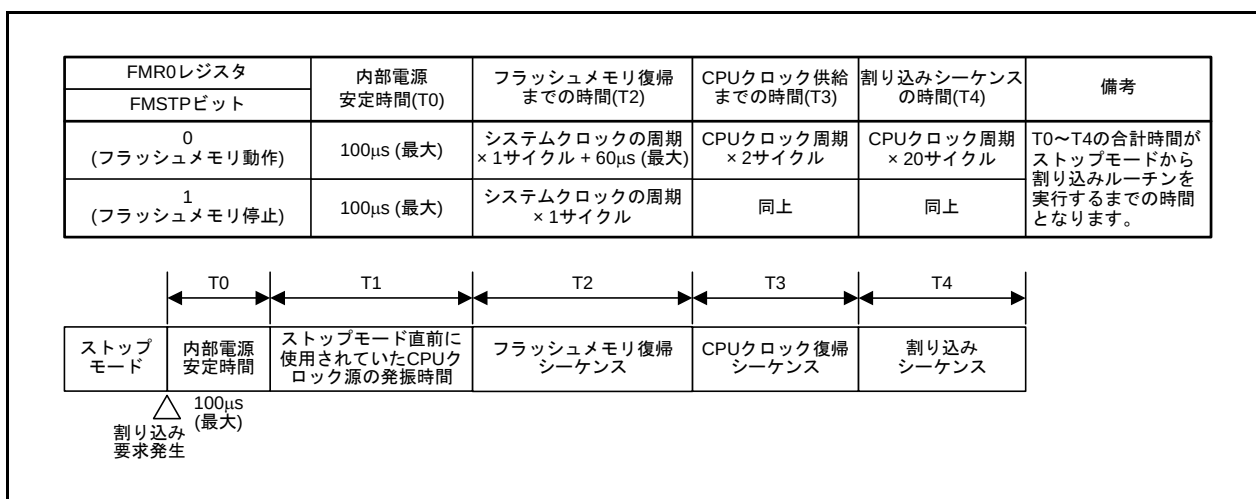


図 10.4 ストップモードから割り込みルーチンを実行するまでの時間

10.6 消費電力の低減

以下に消費電力を小さくするためのポイント、処理方法について説明します。

10.6.1 電圧検出回路

電圧監視1を使用しない場合、VCA2レジスタのVCA26ビットを0(電圧検出1回路無効)に、電圧監視2を使用しない場合、VCA2レジスタのVCA27ビットを0(電圧検出2回路無効)にしてください。

パワーオンリセット、電圧監視0リセットを使用しない場合、VCA2レジスタのVCA25ビットを0(電圧検出0回路無効)にしてください。

10.6.2 ポート

ウェイトモードまたはストップモードに移行してもI/Oポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは、貫通電流が流れません。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

10.6.3 クロック

消費電力は一般的に動作しているクロックの数や、その周波数に関係があります。動作しているクロックの数が少ないほど、また、周波数は低いほど消費電力は小さくなります。

そのため、不要なクロックを停止させてください。

低速オンチップオシレータの発振停止：CM1レジスタのCM14ビット

高速オンチップオシレータの発振停止：FRA0レジスタのFRA00ビット

PLLの停止：PLC0レジスタのPLC07ビット

10.6.4 ウェイトモード、ストップモード

ウェイトモード、およびストップモードでは消費電力が低減できます。詳細は「10.4 ウェイトモード」、「10.5 ストップモード」を参照してください。

10.6.5 周辺機能クロックの停止

ウェイトモード時に周辺機能クロック f1、f2、f4、f8、f32 が不要の場合、CM0レジスタのCM02ビットを1(ウェイトモード時、周辺機能クロックを停止する)にして、ウェイトモード時のf1、f2、f4、f8、f32を停止させてください。

10.6.6 タイマ

タイマRJ_i(i=0,1)を使用しない場合、MSTCR2レジスタの未使用のタイマRJに対応したMSTTRJ_iビットを1(スタンバイ)にしてください。

タイマRB2を使用しない場合、MSTCR2レジスタの未使用のタイマRB2に対応したMSTTRB₀ビットを1(スタンバイ)にしてください。

タイマRCを使用しない場合、MSTCR2レジスタの未使用のタイマRCに対応したMSTTRC₀ビットを1(スタンバイ)にしてください。

MSTCR2レジスタの未使用のタイマRCに対応したMSTTRC₀ビットを1(スタンバイ)にしてください。また、MSTCR2レジスタのb7ビットを1にしてください。

タイマRDを使用しない場合、MSTCR3レジスタの未使用のタイマRDに対応したMSTTRD₀ビットを1(スタンバイ)にしてください。

タイマRE2を使用しない場合、MSTCR3レジスタのMSTTREビットを1(スタンバイ)にしてください。

MSTCR3レジスタのb3およびb4ビットを1にしてください。

10.6.7 A/D コンバータ

A/D コンバータを使用しないとき、ADCON1 レジスタの ADSTBY ビットを 0 (A/D 動作停止 (スタンバイ)) にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

10.6.8 クロック同期形シリアルインタフェースおよびシリアルインタフェース

SSU_i と I²C_i (i = 0, 1) の両方を使用しない場合、MSTCR1 レジスタの未使用の SSU_i および I²C_i に対応した MSTIC_i ビットを 1 (スタンバイ) にしてください。

UART0_i を使用しない場合、MSTCR0 レジスタの未使用の UART0_i に対応した MSTURT_i ビットを 1 (スタンバイ) にしてください。

UART2 を使用しない場合、MSTCR0 レジスタの MSTURT2 ビットを 1 (スタンバイ) にしてください。

10.6.9 内部電源の消費電力低減 (低消費電力モード)

低速オンチップオシレータモード (XIN クロック、高速オンチップオシレータは発振停止) でウェイトモードへ移行する場合、SVDC レジスタの SVC0 ビットにより、内部電源の消費電力を低減できます。図 10.5 に SVC0 ビットによる内部電源低消費操作手順を示します。SVC0 ビットにより低消費電力モード遷移を許可する場合は、この手順に従ってください。

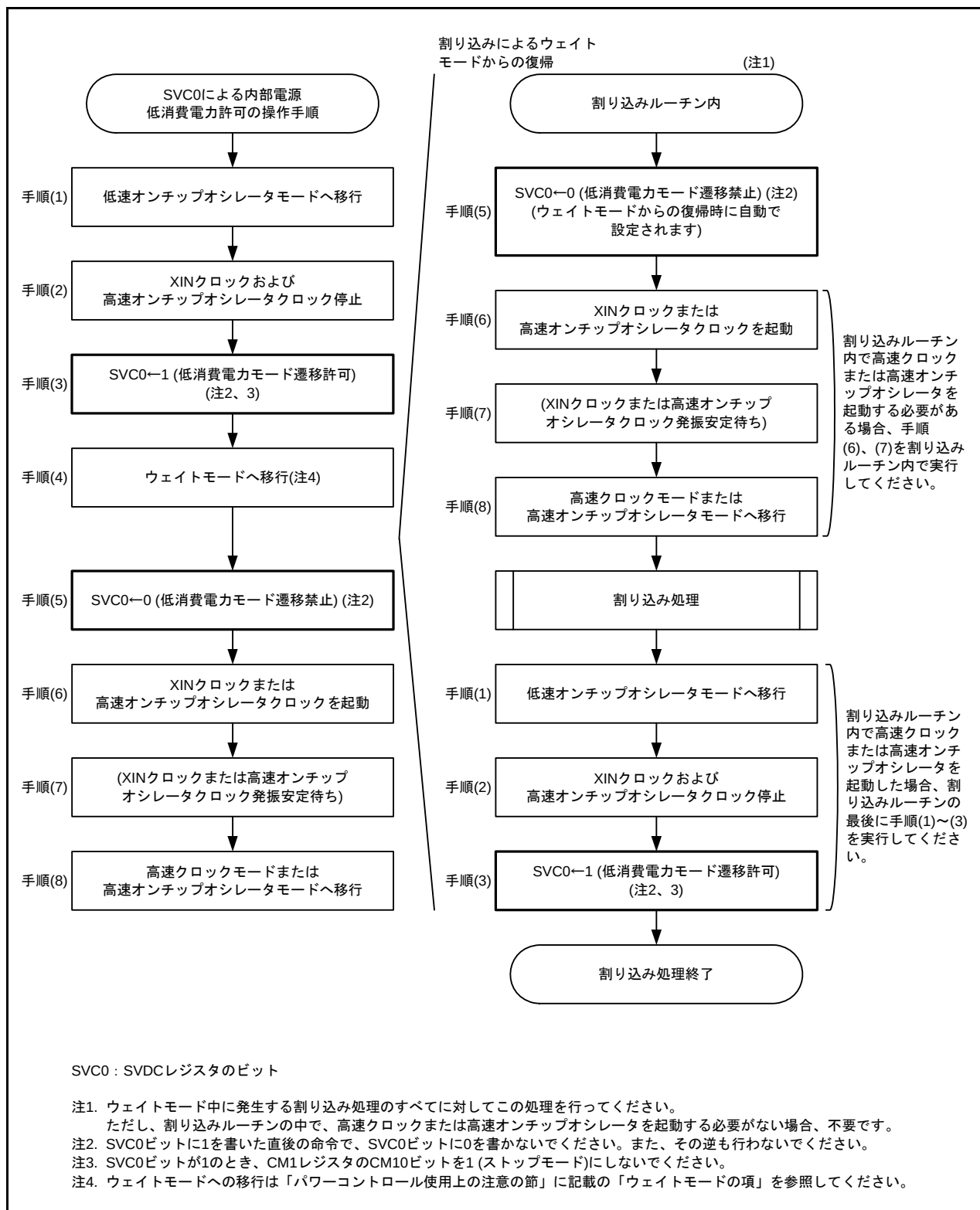


図10.5 SVC0ビットによる内部電源低消費操作手順

10.6.10 フラッシュメモリの停止

低速オンチップオシレータモードの場合、FMR0 レジスタの FMSTP ビットによってフラッシュメモリを停止させ、さらに低消費電力にすることができます。

FMSTP ビットを1 (フラッシュメモリ停止) にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTP ビットはRAMに転送したプログラムで書いてください。

なお、CPU 書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0 レジスタを設定する必要がありません。

図 10.6 に FMSTP ビットによる低消費電力操作手順を示します。

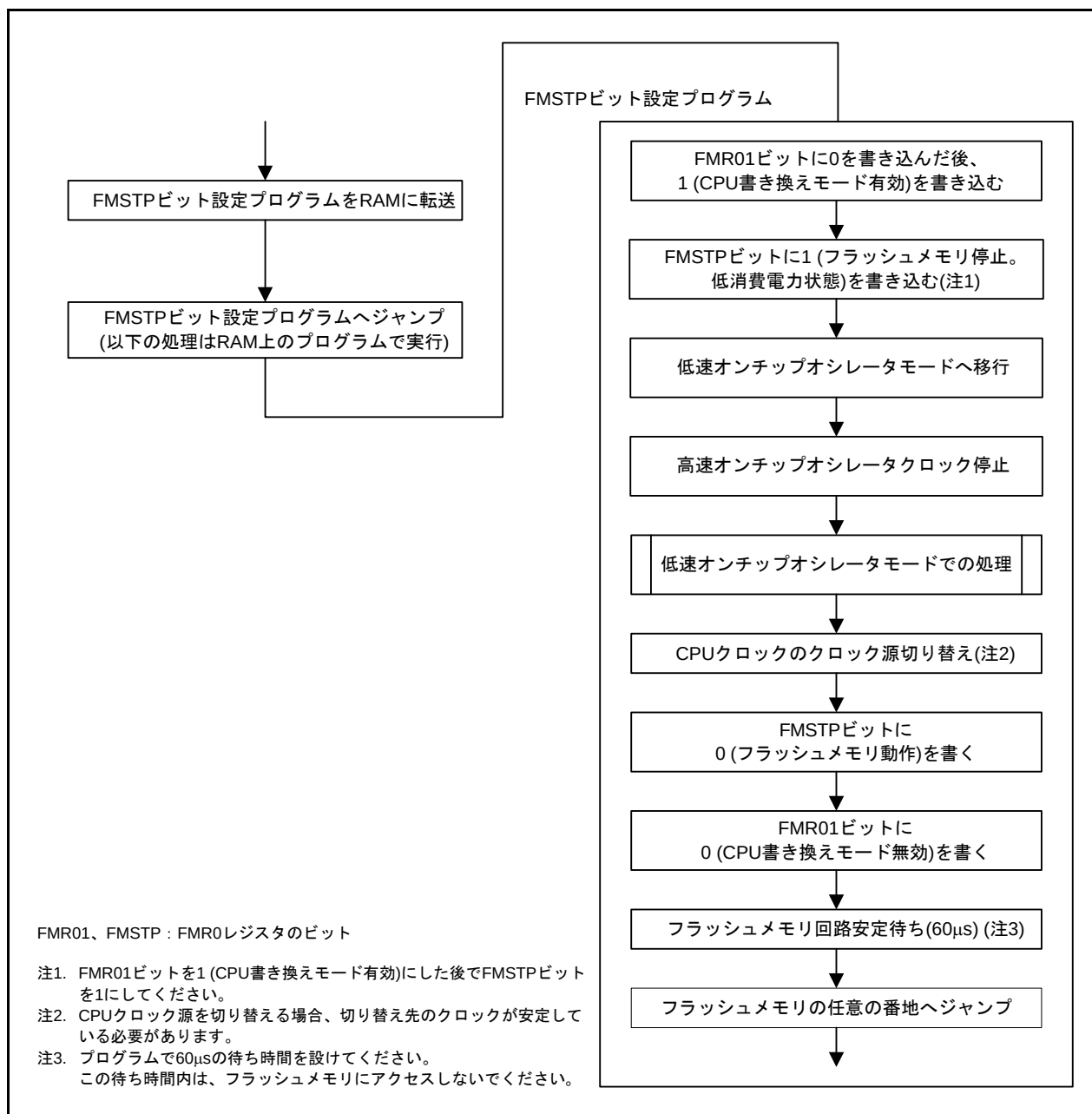


図 10.6 FMSTP ビットによる低消費電力操作手順

10.6.11 低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2 レジスタのFMR27 ビットを1 (低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが下記のとおり、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

CPUクロック分周比を設定した後、FMR27 ビットを1にしてください。

FMR27 ビットが1 (低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行する場合、CM37、CM36 ビットを00b (ウェイトモード、ストップモードに移行する直前のCPUクロックで復帰)、CM35 ビットを0 (CM0 レジスタのCM06 ビット、CM1 レジスタのCM16、CM17 ビットの設定有効) にしてください。

図10.7にフラッシュメモリの低消費電流リードモードの操作手順を示します。

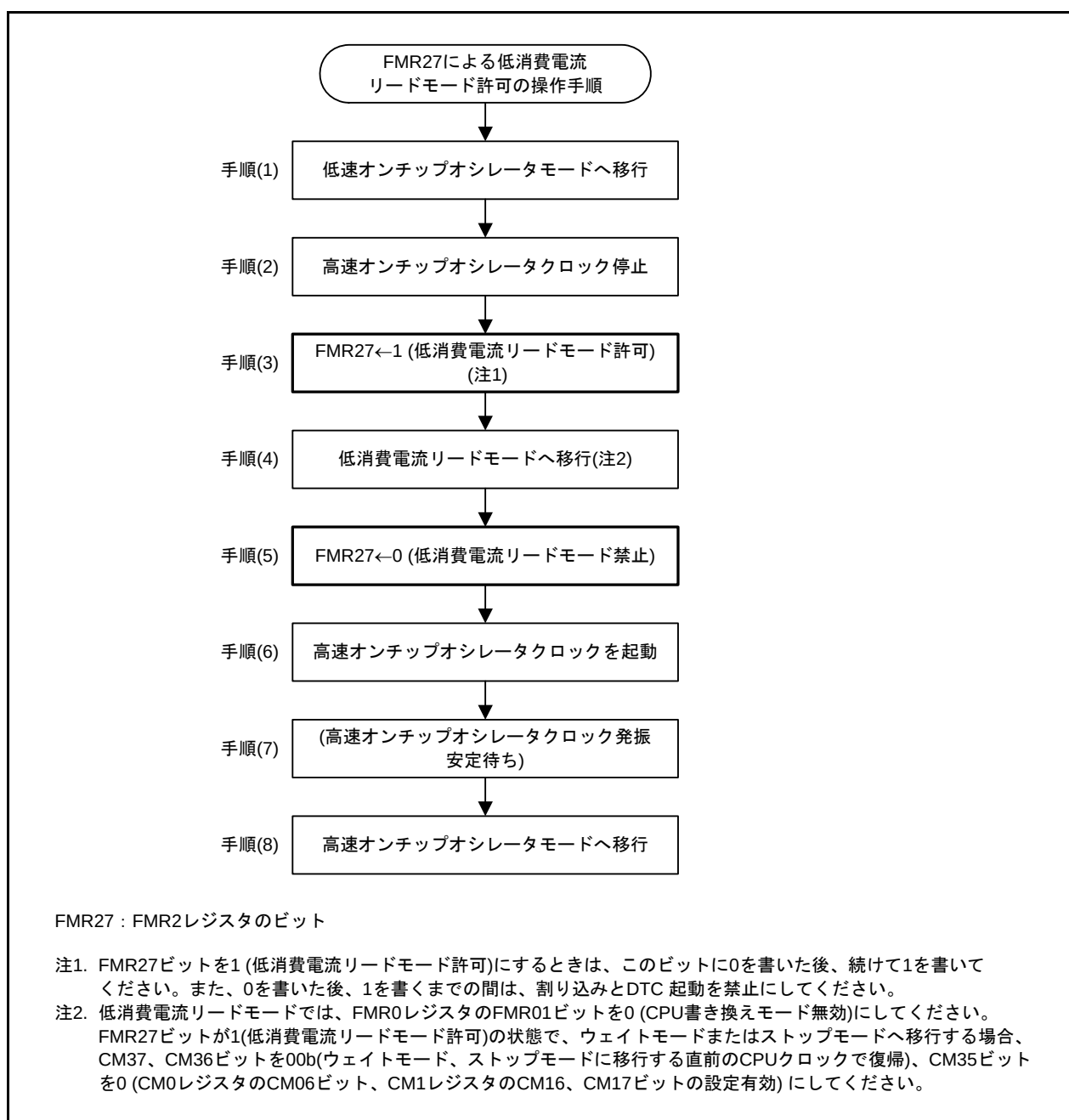


図10.7 フラッシュメモリの低消費電流リードモードの操作手順

10.7 パワーコントロール使用上の注意事項

10.7.1 ストップモード

ストップモードに移行する場合、FMR0 レジスタの FMR01 ビットを 0 (CPU 書き換えモード無効) にした後、CM1 レジスタの CM10 ビットを 1 (ストップモード) にしてください。命令キューは CM10 ビットを 1 (ストップモード) にする命令から、4 バイト先読みしてプログラムが停止します。

CM10 ビットを 1 にする命令の直後に JMP.B 命令を入れた後、NOP 命令を最低 4 つ入れてください。

- ストップモードに移行するプログラム例

```
BCLR    1, FMR0      ; CPU 書き換えモード無効
BSET    0, PRCR      ; プロテクト解除
FSET    I            ; 割り込み許可
BSET    0, CM1       ; ストップモード
JMP.B   LABEL_001
LABEL_001 :
NOP
NOP
NOP
NOP
```

10.7.2 ウェイトモード

CM3 レジスタの CM30 ビットを 1 にしてウェイトモードに移行する場合、FMR01 ビットを 0 (CPU 書き換えモード無効) にした後、CM30 ビットを 1 にしてください。

WAIT 命令でウェイトモードに移行する場合、FMR01 ビットを 0 (CPU 書き換えモード無効) にした後、WAIT 命令を実行してください。命令キューは CM30 ビットを 1 (ウェイトモードに移行する) にする命令または WAIT 命令から 4 バイト先読みしてプログラムが停止します。CM30 ビットを 1 (ウェイトモードに移行する) にする命令または WAIT 命令の後には NOP 命令を最低 4 つ入れてください。

- WAIT 命令を実行するプログラム例

```
BCLR    1, FMR0      ; CPU 書き換えモード無効
FSET    I            ; 割り込み許可
WAIT    ; ウェイトモード
NOP
NOP
NOP
NOP
```

- CM30 ビットを 1 にするプログラム例

```
BCLR    1, FMR0      ; CPU 書き換えモード無効
BSET    0, PRCR      ; CM3 レジスタへの書き込み許可
FCLR    I            ; 割り込み禁止
BSET    0, CM3       ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR    0, PRCR      ; CM3 レジスタへの書き込み禁止
FSET    I            ; 割り込み許可
```

11. 割り込み

11.1 概要

割り込みはノンマスカブル割り込みと、マスカブル割り込みに分けられます。これらの割り込みは、FLG レジスタの割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や、割り込み優先レベルによる割り込み優先順位の変更に関して表11.1に示す違いがあります。

表11.1 マスカブル/ノンマスカブル割り込み

	割り込み許可フラグ(Iフラグ)による 割り込み許可または禁止の変更	割り込み優先レベルによる 優先順位の変更
ノンマスカブル割り込み	不可能	不可能
マスカブル割り込み	可能	可能

11.1.1 割り込みの分類

図11.1に割り込みの分類を示します。

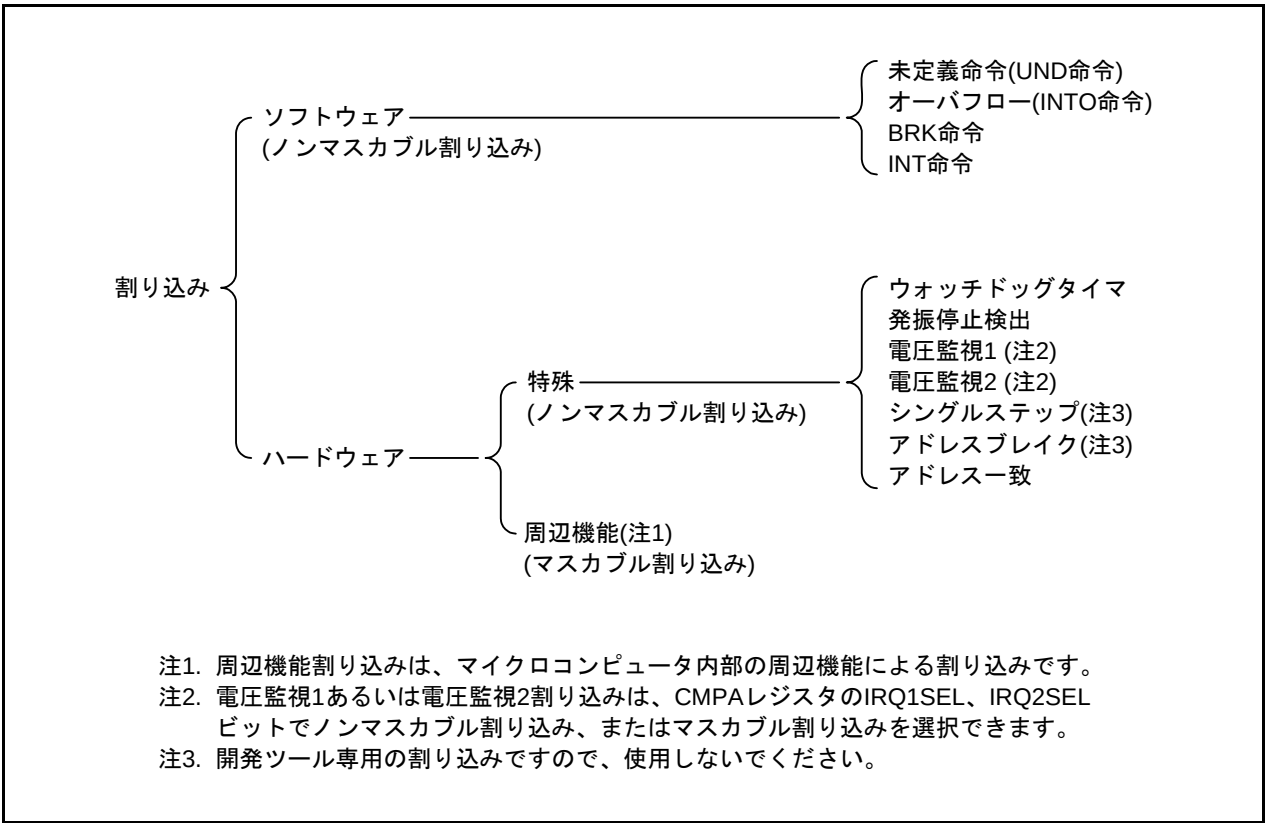


図11.1 割り込みの分類

11.1.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

11.1.2.1 未定義命令割り込み

未定義命令割り込みは、UND 命令を実行すると発生します。

11.1.2.2 オーバフロー割り込み

オーバフロー割り込みは、FLG レジスタの O フラグが 1 (演算の結果がオーバフロー) の場合、INTO 命令を実行すると発生します。演算によって O フラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

11.1.2.3 BRK 割り込み

BRK 割り込みは、BRK 命令を実行すると発生します。

11.1.2.4 INT 命令割り込み

INT 命令割り込みは、INT 命令を実行すると発生します。INT 命令で指定できるソフトウェア割り込み番号は 0～63 です。周辺機能割り込みに割り当てられているソフトウェア割り込み番号は、INT 命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号 0～31 では、命令実行時に FLG レジスタの U フラグを退避し、U フラグを 0 (ISP を選択) にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいた U フラグを復帰します。ソフトウェア割り込み番号 32～63 では、命令実行時 U フラグは変化せず、そのとき選択されている SP を使用します。

11.1.3 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

11.1.3.1 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマの詳細は「8. ウォッチドッグタイマ」を参照してください。

11.1.3.2 発振停止検出割り込み

発振停止検出機能による割り込みです。発振停止検出機能の詳細は「9. クロック発生回路」を参照してください。

11.1.3.3 電圧監視1割り込み

電圧検出回路による割り込みです。CMPA レジスタの IRQ1SEL ビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「7. 電圧検出回路」を参照してください。

11.1.3.4 電圧監視2割り込み

電圧検出回路による割り込みです。CMPA レジスタの IRQ2SEL ビットでノンマスカブル割り込み、またはマスカブル割り込みを選択できます。電圧検出回路の詳細は「7. 電圧検出回路」を参照してください。

11.1.3.5 シングルステップ割り込み、アドレスブレイク割り込み

開発ツール専用の割り込みですので、使用しないでください。

11.1.3.6 アドレス一致割り込み

アドレス一致割り込みは、AIEN0レジスタのAIEN00ビット、AIEN1レジスタのAIEN10ビットのうち、いずれか1つが1(アドレス一致割り込み許可)の場合、対応するAIADR0j、AIADR1jレジスタ(j=L、H)で示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「11.7 アドレス一致割り込み」を参照してください。

11.1.3.7 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表 11.4、表 11.5 可変ベクタテーブル」に配置している割り込みとベクタテーブルの番地を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

11.2 レジスタの説明

表11.2に割り込みのレジスタ構成を示します。

表11.2 割り込みのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
割り込み制御レジスタ	FMRDYIC	00h	00041h	8
割り込み制御レジスタ	TRJIC_1	00h	00042h	8
割り込み制御レジスタ	INT4IC	00h	00046h	8
割り込み制御レジスタ	TRCIC_0	00h	00047h	8
割り込み制御レジスタ	TRD0IC_0	00h	00048h	8
割り込み制御レジスタ	TRD1IC_0	00h	00049h	8
割り込み制御レジスタ	TRE2IC	00h	0004Ah	8
割り込み制御レジスタ	U2TIC	00h	0004Bh	8
割り込み制御レジスタ	U2RIC	00h	0004Ch	8
割り込み制御レジスタ	KUPIC	00h	0004Dh	8
割り込み制御レジスタ	ADIC	00h	0004Eh	8
割り込み制御レジスタ	SSUIC_0/IICIC_0	00h	0004Fh	8
割り込み制御レジスタ	U0TIC_0	00h	00051h	8
割り込み制御レジスタ	U0RIC_0	00h	00052h	8
割り込み制御レジスタ	U0TIC_1	00h	00053h	8
割り込み制御レジスタ	U0RIC_1	00h	00054h	8
割り込み制御レジスタ	INT2IC	00h	00055h	8
割り込み制御レジスタ	TRJIC_0	00h	00056h	8
割り込み制御レジスタ	TRB2IC_0	00h	00058h	8
割り込み制御レジスタ	INT1IC	00h	00059h	8
割り込み制御レジスタ	INT3IC	00h	0005Ah	8
割り込み制御レジスタ	INT0IC	00h	0005Dh	8
割り込み制御レジスタ	U2BCNIC	00h	0005Eh	8
割り込み制御レジスタ	CANRXIC_0	00h	0006Ch	8
割り込み制御レジスタ	CANTXIC_0	00h	0006Dh	8
割り込み制御レジスタ	CANERIC_0	00h	0006Eh	8
割り込み制御レジスタ	VCMP1IC	00h	00072h	8
割り込み制御レジスタ	VCMP2IC	00h	00073h	8
割り込み制御レジスタ	SSUIC_1/IICIC_1	00h	00079h	8
外部入力許可レジスタ0	INTEN	00h	00230h	8
外部入力許可レジスタ1	INTEN1	00h	00231h	8
INT入力フィルタ選択レジスタ0	INTF	00h	00232h	8
INT入力フィルタ選択レジスタ1	INTF1	00h	00233h	8
INT入力極性切り替えレジスタ	INTPOL	00h	00234h	8
キー入力割り込み許可レジスタ	KIEN	00h	00236h	8
アドレス一致割り込みアドレス0Lレジスタ	AIADR0L	XXXXh	00260h	16
アドレス一致割り込みアドレス0Hレジスタ	AIADR0H	0000XXXXb	00262h	8
アドレス一致割り込み許可0レジスタ	AIEN0	00h	00263h	8
アドレス一致割り込みアドレス1Lレジスタ	AIADR1L	XXXXh	00264h	16
アドレス一致割り込みアドレス1Hレジスタ	AIADR1H	0000XXXXb	00266h	8
アドレス一致割り込み許可1レジスタ	AIEN1	00h	00267h	8
INT割り込み入力端子選択レジスタ0	INTSR0	00h	002B6h	8

11.2.1 割り込み制御レジスタ

(FMRDYIC、TRJIC_1、INT4IC、TRCIC_0、TRD0IC_0、TRD1IC_0、TRE2IC、U2TIC、U2RIC、KUPIC、ADIC、SSUIC_0/IICIC_0、U0TIC_0、U0RIC_0、U0TIC_1、U0RIC_1、INT2IC、TRJIC_0、TRB2IC_0、INT1IC、INT3IC、INT0IC、U2BCNIC、CANRXIC_0、CANTXIC_0、CANERIC_0、VCMP1IC、VCMP2IC、SSUIC_1/IICIC_1)

アドレス 00041h (FMRDYIC)、00042h (TRJIC_1)、00046h (INT4IC)、00047h (TRCIC_0)、00048h (TRD0IC_0)、00049h (TRD1IC_0)、0004Ah (TRE2IC)、0004Bh (U2TIC)、0004Ch (U2RIC)、0004Dh (KUPIC)、0004Eh (ADIC)、0004Fh (SSUIC_0/IICIC_0)、00051h (U0TIC_0)、00052h (U0RIC_0)、00053h (U0TIC_1)、00054h (U0RIC_1)、00055h (INT2IC)、00056h (TRJIC_0)、00058h (TRB2IC_0)、00059h (INT1IC)、0005Ah (INT3IC)、0005Dh (INT0IC)、0005Eh (U2BCNIC)、0006Ch (CANRXIC_0)、0006Dh (CANTXIC_0)、0006Eh (CANERIC_0)、00072h (VCMP1IC)、00073h (VCMP2IC)、00079h (SSUIC_1/IICIC_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IR	ILVL2	ILVL1	ILVL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 : レベル0 (割り込み禁止)	R/W
b1	ILVL1		0 0 1 : レベル1	R/W
b2	ILVL2		0 1 0 : レベル2	R/W
			0 1 1 : レベル3	
			1 0 0 : レベル4	
			1 0 1 : レベル5	
			1 1 0 : レベル6	
			1 1 1 : レベル7	
b3	IR	割り込み要求ビット	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W (注1)
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. IRビットは0のみ書けます(1を書かないでください)。

割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。「11.9.5 割り込み制御レジスタの変更」を参照してください。

11.2.2 外部入力許可レジスタ 0 (INTEN)

アドレス	00230h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3PL	INT3EN	INT2PL	INT2EN	INT1PL	INT1EN	INT0PL	INT0EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0EN	$\overline{\text{INT0}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT0PL	$\overline{\text{INT0}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	INT1EN	$\overline{\text{INT1}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b3	INT1PL	$\overline{\text{INT1}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b4	INT2EN	$\overline{\text{INT2}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b5	INT2PL	$\overline{\text{INT2}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b6	INT3EN	$\overline{\text{INT3}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b7	INT3PL	$\overline{\text{INT3}}$ 入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W

注1. INTiPL ビット (i = 0 ~ 3) を 1 (両エッジ) にする場合、INTPOL レジスタの INTiPOL ビットを 0 (立ち下がりエッジを選択) にしてください。

注2. INTEN レジスタを変更すると、INTiC レジスタの IR ビットが 1 (割り込み要求あり) になることがあります。
「11.9.4 割り込み要因の変更」を参照してください。

11.2.3 外部入力許可レジスタ 1 (INTEN1)

アドレス	00231h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	INT4PL	INT4EN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4EN	INT4入力許可ビット	0: 禁止 1: 許可	R/W
b1	INT4PL	INT4入力極性選択ビット(注1、2)	0: 片エッジ 1: 両エッジ	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. INT4PL ビットを1 (両エッジ)にする場合、INTPOL レジスタのINT4POL ビットを0 (立ち下がリエッジを選択) にしてください。

注2. INTEN1 レジスタを変更すると、INT4IC レジスタのIR ビットが1 (割り込み要求あり)になることがあります。
「11.9.4 割り込み要因の変更」を参照してください。

11.2.4 INT入力フィルタ選択レジスタ0 (INTF)

アドレス 00232h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3F1	INT3F0	INT2F1	INT2F0	INT1F1	INT1F0	INT0F1	INT0F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0F0	INT0入力フィルタ選択ビット	b1 b0 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	R/W
b1	INT0F1			R/W
b2	INT1F0	INT1入力フィルタ選択ビット	b3 b2 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	R/W
b3	INT1F1			R/W
b4	INT2F0	INT2入力フィルタ選択ビット	b5 b4 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	R/W
b5	INT2F1			R/W
b6	INT3F0	INT3入力フィルタ選択ビット	b7 b6 0 0 : フィルタなし 0 1 : フィルタあり、f1でサンプリング 1 0 : フィルタあり、f8でサンプリング 1 1 : フィルタあり、f32でサンプリング	R/W
b7	INT3F1			R/W

11.2.5 INT入力フィルタ選択レジスタ 1 (INTF1)

アドレス 00233h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	INT4F1	INT4F0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT4F0	INT4入力フィルタ選択ビット	b1 b0 0 0 : フィルタなし	R/W
b1	INT4F1		0 1 : フィルタあり、f1でサンプリング	R/W
			1 0 : フィルタあり、f8でサンプリング	
			1 1 : フィルタあり、f32でサンプリング	
b2	—	予約ビット	0にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

11.2.6 INT入力極性切り替えレジスタ (INTPOL)

アドレス 00234h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	INT4POL	INT3POL	INT2POL	INT1POL	INT0POL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT0POL	INT0極性切り替えビット(注1)	0 : 立ち下がリエッジ 1 : 立ち上がりエッジ(注2)	R/W
b1	INT1POL	INT1極性切り替えビット(注1)		R/W
b2	INT2POL	INT2極性切り替えビット(注1)		R/W
b3	INT3POL	INT3極性切り替えビット(注1)		R/W
b4	INT4POL	INT4極性切り替えビット(注1)		R/W
b5	—	予約ビット	0にしてください	R/W
b6	—			
b7	—			

注1. INTiPOL ビット(i = 0~4)を変更すると、INTiIC レジスタのIR ビットが1 (割り込み要求あり)になることがあります。「11.9.4 割り込み要因の変更」を参照してください。

注2. INTEN、INTEN1 レジスタのINTiPL ビットが1 (両エッジ)の場合、INTiPOL ビットを0 (立ち下がリエッジを選択)にしてください。

11.2.7 キー入力割り込み許可レジスタ (KIEN)

アドレス 00236h

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル KI3PL KI3EN KI2PL KI2EN KI1PL KI1EN KI0PL KI0EN

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	KI0EN	$\overline{\text{KI0}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b1	KI0PL	$\overline{\text{KI0}}$ 入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b2	KI1EN	$\overline{\text{KI1}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b3	KI1PL	$\overline{\text{KI1}}$ 入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b4	KI2EN	$\overline{\text{KI2}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b5	KI2PL	$\overline{\text{KI2}}$ 入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
b6	KI3EN	$\overline{\text{KI3}}$ 入力許可ビット	0: 禁止 1: 許可	R/W
b7	KI3PL	$\overline{\text{KI3}}$ 入力極性選択ビット	0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W

KIEN レジスタを変更すると、KUPIC レジスタの IR ビットが 1 (割り込み要求あり) になることがあります。「11.9.4 割り込み要因の変更」を参照してください。

11.2.8 アドレス一致割り込みアドレスijレジスタ (AIADRIj) (i = 0、1、j = L、H)

アドレス 00260h (AIADR0L)、00262h (AIADR0H)、00264h (AIADR1L)、00266h (AIADR1H)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	X	X	X	X

ビット	シンボル	機能	設定可能値	R/W
b19～b0	—	ターゲットPC値20ビット	00000h～FFFFFh	R/W
b20	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b21	—			
b22	—			
b23	—			

11.2.9 アドレス一致割り込み許可iレジスタ (AIENi) (i = 0、1)

アドレス 00263h (AIEN0)、00267h (AIEN1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	AIENi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AIENi0	アドレス一致割り込み許可ビット	0：禁止 1：許可	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

11.2.10 INT割り込み入力端子選択レジスタ0 (INTSR0)

アドレス 002B6h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3SEL1	INT3SEL0	INT2SEL1	INT2SEL0	INT1SEL2	INT1SEL1	INT1SEL0	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—		何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—
b1	INT1SEL0	INT1 端子選択ビット	b3 b2 b1 0 0 0 : P1_7に割り当てる	R/W
b2	INT1SEL1		0 0 1 : P1_5に割り当てる	R/W
b3	INT1SEL2		0 1 0 : P2_0に割り当てる 上記以外 : 設定しないでください	R/W
b4	INT2SEL0	INT2 端子選択ビット	b5 b4 0 0 : P6_6に割り当てる	R/W
b5	INT2SEL1		0 1 : 設定しないでください 1 0 : P6_4に割り当てる 1 1 : P0_2に割り当てる	R/W
b6	INT3SEL0	INT3 端子選択ビット	b7 b6 0 0 : P3_3に割り当てる	R/W
b7	INT3SEL1		0 1 : P3_7に割り当てる 1 0 : P6_7に割り当てる 1 1 : 設定しないでください	R/W

INTSR0 レジスタは、 $\overline{\text{INT}}_i$ ($i = 1 \sim 3$) の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT}}_i$ を使用する場合は、INTSR0 レジスタを設定してください。

$\overline{\text{INT}}_i$ の関連レジスタを設定する前に、INTSR0 レジスタを設定してください。また、 $\overline{\text{INT}}_i$ の動作中はINTSR0 レジスタの設定値を変更しないでください。

$\overline{\text{INT}}_0$ 、 $\overline{\text{INT}}_4$ は、INTSR0 レジスタに関係なく、それぞれP4_5、P6_5に割り当てられます。

11.3 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。

図11.2に割り込みベクタを示します。

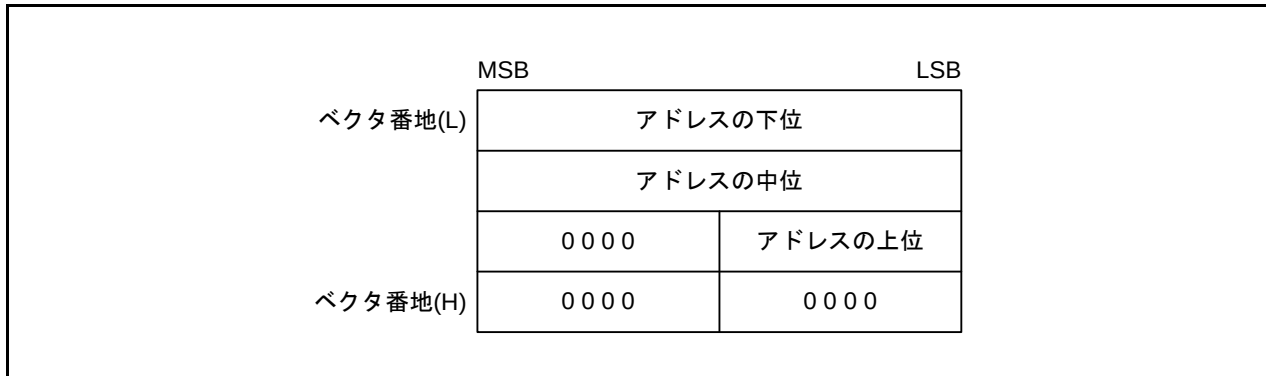


図11.2 割り込みベクタ

11.3.1 固定ベクタテーブル

固定ベクタテーブルは、0FFDCh番地から0FFFFh番地に配置されています。

表11.3に固定ベクタテーブルを示します。固定ベクタのベクタ番地(H)はIDコードチェック機能で使します。詳細は「27.4 フラッシュメモリ書き換え禁止機能」を参照してください。

表11.3 固定ベクタテーブル

割り込み要因	ベクタ番地 番地(L)～番地(H)	備考	備考
未定義命令	0FFDCh～0FFDFh	UND命令で割り込み	R8C/5xシリーズ ユーザーズマニュアル ソフトウェア編
オーバフロー	0FFE0h～0FFE3h	INTO命令で割り込み	
BRK命令	0FFE4h～0FFE7h	0FFE6h番地の内容が FFhの場合は、可変ベ クタテーブル内のベク タが示す番地から実行	
アドレス一致	0FFE8h～0FFEBh		11.7 アドレス一致割り込 み
シングルステップ(注1)	0FFEC h～0FFEFh		
ウォッチドッグタイマ、発振停止検出、 電圧監視1(注2)、 電圧監視2(注2)	0FFF0h～0FFF3h		8. ウォッチドッグタイマ、 9. クロック発生回路、 7. 電圧検出回路
アドレスブレイク(注1)	0FFF4h～0FFF7h		
(予約)	0FFF8h～0FFFBh		
リセット	0FFFCh～0FFFFh		6. リセット

注1. 開発ツール専用の割り込みですので、使用しないでください。

注2. 電圧監視1あるいは電圧監視2割り込みは、CMPAレジスタのIRQ1SELあるいはIRQ2SELビットでノンマスク
ブルまたはマスクブル割り込みを選択可能です。

11.3.2 可変ベクタテーブル

INTB レジスタに設定された先頭番地から 256 バイトが可変ベクタテーブルの領域となります。

表 11.4、表 11.5 に可変ベクタテーブルを示します。

表 11.4 可変ベクタテーブル(1)

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフトウェア 割り込み 番号	割り込み 制御 レジスタ	参照先
BRK 命令(注2)	+0～+3 (00000h～00003h)	0	—	R8C/5x シリーズ ユーザーズマニュアル ソフトウェア編
フラッシュメモリ	+4～+7 (00004h～00007h)	1	FMRDYIC	27. フラッシュメモリ
タイマRJ_1	+8～+11 (00008h～0000Bh)	2	TRJIC_1	15. タイマRJ
— (予約)	+12～+15 (0000Ch～0000Fh)	3	—	—
— (予約)	+16～+19 (00010h～00013h)	4	—	
— (予約)	+20～+23 (00014h～00017h)	5	—	
INT4	+24～+27 (00018h～0001Bh)	6	INT4IC	11.5 INT 割り込み
タイマRC_0	+28～+31 (0001Ch～0001Fh)	7	TRCIC_0	17. タイマRC
タイマRD0_0	+32～+35 (00020h～00023h)	8	TRD0IC_0	18. タイマRD
タイマRD1_0	+36～+39 (00024h～00027h)	9	TRD1IC_0	
タイマRE2	+40～+43 (00028h～0002Bh)	10	TRE2IC	19. タイマRE2
UART2 送信/NACK2	+44～+47 (0002Ch～0002Fh)	11	U2TIC	21. シリアルインタ フェース (UART2)
UART2 受信/ACK2	+48～+51 (00030h～00033h)	12	U2RIC	
キー入力	+52～+55 (00034h～00037h)	13	KUPIC	11.6 キー入力割り込み
A/D 変換	+56～+59 (00038h～0003Bh)	14	ADIC	25. A/D コンバータ
シンクロナスシリアルコ ミュニケーションユニット/ I ² C バスインタフェース	+60～+63 (0003Ch～0003Fh)	15	SSUIC_0/ IICIC_0	22. クロック同期形シリ アルインタフェース
— (予約)	+64～+67 (00040h～00043h)	16	—	—
UART0_0 送信	+68～+71 (00044h～00047h)	17	U0TIC_0	20. シリアルインタ フェース (UART0)
UART0_0 受信	+72～+75 (00048h～0004Bh)	18	U0RIC_0	
UART0_1 送信	+76～+79 (0004Ch～0004Fh)	19	U0TIC_1	
UART0_1 受信	+80～+83 (00050h～00053h)	20	U0RIC_1	
INT2	+84～+87 (00054h～00057h)	21	INT2IC	11.5 INT 割り込み
タイマRJ_0	+88～+91 (00058h～0005Bh)	22	TRJIC_0	15. タイマRJ
— (予約)	+92～+95 (0005Ch～0005Fh)	23	—	—
タイマRB2_0	+96～+99 (00060h～00063h)	24	TRB2IC_0	16. タイマRB2
INT1 (コンパレータ B 兼用)	+100～+103 (00064h～00067h)	25	INT1IC	11.5 INT 割り込み
INT3 (コンパレータ B 兼用)	+104～+107 (00068h～0006Bh)	26	INT3IC	
— (予約)	+108～+111 (0006Ch～0006Fh)	27	—	—
— (予約)	+112～+115 (00070h～00073h)	28	—	
INT0	+116～+119 (00074h～00077h)	29	INT0IC	11.5 INT 割り込み
UART2 バス衝突検出	+120～+123 (00078h～0007Bh)	30	U2BCNIC	21. シリアルインタ フェース (UART2)
— (予約)	+124～+127 (0007Ch～0007Fh)	31	—	—

注1. INTB レジスタが示す番地からの相対番地です。

注2. I フラグによる禁止はできません。

表 11.5 可変ベクタテーブル(2)

割り込み要因	ベクタ番地(注1) 番地(L)～番地(H)	ソフトウェア 割り込み番号	割り込み 制御 レジスタ	参照先
ソフトウェア(注2)	+128～+131 (00080h～00083h) ～+164～+167 (000A4h～ 000A7h)	32～41	—	R8C/5xシリーズ ユーザーズマニュアル ソフトウェア編
— (予約)	+168～+171 (000A8h～000ABh)	42	—	—
— (予約)	+172～+175 (000ACh～000AFh)	43	—	—
CAN_0 受信	+176～+179 (000B0h～000B3h)	44	CANRXIC_0	24. CAN モジュール
CAN_0 送信	+180～+183 (000B4h～000B7h)	45	CANTXIC_0	
CAN_0 エラー	+184～+187 (000B8h～000BBh)	46	CANERIC_0	
— (予約)	+188～+191 (000BCh～000BFh)	47	—	—
— (予約)	+192～+195 (000C0h～000C3h)	48	—	
— (予約)	+196～+199 (000C4h～000C7h)	49	—	
電圧監視1 (注3)	+200～+203 (000C8h～000CBh)	50	VCMP1IC	7. 電圧検出回路
電圧監視2 (注3)	+204～+207 (000CCh～000CFh)	51	VCMP2IC	
— (予約)	+208～+211 (000D0h～000D3h)～ +224～+227 (000E0h～000E3h)	52～56	—	—
シンクロナスシリアルコ ミュニケーションユニット/ I ² C バスインタフェース	+228～+231 (000E4h～000E7h)	57	SSUIC_1/ IICIC_1	22. クロック同期形シリ アルインタフェース
— (予約)	+232～+235 (000E8h～000EBh)	58	—	—
— (予約)	+236～+239 (000ECh～000EFh)	59	—	—
— (予約)	+240～+243 (000F0h～000F3h)	60	—	
— (予約)	+244～+247 (000F4h～000F7h)	61	—	
— (予約)	+248～+251 (000F8h～000FBh)	62	—	

注1. INTB レジスタが示す番地からの相対番地です。

注2. I フラグによる禁止はできません。

注3. 電圧監視1あるいは電圧監視2割り込みは、CMPA レジスタのIRQ1SELあるいはIRQ2SEL ビットでノンマスク
ブルまたはマスクブル割り込みを選択可能です。

11.4 割り込み制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、FLG レジスタの I フラグ、IPL、各割り込み制御レジスタの ILVL2 ~ ILVL0 ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタの IR ビットに示されます。

11.4.1 I フラグ

I フラグは、マスカブル割り込みを許可または禁止します。I フラグを 1 (許可) にすると、マスカブル割り込みは許可され、0 (禁止) にするとすべてのマスカブル割り込みは禁止されます。

11.4.2 IR ビット

IR ビットは割り込み要求が発生すると、1 (割り込み要求あり) になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IR ビットは 0 (割り込み要求なし) になります。

IR ビットはプログラムによって 0 にできます。1 を書かないでください。

ただし、タイマ RC 割り込み、タイマ RD 割り込み、タイマ RE2 割り込み、シンクロナスシリアルコミュニケーションユニット / I²C バスインタフェース割り込み、CAN 送信割り込み、CAN 受信割り込み、CAN エラー割り込み、フラッシュメモリ割り込みでは、IR ビットの動作が違います。「11.8 タイマ RC 割り込み、タイマ RD 割り込み、タイマ RE2 割り込み、シンクロナスシリアルコミュニケーションユニット / I²C バスインタフェース割り込み、CAN 送信割り込み、CAN 受信割り込み、CAN エラー割り込み、フラッシュメモリ割り込み (複数の割り込み要求要因を持つ割り込み)」を参照してください。

11.4.3 ILVL0 ~ ILVL2 ビット、IPL

割り込み優先レベルは、ILVL0 ~ ILVL2 ビットで設定できます。

表 11.6 に割り込み優先レベルの設定を、表 11.7 に IPL により許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- I フラグ = 1
- IR ビット = 1
- 割り込み優先レベル > IPL

I フラグ、IR ビット、ILVL0 ~ ILVL2 ビット、IPL はそれぞれ独立しており、互いに影響を与えることはありません。

表 11.6 割り込み優先レベルの設定

ILVL2 ~ ILVL0	割り込み優先レベル	優先順位
000b	レベル 0 (割り込み禁止)	—
001b	レベル 1	低い ↓ 高い
010b	レベル 2	
011b	レベル 3	
100b	レベル 4	
101b	レベル 5	
110b	レベル 6	
111b	レベル 7	

表 11.7 IPL により許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル 1 以上を許可
001b	レベル 2 以上を許可
010b	レベル 3 以上を許可
011b	レベル 4 以上を許可
100b	レベル 5 以上を許可
101b	レベル 6 以上を許可
110b	レベル 7 以上を許可
111b	すべてのマスカブル割り込みを禁止

11.4.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPAの各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。

図 11.3 に割り込みシーケンスの実行時間を示します。

- (1) 00000h 番地を読むことで、CPU は割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みの割り込み制御レジスタの IR ビットが 0 (割り込み要求なし) になります。(注 1)
- (2) 割り込みシーケンス直前の FLG レジスタを CPU 内部の一時レジスタ (注 2) に退避します。
- (3) FLG レジスタのうち、I フラグ、D フラグ、U フラグは次のようになります。
I フラグは 0 (割り込み禁止)
D フラグは 0 (シングルステップ割り込みは割り込み禁止)
U フラグは 0 (ISP を指定)
ただし、U フラグは、ソフトウェア割り込み番号 32 ~ 63 の INT 命令を実行した場合は変化しません。
- (4) CPU 内部の一時レジスタ (注 2) をスタックに退避します。
- (5) PC をスタックに退避します。
- (6) IPL に、受け付けた割り込みの割り込み優先レベルを設定します。
- (7) 割り込みベクタに設定された割り込みルーチンの先頭番地が PC に入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注 1. タイマ RC、タイマ RD、タイマ RE2、シンクロナスシリアルコミュニケーションユニット / I²C バスインタフェース、CAN 送信、CAN 受信、CAN エラー、フラッシュメモリ 割り込みの IR ビットの動作は「11.8 タイマ RC 割り込み、タイマ RD 割り込み、タイマ RE2 割り込み、シンクロナスシリアルコミュニケーションユニット / I²C バスインタフェース 割り込み、CAN 送信割り込み、CAN 受信割り込み、CAN エラー割り込み、フラッシュメモリ 割り込み(複数の割り込み要求要因を持つ割り込み)」を参照してください。

注 2. ユーザは使用できません。

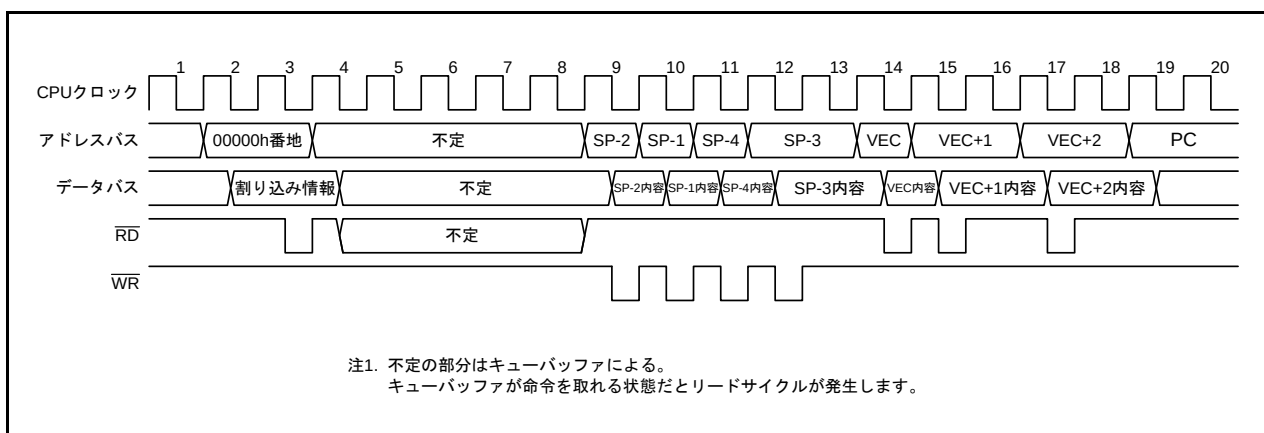


図 11.3 割り込みシーケンスの実行時間

11.4.5 割り込み応答時間

図 11.4 に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間 (図 11.4 の (a)) と割り込みシーケンスを実行する時間 (20 サイクル (b)) で構成されます。

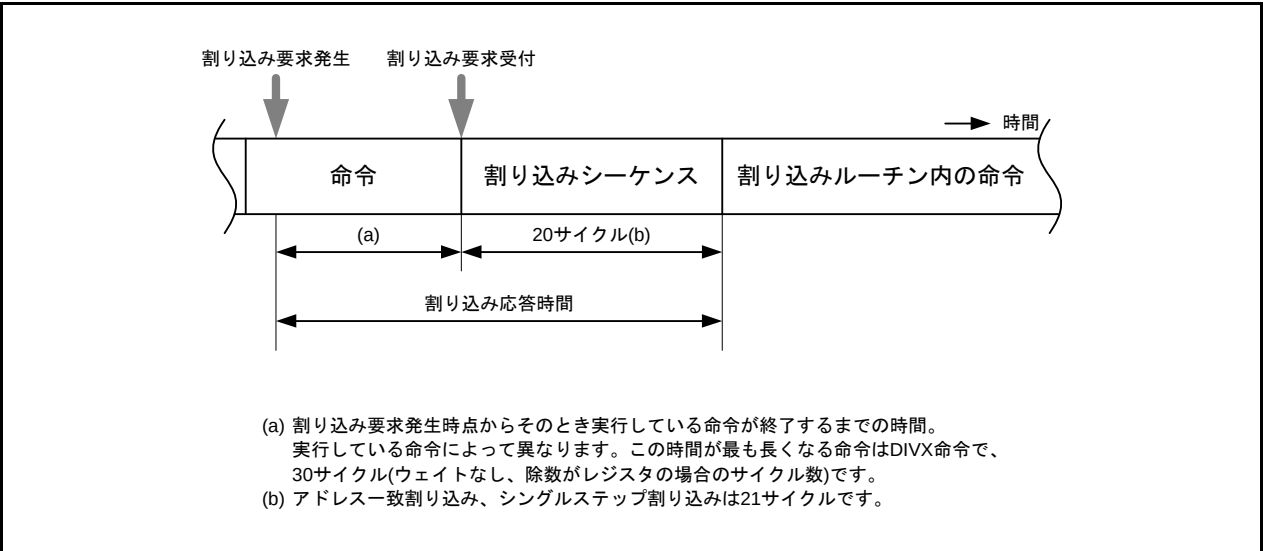


図 11.4 割り込み応答時間

11.4.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表 11.8 に示す値がIPLに設定されます。

表 11.8 にソフトウェア割り込み、特殊割り込み受付時のIPLの値を示します。

表 11.8 ソフトウェア割り込み、特殊割り込み受付時のIPLの値

割り込み優先レベルを持たない割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、発振停止検出、電圧監視1、電圧監視2、アドレスブレイク	7
ソフトウェア、アドレス一致、シングルステップ	変化しない

11.4.7 レジスタ退避

割り込みシーケンスでは、FLG レジスタと PC をスタックに退避します。

スタックへは PC の上位 4 ビットと FLG レジスタの上位 4 ビット (IPL)、下位 8 ビットの合計 16 ビットをまず退避し、次に PC の下位 16 ビットを退避します。

図 11.5 に割り込み要求受付前後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM 命令を用いると、現在使用しているレジスタバンクの複数のレジスタ (注 1) を、1 命令で退避できます。

注 1. R0、R1、R2、R3、A0、A1、SB、FB レジスタから選択できます。

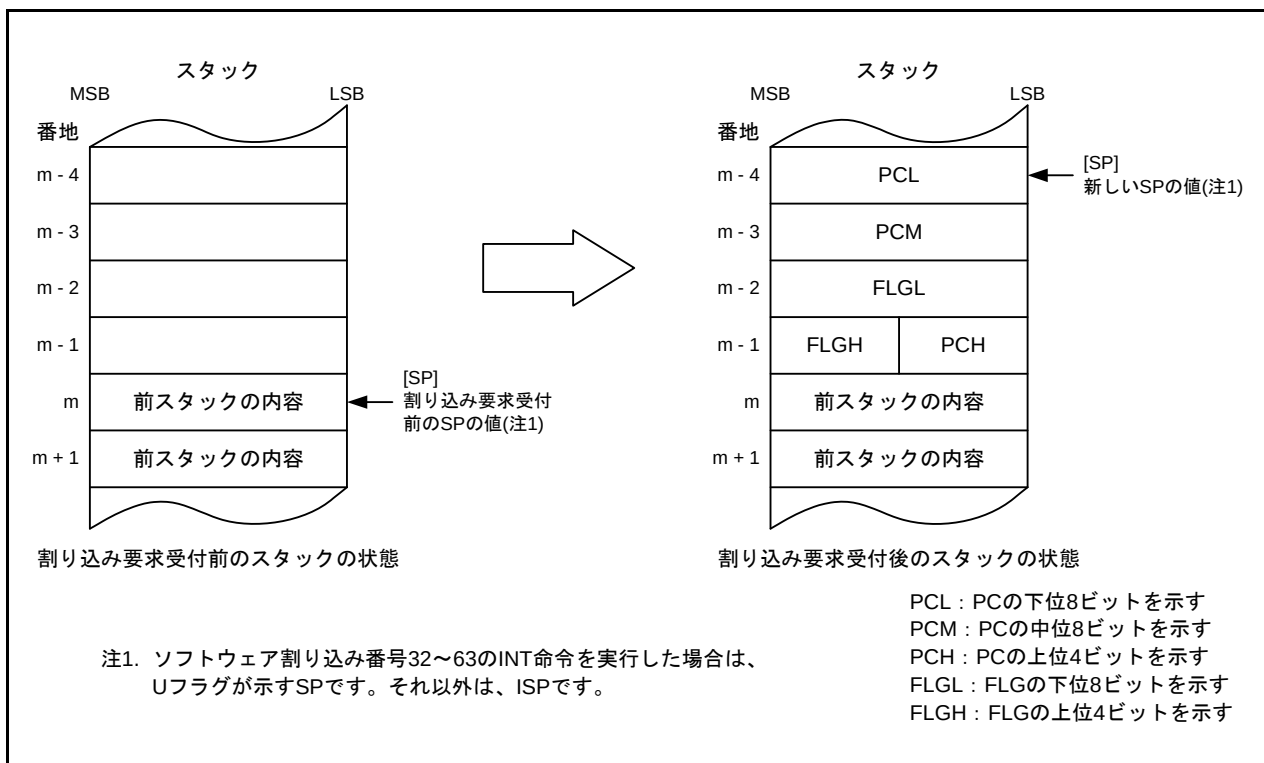


図 11.5 割り込み要求受付前後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、8ビットずつ4回に分けて退避されます。

図 11.6 にレジスタ退避動作を示します。

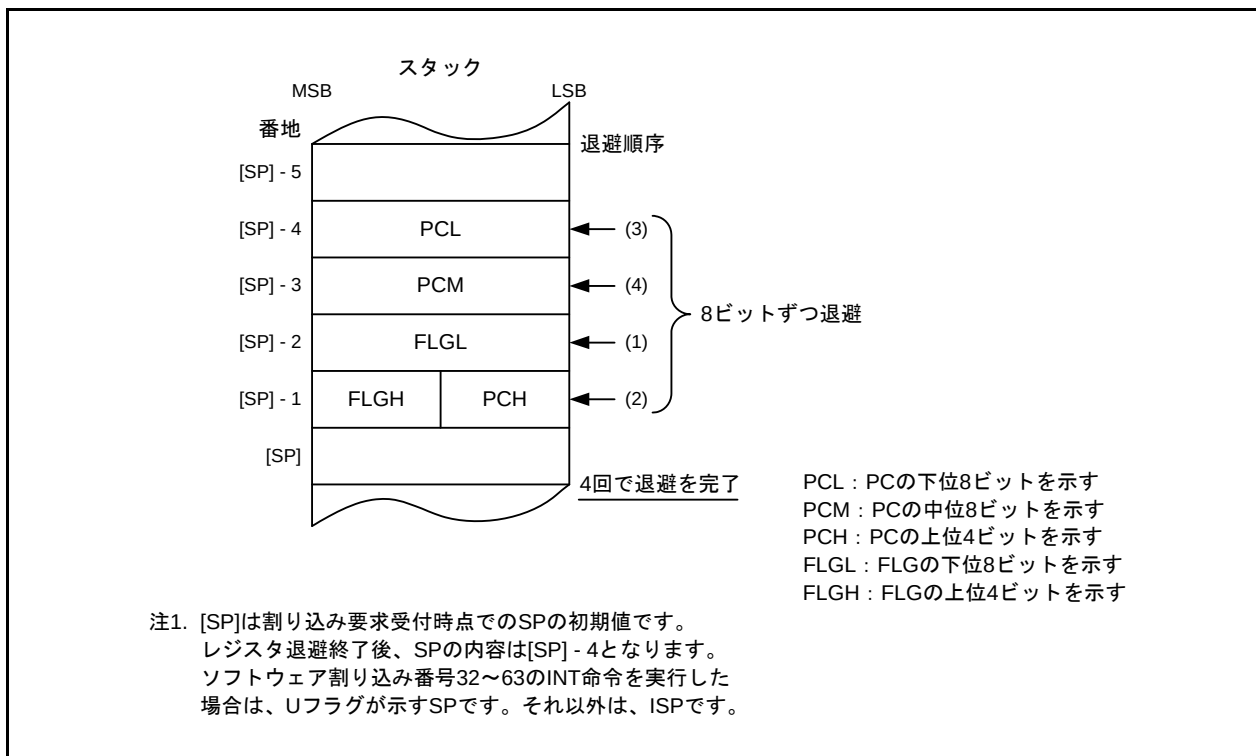


図 11.6 レジスタ退避動作

11.4.8 割り込みルーチンからの復帰

割り込みルーチンの最後で REIT 命令を実行すると、スタックに退避していた割り込みシーケンス直前の FLG レジスタと PC が復帰します。その後、割り込み要求受付前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT 命令実行前に POPM 命令などを使用して復帰してください。

11.4.9 割り込み優先順位

1 命令実行中に 2 つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL0～ILVL2 ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されます。

図 11.7 にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは、割り込み優先順位の影響を受けません。命令を実行すると、割り込みルーチンを実行します。

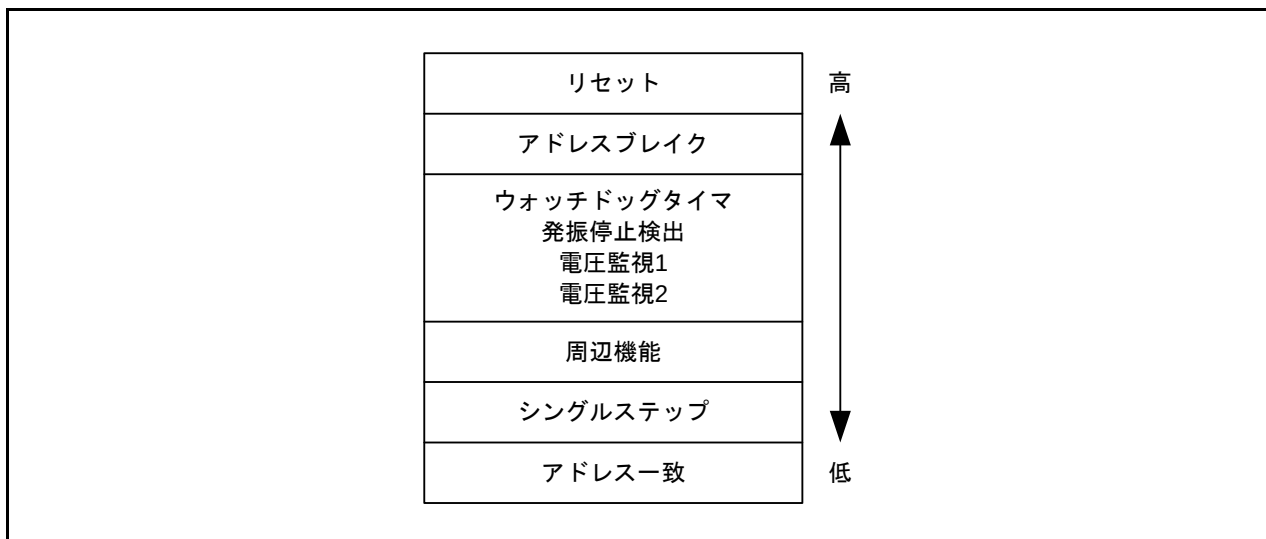


図 11.7 ハードウェア割り込みの割り込み優先順位

11.4.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、最も優先順位の高い割り込みを選択するための回路です。
図 11.8 に割り込み優先レベルの判定回路を示します。

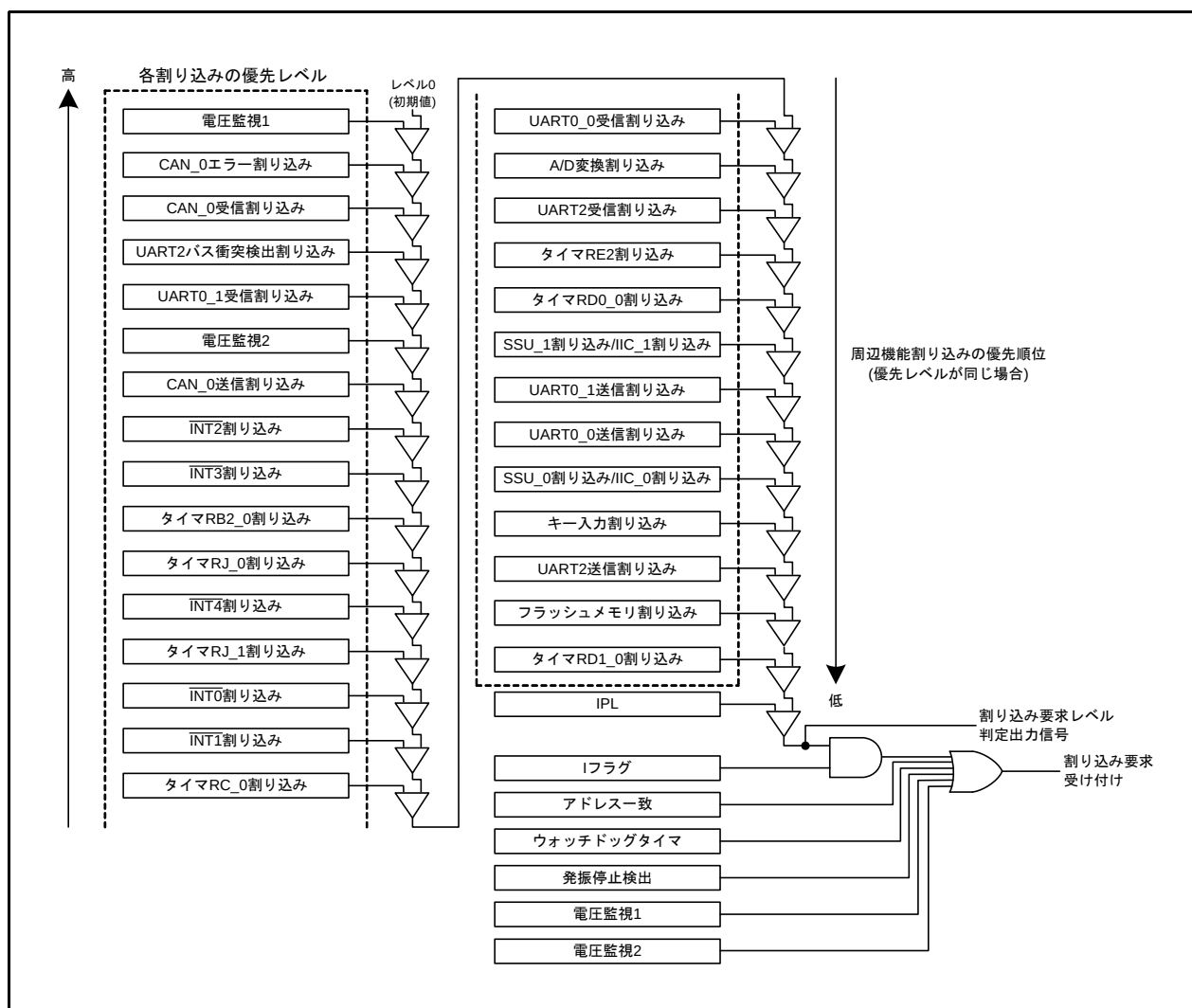


図 11.8 割り込み優先レベルの判定回路

11.5 $\overline{\text{INT}}$ 割り込み

11.5.1 $\overline{\text{INT}}_i$ 割り込み ($i = 0 \sim 4$)

$\overline{\text{INT}}_i$ 割り込みは $\overline{\text{INT}}_i$ 入力による割り込みです。 $\overline{\text{INT}}_i$ 割り込みを使用するときは INTEN 、 INTEN1 レジスタの INTiEN ビット 1 (許可) にしてください。極性を INTEN 、 INTEN1 レジスタの INTiPL ビットと INTPOL レジスタの INTiPOL ビットで選択できます。 $\overline{\text{INT}}_1 \sim \overline{\text{INT}}_4$ 入力は入力端子を選択できます。

また、3 種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。 $\overline{\text{INT}}_0$ 端子はタイマ RC およびタイマ RD のパルス出力強制遮断入力と、タイマ RB2 の外部トリガ入力と兼用、 $\overline{\text{INT}}_2$ 端子はタイマ RJ のイベント入力有効と兼用です。

表 11.9 に $\overline{\text{INT}}_i$ 割り込みの端子構成 ($i = 0 \sim 4$) を示します。

表 11.9 $\overline{\text{INT}}_i$ 割り込みの端子構成 ($i = 0 \sim 4$)

端子名	入出力	機能
$\overline{\text{INT}}_0$	入力	$\overline{\text{INT}}_0$ 割り込み入力
$\overline{\text{INT}}_1$	入力	$\overline{\text{INT}}_1$ 割り込み入力
$\overline{\text{INT}}_2$	入力	$\overline{\text{INT}}_2$ 割り込み入力
$\overline{\text{INT}}_3$	入力	$\overline{\text{INT}}_3$ 割り込み入力
$\overline{\text{INT}}_4$	入力	$\overline{\text{INT}}_4$ 割り込み入力

11.5.2 $\overline{\text{INTi}}$ 入力フィルタ ($i = 0 \sim 4$)

$\overline{\text{INTi}}$ 入力は、デジタルフィルタを持ちます。サンプリングクロックは $\overline{\text{INTF}}$ 、 INTF1 レジスタの INTiF0 、 INTiF1 ビットで選択できます。サンプリングクロックごとに $\overline{\text{INTi}}$ のレベルをサンプリングし、レベルが3度一致した時点で、 INTiIC レジスタの IR ビットが1 (割り込み要求あり) になります。

図 11.9 に $\overline{\text{INTi}}$ 入力フィルタの構成 ($i = 0 \sim 4$) を、図 11.10 に $\overline{\text{INTi}}$ 入力フィルタの動作例 ($i = 0 \sim 4$) を示します。

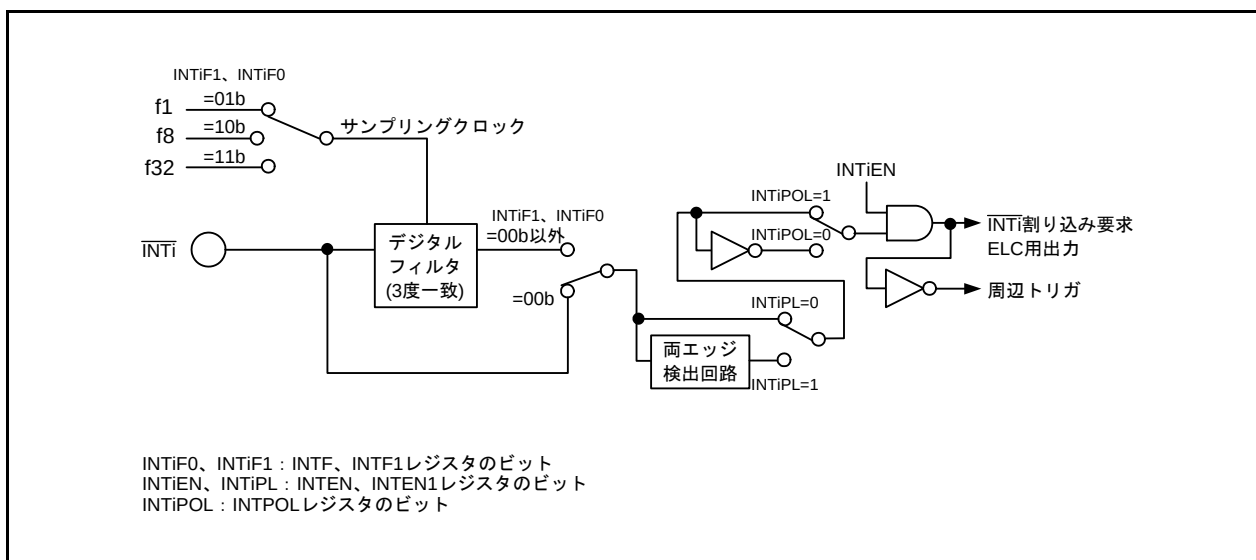


図 11.9 $\overline{\text{INTi}}$ 入力フィルタの構成 ($i = 0 \sim 4$)

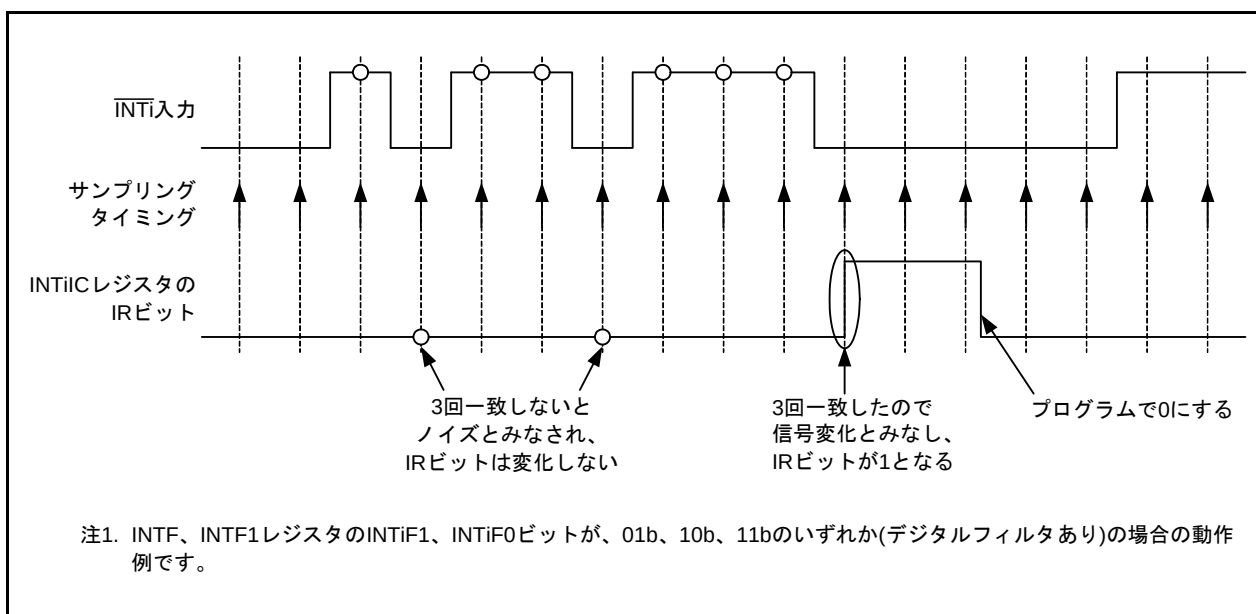


図 11.10 $\overline{\text{INTi}}$ 入力フィルタの動作例 ($i = 0 \sim 4$)

11.6 キー入力割り込み

$\overline{KI0} \sim \overline{KI3}$ 端子のうち、いずれかの入力エッジでキー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードまたはストップモードを解除するキーオンウェイクアップの機能としても使用できます。

KIENレジスタの*KIi*ENビット(*i* = 0~3)で、端子を $\overline{KIi}$ 入力として使用するかどうかを選択できます。また、KIENレジスタの*KIi*PLビットで入力極性を選択できます。

なお、*KIi*PLビットを0(立ち下がりエッジ)にしている $\overline{KIi}$ 端子にLを入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。同様に、*KIi*PLビットを1(立ち上がりエッジ)にしている $\overline{KIi}$ 端子にHを入力していると、他の $\overline{KI0} \sim \overline{KI3}$ 端子の入力は割り込みとして検知されません。

図11.11にキー入力割り込みのブロック図(*i* = 0~3)を示します。表11.10にキー入力割り込みの端子構成を示します。

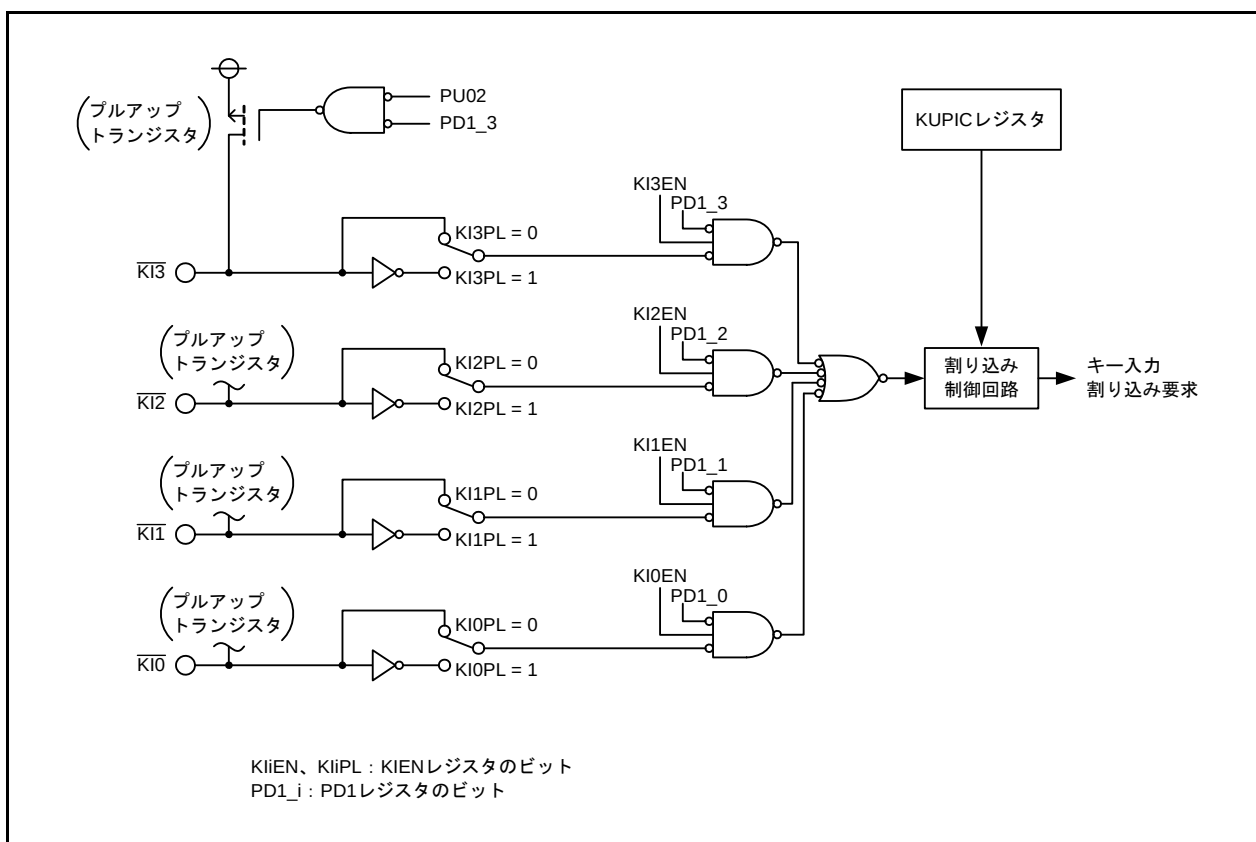


図11.11 キー入力割り込みのブロック図(*i* = 0~3)

表11.10 キー入力割り込みの端子構成

端子名	入出力	機能
$\overline{KI0}$	入力	$\overline{KI0}$ 割り込み入力
$\overline{KI1}$	入力	$\overline{KI1}$ 割り込み入力
$\overline{KI2}$	入力	$\overline{KI2}$ 割り込み入力
$\overline{KI3}$	入力	$\overline{KI3}$ 割り込み入力

11.7 アドレス一致割り込み

AIADRIj レジスタ (i = 0、1、j = L、H) で示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。デバッガのブレーク機能に使用します。なお、オンチップデバッガ使用時、ユーザシステムでアドレス一致割り込み (AIENi、AIADRIj レジスタ、固定ベクタテーブル) を設定しないでください。

AIADRIj レジスタには命令の先頭番地を設定してください。割り込みの禁止または許可は AIENi レジスタの AIENi0 ビットで選択できます。アドレス一致割り込みは、FLG レジスタの I フラグや IPL の影響は受けません。

アドレス一致割り込み要求を受け付けたときに退避される PC の値 (「11.4.7 レジスタ退避」参照) は、AIADRIj レジスタで示される番地の命令によって異なります (正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えて、REIT 命令で復帰する
- スタックを POP 命令などを使用して、割り込み要求受付前の状態に戻してからジャンプ命令で復帰する

表 11.11 にアドレス一致割り込み要求受付時に退避される PC の値を、表 11.12 にアドレス一致割り込み要因と関連レジスタの対応を示します。

表 11.11 アドレス一致割り込み要求受付時に退避される PC の値

AIADRIj レジスタ (i = 0、1、j = L、H) で示される番地の命令						退避される PC の値 (注 1)
• オペコードが 2 バイトの命令 (注 2) • オペコードが 1 バイトの命令 (注 2)						AIADRIj レジスタで示される番地 + 2
ADD.B:S	#IMM8, dest	SUB.B:S	#IMM8, dest	AND.B:S	#IMM8, dest	
OR.B:S	#IMM8, dest	MOV.B:S	#IMM8, dest	STZ	#IMM8, dest	
STNZ	#IMM8, dest	STZX	#IMM81, #IMM82, dest			
CMP.B:S	#IMM8, dest	PUSHM	src	POPM	dest	
JMPS	#IMM8	JSRS	#IMM8			
MOV.B:S	#IMM, dest (ただし、dest = A0 または A1)					
上記以外						AIADRIj レジスタで示される番地 + 1

注 1. 退避される PC の値 : 「11.4.7 レジスタ退避」参照。

注 2. オペコード : 「R8C/5x シリーズ ユーザーズマニュアル ソフトウェア編 (R01US0007JJ)」参照。

「第 4 章 命令コード / サイクル数」の各構文の下に、命令コードを示す図があります。その図の太枠部分がオペコードです。

表 11.12 アドレス一致割り込み要因と関連レジスタの対応

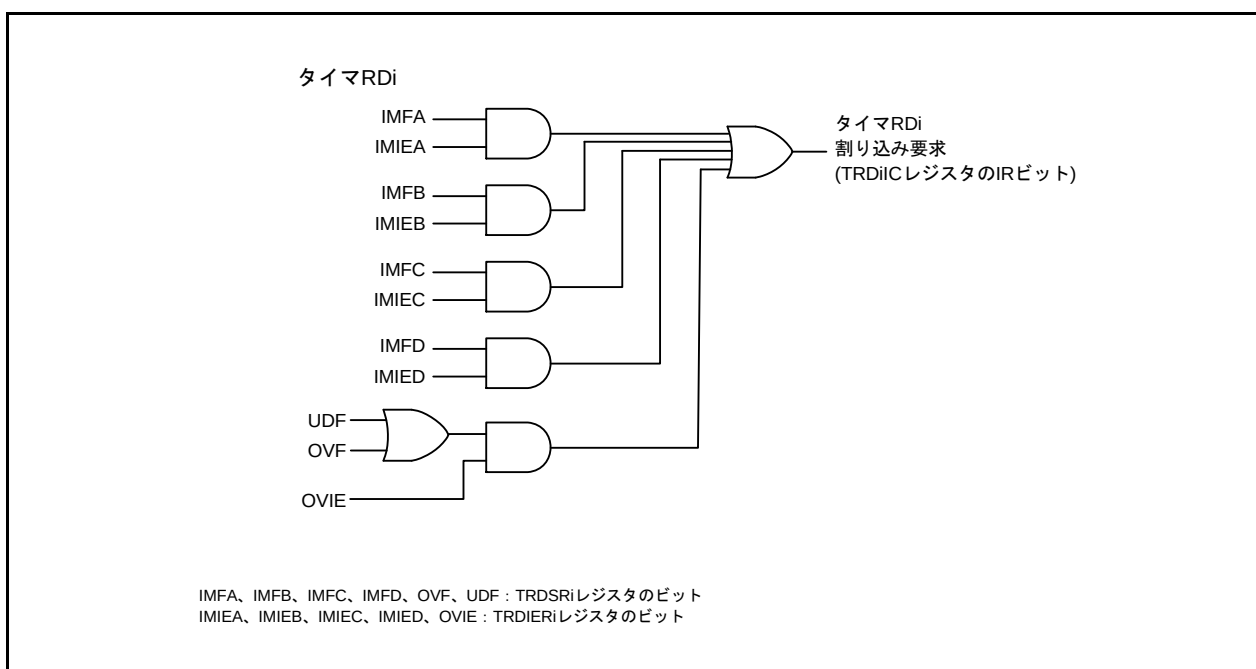
アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み 0	AIEN00	AIADR0j
アドレス一致割り込み 1	AIEN10	AIADR1j

11.8 タイマRC割り込み、タイマRD割り込み、タイマRE2割り込み、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース割り込み、CAN送信割り込み、CAN受信割り込み、CANエラー割り込み、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)

タイマRC、タイマRD、タイマRE2、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース、CAN送信、CAN受信、CANエラー、フラッシュメモリは、それぞれ複数の割り込み要求要因を持ち、それらの論理和が割り込み要求になり、割り込み制御レジスタのIRビットに反映されます。このため、これらの周辺機能はそれぞれ独自の割り込み要求要因のステータスレジスタ(以下、ステータスレジスタと称す)と、割り込み要求要因の許可レジスタ(以下、許可レジスタと称す)を持ち、割り込み要求の発生(割り込み制御レジスタのIRビットの変化)を制御しています。表11.13にタイマRC、タイマRD、タイマRE2、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース、CAN送信、CAN受信、CANエラー、フラッシュメモリ割り込み関連レジスタを、図11.12にタイマRD割り込みのブロック図(i=0, 1)を示します。

表11.13 タイマRC、タイマRD、タイマRE2、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース、CAN送信、CAN受信、CANエラー、フラッシュメモリ割り込み関連レジスタ

周辺機能名		割り込み要求要因のステータスレジスタ	割り込み要求要因の許可レジスタ	割り込み制御レジスタ
タイマRC		TRCSR	TRCIER	TRCIC
タイマRD_0	タイマRD0_0	TRDSR0_0	TRDIER0_0	TRD0IC_0
	タイマRD1_0	TRDSR1_0	TRDIER1_0	TRD1IC_0
タイマRE2		TREIFR	TREIER	TRE2IC
シンクロナスシリアルコミュニケーションユニット/I ² Cバスインタフェース		SISR_0	SIER_0	SSUIC_0/IICIC_0
		SISR_1	SIER_1	SSUIC_1/IICIC_1
CAN_0	CAN_0送信	CANISR_0	CANIE_0	CANRXIC_0
	CAN_0受信			CANTXIC_0
	CAN_0エラー			CANERIC_0
フラッシュメモリ		RDYSTI	RDYSTIE	FMRDYIC
		BSYAEI	BSYAEIE	
			CMDERIE	

図 11.12 タイマRD割り込みのブロック図($i = 0, 1$)

タイマRC、タイマRD、タイマRE2、シンクロナスシリアルコミュニケーションユニット/I²Cバスインタフェース、CAN送信、CAN受信、CANエラー、フラッシュメモリの割り込みが、FLGレジスタのIフラグ、割り込み制御レジスタのIRビット、ILVL0～ILVL2ビットとIPLの関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要求を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- ステータスレジスタのビットが1で、それに対応する許可レジスタのビットが1(割り込み許可)の場合、割り込み制御レジスタのIRビットが1(割り込み要求あり)になります。
- ステータスレジスタのビットと、それに対応する許可レジスタのビットのどちらか、または両方が0になるとIRビットが0(割り込み要求なし)になります。

すなわち、IRビットは、一旦1になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。

また、IRビットに0を書いた場合、一時的に(CPUクロックの5サイクル間)0になった後、1にもどります。

- ステータスレジスタの各ビットは、割り込みが受け付けられても自動的に0になりません。このため、IRビットも割り込みが受け付けられたとき自動的に0になりません。ステータスレジスタの各ビットは割り込みルーチン内で0にしてください。ステータスレジスタの各ビットを0にする方法はステータスレジスタの図を参照してください。
- 許可レジスタの複数のビットを1にしている場合、IRビットが1になった後、別の要求要因が成立したとき、IRビットは1のまま変化しません。
- 許可レジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、ステータスレジスタで判定してください。

割り込み要因ビットや許可ビットをソフトウェアでクリアした場合、最大CPUクロック2サイクル後にIRビットがクリアされます。

ステータスレジスタと許可レジスタは各周辺機能の章(「17. タイマRC」、「18. タイマRD」、「19. タイマRE2」、「22. クロック同期形シリアルインタフェース」、「24. CANモジュール」、「27. フラッシュメモリ」)を参照してください。

割り込み制御レジスタは「11.4 割り込み制御」を参照してください。

11.9 割り込み使用上の注意事項

11.9.1 00000h 番地の読み出し

プログラムで 00000h 番地を読まないでください。マスクابل割り込みの割り込み要求を受け付けた場合、CPU は割り込みシーケンスの中で割り込み情報 (割り込み番号と割り込み要求レベル) を 00000h 番地から読みます。このとき、受け付けられた割り込みに対応する割り込み制御レジスタの IR ビットが 0 になります。

プログラムで 00000h 番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みの IR ビットが 0 になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

11.9.2 SP の設定

割り込みを受け付ける前に、SP に値を設定してください。リセット後、SP は 0000h です。そのため、SP に値を設定する前に割り込みを受け付けると、暴走の要因となります。

11.9.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPU の動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 入力に示す L レベル幅または H レベル幅が必要です。

11.9.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタの IR ビットが 1 (割り込み要求あり) になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IR ビットを 0 (割り込み要求なし) にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IR ビットを 0 (割り込み要求なし) にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 11.13 に割り込み要因の変更手順例を示します。

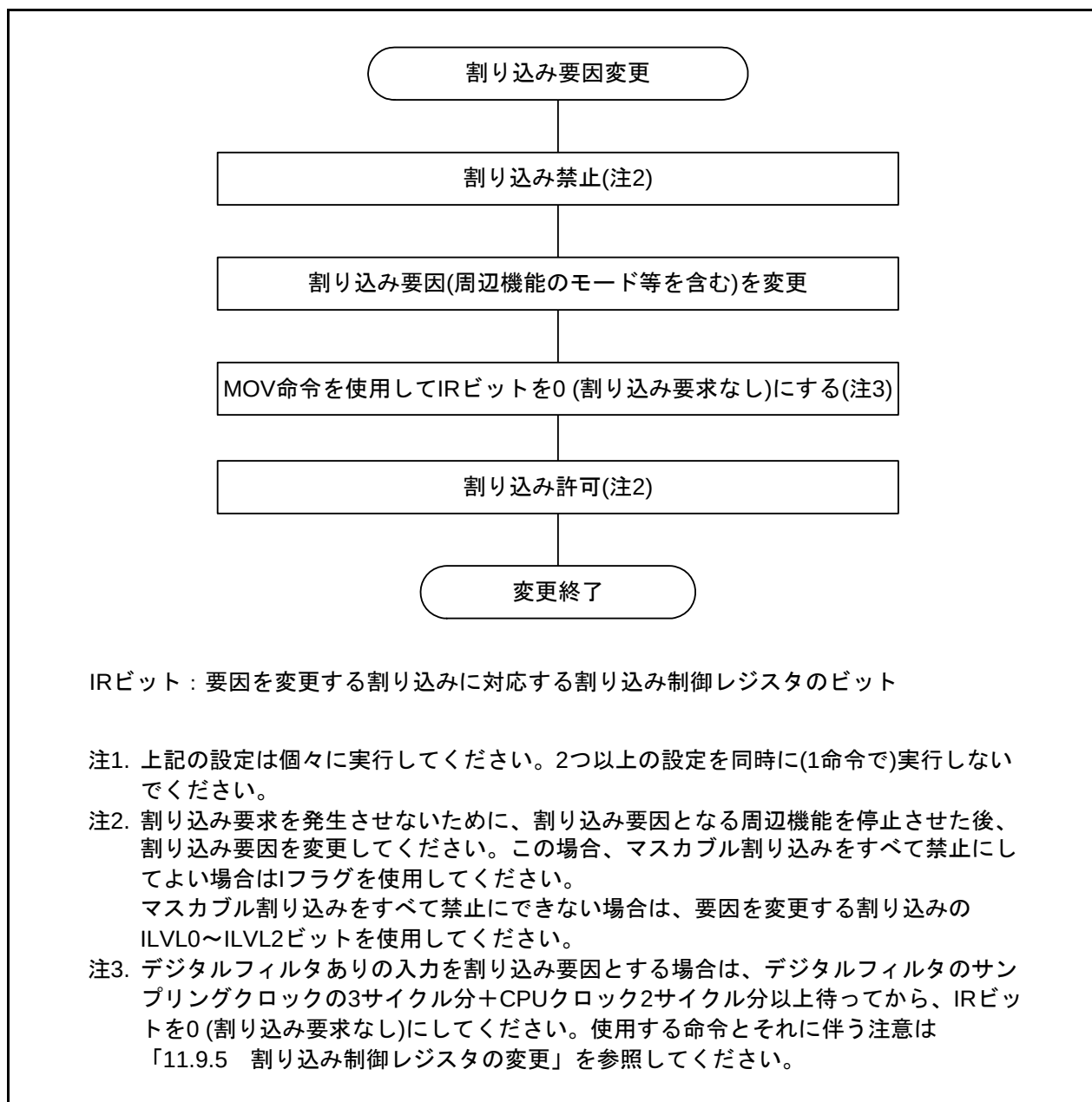


図 11.13 割り込み要因の変更手順例

11.9.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

割り込み制御レジスタのIRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが1(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを0(割り込み要求なし)にする場合、使用する命令によってはIRビットが0にならないことがあります。IRビットはMOV命令を使用して0にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが1(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

INT_SWITCH1:

```
FCLR    I                ; 割り込み禁止
MOV.B   #00H, 0056H      ; TRJIC_0 レジスタを 00h にする
NOP                      ;
NOP                      ;
FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

INT_SWITCH2:

```
FCLR    I                ; 割り込み禁止
MOV.B   #00H, 0056H      ; TRJIC_0 レジスタを 00h にする
MOV.W   MEM, R0          ; ダミーリード
FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

INT_SWITCH3:

```
PUSHC   FLG
FCLR    I                ; 割り込み禁止
MOV.B   #00H, 0056H      ; TRJIC_0 レジスタを 00h にする
POPC    FLG              ; 割り込み許可
```

12. イベントリンクコントローラ(ELC)

イベントリンクコントローラ(ELC)は、各周辺機能が出力するイベントを周辺機能間で相互に接続(リンク)します。イベントリンクによりCPUを介さず直接、周辺機能間での連携動作が可能になります。

12.1 概要

ELCには次の機能があります。

- 周辺機能から出力する22種類のイベント信号を、指定した周辺機能へ直接リンク可能
- 7種類の内の1つの周辺機能動作の起動要因として、イベント信号を使用可能

図12.1にイベントリンクコントローラのブロック図($n = 0 \sim 4, 8 \sim 24$)を示します。

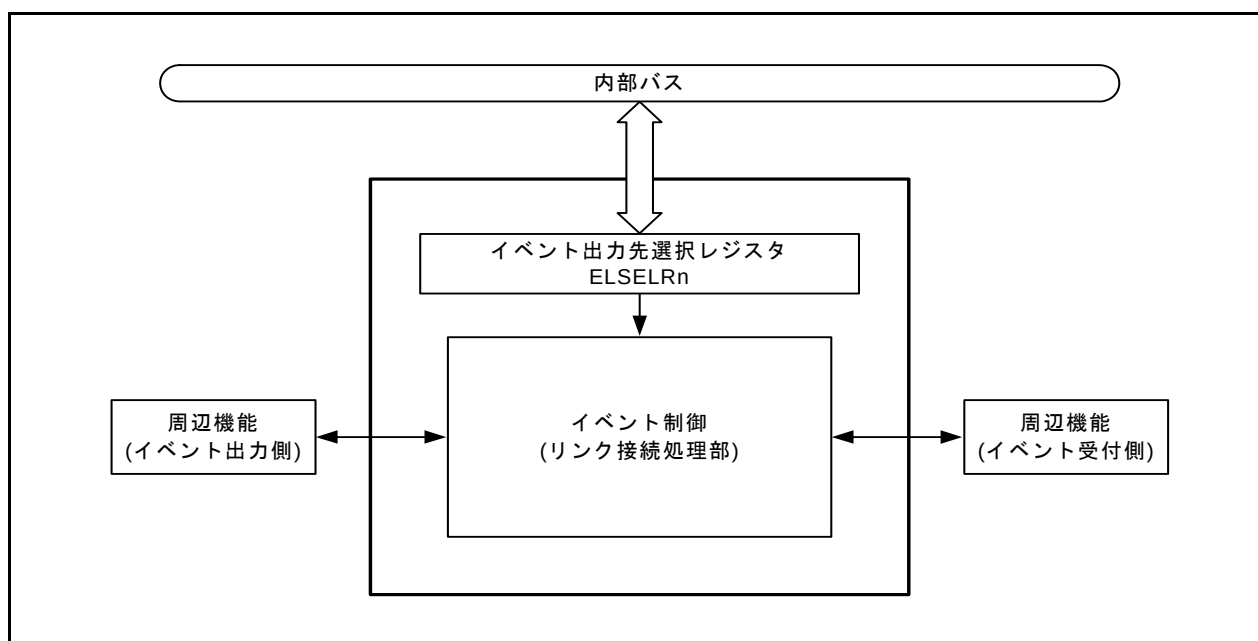


図12.1 イベントリンクコントローラのブロック図($n = 0 \sim 4, 8 \sim 24$)

12.2 レジスタの説明

表12.1にELCのレジスタ構成を示します。

表12.1 ELCのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
イベント出力先選択レジスタ0	ELSELR0	00h	06A00h	8
イベント出力先選択レジスタ1	ELSELR1	00h	06A01h	8
イベント出力先選択レジスタ2	ELSELR2	00h	06A02h	8
イベント出力先選択レジスタ3	ELSELR3	00h	06A03h	8
イベント出力先選択レジスタ4	ELSELR4	00h	06A04h	8
イベント出力先選択レジスタ8	ELSELR8	00h	06A08h	8
イベント出力先選択レジスタ9	ELSELR9	00h	06A09h	8
イベント出力先選択レジスタ10	ELSELR10	00h	06A0Ah	8
イベント出力先選択レジスタ11	ELSELR11	00h	06A0Bh	8
イベント出力先選択レジスタ12	ELSELR12	00h	06A0Ch	8
イベント出力先選択レジスタ13	ELSELR13	00h	06A0Dh	8
イベント出力先選択レジスタ14	ELSELR14	00h	06A0Eh	8
イベント出力先選択レジスタ15	ELSELR15	00h	06A0Fh	8
イベント出力先選択レジスタ16	ELSELR16	00h	06A10h	8
イベント出力先選択レジスタ17	ELSELR17	00h	06A11h	8
イベント出力先選択レジスタ18	ELSELR18	00h	06A12h	8
イベント出力先選択レジスタ19	ELSELR19	00h	06A13h	8
イベント出力先選択レジスタ20	ELSELR20	00h	06A14h	8
イベント出力先選択レジスタ21	ELSELR21	00h	06A15h	8
イベント出力先選択レジスタ22	ELSELR22	00h	06A16h	8
イベント出力先選択レジスタ23	ELSELR23	00h	06A17h	8
イベント出力先選択レジスタ24	ELSELR24	00h	06A18h	8

12.2.1 イベント出力先選択レジスタ n (ELSELRn) (n = 0～4、8～24)

アドレス 06A00h (ELSELR0)～06A04h (ELSELR4)、06A08h (ELSELR8)～06A18h (ELSELR24)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	ELSEL3	ELSEL2	ELSEL1	ELSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ELSEL0	イベントリンク選択0ビット	b3 b2 b1 b0 0 0 0 0 : イベントリンク禁止 0001～1111 : リンクする周辺機能の動作を選択(注1)	R/W
b1	ELSEL1	イベントリンク選択1ビット		R/W
b2	ELSEL2	イベントリンク選択2ビット		R/W
b3	ELSEL3	イベントリンク選択3ビット		R/W
b4	—	予約ビット	読んだ場合、その値は0。	R
b5	—			
b6	—			
b7	—			

注1. 「表12.3 ELSELRnレジスタ(n = 0～4、8～24)に設定する値とリンク先周辺機能の受付時の動作の対応」参照

ELSELRnレジスタは各イベント信号を、イベント受付側周辺機能(リンク先周辺機能)の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先(イベント受付側)にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間に、ELSELRnレジスタを設定してください。

表12.2にELSELRnレジスタ(n = 0～4、8～24)と周辺機能の対応を、表12.3にELSELRnレジスタ(n = 0～4、8～24)に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

表 12.2 ELSELn レジスタ (n = 0~4, 8~24) と周辺機能の対応

レジスタ名	イベント発生元(イベント入力nの出力元)	イベント内容
ELSELR0	外部割り込み	INT0 入力レベル
ELSELR1	外部割り込み	INT1 入力レベル/比較結果変化
ELSELR2	外部割り込み	INT2 入力レベル
ELSELR3	外部割り込み	INT3 入力レベル/比較結果変化
ELSELR4	外部割り込み	INT4 入力レベル
ELSELR8	外部割り込み	キー入力イベント
ELSELR9	タイマRJ_0	タイマRJ_0 アンドフロー
ELSELR10	タイマRJ_1	タイマRJ_1 アンドフロー
ELSELR11	タイマRE2	タイマRE2 コンペア一致
ELSELR12	タイマRB2_0	タイマRB2_0 アンドフロー
ELSELR13	タイマRC_0	タイマRC_0 コンペア一致A
ELSELR14	タイマRC_0	タイマRC_0 コンペア一致B
ELSELR15	タイマRC_0	タイマRC_0 コンペア一致C
ELSELR16	タイマRC_0	タイマRC_0 コンペア一致D
ELSELR17	タイマRD0_0	タイマRD0_0 コンペア一致A
ELSELR18	タイマRD0_0	タイマRD0_0 コンペア一致B
ELSELR19	タイマRD0_0	タイマRD0_0 コンペア一致C
ELSELR20	タイマRD0_0	タイマRD0_0 コンペア一致D
ELSELR21	タイマRD1_0	タイマRD1_0 コンペア一致A
ELSELR22	タイマRD1_0	タイマRD1_0 コンペア一致B
ELSELR23	タイマRD1_0	タイマRD1_0 コンペア一致C
ELSELR24	タイマRD1_0	タイマRD1_0 コンペア一致D

表 12.3 ELSELn レジスタ (n = 0~4, 8~24) に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELn レジスタの ELSEL3~ELSEL0 ビット	リンク先周辺機能	イベント受付時の動作
0001b	10ビットA/Dコンバータ	A/D変換開始トリガ
0010b	タイマRJ_0	イベントカウント動作
0011b	タイマRJ_1	イベントカウント動作
0100b (注1)	—	—
0101b (注1)	—	—
0110b	タイマRB2_0	プログラマブルワンショット発生モードのカウント開始トリガ、プログラマブルウェイトワンショット発生モードのカウント開始トリガ
0111b (注1)	—	—
1000b	タイマRC_0	インプットキャプチャ、PWM2モードの外部トリガ
1001b (注1)	—	—
1010b	タイマRD0_0	インプットキャプチャ、パルス出力強制遮断
1011b	タイマRD1_0	インプットキャプチャ、パルス出力強制遮断
1100b (注1)	—	—
1101b (注1)	—	—
1110b (注1)	—	—
1111b (注1)	—	—

注1. 設定しないでください。

12.3 動作説明

各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

また、イベントリンク動作はCPUクロックの供給の有無に、影響されずに行うことができます。ただし、周辺機能の動作クロックが供給されて、動作できる状態にしてください。

図 12.2 に割り込み処理と ELC の関係を示します。タイマ RC のようにステータスフラグと割り込み許可を制御するレジスタを持つ周辺機能を ELC のイベント出力側に設定したときの構成図です。割り込み要求（イベント信号）を、ELC と割り込み制御回路に分けて供給することで、ELC と割り込み制御で独立した動作を可能としています。ELC と割り込み制御が互いに影響を与えることはありません。

ELC に向かうイベント信号は、イベント発生ごとにエッジが発生します。このエッジによりイベント受付側の周辺機能は、イベント受付時の動作をします。したがって、ステータスフラグや割り込み要求ビット(IR ビット)のソフトウェアによるクリア処理は不要です。

また、表 12.4 にイベントを受け付ける周辺機能の応答性を示します。

ELC によってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします(「表 12.3 ELSELn レジスタ(n = 0 ~ 4、8 ~ 24)に設定する値とリンク先周辺機能の受付時の動作の対応」参照)。

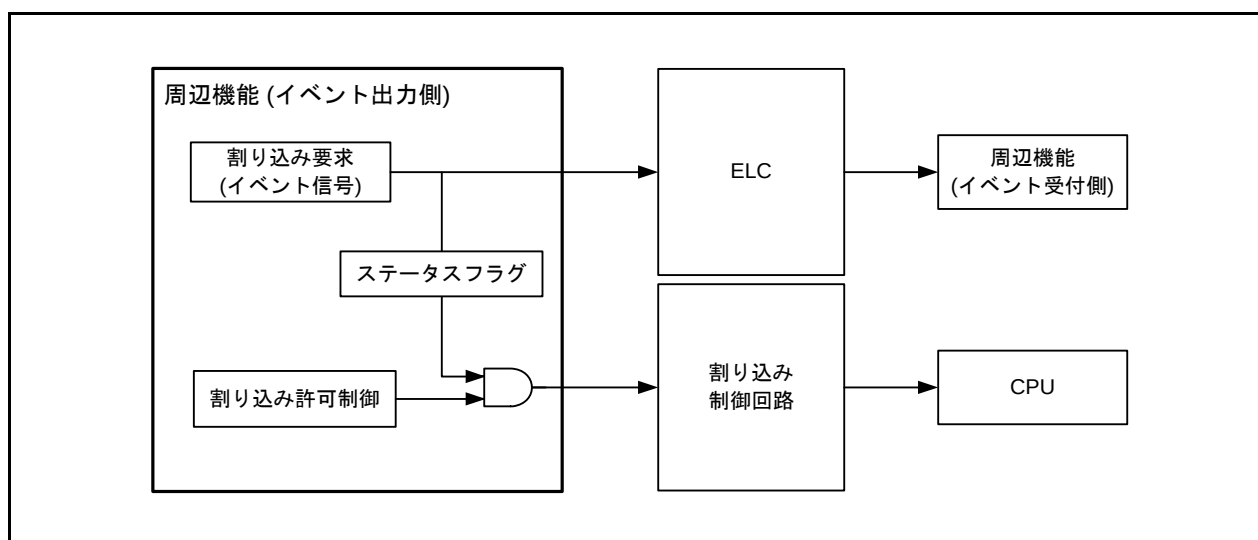


図 12.2 割り込み処理と ELC の関係

表 12.4 イベントを受け付ける周辺機能の応答性

イベント受取先 No. (イベントトリガ No.)	リンク先 モジュール	イベント受付後の動作	イベント受付後動作のリアルタイム性
1	A/D コンバータ	A/D 変換開始トリガ	ELC のイベント発生から A/D コンバータの動作クロック (注 1) 2、3 サイクル後に変換開始トリガが発生します。
2	タイマ RJ_0	イベントカウント動作	ELC からのイベントが直接カウントクロックになります。(内部クロック等によるサンプリングのタイムラグなし)
3	タイマ RJ_1		
6	タイマ RB2_0	ワンショット発生モードのカウント開始トリガ/ディレイドワンショット発生モードのカウント開始トリガ	ELC のイベント発生からタイマ RB2 のカウントクロック 2、3 サイクル後に変換開始トリガが発生します。
8	タイマ RC_0	インプットキャプチャ / PWM2 モードの外部トリガ	インプットキャプチャ、PWM2 モード : ELC のイベント発生からタイマ RC の動作クロック (注 1) 2、3 サイクル後にカウント開始トリガが発生します。
a	タイマ RD0_0	インプットキャプチャ / パルス出力強制遮断	インプットキャプチャ : ELC のイベント発生からタイマ RD の動作クロック (注 1) 2、3 サイクル後にカウント開始トリガが発生します。 パルス出力強制遮断 : ELC のイベント発生からタイマ RD の動作クロック (注 1) 2、3 サイクル後に強制遮断状態になります。
b	タイマ RD1_0		

注 1. 動作クロックについては、各周辺機能の章を参照ください。

13. DTC

DTC (データトランスファコントローラ)は、CPUを使わずにSFRと内蔵メモリの間でデータを転送する機能です。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用权はCPUよりも優先されます。

DTCのデータ転送を制御するコントロールデータ(転送元アドレス、転送先アドレス、動作モードなど)をDTC コントロールデータ領域上に配置します。DTCは起動するたびにコントロールデータを読み出し、データ転送します。

13.1 概要

表13.1にDTCの仕様を示します。

表13.1 DTCの仕様

項目		仕様
起動要因		36要因
配置可能なコントロールデータ		24通り
転送可能なアドレス空間		64 Kバイト空間(00000h～0FFFFh)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード	256バイト
	リピートモード	255バイト
転送単位		バイト、ワード
転送モード	ノーマルモード	DTCCTjレジスタが1から0になる転送で終了する
	リピートモード	DTCCTjレジスタが1から0になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定または加算
	リピートモード	リピートエリアでないアドレスを固定または加算
起動要因優先度		「表13.8 DTC起動要因とDTCベクタアドレス」参照
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピートモード	DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0～DTCENi7ビットを1(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	• DTCENi0～DTCENi7ビットを0(起動禁止)にする • DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピートモード	• DTCENi0～DTCENi7ビットを0(起動禁止)にする • RPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき

i = 0～6、j = 0～23

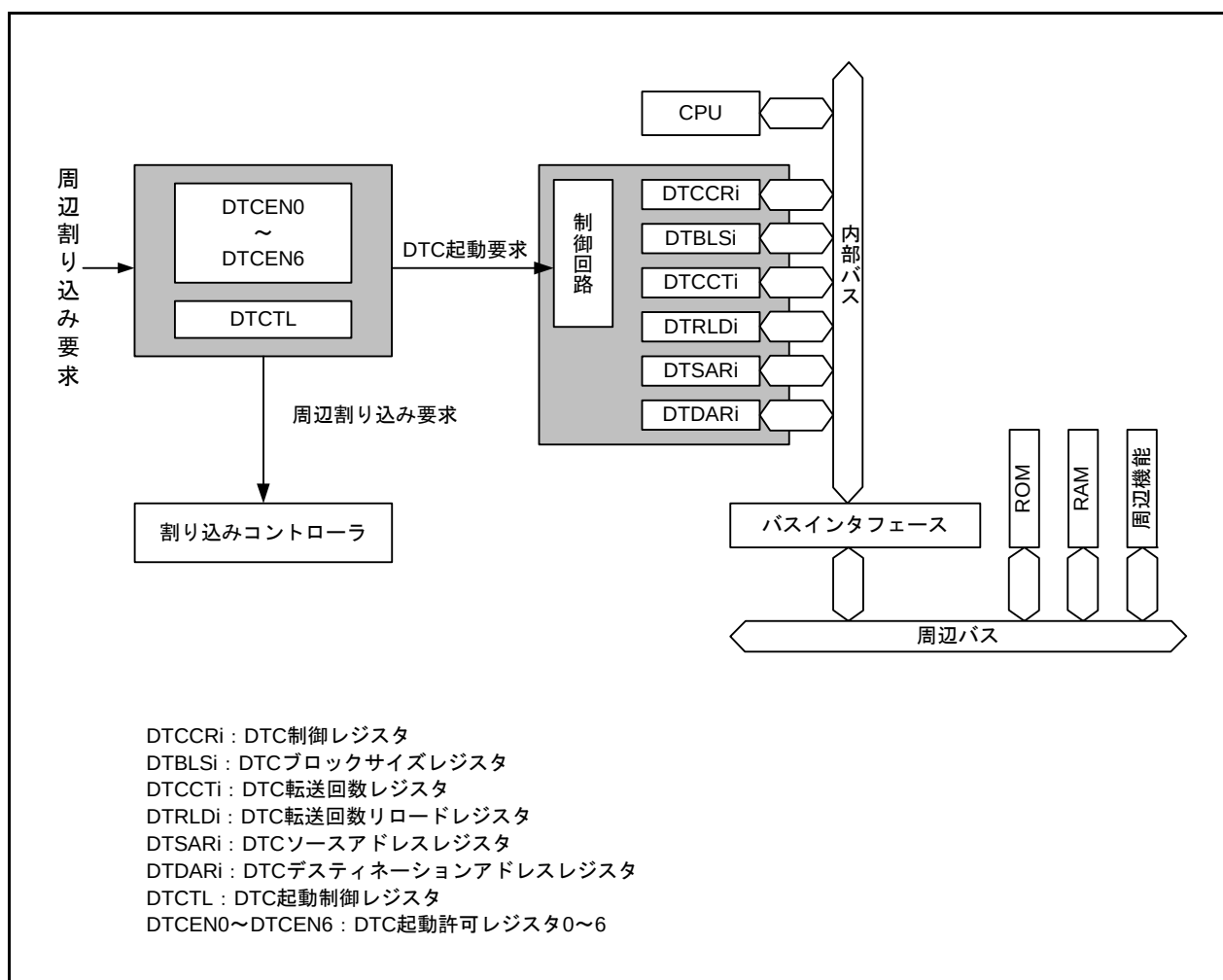


図13.1 DTCのブロック図(i = 0 ~ 23)

13.2 レジスタの説明

DTC は起動すると RAM 上のコントロールデータ領域に配置したコントロールデータ (DTCCRj、DTBLSj、DTCCTj、DTRL Dj、DTSARj、DTDARj) (j = 0~23) を読み出し、DTC 内の制御レジスタ (DTCCR、DTBLS、DTCCT、DTRL D、DTSAR、DTDAR) へ転送します。DTC のデータ転送終了後、DTC 内の制御レジスタの内容をコントロールデータ領域へ書き戻します。

DTCCR、DTBLS、DTCCT、DTRL D、DTSAR、DTDAR の各レジスタは直接アクセスできません。

DTCCRj、DTBLSj、DTCCTj、DTRL Dj、DTSARj、DTDARj はシステムバスより直接アクセスできます。

また、DTCTL、DTCENi レジスタ (i = 0~6) は周辺バスを経由してアクセスできます。

表 13.2 ~ 表 13.5 に DTC のレジスタ構成を示します。

表 13.2 DTC のレジスタ構成 (1)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC 起動制御レジスタ	DTCTL	00h	00280h	8
DTC 起動許可レジスタ 0	DTCEN0	00h	00288h	8
DTC 起動許可レジスタ 1	DTCEN1	00h	00289h	8
DTC 起動許可レジスタ 2	DTCEN2	00h	0028Ah	8
DTC 起動許可レジスタ 3	DTCEN3	00h	0028Bh	8
DTC 起動許可レジスタ 4	DTCEN4	00h	0028Ch	8
DTC 起動許可レジスタ 5	DTCEN5	00h	0028Dh	8
DTC 起動許可レジスタ 6	DTCEN6	00h	0028Eh	8
DTC 制御レジスタ 0	DTCCR0	XXh	06C40h	8
DTC ブロックサイズレジスタ 0	DTBLS0	XXh	06C41h	8
DTC 転送回数レジスタ 0	DTCCT0	XXh	06C42h	8
DTC 転送回数リロードレジスタ 0	DTRL D0	XXh	06C43h	8
DTC ソースアドレスレジスタ 0	DTSAR0	XXXXh	06C44h	16
DTC デスティネーションアドレスレジスタ 0	DTDAR0	XXXXh	06C46h	16
DTC 制御レジスタ 1	DTCCR1	XXh	06C48h	8
DTC ブロックサイズレジスタ 1	DTBLS1	XXh	06C49h	8
DTC 転送回数レジスタ 1	DTCCT1	XXh	06C4Ah	8
DTC 転送回数リロードレジスタ 1	DTRL D1	XXh	06C4Bh	8
DTC ソースアドレスレジスタ 1	DTSAR1	XXXXh	06C4Ch	16
DTC デスティネーションアドレスレジスタ 1	DTDAR1	XXXXh	06C4Eh	16
DTC 制御レジスタ 2	DTCCR2	XXh	06C50h	8
DTC ブロックサイズレジスタ 2	DTBLS2	XXh	06C51h	8
DTC 転送回数レジスタ 2	DTCCT2	XXh	06C52h	8
DTC 転送回数リロードレジスタ 2	DTRL D2	XXh	06C53h	8
DTC ソースアドレスレジスタ 2	DTSAR2	XXXXh	06C54h	16
DTC デスティネーションアドレスレジスタ 2	DTDAR2	XXXXh	06C56h	16
DTC 制御レジスタ 3	DTCCR3	XXh	06C58h	8
DTC ブロックサイズレジスタ 3	DTBLS3	XXh	06C59h	8
DTC 転送回数レジスタ 3	DTCCT3	XXh	06C5Ah	8
DTC 転送回数リロードレジスタ 3	DTRL D3	XXh	06C5Bh	8
DTC ソースアドレスレジスタ 3	DTSAR3	XXXXh	06C5Ch	16
DTC デスティネーションアドレスレジスタ 3	DTDAR3	XXXXh	06C5Eh	16
DTC 制御レジスタ 4	DTCCR4	XXh	06C60h	8
DTC ブロックサイズレジスタ 4	DTBLS4	XXh	06C61h	8
DTC 転送回数レジスタ 4	DTCCT4	XXh	06C62h	8
DTC 転送回数リロードレジスタ 4	DTRL D4	XXh	06C63h	8

表 13.3 DTC のレジスタ構成 (2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC ソースアドレスレジスタ 4	DTSAR4	XXXXh	06C64h	16
DTC デスティネーションアドレスレジスタ 4	DTDAR4	XXXXh	06C66h	16
DTC 制御レジスタ 5	DTCCR5	XXh	06C68h	8
DTC ブロックサイズレジスタ 5	DTBLS5	XXh	06C69h	8
DTC 転送回数レジスタ 5	DTCCT5	XXh	06C6Ah	8
DTC 転送回数リロードレジスタ 5	DTRL5	XXh	06C6Bh	8
DTC ソースアドレスレジスタ 5	DTSAR5	XXXXh	06C6Ch	16
DTC デスティネーションアドレスレジスタ 5	DTDAR5	XXXXh	06C6Eh	16
DTC 制御レジスタ 6	DTCCR6	XXh	06C70h	8
DTC ブロックサイズレジスタ 6	DTBLS6	XXh	06C71h	8
DTC 転送回数レジスタ 6	DTCCT6	XXh	06C72h	8
DTC 転送回数リロードレジスタ 6	DTRL6	XXh	06C73h	8
DTC ソースアドレスレジスタ 6	DTSAR6	XXXXh	06C74h	16
DTC デスティネーションアドレスレジスタ 6	DTDAR6	XXXXh	06C76h	16
DTC 制御レジスタ 7	DTCCR7	XXh	06C78h	8
DTC ブロックサイズレジスタ 7	DTBLS7	XXh	06C79h	8
DTC 転送回数レジスタ 7	DTCCT7	XXh	06C7Ah	8
DTC 転送回数リロードレジスタ 7	DTRL7	XXh	06C7Bh	8
DTC ソースアドレスレジスタ 7	DTSAR7	XXXXh	06C7Ch	16
DTC デスティネーションアドレスレジスタ 7	DTDAR7	XXXXh	06C7Eh	16
DTC 制御レジスタ 8	DTCCR8	XXh	06C80h	8
DTC ブロックサイズレジスタ 8	DTBLS8	XXh	06C81h	8
DTC 転送回数レジスタ 8	DTCCT8	XXh	06C82h	8
DTC 転送回数リロードレジスタ 8	DTRL8	XXh	06C83h	8
DTC ソースアドレスレジスタ 8	DTSAR8	XXXXh	06C84h	16
DTC デスティネーションアドレスレジスタ 8	DTDAR8	XXXXh	06C86h	16
DTC 制御レジスタ 9	DTCCR9	XXh	06C88h	8
DTC ブロックサイズレジスタ 9	DTBLS9	XXh	06C89h	8
DTC 転送回数レジスタ 9	DTCCT9	XXh	06C8Ah	8
DTC 転送回数リロードレジスタ 9	DTRL9	XXh	06C8Bh	8
DTC ソースアドレスレジスタ 9	DTSAR9	XXXXh	06C8Ch	16
DTC デスティネーションアドレスレジスタ 9	DTDAR9	XXXXh	06C8Eh	16
DTC 制御レジスタ 10	DTCCR10	XXh	06C90h	8
DTC ブロックサイズレジスタ 10	DTBLS10	XXh	06C91h	8
DTC 転送回数レジスタ 10	DTCCT10	XXh	06C92h	8
DTC 転送回数リロードレジスタ 10	DTRL10	XXh	06C93h	8
DTC ソースアドレスレジスタ 10	DTSAR10	XXXXh	06C94h	16
DTC デスティネーションアドレスレジスタ 10	DTDAR10	XXXXh	06C96h	16
DTC 制御レジスタ 11	DTCCR11	XXh	06C98h	8
DTC ブロックサイズレジスタ 11	DTBLS11	XXh	06C99h	8
DTC 転送回数レジスタ 11	DTCCT11	XXh	06C9Ah	8
DTC 転送回数リロードレジスタ 11	DTRL11	XXh	06C9Bh	8
DTC ソースアドレスレジスタ 11	DTSAR11	XXXXh	06C9Ch	16
DTC デスティネーションアドレスレジスタ 11	DTDAR11	XXXXh	06C9Eh	16
DTC 制御レジスタ 12	DTCCR12	XXh	06CA0h	8
DTC ブロックサイズレジスタ 12	DTBLS12	XXh	06CA1h	8
DTC 転送回数レジスタ 12	DTCCT12	XXh	06CA2h	8

表 13.4 DTC のレジスタ構成 (3)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC 転送回数リロードレジスタ 12	DTRL12	XXh	06CA3h	8
DTC ソースアドレスレジスタ 12	DTSAR12	XXXXh	06CA4h	16
DTC デスティネーションアドレスレジスタ 12	DTDAR12	XXXXh	06CA6h	16
DTC 制御レジスタ 13	DTCCR13	XXh	06CA8h	8
DTC ブロックサイズレジスタ 13	DTBLS13	XXh	06CA9h	8
DTC 転送回数レジスタ 13	DTCCT13	XXh	06CAAh	8
DTC 転送回数リロードレジスタ 13	DTRL13	XXh	06CABh	8
DTC ソースアドレスレジスタ 13	DTSAR13	XXXXh	06CACH	16
DTC デスティネーションアドレスレジスタ 13	DTDAR13	XXXXh	06CAEh	16
DTC 制御レジスタ 14	DTCCR14	XXh	06CB0h	8
DTC ブロックサイズレジスタ 14	DTBLS14	XXh	06CB1h	8
DTC 転送回数レジスタ 14	DTCCT14	XXh	06CB2h	8
DTC 転送回数リロードレジスタ 14	DTRL14	XXh	06CB3h	8
DTC ソースアドレスレジスタ 14	DTSAR14	XXXXh	06CB4h	16
DTC デスティネーションアドレスレジスタ 14	DTDAR14	XXXXh	06CB6h	16
DTC 制御レジスタ 15	DTCCR15	XXh	06CB8h	8
DTC ブロックサイズレジスタ 15	DTBLS15	XXh	06CB9h	8
DTC 転送回数レジスタ 15	DTCCT15	XXh	06CBAh	8
DTC 転送回数リロードレジスタ 15	DTRL15	XXh	06CBBh	8
DTC ソースアドレスレジスタ 15	DTSAR15	XXXXh	06CBCh	16
DTC デスティネーションアドレスレジスタ 15	DTDAR15	XXXXh	06CBEh	16
DTC 制御レジスタ 16	DTCCR16	XXh	06CC0h	8
DTC ブロックサイズレジスタ 16	DTBLS16	XXh	06CC1h	8
DTC 転送回数レジスタ 16	DTCCT16	XXh	06CC2h	8
DTC 転送回数リロードレジスタ 16	DTRL16	XXh	06CC3h	8
DTC ソースアドレスレジスタ 16	DTSAR16	XXXXh	06CC4h	16
DTC デスティネーションアドレスレジスタ 16	DTDAR16	XXXXh	06CC6h	16
DTC 制御レジスタ 17	DTCCR17	XXh	06CC8h	8
DTC ブロックサイズレジスタ 17	DTBLS17	XXh	06CC9h	8
DTC 転送回数レジスタ 17	DTCCT17	XXh	06CCAh	8
DTC 転送回数リロードレジスタ 17	DTRL17	XXh	06CCBh	8
DTC ソースアドレスレジスタ 17	DTCCT18	XXXXh	06CCCh	16
DTC デスティネーションアドレスレジスタ 17	DTDAR17	XXXXh	06CCEh	16
DTC 制御レジスタ 18	DTCCR18	XXh	06CD0h	8
DTC ブロックサイズレジスタ 18	DTBLS18	XXh	06CD1h	8
DTC 転送回数レジスタ 18	DTCCT18	XXh	06CD2h	8
DTC 転送回数リロードレジスタ 18	DTRL18	XXh	06CD3h	8
DTC ソースアドレスレジスタ 18	DTSAR18	XXXXh	06CD4h	16
DTC デスティネーションアドレスレジスタ 18	DTDAR18	XXXXh	06CD6h	16
DTC 制御レジスタ 19	DTCCR19	XXh	06CD8h	8
DTC ブロックサイズレジスタ 19	DTBLS19	XXh	06CD9h	8
DTC 転送回数レジスタ 19	DTCCT19	XXh	06CDAh	8
DTC 転送回数リロードレジスタ 19	DTRL19	XXh	06CDBh	8
DTC ソースアドレスレジスタ 19	DTSAR19	XXXXh	06CDCh	16
DTC デスティネーションアドレスレジスタ 19	DTDAR19	XXXXh	06CDEh	16
DTC 制御レジスタ 20	DTCCR20	XXh	06CE0h	8
DTC ブロックサイズレジスタ 20	DTBLS20	XXh	06CE1h	8

表 13.5 DTC のレジスタ構成 (4)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
DTC 転送回数レジスタ 20	DTCCT20	XXh	06CE2h	8
DTC 転送回数リロードレジスタ 20	DTRL20	XXh	06CE3h	8
DTC ソースアドレスレジスタ 20	DTSAR20	XXXXh	06CE4h	16
DTC デスティネーションアドレスレジスタ 20	DTDAR20	XXXXh	06CE6h	16
DTC 制御レジスタ 21	DTCCR21	XXh	06CE8h	8
DTC ブロックサイズレジスタ 21	DTBLS21	XXh	06CE9h	8
DTC 転送回数レジスタ 21	DTCCT21	XXh	06CEAh	8
DTC 転送回数リロードレジスタ 21	DTRL21	XXh	06CEBh	8
DTC ソースアドレスレジスタ 21	DTSAR21	XXXXh	06CECh	16
DTC デスティネーションアドレスレジスタ 21	DTDAR21	XXXXh	06CEEh	16
DTC 制御レジスタ 22	DTCCR22	XXh	06CF0h	8
DTC ブロックサイズレジスタ 22	DTBLS22	XXh	06CF1h	8
DTC 転送回数レジスタ 22	DTCCT22	XXh	06CF2h	8
DTC 転送回数リロードレジスタ 22	DTRL22	XXh	06CF3h	8
DTC ソースアドレスレジスタ 22	DTSAR22	XXXXh	06CF4h	16
DTC デスティネーションアドレスレジスタ 22	DTDAR22	XXXXh	06CF6h	16
DTC 制御レジスタ 23	DTCCR23	XXh	06CF8h	8
DTC ブロックサイズレジスタ 23	DTBLS23	XXh	06CF9h	8
DTC 転送回数レジスタ 23	DTCCT23	XXh	06CFAh	8
DTC 転送回数リロードレジスタ 23	DTRL23	XXh	06CFBh	8
DTC ソースアドレスレジスタ 23	DTSAR23	XXXXh	06CFCh	16
DTC デスティネーションアドレスレジスタ 23	DTDAR23	XXXXh	06CFEh	16

13.2.1 DTC 起動制御レジスタ (DTCTL)

アドレス 00280h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	NMIF	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	NMIF	ノンマスカブル割り込み発生ビット (注1)	0 : ノンマスカブル割り込みなし 1 : ノンマスカブル割り込み発生	R/W
b2	—	何も配置されていない。読んだ場合、その値は0。		R
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注1. 読んだ結果が1の場合、同じビットに0を書くと0になります。読んだ結果が0の場合、同じビットに0を書いても変化しません。1を書いた場合は変化しません。

NMIF ビット (ノンマスカブル割り込み発生ビット)

NMIF ビットは、ウォッチドッグタイマ割り込み、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込みのいずれかが発生すると1になります。

NMIF ビットが1の場合、DTC 起動を許可している割り込みが発生しても DTC は起動しません。DTC 転送中に NMIF ビットが1になっても、その転送を終了するまで行います。

13.2.2 DTC起動許可レジスタ i (DTCENi) (i = 0 ~ 6)

アドレス 00288h (DTCEN0)、00289h (DTCEN1)、0028Ah (DTCEN2)、0028Bh (DTCEN3)、
0028Ch (DTCEN4)、0028Dh (DTCEN5)、0028Eh (DTCEN6)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCENi0	DTC 起動許可ビット	0 : 起動禁止 1 : 起動許可	R/W
b1	DTCENi1			R/W
b2	DTCENi2			R/W
b3	DTCENi3			R/W
b4	DTCENi4			R/W
b5	DTCENi5			R/W
b6	DTCENi6			R/W
b7	DTCENi7			R/W

DTCENi レジスタは、各割り込み要因による DTC 起動の許可または禁止を制御します。表 13.6 に割り込み要因と DTCENi0 ~ DTCENi7 ビット (i = 0 ~ 6) の対応を示します。

表 13.6 割り込み要因と DTCENi0 ~ DTCENi7 ビット (i = 0 ~ 6) の対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	INT0	INT1	INT2	INT3	INT4	—	—	—
DTCEN1	キー入力	A/D 変換	UART0_0 受信	UART0_0 送信	UART0_1 受信	UART0_1 送信	UART2 受信	UART2 送信
DTCEN2	SSU_0/I ² C_0 受信データ フル	SSU_0/I ² C_0 送信データ エンpty	電圧監視2	電圧監視1	—	—	タイマ RC_0 インプット キャプチャ/ コンペアー一致A	タイマ RC_0 インプット キャプチャ/ コンペアー一致B
DTCEN3	タイマ RC_0 インプット キャプチャ/ コンペアー一致C	タイマ RC_0 インプット キャプチャ/ コンペアー一致D	タイマ RD0_0 インプット キャプチャ/ コンペアー一致A	タイマ RD0_0 インプット キャプチャ/ コンペアー一致B	タイマ RD0_0 インプット キャプチャ/ コンペアー一致C	タイマ RD0_0 インプット キャプチャ/ コンペアー一致D	タイマ RD1_0 インプット キャプチャ/ コンペアー一致A	タイマ RD1_0 インプット キャプチャ/ コンペアー一致B
DTCEN4	タイマ RD1_0 インプット キャプチャ/ コンペアー一致C	タイマ RD1_0 インプット キャプチャ/ コンペアー一致D	—	—	—	—	SSU_1/I ² C_1 受信データ フル	SSU_1/I ² C_1 送信データ エンpty
DTCEN5	—	—	タイマ RE2	—	—	—	—	—
DTCEN6	—	タイマ RJ_0	タイマ RJ_1	タイマ RB2	フラッシュ レディ ステータス	—	—	—

13.2.3 DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	MODE	転送モード選択ビット	0: ノーマルモード 1: リピートモード	R/W
b1	RPTSEL	リピートエリア選択ビット(注1)	0: 転送先がリピートエリア 1: 転送元がリピートエリア	R/W
b2	SAMOD	ソースアドレス制御ビット(注2)	0: 固定	R/W
b3	DAMOD	デスティネーションアドレス制御ビット(注2)	1: 加算	R/W
b4	CHNE	チェイン転送許可ビット(注3)	0: チェイン転送禁止 1: チェイン転送許可	R/W
b5	RPTINT	リピートモード割り込み許可ビット(注1)	0: 割り込み発生禁止 1: 割り込み発生許可	R/W
b6	—	予約ビット	0にしてください。読んだ場合、その値は不定。	R/W
b7	—			

注1. MODEビットが1(リピートモード)のときに有効です。

注2. リピートエリアに対するSAMODビットとDAMODビットの設定は無効です。

注3. DTCCR23レジスタのCHNEビットは0(チェイン転送禁止)にしてください。

13.2.4 DTCブロックサイズレジスタj (DTBLSj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7~b0	1回の起動で転送するデータブロックサイズを設定する	00h~FFh(注1)	R/W

注1. 00hのときブロックサイズは256バイトになります。

リピートモード時に指定可能な値は01h~FFh(1~255バイト)です。

13.2.5 DTC転送回数レジスタj (DTCCTj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7~b0	DTCのデータ転送回数を設定する	00h~FFh(注1)	R/W

注1. 00hのとき転送回数は256回になります。DTCが起動するたびに減算(-1)されます。

リピートモード時に指定可能な値は01h~FFh(1~255回)です。

13.2.6 DTC 転送回数リロードレジスタ j (DTRL Dj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7 ~ b0	リピートモード動作でこのレジスタの値を DTCCT レジスタへリロードする	00h ~ FFh (注 1)	R/W

注 1. DTCCT レジスタの初期値を設定してください。

リピートモード時に指定可能な値は 01h ~ FFh (1 ~ 255 回) です。

13.2.7 DTC ソースアドレスレジスタ j (DTSARj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15 ~ b0	データ転送時の転送元アドレスを指定する	0000h ~ FFFFh	R/W

13.2.8 DTC デスティネーションアドレスレジスタ j (DTDARj) (j = 0 ~ 23)

アドレス「表 13.7 コントロールデータの配置アドレス」参照

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b15 ~ b0	データ転送時の転送先アドレスを指定する	0000h ~ FFFFh	R/W

13.3 動作説明

13.3.1 概要

DTCが起動すると、DTCコントロールデータ領域からコントロールデータ(注1)を読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロールデータ領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあります。また、DTCCRj (j = 0 ~ 23) レジスタのCHNEビットが1(チェイン転送許可)のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSARj レジスタ、転送先アドレスは16ビット長のDTDARj レジスタで指定します。DTSARj レジスタとDTDARj レジスタは、データ転送後、コントロールデータに従って独立に加算されるか固定されます。

注1. コントロールデータの詳細は、「13.2.3 DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)」 ~ 「13.2.8 DTCデスティネーションアドレスレジスタj (DTDARj) (j = 0 ~ 23)」および「表13.7 コントロールデータの配置アドレス」を参照してください。

13.3.2 起動要因

DTCは割り込み要因により起動します。図13.2にDTC起動要因の制御ブロック図(i = 0 ~ 6)を示します。

DTCを起動する割り込み要因は、DTCENi (i = 0 ~ 6) レジスタで選択します。

データ転送(チェイン転送の場合、連続して行う最初の転送)の設定が

- ・ノーマルモードでDTCCTj (j = 0 ~ 23) レジスタが0になる転送
- ・リピートモードでDTCCRj レジスタのRPTINTビットが1(割り込み発生許可)かつDTCCTj レジスタが0になる転送

のとき、DTCは動作中にDTCENi レジスタの対応するDTCENi0 ~ DTCENi7 ビットを0(起動禁止)にします。

データ転送の設定がどちらでもなく、DTCは動作中に起動要因となった割り込み要因フラグを0にします。

複数の起動要因が同時に発生した場合には、DTC起動要因の優先順位に従ってDTCを起動します。

DTCの動作が終了した時点で複数のDTC起動要因が発生している場合には、優先順位に従って次の転送を行います。

DTC起動は割り込み要求動作と異なり、Iフラグや割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなど、割り込み要求が受け付けられない場合でもDTC起動要求を受け付けることができます。DTC起動許可にした割り込み要因が発生しても割り込み制御レジスタのIRビットは変化しません。

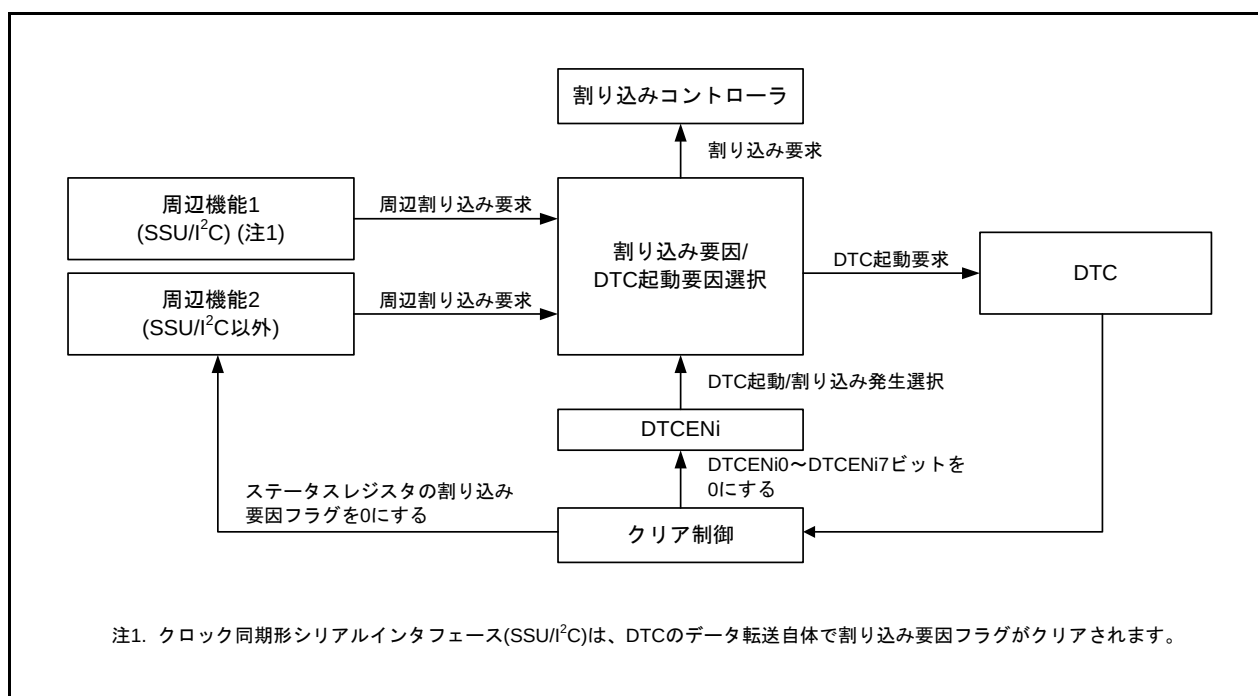


図 13.2 DTC 起動要因の制御ブロック図 (i = 0 ~ 6)

13.3.3 コントロールデータの配置とDTCベクタテーブル

コントロールデータは先頭アドレスから、DTCCRj、DTBLSj、DTCCTj、DTRLdj、DTSARj、DTDARj レジスタ(j = 0 ~ 23)の順に配置します。表 13.7 にコントロールデータの配置アドレスを示します。

表 13.7 コントロールデータの配置アドレス

コントロール データ番号	アドレス	DTCCRj レジスタ	DTBLSj レジスタ	DTCCTj レジスタ	DTRLdj レジスタ	DTSARj レジスタ (下位 8ビット)	DTSARj レジスタ (上位 8ビット)	DTDARj レジスタ (下位 8ビット)	DTDARj レジスタ (上位 8ビット)
コントロール データ 0	06C40h ~ 06C47h	06C40h	06C41h	06C42h	06C43h	06C44h	06C45h	06C46h	06C47h
コントロール データ 1	06C48h ~ 06C4Fh	06C48h	06C49h	06C4Ah	06C4Bh	06C4Ch	06C4Dh	06C4Eh	06C4Fh
コントロール データ 2	06C50h ~ 06C57h	06C50h	06C51h	06C52h	06C53h	06C54h	06C55h	06C56h	06C57h
コントロール データ 3	06C58h ~ 06C5Fh	06C58h	06C59h	06C5Ah	06C5Bh	06C5Ch	06C5Dh	06C5Eh	06C5Fh
コントロール データ 4	06C60h ~ 06C67h	06C60h	06C61h	06C62h	06C63h	06C64h	06C65h	06C66h	06C67h
コントロール データ 5	06C68h ~ 06C6Fh	06C68h	06C69h	06C6Ah	06C6Bh	06C6Ch	06C6Dh	06C6Eh	06C6Fh
コントロール データ 6	06C70h ~ 06C77h	06C70h	06C71h	06C72h	06C73h	06C74h	06C75h	06C76h	06C77h
コントロール データ 7	06C78h ~ 06C7Fh	06C78h	06C79h	06C7Ah	06C7Bh	06C7Ch	06C7Dh	06C7Eh	06C7Fh
コントロール データ 8	06C80h ~ 06C87h	06C80h	06C81h	06C82h	06C83h	06C84h	06C85h	06C86h	06C87h
コントロール データ 9	06C88h ~ 06C8Fh	06C88h	06C89h	06C8Ah	06C8Bh	06C8Ch	06C8Dh	06C8Eh	06C8Fh
コントロール データ 10	06C90h ~ 06C97h	06C90h	06C91h	06C92h	06C93h	06C94h	06C95h	06C96h	06C97h
コントロール データ 11	06C98h ~ 06C9Fh	06C98h	06C99h	06C9Ah	06C9Bh	06C9Ch	06C9Dh	06C9Eh	06C9Fh
コントロール データ 12	06CA0h ~ 06CA7h	06CA0h	06CA1h	06CA2h	06CA3h	06CA4h	06CA5h	06CA6h	06CA7h
コントロール データ 13	06CA8h ~ 06CAFh	06CA8h	06CA9h	06CAAh	06CABh	06CACH	06CADh	06CAEh	06CAFh
コントロール データ 14	06CB0h ~ 06CB7h	06CB0h	06CB1h	06CB2h	06CB3h	06CB4h	06CB5h	06CB6h	06CB7h
コントロール データ 15	06CB8h ~ 06CBFh	06CB8h	06CB9h	06CBAh	06CBBh	06CBCh	06CBDh	06CBEh	06CBFh
コントロール データ 16	06CC0h ~ 06CC7h	06CC0h	06CC1h	06CC2h	06CC3h	06CC4h	06CC5h	06CC6h	06CC7h
コントロール データ 17	06CC8h ~ 06CCFh	06CC8h	06CC9h	06CCAh	06CCBh	06CCCh	06CCDh	06CCEh	06CCFh
コントロール データ 18	06CD0h ~ 06CD7h	06CD0h	06CD1h	06CD2h	06CD3h	06CD4h	06CD5h	06CD6h	06CD7h
コントロール データ 19	06CD8h ~ 06CDFh	06CD8h	06CD9h	06CDAh	06CDBh	06CDCh	06CDDh	06CDEh	06CDFh
コントロール データ 20	06CE0h ~ 06CE7h	06CE0h	06CE1h	06CE2h	06CE3h	06CE4h	06CE5h	06CE6h	06CE7h
コントロール データ 21	06CE8h ~ 06CEFh	06CE8h	06CE9h	06CEAh	06CEBh	06CECh	06CEDh	06CEEh	06CEFh
コントロール データ 22	06CF0h ~ 06CF7h	06CF0h	06CF1h	06CF2h	06CF3h	06CF4h	06CF5h	06CF6h	06CF7h
コントロール データ 23	06CF8h ~ 06CFFh	06CF8h	06CF9h	06CFAh	06CFBh	06CFCh	06CFDh	06CFEh	06CFFh

j = 0 ~ 23

DTC が起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTC コントロールデータ領域上に配置されたコントロールデータを読み出します。

表 13.8 に DTC 起動要因と DTC ベクタアドレスを示します。起動要因ごとに DTC ベクタテーブルが 1 バイトあり、00000000b ~ 00010111b のデータ (表 13.7 のコントロールデータ番号) を格納し、24 組のコントロールデータから 1 つを選択します。

図 13.3 ~ 図 13.7 に DTC 内部動作のフローチャートを示します。

表 13.8 DTC 起動要因と DTC ベクタアドレス

割り込み要因発生元	名称	要因番号	DTC ベクタアドレス	優先順位
外部入力	INT0	0	06C00h	高 ↑ ↓ 低
	INT1	1	06C01h	
	INT2	2	06C02h	
	INT3	3	06C03h	
	INT4	4	06C04h	
キー入力	キー入力	8	06C08h	
A/D	A/D 変換	9	06C09h	
UART0_0	UART0_0 受信	10	06C0Ah	
	UART0_0 送信	11	06C0Bh	
UART0_1	UART0_1 受信	12	06C0Ch	
	UART0_1 送信	13	06C0Dh	
UART2	UART2 受信	14	06C0Eh	
	UART2 送信	15	06C0Fh	
SSU_0/I ² C_0	SSU_0/I ² C_0 受信データフル	16	06C10h	
	SSU_0/I ² C_0 送信データエンプティ	17	06C11h	
電圧検出回路	電圧監視 2	18	06C12h	
	電圧監視 1	19	06C13h	
タイマ RC_0	インプットキャプチャ/コンペアー一致 A	22	06C16h	
	インプットキャプチャ/コンペアー一致 B	23	06C17h	
	インプットキャプチャ/コンペアー一致 C	24	06C18h	
	インプットキャプチャ/コンペアー一致 D	25	06C19h	
タイマ RD0_0	インプットキャプチャ/コンペアー一致 A	26	06C1Ah	
	インプットキャプチャ/コンペアー一致 B	27	06C1Bh	
	インプットキャプチャ/コンペアー一致 C	28	06C1Ch	
	インプットキャプチャ/コンペアー一致 D	29	06C1Dh	
タイマ RD1_0	インプットキャプチャ/コンペアー一致 A	30	06C1Eh	
	インプットキャプチャ/コンペアー一致 B	31	06C1Fh	
	インプットキャプチャ/コンペアー一致 C	32	06C20h	
	インプットキャプチャ/コンペアー一致 D	33	06C21h	
SSU_1/I ² C_1	SSU_1/I ² C_1 受信データフル	38	06C26h	
	SSU_1/I ² C_1 送信データエンプティ	39	06C27h	
タイマ RE2	タイマ RE2	42	06C2Ah	
タイマ RJ_0	タイマ RJ_0	49	06C31h	
タイマ RJ_1	タイマ RJ_1	50	06C32h	
タイマ RB2_0	タイマ RB2_0	51	06C33h	
フラッシュメモリ	フラッシュレディステータス	52	06C34h	

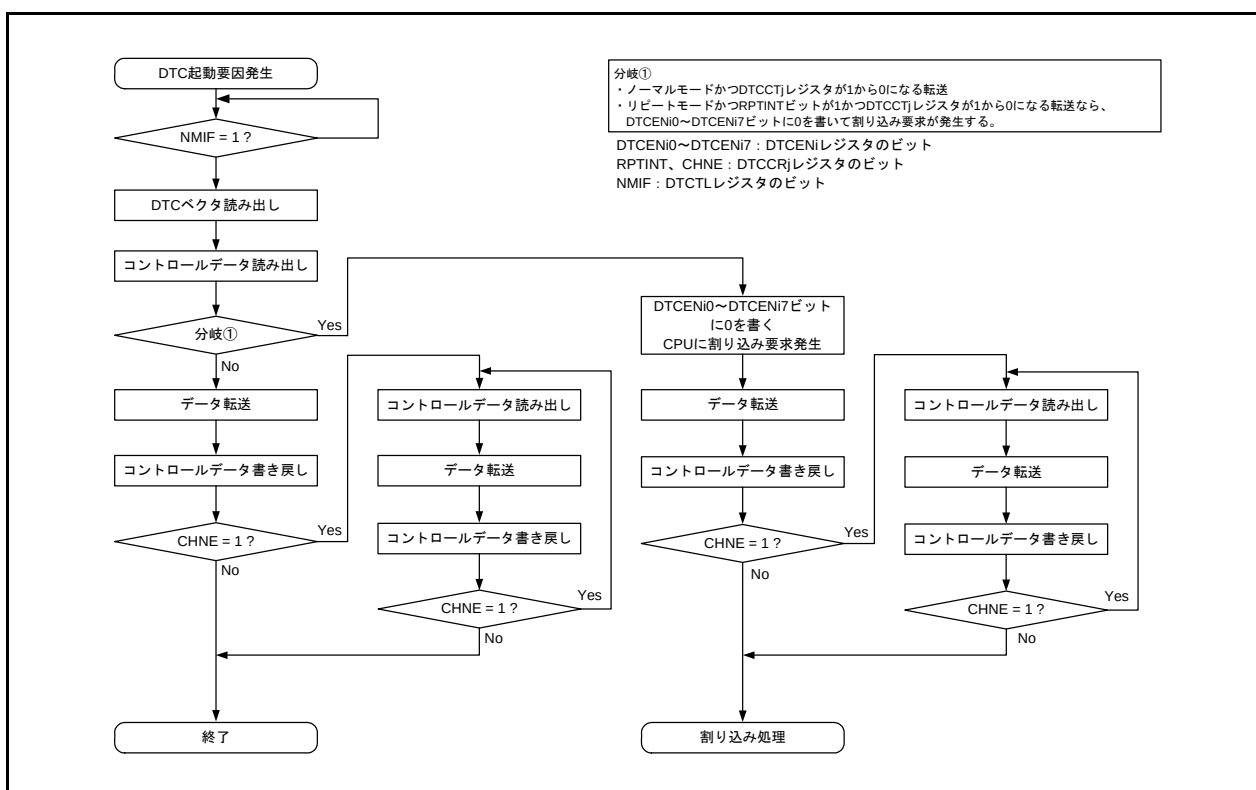


図 13.3 DTC 起動要因がタイマRC、タイマRD、タイマRE2、SSU/I²Cバス、フラッシュメモリの割り込み要因でないときのDTC内部動作フローチャート (i = 0~6) (j = 0~23)

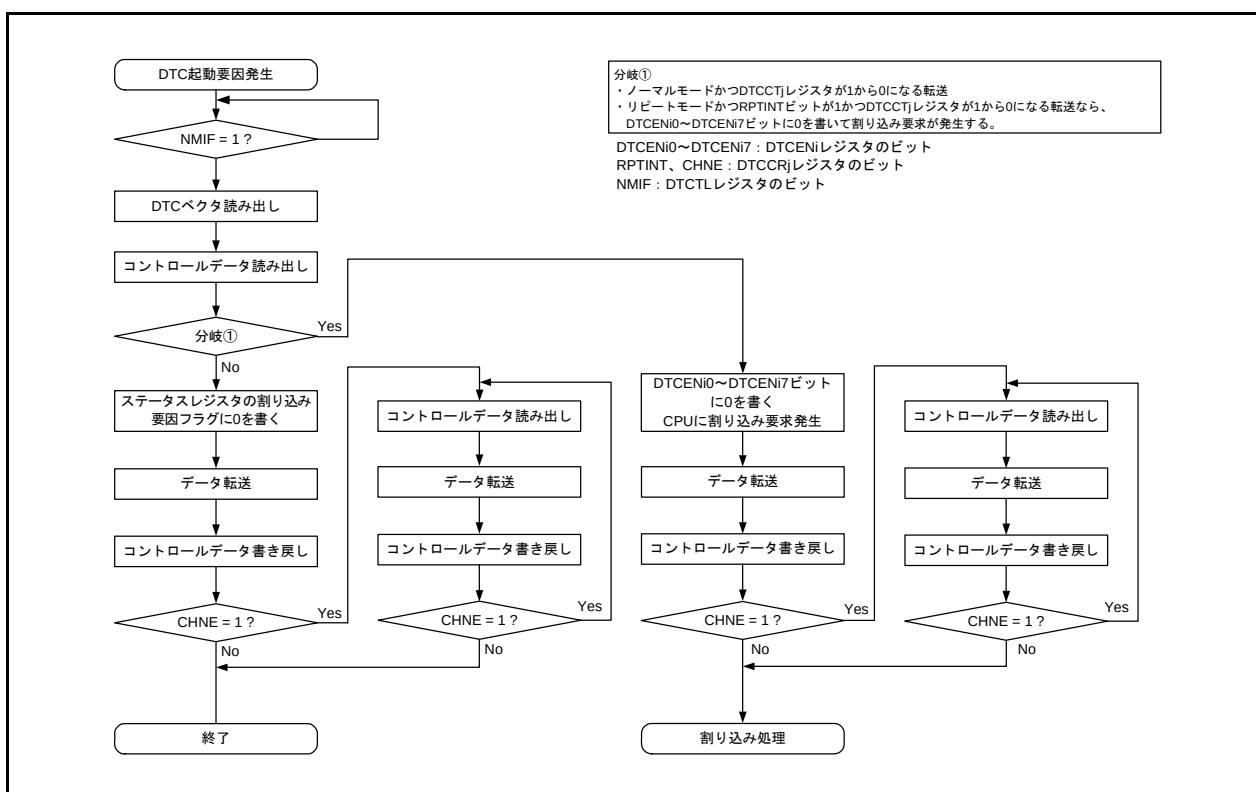


図 13.4 DTC 起動要因がタイマRC、タイマRD、タイマRE2の割り込み要因であるときのDTC内部動作フローチャート (i = 0~6) (j = 0~23)

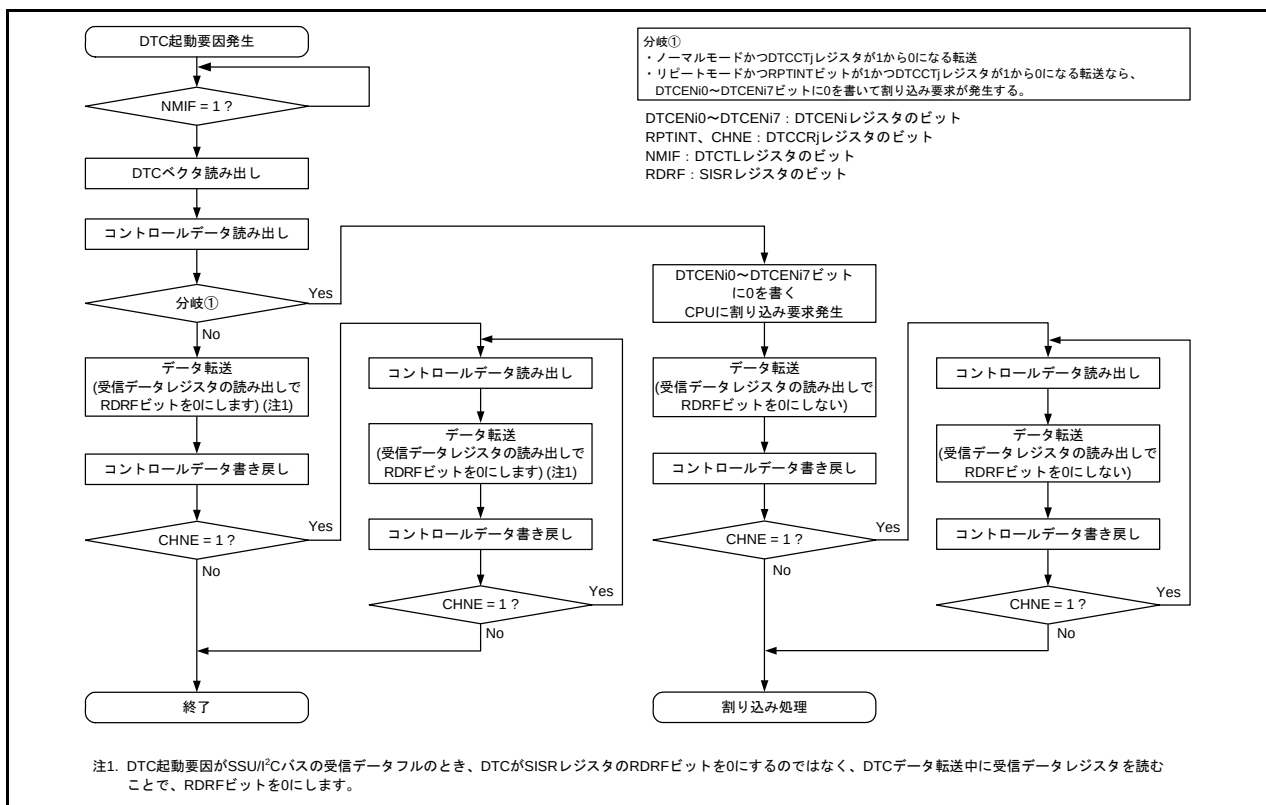


図 13.5 DTC 起動要因がSSU/I²Cバスの受信データフルであるときのDTC 内部動作フローチャート (i = 0～6) (j = 0～23)

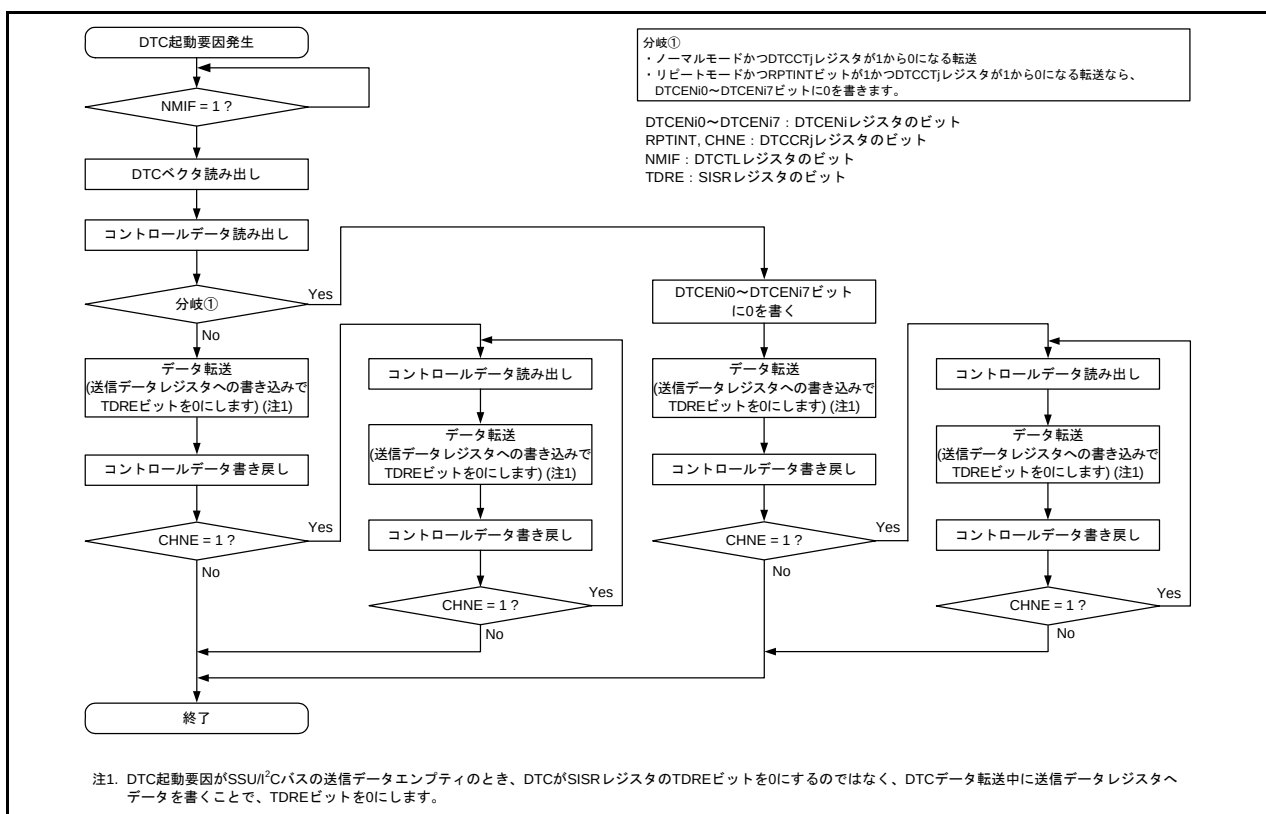


図 13.6 DTC 起動要因がSSU/I²Cバスの送信データエンプティであるときのDTC 内部動作フローチャート (i = 0～6) (j = 0～23)

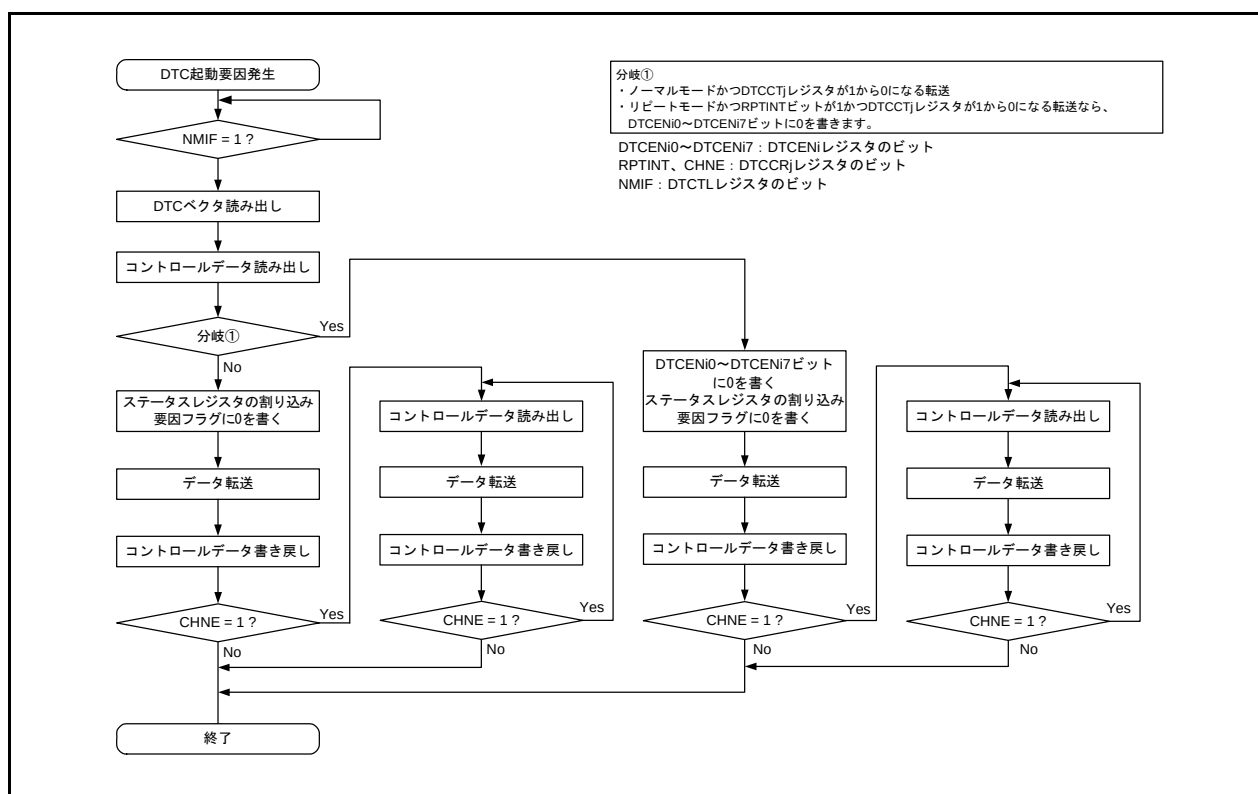


図 13.7 DTC 起動要因がフラッシュレディステータスであるときの DTC 内部動作フローチャート
 (i = 0 ~ 6) (j = 0 ~ 23)

13.3.4 ノーマルモード

1回の起動で1～256バイトをデータ転送します。転送回数は1～256回です。DTCCTj レジスタ (j = 0～23) が0になるデータ転送を行うとき、DTC動作中にCPUへの割り込み要求が発生します。

表13.9にノーマルモードでのレジスタ機能を示します。

図13.8にノーマルモードでのデータ転送(j = 0～23)を示します。

表 13.9 ノーマルモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	使用しません
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j = 0～23

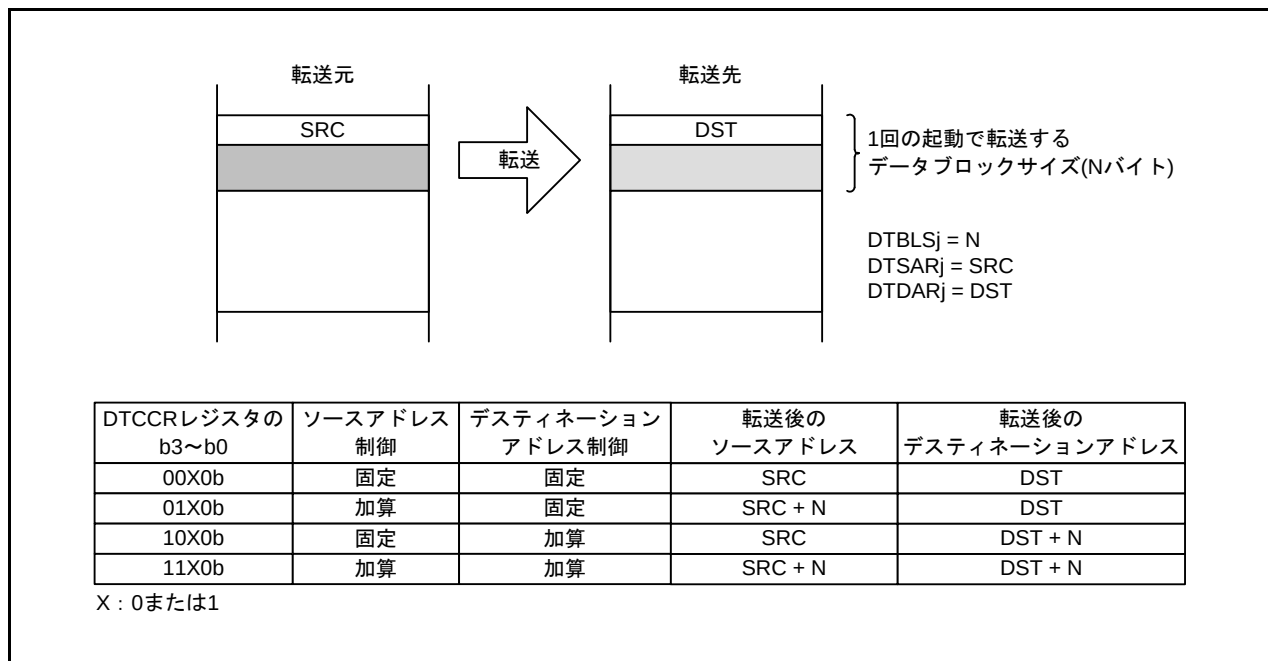


図 13.8 ノーマルモードでのデータ転送(j = 0～23)

13.3.5 リピートモード

1回の起動で1～255バイトをデータ転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj (j=0～23) レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRj レジスタのRPTINT ビットが1 (割り込み発生許可) でDTCCTj レジスタが0になるデータ転送をDTCが行うとき、DTC動作中にCPUへの割り込み要求が発生します。

リピートエリアに指定したアドレスの初期値の下位8ビットを00hにしてください。また、指定回数の転送が終了するまでに、転送するデータサイズを255バイト以内にしてください。

表13.10にリピートモードでのレジスタ機能を示します。図13.9にリピートモードでのデータ転送 (j=0～23) を示します。

表13.10 リピートモードでのレジスタ機能

レジスタ	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	このレジスタの値をDTCCTj レジスタへリロード (データ転送回数を初期化)
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

j = 0～23

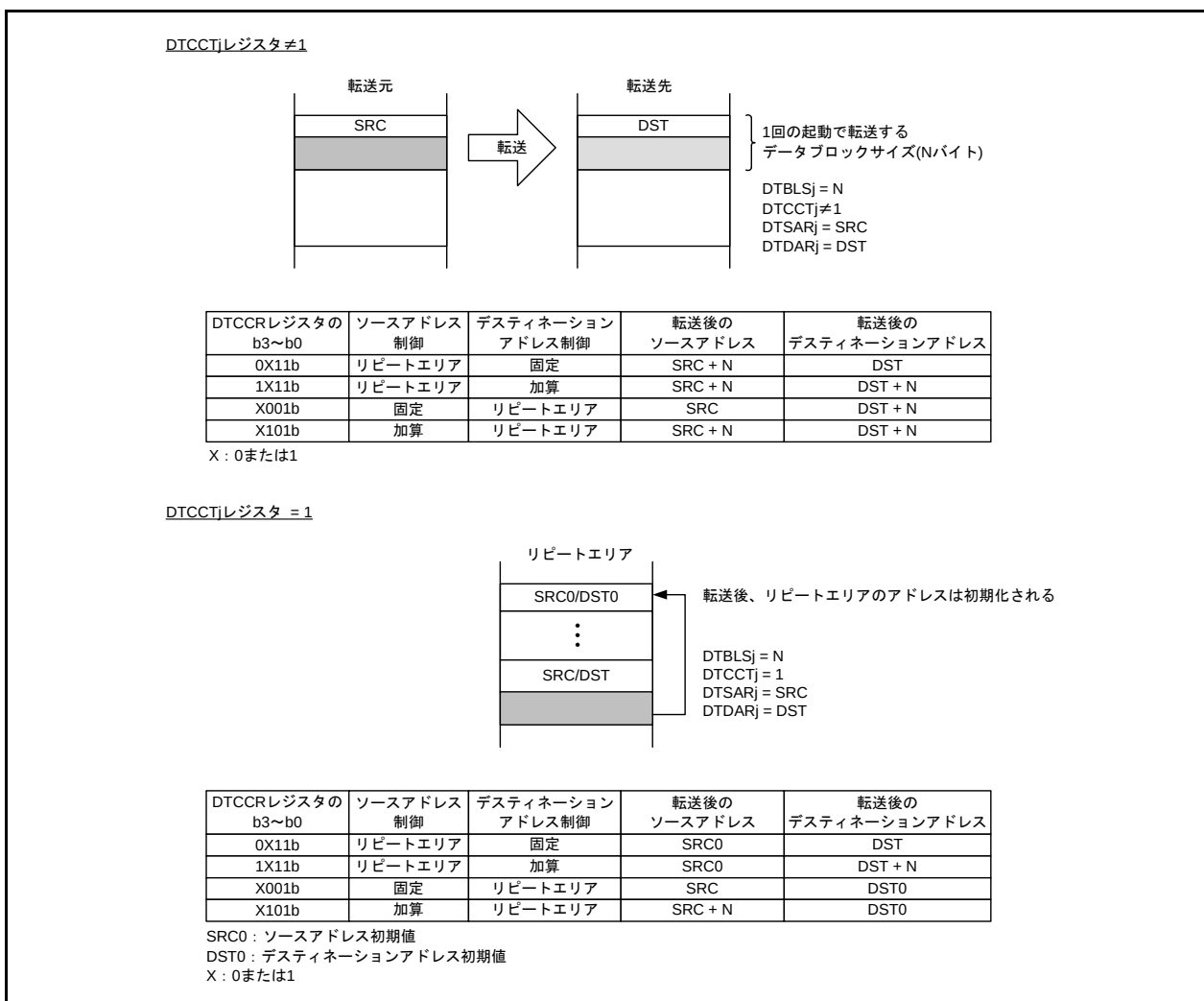


図13.9 リピートモードでのデータ転送 (j = 0～23)

13.3.6 チェイン転送

DTCCR0～DTCCR22レジスタのCHNEビットが1(チェーン転送許可)のとき、1つの起動要因で複数のデータ転送を連続してできます。図13.10にチェーン転送のフローを示します。

DTCが起動すると、起動要因に対応したDTCベクタアドレスから読み出したデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが1であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが0(チェーン転送禁止)のコントロールデータのデータ転送が終了するまで続けます。

DTCCR23レジスタのCHNEビットは0(チェーン転送禁止)にしてください。

なお、各起動要因に対するデータ転送は、各々ノーマルモード、リピートモードのいずれかに設定できます。データ転送の動作については、「13.3.4 ノーマルモード」、「13.3.5 リピートモード」を参照してください。

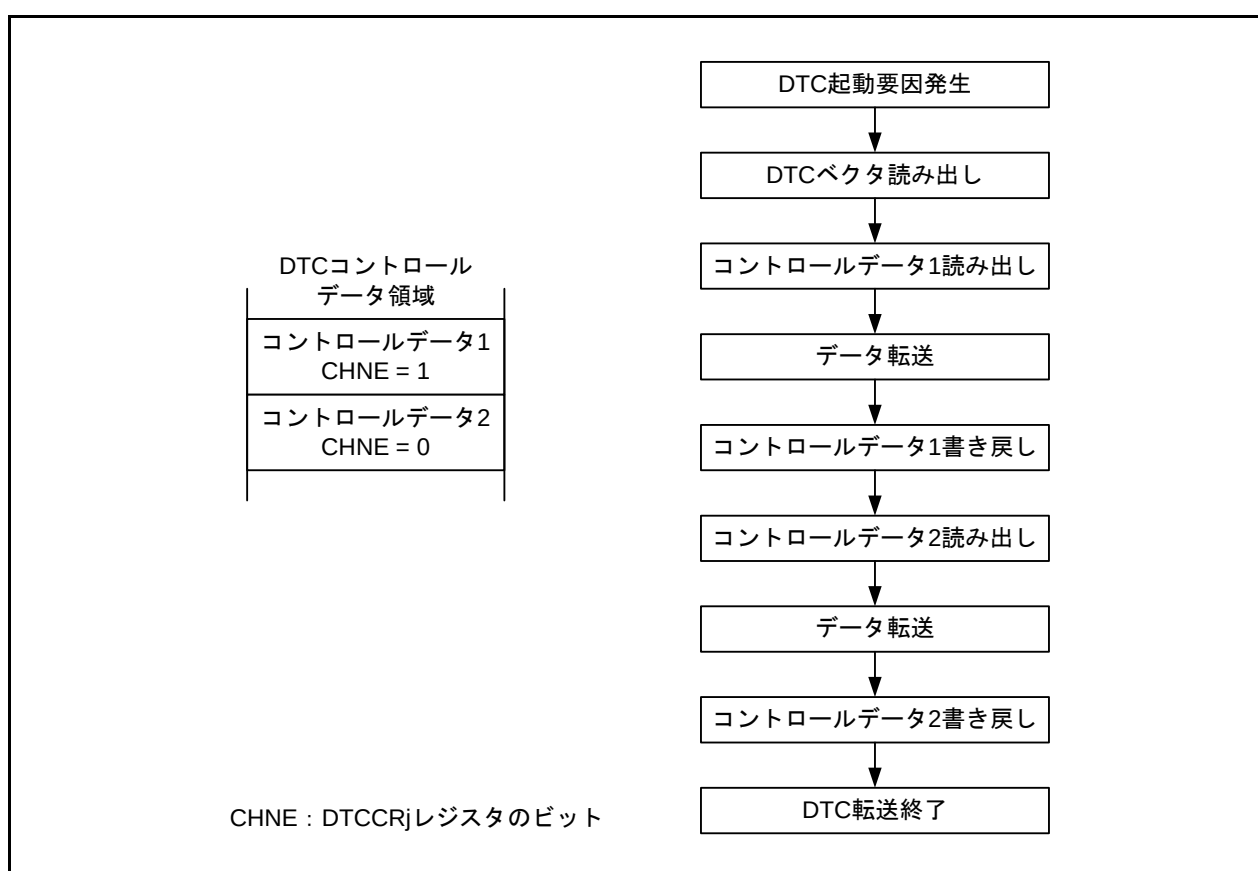


図13.10 チェイン転送のフロー

13.3.7 割り込み要因

DTCがノーマルモードでDTCCTjレジスタ(j = 0～23)が0になるデータ転送を実行するとき、およびリピートモードでDTCCRjレジスタのRPTINTビットが1(割り込み発生許可)かつDTCCTjレジスタが0になるデータ転送を実行するとき、DTC動作中にCPUに対して起動要因となった割り込み要求が発生します。ただし、起動要因がSSU/I²Cバス送信データエンプティまたはフラッシュレディステータスであるとき、CPUに対して割り込み要求が発生しません。

このCPUに対する割り込み要求は、Iフラグや割り込み制御レジスタの影響を受けます。チェーン転送では、連続して行われる最初の転送の転送回数や、RPTINTビットによって割り込み要求の発生の有無が決まります。CPUに対して割り込み要求が発生するとき、対応する起動要因のDTCENi(i = 0～6)レジスタのDTCENi0～DTCENi7ビットは0(起動禁止)になります。

13.3.8 動作タイミング

DTC コントロールデータ領域上に配置したコントロールデータの読み出しは5サイクルで行います。コントロールデータ書き戻しはコントロールデータの設定によりサイクル数が異なります。

図13.11にDTCの動作タイミング例を、図13.12にチェーン転送時のDTCの動作タイミング例を示します。

表13.11にコントロールデータ書き戻し仕様を示します。

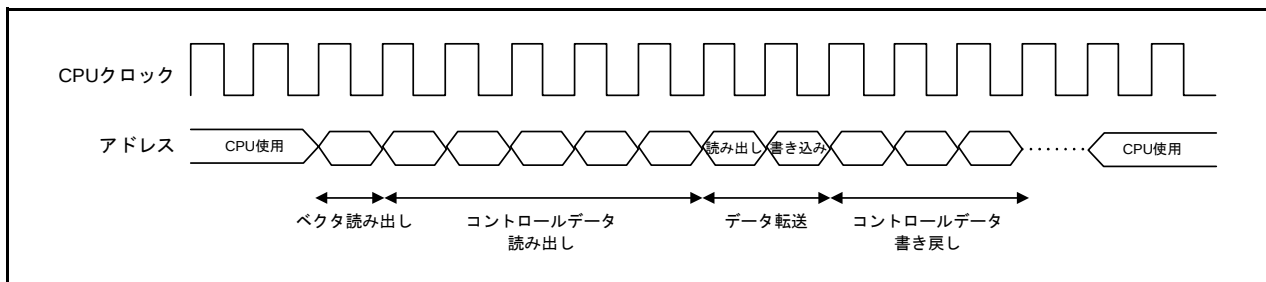


図13.11 DTCの動作タイミング例

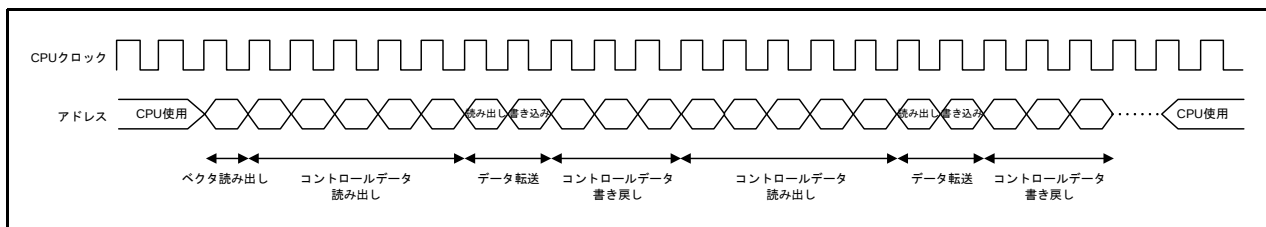


図13.12 チェイン転送時のDTCの動作タイミング例

表13.11 コントロールデータ書き戻し仕様

DTCCR レジスタの b3～b0	動作モード	アドレス制御		書き戻すコントロールデータ				サイクル数
		ソース	デスティネーション	DTCCTj レジスタ	DTRLdj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
00X0b	ノーマル モード	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
01X0b		加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
10X0b		固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
11X0b		加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0X11b	リピート モード	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1X11b		リピート エリア	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X001b		固定	リピート エリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
X101b		加算	リピート エリア	書き戻す	書き戻す	書き戻す	書き戻す	3

j = 0～23

X : 0または1

チェーン転送動作におけるコントロールデータの書き戻しの仕様は、各起動要因で設定された動作モードによって、各起動要因ごとに表13.11のノーマルモード、リピートモードのいずれかに従います。

13.3.9 DTC実行サイクル数

表 13.12 に DTC 起動時の実行状態と必要なサイクル数を示します。表 13.13 にデータ転送に必要なサイクル数を示します。

表 13.12 DTC 起動時の実行状態と必要なサイクル数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み	内部動作
	読み出し	書き戻し			
1	5	(注1)	(注2)	(注2)	1

注1. コントロールデータの書き戻しに必要なサイクル数は「表 13.11 コントロールデータ書き戻し仕様」を参照してください。

注2. データ読み出し / データ書き込みに必要なサイクル数は「表 13.13 データ転送に必要なサイクル数」を参照してください。

DTBLSj (j = 0 ~ 23) レジスタ = N とすると、データ転送時、

(1) $N = 2n$ (偶数) のとき、n 回の 2 バイト転送

(2) $N = 2n + 1$ (奇数) のとき、n 回の 2 バイト転送後、1 回の 1 バイト転送を実行します。

表 13.13 データ転送に必要なサイクル数

実行状態	転送単位	内部RAM (DTC転送中)		内部ROM (プログラムROM)	内部ROM (データフラッシュ)	SFR (ワードアクセス)		SFR (バイトアクセス)	SFR (DTCコントロールデータ領域)	
		偶数番地	奇数番地			偶数番地	奇数番地		偶数番地	奇数番地
データ読み出し	1バイト	1		1 (注1)	4	3		3	1	
	2バイト	1	2	1 (注1)	8	3	6	6	1	2
データ書き込み	1バイト	1		—	—	2		2	1	
	2バイト	1	2	—	—	2	4	4	1	2

注1. ページアクセスでの値になります。

2 バイトでかつ奇数番地の場合、2 サイクルになります。また、ページ境界をまたがるアクセスの場合、1 サイクル増になります。ページアクセス以外は、1 サイクル増になります。

実行サイクル数は下記の計算式で求められます。

$$\text{実行サイクル数} = 1 + \Sigma[\text{式A}] + 2$$

Σ は一つの起動要因で転送する回数分 (CHNE ビットが 1 に設定されている数 + 1) の和

(1) $N = 2n$ (偶数) のとき

$$\text{式A} = J + n \cdot \text{SK2} + n \cdot \text{SL2}$$

(2) $N = 2n + 1$ (奇数) のとき

$$\text{式A} = J + n \cdot \text{SK2} + 1 \cdot \text{SK1} + n \cdot \text{SL2} + 1 \cdot \text{SL1}$$

J: コントロールデータ読み出しサイクル数 (5 サイクル) + 書き戻しに必要なサイクル数

16 ビット単位でアクセスする必要のあるレジスタに対して、データ読み出しまたはデータ書き込みを行う場合は、DTBLSj (j = 0 ~ 23) レジスタに 2 以上の偶数値を設定してください。

DTC は 16 ビット単位でアクセスします。

13.3.10 DTC 起動要因受付と割り込み要因フラグ

13.3.10.1 クロック同期形シリアルインタフェース (SSU/I²C)、フラッシュメモリ以外の割り込み要因

DTC 起動要因が SSU/I²C、フラッシュメモリ以外の割り込み要因であるとき、DTC は割り込み要因による転送開始後、CPU クロックの 8～12 サイクルの間、同じ DTC 起動要因を受け付けることができません。また、DTC 動作中に DTC 起動要因が発生し、受け付けられた場合には、その要因によって DTC が起動する直前の DTC 転送終了後から CPU クロックの 8～12 サイクルの間、同じ DTC 起動要因を受け付けることができません。

DTC が起動する直前の DTC 転送終了直後にソフトウェアコマンドが実行される場合には、CPU クロックの 16 サイクルの間、同じ DTC 起動要因を受け付けることができません。

13.3.10.2 フラッシュメモリ

DTC 起動要因がフラッシュレディステータスのとき、FST レジスタの RDYSTI ビットが 1 (フラッシュレディステータス割り込み要求あり) になってから DTC が 0 (フラッシュレディステータス割り込み要求なし) にするまで、フラッシュレディステータス割り込み要求が発生しても、DTC 起動要因になりません。DTC が RDYSTI ビットを 0 にした後、フラッシュレディステータス割り込み要求が発生すると、DTC は起動要因として受け付けます。RDYSTI ビットが 1 になって DTC が転送を開始してから、DTC が割り込み要因フラグを 0 にするまで、CPU クロックの 8～12 サイクル必要です。

DTC が起動する直前の DTC 転送終了直後にソフトウェアコマンドが実行される場合には、CPU クロックの 16 サイクル後に、RDYSTI ビットが 0 になります。

13.3.10.3 SSU/I²C バス受信データフル

DTC 起動要因が SSU/I²C バス受信データフルであるとき、データ転送で SIRD R レジスタを読んでください。SIRD R レジスタを読むことで、SISR レジスタの RDRF ビットが 0 (SIRD R レジスタにデータなし) になります。その後、受信データフルの割り込み要因が発生すると、DTC は起動要因として受け付けます。

13.3.10.4 SSU/I²C バス送信データエンプティ

DTC 起動要因が SSU/I²C バス送信データエンプティであるとき、データ転送で SITDR レジスタへ書いてください。SITDR レジスタへ書くことで、SISR レジスタの TDRE ビットが 0 (SITDR レジスタから SIRD R レジスタにデータ転送されていない) になります。その後、送信データエンプティの割り込み要因が発生すると、DTC は起動要因として受け付けます。

13.4 DTC使用上の注意事項

13.4.1 DTC起動要因

- ウェイトモード移行時はウェイトモードの実行サイクル前にDTC転送を完了させてください。
- ストップモード移行時はストップモードの実行サイクル前にDTC転送を完了させてください。

13.4.2 DTCENi レジスタ (i = 0 ~ 6)

- DTCENi0 ~ DTCENi7 ビットは、そのレジスタに対応する割り込み要求が発生しない箇所を変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが1のとき、対応する起動要因のDTCENi0 ~ DTCENi7 ビットを変化させないでください。
- DTC転送でDTCENi レジスタをアクセスしないでください。

13.4.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを0にしないでください。
- DTC起動要因がSSU/I²C受信データフルのときは、DTC転送でSIRDR レジスタを読んでください。SIRDR レジスタを読むことで、SISR レジスタのRDRF ビットが0 (SIRDR レジスタにデータなし) になります。
ただし、DTCのデータ転送の設定が
 - ノーマルモードかつDTCCTj レジスタ (j = 0 ~ 23) が1から0になる転送
 - リピートモードかつDTCCRj レジスタのRPTINT ビットが1 (割り込み発生許可) かつDTCCTj レジスタが1から0になる転送のときには、SIRDR レジスタを読んでもSISR レジスタのRDRF ビットは0 (SIRDR レジスタにデータなし) になりません。
- DTC起動要因がSSU/I²C送信データエンプティのときは、DTC転送でSITDR レジスタへ書いてください。SITDR レジスタへ書くことで、SISR レジスタのTDRE ビットが0 (SITDR レジスタからSISDR レジスタにデータ転送されていない) になります。

13.4.4 割り込み要求

- DTC起動要因がSSU/I²C送信データエンプティまたはフラッシュレディステータスのとき、以下の場合でもCPUに割り込み要求を発生しません。
 - DTCがノーマルモードでDTCCTj レジスタが0になるデータ転送を実行するとき
 - リピートモードでDTCCRj レジスタのRPTINT ビットが1 かつ DTCCTj レジスタが0になるデータ転送を実行するとき

13.4.5 DTCの起動

- DTC起動時、ベクタ読み出しの前に1サイクル動作がずれる場合があります。

14. I/O ポート

注意

周辺機能を動作させる前に、PMCSEL レジスタで端子配置を設定してください。

14.1 概要

I/O ポートは、P0～P2、P3_0、P3_1、P3_3～P3_5、P3_7、P4_3～P4_7、P6、P9_4～P9_7の48本あります。(同時に使用できるI/Oポートは44本です。P4_6、P4_7はXINクロック発生回路を使用しない場合、I/Oポートとして使用できます。)

また、A/Dコンバータを使用しない場合、P4_2を入力専用ポートとして使用できます。

表14.1にI/Oポートの概要を示します。

表14.1 I/Oポートの概要

ポート名	入出力	出力形式	入出力設定	内部プルアップ抵抗	駆動能力切り替え	入力レベル切り替え
P0、P3_0、P3_1、P3_3～P3_5、P3_7、P6、P9_4～P9_7 (注7)	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)	4ビット単位で設定(注2)	8ビット単位で設定(注3)
P1、P2_0～P2_3 (注7)、P2_4～P2_7	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)	1ビット単位で設定(注4)	8ビット単位で設定(注3)
P4_3	入出力	CMOS3ステート	1ビット単位で設定	1ビット単位で設定(注1)	1ビット単位で設定(注2)	6ビット単位で設定(注3)
P4_4、P4_5、P4_6 (注5)、P4_7 (注5)	入出力	CMOS3ステート	1ビット単位で設定	4ビット単位で設定(注1)	4ビット単位で設定(注2)	
P4_2 (注6)	入力	(出力機能なし)	なし	なし	なし	

注1. 入力モード時、PUR0～PUR2レジスタで内部プルアップ抵抗を接続するか、しないかを選択できます。

注2. DRR0～DRR2レジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注3. VLT0～VLT2レジスタで入力のしきい値を3種類の電圧レベル(0.35 VCC、0.50 VCC、0.70 VCC)から選択できます。

注4. P1DRR、P2DRRレジスタで出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

注5. XINクロック発振回路を使用しない場合、I/Oポートとして使用できます。

注6. A/Dコンバータを使用しない場合、入力専用ポートとして使用できます。

注7. PMCSELレジスタで通信機能優先端子配置にすると、P2_0～P2_3がP9_4～P9_7の機能になります。

注8. PMCSELレジスタの詳細は、「29.3.1 端子配置選択レジスタ(PMCSEL)」を参照してください。

14.2 I/Oポートの機能

ポートP0～P2、P3_0、P3_1、P3_3～P3_5、P3_7、P4_3～P4_7、P6、P9_4～P9_7の入出力はPDiレジスタ(i = 0～4、6、9)のPDi_jビット(j = 0～7)で制御します。PORTiレジスタは出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。

図14.1～図14.7にI/Oポートの構成を、表14.2にI/Oポートの機能を示します。

表14.2 I/Oポートの機能

PORTiレジスタを アクセス時の動作	PDiレジスタのPDi_jビットの値	
	0 (入力モード)のとき	1 (出力モード)のとき
読み出し	端子の入力レベルを読む	ポートラッチを読む
書き込み	ポートラッチに書く	ポートラッチに書く。ポートラッチに書いた値は、端子から出力される。

i = 0～4、6、9、j = 0～7

- 注1. PD4_0～PD4_2ビットには何も配置されていません。PD3_2、PD3_6、PD9_0～PD9_3ビットは予約ビットです。
- 注2. P4_0、P4_1ビットには何も配置されていません。P3_2、P3_6、P9_0～P9_3ビットは予約ビットです。
- 注3. PORT3レジスタを読んだ場合、P3_2、P3_6ビットは0になります。
- 注4. PORT4レジスタを読んだ場合、P4_0、P4_1ビットは0になります。
- 注5. PORT9レジスタを読んだ場合、P9_0～P9_3ビットは0となります。
- 注6. P4_6、P4_7ビットをXIN、XOUTで使用している場合、PORT4レジスタを読んでも、端子の入力レベルは読めません。P4_6、P4_7ビットは1となります。また、PD4_6、PD4_7ビットを1 (出力モード)に設定しても、P4_6、P4_7ビットの値は端子から出力されません。

14.3 I/Oポート以外の端子

図14.8に端子の構成を示します。

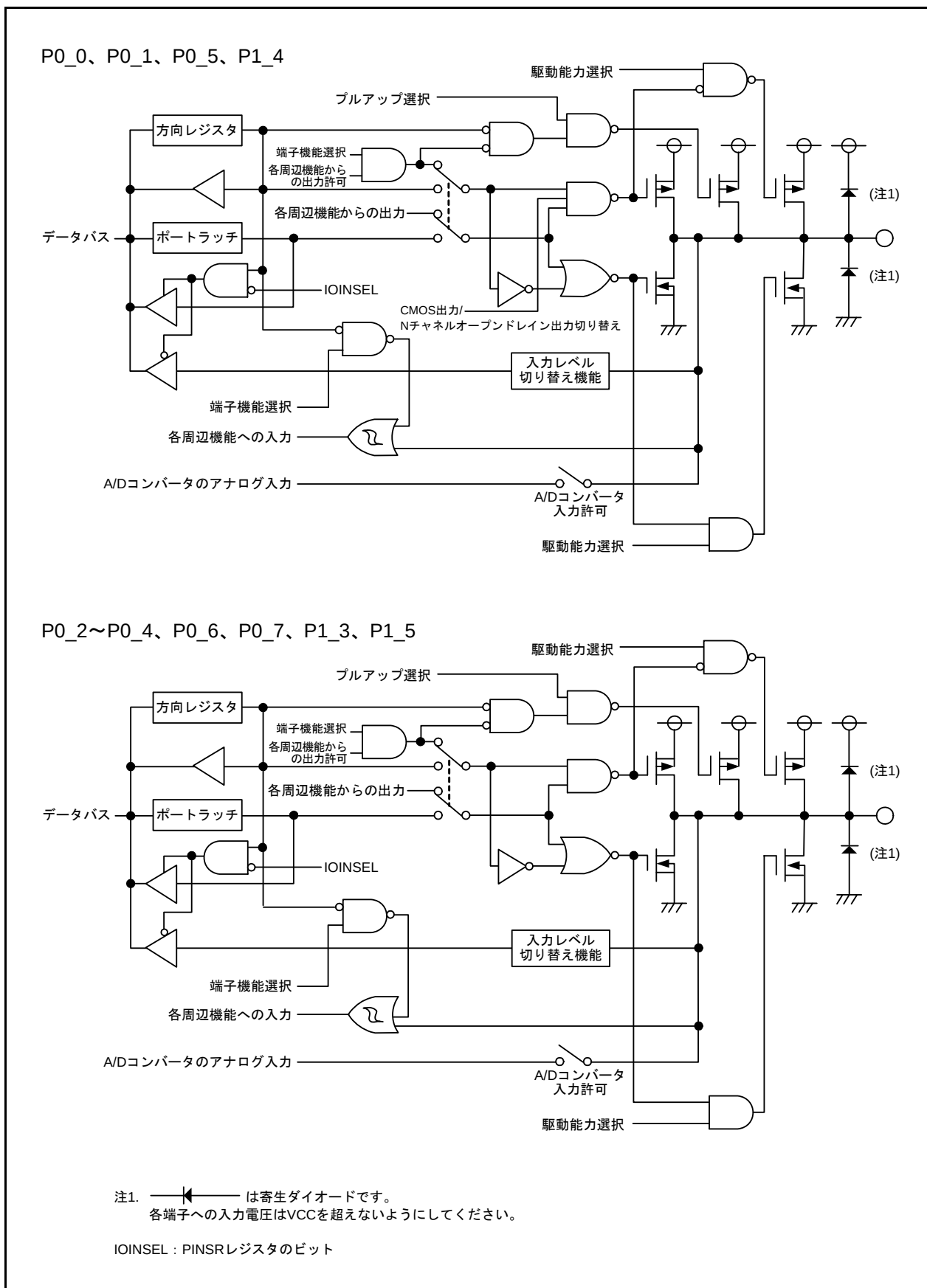


図 14.1 I/Oポートの構成(1)

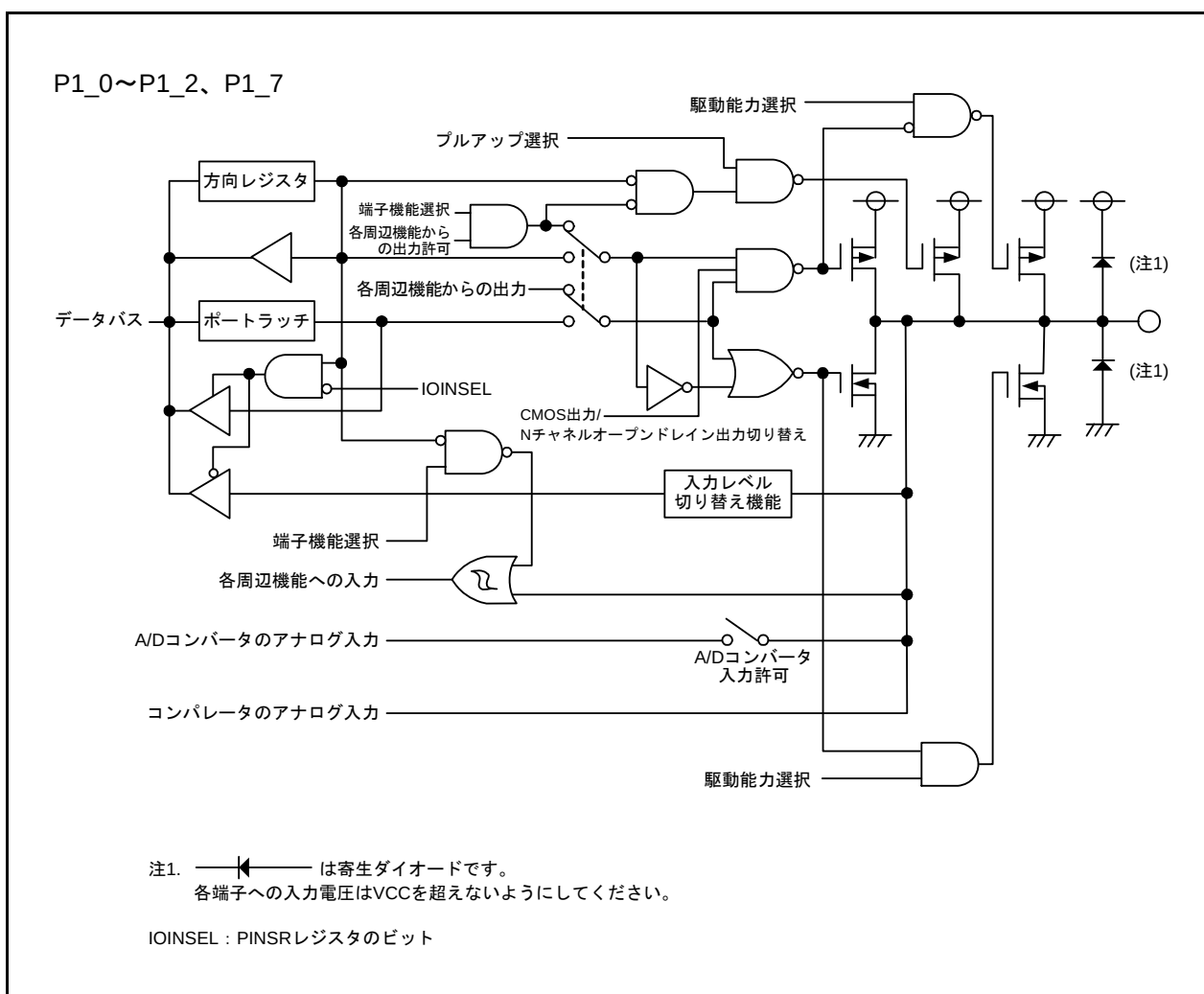
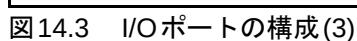


図14.2 I/Oポートの構成(2)



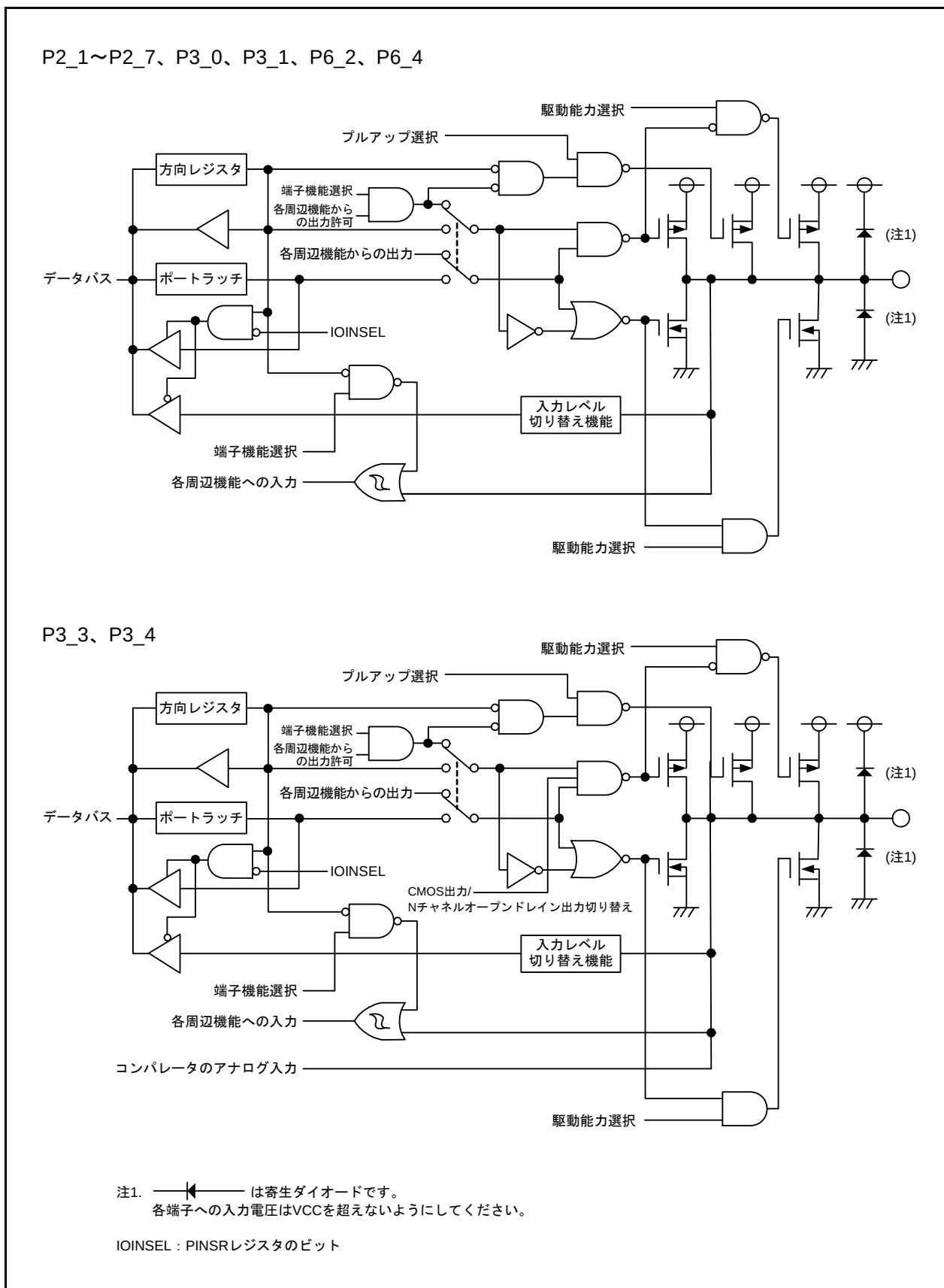


図14.4 I/Oポートの構成(4)

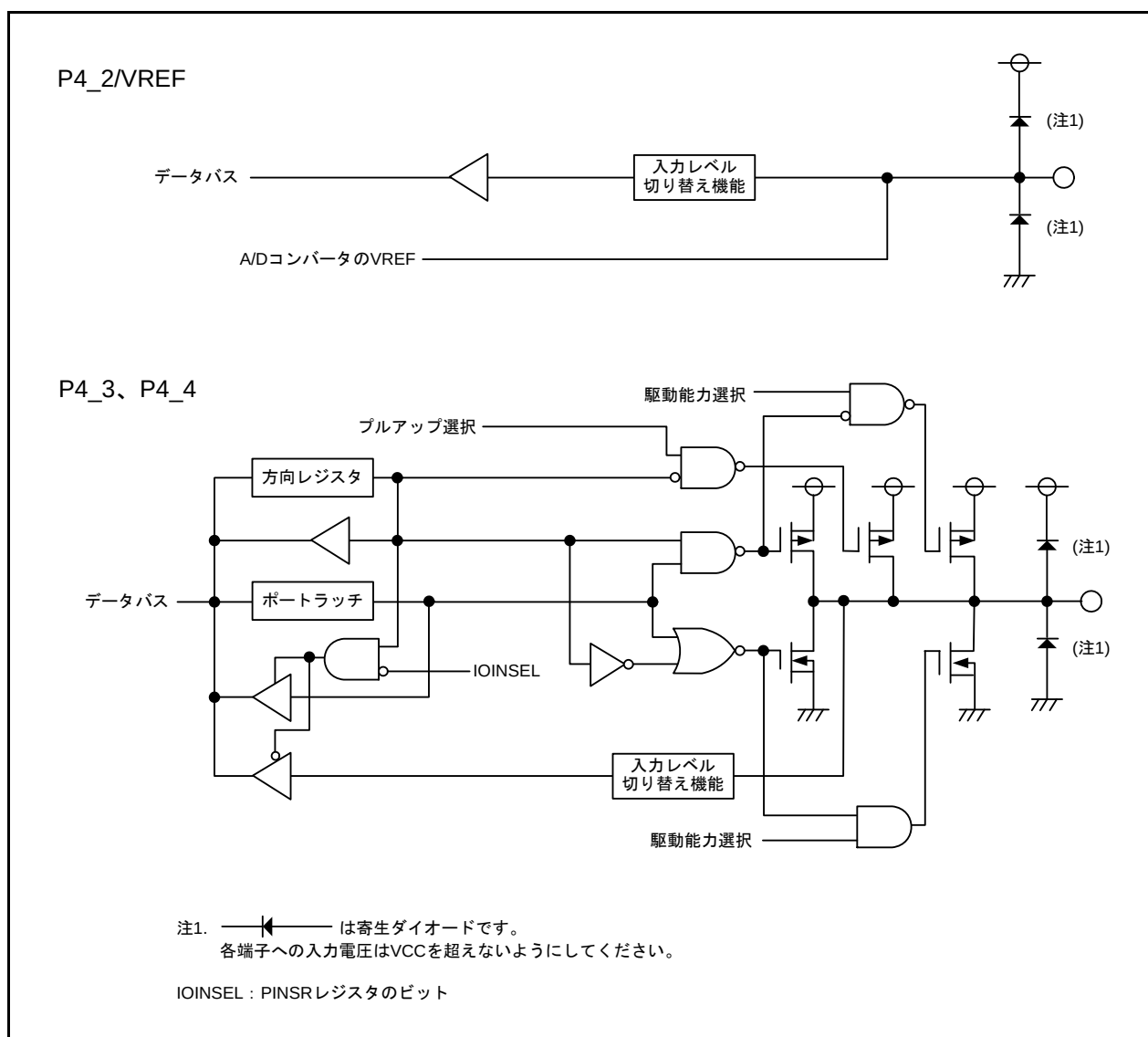


図14.5 I/Oポートの構成(5)

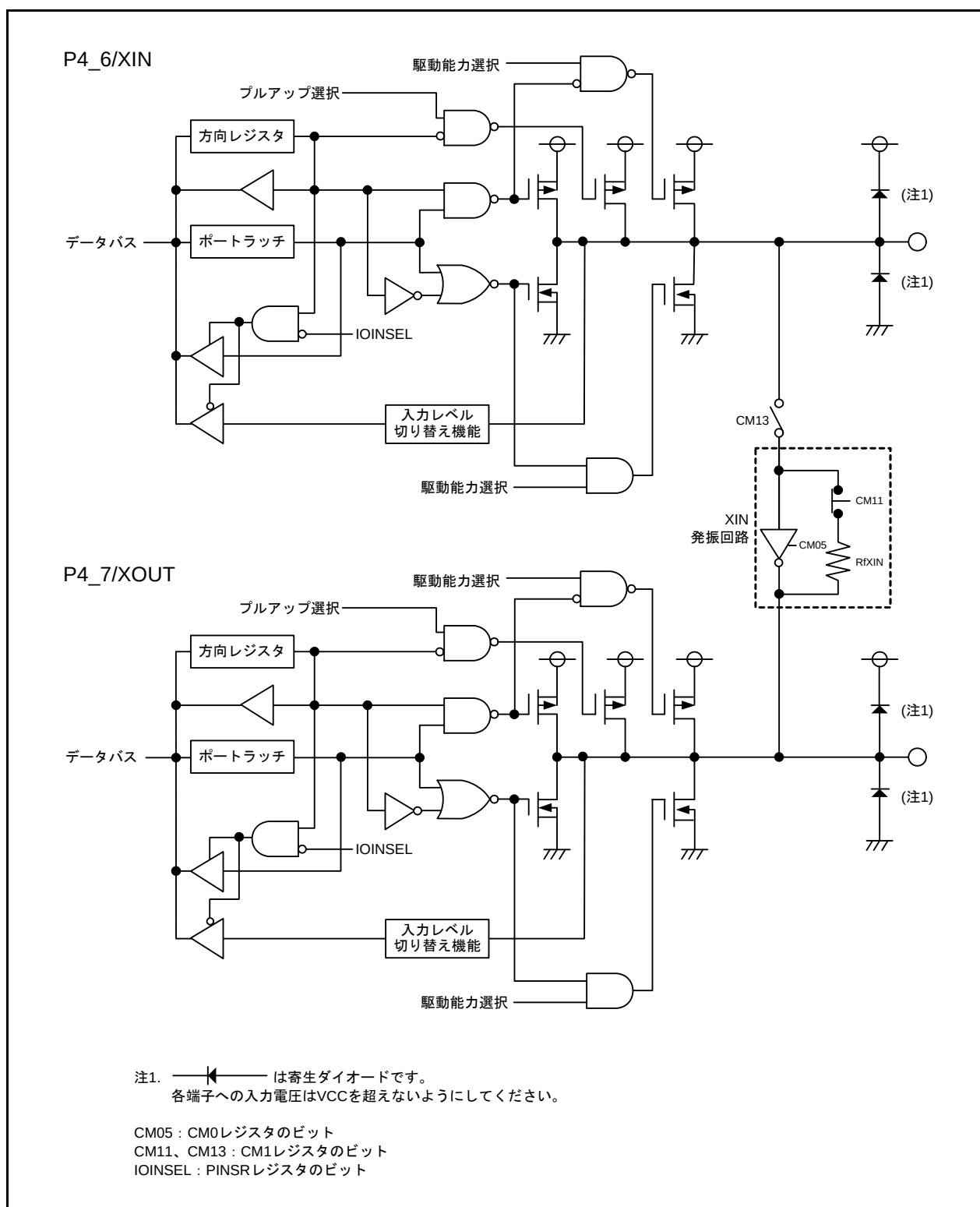


図14.6 I/Oポートの構成(6)

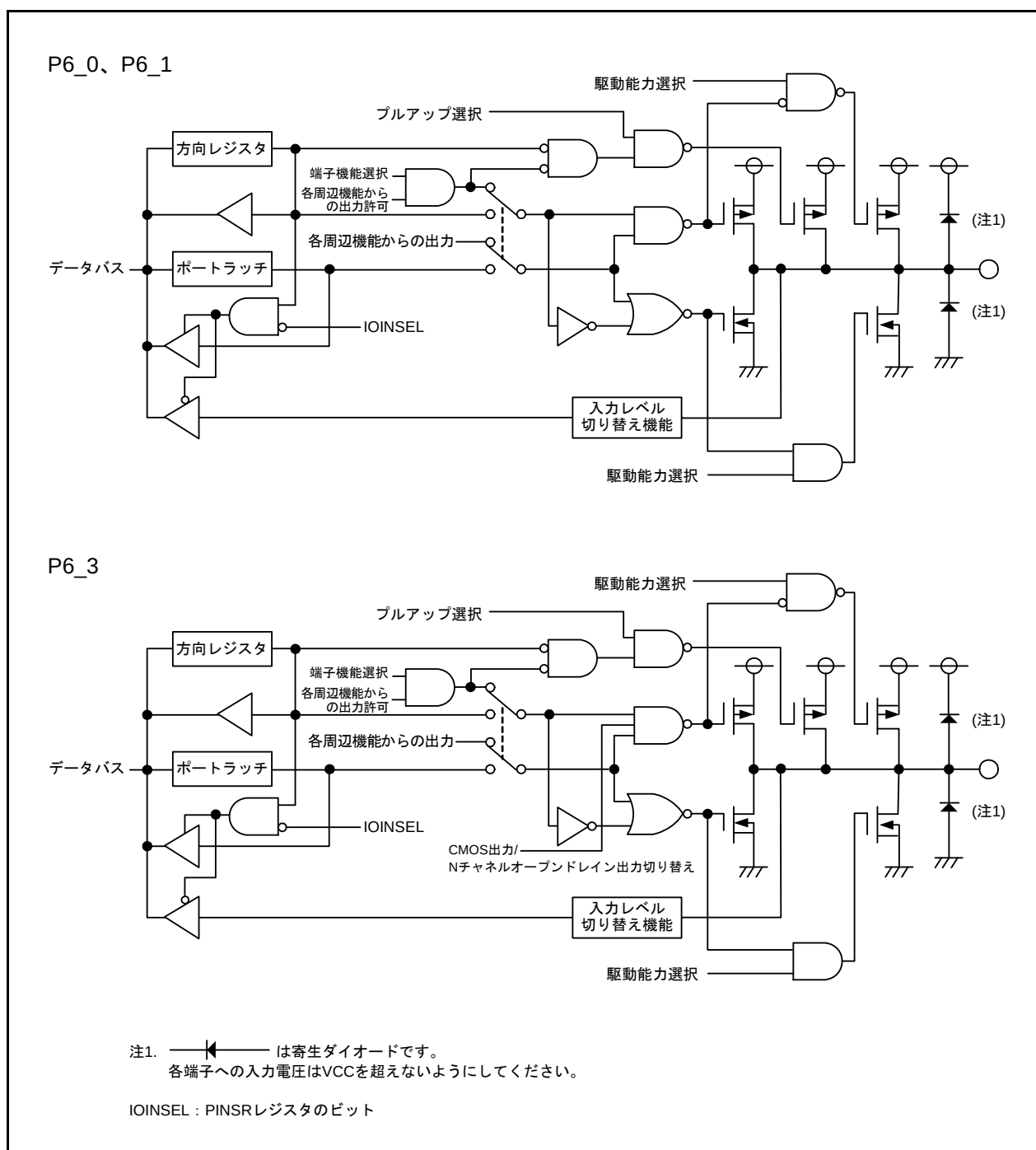


図 14.7 I/Oポートの構成(7)

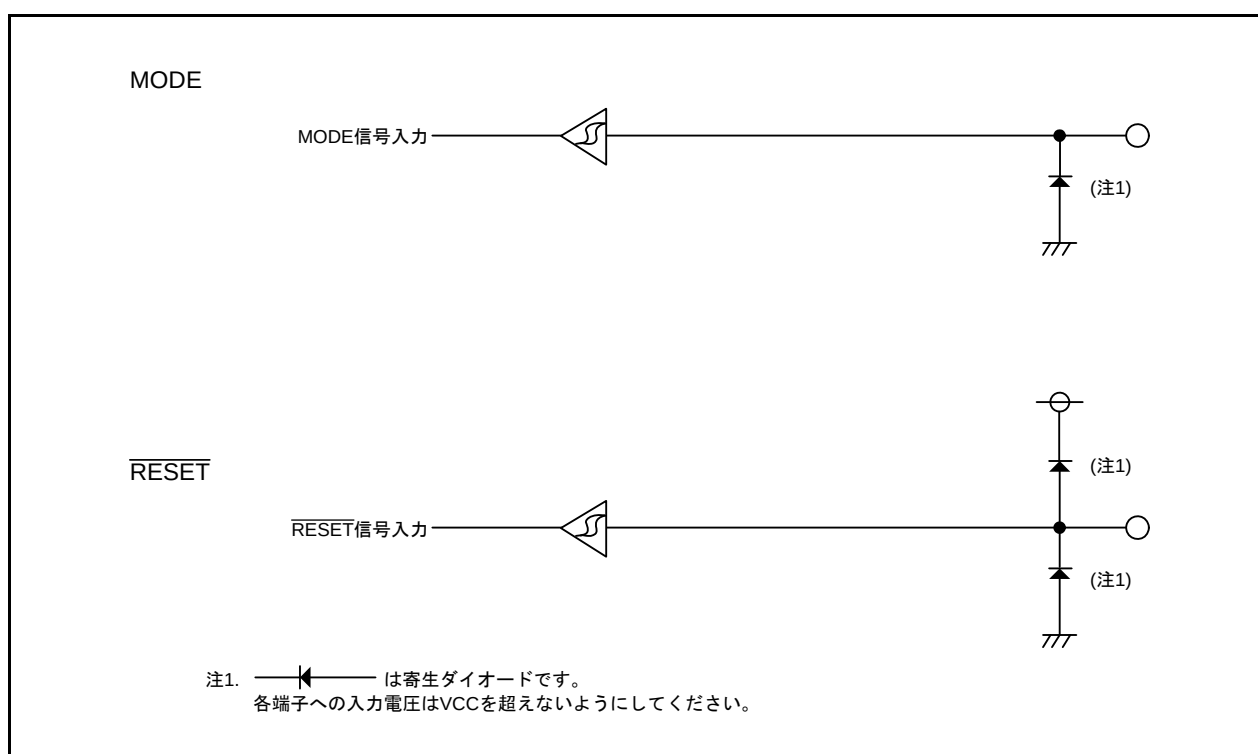


図 14.8 端子の構成

14.4 周辺機能への入出力

14.4.1 周辺機能入出力とPDiビット(i = 0～4、6、9)

I/Oポートは、周辺機能の入出力として機能する場合があります。周辺機能の入出力は、端子を共用するI/OポートのPDiビットの影響を受けるものがあります。表14.3に周辺機能の入出力として機能する場合のPDi_jビット(i = 0～4、6、9、j = 0～7)の設定を示します。周辺機能の設定方法は、各機能説明を参照してください。

表14.3 周辺機能の入出力として機能する場合のPDi_jビット(i = 0～4、6、9、j = 0～7)の設定

周辺機能の入出力		端子を共用しているポートのPDi _j ビットの設定
入力		0 (入力モード)に設定してください
出力	D/Aコンバータ	0 (入力モード)に設定してください
	その他	0でも1でも良い(ポートの設定に関係なく、出力になる)

14.5 レジスタの説明

表14.4にI/Oポートのレジスタ構成を示します。

表14.4 I/Oポートのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRJ_0端子選択レジスタ	TRJ_0SR	00h	002A0h	8
タイマRJ_1端子選択レジスタ	TRJ_1SR	00h	002A1h	8
タイマRB2端子選択レジスタ	TRBSR	00h	002A4h	8
タイマRCCLK端子選択レジスタ	TRCCLKSR	00h	002A5h	8
タイマRC_0端子選択レジスタ0	TRC_0SR0	00h	002A6h	8
タイマRC_0端子選択レジスタ1	TRC_0SR1	00h	002A7h	8
タイマRD_0端子選択レジスタ0	TRD_0SR0	00h	002A9h	8
タイマRD_0端子選択レジスタ1	TRD_0SR1	00h	002AAh	8
タイマ端子選択レジスタ	TIMSR	00h	002ADh	8
UART0_0端子選択レジスタ	U_0SR	00h	002AEh	8
UART0_1端子選択レジスタ	U_1SR	00h	002AFh	8
UART2端子選択レジスタ0	U2SR0	00h	002B2h	8
UART2端子選択レジスタ1	U2SR1	00h	002B3h	8
SSU/IIC_0端子選択レジスタ	SSUIIC_0SR	00h	002B4h	8
INT 割り込み入力端子選択レジスタ0	INTSR0	00h	002B6h	8
入出力機能端子選択レジスタ	PINSR	00h	002B9h	8
プルアップ制御レジスタ0	PUR0	00h	002C0h	8
プルアップ制御レジスタ1	PUR1	00h	002C1h	8
プルアップ制御レジスタ2	PUR2	00h	002C2h	8
ポートP1駆動能力制御レジスタ	P1DRR	00h	002C8h	8
ポートP2駆動能力制御レジスタ	P2DRR	00h	002C9h	8
駆動能力制御レジスタ0	DRR0	00h	002CCh	8
駆動能力制御レジスタ1	DRR1	00h	002CDh	8
駆動能力制御レジスタ2	DRR2	00h	002CEh	8
入力しきい値制御レジスタ0	VLT0	00h	002D0h	8
入力しきい値制御レジスタ1	VLT1	00h	002D1h	8
入力しきい値制御レジスタ2	VLT2	00h	002D2h	8
ポートP0レジスタ	PORT0	XXh	002E0h	8
ポートP1レジスタ	PORT1	XXh	002E1h	8
ポートP0方向レジスタ	PD0	00h	002E2h	8
ポートP1方向レジスタ	PD1	00h	002E3h	8
ポートP2レジスタ	PORT2	XXh	002E4h	8
ポートP3レジスタ	PORT3	XXh	002E5h	8
ポートP2方向レジスタ	PD2	00h	002E6h	8
ポートP3方向レジスタ	PD3	00h	002E7h	8
ポートP4レジスタ	PORT4	XXh	002E8h	8
ポートP4方向レジスタ	PD4	00h	002EAh	8
ポートP6レジスタ	PORT6	XXh	002ECh	8
ポートP6方向レジスタ	PD6	00h	002EEh	8
ポートP9レジスタ	PORT9	XXh	002F1h	8
ポートP9方向レジスタ	PD9	00h	002F3h	8

14.5.1 タイマRJ_0端子選択レジスタ (TRJ_0SR)

アドレス	002A0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	TRJO_0SEL1	TRJO_0SEL0	—	TRJIO_0SEL1	TRJIO_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	TRJIO_0SEL0	TRJIO_0端子選択ビット	b1 b0 0 0 : TRJIO_0端子は使用しない 0 1 : P1_7に割り当てる 1 0 : P1_5に割り当てる 1 1 : 設定しないでください	R/W	
b1	TRJIO_0SEL1			R/W	
b2	—	予約ビット	0にしてください	R/W	
b3	TRJO_0SEL0	TRJO_0端子選択ビット	b4 b3 0 0 : P3_7に割り当てる 0 1 : P3_0に割り当てる 上記以外 : 設定しないでください	R/W	
b4	TRJO_0SEL1			R/W	
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。			—
b6	—				
b7	—				

TRJ_0SR レジスタは、タイマRJ_0の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRJ_0の入出力端子を使用する場合は、TRJ_0SR レジスタを設定してください。

タイマRJ_0の関連レジスタを設定する前に、TRJ_0SR レジスタを設定してください。また、タイマRJ_0の動作中はTRJ_0SR レジスタの設定値を変更しないでください。

14.5.2 タイマRJ_1端子選択レジスタ (TRJ_1SR)

アドレス	002A1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	TRJO_1SEL	—	TRJIO_1SEL1	TRJIO_1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRJIO_1SEL0	TRJIO_1端子選択ビット	b1 b0 0 0 : TRJIO_1端子は使用しない 0 1 : P6_4に割り当てる 1 0 : P0_2に割り当てる 1 1 : 設定しないでください	R/W
b1	TRJIO_1SEL1			R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	TRJO_1SEL	TRJO_1端子選択ビット	0 : P6_3に割り当てる 1 : P0_1に割り当てる	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

TRJ_1SR レジスタは、タイマRJ_1の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRJ_1の入出力端子を使用する場合は、TRJ_1SR レジスタを設定してください。

タイマRJ_1の関連レジスタを設定する前に、TRJ_1SR レジスタを設定してください。また、タイマRJ_1の動作中はTRJ_1SR レジスタの設定値を変更しないでください。

14.5.3 タイマRB2端子選択レジスタ (TRBSR)

アドレス	002A4h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	TRBO_0SEL1	TRBO_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRBO_0SEL0	TRBO_0端子選択ビット	b1 b0 0 0 : P1_3に割り当てる	R/W
b1	TRBO_0SEL1		0 1 : P3_1に割り当てる	R/W
			1 0 : 設定しないでください	
			1 1 : TRBO端子は使用しない	
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	—			
b5	—			
b4	—			
b5	—			

TRBSR レジスタはタイマRB2_0の出力をどの端子に割り当てるかを選択するレジスタです。タイマRB2_0の出力端子を使用する場合は、TRBSRレジスタを設定してください。

タイマRB2関連レジスタ(注1)を設定する前にTRBO_0SEL0、TRBO_0SEL1ビットを設定してください。また、タイマRB2_0の動作中はTRBO_0SEL0、TRBO_0SEL1ビットの設定値を変更しないでください。

注1. タイマRB2関連レジスタ : TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPPE、TRBSC、TRBPR

14.5.4 タイマRCCLK端子選択レジスタ (TRCCLKSR)

アドレス	002A5h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TRCCLK_0SEL2	TRCCLK_0SEL1	TRCCLK_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCCLK_0SEL0	TRCCLK_0端子選択ビット	b2 b1 b0 0 0 0 : TRCCLK_0端子は使用しない	R/W
b1	TRCCLK_0SEL1		0 0 1 : P1_4に割り当てる	R/W
b2	TRCCLK_0SEL2		0 1 0 : P3_3に割り当てる	R/W
			0 1 1 : P3_7に割り当てる 上記以外 : 設定しないでください	
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—	予約ビット	0にしてください	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

TRCCLKSR レジスタは、タイマRC_0の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRC_0の入出力端子を使用する場合は、TRCCLKSRレジスタを設定してください。

タイマRC_0の関連レジスタを設定する前に、TRCCLK_0SEL0～TRCCLK_0SEL2ビットを設定してください。また、タイマRC_0の動作中はTRCCLK_0SEL0～TRCCLK_0SEL2ビットの設定値を変更しないでください。

14.5.5 タイマRC_0端子選択レジスタ0 (TRC_0SR0)

アドレス	002A6h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRCIOB_0SEL2	TRCIOB_0SEL1	TRCIOB_0SEL0	—	TRCIOA_0SEL2	TRCIOA_0SEL1	TRCIOA_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOA_0SEL0	TRCIOA_0/TRCTRG_0端子選択ビット	b2 b1 b0 0 0 0 : TRCIOA_0/TRCTRG_0端子は使用しない	R/W
b1	TRCIOA_0SEL1		0 0 1 : P1_1に割り当てる	R/W
b2	TRCIOA_0SEL2		0 1 0 : P0_0に割り当てる	R/W
			0 1 1 : P0_1に割り当てる	
			1 0 0 : P0_2に割り当てる	
			上記以外 : 設定しないでください	
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	TRCIOB_0SEL0	TRCIOB_0端子選択ビット	b6 b5 b4 0 0 0 : TRCIOB_0端子は使用しない	R/W
b5	TRCIOB_0SEL1		0 0 1 : P1_2に割り当てる	R/W
b6	TRCIOB_0SEL2		0 1 0 : P0_3に割り当てる	R/W
			0 1 1 : P0_4に割り当てる	
			1 0 0 : P0_5に割り当てる	
			1 0 1 : P2_0に割り当てる	
			1 1 0 : P6_5に割り当てる	
			1 1 1 : 設定しないでください	
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

TRC_0SR0 レジスタは、タイマRC_0の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRC_0の入出力端子を使用する場合は、TRC_0SR0 レジスタを設定してください。

タイマRC_0の関連レジスタを設定する前に、TRC_0SR0 レジスタを設定してください。また、タイマRC_0の動作中はTRC_0SR0 レジスタの設定値を変更しないでください。

14.5.6 タイマRC_0端子選択レジスタ1 (TRC_0SR1)

アドレス 002A7h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	TRCIOD_0SEL2	TRCIOD_0SEL1	TRCIOD_0SEL0	—	TRCIOC_0SEL2	TRCIOC_0SEL1	TRCIOC_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRCIOC_0SEL0	TRCIOC_0端子選択ビット	b2 b1 b0 0 0 0 : TRCIOC_0端子は使用しない	R/W
b1	TRCIOC_0SEL1		0 0 1 : P1_3に割り当てる	R/W
b2	TRCIOC_0SEL2		0 1 0 : P3_4に割り当てる	R/W
			0 1 1 : P0_7に割り当てる 1 0 0 : P2_1に割り当てる 1 0 1 : P6_6に割り当てる 上記以外 : 設定しないでください	
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	TRCIOD_0SEL0	TRCIOD_0端子選択ビット	b6 b5 b4 0 0 0 : TRCIOD_0端子は使用しない	R/W
b5	TRCIOD_0SEL1		0 0 1 : P1_0に割り当てる	R/W
b6	TRCIOD_0SEL2		0 1 0 : P3_5に割り当てる	R/W
			0 1 1 : P0_6に割り当てる 1 0 0 : P2_2に割り当てる 1 0 1 : P6_7に割り当てる 上記以外 : 設定しないでください	
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

TRC_0SR1 レジスタは、タイマRC_0の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRC_0の入出力端子を使用する場合は、TRC_0SR1 レジスタを設定してください。

タイマRC_0の関連レジスタを設定する前に、TRC_0SR1 レジスタを設定してください。また、タイマRC_0の動作中はTRC_0SR1 レジスタの設定値を変更しないでください。

14.5.7 タイマRD_0端子選択レジスタ0 (TRD_0SR0)

アドレス 002A9h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD0_0SEL1	TRDIOD0_0SEL0	TRDIOC0_0SEL1	TRDIOC0_0SEL0	TRDIOB0_0SEL1	TRDIOB0_0SEL0	TRDIOA0_0SEL1	TRDIOA0_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA0_0SEL0	TRDIOA0_0/TRDCLK_0端子 選択ビット	b1 b0 0 0 : TRDIOA0_0/TRDCLK_0端子は使用し ない 0 1 : P2_0に割り当てる 1 0 : P3_5に割り当てる 1 1 : 設定しないでください	R/W
b1	TRDIOA0_0SEL1			R/W
b2	TRDIOB0_0SEL0	TRDIOB0_0端子選択ビット	b3 b2 0 0 : TRDIOB0_0端子は使用しない 0 1 : P2_1に割り当てる 1 0 : P2_2に割り当てる 1 1 : P3_4に割り当てる	R/W
b3	TRDIOB0_0SEL1			R/W
b4	TRDIOC0_0SEL0	TRDIOC0_0端子選択ビット	b5 b4 0 0 : TRDIOC0_0端子は使用しない 0 1 : P2_2に割り当てる 1 0 : P2_1に割り当てる 1 1 : P3_7に割り当てる	R/W
b5	TRDIOC0_0SEL1			R/W
b6	TRDIOD0_0SEL0	TRDIOD0_0端子選択ビット	b7 b6 0 0 : TRDIOD0_0端子は使用しない 0 1 : P2_3に割り当てる 1 0 : P3_3に割り当てる 1 1 : 設定しないでください	R/W
b7	TRDIOD0_0SEL1			R/W

TRD_0SR0レジスタは、タイマRD_0の入出力をどの端子に割り当てるかを選択するレジスタです。
タイマRD_0の入出力端子を使用する場合は、TRD_0SR0レジスタを設定してください。

タイマRD_0の関連レジスタを設定する前に、TRD_0SR0レジスタを設定してください。また、タイマRD_0の動作中はTRD_0SR0レジスタの設定値を変更しないでください。

14.5.8 タイマRD_0端子選択レジスタ1 (TRD_0SR1)

アドレス 002AAh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDIOD1_0SEL1	TRDIOD1_0SEL0	TRDIOC1_0SEL1	TRDIOC1_0SEL0	TRDIOB1_0SEL1	TRDIOB1_0SEL0	TRDIOA1_0SEL1	TRDIOA1_0SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRDIOA1_0SEL0	TRDIOA1_0端子選択ビット	b1 b0 0 0 : TRDIOA1_0端子は使用しない 0 1 : P2_4に割り当てる 1 0 : P1_0に割り当てる 1 1 : 設定しないでください	R/W
b1	TRDIOA1_0SEL1			R/W
b2	TRDIOB1_0SEL0	TRDIOB1_0端子選択ビット	b3 b2 0 0 : TRDIOB1_0端子は使用しない 0 1 : P2_5に割り当てる 1 0 : P1_1に割り当てる 1 1 : 設定しないでください	R/W
b3	TRDIOB1_0SEL1			R/W
b4	TRDIOC1_0SEL0	TRDIOC1_0端子選択ビット	b5 b4 0 0 : TRDIOC1_0端子は使用しない 0 1 : P2_6に割り当てる 1 0 : P3_4に割り当てる 1 1 : P1_2に割り当てる	R/W
b5	TRDIOC1_0SEL1			R/W
b6	TRDIOD1_0SEL0	TRDIOD1_0端子選択ビット	b7 b6 0 0 : TRDIOD1_0端子は使用しない 0 1 : P2_7に割り当てる 1 0 : P3_5に割り当てる 1 1 : P1_3に割り当てる	R/W
b7	TRDIOD1_0SEL1			R/W

TRD_0SR1レジスタは、タイマRD_0の入出力をどの端子に割り当てるかを選択するレジスタです。タイマRD_0の入出力端子を使用する場合は、TRD_0SR1レジスタを設定してください。

タイマRD_0の関連レジスタを設定する前に、TRD_0SR1レジスタを設定してください。また、タイマRD_0の動作中はTRD_0SR1レジスタの設定値を変更しないでください。

14.5.9 タイマ端子選択レジスタ (TIMSR)

アドレス	002ADh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	TRE2OSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TRE2OSEL0	TMRE2O 端子選択ビット	0 : P0_4に割り当てる 1 : P6_0に割り当てる	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—	予約ビット	0にしてください	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—	予約ビット	0にしてください	R/W
b5	—			
b6	—			
b7	—			

TIMSR レジスタは、タイマ RE2 の入出力をどの端子に割り当てるかを選択するレジスタです。タイマ RE2 の入出力端子を使用する場合は、TIMSR レジスタを設定してください。

タイマ RE2 の関連レジスタを設定する前に、TIMSR レジスタを設定してください。また、タイマ RE2 の動作中は TIMSR レジスタの設定値を変更しないでください。

14.5.10 UART0_0 端子選択レジスタ (U_0SR)

アドレス	002AEh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	CLK_0SEL	—	RXD_0SEL	—	TXD_0SEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD_0SEL	TXD_0 端子選択ビット	0 : TXD_0 端子は使用しない 1 : P1_4 に割り当てる	R/W
b1	—	何も配置されていない。書く場合、0 を書いてください。読んだ場合、その値は0。		—
b2	RXD_0SEL	RXD_0 端子選択ビット	0 : RXD_0 端子は使用しない 1 : P1_5 に割り当てる	R/W
b3	—	何も配置されていない。書く場合、0 を書いてください。読んだ場合、その値は0。		—
b4	CLK_0SEL	CLK_0 端子選択ビット	0 : CLK_0 端子は使用しない 1 : P1_6 に割り当てる	R/W
b5	—	何も配置されていない。書く場合、0 を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

U_0SR レジスタは、UART0_0 の入出力をどの端子に割り当てるかを選択するレジスタです。UART0_0 の入出力端子を使用する場合は、U_0SR レジスタを設定してください。

UART0_0 の関連レジスタを設定する前に、U_0SR レジスタを設定してください。また、UART0_0 の動作中は U_0SR レジスタの設定値を変更しないでください。

14.5.11 UART0_1 端子選択レジスタ (U_1SR)

アドレス 002AFh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	CLK_1SEL1	CLK_1SEL0	RXD_1SEL1	RXD_1SEL0	TXD_1SEL1	TXD_1SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	
b0	TXD_1SEL0	TXD_1端子選択ビット	b1 b0 0 0 : TXD_1端子は使用しない 0 1 : P0_1に割り当てる 1 0 : P6_3に割り当てる 1 1 : 設定しないでください	R/W
b1	TXD_1SEL1		R/W	
b2	RXD_1SEL0	RXD_1端子選択ビット	b3 b2 0 0 : RXD_1端子は使用しない 0 1 : P0_2に割り当てる 1 0 : P6_4に割り当てる 1 1 : 設定しないでください	R/W
b3	RXD_1SEL1		R/W	
b4	CLK_1SEL0	CLK_1端子選択ビット	b5 b4 0 0 : CLK_1端子は使用しない 0 1 : P0_3に割り当てる 1 0 : P6_2に割り当てる 1 1 : P6_5に割り当てる	R/W
b5	CLK_1SEL1		R/W	
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

U_1SR レジスタは、UART0_1 の入出力をどの端子に割り当てるかを選択するレジスタです。UART0_1の入出力端子を使用する場合は、U_1SR レジスタを設定してください。

UART0_1の関連レジスタを設定する前に、U_1SR レジスタを設定してください。また、UART0_1の動作中はU_1SR レジスタの設定値を変更しないでください。

14.5.12 UART2 端子選択レジスタ 0 (U2SR0)

アドレス 002B2h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	RXD2SEL2	RXD2SEL1	RXD2SEL0	—	TXD2SEL2	TXD2SEL1	TXD2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TXD2SEL0	TXD2 端子選択ビット	b2 b1 b0 0 0 0 : TXD2 端子は使用しない	R/W
b1	TXD2SEL1		0 0 1 : P3_7 に割り当てる	R/W
b2	TXD2SEL2		0 1 0 : P3_4 に割り当てる	R/W
			0 1 1 : P0_0 に割り当てる 1 0 0 : P2_0 に割り当てる 1 0 1 : P6_6 に割り当てる 上記以外 : 設定しないでください	
b3	—	何も配置されていない。書く場合、0 を書いてください。読んだ場合、その値は0。		—
b4	RXD2SEL0	RXD2 端子選択ビット	b6 b5 b4 0 0 0 : RXD2 端子は使用しない	R/W
b5	RXD2SEL1		0 0 1 : P3_4 に割り当てる	R/W
b6	RXD2SEL2		0 1 0 : P3_7 に割り当てる	R/W
			0 1 1 : P4_5 に割り当てる 1 0 0 : P2_0 に割り当てる 1 0 1 : P6_7 に割り当てる 上記以外 : 設定しないでください	
b7	—	何も配置されていない。書く場合、0 を書いてください。読んだ場合、その値は0。		—

U2SR0 レジスタは、UART2 の入出力をどの端子に割り当てるかを選択するレジスタです。UART2 の入出力端子を使用する場合は、U2SR0 レジスタを設定してください。

UART2 の関連レジスタを設定する前に、U2SR0 レジスタを設定してください。また、UART2 の動作中は U2SR0 レジスタの設定値を変更しないでください。

14.5.13 UART2 端子選択レジスタ 1 (U2SR1)

アドレス	002B3h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	CTS2SEL1	CTS2SEL0	—	CLK2SEL2	CLK2SEL1	CLK2SEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK2SEL0	CLK2 端子選択ビット	b2 b1 b0	R/W
b1	CLK2SEL1		0 0 0 : CLK2端子は使用しない	R/W
b2	CLK2SEL2		0 0 1 : P3_5に割り当てる	R/W
			0 1 0 : P0_5に割り当てる	
			0 1 1 : P6_5に割り当てる	
			上記以外 : 設定しないでください	
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	CTS2SEL0	CTS2/RTS2 端子選択ビット	b5 b4	R/W
b5	CTS2SEL1		0 0 : CTS2/RTS2端子は使用しない	R/W
			0 1 : P3_3に割り当てる	
			1 0 : P3_1に割り当てる	
			1 1 : 設定しないでください	
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

U2SR1 レジスタは、UART2の入出力をどの端子に割り当てるかを選択するレジスタです。UART2の入出力端子を使用する場合は、U2SR1 レジスタを設定してください。

UART2の関連レジスタを設定する前に、U2SR1 レジスタを設定してください。また、UART2の動作中はU2SR1 レジスタの設定値を変更しないでください。

14.5.14 SSU/IIC_0端子選択レジスタ(SSUIIC_0SR)

アドレス	002B4h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	SCS_0SEL	SSI_0SEL1	SSI_0SEL0	—	—	SDA_0SEL	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	SDA_0SEL	SDA_0端子選択ビット	0 : P3_7に割り当てる 1 : P3_4に割り当てる	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	SSI_0SEL0	SSI_0端子選択ビット	b1 b0 0 0 : P3_4に割り当てる 0 1 : P3_3に割り当てる 1 0 : P1_6に割り当てる 1 1 : 設定しないでください	R/W
b5	SSI_0SEL1			R/W
b6	SCS_0SEL	SCS_0端子選択ビット	0 : P3_3に割り当てる 1 : P3_4に割り当てる	R/W
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

SSUIIC_0SRレジスタは、シンクロナスシリアルコミュニケーションユニット(SSU_0)/I²Cバスインタフェース(I²C_0)の入出力をどの端子に割り当てるかを選択するレジスタです。SSU_0/I²C_0の入出力端子を使用する場合は、SSUIIC_0SRレジスタを設定してください。

SSU_0/I²C_0の関連レジスタを設定する前に、SSUIIC_0SRレジスタを設定してください。また、SSU_0/I²C_0の動作中はSSUIIC_0SRレジスタの設定値を変更しないでください。

14.5.15 INT割り込み入力端子選択レジスタ0 (INTSR0)

アドレス	002B6h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3SEL1	INT3SEL0	INT2SEL1	INT2SEL0	INT1SEL2	INT1SEL1	INT1SEL0	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	INT1SEL0	INT1 端子選択ビット	b3 b2 b1	R/W
b2	INT1SEL1		0 0 0 : P1_7に割り当てる	R/W
b3	INT1SEL2		0 0 1 : P1_5に割り当てる 0 1 0 : P2_0に割り当てる 上記以外 : 設定しないでください	R/W
b4	INT2SEL0	INT2 端子選択ビット	b5 b4	R/W
b5	INT2SEL1		0 0 : P6_6に割り当てる 0 1 : 設定しないでください 1 0 : P6_4に割り当てる 1 1 : P0_2に割り当てる	R/W
b6	INT3SEL0	INT3 端子選択ビット	b7 b6	R/W
b7	INT3SEL1		0 0 : P3_3に割り当てる 0 1 : P3_7に割り当てる 1 0 : P6_7に割り当てる 1 1 : 設定しないでください	R/W

INTSR0 レジスタは、 $\overline{\text{INT}}_i$ ($i = 1 \sim 3$) の入力をどの端子に割り当てるかを選択するレジスタです。 $\overline{\text{INT}}_i$ を使用する場合は、INTSR0 レジスタを設定してください。

$\overline{\text{INT}}_i$ の関連レジスタを設定する前に、INTSR0 レジスタを設定してください。また、 $\overline{\text{INT}}_i$ の動作中はINTSR0 レジスタの設定値を変更しないでください。

$\overline{\text{INT}}_0$ 、 $\overline{\text{INT}}_4$ は、INTSR0 レジスタに関係なく、それぞれP4_5、P6_5に割り当てられます。

14.5.16 入出力機能端子選択レジスタ (PINSR)

アドレス	002B9h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	IOINSEL	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	—	予約ビット	0にしてください	R/W	
b1	—			—	
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。			—
b3	IOINSEL	I/Oポート入力機能選択ビット	0：I/Oポートの入力機能はPDiレジスタ(i＝0～4、6、9)に依存。PDiレジスタのPDi_jビット(j＝0～7)が0(入力モード)のとき、端子の入力レベルが読める。 PDiレジスタのPDi_jビットが1(出力モード)のとき、ポートラッチの値が読める。 1：I/Oポートの入力機能はPDiレジスタに関係なく、端子の入力レベルが読める。	R/W	
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。			—
b5	—				
b6	—				
b7	—				

IOINSEL ビット (I/Oポート入力機能選択ビット)

IOINSEL ビットはPDi レジスタのPDi_jビットが1 (出力モード) のときに、Pi レジスタの読み出す値をポートラッチにするか、I/O ポートの端子の入力レベルにするかを選択するビットです。0 にするとポートラッチの値が読めます。1 にするとI/Oポートの端子の入力レベルが読めます。

表14.5にIOINSEL ビットによるI/Oポートの読み出し値を示します。IOINSEL ビットですべてのI/Oポートの入力機能を変更できます。

表14.5 IOINSEL ビットによるI/Oポートの読み出し値

PDiレジスタのPDi_jビット	0 (入力モード)		1 (出力モード)	
IOINSEL ビット	0	1	0	1
I/Oポート読み出し値	端子の入力レベル		ポートラッチの値	端子の入力レベル

i = 0~4、6、9、j = 0~7

14.5.17 プルアップ制御レジスタ 0 (PUR0)

アドレス	002C0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PUR07	PUR06	PUR05	PUR04	PUR03	PUR02	PUR01	PUR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PUR00	P0_0～P0_3のプルアップ	0 : プルアップなし 1 : プルアップあり(注1)	R/W
b1	PUR01	P0_4～P0_7のプルアップ		R/W
b2	PUR02	P1_0～P1_3のプルアップ		R/W
b3	PUR03	P1_4～P1_7のプルアップ		R/W
b4	PUR04	P2_0～P2_3のプルアップ		R/W
b5	PUR05	P2_4～P2_7のプルアップ		R/W
b6	PUR06	P3_0、P3_1、P3_3のプルアップ		R/W
b7	PUR07	P3_4、P3_5、P3_7のプルアップ		R/W

注1. このビットが1 (プルアップあり)かつポート方向ビットが0 (入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR0 レジスタの設定値が有効になります。

14.5.18 プルアップ制御レジスタ 1 (PUR1)

アドレス	002C1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	PUR15	PUR14	—	—	PUR11	PUR10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	PUR10	P4_3のプルアップ	0：プルアップなし	R/W	
b1	PUR11	P4_4～P4_7のプルアップ	1：プルアップあり(注1)	R/W	
b2	—	予約ビット	0にしてください	R/W	
b3	—				
b4	PUR14	P6_0～P6_3のプルアップ	0：プルアップなし	R/W	
b5	PUR15	P6_4～P6_7のプルアップ	1：プルアップあり(注1)	R/W	
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。			—
b7	—				

注1. このビットが1 (プルアップあり)かつポート方向ビットが0 (入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR1 レジスタの設定値が有効になります。

14.5.19 プルアップ制御レジスタ 2 (PUR2)

アドレス	002C2h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	PUR23	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	PUR23	P9_4～P9_7のプルアップ	0：プルアップなし 1：プルアップあり(注1)	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. このビットが1(プルアップあり)かつポート方向ビットが0(入力モード)の端子がプルアップされます。

入力として使用している端子は、PUR2レジスタの設定値が有効になります。

14.5.20 ポートP1駆動能力制御レジスタ (P1DDR)

アドレス	002C8h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P1DDR7	P1DDR6	P1DDR5	P1DDR4	P1DDR3	P1DDR2	P1DDR1	P1DDR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P1DDR0	P1_0の駆動能力	0：Low 1：High (注1)	R/W
b1	P1DDR1	P1_1の駆動能力		R/W
b2	P1DDR2	P1_2の駆動能力		R/W
b3	P1DDR3	P1_3の駆動能力		R/W
b4	P1DDR4	P1_4の駆動能力		R/W
b5	P1DDR5	P1_5の駆動能力		R/W
b6	P1DDR6	P1_6の駆動能力		R/W
b7	P1DDR7	P1_7の駆動能力		R/W

注1. H出力、L出力ともにHigh駆動能力に設定されます。

P1DDRレジスタはP1の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P1DDRjビット(j=0～7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P1DDRレジスタの設定値が有効になります。

14.5.21 ポートP2 駆動能力制御レジスタ (P2DRR)

アドレス	002C9h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	P2DRR7	P2DRR6	P2DRR5	P2DRR4	P2DRR3	P2DRR2	P2DRR1	P2DRR0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	P2DRR0	P2_0の駆動能力	0 : Low 1 : High (注1)	R/W
b1	P2DRR1	P2_1の駆動能力		R/W
b2	P2DRR2	P2_2の駆動能力		R/W
b3	P2DRR3	P2_3の駆動能力		R/W
b4	P2DRR4	P2_4の駆動能力		R/W
b5	P2DRR5	P2_5の駆動能力		R/W
b6	P2DRR6	P2_6の駆動能力		R/W
b7	P2DRR7	P2_7の駆動能力		R/W

注1. H出力、L出力ともにHigh駆動能力に設定されます。

P2DRR レジスタはP2の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するレジスタです。P2DRRjビット(j = 0～7)によって、1端子ごとに出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

出力として使用している端子は、P2DRR レジスタの設定値が有効になります。

14.5.22 駆動能力制御レジスタ 0 (DRR0)

アドレス	002CCh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DRR07	DRR06	—	—	—	—	DRR01	DRR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR00	P0_0～P0_3の駆動能力	0 : Low	R/W
b1	DRR01	P0_4～P0_7の駆動能力	1 : High (注1)	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	—			
b5	—			
b6	DRR06	P3_0、P3_1、P3_3の駆動能力	0 : Low	R/W
b7	DRR07	P3_4、P3_5、P3_7の駆動能力	1 : High (注1)	R/W

注1. H出力、L出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR0レジスタの設定値が有効になります。

DRR00 ビット (P0_0～P0_3の駆動能力)

DRR00ビットは、P0_0～P0_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR00ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR01 ビット (P0_4～P0_7の駆動能力)

DRR01ビットは、P0_4～P0_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR01ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR06 ビット (P3_0、P3_1、P3_3の駆動能力)

DRR06ビットは、P3_0、P3_1、P3_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR06ビットによって、3端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR07 ビット (P3_4、P3_5、P3_7の駆動能力)

DRR07ビットは、P3_4、P3_5、P3_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR07ビットによって、3端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

14.5.23 駆動能力制御レジスタ 1 (DRR1)

アドレス	002CDh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	DRR15	DRR14	—	—	DRR11	DRR10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRR10	P4_3の駆動能力	0 : Low	R/W
b1	DRR11	P4_4～P4_7の駆動能力	1 : High (注1)	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—			
b4	DRR14	P6_0～P6_3の駆動能力	0 : Low	R/W
b5	DRR15	P6_4～P6_7の駆動能力	1 : High (注1)	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

注1. H出力、L出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DRR1レジスタの設定値が有効になります。

DRR10ビット(P4_3の駆動能力)

DRR10ビットは、P4_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR10ビットによって、1端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR11ビット(P4_4～P4_7の駆動能力)

DRR11ビットは、P4_4～P4_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR11ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR14ビット(P6_0～P6_3の駆動能力)

DRR14ビットは、P6_0～P6_3の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR14ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

DRR15ビット(P6_4～P6_7の駆動能力)

DRR15ビットの、P6_4～P6_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DRR15ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

14.5.24 駆動能力制御レジスタ 2 (DDR2)

アドレス	002CEh							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	DDR23	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	—			
b3	DDR23	P9_4～P9_7の駆動能力	0 : Low 1 : High (注1)	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

注1. H出力、L出力ともにHigh駆動能力に設定されます。

出力として使用している端子は、DDR2 レジスタの設定値が有効になります。

DDR23ビット(P9_4～P9_7の駆動能力)

DDR23ビットは、P9_4～P9_7の出力トランジスタの駆動能力をLowにするか、Highにするかを選択するビットです。DDR23ビットによって、4端子の出力トランジスタの駆動能力をLowにするか、Highにするかを選択できます。

14.5.25 入力しきい値制御レジスタ 0 (VLT0)

アドレス 002D0h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	VLT07	VLT06	VLT05	VLT04	VLT03	VLT02	VLT01	VLT00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT00	P0の入力レベル選択ビット	b1 b0	R/W
b1	VLT01		0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b2	VLT02			
b3	VLT03	P1の入力レベル選択ビット	b3 b2	R/W
			0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b4	VLT04			
b5	VLT05	P2の入力レベル選択ビット	b5 b4	R/W
			0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W
b6	VLT06			
b7	VLT07	P3_0、P3_1、P3_3～P3_5、P3_7 の入力レベル選択ビット	b7 b6	R/W
			0 0 : 0.50 × VCC 0 1 : 0.35 × VCC 1 0 : 0.70 × VCC 1 1 : 設定しないでください	R/W

VLT0 レジスタはポート P0～P2、P3_0、P3_1、P3_3～P3_5、P3_7 の入力しきい値の電圧レベルを選択するレジスタです。VLT00～VLT07 ビットによって、8 端子ごとに入力しきい値を 3 種類の電圧レベル (0.35 VCC、0.50 VCC、0.70 VCC) から選択できます。

14.5.26 入力しきい値制御レジスタ 1 (VLT1)

アドレス	002D1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	VLT15	VLT14	—	—	VLT11	VLT10
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VLT10	P4_2～P4_7入力レベル選択ビット	b1 b0 0 0 : 0.50 × VCC	R/W
b1	VLT11		0 1 : 0.35 × VCC	R/W
			1 0 : 0.70 × VCC	
			1 1 : 設定しないでください	
b2	—	予約ビット	0にしてください	R/W
b3	—			
b4	VLT14	P6入力レベル選択ビット	b5 b4 0 0 : 0.50 × VCC	R/W
b5	VLT15		0 1 : 0.35 × VCC	R/W
			1 0 : 0.70 × VCC	
			1 1 : 設定しないでください	
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

VLT1 レジスタはポート P4_2～P4_7、P6 の入力しきい値の電圧レベルを選択するレジスタです。VLT10、VLT11、VLT14、VLT15ビットによって、入力しきい値を3種類の電圧レベル(0.35 VCC、0.50 VCC、0.70 VCC)から選択できます。

14.5.27 入力しきい値制御レジスタ 2 (VLT2)

アドレス	002D2h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	VLT23	VLT22	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			
b2	VLT22	P9_4～P9_7入力レベル選択ビット	b3 b2 0 0 : 0.50 × VCC	R/W
b3	VLT23		0 1 : 0.35 × VCC	R/W
			1 0 : 0.70 × VCC	
			1 1 : 設定しないでください	
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

VLT2レジスタはポート P9_4～P9_7の入力しきい値の電圧レベルを選択するレジスタです。VLT22、VLT23ビットによって、入力しきい値を3種類の電圧レベル(0.35 VCC、0.50 VCC、0.70 VCC)から選択できます。

14.5.28 ポートPi レジスタ (PORTi) (i = 0~4、6、9)

アドレス 002E0h (PORT0)、002E1h (PORT1)、002E4h (PORT2)、002E5h (PORT3 (注1))、
002E8h (PORT4 (注2))、002ECh (PORT6)、002F1h (PORT9 (注3))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	Pi_7	Pi_6	Pi_5	Pi_4	Pi_3	Pi_2	Pi_1	Pi_0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	Pi_0	ポートPi_0ビット	0 : Lレベル 1 : Hレベル	R/W
b1	Pi_1	ポートPi_1ビット		R/W
b2	Pi_2	ポートPi_2ビット		R/W
b3	Pi_3	ポートPi_3ビット		R/W
b4	Pi_4	ポートPi_4ビット		R/W
b5	Pi_5	ポートPi_5ビット		R/W
b6	Pi_6	ポートPi_6ビット		R/W
b7	Pi_7	ポートPi_7ビット		R/W

注1. P3_2、P3_6ビットは予約ビットです。

P3_2、P3_6ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

注2. P4_0~P4_1ビットは何も配置されていません。

P4_0~P4_1ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

注3. P9_0~P9_3ビットは予約ビットです。

P9_0~P9_3ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

外部とのデータ入出力は、PORTi レジスタへの読み出しと書き込みによって行います。PORTi レジスタは、出力データを保持するポートラッチと、端子の状態を読む回路で構成されています。ポートラッチに書いた値は端子から出力されます。PORTi レジスタの各ビットは、ポート1本ずつに対応しています。

Pi_j ビット (j = 0~7) (ポートPi_j ビット)

入力モードに設定したI/Oポートに対応するビットを読むと、端子のレベルが読めます。出力モードに設定したI/Oポートに対応するビットに書くと、端子のレベルを制御できます。

14.5.29 ポートPi方向レジスタ (PDi) (i = 0～4、6、9)

アドレス 002E2h (PD0 (注1))、002E3h (PD1)、002E6h (PD2)、002E7h (PD3 (注2))、002EAh (PD4 (注3))、002EEh (PD6)、002F3h (PD9 (注4))

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PDi_7	PDi_6	PDi_5	PDi_4	PDi_3	PDi_2	PDi_1	PDi_0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PDi_0	ポートPi_0方向ビット	0 : 入力モード(入力ポートとして機能) 1 : 出力モード(出力ポートとして機能)	R/W
b1	PDi_1	ポートPi_1方向ビット		R/W
b2	PDi_2	ポートPi_2方向ビット		R/W
b3	PDi_3	ポートPi_3方向ビット		R/W
b4	PDi_4	ポートPi_4方向ビット		R/W
b5	PDi_5	ポートPi_5方向ビット		R/W
b6	PDi_6	ポートPi_6方向ビット		R/W
b7	PDi_7	ポートPi_7方向ビット		R/W

注1. PD0レジスタは、PRCRレジスタのPRC2ビットを1(書き込み許可)にした次の命令で書いてください。

注2. PD3_2、PD3_6ビットは予約ビットです。

PD3_2、PD3_6ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

注3. PD4_0～PD4_2ビットは何も配置されていません。

PD4_0～PD4_2ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

注4. PD9_0～PD9_3ビットは予約ビットです。

PD9_0～PD9_3ビットに書く場合、0を書いてください。読んだ場合、その値は0です。

PDi レジスタはI/O ポートを入力で使用するか、出力で使用するか選択するためのレジスタです。
PDi レジスタの各ビットは、ポート1本ずつに対応しています。

14.5.30 端子選択レジスタで制御されない入出力端子

端子選択レジスタで制御されない入出力端子を以下に記載します。

- (1) クロック同期形シリアルインタフェース(SSU_1/IIC_1)の入出力端子

SCL_1 : P9_6

SDA_1 : P9_5

SSI_1 : P9_4

SCS_1 : P9_5

SSCK_1 : P9_6

SSO_1 : P9_7

- (2) キー入力割り込みの入力端子

KI0 : P1_0

KI1 : P1_1

KI2 : P1_2

KI3 : P1_3

- (3) CANの入出力端子

CTX_0 : P6_1

CRX_0 : P6_2

14.6 未使用端子の処理

表14.6に未使用端子の処理例を、図14.9に未使用端子の処理例を示します。

表14.6 未使用端子の処理例

端子名	処理内容
ポートP0、P1、P2、P3_0、 P3_1、P3_3～P3_5、P3_7、 P4_3～P4_7、P6、P9_4～P9_7	- 入力モードに設定し、端子ごとに抵抗を通して、VSSに接続(プルダウン) または端子ごとに抵抗を通して、VCCに接続(プルアップ)(注1) - 出力モードに設定し、端子を開放(注1、2)
ポートP4_2/VREF	VCCに接続
RESET (注3)	抵抗を通してVCCに接続(プルアップ)(注1)

注1. 未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2 cm以内)で処理してください。

注2. 出力モードに設定し開放する場合、プログラムによってポートを出力モードに切り替えるまで、ポートは入力になっています。そのため、端子の電圧レベルが不定になり、ポートが入力モードになっている期間、電源電流が増加する場合があります。

また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合は考慮し、プログラムで定期的な方向レジスタの内容を再設定すると、プログラムの信頼性が高くなります。

注3. パワーオンリセット使用時。

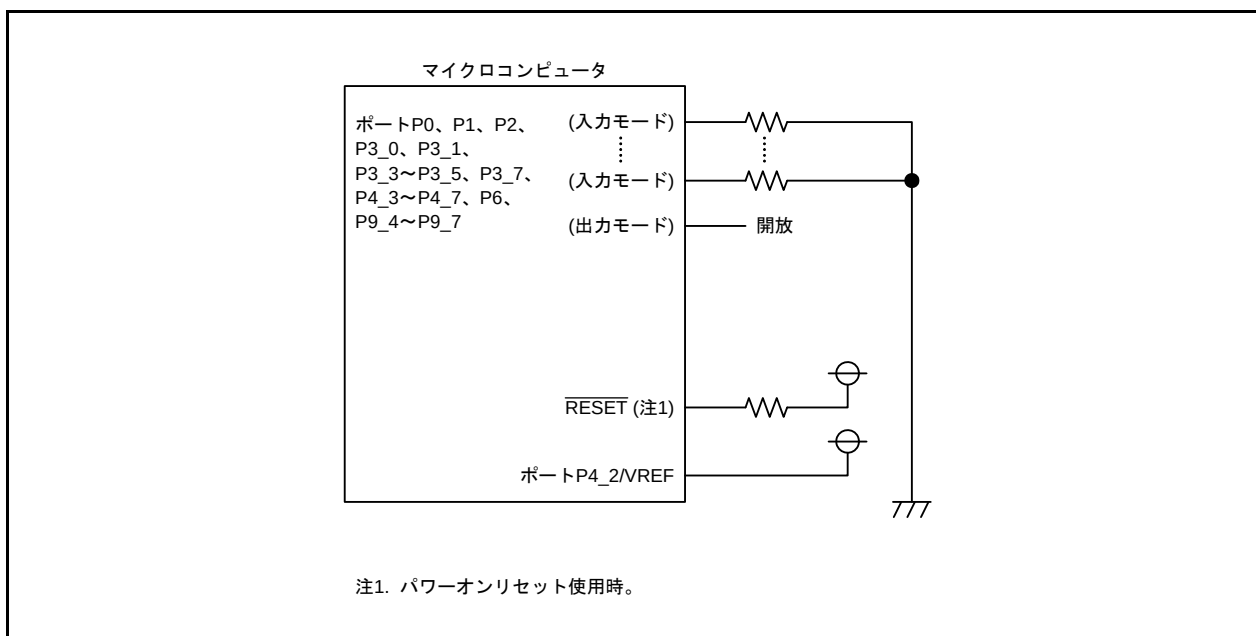


図14.9 未使用端子の処理例

15. タイマRJ

タイマRJはパルス出力、外部入力のパルス幅/周期測定、内部カウントソースまたは外部パルスをカウントできる16ビットタイマです。

タイマRJは同機能を持つタイマRJ_0、タイマRJ_1の2本内蔵されています。特に差異がない限り、本章ではタイマRJとして説明します。タイマRJはリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは同じ番地に配置されます。

15.1 概要

表15.1にタイマRJの仕様を、図15.1にタイマRJのブロック図(i = 1, 2)を示します。

表15.1 タイマRJの仕様

項目		内容
動作モード	タイマモード	内部カウントソースをカウントする
	パルス出力モード	内部カウントソースをカウントし、タイマのアンダフローで、極性を反転したパルスを出力する
	イベントカウンタモード	外部パルスをカウントする
	パルス幅測定モード	外部入力のパルス幅を測定する
	パルス周期測定モード	外部入力のパルス周期を測定する
カウントソース		f1、f2、f8、fOCO、ELCからのイベント入力、および外部パルスから選択可能
割り込み		• カウンタがアンダフローしたとき • パルス幅測定モードで、外部入力(TRJIO)の有効幅の測定を完了したとき • パルス周期測定モードで、外部入力(TRJIO)の設定エッジが入力されたとき
選択機能		• ハードウェアLINモジュールとの連携 ハードウェアLINモジュールから入力によるカウンタのリロード動作可能 • イベントリンクコントローラ(ELC)との連携 カウントソースにELCからのイベント入力を選択可能

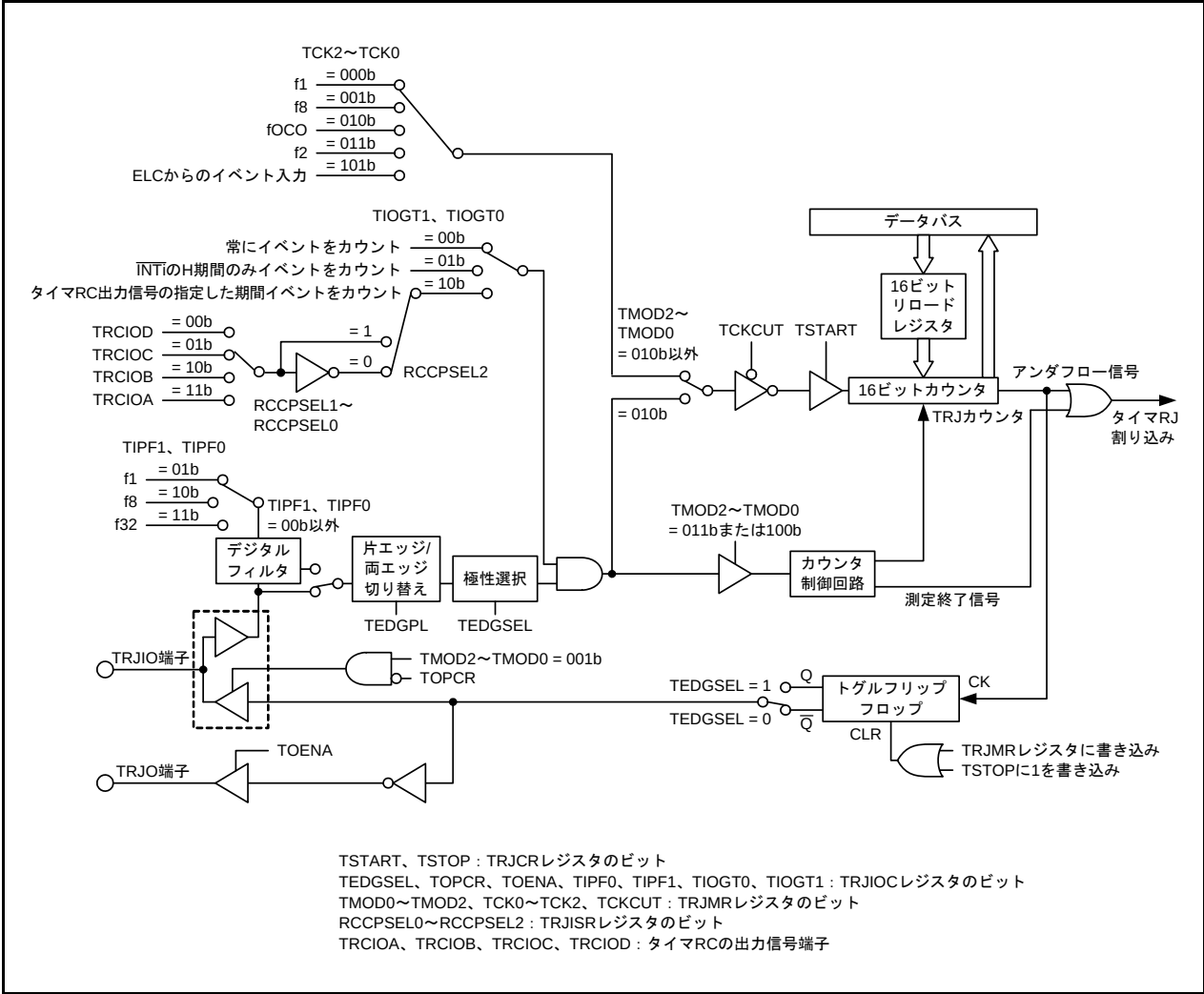


図 15.1 タイマRJのブロック図 (i = 1, 2)

15.2 入出力端子

表 15.2 にタイマ RJ の端子構成を示します。

表 15.2 タイマ RJ の端子構成

端子名	入出力	機能
INT1	入力	タイマ RJ_0 のイベントカウンタモード制御
INT2	入力	タイマ RJ_1 のイベントカウンタモード制御
TRJIO (注1)	入出力	タイマ RJ の外部パルス入力、パルス出力
TRJO (注1)	出力	タイマ RJ のパルス出力

注1. TRJIO と TRJO が同時にパルス出力する場合、TRJIO は TRJO の反転出力となります。

15.3 レジスタの説明

表15.3にタイマRJのレジスタ構成を示します。

表15.3 タイマRJのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRJ_0カウンタレジスタ	TRJ_0	FFFFh	00110h	16
タイマRJ_0制御レジスタ	TRJCR_0	00h	00112h	8
タイマRJ_0 I/O制御レジスタ	TRJIOC_0	00h	00113h	8
タイマRJ_0モードレジスタ	TRJMR_0	00h	00114h	8
タイマRJ_0イベント端子選択レジスタ	TRJISR_0	00h	00115h	8
タイマRJ_1カウンタレジスタ	TRJ_1	FFFFh	00118h	16
タイマRJ_1制御レジスタ	TRJCR_1	00h	0011Ah	8
タイマRJ_1 I/O制御レジスタ	TRJIOC_1	00h	0011Bh	8
タイマRJ_1モードレジスタ	TRJMR_1	00h	0011Ch	8
タイマRJ_1イベント端子選択レジスタ	TRJISR_1	00h	0011Dh	8

15.3.1 タイマRJカウンタレジスタ (TRJ)

アドレス 00110h (TRJ_0)、00118h (TRJ_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	機能	設定範囲	R/W
b15～b0	—	16ビットのカウンタおよびリロードレジスタです。(注1、2)	0001h～FFFFh	R/W

注1. TRJCRレジスタのTSTOPビットに1を書くと、16ビットカウンタは強制停止し、FFFFhになります。

注2. TRJレジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

16ビットのレジスタです。書くとリロードレジスタに書き込まれ、読むとカウンタの値が読み出されます。

なお、TRJレジスタへの書き込みは、TRJCRレジスタのTCSTFビットの値により、リロードレジスタとカウンタへの反映の仕方が変わります。詳細は「15.4.1 リロードレジスタとカウンタの書き換え動作」を参照してください。

15.3.2 タイマRJ制御レジスタ (TRJCR)

アドレス 00112h (TRJCR_0)、0011Ah (TRJCR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRJカウント開始ビット (注1)	0 : カウント停止 1 : カウント開始	R/W
b1	TCSTF	タイマRJカウントステータスフラグ (注1)	0 : カウント停止 1 : カウント中	R
b2	TSTOP	タイマRJカウント強制停止ビット (注2)	1を書くと、カウント強制停止。 読んだ場合、その値は0。	W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	TEDGF	有効エッジ判定フラグ (注3)	0 : 有効エッジなし 1 : 有効エッジあり	R/W
b5	TUNDF	タイマRJアンダフローフラグ (注3)	0 : アンダフローなし 1 : アンダフローあり	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

注1. TSTART、TCSTFビットの使用上の注意は「15.5 タイマRJ使用上の注意事項の(2)」を参照してください。

注2. TSTOPビットに1(カウント強制停止)を書くと、同時にTSTART、TCSTFビットが初期化されます。また、パルス出力レベルも初期化されます。

注3. TRJCR レジスタは、MOV 命令を使用して書いてください。TRJCR レジスタにリードモディファイライト命令を実行すると、タイミングによってはTEDGF、TUNDFビットを0にする場合があります。

TSTARTビット(タイマRJカウント開始ビット)

TSTART ビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。TSTART ビットを1(カウント開始)にすると、カウントソースに同期してTCSTF ビットが1(カウント中)になります。また、TSTART ビットに0を書き込み後、カウントソースに同期してTCSTF ビットが0(カウント停止)になります。詳細は「15.5 タイマRJ使用上の注意事項の(2)」を参照してください。

TCSTFビット(タイマRJカウントステータスフラグ)

[0になる条件]

- TSTART ビットに0を書いたとき(カウントソースに同期して0になる)
- TSTOP ビットに1を書いたとき

[1になる条件]

- TSTART ビットに1を書いたとき(カウントソースに同期して1になる)

TEDGFビット(有効エッジ判定フラグ)

[0になる条件]

- プログラムで0を書いたとき

[1になる条件]

- パルス幅測定モードで、外部入力(TRJIO)の有効幅の測定を完了したとき
- パルス周期測定モードで、外部入力(TRJIO)の設定エッジが入力されたとき

TUNDFビット(タイマRJアンダフローフラグ)

[0になる条件]

- プログラムで0を書いたとき

[1になる条件]

- カウンタがアンダフローしたとき

15.3.3 タイマ RJ I/O 制御レジスタ (TRJIOC)

アドレス 00113h (TRJIOC_0)、0011Bh (TRJIOC_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIOGT1	TIOGT0	TIPF1	TIPF0	TIOSEL	TOENA	TOPCR	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	入出力極性切り替えビット	動作モードによって機能が異なる (表 15.4、表 15.5 参照)	R/W
b1	TOPCR	TRJIO 出力制御ビット (注 1)	0 : TRJIO 出力許可 (トグル出力開始) 1 : TRJIO 出力禁止 (トグル出力停止)	R/W
b2	TOENA	TRJO 出力許可ビット	0 : TRJO 出力禁止 (ポート) 1 : TRJO 出力許可	R/W
b3	TIOSEL	イベント入力選択ビット	0 : TRJIO 端子から入力 1 : ハードウェア LIN から入力	R/W
b4	TIPF0	TRJIO 入力フィルタ選択ビット	b5 b4 0 0 : フィルタなし 0 1 : フィルタあり、f1 でサンプリング 1 0 : フィルタあり、f8 でサンプリング 1 1 : フィルタあり、f32 でサンプリング	R/W
b5	TIPF1			R/W
b6	TIOGT0	TRJIO カウント制御ビット (注 2、3)	b7 b6 0 0 : イベントをカウント 0 1 : INTi (i = 1、2) の H 期間のみイベントをカウント 1 0 : TRJISR レジスタの RCCPSEL ビットで指定したタイマ RC 出力信号の期間イベントをカウント 1 1 : 設定しないでください	R/W
b7	TIOGT1			R/W

注 1. TOPCR ビットはパルス出力モードのみ有効です。パルス出力モードでは 0 のとき、反転出力となり、1 に設定すると出力禁止になり、TRJIO 機能として選択したポートはハイインピーダンス状態になります。

TOPCR ビットは、TRJMR レジスタの設定完了後に設定してください。

注 2. タイマ RC 出力信号使用時、RCCPSEL2 ビットにてイベントをカウントする期間を選択できます。

注 3. TIOGT0、TIOGT1 ビットはイベントカウンタモードでのみ有効です。

TEDGSEL ビット (入出力極性切り替えビット)

TEDGSEL ビットは、TRJO 出力極性と TRJIO 入出力のエッジおよび極性切り替えを設定します。パルス出力モードでは、TRJO 出力および TRJIO 出力の極性のみ制御します。TRJO 出力および TRJIO 出力は、TRJMR レジスタに書いたとき、または TRJCR レジスタの TSTOP ビットに 1 を書いたときに初期化されます。

表 15.4 TRJIO 入出力のエッジおよび極性切り替え

動作モード	機能
タイマモード	未使用 (I/O ポート)
パルス出力モード	0 : H から出力開始 (初期化レベル H) 1 : L から出力開始 (初期化レベル L)
イベントカウンタモード	0 : 立ち上がりエッジでカウント 1 : 立ち下がりエッジでカウント
パルス幅測定モード	0 : L レベル幅を測定 1 : H レベル幅を測定
パルス周期測定モード	0 : 測定パルスの立ち上がりから立ち上がり間測定 1 : 測定パルスの立ち下がりから立ち下がり間測定

表 15.5 TRJO 出力極性切り替え

動作モード	機能
全モード	0 : L から出力開始 (初期化レベル L) 1 : H から出力開始 (初期化レベル H)

TOPCR ビット (TRJIO 出力制御ビット)

TOPCR ビットはパルス出力モードのみ有効です。0 にすると TRJIO 端子からパルス出力できます。1 にすると出力禁止となり、TRJIO 機能として選択したポートは、ハイインピーダンス状態になります。

その他の動作モードでは、TOPCR ビットの設定にかかわらず、表 15.6 に示す機能を持ちます。

表 15.6 TRJIO 端子機能

動作モード	機能
タイマモード	未使用 (I/O ポート)
イベントカウンタモード	イベントカウント入力 (カウントソース入力)
パルス幅測定モード	パルス幅測定の入力
パルス周期測定モード	パルス周期測定の入力

TIOSEL ビット (イベント入力選択ビット)

ハードウェア LIN として使用する場合、TIOSEL ビットを 1 にしてください。

TIPF0、TIPF1 ビット (TRJIO 入力フィルタ選択ビット)

TRJIO 入力のフィルタのサンプリング周波数を指定します。TRJIO 端子からの入力をサンプリングして、その値が 3 回連続して一致したとき、入力が確定します。

15.3.4 タイマRJモードレジスタ (TRJMR)

アドレス 00114h (TRJMR_0)、0011Ch (TRJMR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	TEDGPL	TMOD2	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRJ動作モード選択ビット	b2 b1 b0	R/W
b1	TMOD1		0 0 0 : タイマモード	R/W
b2	TMOD2		0 0 1 : パルス出力モード	R/W
			0 1 0 : イベントカウンタモード	
		0 1 1 : パルス幅測定モード		
		1 0 0 : パルス周期測定モード		
		上記以外 : 設定しないでください		
b3	TEDGPL	TRJIOエッジ極性選択ビット(注1)	0 : 片エッジ 1 : 両エッジ	R/W
b4	TCK0	タイマRJカウントソース選択ビット (注2、3)	b6 b5 b4	R/W
b5	TCK1		0 0 0 : f1	R/W
b6	TCK2		0 0 1 : f8	R/W
			0 1 0 : fOCO	
		0 1 1 : f2		
		1 0 0 : 設定しないでください		
		1 0 1 : イベントリンクコントローラ(ELC)からのイベント入力		
		上記以外 : 設定しないでください		
b7	TCKCUT	タイマRJカウントソース遮断ビット (注3)	0 : カウントソース供給 1 : カウントソース遮断	R/W

注1. TEDGPL ビットはイベントカウンタモードでのみ有効です。

注2. イベントカウンタモードを選択すると、TCK0～TCK2 ビットの設定にかかわらず、カウントソースは外部入力 (TRJIO) が選択されます。

注3. カウント中にカウントソースの切り替えまたは遮断をしないでください。カウントソースの切り替えまたは遮断をするときは、TRJCR レジスタの TSTART ビットを0 (カウント停止)、TCSTF ビットを0 (カウント停止) にし、タイマのカウントを停止してください。

カウント停止 (TSTART ビットが0、かつ TCSTF ビットが0) 時に動作モードを選択してください。

TRJMR レジスタに書き込むと、トグルフリップフロップは初期化されます。初期化時の出力レベルは、「15.3.3 タイマRJ I/O 制御レジスタ (TRJIOC)」の TEDGSEL ビットの説明を参照してください。

15.3.5 タイマRJイベント端子選択レジスタ (TRJISR)

アドレス 00115h (TRJISR_0)、0011Dh (TRJISR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	RCCPSEL2	RCCPSEL1	RCCPSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RCCPSEL0	タイマRC出力信号選択ビット	b1 b0	R/W
b1	RCCPSEL1		0 0 : TRCIOD	R/W
			0 1 : TRCIOC	
			1 0 : TRCIOB	
			1 1 : TRCIOA	
b2	RCCPSEL2	タイマRC出力信号反転ビット	0 : タイマRC出力信号のL期間をカウント 1 : タイマRC出力信号のH期間をカウント	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

イベントカウンタモードで使用します。TRJIOC レジスタの TIOGT1、TIOGT0 ビットに 10b (RCCPSEL0、RCCPSEL1 ビットで指定したタイマRC出力信号の期間イベントをカウント) の場合のみ有効です。

タイマRCからのイベント入力とタイマRJ_0との接続を以下に示します。

- タイマRC_0→タイマRJ_0

15.4 動作説明

15.4.1 リロードレジスタとカウンタの書き換え動作

リロードレジスタとカウンタへの書き換え動作は、動作モードにかかわらず TRJCR レジスタの TSTART ビットの値によりタイミングが変わります。TSTART ビットが 0 (カウント停止) のときは、直接リロードレジスタに書き込まれた後、システムクロック (f) に同期してカウンタに書き込まれます。TSTART ビットが 1 (カウント開始) のときは、カウントソースの 3 サイクル後に同期してリロードレジスタに書き込まれた後、次のカウントソースに同期してカウンタに書き込まれます。

図 15.2 に TSTART ビットの値による書き換え動作のタイミング図を示します。

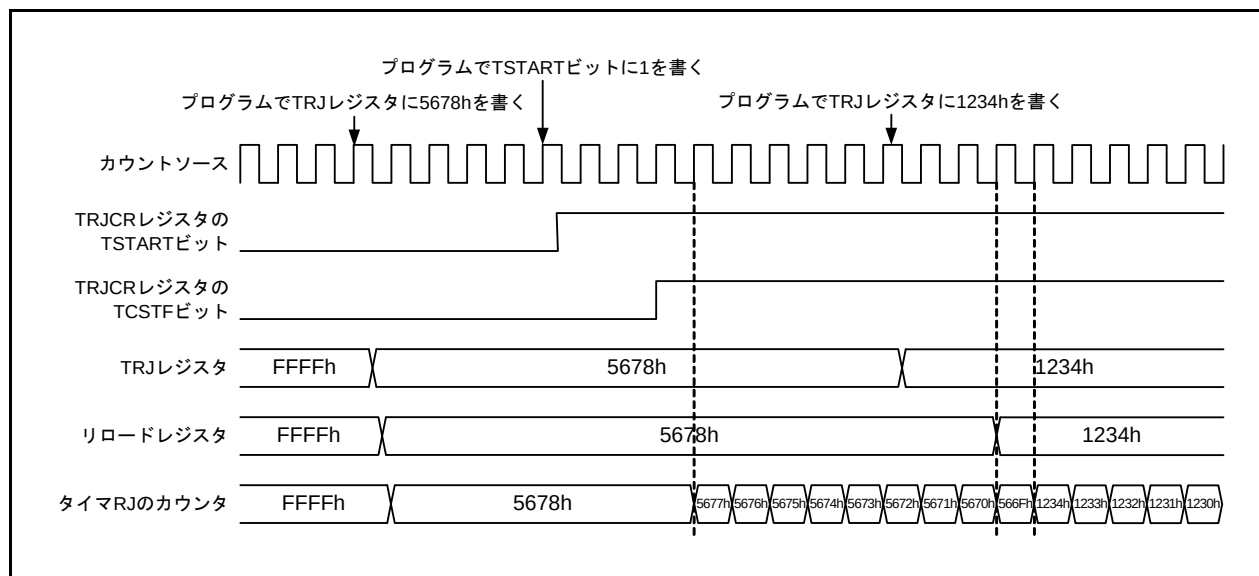


図 15.2 TSTART ビットの値による書き換え動作のタイミング図

15.4.2 タイマモード

TRJMR レジスタの TCK0～TCK2 ビットにより選択されたカウントソースで、ダウンカウントするモードです。

タイマモードでは、カウントソースが入力されるごとにカウント値が1だけ減少し、カウント値が 0000h になった後、次のカウントソースが入力されると、リロードレジスタに設定した値がロードされ、アンダフローが発生し割り込みが発生します。

図 15.3 にタイマモードの動作タイミング例を示します。

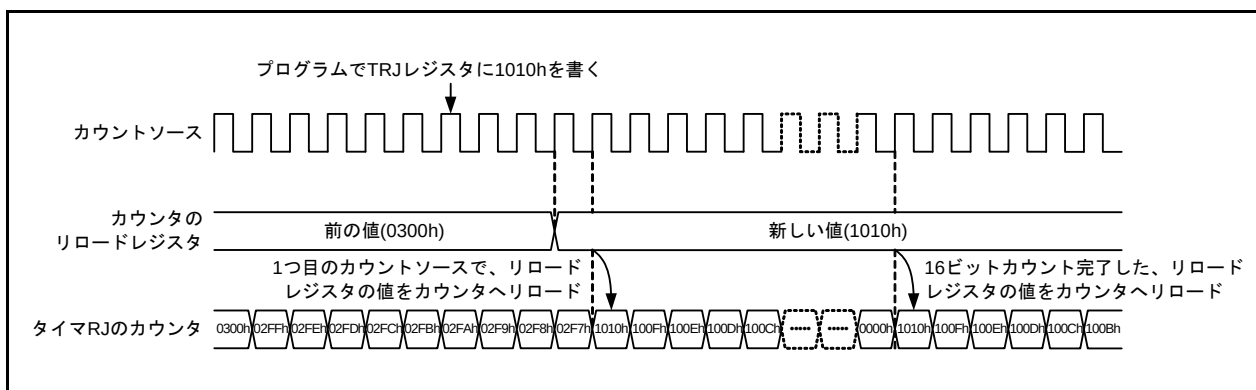


図 15.3 タイマモードの動作タイミング例

15.4.3 パルス出力モード

TRJMR レジスタのTCK0～TCK2 ビットにより選択されたカウントソースでダウンカウントし、パルスをTRJIO 端子から出力するモードです。アンダフローが発生すると出力レベルを反転します。

パルス出力モードでは、カウントソースが入力されるごとにカウント値が1だけ減少し、カウント値が0000h になった後、次のカウントソースが入力されると、リロードレジスタに設定した値がロードされ、アンダフローが発生し割り込みが発生します。

また、TRJIO 端子と TRJO 端子の2 端子からパルス出力が可能で、アンダフローが発生するごとに出力レベルを反転します。TRJIO 端子については、TRJIOC レジスタのTOPCR ビットによりパルス出力を停止できます。

なお、出力レベルを TRJIOC レジスタのTEDGSEL ビットにより選択できます。

図15.4にTEDGSEL ビットが0のときのパルス出力モードの動作タイミング例を示します。

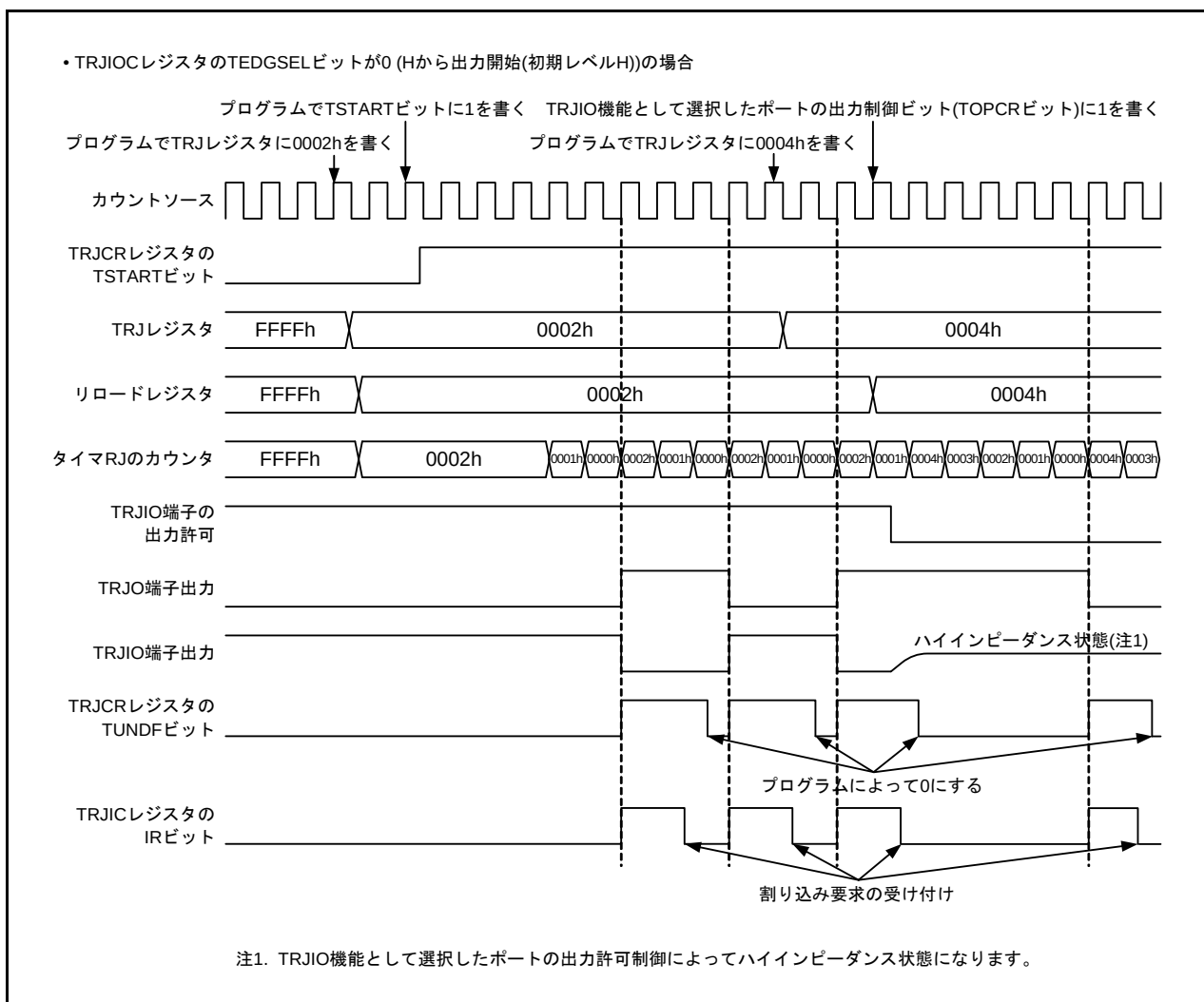


図15.4 パルス出力モードの動作タイミング例

15.4.4 イベントカウンタモード

TRJIO 端子から入力される外部パルス信号をダウンカウントするモードです。

イベントカウントする期間を、TRJIOC レジスタの TIOGT0、TIOGT1 ビットおよび TRJISR レジスタにより各種設定ができます。また、TRJIO 入力のフィルタ機能を TRJIOC レジスタの TIPF0、TIPF1 ビットで指定できます。

なお、イベントカウンタモードでも TRJO 端子からトグル出力ができます。

イベントカウンタモードを使用する場合、「15.5 タイマRJ使用上の注意事項の(3)」を参照してください。

図 15.5 にイベントカウンタモードの動作タイミング例(1)を示します。

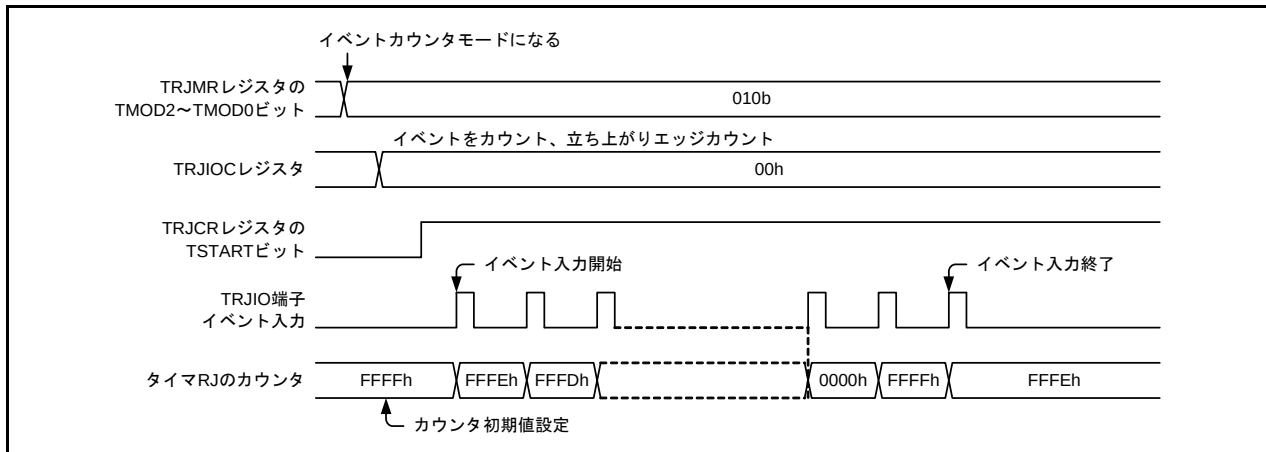


図 15.5 イベントカウンタモードの動作タイミング例(1)

イベントカウンタモードで指定期間カウントする場合 (TRJIOC レジスタ TIOGT0、TIOGT1 ビットが 01b または 10b) の動作例を図 15.6 に示します。

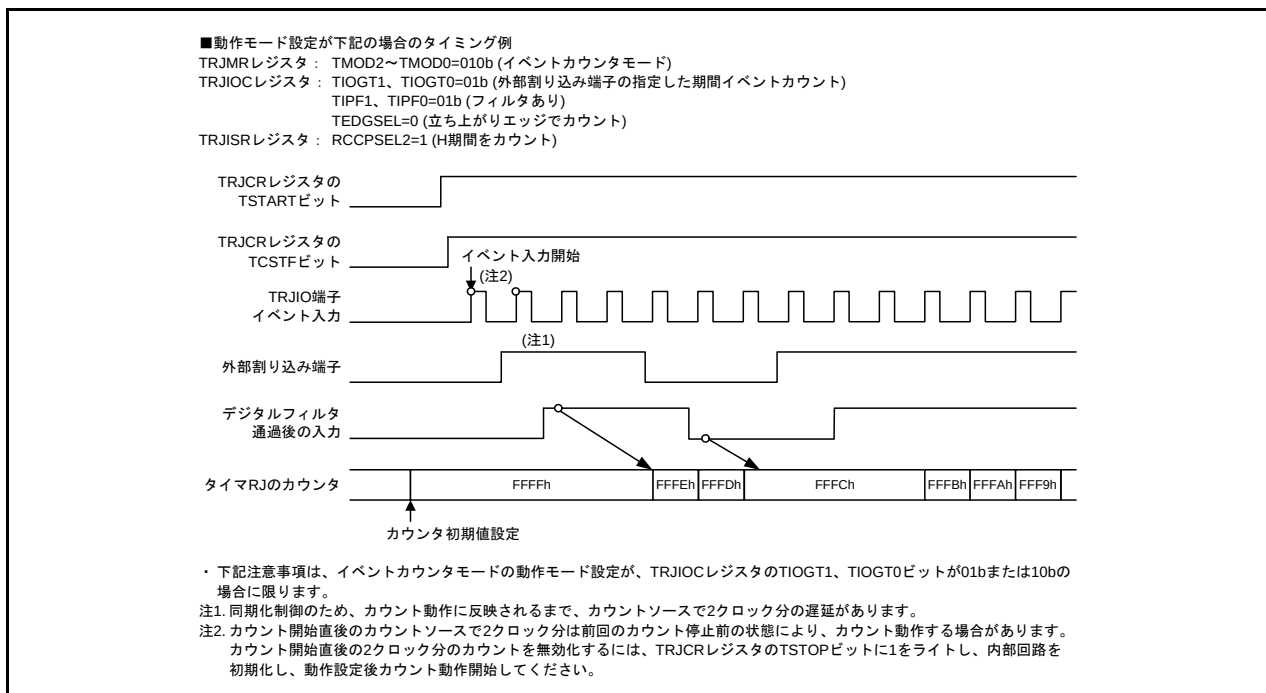


図 15.6 イベントカウンタモードの動作タイミング例(2)

図 15.6 の動作例は外部割り込み端子の指定した期間の動作例ですが、PWM 入力の指定した期間の場合も同様のタイミングとなります。

15.4.5 パルス幅測定モード

TRJIO 端子から入力される外部信号のパルス幅を測定するモードです。

パルス幅測定モードでは、TRJIO 端子に TRJIOC レジスタの TEDGSEL ビットで指定したレベルが入力されると、選択したカウントソースでダウンカウントを開始します。TRJIO 端子が指定したレベルが終了するとカウンタは停止し、TRJCR レジスタの TEDGF ビットが1 (有効エッジあり) になり割り込みが発生します。パルス幅データの測定は、カウンタが停止中にカウンタ値を読み出すことで行います。また、測定中にカウンタがアンダフローすると、TRJCR レジスタの TUNDF ビットが1 (アンダフローあり) となり、割り込みが発生します。

図 15.7 にパルス幅測定モードの動作タイミング例を示します。

TRJCR レジスタの TEDGF、TUNDF ビットをアクセスする場合、「15.5 タイマ RJ 使用上の注意事項の(4)」を参照してください。

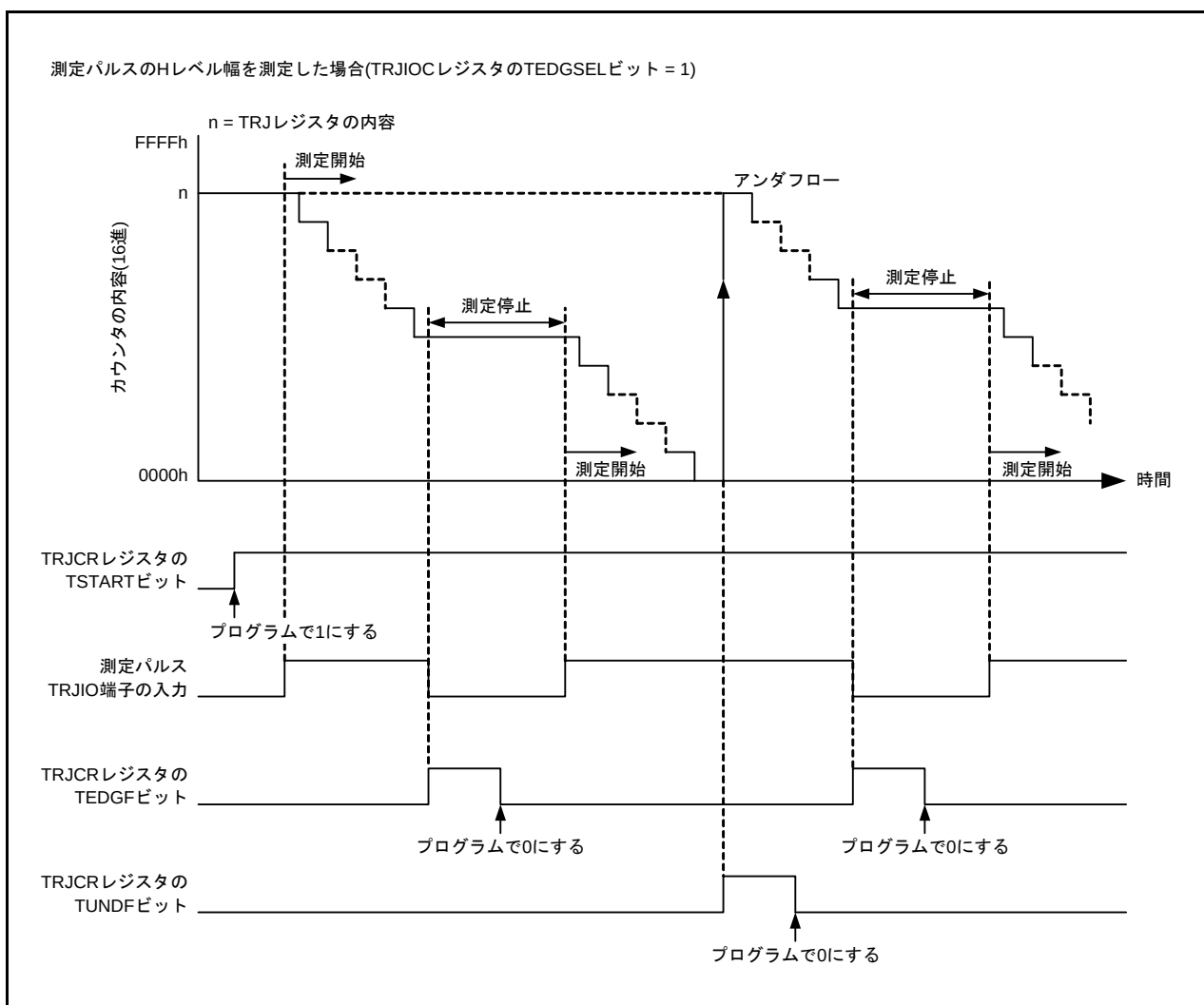


図 15.7 パルス幅測定モードの動作タイミング例

15.4.6 パルス周期測定モード

TRJIO 端子から入力する外部信号のパルス周期を測定するモードです。

TRJMR レジスタの TCK0～TCK2 ビットにより選択されたカウントソースで、カウンタはダウンカウントします。TRJIO 端子に TRJIOC レジスタの TEDGSEL ビットで指定した期間のパルスが入力されると、カウントソースの立ち上がりでカウンタ値が読み出し用バッファに転送されます。次のカウントソースの立ち上がりで、リロードレジスタ値がカウンタにロードされます。同時に TRJCR レジスタの TEDGF ビットが 1 (有効エッジあり) となり、割り込みが発生します。このときに読み出し用バッファ (TRJ レジスタ) を読み出し、リロード値との差が入力パルスの周期データとなります。なお、周期データは読み出し用バッファを読み出すまで保持されます。カウンタがアンダフローすると、TRJCR レジスタの TUNDF ビットが 1 (アンダフローあり) となり、割り込みが発生します。

図 15.8 にパルス周期測定モードの動作タイミング例を示します。

カウントソースより 2 倍長い周期のパルスを入力してください。また、L 幅と H 幅のそれぞれが、カウントソースの周期より長いパルスを入力してください。これらの条件より短い周期および幅のパルスが入力された場合、その入力は無視されることがあります。

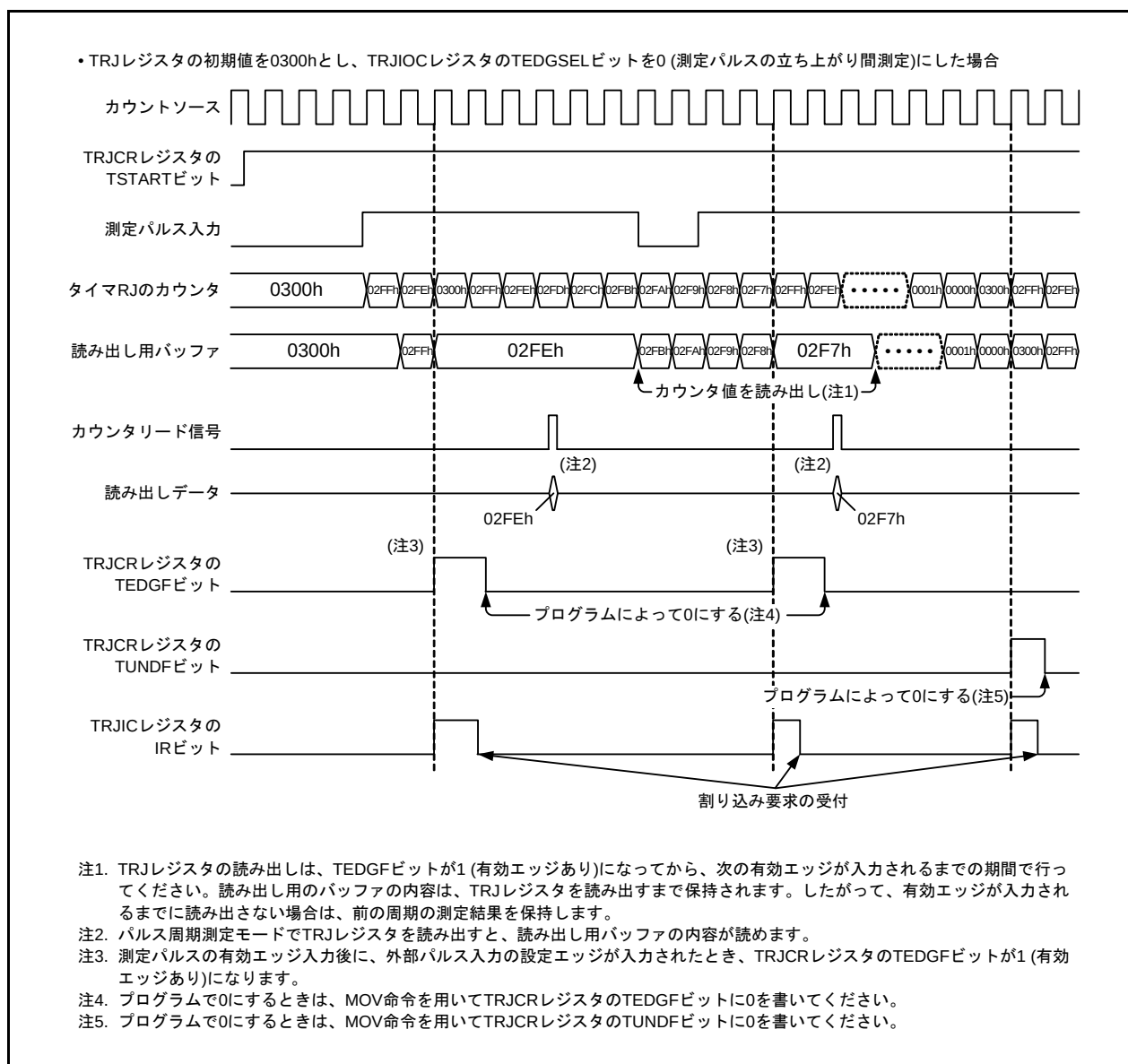


図 15.8 パルス周期測定モードの動作タイミング例

15.4.7 イベントリンクコントローラ(ELC)との連携による動作

ELC との連携により、カウンタのカウントソースに ELC からイベント入力を設定することができます。TRJMR レジスタの TCK0～TCK2 ビットにて、ELC からイベント入力の立ち上がりでカウントします。

ELC 設定手順を以下に示します。

・動作開始手順

- (1) イベントリンクコントローラ (ELC) のイベント出力先選択レジスタ (ELSEL_{Rn}) を設定する。
- (2) イベント発生元の動作モードを設定する。
- (3) タイマRJ のモードを設定する。
- (4) タイマRJ のカウント動作を開始する。
- (5) イベント発生元の動作を開始する。

・動作停止手順

- (1) イベント発生元の動作を停止させる。
- (2) タイマRJ のモードのカウント動作を停止させる。
- (3) イベントリンクコントローラ (ELC) のイベント出力先選択レジスタ (ELSEL_{Rn}) を 0 に設定する。

ELC モジュールとの連携動作の場合、「15.5 タイマRJ 使用上の注意事項の (12)」を参照してください。

15.4.8 各モードの入出力設定

表 15.7、表 15.8 に各モード時の TRJO、TRJIO 端子状態を示します。

表 15.7 TRJO 端子設定 (TOENA ビットが有効の場合) (注1)

動作モード	TRJIOC レジスタ		TRJO 端子出力
	TOENA ビット	TEDGSEL ビット	
全モード	1	1	反転出力
		0	正転出力
	0	0 または 1	出力禁止

注1. 外部端子として TRJO、TRJIO を設定する場合、タイマRJ の制御レジスタ (上記) 以外に、TRJ_0SR レジスタ、TRJ_1SR レジスタの設定が必要です。詳細は「14. I/O ポート」を参照してください。

表 15.8 TRJIO 端子設定 (注1)

動作モード	TRJIOC レジスタ		TRJIO 端子入出力
	TOPCR ビット	TEDGSEL ビット	
タイマモード	0 または 1	0 または 1	入力
パルス出力モード	1	0 または 1	出力禁止
	0	1	正転出力
		0	反転出力
イベントカウンタモード	0 または 1	0 または 1	入力
パルス幅測定モード			
パルス周期測定モード			

注1. 外部端子として TRJO、TRJIO を設定する場合、タイマRJ の制御レジスタ (上記) 以外に、TRJ_0SR レジスタ、TRJ_1SR レジスタの設定が必要です。詳細は「14. I/O ポート」を参照してください。

15.5 タイマRJ使用上の注意事項

- (1) リセット後、タイマはカウントを停止しています。タイマRJ関連レジスタ(注1)の値を設定した後、カウントを開始してください。

注1. タイマRJ関連レジスタ : TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (2) カウント停止中のレジスタアクセスについては、タイマのモードによって以下の制限があります。

• イベントカウンタモード

カウント停止中に TRJCR レジスタの TSTART ビットに 1 (カウント開始) を書いた後は、CPU クロックの 2 サイクルの間、TRJCR レジスタの TCSTF ビットは 0 (カウント停止) になっています。TCSTF ビットが 1 (カウント中) になるまで、TRJCR レジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。TCSTF ビットが 1 になった後、最初のカウントソースの有効エッジからカウントを開始します。

カウント中に TSTART ビットに 0 (カウント停止) を書いた後は、CPU クロックの 2 サイクルの間、TCSTF ビットは 1 になっています。TCSTF ビットが 0 になったとき、カウントは停止します。TCSTF ビットが 0 になるまで、TRJCR レジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。TRJ レジスタへの書き込みは、TRJIO 端子が非アクティブレベル(TRJIOC レジスタの TEDGSEL ビットが 0 の場合は Low レベル、1 の場合は High レベル)になるまで無効となります。この場合 TRJ レジスタを変更する場合には以下の手順を行ってください。

- ① TSTART ビットに 0 を書き込み、カウント停止
- ② TCSTF ビットが 0 になるまでウェイト
- ③ TRJIOC レジスタの TIPF1、TIPF0 ビットに 00b (フィルタなし) を設定(デジタルフィルタ未使用の場合は不要)
- ④ TEDGSEL ビットへ 1→0 書き込み
- ⑤ TEDGSEL ビットに元の値(④の手順実行前の値)を設定
(④の手順実行前の値が 0 であれば⑤の手順は不要)
- ⑥ TIPF1、TIPF0 ビットに元の値(③の手順実行前の値)を設定
(デジタルフィルタ未使用の場合は不要)
- ⑦ TRJ レジスタへアクセス

• イベントカウンタモード以外

カウント停止中に TSTART ビットに 1 (カウント開始) を書いた後は、カウントソースの 3 サイクルの間、TCSTF ビットは 0 (カウント停止) になっています。TCSTF ビットが 1 (カウント中) になるまで、TRJCR レジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。TCSTF ビットが 1 になった後、最初のカウントソースの有効エッジからカウントを開始します。

カウント中に TSTART ビットに 0 (カウント停止) を書いた後は、カウントソースの 3 サイクルの間、TCSTF ビットは 1 になっています。TCSTF ビットが 0 になったとき、カウントは停止します。TCSTF ビットが 0 になるまで、TRJCR レジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。

注1. タイマRJ関連レジスタ : TRJIOC、TRJMR、TRJ、TRJISR

- (3) イベントカウンタモードのとき、TRJCR レジスタの TSTART ビットを 1 (カウント開始) に設定後、TCSTF ビットが 1 になってから外部パルスを入力してください。

- (4) パルス幅測定モードおよびパルス周期測定モードで使用するTRJCRレジスタのTEDGF、TUNDFビットは、プログラムで0を書くと0になりますが、1を書いても変化しません。TRJCRレジスタにビット操作命令を使用した場合、命令実行中にTEDGFビットが1(有効エッジあり)、TUNDFビットが1(アンダフローあり)になっても、タイミングによってTEDGF、TUNDFビットを誤って0にする場合があります。
- これを避けるためには、TEDGF、TUNDFビットをMOV命令で1にしてください。
- (5) タイマRJカウント停止状態でのタイマRJ関連レジスタ(注1)の書き込みと読み出しの間に、NOP命令を2つ入れてください。

注1. タイマRJ関連レジスタ : TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (6) TRJCRレジスタのTSTARTビットが1(カウント開始)かつTCSTFビットが1(カウント中)の場合、TRJレジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。
- (7) 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットとTUNDFビットに0を書いてから、タイマRJのカウントを開始してください。
- (8) 消費電流を低減するために、TRJCRのTSTARTビットおよびTCSTFビットが0(カウント停止)のとき、モジュールスタンバイに切り替えてください。モジュールスタンバイの切り替えビットについては、「10.2.9 モジュールスタンバイコントロールレジスタ2(MSTCR2)」を参照してください。
- (9) パルス幅測定モードまたはパルス周期測定モードを使用する場合では、次の順序で設定してください。
- ①タイマRJ関連レジスタ(注1)を設定する。
 - ②TSTARTビットに1(カウント開始)を設定後、TCSTFビットが1(カウント中)になるのを待つ。
 - ③外部イベントを入力する。

注1. タイマRJ関連レジスタ : TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (10) パルス周期測定モードでは、最初の測定完了による処理は無効としてください(2回目以降から測定値有効です)。
- (11) TRJレジスタへの0000hの設定は禁止です。
- (12) パルス幅測定モード、イベントカウンタモードの場合、カウントソースはイベントリンクコントローラ(ELC)からのイベントを選択しないでください。
- (13) パルス出力モードのとき、TRJIOCレジスタのTOPCRビットはTRJMRレジスタの設定後に設定してください。
- (14) タイマRJの動作モード関連レジスタ(TRJIOC、TRJMR、TRJISR)の変更は、カウント停止時(TRJCRレジスタのTSTARTビットとTCSTFビットがともに0(カウント停止))のみ可能です。カウント動作中には変更しないでください。
- 対象 : タイマRJの全動作モード

16. タイマRB2

タイマRB2は、8ビットプリスケアラ付き8ビットタイマまたは16ビットタイマです。プリスケアラとタイマは、それぞれリロードレジスタとカウンタから構成されます。リロードレジスタとカウンタは、同じ番地に配置されます。タイマRB2はリロードレジスタとして、タイマRB2プライマリとタイマRB2セカンダリのレジスタを持ちます。

16.1 概要

表16.1にタイマRB2の仕様を、図16.1にタイマRB2のブロック図を示します。

表16.1 タイマRB2の仕様

項目		内容
動作モード	タイマモード	内部カウントソースまたはタイマRJのアンダフローをカウントする
	プログラマブル波形発生モード	任意のパルス幅を連続して出力する
	プログラマブルワンショット発生モード	ワンショットパルスを出力する
	プログラマブルウェイトワンショット発生モード	ディレイドワンショットパルスを出力する
カウントソース		f1、f2、f4、f8、f32、タイマRJのアンダフロー選択可能
割り込み		タイマRB2のアンダフロー
選択機能		- イベントリンクコントローラ(ELC)との連携 - ELCからのイベント入力によるタイマRB2ワンショット開始可能

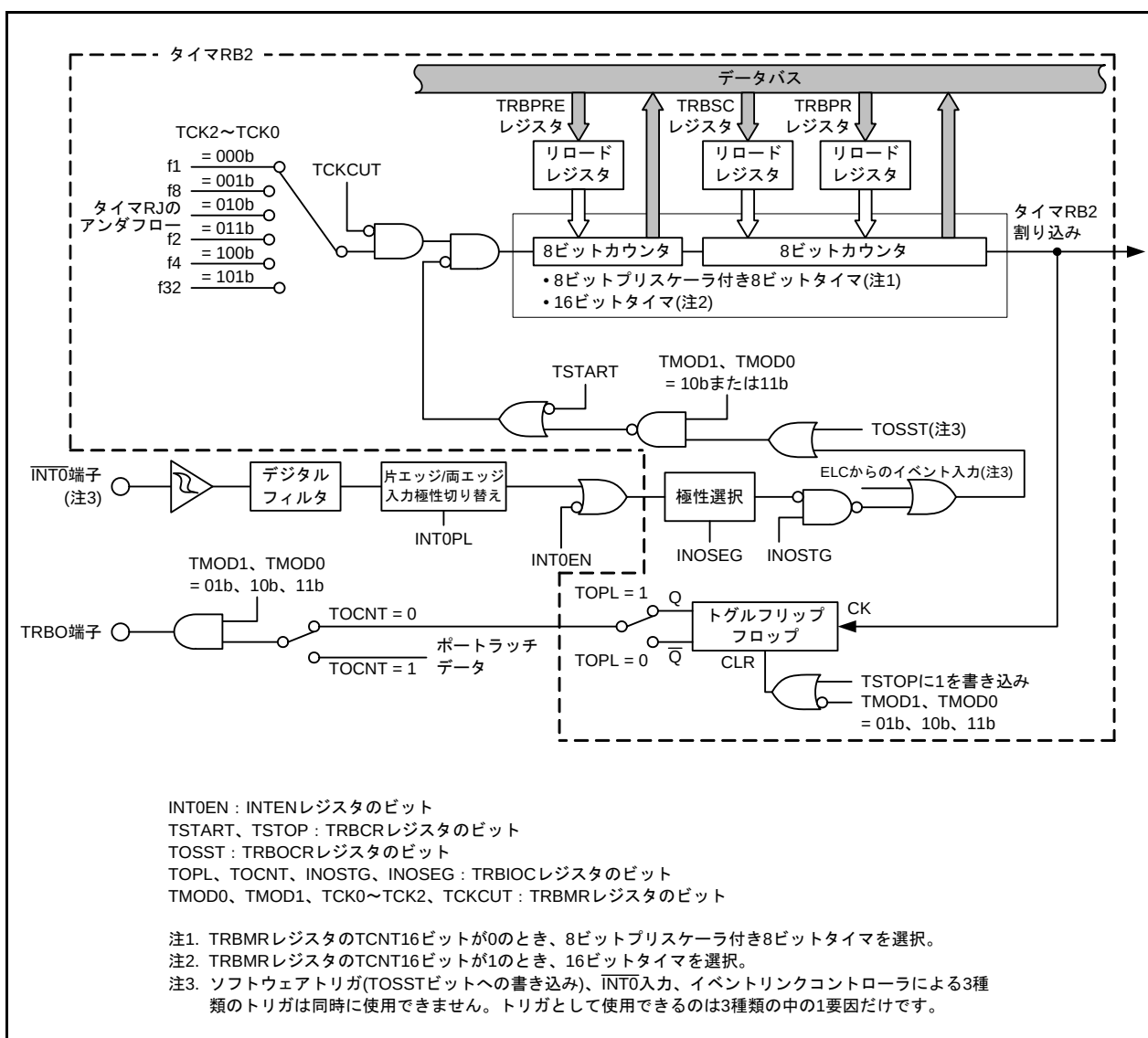


図 16.1 タイマ RB2 のブロック図

16.2 入出力端子

表16.2にタイマRB2の端子構成を示します。

表16.2 タイマRB2の端子構成

端子名	入出力	機能
INT0	入力	外部トリガ
TRBO	出力	パルス連続出力またはワンショットパルス出力

INT0の詳細は「11. 割り込み」を参照してください。リセット解除後、INTFレジスタの設定でフィルタなしからフィルタありに変更した後、すぐにデジタルフィルタを使用しないでください。サンプリングクロックの4サイクルを待った後、TRBIOCレジスタのINOSTGビットを1 (INT0端子ワンショットトリガ有効) にしてください。

16.3 レジスタの説明

表16.3にタイマRB2のレジスタ構成を示します。

表16.3 タイマRB2のレジスタ構成

レジスタ名	シンボル		リセット後の値	アドレス	アクセスサイズ
タイマRB2_0制御レジスタ	TRBCR_0		00h	00130h	8
タイマRB2_0ワンショット制御レジスタ	TRBOCR_0		00h	00131h	8
タイマRB2_0 I/O 制御レジスタ	TRBIOC_0		00h	00132h	8
タイマRB2_0モードレジスタ	TRBMR_0		00h	00133h	8
8ビットプリスケアラ付き8ビットタイマ時： タイマRB2_0プリスケアラレジスタ 16ビットタイマ時： タイマRB2_0プライマリ/セカンダリレジスタ (下位8ビット)	8ビット タイマ時： TRBPRES_0	16ビット タイマ時： TRBPRSC_0	FFh	00134h	8ビットタイマ時： 8 16ビットタイマ時： 16 (注1)
8ビットプリスケアラ付き8ビットタイマ時： タイマRB2_0プライマリレジスタ 16ビットタイマ時： タイマRB2_0プライマリレジスタ (上位8ビット)	8ビット タイマ時： TRBPR_0		FFh	00135h	8ビットタイマ時： 8 16ビットタイマ時： 16 (注1)
8ビットプリスケアラ付き8ビットタイマ時： タイマRB2_0セカンダリレジスタ 16ビットタイマ時(注1)： タイマRB2_0セカンダリレジスタ (上位8ビット)	TRBSC_0		FFh	00136h	8
タイマRB2_0割り込み要求レジスタ	TRBIR_0		00h	00137h	8

注1. 16ビットタイマで使用する時、8ビット単位でTRBPRES、TRBPR、TRBSCレジスタをアクセス(8ビットアクセス)する場合、必ずTRBPRES→TRBPR→TRBSCの順番でアクセスしてください。

カウンタの構成を下記に示します。

- ・タイマモード、プログラマブルワンショット発生モード時
上位8ビットはTRBPRレジスタ値、下位8ビットはTRBPRESレジスタ値でカウントされます。
TRBSCレジスタは使いません。
- ・プログラマブル波形発生モード時
上位8ビットはTRBPRレジスタ値とTRBSCレジスタ値が交互にカウントされ、下位8ビットはTRBPRESレジスタ値がカウントされます。
- ・プログラマブルウェイトワンショット発生モード時
ウェイト時間として、上位8ビットはTRBPRレジスタ値、下位8ビットにTRBPRESレジスタ値でカウントされ、パルス幅として上位8ビットはTRBSCレジスタ値、下位8ビットにTRBPRESレジスタ値がカウントされます。

16.3.1 タイマRB2制御レジスタ (TRBCR)

アドレス 00130h (TRBCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	タイマRB2カウント開始ビット (注1)	0: カウント停止 1: カウント開始	R/W
b1	TCSTF	タイマRB2カウントステータスフラグ (注1)	0: カウント停止 1: カウント許可	R
b2	TSTOP	タイマRB2カウント強制停止ビット (注1、2)	1を書くと、カウント強制停止。 読んだ場合、その値は0。	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TSTART、TCSTF、TSTOPビットの使用上の注意は「16.8 タイマRB2使用上の注意事項」を参照してください。

注2. TSTOPビットに1(カウント強制停止)を書くと、カウンタ、TRBPRES、TRBPR、TRBSCレジスタ、TSTART、TCSTFビットおよびTRBOCRレジスタのTOSST、TOSSP、TOSSTFビットが初期化されます。また、TRBO出力も初期化されます。TRBO出力の初期状態については、「16.5.3 TOCNTビットの設定と端子状態」を参照ください。

TSTARTビット(タイマRB2カウント開始ビット)

TSTARTビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。TSTARTビットを1(カウント開始)にすると、カウントソースに同期してTCSTFビットが1(カウント中)になります。また、TSTARTビットに0を書き込み後、カウントソースに同期してTCSTFビットが0(カウント停止)になります。カウント開始後、TCSTFビットが1になるまで、また、カウント停止後、TCSTFビットが0になるまで、タイマRB2関連レジスタ(注1)をアクセスしないでください。詳細は「16.8 タイマRB2使用上の注意事項」を参照してください。

注1. タイマRB2関連レジスタ: TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBSC、TRBPR

TCSTFビット(タイマRB2カウントステータスフラグ)

[0になる条件]

- TSTARTビットに0を書いたとき(カウントソースに同期して0になる)
- TSTOPビットに1を書いたとき

[1になる条件]

- TSTARTビットに1を書いたとき(カウントソースに同期して1になる)

16.3.2 タイマRB2ワンショット制御レジスタ (TRBOCR)

アドレス 00131h (TRBOCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TOSSTF	TOSSP	TOSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOSST	タイマRB2ワンショット開始ビット (注1、2)	1を書くと、ワンショットカウント開始。 読んだ場合、その値は0。	R/W
b1	TOSSP	タイマRB2ワンショット停止ビット (注2、3)	1を書くと、ワンショットカウント停止。 読んだ場合、その値は0。	R/W
b2	TOSSTF	タイマRB2ワンショットステータスフラグ	0：ワンショット停止 1：ワンショット動作(ウェイト期間を含む)	R
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

注1. TOSSTFビットが0(ワンショット停止)であることを確認した後、TOSSTビットに1(ワンショットカウント開始)を書いてください。

注2. 0を書いた場合、その値は無効です。

注3. TOSSTFビットが1(ワンショット動作(ウェイト期間を含む))であることを確認した後、TOSSPビットに1(ワンショットカウント停止)を書いてください。

TRBOCR レジスタは、TRBMR レジスタのTMOD1～TMOD0ビットが10b(プログラマブルワンショット発生モード)または11b(プログラマブルウェイトワンショット発生モード)のとき有効です。

TOSSTFビット(タイマRB2ワンショットステータスフラグ)

[0になる条件]

- TRBCR レジスタのTSTOPビットを1(カウント強制停止)にしたとき
- プログラマブルワンショット発生モード時に、カウント値が00hになりリロードしたとき
- プログラマブルウェイトワンショット発生モード時に、セカンダリカウント時のカウント値が00hになり、リロードしたとき
- TOSSPビットを1(ワンショットカウント停止)に設定してから、タイマRB2のカウントソースの2、3サイクル後
- タイマRB2カウント動作中(TOSSTF = 1)にTRBCR レジスタのTSTARTビットを0(カウント停止)に設定してから、タイマRB2のカウントソースの2、3サイクル後

[1になる条件]

- TCSTFビットが1(カウント許可)の状態で、TOSSTビットを1(ワンショットカウント開始)に設定してから、タイマRB2のカウントソースの3サイクル後
- TCSTFビットが1の状態で、トリガを入力してから、タイマRB2のカウントソースの3サイクル後

16.3.3 タイマRB2 I/O制御レジスタ (TRBIOC)

アドレス 00132h (TRBIOC_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	INOSEG	INOSTG	TOCNT	TOPL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOPL	タイマRB2出力レベル選択ビット	「表 16.4 タイマRB2出力レベル選択ビットの機能」参照	R/W
b1	TOCNT	タイマRB2出力切り替えビット	0: 波形出力 1: 固定値出力	R/W
b2	INOSTG	ワンショットトリガ制御ビット	0: INT0端子ワンショットトリガ無効 1: INT0端子ワンショットトリガ有効	R/W
b3	INOSEG	ワンショットトリガ極性選択ビット	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

TOCNT ビット(タイマRB2出力切り替えビット)

TOCNT ビットの設定は、プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードのみ有効です。

各モードでのTRBO出力の状態変化の詳細は「16.5.3 TOCNT ビットの設定と端子状態」を参照してください。

表 16.4 タイマRB2出力レベル選択ビットの機能

動作モード	機能	
タイマモード	タイマモードでは0にしてください	
プログラマブル波形発生モード	0	プライマリ期間H出力 セカンダリ期間L出力 タイマ停止時L出力
	1	プライマリ期間L出力 セカンダリ期間H出力 タイマ停止時H出力
プログラマブルワンショット発生モード	0	ワンショットパルスH出力 タイマ停止時L出力
	1	ワンショットパルスL出力 タイマ停止時H出力
プログラマブルウェイトワンショット発生モード	0	ワンショットパルスH出力 タイマ停止およびウェイト期間にL出力
	1	ワンショットパルスL出力 タイマ停止およびウェイト期間にH出力

16.3.4 タイマRB2モードレジスタ (TRBMR)

アドレス 00133h (TRBMR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCKCUT	TCK2	TCK1	TCK0	TWRC	TCNT16	TMOD1	TMOD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOD0	タイマRB2動作モード選択ビット (注1)	b1 b0 0 0 : タイマモード 0 1 : プログラマブル波形発生モード 1 0 : プログラマブルワンショット発生モード 1 1 : プログラマブルウェイトワンショット発生モード	R/W
b1	TMOD1			R/W
b2	TCNT16	タイマRB2カウンタ選択ビット (注1)	0 : 8ビットプリスケアラ付き8ビットタイマ 1 : 16ビットタイマ	R/W
b3	TWRC	タイマRB2書き込み制御ビット (注2)	0 : リロードレジスタとカウンタへの書き込み 1 : リロードレジスタのみ書き込み	R/W
b4	TCK0	タイマRB2カウントソース選択ビット (注1)	b6 b5 b4 0 0 0 : f1 0 0 1 : f8 0 1 0 : タイマRJのアンダフロー 0 1 1 : f2 1 0 0 : f4 1 0 1 : f32 上記以外 : 設定しないでください	R/W
b5	TCK1			R/W
b6	TCK2			R/W
b7	TCKCUT	タイマRB2カウントソース遮断ビット (注1)	0 : カウントソース供給 1 : カウントソース遮断	R/W

注1. TRBCRレジスタのTSTART、TCSTFビットが0(カウント停止)のときに、このビットを変更してください。

注2. TWRC ビットによるレジスタ、カウンタへの書き込みの詳細は「16.5.2 TWRC ビットによるプリスケアラとカウンタ動作」を参照してください。

タイマモードのとき、TWRCビットは0または1が選択できます。プログラマブル波形発生モード、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは1(リロードレジスタのみ書き込み)にしてください。

16.3.5 タイマRB2 プリスケアラレジスタ (TRBPRES)

アドレス 00134h (TRBPRES_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能	初期値	設定範囲	R/W
b7～b0	タイマモード	内部カウントソースまたはタイマRJのアンダフローをカウント	FFh	00h～FFh	R/W
	プログラマブル波形発生モード		FFh	00h～FFh	R/W
	プログラマブルワンショット発生モード		FFh	00h～FFh	R/W
	プログラマブルウェイトワンショット発生モード		FFh	00h～FFh	R/W

8ビットプリスケアラ付き8ビットタイマ時、プリスケアラの周期を設定する8ビットのレジスタです。プリスケアラがダウンカウントし、アンダフローするごとにTRBPRESレジスタの値がリロードされます。読んだ場合、プリスケアラのカウント値が読み出されます。

16ビットタイマ時、16ビットカウンタの下位8ビットを設定するレジスタになります。カウンタがダウンカウントし、アンダフローするごとにTRBPRESレジスタ値がリロードされます。読んだ場合、下位8ビットのカウント値が読み出されます。8ビット単位でTRBPRES、TRBPR、TRBSCレジスタをアクセス(8ビットアクセス)する場合、必ずTRBPRES→TRBPR→TRBSCの順番でアクセスしてください。

なお、TRBPRESレジスタはマスターリロードレジスタのバッファ構造になっており、カウント停止中はリロードレジスタにも同時に書き込まれます。カウンタ動作中は、各モードによってリロードレジスタに更新されるタイミングが異なります。詳細は「表16.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」、「表16.7 16ビットタイマ時のTRBPRES、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」を参照してください。カウントソースに同期して更新されます。

TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書くと、TRBPRESレジスタは初期化(FFh)されます。

16.3.6 タイマRB2 プライマリレジスタ (TRBPR)

アドレス 00135h (TRBPR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能		初期値	設定範囲	R/W
		8ビットプリスケアラ 付き8ビットタイマ	16ビットタイマ			
b7～b0	タイマモード	タイマRB2プリスケアラのアンダフローをカウント	タイマRBプリスケアラのアンダフローをカウント	FFh	00h～FFh	R/W
	プログラマブル波形発生モード	タイマRB2プリスケアラのアンダフローをカウント(注1)		FFh	00h～FFh	R/W
	プログラマブルワンショット発生モード	タイマRB2プリスケアラのアンダフローをカウント(ワンショット幅をカウント)		FFh	00h～FFh	R/W
	プログラマブルウェイトワンショット発生モード	タイマRB2プリスケアラのアンダフローをカウント(ウェイト期間をカウント)		FFh	00h～FFh	R/W

注1. TRBPRレジスタとTRBSCレジスタの値が交互にカウンタにリロードされ、カウントされます。

8ビットプリスケアラ付き8ビットタイマ時、TRBSCレジスタに書き込むときは、次の手順で書いてください。

- (1) TRBSCレジスタに値を書く。
- (2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)。

16ビットタイマ時、TRBSCレジスタに書き込むときは、次の手順で書いてください。

- (1) TRBPRESレジスタ、TRBSCレジスタに値を書く。
- (2) TRBPRレジスタに値を書く(値を変更しない場合でも、前と同じ値を再度書く)。

8ビットプリスケアラ付き8ビットタイマ時、カウンタの周期やプライマリ期間を設定する8ビットのレジスタです。読んだ場合、カウンタの8ビットカウント値が読み出されます。

16ビットタイマ時、上位8ビットのカウンタの周期やプライマリ期間を設定する8ビットのレジスタです。読んだ場合、16ビットカウンタの上位8ビットの値が読み出されます。TRBPRESレジスタをアクセスした後、TRBPRレジスタをアクセスしてください。

なお、TRBPRレジスタはマスターリロードレジスタのバッファ構造になっており、カウント停止中はリロードレジスタにも同時に書き込まれます。カウンタ動作中は、各モードによってリロードレジスタに更新されるタイミングが異なります。詳細は「表 16.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」、「表 16.7 16ビットタイマ時のTRBPRES、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」を参照してください。

TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書くと、TRBPRレジスタは初期化(FFh)されます。

16.3.7 タイマRB2セカンダリレジスタ (TRBSC)

アドレス 00136h (TRBSC_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	モード	機能		初期値	設定範囲	R/W
		8ビットプリスケアラ 付き8ビットタイマ	16ビットタイマ			
b7～b0	タイマモード	無効		FFh	無効	—
	プログラマブル波形発生 モード	タイマRB2プリスケアラの アンダフロー	タイマRBプリスケアラのアンダフローを カウント(注1)	FFh	00h～FFh	R/W
	プログラマブル ワンショット発生モード	無効		FFh	無効	—
	プログラマブルウェイト ワンショット発生モード	タイマRB2プリスケアラの アンダフロー	タイマRBプリスケアラのアンダフローを カウント(注1)	FFh	00h～FFh	R/W

注1. TRBPR、TRBSCレジスタの値が交互にカウンタへリロードされ、カウントされます。カウント値は、セカンダリ期間カウント中でもTRBPRレジスタで読めます。

8ビットプリスケアラ付き8ビットタイマ時、プログラマブル波形発生モード、プログラマブルウェイトワンショット発生モードで使用されるセカンダリ期間を設定する8ビットのレジスタです。読んだ場合、リロードレジスタの値が読み出されます。

16ビットタイマ時、プログラマブル波形発生モード、プログラマブルウェイトワンショット発生モードで使用される上位8ビットのセカンダリ期間を設定する8ビットのレジスタです。タイマモード、プログラマブルワンショット発生モードでも設定できますが、カウンタ動作には使用されません。読んだ場合、リロードレジスタの値が読み出されます。

なお、TRBSCレジスタはマスターリロードレジスタのバッファ構造になっており、カウント停止中はリロードレジスタにも同時に書き込まれます。カウンタ動作中は、各モードによってリロードレジスタに更新されるタイミングが異なります。詳細は「表 16.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」、「表 16.7 16ビットタイマ時のTRBPRE、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング」を参照してください。

TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書くと、TRBSCレジスタは初期化(FFh)されます。

16.3.8 タイマRB2割り込み要求レジスタ (TRBIR)

アドレス 00137h (TRBIR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRBIE	TRBIF	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	TRBIF	タイマRB2割り込み要求フラグ	0 : 割り込み要求なし 1 : 割り込み要求あり	R/W
b7	TRBIE	タイマRB2割り込み許可ビット	0 : 割り込み禁止 1 : 割り込み許可	R/W

TRBIF ビット(タイマRB2割り込み要求フラグ)

[0になる条件]

- 1を読んだ後、0を書いたとき
- DTCからの割り込み自動クリアしたとき
- 割り込みルーチンにジャンプ(CPUが割り込みを受付)したとき

[1になる条件]

- 「表16.5 TRBIFビットが1になる条件」参照

表16.5 TRBIFビットが1になる条件

動作モード	条件
タイマモード	タイマRB2のカウンタがアンダフローしたとき
プログラマブル波形発生モード	セカンダリ期間で、タイマRB2のカウンタがアンダフローしたとき
プログラマブルワンショット発生モード	タイマRB2のカウンタがアンダフローしたとき
プログラマブルウェイトワンショット発生モード	セカンダリ期間で、タイマRB2のカウンタがアンダフローしたとき

16.4 動作説明

16.4.1 タイマモード

内部で生成されたカウントソース、またはタイマRJのアンダフローをカウントするモードです。タイマモード時、TRBOCR、TRBSC レジスタは使用しません。

TRBCR レジスタの TSTART ビットに 1 (カウント開始) を書き込むと、カウントを開始します。TSTART ビットに 0 (カウント停止) を書き込むと、カウントを停止します。また、TRBCR レジスタの TSTOP ビットに 1 (カウント強制停止) を書き込むと、カウントを停止します。

タイマRB2のカウンタがアンダフローしたとき、割り込み要求が発生します。

TRBPRES、TRBPR レジスタを読み出すと、それぞれのカウンタ値が読み出されます。カウント停止中に、TRBPRES、TRBPR レジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRES、TRBPR レジスタに書き込むと、それぞれのリロードレジスタに書き込まれます。次のカウント時にカウンタへ転送されるか、またはそれぞれリロードレジスタのみに書き込まれ、次のリロード時にカウンタに転送されるかは、プログラムにより選択可能です。

図16.2、図16.3にタイマモードの動作例を示します。

注1. TSTART ビットに 1 (カウント開始) を設定してから、カウントソースの 3 サイクル後にカウントを開始します。また、TSTART ビットに 0 (カウント停止) を設定してから、カウントソースの 2、3 サイクル後にカウントを停止します。カウンタ動作状態はTRBCR レジスタの TCSTF ビットを監視してください。

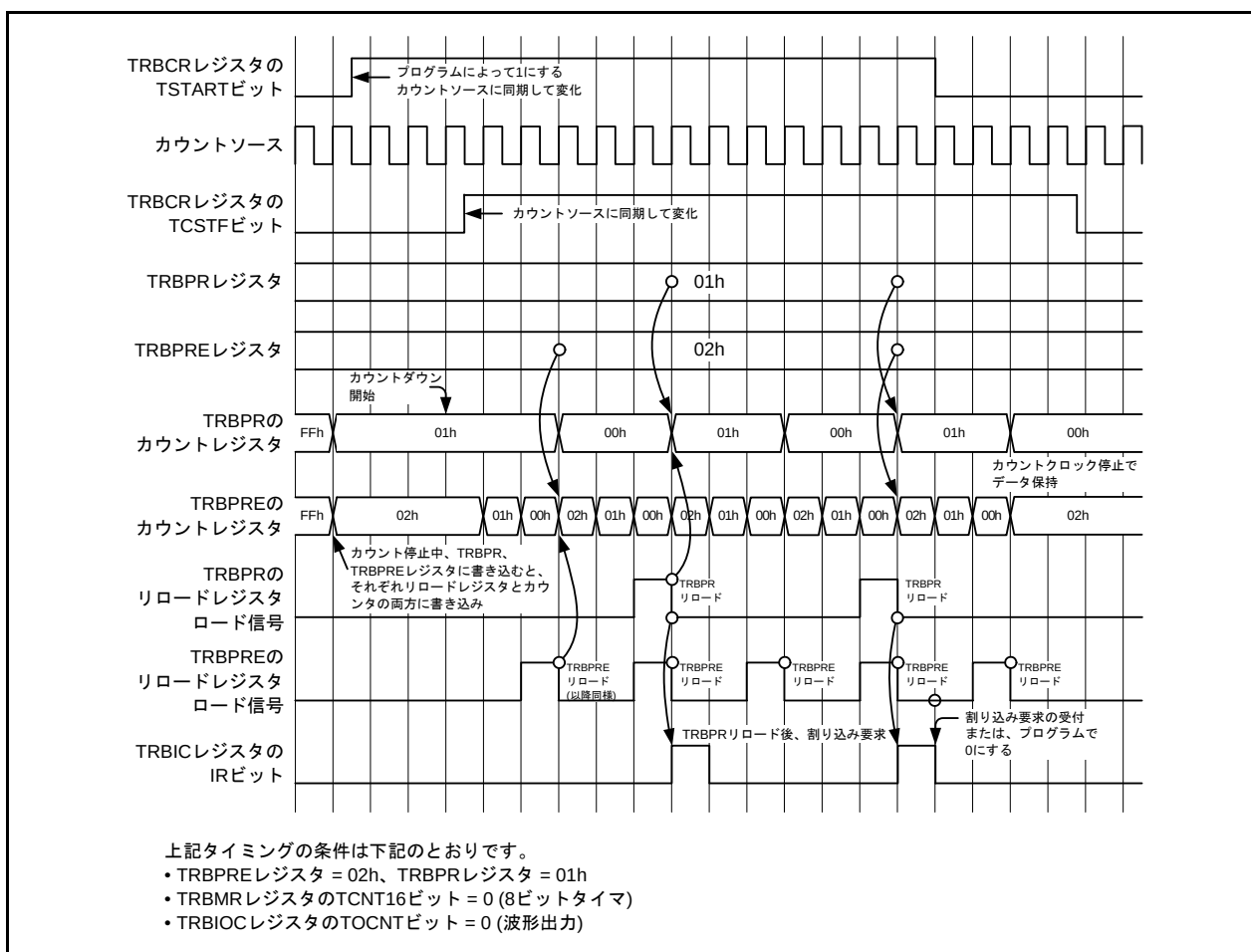


図16.2 タイマモードの動作例(8ビットタイマ時)

16.4.2 プログラマブル波形発生モード

8ビットプリスケアラ付き8ビットタイマ時、タイマRB2のカウンタがアンダフローするごとにTRBPRレジスタとTRBSCレジスタを交互に切り替えてカウントするモードです。

16ビットタイマ時、16ビットのカウンタがアンダフローするたびにプライマリ期間とセカンダリ期間のカウントを交互に切り替えるモードです。プライマリ期間の16ビットのカウンタは、上位8ビットをTRBPRレジスタ、下位8ビットをTRBPRESレジスタが構成しています。セカンダリ期間の16ビットのカウンタは、上位8ビットをTRBSCレジスタ、下位8ビットをTRBPRESレジスタが構成しています。

カウンタがアンダフローするごとに、反転した波形をTRBO端子から出力します。プライマリ期間からカウントを開始します。プログラマブル波形発生モードでは、TRBOCRレジスタは使用しません。

TRBCRレジスタのTSTARTビットに1(カウント開始)を書き込むと、カウントを開始します。TSTARTビットに0(カウント停止)を書き込むと、カウントを停止します。また、TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書き込むと、カウントを停止します。

セカンダリ期間でタイマRB2のカウンタがアンダフローしたとき、割り込み要求が発生します。

TRBPRES、TRBPRレジスタを読み出すと、それぞれのカウンタ値が読み出されます。セカンダリ期間をカウント中でも、TRBPRレジスタを読み出してください。カウント停止中に、TRBPRES、TRBPR、TRBSCレジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRES、TRBPR、TRBSCレジスタに書き込むと、それぞれのリロードレジスタに書き込まれ、次のリロード時にカウンタへ転送されます。

図16.4に8ビットプリスケアラ付き8ビットタイマ時のプログラマブル波形発生モードの動作例を、図16.5に16ビットタイマ時のプログラマブル波形発生モードの動作例を示します。

- 注1.
- TSTART ビットに1を設定してから、カウントソースの3 サイクル後にカウントを開始します。また、TSTART ビットに0を設定してから、カウントソースの2、3 サイクル後にカウントを停止します。カウンタ動作状態はTRBCRレジスタのTCSTFビットを監視してください。
 - 実際のカウンタ動作状態はTRBCRレジスタのTCSTFビットを監視してください。
 - 16ビットタイマ動作時、プライマリ期間とセカンダリ期間の下位8ビットは共に同じTRBPRESレジスタで設定するため、1周期内で下位8ビットには必ず同じ値が設定されます。そのため、PWM波形の周期を変更せずにパルス幅だけを変更しようとする、設定可能なのは上位8ビットだけなので細かい分解能でPWM制御をすることができません。

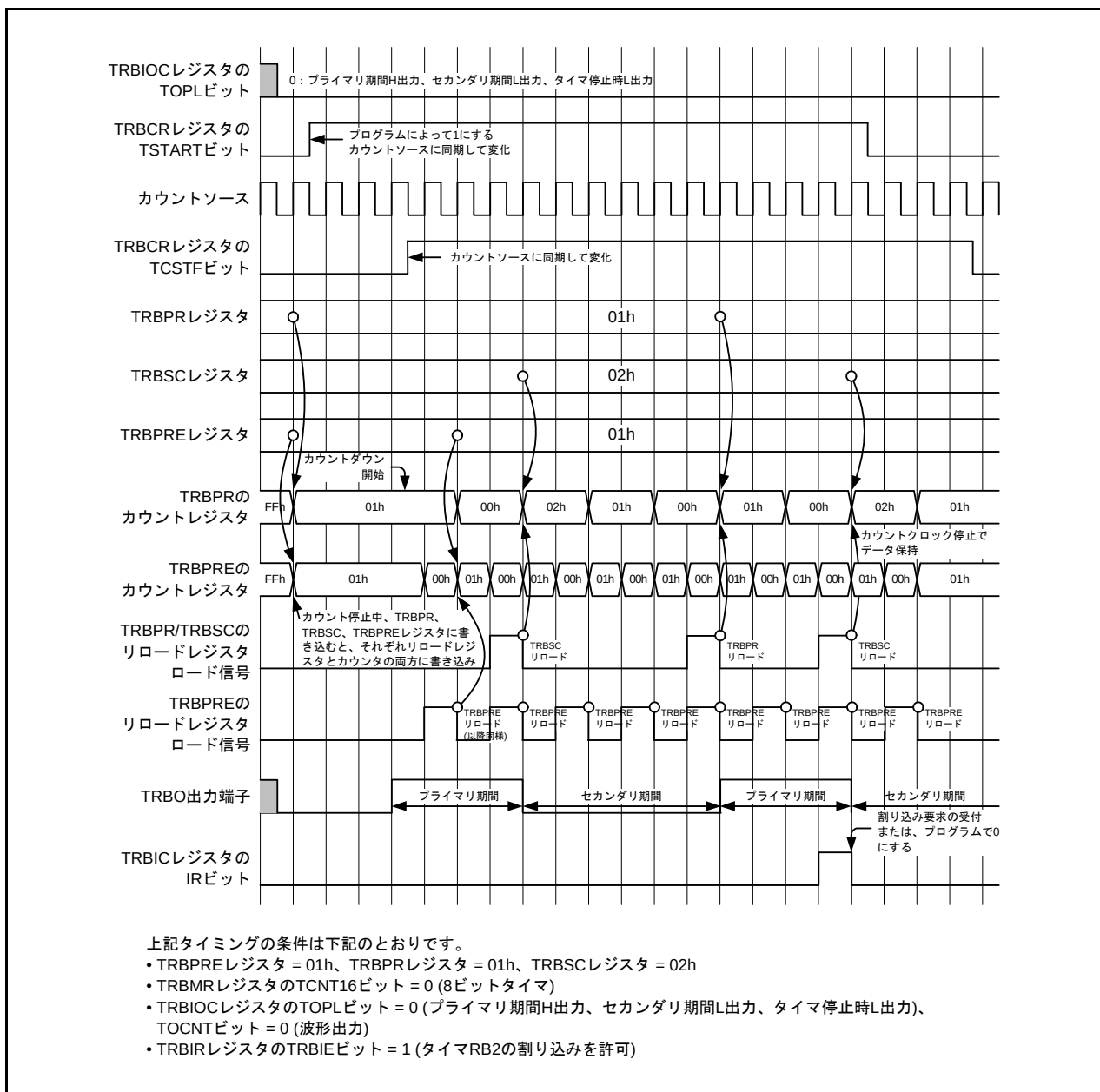


図16.4 8ビットプリスケラ付き8ビットタイマ時のプログラマブル波形発生モードの動作例

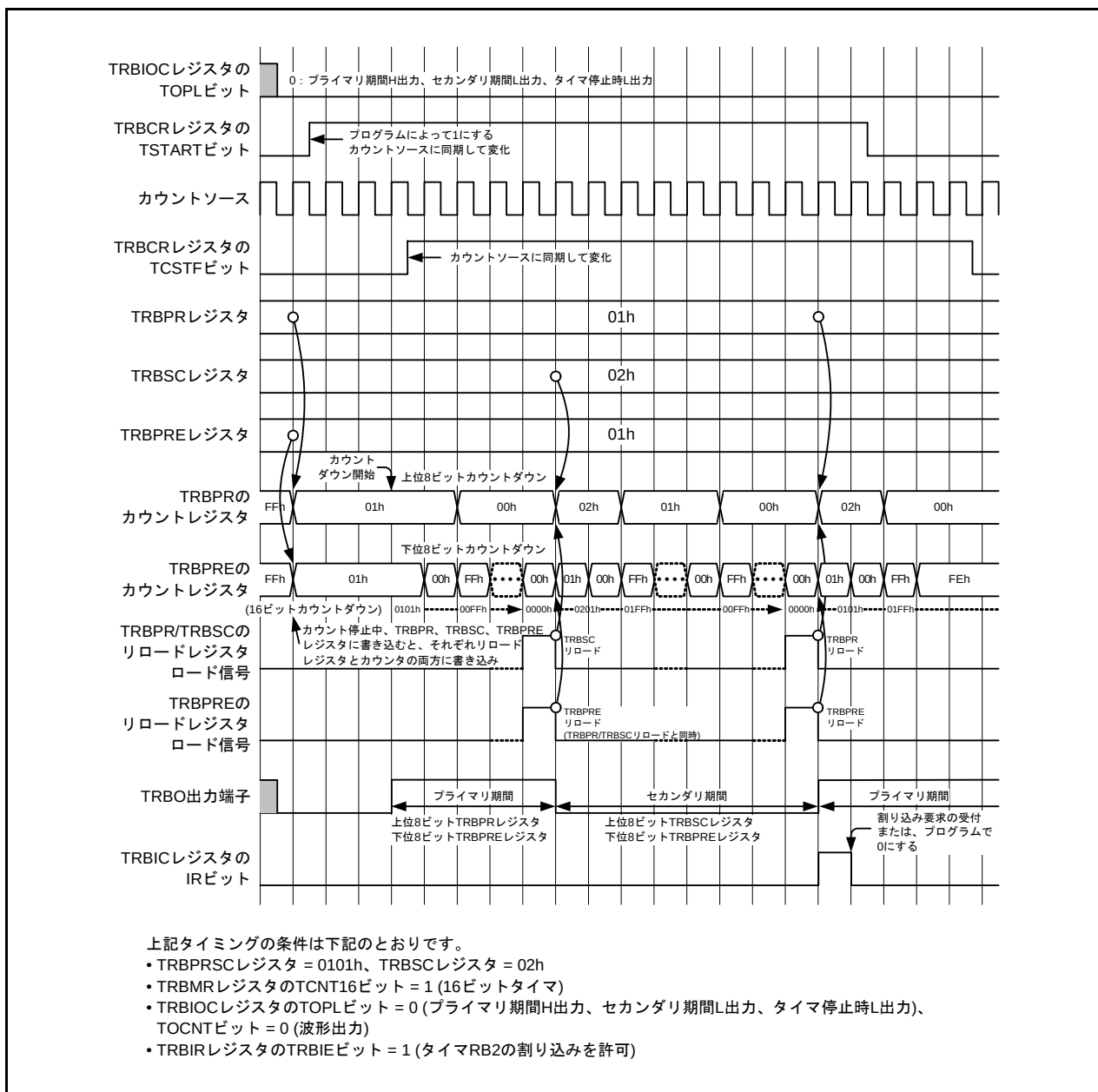


図 16.5 16ビットタイマ時のプログラマブル波形発生モードの動作例

16.4.3 プログラマブルワンショット発生モード

プログラム、外部トリガ入力($\overline{\text{INT0}}$)、またはイベントリンクコントローラ(ELC)からのイベント入力により、ワンショットパルスをTRBO端子から出力するモードです。トリガが発生すると、その時点から一度だけタイマが動作し、任意の時間(TRBPRレジスタの設定値)をカウントします。

8ビットプリスケアラ付き8ビットタイマ時、カウント値をTRBPRレジスタに設定します。

16ビットタイマ時、上位8ビットはTRBPRレジスタに、下位8ビットはTRBPRESレジスタにカウント値を設定します。

プログラマブルワンショット発生モードでは、TRBSCレジスタは使用しません。

TRBCRレジスタのTCSTFビットが1(カウント許可状態)のときに、TRBOCRレジスタのTOSSTビットに1(ワンショットカウント開始)を書き込むと、カウントを開始します。また、TCSTFビットが1のときに、 $\overline{\text{INT0}}$ 端子へ有効なトリガを入力あるいはELCからのイベント入力の立ち上がりエッジで、カウントを開始します。カウント値がアンダフローし、リロードした後カウントを停止します。また、カウントは以下のいずれかの設定で停止します。

- TRBOCRレジスタのTOSSPビットに1(ワンショットカウント停止)を書き込むと、カウントを停止
 - TRBCRレジスタのTSTARTビットに0(カウント停止)を書き込むと、カウントを停止
 - TRBCRレジスタのTSTOPビットに1(カウント強制停止)を書き込むと、カウントを停止
- タイマRB2のカウンタがアンダフローしたとき、割り込み要求が発生します。

TRBPRES、TRBPRレジスタを読み出すと、それぞれのカウント値が読み出されます。カウント停止中に、TRBPRES、TRBPRレジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRES、TRBPRレジスタに書き込むと、それぞれのリロードレジスタに書き込まれ、次のリロード時にカウンタへ転送されます。

$\overline{\text{INT0}}$ 入力によるトリガの設定は「16.7 $\overline{\text{INT0}}$ 入力トリガ選択」を参照してください。

また、TOSSTFビットが1の期間に、ワンショットトリガが発生してもタイマRB2の動作には影響ありませんが、INT0ICレジスタのIRビットは変化します。

図16.6に8ビットプリスケアラ付き8ビットタイマ時のプログラマブルワンショット発生モードの動作例を、図16.7に16ビットタイマ時のプログラマブルワンショット発生モードの動作例を示します。

- 注1. TOSST、TOSSPビットへの1書き込み、 $\overline{\text{INT0}}$ 端子への有効なトリガ入力、イベントリンクコントローラ(ELC)からのイベント入力、またはTSTARTビットに0を書き込んでから、カウントソースの2、3サイクル後にカウンタの動作に反映します。
- カウンタ動作状態は、TRBOCRレジスタのTOSSTFビットを監視してください。

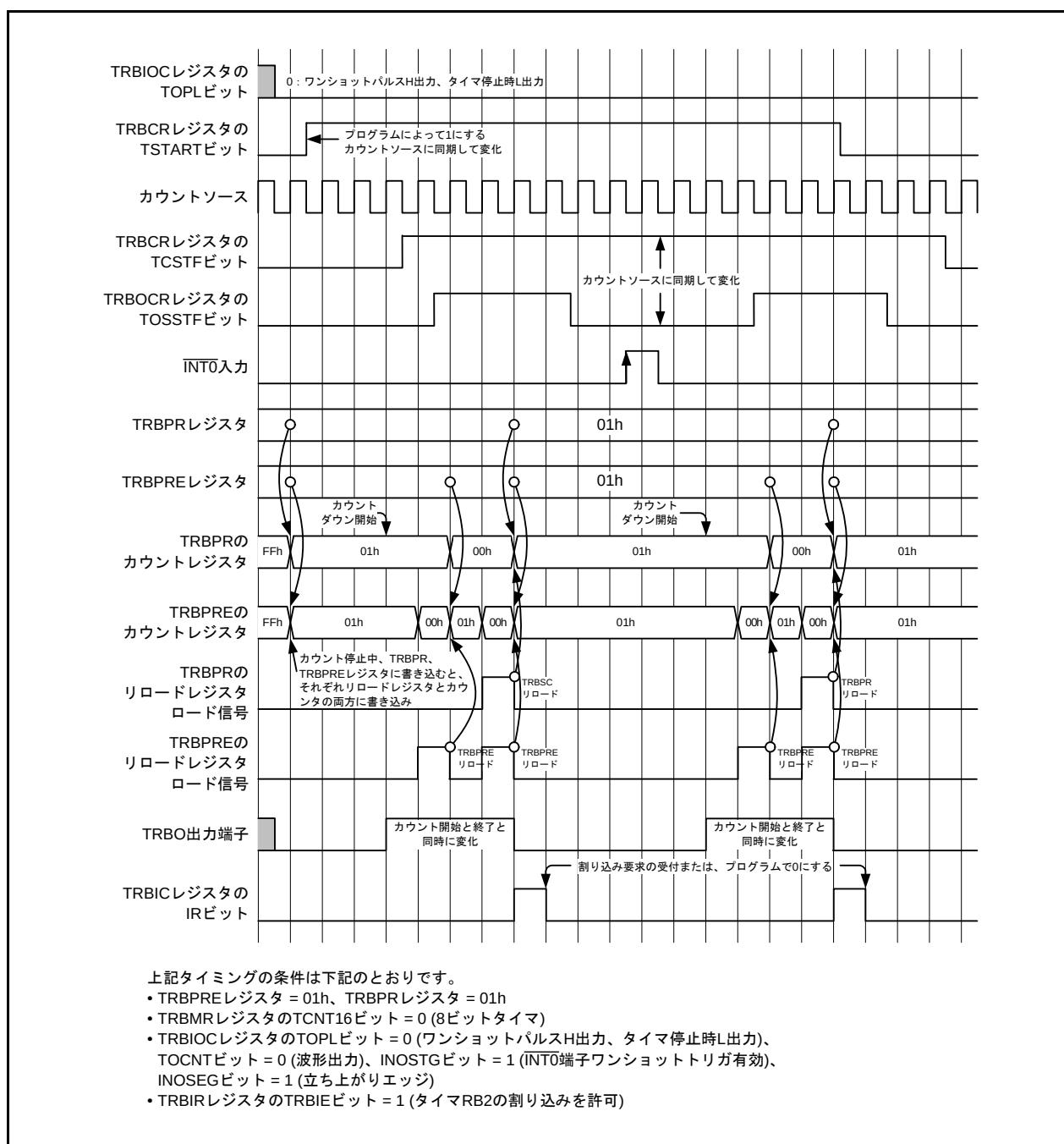


図16.6 8ビットプリスケラ付き8ビットタイマ時のプログラマブルワンショット発生モードの動作例

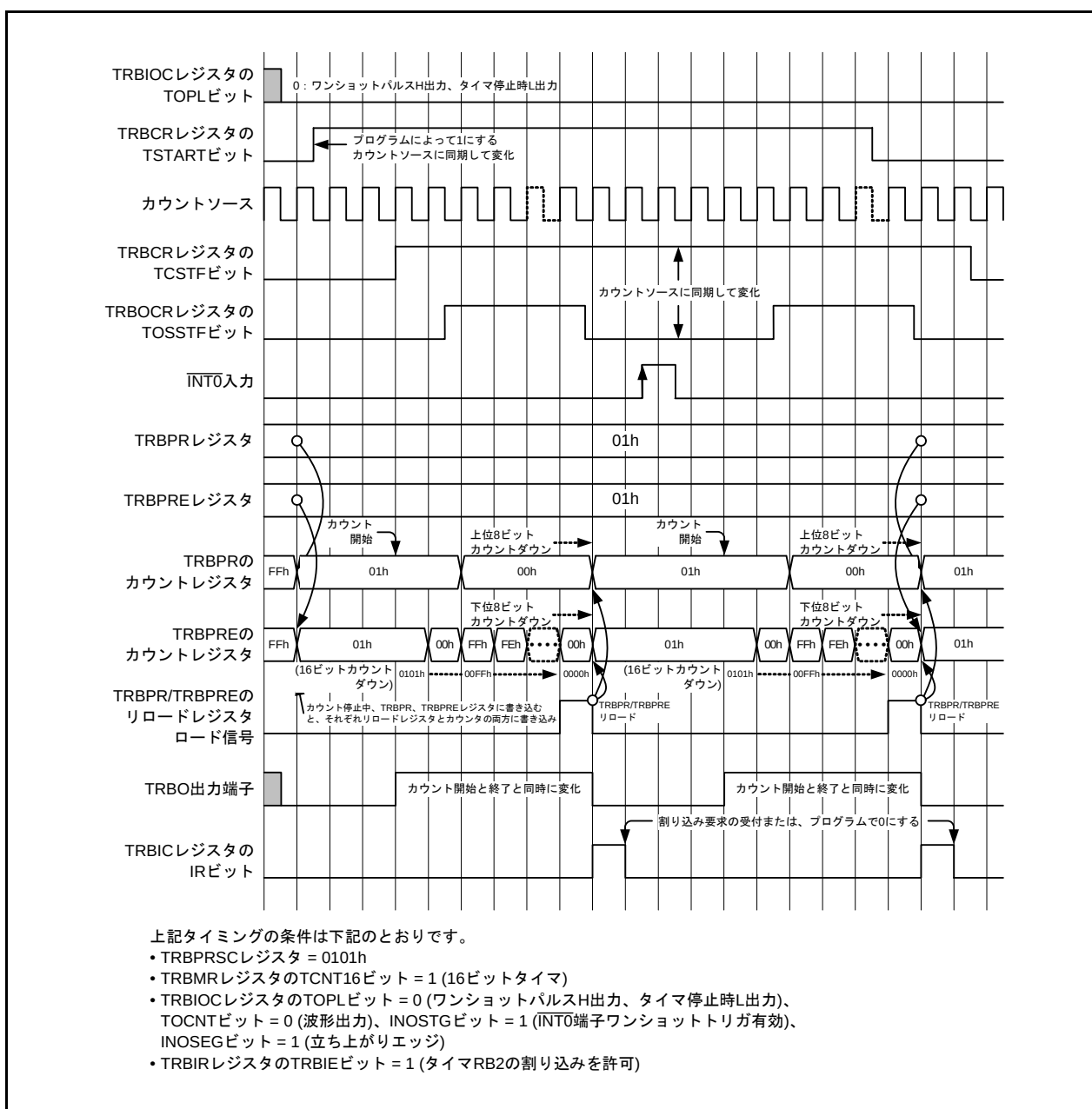


図 16.7 16ビットタイマ時のプログラマブルワンショット発生モードの動作例

16.4.4 プログラブルウェイトワンショット発生モード

プログラム、外部トリガ($\overline{\text{INT0}}$ 端子入力)、またはELCからのイベント入力により、一定時間後にワンショットパルスをTRBO端子から出力するモードです。トリガが発生すると、その時点から任意の時間(TRBPR レジスタの設定値)後、一度だけ任意の時間(TRBSC レジスタの設定値)パルス出力を行います。

8ビットプリスケアラ付き8ビットタイマ時、ウェイト時間のカウント値をTRBPRレジスタに、パルス幅のカウント値をTRBSCレジスタに設定してください。

16ビットタイマ時、ウェイト時間のカウント値の上位8ビットをTRBPRレジスタに、下位8ビットをTRBPRESレジスタに設定してください。パルス幅のカウント値の上位8ビットをTRBSCレジスタに、下位8ビットをTRBPRESレジスタに設定してください。

TRBCR レジスタのTCSTFビットが1(カウント許可状態)のときに、TRBOCR レジスタのTOSSTビットに1(ワンショットカウント開始)を書き込むと、カウントを開始します。また、TCSTFビットが1のときに、 $\overline{\text{INT0}}$ 端子へ有効なトリガを入力あるいはELCからのイベント入力で、カウントを開始します。タイマRBのセカンダリのカウンタのカウント値がアンダフローし、リロードした後カウントを停止します。また、カウントは以下のいずれかの設定で停止します。

- TRBOCR レジスタのTOSSPビットに1(ワンショットカウント停止)を書き込むと、カウントを停止
 - TRBCR レジスタのTSTARTビットに0(カウント停止)を書き込むと、カウントを停止
 - TRBCR レジスタのTSTOPビットに1(カウント強制停止)を書き込むと、カウントを停止
- セカンダリ期間でタイマRB2のカウンタがアンダフローしたとき、割り込み要求が発生します。

TRBPRES、TRBPR レジスタを読み出すと、それぞれのカウント値が読み出されます。カウント停止中に、TRBPRES、TRBPR、TRBSC レジスタに書き込むと、それぞれのリロードレジスタとカウンタの両方に書き込まれます。カウント中に、TRBPRES、TRBPR、TRBSC レジスタに書き込むと、それぞれのリロードレジスタに書き込まれ、次のリロード時にカウンタへ転送されます。

16ビットタイマ動作時、プライマリ期間とセカンダリ期間の下位8ビットは共に同じTRBPRESレジスタで設定するため、1周期内で下位8ビットには必ず同じ値が設定されます。そのため、PWM波形の周期を変更せずにパルス幅だけを変更しようとする、設定可能なのは上位8ビットだけなので細かい分解能でPWM制御をすることができません。

$\overline{\text{INT0}}$ 入力によるトリガの設定は「16.7 $\overline{\text{INT0}}$ 入力トリガ選択」を参照してください。

図16.8に8ビットプリスケアラ付き8ビットタイマ時のプログラブルウェイトワンショット発生モードの動作例を、図16.9に16ビットタイマ時のプログラブルウェイトワンショット発生モードの動作例を示します。

- 注1. TOSST、TOSSPビットへの1書き込み、 $\overline{\text{INT0}}$ 端子への有効なトリガ入力、イベントリンクコントローラ(ELC)からのイベント入力、またはTSTARTビットに0を書き込んでから、カウントソースの3サイクル後にカウンタの動作に反映します。
カウンタ動作状態は、TRBOCRレジスタのTOSSTFビットを監視してください。

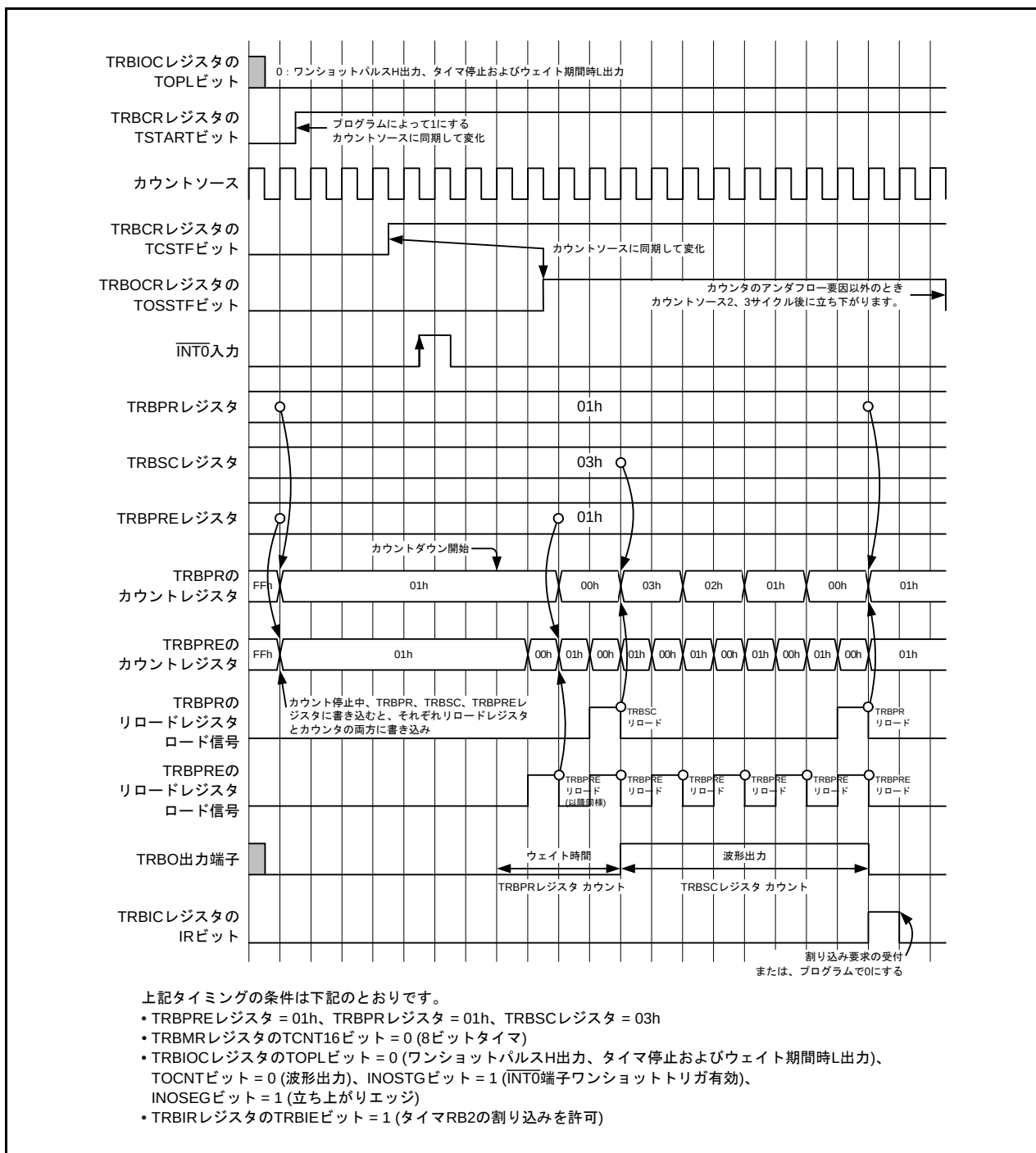


図16.8 8ビットプリスケラ付き8ビットタイマ時のプログラブルウェイトワンショット発生モードの動作例

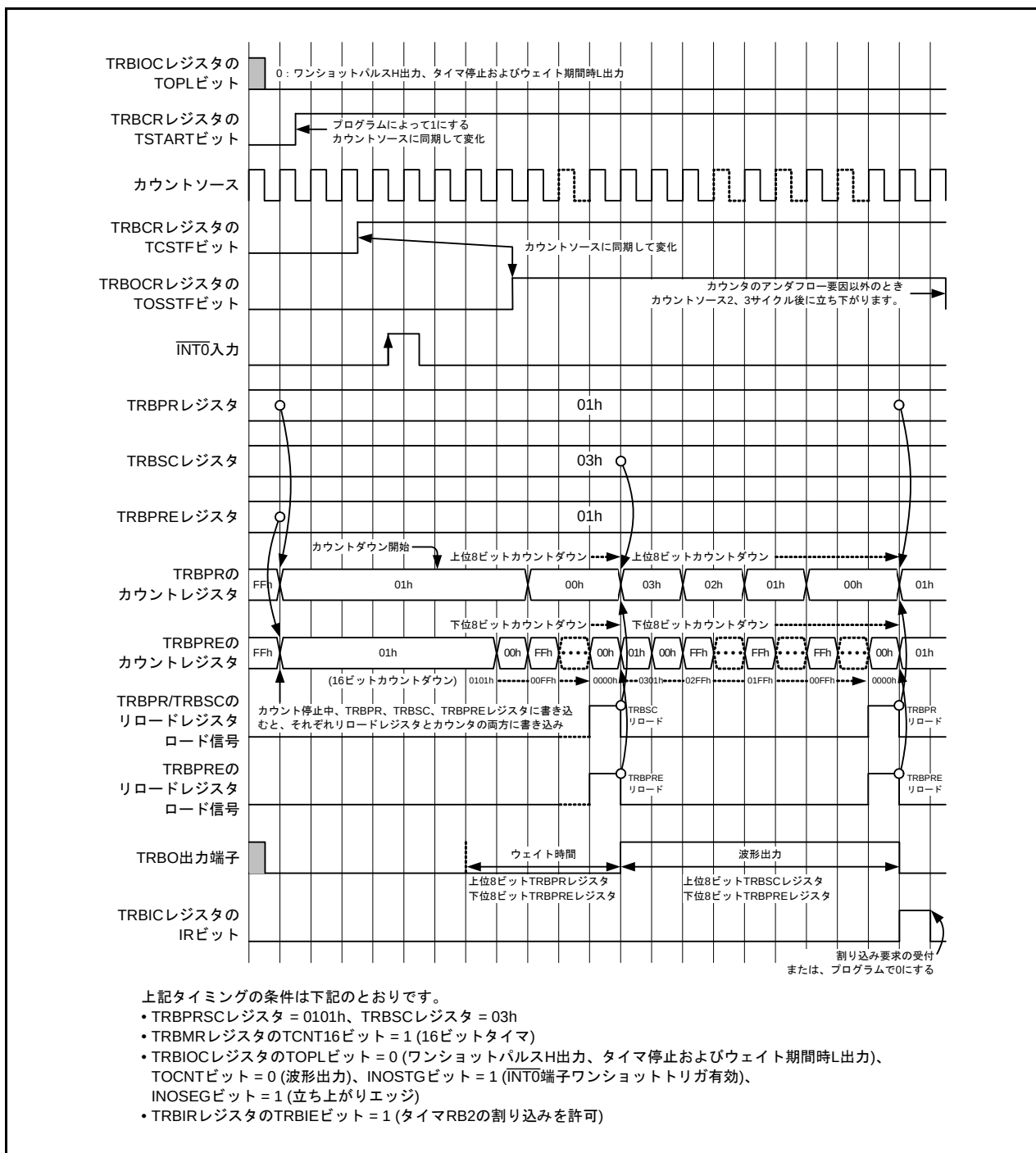


図 16.9 16ビットタイマ時のプログラブルウェイトワンショット発生モードの動作例

16.5 選択機能

16.5.1 TRBPRES、TRBPR、TRBSC レジスタの構造と更新タイミング

TRBPRES、TRBPR、TRBSC レジスタはマスターリロードレジスタのバッファ構造になっています。図16.10にTRBPRES、TRBPR、TRBSC レジスタの構成を示します。TRBCR レジスタのTSTARTビットが0(カウント停止)のとき、レジスタへの書き込み直後にリロードレジスタに更新されます。しかし、TSTARTビットが1(カウント開始)のときは、各モードによってリロードレジスタに更新されるタイミングが異なります。8ビットプリスケアラ付き8ビットタイマ時、TRBPRES レジスタに書き込み後、カウントソースに同期して、TRBPRES レジスタのリロードレジスタを更新します。

プログラマブル波形発生モードとプログラマブルウェイトワンショット発生モードでカウンタ動作中の場合は、TRBPR レジスタへの書き込み後、TRBSC レジスタのデータとTRBPR レジスタのデータを同時にリロードレジスタへ更新します。

プログラマブル波形発生モードとプログラマブルウェイトワンショット発生モードでは、TRBSC レジスタへの書き込み後、TRBPR レジスタへ書き込んでください。

表16.6に8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSC レジスタのリロードレジスタ更新タイミングを、表16.7に16ビットタイマ時のTRBPRES、TRBPR、TRBSC レジスタのリロードレジスタ更新タイミングを示します。

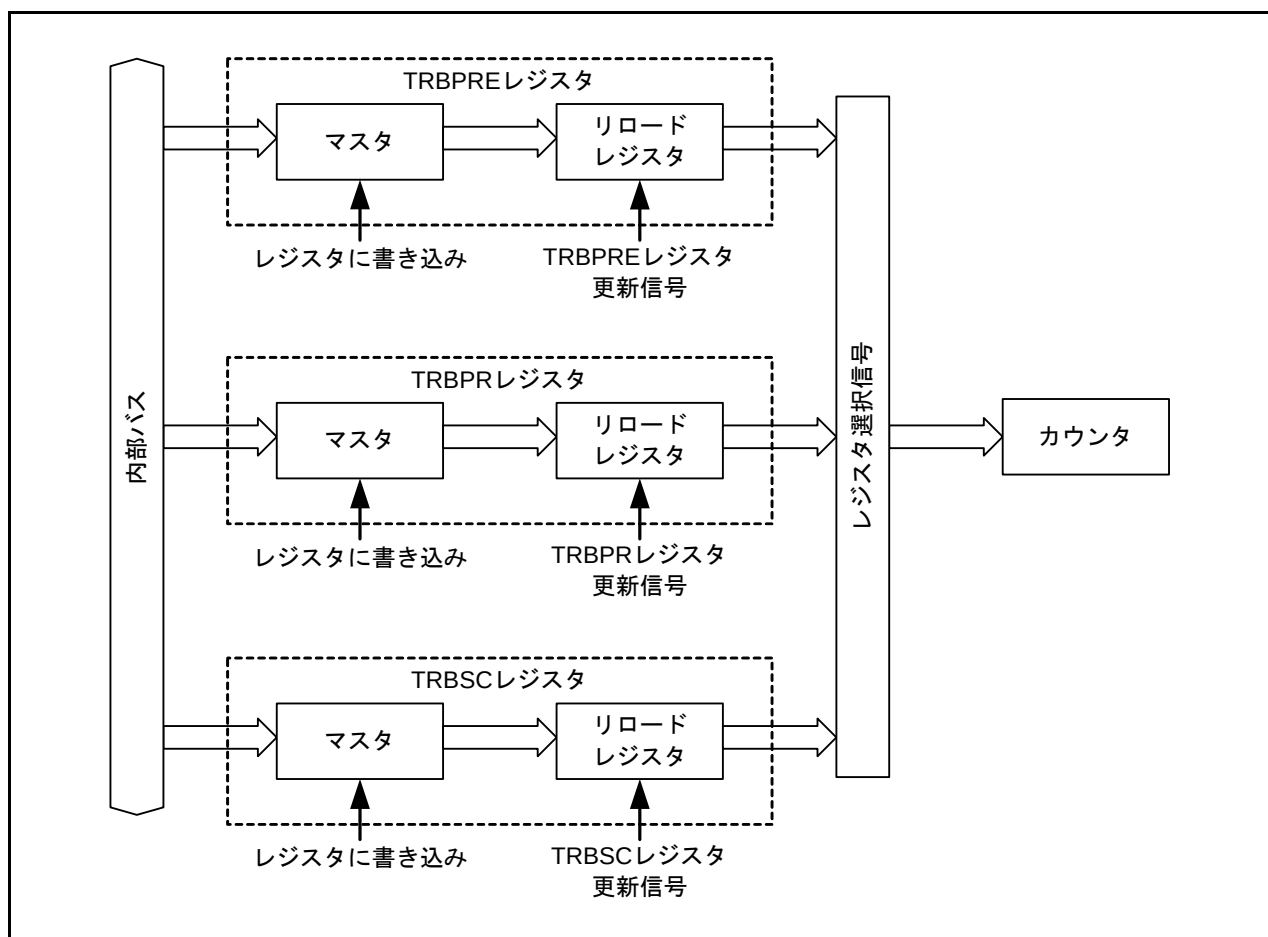


図16.10 TRBPRES、TRBPR、TRBSC レジスタの構成

表 16.6 8ビットプリスケアラ付き8ビットタイマ時のTRBPR、TRBSCレジスタのリロードレジスタ更新タイミング

動作モード		更新タイミング(注1)	
		TRBPRレジスタ	TRBSCレジスタ
タイマモード		TRBPRレジスタに書き込み後、プリスケアラのアンダフローに同期して更新	使用しません
プログラマブル波形発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前	
	TWRC = 0	TRBPRレジスタに書き込み後、プリスケアラのアンダフローに同期して更新(注2)	
プログラマブルワンショット発生モード		TRBPRレジスタに書き込み後、プリスケアラのアンダフローに同期して更新	使用しません
プログラマブルウェイトワンショット発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前	
	TWRC = 0	TRBPRレジスタに書き込み後、プリスケアラのアンダフローに同期して更新(注2)	

TWRC : TRBMRレジスタのビット

注1. 詳細は「16.5.2 TWRCビットによるプリスケアラとカウンタ動作」を参照してください。

注2. プログラマブル波形発生モードおよびプログラマブルウェイトワンショット発生モードで、TWRCビットが0(リロードレジスタとカウンタへの書き込み)の場合、カウント中にTRBSC、TRBPRレジスタのデータを更新すると、その時点から更新した周期で波形を出力します。

表 16.7 16ビットタイマ時のTRBPRE、TRBPR、TRBSCレジスタのリロードレジスタ更新タイミング

動作モード		更新タイミング(注1)	
		TRBPRE、TRBPRレジスタ	TRBSCレジスタ
タイマモード		TRBPRレジスタに書き込み後、カウントソースに同期して更新	使用しません
プログラマブル波形発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前	
	TWRC = 0	TRBPRレジスタに書き込み後、カウントソースに同期して更新(注2)	
プログラマブルワンショット発生モード		TRBPRレジスタに書き込み後、カウントソースに同期して更新	使用しません
プログラマブルウェイトワンショット発生モード	TWRC = 1	TRBPRレジスタに書き込み後、セカンダリ出力期間終了直前	
	TWRC = 0	TRBPRレジスタに書き込み後、カウントソースに同期して更新(注2)	

TWRC : TRBMRレジスタのビット

注1. 詳細は「16.5.2 TWRCビットによるプリスケアラとカウンタ動作」を参照してください。

注2. プログラマブル波形発生モードおよびプログラマブルウェイトワンショット発生モードで、TWRCビットが0(リロードレジスタとカウンタへの書き込み)の場合、カウント中にTRBSC、TRBPRレジスタのデータを更新すると、その時点から更新した周期で波形を出力します。

16.5.2 TWRC ビットによるプリスケアラとカウンタ動作

タイマモード以外の動作モードのときは、TWRC ビットは1に設定してください。

タイマモード時、タイマRB2はTRBMRレジスタのTWRCビットにより、TRBPRE、TRBPRレジスタのみに書き込むか、リロードレジスタとカウンタの両方に書き込むかを選択できます。ただし、TRBCRレジスタのTCSTFビットが0(カウント停止)のとき、TRBMRレジスタのTWRCビットの設定にかかわらず、リロードレジスタとカウンタの両方に書き込まれます。TWRCビットを1(リロードレジスタのみ書き込み)にし、プリスケアラの値を変更すると書き込んだときの周期がずれます。レジスタのみに書き込むと、設定前周期から設定後周期の間に不規則な周期がなく、周期を切り替えることができます。

プログラマブルワンショット発生モードとプログラマブルウェイトワンショット発生モード中、TRBCRレジスタのTCSTFビットが1(カウント中)、TRBOCRレジスタのTOSSTFビットが0(ワンショット停止)のとき、TRBMRレジスタのTWRCビットの設定は無効なので、リロードレジスタとカウンタへ書き込みます。

図16.11、図16.12に8ビットプリスケアラ付き8ビットタイマ時のプリスケアラとカウンタの動作例を、図16.13、図16.14に16ビットタイマ時のカウンタの動作例を示します。

なお、TCSTFビットが1(カウント中)のとき、TWRCビットを0(リロードレジスタとカウンタへの書き込み)にした場合でも、プリスケアラ、カウンタへの転送はカウントソースに同期して行なわれるため、書き込み命令実行後すぐにカウンタの値は更新されません。

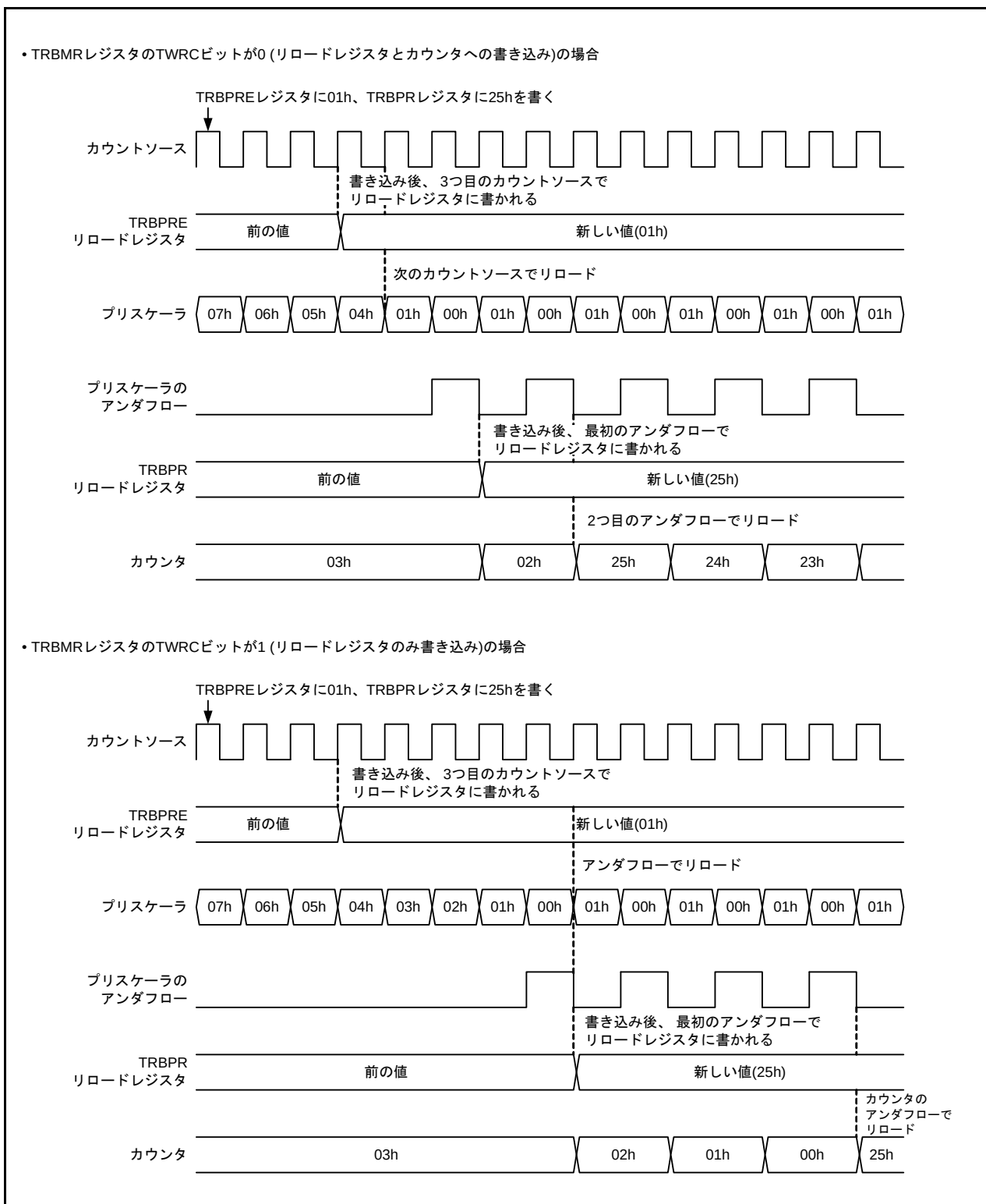


図 16.11 8ビットプリスケアラ付き8ビットタイマ時のプリスケアラとカウンタの動作例
(タイマモードまたはプログラマブルワンショット発生モードの例)

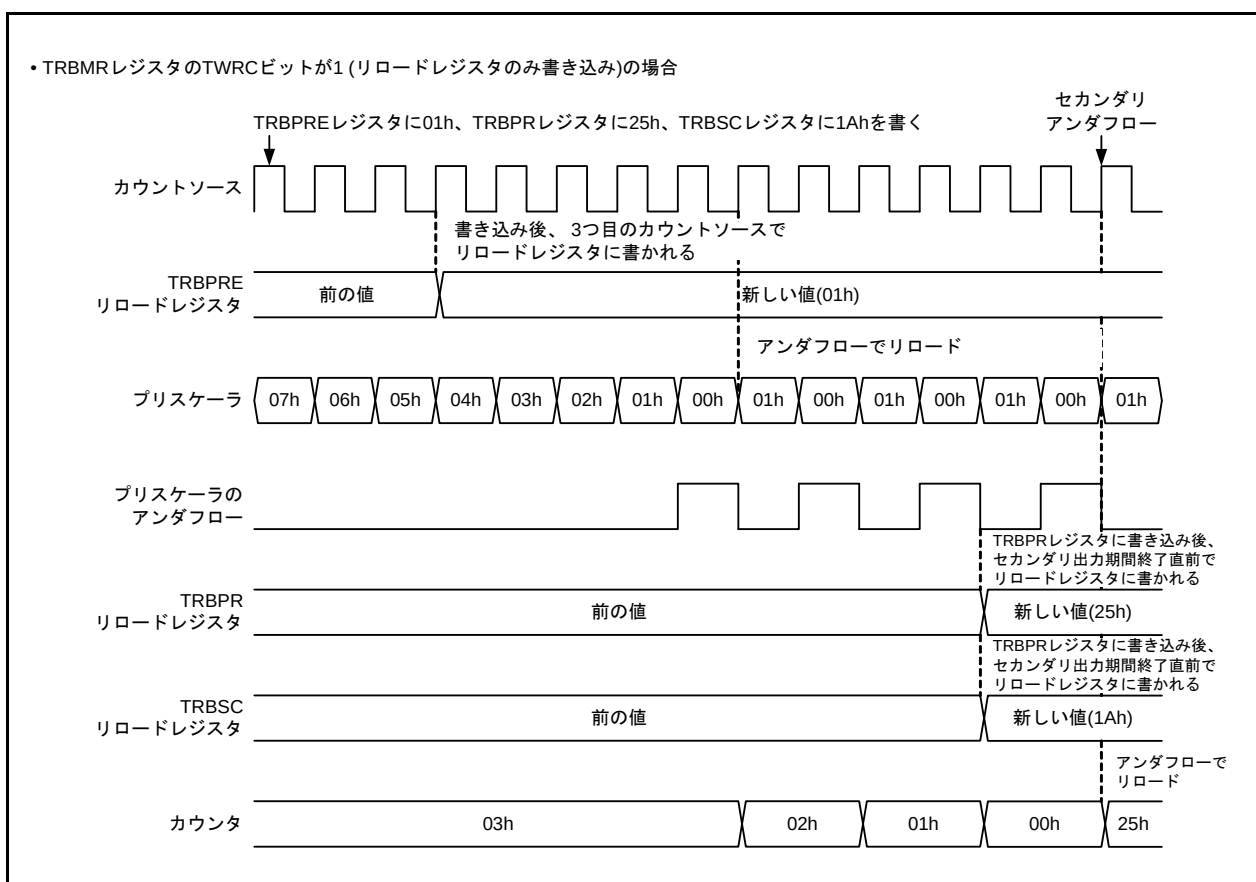


図16.12 8ビットプリスケアラ付き8ビットタイマ時のプリスケアラとカウンタの動作例
(プログラマブル波形発生モードまたはプログラマブルウェイトワンショット発生モードの例)

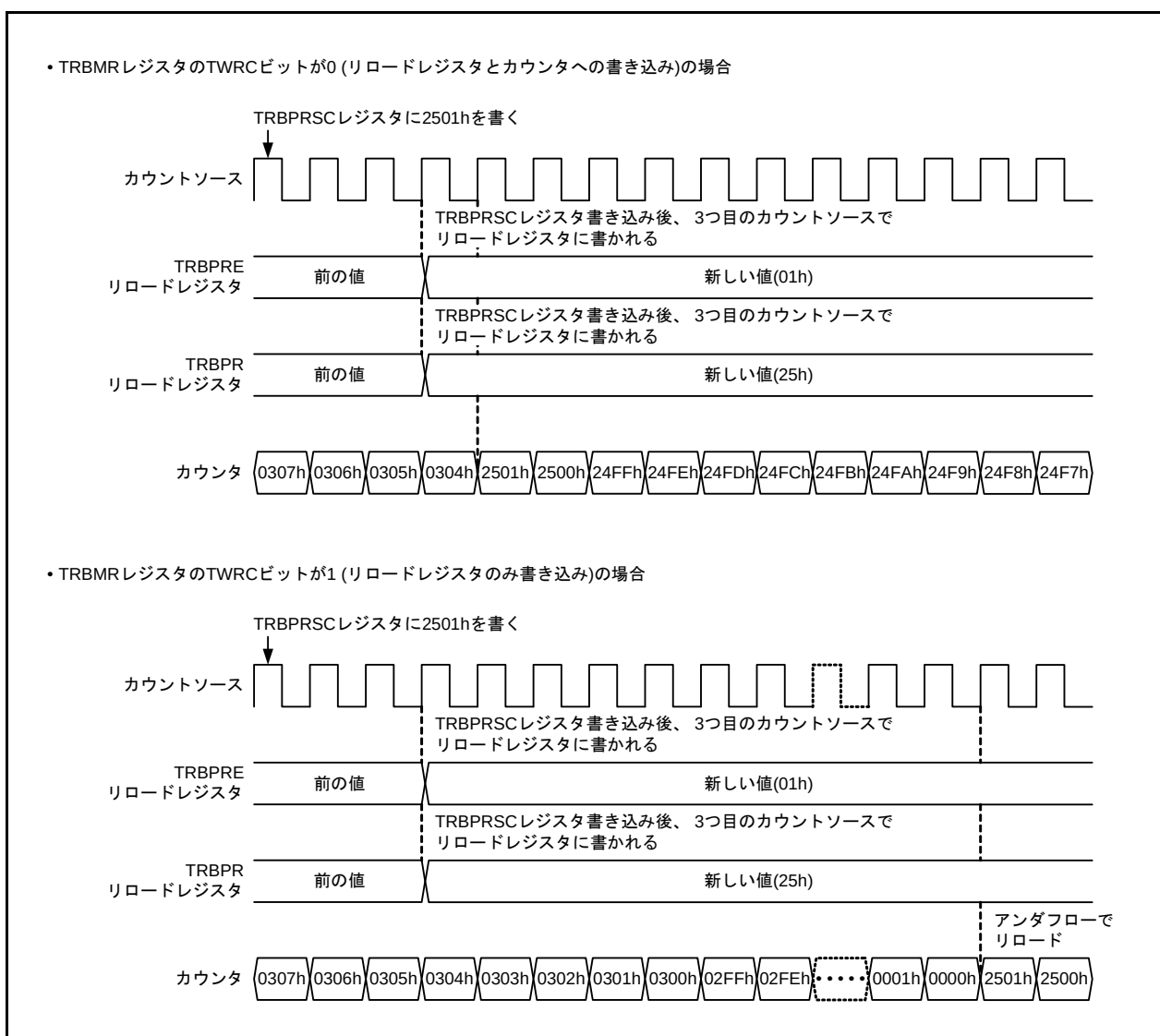


図 16.13 16ビットタイマ時のカウンタの動作例
(タイマモードまたはプログラマブルワンショット発生モードの例)

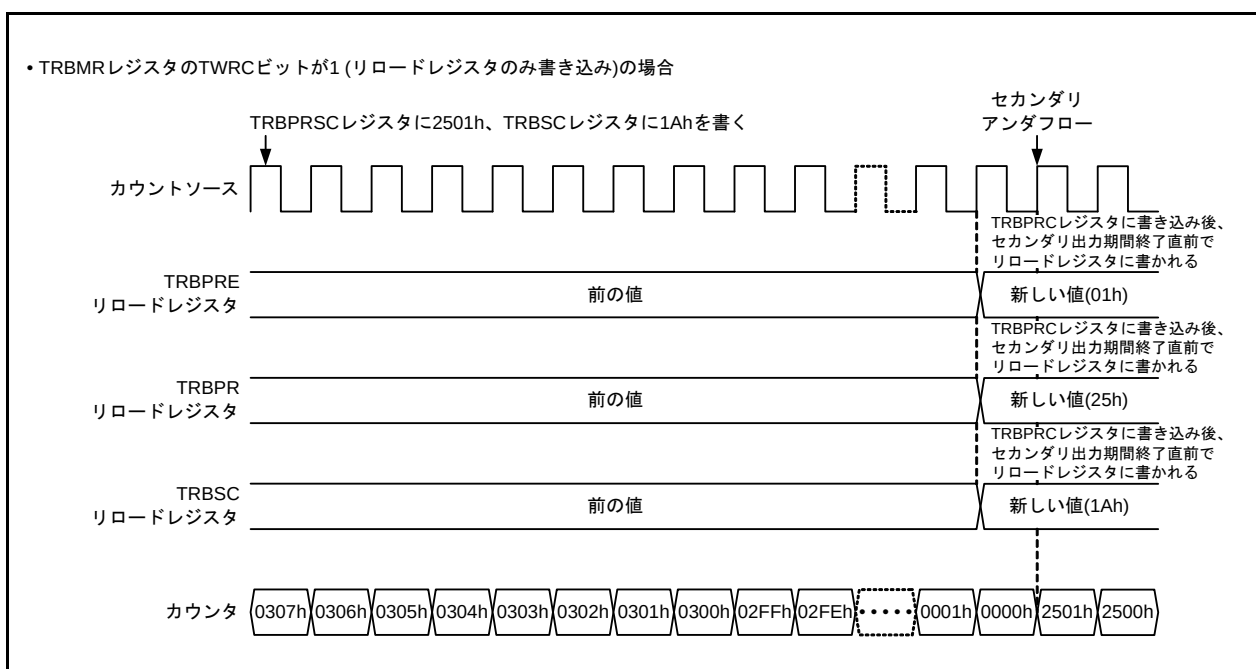


図 16.14 16ビットタイマ時のカウンタの動作例

(プログラマブル波形発生モードまたはプログラマブルウェイトワンショット発生モードの例)

16.5.3 TOCNT ビットの設定と端子状態

TRBIOC レジスタの TOCNT ビットによりタイマ波形出力するか、固定値を出力するかを選択できます。

表 16.8 に各モードでの出力データを示します。

表 16.8 各モードでの出力データ

動作モード	TRBO 出力のイネーブル信号		出力データ
タイマモード	出力禁止		ハイインピーダンス
プログラマブル波形発生モード	TOCNT	0	波形出力
		1	固定値(TOPLの反転値) 「表 16.4 タイマRB2 出力レベル選択ビットの機能」参照
プログラマブルワンショット発生モード	出力許可		波形出力
プログラマブルウェイトワンショット発生モード			

TOPL、TOCNT : TRBIOC レジスタのビット

タイマモード、プログラマブルワンショット発生モード、およびプログラマブルウェイトワンショット発生モードでは TOCNT ビットの設定にかかわらず、タイマモードはハイインピーダンス、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モードでは波形出力となります。

プログラマブル波形発生モードでは、TOCNT ビットを書き換えた場合、直ちに端子状態は変わらずに、下記の条件どちらかが発生したときに変更した内容が反映されます。TOCNT ビットが 1 (固定値出力) のとき、TRBIOC レジスタの TOPL ビットの反転値が出力されます。

[端子状態の更新条件]

- TRBCR レジスタの TSTART ビットを 0 (カウント停止) から 1 (カウント開始) に変更したとき
- TRBPR レジスタがカウンタにリロードされたとき

16.5.4 イベントリンクコントローラ(ELC)との連携による動作

プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モード時、タイマRB2はELCとの連携によりELCからのイベント入力の立ち上がりエッジで、カウントを開始することができます。

16.6 割り込み要求

TRBIRレジスタのTRBIFビットが1(割り込み要求あり)およびTRBIEビットが1(割り込み許可)のとき、CPUに割り込み要求が発生します。タイマRB2の割り込み要求フラグは、割り込み制御でのフラグレジスタ(FLG)のCPUの割り込み許可フラグ(Iフラグ)とプロセッサ割り込み優先レベル(IPL)とICUの割り込み制御レジスタ(TRB2IC_0レジスタのIRビット、ILVL0～ILVL2ビット)と関係しています。またCPUが割り込みを受付けた場合は、割り込みシーケンス中にTRBIFビットが0になります。TRBIFビットが1になる条件は、各モードにより異なります。TRBIFビットの説明および各モードの説明を参照してください。

16.7 INT0入力トリガ選択

プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モードでは、TRBCRレジスタのTCSTFビットが1(カウント許可状態)の状態、TRBOCRレジスタのTOSSTビットに1(ワンショットカウント開始)を書き込む、またはINT0端子にトリガを入力すると、ワンショット動作を開始します。

INT0端子からトリガ入力を使用する場合は、事前に次の設定をしてください。

- (1) PD4レジスタのPD4_5ビットを0(入力ポート)にする
- (2) INTFレジスタのINT0F0、INT0F1ビットで、INT0端子のデジタルフィルタのサンプリングクロックを選択する
- (3) INTENレジスタのINT0PLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合は、TRBIOCレジスタのINOSEGビットで、立ち下がりまたは立ち上がりエッジを選択する
- (4) INTENレジスタのINT0ENビットを1(許可)にし、割り込みを許可する
- (5) TRBIOCレジスタのINOSTGビットを1(INT0端子ワンショットトリガ有効)にする

なお、INT0端子へのトリガ入力で割り込み要求が発生させる場合は、次の点に注意してください。

- INT0PLビットで両エッジまたは片エッジを選択する。片エッジを選択した場合は、INTPOLレジスタのINT0POLビットで立ち下がりまたは立ち上がりエッジを選択する(TRBIOCレジスタのINOSEGビット(ワンショットトリガ極性選択ビットはINT0割り込みとは無関係))。
- TRBOCRレジスタのTOSSTFビットが1(ワンショット動作(ウェイト期間を含む))の間に、ワンショットトリガが発生しても、タイマRB2の動作に影響はないが、INT0ICレジスタのIRビットは変化する
- INT割り込みの詳細は「11.5 INT割り込み」を参照

16.8 タイマRB2使用上の注意事項

- (1) リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- (2) 16ビットタイマで使用する時、8ビット単位でTRBPRES、TRBPR、TRBSCレジスタをアクセス(8ビットアクセス)する場合、必ずTRBPRES→TRBPR→TRBSCの順番でアクセスしてください。
- (3) プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モードでは、TRBOCR レジスタの TOSSP ビットを1にしてワンショット停止したとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- (4) カウント停止中に TRBCR レジスタの TSTART ビットに1(カウント開始)を書いた後は、カウントソースの2、3サイクルの間、TRBCR レジスタの TCSTF ビットは0(カウント停止)になっています。TCSTF ビットが1(カウント中)になるまで、TCSTF ビットを除くタイマRB2関連レジスタ(注1)をアクセスしないでください。
カウント中に TSTART ビットに0(カウント停止)を書いた後は、カウントソースの2、3サイクルの間、TCSTF ビットは1になっています。TCSTF ビットが0になったとき、カウントを停止します。TCSTF ビットが0になるまで、TCSTF ビットを除くタイマRB2関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB2関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBPR、TRBSC

- (5) TSTART ビットが0(カウント停止)のとき、TRBPRES、TRBPR、TRBSC レジスタの値を変更する場合は、CPUクロックの2サイクル以上待ってから、TSTART ビットを1(カウント開始)にしてください。
- (6) TSTART ビットが1(カウント開始)またはTCSTF ビットが1(カウント中)のとき、TRBIOC、TRBMR レジスタ、TRBIR レジスタの TRBIE ビットの値を変更しないでください。なお、TOCNT ビットについては、16.5.3に記載の仕様でカウント中の変更は可能です。
- (7) カウント中(TCSTF ビットが1)のとき、TRBCR レジスタの TSTOP ビットに1を書くと、待ち時間なくタイマRB2が停止(TSTART ビットが0、TCSTF ビットが0、TOSST ビットが0、TOSSTF ビットが0)します。
- (8) TRBOCR レジスタの TOSST ビットに1(ワンショット開始)を書くと、タイマRBのカウントソースの3サイクル後に TOSSTF ビットが変化します。TRBOCR レジスタの TOSSP ビットに1(ワンショット停止)を書くと、タイマRBのカウントソースの2、3サイクル後に TOSSTF ビットが変化します。TOSST ビットに1を書いた後から TOSSTF ビットが1(ワンショット動作中(ウェイト期間を含む))になるまでの期間に TOSSP ビットに1を書いた場合、内部の状態によって TOSSTF ビットが0(ワンショット停止中)になる場合と、1になる場合があります。TOSSP ビットに1を書いた後から TOSSTF ビットが0になるまでの期間に TOSST ビットに1を書いた場合も同様に、TOSSTF ビットは0になる場合と、1になる場合があります。
- (9) タイマRJのアンダフロー信号をタイマRB2のカウントソースにする場合、タイマRJはタイマモード、パルス出力モード、またはイベントカウンタモードに設定してください。
- (10) TCSTF ビットが1(カウント中)であることを確認した後、TRBOCR レジスタの TOSST ビットに1(ワンショットカウント開始)を書き込んでください。TCSTF ビットが0(カウント停止)のとき、TOSST ビットに1(ワンショットカウント開始)の書き込みは無効です。
- (11) タイマRB2のプログラマブル波形発生モードおよびプログラマブルウェイトワンショットモードでは、TRBSC レジスタに書いてから TRBPR レジスタに書いてください。TRBPR レジスタへ書き込み後のセカンダリ期間のアンダフローのとき、TRBPR レジスタの値がカウンタに反映されます。TRBPR レジスタに書き込み後からセカンダリ期間のアンダフローまで、TRBSC、TRBPR レジスタを複数回書くと、最後に書き込んだデータがカウンタに反映されます。ただし、TRBSC レジスタを単独で書かないでください。TRBSC、TRBPR レジスタの両方に書き込んでください。

- (12) カウント停止状態で TRBPRES レジスタ、または TRBPR レジスタの書き込みと読み出しを連続して行う場合は、書き込みと読み出しの間にNOP命令を入れてください。
- (13) カウント中(TSTART ビットが1またはTCSTF ビットが1)に TRBPRES、TRBPR、TRBSC レジスタに書き込む場合は、以下の点に注意してください。
- TRBPRES レジスタに連続して書き込む場合は、書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPR レジスタに連続して書き込む場合は、書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBSC レジスタに連続して書き込む場合は、書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- (14) 消費電流を低減するために、TRBCR レジスタのTSTART ビットと TRBCR レジスタのTCSTF ビットがともに0（カウント停止）状態でモジュールスタンバイに切り替えてください。モジュールスタンバイの切り替えビットについては、10.2.9 モジュールスタンバイコントロールレジスタ2 (MSTCR2)」を参照してください。
- (15) TSTOP ビットでカウントを強制停止させる場合は、次の設定をしてください。
- (1) TRB2IC_0 レジスタの割り込み優先レベルを0（割り込み禁止）に設定
 - (2) TSTOP ビットに1（カウント強制停止）を設定
 - (3) TRBIF ビットを0（割り込み要求なし）に設定
- (16) プログラマブル波形発生モードで TRBPR レジスタを書き換えた場合、書き換え後の次のセカンダリ期間の次のタイミングで、TRBPRES、TRBPR、TRBSC レジスタに書かないでください。
- 8ビットプリスケアラ付き8ビットタイマ：
セカンダリ出力期間が終了する前のプリスケアラのアンダフロー2周期分
 - 16ビットタイマ：
セカンダリ出力期間が終了する前のカウントソースクロックの2周期分

17. タイマ RC

タイマ RC はアウトプットコンペア機能、インプットキャプチャ機能を内蔵した 16 ビットのタイマです。外部イベントのカウントができます。タイマ RC カウンタと 4 本のジェネラルレジスタのコンペア一致による、任意のデューティのパルス出力など、多機能タイマとして種々の応用が可能です。

17.1 概要

表 17.1 にタイマ RC の仕様を、表 17.2 にタイマ RC 機能一覧を、図 17.1 にタイマ RC のブロック図を、表 17.3 にタイマ RC の端子構成を示します。

表 17.1 タイマ RC の仕様

項目			内容
カウントソース (カウンタ入力 クロック)	動作クロック	内部クロック	• f1、f2、f4、f8、f32 : TRCCR1 レジスタの CKS2 ~ CKS0 ビットが 000b ~ 100b で 選択 • fHOCO : TRCCR1 レジスタの CKS2 ~ CKS0 ビットが 110b で選択 • fHOCO-F : TRCCR1 レジスタの CKS2 ~ CKS0 ビットが 111b で選択
		外部クロック (外部イベント カウント)	TRCCLK 入力 : TRCCR1 レジスタの CKS2 ~ CKS0 ビットが 101b で選択
パルス入出力端子			4 本
ジェネラルレジスタ			4 本 • アウトプットコンペアレジスタ、インプットキャプチャレジ スタとして独立に設定可能 • アウトプットコンペアレジスタ、インプットキャプチャレジ スタのバッファレジスタとしても使用可能
動作モード	タイマモード		• アウトプットコンペア機能 : L 出力、H 出力、トグル出力が 可能 • インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジを検出 • カウンタクリア機能 : カウンタの周期設定が可能
		PWM モード	最大 3 相の PWM 出力が可能
		PWM2 モード	任意の周期/デューティのパルス出力が可能
割り込み要因			• コンペア一致/インプットキャプチャ兼用割り込み × 4 要因 • オーバフロー割り込み
その他			• タイマ RC 出力の初期値を任意に設定可能 • TRCGRA、TRCGRB、TRCGRC、TRCGRD レジスタのコ ンペア一致による A/D 変換トリガを設定可能 • タイマ RC とイベントリンクコントローラ (ELC) または DTC と連動可能 • INT0 端子によりタイマ出力禁止制御が可能 • INT1 端子によりタイマ RC_0 の出力波形操作イベント入力が 可能 • インプットキャプチャトリガ選択 TRCGRA レジスタのインプットキャプチャトリガ入力に fOCO128 を選択可能

表 17.2 タイマ RC 機能一覧

項目	カウンタ	入出力端子			
		TRCIOA	TRCIOB	TRCIOC	TRCIOD
カウントソース	内蔵クロック : f1、f2、f4、f8、f32、fHOCO、fHOCO-F 外部クロック : TRCCLK				
ジェネラルレジスタ (アウトプットコンペア/ インプットキャプチャ兼 用レジスタ)	周期設定は TRCGRAレジ スタ	TRCGRAレジ スタ	TRCGRBレジ スタ	TRCGRCレジ スタ バッファ動作時 TRCGRAレジ スタのバッファ レジスタ	TRCGRDレジ スタ バッファ動作時 TRCGRBレジ スタのバッファ レジスタ
カウンタクリア機能	TRCGRAレジ スタのインプッ トキャプチャ/ コンペアー致	TRCGRAレジ スタのインプッ トキャプチャ/ コンペアー致	—	—	—
	TRCTRG入力	—	—	—	—
初期出力レベルの 設定機能	—	○	○	○	○
バッファ動作	—	○	○	—	—
コンペア 一致	L出力	○	○	○	○
	H出力	○	○	○	○
	トグル出力	○	○	○	○
インプットキャプチャ 機能	—	○	○	○	○
PWMモード	—	—	○	○	○
PWM2モード	—	—	○	—	—
割り込み要因	オーバフロー	コンペアー致/ インプットキャ プチャ	コンペアー致/ インプットキャ プチャ	コンペアー致/ インプットキャ プチャ	コンペアー致/ インプットキャ プチャ

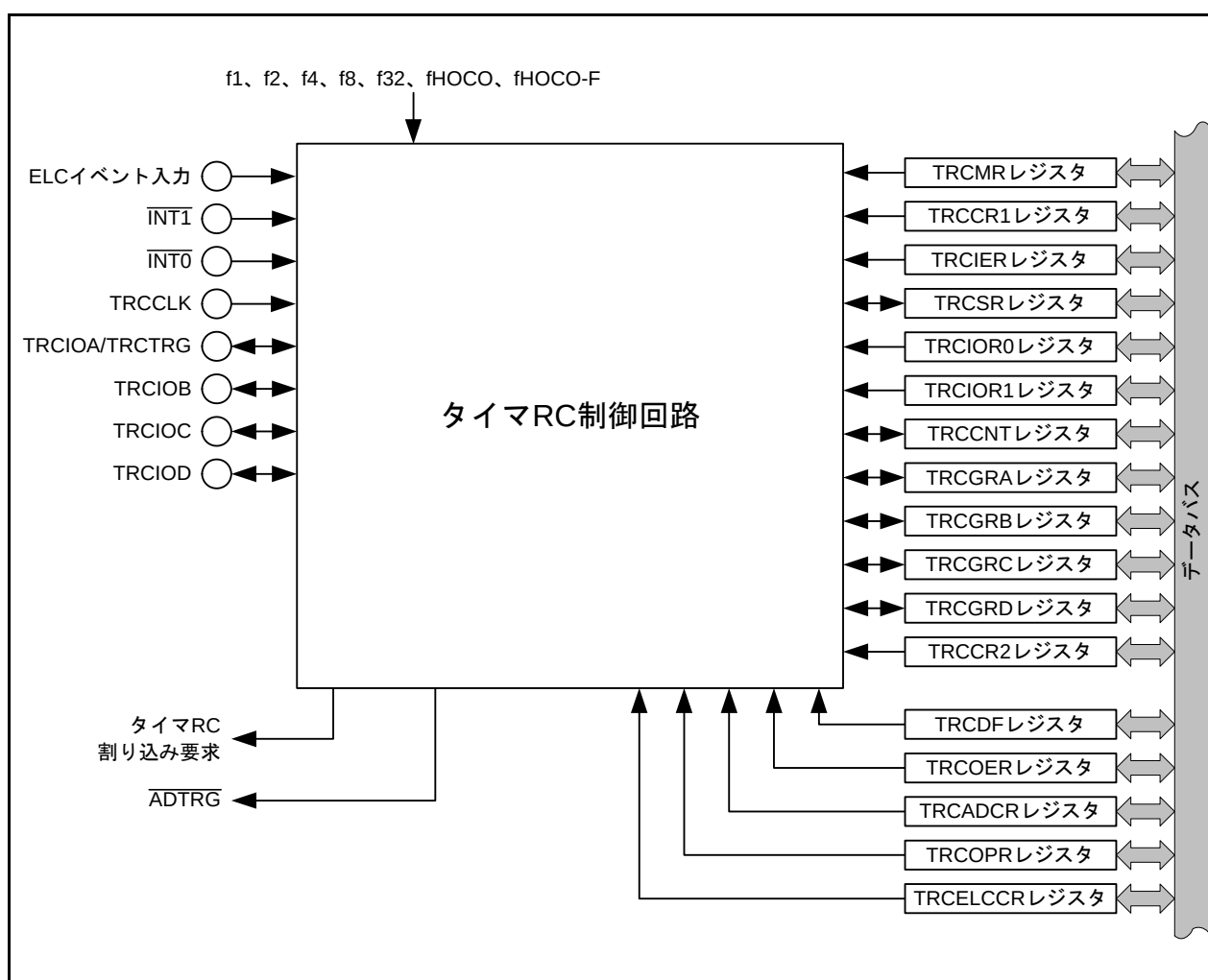


図 17.1 タイマRCのブロック図

表 17.3 タイマRCの端子構成

端子名	入出力	機能
TRCCLK	入力	外部クロック入力
TRCIOA/TRCTRG	入出力	TRCGRA アウトプットコンペア出力/TRCGRA インプットキャプチャ入力/ 外部トリガ入力 (TRCTRG)
TRCIOB	入出力	TRCGRB アウトプットコンペア出力/TRCGRB インプットキャプチャ入力/ PWM 出力 (PWM モード時、PWM2 モード時)
TRCIOC	入出力	TRCGRC アウトプットコンペア出力/TRCGRC インプットキャプチャ入力/ PWM 出力 (PWM モード時)
TRCIOD	入出力	TRCGRD アウトプットコンペア出力/TRCGRD インプットキャプチャ入力/ PWM 出力 (PWM モード時)
INT0	入力	タイマ出力禁止制御入力
INT1	入力	タイマ RC_0 の出力波形操作イベント入力

17.2 レジスタの説明

表17.4にタイマRCのレジスタ構成を示します。

表17.4 タイマRCのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRC_0カウンタ	TRCCNT_0	0000h	00138h	16
タイマRC_0ジェネラルレジスタA	TRCGRA_0	FFFFh	0013Ah	16
タイマRC_0ジェネラルレジスタB	TRCGRB_0	FFFFh	0013Ch	16
タイマRC_0ジェネラルレジスタC	TRCGRC_0	FFFFh	0013Eh	16
タイマRC_0ジェネラルレジスタD	TRCGRD_0	FFFFh	00140h	16
タイマRC_0モードレジスタ	TRCMR_0	01001000b	00142h	8
タイマRC_0制御レジスタ1	TRCCR1_0	00h	00143h	8
タイマRC_0割り込み許可レジスタ	TRCIER_0	01110000b	00144h	8
タイマRC_0ステータスレジスタ	TRCSR_0	01110000b	00145h	8
タイマRC_0 I/O制御レジスタ0	TRCIOR0_0	10001000b	00146h	8
タイマRC_0 I/O制御レジスタ1	TRCIOR1_0	10001000b	00147h	8
タイマRC_0制御レジスタ2	TRCCR2_0	00011000b	00148h	8
タイマRC_0デジタルフィルタ機能選択レジスタ	TRCDF_0	00h	00149h	8
タイマRC_0出力許可レジスタ	TRCOER_0	01111111b	0014Ah	8
タイマRC_0 A/D変換トリガ制御レジスタ	TRCADCR_0	11110000b	0014Bh	8
タイマRC_0出力波形操作レジスタ	TRCOPR_0	00h	0014Ch	8
タイマRC_0 ELC連動制御レジスタ	TRCELCCR_0	00h	0014Dh	8

17.2.1 タイマRCカウンタ (TRCCNT)

アドレス 00138h (TRCCNT_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b15～b0	16ビットの読み出し/書き込みが可能なアップカウンタです。 オーバフローすると、TRCSRレジスタのOVFビットが1になります。このとき、TRCIERレジスタのOVIEビットが1 (OVFビットによる割り込み要求許可) の場合、割り込み要求を発生します。	0000h～FFFFh	R/W

タイマRCカウンタのカウントソースは、TRCCR1レジスタのCKS0～CKS2ビットで選択します。TRCCR1レジスタのCCLRビットを1に設定しておくことで、TRCCNTレジスタはTRCGRAレジスタとのコンペア一致時、0000hにクリアされます。

TRCCNTレジスタを8ビット単位でアクセスしないでください。16ビット単位でアクセスしてください。

17.2.2 タイマ RC ジェネラルレジスタ A、B、C、D (TRCGRA、TRCGRB、TRCGRC、TRCGRD)

アドレス 0013Ah (TRCGRA_0)、0013Ch (TRCGRB_0)、0013Eh (TRCGRC_0)、00140h (TRCGRD_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	モードによって機能が異なる	R/W

TRCGRA～TRCGRD レジスタを 8 ビット単位でアクセスしないでください。16 ビット単位でアクセスしてください。

表 17.5 インพุットキャプチャ機能時の TRCGRj レジスタの機能

レジスタ	設定	レジスタの機能	インพุットキャプチャ 入力端子
TRCGRA	—	ジェネラルレジスタ。インพุットキャプチャ時の TRC レジスタの値が読めます。	TRCIOA
TRCGRB	—		TRCIOB
TRCGRC	BUFEA = 0	ジェネラルレジスタ。インพุットキャプチャ時の TRC レジスタの値が読めます。	TRCIOC
TRCGRD	BUFEB = 0		TRCIOD
TRCGRC	BUFEA = 1	バッファレジスタ。ジェネラルレジスタからの転送値を保持します(「17.5.5 バッファ動作のタイミング」参照)。	TRCIOA
TRCGRD	BUFEB = 1		TRCIOB

j = A、B、C、D のいずれか

BUFEA、BUFEB : TRCMR レジスタのビット

表 17.6 アウトプットコンペア機能時の TRCGRj レジスタの機能

レジスタ	設定	レジスタの機能	アウトプット コンペア出力端子
TRCGRA	—	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOA
TRCGRB	—		TRCIOB
TRCGRC	BUFEA = 0	ジェネラルレジスタ。コンペア値を書いてください。	TRCIOC
TRCGRD	BUFEB = 0		TRCIOD
TRCGRC	BUFEA = 1	バッファレジスタ。次のコンペア値を書いてください。 (「17.5.5 バッファ動作のタイミング」参照)	TRCIOA
TRCGRD	BUFEB = 1		TRCIOB

j = A、B、C、D のいずれか

BUFEA、BUFEB : TRCMR レジスタのビット

表 17.7 PWM モード時の TRCGRj レジスタの機能

レジスタ	設定	レジスタの機能	PWM 出力端子
TRCGRA	—	ジェネラルレジスタ。PWM 周期を設定してください。	—
TRCGRB	—	ジェネラルレジスタ。PWM 出力の変化点を設定してください。	TRCIOB
TRCGRC	BUFEA = 0	ジェネラルレジスタ。PWM 出力の変化点を設定してください。	TRCIOC
TRCGRD	BUFEB = 0		TRCIOD
TRCGRC	BUFEA = 1	バッファレジスタ。次の PWM 周期を設定してください。 (「17.5.5 バッファ動作のタイミング」参照)。	—
TRCGRD	BUFEB = 1		TRCIOB

j = A、B、C、Dのいずれか

BUFEA、BUFEB : TRCMR レジスタのビット

注1. TRCGRAレジスタの値(PWM周期)とTRCGRB、TRCGRC、TRCGRDレジスタの値が同じ場合、コンペアー一致しても端子の出力レベルは変化しません。

表 17.8 PWM2モード時のTRCGRjレジスタの機能

レジスタ	設定	レジスタの機能	PWM2出力端子
TRCGRA	—	ジェネラルレジスタ。PWM周期を設定してください。	TRCIOB端子
TRCGRB (注1)	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	
TRCGRC (注1)	BUFEA = 0	ジェネラルレジスタ。PWM出力の変化点(トリガからのウェイト時間)を設定してください。	
TRCGRD	BUFEB = 0	(PWM2モードでは使用しません)	—
TRCGRD	BUFEB = 1	バッファレジスタ。次のPWM出力の変化点を設定してください。(「17.5.5 バッファ動作のタイミング」参照)	TRCIOB端子

j = A、B、C、Dのいずれか

BUFEA、BUFEB : TRCMR レジスタのビット

注1. TRCGRBレジスタとTRCGRCレジスタに同じ値を設定しないでください。

17.2.3 タイマRCモードレジスタ(TRCMR)

アドレス 00142h (TRCMR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CTS	—	BUFEB	BUFEA	PWM2	PWMD	PWMC	PWMB
リセット後の値	0	1	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB	TRCIOB PWMモード選択ビット (注1)	0 : タイマモード 1 : PWMモード	R/W
b1	PWMC	TRCIOB PWMモード選択ビット (注1)		R/W
b2	PWMD	TRCIOD PWMモード選択ビット (注1)		R/W
b3	PWM2	PWM2モード選択ビット	0 : PWM2モード 1 : タイマモードまたはPWMモード	R/W
b4	BUFEA	TRCGRCレジスタ機能選択ビット (注2)	0 : アウトプットコンペアレジスタまたはイン プットキャプチャレジスタ 1 : TRCGRAレジスタのバッファレジスタ	R/W
b5	BUFEB	TRCGRDレジスタ機能選択ビット	0 : アウトプットコンペアレジスタまたはイン プットキャプチャレジスタ 1 : TRCGRBレジスタのバッファレジスタ	R/W
b6	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b7	CTS	TRCCNTカウント開始ビット	0 : カウント停止 1 : カウント開始	R/W

注1. これらのビットはPWM2ビットが1(タイマモードまたはPWMモード)のとき有効です。

注2. PWM2モードでは、BUFEAビットを0(アウトプットコンペアレジスタまたはインプットキャプチャレジスタ)にしてください。

CTSビット(TRCCNTカウント開始ビット)

[0になる条件]

- 0を書いたとき

- PWM2モード時、TRCCR2レジスタのCSTPビットが1 (TRCGRAレジスタとのコンペア一致でカウント停止)の状態、コンペア一致が発生したとき

[1になる条件]

- 1を書いたとき

以下に各モードのカウント停止条件を示します。

カウント停止条件

[インプットキャプチャ機能時]

- TRCMRレジスタのCTSビットへの0 (カウント停止)書き込み
- TRCCNTレジスタは停止前の値を保持

[アウトプットコンペア機能時]

TRCCR2レジスタのCSTPビットが0 (TRCGRAレジスタとのコンペア一致後もカウント継続)の場合

- TRCMRレジスタのCTSビットへの0 (カウント停止)書き込み
- アウトプットコンペア出力端子はカウント停止前の出力レベルを保持、TRCCNTレジスタは停止前の値を保持

[PWMモード時]

TRCCR2レジスタのCSTPビットが0 (TRCGRAレジスタとのコンペア一致後もカウント継続)の場合

- TRCMRレジスタのCTSビットへの0 (カウント停止)書き込み
- PWM出力端子はカウント停止前の出力レベルを保持、TRCCNTレジスタは停止前の値を保持

[PWM2モード時]

- TRCMRレジスタのCTSビットへの0 (カウント停止)書き込み (TRCCR2レジスタのCSTPビットが0の場合も、1の場合も含む)
- TRCIOB端子はTRCCR1レジスタのTOBビットの内容に従い、初期レベルを出力。TRCCNTレジスタは停止前の値を保持

17.2.4 タイマ RC 制御レジスタ 1 (TRCCR1)

アドレス 00143h (TRCCR1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR	CKS2	CKS1	CKS0	TOD	TOC	TOB	TOA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TOA	タイマ出力レベル選択Aビット (注1)	0 : 出力値 L 1 : 出力値 H	R/W
b1	TOB	タイマ出力レベル選択Bビット (注1)		R/W
b2	TOC	タイマ出力レベル選択Cビット (注1)		R/W
b3	TOD	タイマ出力レベル選択Dビット (注1)		R/W
b4	CKS0	カウントソース選択ビット (注3)	b6 b5 b4 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRCCLK 入力の立ち上がりエッジ(注5) 1 1 0 : fHOCO(注2) 1 1 1 : fHOCO-F (注4)	R/W
b5	CKS1			R/W
b6	CKS2			R/W
b7	CCLR	TRCCNT カウンタクリア選択ビット	0 : クリア禁止 (フリーランニング動作) 1 : インプットキャプチャ/コンペアー一致Aで TRCCNT カウンタクリア	R/W

注1. TOA～TOD ビットに設定した出力値は、書き込んだタイミングで反映されます。なお、TRCMR レジスタの CTS ビットが0 (カウント停止) ときに設定してください。

注2. fHOCO を選択する場合は、高速オンチップオシレータが動作している状態で設定してください。

注3. カウントソースの切り替えは、カウンタが停止した状態で行ってください。

注4. fHOCO-F を選択する場合は、CPU クロックより速いクロック周波数に fHOCO-F を設定してください。

注5. TRCCLK に入力する外部クロックのパルス幅は動作クロックの3サイクル以上にしてください。

TOA ビット (タイマ出力レベル選択Aビット)

最初のコンペアー一致 A (TRCCNT レジスタと TRCGRA レジスタの値が一致) が発生するまでの、TRCIOA 端子の出力値を設定します。また、タイマモード (アウトプットコンペアー機能) に限定で、PWM モードでは TRCIOA 端子を使用しません。

TOB ビット (タイマ出力レベル選択Bビット)

最初のコンペアー一致 B (TRCCNT レジスタと TRCGRB レジスタの値が一致) が発生するまでの、TRCIOB 端子の出力値を設定します。また、PWM モードおよび PWM2 モードでは TRCIOB 端子の出力レベルを制御します。詳細は「図 17.9 PWM モードの動作例」を参照してください。

TOC ビット (タイマ出力レベル選択Cビット)

最初のコンペアー一致 C (TRCCNT レジスタと TRCGRC レジスタの値が一致) が発生するまでの、TRCIOC 端子の出力値を設定します。また、PWM モードでは TRCIOC 端子の出力レベルを制御します。詳細は「図 17.9 PWM モードの動作例」を参照してください。

TOD ビット (タイマ出力レベル選択Dビット)

最初のコンペアー一致 D (TRCCNT レジスタと TRCGRD レジスタの値が一致) が発生するまでの、TRCIOD 端子の出力値を設定します。また、PWM モードでは TRCIOD 端子の出力レベルを制御します。詳細は「図 17.9 PWM モードの動作例」を参照してください。

17.2.5 タイマRC割り込み許可レジスタ (TRCIER)

アドレス 00144h (TRCIER_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVIE	—	—	—	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー一致A割り込み許可ビット	0 : TRCSRレジスタのIMFAビットによる割り込み要求禁止 1 : TRCSRレジスタのIMFAビットによる割り込み要求許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー一致B割り込み許可ビット	0 : TRCSRレジスタのIMFBビットによる割り込み要求禁止 1 : TRCSRレジスタのIMFBビットによる割り込み要求許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー一致C割り込み許可ビット	0 : TRCSRレジスタのIMFCビットによる割り込み要求禁止 1 : TRCSRレジスタのIMFCビットによる割り込み要求許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー一致D割り込み許可ビット	0 : TRCSRレジスタのIMFDビットによる割り込み要求禁止 1 : TRCSRレジスタのIMFDビットによる割り込み要求許可	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	OVIE	タイマオーバフロー割り込み許可ビット	0 : TRCSRレジスタのOVFビットによる割り込み要求禁止 1 : TRCSRレジスタのOVFビットによる割り込み要求許可	R/W

17.2.6 タイマ RC ステータスレジスタ (TRCSR)

アドレス 00145h (TRCSR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	OVF	—	—	—	IMFD	IMFC	IMFB	IMFA
リセット後の値	0	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペアー一致 A フラグ	[0になる条件] ・1を読んだ後、0を書いたとき (注1) ・IMFi 割り込み (i = A ~ D) で DTC を起動した場合、DTC のアクノリッジで 0 になる [1になる条件] ・「表 17.9 各フラグが 1 になる条件」参照	R/W
b1	IMFB	インプットキャプチャ/コンペアー一致 B フラグ		R/W
b2	IMFC	インプットキャプチャ/コンペアー一致 C フラグ		R/W
b3	IMFD	インプットキャプチャ/コンペアー一致 D フラグ		R/W
b4	—	何も配置されていない。書く場合、1 を書いてください。読んだ場合、その値は 1。		—
b5	—			
b6	—			
b7	OVF	タイマオーバフローフラグ	[0になる条件] ・1を読んだ後、0を書いたとき [1になる条件] ・「表 17.9 各フラグが 1 になる条件」参照	R/W

注1. 書き込み結果は次のようになります。

- ・読んだ結果が 1 の場合、同じビットに 0 を書くと 0 になります。
- ・読んだ結果が 0 の場合、同じビットに 0 を書いても変化しません (読んだ後で、0 から 1 に変化した場合、0 を書いても 1 のままです)。
- ・1 を書いた場合は変化しません。

表 17.9 各フラグが 1 になる条件

シンボル	タイマモード		PWM モード	PWM2 モード
	インプットキャプチャ機能	アウトプットコンペアー機能		
IMFA	TRCIOA 端子の入力エッジ (注1) で TRCCNT レジスタの値が TRCGRA レジスタへ転送されたとき	TRCCNT レジスタと TRCGRA レジスタの値が一致 (コンペアー一致 A) したとき		
IMFB	TRCIOB 端子の入力エッジ (注1) で TRCCNT レジスタの値が TRCGRB レジスタへ転送されたとき	TRCCNT レジスタと TRCGRB レジスタの値が一致 (コンペアー一致 B) したとき		
IMFC	TRCIOC 端子の入力エッジ (注1) で TRCCNT レジスタの値が TRCGRC レジスタへ転送されたとき	TRCCNT レジスタと TRCGRC レジスタの値が一致 (コンペアー一致 C) したとき (注2)		
IMFD	TRCIOD 端子の入力エッジ (注1) で TRCCNT レジスタの値が TRCGRD レジスタへ転送されたとき	TRCCNT レジスタと TRCGRD レジスタの値が一致 (コンペアー一致 D) したとき (注2)		
OVF	TRCCNT レジスタが FFFFh から 0000h にオーバフローしたとき			

注1. TRCIOR0、TRCIOR1 レジスタの IOi0 ~ IOi1 ビット (i = A ~ D) で選択したエッジです。

注2. TRCMR レジスタの BUFEA、BUFEB ビットが 1 (TRCGRA、TRCGRB のバッファレジスタ) の場合を含みます。

17.2.7 タイマ RC I/O 制御レジスタ 0 (TRCIOR0)

アドレス 00146h (TRCIOR0_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRCGRA 制御 A0 ビット	[IOA2 = 0 (アウトプットコンペアレジスタ)]	R/W
b1	IOA1	TRCGRA 制御 A1 ビット	b1 b0 0 0 : コンペア一致 A による端子出力禁止 0 1 : コンペア一致 A で TRCIOA 端子へ L 出力 1 0 : コンペア一致 A で TRCIOA 端子へ H 出力 1 1 : コンペア一致 A で TRCIOA 端子へ トグル出力 [IOA2 = 1 (インプットキャプチャレジスタ)] b1 b0 0 0 : TRCIOA 端子の立ち上がりエッジ 0 1 : TRCIOA 端子の立ち下がりエッジ 1 0 : TRCIOA 端子の両エッジ 1 1 : 設定しないでください	R/W
b2	IOA2	TRCGRA 制御 A2 ビット (注1、2)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b3	IOA3	TRCGRA インプットキャプチャ入力切り替え	0 : fOCO128 をインプットキャプチャ 1 : TRCIOA 端子入力をインプットキャプチャ	R/W
b4	IOB0	TRCGRB 制御 B0 ビット	[IOB2 = 0 (アウトプットコンペアレジスタ)]	R/W
b5	IOB1	TRCGRB 制御 B1 ビット	b5 b4 0 0 : コンペア一致 B による端子出力禁止 0 1 : コンペア一致 B で TRCIOB 端子へ L 出力 1 0 : コンペア一致 B で TRCIOB 端子へ H 出力 1 1 : コンペア一致 B で TRCIOB 端子へ トグル出力 [IOB2 = 1 (インプットキャプチャレジスタ)] b5 b4 0 0 : TRCIOB 端子の立ち上がりエッジ 0 1 : TRCIOB 端子の立ち下がりエッジ 1 0 : TRCIOB 端子の両エッジ 1 1 : 設定しないでください	R/W
b6	IOB2	TRCGRB 制御 B2 ビット (注1、2)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b7	—	何も配置されていない。書く場合、1 を書いてください。読んだ場合、その値は1。		—

注1. TRCMR レジスタの BUFEA、BUFEB ビットを 1 にした場合、TRCGRA と TRCGRC レジスタ、TRCGRB と TRCGRD レジスタがペアとなります。IOA2 ビットと TRCIOR1 レジスタの IOC2 ビット、IOB2 ビットと TRCIOR1 レジスタの IOD2 ビットは、同じ値を設定してください。

注2. インプットキャプチャ機能時、タイマカウント動作中に TRCIOR0 レジスタを書き換えしないでください。

PWM モードおよび PWM2 モードでは、TRCIOR0 レジスタの設定は無効になります。書き込んだ値は保持されますが、制御には反映されません。

17.2.8 タイマ RC I/O 制御レジスタ 1 (TRCIOR1)

アドレス 00147h (TRCIOR1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRCGRC 制御 C0 ビット	[IOC3 = 0 (TRCIOA 端子のジェネラルレジスタ)]	R/W
b1	IOC1	TRCGRC 制御 C1 ビット	b1 b0 0 0 : コンペア一致 C による端子出力禁止 0 1 : コンペア一致 C で TRCIOA 端子へ L 出力 1 0 : コンペア一致 C で TRCIOA 端子へ H 出力 1 1 : コンペア一致 C で TRCIOA 端子へ トグル出力 [IOC2 = 0、IOC3 = 1 (アウトプットコンペアレジスタ)] b1 b0 0 0 : コンペア一致 C による端子出力禁止 0 1 : コンペア一致 C で TRCIOC 端子へ L 出力 1 0 : コンペア一致 C で TRCIOC 端子へ H 出力 1 1 : コンペア一致 C で TRCIOC 端子へ トグル出力 [IOC2 = 1、IOC3 = 1 (インプットキャプチャレジスタ)] b1 b0 0 0 : TRCIOC 端子の立ち上がりエッジ 0 1 : TRCIOC 端子の立ち下がりエッジ 1 0 : TRCIOC 端子の両エッジ 1 1 : 設定しないでください	R/W
b2	IOC2	TRCGRC 制御 C2 ビット (注1、2)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b3	IOC3	TRCGRC 制御 C3 ビット	0 : TRCIOA 端子のジェネラルレジスタとして使用 1 : TRCIOC 端子のジェネラルレジスタとして使用	R/W
b4	IOD0	TRCGRD 制御 D0 ビット	[IOD3 = 0 (TRCIOB 端子のジェネラルレジスタ)]	R/W
b5	IOD1	TRCGRD 制御 D1 ビット	b5 b4 0 0 : コンペア一致 D による端子出力禁止 0 1 : コンペア一致 D で TRCIOB 端子へ L 出力 1 0 : コンペア一致 D で TRCIOB 端子へ H 出力 1 1 : コンペア一致 D で TRCIOB 端子へ トグル出力 [IOD2 = 0、IOD3 = 1 (アウトプットコンペアレジスタ)] b5 b4 0 0 : コンペア一致 D による端子出力禁止 0 1 : コンペア一致 D で TRCIOD 端子へ L 出力 1 0 : コンペア一致 D で TRCIOD 端子へ H 出力 1 1 : コンペア一致 D で TRCIOD 端子へ トグル出力 [IOD2 = 1、IOD3 = 1 (インプットキャプチャレジスタ)] b5 b4 0 0 : TRCIOD 端子の立ち上がりエッジ 0 1 : TRCIOD 端子の立ち下がりエッジ 1 0 : TRCIOD 端子の両エッジ 1 1 : 設定しないでください	R/W
b6	IOD2	TRCGRD 制御 D2 ビット (注1、2)	0 : アウトプットコンペア機能 1 : インプットキャプチャ機能	R/W
b7	IOD3	TRCGRD 制御 D3 ビット	0 : TRCIOB 端子のジェネラルレジスタとして使用 1 : TRCIOD 端子のジェネラルレジスタとして使用	R/W

注1. TRCMR レジスタの BUFEA、BUFEB ビットを 1 にした場合、TRCGRA と TRCGRC レジスタ、TRCGRB と TRCGRD レジスタがペアとなります。IOC2 ビットと TRCIOR0 レジスタの IOA2 ビット、IOD2 ビットと TRCIOR0 レジスタの IOB2 ビットは、同じ値を設定してください。

注2. インプットキャプチャ機能時、タイマカウント動作中に TRCIOR1 レジスタを書き換えないでください。

PWM モードおよび PWM2 モードでは、TRCIOR1 レジスタの設定は無効になります。書き込んだ値は保持されますが、制御には反映されません。

17.2.9 タイマ RC 制御レジスタ 2 (TRCCR2)

アドレス 00148h (TRCCR2_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TCEG1	TCEG0	CSTP	—	—	POLD	POLC	POLB
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POLB	TRCIOB PWMモード出力レベル制御ビット (注1)	0：出力レベルはLアクティブ 1：出力レベルはHアクティブ	R/W
b1	POLC	TRCIOC PWMモード出力レベル制御ビット (注1)		R/W
b2	POLD	TRCIOD PWMモード出力レベル制御ビット (注1)		R/W
b3	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b4	—			
b5	CSTP	カウント停止ビット (注2)	0：TRCGRAレジスタとのコンペアー一致 後もカウント継続 1：TRCGRAレジスタとのコンペアー一致 でカウント停止	R/W
b6	TCEG0	TRCTRG入力エッジ選択ビット(注3)	b7 b6 0 0：TRCTRGの入力禁止 0 1：立ち上がりエッジ 1 0：立ち下がりエッジ 1 1：立ち上がり/立ち下がり両エッジ	R/W
b7	TCEG1			R/W

注1. PWMモードのとき有効です。

注2. アウトプットコンペア機能、PWMモード、PWM2モードのとき有効です。

PWM2モード時の注意事項は「17.7.6 PWM2モード時のTRCMRレジスタ」を参照してください。

注3. PWM2モードのとき有効です。

CSTPビット(カウント停止ビット)

以下に各モードのカウント停止条件を示します。

カウント停止条件

[アウトプットコンペア機能時]

- TRCCR2レジスタのCSTPビットが1(TRCGRAレジスタとのコンペアー一致でカウント停止)の場合
- TRCGRAレジスタとのコンペアー一致でカウント停止、アウトプットコンペア出力端子はコンペアー一致による出力変化後のレベルを保持

[PWMモード時]

- TRCCR2レジスタのCSTPビットが1(TRCGRAレジスタとのコンペアー一致でカウント停止)の場合
- TRCGRAレジスタとのコンペアー一致でカウント停止、PWM出力端子はコンペアー一致による出力変化後のレベルを保持

[PWM2モード時]

TRCCR2レジスタのCSTPビットが1の場合、TRCGRAコンペアー一致でカウント停止

- TRCIOB端子は初期レベルを出力
- TRCCR1レジスタのCCLRビットが0のとき、TRCCNTレジスタは停止前の値を保持
- TRCCR1レジスタのCCLRビットが1のとき、TRCCNTレジスタは0000h

17.2.10 タイマRCデジタルフィルタ機能選択レジスタ (TRCDF)

アドレス 00149h (TRCDF_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	DFTRG	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DFA	TRCIOA デジタルフィルタ機能ビット (注1)	0 : 機能なし 1 : 機能あり	R/W
b1	DFB	TRCIOB デジタルフィルタ機能ビット (注1)		R/W
b2	DFC	TRCIOC デジタルフィルタ機能ビット (注1)		R/W
b3	DFD	TRCIOD デジタルフィルタ機能ビット (注1)		R/W
b4	DFTRG	TRCTRG デジタルフィルタ機能ビット (注1、2)		R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	DFCK0	デジタルフィルタクロック選択ビット (注1、2)	b7 b6 0 0 : f32 0 1 : f8 1 0 : f1 1 1 : カウントソース (TRCCR1 レジスタの CKS0～CKS2 ビットで選択したクロック)	R/W
b7	DFCK1			R/W

注1. インพุットキャプチャ機能のとき有効です。

注2. PWM2モードで、TRCCR2レジスタのTCEG1～TCEG0ビットが01b、10b、11b (TRCTRGトリガ入力許可)のとき有効です。

17.2.11 タイマ RC 出力許可レジスタ (TRCOER)

アドレス 0014Ah (TRCOER_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	ED	EC	EB	EA
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA	TRCIOA出力禁止ビット (注1)	[TRCOPR レジスタの OPE ビットが 0 (出力波形操作無効) のとき] 0 : TRCMR、TRCIOR0 レジスタの設定に従い、TRCIOi 端子 (i = A、B) の出力は許可 1 : TRCMR、TRCIOR0 レジスタの設定に関わらず、TRCIOi 端子の出力は禁止 (TRCIOi 端子はプログラマブル入出力ポート)	R/W
b1	EB	TRCIOB出力禁止ビット (注1)	[TRCOPR レジスタの OPE ビットが 1 (出力波形操作有効) のとき] 0 : TRCMR、TRCIOR0 レジスタの設定に従い、TRCIOi 端子の出力は許可 1 : TRCIOi 端子は TRCOPR レジスタの設定により固定レベル出力	R/W
b2	EC	TRCIOC出力禁止ビット (注1)	[TRCOPR レジスタの OPE ビットが 0 (出力波形操作無効) のとき] 0 : TRCMR、TRCIOR1 レジスタの設定に従い、TRCIOk 端子 (k = C、D) の出力は許可 1 : TRCMR、TRCIOR1 レジスタの設定に関わらず、TRCIOk 端子の出力は禁止 (TRCIOi 端子はプログラマブル入出力ポート)	R/W
b3	ED	TRCIOD出力禁止ビット (注1)	[TRCOPR レジスタの OPE ビットが 1 (出力波形操作有効) のとき] 0 : TRCMR、TRCIOR1 レジスタの設定に従い、TRCIOk 端子 (k = C、D) の出力は許可 1 : TRCIOk 端子は TRCOPR レジスタの設定により固定レベル出力	R/W
b4	—	何も配置されていない。書く場合、1 を書いてください。読んだ場合、その値は 1。		—
b5	—			
b6	—			
b7	PTO	タイマ出力禁止ビット	[TRCOPR レジスタの OPE ビットが 0 (出力波形操作無効) のとき] 0 : タイマ出力禁止無効 1 : タイマ出力禁止有効 (INT0 端子に L を入力すると、EA ~ ED ビットが 1 (出力禁止) になる) INT0 は「11. 割り込み」を参照 [TRCOPR レジスタの OPE ビットが 1 (出力波形操作有効) のとき] PTO ビットの機能が無効。読み書きは可能。	R/W

注1. 端子をインプットキャプチャ入力として使用するときは無効です。

17.2.12 タイマ RC A/D 変換トリガ制御レジスタ (TRCADCR)

アドレス 0014Bh (TRCADCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	ADTRGDE	ADTRGCE	ADTRGBE	ADTRGAE
リセット後の値	1	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGAE	TRCGRA A/D 変換開始トリガ許可ビット	0 : コンペア一致A時にA/D変換開始トリガ発生しない 1 : コンペア一致A時にA/D変換開始トリガ発生する	R/W
b1	ADTRGBE	TRCGRB A/D 変換開始トリガ許可ビット	0 : コンペア一致B時にA/D変換開始トリガ発生しない 1 : コンペア一致B時にA/D変換開始トリガ発生する	R/W
b2	ADTRGCE	TRCGRC A/D 変換開始トリガ許可ビット	0 : コンペア一致C時にA/D変換開始トリガ発生しない 1 : コンペア一致C時にA/D変換開始トリガ発生する	R/W
b3	ADTRGDE	TRCGRD A/D 変換開始トリガ許可ビット	0 : コンペア一致D時にA/D変換開始トリガ発生しない 1 : コンペア一致D時にA/D変換開始トリガ発生する	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	—			

TRCADCR レジスタでA/D変換開始トリガソースを選択します。対応するコンペア一致でA/D変換開始トリガを発生します。

17.2.13 タイマ RC 出力波形操作レジスタ (TRCOPR)

アドレス 0014Ch (TRCOPR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	OPE	RESTATS	OPOL1	OPOL0	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0 を書いてください。読んだ場合、その値は0。		—
b1	—			—
b2	OPOL0	波形出力操作期間出力レベル選択ビット (注1)	b3 b2 0 0 : TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子を外部でプルダウンに設定している場合、各端子の出力レベルがハイインピーダンスに固定	R/W
b3	OPOL1		0 1 : TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子を外部でプルアップに設定している場合、各端子の出力レベルがハイインピーダンスに固定 1 0 : 波形出力操作期間は TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子の出力レベルが L に固定 1 1 : 波形出力操作期間は TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子の出力レベルが H に固定	R/W
b4	RESTATS	出力再開方式選択ビット (注1)	0 : ソフトウェアで出力波形操作中止、出力再開 1 : 自動出力波形操作中止、自動出力再開	R/W
b5	OPE	波形出力操作許可ビット (注1)	0 : 波形出力操作無効 1 : 波形出力操作有効	R/W
b6	—	何も配置されていない。書く場合、0 を書いてください。読んだ場合、その値は0。		—
b7	—			

注1. カウント動作中は、TRCOPR レジスタを書き換えしないでください。

RESTATS ビット (出力再開方式選択ビット)

OPE ビットが1またはRESTATS ビットが0 (ソフトウェアで出力波形操作中止、出力再開) のとき、ソフトウェアで TRCOER レジスタの EA～ED ビットを0にします。波形出力操作イベントを解除しても、EA～ED ビットは自動的に0になりません。

OPE ビットが1またはRESTATS ビットが1 (自動出力波形操作中止、自動出力再開) のとき、波形出力操作イベントを解除すると、EA～ED ビットが自動的に0になります。

OPE ビット (波形出力操作許可ビット)

OPE ビットが1 (波形出力操作有効) のとき、波形出力操作イベントを入力すると、TRCOER レジスタの EA～ED ビットは1 (TRCOPR レジスタの設定により固定レベル出力) になります。

OPE ビットが0 (波形出力操作無効) のとき、TRCOER レジスタの EA～ED ビットは、このビットの設定の影響を受けません。

OPE ビットが0 のとき、TRCOER レジスタの設定だけでタイマ RC の波形出力を操作します。OPE ビットが1 のとき、TRCOER レジスタの PTO ビットの設定にかかわらず、TRCOPR レジスタの設定でタイマ RC の波形出力を操作します。TRCOER レジスタの EA～ED ビットを、波形出力操作のフラグとして使用します。波形出力操作イベントを入力すると、EA～ED ビットが1になります。

17.2.14 タイマRC ELC連動制御レジスタ (TRCELCCR)

アドレス 0014Dh (TRCELCCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	ELCICE	ELCP2TE	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	ELCP2TE	PWM2モード時の入力トリガ選択ビット	0 : TRCTRG 端子入力 1 : ELCからのイベント入力	R/W
b2	ELCICE	TRCGRDのインプットキャプチャ信号選択ビット	0 : TRCIOD 端子入力 1 : ELCからのイベント入力	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。	—	—
b4	—			
b5	—			
b6	—			
b7	—			

ELCP2TE ビット (PWM2モード時の入力トリガ選択ビット)

- ELCP2TE ビットが1のとき

TRCCR2 レジスタの TCEG0、TCEG1 ビットの設定に関わらず、ELCからのイベント入力がPWM2モードの入力トリガになります。

- ELCP2TE ビットが0のとき

TRCCR2 レジスタの TCEG0、TCEG1 ビットの設定に従い、TRCTRG 入力がPWM2モードの入力トリガになります。

ELCICE ビット (TRCGRDのインプットキャプチャ信号選択ビット)

- TRCIOR1 レジスタの IOD3、IOD2 ビットが1、ELCICE ビットが1のとき

ELCからイベント入力の立ち上がりエッジをインプットキャプチャします。

- ELCICE ビットが0のとき

TRCIOD 端子入力の有効エッジがTRCIOR1 レジスタの設定で決まります。

17.3 動作説明

表 17.10 にタイマ RC の動作モードを示します。

表 17.10 タイマ RC の動作モード

項目	内容
タイマモード	TRCMR レジスタの PWM2 ビットを 0、かつ PWMB ~ PWMD ビットを 0 に設定することで、タイマモードとして動作する。この場合、TRCIOR0 レジスタの IOA0 ~ IOA2、IOB0 ~ IOB2 ビットの設定、TRCIOR1 レジスタの IOC0 ~ IOC2、IOD0 ~ IOD2 ビットの設定をすることで、アウトプットコンペア機能またはインプットキャプチャ機能が動作する。
PWM モード	TRCMR レジスタの PWM2 ビットを 0、かつ PWMB ~ PWMD ビットを 1 に設定することで、PWM モードとして動作する。
PWM2 モード	TRCMR レジスタの PWM2 ビットを 1 に設定することで、PWM2 モードとして動作する。

表 17.11 ~ 表 17.14 に TRCIOA ~ TRCIOD 端子設定を示します。TRCIOA ~ TRCIOD 端子の配置は「14. I/O ポート」を参照してください。

表 17.11 TRCIOA 端子設定

レジスタ	TRCOER	TRCMR	TRCIOR0			機能
ビット	EA	PWM2	IOA2	IOA1	IOA0	
設定値	0	1	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
	×	1	1	×	×	タイマモード(インプットキャプチャ機能)
	上記以外					I/O ポート

× : 0 または 1

表 17.12 TRCIOB 端子設定

レジスタ	TRCOER	TRCMR		TRCIOR0			機能
ビット	EB	PWM2	PWMB	IOB2	IOB1	IOB0	
設定値	0	0	×	×	×	×	PWM2 モード波形出力
	0	1	1	×	×	×	PWM モード波形出力
	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
	×	1	0	1	×	×	タイマモード(インプットキャプチャ機能)
	上記以外						I/O ポート

× : 0 または 1

表 17.13 TRCIOC 端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	EC	PWM2	PWMC	IOC2	IOC1	IOC0	
設定値	0	1	1	×	×	×	PWM モード波形出力
	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
	×	1	0	1	×	×	タイマモード(インプットキャプチャ機能)
	PWM2 = 1 および上記以外						I/O ポート

× : 0 または 1

表 17.14 TRCIOD 端子設定

レジスタ	TRCOER	TRCMR		TRCIOR1			機能
ビット	ED	PWM2	PWMD	IOD2	IOD1	IOD0	
設定値	0	1	1	×	×	×	PWM モード波形出力
	0	1	0	0	0	1	タイマモード波形出力(アウトプットコンペア機能)
	×	1	0	1	×	×	タイマモード(インプットキャプチャ機能)
	PWM2 = 1 および上記以外						I/O ポート

× : 0 または 1

17.3.1 タイマモード

17.3.1.1 フリーランニング動作

TRCCNT レジスタは、フリーランニングカウント動作または周期カウント動作します。TRCCNT レジスタはリセット直後、フリーランニングカウンタに設定されます。TRCMR レジスタの CTS ビットを1(カウント開始)にセットすると、カウント動作を開始します。TRCCNT レジスタが FFFFh から 0000h にオーバーフローすると、TRCSR レジスタの OVF ビットが1になり、TRCIER レジスタの OVIE ビットが1(OVF ビットによる割り込み要求許可)であれば、タイマ RC 割り込みが発生します。

図 17.2 にフリーランニングカウンタの動作例を示します。

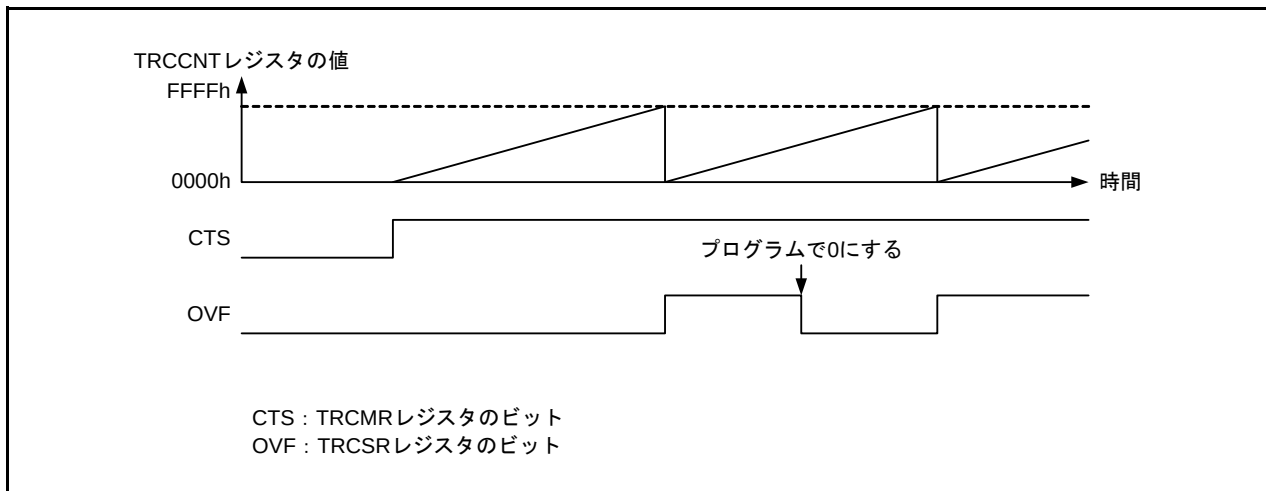


図 17.2 フリーランニングカウンタの動作例

17.3.1.2 周期カウント動作

周期設定用の TRCGRA レジスタに任意の値を設定し、TRCCR1 レジスタの CCLR ビットを1にすると、周期カウント動作します。カウント値が TRCGRA レジスタと一致すると TRCCNT レジスタは 0000h になり、TRCSR レジスタの IMFA ビットが1になります。このとき、対応する TRCIER レジスタの IMIEA ビットが1(IMFA ビットによる割り込み要求許可)であれば、割り込み要求が発生します。TRCCR2 レジスタの CSTP ビットが0の場合、TRCCNT レジスタは、0000h からアップカウント動作を継続します。TRCCR2 レジスタの CSTP ビットが1の場合、TRCCNT レジスタは、0000h からアップカウント動作を停止します。

図 17.3 に周期カウンタの動作例を示します。

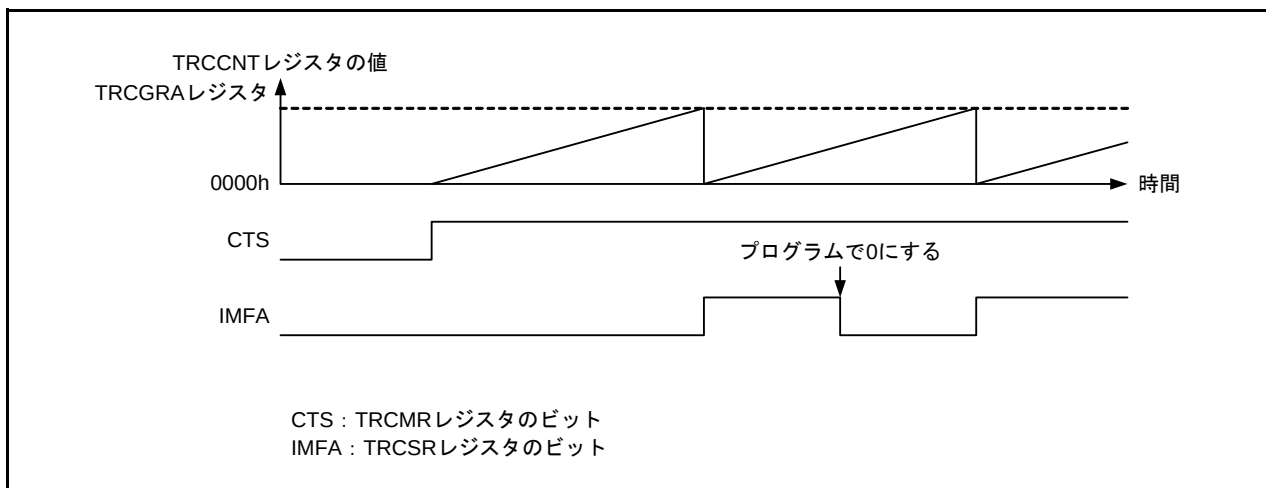


図 17.3 周期カウンタの動作例

17.3.1.3 アウトプットコンペア機能

ジェネラルレジスタをアウトプットコンペアレジスタに設定することで、コンペア一致 A ～ D によって TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子から L 出力、H 出力またはトグル出力をします。

TRCIOA ～ TRCIOD 端子の出力レベルは、TRCCR1 レジスタの TOA ～ TOD ビットにより初期出力レベルを、TRCIOR0 レジスタの IOA0、IOA1、IOB0、IOB1 ビットと TRCIOR1 レジスタの IOC0、IOC1、IOD0、IOD1 ビットによりアクティブレベルやトグル出力を設定することができます。

図 17.4 に L 出力、H 出力の動作例を示します。TRCCNT レジスタをフリーランニングカウント動作させ、コンペア一致 B で L 出力、コンペア一致 A で H 出力します。設定したレベルと端子のレベルが同じ場合は、端子のレベルは変化しません。

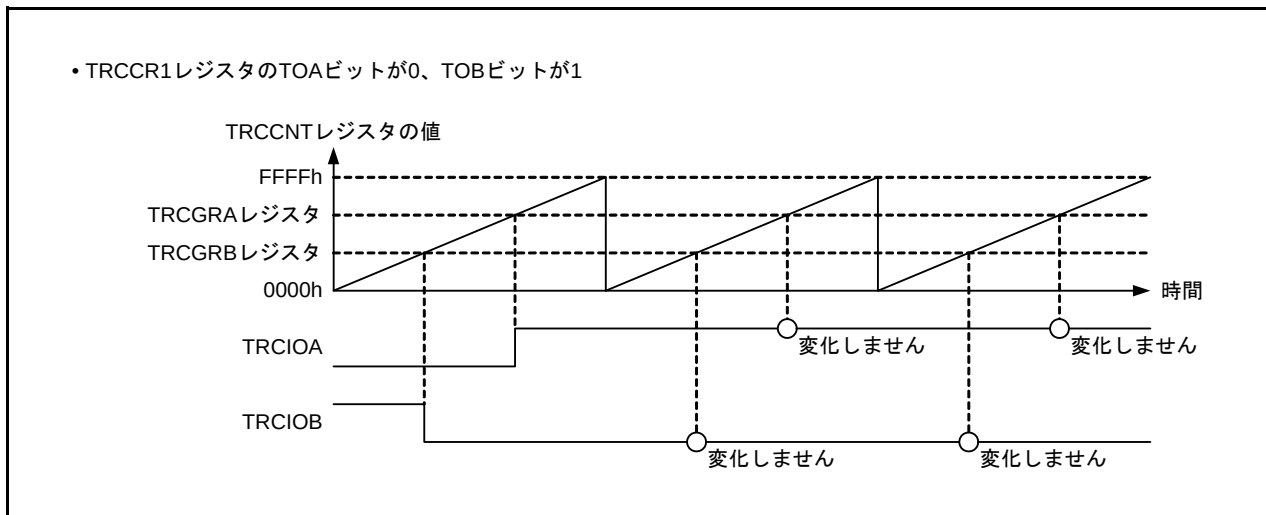


図 17.4 L 出力、H 出力の動作例

図 17.5 にフリーランニングカウント時トグル出力の動作例を示します。TRCCNT レジスタをフリーランニングカウント動作させ、コンペア一致 A、B でトグル出力します。

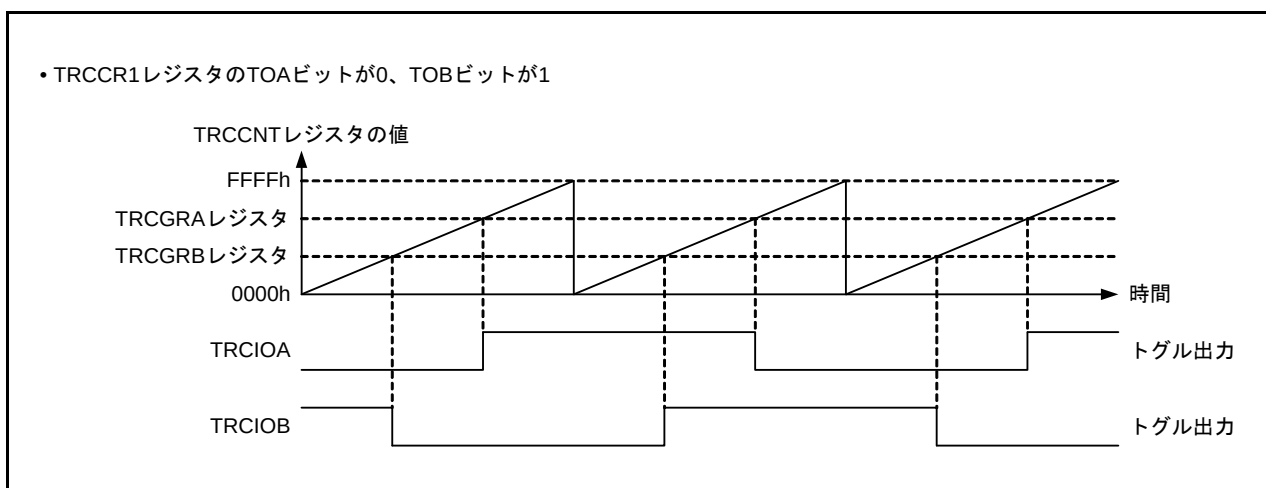


図 17.5 フリーランニングカウント時トグル出力の動作例

図 17.6 に周期カウント時トグル出力の動作例を示します。TRCCNTレジスタを周期カウント動作させ、コンペア一致 A、B でトグル出力します。

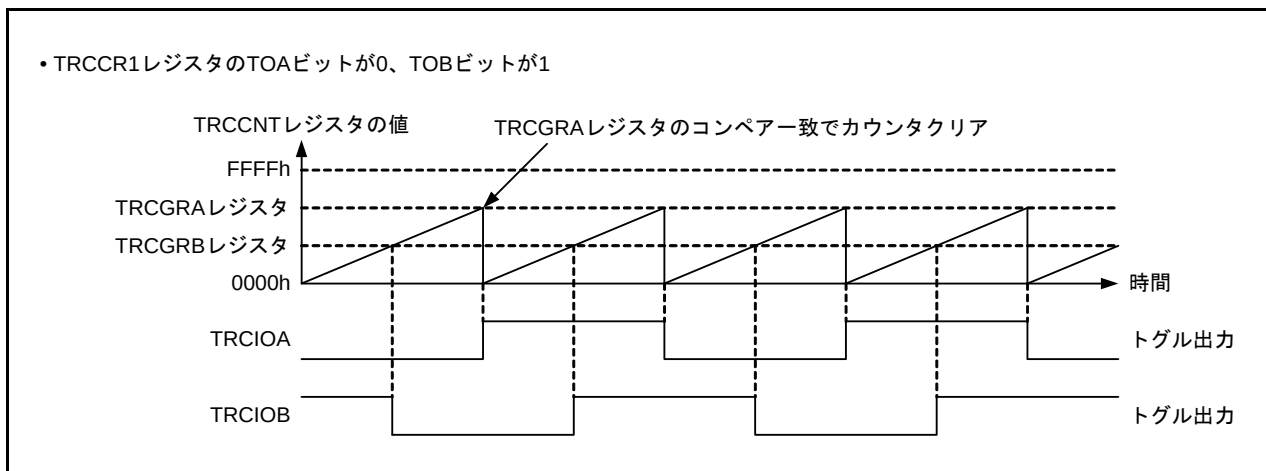


図 17.6 周期カウント時トグル出力の動作例

17.3.1.4 インプットキャプチャ機能

インプットキャプチャ機能でパルス幅や周期の測定ができます。

ジェネラルレジスタをインプットキャプチャレジスタに設定することで、TRCIOA～TRCIOD端子の入力エッジを検出したときのTRCCNTレジスタの値を、TRCGRA～TRCGRDレジスタに転送します。インプットキャプチャ機能を使用する場合、TRCIOA～TRCIOD端子の入力エッジは、TRCIOR0レジスタのIOA0、IOA1、IOB0、IOB1ビットとTRCIOR1レジスタのIOC0、IOC1、IOD0、IOD1ビットの対応するビットにより、立ち上がり/立ち下がり/両エッジのいずれかに設定することができます。

インプットキャプチャ機能を利用することで、TRCGRA～TRCGRDレジスタに格納された値から周期またはパルス幅の測定結果を求めることができます。

図 17.7 にインプットキャプチャの動作例を示します。TRCCNTレジスタをフリーランニングカウント動作させ、TRCIOA 端子のインプットキャプチャ入力を両エッジに、TRCIOB 端子のインプットキャプチャ入力を立ち下がりエッジに選択します。

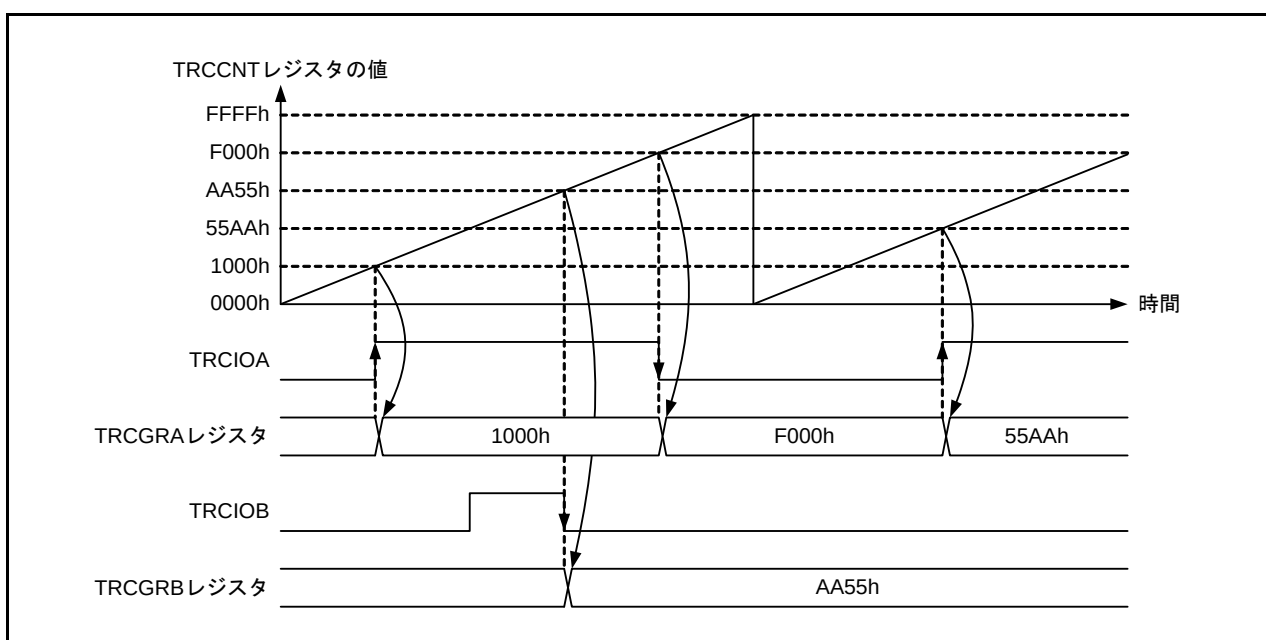


図 17.7 インプットキャプチャの動作例

図 17.8 にインプットキャプチャ時のバッファ動作例を示します。TRCGRA レジスタをインプットキャプチャレジスタに設定し、TRCGRC レジスタを TRCGRA レジスタのバッファレジスタとした場合です。TRCCNT レジスタはフリーランニングカウンタ動作、TRCIOA 端子のインプットキャプチャ入力は立ち上がりと立ち下りの両エッジを選択した例です。バッファ動作が設定されているため、インプットキャプチャ (インプットキャプチャ端子の入力エッジを検出) A で TRCCNT レジスタの値が TRCGRA レジスタに格納されると同時に、それまで TRCGRA レジスタに格納されていた値が TRCGRC レジスタに転送されます。

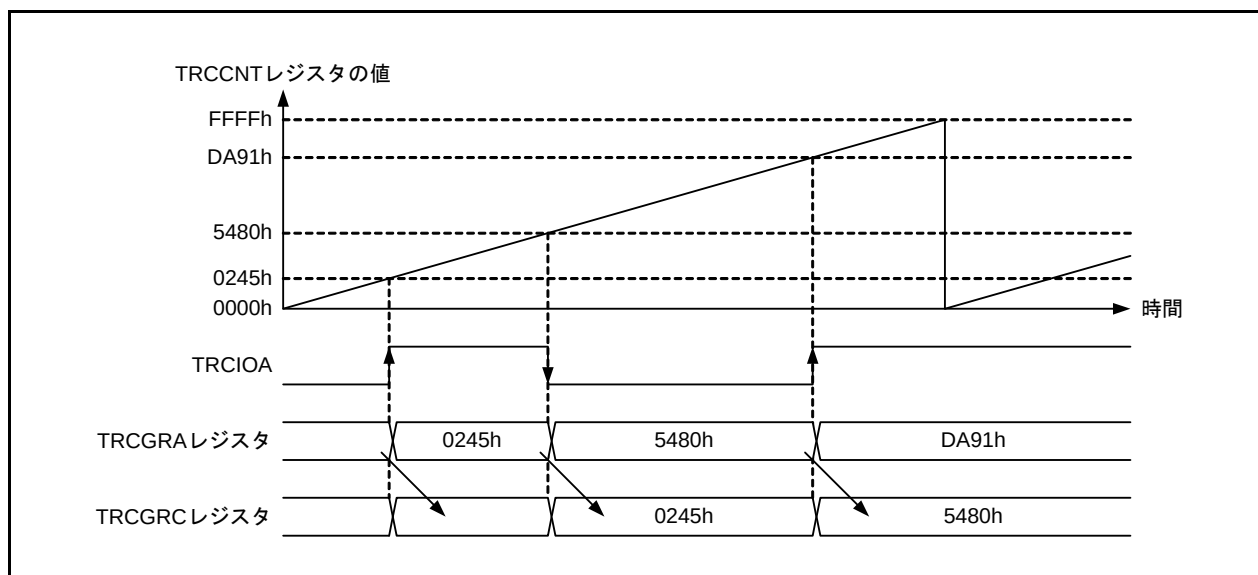


図 17.8 インプットキャプチャ時のバッファ動作例

17.3.2 PWMモード

PWMモードはTRCGRAレジスタを周期レジスタ、TRCGRB、TRCGRC、TRCGRDレジスタをデューティレジスタとして設定し、TRCIOB、TRCIOC、TRCIOD出力端子よりそれぞれPWM波形を出力します。バッファ機能未使用時は最大3本のPWM出力が可能です。PWMモードでは、ジェネラルレジスタは自動的にアウトプットコンペアレジスタとして機能します。IOB2、IOC2、IOD2ビットの設定は無効です。対応する端子の初期出力レベルは、TRCCR1レジスタのTOA～TODビット、TRCCR2レジスタのPOLB～POLDビットの設定値に従います。

TRCIOB、TRCIOC、TRCIOD出力で、コンペアー一致までの初期値に対してコンペアー一致のときのアクティブ極性の設定値が同じ場合、実際コンペアー一致出力はしていますが、出力値が変化しないため初期値を保持しているような出力になります。

表17.15にTRCIOB端子の初期出力レベルを示します。TRCIOC端子、TRCIOD端子の初期出力レベルについても、同様です。

表17.15 TRCIOB端子の初期出力レベル

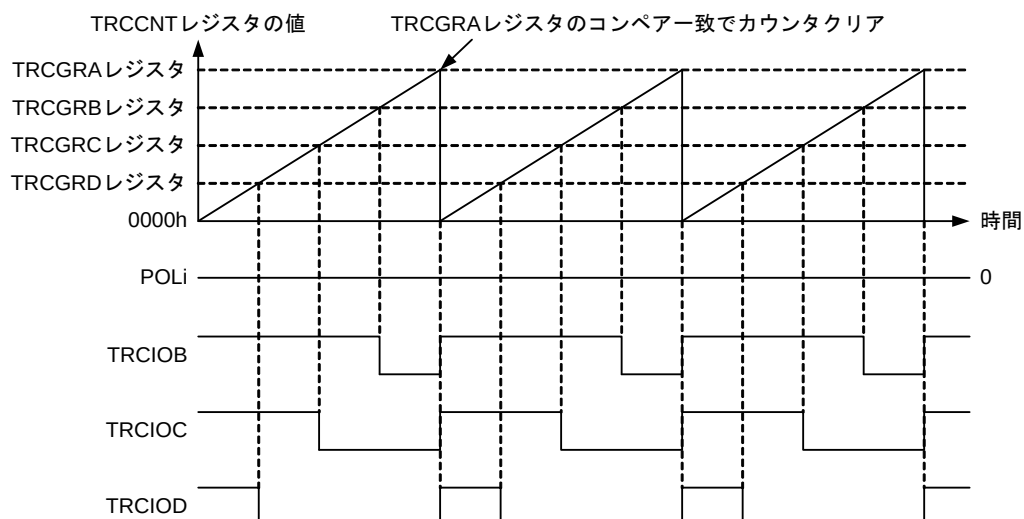
TRCCR1レジスタのTOBビット	TRCCR2レジスタのPOLBビット	初期出力レベル
0	0	1
	1	0
1	0	0
	1	1

出力レベルは、POLB～POLDビットで決まります。POLBビットが0(出力レベルはLアクティブ)のときにTRCIOB出力端子は、コンペアー一致BでL出力に、コンペアー一致AでH出力になります。POLBビットが1(出力レベルはHアクティブ)のときにTRCIOB出力端子は、コンペアー一致BでH出力に、コンペアー一致AでL出力になります。

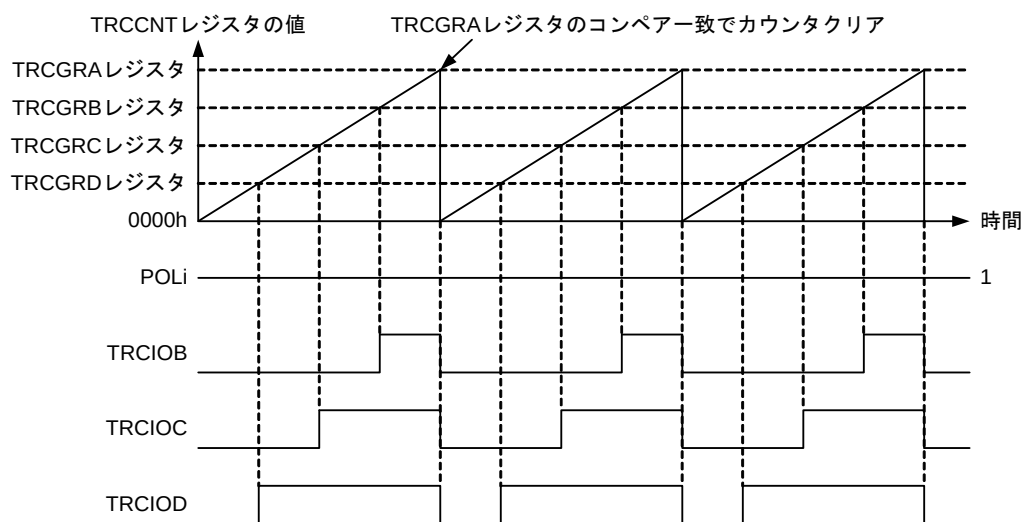
TRCIOR0、TRCIOR1レジスタの設定値より、TRCMRのPWMD～PWMBビットの設定値が優先されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアー一致が発生しても出力値は変化しません。

図17.9にPWMモードの動作例を示します。

- コンペアー一致AでTRCCNTレジスタをクリアしてH出力、コンペアー一致B、C、DでL出力
(TRCCR2レジスタのPOLBビット=0、POLCビット=0、POLDビット=0)



- コンペアー一致AでTRCCNTレジスタをクリアしてL出力、コンペアー一致B、C、DでH出力
(TRCCR2レジスタのPOLBビット=1、POLCビット=1、POLDビット=1)



i = B、C、D

図17.9 PWMモードの動作例

図 17.10 にバッファ動作例(アウトプットコンペアの場合)を示します。TRCIOB 端子を PWM モードに設定し、TRCGRD レジスタを TRCGRB レジスタのバッファレジスタとして設定した場合です。TRCCNT レジスタはコンペアー一致 A でクリア、出力はコンペアー一致 A で L 出力、コンペアー一致 B で H 出力に設定した例です。

バッファ動作が設定されているため、コンペアー一致 B が発生すると出力を変化させると同時に、バッファレジスタの TRCGRD レジスタの値が TRCGRB レジスタに転送されます。この動作は、コンペアー一致 B が発生するたびに繰り返します。

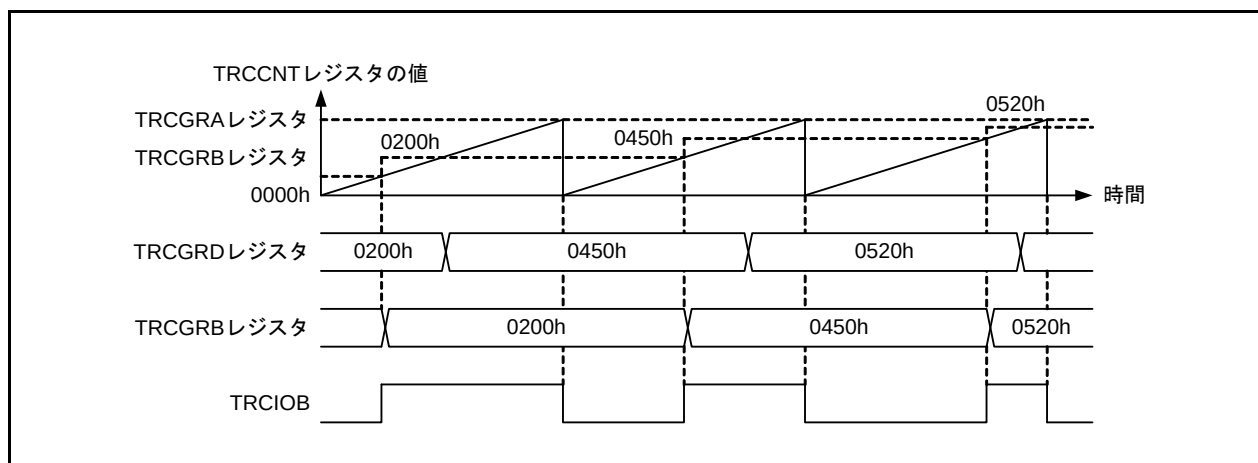


図 17.10 バッファ動作例(アウトプットコンペアの場合)

図 17.11 に PWM モードの動作例(デューティ 0 %、デューティ 100 %)を示します。

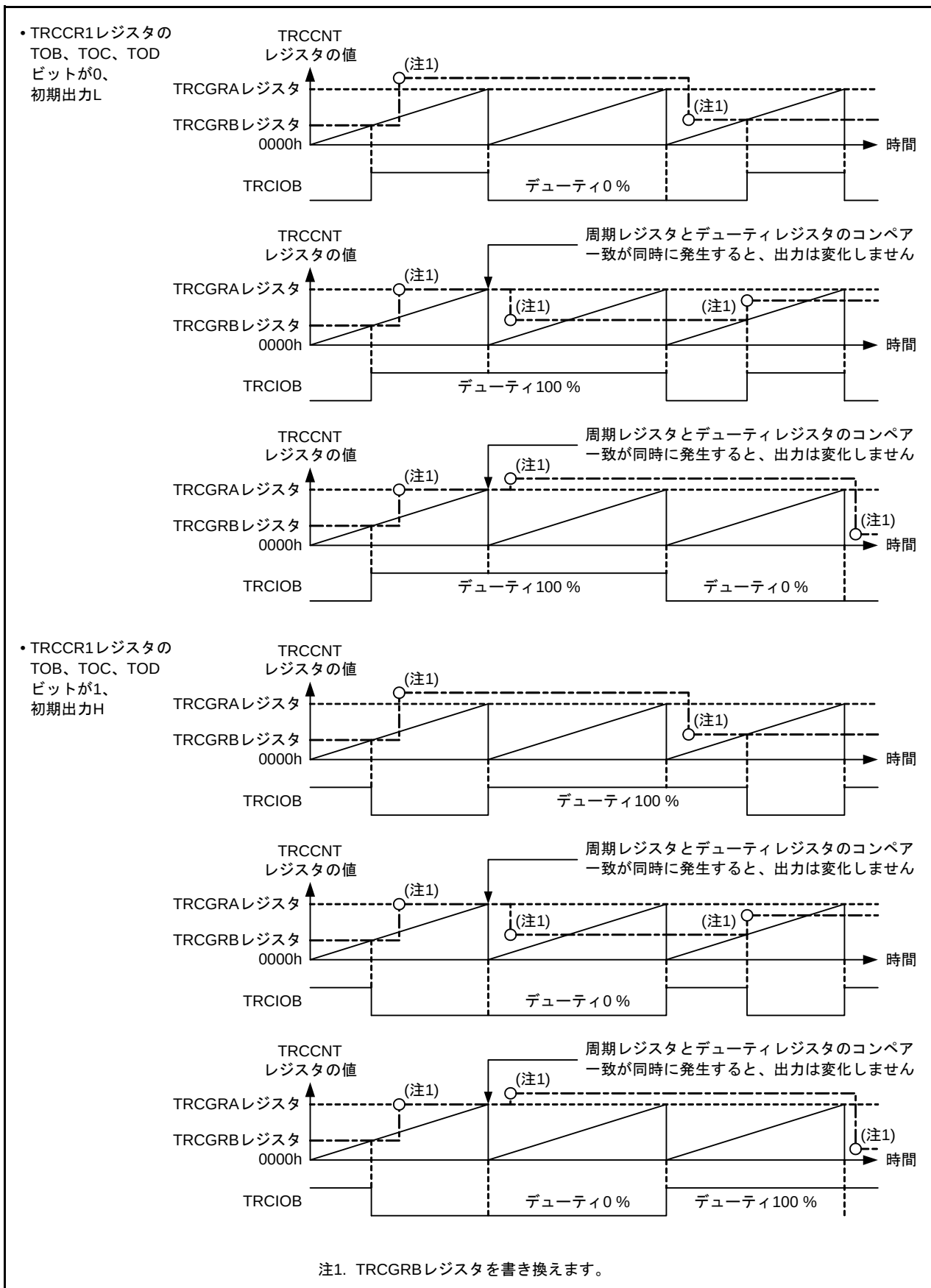


図 17.11 PWM モードの動作例(デューティ 0 %、デューティ 100 %)

17.3.3 PWM2モード

PWM2モードはPWMモードと異なり、TRCCNTレジスタのカウント値とTRCGRB、TRCGRCレジスタのコンペア一致で、TRCIOB端子からPWM波形を出力するモードです。TRCGRDレジスタは、TRCMRレジスタのBUFEBビットを1(TRCGRBレジスタのバッファレジスタ)にすることで、TRCGRBレジスタのバッファレジスタとして機能します。出力レベルは、TRCCR1レジスタのTOBビットの設定値で決まります。

TOBビットが0(出力値L)のとき、TRCGRBレジスタのコンペア一致でL出力、TRCGRCレジスタのコンペア一致でH出力します。TOBビットが1(出力値H)のとき、TRCGRBレジスタのコンペア一致でH出力、TRCGRCレジスタのコンペア一致でL出力します。

表17.16にPWM2モードの端子機能とジェネラルレジスタの組み合わせを、図17.12にPWM2モードのブロック図を、図17.13にPWM2モード時TRCGRD、TRCGRBレジスタのバッファ動作のタイミング図を示します。

TRCGRAレジスタのコンペア一致で、TRCGRDレジスタの値がTRCGRBレジスタに転送され、カウンタがクリアされます。ただし、カウンタがクリアされるのは、TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペア一致AでTRCCNTカウンタクリア)にしたときだけです。また、TRCCR2レジスタのTCEG0、TCEG1ビットでトリガ入力を有効に設定したとき、トリガでTRCGRDレジスタの値がTRCGRBレジスタに転送され、カウンタがクリアされます。PWM2モードで使用しないタイマの入出力端子は、I/Oポートに使用できます。

表17.16 PWM2モードの端子機能とジェネラルレジスタの組み合わせ

端子名	端子機能	使用するジェネラルレジスタ	ジェネラルレジスタの役割
TRCIOA	ポート機能/TRCTRG入力	—	—
TRCIOB	タイマRC PWM出力	TRCGRAレジスタ	周期設定
		TRCGRBレジスタ	デューティ設定：非アクティブレベルに変化
		TRCGRCレジスタ	デューティ設定：アクティブレベルに変化
		TRCGRDレジスタ(任意)	TRCGRBバッファレジスタ(任意)
TRCIOC	ポート機能	—	—
TRCIOD			

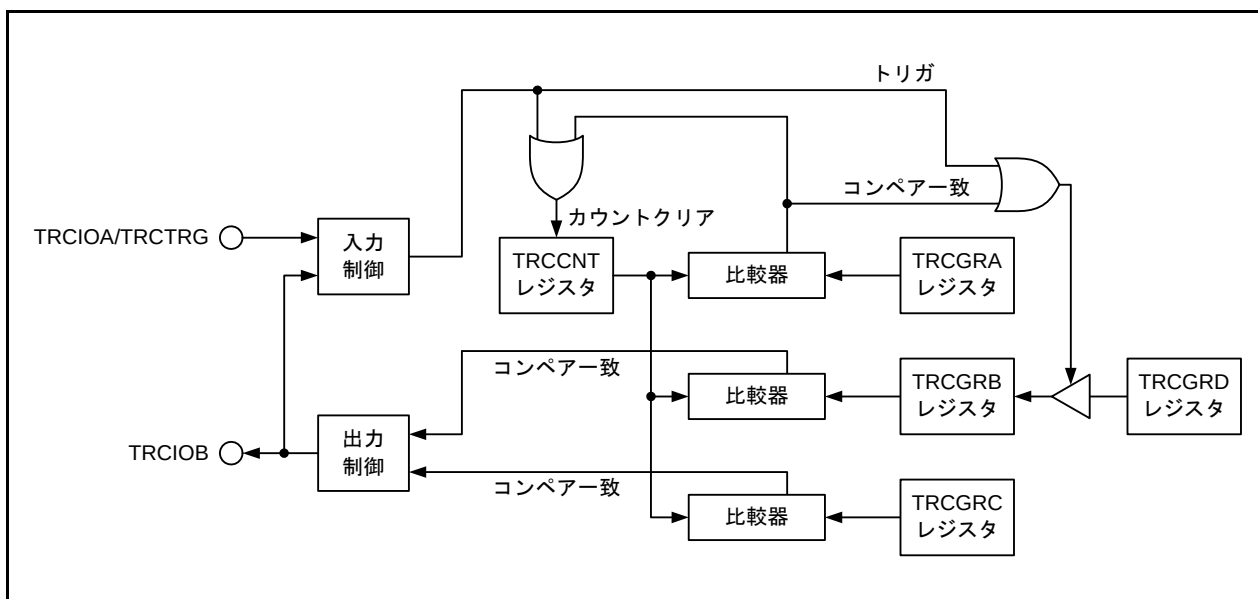


図17.12 PWM2モードのブロック図

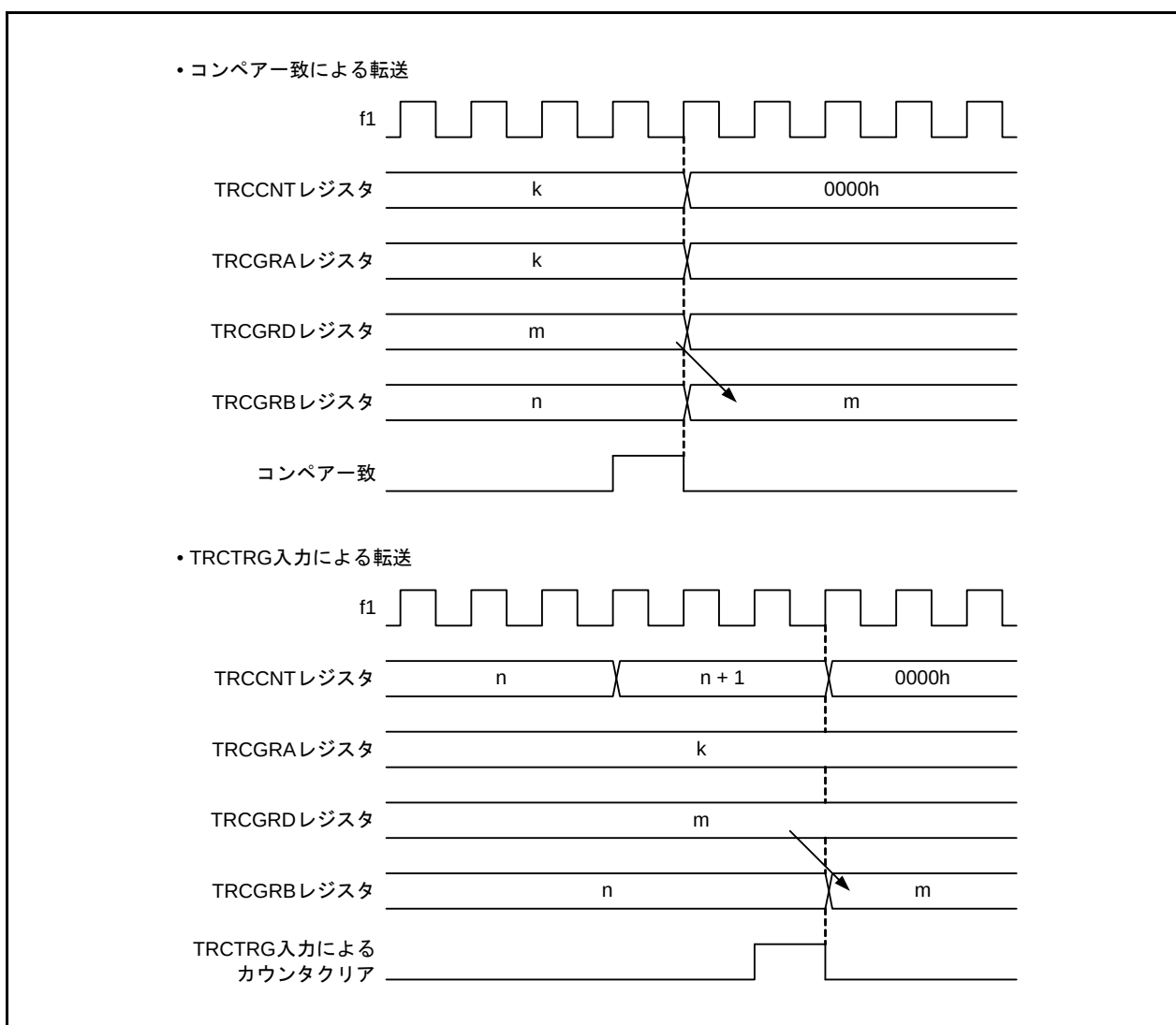


図 17.13 PWM2モード時 TRCGRD、TRCGRB レジスタのバッファ動作のタイミング図

PWM2モードでは、TRCTRG入力を使ってTRCIOB端子から任意の遅延時間と幅を持つパルスを出力できます。TRCTRG入力の有効エッジは、TRCCR2レジスタのTCEG0ビット、TCEG1ビットによって、立ち上がり/立ち下がり/両エッジから選択できます。

TRCCR2レジスタのTCEG1、TCEG0ビットを10b(立ち下がりエッジ)にし、TRCTRG入力の立ち下がりエッジを設定します。TRCCR2レジスタのCSTPビットを0(TRCGRAレジスタとのコンペアー一致後もカウント継続)にし、TRCGRAレジスタとのコンペアー一致A発生時のカウントアップ継続を設定します。TRCMRレジスタのBUFEBビットを1(TRCGRBレジスタのバッファレジスタ)にし、TRCGRDレジスタをバッファレジスタに設定します。TRCCR1レジスタのTOBビットを0(出力値L)または1(出力値H)にし、出力レベルの初期値をLまたはHにします。次に、TRCCR1レジスタのCCLRビットを1(インプットキャプチャ/コンペアー一致AでTRCCNTカウンタクリア)にし、コンペアー一致A発生時にTRCCNTレジスタをクリアします。

前記設定によるTRCTRG入力許可時PWM2モードの動作例を図17.14に、TRCTRG入力禁止時PWM2モードの動作例を図17.15に示します。TRCMRレジスタのPWM2ビットを0(PWM2モード)にし、TRCIOB端子から波形を出力する場合の例です。

PWM2モードにおいて、TRCCR1レジスタのTOBビットが0(出力値L)の場合、TRCIOB端子からH出力中は、TRCTRG入力エッジは無効となります。同様に、TOBビットが1(出力値H)の場合、TRCIOB端子からL出力中は、TRCTRG入力エッジは無効となります。また、TRCGRDレジスタからTRCGRBレジスタへの転送は、TRCGRAレジスタとのコンペアー一致およびTRCTRG入力が発生したとき行われます。ただし、TRCIOB端子のレベルでTRCTRG入力が無効となる場合、TRCGRDレジスタからTRCGRBレジスタへの転送は行われません。

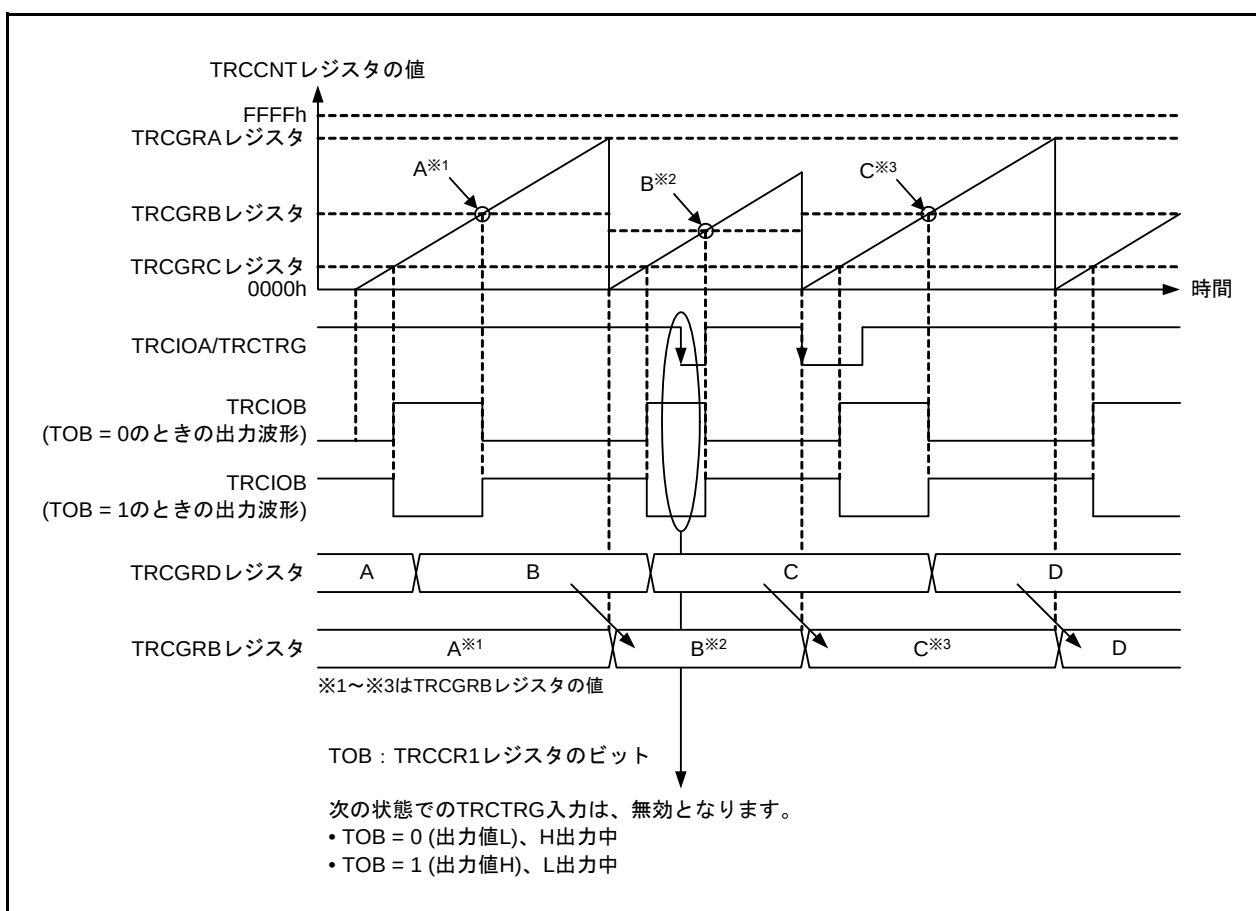


図17.14 TRCTRG入力許可時PWM2モードの動作例

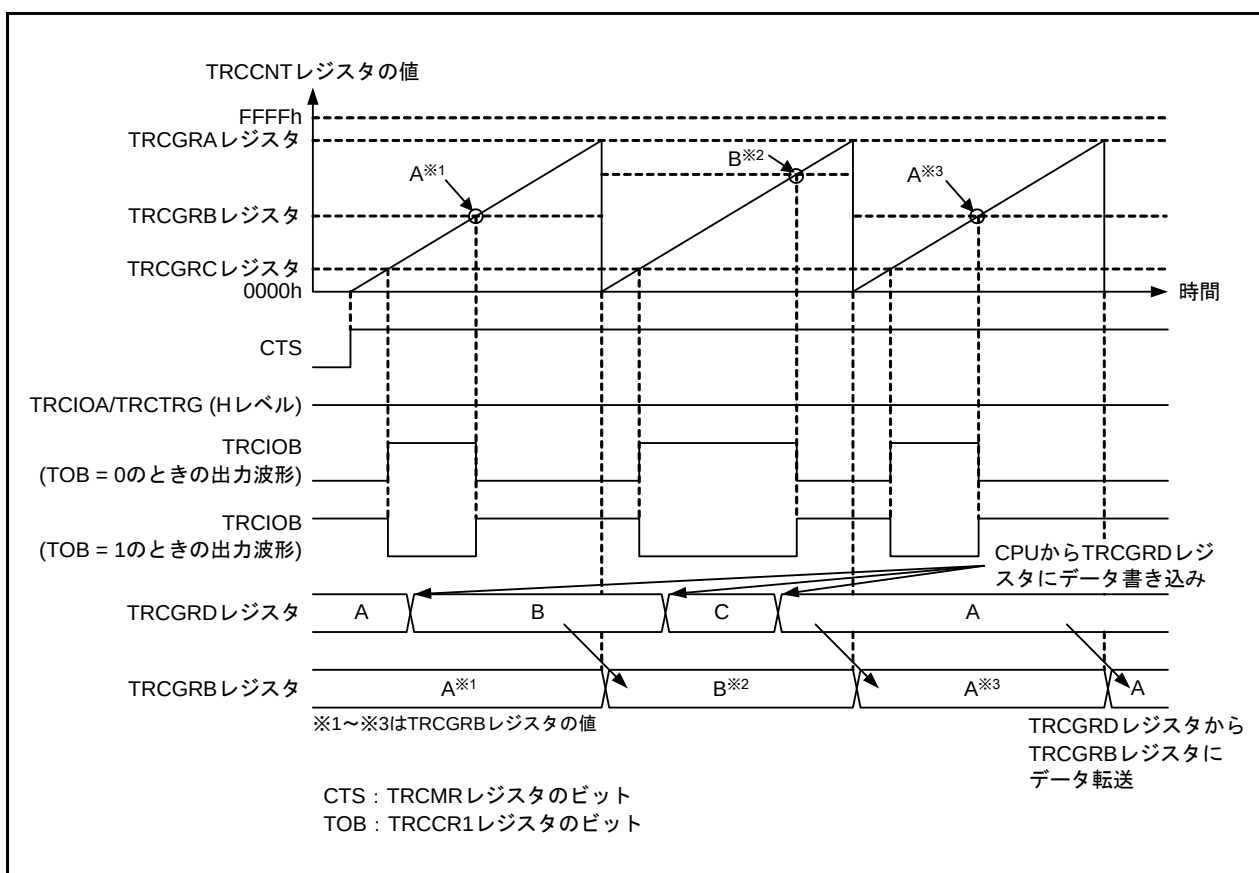


図 17.15 TRCTRГ 入力禁止時PWM2モードの動作例

図17.16にPWM2モード時カウンタ停止の動作例を示します。TRCCR1レジスタのTOBビットを0(出力値L)、TOBビットを1(出力値H)にした場合の例です。

TRCCR2 レジスタの CSTP ビットを1 (TRCGRA レジスタとのコンペアー一致でカウント停止)、TRCCR1 レジスタの CCLR ビットを1 (インプットキャプチャ/コンペアー一致AでTRCCNTカウンタクリア)にすることで、TRCCNTレジスタはTRCGRAレジスタとのコンペアー一致で、カウンタが0000hになり停止します。また、TRCMRレジスタのCTSビットを0(カウント停止)にすることで、強制的にカウンタは停止し、出力レベルは初期レベルになります。

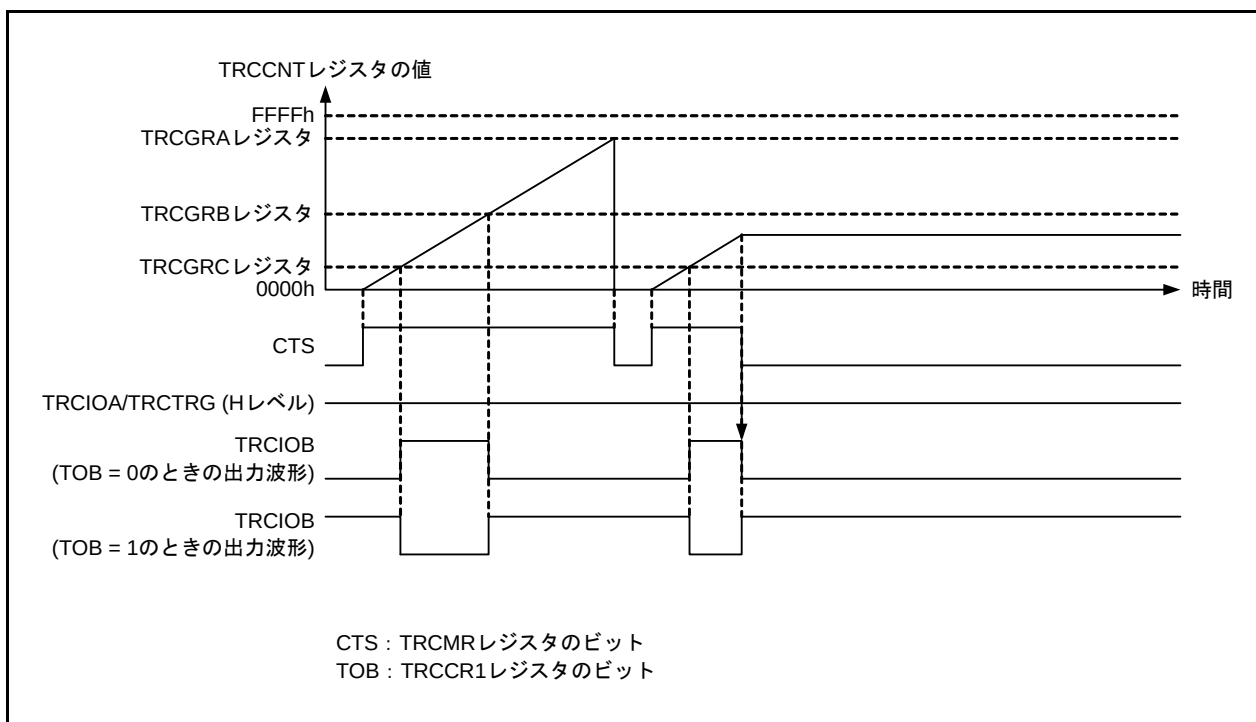


図17.16 PWM2モード時カウンタ停止の動作例

図 17.17 に PWM2 モード時ワンショットパルス波形出力の動作例を示します。

次の条件で、TRCMR レジスタの CTS ビットを 1 (カウント開始) にした時点でカウントを開始します。その後、TRCGRA レジスタとのコンペア一致でカウンタが 0000h になり、カウント動作を停止し、ワンショット波形を出力します。

- TRCCR2 レジスタの TCEG1、TCEG0 ビットを 00b (TRCTRG の入力禁止) にし、TRCTRG 入力を禁止設定
- TRCCR2 レジスタの CSTP ビットを 1 (TRCGRA レジスタとのコンペア一致でカウント停止) にし、TRCGRA レジスタとのコンペア一致 A 発生時のカウントアップ停止を設定
- TRCCR1 レジスタの CCLR ビットを 1 (インプットキャプチャ/コンペア一致 A で TRCCNT カウンタクリア) にし、コンペア一致 A で TRCCNT レジスタをクリア
- TRCCR1 レジスタの TOB ビットを 0 (出力値 L) にし、出力レベルの初期値を L

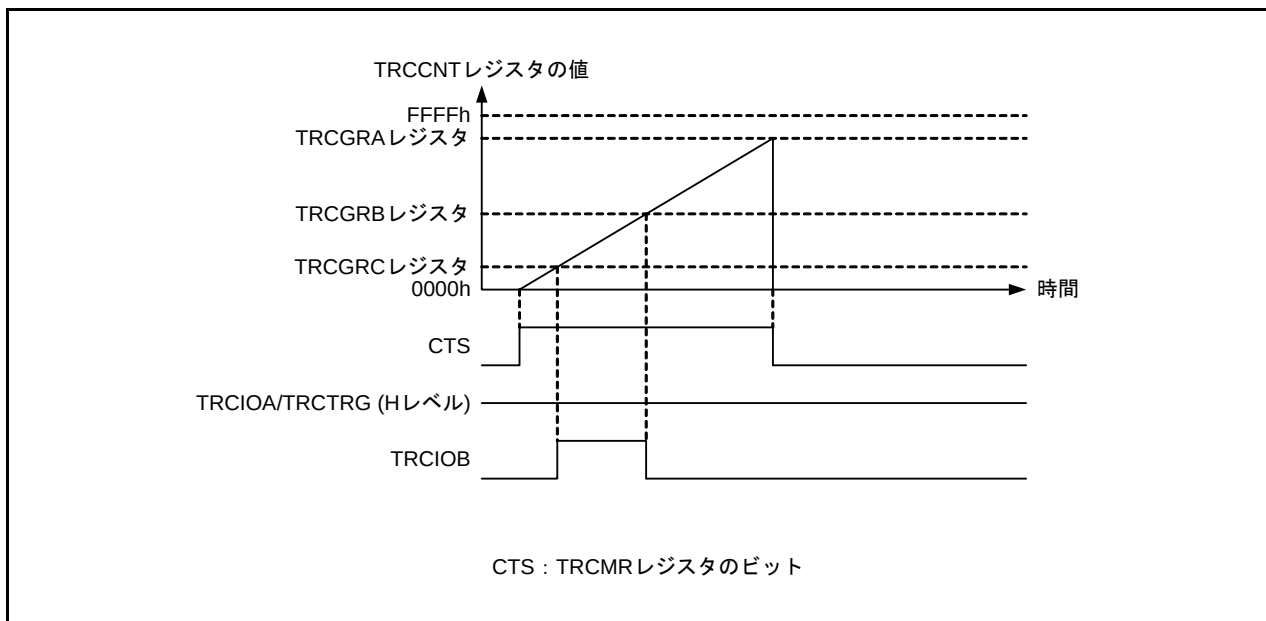


図 17.17 PWM2 モード時ワンショットパルス波形出力の動作例

図 17.18 に PWM2 モード時のワンショットパルス波形出力 (TRCTRG 入力によるカウント開始) の動作例を示します。

次の条件で、TRCMR レジスタの CTS ビットを 1 (カウント開始) にした後、TRCIOA/TRCTRG の立ち下がりでカウントアップを開始し、TRCGRA レジスタとのコンペア一致でカウンタが 0000h になり、カウント動作を停止し、ワンショットパルス波形を出力します。

- TRCCR2 レジスタの TCEG1、TCEG0 ビットを 10b (立ち下がりエッジ) にし、TRCTRG 入力の立ち下がりエッジを設定
- TRCCR2 レジスタの CSTP ビットを 1 (TRCGRA レジスタとのコンペア一致でカウント停止) にし、TRCGRA レジスタとのコンペア一致発生時のカウントアップ停止を設定
- TRCCR1 レジスタの CCLR ビットを 1 (インプットキャプチャ/コンペア一致 A で TRCCNT カウンタクリア) にし、コンペア一致で TRCCNT レジスタをクリア
- TRCCR1 レジスタの TOB ビットを 0 (出力値 L) にし、出力レベルの初期値を L

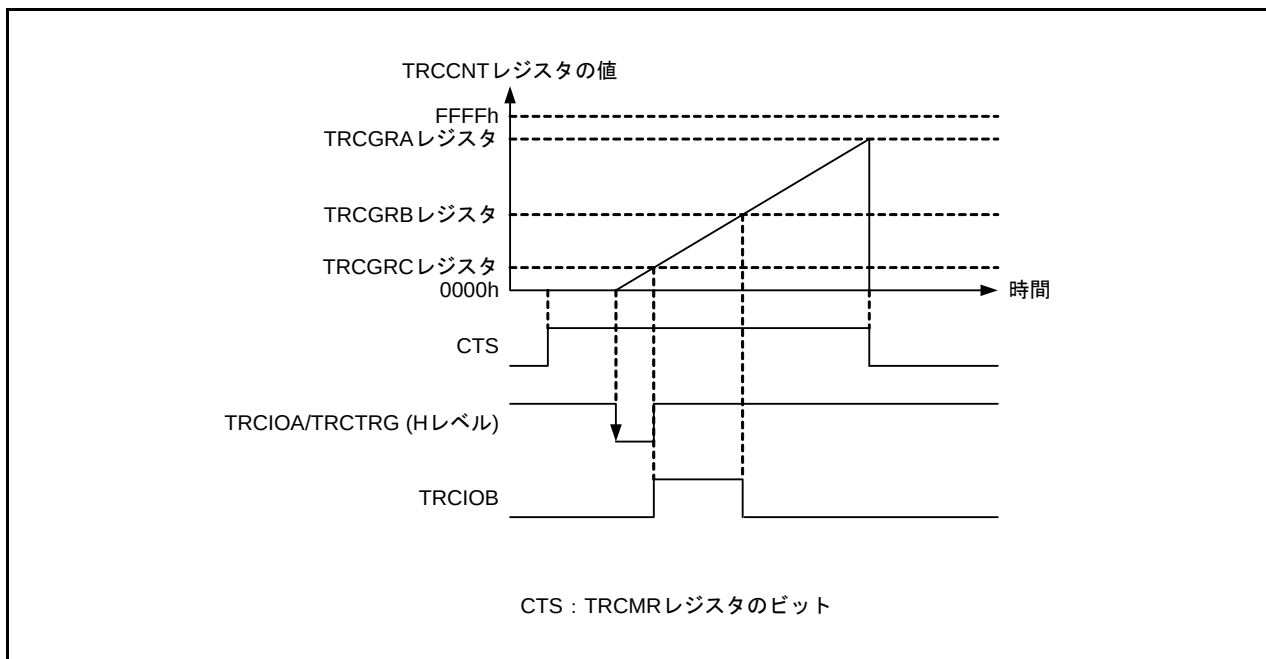


図 17.18 PWM2 モード時のワンショットパルス波形出力 (TRCTRG 入力によるカウント開始) の動作例

17.4 選択機能

17.4.1 インプットキャプチャ入力デジタルフィルタ

図 17.19 にデジタルフィルタ回路のブロック図を示します。TRCIOA～TRCIOD および TRCTRГ 入力は、デジタルフィルタ回路を通して内部に取り込むことができます。デジタルフィルタ回路は、3 段直列に接続されたラッチ回路と一致検出回路で構成されます。TRCIOA～TRCIOD および TRCTRГ 入力は、TRCDF レジスタの DFCK0、DFCK1 ビットによって選択されたクロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。すなわち、3 サンプルクロック以上の幅のパルス入力は信号として認識しますが、3 サンプルクロック以下の信号変化はノイズとして判断し除去されます。

リセット解除後、サンプリングクロックが供給され、端子の状態が決まり 5 クロック以上経過してからデジタルフィルタを使用してください。サンプリングクロックの 4 サイクルを待った後で、インプットキャプチャを設定して、インプットキャプチャ機能を使用してください。

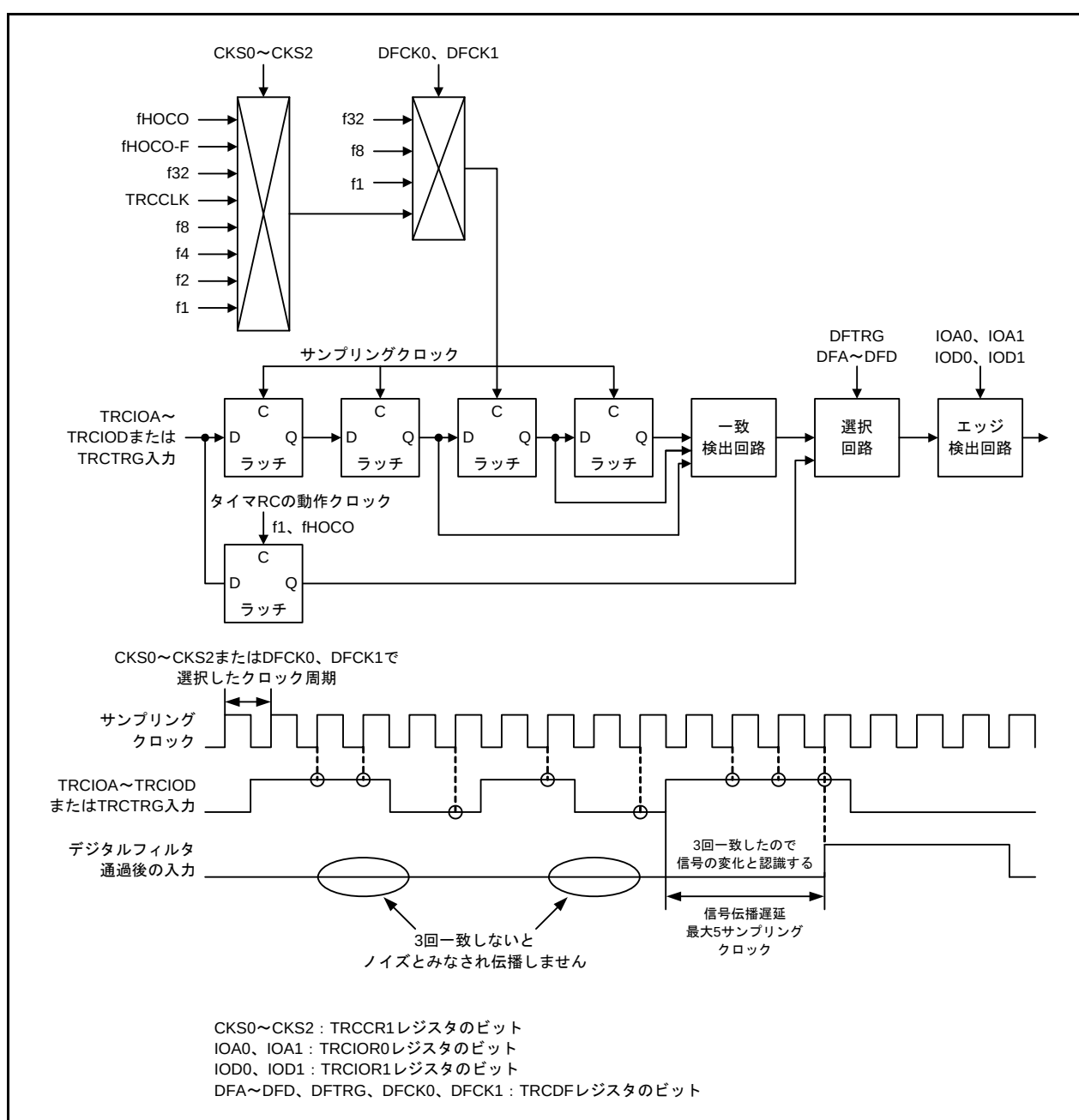


図 17.19 デジタルフィルタ回路のブロック図

17.4.2 A/D変換開始トリガ

タイマ RC は TRCADCR レジスタを設定することで、コンペアー一致 A～D によって A/D 変換開始トリガを発生できます。

図 17.20 にコンペアー一致 B、C による A/D 変換開始トリガの動作を示します。

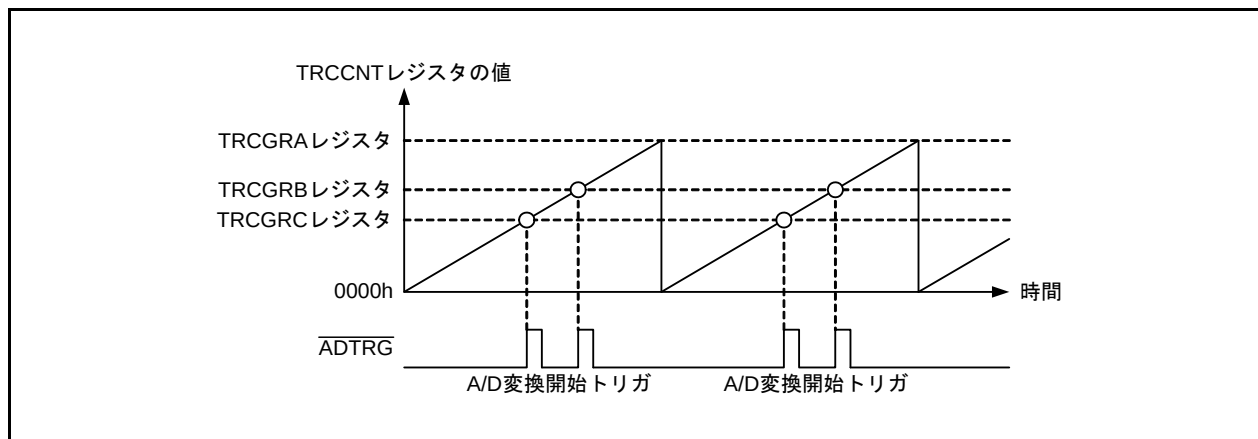


図 17.20 コンペアー一致 B、C による A/D 変換開始トリガの動作

バッファ動作時のバッファレジスタは、A/D 変換開始トリガを発生できません。PWM2 モードでの TRCGRC レジスタは、TRCGRA レジスタのバッファレジスタとして動作できません。

表 17.17 に A/D 変換開始トリガ要因の発生状況を示します。

表 17.17 A/D 変換開始トリガ要因の発生状況

動作モード	バッファ動作	A/D 変換開始トリガ要因			
		TRCGRA	TRCGRB	TRCGRC	TRCGRD
インプットキャプチャ	使用	×	×	×	×
	未使用	×	×	×	×
コンペアー一致	使用	○	○	×	×
	未使用	○	○	○	○
PWM モード	使用	○	○	×	×
	未使用	○	○	○	○
PWM2 モード	使用	○	○	○	×
	未使用	○	○	○	○

○ : A/D 変換開始トリガを発生

× : A/D 変換開始トリガを発生しない

17.4.3 ジェネラルレジスタと出力端子変更

TRCIOR1 レジスタの IOC3、IOD3 ビットの設定で、TRCGRC、TRCGRD レジスタのコンペアー一致出力をそれぞれ TRCIOC、TRCIOD 端子から TRCIOA、TRCIOB 端子へ変更できる機能です。TRCIOA 端子はコンペアー一致 A と C を組み合わせた出力、TRCIOB 端子はコンペアー一致 B と D を組み合わせた出力が可能になります。

図 17.21 にジェネラルレジスタと出力端子変更のブロック図を示します。

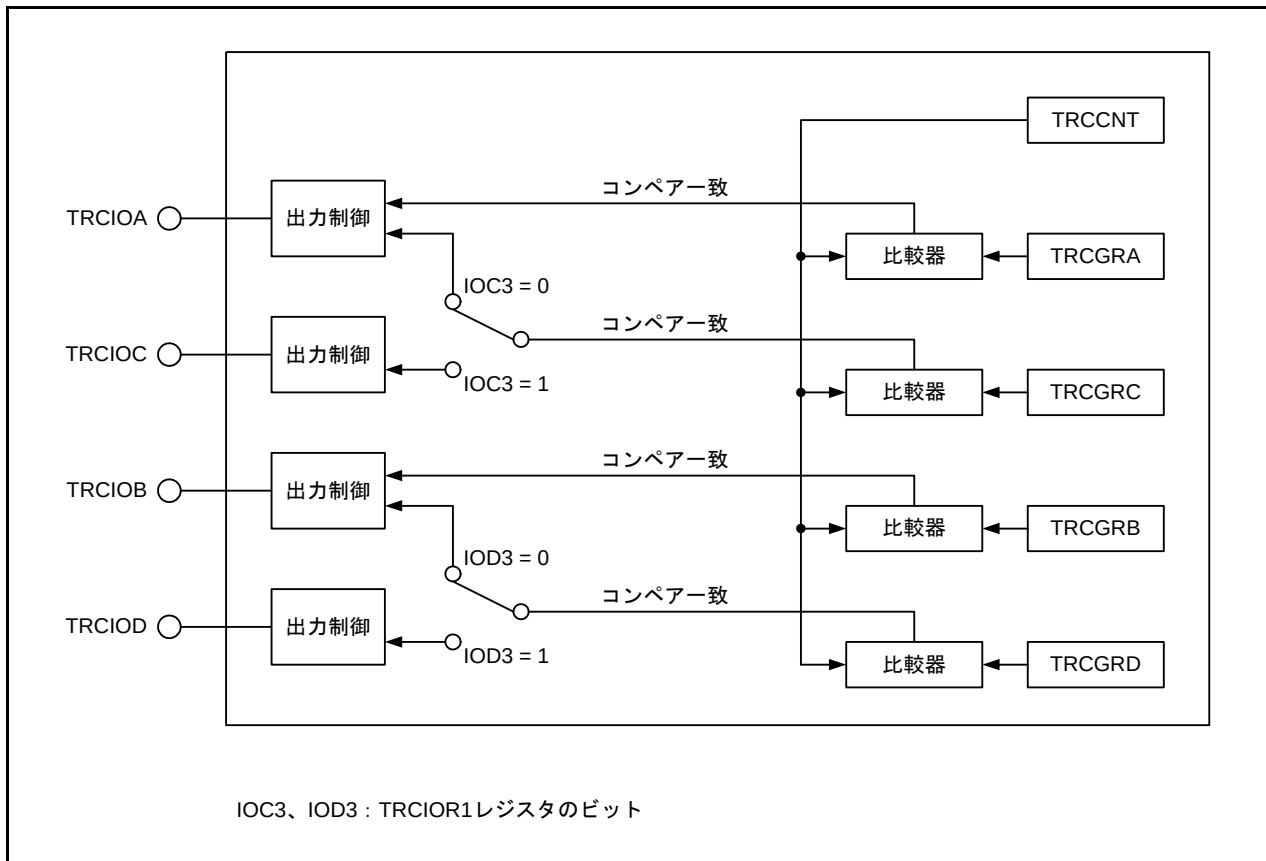


図 17.21 ジェネラルレジスタと出力端子変更のブロック図

TRCGRC、TRCGRD レジスタの出力端子を変更する場合は、次のようにしてください。

- TRCIOR1 レジスタの IOC3 ビットを 0 (TRCIOA 出力レジスタ)、IOD3 ビットを 0 (TRCIOB 出力レジスタ)にする。
- TRCMR レジスタの BUFEA、BUFEB ビットを 0 (ジェネラルレジスタ)にする。
- TRCGRA レジスタと TRCGRC レジスタは違う値を設定。また、TRCGRB レジスタと TRCGRD レジスタは違う値を設定

図 17.22 に TRCIOA、TRCIOB の出力が重ならない動作例を示します。次の設定をします。

- TRCCR1 レジスタの CCLR ビットを 1 (インプットキャプチャ/コンペアー一致 A で TRCCNT カウンタクリア) にし、コンペアー一致でカウンタクリアし、TRCCNT レジスタを周期カウント動作
- TRCIOR0 レジスタの IOA2～IOA0 ビットを 011b (コンペアー一致 A で TRCIOA 端子へトグル出力) にし、トグル出力
- TRCIOR0 レジスタの IOB2～IOB0 ビットが 011b (コンペアー一致 B で TRCIOB 端子へトグル出力) にし、トグル出力
- TRCIOR1 レジスタの IOC3～IOC0 ビットが 0011b (コンペアー一致 C で TRCIOA 端子へトグル出力) にし、トグル出力
- TRCIOR1 レジスタの IOD3～IOD0 ビットが 0011b (コンペアー一致 D で TRCIOB 端子へトグル出力) にし、トグル出力

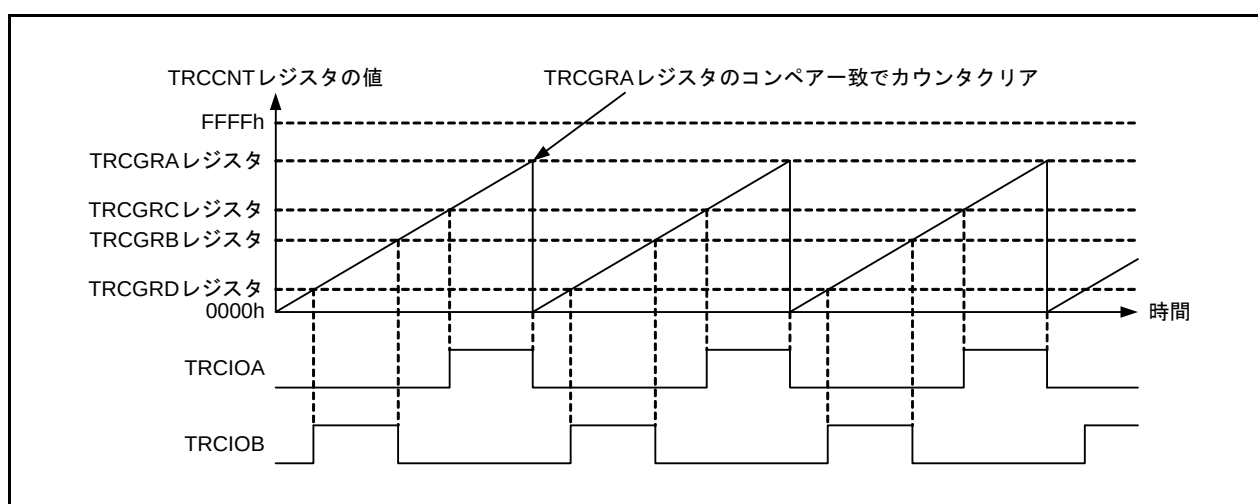


図 17.22 TRCIOA、TRCIOB の出力が重ならない動作例

17.4.4 出力波形操作

タイマ RC は TRCOPR レジスタ (タイマ RC 出力波形操作レジスタ) を設定することにより、 $\overline{\text{INT1}}$ の入力によって、ポート出力波形を制御することができます。

TRCOPR レジスタの OPE ビットが 0 のとき、出力波形操作機能は無効です。出力波形操作機能無効の状態で出力波形操作の要求イベントを入力しても受け付けません。タイマ RC の TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子の出力は、TRCIOR0、TRCIOR1、TRCOER レジスタで設定した波形を出力します。TRCOER レジスタの PTO ビットが 1 (パルス出力強制遮断信号入力 INT0 有効) のとき、 $\overline{\text{INT0}}$ 端子に L を入力すると、TRCOER レジスタの EA、EB、EC、ED ビットがすべて 1 (タイマ RC 出力禁止)、TRCIOA ~ TRCIOD 出力端子はハイインピーダンスになります。

OPE ビットが 1 のとき、出力波形操作機能は有効です。出力波形操作イベント (タイマ RC_0 は $\overline{\text{INT1}}$ = L) を入力すると、TRCOER レジスタの EA ~ ED ビットが自動的に 1 になります。タイマ RC のポート出力レベルは、TRCOPR レジスタの OPOL0、OPOL1 ビットの設定により、強制的に L/H/ハイインピーダンスを出力します。出力波形操作の要求イベントが解除されると、RESTATS の設定によりタイマ RC のポートの出力波形操作が中止され、出力を再開します。出力波形操作の停止後、出力再開を設定したタイミングの次のタイマカウント周期から端子の出力を再開します。

図 17.23 ~ 図 17.26 に出力波形操作の動作例を示します。

- TRCIOB 端子を外部でプルダウンし、TRCOPR レジスタの OPE ビットが 1 (出力波形操作有効)、OPOL1、OPOL0 ビットが 00b (TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子を外部でプルダウンに設定している場合、出力波形操作期間はタイマ RC 出力レベルがハイインピーダンスに固定)、RESTATS ビットが 0 (ソフトウェアで出力波形操作を中止、出力再開) の場合

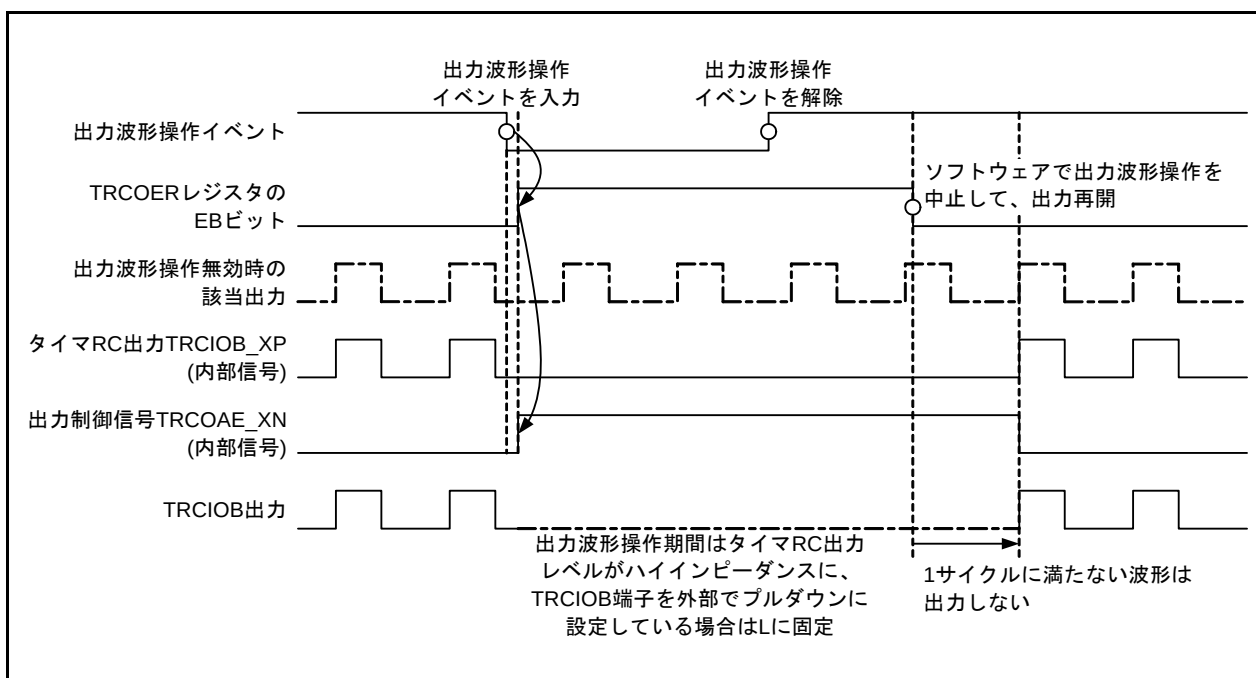


図 17.23 出力波形操作の動作例(1)

- TRCIOB 端子を外部でプルアップし、TRCOPR レジスタの OPE ビットが 1 (出力波形操作有効)、OPOL1、OPOL0 ビットが 01b (TRCIOA、TRCIOB、TRCIOC、TRCIOD 端子を外部でプルアップに設定している場合、出力波形操作期間はタイマ RC 出力レベルがハイインピーダンスに固定)、RESTATS ビットが 0 (ソフトウェアで出力波形操作を中止、出力再開) の場合

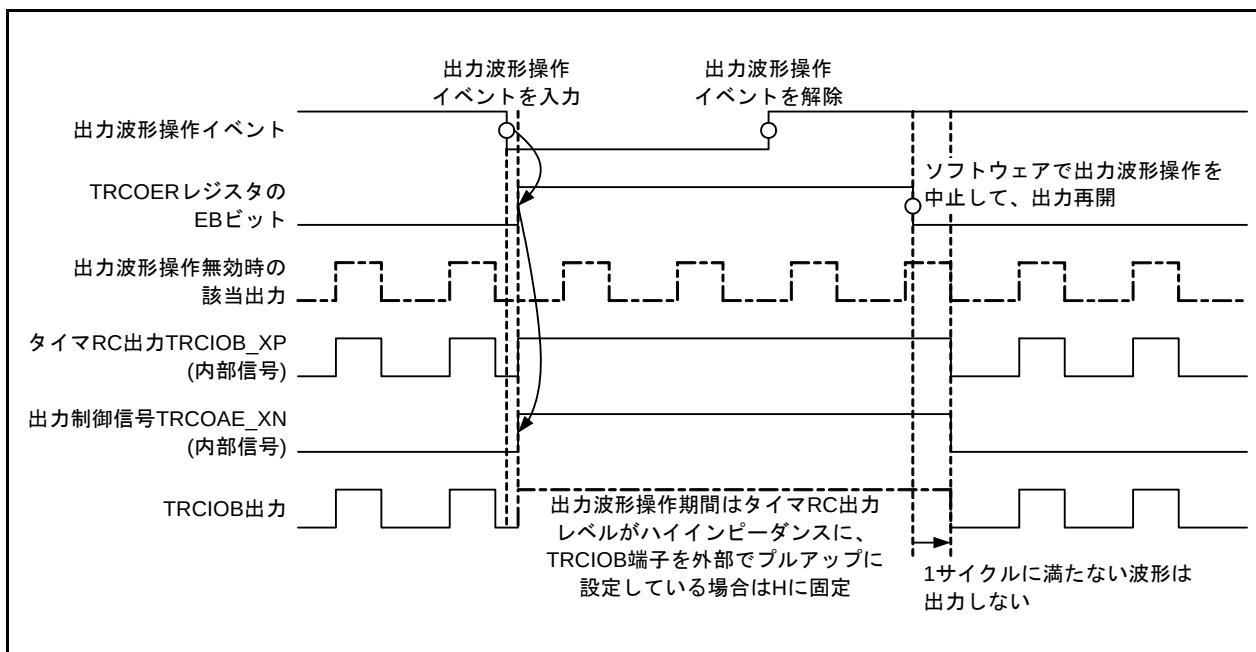


図 17.24 出力波形操作の動作例(2)

- TRCOPR レジスタの OPE ビットが 1 (出力波形操作有効)、OPOL1、OPOL0 ビットが 10b (出力波形操作期間はタイマ RC 出力レベルが L に固定)、RESTATS ビットが 1 (自動出力波形操作を中止、自動出力再開) の場合

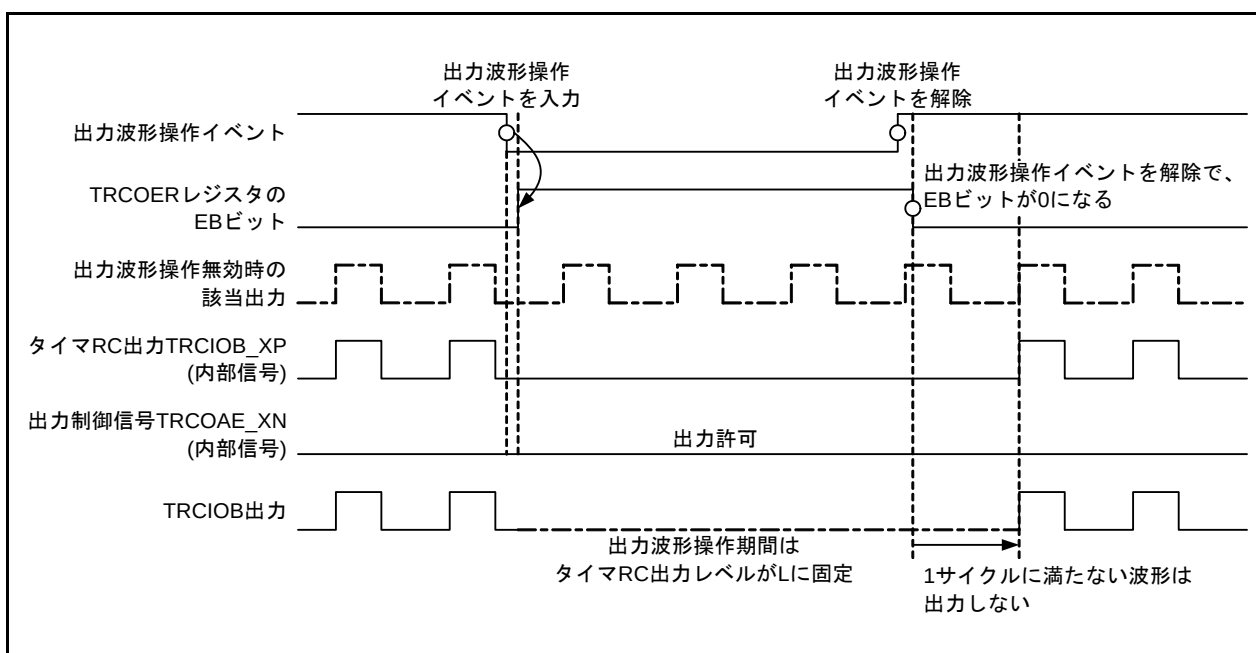


図 17.25 出力波形操作の動作例(3)

- TRCOPR レジスタの OPE ビットが 1 (出力波形操作有効)、OPOL1、OPOL0 ビットが 11b (出力波形操作期間はタイマ RC 出力レベルが H に固定)、RESTATS ビットが 1 (自動出力波形操作を中止、自動出力再開) の場合

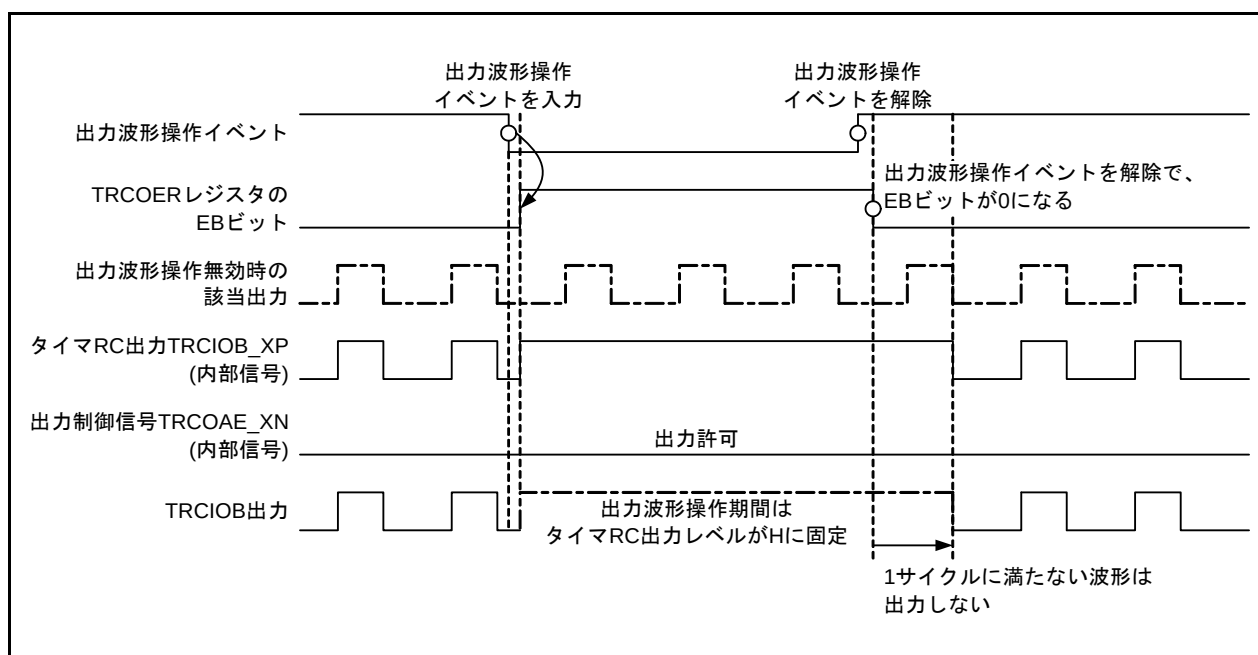


図 17.26 出力波形操作の動作例 (4)

17.5 動作タイミング

17.5.1 TRCCNTレジスタのカウントタイミング

図17.27にカウント動作時のタイミング図を示します。

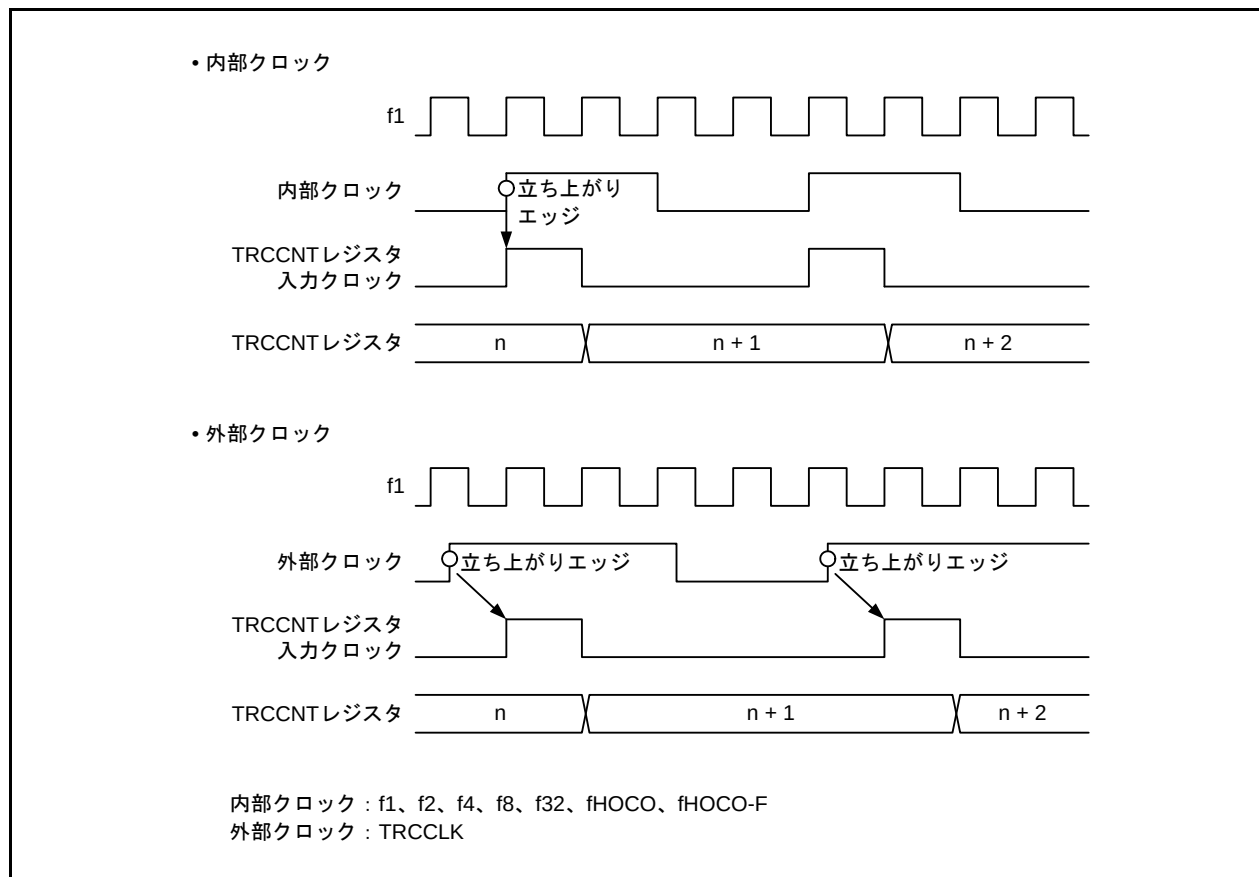


図17.27 カウント動作時のタイミング図

17.5.2 アウトプットコンペア出力タイミング

コンペアー一致信号は、TRCCNTレジスタとジェネラルレジスタが一致した最後のステート (TRCCNTレジスタが一致したカウント値を更新するタイミング) で発生します。コンペアー一致発生時に TRCIOR レジスタで設定される出力値が、アウトプットコンペア出力端子 (TRCIOA、TRCIOB、TRCIOC、TRCIOD) に出力されます。TRCCNTレジスタとジェネラルレジスタが一致した後、TRCCNTレジスタ入力クロックが発生するまで、コンペアー一致信号は発生しません。

図17.28にアウトプットコンペア出力のタイミング図を示します。

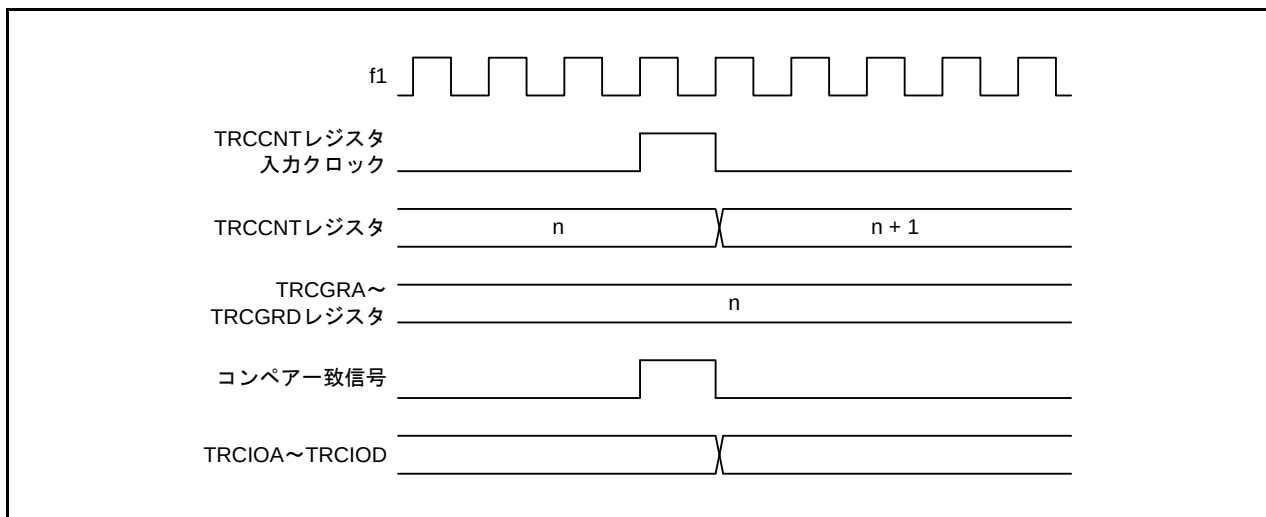


図17.28 アウトプットコンペア出力のタイミング図

17.5.3 インプットキャプチャ入力タイミング

インプットキャプチャ入力、TRCIOR0、TRCIOR1 レジスタの設定で、立ち上がりエッジ、立ち下がりエッジまたは両エッジが選択できます。

図17.29にインプットキャプチャ入力のタイミング図を示します。立ち下がりエッジを選択した場合です。

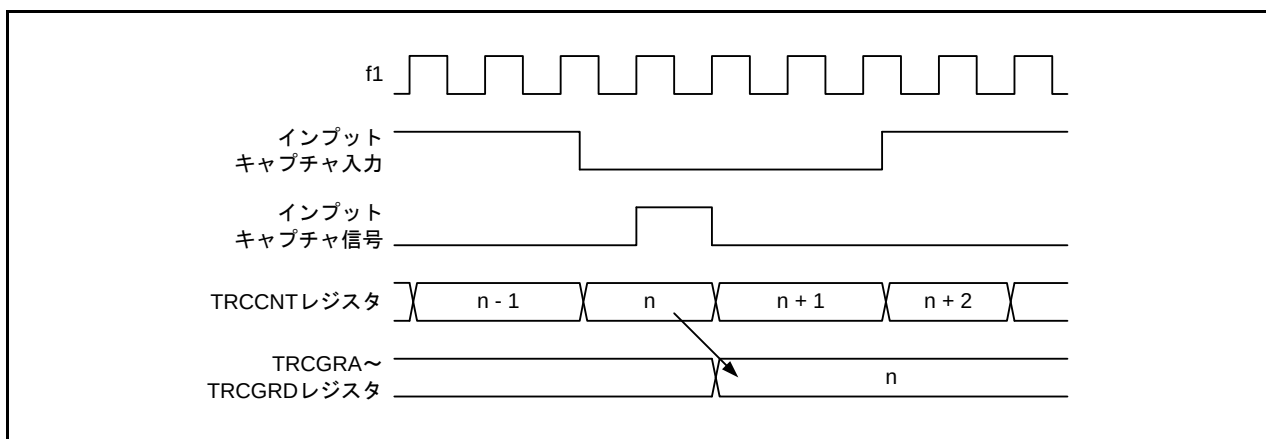


図17.29 インプットキャプチャ入力のタイミング図

17.5.4 コンペアー一致によるカウンタクリアのタイミング

図17.30にコンペアー一致Aによるカウンタクリアのタイミング図を示します。TRCGRAレジスタの値を n にすると、カウンタは0から n までカウントし、周期は $n+1$ となります。

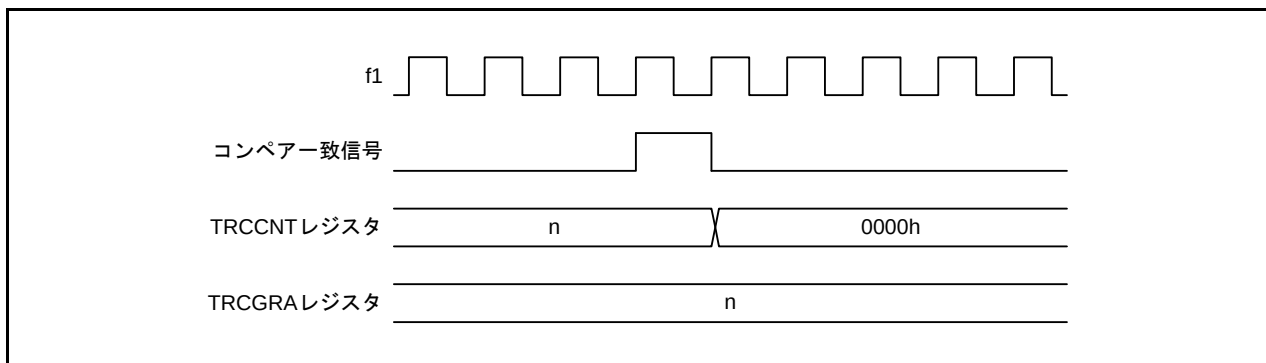


図17.30 コンペアー一致Aによるカウンタクリアのタイミング図

17.5.5 バッファ動作のタイミング

図17.31にバッファ動作のタイミング図を示します。

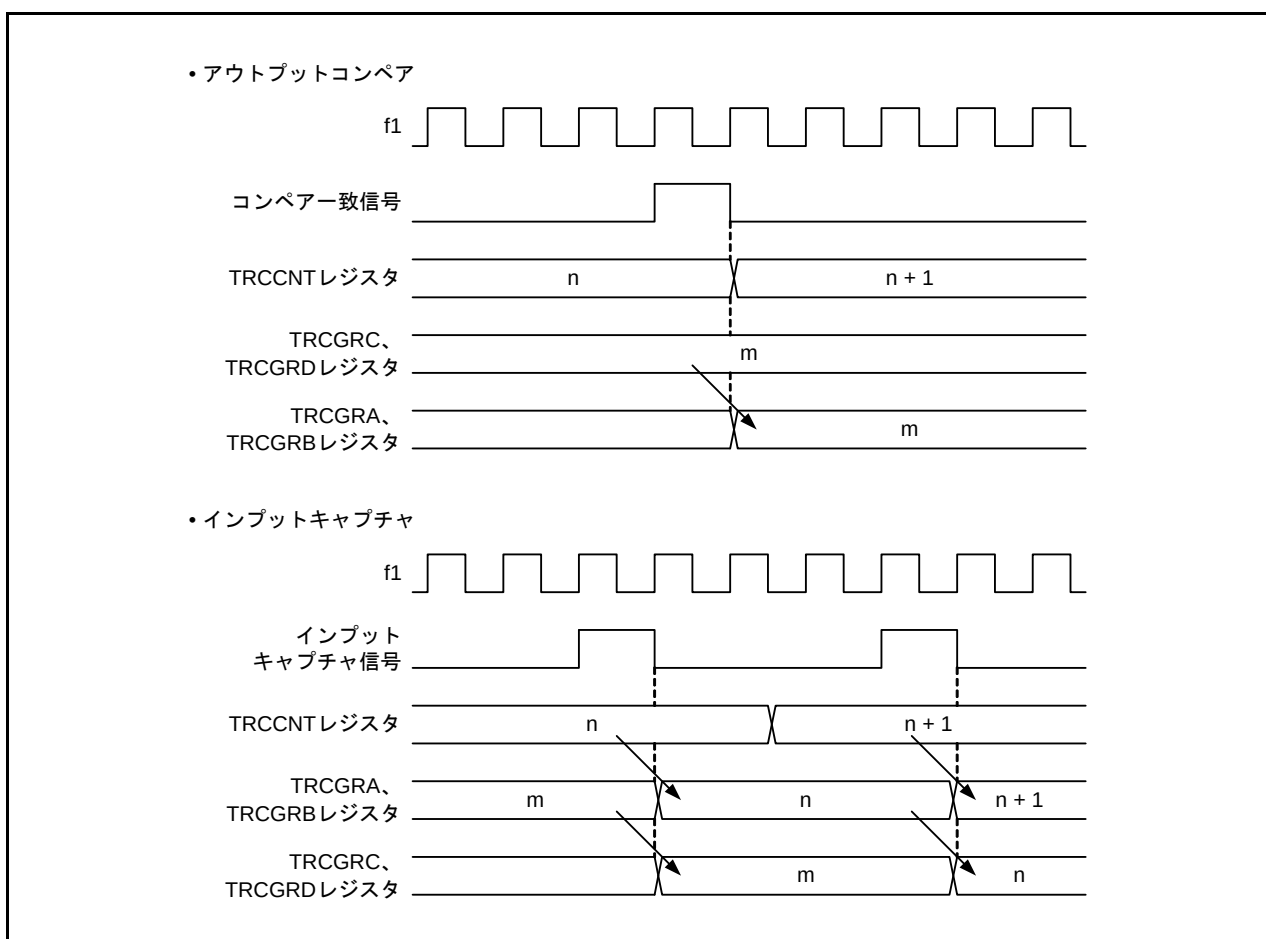


図17.31 バッファ動作のタイミング図

17.5.6 コンペアー一致時のIMFA～IMFDビットタイミング

アウトプットコンペアーレジスタとして機能している場合のTRCSRレジスタのIMFA～IMFDビットは、TRCCNTレジスタとジェネラルレジスタ (TRCGRA、TRCGRB、TRCGRC、TRCGRD) が一致したときに1になります。

コンペアー一致信号は、一致した最後のステート (TRCCNTレジスタが一致したカウント値を更新するタイミング) で発生します。従って、TRCCNTレジスタとジェネラルレジスタが一致した後、TRCCNTレジスタ入力クロックが発生するまでコンペアー一致信号は発生しません。

図17.32にコンペアー一致時のタイミング図を示します。

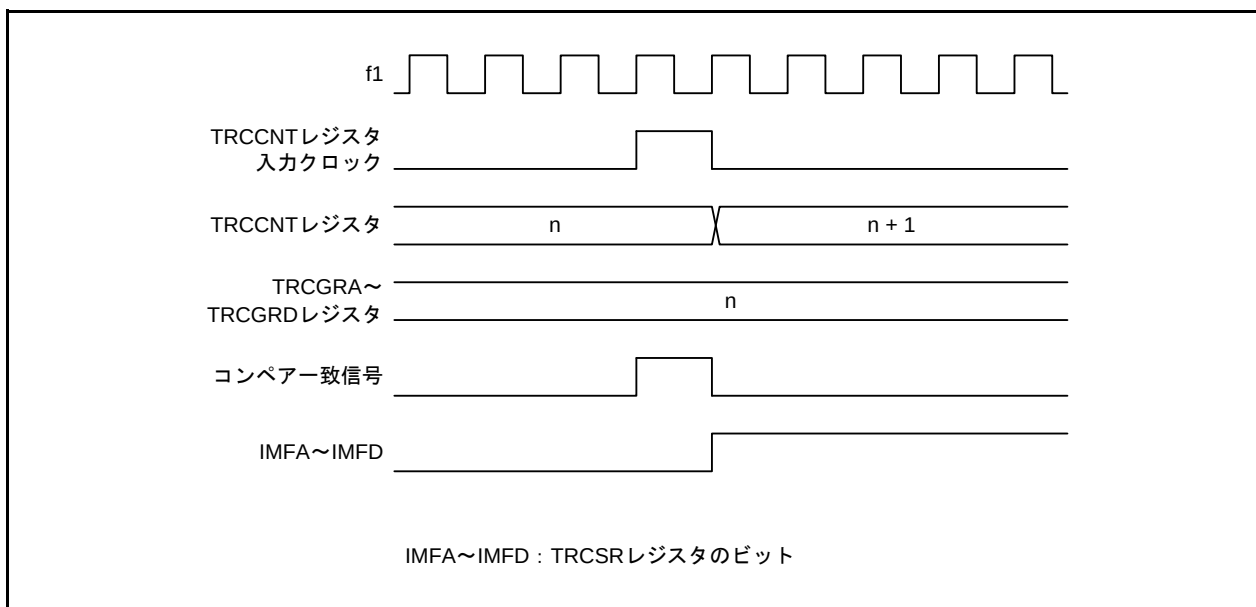


図17.32 コンペアー一致時のタイミング図

17.5.7 インプットキャプチャ時のIMFA～IMFDビットタイミング

インプットキャプチャレジスタとして機能している場合のTRCSRレジスタのIMFA～IMFDビットは、インプットキャプチャの発生で1になります。

図17.33にインプットキャプチャ時のタイミング図を示します。

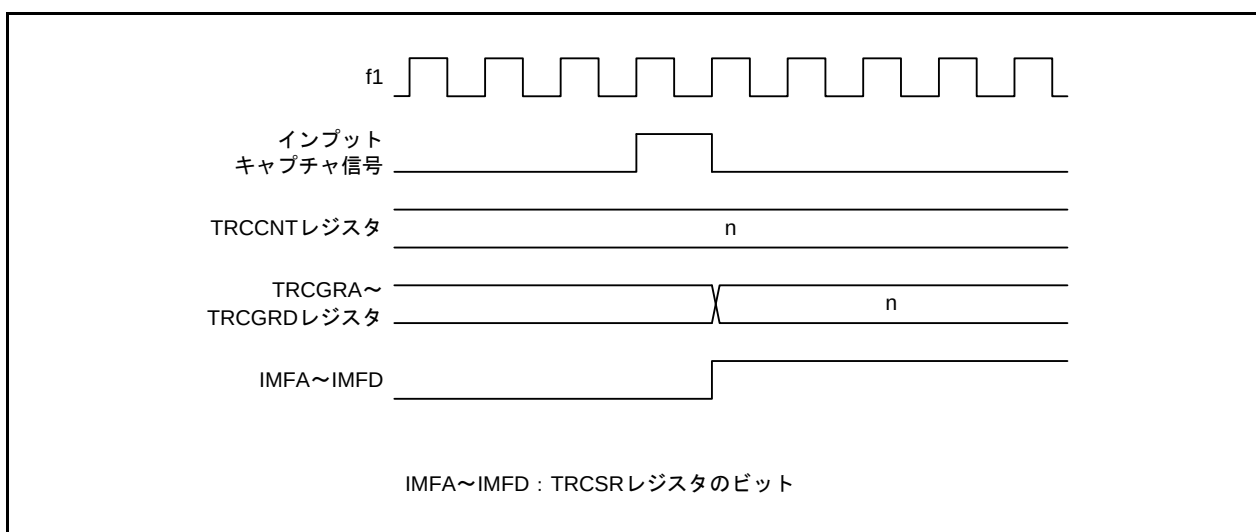


図17.33 インプットキャプチャ時のタイミング図

17.5.8 IMFA～IMFDビットおよびOVFビットが0になるタイミング

IMFA～IMFDビットおよびOVFビットは、CPUが1を読んだ後、0を書くと0になります。
図17.34にCPUによるIMFA～IMFDビットおよびOVFビットのタイミング図を示します。

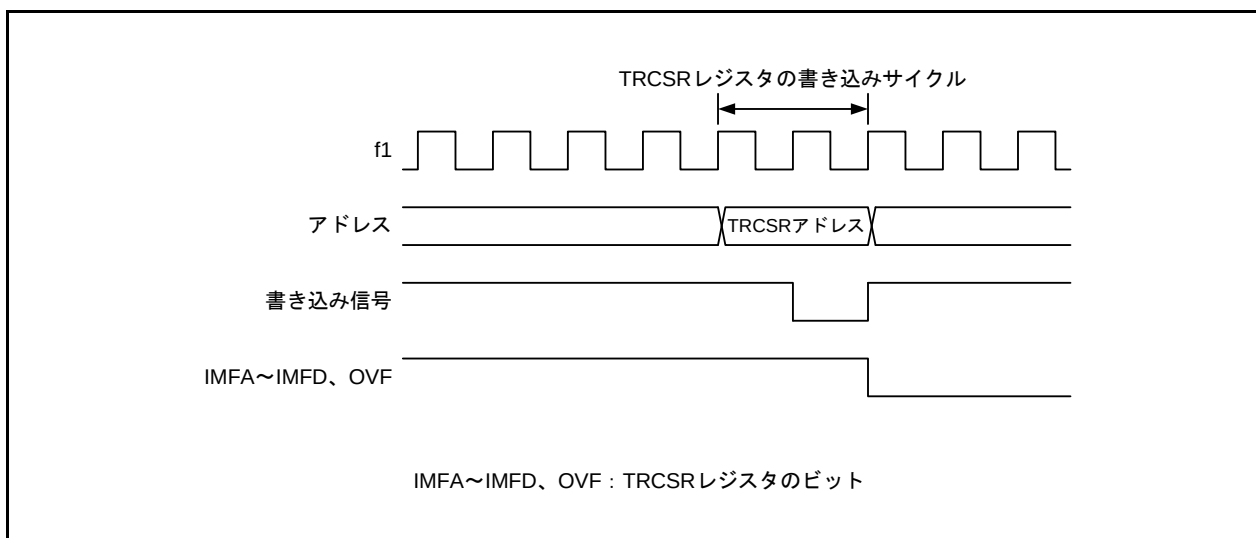


図17.34 CPUによるIMFA～IMFDビットおよびOVFビットのタイミング図

17.5.9 コンペアー一致によるA/D変換開始トリガのタイミング

図17.35にコンペアー一致によるA/D変換開始トリガのタイミング図を示します。

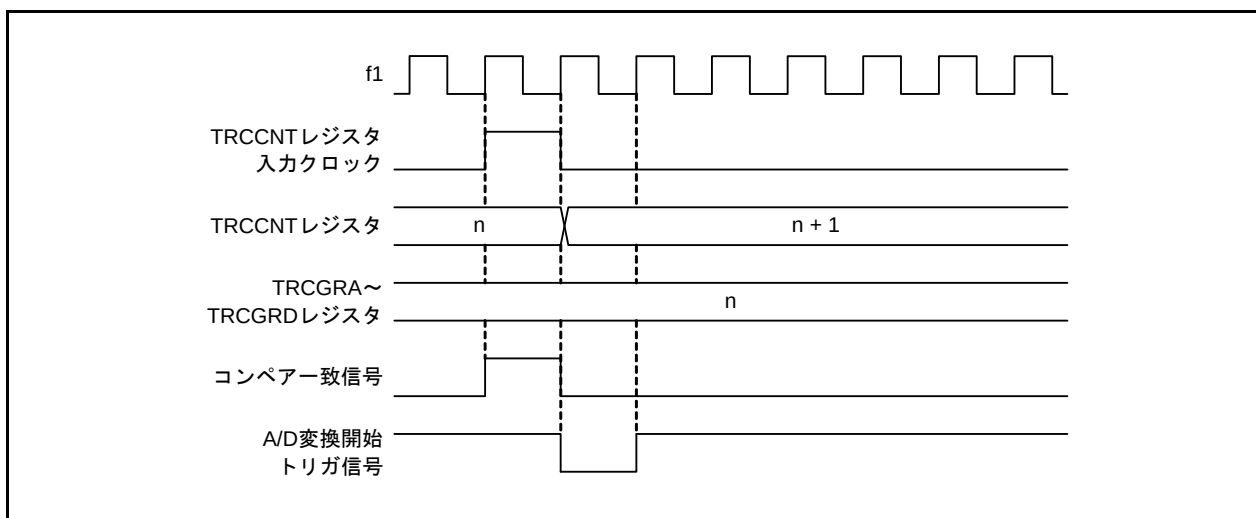


図17.35 コンペアー一致によるA/D変換開始トリガのタイミング図

17.6 タイマ RC 割り込み

タイマ RC は、5つの要因からタイマ RC 割り込み要求を発生します。タイマ RC 割り込みは1つの TRCIC レジスタ (IR ビット、ILVL0～ILVL2 ビット) と1つのベクタを持ちます。

表17.18にタイマ RC 割り込み関連レジスタを、図17.36にタイマ RC 割り込みのブロック図を示します。

表17.18 タイマ RC 割り込み関連レジスタ

タイマ RC ステータスレジスタ	タイマ RC 割り込み許可レジスタ	タイマ RC 割り込み制御レジスタ
TRCSR	TRCIER	TRCIC

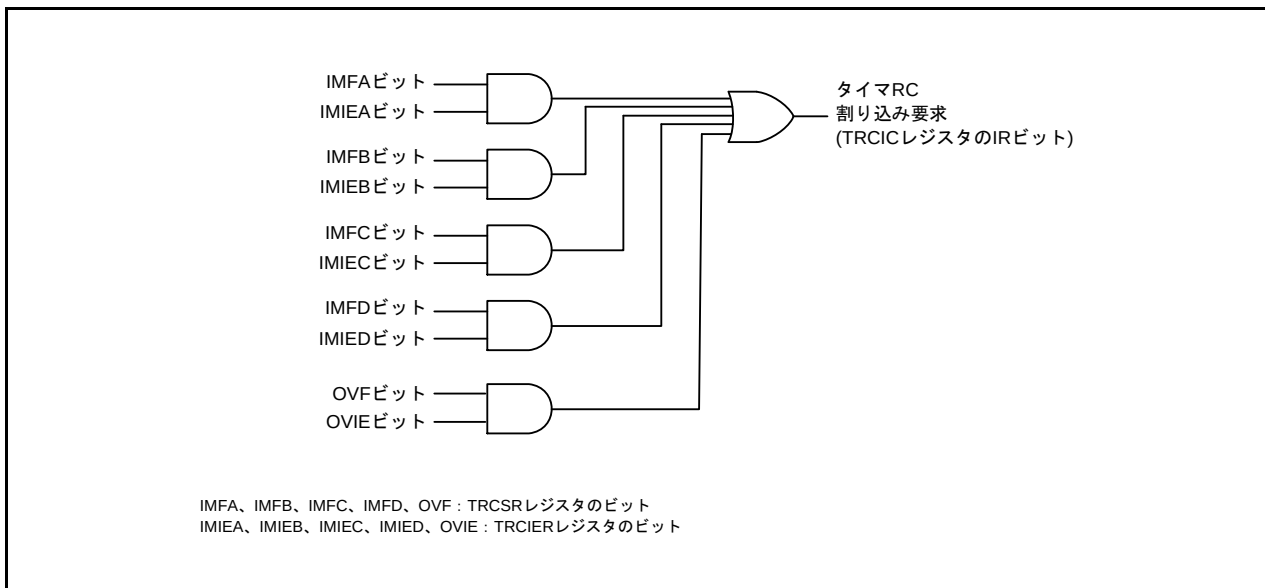


図17.36 タイマ RC 割り込みのブロック図

タイマ RC 割り込みが、I フラグ、IR ビット、ILVL0～ILVL2 ビットと IPL の関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマ RC 割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRCSR レジスタのビットが1で、それに対応する TRCIER レジスタのビットが1 (割り込み許可) の場合、TRCIC レジスタのIR ビットが1 (割り込み要求あり) になります。
- TRCSR レジスタのビットと、それに対応する TRCIER レジスタのビットのどちらか、または両方が0になるとIR ビットが0 (割り込み要求なし) になります。すなわち、IR ビットは、一旦1になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IR ビットが1になった後、別の要求要因が成立した場合、IR ビットは1のまま変化しません。
- TRCIER レジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRCSR レジスタで判定してください。
- TRCSR レジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。0にする方法は「17.2.6 タイマ RC ステータスレジスタ (TRCSR)」を参照してください。

TRCIER レジスタは「17.2.5 タイマ RC 割り込み許可レジスタ (TRCIER)」を参照してください。

TRCIC レジスタは「11.4 割り込み制御」、割り込みベクタは「11.3.2 可変ベクタテーブル」を参照してください。

17.7 タイマ RC 使用上の注意事項

17.7.1 TRCCNT レジスタ

TRCCR1 レジスタの CCLR ビットを 1 (インプットキャプチャ/コンペアー一致 A で TRCCNT カウンタ クリア) にしている場合、次の注意事項が該当します。

- TRCMR レジスタの CTS ビットが 1 (カウント開始) の状態で、プログラムで TRCCNT レジスタに値を書き込む場合は、TRCCNT レジスタが 0000h になるタイミングと重ならないように書いてください。
- TRCCNT レジスタが 0000h になるタイミングと、TRCCNT レジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCCNT レジスタが 0000h になります。

TRCCNT レジスタに書いた後、TRCCNT レジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間で JMP.B 命令を実行してください。

- プログラム例

```

MOV.W    #XXXXh, TRCCNT    ; 書き込み
JMP.B    L1                ; JMP.B 命令
L1:      MOV.W    TRCCNT, DATA ; 読み出し

```

17.7.2 TRCCR1 レジスタ

TRCCR1 レジスタの CKS2～CKS0 ビットを 111b (fHOCO-F) にするときは、CPU クロックより速いクロック周波数に fHOCO-F を設定してください。

17.7.3 TRCSR レジスタ

TRCSR レジスタに書いた後、TRCSR レジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間で JMP.B 命令を実行してください。

- プログラム例

```

MOV.B    #XXh, TRCSR      ; 書き込み
JMP.B    L1                ; JMP.B 命令
L1:      MOV.B    TRCSR, DATA ; 読み出し

```

17.7.4 カウントソースの切り替え

- カウントソースを切り替える場合、カウントを停止した後に切り替えてください。また、カウントソースの切り替え後、CPU クロックの 2 サイクル以上待ってから、タイマ RC 関連レジスタ (00138h～0014Dh) への書き込みを行ってください。

[変更手順]

- (1) TRCMR レジスタの CTS ビットを 0 (カウント停止) にする
- (2) TRCCR1 レジスタの CKS0～CKS2 ビットを変更する
- (3) CPU クロックの 2 サイクル以上待つ
- (4) タイマ RC 関連レジスタ (00138h～0014Dh) への書き込み

- カウントソースを fHOCO-F から fHOCO に変更し、fHOCO-F を停止させる場合は、クロック切り替え設定後、fHOCO-F の 2 サイクル以上待ってから fHOCO-F を停止させてください。

[変更手順]

- (1) TRCMR レジスタの CTS ビットを 0 (カウント停止) にする
- (2) TRCCR1 レジスタの CKS0～CKS2 ビットを変更する
- (3) fHOCO-F の 2 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを 0 (高速オンチップオシレータ停止) にする

- カウントソースを fHOCO-F から fHOCO 以外のクロックに変更し、fHOCO-F を停止させる場合は、クロック切り替え設定後、fHOCO-F の 1 サイクル + fHOCO の 1 サイクル以上待ってから fHOCO-F を停止させてください。

[変更手順]

- (1) TRCMR レジスタの CTS ビットを 0 (カウント停止) にする
- (2) TRCCR1 レジスタの CKS0 ~ CKS2 ビットを変更する
- (3) fHOCO-F の 1 サイクル + fHOCO の 1 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを 0 (高速オンチップオシレータ停止) にする

注1. fHOCO、fHOCO-F をカウントソースに選択しているときには、FRA00 ビットを 0 (高速オンチップオシレータ停止) にしないでください。

注2. fHOCO-F をカウントソースに選択しているときには、FRA2 レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

17.7.5 インพุットキャプチャ機能

インพุットキャプチャ信号のパルス幅については、次のように設定してください。

[デジタルフィルタなしの場合]

タイマRCの動作クロックの3サイクル分以上(「表 17.1 タイマRCの仕様」参照)

[デジタルフィルタありの場合]

デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図 17.19 デジタルフィルタ回路のブロック図」参照)

TRCIOj (j = A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1~2サイクル後にTRCCNTレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

17.7.6 PWM2モード時のTRCMR レジスタ

TRCCR2レジスタのCSTPビットが1 (TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCCNTレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

17.7.7 モジュールスタンバイ

タイマRCのカウント停止中にMSTCR2レジスタのMSTTRC_0ビットを書いてください。MSTCR2レジスタにタイマRCのモジュールスタンバイビットが存在します。

17.7.8 モードの切り替え

- 動作中にモードを切り替える場合、TRCMRレジスタのCTSビットを0 (カウント停止)にした後に行ってください。
- モードの切り替え後、動作開始前にTRCSRレジスタの各フラグを0、TRCICレジスタのIRビットを0に設定してください。

詳細は「11.9.4 割り込み要因の変更」を参照してください。

17.7.9 カウント停止時のインพุットキャプチャ動作

インพุットキャプチャ機能使用時、インพุットキャプチャ信号(TRCIOR0レジスタのIOj0、IOj1ビット (j = A、B)、TRCIOR1レジスタのIOk0、IOk1ビット (k = C、D)のいずれかで選択したエッジ)がTRCIOi端子(i = A、B、C、D)に入力されると、TRCMRレジスタのCTSビットが0 (カウント停止)のときも、TRCSRレジスタのIMFiビットが1になります。

18. タイマ RD

タイマ RD は、16 ビット タイマ を 2 本 (タイマ RD0、タイマ RD1) 持ちます。

18.1 概要

タイマ RD は 4 本 の 入出力端子 を持ちます。

タイマ RD の動作クロックは f1、fHOCO または fHOCO-F です。表 18.1 にタイマ RD の動作クロックを示します。

表 18.1 タイマ RD の動作クロック

条件	タイマ RD の動作クロック
カウントソースが f1、f2、f4、f8、f32、TRDCLK 入力 (TRDCR0、TRDCR1 レジスタの TCK2～TCK0 ビットが 000b～101b)	f1
カウントソースが fHOCO (TRDCR0、TRDCR1 レジスタの TCK2～TCK0 ビットが 110b)	fHOCO
カウントソースが fHOCO-F (TRDCR0、TRDCR1 レジスタの TCK2～TCK0 ビットが 111b)	fHOCO-F

図 18.1 にタイマ RD のブロック図 (i = 0, 1) を、表 18.2 にタイマ RD の端子構成を示します。

タイマ RD は 5 種類のモードを持ちます。

- タイマモード
 - インプットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
 - アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能
(検出時に端子出力変更可能)

次の 4 つのモードは、アウトプットコンペア機能を用います。

- PWM モード 任意の幅のパルスを連続して出力するモード
- リセット同期 PWM モード 鋸波変調、短絡防止時間なしの三相波形 (6 本) を出力するモード
- 相補 PWM モード 三角波変調、短絡防止時間ありの三相波形 (6 本) を出力するモード
- PWM3 モード 同一周期の PWM 波形 (2 本) を出力するモード

インプットキャプチャ機能、アウトプットコンペア機能、PWM モードは、タイマ RD0 とタイマ RD1 で同等の機能を持ち、1 端子ごとに機能とモードを選択できます。また、タイマ RD0、タイマ RD1 の中でこれらの機能とモードを組み合わせさせて使えます。

リセット同期 PWM モード、相補 PWM モード、PWM3 モードは、タイマ RD0 とタイマ RD1 のカウンタやレジスタを組み合わせさせて波形を出力します。端子の機能はモードによって決まります。

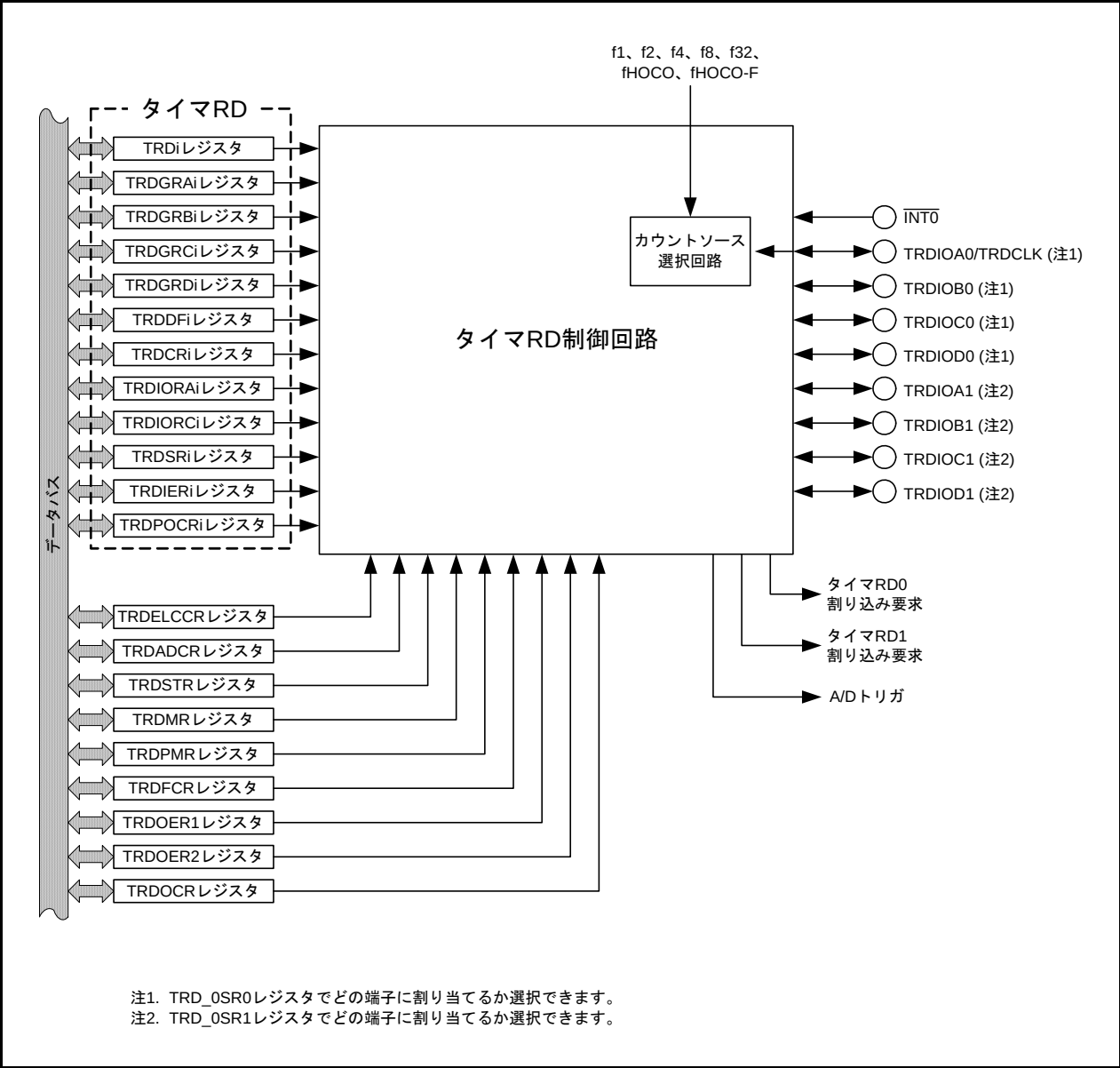


図 18.1 タイマRDのブロック図 (i = 0、1)

表 18.2 タイマRDの端子構成

端子名	入出力	機能
TRDIOA0/TRDCLK	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRDIOB0	入出力	
TRDIOC0	入出力	
TRDIOD0	入出力	
TRDIOA1	入出力	
TRDIOB1	入出力	
TRDIOC1	入出力	
TRDIOD1	入出力	

18.2 レジスタの説明

表18.3にタイマRDのレジスタ構成を示します。

表18.3 タイマRDのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRD_0 ELC連動制御レジスタ	TRDELCCR_0	00h	00180h	8
タイマRD_0トリガ制御レジスタ	TRDADCR_0	00h	00182h	8
タイマRD_0スタートレジスタ	TRDSTR_0	11111100b	00183h	8
タイマRD_0モードレジスタ	TRDMR_0	00001110b	00184h	8
タイマRD_0 PWMモードレジスタ	TRDPMR_0	10001000b	00185h	8
タイマRD_0機能制御レジスタ	TRDFCR_0	10000000b	00186h	8
タイマRD_0出力マスタ許可レジスタ1	TRDOER1_0	FFh	00187h	8
タイマRD_0出力マスタ許可レジスタ2	TRDOER2_0	01111111b	00188h	8
タイマRD_0出力制御レジスタ	TRDOCR_0	00h	00189h	8
タイマRD_0デジタルフィルタ機能選択レジスタ0	TRDDF0_0	00h	0018Ah	8
タイマRD_0デジタルフィルタ機能選択レジスタ1	TRDDF1_0	00h	0018Bh	8
タイマRD_0制御レジスタ0	TRDCR0_0	00h	00190h	8
タイマRD_0 I/O制御レジスタA0	TRDIORA0_0	10001000b	00191h	8
タイマRD_0 I/O制御レジスタC0	TRDIORC0_0	10001000b	00192h	8
タイマRD_0ステータスレジスタ0	TRDSR0_0	11100000b	00193h	8
タイマRD_0割り込み許可レジスタ0	TRDIER0_0	11100000b	00194h	8
タイマRD_0 PWMモード出力レベル制御レジスタ0	TRDPOCR0_0	11111000b	00195h	8
タイマRD_0カウンタ0	TRD0_0	0000h	00196h	16
タイマRD_0ジェネラルレジスタA0	TRDGRA0_0	FFFFh	00198h	16
タイマRD_0ジェネラルレジスタB0	TRDGRB0_0	FFFFh	0019Ah	16
タイマRD_0ジェネラルレジスタC0	TRDGRC0_0	FFFFh	0019Ch	16
タイマRD_0ジェネラルレジスタD0	TRDGRD0_0	FFFFh	0019Eh	16
タイマRD_0制御レジスタ1	TRDCR1_0	00h	001A0h	8
タイマRD_0 I/O制御レジスタA1	TRDIORA1_0	10001000b	001A1h	8
タイマRD_0 I/O制御レジスタC1	TRDIORC1_0	10001000b	001A2h	8
タイマRD_0ステータスレジスタ1	TRDSR1_0	11000000b	001A3h	8
タイマRD_0割り込み許可レジスタ1	TRDIER1_0	11100000b	001A4h	8
タイマRD_0 PWMモード出力レベル制御レジスタ1	TRDPOCR1_0	11111000b	001A5h	8
タイマRD_0カウンタ1	TRD1_0	0000h	001A6h	16
タイマRD_0ジェネラルレジスタA1	TRDGRA1_0	FFFFh	001A8h	16
タイマRD_0ジェネラルレジスタB1	TRDGRB1_0	FFFFh	001AAh	16
タイマRD_0ジェネラルレジスタC1	TRDGRC1_0	FFFFh	001ACh	16
タイマRD_0ジェネラルレジスタD1	TRDGRD1_0	FFFFh	001AEh	16

18.2.1 タイマRD ELC連動制御レジスタ (TRDELCCR)

アドレス 00180h (TRDELCCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	ELCOBE1	ELCICE1	—	—	ELCOBE0	ELCICE0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ELCICE0	タイマRD0 ELCインプットキャプチャ要求信号選択ビット	0: インプットキャプチャ TRDIOD0を選択 1: タイマRD0 ELCインプットキャプチャ要求信号を選択	R/W
b1	ELCOBE0	パルス強制遮断(INT0)用タイマRD0 ELCインプットキャプチャ要求信号許可ビット	0: タイマRD0 ELCインプットキャプチャ要求信号許可ビット無効 1: タイマRD0 ELCインプットキャプチャ要求信号許可ビット許可	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b3	—			
b4	ELCICE1	タイマRD1 ELCインプットキャプチャ要求信号選択ビット	0: インプットキャプチャ TRDIOD1を選択 1: タイマRD1 ELCインプットキャプチャ要求信号を選択	R/W
b5	ELCOBE1	パルス強制遮断(INT0)用タイマRD1 ELCインプットキャプチャ要求信号許可ビット	0: タイマRD1 ELCインプットキャプチャ要求信号許可ビット無効 1: タイマRD1 ELCインプットキャプチャ要求信号許可ビット許可	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	—			

18.2.2 タイマ RD トリガ制御レジスタ (TRDADCR)

18.2.2.1 アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードのとき

アドレス 00182h (TRDADCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADTRGD1E	ADTRGC1E	ADTRGB1E	ADTRGA1E	ADTRGD0E	ADTRGC0E	ADTRGB0E	ADTRGA0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADTRGA0E	A/DトリガA0許可ビット(注1)	0 : A/Dトリガ禁止 1 : TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b1	ADTRGB0E	A/DトリガB0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRB0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b2	ADTRGC0E	A/DトリガC0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRC0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b3	ADTRGD0E	A/DトリガD0許可ビット	0 : A/Dトリガ禁止 1 : TRD0とTRDGRD0レジスタのコンペア一致時にA/Dトリガ発生	R/W
b4	ADTRGA1E	A/DトリガA1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRA1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b5	ADTRGB1E	A/DトリガB1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRB1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b6	ADTRGC1E	A/DトリガC1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRC1レジスタのコンペア一致時にA/Dトリガ発生	R/W
b7	ADTRGD1E	A/DトリガD1許可ビット	0 : A/Dトリガ禁止 1 : TRD1とTRDGRD1レジスタのコンペア一致時にA/Dトリガ発生	R/W

注1. 相補PWMモードの場合は、0にしてください。

18.2.3 タイマ RD スタートレジスタ (TRDSTR)

アドレス 00183h (TRDSTR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	CSEL1	CSEL0	TSTART1	TSTART0
リセット後の値	1	1	1	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART0	TRD0 カウント開始フラグ (注1、2)	0 : カウント停止	R/W
b1	TSTART1	TRD1 カウント開始フラグ (注3、4)	1 : カウント開始	R/W
b2	CSEL0	TRD0 カウント動作選択ビット	0 : TRDGRA0 レジスタとのコンペアー致でカウント停止 1 : TRDGRA0 レジスタとのコンペアー致後もカウント継続 (注5)	R/W
b3	CSEL1	TRD1 カウント動作選択ビット (注6)	0 : TRDGRA1 レジスタとのコンペアー致でカウント停止 1 : TRDGRA1 レジスタとのコンペアー致後もカウント継続 (注5)	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	—			

注1. タイマ RD0 のカウント動作を停止させる場合、CSEL0 ビットが1の状態では TSTART0 ビットに0を書き換えてください。

注2. CSEL0 ビットが0でコンペアー致信号 (TRDIOA0) が発生したとき、0 (カウント停止) になります。

注3. タイマ RD1 のカウント動作を停止させる場合、CSEL1 ビットが1の状態では TSTART1 ビットに0を書き換えてください。

注4. CSEL1 ビットが0でコンペアー致信号 (TRDIOA1) が発生したとき、0 (カウント停止) になります。

注5. インพุットキャプチャ機能では1にしてください。

注6. PWM3 モードでは使用しません。

TRDSTR レジスタは MOV 命令を使用して書き換えてください (ビット処理命令を使用しないでください)。タイマ RD 使用上の注意事項の「18.4.1.2 TRDSTR レジスタ」を参照してください。

18.2.4 タイマ RD モードレジスタ (TRDMR)

アドレス 00184h (TRDMR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BFD1	BFC1	BFD0	BFC0	—	—	—	SYNC
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	タイマ RD 同期ビット (注1)	0 : TRD0 と TRD1 は独立動作 1 : TRD0 と TRD1 は同期動作	R/W
b1	—	何も配置されていない。書く場合、1 を書いてください。読んだ場合、その値は1。		—
b2	—			
b3	—			
b4	BFC0	TRDGRC0 レジスタ機能選択ビット (注2、3)	0 : ジェネラルレジスタ 1 : TRDGRA0 レジスタのバッファレジスタ	R/W
b5	BFD0	TRDGRD0 レジスタ機能選択ビット (注3)	0 : ジェネラルレジスタ 1 : TRDGRB0 レジスタのバッファレジスタ	R/W
b6	BFC1	TRDGRC1 レジスタ機能選択ビット (注3)	0 : ジェネラルレジスタ 1 : TRDGRA1 レジスタのバッファレジスタ	R/W
b7	BFD1	TRDGRD1 レジスタ機能選択ビット (注3)	0 : ジェネラルレジスタ 1 : TRDGRB1 レジスタのバッファレジスタ	R/W

注1. リセット同期PWMモード時、相補PWMモード時、およびPWM3モード時は、0 (TRD0 と TRD1 は独立動作) にしてください。

注2. 相補PWMモードでは0 (ジェネラルレジスタ) にしてください。

注3. アウトプットコンペア機能時、TRDIORCi レジスタ (i = 0、1) のIOj3 ビット (j = C または D) で0 (TRDGRji レジスタ出力端子変更) を選択した場合、TRDMR レジスタのBFji ビットを0にしてください。

18.2.5 タイマ RD PWM モードレジスタ (TRDPMR)

18.2.5.1 インพุットキャプチャ機能、アウトプットコンペア機能、PWM モードのとき

アドレス 00185h (TRDPMR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	PWMD1	PWMC1	PWMB1	—	PWMD0	PWMC0	PWMB0
リセット後の値	1	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PWMB0	TRDIOB0 PWMモード選択ビット (注1)	0 : タイマモード 1 : PWMモード	R/W
b1	PWMC0	TRDIOC0 PWMモード選択ビット (注1)		R/W
b2	PWMD0	TRDIOD0 PWMモード選択ビット (注1)		R/W
b3	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b4	PWMB1	TRDIOB1 PWMモード選択ビット (注1)	0 : タイマモード 1 : PWMモード	R/W
b5	PWMC1	TRDIOC1 PWMモード選択ビット (注1)		R/W
b6	PWMD1	TRDIOD1 PWMモード選択ビット (注1)		R/W
b7	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—

注1. インพุットキャプチャ機能、アウトプットコンペア機能では0 (タイマモード) にしてください。

18.2.6 タイマ RD 機能制御レジスタ (TRDFCR)

アドレス 00186h (TRDFCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PWM3	STCLK	ADEG	ADTRG	OLS1	OLS0	CMD1	CMD0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMD0	コンピネーションモード選択ビット (注1、2)	- インプットキャプチャ機能、アウトプットコンペア機能、PWMモード、PWM3モードの場合は、00b (タイマモード、PWMモード、PWM3モード) にしてください。 - リセット同期PWMモードの場合は、01b (リセット同期PWMモード) にしてください。 - 相補PWMモードの場合は、 b1 b0 1 0 : 相補PWMモード (TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送) 1 1 : 相補PWMモード (TRD0とTRDGRA0レジスタのコンペア一致時にバッファレジスタからジェネラルレジスタへ転送) 上記以外：設定しないでください	R/W
b1	CMD1			R/W
b2	OLS0	正相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	- リセット同期PWMモード、相補PWMモードの場合は、 0 : 初期出力H、アクティブレベルL 1 : 初期出力L、アクティブレベルH	R/W
b3	OLS1	逆相出力レベル選択ビット (リセット同期PWMモードまたは相補PWMモード時)	インプットキャプチャ機能、アウトプットコンペア機能、PWMモード、PWM3モードでは無効です。	R/W
b4	ADTRG	A/Dトリガ許可ビット (相補PWMモード時)	- 相補PWMモードの場合は、 0 : A/Dトリガを禁止 1 : A/Dトリガを許可 (注3) - インプットキャプチャ機能、アウトプットコンペア機能、PWMモード、リセット同期PWMモード、PWM3モードでは無効です。	R/W
b5	ADEG	A/Dトリガ発生選択ビット (相補PWMモード時)	- 相補PWMモードの場合は、 0 : TRD0とTRDGRA0レジスタのコンペア一致時にA/Dトリガ発生 1 : TRD1のアンダフロー時のA/Dトリガ発生 - インプットキャプチャ機能、アウトプットコンペア機能、PWMモード、リセット同期PWMモード、PWM3モードでは無効です。	R/W
b6	STCLK	外部クロック入力選択ビット	- インプットキャプチャ機能、アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモードの場合は、 0 : 外部クロック入力無効 1 : 外部クロック入力有効 - PWM3モードの場合は、0 (外部クロック入力無効) にしてください。	R/W
b7	PWM3	PWM3モード選択ビット (注4)	- インプットキャプチャ機能、アウトプットコンペア機能、PWMモードの場合は、1 (PWM3モード以外) にしてください。 - PWM3モードの場合は0 (PWM3モード) にしてください。 - リセット同期PWMモード、相補PWMモードでは無効です。	R/W

注1. CMD0、CMD1ビットはTRDSTRレジスタのTSTART0、TSTART1ビットがともに0 (カウント停止) のときに書いてください。

注2. CMD1、CMD0ビットを01b、10b、11bに設定したとき、TRDPMRレジスタの設定にかかわらず、リセット同期PWMモードまたは相補PWMモードになります。

注3. ADMODレジスタのADCAP1、ADCAP0ビットを10b (タイマRDで開始) にしてください。

注4. CMD1、CMD0ビットが00b (タイマモード、PWMモード、PWM3モード) のとき、PWM3ビットの設定が有効になります。

18.2.7 タイマRD出力マスタ許可レジスタ1 (TRDOER1)

18.2.7.1 アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードのとき

アドレス 00187h (TRDOER1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	EA0	TRDIOA0出力禁止ビット (注1)	0: 出力許可 1: 出力禁止 (TRDIOA0端子はプログラマブル入出力ポート)	R/W
b1	EB0	TRDIOB0出力禁止ビット	0: 出力許可 1: 出力禁止 (TRDIOB0端子はプログラマブル入出力ポート)	R/W
b2	EC0	TRDIOC0出力禁止ビット (注2)	0: 出力許可 1: 出力禁止 (TRDIOC0端子はプログラマブル入出力ポート)	R/W
b3	ED0	TRDIOD0出力禁止ビット (注2)	0: 出力許可 1: 出力禁止 (TRDIOD0端子はプログラマブル入出力ポート)	R/W
b4	EA1	TRDIOA1出力禁止ビット (注3)	0: 出力許可 1: 出力禁止 (TRDIOA1端子はプログラマブル入出力ポート)	R/W
b5	EB1	TRDIOB1出力禁止ビット (注2)	0: 出力許可 1: 出力禁止 (TRDIOB1端子はプログラマブル入出力ポート)	R/W
b6	EC1	TRDIOC1出力禁止ビット (注2)	0: 出力許可 1: 出力禁止 (TRDIOC1端子はプログラマブル入出力ポート)	R/W
b7	ED1	TRDIOD1出力禁止ビット (注2)	0: 出力許可 1: 出力禁止 (TRDIOD1端子はプログラマブル入出力ポート)	R/W

注1. PWMモード、リセット同期PWMモード、相補PWMモードでは、1にしてください。

注2. PWM3モードでは、1にしてください。

注3. PWMモード、PWM3モードでは、1にしてください。

18.2.8 タイマ RD 出力マスタ許可レジスタ 2 (TRDOER2)

18.2.8.1 アウトプットコンペア機能、PWM モード、リセット同期 PWM モード、相補 PWM モード、PWM3 モードのとき

アドレス 00188h (TRDOER2_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PTO	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、1 を書いてください。読んだ場合、その値は1。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	PTO	パルス出力強制遮断信号入力 INT0 有効ビット (注1)	0 : パルス出力強制遮断入力無効 1 : パルス出力強制遮断入力有効 (INT0 端子に L を入力すると、TRDOER1 レジスタの全ビットが 1 (出力禁止) になる)	R/W

注1. 「18.3.1.4 パルス出力強制遮断」を参照してください。

18.2.9 タイマ RD 出力制御レジスタ (TRDOCR)

TRDOCR レジスタは、TRDSTR レジスタの TSTART0、TSTART1 ビットがともに 0 (カウント停止) のときに書いてください。

アドレス 00189h (TRDOCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
リセット後の値	0	0	0	0	0	0	0	0

18.2.9.1 アウトプットコンペア機能のとき

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0 出力レベル選択ビット	0 : 初期出力 L 1 : 初期出力 H	R/W
b1	TOB0	TRDIOB0 出力レベル選択ビット (注1)		R/W
b2	TOC0	TRDIOC0 初期出力レベル選択ビット (注1)		R/W
b3	TOD0	TRDIOD0 初期出力レベル選択ビット (注1)		R/W
b4	TOA1	TRDIOA1 初期出力レベル選択ビット		R/W
b5	TOB1	TRDIOB1 初期出力レベル選択ビット (注1)		R/W
b6	TOC1	TRDIOC1 初期出力レベル選択ビット (注1)		R/W
b7	TOD1	TRDIOD1 初期出力レベル選択ビット (注1)		R/W

注1. TRDOCR レジスタの端子機能が波形出力の場合、TRDOCR レジスタを設定したとき、初期出力レベルが出力されます。

18.2.9.2 PWMモードのとき

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット	0にしてください	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット(注1)	0: 初期出力は非アクティブレベル 1: 初期出力はアクティブレベル	R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット(注1)	0: 初期出力は非アクティブレベル 1: 初期出力はアクティブレベル リセット同期PWMモード時、相補PWMモード時は、有効となります。	R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット(注1)	0: 初期出力は非アクティブレベル 1: 初期出力はアクティブレベル	R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット	0にしてください	R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット(注1)	0: 初期出力は非アクティブレベル	R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット(注1)	1: 初期出力はアクティブレベル	R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット(注1)		R/W

注1. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

18.2.9.3 PWM3モードのとき

ビット	シンボル	ビット名	機能	R/W
b0	TOA0	TRDIOA0出力レベル選択ビット	0: 初期出力L、アクティブレベルH、 TRDGRA1のコンペアー致でH出力、 TRDGRA0のコンペアー致でL出力 1: 初期出力H、アクティブレベルL、 TRDGRA1のコンペアー致でL出力、 TRDGRA0のコンペアー致でH出力	R/W
b1	TOB0	TRDIOB0出力レベル選択ビット(注1)	0: 初期出力L、アクティブレベルH、 TRDGRB1のコンペアー致でH出力、 TRDGRB0のコンペアー致でL出力 1: 初期出力H、アクティブレベルL、 TRDGRB1のコンペアー致でL出力、 TRDGRB0のコンペアー致でH出力	R/W
b2	TOC0	TRDIOC0初期出力レベル選択ビット	PWM3モードでは無効です。	R/W
b3	TOD0	TRDIOD0初期出力レベル選択ビット		R/W
b4	TOA1	TRDIOA1初期出力レベル選択ビット		R/W
b5	TOB1	TRDIOB1初期出力レベル選択ビット		R/W
b6	TOC1	TRDIOC1初期出力レベル選択ビット		R/W
b7	TOD1	TRDIOD1初期出力レベル選択ビット		R/W

注1. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

18.2.10 タイマRD デジタルフィルタ機能選択レジスタ*i* (TRDDFi) (*i* = 0、1)

18.2.10.1 インพุットキャプチャ機能のとき

アドレス 0018Ah (TRDDF0_0)、0018Bh (TRDDF1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DFCK1	DFCK0	—	—	DFD	DFC	DFB	DFA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W	
b0	DFA	TRDIOA端子デジタルフィルタ機能 選択ビット	0：機能なし 1：機能あり	R/W	
b1	DFB	TRDIOB端子デジタルフィルタ機能 選択ビット		R/W	
b2	DFC	TRDIOC端子デジタルフィルタ機能 選択ビット		R/W	
b3	DFD	TRDIOD端子デジタルフィルタ機能 選択ビット		R/W	
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。			—
b5	—				
b6	DFCK0	デジタルフィルタ機能用クロック	b7 b6 0 0：f32 0 1：f8 1 0：f1 1 1：カウンタソース(TRDCR <i>i</i> レジスタの TCK0～TCK2ビットで選択したクロック)	R/W	
b7	DFCK1	選択ビット(注1)		R/W	

注1. DFCK0、DFCK1ビットの設定は、カウント動作前に設定してください。

DF*j*ビット (TRDIO*j*端子デジタルフィルタ機能選択ビット) (*j* = A、B、C、D)

デジタルフィルタを許可した場合、デジタルフィルタのサンプリングクロックの5サイクル分以上経過した後で、正しいエッジ検出を行います。

18.2.11 タイマ RD 制御レジスタ i (TRDCRi) (i = 0, 1)

リセット同期 PWM モード、PWM3 モードでは、TRDCR1 レジスタは使用しません。

アドレス 00190h (TRDCR0_0)、001A0h (TRDCR1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
リセット後の値	0	0	0	0	0	0	0	0

18.2.11.1 インพุットキャプチャ機能、アウトプットコンペア機能のとき

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK 入力(注1) 1 1 0 : fHOCO 1 1 1 : fHOCO-F (注2)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット (注3)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDi カウンタクリア選択ビット	b7 b6 b5 0 0 0 : クリア禁止(フリーランニング動作) 0 0 1 : TRDGRAi のインพุットキャプチャ/コン ペア一致でクリア 0 1 0 : TRDGRBi のインพุットキャプチャ/コン ペア一致でクリア 0 1 1 : 同期クリア(他のタイマ RDi のカウンタと 同時にクリア) (注4) 1 0 0 : 設定しないでください 1 0 1 : TRDGRCi のインพุットキャプチャ/コン ペア一致でクリア 1 1 0 : TRDGRDi のインพุットキャプチャ/コン ペア一致でクリア 1 1 1 : 設定しないでください	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDFCR レジスタの STCLK ビットが1 (外部クロック入力有効) のとき、有効です。

注2. fHOCO-F を選択するとき、CPU クロックより速いクロック周波数に fHOCO-F を設定してください。

注3. TCK2 ~ TCK0 ビットが101b (TRDCLK 入力)、かつ STCLK ビットが1 (外部クロック入力有効) のとき、有効です。

注4. TRDMR レジスタの SYNC ビットが1 (TRD0 と TRD1 は同期動作) のとき、有効です。

18.2.11.2 PWMモードのとき

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1) 1 1 0 : fHOCO 1 1 1 : fHOCO-F (注2)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット (注3)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	001b (TRDGRAi レジスタとのコンペア一致でTRDi レジスタクリア)にしてください。	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDFCR レジスタのSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

注2. fHOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

注3. TCK2～TCK0ビットが101b (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

18.2.11.3 リセット同期PWMモードのとき

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注1) 1 1 0 : fHOCO 1 1 1 : fHOCO-F (注2)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット (注3)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRD0カウンタクリア選択ビット	001b (TRDGRA0 レジスタとのコンペア一致で TRD0 レジスタクリア)にしてください。	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDFCR レジスタのSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

注2. fHOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

注3. TCK2～TCK0ビットが101b (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

18.2.11.4 相補PWMモードのとき

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット (注1)	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : TRDCLK入力(注2) 1 1 0 : fHOCO 1 1 1 : fHOCO-F (注3)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット (注1、4)	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 0 : 両エッジでカウント 1 1 : 設定しないでください	R/W
b4	CKEG1			R/W
b5	CCLR0	TRDiカウンタクリア選択ビット	000b (クリア禁止(フリーランニング動作))にしてください。	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. TRDCR0レジスタとTRDCR1レジスタのTCK0～TCK2ビット、CKEG0、CKEG1ビットの設定は、同じにしてください。

注2. TRDFCRレジスタのSTCLKビットが1(外部クロック入力有効)のとき、有効です。

注3. fHOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

注4. TCK2～TCK0ビットが101b (TRDCLK入力)、かつSTCLKビットが1(外部クロック入力有効)のとき、有効です。

18.2.11.5 PWM3モードのとき

ビット	シンボル	ビット名	機能	R/W
b0	TCK0	カウントソース選択ビット	b2 b1 b0 0 0 0 : f1 0 0 1 : f2 0 1 0 : f4 0 1 1 : f8 1 0 0 : f32 1 0 1 : 設定しないでください 1 1 0 : fHOCO 1 1 1 : fHOCO-F (注1)	R/W
b1	TCK1			R/W
b2	TCK2			R/W
b3	CKEG0	外部クロックエッジ選択ビット	PWM3モードでは無効です。	R/W
b4	CKEG1			R/W
b5	CCLR0	TRD0カウンタクリア選択ビット	001b (TRDGRA0レジスタとのコンペアー致でTRD0レジスタクリア)にしてください。	R/W
b6	CCLR1			R/W
b7	CCLR2			R/W

注1. fHOCO-Fを選択するとき、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

18.2.12 タイマ RD I/O 制御レジスタ Ai (TRDIORAi) (i = 0, 1)

アドレス 00191h (TRDIORA0_0)、001A1h (TRDIORA1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
リセット後の値	1	0	0	0	1	0	0	0

18.2.12.1 インพุットキャプチャ機能のとき

ビット	シンボル	ビット名	機能	R/W	
b0	IOA0	TRDGRA制御ビット(注1)	b1 b0 0 0 : 立ち上がりエッジでTRDGRAiヘインพุットキャプチャ 0 1 : 立ち下がりエッジでTRDGRAiヘインพุットキャプチャ 1 0 : 両エッジでTRDGRAiヘインพุットキャプチャ 1 1 : 設定しないでください	R/W	
b1	IOA1		R/W		
b2	IOA2	TRDGRAモード選択ビット(注2)	インพุットキャプチャ機能では1(インพุットキャプチャ)にしてください。	R/W	
b3	IOA3	インพุットキャプチャ入力切替ビット(注3、4)	0 : fOCO128 1 : TRDIOA0端子入力	R/W	
b4	IOB0	TRDGRB制御ビット	b5 b4 0 0 : 立ち上がりエッジでTRDGRBiヘインพุットキャプチャ 0 1 : 立ち下がりエッジでTRDGRBiヘインพุットキャプチャ 1 0 : 両エッジでTRDGRBiヘインพุットキャプチャ 1 1 : 設定しないでください	R/W	
b5	IOB1			R/W	
b6	IOB2	TRDGRBモード選択ビット(注5)	インพุットキャプチャ機能では1(インพุットキャプチャ)にしてください。	R/W	
b7	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。			—

注1. IOA3ビットが0 (fOCO128)のとき、IOA1、IOA0ビットを00bにしてください。

注2. TRDMR レジスタのBFCiビットで1 (TRDGRAi レジスタのバッファレジスタ)を選択した場合、TRDIORAi レジスタのIOA2ビットとTRDIORCi レジスタのIOC2ビットの設定を同じにしてください。

注3. IOA2ビットが1 (インพุットキャプチャ機能)のとき、有効です。

注4. IOA3ビットはTRDIORA0 レジスタ側のみに存在します。TRDIORA1 レジスタ側には何にも存在しません。b3に書く場合、1を書いてください。読んだ場合その値は1です。

注5. TRDMR レジスタのBFDiビットで1 (TRDGRBi レジスタのバッファレジスタ)を選択した場合、TRDIORAi レジスタのIOB2ビットとTRDIORCi レジスタのIOD2ビットの設定を同じにしてください。

18.2.12.2 アウトプットコンペア機能のとき

ビット	シンボル	ビット名	機能	R/W
b0	IOA0	TRDGRA制御ビット	b1 b0 0 0 : コンペア一致による端子出力禁止 (TRDIOAi端子はプログラマブル入出力ポート) 0 1 : TRDGRAiのコンペア一致でL出力 1 0 : TRDGRAiのコンペア一致でH出力 1 1 : TRDGRAiのコンペア一致でトグル出力	R/W
b1	IOA1			R/W
b2	IOA2	TRDGRAモード選択ビット(注1)	アウトプットコンペア機能では0 (アウトプットコンペア)にしてください。	R/W
b3	IOA3	インプットキャプチャ入力切替ビット(注2)	アウトプットコンペア機能では1 (TRDIOA0端子入力)にしてください。	R/W
b4	IOB0	TRDGRB制御ビット	b5 b4 0 0 : コンペア一致による端子出力禁止 (TRDIOBi端子はプログラマブル入出力ポート) 0 1 : TRDGRBiのコンペア一致でL出力 1 0 : TRDGRBiのコンペア一致でH出力 1 1 : TRDGRBiのコンペア一致でトグル出力	R/W
b5	IOB1			R/W
b6	IOB2	TRDGRBモード選択ビット(注3)	アウトプットコンペア機能では0 (アウトプットコンペア)にしてください。	R/W
b7	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—

注1. TRDMR レジスタのBFCiビットで1 (TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

注2. IOA3ビットはTRDIOA0レジスタ側のみに存在します。TRDIOA1レジスタ側には何にも存在しません。
b3に書く場合、1を書いてください。読んだ場合その値は1です。

注3. TRDMR レジスタのBFDiビットで1 (TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

18.2.13 タイマ RD I/O 制御レジスタ Ci (TRDIORCi) (i = 0, 1)

アドレス 00192h (TRDIORC0_0)、001A2h (TRDIORC1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
リセット後の値	1	0	0	0	1	0	0	0

18.2.13.1 インพุットキャプチャ機能のとき

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRDGRC 制御ビット	b1 b0 0 0 : 立ち上がりエッジで TRDGRCi ヘインพุットキャプチャ	R/W
b1	IOC1		0 1 : 立ち下がりエッジで TRDGRCi ヘインพุットキャプチャ	R/W
			1 0 : 両エッジで TRDGRCi ヘインพุットキャプチャ	
			1 1 : 設定しないでください	
b2	IOC2	TRDGRC モード選択ビット (注1)	インพุットキャプチャ機能では1 (インพุットキャプチャ) にしてください。	R/W
b3	IOC3	TRDGRC レジスタ機能選択ビット	インพุットキャプチャ機能では1 (ジェネラルレジスタまたはバッファレジスタ) にしてください。	R/W
b4	IOD0	TRDGRD 制御ビット	b5 b4 0 0 : 立ち上がりエッジで TRDGRDi ヘインพุットキャプチャ	R/W
b5	IOD1		0 1 : 立ち下がりエッジで TRDGRDi ヘインพุットキャプチャ	R/W
			1 0 : 両エッジで TRDGRDi ヘインพุットキャプチャ	
			1 1 : 設定しないでください	
b6	IOD2	TRDGRD モード選択ビット (注2)	インพุットキャプチャ機能では1 (インพุットキャプチャ) にしてください。	R/W
b7	IOD3	TRDGRD レジスタ機能選択ビット	インพุットキャプチャ機能では1 (ジェネラルレジスタまたはバッファレジスタ) にしてください。	R/W

注1. TRDMR レジスタの BFCi ビットで1 (TRDGRAi レジスタのバッファレジスタ) を選択した場合、TRDIORAi レジスタの IOA2 ビットと TRDIORCi レジスタの IOC2 ビットの設定を同じにしてください。

注2. TRDMR レジスタの BFDi ビットで1 (TRDGRBi レジスタのバッファレジスタ) を選択した場合、TRDIORAi レジスタの IOB2 ビットと TRDIORCi レジスタの IOD2 ビットの設定を同じにしてください。

18.2.13.2 アウトプットコンペア機能のとき

ビット	シンボル	ビット名	機能	R/W
b0	IOC0	TRDGRC制御ビット	b1 b0 0 0 : コンペア一致による端子出力禁止	R/W
b1	IOC1		0 1 : TRDGRCiのコンペア一致でL出力	R/W
			1 0 : TRDGRCiのコンペア一致でH出力	
			1 1 : TRDGRCiのコンペア一致でトグル出力	
b2	IOC2	TRDGRCモード選択ビット(注1)	アウトプットコンペア機能では0(アウトプットコンペア)にしてください。	R/W
b3	IOC3	TRDGRCレジスタ機能選択ビット	0 : TRDIOA出力レジスタ (「18.3.3.2 TRDGRCi、TRDGRDi レジスタ(i = 0、1)の出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	R/W
b4	IOD0	TRDGRD制御ビット	b5 b4 0 0 : コンペア一致による端子出力禁止	R/W
b5	IOD1			R/W
			0 1 : TRDGRDiのコンペア一致でL出力	
			1 0 : TRDGRDiのコンペア一致でH出力	
			1 1 : TRDGRDiのコンペア一致でトグル出力	
b6	IOD2	TRDGRDモード選択ビット(注2)	アウトプットコンペア機能では0(アウトプットコンペア)にしてください。	R/W
b7	IOD3	TRDGRDレジスタ機能選択ビット	0 : TRDIOB出力レジスタ (「18.3.3.2 TRDGRCi、TRDGRDi レジスタ(i = 0、1)の出力端子変更」参照) 1 : ジェネラルレジスタまたはバッファレジスタ	R/W

注1. TRDMR レジスタのBFCiビットで1 (TRDGRAi レジスタのバッファレジスタ)を選択した場合、TRDIORAi レジスタのIOA2ビットとTRDIORCi レジスタのIOC2ビットの設定を同じにしてください。

注2. TRDMR レジスタのBFDiビットで1 (TRDGRBi レジスタのバッファレジスタ)を選択した場合、TRDIORAi レジスタのIOB2ビットとTRDIORCi レジスタのIOD2ビットの設定を同じにしてください。

18.2.14 タイマ RD ステータスレジスタ i (TRDSRi) (i = 0, 1)

アドレス 00193h (TRDSR0_0)、001A3h (TRDSR1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0	
シンボル	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA	
リセット後の値	1	1	1	0	0	0	0	0	TRDSR0 レジスタ
リセット後の値	1	1	0	0	0	0	0	0	TRDSR1 レジスタ

18.2.14.1 インプットキャプチャ機能のとき

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インプットキャプチャ/コンペア一致フラグ A	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDSR0 レジスタ : TRDIOA0 レジスタのIOA3ビットが0 (fOCO128)の場合、fOCO128のエッジ TRDIOA0 レジスタのIOA3ビットが1 (TRDIOA0入力)の場合、TRDIOA0端子の入力エッジ(注2) TRDSR1 レジスタ : TRDIOA1端子の入力エッジ(注2)	R/W
b1	IMFB	インプットキャプチャ/コンペア一致フラグ B	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDIOB0端子の入力エッジ(注2)	R/W
b2	IMFC	インプットキャプチャ/コンペア一致フラグ C	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDIOC0端子の入力エッジ(注3)	R/W
b3	IMFD	インプットキャプチャ/コンペア一致フラグ D	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDIOD0端子の入力エッジ(注3)	R/W
b4	OVF	オーバフローフラグ(注4)	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注5)	インプットキャプチャ機能では無効です。	R/W
b6	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b7	—			

注1. 書き込み結果は次のようになります。

- 読んだ結果が1の場合、同じビットに0を書くと0になります。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 1を書いた場合は変化しません。

注2. TRDIOA_i レジスタのIOJ1、IOJ0 ビット(j = AまたはB)で選択したエッジ。注3. TRDIOA_i レジスタのIOK1、IOK0 ビット(k = CまたはD)で選択したエッジ。TRDMR レジスタのBFK_i ビットが1 (TRDGRK_iはバッファレジスタ)の場合を含む。注4. オーバフローフラグは、タイマRD_iのカウンタ値がFFFFhから0000hになった場合に1となります。また、TRDCR_i レジスタのCCLR0～CCLR2 ビットの設定によって、動作中のインプットキャプチャ/コンペア一致により、タイマRD_iのカウンタ値がFFFFhから0000hになった場合に1となります。

注5. TRDSR0 レジスタのb5には何も配置されていません。b5に書く場合、1を書いてください。読んだ場合、その値は1です。

18.2.14.2 インพุットキャプチャ機能以外のとき

ビット	シンボル	ビット名	機能	R/W
b0	IMFA	インพุットキャプチャ/コンペア一致フラグA	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDi (i = 0、1)とTRDGRAiの値が一致したとき	R/W
b1	IMFB	インพุットキャプチャ/コンペア一致フラグB	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDiとTRDGRBiの値が一致したとき	R/W
b2	IMFC	インพุットキャプチャ/コンペア一致フラグC	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDiとTRDGRCiの値が一致したとき(注2)	R/W
b3	IMFD	インพุットキャプチャ/コンペア一致フラグD	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDiとTRDGRDiの値が一致したとき(注2)	R/W
b4	OVF	オーバフローフラグ(注3)	[0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDiがオーバフローしたとき	R/W
b5	UDF	アンダフローフラグ(注4)	相補PWMモードのとき [0になる要因] 読んだ後、0を書く(注1) [1になる要因] TRDiがアンダフローしたとき 相補PWMモード以外では無効です。	R/W
b6	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b7	—			

注1. 書き込み結果は次のようになります。

- 読んだ結果が1の場合、同じビットに0を書くと0になります。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 1を書いた場合は変化しません。

注2. TRDMRレジスタのBFkiビット(k = CまたはD)が1 (TRDGRkiはバッファレジスタ)の場合を含む。

注3. オーバフローフラグは、タイマRDiのカウンタ値がFFFFhから0000hになった場合に1となります。

また、TRDCRiレジスタのCCLR0～CCLR2ビットの設定によって、動作中のインพุットキャプチャ/コンペア一致により、タイマRDiのカウンタ値がFFFFhから0000hになった場合に1となります。

注4. TRDSR0レジスタのb5には何も配置されていません。b5に書く場合、1を書いてください。読んだ場合、その値は1です。

18.2.15 タイマ RD 割り込み許可レジスタ i (TRDIERi) (i = 0、1)

アドレス 00194h (TRDIER0_0)、001A4h (TRDIER1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
リセット後の値	1	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMIEA	インプットキャプチャ/コンペアー一致 割り込み許可ビット A	0 : IMFA ビットによる割り込み (IMIA) 禁止 1 : IMFA ビットによる割り込み (IMIA) 許可	R/W
b1	IMIEB	インプットキャプチャ/コンペアー一致 割り込み許可ビット B	0 : IMFB ビットによる割り込み (IMIB) 禁止 1 : IMFB ビットによる割り込み (IMIB) 許可	R/W
b2	IMIEC	インプットキャプチャ/コンペアー一致 割り込み許可ビット C	0 : IMFC ビットによる割り込み (IMIC) 禁止 1 : IMFC ビットによる割り込み (IMIC) 許可	R/W
b3	IMIED	インプットキャプチャ/コンペアー一致 割り込み許可ビット D	0 : IMFD ビットによる割り込み (IMID) 禁止 1 : IMFD ビットによる割り込み (IMID) 許可	R/W
b4	OVIE	オーバフロー/アンダフロー割り込み 許可ビット	0 : OVF、UDF ビットによる割り込み (OVI) 禁止 1 : OVF、UDF ビットによる割り込み (OVI) 許可	R/W
b5	—	何も配置されていない。書く場合、1 を書いてください。読んだ場合、その値は1。		—
b6	—			
b7	—			

18.2.16 タイマ RD PWM モード出力レベル制御レジスタ i (TRDPOCRi) (i = 0、1)

アドレス 00195h (TRDPOCR0_0)、001A5h (TRDPOCR1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	POLD	POLC	POLB
リセット後の値	1	1	1	1	1	0	0	0

18.2.16.1 PWM モードのとき

ビット	シンボル	ビット名	機能	R/W
b0	POLB	PWM モード出力レベル制御ビット B	0 : TRDIOBi の出力レベルは L アクティブ 1 : TRDIOBi の出力レベルは H アクティブ	R/W
b1	POLC	PWM モード出力レベル制御ビット C	0 : TRDIOCi の出力レベルは L アクティブ 1 : TRDIOCi の出力レベルは H アクティブ	R/W
b2	POLD	PWM モード出力レベル制御ビット D	0 : TRDIODi の出力レベルは L アクティブ 1 : TRDIODi の出力レベルは H アクティブ	R/W
b3	—	何も配置されていない。書く場合、1 を書いてください。読んだ場合、その値は1。		—
b4	—			
b5	—			
b6	—			
b7	—			

TRDPOCRi レジスタへの設定は、PWM モードのときのみ有効です。PWM モード以外は、無効です。

18.2.17 タイマ RD カウンタ i (TRDi) (i = 0, 1)

アドレス 00196h (TRD0_0)、001A6h (TRD1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDi7	TRDi6	TRDi5	TRDi4	TRDi3	TRDi2	TRDi1	TRDi0
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TRDi15	TRDi14	TRDi13	TRDi12	TRDi11	TRDi10	TRDi9	TRDi8
リセット後の値	0	0	0	0	0	0	0	0

18.2.17.1 インพุットキャプチャ機能、アウトプットコンペア機能、PWMモードのとき

ビット	機能	設定範囲	R/W
b15～b0	カウントソースをカウント。カウント動作はアップカウント。 オーバーフローすると、TRDSRi レジスタのOVFビットが1になる。	0000h～FFFFh	R/W

TRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

18.2.17.2 リセット同期PWMモード、PWM3モードのとき

ビット	機能	設定範囲	R/W
b15～b0	カウントソースをカウント。カウント動作はアップカウント。 オーバーフローすると、TRDSR0 レジスタのOVFビットが1になる。	0000h～FFFFh	R/W

TRD0 レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。リセット同期PWMモードおよびPWM3モードでは、TRD1 レジスタは使用しません。

18.2.17.3 相補PWMモード(TRD0)のとき

ビット	機能	設定範囲	R/W
b15～b0	短絡防止時間を設定してください。 カウントソースをカウント。カウント動作はアップカウントまたはダウンカウント。 オーバーフローすると、TRDSR0 レジスタのOVFビットが1になる。	0001h～FFFFh	R/W

TRD0 レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

18.2.17.4 相補PWMモード(TRD1)のとき

ビット	機能	設定範囲	R/W
b15～b0	0000hを設定してください。 カウントソースをカウント。カウント動作はアップカウントまたはダウンカウント。 アンダフローすると、TRDSR1 レジスタのUDFビットが1になる。	0000h～FFFFh	R/W

TRD1 レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

18.2.18 タイマ RD ジェネラルレジスタ ji (TRDGR ji) ($i = 0, 1, j = A, B, C, D$)

アドレス 00198h (TRDGRA0_0)、0019Ah (TRDGRB0_0)、
0019Ch (TRDGRC0_0)、0019Eh (TRDGRD0_0)、
001A8h (TRDGRA1_0)、001AAh (TRDGRB1_0)、
001ACh (TRDGRC1_0)、001AEh (TRDGRD1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRDGRji7	TRDGRji6	TRDGRji5	TRDGRji4	TRDGRji3	TRDGRji2	TRDGRji1	TRDGRji0
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TRDGRji15	TRDGRji14	TRDGRji13	TRDGRji12	TRDGRji11	TRDGRji10	TRDGRji9	TRDGRji8
リセット後の値	1	1	1	1	1	1	1	1

18.2.18.1 インพุットキャプチャ機能のとき

ビット	機能	R/W
b15～b0	「表 18.4 インพุットキャプチャ機能時の TRDGR ji レジスタの機能」参照	R/W

TRDGRA i ～TRDGRD i レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

インพุットキャプチャ機能では、次のレジスタは無効です。

TRDOER1、TRDOER2、TRDOCR、TRDPOCR0、TRDPOCR1

表 18.4 インพุットキャプチャ機能時の TRDGR ji レジスタの機能

レジスタ	設定	レジスタの機能	インพุットキャプチャ 入力端子
TRDGRA i	—	ジェネラルレジスタ。インพุットキャプチャ時の TRD i レジスタの値が読めます。	TRDIOA i
TRDGRB i			TRDIOB i
TRDGRC i	BFC i = 0	ジェネラルレジスタ。インพุットキャプチャ時の TRD i レジスタの値が読めます。	TRDIOC i
TRDGRD i	BFD i = 0		TRDIOD i
TRDGRC i	BFC i = 1	バッファレジスタ。インพุットキャプチャ時の TRD i レジスタの値が読めます(「18.3.1.2 バッファ動作」参照)。	TRDIOA i
TRDGRD i	BFD i = 1		TRDIOB i

$i = 0, 1, j = A, B, C, D$

BFC i 、BFD i : TRDMR レジスタのビット

TRDIO ji 端子に入力するインพุットキャプチャ信号のパルス幅は、デジタルフィルタなし (TRDDFi レジスタの DF j ビットが 0) の場合、タイマ RD の動作クロック (「表 18.1 タイマ RD の動作クロック」参照) の 3 サイクル以上にしてください。

18.2.18.2 アウトプットコンペア機能のとき

ビット	機能	R/W
b15～b0	「表 18.5 アウトプットコンペア機能時の TRDGRji レジスタの機能」参照	R/W

TRDGRAi～TRDGRDi レジスタ (i = 0, 1) は 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

アウトプットコンペア機能では、次のレジスタは無効です。

TRDDF0、TRDDF1、TRDPCR0、TRDPCR1

表 18.5 アウトプットコンペア機能時の TRDGRji レジスタの機能

レジスタ	設定		レジスタの機能	アウトプット コンペア出力端子
	BFji	IOj3		
TRDGRAi	—	—	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOAi
TRDGRBi				TRDIOBi
TRDGRCi	0	1	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOCi
TRDGRDi				TRDIODi
TRDGRCi	1	1	バッファレジスタ。次回のコンペア値を書いてください。 (「18.3.1.2 バッファ動作」参照)	TRDIOAi
TRDGRDi				TRDIOBi
TRDGRCi	0	0	TRDIOAi 出力制御	TRDIOAi
TRDGRDi			TRDIOBi 出力制御	

i = 0, 1, j = A, B, C, D

BFji : TRDMR レジスタのビット、IOj3 : TRDIORCi レジスタのビット

18.2.18.3 PWM モードのとき

ビット	機能	R/W
b15～b0	「表 18.6 PWM モード時の TRDGRji レジスタの機能」参照	R/W

TRDGRAi～TRDGRDi レジスタは 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

PWM モードでは、次のレジスタは無効です。

TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDIORA1、TRDIORC1

表 18.6 PWM モード時の TRDGRji レジスタの機能

レジスタ	設定	レジスタの機能	PWM 出力端子
TRDGRAi	—	ジェネラルレジスタ。PWM 周期を設定してください。	—
TRDGRBi	—	ジェネラルレジスタ。PWM 出力の変化点を設定してください。	TRDIOBi
TRDGRCi	BFCi = 0	ジェネラルレジスタ。PWM 出力の変化点を設定してください。	TRDIOCi
TRDGRDi	BFDi = 0		TRDIODi
TRDGRCi	BFCi = 1	バッファレジスタ。次回の PWM 周期を設定してください。 (「18.3.1.2 バッファ動作」参照)。	—
TRDGRDi	BFDi = 1	バッファレジスタ。次回の PWM 出力の変化点を設定してください。 (「18.3.1.2 バッファ動作」参照)。	TRDIOBi

i = 0, 1, j = A, B, C, D

BFCi, BFDi : TRDMR レジスタのビット

18.2.18.4 リセット同期PWMモードのとき

ビット	機能	R/W
b15～b0	「表 18.7 リセット同期PWMモード時の TRDGRji レジスタの機能」参照	R/W

TRDGRAi～TRDGRDi レジスタ (i = 0, 1) は 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

リセット同期PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR (注 1)、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

注 1. TRDOCR レジスタの TOC0 ビットのみ、リセット同期 PWM モード、相補 PWM モード時の TRDIOC0 初期出力設定として有効となります。

表 18.7 リセット同期PWMモード時の TRDGRji レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRB0	—	ジェネラルレジスタ。PWM1出力の変化点を設定してください。	TRDIOB0 TRDIOD0
TRDGRC0	BFC0 = 0	(リセット同期PWMモードでは使用しません)	—
TRDGRD0	BFD0 = 0		
TRDGRA1	—	ジェネラルレジスタ。PWM2出力の変化点を設定してください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラルレジスタ。PWM3出力の変化点を設定してください。	TRDIOB1 TRDIOD1
TRDGRC1	BFC1 = 0	(リセット同期PWMモードでは使用しません)	—
TRDGRD1	BFD1 = 0		
TRDGRC0	BFC0 = 1	バッファレジスタ。次回のPWM周期を設定してください(「18.3.1.2 バッファ動作」参照)。	(TRDIOC0、PWM周期ごとに出力反転)
TRDGRD0	BFD0 = 1	バッファレジスタ。次回のPWM1出力の変化点を設定してください(「18.3.1.2 バッファ動作」参照)。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1 = 1	バッファレジスタ。次回のPWM2出力の変化点を設定してください(「18.3.1.2 バッファ動作」参照)。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1 = 1	バッファレジスタ。次回のPWM3出力の変化点を設定してください(「18.3.1.2 バッファ動作」参照)。	TRDIOB1 TRDIOD1

i = 0, 1, j = A, B, C, D

BFC0、BFD0、BFC1、BFD1 : TRDMR レジスタのビット

18.2.18.5 相補PWMモードのとき

ビット	機能	R/W
b15～b0	「表 18.8 相補PWMモード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

相補PWMモードでは、TRDGRC0 レジスタは使用しません。

相補PWMモードでは、次のレジスタは無効です。

TRDPMR、TRDOCR (注1)、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

注1. TRDOCR レジスタの TOC0 ビットのみ、リセット同期 PWM モード、相補 PWM モード時の TRDIOC0 初期出力設定として有効となります。

表 18.8 相補PWMモード時のTRDGRji レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。初期設定時PWM周期を設定してください。 設定範囲：TRD0 レジスタ設定値以上、 FFFFh - TRD0 レジスタ設定値以下 TRDSTR レジスタのTSTART0、TSTART1ビットが1 (カウント開始)のとき書き込まないでください。	(TRDIOC0 半周期ごと に出力反転)
TRDGRB0	—	ジェネラルレジスタ。初期設定時PWM1出力の変化点を設定してください。 設定範囲：TRD0 レジスタ設定値以上、 TRDGRA0設定値 - TRD0 レジスタ設定値以下 TRDSTR レジスタのTSTART0、TSTART1ビットが1 (カウント開始)のとき書き込まないでください。	TRDIOB0 TRDIOD0
TRDGRA1	—	ジェネラルレジスタ。初期設定時PWM2出力の変化点を設定してください。 設定範囲：TRD0 レジスタ設定値以上、 TRDGRA0設定値 - TRD0 レジスタ設定値以下 TRDSTR レジスタのTSTART0、TSTART1ビットが1 (カウント開始)のとき書き込まないでください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラルレジスタ。初期設定時PWM3出力の変化点を設定してください。 設定範囲：TRD0 レジスタ設定値以上、 TRDGRA0設定値 - TRD0 レジスタ設定値以下 TRDSTR レジスタのTSTART0、TSTART1ビットが1 (カウント開始)のとき書き込まないでください。	TRDIOB1 TRDIOD1
TRDGRC0	—	(相補PWMモードでは使用しません。)	—
TRDGRD0	BFD0 = 1	バッファレジスタ。次回のPWM1出力の変化点を設定してください (「18.3.1.2 バッファ動作」参照)。 設定範囲：TRD0 レジスタ設定値以上、 TRDGRA0設定値 - TRD0 レジスタ設定値以下 初期設定はTRDGRB0レジスタと同じ値を設定してください。	TRDIOB0 TRDIOD0
TRDGRC1	BFC1 = 1	バッファレジスタ。次回のPWM2出力の変化点を設定してください (「18.3.1.2 バッファ動作」参照)。 設定範囲：TRD0 レジスタ設定値以上、 TRDGRA0設定値 - TRD0 レジスタ設定値以下 初期設定はTRDGRA1レジスタと同じ値を設定してください。	TRDIOA1 TRDIOC1
TRDGRD1	BFD1 = 1	バッファレジスタ。次回のPWM3出力の変化点を設定してください (「18.3.1.2 バッファ動作」参照)。 設定範囲：TRD0 レジスタ設定値以上、 TRDGRA0設定値 - TRD0 レジスタ設定値以下 初期設定はTRDGRB1レジスタと同じ値を設定してください。	TRDIOB1 TRDIOD1

i = 0、1、j = A、B、C、D

BFD0、BFC1、BFD1：TRDMRレジスタのビット

TRDGRB0、TRDGRA1、TRDGRB1 レジスタには、カウント開始後、直接値を書き込むことができない(禁止事項)ため、TRDGRD0、TRDGRC1、TRDGRD1をバッファレジスタとして使用してください。ただし、TRDGRD0、TRDGRC1、TRDGRD1 の書き込みに際しては、BFD0、BFC1、BFD1 ビットを0 (ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1 ビットを1 (バッファレジスタ)にできます。

18.2.18.6 PWM3モードのとき

ビット	機能	R/W
b15～b0	「表 18.9 PWM3モード時のTRDGRjiレジスタの機能」参照	R/W

TRDGRAi～TRDGRDi レジスタ (i = 0, 1) は 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

PWM3モードでは、次のレジスタは無効です。

TRDPMR、TRDDF0、TRDDF1、TRDIORA0、TRDIORC0、TRDPOCR0、TRDIORA1、TRDIORC1、TRDPOCR1

表 18.9 PWM3モード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。 設定範囲：TRDGRA1 レジスタ設定値以上	TRDIOA0
TRDGRA1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRA0 レジスタ設定値以下	
TRDGRB0		ジェネラルレジスタ。PWM出力の変化点(初期出力レベルに戻るタイミング)を設定してください。 設定範囲：TRDGRB1 レジスタ設定値以上、TRDGRA0 レジスタ設定値以下	TRDIOB0
TRDGRB1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRB0 レジスタ設定値以下	
TRDGRC0	BFC0 = 0	(PWM3モードでは使用しません)	—
TRDGRC1	BFC1 = 0		
TRDGRD0	BFD0 = 0		
TRDGRD1	BFD1 = 0		
TRDGRC0	BFC0 = 1	バッファレジスタ。次回のPWM周期を設定してください(「18.3.1.2 バッファ動作」参照)。 設定範囲：TRDGRC1 レジスタ設定値以上	TRDIOA0
TRDGRC1	BFC1 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「18.3.1.2 バッファ動作」参照)。 設定範囲：TRDGRC0 レジスタ設定値以下	
TRDGRD0	BFD0 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「18.3.1.2 バッファ動作」参照)。 設定範囲：TRDGRD1 レジスタ設定値以上、TRDGRC0 レジスタ設定値以下	TRDIOB0
TRDGRD1	BFD1 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください(「18.3.1.2 バッファ動作」参照)。 設定範囲：TRDGRD0 レジスタ設定値以下	

i = 0, 1, j = A, B, C, D

BFC0、BFD0、BFC1、BFD1 : TRDMR レジスタのビット

PWM3モードでは使用しませんが、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1 レジスタをバッファレジスタに使う際に、BFC0、BFC1、BFD0、BFD1 ビットを 0 (ジェネラルレジスタ) にして、TRDGRC0、TRDGRC1、TRDGRD0、TRDGRD1 レジスタに値を書き込み、その後 BFC0、BFC1、BFD0、BFD1 ビットを 1 (バッファレジスタ) にできます。

18.3 動作説明

18.3.1 複数モードに関わる共通事項

18.3.1.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。ただし、PWM3モードでは外部クロックを選択できません。

表 18.10 カウントソースの選択

カウントソース	選択方法
f1、f2、f4、f8、f32	TRDCRi レジスタの TCK2～TCK0 ビットでカウントソース選択
fHOCO、fHOCO-F (注1、2、3)	FRA0 レジスタの FRA00 ビットが 1 (高速オンチップオシレータ発振) TRDCRi レジスタの TCK2～TCK0 ビットが 110b (fHOCO) TRDCRi レジスタの TCK2～TCK0 ビットが 111b (fHOCO-F)
TRDCLK 端子に入力された外部信号	TRDFCR レジスタの STCLK ビットが 1 (外部クロック入力有効) TRDCRi レジスタの TCK2～TCK0 ビットが 101b (カウントソースは外部クロック) TRDCRi レジスタの CKEG1、CKEG0 ビットで有効エッジを選択 PD2 レジスタの PD2_0 ビットが 0 (入力モード)

i = 0, 1

注1. カウントソース fHOCO は、VCC = 3.0 V～5.5 V の範囲で使用することができます。

注2. fHOCO、fHOCO-F をカウントソースに選択しているときには、FRA00 ビットを 0 (高速オンチップオシレータ停止) にしないでください。

注3. fHOCO-F をカウントソースに選択しているときには、FRA2 レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

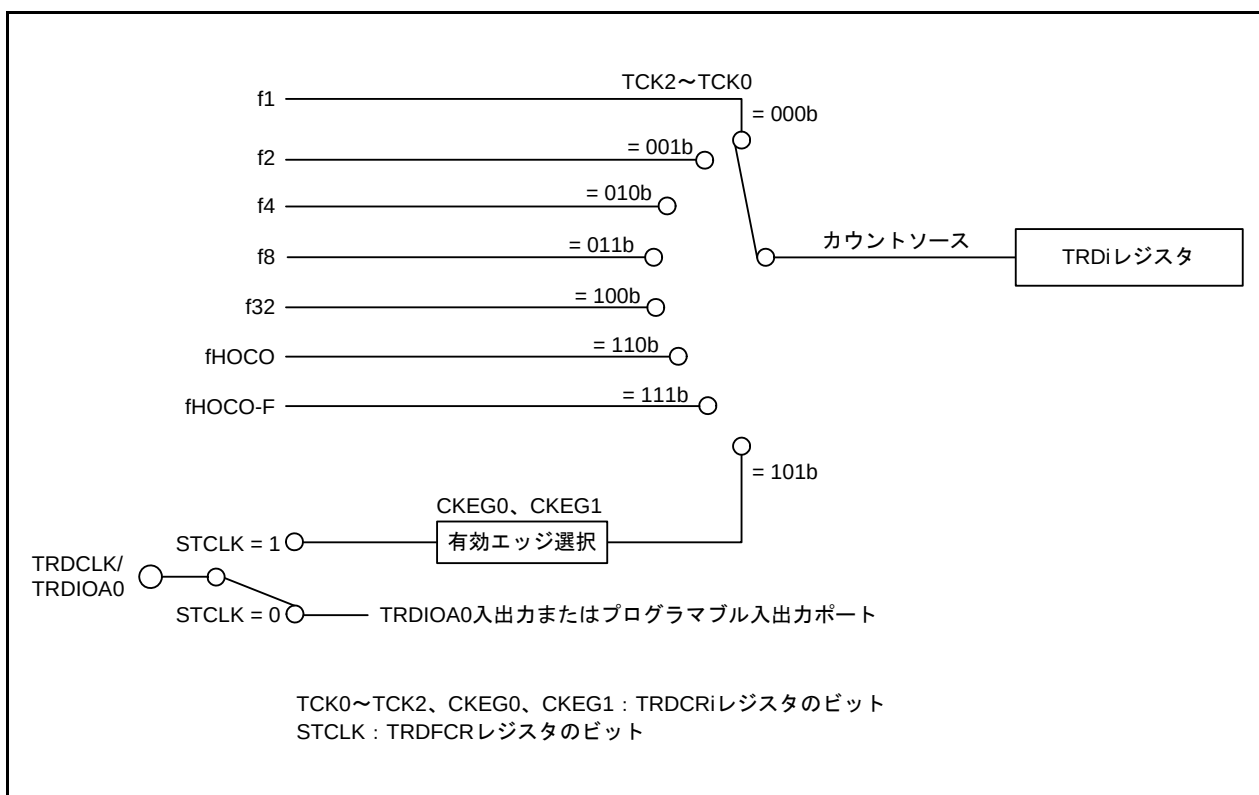


図 18.2 カウントソースのブロック図 (i = 0, 1)

TRDCLK 端子に入力する外部クロックのパルス幅は、タイマ RD の動作クロック（「表 18.1 タイマ RD の動作クロック」参照）の 3 サイクル以上にしてください。

カウントソースにfHOCOまたはfHOCO-Fを選択する場合は、FRA0レジスタのFRA00ビットを1(高速オンチップオシレータ発振)にしてから、TRDCR_iレジスタ($i = 0, 1$)のTCK2～TCK0ビットを110b(fHOCO)または111b(fHOCO-F)にしてください。

18.3.1.2 バッファ動作

TRDMR レジスタのBFC_i ビット、BFD_i ビットで、TRDGRC_i、TRDGRD_i レジスタをTRDGRA_i、TRDGRB_i レジスタのバッファレジスタにできます。

- TRDGRA_iのバッファレジスタ：TRDGRC_i レジスタ
- TRDGRB_iのバッファレジスタ：TRDGRD_i レジスタ

バッファ動作は、モードによって違います。表18.11に各モードのバッファ動作を示します。

表18.11 各モードのバッファ動作

機能、モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRDGRA _i (TRDGRB _i) レジスタの内容をバッファレジスタに転送
アウトプットコンペア機能	TRD _i レジスタと TRDGRA _i (TRDGRB _i) レジスタのコンペア一致	バッファレジスタの内容を TRDGRA _i (TRDGRB _i) レジスタに転送
PWMモード		
リセット同期PWMモード	TRD0 レジスタと TRDGRA0 レジスタのコンペア一致	バッファレジスタの内容を TRDGRA _i (TRDGRB _i) レジスタに転送
相補PWMモード	TRD0 レジスタと TRDGRA0 レジスタのコンペア一致 TRD1 レジスタアンダフロー	バッファレジスタの内容を TRDGRB0、TRDGRA1、TRDGRB1 レジスタに転送
PWM3モード	TRD0 レジスタと TRDGRA0 レジスタのコンペア一致	バッファレジスタの内容を TRDGRA _i (TRDGRB _i) レジスタに転送

$i = 0, 1$

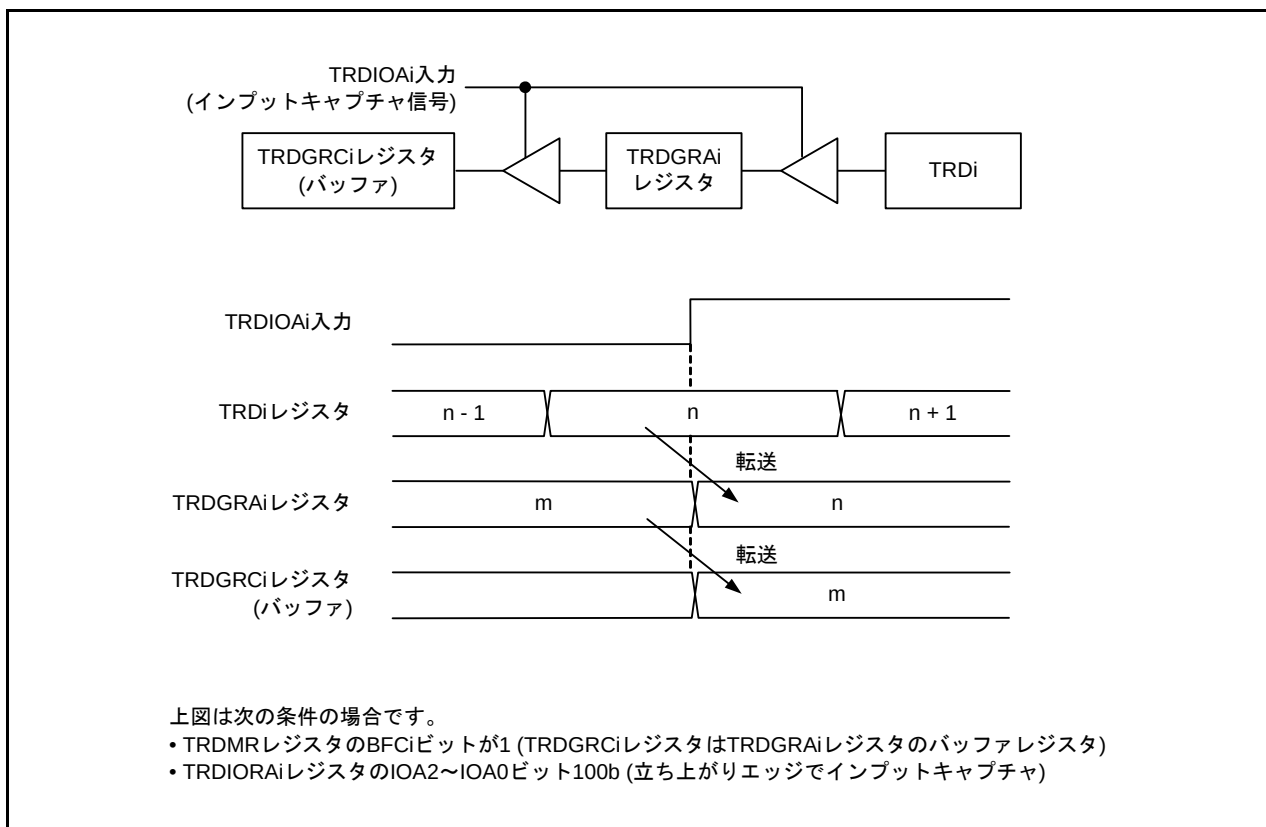


図 18.3 インプットキャプチャ機能のバッファ動作 (i = 0、1)

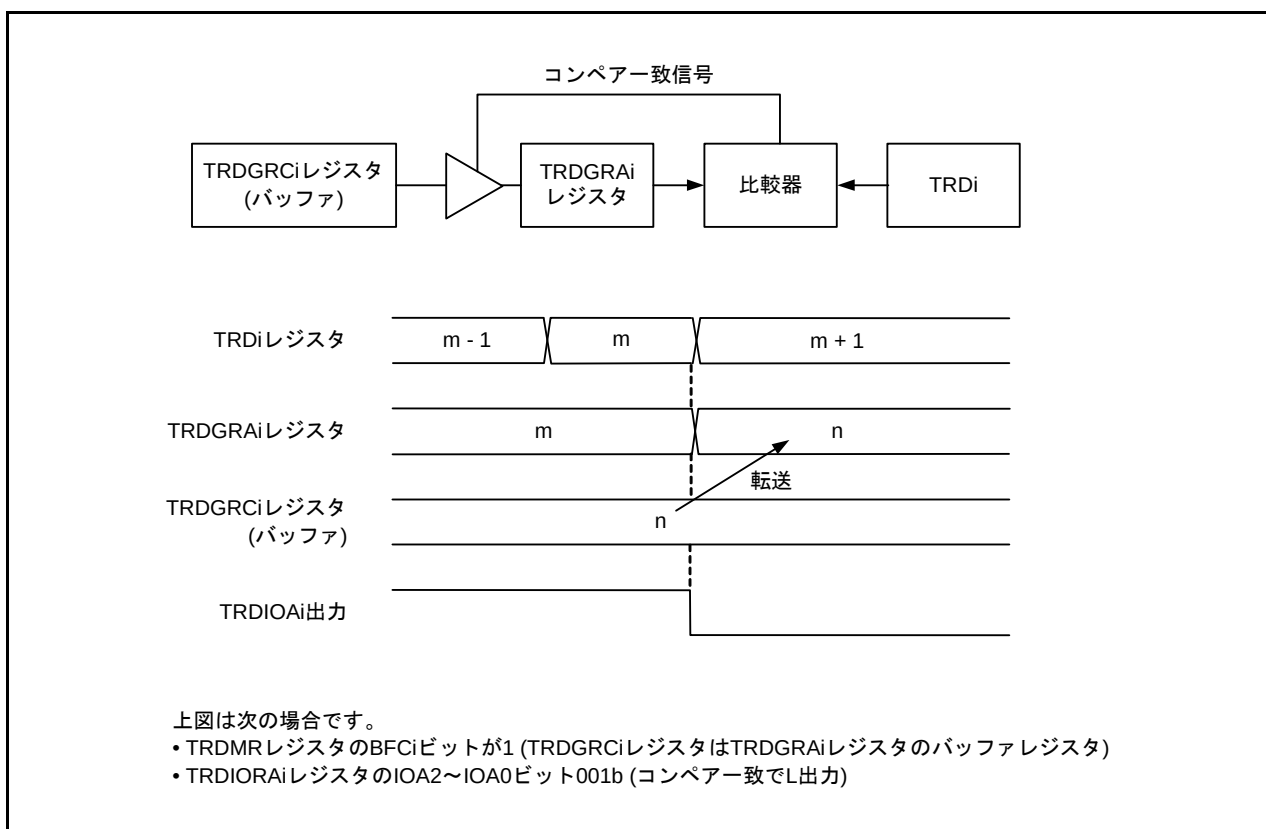


図 18.4 アウトプットコンペアー機能のバッファ動作 (i = 0、1)

タイマモード (インプットキャプチャ機能、アウトプットコンペア機能) では次のようにしてください。

TRDGRCi レジスタ (i = 0, 1) を TRDGRAi レジスタのバッファレジスタに使用する場合

- TRDIORCi レジスタの IOC3 ビットを 1 (ジェネラルレジスタまたはバッファレジスタ) にしてください。
- TRDIORCi レジスタの IOC2 ビットは、TRDIORAi レジスタの IOA2 ビットと同じ設定にしてください。

TRDGRDi レジスタを TRDGRBi レジスタのバッファレジスタに使用する場合

- TRDIORCi レジスタの IOD3 ビットを 1 (ジェネラルレジスタまたはバッファレジスタ) にしてください。
- TRDIORCi レジスタの IOD2 ビットは、TRDIORAi レジスタの IOB2 ビットと同じ設定にしてください。

インプットキャプチャ機能では、TRDGRCi、TRDGRDi レジスタをバッファレジスタに使用している場合も、TRDIORCi 端子、TRDIODi 端子の入力エッジで TRDSRi レジスタの IMFC、IMFD ビットが 1 になります。

アウトプットコンペア機能、PWM モード、リセット同期 PWM モード、相補 PWM モード、PWM3 モードでは、TRDGRCi、TRDGRDi レジスタをバッファレジスタに使用している場合も、TRDi レジスタとのコンペア一致で TRDSRi レジスタの IMFC、IMFD ビットが 1 になります。

18.3.1.3 同期動作

TRD0 レジスタと TRD1 レジスタを同期させます。

- 同期プリセット

TRDMR レジスタの SYNC ビットが 1 (同期動作) の場合、TRDi レジスタに書き込むと、TRD0 レジスタと TRD1 レジスタの両方に書き込まれます。

- 同期クリア

SYNC ビットが 1 で、かつ TRDCR0 レジスタの CCLR2～CCLR0 ビットが 011b (同期クリア) の場合、TRD0 レジスタは TRD1 レジスタが 0000h になるとき、同時に 0000h になります。

同様に、SYNC ビットが 1 で、かつ CCLR2～CCLR0 ビットが 011b (同期クリア) の場合、TRD1 レジスタは TRD0 レジスタが 0000h になるとき、同時に 0000h になります。

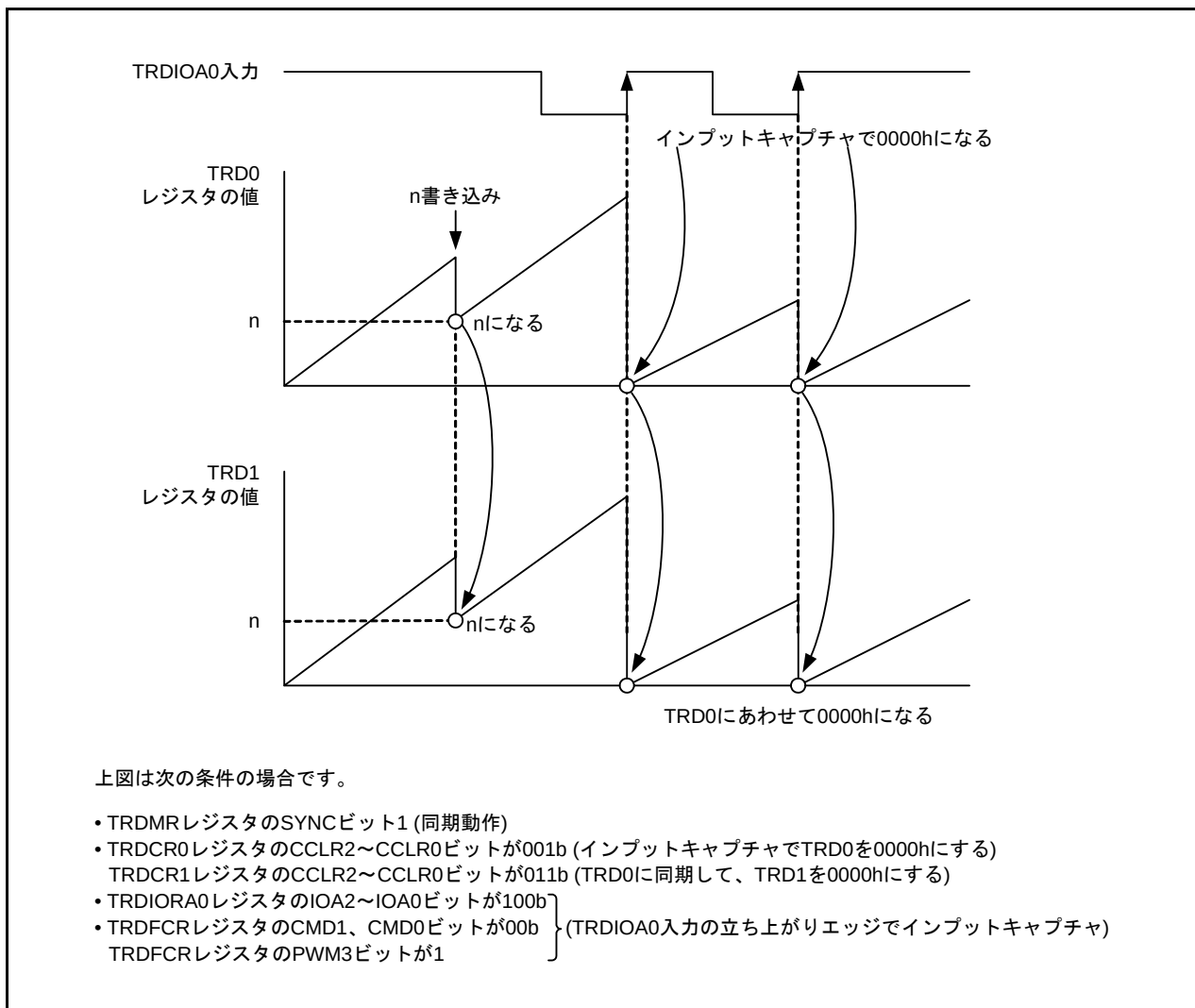


図 18.5 同期動作

18.3.1.4 パルス出力強制遮断

アウトプットコンペア機能、PWMモード、リセット同期PWMモード、相補PWMモード、PWM3モードのとき、 $\overline{\text{INT0}}$ 端子の入力によってTRDIOj出力端子($i = 0, 1, j = A, B, C, D$)を強制的にプログラマブル入出力ポートにし、パルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は、TRDOER1レジスタの該当するビットを0(タイマRD出力許可)にすると、タイマRDの出力端子として機能します。TRDOER2レジスタのPTOビットが1(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)のとき、 $\overline{\text{INT0}}$ 端子にLを入力すると、TRDOER1レジスタの全ビットが1(タイマRD出力禁止、TRDIOj出力端子はプログラマブル入出力ポート)になります。 $\overline{\text{INT0}}$ 端子にLを入力してから、タイマRDの動作クロック(「表 18.1 タイマRDの動作クロック」参照)の1~2サイクル後にTRDIOj出力端子がプログラマブル入出力ポートになります。

この機能を使用する場合は、次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態(ハイインピーダンス、L出力、またはH出力)をPORT2レジスタとPD2レジスタで設定。
- INTENレジスタのINT0ENビットを1($\overline{\text{INT0}}$ 入力許可)、INT0PLビットを0(片エッジ)。
- PD4レジスタのPD4_5ビットを0(入力モード)にする。
- $\overline{\text{INT0}}$ のデジタルフィルタをINTFレジスタのINT0F0、INT0F1ビットで選択する。
- TRDOER2レジスタのPTOビットを1(パルス出力強制遮断信号入力 $\overline{\text{INT0}}$ 有効)にする。

なお、INTENレジスタのINT0PLビットと、 $\overline{\text{INT0}}$ 端子入力の変化に従って、INT0ICレジスタのIRビットが1(割り込み要求あり)になります(「11.9 割り込み使用上の注意事項」参照)。

割り込みの詳細は「11. 割り込み」を参照してください。

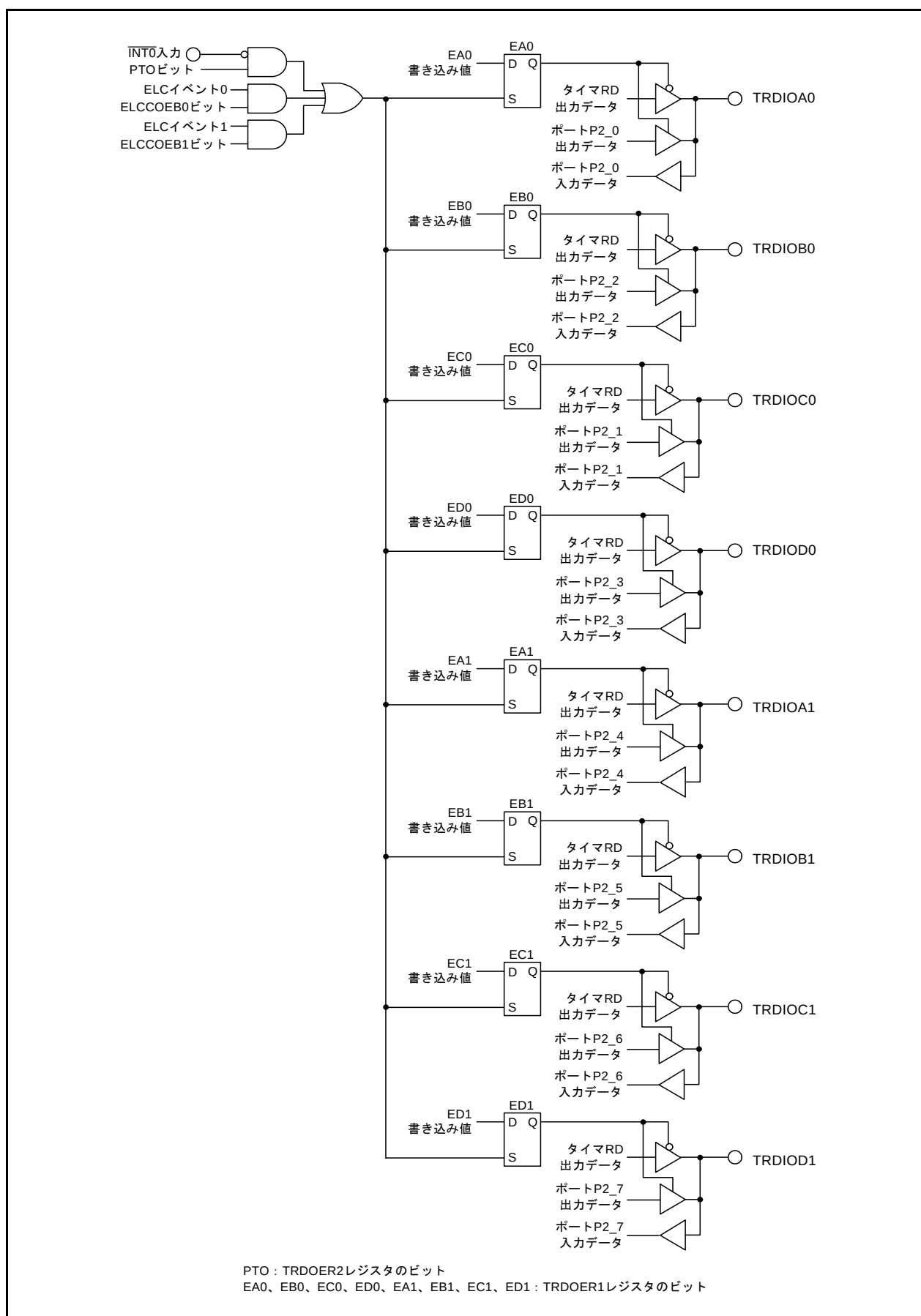


図18.6 パルス出力強制遮断

18.3.1.5 ELC イベント入力

ELC イベント入力によって、タイマ RD に 2 つの動作をさせることができます。

(1) インพุットキャプチャ動作 D0/D1

ELC イベント入力によりインพุットキャプチャ動作します。その際、割り込みステータスフラグ (IMFD0/IMFD1) が 1 になります。

この機能を使用する場合、タイマモードのインพุットキャプチャ機能を選択し、TRDELCCR レジスタの ELCICE0/ELCICE1 ビットを 1 にしてください。その他モード (タイマモードのアウトプットコンペア機能、PWM モード、リセット同期 PWM モード、相補 PWM モード、PWM3 モード) では、無効となります。

設定手順

- (1) ELC のイベント入力をタイマ RD へ設定する。
- (2) タイマ RD の TRDELCCR レジスタの ELCICE0 ~ ELCICE1 ビットを 1 にする。

(2) パルス出力強制遮断動作

ELC イベント入力によりパルス出力強制遮断動作します。この機能は、パルスを出力するモード (タイマモードのアウトプットコンペア機能、PWM モード、リセット同期 PWM モード、相補 PWM モード、PWM3 モード) で ELCIBE0/ELCIBE1 = 1 に設定することで使用可能です。タイマモードのインพุットキャプチャ機能では、無効となります。

設定手順

- (1) ELC のイベント入力をタイマ RD へ設定する。
- (2) タイマ RD の TRDELCCR レジスタの ELCICE0 ~ ELCICE1 ビットを 1 にする。

18.3.1.6 A/D トリガ発生

アウトプットコンペア機能、PWM モード、リセット同期 PWM モード、PWM3 モード、相補 PWM モードのとき、A/D コンバータの変換開始トリガを発生することができます。

- アウトプットコンペア機能、PWM モード、リセット同期 PWM モード、PWM3 モード時
TRDi レジスタ (i = 0, 1) と TRDGRji レジスタ (j = A, B, C, D) のコンペア一致信号を、A/D コンバータの変換開始トリガとして使用できます。
TRDADCR レジスタで、どのコンペア一致を使用するか選択できます。
- 相補 PWM モード時
TRD0 と TRDGRA0 レジスタのコンペア一致もしくは TRD1 のアンダフローを、A/D コンバータの変換開始トリガとして使用できます。TRDFCR レジスタの ADEG、ADTRG ビット、および TRDADCR レジスタで設定してください。また、ADMOD レジスタの ADCAP1、ADCAP0 ビットを 01b (タイマ RD で開始) にしてください。

18.3.1.7 外部端子の設定

タイマ RDを使用する場合、以下の設定をしてください。

- TRDIOA0 端子を使用する場合：TRD_0SR0 レジスタの TRDIOA0_0SEL1、TRDIOA0_0SEL0 ビットを 01b、10b に設定。
- TRDIOB0 端子を使用する場合：TRD_0SR0 レジスタの TRDIOB0_0SEL1、TRDIOB0_0SEL0 ビットを 01b、10b、11b に設定。
- TRDIOC0 端子を使用する場合：TRD_0SR0 レジスタの TRDIOC0_0SEL1、TRDIOC0_0SEL0 ビットを 01b、10b、11b に設定。
- TRDIOD0 端子を使用する場合：TRD_0SR0 レジスタの TRDIOD0_0SEL1、TRDIOD0_0SEL0 ビットを 01b、10b に設定。
- TRDIOA1 端子を使用する場合：TRD_0SR1 レジスタの TRDIOA1_0SEL1、TRDIOA1_0SEL0 ビットを 01b、10b に設定。
- TRDIOB1 端子を使用する場合：TRD_0SR1 レジスタの TRDIOB1_0SEL1、TRDIOB1_0SEL0 ビットを 01b、10b に設定。
- TRDIOC1 端子を使用する場合：TRD_0SR1 レジスタの TRDIOC1_0SEL1、TRDIOC1_0SEL0 ビットを 01b、10b、11b に設定。
- TRDIOD1 端子を使用する場合：TRD_0SR1 レジスタの TRDIOD1_0SEL1、TRDIOD1_0SEL0 ビットを 01b、10b、11b に設定。

18.3.2 インพุットキャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIO_ji 端子 (i = 0、1、j = A、B、C、D) の外部信号をトリガにして TRDi レジスタ (カウンタ) の内容を TRDGR_ji レジスタに転送します (インพุットキャプチャ)。TRDIO_ji 端子と TRDGR_ji レジスタの組み合わせで機能しますので、端子1本ごとにインพุットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

なお、TRDGRA0 レジスタは fOCO128 をインพุットキャプチャのトリガ入力として選択できます。

図 18.7 にインพุットキャプチャ機能のブロック図 (i = 0、1) を、表 18.12 にインพุットキャプチャ機能の仕様を、図 18.8 にインพุットキャプチャ機能の動作例 (i = 0、1) を示します。

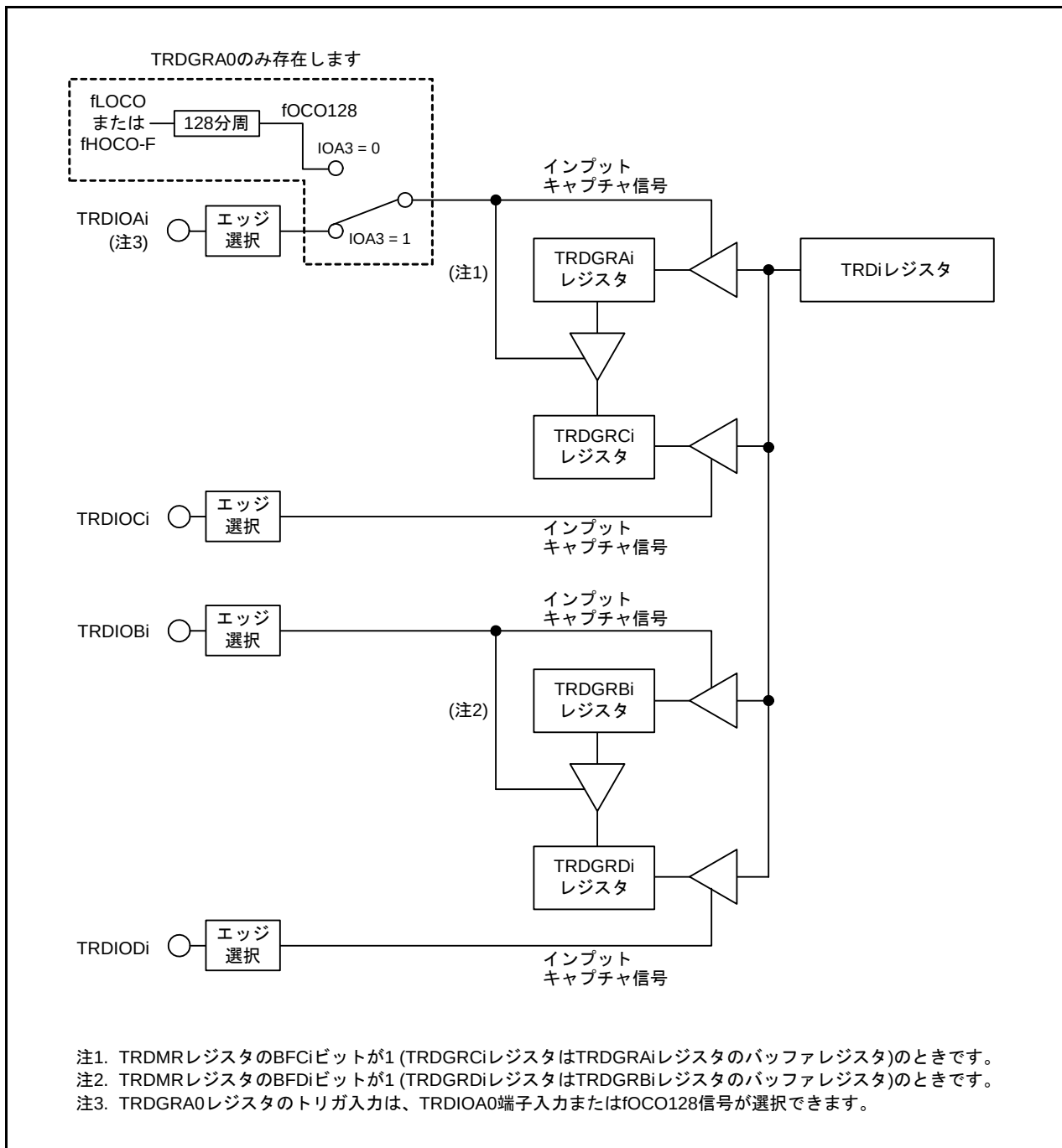


図 18.7 インพุットキャプチャ機能のブロック図 (i = 0、1)

表 18.12 インพุットキャプチャ機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO、fHOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRDCRiレジスタのCCLR2～CCLR0ビットが000b(フリーランニング動作)の場合 $1/fk \times 65536$ fk : カウントソースの周波数
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSELiビットが1に設定されているとき、TSTARTiビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	- インพุットキャプチャ (TRDIOji入力の有効エッジまたはfOCO128信号のエッジ) - TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポート、インพุットキャプチャ入力、またはTRDCLK(外部クロック)入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1～TRDIOD1端子機能	プログラマブル入出力ポートまたはインพุットキャプチャ入力(1端子ごとに選択)
INT0端子機能	使用しない(プログラマブル入出力ポートまたはINT0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	- TRDMRレジスタのSYNCビットが0(タイマRD0とタイマRD1は独立動作)の場合 TRDiレジスタに書き込める - TRDMRレジスタのSYNCビットが1(タイマRD0とタイマRD1が同期動作)の場合 TRDiレジスタに書き込むと、TRD0レジスタとTRD1レジスタの両方に書き込まれる
選択機能	- インพุットキャプチャ入力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi端子のいずれか1本または複数本 - インพุットキャプチャ入力の有効エッジ選択 立ち上がりエッジ、立ち下がりエッジ、または立ち上がりエッジと立ち下がりエッジの両方 - TRDiを0000hにするタイミング オーバフローまたはインพุットキャプチャ時 - バッファ動作(「18.3.1.2 バッファ動作」参照) - 同期動作(「18.3.1.3 同期動作」参照) - デジタルフィルタ TRDIOji入力をサンプリングし、3回一致したらレベルが確定したとみなす - インพุットキャプチャトリガ選択 TRDGRA0レジスタのインพุットキャプチャトリガ入力にfOCO128を選択できる - イベントリンクコントローラ(ELC)からのイベント入力によるインพุットキャプチャ動作

i = 0、1、j = A、B、C、D

18.3.2.1 動作例

TRDCRi レジスタ (i = 0, 1) の CCLR0 ~ CCLR2 ビットの設定で、インプットキャプチャ/コンペア一致により、タイマ RD_i のカウンタ値はリセットされます。図 18.8 は、CCLR2 ~ CCLR0 ビットを 001b と設定した場合の動作例です。動作中のインプットキャプチャ動作によってカウントをクリアする設定をしていて、タイマカウンタ値が FFFFh においてインプットキャプチャ動作をした場合、カウントソースとインプットキャプチャ動作のタイミングによって割り込みフラグである TRDSRi レジスタの IMFA ~ IMFD ビットと OVF ビットが同時に 1 となる場合があります。

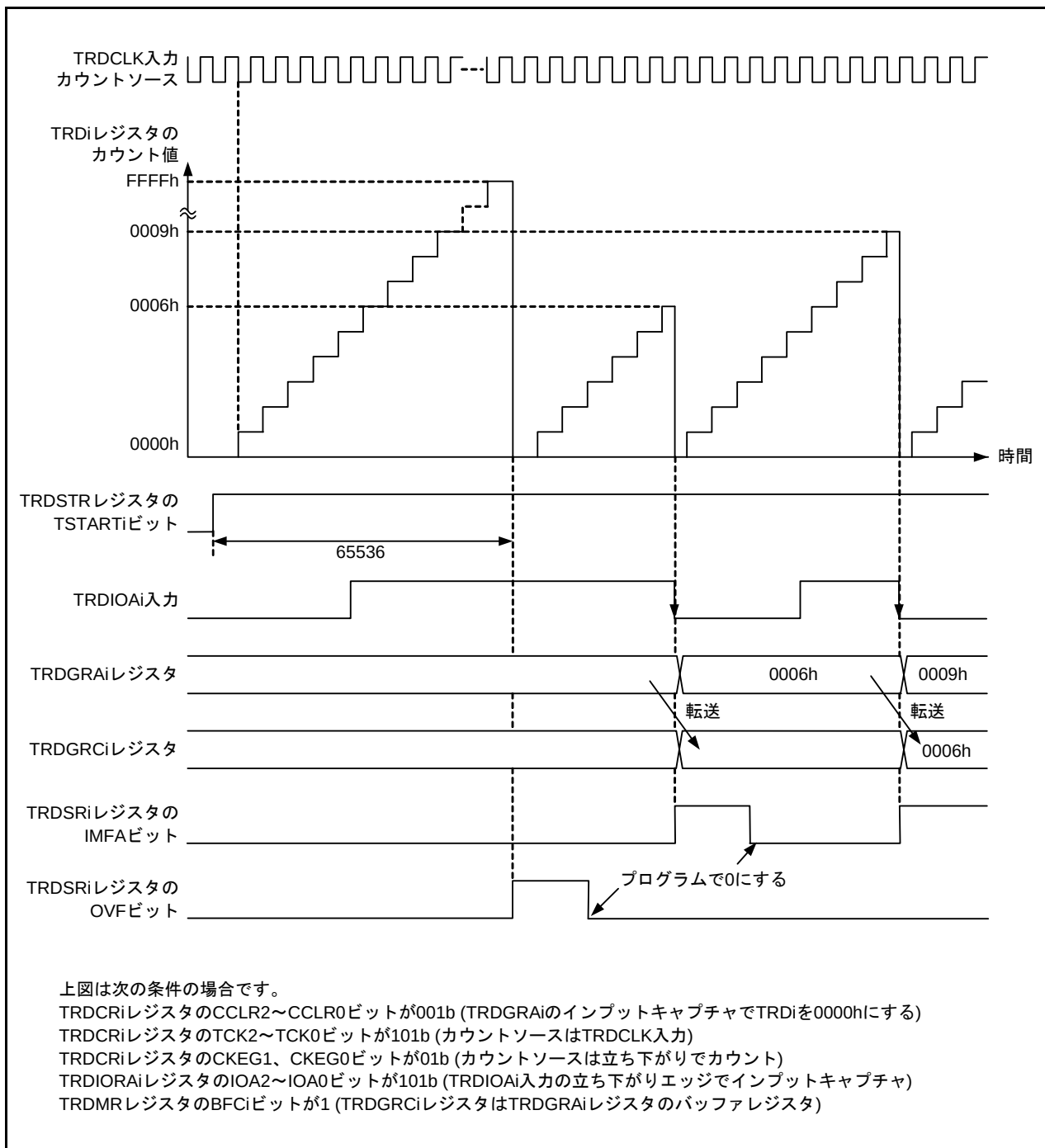


図 18.8 インプットキャプチャ機能の動作例 (i = 0, 1)

18.3.2.2 デジタルフィルタ

TRDIO_{ji}入力($i = 0, 1, j = A, B, C, D$)をサンプリングし、3回一致したらレベルが確定したとみなします。デジタルフィルタ機能、サンプリングクロックはTRDDFiレジスタで選択してください。

図18.9にデジタルフィルタのブロック図($i = 0, 1, j = A, B, C, D$)を示します。

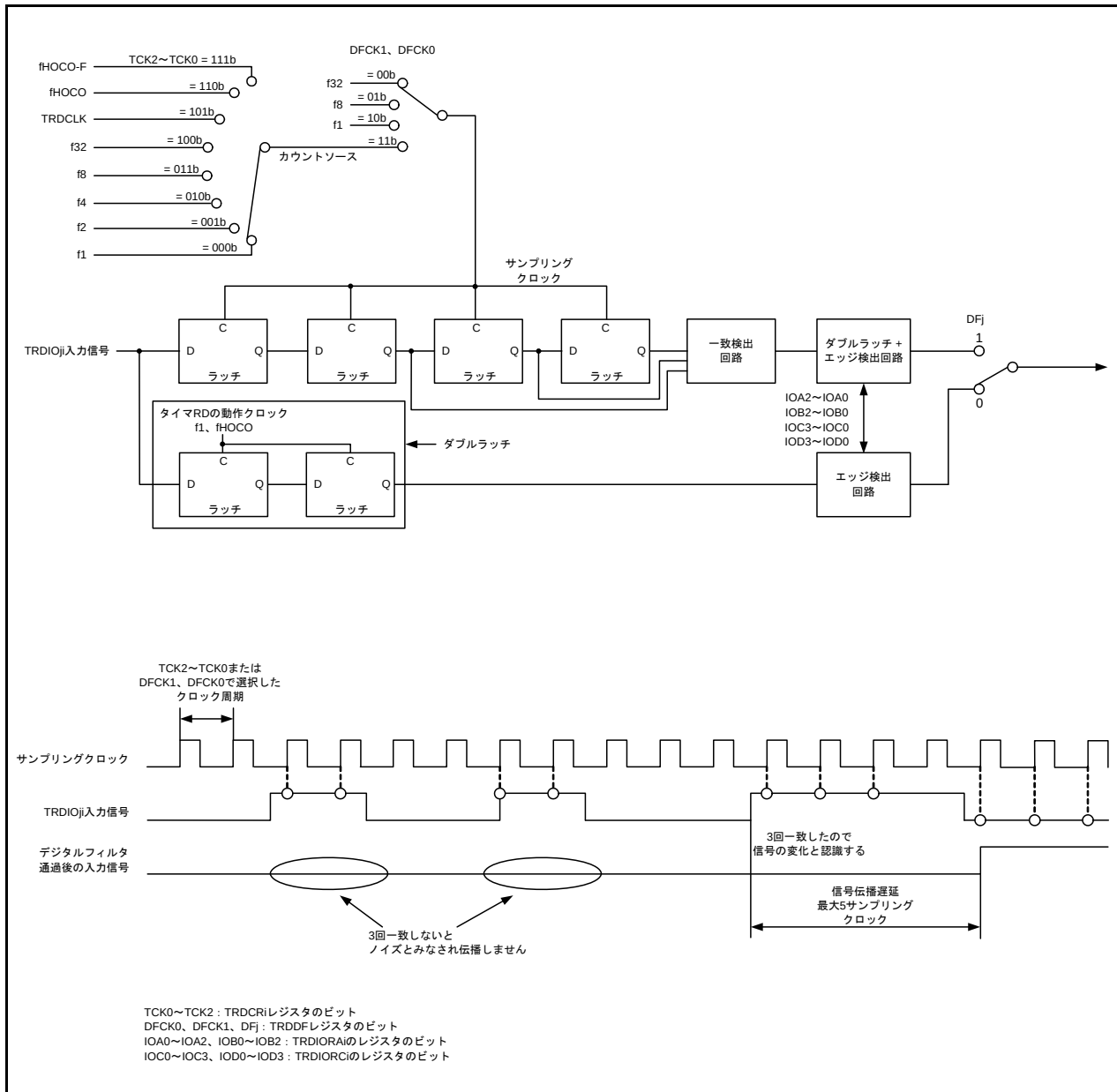


図18.9 デジタルフィルタのブロック図($i = 0, 1, j = A, B, C, D$)

18.3.3 アウトプットコンペア機能

TRD_iレジスタ(カウンタ)($i = 0, 1$)の内容と、TRDGR_jiレジスタ($j = A, B, C, D$)の内容の一致(コンペア一致)を検出するモードです。一致したときTRDIO_ji端子から任意のレベルを出力します。TRDIO_ji端子とTRDGR_jiレジスタの組み合わせで機能しますので、端子1本ごとにアウトプットコンペア機能にするか、他のモード、機能にするかを選択できます。

図18.10にアウトプットコンペア機能のブロック図を、表18.13にアウトプットコンペア機能の仕様を、図18.11にアウトプットコンペア機能の動作例($i = 0, 1$)を示します。

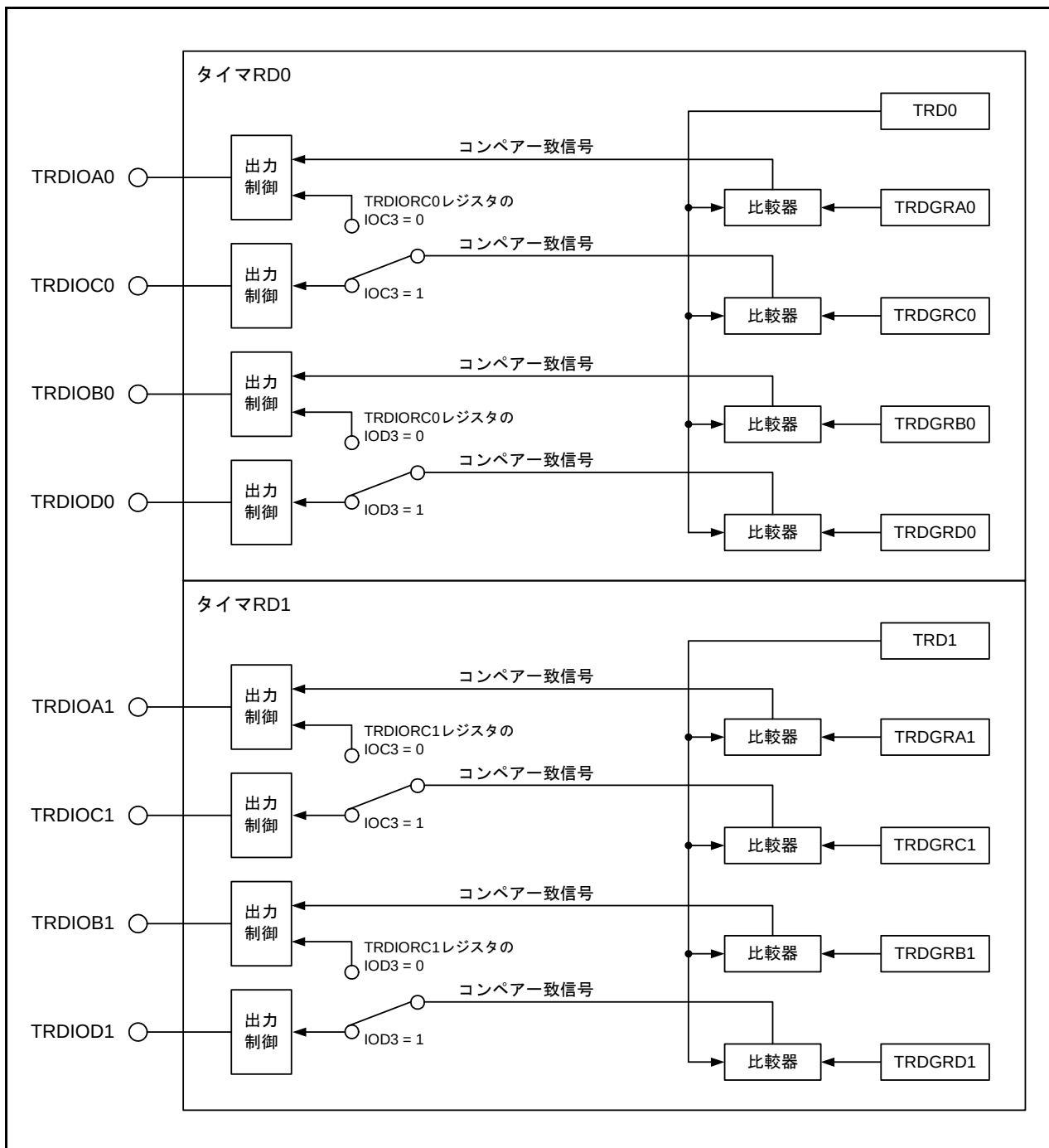


図18.10 アウトプットコンペア機能のブロック図

表 18.13 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO、fHOCO-F TRDCLK 端子に入力された外部信号 (プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	• TRDCRi レジスタの CCLR2 ~ CCLR0 ビットが 000b (フリーランニング動作) の場合 $1/fk \times 65536$ fk: カウントソースの周波数 • TRDCRi レジスタの CCLR1、CCLR0 ビットが 01b、10b (TRDGRji のコンペアー一致で TRDi を 0000h にする) の場合 $1/fk \times (n + 1)$ n: TRDGRji レジスタ設定値
波形出力タイミング	コンペアー一致 (TRDi レジスタと TRDGRji レジスタの内容が一致)
カウント開始条件	TRDSTR レジスタの TSTARTi ビットへの 1 (カウント開始) 書き込み
カウント停止条件	• TRDSTR レジスタの CSELi ビットが 1 に設定されているとき、TSTARTi ビットへの 0 (カウント停止) 書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持 • TRDSTR レジスタの CSELi ビットが 0 の場合、TRDGRAi コンペアー一致でカウント停止 アウトプットコンペア出力端子はコンペアー一致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペアー一致 (TRDi レジスタと TRDGRji レジスタの内容が一致) • TRDi オーバフロー
TRDIOA0 端子機能	プログラマブル入出力ポート、アウトプットコンペア出力、または TRDCLK (外部クロック) 入力
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOA1 ~ TRDIOD1 端子機能	プログラマブル入出力ポートまたはアウトプットコンペア出力 (1 端子ごとに選択)
INT0 端子機能	パルス出力強制遮断信号入力 (プログラマブル入出力ポートまたは INT0 割り込み入力)
タイマの読み出し	TRDi レジスタを読むと、カウント値が読める
タイマの書き込み	• TRDMR レジスタの SYNC ビットが 0 (タイマ RD0 とタイマ RD1 は独立動作) の場合 TRDi レジスタに書き込める • TRDMR レジスタの SYNC ビットが 1 (タイマ RD0 とタイマ RD1 が同期動作) の場合 TRDi レジスタに書き込むと、TRD0 レジスタと TRD1 レジスタの両方に書き込まれる
選択機能	• アウトプットコンペア出力端子選択 TRDIOAi、TRDIOBi、TRDIOCi、TRDIODi 端子のいずれか 1 本または複数本 • コンペアー一致時の出力レベル選択 L 出力、H 出力、または出力レベル反転 • 初期出力レベル選択 カウント開始からコンペアー一致までの期間のレベルを設定 • TRDi を 0000h にするタイミング オーバフローまたは TRDGRAi レジスタのコンペアー一致 • バッファ動作 (「18.3.1.2 バッファ動作」参照) • 同期動作 (「18.3.1.3 同期動作」参照) • TRDGRCi、TRDGRDi の出力端子変更 TRDGRCi を TRDIOAi 端子の、TRDGRDi を TRDIOBi 端子の出力制御に使用できる • パルス出力強制遮断信号入力 (「18.3.1.4 パルス出力強制遮断」参照) • タイマ RD は出力しないことで内部タイマとして使用できる • A/D トリガ発生

i = 0、1、j = A、B、C、D

18.3.3.1 動作例

TRDCRi レジスタ (i = 0, 1) の CCLR0 ~ CCLR2 ビットの設定によって、インプットキャプチャ/コンペアー一致により、タイマ RDi のカウンタ値はリセットされます。このとき、コンペアー期待値が FFFFh の場合、オーバフロー動作と同様に FFFFh から 0000h となり、オーバフローフラグは 1 となります。

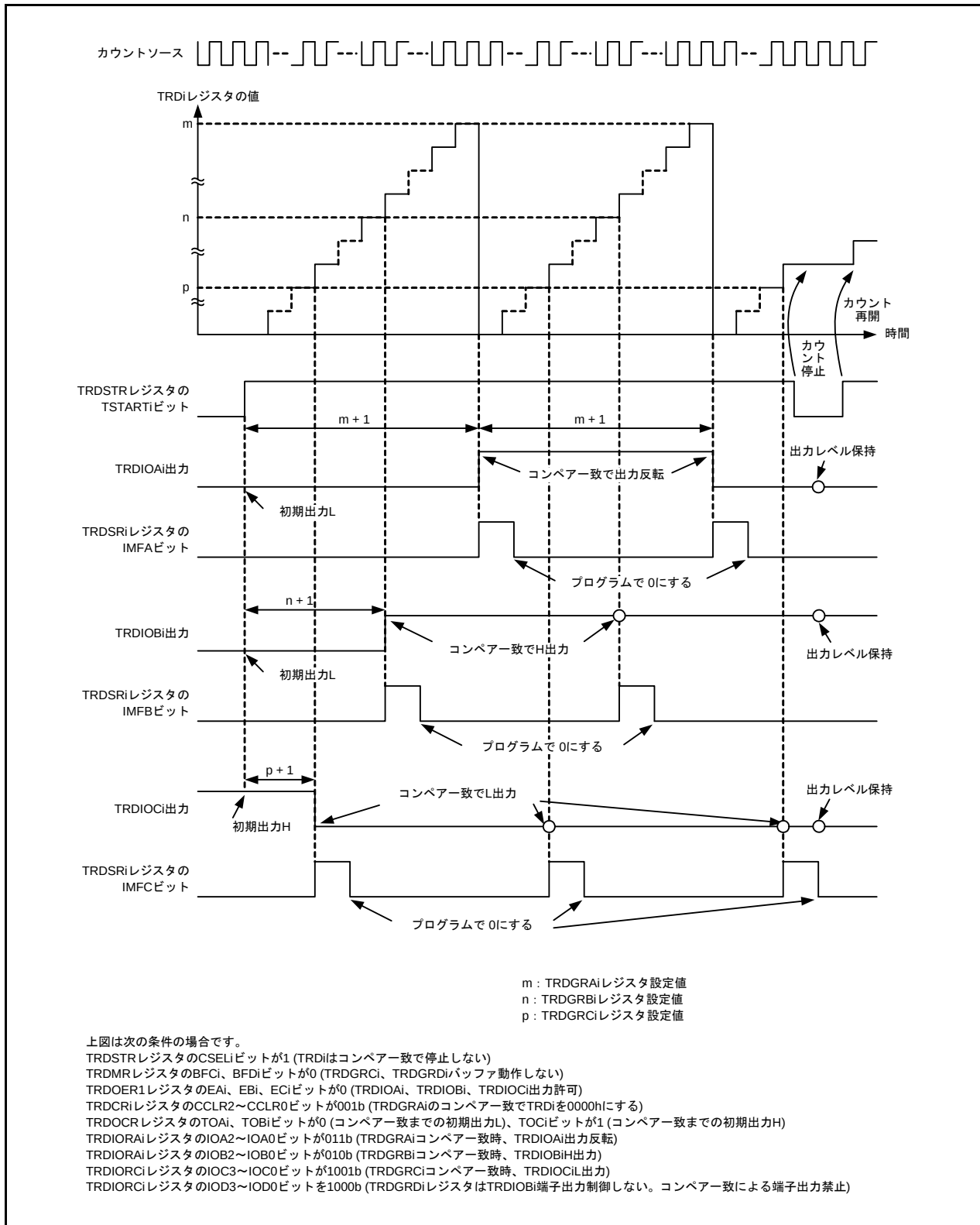


図 18.11 アウトプットコンペアー機能の動作例 (i = 0, 1)

18.3.3.2 TRDGRCi、TRDGRDi レジスタ (i = 0, 1) の出力端子変更

TRDGRCi レジスタを TRDIOAi 端子の、TRDGRDi レジスタを TRDIOBi 端子の出力制御に使用できます。したがって、各端子の出力は次のように制御できます。

- TRDIOAi 出力は、TRDGRAi レジスタの値と TRDGRCi レジスタの値の2点で制御
- TRDIOBi 出力は、TRDGRBi レジスタの値と TRDGRDi レジスタの値の2点で制御

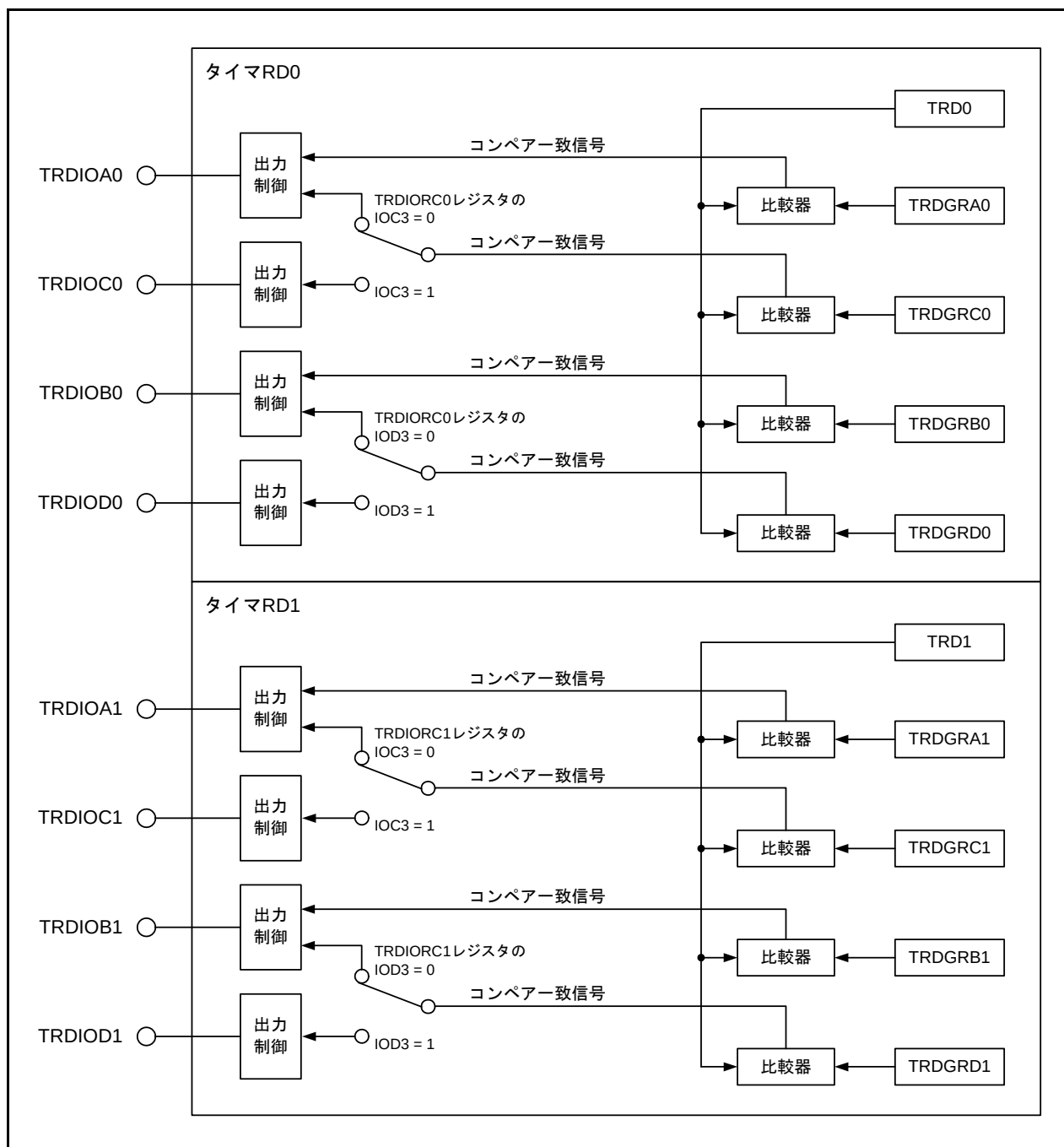


図 18.12 TRDGRCi、TRDGRDi の出力端子変更 (i = 0, 1)

TRDGRCi、TRDGRDi レジスタの出力端子を変更する場合は、次のようにしてください。

- TRDIORCi レジスタの IOj3 ビット (j = C, D) で 0 (TRDGRji レジスタ出力端子変更) を選択。
- TRDMR レジスタの BFji ビットを 0 (ジェネラルレジスタ) にする。
- TRDGRAi レジスタと TRDGRCi レジスタは違う値を設定。また、TRDGRBi レジスタと TRDGRDi レジスタは違う値を設定。

図 18.13に TRDGRCi を TRDIOAi 端子の、TRDGRDi を TRDIOBi 端子の出力制御に使用した場合の動作例 ($i = 0, 1$) を示します。

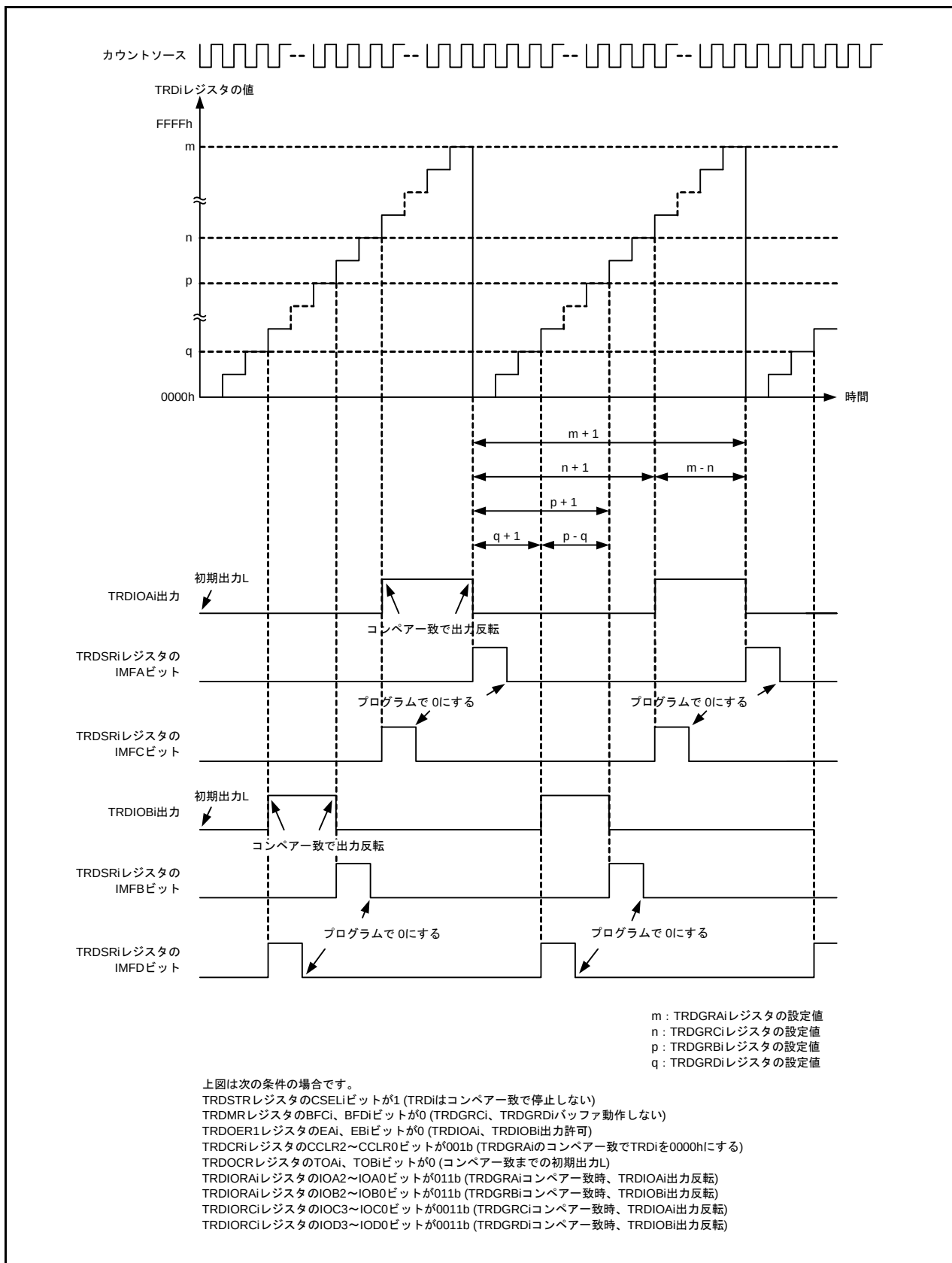
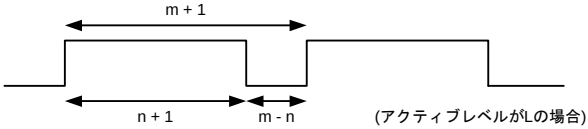


図 18.13 TRDGRCi を TRDIOAi 端子の、TRDGRDi を TRDIOBi 端子の出力制御に使用した場合の動作例 ($i = 0, 1$)

表 18.14 PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO、fHOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	アップカウント
PWM波形	PWM周期: $1/fk \times (m + 1)$ アクティブレベル幅: $1/fk \times (m - n)$ アクティブでないレベルの幅: $1/fk \times (n + 1)$ fk: カウントソースの周波数 m: TRDGRAi レジスタ設定値 n: TRDGRji レジスタ設定値  (アクティブレベルがLの場合)
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1(カウント開始)書き込み
カウント停止条件	- TRDSTRレジスタのCSELiビットが1に設定されているとき、TSTARTiビットへの0(カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 - TRDSTRレジスタのCSELiビットが0の場合、TRDGRAiコンペアー致でカウント停止 PWM出力端子はコンペアー致による出力変化後のレベルを保持
割り込み要求発生タイミング	- コンペアー致(TRDiレジスタとTRDGRhiレジスタの内容が一致) - TRDiオーバフロー
TRDIOA0端子機能	プログラマブル入出力ポートまたはTRDCLK(外部クロック)入力
TRDIOA1端子機能	プログラマブル入出力ポート
TRDIOB0、TRDIOC0、TRDIOD0、TRDIOB1、TRDIOC1、TRDIOD1端子機能	プログラマブル入出力ポートまたはPWM出力(1端子ごとに選択)
INT0端子機能	パルス出力強制遮断信号入力(プログラマブル入出力ポートまたはINT0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	- PWM出力端子をタイマRD_iで1~3本選択 TRDIOBi、TRDIOC_i、TRDIOD_i端子のいずれか1本または複数本 - アクティブレベルを1端子ごとに選択 - 初期出力レベルを1端子ごとに選択 - 同期動作(「18.3.1.3 同期動作」参照) - バッファ動作(「18.3.1.2 バッファ動作」参照) - パルス出力強制遮断信号入力(「18.3.1.4 パルス出力強制遮断」参照) - A/Dトリガ発生

i = 0、1、j = B、C、D、h = A、B、C、D

18.3.4.1 動作例

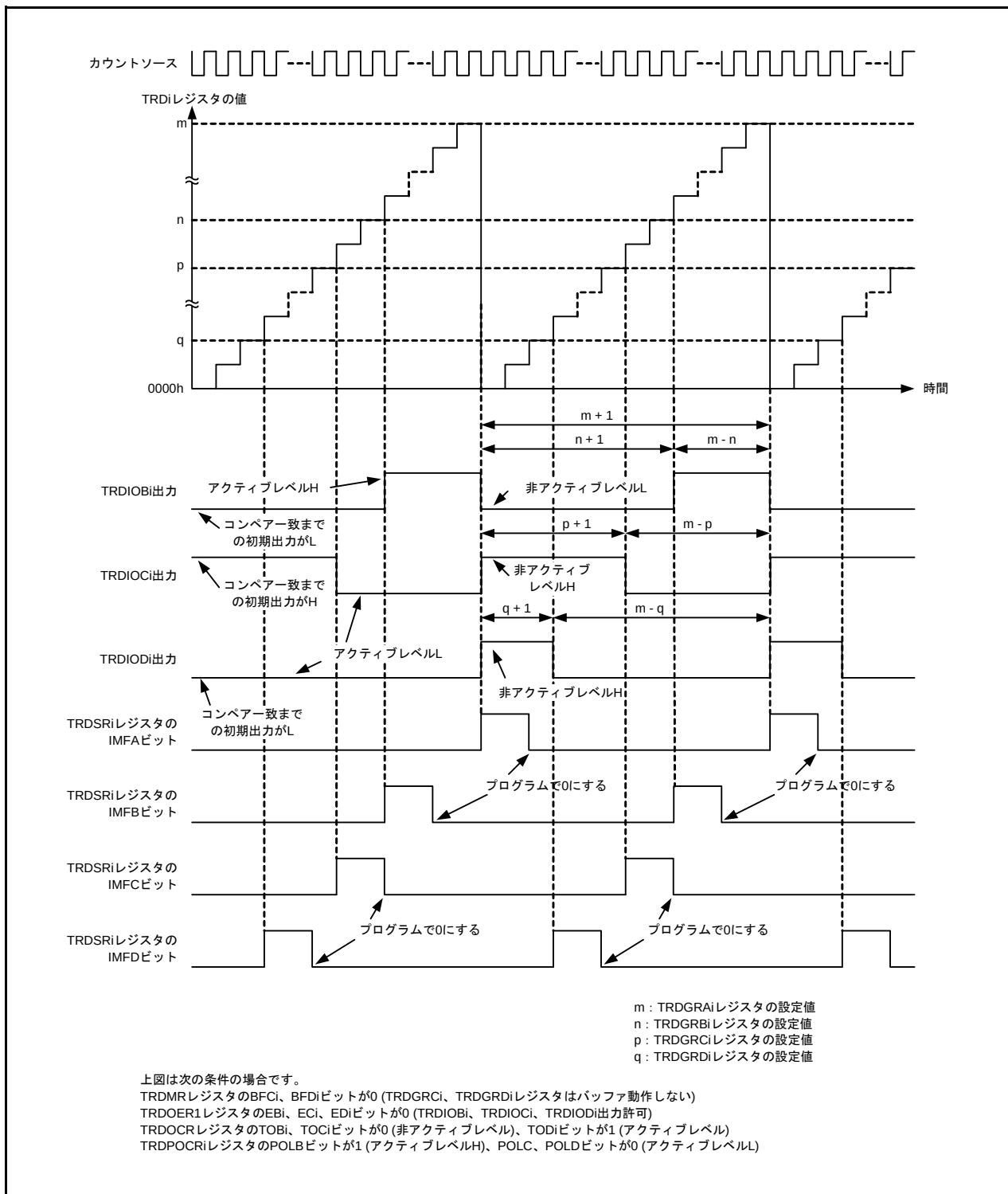


図 18.15 PWMモードの動作例 (i = 0, 1)

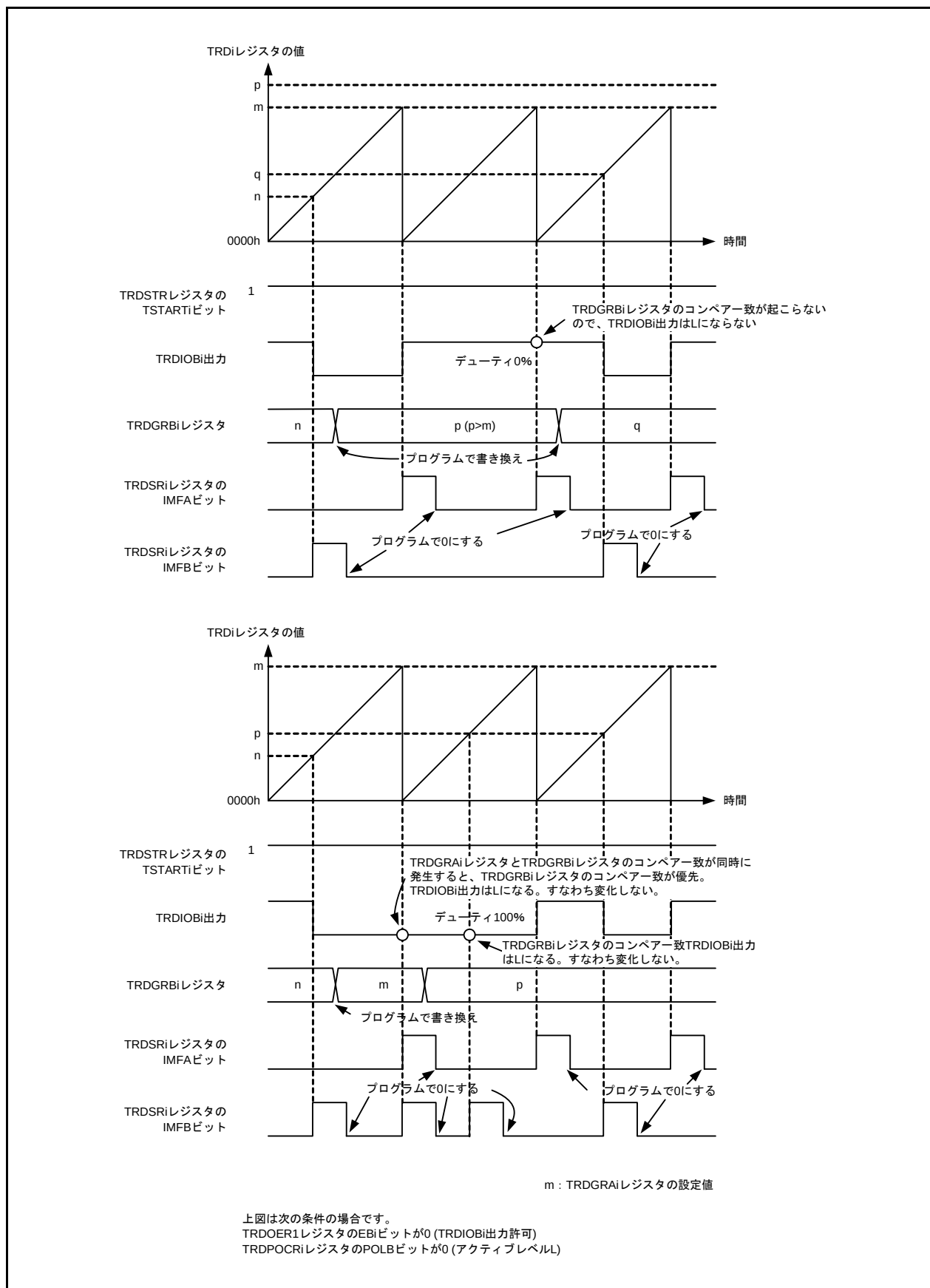


図18.16 PWMモードの動作例(デューティ 0%、デューティ 100%) (i = 0, 1)

18.3.5 リセット同期PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、鋸波変調、短絡防止時間なし)。

図 18.17 にリセット同期PWMモードのブロック図を、表 18.15 にリセット同期PWMモードの仕様を、図 18.18 にリセット同期PWMモードの動作例を示します。

デューティ 0%、100%のPWM動作例は「図 18.16 PWMモードの動作例(デューティ 0%、デューティ 100%)($i = 0, 1$)」を参照してください。

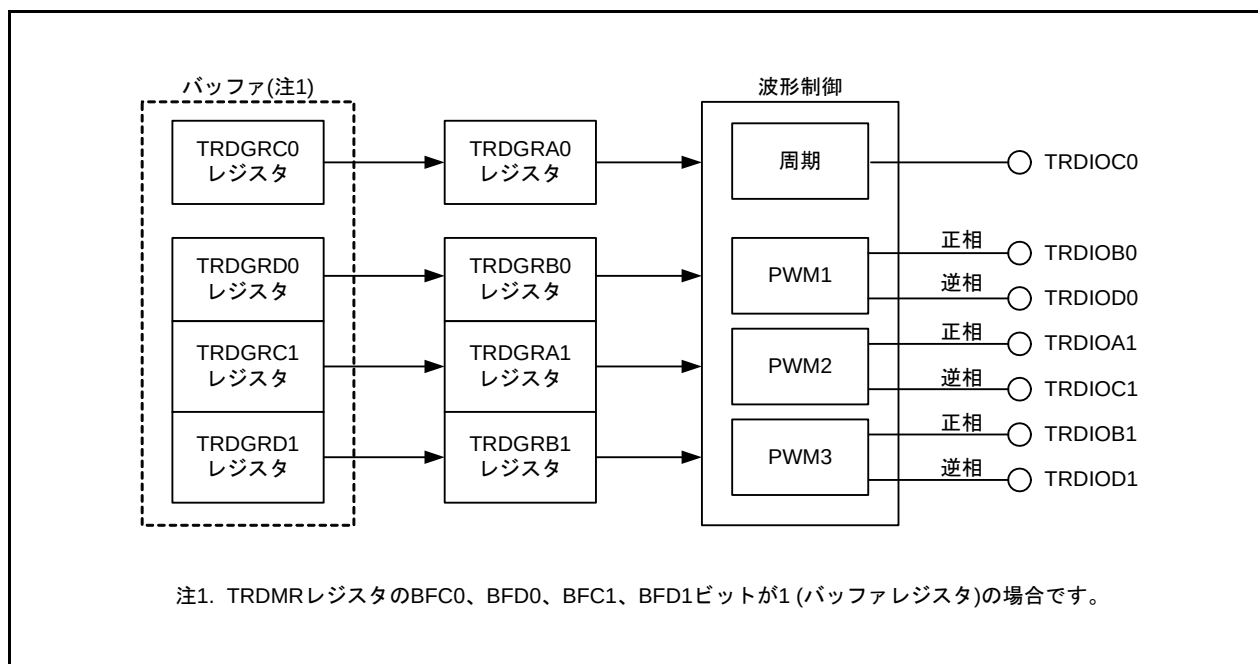


図 18.17 リセット同期PWMモードのブロック図

表 18.15 リセット同期PWMモードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO、fHOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	PWM周期: $1/f_k \times (m + 1)$ 正相のアクティブレベル幅: $1/f_k \times (m - n)$ 逆相のアクティブレベル幅: $1/f_k \times (n + 1)$ f_k : カウントソースの周波数 m : TRDGRA0レジスタ設定値 n : TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3)
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの1(カウント開始)書き込み
カウント停止条件	• TRDSTRレジスタのCSEL0ビットが1に設定されているとき、TSTART0ビットへの0(カウント停止)書き込み PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力 • TRDSTRレジスタのCSEL0ビットが0の場合、TRDGRA0コンペアー一致でカウント停止 PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力
割り込み要求発生タイミング	• コンペアー一致(TRD0レジスタとTRDGRj0、TRDGRA1、TRDGRB1レジスタの内容が一致) • TRD0オーバフロー
TRDIOA0端子機能	プログラマブル入出力ポートまたはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWM周期ごとに出力反転
INT0端子機能	パルス出力強制遮断信号入力(プログラマブル入出力ポートまたはINT0割り込み入力)
タイマの読み出し	TRD0レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	• 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 • バッファ動作(「18.3.1.2 バッファ動作」参照) • パルス出力強制遮断信号入力(「18.3.1.4 パルス出力強制遮断」参照) • A/Dトリガ発生

j = A、B、C、D

18.3.6 相補PWMモード

同周期のPWM波形を正相3本、逆相3本、計6本出力します(三相、三角波変調、短絡防止時間あり)。

図18.19に相補PWMモードのブロック図を、表18.16に相補PWMモードの仕様を、図18.20に相補PWMモードの出力モデル($i = 0, 1$)を、図18.21に相補PWMモードの動作例($i = 0, 1$)を示します。

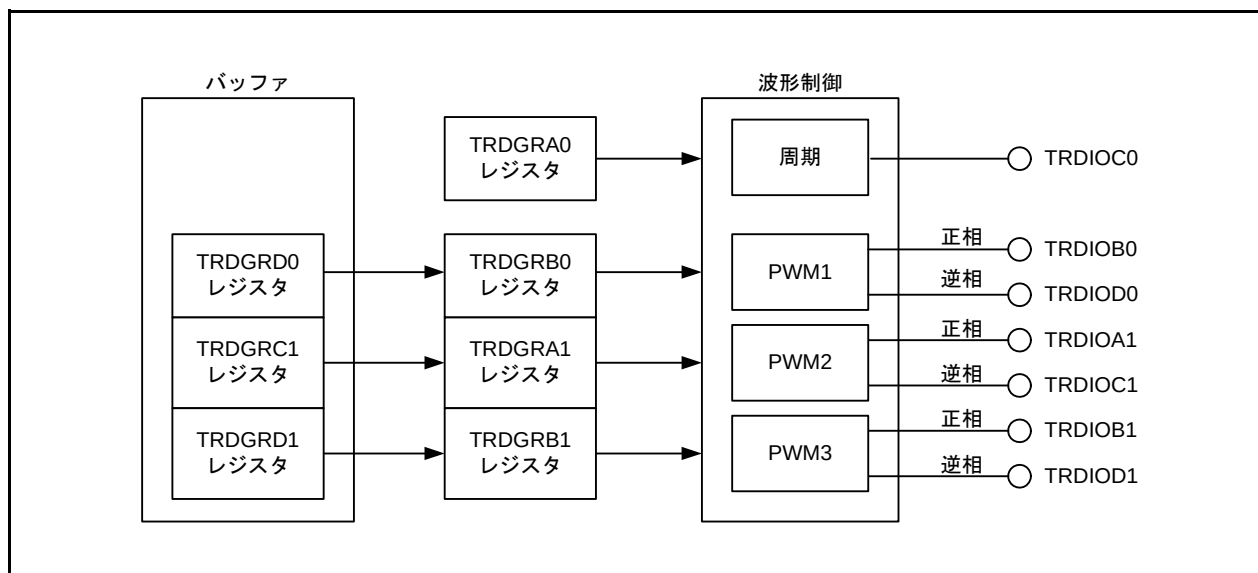


図18.19 相補PWMモードのブロック図

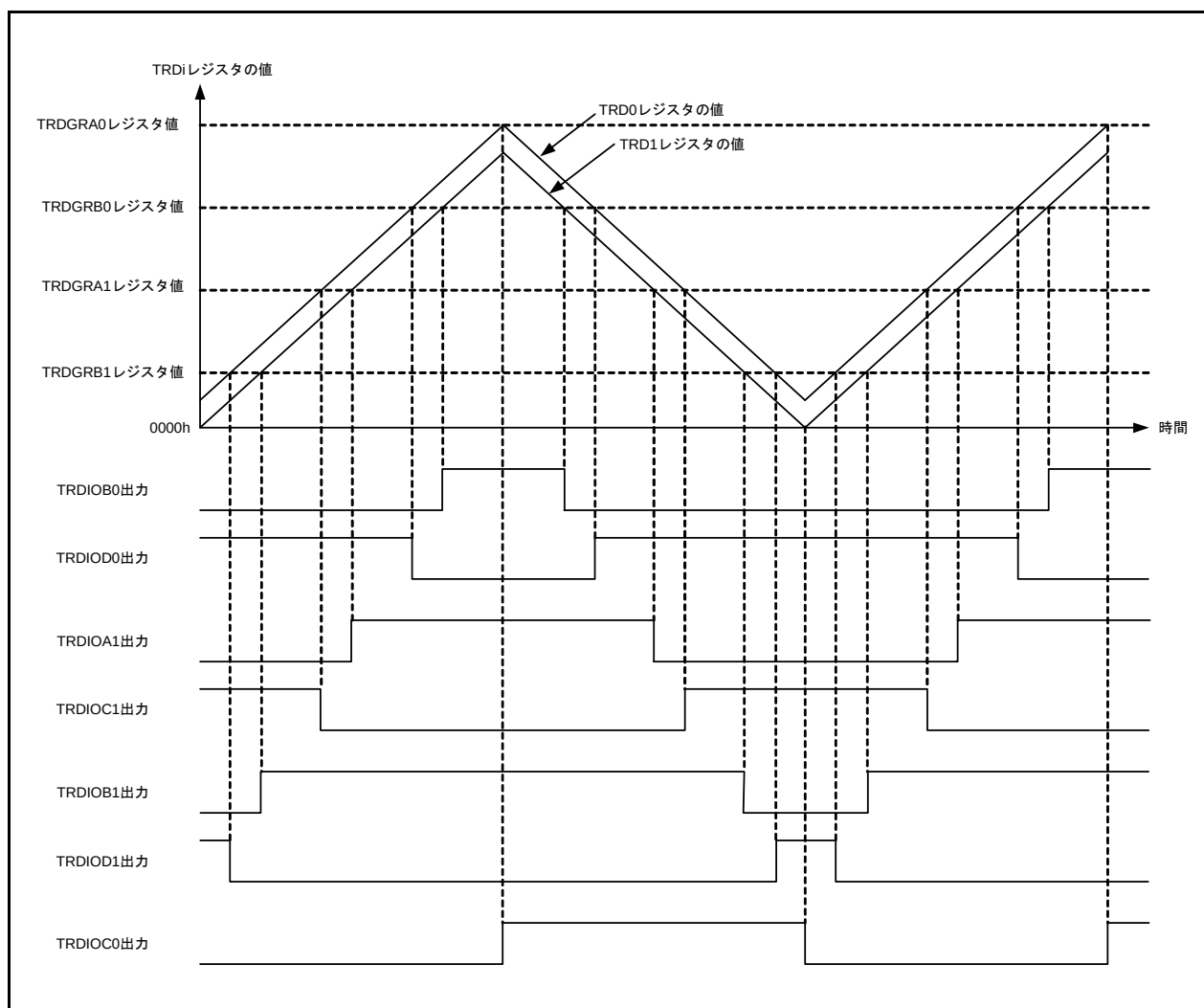
表 18.16 相補PWMモードの仕様

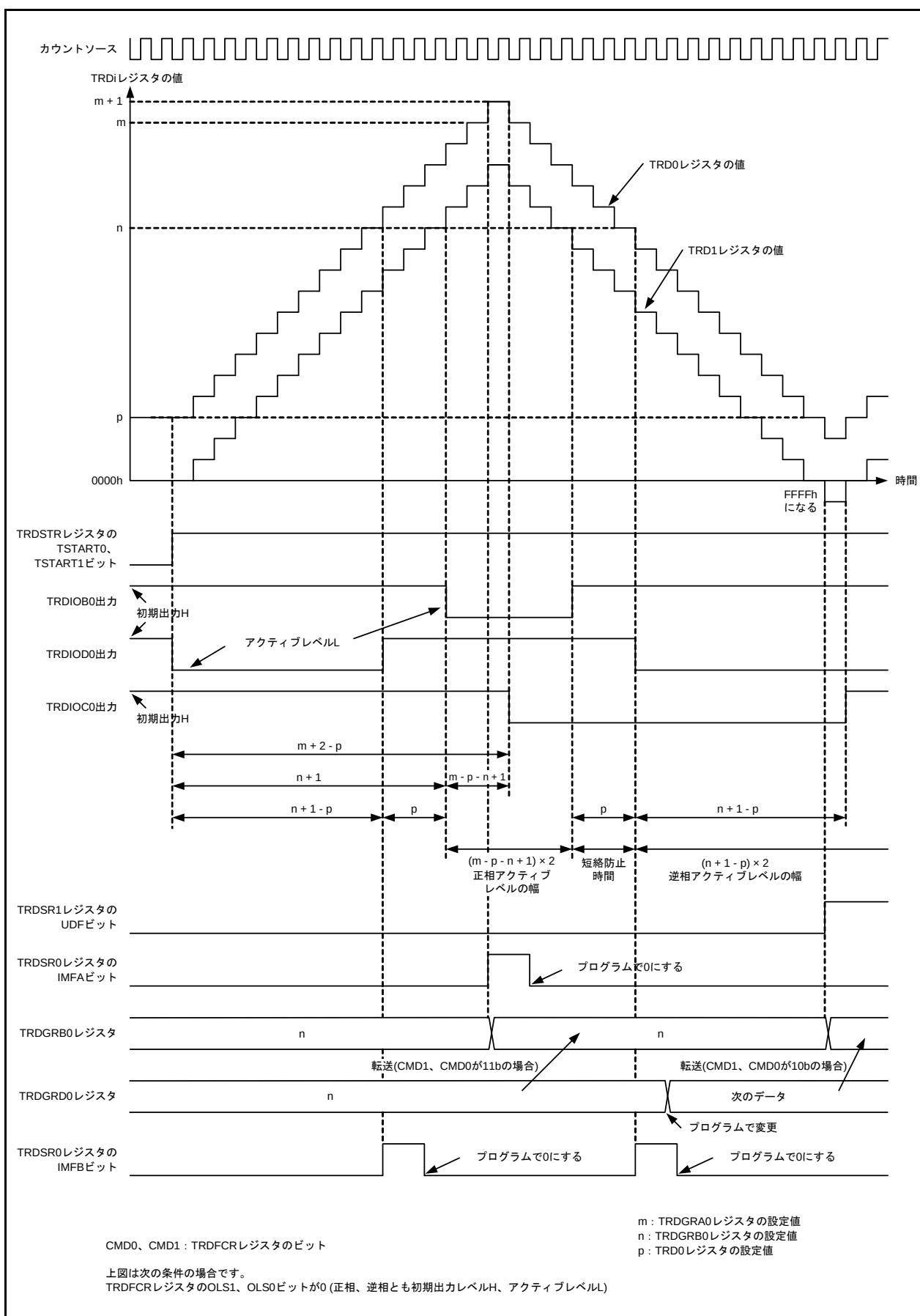
項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO、fHOCO-F TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能) TRDCR0レジスタのTCK0～TCK2ビットと、TRDCR1レジスタのTCK0～TCK2ビットは同じ値(同じカウントソース)にしてください。
カウント動作	アップカウントまたはダウンカウント。 アップカウント中にTRD0レジスタとTRDGRA0レジスタがコンペアー一致すると、TRD0、TRD1ともダウンカウントになる。ダウンカウント中にTRD1レジスタが0000hからFFFFhになるとTRD0、TRD1ともアップカウントになる。
PWM波形	PWM周期: $1/f_k \times (m + 2 - p) \times 2$ (注1) 短絡防止時間: p 正相のアクティブレベル幅: $1/f_k \times (m - n - p + 1) \times 2$ 逆相のアクティブレベル幅: $1/f_k \times (n + 1 - p) \times 2$ f_k: カウントソースの周波数 m: TRDGRA0レジスタ設定値 n: TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) p: TRD0レジスタ設定値 (アクティブレベルがLの場合)
カウント開始条件	TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの1(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSEL0ビットが1に設定されているときTSTART0ビットとTSTART1ビットへの0(カウント停止)書き込み(PWM出力端子はTRDFCRレジスタのOLS0、OLS1ビットで選択した初期出力レベルを出力)
割り込み要求発生タイミング	- コンペアー一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) - TRD1アンダフロー
TRDIOA0端子機能	プログラマブル入出力ポートまたはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWMの1/2周期ごとに出力反転
INT0端子機能	パルス出力強制遮断信号入力(プログラマブル入出力ポートまたはINT0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	- パルス出力強制遮断信号入力(「18.3.1.4 パルス出力強制遮断」参照) - 正相、逆相のアクティブレベルと初期出力レベルを個々に選択 - バッファレジスタからの転送タイミング選択 - A/Dトリガ発生

i = 0、1、j = A、B、C、D

注1. カウント開始後、PWM周期は固定です。

18.3.6.1 動作例

図18.20 相補PWMモードの出力モデル($i = 0, 1$)

図 18.21 相補PWMモードの動作例($i = 0, 1$)

18.3.6.2 バッファレジスタからの転送タイミング

- TRDGRD0、TRDGRC1、TRDGRD1 レジスタから TRDGRB0、TRDGRA1、TRDGRB1 レジスタへの転送
TRDFCR レジスタの CMD1、CMD0 ビットが 10b の場合、TRD1 がアンダフローしたときに転送します。
- CMD1、CMD0 ビットが 11b の場合、TRD0 と TRDGRA0 レジスタがコンペアー一致したときに転送します。

18.3.7 PWM3モード

同周期のPWM波形を2本出力します。

図 18.22 に PWM3 モードのブロック図を、表 18.17 に PWM3 モードの仕様を、図 18.23 に PWM3 モードの動作例を示します。

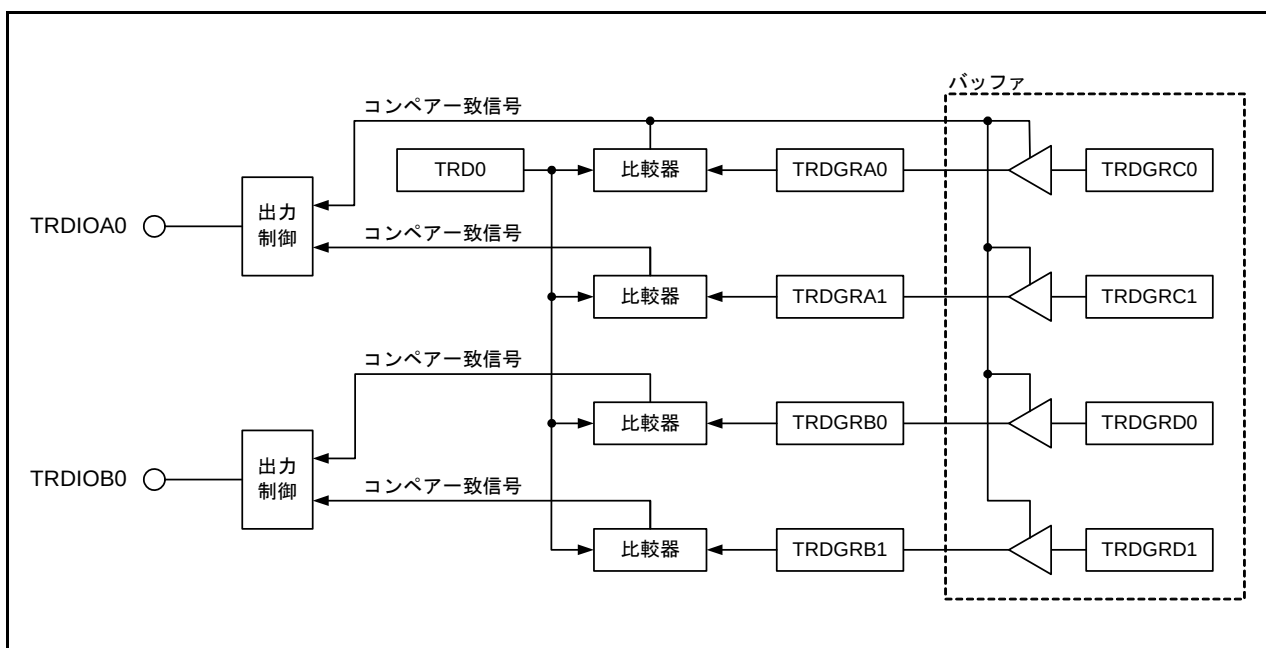
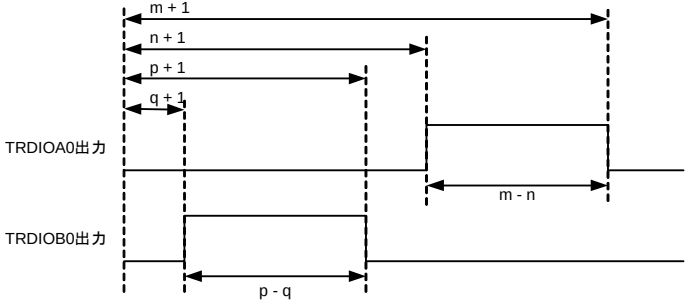


図 18.22 PWM3モードのブロック図

表 18.17 PWM3モードの仕様

項目	仕様
カウントソース	f1、f2、f4、f8、f32、fHOCO、fHOCO-F
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	PWM周期 : $1/f_k \times (m + 1)$ TRDIOA0出力のアクティブレベル幅 : $1/f_k \times (m - n)$ TRDIOB0出力のアクティブレベル幅 : $1/f_k \times (p - q)$ f_k : カウントソースの周波数 m : TRDGRA0 レジスタ設定値 n : TRDGRA1 レジスタ設定値 p : TRDGRB0 レジスタ設定値 q : TRDGRB1 レジスタ設定値  (アクティブレベルがHの場合)
カウント開始条件	TRDSTR レジスタの TSTART0 ビットへの 1 (カウント開始) 書き込み
カウント停止条件	• TRDSTR レジスタの CSEL0 ビットが 1 に設定されているとき、TSTART0 ビットへの 0 (カウント停止) 書き込み PWM 出力端子はカウント停止前の出力レベルを保持 • TRDSTR レジスタの CSEL0 ビットが 0 の場合、TRDGRA0 コンペア一致でカウント停止 PWM 出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンペア一致 (TRD0 レジスタと TRDGRji レジスタの内容が一致) • TRD0 オーバフロー
TRDIOA0、TRDIOB0 端子機能	PWM 出力
TRDIOC0、TRDIOD0、TRDIOA1～TRDIOD1 端子機能	プログラマブル入出力ポート
INT0 端子機能	パルス出力強制遮断信号入力 (プログラマブル入出力ポートまたは INT0 割り込み入力)
タイマの読み出し	TRD0 レジスタを読むと、カウント値が読める
タイマの書き込み	TRD0 レジスタに書き込める
選択機能	• パルス出力強制遮断信号入力 (「18.3.1.4 パルス出力強制遮断」参照) • アクティブレベルを端子ごとに選択 • バッファ動作 (「18.3.1.2 バッファ動作」参照) • A/D トリガ発生

i = 0、1、j = A、B、C、D

18.3.7.1 動作例

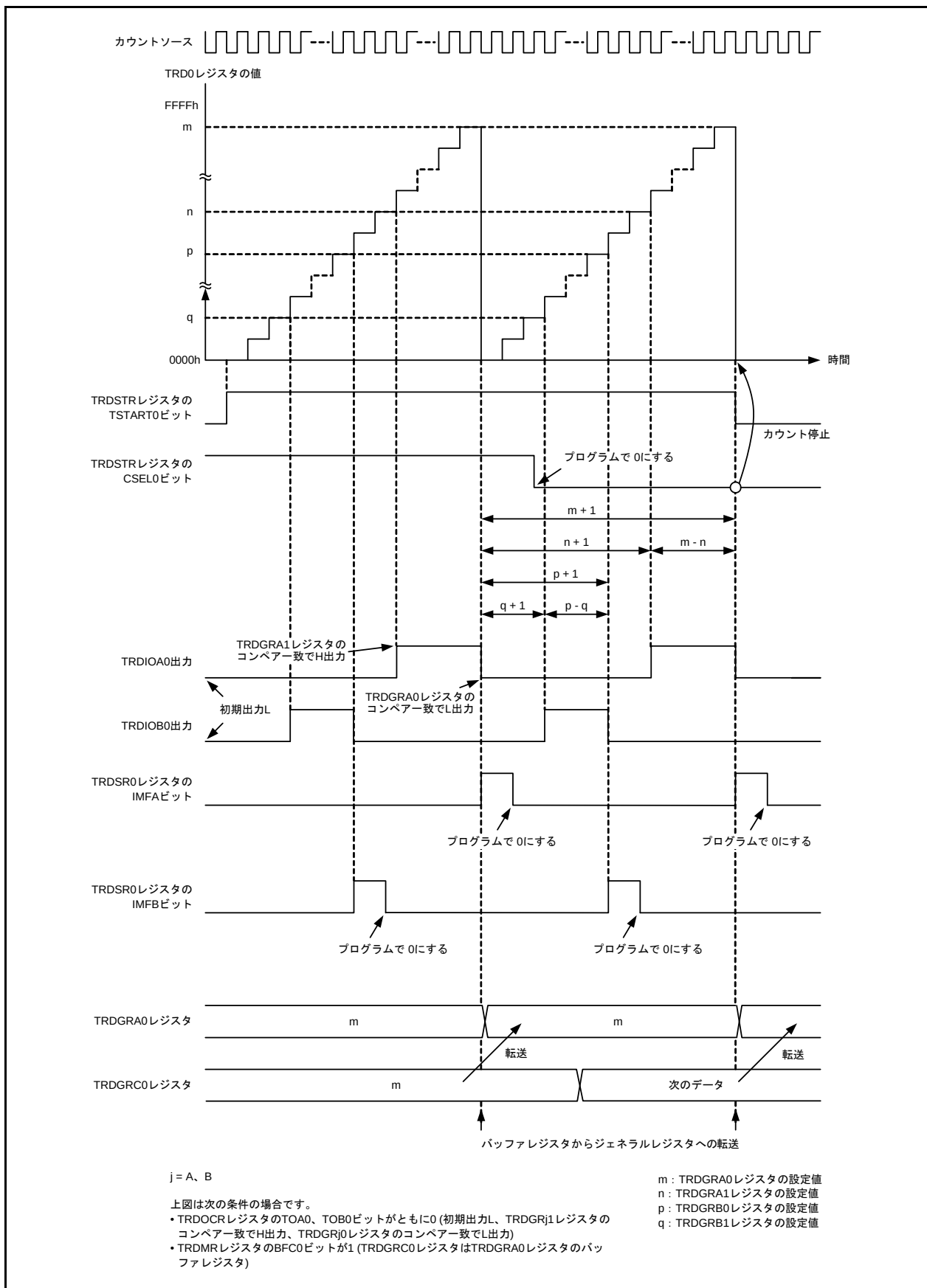


図 18.23 PWM3 モードの動作例

18.3.8 タイマ RD 割り込み

タイマ RD は、タイマ RD0 とタイマ RD1 ごとに 6 つの要因からタイマ RD i ($i = 0, 1$) 割り込み要求を発生します。タイマ RD 割り込みはタイマ RD0 とタイマ RD1 ごとに 1 つの TRDiIC レジスタ (IR ビット、ILVL0～ILVL2 ビット) と 1 つのベクタを持ちます。

表 18.18 にタイマ RD 割り込み関連レジスタを、図 18.24 にタイマ RD 割り込みのブロック図 ($i = 0, 1$) を示します。

表 18.18 タイマ RD 割り込み関連レジスタ

	タイマ RD ステータスレジスタ	タイマ RD 割り込み許可レジスタ	タイマ RD 割り込み制御レジスタ
タイマ RD0	TRDSR0	TRDIER0	TRD0IC
タイマ RD1	TRDSR1	TRDIER1	TRD1IC

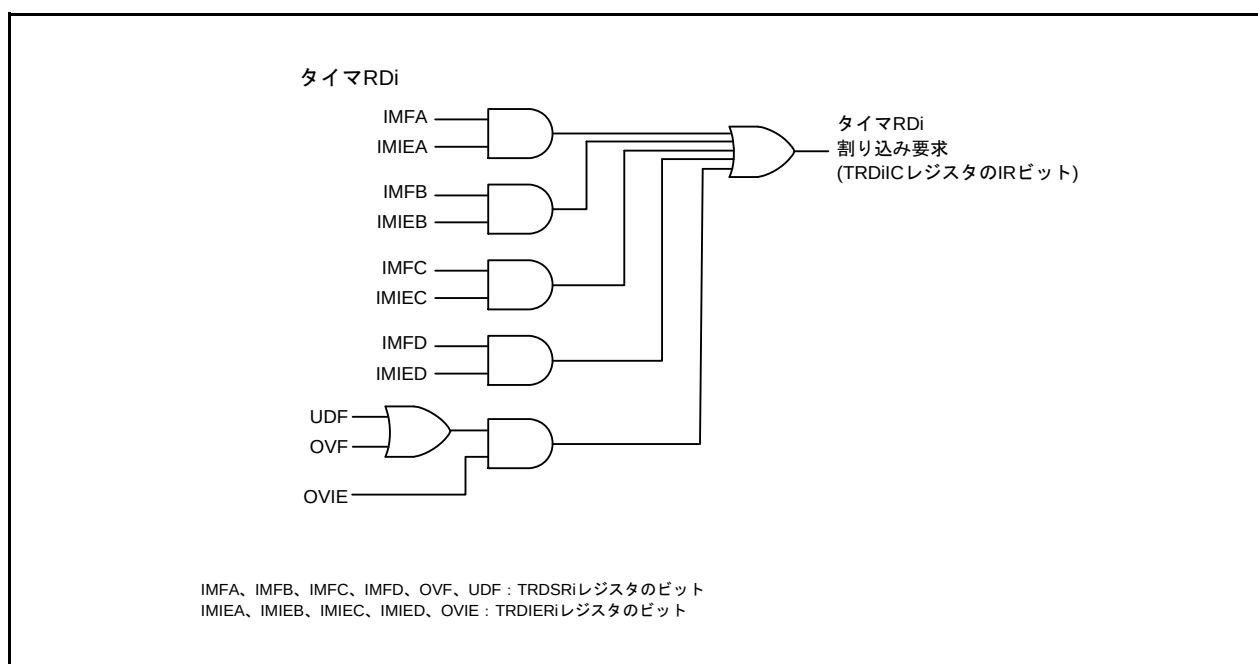


図 18.24 タイマ RD 割り込みのブロック図 ($i = 0, 1$)

タイマ RD 割り込みが、I フラグ、TRDiIC レジスタの IR ビット、ILVL0～ILVL2 ビットと IPL の関係で割り込み制御を行うことは、他のマスカブル割り込みと同様です。しかし、複数の割り込み要求要因から、1つの割り込み要因(タイマ RD 割り込み)を発生するため、他のマスカブル割り込みとは次のような違いがあります。

- TRDSR_i レジスタのビットが 1 で、それに対応する TRDIER_i レジスタのビットが 1 (割り込み許可)の場合、IR ビットが 1 (割り込み要求あり)になります。
- TRDSR_i レジスタのビットと、それに対応する TRDIER_i レジスタのビットのどちらか、または両方が 0 になると IR ビットが 0 (割り込み要求なし)になります。すなわち、IR ビットは、一旦 1 になって、割り込みが受け付けられなかった場合も、割り込み要求を保持しません。
- IR ビットが 1 になった後、別の要求要因が成立した場合、IR ビットは 1 のまま変化しません。
- TRDIER_i レジスタの複数のビットを 1 にしている場合、どの要求要因による割り込みかは、TRDSR_i レジスタで判定してください。
- TRDSR_i レジスタの各ビットは、割り込みが受け付けられても自動的に 0 になりませんので、割り込みルーチン内で 0 にしてください。0 にする方法は「18.2.14 タイマ RD ステータスレジスタ i (TRDSR_i) (i = 0、1)」を参照してください。

TRDSR_i レジスタは「18.2.14 タイマ RD ステータスレジスタ i (TRDSR_i) (i = 0、1)」を、TRDIER_i レジスタは「18.2.15 タイマ RD 割り込み許可レジスタ i (TRDIER_i) (i = 0、1)」を参照してください。

TRDiIC レジスタは「11.4 割り込み制御」、割り込みベクタは「11.3.2 可変ベクタテーブル」を参照してください。

18.4 タイマ RD 使用上の注意事項

18.4.1 SFR リード/ライトアクセス

18.4.1.1 TRDELCCR レジスタ

- ・タイマ動作中は、TRDELCCR レジスタを書き換えないでください。

18.4.1.2 TRDSTR レジスタ

- ・TRDSTR レジスタはMOV 命令を使用して書いてください。
- ・TRDSTR レジスタの CSELi ビット (i = 0, 1) が 0 (TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止) の場合、TSTARTi ビットに 0 (カウント停止) を書いても、カウントは停止せず、TSTARTi ビットも変化しません。
TRDGRAi レジスタとのコンペアー一致時のみ、TSTARTi ビットは 0 (カウント停止) となります。
TRDSTR レジスタを書き換える際で、CSELi ビットが 0 の場合、カウント動作に影響なく CSELi ビットを 1 へ変更したい場合は、TSTARTi ビットに 0 を書いてください。
TSTARTi ビットに 1 を書き込むと、カウンタが停止中の場合カウント開始する恐れがあります。
また、プログラムでカウントを停止させる場合は、CSELi ビットを 1 にした後で、TSTARTi ビットに 0 を書いてください。同時に (1 命令で) CSELi ビットに 1、TSTARTi ビットに 0 を書いてもカウントは停止できません。
- ・TRDIOj 端子 (j = A、B、C、D) をタイマ RD 出力で使用している場合の、カウント停止時の出力レベルを表 18.19 に示します。

表 18.19 カウント停止時の TRDIOj (j = A、B、C、D) 端子出力レベル

カウント停止方法	カウント停止時の TRDIOj 端子出力
CSELi ビットが 1 のときに、TSTARTi ビットに 0 を書きカウント停止	直前の出力レベルを保持 (タイマ RD の相補 PWM モード、リセット同期 PWM モードでは TRDFCR レジスタの OLS0、OLS1 ビットで選択した初期出力レベルを出力)
CSELi ビットが 0 のときに、TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止	コンペアー一致による出力変化後、そのレベルを保持 (タイマ RD の相補 PWM モード、リセット同期 PWM モードでは TRDFCR レジスタの OLS0、OLS1 ビットで選択した初期出力レベルを出力)

i = 0, 1, j = A、B、C、D

18.4.1.3 TRDi レジスタ

- ・TRDi レジスタが 0000h になるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値はレジスタへの書き込みが優先されます。
- ・TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B 命令を実行してください。

プログラム例 MOV.W #XXXXh, TRD0; 書き込み
 JMP.B L1 ; JMP.B 命令
 L1: MOV.W TRD0, DATA; 読み出し

18.4.1.4 TRDSR_i レジスタ (i = 0, 1)

TRDSR_i レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B 命令を実行してください。

```
プログラム例      MOV.B #XXh, TRDSR0; 書き込み
                   JMP.B L1          ; JMP.B 命令
L1:                MOV.B TRDSR0, DATA; 読み出し
```

18.4.1.5 TRDCR_i レジスタ

TRDCR_i レジスタの TCK2～TCK0 ビットを 111b (fHOCO-F) にするときは、CPU クロックより速いクロック周波数に fHOCO-F を設定してください。

18.4.1.6 TRDDF_i レジスタ

TRDDF_i レジスタの DFCK0、DFCK1 ビット設定は、ハザード対策のためカウント動作前に設定を実施してください。

18.4.2 モードの切り替え

- 動作中にモードを切り替える際は、カウント停止状態 (TSTART = 0) にした後、行ってください。
- モード切り替え後、動作開始前に割り込みレジスタのクリアを行ってください。
「11.9.4 割り込み要因の変更」を参照してください。

18.4.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
また、カウントソース切り替え後、CPU クロックの 2 サイクル以上待ってから、本モジュールへの SFR 書き込みを行ってください。

[変更手順]

- (1) TRDSTR レジスタの TSTART_i ビットを 0 (カウント停止) にする
 - (2) TRDCR_i レジスタの TCK0～TCK2 ビットを変更する
 - (3) CPU クロックの 2 サイクル以上待つ
 - (4) タイマ RD への SFR 書き込みが可能
- 上記(2)の設定変更の代わりに、SYNC ビットおよび PWM3 ビットの設定変更を行う場合でも、同様の処理が必要になります。
FRA00 ビットによる高速オンチップオシレータの停止の SW 処理は必要ありません。
 - カウントソースを fHOCO-F から fHOCO に変更し、fHOCO-F を停止させる場合は、クロック切り替え設定後、fHOCO-F の 2 サイクル以上待ってから fHOCO-F を停止させてください。

[変更手順]

- (1) TRDSTR レジスタの TSTART_i ビットを 0 (カウント停止) にする
 - (2) TRDCR_i レジスタの TCK0～TCK2 ビットを変更する
 - (3) fHOCO-F の 2 サイクル以上待つ
 - (4) FRA0 レジスタの FRA00 ビットを 0 (高速オンチップオシレータ停止) にする
- カウントソースを fHOCO-F から fHOCO 以外のクロックに変更し、fHOCO-F を停止させる場合は、クロック切り替え設定後、fHOCO-F の 1 サイクル + fHOCO の 1 サイクル以上待ってから fHOCO-F を停止させてください。

[変更手順]

- (1) TRDSTR レジスタの TSTART_i ビット (i = 0, 1) を 0 (カウント停止) にする
- (2) TRDCR_i レジスタの TCK0～TCK2 ビットを変更する
- (3) fHOCO-F の 1 サイクル + fHOCO の 1 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを 0 (高速オンチップオシレータ停止) にする

- 注1. fHOCO、fHOCO-Fをカウントソースに選択しているときには、FRA00ビットを0 (高速オンチップオシレータ停止)にしないでください。
- 注2. fHOCO-Fをカウントソースに選択しているときには、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

18.4.4 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表 18.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIOj端子(j = A、B、C、D)にインプットキャプチャ信号が入力されてから、タイマRDの動作クロックの2~3サイクル後にTRDiレジスタの値をTRDGRjレジスタに転送します(デジタルフィルタなしの場合)。

18.4.5 リセット同期PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。

[変更手順]

- (1) TRDSTRレジスタのTSTART0ビットを0 (カウント停止)にする
 - (2) TRDFCRレジスタのCMD1、CMD0ビットを00b (タイマモード、PWMモード、PWM3モード)にする
 - (3) CMD1、CMD0ビットを01b (リセット同期PWMモード)にする
 - (4) その他のタイマRD関連レジスタを再設定する
- カウントスタートに関する注意事項
 - (1) タイマ値とコンペアレジスタ値を同一設定にした場合は、カウントスタート禁止です。
 - (2) カウント停止からの再開時は、カウントを停止した時のタイマ値とコンペアレジスタが異なることを確認して再開してください。値が同じ場合は、タイマ値を書き換えて再開してください。

18.4.6 相補PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- TRDFCRレジスタのCMD0、CMD1ビットを変更するときは、次の手順で変更してください。
[変更手順：相補PWMモードにする場合(再設定含む)または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合]
 - TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも0(カウント停止)にする
 - TRDFCRレジスタのCMD1、CMD0ビットを00b(タイマモード、PWMモード、PWM3モード)にする
 - CMD1、CMD0ビットを10bまたは11b(相補PWMモード)にする
 - その他のタイマRD関連レジスタを再設定する
 [変更手順：相補PWMモードを止める場合]
 - TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも0(カウント停止)にする
 - CMD1、CMD0ビットを00b(タイマモード、PWMモード、PWM3モード)にする
- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。
PWM波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。
ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みに際しては、BFD0、BFC1、BFD1ビットを0(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを1(バッファレジスタ)にできます。
PWM周期は変更できません。
- TRDGRA0レジスタに設定した値を m とすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m-1 \rightarrow m \rightarrow m+1 \rightarrow m \rightarrow m-1$ とカウントします。
 $m \rightarrow m+1$ のとき、TRDSRiレジスタのIMFAビットが1になります。また、TRDFCRレジスタのCMD1、CMD0ビットが11b(相補PWMモード、TRD0とTRDGRA0レジスタのコンペアー一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
 $m+1 \rightarrow m \rightarrow m-1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

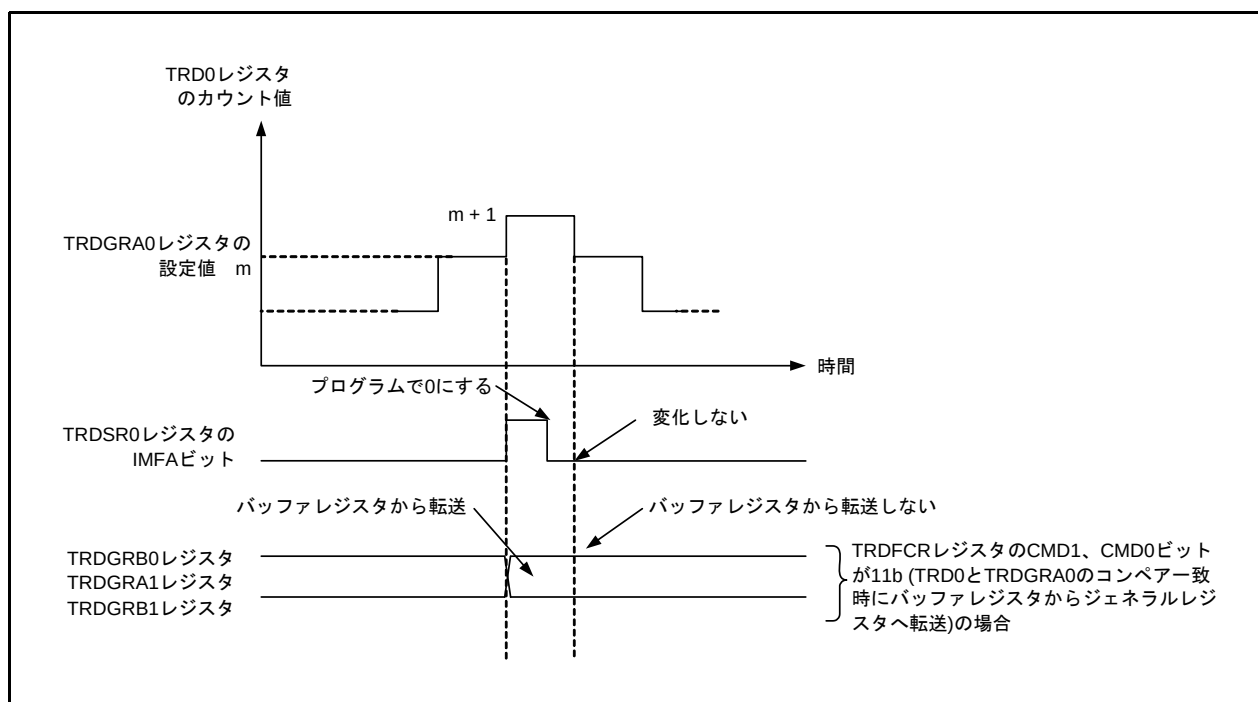


図18.25 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペアー一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、 $1 \rightarrow 0 \rightarrow \text{FFFFh} \rightarrow 0 \rightarrow 1$ とカウントします。

$1 \rightarrow 0 \rightarrow \text{FFFFh}$ の動作によって、TRDSR_iレジスタのUDFビットが1になります。また、TRDFCRレジスタのCMD1、CMD0ビットが10b (相補PWMモード、TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ (TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ (TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。

$\text{FFFFh} \rightarrow 0 \rightarrow 1$ の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、TRDSR_iレジスタのOVFビットは変化しません。

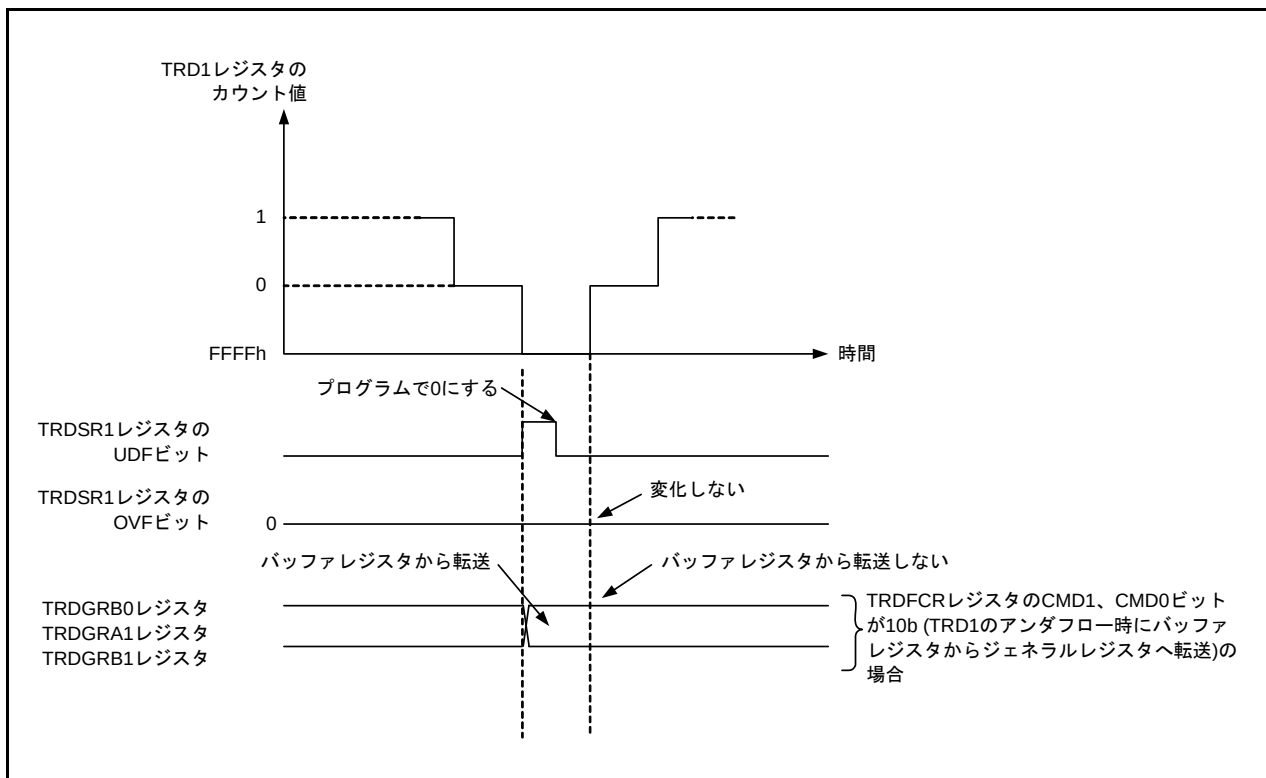


図18.26 相補PWMモード TRD1がアンダフローしたときの動作

- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタの CMD0、CMD1 ビットで選択してください。ただし、次の場合は CMD0、CMD1 ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値 $\geq$ TRDGRA0 レジスタの値の場合

TRD1 レジスタのアンダフローで転送します。

その後、0001h 以上かつ TRDGRA0 レジスタの値より小さい値をバッファレジスタに設定すると、設定後 1 回目に TRD1 レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降は CMD0、CMD1 ビットで選択したタイミングで転送します。

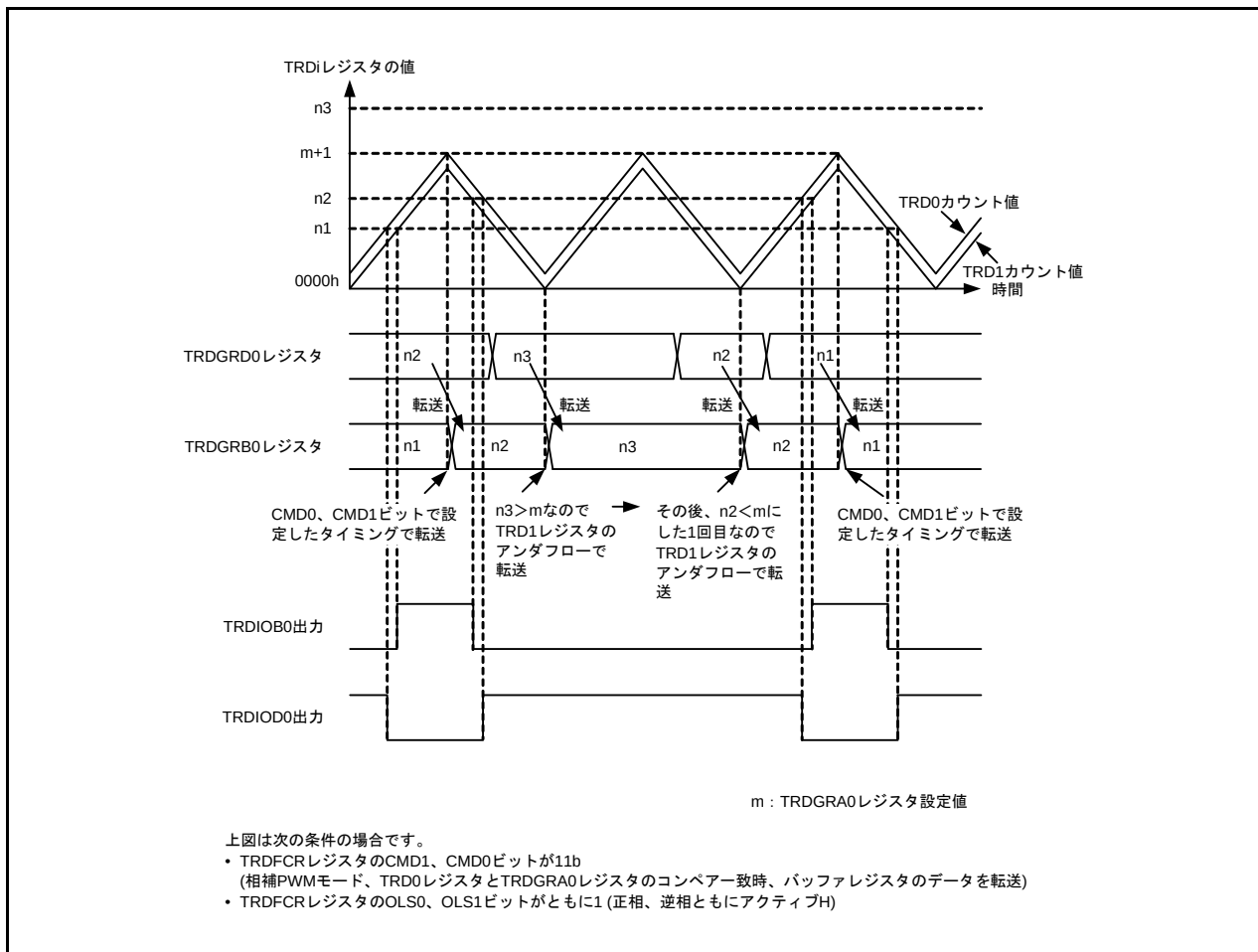


図 18.27 相補 PWM モード時のバッファレジスタの値 $\geq$ TRDGRA0 レジスタ値の場合の動作例 (i = 0、1)

バッファレジスタの値が0000hの場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、0001h以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD0、CMD1ビットで選択したタイミングで転送します。

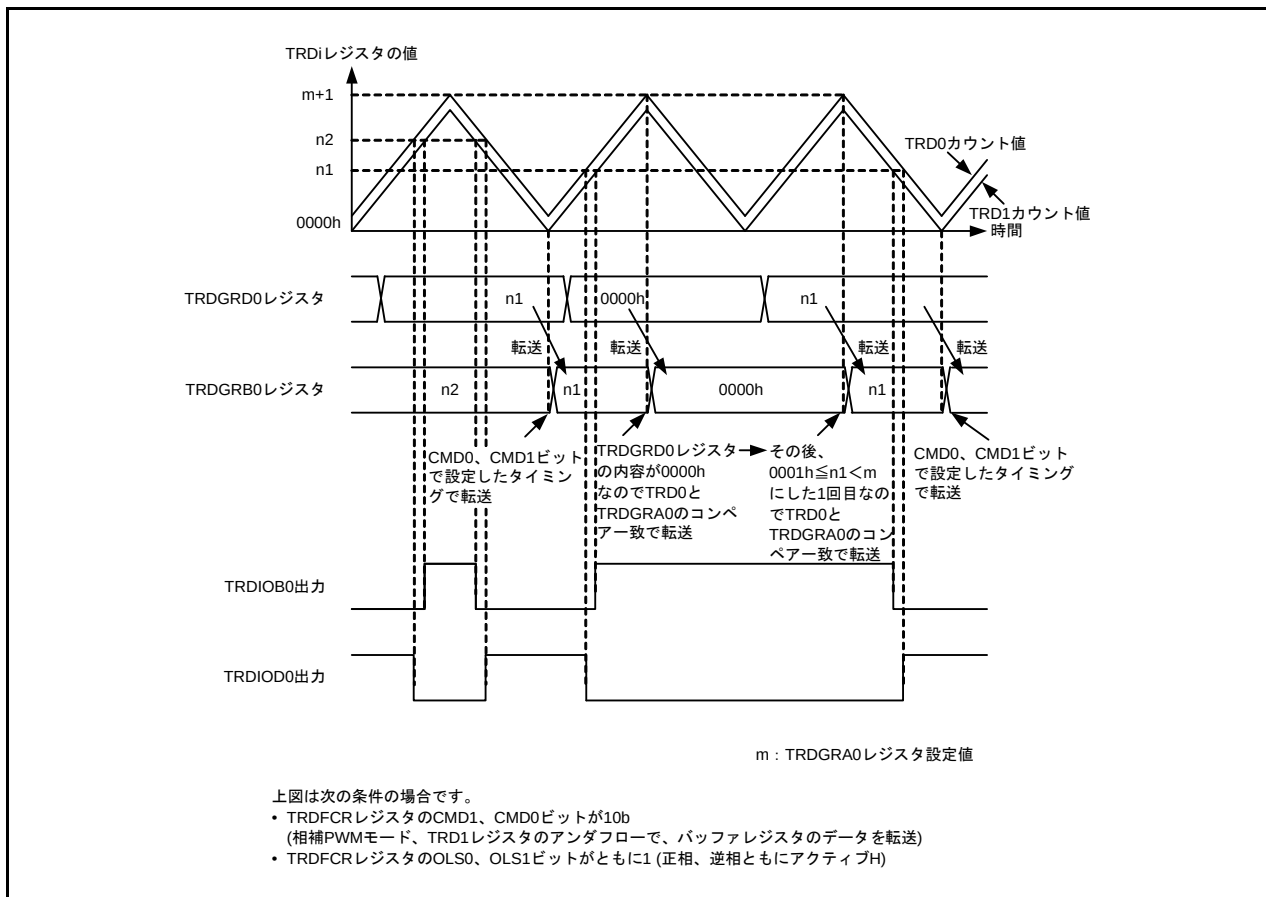


図18.28 相補PWMモード時のバッファレジスタの値が0000hの場合の動作例 (i = 0, 1)

・カウンタスタートに関する注意事項

- (1) タイマ値とコンペアレジスタ値を同一設定にした場合は、カウンタスタート禁止です。
- (2) カウンタ停止からの再開時は、カウンタを停止した時のタイマ値とコンペアレジスタが異なることを確認して再開してください。値が同じ場合は、タイマ値を書き換えて再開してください。

18.4.7 カウンタ停止時のインプットキャプチャ動作

インプットキャプチャ機能使用時、インプットキャプチャ信号 (TRDIORAi レジスタ (i = 0, 1) の IOj0、IOj1 ビット (j = A, B)、TRDIORCi レジスタの IOk0、IOk1 ビット (k = C, D) のいずれかで選択したエッジ) が TRDIOi 端子 (i = A, B, C, D) に入力されると、TRDSTR レジスタの TSTARTi ビットが0 (カウンタ停止) のときも、TRDSRi レジスタの IMF_n ビットが1になります。

19. タイマRE2

19.1 概要

タイマRE2は8ビットカウンタを持つタイマです。

タイマRE2は次のモードを持ちます。

- コンペアー一致タイマモード
カウントソースをカウントし、コンペアー一致でカウンタを初期化するモード

表 19.1 にコンペアー一致タイマモードの仕様を、図 19.1 にコンペアー一致タイマモードのブロック図を、表 19.2 にタイマRE2の端子構成を示します。

表19.1 コンペアー一致タイマモードの仕様

項目	内容
カウントソース	f8、f32、f128、f256、f512、f2048、f4096、f8192
カウント	カウント開始またはカウント停止を選択
リセット	TRECRレジスタのRTCRSTビットによるリセット
割り込み	• コンペアー一致割り込み • オーバフロー割り込み
TMRE2O 端子機能	次のいずれかを選択 • プログラブル入出力ポート • f4、f8、f16、f32のいずれかを出力 • コンペアー一致ごとのトグル出力 • モジュール単体でスタンバイ状態に設定可能

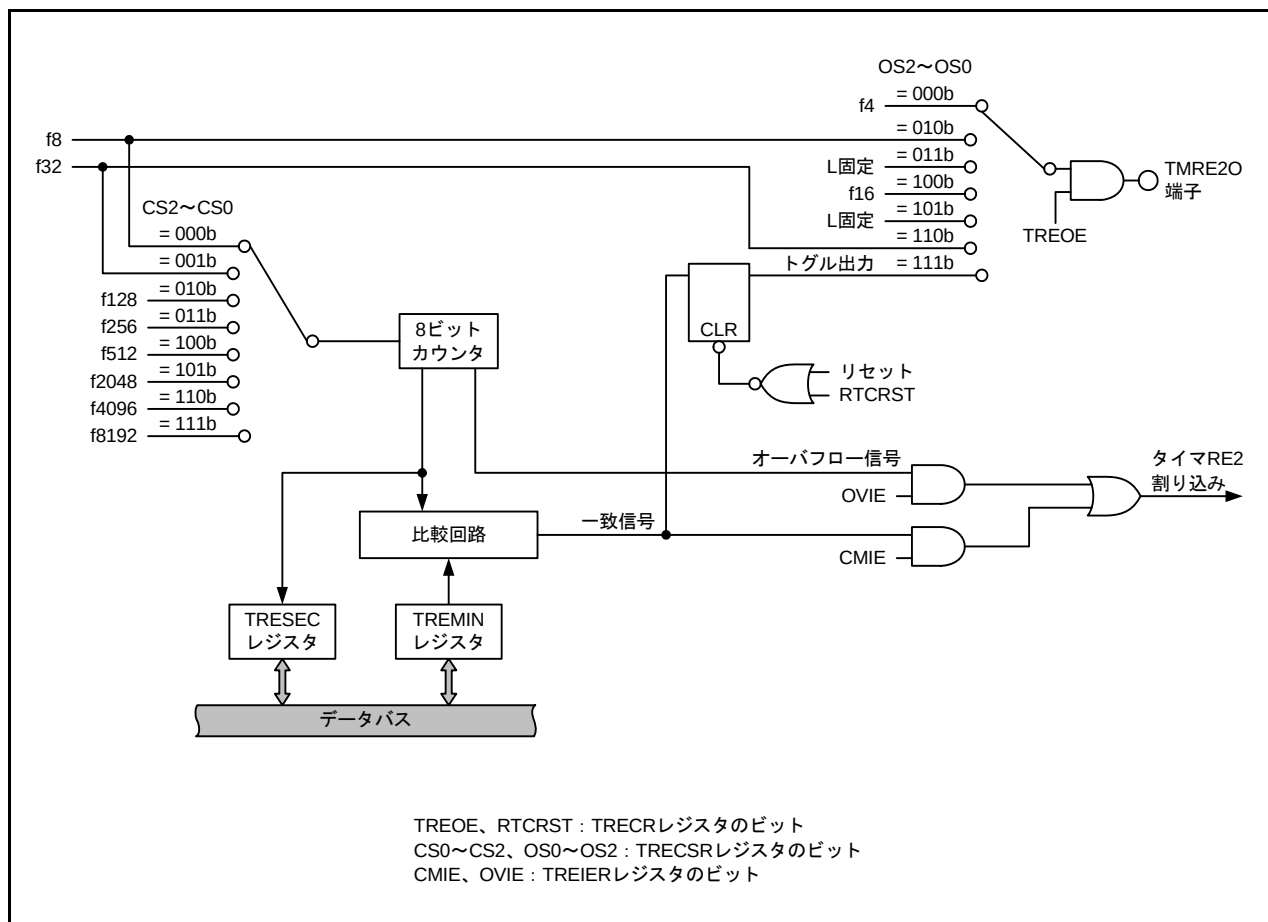


図 19.1 コンペアー一致タイマモードのブロック図

表 19.2 タイマRE2の端子構成

端子名	入出力	機能
TMRE2O	出力	タイマRE2クロック出力

19.2 レジスタの説明

表19.3にタイマRE2のレジスタ構成を示します。

表19.3 タイマRE2のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
タイマRE2カウンタデータレジスタ	TRESEC	00h	00170h	8
タイマRE2コンペアデータレジスタ	TREMIN	00h	00171h	8
タイマRE2制御レジスタ	TRECR	00000100b	00177h	8
タイマRE2カウントソース選択レジスタ	TRECSR	00001000b	00178h	8
タイマRE2割り込みフラグレジスタ	TREIFR	00h	0017Ah	8
タイマRE2割り込み許可レジスタ	TREIER	00h	0017Bh	8
タイマRE2プロテクトレジスタ	TREPRC	00h	0017Fh	8

19.2.1 タイマRE2カウンタデータレジスタ (TRESEC)

アドレス 00170h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
TRECR レジスタの RTCRST ビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7～b0	8ビットカウンタのデータが読めます。 タイマRE2のカウントが停止しても、カウント値は保持されます。 TRECR レジスタのCCLR ビットが0のときは、コンペアー一致しても、そのままカウントを継続し、 CCLR ビットが1のときは、TRESEC レジスタは00hになります。	R

19.2.2 タイマ RE2 コンペアデータレジスタ (TREMINT)

アドレス 00171h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MN7	MN6	MN5	MN4	MN3	MN2	MN1	MN0
リセット後の値	0	0	0	0	0	0	0	0
TRECR レジスタの RTCRST ビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MN0	コンペアデータビット0	8ビットのコンペアデータを格納します。 コンペア値を書いてください(注1)。	R/W
b1	MN1	コンペアデータビット1		R/W
b2	MN2	コンペアデータビット2		R/W
b3	MN3	コンペアデータビット3		R/W
b4	MN4	コンペアデータビット4		R/W
b5	MN5	コンペアデータビット5		R/W
b6	MN6	コンペアデータビット6		R/W
b7	MN7	コンペアデータビット7		R/W

注1. TREMIN レジスタは、TREPRC レジスタの PROTECT ビットが1 (書き込み許可) のときに変更できます。

TREMINT レジスタは、TRESEC レジスタと常に比較されており、両レジスタの値が一致すると、TREIFR レジスタの CMIF ビットが1 (割り込み要求あり) になります。TREIER レジスタの CMIE ビットが1 (コンペア一致割り込み許可) のとき割り込み要求を発生します。

TREMINT レジスタは、TRECR レジスタの RUN ビットが0 (カウント停止) のときに書き込んでください。

19.2.3 タイマRE2制御レジスタ (TRECR)

アドレス	00177h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RUN	—	—	RTCRST	CCLR	—	TREOE	—
リセット後の値	0	0	0	0	0	1	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	0	0	X (注1)	X (注1)	1	X (注1)	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	TREOE	タイマRE2出力許可ビット	0 : TMRE2O出力禁止 1 : TMRE2O出力許可	R/W
b2	—	予約ビット	1にしてください	R
b3	CCLR	カウンタクリア許可ビット	0 : コンペアー一致によるTRESECレジスタの初期化を禁止 1 : コンペアー一致によるTRESECレジスタの初期化を許可	R/W
b4	RTCRST	タイマRE2リセットビット (注2、3)	0 : 通常動作 1 : 各レジスタが初期化され、カウンタ制御回路が初期化される	R/W
b5	—	予約ビット	0にしてください	R/W
b6	—			
b7	RUN	タイマRE2動作開始ビット (注3、4)	0 : カウント停止 1 : カウント開始	R/W

注1. XはRTCRSTビットでクリアされないビットであることを示しています。

注2. RTCRSTビットを1にした後は、0にしてください。初期化される値については、各レジスタのRTCRSTビットによるリセット後の値を参照してください。

注3. リセット解除後と、TRECRのRTCRSTビットによるタイマREリセット後はL出力。RUNビットを0(カウント停止)にすると出力レベルを保持。

注4. カウント停止中はカウント値を保持。

TREOEビット(タイマRE2出力許可ビット)

RUNビットが0(カウント停止)のときに変更してください。

CCLRビット(カウンタクリア許可ビット)

RUNビットが0(カウント停止)のときに変更してください。

TRESECレジスタとTREMINレジスタがコンペアー一致したとき、TRESECレジスタ(8ビットカウンタ)を初期化するかどうかを選択します。

19.2.4 タイマRE2カウントソース選択レジスタ (TREC SR)

アドレス 00178h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	OS2	OS1	OS0	CS3	CS2	CS1	CS0
リセット後の値	0	0	0	0	1	0	0	0
TRECRレジスタの RTCRSTビットに よるリセット後の値	0	X(注1)	X(注1)	X(注1)	X(注1)	X(注1)	X(注1)	X(注1)

ビット	シンボル	ビット名	機能	R/W
b0	CS0	カウントソース選択ビット (注2)	コンペアー一致タイマモードでは、次の値を設定してください。 b3 b2 b1 b0 0 0 0 0 : f8 0 0 0 1 : f32 0 0 1 0 : f128 0 0 1 1 : f256 0 1 0 0 : f512 0 1 0 1 : f2048 0 1 1 0 : f4096 0 1 1 1 : f8192 上記以外 : 設定しないでください	R/W
b1	CS1			R/W
b2	CS2			R/W
b3	CS3			R/W
b4	OS0	タイマRE2出力選択ビット	b6 b5 b4 0 0 0 : f4 0 0 1 : 設定しないでください 0 1 0 : f8 0 1 1 : L固定 1 0 0 : f16 1 0 1 : L固定 1 1 0 : f32 1 1 1 : コンペアー一致ごとのトグル出力	R/W
b5	OS1			R/W
b6	OS2			R/W
b7	—	予約ビット	0にしてください	R/W

注1. XはRTCRSTビットでクリアされないビットであることを示しています。

注2. リセット解除後は1000bとなりますが、動作時は、必ず書き換える必要があります。

CS0～CS3ビット(カウントソース選択ビット)

TREC RレジスタのRUNビットが0(カウント停止)のときに変更してください。

OS0～OS2ビット(タイマRE2出力選択ビット)

RUNビットが0(カウント停止)のときに変更してください。

TREC RレジスタのTREQEビットが1(TMRE2O出力許可)の場合に有効です。

OS2～OS0ビットに111bを書くと、内部出力レベルはLになります。

19.2.5 タイマ RE2 割り込みフラグレジスタ (TREIFR)

アドレス	0017Ah							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	OVIF	CMIF
リセット後の値	0	0	0	0	0	0	0	0
TRECR レジスタの RTCRST ビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMIF	コンペアー一致割り込みフラグ	0：割り込み要求なし	R/W
b1	OVIF	オーバフロー割り込みフラグ	1：割り込み要求あり	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—			W
b4	—			W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—	予約ビット	0にしてください	R/W

CMIF ビット (コンペアー致割り込みフラグ)

[0になる条件]

- 読んだ後、0を書く。読んだ結果が1の場合、同じビットに0を書くと0になります。
- DTCからの割り込み自動クリアのとき

[1になる条件]

- TRESEC レジスタの内容と TREMIN レジスタの内容が一致。

なお、読んだ結果が0の場合、同じビットに0を書いても変化しません。読んだ後で、0から1に変化した場合、0を書いても1のままです。1を書いた場合は変化しません。

OVIF ビット (オーバフロー割り込みフラグ)

[0になる条件]

- 読んだ後、0を書く。読んだ結果が1の場合、同じビットに0を書くと0になります。
- DTCからの割り込み自動クリアのとき

[1になる条件]

- 8ビットカウンタがオーバフロー。

なお、読んだ結果が0の場合、同じビットに0を書いても変化しません。読んだ後で、0から1に変化した場合、0を書いても1のままです。1を書いた場合は変化しません。

19.2.6 タイマ RE2 割り込み許可レジスタ (TREIER)

アドレス 0017Bh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	OVIE	CMIE
リセット後の値	0	0	0	0	0	0	0	0
TRECR レジスタの RTCRST ビットに よるリセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMIE	コンペアー致割り込み許可ビット	0: コンペアー致割り込み禁止 1: コンペアー致割り込み許可	R/W
b1	OVIE	オーバフロー割り込み許可ビット	0: オーバフロー割り込み禁止 1: オーバフロー割り込み許可	R/W
b2	—	予約ビット	0にしてください	R/W
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

TREIER レジスタは、TRECR レジスタの RUN ビットが 0 (カウント停止) のときに書き込んでください。

19.2.7 タイマ RE2 プロテクトレジスタ (TREPRC)

アドレス 0017Fh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	PROTECT	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0
TRECR レジスタの RTCRST ビットに よるリセット後の値	X (注1)	X (注1)	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	—			
b4	—			
b5	—			
b6	—	予約ビット	0にしてください	R/W
b7	PROTECT	プロテクトビット	TREMIN レジスタへの書き込み 0: 書き込み禁止 1: 書き込み許可	R/W

注1. XはRTCRSTビットでクリアされないビットであることを示しています。

PROTECT ビット (プロテクトビット)

TREMIN レジスタは、PROTECT ビットが 1 (書き込み許可) のときに変更できます。

PROTECT ビットは、プログラムで 1 を書くと、その後 1 の状態が続きます。次の手順で変更してください。

- (1) PROTECT ビットに 1 を書く
- (2) TREMIN レジスタに値を書く
- (3) PROTECT ビットに 0 (書き込み禁止) を書く

19.3 コンペアー一致タイマモードの動作説明

19.3.1 動作例

19.3.2 関連レジスタの設定例

図 19.2 にコンペアー一致タイマモードでタイマRE2を使用する場合の初期設定手順を、図 19.3 にコンペアー一致タイマモードの動作例を示します。また、レジスタの再設定を行う場合も、図 19.2 に従ってください。

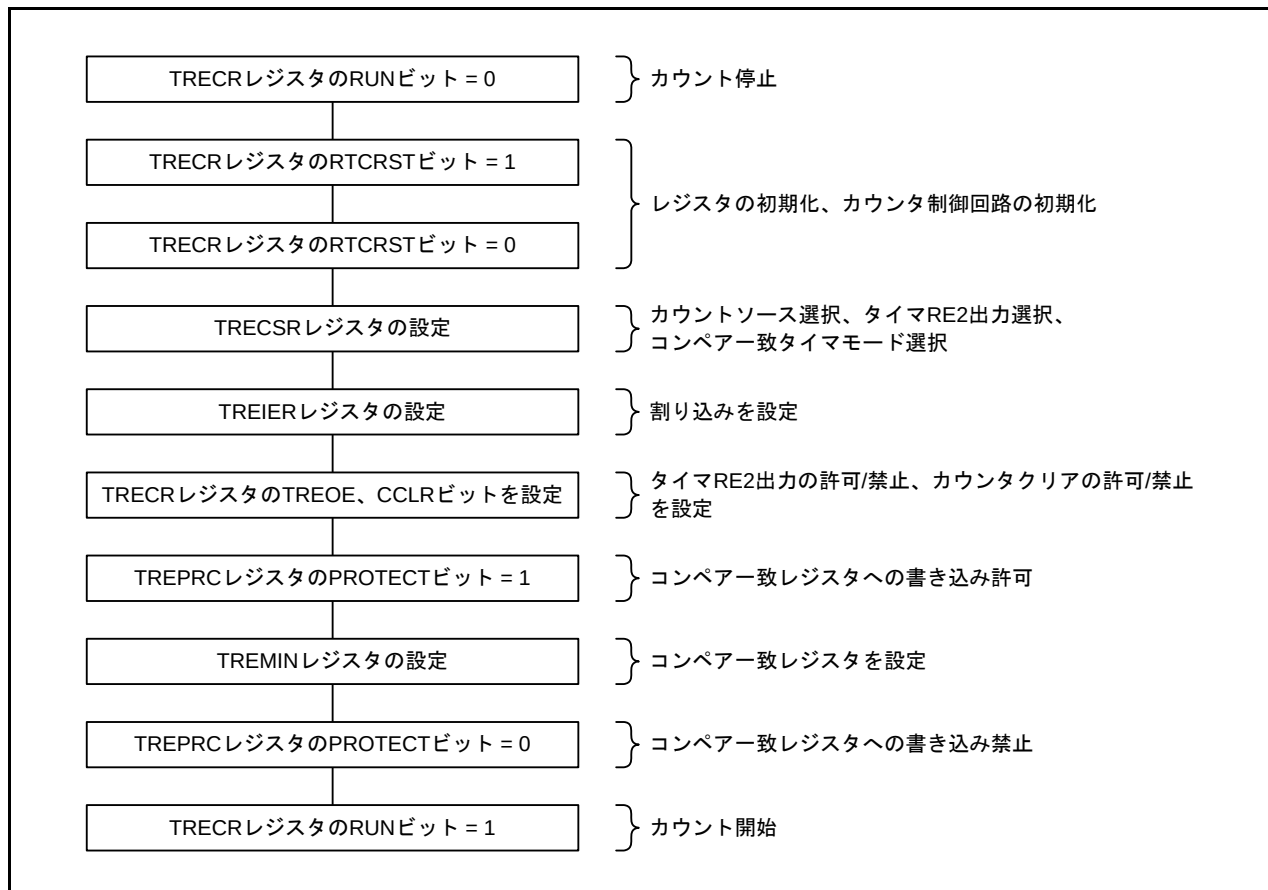


図 19.2 コンペアー一致タイマモードでタイマRE2を使用する場合の初期設定手順

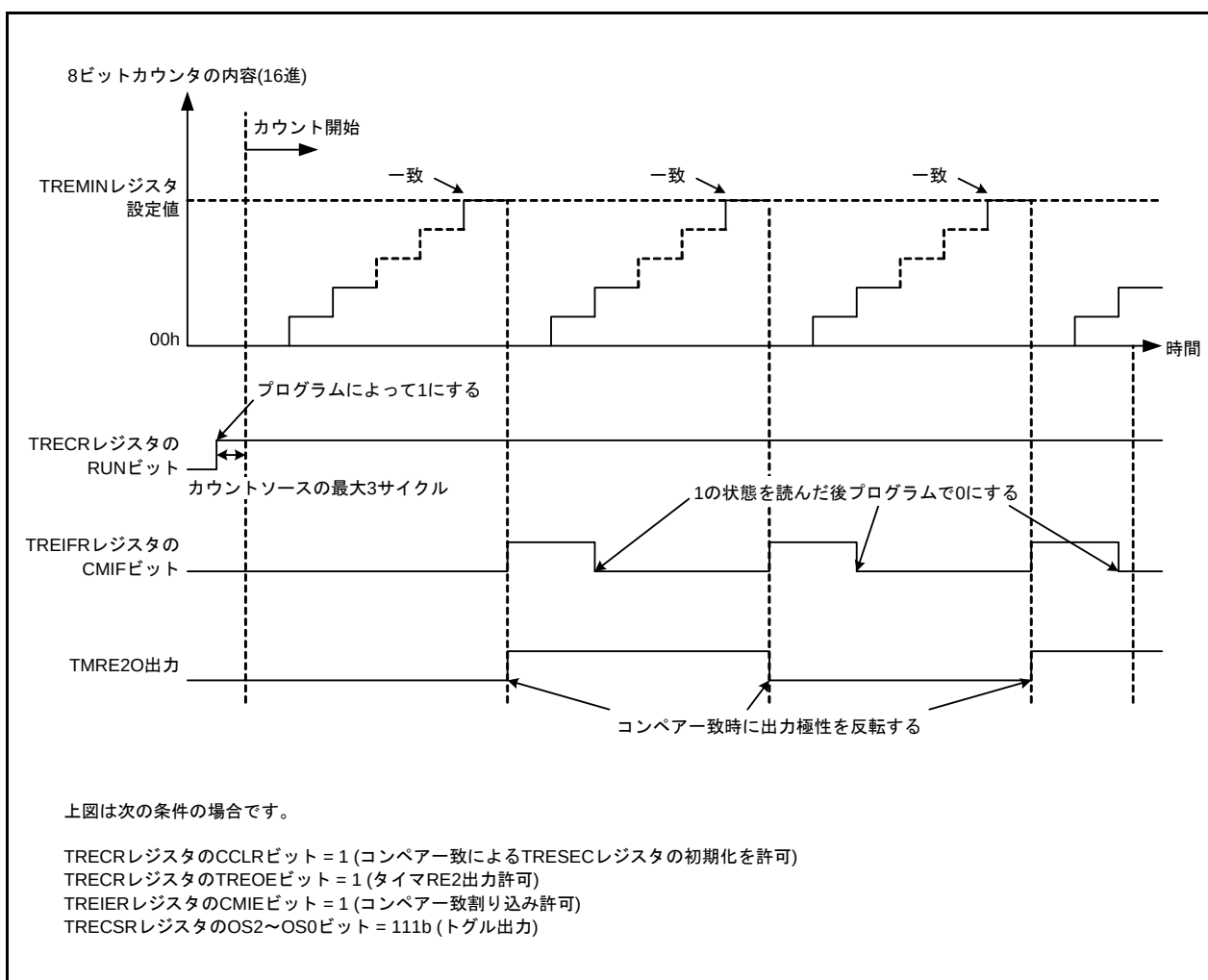


図 19.3 コンペアー一致タイマモードの動作例

19.4 割り込み要因

タイマRE2の割り込み要因を次に示します。

- コンペアー一致割り込み
- オーバフロー割り込み

表19.4にタイマRE2の割り込み要因を示します。

割り込みを使用する場合、TREC R レジスタのRUNビットが0(カウント停止)の状態、必要な設定をした後、RUNビットを1(カウント開始)にしてください。

コンペアー一致タイマがオーバフローしたとき、TREIFRレジスタのOVIFビットが1(割り込み要求あり)になります。TRIERレジスタのOVIEビットが1(オーバフロー割り込み許可)のとき、割り込み要求を発生します。

コンペアー一致タイマがコンペアー一致したとき、TREIFRレジスタのCMIFビットが1(割り込み要求あり)になります。TRIERレジスタのCMIEビットが1(コンペアー一致割り込み許可)のとき、割り込み要求を発生します。

表19.4 タイマRE2の割り込み要因

要因	動作モード	要因名	割り込み要因	割り込み許可ビット
オーバフロー	コンペアー一致タイマモード	オーバフロー割り込み	コンペアー一致タイマがオーバフローしたとき	OVIE
コンペアー一致	コンペアー一致タイマモード	コンペアー一致割り込み	コンペアー一致タイマがコンペアー一致したとき	CMIE

19.5 タイマ RE2 使用上の注意事項

- TRECR レジスタの RUN ビットに 0 (カウント停止) を書き込むと、カウントソースの 3 サイクル後にカウントを停止します。
- モジュールスタンバイに移行する場合、TRECR レジスタの TREOE ビットを 0 (TMRE2O 出力禁止) に、RUN ビットを 0 (カウント停止) にした後、カウントソースの 3 サイクル以上経過してから、MSTCR3 レジスタの MSTTRE ビットを 1 (スタンバイ) にしてください。
- TRECR レジスタの TREOE ビットが 0 (TMRE2O 出力禁止) の状態で、TRECSR レジスタの OS0 ~ OS2 ビットを切り替えてください。
- TREIFR、TREIER レジスタの切り替えは次のとおりにしてください。
 - TREIFR レジスタの CMIF ビットが 0 (割り込み要求なし) の状態で、TREIER レジスタの CMIE ビットを切り替えてください。
 - TREIFR レジスタの OVIF ビットが 0 (割り込み要求なし) の状態で、TREIER レジスタの OVIE ビットを切り替えてください。
- OVIF ビットが 0 (割り込み要求なし) および CMIF ビットが 0 (割り込み要求なし) の状態で、TRECR レジスタの RTCRST ビットを設定してください。

20. シリアルインタフェース (UART0)

シリアルインタフェースは、UART0_0、UART0_1の2チャンネルで構成しています。
特に差異がない限り、本章ではUART0として説明します。

20.1 概要

UART0は、それぞれ専用の転送クロック発生用タイマを持ち、独立しています。クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/O (UART)モードの2種類のモードを持ちます。

表 20.1にUART0の仕様を、図 20.1にUART0のブロック図を、図 20.2に送受信部のブロック図を、表 20.2にUART0の端子構成を示します。詳細は「表 20.4 クロック同期形シリアルI/Oモードの仕様」、「表 20.6 クロック非同期形シリアルI/Oモードの仕様」を参照してください。

表 20.1 UART0の仕様

項目		内容
クロック同期形シリアルI/Oモード	転送データフォーマット	転送データ長8ビット
	転送クロック	- U0MRレジスタのCKDIRビットが0 (内部クロック) : $f_i/(2(n+1))$ $f_i = f_1, f_8, f_{32}$ n : U0BRGレジスタの設定値(00h~FFh) - U0MRレジスタのCKDIRビットが1 (外部クロック) : fEXT (CLK端子からの入力)
	エラー検出	オーバランエラー
クロック非同期形シリアルI/Oモード	転送データフォーマット	- キャラクタビット(転送データ) : 7、8、9ビット選択 - スタートビット : 1ビット - パリティビット : 奇数、偶数、なし選択 - ストップビット : 1、2ビット選択
	転送クロック	- U0MRレジスタのCKDIRビットが0 (内部クロック) : $f_j/(16(n+1))$ $f_j = f_1, f_8, f_{32}$ n : U0BRGレジスタの設定値(00h~FFh) - U0MRレジスタのCKDIRビットが1 (外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT} (CLK端子からの入力) n : U0BRGレジスタの設定値(00h~FFh)
	エラー検出	オーバランエラー (注1)、フレーミングエラー、パリティエラー、エラーサムフラグ
割り込み要因		送信バッファ空または送信完了割り込み(兼用)、受信完了割り込み
選択機能		U0C0レジスタのDFEビットにてデジタルフィルタ機能有無を選択可能

注1. オーバランエラーが発生した場合、U0RICレジスタのIRビットは1(割り込み要求あり)に変化します。

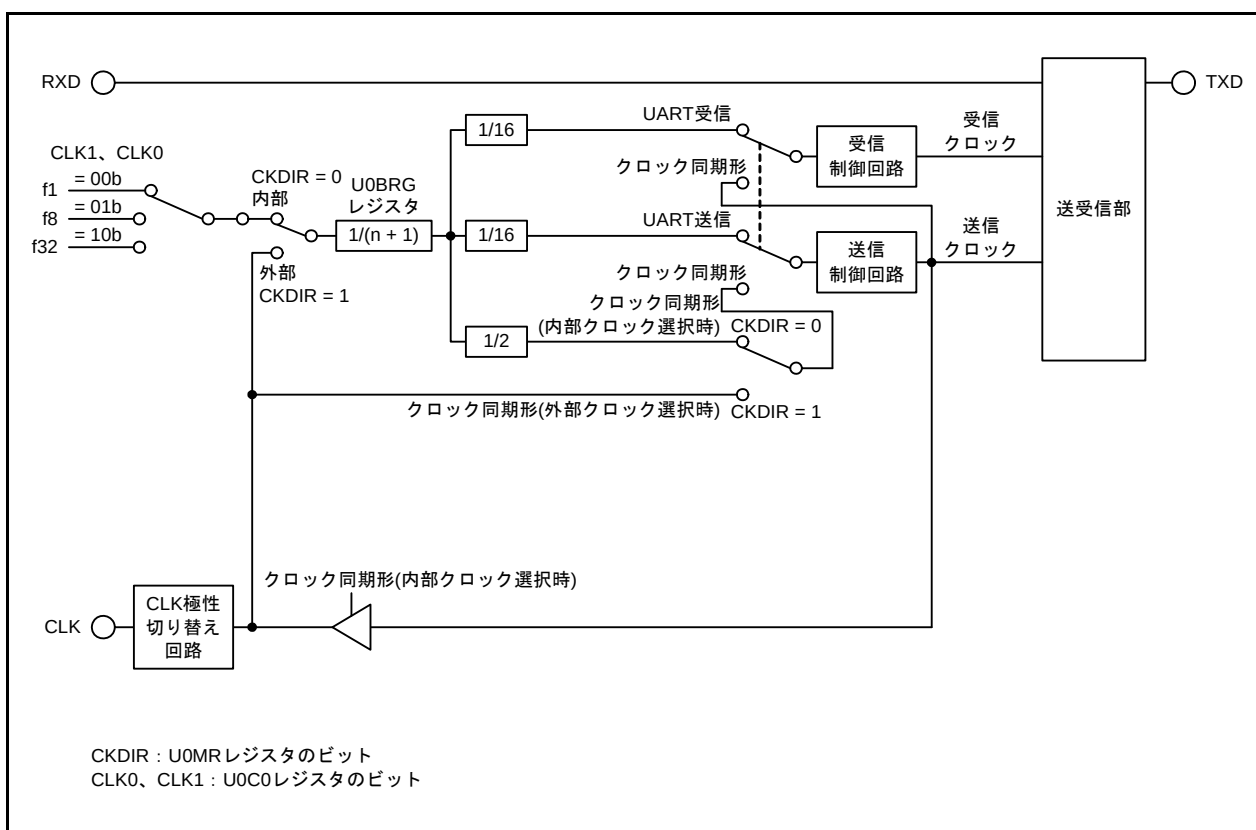


図 20.1 UART0のブロック図

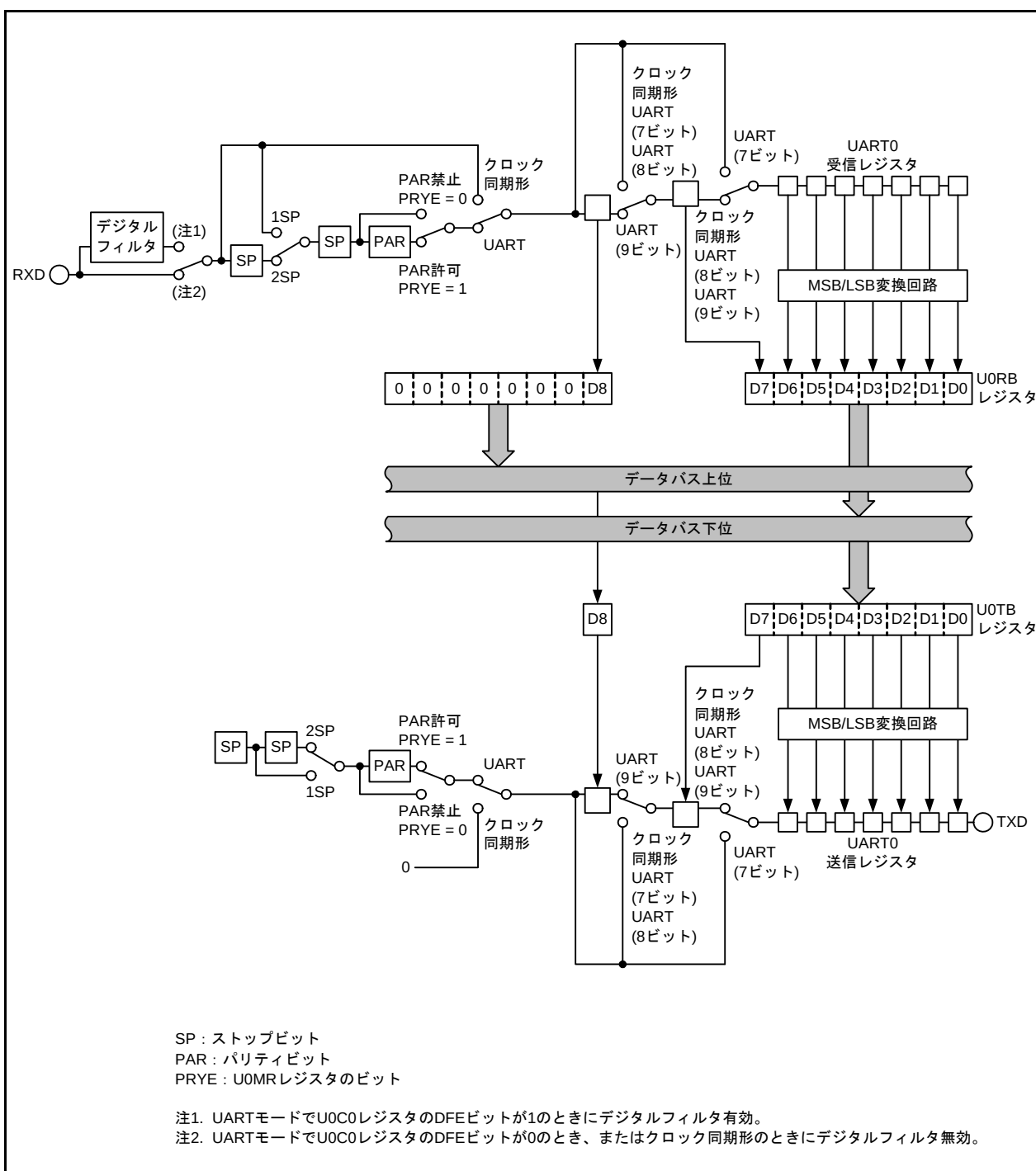


図 20.2 送受信部のブロック図

表 20.2 UART0の端子構成

端子名	入出力	機能
CLK	入出力	転送クロック入出力
RXD	入力	シリアルデータ入力
TXD	出力	シリアルデータ出力

20.2 レジスタの説明

表20.3にUART0のレジスタ構成を示します。

表20.3 UART0のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
UART0_0送受信モードレジスタ	U0MR_0	00h	00080h	8
UART0_0ビットレートレジスタ	U0BRG_0	XXh	00081h	8
UART0_0送信バッファレジスタ	U0TB_0	XXh	00082h	8 (注1)
		XXh	00083h	8 (注1)
UART0_0送受信制御レジスタ0	U0C0_0	00001000b	00084h	8
UART0_0送受信制御レジスタ1	U0C1_0	00000010b	00085h	8
UART0_0受信バッファレジスタ	U0RB_0	XXXXh	00086h	16 (注1)
UART0_0割り込みフラグと許可レジスタ	U0IR_0	00h	00088h	8
UART0_1送受信モードレジスタ	U0MR_1	00h	00090h	8
UART0_1ビットレートレジスタ	U0BRG_1	XXh	00091h	8
UART0_1送信バッファレジスタ	U0TB_1	XXh	00092h	8 (注1)
		XXh	00093h	8 (注1)
UART0_1送受信制御レジスタ0	U0C0_1	00001000b	00094h	8
UART0_1送受信制御レジスタ1	U0C1_1	00000010b	00095h	8
UART0_1受信バッファレジスタ	U0RB_1	XXXXh	00096h	16 (注1)
UART0_1割り込みフラグと許可レジスタ	U0IR_1	00h	00098h	8

X：不定

注1. アクセス方法の詳細は、レジスタの説明を参照してください。

20.2.1 UART0送受信モードレジスタ (U0MR)

アドレス 00080h (U0MR_0)、00090h (U0MR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット (注1、3)	b2 b1 b0 0 0 0 : シリアルインタフェース無効(動作停止)	R/W
b1	SMD1		0 0 1 : クロック同期形シリアルI/Oモード	R/W
b2	SMD2		1 0 0 : UARTモード転送データ長7ビット	R/W
			1 0 1 : UARTモード転送データ長8ビット	
		1 1 0 : UARTモード転送データ長9ビット 上記以外 : 設定しないでください		
b3	CKDIR	内部/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック	R/W
b4	STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	R/W
b5	PRY	パリティ奇数/偶数選択ビット(注2)	0 : 奇数パリティ 1 : 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	R/W
b7	—	予約ビット	0にしてください	R/W

注1. U0MRレジスタのSMD2～SMD0ビットを000bにするときは、U0C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にしてください。

注2. PRYビットは、PRTYEビットが1(パリティ許可)のときに有効です。

注3. SMD2～SMD0ビットが001b(クロック同期形シリアルI/Oモード)のとき、U0RBレジスタのエラーフラグ(FER、PER、SUMビット)は無効です。読んだ場合、その値は不定です。

20.2.2 UART0 ビットレートレジスタ (U0BRG)

アドレス 00081h (U0BRG_0)、00091h (U0BRG_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定範囲	R/W
b7～b0	設定値をnにすると、U0BRGはカウントソースをn+1分周します。	00h～FFh	W

U0BRG レジスタは、送受信停止中にMOV 命令を使用して書いてください。

U0C0 レジスタのCLK0、CLK1 ビットを設定した後、U0BRG レジスタに書いてください。

U0BRG レジスタは、連続書き込みをしないでください。

20.2.3 UART0 送信バッファレジスタ (U0TB)

アドレス 00082h (U0TB_0)、00092h (U0TB_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	機能	R/W
b0	—	送信データ (D8～D0)	W
b1	—		W
b2	—		W
b3	—		W
b4	—		W
b5	—		W
b6	—		W
b7	—		W
b8	—		W
b9	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。	—
b10	—		
b11	—		
b12	—		
b13	—		
b14	—		
b15	—		

転送データ長9ビットの場合、上位バイト (b15～b8)→下位バイト (b7～b0) の順で、8ビット単位で書いてください。

U0TB レジスタは、MOV 命令を使用して書いてください。

20.2.4 UART0 送受信制御レジスタ 0 (U0C0)

アドレス 00084h (U0C0_0)、00094h (U0C0_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	DFE	TXEPT	—	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	U0BRG カウントソース選択ビット (注1)	b1 b0 0 0 : f1	R/W
b1	CLK1		0 1 : f8	R/W
			1 0 : f32 1 1 : 設定しないでください	
b2	—	予約ビット	0にしてください	R/W
b3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	R
b4	DFE	RXD デジタルフィルタ許可ビット	0 : デジタルフィルタ禁止 1 : デジタルフィルタ許可	R/W
b5	NCH	データ出力選択ビット (注2)	0 : TXD 端子はCMOS出力 1 : TXD 端子はNチャネルオープンドレイン出力	R/W
b6	CKPOL	CLK 極性選択ビット (注3)	0 : 転送クロックの立ち下がりで送信データ出力、 立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、 立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット	0 : LSB ファースト 1 : MSB ファースト	R/W

注1. U0BRG カウントソースを変更した場合、U0BRG レジスタを再設定してください。

注2. UART0 を使用しないときは、NCH ビットを 0 (TXD 端子はCMOS出力) にしてください。

注3. CKPOL ビットは、クロック同期形シリアル I/O モードのときに有効です。

DFE ビット (RXD デジタルフィルタ許可ビット)

RXD デジタルフィルタ許可時は U0BRG レジスタで分周したクロックにて 3 パルス以下のノイズを除去します。

詳細は「20.3.2.3 RXD デジタルフィルタ」を参照してください。

クロック非同期形シリアル I/O モードのとき設定可能です。クロック同期形シリアル I/O モード時は 0 (デジタルフィルタ禁止) にしてください。

20.2.5 UART0送受信制御レジスタ1 (U0C1)

アドレス 00085h (U0C1_0)、00095h (U0C1_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	U0RRM	U0IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	R/W
b1	TI	送信バッファ空フラグ	0 : U0TB レジスタにデータあり 1 : U0TB レジスタにデータなし	R
b2	RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	R/W
b3	RI	受信完了フラグ(注1)	0 : U0RB レジスタにデータなし 1 : U0RB レジスタにデータあり	R
b4	U0IRS	UART0送信割り込み要因選択ビット	0 : 送信バッファ空(TI = 1) 1 : 送信完了(TXEPT = 1)	R/W
b5	U0RRM	UART0連続受信モード許可ビット(注2)	0 : 連続受信モード禁止 1 : 連続受信モード許可	R/W
b6	—	予約ビット	0にしてください	R/W
b7	—			

注1. RIビットは、U0RBレジスタを読み出したとき、0 (U0RBレジスタにデータなし)になります。

注2. クロック同期形シリアルI/Oモード時のみ設定可能です。クロック非同期形シリアルI/Oモード時は0 (連続受信モード禁止)にしてください。

20.2.6 UART0 受信バッファレジスタ (U0RB)

アドレス 00086h (U0RB_0)、00096h (U0RB_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	SUM	PER	FER	OER	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b0	—	受信データ (D8～D0) (注2)		R
b1	—			R
b2	—			R
b3	—			R
b4	—			R
b5	—			R
b6	—			R
b7	—			R
b8	—			R
b9	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b10	—			
b11	—			
b12	OER	オーバランエラーフラグ(注1、3)	0：オーバランエラーなし 1：オーバランエラー発生	R
b13	FER	フレーミングエラーフラグ(注1、3)	0：フレーミングエラーなし 1：フレーミングエラー発生	R
b14	PER	パリティエラーフラグ(注1、3)	0：パリティエラーなし 1：パリティエラー発生	R
b15	SUM	エラーサムフラグ(注1、3)	0：エラーなし 1：エラー発生	R

注1. OER、FER、PER、SUMビットは、U0MRレジスタのSMD2～SMD0ビットを000b (シリアルインタフェース無効)にしたとき、またはU0C1レジスタのREビットを0 (受信禁止)にしたとき、0 (エラーなし)になります。SUMビットは、OER、FER、PERビットがすべて0 (エラーなし)になると、0 (エラーなし)になります。また、FER、PERビットは、U0RBレジスタを読み出したとき、0になります。

U0MRレジスタのSMD2～SMD0ビットを000bにするときは、U0C1レジスタのTEビットを0 (送信禁止)、REビットを0 (受信禁止)にしてください。

注2. U0C1レジスタのRIビットが1 (U0RBレジスタにデータあり)のとき、U0RBレジスタを読み出してください。

注3. U0MRレジスタのSMD2～SMD0ビットが001b (クロック同期形シリアルI/Oモード)のとき、これらのエラーフラグは無効です。読んだ場合、その値は不定です。

U0RBレジスタは、16ビット単位で読み出してください。

20.2.7 UART0割り込みフラグと許可レジスタ(U0IR)

アドレス 00088h (U0IR_0)、00098h (U0IR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	U0TIE	U0RIE	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			—
b2	U0RIE	UART0受信割り込み許可ビット	0：受信割り込み禁止 1：受信割り込み許可	R/W
b3	U0TIE	UART0送信割り込み許可ビット	0：送信割り込み禁止 1：送信割り込み許可	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			—
b6	—	予約ビット	0にしてください	R/W
b7	—			

20.3 動作説明

UART0は、クロック同期形シリアルI/Oモード、クロック非同期形シリアルI/O (UART)モードの2種類のモードを持ちます。

20.3.1 クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。

表20.4にクロック同期形シリアルI/Oモードの仕様を、表20.5にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表20.4 クロック同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	転送データ長8ビット
転送クロック	- U0MRレジスタのCKDIRビットが0 (内部クロック) : $f_i/(2(n+1))$ $f_i = f_1, f_8, f_{32}$ $n = U0BRG$レジスタの設定値(00h~FFh) - U0MRレジスタのCKDIRビットが1 (外部クロック) : fEXT (CLK端子からの入力)
送信開始条件	送信開始には、次の条件が必要(注1) - U0C1レジスタのTEビットが1 (送信許可) - U0C1レジスタのTIビットが0 (U0TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) - U0C1レジスタのREビットが1 (受信許可) - U0C1レジスタのTEビットが1 (送信許可) - U0C1レジスタのTIビットが0 (U0TBレジスタにデータあり)
割り込み要求発生タイミング	- 送信する場合(次の条件のいずれかを選択) - U0C1レジスタのU0IRSビットが0 (送信バッファ空) : U0TBレジスタからUART0送信レジスタへデータ転送時(送信開始時) - U0C1レジスタのU0IRSビットが1 (送信完了) : UART0送信レジスタからデータ送信完了時 - 受信する場合 UART0受信レジスタから、U0RBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー (注2) U0RBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	- CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 - LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択 - 連続受信モード選択 U0RBレジスタを読み出す動作により、同時に受信許可状態になる

注1. 外部クロックを選択している場合、次の状態で条件を満たしてください。

- U0C0レジスタのCKPOLビットが0 (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のとき、外部クロックがH
- CKPOLビットが1 (転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のとき、外部クロックがL

注2. オーバランエラーが発生した場合、U0RBレジスタの受信データ(b0~b8)は不定になります。
また、U0RICレジスタのIRビットは1(割り込み要求あり)に変化します。

表 20.5 クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
U0TB	b0～b7	送信データを設定してください。
U0RB	b0～b7	受信データが読めます。
	OER	オーバランエラーフラグ
U0BRG	b0～b7	ビットレートを設定してください。
U0MR	SMD2～SMD0	001b (クロック同期形シリアルI/Oモード)にしてください。
	CKDIR	内部クロックまたは外部クロックを選択してください。
U0C0	CLK0、CLK1	U0BRG カウントソース (f1、f8、f32) を選択してください。
	TXEPT	送信レジスタ空フラグ
	NCH	TXD 端子の出力形式 (CMOS 出力または N チャネル オープンドレイン 出力) を選択してください。
	CKPOL	転送クロックの極性を選択してください。
	UFORM	LSB ファーストまたは MSB ファーストを選択してください。
U0C1	TE	送信を許可する場合、1 にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、1 にしてください。
	RI	受信完了フラグ
	U0IRS	UART0 送信割り込み要因を、送信バッファ空または送信完了から選択してください。
	U0RRM	連続受信モード禁止または許可を選択してください。

注1. この表に記載していないビットに書く場合、0 を書いてください。

20.3.1.1 動作例

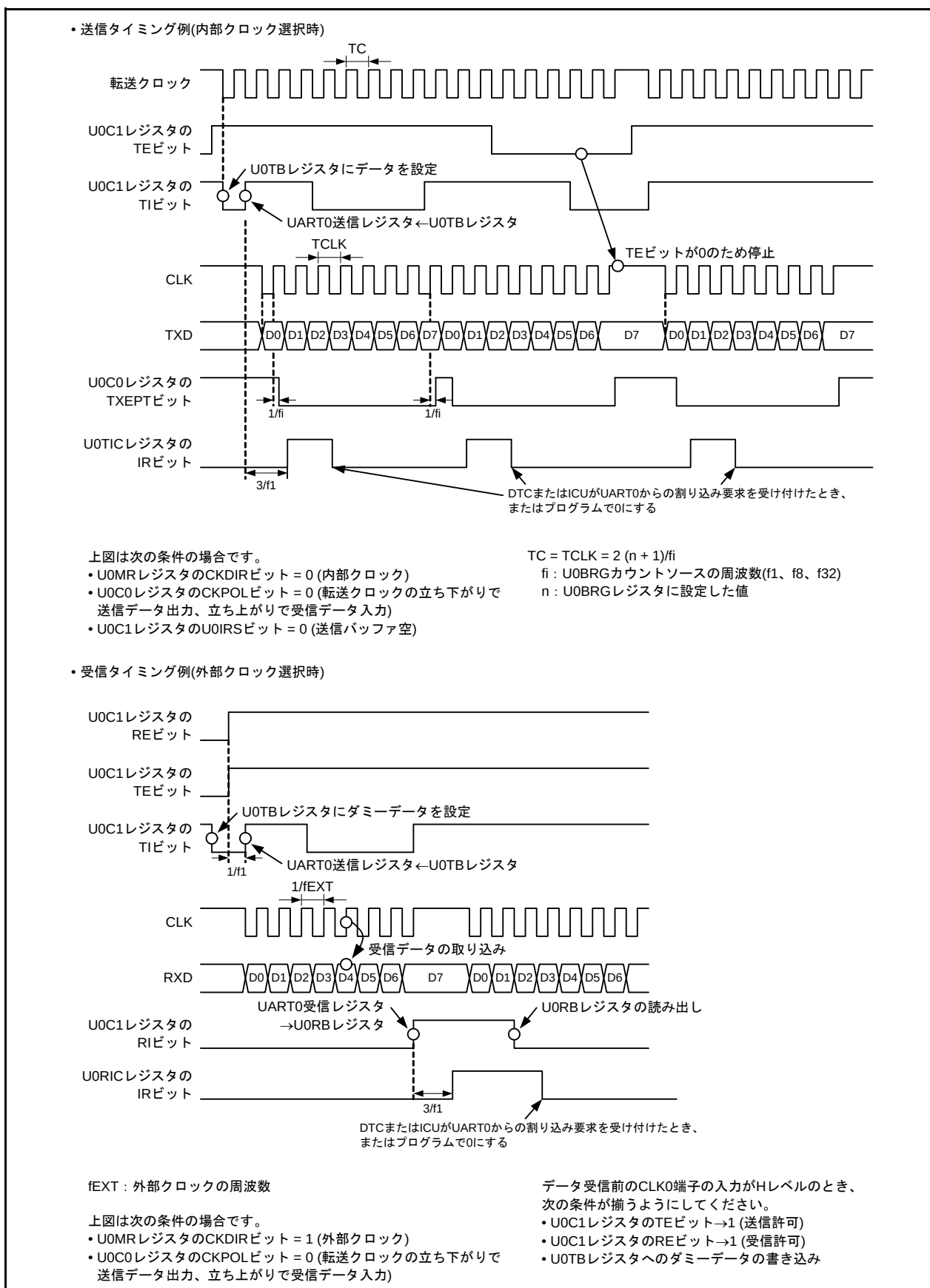


図 20.3 クロック同期形シリアルI/Oモード時の送受信タイミング図

20.3.1.2 極性選択機能

図 20.4 に転送クロックの極性を示します。

U0C0 レジスタの CKPOL ビットによって転送クロックの極性を選択できます。

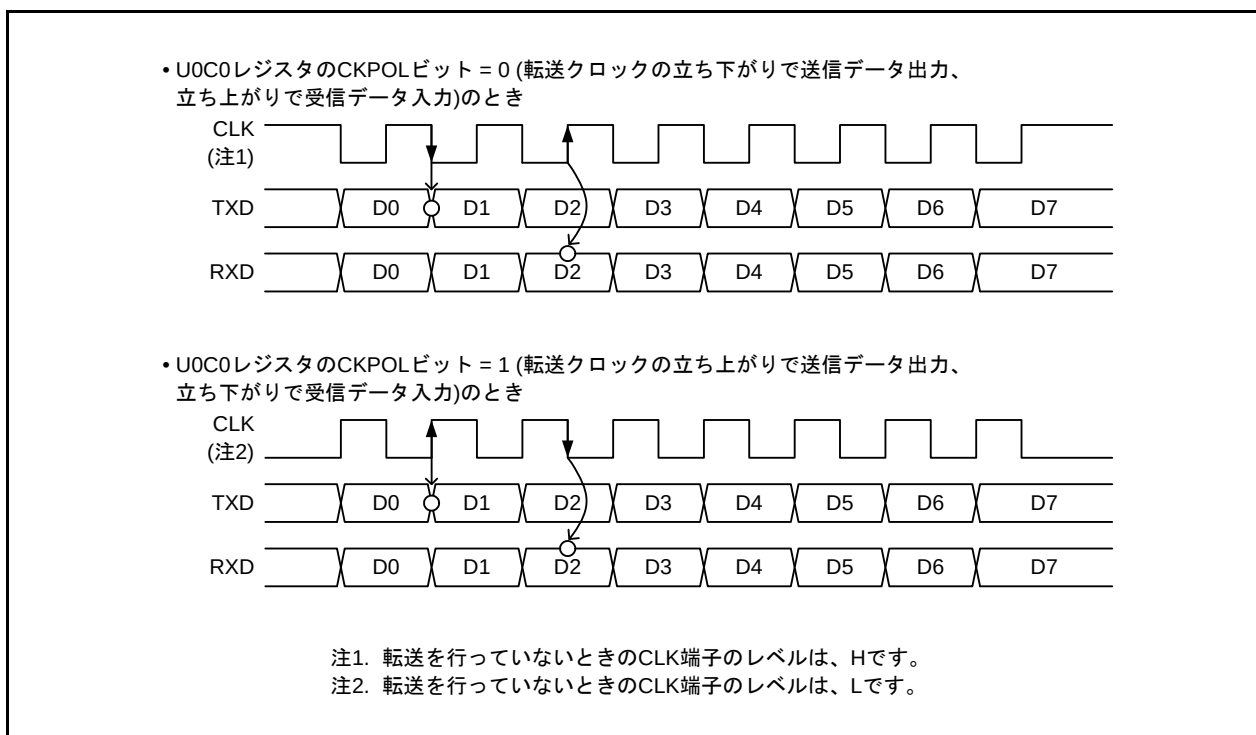


図 20.4 転送クロックの極性

20.3.1.3 LSB ファースト、MSB ファースト選択

図 20.5 に転送フォーマットを示します。

U0C0 レジスタの UFORM ビットで転送フォーマットを選択できます。

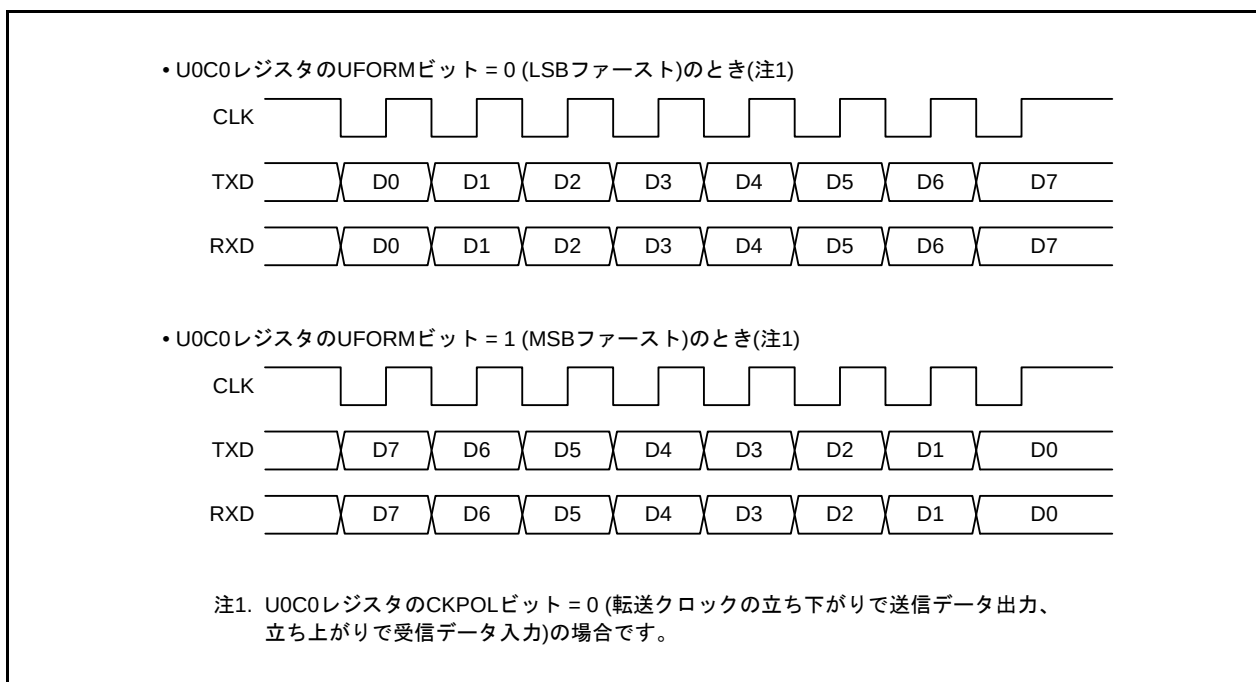


図 20.5 転送フォーマット

20.3.1.4 連続受信モード

U0C1 レジスタの U0RRM ビットを 1 (連続受信モード許可) にすることによって、連続受信モードになります。連続受信モードでは、U0RB レジスタを読むことで U0C1 レジスタの TI ビットが 0 (U0TB レジスタにデータあり) になります。U0RRM ビットが 1 の場合、プログラムで U0TB レジスタにダミーデータを書かないでください。

20.3.1.5 通信エラー発生時の対処方法

クロック同期形シリアル I/O モードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U0C1 レジスタの TE ビットを 0 (送信禁止)、RE ビットを 0 (受信禁止) にする
- (2) U0MR レジスタの SMD2～SMD0 ビットを 000b (シリアルインタフェース無効) にする
- (3) U0MR レジスタの SMD2～SMD0 ビットを 001b (クロック同期形シリアル I/O モード) にする
- (4) U0C1 レジスタの TE ビットを 1 (送信許可)、RE ビットを 1 (受信許可) にする

20.3.2 クロック非同期形シリアルI/O (UART) モード

クロック非同期形シリアルI/Oモードは、任意のビットレート、転送データフォーマットを設定して送受信を行うモードです。

表 20.6 にクロック非同期形シリアル I/O モードの仕様を、表 20.7 にクロック非同期形シリアル I/O モード時の使用レジスタと設定値を示します。

表 20.6 クロック非同期形シリアルI/Oモードの仕様

項目	仕様
転送データフォーマット	• キャラクタビット (転送データ) : 7、8、9 ビット選択 • スタートビット : 1 ビット • パリティビット : 奇数、偶数、なし選択 • ストップビット : 1、2 ビット選択
転送クロック	• U0MR レジスタの CKDIR ビットが 0 (内部クロック) : $f_j / (16(n + 1))$ $f_j = f_1, f_8, f_{32}$ $n = \text{U0BRG レジスタの設定値 (00h ~ FFh)}$ • U0MR レジスタの CKDIR ビットが 1 (外部クロック) : $f_{EXT} / (16(n + 1))$ f_{EXT} (CLK 端子からの入力) $n = \text{U0BRG レジスタの設定値 (00h ~ FFh)}$
送信開始条件	送信開始には、次の条件が必要 • U0C1 レジスタの TE ビットが 1 (送信許可) • U0C1 レジスタの TI ビットが 0 (U0TB レジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要 • U0C1 レジスタの RE ビットが 1 (受信許可) • スタートビットの検出
割り込み要求発生 タイミング	• 送信する場合 (次の条件のいずれかを選択) - U0C1 レジスタの U0IRS ビットが 0 (送信バッファ空) : U0TB レジスタから UART0 送信レジスタへデータ転送時 (送信開始時) - U0C1 レジスタの U0IRS ビットが 1 (送信完了) : UART0 送信レジスタからデータ送信完了時 • 受信する場合 UART0 受信レジスタから、U0RB レジスタへデータ転送時 (受信完了時)
エラー検出	• オーバランエラー (注 1) U0RB レジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの 1 つ前のビットを受信すると発生 • フレーミングエラー (注 2) 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー (注 2) パリティ許可時に、キャラクタビットとパリティビット中の 1 の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合 1 になる

注 1. オーバランエラーが発生した場合、U0RB レジスタの受信データ (b0 ~ b8) は不定になります。

また、U0RIC レジスタの IR ビットは 1 (割り込み要求あり) に変化します。

注 2. フレーミングエラーフラグ、パリティエラーフラグは、UART0 受信レジスタから U0RB レジスタにデータが転送されるときに 1 になります。

表 20.7 クロック非同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機能
U0TB	b0～b8	送信データを設定してください。(注1)
U0RB	b0～b8	受信データが読めます。(注2)
	OER	オーバランエラーフラグ
	FER	フレーミングエラーフラグ
	PER	パリティエラーフラグ
	SUM	エラーサムフラグ
U0BRG	b0～b7	ビットレートを設定してください。
U0MR	SMD2～SMD0	転送データ長7ビットの場合、100bにしてください。 転送データ長8ビットの場合、101bにしてください。 転送データ長9ビットの場合、110bにしてください。
	CKDIR	内部クロックまたは外部クロックを選択してください。
	STPS	1ストップビットまたは2ストップビットを選択してください。
	PRY、PRYE	パリティの有無、偶数、奇数を選択してください。
U0C0	CLK0、CLK1	U0BRG カウントソース (f1、f8、f32) を選択してください。
	TXEPT	送信レジスタ空フラグ
	DFE	デジタルフィルタ機能の有無を選択してください。
	NCH	TXD 端子の出力形式 (CMOS 出力または N チャネル オープンドレイン 出力) を選択してください。
	CKPOL	0 (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力) にしてください。
	UFORM	転送データ長8ビット時は、LSB ファーストまたはMSB ファーストを選択してください。 転送データ長7ビットまたは9ビット時は、0 (LSB ファースト) にしてください。
U0C1	TE	送信を許可する場合、1にしてください。
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、1にしてください。
	RI	受信完了フラグ
	U0IRS	UART0送信割り込み要因を、送信バッファ空または送信完了から選択してください。
	U0RRM	0 (連続受信モード禁止) にしてください。

注1. 使用するビットは次のとおりです。

- 転送データ長7ビット：ビットb0～b6
- 転送データ長8ビット：ビットb0～b7
- 転送データ長9ビット：ビットb0～b8

注2. 転送データ長7ビットの場合のビットb7、b8、転送データ長8ビットの場合のビットb8の内容は、不定です。

20.3.2.1 動作例

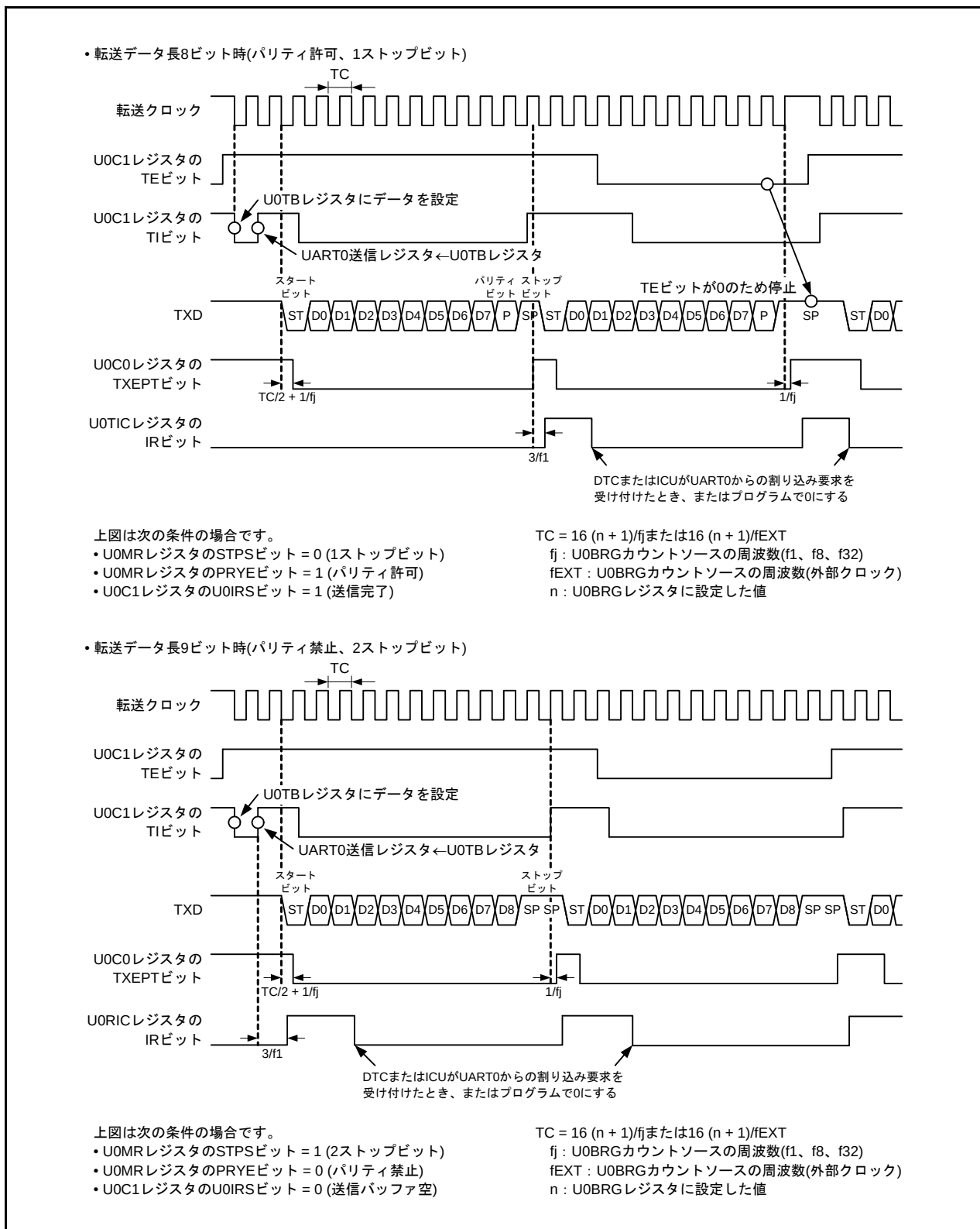


図 20.6 クロック非同期形シリアル I/O モード時の送信タイミング図

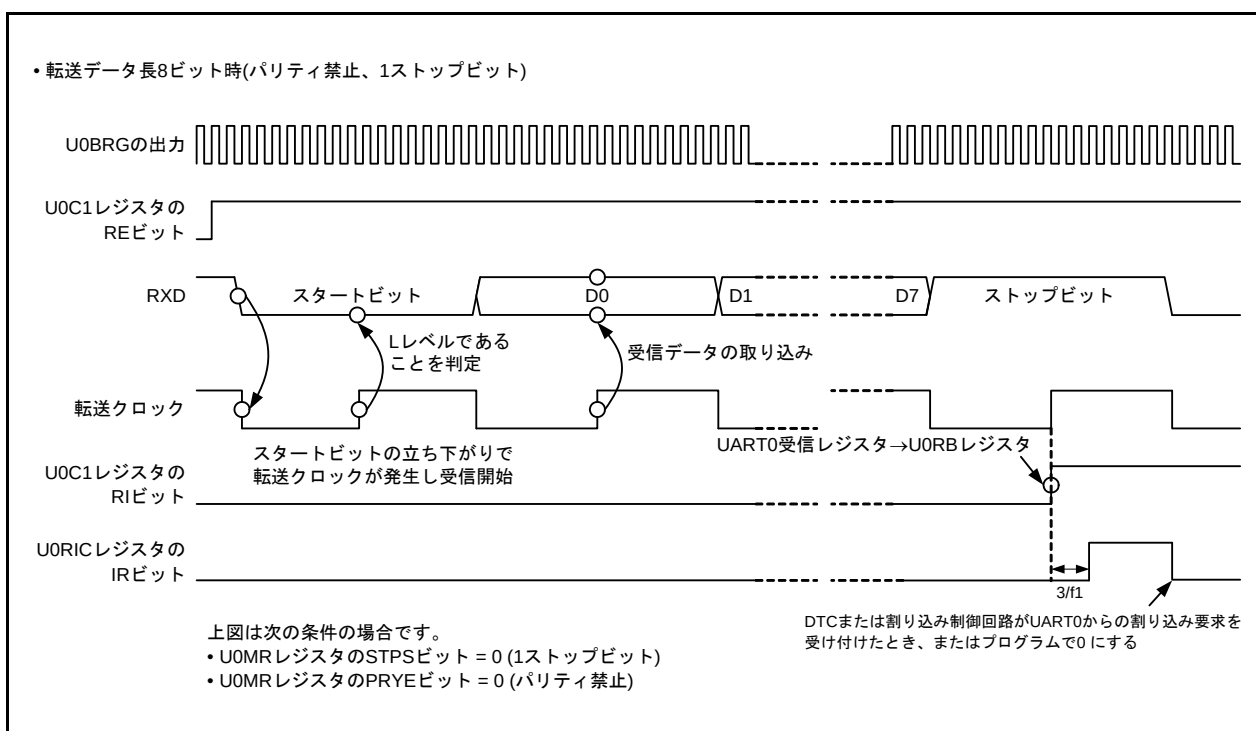


図 20.7 クロック非同期形シリアルI/Oモード時の受信タイミング図

20.3.2.2 ビットレート

クロック非同期形シリアル I/O モードでは、U0BRG レジスタで分周した周波数の 16 分周がビットレートになります。

U0BRG レジスタの設定値の算出式は、以下のようになります。

- 内部クロック選択時

$$\text{U0BRG レジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$$

f_j : U0BRG カウントソースの周波数 (f_1 、 f_8 、 f_{32})

- 外部クロック選択時

$$\text{U0BRG レジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$$

f_{EXT} : U0BRG カウントソースの周波数(外部クロック)

表 20.8 クロック非同期形シリアル I/O モード時のビットレート設定例(内部クロック選択時)

ビット レート (bps)	U0BRG カウント ソース	システムクロック = 20 MHz			システムクロック = 18.432 MHz (注1)			システムクロック = 8 MHz		
		U0BRG レジスタ の設定値	実時間 (bps)	設定 誤差 (%)	U0BRG レジスタ の設定値	実時間 (bps)	設定 誤差 (%)	U0BRG レジスタ の設定値	実時間 (bps)	設定 誤差 (%)
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	-1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	-0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	-0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	-1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	-1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	-3.55
115200	f1	10 (0Ah)	113636.36	-1.36	9 (09h)	115200.00	0.00	—	—	—

注1. システムクロックに高速オンチップオシレータを選択し、FRA2 レジスタの FRA22～FRA20 ビットを 000b (2 分周モード)にした場合です。高速オンチップオシレータの精度は「30. 電氣的特性」を参照してください。

20.3.2.3 RXD デジタルフィルタ

RXD デジタルフィルタ機能は、U0C0 レジスタの DFE ビットが 1 (デジタルフィルタ許可) のとき、RXD 入力信号のノイズ除去を行い内部に取り込む機能です。ノイズ除去回路は、3 段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD 入力が U0BRG レジスタで分周したクロックでサンプリングされ、3 つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、RXD 入力が連続して 3 クロック以上の期間、同一のレベルを保持した場合は信号として認識しますが、3 クロック未満の場合はノイズとして判断します。

図 20.8 に RXD デジタルフィルタのブロック図を示します。

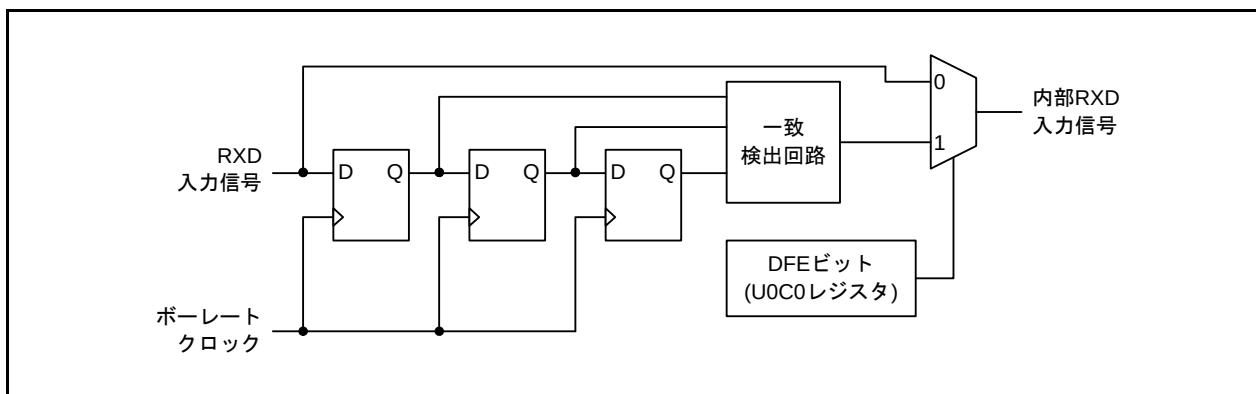


図 20.8 RXD デジタルフィルタのブロック図

20.3.2.4 通信エラー発生時の対処方法

UART モードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U0C1 レジスタの TE ビットを 0 (送信禁止)、RE ビットを 0 (受信禁止) にする
- (2) U0MR レジスタの SMD2 ～ SMD0 ビットを 000b (シリアルインタフェース無効) にする
- (3) U0MR レジスタの SMD2 ～ SMD0 ビットを 100b (UART モード転送データ長 7 ビット)、101b (UART モード転送データ長 8 ビット)、110b (UART モード転送データ長 9 ビット) のいずれかにする
- (4) U0C1 レジスタの TE ビットを 1 (送信許可)、RE ビットを 1 (受信許可) にする

20.4 UART0の割り込み

表20.9に割り込み要求一覧を示します。

表 20.9 割り込み要求一覧

割り込み要求	略称	割り込み発生条件
送信バッファ空	TEI	• U0C1 レジスタの U0IRS ビットが 0 (送信バッファ空) • TI ビットが 1 (U0TB レジスタにデータなし) • U0TIC レジスタの ILVL3 ~ ILVL0 ビットを 0000b 以外に設定 • U0IR レジスタの U0TIE ビットが 1
送信完了	TXI	• U0C1 レジスタの U0IRS ビットが 1 (送信完了) • TXEPT ビットが 1 (送信レジスタにデータなし) • U0TIC レジスタの ILVL3 ~ ILVL0 ビットを 0000b 以外に設定 • U0IR レジスタの U0TIE ビットが 1
受信完了	RXI	• U0C1 レジスタの RI ビットが 1 (U0RB レジスタにデータあり) • U0RIC レジスタの ILVL3 ~ ILVL0 ビットを 0000b 以外に設定 • U0IR レジスタの U0RIE ビットが 1

U0TIE、U0RIE : U0IR レジスタのビット

注1. 割り込み発生条件を満たし、FLG レジスタの I フラグが 1 のとき、CPU は割り込み例外処理を実行します。

20.5 シリアルインタフェース(UART0)使用上の注意事項

20.5.1 動作モード共通

20.5.1.1 レジスタアクセス

次のレジスタは、シリアルインタフェース無効時のみ設定変更可能です。シリアルインタフェース有効状態では切り替えないでください。

- U0MR_0、U0MR_1 レジスタ : CKDIR ビット
- U0C0_0、U0C0_1 レジスタ : CLK0、CLK1 ビット
- U0IR_0、U0IR_1 レジスタ : U0RIE、U0TIE ビット

また次のレジスタは、送受信停止中のみ設定変更可能です。送受信中には切り替えないでください。

- U0MR_0、U0MR_1 レジスタ : SMD0～SMD2、STPS、PRY、PRYE ビット
- U0BRG_0、U0BRG_1 レジスタ : b0～b7 ビット
- U0C0_0、U0C0_1 レジスタ : DFE、NCH、CKPOL、UFORM ビット
- U0C1_0、U0C1_1 レジスタ : U0IRS、U0RRM ビット

U0RB レジスタを読み出すときは、クロック同期形シリアル I/O モード、クロック非同期形シリアル I/O モードにかかわらず、16 ビット単位で読み出してください。

U0RB レジスタ上位バイト (b15～b8) を読み出したとき、U0RB レジスタの FER、PER ビットは 0 (フレーミングエラーなし、パリティエラーなし) になります。また、U0C1 レジスタの RI ビットも 0 (U0RB レジスタにデータなし) になります。

受信エラーは U0RB レジスタを読み出し後、読み出した値で確認してください。

- 受信バッファレジスタを読み出すプログラム例

```
MOV.W    0086H, R0      ; U0RB レジスタの読み出し
```

クロック非同期形シリアル I/O モードで転送データビット長 9 ビットの場合、U0TB レジスタに書くときは、上位バイト (b15～b8) → 下位バイト (b7～b0) の順で、8 ビット単位で書いてください。

- 送信バッファレジスタに書き込むプログラム例

```
MOV.B    #XXH, 0083H    ; U0TB レジスタ上位バイト (b15～b8) への書き込み
MOV.B    #XXH, 0082H    ; U0TB レジスタ下位バイト (b7～b0) への書き込み
```

- 通信中、MSTCR0 レジスタの MSTUART_0、MSTUART_1 ビットを 1 (スタンバイ) にしないでください。モジュールスタンバイにする場合、通信完了を判断してください。通信完了後、U0C1 レジスタの TE、RE ビットを 0 (通信禁止) にしてからモジュールスタンバイにしてください。また、モジュールスタンバイ解除後、通信の初期設定はもう一回設定してください。

20.5.1.2 Nチャネルオープンドレイン制御ビット

UART0 を使用しないときは、U0C0 レジスタの NCH ビットを 0 (TXD 端子は CMOS 出力) にしてください。

21. シリアルインタフェース (UART2)

21.1 概要

UART2は専用の転送クロック発生用タイマを持ちます。

表21.1～表21.3にUART2の仕様を、図21.1にUART2のブロック図を示します。

UART2には、次のモードがあります。

- クロック同期形シリアルI/Oモード (SIOモード)
- クロック非同期形シリアルI/Oモード (UARTモード)
- 特殊モード3 (IEモード)
- マルチプロセッサ通信モード

表 21.1 UART2の仕様(1)

モード	項目	仕様
クロック同期形シリアルI/Oモード	使用端子	• TXD2 : 送信データ(出力) • RXD2 : 受信データ(入力) • CLK2 : 転送クロック(マスタ時 出力、スレーブ時 入力) • CTS2 : 送信要求信号(入力) • RTS2 : 受信要求信号(出力)
	アナログノイズフィルタ	CLK2、RXD2入口に15nsのノイズフィルタ
	転送データフォーマット	転送データ長 8ビット
	転送クロック	• U2MRレジスタのCKDIRビットが0(内部クロック) : $f_j/(2(n+1))$ $f_j = f_1, f_8, f_{32}$ $n = \text{U2BRGレジスタの設定値}(00h \sim FFh)$ • CKDIRビットが1(外部クロック) : CLK2端子からの入力
	送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択
	送信開始条件	送信開始には、次の条件が必要(注1) • U2C1レジスタのTEビットが1(送信許可) • U2C1レジスタのTIビットが0(U2TBレジスタにデータあり) • CTS機能を選択している場合、CTS2端子の入力がL
	受信開始条件	受信開始には、次の条件が必要(注1) • U2C1レジスタのREビットが1(受信許可) • U2C1レジスタのTEビットが1(送信許可) • U2C1レジスタのTIビットが0(U2TBレジスタにデータあり) • CTS機能を選択している場合、CTS2端子の入力がL
	割り込み要求発生タイミング	• 送信する場合(次の条件のいずれかを選択) - U2C1レジスタのU2IRSビットが0(送信バッファ空) : U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) - U2IRSビットが1(送信完了) : UART2送信レジスタからデータ送信完了時 • 受信する場合 UART2受信レジスタから、U2RBレジスタへデータ転送時(受信完了時)
	エラー検出	• オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次データの7ビット目を受信すると発生
	選択機能	• CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択 • LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 • 連続受信モード選択 U2RBレジスタを読むことで、同時に受信許可状態となる機能の使用を選択 • シリアルデータ論理切り替え 送受信データの論理値を反転する機能

注1. 外部クロックを選択している場合、U2C0レジスタのCKPOLビットが0(転送クロックの立ち下がり)で送信データ出力、立ち上がりで受信データ入力)のときは外部クロックがHの状態、CKPOLビットが1(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックがLの状態条件を満たしてください。

注2. オーバランエラーが発生した場合、U2RBレジスタの受信データは更新されません(前回のデータが読み出せます)。また、U2RICレジスタのIRビットは1(割り込み要求あり)に変化します。

表 21.2 UART2の仕様(2)

モード	項目	仕様
クロック非同期形 シリアルI/Oモード (UARTモード)	使用端子	• TXD2 : 送信データ(出力) • RXD2 : 受信データ(入力) • CTS2 : 送信要求信号(入力) • RTS2 : 受信要求信号(出力) • CLK2 : カウントソースクロック(入力、外部クロック選択時)
	アナログノイズ フィルタ	CLK2、RXD2入力に15nsのノイズフィルタ
	転送データ フォーマット	• キャラクタビット(転送データ) : 7、8、9ビットを選択 • スタートビット : 1ビット • パリティビット : 奇数、偶数、なしを選択 • ストップビット : 1、2ビットを選択
	転送クロック	• U2MRレジスタのCKDIRビットが0(内部クロック) : $f_j/(16(n+1))$ $f_j = f_1, f_8, f_{32}$ $n = \text{U2BRGレジスタの設定値}(00h \sim FFh)$ • CKDIRビットが1(外部クロック) : $f_{EXT}/(16(n+1))$ f_{EXT} (CLK2端子からの入力) $n = \text{U2BRGレジスタの設定値}(00h \sim FFh)$
	送信制御、受信制御	CTS機能、RTS機能、CTS/RTS機能禁止を選択
	送信開始条件	送信開始には、次の条件が必要 • U2C1レジスタのTEビットが1(送信許可) • U2C1レジスタのTIビットが0(U2TBレジスタにデータあり) • CTS機能を選択している場合、CTS2端子の入力がL
	受信開始条件	受信開始には、次の条件が必要 • U2C1レジスタのREビットが1(受信許可) • スタートビットの検出
	割り込み要求発生 タイミング	• 送信する場合(次の条件のいずれかを選択) - U2C1レジスタのU2IRSビットが0(送信バッファ空) : U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) - U2IRSビットが1(送信完了) : UART2送信レジスタからデータ送信完了時 • 受信する場合 - UART2受信レジスタからU2RBレジスタへデータ転送時(受信完了時)
	エラー検出	• オーバランエラー(注1) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 • フレーミングエラー(注2) 設定した個数のストップビットが検出されなかったときに発生 • パリティエラー(注2) パリティ許可時にパリティビットとキャラクタビット中の1の個数が設定した個数でなかったときに発生 • エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合1になる

注1. オーバランエラーが発生した場合、U2RBレジスタの受信データは更新されません(前回のデータが読み出せます)。また、U2RICレジスタのIRビットは1(割り込み要求あり)に変化します。

注2. フレーミングエラーフラグ、パリティエラーフラグは、UART2受信レジスタからU2RBレジスタにデータが転送されるときに1になります。

表 21.3 UART2の仕様(3)

モード	項目	仕様
クロック非同期形 シリアルI/Oモード (UARTモード)	選択機能	• LSB ファースト、MSB ファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択 • シリアルデータ論理切り替え 送信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 • TXD、RXD入出力極性切り替え TXD2端子出力とRXD2端子入力を反転する機能。入出力するデータのレベルがすべて反転する。 • RXD2デジタルフィルタ選択 RXD2入力信号はデジタルフィルタの有効、無効の選択
特殊モード3 (IEモード)	使用端子	• TXD2：送信データ(出力) • RXD2：受信データ(入力) • CLK2：UART2動作クロック(入力、外部クロック選択時)
	転送データ フォーマット	• キャラクタビット(転送データ)：9ビット • スタートビット：1ビット • パリティビット：なし • ストップビット：1ビット
	割り込み要求発生 タイミング	• 送信する場合 - U2C1レジスタのU2IRSビットが0(送信バッファ空) U2TBレジスタからUART2送信レジスタへデータ転送時(送信開始時) - U2C1レジスタのU2IRSビットが1(送信完了) UART2送信レジスタからデータ送信完了時 • 受信する場合 UART2受信レジスタから、U2RBレジスタへデータ転送時 (受信完了時) • バス衝突発生タイミング - U2SMRレジスタのABSCSビットが0 転送クロックの立ち上がりでバス衝突検出時 - U2SMRレジスタのABSCSビットが1 タイマRB2のアンダフロー信号でバス衝突検出時
	選択機能	• TXD2、RXD2入出力極性切り替え TXD2端子出力とRXD2端子入力を反転する機能。入出力するデータのレベルがすべて反転する。
	上記以外についてはクロック非同期形シリアルI/Oモードと同一仕様	
マルチプロセッサ 通信モード	使用端子	• TXD2：送信データ(出力) • RXD2：受信データ(入力) • CLK2：UART動作クロック(入力、外部クロック選択時)
	転送データ フォーマット	• キャラクタビット(転送データ)：7、8ビットを選択 • マルチプロセッサビット：1ビット • スタートビット：1ビット • パリティビット：なし • ストップビット：1、2ビットを選択
	選択機能	• RXD2デジタルフィルタ選択 RXD2入力信号のデジタルフィルタ有効、無効を選択
	上記以外についてはクロック非同期形シリアルI/Oモードと同一仕様	

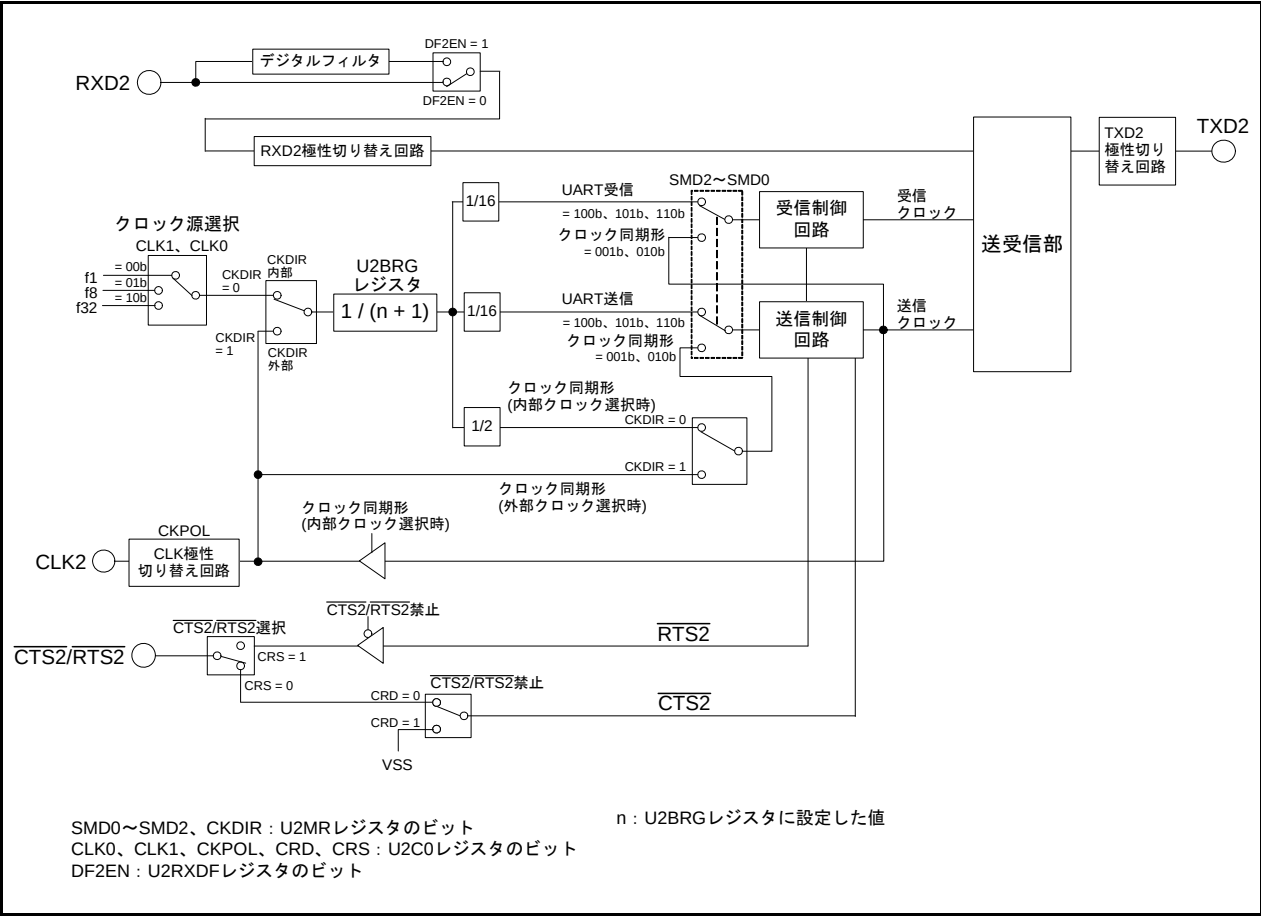


図 21.1 UART2のブロック図

表 21.4 UART2の端子構成

端子名	入出力	機能
TXD2	出力	シリアルデータ出力
RXD2	入力	シリアルデータ入力
CLK2	入出力	転送クロック入出力
CTS2	入力	送信制御用入力
RTS2	出力	受信制御用出力

21.2 レジスタの説明

表21.5にUART2のレジスタ構成を示します。

表21.5 UART2のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
UART2送受信モードレジスタ	U2MR	00h	000C0h	8
UART2ビットレートレジスタ	U2BRG	00h	000C1h	8
UART2送信バッファレジスタ	U2TB	00h	000C2h	8または16
		00h	000C3h	
UART2送受信制御レジスタ0	U2C0	00001000b	000C4h	8
UART2送受信制御レジスタ1	U2C1	00000010b	000C5h	8
UART2受信バッファレジスタ	U2RB	0000h	000C6h	16
UART2デジタルフィルタ機能選択レジスタ	U2RXDF	00h	000C8h	8
UART2特殊モードレジスタ5	U2SMR5	00h	000D0h	8
UART2特殊モードレジスタ3	U2SMR3	00h	000D5h	8
UART2特殊モードレジスタ	U2SMR	00h	000D7h	8

21.2.1 UART2 送受信モードレジスタ (U2MR)

アドレス	000C0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	IOPOL	PRYE	PRY	STPS	CKDIR	SMD2	SMD1	SMD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SMD0	シリアルI/Oモード選択ビット (注1、2、8)	b2 b1 b0 0 0 0 : シリアルインタフェース無効	R/W
b1	SMD1		0 0 1 : クロック同期形シリアルI/Oモード	R/W
b2	SMD2		0 1 0 : 設定しないでください	R/W
			1 0 0 : UARTモード転送データ長7ビット 1 0 1 : UARTモード転送データ長8ビット 1 1 0 : UARTモード転送データ長9ビット 上記以外 : 設定しないでください	
b3	CKDIR	内部/外部クロック選択ビット (注3)	0 : 内部クロック 1 : 外部クロック	R/W
b4	STPS	ストップビット長選択ビット (注4)	0 : 1ストップビット 1 : 2ストップビット	R/W
b5	PRY	パリティ奇数/偶数選択ビット (注5)	0 : 奇数パリティ 1 : 偶数パリティ	R/W
b6	PRYE	パリティ許可ビット (注6)	0 : パリティ禁止 1 : パリティ許可	R/W
b7	IOPOL	TXD、RXD入出力極性切り替えビット (注7)	0 : 反転なし 1 : 反転あり	R/W

注1. IEモード時は110b (UARTモード転送データ長9ビット)に、マルチプロセッサ通信モード時は100b (UARTモード転送データ長7ビット)または101b (UARTモード転送データ長8ビット)としてください。

注2. SMD2～SMD0ビットを000bにするとときは、U2C1レジスタのTEビットを0 (送信禁止)、REビットを0 (受信禁止)にしてください。

注3. SIOモードマスタ時は0 (内部クロック)に、SIOモードスレーブ時は1 (外部クロック)にしてください。

注4. UARTモード、マルチプロセッサ通信モード時のみ選択可能です。他モード時は0 (1ストップビット)にしてください。

注5. UARTモード時のみ選択可能です。他モード時はPRYEビットが0 (パリティビットなし)であるため、設定値は無効です。

注6. UARTモード時のみ選択可能です。他モード時は0 (パリティビットなし)にしてください。

PRYEビットを1 (パリティビットあり)にした場合、次の動作となります。

送信時 : 送信データに続いてパリティビットを付加します。

受信時 : パリティビットによりエラーチェックを行います。

注7. UARTモード、IEモード時のみ設定可能です。他モード時は0 (反転なし)にしてください。IOPOLビットを1 (反転あり)にした場合、送信データおよび受信データの極性を反転させます。

(スタートビット、ストップビット、パリティビットも含め反転します。)

注8. SMD2～SMD0ビットが001b (クロック同期形シリアルI/Oモード)のとき、U2RBレジスタのエラーフラグ(FER、PER、SUMビット)は無効です。読んだ場合、その値は不定です。

21.2.2 UART2 ビットレートレジスタ (U2BRG)

アドレス	000C1h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b7～b0	設定値をnにすると、U2BRGはカウントソースをn+1分周します。	00h～FFh	W

U2BRGレジスタは、送受信停止中にMOV命令を使用して書いてください。

U2C0レジスタのCLK0、CLK1ビットを設定した後、U2BRGレジスタに書いてください。

21.2.4 UART2 送受信制御レジスタ 0 (U2C0)

アドレス	000C4h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	UFORM	CKPOL	NCH	CRD	TXEPT	CRS	CLK1	CLK0
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CLK0	U2BRG カウントソース選択ビット (注1)	b1 b0 0 0 : f1	R/W
b1	CLK1		0 1 : f8	R/W
			1 0 : f32	
			1 1 : 設定しないでください	
b2	CRS	CTS/RTS 機能選択ビット (注2)	CRD = 0 のとき有効 0 : CTS 機能を選択 1 : RTS 機能を選択	R/W
b3	TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	R
b4	CRD	CTS/RTS 禁止ビット (注3)	0 : CTS/RTS 機能許可 1 : CTS/RTS 機能禁止	R/W
b5	NCH	データ出力選択ビット (注4)	0 : TXD2 端子は CMOS 出力 1 : TXD2 端子は N チャネルオープンドレイン出力	R/W
b6	CKPOL	CLK 極性選択ビット (注5)	0 : 転送クロックの立ち下がりで送信データ出力、 立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、 立ち下がりで受信データ入力	R/W
b7	UFORM	転送フォーマット選択ビット (注6)	0 : LSB ファースト 1 : MSB ファースト	R/W

注1. CLK0、CLK1 ビットを変更した場合は、U2BRG レジスタを再設定してください。

注2. SIO/UART モード時のみ選択可能です。他のモードでは CRD ビットが 1 (CTS/RTS 機能禁止) のため設定値は無効です。

注3. SIO/UART モード時のみ設定可能です。他のモード時は 1 (CTS/RTS 機能禁止) にしてください。

注4. UART2 を使用しないときは、NCH ビットを 0 (TXD2 端子は CMOS 出力) にしてください。

注5. SIO モード時のみ設定可能です。他のモード時は 0 (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力) にしてください。

注6. SIO/UART モードで転送データ長 8 ビット時のみ選択可能です。

SIO/UART モード以外のモードでは 0 (LSB ファースト) にしてください。

21.2.5 UART2送受信制御レジスタ1 (U2C1)

アドレス	000C5h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	U2LCH	U2RRM	U2IRS	RI	RE	TI	TE
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TE	送信許可ビット	0 : 送信禁止 1 : 送信許可	R/W
b1	TI	送信バッファ空フラグ	0 : U2TB レジスタにデータあり 1 : U2TB レジスタにデータなし	R
b2	RE	受信許可ビット	0 : 受信禁止 1 : 受信許可	R/W
b3	RI	受信完了フラグ (注1)	0 : U2RB レジスタにデータなし 1 : U2RB レジスタにデータあり	R
b4	U2IRS	UART2送信割り込み要因選択ビット	0 : 送信バッファ空 (TI = 1) 1 : 送信完了 (TXEPT = 1)	R/W
b5	U2RRM	UART2連続受信モード許可ビット (注2)	0 : 連続受信モード禁止 1 : 連続受信モード許可	R/W
b6	U2LCH	データ論理選択ビット (注3)	0 : 反転なし 1 : 反転あり	R/W
b7	—	予約ビット	0にしてください	R/W

注1. RIビットは、U2RBレジスタを読み出したとき、0 (U2RBレジスタにデータなし)になります。

注2. クロック同期形シリアルI/Oモード(SIOモード)のみ設定可能です。他のモード時は0 (連続受信モード禁止)にしてください。

注3. U2MRレジスタのSMD2～SMD0ビットが001b (クロック同期形シリアルI/Oモード)、100b (UARTモード転送データ長7ビット)または101b (UARTモード転送データ長8ビット)のとき有効です。SMD2～SMD0ビットが110b (UARTモード転送データ長9ビット)のときは0にしてください。

U2C1レジスタへは、MOV命令を使用して書いてください。

U2LCHビット(データ論理選択ビット)

送信データおよび受信データの極性を反転させるビットです(データのみ)。U2LCHビットが1(反転あり)の場合、送信時はU2TBレジスタへのデータ書き込み時に論理を反転して書き込みます。

受信時はU2RBレジスタからデータ読み出し時に論理を反転したデータが読めます。

21.2.7 UART2 デジタルフィルタ機能選択レジスタ (U2RXDF)

アドレス	000C8h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	DF2EN	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	DF2EN	RXD2 デジタルフィルタ許可ビット	0 : RXD2 デジタルフィルタ禁止 1 : RXD2 デジタルフィルタ許可	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	—			
b5	—			
b6	—			
b7	—			

DF2EN ビット (RXD2 デジタルフィルタ許可ビット)

RXD2 デジタルフィルタ許可時は U2BRG レジスタで分周したクロックにて 3 パルス以下のノイズを除去します。

詳細は「21.3.2.7 RXD2 デジタルフィルタ選択機能」を参照してください。

UART モード、マルチプロセッサ通信モード時のみ設定可能です。他のモード時は 0 (RXD2 デジタルフィルタ禁止) にしてください。

21.2.8 UART2 特殊モードレジスタ 5 (U2SMR5)

アドレス	000D0h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	MPIE	—	—	—	MP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MP	マルチプロセッサ通信許可ビット (注1、2)	0 : マルチプロセッサ通信禁止 1 : マルチプロセッサ通信許可	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	MPIE	マルチプロセッサ通信制御ビット	MPビットが1 (マルチプロセッサ通信許可) のとき有効です。 MPIEビットが1のとき、次の状態になります。 • マルチプロセッサビットが0の受信データは無視し、U2C1レジスタのRIビット、U2RBレジスタのOER、FERビットが1になることを禁止します。 • マルチプロセッサビットが1の受信データを受信すると、MPIEビットは0になり、マルチプロセッサ通信以外の受信動作になります。 MPIEビットが0のときは通常受信動作と変わりません。	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	—			
b7	—			

注1. MPビットが1 (マルチプロセッサ通信許可) のとき、U2MRレジスタのPRY、PRYEビットの設定は無効になります。

注2. UARTモードで転送データ長が7ビットまたは8ビットのときのみ有効です。他のモードでは0にしてください。

U2SMR5 レジスタへは、MOV 命令を使用して書いてください。

21.2.9 UART2 特殊モードレジスタ 3 (U2SMR3)

アドレス	000D5h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	NODC	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b1	—	予約ビット	0にしてください	R/W
b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b3	NODC	クロック出力選択ビット (注1、2)	0 : CLK2端子はCMOS出力 1 : CLK2端子はNチャネルオープンドレイン出力	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は不定。		—
b5	—	予約ビット	0にしてください	R/W
b6	—			
b7	—			

注1. SIOモード時のみ設定可能です。他のモードでは0 (CLK2端子はCMOS出力) にしてください。

注2. UART2を使用しないときは、NODCビットを0 (CLK2端子はCMOS出力) にしてください。

21.2.10 UART2 特殊モードレジスタ (U2SMR)

アドレス 000D7h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	SSS	ACSE	ABSCS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	0にしてください	R/W
b1	—			R/W
b2	—			R
b3	—			R/W
b4	ABSCS	バス衝突検出サンプリングクロック選択ビット(注1)	0: 転送クロックの立ち上がり 1: タイマRB2のアンダフロー信号	R/W
b5	ACSE	送信許可ビット自動クリア機能選択ビット(注1)	0: 自動クリア機能無 1: バス衝突発生時に自動クリア	R/W
b6	SSS	送信許可開始条件選択ビット(注1、2)	0: RXD2に同期しない 1: RXD2に同期する	R/W
b7	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

注1. IEモード時のみ設定可能です。他のモードでは0にしてください。

注2. SSSビットは転送が始まると0 (RXD2に同期しない)になります。

U2SMR レジスタへは、MOV 命令を使用して書いてください。

21.3 動作説明

21.3.1 クロック同期形シリアルI/Oモード(SIOモード)

クロック同期形シリアルI/Oモード(SIOモード)は、転送クロックを用いて送受信を行うモードです。
表21.6にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

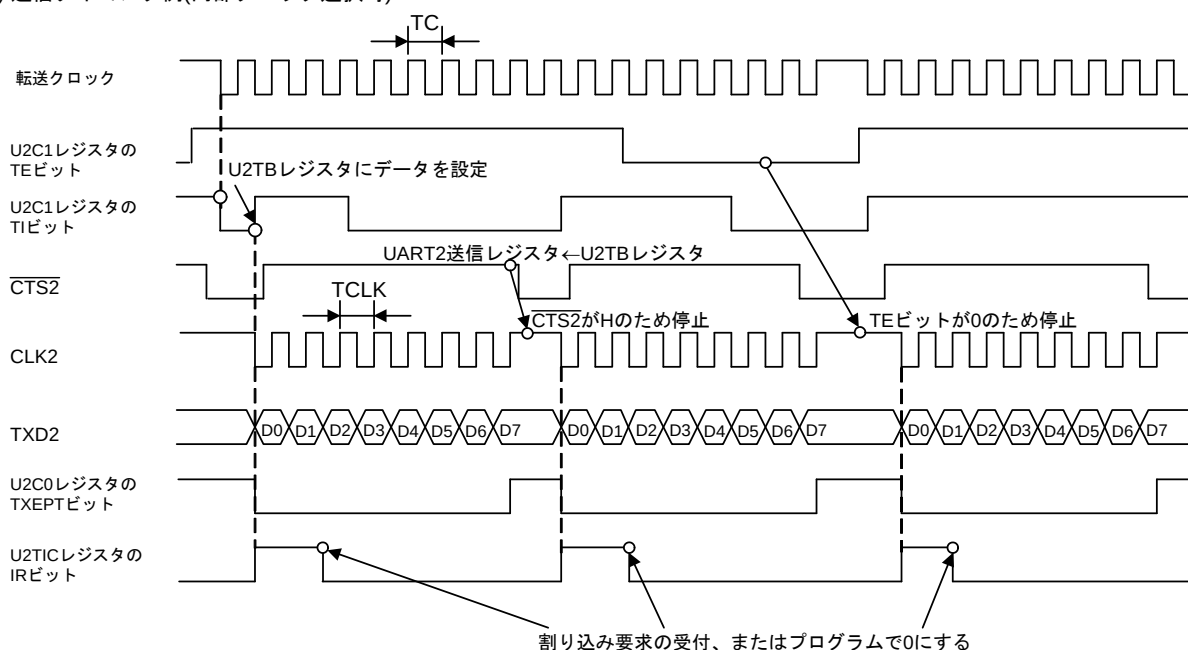
表21.6 クロック同期形シリアルI/Oモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U2TB	b0～b7	送信データを設定してください
U2RB	b0～b7	受信データが読めます
	OER	オーバランエラーフラグ
U2BRG	b0～b7	ビットレートを設定してください
U2MR	SMD2～SMD0	001bにしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	0にしてください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	CTSまたはRTS機能の許可、または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
U2C1	TE	送受信を許可する場合、1にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、1にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM	連続受信モードを使用する場合、1にしてください
	U2LCH	データ論理反転を使用する場合、1にしてください
U2SMR3	NODC	クロック出力形式を選択してください

注1. この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、0を書いてください。

図21.2にクロック同期形シリアルI/Oモード時の送受信タイミング例を示します。

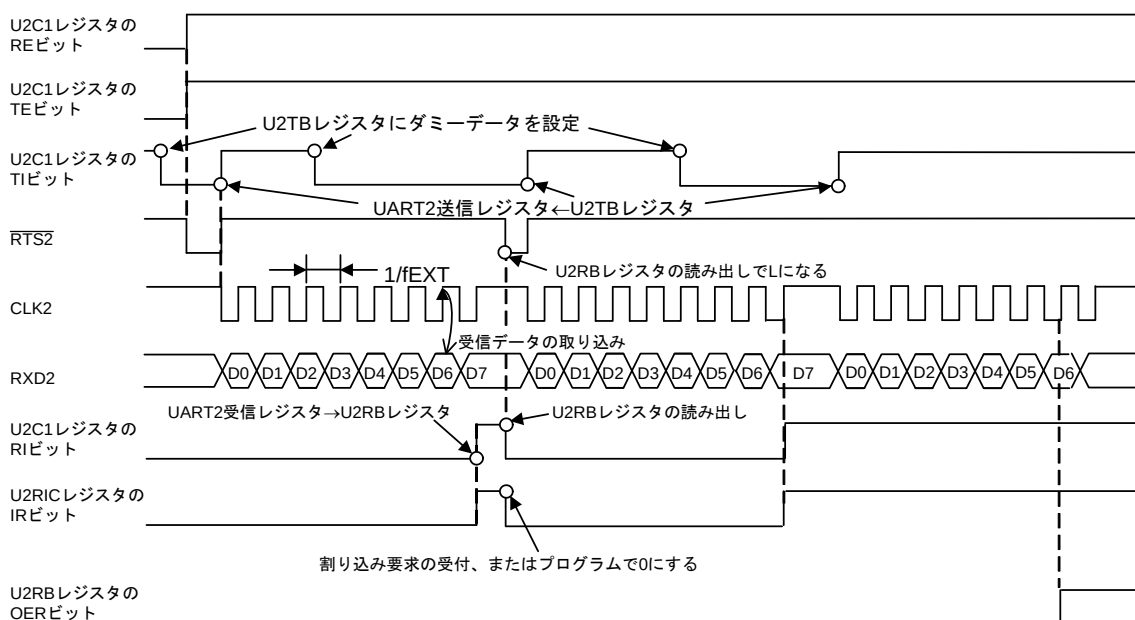
(1) 送信タイミング例(内部クロック選択時)



この図は次の設定条件の場合です。

- U2MR レジスタの CKDIR ビット = 0 (内部クロック選択)
- U2C0 レジスタの CRD ビット = 0 (CTS/RTS 機能許可)、CRS ビット = 0 (CTS 機能選択)
- U2C0 レジスタの CKPOL ビット = 0 (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
- U2C1 レジスタの U2IRS ビット = 0 (U2TB レジスタ空で割り込み要求発生)

(2) 受信タイミング例(外部クロック選択時)



この図は次の設定条件の場合です。

- U2MR レジスタの CKDIR ビット = 1 (外部クロック選択)
- U2C0 レジスタの CRD ビット = 0 (CTS/RTS 機能許可)、CRS ビット = 1 (RTS 機能選択)
- U2C0 レジスタの CKPOL ビット = 0 (転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)

fEXT : 外部クロックの周波数

データ受信前の CLK2 端子の入力が H のときに、次の条件が揃うようにしてください。

- U2C1 レジスタの TE ビット = 1 (送信許可)
- U2C1 レジスタの RE ビット = 1 (受信許可)
- U2TB レジスタへのダミーデータの書き込み

図 21.2 クロック同期形シリアル I/O モード時の送受信タイミング例

21.3.1.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U2C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを000b(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを001b(クロック同期形シリアルI/Oモード)にする。
- (4) U2C1レジスタのTEビットを1(送信許可)、REビットを1(受信許可)にする。

21.3.1.2 CLK極性選択

U2C0レジスタのCKPOLビットで転送クロックの極性を選択できます。図21.3に転送クロックの極性を示します。

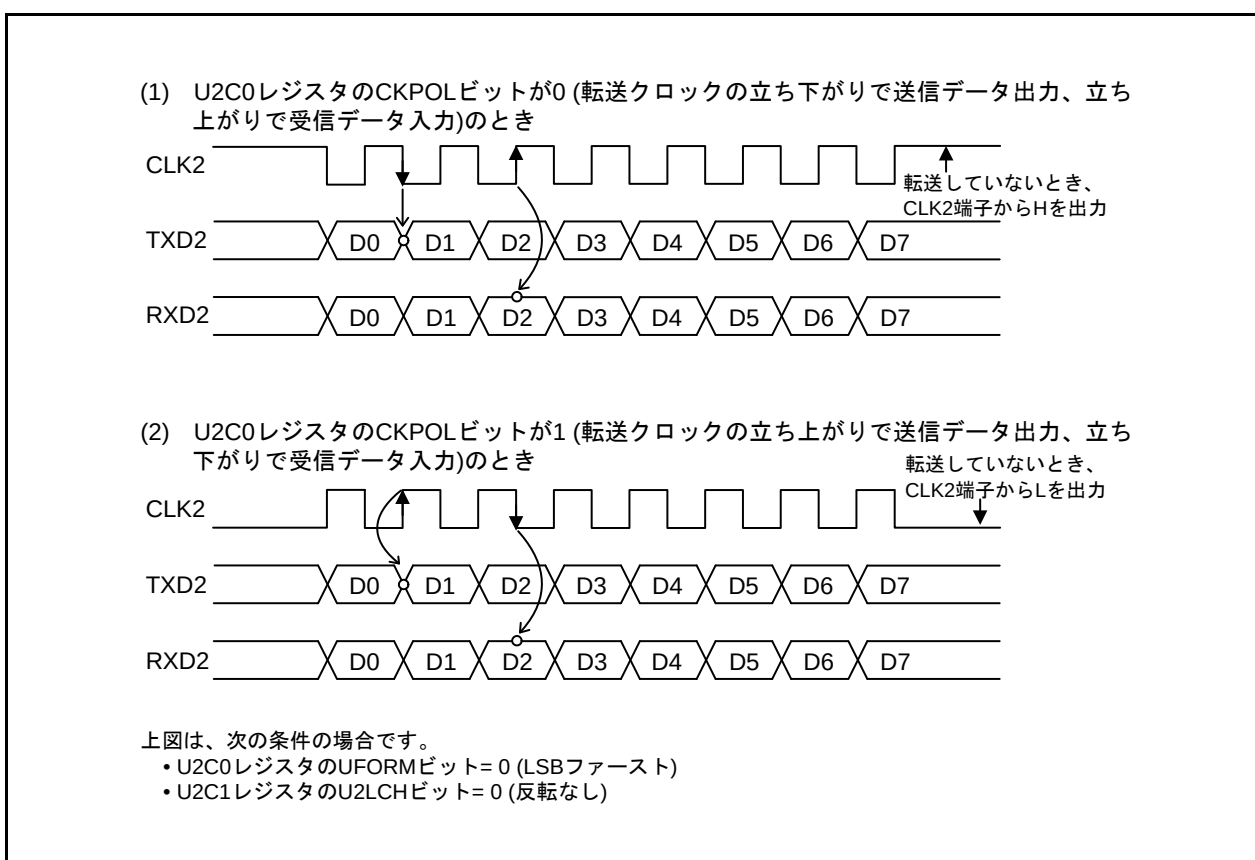


図21.3 転送クロックの極性

21.3.1.3 LSB ファースト、MSB ファースト選択

U2C0 レジスタの UFORM ビットで転送フォーマットを選択できます。図 21.4 に転送フォーマットを示します。

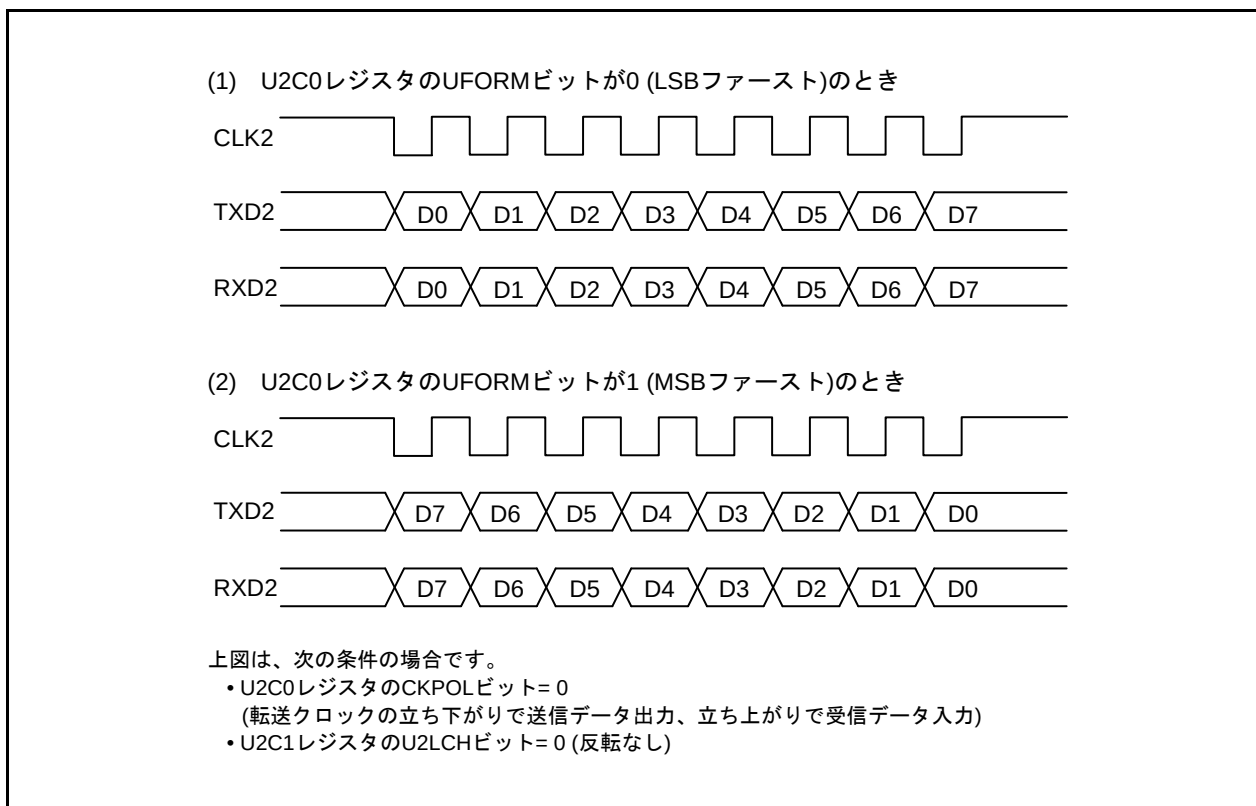


図 21.4 転送フォーマット

21.3.1.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

U2C1 レジスタの U2RRM ビットを 1 (連続受信モード) にすると、U2RB レジスタを読むことで U2C1 レジスタの TI ビットが 0 (U2TB レジスタにデータあり) になります。U2RRM ビットが 1 の場合、プログラムで U2TB レジスタにダミーデータを書かないでください。

マスタ動作時に連続受信モードで最後のデータを読み出す場合、読み出す前に U2C1 レジスタの U2RRM ビットを 0 (連続受信モード禁止) にしてください。

21.3.1.5 シリアルデータ論理切り替え

U2C1レジスタのU2LCHビットでシリアルデータ論理反転の有無を選択できます。

U2LCHビットが1(反転あり)の場合、U2TBレジスタに論理を反転した値を書き込み送信します。U2RBレジスタを読むと、受信データの論理を反転した値が読めます。図21.5にシリアルデータ論理を示します。

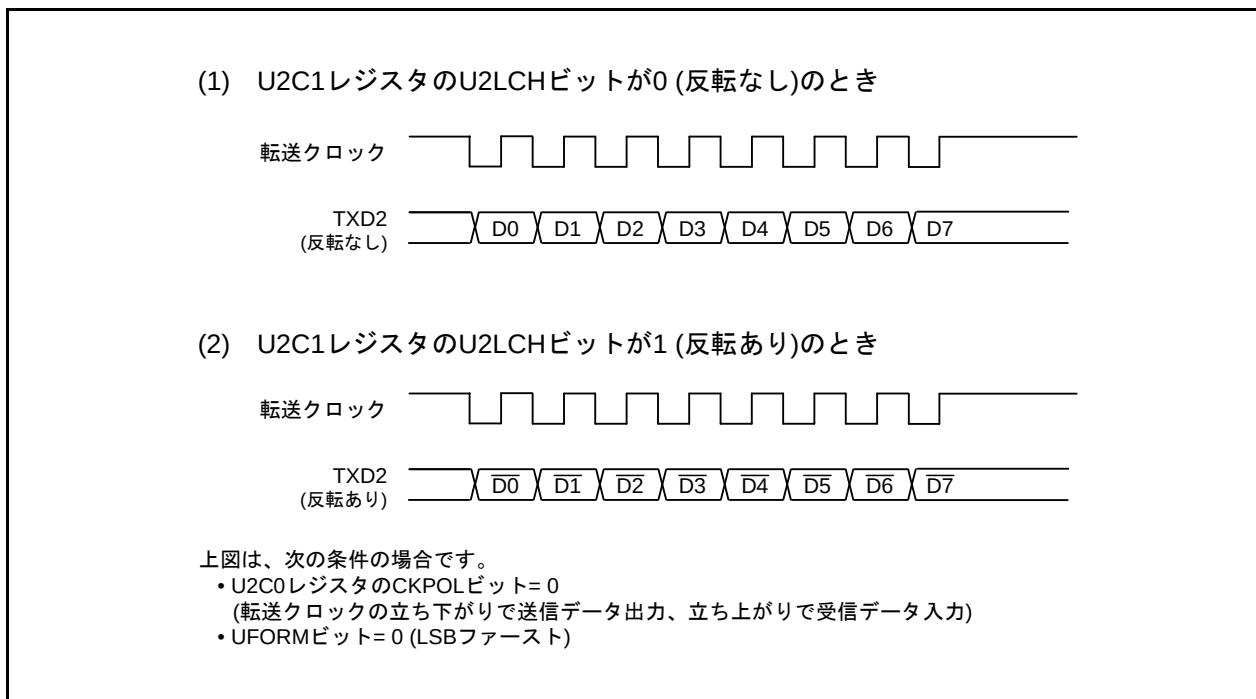


図 21.5 シリアルデータ論理

21.3.1.6 CTS/RTS機能

CTS機能は、CTS2端子にLを入力すると、送受信を開始させる機能です。CTS2端子の入力レベルがLになると、送受信を開始します。送受信の最中に入力レベルをHにした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、RTS2端子の出力レベルがLになります。RXD2端子の最初の立ち下がりで出力レベルがHになります。

- U2C0レジスタのCRDビット= 1 (CTS/RTS機能禁止) : CTS2端子入力未使用、RTS2端子出力H
- CRDビット= 0、CRSビット= 0 (CTS機能選択) : CTS2端子入力有効、RTS2端子出力H
- CRDビット= 0、CRSビット= 1 (RTS機能選択) : CTS2端子入力未使用、RTS2端子出力有効

21.3.2 クロック非同期形シリアルI/O (UART)モード

UARTモードは任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表21.7にUARTモード時の使用レジスタと設定値を示します。

表21.7 UARTモード時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U2TB	b0～b8	送信データを設定してください(注2)
U2RB	b0～b8	受信データが読めます(注2、3)
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0～b7	ビットレートを設定してください
U2MR	SMD2～SMD0	転送データが7ビットの場合、100bを設定してください 転送データが8ビットの場合、101bを設定してください 転送データが9ビットの場合、110bを設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD2、RXD2入出力極性を選択してください
	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能を使用する場合、どちらかを選択してください
U2C0	TXEPT	送信レジスタ空フラグ
	CRD	CTS/RTS機能の許可または禁止を選択してください
	NCH	TXD2端子の出力形式を選択してください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます 転送データ長7ビットまたは9ビット時は0にしてください
	TE	送信を許可する場合、1にしてください
	TI	送信バッファ空フラグ
U2C1	RE	受信を許可するとき、1にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2LCH	データ論理反転を使用する場合、1にしてください
U2RXDF	DF2EN	デジタルフィルタの無効、有効を選択してください

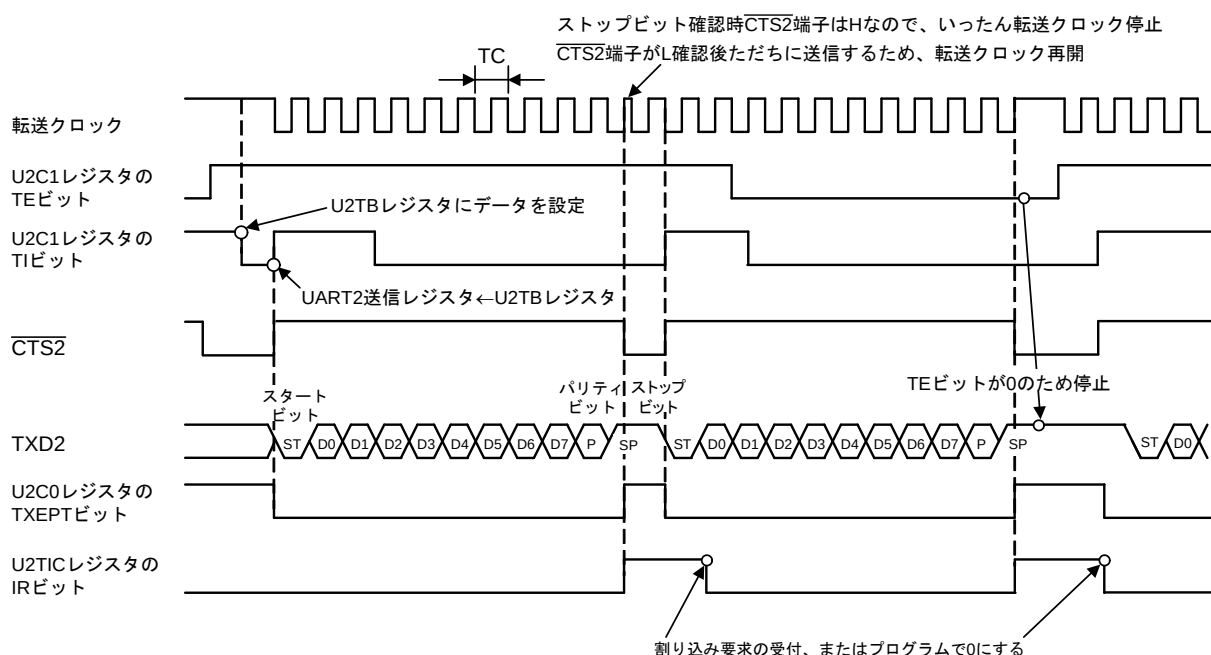
注1. この表に記載していないビットは、クロック非同期形シリアルI/Oモード時に書く場合、0を書いてください。

注2. 使用するビットは次のとおりです。転送データ長7ビット：ビットb0～b6、転送データ長8ビット：ビットb0～b7、転送データ長9ビット：ビットb0～b8

注3. 転送データ長7ビットの場合のビットb7、b8、転送データ長8ビットの場合のビットb8の内容は0です。

図21.6にUARTモード時の送信タイミング例を、図21.7にUARTモード時の受信タイミング例を示します。

(1) 転送データ長8ビット時の送信タイミング例(パリティ許可、1ストップビット)



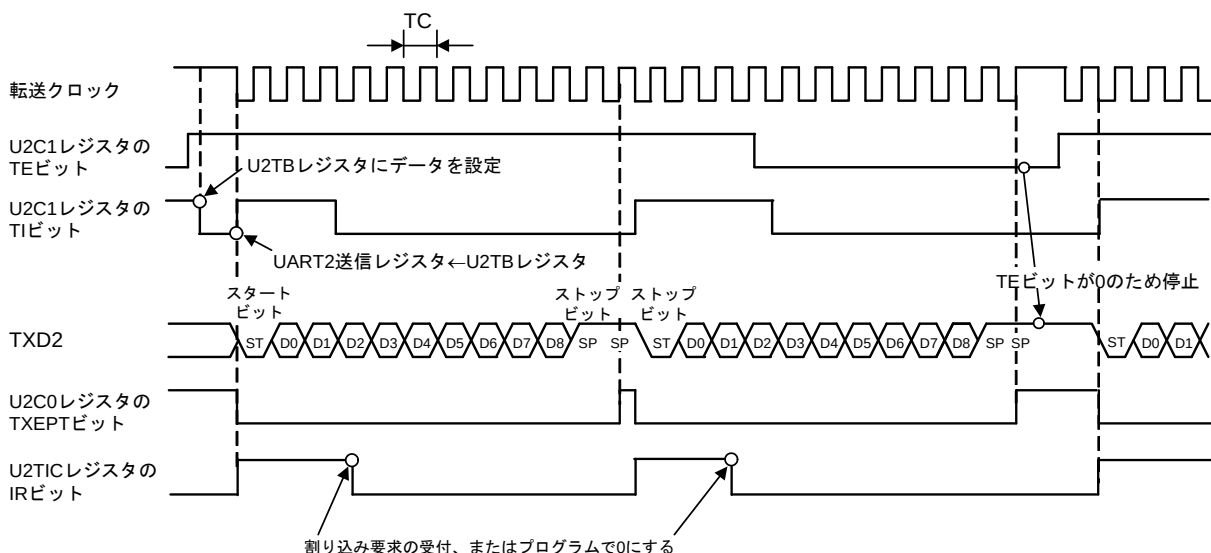
上記タイミング図は次の設定条件の場合です。

- U2MRレジスタのPRYEビット=1 (パリティ許可)
- U2MRレジスタのSTPSビット=0 (1ストップビット)
- U2C0レジスタのCRDビット=0 (CTS/RTS機能許可)、CRSビット=0 (CTS機能選択)
- U2C1レジスタのU2IRSビット=1 (送信完了で割り込み要求発生)

$$TC = 16(n+1)/f_j \text{ または } 16(n+1)/f_{EXT}$$

f_j : U2BRGカウントソースの周波数(f1、f8、f32)
 f_{EXT} : U2BRGカウントソースの周波数(外部クロック)
 n : U2BRGに設定した値

(2) 転送データ長9ビット時の送信タイミング例(パリティ禁止、2ストップビット)



上記タイミング図は次の設定条件の場合です。

- U2MRレジスタのPRYEビット=0 (パリティ禁止)
- U2MRレジスタのSTPSビット=1 (2ストップビット)
- U2C0レジスタのCRDビット=1 (CTS/RTS機能禁止)
- U2C1レジスタのU2IRSビット=0 (送信バッファ空で割り込み要求発生)

$$TC = 16(n+1)/f_j \text{ または } 16(n+1)/f_{EXT}$$

f_j : U2BRGカウントソースの周波数(f1、f8、f32)
 f_{EXT} : U2BRGカウントソースの周波数(外部クロック)
 n : U2BRGに設定した値

図 21.6 UARTモード時の送信タイミング例

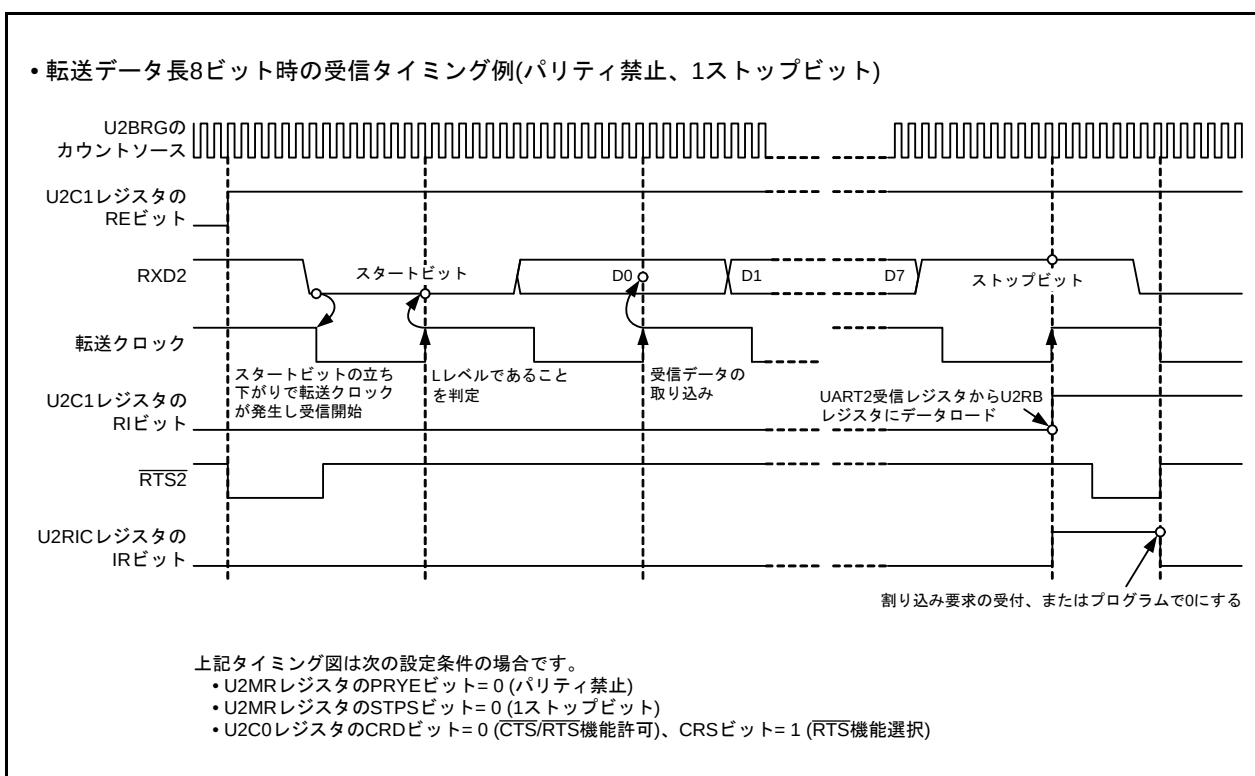


図 21.7 UART モード時の受信タイミング例

21.3.2.1 ビットレート

UARTモードではU2BRGレジスタで分周した周波数の16分周がビットレートになります。図21.8にU2BRGレジスタの設定値の算出式を、表21.8にUARTモード時のビットレート設定例(内部クロック選択時)を示します。

• 内部クロック選択時

$$\text{U2BRGレジスタへの設定値} = \frac{f_j}{\text{ビットレート} \times 16} - 1$$

f_j : U2BRGレジスタのカウントソース周波数(f_1 、 f_8 、 f_{32})

• 外部クロック選択時

$$\text{U2BRGレジスタへの設定値} = \frac{f_{\text{EXT}}}{\text{ビットレート} \times 16} - 1$$

f_{EXT} : U2BRGレジスタのカウントソース周波数(外部クロック)

図21.8 U2BRGレジスタの設定値の算出式

表21.8 UARTモード時のビットレート設定例(内部クロック選択時)

ビット レート (bps)	U2BRGの カウント ソース	システムクロック = 20 MHz			システムクロック = 18.432 MHz			システムクロック = 8 MHz		
		U2BRGの 設定値	実時間 (bps)	設定 誤差	U2BRGの 設定値	実時間 (bps)	設定 誤差	U2BRGの 設定値	実時間 (bps)	設定 誤差
1200	f8	129 (81h)	1201.92	0.16	119 (77h)	1200.00	0.00	51 (33h)	1201.92	0.16
2400	f8	64 (40h)	2403.85	0.16	59 (3Bh)	2400.00	0.00	25 (19h)	2403.85	0.16
4800	f8	32 (20h)	4734.85	-1.36	29 (1Dh)	4800.00	0.00	12 (0Ch)	4807.69	0.16
9600	f1	129 (81h)	9615.38	0.16	119 (77h)	9600.00	0.00	51 (33h)	9615.38	0.16
14400	f1	86 (56h)	14367.82	-0.22	79 (4Fh)	14400.00	0.00	34 (22h)	14285.71	-0.79
19200	f1	64 (40h)	19230.77	0.16	59 (3Bh)	19200.00	0.00	25 (19h)	19230.77	0.16
28800	f1	42 (2Ah)	29069.77	0.94	39 (27h)	28800.00	0.00	16 (10h)	29411.76	2.12
38400	f1	32 (20h)	37878.79	-1.36	29 (1Dh)	38400.00	0.00	12 (0Ch)	38461.54	0.16
57600	f1	21 (15h)	56818.18	-1.36	19 (13h)	57600.00	0.00	8 (08h)	55555.56	-3.55
115200	f1	10 (0Ah)	113636.36	-1.36	9 (09h)	115200.00	0.00	—	—	—

21.3.2.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信を途中終了させた場合、または通信エラーが発生した場合、次の手順で設定してください。

- (1) U2C1レジスタのTEビットを0(送信禁止)、REビットを0(受信禁止)にする。
- (2) U2MRレジスタのSMD2～SMD0ビットを000b(シリアルインタフェースは無効)にする。
- (3) U2MRレジスタのSMD2～SMD0ビットを100b(UARTモード転送データ長7ビット)、101b(UARTモード転送データ長8ビット)、110b(UARTモード転送データ長9ビット)のいずれかにする。
- (4) U2C1レジスタのTEビットを1(送信許可)、REビットを1(受信許可)にする。

21.3.2.3 LSB ファースト、MSB ファースト選択

図 21.9 に示すように、U2C0 レジスタの UFORM ビットで転送フォーマットを選択できます。この機能は転送データ長 8 ビットのときに有効です。図 21.9 に転送フォーマットを示します。

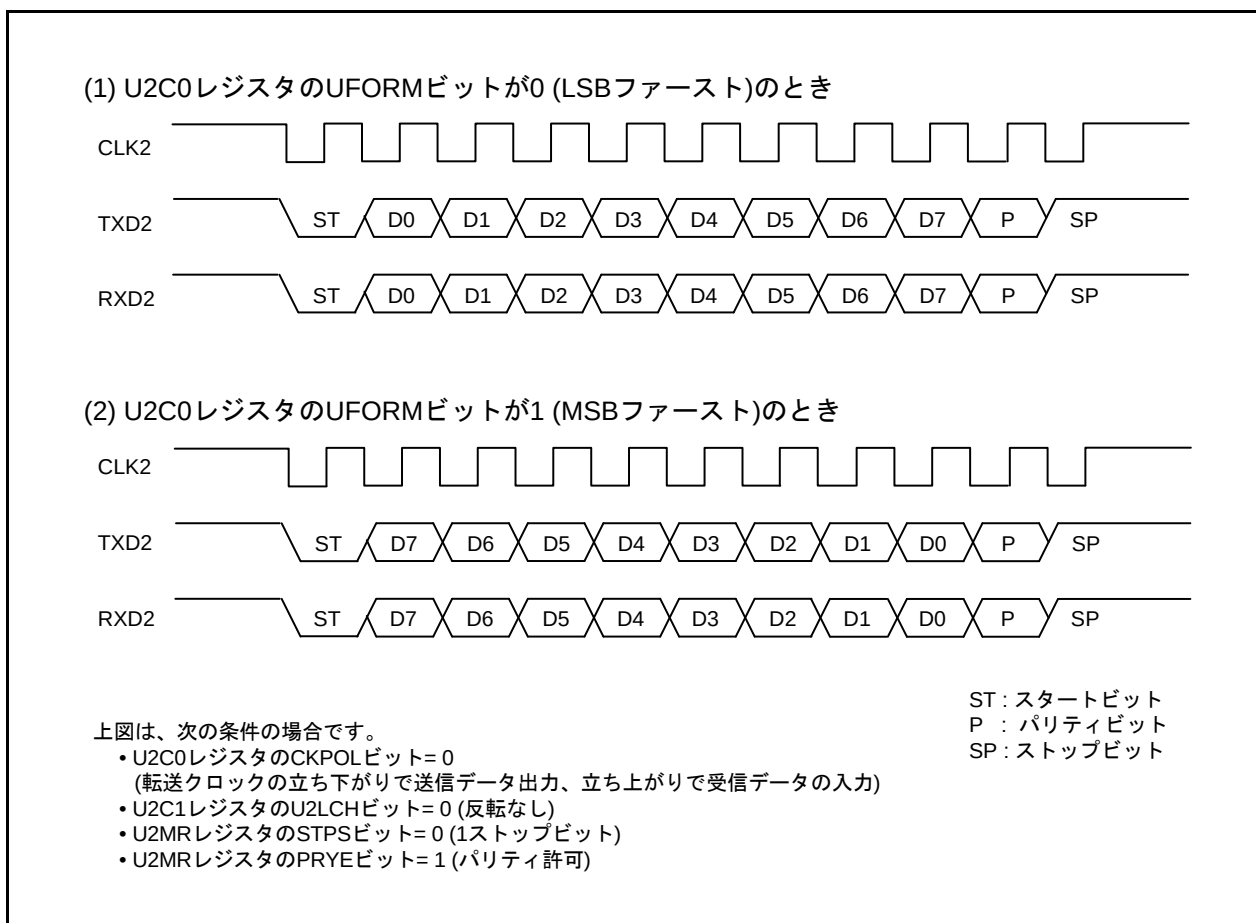


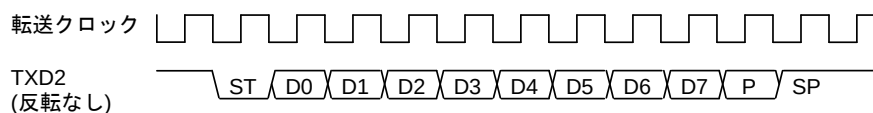
図 21.9 転送フォーマット

21.3.2.4 シリアルデータ論理切り替え

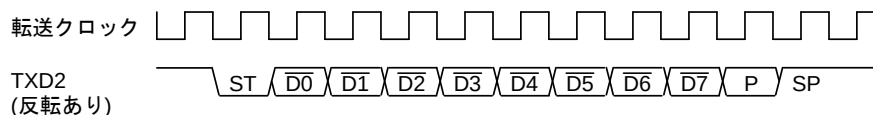
U2C1レジスタのU2LCHビットでシリアルデータ論理反転の有無を選択できます。

U2LCHビットが1(反転あり)の場合、U2TBレジスタに論理を反転した値を書き込み送信します。U2RBレジスタを読み出すと、受信データの論理を反転した値が読み出せます。図21.10にシリアルデータ論理を示します。

(1) U2C1レジスタのU2LCHビットが0(反転なし)のとき



(2) U2C1レジスタのU2LCHビットが1(反転あり)のとき



ST : スタートビット

P : パリティ

SP : ストップビット

上図は、次の条件の場合です。

- U2C0レジスタのCKPOLビット=0
(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データの入力)
- U2C0レジスタのUFORMビット=0 (LSBファースト)
- U2MRレジスタのSTPSビット=0 (1ストップビット)
- U2MRレジスタのPRYEビット=1 (パリティ許可)

図21.10 シリアルデータ論理

21.3.2.5 TXD、RXD 入出力極性切り替え機能

TXD2 端子出力と RXD2 端子入力の極性を反転する機能です。入出力するデータのレベルがすべて (スタートビット、ストップビット、パリティビットを含む) 反転します。図 21.11 に TXD、RXD 入出力極性切り替えを示します。

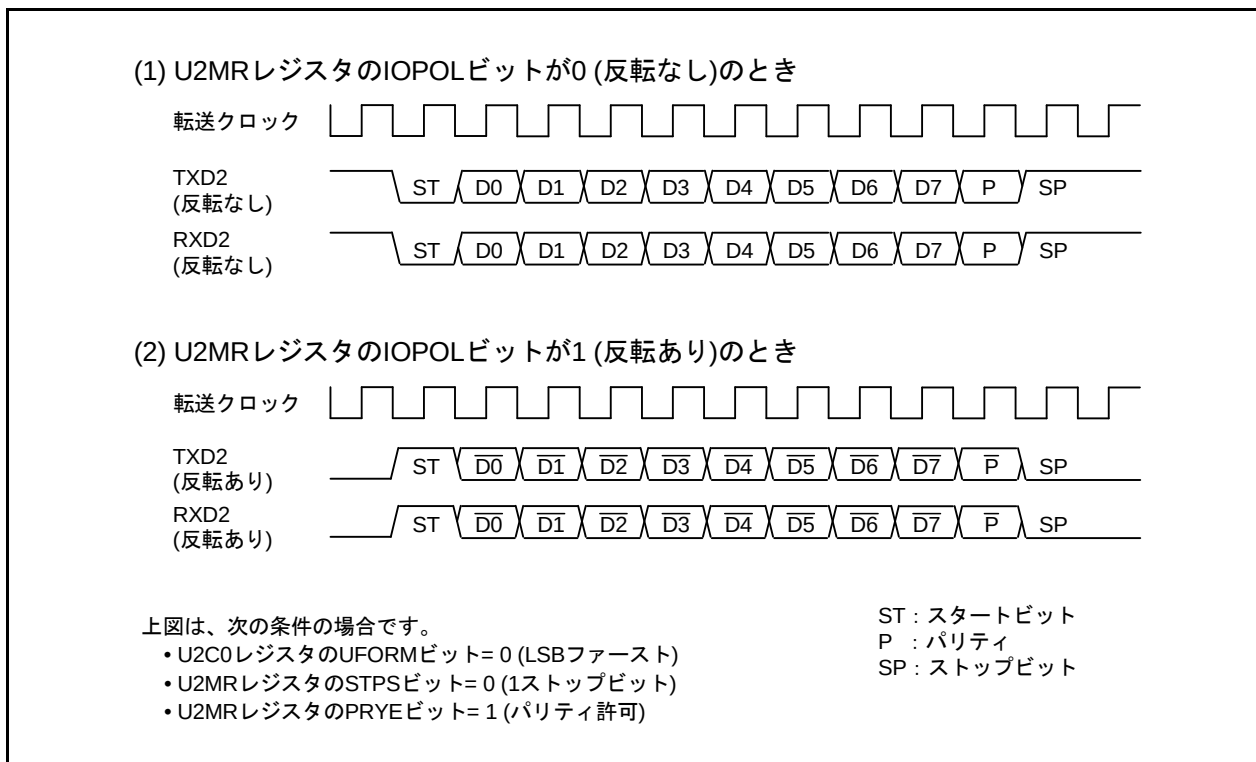


図 21.11 TXD、RXD 入出力極性切り替え

21.3.2.6 CTS/RTS 機能

CTS機能は、CTS2端子にLを入力すると、送受信を開始させる機能です。CTS2端子の入力レベルがLになると、送受信を開始します。送受信の最中に入力レベルをHにした場合、次のデータから送受信を停止します。

RTS機能は、受信準備が整ったとき、RTS2端子の出力レベルがLになります。RXD2端子の最初の立ち下がりで出力レベルがHになります。

- U2C0レジスタのCRDビット= 1 (CTS/RTS機能禁止) : CTS2端子入力未使用、RTS2端子出力H
- CRDビット=0、CRSビット= 0 (CTS機能選択) : CTS2端子入力有効、RTS2端子出力H
- CRDビット=0、CRSビット= 1 (RTS機能選択) : CTS2端子入力未使用、RTS2端子出力有効

21.3.2.7 RXD2デジタルフィルタ選択機能

RXD2デジタルフィルタ機能は、U2RXDFレジスタのDF2ENビットが1(RXD2デジタルフィルタ許可)のとき、RXD2入力信号のノイズ除去を行い内部に取り込む機能です。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD2入力信号がU2BRGレジスタで分周したクロックでサンプリングされ、3つのラッチ出力が一致すると、信号として認識し、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以下の信号変化はノイズとして判断し信号変化として認識しません。

図21.12にRXD2デジタルフィルタ回路のブロック図を示します。

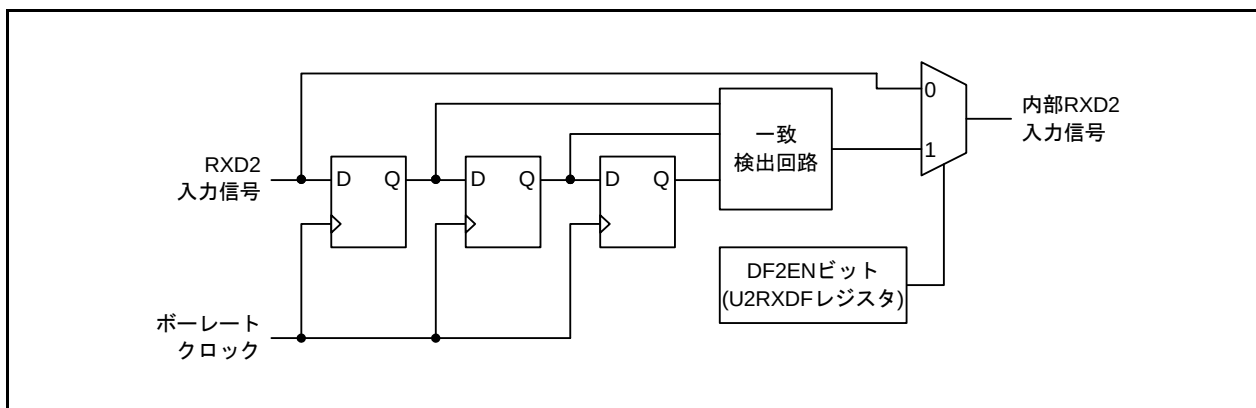


図21.12 RXD2デジタルフィルタ回路のブロック図

21.3.3 特殊モード3 (IEモード)

UARTモードの9ビットの波形でIEBusの1ビットに近似させるモードです。

表21.9にIEモード時の使用レジスタと設定を、図21.13にバス衝突検出機能関連ビットの機能を示します。

TXD2端子の出力レベルとRXD2端子の入力レベルが異なる場合、UART2バス衝突検出割り込み要求が発生します。

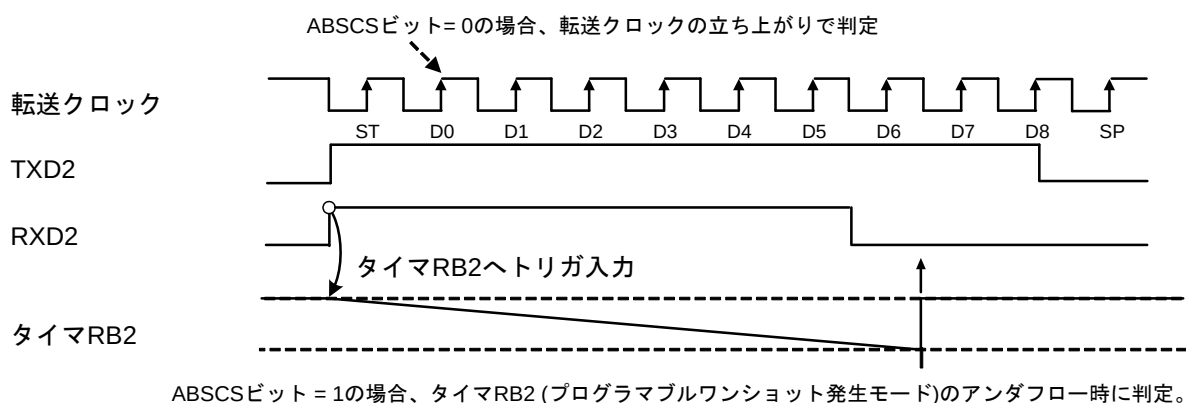
表 21.9 IEモード時の使用レジスタと設定(注1)

レジスタ	ビット	機能
U2TB	b0～b8	送信データを設定してください 0波形出力時は00000000b、1波形出力時は111000000b
U2RB	b0～b8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0～b7 (注2)	ビットレートを設定してください
U2MR	SMD2～SMD0	110bにしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください。
	PRY	無効
	IOPOL	TXD2、RXD2入出力極性を選択してください
U2C0	CLK0、CLK1 (注2)	U2BRGのカウントソースを選択してください
	CRS	無効
	TXEPT	送信レジスタ空フラグ
	CRD	1にしてください
	NCH	TXD2端子の出力形式を選択してください
U2C1	TE	送信を許可する場合1にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、1にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
U2SMR	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリア機能の有無を選択してください
	SSS	送信開始条件を選択してください

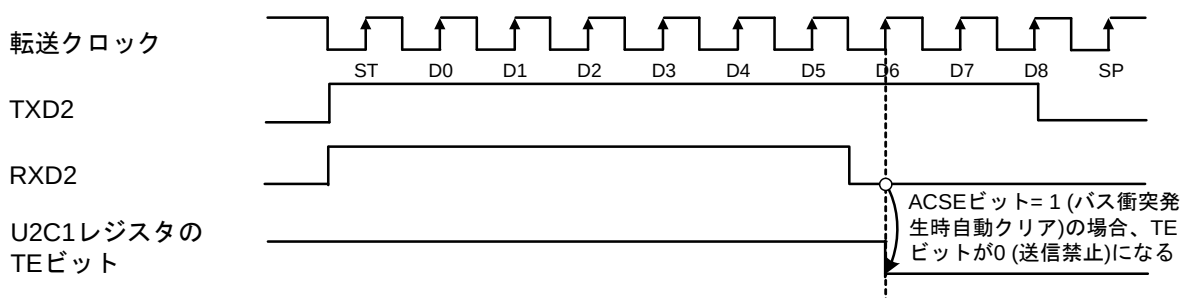
注1. この表に記載していないビットはIEモード時に書く場合、0を書いてください。

注2. 転送クロックを3.2us/bitとなるようにCLK0、CLK1ビット、U2BRGレジスタを設定してください。

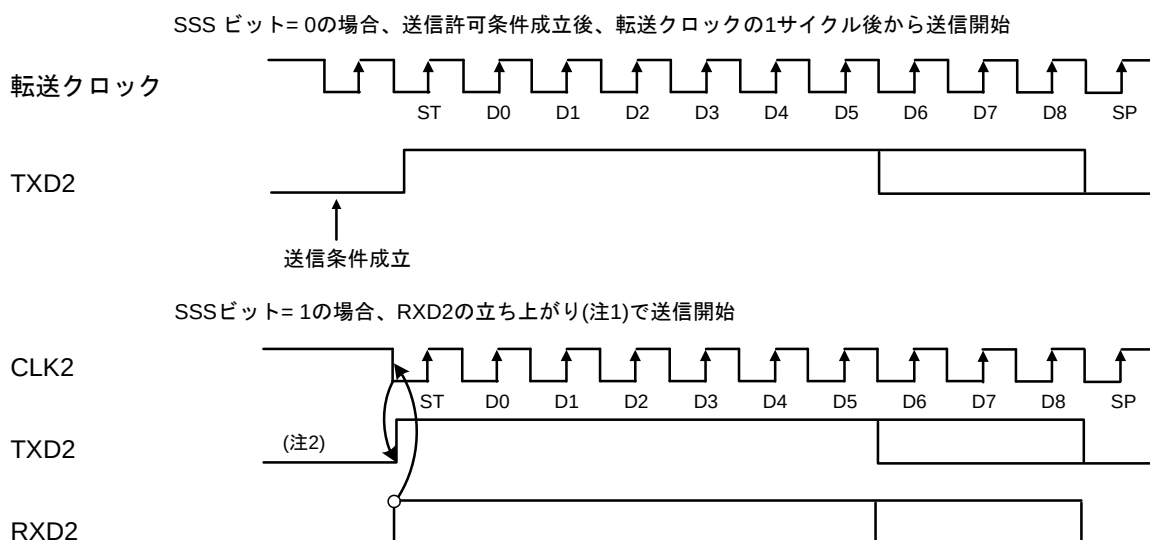
(1) U2SMRレジスタのABSCSビット(バス衝突検出サンプリングクロック選択)



(2) U2SMRレジスタのACSEビット(送信許可ビット自動クリア)



(3) U2SMRレジスタのSSSビット(送信開始条件選択)



上図はIOPOLビット=1 (反転あり)の場合です。

注1. IOPOLビット=0の場合、RXD2の立ち下がり。IOPOLビット=1の場合、RXD2の立ち上がり。

注2. 送信条件は、RXD2の立ち下がり(注1)前に成立している必要があります。

図 21.13 バス衝突検出機能関連ビットの機能

21.3.4 マルチプロセッサ通信モード

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加したクロック非同期式シリアルI/Oモード(UARTモード)により、複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有のIDコードを割り付けます。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが1のときID送信サイクル、0のときデータ送信サイクルとなります。図21.14にマルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局Aへのデータ送信の例)を示します。送信局は、まず受信局のIDコードにマルチプロセッサビット1を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット0を付加した通信データを送信します。受信局は、マルチプロセッサビットが1の通信データを受信すると自局のIDと比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが1の通信データを受信するまで、通信データを読みとばします。

UART2はこの機能をサポートするため、U2SMR5レジスタにMPIEビットが設けてあります。MPIEビットを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでUART2受信レジスタからU2RBレジスタの転送、および受信エラーの検出とU2C1レジスタのRIビット、U2RBレジスタのFER、OERビットの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、U2RBレジスタのMPRBビットが1にセットされるとともに、U2SMR5レジスタのMPIEビットが0になり、通常の受信動作に戻ります。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常のクロック非同期形シリアルI/Oモード(UARTモード)と変わりません。マルチプロセッサ通信を行うときのクロックも、通常のクロック非同期形シリアルI/Oモード(UARTモード)と同一です。

表21.10にマルチプロセッサ通信機能時の使用レジスタと設定値(注1)を示します。

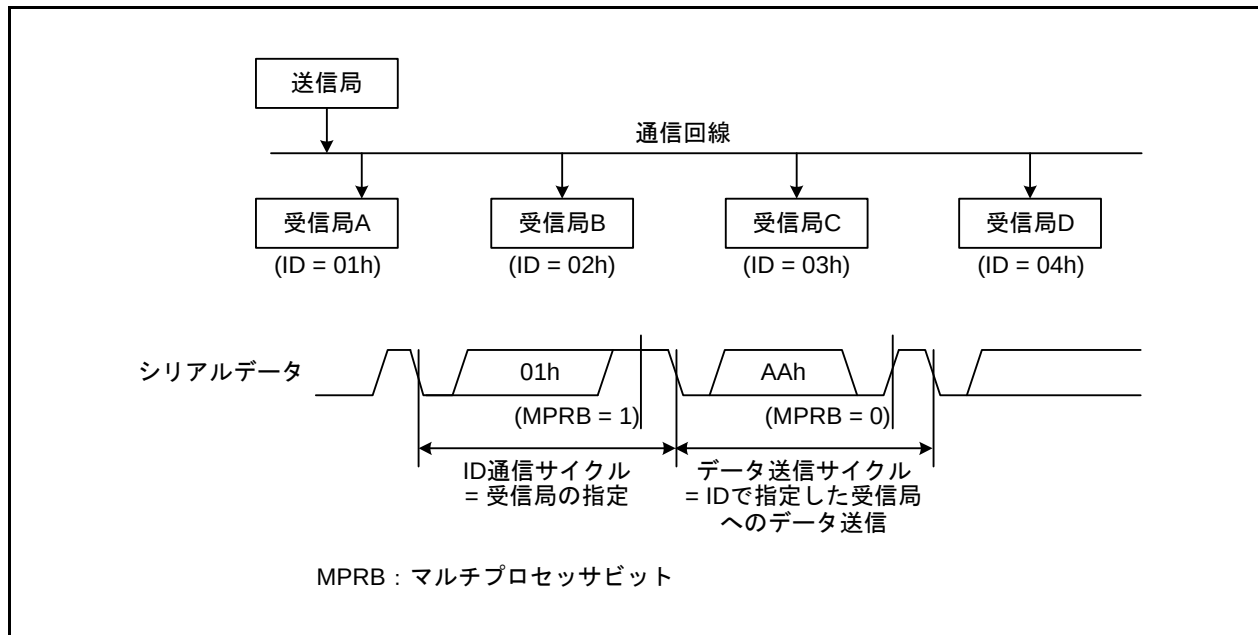


図21.14 マルチプロセッサフォーマットを使用したプロセッサ間通信の例(受信局Aへのデータ送信の例)

表 21.10 マルチプロセッサ通信機能時の使用レジスタと設定値(注1)

レジスタ	ビット	機能
U2TB (注2)	b0 ~ b7	送信データを設定してください
	MPTB	送信マルチプロセッサビットを設定してください
U2RB (注3)	b0 ~ b7	受信データが読めます
	MPRB	マルチプロセッサビット
	OER、FER、PER、SUM	エラーフラグ
U2BRG	b0 ~ b7	ビットレートを設定してください
U2MR	SMD2 ~ SMD0	転送データが7ビットの場合、100bを設定してください
		転送データが8ビットの場合、101bを設定してください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティ検出機能無効
	IOPOL	0にしてください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	CTSまたはRTS機能無効
	TXEPT	送信レジスタ空フラグ
	CRD	1にしてください
	NCH	TXD2端子出力形式を選択してください
U2C1	TE	送信を許可する場合、1にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、1にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
U2SMR5	MP	1にしてください
	MPIE (注4)	マルチプロセッサ受信制御を行う場合は、1にしてください
U2RXDF	DF2EN	デジタルフィルタの有効、無効を選択してください

注1. この表に記載していないビットは、マルチプロセッサ通信モード時には0を書いてください。

注2. IDデータフレームを送信する場合、MPTBビットを1にしてください。データフレームを送信する場合、MPTBビットを0にしてください。

注3. MPRBビットが1の場合、受信したD7 ~ D0はIDフィールドです。MPRBビットが0の場合、受信したD7 ~ D0はデータフィールドです。

注4. MPIEビットを1にする場合は、必ず受信データなし(RIビット=0)の状態を実施してください。

21.3.4.1 マルチプロセッサ送信

図 21.15 にマルチプロセッサデータ送信のフローチャートを示します。ID 送信サイクルでは、U2TB レジスタの MPTB ビットを 1 にして送信してください。データ送信サイクルでは、U2TB レジスタの MPTB を 0 にして送信してください。その他の動作はクロック非同期形シリアル I/O モード(UART モード)の動作と同じです。

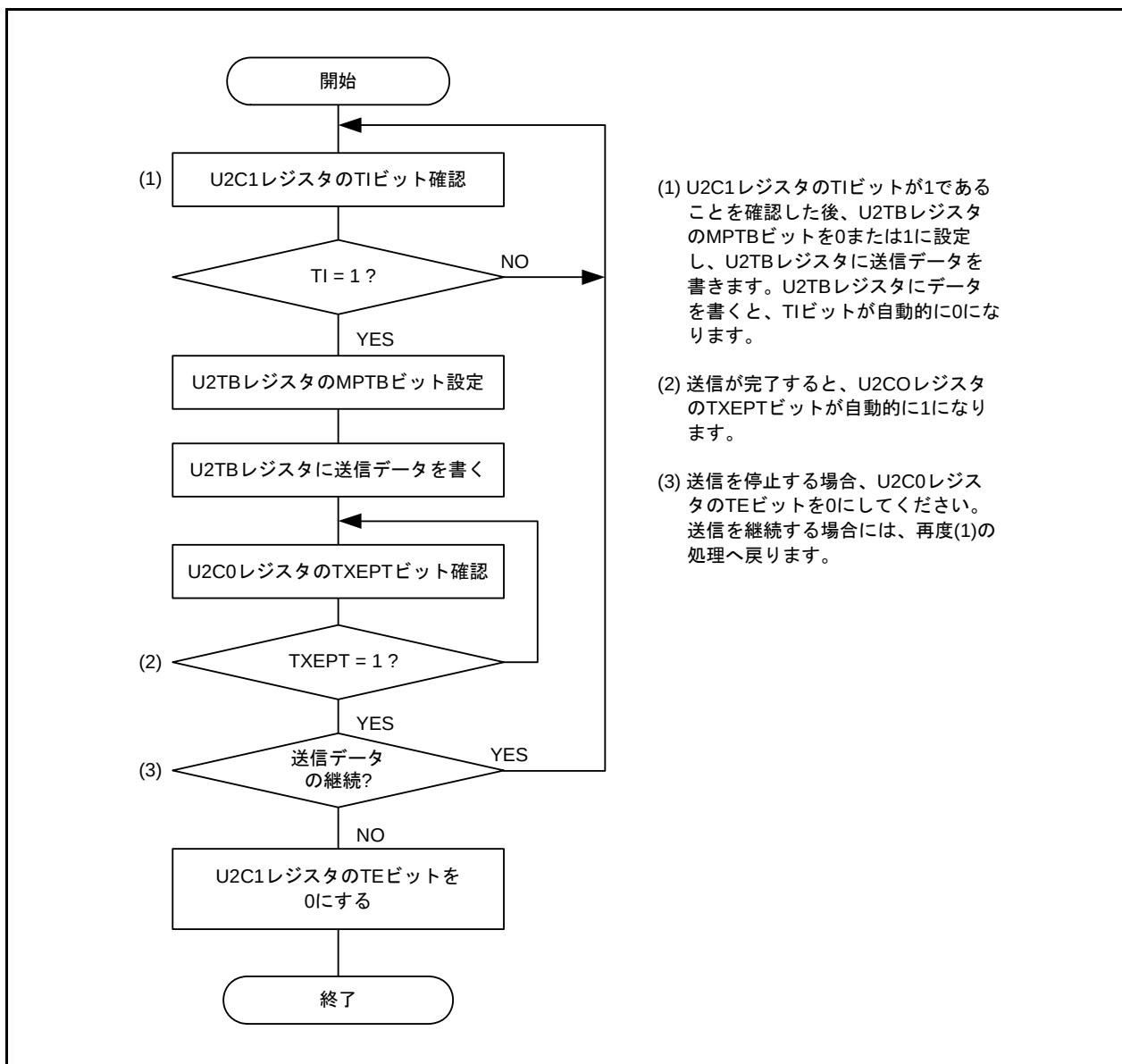


図 21.15 マルチプロセッサデータ送信のフローチャート

21.3.4.2 マルチプロセッサ受信

図 21.16 にマルチプロセッサデータ受信のフローチャートを示します。U2SMR5 レジスタの MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データを読みとばします。マルチプロセッサビットが 1 の通信データを、受信データとして U2RB レジスタに転送します。このとき、受信完了割り込み要求を発生します。その他の動作はクロック非同期形シリアル I/O モード(UART モード)の動作と同じです。図 21.17 にマルチプロセッサ通信の受信動作例(8 ビットデータ、1 ストップビットの例)を示します。

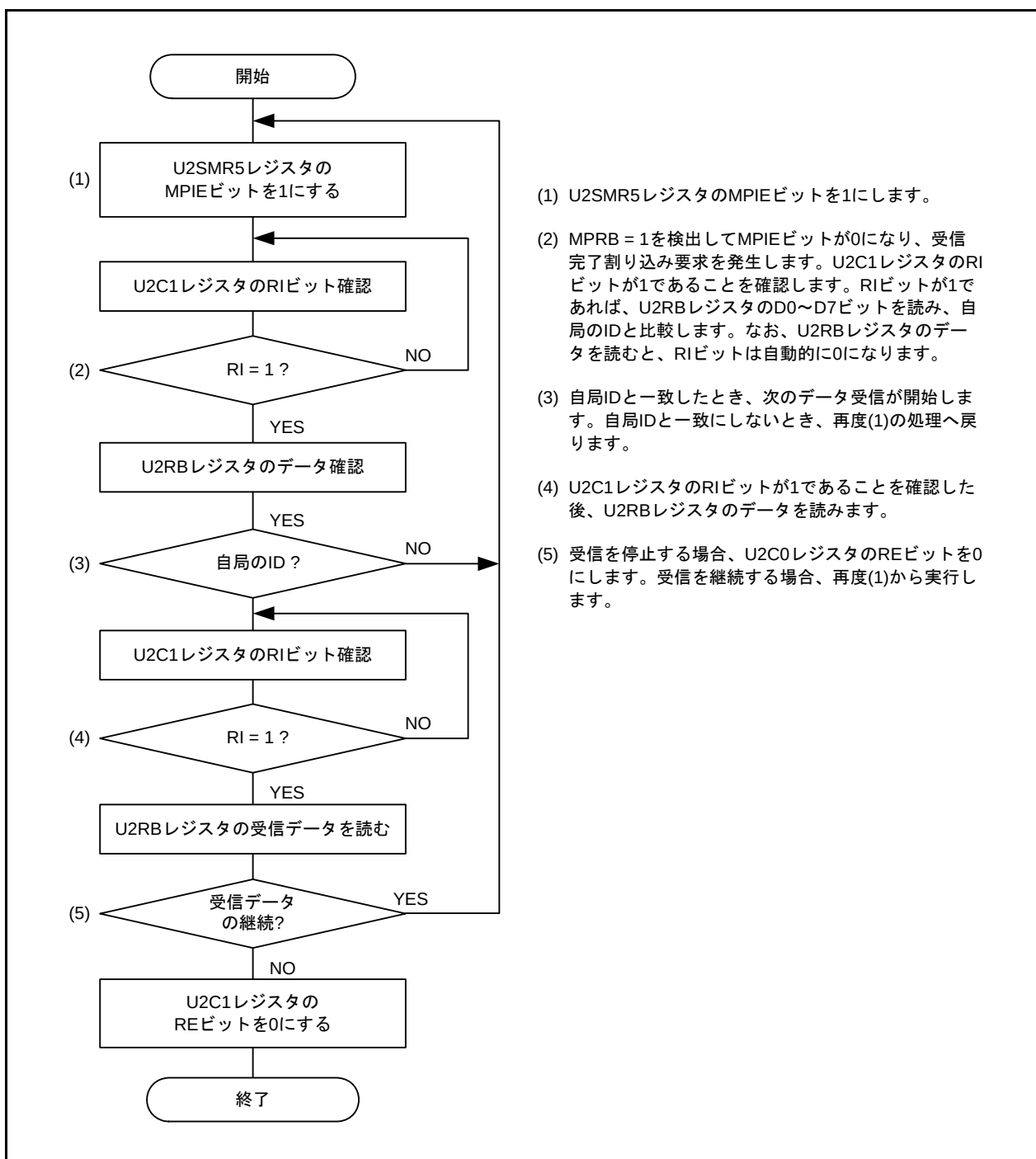


図 21.16 マルチプロセッサデータ受信のフローチャート

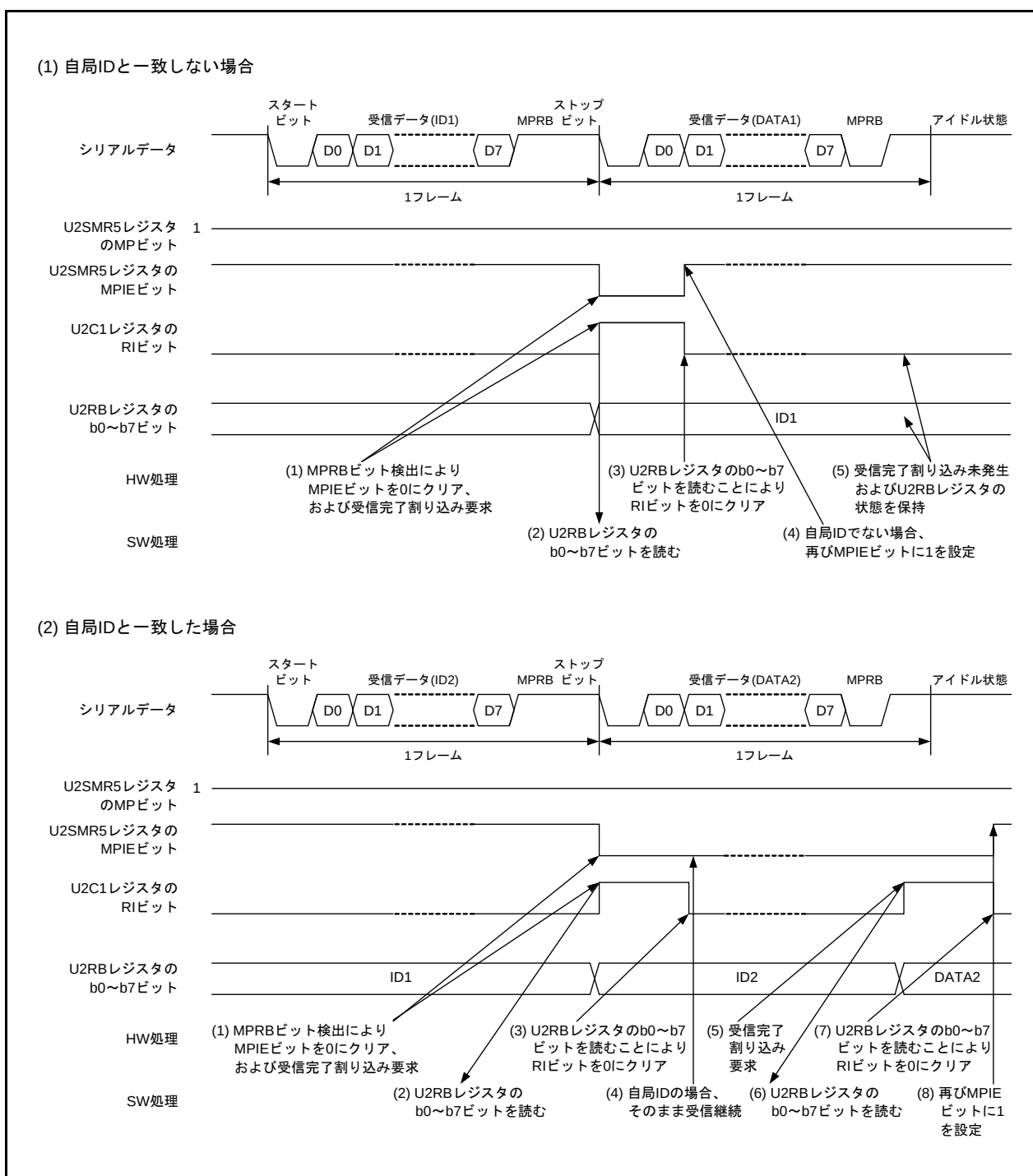


図 21.17 マルチプロセッサ通信の受信動作例(8ビットデータ、1ストップビットの例)

21.3.4.3 RXD2 デジタルフィルタ選択機能

クロック非同期形シリアルI/Oモードと同機能です。「21.3.2.7 RXD2 デジタルフィルタ選択機能」を参照してください。

21.3.5 UART2 割り込み要因

表 21.11 に割り込み要因一覧を示します。

表 21.11 割り込み要因一覧

UART2 割り込み要因	クロック同期形 シリアル I/O モード	UART モード	IE モード	マルチ プロセッサ 通信モード
バス衝突/ コンディション 割り込み	無効 (注 1)	無効 (注 1)	バス衝突検知割り込み	無効 (注 1)
NACK 割り込み	無効	無効	無効	無効
受信/ ACK 割り込み	受信割り込み	受信割り込み	受信割り込み	受信割り込み
送信割り込み	送信バッファ空または 送信完了割り込み	送信バッファ空または 送信完了割り込み	送信バッファ空または 送信完了割り込み	送信バッファ空または 送信完了割り込み

注 1. クロック同期形シリアル I/O モード、UART モード、マルチプロセッサ通信モードでもバス衝突/コンディション割り込みが動作します。そのため、U2BCNIC レジスタの ILVL2 ~ ILVL0 ビットを 000b (レベル 0 (割り込み禁止)) にください。

21.4 シリアルインタフェース (UART2)使用上の注意事項

21.4.1 動作モード共通

21.4.1.1 レジスタアクセス

次のレジスタは、シリアルインタフェース無効時のみ設定変更可能です。シリアルインタフェース有効状態では切り替えないでください。

U2MR レジスタ： CKDIR ビット

U2C0 レジスタ： CLK0、CLK1 ビット

また次のレジスタは、送受信停止中のみ設定変更可能です。送受信中には切り替えないでください。

U2MR レジスタ： SMD0～SMD2、STPS、PRY、PRYE、IOPOL ビット

U2BRG レジスタ： b0～b7 ビット

U2C0 レジスタ： CRS、CRD、NCH、CKPOL、UFORM ビット

U2C1 レジスタ： U2IRS、U2RRM、U2LCH、U2ERE ビット

U2RXDF レジスタ： DF2EN ビット

U2SMR5 レジスタ： MP ビット

U2SMR3 レジスタ： NODC ビット

U2SMR レジスタ： ABSCS、ACSE、SSS ビット

21.4.1.2 Nチャネルオープンドレイン制御ビット

UART2を使用しないときは、下記ビットに0を設定してください。

U2C0 レジスタ： NCH ビット

U2SMR3 レジスタ： NODC ビット

21.4.2 クロック同期形シリアルI/Oモード

21.4.2.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルがLになり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルはHになります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は禁止です。

21.4.2.2 送信

外部クロックを選択している場合、U2C0 レジスタの CKPOL ビットが0 (転送クロックの立ち下がり) で送信データ出力、立ち上がりで受信データ入力) のときは外部クロックがHの状態、CKPOL ビットが1 (転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力) のときは外部クロックがLの状態、次の条件を満たしてください。

- U2C1 レジスタの TE ビットが1 (送信許可)
- U2C1 レジスタの TI ビットが0 (U2TB レジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力がL

21.4.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを1(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを1にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックが発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが1(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、U2RBレジスタのOERビットが1(オーバランエラー発生)になります。この場合、U2RBレジスタは前回の受信データを保持していますので、オーバランエラーが発生したときは、エラー発生データを再送信するように送信と受信側のプログラムで対処してください。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが0のときは外部クロックがHの状態、CKPOLビットが1のときは外部クロックがLの状態、次の条件を満たしてください。

- U2C1レジスタのREビットが1(受信許可)
- U2C1レジスタのTEビットが1(送信許可)
- U2C1レジスタのTIビットが0(U2TBレジスタにデータあり)

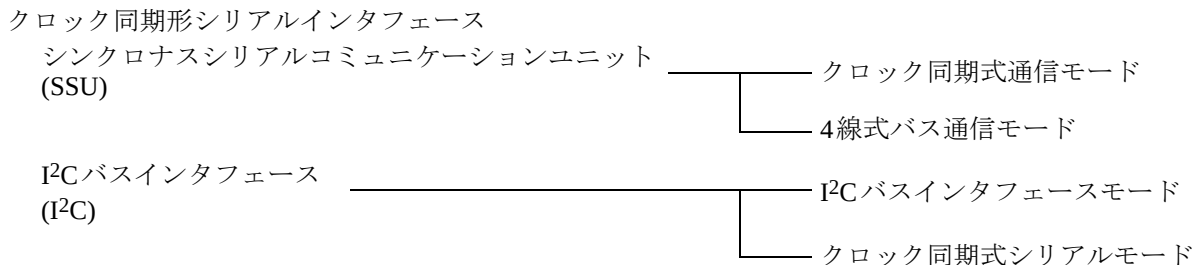
内部クロックを選択している場合は、U2C1レジスタのTEビットに1を設定後、ダミーデータをU2TBレジスタに設定する前にU2C1レジスタのREビットを1に設定してください。

マスタ動作時に連続受信モードで最後のデータを読み出す場合、読み出し前にU2C1レジスタのU2RRMビットを0にしてください。

22. クロック同期形シリアルインタフェース

22.1 概要

クロック同期形シリアルインタフェースは、次の構成です。



22.1.1 モード選択

クロック同期形シリアルインタフェースは4種類のモードを持ちます。

表22.1にモード選択に関わるビットを示します。

表 22.1 モード選択

IICCR レジスタの IICSEL ビット(注1)	SICR1 レジスタの ICE ビット(注1)	SIMR2 レジスタの MS ビット(注1)	機能名	モード
0	0	0	シンクロナスシリアル コミュニケーション ユニット(SSU)	クロック同期式通信 モード
		1		4線式バス通信モード
1	1	0	I ² C バスインタフェース (I ² C)	I ² C バスインタフェース モード
		1		クロック同期式シリアル モード

注1. 表中の組み合わせ以外の設定はしないでください。表中の組み合わせ以外の設定をした場合の動作は不定です。

22.1.2 シンクロナスシリアルコミュニケーションユニット(SSU)

シンクロナスシリアルコミュニケーションユニット(SSU)は、クロック同期式のシリアルデータ通信が可能です。SSUはSSU_0、SSU_1の2チャンネルで構成しています。特に差異がない限り、本章ではSSUとして説明します。

表22.2にシンクロナスシリアルコミュニケーションユニットの仕様を、図22.1にシンクロナスシリアルコミュニケーションユニットのブロック図(i=4、8、16、32、64、128、256)を示します。

表22.2 シンクロナスシリアルコミュニケーションユニットの仕様

項目	仕様
転送データフォーマット	転送データ長 8～16ビット
通信モード	- クロック同期式通信モード 4線式バス通信モード(双方向通信モード含む) - マスタ/スレーブデバイスの選択 - シフト、送信、受信レジスタが独立しているため、シリアルデータの連続送信と連続受信が可能
入出力端子	SSCK (入出力) : クロック入出力端子 SSI (入出力) : データ入出力端子 SSO (入出力) : データ入出力端子 SCS (入出力) : チップセレクト入出力端子
転送クロック	- SICR1レジスタのMSTビットが0(スレーブモード)のとき 外部クロック(SSCK端子から入力) - SICR1レジスタのMSTビットが1(マスタモード)のとき 内部クロック(f1/256、f1/128、f1/64、f1/32、f1/16、f1/8、f1/4から選択できる、SSCK端子から出力) - クロック極性と位相を選択できる
受信エラーの検出	オーバランエラーを検出 受信時にオーバランエラーが発生し、異常終了したことを示す。SISRレジスタのRDRFビットが1(SIRDRレジスタにデータあり)の状態、次のシリアルデータ受信を完了したとき、SISRレジスタのORER_ALビットが1(オーバランエラー発生)になる
マルチマスタエラーの検出	コンフリクトエラーを検出 SIMR2レジスタのMSビットが1(4線式バス通信モード)、SICR1レジスタのMSTビットが1(マスタモード)の状態、SCS端子入力がLであればSISRレジスタのCE_ADZビットが1(コンフリクトエラー発生)になる。 SIMR2レジスタのMSビットが1(4線式バス通信モード)、SICR1レジスタのMSTビットが0(スレーブモード)で転送途中でSCS端子入力がLからHに変化したとき、SISRレジスタのCE_ADZビットが1になる。
割り込み要因	5種類(送信終了、送信データエンプティ、受信データフル、オーバランエラー、コンフリクトエラー(注1))
選択機能	- データ転送方向 MSBファーストまたはLSBファーストを選択 - SSCKクロック極性 クロック停止時のレベルをLかHかを選択 - SSCKクロック位相 データ変化およびデータ取り込みのエッジを選択

注1. コンフリクトエラーは、4線式バス通信モードでのみ発生します。

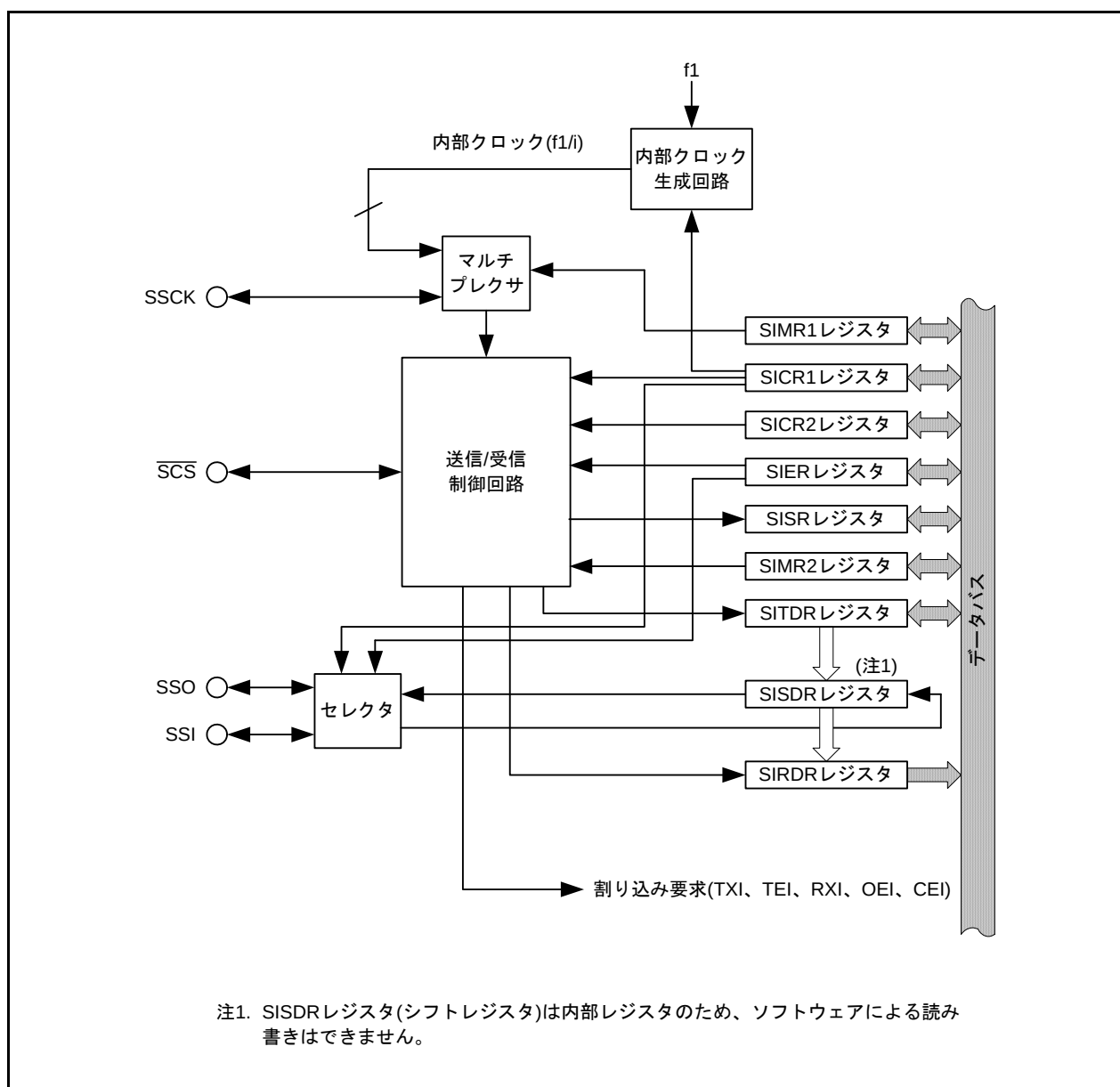


図 22.1 シンクロナスシリアルコミュニケーションユニットのブロック図
($i = 4, 8, 16, 32, 64, 128, 256$)

表 22.3 シンクロナスシリアルコミュニケーションユニットの端子構成

端子名	入出力	機能
SSI	入出力	データ入出力
SCS	入出力	チップセレクト入出力
SSCK	入出力	クロック入出力
SSO	入出力	データ入出力

22.1.3 I²C バスインタフェース

I²C バスインタフェースは、フィリップス社 I²C バスのデータ転送フォーマットに基づいてシリアル通信を行う回路です。I²C バスインタフェースは、I²C_0、I²C_1 の2チャンネルで構成しています。特に差異がない限り、本章ではI²Cとして説明します。

表 22.4 に I²C バスインタフェースの仕様を、図 22.2 に I²C バスインタフェースのブロック図を、図 22.3 に SCL、SDA 端子の外部回路接続例を、表 22.5 に I²C バスインタフェースの端子構成を示します。

表 22.4 I²C バスインタフェースの仕様

項目	仕様
通信モード	• I²C バスインタフェースモード - マスタ/スレーブデバイスの選択 - 連続送信、連続受信が可能(シフト、送信データ、受信データレジスタがそれぞれ独立しているため) - マスタモードでは開始条件、停止条件の自動生成 - 送信時、アクノリッジビットを自動ロード - ビット同期、ウェイト機能内蔵(マスタモードではビットごとに SCL の状態をモニタして自動的に同期をとる。転送準備ができていない場合、SCL を L にして待機させる。) - SCL、SDA 端子の直接駆動(Nチャンネルオープンドレイン出力)が可能 • クロック同期式シリアルモード - 連続送信、連続受信が可能(シフト、送信データ、受信データレジスタがそれぞれ独立しているため)
入出力端子	SCL (入出力) : シリアルクロック入出力端子 SDA (入出力) : シリアルデータ入出力端子
転送クロック	• SICR1 レジスタの MST ビットが 0 (スレーブモード) のとき 外部クロック (SCL 端子から入力) • SICR1 レジスタの MST ビットが 1 (マスタモード) のとき SICR1 レジスタの CKS0 ~ CKS3 ビットおよび IICCR レジスタの IICTCTWI ビット、IICTCHALF ビットで選択する内部クロック (SCL 端子から出力)
受信エラーの検出	• オーバランエラーを検出(クロック同期式シリアルモード) 受信時にオーバランエラーが発生したことを示す。SISR レジスタの RDRF ビットが 1 (SIRD レジスタにデータあり) の状態で、次のデータの最終ビットを受信したとき、SISR レジスタの ORER_AL ビットが 1 (オーバランエラー発生) になる
割り込み要因	• I²C バスインタフェースモード : 6 種類 送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出、停止条件検出 • クロック同期式シリアルモード : 4 種類 送信データエンプティ、送信終了、受信データフル、オーバランエラー
選択機能	• I²C バスインタフェースモード - 受信時、アクノリッジの出力レベルを選択 • クロック同期式シリアルモード - データ転送方向に MSB ファーストまたは LSB ファーストを選択 • SDA のデジタル遅延 IICCR レジスタの SDADLY0、SDADLY1 ビットで SDA 端子のデジタル遅延値を選択

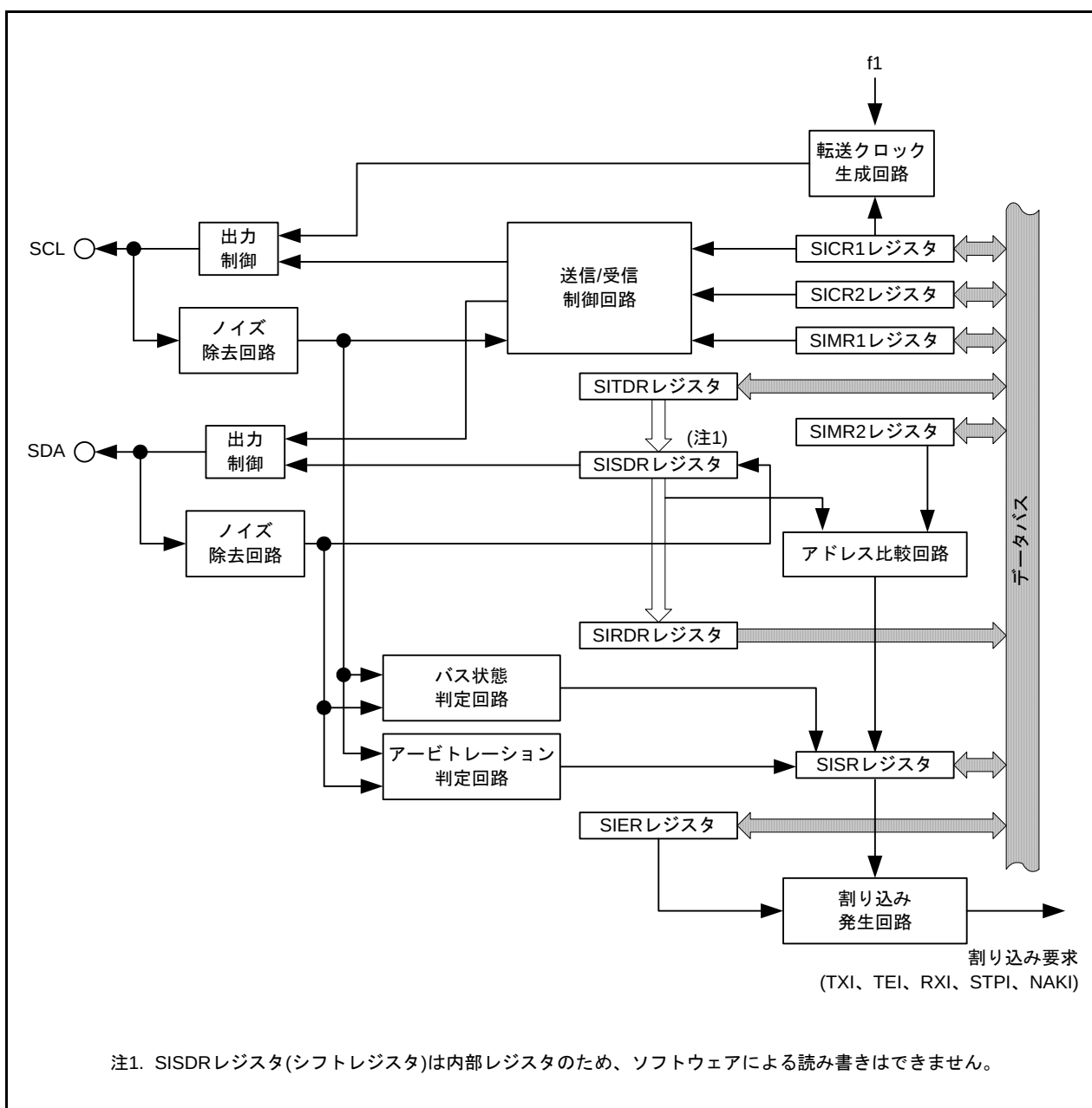


図 22.2 I²C バスインタフェースのブロック図

表 22.5 I²C バスインタフェースの端子構成

端子名	機能
SCL	クロック入出力
SDA	データ入出力

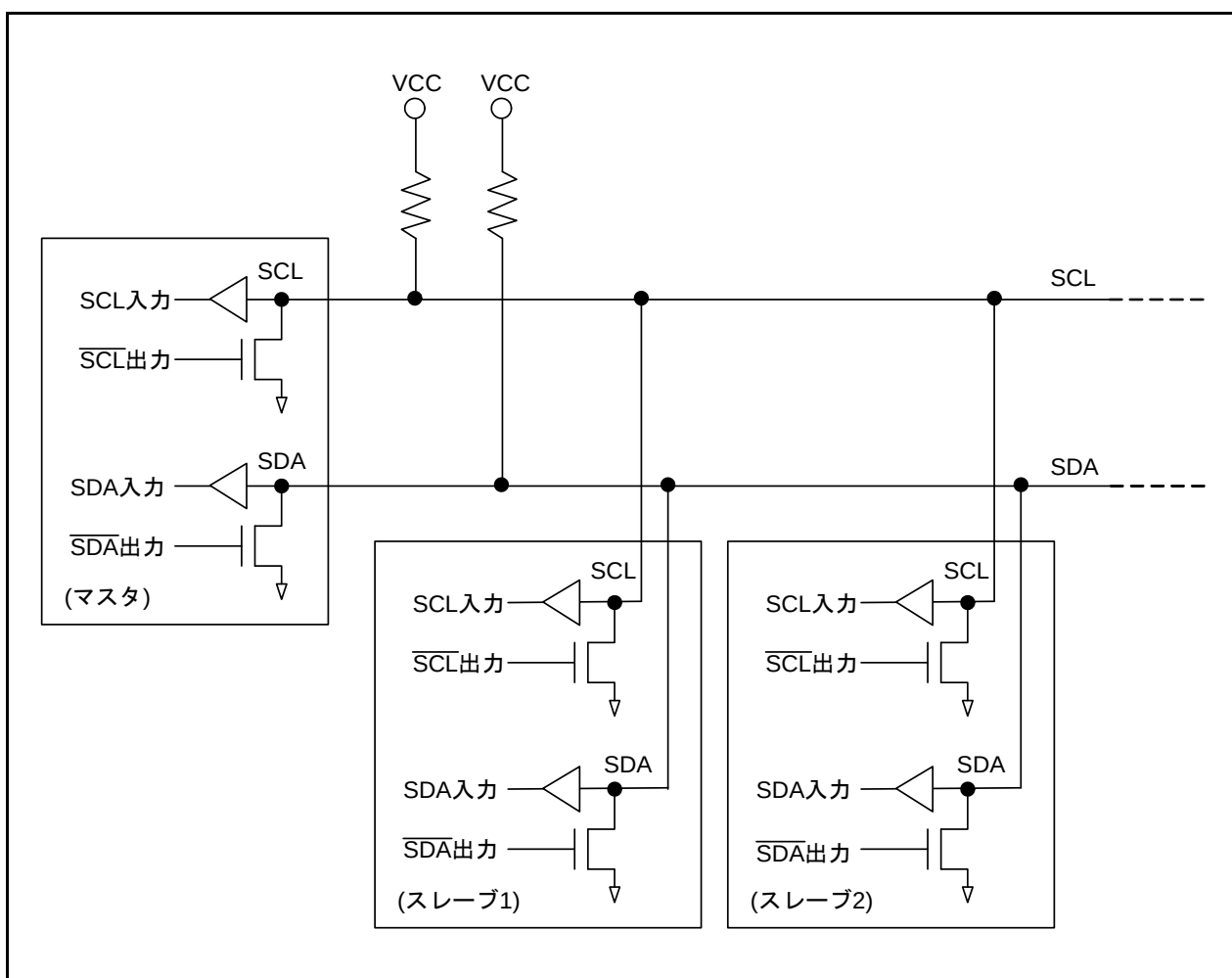


図 22.3 SCL、SDA 端子の外部回路接続例

22.2 レジスタの説明

クロック同期形シリアルインタフェースのレジスタは、SSU機能とI²Cバス機能を共有しています。

表22.6にクロック同期形シリアルインタフェースのレジスタ構成を示します。

表22.6 クロック同期形シリアルインタフェースのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
I ² C_0制御レジスタ	IICCR_0	00001110b	000E0h	8
SS_0ビットカウンタレジスタ	SSBR_0	11111000b	000E1h	8
SI_0送信データレジスタ	SITDR_0	FFh	000E2h	8または16 (注1)
		FFh	000E3h	
SI_0受信データレジスタ	SIRDR_0	FFh	000E4h	8または16 (注1)
		FFh	000E5h	
SI_0制御レジスタ1	SICR1_0	00h	000E6h	8
SI_0制御レジスタ2	SICR2_0	01111101b	000E7h	8
SI_0モードレジスタ1	SIMR1_0	00010000b	000E8h	8
SI_0割り込み許可レジスタ	SIER_0	00h	000E9h	8
SI_0ステータスレジスタ	SISR_0	00h	000EAh	8
SI_0モードレジスタ2	SIMR2_0	00h	000EBh	8
I ² C_1制御レジスタ	IICCR_1	00001110b	000F0h	8
SS_1ビットカウンタレジスタ	SSBR_1	11111000b	000F1h	8
SI_1送信データレジスタ	SITDR_1	FFh	000F2h	8または16 (注1)
		FFh	000F3h	
SI_1受信データレジスタ	SIRDR_1	FFh	000F4h	8または16 (注1)
		FFh	000F5h	
SI_1制御レジスタ1	SICR1_1	00h	000F6h	8
SI_1制御レジスタ2	SICR2_1	01111101b	000F7h	8
SI_1モードレジスタ1	SIMR1_1	00010000b	000F8h	8
SI_1割り込み許可レジスタ	SIER_1	00h	000F9h	8
SI_1ステータスレジスタ	SISR_1	00h	000FAh	8
SI_1モードレジスタ2	SIMR2_1	00h	000FBh	8

注1. I²Cバス機能の場合は8ビット単位で、SSU機能の場合は16ビット単位でアクセスしてください。

注2. スタンバイモード時、SICR2 レジスタの SDAO ビット、SCLO ビット、SIMR1 レジスタの BC0～BC3 ビット、および内部レジスタの値が初期化されます。それ以外の SICR2 レジスタと SIMR1 レジスタのビットおよびレジスタは初期化されません。

注3. スタンバイモード後に書き込みアクセスする場合は、NOP 命令を最低1つ入れてください。

注4. I²Cバス、SSU機能動作中はスタンバイ状態にしないでください。

注5. スタンバイ状態ではすべてのレジスタの書き込みができません。読み出すことは可能です。

22.2.1 I²C 制御レジスタ (IICCR)

アドレス 000E0h (IICCR_0)、000F0h (IICCR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SDADLY1	SDADLY0	IICTCHALF	IICTCTWI	—	—	—	IICSEL
リセット後の値	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSEL	SSU/I ² C バス切り替えビット (注1)	0 : SSU 機能 1 : I ² C バス機能	R/W
b1	—	何も配置されていない。書く場合、1 を書いてください。読んだ場合、その値は1。		—
b2	—			
b3	—			
b4	IICTCTWI	I ² C 転送レート2倍選択 ビット(注2、3)	0 : SICR1 レジスタのCKS0～CKS3 ビットの設定値通 りの転送レート 1 : SICR1 レジスタのCKS0～CKS3 ビットの設定値の 2倍の転送レート	R/W
b5	IICTCHALF	I ² C 転送レート1/2倍選択 ビット(注2、3)	0 : SICR1 レジスタのCKS0～CKS3 ビットの設定値通 りの転送レート 1 : SICR1 レジスタのCKS0～CKS3 ビットの設定値の 1/2倍の転送レート	R/W
b6	SDADLY0	SDA 端子デジタル遅延選択 ビット(注3、4、5)	b7 b6 0 0 : 3 × f1 サイクルのデジタル遅延 0 1 : 11 × f1 サイクルのデジタル遅延 1 0 : 19 × f1 サイクルのデジタル遅延 1 1 : 設定しないでください	R/W
b7	SDADLY1			R/W

注1. I²C バス機能と SSU 機能の切り替え前には全レジスタの初期化を行ってください。注2. I²C バス機能時は IICTCTWI、IICTCHALF ビットの両方に1を設定しないでください。また、SSU 機能時は両方とも0を設定してください。

注3. 初期設定段階で設定し、動作中に書き換えないでください。

注4. 転送レートの半分以上のデジタル遅延を設定しないでください。

注5. I²C バス機能時のみ有効です。SSU 機能時は無効です。

22.2.2 SSビットカウンタレジスタ (SSBR)

アドレス 000E1h (SSBR_0)、000F1h (SSBR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	BS3	BS2	BS1	BS0
リセット後の値	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BS0	SSUデータ転送長設定ビット (注1、2)	b3 b2 b1 b0 0 0 0 0 : 16ビット	R/W
b1	BS1		1 0 0 0 : 8ビット	R/W
b2	BS2		1 0 0 1 : 9ビット	R/W
b3	BS3		1 0 1 0 : 10ビット	R/W
			1 0 1 1 : 11ビット	
			1 1 0 0 : 12ビット	
			1 1 0 1 : 13ビット	
			1 1 1 0 : 14ビット	
			1 1 1 1 : 15ビット	
			上記以外 : 設定しないでください	
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	—			
b6	—			
b7	—			

注1. SSU機能の動作中は、BS0 ~ BS3 ビットに書かないでください。SIERレジスタのRE_STIEビットが0 (データ受信禁止)、TE_NAKIEビットが0 (データ送信禁止)のとき、BS0~BS3ビットに書いてください。

注2. 定められた値以外の設定は無効です。

SSBRレジスタの設定はSSU機能のとき有効です。I²Cバス機能ではSSBRレジスタの設定は無効です。

BS0～BS3ビット(SSUデータ転送長設定ビット)

SSUデータ転送長として8～16ビットが使用できます。

22.2.3 SI送信データレジスタ (SITDR)

アドレス 000E2h (SITDR_0)、000F2h (SITDR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	送信データを保管。(注1) SISDRレジスタの空きが検出されると、このレジスタに保管されている送信データがSISDRレジスタへ転送されて、送信が開始する。 SISDRレジスタからデータを送信中に、SITDRレジスタに次の送信データを書いておくと、連続して送信できる。 SIMR1レジスタのMLSビットが1 (LSBファーストでデータ転送)の場合、SITDRレジスタに書いた後、読むとMSBとLSBが反転したデータが読めます。	R/W

注1. データ転送長9ビット以上(b8～b15)はSSU機能でのみで使用します。SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SITDRレジスタを16ビット単位でアクセスしてください。

8ビットアクセスの場合、上位バイト(b15～b8)へアクセスしても送信動作は開始されません。下位バイト(b7～b0)へアクセスするとTDREがネゲートされ、送信動作が開始します。

22.2.4 SI受信データレジスタ (SIRDR)

アドレス 000E4h (SIRDR_0)、000F4h (SIRDR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1

ビット	機能	R/W
b15～b0	受信データを保管。(注1、2、3) SISDRレジスタが1バイトのデータを受信すると、SIRDRレジスタへ受信データが転送されて、受信動作が終了する。このとき、次の受信が可能になる。 このようにSISDRレジスタとSIRDRレジスタの2つのレジスタによって、連続受信が可能である。	R

注1. SISRレジスタのORER_ALビットが1 (オーバランエラー発生)になったとき、SIRDRレジスタはオーバランエラー発生前の受信データを保持します。オーバランエラー発生時の受信データ(SISDRレジスタのデータ)は、破棄されます。

注2. データ転送長9ビット以上(b8～b15)はSSU機能でのみで使用します。SSBRレジスタでSSUデータ転送長を9ビット以上に設定する場合、SIRDRレジスタを16ビット単位でアクセスしてください。

SIRDRレジスタを8ビット単位でアクセスした場合もSISRレジスタのRDRFビットは0 (SIRDRレジスタにデータなし)になります。

注3. RDRFビットが1 (SIRDRレジスタにデータあり)のときにSIRDRレジスタを読んでください。

22.2.5 SI制御レジスタ 1 (SICR1)

SICR1 レジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

22.2.5.1 SSU機能の場合

アドレス 000E6h (SICR1_0)、000F6h (SICR1_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット (注1)	b3 b2 b1 b0 0 0 0 0 : f1/256	R/W
b1	CKS1		0 0 0 1 : f1/128	R/W
b2	CKS2		0 0 1 0 : f1/64	R/W
b3	CKS3		0 0 1 1 : f1/32	R/W
			0 1 0 0 : f1/16	
			0 1 0 1 : f1/8	
			0 1 1 0 : f1/4	
			上記以外 : 設定しないでください	
b4	TRS	予約ビット	0にしてください	R/W
b5	MST	マスタ/スレーブ選択ビット (注2、3)	0 : スレーブモード 1 : マスタモード	R/W
b6	RCVD	受信禁止ビット (注4)	0 : 次の受信動作を継続 1 : 次の受信動作を禁止	R/W
b7	ICE	予約ビット	0にしてください	R/W

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては「22.3.1.1 転送クロック」を参照してください。

注2. MSTビットが1(マスタモード)のとき、SSCK端子は転送クロック出力端子になります。SISRレジスタのCE_ADZビットが1(コンフリクトエラー発生)になると、MSTビットは0(スレーブモード)になります。

注3. マルチマスタで使用する場合、MSTビットの設定にはMOV命令を使用してください。

注4. MSTビットが0(スレーブモード)のとき、RCVDビットに1を設定しないでください。

22.2.5.2 I²C バス機能の場合

アドレス 000E6h (SICR1_0)、000F6h (SICR1_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	転送クロック選択ビット (注1)	b3 b2 b1 b0 0 0 0 0 : f1/28	R/W
b1	CKS1		0 0 0 1 : f1/40	R/W
b2	CKS2		0 0 1 0 : f1/48	R/W
b3	CKS3		0 0 1 1 : f1/64	R/W
			0 1 0 0 : f1/80	
			0 1 0 1 : f1/100	
			0 1 1 0 : f1/112	
			0 1 1 1 : f1/128	
			1 0 0 0 : f1/56	
			1 0 0 1 : f1/80	
			1 0 1 0 : f1/96	
			1 0 1 1 : f1/128	
			1 1 0 0 : f1/160	
			1 1 0 1 : f1/200	
			1 1 1 0 : f1/224	
			1 1 1 1 : f1/256	
b4	TRS	送信/受信選択ビット (注2、3、4、5、6)	0 : 受信モード 1 : 送信モード	R/W
b5	MST	マスタ/スレーブ選択ビット (注4、5、7)	0 : スレーブモード 1 : マスタモード	R/W
b6	RCVD	受信禁止ビット (注8)	TRS = 0 の状態で SIRD R レジスタを読んだ後、 0 : 次の受信動作を継続 1 : 次の受信動作を禁止	R/W
b7	ICE	I ² C バスインタフェース許可ビット (注9)	0 : SCL、SDA の出力禁止 (SCL、SDA への入力 は可能) 1 : I ² C バス機能の転送可能状態	R/W

注1. マスタモードでは必要な転送レートに合わせて設定してください。転送レートについては「表 22.9、表 22.10 転送レート例」を参照してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この機能の詳細は「22.4.2.5.1 I²C スレーブ送信動作時のデータセットアップ時間確保」を参照してください。

注2. TRS ビットは転送フレーム間で書き換えてください。

注3. スレーブ受信モードで開始条件後の7ビットが SIMR2 レジスタに設定したスレーブアドレスと一致し、8ビット目が1の場合、TRS ビットが1 (送信モード) になります。

注4. I²C バスインタフェースモードのマスタモードでバス競合負けすると、MST および TRS ビットが0になり、スレーブ受信モードになります。

注5. マルチマスタで使用する場合、TRS および MST ビットの設定には MOV 命令を使用してください。

注6. TRS ビットが1のとき、RCVD ビットに1を設定しないでください。

注7. クロック同期形シリアルモードのマスタ受信モードでオーバランエラーが発生した場合、MST ビットが0になり、スレーブ受信モードになります。

注8. MST ビットが0 (スレーブモード) のとき、RCVD ビットに1を設定しないでください。

注9. I²C バス機能動作中に ICE ビットに0または SICR2 レジスタの SIRST ビットに1を書くと、SICR2 レジスタの BBSY ビットと SISR レジスタの STOP ビットが不定になる場合があります。「22.5 クロック同期形シリアルインタフェース使用上の注意事項」を参照してください。

22.2.6 SI制御レジスタ 2 (SICR2)

SICR2 レジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

22.2.6.1 SSU機能の場合

アドレス 000E7h (SICR2_0)、000F7h (SICR2_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	—	SIRST	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b1	SIRST	制御部リセットビット	動作中に通信不具合等によりハングアップしたとき、1を書くとポートの設定、レジスタ(注1)の初期化をせずに制御部を初期化します。	R/W
b2	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b3	SCLO	予約ビット	1にしてください	R
b4	SDAOP	SDAOライトプロテクトビット(注2)	0を書くとSDAOビットによって出力レベルが変更できる。 1を書いても無効。読んだ場合、その値は1。	R/W
b5	SDAO	シリアルデータ出力値制御ビット(注3)	読んだ場合シリアルデータ出力をモニタします。 0：シリアルデータ出力がL 1：シリアルデータ出力がH 書いた場合(注2、4) 0：データ出力をLにする 1：データ出力をHにする	R/W
b6	SCP	予約ビット	1にしてください	R/W
b7	BBSY	予約ビット	0にしてください	R/W

注1. シフトレジスタ、SCLOビット、SDAOビット、SIMR1レジスタのBC0～BC3ビットを除くすべてのSFR。

注2. SDAOビットに書くときは、MOV命令を使用してSDAOPビットに0、SDAOビットに0を同時に書いてください。

注3. 4線式バス通信モード時は書き換えしないでください。

注4. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。

シリアルデータの送信前後にSDAOビットの内容を書き換えると、その時点から転送開始までのデータ出力に反映されます。データ転送中はSDAOビットに書かないでください。

22.2.6.2 I²C バス機能の場合

アドレス 000E7h (SICR2_0)、000F7h (SICR2_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BBSY	SCP	SDAO	SDAOP	SCLO	—	SIRST	—
リセット後の値	0	1	1	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b1	SIRST	制御部リセットビット	動作中に、通信不具合等によりハングアップしたとき、1を書くとポートの設定、レジスタ(注1)の初期化をせずに、制御部をリセットします。	R/W
b2	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b3	SCLO	SCL モニタフラグ	0: SCL 端子はL 1: SCL 端子はH	R
b4	SDAOP	SDAO ライトプロテクトビット(注2)	SDAO ビットを書き換えるとき、同時に0を書いてください。読んだ場合、その値は1。	R/W
b5	SDAO	シリアルデータ出力値制御ビット	読んだ場合シリアルデータ出力をモニタします 0: シリアルデータ出力がL 1: シリアルデータ出力がH 書いた場合(注2、3) 0: シリアルデータ出力をLにする 1: シリアルデータ出力をHにする	R/W
b6	SCP	開始/停止条件発行禁止ビット(注4)	BBSY ビットに書くとき、同時に0を書いてください。読んだ場合、その値は1。1書き込みは無効になります。	R/W
b7	BBSY	バスビジービット(注4、5、6)	読んだ場合 0: バスが開放状態(SCL 信号がHの状態ですDA 信号がLからHに変化) 1: バスが占有状態(SCL 信号がHの状態ですDA 信号がHからLに変化) 書いた場合 0: 停止条件を発行 1: 開始条件を発行	R/W

注1. シフトレジスタ、SCLO ビット、SDAO ビット、SIMR1 レジスタのBC0～BC3 ビットを除く、すべてのSFR。

注2. SDAO ビットを書き換える場合は、同時にSDAOP ビットへMOV 命令を使用して0を書いてください。

注3. シリアルデータ送信後のデータ出力は、送信されたシリアルデータの最終ビットの値を保持します。シリアルデータの送信前後にSDAO ビットの内容を書き換えると、その時点から送信開始までのデータ出力に反映されます。SDAO ビットは転送動作中に書かないでください。

注4. I²C バス機能のマスタモード時に有効です。BBSY ビットに書く場合は、同時にSCP ビットへMOV 命令を使用して0を書いてください。開始条件の再発行時も、同様に実施してください。

注5. クロック同期シリアルモード時は無効です。

注6. I²C バス機能動作中にSICR1 レジスタのICE ビットに0またはSICR2 レジスタのSIRST ビットに1を書くと、SICR2 レジスタのBBSY ビットとSISR レジスタのSTOP ビットが不定になる場合があります。「22.5 クロック同期形シリアルインタフェース使用上の注意事項」を参照してください。また、I²C バスインタフェースモード時に制御部リセットを実施する場合は「22.4.8 I²C バスインタフェースモード時の制御部リセット手順」に従ってください。これによりBBSY ビットとSTOP ビットの不定を対策可能です。SSU バスインタフェースモード(クロック同期式通信モード、4線式バス通信モード)およびクロック同期式シリアルモード時に制御部リセットを実施した場合は、制御部リセット後にTE_NAKIE およびRE_STIE を再設定してください。

SDAO ビットへの0書き込みより開始条件を発行したとしても転送可能状態には移行しません。
BBSY ビットへの1書き込みによる開始条件発行のみが有効となります。

SDAO ビットへの1書き込みによる停止条件の発行は、SCL がLに固定されているため不可能です。
BBSY ビットへの0書き込みによる停止条件の発行を行ってください。

22.2.7 SIモードレジスタ1 (SIMR1)

SIMR1 レジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

22.2.7.1 SSU機能の場合

アドレス 000E8h (SIMR1_0)、000F8h (SIMR1_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS_WAIT	CPHS	—	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ (注1)	b3 b2 b1 b0 0 0 0 0 : 残り16ビット	R
b1	BC1		0 0 0 1 : 残り1ビット	R
b2	BC2		0 0 1 0 : 残り2ビット	R
b3	BC3		0 0 1 1 : 残り3ビット	R
			0 1 0 0 : 残り4ビット	
			0 1 0 1 : 残り5ビット	
			0 1 1 0 : 残り6ビット	
			0 1 1 1 : 残り7ビット	
			1 0 0 0 : 残り8ビット	
			1 0 0 1 : 残り9ビット	
			1 0 1 0 : 残り10ビット	
			1 0 1 1 : 残り11ビット	
			1 1 0 0 : 残り12ビット	
			1 1 0 1 : 残り13ビット	
			1 1 1 0 : 残り14ビット	
			1 1 1 1 : 残り15ビット	
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	CPHS	転送クロック位相選択ビット (注2)	0 : 奇数エッジでデータ変化 (偶数エッジでデータ取り込み) 1 : 偶数エッジでデータ変化 (奇数エッジでデータ取り込み)	R/W
b6	CPOS_WAIT	クロック選択ビット (注2)	0 : クロック停止時、H 1 : クロック停止時、L	R/W
b7	MLS	MSB ファースト/LSB ファースト選択 ビット	0 : MSB ファーストでデータ転送 1 : LSB ファーストでデータ転送	R/W

注1. SSU機能(IICCRレジスタのIICSELビットが0、SICR1レジスタのICEビットが0)のとき、書き込みは無効になります。

注2. CPHS、CPOS_WAIT ビットの設定については「22.3.1.2 転送クロックの極性、位相とデータの関係」を参照してください。

SIMR2レジスタのMSビットが0(クロック同期式通信モード)のとき、CPHSビットを0、CPOS_WAITビットを0にしてください。

BC0～BC3ビット(ビットカウンタ)

送受信中のシフトレジスタの状態が読み出せます。

22.2.7.2 I²Cバス機能の場合

アドレス 000E8h (SIMR1_0)、000F8h (SIMR1_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	MLS	CPOS_WAIT	CPHS	—	BC3	BC2	BC1	BC0
リセット後の値	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BC0	ビットカウンタ0~2	I ² Cバスインタフェースモード(読み出し時は残りの転送ビット数、書き込み時は次に転送するデータのビット数) (注1) b2 b1 b0 0 0 0 : 9ビット(注2) 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット クロック同期式シリアルモード(読み出し時は残りの転送ビット数、書き込み時は常に000bを書いてください。) b2 b1 b0 0 0 0 : 8ビット 0 0 1 : 1ビット 0 1 0 : 2ビット 0 1 1 : 3ビット 1 0 0 : 4ビット 1 0 1 : 5ビット 1 1 0 : 6ビット 1 1 1 : 7ビット	R/W
b1	BC1			R/W
b2	BC2			R/W
b3	BC3	ビットカウンタ3	BC0~BC2ビットを書き換えるとき、同時に0を書いてください。(注1、3)読んだ場合、その値は1。	R/W
b4	—	何も配置されていない。書く場合、1を書いてください。読んだ場合、その値は1。		—
b5	CPHS	予約ビット	0にしてください	R/W
b6	CPOS_WAIT	ウェイト挿入ビット(注4)	0: ウェイトなし(データとアクノリッジを連続して転送) 1: ウェイトあり(データの最終ビットのクロックが立ち下がった後、2転送クロック分Lを延長)	R/W
b7	MLS	MSBファースト/LSBファースト選択ビット	0: MSBファーストでデータ転送(注5) 1: LSBファーストでデータ転送	R/W

注1. BC0~BC2ビットに書く場合は、同時にBC3ビットに0をMOV命令を使用して書いてください。1を書いたときのBC0~BC2ビットの書き込み値は無効になります。

注2. アクノリッジを含むデータ転送終了後、BC2~BC0ビットは自動的に000bになります。開始条件検出時、BC2~BC0ビットは自動的に000bになります。

注3. クロック同期式シリアルモード時は書き換えしないでください。

注4. I²Cバスインタフェースモードのマスタモード時に、設定値が有効です。I²Cバスインタフェースモードのスレーブモード時およびクロック同期シリアルモード時は無効です。

注5. I²Cバスインタフェースモード時は、0にしてください。

22.2.8 SI 割り込み許可レジスタ (SIER)

SIER レジスタは SSU 機能と I²C バス機能でビットの機能が異なります。

22.2.8.1 SSU 機能の場合

アドレス 000E9h (SIER_0)、000F9h (SIER_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE_NAKIE	RE_STIE	ACKE	ACKBR	CEIE_ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE_ACKBT	コンフリクトエラー割り込み許可ビット	0: コンフリクトエラー割り込み要求禁止 1: コンフリクトエラー割り込み要求許可	R/W
b1	ACKBR	予約ビット	読んだ場合、その値は0。	R
b2	ACKE	予約ビット	0にしてください	R/W
b3	RE_STIE	受信許可ビット (注1)	0: 受信禁止 1: 受信許可	R/W
b4	TE_NAKIE	送信許可ビット	0: 送信禁止 1: 送信許可	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバランエラー 割り込み要求禁止 1: 受信データフルおよびオーバランエラー 割り込み要求許可	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	R/W

注1. 4線式バス(多方向)通信モード時は、TE_NAKIEビットおよびRE_STIEビットをともに1にしないでください。
1を設定した場合、RE_STIEビットは0になります。

22.2.8.2 I²C バス機能の場合

アドレス 000E9h (SIER_0)、000F9h (SIER_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TIE	TEIE	RIE	TE_NAKIE	RE_STIE	ACKE	ACKBR	CEIE_ACKBT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CEIE_ACKBT	送信アクノリッジ選択ビット	0: 受信モード時、アクノリッジのタイミングで0を送出 1: 受信モード時、アクノリッジのタイミングで1を送出	R/W
b1	ACKBR	受信アクノリッジビット	0: 送信モード時、受信デバイスから受け取ったアクノリッジビットが0 1: 送信モード時、受信デバイスから受け取ったアクノリッジビットが1	R
b2	ACKE	アクノリッジビット判定選択ビット	0: 受信アクノリッジの内容を無視して連続的に転送 1: 受信アクノリッジが1の場合、転送中止	R/W
b3	RE_STIE	停止条件検出割り込み許可ビット	0: 停止条件検出割り込み要求禁止 1: 停止条件検出割り込み要求許可(注1)	R/W
b4	TE_NAKIE	NACK 受信割り込み許可ビット	0: NACK 受信割り込み要求およびアービトレーションロスト/オーバランエラー割り込み要求禁止 1: NACK 受信割り込み要求およびアービトレーションロスト/オーバランエラー割り込み要求許可(注2)	R/W
b5	RIE	受信割り込み許可ビット	0: 受信データフルおよびオーバランエラー割り込み要求禁止 1: 受信データフルおよびオーバランエラー割り込み要求許可(注3)	R/W
b6	TEIE	送信終了割り込み許可ビット	0: 送信終了割り込み要求禁止 1: 送信終了割り込み要求許可	R/W
b7	TIE	送信割り込み許可ビット	0: 送信データエンプティ割り込み要求禁止 1: 送信データエンプティ割り込み要求許可	R/W

注1. SISRレジスタのSTOPビットが0のとき、RE_STIEビットを1(停止条件検出割り込み要求許可)にしてください。

注2. TE_NAKIEビットのオーバランエラー割り込み要求許可は、クロック同期式シリアルモードでは有効です。

注3. RIEビットのオーバランエラー割り込み要求許可は、I²Cバスインタフェースモードでは無効です。

22.2.9 SISステータスレジスタ (SISR)

SISR レジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

22.2.9.1 SSU機能の場合

アドレス 000EAh (SISR_0)、000FAh (SISR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	ORER_AL	AAS	CE_ADZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE_ADZ	コンフリクトエラーフラグ (注1、2)	0 : コンフリクトエラーなし 1 : コンフリクトエラー発生	R/W
b1	AAS	予約ビット	0にしてください	R/W
b2	ORER_AL	オーバランエラーフラグ (注1)	0 : オーバランエラーなし 1 : オーバランエラー発生(注3)	R/W
b3	STOP	予約ビット	0にしてください	R/W
b4	NACKF			
b5	RDRF	受信データレジスタフルフラグ (注1、4)	0 : SISR レジスタにデータなし 1 : SISR レジスタにデータあり	R/W
b6	TEND	送信終了フラグ (注1、5)	0 : 送信データの最後尾ビットの送信時、TDRE ビットが0 1 : 送信データの最後尾ビットの送信時、TDRE ビットが1	R/W
b7	TDRE	送信データ空フラグ (注1、5、6)	0 : SITDR レジスタから SISDR レジスタにデータ 転送されていない 1 : SITDR レジスタから SISDR レジスタにデータ 転送された	R/W

注1. CE_ADZ、ORER_AL、RDRF、TEND、TDRE ビットへの1書き込みは無効です。これらのビットを0にするには、1を読んだ後、0を書いてください。

注2. SIMR2 レジスタのMS ビットが1 (4線式バス通信モード)、SICR1 レジスタのMST ビットが1 (マスタモード) の状態でシリアル通信を開始しようとしたとき、SCS 端子入力がLであればCE_ADZ ビットが1になります。「22.3.3.4 SCS端子制御とアービトレーション」を参照してください。

MS ビットが1 (4線式バス通信モード)、MST ビットが0 (スレーブモード) で転送途中にSCS 端子入力がLからHに変化したとき、CE_ADZ ビットが1になります。

注3. 受信時にオーバランエラーが発生し、異常終了したことを示します。RDRF ビットが1 (SISR レジスタにデータあり) の状態で、次のシリアルデータ受信を完了したとき、ORER_AL ビットが1になります。

ORER_AL ビットが1 (オーバランエラー発生) になった後、RDRF ビットが1の状態では受信はできません。またMST ビットが1 (マスタモード) の状態では、送信もできません。

注4. RDRF ビットはSISR レジスタからデータを読み出したとき、0になります。I²Cバスインタフェースモード以外のとき、またはDTCアクセス後のRDRF ビットクリア以外のとき、0書き込みによるクリアは行わないでください。

注5. TEND、TDRE ビットはSITDR レジスタにデータを書いたとき、0になります。

注6. TDRE ビットはSSU機能の場合、SISR レジスタのTE_NAKIE ビットを1 (送信許可) にしたとき、1になります。

22.2.9.2 I²C バス機能の場合

アドレス 000EAh (SISR_0)、000FAh (SISR_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TDRE	TEND	RDRF	NACKF	STOP	ORER_AL	AAS	CE_ADZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CE_ADZ	ゼネラルコールアドレス認識フラグ (注1、2)	ゼネラルコールアドレス検出したとき、1になります。	R/W
b1	AAS	スレーブアドレス認識フラグ (注1)	スレーブ受信モードで開始条件直後の第1フレームがSISR2レジスタのSVA0～SVA6と一致した場合、1になります(スレーブアドレス検出、ゼネラルコールアドレス検出)。	R/W
b2	ORER_AL	アービトレーションロストフラグ/オーバランエラーフラグ (注1)	I ² Cバスインタフェースモードの場合、マスタモード時にバス競合負けしたことを示します。次のときに1になります。(注3) ・マスタ送信モード時、SCL信号の立ち上がりで内部SDA信号とSDA端子のレベルが不一致のとき ・マスタ送信/受信モード時、開始条件検出時にSDA端子がHのとき クロック同期式シリアルモードの場合、オーバランエラーが発生したことを示します。次のときに1になります。 ・RDRFビットが1の状態、次のデータの最終ビットを受信したとき	R/W
b3	STOP	停止条件検出フラグ (注1、7)	フレームの転送の完了後に停止条件を検出したとき、1になります。	R/W
b4	NACKF	ノーアクノリッジ検出フラグ (注1、4)	送信時、受信デバイスからアクノリッジがなかったとき、1になります。	R/W
b5	RDRF	受信データレジスタフルフラグ (注1、5)	SISRレジスタからSIRDRレジスタに受信データが転送されたとき、1になります。	R/W
b6	TEND	送信終了フラグ (注1、6)	I ² Cバスインタフェースモードの場合、TDREビットが1の状態SCL信号の9クロック目が立ち上がったとき、1になります。 クロック同期モードの場合、送信フレームの最終ビットを送出したとき、1になります。	R/W
b7	TDRE	送信データ空フラグ (注1、6)	次のときに1になります。 ・SITDRレジスタからSISRレジスタにデータ転送されて、SITDRレジスタが空になったとき ・SICR1レジスタのTRSビットを1(送信モード)にしたとき ・開始条件(再送含む)を発行したとき ・スレーブ受信モードからスレーブ送信モードに変わったとき	R/W

注1. 各ビットへの1書き込みは無効です。1を読んだ後、0を書くと0になります。

注2. I²Cバスインタフェースモードのスレーブ受信モードのとき有効です。注3. 複数のマスタがほぼ同時にバスを占有しようとしたときに、I²CバスインタフェースはSDAをモニタし、自分が出したデータと異なった場合、ORER_ALビットを1にして、バスが他のマスタによって占有されたことを示します。

注4. NACKFビットはSISRレジスタのACKEビットが1(受信アクノリッジが1の場合、転送中止)のとき有効です。

注5. RDRFビットはSIRDRレジスタからデータを読み出したとき、0になります。I²Cバスインタフェースモード以外のとき、またはDTCアクセス後のRDRFビットクリア以外のとき、0書き込みを行わないでください。

注6. TEND、TDREビットはSITDRレジスタにデータを書いたとき、0になります。

注7. I²Cバス機能動作中にSICR1レジスタのICEビットに0またはSICR2レジスタのSIRSTビットに1を書くと、SICR2レジスタのBBSYビットとSISRレジスタのSTOPビットが不定になる場合があります。「22.5 クロック同期形シリアルインタフェース使用上の注意事項」を参照してください。また、I²Cバスインタフェースモード時に制御部リセットを実施する場合は「22.4.8 I²Cバスインタフェースモード時の制御部リセット手順」に従ってください。これによりBBSYビットとSTOPビットの不定を対策可能です。SSUバスインタフェースモード(クロック同期式通信モード、4線式バス通信モード)およびクロック同期式シリアルモード時に制御部リセットを実施した場合は、制御部リセット後にTE_NAKIEおよびRE_STIEを再設定してください。

22.2.10 SIモードレジスタ 2 (SIMR2)

SIMR2 レジスタはSSU機能とI²Cバス機能でビットの機能が異なります。

22.2.10.1 SSU機能の場合

アドレス 000EBh (SIMR2_0)、000FBh (SIMR2_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BIDE	SCKS	CSS1	CSS0	SCKOS	SOOS	CSOS	MS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MS	モード選択ビット (注1)	0 : クロック同期式通信モード 1 : 4線式バス通信モード	R/W
b1	CSOS	SCS端子オープンドレイン出力選択 ビット(注2、3、4、5)	0 : CMOS出力 1 : Nチャネルオープンドレイン出力	R/W
b2	SOOS	シリアルデータオープンドレイン出 力選択ビット(注1、4)	0 : CMOS出力(注6) 1 : Nチャネルオープンドレイン出力	R/W
b3	SCKOS	SSCK端子オープンドレイン出力選 択ビット(注4、7)	0 : CMOS出力 1 : Nチャネルオープンドレイン出力	R/W
b4	CSS0	SCS端子選択ビット (注5、8)	b5 b4 0 0 : ポートとして機能 0 1 : SCS入力端子として機能 1 0 : SCS出力端子として機能(注9) 1 1 : SCS出力端子として機能(注9)	R/W
b5	CSS1			R/W
b6	SCKS	SSCK端子選択ビット (注7)	0 : ポートとして機能 1 : シリアルクロック端子として機能	R/W
b7	BIDE	双方向モード許可ビット (注1、10)	0 : 標準モード(データ入力とデータ出力を2端子 使用して通信) 1 : 双方向モード(データ入力とデータ出力を1端 子使用して通信)	R/W

注1. データ入出力端子の組合せは「22.3.1.3 データ入出力端子とSSシフトレジスタの関係」を参照してください。

注2. 4線式バス通信モードを使用する場合、SCS端子を常にNチャネルオープンドレイン出力で使用してください。

注3. SCS端子をCMOS出力で使用了場合、SCS出力許可時にコンフリクトエラーをおこす可能性があります。エ
ラーフラグをクリア後、再度マスタモードを設定して通信を継続してください。

注4. 本モジュール未使用時、CSOS、SOOS、SCKOSビットは0 (CMOS出力)に設定してください。

注5. CSOSビットとCSS0、CSS1ビットを同時に設定しないでください。SCS端子を選択する場合は、CSOSビッ
トを設定した後、CSS1、CSS0ビットに01b、10b、または11bを設定してください。SCS端子を選択しない場
合は、CSS1、CSS0ビットに00bを設定した後、CSOSビットを設定してください。

注6. SOOSビットが0のとき、SSI端子およびSSO端子に対応するポート方向レジスタのビットを0 (入力モード)に
してください。

注7. SCKOSビットとSCKSビットを同時に設定しないでください。SSCK端子を選択する場合は、SCKOSビットを
設定した後、SCKSビットに1 (シリアルクロック端子として機能)を設定してください。SSCK端子を選択しな
い場合は、SCKSビットに0 (ポートとして機能)を設定した後、SCKOSビットを設定してください。

注8. MSビットが0 (クロック同期式通信モード)のとき、CSS0、CSS1ビットの内容にかかわらず、SCS端子はポー
トとして機能します。

注9. 転送開始前は、SCS入力端子として機能します。

注10. MSビットが0 (クロック同期式通信モード)のとき、BIDEビットは無効です。

22.2.10.2 I²Cバス機能の場合

アドレス 000EBh (SIMR2_0)、000FBh (SIMR2_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	MS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MS	モード選択ビット	0 : I ² Cバスインタフェースモード 1 : クロック同期式シリアルモード	R/W
b1	SVA0	スレーブアドレス (注1)	I ² Cバスに接続する他のスレーブデバイスと異なるアドレスを設定してください。 I ² Cバスインタフェースモードのスレーブモード時、開始条件後に送られてくる第1フレームの上位7ビットと、SVA0～SVA6が一致したとき、スレーブデバイスとして動作します。	R/W
b2	SVA1			R/W
b3	SVA2			R/W
b4	SVA3			R/W
b5	SVA4			R/W
b6	SVA5			R/W
b7	SVA6			R/W

注1. スレーブアドレスとして1111XXXbおよび0000XXXbは設定しないでください。

22.3 シンクロナスシリアルコミュニケーションユニット(SSU)の動作説明

22.3.1 クロック同期式通信モード、4線式バス通信モードにかかわる共通事項

22.3.1.1 転送クロック

転送クロックを7種類の内部クロック ($f_1/256$ 、 $f_1/128$ 、 $f_1/64$ 、 $f_1/32$ 、 $f_1/16$ 、 $f_1/8$ 、 $f_1/4$) と、外部クロックから選択できます。

シンクロナスシリアルコミュニケーションユニットを使用する場合はまず、SIMR2 レジスタの SCKS ビットを1にして、SSCK 端子をシリアルクロック端子として選択してください。

SICR1 レジスタの MST ビットが1 (マスタモード) のときは内部クロックが選択され、SSCK 端子が出力になります。転送が開始すると、SICR1 レジスタの CKS0 ~ CKS2 で選択された転送レートのクロックが、SSCK 端子から出力されます。

MST ビットが0 (スレーブモード) のときは外部クロックが選択され、SSCK 端子は入力になります。

22.3.1.2 転送クロックの極性、位相とデータの関係

SIMR2 レジスタの MS ビットと SIMR1 レジスタの CPHS、CPOS_WAIT ビットの組み合わせで、転送クロックの極性、位相および転送データの関係が変わります。図22.4に転送クロックの極性、位相および転送データの関係を示します。

また、SIMR1 レジスタの MLS ビットの設定により、MSB ファーストで転送するか LSB ファーストで転送するかを選択できます。MLS ビットが1のときは、LSB から始まり最後に MSB の順で転送されます。MLS ビットが0のときは、MSB から始まり最後に LSB の順で転送されます。

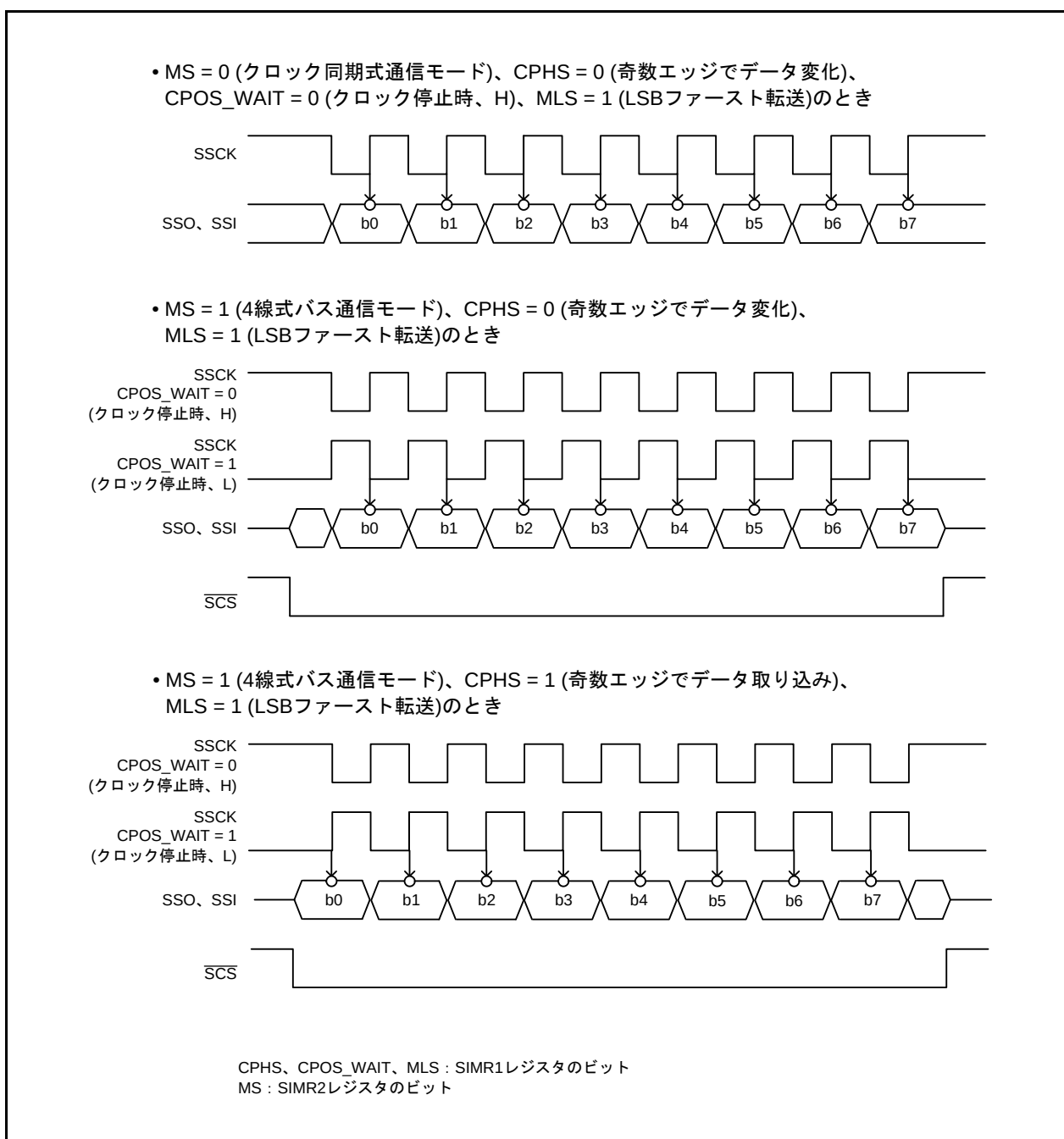


図 22.4 転送クロックの極性、位相および転送データの関係

22.3.1.3 データ入出力端子とSSシフトレジスタの関係

SICR1 レジスタの MST ビットと SIMR2 レジスタの MS ビットとの組み合わせにより、データ入出力端子と SISDR レジスタの接続関係が変わります。また、SIMR2 レジスタの BIDE ビットによっても接続関係が変わります。図 22.5 にデータ入出力端子と SISDR レジスタの接続関係を示します。

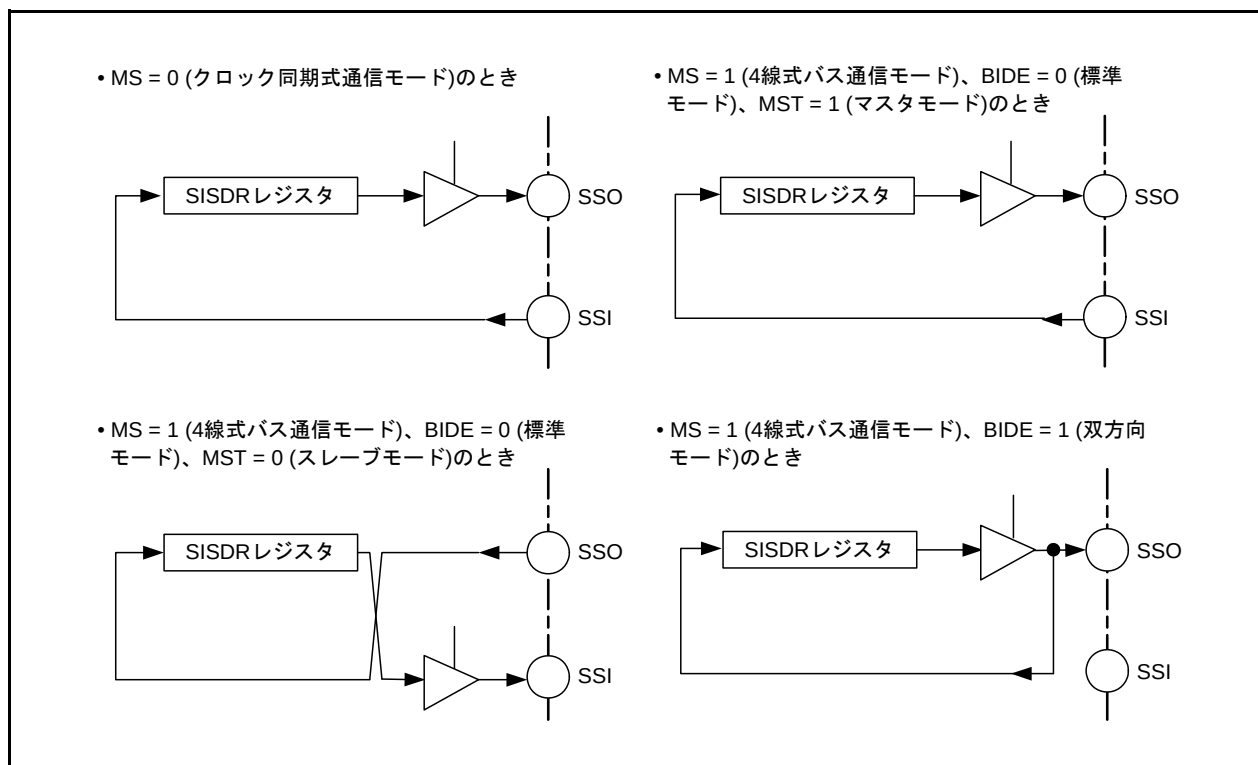


図 22.5 データ入出力端子と SISDR レジスタの接続関係

22.3.1.4 割り込み要求

シンクロナスシリアルコミュニケーションユニットの割り込み要求には、送信データエンプティ、送信終了、受信データフル、オーバランエラー、コンフリクトエラー割り込み要求があります。これらの割り込み要求はシンクロナスシリアルコミュニケーションユニット割り込みベクタテーブルに割り付けられているため、フラグによる要因の判別が必要です。表 22.7 にシンクロナスシリアルコミュニケーションユニットの割り込み要求を示します。

表 22.7 シンクロナスシリアルコミュニケーションユニットの割り込み要求

割り込み要求	略称	発生条件
送信データエンプティ	TXI	TIE = 1かつTDRE = 1
送信終了	TEI	TEIE = 1かつTEND = 1
受信データフル	RXI	RIE = 1かつRDRF = 1
オーバランエラー	OEI	RIE = 1かつORER_AL = 1
コンフリクトエラー	CEI	CEIE_ACKBT = 1かつCE_ADZ = 1 (注1)

CEIE_ACKBT、RIE、TEIE、TIE : SIER レジスタのビット

CE_ADZ、ORER_AL、RDRF、TEND、TDRE : SISR レジスタのビット

注1. クロック同期式通信モードでは発生しません。

表 22.7 の発生条件が満たされたとき、シンクロナスシリアルコミュニケーションユニット割り込み要求が発生します。シンクロナスシリアルコミュニケーションユニット割り込みルーチンで、それぞれの割り込み要因を 0 にしてください。

ただし、SISR レジスタの TDRE ビットおよび TEND ビットは SITDR レジスタに送信データを書くことで、SISR レジスタの RDRF ビットは SIRD R レジスタを読むことで自動的に 0 になります。特に TDRE ビットは SITDR レジスタに送信データを書いたとき、同時に再度 TDRE ビットが 1 (SITDR レジスタから SISDR レジスタにデータ転送された) になり、さらに SITDR レジスタに送信データを書き込み以外の方法 (ソフトウェアによるレジスタアクセス) で TDRE ビットを 0 (SITDR レジスタから SISDR レジスタにデータ転送されていない) にすると、すでに転送済みのデータが、余分に 1 バイト送信する場合があります。

22.3.1.5 各通信モードと端子機能

シンクロナスシリアルコミュニケーションユニットは各通信モードで SICR1 レジスタの MST ビットと、SISR レジスタの RE_STIE、TE_NAKIE ビットの設定により、入出力端子の機能が変わります。表 22.8 に通信モードと入出力端子の関係を示します。

表 22.8 通信モードと入出力端子の関係

通信モード	ビットの設定					端子の状態		
	MS	BIDE	MST	TE_NAKIE	RE_STIE	SSI	SSO	SSCK
クロック同期式通信モード	0	無効	0	0	1	入力	—	入力
				1	0	—	出力	入力
					1	入力	出力	入力
			1	0	1	入力	—	出力
				1	0	—	出力	出力
					1	入力	出力	出力
4線式バス通信モード	1	0	0	0	1	—	入力	入力
				1	0	出力	—	入力
					1	出力	入力	入力
			1	0	1	入力	—	出力
				1	0	—	出力	出力
					1	入力	出力	出力
4線式バス(双方向)通信モード(注1)	1	1	0	0	1	—	入力	入力
				1	0	—	出力	入力
			1	0	1	—	入力	出力
				1	0	—	出力	出力

— : プログラマブル入出力ポートとして使用

MS、BIDE : SIMR2 レジスタのビット

MST : SICR1 レジスタのビット

TE_NAKIE、RE_STIE : SISR レジスタのビット

注1. 4線式バス(双方向)通信モード時は、TE_NAKIE および RE_STIE ビットをともに 1 にしないでください。

22.3.2 クロック同期式通信モード

22.3.2.1 クロック同期式通信モードの初期化

図22.6にクロック同期式通信モードの初期化を示します。データの送信/受信前に、SIERレジスタのTE_NAKIEビットを0(送信禁止)、RE_STIEビットを0(受信禁止)にして初期化してください。

なお、通信モードの変更(SIMR2レジスタのモードセレクトMSビットでクロック同期式通信モードを選択)、通信フォーマットの変更などの場合には、TE_NAKIEビットを0、RE_STIEビットを0にしてから変更してください。

RE_STIEビットを0にしても、SISRレジスタのRDRF、ORER_ALビット、およびSIRDRレジスタの内容は保持されます。

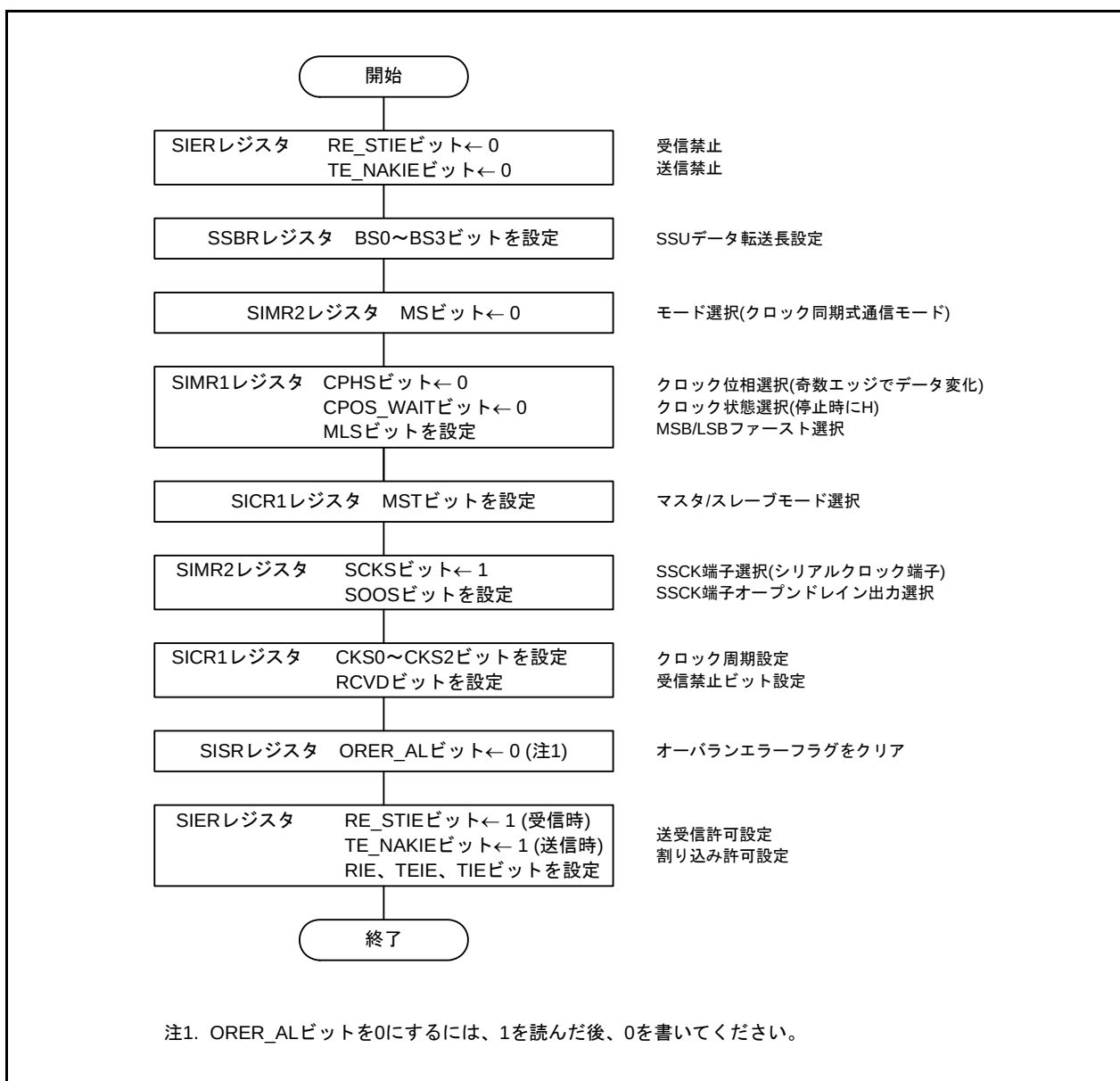


図22.6 クロック同期式通信モードの初期化

22.3.2.2 データ送信

図22.7にデータ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ送信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを出力します。

SIERレジスタのTE_NAKIEビットを1(送信許可)にした後、SITDRレジスタに送信データを書くと、自動的にSISRレジスタのTDREビットが0(SITDRレジスタからSISDRレジスタにデータ転送されていない)になり、SITDRレジスタからSISDRレジスタにデータが転送されます。その後、TDREビットが1(SITDRレジスタからSISDRレジスタにデータ転送された)になり、送信を開始します。このとき、SIERレジスタのTIEビットが1の場合、TXI割り込み要求が発生します。

TDREビットが0の状態では1フレームの転送が終わると、SITDRレジスタからSISDRレジスタにデータが転送され、次フレームの送信を開始します。TDREビットが1の状態では8ビット目が送出されると、SISRレジスタのTENDビットが1(送信データの最後尾ビットの送信時、TDREビットが1)になり、その状態を保持します。このときSIERレジスタのTEIEビットが1(送信終了割り込み要求許可)の場合、TEI割り込み要求が発生します。送信終了後、SSCK端子はHに固定されます。

なお、SISRレジスタのORER_ALビットが1(オーバランエラー発生)の状態では、送信できません。送信の前には、ORER_ALビットが0であることを確認してください。

図22.8にデータ送信のフローチャート例(クロック同期式通信モード)を示します。

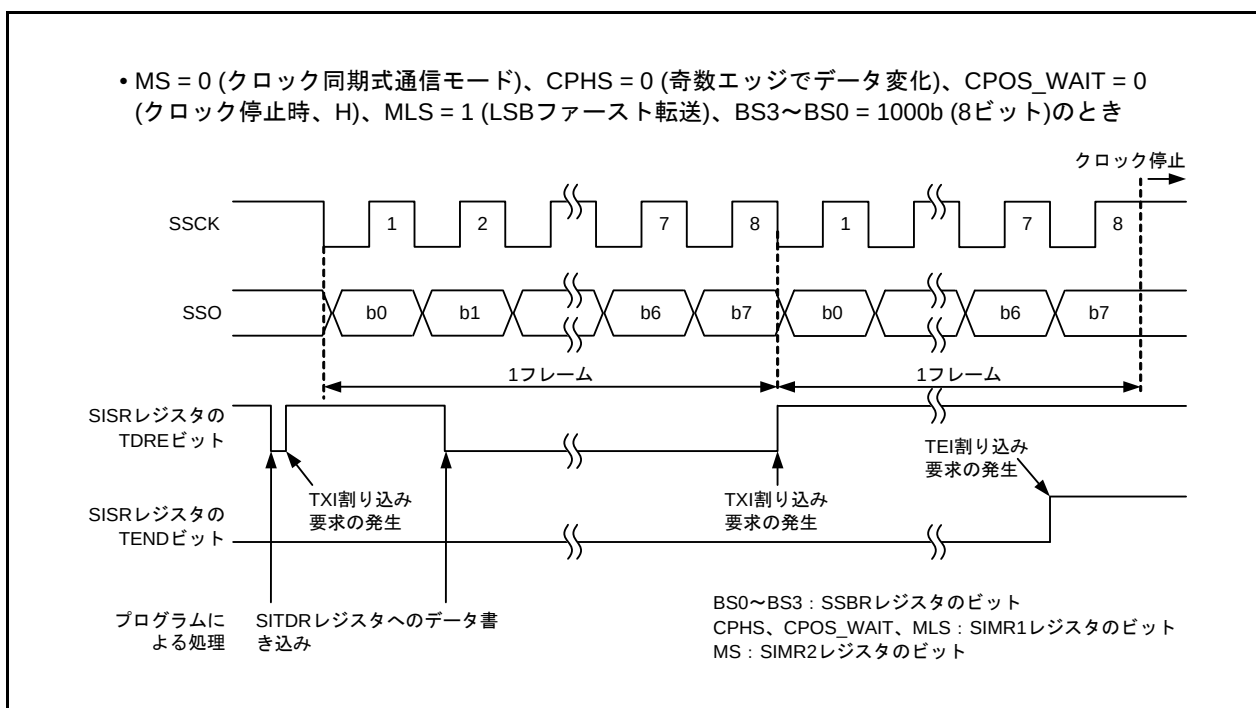


図22.7 データ送信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

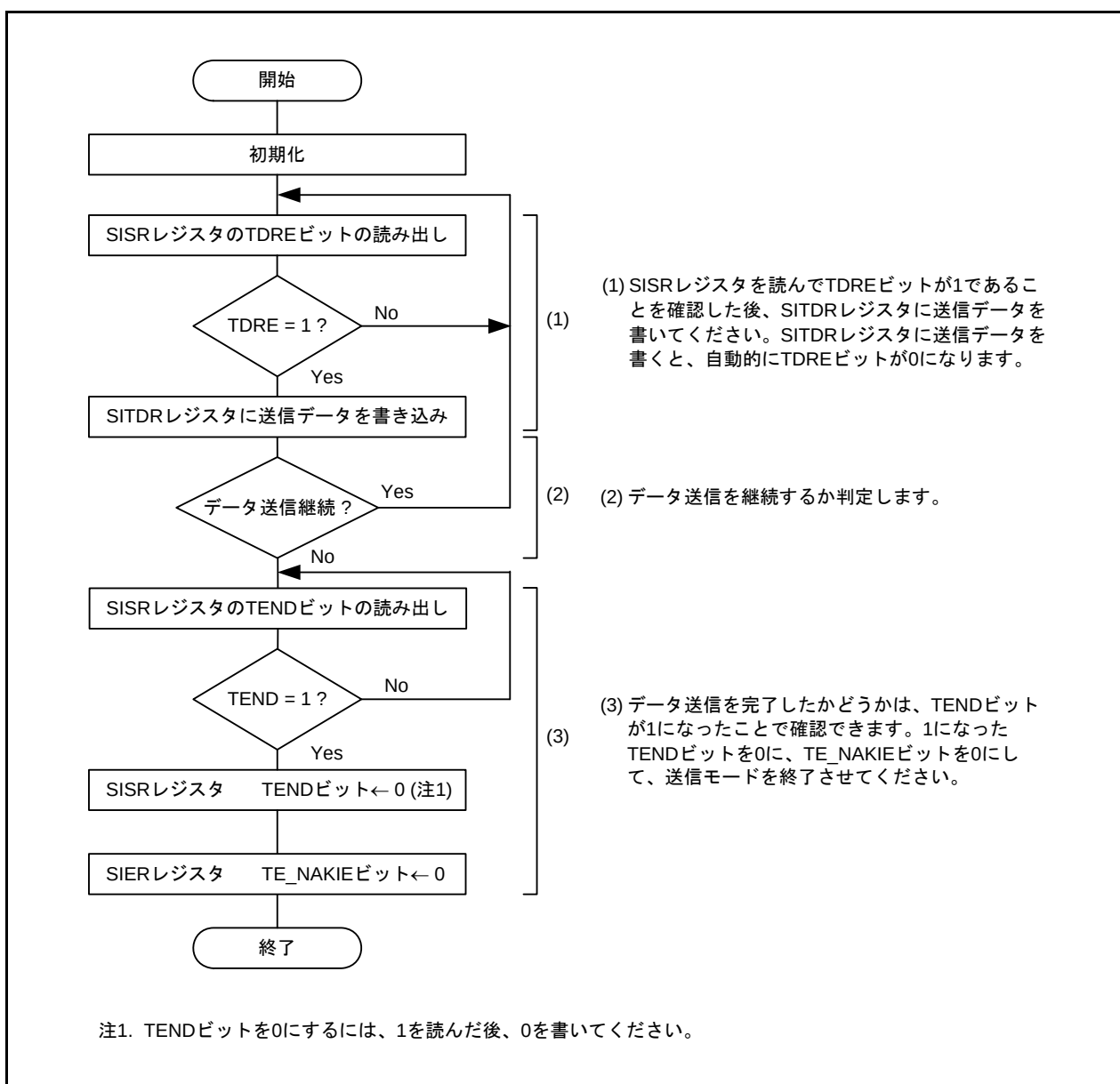


図 22.8 データ送信のフローチャート例(クロック同期式通信モード)

22.3.2.3 データ受信

図22.9にデータ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)を示します。データ受信時は以下のように動作します(SSBRレジスタでデータ転送長を8～16ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初に SIRD R レジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8ビットのデータ受信後、SISRレジスタのRDRFビットが1(SIRD R レジスタにデータあり)になり、SIRD R レジスタに受信データが格納されます。このとき、SISRレジスタのRIEビットが1(RXIおよびOEI割り込み要求許可)の場合、RXI割り込み要求が発生します。SIRD R レジスタを読むと、自動的にRDRFビットは0(SIRD R レジスタにデータなし)になります。

マスタデバイスに設定し受信を終了する場合には、[最終フレーム-1]の受信データを読む前にSICR1レジスタのRCVDビットを1(1バイトのデータ受信後、受信動作が終了)にしてください。これにより、[最終フレーム]の受信クロックを出力した後、停止します。その後、SISRレジスタのRE_STIEビットを0(受信禁止)に、RCVDビットを0(1バイトのデータ受信後も受信動作を継続)にしてから、最後に受信したデータをSIRD R レジスタから読んでください。RE_STIEビットが1(受信許可)の状態でSIRD R レジスタを読むと、受信クロックを再度出力してしまいます。

RDRFビットが1の状態で8クロック目が立ち上がると、SISRレジスタのORER_ALビットが1(オーバランエラー発生)になり、オーバランエラー(OEI)が発生し、停止します。なお、ORER_ALビットが1の状態では受信できません。受信再開の前には、ORER_ALビットが0であることを確認してください。オーバランエラーが発生した場合、エラーが発生したフレームで受信していたデータは破棄されます。

図22.10にデータ受信のフローチャート例(MST = 1)(クロック同期式通信モード)を示します。

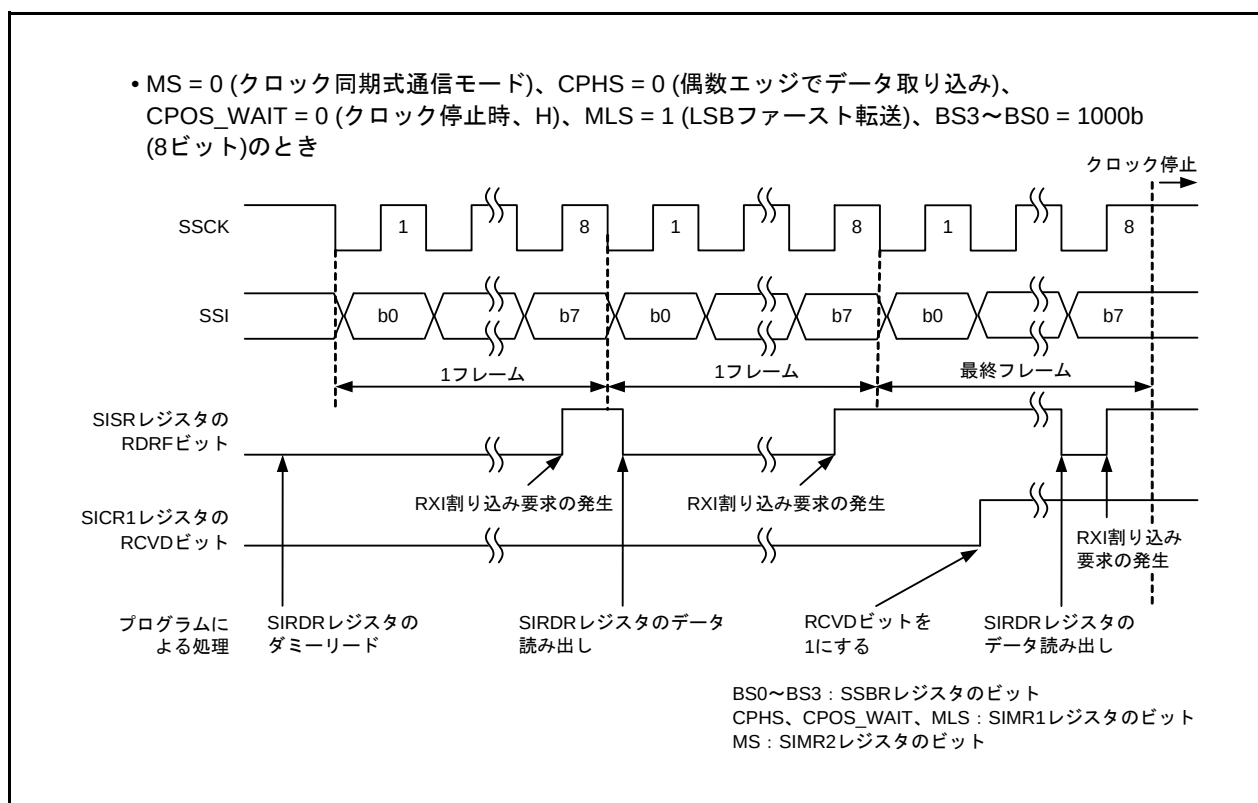


図22.9 データ受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

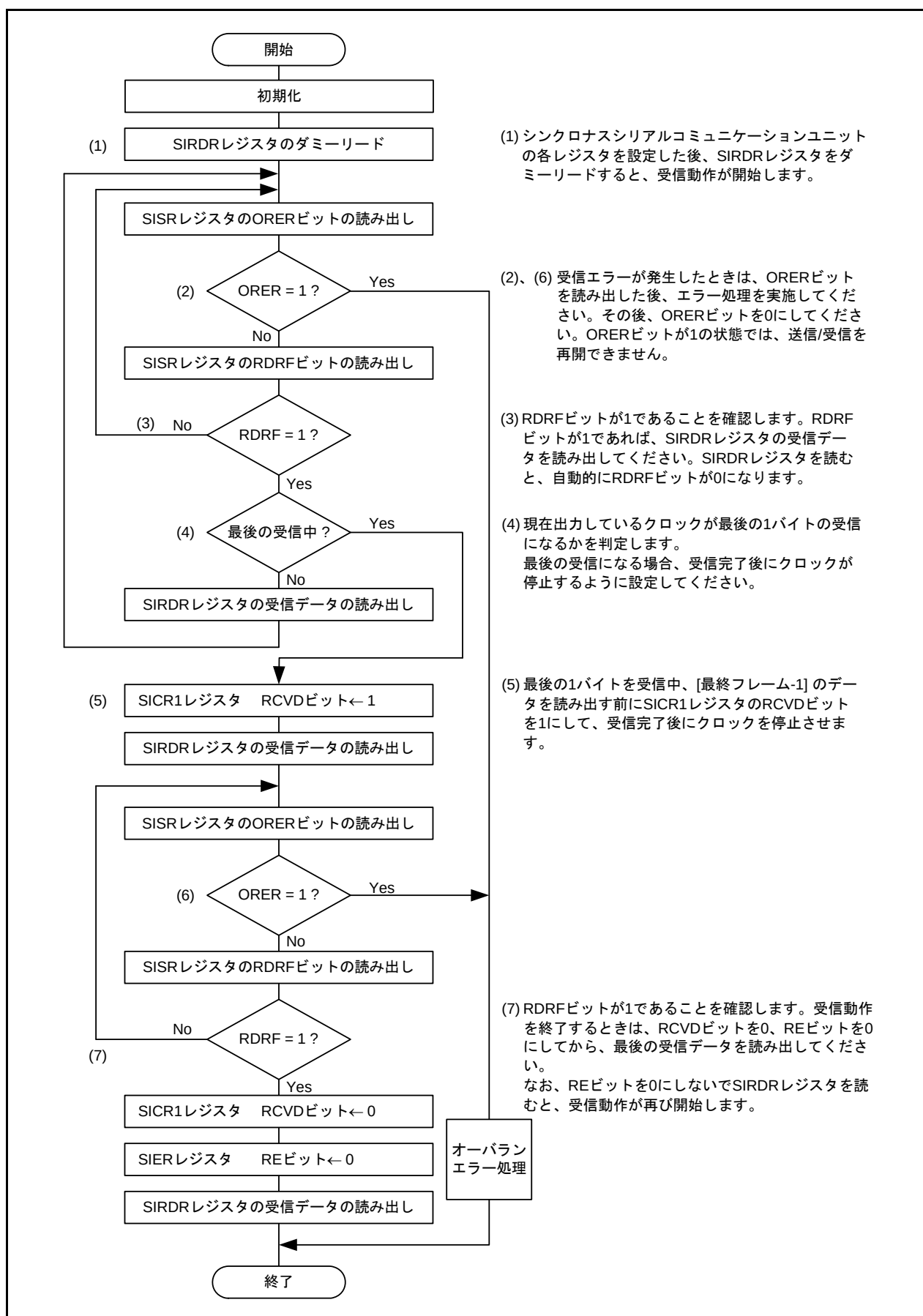


図 22.10 データ受信のフローチャート例(MST = 1) (クロック同期式通信モード)

22.3.2.4 データ送受信

図 22.11 にデータ送受信時の動作例(クロック同期式通信モード、SSU データ転送長 8 ビット)を示します。

データ送受信は前述のデータ送信とデータ受信の複合的な動作になります。

SITDR レジスタに送信データを書くと、送受信は開始されます。また、SISR レジスタの TDRE ビットが 1 (SITDR レジスタから SISDR レジスタにデータ転送された) の状態で最終転送クロック (SSBR レジスタでデータ転送長を 8 ~ 16 ビットの範囲で、設定することができます) が立ち上がった場合、または SISR レジスタの ORER_AL ビットが 1 (オーバランエラー発生) になった場合、送受信動作は停止します。

なお、送信モード (TE_NAKIE = 1) あるいは受信モード (RE_STIE = 1) から、送受信モード (TE_NAKIE = RE_STIE = 1) に切り替える場合は、一度 SIER レジスタの TE_NAKIE ビットを 0、RE_STIE ビットを 0 にしてから変更してください。また、SISR レジスタの TEND ビットが 0 (送信データの最後尾ビットの送信時、TDRE ビットが 0)、SISR レジスタの RDRF ビットが 0 (SIRDR レジスタにデータなし)、SISR レジスタの ORER_AL ビットが 0 (オーバランエラーなし) であることを確認した後、TE_NAKIE および RE_STIE ビットを 1 にしてください。

図 22.12 にデータ送受信のフローチャート例(クロック同期式通信モード)を示します。

なお、送受信モード (TE_NAKIE = RE_STIE = 1) から送受信モードを解除する場合、SIRDR レジスタを読んだ後、送受信モードを解除すると、クロックが出力される場合があります。これを回避するため、次のいずれかの手順で設定してください。

- RE_STIE ビットを 0 にして、その後、TE_NAKIE ビットを 0 にする
- TE_NAKIE ビットと RE_STIE ビットを同時に 0 にする

その後、受信モード (TE_NAKIE = 0、RE_STIE = 1) にする場合は、SIRST ビットに 1 を書いた後、0 にして SSU 制御部および SISDR レジスタを初期化してから、RE_STIE ビットを 1 にしてください。

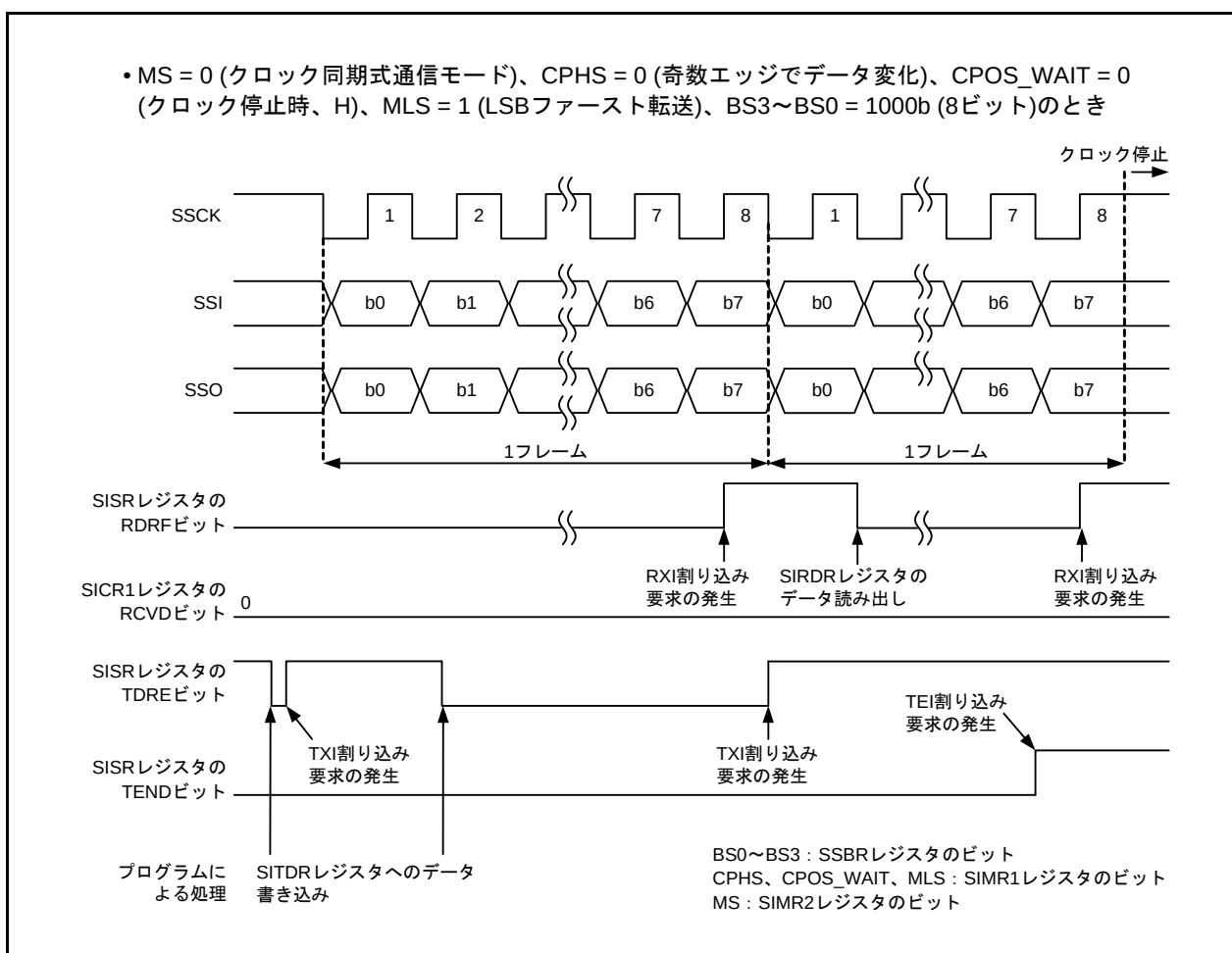


図 22.11 データ送受信時の動作例(クロック同期式通信モード、SSUデータ転送長8ビット)

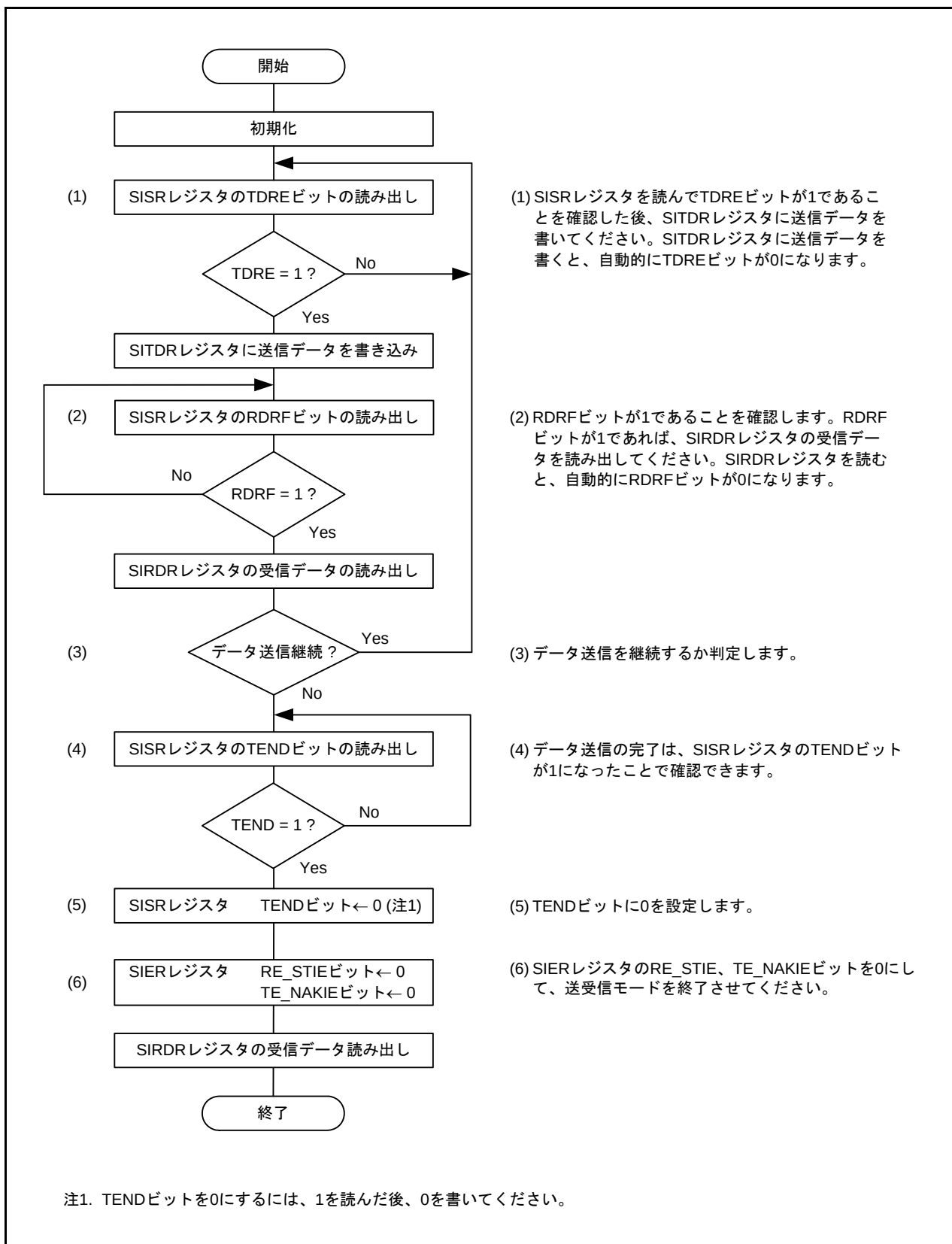


図 22.12 データ送受信のフローチャート例(クロック同期式通信モード)

22.3.3 4線式バス通信モード

4線式バス通信モードは、クロックライン、データ入力ライン、データ出力ライン、チップセレクトラインの4本のバスを使用して通信するモードです。このモードにはデータ入力ラインとデータ出力ラインを1端子で行う双方向モードも含まれます。

データ入力ラインとデータ出力ラインは、SICR1 レジスタの MST ビットおよび SIMR2 レジスタの BIDE ビットの設定により、変わります。詳細は「22.3.1.3 データ入出力端子と SS シフトレジスタの関係」を参照してください。また、このモードではクロックの極性、位相とデータのことを SIMR1 レジスタの CPOS_WAIT ビットおよび CPHS ビットにより、設定できます。詳細は「22.3.1.2 転送クロックの極性、位相とデータの関係」を参照してください。

チップセレクトラインは、マスタデバイスの場合は出力制御、スレーブデバイスの場合は入力制御します。マスタデバイスの場合は SIMR2 レジスタの CSS1 ビットを1にして SCS 端子を出力制御するか、あるいは I/O ポートを出力制御することができます。スレーブデバイスの場合は SIMR2 レジスタの CSS1、CSS0 ビットを01bにして SCS 端子を入力として機能させます。

4線式バス通信モードでは、標準的に SIMR1 レジスタの MLS ビットを0にして、MSB ファーストで通信を行います。

22.3.3.1 4線式バス通信モードの初期化

図 22.13 に 4 線式バス通信モードの初期化を示します。データの送信/受信前に、SIER レジスタの TE_NAKIE ビットを 0 (送信禁止)、RE_STIE ビットを 0 (受信禁止) にして初期化してください。

なお、通信モードの変更、通信フォーマットの変更などの場合には、TE_NAKIE ビットを 0、RE_STIE ビットを 0 にしてから変更してください。

RE_STIE ビットを 0 にしても、RDRF、ORER_AL ビット、および SIRDRE レジスタの内容は保持されます。

スレーブ受信動作後、マスタモードへ切り替えたときには転送開始条件を書き込んでいないのに SCS がアサートされることがあります。

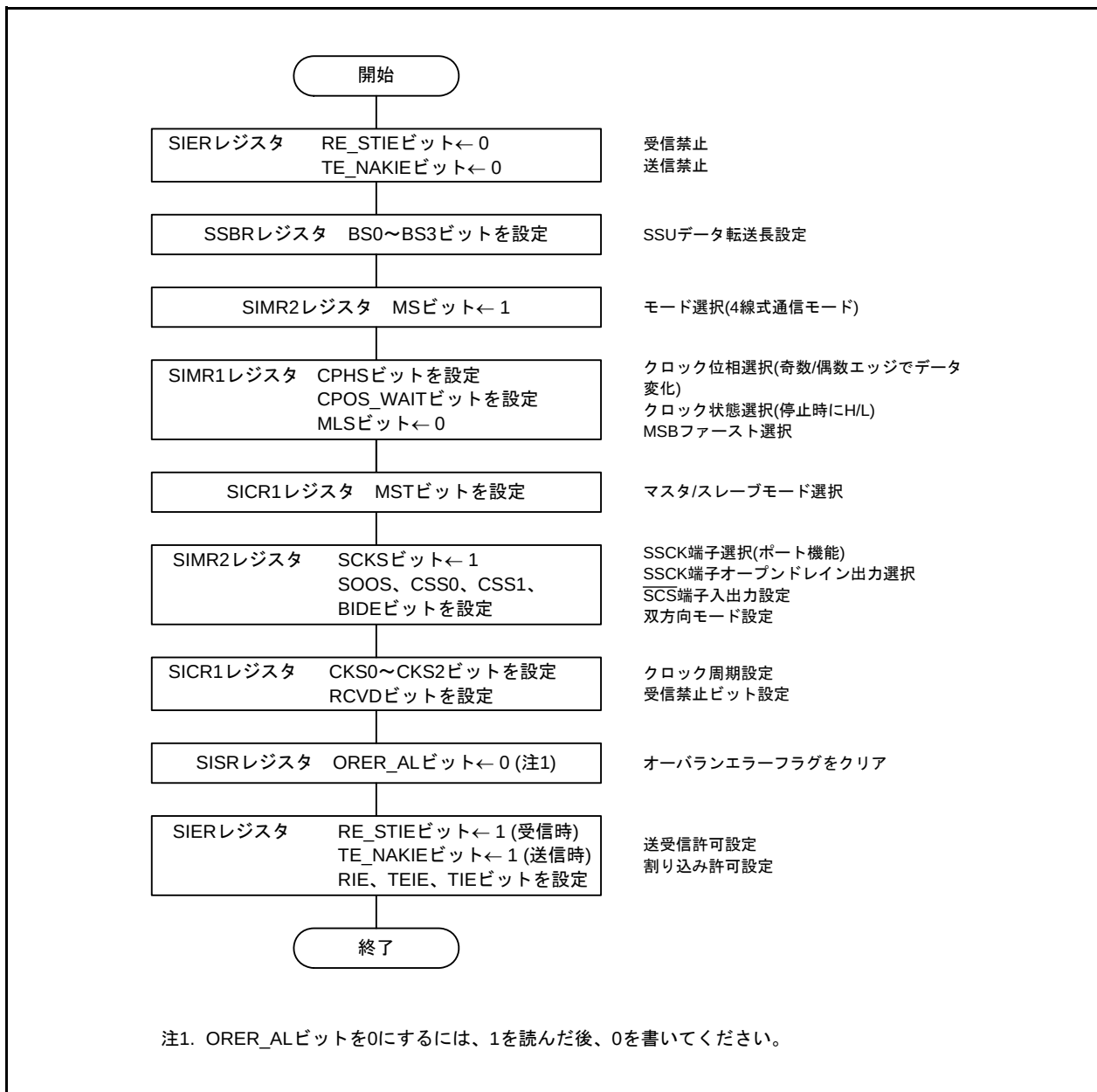


図 22.13 4 線式バス通信モードの初期化

22.3.3.2 データ送信

図 22.14 にデータ送信時の動作例(4線式バス通信モード、SSU データ転送長 8 ビット)を示します。データ送信時は以下のように動作します(SSBR レジスタでデータ転送長を 8～16 ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックとデータを出力します。スレーブデバイスに設定したとき、SCS 端子が L 入力状態で入力クロックに同期してデータを出力します。

SISR レジスタの TE_NAKIE ビットを 1 (送信許可)にした後、SITDR レジスタに送信データを書くと、自動的に SISR レジスタの TDRE ビットが 0 (SITDR レジスタから SISDR レジスタにデータ転送されていない)になり、SITDR レジスタから SISDR レジスタにデータが転送されます。その後、TDRE ビットが 1 (SITDR レジスタから SISDR レジスタにデータ転送された)になり、送信を開始します。このとき、SISR レジスタの TIE ビットが 1 の場合、TXI 割り込み要求を発生します。

TDRE ビットが 0 の状態で 1 フレームの転送が終わると、SITDR レジスタから SISDR レジスタにデータが転送され、次フレームの送信を開始します。TDRE ビットが 1 の状態で 8 ビット目が送出されると、SISR レジスタの TEND ビットが 1 (送信データの最後尾ビットの送信時、TDRE ビットが 1)になり、その状態を保持します。このとき SISR レジスタの TEIE ビットが 1 (送信終了割り込み要求許可)の場合、TEI 割り込み要求を発生します。送信終了後、SSCK 端子は H に固定され、SCS 端子は H になります。SCS 端子が L のまま連続的に送信する場合、8 ビット目が送出される前に次の送信データを SITDR レジスタに書いてください。

なお、SISR レジスタの ORER_AL ビットが 1 (オーバランエラー発生)の状態では、送信できません。送信の前には、ORER_AL ビットが 0 であることを確認してください。

クロック同期式通信モードとの違いは、マスタデバイス時に SCS 端子がハイインピーダンス状態では、SSO 端子がハイインピーダンス状態となり、スレーブデバイス時に SCS 端子が H 入力状態では、SSI 端子がハイインピーダンス状態となることです。

フローチャート例はクロック同期式通信モードと同じです(「図 22.8 データ送信のフローチャート例(クロック同期式通信モード)」参照)。

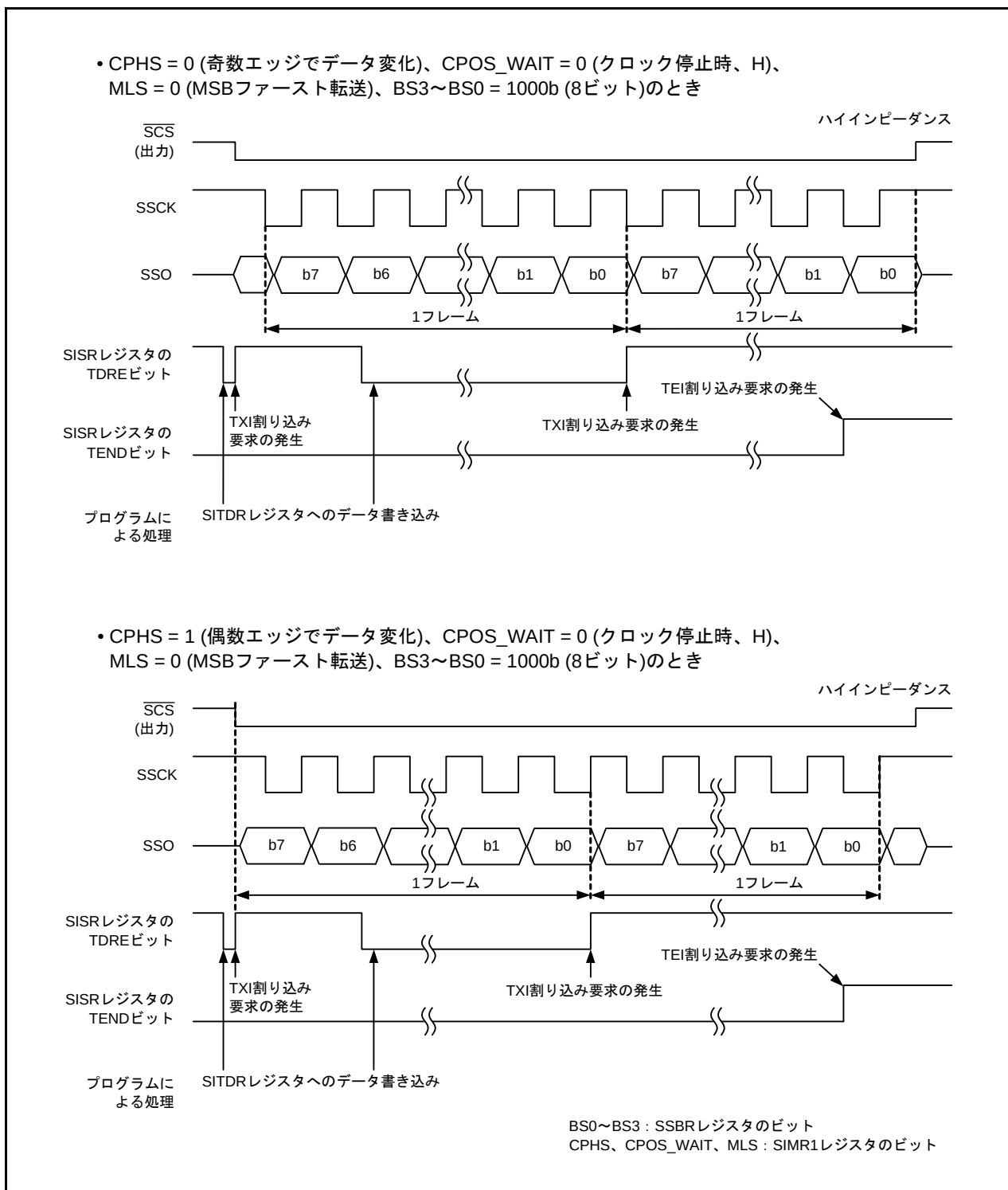


図 22.14 データ送信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

22.3.3.3 データ受信

図 22.15 にデータ受信時の動作例(4線式バス通信モード、SSU データ転送長 8 ビット)を示します。データ受信時は以下のように動作します(SSBR レジスタでデータ転送長を 8~16 ビットの範囲で、設定することができます)。

シンクロナスシリアルコミュニケーションユニットはマスタデバイスに設定したとき、同期クロックを出力し、データを入力します。スレーブデバイスに設定したとき、SCS 端子が L 入力状態で入力クロックに同期してデータを入力します。

マスタデバイスに設定したときは、最初に SIRD R レジスタをダミーリードすることで受信クロックを出力し、受信を開始します。

8 ビットのデータ受信後、SISR レジスタの RDRF ビットが 1 (SIRD R レジスタにデータあり) になり、SIRD R レジスタに受信データが格納されます。このとき、SIE R レジスタの RIE ビットが 1 (RXI および OEI 割り込み要求許可) の場合、RXI 割り込み要求が発生します。SIRD R レジスタを読むと、自動的に RDRF ビットは 0 (SIRD R レジスタにデータなし) になります。

マスタデバイスに設定し受信を終了する場合には、[最終フレーム -1] の受信データを読む前に SICR1 レジスタの RCVD ビットを 1 (1 バイトのデータ受信後、受信動作が終了) にしてください。これにより、[最終フレーム] の受信クロックを出力し停止します。その後、SIE R レジスタの RE_STIE ビットを 0 (受信禁止) に、RCVD ビットを 0 (1 バイトのデータ受信後も受信動作を継続) にし、最後に受信したデータを読んでください。SIE R レジスタの RE_STIE ビットが 1 (受信許可) 状態で SIRD R レジスタを読むと、受信クロックを再度出力してしまいます。

RDRF ビットが 1 の状態で 8 クロック目が立ち上がると、SISR レジスタの ORER_AL ビットが 1 (オーバランエラー発生) になり、オーバランエラー (OEI) が発生し、停止します。なお、ORER_AL ビットが 1 の状態では受信できません、受信再開の前には、ORER_AL ビットが 0 であることを確認してください。

RDRF ビット、ORER_AL ビットが 1 になるタイミングは、SIMR1 レジスタの CPHS ビットの設定により異なります。このタイミングを図 22.15 に示します。CPHS ビットを 1 (奇数エッジでデータ取り込み) にした場合、フレームの途中でビットが 1 になるので、受信終了時には注意してください。

フローチャート例はクロック同期式通信モードと同じです(「図 22.10 データ受信のフローチャート例(MST = 1) (クロック同期式通信モード)」参照)。

オーバランエラー発生時の注意

オーバランエラー発生後、以下の手順に従ってオーバランエラー状態を解除してください。

- (1) 転送動作終了(モジュールセレクトのネゲートを確認)→スレーブモード時はコンフリクトエラーが発生)
- (2) 最後に受信した(オーバランエラー発生前の)受信データを読む
- (3) オーバランエラーフラグをクリア(スレーブモード時はコンフリクトエラーもクリア)

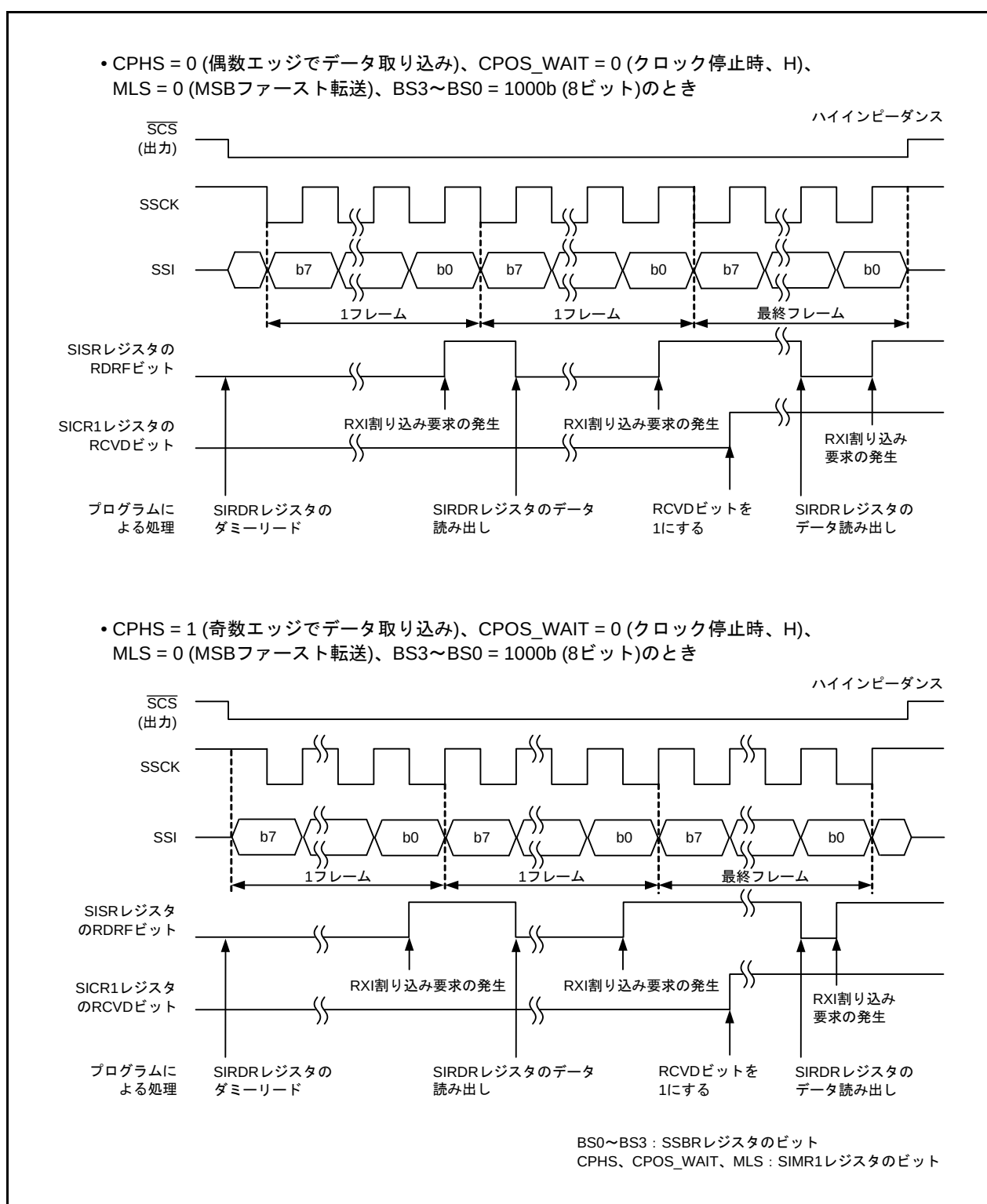


図 22.15 データ受信時の動作例(4線式バス通信モード、SSUデータ転送長8ビット)

22.3.3.4 SCS端子制御とアービトレーション

SIMR2レジスタのMSビットを1(4線式バス通信モード)、CSS1ビットを1(SCS出力端子として機能)にした場合には、SICR1レジスタのMSTビットを1(マスタモード)にしてからシリアル転送を開始する前に、SCS端子のアービトレーションをチェックします。この期間に同期化した内部SCS信号がLになったことを検出すると、SISRレジスタのCE_ADZビットが1(コンフリクトエラー発生)になり、自動的にMSTビットが0(スレーブモード)になります。

図22.16にアービトレーションチェックタイミングを示します。

なお、SISRレジスタのCE_ADZビットが1の状態では、以後の送信動作ができません。したがって、送信をスタートする前に、CE_ADZビットを0(コンフリクトエラーなし)にしてください。

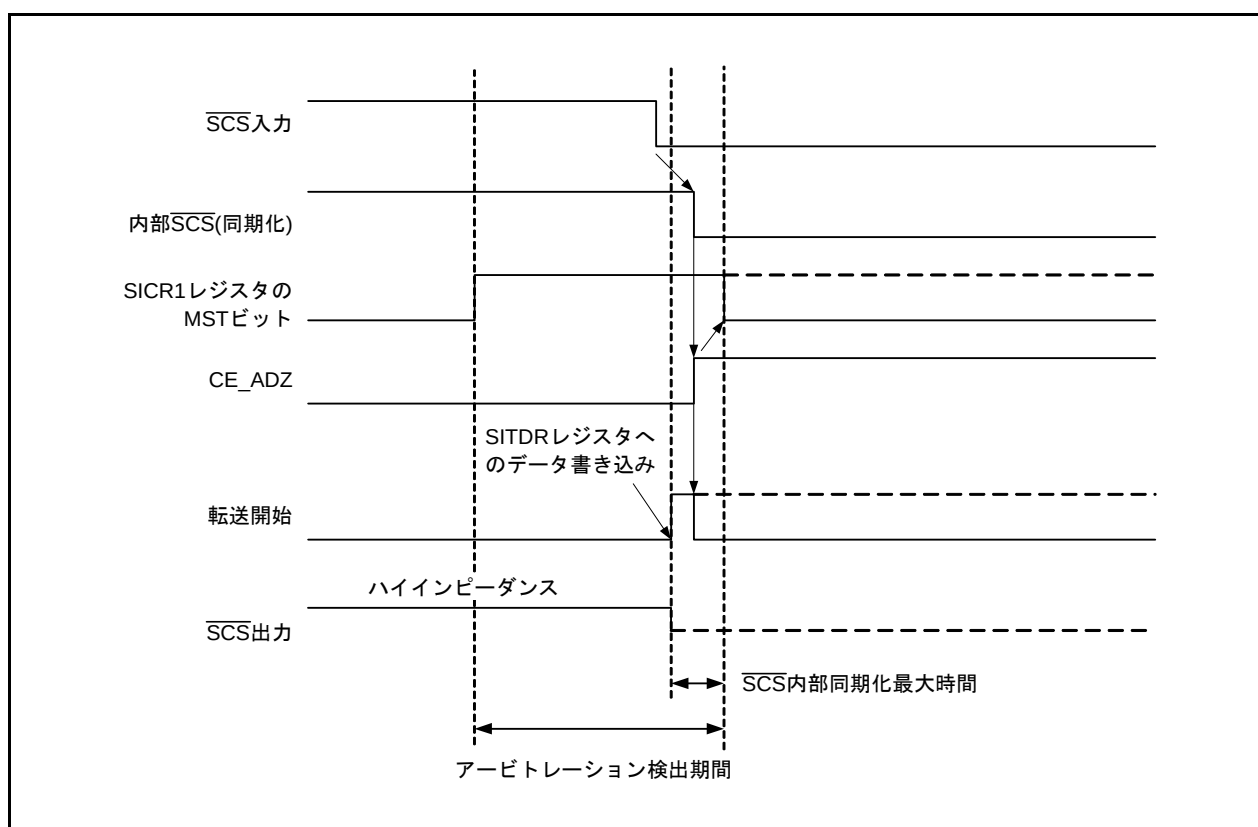


図 22.16 アービトレーションチェックタイミング

22.4 I²C バスインタフェースの動作説明

22.4.1 I²C バスインタフェースモード、クロック同期式シリアルモードにかかわる共通事項

22.4.1.1 転送クロック

SICR1 レジスタの MST ビットが 0 のとき、転送クロックは SCL 端子から入力される外部クロックです。

MST ビットが 1 のとき、転送クロックは SICR1 レジスタの CKS0～CKS3 ビットおよび IICCR レジスタの IICTCTWI ビット、IICTCHALF ビットで選択された内部クロックになり、SCL 端子から出力されます。表 22.9、表 22.10 に転送レート例を示します。

表 22.9 転送レート例 (1)

IICCR レジスタ		SICR1 レジスタ				転送 クロック	転送レート				
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0		f1 = 5 MHz	f1 = 8 MHz	f1 = 10 MHz	f1 = 16 MHz	f1 = 20 MHz
0	0	0	0	0	0	f1/28	179 kHz	286 kHz	357 kHz	571 kHz	714 kHz
					1	f1/40	125 kHz	200 kHz	250 kHz	400 kHz	500 kHz
				1	0	f1/48	104 kHz	167 kHz	208 kHz	333 kHz	417 kHz
					1	f1/64	78.1 kHz	125 kHz	156 kHz	250 kHz	313 kHz
			1	0	0	f1/80	62.5 kHz	100 kHz	125 kHz	200 kHz	250 kHz
					1	f1/100	50.0 kHz	80.0 kHz	100 kHz	160 kHz	200 kHz
				1	0	f1/112	44.6 kHz	71.4 kHz	89.3 kHz	143 kHz	179 kHz
					1	f1/128	39.1 kHz	62.5 kHz	78.1 kHz	125 kHz	156 kHz
		1	0	0	0	f1/56	89.3 kHz	143 kHz	179 kHz	286 kHz	357 kHz
					1	f1/80	62.5 kHz	100 kHz	125 kHz	200 kHz	250 kHz
				1	0	f1/96	52.1 kHz	83.3 kHz	104 kHz	167 kHz	208 kHz
					1	f1/128	39.1 kHz	62.5 kHz	78.1 kHz	125 kHz	156 kHz
			1	0	0	f1/160	31.3 kHz	50.0 kHz	62.5 kHz	100 kHz	125 kHz
					1	f1/200	25.0 kHz	40.0 kHz	50.0 kHz	80.0 kHz	100 kHz
				1	0	f1/224	22.3 kHz	35.7 kHz	44.6 kHz	71.4 kHz	89.3 kHz
					1	f1/256	19.5 kHz	31.3 kHz	39.1 kHz	62.5 kHz	78.1 kHz

表 22.10 転送レート例(2)

IICCR レジスタ		SICR1 レジスタ				転送	転送レート				
IICTCHALF	IICTCTWI	CKS3	CKS2	CKS1	CKS0	クロック	f1 = 5 MHz	f1 = 8 MHz	f1 = 10 MHz	f1 = 16 MHz	f1 = 20 MHz
0	1	0	0	0	0	f1/28	358 kHz	572 kHz	714 kHz	1142 kHz	1428 kHz
					1	f1/40	250 kHz	400 kHz	500 kHz	800 kHz	1000 kHz
				1	0	f1/48	208 kHz	334 kHz	416 kHz	666 kHz	834 kHz
					1	f1/64	156 kHz	250 kHz	312 kHz	500 kHz	626 kHz
			1	0	0	f1/80	125 kHz	200 kHz	250 kHz	400 kHz	500 kHz
					1	f1/100	100 kHz	160 kHz	200 kHz	320 kHz	400 kHz
				1	0	f1/112	89 kHz	143 kHz	179 kHz	286 kHz	358 kHz
					1	f1/128	78 kHz	125 kHz	156 kHz	250 kHz	312 kHz
		1	0	0	0	f1/56	179 kHz	286 kHz	358 kHz	572 kHz	714 kHz
					1	f1/80	125 kHz	200 kHz	250 kHz	400 kHz	500 kHz
				1	0	f1/96	104 kHz	167 kHz	208 kHz	334 kHz	416 kHz
					1	f1/128	78 kHz	125 kHz	156 kHz	250 kHz	312 kHz
			1	0	0	f1/160	63 kHz	100 kHz	125 kHz	200 kHz	250 kHz
					1	f1/200	50 kHz	80 kHz	100 kHz	160 kHz	200 kHz
				1	0	f1/224	45 kHz	71 kHz	89 kHz	143 kHz	179 kHz
					1	f1/256	39 kHz	63 kHz	78 kHz	125 kHz	156 kHz
1	0	0	0	0	0	f1/28	90 kHz	143 kHz	179 kHz	286 kHz	357 kHz
					1	f1/40	63 kHz	100 kHz	125 kHz	200 kHz	250 kHz
				1	0	f1/48	52 kHz	84 kHz	104 kHz	167 kHz	209 kHz
					1	f1/64	39 kHz	63 kHz	78 kHz	125 kHz	157 kHz
			1	0	0	f1/80	31 kHz	50 kHz	63 kHz	100 kHz	125 kHz
					1	f1/100	25 kHz	40 kHz	50 kHz	80 kHz	100 kHz
				1	0	f1/112	22 kHz	36 kHz	45 kHz	72 kHz	90 kHz
					1	f1/128	20 kHz	31 kHz	39 kHz	63 kHz	78 kHz
		1	0	0	0	f1/56	45 kHz	72 kHz	90 kHz	143 kHz	179 kHz
					1	f1/80	31 kHz	50 kHz	63 kHz	100 kHz	125 kHz
				1	0	f1/96	26 kHz	42 kHz	52 kHz	84 kHz	104 kHz
					1	f1/128	20 kHz	31 kHz	39 kHz	63 kHz	78 kHz
			1	0	0	f1/160	16 kHz	25 kHz	31 kHz	50 kHz	63 kHz
					1	f1/200	13 kHz	20 kHz	25 kHz	40 kHz	50 kHz
				1	0	f1/224	11 kHz	18 kHz	22 kHz	36 kHz	45 kHz
					1	f1/256	10 kHz	16 kHz	20 kHz	31 kHz	39 kHz

22.4.1.2 SDA端子デジタル遅延選択

IICCRレジスタのSDADLY0、SDADLY1ビットで、SDA端子のデジタル遅延値を選択できます。
図22.17にSDA端子のデジタル遅延の動作例を示します。

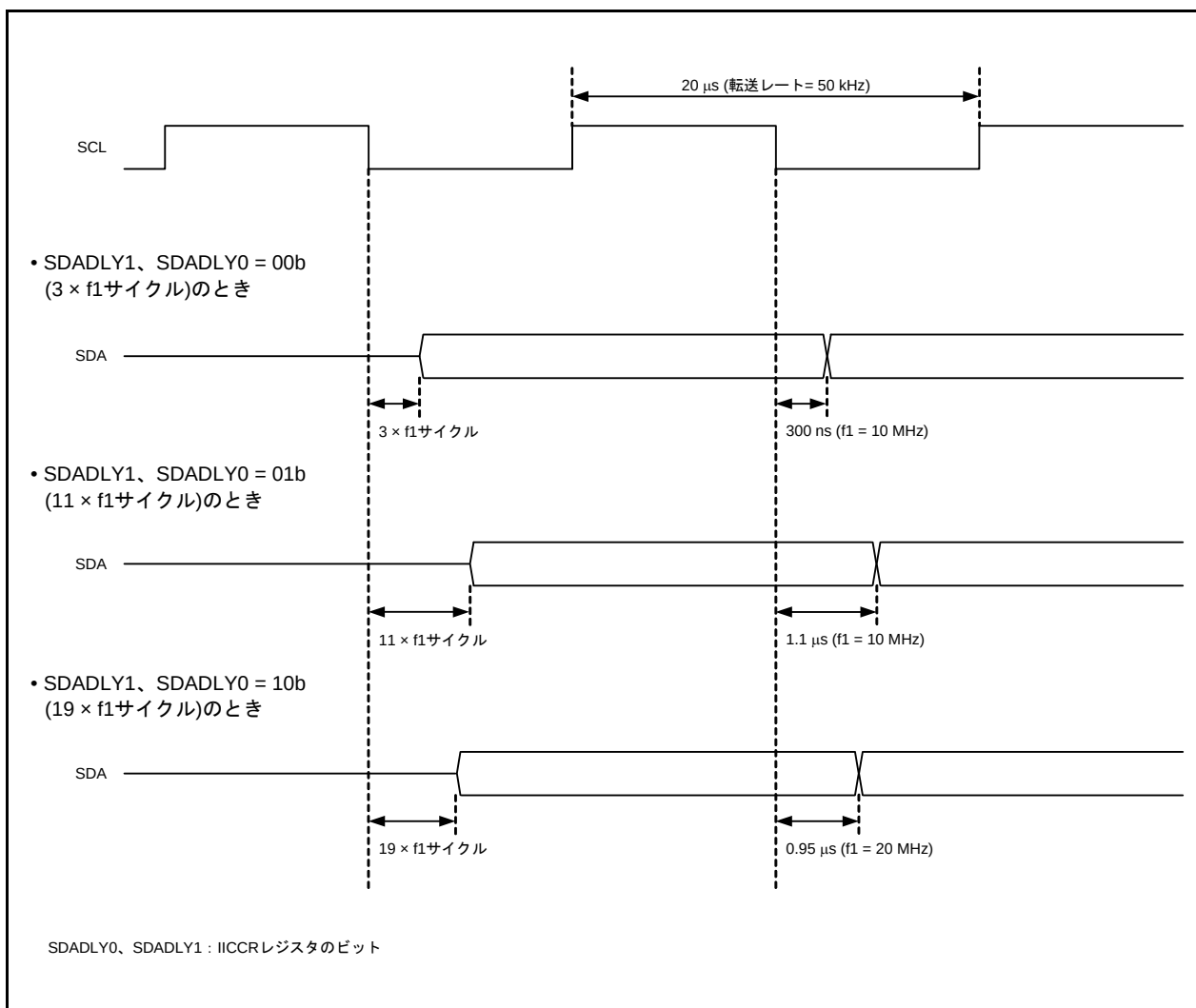


図22.17 SDA端子のデジタル遅延の動作例

22.4.1.3 割り込み要求

I²C バスインタフェースの割り込み要求は、I²C バスインタフェースモード時に6種類、クロック同期式シリアルモード時に4種類あります。表 22.11 に I²C バスインタフェースの割り込み要求を示します。

これらの割り込み要求は I²C バスインタフェース割り込みベクタテーブルに割り付けられているため、各ビットによる要因の判別が必要です。

表 22.11 I²C バスインタフェースの割り込み要求

割り込み要求		発生条件	フォーマット	
			I ² C バス	クロック同期式シリアル
送信データエンプティ	TXI	TIE = 1かつTDRE = 1	有効	有効
送信終了	TEI	TEIE = 1かつTEND = 1	有効	有効
受信データフル	RXI	RIE = 1かつRDRF = 1	有効	有効
停止条件検出	STPI	RE_STIE = 1かつSTOP = 1	有効	無効
NACK 検出	NAKI	TE_NAKIE = 1かつORER_AL = 1 (またはTE_NAKIE = 1かつNACKF = 1)	有効	無効
アービトラージンロスト			有効	無効
オーバランエラー			無効	有効

RE_STIE、TE_NAKIE、RIE、TEIE、TIE : SIER レジスタのビット

ORER_AL、STOP、NACKF、RDRF、TEND、TDRE : SISR レジスタのビット

表 22.11 の発生条件が満たされたとき、I²C バスインタフェース割り込み要求が発生します。I²C バスインタフェース割り込みルーチンで、それぞれの割り込み発生条件を0にしてください。

ただし、SISR レジスタの TDRE ビットおよび TEND ビットは SITDR レジスタに送信データを書くことで、SISR レジスタの RDRF ビットは SIRD R レジスタを読むことで、自動的に0になります。特に TDRE ビットは SITDR レジスタに送信データを書いたとき0になり、SITDR レジスタから SISDR レジスタにデータ転送されたときに TDRE ビットが1になり、さらに TDRE ビットを0にすると、余分に1バイト送信する場合があります。送信バッファにデータが保持されているため、トリガ (TDRE ビットが0) によってシフトレジスタにデータがシフトされるため、同じデータが再送されます。

また、SIER レジスタの RE_STIE ビットを1 (停止条件検出割り込み要求許可) にするのは、SISR レジスタの STOP ビットが0のときにしてください。

22.4.2 I²C バスインタフェースモード

22.4.2.1 I²C バスフォーマット

SIMR2 レジスタの MS ビットを 0 にすると、I²C バスインタフェースモードで通信します。

図 22.18 に I²C バスフォーマットとバスタイミングを示します。開始条件に続く第 1 フレームは、常に 8 ビット構成になります。

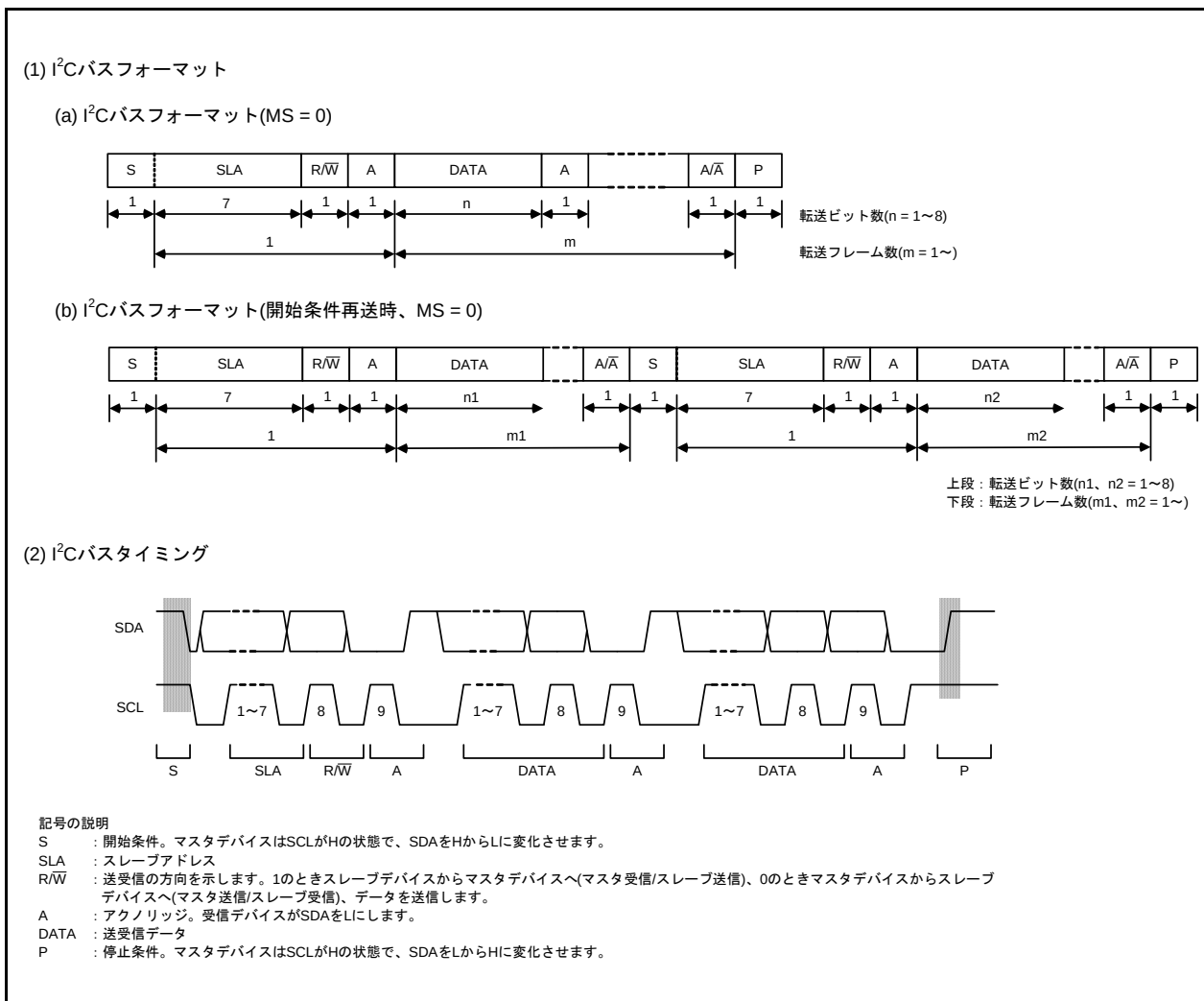


図 22.18 I²C バスフォーマットとバスタイミング

22.4.2.2 I²C バススレーブアドレス指定

I²C バスフォーマットにおいて、開始条件直後の最初の 1 バイトはスレーブアドレス指定となります。本モジュールがスレーブデバイスとして動作する場合、スレーブアドレスは SIMR2 レジスタの SVA0 ~ SVA6 ビットでプログラム可能です。ただし、I²C バスの規格で定められた「ゼネラルコールアドレス」と「スタートバイト」は例外となります。

- ゼネラルコールアドレス (0000_000_0)

すべてのデバイスがアドレス指定されるため、アクノリッジを返します。

- スタートバイト (0000_000_1)

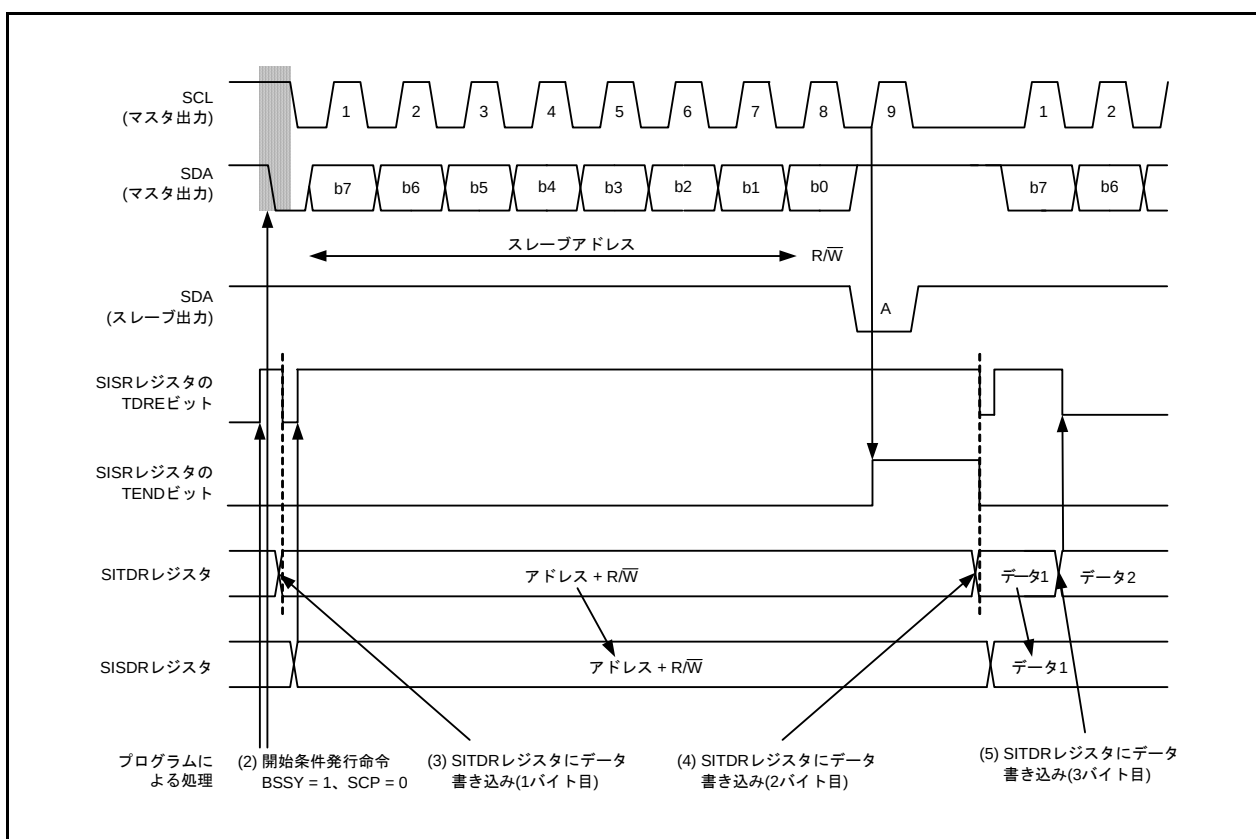
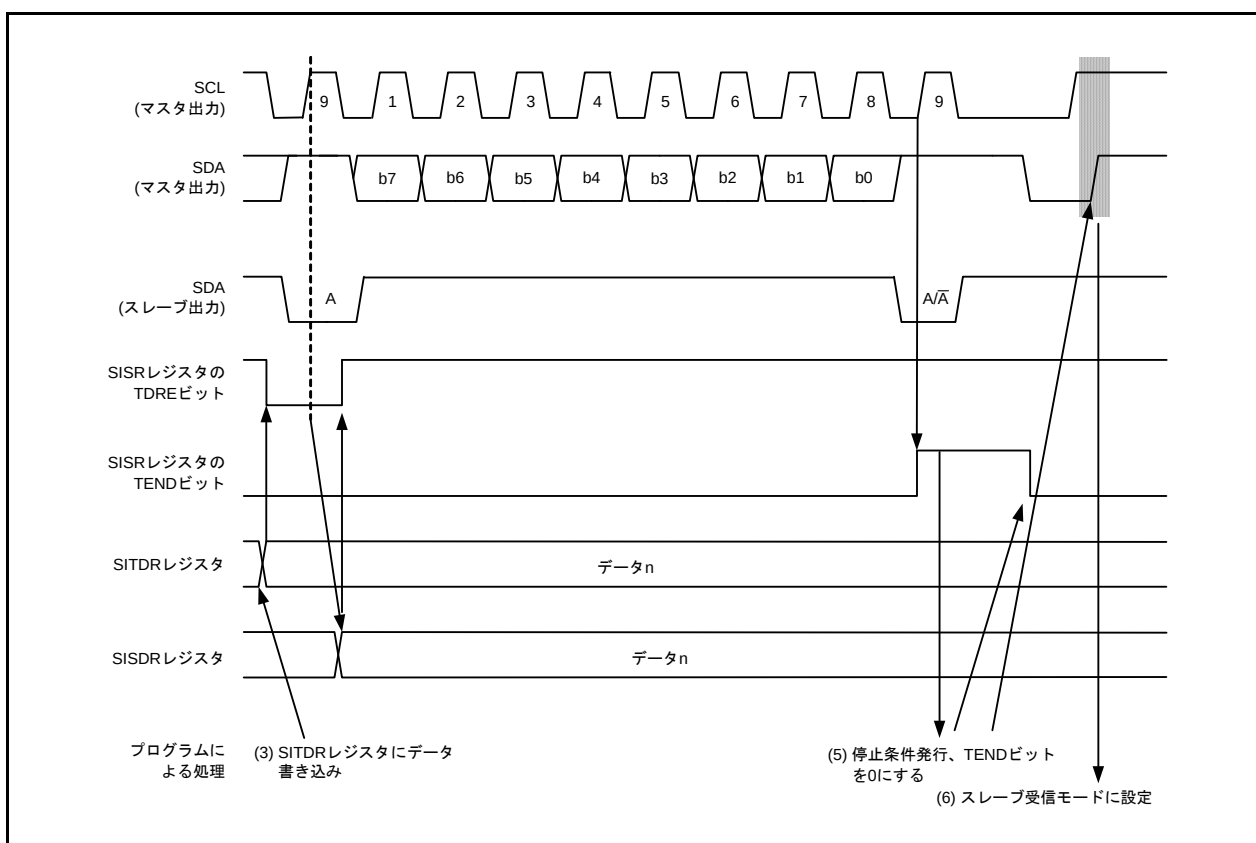
すべてのデバイスはアクノリッジを返すことができません。

22.4.2.3 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出し、スレーブデバイスがアクノリッジを返します。図 22.19、図 22.20 にマスタ送信モードの動作タイミング(I²C バスインタフェースモード)を示します。

以下にマスタ送信モードの送信手順と動作を示します。

- (1) SISR レジスタの STOP ビットを初期化するために 0 にしてください。その後、SICR1 レジスタの ICE ビットを 1 (転送動作可能状態) にしてください。その後、SIMR1 レジスタの CPOS_WAIT、MLS ビット、SICR1 レジスタの CKS0 ~ CKS3 ビットなどを設定してください (初期設定)。
- (2) SICR2 レジスタの BBSY ビットを読んで、バスが開放状態であることを確認後、SICR1 レジスタの TRS、MST ビットをマスタ送信モードに設定してください。その後、BBSY ビット = 1 と SCP ビット = 0 を MOV 命令で書いてください (開始条件発行)。これにより開始条件を生成します。
- (3) SISR レジスタの TDRE ビットが 1 であることを確認した後、SITDR レジスタに送信データ (1 バイト目はスレーブアドレスと R/W を示すデータ) を書いてください。このとき TDRE ビットは自動的に 0 になり、SITDR レジスタから SISDR レジスタにデータが転送されて、再び TDRE ビットが 1 になります。
- (4) TDRE ビットが 1 の状態で 1 バイト送信が完了し、送信クロックの 9 クロック目の立ち上がりで SISR レジスタの TEND ビットが 1 になります。SISR レジスタの ACKBR ビットを読んで、スレーブデバイスが選択されたことを確認した後、2 バイト目のデータを SITDR レジスタに書いてください。2 バイト目以降の送信データは、TRDE ビットが 1 になるたびに、SITDR レジスタにデータを書いてください。ACKBR ビットが 1 のときはスレーブデバイスが認識されていないため、停止条件か反復開始条件を発行してください。停止条件の発行は、BBSY ビット = 0 と SCP ビット = 0 を MOV 命令で書くことで行われます。反復開始条件の発行は、BBSY ビット = 1 と SCP ビット = 0 を MOV 命令で書くことで行われます。反復開始条件発行完了後、TEND と NACKF をクリアしてください。なおデータの準備ができるまで、または停止条件か反復開始条件を発行するまでは SCL が L に固定されます。
- (5) 送信するバイト数を SITDR レジスタに書いたとき、その後は TDRE ビットが 1 の状態で TEND ビットが 1 になるまで待つてください。または、SISR レジスタの ACKE ビットが 1 (受信アクノリッジが 1 の場合、転送中止) の状態で、受信デバイスからの NACK (SISR レジスタの NACKF = 1) を待つてください。その後、停止条件を発行して TEND ビット、あるいは NACKF ビットを 0 にしてください。
- (6) SISR レジスタの STOP ビットが 1 になったとき、スレーブ受信モードに戻してください。

図 22.19 マスタ送信モードの動作タイミング(I²Cバスインタフェースモード) (1)図 22.20 マスタ送信モードの動作タイミング(I²Cバスインタフェースモード) (2)

22.4.2.3.1 I²C マスタ送信モード時の反復開始条件発行フロー

NACKを受けた後、反復開始条件を発行する場合は以下の手順に従ってください。

- (1) NACKエラーを確認
- (2) 反復開始条件発行(SICR2レジスタのBBSYビット=1とSCPビット=1をMOV命令で書き込む)
- (3) SCLの立ち上がりを確認
- (4) SISRレジスタのTEND、NACKFビットをクリア

22.4.2.3.2 I²C マスタ送信動作時のスタート条件/ストップ条件を検知した場合の動作

I²C マスタ送信動作時のスタート条件/ストップ条件を検知した場合の動作、ソフトウェアフローを示します。

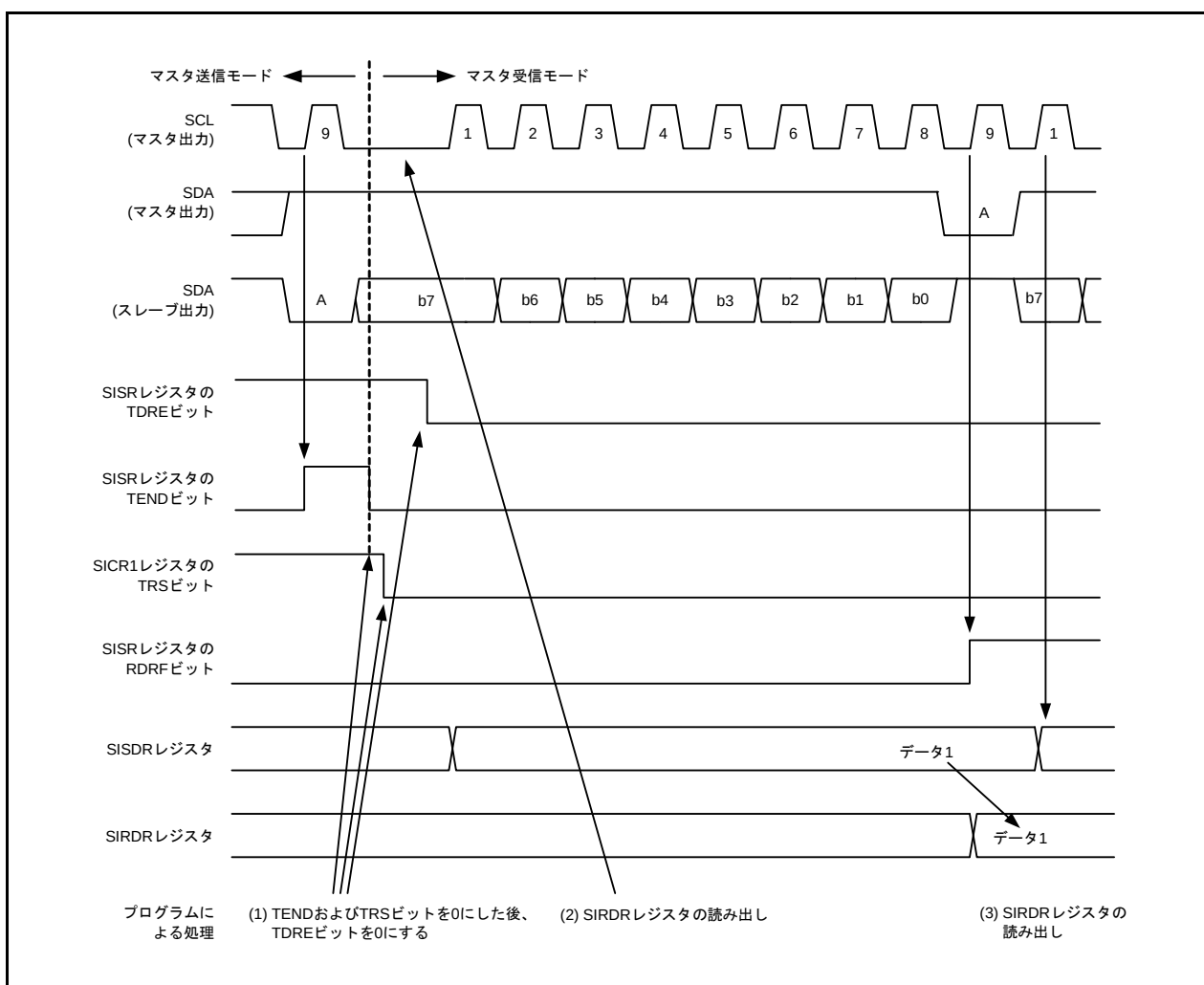
- (1) アービトレーションロスト検知・スレーブ受信モード移行
- (2) SISRレジスタのTDRE、ORER_ALビットのクリア
- (3) SICR2レジスタのBBSYビットの確認
 - 1の場合：スレーブアドレス受信へ移行
 - 0の場合：ホスト/スレーブどちらでの動作も可能

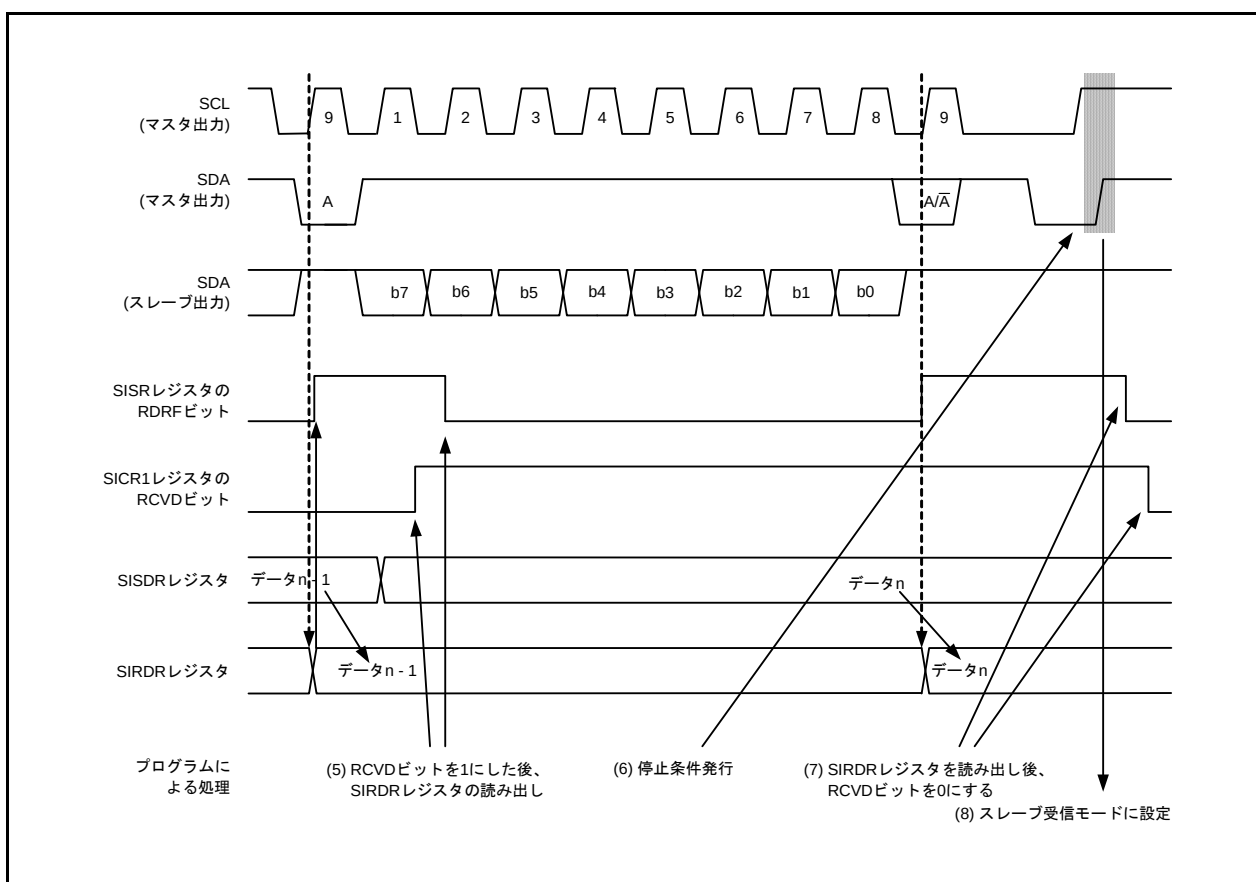
22.4.2.4 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。図22.21、図22.22にマスタ受信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にマスタ受信モードの受信手順と動作を示します。

- (1) SISRレジスタのTENDビットを0にした後、SICR1レジスタのTRSビットを0にして、マスタ送信モードからマスタ受信モードに切り替えてください。その後、SISRレジスタのTDREビットを0にしてください。
- (2) SIRDREレジスタをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは受信クロックの9クロック目に、SISRレジスタのCEIE_ACKBTビットで設定したレベルを、SDAに出力します。
- (3) 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりで、SISRレジスタのRDRFビットが1になります。このとき、SIRDREレジスタを読むと、受信したデータを読み出すことができ、同時にRDRFビットは0になります。
- (4) RDRFビットが1になるたびにSIRDREレジスタを読むことで、連続的に受信できます。なお、別処理でRDRFビットが1になった状態で、SIRDREレジスタの読み出しが遅れて8クロック目が立ち下がった場合、SIRDREレジスタを読むまでSCLがLに固定されます。このとき、停止条件か反復開始条件を発行することはできません。
- (5) 次の受信が最終フレームの場合、SIRDREレジスタを読む前にSICR1レジスタのRCVDビットを1(次の受信動作を禁止)に、CEIE_ACKBTビットを1にしてください。これにより次の受信後、スレーブデバイスにNACKを返し、停止条件発行可能状態になります。
- (6) 受信クロックの9クロック目の立ち上がりでRDRFビットが1になったとき、停止条件を発行してください。
- (7) SISRレジスタのSTOPビットが1になったとき、SIRDREレジスタを読んでください。その後、RCVDビットを0(次の受信動作を継続)にしてください。
- (8) スレーブ受信モードに戻してください。

図22.21 マスタ受信モードの動作タイミング(I²Cバスインタフェースモード) (1)

図 22.22 マスタ受信モードの動作タイミング (I²C バスインタフェースモード) (2)

22.4.2.4.1 I²C マスタ受信モード時の反復開始条件発行フロー

NACKを送信後、反復開始条件を発行する場合は以下の手順に従ってください。

- (1) 22.4.2.4の(5)までは停止条件を発行する際のフローと同じです。
- (2) 受信クロックの9クロック目の立ち上がりでSISRレジスタのRDRFビットが1になった後、反復開始条件を発行(SICR2レジスタのBBSYビット=1とSCPビット=0をMOV命令で書き込む)してください。
- (3) マスタ送信モードに設定後(注1)、SIRDレジスタを読んでください。その後、SICR1レジスタのRCVDビットを0(次の受信動作を継続)にしてください。
- (4) SITDRレジスタにスレーブアドレスとR/Wを示すデータを書き込んでください。

注1. 反復開始条件を発行(BBSYビット=1とSCPビット=0をMOV命令で書き込む)後、転送クロックで2.5サイクル以降にSCLとSDAがLowに固定されますが、その前にマスタ送信モードを設定してください。

22.4.2.4.2 I²C マスタ受信動作時のストップ条件を検知した場合の動作

I²C マスタ受信動作時のストップ条件を検知した場合の動作、ソフトウェアフローを示します。

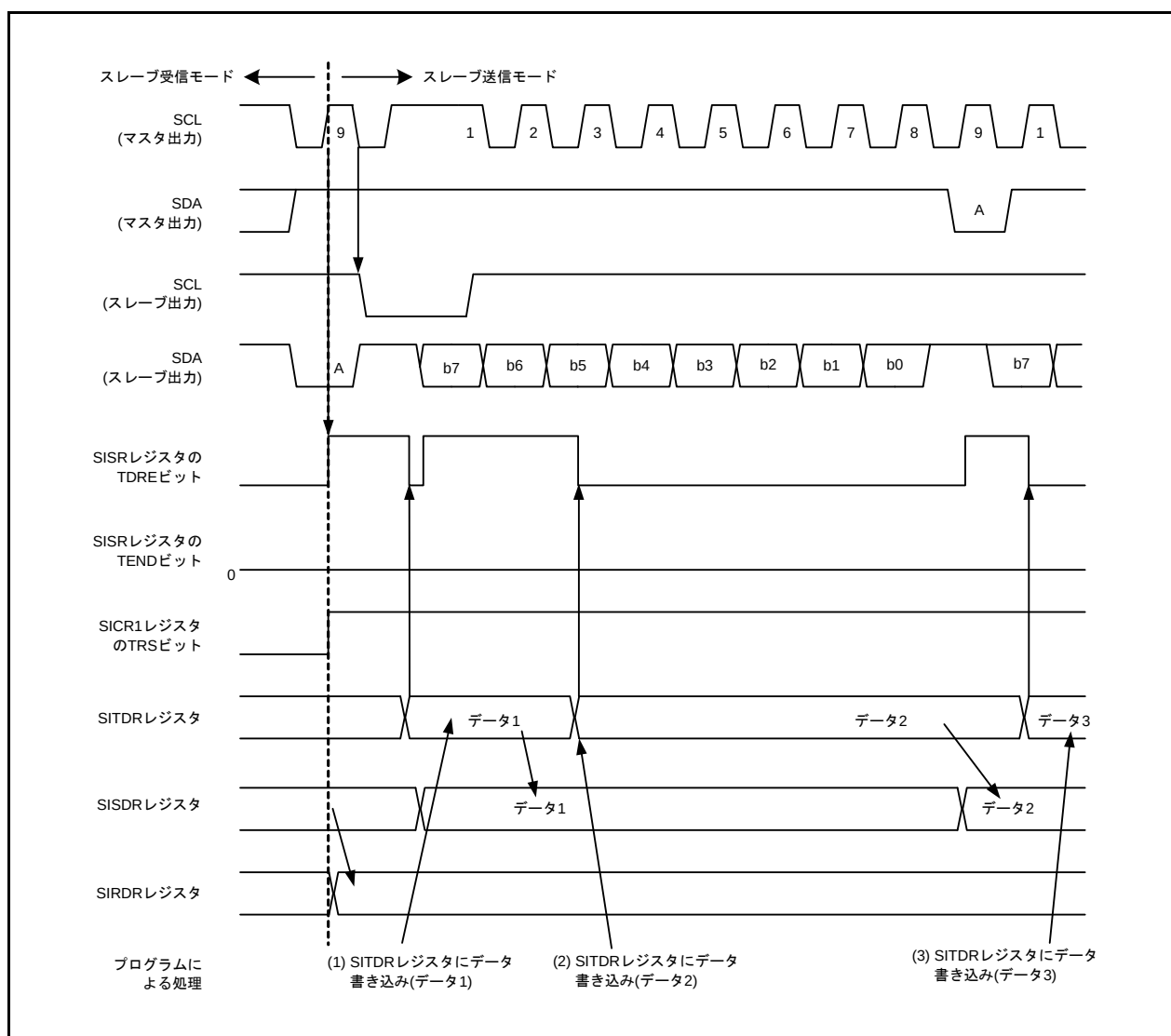
- (1) ストップ条件検知、スレーブ受信モード移行
- (2) SICR2レジスタのBBSYビットが0であることの確認
- (3) SISRレジスタのSTOPビットのクリア
- (4) 制御部リセット

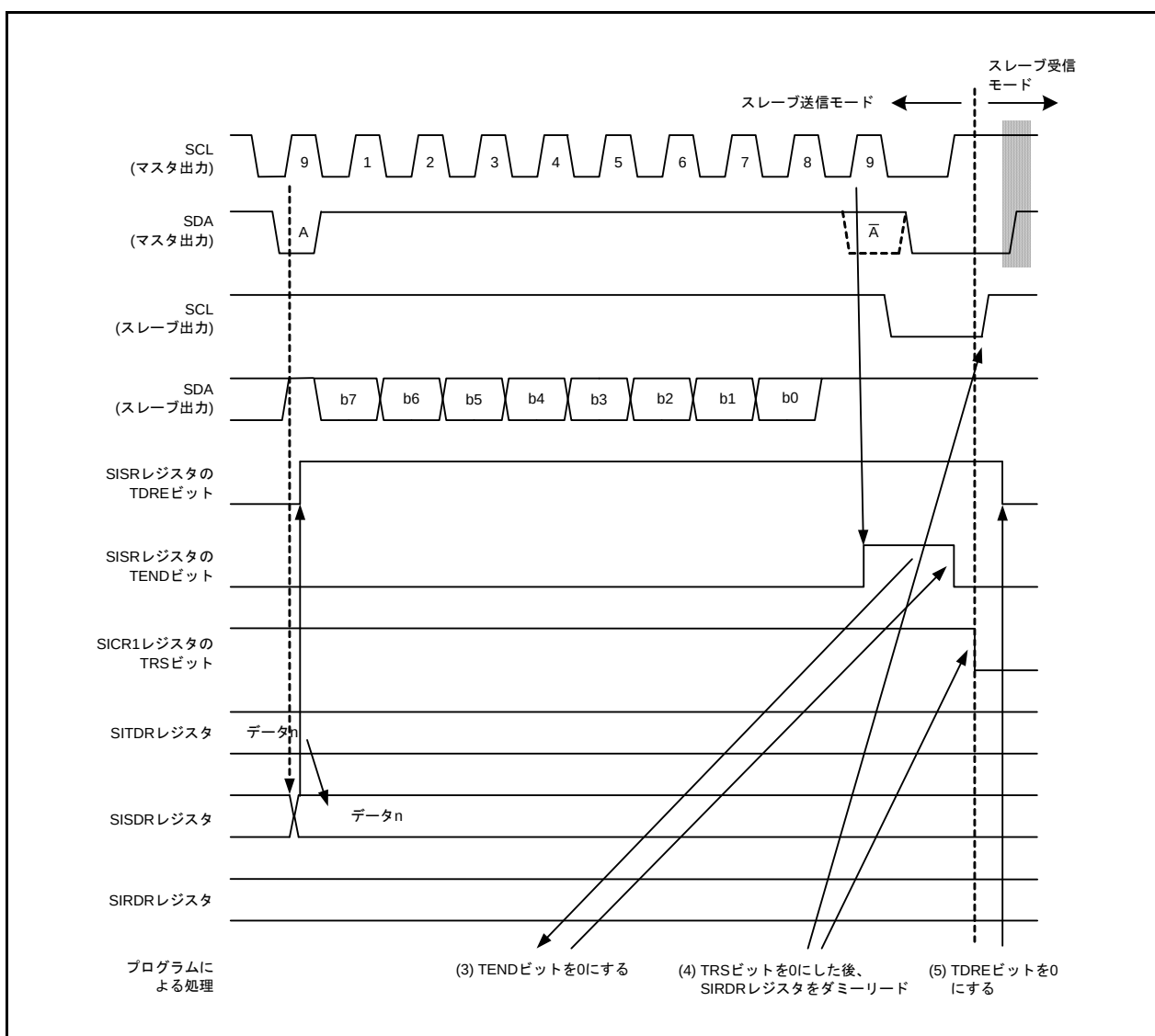
22.4.2.5 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。図 22.23、図 22.24 にスレーブ送信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にスレーブ送信モードの送信手順と動作を示します。

- (1) SICR1 レジスタのICE ビットを1 (転送動作可能状態)にしてください。その後、SIMR1 レジスタのCPOS_WAIT、MLS ビット、SICR1 レジスタのCKS0～CKS3 ビットなどを設定してください(初期設定)。次にSICR1 レジスタのTRS、MST ビットを0にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、8クロック目の立ち下がりから 9 クロック目の立ち下がりの間スレーブデバイスは SIER レジスタのCEIE_ACKBT ビットで設定したレベルをSDAに出力します。8ビット目のデータ(R/W)が1の場合、9クロック目の立ち上がりでTRS ビットおよびSISR レジスタのTDRE ビットが1になり、自動的にスレーブ送信モードに切り替わります。TDRE ビットが1になるたびにSITDR レジスタに送信データを書くと、連続送信が可能です。
- (3) 最終送信データをSITDR レジスタに書いた後にTDRE ビットが1になったとき、TDRE ビットが1の状態でSISR レジスタのTEND ビットが1になるまで待ってください。TEND ビットが1になったら、TEND ビットを0にしてください。
- (4) 終了処理のため TRS ビットを0にし、SIRDRE レジスタをダミーリードしてください。これによりSCLが開放されます。
- (5) TDRE ビットを0にしてください。

図 22.23 スレーブ送信モードの動作タイミング(I²Cバスインタフェースモード) (1)

図 22.24 スレープ送信モードの動作タイミング (I²C バスインタフェースモード) (2)

22.4.2.5.1 I²Cスレーブ送信動作時のデータセットアップ時間確保

データ転送途中、TDRE ビットが1およびTEND ビットが1の状態では9クロック目が立ち下がった場合、送信データレジスタに送信データを書くまでSCLがLOWに固定されます。送信データ書き込み後、SDAへ送信データが出力されてから、CKS3 ビットによるセットアップ時間を確保し、SCLを開放(立ち上がり)します(「図22.25 スレーブ送信動作時のデータセットアップ時間」参照)。

CKS3 ビット 0 : 9、10Tcyc

1 : 17 ~ 20Tcyc (1Tcyc = 1/f₁ (s))

IICCR レジスタのIICTCHALF ビットに1を設定した場合、セットアップ時間が倍に、IICCR レジスタのIICTCTWI ビットに1を設定した場合、セットアップ時間が半分になります。

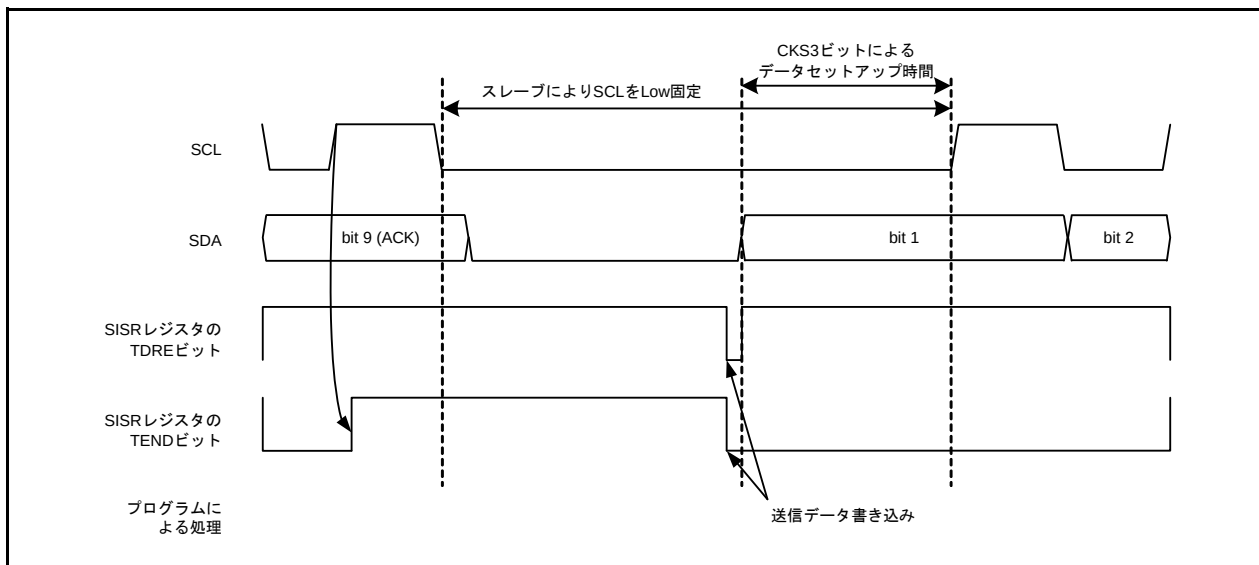


図22.25 スレーブ送信動作時のデータセットアップ時間

22.4.2.5.2 I²Cスレーブ送信動作時のストップ条件を検知した場合の動作(注1)

I²Cスレーブ送信動作時のストップ条件を検知した場合の動作、ソフトウェアフローを示します。

- (1) スレーブ受信モードを設定
- (2) TDRE ビットをソフトウェアクリア

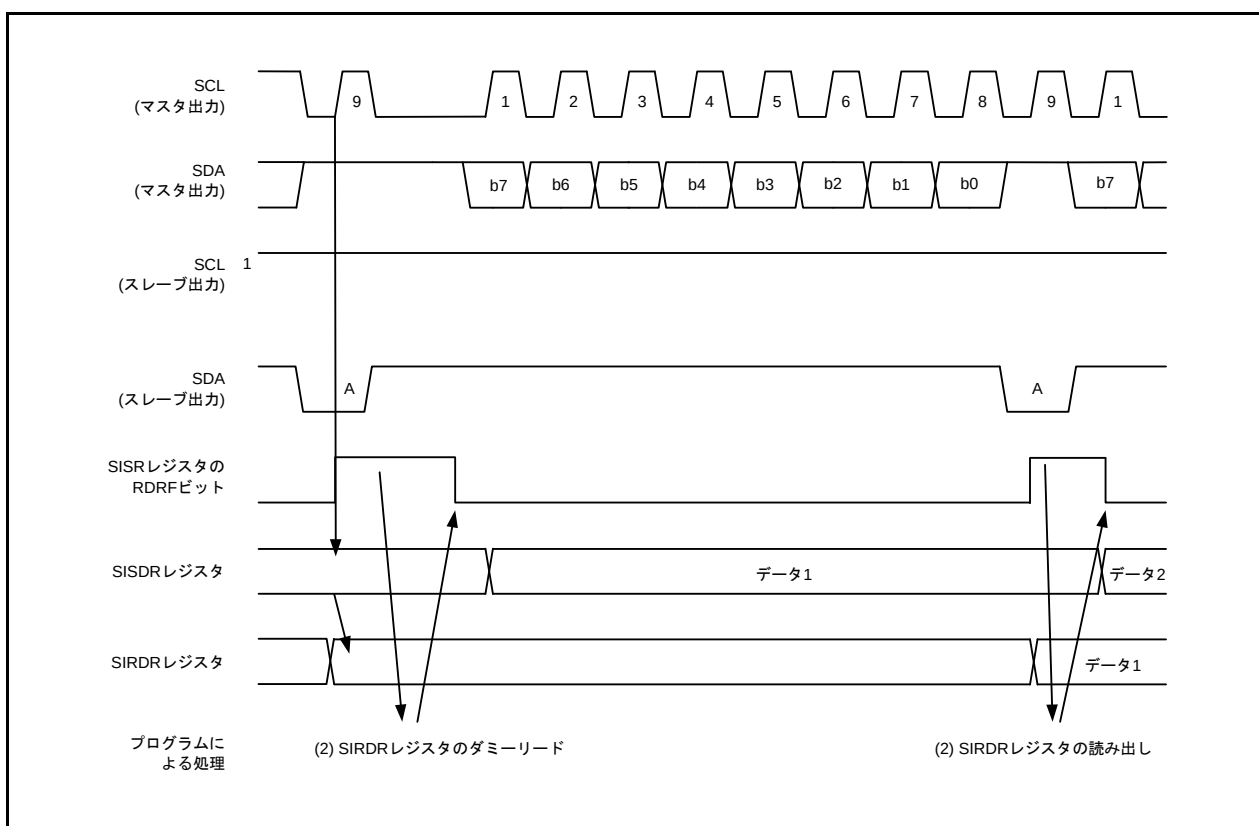
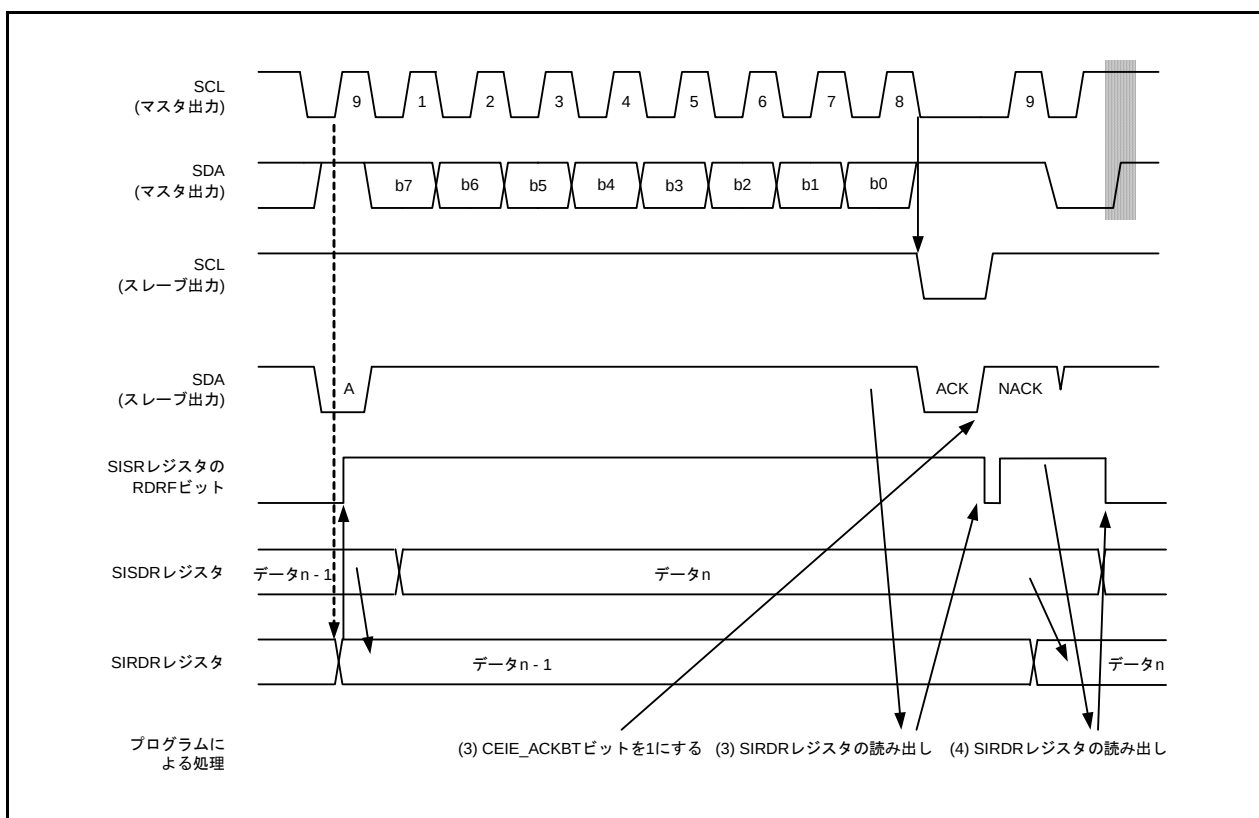
注1. スレーブ送信動作中にスタート条件を検知した場合、その後に続くアドレスの受信はできません。制御部をリセットし、再度スタート条件を入力してください。

22.4.2.6 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロックと送信データを出し、スレーブデバイスがアクノリッジを返します。図22.26、図22.27にスレーブ受信モードの動作タイミング(I²Cバスインタフェースモード)を示します。

以下にスレーブ受信モードの受信手順と動作を示します。

- (1) SICR1レジスタのICEビットを1(転送動作可能状態)にしてください。その後、SIMR1レジスタのCPOS_WAIT、MLSビット、SICR1レジスタのCKS0～CKS3ビットなどを設定してください(初期設定)。次にSICR1レジスタのTRS、MSTビットを0にして、スレーブ受信モードでスレーブアドレスが一致するまで待ってください。
- (2) 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、8クロック目の立ち下がりから9クロック目の立ち下がりの間、スレーブデバイスはSIERレジスタのCEIE_ACKBTビットで設定したレベルをSDAに出力します。9クロック目の立ち上がりでSISRレジスタのRDRFビットが1になりますので、SIRDRレジスタをダミーリード(読み出したデータはスレーブアドレス+R/Wを示すので不要)してください。
- (3) RDRFビットが1になるたびに、SIRDRレジスタを読んでください。RDRFビットが1の状態では8クロック目が立ち下がると、SIRDRレジスタを読むまでSCLがLに固定されます。SIRDRレジスタを読む前に行ったマスタデバイスに返すアクノリッジの設定変更は、次の転送フレームに反映されます。
- (4) 最終バイトの読み出しも、同様にSIRDRレジスタを読むことで行います。

図 22.26 スレーブ受信モードの動作タイミング (I²C バスインタフェースモード) (1)図 22.27 スレーブ受信モードの動作タイミング (I²C バスインタフェースモード) (2)

22.4.3 クロック同期式シリアルモード

22.4.3.1 クロック同期式シリアルフォーマット

SIMR2レジスタのMSビットを1にすると、クロック同期式シリアルフォーマットで通信します。
図22.28にクロック同期式シリアルモードの転送フォーマットを示します。

SICR1レジスタのMSTビットが1のときSCLから転送クロック出力となり、MSTビットが0のとき外部クロック入力となります。

転送データはSCLクロックの立ち下がりから立ち下がりまで出力され、SCLクロックの立ち上がりエッジのデータの確定が実施されます。データの転送順はSIMR1レジスタのMLSビットにより、MSBファーストかLSBファーストかを選択可能です。また、SICR2レジスタのSDAOビットにより、転送待機中にSDAの出力レベルを変更することができます。

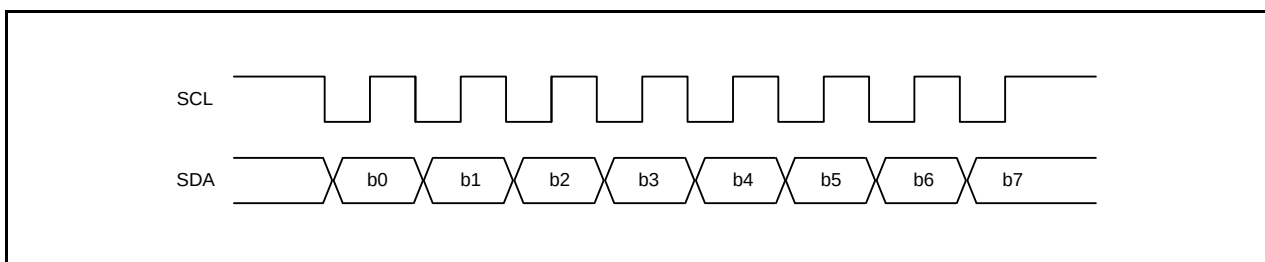


図22.28 クロック同期式シリアルモードの転送フォーマット

22.4.3.2 送信動作

送信モードでは転送クロックの立ち下がりに同期して、送信データを SDA から出力します。転送クロックは SICR1 レジスタの MST ビットが 1 とき出力、MST ビットが 0 とき入力となります。

図 22.29 に送信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に送信モードの手順と動作を示します。

- (1) SICR1 レジスタの ICE ビットを 1 (転送動作可能状態) にしてください。その後、SICR1 レジスタの CKS0～CKS3 ビット、MST ビットなどを設定してください(初期設定)。
- (2) SICR1 レジスタの TRS ビットを 1 にして送信モードにしてください。これにより、SISR レジスタの TDRE ビットが 1 になります。
- (3) TDRE ビットが 1 であることを確認した後、SITDR レジスタに送信データを書いてください。これにより SITDR レジスタから SISDR レジスタにデータが転送され、自動的に TDRE ビットが 1 になります。TDRE ビットが 1 になるたびに SITDR レジスタにデータを書くと、連続送信が可能です。なお、送信モードから受信モードに切り替える場合、TDRE ビットが 1 の状態で TRS ビットを 0 にしてください。

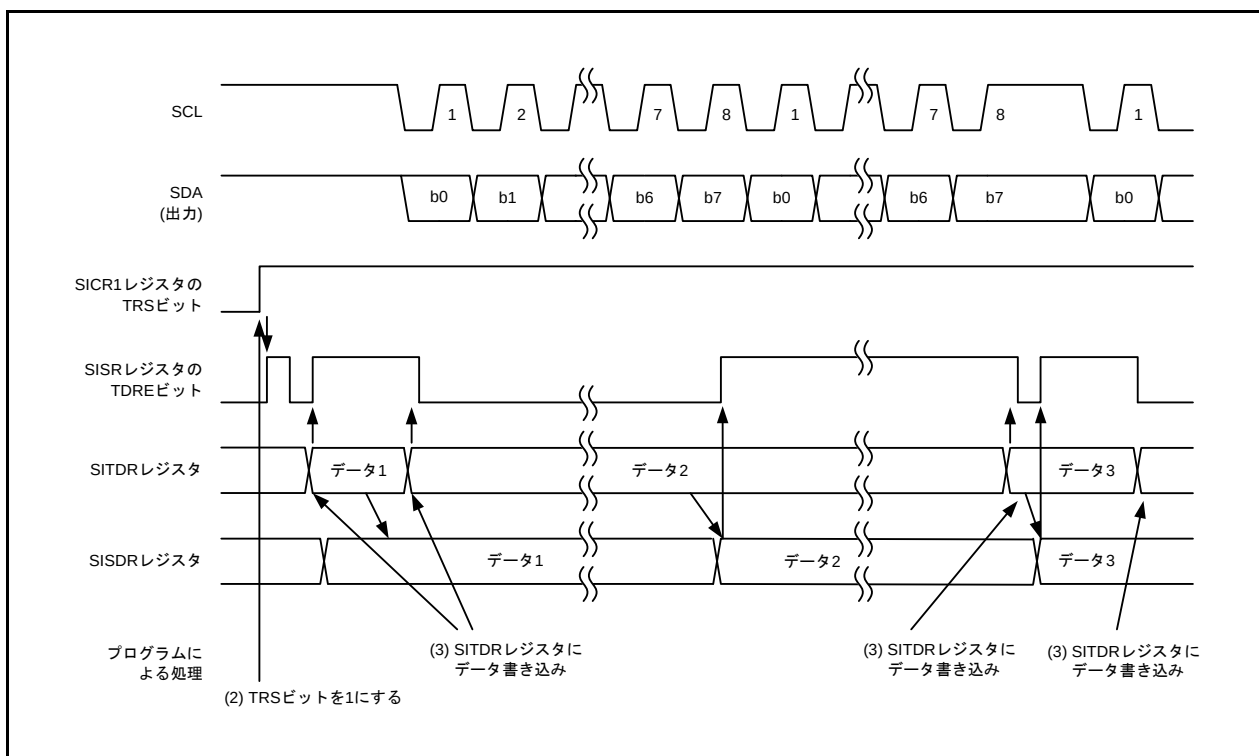


図 22.29 送信モードの動作タイミング(クロック同期式シリアルモード)

22.4.3.3 受信動作

受信モードでは転送クロックの立ち上がりで、データをラッチします。転送クロックはSICR1レジスタのMSTビットが1とき出力、MSTビットが0とき入力となります。

図22.30に受信モードの動作タイミング(クロック同期式シリアルモード)を示します。

以下に受信モードの手順と動作を示します。

- (1) SICR1レジスタのICEビットを1(転送動作可能状態)にしてください。その後、SICR1レジスタのCKS0～CKS3ビット、MSTビットなどを設定してください(初期設定)。
- (2) 転送クロックを出力時、MSTビットを1にしてください。これにより受信クロックの出力を開始します。
- (3) 受信が完了すると、SISDRレジスタからSIRDRレジスタにデータが転送され、SISRレジスタのRDRFビットが1になります。MSTビットが1のときは次バイトデータが受信可能状態のため、連続してクロックを出力します。RDRFビットが1になるたびにSIRDRレジスタを読むことで、連続的に受信可能です。RDRFビットが1の状態で8クロック目が立上がるとオーバランを検出し、SISRレジスタのORER_ALビットが1になります。このときSIRDRレジスタには、前の受信データが保持されています。
- (4) MSTビットが1のとき、受信を停止するためには、SICR1レジスタのRCVDビットを1(次の受信動作を禁止)にしてから、SIRDRレジスタを読んでください。これにより次バイトデータの受信完了後、SCLがHに固定されます。

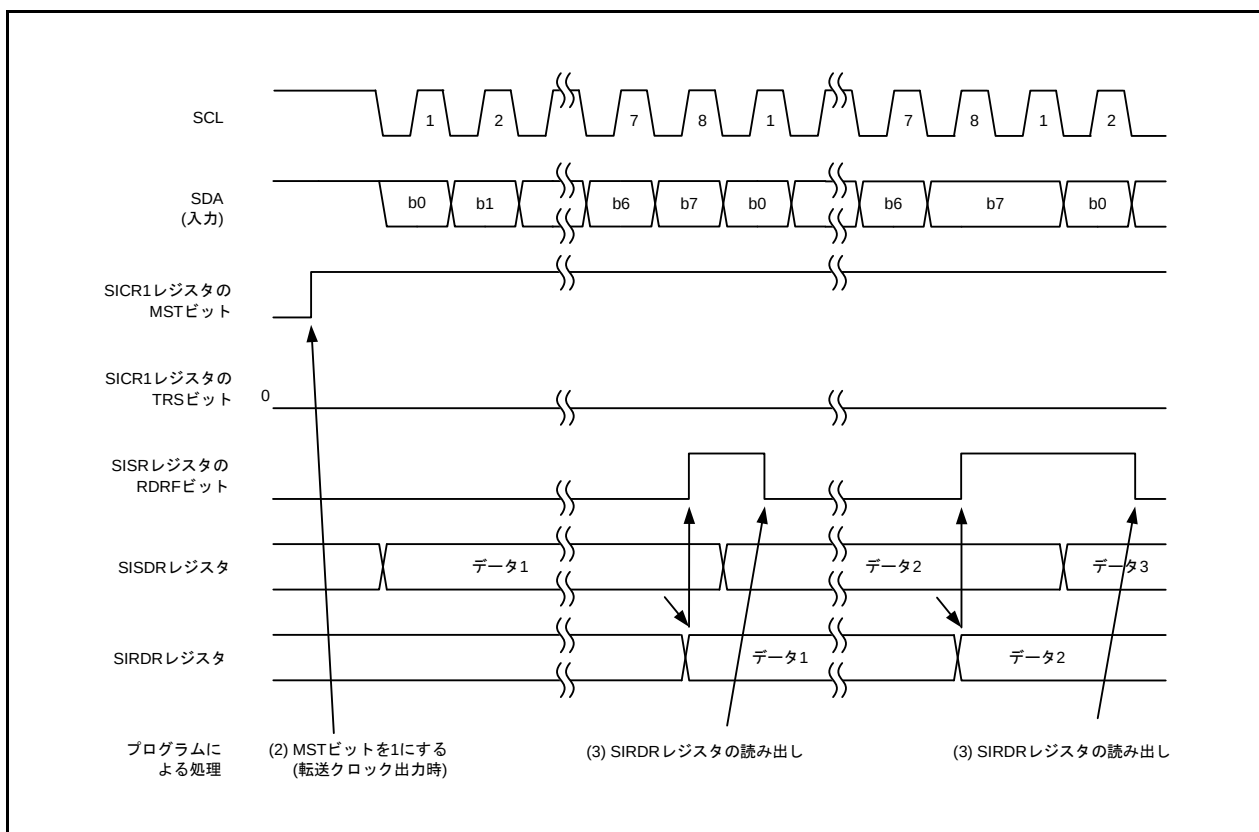


図 22.30 受信モードの動作タイミング(クロック同期式シリアルモード)

22.4.4 レジスタ設定例

I²C バスインタフェースを使用する場合のレジスタ設定例を図 22.31～図 22.34 に示します。

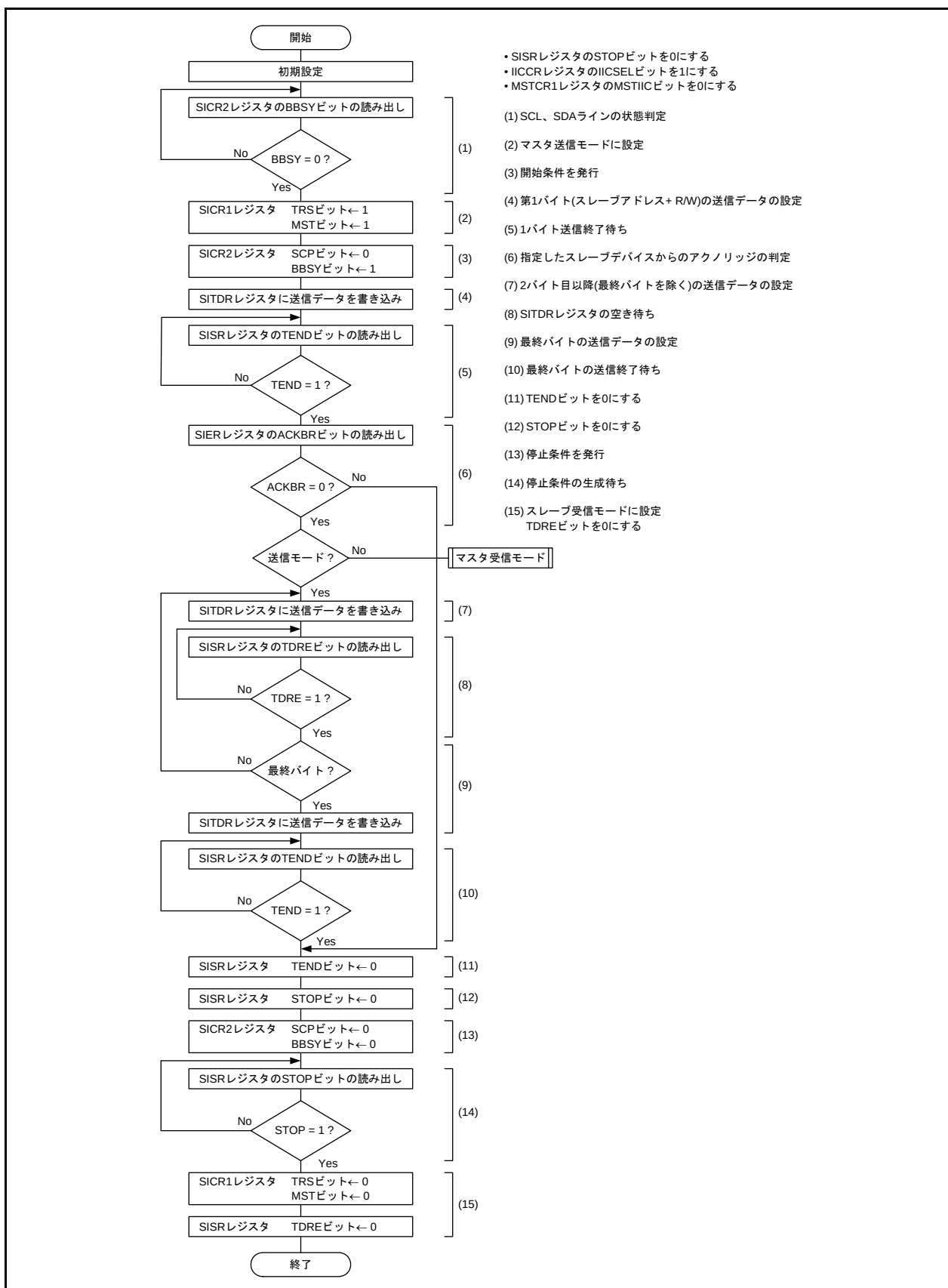
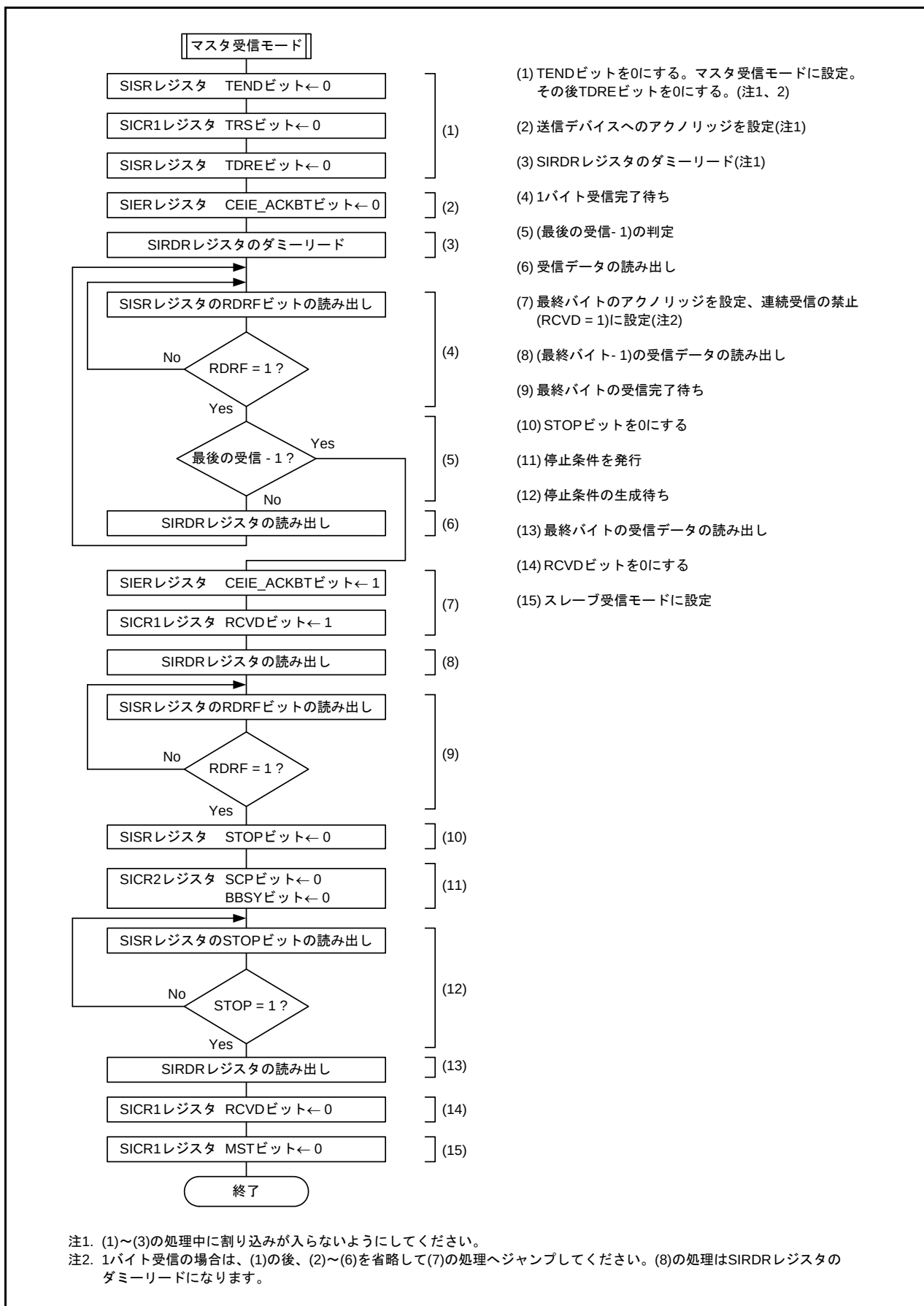
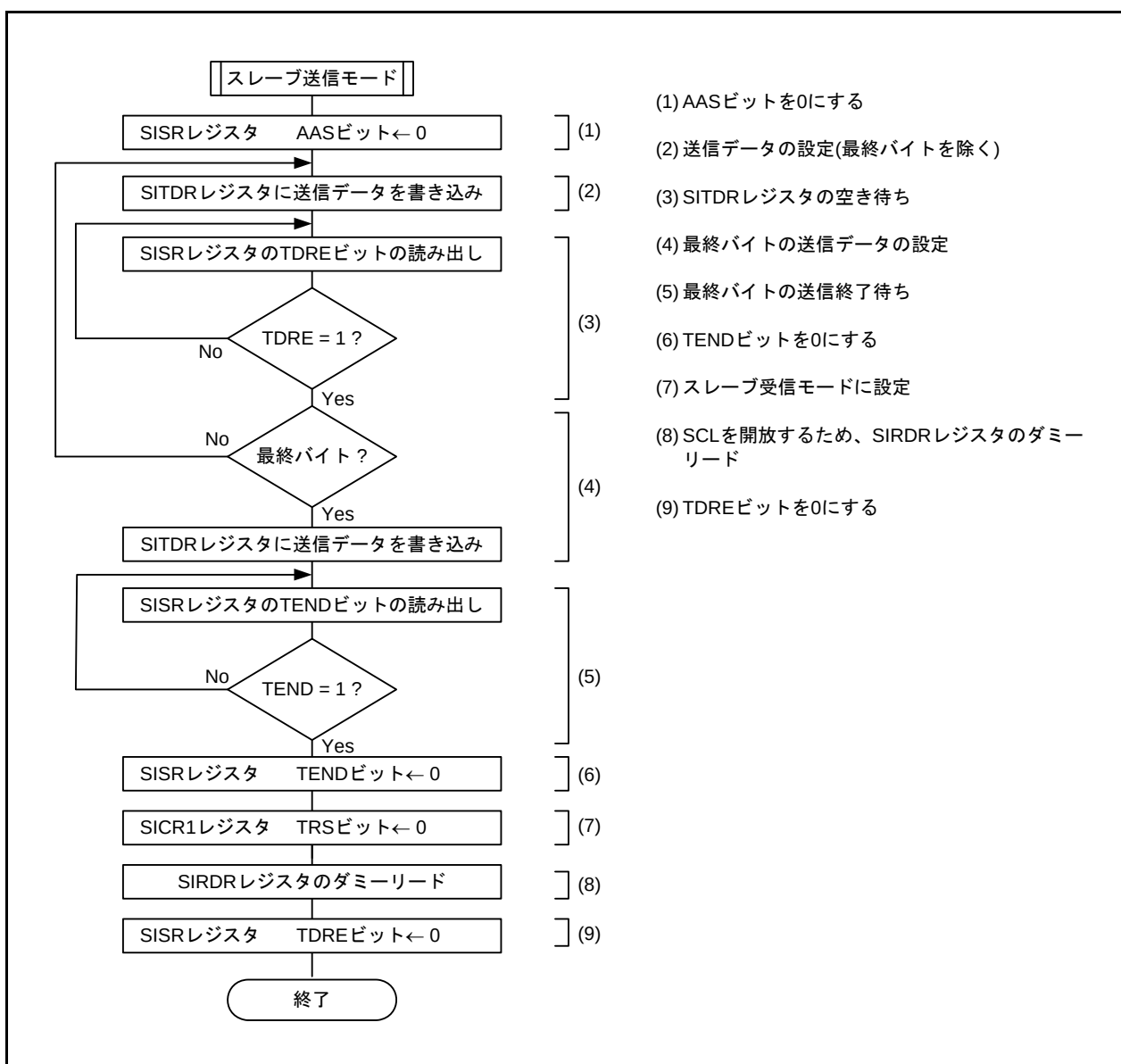
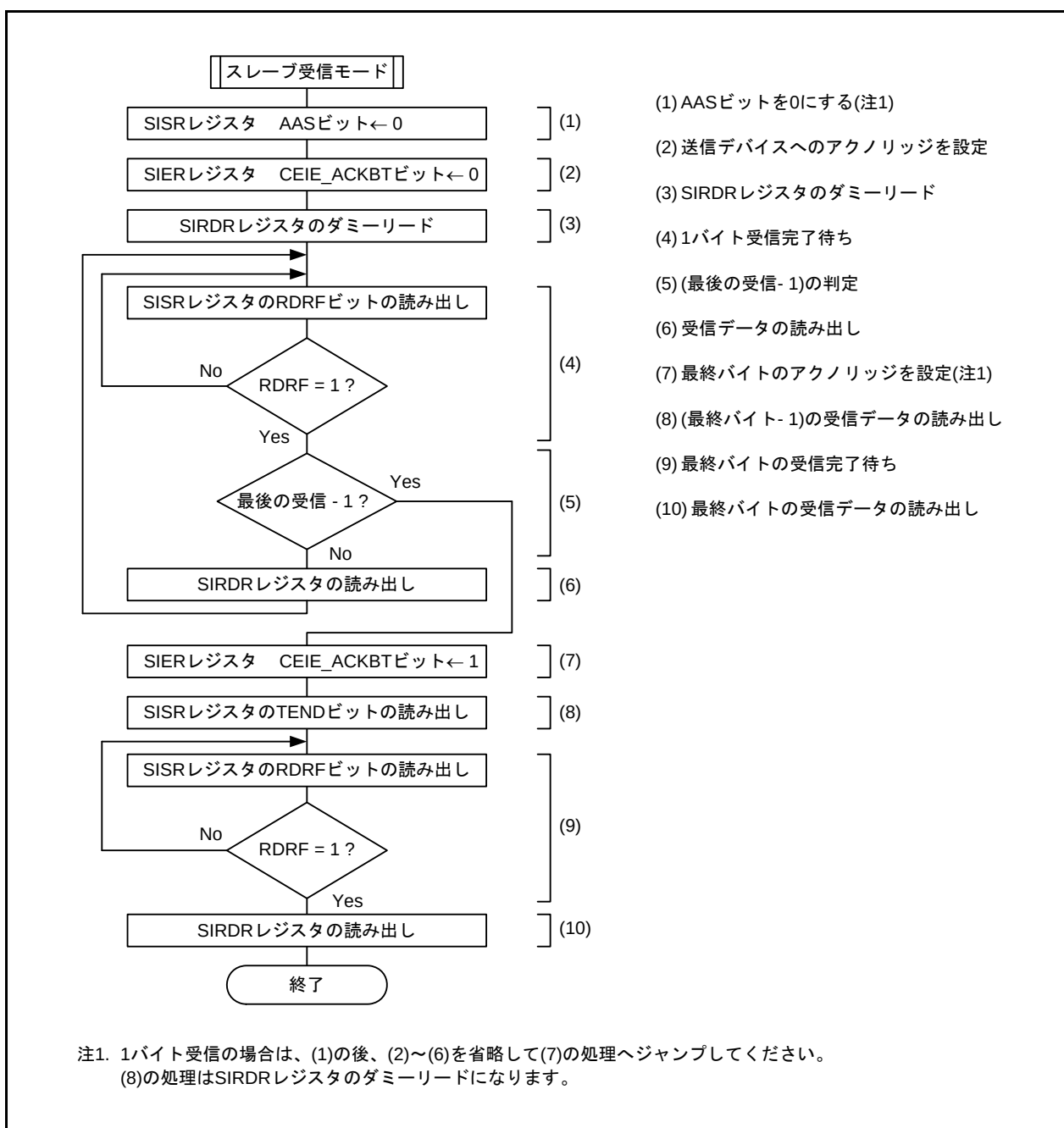


図 22.31 マスタ送信モードのレジスタ設定例(I²Cバスインタフェースモード)

図 22.32 マスタ受信モードのレジスタ設定例(I²C バスインタフェースモード)

図 22.33 スレーブ送信モードのレジスタ設定例(I²Cバスインタフェースモード)

図 22.34 スレーブ受信モードのレジスタ設定例(I²Cバスインタフェースモード)

22.4.5 ノイズ除去回路

SCL 端子および SDA 端子の状態は、ノイズ除去回路を経由して内部に取り込まれます。図 22.35 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は2段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号(または SDA 端子入力信号)が f1 でサンプリングされ、2つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

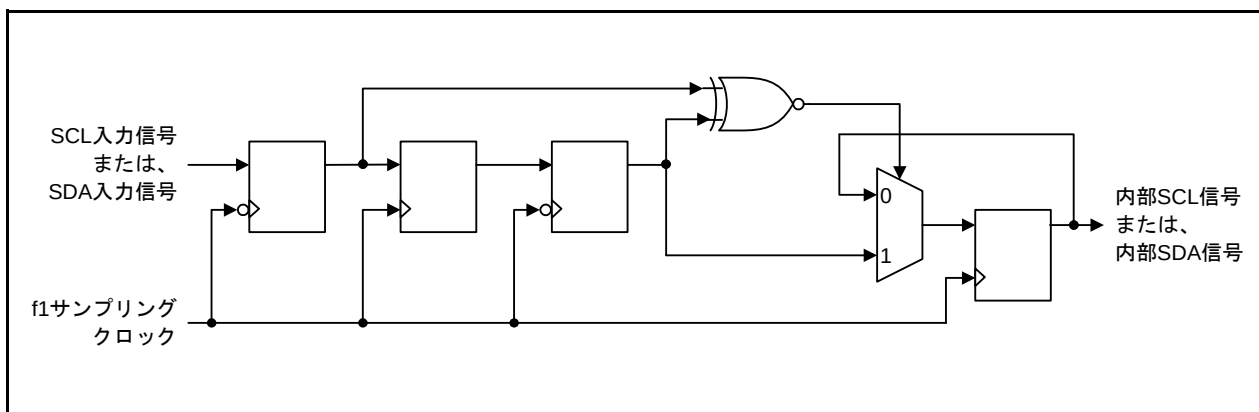


図 22.35 ノイズ除去回路のブロック図

22.4.6 ビット同期回路

I²Cバスインターフェースをマスタモードに設定時、

- スレーブデバイスにより SCL が L に保持された場合
- SCL ラインの負荷(負荷容量、プルアップ抵抗)により SCL の立ち上がりがゆるやかになった場合の2つの状態で H 期間が短くなる可能性があります。

ビット同期回路では、SCL 出力の立ち上がりから所定の時間 (MT) 後に SCL 入力をモニタし、SCL が H レベルになっているかを確認します。もし、スレーブで SCL を L レベルに引っ張るか、SCL ラインの負荷により立ち上がりがゆるやかになった場合は、SCL が H レベルになっていないと認識し、SCL を立ち下げるタイミングを遅らせます。

図 22.36 にビット同期回路のタイミングを、表 22.12 に SCL を L 出力からハイインピーダンスにした後、SCL をモニタするまでの時間を示します。

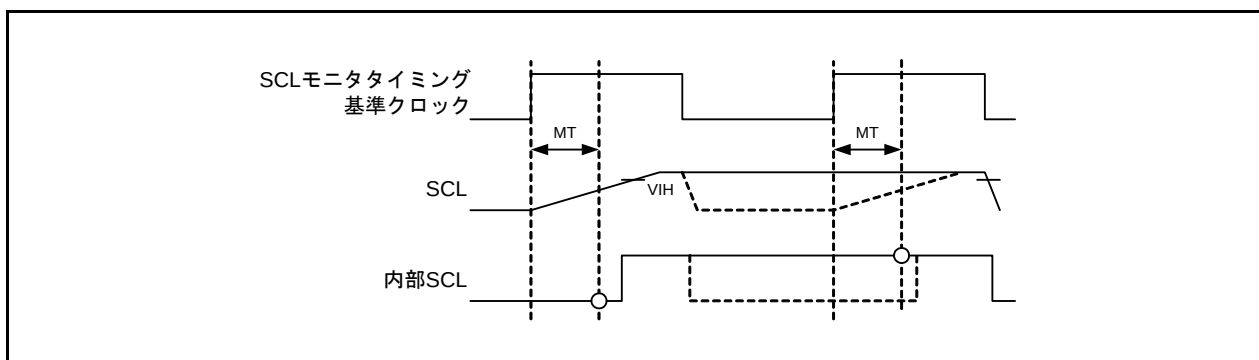


図 22.36 ビット同期回路のタイミング

表 22.12 SCL を L 出力からハイインピーダンスにした後、SCL をモニタするまでの時間

SICR1 レジスタ				SCL をモニタする時間(MT)
IICTCHALF	IICTCTW1	CKS3	CKS2	
0	0	0	0	7.5 Tcyc
			1	19.5 Tcyc
		1	0	17.5 Tcyc
			1	41.5 Tcyc
0	1	0	0	2.5 Tcyc
			1	8.5 Tcyc
		1	0	7.5 Tcyc
			1	19.5 Tcyc
1	0	0	0	17.5 Tcyc
			1	41.5 Tcyc
		1	0	37.5 Tcyc
			1	85.5 Tcyc

1Tcyc = 1/f1(s)

CKS3～CKS0 = 1000b の場合、SCL の High 幅が 600ns 以下 (I²C 規格違反) であっても、ビット同期回路が機能しません (動作クロックが 20 MHz のとき)。

22.4.7 DTC との連携動作

■ SSU/I²C バス機能共通

- マスタモードで DTC により受信バッファレジスタをリードする場合は、DTC の転送回数レジスタには、転送回数-1 を設定してください。
- 転送回数-1 回の受信データを DTC で転送後、RXI 割り込みが発生します。SICR1 レジスタの RCVD ビットを 1 (次の受信動作を禁止) にした後、SISR レジスタの RDRF ビットを 0 (SIRDR レジスタにデータなし) にしてください。
- RDRF ビットのクリアが遅れ、最終バイトの転送が完了した場合、I²C バス機能では SCL が Low でハングアップします。SSU 機能ではオーバランエラーとなります。
- SICR1 レジスタの RCVD ビットの設定は、最終バイトの受信動作中に設定してください。

■ SSU 機能の場合

- 最終データの受信完了後に RXI 割り込みが発生します。SISR レジスタの RE_STIE ビットを 0 (受信禁止) に、RCVD ビットを 0 (次の受信動作を継続) にした後で、ソフトウェアで SIRDR レジスタを読み出してください。

■ I²C バス機能の場合

- 最終データの受信完了後に RXI 割り込みが発生します。SICR2 レジスタの SCLO ビット (SCL モニタフラグ) が 0 になるのを確認してから、停止条件を発行してください。
- SISR レジスタの STOP ビットが 1 (フレームの転送の完了後に停止条件を検出) になったとき、SIRDR レジスタを読み出してください。その後、RCVD ビットを 0 (次の受信動作を継続) にしてください。

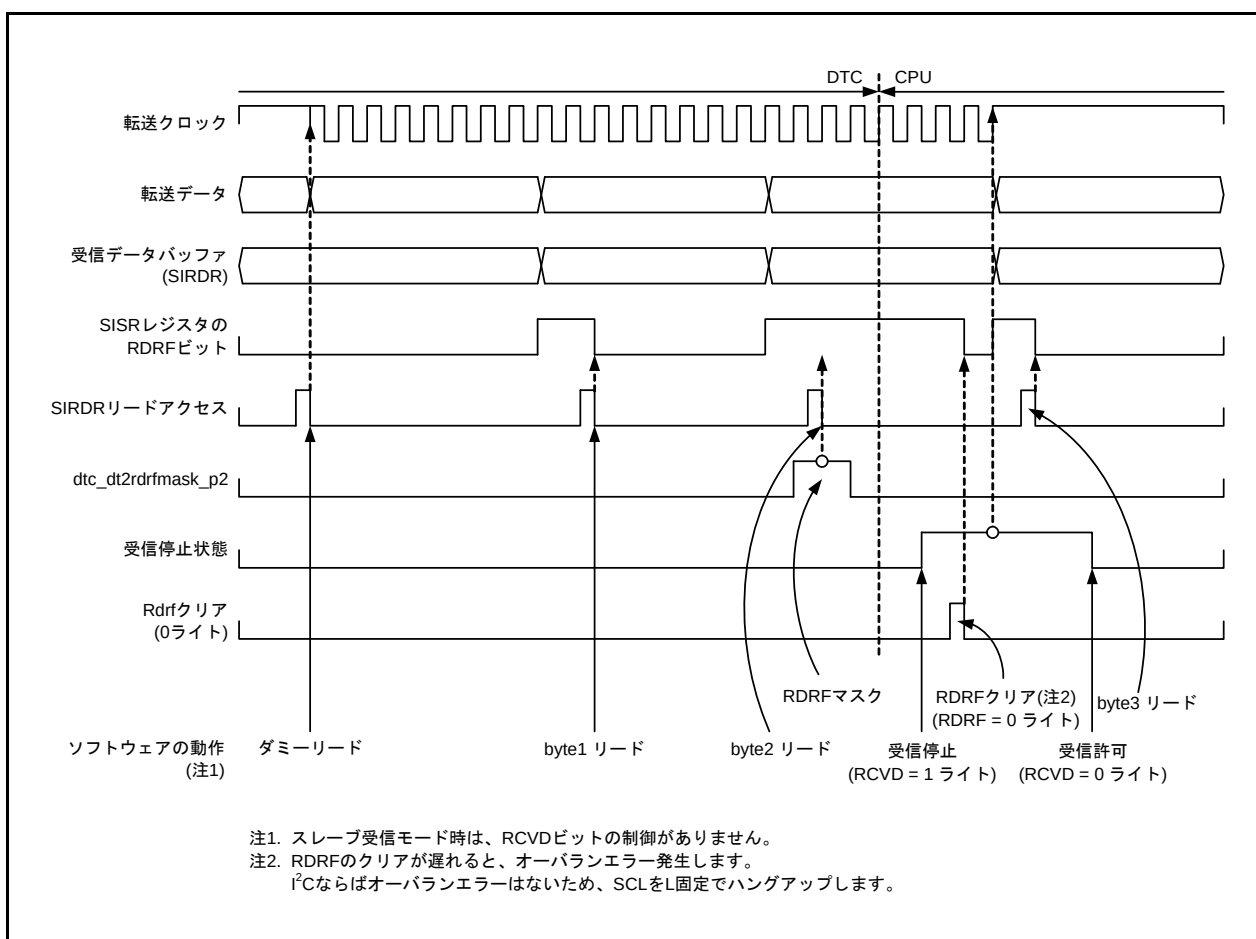


図 22.37 マスタ受信モード時のDTC関連動作タイミング

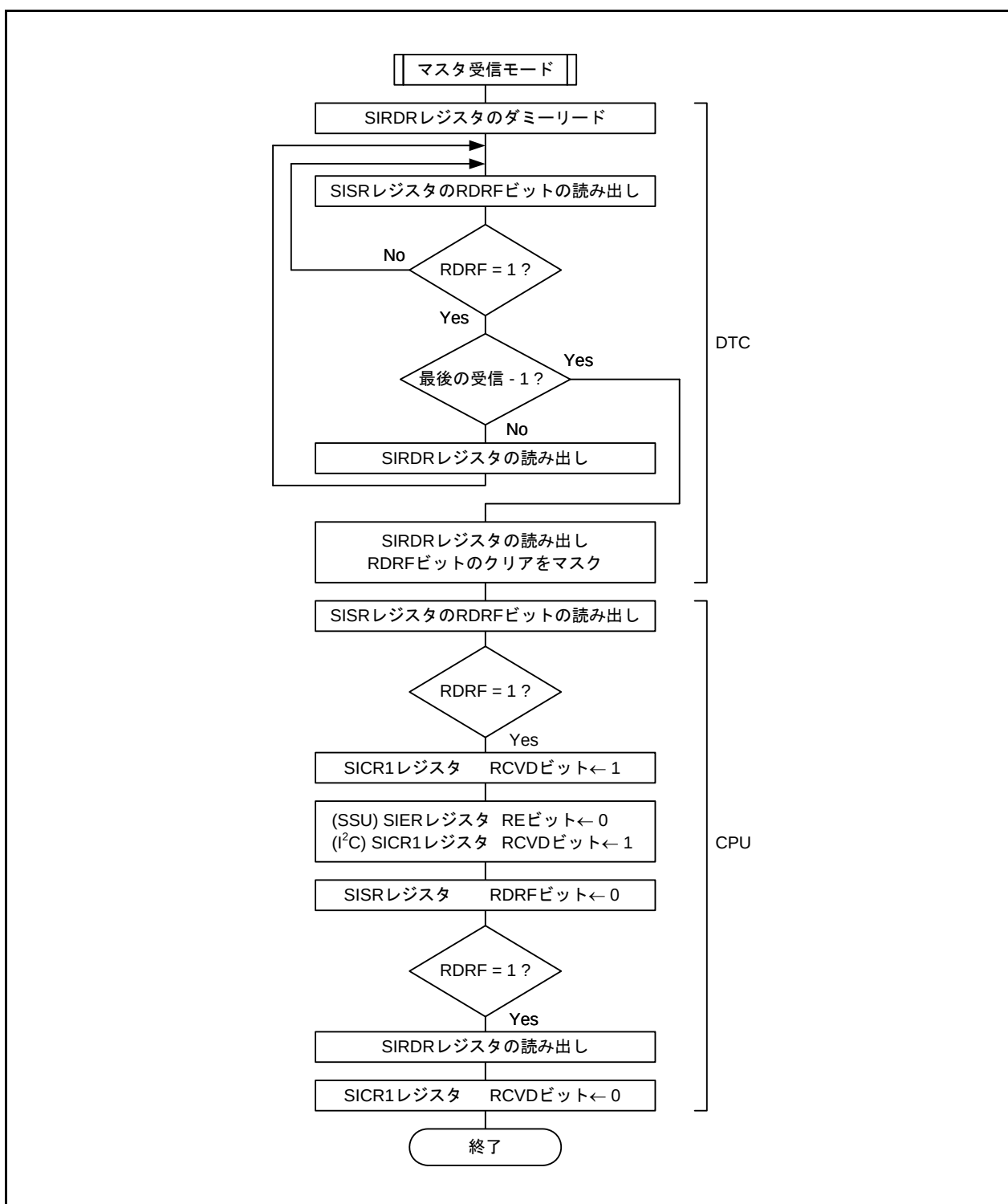


図 22.38 マスタ受信モード時のDTC関連動作フロー

22.4.8 I²Cバスインタフェースモード時の制御部リセット手順

I²Cバスインタフェースは、SICR2レジスタのSIRSTビットに1を書き込むことで、I²Cの一部レジスタとコントロール部をリセットすることができます。以下に、SIRSTビットを用いたリセット手順を示します。

制御部リセットを行った場合(図中(2))、ICUの該当するSSUIC_i/IICIC_iレジスタ(*i* = 0~2)のIRビットが1(割り込み要求あり)になることがあります。IRビットをクリアする場合の注意事項については、「11.9.4 割り込み要因の変更」を参照してください。

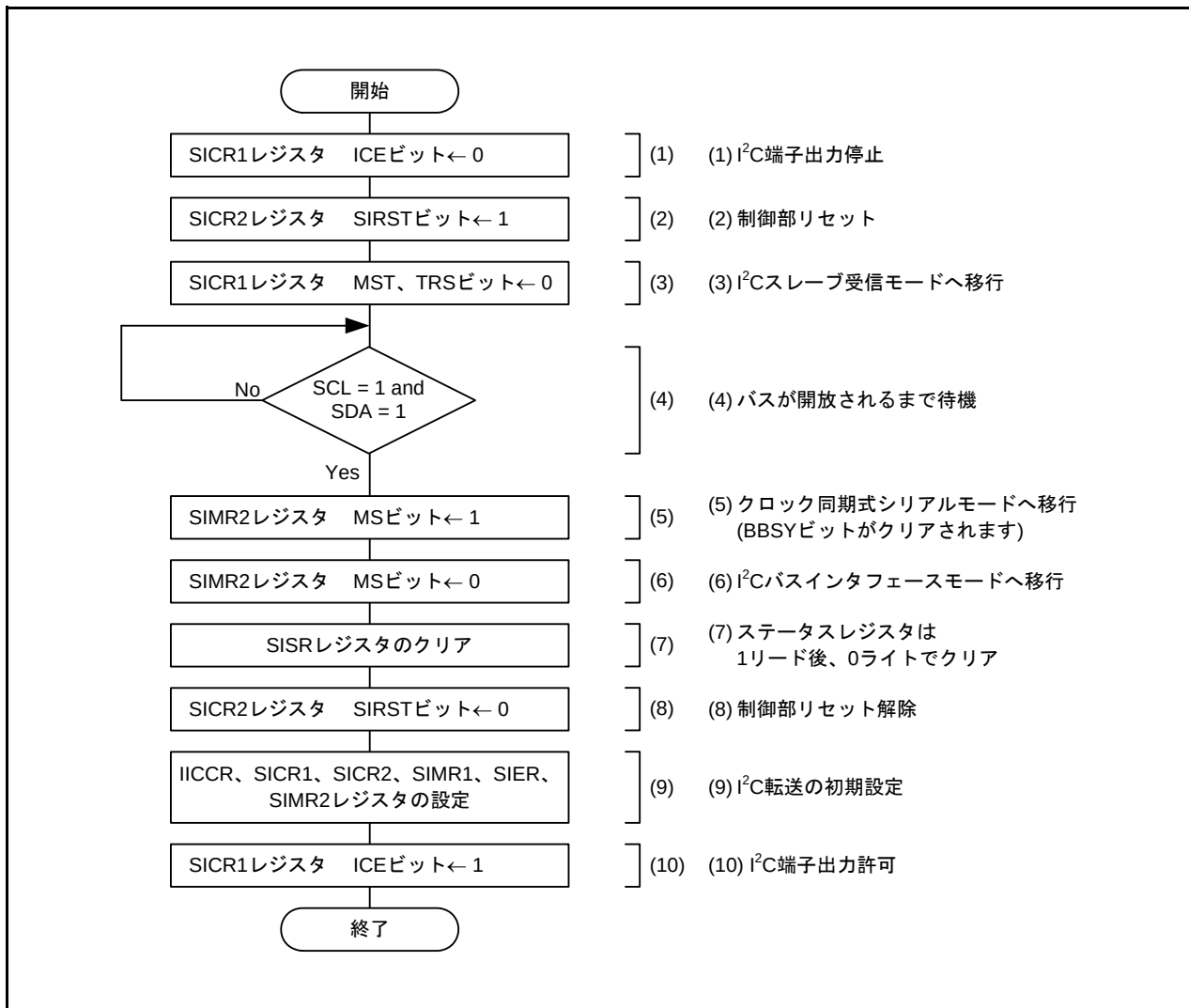


図 22.39 I²Cバスインタフェースモード時の制御部リセット手順

22.5 クロック同期形シリアルインタフェース使用上の注意事項

22.5.1 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、IICCR レジスタの IICSEL ビットを 0 (SSU 機能を選択) にしてください。

22.5.2 I²C バスインタフェース使用上の注意

I²C バスインタフェースを使用する場合には、IICSEL ビットを 1 (I²C バス機能を選択) にしてください。

- (1) I²C の規格に違反する設定で使用しないでください。
- (2) 「Hs-MODE」による通信はできません。最高転送速度は「FAST-MODE」による [Max. 400 kHz] です。
- (3) SCL の Low 期間は「FAST-MODE」で [Min. 1.3 μ s] です。本モジュールにおける H/L 幅のデューティは 50 %/50 % のため、400 kHz 動作時にこの値を下回ってしまいます。よって最高転送速度は SCL 周期が 2.6 μ s (最大転送周波数 384.6 kHz) になります。
- (4) SCL の立ち上がりに対して、SDA の変化は [Min. 300 ns] の遅延を持たなければなりません。本モジュールにおける SDA デジタル遅延は最低 $3 \times f_1$ サイクルのため、基準クロック f_1 が 11 MHz 以上の場合には注意が必要です。IICCR レジスタの SDADLY1、SDADLY0 ビットを 01b 以上を設定してください。
- (5) CBUS との互換性はありません。
- (6) 10 ビット・アドレス指定はできません。
- (7) スレーブ送信モードのデータ送信中にスタート条件を検出した場合、その後に続くアドレスを受信することはできずに動作が停止します。制御部リセットのフローに従い、モジュールを初期化してください。
- (8) スレーブアドレスとして 1111XXXb と 0000XXXb は設定しないでください。
- (9) STOP 条件を検出した後、マスタで通信を開始する場合、必ず STOP ビットをクリアしてください。

22.5.3 SICR1 レジスタの ICE ビットおよび SICR2 レジスタの SIRST ビット

I²C バスインタフェース動作中に、ICE ビットに 0 または SIRST ビットに 1 を書くと SICR2 レジスタの BBSY ビットと SISR レジスタの STOP ビットが不定になる場合があります。

22.5.3.1 ビットが不定になる条件

- I²C バスインタフェースのマスタモードにおいて、本モジュールが I²C のバスを占有しているとき。
- I²C バスインタフェースのスレーブモードにおいて、本モジュールがデータかアクノリッジを送信中のとき。

22.5.3.2 対策

- 開始条件 (SCL が H のときの SDA 立ち下がり) が入力されると、BBSY ビットは 1 になります。
- 停止条件 (SCL が H のときの SDA 立ち上がり) が入力されると、BBSY ビットは 0 になります。
- マスタ送信モードにおいて、SCL、SDA とともに H の状態で、BBSY ビットに 1、SCP ビットに 0 を書き、開始条件 (SCL が H のときの SDA 立ち下がり) が出力されると、BBSY ビットは 1 になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDA が L の状態、かつ本モジュール以外に SCL を L にするデバイスがない状態で、BBSY ビットに 0、SICR2 レジスタの SCP ビットに 0 を書き、停止条件 (SCL が H のときの SDA 立ち上がり) が出力されると、BBSY ビットは 0 になります。
- SAR レジスタの MS ビットに 1 を書くと、BBSY ビットは 0 になります。

22.5.3.3 SICR2レジスタのSIRSTビットの補足説明

- SIRSTビットに1を書くと、SICR2レジスタのSDAOビットおよびSCLOビットは1になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、SIRSTビットに1を書くと、SISRレジスタのTDREビットは1になります。
- SIRSTビットによるI²Cバス制御部のリセット期間中は、SICR2レジスタのBBSYビット、SCPビット、SDAOビットへの書き込みは無効ですので、書き込み前にSIRSTビットに0を書いてください。
- SIRSTビットに1を書いても、BBSYビットは0になりません。しかし、SCL、SDAの状態によっては、停止条件(SCLがHのときのSDA立ち上がり)が生成され、そのことにより、BBSYビットが0になる場合があります。同様に、他のビットにも影響が発生する場合があります。
- SIRSTビットによるI²Cバス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA端子へ入力された信号によっては、SICR1、SICR2、SISRレジスタの値が更新される場合があります。
- 上記補足内容を含んだSIRSTビットによる制御部リセット動作は、「22.4.8 I²Cバスインタフェースモード時の制御部リセット手順」を参照してください。

23. ハードウェアLIN

ハードウェアLINは、タイマRJおよびUART0と連携し、LIN通信を行うものです。
ハードウェアLINは、HW-LIN_0、HW-LIN_1の2チャンネルで構成しています。
特に差異がない限り、本章ではLINとして説明します。

23.1 概要

ハードウェアLINには、以下の特長があります。

図23.1にハードウェアLINのブロック図を示します。

各モードでのWake Up機能はINTx (x = 1, 2)より検出します。

【マスタモード】

- Synch Break発生
- バス衝突検出

【スレーブモード】

- Synch Break検出
- Synch Field計測
- Synch BreakおよびSynch Field信号のUART入力制御機能
- バス衝突検出

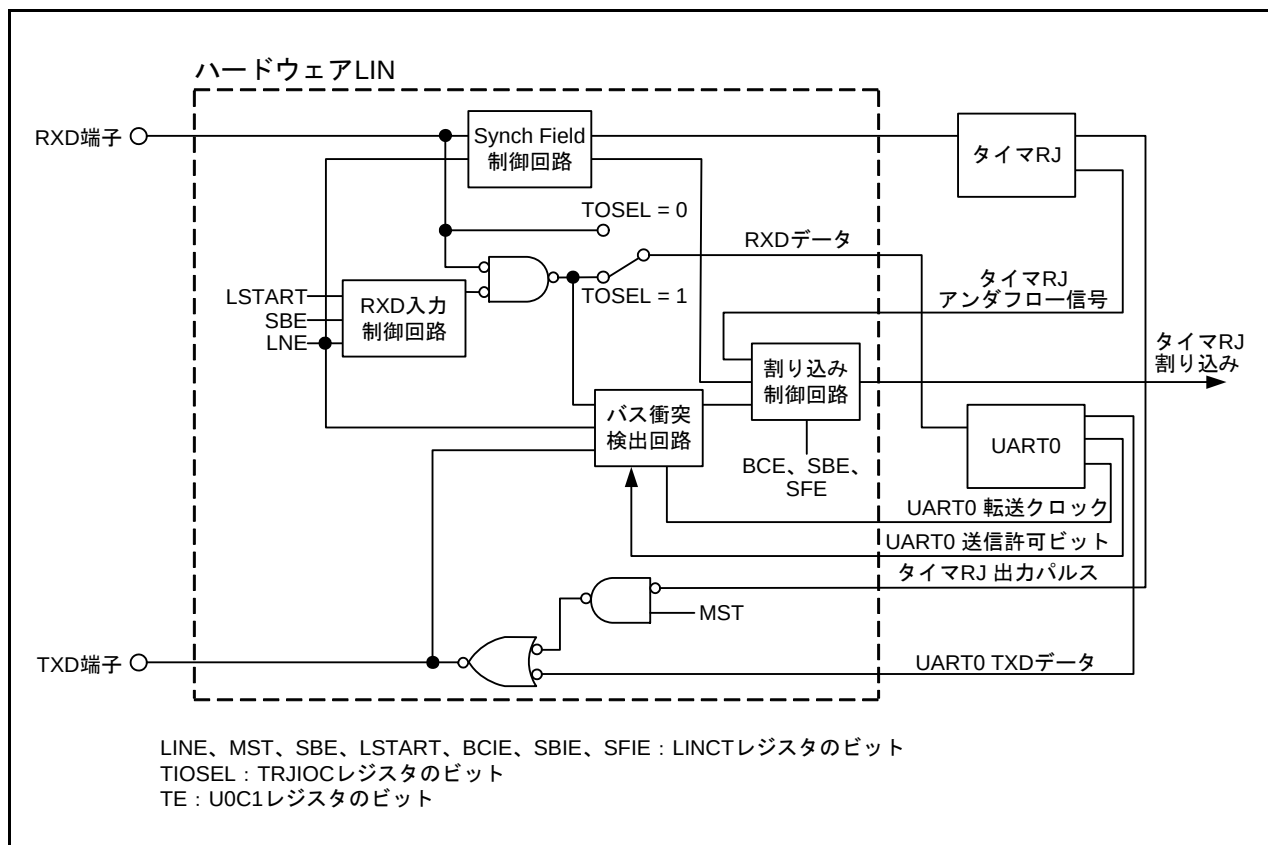


図23.1 ハードウェアLINのブロック図

23.2 入出力端子

表23.1にハードウェアLINの端子構成を示します。

表23.1 ハードウェアLINの端子構成

名称	端子名	入出力	機能
レシーブデータ入力	RXD	入力	ハードウェアLINの受信データ入力端子
トランスミットデータ出力	TXD	出力	ハードウェアLINの送信データ出力端子

23.3 レジスタの説明

表23.2にハードウェアLINのレジスタ構成を示します。

表23.2 ハードウェアLINのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
LIN_0特殊機能レジスタ	LINCR2_0	00h	0008Ch	8
LIN_0制御レジスタ	LINCT_0	00h	0008Eh	8
LIN_0ステータスレジスタ	LINST_0	00h	0008Fh	8
LIN_1特殊機能レジスタ	LINCR2_1	00h	0009Ch	8
LIN_1制御レジスタ	LINCT_1	00h	0009Eh	8
LIN_1ステータスレジスタ	LINST_1	00h	0009Fh	8

23.3.1 LIN特殊機能レジスタ (LINCR2)

アドレス 0008Ch (LINCR2_0)、0009Ch (LINCR2_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	BCE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCE	Synch Break送信時、バス衝突検出有効ビット	0 : バス衝突検出禁止 1 : バス衝突検出有効	R/W
b1	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

23.3.2 LIN制御レジスタ (LINCT)

アドレス 0008Eh (LINCT_0)、0009Eh (LINCT_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	LINE	MST	SBE	LSTART	RXDSF	BCIE	SBIE	SFIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFIE	Synch Field計測完了割り込み許可ビット	0 : Synch Field計測完了割り込み禁止 1 : Synch Field計測完了割り込み許可	R/W
b1	SBIE	Synch Break検出割り込み許可ビット	0 : Synch Break検出割り込み禁止 1 : Synch Break検出割り込み許可	R/W
b2	BCIE	バス衝突検出割り込み許可ビット	0 : バス衝突検出割り込み禁止 1 : バス衝突検出割り込み許可	R/W
b3	RXDSF	RXD入カステータスフラグ	0 : RXD入力許可状態 1 : RXD入力禁止状態	R
b4	LSTART	Synch Break検出開始ビット(注1)	1を書くとタイマRJ入力許可、RXD入力禁止になります。読んだ場合、その値は0。	R/W
b5	SBE	RXD入カマスク解除タイミングセレクトビット (スレーブモードのみ有効)	0 : Synch Break検出後に解除 1 : Synch Field計測完了後に解除	R/W
b6	MST	LIN動作モード設定ビット(注2)	0 : スレーブモード (Synch Break検出回路動作) 1 : マスタモード (タイマRJの出力をTXDとORする)	R/W
b7	LINE	LIN動作開始ビット	0 : LINは動作停止 1 : LINは動作開始(注3)	R/W

注1. LSTARTビット設定後、RXDSFビットが1(RXD入力禁止状態)になることを確認してからSynch Breakを入力開始してください。

注2. LIN動作モードを切り替える場合は、一度、LIN動作を停止(LINEビット=0)してください。

注3. LINEビットを1(LINは動作開始)にした直後は、タイマRJおよびUARTへの入力は禁止です(「図23.3、図23.4 ヘッダフィールド送信フローチャート例、図23.6～図23.8 ヘッダフィールド受信フローチャート例」参照)。

23.3.3 LINステータスレジスタ (LINST)

アドレス 0008Fh (LINST_0)、0009Fh (LINST_1)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	B2CLR	B1CLR	B0CLR	BCDCT	SBDCT	SFDCT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFDCT	Synch Field計測完了フラグ	1のときSynch Field計測完了	R
b1	SBDCT	Synch Break検出フラグ	1のときSynch Break検出、またはSynch Break発生完了	R
b2	BCDCT	バス衝突検出フラグ	1のときバス衝突検出	R
b3	B0CLR	SFDCTビットクリアビット	1を書くとSFDCTビットを0にします。読んだ場合、その値は0。	R/W
b4	B1CLR	SBDCTビットクリアビット	1を書くとSBDCTビットを0にします。読んだ場合、その値は0。	R/W
b5	B2CLR	BCDCTビットクリアビット	1を書くとBCDCTビットを0にします。読んだ場合、その値は0。	R/W
b6	—	予約ビット	書く場合、0を書いてください。読んだ場合、その値は0。	R/W
b7	—			

23.4 動作説明

23.4.1 マスタモード

図23.2にマスタモードでの、ヘッダフィールドの送信時の動作例を、図23.3、図23.4にヘッダフィールドの送信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド送信時、以下のように動作します。

- (1) タイマRJのTRJCRレジスタのTSTARTビットに1(カウント開始)を書き込むと、タイマRJのTRJレジスタに設定された期間、TXD端子からLレベルを出力します。
- (2) タイマRJがアンダフローすると、TXD端子の出力を反転し、LINSTレジスタのSBDCTビットが1(Synch Break検出、またはSynch Break発生完了)にセットされます。また、LINCTレジスタのSBIEビットを1(Synch Break検出割り込み許可)に設定している場合は、タイマRJ割り込みが発生します。
- (3) UART0により、55hを送信します。
- (4) UART0により、55hの送信が完了後、IDフィールドを送信します。
- (5) IDフィールドの送信完了後、レスポンスフィールドの通信を行います。

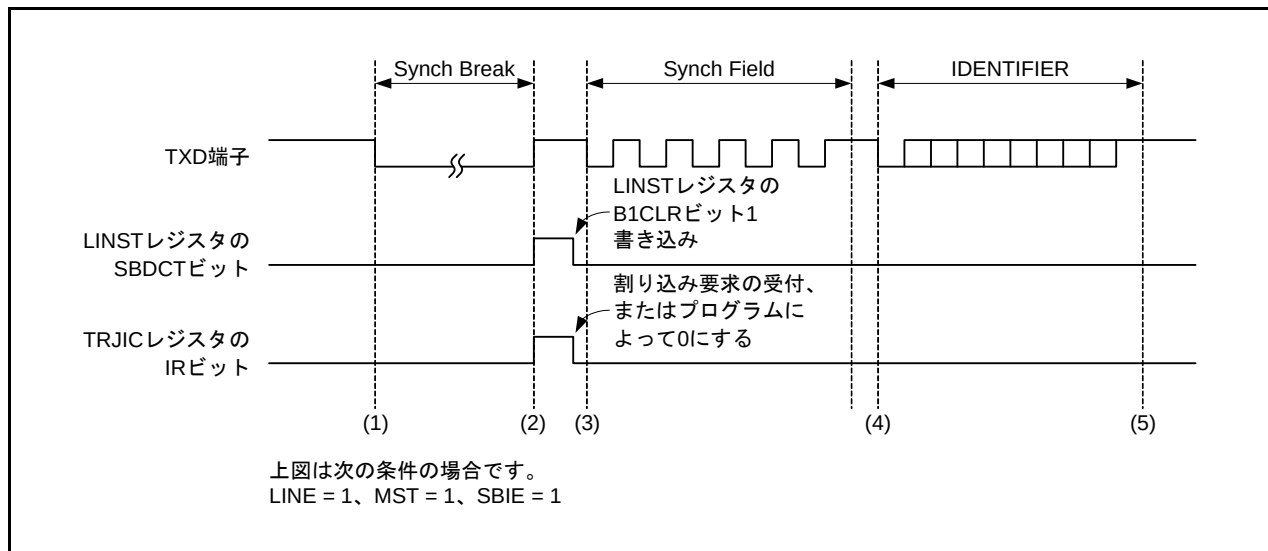


図23.2 ヘッダフィールドの送信時の動作例

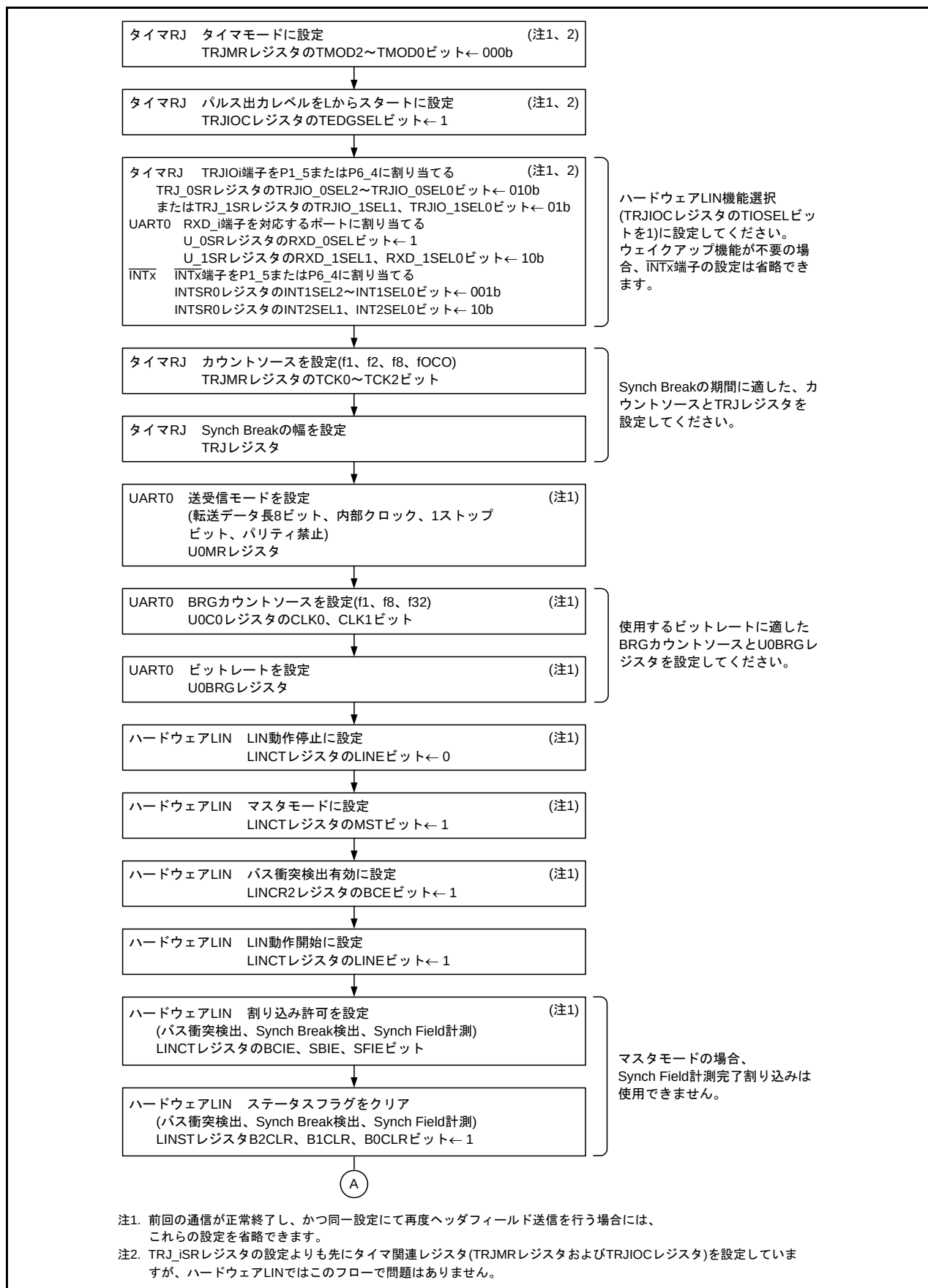


図 23.3 ヘッダフィールド送信フローチャート例(1) (i = 0、1、x = 1、2)

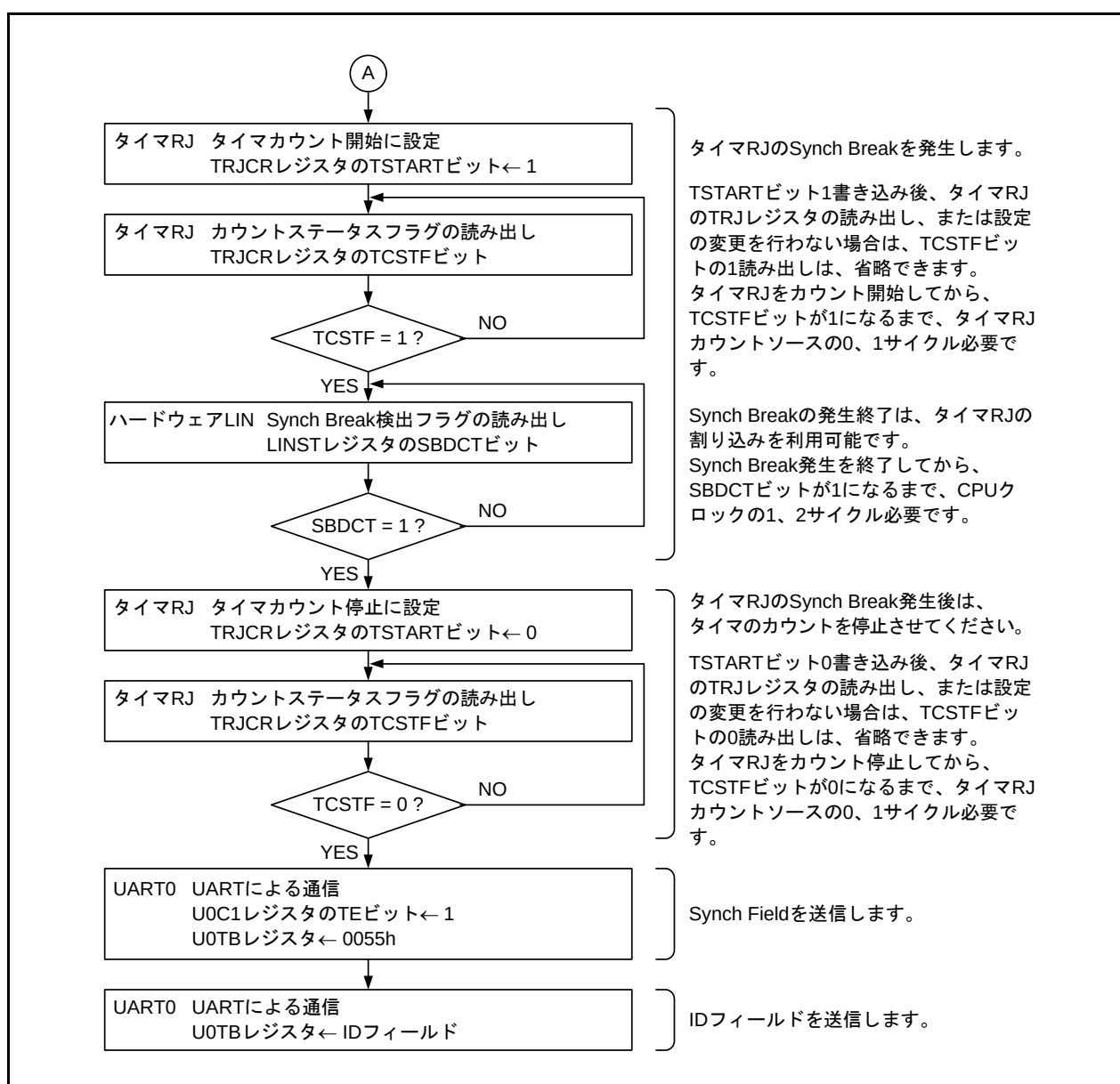


図 23.4 ヘッダフィールド送信フローチャート例(2)

23.4.2 スレーブモード

図 23.5 にスレーブモードでの、ヘッダフィールドの受信時の動作例を、図 23.6 ～図 23.8 にヘッダフィールドの受信を行うためのフローチャート例を示します。

ハードウェアLINは、ヘッダフィールド受信時、以下のように動作します。

- (1) ハードウェアLINのLINCTレジスタのLSTARTビットに1(タイマRJ入力許可、RXD入力禁止)を書き込むと、Synch Break検出が可能になります。
- (2) タイマRJに設定した期間以上のLレベルが入力されるとSynch Breakとして検出します。このとき、LINSTレジスタのSBDCTビットが1(Synch Break検出、またはSynch Break発生完了)にセットされます。また、LINCTレジスタのSBIEビットを1(Synch Break検出割り込み許可)に設定している場合は、タイマRJ割り込みが発生します。そして、Synch Field計測に遷移します。
- (3) Synch Field(55h)を受信します。このとき、タイマRJにより、スタートビットおよび0～6ビットまでの期間を測定します。このとき、Synch Fieldの信号をUART0のRXDに入力するか禁止にするかをLINCTのSBEビットにより選択できます。
- (4) Synch Field計測が完了するとLINSTレジスタのSFDCTビットが1にセットされます。また、LINCTレジスタのSFIEビットを1に設定している場合は、タイマRJ割り込みが発生します。
- (5) Synch Field計測完了後、タイマRJのカウント値から転送速度を算出し、UART0に設定およびタイマRJのTRJレジスタを再設定します。そして、UART0により、IDフィールドを受信します。
- (6) IDフィールドの受信完了後、レスポンスフィールドの通信を行います。

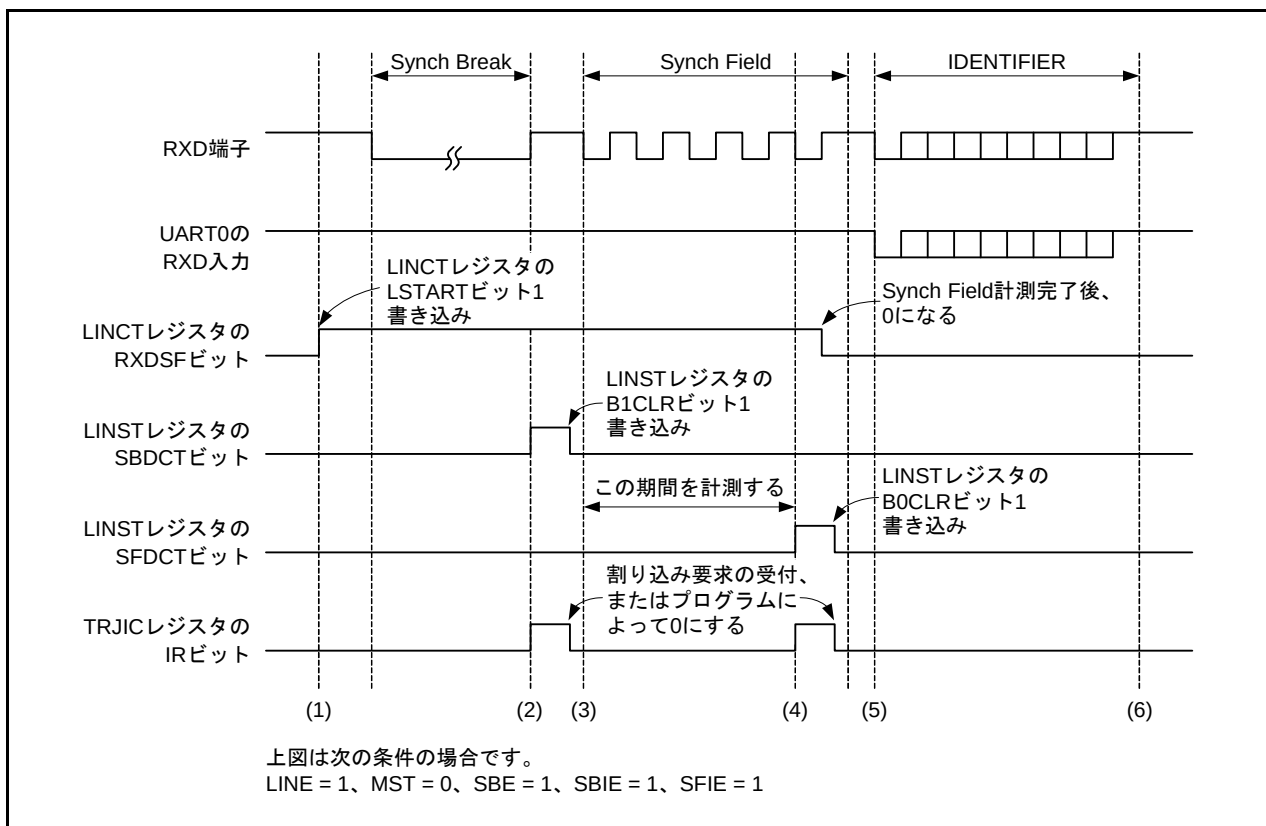


図 23.5 ヘッダフィールドの受信時の動作例

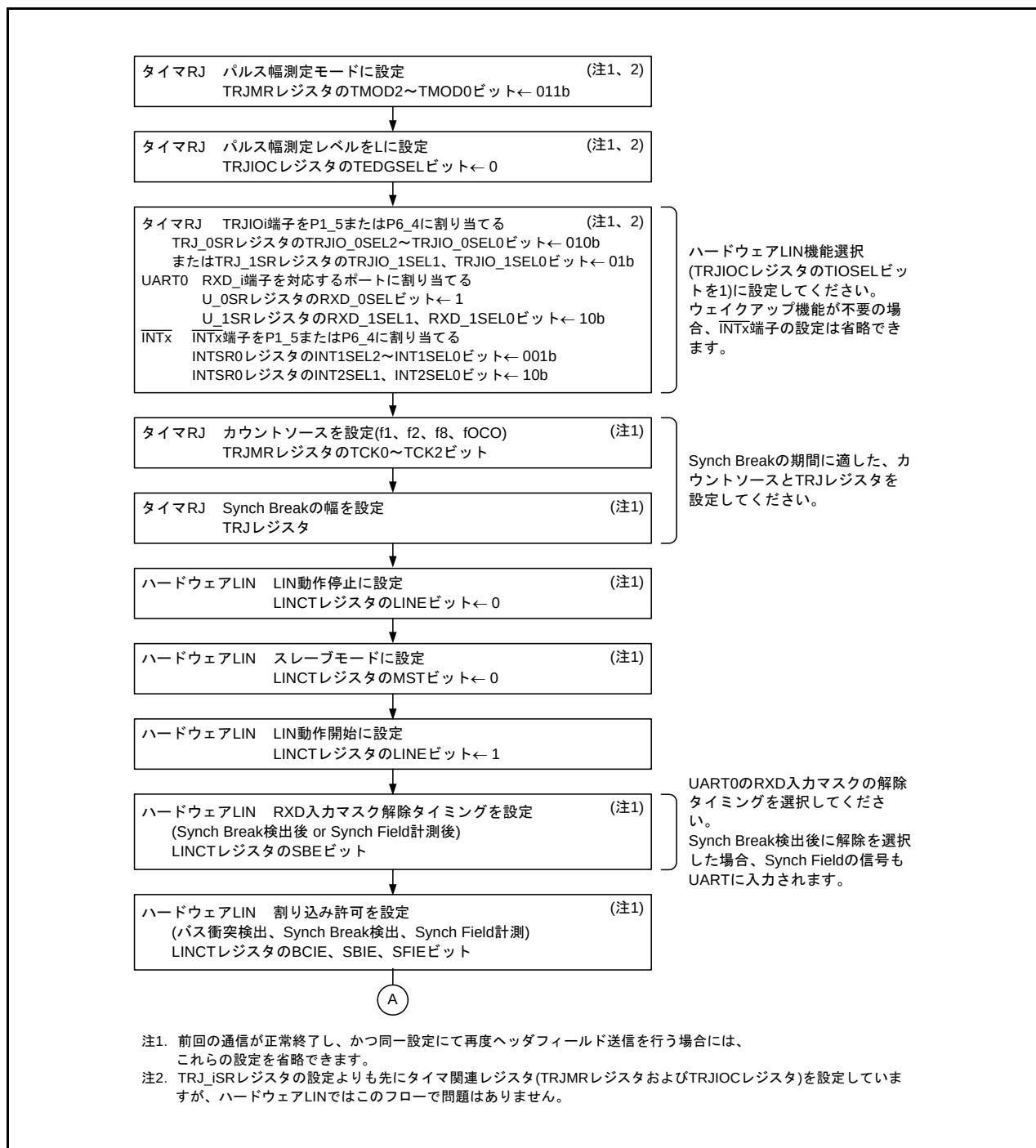


図 23.6 ヘッダフィールド受信フローチャート例(1) (i = 0、1、x = 1、2)

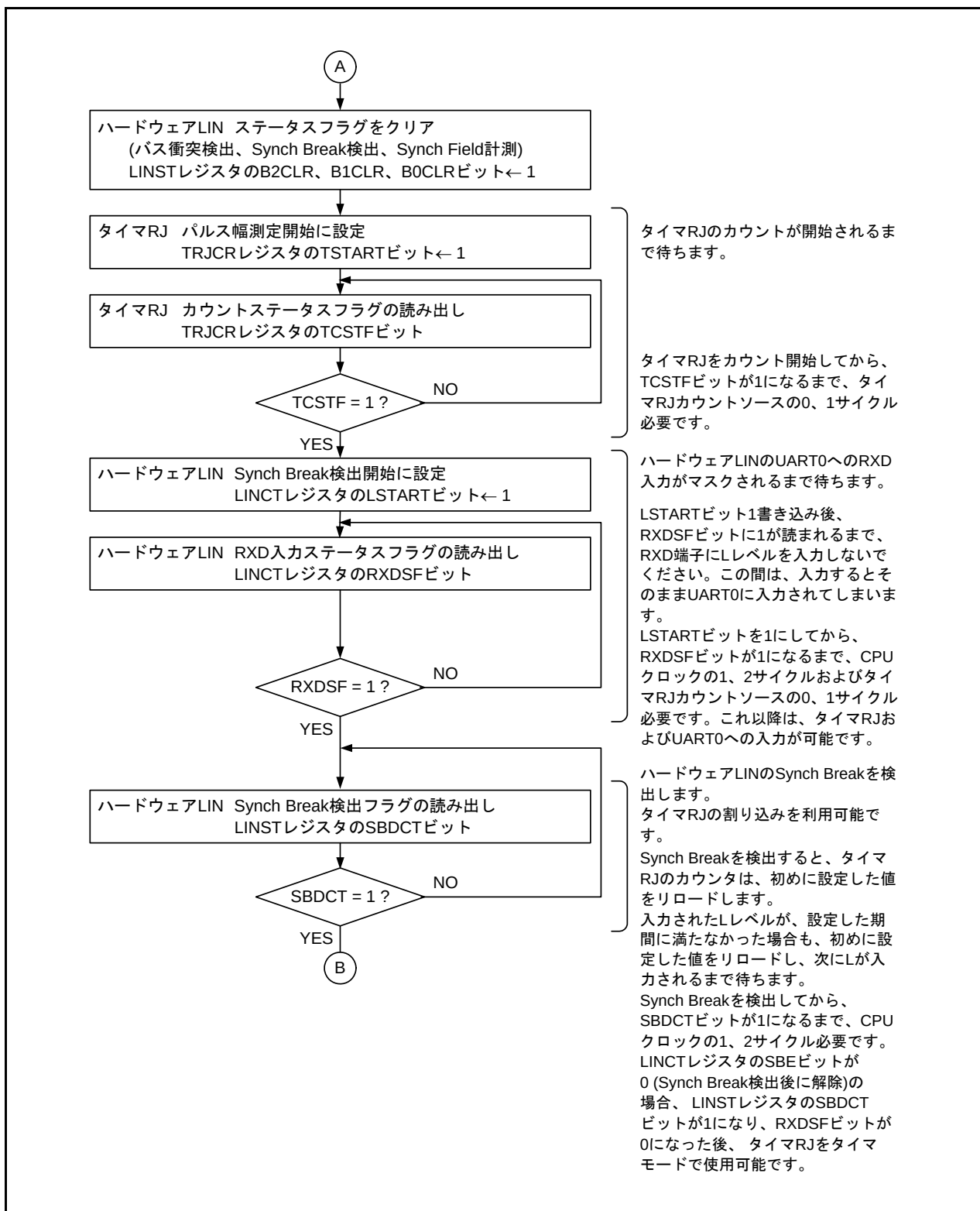


図 23.7 ヘッダフィールド受信フローチャート例(2)

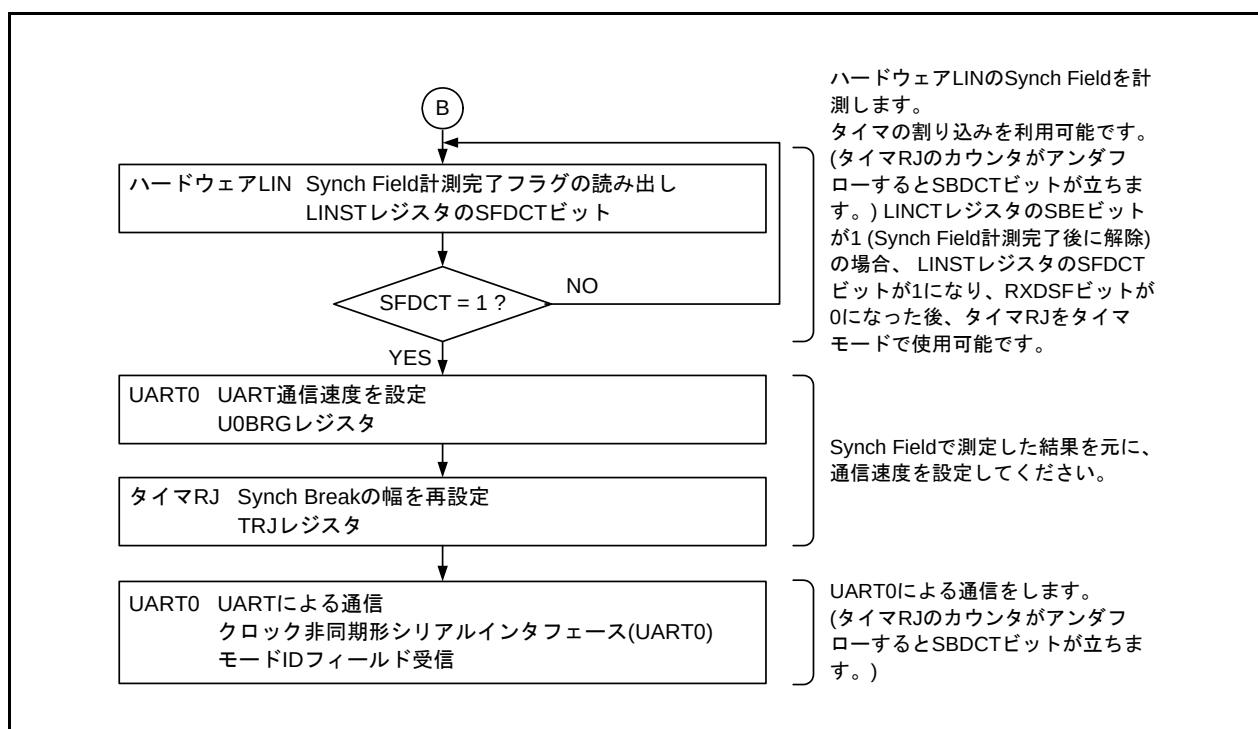


図 23.8 ヘッダフィールド受信フローチャート例(3)

23.4.3 バス衝突検出機能

UART0が送信許可(U0C1レジスタのTEビットが1(送信許可))の場合、バス衝突検出機能を使用することができます。Synch Break 送信中にバス衝突検出を行う場合は、LINC2レジスタのBCEビットを1(バス衝突検出有効)にしてください。

図23.9にバス衝突検出時の動作例を示します。

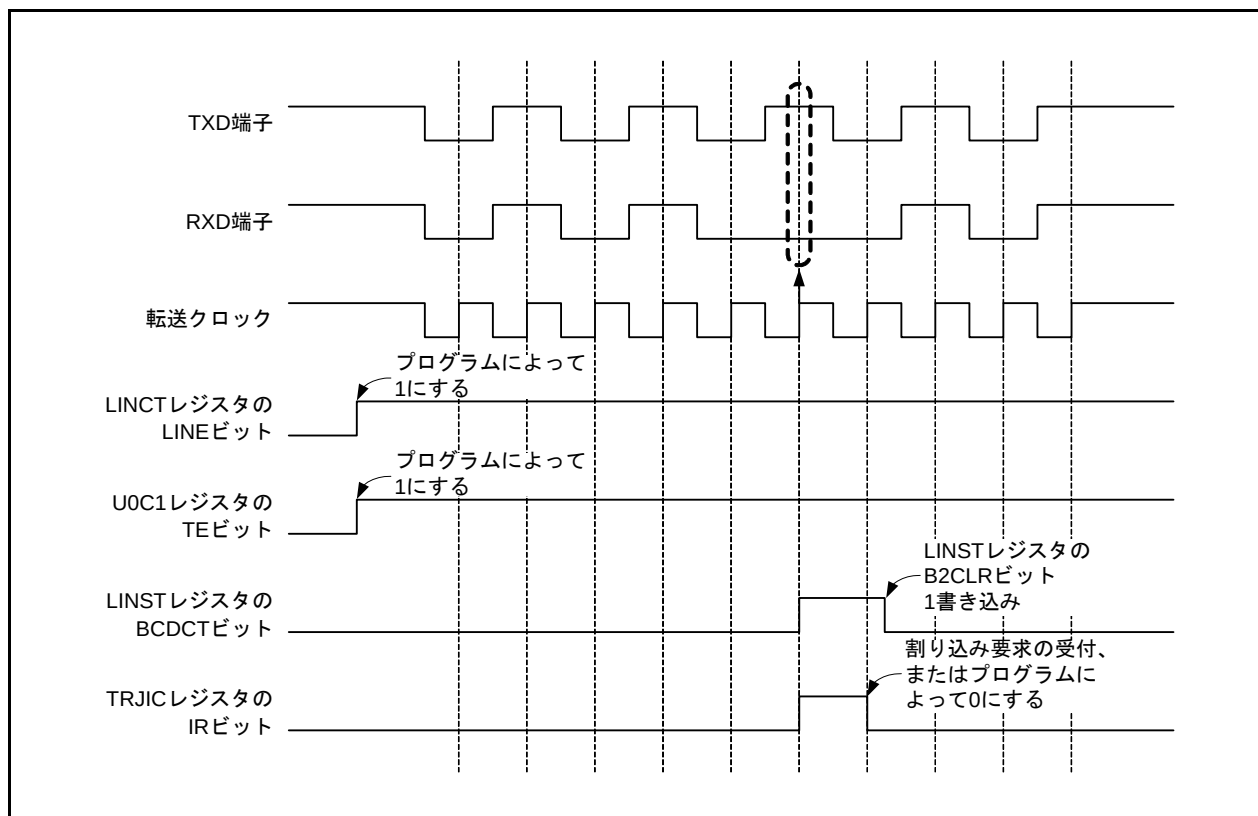


図23.9 バス衝突検出時の動作例

23.4.4 ハードウェアLIN終了処理

図23.10にハードウェアLIN通信終了のフローチャート例を示します。

ハードウェアLINの終了処理は、以下のタイミングで実施してください。

- バス衝突検出機能を使用する場合：
チェックサム送信終了後、ハードウェアLINの終了処理を実施
- バス衝突検出機能を使用しない場合：
ヘッダフィールド送受信終了後、ハードウェアLINの終了処理を実施

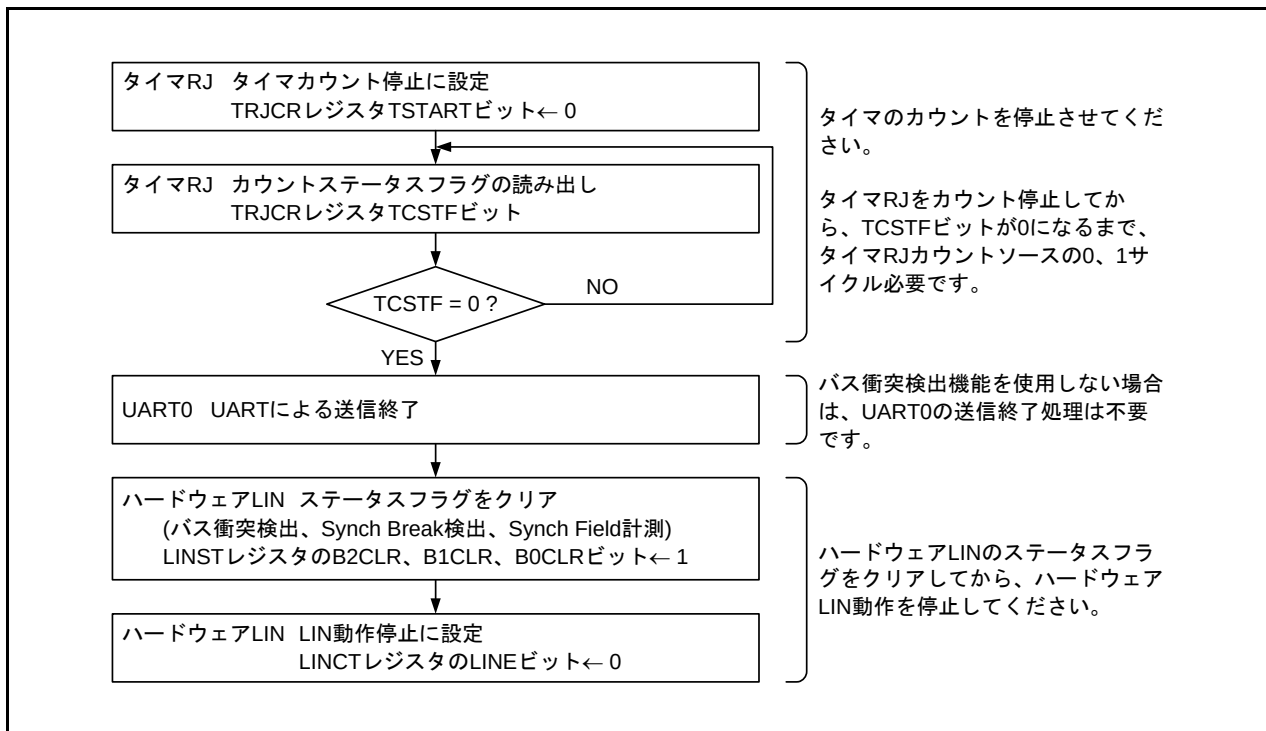


図23.10 ハードウェアLIN通信終了のフローチャート例

23.5 割り込み要求

ハードウェアLINが生成する割り込み要求には、Synch Break検出、Synch Break発生完了、Synch Field計測完了およびバス衝突検出の計4種類があります。これらの割り込みは、タイマRJの割り込みと兼用となっています。

表23.3にハードウェアLINの割り込み要求を示します。

表23.3 ハードウェアLINの割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
Synch Break検出	SBDCT	タイマRJによりRXD入力のLレベルの期間を計測し、アンダフローしたとき。また、通信中にSynch Breakの期間より長いLレベルが入力されたとき
Synch Break発生完了		タイマRJにより設定された期間、TXDへLレベルの出力を完了したとき
Synch Field計測完了	SFDCT	タイマRJによりSynch Fieldの6ビット目の計測が完了したとき
バス衝突検出	BCDCT	UART0が送信許可の場合、データラッチタイミングでRXD入力とTXD出力の値が異なったとき

23.6 ハードウェアLIN使用上の注意事項

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break検出割り込みを起点に他のタイマで時間計測を行ってください。

24. CAN モジュール

ISO11898-1 仕様に準拠した CAN (Controller Area Network) モジュールを 1 チャンネル (CAN_0) 内蔵しています。

24.1 概要

CAN モジュールは標準 (11 ビット) Identifier (以下、ID と略す) と拡張 (29 ビット) ID の両フォーマットのメッセージを送受信できます。

表 24.1、表 24.2 に CAN モジュールの仕様を、図 24.1 に CAN モジュールブロック図を示します。

なお、CAN バストランシーバは外付けしてください。

表 24.1 CAN モジュールの仕様 (1)

項目	仕様
プロトコル	ISO11898-1 仕様準拠
ビットレート	最大 1Mbps
メッセージボックス	16 メールボックス 2 種類のメールボックスモードを選択可能 ・通常メールボックスモード 16 メールボックスを送信または受信用に設定可能 ・FIFO メールボックスモード 8 メールボックスを送信または受信用に設定可能 残りのメールボックスを送信用に 4 段、受信用に 4 段の FIFO を設定可能
受信	・データフレームとリモートフレームを受信可能 ・受信する ID フォーマット (標準 ID のみ、拡張 ID のみ、標準 ID と拡張 ID の両方) を選択可能 ・ワンショット受信機能を選択可能 ・オーバーライトモード (メッセージ上書き) またはオーバランモード (メッセージ破棄) を選択可能 ・受信完了割り込みの許可/禁止をメールボックスごとに設定可能
アクセプタンスフィルタ	・4 つのアクセプタンスマスク (メールボックス 4 個ごとに個別のマスク) ・メールボックスごとにマスクの有効/無効を設定可能
送信	・データフレームとリモートフレームを送信可能 ・送信する ID フォーマット (標準 ID のみ、拡張 ID のみ、標準 ID と拡張 ID の両方) を選択可能 ・ワンショット送信機能を選択可能 ・ID 優先送信モードまたはメールボックス番号優先送信モードを選択可能 ・送信要求をアボート可能 (フラグでアボート完了を確認可能) ・送信完了割り込みの許可/禁止をメールボックスごとに設定可能
バスオフ復帰モード遷移	バスオフ状態からの復帰モード遷移を選択可能 ・ISO11898-1 仕様準拠 ・バスオフ開始で CAN Halt モードへ自動遷移 ・バスオフ終了で CAN Halt モードへ自動遷移 ・プログラムによる CAN Halt モードへの遷移 ・プログラムによるエラーアクティブ状態への遷移
エラー状態の監視	・CAN バスエラー (スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー) を監視可能 ・エラー状態の遷移を検出可能 (エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰) ・エラーカウンタを読み出し可能
タイムスタンプ機能	・16 ビットカウンタによるタイムスタンプ機能 ・基準クロックは、1、2、4、8 ビットタイムから選択可能

表 24.2 CANモジュールの仕様(2)

項目	仕様
割り込み機能	6種類 ・受信完了 ・送信完了 ・受信FIFO ・送信FIFO ・エラー ・ウェイクアップ
CANスリープモード	CANクロックを停止することで消費電流を低減可能
ソフトウェアサポート ユニット	3つのソフトウェアサポートユニット ・アクセプタンスフィルタサポート ・メールボックス検索サポート(受信メールボックス検索、送信メールボックス検索、メッセージロスト検索) ・チャネル検索サポート
CANクロックソース	CAN用クロックかCPUクロックを選択可能
テストモード	ユーザ評価用に3つのテストモードを用意 ・リッスンオンリモード ・セルフテストモード0(外部ループバック) ・セルフテストモード1(内部ループバック)

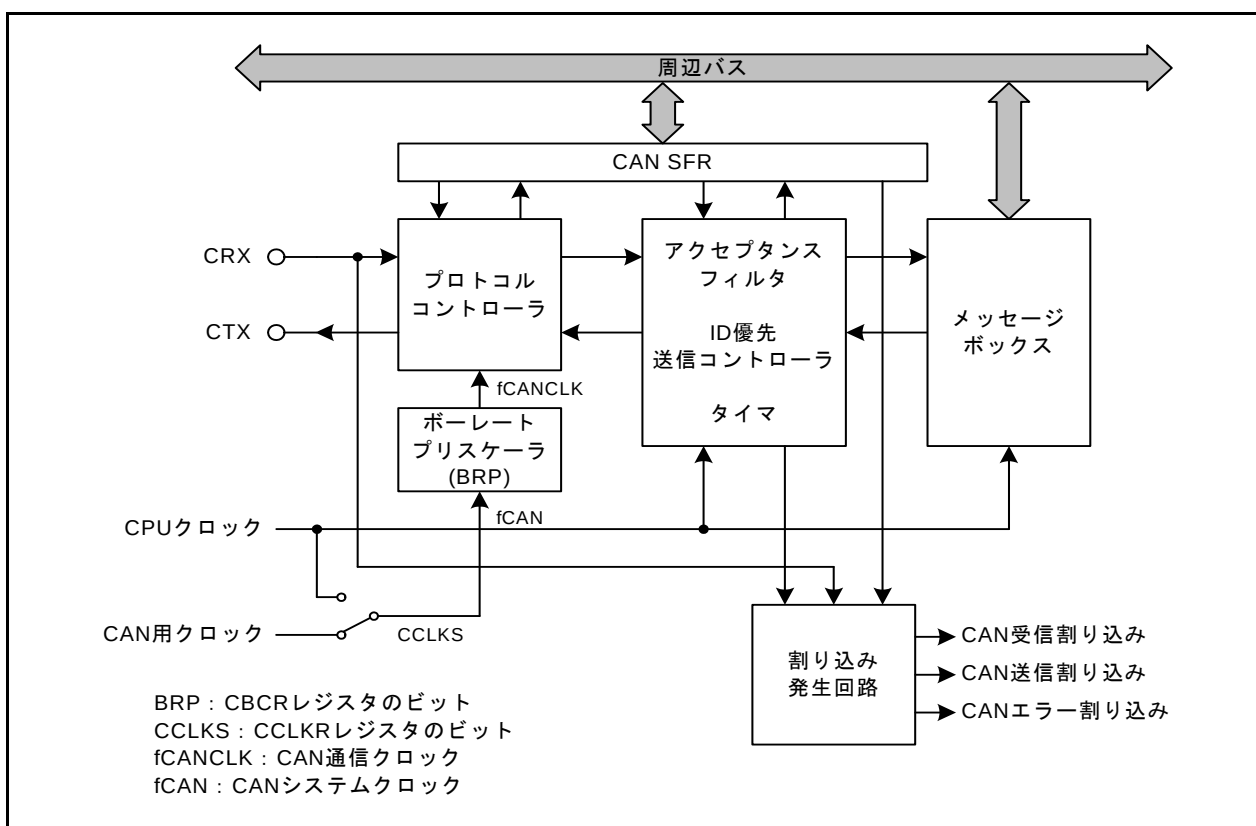


図 24.1 CANモジュールブロック図

- CRX/CTX : CANの入出力端子です。
- CAN用クロック : クロックの周波数は、CPUクロックの周波数と等しいか、遅いクロックになるようにしてください。
- プロトコルコントローラ : バスアービトラジョンや送受信時のビットタイミング、スタッフ処理、エラー処理などのCANプロトコル処理を行います。
- メッセージボックス : 送信または受信メールボックスとして使用可能な16個のメールボックスで構成されています。各メールボックスには固有のID、データ長コード、8バイトのデータフィールドおよびタイムスタンプがあります。
- アクセプタンスフィルタ : 受信メッセージのフィルタ処理を行います。このフィルタ処理には、CMKR0～CMKR3レジスタを使用します。
- タイマ : タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。
- ウェイクアップ : CANバス上にメッセージが検出されると、CANウェイクアップ割り込み要求を発生します。
- 割り込み発生回路 : 次の3種類の割り込み要求を発生させることができます。各割り込みは、CANISRレジスタによって割り込み要因を判別することができます。
 - CAN受信割り込み
(CAN受信完了割り込みとCAN受信FIFO割り込みで共有)
 - CAN送信割り込み
(CAN送信完了割り込みとCAN送信FIFO割り込みで共有)
 - CANエラー割り込み
(CANエラー割り込みとCANウェイクアップ割り込みで共有)
- CAN SFR : CAN関連のレジスタです。詳細は「24.2 レジスタの説明」を参照してください。

24.2 レジスタの説明

表24.3、表24.4にCANモジュールのレジスタ構成を示します。

表24.3 CANモジュールのレジスタ構成(1)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CAN_0 メールボックス0～ CAN_0 メールボックス15	CMB0_0～ CMB15_0	(XXXXXXXXXXXXXXXXXXXX XXXXXXXXXXXXXXXXXXh) × 16	06E00h～ 06EF0h	8 または 16
CAN_0 マスクレジスタ0	CMKR0_0	XXh	06F10h	8 または 16
		XXh	06F11h	
		XXh	06F12h	
		XXh	06F13h	
CAN_0 マスクレジスタ1	CMKR1_0	XXh	06F14h	8 または 16
		XXh	06F15h	
		XXh	06F16h	
		XXh	06F17h	
CAN_0 マスクレジスタ2	CMKR2_0	XXh	06F18h	8 または 16
		XXh	06F19h	
		XXh	06F1Ah	
		XXh	06F1Bh	
CAN_0 マスクレジスタ3	CMKR3_0	XXh	06F1Ch	8 または 16
		XXh	06F1Dh	
		XXh	06F1Eh	
		XXh	06F1Fh	
CAN_0 FIFO 受信ID 比較レジスタ0	CFIDCR0_0	XXh	06F20h	8 または 16
		XXh	06F21h	
		XXh	06F22h	
		XXh	06F23h	
CAN_0 FIFO 受信ID 比較レジスタ1	CFIDCR1_0	XXh	06F24h	8 または 16
		XXh	06F25h	
		XXh	06F26h	
		XXh	06F27h	
CAN_0 マスク無効レジスタ	CMKIVLR_0	XXh	06F2Ah	8 または 16
		XXh	06F2Bh	
CAN_0 メールボックス割り込み許可レジスタ	CMIER_0	XXh	06F2Eh	8 または 16
		XXh	06F2Fh	
CAN_0 メッセージ制御レジスタ0	CMCTL0_0	00h	06F30h	8
CAN_0 メッセージ制御レジスタ1	CMCTL1_0	00h	06F31h	8
CAN_0 メッセージ制御レジスタ2	CMCTL2_0	00h	06F32h	8
CAN_0 メッセージ制御レジスタ3	CMCTL3_0	00h	06F33h	8
CAN_0 メッセージ制御レジスタ4	CMCTL4_0	00h	06F34h	8
CAN_0 メッセージ制御レジスタ5	CMCTL5_0	00h	06F35h	8
CAN_0 メッセージ制御レジスタ6	CMCTL6_0	00h	06F36h	8
CAN_0 メッセージ制御レジスタ7	CMCTL7_0	00h	06F37h	8
CAN_0 メッセージ制御レジスタ8	CMCTL8_0	00h	06F38h	8
CAN_0 メッセージ制御レジスタ9	CMCTL9_0	00h	06F39h	8
CAN_0 メッセージ制御レジスタ10	CMCTL10_0	00h	06F3Ah	8
CAN_0 メッセージ制御レジスタ11	CMCTL11_0	00h	06F3Bh	8
CAN_0 メッセージ制御レジスタ12	CMCTL12_0	00h	06F3Ch	8
CAN_0 メッセージ制御レジスタ13	CMCTL13_0	00h	06F3Dh	8
CAN_0 メッセージ制御レジスタ14	CMCTL14_0	00h	06F3Eh	8
CAN_0 メッセージ制御レジスタ15	CMCTL15_0	00h	06F3Fh	8
CAN_0 制御レジスタ	CCTLR_0	00000101b	06F40h	8 または 16
		00h	06F41h	

表24.4 CANモジュールのレジスタ構成(2)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
CAN_0ステータスレジスタ	CSTR_0	00000101b	06F42h	8または16
		00h	06F43h	
CAN_0ビットコンフィグレーションレジスタ	CBCR_0	00h	06F44h	8または16
		00h	06F45h	
		00h	06F46h	
CAN_0クロック選択レジスタ	CCLKR_0	00h	06F47h	8
CAN_0受信FIFO制御レジスタ	CRFCR_0	10000000b	06F48h	8
CAN_0受信FIFOポインタ制御レジスタ	CRFPCR_0	XXh	06F49h	8
CAN_0送信FIFO制御レジスタ	CTFCR_0	10000000b	06F4Ah	8
CAN_0送信FIFOポインタ制御レジスタ	CTFPCR_0	XXh	06F4Bh	8
CAN_0エラー割り込み許可レジスタ	CEIER_0	00h	06F4Ch	8
CAN_0エラー割り込み要因判定レジスタ	CEIFR_0	00h	06F4Dh	8
CAN_0受信エラーカウントレジスタ	CRECR_0	00h	06F4Eh	8
CAN_0送信エラーカウントレジスタ	CTECR_0	00h	06F4Fh	8
CAN_0エラーコード格納レジスタ	CECSR_0	00h	06F50h	8
CAN_0チャネルサーチサポートレジスタ	CCSSR_0	XXh	06F51h	8
CAN_0メールボックスサーチステータスレジスタ	CMSSR_0	10000000b	06F52h	8
CAN_0メールボックスサーチモードレジスタ	CMSMR_0	00h	06F53h	8
CAN_0タイムスタンプレジスタ	CTSR_0	0000h	06F54h	16
CAN_0アクセプタンスフィルタサポートレジスタ	CAFSR_0	XXh	06F56h	8または16
		XXh	06F57h	
CAN_0テスト制御レジスタ	CTCR_0	00h	06F58h	8
CAN_0割り込みステータスレジスタ	CANISR_0	00h	06F7Eh	8
CAN_0割り込み制御レジスタ	CANIE_0	00h	06F7Fh	8

24.2.1 CAN メールボックス (CMBj) (j = 0 ~ 15)

表 24.5 に CAN メールボックスのメモリ配置を、表 24.6 に CAN データフレームの構成を示します。
CAN メールボックスのリセット後の値は不定です。

アドレス 06E00h (CMB0_0)、06E10h (CMB1_0)、06E20h (CMB2_0)、06E30h (CMB3_0)、
06E40h (CMB4_0)、06E50h (CMB5_0)、06E60h (CMB6_0)、06E70h (CMB7_0)、
06E80h (CMB8_0)、06E90h (CMB9_0)、06EA0h (CMB10_0)、06EB0h (CMB11_0)、
06EC0h (CMB12_0)、06ED0h (CMB13_0)、06EE0h (CMB14_0)、06EF0h (CMB15_0)

表 24.5 CAN メールボックスのメモリ配置

アドレス	メッセージ内容
CAN_0	メモリ配置
06E00h + j × 16 + 0	EID7 ~ EID0
06E00h + j × 16 + 1	EID15 ~ EID8
06E00h + j × 16 + 2	SID5 ~ SID0、EID17、EID16
06E00h + j × 16 + 3	IDE、RTR、SID10 ~ SID6
06E00h + j × 16 + 4	—
06E00h + j × 16 + 5	データ長コード(DLC)
06E00h + j × 16 + 6	データバイト0
06E00h + j × 16 + 7	データバイト1
⋮	⋮
⋮	⋮
⋮	⋮
06E00h + j × 16 + 13	データバイト7
06E00h + j × 16 + 14	タイムスタンプ下位バイト
06E00h + j × 16 + 15	タイムスタンプ上位バイト

j: メールボックス番号 (j = 0 ~ 15)

表 24.6 CAN データフレームの構成

SID10 ~ SID6	SID5 ~ SID0	EID17 ~ EID16	EID15 ~ EID8	EID7 ~ EID0	DLC3 ~ DLC0	DATA0	DATA1	...	DATA7

アドレス 06E00h + j × 16 + 0 ~ 06E00h + j × 16 + 3 (CMB0_0 ~ CMB15_0) (j = 0 ~ 15)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	EID7	EID6	EID5	EID4	EID3	EID2	EID1	EID0
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	EID15	EID14	EID13	EID12	EID11	EID10	EID9	EID8
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	SID5	SID4	SID3	SID2	SID1	SID0	EID17	EID16
リセット後の値	X	X	X	X	X	X	X	X

ビット	b31	b30	b29	b28	b27	b26	b25	b24
シンボル	IDE	RTR	—	SID10	SID9	SID8	SID7	SID6
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b17 ~ b0	EID17 ~ EID0	拡張IDビット (注1)	0 : 対応するEIDビットは0 1 : 対応するEIDビットは1	R/W
b28 ~ b18	SID10 ~ SID0	標準IDビット	0 : 対応するSIDビットは0 1 : 対応するSIDビットは1	R/W
b29	—	予約ビット	0にしてください	R/W
b30	RTR	リモートフレーム要求ビット	0 : データフレーム 1 : リモートフレーム	R/W
b31	IDE	ID拡張ビット (注2)	0 : 標準ID 1 : 拡張ID	R/W

注1. メールボックスが標準IDのメッセージを受信した場合、メールボックスのEIDビットは不定になります。

注2. IDE ビットは、CCTLR レジスタのIDFM1、IDFM0 ビットが10b (ミックス ID モード) のとき有効です。IDFM1、IDFM0 ビットが10b 以外のときは、0 を書いてください。

アドレス 06E00h + j × 16 + 4 ~ 06E00h + j × 16 + 5 (CMB0_0 ~ CMB15_0) (j = 0 ~ 15)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	DLC3	DLC2	DLC1	DLC0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b7 ~ b0	—	予約ビット	0にしてください	R/W
b11 ~ b8	DLC3 ~ DLC0	データ長コード (注1)	0h ~ Fh	R/W
b15 ~ b12	—	予約ビット	0にしてください	R/W

注1. メールボックスが8バイトより少ないnバイトのメッセージを受信すると、メールボックスのDATA_n ~ DATA₇の値は不定になります。

アドレス 06E00h + j × 16 + 6 ~ 06E00h + j × 16 + 13 (CMB0_0 ~ CMB15_0) (j = 0 ~ 15)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DATA07	DATA06	DATA05	DATA04	DATA03	DATA02	DATA01	DATA00
リセット後の値	X	X	X	X	X	X	X	X
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	DATA77	DATA76	DATA75	DATA74	DATA73	DATA72	DATA71	DATA70
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b7 ~ b0	DATAi7 ~ DATAi0 (i = 0 ~ 7)	データバイト0 ~ 7 (注1、2)	00h ~ FFh	R/W

注1. メールボックスが8バイトよりも少ないnバイトのメッセージを受信すると、メールボックスのDATA_n ~ DATA7の値は不定になります。

注2. メールボックスがリモートフレームを受信した場合、メールボックスのDATA0 ~ DATA7は以前の値が保持されます。

アドレス 06E00h + j × 16 + 14 ~ 06E00h + j × 16 + 15 (CMB0_0 ~ CMB15_0) (j = 0 ~ 15)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TSL7	TSL6	TSL5	TSL4	TSL3	TSL2	TSL1	TSL0
リセット後の値	X	X	X	X	X	X	X	X
ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TSH7	TSH6	TSH5	TSH4	TSH3	TSH2	TSH1	TSH0
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b7 ~ b0	TSL7 ~ TSL0	タイムスタンプ下位バイト	00h ~ FFh	R/W
b15 ~ b8	TSH7 ~ TSH0	タイムスタンプ上位バイト		R/W

CMB_j レジスタ (j = 0 ~ 15) は、関連する CMCTL_j レジスタが 00h でかつアポート処理中でないときに変更してください。

CMB_j レジスタの詳細なアドレスについては「表 24.5 CAN メールボックスのメモリ配置」を参照してください。

各メールボックスの内容は、新しいメッセージを受信しない限り、以前の値を保持します。

EID0 ~ EID17 ビット (拡張 ID ビット)

データフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを送受信する場合に使用します。

SID0 ~ SID10 ビット (標準 ID ビット)

データフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID のメッセージを送受信する場合の両方で使用します。

RTR ビット (リモートフレーム要求ビット)

データフレームまたはリモートフレームのフレームフォーマットを設定します。以下の動作を指定します。

- 受信メールボックスは、RTR ビットで選択したフレームフォーマットのみ受信する
- 送信メールボックスは、RTR ビットで選択したフレームフォーマットで送信を行う
- 受信 FIFO メールボックスは、CFIDCR0、CFIDCR1 レジスタの RTR ビットで選択したデータフレーム、リモートフレーム、または両方のフレームを受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの RTR ビットで選択したデータフレームまたはリモートフレームを送信する

IDE ビット (ID 拡張ビット)

標準 ID または拡張 ID の ID フォーマットを設定します。

CCTLR レジスタの IDFM1、IDFM0 ビットが 10b (ミックス ID モード) のとき有効です。

IDFM1、IDFM0 ビットが 10b のとき、IDE ビットは以下の動作を指定します。

- 受信メールボックスは、IDE ビットで選択した ID フォーマットのみ受信する
- 送信メールボックスは、IDE ビットで選択した ID フォーマットで送信を行う
- 受信 FIFO メールボックスは、CFIDCR0、CFIDCR1 レジスタの IDE ビットで選択した標準 ID、拡張 ID、または両方の ID メッセージを受信する
- 送信 FIFO メールボックスは、関連する送信メッセージの IDE ビットで選択した標準 ID または拡張 ID のメッセージを送信する

DLC0～DLC3 ビット (データ長コード)

データフレームで送信するデータのバイト数を設定します。リモートフレームを使用してデータを要求する場合、要求するデータのバイト数を設定します。

データフレームを受信した場合、受信したデータのバイト数が格納されます。リモートフレームを受信した場合、要求されたデータのバイト数が格納されます。

表 24.7 に DLC と対応するデータ長を示します。

表 24.7 DLC と対応するデータ長

DLC3	DLC2	DLC1	DLC0	データ長
0	0	0	0	0 バイト
0	0	0	1	1 バイト
0	0	1	0	2 バイト
0	0	1	1	3 バイト
0	1	0	0	4 バイト
0	1	0	1	5 バイト
0	1	1	0	6 バイト
0	1	1	1	7 バイト
1	×	×	×	8 バイト

×: 任意の値

DATA0～DATA7 ビット (データバイト)

送信または受信した CAN メッセージデータを格納します。DATA0 から、送信または受信されます。

CAN バス上のビットオーダは、MSB ファーストでビット 7 から送信または受信されます。

TSL0～TSL7 ビット (タイムスタンプ下位バイト)、

TSH0～TSH7 ビット (タイムスタンプ上位バイト)

受信メッセージがメールボックスに取り込まれたときのタイムスタンプカウンタ値を格納します。

24.2.2 CAN マスクレジスタ k (CMKRk) (k = 0～3)

アドレス 06F10h (CMKR0_0)、06F14h (CMKR1_0)、06F18h (CMKR2_0)、06F1Ch (CMKR3_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	EID7	EID6	EID5	EID4	EID3	EID2	EID1	EID0
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	EID15	EID14	EID13	EID12	EID11	EID10	EID9	EID8
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	SID5	SID4	SID3	SID2	SID1	SID0	EID17	EID16
リセット後の値	X	X	X	X	X	X	X	X

ビット	b31	b30	b29	b28	b27	b26	b25	b24
シンボル	—	—	—	SID10	SID9	SID8	SID7	SID6
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b17～b0	EID17～EID0	拡張IDビット	0：対応するEIDビットは比較されない 1：対応するEIDビットは比較される	R/W
b28～b18	SID10～SID0	標準IDビット	0：対応するSIDビットは比較されない 1：対応するSIDビットは比較される	R/W
b31～b29	—	予約ビット	0にしてください	R/W

CMKR0～CMKR3レジスタは、CANリセットモードまたはCAN Haltモード時に変更してください。

FIFO メールボックスモードでのマスク機能については「24.6 アクセプタンスフィルタ機能とマスク機能」を参照してください。

EID0～EID17ビット(拡張IDビット)

CAN拡張IDビットに対応するフィルタマスクビットです。拡張IDのメッセージを受信する場合に使用します。

0の場合、対応するEIDビットは、受信したIDとメールボックスのIDを比較しません。

1の場合、対応するEIDビットは、受信したIDとメールボックスのIDを比較します。

SID0～SID10ビット(標準IDビット)

CAN標準IDビットに対応するフィルタマスクビットです。標準IDと拡張IDのメッセージを受信する場合の両方で使用します。

0の場合、対応するSIDビットは、受信したIDとメールボックスのIDを比較しません。

1の場合、対応するSIDビットは、受信したIDとメールボックスのIDを比較します。

24.2.3 CAN FIFO 受信ID 比較レジスタ n (CFIDCRn) (n = 0, 1)

アドレス 06F20h (CFIDCR0_0)、06F24h (CFIDCR1_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	EID7	EID6	EID5	EID4	EID3	EID2	EID1	EID0
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	EID15	EID14	EID13	EID12	EID11	EID10	EID9	EID8
リセット後の値	X	X	X	X	X	X	X	X

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	SID5	SID4	SID3	SID2	SID1	SID0	EID17	EID16
リセット後の値	X	X	X	X	X	X	X	X

ビット	b31	b30	b29	b28	b27	b26	b25	b24
シンボル	IDE	RTR	—	SID10	SID9	SID8	SID7	SID6
リセット後の値	X	X	X	X	X	X	X	X

ビット	シンボル	ビット名	機能	R/W
b17～b0	EID17～EID0	拡張IDビット	0：対応するEIDビットは0 1：対応するEIDビットは1	R/W
b28～b18	SID10～SID0	標準IDビット	0：対応するSIDビットは0 1：対応するSIDビットは1	R/W
b29	—	予約ビット	0にしてください	R/W
b30	RTR	リモートフレーム要求ビット	0：データフレーム 1：リモートフレーム	R/W
b31	IDE	ID拡張ビット (注1)	0：標準ID 1：拡張ID	R/W

注1. IDE ビットは、CCTLR レジスタの IDFM1、IDFM0 ビットが 10b (ミックス ID モード) のとき有効です。IDFM0 ビットが 00b (標準 ID モード) または 01b (拡張 ID モード) のときは、0 を書いてください。

CFIDCR0、CFIDCR1 レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

CFIDCR0、CFIDCR1 レジスタは、CCTLR レジスタの MBM ビットが 1 (FIFO メールボックスモード) のとき有効です。CMB12～CMB15 レジスタの EID0～EID17、SID0～SID10、RTR、IDE ビットは無効です。

CFIDCR0、CFIDCR1 レジスタの使用方法については「24.6 アクセプタンスフィルタ機能とマスク機能」を参照してください。

EID0～EID17ビット(拡張IDビット)

データフレームとリモートフレームの拡張IDを設定します。拡張IDのメッセージを受信する場合に使用します。

SID0～SID10ビット(標準IDビット)

データフレームとリモートフレームの標準IDを設定します。標準IDと拡張IDのメッセージを受信する場合の両方で使用します。

RTR ビット (リモートフレーム要求ビット)

データフレームまたはリモートフレームの指定されたフレームフォーマットを設定します。
以下の動作を指定します。

- CFIDCR0、CFIDCR1 レジスタの両方の RTR ビットが 0 の場合、データフレームのみ受信できます。
- CFIDCR0、CFIDCR1 レジスタの両方の RTR ビットが 1 の場合、リモートフレームのみ受信できます。
- CFIDCR0、CFIDCR1 レジスタの RTR ビットが 0 と 1 のそれぞれ異なる設定の場合、データフレームとリモートフレームの両方を受信できます。

IDE ビット (ID 拡張ビット)

標準 ID または拡張 ID の ID フォーマットを設定します。

CCTLR レジスタの IDFM1、IDFM0 ビットが 10b (ミックス ID モード) のとき有効です。

IDFM1、IDFM0 ビットが 10b のとき、以下の動作を指定します。

- CFIDCR0、CFIDCR1 レジスタの両方の IDE ビットが 0 の場合、標準 ID フレームのみ受信できます。
- CFIDCR0、CFIDCR1 レジスタの両方の IDE ビットが 1 の場合、拡張 ID フレームのみ受信できます。
- CFIDCR0、CFIDCR1 レジスタの IDE ビットが 0 と 1 のそれぞれ異なる設定の場合、標準 ID と拡張 ID のフレームの両方を受信できます。

24.2.4 CAN マスク無効レジスタ (CMKIVLR)

アドレス 06F2Ah (CMKIVLR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	モード	ビット名	機能	R/W
b15～b0	通常メールボックスモード	マスク無効ビット	0 : マスク有効 1 : マスク無効	R/W
b7～b0	FIFO	マスク無効ビット	0 : マスク有効 1 : マスク無効	R/W
b15～b8	メールボックスモード	予約ビット	0にしてください	R/W

CMKIVLR レジスタは、CAN リセットモードまたは CAN Halt モード時に変更してください。

CMKIVLR レジスタの各ビットは、同じ番号のメールボックスに対応します。1 の場合、ビット番号に対応するメールボックスのアクセプタンスマスクは無効となります。この場合、メールボックスは受信メッセージの ID と CMBj レジスタ (j = 0～15) の SID0～SID10、EID0～EID17 ビットが一致する場合にのみ受信します。

24.2.5 CAN メールボックス割り込み許可レジスタ (CMIER)

アドレス 06F2Eh (CMIER_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	モード	ビット名	機能	R/W
b15～b0	通常メールボックスモード	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W

b7～b0	FIFO メールボックスモード	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b8		送信 FIFO 割り込み許可ビット	1: 割り込み許可	R/W
b9		送信 FIFO 割り込み発生 タイミング制御ビット	送信 FIFO 割り込み要求は、 0: 毎回の送信完了後発生 1: 送信完了によって送信 FIFO が空状態になったとき発生	R/W
b11～b10		予約ビット	0にしてください	R/W
b12		受信 FIFO 割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b13		受信 FIFO 割り込み発生 タイミング制御ビット	受信 FIFO 割り込み要求は 0: 毎回の受信完了後発生 1: 受信完了によって受信 FIFO がバッファ ワーニングになったとき発生 (注1)	R/W
b15～b14		予約ビット	0にしてください	R/W

注1. 受信 FIFO がフルからバッファワーニングとなった場合、割り込み要求は発生しません。

CMIER レジスタは、関連する CMCTLj レジスタ (j = 0～15) が 00h で、対応するメールボックスが送信受信アボートの処理をしていないときにのみ変更してください。

関連する FIFO の CMIER レジスタのビットは、FIFO メールボックスモードの場合、CTFCR レジスタの TFE ビットが 0 (送信 FIFO 禁止) で TFEST ビットが 1 (送信 FIFO に未送信メッセージなし)、CRFCR レジスタで RFE ビットが 0 (受信 FIFO 禁止) で RFEST ビットが 1 (受信 FIFO に未読メッセージなし) のときにのみ変更してください。

メールボックスは個別に割り込み許可を設定できます。

通常メールボックスモード (ビット 0～15) と FIFO メールボックスモード (ビット 0～7) では、それぞれのビットは同じ番号のメールボックスに対応します。これらのビットは、対応するメールボックスの送信完了/受信完了割り込みを許可/禁止します。

FIFO メールボックスモードのビット 8、9、12、13 は送信/受信 FIFO 割り込みの許可/禁止と割り込み要求が発生するタイミングを指定します。

バッファワーニングとは、受信 FIFO に 3 つ目のメッセージが格納された状態です。

24.2.6 CANメッセージ制御レジスタj (CMCTLj) (j = 0 ~ 15)

アドレス 06F30h (CMCTL0_0)、06F31h (CMCTL1_0)、06F32h (CMCTL2_0)、06F33h (CMCTL3_0)、
 06F34h (CMCTL4_0)、06F35h (CMCTL5_0)、06F36h (CMCTL6_0)、06F37h (CMCTL7_0)、
 06F38h (CMCTL8_0)、06F39h (CMCTL9_0)、06F3Ah (CMCTL10_0)、
 06F3Bh (CMCTL11_0)、06F3Ch (CMCTL12_0)、06F3Dh (CMCTL13_0)、
 06F3Eh (CMCTL14_0)、06F3Fh (CMCTL15_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST TRMABT	INVALIDDATA TRMACTIVE	NEWDATA SENTDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NEWDATA	受信完了フラグ (注1、2)	(受信メールボックス設定時有効) 0: データが受信されていない、またはNEWDATA ビットに0を書いた場合 1: 新しいメッセージをメールボックスに格納中、 または格納された	R/W
	SENTDATA	送信完了フラグ (注1、2)	(送信メールボックス設定時有効) 0: 送信が終了していない(ペンディングの場合) 1: 送信完了(成功)	R/W
b1	INVALIDDATA	受信中ステータスフラグ	(受信メールボックス設定時有効) 0: メッセージは有効 1: メッセージ更新中	R
	TRMACTIVE	送信中ステータスフラグ	(送信メールボックス設定時有効) 0: 送信待機中、または送信要求なし 1: 送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで	R
b2	MSGLOST	メッセージロストフラグ (注1、2)	(受信メールボックス設定時有効) 0: メッセージはオーバライトまたはオーバランされていない 1: メッセージはオーバライトまたはオーバランされた	R/W
	TRMABT	送信アボート完了フラグ (注1、2)	(送信メールボックス設定時有効) 0: 送信が開始された、または送信アボートが送信完了により失敗、または送信アボートが要求されていない 1: 送信アボート完了	R/W
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	ONESHOT	ワンショット許可ビット (注3)	0: ワンショット受信およびワンショット送信禁止 1: ワンショット受信またはワンショット送信許可	R/W
b5	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	RECREQ	受信メールボックス設定ビット (注2、4、5)	0: 受信メールボックスに設定しない 1: 受信メールボックスに設定する	R/W
b7	TRMREQ	送信メールボックス設定ビット (注2、4)	0: 送信メールボックスに設定しない 1: 送信メールボックスに設定する	R/W

注1. 0のみ書けます(1を書いても変化しません)。

注2. NEWDATA、SENTDATA、MSGLOST、TRMABT、RECREQ、およびTRMREQビットにプログラムで0を書く場合は、MOV命令を使用し、0にしたいビットを0、そうでないビットを1にしてください。

注3. ワンショット受信モードに移行するときは、RECREQビットを1にするのと同時に、ONESHOTビットに1を書いてください。ワンショット受信モードを解除するときは、RECREQビットに0を書いた後、0になったことを確認してからONESHOTビットに0を書いてください。

ワンショット送信モードに移行するときは、TRMREQビットを1にするのと同時に、ONESHOTビットに1を書いてください。ワンショット送信モードを解除するときは、メッセージが送信されたか中止された後にONESHOTビットに0を書いてください。

注4. RECREQビットとTRMREQビットの両方を1にしないでください。

注5. RECREQビットを0にするときには、NEWDATA、MSGLOSTビットとRECREQビットは同時に0にしてください。

CMCTLjレジスタは、CANオペレーションモードまたはCAN Haltモード時に変更してください。

FIFO メールボックスモードでは、CMCTL8～CMCTL15レジスタは使用しないでください。

NEWDATA ビット(受信完了フラグ)

メールボックスに新しいメッセージを格納中または格納が完了したときに、1 になります。1 になるタイミングは、INVALIDDATA ビットと同時です。

プログラムで0を書くと0になります。

関連する INVALIDDATA ビットが1の間は、NEWDATA ビットはプログラムで0を書いても0になりません。

SENTDATA ビット(送信完了フラグ)

対応するメールボックスからのデータ送信が完了すると1になります。

プログラムで0を書くと0になります。

0にする場合は、TRMREQ ビットを0にしてから SENTDATA ビットを0にしてください。SENTDATA ビットと TRMREQ ビットは同時に0になりません。

メールボックスから新しいメッセージを送信するには、SENTDATA ビットを0にしてください。

INVALIDDATA ビット(受信中ステータスフラグ)

メッセージの受信完了後、受信したメッセージをメールボックスに更新中に1になります。

メッセージの格納完了時点で0になります。INVALIDDATA ビットが1の間にメールボックスを読んだ場合、データは不定値になります。

TRMACTIVE ビット(送信中ステータスフラグ)

CAN モジュールから対応するメールボックスのメッセージ送信を開始すると1になります。

CAN モジュールがCAN バスアービトレーションに負けるか、CAN バスエラーが起こるか、あるいはデータ送信が完了すると、0になります。

MSGLOST ビット(メッセージロストフラグ)

NEWDATA ビットが1の間、メールボックスが新しい受信メッセージによってメッセージが上書きされたり破棄された場合、1になります。EOF の6番目のビットの終わりで1になります。

プログラムで0を書くと0になります。

オーバーライトモードとオーバーランモードの両方において、EOF の6番目のビットに続く fCAN (CAN システムクロック)の5サイクルの間は、MSGLOST ビットはプログラムで0を書いても0になりません。

TRMABT ビット(送信アボート完了フラグ)

次の場合、1になります。

- 送信アボート要求に続いて、送信を開始する前に送信アボートが完了する
- 送信アボート要求に続いて、CAN モジュールがCAN バスアービトレーション負けまたはCAN バスエラーを検出した場合
- ワンショット送信モード(RECREQ ビットが0、TRMREQ ビットが1、ONESHOT ビットが1)で、CAN モジュールがCAN バスアービトレーション負けまたはCAN バスエラーを検出した場合

データ送信が完了すると1にはなりません。データ送信が完了した場合はSENTDATA ビットが1になります。

プログラムで0を書くと0になります。

ONESHOT ビット(ワンショット許可ビット)

ONESHOT ビットは受信モードと送信モードの2つの使い方があります。

(1) ワンショット受信モード

受信モード(RECREQ ビットが1、TRMREQ ビットが0)のとき ONESHOT ビットを1にすると、メールボックスはメッセージを1回のみ受信します(メッセージを1回受信完了した後は、受信メールボックスとして動作しません)。NEWDATA および INVALIDDATA ビットの動作は、通常の受信モードと同じです。このモードでは、MSGLOST ビットは1にはなりません。

ONESHOT ビットを0にする場合、RECREQ ビットへ0を書いた後、RECREQ ビットが0になることを確認してから行ってください。

(2) ワンショット送信モード

送信モード(RECREQ ビットが0、TRMREQ ビットが1)のとき ONESHOT ビットを1にすると、CAN モジュールはメッセージを1回のみ送信します(CAN バスエラーまたは CAN バスアービトレーション負けの場合でも、メッセージの再送信を行いません)。送信が完了した場合、SENTDATA ビットが1になります。CAN バスエラーまたは CAN バスアービトレーション負けによって送信が完了しない場合は、TRMABT ビットが1になります。

ONESHOT ビットを0にする場合は、SENTDATA ビットが1または TRMABT ビットが1になった後に行ってください。

RECREQ ビット(受信メールボックス設定ビット)

表 24.13 に示す受信モードを選択します。

1にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されます。

0にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信に設定されません。

以下の期間は、ハードウェアプロテクトがかかり、プログラムで0を書いても0になりません。

[ハードウェアプロテクトの開始]

- ・アクセプタンスフィルタ処理の開始(CRC フィールドの始まり)

[ハードウェアプロテクトの解除]

- ・メッセージの受信に指定されたメールボックスは、受信メッセージがメールボックスに格納された後、または CAN バスエラーが発生した後(すなわち、ハードウェアプロテクトの最大期間は CRC フィールドの始まりから EOF の7番目のビットの終わりまで)
- ・その他のメールボックスは、アクセプタンスフィルタ処理後
- ・受信するメールボックスがない場合は、アクセプタンスフィルタ処理後

RECREQ ビットを1にする場合は、TRMREQ ビットを1にしないでください。

メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアボートし、そして SENTDATA ビットと TRMABT ビットを0にしてください。

TRMREQ ビット(送信メールボックス設定ビット)

表 24.13 に示す送信モードを選択します。

1にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されます。

0にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信に設定されません。

送信要求をキャンセルするために、TRMREQ ビットを1から0に変更すると、TRMABT ビットまたは SENTDATA ビットが1になります。

TRMREQ ビットを1にする場合は、RECREQ ビットを1にしないでください。

メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアボートし、そして NEWDATA ビットと MSGLOST ビットを0にしてください。

24.2.7 CAN制御レジスタ (CCTLR)

アドレス 06F40h (CCTLR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CPE	—	RBOC	BOM1	BOM0	SLPM	CANM1	CANM0
リセット後の値	0	0	0	0	0	1	0	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TSPS1	TSPS0	TSRC	TPM	MLM	IDFM1	IDFM0	MBM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CANM0	CAN動作モード選択ビット (注1)	b1 b0 0 0 : CANオペレーションモード 0 1 : CANリセットモード 1 0 : CAN Haltモード 1 1 : 設定しないでください	R/W
b1	CANM1			R/W
b2	SLPM			R/W
b3	BOM0			R/W
b4	BOM1	バスオフ復帰モード選択ビット (注3)	b4 b3 0 0 : ノーマルモード (ISO11898-1仕様準拠) 0 1 : バスオフ開始で自動的にCAN Halt モードへ遷移 1 0 : バスオフ終了で自動的にCAN Halt モードへ遷移 1 1 : プログラムによる要求でCAN Halt モードへ遷移 (バスオフ復帰期間中)	R/W
b5	RBOC	バスオフ強制復帰ビット (注4)	0 : 何もしない 1 : バスオフからの強制復帰 (注5)	R/W
b6	—	予約ビット	0にしてください	R/W
b7	CPE	CANポート許可ビット (注3、7)	0 : 入出力ポートとして機能 1 : CAN入出力として機能	R/W
b8	MBM	CANメールボックスモード選択ビット (注3)	0 : 通常メールボックスモード 1 : FIFOメールボックスモード	R/W
b9	IDFM0	IDフォーマットモード選択ビット (注3)	b10 b9 0 0 : 標準IDモード 0 1 : 拡張IDモード 1 0 : ミックスIDモード 1 1 : 設定しないでください	R/W
b10	IDFM1			R/W
b11	MLM	メッセージロストモード選択ビット (注3)	0 : オーバライトモード 1 : オーバランモード	R/W
b12	TPM	送信優先順位モード選択ビット (注3)	0 : ID優先送信モード 1 : メールボックス番号優先送信モード	R/W
b13	TSRC	タイムスタンプカウンタリセットビット (注6)	0 : リセットしない 1 : リセットする (注5)	R/W
b14	TSPS0	タイムスタンププリスケアラ選択ビット (注3)	b15b14 0 0 : 1ビットタイムごと 0 1 : 2ビットタイムごと 1 0 : 4ビットタイムごと 1 1 : 8ビットタイムごと	R/W
b15	TSPS1			R/W

注1. CANM0、CANM1ビット、およびSLPMビットを変更した場合は、CSTRレジスタでモードが切り替わることを確認してください。

モードが切り替わるまで、CANM0、CANM1ビット、およびSLPMビットは変更しないでください。

CPUクロックおよびCAN用クロックの周波数は、CANオペレーションモード以外の変更にしてください。

注2. SLPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。

SLPMビットを書き換える場合は、SLPMビットのみ0または1にしてください。

注3. BOM0、BOM1、CPE、MBM、IDFM0、IDFM1、MLM、TPM、TSPS0、TSPS1ビットは、CANリセットモード時に変更してください。

注4. RBOCビットはバスオフ状態時に1にしてください。

注5. 1にした後自動的に0に戻ります。読んだ場合0が読めます。

注6. TSRCビットはCANオペレーションモード時に1にしてください。

注7. CANウェイクアップ割り込みを使用する場合は、CPEビットを1にしてください。

CANM0、CANM1 ビット (CAN 動作モード選択ビット)

CAN モジュールのモード (CAN オペレーションモード、CAN リセットモード、CAN Halt モード) を選択するビットです。詳細は「24.3 動作モード」を参照してください。

CAN スリープモードは SLPM ビットで設定します。

11b には設定しないでください。

CCTLR レジスタの BOM0、BOM1 ビットの設定によって CAN Halt モードへ遷移した場合は、CANM1、CANM0 ビットは自動的に 10b になります。

SLPM ビット (CAN スリープモードビット)

1 にすると、CAN スリープモードになります。

0 にすると、CAN スリープモードは解除されます。

詳細は「24.3 動作モード」を参照してください。

BOM0、BOM1 ビット (バスオフ復帰モード選択ビット)

CAN モジュールのバスオフ復帰モードの選択に使用します。

BOM1、BOM0 ビットが 00b の場合、バスオフからの復帰は ISO11898-1 仕様に準拠します。すなわち、CAN モジュールは、11 の連続するレセプティブビットを 128 回検出後、再び CAN 通信 (エラーアクティブ状態) に入ります。バスオフからの復帰時にバスオフ復帰割り込み要求が発生します。

01b の場合、CAN モジュールがバスオフ状態に達すると、CCTLR レジスタの CANM1、CANM0 ビットが 10b (CAN Halt モード) になってから、CAN Halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、CTECR、CRECR レジスタは 00h になります。

10b の場合、CAN モジュールがバスオフ状態に達すると CANM1、CANM0 ビットが 10b になり、バスオフ状態から復帰した (11 の連続するレセプティブビットを 128 回検出) 後に、CAN Halt モードに遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、CTECR、CRECR レジスタが 00h になります。

11b の場合、CAN モジュールがまだバスオフ状態のときに CANM1、CANM0 ビットを 10b にすると、CAN Halt モードになります。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、CTECR、CRECR レジスタは 00h になります。しかし、CANM1、CANM0 ビットを 10b にする前に、11 の連続するレセプティブビットを 128 回検出して、バスオフから復帰した場合は、バスオフ復帰割り込み要求が発生します。

CAN モジュールが CAN Halt モードに遷移するのと同じ (BOM1、BOM0 ビットが 01b のとき：バスオフ開始、または BOM1、BOM0 ビットが 10b のとき：バスオフ終了) に、CPU が CAN リセットモードへの遷移を要求した場合は、CPU の要求が優先されます。

RBOC ビット (バスオフ強制復帰ビット)

バスオフ状態時 1 (バスオフからの強制復帰) にすると、バスオフ状態から強制的に復帰します。このビットは自動的に 0 になります。エラー状態は、バスオフ状態からエラーアクティブ状態へと変化します。

1 にすると、CRECR、CTECR レジスタが 00h になり、CSTR レジスタの BOST ビットは 0 (CAN モジュールはバスオフ状態ではない) になります。他のレジスタは変化しません。バスオフからの復帰によるバスオフ復帰割り込み要求は発生しません。

BOM1、BOM0 ビットが 00b (ノーマルモード) のときにのみ使用してください。

CPE ビット (CAN ポート許可ビット)

CPE ビットを 1 にすると CAN 入出力端子 (CRX、CTX) として機能します。CAN モジュールを使用する場合は、このビットを 1 にしてください。

CPE ビットを 0 にするとポート入出力端子として機能します。

MBM ビット (CAN メールボックスモード選択ビット)

0 (通常メールボックスモード) の場合、メールボックス [0] ~ [15] は送信または受信メールボックスに設定されます。

1 (FIFO メールボックスモード) の場合、メールボックス [0] ~ [7] は送信または受信メールボックスに設定され、メールボックス [8] ~ [11] は送信 FIFO に、メールボックス [12] ~ [15] は受信 FIFO に設定されます。

送信データはメールボックス [8] に書き込み (メールボックス [8] は送信 FIFO のウィンドウメールボックスです)、受信データはメールボックス [12] から読み出します (メールボックス [12] は受信 FIFO のウィンドウメールボックスです)。

表 24.8 にメールボックスの設定を示します。

表 24.8 メールボックスの設定

メールボックス	MBM ビット = 0 (通常メールボックスモード)	MBM ビット = 1 (注1) (FIFO メールボックスモード)
メールボックス [0] ~ [7]	通常メールボックス	通常メールボックス
メールボックス [8] ~ [11]		送信 FIFO
メールボックス [12] ~ [15]		受信 FIFO

注1. MBM ビットが1のときは、次の点に注意してください。

- 送信 FIFO は CTFPCR レジスタで制御します。
メールボックス [8] ~ [11] の CMCTLj レジスタ (j = 0 ~ 15) は無効です。
CMCTL8 ~ CMCTL11 レジスタは使用できません。
- 受信 FIFO は CRFCR レジスタで制御します。
メールボックス [12] ~ [15] の CMCTLj レジスタは無効です。
CMCTL12 ~ CMCTL15 レジスタは使用できません。
- FIFO 割り込みについては CMIER レジスタを参照してください。
- CMKIVLR レジスタのメールボックス [8] ~ [15] に対応するビットは無効です。これらのビットには 0 を設定してください。
- 送信/受信 FIFO はデータフレーム/リモートフレームのいずれにも使用可能です。

IDFM0、IDFM1 ビット (ID フォーマットモード選択ビット)

ID フォーマットを指定します。

IDFM1、IDFM0 ビットが 00b の場合、すべてのメールボックス (FIFO メールボックスを含む) は、標準 ID のみに対応します。

01b の場合、すべてのメールボックス (FIFO メールボックスを含む) は、拡張 ID のみに対応します。

10b の場合、すべてのメールボックス (FIFO メールボックスを含む) は、標準 ID と拡張 ID の両方に対応します。標準 ID と拡張 ID の選択は、通常メールボックスモードの場合、対応するメールボックスの IDE ビットで指定します。FIFO メールボックスモードの場合、メールボックス [0] ~ [7] は対応するメールボックスの IDE ビット、受信 FIFO は CFIDCR0、CFIDCR1 レジスタの IDE ビット、送信 FIFO はメールボックス [8] の IDE ビットで指定します。

11b は、設定しないでください。

MLM ビット (メッセージロストモード選択ビット)

未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。すべてのメールボックス (受信 FIFO を含む) は、オーバーライトモードかオーバーランモードのどちらかになります。

0 の場合、すべてのメールボックスはオーバーライトモードになり、メールボックスの古いメッセージに新しいメッセージが上書きされます。

1 の場合、すべてのメールボックスはオーバーランモードになり、新しいメッセージは破棄されます。

TPM ビット (送信優先順位モード選択ビット)

メッセージを送信する場合の優先順のモードを指定します。ID 優先モードまたはメールボックス番号優先モードを選択できます。

すべてのメールボックスは、ID 優先送信またはメールボックス番号優先送信のどちらかになります。

0 の場合、ID 優先送信モードとなり送信優先順位は CAN バスアービトレーションルール (ISO11898-1 仕様) に準拠します。ID 優先送信モードは、通常メールボックスモードのときメールボックス [0] ~ [15]、FIFO メールボックスモードのときメールボックス [0] ~ [7] と送信 FIFO の送信に設定されたメールボックスの ID を比較します。2 つ以上のメールボックスの ID が同じ場合、小さい番号のメールボックスが優先されます。

次に送信 FIFO から送信される予定のメッセージのみが、送信アービトレーションの対象となります。送信 FIFO のメッセージを送信中の場合、送信 FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

1 の場合、メールボックス番号優先送信モードとなり送信に設定された一番小さい番号のメールボックスが優先されます。FIFO メールボックスモードでは、送信 FIFO は通常メールボックス (メールボックス [0] ~ [7]) よりも優先順位が低くなります。

TSRC ビット (タイムスタンプカウンタリセットビット)

タイムスタンプカウンタをリセットするために使用します。

1 にすると CTSR レジスタが 0000h になります。このビットは自動的に 0 になります。

TSPS0、TSPS1 ビット (タイムスタンププリスケアラ選択ビット)

タイムスタンプ用のプリスケアラを選択します。

タイムスタンプの基準クロックは、1、2、4、または 8 ビットタイムのいずれかを選択できます。

24.2.8 CAN ステータスレジスタ (CSTR)

アドレス 06F42h (CSTR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST
リセット後の値	0	0	0	0	0	1	0	1

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RSTST	CAN リセットステータスフラグ	0 : CAN リセットモードではない 1 : CAN リセットモード	R
b1	HLTST	CAN Halt ステータスフラグ	0 : CAN Halt モードではない 1 : CAN Halt モード	R
b2	SLPST	CAN スリープステータスフラグ	0 : CAN スリープモードではない 1 : CAN スリープモード	R
b3	EPST	エラーパッシブステータスフラグ	0 : エラーパッシブ状態ではない 1 : エラーパッシブ状態	R
b4	BOST	バスオフステータスフラグ	0 : バスオフ状態ではない 1 : バスオフ状態	R
b5	TRMST	送信ステータスフラグ	0 : バスアイドルまたは受信 1 : 送信中またはバスオフ状態	R
b6	RECST	受信ステータスフラグ	0 : バスアイドルまたは送信 1 : 受信	R
b7	—	何も配置されていない。読んだ場合、その値は0。		—
b8	NDST	NEWDATA ステータスフラグ	0 : NEWDATA ビットが1のメールボックスなし 1 : NEWDATA ビットが1のメールボックスあり	R
b9	SDST	SENTDATA ステータスフラグ	0 : SENTDATA ビットが1のメールボックスなし 1 : SENTDATA ビットが1のメールボックスあり	R
b10	RFST	受信FIFOステータスフラグ	0 : 受信FIFOにメッセージなし(空) 1 : 受信FIFOにメッセージあり	R
b11	TFST	送信FIFOステータスフラグ	0 : 送信FIFOはフル 1 : 送信FIFOはフルではない	R
b12	NMLST	通常メールボックスメッセージ ロストステータスフラグ	0 : MSGLOST ビットが1のメールボックスなし 1 : MSGLOST ビットが1のメールボックスあり	R
b13	FMLST	FIFO メールボックスメッセージ ロストステータスフラグ	0 : RFMLF ビットが0 1 : RFMLF ビットが1	R
b14	TABST	送信アボートステータスフラグ	0 : TRMABT ビットが1のメールボックスなし 1 : TRMABT ビットが1のメールボックスあり	R
b15	EST	エラーステータスフラグ	0 : エラーなし 1 : エラー発生	R

RSTST ビット (CAN リセットステータスフラグ)

CAN リセットモードになると、1になります。

CAN リセットモード以外になると、0になります。

CAN リセットモードからCAN スリープモードに遷移しても、1のままです。

HLTST ビット (CAN Halt ステータスフラグ)

CAN Halt モードになると、1になります。

CAN Halt モード以外になると、0になります。

CAN Halt モードからCAN スリープモードに遷移しても、1のままです。

SLPST ビット (CAN スリープステータスフラグ)

CAN スリープモードになると、1 になります。
CAN スリープモード以外になると、0 になります。

EPST ビット (エラーパッシブステータスフラグ)

CTECR または CRECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態 ($128 \leq \text{TEC} < 256$ または $128 \leq \text{REC} < 256$) になると、1 になります。エラーパッシブ状態以外になると、0 になります。

TEC は送信エラーカウンタ (CTECR レジスタ)、REC は受信エラーカウンタ (CRECR レジスタ) の値です。

BOST ビット (バスオフステータスフラグ)

CTECR レジスタの値が 255 を超えて、CAN モジュールがバスオフ状態 ($\text{TEC} \geq 256$) になると、1 になります。バスオフ状態以外になると、0 になります。

TRMST ビット (送信ステータスフラグ)

CAN モジュールが送信ノードかバスオフ状態になると、1 になります。受信ノードかバスアイドル状態になると、0 になります。

RECST ビット (受信ステータスフラグ)

CAN モジュールが受信ノードになると、1 になります。送信ノードかバスアイドル状態になると、0 になります。

NDST ビット (NEWDATA ステータスフラグ)

CMCTLj レジスタ ($j = 0 \sim 15$) の NEWDATA ビットが一つでも 1 になると、CMIER レジスタの値とは無関係に 1 になります。

NEWDATA ビットがすべて 0 になると、0 になります。

SDST ビット (SENTDATA ステータスフラグ)

CMCTLj レジスタの SENTDATA ビットが一つでも 1 になると、CMIER レジスタの値とは無関係に 1 になります。

SENTDATA ビットがすべて 0 になると、0 になります。

RFST ビット (受信 FIFO ステータスフラグ)

受信 FIFO が空状態以外になると、1 になります。
受信 FIFO が空状態になると、0 になります。
通常メールボックスモードになると、0 になります。

TFST ビット (送信 FIFO ステータスフラグ)

送信 FIFO がフル以外になると、1 になります。
送信 FIFO がフル状態になると、0 になります。
通常メールボックスモードになると、0 になります。

NMLST ビット (通常メールボックスメッセージ ロストステータスフラグ)

CMCTLj レジスタ (j = 0 ~ 15) の MSGLOST ビットが一つでも 1 になると、CMIER レジスタの値とは無関係に 1 になります。

MSGLOST ビットがすべて 0 になると、0 になります。

FMLST ビット (FIFO メールボックスメッセージ ロストステータスフラグ)

CRFCR レジスタの RFMLF ビットが 1 になると、CMIER レジスタの値とは無関係に 1 になります。

RFMLF ビットが 0 になると、0 になります。

TABST ビット (送信アボートステータスフラグ)

CMCTLj レジスタの TRMABT ビットが一つでも 1 になると、CMIER レジスタの値とは無関係に 1 になります。

TRMABT ビットがすべて 0 になると、0 になります。

EST ビット (エラーステータスフラグ)

CEIFR レジスタで一つでもエラーが検出されると、CEIER レジスタの値とは無関係に 1 になります。

CEIFR レジスタで一つもエラーが検出されないと、0 になります。

24.2.9 CAN ビットコンフィグレーションレジスタ (CBCR)

アドレス 06F44h (CBCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	TSEG13	TSEG12	TSEG11	TSEG10	—	—	BRP9	BRP8
リセット後の値	0	0	0	0	0	0	0	0

ビット	b23	b22	b21	b20	b19	b18	b17	b16
シンボル	—	—	SJW1	SJW0	—	TSEG22	TSEG21	TSEG20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9～b0	BRP9～BRP0	プリスケアラ分周比設定ビット (10ビット)	設定値をP(0～1023)とすると、ボーレートプリスケアラはfCANをP+1で分周します。	R/W
b10	—	予約ビット	0にしてください	R/W
b11	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b12	TSEG10	タイムセグメント1制御ビット	b15b14b13b12 0 0 0 0 : 設定しないでください 0 0 0 1 : 設定しないでください 0 0 1 0 : 設定しないでください 0 0 1 1 : 4Tq 0 1 0 0 : 5Tq 0 1 0 1 : 6Tq 0 1 1 0 : 7Tq 0 1 1 1 : 8Tq 1 0 0 0 : 9Tq 1 0 0 1 : 10Tq 1 0 1 0 : 11Tq 1 0 1 1 : 12Tq 1 1 0 0 : 13Tq 1 1 0 1 : 14Tq 1 1 1 0 : 15Tq 1 1 1 1 : 16Tq	R/W
b13	TSEG11			R/W
b14	TSEG12			R/W
b15	TSEG13			R/W
b16	TSEG20	タイムセグメント2制御ビット	b18b17b16 0 0 0 : 設定しないでください 0 0 1 : 2Tq 0 1 0 : 3Tq 0 1 1 : 4Tq 1 0 0 : 5Tq 1 0 1 : 6Tq 1 1 0 : 7Tq 1 1 1 : 8Tq	R/W
b17	TSEG21			R/W
b18	TSEG22			R/W
b19	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b20	SJW0	再同期ジャンプ幅制御ビット	b21b20 0 0 : 1Tq 0 1 : 2Tq 1 0 : 3Tq 1 1 : 4Tq	R/W
b21	SJW1			R/W
b23～b22	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

CBCR レジスタは、CAN リセットモードから CAN Halt モード、もしくは CAN リセットモードから CAN オペレーションモードへ遷移する前に設定してください。一度設定すると CAN リセットモード、もしくは CAN Halt モードで変更できません。

CBCR レジスタは、24 ビットです。

ビットタイミングの設定については「24.4 CAN 通信速度の設定」を参照してください。

BRP0～BRP9 ビット(プリスケアラ分周比設定ビット)

CAN 通信クロック (fCANCLK) の周波数設定に使用します。

fCANCLK の周期が 1 Time Quantum (Tq) となります。

TSEG10～TSEG13 ビット(タイムセグメント1制御ビット)

プロパゲーションタイムセグメント (PROP_SEG) とフェーズバッファセグメント 1 (PHASE_SEG1) の合計長を Tq 値で指定します。

4～16Tq の値が設定可能です。

TSEG20～TSEG22 ビット(タイムセグメント2制御ビット)

フェーズバッファセグメント 2 (PHASE_SEG2) の長さを Tq 値で指定します。

2～8Tq の値が設定可能です。

TSEG10～TSEG13 ビットに設定した値より小さな値を設定してください。

SJW0、SJW1 ビット(再同期ジャンプ幅制御ビット)

再同期ジャンプ幅 (Resynchronization Jump Width) を Tq 値で指定します。

1～4Tq の値が設定可能です。

TSEG20～TSEG22 ビットの設定値以下の値を設定してください。

24.2.10 CAN クロック選択レジスタ (CCLKR)

アドレス 06F47h (CCLKR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	CCLKS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCLKS	CAN クロック源選択ビット (注1)	0 : CPU クロック 1 : CAN 用クロック	R/W
b1	—	予約ビット	0 にしてください	R/W
b2	—	何も配置されていない。書く場合、0 を書いてください。読んだ場合、その値は 0。		—
b3	—	予約ビット	0 にしてください	R/W
b4	—	予約ビット	0 にしてください。読んだ場合、その値は不定。	R/W
b5	—	何も配置されていない。書く場合、0 を書いてください。読んだ場合、その値は 0。		—
b6	—			
b7	—	予約ビット	0 にしてください	R/W

注1. CAN リセットモード時に変更してください。CCLKS ビットを 1 にする場合、CPU クロックは CAN 用クロックの周波数以上にしてください。

CCLKS ビット(CAN クロック源選択ビット)

0 の場合、CAN クロックソース (fCAN) に CPU クロックが使用されます。

1 の場合、CAN クロックソース (fCAN) に CAN 用クロックが使用されます。

24.2.11 CAN 受信 FIFO 制御レジスタ (CRFCR)

アドレス 06F48h (CRFCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RFEST	RFWST	RFFST	RFMLF	RFUST2	RFUST1	RFUST0	RFE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信 FIFO 許可ビット (注1)	0 : 受信 FIFO 禁止 1 : 受信 FIFO 許可	R/W
b1	RFUST0	受信 FIFO 未読メッセージ数 ステータスフラグ	b3 b2 b1 0 0 0 : 未読メッセージなし 0 0 1 : 未読メッセージ1件あり 0 1 0 : 未読メッセージ2件あり 0 1 1 : 未読メッセージ3件あり 1 0 0 : 未読メッセージ4件あり 1 0 1 : 予約ビット 1 1 0 : 予約ビット 1 1 1 : 予約ビット	R
b2	RFUST1			R
b3	RFUST2			R
b4	RFMLF	受信 FIFO メッセージロストフラグ (注2)	0 : 受信 FIFO メッセージロスト未発生 1 : 受信 FIFO メッセージロスト発生	R/W
b5	RFFST	受信 FIFO フルスステータスフラグ	0 : 受信 FIFO はフルではない 1 : 受信 FIFO はフル(未読メッセージ4件)	R
b6	RFWST	受信 FIFO バッファワーニング ステータスフラグ	0 : 受信 FIFO はバッファワーニングではない 1 : 受信 FIFO はバッファワーニング (未読メッセージ3件)	R
b7	RFEST	受信 FIFO 空ステータスフラグ	0 : 受信 FIFO に未読メッセージあり 1 : 受信 FIFO に未読メッセージなし	R

注1. RFE ビットを0にするときは、RFMLF ビットも同時に0にしてください。

注2. 0のみ書けます(1を書いても変化しません)。

CRFCR レジスタは、CAN オペレーションモードまたはCAN Halt モード時に変更してください。

RFE ビット(受信 FIFO 許可ビット)

1にすると、受信 FIFO が受信許可になります。

0にすると、受信 FIFO は受信禁止になり、空状態(RFEST ビットが1)になります。

通常メールボックスモード(CCTLR レジスタのMBM ビットが0)では、1にしないでください。

以下の期間は、ハードウェアプロテクトがかかり、プログラムで0を書いても0になりません。

[ハードウェアプロテクトの開始]

- アクセプタンスフィルタ処理の開始(CRC フィールドの始まり)

[ハードウェアプロテクトの解除]

- メッセージの受信に受信 FIFO が指定された場合は、受信メッセージが受信 FIFO に格納された後、または CAN バスエラーが発生した後(すなわち、ハードウェアプロテクトの最大期間はCRC フィールドの始まりから EOF の7番目のビットの終わりまで)
- メッセージの受信に受信 FIFO が指定されない場合は、アクセプタンスフィルタ処理後

RFUST0～RFUST2 ビット(受信 FIFO 未読メッセージ数 ステータスフラグ)

受信 FIFO 内の未読メッセージの数を示します。

RFE ビットを0にすると、000bに初期化されます。

RFMLF ビット (受信 FIFO メッセージロストフラグ)

受信 FIFO がフルのときに新しいメッセージを受信すると、1 (受信 FIFO メッセージロスト発生) になります。1 になるタイミングは、EOF の 6 番目のビットの終わりです。

プログラムで 0 を書くと 0 になります。

オーバランモードとオーバーライトモードのどちらも、受信 FIFO がフルでメッセージの受信が決定している場合、ハードウェアのプロテクトにより EOF の 6 番目のビットに続く fCAN (CAN システムクロック) の 5 サイクルの間は、プログラムで 0 (受信 FIFO メッセージロスト未発生) になりません。

RFFST ビット (受信 FIFO フルステータスフラグ)

受信 FIFO 内の未読メッセージが 4 件になると、1 (受信 FIFO はフル) になります。受信 FIFO 内の未読メッセージが 4 件未満になると、0 (受信 FIFO はフルではない) になります。RFE ビットを 0 にすると、0 になります。

RFWST ビット (受信 FIFO バッファワーニング ステータスフラグ)

受信 FIFO 内の未読メッセージが 3 件になると、1 (受信 FIFO はバッファワーニング) になります。受信 FIFO 内の未読メッセージが 3 件未満もしくは 4 件になると 0 (受信 FIFO はバッファワーニングではない) になります。RFE ビットを 0 にすると、0 になります。

RFEST ビット (受信 FIFO 空ステータスフラグ)

受信 FIFO 内の未読メッセージがなくなると、1 (受信 FIFO にメッセージなし) になります。RFE ビットを 0 にすると、1 になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、0 (受信 FIFO に未読メッセージあり) になります。

図 24.2 に受信 FIFO メールボックスの動作 (CMIER レジスタのビット 13、12 が 01b または 11b) を示します。

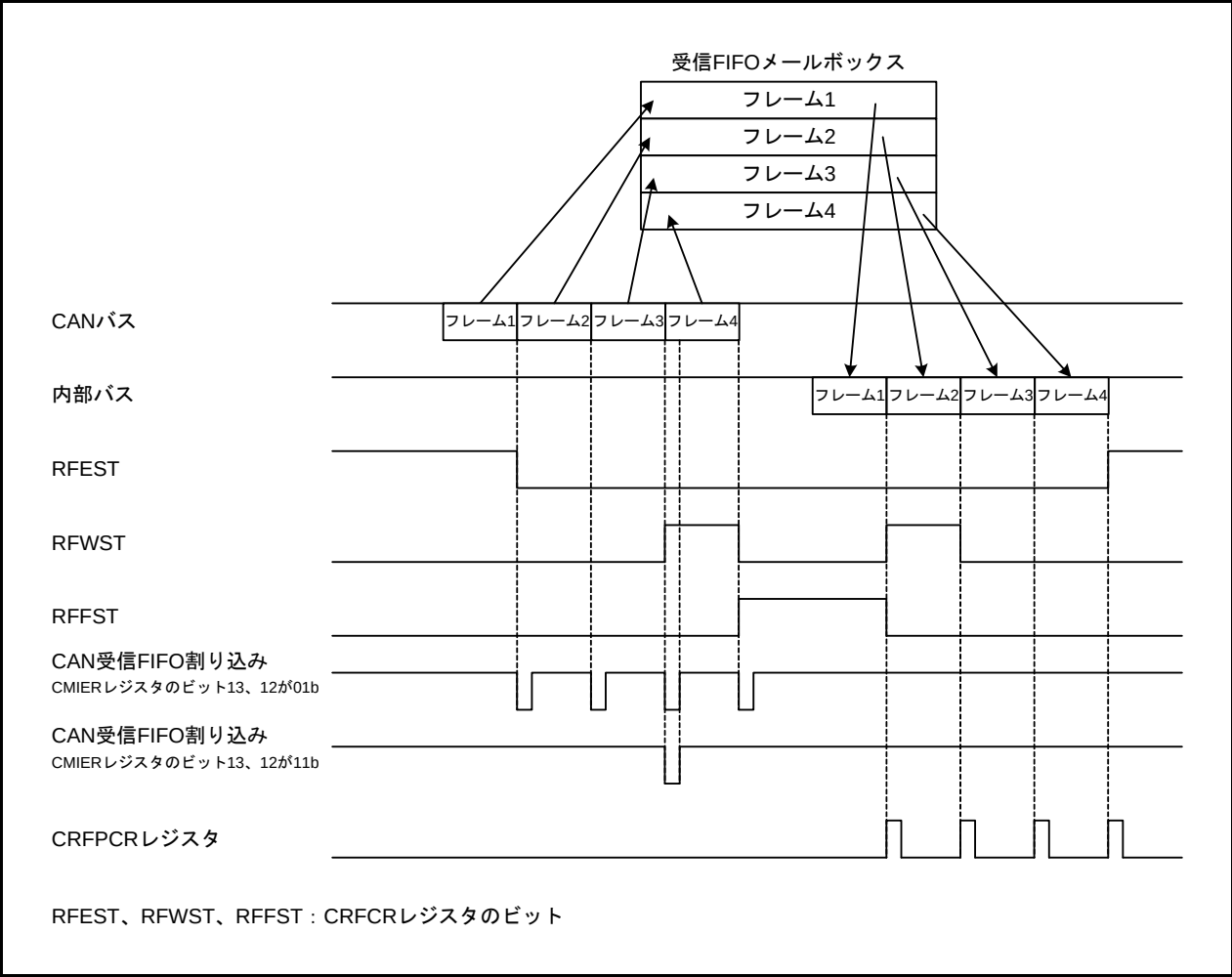


図 24.2 受信FIFOメールボックスの動作(CMIERレジスタのビット13、12が01bまたは11b)

24.2.12 CAN受信FIFOポインタ制御レジスタ (CRFPCR)

アドレス 06F49h (CRFPCR_0)								
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7～b0	FFhを書き込むと、受信FIFOのCPU側ポインタが移動	FFh	W

受信FIFOが空状態でないとき、受信FIFOのCPU側ポインタを次のメールボックスに移動させるためには、プログラムでFFhを書いてください。

CRFCRレジスタのRFEビットが0(受信FIFO禁止)のときは、書かないでください。

受信オーバーライトモードでCRFCRレジスタのRFFSTビットが1(受信FIFOはフル)のときに新しいメッセージが受信されると、CAN側ポインタとCPU側ポインタの両方が移動します。この状態で、CRFCRレジスタのRFMLFビットが1のとき、プログラムでCRFPCRレジスタに書き込んでもCPU側ポインタは移動しません。

24.2.13 CAN 送信 FIFO 制御レジスタ (CTFCR)

アドレス	06F4Ah (CTFCR_0)							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	TFEST	TFFST	—	—	TFUST2	TFUST1	TFUST0	TFE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TFE	送信 FIFO 許可ビット	0 : 送信 FIFO 禁止 1 : 送信 FIFO 許可	R/W
b1	TFUST0	送信 FIFO 未送信メッセージ 数ステータスビット	b3 b2 b1 0 0 0 : 未送信メッセージなし 0 0 1 : 未送信メッセージ1件 0 1 0 : 未送信メッセージ2件 0 1 1 : 未送信メッセージ3件 1 0 0 : 未送信メッセージ4件 1 0 1 : 予約ビット 1 1 0 : 予約ビット 1 1 1 : 予約ビット	R
b2	TFUST1			R
b3	TFUST2			R
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—	予約ビット	0にしてください。読んだ場合、その値は不定。	R
b6	TFFST	送信 FIFO フルステータスビット	0 : 送信 FIFO はフルではない 1 : 送信 FIFO はフル(未送信4件)	R
b7	TFEST	送信 FIFO 空ステータスビット	0 : 送信 FIFO に未送信メッセージあり 1 : 送信 FIFO に未送信メッセージなし	R

CTFCR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

TFE ビット (送信 FIFO 許可ビット)

1にすると、送信 FIFO が送信許可になります。

0にすると、送信 FIFO は空状態(TFEST ビットが1)になり、次のように送信 FIFO からの未送信メッセージが失われます。

- ・送信 FIFO からの次の送信予定がなく、また送信中でもないとき、空状態になります。
- ・送信 FIFO からの次の送信予定があるか、またはすでに送信中の場合、送信完了、CAN バスエラー、アービトレーション負け、または CAN Halt モードへの遷移に続いて空状態になります。

再度1にする前に、TFEST ビットが1になっているか確認してください。

1にした後、送信データを CMB8 レジスタに書いてください。

通常メールボックスモード(CCTLR レジスタの MBM ビットが0)では、1にしないでください。

TFUST0～TFUST2 ビット (送信 FIFO 未送信メッセージ 数ステータスビット)

送信 FIFO 内の未送信メッセージの数を示します。

TFE ビットを0にした後、送信アボート完了または送信完了すると、000b (未送信メッセージなし)になります。

TFFST ビット (送信 FIFO フルステータスビット)

送信 FIFO 内の未送信メッセージが4件になると、1 (送信 FIFO はフル)になります。送信 FIFO 内の未送信メッセージが4件未満になると、0 (送信 FIFO はフルではない)になります。送信 FIFO の送信アボートが完了すると、0になります。

TFEST ビット (送信 FIFO 空ステータスビット)

送信 FIFO 内の未送信メッセージがなくなると、1 (送信 FIFO にメッセージなし) になります。送信 FIFO からの送信アボートが完了すると、1 になります。

送信 FIFO 内の未送信メッセージが 1 件以上になると、0 (送信 FIFO にメッセージあり) になります。

図 24.3 に送信 FIFO メールボックスの動作 (CMIER レジスタのビット 9、8 が 01b または 11b) を示します。

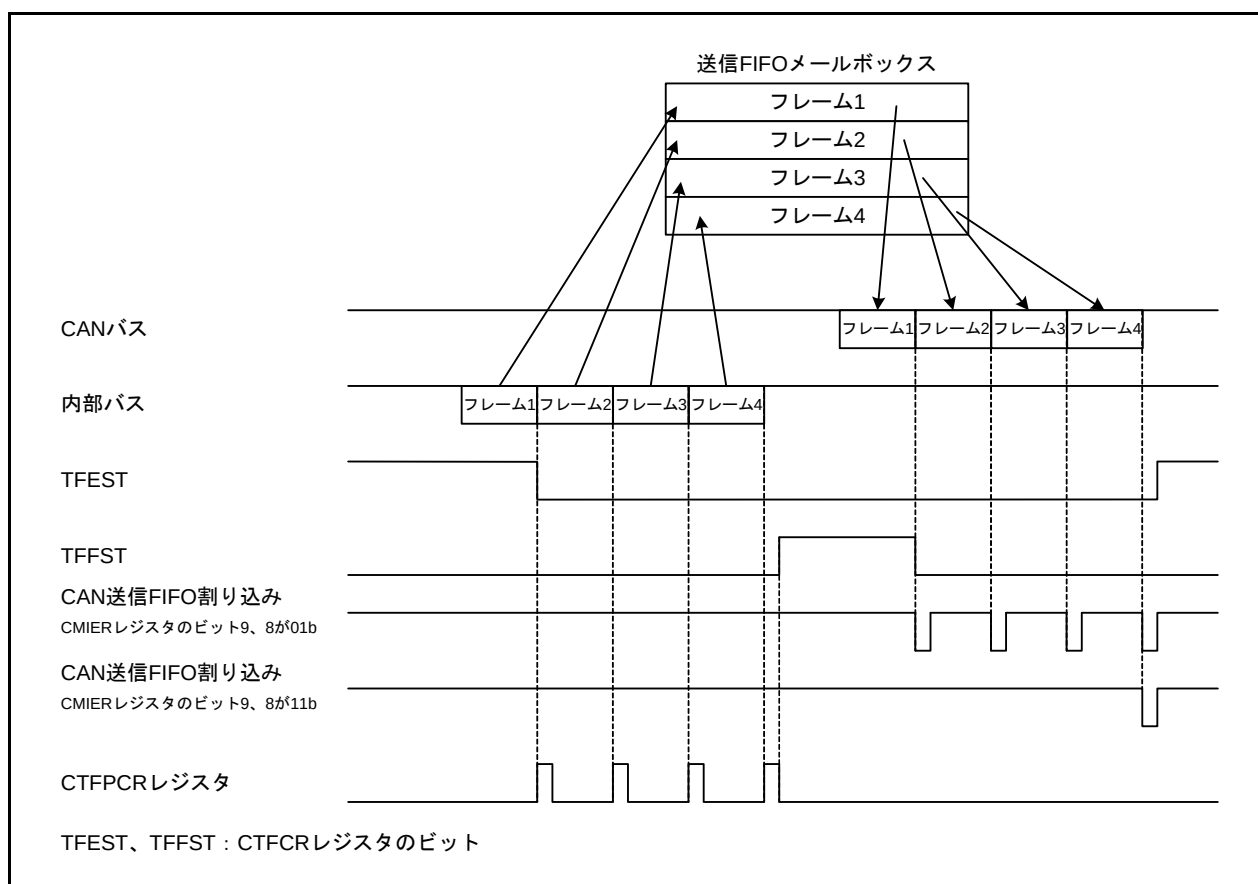


図 24.3 送信 FIFO メールボックスの動作 (CMIER レジスタのビット 9、8 が 01b または 11b)

24.2.14 CAN 送信 FIFO ポインタ制御レジスタ (CTFPCR)

アドレス 06F4Bh (CTFPCR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7～b0	FFh を書き込むと、送信 FIFO の CPU 側ポインタが移動	FFh	W

送信 FIFO がフルでないとき、送信 FIFO の CPU 側ポインタを次のメールボックスに移動させるためには、プログラムで FFh を書いてください。

CTFPCR レジスタの TFE ビットが 0 (送信 FIFO 禁止) のときは、書かないでください。

24.2.15 CAN エラー割り込み許可レジスタ (CEIER)

アドレス	06F4Ch (CEIER_0)							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可ビット	0 : バスエラー割り込み禁止 1 : バスエラー割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可ビット	0 : エラーワーニング割り込み禁止 1 : エラーワーニング割り込み許可	R/W
b2	EPIE	エラーパッシブ割り込み許可ビット	0 : エラーパッシブ割り込み禁止 1 : エラーパッシブ割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可ビット	0 : バスオフ開始割り込み禁止 1 : バスオフ開始割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可ビット	0 : バスオフ復帰割り込み禁止 1 : バスオフ復帰割り込み許可	R/W
b5	ORIE	受信オーバラン割り込み許可ビット	0 : 受信オーバラン割り込み禁止 1 : 受信オーバラン割り込み許可	R/W
b6	OLIE	オーバロードフレーム送信割り込み許可ビット	0 : オーバロードフレーム送信割り込み禁止 1 : オーバロードフレーム送信割り込み許可	R/W
b7	BLIE	バスロック割り込み許可ビット	0 : バスロック割り込み禁止 1 : バスロック割り込み許可	R/W

CEIER レジスタは、CAN リセットモード時に変更してください。

CEIER レジスタは、CEIFR レジスタのエラー割り込み要因に対して個別にエラー割り込み許可/禁止を設定できます。

BEIE ビット (バスエラー割り込み許可ビット)

0にすると、CEIFR レジスタのBEIF ビットが1になっても、エラー割り込み要求は発生しません。

1にすると、BEIF ビットが1になった場合、エラー割り込み要求が発生します。

EWIE ビット (エラーワーニング割り込み 許可ビット)

0にすると、CEIFR レジスタのEWIF ビットが1になっても、エラー割り込み要求は発生しません。

1にすると、EWIF ビットが1になった場合、エラー割り込み要求が発生します。

EPIE ビット (エラーパッシブ割り込み許可ビット)

0にすると、CEIFR レジスタのEPIF ビットが1になっても、エラー割り込み要求は発生しません。

1にすると、EPIF ビットが1になった場合、エラー割り込み要求が発生します。

BOEIE ビット (バスオフ開始割り込み許可ビット)

0にすると、CEIFR レジスタのBOEIF ビットが1になっても、エラー割り込み要求は発生しません。

1にすると、BOEIF ビットが1になった場合、エラー割り込み要求が発生します。

BORIE ビット (バスオフ復帰割り込み許可ビット)

0にすると、CEIFR レジスタのBORIF ビットが1になっても、エラー割り込み要求は発生しません。

1にすると、BORIF ビットが1になった場合、エラー割り込み要求が発生します。

ORIE ビット(受信オーバラン割り込み許可ビット)

0にすると、CEIFRレジスタのORIFビットが1になっても、エラー割り込み要求は発生しません。
1にすると、ORIFビットが1になった場合、エラー割り込み要求が発生します。

OLIE ビット(オーバロードフレーム送信割り込み許可ビット)

0にすると、CEIFRレジスタのOLIFビットが1になっても、エラー割り込み要求は発生しません。
1にすると、OLIFビットが1になった場合、エラー割り込み要求が発生します。

BLIE ビット(バスロック割り込み許可ビット)

0にすると、CEIFRレジスタのBLIFビットが1になっても、エラー割り込み要求は発生しません。
1にすると、BLIFビットが1になった場合、エラー割り込み要求が発生します。

24.2.16 CAN エラー割り込み要因判定レジスタ (CEIFR)

アドレス	06F4Dh (CEIFR_0)							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0: バスエラー未検出 1: バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0: エラーワーニング未検出 1: エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0: エラーパッシブ未検出 1: エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0: バスオフ開始未検出 1: バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0: バスオフ復帰未検出 1: バスオフ復帰検出	R/W
b5	ORIF	受信オーバラン検出フラグ	0: 受信オーバラン未検出 1: 受信オーバラン検出	R/W
b6	OLIF	オーバロードフレーム送信検出フラグ	0: オーバロードフレーム送信未検出 1: オーバロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0: バスロック未検出 1: バスロック検出	R/W

CEIFR レジスタは、各ビットに対応する現象が発生すると、CEIER レジスタの設定にかかわらず対応するビットが1になります。

各ビットにプログラムで0を書く場合は、MOV 命令を使用し、0にしたいビットを0、そうでないビットを1にしてください。1を書いてもこれらのビットの値は変化しません。1になるタイミングとプログラムで0にするタイミングが同時の場合、そのビットは1になります。

BEIF ビット (バスエラー検出フラグ)

バスエラーが検出されると、1になります。

EWIF ビット (エラーワーニング検出フラグ)

REC (受信エラーカウンタ) または TEC (送信エラーカウンタ) の値が95を超えると、1になります。

REC または TEC が最初に95を超えたときのみ1になります。したがって、REC または TEC が95を超えたままで、プログラムで0を書いた場合、一度 REC と TEC が95以下になり、再び REC または TEC が95を超えるまでは1にはなりません。

EPIF ビット (エラーパッシブ検出フラグ)

CAN エラーステートがエラーパッシブ状態 (REC または TEC の値が127を超える) になると、1になります。

REC または TEC が最初に127を超えたときのみ1になります。したがって、REC または TEC が127を超えたままで、プログラムで0を書いた場合、一度 REC と TEC が127以下になり、再び REC または TEC が127を超えるまでは1にはなりません。

BOEIF ビット(バスオフ開始検出フラグ)

CAN エラーステートがバスオフ状態(TECの値が255を超える)になると、1になります。

CCTLR レジスタのBOM1、BOM0 ビットが01b (バスオフ開始で自動的にCAN Halt モードへ遷移)で、CAN モジュールがバスオフ状態になった場合も、1になります。

BORIF ビット(バスオフ復帰検出フラグ)

CAN モジュールが次の条件でバスオフ状態から通常復帰(11の連続するレセシブビットを128回検出)した場合、1になります。

- (1) CCTLR レジスタのBOM1、BOM0 ビットが00b のとき
- (2) BOM1、BOM0 ビットが10b のとき
- (3) BOM1、BOM0 ビットが11b のとき

なお、CAN モジュールが次の条件でバスオフ状態から復帰した場合、1になりません。

- (1) CCTLR レジスタのCANM1、CANM0 ビットを01b (CAN リセットモード)にしたとき
- (2) CCTLR レジスタのRBOC ビットを1 (バスオフからの強制復帰)にしたとき
- (3) BOM1、BOM0 ビットが01b のとき
- (4) BOM1、BOM0 ビットが11b で、通常復帰が発生する前に、CANM1、CANM0 ビットを10b (CAN Halt モード)にしたとき

表24.9にBOM0、BOM1 ビットの設定によるBOEIF、BORIF ビットの動作を示します。

表24.9 BOM0、BOM1 ビットの設定によるBOEIF、BORIF ビットの動作

CCTLR レジスタ BOM1、BOM0 ビット	BOEIF ビット	BORIF ビット
00b	バスオフ状態への 遷移時1になる	バスオフ状態からの復帰時1になる
01b		1にはならない
10b		バスオフ状態からの復帰時1になる
11b		CANM1、CANM0 ビットが10b (CAN Halt モード)になる前に、通常のバスオフ状態からの復帰が発生した場合1になる

ORIF ビット(受信オーバラン検出フラグ)

受信オーバランが発生すると、1になります。

オーバーライトモードでは1になりません。オーバーライトモードの場合、オーバーライト条件が発生すると、受信完了割り込み要求が発生し、1にはなりません。

通常メールボックスモードの場合、オーバランモードで、メールボックス[0]～[15]のいずれかでオーバランが発生すると、1になります。

FIFO メールボックスモードの場合、オーバランモードで、メールボックス[0]～[7]のいずれかまたは受信FIFOでオーバランが発生すると、1になります。

OLIF ビット(オーバロードフレーム送信検出フラグ)

CAN モジュールが受信または送信を行う場合にオーバロードフレームの送信条件が検出されると、1になります。

BLIFビット(バスロック検出フラグ)

CANモジュールがCANオペレーションモードの間、CANバス上に32の連続するドミナントビットを検出すると、1になります。

1になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- このビットを1から0にした後、レセプティブビットを検出(バスロック解消)。
- このビットを1から0にした後、CANリセットモードに遷移し、再度CANオペレーションモードに遷移(内部リセット)。

24.2.17 CAN受信エラーカウントレジスタ (CRECR)

アドレス 06F4Eh (CRECR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定可能値	R/W
b7～b0	受信エラーカウン機能 受信中のCANモジュールのエラー状態によってカウンタ値を増減させます。	00h～FFh (注1)	R

注1. バスオフ状態時の値は不定になります。

CRECRレジスタは、受信エラーカウンタの値を示します。

受信エラーカウンタの増減条件についてはCAN仕様(ISO11898-1)を参照してください。

24.2.18 CAN送信エラーカウントレジスタ (CTECR)

アドレス 06F4Fh (CTECR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	設定可能値	R/W
b7～b0	送信エラーカウン機能 送信中のCANモジュールのエラー状態によってカウンタ値を増減させます。	00h～FFh (注1)	R

注1. バスオフ状態時の値は不定になります。

CTECRレジスタは、送信エラーカウンタの値を示します。

送信エラーカウンタの増減条件についてはCAN仕様(ISO11898-1)を参照してください。

24.2.19 CAN エラーコード格納レジスタ (CECSR)

アドレス 06F50h (CECSR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ (注1、2)	0 : スタッフエラー未検出 1 : スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ (注1、2)	0 : フォームエラー未検出 1 : フォームエラー検出	R/W
b2	AEF	ACKエラーフラグ (注1、2)	0 : ACKエラー未検出 1 : ACKエラー検出	R/W
b3	CEF	CRCエラーフラグ (注1、2)	0 : CRCエラー未検出 1 : CRCエラー検出	R/W
b4	BE1F	ビットエラー (レセシブ) フラグ (注1、2)	0 : ビットエラー未検出 1 : ビットエラー (レセシブ) 検出	R/W
b5	BE0F	ビットエラー (ドミナント) フラグ (注1、2)	0 : ビットエラー未検出 1 : ビットエラー (ドミナント) 検出	R/W
b6	ADEF	ACKデリミタエラーフラグ (注1、2)	0 : ACKデリミタエラー未検出 1 : ACKデリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択ビット (注3、4)	0 : 最初に検出されたエラーコードを出力 1 : 蓄積したエラーコードを出力	R/W

注1. 1を書いてもこれらのビットの値は変化しません。

注2. SEF、FEF、AEF、CEF、BE1F、BE0F、およびADEFビットにプログラムで0を書く場合は、MOV命令を使用し、0にしたいビットを0、そうでないビットを1にしてください。

注3. EDPMビットは、CANリセットモードまたはCAN Haltモード時に変更してください。

注4. 同時に2つ以上のエラー条件が検出された場合は、関係するすべてのビットが1になります。

CECSRレジスタは、CANバス上のエラーの発生をモニタリングする場合に使用できます。

各エラーの発生条件を確認するにはCAN仕様(ISO11898-1)を参照してください。

EDPMビット以外の各ビットを0にする場合は、プログラムで0を書いてください。各ビットが1になるタイミングとプログラムで0を書くタイミングが同じ場合、そのビットは1になります。

SEFビット(スタッフエラーフラグ)

スタッフエラーを検出すると、1になります。

FEFビット(フォームエラーフラグ)

フォームエラーを検出すると、1になります。

AEFビット(ACKエラーフラグ)

ACKエラーを検出すると、1になります。

CEFビット(CRCエラーフラグ)

CRCエラーを検出すると、1になります。

BE1Fビット(ビットエラー(レセシブ)フラグ)

レセシブビットエラーを検出すると、1になります。

BE0F ビット(ビットエラー(ドミナント)フラグ)

ドミナントビットエラーを検出すると、1になります。

ADEF ビット(ACK デリミタエラーフラグ)

送信中の ACK デリミタでフォームエラーを検出すると、1になります。

EDPM ビット(エラー表示モード選択ビット)

CECSR レジスタの出力モードを選択します。

0にすると、CECSR レジスタは最初のエラーコードを出力します。

1にすると、CECSR レジスタは蓄積したエラーコードを出力します。

24.2.20 CAN チャンネルサーチサポートレジスタ (CCSSR)

アドレス 06F51h (CCSSR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X

ビット	機能	設定可能値	R/W
b7～b0	チャンネル検索の値が入力された場合、チャンネル番号を CMSSR レジスタに出力	チャンネル値	R/W

CCSSR レジスタは、CMSMR レジスタの MBSM1、MBSM0 ビットが 11b (チャンネル検索モード)のときのみ変更してください。

CCSSR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

1が設定された CCSSR レジスタのビットは、8 to 3 プライオリティエンコード (LSB 側が優先)によってエンコードされ、CMSSR レジスタの MBNST0～MBNST3 ビットに出力されます。

CMSSR レジスタは、読むたびに値が更新されます。

図 24.4 に CCSSR、CMSSR レジスタの書き込みと読み出しを示します。

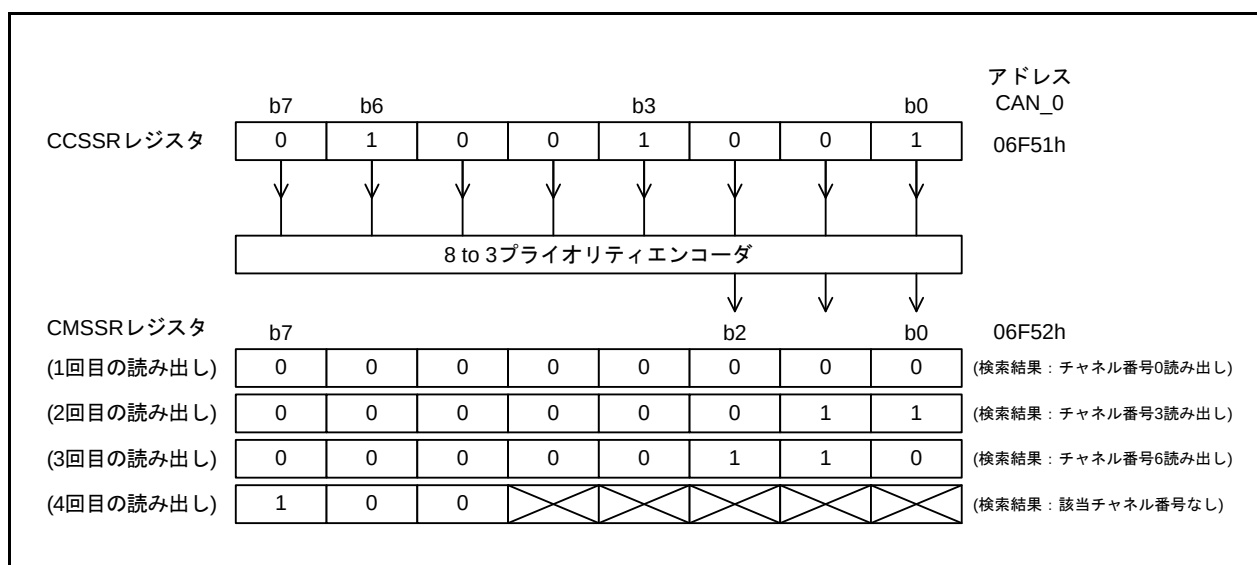


図 24.4 CCSSR、CMSSR レジスタの書き込みと読み出し

CCSSR レジスタの値も CMSSR レジスタを読み出すたびに更新されます。読んだ場合、8 to 3 プライオリティエンコード変換前の値が読めます。

24.2.21 CAN メールボックスサーチステータスレジスタ (CMSSR)

アドレス 06F52h (CMSSR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	SEST	—	—	—	MBNST3	MBNST2	MBNST1	MBNST0
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBNST0	検索結果メールボックス 番号ステータスビット	各検索モードの検索結果を出力 出力番号：0～15	R
b1	MBNST1			R
b2	MBNST2			R
b3	MBNST3			R
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	SEST	検索結果ステータスビット	0：検索結果あり 1：検索結果なし	R

MBNST0～MBNST3ビット(検索結果メールボックス 番号ステータスビット)

CMSSR レジスタの各モードで検索された、最小のメールボックス番号が出力されます。

受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードにより、出力される検索結果であるメールボックスの値は、次の場合に更新されます。

- ・出力されたメールボックスのNEWDATA、SENTDATA、またはMSGLOSTビットが0になる
- ・より優先順位の高いメールボックスのNEWDATA、SENTDATA、またはMSGLOSTビットが1になる

受信メールボックス検索モードおよびメッセージロスト検索モードのとき、受信FIFOが空状態でなく、すべての通常メールボックス(メールボックス[0]～[7])に未読の受信メッセージもロストメッセージもない場合、受信FIFO(メールボックス[12])が出力されます。

送信メールボックス検索モードのとき、送信FIFO(メールボックス[8])は出力されません。

表24.10にFIFOメールボックスモードでのMBNST0～MBNST3ビットの動作を示します。

表24.10 FIFOメールボックスモードでのMBNST0～MBNST3ビットの動作

CMSSR レジスタ	メールボックス [8] (送信FIFO)	メールボックス [12] (受信FIFO)
MBSM1、MBSM0 ビット		
00b	メールボックス[8] は出力されない	通常メールボックスの、どのNEWDATAビットも1にならず、また受信FIFOが空でない場合は、メールボックス[12]が出力される
01b		メールボックス[12]は出力されない
10b		通常メールボックスの、どのMSGLOSTビットも1にならず、受信FIFO内のRFMLFビットが1になると、メールボックス[12]が出力される
11b		メールボックス[12]は出力されない

チャンネル検索モードでは、チャンネル番号が出力されます。CMSSR レジスタがプログラムで読み出された後に、次のターゲットチャンネル番号が出力されます。

SESTビット(検索結果ステータスビット)

すべてのメールボックスの検索で該当するメールボックスがない場合、1(検索結果なし)になります。

例えば、送信メールボックス検索モードで、SENTDATAビットが1のメールボックスがひとつもない場合1になり、ひとつでもある場合0になります。

SESTビットが1の場合、MBNST0～MBNST3ビットの値は不定です。

24.2.22 CAN メールボックスサーチモードレジスタ (CMSMR)

アドレス 06F53h (CMSMR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	MBSM1	MBSM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBSM0	メールボックス検索モード 選択ビット	b1 b0 0 0 : 受信メールボックス検索モード 0 1 : 送信メールボックス検索モード 1 0 : メッセージロスト検索モード 1 1 : チャネル検索モード	R/W
b1	MBSM1			R/W
b7～b2	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—

CMSMR レジスタは、CAN オペレーションモードまたは CAN Halt モード時に変更してください。

MBSM0、MBSM1 ビット (メールボックス検索モード 選択ビット)

メールボックス検索機能のための検索モードを選択します。

00b の場合、受信メールボックス検索モードになります。このモードで検索対象となるビットは、CMCTLj レジスタ (j = 0～15) の通常メールボックスでの NEWDATA ビットと CRFCR レジスタの RFEST ビットです。

01b の場合、送信メールボックス検索モードになります。このモードで検索対象となるビットは、CMCTLj レジスタの SENTDATA ビットです。

10b の場合、メッセージロスト検索モードになります。このモードで検索対象となるビットは、CMCTLj レジスタの通常メールボックスでの MSGLOST ビットと CRFCR レジスタの RFMLF ビットです。

11b の場合、チャネル検索モードになります。このモードで検索対象となるレジスタは CCSSR レジスタです。「24.2.20 CAN チャネルサーチサポートレジスタ (CCSSR)」を参照してください。

24.2.25 CAN テスト制御レジスタ (CTCR)

アドレス	06F58h (CTCR_0)							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	TSTM1	TSTM0	TSTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTE	CANテストモード許可ビット	0 : CANテストモード禁止 1 : CANテストモード許可	R/W
b1	TSTM0	CANテストモード選択ビット	b2 b1 0 0 : CANテストモードでない 0 1 : リッスンオンリモード 1 0 : セルフテストモード0 (外部ループバック) 1 1 : セルフテストモード1 (内部ループバック)	R/W
b2	TSTM1			R/W
b7～b3	—	予約ビット	0にしてください	R/W

CTCR レジスタは、CAN Halt モード時にのみ変更してください。

TSTE ビット (CAN テストモード許可ビット)

0にすると、CANテストモードは禁止になります。

1にすると、CANテストモードは許可になります。

TSTM0、TSTM1 ビット (CAN テストモード選択ビット)

CAN テストモードを選択するビットです。

各CANテストモードの詳細を、以下に説明します。

24.2.25.1 リッスンオンリモード

CAN仕様(ISO11898-1)では、オプションのバスモニターモードが推奨されています。リッスンオンリモードでは、有効なデータフレームと有効なリモートフレームとを受信できますが、CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図24.6にリッスンオンリモード選択時の接続を示します。

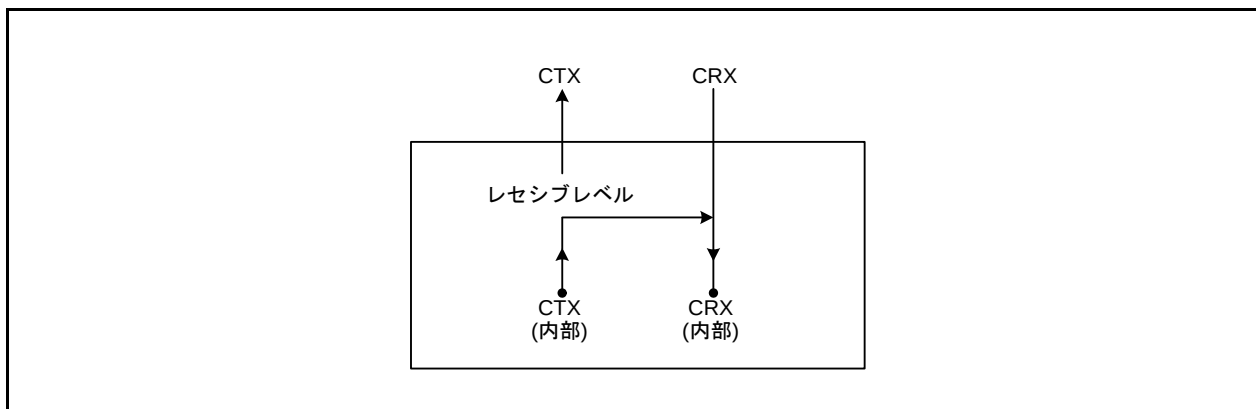


図24.6 リッスンオンリモード選択時の接続

24.2.25.2 セルフテストモード0 (外部ループバック)

セルフテストモード0はCANトランシーバテスト用です。

セルフテストモード0では、送信したメッセージをCANトランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACKビットを生成します。

CTX/CRX端子はCANトランシーバに接続してください。

図24.7にセルフテストモード0選択時の接続を示します。

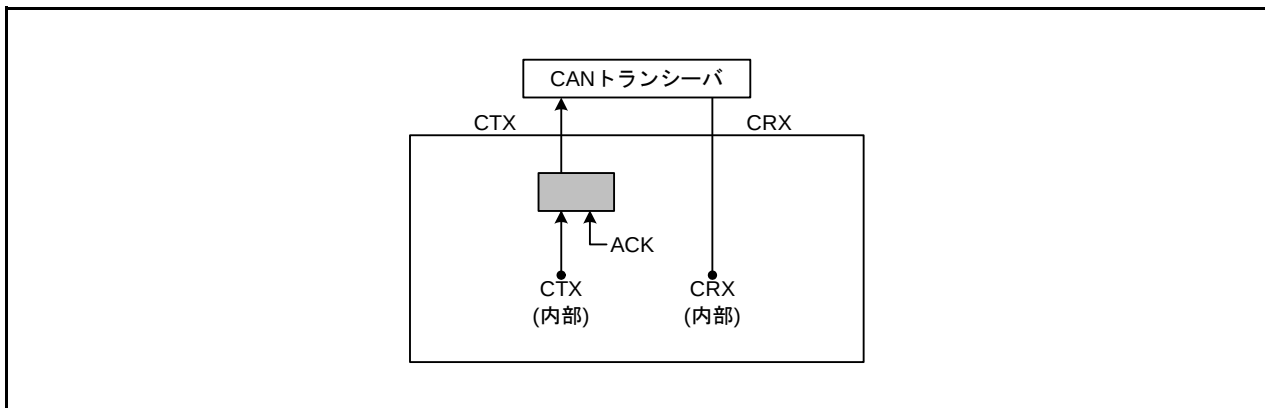


図24.7 セルフテストモード0選択時の接続

24.2.25.3 セルフテストモード1 (内部ループバック)

セルフテストモード1は、セルフテスト機能用です。

セルフテストモード1では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、ACKビットを生成します。

セルフテストモード1では内部CTX端子から内部CRX端子への内部フィードバックを行います。外部CRX端子の入力の値は、無視されます。外部CTX端子はレセプビットのみ出力します。CTX/CRX端子はCANバスや他のどの外部デバイスにも接続する必要がありません。

図24.8にセルフテストモード1選択時の接続を示します。

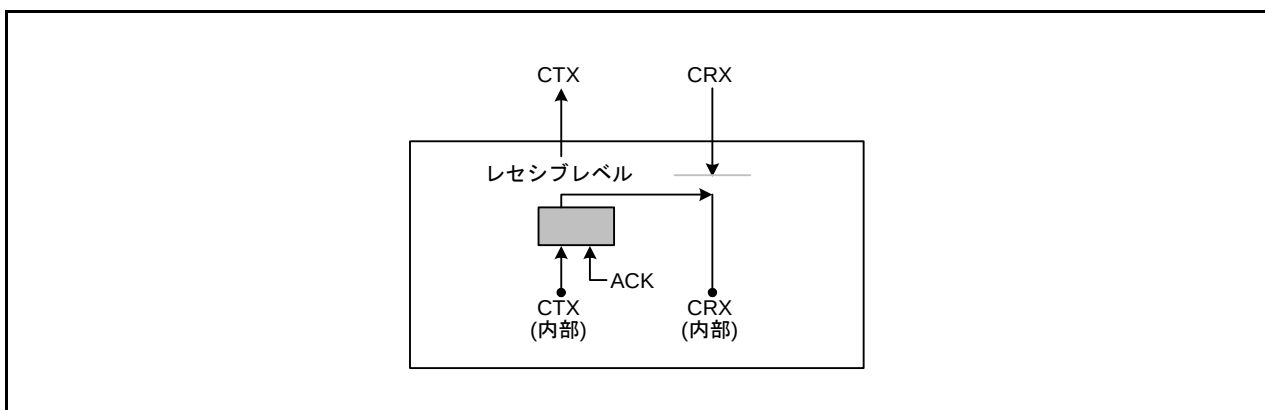


図24.8 セルフテストモード1選択時の接続

24.2.26 CAN 割り込みステータスレジスタ (CANISR)

アドレス 06F7Eh (CANISR_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WKUP	ERR	TFIFO	TE	RFIFO	RE	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	RE	受信完了割り込みフラグ(注1)	0 : 割り込み要求なし 1 : 割り込み要求あり	R
b3	RFIFO	受信FIFO割り込みフラグ(注1、2)		R/W
b4	TE	送信完了割り込みフラグ(注1)		R
b5	TFIFO	送信FIFO割り込みフラグ(注1、2)		R/W
b6	ERR	バスエラー、ワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰、オーバラン、オーバーロード、バスロック割り込みフラグ(注1、2)		R/W
b7	WKUP	ウェイクアップ割り込みフラグ(注2)		R/W

注1. CANリセットモードへ移行したとき、0になります。

注2. 1を読んだ後、0を書いた場合のみ0になります。

24.2.27 CAN 割り込み制御レジスタ (CANIE)

アドレス 06F7Fh (CANIE_0)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	WKUPIE	ERRIE	TFIFOIE	TEIE	RFIFOIE	REIE	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	REIE	受信完了割り込み許可ビット	0 : 割り込み要求禁止 1 : 割り込み要求許可	R/W
b3	RFIFOIE	受信FIFO割り込み許可ビット		R/W
b4	TEIE	送信完了割り込み許可ビット		R/W
b5	TFIFOIE	送信FIFO割り込み許可ビット		R/W
b6	ERRIE	バスエラー、ワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰、オーバラン、オーバーロード、バスロック割り込み許可ビット		R/W
b7	WKUPIE	ウェイクアップ割り込み許可ビット		R/W

次の3種類の割り込み要求を発生させることができます。各割り込み要求は、複数の要因が共用しています。

- CAN受信割り込み：CAN受信完了割り込みとCAN受信FIFO割り込みで共有
- CAN送信割り込み：CAN送信完了割り込みとCAN送信FIFO割り込みで共有
- CANエラー割り込み：CANエラー割り込みとCANウェイクアップ割り込みで共有

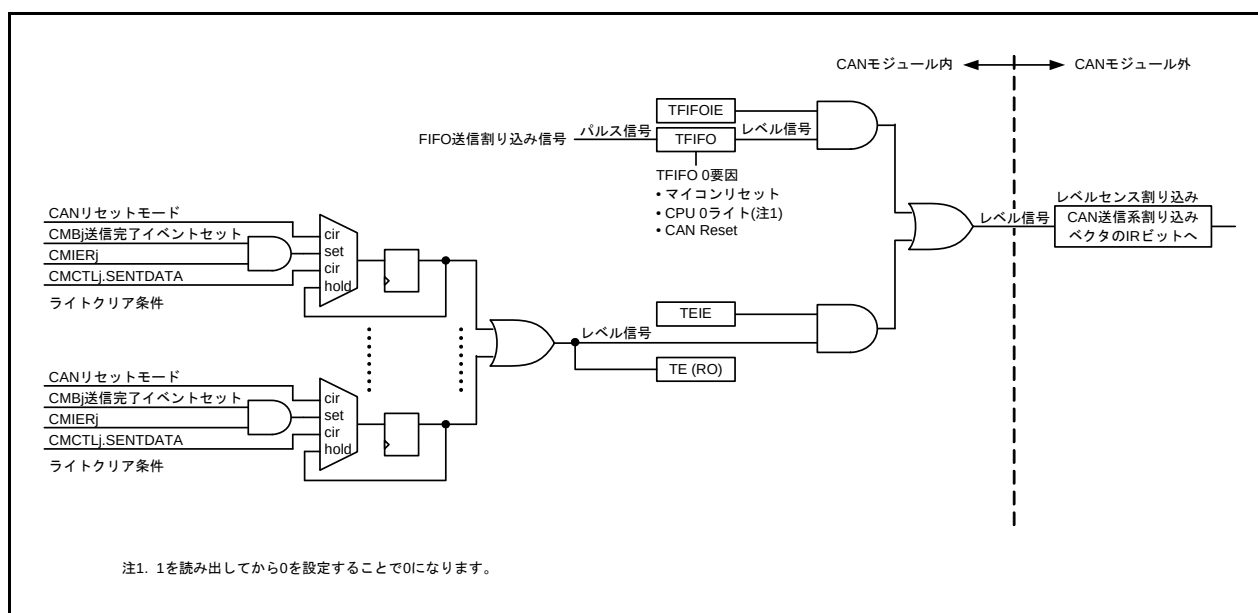


図 24.9 送信割り込み信号回路(j = 0 ~ 15)

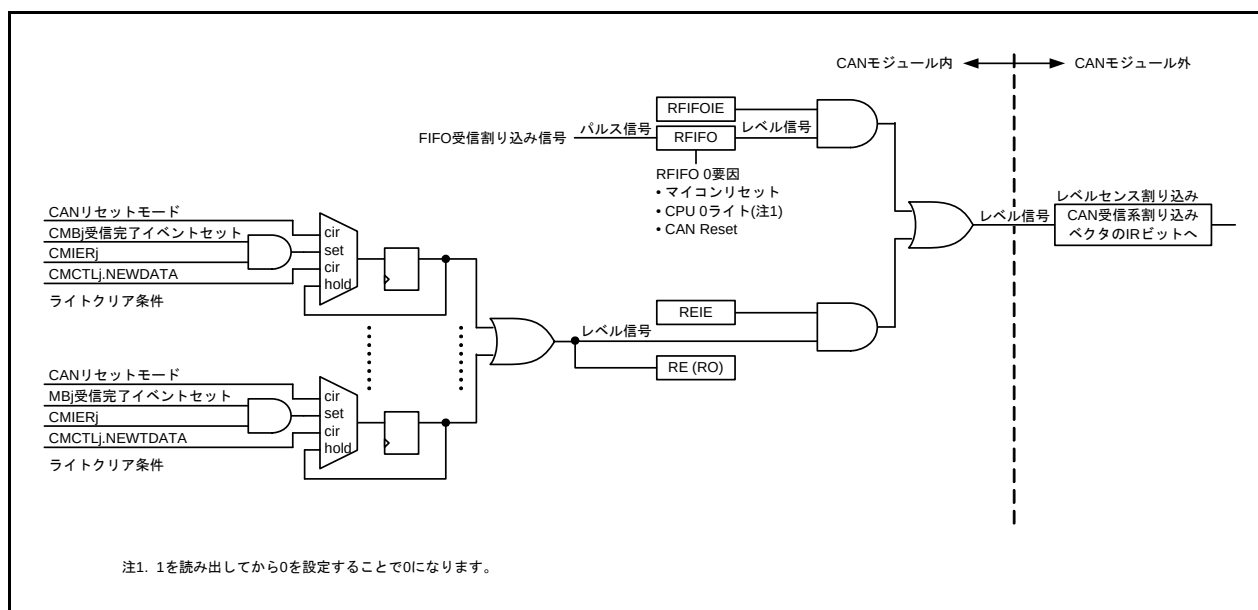


図 24.10 受信割り込み信号回路(j = 0 ~ 15)

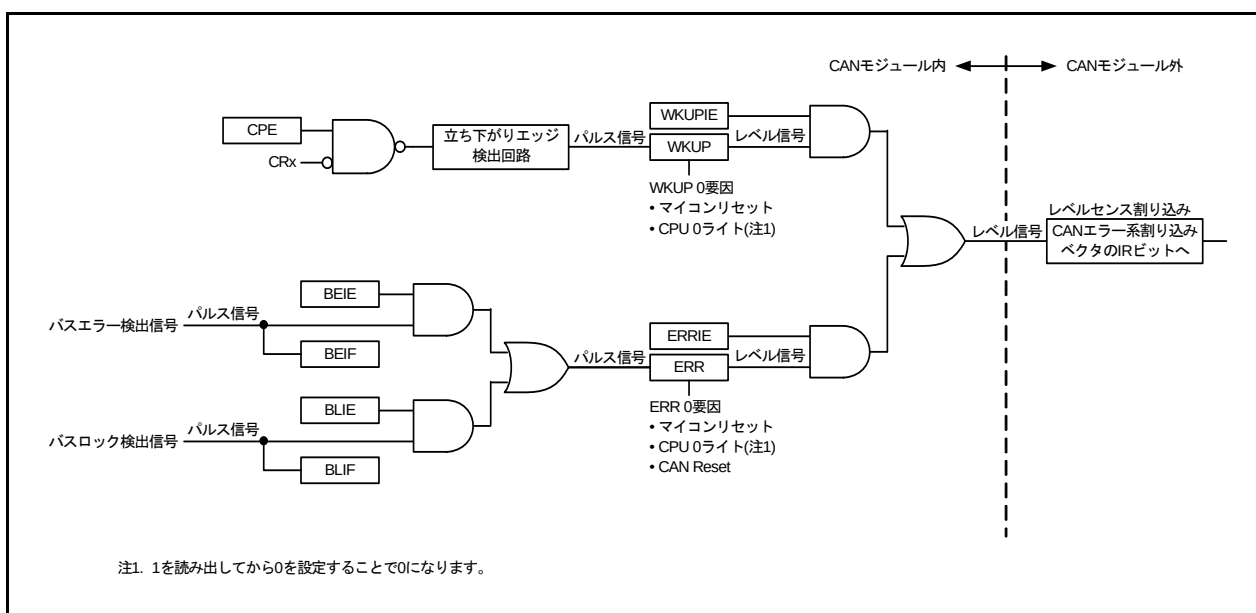


図 24.11 エラー割り込み信号回路

24.3 動作モード

CANモジュールには、次の4つの動作モードがあります。

- CANリセットモード
- CAN Haltモード
- CANオペレーションモード
- CANスリープモード

図24.12にCAN動作モード間の遷移を示します。

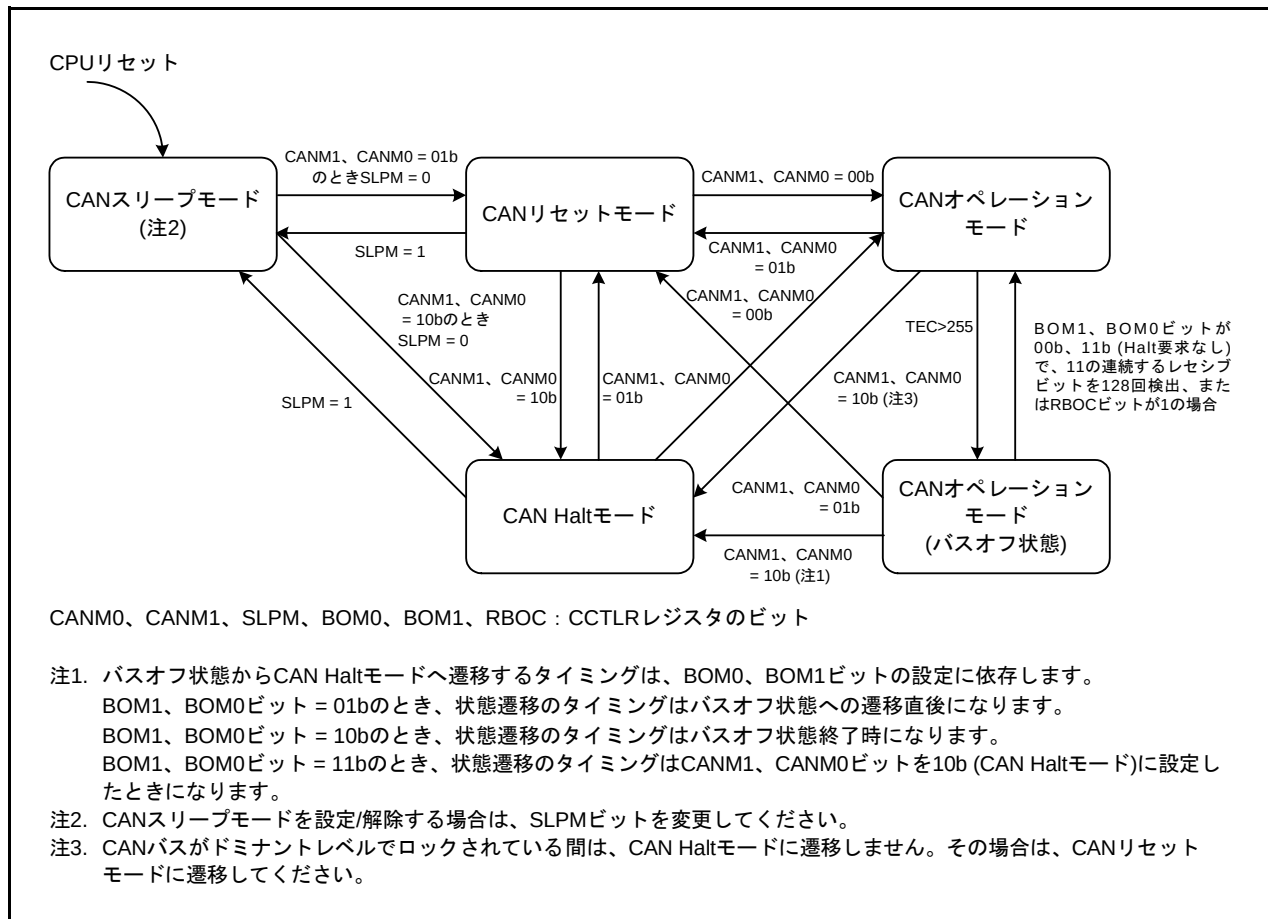


図24.12 CAN動作モード間の遷移

24.3.1 CAN リセットモード

CAN リセットモードは、CAN 通信の設定を行うモードです。

CCTLR レジスタの CANM1、CANM0 ビットを 01b にすると、CAN リセットモードになります。そのとき、CSTR レジスタの RSTST ビットが 1 になります。RSTST ビットが 1 になるまで、CANM0、CANM1 ビットを変更しないでください。

CAN リセットモードから他のモードへ遷移する前に、CBCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードに遷移した後、それぞれのリセット後の値に初期化され、CAN リセットモード中は初期値を保持します。

- CMCTLj レジスタ (j = 0 ~ 15)
- CSTR レジスタ (SLPST ビットと TFST ビットを除く)
- CEIFR レジスタ
- CRECR レジスタ
- CTECR レジスタ
- CTSR レジスタ
- CMSSR レジスタ
- CMSMR レジスタ
- CRFCR レジスタ
- CTFPCR レジスタ
- CTCR レジスタ
- CECSR レジスタ (EDPM ビットを除く)
- CANISR レジスタ

以下のレジスタは、CAN リセットモードに遷移した後も、以前の値を保持します。

- CCLKR レジスタ
- CCTLR レジスタ
- CSTR レジスタ (SLPST ビットと TFST ビット)
- CMIER レジスタ
- CEIER レジスタ
- CBCR レジスタ
- CCSSR レジスタ
- CECSR レジスタ (EDPM ビットのみ)
- CMBj レジスタ
- CMKR0 ~ CMKR3 レジスタ
- CFIDCR0、CFIDCR1 レジスタ
- CMKIVLR レジスタ
- CAFSR レジスタ
- CRFPCR レジスタ
- CTFPCR レジスタ
- CANIE レジスタ

24.3.2 CAN Halt モード

CAN Halt モードは、メールボックスの設定とテストモードの設定を行うモードです。

CCTLR レジスタの CANM1、CANM0 ビットを 10b にすると、CAN Halt モードになります。そのとき、CSTR レジスタの HLTST ビットが 1 になります。HLTST ビットが 1 になるまで、CANM0、CANM1 ビットを変更しないでください。

送信または受信時の状態遷移の条件は「表 24.11 CAN リセットモードと CAN Halt モードでの動作」を参照してください。

CAN Halt モードへの遷移では、CSTR レジスタの RSTST ビット、HLTST ビットおよび SLPST ビット以外のビットと他のすべてのレジスタは変化しません。

CAN Halt モードでは、CCLKR、CCTLR レジスタ (CANM0、CANM1 ビットと SLPM ビットを除く) および CEIER レジスタは変更しないでください。CAN テストモードで、自動ボーレート検出として使用するためにリスンオンリモードを選択している場合のみ、CAN Halt モードで CBCR レジスタを変更できます。

表 24.11 CAN リセットモードと CAN Halt モードでの動作

モード	受信	送信	バスオフ
CAN リセットモード	メッセージ受信の終了を待たずに CAN リセットモードに遷移	メッセージ送信の終了を待って CAN リセットモードに遷移 (注1、4)	バスオフ復帰を待たずに CAN リセットモードに遷移
CAN Halt モード	メッセージ受信の終了を待って CAN Halt モードに遷移 (注2、3)	メッセージ送信の終了を待って CAN Halt モードに遷移 (注1、2、4)	【BOM1、BOM0 ビットが 00b の場合】バスオフ復帰後のみ、プログラムの Halt 要求を受け付ける 【BOM1、BOM0 ビットが 01b の場合】バスオフ復帰を待たずに自動的に CAN Halt モードに遷移 (プログラムの Halt 要求とは無関係に) 【BOM1、BOM0 ビットが 10b の場合】バスオフ復帰を待って自動的に CAN Halt モードに遷移 (プログラムの Halt 要求とは無関係に) 【BOM1、BOM0 ビットが 11b の場合】バスオフ中にプログラムによる Halt 要求があると、CAN Halt モードに遷移 (バスオフ復帰を待たずに)

BOM0、BOM1 ビット : CCTLR レジスタのビット

注1. いくつかのメッセージが送信要求されている場合、最初の送信完了後にモードを遷移します。サスペンドトランスミッション中に CAN リセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、または CAN モジュールが受信になったときに、モードを遷移します。

注2. CAN バスがドミナントレベルでロックされた場合、CEIFR レジスタの BLIF ビットをモニタすると、プログラムはバスロックを検出できます。CAN バスがドミナントレベルでロックされている間は、CAN Halt モードに遷移しません。この場合は、CAN リセットモードに遷移してください。

注3. CAN Halt モードが要求された後、受信中に CAN バスエラーが発生すると、CAN Halt モードに遷移します (ただし、CAN バスがドミナントレベルでロックされている場合は、CAN Halt モードに遷移しません)。

注4. CAN リセットモードまたは CAN Halt モードが要求された後、送信中に CAN バスエラーまたは CAN アービトレーションロストが発生すると、要求された動作モードに遷移します (ただし、CAN バスがドミナントレベルでロックされている場合は、CAN Halt モードに遷移しません)。

24.3.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCU のリセット後は、CAN スリープモードから動作を開始します。

CCTLR レジスタの SLPM ビットを 1 にすると、CAN スリープモードになります。そのとき、CSTR レジスタの SLPST ビットが 1 になります。SLPST ビットが 1 になるまで、SLPM ビットの値を変更しないでください。CAN スリープモードへの遷移時は、他のレジスタは変化しません。

SLPM ビットは、CAN リセットモードと CAN Halt モードで変更してください。SLPM ビットを除く他のレジスタは、CAN スリープモード中は変更しないでください。読み出し動作は許可されます。

SLPM ビットを 0 にすると、CAN スリープモードから解除されます。CAN スリープモードからの復帰時、他のレジスタは変化しません。

24.3.4 CAN オペレーションモード(バスオフ状態以外)

CAN オペレーションモードは、CAN 通信をするモードです。

CCTLR レジスタの CANM1、CANM0 ビットを 00b にすると、CAN オペレーションモードになります。そのとき、CSTR レジスタの RSTST ビットと HLTST ビットが 0 になります。RSTST ビットと HLTST ビットが 0 になるまで、CANM0、CANM1 ビットの値を変更しないでください。

CAN オペレーションモードに遷移した後、11 の連続するレセシブビットを検出すると、CAN モジュールは次の状態になります。

- CAN モジュールは、通信が可能なネットワーク上でのアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタおよび送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN バスの状態によって、CAN オペレーションモード中に、次の 3 つのいずれかのサブモードになっています。

- アイドルモード：送受信を行っていない状態です。
- 受信モード：他のノードが送信した CAN メッセージを受信しています。
- 送信モード：CAN メッセージを送信しています。セルフテストモード 0 (CTCR レジスタの TSTM1、TSTM0 ビットが 10b) またはセルフテストモード 1 (TSTM1、TSTM0 ビットが 11b) が選択されている場合、同時に自ノードが送信したメッセージを受信します。

図 24.13 に CAN オペレーションモードのサブモードを示します。

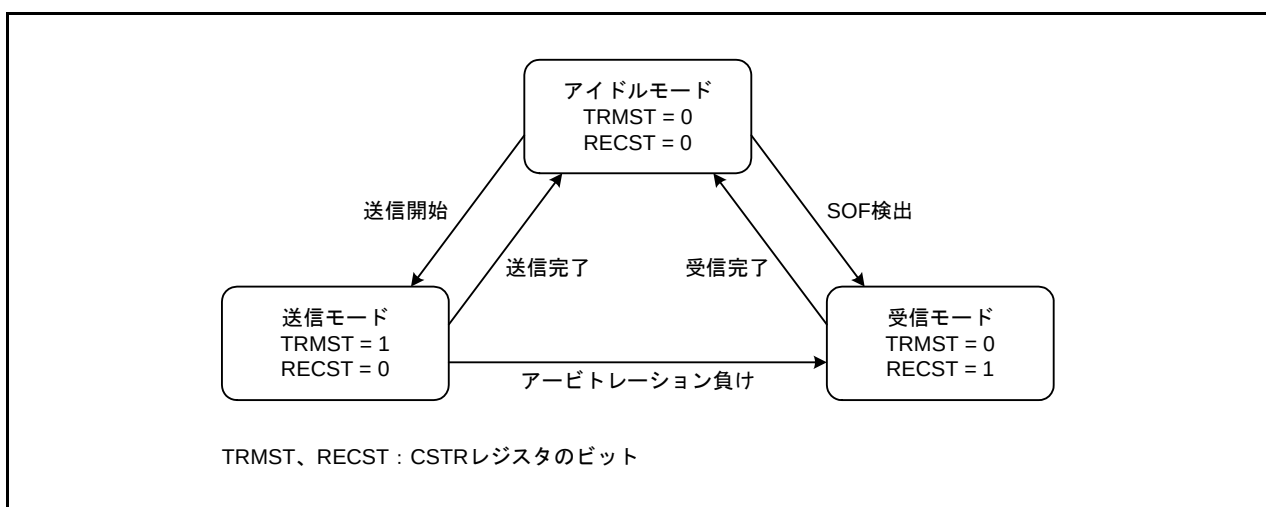


図 24.13 CAN オペレーションモードのサブモード

24.3.5 CAN オペレーションモード(バスオフ状態)

CAN仕様の送信、受信エラーカウンタの増減ルールに従って、バスオフ状態に遷移します。

バスオフ状態から復帰するには次の場合があります。なお、バスオフ状態のとき、CSTR、CEIFR、CRECR、CTECRおよびCTSR レジスタを除く関連レジスタの値は変化しません。

- (1) CCTLR レジスタのBOM1、BOM0 ビットが00b の場合(ノーマルモード)
バスオフ状態からの復帰完了後、エラーアクティブ状態に遷移し、CAN通信ができるようになります。このとき、CEIFR レジスタのBORIF ビットが1 (バスオフ復帰検出) になります。
- (2) CCTLR レジスタのRBOC ビットを1にしたとき(バスオフからの強制復帰)
バスオフ状態になり、RBOC ビットが1になると、エラーアクティブ状態に遷移し、11の連続するレセンプビットを検出した後、再びCAN通信ができるようになります。このとき、BORIF ビットは1になりません。
- (3) BOM1、BOM0 ビットが01b の場合(バスオフ開始で自動的にCAN Halt モードへ遷移)
バスオフ状態に達するとCAN Halt モードになります。このとき、BORIF ビットは1になりません。
- (4) BOM1、BOM0 ビットが10b の場合(バスオフ終了で自動的にCAN Halt モードへ遷移)
バスオフからの復帰が完了するとCAN Halt モードになります。このとき、BORIF ビットは1になります。
- (5) BOM1、BOM0 ビットが11b の場合(プログラムによりCAN Halt モードへ遷移)にバスオフ状態でCCTLR レジスタのCANM1、CANM0 ビットを10bにしたとき(CAN Halt モード)
バスオフ状態時にCANM1、CANM0 ビットが10b (CAN Halt モード)に設定されると、CAN Halt モードになります。このとき、BORIF ビットは1になりません。
バスオフ中にCANM1、CANM0 ビットが10bに設定されないときは、(1)と同じ動作になります。

24.4 CAN通信速度の設定

CAN通信速度の設定について、以下に説明します。

24.4.1 CANクロックの設定

本グループでは、CAN クロック選択回路があります。CAN クロックは、PCLKR1 レジスタの PCLK10 ~ PCLK12 ビット、CCLKR レジスタの CCLKS ビット、および CBCR レジスタの BRP0 ~ BRP9 ビットで設定できます。

図 24.14 に CAN クロック発生回路ブロック図を示します。

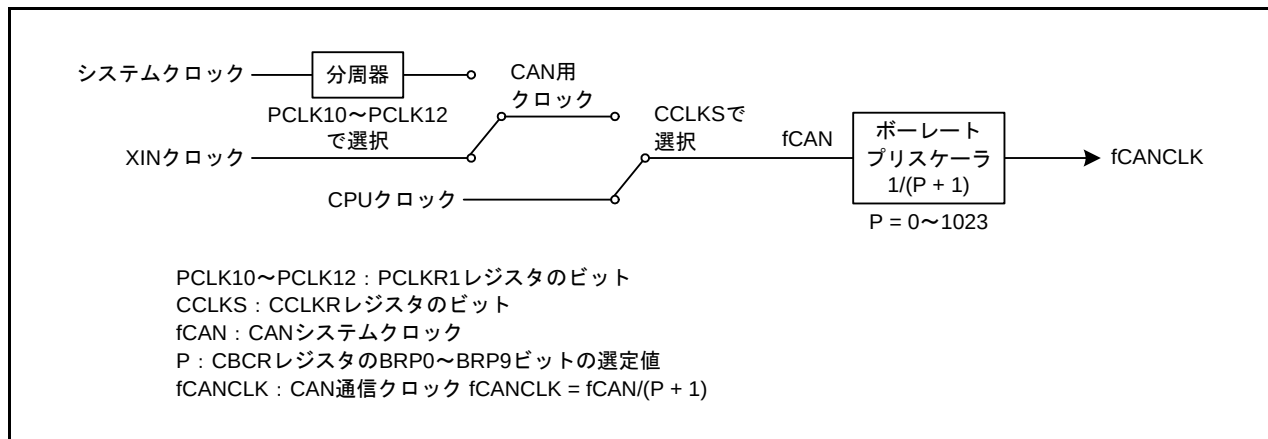


図 24.14 CAN クロック発生回路ブロック図

24.4.2 ビットタイミングの設定

ビットタイムは、送信または受信するメッセージの 1 ビットの時間であり、次の 3 つのセグメントで構成されます。

図 24.15 にビットタイミング図を示します。

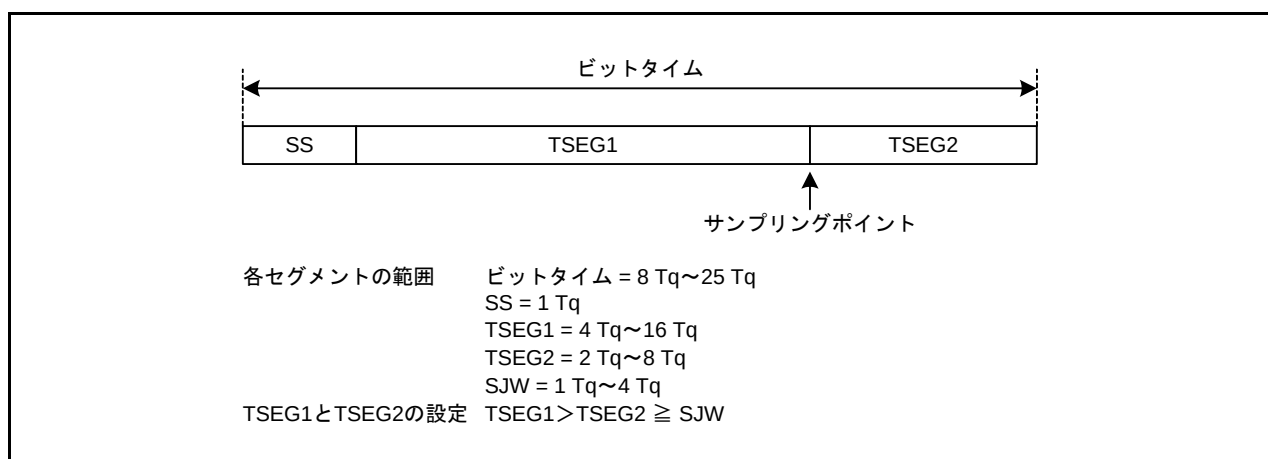


図 24.15 ビットタイミング図

24.4.3 ビットレート

ビットレートは、fCAN (CAN システムクロック)、ボーレートプリスケアラ分周値、および1ビットタイムのTqの数に依存します。

$$\text{ビットレート [bps]} = \frac{f_{\text{CAN}}}{\text{ボーレートプリスケアラ分周値(注1)} \times 1 \text{ ビットタイムの } Tq \text{ の数}} = \frac{f_{\text{CANCLK}}}{1 \text{ ビットタイムの } Tq \text{ の数}}$$

注1. ボーレートプリスケアラ分周値 = P + 1 (P = 0 ~ 1023)

P : CBCR レジスタの BRP0 ~ BRP9 ビットの設定値

表24.12にビットレートの例を示します。

表24.12 ビットレートの例

fCAN	32MHz		24MHz		20MHz		16MHz		8MHz	
ビットレート	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1
1Mbps	8Tq	4	8Tq	3	10Tq	2	8Tq	2	8Tq	1
	16Tq	2	—	—	20Tq	1	16Tq	1	—	—
500kbps	8Tq	8	8Tq	6	10Tq	4	8Tq	4	8Tq	2
	16Tq	4	16Tq	3	20Tq	2	16Tq	2	16Tq	1
250kbps	8Tq	16	8Tq	12	10Tq	8	8Tq	8	8Tq	4
	16Tq	8	16Tq	6	20Tq	4	16Tq	4	16Tq	2
83.3kbps	8Tq	48	8Tq	36	8Tq	30	8Tq	24	8Tq	12
	16Tq	24	16Tq	18	10Tq	24	16Tq	12	16Tq	6
	—	—	—	—	16Tq	15	—	—	—	—
	—	—	—	—	20Tq	12	—	—	—	—
33.3kbps	8Tq	120	8Tq	90	8Tq	75	8Tq	60	8Tq	30
	10Tq	96	10Tq	72	10Tq	60	10Tq	48	10Tq	24
	16Tq	60	16Tq	45	20Tq	30	16Tq	30	16Tq	15
	20Tq	48	20Tq	36	—	—	20Tq	24	20Tq	12

24.5 メールボックスとマスクレジスタの構成

同じ構成の16個のメールボックスがあります。

図24.16にCMBjレジスタの構成(j = 0～15)を示します。

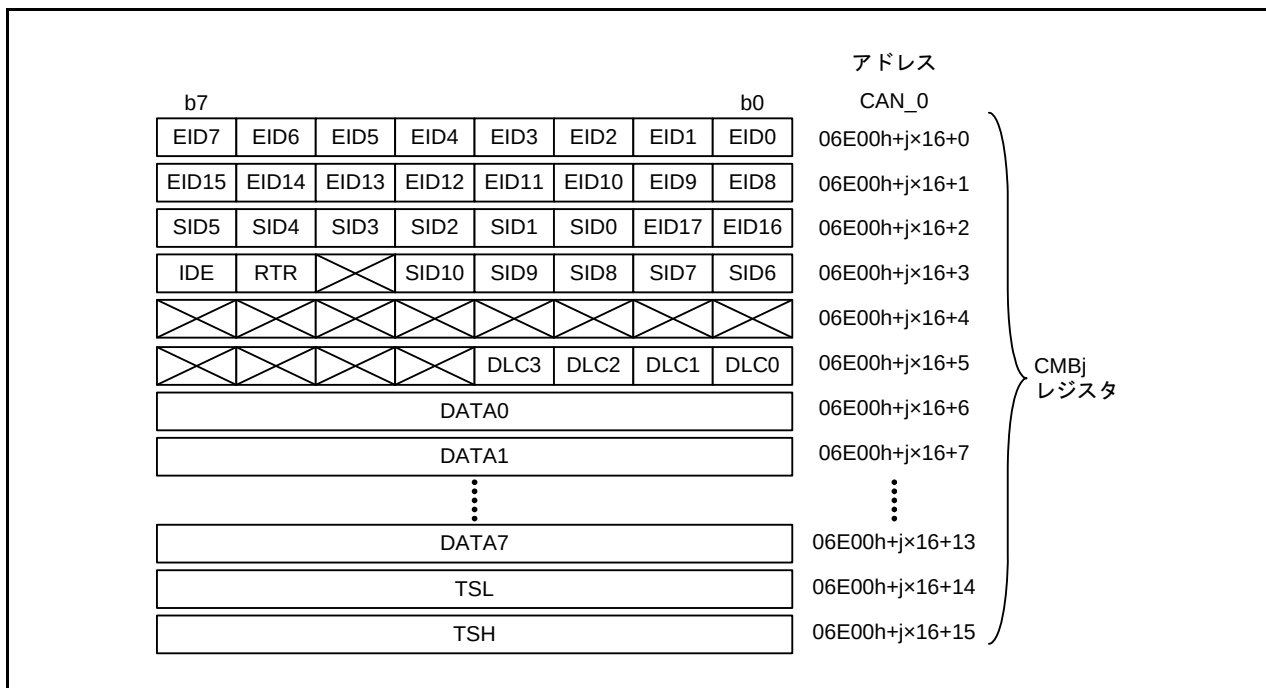


図24.16 CMBjレジスタの構成(j = 0～15)

同じ構成の4個のマスクレジスタがあります。

図24.17にCMKRkレジスタの構成(k = 0～3)を示します。

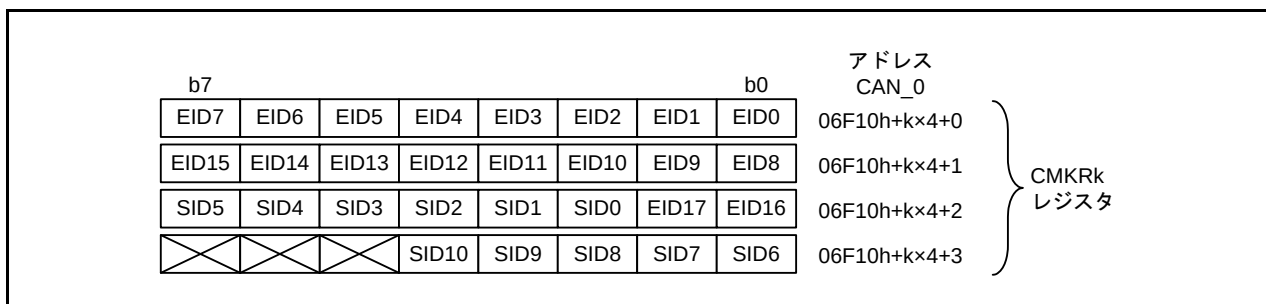


図24.17 CMKRkレジスタの構成(k = 0～3)

同じ構成の2個のFIFO受信ID比較レジスタがあります。

図24.18にCFIDCRnレジスタの構成(n = 0、1)を示します。

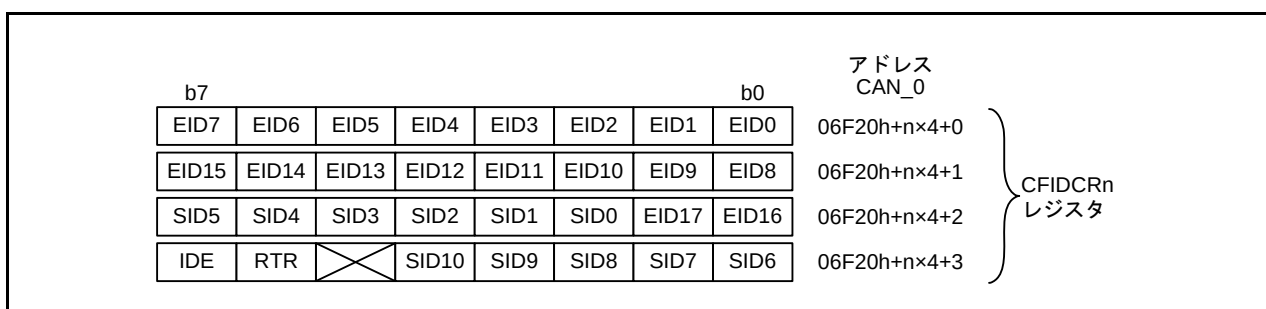


図24.18 CFIDCRnレジスタの構成(n = 0、1)

24.6 アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタは、メールボックスに対して一定範囲の複数IDのメッセージ受信を許可します。

CMKR0～CMKR3レジスタは標準IDと29ビットの拡張IDのマスクができます。

- CMKR0 レジスタは、メールボックス[0]～[3]に対応
- CMKR1 レジスタは、メールボックス[4]～[7]に対応
- CMKR2 レジスタは、通常メールボックスモードではメールボックス[8]～[11]に対応。FIFO メールボックスモードの受信FIFOでは[12]～[15]に対応。
- CMKR3 レジスタは、通常メールボックスモードの場合はメールボックス[12]～[15]、FIFO メールボックスモードの場合は受信FIFO メールボックス[12]～[15]に対応

CMKIVLR レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ機能を禁止します。

CMBj レジスタ(j = 0～15)のIDE ビットは、CCTLR レジスタのIDFM1、IDFM0 ビットが10b (ミックスIDモード)のとき、有効です。

CMBj レジスタのRTR ビットはデータフレームまたはリモートフレームを選択します。

FIFO メールボックスモードでは、通常メールボックス(メールボックス[0]～[7])は、CMKR0、CMKR1 レジスタの中から対応する1つを使用してアクセプタンスフィルタ処理しますが、受信FIFO メールボックス(メールボックス[12]～[15])は、CMKR2、CMKR3 レジスタの2つを使用してアクセプタンスフィルタ処理を行います。

また、受信FIFOはCFIDCR0、CFIDCR1 レジスタの2つを使用して、IDの比較を行います。受信FIFOのCMB12～CMB15 レジスタのEID、SID、RTR、IDE ビットは無効になります。それぞれ2つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信FIFOでは2つの範囲のIDを受信することができます。

CMKIVLR レジスタは、受信FIFOに対しては無効です。

標準IDと拡張IDの両方がそれぞれCFIDCR0、CFIDCR1 レジスタのIDE ビットに設定された場合、両方のIDフォーマットが受信されます。

データフレームとリモートフレームの両方がそれぞれCFIDCR0、CFIDCR1 レジスタのRTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2つの範囲のIDの組み合わせを必要としない場合は、FIFO IDとマスクレジスタの両方に同じマスク値と同じIDを設定してください。

図24.19にマスクレジスタとメールボックスの対応を、図24.20にアクセプタンスフィルタ機能(j = 0～15、k = 0～3)を示します。

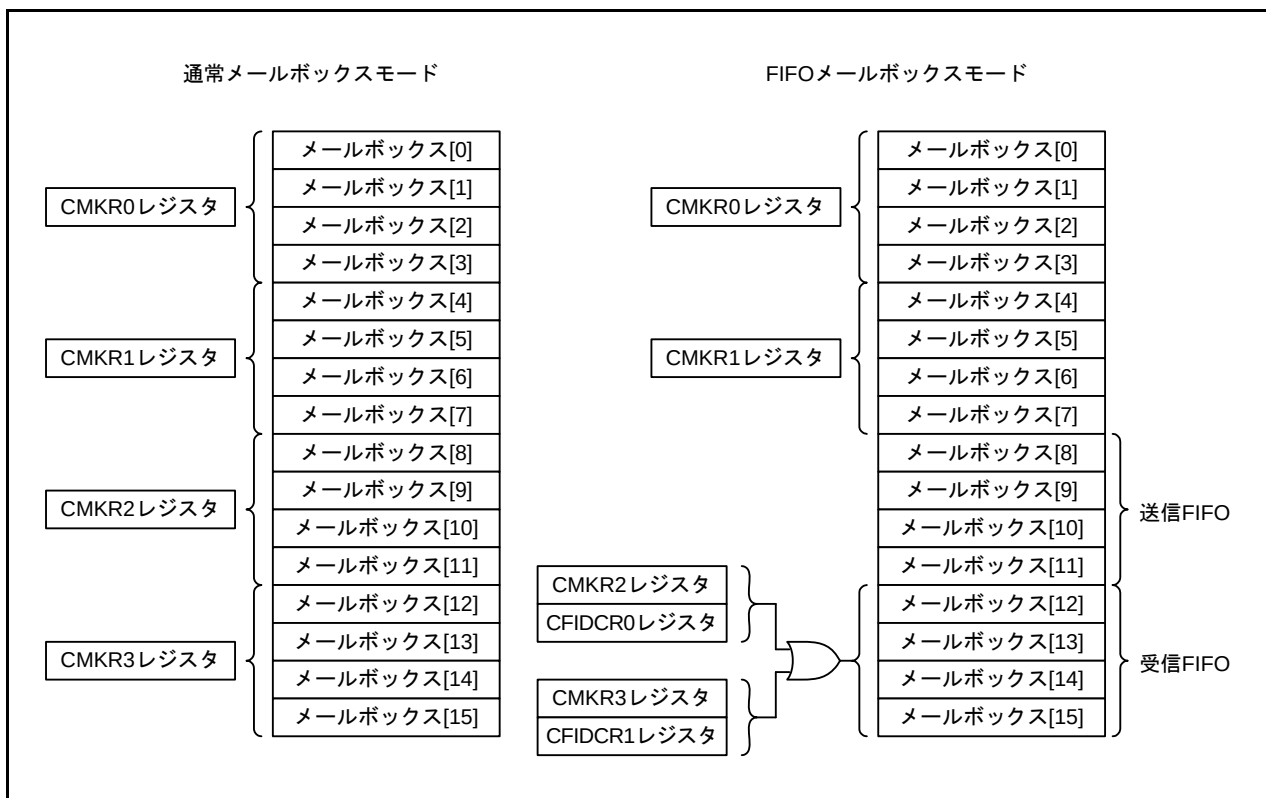


図 24.19 マスクレジスタとメールボックスの対応

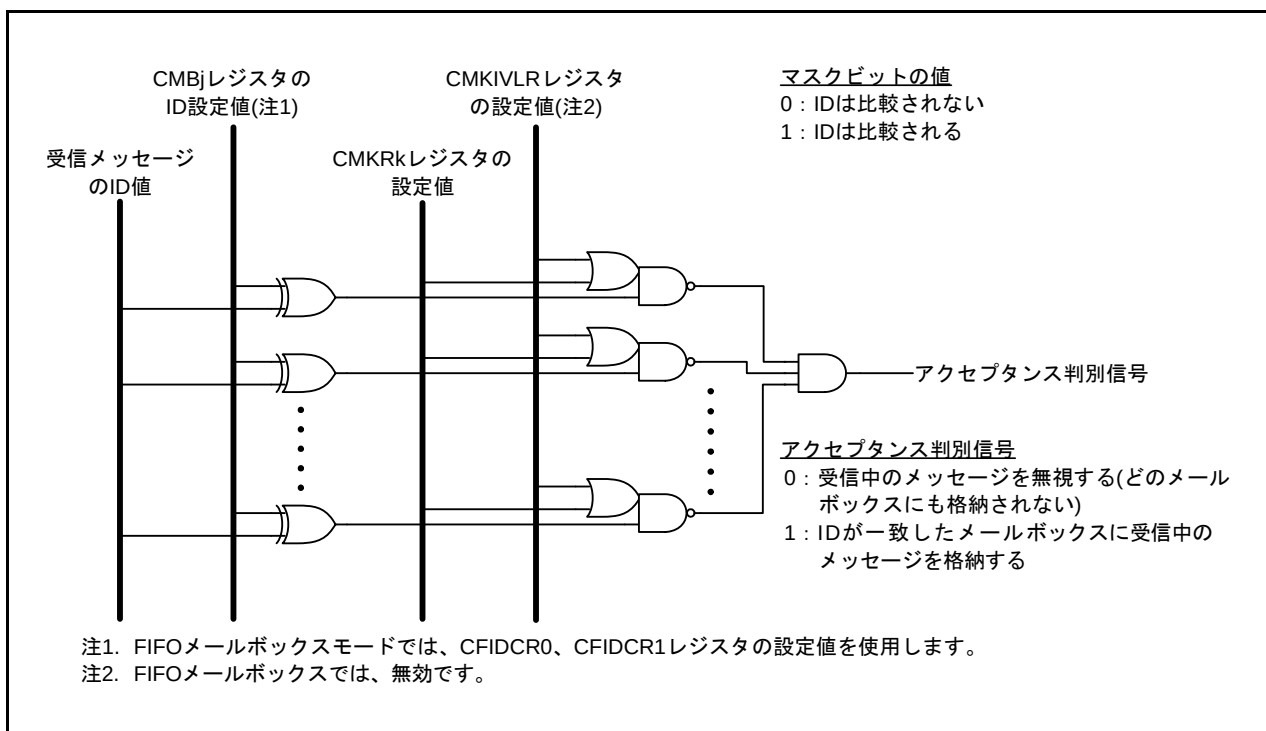


図 24.20 アクセプタンスフィルタ機能(j = 0~15、k = 0~3)

24.7 受信、送信

表 24.13 に CAN 受信モードと CAN 送信モードの設定方法を示します。

表 24.13 CAN 受信モードと CAN 送信モードの設定方法

TRMREQ	RECREQ	ONESHOT	メールボックスの通信モード
0	0	0	メールボックス使用不可、または送信アボート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送信が受信がアボートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレームの受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレームのワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレームの送信メールボックスとして設定
1	0	1	データフレームまたはリモートフレームのワンショット送信メールボックスとして設定
1	1	0	設定しないでください
1	1	1	設定しないでください

TRMREQ、RECREQ、ONESHOT : CMCTLj レジスタのビット (j = 0 ~ 15)

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定するときは、次の点に注意してください。

- (1) メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する前に、CMCTLj レジスタ (j = 0 ~ 15) を 00h にしてください。
- (2) 受信メッセージは、受信のモード設定とアクセプタンスフィルタ処理の結果に従って、条件に一致した最初のメールボックスに格納されます。受信されたメッセージを格納するメールボックスは、メールボックスの番号の小さいほうが優先順位がより高くなります。
- (3) CAN オペレーションモードで、受信メッセージに設定したメールボックスの ID/マスクセットに一致するメッセージを送信した場合、CAN モジュールは送信データを受信しません。しかしセルフテストモードでは、CAN モジュールは送信データを受信します。この場合、CAN モジュールは ACK を返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定するときは、次の点に注意してください。

- (1) メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する前に、CMCTLj レジスタを 00h にして、さらに、アボート処理中でないことを確認してください。

24.7.1 受信

図 24.21 にデータフレーム受信時の動作例(オーバーライトモードの場合)($j = 0 \sim 15$)を示します。

この例は、CMCTL0 レジスタの受信条件に一致する2つの連続したCANメッセージを受信する際、最初のメッセージを上書きする場合の動作です。

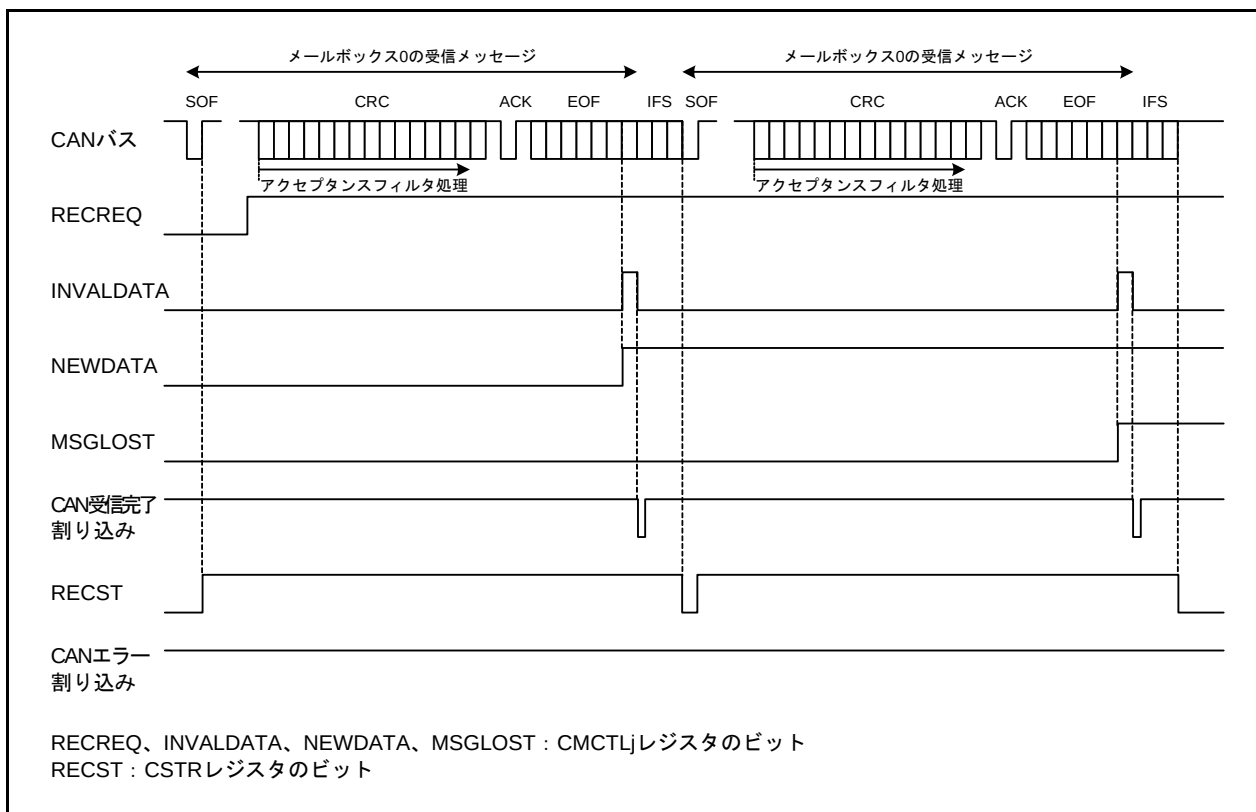


図 24.21 データフレーム受信時の動作例(オーバーライトモードの場合)($j = 0 \sim 15$)

- (1) CAN バス上で SOF を検知すると、CAN モジュールに送信開始するメッセージがない場合、CSTR レジスタの RECST ビットが 1 (受信中) になります。
- (2) 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
- (3) メッセージの受信を完了すると、受信メールボックスの CMCTLj レジスタ ($j = 0 \sim 15$) の NEWDATA ビットが 1 (新しいメッセージを更新中、またはメールボックスに格納された) になります。同時に CMCTLj レジスタの INVALIDDATA ビットが 1 (メッセージを更新中) になり、そのメールボックスにメッセージ全体が転送された後、INVALIDDATA ビットは 0 (メッセージは有効) に戻ります。
- (4) 受信メールボックスの CMIER レジスタの割り込み許可ビットが 1 (割り込み許可) の場合、CAN 受信完了割り込み要求が発生します。INVALIDDATA ビットが 0 になると、この割り込み (CAN 受信完了割り込み) が発生します。
- (5) メールボックスからメッセージを読み出した後、NEWDATA ビットをプログラムで 0 にする必要があります。
- (6) オーバライトモードでは、NEWDATA ビットがまだ 1 に設定されているメールボックスに次の CAN メッセージの受信が完了すると、CMCTLj レジスタの MSGLOST ビットが 1 (メッセージはオーバーライトされた) になります。新しく受信したメッセージはメールボックスに転送されます。CAN 受信完了割り込み要求は、(4) と同様に変化します。

図 24.22 にデータフレーム受信時の動作例(オーバランモードの場合)($j = 0 \sim 15$)を示します。

この例は、CMCTL0 レジスタの受信条件に一致する2つの連続したCANメッセージを受信する際、2つ目のメッセージを破棄する場合の動作です。

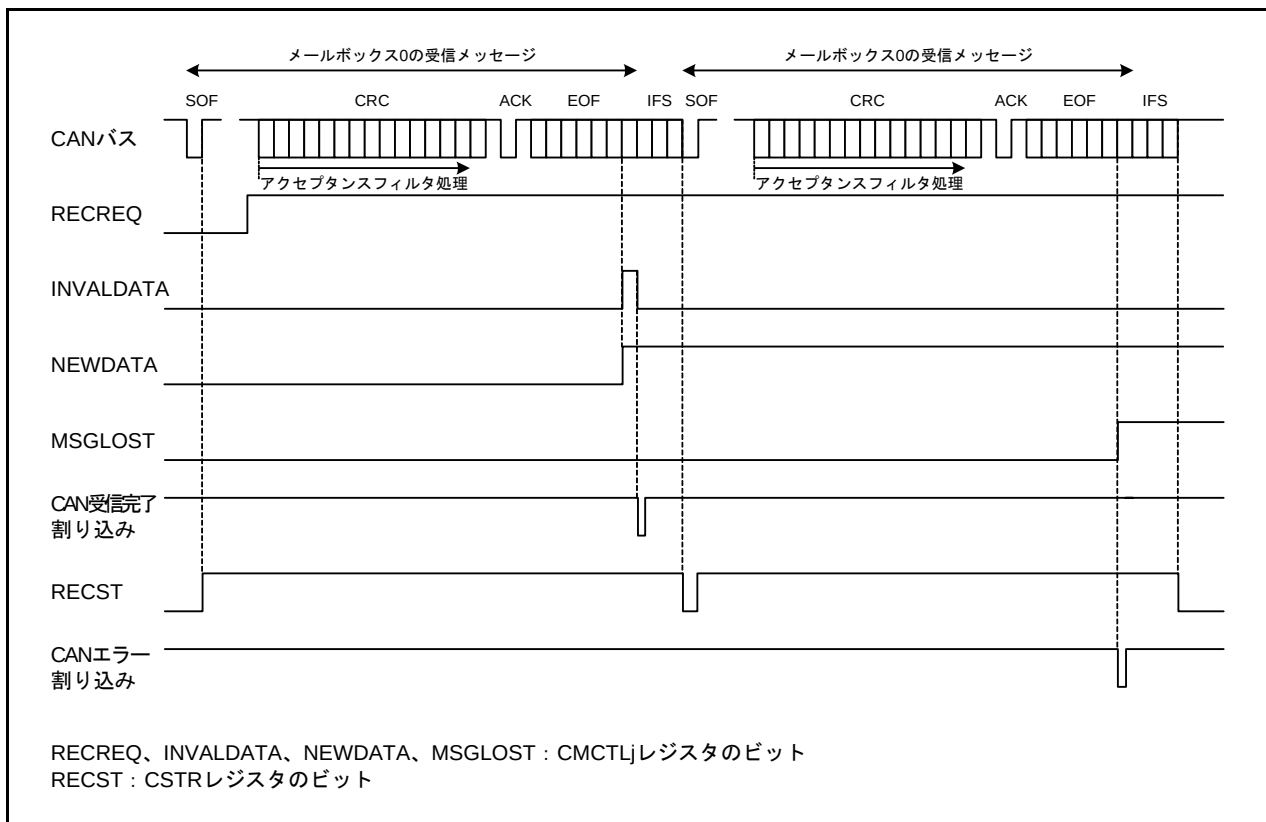


図 24.22 データフレーム受信時の動作例(オーバランモードの場合)($j = 0 \sim 15$)

(1)～(5)はオーバライトモードと同じです。

(6) オーバランモードでは、NEWDATA ビットが0に設定される前に、次のCANメッセージの受信が完了すると、CMCTLj レジスタ($j = 0 \sim 15$)のMSGLOSTビットが1(メッセージはオーバランされた)になります。新しく受信したメッセージは破棄され、CEIERレジスタの対応する割り込み許可ビットが1(割り込み許可)の場合、CANエラー割り込み要求が発生します。

24.7.2 送信

図 24.23 にデータフレーム送信時の動作例 ($j = 0 \sim 15$) を示します。

この例は、CMCTL0、CMCTL1 レジスタへ設定したメッセージを送信する場合の動作です。

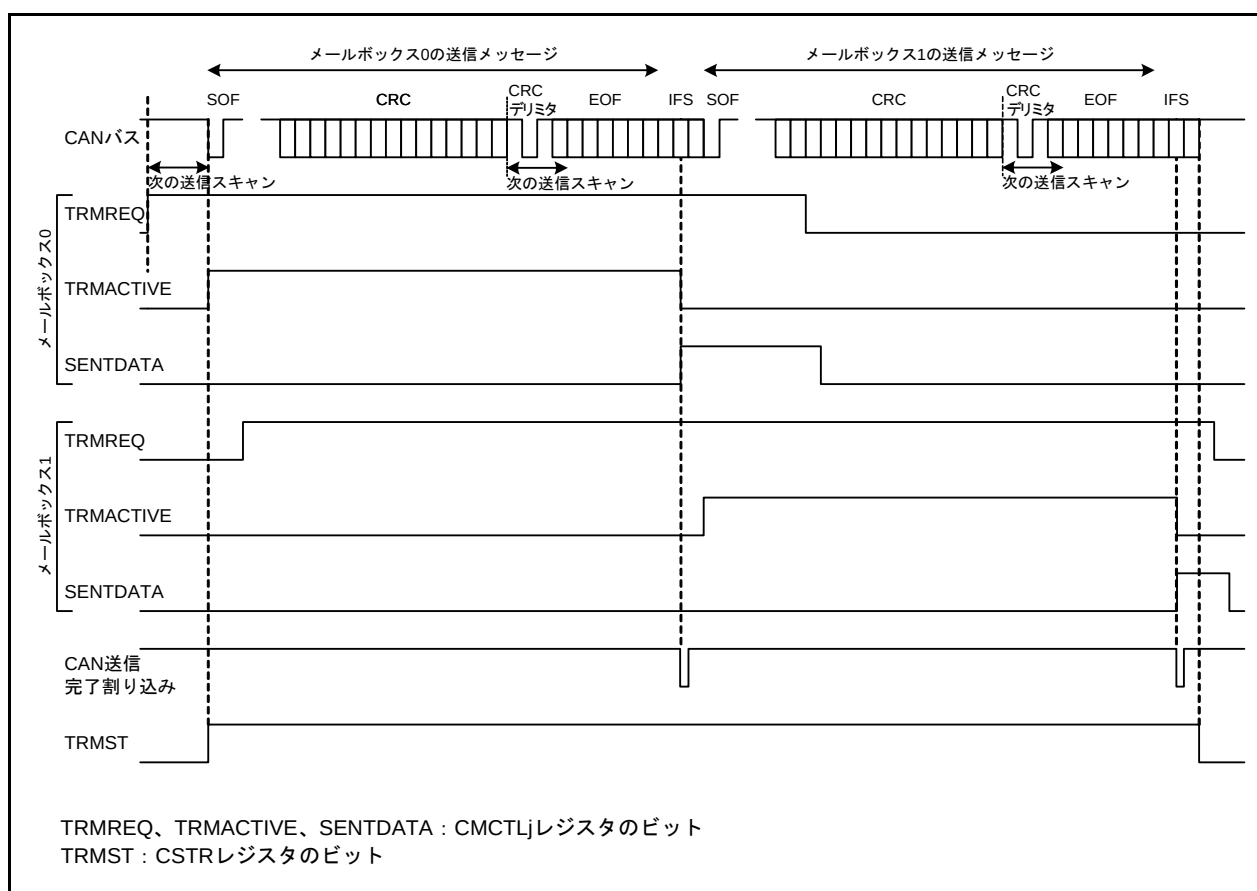


図 24.23 データフレーム送信時の動作例 ($j = 0 \sim 15$)

- (1) バスアイドル状態で、CMCTLj レジスタ ($j = 0 \sim 15$) の TRMREQ ビットを 1 (送信メールボックス) にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャン処理が開始されます。送信メールボックスが決定すると、CMCTLj レジスタの TRMACTIVE ビットが 1 (送信要求の取り込みから、送信完了、エラー発生またはアービトレーションロスト発生まで)、CSTR レジスタの TRMST ビットが 1 (送信中) になり、CAN モジュールは送信を開始します (注1)。
- (2) 他の TRMREQ ビットが設定されている場合は、CRC デリミタから次の送信のための送信スキャン処理を開始します。
- (3) アービトレーション負けが発生せずに送信が完了すると、CMCTLj レジスタの SENTDATA ビットが 1 (送信完了) に、TRMACTIVE ビットが 0 (送信待機中、または送信要求なし) になります。そして、CMIER レジスタの割り込み許可ビットが 1 (割り込み許可) の場合は、CAN 送信完了割り込み要求が発生します。
- (4) 同一のメールボックスから次の送信を要求する場合は、SENTDATA ビットと TRMREQ ビットを 0 にして、SENTDATA ビットと TRMREQ ビットが 0 になるのを確認した後、TRMREQ ビットを 1 にしてください。

注1. CAN モジュールが送信開始した後でアービトレーション負けをした場合、TRMACTIVE ビットは 0 になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャン処理が行われます。送信中またはアービトレーション負けに続いてエラーが発生すると、エラーデリミタの始めから、最も優先順位の高い送信のメールボックスを検索するために、再び送信スキャン処理が行われます。

24.8 CAN 割り込み

次の6種類の割り込み要求を発生させることができます。各割り込みは、CAN 割り込みステータスレジスタによって割り込み要因を判別することができます。

- CAN 受信完了割り込み
- CAN 送信完了割り込み
- CAN 受信FIFO割り込み
- CAN 送信FIFO割り込み
- CAN エラー割り込み
- CAN ウェイクアップ割り込み

各割り込み要因は、以下の要因ごとにまとめられ周辺機能割り込み要因になります。

- (1) CAN 受信完了割り込みと CAN 受信FIFO割り込みは、周辺機能割り込みのCAN 受信割り込みとなります。
- (2) CAN 送信完了割り込みと CAN 送信FIFO割り込みは、周辺機能割り込みのCAN 送信割り込みとなります。
- (3) CAN エラー割り込みと CAN ウェイクアップ割り込みは、周辺機能割り込みのCAN エラー割り込みとなります。

割り込み発生後、先にCANISR レジスタのERR ビットおよびWKUP ビットにてCAN エラー割り込みかCAN ウェイクアップ割り込みかを判別してください。

CAN エラー割り込みには、8つの割り込み要因があります。これらの要因は、CEIFR レジスタをチェックすることで確認できます。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバラン
- オーバロードフレーム送信
- バスロック

25. A/D コンバータ

容量結合増幅器で構成された、10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力はAN0～AN11端子で、P0_0～P0_7、P1_0～P1_3と端子を共用しています。

25.1 概要

表25.1にA/Dコンバータの性能を、図25.1にA/Dコンバータのブロック図を示します。

表25.1 A/Dコンバータの性能

項目	性能
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0 V～AVCC
動作クロック ϕ AD(注2)	fAD、fADの2分周、fADの4分周、fADの8分周 (fAD = f1またはfHOCO-F)
分解能	8ビットまたは10ビット選択可能
絶対精度	AVCC = Vref = 5 V、 ϕ AD = 20 MHzのとき • 分解能8ビットの場合 ± 2 LSB • 分解能10ビットの場合 ± 3 LSB AVCC = Vref = 3.0 V、 ϕ AD = 10 MHzのとき • 分解能8ビットの場合 ± 2 LSB • 分解能10ビットの場合 ± 5 LSB
動作モード	単発モード、繰り返しモード0、繰り返しモード1、単掃引モード、繰り返し掃引モード
アナログ入力端子	12本(AN0～AN11)
A/D変換開始条件	• ソフトウェアトリガ • タイマRD • タイマRC • イベントリンクコントローラ(ELC)からのイベント入力トリガ (「25.3.3 A/D変換開始条件」参照)
1端子あたりの変換速度(注3) (ϕ AD = fADのとき)	最短44 ϕ ADサイクル

注1. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

注2. 動作クロック ϕ ADは「表30.5 A/Dコンバータの特性」を参照してください。

注3. 分解能8ビット、10ビットともに1端子あたりの変換速度は最短44 ϕ ADサイクルになります。

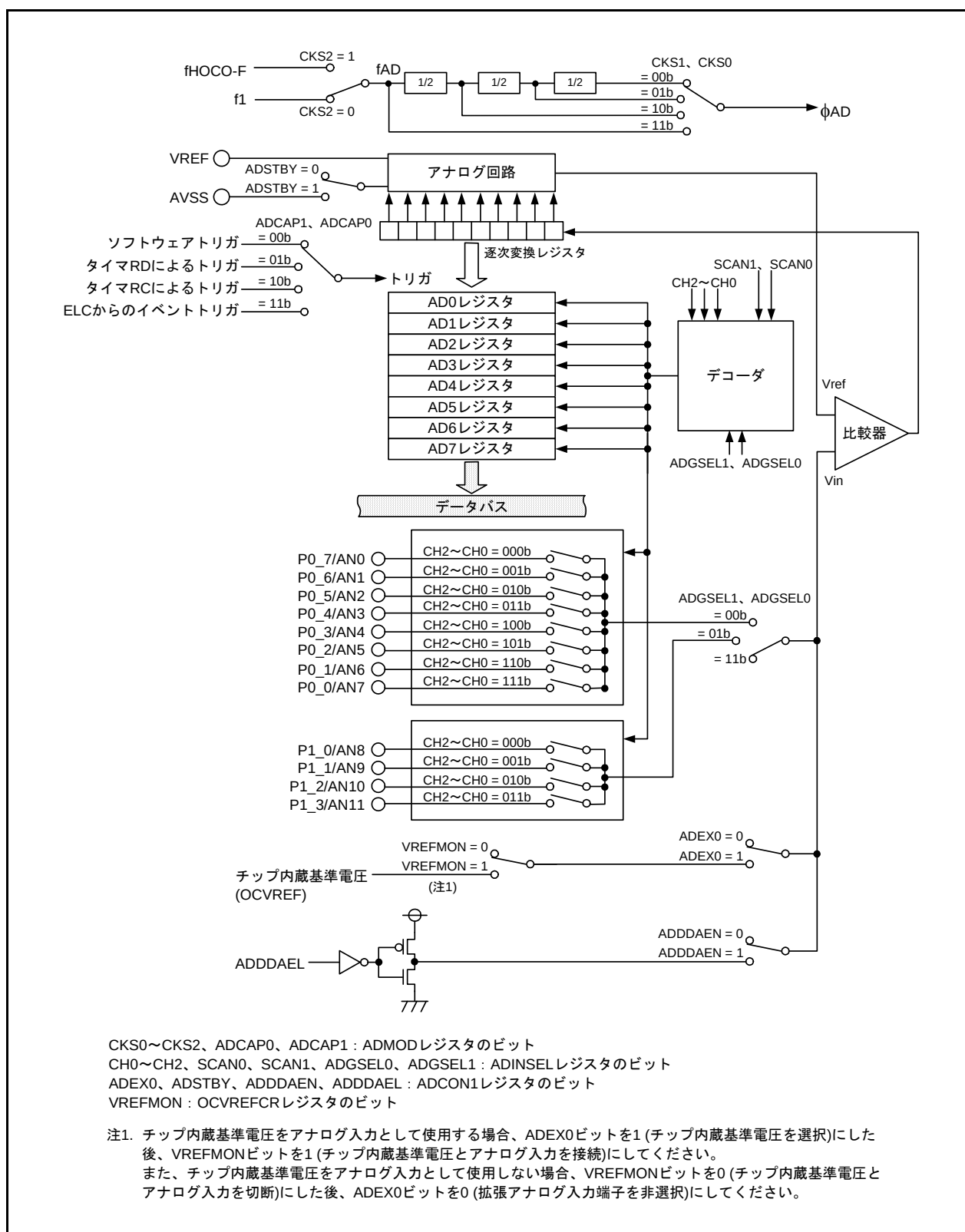


図 25.1 A/Dコンバータのブロック図

表 25.2 A/D コンバータの端子構成

端子名	入出力	機能
AVCC	入力	アナログ部の電源入力
AVSS	入力	アナログ部のグラウンド入力
AN0	入力	ポート P0 グループのアナログ入力
AN1	入力	
AN2	入力	
AN3	入力	
AN4	入力	
AN5	入力	
AN6	入力	
AN7	入力	
AN8	入力	ポート P1 グループのアナログ入力
AN9	入力	
AN10	入力	
AN11	入力	

25.2 レジスタの説明

表 25.3 に A/D コンバータのレジスタ構成を示します。

表 25.3 A/D コンバータのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
チップ内蔵基準電圧制御レジスタ	OCVREFCR	00h	00032h	8
A/D レジスタ 0	AD0	00h	00200h	8 または 16 (注 1)
		00h	00201h	
A/D レジスタ 1	AD1	00h	00202h	8 または 16 (注 1)
		00h	00203h	
A/D レジスタ 2	AD2	00h	00204h	8 または 16 (注 1)
		00h	00205h	
A/D レジスタ 3	AD3	00h	00206h	8 または 16 (注 1)
		00h	00207h	
A/D レジスタ 4	AD4	00h	00208h	8 または 16 (注 1)
		00h	00209h	
A/D レジスタ 5	AD5	00h	0020Ah	8 または 16 (注 1)
		00h	0020Bh	
A/D レジスタ 6	AD6	00h	0020Ch	8 または 16 (注 1)
		00h	0020Dh	
A/D レジスタ 7	AD7	00h	0020Eh	8 または 16 (注 1)
		00h	0020Fh	
A/D モードレジスタ	ADM0D	00h	00214h	8
A/D 入力選択レジスタ	ADINSEL	11000000b	00215h	8
A/D 制御レジスタ 0	ADCON0	00h	00216h	8
A/D 制御レジスタ 1	ADCON1	00h	00217h	8

注 1. アクセス方法の詳細は、各レジスタの項の説明を参照してください。

25.2.1 チップ内蔵基準電圧制御レジスタ (OCVREFCR)

アドレス	00032h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	VREFMON
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VREFMON	チップ内蔵基準電圧—アナログ入力接続ビット (注 1)	0 : チップ内蔵基準電圧とアナログ入力を切断 1 : チップ内蔵基準電圧とアナログ入力を接続	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

注 1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADCON1 レジスタの ADEX0 ビットを 1 (チップ内蔵基準電圧を選択) にした後に、VREFMON ビットを 1 (チップ内蔵基準電圧とアナログ入力を接続) にしてください。

また、チップ内蔵基準電圧をアナログ入力として使用しない場合、VREFMON ビットを 0 (チップ内蔵基準電圧とアナログ入力を切断) にした後に、ADEX0 ビットを 0 (拡張アナログ入力端子を非選択) にしてください。

OCVREFCR レジスタは、PRCR レジスタの PRC3 ビットを 1 (書き込み許可) にした後で書き換えてください。

A/D 変換中に OCVREFCR レジスタの内容を書き換えた場合、変換結果は不定になります。

25.2.2 A/D レジスタ i (ADi) (i = 0 ~ 7)

アドレス 00200h (AD0)、00202h (AD1)、00204h (AD2)、00206h (AD3)、00208h (AD4)、0020Ah (AD5)、0020Ch (AD6)、0020Eh (AD7)

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル	—	—	—	—	—	—	AD9	AD8
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	機能		R/W	
		10ビットモードの場合 (ADCON1レジスタのBITSビット=1)	8ビットモードの場合 (ADCON1レジスタのBITSビット=0)		
b0	AD0	A/D変換結果の下位8ビット	A/D変換結果	R	
b1	AD1			R	
b2	AD2			R	
b3	AD3			R	
b4	AD4			R	
b5	AD5			R	
b6	AD6			R	
b7	AD7			R	
b8	AD8	A/D変換結果の上位2ビット	読んだ場合、その値は0。	R	
b9	AD9			R	
b10	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—	
b11	—				
b12	—				
b13	—				
b14	—				
b15	—				

A/D 変換中に ADCON1、ADMOD、ADINSEL、OCVREFCR レジスタのいずれかの内容を書き換えた場合、変換結果は不定になります。

10 ビットモードかつ繰り返しモード 0、繰り返しモード 1、繰り返し掃引モードで使用する場合、ADi レジスタは 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

25.2.3 A/D モードレジスタ (ADMOD)

アドレス	00214h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADCAP1	ADCAP0	MD2	MD1	MD0	CKS2	CKS1	CKS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKS0	分周選択ビット	b1 b0 0 0 : fAD の 8 分周	R/W
b1	CKS1		0 1 : fAD の 4 分周	R/W
			1 0 : fAD の 2 分周 1 1 : fAD の 1 分周 (分周なし)	
b2	CKS2	クロック源選択ビット (注1)	0 : f1 を選択 1 : fHOCO-F を選択	R/W
b3	MD0	A/D 動作モード選択ビット (注2)	b5 b4 b3 0 0 0 : 単発モード	R/W
b4	MD1		0 0 1 : 設定しないでください	R/W
b5	MD2		0 1 0 : 繰り返しモード0 0 1 1 : 繰り返しモード1 1 0 0 : 単掃引モード 1 0 1 : 設定しないでください 1 1 0 : 繰り返し掃引モード 1 1 1 : 設定しないでください	R/W
b6	ADCAP0	A/D 変換トリガ選択ビット	b7 b6 0 0 : ソフトウェアトリガ (ADCON0 レジスタの ADST ビット) による A/D 変換開始	R/W
b7	ADCAP1		0 1 : タイマ RD からの変換トリガによる A/D 変換 開始 1 0 : タイマ RC からの変換トリガによる A/D 変換 開始 1 1 : ELC からのイベント入力トリガによる A/D 変換開始	R/W

注1. クロック源を切り替えるときは、A/D 変換停止後、切り替えてください。また、CKS2 ビットを変更したときは、fHOCO-F クロックの2サイクル以上経過した後に、A/D 変換を開始してください。

注2. 単掃引モード、繰り返し掃引モードで A/D 変換を実行するときは、ADINSEL レジスタの CH2 ~ CH0 ビットを 000b にしてください。

A/D 変換中に ADMOD レジスタの内容を書き換えた場合、変換結果は不定になります。

CKS2 ビット (クロック源選択ビット)

A/D コンバータで使用する fAD クロックを選択します。

25.2.4 A/D 入力選択レジスタ (ADINSEL)

アドレス	00215h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADGSEL1	ADGSEL0	SCAN1	SCAN0	—	CH2	CH1	CH0
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CH0	アナログ入力端子選択ビット (注1)	「表 25.4 アナログ入力端子選択」参照	R/W
b1	CH1			R/W
b2	CH2			R/W
b3	—	予約ビット	書く場合、0を書いてください。読んだ場合、その値は0。	R/W
b4	SCAN0	A/D 掃引端子数選択ビット	b5 b4 0 0 : 2 端子 0 1 : 4 端子 1 0 : 6 端子 1 1 : 8 端子	R/W
b5	SCAN1			R/W
b6	ADGSEL0	A/D 入力グループ選択ビット	b7 b6 0 0 : ポート P0 グループを選択 0 1 : ポート P1 グループを選択 1 0 : 設定しないでください 1 1 : ポートグループを非選択	R/W
b7	ADGSEL1			R/W

注1. 単掃引モード、繰り返し掃引モードで A/D 変換を実行するときは、ADINSEL レジスタの CH2 ～ CH0 ビットを 000b にしてください。

A/D 変換中に ADINSEL レジスタの内容を書き換えた場合、変換結果は不定になります。

表 25.4 アナログ入力端子選択

CH2 ～ CH0 ビット	ADGSEL1、ADGSEL0 ビット = 00b	ADGSEL1、ADGSEL0 ビット = 01b
000b	AN0	AN8
001b	AN1	AN9
010b	AN2	AN10
011b	AN3	AN11
100b	AN4	設定しないでください
101b	AN5	
110b	AN6	
111b	AN7	

25.2.5 A/D 制御レジスタ 0 (ADCON0)

アドレス	00216h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	—	—	ADST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADST	A/D 変換開始フラグ	0 : A/D 変換停止 1 : A/D 変換開始	R/W
b1	—	何も配置されていない。書く場合、0 を書いてください。読んだ場合、その値は0。		—
b2	—			
b3	—			
b4	—			
b5	—			
b6	—			
b7	—			

ADST ビット (A/D 変換開始フラグ)

【1になる条件】 A/D 変換開始時および A/D 変換中

【0になる条件】 単発モードまたは単掃引モードかつソフトウェアトリガで A/D 変換開始した場合の A/D 変換終了時

ADST ビットは次のように動作します。

- 単発モードかつソフトウェアトリガで A/D 変換開始した場合、A/D 変換終了時に ADST ビットは 0 になります。
- 単掃引モードかつソフトウェアトリガで A/D 変換開始した場合、A/D 変換終了時に ADST は 0 になります。
- プログラムで 1 を書いた場合、開始処理時間(「表 25.5 各 A/D 変換項目のサイクル数」参照)後に 1 (A/D 変換開始) になるため、1 を書き込み後すぐに読み出すと、0 (A/D 変換停止) が読めることがあります(図 25.2 参照)。
- A/D 変換中に ADST ビットを 0 にして強制停止し、次に ADST ビットに 1 を書く場合、終了処理時間確保のために ϕ_{AD} の 2 クロック以上の間隔をあけてください。

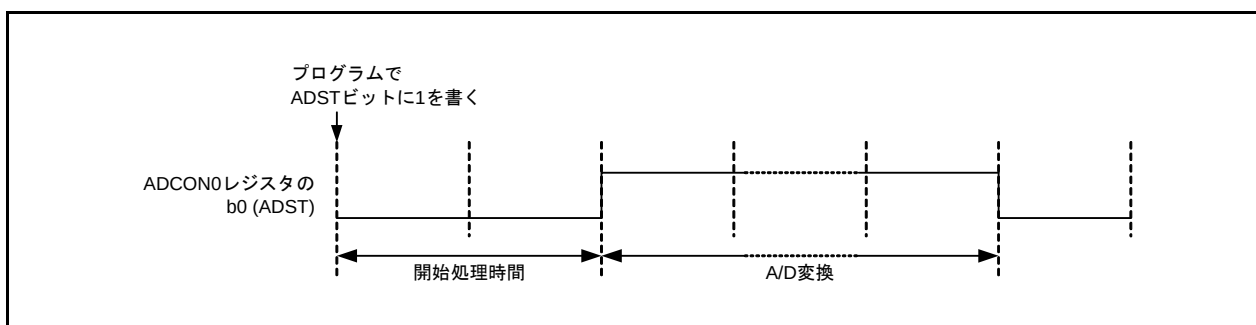


図 25.2 ADST ビットの動作

25.2.6 A/D制御レジスタ1 (ADCON1)

アドレス	00217h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	ADDDAEL	ADDDAEN	ADSTBY	BITS	—	—	—	ADEX0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADEX0	拡張アナログ入力端子選択ビット (注1)	0: 拡張アナログ入力端子を非選択 1: チップ内蔵基準電圧を選択(注2、3、4)	R/W
b1	—	予約ビット	0にしてください	R/W
b2	—			
b3	—			
b4	BITS	8/10ビットモード選択ビット	0: 8ビットモード 1: 10ビットモード	R/W
b5	ADSTBY	A/Dスタンバイビット (注5)	0: A/D動作停止(スタンバイ)(注8) 1: A/D動作可能	R/W
b6	ADDDAEN	A/D断線検出アシスト機能許可 ビット(注4、6、7)	0: 禁止 1: 許可	R/W
b7	ADDDAEL	A/D断線検出アシスト方式選択 ビット(注6、7)	0: 変換前ディスチャージ 1: 変換前プリチャージ	R/W

- 注1. チップ内蔵基準電圧をアナログ入力として使用する場合、ADEX0ビットを1(チップ内蔵基準電圧を選択)にした後に、OCVREFCRレジスタのVREFMONビットを1(チップ内蔵基準電圧とアナログ入力を接続)にしてください。
- また、チップ内蔵基準電圧をアナログ入力として使用しない場合、VREFMONビットを0(チップ内蔵基準電圧とアナログ入力を切断)にした後に、ADEX0ビットを0(拡張アナログ入力端子を非選択)にしてください。
- 注2. 単掃引モード、繰り返し掃引モードでは設定しないでください。
- 注3. ADEX0ビットを1(チップ内蔵基準電圧を選択)にしたとき、ADINSELレジスタのCH0～CH2ビットとADGSEL0、ADGSEL1ビットの設定(アナログ入力AN0～AN11の選択)は無効になり、チップ内蔵基準電圧が選択されます。チップ内蔵基準電圧を使用する場合、ADINSELレジスタのCH2～CH0ビットを000bにしてください。
- 1(チップ内蔵基準電圧を選択)を選択したときの動作については、「25.3.7 チップ内蔵基準電圧(OCVREF)」を参照してください。
- 注4. チップ内蔵基準電圧を使用する場合(ADEX0 = 1)、ADDDAENビットを0(A/D断線検出アシスト機能を禁止)にしてください。
- 注5. ADSTBYビットを0(A/D動作停止)から1(A/D動作可能)にしたときは、 ϕ ADの1サイクル以上経過した後にA/D変換を開始してください。
- 注6. A/D断線検出アシスト機能を許可にするためには、ADDDAENビットを1(許可)にした後、ADDDAELビットで変換開始状態を選択してください。
- 断線時の変換結果は、外付け回路によって変化します。本機能はシステムに合わせた評価を十分に行った上で、使用してください。
- 注7. ADDDAEN、ADDDAELビットを書き換えたときは、 ϕ ADの1サイクル以上経過した後にA/D変換を開始してください。
- 注8. スタンバイにする前に、A/D機能を停止してください。ADSTBYビットが0(スタンバイ)のとき、A/D関連レジスタ(00C0h～00CFh、00D4h～00D7h番地)へのアクセスは無効になります。ただし、00D7h番地のADCON1レジスタについては、ADSTBYビットのみアクセス可能です。

A/D変換中にADCON1レジスタの内容を書き換えた場合、変換結果は不定になります。

25.3 複数モードに関わる共通事項

25.3.1 入出力端子

アナログ入力にはAN0～AN11で、P0_0～P0_7、P1_0～P1_3と端子を共用しています。

AN0～AN11端子を入力で使用する場合、端子に対応するポート方向ビットを0(入力モード)にしてください。

A/D動作モードを変更する場合は、アナログ入力端子を再選択してください。

25.3.2 A/D変換サイクル数

図25.3にA/D変換タイミング図を、図25.4にA/D変換サイクル数($\phi_{AD} = f_{AD}$ のとき)を示します。

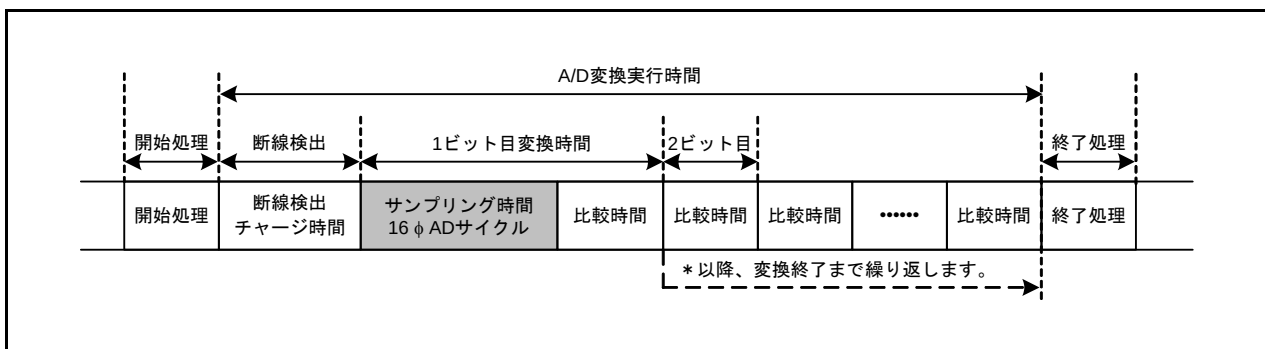


図25.3 A/D変換タイミング図

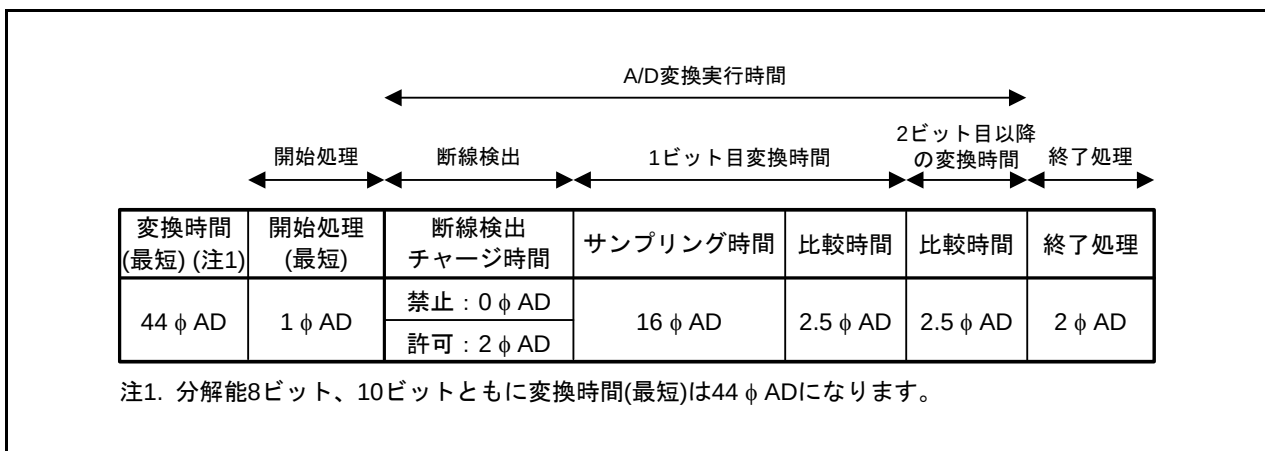


図25.4 A/D変換サイクル数($\phi_{AD} = f_{AD}$ のとき)

表 25.5 に各 A/D 変換項目のサイクル数を示します。A/D 変換時間は次のとおりです。

開始処理時間は ϕAD の選択によって変わります。

ADCON0 レジスタの ADST ビットに 1 (A/D 変換開始) を書くと、開始処理時間経過後に A/D 変換を始めます。A/D 変換を始めるまでに ADST ビットを読むと 0 (A/D 変換停止) を読み出します。

複数端子または複数回 A/D 変換を実行するモードでは、1 端子の A/D 変換実行時間と、次の A/D 変換実行時間の間に、実行間処理時間が入ります。

単発モード、単掃引モードでは、終了処理時間に ADST ビットが 0 になり、最後の A/D 変換結果が ADi レジスタ ($i = 0 \sim 7$) に入ります。

- 単発モードの場合

開始処理時間 + A/D 変換実行時間 + 終了処理時間

- 単掃引モードで 2 端子を選択した場合

開始処理時間 + (A/D 変換実行時間 + 実行間処理時間 + A/D 変換実行時間) + 終了処理時間

表 25.5 各 A/D 変換項目のサイクル数

A/D 変換項目		サイクル数
開始処理時間	$\phi AD = fAD$	fAD の 1 ~ 2 サイクル
	$\phi AD = fAD$ の 2 分周	fAD の 2 ~ 3 サイクル
	$\phi AD = fAD$ の 4 分周	fAD の 3 ~ 4 サイクル
	$\phi AD = fAD$ の 8 分周	fAD の 5 ~ 6 サイクル
A/D 変換実行時間	断線検出禁止	ϕAD の 40 サイクル + fAD の 1 ~ 3 サイクル
	断線検出許可	ϕAD の 42 サイクル + fAD の 1 ~ 3 サイクル
実行間処理時間		ϕAD の 1 サイクル
終了処理時間		fAD の 2 ~ 3 サイクル

25.3.3 A/D 変換開始条件

A/D 変換開始トリガはソフトウェアトリガと、タイマRD、タイマRCからのトリガと、イベントリンクコントローラ (ELC) からのイベント入力トリガがあります。

図 25.5 に A/D 変換開始制御部のブロック図 ($j = A, B, C, D, k = 0, 1$) を示します。

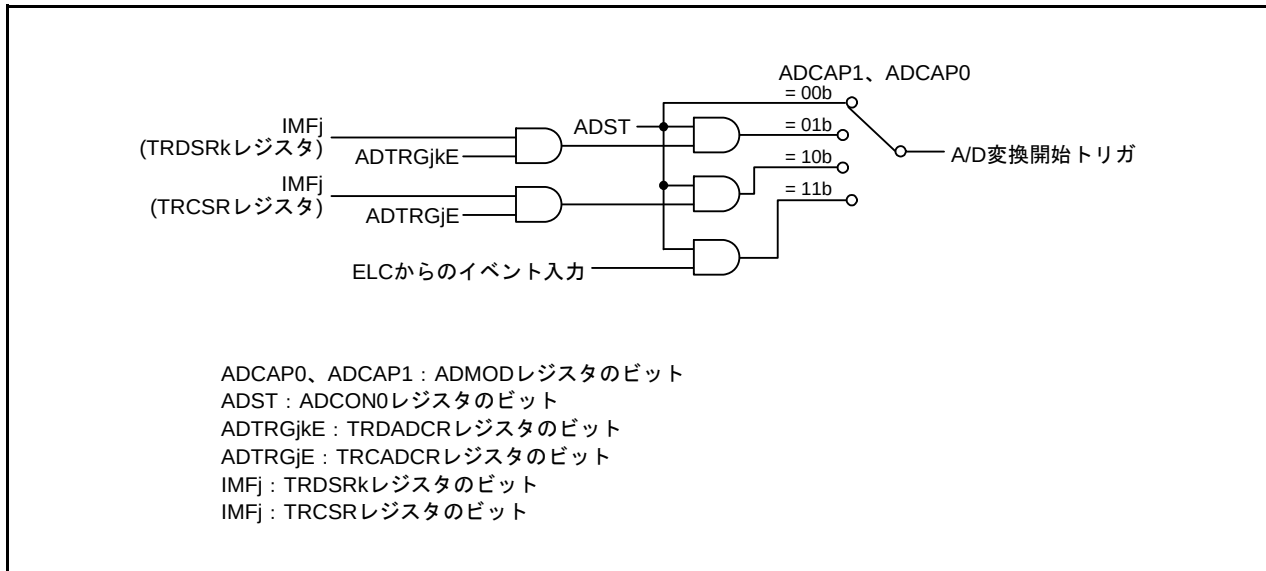


図 25.5 A/D 変換開始制御部のブロック図 ($j = A, B, C, D, k = 0, 1$)

25.3.3.1 ソフトウェアトリガ

ADMOD レジスタの ADCAP1、ADCAP0 ビットが 00b (ソフトウェアトリガ) の場合です。
ADCON0 レジスタの ADST ビットを 1 (A/D 変換開始) にすると A/D 変換を開始します。

25.3.3.2 タイマ RD からのトリガ

ADMOD レジスタの ADCAP1、ADCAP0 ビットが 01b (タイマ RD) の場合です。
この機能を使用する場合は次のようにしてください。

- ADMOD レジスタの ADCAP1、ADCAP0 ビットが 01b (タイマ RD)
- タイマ RD をアウトプットコンペア機能 (タイマモード、PWM モード、リセット同期 PWM モード、相補 PWM モード、PWM3 モード) で使用
- TRDADCR レジスタの ADTRGjKE ビット ($j = A, B, C, D, k = 0, 1$) が 1 (TRDGRjk レジスタのコンペア一致で A/D トリガ発生)
- ADCON0 レジスタの ADST ビットが 1 (A/D 変換開始)

上記の状態、TRDSRk レジスタの IMFj ビットが 0 から 1 になると、A/D 変換を開始します。

タイマ RD、アウトプットコンペア機能 (タイマモード、PWM モード、リセット同期 PWM モード、相補 PWM モード、PWM3 モード) の詳細は、「18. タイマ RD」、「18.3.3 アウトプットコンペア機能」、「18.3.4 PWM モード」、「18.3.5 リセット同期 PWM モード」、「18.3.6 相補 PWM モード」、「18.3.7 PWM3 モード」を参照してください。

25.3.3.3 タイマRCからのトリガ

ADMOD レジスタの ADCAP1、ADCAP0 ビットが 10b (タイマRC) の場合です。
この機能を使用する場合は次のようにしてください。

- ADMOD レジスタの ADCAP1、ADCAP0 ビットが 10b (タイマRC)
- タイマRC をアウトプットコンペア機能 (タイマモード、PWM モード、PWM2 モード) で使用
- TRCADCR レジスタの ADTRGjE ビット (j = A、B、C、D) が 1 (TRCGRj レジスタのコンペア一致で A/D トリガ発生)
- ADCON0 レジスタの ADST ビットが 1 (A/D 変換開始)

上記の状態、TRCSR レジスタの IMFj ビットが 0 から 1 になると、A/D 変換を開始します。

タイマRC、アウトプットコンペア機能 (タイマモード、PWM モード、PWM2 モード) の詳細は、「17. タイマRC」、「17.3.1 タイマモード」、「17.3.2 PWM モード」、「17.3.3 PWM2 モード」を参照してください。

25.3.3.4 イベントリンクコントローラ(ELC)からのイベント入力トリガ

ADMOD レジスタの ADCAP1、ADCAP0 ビットが 11b (ELC からのイベント入力トリガ) の場合、ELC からのイベント入力を受けて A/D 変換を開始できます。

例として $\overline{\text{INT0}}$ を A/D 変換開始トリガとしての使用する方法を説明します。

- PMCSEL レジスタを標準端子配置または通信機能優先端子配置に設定する。
- ADMOD レジスタの ADCAP1、ADCAP0 ビットを 11b にする。
- INTEN レジスタの INT0EN ビットを 1 ($\overline{\text{INT0}}$ 入力許可)、INT0PL ビットを 0 (片エッジ)、INTPOL レジスタの INT0POL ビットを 0 (立ち下がリエッジを選択) にする。
- PD4 レジスタの PD4_5 ビットを 0 (入力モード) にする。
- INT0 のデジタルフィルタを INTF レジスタの INT0F0、INT0F1 ビットで選択する。
- ELSELR0 レジスタの ELSEL3 ~ ELSEL0 ビットを 0001b (リンク先周辺機能に A/D コンバータを選択)
- ADCON0 レジスタの ADST ビットを 1 (A/D 変換開始) にする。

上記の状態、 $\overline{\text{INT0}}$ 端子の入力を H から L にすると、A/D 変換を開始します。

25.3.4 A/D 変換結果

A/D 変換した結果は ADi レジスタ ($i = 0 \sim 7$) に格納されます。使用する A/D 動作モードによって、格納される ADi レジスタは違います。ADi レジスタに値は書き込めません。

繰り返しモード 0 では割り込み要求は発生しません。1 回目の A/D 変換終了は、A/D 変換時間が経過したことをプログラムで判定してください。

単発モード、繰り返しモード 1、単掃引モード、繰り返し掃引モードでは、A/D 変換終了などのタイミングで割り込み要求が発生します (ADIC レジスタの IR ビットが 1 になります)。

ただし、繰り返しモード 1、繰り返し掃引モードでは、割り込み要求発生後も A/D 変換を続けます。次の A/D 変換が終了すると ADi レジスタに値を上書きしますので、それまでに ADi レジスタを読み出してください。

単発モード、単掃引モードで、ADMOD レジスタの ADCAP1、ADCAP0 ビットが 00b (ソフトウェアトリガ) の場合は、ADCON0 レジスタの ADST ビットでも A/D 変換終了、掃引終了を判定できます。

A/D 変換動作中に、プログラムで ADCON0 レジスタの ADST ビットを 0 (A/D 変換停止) にして強制終了した場合、A/D コンバータの変換結果は不定となります。また、ADST ビットへの 0 書き込みタイミングによっては、A/D 変換割り込み要求が発生する場合があります。プログラムで ADST ビットを 0 にした場合は、ADi レジスタの値および A/D 変換割り込みを使用しないでください。また、ADST ビットを 0 に設定する前に、A/D 変換割り込みを禁止に設定してください。

A/D 変換動作中に、プログラムで ADCON0 レジスタの ADST ビットを 0 (A/D 変換停止) にして強制終了後、ADST ビットに 1 を書き込む場合は、終了処理時間確保のため ϕ AD クロックで 2 クロック以上の間隔をあけてください。

25.3.5 分解能 (8 ビット/10 ビットモード)

A/D コンバータの分解能に 8 ビットまたは 10 ビットを選択できます。ADCON1 レジスタの BITS ビットにより、8 ビット/10 ビットモードを選択できます。

25.3.6 消費電流低減機能

A/D コンバータを使用しないとき、ADCON1 レジスタの ADSTBY ビットを 0 (A/D 動作停止 (スタンバイ)) にすると、アナログ回路電流が流れないので、消費電力が少なくなります。

A/D コンバータを使用する場合は、ADSTBY ビットを 1 (A/D 動作可能) にして、 ϕ AD の 1 サイクル以上経過した後で、ADCON0 レジスタの ADST ビットを 1 (A/D 変換開始) にしてください。ADST ビットと ADSTBY ビットは、同時に 1 を書かないでください。

また、A/D 変換中に ADSTBY ビットを 0 (A/D 動作停止 (スタンバイ)) にしないでください。

25.3.7 チップ内蔵基準電圧 (OCVREF)

単発モード、繰り返しモード 0、繰り返しモード 1 では、チップ内蔵基準電圧 (OCVREF) をアナログ入力として使用できます。

チップ内蔵基準電圧を使用することにより、VREF の変動を確認することができます。ADCON1 レジスタの ADEX0 ビットと OCVREFCR レジスタの VREFMON ビットで選択してください。

ADEX0 ビットに 1 を設定する場合、ADINSEL レジスタの CH2 ~ CH0 ビットは 000b を選択してください。

繰り返しモード 1 でのチップ内蔵基準電圧の A/D 変換結果は、変換回数により AD0 ~ AD7 レジスタのいずれかに格納されます。

25.3.8 A/D 断線検出アシスト機能

A/D 変換の動作時に、前に変換したチャンネルのアナログ入力電圧の回り込みによる影響を抑制するため、変換開始前にチョップアップキャパシタの電荷を所定の状態 (AVCC または GND) に固定する機能を内蔵しています。この機能により、アナログ入力端子に接続した配線の、より確実な断線検出が可能になります。

図 25.6 に AVCC 側での A/D 断線検出例 (変換前プリチャージを選択) ($i = 0 \sim 11$) を、図 25.7 に AVSS 側での A/D 断線検出例 (変換前ディスチャージを選択) ($i = 0 \sim 11$) を示します。

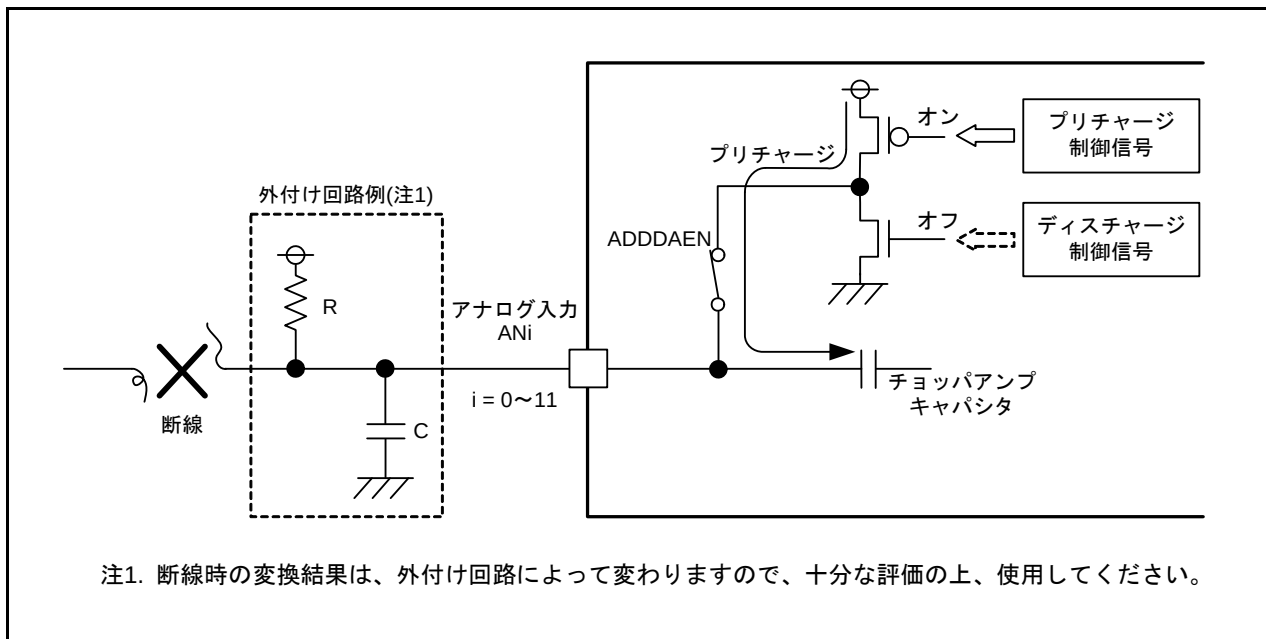


図 25.6 AVCC 側での A/D 断線検出例 (変換前プリチャージを選択) ($i = 0 \sim 11$)

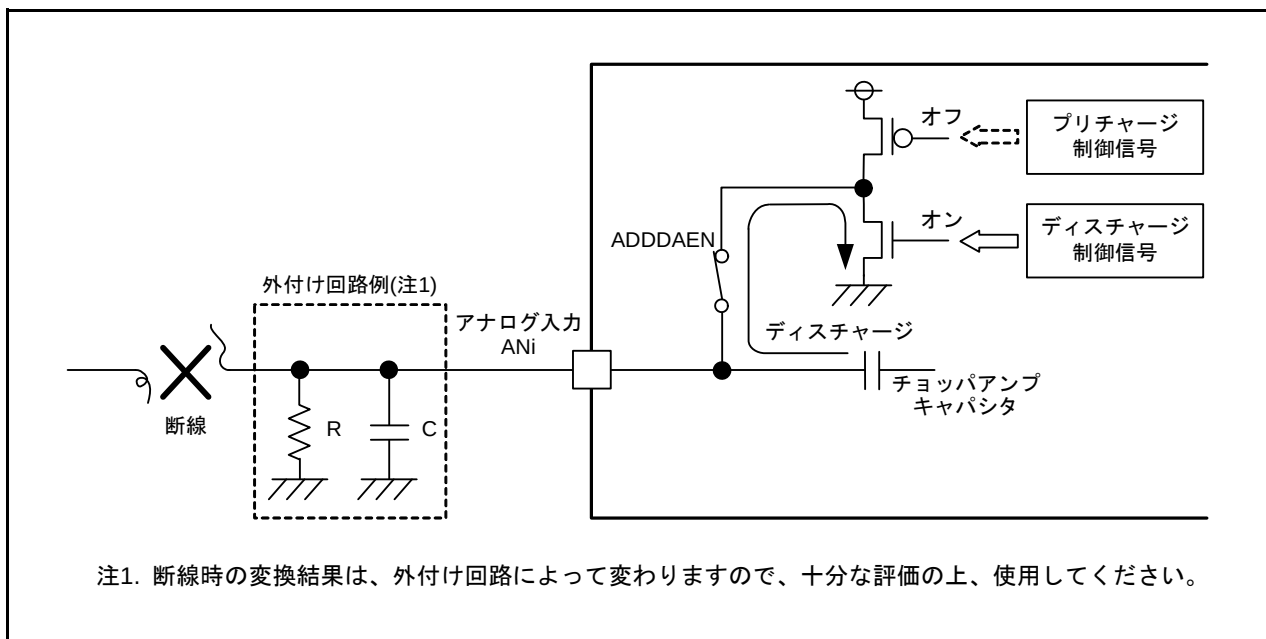


図 25.7 AVSS 側での A/D 断線検出例 (変換前ディスチャージを選択) ($i = 0 \sim 11$)

25.4 単発モード

AN0～AN11 または OCVREF から選択した1本の端子の入力電圧を、1回 A/D 変換するモードです。

表 25.6 に単発モードの仕様を示します。

表 25.6 単発モードの仕様

項目	仕様
機能	ADINSEL レジスタの CH0～CH2 ビットと ADGSEL0、ADGSEL1 ビット、または ADCON1 レジスタの ADEX0 ビットで選択した端子の入力電圧を1回 A/D 変換する(注1)
分解能	8ビットまたは10ビット
A/D 変換開始条件	• ソフトウェアトリガ • タイマ RD • タイマ RC • ELC からのイベント入力トリガ (「25.3.3 A/D 変換開始条件」参照)
A/D 変換停止条件	• A/D 変換終了 (ADMOD レジスタの ADCAP1、ADCAP0 ビットが 00b (ソフトウェアトリガ) の場合、ADCON0 レジスタの ADST ビットが 0 になる) • ADST ビットを 0 にする
割り込み要求発生タイミング	A/D 変換終了時
アナログ入力端子	AN0～AN11 または OCVREF から1端子を選択
A/D 変換結果の格納レジスタ	AD0 レジスタ : AN0、AN8、OCVREF AD1 レジスタ : AN1、AN9 AD2 レジスタ : AN2、AN10 AD3 レジスタ : AN3、AN11 AD4 レジスタ : AN4 AD5 レジスタ : AN5 AD6 レジスタ : AN6 AD7 レジスタ : AN7
A/D 変換値の読み出し	選択した端子に対応した AD0～AD7 レジスタの読み出し

注1. ADEX0 ビットを 1 (チップ内蔵基準電圧を選択) にする場合、ADINSEL レジスタの CH2～CH0 ビットを 000b にしてください。

25.5 繰り返しモード0

AN0～AN11またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。
表25.7に繰り返しモード0の仕様を示します。

表25.7 繰り返しモード0の仕様

項目	仕様
機能	ADINSEL レジスタのCH0～CH2 ビットと ADGSEL0、ADGSEL1 ビット、または ADCON1 レジスタの ADEX0 ビットで選択した端子の入力電圧を繰り返し A/D 変換する (注1)
分解能	8 ビットまたは 10 ビット
A/D 変換開始条件	・ソフトウェアトリガ ・タイマ RD ・タイマ RC ・ELC からのイベント入力トリガ (「25.3.3 A/D 変換開始条件」参照)
A/D 変換停止条件	ADCON0 レジスタの ADST ビットを 0 にする
割り込み要求発生タイミング	発生しない
アナログ入力端子	AN0～AN11 または OCVREF から 1 端子を選択
A/D 変換結果の格納レジスタ	AD0 レジスタ : AN0、AN8、OCVREF AD1 レジスタ : AN1、AN9 AD2 レジスタ : AN2、AN10 AD3 レジスタ : AN3、AN11 AD4 レジスタ : AN4 AD5 レジスタ : AN5 AD6 レジスタ : AN6 AD7 レジスタ : AN7
A/D 変換値の読み出し	選択した端子に対応した AD0～AD7 レジスタの読み出し

注1. ADEX0 ビットビットを 1 (チップ内蔵基準電圧を選択) にする場合、ADINSEL レジスタの CH2～CH0 ビットを 000b にしてください。

25.6 繰り返しモード1

AN0～AN11またはOCVREFから選択した1本の端子の入力電圧を、繰り返しA/D変換するモードです。
表25.8に繰り返しモード1の仕様を、図25.8に繰り返しモード1時の動作例を示します。

表25.8 繰り返しモード1の仕様

項目	仕様
機能	ADINSEL レジスタのCH0～CH2 ビットと ADGSEL0、ADGSEL1 ビット、または ADCON1 レジスタの ADEX0 ビットで選択した端子の入力電圧を繰り返し A/D 変換する
分解能	8 ビットまたは 10 ビット
A/D 変換開始条件	・ソフトウェアトリガ ・タイマRD ・タイマRC ・ELCからのイベント入力トリガ (「25.3.3 A/D変換開始条件」参照)
A/D 変換停止条件	ADCON0 レジスタの ADST ビットを 0 にする
割り込み要求発生タイミング	AD7 レジスタに A/D 変換結果が格納されたとき
アナログ入力端子	AN0～AN11 または OCVREF から 1 端子を選択
A/D 変換結果の格納レジスタ	AD0 レジスタ：1 回目の A/D 変換結果、9 回目の A/D 変換結果、、、 AD1 レジスタ：2 回目の A/D 変換結果、10 回目の A/D 変換結果、、、 AD2 レジスタ：3 回目の A/D 変換結果、11 回目の A/D 変換結果、、、 AD3 レジスタ：4 回目の A/D 変換結果、12 回目の A/D 変換結果、、、 AD4 レジスタ：5 回目の A/D 変換結果、13 回目の A/D 変換結果、、、 AD5 レジスタ：6 回目の A/D 変換結果、14 回目の A/D 変換結果、、、 AD6 レジスタ：7 回目の A/D 変換結果、15 回目の A/D 変換結果、、、 AD7 レジスタ：8 回目の A/D 変換結果、16 回目の A/D 変換結果、、、
A/D 変換値の読み出し	AD0～AD7 レジスタの読み出し

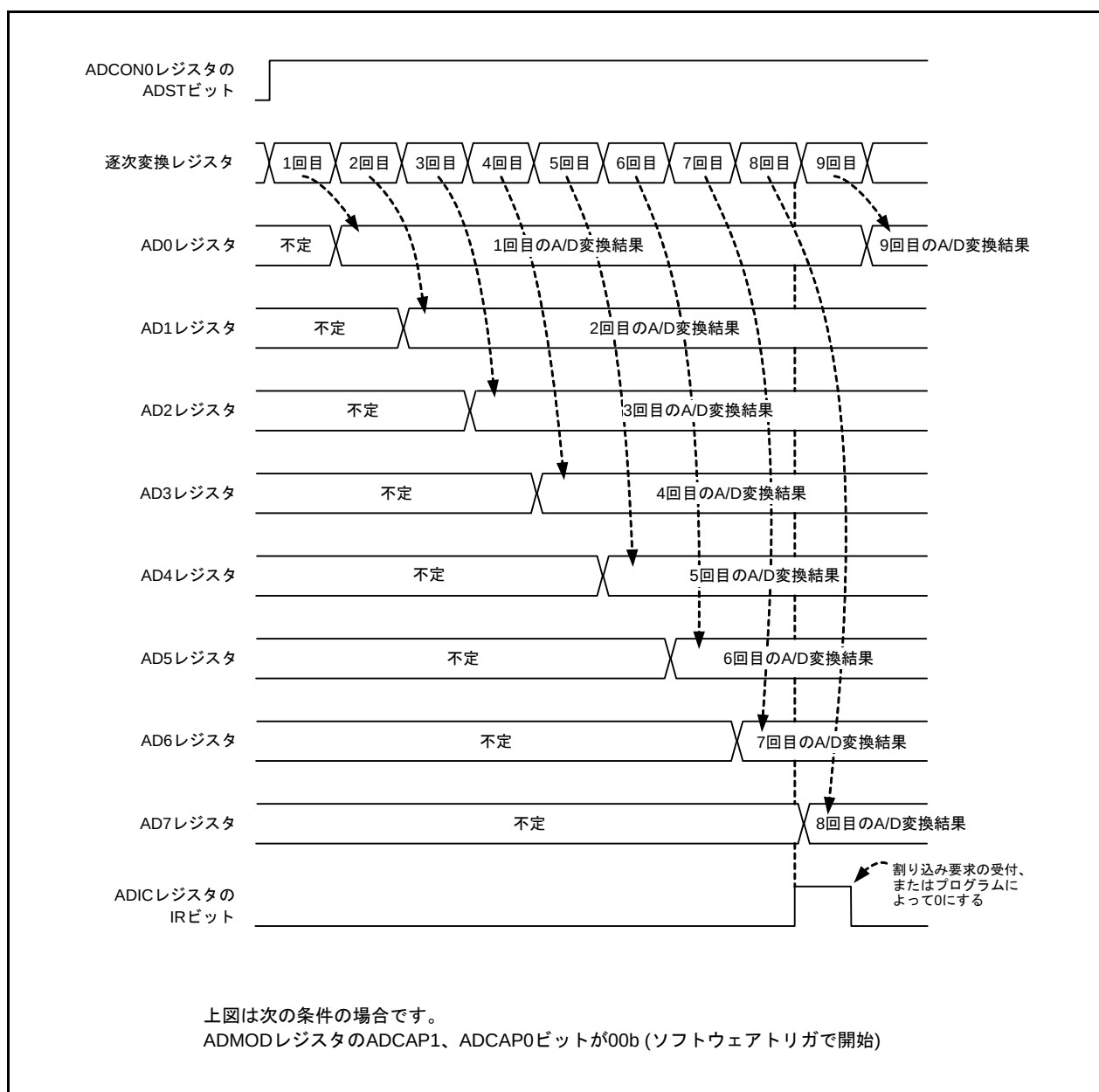


図 25.8 繰り返しモード1時の動作例

25.7 単掃引モード

AN0～AN11から選択した2本、4本、6本または8本の端子の入力電圧を、1回ずつA/D変換するモードです。

表25.9に単掃引モードの仕様を、図25.9に単掃引モード時の動作例を示します。

表25.9 単掃引モードの仕様

項目		仕様
機能		ADINSELレジスタのADGSEL0、ADGSEL1ビットとSCAN0、SCAN1ビットで選択した端子の入力電圧を1回ずつA/D変換する
分解能		8ビットまたは10ビット
A/D変換開始条件		- ソフトウェアトリガ - タイマRD - タイマRC - ELCからのイベント入力トリガ (「25.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ソフトウェアトリガ	2端子を選択している場合、選択した2端子のA/D変換終了 (ADCON0レジスタのADSTビットが0になる) 4端子を選択している場合、選択した4端子のA/D変換終了 (ADSTビットが0になる) 6端子を選択している場合、選択した6端子のA/D変換終了 (ADSTビットが0になる) 8端子を選択している場合、選択した8端子のA/D変換終了 (ADSTビットが0になる) - ADSTビットを0にする
	タイマRD	ADSTビットを0にする
	タイマRC	
	外部トリガ	
割り込み要求発生タイミング		2端子を選択している場合、選択した2端子のA/D変換終了時 4端子を選択している場合、選択した4端子のA/D変換終了時 6端子を選択している場合、選択した6端子のA/D変換終了時 8端子を選択している場合、選択した8端子のA/D変換終了時
アナログ入力端子(注1)		AN0、AN1 (2端子)、AN8、AN9 (2端子)、AN0～AN3 (4端子)、AN8～AN11 (4端子)AN0～AN5 (6端子)AN0～AN7 (8端子) (SCAN0、SCAN1ビットとADGSEL0、ADGSEL1ビットで選択)
A/D変換結果の格納レジスタ		AD0レジスタ：AN0、AN8 AD1レジスタ：AN1、AN9 AD2レジスタ：AN2、AN10 AD3レジスタ：AN3、AN11 AD4レジスタ：AN4 AD5レジスタ：AN5 AD6レジスタ：AN6 AD7レジスタ：AN7
A/D変換値の読み出し		選択した端子に対応したAD0～AD7レジスタの読み出し

注1. 単掃引モードを実行するときは、ADINSELレジスタのCH2～CH0ビットに000bを設定してください。

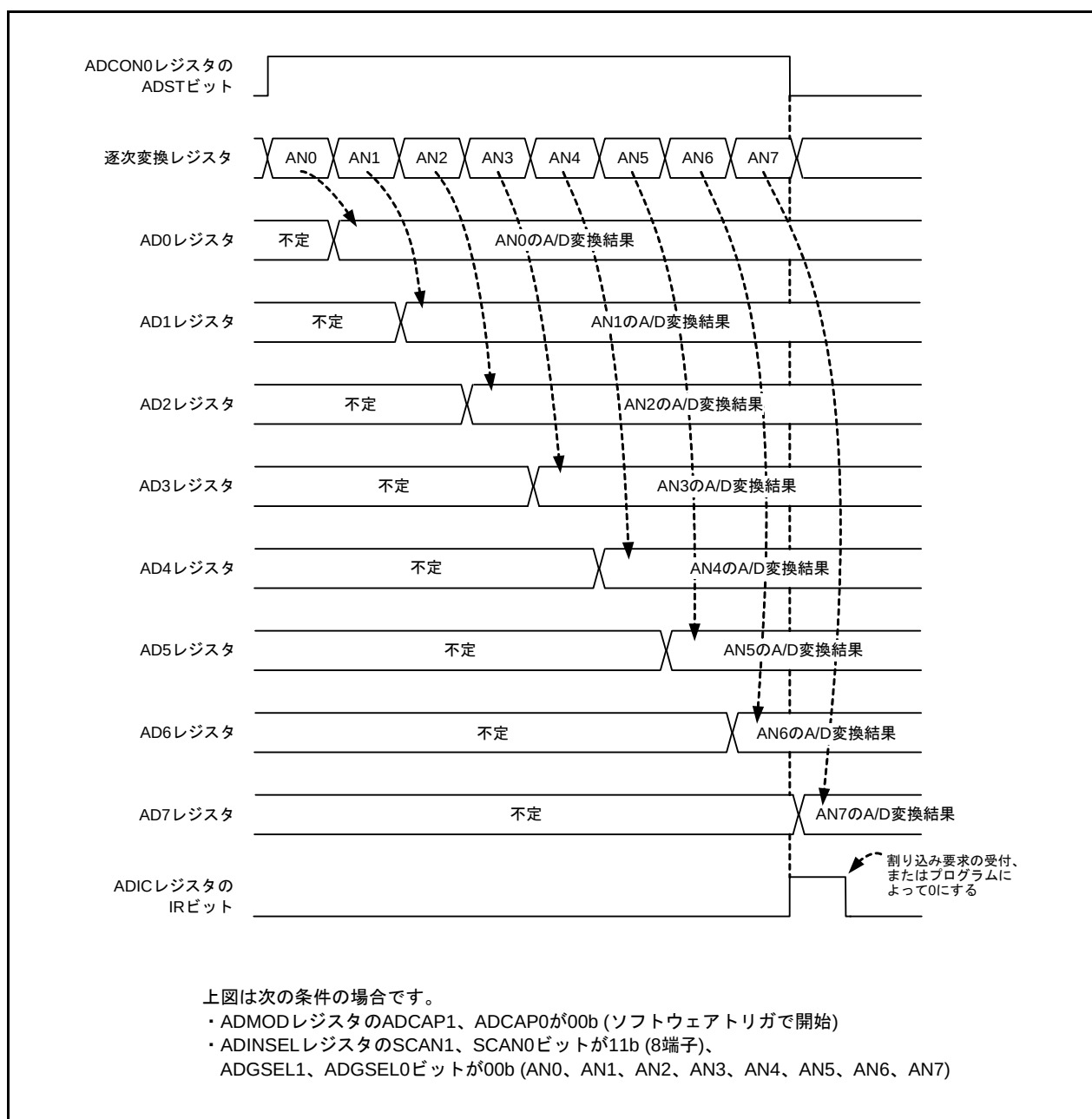


図 25.9 単掃引モード時の動作例

25.8 繰り返し掃引モード

AN0～AN11から選択した2本、4本、6本または8本の端子の入力電圧を、繰り返しA/D変換するモードです。

表25.10に繰り返し掃引モードの仕様を、図25.10に繰り返し掃引モード時の動作例を示します。

表25.10 繰り返し掃引モードの仕様

項目	仕様
機能	ADINSELレジスタのADGSEL0、ADGSEL1ビットとSCAN0、SCAN1ビットで選択した端子の入力電圧を繰り返しA/D変換する
分解能	8ビットまたは10ビット
A/D変換開始条件	- ソフトウェアトリガ - タイマRD - タイマRC - ELCからのイベント入力トリガ (「25.3.3 A/D変換開始条件」参照)
A/D変換停止条件	ADCON0レジスタのADSTビットを0にする
割り込み要求発生タイミング	2端子を選択している場合、選択した2端子のA/D変換終了時 4端子を選択している場合、選択した4端子のA/D変換終了時 6端子を選択している場合、選択した6端子のA/D変換終了時 8端子を選択している場合、選択した8端子のA/D変換終了時
アナログ入力端子(注1)	AN0、AN1 (2端子)、AN8、AN9 (2端子)、AN0～AN3 (4端子)、AN8～AN11 (4端子)、AN0～AN5 (6端子)、AN0～AN7 (8端子) (SCAN0、SCAN1ビットとADGSEL0、ADGSEL1ビットで選択)
A/D変換結果の格納レジスタ	AD0レジスタ：AN0、AN8 AD1レジスタ：AN1、AN9 AD2レジスタ：AN2、AN10 AD3レジスタ：AN3、AN11 AD4レジスタ：AN4 AD5レジスタ：AN5 AD6レジスタ：AN6 AD7レジスタ：AN7
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

注1. 繰り返し掃引モードを実行するときは、ADINSELレジスタのCH2～CH0ビットに000bを設定してください。

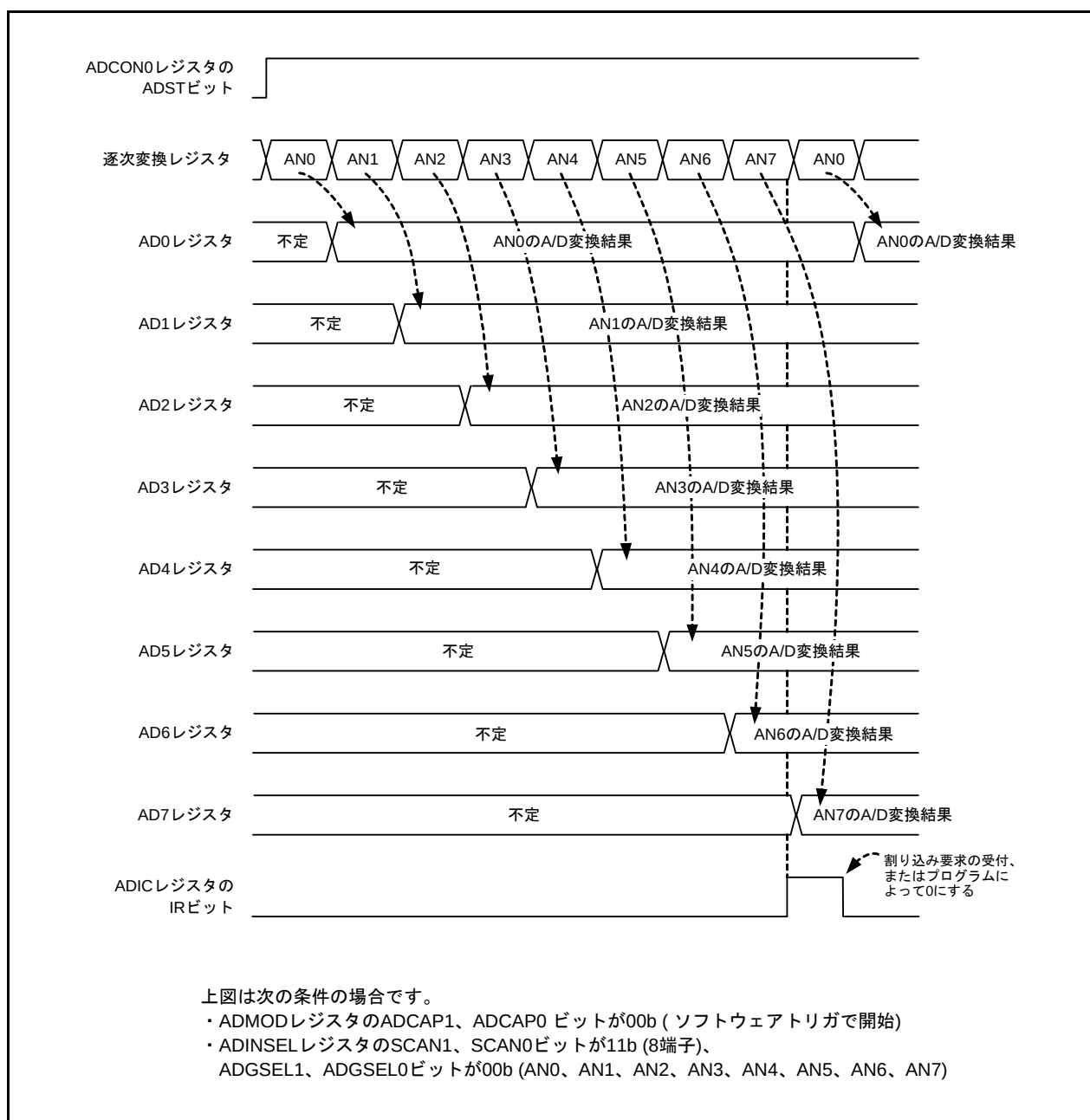


図 25.10 繰り返し掃引モード時の動作例

25.9 A/D 変換時のセンサの出力インピーダンス

A/D 変換を正しく行うためには、図 25.11 の内部コンデンサ C への充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)を T とします。また、センサ等価回路の出力インピーダンスを R0、マイコン内部の抵抗を R、A/D コンバータの精度(誤差)を X、分解能を Y (Y は 10 ビットモード時 1024、8 ビットモード時 256) とします。

$$VC \text{ は一般に } VC = VIN \left\{ 1 - e^{-\frac{1}{C(R0 + R)} t} \right\}$$

$$t = T \text{ のとき、 } VC = VIN - \frac{X}{Y} VIN = VIN \left(1 - \frac{X}{Y} \right) \text{ より、}$$

$$e^{-\frac{1}{C(R0 + R)} T} = \frac{X}{Y}$$

$$-\frac{1}{C(R0 + R)} T = \ln \frac{X}{Y}$$

$$\text{よって、} R0 = -\frac{T}{C \cdot \ln \frac{X}{Y}} - R$$

図 25.11 にアナログ入力端子 (AN0 ~ AN11) と外部センサの等価回路例を示します。VIN と VC の差が 0.1LSB となると、時間 T でコンデンサ C の端子間電圧 VC が 0 から VIN - (0.1/1024)VIN になるインピーダンス R0 を求めます。(0.1/1024) は 10 ビットモードでの A/D 変換時に、コンデンサ充電不十分による A/D 精度低下を 0.1LSB におさえることを意味します。ただし、実際の誤差は 0.1LSB に絶対精度が加わった値です。

φAD = 20 MHz のとき、T = 0.8 μs となります。この時間 T 内にコンデンサ C の充電を十分に行える出力インピーダンス R0 は以下のように求められます。

T = 0.8 μs、R = 10 kΩ、C = 6.0 pF、X = 0.1、Y = 1024 だから、

$$R0 = -\frac{0.8 \times 10^{-6}}{6.0 \times 10^{-12} \cdot \ln \frac{0.1}{1024}} - 10 \times 10^3 \approx 4.4 \times 10^3$$

したがって、A/D コンバータの精度(誤差)を 0.1LSB 以下にするセンサ回路の出力インピーダンス R0 は最大 4.4 kΩ になります。

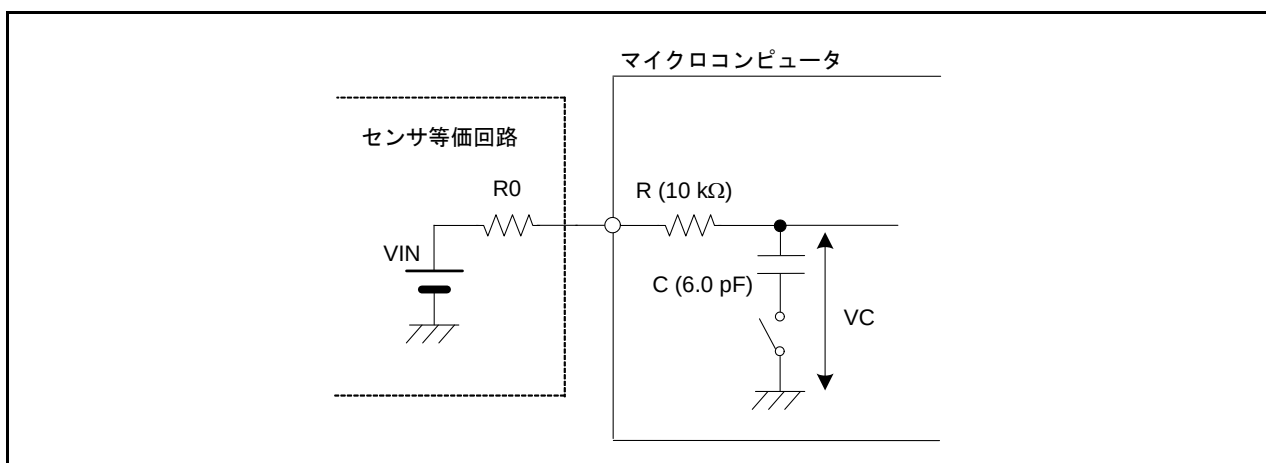


図 25.11 アナログ入力端子(AN0 ~ AN11)と外部センサの等価回路例

25.10 A/D コンバータ使用上の注意事項

25.10.1 A/D 変換中の注意事項

- ADMOD レジスタ、ADINSEL レジスタ、ADCON0 レジスタ (ADST ビットを除く)、ADCON1 レジスタ、OCVREFCR レジスタに対して、A/D 変換中に書き込みをしないでください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D 変換開始する前の CPU クロックには、A/D コンバータの動作クロック ϕ_{AD} 以上の周波数を選択してください。 ϕ_{AD} に fHOCO-F を選択しないでください。
- A/D 変換中はストップモードに移行しないでください。
- A/D 変換中は CM0 レジスタの CM02 ビットの状態 (1 (ウェイトモード時、周辺機能クロックを停止する)、0 (ウェイトモード時、周辺機能クロックを停止しない)) にかかわらず、ウェイトモードに移行しないでください。
- A/D 変換中は FMR0 レジスタの FMSTP ビットを 1 (フラッシュメモリ停止)、および FMR27 ビットを 1 (低消費電流リードモード許可) にすると、A/D 変換結果が不定になるため、この設定をしないでください。
- A/D 変換中にプログラムで ADCON0 レジスタの ADST ビットを 0 (A/D 変換停止) にして強制終了後、ADST ビットに 1 を書き込む場合は、終了処理時間確保のため、 ϕ_{AD} クロックで 2 クロック以上の間隔をあけてください。

25.10.2 クロック源の切り替え

- クロック源を切り替える際は、A/D 変換停止後、切り替えてください。また、クロック源切り替え後、fHOCO-F クロックの 2 サイクル以上待つから、A/D 変換を開始してください。

【変更手順】

- (1) ADCON0 レジスタの ADST ビットを 0 (A/D 変換停止) にする
- (2) ADMOD レジスタの CKS2 ビットを変更する
- (3) fHOCO-F の 2 サイクル以上待つ
- (4) ADCON0 レジスタの ADST ビットを 1 (AD 変換開始) にする

- クロック源を fHOCO-F から他のクロックに変更し、fHOCO-F を停止させる場合は、クロック源切り替え後、fHOCO-F の 2 サイクル以上待つから fHOCO-F を停止させてください。

【変更手順】

- (1) ADCON0 レジスタの ADST ビットを 0 (A/D 変換停止) にする
- (2) ADMOD レジスタの CKS2 ビットを変更する
- (3) fHOCO-F の 2 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを 0 (高速オンチップオシレータ停止) にする

注1. fHOCO-F をクロック源に選択しているとき、FRA0 レジスタの FRA00 ビットを 0 (高速オンチップオシレータ停止) にしないでください。

注2. fHOCO-F をクロック源に選択しているとき、FRA2 レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

25.10.3 端子処理

VREF 端子と AVSS 端子間に 0.1 μ F のコンデンサを接続してください。

26. コンパレータ B

コンパレータ B は基準入力電圧と、アナログ入力電圧を比較します。コンパレータ B1 とコンパレータ B3 の独立した 2 つのコンパレータです。

26.1 概要

基準入力電圧とアナログ入力電圧の比較結果を、ソフトウェアで読めます。基準入力電圧として IVREF_i (i = 1, 3) 端子への入力可以使用です。

表 26.1 にコンパレータ B の仕様を、図 26.1 にコンパレータ B のブロック図を、表 26.2 に入出力端子を示します。

表 26.1 コンパレータ B の仕様

項目	仕様
アナログ入力電圧	IVCMP _i 端子への入力電圧
基準入力電圧	IVREF _i 端子への入力電圧
比較結果	INTCMP レジスタの INTICOUT ビットの読み出し
割り込み要求発生タイミング	比較結果が変化するとき
選択機能	デジタルフィルタ機能 - デジタルフィルタの有無、サンプリング周波数を選択できる

i = 1, 3

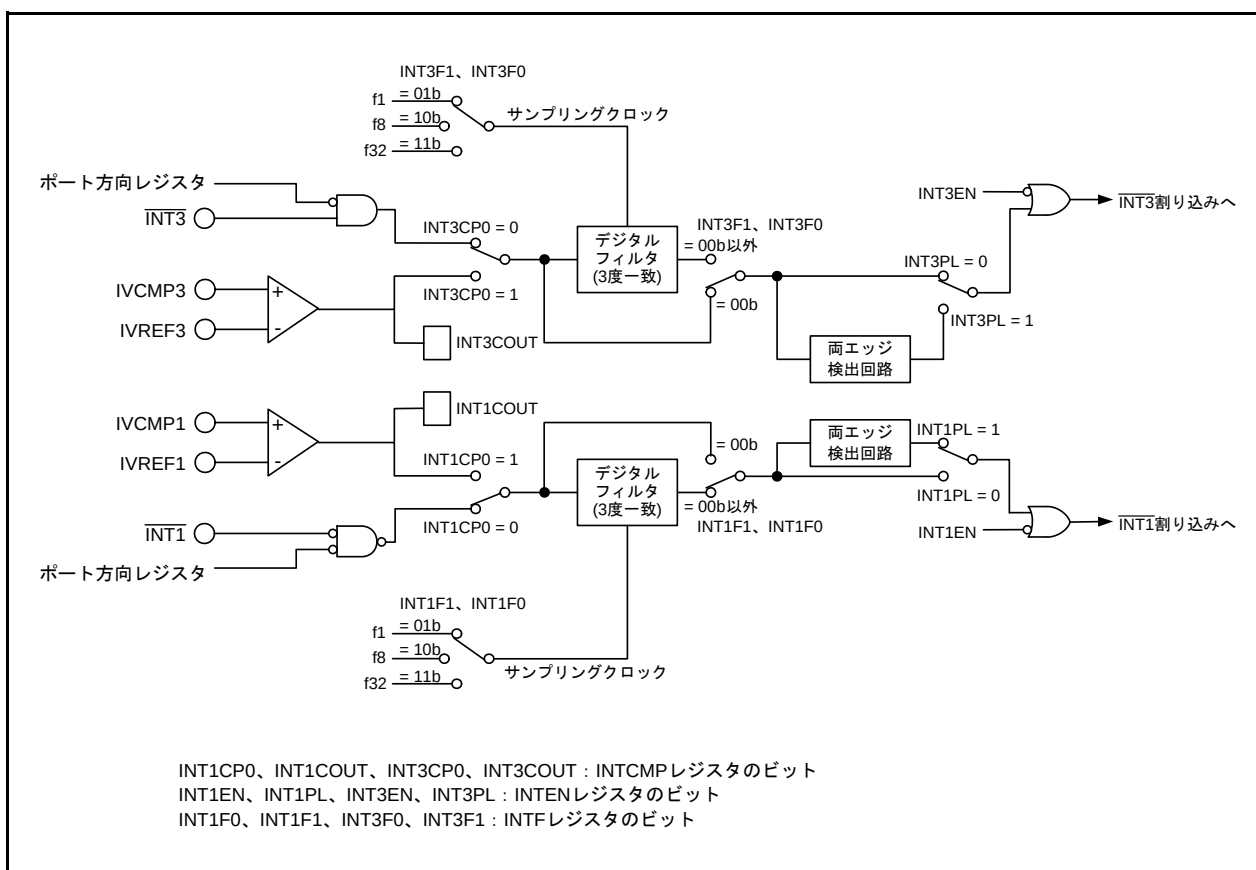


図 26.1 コンパレータ B のブロック図

表 26.2 入出力端子

端子名	入出力	機能
IVCMP1	入力	コンパレータ B1 用アナログ端子
IVREF1	入力	コンパレータ B1 用基準電圧端子
IVCMP3	入力	コンパレータ B3 用アナログ端子
IVREF3	入力	コンパレータ B3 用基準電圧端子

26.2 レジスタの説明

表 26.3 にコンパレータ B のレジスタ構成を示します。

表 26.3 コンパレータ B のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
コンパレータ B 制御レジスタ 0	INTCMP	00h	00228h	8

26.2.1 コンパレータ B 制御レジスタ 0 (INTCMP)

アドレス 00228h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	INT3COUT	—	—	INT3CP0	INT1COUT	—	—	INT1CP0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INT1CP0	コンパレータ B1 動作許可ビット	0 : コンパレータ B1 動作禁止 1 : コンパレータ B1 動作許可	R/W
b1	—	予約ビット	0 にしてください	R/W
b2	—	何も配置されていない。書く場合、0 を書いてください。読んだ場合、その値は 0。		—
b3	INT1COUT	コンパレータ B1 モニタフラグ	0 : IVCMP1 < IVREF1 または コンパレータ B1 動作禁止 1 : IVCMP1 > IVREF1	R
b4	INT3CP0	コンパレータ B3 動作許可ビット	0 : コンパレータ B3 動作禁止 1 : コンパレータ B3 動作許可	R/W
b5	—	予約ビット	0 にしてください	R/W
b6	—	何も配置されていない。書く場合、0 を書いてください。読んだ場合、その値は 0。		—
b7	INT3COUT	コンパレータ B3 モニタフラグ	0 : IVCMP3 < IVREF3 または コンパレータ B3 動作禁止 1 : IVCMP3 > IVREF3	R

26.3 動作説明

コンパレータ B1 とコンパレータ B3 はそれぞれ独立して動作できます。動作は同じです。

表 26.4 にコンパレータ B 関連レジスタの設定手順を示します。

表 26.4 コンパレータ B 関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	IVCMPi、IVREFi 端子の機能選択。「14.4 周辺機能への入出力」参照。 ただし、順番 2 以降に示されるレジスタ、ビット以外を設定してください。		
2	INTF	フィルタ有無、サンプリングクロック選択	
3	INTCMP	INTiCPO	1 (動作許可)
4	コンパレータ安定時間 (最大 100 μ s) 待ち		
5	INTEN	INTiEN	割り込みを使用する場合 : 1 (割り込み許可)
		INTiPL	割り込みを使用する場合 : 入力極性選択
6	INTiIC	ILVL2 ~ ILVL0	割り込みを使用する場合 : 割り込み優先レベル選択
		IR	割り込みを使用する場合 : 0 (割り込み要求なし : 初期化)

i = 1、3

図 26.2 にコンパレータ Bi の動作例 (i = 1、3) を示します。

基準入力よりアナログ入力の電圧が高い場合は、INTCMP レジスタの INTiCOUT ビットが 1 になり、基準入力よりアナログ入力の電圧が低い場合は、INTiCOUT ビットが 0 になります。

コンパレータ Bi 割り込みを使用する場合は、INTEN レジスタの INTiEN ビットを 1 (割り込み許可) にしてください。このとき比較結果が変化すれば、コンパレータ Bi 割り込み要求が発生します。割り込みについては「26.4 コンパレータ B1、コンパレータ B3 割り込み」を参照してください。

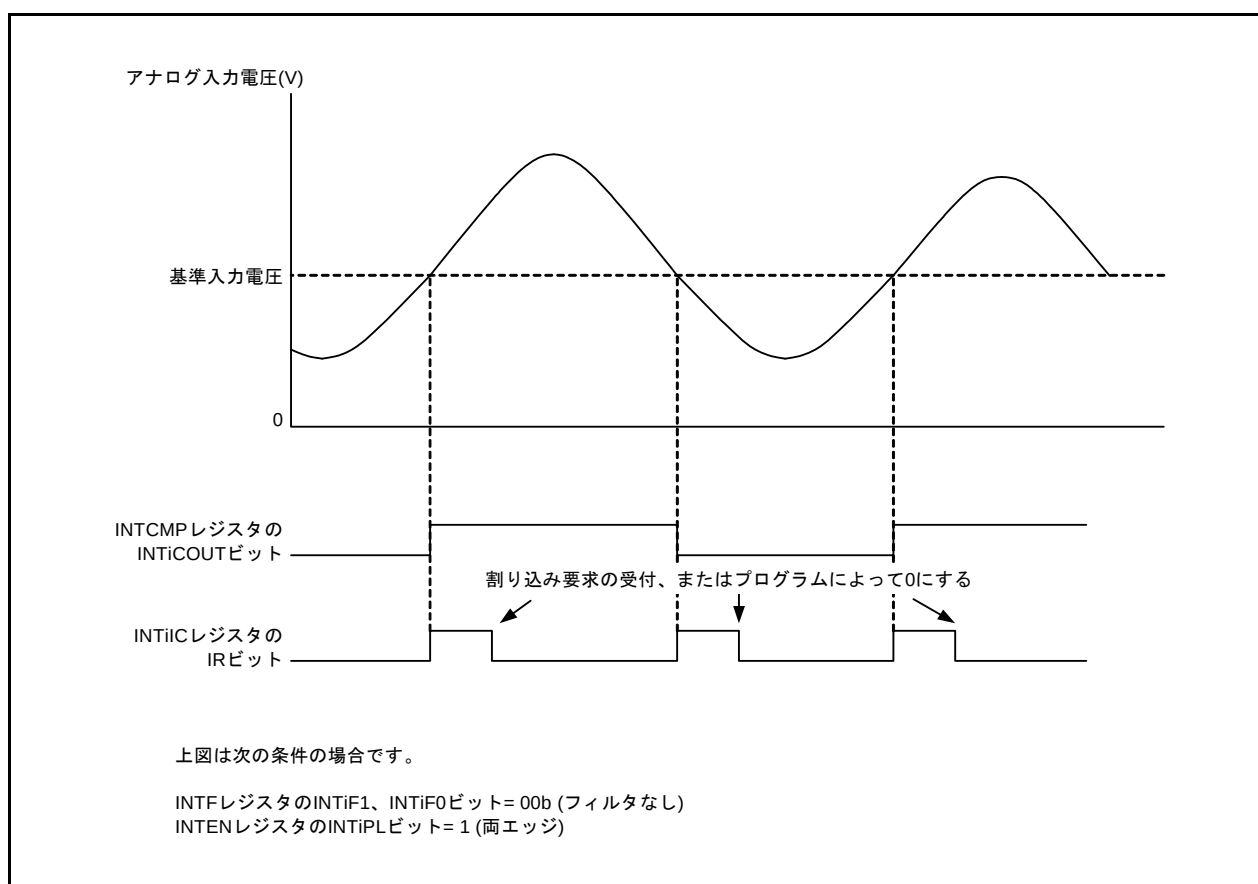


図 26.2 コンパレータ Bi の動作例 (i = 1、3)

26.3.1 コンパレータ Bi デジタルフィルタ (i = 1, 3)

コンパレータ Bi は、 $\overline{\text{INTi}}$ 入力と同一のデジタルフィルタを使用できます。サンプリングクロックは INTF レジスタの INTiF0、INTiF1 ビットで選択できます。サンプリングクロックごとにコンパレータ Bi の出力信号 INTiCOUT 信号をサンプリングし、レベルが 3 度一致した時点で、INTiC レジスタの IR ビットが 1 (割り込み要求あり) になります。

図 26.3 にコンパレータ Bi デジタルフィルタの構成 (i = 1, 3) を、図 26.4 にコンパレータ Bi デジタルフィルタ動作例 (i = 1, 3) を示します。

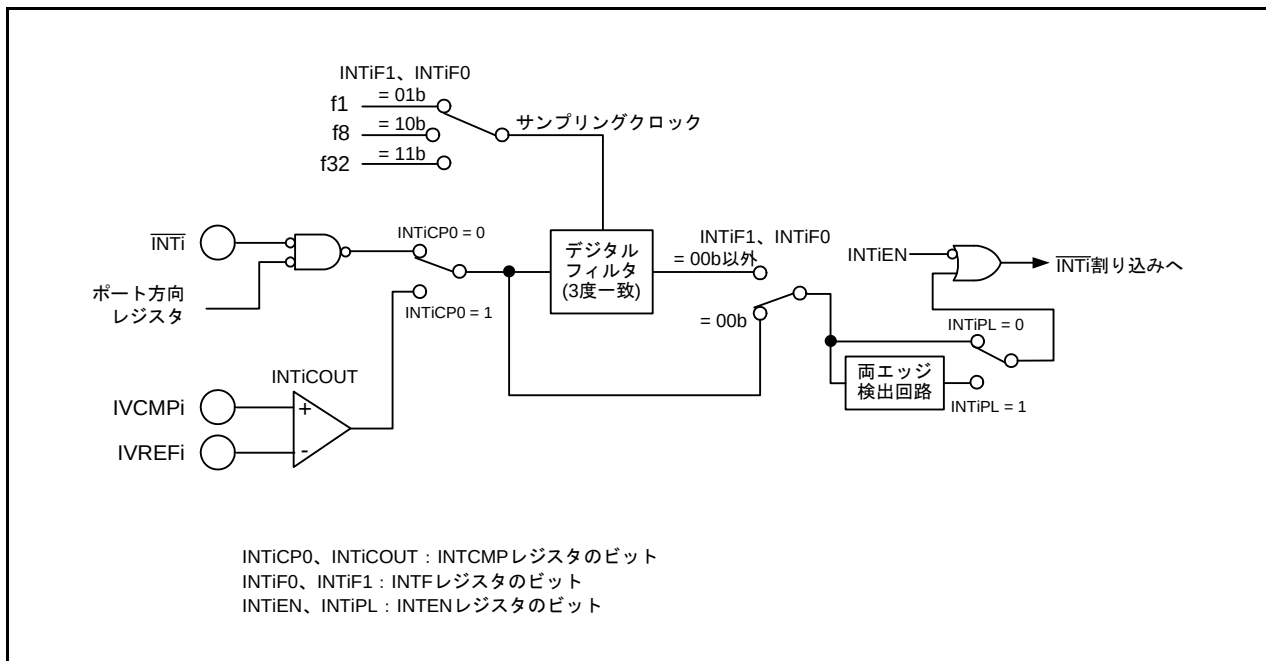


図 26.3 コンパレータ Bi デジタルフィルタの構成 (i = 1, 3)

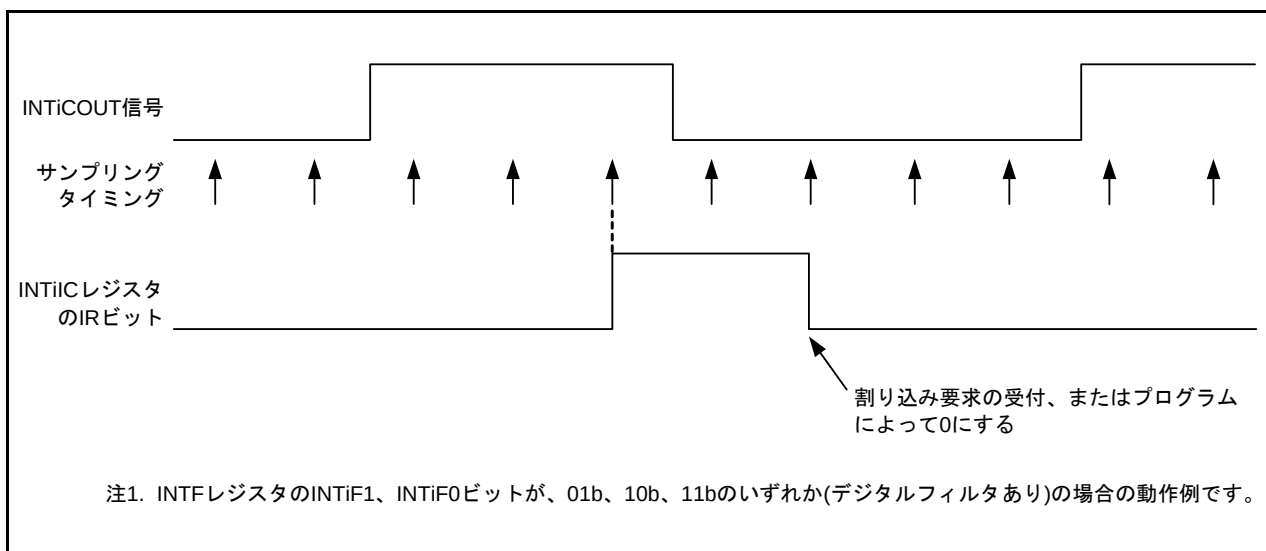


図 26.4 コンパレータ Bi デジタルフィルタ動作例 (i = 1, 3)

26.4 コンパレータ B1、コンパレータ B3 割り込み

コンパレータ B はコンパレータ B1 およびコンパレータ B3 の 2 つの割り込み要求を発生します。コンパレータ Bi ($i = 1, 3$) 割り込みは $INTi$ 入力による割り込みと同一の $INTiIC$ レジスタ (IR ビット、ILVL0 ~ ILVL2 ビット) と、それぞれ 1 つの割り込みベクタを持ちます。

コンパレータ Bi 割り込みを使用するときは $INTEN$ レジスタの $INTiEN$ ビットを 1 (許可) にしてください。さらに極性を $INTEN$ レジスタの $INTiPL$ ビットと $INTPOL$ レジスタの $INTiPOL$ ビットで選択できます。

また、3 種類のサンプリングクロックを持つデジタルフィルタを通して入力することも可能です。

図 26.5 にコンパレータ Bi 割り込み発生タイミング (立ち上がりエッジ選択時) を、図 26.6 にコンパレータ Bi 割り込み発生タイミング (立ち下がりエッジ選択時) を示します。

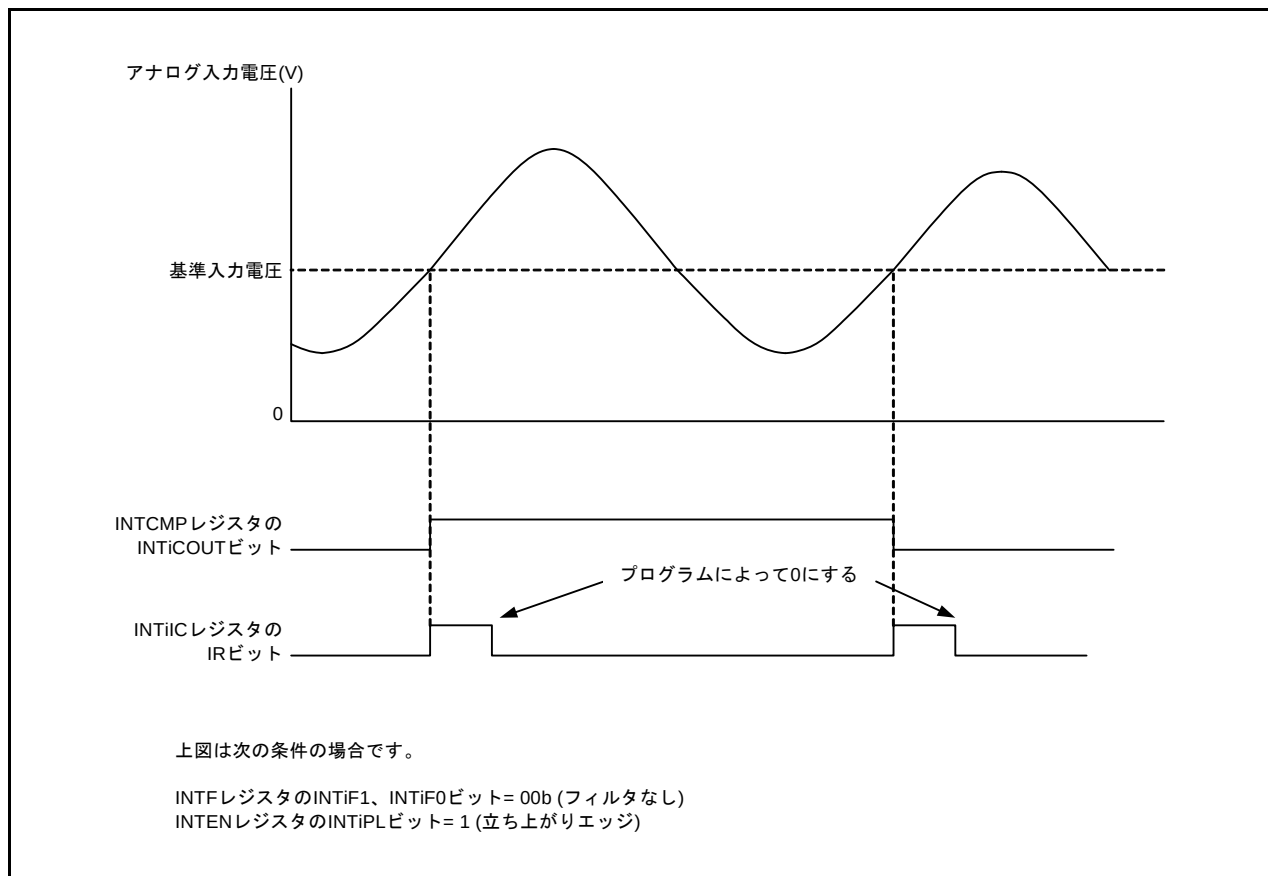


図 26.5 コンパレータ Bi 割り込み発生タイミング (立ち上がりエッジ選択時)

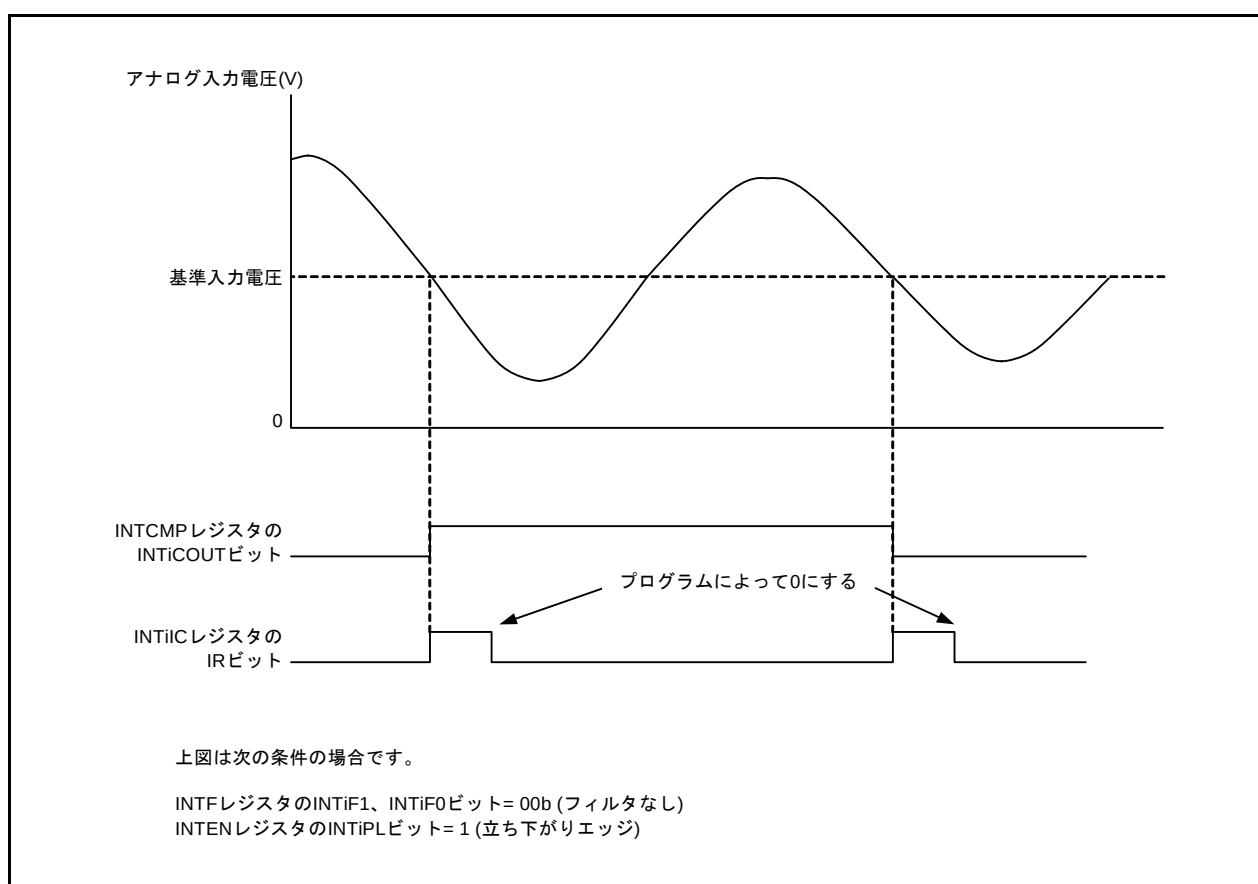


図 26.6 コンパレータ Bi 割り込み発生タイミング(立ち下がりエッジ選択時)

27. フラッシュメモリ

フラッシュメモリは、CPU 書き換えモード、標準シリアル入出力モード、パラレル入出力モードの3つの書き換えモードがあります。

27.1 概要

表27.1にフラッシュメモリの性能概要を示します(表27.1に示す以外の項目は「表1.1～表1.8 R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、R8C/54H グループの仕様概要」参照)。

R8C/54E グループ、R8C/54G グループは、BGO (バックグラウンドオペレーション) 機能付データフラッシュ (1 KB×4ブロック) を内蔵しています。

表27.1 フラッシュメモリの性能概要

項目		性能
フラッシュメモリの動作モード		3モード(CPU書き換え、標準シリアル入出力、パラレル入出力)
消去ブロック分割		図27.1参照
プログラム方式		バイト単位/ワード単位(プログラムROM領域のみ)
イレーズ方式		ブロック消去
プログラム、イレーズ制御方式(注1)		ソフトウェアコマンドによるプログラム、イレーズ制御
書き換えプロテクト制御方式	ブロック0～6 (プログラムROM) (注2)	ロックビットによるブロック単位の書き換えプロテクト制御
	ブロックA、B、C、D (データフラッシュ) (注4)	FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビットによるブロックA、B、C、Dに対する個別の書き換え制御
コマンド数		7コマンド
プログラム、イレーズ回数(注3)	ブロック0～6 (プログラムROM) (注2)	1,000回
	ブロックA、B、C、D (データフラッシュ) (注4)	10,000回
IDコードチェック機能		標準シリアル入出力モード対応
ROMコードプロテクト		パラレル入出力モード対応

注1. プログラム、イレーズを実行する場合は、電源電圧 VCC = 2.7 V～5.5 V の条件で行ってください。2.7 V 未満では、プログラム、イレーズを実行しないでください。

注2. 製品によってブロック数およびブロックの分割が異なります。詳細は「図 27.1 R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、R8C/54H グループのフラッシュメモリのブロック図」を参照してください。

注3. プログラム、イレーズ回数の定義

プログラム、イレーズ回数はブロックごとのイレーズ回数です。

プログラム、イレーズ回数が n 回 (n = 1,000、10,000 回) の場合、ブロックごとにそれぞれ n 回ずつイレーズすることができます。例えば、1 K バイトブロックのブロック A について、それぞれ異なる番地に 1 バイト書き込みを 1,024 回に分けて行った場合、そのブロックをイレーズするとプログラム/イレーズ回数は 1 回と数えます。100 回以上の書き換えを実施する場合は、実質的な書き換え回数を減少させるために、空き領域がなくなるまでプログラムを実施してからイレーズを行うようにすることと、特定ブロックのみの書き換えは避け、各ブロックへのプログラム、イレーズ回数を平準化するように書き換えを実施してください。また、ブロックごとに何回イレーズを実施したかを情報として残していただき、制限回数を設けていただくことをお勧めします。

注4. R8C/54F グループ、R8C/54H グループは、データフラッシュを内蔵していません。

表27.2 フラッシュメモリ書き換えモードの概要

フラッシュメモリ書き換えモード	CPU 書き換えモード	標準シリアル入出力モード	パラレル入出力モード
機能概要	CPU がソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える	専用シリアルライタを使用して、ユーザROM領域を書き換える	専用パラレルライタを使用してユーザROM領域を書き換える
書き換えできる領域	ユーザROM	ユーザROM	ユーザROM
書き換えプログラム	ユーザプログラム	標準ブートプログラム	—

27.2 メモリ配置

フラッシュメモリは、ユーザROM領域とブートROM領域(予約領域)に分けられます。

図 27.1 に R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、R8C/54H グループのフラッシュメモリのブロック図を示します。

ユーザROM領域にはプログラムROMとデータフラッシュがあります。

プログラムROM：主にプログラムを格納するためのフラッシュメモリ

データフラッシュ：主に書き換えが必要なデータを格納するためのフラッシュメモリ

ユーザROM領域はいくつかのブロックに分割されています。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モード、またはパラレル入出力モードで書き換えられます。

ブートROM領域は出荷時に標準シリアル入出力モードの書き換え制御プログラム(標準ブートプログラム)が格納されています。ブートROM領域は、ユーザROM領域とは別に存在します。

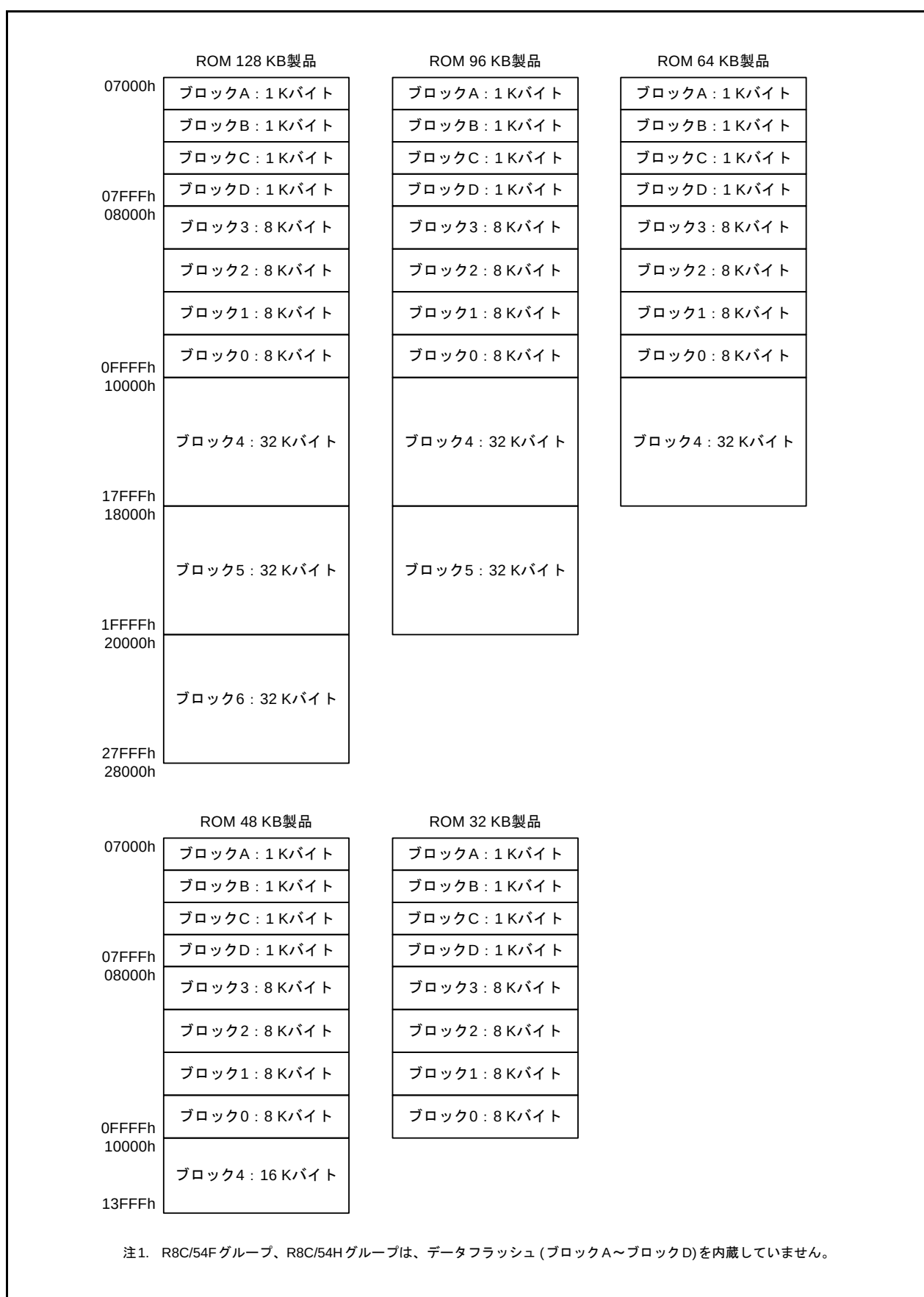


図 27.1 R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、R8C/54H グループのフラッシュメモリのブロック図

27.3 レジスタの説明

表27.3にフラッシュメモリのレジスタ構成を示します。

表27.3 フラッシュメモリのレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
フラッシュメモリステータスレジスタ	FST	10000X00b	00252h	8
フラッシュメモリ制御レジスタ0	FMR0	00h	00254h	8
フラッシュメモリ制御レジスタ1	FMR1	00h	00255h	8
フラッシュメモリ制御レジスタ2	FMR2	00h	00256h	8
オプション機能選択レジスタ	OFS	(注1)	0FFFFh	8

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。

OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。

27.3.1 フラッシュメモリステータスレジスタ (FST)

アドレス 00252h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FST7	FST6	FST5	FST4	—	LBDATA	BSYAEI	RDYSTI
リセット後の値	1	0	0	0	0	X	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDYSTI	フラッシュレディステータス割り込み要求フラグ(注1、4、5)	0: フラッシュレディステータス割り込み要求なし 1: フラッシュレディステータス割り込み要求あり	R/W
b1	BSYAEI	フラッシュアクセスエラー割り込み要求フラグ(注2、4、5)	0: フラッシュアクセスエラー割り込み要求なし 1: フラッシュアクセスエラー割り込み要求あり	R/W
b2	LBDATA	LBDATA モニタフラグ	0: ロック状態 1: 非ロック状態	R
b3	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b4	FST4	プログラムエラーフラグ(注3)	0: プログラムエラーなし 1: プログラムエラーあり	R
b5	FST5	イレーズエラーフラグ(注3)	0: イレーズエラーなし 1: イレーズエラーあり	R
b6	FST6	イレーズサスペンドステータスフラグ	0: イレーズサスペンド以外 1: イレーズサスペンド中	R
b7	FST7	レディ/ビジステータスフラグ	0: ビジー 1: レディ	R

注1. プログラムでRDYSTIビットを1(フラッシュレディステータス割り込み要求あり)にできません。

RDYSTIビットに0(フラッシュレディステータス割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。読んでから書くまでの間はフラッシュレディステータス要因によるDTC起動を禁止にしてください。

このビットを確認する場合には、FMR0 レジスタのRDYSTIE ビットを1(フラッシュレディステータス割り込み許可)にしてください。

注2. プログラムでBSYAEIビットを1(フラッシュアクセスエラー割り込み要求あり)にできません。

BSYAEIビットに0(フラッシュアクセスエラー割り込み要求なし)を書く場合は、書く前に読んでください(ダミーリード)。

このビットを確認する場合には、FMR0レジスタのBSYAEIE ビットを1(フラッシュアクセスエラー割り込み許可)あるいはFMR0レジスタのCMDERIE ビットを1(イレーズ/ライトエラー割り込み許可)にしてください。

注3. コマンドエラー時にも1(エラーあり)になります。

注4. このビットが1のとき、FMR0レジスタのFMR01ビットを0(CPU書き換えモード無効)にしないでください。

注5. このビットを0にするためには、1を読んだ後、0を書いてください。

RDYSTI ビット(フラッシュレディステータス割り込み要求フラグ)

FMR0 レジスタの RDYSTIE ビットが 1 (フラッシュレディステータス割り込み許可) で、自動書き込みまたは自動消去が終了、もしくはイレーズサスペンドモードに移行したときに RDYSTI ビットが 1 (フラッシュレディステータス割り込み要求あり) になります。

割り込み処理の中で、RDYSTI ビットを 0 (フラッシュレディステータス割り込み要求なし) にしてください。

[0 になる条件]

割り込み処理のプログラムで 0 にしてください。

[1 になる条件]

FMR0 レジスタの RDYSTIE ビットが 1 のときに、ビジーからレディに遷移すると、RDYSTI ビットは 1 になります。

ビジーからレディに変化するの、次の状態のときです。

- フラッシュメモリのイレーズ/プログラム終了
- サスペンド受付
- 強制終了完了
- ロックビットプログラム終了
- リードロックビットステータス終了
- フラッシュメモリ停止が解除され、フラッシュメモリ読み出し可能となったとき

BSYAEI ビット(フラッシュアクセスエラー割り込み要求フラグ)

FMR0 レジスタの BSYAEIE ビットが 1 (フラッシュアクセスエラー割り込み許可) で、自動書き込みまたは自動消去状態のブロックへアクセスした場合、BSYAEI ビットが 1 (フラッシュアクセスエラー割り込み要求あり) になります。割り込み処理の中で BSYAEI ビットを 0 (フラッシュアクセスエラー割り込み要求なし) にしてください。

また、FMR0 レジスタの CMDERIE ビットが 1 (イレーズ/ライトエラー割り込み許可) のときに、コマンドシーケンスエラー、イレーズエラー、またはプログラムエラーが発生した場合、BSYAEI ビットが 1 (フラッシュアクセスエラー割り込み要求あり) になります。

割り込み処理の中で、クリアステータスレジスタコマンドを実行し、BSYAEI ビットを 0 (フラッシュアクセスエラー割り込み要求なし) にしてください。

[0 になる条件]

(1) 割り込み処理のプログラムで 0 にしてください。

(2) クリアステータスレジスタコマンドを実行してください。

[1 になる条件]

- (1) FMR0 レジスタの BSYAEIE ビットが 1 のときに、フラッシュメモリがビジー状態で、イレーズ/ライトを実行している領域を読み/書きする。
または、プログラム ROM 領域をイレーズ/ライト中にデータフラッシュ領域をリードする。
(ただし、両者ともに読み出し値は不定。書き込みは無効。)
- (2) FMR0 レジスタの CMDERIE ビットが 1 (イレーズ/ライトエラー割り込み許可) のときに、コマンドシーケンスエラー、イレーズエラー、またはプログラムエラーが発生した場合。

LBDATA ビット (LBDATA モニタフラグ)

ロックビットの状態を示す読み出し専用ビットです。ロックビットの状態を確認するためには、リードロックビットステータスコマンドを実行し、FST7 ビットが1 (レディ) になった後で、LBDATA ビットを読んでください。

更新条件は、プログラム、イレーズ、リードロックビットステータスのコマンド発行時です。リードロックビットステータスコマンドを入力すると、FST7 ビットが0 (ビジー) になります。FST7 ビットが1 (レディ) になった時点でLBDATA ビットにロックビットの状態が格納されます。次のコマンドが入力されるまで、LBDATA ビットのデータは保持されます。

FST4 ビット (プログラムエラーフラグ)

自動書き込みの状況を示す読み出し専用のビットです。プログラムエラーが発生すると1、それ以外のときは0となります。詳細は「27.5.8 フルスステータスチェック」を参照してください。

FST5 ビット (イレーズエラーフラグ)

自動消去の状況を示す読み出し専用のビットです。イレーズエラーが発生すると1、それ以外のときは0となります。詳細は「27.5.8 フルスステータスチェック」を参照してください。

FST6 ビット (イレーズサスペンドステータスフラグ)

サスペンドの状態を示す読み出し専用のビットです。イレーズサスペンドリクエストを受け付け、サスペンド状態に移行すると1になります。それ以外のときは0になります。

FST7 ビット (レディ / ビジーステータスフラグ)

FST7 ビットが0 (ビジー) のとき、フラッシュメモリは次の状態です。

- プログラム中
- イレーズ中
- ロックビットプログラム中
- リードロックビットステータス中
- 強制停止動作中
- フラッシュメモリ停止中
- フラッシュメモリ復帰中

上記以外の場合は、FST7 ビットは1 (レディ) になります。

27.3.2 フラッシュメモリ制御レジスタ 0 (FMR0)

アドレス	00254h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	RDYSTIE	BSYAEIE	CMDERIE	CMDRST	FMSTP	FMR02	FMR01	FMR00
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR00	プログラム単位選択ビット (注1、5、6)	0: バイト単位 1: ワード単位	R/W
b1	FMR01	CPU書き換えモード選択ビット (注1、4)	0: CPU書き換えモード無効 1: CPU書き換えモード有効	R/W
b2	FMR02	EW1モード選択ビット (注1)	0: EW0モード 1: EW1モード	R/W
b3	FMSTP	フラッシュメモリ停止ビット (注2)	0: フラッシュメモリ動作 1: フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	R/W
b4	CMDRST	イレーズ/ライトシーケンスリセット ビット (注3)	CMDRSTビットを1にすると、イレーズ/ライト シーケンスはリセットされ、イレーズ/ライ トを強制停止させることができます。 読み出した場合は、0が読み出されます。	R/W
b5	CMDERIE	イレーズ/ライトエラー割り込み許可 ビット	0: イレーズ/ライトエラー割り込み禁止 1: イレーズ/ライトエラー割り込み許可	R/W
b6	BSYAEIE	フラッシュアクセスエラー割り込み 許可ビット	0: フラッシュアクセスエラー割り込み禁止 1: フラッシュアクセスエラー割り込み許可	R/W
b7	RDYSTIE	フラッシュレディステータス割り込 み許可ビット	0: フラッシュレディステータス割り込み禁止 1: フラッシュレディステータス割り込み許可	R/W

注1. このビットを1にするときは、0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2. FMSTPビットはRAMに転送したプログラムで書いてください。FMSTPビットはFMR01ビットが1 (CPU書き換えモード有効) のとき、有効です。FMR01ビットが0 (CPU書き換えモード無効) のときにFMSTPビットを1 (フラッシュメモリ停止) にしないでください。また、FMSTPビットを1 (フラッシュメモリ停止) にする場合は、FSTレジスタのFST7ビットが1 (レディ) のとき、設定してください。

注3. CMDRSTビットはFMR01ビットが1 (CPU書き換えモード有効) かつFSTレジスタのFST7ビットが0 (ビジー) のとき、有効です。

注4. FMR01ビットを0 (CPU書き換えモード無効) にする場合は、FSTレジスタのRDYSTIビットが0 (フラッシュレディステータス割り込み要求なし)、かつBSYAEIビットが0 (フラッシュアクセスエラー割り込み要求なし) のとき、設定してください。

注5. プログラムROM領域に対してのみ有効です。

注6. FMR0レジスタのFMR00ビットを1 (ワード単位) に設定した場合、ソフトウェアコマンド (アドレス、データ) の設定にはワード命令を使用し、偶数番地へ書き込んでください。

FMR00ビット (プログラム単位選択ビット)

ワード単位 (FMR00ビットが1) の場合は、下記の動作になり、奇数番地はコマンド入力できません。

- ・ユーザROM領域の奇数番地へのコマンド入力不可
- ・ユーザROM領域の偶数番地へのコマンド入力可能

FMR01ビット (CPU書き換えモード選択ビット)

FMR01ビットを1 (CPU書き換えモード有効) にすると、ソフトウェアコマンドの受け付けが可能になります。

FMR02 ビット (EW1 モード選択ビット)

FMR02 ビットを1 (EW1 モード) にすると、EW1 モードになります。

FMSTP ビット (フラッシュメモリ停止ビット)

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTP ビットを1 にすると、フラッシュメモリをアクセスできなくなります。したがって、FMSTP ビットはRAM に転送したプログラムで書いてください。

高速オンチップオシレータモード、低速オンチップオシレータモード (XIN クロック停止) でさらに低消費電力にする場合、FMSTP ビットを1 にしてください。詳細は「10.6.10 フラッシュメモリの停止」を参照してください。

なお、CPU 書き換えモードが無効時にストップモードまたはウェイトモードに移行する場合は、自動的にフラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0 レジスタを設定する必要はありません。

また、FMSTP ビットが1 のとき (FMSTP ビットを1 から0 へ変更直後のビジー中 (FST7 ビットが0 の期間) も含む) は、同時に低消費電流リードモードにしないでください。

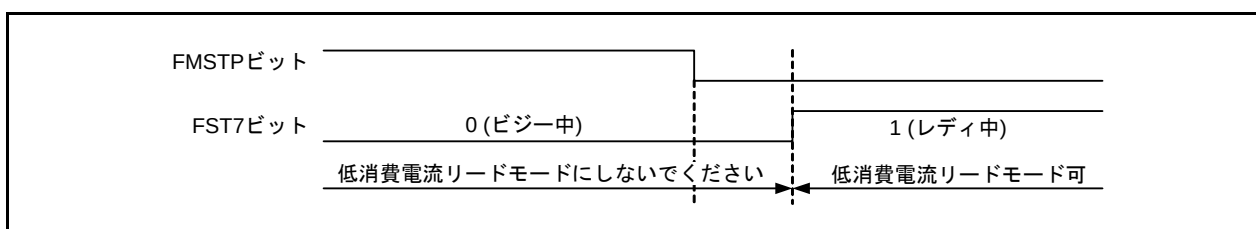


図 27.2 低消費電流リードモードへの移行

CMDRST ビット (イレーズ/ライトシーケンスリセットビット)

フラッシュメモリのシーケンスを初期化し、プログラム、ブロックイレーズコマンドを強制停止させるためのビットです。データフラッシュ領域へのプログラム/イレーズ中のシーケンスリセットの場合は、プログラムROM領域を読み出すことは可能です。

FMR0 レジスタの CMDRST ビットによりプログラム、ブロックイレーズコマンドを強制停止した場合、FST レジスタの FST7 ビットが1 (レディ) に復帰後、クリアステータスレジスタコマンドを実行してください。再度同じアドレスにプログラムする場合は、ブロックイレーズコマンドを再度実行し、ブロックイレーズが正常に終わったことを確認した上で、プログラムを行ってください。プログラム、ブロックイレーズコマンドを強制停止したアドレスおよびブロックがプログラム領域の場合、FMR1 レジスタの FMR13 ビットを1 (ロックビット無効) にした後で、ブロックイレーズコマンドを再度実行してください。

また、イレーズサスペンド中に CMDRST ビットを1 (イレーズ/ライト停止) にすると、サスペンドの状態も初期化されるため、ブロックイレーズをサスペンドしていたブロックに対しても、ブロックイレーズを再度実行してください。

CMDRST ビットを1 (イレーズ/ライト停止) にしてから、td(CMDRST-READY)後に、実行中のコマンドが強制停止され、フラッシュメモリが読み出し可能になります。

CMDERIE ビット(イレーズ/ライトエラー割り込み許可ビット)

次のエラーが発生したときに、フラッシュコマンドエラー割り込みを発生させることを許可するビットです。

- プログラムエラー
- ブロックイレーズエラー
- コマンドシーケンスエラー

CMDERIE ビットを1(イレーズ/ライトエラー割り込み許可)にし、上記エラーが発生すると割り込みが発生します。

フラッシュコマンドエラー割り込みが発生した場合は、割り込み処理の中でクリアステータスレジスタコマンドを実行してください。

CMDERIE ビットを0(イレーズ/ライトエラー割り込み禁止)から1(イレーズ/ライトエラー割り込み許可)にする場合には、次のようにしてください。

- (1) クリアステータスレジスタコマンドを実行する。
- (2) CMDERIE ビットを1にする。

BSYAEIE ビット(フラッシュアクセスエラー割り込み許可ビット)

書き換え中のフラッシュメモリに対して、アクセスした場合に、フラッシュアクセスエラー割り込みを発生させることを許可するビットです。

BSYAEIE ビットを0(フラッシュアクセスエラー割り込み禁止)から1(フラッシュアクセスエラー割り込み許可)にする場合には、次のようにしてください。

- (1) FST レジスタのBSYAEI ビットを読む(ダミーリード)。
- (2) BSYAEI ビットに0(フラッシュアクセスエラー割り込み要求なし)を書く。
- (3) BSYAEIE ビットを1(フラッシュアクセスエラー割り込み許可)にする。

RDYSTIE ビット(フラッシュレディステータス割り込み許可ビット)

フラッシュシーケンスがビジーからレディ状態になったときに、フラッシュレディステータス割り込みを発生させることを許可するビットです。

RDYSTIE ビットを0(フラッシュレディステータス割り込み禁止)から1(フラッシュレディステータス割り込み許可)にする場合には、次のようにしてください。

- (1) FST レジスタのRDYSTI ビットを読む(ダミーリード)。
- (2) RDYSTI ビットに0(フラッシュレディステータス割り込み要求なし)を書く。
- (3) RDYSTIE ビットを1(フラッシュレディステータス割り込み許可)にする。

27.3.3 フラッシュメモリ制御レジスタ 1 (FMR1)

アドレス	00255h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR17	FMR16	FMR15	FMR14	FMR13	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b1	—			
b2	—			
b3	FMR13	ロックビット無効選択ビット (注1)	0: ロックビット有効 1: ロックビット無効	R/W
b4	FMR14	データフラッシュブロックA書き換え禁止ビット (注2、3)	0: 書き換え許可(ソフトウェアコマンド受付可能) 1: 書き換え禁止(ソフトウェアコマンドを受付ない、エラーにもならない)	R/W
b5	FMR15	データフラッシュブロックB書き換え禁止ビット (注2、3)		R/W
b6	FMR16	データフラッシュブロックC書き換え禁止ビット (注2、3)		R/W
b7	FMR17	データフラッシュブロックD書き換え禁止ビット (注2、3)		R/W

注1. FMR13 ビットを1にするときは、0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2. このビットを0にするときは、1を書いた後、続けて0を書いてください。また、1を書いた後、0を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注3. FMR0 レジスタのFMR01ビットを0(CPU書き換えモード無効)にすると0になります。

FMR13ビット(ロックビット無効選択ビット)

FMR13ビットを1(ロックビット無効)にすると、ロックビットを無効にできます。0にすると、ロックビットが有効になります。ロックビットについては「27.5.6 データ保護機能」を参照してください。

FMR13ビットは、ロックビット機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR13ビットを1にした状態でブロックイレースコマンドを実行すると、0(ロック状態)であったロックビットデータは、消去終了後には1(非ロック状態)になります。

[0になる条件]

次の条件が成立した時点で0になります。

- プログラムコマンド終了時点
- ブロックイレースコマンド終了時点
- コマンドシーケンスエラー発生時点
- イレースサスペンド移行時点
- FMR0 レジスタのFMR01ビットが0(CPU書き換えモード無効)になった場合
- FMR0 レジスタのFMSTPビットが1(フラッシュメモリ停止)になった場合
- FMR0 レジスタのCMDRSTビットが1(イレース/ライト停止)になった場合

[1になる条件]

プログラムで1にしてください。

FMR14ビット(データフラッシュブロックA書き換え禁止ビット)

FMR14ビットが0のとき、データフラッシュのブロックAはプログラムコマンド、ブロックイレースコマンドを受け付けます。

FMR15ビット(データフラッシュブロックB書き換え禁止ビット)

FMR15ビットが0のとき、データフラッシュのブロックBはプログラムコマンド、ブロックイレースコマンドを受け付けます。

FMR16ビット(データフラッシュブロックC書き換え禁止ビット)

FMR16ビットが0のとき、データフラッシュのブロックCはプログラムコマンド、ブロックイレースコマンドを受け付けます。

FMR17ビット(データフラッシュブロックD書き換え禁止ビット)

FMR17ビットが0のとき、データフラッシュのブロックDはプログラムコマンド、ブロックイレースコマンドを受け付けます。

27.3.4 フラッシュメモリ制御レジスタ 2 (FMR2)

アドレス	00256h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	FMR27	—	—	FMR24	—	FMR22	FMR21	FMR20
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FMR20	イレーズサスペンド許可ビット (注1)	0 : イレーズサスペンド禁止 1 : イレーズサスペンド許可	R/W
b1	FMR21	イレーズサスペンドリクエストビット (注2)	0 : イレーズリスタート 1 : イレーズサスペンドリクエスト	R/W
b2	FMR22	割り込み要求サスペンドリクエスト許可ビット (注1)	0 : 割り込み要求でイレーズサスペンドリクエスト禁止 1 : 割り込み要求でイレーズサスペンドリクエスト許可	R/W
b3	—	予約ビット	0にしてください	R/W
b4	FMR24	高速リードモード禁止ビット (注1、4)	0 : 高速リードモード許可 1 : 高速リードモード禁止	R/W
b5	—	予約ビット	0にしてください	R/W
b6	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b7	FMR27	低消費電流リードモード許可ビット (注1、3、4)	0 : 低消費電流リードモード禁止 1 : 低消費電流リードモード許可	R/W

注1. このビットを1にするときは、0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

注2. FMR21ビットを0(イレーズリスタート)にする場合は、FMR0レジスタのFMR01ビットが1(CPU書き換えモード有効)のとき、設定してください。

注3. 低消費電流リードモードを使用する場合は、次の設定をした後、FMR27ビットを1にしてください。

・CPUクロックを低速オンチップオシレータクロックの4分周、8分周または16分周に設定

注4. ウェイトモードまたはストップモードから復帰した場合、CM3レジスタのCM37、CM36ビット(ウェイトモード、ストップモードから復帰時のシステムクロック選択ビット)で10b(高速オンチップオシレータクロックを選択)、11b(XINクロックを選択)を選択した場合、またはCM3レジスタのCM35ビットで1(分周なし)の場合、リセット後の値になります。

FMR20ビット(イレーズサスペンド許可ビット)

FMR20ビットを1(許可)にすると、イレーズサスペンド機能が許可されます。

FMR21ビット(イレーズサスペンドリクエストビット)

FMR21ビットを1にすると、イレーズサスペンドモードに移行します。FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合、許可された割り込みの割り込み要求が発生すると、FMR21ビットは自動的に1(イレーズサスペンドリクエスト)になり、イレーズサスペンドモードに移行します。自動消去を再開するときは、FMR21ビットを0(イレーズリスタート)にしてください。

[0になる条件]

プログラムで0にしてください。

[1になる条件]

- ・割り込み要求発生時に、FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)のとき。
- ・プログラムで1にしてください。

FMR22 ビット(割り込み要求サスペンドリクエスト許可ビット)

FMR22 ビットを1 (割り込みでイレーズサスペンドリクエスト許可) にすると、自動消去中に、割り込み要求が発生したときに、自動的にFMR21ビットを1 (イレーズサスペンドリクエスト) にします。

EW1 モードでユーザ ROM 領域を書き換え中にイレーズサスペンドを使用するときに、1 にしてください。

FMR24 ビット(高速リードモード禁止ビット)

CPU クロック > 20 MHz で使用する場合は、FMR24 ビットを0 にしてください。

CPU クロック ≤ 20 MHz で使用する場合は、FMR24 ビットを1 にしてください。

FMR24 ビットを1 にする場合は、CPU クロックが20 MHz 以下に設定した後で行ってください。

FMR27 ビット(低消費電流リードモード許可ビット)

低速オンチップオシレータモード(XIN クロック停止)のときに、FMR27 ビットを1 (低消費電流リードモード許可) にすると、フラッシュメモリ読み出し時の消費電流を低減できます。詳細は「10.6.11 低消費電流リードモード」を参照してください。

CPU クロックが低速オンチップオシレータクロックの4分周、8分周または16分周のいずれかで、低消費電流リードモードを使用できます。1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。CPU クロック分周比を設定した後、FMR27 ビットを1 にしてください。

FMR27 ビットが1 (低消費電流リードモード許可) の状態で、ウェイトモードまたはストップモードへ移行する場合、CM3 レジスタのCM37、CM36 ビットを00b (ウェイトモード、ストップモードに移行する直前のCPU クロックで復帰)、CM35 ビットを0 (CM0 レジスタのCM06 ビット、CM1 レジスタのCM16、CM17 ビットの設定有効) にしてください。

なお、FMR27 ビットが1 (低消費電流リードモード許可) のとき、プログラム、ブロックイレーズ、ロックビットプログラムコマンドを実行しないでください。また、FMSTP ビットを1 (フラッシュメモリ停止) から0 (フラッシュメモリ動作) にする場合は、FMR27 ビットが0 (低消費電流リードモード禁止) のときに行ってください。

27.3.5 オプション機能選択レジスタ (OFS)

アドレス 0FFFFh

ビット b7 b6 b5 b4 b3 b2 b1 b0

シンボル CSPROINI LVDAS VDSEL1 VDSEL0 ROMCP1 ROMCR — WDTON

リセット後の値 ユーザの設定値(注1)

ビット	シンボル	ビット名	機能	R/W
b0	WDTON	ウォッチドッグタイマ起動 選択ビット	0: リセット後、ウォッチドッグタイマは自動的に起動 1: リセット後、ウォッチドッグタイマは停止状態	R/W
b1	—	予約ビット	1にしてください	R/W
b2	ROMCR	ROMコードプロテクト解除 ビット	0: ROMコードプロテクト解除 1: ROMCP1ビット有効	R/W
b3	ROMCP1	ROMコードプロテクト ビット	0: ROMコードプロテクト有効 1: ROMコードプロテクト解除	R/W
b4	VDSEL0	電圧検出0レベル選択ビット (注2)	b5 b4 0 0 : 3.80 V選択 (Vdet0_3) 0 1 : 2.85 V選択 (Vdet0_2) 上記以外: 設定しないでください	R/W
b5	VDSEL1			R/W
b6	LVDAS	電圧検出0回路起動ビット (注3)	0: リセット後、電圧監視0リセット有効 1: リセット後、電圧監視0リセット無効	R/W
b7	CSPROINI	リセット後カウントソース 保護モード選択ビット	0: リセット後、カウントソース保護モード有効 1: リセット後、カウントソース保護モード無効	R/W

注1. OFSレジスタはフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。OFSレジスタに追加書き込みをしないでください。OFSレジスタを含むブロックを消去すると、OFSレジスタはFFhになります。ブランク出荷品の出荷時、OFSレジスタはFFhです。ユーザでの書き込み後は、書き込んだ値になります。書き込み出荷品の出荷時、OFSレジスタの値は、ユーザがプログラムで設定した値です。

注2. VDSEL0、VDSEL1ビットで選択した電圧検出0レベルは、電圧監視0リセットおよびパワーオンリセットの両機能に、同じレベルで設定されます。

注3. パワーオンリセット、電圧監視0リセットを使用する場合、LVDASビットを0(リセット後、電圧監視0リセット有効)にしてください。

OFSレジスタの設定例は「5.6.1 オプション機能選択領域の設定例」を参照してください。

LVDASビット(電圧検出0回路起動ビット)

電圧検出0回路で監視するVdet0電圧は、VDSEL0、VDSEL1ビットで選択されます。

27.4 フラッシュメモリ書き換え禁止機能

フラッシュメモリを簡単に読んだり書き換えたりできないように、標準シリアル入出力モードにはIDコードチェック機能が、パラレル入出力モードにはROMコードプロテクト機能があります。

27.4.1 IDコードチェック機能

IDコードチェック機能は、標準シリアル入出力モードで使用します。リセットベクタの3バイト(0FFFCh～0FFFEh番地)がFFFFFFhではない場合、シリアルライターやオンチップデバッグエミュレータから送られてくるIDコードと、フラッシュメモリに書かれている7バイトのIDコードが一致するか判定します。コードが一致しなければ、シリアルライターやオンチップデバッグエミュレータから送られてくるコマンドは受け付けません。IDコードチェック機能の詳細は「5.3 IDコード領域」を参照してください。

27.4.2 ROMコードプロテクト機能

ROMコードプロテクトはパラレル入出力モード使用時、OFSレジスタを使用して、フラッシュメモリの内容の読み出し、書き換え、消去を禁止する機能です。

オプション機能選択領域の詳細は「5.5 オプション機能選択領域」を参照してください。

ROMCRビットに1、ROMCP1ビットに0を書くと、ROMコードプロテクトが有効になり、内蔵フラッシュメモリの内容の読み出し、書き換えが禁止されます。

一度、ROMコードプロテクトを有効にすると、パラレル入出力モードでは、内蔵フラッシュメモリの内容を書き換えできません。ROMコードプロテクトを解除する場合は、CPU書き換えモードまたは標準シリアル入出力モードを使用して、OFSレジスタを含むブロックを消去してください。

27.5 CPU書き換えモード

CPU 書き換えモードでは、CPU がソフトウェアコマンドを実行することにより、ユーザ ROM 領域を書き換えることができます。したがって、ROM ライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザ ROM 領域を書き換えることができます。ソフトウェアコマンドは、ユーザ ROM 領域の各ブロック領域のみに対して実行してください。

また、CPU 書き換えモードで消去動作中に、消去動作を一時中断するイレーズサスペンド機能を持ちます。イレーズサスペンド中は、フラッシュメモリの読み出しまたはプログラムができます。

CPU 書き換えモードには、イレーズライト 0 モード(EW0 モード)とイレーズライト 1 モード(EW1 モード)があります。

表 27.4 に EW0 モードと EW1 モードの違いを示します。

表 27.4 EW0 モードと EW1 モードの違い

項目	EW0 モード	EW1 モード
動作モード	シングルチップモード	シングルチップモード
書き換え制御プログラムを配置できる領域	ユーザ ROM	ユーザ ROM
書き換え制御プログラムを実行できる領域	RAM (書き換え制御プログラムを転送して実行) ただし、データフラッシュ領域を書き換える場合は、プログラム ROM 領域上で実行可能。	ユーザ ROM または RAM
書き換えられる領域	ユーザ ROM	ユーザ ROM (ただし、書き換え制御プログラムがあるブロックを除く)
ソフトウェアコマンドの制限	—	プログラム、ブロックイレーズコマンド (書き換え制御プログラムがあるブロックに対して実行禁止)
プログラム、ブロックイレーズ後、イレーズサスペンド移行後のモード	リードアレイモード	リードアレイモード
プログラム、ブロックイレーズ実行中の CPU、DTC の状態	動作	- データフラッシュ領域をプログラム、ブロックイレーズ実行中、CPU または DTC は動作 - プログラム ROM 領域をプログラム、ブロックイレーズ実行中、CPU または DTC はホールド状態(入出力ポートはコマンド実行前の状態を保持)
フラッシュメモリのステータス検知	プログラムで FST レジスタの FST7、FST5、FST4 ビットを読む	プログラムで FST レジスタの FST7、FST5、FST4 ビットを読む
イレーズサスペンドへの移行条件	- プログラムで FMR2 レジスタの FMR20、FMR21 ビットを 1 にする - FMR2 レジスタの FMR20 と FMR22 ビットが 1 かつ許可されたマスカブル割り込み要求が発生	- プログラムで FMR2 レジスタの FMR20、FMR21 ビットを 1 にする(データフラッシュ領域を書き換え中) - FMR2 レジスタの FMR20 と FMR22 ビットが 1 かつ許可されたマスカブル割り込み要求が発生
CPU クロック	32 MHz	32 MHz

27.5.1 EW0モード

FMR0 レジスタのFMR01 ビットを1 (CPU 書き換えモード有効) にすると CPU 書き換えモードになり、ソフトウェアコマンドの受け付けが可能となります。このとき、FMR0 レジスタのFMR02 ビットが0 なので、EW0モードになります。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去中にイレーズサスペンドに移行する場合は、FMR20 ビットを1 (イレーズサスペンド許可)、FMR21 ビットを1 (イレーズサスペンドリクエスト) にしてください。次に、FST レジスタのFST7 ビットが1 (レディ) になったことを確認し、FST6 ビットが1 (イレーズサスペンド中) になったことを確認後、フラッシュメモリにアクセスしてください (FST6 ビットが0 になったとき、消去終了です)。

FMR2 レジスタのFMR21 ビットを0 (イレーズリスタート) にすると、自動消去を再開します。また、自動消去の再開を確認する場合は、FST レジスタのFST7 ビットが0 になったことを確認し、FST6 ビットが0 (イレーズサスペンド以外) になったことを確認してください。

27.5.2 EW1モード

FMR0 レジスタのFMR01 ビットを1 (CPU 書き換えモード有効) にした後、FMR02 ビットを1 (EW1モード) にするとEW1モードになります。

プログラム、イレーズの終了時の状態などは、FSTレジスタで確認できます。

自動消去時、イレーズサスペンド機能を有効にする場合には、FMR2 レジスタのFMR20 ビットを1 (サスペンド許可) にしてからブロックイレーズコマンドを実行してください。ユーザROM領域を自動消去中にイレーズサスペンドに移行する場合は、FMR2 レジスタのFMR22 ビットを1 (割り込み要求でイレーズサスペンドリクエスト許可) にしてください。また、イレーズサスペンドに移行するための割り込みはあらかじめ割り込み許可状態にしてください。

割り込み要求が発生すると、FMR2 レジスタのFMR21 ビットは自動的に1 (イレーズサスペンドリクエスト) になり、td(SR-SUS)後に、自動消去が中断されます。割り込み処理終了後、FMR21 ビットを0 (イレーズリスタート) にして自動消去を再開させてください。

27.5.3 各モードの設定と解除方法

図 27.3 に EW0 モードの設定と解除方法を、図 27.4 に EW0 モード(データフラッシュを書き換える場合)、EW1 モードの設定と解除方法を示します。

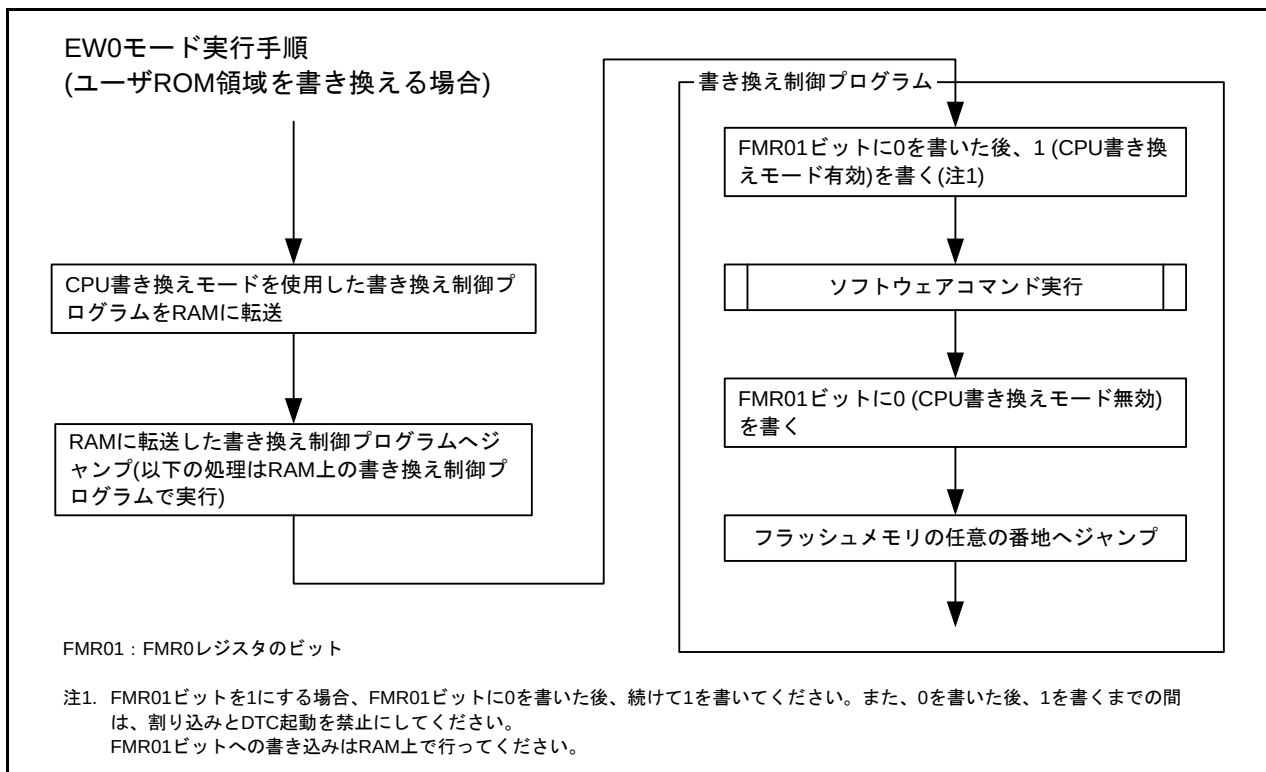


図 27.3 EW0モードの設定と解除方法

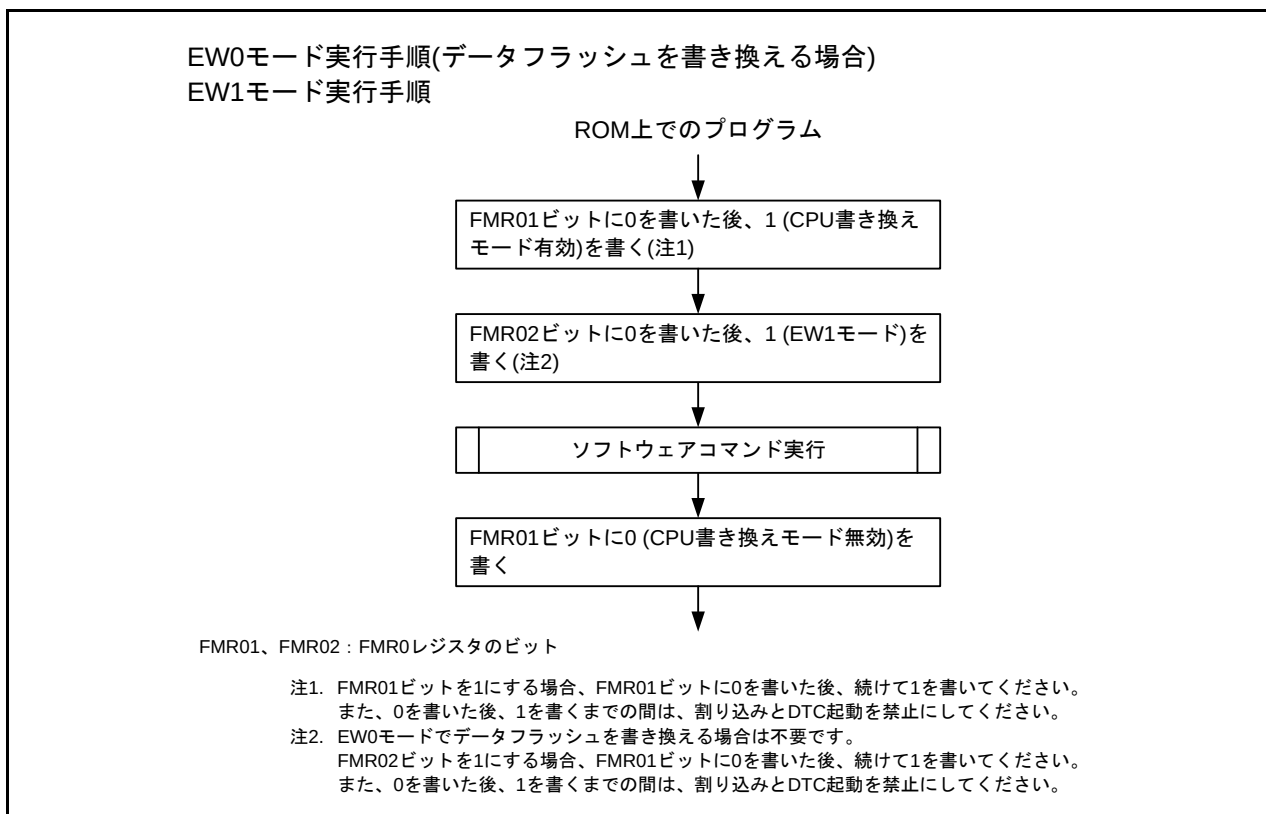


図 27.4 EW0モード(データフラッシュを書き換える場合)、EW1モードの設定と解除方法

27.5.4 サスペンド動作

サスペンド機能は自動消去の途中で、その動作を一時中断する機能です。

自動消去を中断したとき、次の動作が実行できます(「表 27.5 サスペンド中に実行できる動作」参照)。

- データフラッシュの任意のブロックの自動消去をサスペンドした場合、データフラッシュの別のブロックへの自動書き込み、および読み出しが実行できます。
- データフラッシュの自動消去をサスペンドした場合、プログラム ROM への自動書き込みおよび読み出しが実行できます。
- プログラム ROM の任意のブロックの自動消去をサスペンドした場合、プログラム ROM の別のブロックへの自動書き込み、および読み出しが実行できます。
- プログラム ROM の自動消去をサスペンドした場合、データフラッシュへの自動書き込みおよび読み出しが実行できます。
- サスペンドを確認する場合、FST レジスタの FST7 ビットが 1 (レディ) となったことを確認後、FST レジスタの FST6 ビットが 1 (イレーズサスペンド中) になったことで、サスペンドしたことを確認してください。(FST6 ビットが 0 (イレーズサスペンド以外) となったときは、消去終了です。)

図 27.5 にサスペンド動作に関するタイミングを示します。

表 27.5 サスペンド中に実行できる動作

		サスペンド中の動作											
		データフラッシュ (サスペンド移行前の イレーズ実行ブロック)			データフラッシュ (サスペンド移行前の イレーズ未実行ブロック)			プログラム ROM (サスペンド移行前の イレーズ実行ブロック)			プログラム ROM (サスペンド移行前の イレーズ未実行ブロック)		
		イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード	イレーズ	プログラム	リード
サスペンド 移行前の イレーズ 実行領域	データ フラッシュ	×	×	×	×	○	○	—	—	—	×	○	○ (注6)
	プログラム ROM	—	—	—	×	○	○	×	×	×	×	○	○

注1. ○はサスペンド機能を使用することで動作可能、×は動作禁止、—は組み合わせなし

注2. プログラム中はサスペンドできません。

注3. イレーズはブロックイレーズを、プログラムはプログラム、ロックビットプログラム、リードロックビットステータスの各コマンドを実行できます。

クリアステータスレジスタコマンドは、FST レジスタの FST7 ビットが 1 (レディ) で実行できます。

注4. イレーズサスペンド移行直後は、リードアレイモードになります。

注5. データフラッシュ内蔵製品のものに適用されます。

注6. データフラッシュをプログラムあるいはブロックイレーズ動作中に、BGO機能によりプログラム ROM 領域を読み出すことができます。

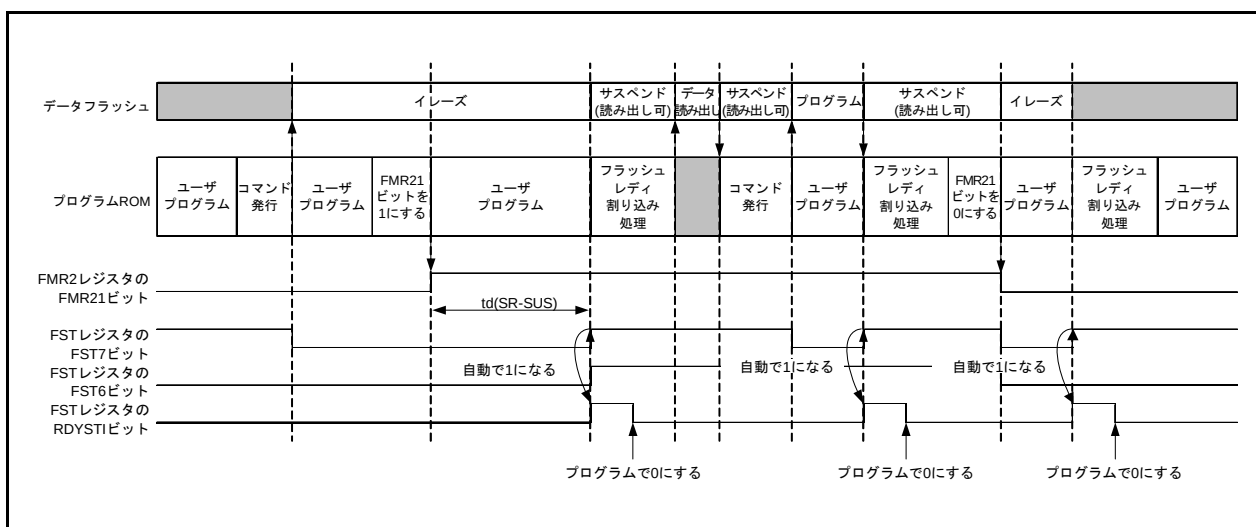


図 27.5 サスペンド動作に関するタイミング

27.5.5 BGO (バックグラウンドオペレーション)機能

データフラッシュをプログラムあるいはブロックイレーズ動作中に、プログラムROM領域を指定するとアレイデータを読み出すことができます。このためにソフトウェアコマンドをライトする必要はありません。アクセス時間は通常のリード動作と同じです。

なお、データフラッシュのプログラムあるいはブロックイレーズ動作中に、他のデータフラッシュのブロックの読み出しはできません。

図27.6にBGO機能を示します。

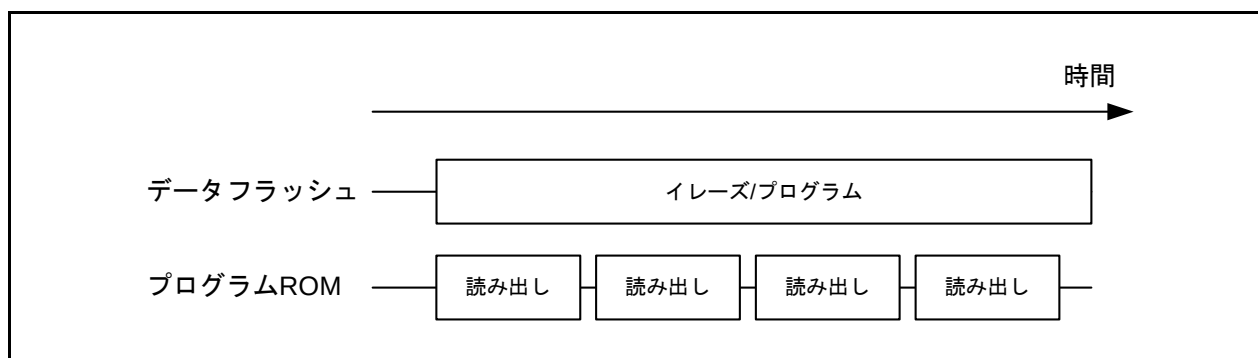


図27.6 BGO機能

27.5.6 データ保護機能

フラッシュメモリのプログラム ROM の各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR1 レジスタの FMR13 ビットが 0 (ロックビット有効) のときに有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止 (ロック) できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが 0 のとき：ロック状態 (そのブロックはプログラム、イレーズできない)
- ロックビットデータが 1 のとき：非ロック状態 (そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、0 (ロック状態) に、ブロックを消去すると 1 (非ロック状態) になります。ロックビットデータだけをコマンドで 1 にすることはできません。

ロックビットデータは、リードロックビットステータスコマンドで読めます。

FMR13 ビットを 1 (ロックビット無効) にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります (各ロックビットデータは変化しません)。FMR13 ビットを 0 にすると、ロックビットの機能が有効になります (ロックビットデータは保持されています)。

FMR13 ビットが 1 の状態で、ブロックイレーズコマンドを実行すると、ロックビットにかかわらず、対象となるブロックが消去されます。消去終了後、イレーズ対象のブロックのロックビットは 1 になります。

各コマンドの詳細は「27.5.7 ソフトウェアコマンド」を参照してください。

FMR13 ビットは自動消去終了後、0 になります。FMR13 ビットは以下のいずれかの条件が成立した場合に 0 になります。別のロック状態のブロックをイレーズまたは、プログラムする場合は、再度、FMR13 ビットを 1 にし、ブロックイレーズコマンドまたは、プログラムコマンドを実行してください。

- FST レジスタの FST7 ビットが 0 (ビジー) から 1 (レディ) になった場合
- コマンドシーケンスエラーが発生した場合
- FMR0 レジスタの FMR01 ビットが 0 (CPU 書き換えモード無効) になった場合
- FMR0 レジスタの FMSTP ビットが 1 (フラッシュメモリ停止) になった場合
- FMR0 レジスタの CMDRST ビットが 1 (イレーズ/ライト停止) になった場合

図 27.7 に FMR13 ビットの動作に関するタイミングを示します。

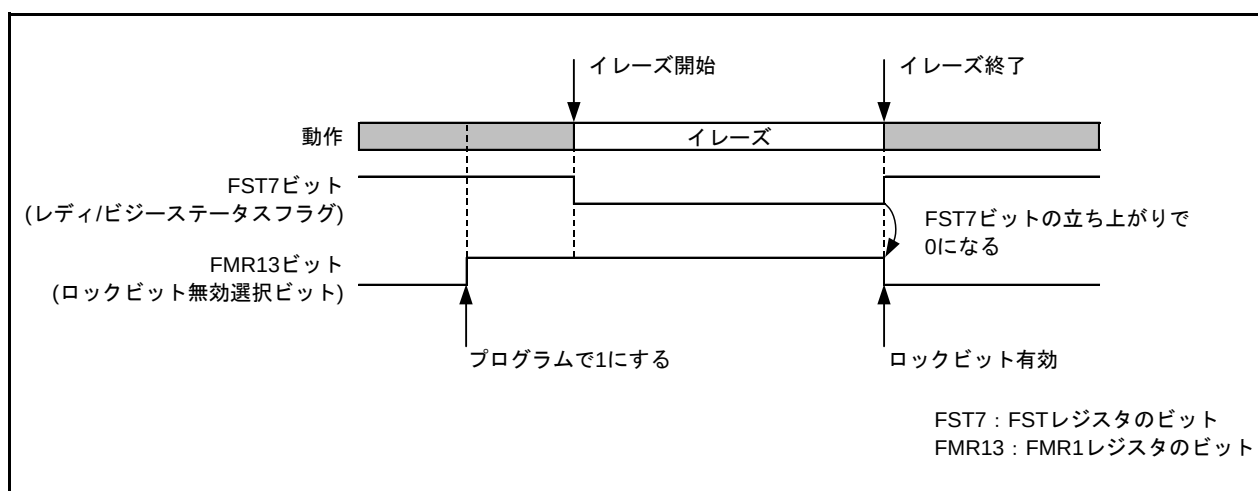


図 27.7 FMR13 ビットの動作に関するタイミング

27.5.7 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは8ビット単位で行ってください。ただしプログラム(ワード単位)のコマンド、データ書き込みは16ビット単位で行ってください。

なお、ソフトウェアコマンド一覧で示されるコマンド以外を、入力しないようにしてください。

表 27.6 ソフトウェアコマンド一覧表

ソフトウェアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ	モード	アドレス	データ
リードアレイ	ライト	×	FFh	—	—	—
クリアステータスレジスタ	ライト	×	50h	—	—	—
プログラム	ライト	WA	40h	ライト	WA	WD
ブロックイレーズ	ライト	×	20h	ライト	BA	D0h
ロックビットプログラム	ライト	BT	77h	ライト	BT	D0h
リードロックビットステータス	ライト	×	71h	ライト	BT	D0h

WA：書き込み番地

WD：書き込みデータ

BA：ブロックの任意の番地

BT：ブロックの先頭番地

×：ユーザROM領域内の任意の番地

27.5.7.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルでFFhを書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が8ビット単位で読めます。

リードアレイモードは他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

また、リセット解除後、プログラム、ブロックイレーズ、リードロックビットステータス、クリアステータスレジスタコマンド後、もしくはイレーズサスペンド移行後はリードアレイモードになります。

27.5.7.2 クリアステータスレジスタ

FSTレジスタのFST4、FST5ビットを0にするコマンドです。

第1バスサイクルで50hを書くと、FST4、FST5ビットが0になります。

27.5.7.3 プログラム

1バイト単位でフラッシュメモリにデータを書くコマンドです。

書き込み番地に第1バスサイクルで40hを書き、第2バスサイクルでデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一番地にしてください。

自動書き込み終了はFSTレジスタのFST7ビットで確認できます。FST7ビットは、自動書き込み期間中は0、終了後は1になります。

自動書き込み終了後、FSTレジスタのFST4ビットで自動書き込みの結果を知ることができます(「27.5.8 フルステータスチェック」参照)。

既にプログラムされた番地に対する追加書き込みはしないでください。

プログラムROMの各ブロックはロックビットによりプログラムコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが1(書き換え禁止)のときはデータフラッシュブロックAに対するプログラムコマンド、FMR15ビットが1(書き換え禁止)のときはデータフラッシュブロックBに対するプログラムコマンド、FMR16ビットが1(書き換え禁止)のときはデータフラッシュブロックCに対するプログラムコマンド、FMR17ビットが1(書き換え禁止)のときはデータフラッシュブロックDに対するプログラムコマンドが受け付けられません。

図27.8にプログラムフローチャート(フラッシュレディステータス割り込み禁止)を、図27.9にプログラムフローチャート(フラッシュレディステータス割り込み許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが1(フラッシュレディステータス割り込み許可)のときは、自動書き込み終了でフラッシュレディステータス割り込みを発生させることができます。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動書き込みの結果を知ることができます。

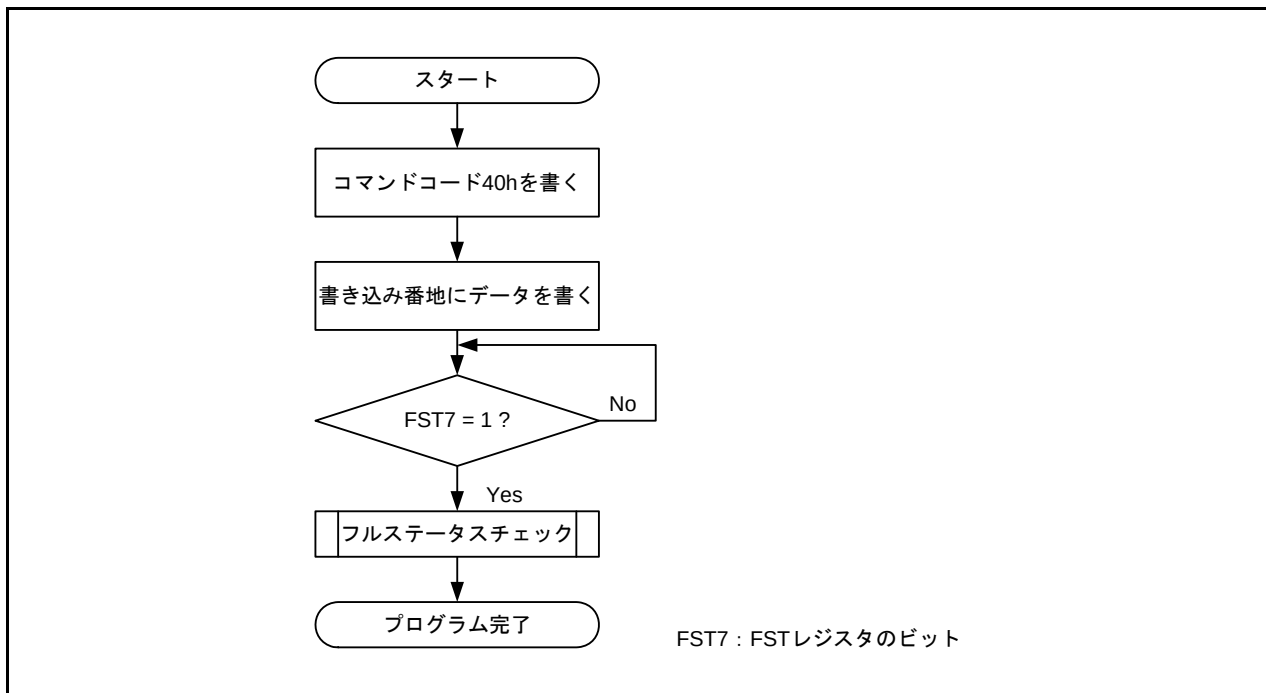


図27.8 プログラムフローチャート(フラッシュレディステータス割り込み禁止)

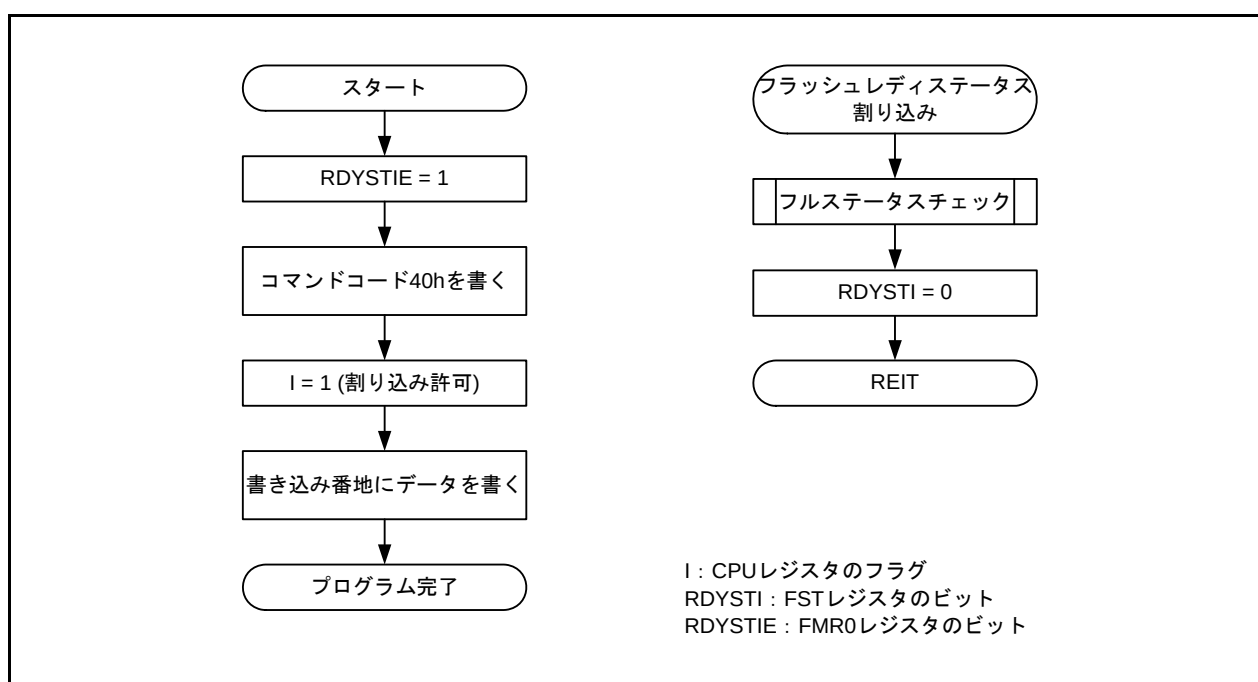


図 27.9 プログラムフローチャート(フラッシュレディステータス割り込み許可)

27.5.7.4 ブロックイレーズ

第1バスサイクルで20h、第2バスサイクルでD0hをブロックの任意の番地を書く指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FSTレジスタのFST7ビットで確認できます。FST7ビットは、自動消去期間中は、0、終了後は1になります。また、自動消去の終了後、ブロック内のデータはすべてFFhになります。

自動消去終了後、FSTレジスタのFST5ビットで、自動消去の結果を知ることができます(「27.5.8 フルスステータスチェック」参照)。

プログラムROMの各ブロックはロックビットによりブロックイレーズコマンドを禁止できます。

また、FMR1レジスタのFMR14ビットが1(書き換え禁止)のときはデータフラッシュブロックAに対するブロックイレーズコマンド、FMR15ビットが1(書き換え禁止)のときはデータフラッシュブロックBに対するブロックイレーズコマンド、FMR16ビットが1(書き換え禁止)のときはデータフラッシュブロックCに対するブロックイレーズコマンド、FMR17ビットが1(書き換え禁止)のときはデータフラッシュブロックDに対するブロックイレーズコマンドが受け付けられません。

図27.10にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止)を、図27.11にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を、図27.12にEW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)を、図27.13にEW1モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)を示します。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

FMR0レジスタのRDYSTIEビットが1(フラッシュレディステータス割り込み許可)のときは、自動消去終了でフラッシュレディステータス割り込みを発生させることができます。RDYSTIEビットが1かつFMR2レジスタのFMR20ビットが1(イレーズサスペンド許可)のときは、FMR21ビットを1(イレーズサスペンドリクエスト)にし、自動消去が中断されるとフラッシュレディステータス割り込みが発生します。割り込みルーチンの中でFSTレジスタを読み出すことにより、自動消去の結果を知ることができます。

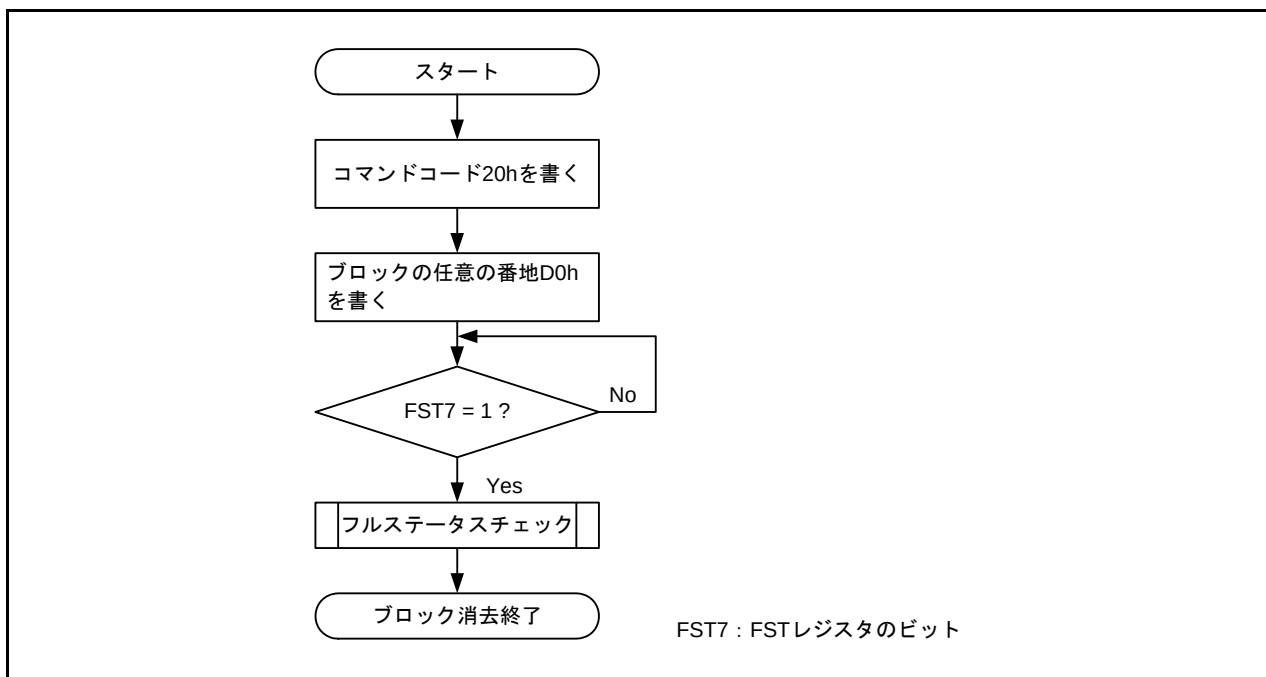


図 27.10 EW0モードのブロックイレースフローチャート(フラッシュレディステータス割り込み禁止)

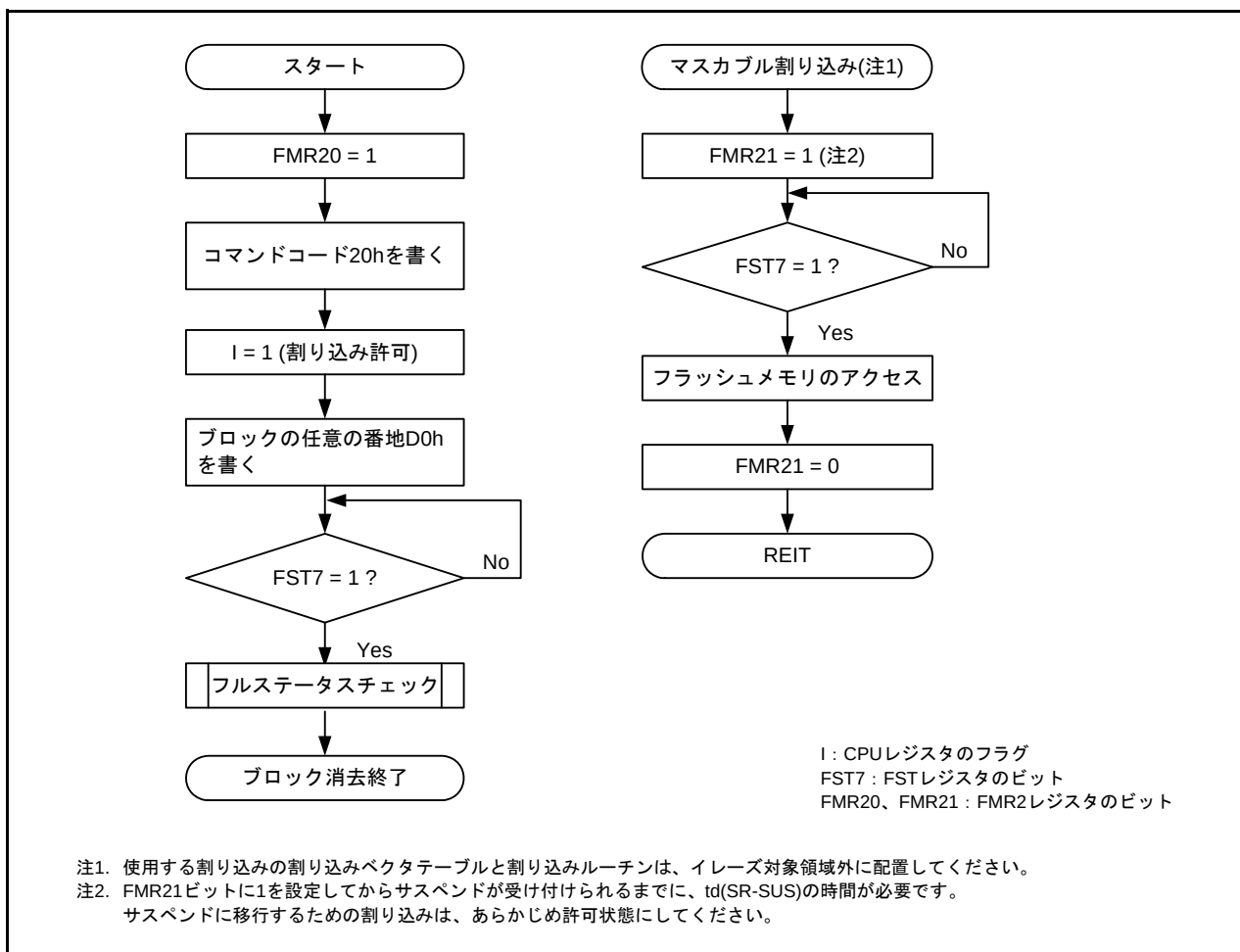


図 27.11 EW0モードのブロックイレースフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

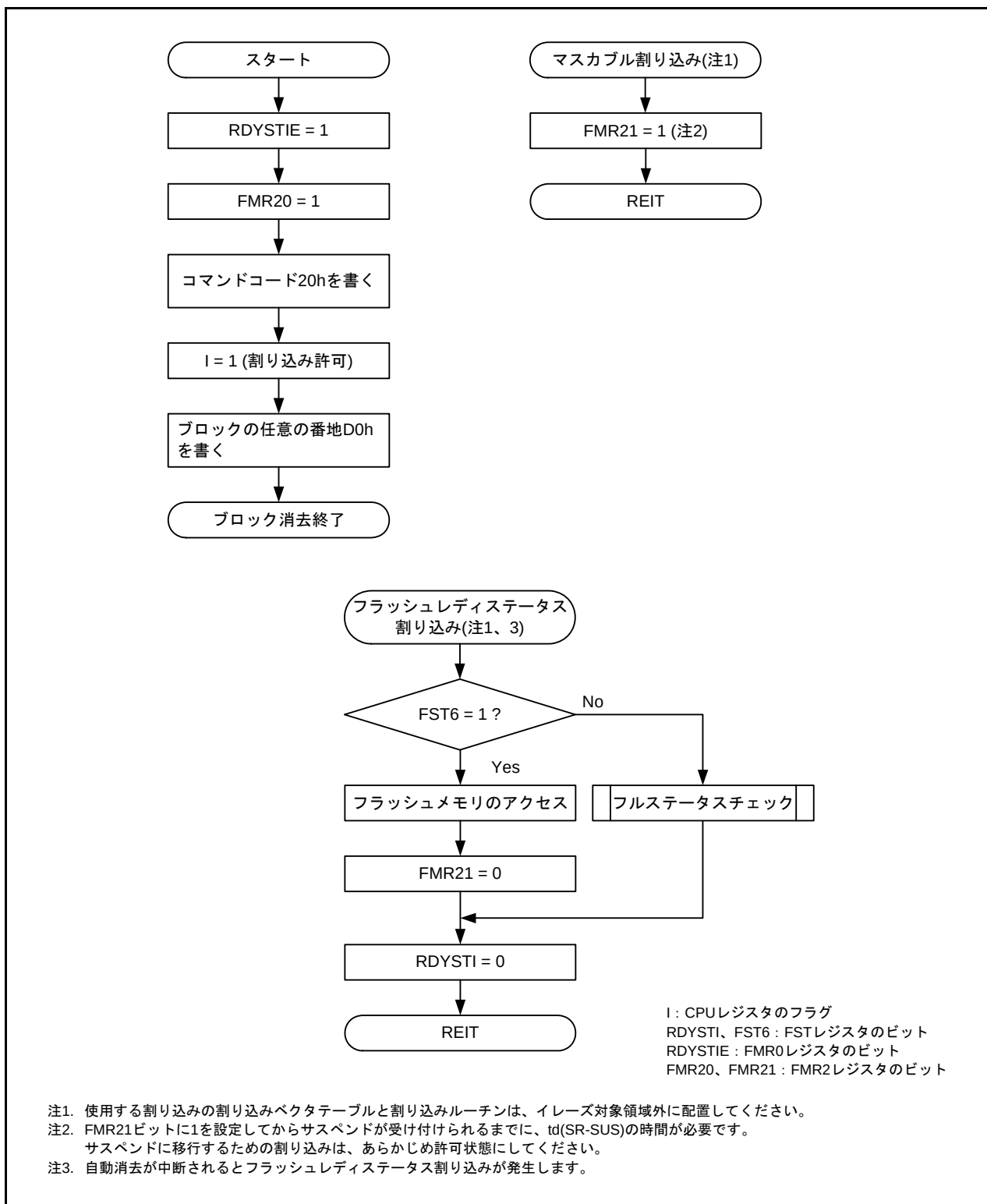


図 27.12 EW0モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み許可かつサスペンド許可)

FMR22 ビットを 1 (割り込み要求でサスペンドリクエスト許可) にすると、自動消去中に、割り込み要求が発生したときに、自動的に FMR21 ビットを 1 (サスペンドリクエスト) にします。EW1 モードでユーザ ROM 領域を自動消去中にサスペンドを使用するときに、1 にしてください。

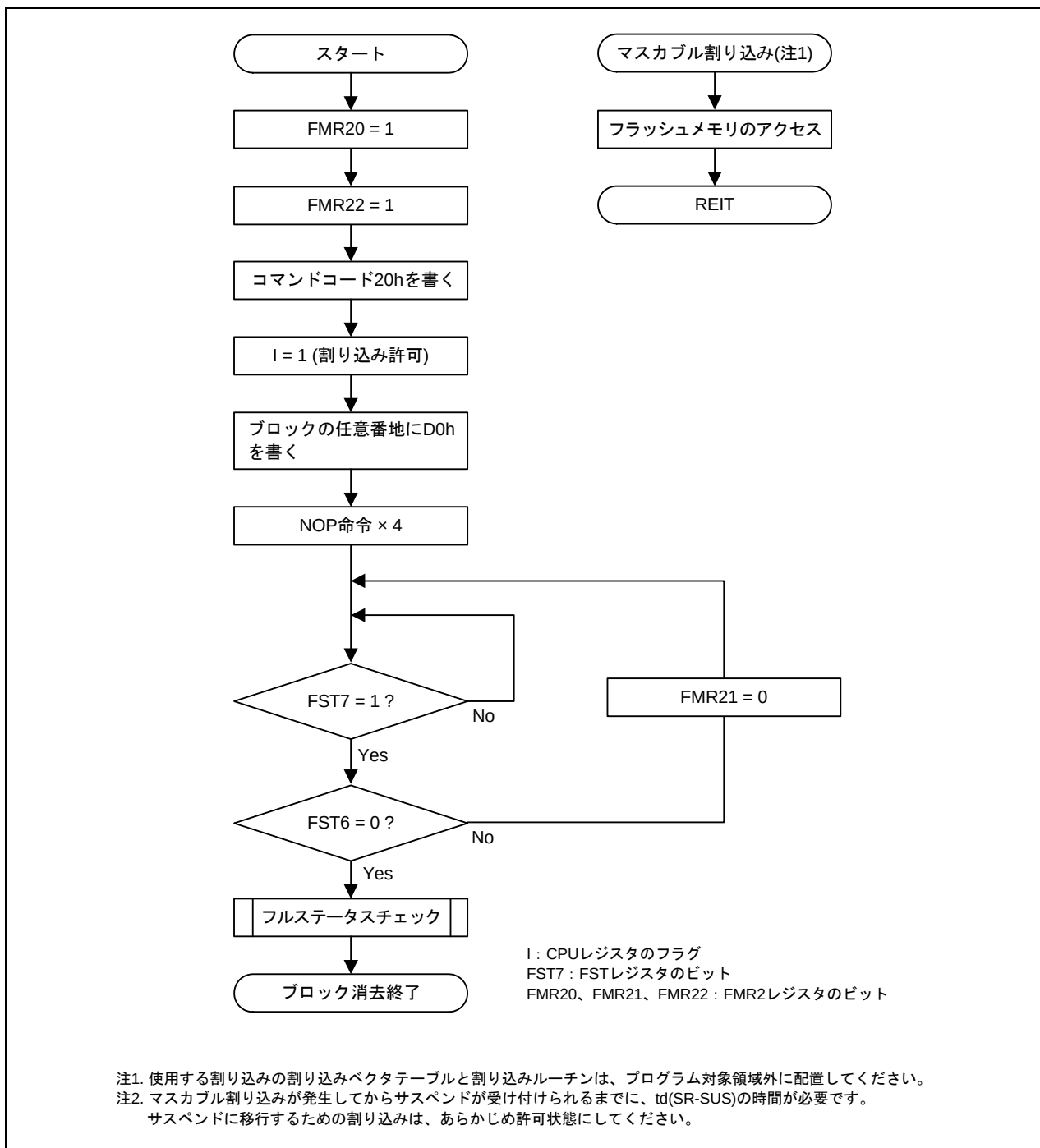


図 27.13 EW1モードのブロックイレーズフローチャート(フラッシュレディステータス割り込み禁止かつサスペンド許可)

27.5.7.5 ロックビットプログラム

プログラムROM領域内の任意のブロックのロックビットを0(ロック状態)にするコマンドです。

第1バスサイクルで77h、第2バスサイクルでD0hをブロックの先頭番地へ書くと、指定されたブロックのロックビットに0が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの先頭番地と同一番地にしてください。

図27.14にロックビットプログラムフローチャートを示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

ロックビットの書き込みの終了は、FSTレジスタのFST7ビットで確認できます。

なお、ロックビットの機能、ロックビットを1(非ロック状態)にする方法については「27.5.6 データ保護機能」を参照してください。

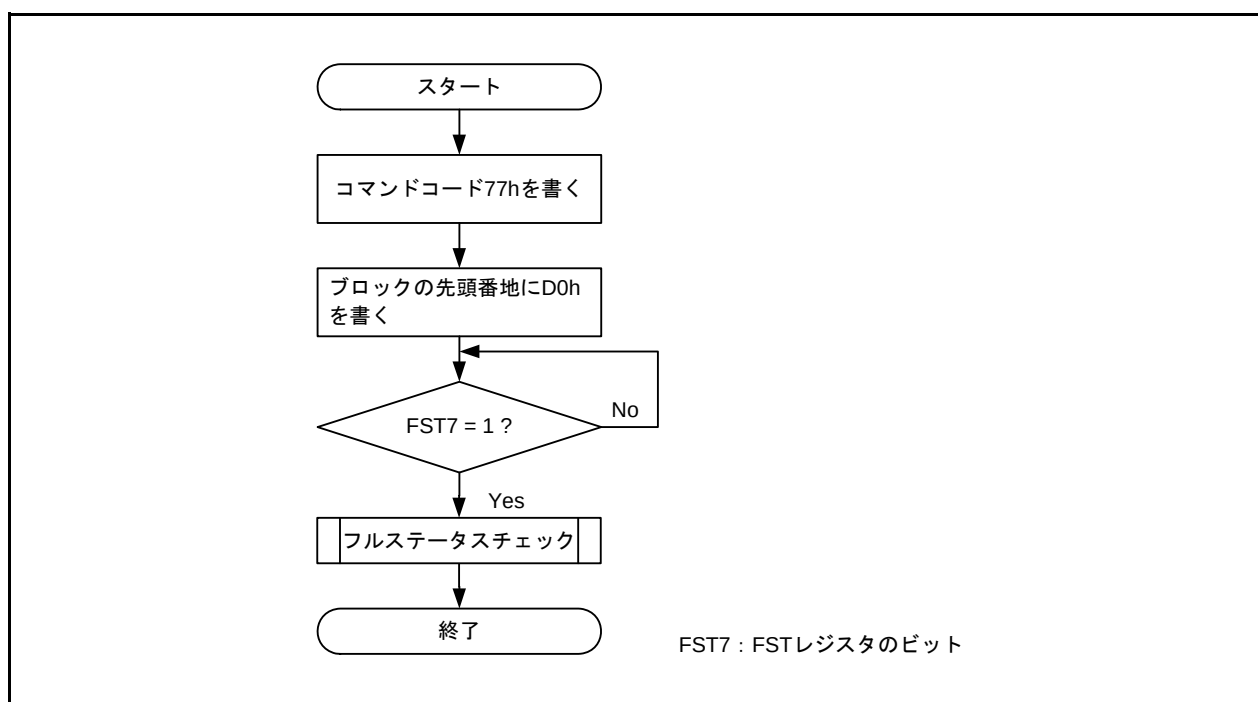


図27.14 ロックビットプログラムフローチャート

27.5.7.6 リードロックビットステータス

プログラムROM領域内の任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで71h、第2バスサイクルでブロックの先頭番地にD0hを書くと、指定されたブロックのロックビットの状態が、FSTレジスタのLBDATAビットに格納されます。FSTレジスタのFST7ビットが1(レディ)になった後、LBDATAビットを読んでください。

図27.15にリードロックビットステータスフローチャートを示します。

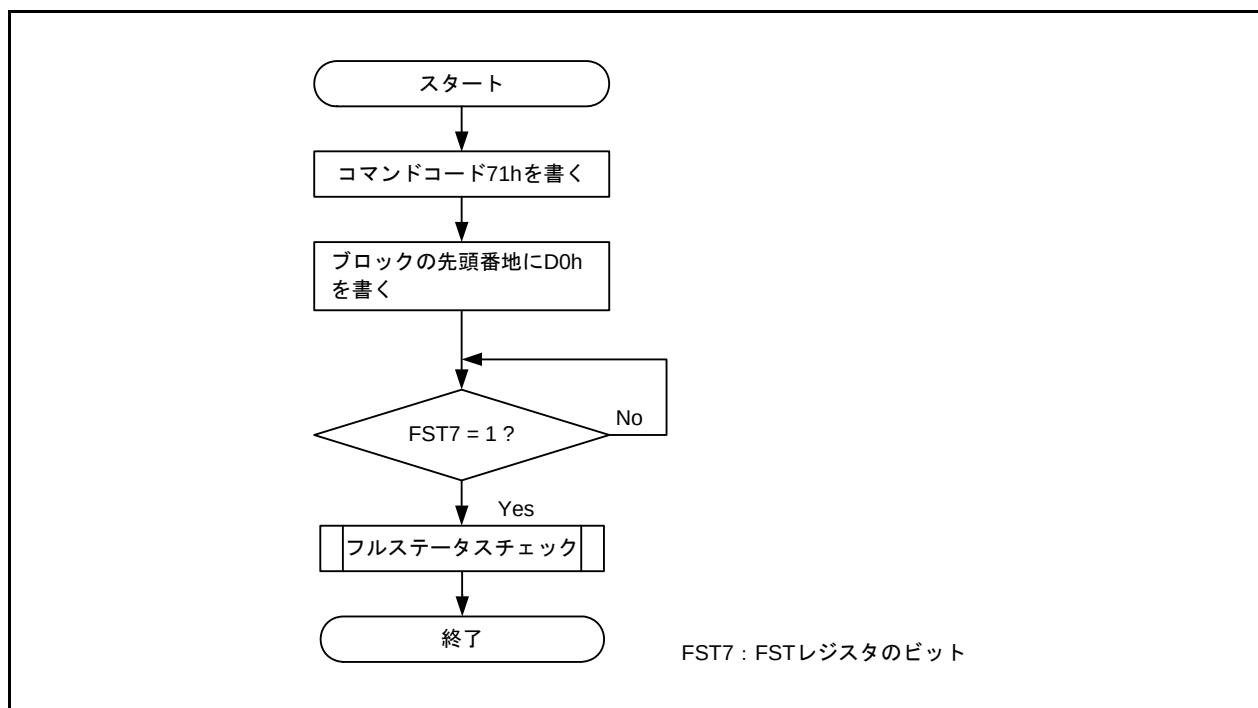


図27.15 リードロックビットステータスフローチャート

27.5.8 フルステータスチェック

エラーが発生すると、FSTレジスタのFST4、FST5ビットが1になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表27.7にエラーとFSTレジスタの状態を、図27.16にフルステータスチェックフローチャート、各エラー発生時の対処方法を示します。

表 27.7 エラーとFSTレジスタの状態

FSTレジスタの状態		エラー	エラー発生条件
FST5	FST4		
1	1	コマンドシーケンスエラー	• コマンドを正しく書かなかったとき • ブロックイレーズコマンドの第2バスサイクルのデータに書いても良い値(D0hまたはFFh)以外のデータを書いたとき(注1) • サスペンド中のイレーズコマンドを実行 • サスペンド中のブロックへのコマンドを実行
1	0	イレーズエラー	ブロックイレーズコマンドを実行し、正しく自動消去されなかったとき
0	1	プログラムエラー / ロックビットプログラムエラー	プログラムコマンドを実行し、正しく自動書き込みされなかったとき

注1. これらのコマンドの第2バスサイクルでFFhを書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

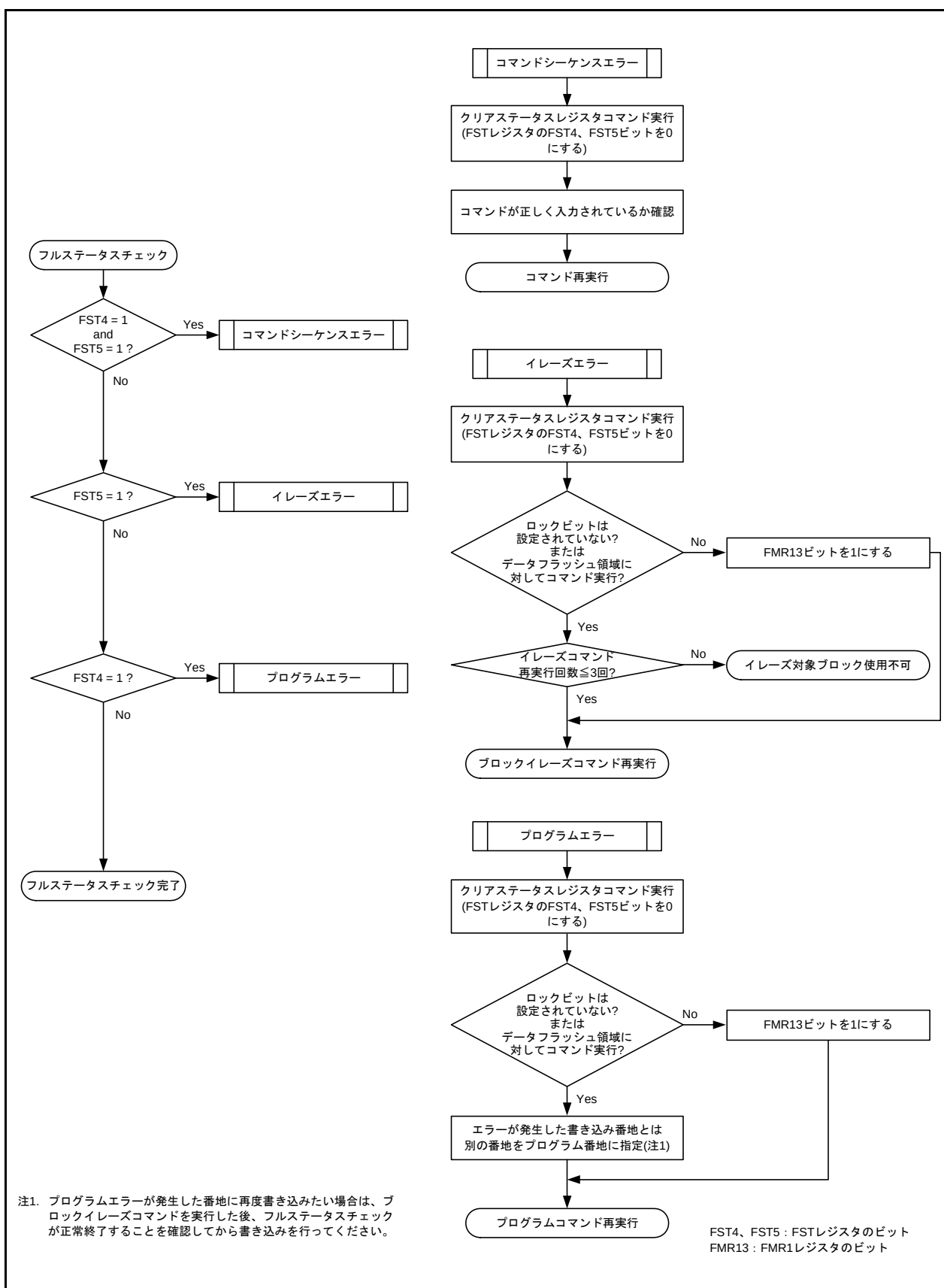


図 27.16 フルステータスチェックフローチャート、各エラー発生時の対処方法

27.6 標準シリアル入出力モード

標準シリアル入出力モードでは、本マイコンに対応したシリアルライタを使用して、マイコンを基板に実装した状態で、ユーザROM領域を書き換えることができます。

標準シリアル入出力モードには3つのモードがあります。

- 標準シリアル入出力モード1..... クロック同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード2..... クロック非同期形シリアルI/Oを用いてシリアルライタと接続
- 標準シリアル入出力モード3..... 特別なクロック非同期形シリアル I/O を用いてシリアルライタと接続

本マイコンは標準シリアル入出力モード2と標準シリアル入出力モード3を使用できます。

シリアルライタとの接続例は「付録2. シリアルライタとオンチップデバッグエミュレータとの接続例」を参照してください。シリアルライタについては、各メーカーにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザズマニュアルを参照してください。

表27.8に端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)を、図27.17に標準シリアル入出力モード2を使用する場合の端子処理例を、表27.9に端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)を、図27.18に標準シリアル入出力モード3を使用する場合の端子処理例を示します。

なお、表27.8に示した端子処理を行い、ライタを使ってフラッシュメモリを書き換えた後、シングルチップモードでフラッシュメモリ上のプログラムを動作させる場合は、MODE端子にHを入力して、ハードウェアリセットしてください。

27.6.1 IDコードチェック機能

シリアルライタから送られてくるIDコードと、フラッシュメモリに書かれているIDコードが一致するかどうかを判定します。

IDコードチェック機能の詳細は「5.3 IDコード領域」を参照してください。

表 27.8 端子の機能説明(フラッシュメモリ標準シリアル入出力モード2)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC 端子にはプログラム、イレーズの保証電圧を、VSS には 0V を入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6 入力/クロック入力	入力	外付けの発振子を接続する場合、XIN 端子と XOUT 端子の間にはセラミック共振子、または水晶発振子を接続してください。入力ポートとして使用する場合、H を入力、L を入力、または開放してください。
P4_7/XOUT	P4_7 入力/クロック出力	入出力	
MODE	MODE	入出力	L を入力してください。
P1_4	TXD 出力	出力	シリアルデータの出力端子です。
P1_5	RXD 入力	入力	シリアルデータの入力端子です。

注1. 上記以外の I/O ポートの設定は、H を入力、L を入力、または開放してください。

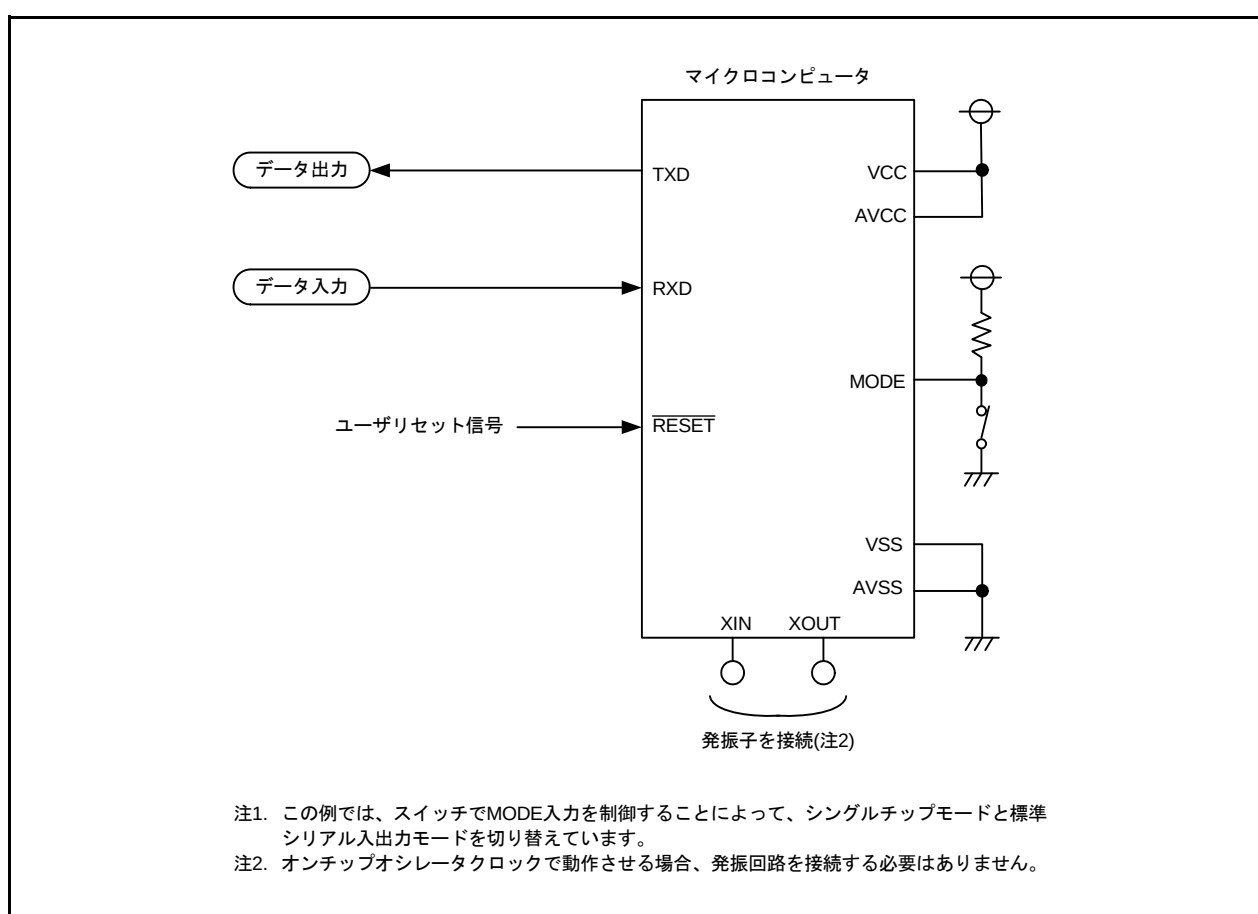


図 27.17 標準シリアル入出力モード2を使用する場合の端子処理例

表 27.9 端子の機能説明(フラッシュメモリ標準シリアル入出力モード3)

端子名	名称	入出力	機能
VCC、VSS	電源入力		VCC 端子にはプログラム、イレーズの保証電圧を、VSS には 0V を入力してください。
RESET	リセット入力	入力	リセット入力端子です。
P4_6/XIN	P4_6 入力/クロック入力	入力	外付けの発振子を接続する場合、XIN 端子と XOUT 端子の間にはセラミック共振子、または水晶発振子を接続してください。
P4_7/XOUT	P4_7 入力/クロック出力	入出力	入力ポートとして使用する場合、H を入力、L を入力、または開放してください。
MODE	MODE	入出力	シリアルデータの入出力端子です。フラッシュライタに接続してください。

注1. 上記以外の I/O ポートの設定は、H を入力、L を入力、または開放してください。

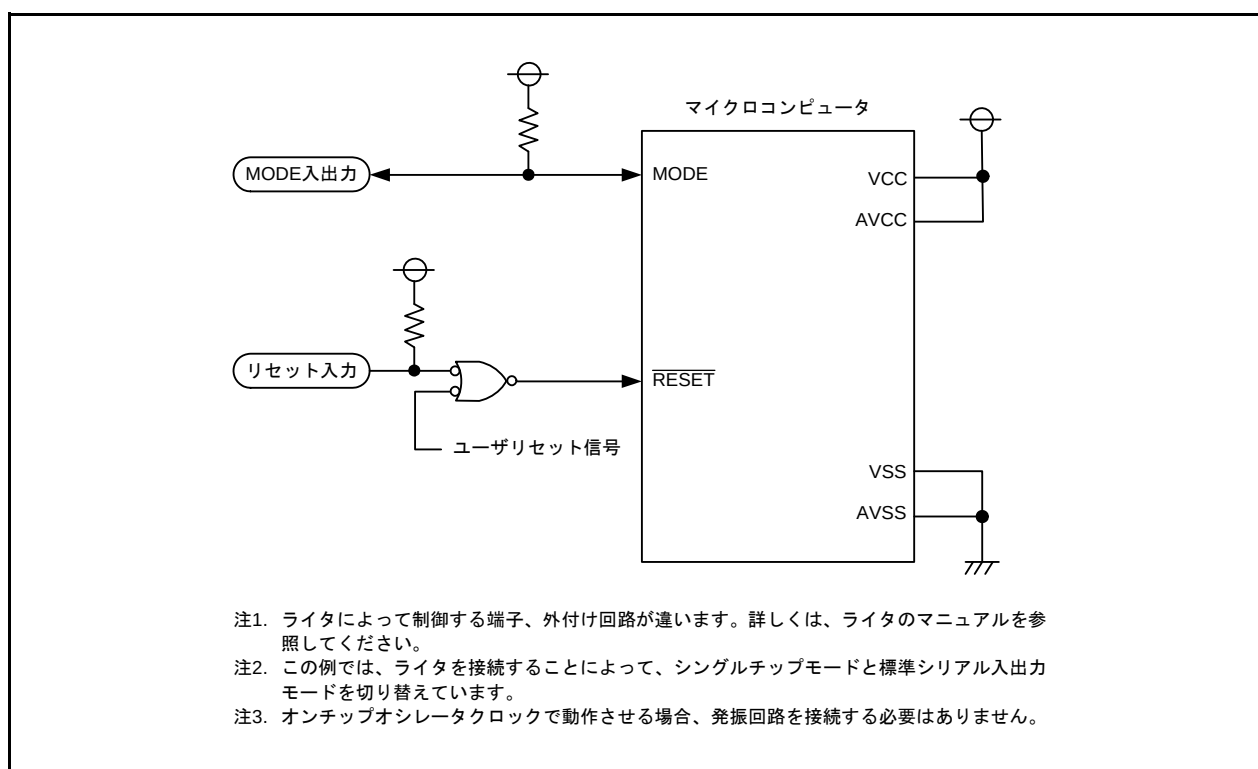


図 27.18 標準シリアル入出力モード3を使用する場合の端子処理例

27.7 パラレル入出力モード

パラレル入出力モードは内蔵フラッシュメモリに対する操作(リード、プログラム、イレーズなど)に必要なソフトウェアコマンド、アドレス、データをパラレルに入出力するモードです。

本マイコンに対応したパラレルライターを使用してください。パラレルライターについては、各メーカーにお問い合わせください。また、パラレルライターの操作方法については、パラレルライターのユーザーズマニュアルを参照してください。

パラレル入出力モードでは、図 27.1 に示すユーザ ROM 領域の書き換えができます。

27.7.1 ROMコードプロテクト機能

ROM コードプロテクトはフラッシュメモリの読み出し、書き換えを禁止する機能です(「27.4.2 ROMコードプロテクト機能」参照)。

27.8 フラッシュメモリ使用上の注意

27.8.1 CPU書き換えモード

27.8.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND 命令、INTO 命令、BRK 命令

27.8.1.2 割り込み

表 27.10～表 27.12 に CPU 書き換えモード時の割り込みを示します。

表 27.10 CPU 書き換えモード時の割り込み (1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22 ビットが 1 (割り込み要求でイレーズサスペンドリクエスト許可) の場合は、自動で FMR21 ビットが 1 (イレーズサスペンドリクエスト) になります。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 FMR22 ビットが 0 (割り込み要求でイレーズサスペンドリクエスト禁止) でイレーズサスペンドが必要な場合は、割り込み処理内で FMR21 ビットを 1 にしてください。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21 ビットを 0 (イレーズリスタート) にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効または FMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	ベクタを RAM に配置することで使用できます。
		自動消去中 (サスペンド無効)	
		自動書き込み中	
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22 ビットが 1 の場合は、自動で FMR21 ビットが 1 になります。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 FMR22 ビットが 0 でイレーズサスペンドが必要な場合は、割り込み処理内で FMR21 ビットを 1 にしてください。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21 ビットを 0 にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効または FMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	td(SR-SUS) 時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後に FMR21 ビットを 0 にすることで、自動消去を再開することができます。自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。
		自動消去中 (サスペンド無効または FMR22 = 0)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22 : FMR2 レジスタのビット

表 27.11 CPU 書き換えモード時の割り込み (2)

モード	イレーズ/ ライト対象	状態	- ウォッチドッグタイマ - 発振停止検出 - 電圧監視2 - 電圧監視1	- 未定義命令 - INTO 命令 - BRK 命令 - シングルステップ - アドレス一致 - アドレスブレイク (注1)
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1 (割り込み要求でイレーズサスペンドリクエスト許可) の場合は、自動でFMR21ビットが1 (イレーズサスペンドリクエスト) になります。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 FMR22ビットが0 (割り込み要求でイレーズサスペンドリクエスト禁止) でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0 (イレーズリスタート) にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効) 自動書き込み中	自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	

FMR21、FMR22 : FMR2 レジスタのビット

注1. ブロック 0 には固定ベクタが配置されているので、ブロック 0 を自動消去中はノンマスカブル割り込みを使用しないでください。

表 27.12 CPU 書き換えモード時の割り込み (3)

モード	イレーズ/ ライト対象	状態	- ウォッチドッグタイマ - 発振停止検出 - 電圧監視2 - 電圧監視1	- 未定義命令 - INTO 命令 - BRK 命令 - シングルステップ - アドレス一致 - アドレスブレイク (注1)
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22 ビットが1 (割り込み要求でイレーズサスペンドリクエスト許可) の場合は、自動で FMR21 ビットが1 (イレーズサスペンドリクエスト) になります。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 FMR22 ビットが0 (割り込み要求でイレーズサスペンドリクエスト禁止) でイレーズサスペンドが必要な場合は、割り込み処理内で FMR21 ビットを1にしてください。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21 ビットを0 (イレーズリスタート) にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内で FMR21 ビットを1にしてください。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR2 レジスタの FMR21 ビットを0にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効または FMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。 イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効または FMR22 = 0)		
		自動書き込み中		

FMR21、FMR22 : FMR2 レジスタのビット

注1. ブロック 0 には固定ベクタが配置されているので、ブロック 0 を自動消去中はノンマスカブル割り込みを使用しないでください。

27.8.1.3 アクセス方法

次のビットを1にするときは、対象となるビットに0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0 レジスタのFMR01、FMR02 ビット
- FMR1 レジスタのFMR13 ビット
- FMR2 レジスタのFMR20、FMR22、FMR24、FMR27 ビット

また、次のビットを0にするときは、対象となるビットに1を書いた後、続けて0を書いてください。また、1を書いた後、0を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1 レジスタのFMR14、FMR15、FMR16、FMR17 ビット

27.8.1.4 ユーザROM領域の書き換え

EW0 モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

27.8.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

27.8.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FST レジスタのFST7 ビットが0 (ビジー (書き込み、消去実行中)) の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27 ビットが1 (低消費電流リードモード許可) の状態で、ストップモード、ウェイトモードへ移行しないでください。

27.8.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧 $VCC = 2.7\text{ V} \sim 5.5\text{ V}$ の条件で行ってください。2.7 V未満では、プログラム、イレーズを実行しないでください。

27.8.1.8 低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2 レジスタのFMR27 ビットを1 (低消費電流リードモード許可) にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

1分周 (分周なし)、2分周では低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27 ビットを1にしてください。

消費電力を低減する方法は、「10. パワーコントロール」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27 ビットを0 (低消費電流リードモード禁止) にした後、移行してください。FMR27 ビットが1 (低消費電流リードモード許可) の状態で、ウェイトモードまたはストップモードへ移行しないでください。

28. CRC

28.1 概要

CRC (Cyclic Redundancy Check) 演算回路は、データブロックの誤り検出に使用します。さらにCRC演算回路はSFRへの書き込み、SFRからの読み出しを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。

表 28.1 CRC 演算回路の仕様

項目	仕様
生成多項式	CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) または CRC-16 ($X^{16} + X^{15} + X^2 + 1$)
選択機能	• MSB/LSB 選択機能 • SFR アクセス監視機能

図 28.1 に CRC 演算回路のブロック図を示します。

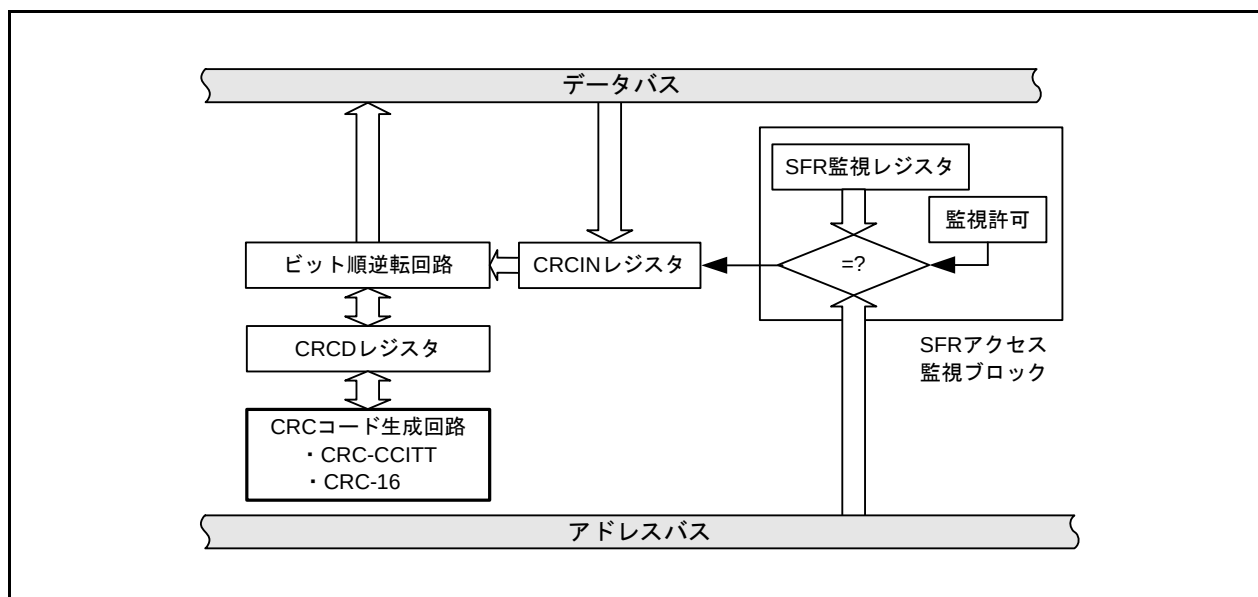


図 28.1 CRC 演算回路のブロック図

28.2 レジスタの説明

表 28.2 に CRC 演算機能のレジスタ構成を示します。

表 28.2 CRC 演算機能のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
SFR 監視アドレスレジスタ	CRCSAR	0000h	00290h	16
CRC 制御レジスタ	CRCMR	00h	00292h	8
CRC データレジスタ	CRCD	0000h	00294h	16
CRC インプットレジスタ	CRCIN	00h	00296h	8

28.2.1 SFR 監視アドレスレジスタ (CRCSAR)

アドレス 00290h

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル								
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル								
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15～b0	監視対象の SFR アドレスを設定します。	R/W

CRCSAR レジスタは、監視する SFR のアドレスを設定するレジスタです。
監視対象の SFR アドレスは 00080h～002FFh と 06800h～06FFFh の範囲です。

28.2.2 CRC制御レジスタ (CRCMR)

アドレス	00292h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	CRCSW	CRCSR	—	—	—	—	CRCPS	CRCMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CRCMS	CRCモード選択ビット	0 : LSB ファースト 1 : MSB ファースト	R/W
b1	CRCPS	CRC多項式選択ビット	0 : $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT) 1 : $X^{16} + X^{15} + X^2 + 1$ (CRC-16)	R/W
b5~b2	—	書く場合、0を書いてください。読んだ場合、その値は0。		—
b6	CRCSR	読み出し監視許可ビット	0 : 禁止 1 : 許可	R/W
b7	CRCSW	書き込み監視許可ビット		R/W

CRCMRレジスタは、SFR監視機能、CRCDレジスタ、CRCINレジスタへの書き込み、および読み出しを制御するレジスタです。

CPUからCRCINレジスタにデータを書き込む場合は、CRCSWビットとCRCSRビットの両方を0に設定します。

CRCMSビット(CRCモード選択ビット)

CRCMSビットに0を設定したときは、CRCDレジスタ、CRCINレジスタへはビット順を逆転して書き込みます。

また、CRCDレジスタからCRCコードを読み出すと、ビット順を逆転したCRCコードが読めるためプログラムでビット順を逆転します。

CRCMSビットを1に設定したときは、CRCDレジスタ、CRCINレジスタへはビット順を逆転しないでそのまま書き込みます。また、CRCDレジスタからCRCコードを読み出すと、ビット順を逆転していないCRCコードが読めます。

CRCPSビット(CRC多項式選択ビット)

CRCPSビットに0を設定したときは、CRT-CCITTモードで演算を行いCRCDレジスタに結果を格納します。

CRCPSビットに1を設定したときは、CRC-16モードで演算を行いCRCDレジスタに結果を格納します。

CRCSRビット(読み出し監視許可ビット)

CRCSRビットに1を設定すると、データバス上の読み出し動作を監視します。

CRCSRビットが1のとき、CRCSRレジスタに設定したアドレスからの読み出しが発生するとデータバス上のリードデータに対し自動でCRC演算を行い、CRCDレジスタに結果を格納します。

CRCSRビットに1を設定した場合、CRCSWビットには0を設定してください。

CRCSWビット(書き込み監視許可ビット)

CRCSWビットに1を設定すると、データバス上の書き込み動作を監視します。

CRCSWビットが1のとき、CRCSRレジスタに設定されたアドレスへの書き込みが発生するとデータバス上のライトデータに対し自動でCRC演算を行い、CRCDレジスタに結果を格納します。

CRCSWビットに1を設定した場合、CRCSRビットには0を設定してください。

28.2.3 CRC データレジスタ (CRCD)

アドレス	00294h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル								
リセット後の値	0	0	0	0	0	0	0	0

ビット	b15	b14	b13	b12	b11	b10	b9	b8
シンボル								
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15～b0	CRCの演算結果が格納されます。	R/W

CRCD レジスタは、CRC の演算結果が格納されます。

CRCMR レジスタの CRCPS ビットが 0 (CRC-CCITT モード) のとき、CRC-CCITT で演算した結果が読み出せます。

CRCPS ビットが 1 (CRC-16 モード) のとき、CRC-16 で演算した結果が読み出せます。

CRCMR レジスタの CRCMS ビットが 0 のとき、初期値はビット順を逆転して書き込みます。その後、CRCIN レジスタにデータを書くと、CRCD レジスタからビット順を逆転した CRC コードが読めます。

CRCMS ビットが 1 のとき、初期値はビット順を逆転せずそのまま書き込みます。その後、CRCIN レジスタにデータを書くと、CRCD レジスタからビット順を逆転していない CRC コードが読めます。

28.2.4 CRC インプットレジスタ (CRCIN)

アドレス	00296h							
ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル								
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7～b0	CRC 演算の対象データを設定します。	R/W

CRCIN レジスタは、CRC 演算の対象データを入力するレジスタです。

CPU から CRCIN レジスタに書き込む場合は、CRCMR レジスタの CRCSW ビットと CRCSR ビットの両方を 0 に設定してください。

CRCMR レジスタの CRCMS ビットが 0 の場合、CRCIN レジスタへは、ビット順を逆転して書き込みます。

CRCMS ビットが 1 の場合、CRCIN レジスタへは、ビット順を逆転せず書き込みます。

28.3 動作説明

CRC 演算回路は、8ビット単位の任意のデータ長のブロックに対し16ビットのCRCコードを生成します。CRCコードの生成にはCRC-CCITT ($X^{16} + X^{12} + X^5 + 1$)、またはCRC-16 ($X^{16} + X^{15} + X^2 + 1$)の生成多項式を使用します。

CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに設定するとともに、CRCDレジスタに格納されます。1バイトのデータに対するCRCコードはCPUクロックの2サイクルで生成されます。

28.4 SFR アクセス監視機能

CRC 演算回路は、データバス上のSFRアクセスを監視し、CRC自動演算を実行する機能(SFRアクセス監視機能)を内蔵しています。この機能を使用するとSFRに書き込まれたデータ、または、SFRから読み出されたデータに対してCRC演算を実行するために、改めてCRCINレジスタにデータを設定する必要がありません。アクセスを監視する対象となるのは00080h～002FFh番地と06800h～06FFFh番地のSFRアドレス領域です。

SFRアクセスを監視するには、監視対象のSFRアドレスをCRCSARレジスタに設定し、対象SFRへの書き込みを監視する場合は、CRCSWビットに1を設定します。同様に、対象SFRからの読み出しを監視する場合は、CRCMRレジスタのCRCSRビットに1を設定します。

CRCSWビットに1を設定している場合、監視対象SFRへの書き込みが実行されると、CRC演算回路は対象SFRに書き込まれるデータをCRCINレジスタに格納し、CRC演算を実行します。同様に、CRCSRビットに1を設定している場合、監視対象SFRからデータが読み出されると、CRC演算回路は対象SFRから読み出したデータをCRCINレジスタに格納し、CRC演算を実行します。

CRC演算回路は、1回につき1バイトのCRC演算を実行します。したがって、監視対象SFRがワード単位でアクセスされた場合、CRCSARレジスタに設定されたSFRアドレスの1バイトのデータに対してCRCコードを生成します。

28.5 使用方法

80C4hのCRCコードを生成する場合のCRC演算例を示します。

•CRC-CCITT使用時、LSBファーストの場合

- (1) プログラムで80C4hのビット順をバイト単位で逆転させてください。
80h → 01h、C4h → 23h
- (2) CRCMRレジスタに00hを設定してください。
- (3) CRCDレジスタに初期値0000hを設定してください。
- (4) CRCINレジスタに80hのビット順逆転値01hを設定してください。
CRCDレジスタに80hのCRCコード9188hのビット順を逆転した1189hが格納されます。
- (5) CRCINレジスタにC4hのビット順逆転値23hを設定してください。
CRCDレジスタに80C4hのCRCコード8250hのビット順を逆転した0A41hが格納されます。

•CRC-16使用時、MSBファーストの場合

- (1) CRCMRレジスタに03hを設定してください。
- (2) CRCDレジスタに初期値0000hを設定してください。
- (3) CRCINレジスタに80hを設定してください。
CRCDレジスタに80hのCRCコード8303hが格納されます。
- (4) CRCINレジスタにC4hを設定してください。
CRCDレジスタに80C4hのCRCコード0292hが格納されます。

29. ペリフェラルマッピングコントローラ(PMC)

29.1 概要

ペリフェラルマッピングコントローラ(以下、PMC と称す)はI/O ポートの端子の配置を通信機能を優先とした配置に変更ができます。

48ピン製品の標準端子配置から
→48ピン製品の通信機能優先端子配置へ変更可能

端子の変更はPMCSEL レジスタ(端子配置選択レジスタ)のPMCSEL0～PMCSEL2ビットで行ってください。

PMCSEL レジスタの設定は、「29.3.1 端子配置選択レジスタ(PMCSEL)」を参照してください。また、通信機能優先端子配置の詳細については、「表 29.1 の 48 ピン製品のピン番号別 I/O ポートの端子配置一覧」を参照してください。

29.1.1 PMCSEL レジスタで未選択となった端子について

PMCSEL レジスタで未選択となった端子のポートPi_jビット、ポートPi_0方向ビットにアクセスしてもマイコンの動作に影響はありません。

また、PMCSEL レジスタで端子が隠れてしまった周辺機能は端子から波形を入出力することができませんが、使用することは可能です。PMCSEL レジスタで制限がかかる周辺機能とその入出力端子は次のとおりです。

(1) SSU_1

PMCSEL レジスタを通信機能優先端子配置以外に選択したとき、SSO_1、SCL_1、SSCK_1、SCS_1、SSI_1端子から波形を入出力することができませんが、擬似的なワンショットタイマ、またはDTCと組み合わせて一定周期の連続カウントをすることが可能です。

29.2 周辺機能の割り当て

表 29.1 に 48 ピン製品のピン番号別 I/O ポートの端子配置一覧を示します。

表 29.1 48ピン製品のピン番号別I/Oポートの端子配置一覧

ピン番号	標準端子配置	通信機能優先端子配置
1	P3_5/SCL_0/SSCK_0/TRCIOD_0/CLK2/TRDIOD1_0/TRDIOA0_0/TRDCLK_0	P3_5/SCL_0/SSCK_0/TRCIOD_0/CLK2/TRDIOD1_0/TRDIOA0_0/TRDCLK_0
2	P3_3/SSI_0/INT3/TRCCLK_0/SCS_0/CTS2/RTS2/TRDIOD0_0	P3_3/SSI_0/INT3/TRCCLK_0/SCS_0/CTS2/RTS2/TRDIOD0_0
3	P3_4/SDA_0/SCS_0/TRCIOC_0/SSI_0/RXD2/TXD2/TRDIOC1_0/TRDIOB0_0	P3_4/SDA_0/SCS_0/TRCIOC_0/SSI_0/RXD2/TXD2/TRDIOC1_0/TRDIOB0_0
4	MODE	MODE
5	P4_3	P4_3
6	P4_4	P4_4
7	RESET	RESET
8	P4_7/XOUT	P4_7/XOUT
9	VSS/AVSS	VSS/AVSS
10	P4_6/XIN	P4_6/XIN
11	VCC/AVCC	VCC/AVCC
12	P2_7/TRDIOD1_0	P2_7/TRDIOD1_0
13	P2_6/TRDIOC1_0	P2_6/TRDIOC1_0
14	P2_5/TRDIOB1_0/IVREF3	P2_5/TRDIOB1_0/IVREF3
15	P2_4/TRDIOA1_0/IVCMP3	P2_4/TRDIOA1_0/IVCMP3
16	P2_3/TRDIOD0_0	P9_7/SSO_1 (注1)
17	P2_2/TRDIOC0_0/TRDIOB0_0/TRCIOD_0	P9_6/SCL_1/SSCK_1/TRBO_1 (注1)
18	P2_1/TRDIOB0_0/TRDIOC0_0/TRCIOC_0	P9_5/SDA_1/SCS_1 (注1)
19	P2_0/TRDIOA0_0/TRDCLK_0/INT1/TXD2/RXD2/TRCIOB_0	P9_4/SSI_1 (注1)
20	P1_7/INT1/TRJIO_0	P1_7/INT1/TRJIO_0
21	P1_6/CLK_0/SSI_0	P1_6/CLK_0/SSI_0
22	P1_5/RXD_0/TRJIO_0/INT1	P1_5/RXD_0/TRJIO_0/INT1
23	P1_4/TXD_0/TRCCLK_0	P1_4/TXD_0/TRCCLK_0
24	P1_3/KI3/AN11/TRBO_0/TRCIOC_0/TRDIOD1_0	P1_3/KI3/AN11/TRBO_0/TRCIOC_0/TRDIOD1_0
25	P4_5/INT0/RXD2	P4_5/INT0/RXD2
26	P6_6/INT2/TXD2/TRCIOC_0	P6_6/INT2/TXD2/TRCIOC_0
27	P6_7/INT3/RXD2/TRCIOD_0	P6_7/INT3/RXD2/TRCIOD_0
28	P1_2/KI2/AN10/TRCIOB_0/TRDIOC1_0	P1_2/KI2/AN10/TRCIOB_0/TRDIOC1_0
29	P1_1/KI1/AN9/TRCIOA_0/TRCTRG_0/TRDIOB1_0/IVCMP1	P1_1/KI1/AN9/TRCIOA_0/TRCTRG_0/TRDIOB1_0/IVCMP1
30	P1_0/KI0/AN8/TRCIOD_0/TRDIOA1_0/IVREF1	P1_0/KI0/AN8/TRCIOD_0/TRDIOA1_0/IVREF1
31	P3_1/TRBO_0/CTS2/RTS2	P3_1/TRBO_0/CTS2/RTS2
32	P3_0/TRJO_0	P3_0/TRJO_0
33	P6_5/INT4/CLK2/CLK_1/TRCIOB_0	P6_5/INT4/CLK2/CLK_1/TRCIOB_0
34	P6_4/RXD_1/INT2/TRJIO_1	P6_4/RXD_1/INT2/TRJIO_1
35	P6_3/TXD_1/TRJO_1	P6_3/TXD_1/TRJO_1
36	P0_7/AN0/TRCIOC_0	P0_7/AN0/TRCIOC_0
37	P0_6/AN1/TRCIOD_0	P0_6/AN1/TRCIOD_0
38	P0_5/AN2/CLK2/TRCIOB_0	P0_5/AN2/CLK2/TRCIOB_0
39	P0_4/AN3/TMRE2O/TRCIOB_0	P0_4/AN3/TMRE2O/TRCIOB_0
40	P4_2/VREF	P4_2/VREF
41	P6_0/TMRE2O	P6_0/TMRE2O
42	P6_2/CRX_0/CLK_1	P6_2/CRX_0/CLK_1
43	P6_1/CTX_0	P6_1/CTX_0
44	P0_3/AN4/CLK_1/TRCIOB_0	P0_3/AN4/CLK_1/TRCIOB_0
45	P0_2/AN5/RXD_1/TRCIOA_0/TRCTRG_0/TRJIO_1/INT2	P0_2/AN5/RXD_1/TRCIOA_0/TRCTRG_0/TRJIO_1/INT2
46	P0_1/AN6/TXD_1/TRCIOA_0/TRCTRG_0/TRJO_1	P0_1/AN6/TXD_1/TRCIOA_0/TRCTRG_0/TRJO_1
47	P0_0/AN7/TXD2/TRCIOA_0/TRCTRG_0	P0_0/AN7/TXD2/TRCIOA_0/TRCTRG_0
48	P3_7/SSO_0/TXD2/RXD2/TRJO_0/SDA_0/INT3/TRCCLK_0/TRDIOC0_0	P3_7/SSO_0/TXD2/RXD2/TRJO_0/SDA_0/INT3/TRCCLK_0/TRDIOC0_0

注1. PMCSEレジスタで通信機能優先端子配置を選択(PMCSEL1、PMCSEL0ビット= 01b)した場合、端子機能が変わります。

29.3 レジスタの説明

表 29.2 に PMC のレジスタ構成を示します。

表 29.2 PMC のレジスタ構成

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
端子配置選択レジスタ	PMCSEL	00h	002BEh	8

29.3.1 端子配置選択レジスタ (PMCSEL)

アドレス 002BEh

ビット	b7	b6	b5	b4	b3	b2	b1	b0
シンボル	—	—	—	—	—	PMCSEL2	PMCSEL1	PMCSEL0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PMCSEL0	端子配置選択ビット	b2 b1 b0 0 1 1 : 48ピン製品の標準端子配置	R/W
b1	PMCSEL1		1 0 0 : 48ピン製品の通信機能優先端子配置	R/W
b2	PMCSEL2		上記以外 : 設定しないでください	R/W
b3	—	予約ビット	0にしてください	R/W
b4	—	何も配置されていない。書く場合、0を書いてください。読んだ場合、その値は0。		—
b5	—			
b6	—			
b7	—			

PMCSEL レジスタは、端子の配置を選択するレジスタのため、入出力制御をする前で設定してください。端子の配置を通信機能優先の配置に変更する場合は、PMCSEL レジスタを設定してください。

PMCSEL レジスタは一度書き込むと、以降の書き込みはできません。

29.4 ペリフェラルマッピングコントローラ(PMC)使用上の注意事項

29.4.1 端子配置選択レジスタ(PMCSEL)の設定

PMCSELレジスタは、端子の配置を選択するレジスタのため、入出力制御をする前で設定してください。

29.4.2 フルスペックエミュレータ(E100)使用時の制限事項

R8C/5xグループ実MCUとフルスペックエミュレータ(E100)では、48ピン製品を選択する場合に端子配置選択ビットの設定値が異なります。

	本製品	R8C/5xグループ実MCU
48ピン製品の標準端子配置：	PMCSEL=000b	PMCSEL=011b
48ピン製品の通信機能優先端子配置：	PMCSEL=001b	PMCSEL=100b

30. 電気的特性

30.1 絶対最大定格

表 30.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{CC} /A _{VCC}	電源電圧		-0.3 ~ 6.5	V
V _I	入力電圧(注1)		-0.3 ~ V _{CC} + 0.3	V
I _{IN}	入力電流(注1)	(注2、3、4)	-4 ~ 4	mA
V _O	出力電圧		-0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	-40 °C ≤ Topr ≤ 85 °C	300	mW
		85 °C < Topr ≤ 125 °C	125	mW
T _{opr}	動作周囲温度		-40 ~ 85 (Jバージョン)/ -40 ~ 125 (Kバージョン)	°C
T _{stg}	保存温度		-65 ~ 150	°C

注1. 入力電圧あるいは入力電流のどちらか一方を満たしてください。

注2. 対象ポート：P0 ~ P2、P3_0、P3_1、P3_3 ~ P3_5、P3_7、P4_3 ~ P4_5、P6

注3. 入力電流の合計は、12mA 以内にしてください。

注4. V_{CC} への供給がない場合でも、入力電流によりマイコンの電源が供給され動作することがあります。また、V_{CC} が供給されている場合では、入力電流により電源電圧を上昇させることがあります。その場合の動作については保証できませんので、マイコンの電源電圧が規格内で安定するようにシステムの電源回路で対処してください。

30.2 推奨動作条件

表 30.2 推奨動作条件 (1)

(指定のない場合は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Jバージョン)/
 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (Kバージョン))

記号	項目			測定条件	規格値			単位	
					最小	標準	最大		
Vcc/AVcc	電源電圧				2.7	—	5.5	V	
Vss/AVss	電源電圧				—	0	—	V	
VIH	H入力電圧	CMOS入力以外				0.8Vcc	—	Vcc	V
		CMOS入力	入力レベル 切り替え機能 (I/Oポート)	入力レベル選択： 4.0 V ≤ Vcc ≤ 5.5 V	0.5Vcc	—	Vcc	V	
				0.35Vcc	2.7 V ≤ Vcc < 4.0 V	0.55Vcc	—	Vcc	V
				入力レベル選択： 4.0 V ≤ Vcc ≤ 5.5 V	0.65Vcc	—	Vcc	V	
				0.5Vcc	2.7 V ≤ Vcc < 4.0 V	0.7Vcc	—	Vcc	V
		入力レベル選択： 4.0 V ≤ Vcc ≤ 5.5 V	0.85Vcc	—	Vcc	V			
		0.7Vcc	2.7 V ≤ Vcc < 4.0 V	0.85Vcc	—	Vcc	V		
	外部クロック入力(XOUT)				1.2	—	Vcc	V	
VIL	L入力電圧	CMOS入力以外				0	—	0.2Vcc	V
		CMOS入力	入力レベル 切り替え機能 (I/Oポート)	入力レベル選択： 4.0 V ≤ Vcc ≤ 5.5 V	0	—	0.2Vcc	V	
				0.35Vcc	2.7 V ≤ Vcc < 4.0 V	0	—	0.2Vcc	V
				入力レベル選択： 4.0 V ≤ Vcc ≤ 5.5 V	0	—	0.4Vcc	V	
				0.5Vcc	2.7 V ≤ Vcc < 4.0 V	0	—	0.3Vcc	V
		入力レベル選択： 4.0 V ≤ Vcc ≤ 5.5 V	0	—	0.55Vcc	V			
		0.7Vcc	2.7 V ≤ Vcc < 4.0 V	0	—	0.45Vcc	V		
	外部クロック入力(XOUT)				0	—	0.4	V	
IOH(sum)	H尖頭総出力電流		全端子の IOH(peak) の総和		—	—	−80	mA	
IOH(sum)	H平均総出力電流		全端子の IOH(avg) の総和		—	—	−40	mA	
IOH(peak)	H尖頭出力電流		駆動能力 Low時		—	—	−10	mA	
			駆動能力 High時		—	—	−40	mA	
IOH(avg)	H平均出力電流		駆動能力 Low時		—	—	−5	mA	
			駆動能力 High時		—	—	−20	mA	
IOL(sum)	L尖頭総出力電流		全端子の IOL(peak) の総和		—	—	80	mA	
IOL(sum)	L平均総出力電流		全端子の IOL(avg) の総和		—	—	40	mA	
IOL(peak)	L尖頭出力電流		駆動能力 Low時		—	—	10	mA	
			駆動能力 High時		—	—	40	mA	
IOL(avg)	L平均出力電流		駆動能力 Low時		—	—	5	mA	
			駆動能力 High時		—	—	20	mA	
f(XIN)	XINクロック入力発振周波数			2.7 V ≤ Vcc ≤ 5.5 V	—	—	20	MHz	
f(PLL)	PLLクロック発振周波数			2.7 V ≤ Vcc ≤ 5.5 V	10	—	32	MHz	
fHOCO	タイマRC、タイマRDのカウントソース			2.7 V ≤ Vcc ≤ 5.5 V	32	—	40	MHz	
fHOCO-F	fHOCO-F周波数			2.7 V ≤ Vcc ≤ 5.5 V	—	—	20	MHz	
—	システムクロック周波数			2.7 V ≤ Vcc ≤ 5.5 V	—	—	32	MHz	
f(BCLK)	CPUクロック周波数			2.7 V ≤ Vcc ≤ 5.5 V	—	—	32	MHz	
tSU(PLL)	PLL周波数シンセサイザ安定待ち時間			2.7 V ≤ Vcc ≤ 5.5 V	—	—	1	ms	

注1. 平均出力電流は100 msの期間内での平均値です。

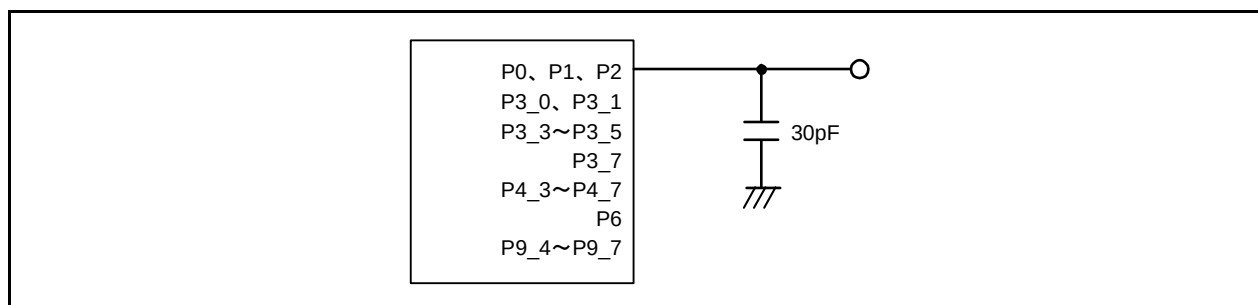


図 30.1 ポートP0～P2、P3_0、P3_1、P3_3～P3_5、P3_7、P4_3～P4_7、P6、P9_4～P9_7のタイミング測定回路

表 30.3 推奨動作条件 (2)

(指定のない場合は、 $V_{CC} = 4.5\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Jバージョン)/
 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
IIC(H)	H入カインジェクション電流	P0、P1、P2、P3_0、P3_1、P3_3~P3_5、P3_7、P4_3~P4_5、P6 $V_i > V_{CC}$	—	—	2	mA
IIC(L)	L入カインジェクション電流	P0、P1、P2、P3_0、P3_1、P3_3~P3_5、P3_7、P4_3~P4_5、P6 $V_i < V_{SS}$	—	—	-2	mA
$\Sigma[IIC]$	総インジェクション電流		—	—	8	mA

表 30.4 推奨動作条件 (3)

(指定のない場合は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Jバージョン)/
 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$V_r(V_{CC})$	許容電源リップル電圧(注1)		—	—	$0.1V_{CC}$	V
$dV_r(V_{CC})/dt$	電源リップル立ち下がり勾配(注1)		—	—	10	V/ms

注1. 電源リップルは $V_r(V_{CC})$ 、 $dV_r(V_{CC})/dt$ のいずれか一方または両方を満たしてください。

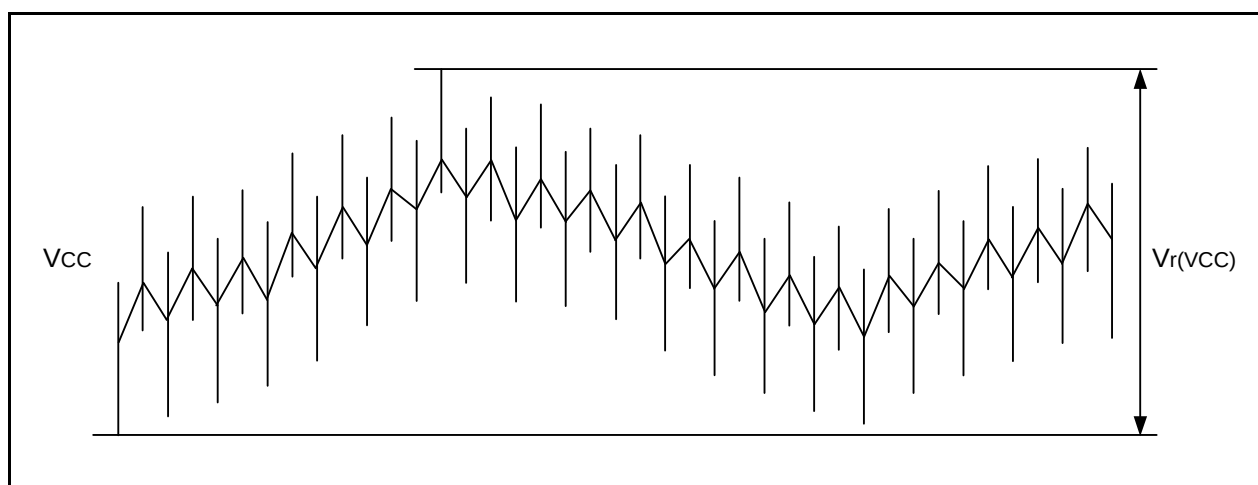


図 30.2 電源リップル波形

30.3 周辺機能の特性

表 30.5 A/D コンバータの特性

(指定のない場合は、 $V_{CC}/AV_{CC} = V_{REF} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $V_{SS} = 0\text{ V}$ 、 $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$
(Jバージョン)/ $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (Kバージョン))

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
—	分解能		Vref = AVcc		—	—	10	Bit
—	絶対精度	10ビットモード	Vref = AVcc = 5.0 V	AN0～AN11 入力	—	—	±3	LSB
			Vref = AVcc = 3.3 V	AN0～AN11 入力	—	—	±5	LSB
			Vref = AVcc = 3.0 V	AN0～AN11 入力	—	—	±5	LSB
		8ビットモード	Vref = AVcc = 5.0 V	AN0～AN11 入力	—	—	±2	LSB
			Vref = AVcc = 3.3 V	AN0～AN11 入力	—	—	±2	LSB
			Vref = AVcc = 3.0 V	AN0～AN11 入力	—	—	±2	LSB
φAD	A/D変換クロック		4.0 V ≤ Vref = AVcc ≤ 5.5 V (注1)	2	—	20	MHz	
			3.2 V ≤ Vref = AVcc ≤ 5.5 V (注1)	2	—	16	MHz	
			2.7 V ≤ Vref = AVcc ≤ 5.5 V (注1)	2	—	10	MHz	
—	許容信号源インピーダンス				—	3	—	kΩ
Ivref	Vref電流		Vcc = 5 V、XIN = f1 = fAD = 20 MHz		—	45	—	μA
tCONV	変換時間	10ビットモード	Vref = AVcc = 5.0 V、φAD = 20 MHz		2.2	—	—	μs
		8ビットモード	Vref = AVcc = 5.0 V、φAD = 20 MHz		2.2	—	—	μs
tSAMP	サンプリング時間		φAD = 20 MHz		0.8	—	—	μs
Vref	基準電圧				2.7	—	AVcc	V
VIA	アナログ入力電圧(注2)				0	—	Vref	V
OCVREF	チップ内蔵基準電圧		2MHz ≤ φAD ≤ 4MHz		1.14	1.34	1.54	V

注1. CPUおよびフラッシュメモリが停止すると、A/D変換結果が不定となります。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表 30.6 コンパレータBの特性

(指定のない場合は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Jバージョン)/
 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V_{REF}	IVREF1、IVREF3入力基準電圧		0	—	$V_{CC} - 1.4$	V
V_I	IVCMP1、IVCMP3入力電圧		-0.3	—	$V_{CC} + 0.3$	V
—	オフセット		—	5	100	mV
t_d	コンパレータ出力遅延時間(注1)	$V_I = V_{REF} \pm 100\text{ mV}$	—	0.1	—	μs
I_{CMP}	コンパレータ動作電流	$V_{CC} = 5.0\text{ V}$	—	17.5	—	μA

注1. デジタルフィルタ非選択時。

表 30.7 フラッシュメモリ (プログラムROM) の特性
 (指定のない場合は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^\circ\text{C} \sim 85^\circ\text{C}$ (Jバージョン) /
 $-40^\circ\text{C} \sim 125^\circ\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数 (注1)	データフラッシュ あり品種	1,000 (注2)	—	—	回
		データフラッシュ なし品種	100 (注2)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数 ≤ 100 回)		—	—	—	μs
—	バイトプログラム時間 (プログラム/イレーズ回数 $\leq 1,000$ 回)		—	—	—	μs
—	ワードプログラム時間 (プログラム/イレーズ回数 ≤ 100 回)	$T_{opr} = 25^\circ\text{C}$ 、 $V_{CC} = 5.0\text{ V}$	—	100	200	μs
—	ワードプログラム時間 (プログラム/イレーズ回数 ≤ 100 回)		—	100	400	μs
—	ワードプログラム時間 (プログラム/イレーズ回数 $\leq 1,000$ 回)		—	100	650	μs
—	ブロックイレーズ時間		—	0.3	4	s
$t_d(\text{SR-SUS})$	サスペンドへの遷移時間		—	—	5 + CPUクロック × 3サイクル	ms
—	イレーズ開始または再開から次のサスペンド要求までの間隔		0	—	—	μs
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
$t_d(\text{CMDRST-READY})$	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		2.7	—	5.5	V
—	書き込み、消去時の温度		-40	—	85 (Jver) 125 (Kver)	$^\circ\text{C}$
—	データ保持時間	周囲温度 = 55°C (注6)	20	—	—	年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数が n 回 ($n = 100, 1,000$) の場合、ブロックごとにそれぞれ n 回ずつイレーズすることができます。

例えば、1K バイトブロックのブロック A について、それぞれ異なる番地に 1 バイト書き込みを 1,024 回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は 1 回と数えます。ただし、イレーズ 1 回に対して、同一番地に複数回の書き込みをしないでください (上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は 1 ~ 最小値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム (書き込み) を実施した上で 1 回のイレーズを行ってください。例えば一組 16 バイトをプログラムする場合、最大 128 組の書き込みを実施した上で 1 回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド → ブロックイレーズコマンドを少なくとも 3 回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注6. 周囲温度 125°C の環境下での 3,000 時間、周囲温度 85°C の環境下での 7,000 時間を含みます。

表 30.8 フラッシュメモリ(データフラッシュ ブロックA~ブロックD)の特性
(指定のない場合は、Vcc = 2.7 V ~ 5.5 V、Topr = -40°C ~ 85°C(Jバージョン)/
-40°C ~ 125°C(Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	プログラム、イレーズ回数(注1)		10,000 (注2)	—	—	回
—	バイトプログラム時間 (プログラム/イレーズ回数 ≤ 1,000 回)		—	160	950	μs
—	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000 回)		—	300	950	μs
—	ブロックイレーズ時間 (プログラム/イレーズ回数 ≤ 1,000 回)		—	0.2	1	s
—	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000 回)		—	0.3	1	s
t _d (SR-SUS)	サスペンドへの遷移時間		—	—	3 + CPUクロック × 3サイクル	ms
—	イレーズ開始または再開から次のサスペンド要求までの間隔		0	—	—	μs
—	サスペンドからイレーズの再開までの時間		—	—	30 + CPUクロック × 1サイクル	μs
t _d (CMDRST-READY)	コマンド強制停止実行から読み出し可能になるまでの時間		—	—	30 + CPUクロック × 1サイクル	μs
—	書き込み、消去電圧		2.7	—	5.5	V
—	読み出し電圧		2.7	—	5.5	V
—	書き込み、消去時の温度		-40	—	85 (Jver) 125 (Kver)	°C
—	データ保持時間	周囲温度 = 55°C (注6)	20	—	—	年

注1. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n = 100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1,024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注2. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~最小値の範囲です。)

注3. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA~ブロックDのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残り、制限回数を設けていただくことをお勧めします。

注4. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド→ブロックイレーズコマンドを少なくとも3回実行してください。

注5. 不良率につきましては、ルネサスエレクトロニクス、ルネサスエレクトロニクス販売または特約店にお問い合わせください。

注6. 周囲温度125°Cの環境下での3,000時間、周囲温度85°Cの環境下での7,000時間を含みます。

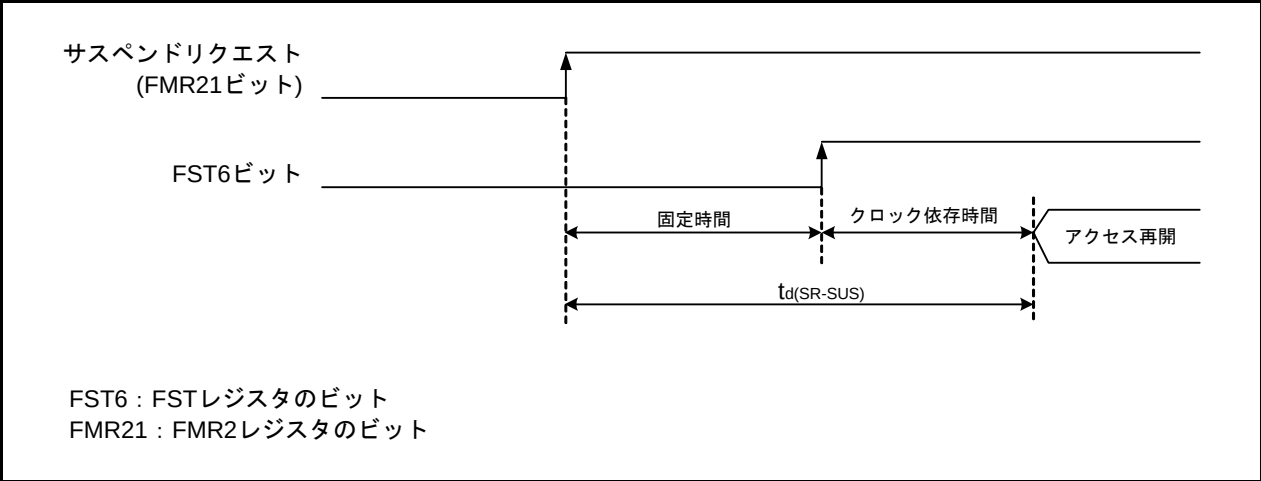


図 30.3 サスペンドへの遷移時間

表 30.9 電圧検出0回路の特性
(測定条件は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^\circ\text{C} \sim 85^\circ\text{C}$ (Jバージョン)/
 $-40^\circ\text{C} \sim 125^\circ\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベルVdet0_2 (注1)	Vcc立ち下がり時	2.70	2.85	3.05	V
	電圧検出レベルVdet0_3 (注1)	Vcc立ち下がり時	3.55	3.80	4.05	V
—	電圧検出0回路反応時間 (注2)	$V_{CC} = 5\text{ V} \rightarrow (V_{det0} - 0.1)\text{ V}$	—	6	150	μs
—	電圧検出回路の自己消費電流	VCA25 = 1、 $V_{CC} = 5.0\text{ V}$	—	1.5	—	μA
$t_d(\text{E-A})$	電圧検出回路動作開始までの待ち時間 (注3)		—	—	100	μs

注1. 電圧検出レベルはOFSレジスタのVDSEL0、VDSEL1ビットで選択してください。
注2. Vdet0を通過した時点から、電圧監視0リセットが発生するまでの時間です。
注3. VCA2レジスタのVCA25ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表 30.10 電圧検出1回路の特性

(測定条件は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Jバージョン)/
 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベルVdet1_7 (注1)	Vcc立ち下がり時	2.95	3.25	3.55	V
	電圧検出レベルVdet1_8 (注1)	Vcc立ち下がり時	3.10	3.40	3.70	V
	電圧検出レベルVdet1_9 (注1)	Vcc立ち下がり時	3.25	3.55	3.85	V
	電圧検出レベルVdet1_A (注1)	Vcc立ち下がり時	3.40	3.70	4.00	V
	電圧検出レベルVdet1_B (注1)	Vcc立ち下がり時	3.55	3.85	4.15	V
	電圧検出レベルVdet1_C (注1)	Vcc立ち下がり時	3.70	4.00	4.30	V
	電圧検出レベルVdet1_D (注1)	Vcc立ち下がり時	3.85	4.15	4.45	V
	電圧検出レベルVdet1_E (注1)	Vcc立ち下がり時	4.00	4.30	4.60	V
	電圧検出レベルVdet1_F (注1)	Vcc立ち下がり時	4.15	4.45	4.75	V
—	電圧検出1回路のVcc立ち上がり時のヒステリシス		—	0.10	—	V
—	電圧検出1回路反応時間 (注2)	$V_{CC} = 5\text{ V} \rightarrow (V_{det1} - 0.1)\text{ V}$	—	60	150	μs
—	電圧検出回路の自己消費電流	VCA26 = 1、 $V_{CC} = 5.0\text{ V}$	—	1.7	—	μA
t _d (E-A)	電圧検出回路動作開始までの待ち時間 (注3)		—	—	100	μs

注1. 電圧検出レベルはVD1LSレジスタのVD1S0～VD1S3ビットで選択してください。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表 30.11 電圧検出2回路の特性

(測定条件は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Jバージョン)/
 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベルVdet2_0	Vcc立ち下がり時	3.70	4.00	4.30	V
—	電圧検出2回路のVcc立ち上がり時のヒステリシス		—	0.1	—	μs
—	電圧検出2回路反応時間 (注1)	$V_{CC} = 5\text{ V} \rightarrow (V_{det2\_0} - 0.1)\text{ V}$	—	20	150	μs
—	電圧検出回路の自己消費電流	VCA27 = 1、 $V_{CC} = 5.0\text{ V}$	—	1.7	—	μA
t _d (E-A)	電圧検出回路動作開始までの待ち時間 (注2)		—	—	100	μs

注1. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注2. VCA2レジスタのVCA27ビットを0にした後、再度1にした場合の、電圧検出回路が動作するまでに必要な時間です。

表 30.12 パワーオンリセット回路の特性(注1)

(測定条件は、Topr = -40℃～85℃(Jバージョン)/-40℃～125℃(Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
trth	外部電源Vccの立ち上がり傾き		0	—	50,000	mV/msec

注1. パワーオンリセットを使用する場合には、OFSレジスタのLVDASビットを0にして電圧監視0リセットを有効にしてください。

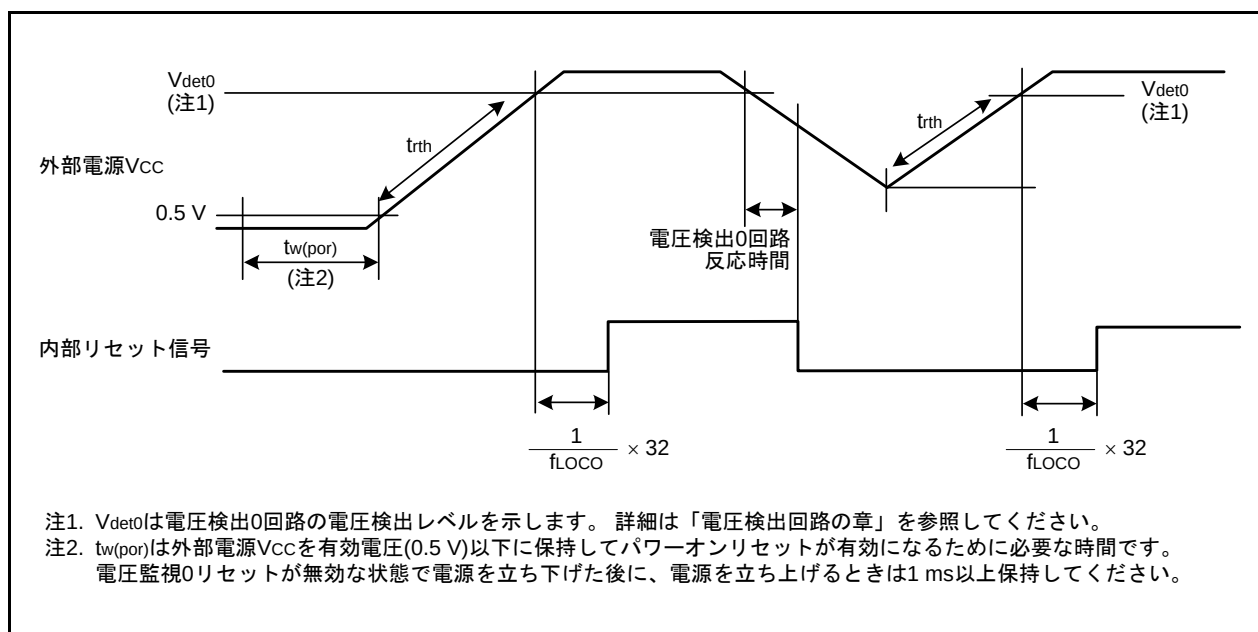


図 30.4 パワーオンリセット回路の特性

表 30.13 高速オンチップオシレータ発振回路の特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
—	リセット解除時の高速オンチップオシレータ発振周波数	Vcc = 2.7 V～5.5 V、 -40℃ ≤ Topr ≤ 85℃	—	40	—	MHz
—	FRA2レジスタのFRA25、FRA24ビットに01bを書き込んだときの高速オンチップオシレータ発振周波数(注1)	(Jバージョン) -40℃ ≤ Topr ≤ 125℃ (Kバージョン)	—	36.864	—	MHz
—	FRA2レジスタのFRA25、FRA24ビットに10bを書き込んだときの高速オンチップオシレータ発振周波数		—	32	—	MHz
—	高速オンチップオシレータ発振周波数の温度・電圧依存性(注2)		-1.5	—	1.5	%
—	発振安定時間	Vcc = 5.0 V、Topr = 25℃	—	250	—	μs
—	発振時の自己消費電流	Vcc = 5.0 V、Topr = 25℃	—	400	—	μA

注1. シリアルインタフェースをUARTモードで使用时、9600bps、38400bpsなどのビットレートの設定誤差を0%にすることができます。

注2. 高速オンチップオシレータ発振周波数に対する精度誤差を示します。

表 30.14 低速オンチップオシレータ発振回路の特性

(測定条件は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^\circ\text{C} \sim 85^\circ\text{C}$ (Jバージョン)/
 $-40^\circ\text{C} \sim 125^\circ\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fLOCO	低速オンチップオシレータ発振周波数	$2.7\text{ V} \leq V_{CC} < 4.2\text{ V}$	106.25	125	143.75	kHz
		$4.2\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	112.5	125	137.5	kHz
fLOCOWDT	ウォッチドッグタイマ用低速オンチップオシレータ発振周波数	$2.7\text{ V} \leq V_{CC} < 4.2\text{ V}$	106.25	125	143.75	kHz
		$4.2\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	112.5	125	137.5	kHz
—	発振安定時間	$V_{CC} = 5.0\text{ V}$ 、 $T_{opr} = 25^\circ\text{C}$	—	30	100	μs
—	発振時の自己消費電流	$V_{CC} = 5.0\text{ V}$ 、 $T_{opr} = 25^\circ\text{C}$	—	3	—	μA

表 30.15 電源回路の特性

(測定条件は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^\circ\text{C} \sim 85^\circ\text{C}$ (Jバージョン)/
 $-40^\circ\text{C} \sim 125^\circ\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _d (P-R)	電源投入時の内部電源安定時間 (注1)		—	—	2,000	μs

注1. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

30.4 DC 特性

表 30.16 DC 特性 (1) [4.2 V ≤ Vcc ≤ 5.5 V]

(指定のない場合は、Vcc = 4.2 V ~ 5.5 V、Topr = -40°C ~ 85°C (Jバージョン) /
-40°C ~ 125°C (Kバージョン)、f(XIN) = 20 MHz)

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	H出力電圧	XOUT 以外	駆動能力 High	IOH = -20 mA	Vcc - 2.0	—	Vcc	V
			駆動能力 Low	IOH = -5 mA	Vcc - 2.0	—	Vcc	V
				IOH = -200 μA	Vcc - 0.3	—	Vcc	V
		XOUT		IOH = -200 μA	1.0	—	Vcc	V
VOL	L出力電圧	XOUT 以外	駆動能力 High	IOL = 20 mA	—	—	2.0	V
			駆動能力 Low	IOL = 5 mA	—	—	2.0	V
				IOL = 200 μA	—	—	0.45	V
		XOUT		IOL = 200 μA	—	—	0.5	V
VT+・VT-	ヒステリシス	INT0 ~ INT4、K10 ~ K13、 TRJIO_0、TRJIO_1、 TRCCLK_0、TRCCLK_1、 TRCTRG_0、TRCTRG_1、 TRCIOA_0、TRCIOB_0、 TRCIOC_0、TRCIOD_0、 TRDIOA0_0、TRDIOA1_0、 TRDIOB0_0、TRDIOB1_0、 TRDIOC0_0、TRDIOC1_0、 TRDIOD0_0、TRDIOD1_0、 TRDCLK_0、 CLK_0、CLK_1、 RXD_0、RXD_1、CTS2、 RXD2、 SCL_0、SCL_1、 SDA_0、SDA_1、 SSI_0、SSI_1、 SCS_0、SCS_1、 SSCK_0、SSCK_1、 SSO_0、SSO_1	Vcc = 5.0 V		0.1	1.2	—	V
		RESET	Vcc = 5.0 V		0.1	1.2	—	V
IiH	H入力電流		Vi = 5.0 V、Vcc = 5.0 V		—	—	1.0	μA
IiL	L入力電流		Vi = 0 V、Vcc = 5.0 V		—	—	-1.0	μA
RPULLUP	プルアップ抵抗		Vi = 0 V、Vcc = 5.0 V		25	50	100	kΩ
RfXIN	帰還抵抗	XIN			—	0.3	—	MΩ
V _{RAM}	RAM保持電圧		ストップモード時		2.0	—	—	V

表 30.17 DC 特性 (2) [3.3 V ≤ Vcc ≤ 5.5 V]

(指定のない場合は、Topr = -40℃～85℃(Jバージョン))

記号	項目		測定条件							規格値 (注4)			単位
			発振回路	オンチップオシレータ		通信、分周	CPU クロック	低消費電力設定	その他	最小	標準	最大	
Icc	電源 電流 (注1)	PLL動作モード	XIN (注2) 4 MHz	高速 停止	低速 125 kHz	8 通倍	32 MHz	—	—	—	14.0	21	mA
		高速 クロックモード	20 MHz	停止	125 kHz	分周なし	20 MHz	—	—	—	8.2	16.4	mA
			16 MHz	停止	125 kHz	分周なし	16 MHz	—	—	—	6.7	13.4	mA
			10 MHz	停止	125 kHz	分周なし	10 MHz	—	—	—	4.4	—	mA
			20 MHz	停止	125 kHz	8 分周	2.5 MHz	—	—	—	3.6	—	mA
			16 MHz	停止	125 kHz	8 分周	2 MHz	—	—	—	2.9	—	mA
			10 MHz	停止	125 kHz	8 分周	1.25 MHz	—	—	—	2.0	—	mA
		高速オンチップ オシレータモード	停止	20 MHz (注3)	125 kHz	分周なし	20 MHz	—	—	—	8.7	17.4	mA
			停止	20 MHz (注3)	125 kHz	8 分周	2.5 MHz	—	—	—	4.1	—	mA
			停止	4 MHz (注3)	125 kHz	16 分周	250 kHz	MSTIIC = 1 MSTTRD = 1 MSTTRC = 1	—	—	1.4	—	mA
		低速オンチップ オシレータモード	停止	停止	125 kHz	8 分周	15.625 kHz	FMR27 = 1 SVC0 = 0	—	—	100	200	μA
		ウェイトモード	停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT 命令実行中 周辺クロック動作	—	15	120	μA
			停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT 命令実行中 周辺クロック停止	—	5	110	μA
		ストップモード	停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 25℃ 周辺クロック停止	—	2.5	5.0	μA
			停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 85℃ 周辺クロック停止	—	30.0	—	μA

注1. Vcc = 3.3 V～5.5 V、シングルチップモードで、出力端子は開放、その他の端子はVss。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表 30.18 DC 特性 (3) [3.3 V ≤ V_{CC} ≤ 5.5 V]
(指定のない場合は、T_{opr} = -40℃ ~ 125℃ (K バージョン))

記号	項目		測定条件							規格値 (注4)			単位
			発振回路	オンチップオシレータ		通信、分周	CPU クロック	低消費電力設定	その他	最小	標準	最大	
I _{CC}	電源 電流 (注1)	PLL 動作モード	XIN (注2) 4 MHz	高速 停止	低速 125 kHz	8 通倍	32 MHz	—	—	—	14.0	21	mA
		高速 クロックモード	20 MHz	停止	125 kHz	分周なし	20 MHz	—	—	—	8.2	16.4	mA
			16 MHz	停止	125 kHz	分周なし	16 MHz	—	—	—	6.7	13.4	mA
			10 MHz	停止	125 kHz	分周なし	10 MHz	—	—	—	4.4	—	mA
			20 MHz	停止	125 kHz	8 分周	2.5 MHz	—	—	—	3.6	—	mA
			16 MHz	停止	125 kHz	8 分周	2 MHz	—	—	—	2.9	—	mA
			10 MHz	停止	125 kHz	8 分周	1.25 MHz	—	—	—	2.0	—	mA
		高速オンチップ オシレータモード	停止	20 MHz (注3)	125 kHz	分周なし	20 MHz	—	—	—	8.7	17.4	mA
			停止	20 MHz (注3)	125 kHz	8 分周	2.5 MHz	—	—	—	4.1	—	mA
			停止	4 MHz (注3)	125 kHz	16 分周	250 kHz	MSTIIC = 1 MSTTRD = 1 MSTTRC = 1	—	—	1.4	—	mA
		低速オンチップ オシレータモード	停止	停止	125 kHz	8 分周	15.625 kHz	FMR27 = 1 SVC0 = 0	—	—	100	400	μA
		ウェイトモード	停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT 命令実行中 周辺クロック動作	—	15	330	μA
			停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT 命令実行中 周辺クロック停止	—	5	320	μA
		ストップモード	停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	T _{opr} = 25℃ 周辺クロック停止	—	2.5	5.0	μA
			停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	T _{opr} = 125℃ 周辺クロック停止	—	120	—	μA

注1. V_{CC} = 3.3 V ~ 5.5 V、シングルチップモードで、出力端子は開放、その他の端子はV_{SS}。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表 30.19 DC 特性 (4) [2.7 V ≤ V_{cc} < 4.2 V](測定条件は、2.7 V ≤ V_{cc} < 4.2 V、T_{opr} = -40°C ~ 85°C (Jバージョン)/

-40°C ~ 125°C (Kバージョン)、f(XIN) = 10 MHz)

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
V _{OH}	H出力電圧	XOUT 以外	駆動能力 High	I _{OH} = -5 mA	V _{cc} - 0.5	—	V _{cc}	V
			駆動能力 Low	I _{OH} = -1 mA	V _{cc} - 0.5	—	V _{cc}	V
		XOUT		I _{OH} = -200 μA	1.0	—	V _{cc}	V
V _{OL}	L出力電圧	XOUT 以外	駆動能力 High	I _{OL} = 5 mA	—	—	0.5	V
			駆動能力 Low	I _{OL} = 1 mA	—	—	0.5	V
		XOUT		I _{OL} = 200 μA	—	—	0.5	V
V _{T+} -V _{T-}	ヒステリシス	INT0 ~ INT4、KI0 ~ KI3、 TRJIO_0、TRJIO_1、 TRCCLK_0、TRCCLK_1、 TRCTRG_0、TRCTRG_1、 TRCIOA_0、TRCIOB_0、 TRCIOA_0、TRCIOB_0、 TRCIOA_0、TRCIOB_0、 TRDIOA0_0、TRDIOA1_0、 TRDIOB0_0、TRDIOB1_0、 TRDIOC0_0、TRDIOC1_0、 TRDIOD0_0、TRDIOD1_0、 TRDCLK_0、 CLK_0、CLK_1、 RXD_0、RXD_1、CTS2、 RXD2、 SCL_0、SCL_1、 SDA_0、SDA_1、 SSI_0、SSI_1、 SCS_0、SCS_1、 SSCK_0、SSCK_1、 SSO_0、SSO_1	V _{cc} = 3.0 V		0.1	0.4	—	V
		RESET	V _{cc} = 3.0 V		0.1	0.5	—	V
I _{IH}	H入力電流		V _I = 3.0 V、V _{cc} = 3.0 V		—	—	1.0	μA
I _{IL}	L入力電流		V _I = 0 V、V _{cc} = 3.0 V		—	—	-1.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0 V、V _{cc} = 3.0 V		42	84	168	kΩ
R _{fXIN}	帰還抵抗	XIN			—	0.3	—	MΩ
V _{RAM}	RAM保持電圧		ストップモード時		2.0	—	—	V

表 30.20 DC 特性 (5) [2.7 V ≤ V_{CC} < 3.3 V]
(指定のない場合は、T_{opr} = -40℃ ~ 85℃ (Jバージョン))

記号	項目		測定条件							規格値 (注4)			単位
			発振回路	オンチップオシレータ		通信、分周	CPU クロック	低消費電力設定	その他	最小	標準	最大	
I _{CC}	電源 電流 (注1)	PLL 動作モード	XIN (注2) 4 MHz	高速 停止	低速 125 kHz	8 通倍	32 MHz	—	—	—	14.0	20.5	mA
		高速 クロックモード	20 MHz	停止	125 kHz	分周なし	20 MHz	—	—	—	8.2	16	mA
			16 MHz	停止	125 kHz	分周なし	16 MHz	—	—	—	6.7	13	mA
			10 MHz	停止	125 kHz	分周なし	10 MHz	—	—	—	4.4	—	mA
			20 MHz	停止	125 kHz	8 分周	2.5 MHz	—	—	—	3.6	—	mA
			16 MHz	停止	125 kHz	8 分周	2 MHz	—	—	—	2.9	—	mA
			10 MHz	停止	125 kHz	8 分周	1.25 MHz	—	—	—	2.0	—	mA
		高速オンチップ オシレータモード	停止	20 MHz (注3)	125 kHz	分周なし	20 MHz	—	—	—	8.7	17	mA
			停止	20 MHz (注3)	125 kHz	8 分周	2.5 MHz	—	—	—	4.1	—	mA
			停止	4 MHz (注3)	125 kHz	16 分周	250 kHz	MSTIIC = 1 MSTTRD = 1 MSTTRC = 1	—	—	1.4	—	mA
		低速オンチップ オシレータモード	停止	停止	125 kHz	8 分周	15.625 kHz	FMR27 = 1 SVC0 = 0	—	—	100	200	μA
		ウェイトモード	停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT 命令実行中 周辺クロック動作	—	15	120	μA
			停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT 命令実行中 周辺クロック停止	—	5	110	μA
		ストップモード	停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	T _{opr} = 25℃ 周辺クロック停止	—	2.5	5.0	μA
			停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	T _{opr} = 85℃ 周辺クロック停止	—	30.0	—	μA

注1. V_{CC} = 2.7 V ~ 3.3 V、シングルチップモードで、出力端子は開放、その他の端子はV_{SS}。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

表 30.21 DC 特性 (6) [2.7 V ≤ V_{CC} < 3.3 V]
(指定のない場合は、T_{opr} = -40℃ ~ 125℃ (K バージョン))

記号	項目		測定条件							規格値 (注4)			単位
			発振回路	オンチップオシレータ		通信、分周	CPU クロック	低消費電力設定	その他	最小	標準	最大	
			XIN (注2)	高速	低速								
Icc	電源 電流 (注1)	PLL 動作モード	4 MHz	停止	125 kHz	8通倍	32 MHz	—		—	14.0	20.5	mA
		高速 クロックモード	20 MHz	停止	125 kHz	分周なし	20 MHz	—		—	8.2	16	mA
			16 MHz	停止	125 kHz	分周なし	16 MHz	—		—	6.7	13	mA
			10 MHz	停止	125 kHz	分周なし	10 MHz	—		—	4.4	—	mA
			20 MHz	停止	125 kHz	8分周	2.5 MHz	—		—	3.6	—	mA
			16 MHz	停止	125 kHz	8分周	2 MHz	—		—	2.9	—	mA
			10 MHz	停止	125 kHz	8分周	1.25 MHz	—		—	2.0	—	mA
		高速オンチップ オシレータモード	停止	20 MHz (注3)	125 kHz	分周なし	20 MHz	—		—	8.7	17	mA
			停止	20 MHz (注3)	125 kHz	8分周	2.5 MHz	—		—	4.1	—	mA
			停止	4 MHz (注3)	125 kHz	16分周	250 kHz	MSTIIC = 1 MSTTRD = 1 MSTTRC = 1		—	1.4	—	mA
		低速オンチップ オシレータモード	停止	停止	125 kHz	8分周	15.625 kHz	FMR27 = 1 SVC0 = 0		—	100	390	μA
		ウェイトモード	停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT 命令実行中 周辺クロック動作	—	22	320	μA
			停止	停止	125 kHz	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 SVC0 = 1	WAIT 命令実行中 周辺クロック停止	—	6	310	μA
		ストップモード	停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 25℃ 周辺クロック停止	—	2.5	5.0	μA
			停止	停止	停止	—	—	VCA27 = 0 VCA26 = 0 VCA25 = 0 CM10 = 1	Topr = 125℃ 周辺クロック停止	—	120	—	μA

注1. V_{CC} = 2.7 V ~ 3.3 V、シングルチップモードで、出力端子は開放、その他の端子はV_{SS}。

注2. XINは方形波入力。

注3. fHOCO-F。

注4. 標準は、CPUとメモリが動作した場合の電流です。

最大は、CPUとメモリと周辺機能が動作し、かつ、フラッシュメモリのプログラム/イレーズをした場合の電流です。

30.5 AC 特性

表 30.22 チップセレクト付クロック同期形シリアルI/Oのタイミング条件(マスタ動作時)
(測定条件は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Jバージョン)/
 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間		4.00	—	—	tcyc (注1)
tHI	SSCKクロックHパルス幅		0.40	—	0.60	tsucyc
tLO	SSCKクロックLパルス幅		0.40	—	0.60	tsucyc
tRISE	SSCKクロック立ち上がり時間	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	0.50	tcyc (注1)
tFALL	SSCKクロック立ち下がり時間	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	0.50	tcyc (注1)
tsu	SSI、SSOデータ入力セットアップ時間	$4.5\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	60	—	—	ns
		$2.7\text{ V} \leq V_{CC} < 4.5\text{ V}$	70	—	—	ns
th	SSI、SSOデータ入力ホールド時間	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	2.00	—	—	tcyc (注1)
tLEAD	SCS – SCK出力遅延時間		$0.5\text{ tsucyc} - 1\text{ tcyc}$	—	—	ns
tLAG	SCK – SCS出力有効時間		$0.5\text{ tsucyc} - 1\text{ tcyc}$	—	—	ns
tOD	SSOデータ出力遅延時間	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	30.00	ns

注1. $1\text{tcyc} = 1/f_1$ (s)、 $f_1 \leq 20\text{MHz}$

表 30.23 チップセレクト付クロック同期形シリアルI/Oのタイミング条件(スレーブ動作時)
(測定条件は、 $V_{CC} = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $T_{opr} = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (Jバージョン)/
 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間		4.00	—	—	tCYC (注1)
tHI	SSCKクロックHパルス幅		0.40	—	0.60	tSUCYC
tLO	SSCKクロックLパルス幅		0.40	—	0.60	tSUCYC
tRISE	SSCKクロック立ち上がり時間		—	—	1.00	μs
tFALL	SSCKクロック立ち下がり時間		—	—	1.00	μs
tSU	SSOデータ入力セットアップ時間		10.00	—	—	ns
tH	SSOデータ入力ホールド時間		2.00	—	—	tCYC (注1)
tLEAD	SCSセットアップ時間		1tCYC + 50	—	—	ns
tLAG	SCSホールド時間		1tCYC + 50	—	—	ns
tOD	SSI、SSOデータ出力遅延時間	$4.5\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	60	ns
		$2.7\text{ V} \leq V_{CC} < 4.5\text{ V}$	—	—	70	ns
tSA	SSIスレーブアクセス時間	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	1.5tCYC + 100	ns
tOR	SSIスレーブアウト開放時間	$2.7\text{ V} \leq V_{CC} \leq 5.5\text{ V}$	—	—	1.5tCYC + 100	ns

注1. 1tCYC = 1/f1 (s)、f1 $\leq$ 20MHz

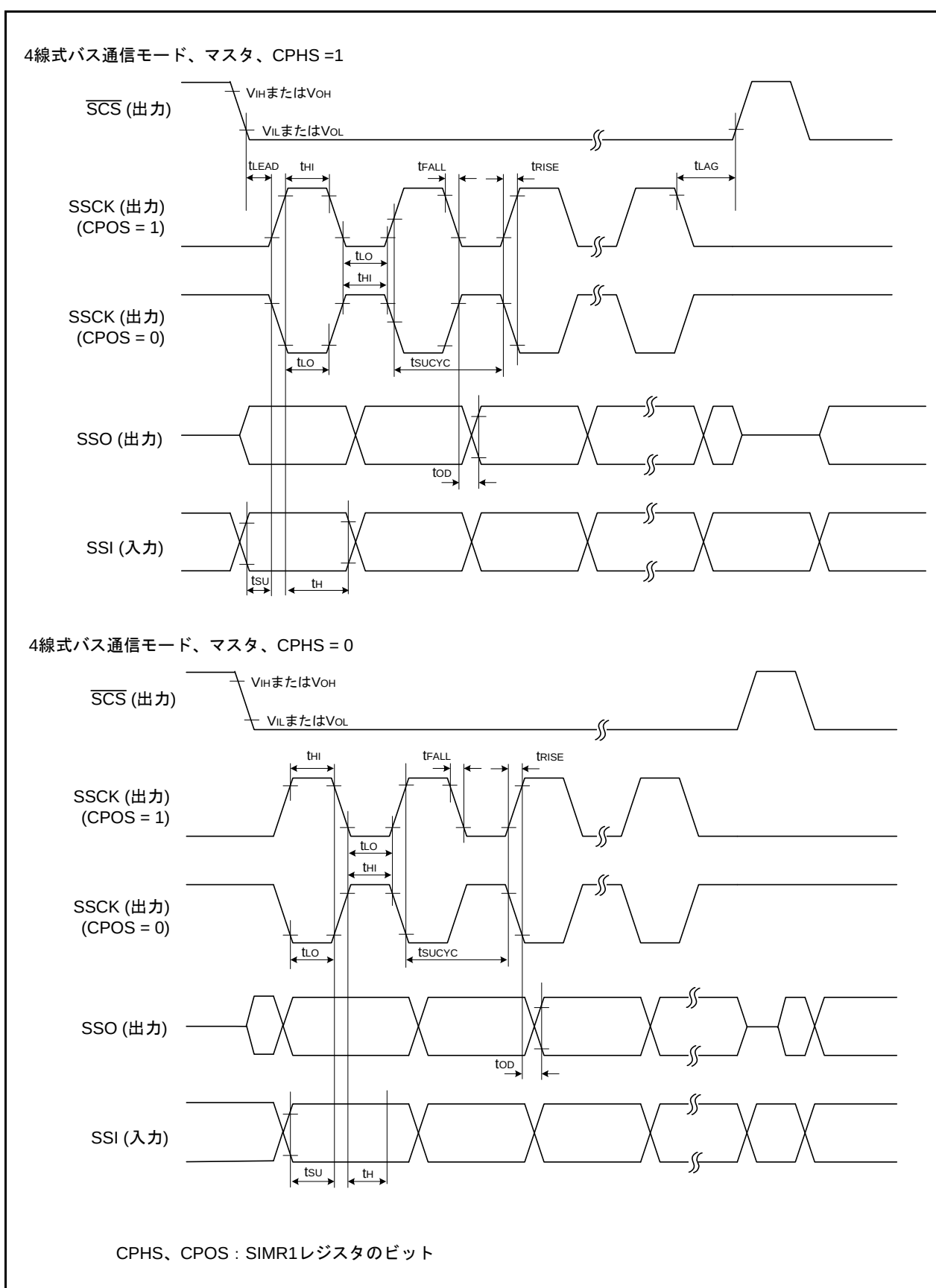


図 30.5 シンクロナスシリアルコミュニケーションユニット(SSU)の入出カタイミング(マスタ)

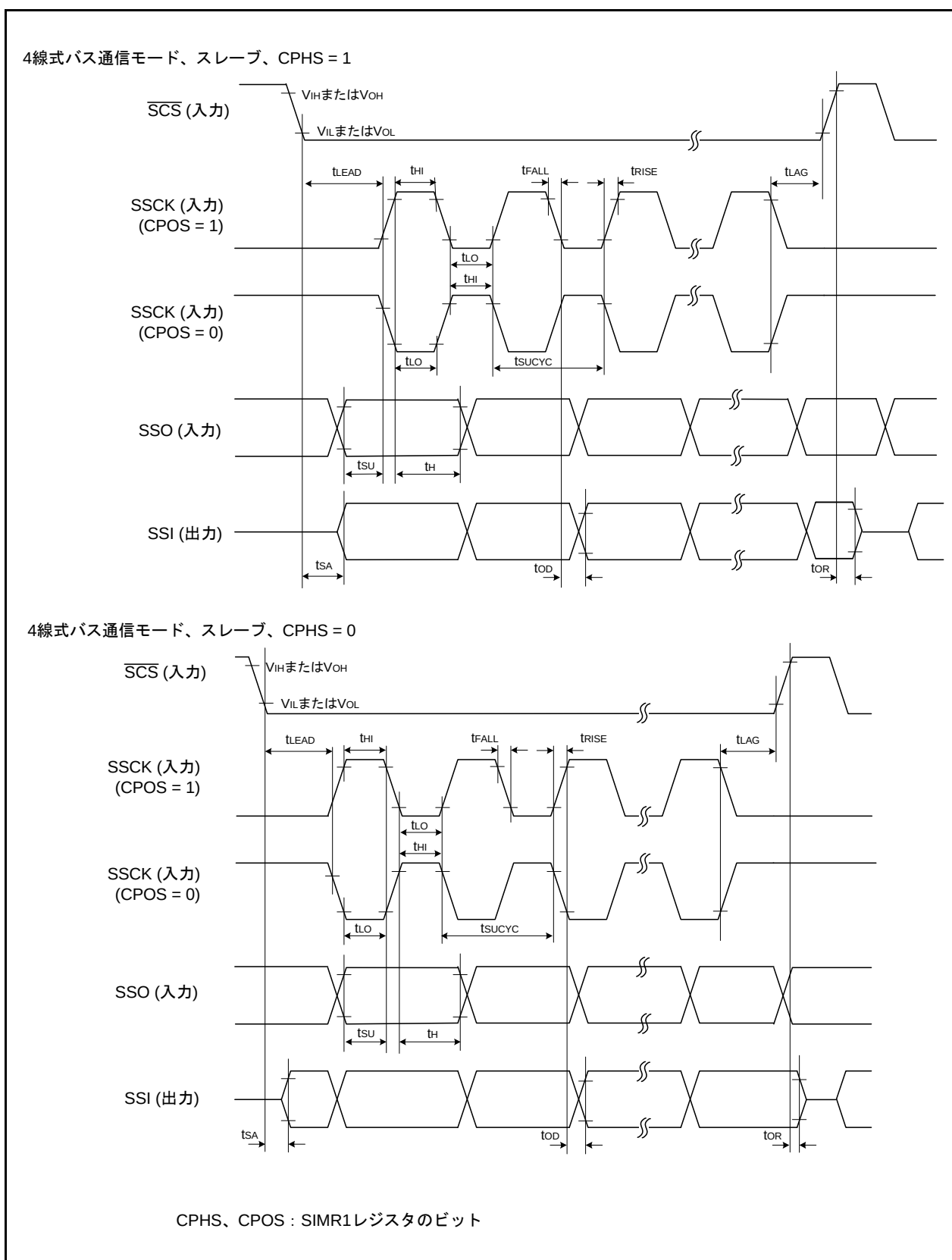


図 30.6 シンクロナスシリアルコミュニケーションユニット(SSU)の入出力タイミング(スレーブ)

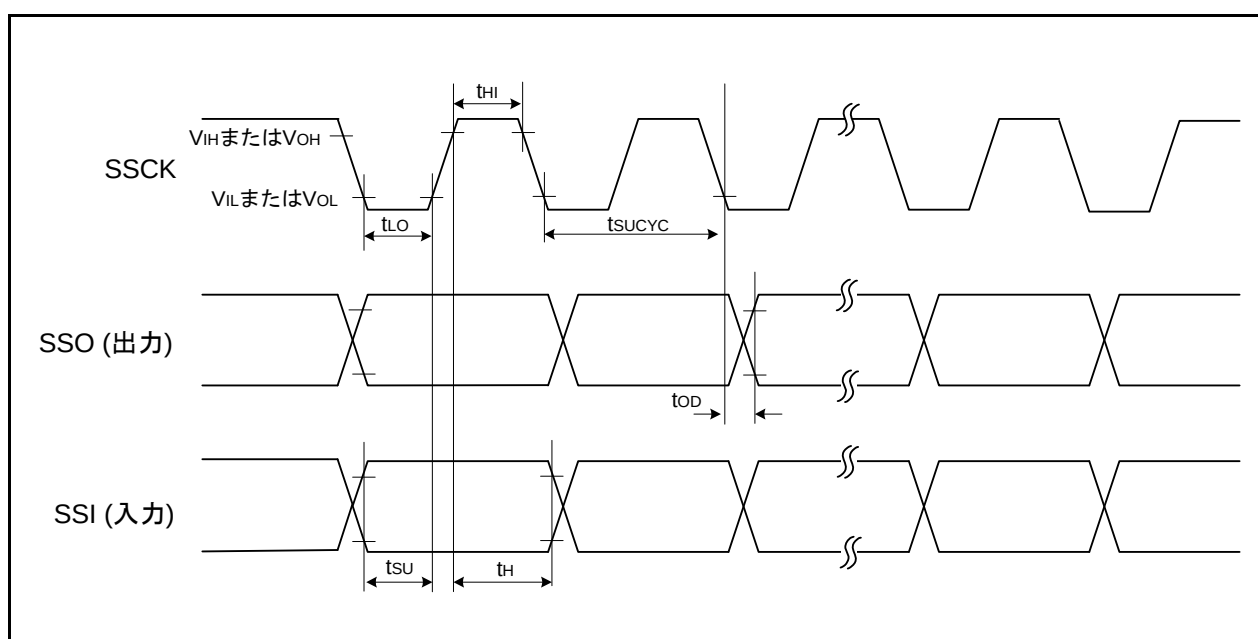


図 30.7 シンクロナスシリアルコミュニケーションユニット (SSU) の入出力タイミング (クロック同期式通信モード)

表 30.24 I²C バスインタフェースのタイミング条件

(測定条件は、V_{cc} = 2.7 V ~ 5.5 V、T_{opr} = -40°C ~ 85°C (Jバージョン) /
-40°C ~ 125°C (Kバージョン))

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
t _{SCL}	SCL 入力サイクル時間		12t _{cy} + 600 (注1)	—	—	ns
t _{SCLH}	SCL 入力Hパルス幅		3t _{cy} + 300 (注1)	—	—	ns
t _{SCLL}	SCL 入力Lパルス幅		5t _{cy} + 500 (注1)	—	—	ns
t _{sf}	SCL、SDA 入力立ち下がり時間		—	—	300	ns
t _{SP}	SCL、SDA 入力スライクパルス除去時間		—	—	1t _{cy} (注1)	ns
t _{BUF}	SDA 入力バスフリー時間		5t _{cy} (注1)	—	—	ns
t _{STAH}	開始条件入力ホールド時間		3t _{cy} (注1)	—	—	ns
t _{STAS}	反復開始条件入力セットアップ時間		3t _{cy} (注1)	—	—	ns
t _{STOP}	停止条件入力セットアップ時間		3t _{cy} (注1)	—	—	ns
t _{SDAS}	データ入力セットアップ時間		1t _{cy} + 40 (注1)	—	—	ns
t _{SDAH}	データ入力ホールド時間		10	—	—	ns

注1. 1t_{cy} = 1/f₁ (s)、f₁ ≤ 20MHz

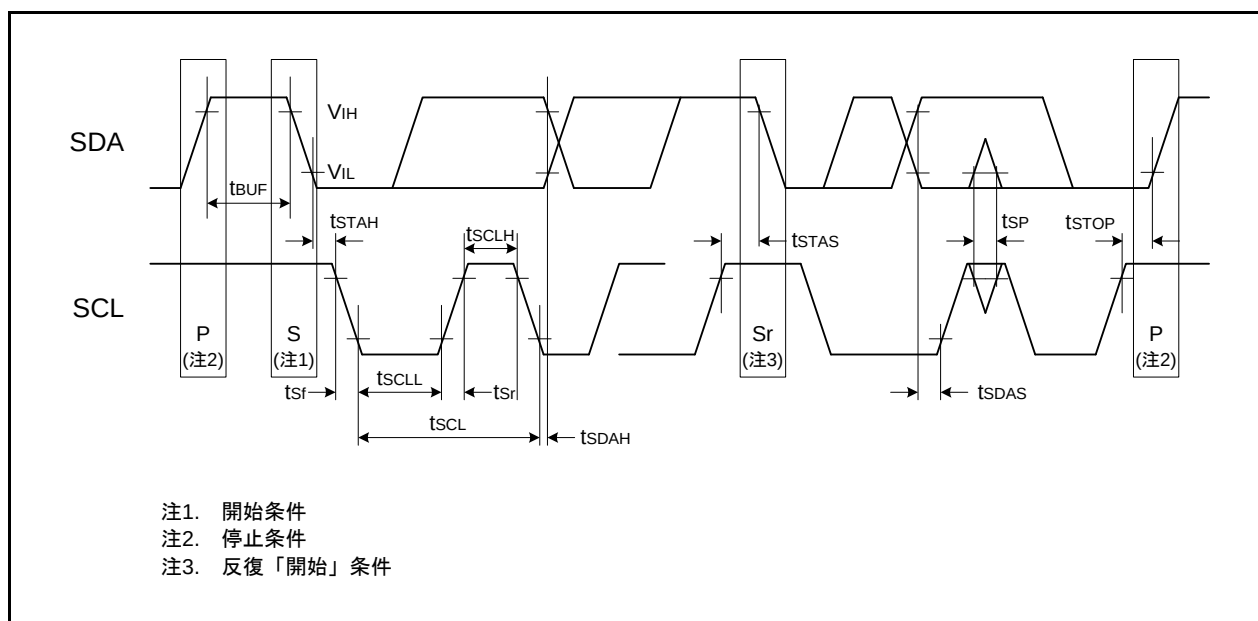
図 30.8 I²C バスインタフェースの入出力タイミング

表 30.25 外部クロック入力(XOUT)のタイミング条件

記号	項目	規格値				単位
		Vcc = 3 V、Topr = 25℃		Vcc = 5 V、Topr = 25℃		
		最小	最大	最小	最大	
tc(XOUT)	XOUT入力サイクル時間	50	—	50	—	ns
tWH(XOUT)	XOUT入力Hパルス幅	24	—	24	—	ns
tWL(XOUT)	XOUT入力Lパルス幅	24	—	24	—	ns

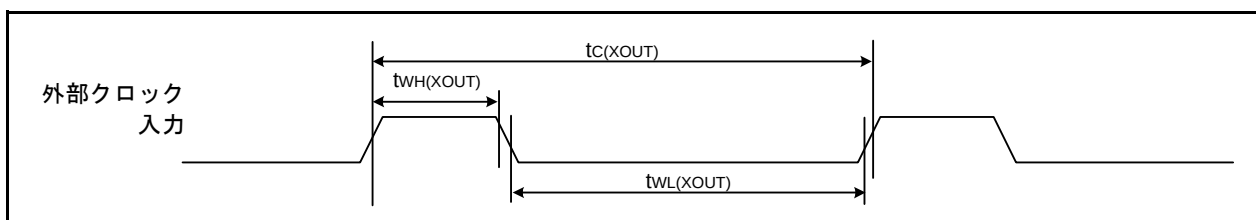


図 30.9 外部クロック入力タイミング

表 30.26 TRJIOのタイミング条件

記号	項目	規格値				単位
		Vcc = 3V、Topr = 25℃		Vcc = 5 V、Topr = 25℃		
		最小	最大	最小	最大	
t _c (TRJIO)	TRJIO入力サイクル時間	300	—	100	—	ns
t _{WH} (TRJIO)	TRJIO入力Hパルス幅	120	—	40	—	ns
t _{WL} (TRJIO)	TRJIO入力Lパルス幅	120	—	40	—	ns

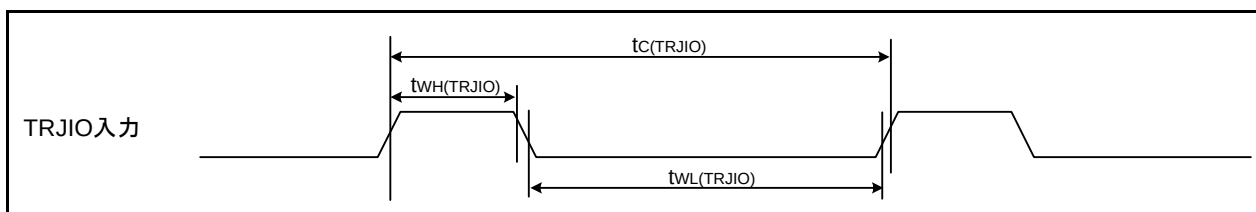


図 30.10 TRJIOの入力タイミング

表 30.27 シリアルインタフェースのタイミング条件
(転送クロックを内部クロック選択時(マスタ通信))

記号	項目	規格値				単位
		Vcc = 3V、Topr = 25℃		Vcc = 5 V、Topr = 25℃		
		最小	最大	最小	最大	
td(C-Q)	TXDi出力遅延時間	—	30	—	10	ns
tsu(D-C)	RXDi入力セットアップ時間(注1)	120	—	90	—	ns
th(C-D)	RXDi入力ホールド時間	90	—	90	—	ns

i = 0、1

注1. 外部端子負荷条件 CL = 30pF

表 30.28 シリアルインタフェースのタイミング条件
(転送クロックを外部クロック選択時(スレーブ通信))

記号	項目	規格値				単位
		Vcc = 3V、Topr = 25℃		Vcc = 5 V、Topr = 25℃		
		最小	最大	最小	最大	
t _c (CK)	CLKi入力サイクル時間	300	—	200	—	ns
t _w (CKH)	CLKi入力Hパルス幅	150	—	100	—	ns
t _w (CKL)	CLKi入力Lパルス幅	150	—	100	—	ns
t _d (C-Q)	TXDi出力遅延時間	—	120	—	90	ns
t _{su} (D-C)	RXDi入力セットアップ時間	30	—	10	—	ns
t _h (C-D)	RXDi入力ホールド時間	90	—	90	—	ns

i = 0、1

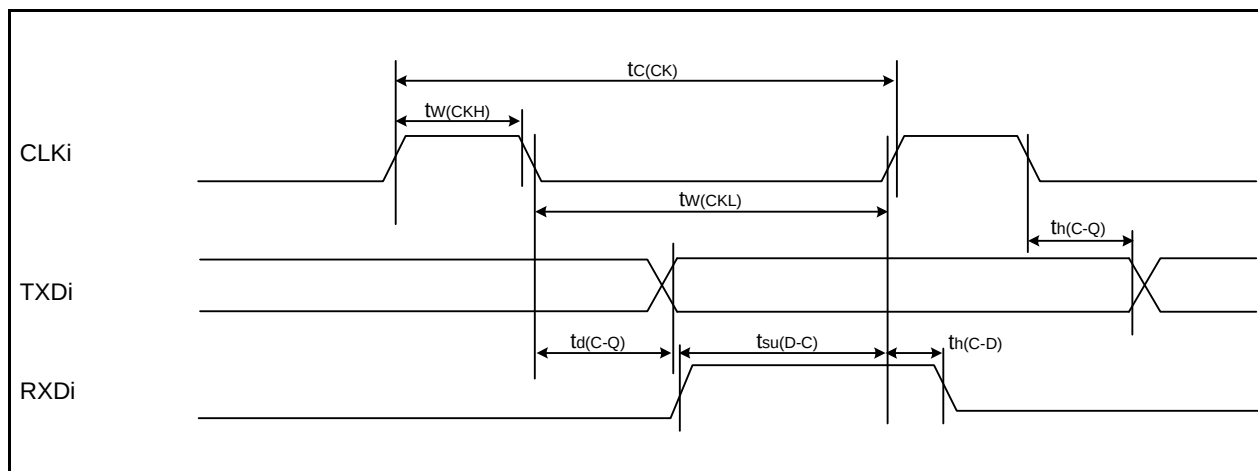


図 30.11 シリアルインタフェースの入出力タイミング (i = 0、1)

表 30.29 外部割り込み $\overline{\text{INTi}}$ 入力 ($i = 0 \sim 4$)、キー入力割り込み $\overline{\text{KIj}}$ ($j = 0 \sim 3$) のタイミング条件

記号	項目	規格値				単位
		Vcc = 3V、Topr = 25℃		Vcc = 5 V、Topr = 25℃		
		最小	最大	最小	最大	
tw(INH)	INTi入力Hパルス幅、 Klj入力Hパルス幅	380 (注1)	—	250 (注1)	—	ns
tw(INL)	INTi入力Lパルス幅、 Klj入力Lパルス幅	380 (注2)	—	250 (注2)	—	ns

注1. $\overline{\text{INTi}}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INTi}}$ 入力 H パルス幅の最小値は (1/デジタルフィルタサンプリング周波数 $\times 3$) と最小値のいずれか値の大きい方となります。

注2. $\overline{\text{INTi}}$ 入力フィルタ選択ビットでフィルタありを選択した場合、 $\overline{\text{INTi}}$ 入力 L パルス幅の最小値は (1/デジタルフィルタサンプリング周波数 $\times 3$) と最小値のいずれか値の大きい方となります。

図 30.12 外部割り込み $\overline{\text{INTi}}$ およびキー入力割り込み $\overline{\text{KIj}}$ の入力タイミング ($i = 0 \sim 4$ 、 $j = 0 \sim 3$)

31. 使用上の注意事項集

31.1 システム制御使用上の注意事項

31.1.1 オプション機能選択領域の設定例

オプション機能選択領域はフラッシュメモリ上にあり、SFRではありません。ROMデータとして、プログラムで適切な値を設定してください。次に設定例を示します。

- OFS2レジスタにFFhを設定する場合

```
.org 00FFDBH
```

```
.byte 0FFh
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

- OFSレジスタにFFhを設定する場合

```
.org 00FFFCH
```

```
.lword reset | (0FF000000h) ; RESET
```

プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

31.2 リセット使用上の注意事項

31.2.1 RSTFR レジスタ

RSTFR レジスタの読み出しを連続して2回以上読み出す場合は、読み出す直前に00hを書き込んでから、読み出してください。

＜プログラム例＞

```
MOV.B    #00H, 0028H    ; RSTFR レジスタに00hを書き込む(注1)
MOV.B    0028H, A0      ; RSTFR レジスタの読み出し値をA0に格納
```

注1. RSTFR レジスタのCWR ビットは0を書いても値は変化しません。
また本レジスタの他のビットは、全てリードオンリーなので本レジスタ内の他ビットの値に影響はありません。

31.3 クロック発生回路使用上の注意事項

31.3.1 発振停止検出機能

XIN クロックの周波数が 2 MHz 未満の場合、発振停止検出機能は使用できませんので、OCD レジスタの OCD1、OCD0 ビットを 00b にしてください。(対象 : OCD2、OCD3 ビット)

31.3.2 発振回路定数

ユーザシステムにおける最適発振回路定数は、発振子メーカーにご相談の上、決定してください。

31.4 パワーコントロール使用上の注意事項

31.4.1 ストップモード

ストップモードに移行する場合、FMR0 レジスタの FMR01 ビットを 0 (CPU 書き換えモード無効) にした後、CM1 レジスタの CM10 ビットを 1 (ストップモード) にしてください。命令キューは CM10 ビットを 1 (ストップモード) にする命令から、4 バイト先読みしてプログラムが停止します。

CM10 ビットを 1 にする命令の直後に JMP.B 命令を入れた後、NOP 命令を最低 4 つ入れてください。

- ストップモードに移行するプログラム例

```

BCLR      1, FMR0      ; CPU 書き換えモード無効
BSET      0, PRCLR     ; プロテクト解除
FSET      I            ; 割り込み許可
BSET      0, CM1       ; ストップモード
JMP.B     LABEL_001

LABEL_001 :
NOP
NOP
NOP
NOP

```

31.4.2 ウェイトモード

CM3 レジスタの CM30 ビットを 1 にしてウェイトモードに移行する場合、FMR01 ビットを 0 (CPU 書き換えモード無効) にした後、CM30 ビットを 1 にしてください。

WAIT 命令でウェイトモードに移行する場合、FMR01 ビットを 0 (CPU 書き換えモード無効) にした後、WAIT 命令を実行してください。命令キューは CM30 ビットを 1 (ウェイトモードに移行する) にする命令または WAIT 命令から 4 バイト先読みしてプログラムが停止します。CM30 ビットを 1 (ウェイトモードに移行する) にする命令または WAIT 命令の後には NOP 命令を最低 4 つ入れてください。

- WAIT 命令を実行するプログラム例

```

BCLR      1, FMR0      ; CPU 書き換えモード無効
FSET      I            ; 割り込み許可
WAIT      ; ウェイトモード
NOP
NOP
NOP
NOP

```

- CM30 ビットを 1 にするプログラム例

```

BCLR      1, FMR0      ; CPU 書き換えモード無効
BSET      0, PRCLR     ; CM3 レジスタへの書き込み許可
FCLR      I            ; 割り込み禁止
BSET      0, CM3       ; ウェイトモード
NOP
NOP
NOP
NOP
BCLR      0, PRCLR     ; CM3 レジスタへの書き込み禁止
FSET      I            ; 割り込み許可

```


31.5 割り込み使用上の注意事項

31.5.1 00000h 番地の読み出し

プログラムで 00000h 番地を読まないでください。マスクابل割り込みの割り込み要求を受け付けた場合、CPU は割り込みシーケンスの中で割り込み情報 (割り込み番号と割り込み要求レベル) を 00000h 番地から読みます。このとき、受け付けられた割り込みに対応する割り込み制御レジスタの IR ビットが 0 になります。

プログラムで 00000h 番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みの IR ビットが 0 になります。そのため、割り込みがキャンセルされたり、予期しない割り込みが発生することがあります。

31.5.2 SP の設定

割り込みを受け付ける前に、SP に値を設定してください。リセット後、SP は 0000h です。そのため、SP に値を設定する前に割り込みを受け付けると、暴走の要因となります。

31.5.3 外部割り込み、キー入力割り込み

$\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 端子、 $\overline{\text{KI0}} \sim \overline{\text{KI3}}$ 端子に入力する信号には、CPU の動作クロックに関係なく電気的特性の外部割り込み $\overline{\text{INT0}} \sim \overline{\text{INT4}}$ 入力に示す L レベル幅または H レベル幅が必要です。

31.5.4 割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタの IR ビットが 1 (割り込み要求あり) になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IR ビットを 0 (割り込み要求なし) にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IR ビットを 0 (割り込み要求なし) にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図 31.1 に割り込み要因の変更手順例を示します。

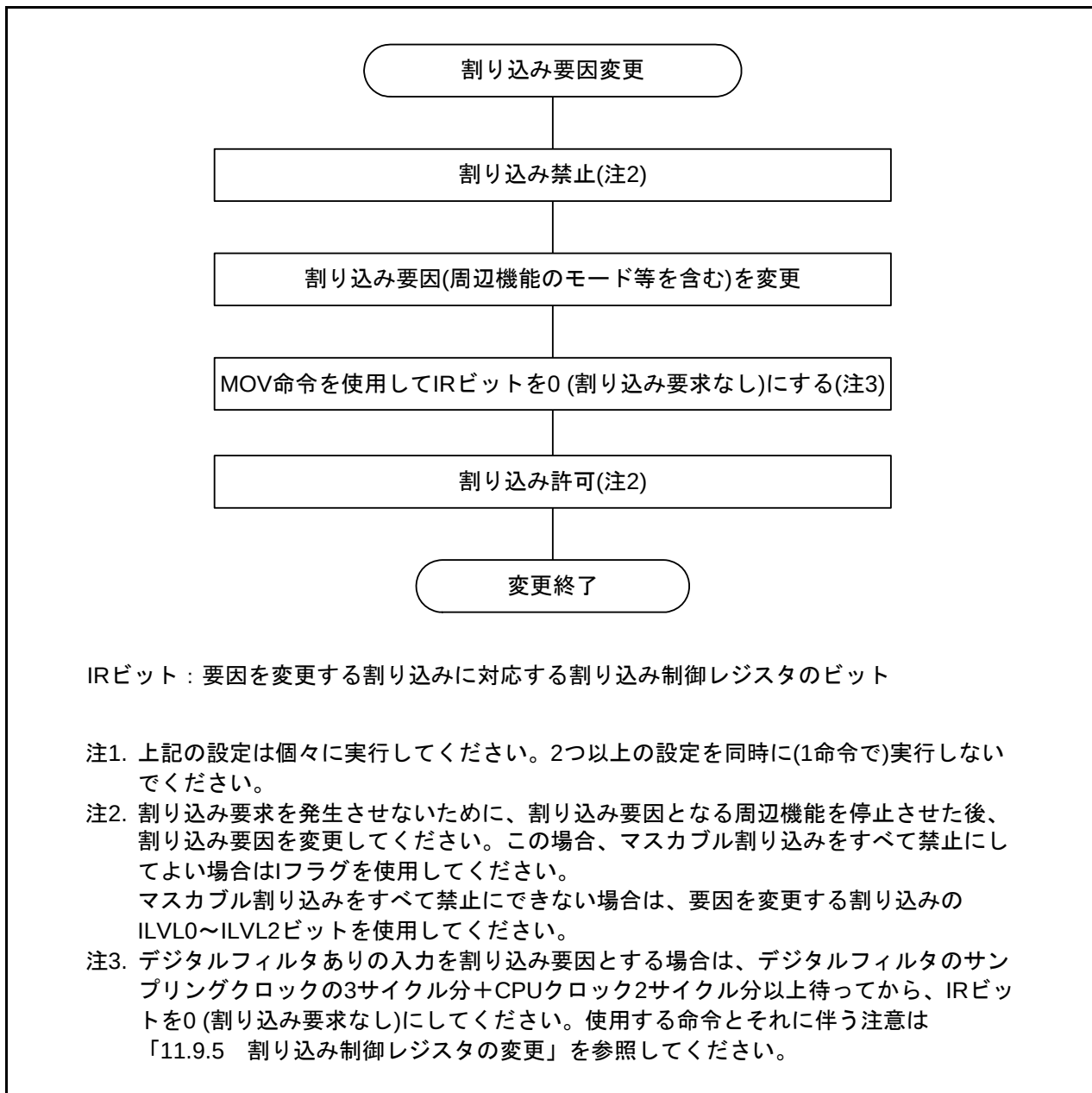


図 31.1 割り込み要因の変更手順例

31.5.5 割り込み制御レジスタの変更

- (a) 割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

- (b) 割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

割り込み制御レジスタのIRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが1(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令 AND、OR、BCLR、BSET

IRビットの変更

IRビットを0(割り込み要求なし)にする場合、使用する命令によってはIRビットが0にならないことがあります。IRビットはMOV命令を使用して0にしてください。

- (c) Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが1(割り込み許可)になることを防ぐ方法です。

例1：NOP命令で割り込み制御レジスタが変更されるまで待たせる例

INT_SWITCH1:

```
FCLR    I                ; 割り込み禁止
MOV.B   #00H, 0056H      ; TRJIC_0 レジスタを 00h にする
NOP                      ;
NOP                      ;
FSET    I                ; 割り込み許可
```

例2：ダミーリードでFSET命令を待たせる例

INT_SWITCH2:

```
FCLR    I                ; 割り込み禁止
MOV.B   #00H, 0056H      ; TRJIC_0 レジスタを 00h にする
MOV.W   MEM, R0          ; ダミーリード
FSET    I                ; 割り込み許可
```

例3：POPC命令でIフラグを変更する例

INT_SWITCH3:

```
PUSHC   FLG
FCLR    I                ; 割り込み禁止
MOV.B   #00H, 0056H      ; TRJIC_0 レジスタを 00h にする
POPC    FLG              ; 割り込み許可
```

31.6 DTC使用上の注意事項

31.6.1 DTC起動要因

- ウェイトモード移行時はウェイトモードの実行サイクル前にDTC転送を完了させてください。
- ストップモード移行時はストップモードの実行サイクル前にDTC転送を完了させてください。

31.6.2 DTCENi レジスタ (i = 0 ~ 6)

- DTCENi0 ~ DTCENi7 ビットは、そのレジスタに対応する割り込み要求が発生しない箇所を変更してください。
- 周辺機能のステータスレジスタの割り込み要因フラグが1のとき、対応する起動要因のDTCENi0 ~ DTCENi7 ビットを変化させないでください。
- DTC転送でDTCENi レジスタをアクセスしないでください。

31.6.3 周辺モジュール

- DTC転送で周辺機能のステータスレジスタのビットを0にしないでください。
- DTC起動要因がSSU/I²C受信データフルのときは、DTC転送でSIRDR レジスタを読んでください。SIRDR レジスタを読むことで、SISR レジスタのRDRF ビットが0 (SIRDR レジスタにデータなし) になります。
ただし、DTCのデータ転送の設定が
 - ノーマルモードかつDTCCTj レジスタ (j = 0 ~ 23) が1から0になる転送
 - リピートモードかつDTCCRj レジスタのRPTINT ビットが1 (割り込み発生許可) かつDTCCTj レジスタが1から0になる転送のときには、SIRDR レジスタを読んでもSISR レジスタのRDRF ビットは0 (SIRDR レジスタにデータなし) になりません。
- DTC起動要因がSSU/I²C送信データエンプティのときは、DTC転送でSITDR レジスタへ書いてください。SITDR レジスタへ書くことで、SISR レジスタのTDRE ビットが0 (SITDR レジスタからSISDR レジスタにデータ転送されていない) になります。

31.6.4 割り込み要求

- DTC起動要因がSSU/I²C送信データエンプティまたはフラッシュレディステータスのとき、以下の場合でもCPUに割り込み要求を発生しません。
 - DTCがノーマルモードでDTCCTj レジスタが0になるデータ転送を実行するとき
 - リピートモードでDTCCRj レジスタのRPTINT ビットが1 かつ DTCCTj レジスタが0になるデータ転送を実行するとき

31.6.5 DTCの起動

- DTC起動時、ベクタ読み出しの前に1サイクル動作がずれる場合があります。

31.7 タイマRJ使用上の注意事項

- (1) リセット後、タイマはカウントを停止しています。タイマRJ関連レジスタ(注1)の値を設定した後、カウントを開始してください。

注1. タイマRJ関連レジスタ : TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (2) カウント停止中のレジスタアクセスについては、タイマのモードによって以下の制限があります。

• イベントカウンタモード

カウント停止中に TRJCR レジスタの TSTART ビットに 1 (カウント開始) を書いた後は、CPU クロックの 2 サイクルの間、TRJCR レジスタの TCSTF ビットは 0 (カウント停止) になっています。TCSTF ビットが 1 (カウント中) になるまで、TRJCR レジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。TCSTF ビットが 1 になった後、最初のカウントソースの有効エッジからカウントを開始します。

カウント中に TSTART ビットに 0 (カウント停止) を書いた後は、CPU クロックの 2 サイクルの間、TCSTF ビットは 1 になっています。TCSTF ビットが 0 になったとき、カウントは停止します。TCSTF ビットが 0 になるまで、TRJCR レジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。TRJ レジスタへの書き込みは、TRJIO 端子が非アクティブレベル(TRJIOC レジスタの TEDGSEL ビットが 0 の場合は Low レベル、1 の場合は High レベル)になるまで無効となります。この場合 TRJ レジスタを変更する場合には以下の手順を行ってください。

- ① TSTART ビットに 0 を書き込み、カウント停止
- ② TCSTF ビットが 0 になるまでウェイト
- ③ TRJIOC レジスタの TIPF1、TIPF0 ビットに 00b (フィルタなし) を設定(デジタルフィルタ未使用の場合は不要)
- ④ TEDGSEL ビットへ 1→0 書き込み
- ⑤ TEDGSEL ビットに元の値(④の手順実行前の値)を設定
(④の手順実行前の値が 0 であれば⑤の手順は不要)
- ⑥ TIPF1、TIPF0 ビットに元の値(③の手順実行前の値)を設定
(デジタルフィルタ未使用の場合は不要)
- ⑦ TRJ レジスタへアクセス

• イベントカウンタモード以外

カウント停止中に TSTART ビットに 1 (カウント開始) を書いた後は、カウントソースの 3 サイクルの間、TCSTF ビットは 0 (カウント停止) になっています。TCSTF ビットが 1 (カウント中) になるまで、TRJCR レジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。TCSTF ビットが 1 になった後、最初のカウントソースの有効エッジからカウントを開始します。

カウント中に TSTART ビットに 0 (カウント停止) を書いた後は、カウントソースの 3 サイクルの間、TCSTF ビットは 1 になっています。TCSTF ビットが 0 になったとき、カウントは停止します。TCSTF ビットが 0 になるまで、TRJCR レジスタに書き込まないでください。またその他のタイマRJ関連レジスタ(注1)にアクセスしないでください。

注1. タイマRJ関連レジスタ : TRJIOC、TRJMR、TRJ、TRJISR

- (3) イベントカウンタモードのとき、TRJCR レジスタの TSTART ビットを 1 (カウント開始) に設定後、TCSTF ビットが 1 になってから外部パルスを入力してください。

- (4) パルス幅測定モードおよびパルス周期測定モードで使用する TRJCR レジスタの TEDGF、TUNDF ビットは、プログラムで 0 を書くと 0 になりますが、1 を書いても変化しません。TRJCR レジスタにビット操作命令を使用した場合、命令実行中に TEDGF ビットが 1 (有効エッジあり)、TUNDF ビットが 1 (アンダフローあり) になっても、タイミングによって TEDGF、TUNDF ビットを誤って 0 にする場合があります。
- これを避けるためには、TEDGF、TUNDF ビットを MOV 命令で 1 にしてください。
- (5) タイマ RJ カウント停止状態でのタイマ RJ 関連レジスタ (注1) の書き込みと読み出しの間に、NOP 命令を 2 つ入れてください。

注1. タイマ RJ 関連レジスタ : TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (6) TRJCR レジスタの TSTART ビットが 1 (カウント開始) かつ TCSTF ビットが 1 (カウント中) の場合、TRJ レジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの 3 周期以上空けてください。
- (7) 他のモードからパルス幅測定モードおよびパルス周期測定モードに変更したとき、TEDGF ビットと TUNDF ビットは不定です。TEDGF ビットと TUNDF ビットに 0 を書いてから、タイマ RJ のカウントを開始してください。
- (8) 消費電流を低減するために、TRJCR の TSTART ビットおよび TCSTF ビットが 0 (カウント停止) のとき、モジュールスタンバイに切り替えてください。モジュールスタンバイの切り替えビットについては、「10.2.9 モジュールスタンバイコントロールレジスタ 2 (MSTCR2)」を参照してください。
- (9) パルス幅測定モードまたはパルス周期測定モードを使用する場合では、次の順序で設定してください。
- ① タイマ RJ 関連レジスタ (注1) を設定する。
 - ② TSTART ビットに 1 (カウント開始) を設定後、TCSTF ビットが 1 (カウント中) になるのを待つ。
 - ③ 外部イベントを入力する。

注1. タイマ RJ 関連レジスタ : TRJCR、TRJIOC、TRJMR、TRJ、TRJISR

- (10) パルス周期測定モードでは、最初の測定完了による処理は無効としてください (2 回目以降から測定値有効です)。
- (11) TRJ レジスタへの 0000h の設定は禁止です。
- (12) パルス幅測定モード、イベントカウンタモードの場合、カウントソースはイベントリンクコントローラ (ELC) からのイベントを選択しないでください。
- (13) パルス出力モードのとき、TRJIOC レジスタの TOPCR ビットは TRJMR レジスタの設定後に設定してください。
- (14) タイマ RJ の動作モード関連レジスタ (TRJIOC、TRJMR、TRJISR) の変更は、カウント停止時 (TRJCR レジスタの TSTART ビットと TCSTF ビットがともに 0 (カウント停止)) のみ可能です。カウント動作中には変更しないでください。
- 対象 : タイマ RJ の全動作モード

31.8 タイマRB2使用上の注意事項

- (1) リセット後、タイマはカウントを停止しています。タイマとプリスケアラに値を設定した後、カウントを開始してください。
- (2) 16ビットタイマで使用する時、8ビット単位でTRBPRES、TRBPR、TRBSCレジスタをアクセス(8ビットアクセス)する場合、必ずTRBPRES→TRBPR→TRBSCの順番でアクセスしてください。
- (3) プログラマブルワンショット発生モードおよびプログラマブルウェイトワンショット発生モードでは、TRBOCR レジスタの TOSSP ビットを1にしてワンショット停止したとき、タイマはリロードレジスタの値をリロードし停止します。タイマのカウント値は、タイマ停止前に読み出してください。
- (4) カウント停止中に TRBCR レジスタの TSTART ビットに1(カウント開始)を書いた後は、カウントソースの2、3サイクルの間、TRBCR レジスタの TCSTF ビットは0(カウント停止)になっています。TCSTF ビットが1(カウント中)になるまで、TCSTF ビットを除くタイマRB2関連レジスタ(注1)をアクセスしないでください。
カウント中に TSTART ビットに0(カウント停止)を書いた後は、カウントソースの2、3サイクルの間、TCSTF ビットは1になっています。TCSTF ビットが0になったとき、カウントを停止します。TCSTF ビットが0になるまで、TCSTF ビットを除くタイマRB2関連レジスタ(注1)をアクセスしないでください。

注1. タイマRB2関連レジスタ：TRBCR、TRBOCR、TRBIOC、TRBMR、TRBPRES、TRBPR、TRBSC

- (5) TSTART ビットが0(カウント停止)のとき、TRBPRES、TRBPR、TRBSC レジスタの値を変更する場合は、CPUクロックの2サイクル以上待ってから、TSTART ビットを1(カウント開始)にしてください。
- (6) TSTART ビットが1(カウント開始)またはTCSTF ビットが1(カウント中)のとき、TRBIOC、TRBMR レジスタ、TRBIR レジスタの TRBIE ビットの値を変更しないでください。なお、TOCNT ビットについては、16.5.3に記載の仕様でカウント中の変更は可能です。
- (7) カウント中(TCSTF ビットが1)のとき、TRBCR レジスタの TSTOP ビットに1を書くと、待ち時間なくタイマRB2が停止(TSTART ビットが0、TCSTF ビットが0、TOSST ビットが0、TOSSTF ビットが0)します。
- (8) TRBOCR レジスタの TOSST ビットに1(ワンショット開始)を書くと、タイマRBのカウントソースの3サイクル後に TOSSTF ビットが変化します。TRBOCR レジスタの TOSSP ビットに1(ワンショット停止)を書くと、タイマRBのカウントソースの2、3サイクル後に TOSSTF ビットが変化します。TOSST ビットに1を書いた後から TOSSTF ビットが1(ワンショット動作中(ウェイト期間を含む))になるまでの期間に TOSSP ビットに1を書いた場合、内部の状態によって TOSSTF ビットが0(ワンショット停止中)になる場合と、1になる場合があります。TOSSP ビットに1を書いた後から TOSSTF ビットが0になるまでの期間に TOSST ビットに1を書いた場合も同様に、TOSSTF ビットは0になる場合と、1になる場合があります。
- (9) タイマRJのアンダフロー信号をタイマRB2のカウントソースにする場合、タイマRJはタイマモード、パルス出力モード、またはイベントカウンタモードに設定してください。
- (10) TCSTF ビットが1(カウント中)であることを確認した後、TRBOCR レジスタの TOSST ビットに1(ワンショットカウント開始)を書き込んでください。TCSTF ビットが0(カウント停止)のとき、TOSST ビットに1(ワンショットカウント開始)の書き込みは無効です。
- (11) タイマ RB2 のプログラマブル波形発生モードおよびプログラマブルウェイトワンショットモードでは、TRBSC レジスタに書いてから TRBPR レジスタに書いてください。TRBPR レジスタへ書き込み後のセカンダリ期間のアンダフローのとき、TRBPR レジスタの値がカウンタに反映されます。TRBPR レジスタに書き込み後からセカンダリ期間のアンダフローまで、TRBSC、TRBPR レジスタを複数回書くと、最後に書き込んだデータがカウンタに反映されます。ただし、TRBSC レジスタを単独で書かないでください。TRBSC、TRBPR レジスタの両方に書き込んでください。

- (12) カウント停止状態で TRBPRES レジスタ、または TRBPR レジスタの書き込みと読み出しを連続して行う場合は、書き込みと読み出しの間に NOP 命令を入れてください。
- (13) カウント中(TSTART ビットが1または TCSTF ビットが1)に TRBPRES、TRBPR、TRBSC レジスタに書き込む場合は、以下の点に注意してください。
- TRBPRES レジスタに連続して書き込む場合は、書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBPR レジスタに連続して書き込む場合は、書き込みの間隔をカウントソースクロックの3周期以上空けてください。
 - TRBSC レジスタに連続して書き込む場合は、書き込みの間隔をカウントソースクロックの3周期以上空けてください。
- (14) 消費電流を低減するために、TRBCR レジスタの TSTART ビットと TRBCR レジスタの TCSTF ビットがともに 0 (カウント停止) 状態でモジュールスタンバイに切り替えてください。モジュールスタンバイの切り替えビットについては、10.2.9 モジュールスタンバイコントロールレジスタ2 (MSTCR2)」を参照してください。
- (15) TSTOP ビットでカウントを強制停止させる場合は、次の設定をしてください。
- (1) TRB2IC_0 レジスタの割り込み優先レベルを 0 (割り込み禁止) に設定
 - (2) TSTOP ビットに 1 (カウント強制停止) を設定
 - (3) TRBIF ビットを 0 (割り込み要求なし) に設定
- (16) プログラマブル波形発生モードで TRBPR レジスタを書き換えた場合、書き換え後の次のセカンダリ期間の次のタイミングで、TRBPRES、TRBPR、TRBSC レジスタに書かないでください。
- 8ビットプリスケアラ付き8ビットタイマ：
セカンダリ出力期間が終了する前のプリスケアラのアンダフロー 2周期分
 - 16ビットタイマ：
セカンダリ出力期間が終了する前のカウントソースクロックの2周期分

31.9 タイマRC使用上の注意事項

31.9.1 TRCCNT レジスタ

TRCCR1 レジスタのCCLRビットを1 (インプットキャプチャ/コンペアー一致AでTRCCNTカウンタクリア)にしている場合、次の注意事項が該当します。

- TRCMR レジスタのCTS ビットが1 (カウント開始)の状態、プログラムでTRCCNTレジスタに値を書き込む場合は、TRCCNTレジスタが0000hになるタイミングと重ならないように書いてください。
- TRCCNTレジスタが0000hになるタイミングと、TRCCNTレジスタへの書き込むタイミングが重なると、値は書き込まれず、TRCCNTレジスタが0000hになります。

TRCCNT レジスタに書いた後、TRCCNT レジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間でJMP.B命令を実行してください。

- プログラム例

```

MOV.W    #XXXXh, TRCCNT    ; 書き込み
JMP.B    L1                ; JMP.B 命令
L1:      MOV.W    TRCCNT, DATA ; 読み出し

```

31.9.2 TRCCR1 レジスタ

TRCCR1 レジスタのCKS2～CKS0ビットを111b (fHOCO-F)にすることは、CPUクロックより速いクロック周波数にfHOCO-Fを設定してください。

31.9.3 TRCSR レジスタ

TRCSR レジスタに書いた後、TRCSR レジスタを読み出すと、書く前の値を読み出すことがあります。この場合、書き込みと読み出しの間でJMP.B命令を実行してください。

- プログラム例

```

MOV.B    #XXh, TRCSR      ; 書き込み
JMP.B    L1                ; JMP.B 命令
L1:      MOV.B    TRCSR, DATA ; 読み出し

```

31.9.4 カウントソースの切り替え

- カウントソースを切り替える場合、カウントを停止した後に切り替えてください。また、カウントソースの切り替え後、CPUクロックの2サイクル以上待ってから、タイマRC関連レジスタ(00138h～0014Dh)への書き込みを行ってください。

[変更手順]

- (1) TRCMR レジスタのCTS ビットを0 (カウント停止)にする
- (2) TRCCR1 レジスタのCKS0～CKS2ビットを変更する
- (3) CPUクロックの2サイクル以上待つ
- (4) タイマRC関連レジスタ(00138h～0014Dh)への書き込み

- カウントソースをfHOCO-FからfHOCOに変更し、fHOCO-Fを停止させる場合は、クロック切り替え設定後、fHOCO-Fの2サイクル以上待ってからfHOCO-Fを停止させてください。

[変更手順]

- (1) TRCMR レジスタのCTS ビットを0 (カウント停止)にする
- (2) TRCCR1 レジスタのCKS0～CKS2ビットを変更する
- (3) fHOCO-Fの2サイクル以上待つ
- (4) FRA0 レジスタのFRA00ビットを0 (高速オンチップオシレータ停止)にする

- カウントソースを fHOCO-F から fHOCO 以外のクロックに変更し、fHOCO-F を停止させる場合は、クロック切り替え設定後、fHOCO-F の 1 サイクル + fHOCO の 1 サイクル以上待ってから fHOCO-F を停止させてください。

[変更手順]

- (1) TRCMR レジスタの CTS ビットを 0 (カウント停止) にする
- (2) TRCCR1 レジスタの CKS0 ~ CKS2 ビットを変更する
- (3) fHOCO-F の 1 サイクル + fHOCO の 1 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを 0 (高速オンチップオシレータ停止) にする

注1. fHOCO、fHOCO-F をカウントソースに選択しているときには、FRA00 ビットを 0 (高速オンチップオシレータ停止) にしないでください。

注2. fHOCO-F をカウントソースに選択しているときには、FRA2 レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

31.9.5 インพุットキャプチャ機能

インพุットキャプチャ信号のパルス幅については、次のように設定してください。

[デジタルフィルタなしの場合]

タイマRCの動作クロックの3サイクル分以上(「表 17.1 タイマRCの仕様」参照)

[デジタルフィルタありの場合]

デジタルフィルタのサンプリングクロックの5サイクル分+タイマRCの動作クロックの3サイクル分以上(「図 17.19 デジタルフィルタ回路のブロック図」参照)

TRCIOj (j = A、B、C、Dのいずれか)端子にインพุットキャプチャ信号が入力されてから、タイマRCの動作クロックの1~2サイクル後にTRCCNTレジスタの値をTRCGRjレジスタに転送します(デジタルフィルタなしの場合)。

31.9.6 PWM2モード時のTRCMR レジスタ

TRCCR2レジスタのCSTPビットが1 (TRCGRAレジスタとのコンペア一致でカウント停止)のとき、TRCCNTレジスタとTRCGRAレジスタのコンペア一致が発生するタイミングで、TRCMRレジスタに書かないでください。

31.9.7 モジュールスタンバイ

タイマRCのカウント停止中にMSTCR2レジスタのMSTTRC_0ビットを書いてください。MSTCR2レジスタにタイマRCのモジュールスタンバイビットが存在します。

31.9.8 モードの切り替え

- 動作中にモードを切り替える場合、TRCMRレジスタのCTSビットを0 (カウント停止)にした後に行ってください。
- モードの切り替え後、動作開始前にTRCSRレジスタの各フラグを0、TRCICレジスタのIRビットを0に設定してください。

詳細は「11.9.4 割り込み要因の変更」を参照してください。

31.9.9 カウント停止時のインพุットキャプチャ動作

インพุットキャプチャ機能使用時、インพุットキャプチャ信号(TRCIOR0レジスタのIOj0、IOj1ビット (j = A、B)、TRCIOR1レジスタのIOk0、IOk1ビット (k = C、D)のいずれかで選択したエッジ)がTRCIOi端子(i = A、B、C、D)に入力されると、TRCMRレジスタのCTSビットが0 (カウント停止)のときも、TRCSRレジスタのIMFiビットが1になります。

31.10 タイマRD使用上の注意事項

31.10.1 SFR リード/ライトアクセス

31.10.1.1 TRDELCCR レジスタ

- ・タイマ動作中は、TRDELCCR レジスタを書き換えないでください。

31.10.1.2 TRDSTR レジスタ

- ・TRDSTR レジスタはMOV 命令を使用して書いてください。
- ・TRDSTR レジスタのCSELi ビット ($i = 0, 1$) が 0 (TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止) の場合、TSTARTi ビットに 0 (カウント停止) を書いても、カウントは停止せず、TSTARTi ビットも変化しません。
TRDGRAi レジスタとのコンペアー一致時のみ、TSTARTi ビットは 0 (カウント停止) となります。
TRDSTR レジスタを書き換える際で、CSELi ビットが 0 の場合、カウント動作に影響なく CSELi ビットを 1 へ変更したい場合は、TSTARTi ビットに 0 を書いてください。
TSTARTi ビットに 1 を書き込むと、カウンタが停止中の場合カウント開始する恐れがあります。
また、プログラムでカウントを停止させる場合は、CSELi ビットを 1 にした後で、TSTARTi ビットに 0 を書いてください。同時に (1 命令で) CSELi ビットに 1、TSTARTi ビットに 0 を書いてもカウントは停止できません。
- ・TRDIOji 端子 ($j = A, B, C, D$) をタイマ RD 出力で使用している場合の、カウント停止時の出力レベルを表 31.1 に示します。

表 31.1 カウント停止時の TRDIOji ($j = A, B, C, D$) 端子出力レベル

カウント停止方法	カウント停止時の TRDIOji 端子出力
CSELi ビットが 1 のときに、TSTARTi ビットに 0 を書きカウント停止	直前の出力レベルを保持 (タイマ RD の相補 PWM モード、リセット同期 PWM モードでは TRDFCR レジスタの OLS0、OLS1 ビットで選択した初期出力レベルを出力)
CSELi ビットが 0 のときに、TRDi レジスタと TRDGRAi レジスタのコンペアー一致でカウント停止	コンペアー一致による出力変化後、そのレベルを保持 (タイマ RD の相補 PWM モード、リセット同期 PWM モードでは TRDFCR レジスタの OLS0、OLS1 ビットで選択した初期出力レベルを出力)

$i = 0, 1, j = A, B, C, D$

31.10.1.3 TRDi レジスタ

- ・TRDi レジスタが 0000h になるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値はレジスタへの書き込みが優先されます。
- ・TRDi レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B 命令を実行してください。

プログラム例 MOV.W #XXXXh, TRD0; 書き込み
 JMP.B L1 ; JMP.B 命令
L1: MOV.W TRD0, DATA; 読み出し

31.10.1.4 TRDSR_i レジスタ (i = 0, 1)

TRDSR_i レジスタに書いた後、同じレジスタを続けて読み出すと、書く前の値を読み出すことがあります。この場合は書き込みと読み出しの間に、JMP.B 命令を実行してください。

```
プログラム例      MOV.B #XXh, TRDSR0; 書き込み
                   JMP.B L1      ; JMP.B 命令
L1:                MOV.B TRDSR0, DATA; 読み出し
```

31.10.1.5 TRDCR_i レジスタ

TRDCR_i レジスタの TCK2～TCK0 ビットを 111b (fHOCO-F) にするときは、CPU クロックより速いクロック周波数に fHOCO-F を設定してください。

31.10.1.6 TRDDF_i レジスタ

TRDDF_i レジスタの DFCK0、DFCK1 ビット設定は、ハザード対策のためカウント動作前に設定を実施してください。

31.10.2 モードの切り替え

- 動作中にモードを切り替える際は、カウント停止状態 (TSTART = 0) にした後、行ってください。
- モード切り替え後、動作開始前に割り込みレジスタのクリアを行ってください。
「11.9.4 割り込み要因の変更」を参照してください。

31.10.3 カウントソース切り替え

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。
また、カウントソース切り替え後、CPU クロックの 2 サイクル以上待ってから、本モジュールへの SFR 書き込みを行ってください。

[変更手順]

- (1) TRDSTR レジスタの TSTART_i ビットを 0 (カウント停止) にする
 - (2) TRDCR_i レジスタの TCK0～TCK2 ビットを変更する
 - (3) CPU クロックの 2 サイクル以上待つ
 - (4) タイマ RD への SFR 書き込みが可能
- 上記(2)の設定変更の代わりに、SYNC ビットおよび PWM3 ビットの設定変更を行う場合でも、同様の処理が必要になります。
FRA00 ビットによる高速オンチップオシレータの停止の SW 処理は必要ありません。
 - カウントソースを fHOCO-F から fHOCO に変更し、fHOCO-F を停止させる場合は、クロック切り替え設定後、fHOCO-F の 2 サイクル以上待ってから fHOCO-F を停止させてください。

[変更手順]

- (1) TRDSTR レジスタの TSTART_i ビットを 0 (カウント停止) にする
 - (2) TRDCR_i レジスタの TCK0～TCK2 ビットを変更する
 - (3) fHOCO-F の 2 サイクル以上待つ
 - (4) FRA0 レジスタの FRA00 ビットを 0 (高速オンチップオシレータ停止) にする
- カウントソースを fHOCO-F から fHOCO 以外のクロックに変更し、fHOCO-F を停止させる場合は、クロック切り替え設定後、fHOCO-F の 1 サイクル + fHOCO の 1 サイクル以上待ってから fHOCO-F を停止させてください。

[変更手順]

- (1) TRDSTR レジスタの TSTART_i ビット (i = 0, 1) を 0 (カウント停止) にする
- (2) TRDCR_i レジスタの TCK0～TCK2 ビットを変更する
- (3) fHOCO-F の 1 サイクル + fHOCO の 1 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを 0 (高速オンチップオシレータ停止) にする

- 注1. fHOCO、fHOCO-Fをカウントソースに選択しているときには、FRA00ビットを0 (高速オンチップオシレータ停止)にしないでください。
- 注2. fHOCO-Fをカウントソースに選択しているときには、FRA2レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

31.10.4 インプットキャプチャ機能

- インプットキャプチャ信号のパルス幅はタイマRDの動作クロック(「表 18.1 タイマRDの動作クロック」参照)の3サイクル以上にしてください。
- TRDIOj端子(j = A、B、C、D)にインプットキャプチャ信号が入力されてから、タイマRDの動作クロックの2~3サイクル後にTRDiレジスタの値をTRDGRjレジスタに転送します(デジタルフィルタなしの場合)。

31.10.5 リセット同期PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- リセット同期PWMモードに設定するときは、次の手順で設定してください。

[変更手順]

- (1) TRDSTRレジスタのTSTART0ビットを0 (カウント停止)にする
 - (2) TRDFCRレジスタのCMD1、CMD0ビットを00b (タイマモード、PWMモード、PWM3モード)にする
 - (3) CMD1、CMD0ビットを01b (リセット同期PWMモード)にする
 - (4) その他のタイマRD関連レジスタを再設定する
- カウントスタートに関する注意事項
 - (1) タイマ値とコンペアレジスタ値を同一設定にした場合は、カウントスタート禁止です。
 - (2) カウント停止からの再開時は、カウントを停止した時のタイマ値とコンペアレジスタが異なることを確認して再開してください。値が同じ場合は、タイマ値を書き換えて再開してください。

31.10.6 相補PWMモード

- モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- TRDFCRレジスタのCMD0、CMD1ビットを変更するときは、次の手順で変更してください。
[変更手順：相補PWMモードにする場合(再設定含む)または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合]
 - TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも0(カウント停止)にする
 - TRDFCRレジスタのCMD1、CMD0ビットを00b(タイマモード、PWMモード、PWM3モード)にする
 - CMD1、CMD0ビットを10bまたは11b(相補PWMモード)にする
 - その他のタイマRD関連レジスタを再設定する
 [変更手順：相補PWMモードを止める場合]
 - TRDSTRレジスタのTSTART0ビット、TSTART1ビットを両方とも0(カウント停止)にする
 - CMD1、CMD0ビットを00b(タイマモード、PWMモード、PWM3モード)にする
- 動作中にTRDGRA0、TRDGRB0、TRDGRA1、TRDGRB1レジスタに書き込まないでください。
PWM波形を変更する場合は、TRDGRD0、TRDGRC1、TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0、TRDGRA1、TRDGRB1レジスタへ転送してください。
ただし、TRDGRD0、TRDGRC1、TRDGRD1の書き込みに際しては、BFD0、BFC1、BFD1ビットを0(ジェネラルレジスタ)にして書き込み、その後BFD0、BFC1、BFD1ビットを1(バッファレジスタ)にできます。
PWM周期は変更できません。
- TRDGRA0レジスタに設定した値を m とすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m-1 \rightarrow m \rightarrow m+1 \rightarrow m \rightarrow m-1$ とカウントします。
 $m \rightarrow m+1$ のとき、TRDSRiレジスタのIMFAビットが1になります。また、TRDFCRレジスタのCMD1、CMD0ビットが11b(相補PWMモード、TRD0とTRDGRA0レジスタのコンペア一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。
 $m+1 \rightarrow m \rightarrow m-1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

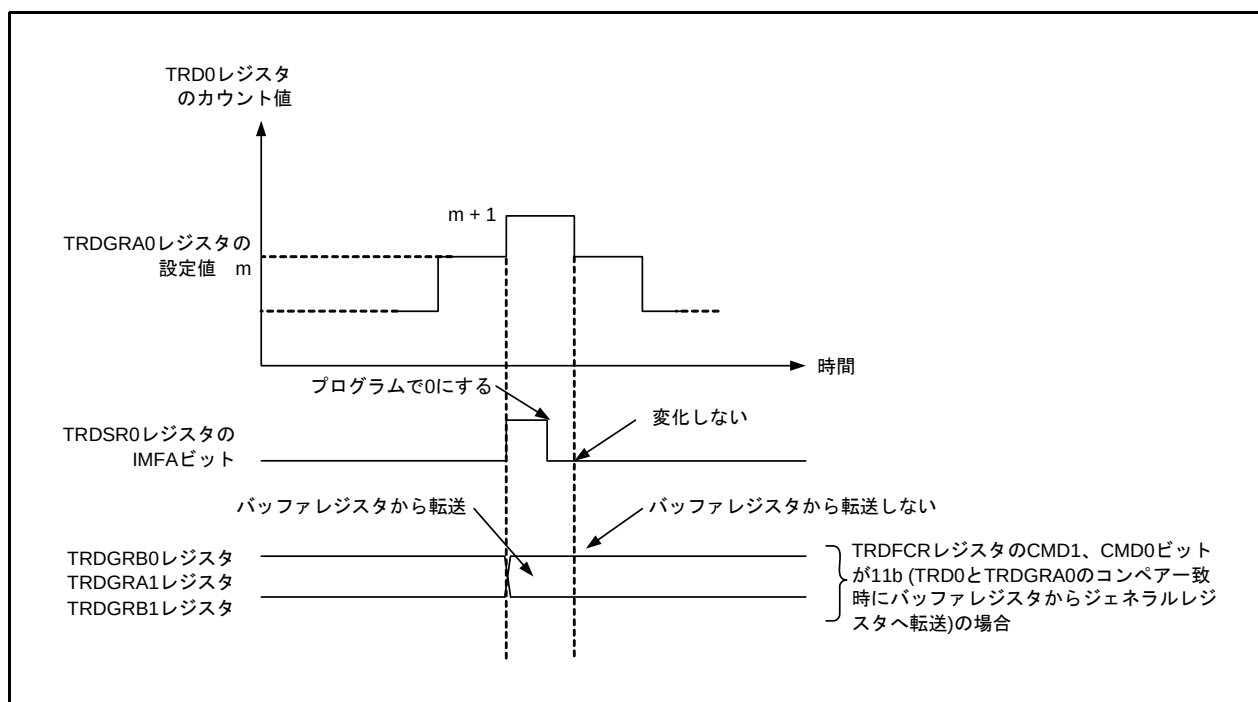


図 31.2 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペア一致したときの動作

- TRD1はダウンカウントからアップカウントに変わるとき、 $1 \rightarrow 0 \rightarrow \text{FFFFh} \rightarrow 0 \rightarrow 1$ とカウントします。

$1 \rightarrow 0 \rightarrow \text{FFFFh}$ の動作によって、TRDSR_iレジスタのUDFビットが1になります。また、TRDFCRレジスタのCMD1、CMD0ビットが10b (相補PWMモード、TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ (TRDGRD0、TRDGRC1、TRDGRD1)の内容がジェネラルレジスタ (TRDGRB0、TRDGRA1、TRDGRB1)に転送されます。

$\text{FFFFh} \rightarrow 0 \rightarrow 1$ の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、TRDSR_iレジスタのOVFビットは変化しません。

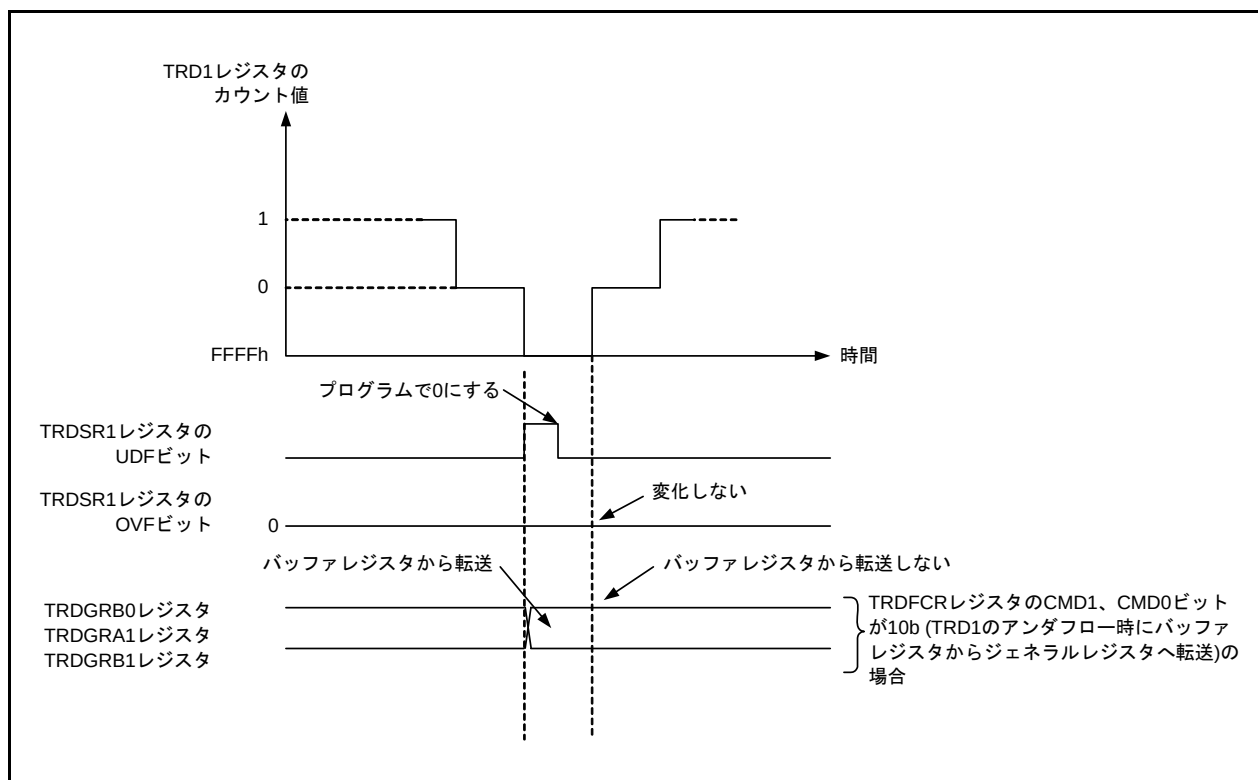


図31.3 相補PWMモード TRD1がアンダフローしたときの動作

- バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCR レジスタの CMD0、CMD1 ビットで選択してください。ただし、次の場合は CMD0、CMD1 ビットの値に関係なく次のタイミングで転送します。

バッファレジスタの値 $\geq$ TRDGRA0 レジスタの値の場合

TRD1 レジスタのアンダフローで転送します。

その後、0001h 以上かつ TRDGRA0 レジスタの値より小さい値をバッファレジスタに設定すると、設定後 1 回目に TRD1 レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降は CMD0、CMD1 ビットで選択したタイミングで転送します。

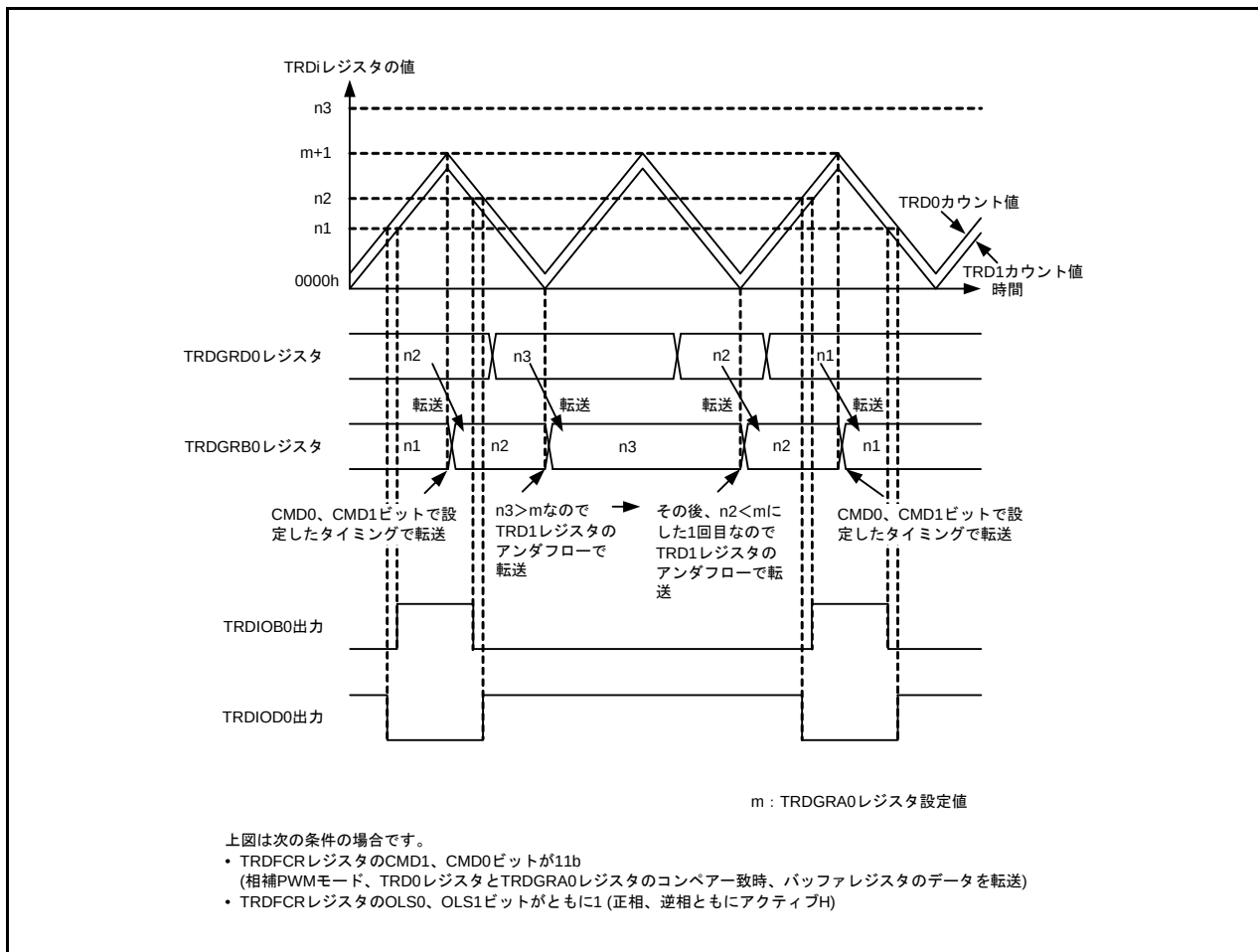


図 31.4 相補 PWM モード時のバッファレジスタの値 $\geq$ TRDGRA0 レジスタ値の場合の動作例 (i = 0、1)

バッファレジスタの値が0000hの場合

TRD0とTRDGRA0レジスタのコンペア一致で転送します。

その後、0001h以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペア一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD0、CMD1ビットで選択したタイミングで転送します。

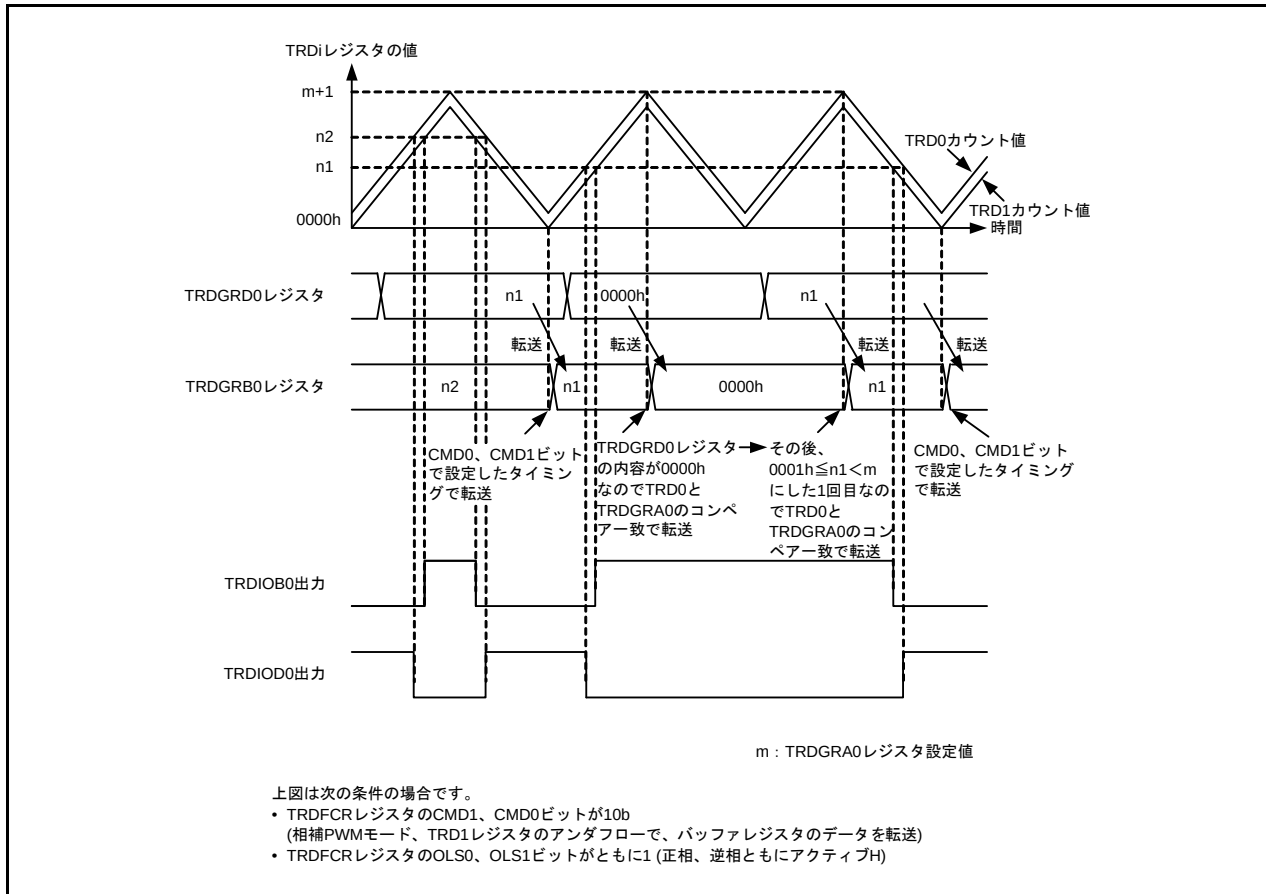


図 31.5 相補PWMモード時のバッファレジスタの値が0000hの場合の動作例 (i = 0, 1)

・カウンタスタートに関する注意事項

- (1) タイマ値とコンペアレジスタ値を同一設定にした場合は、カウンタスタート禁止です。
- (2) カウンタ停止からの再開時は、カウンタを停止した時のタイマ値とコンペアレジスタが異なることを確認して再開してください。値が同じ場合は、タイマ値を書き換えて再開してください。

31.10.7 カウンタ停止時のインプットキャプチャ動作

インプットキャプチャ機能使用時、インプットキャプチャ信号 (TRDIORAi レジスタ (i = 0, 1) の IOj0、IOj1 ビット (j = A, B)、TRDIORCi レジスタの IOk0、IOk1 ビット (k = C, D) のいずれかで選択したエッジ) が TRDIOi 端子 (i = A, B, C, D) に入力されると、TRDSTR レジスタの TSTARTi ビットが 0 (カウンタ停止) のときも、TRDSRi レジスタの IMF_n ビットが 1 になります。

31.11 タイマRE2使用上の注意事項

- TRECR レジスタの RUN ビットに 0 (カウント停止) を書き込むと、カウントソースの 3 サイクル後にカウントを停止します。
- モジュールスタンバイに移行する場合、TRECR レジスタの TREOE ビットを 0 (TMRE2O 出力禁止) に、RUN ビットを 0 (カウント停止) にした後、カウントソースの 3 サイクル以上経過してから、MSTCR3 レジスタの MSTTRE ビットを 1 (スタンバイ) にしてください。
- TRECR レジスタの TREOE ビットが 0 (TMRE2O 出力禁止) の状態で、TRECSR レジスタの OS0 ～ OS2 ビットを切り替えてください。
- TREIFR、TREIER レジスタの切り替えは次のとおりにしてください。
 - TREIFR レジスタの CMIF ビットが 0 (割り込み要求なし) の状態で、TREIER レジスタの CMIE ビットを切り替えてください。
 - TREIFR レジスタの OVIF ビットが 0 (割り込み要求なし) の状態で、TREIER レジスタの OVIE ビットを切り替えてください。
- OVIF ビットが 0 (割り込み要求なし) および CMIF ビットが 0 (割り込み要求なし) の状態で、TRECR レジスタの RTCRST ビットを設定してください。

31.12 シリアルインタフェース(UART0)使用上の注意事項

31.12.1 動作モード共通

31.12.1.1 レジスタアクセス

次のレジスタは、シリアルインタフェース無効時のみ設定変更可能です。シリアルインタフェース有効状態では切り替えないでください。

- U0MR_0、U0MR_1 レジスタ : CKDIR ビット
- U0C0_0、U0C0_1 レジスタ : CLK0、CLK1 ビット
- U0IR_0、U0IR_1 レジスタ : U0RIE、U0TIE ビット

また次のレジスタは、送受信停止中のみ設定変更可能です。送受信中には切り替えないでください。

- U0MR_0、U0MR_1 レジスタ : SMD0～SMD2、STPS、PRY、PRYE ビット
- U0BRG_0、U0BRG_1 レジスタ : b0～b7 ビット
- U0C0_0、U0C0_1 レジスタ : DFE、NCH、CKPOL、UFORM ビット
- U0C1_0、U0C1_1 レジスタ : U0IRS、U0RRM ビット

U0RB レジスタを読み出すときは、クロック同期形シリアル I/O モード、クロック非同期形シリアル I/O モードにかかわらず、16 ビット単位で読み出してください。

U0RB レジスタ上位バイト (b15～b8) を読み出したとき、U0RB レジスタの FER、PER ビットは 0 (フレーミングエラーなし、パリティエラーなし) になります。また、U0C1 レジスタの RI ビットも 0 (U0RB レジスタにデータなし) になります。

受信エラーは U0RB レジスタを読み出し後、読み出した値で確認してください。

- 受信バッファレジスタを読み出すプログラム例
MOV.W 0086H, R0 ; U0RB レジスタの読み出し

クロック非同期形シリアル I/O モードで転送データビット長 9 ビットの場合、U0TB レジスタに書くときは、上位バイト (b15～b8) → 下位バイト (b7～b0) の順で、8 ビット単位で書いてください。

- 送信バッファレジスタに書き込むプログラム例
MOV.B #XXH, 0083H ; U0TB レジスタ上位バイト (b15～b8) への書き込み
MOV.B #XXH, 0082H ; U0TB レジスタ下位バイト (b7～b0) への書き込み
- 通信中、MSTCR0 レジスタの MSTUART_0、MSTUART_1 ビットを 1 (スタンバイ) にしないでください。モジュールスタンバイにする場合、通信完了を判断してください。通信完了後、U0C1 レジスタの TE、RE ビットを 0 (通信禁止) にしてからモジュールスタンバイにしてください。また、モジュールスタンバイ解除後、通信の初期設定はもう一回設定してください。

31.12.1.2 Nチャネルオープンドレイン制御ビット

UART0 を使用しないときは、U0C0 レジスタの NCH ビットを 0 (TXD 端子は CMOS 出力) にしてください。

31.13 シリアルインタフェース (UART2)使用上の注意事項

31.13.1 動作モード共通

31.13.1.1 レジスタアクセス

次のレジスタは、シリアルインタフェース無効時のみ設定変更可能です。シリアルインタフェース有効状態では切り替えないでください。

U2MR レジスタ： CKDIR ビット

U2C0 レジスタ： CLK0、CLK1 ビット

また次のレジスタは、送受信停止中のみ設定変更可能です。送受信中には切り替えないでください。

U2MR レジスタ： SMD0～SMD2、STPS、PRY、PRYE、IOPOL ビット

U2BRG レジスタ： b0～b7 ビット

U2C0 レジスタ： CRS、CRD、NCH、CKPOL、UFORM ビット

U2C1 レジスタ： U2IRS、U2RRM、U2LCH、U2ERE ビット

U2RXDF レジスタ： DF2EN ビット

U2SMR5 レジスタ： MP ビット

U2SMR3 レジスタ： NODC ビット

U2SMR レジスタ： ABSCS、ACSE、SSS ビット

31.13.1.2 Nチャネルオープンドレイン制御ビット

UART2を使用しないときは、下記ビットに0を設定してください。

U2C0 レジスタ： NCH ビット

U2SMR3 レジスタ： NODC ビット

31.13.2 クロック同期形シリアルI/Oモード

31.13.2.1 送受信

外部クロック選択時、 $\overline{\text{RTS}}$ 機能を選択した場合は、受信可能状態になると $\overline{\text{RTS2}}$ 端子の出力レベルがLになり、受信が可能になったことを送信側に知らせます。受信が開始されると $\overline{\text{RTS2}}$ 端子の出力レベルはHになります。このため、 $\overline{\text{RTS2}}$ 端子を送信側の $\overline{\text{CTS2}}$ 端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は $\overline{\text{RTS}}$ 機能は禁止です。

31.13.2.2 送信

外部クロックを選択している場合、U2C0 レジスタの CKPOL ビットが0 (転送クロックの立ち下がり) で送信データ出力、立ち上がりで受信データ入力) のときは外部クロックがHの状態、CKPOL ビットが1 (転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力) のときは外部クロックがLの状態、次の条件を満たしてください。

- U2C1 レジスタの TE ビットが1 (送信許可)
- U2C1 レジスタの TI ビットが0 (U2TB レジスタにデータあり)
- $\overline{\text{CTS}}$ 機能を選択している場合、 $\overline{\text{CTS2}}$ 端子の入力がL

31.13.2.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXD2端子からはダミーデータが外部に出力されます。

内部クロック選択時はU2C1レジスタのTEビットを1(送信許可)にし、ダミーデータをU2TBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを1にし、ダミーデータをU2TBレジスタに設定し、外部クロックがCLK2端子に入力されたときシフトクロックが発生します。

連続してデータを受信する場合、U2C1レジスタのREビットが1(U2RBレジスタにデータあり)でUART2受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、U2RBレジスタのOERビットが1(オーバランエラー発生)になります。この場合、U2RBレジスタは前回の受信データを保持していますので、オーバランエラーが発生したときは、エラー発生データを再送信するように送信と受信側のプログラムで対処してください。

連続してデータを受信する場合は、1回の受信ごとにU2TBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが0のときは外部クロックがHの状態、CKPOLビットが1のときは外部クロックがLの状態、次の条件を満たしてください。

- U2C1レジスタのREビットが1(受信許可)
- U2C1レジスタのTEビットが1(送信許可)
- U2C1レジスタのTIビットが0(U2TBレジスタにデータあり)

内部クロックを選択している場合は、U2C1レジスタのTEビットに1を設定後、ダミーデータをU2TBレジスタに設定する前にU2C1レジスタのREビットを1に設定してください。

マスタ動作時に連続受信モードで最後のデータを読み出す場合、読み出し前にU2C1レジスタのU2RRMビットを0にしてください。

31.14 クロック同期形シリアルインタフェース使用上の注意事項

31.14.1 シンクロナスシリアルコミュニケーションユニット使用上の注意

シンクロナスシリアルコミュニケーションユニットを使用する場合には、IICCR レジスタの IICSEL ビットを 0 (SSU 機能を選択) にしてください。

31.14.2 I²C バスインタフェース使用上の注意

I²C バスインタフェースを使用する場合には、IICSEL ビットを 1 (I²C バス機能を選択) にしてください。

- (1) I²C の規格に違反する設定で使用しないでください。
- (2) 「Hs-MODE」による通信はできません。最高転送速度は「FAST-MODE」による [Max. 400 kHz] です。
- (3) SCL の Low 期間は「FAST-MODE」で [Min. 1.3 μ s] です。本モジュールにおける H/L 幅のデューティは 50 %/50 % のため、400 kHz 動作時にこの値を下回ってしまいます。よって最高転送速度は SCL 周期が 2.6 μ s (最大転送周波数 384.6 kHz) になります。
- (4) SCL の立ち上がりに対して、SDA の変化は [Min. 300 ns] の遅延を持たなければなりません。本モジュールにおける SDA デジタル遅延は最低 $3 \times f_1$ サイクルのため、基準クロック f_1 が 11 MHz 以上の場合には注意が必要です。IICCR レジスタの SDADLY1、SDADLY0 ビットを 01b 以上を設定してください。
- (5) CBUS との互換性はありません。
- (6) 10 ビット・アドレス指定はできません。
- (7) スレーブ送信モードのデータ送信中にスタート条件を検出した場合、その後に続くアドレスを受信することはできずに動作が停止します。制御部リセットのフローに従い、モジュールを初期化してください。
- (8) スレーブアドレスとして 1111XXXb と 0000XXXb は設定しないでください。
- (9) STOP 条件を検出した後、マスタで通信を開始する場合、必ず STOP ビットをクリアしてください。

31.14.3 SICR1 レジスタの ICE ビットおよび SICR2 レジスタの SIRST ビット

I²C バスインタフェース動作中に、ICE ビットに 0 または SIRST ビットに 1 を書くと SICR2 レジスタの BBSY ビットと SISR レジスタの STOP ビットが不定になる場合があります。

31.14.3.1 ビットが不定になる条件

- I²C バスインタフェースのマスタモードにおいて、本モジュールが I²C のバスを占有しているとき。
- I²C バスインタフェースのスレーブモードにおいて、本モジュールがデータかアクノリッジを送信中のとき。

31.14.3.2 対策

- 開始条件 (SCL が H のときの SDA 立ち下がり) が入力されると、BBSY ビットは 1 になります。
- 停止条件 (SCL が H のときの SDA 立ち上がり) が入力されると、BBSY ビットは 0 になります。
- マスタ送信モードにおいて、SCL、SDA とともに H の状態で、BBSY ビットに 1、SCP ビットに 0 を書き、開始条件 (SCL が H のときの SDA 立ち下がり) が出力されると、BBSY ビットは 1 になります。
- マスタ送信モードまたはマスタ受信モードにおいて、SDA が L の状態、かつ本モジュール以外に SCL を L にするデバイスがない状態で、BBSY ビットに 0、SICR2 レジスタの SCP ビットに 0 を書き、停止条件 (SCL が H のときの SDA 立ち上がり) が出力されると、BBSY ビットは 0 になります。
- SAR レジスタの MS ビットに 1 を書くと、BBSY ビットは 0 になります。

31.14.3.3 SICR2 レジスタのSIRST ビットの補足説明

- SIRST ビットに1を書くと、SICR2 レジスタのSDAO ビットおよびSCLO ビットは1になります。
- マスタ送信モードおよびスレーブ送信モードにおいて、SIRST ビットに1を書くと、SISR レジスタの TDRE ビットは1になります。
- SIRST ビットによる I²C バス制御部のリセット期間中は、SICR2 レジスタの BBSY ビット、SCP ビット、SDAO ビットへの書き込みは無効ですので、書き込み前に SIRST ビットに0を書いてください。
- SIRST ビットに1を書いても、BBSY ビットは0になりません。しかし、SCL、SDA の状態によっては、停止条件(SCL が H のときの SDA 立ち上がり)が生成され、そのことにより、BBSY ビットが0になる場合があります。同様に、他のビットにも影響が発生する場合があります。
- SIRST ビットによる I²C バス制御部のリセット期間中は、データの送受信を停止します。しかし、開始条件、停止条件、バス競合負けを検出する機能は動作しています。そのため、SCL、SDA 端子へ入力された信号によっては、SICR1、SICR2、SISR レジスタの値が更新される場合があります。
- 上記補足内容を含んだ SIRST ビットによる制御部リセット動作は、「22.4.8 I²C バスインタフェースモード時の制御部リセット手順」を参照してください。

31.15 ハードウェアLIN使用上の注意事項

ヘッダフィールドおよびレスポンスフィールドのタイムアウト処理は、Synch Break検出割り込みを起点に他のタイマで時間計測を行ってください。

31.16 A/D コンバータ使用上の注意事項

31.16.1 A/D 変換中の注意事項

- ADMOD レジスタ、ADINSEL レジスタ、ADCON0 レジスタ (ADST ビットを除く)、ADCON1 レジスタ、OCVREFCR レジスタに対して、A/D 変換中に書き込みをしないでください。
- 繰り返しモード0、繰り返しモード1、繰り返し掃引モードで使用する場合、A/D 変換開始する前の CPU クロックには、A/D コンバータの動作クロック ϕ_{AD} 以上の周波数を選択してください。 ϕ_{AD} に fHOCO-F を選択しないでください。
- A/D 変換中はストップモードに移行しないでください。
- A/D 変換中は CM0 レジスタの CM02 ビットの状態 (1 (ウェイトモード時、周辺機能クロックを停止する)、0 (ウェイトモード時、周辺機能クロックを停止しない)) にかかわらず、ウェイトモードに移行しないでください。
- A/D 変換中は FMR0 レジスタの FMSTP ビットを 1 (フラッシュメモリ停止)、および FMR27 ビットを 1 (低消費電流リードモード許可) にすると、A/D 変換結果が不定になるため、この設定をしないでください。
- A/D 変換中にプログラムで ADCON0 レジスタの ADST ビットを 0 (A/D 変換停止) にして強制終了後、ADST ビットに 1 を書き込む場合は、終了処理時間確保のため、 ϕ_{AD} クロックで 2 クロック以上の間隔をあけてください。

31.16.2 クロック源の切り替え

- クロック源を切り替える際は、A/D 変換停止後、切り替えてください。また、クロック源切り替え後、fHOCO-F クロックの 2 サイクル以上待ってから、A/D 変換を開始してください。

【変更手順】

- (1) ADCON0 レジスタの ADST ビットを 0 (A/D 変換停止) にする
- (2) ADMOD レジスタの CKS2 ビットを変更する
- (3) fHOCO-F の 2 サイクル以上待つ
- (4) ADCON0 レジスタの ADST ビットを 1 (AD 変換開始) にする

- クロック源を fHOCO-F から他のクロックに変更し、fHOCO-F を停止させる場合は、クロック源切り替え後、fHOCO-F の 2 サイクル以上待ってから fHOCO-F を停止させてください。

【変更手順】

- (1) ADCON0 レジスタの ADST ビットを 0 (A/D 変換停止) にする
- (2) ADMOD レジスタの CKS2 ビットを変更する
- (3) fHOCO-F の 2 サイクル以上待つ
- (4) FRA0 レジスタの FRA00 ビットを 0 (高速オンチップオシレータ停止) にする

注1. fHOCO-F をクロック源に選択しているとき、FRA0 レジスタの FRA00 ビットを 0 (高速オンチップオシレータ停止) にしないでください。

注2. fHOCO-F をクロック源に選択しているとき、FRA2 レジスタによる高速オンチップオシレータの分周比の設定を変更しないでください。

31.16.3 端子処理

VREF 端子と AVSS 端子間に 0.1 μ F のコンデンサを接続してください。

31.17 フラッシュメモリ使用上の注意

31.17.1 CPU書き換えモード

31.17.1.1 使用禁止命令

EW0モードでプログラムROM領域を書き換え中は、次の命令はフラッシュメモリ内部のデータを参照するため、使用できません。

UND 命令、INTO 命令、BRK 命令

31.17.1.2 割り込み

表31.2～表31.4にCPU書き換えモード時の割り込みを示します。

表31.2 CPU書き換えモード時の割り込み(1)

モード	イレーズ/ ライト対象	状態	マスカブル割り込み
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1(割り込み要求でイレーズサスペンドリクエスト許可)の場合は、自動でFMR21ビットが1(イレーズサスペンドリクエスト)になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが0(割り込み要求でイレーズサスペンドリクエスト禁止)でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0(イレーズリスタート)にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	ベクタをRAMに配置することで使用できます。
		自動消去中 (サスペンド無効)	
		自動書き込み中	
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22ビットが1の場合は、自動でFMR21ビットが1になります。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 FMR22ビットが0でイレーズサスペンドが必要な場合は、割り込み処理内でFMR21ビットを1にしてください。フラッシュメモリは、td(SR-SUS)時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21ビットを0にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効またはFMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。
		自動書き込み中	
	プログラム ROM	自動消去中 (サスペンド有効)	td(SR-SUS)時間後に自動消去を中断し、割り込み処理を実行します。割り込み処理終了後にFMR21ビットを0にすることで、自動消去を再開することができます。自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。
		自動消去中 (サスペンド無効またはFMR22 = 0)	自動消去、自動書き込みが優先され、割り込み要求が待たされます。自動消去、自動書き込みが終了した後、割り込み処理を実行します。
		自動書き込み中	

FMR21、FMR22 : FMR2レジスタのビット

表 31.3 CPU 書き換えモード時の割り込み (2)

モード	イレーズ/ ライト対象	状態	- ウォッチドッグタイマ - 発振停止検出 - 電圧監視2 - 電圧監視1	- 未定義命令 - INTO 命令 - BRK 命令 - シングルステップ - アドレス一致 - アドレスブレイク (注1)
EW0	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22 ビットが1 (割り込み要求でイレーズサスペンドリクエスト許可) の場合は、自動で FMR21 ビットが1 (イレーズサスペンドリクエスト) になります。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 FMR22 ビットが0 (割り込み要求でイレーズサスペンドリクエスト禁止) でイレーズサスペンドが必要な場合は、割り込み処理内で FMR21 ビットを1にしてください。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21 ビットを0 (イレーズリスタート) にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内で FMR21 ビットを1にしてください。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21 ビットを0にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効または FMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中も停止しないため、割り込み要求が発生する可能性があります。 イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用しないでください。
		自動消去中 (サスペンド無効)		
		自動書き込み中		

FMR21、FMR22 : FMR2 レジスタのビット

注1. ブロック 0 には固定ベクタが配置されているので、ブロック 0 を自動消去中はノンマスカブル割り込みを使用しないでください。

表 31.4 CPU 書き換えモード時の割り込み (3)

モード	イレーズ/ ライト対象	状態	- ウォッチドッグタイマ - 発振停止検出 - 電圧監視2 - 電圧監視1	- 未定義命令 - INTO 命令 - BRK 命令 - シングルステップ - アドレス一致 - アドレスブレイク (注1)
EW1	データ フラッシュ	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、割り込み処理を実行します。 FMR22 ビットが1 (割り込み要求でイレーズサスペンドリクエスト許可) の場合は、自動で FMR21 ビットが1 (イレーズサスペンドリクエスト) になります。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 FMR22 ビットが0 (割り込み要求でイレーズサスペンドリクエスト禁止) でイレーズサスペンドが必要な場合は、割り込み処理内で FMR21 ビットを1にしてください。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR21 ビットを0 (イレーズリスタート) にすることで、自動消去を再開することができます。	割り込み要求を受け付けると、割り込み処理を実行します。 イレーズサスペンドが必要な場合は、割り込み処理内で FMR21 ビットを1にしてください。フラッシュメモリは、td(SR-SUS) 時間後に自動消去を中断します。 自動消去中断中は自動消去実行ブロック以外のブロックの読み出し、書き込みができます。FMR2 レジスタの FMR21 ビットを0にすることで、自動消去を再開することができます。
		自動消去中 (サスペンド無効または FMR22 = 0)	自動消去、自動書き込みは実行したまま、割り込み処理を実行します。	
		自動書き込み中		
	プログラム ROM	自動消去中 (サスペンド有効)	割り込み要求を受け付けると、すぐに自動消去または自動書き込みは強制停止し、フラッシュメモリをリセットします。一定時間後にフラッシュメモリが再起動した後、割り込み処理を開始します。 自動消去中のブロックまたは自動書き込み中のアドレスは、強制停止されるために正常値が読み出せなくなる場合がありますので、フラッシュメモリが再起動した後、再度自動消去を実行し、正常終了することを確認してください。 ウォッチドッグタイマはコマンド動作中でも停止しないため、割り込み要求が発生する可能性があります。 イレーズサスペンド機能を使用して、定期的にウォッチドッグタイマを初期化してください。	自動消去、自動書き込み中は使用できません。
		自動消去中 (サスペンド無効または FMR22 = 0)		
		自動書き込み中		

FMR21、FMR22 : FMR2 レジスタのビット

注1. ブロック 0 には固定ベクタが配置されているので、ブロック 0 を自動消去中はノンマスカブル割り込みを使用しないでください。

31.17.1.3 アクセス方法

次のビットを1にするときは、対象となるビットに0を書いた後、続けて1を書いてください。また、0を書いた後、1を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR0レジスタのFMR01、FMR02ビット
- FMR1レジスタのFMR13ビット
- FMR2レジスタのFMR20、FMR22、FMR24、FMR27ビット

また、次のビットを0にするときは、対象となるビットに1を書いた後、続けて0を書いてください。また、1を書いた後、0を書くまでの間は、割り込みとDTC起動を禁止にしてください。

- FMR1レジスタのFMR14、FMR15、FMR16、FMR17ビット

31.17.1.4 ユーザROM領域の書き換え

EW0モードを使用し、書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。このブロックの書き換えは、標準シリアル入出力モードを使用してください。

31.17.1.5 プログラム

既にプログラムされた番地に対する追加書き込みはしないでください。

31.17.1.6 ストップモード、ウェイトモードへの移行

イレーズサスペンド中に、ストップモード、ウェイトモードに移行しないでください。

FSTレジスタのFST7ビットが0(ビジー(書き込み、消去実行中))の場合、ストップモード、ウェイトモードに移行しないでください。

FMR27ビットが1(低消費電流リードモード許可)の状態、ストップモード、ウェイトモードへ移行しないでください。

31.17.1.7 フラッシュメモリのプログラム電圧、イレーズ電圧

プログラム、イレーズを実行する場合は、電源電圧VCC = 2.7 V ~ 5.5 Vの条件で行ってください。2.7 V未満では、プログラム、イレーズを実行しないでください。

31.17.1.8 低消費電流リードモード

低速オンチップオシレータモードのときに、FMR2レジスタのFMR27ビットを1(低消費電流リードモード許可)にすると、フラッシュメモリ読み出し時の消費電流を低減できます。

CPUクロックが次のいずれかのとき、低消費電流リードモードを使用できます。

- CPUクロックが低速オンチップオシレータクロックの4分周、8分周または16分周

1分周(分周なし)、2分周では低消費電流リードモードを使用しないでください。

CPUクロック分周比を設定した後、FMR27ビットを1にしてください。

消費電力を低減する方法は、「10. パワーコントロール」を参照してください。

ウェイトモードまたはストップモードへ移行するときは、FMR27ビットを0(低消費電流リードモード禁止)にした後、移行してください。FMR27ビットが1(低消費電流リードモード許可)の状態、ウェイトモードまたはストップモードへ移行しないでください。

31.18 ペリフェラルマッピングコントローラ (PMC) 使用上の注意事項

31.18.1 端子配置選択レジスタ (PMCSEL) の設定

PMCSEL レジスタは、端子の配置を選択するレジスタのため、入出力制御をする前で設定してください。

31.18.2 フルスペックエミュレータ (E100) 使用時の制限事項

R8C/5x グループ実MCUとフルスペックエミュレータ (E100) では、48ピン製品を選択する場合に端子配置選択ビットの設定値が異なります。

	本製品	R8C/5x グループ実MCU
48ピン製品の標準端子配置：	PMCSEL=000b	PMCSEL=011b
48ピン製品の通信機能優先端子配置：	PMCSEL=001b	PMCSEL=100b

32. オンチップデバッグの注意事項

オンチップデバッグを使用して R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、R8C/54H グループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

- (1) オンチップデバッグでは、ユーザのフラッシュメモリ領域およびRAM領域を一部使用します。ユーザはこの領域を使用しないでください。
使用領域につきましては、各オンチップデバッグのマニュアルを参照してください。
- (2) アドレス一致割り込み(AIEN_i、AIADR_{ij}レジスタ($i = 0, 1, j = L, H$)、固定ベクタテーブル)をユーザシステムで設定しないでください。
- (3) BRK命令をユーザシステムで使用しないでください。

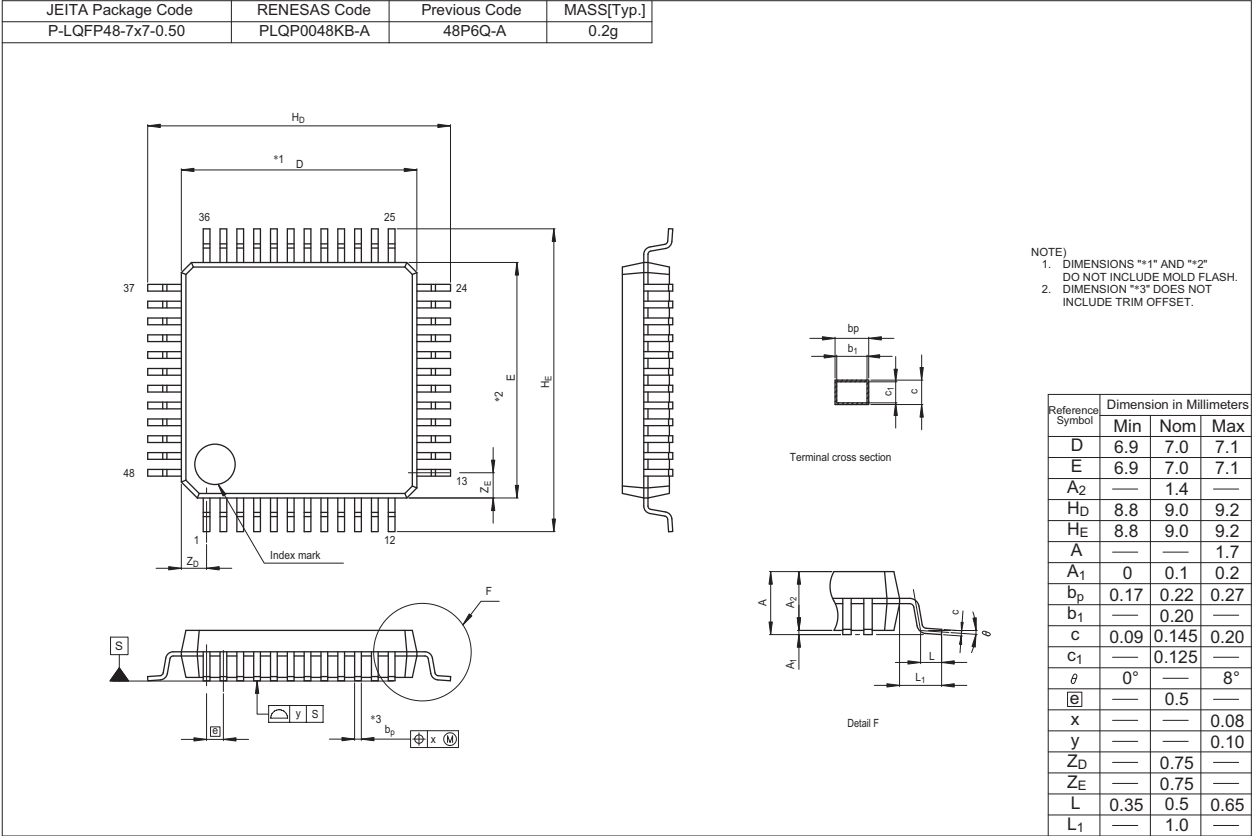
オンチップデバッグの接続や使用方法には、固有の制限事項があります。オンチップデバッグの詳細は各オンチップデバッグのマニュアルを参照してください。

33. エミュレータデバッガの注意事項

エミュレータデバッガの接続や使用方法には、固有の制限事項があります。エミュレータデバッガの詳細は各エミュレータデバッガのマニュアルを参照してください。

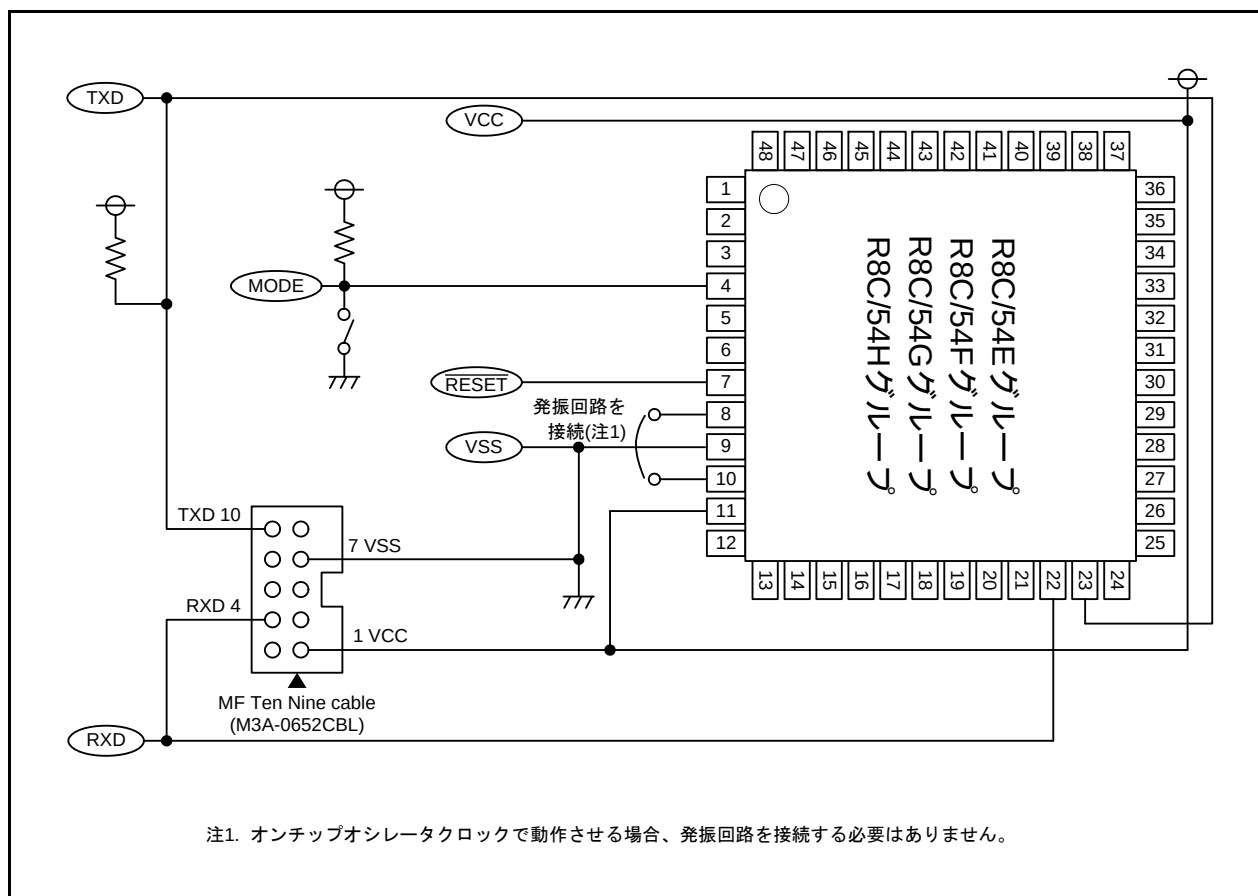
付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

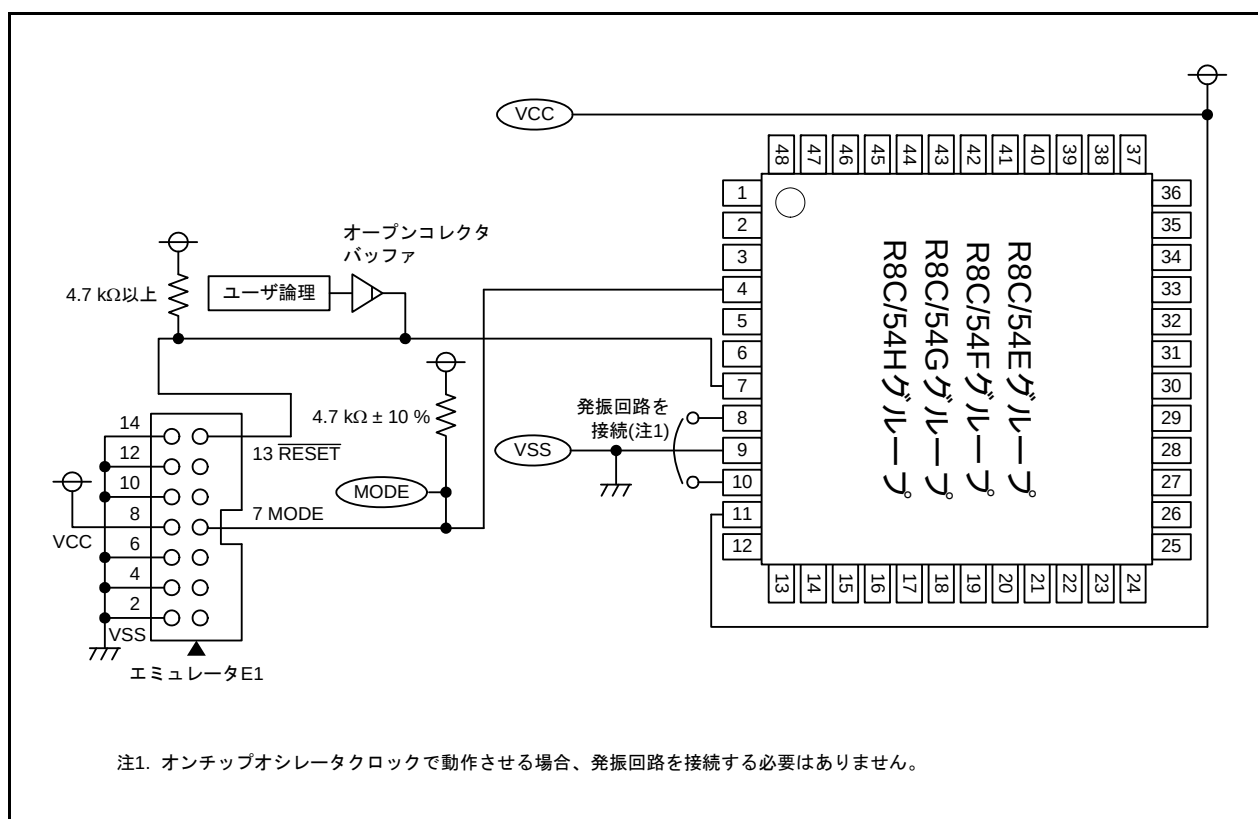


付録2. シリアルライターとオンチップデバッグエミュレータとの接続例

付図2.1にMF Ten Nine ケーブル(M3A-0652CBL)との結線図を、付図2.2にエミュレータE1との接続例を示します。



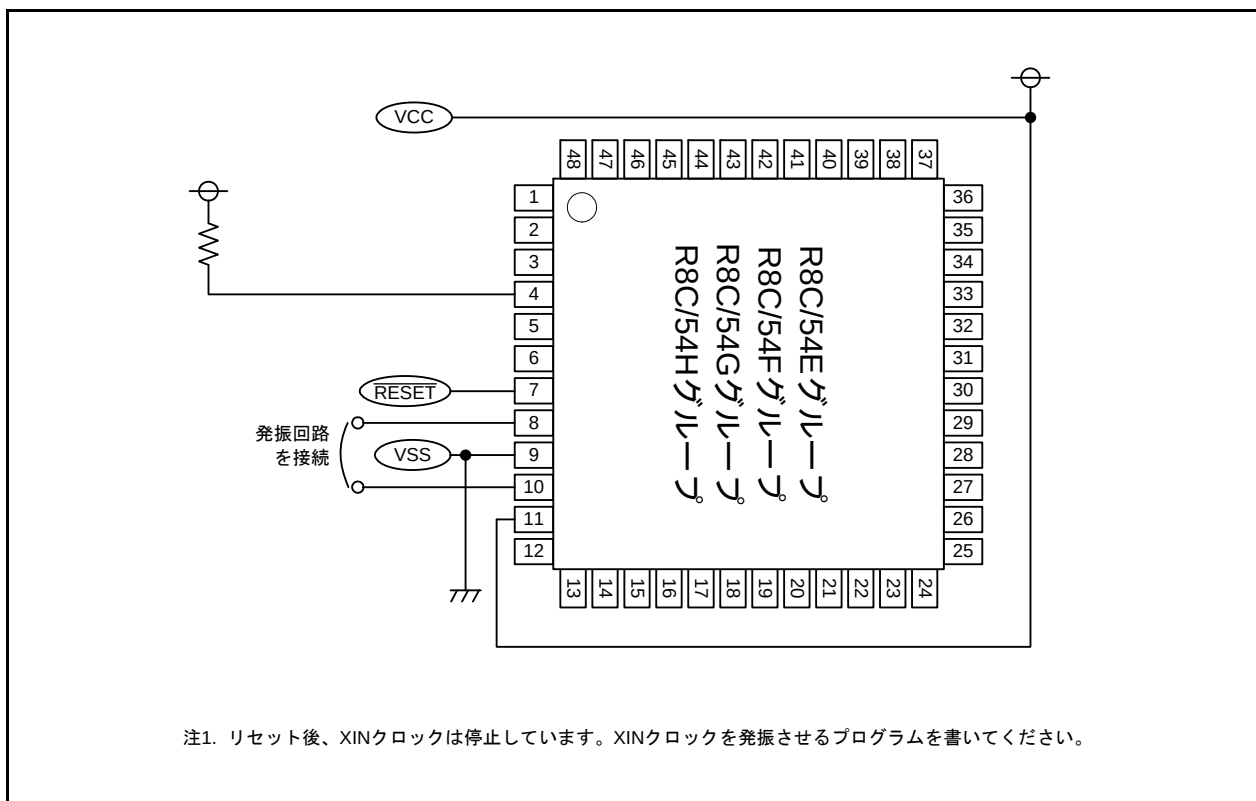
付図2.1 MF Ten Nine ケーブル(M3A-0652CBL)との結線図



付図2.2 エミュレータ E1 との接続例

付録3. 発振評価回路例

付図3.1に発振評価回路例を示します。



付図3.1 発振評価回路例

索引

【記号/数字】

4線式バス通信モード 529

【A】

A/Dコンバータ 147, 644
 A/D断線検出アシスト機能 658
 A/D変換開始条件 655
 A/D変換開始トリガ 339
 A/D変換結果 657
 A/D変換サイクル数 653
 A/D変換時のセンサの出力インピーダンス 667
 A0、A1 24
 AC特性 742
 ADCON0 651
 ADCON1 652
 ADi (i = 0 ~ 7) 648
 ADIC 156
 ADINSEL 650
 ADMOD 649
 AIADRIj (i = 0、1、j = L、H) 162
 AIENi (i = 0、1) 162

【B】

BGO (バックグラウンドオペレーション)機能 695
 Bフラグ 24

【C】

CAFSR 623
 CAN Halt モード 631
 CANERIC_0 156
 CANIE 626
 CANISR 626
 CANRXIC_0 156
 CANTXIC_0 156
 CANオペレーションモード(バスオフ状態) 633
 CANオペレーションモード(バスオフ状態以外) 632
 CANクロック 125
 CANクロックの設定 634
 CANスリープモード 632
 CAN通信速度の設定 634
 CANモジュール 581
 CANリセットモード 630
 CAN割り込み 643
 CBCR 606
 CCLKR 607
 CCSSR 619
 CCTLR 598
 CECSR 618
 CEIER 613
 CEIFR 615
 CFIDCRn (n = 0、1) 591
 CM0 109, 131
 CM1 110, 132
 CM3 112, 133
 CM4 113, 134
 CMBj (j = 0 ~ 15) 586
 CMCTLj (j = 0 ~ 15) 594
 CMIER 593
 CMKIVLR 592
 CMKRk (k = 0 ~ 3) 590

CMPA 81
 CMSMR 621
 CMSSR 620
 CPU 23
 CPU書き換えモード 691
 CPUクロック 124
 CPUクロックと周辺機能クロック 124
 CRC 716
 CRCD 719
 CRCIN 719
 CRCMR 718
 CRCSAR 717
 CRECR 617
 CRFCR 608
 CRFPCR 610
 CSPR 99
 CSTR 603
 CTCR 624
 CTECR 617
 CTFPCR 611
 CTFPCR 612
 CTSR 622
 Cフラグ 24

【D】

DC特性 736
 DRR0 243
 DRR1 244
 DRR2 245
 DTBLSj (j = 0 ~ 23) 197
 DTC 190
 DTCCRj (j = 0 ~ 23) 197
 DTCCTj (j = 0 ~ 23) 197
 DTCENi (i = 0 ~ 6) 196
 DTCTL 195
 DTC起動要因受付と割り込み要因フラグ 211
 DTC実行サイクル数 210
 DTCとの連携動作 560
 DTDARj (j = 0 ~ 23) 198
 DTRLd (j = 0 ~ 23) 198
 DTSARj (j = 0 ~ 23) 198
 Dフラグ 24

【E】

ELSELRn (n = 0 ~ 4、8 ~ 24) 186
 EW0モード 692
 EW1モード 692

【F】

f1、f2、f4、f8、f32 124
 FB 24
 fHOCO 124
 fHOCO-F 124
 FLG 24
 fLOCO 124
 fLOCOWDT 125
 FMR0 682
 FMR1 685
 FMR2 687
 FMRDYIC 156
 fOCO 124
 fOCO128 125

FRA0	114, 135
FRA2	115
FST	679

【 I 】

I/Oポート	213
I/Oポート以外の端子	214
I/Oポートの機能	214
I2Cバスインタフェース	498
I2Cバスインタフェースの動作説明	536
I2Cバスインタフェースモード	540
I2Cバスインタフェースモード時の制御部リセット手順	563
IDコードチェック機能	690, 708
IDコード領域	60
IDコード領域使用上の注意(設定例)	62
IICCR	502
ILVL0～ILVL2ビット、IPL	167
IMFA～IMFDビットおよびOVFビットが0になる タイミング	349
INT0IC	156
INT0入力トリガ選択	301
INT1IC	156
INT2IC	156
INT3IC	156
INT4IC	156
INTB	24
INTCMP	671
INTEN	157
INTEN1	158
INTF	159
INTF1	160
INTi入力フィルタ(i = 0～4)	175
INTi割り込み(i = 0～4)	174
INTPOL	160
INTSR0	163, 238
INT割り込み	174
IPL	25
IRビット	167
ISP	24
Iフラグ	25, 167

【 K 】

KIEN	161
KUPIC	156

【 L 】

LINCR2	568
LINCT	568
LINST	569

【 M 】

MSTCR0	136
MSTCR1	136
MSTCR2	137
MSTCR3	137

【 O 】

OCD	111
OCVREFCR	647
OFS	59, 69, 87, 101, 689
OFS2	58, 68, 100

Oフラグ	25

【 P 】

P1DDR	241
P2DDR	242
PC	24
PCLKR1	114
PDi (i = 0～4、6、9)	249
PINSR	118, 239
PLC0	116
PLL動作モード	139
PLLクロック	122
PM0	55, 66
PM1	56
PMCSEL	724
PMCSELレジスタで未選択となった端子について	721
PORTi (i = 0～4、6、9)	248
PRCR	57
PUR0	240
PUR1	240
PUR2	241
PWM2モード	331
PWM3モード	412
PWMモード	327, 401

【 R 】

R0、R1、R2、R3	24
R8C/54Eグループのメモリマップ	26
R8C/54Fグループのメモリマップ	27
R8C/54Gグループのメモリマップ	28
R8C/54Hグループのメモリマップ	29
RESET端子のレベルがLの期間の端子の状態	76
RISR	97
ROMコードプロテクト機能	690, 711
RSTFR	67

【 S 】

SB	24
SFR	30
SFRアクセス監視機能	720
SICR1	505
SICR2	507
SIER	511
SIMR1	509
SIMR2	515
SIRDR	504
SISR	513
SITDR	504
SSBR	503
SSUIC_0/IICIC_0	156
SSUIC_1/IICIC_1	156
SSUIC_0SR	237
SVDC	135
Sフラグ	24

【 T 】

TIMSR	232
TOCNTビットの設定と端子状態	300
TRB2IC_0	156
TRBCR	274
TRBIOC	276

TRBIR	281
TRBMR	277
TRBOCR	275
TRBPR	279
TRBPPE	278
TRBPPE、TRBPR、TRBSC レジスタの構造と 更新タイミング	293
TRBSC	280
TRBSR	226
TRC_0SR0	228
TRC_0SR1	229
TRCADCR	319
TRCCLKSR	227
TRCCNT	307
TRCCNT レジスタのカウントタイミング	345
TRCCR1	311
TRCCR2	316
TRCDF	317
TRCELCCR	321
TRCGRA、TRCGRB、TRCGRC、TRCGRD	308
TRCIC_0	156
TRCIER	312
TRCIOR0	314
TRCIOR1	315
TRCMR	309
TRCOER	318
TRCOPR	320
TRCSR	313
TRD0IC_0	156
TRD_0SR0	230
TRD_0SR1	231
TRD1IC_0	156
TRDADCR	358
TRDCRi (i = 0, 1)	366
TRDDFi (i = 0, 1)	365
TRDELCCR	357
TRDFCR	361
TRDGRji (i = 0, 1, j = A, B, C, D)	377
TRDi (i = 0, 1)	376
TRDIERi (i = 0, 1)	375
TRDIORAi (i = 0, 1)	369
TRDIORCi (i = 0, 1)	371
TRDMR	360
TRDOCR	363
TRDOER1	362
TRDOER2	363
TRDPMR	360
TRDPOCRi (i = 0, 1)	375
TRDSRi (i = 0, 1)	373
TRDSTR	359
TRE2IC	156
TRECR	428
TRECSR	429
TREIER	431
TREIFR	430
TREMIN	427
TREPRC	431
TRESEC	426
TRJ	254
TRJ_0SR	225
TRJ_1SR	225
TRJCR	255
TRJIC_0	156
TRJIC_1	156
TRJIOC	257

TRJISR	260
TRJMR	259
TWRC ビットによるプリスケアラとカウンタ動作	295

【 U 】

U0BRG	440
U0C0	441
U0C1	442
U0IR	444
U0MR	439
U0RB	443
U0RIC_0	156
U0RIC_1	156
U_0SR	233
U0TB	440
U0TIC_0	156
U0TIC_1	156
U_1SR	234
U2BCNIC	156
U2BRG	464
U2C0	466
U2C1	467
U2MR	464
U2RB	468
U2RIC	156
U2RXDF	469
U2SMR	471
U2SMR3	470
U2SMR5	470
U2SR0	235
U2SR1	236
U2TB	465
U2TIC	156
UART0 の割り込み	456
UART2 割り込み要因	492
USP	24
U フラグ	25

【 V 】

VCA2	82, 117
VCAC	82
VCC 入力電圧のモニタ	88
VCMP1IC	156
VCMP2IC	156
VD1LS	83
Vdet0 のモニタ	88
Vdet1 のモニタ	88
Vdet2 のモニタ	88
VLT0	246
VLT1	247
VLT2	247
VW0C	84
VW1C	85
VW2C	86

【 W 】

WDTC	98
WDTR	97
WDTS	98

【 X 】

XIN クロック	119

【Z】

Zフラグ 24

【あ】

アウトプットコンペア機能 396
 アウトプットコンペア出力タイミング 346
 アクセプタンスフィルタ機能とマスク機能 637
 アドレス一致割り込み 177
 アドレス空間 26
 アドレスレジスタ 24

【い】

イベントカウンタモード 264
 イベントリンクコントローラ(ELC) 184
 イベントリンクコントローラ(ELC)との連携による
 動作 267, 300
 インพุットキャプチャ機能 392
 インพุットキャプチャ時の
 IMFA～IMFDビットタイミング 348
 インพุットキャプチャ入力タイミング 346
 インพุットキャプチャ入力デジタルフィルタ 338

【う】

ウェイトモード 140
 ウェイトモード、ストップモード 146
 ウェイトモードからの復帰 141
 ウェイトモード時の端子的状態 140
 ウェイトモードへの移行 140
 ウォッチドッグタイマ 94
 ウォッチドッグタイマリセット 75

【え】

エミュレータデバッグの注意事項 787

【お】

オーバフローフラグ 25
 オプション機能選択領域 63
 オンチップオシレータクロック 121
 オンチップデバッグの注意事項 786

【か】

外形寸法図 788
 概要 1
 カウントソース保護モード無効時 103
 カウントソース保護モード有効時 104
 各モードの設定と解除方法 693
 各モードの入出力設定 267
 可変ベクタテーブル 165
 関連レジスタの設定例 432

【き】

キー入力割り込み 176
 起動要因 199
 キャリフラグ 24
 強制イレーズ機能 61

【く】

繰り返し掃引モード 665
 繰り返しモード0 660
 繰り返しモード1 661
 クロック 146
 クロック同期形シリアルI/Oモード 445
 クロック同期形シリアルI/Oモード(SIOモード) 472
 クロック同期形シリアルインタフェース 495
 クロック同期形シリアルインタフェースおよび
 シリアルインタフェース 147
 クロック同期式シリアルモード 552
 クロック同期式通信モード 521
 クロック発生回路 105
 クロック非同期形シリアルI/O (UART)モード 450, 477

【こ】

コールドスタート/ウォームスタート判定機能 75
 高速オンチップオシレータクロック 121
 高速オンチップオシレータモード 139
 高速クロックモード 139
 固定ベクタテーブル 164
 コントロールデータの配置とDTCベクタテーブル 201
 コンパレータB 669
 コンパレータB1、コンパレータB3割り込み 674
 コンパレータBiデジタルフィルタ(i=1、3) 673
 コンペアー一致時のIMFA～IMFDビットタイミング 348
 コンペアー一致タイマモードの動作説明 432
 コンペアー一致によるA/D変換開始トリガのタイミング 349
 コンペアー一致によるカウンタクリアのタイミング 347

【さ】

サインフラグ 24
 サスペンド動作 694

【し】

ジェネラルレジスタと出力端子変更 340
 システムクロック 124
 システム制御 55
 周辺機能クロック 124
 周辺機能クロック停止機能 140
 周辺機能クロックの停止 146
 周辺機能入出力とPDiビット(i=0～4、6、9) 223
 周辺機能の特性 729
 周辺機能の割り当て 722
 周辺機能への入出力 223
 受信 640
 受信、送信 639
 出力波形操作 342
 仕様概要 2
 使用上の注意事項集 751
 消費電流低減機能 657
 消費電力の低減 146
 使用方法 720
 シリアルインタフェース(UART0) 436
 シリアルインタフェース(UART2) 458
 シリアルライタとオンチップデバッグエミュレータとの
 接続例 789
 シンクロナスシリアルコミュニケーションユニット
 (SSU) 496

シンクロナスシリアルコミュニケーションユニット(SSU)の動作説明	517

【す】

推奨動作条件	727
スタックポインタ指定フラグ	25
スタティックベースレジスタ	24
ストップモード	144
ストップモードからの復帰	145
ストップモード時の端子の状態	144
ストップモードへの移行	144
スレープモード	573

【せ】

製品一覧	10
絶対最大定格	726
ゼロフラグ	24
選択機能	293, 338

【そ】

送信	642
相補PWMモード	408
ソフトウェアコマンド	697
ソフトウェアリセット	75
ソフトウェア割り込み	153

【た】

タイマ	146
タイマRB2	270
タイマRC	304
タイマRC割り込み、タイマRD割り込み、タイマRE2割り込み、シンクロナスシリアルコミュニケーションユニット/I ² Cバスインタフェース割り込み、CAN送信割り込み、CAN受信割り込み、CANエラー割り込み、フラッシュメモリ割り込み(複数の割り込み要求要因を持つ割り込み)	178
タイマRD	354
タイマRD割り込み	415
タイマRE2	424
タイマRJ	252
タイマモード	262, 282, 323
端子機能の説明	21
端子選択レジスタで制御されない入出力端子	250
単掃引モード	663
単発モード	659

【ち】

チェイン転送	208
チップ内蔵基準電圧(OCVREF)	657
中央演算処理装置(CPU)	23

【て】

データ保護機能	696
データレジスタ	24
低消費電流リードモード	150
低速オンチップオシレータクロック	121
低速オンチップオシレータモード	139
デバッグフラグ	24
電圧監視0リセット	74, 89

電圧監視1割り込み	90
電圧監視2割り込み	92
電圧検出回路	78, 146
電気的特性	726

【と】

動作タイミング	209, 345
動作モード	629
特殊モード3(IEモード)	485
特殊割り込み	153
特長	1

【な】

内部電源の消費電力低減(低消費電力モード)	147

【に】

入出力端子	253, 272, 567, 653

【の】

ノーマルモード	206
ノイズ除去回路	559

【は】

ハードウェアLIN	566
ハードウェアLIN終了処理	578
ハードウェアリセット	71
バスアクセス	53
バス衝突検出機能	577
発振停止検出機能	126
発振停止検出機能の使用法	126
発振評価回路例	791
バッファ動作のタイミング	347
パラレル入出力モード	711
パルス周期測定モード	266
パルス出力モード	263
パルス幅測定モード	265
パワーオンリセット	73
パワーコントロール	130

【ひ】

ビットタイミングの設定	634
ビット同期回路	559
ビットレート	635
標準シリアル入出力モード	708
標準シリアル入出力モード禁止機能	62
標準動作モード	138
ピン配置図	15

【ふ】

フラグレジスタ	24
フラッシュメモリ	676
フラッシュメモリ書き換え禁止機能	690
フラッシュメモリの停止	149
フルステータスチェック	706
フレームベースレジスタ	24
プログラマブルウェイトワンショット発生モード	290
プログラマブル波形発生モード	284

プログラマブルワンショット発生モード	287	割り込み制御	167
プログラムカウンタ	24	割り込みテーブルレジスタ	24
プロセッサ割り込み優先レベル	25	割り込みと割り込みベクタ	164
ブロック図	14	割り込みの分類	152
プロテクト	63	割り込み優先順位	172
分解能(8ビット/10ビットモード)	657	割り込み優先レベル判定回路	173
【へ】		割り込み要因	208, 434
ペリフェラルマッピングコントローラ(PMC)	721	割り込み要求	301, 579
【ほ】		割り込み要求受付時のIPLの変化	169
ポート	146	割り込みルーチンからの復帰	172
【ま】			
マスタモード	570		
マルチプロセッサ通信モード	487		
【み】			
未使用端子の処理	251		
【め】			
メールボックスとマスクレジスタの構成	636		
メモリ配置	677		
【も】			
モード選択	495		
【ゆ】			
ユーザスタックポインタ	24		
【よ】			
用途	1		
予約ビット	25		
【り】			
リセット	65		
リセット後のCPUレジスタの状態	76		
リセットシーケンス	70		
リセット時の状態	76		
リセット同期PWMモード	405		
リセット要因判別機能	75		
リピートモード	207		
リロードレジスタとカウンタの書き換え動作	261		
【れ】			
レジスタ設定例	555		
レジスタ退避	170		
レジスタバンク指定フラグ	24		
【わ】			
割り込み	152		
割り込み応答時間	169		
割り込み許可フラグ	25		
割り込みシーケンス	168		
割り込みスタックポインタ	24		

改訂記録	R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、R8C/54H グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.10	2011.02.22	—	初版発行
0.20	2011.06.17	全ページ	R8C/54F、R8C/54G、R8C/54H グループ 追加 レジスタシンボル名変更 「Pi」 → 「PORTi」 用語変更 「SRAM」 → 「RAM」、「フラッシュメモリレディ」 → 「フラッシュメモリ」 レジスタ名変更 「タイマRB2_0割り込み要求とステータスレジスタ」 → 「タイマRB2_0割り込み要求レジスタ」
		14	図1.5 注1 追加
		15	図1.6 注1、2 追加
		17	表1.14 注1 追加
		22	表1.19 注1 追加
		42	表3.13 変更
		55	5.2.2 注1 追加
		57、67、97	5.2.4、6.2.3、8.2.6 変更
		88	表7.3 変更
		90	表7.4 変更
		92～101	8. ウォッチドッグタイマ 用語変更 「低速オンチップオシレータクロック」 → 「ウォッチドッグタイマ用低速オンチップオシレータクロック」
		93	図8.1 変更
		95	8.2.1 注1 変更
		102	表9.1 注2 変更
		103	図9.1 変更
		105	表9.3 削除
		106、128	9.2.1、10.2.1 変更
		108	9.2.3 注5 追加
		110、131	9.2.4、10.2.3 CM30ビット(ウェイト制御ビット) 説明変更、 9.2.5、10.2.4 変更
		111、132	9.2.7、10.2.5 変更
		112	9.2.8 説明文 変更
		113	9.2.9 変更
		115、236	9.2.11、14.5.16 変更
		117	図9.3 変更
		119	図9.4 変更
		120	図9.5 用語説明、注記 変更、表9.6 変更
		122	9.6.10 タイトル変更
		124	表9.8 変更
		127	図10.1 変更
		135	10.3 説明文変更、表10.2 変更、注1 削除
		136	10.3.1、10.3.2、10.3.3 説明文変更、10.3.4 追加

改訂記録	R8C/54Eグループ、R8C/54Fグループ、R8C/54Gグループ、R8C/54Hグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2011.06.17	137	10.4、10.4.2 説明文変更
		138～140	10.4.4 説明文変更、表10.3 変更
		142	10.5.3 説明文変更
		143	10.6.3 「PLLの停止：PLC0レジスタのPLC07ビット」 追加、 10.6.6 説明文変更
		144	10.6.8、10.6.9 説明文変更
		153	11.2.1 変更
		163	表11.5 「SSUIC_1」→「シンクロナスシリアルコミュニケーションユニット/I ² C バスインタフェース」
		165	11.4.4 注1 変更
		170	図11.8 変更
		173	図11.11 変更
		175、176	11.8 「シンクロナスシリアルコミュニケーションユニット」→「シンクロナスシ リアルコミュニケーションユニット/I ² C バスインタフェース」
		184	12.3 説明文変更
		185	表12.4 追加
		193	13.2.3 変更
		201	図13.7 図タイトル変更
		204、205	13.3.6、13.3.8 説明文変更
		208	13.4.5 追加
		209	14.1 説明文変更、表14.1 注7 追加
		215	図14.5 変更
		219	14.4.2 説明文変更
		220	表14.4 注1 追加
		223	14.5.3 変更
		237	14.5.17 変更
		238	14.5.19 変更
		239	14.5.20 変更
		242、243	14.5.24、14.5.25 変更
		245	14.5.27 変更
		248	14.5.31 (3) CANの入出力端子 追加
		252	15.3.1 タイトル変更
		255	15.3.3 変更、表15.4 変更
		258	15.3.5 説明文追加
		259	図15.2 変更
		261	15.4.3 説明文変更、図15.4 変更
		264	図15.7 変更
		265	15.4.7 説明文変更
		266、267	15.5 (2)、(3)、(5)、(9)、(10) 変更、(15) 追加
		269	図16.1 変更
		270	16.2 説明文変更

改訂記録	R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、R8C/54H グループ ユーザズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2011.06.17	272	16.3.1 注2 変更、TSTART ビット(タイマRB2カウント開始ビット) 説明追加
		273	16.3.2 変更
		280	16.4.1 注1 変更、図16.2 変更
		281	図16.3 追加
		282	16.4.2 説明文変更
		283、284	図16.4、図16.5 変更
		285	16.4.3 説明文変更
		286、287	図16.6、図16.7 変更
		288	16.4.4 説明文 変更
		289、290	図16.8、図16.9 変更
		298	表16.8 「不定値」→「ハイインピーダンス」
		302、304	表17.1、表17.3 変更
		305	17.2.1 説明文変更
		307	17.2.3 注3 追加
		308	17.2.4 ビット説明変更
		310	表17.5 変更
		311、312	17.2.7、17.2.8 注2 追加
		314	17.2.10 説明文変更
		317	17.2.13 説明文追加
		318	17.2.14 変更
		324	17.3.2 説明文変更
		326	図17.10 変更
		328	表17.12 注1 削除
		348	17.6.8、17.6.9 説明文変更、17.6.10 追加
		363、364	18.2.11.3、18.2.11.5 「TRDi」→「TRD0」
		414、418	18.4.5、18.4.6 ・カウントスタートに関する注意事項 追加
		418	18.4.8 追加
		424、425	19.2.4、19.2.5 変更
		426	19.2.7 「TRESEC」→「TREMIn」
		430	19.5 ビット名変更 「RTCF/OVIFビット」→「OVIFビット」、「ALIF/CMIFビット」→「CMIFビット」
		436	20.2.4 DFEビット(RXDデジタルフィルタ許可ビット) 説明追加
		437	20.2.5 注1、2 変更
		438	20.2.6 注1 変更
		439	20.2.7 変更
		440	表20.4 注2 変更
		445	表20.6 注1 変更、注2 追加
		447、448	図20.6、図20.7 変更
		451	表20.9 変更
		459	21.2.2 説明文変更

改訂記録	R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、R8C/54H グループ ユーザズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.20	2011.06.17	462	21.2.5 変更
		463	21.2.6 説明文変更
		464	21.2.7 注1 削除、DF2ENビット(RXD2デジタルフィルタ許可ビット) 説明追加
		465	21.2.8 変更
		487	表21.11 注1 変更
		520、548	図22.10、図22.29 変更
		577	表24.2 変更
		578	図24.1 「CCKLS」→「CCLKS」
		598	24.2.8 ビット名変更 「送信ステータスフラグ(transmitter)」→「送信ステータスフラグ」、 「受信ステータスフラグ(receiver)」→「受信ステータスフラグ」
		602	24.2.10 変更
		603	24.2.11 注1 変更
		606	24.2.13 変更
		613	24.2.19 注2 変更
		614、618	24.2.20、図24.5 「8/3 エンコーダ」→「8 to 3 プライオリティエンコーダ」
		621	24.2.26 注1 変更
		625	24.3.1 •CCLKR レジスタ 追加
		626、627	24.3.2、24.3.3 説明文変更
		629	24.4.1 説明文変更、図24.14 変更
		630	表24.12 変更
		632	24.6 説明文変更
		706～709、 768～771	27.8、30.16 フラッシュメモリ使用上の注意 追加
		721、722	表29.9、表29.10 変更
		723	表29.13 注1 削除
		731	表29.22 変更
1.00	2012.01.20	全ページ	「暫定版」、「開発中」 削除 レジスタシンボル名変更 「TRDELC_0」→「TRDELCCR_0」
		2、4、 6、8	表1.1、表1.3、表1.5、表1.7 最小命令実行時間 変更
		3、5、 7、9	表1.2、表1.4、表1.6、表1.8 リード電圧、動作周波数/電源電圧、消費電流 変更
		21	表1.18 電源入力 変更
		30	表3.1 電圧監視0回路制御レジスタのリセット後の値 変更
		34、272	表3.5、表16.3 シンボル 「TRBPRSC_0」 追加
		52	表3.23 変更、注2 追加
		56	5.2.2 注1 変更
		57	5.2.3 PRC0ビット 説明文変更

改訂記録	R8C/54Eグループ、R8C/54Fグループ、R8C/54Gグループ、R8C/54Hグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.01.20	59、69、86、100、685 63 76 77 78 80 82 83 85 94 97 105 108、130 109、131 112、133 113 113、134 115 121 124 128、748 129 145 163 173 179 181、751 183 189 209 210 211、753 212 222 223 238 254 256	5.2.5、6.2.4、7.2.8、8.2.7、27.3.5 b4、b5 機能 変更 表5.4 「PLCF」 削除 図6.8 変更 7.1 説明文、表7.1 変更 図7.1 変更 表7.2 変更 7.2.4 変更 7.2.5 リセット後の値 変更 7.2.7 b3のビット名 「(注4)」 → 「(注5)」 図8.1 変更 8.2.4 変更、表8.3 追加 図9.1 変更 9.2.1、10.2.1 注5 変更 9.2.2、10.2.2 注1 変更 9.2.5、10.2.4 注1 追加 9.2.6 注1 追加 9.2.7、10.2.5 注1 変更 9.2.9 注2 変更 図9.4 変更 9.6.8～9.6.10 変更 9.8.2、31.2.2 変更 図10.1 変更 10.6.6 変更 表11.3 変更 11.5.1 説明文 変更 11.8 説明文 変更 図11.13、図31.1 注3 追加 12.1 説明文 変更 表13.1 転送単位 変更 表13.13、13.3.9 説明文 変更 13.3.10.1、13.3.10.2 変更 13.4.2、31.5.2 変更 14. 注意文 追加、表14.1 注8 変更 旧14.4.2、旧14.4.3 削除 → 31章へ移動 表14.4 「端子配置選択レジスタ」 削除 → 31章へ移動 旧14.5.17 端子配置選択レジスタ 削除 → 31章へ移動 15.3.2 注3 変更 15.3.3 注2、注3 追加、表15.4 変更

改訂記録	R8C/54Eグループ、R8C/54Fグループ、R8C/54Gグループ、R8C/54Hグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.01.20	257	表 15.5、表 15.6 変更
		258	15.3.4 b4～b6 機能、注1、注2、注4 変更、説明文 追加
		263	図 15.6 追加
		266	表 15.7、表 15.8 注1 追加
		267、754	15.5、31.6 (1) 注1 追加
		270	図 16.1 注3 追加
		272	表 16.3 注1 変更
		273	16.3.1 b1、b0、TSTARTビット 説明文 変更
		277	16.3.5 説明文 変更
		280	表 16.5 変更
		281、287、	図 16.2、図 16.6、図 16.7 変更
		288	「TRBPR、TRBSC、TRBPRESレジスタ」→「TRBPR、TRBPRESレジスタ」
		282	図 16.3 変更 「TRBPR、TRBSC、TRBPRESレジスタ」→「TRBSC、TRBPRESレジスタ」、「TRBPRESレジスタ = 02h、TRBPRレジスタ = 01h」→「TRBPRSCレジスタ = 0102h」
		283	16.4.2 説明文、注1 変更
		285、288、	図 16.5、図 16.7、図 16.9 変更 「TRBPRESレジスタ = 01h、TRBPRレジスタ =
		291	01h」→「TRBPRSCレジスタ = 0101h」
		286	16.4.3 変更
		289	16.4.4 変更
		290、291	図 16.8、図 16.9 追加 「TRBSC レジスタ = 03h」
		293	表 16.6、表 16.7 変更
		294	16.5.2 変更
		296	図 16.12 変更
		297	図 16.13 変更 「TRBPRESレジスタに01h、TRBPRレジスタに25h」→「TRBPRSCレジスタに2501h」
		298	図 16.14 変更 「TRBPRESレジスタに01h、TRBPRレジスタに25h」→「TRBPRSCレジスタに2501h」
		299	16.5.3 説明文、表 16.8、16.5.4 変更
		300	16.6 変更
		301、756	16.8、31.7 (2)、(3) 変更
		303	表 17.1 その他 変更
		305	図 17.1 変更
		309	17.2.4 注2 変更
		310	17.2.5 変更
		312、313	17.2.7、17.2.8 説明文 変更
		316	17.2.11 変更
		318	17.2.13 変更
		321～323	17.3.1 説明文 変更
		324	図 17.8 変更
		325	17.3.2 説明文 変更

改訂記録	R8C/54Eグループ、R8C/54Fグループ、R8C/54Gグループ、R8C/54Hグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.01.20	329、331	17.3.3 説明文 変更
		330	図17.13 変更
		337	図17.20 変更
		340	17.4.4 説明文 変更
		349、759	17.6.8、31.8.8 変更
		351	図18.1 変更
		353	18.2.1 変更
		355	18.2.3 注1、注3 変更
		361	18.2.10.1 注1 変更
		372	18.2.17.2 設定範囲 「0001h～FFFFh」 → 「0000h～FFFFh」
		385	図18.6 変更
		386	18.3.1.5 ELCイベント入力 追加
		387	18.3.1.7 外部端子の設定 追加
		414、761	18.4.3、31.9.3 変更
		419、766	旧18.4.7、旧30.9.7 削除
		420	19.1、図19.1 変更
		424	19.2.3 注1、注3、注4 追加
		425	19.2.4 注1、注2 追加
		427	19.2.7 注1 追加
		432	表20.1 変更、注1 追加
		435	20.2.1 注1 追加
		436	20.2.3 説明文 変更
		437	20.2.4 DFEビット説明文 変更
		439	20.2.6 注2 変更
		441	表20.4 注2 変更
		443	図20.3 変更
		446	表20.6 注1 変更
		447	表20.7 変更
		448、449	図20.6、図20.7 変更
		451	20.3.2.3 説明文、図20.8 変更
		453、768	20.5.1.1、31.13.1.1 変更、20.5.1.2、31.13.1.2 追加
		455	表21.1 注2 変更
		456	表21.2 注1 変更
		464	21.2.6 注5 追加
		465	21.2.7 DF2ENビット説明文 変更
		480	21.3.2.7 説明文 変更
		503	22.2.6.1 変更
		623、624	図24.9～図24.11 注1 変更
		626	24.3.1 変更
		630	24.4.1 説明文 変更

改訂記録	R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、R8C/54H グループ ユーザズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.01.20	640	表 25.1、注 2、注 3 変更
		644	25.2.2 b15機能 変更
		647	25.2.5 ADSTビット説明文 変更
		648	25.2.6 注 3 変更
		649	図 25.3、図 25.4 変更
		650	表 25.5 変更
		652	25.3.3.4 変更、旧 25.3.3.5 削除
		654	図 25.6 変更
		663	25.9、図 25.11 変更
		664、774	25.10.1、31.15.1 変更
		665	図 26.1 変更
		670、671	26.4 説明文 変更、図 26.5、図 26.6 追加
		672	表 27.1 変更、注 4 追加
		674	図 27.1 注 1 追加
		678	27.3.2 b0 変更、注 5 追加
		679	27.3.2 CMDRSTビット説明文 変更
		684	27.3.4 FMR27ビット説明文 変更
		687	表 27.4 変更
		693	27.5.7 説明文 変更
		711、778	27.8.1.9、31.16.1.9 変更
		714	28.2.2 変更
		717～720	29. ペリフェラルマッピングコントローラ(PMC) 追加 旧 14.4.2 → 29.1へ移動、29.1.1 追加 旧 14.4.3、表 14.4、表 14.5 → 29.2、表 29.1、表 29.2へ移動 旧 14.5.17 → 29.3.1へ移動
		721、779	29.4、31.17 「ペリフェラルマッピングコントローラ(PMC)使用上の注意事項」 追加
		722	表 30.1 変更
		723	表 30.2 変更
		724	表 30.4 変更、「Vcc = 1.8 V～5.5 V」 → 「Vcc = 2.7 V～5.5 V」
		725	表 30.5 変更
		726	表 30.7 変更
		727	表 30.8 旧注 6 削除
		728、729	表 30.9、表 30.10 変更
		730	表 30.13 変更
		732	表 30.16 変更
		733	表 30.17、注 4 追加
		734	表 30.18 追加
		735	表 30.19 変更
		736	表 30.20 変更、注 4 追加
		737	表 30.21 追加

改訂記録	R8C/54Eグループ、R8C/54Fグループ、R8C/54Gグループ、R8C/54Hグループ ユーザズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.01.20	738、739、743 738、739 744 745 748 783	表 30.22～表 30.24 変更、「Vcc = 1.8 V～5.5 V」 → 「Vcc = 2.7 V～ 5.5 V」 表 30.22、表 30.23 変更 表 30.25、表 30.26 変更 表 30.27 変更、注1 追加、表 30.28 変更 表 30.29 変更 付図 2.1 変更、タイトル 変更
2.00	2012.08.10	2、4、6、8 56 57 63 77、751 105 106 111 116 129、752 150 183、756 188 202 212、757 226 252 253 254 255 257 258 259 261 263 264 266 268、269、758、759 271 273 274	表 1.1、表 1.3、表 1.5、表 1.7 変更 5.2.2 注1 変更 5.2.3 PRC1ビット説明文 変更 表 5.4 「PRC1」 変更 「6.5 リセット使用上の注意事項」、 「31.2 リセット使用上の注意事項」 追加 表 9.1 「リセット後の状態」 変更 図 9.1 変更 9.2.3 注3、注4 変更 9.2.9 注1 変更 9.8.1、31.3.1 説明文 変更 10.6.11 説明文、図 10.7 注2 変更 11.9.5、31.5.5 例1～例3 「AND.B」 → 「MOV.B」 12.3 説明文 変更 表 13.8 変更 13.4.1、31.6.1 変更 14.5.3 注1 追加 15. 説明文、表 15.1 変更 図 15.1、表 15.2 変更、注1 追加 15.3.1 説明文 変更 15.3.2 注3 変更 15.3.3 注1 変更 15.3.3 TOPCRビット説明文 変更 15.3.4 注1 削除、注3、説明文 変更 15.4.1 説明文、図 15.2 変更 15.4.3 説明文、図 15.4 変更 15.4.4 説明文、図 15.6 変更 15.4.6 説明文 変更 15.5、31.7 (2)～(14) 変更 図 16.1 注3 変更 表 16.3 注1 変更 16.3.1 注1 変更、TSTARTビット説明文 変更、注1 追記

改訂記録	R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、R8C/54H グループ ユーザズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2012.08.10	275	16.3.2 説明文 追記、TOSSTF ビット説明文 変更
		276	表 16.4 「タイマーモード」 変更
		278	16.3.5 説明文 変更
		279	16.3.6 「機能」 変更、注 1 追記、説明文 変更
		280	16.3.7 「機能」 変更
		282	16.4.1 注 1 変更、図 16.2 変更
		283	図 16.3 変更
		284	16.4.2 説明文、注 1 変更
		285、286	図 16.4、図 16.5 変更
		287	16.4.3 説明文、注 1 変更
		288、289	図 16.6、図 16.7 変更
		290	16.4.4 説明文 変更
		291、292	図 16.8、図 16.9 変更
		295	16.5.2 説明文 変更
		296～299	図 16.11～図 16.14 変更
		300	表 16.8、16.5.3 説明文 変更
		301	16.6 説明文 変更
		302、303、 760、761	16.8、31.8 (2)、(3)、(6)～(8)、(12)～(16) 変更
		304	表 17.1 「動作クロック」 追加
		306	図 17.1 変更
		307	17.2.1 「機能」、説明文 変更
		308、309	17.2.2 変更、表 17.5～表 17.8 追加
		309	17.2.3 注 1 変更、注 2 削除、CTS ビット説明文 変更
		310	17.2.3 説明文 追記
		311	17.2.4 b0～b3、b7、注 1、注 2 変更、注 4、注 5 追加、 TOA、TOB、TOC、TOD ビット説明文 変更
		313	17.2.6 注 1 追加、表 17.9 注 1 変更、注 2 削除
		314、315	17.2.7、17.2.8 b0、b1、b4、b5、注 1 変更
		316	17.2.9 b0～b2、b5 変更、注 1～注 3 追加、CSTP ビット説明文 変更
		317	17.2.10 b0～b4、b6、b7 変更、注 1、注 2 追加、ビット説明文 削除
		318	17.2.11 b0～b3 変更、注 1 追加
		320	17.2.13 b4、b5、注 1 変更、注 2～注 5 削除、 RESTATS、OPE ビット説明文 追加
		321	17.2.14 ELCP2TE ビット説明文 変更
		322	表 17.10 変更
		323	「17.3.1.1 フリーランニング動作」 タイトル 追加、説明文 変更、 「17.3.1.2 周期カウンタ動作」 タイトル 追加、説明文 変更
		324	「17.3.1.3 アウトプットコンペア機能」 タイトル 追加
		325	「17.3.1.4 インプットキャプチャ機能」 タイトル 追加
		326	17.3.1.4 説明文 変更

改訂記録	R8C/54Eグループ、R8C/54Fグループ、R8C/54Gグループ、R8C/54Hグループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2012.08.10	327	17.3.2 説明文 変更
		329	図17.10、タイトル 変更
		331	17.3.3 説明文、表17.16 変更
		333、334	17.3.3 説明文、図17.14、図17.15 変更
		335～337	17.3.3 説明文、図17.16～図17.18 変更
		338	17.4.1 説明文、図17.19 変更
		339	図17.20 変更
		340	17.4.3 説明文 変更
		342	17.4.4 説明文 変更
		345	図17.27 変更
		347	図17.31 変更
		349	17.5.8 タイトル、説明文、図17.34、タイトル 変更
		350	「17.6 タイマRC割り込み」追加
		351～353、 762～764	17.7.4～17.7.6、31.9.4～31.9.6 説明文 変更
		355	図18.1 注1、注2 変更
		369	18.2.12.1 注3 削除
		370	18.2.12.2 注2 削除
		390	18.3.1.5 説明文 変更
		426	19.2.1 タイトル 変更
		427	19.2.2 タイトル 変更、注1 追加
		428	19.2.3 タイトル、CCLRビット説明文 変更
		429～431	19.2.4～19.2.7 タイトル 変更
		433	図19.3 タイトル 変更
		434	19.4 説明文 変更
		435、772	19.5、31.11 説明文 変更
		436	20.1 説明文 変更
		439	20.2.1 注3 追加
		440	20.2.3 b0～b8 変更
		443	20.2.6 注1 変更、注3 追加
		456	20.4 説明文 変更
		464	21.2.1 注1 変更、注8 追加
		467	21.2.5 注3 変更
		468	21.2.6 b0、b7、注4、注5 変更
		482	図21.10 変更
		488	表21.10 注1 変更
		496	表22.2 注1 追加
		508	22.2.6.2 注6 変更
		512	22.2.8.2 b5 変更
		514	22.2.9.2 注7 追加

改訂記録	R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、R8C/54H グループ ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2012.08.10	551	図 22.26 変更
		559	図 22.36 「SCL」 → 「VIH」
		565	22.5.3.3 説明文 変更
		657	25.3.4 説明文 変更
		680	27.3.1 RDYSTI ビット説明文 変更
		681	27.3.1 FST5、FST7 ビット説明文 変更
		682	27.3.2 注 6、FMR00 ビット説明文 追加
		684	27.3.2 CMDERIE ビット説明文 変更
		687	27.3.4 注 3 変更
		693	図 27.4 注 2 変更
		694	表 27.5 注 3 変更
		697	表 27.6、27.5.7.1 説明文 変更
		704	「27.5.7.7 ブロックブランクチェック」 削除
		705	表 27.7 変更
		714、783	27.8.1.3、31.17.1.3 説明文 変更、「27.8.1.8 ブロックブランクチェック」、 「31.17.1.8 ブロックブランクチェック」 削除、 27.8.1.8、31.17.1.8 説明文 変更
		720	29.1 説明文 変更
		723	29.3.1 説明文 変更
		724、784	29.4.2、31.18.2 説明文 変更
		735、738	表 30.16、表 30.19 「VRAM」 変更
		736、737	表 30.17、表 30.18 変更
		739、740	表 30.20、表 30.21 変更
		741、742、 746	表 30.22、表 30.23、表 30.24 注 1 変更
2.10	2014.09.26	72	図 6.3、図 6.4 「1.8 V」 → 「2.7 V」
		82	7.2.2 注 1、注 2 削除
		85	7.2.6 注 6 削除
		86	7.2.7 注 6 削除
		90	表 7.3 変更
		91	図 7.6 「1.8 V」 → 「2.7 V」
		92	表 7.4 変更
		93	図 7.7 「1.8 V」 → 「2.7 V」
		128	図 9.7 変更
		132	10.2.2 注 1 変更
		144	10.5.2 説明文 変更
		165	表 11.4 「00007Bh」 → 「0000Bh」
		180、182、 756	11.8 説明文、図 11.13、図 31.1 「バスクロック」 → 「CPU クロック」
		215～ 218、221	図 14.1～図 14.4、図 14.7 「端子選択レジスタ」 → 「端子機能選択」

改訂記録	R8C/54Eグループ、R8C/54Fグループ、R8C/54Gグループ、R8C/54Hグループ ユーザズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
2.10	2014.09.26	226	14.5.3 変更
		268、759	15.5、31.7 説明文 変更
		269、760	(9) 「パルス周期」→「パルス幅」
		308	17.2.2 変更
		353、765	旧17.7.7、旧31.9.7 削除
		489	21.3.4.1、図21.15 「MPBT」→「MPTB」
		617	24.2.16 BLIFビット説明文 変更
		629	図24.12 変更
		631	表24.11 変更
		645	図25.1 「100b、101b、110b、111b」→「000b、001b、010b、011b」
		652	25.2.6 注8 追加
		663	表25.9 変更
		672、673	図26.2、図26.4 「プログラムによって0にする」→「割り込み要求の受付、またはプログラムによって0にする」
		679～ 681、707	27.3.1、図27.16 「ブランクチェックエラー」 削除
		700	27.5.7.4 説明文 変更
		701、702	図27.10、図27.11、図27.12 タイトル 変更
		703	27.5.7.4 説明文 図27.13 追加
		725、785	29.4.1、31.18.1 説明文 変更

R8C/54E グループ、R8C/54F グループ、R8C/54G グループ、
R8C/54H グループ ユーザーズマニュアル ハードウェア編

発行年月日 2011 年 2 月 22 日 Rev.0.10
2014 年 9 月 26 日 Rev.2.10

発行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

R8C/54E グループ、R8C/54F グループ、
R8C/54G グループ、R8C/54H グループ



ルネサスエレクトロニクス株式会社

R01UH0189JJ0210