User's Manual

32

RA4E2 グループ

ユーザーズマニュアル ハードウェア編

32 ビット MCU
Renesas Advanced (RA) ファミリ
Renesas RA4 シリーズ

本資料に記載のすべての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.50 Jul 2026

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2026 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

はじめに

1. 本ドキュメントについて

本マニュアルは通常、製品の概要、CPU、システム制御機能、周辺機器の機能、電気的特性、および使用上の注意事項で構成されています。本マニュアルでは、マイクロコントローラ (MCU) のスーパーセットの製品仕様について説明します。製品によっては、一部のピン、レジスタ、または機能が存在しない場合があります。使用できないレジスタが割り当てられているアドレス空間は予約されています。

2. 対象読者

本マニュアルは、Renesas マイクロコントローラを使用してアプリケーションを設計およびプログラミングするシステム設計者を対象としています。読者には、電気回路、論理回路、および MCU に関する基本的な知識が求められます。

3. 関連ドキュメント

弊社では、下記のドキュメントを用意しています。これらのドキュメントを使用する際は、www.renesas.com にアクセスして、最新版を取得してください。

構成	ドキュメントの種類	内容
マイクロコントローラ	データシート	特長、概要および MCU の電気的特性
	ユーザーズマニュアルハードウェア編	ピン配置、メモリマップ、周辺機能、電気特性、タイミング図、および動作記述などの MCU 仕様
	アプリケーションノート	テクニカルノート、ボードデザインのガイドライン、およびソフトウェア移行情報
	テクニカルアップデート (TU)	制限や正誤表などの製品仕様に関する予備レポート
ソフトウェア	ユーザーズマニュアルソフトウェア	API リファレンスおよびプログラミング情報
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例
ツール &キット、ソリューション	ユーザーズマニュアル開発ツール	開発キット (DK)、スタートキット (SK)、プロモーションキット (PK)、製品例 (PE)、およびアプリケーション例 (AE) を含むエンベデッド・ソフトウェア・アプリケーションを開発するためのユーザーマニュアルおよびクイック・スタート・ガイド
	ユーザーズマニュアルソフトウェア	
	クイックスタートガイド	
	アプリケーションノート	プロジェクト・ファイル、ソフトウェア・プログラミングのガイドライン、および組み込みソフトウェアを開発するためのアプリケーション例

4. 数値の表記法

本マニュアルでは、次の進数表記を使用しています。

例	内容
011b	2 進数。たとえば、3 という 2 進数に相当する値は 011b です。
0x1F	16 進数。たとえば、31 の 16 進数に相当する数値は 0x1F と記述されています。場合によっては、 16 進数の末尾に h がつくことがあります。
1234	10 進数。10 進数の後にこの記号が続くのは、混乱の可能性がある場合のみです。一般に、 10 進数はサフィックスなしで表示されます。

5. シンボルの表記法

本マニュアルでは、次の表記法が使用されています。

例	内容
AAA.BBB.CCC	機能モジュールのシンボル (AAA)、レジスタのシンボル (BBB)、およびビットフィールドのシンボル (CCC) は、ピリオドで区切られます。
AAA.BBB	機能モジュールのシンボル (AAA) とレジスタのシンボル (BBB) は、ピリオドで区切られます。
BBB.DDD	レジスタのシンボル (BBB) とビットフィールドのシンボル (DDD) は、ピリオドで区切られます。
EEE[3:0]	角括弧内の数値はビット位置を表します。たとえば、EEE[3:0]は、3～0 ビットを占めます。

6. 単位と単位の接頭部

次の単位と単位接頭辞は誤解を招くことがあります。これらのユニットプレフィックスについては、本マニュアル全体で次の意味で説明されています。

記号	名前	内容
b	2 進数	シングル 0 または 1
B	バイト	この単位記号は、一般に MCU のメモリの仕様とアドレス空間に使用されます。
k	キロ	1000 = 10^3。k は 1024 (2^{10}) を示すためにも使用されますが、このユニットプレフィックスは本マニュアル全体で 1000 (10^3) を示すために使用されます。
K	キロ	1024 = 2^{10}。このユニットプレフィックスは、本マニュアル全体で、1000 (10^3) ではなく 1024 (2^{10}) を示すために使用されます。

7. 特殊用語

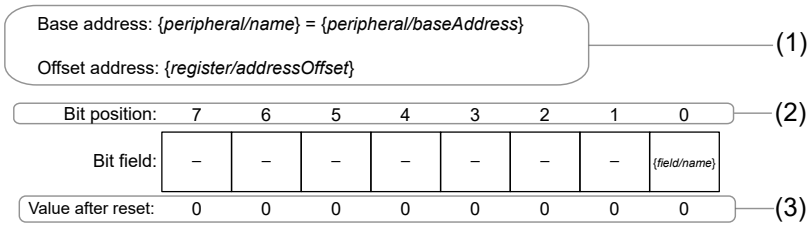
下記の用語には特殊な意味があります。

用語	内容
NC	非接続の端子。特に指定のない場合、この端子はフローティングにしてください。
Hi-Z	ハイインピーダンス
x	Don't care または不定

8. レジスタの説明

各章のレジスタの説明には、ビットの並びを示すレジスター配置図と、各ビットの内容を説明するレジスタのビット機能表があります。これらの表で使用される記号の例については、以降の項で説明します。以下は、レジスタの説明および関連するビットフィールドの定義例です。

XX.X.X {*register/name*} : {*register/description*}



(4) (5) (6)

ビット	シンボル	機能	R/W
0	{*field/name*}	{*field/description*} 0: {*enumeratedValue/description*} 1: {*enumeratedValue/description*}	{*access*}
7:1	–	読むと0が読めます。書く場合、0としてください。	R/W

(1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレスの割り当て

この部分には、通常、機能モジュールのシンボル {*peripheral/name*}、レジスタのシンボル {*register/name*}、およびこのレジスタのアドレスの割り当てが記載されます。ベースアドレスとオフセットアドレスは、{*peripheral/name*} の {*register/name*} : {*register/description*} がアドレス {*peripheral/baseAddress*} + {*register/addressOffset*} に割り当てられることを意味します。

(2) ビット番号

この数字はビット番号を示します。これらのビットは、32 ビットレジスタの場合はビット 31 から 0、16 ビットレジスタの場合はビット 15 から 0、8 ビットレジスタの場合はビット 7 から 0 の順序で表示されます。

(3) リセット後の値

このシンボルまたは数値は、ハードリセット後の各ビットの値を示します。特に指定のない限り、値はバイナリで表されます。

0： リセット後の値は 0 であることを示します。

1： リセット後の値は 1 であることを示します。

x： リセット後の値は不定であることを示します。

(4) ビットシンボル

{*field/name*} は、ビットフィールドの略名です。予約ビットの場合は、—と表記されます。

(5) 機能

機能は、ビットフィールドの正式名 {*field/description*}、および列挙された値を示します。

(6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であるかを示します。

R/W: 読み出しも書き込みも可能。

R: 読み出しのみ可能。書き込みは無効。

W: 書き込みのみ可能。特に指定のない限り、読み出し値はリセット後の値。

9. 略語

本マニュアルで使用されている略語を次の表に示します。

略語	内容
AES	Advanced Encryption Standard（高度暗号化標準）
AHB	Advanced High-performance Bus（アドバンストハイパフォーマンスバス）
AHB-AP	AHB Access Port（AHB アクセスポート）
APB	Advanced Peripheral Bus（アドバンスト周辺バス）
ARC	Alleged RC（Alleged RC 暗号）
ATB	Advanced Trace Bus（アドバンストトレースバス）
BCD	Binary Coded Decimal（2 進化 10 進数）
BSDL	Boundary Scan Description Language（バウンダリスキャン記述言語）
DES	Data Encryption Standard（データ暗号化標準）
DSA	Digital Signature Algorithm（デジタル署名アルゴリズム）
ETB	Embedded Trace Buffer（エンベデッドトレースバッファ）
ETM	Embedded Trace Macrocell（エンベデッドトレースマクロセル）
FLL	Frequency Locked Loop（周波数安定化ループ回路）
FPU	Floating Point Unit（浮動小数点ユニット）
HMI	Human Machine Interface（ヒューマンマシーンインタフェース）
IrDA	Infrared Data Association（赤外線通信協会／規格）
LSB	Least Significant Bit（最下位ビット）
MSB	Most Significant Bit（最上位ビット）
NVIC	Nested Vector Interrupt Controller（ネスト型ベクタ割り込みコントローラ）
PC	Program Counter（プログラムカウンタ）
PFS	Port Function Select（ポート機能選択）
PLL	Phase Locked Loop（位相同期回路）
POR	Power-on Reset（パワーオンリセット）
PWM	Pulse Width Modulation（パルス幅変調）
RSA	Rivest Shamir Adleman（Rivest/Shamir/Adleman による公開鍵暗号方式）
SHA	Secure Hash Algorithm（セキュアハッシュアルゴリズム）
S/H	Sample and Hold（サンプルアンドホールド）
SP	Stack Pointer（スタックポインタ）
SWD	Serial Wire Debug（シリアルワイヤデバッグ）
SW-DP	Serial Wire-Debug Port（シリアルワイヤデバッグポート）
TRNG	True Random Number Generator（真性乱数生成器）
UART	Universal Asynchronous Receiver/Transmitter（調歩同期式シリアルインタフェース）
VCO	Voltage Controlled Oscillator（電圧制御発振器）

10. 所有権通知

本書に含まれるすべてのテキスト、グラフィック、写真、商標、ロゴ、挿絵、コンピュータコード（総称してコンテンツ）は、ルネサスが所有、管理、またはライセンスを保持するものであり、トレードドレス法、著作権法、特許法および商標法、その他の知的財産権法、不正競争法で保護されています。本書に明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、本書の一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

ARM®および Cortex®は、Arm Limited の登録商標です。CoreSight™は Arm Limited の商標です。

CoreMark®は、Embedded Microprocessor Benchmark Consortium の登録商標です。

Magic Packet™は、Advanced Micro Devices, Inc.の商標です。

本書に記載されているその他のブランドおよび名称は、それぞれの所有者の商標または登録商標です。

11. 製品に関するフィードバック

本製品についてご意見やご提案がある場合は、 お問い合わせ にアクセスしてください。

目次

特長 49

1. 概要 50

1.1 機能の概要 50
1.2 ブロック図 55
1.3 型名 55
1.4 機能の比較 57
1.5 端子機能 58
1.6 ピン配置図 61
1.7 端子一覧 64

2. CPU 66

2.1 概要 66
2.1.1 CPU 66
2.1.2 デバッグ 66
2.1.3 動作周波数 67
2.1.4 ブロック図 67
2.2 実装オプション 68
2.3 SWD インタフェース 69
2.4 メモリに対するセキュリティ属性 69
2.5 デバッグ機能 70
2.5.1 デバッガの接続性 70
2.5.2 エミュレータ接続 71
2.5.3 デバッグ機能の影響 71
2.6 プログラマモデル 72
2.6.1 アドレス空間 72
2.6.2 周辺アドレスマップ 72
2.6.3 CoreSight ROM テーブル 73
2.6.4 DBGREG 74
2.6.5 OCDREG 76
2.6.6 CPUDSAR : CPU デバッグセキュリティ属性レジスタ 82
2.6.7 CPU アクセスにより発生するエラー応答の処理 82
2.7 CoreSight クロストリガインタフェース (CTI) 84
2.8 CoreSight ATB ファネル 85
2.9 ブレークポイントユニット 86
2.10 CoreSight タイムスタンプ発生器 86
2.11 SysTick タイマ 86
2.12 OCD エミュレータ接続 86
2.12.1 DBGEN 87
2.12.2 アンロック ID コード 87

2.12.3 OCD エミュレータ接続における制限 87
2.12.4 OCD エミュレータ切断における制限 89
2.13 参考資料 90
3. 動作モード 91
3.1 概要 91
3.2 動作モードの説明 91
3.2.1 シングルチップモード 91
3.2.2 SCI ブートモード 91
3.2.3 USB ブートモード 91
3.2.4 SWD ブートモード 91
3.3 動作モード遷移 91
3.3.1 モード設定端子による動作モード遷移 91
4. アドレス空間 93
4.1 アドレス空間 93
5. リセット 94
5.1 概要 94
5.2 レジスタの説明 99
5.2.1 RSTSAR : リセットセキュリティ属性レジスタ 99
5.2.2 RSTSR0 : リセットステータスレジスタ 0 100
5.2.3 RSTSR1 : リセットステータスレジスタ 1 102
5.2.4 RSTSR2 : リセットステータスレジスタ 2 104
5.3 動作説明 105
5.3.1 RES 端子リセット 105
5.3.2 パワーオンリセット 105
5.3.3 電圧監視リセット 106
5.3.4 ディープソフトウェアスタンバイリセット 107
5.3.5 独立ウォッチドッグタイマリセット 108
5.3.6 ウォッチドッグタイマリセット 108
5.3.7 ソフトウェアリセット 108
5.3.8 コールドスタート／ウォームスタート判定機能 108
5.3.9 リセット発生要因の判定 109
6. オプション設定メモリ 111
6.1 概要 111
6.2 レジスタの説明 113
6.2.1 OFS0 : オプション機能選択レジスタ 0 113
6.2.2 OSIS : OCD／シリアルプログラマ ID 設定レジスタ 116
6.2.3 SAS : スタートアップ領域設定レジスタ 117
6.2.4 OFS1 : オプション機能選択レジスタ 1 118
6.2.5 BPS : ブロック保護設定レジスタ 119

6.2.6 PBPS : 永久ブロック保護設定レジスタ 119
6.3 オプション設定メモリの設定方法 120
6.3.1 オプション設定メモリへのデータの配置方法 120
6.3.2 オプション設定メモリにプログラムするデータの設定方法 120
6.3.3 設定値のタイミング 120
6.4 使用上の注意事項 121
6.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ 121
7. 低電圧検出回路 (LVD) 122
7.1 概要 122
7.2 レジスタの説明 124
7.2.1 LVDSAR : 低電圧検出セキュリティ属性レジスタ 124
7.2.2 LVD1CMPCR : 電圧監視 1 コンパレータコントロールレジスタ 124
7.2.3 LVD2CMPCR : 電圧監視 2 コンパレータコントロールレジスタ 125
7.2.4 LVD1CR0 : 電圧監視 1 回路コントロールレジスタ 0 126
7.2.5 LVD2CR0 : 電圧監視 2 回路コントロールレジスタ 0 127
7.2.6 LVD1CR1 : 電圧監視 1 回路コントロールレジスタ 1 128
7.2.7 LVD1SR : 電圧監視 1 回路ステータスレジスタ 129
7.2.8 LVD2CR1 : 電圧監視 2 回路コントロールレジスタ 1 129
7.2.9 LVD2SR : 電圧監視 2 回路ステータスレジスタ 130
7.3 VCC 入力電圧の監視 130
7.3.1 V_{det0} の監視 130
7.3.2 V_{det1} の監視 130
7.3.3 V_{det2} の監視 131
7.4 電圧監視 0 リセット 131
7.5 電圧監視 1 割り込み、電圧監視 1 リセット 132
7.6 電圧監視 2 割り込み、電圧監視 2 リセット 134
7.7 ELC によるリンク動作 137
7.7.1 割り込み処理とイベントリンクの関係 138
8. クロック発生回路 139
8.1 概要 139
8.2 レジスタの説明 143
8.2.1 CGFSAR : クロック発生機能セキュリティ属性レジスタ 143
8.2.2 SCKDIVCR : システムクロック分周コントロールレジスタ 145
8.2.3 SCKSCR : システムクロックソースコントロールレジスタ 147
8.2.4 PLLCCR : PLL クロックコントロールレジスタ 148
8.2.5 PLLCR : PLL コントロールレジスタ 149
8.2.6 MOSCCR : メインクロック発振器コントロールレジスタ 150
8.2.7 SOSCCR : サブクロック発振器コントロールレジスタ 151
8.2.8 LOCOCR : 低速オンチップオシレータコントロールレジスタ 151

8.2.9 HOCOCR : 高速オンチップオシレータコントロールレジスタ 152
8.2.10 HOCOCR2 : 高速オンチップオシレータコントロールレジスタ 2 153
8.2.11 MOCOCR : 中速オンチップオシレータコントロールレジスタ 154
8.2.12 FLLCR1 : FLL コントロールレジスタ 1 155
8.2.13 FLLCR2 : FLL コントロールレジスタ 2 156
8.2.14 OSCSF : 発振安定フラグレジスタ 157
8.2.15 OSTDCR : 発振停止検出コントロールレジスタ 158
8.2.16 OSTDSR : 発振停止検出ステータスレジスタ 159
8.2.17 MOSCWTCR : メインクロック発振器ウェイトコントロールレジスタ 160
8.2.18 MOMCR : メインクロック発振器モード発振コントロールレジスタ 160
8.2.19 SOMCR : サブクロック発振器モードコントロールレジスタ 161
8.2.20 CKOCR : クロックアウトコントロールレジスタ 162
8.2.21 LOCOUTCR : LOCO ユーザートリミングコントロールレジスタ 163
8.2.22 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタ 163
8.2.23 HOCOUTCR : HOCO ユーザートリミングコントロールレジスタ 164
8.2.24 USBCKDIVCR : USB クロック分周コントロールレジスタ 164
8.2.25 CANFDCKDIVCR : CANFD クロック分周コントロールレジスタ 165
8.2.26 CECCKDIVCR : CEC クロック分周コントロールレジスタ 165
8.2.27 I3CCKDIVCR : I3C クロック分周コントロールレジスタ 166
8.2.28 USBCKCR : USB クロックコントロールレジスタ 167
8.2.29 CANFDCKCR : CANFD クロックコントロールレジスタ 168
8.2.30 CECCKCR : CEC クロックコントロールレジスタ 169
8.2.31 I3CCKCR : I3C クロックコントロールレジスタ 170
8.3 メインクロック発振器 171
8.3.1 発振子を接続する方法 171
8.3.2 外部クロックを入力する方法 172
8.3.3 外部クロック入力に関する注意事項 172
8.4 サブクロック発振器 172
8.4.1 32.768 kHz 水晶振動子を接続する方法 173
8.4.2 サブクロック発振器を使用しない場合の端子処理 173
8.5 発振停止検出機能 174
8.5.1 発振停止検出と検出後の動作 174
8.5.2 発振停止検出割り込み 175
8.6 PLL 回路 176
8.7 内部クロック 176
8.7.1 システムクロック (ICLK) 176
8.7.2 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD) 177
8.7.3 FlashIF クロック (FCLK) 178
8.7.4 USB クロック (USBCLK) 178
8.7.5 CANFD クロック (CANFDCLK) 178

8.7.6 CAC クロック (CACCLK) 178
8.7.7 CEC クロック (CECCLK) 178
8.7.8 RTC 専用クロック（RTCSCLK、RTCLCLK） 179
8.7.9 IWDT 専用クロック (IWDTCLK) 179
8.7.10 AGT 専用クロック（AGTSCLK、AGTLCLK） 179
8.7.11 SysTick タイマ専用クロック (SYSTICCLK) 179
8.7.12 外部端子出力クロック (CLKOUT) 179
8.8 使用上の注意 179
8.8.1 クロック発生回路に関する注意事項 179
8.8.2 発振子に関する制限 179
8.8.3 ボード設計に関する注意事項 180
8.8.4 発振子接続端子に関する注意事項 180
8.8.5 サブクロック発振器使用時の注意事項 180
9. クロック周波数精度測定回路 (CAC) 181
9.1 概要 181
9.2 レジスタの説明 182
9.2.1 CACR0 : CAC コントロールレジスタ 0 182
9.2.2 CACR1 : CAC コントロールレジスタ 1 183
9.2.3 CACR2 : CAC コントロールレジスタ 2 183
9.2.4 CAICR : CAC 割り込み要求許可レジスタ 184
9.2.5 CASTR : CAC ステータスレジスタ 185
9.2.6 CAULVR : CAC 上限値設定レジスタ 186
9.2.7 CALLVR : CAC 下限値設定レジスタ 186
9.2.8 CACNTBR : CAC カウンタバッファレジスタ 187
9.3 動作説明 187
9.3.1 クロック周波数測定 187
9.3.2 CACREF 端子のデジタルフィルタ機能 189
9.4 割り込み要求 189
9.5 使用上の注意事項 189
9.5.1 モジュールストップ機能の設定 189
10. 低消費電力モード 190
10.1 概要 190
10.2 レジスタの説明 195
10.2.1 LPMSAR : 低消費電力モードセキュリティ属性レジスタ 195
10.2.2 DPFSAR : ディープスタンバイ割り込み要因セキュリティ属性レジスタ 196
10.2.3 SBYCR : スタンバイコントロールレジスタ 198
10.2.4 MSTPCRA : モジュールストップコントロールレジスタ A 199
10.2.5 MSTPCRB : モジュールストップコントロールレジスタ B 199
10.2.6 MSTPCRC : モジュールストップコントロールレジスタ C 200

10.2.7 MSTPCRD : モジュールストップコントロールレジスタ D 202
10.2.8 MSTPCRE : モジュールストップコントロールレジスタ E 203
10.2.9 OPCCR : 動作電力コントロールレジスタ 204
10.2.10 SOPCCR : サブ動作電力コントロールレジスタ 205
10.2.11 SNZCR : スヌーズコントロールレジスタ 206
10.2.12 SNZEDCR0 : スヌーズ終了コントロールレジスタ 0 207
10.2.13 SNZREQCR0 : スヌーズ要求コントロールレジスタ 0 208
10.2.14 DPSBYCR : ディープスタンバイコントロールレジスタ 210
10.2.15 DPSWCR : ディープスタンバイウェイトコントロールレジスタ 211
10.2.16 DPSIER0 : ディープスタンバイ割り込みイネーブルレジスタ 0 212
10.2.17 DPSIER1 : ディープスタンバイ割り込みイネーブルレジスタ 1 213
10.2.18 DPSIER2 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 2 214
10.2.19 DPSIER3 : ディープスタンバイ割り込みイネーブルレジスタ 3 214
10.2.20 DPSIFR0 : ディープスタンバイ割り込みフラグレジスタ 0 215
10.2.21 DPSIFR1 : ディープスタンバイ割り込みフラグレジスタ 1 216
10.2.22 DPSIFR2 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 2 217
10.2.23 DPSIFR3 : ディープスタンバイ割り込みフラグレジスタ 3 218
10.2.24 DPSIEGR0 : ディープスタンバイ割り込みエッジレジスタ 0 219
10.2.25 DPSIEGR1 : ディープスタンバイ割り込みエッジレジスタ 1 220
10.2.26 DPSIEGR2 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 2 221
10.2.27 SYOCDCR : システムコントロール OCD コントロールレジスタ 221
10.3 クロックの切り替えによる消費電力の低減 222
10.4 モジュールストップ機能 222
10.5 動作電力低減機能 223
10.5.1 動作電力制御モードの設定方法 223
10.6 スリープモード 224
10.6.1 スリープモードへの遷移 224
10.6.2 スリープモードの解除 224
10.7 ソフトウェアスタンバイモード 225
10.7.1 ソフトウェアスタンバイモードへの遷移 225
10.7.2 ソフトウェアスタンバイモードの解除 226
10.7.3 ソフトウェアスタンバイモードの応用例 227
10.8 スヌーズモード 228
10.8.1 スヌーズモードへの遷移 228
10.8.2 スヌーズモードの解除 229
10.8.3 スヌーズモードからソフトウェアスタンバイモードへの復帰 229
10.8.4 スヌーズモードの動作例 231
10.9 ディープソフトウェアスタンバイモード 234
10.9.1 ディープソフトウェアスタンバイモードへの移行 234
10.9.2 ディープソフトウェアスタンバイモードの解除 235

10.9.3 ディープソフトウェアスタンバイモード解除時の端子状態 236
10.9.4 ディープソフトウェアスタンバイモードの応用例 236
10.9.5 ディープソフトウェアスタンバイモード使用時のフローチャート 237
10.10 使用上の注意 238
10.10.1 レジスタアクセス 238
10.10.2 I/O ポートの端子状態 240
10.10.3 DTC、DMAC のモジュールストップ状態 240
10.10.4 内部割り込み要因 240
10.10.5 DIRQnE ビットによる入力バッファ制御 240
10.10.6 低消費電力モードへの遷移 240
10.10.7 WFI 命令のタイミング 241
10.10.8 スリープモード／スヌーズモード時の DTC または DMAC による WDT/IWDT レジスタの書き込みについて 241
10.10.9 スヌーズモードにおける発振器について 241
10.10.10 RXD0 の立ち下がりエッジによるスヌーズモードエントリ 241
10.10.11 スヌーズモードにおける SCI0 の UART の使用 241
10.10.12 スヌーズモードにおける A/D 変換開始条件 241
10.10.13 スヌーズモードにおける ELC イベント 241
10.10.14 モジュールストップビット書き込みタイミング 242
10.10.15 Sleep-on-exit 機能 242
10.10.16 低消費電力モードへの遷移中の割り込み 242

11. レジスタライトプロテクション 245
11.1 概要 245
11.2 レジスタの説明 245
11.2.1 PRCR : プロテクトレジスタ 245

12. 割り込みコントローラユニット (ICU) 247
12.1 概要 247
12.2 レジスタの説明 248
12.2.1 ICUSARA : 割り込みコントローラセキュリティ属性レジスタ A 249
12.2.2 ICUSARB : 割り込みコントローラセキュリティ属性レジスタ B 249
12.2.3 ICUSARC : 割り込みコントローラセキュリティ属性レジスタ C 250
12.2.4 ICUSARD : 割り込みコントローラセキュリティ属性レジスタ D 251
12.2.5 ICUSARE : 割り込みコントローラセキュリティ属性レジスタ E 251
12.2.6 ICUSARF : 割り込みコントローラセキュリティ属性レジスタ F 252
12.2.7 ICUSARG : 割り込みコントローラセキュリティ属性レジスタ G 253
12.2.8 ICUSARH : 割り込みコントローラセキュリティ属性レジスタ H 253
12.2.9 ICUSARI : 割り込みコントローラセキュリティ属性レジスタ I 254
12.2.10 IRQCRi : IRQ コントロールレジスタ i (i = 0～14) 254
12.2.11 NMISR : ノンマスカブル割り込みステータスレジスタ 255
12.2.12 NMIER : ノンマスカブル割り込みイネーブルレジスタ 258

12.2.13 NMICLR : ノンマスカブル割り込みステータスクリアレジスタ 260
12.2.14 NMICR : NMI 端子割り込みコントロールレジスタ 262
12.2.15 IELSRn : ICU イベントリンク設定レジスタ n (n = 0〜95) 263
12.2.16 DELSRn : DMAC イベントリンク設定レジスタ n (n = 0〜7) 264
12.2.17 SELSR0 : SYS イベントリンク設定レジスタ 265
12.2.18 WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0 266
12.2.19 WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1 267
12.3 ベクタテーブル 268
12.3.1 割り込みベクタテーブル 268
12.3.2 イベント番号 270
12.4 割り込み動作 275
12.4.1 割り込みの検出 275
12.5 割り込みの設定手順 276
12.5.1 割り込み要求の許可 276
12.5.2 割り込み要求の禁止 276
12.5.3 割り込みのポーリング 276
12.5.4 割り込み要求先の選択 276
12.5.5 デジタルフィルタ 278
12.5.6 外部端子割り込みの設定手順 279
12.6 ノンマスカブル割り込みの設定手順 279
12.6.1 NMI による TrustZone-M との対応関係 280
12.7 低消費電力モードからの復帰 281
12.7.1 スリープモードからの復帰 281
12.7.2 ソフトウェアスタンバイモードからの復帰 282
12.7.3 スヌーズモードからの復帰 282
12.8 ノンマスカブル割り込みとともに WFI 命令を使用する場合 282
12.9 参考資料 282
13. バス 283
13.1 概要 283
13.2 バスの説明 284
13.2.1 アービトレーション 284
13.2.2 並列動作 284
13.2.3 制約事項 285
13.3 レジスタの説明 285
13.3.1 BUSSARA : バスセキュリティ属性レジスタ A 285
13.3.2 BUSSARB : バスセキュリティ属性レジスタ B 286
13.3.3 BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = FHBIU, FLBIU, S0BIU) 287
13.3.4 BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = PSBIU, PLBIU, PHBIU) 287

13.3.5 BUSnERRADD : バスエラーアドレスレジスタ（n = 1〜3） 288
13.3.6 BUSnERRRW : バスエラーリードライトレジスタ（n = 1〜3） 288
13.3.7 BTZFnERRADD : バス TZF エラーアドレスレジスタ（n = 1〜3） 289
13.3.8 BTZFnERRRW : バス TZF エラーリードライトレジスタ（n = 1〜3） 290
13.3.9 BUSnERRSTAT : バスエラーステータスレジスタ n（n = 1〜3） 290
13.3.10 DMACDTCERRSTAT : DMAC/DTC エラーステータスレジスタ 292
13.3.11 BUSnERRCLR : バスエラークリアレジスタ n（n = 1〜3） 292
13.3.12 DMACDTCERRCLR : DMAC/DTC エラークリアレジスタ 293
13.4 バスエラー監視部 293
13.4.1 バスエラーの種類 293
13.4.2 バスエラー発生時の動作 294
13.4.3 不正アドレスアクセスエラーを引き起こす条件 295
13.4.4 タイムアウト 296
13.5 参考資料 296
13.6 キャッシュ 296
13.6.1 概要 296
13.6.2 レジスタの説明 298
13.6.3 動作説明 303
13.6.4 使用上の注意事項 308
14. メモリプロテクションユニット (MPU) 310
14.1 概要 310
14.2 Arm MPU 310
14.3 バスマスタ MPU 310
14.3.1 レジスタの説明 311
14.3.2 機能説明 319
14.4 参考資料 322
15. DMA コントローラ (DMAC) 323
15.1 概要 323
15.2 レジスタの説明 325
15.2.1 DMACSAR : DMAC コントローラセキュリティ属性レジスタ 325
15.2.2 DMSAR : DMA 転送元アドレスレジスタ 325
15.2.3 DMSRR : DMA 転送元リロードアドレスレジスタ 326
15.2.4 DMDAR : DMA 転送先アドレスレジスタ 326
15.2.5 DMDRR : DMA 転送先リロードアドレスレジスタ 327
15.2.6 DMCRA : DMA 転送カウントレジスタ 327
15.2.7 DMCRB : DMA ブロック転送カウントレジスタ 329
15.2.8 DMTMD : DMA 転送モードレジスタ 329
15.2.9 DMINT : DMA 割り込み設定レジスタ 330
15.2.10 DMAMD : DMA アドレスモードレジスタ 332

15.2.11 DMOFR : DMA オフセットレジスタ 334
15.2.12 DMCNT : DMA 転送イネーブルレジスタ 335
15.2.13 DMREQ : DMA ソフトウェア起動レジスタ 336
15.2.14 DMSTS : DMA ステータスレジスタ 337
15.2.15 DMSBS : DMA 転送元バッファサイズレジスタ 338
15.2.16 DMDBS : DMA 転送先バッファサイズレジスタ 339
15.2.17 DMAST : DMAC モジュール起動レジスタ 340
15.2.18 DMECHR : DMAC エラーチャネルレジスタ 341
15.3 動作説明 342
15.3.1 転送モード 342
15.3.2 拡張リピート領域機能 350
15.3.3 フリーランニング機能 352
15.3.4 オフセットを使用したアドレス更新機能 353
15.3.5 リピートブロック転送モードにおけるアドレス更新機能 357
15.3.6 リピートブロック転送モードの使用例 359
15.3.7 起動要因 362
15.3.8 動作タイミング 362
15.3.9 DMAC の実行サイクル 363
15.3.10 DMAC の起動 364
15.3.11 DMA 転送の開始 366
15.3.12 DMA 転送中のレジスタ 366
15.3.13 チャネル優先順位 367
15.3.14 チャネルセキュリティ 367
15.3.15 DMAC のマスタ TrustZone フィルタ 368
15.4 DMA 転送の終了 368
15.4.1 設定した総転送回数完了による転送終了 369
15.4.2 リピートサイズ終了割り込みによる転送終了 369
15.4.3 拡張リピート領域オーバーフロー割り込みによる転送終了 369
15.5 DMA 転送エラーの処理 370
15.5.1 NMI ハンドラの処理 370
15.5.2 エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラの処理 373
15.6 割り込み 379
15.6.1 転送終了割り込み 379
15.6.2 転送エラー割り込み 381
15.7 イベントリンク 382
15.8 低消費電力機能 382
15.9 使用上の注意事項 382
15.9.1 DMA 転送中のレジスタアクセスについて 382
15.9.2 予約領域への DMA 転送について 383

15.9.3 割り込みコントローラユニットの DMAC イベントリンク設定レジスタ n (ICU.DELSRn) の設定 (n = 0～7) 383
15.9.4 DMAC 起動の保留／再開に関する注意事項 383
15.9.5 DMA 転送再開時の注意事項 383
16. データトランスファコントローラ (DTC) 385
16.1 概要 385
16.2 レジスタの説明 386
16.2.1 DTCSAR : DTC コントローラセキュリティ属性レジスタ 387
16.2.2 MRA : DTC モードレジスタ A 387
16.2.3 MRB : DTC モードレジスタ B 388
16.2.4 SAR : DTC 転送元レジスタ 389
16.2.5 DAR : DTC 転送先レジスタ 389
16.2.6 CRA : DTC 転送カウントレジスタ A 390
16.2.7 CRB : DTC 転送カウントレジスタ B 390
16.2.8 DTCCR : DTC コントロールレジスタ 391
16.2.9 DTCCR_SEC : DTC コントロールレジスタ（セキュア領域） 391
16.2.10 DTCVBR : DTC ベクタベースアドレス 392
16.2.11 DTCVBR_SEC : DTC ベクタベースレジスタ（セキュア領域） 392
16.2.12 DTCST : DTC モジュール起動レジスタ 392
16.2.13 DTCSTS : DTC ステータスレジスタ 393
16.2.14 DTEVR : DTC エラーベクタレジスタ 394
16.3 起動要因 395
16.3.1 転送情報の配置と DTC ベクタテーブル 395
16.4 動作説明 397
16.4.1 転送情報のリードスキップ機能 399
16.4.2 転送情報のライトバックスキップ機能 399
16.4.3 ノーマル転送モード 400
16.4.4 リピート転送モード 401
16.4.5 ブロック転送モード 402
16.4.6 チェーン転送 403
16.4.7 動作タイミング 404
16.4.8 DTC の実行サイクル 406
16.4.9 DTC のバス権解放タイミング 407
16.4.10 ベクタセキュリティ 407
16.4.11 DTC のマスタ TrustZone フィルタ 407
16.5 DTC の設定手順 407
16.6 DTC の使用例 408
16.6.1 ノーマル転送 408
16.6.2 チェーン転送 408
16.6.3 転送カウンタ = 0 のときのチェーン転送 410

16.7 DTC 転送エラーにおける処理 411
16.7.1 NMI ハンドラにおける処理 412
16.7.2 エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラにおける処理 415
16.8 割り込み 421
16.8.1 転送終了割り込み要求 421
16.8.2 転送エラーの割り込み要求 421
16.9 イベントリンク 422
16.10 低消費電力機能 422
16.11 使用上の注意 423
16.11.1 転送情報の開始アドレス 423
17. イベントリンクコントローラ (ELC) 424
17.1 概要 424
17.2 レジスタの説明 425
17.2.1 ELCR : イベントリンクコントローラレジスタ 425
17.2.2 ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0, 1) 426
17.2.3 ELSRn : イベントリンク設定レジスタ n (n = 0〜9, 12〜17, 23) 427
17.2.4 ELCSARA : イベントリンクコントローラセキュリティ属性レジスタ A 431
17.2.5 ELCSARB : イベントリンクコントローラセキュリティ属性レジスタ B 432
17.2.6 ELCSARC : イベントリンクコントローラセキュリティ属性レジスタ C 432
17.3 動作説明 432
17.3.1 割り込み処理とイベントリンクの関係 432
17.3.2 イベントのリンク 432
17.3.3 イベントリンクの手順例 433
17.4 使用上の注意事項 433
17.4.1 DMAC/DTC 転送終了のイベントリンクを使用する場合 433
17.4.2 クロックの設定について 433
17.4.3 モジュールストップ機能の設定 434
17.4.4 ELC 遅延時間 434
18. I/O ポート 435
18.1 概要 435
18.2 レジスタの説明 436
18.2.1 PCNTR1/PODR/PDR : ポートコントロールレジスタ 1 436
18.2.2 PCNTR2/EIDR/PIDR : ポートコントロールレジスタ 2 437
18.2.3 PCNTR3/PORR/POSR : ポートコントロールレジスタ 3 438
18.2.4 PCNTR4/EORR/EOSR : ポートコントロールレジスタ 4 439
18.2.5 PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0〜5, 8, n = 00〜15) 440
18.2.6 PWPR : 書き込みプロテクトレジスタ 442
18.2.7 PWPRS : セキュア用書き込みプロテクトレジスタ 443
18.2.8 PmSAR : ポートセキュリティ属性レジスタ (m = 0〜5, 8) 443

18.2.9 PFI3C : RI3C スロープコントロールレジスタ 444
18.3 動作 444
18.3.1 汎用入出力ポート 444
18.3.2 ポート機能選択 445
18.3.3 ELC のポートグループ機能 445
18.4 未使用端子の処理 447
18.5 使用上の注意 447
18.5.1 端子機能の設定手順 447
18.5.2 ポートグループ入力の使用手順 448
18.5.3 ポート出力データレジスタ (PODR) の概要 448
18.5.4 アナログ機能使用時の注意事項 448
18.5.5 入出力バッファの仕様 448
18.6 製品ごとの周辺選択設定 450
19. GPT 用のポートアウトプットイネーブル (POEG) 455
19.1 概要 455
19.2 レジスタの説明 457
19.2.1 POEGGn : POEG グループ n 設定レジスタ （n = A～D） 457
19.3 出力禁止制御の動作 458
19.3.1 端子入力レベル検出時の動作 458
19.3.2 GPT からの出力禁止要求 459
19.3.3 発振停止検出による出力禁止制御 459
19.3.4 レジスタによる出力禁止制御 459
19.3.5 出力禁止状態の解除 459
19.4 割り込み要因 460
19.5 GPT に対する外部トリガ出力 460
19.6 使用上の注意 461
19.6.1 ソフトウェアスタンバイモードへの遷移 461
19.6.2 GPT 対応端子の指定 461
20. 汎用 PWM タイマ (GPT) 462
20.1 概要 462
20.2 レジスタの説明 465
20.2.1 GTWP : 汎用 PWM タイマ書き込み保護レジスタ 465
20.2.2 GTSTR : 汎用 PWM タイマソフトウェアスタートレジスタ 467
20.2.3 GTSTP : 汎用 PWM タイマソフトウェアストップレジスタ 468
20.2.4 GTCLR : 汎用 PWM タイマソフトウェアクリアレジスタ 468
20.2.5 GTSSR : 汎用 PWM タイマスタート要因選択レジスタ 469
20.2.6 GTPSR : 汎用 PWM タイマストップ要因選択レジスタ 472
20.2.7 GTCSR : 汎用 PWM タイマクリア要因選択レジスタ 476
20.2.8 GTUPSR : 汎用 PWM タイマアップカウント要因選択レジスタ 479

20.2.9 GTDNSR : 汎用 PWM タイマダウンカウント要因選択レジスタ 482
20.2.10 GTICASR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A..... 486
20.2.11 GTICBSR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B..... 489
20.2.12 GTCR : 汎用 PWM タイマコントロールレジスタ 492
20.2.13 GTUDDTYC : 汎用 PWM タイマカウント方向、デューティー設定レジスタ 494
20.2.14 GTIOR : 汎用 PWM タイマ I/O コントロールレジスタ 496
20.2.15 GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ 500
20.2.16 GTST : 汎用 PWM タイマステータスレジスタ 502
20.2.17 GTBER : 汎用 PWM タイマバッファイネーブルレジスタ 508
20.2.18 GTITC : 汎用 PWM タイマ割り込みおよび A/D 変換開始要求間引き設定レジスタ 511
20.2.19 GTCNT : 汎用 PWM タイマカウンタ 513
20.2.20 GTCCRk : 汎用 PWM タイマコンペアキャプチャレジスタ k（k = A～F） 513
20.2.21 GTPR : 汎用 PWM タイマ周期設定レジスタ 513
20.2.22 GTPBR : 汎用 PWM タイマ周期設定バッファレジスタ 514
20.2.23 GTPDBR : 汎用 PWM タイマ周期設定ダブルバッファレジスタ 514
20.2.24 GTADTRk : A/D 変換開始要求タイミングレジスタ k (k = A, B) 514
20.2.25 GTADTBRk : A/D 変換開始要求タイミングバッファレジスタ k (k = A, B) 515
20.2.26 GTADTDBRk : A/D 変換開始要求タイミングダブルバッファレジスタ k (k = A, B)..... 515
20.2.27 GTDTCR : 汎用 PWM タイマデッドタイムコントロールレジスタ 516
20.2.28 GTDVk : 汎用 PWM タイマデッドタイム値レジスタ k (k = U, D)..... 517
20.2.29 GTDBk : 汎用 PWM タイマデッドタイムバッファレジスタ k (k = U, D) 517
20.2.30 GTSOS : 汎用 PWM タイマ出力保護機能ステータスレジスタ 518
20.2.31 GTSOTR : 汎用 PWM タイマ出力保護機能一時解除レジスタ 518
20.2.32 GTADSMR : 汎用 PWM タイマ A/D 変換開始要求信号監視レジスタ 519
20.2.33 GTICLF : 汎用 PWM タイマチャネル間論理演算機能設定レジスタ 520
20.2.34 GTPC : 汎用 PWM タイマ周期カウントレジスタ 522
20.2.35 GTSECSR : 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ 523
20.2.36 GTSECR : 汎用 PWM タイマ動作許可ビット同時制御レジスタ 524
20.2.37 OPSCR : 出力相切り替えコントロールレジスタ 526
20.3 動作説明 529
20.3.1 基本動作 529
20.3.2 バッファ動作 537
20.3.3 PWM 出力動作モード 547
20.3.4 デッドタイム自動設定機能 557
20.3.5 カウント方向切り替え機能 561
20.3.6 出力デューティー 0%および出力デューティー 100%機能 562
20.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作 564
20.3.8 同期動作 569
20.3.9 PWM 出力動作例 574
20.3.10 周期計数機能 579

20.3.11 位相計数機能 580
20.3.12 出力相切り替え (GPT_OPS) 590
20.3.13 チャネル間論理演算機能 597
20.4 割り込み要因 598
20.4.1 割り込み要因と優先順位 598
20.4.2 DMAC/DTC の起動 601
20.4.3 割り込みおよび A/D 変換開始要求間引き機能 601
20.5 A/D 変換開始要求 605
20.6 ELC によるリンク動作 608
20.6.1 ELC へのイベント信号出力 608
20.6.2 ELC からのイベント信号入力 608
20.7 ノイズフィルタ機能 609
20.8 保護機能 609
20.8.1 レジスタの書き込み保護 609
20.8.2 バッファ動作の禁止 609
20.8.3 GTIOCnm 端子出力の出力禁止制御 (n = 0, 1, 4, 5, m = A, B) 611
20.8.4 GTIOCnm 端子出力の出力保護機能 612
20.9 出力端子の初期化方法 618
20.9.1 リセット後の端子設定 618
20.9.2 動作中の異常による端子の初期化 619
20.10 使用上の注意事項 619
20.10.1 モジュールストップ機能の設定 619
20.10.2 コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A～F) 619
20.10.3 GTCNT カウンタの範囲設定 620
20.10.4 GTCNT カウンタのスタート／ストップ 620
20.10.5 イベントごとの優先順位 621
21. 低消費電力非同期汎用タイマ (AGTW) 622
21.1 概要 622
21.2 レジスタの説明 623
21.2.1 AGT : AGT カウンタレジスタ 623
21.2.2 AGTCMA : AGT コンペアマッチ A レジスタ 624
21.2.3 AGTCMB : AGT コンペアマッチ B レジスタ 624
21.2.4 AGTCR : AGT コントロールレジスタ 625
21.2.5 AGTMR1 : AGT モードレジスタ 1 626
21.2.6 AGTMR2 : AGT モードレジスタ 2 627
21.2.7 AGTIOC : AGT I/O コントロールレジスタ 628
21.2.8 AGTISR : AGT イベント端子選択レジスタ 630
21.2.9 AGTCMSR : AGT コンペアマッチ機能選択レジスタ 630
21.2.10 AGTIOSEL : AGT 端子選択レジスタ 631
21.3 動作説明 631

21.3.1 リロードレジスタおよびカウンタの書き換え動作 631
21.3.2 リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作 633
21.3.3 タイマモード 634
21.3.4 パルス出力モード 635
21.3.5 イベントカウンタモード 636
21.3.6 パルス幅測定モード 637
21.3.7 パルス周期測定モード 638
21.3.8 コンペアマッチ機能 639
21.3.9 各モードの出力設定 640
21.3.10 スタンバイモード 641
21.3.11 割り込み要因 642
21.3.12 イベントリンクコントローラ (ELC) へのイベント信号出力 643
21.4 使用上の注意事項 643
21.4.1 カウント動作の開始および停止制御 643
21.4.2 カウンタレジスタへのアクセス 643
21.4.3 モード変更時 643
21.4.4 出力端子の設定 643
21.4.5 デジタルフィルタ 644
21.4.6 イベント番号、パルス幅およびパルス周期の計算方法 644
21.4.7 TSTOP ビットで強制的にカウントを停止した場合 644
21.4.8 カウントソースとして AGT0 のアンダーフローイベント信号を選択した場合 644
21.4.9 モジュールストップ機能 644
21.4.10 ソースクロックの切り替え時 644
22. リアルタイムクロック (RTC) 645
22.1 概要 645
22.2 レジスタの説明 646
22.2.1 R64CNT : 64 Hz カウンタ 647
22.2.2 RSECCNT : 秒カウンタ（カレンダーカウントモード時） 647
22.2.3 RMINCNT : 分カウンタ（カレンダーカウントモード時） 648
22.2.4 RHRCNT : 時カウンタ（カレンダーカウントモード時） 648
22.2.5 RWKCNT : 曜日カウンタ（カレンダーカウントモード時） 649
22.2.6 BCNTn : バイナリカウンタ n (n = 0～3)（バイナリカウントモード時） 649
22.2.7 RDAYCNT : 日カウンタ 650
22.2.8 RMONCNT : 月カウンタ 650
22.2.9 RYRCNT : 年カウンタ 651
22.2.10 RSECAR : 秒アラームレジスタ（カレンダーカウントモード時） 651
22.2.11 RMINAR : 分アラームレジスタ（カレンダーカウントモード時） 652
22.2.12 RHRAR : 時アラームレジスタ（カレンダーカウントモード時） 652
22.2.13 RWKAR : 曜日アラームレジスタ（カレンダーカウントモード時） 653

22.2.14 BCNTnAR : バイナリカウンタ n アラームレジスタ (n = 0～3)（バイナリカウントモード時） 654
22.2.15 RDAYAR : 日アラームレジスタ（カレンダーカウントモード時） 654
22.2.16 RMONAR : 月アラームレジスタ（カレンダーカウントモード時） 655
22.2.17 RYRAR : 年アラームレジスタ（カレンダーカウントモード時） 656
22.2.18 RYRAREN : 年アラームイネーブルレジスタ（カレンダーカウントモード時） 656
22.2.19 BCNTnAER : バイナリカウンタ n アラームイネーブルレジスタ (n = 0, 1)（バイナリカウントモード時） 657
22.2.20 BCNT2AER : バイナリカウンタ 2 アラームイネーブルレジスタ （バイナリカウントモード時） 657
22.2.21 BCNT3AER : バイナリカウンタ 3 アラームイネーブルレジスタ （バイナリカウントモード時） 657
22.2.22 RCR1 : RTC コントロールレジスタ 1 658
22.2.23 RCR2 : RTC コントロールレジスタ 2（カレンダーカウントモード時） 659
22.2.24 RCR2 : RTC コントロールレジスタ 2（バイナリカウントモード時） 661
22.2.25 RCR4 : RTC コントロールレジスタ 4 662
22.2.26 RFRL : 周波数レジスタ L 663
22.2.27 RFRH : 周波数レジスタ H 663
22.2.28 RADJ : 時間誤差補正レジスタ 664
22.2.29 RTCCRn : 時間キャプチャコントロールレジスタ n (n = 0, 1) 664
22.2.30 RSECCPn : 秒キャプチャレジスタ n (n = 0, 1) （カレンダーカウントモード時） 666
22.2.31 RMINCPn : 分キャプチャレジスタ n (n = 0, 1) （カレンダーカウントモード時） 666
22.2.32 RHRCPn : 時キャプチャレジスタ n (n = 0, 1) （カレンダーカウントモード時） 667
22.2.33 RDAYCPn : 日キャプチャレジスタ n (n = 0, 1) （カレンダーカウントモード時） 667
22.2.34 RMONCPn : 月キャプチャレジスタ n (n = 0, 1) （カレンダーカウントモード時） 668
22.2.35 BCNTnCPm : BCNTn キャプチャレジスタ m (n= 0～3, m = 0, 1)（バイナリカウントモード時） 668
22.3 動作説明 668
22.3.1 電源投入後のレジスタ初期設定の概要 668
22.3.2 クロックおよびカウントモードの設定手順 669
22.3.3 時刻の設定 670
22.3.4 30 秒調整 671
22.3.5 64 Hz カウンタと時刻の読み出し 672
22.3.6 アラーム機能 674
22.3.7 アラーム割り込み禁止手順 675
22.3.8 時間誤差補正機能 675
22.3.9 時間キャプチャ機能 677
22.4 割り込み要因 678
22.5 イベントリンク出力機能 679
22.5.1 割り込み処理とイベントリンクの関係 680
22.6 使用上の注意事項 680

22.6.1 カウント動作時のレジスタ書き込みについて 680
22.6.2 周期割り込みの使用について 680
22.6.3 RTCOUT (1 Hz/64 Hz) クロック出力について 681
22.6.4 レジスタ設定後の低消費電力モードへの遷移について 681
22.6.5 レジスタの書き込み／読み出し時の注意事項 681
22.6.6 カウントモードの変更について 681
22.6.7 RTC を使用しない場合の初期化手順 681
22.6.8 ソースクロック切り替え時 682

23. ウォッチドッグタイマ (WDT) 683
23.1 概要 683
23.2 レジスタの説明 684
23.2.1 WDTRR : WDT リフレッシュレジスタ 684
23.2.2 WDTCR : WDT コントロールレジスタ 685
23.2.3 WDTSR : WDT ステータスレジスタ 687
23.2.4 WDTRCR : WDT リセットコントロールレジスタ 689
23.2.5 WDTCSTPR : WDT カウント停止コントロールレジスタ 689
23.2.6 オプション機能選択レジスタ 0 (OFS0) 690
23.3 動作説明 690
23.3.1 スタートモード別のカウント動作 690
23.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御 693
23.3.3 リフレッシュ動作 694
23.3.4 ステータスフラグ 695
23.3.5 リセット出力 695
23.3.6 割り込み要因 695
23.3.7 ダウンカウンタ値の読み出し 696
23.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係 696
23.4 イベントリンクコントローラ (ELC) への出力 697
23.5 使用上の注意事項 697
23.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限 697

24. 独立ウォッチドッグタイマ (IWDT) 698
24.1 概要 698
24.2 レジスタの説明 699
24.2.1 IWDTRR : IWDT リフレッシュレジスタ 699
24.2.2 IWDTSR : IWDT ステータスレジスタ 700
24.2.3 OFS0 : オプション機能選択レジスタ 0 701
24.3 動作説明 703
24.3.1 オートスタートモード 703
24.3.2 リフレッシュ動作 704
24.3.3 ステータスフラグ 706

24.3.4 リセット出力 706
24.3.5 割り込み要因 706
24.3.6 ダウンカウンタ値の読み出し 706
24.4 イベントリンクコントローラ (ELC) への出力 707
24.5 使用上の注意事項 707
24.5.1 リフレッシュ動作 707
24.5.2 クロック分周比の設定に関する制限 707
24.5.3 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限 707
25. USB2.0 フルスピードモジュール (USBFS) 708
25.1 概要 708
25.2 レジスタの説明 709
25.2.1 SYSCFG : システムコンフィグレーションコントロールレジスタ 709
25.2.2 SYSSTS0 : システムコンフィグレーションステータスレジスタ 0 710
25.2.3 DVSTCTR0 : デバイスステートコントロールレジスタ 0 711
25.2.4 CFIFO/CFIFOL : CFIFO ポートレジスタ 712
25.2.5 CFIFOSEL : CFIFO ポート選択レジスタ 713
25.2.6 CFIFOCTR : CFIFO ポートコントロールレジスタ 714
25.2.7 INTENB0 : 割り込みイネーブルレジスタ 0 715
25.2.8 BRDYENB : BRDY 割り込みイネーブルレジスタ 716
25.2.9 NRDYENB : NRDY 割り込みイネーブルレジスタ 717
25.2.10 BEMPENB : BEMP 割り込みイネーブルレジスタ 718
25.2.11 SOFCFG : SOF 出力コンフィグレーションレジスタ 718
25.2.12 INTSTS0 : 割り込みステータスレジスタ 0 719
25.2.13 BRDYSTS : BRDY 割り込みステータスレジスタ 721
25.2.14 NRDYSTS : NRDY 割り込みステータスレジスタ 722
25.2.15 BEMPSTS : BEMP 割り込みステータスレジスタ 722
25.2.16 FRMNUM : フレームナンバレジスタ 723
25.2.17 DVCHGR : デバイスステート切り替えレジスタ 723
25.2.18 USBADDR : USB アドレスレジスタ 724
25.2.19 USBREQ : USB リクエストタイプレジスタ 724
25.2.20 USBVAL : USB リクエストバリューレジスタ 725
25.2.21 USBINDX : USB リクエストインデックスレジスタ 725
25.2.22 USBLENG : USB リクエストレングスレジスタ 726
25.2.23 DCPCFG : DCP コンフィグレーションレジスタ 726
25.2.24 DCPMAXP : DCP マックスパケットサイズレジスタ 727
25.2.25 DCPCTR : DCP コントロールレジスタ 727
25.2.26 PIPESEL : パイプウィンドウ選択レジスタ 729
25.2.27 PIPECFG : パイプコンフィグレーションレジスタ 730
25.2.28 PIPEMAXP : パイプマックスパケットサイズレジスタ 731
25.2.29 PIPEnCTR : パイプ n コントロールレジスタ (n = 4, 5) 732

25.2.30 PIPEnCTR : パイプ n コントロールレジスタ (n = 6, 7) 735
25.2.31 PIPEnTRE : パイプ n トランザクションカウンタ許可レジスタ (n = 4, 5) 737
25.2.32 PIPEnTRN : パイプ n トランザクションカウンタレジスタ (n = 4, 5) 738
25.2.33 PHYSECTRL : PHY シングルエンドレシーバコントロールレジスタ 739
25.2.34 DPUSR0R : ディープソフトウェアスタンバイ USB トランシーバコントロール／端子モニタレジスタ 739
25.2.35 DPUSR1R : ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ 740
25.3 動作説明 741
25.3.1 システムコントロール 741
25.3.2 割り込み 746
25.3.3 割り込みの説明 749
25.3.4 パイプコントロール 756
25.3.5 FIFO バッファ 759
25.3.6 FIFO バッファクリア 760
25.3.7 FIFO ポートの機能 760
25.3.8 DCP を使用したコントロール転送 761
25.3.9 バルク転送（パイプ 4 および 5） 762
25.3.10 インタラプト転送（パイプ 6、7） 763
25.3.11 パイプスケジュール 763
25.4 使用上の注意事項 763
25.4.1 モジュールストップ状態の設定 763
25.4.2 ソフトウェアスタンバイモード解除時の割り込みステータスレジスタのクリア 763
25.4.3 ポート機能設定後の割り込みステータスレジスタのクリア 763
25.4.4 P814 と P815 の制限事項 764
25.4.5 32 ピン製品の制限事項 764
26. シリアルコミュニケーションインタフェース (SCI) 765
26.1 概要 765
26.2 レジスタの説明 768
26.2.1 RSR : 受信シフトレジスタ 768
26.2.2 RDR : 受信データレジスタ 769
26.2.3 RDRHL : 非マンチェスタモード用受信データレジスタ (MMR.MANEN = 0) 769
26.2.4 RDRHL_MAN : マンチェスタモード用受信データレジスタ (MMR.MANEN = 1) 769
26.2.5 FRDRHL/FRDRH/FRDRL : 受信 FIFO データレジスタ 770
26.2.6 TDR : 送信データレジスタ 771
26.2.7 TDRHL : 非マンチェスタモード用送信データレジスタ (MMR.MANEN = 0) 772
26.2.8 TDRHL_MAN : マンチェスタモード用送信データレジスタ (MMR.MANEN = 1) 772
26.2.9 FTDRHL/FTDRH/FTDRL : 送信 FIFO データレジスタ 773
26.2.10 TSR : 送信シフトレジスタ 774
26.2.11 SMR : 非スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 0) 774

26.2.12 SMR_SMCI : スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 1) 776
26.2.13 SCR : 非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 0) 777
26.2.14 SCR_SMCI : スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1) 779
26.2.15 SSR : 非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ（SCMR.SMIF = 0、FCR.FM = 0、および MMR.MANEN = 0） 781
26.2.16 SSR_FIFO : 非スマートカードインタフェースおよび FIFO モード用シリアルステータスレジスタ（SCMR.SMIF = 0、FCR.FM = 1、および MMR.MANEN = 0） 783
26.2.17 SSR_SMCI : スマートカードインタフェースモード用シリアルステータスレジスタ（SCMR.SMIF = 1 かつ MMR.MANEN = 0） 786
26.2.18 SSR_MANC : マンチェスタモード用シリアルステータスレジスタ（SCMR.SMIF = 0 かつ MMR.MANEN = 1） 788
26.2.19 SCMR : スマートカードモードレジスタ 790
26.2.20 BRR : ビットレートレジスタ 792
26.2.21 MDDR : 変調デューティーレジスタ 801
26.2.22 SEMR : シリアル拡張モードレジスタ 804
26.2.23 SNFR : ノイズフィルタ設定レジスタ 806
26.2.24 SIMR1 : IIC モードレジスタ 1 806
26.2.25 SIMR2 : IIC モードレジスタ 2 807
26.2.26 SIMR3 : IIC モードレジスタ 3 808
26.2.27 SISR : IIC ステータスレジスタ 810
26.2.28 SPMR : SPI モードレジスタ 810
26.2.29 FCR : FIFO コントロールレジスタ 812
26.2.30 FDR : FIFO データ数レジスタ 813
26.2.31 LSR : ラインステータスレジスタ 814
26.2.32 CDR : コンペアマッチデータレジスタ 814
26.2.33 DCCR : データコンペアマッチコントロールレジスタ 815
26.2.34 SPTR : シリアルポートレジスタ 816
26.2.35 ACTR : 通信タイミング調節レジスタ 818
26.2.36 MMR : マンチェスタモードレジスタ 819
26.2.37 TMPR : マンチェスタプレフィス設定レジスタの転送 821
26.2.38 RMPR : マンチェスタプレフィス設定レジスタの受信 822
26.2.39 MESR : マンチェスタ拡張エラーステータスレジスタ 823
26.2.40 MECR : マンチェスタ拡張エラーコントロールレジスタ 824
26.3 調歩同期式モードの動作 825
26.3.1 シリアル転送フォーマット 825
26.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 826
26.3.3 クロック 828
26.3.4 倍速動作とビットレートの 6 倍の周波数 828
26.3.5 CTS、RTS 機能 828

26.3.6 アドレス一致（受信データー致）検出機能 829
26.3.7 SCI の初期化（調歩同期式モード） 831
26.3.8 シリアルデータの送信（調歩同期式モード） 833
26.3.9 シリアルデータの受信（調歩同期式モード） 838
26.3.10 受信サンプリングタイミング調節機能（調歩同期式モード） 851
26.3.11 送信タイミング調節機能（調歩同期式モード） 855
26.4 マルチプロセッサ通信機能 860
26.4.1 マルチプロセッサシリアルデータ送信 861
26.4.2 マルチプロセッサシリアルデータ受信 864
26.5 マンチェスタモードの動作 869
26.5.1 フレームフォーマット 870
26.5.2 クロック 874
26.5.3 マンチェスタモードにおける SCI の初期化 874
26.5.4 倍速動作 875
26.5.5 CTS、RTS 機能 875
26.5.6 シリアルデータの送信（マンチェスタモード） 876
26.5.7 シリアルデータの受信（マンチェスタモード） 879
26.5.8 マルチプロセッサが使用されている場合の動作 883
26.5.9 受信再タイミング 883
26.5.10 マンチェスタコードの極性設定 884
26.5.11 マンチェスタモードにおけるエラー 885
26.6 クロック同期式モードの動作 890
26.6.1 クロック 890
26.6.2 CTS、RTS 機能 891
26.6.3 SCI の初期化（クロック同期式モード） 891
26.6.4 シリアルデータの送信（クロック同期式モード） 893
26.6.5 シリアルデータの受信（クロック同期式モード） 897
26.6.6 シリアルデータの同時送受信（クロック同期式モード） 902
26.7 スマートカードインタフェースモードの動作 904
26.7.1 接続例 905
26.7.2 データフォーマット（ブロック転送モード時を除く） 905
26.7.3 ブロック転送モード 907
26.7.4 受信データサンプリングタイミングと受信マージン 907
26.7.5 SCI の初期化（スマートカードインタフェースモード） 908
26.7.6 シリアルデータの送信（ブロック転送モードを除く） 909
26.7.7 シリアルデータの受信（ブロック転送モード時を除く） 911
26.7.8 クロック出力制御 913
26.8 簡易 IIC モードの動作 914
26.8.1 開始条件、再開始条件、停止条件の生成 915
26.8.2 クロック同期化 916

26.8.3 SDAn 出力遅延 ... 917
26.8.4 SCI の初期化（簡易 IIC モード） ... 917
26.8.5 マスタ送信動作（簡易 IIC モード） ... 918
26.8.6 マスタ受信動作（簡易 IIC モード） ... 921
26.9 簡易 SPI モードの動作 ... 923
26.9.1 マスタモード、スレーブモードと各端子の状態 ... 923
26.9.2 マスタモード時の SS 機能 ... 924
26.9.3 スレーブモード時の SS 機能 ... 924
26.9.4 クロックと送受信データの関係 ... 924
26.9.5 SCI の初期化（簡易 SPI モード） ... 925
26.9.6 シリアルデータの送受信（簡易 SPI モード） ... 925
26.10 ビットレート変調機能 ... 925
26.11 割り込み要因 ... 926
26.11.1 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（非 FIFO 選択時） ... 926
26.11.2 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（FIFO 選択時） ... 926
26.11.3 調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI モードにおける割り込み ... 926
26.11.4 スマートカードインタフェースモードにおける割り込み ... 928
26.11.5 簡易 IIC モードにおける割り込み ... 929
26.12 イベントリンク機能 ... 929
26.13 アドレス不一致イベント出力 (SCI0_DCUF) ... 931
26.14 ノイズ除去機能 ... 931
26.15 使用上の注意 ... 932
26.15.1 モジュールストップ機能の設定 ... 932
26.15.2 低消費電力状態での SCI の動作について ... 932
26.15.3 ブレークの検出と処理について ... 936
26.15.4 マーク状態とブレークの送出 ... 937
26.15.5 受信エラーフラグと送信動作について（クロック同期式モードおよび簡易 SPI モード） 937
26.15.6 クロック同期送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード） ... 937
26.15.7 DTC または DMAC 使用時の制約事項 ... 938
26.15.8 通信の開始に関する注意事項 ... 939
26.15.9 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力 ... 939
26.15.10 簡易 SPI モードに関する制限事項 ... 939
26.15.11 送信許可ビット (SCR.TE) に関する注意事項 ... 940
26.15.12 調歩同期式モードで RTS 機能を使用した時の受信の停止について ... 940

27. I3C バスインタフェース (I3C) ... 941

27.1 概要 ... 941
27.1.1 機能概要 ... 941
27.1.2 ブロック図［I^2C/I3C 共通］ ... 943
27.2 レジスタの説明 ... 944

27.2.1 PRTS : プロトコル選択レジスタ 944
27.2.2 BCTL : バスコントロールレジスタ 945
27.2.3 MSDVAD : マスタデバイスアドレスレジスタ 946
27.2.4 RSTCTL : リセットコントロールレジスタ 947
27.2.5 PRSST : 現在ステートレジスタ 949
27.2.6 INST : 内部ステータスレジスタ 951
27.2.7 INSTE : 内部ステータス有効レジスタ 952
27.2.8 INIE : 内部割り込み許可レジスタ 952
27.2.9 INSTFC : 内部ステータス強制レジスタ 953
27.2.10 DVCT : デバイス特性テーブルレジスタ 953
27.2.11 IBINCTL : IBI 通知コントロールレジスタ 954
27.2.12 BFCTL : バス機能コントロールレジスタ 955
27.2.13 SVCTL : スレーブコントロールレジスタ 957
27.2.14 REFCKCTL : リファレンスクロックコントロールレジスタ 958
27.2.15 STDBR : スタンダードビットレートレジスタ 959
27.2.16 EXTBR : 拡張ビットレートレジスタ 961
27.2.17 BFRECDT : バスフリー状態検出時間レジスタ 962
27.2.18 BAVLCDT : バス利用可能状態検出時間レジスタ 963
27.2.19 BIDLCDT : バスアイドル状態検出時間レジスタ 963
27.2.20 OUTCTL : 出力コントロールレジスタ 964
27.2.21 INCTL : 入力コントロールレジスタ 965
27.2.22 TMOCTL : タイムアウトコントロールレジスタ 966
27.2.23 WUCTL : ウェイクアップユニットコントロールレジスタ 967
27.2.24 ACKCTL : アクノリッジコントロールレジスタ 968
27.2.25 SCSTRCTL : SCL ストレッチコントロールレジスタ 969
27.2.26 SCSTLCTL : SCL ストールコントロールレジスタ 970
27.2.27 SVTDLG0 : スレーブ転送データ長レジスタ 0 972
27.2.28 STCTL : 同期タイミングコントロールレジスタ 972
27.2.29 ATCTL : 非同期タイミングコントロールレジスタ 972
27.2.30 ATTRG : 非同期タイミングトリガレジスタ 973
27.2.31 ATCCNTE : 非同期タイミングコントロールカウンタイネーブルレジスタ 973
27.2.32 CNDCTL : 条件コントロールレジスタ 974
27.2.33 NCMDQP : 通常コマンドキューポートレジスタ 975
27.2.34 NRSPQP : 通常レスポンスキューポートレジスタ 976
27.2.35 NTDTBP0/NTDTBP0_BY : 通常転送データバッファポートレジスタ 0 976
27.2.36 NIBIQP : 通常 IBI キューポートレジスタ 977
27.2.37 NRSQP : 通常受信ステータスキューポートレジスタ 978
27.2.38 HCMDQP : 優先コマンドキューポートレジスタ 978
27.2.39 HRSPQP : 優先レスポンスキューポートレジスタ 978
27.2.40 HTDTBP : 優先転送データバッファポートレジスタ 979

27.2.41 NQTHCTL : 通常キュースレッショルドコントロールレジスタ 979
27.2.42 NTBTHCTL0 : 通常転送データバッファスレッショルドコントロールレジスタ 0 981
27.2.43 NRQTHCTL : 通常受信ステータスキュースレッショルドコントロールレジスタ 982
27.2.44 HQTHCTL : 優先キュースレッショルドコントロールレジスタ 983
27.2.45 HTBTHCTL : 優先転送データバッファスレッショルドコントロールレジスタ 984
27.2.46 BST : バスステータスレジスタ 985
27.2.47 BSTE : バスステータス許可レジスタ 988
27.2.48 BIE : バス割り込み許可レジスタ 990
27.2.49 BSTFC : バスステータス強制レジスタ 991
27.2.50 NTST : 通常転送ステータスレジスタ 992
27.2.51 NTSTE : 通常転送ステータス許可レジスタ 997
27.2.52 NTIE : 通常転送割り込み許可レジスタ 998
27.2.53 NTSTFC : 通常転送ステータス強制レジスタ 1000
27.2.54 HTST : 優先転送ステータスレジスタ 1001
27.2.55 HTSTE : 優先転送ステータスイネーブルレジスタ 1004
27.2.56 HTIE : 優先転送割り込み許可レジスタ 1005
27.2.57 HTSTFC : 優先転送ステータス強制レジスタ 1006
27.2.58 BCST : バス状態ステータスレジスタ 1007
27.2.59 SVST : スレーブステータスレジスタ 1008
27.2.60 WUST : ウェイクアップユニット動作ステータスレジスタ 1011
27.2.61 MRCCPT : MsyncCNT カウンタキャプチャレジスタ 1012
27.2.62 DATBASm : デバイスアドレステーブル基本レジスタ m (m = 0〜7) 1013
27.2.63 EXDATBAS : 拡張デバイスアドレステーブル基本レジスタ 1014
27.2.64 SDATBASn : スレーブデバイスアドレステーブル基本レジスタ n (n = 0〜2) 1015
27.2.65 MSDCTm : マスタデバイス特性テーブルレジスタ m (m = 0〜7) 1016
27.2.66 SVDCT : スレーブデバイス特性テーブルレジスタ 1017
27.2.67 SDCTPIDL : スレーブデバイス特性テーブル暫定 ID Low レジスタ 1019
27.2.68 SDCTPIDH : スレーブデバイス特性テーブル暫定 ID High レジスタ 1019
27.2.69 SVDVADn : スレーブデバイスアドレスレジスタ n (n = 0〜2) 1019
27.2.70 CSECMD : CCC スレーブイベントコマンドレジスタ 1021
27.2.71 CEACTST : CCC 遷移アクティビティステートレジスタ 1022
27.2.72 CMWLG : CCC 最大書き込み長レジスタ 1023
27.2.73 CMRLG : CCC 最大読み出し長レジスタ 1023
27.2.74 CETSTMD : CCC 遷移テストモードレジスタ 1024
27.2.75 CGDVST : CCC デバイスステータス取得レジスタ 1025
27.2.76 CMDSPW : CCC 最大データ速度 W（書き込み）レジスタ 1026
27.2.77 CMDSPR : CCC 最大データ速度 R（読み出し）レジスタ 1026
27.2.78 CMDSPT : CCC 最大データ速度 T（切り替え）レジスタ 1027
27.2.79 CETSM : CCC 交換タイミングサポート情報 M（モード）レジスタ 1027
27.2.80 CETSS : CCC 交換タイミングサポート情報 S（ステート）レジスタ 1029

27.2.81 BITCNT : ビットカウントレジスタ 1030
27.2.82 NQSTLV : 通常キューステータスレベルレジスタ 1031
27.2.83 NDBSTLV0 : 通常データバッファステータスレベルレジスタ 0 1032
27.2.84 NRSQSTLV : 通常受信ステータスキューステータスレベルレジスタ 1032
27.2.85 HQSTLV : 優先キューステータスレベルレジスタ 1032
27.2.86 HDBSTLV : 優先データバッファステータスレベルレジスタ 1033
27.2.87 PRSTDBG : 現在ステートデバッグレジスタ 1033
27.2.88 MSERRCNT : マスタエラーカウンタレジスタ 1034
27.2.89 SC1CPT : SC1 キャプチャモニタレジスタ 1034
27.2.90 SC2CPT : SC2 キャプチャモニタレジスタ 1035
27.2.91 CECTL：クロック許可コントロールレジスタ 1035
27.3 動作説明 1036
27.3.1 データ構造 1036
27.3.2 機能詳細 1052
27.3.3 動作 1136
27.4 割り込み要因 1158
27.4.1 概要 1158
27.4.2 バッファフル割り込み／エンプティ割り込みのバッファ動作 1160
27.5 イベントリンク出力機能 1160
27.5.1 割り込み処理とイベントリンクの関係 1160
27.6 リセットの説明 1161
27.7 使用上の注意事項 1176
27.7.1 動作クロックの設定 1176
28. CAN フレキシブルデータレート (CANFD) 1177
28.1 概要 1177
28.1.1 CANFD モジュール 1177
28.1.2 クロックの制限事項 1179
28.2 レジスタの説明 1179
28.2.1 レジスタ表 1179
28.2.2 **凡例** 1180
28.2.3 CFDC0NCFG : チャネル 0 公称ビットレートコンフィグレーションレジスタ 1183
28.2.4 CFDC0CTR : チャネル 0 コントロールレジスタ 1184
28.2.5 CFDC0STS : チャネル 0 ステータスレジスタ 1189
28.2.6 CFDC0ERFL : チャネル 0 エラーフラグレジスタ 1192
28.2.7 CFDC0DCFG : チャネル 0 データビットレートコンフィグレーションレジスタ 1198
28.2.8 CFDC0FDCFG : チャネル 0 CANFD コンフィグレーションレジスタ 1199
28.2.9 CFDC0FDCTR : チャネル 0 CANFD コントロールレジスタ 1202
28.2.10 CFDC0FDSTS : チャネル 0 CANFD ステータスレジスタ 1202
28.2.11 CFDC0FDCRC : チャネル 0 CANFD CRC レジスタ 1204
28.2.12 CFDGCFG : グローバルコンフィグレーションレジスタ 1205

28.2.13 CFDGCTR : グローバルコントロールレジスタ 1208
28.2.14 CFDGSTS : グローバルステータスレジスタ 1209
28.2.15 CFDGERFL : グローバルエラーフラグレジスタ 1210
28.2.16 CFDGTINTSTS : グローバル TX 割り込みステータスレジスタ 1212
28.2.17 CFDGTSC : グローバルタイムスタンプカウンタレジスタ 1214
28.2.18 CFDGAFLECTR : グローバルアクセプタンスフィルタリストエントリコントロールレジスタ 1214
28.2.19 CFDGAFLCFG: グローバルアクセプタンスフィルタリストコンフィグレーションレジスタ 1215
28.2.20 CFDGAFLIDr : グローバルアクセプタンスフィルタリスト ID レジスタ (r = 1〜16) 1216
28.2.21 CFDGAFLMr : グローバルアクセプタンスフィルタリストマスクレジスタ (r = 1〜16) .. 1217
28.2.22 CFDGAFLP0r : グローバルアクセプタンスフィルタリストポインタ 0 レジスタ (r = 1〜16) 1218
28.2.23 CFDGAFLP1r : グローバルアクセプタンスフィルタリストポインタ 1 レジスタ（r = 1〜16） 1221
28.2.24 CFDRMNB : RX メッセージバッファ数レジスタ 1221
28.2.25 CFDRMND : RX メッセージバッファ新規データレジスタ 1222
28.2.26 CFDRFCCa : RX FIFO コンフィグレーション／コントロールレジスタ a (a = 0, 1)..... 1223
28.2.27 CFDRFSTSa : RX FIFO ステータスレジスタ a（a = 0, 1） 1225
28.2.28 CFDRFPCTRa : RX FIFO ポインタコントロールレジスタ a（a = 0、1） 1226
28.2.29 CFDCFCC : 共通 FIFO コンフィグレーション／コントロールレジスタ 1227
28.2.30 CFDCFSTS : 共通 FIFO ステータスレジスタ 1230
28.2.31 CFDCFPCTR : 共通 FIFO ポインタコントロールレジスタ 1232
28.2.32 CFDFESTS : FIFO エンプティステータスレジスタ 1233
28.2.33 CFDFFSTS : FIFO フルステータスレジスタ 1234
28.2.34 CFDFMSTS : FIFO メッセージロストステータスレジスタ 1234
28.2.35 CFDRFISTS : RX FIFO 割り込みフラグステータスレジスタ 1235
28.2.36 CFDCDTCT : DMA 転送コントロールレジスタ 1236
28.2.37 CFDCDTSTS : DMA 転送ステータスレジスタ 1236
28.2.38 CFDTMCi : TX メッセージバッファコントロールレジスタ i（i = 0〜3） 1237
28.2.39 CFDTMSTSj : TX メッセージバッファステータスレジスタ j（j = 0〜3） 1239
28.2.40 CFDTMTRSTS : TX メッセージバッファ送信要求ステータスレジスタ 1240
28.2.41 CFDTMTARSTS : TX メッセージバッファ送信中断要求ステータスレジスタ 1241
28.2.42 CFDTMTCSTS : TX メッセージバッファ送信完了ステータスレジスタ 1241
28.2.43 CFDTMTASTS : TX メッセージバッファ送信中断ステータスレジスタ 1242
28.2.44 CFDTMIEC : TX メッセージバッファ割り込み許可コンフィグレーションレジスタ 1242
28.2.45 CFDTXQCC : TX キューコンフィグレーション／コントロールレジスタ 1243
28.2.46 CFDTXQSTS : TX キューステータスレジスタ 1245
28.2.47 CFDTXQPCTR : TX キューポインタコントロールレジスタ 1246
28.2.48 CFDTHLCC : TX 履歴リストコンフィグレーション／コントロールレジスタ 1247
28.2.49 CFDTHLSTS : TX 履歴リストステータスレジスタ 1248

28.2.50 CFDTHLACC0 : TX 履歴リストアクセスレジスタ 0 1249
28.2.51 CFDTHLACC1 : TX 履歴リストアクセスレジスタ 1 1250
28.2.52 CFDTHLPCTR : TX 履歴リストポインタコントロールレジスタ 1251
28.2.53 CFDGRSTC : グローバル SW リセットレジスタ 1251
28.2.54 CFDGTSTCFG : グローバルテストコンフィグレーションレジスタ 1252
28.2.55 CFDGTSTCTR : グローバルテストコントロールレジスタ 1253
28.2.56 CFDGFDCFG : グローバル FD コンフィグレーションレジスタ 1253
28.2.57 CFDGLOCKK : グローバルロックキーレジスタ 1254
28.2.58 CFDRPGACCk: RAM テストページアクセスレジスタ k（k = 0〜63） 1255
28.2.59 CFDGAFLIGNENT: グローバル AFL 無視エントリレジスタ 1255
28.2.60 CFDGAFLIGNCTR : グローバル AFL 無視コントロールレジスタ 1256
28.2.61 CFDRMIEC : RX メッセージバッファ割り込み許可コンフィグレーションレジスタ 1256
28.2.62 メッセージバッファコンポーネントの構造 1257
28.3 動作の概要 1278
28.3.1 概要 1278
28.3.2 グローバルモード 1278
28.3.3 チャネルモード 1287
28.3.4 グローバルモード遷移とチャネルモード遷移の相互作用 1293
28.4 初期化 1295
28.4.1 CAN クロック、ビットタイミング、ボーレートの初期化 1295
28.4.2 ハードウェアリセット後の CAN モジュールの構成 1302
28.5 グローバルアクセプタンスフィルタリスト（AFL）を使用したアクセプタンスフィルタ機能 1303
28.5.1 概要 1303
28.5.2 AFL エントリの割り当て 1305
28.5.3 AFL エントリの説明 1305
28.5.4 AFL へのエントリの入力 1307
28.5.5 ループバックモード 1310
28.5.6 IDE マスク処理 1310
28.5.7 通信中の AFL エントリの更新 1311
28.6 FIFO バッファと通常のメッセージバッファの構成 1313
28.6.1 通常の RX メッセージバッファ 1314
28.6.2 FIFO バッファ 1315
28.7 割り込みと DMA 1319
28.7.1 割り込み 1319
28.7.2 DMA 転送 1322
28.8 受信／送信 1325
28.8.1 受信 1325
28.8.2 送信 1333
28.9 テストモード 1348
28.9.1 チャネル固有のテストモード 1348

28.9.2 グローバルテストモード 1350
29. CANFD ECC (CNECC) 1355
29.1 概要 1355
29.2 レジスタの説明 1355
29.2.1 EC710CTL : ECC コントロールレジスタ 1355
29.2.2 EC710TMC : ECC テストモードコントロールレジスタ 1358
29.2.3 EC710TED : ECC テスト置換データレジスタ 1359
29.2.4 EC710EAD0 : ECC エラーアドレスレジスタ 1360
29.3 動作説明 1360
29.3.1 ECC 機能設定 1360
29.3.2 ECC デコーダのテスト方法 1361
29.4 **割り込み** 1362
30. シリアルペリフェラルインタフェース (SPI) 1363
30.1 概要 1363
30.2 レジスタの説明 1365
30.2.1 SPCR : SPI コントロールレジスタ 1365
30.2.2 SSLP : SPI スレーブ選択極性レジスタ 1367
30.2.3 SPPCR : SPI 端子コントロールレジスタ 1367
30.2.4 SPSR : SPI ステータスレジスタ 1368
30.2.5 SPDR/SPDR_HA/SPDR_BY : SPI データレジスタ 1372
30.2.6 SPSCR : SPI シーケンスコントロールレジスタ 1374
30.2.7 SPSSR : SPI シーケンスステータスレジスタ 1375
30.2.8 SPBR : SPI ビットレートレジスタ 1376
30.2.9 SPDCR : SPI データコントロールレジスタ 1377
30.2.10 SPCKD : SPI クロック遅延レジスタ 1378
30.2.11 SSLND : SPI スレーブ選択ネゲート遅延レジスタ 1379
30.2.12 SPND : SPI 次アクセス遅延レジスタ 1379
30.2.13 SPCR2 : SPI コントロールレジスタ 2 1380
30.2.14 SPCMDm : SPI コマンドレジスタ m （m = 0～7） 1381
30.2.15 SPDCR2 : SPI データコントロールレジスタ 2 1383
30.2.16 SPCR3 : SPI コントロールレジスタ 3 1384
30.3 動作説明 1385
30.3.1 SPI 動作の概要 1386
30.3.2 SPI 端子の制御 1387
30.3.3 SPI システム構成例 1388
30.3.4 データフォーマット 1393
30.3.5 転送フォーマット 1404
30.3.6 データ転送モード 1406
30.3.7 送信バッファエンプティ／受信バッファフル割り込み 1408

30.3.8 通信終了割り込み 1410
30.3.9 エラー検出 1416
30.3.10 SPI の初期化 1421
30.3.11 SPI 動作 1422
30.3.12 クロック同期式動作 1436
30.3.13 ループバックモード 1442
30.3.14 パリティビット機能の自己診断 1443
30.3.15 割り込み要因 1444
30.4 イベントリンクコントローラ (ELC) への出力 1445
30.4.1 受信バッファフルイベント出力 1445
30.4.2 送信バッファエンプティイベント出力 1446
30.4.3 モードフォルト、アンダーラン、オーバーラン、またはパリティエラーイベント出力 1446
30.4.4 SPI アイドルイベント出力 1446
30.4.5 通信終了イベント出力 1446
30.5 使用上の注意事項 1448
30.5.1 モジュールストップ状態の設定 1448
30.5.2 低消費電力機能に関する制約 1448
30.5.3 転送の開始に関する制約 1448
30.5.4 モードフォルトエラー、アンダーランエラー、オーバーランエラー、またはパリティエラーイベント出力の制限事項 1448
30.5.5 SPSR.SPRF および SPSR.SPTEF フラグに関する制約 1448
31. CEC 送受信回路 (CEC) 1449
31.1 概要 1449
31.1.1 用語説明 1450
31.2 レジスタの説明 1451
31.2.1 CADR : CEC 自局アドレス設定レジスタ 1451
31.2.2 CTXD : CEC 送信バッファレジスタ 1453
31.2.3 CRXD : CEC 受信バッファレジスタ 1453
31.2.4 CECCTL0 : CEC コントロールレジスタ 0 1453
31.2.5 CECCTL1 : CEC コントロールレジスタ 1 1455
31.2.6 CECS : CEC 通信ステータスレジスタ 1456
31.2.7 CECES : CEC 通信エラーステータスレジスタ 1458
31.2.8 CECFC : CEC 通信エラーフラグクリアトリガレジスタ 1460
31.2.9 STATL : CEC 送信スタートビットの Low 幅設定レジスタ 1460
31.2.10 STATB : CEC 送信スタートビットのビット幅設定レジスタ 1461
31.2.11 LGC0L : CEC 送信ロジカル 0 の Low 幅設定レジスタ 1461
31.2.12 LGC1L : CEC 送信ロジカル 1 の Low 幅設定レジスタ 1461
31.2.13 DATB : CEC 送信データビットのビット幅設定レジスタ 1462
31.2.14 STATLL : CEC 受信スタートビットの Low 幅の MIN 値設定レジスタ 1462
31.2.15 STATLH : CEC 受信スタートビットの Low 幅の MAX 値設定レジスタ 1462

31.2.16 STATBL : CEC 受信スタートビットのビット幅の MIN 値設定レジスタ 1463
31.2.17 STATBH : CEC 受信スタートビットのビット幅の MAX 値設定レジスタ 1463
31.2.18 LGC0LL : CEC 受信ロジカル 0 の Low 幅の MIN 値設定レジスタ 1463
31.2.19 LGC0LH : CEC 受信ロジカル 0 の Low 幅の MAX 値設定レジスタ 1464
31.2.20 LGC1LL : CEC 受信ロジカル 1 の Low 幅の MIN 値設定レジスタ 1464
31.2.21 LGC1LH : CEC 受信ロジカル 1 の Low 幅の MAX 値設定レジスタ 1464
31.2.22 DATBL : CEC 受信データビットのビット幅の MIN 値設定レジスタ 1465
31.2.23 DATBH : CEC 受信データビットのビット幅の MAX 値設定レジスタ 1465
31.2.24 NOMT : CEC 受信データサンプリング時間設定レジスタ 1465
31.2.25 NOMP : CEC データビット基準幅設定レジスタ 1466
31.2.26 CECEXMD : CEC 拡張モードレジスタ 1466
31.2.27 CECEXMON : CEC 拡張モニタレジスタ 1467
31.3 動作説明 1468
31.3.1 CEC 送受信回路の動作 1468
31.3.2 動作クロック 1470
31.3.3 CEC 通信機能 1470
31.4 使用上の注意事項 1500
31.4.1 低消費電力状態からの復帰 1500
31.4.2 モジュールストップ機能の設定 1502
31.4.3 クロック分周比設定 1502
31.4.4 受信中のスタートビット検出による再受信に関する注意事項 1502
32. 拡張シリアルサウンドインタフェース (SSIE) 1504
32.1 概要 1504
32.2 特徴 1504
32.3 ブロック図 1505
32.4 レジスタの説明 1508
32.4.1 SSICR : コントロールレジスタ 1508
32.4.2 SSISR : ステータスレジスタ 1518
32.4.3 SSIFCR : FIFO コントロールレジスタ 1529
32.4.4 SSIFSR : FIFO ステータスレジスタ 1535
32.4.5 SSIFTDR : 送信 FIFO データレジスタ 1538
32.4.6 SSIFRDR : 受信 FIFO データレジスタ 1540
32.4.7 SSIOFR : オーディオフォーマットレジスタ 1543
32.4.8 SSISCR : ステータスコントロールレジスタ 1547
32.5 通信フォーマット 1547
32.5.1 I^2S フォーマット 1548
32.5.2 モノラルフォーマット 1549
32.5.3 TDM フォーマット 1550
32.6 通信モード 1551
32.6.1 スレーブモード通信 1552

32.6.2 マスタモード通信 1552
32.6.3 送信 1552
32.6.4 受信 1552
32.6.5 送受信 1552
32.7 動作説明 1552
32.7.1 アイドル状態 1552
32.7.2 通信状態 1554
32.8 通信動作 1558
32.8.1 通信開始 1558
32.8.2 送信 1559
32.8.3 受信 1560
32.8.4 送受信 1561
32.8.5 通信停止 1561
32.8.6 エラー処理 1562
32.8.7 通信再開 1563
32.9 割り込み 1564
32.9.1 SSIE0_SSIF 割り込み 1565
32.9.2 SSIE0_SSITXI 割り込み 1566
32.9.3 SSIE0_SSIRXI 割り込み 1566
32.10 ソフトウェアリセット 1566
32.10.1 ソフトウェアリセット手順 1566
32.11 注意事項 1567
32.11.1 スレーブモード通信に関する注意事項 1567
32.11.2 マスタモード通信に関する注意事項 1568
32.11.3 通信フローに関する注意事項 1568
32.11.4 書き込みアクセス制限 1569
33. 巡回冗長検査 (CRC) 1571
33.1 概要 1571
33.2 レジスタの説明 1572
33.2.1 CRCCR0 : CRC コントロールレジスタ 0 1572
33.2.2 CRCDIR/CRCDIR_BY : CRC データ入力レジスタ 1572
33.2.3 CRCDOR/CRCDOR_HA/CRCDOR_BY : CRC データ出力レジスタ 1573
33.3 動作説明 1573
33.3.1 基本動作 1573
33.4 使用上の注意事項 1576
33.4.1 モジュールストップ状態の設定 1576
33.4.2 送信時の注意事項 1576
34. 真性乱数生成器 (TRNG) 1578
34.1 概要 1578

34.2 使用上の注意事項 1578
34.2.1 モジュールストップ機能の設定 1578
35. 12 ビット A/D コンバータ (ADC12) 1579
35.1 概要 1579
35.2 レジスタの説明 1582
35.2.1 ADDRn : A/D データレジスタ n (n = 0〜2, 4〜8, 11〜13, 16) 1582
35.2.2 ADDBLDR : A/D データ 2 重化レジスタ 1584
35.2.3 ADDBLDRn : A/DA データ 2 重化レジスタ n（n = A, B） 1585
35.2.4 ADTSDR : A/D 温度センサデータレジスタ 1586
35.2.5 ADOCDR : A/D 内部基準電圧データレジスタ 1587
35.2.6 ADRD : A/D 自己診断データレジスタ 1589
35.2.7 ADCSR : A/D コントロールレジスタ 1589
35.2.8 ADANSA0 : A/D チャネル選択レジスタ A0 1592
35.2.9 ADANSA1 : A/D チャネル選択レジスタ A1 1593
35.2.10 ADANSB0 : A/D チャネル選択レジスタ B0 1594
35.2.11 ADANSB1 : A/D チャネル選択レジスタ B1 1594
35.2.12 ADADS0 : A/D 変換値加算／平均チャネル選択レジスタ 0 1595
35.2.13 ADADS1 : A/D 変換値加算／平均チャネル選択レジスタ 1 1596
35.2.14 ADADC : A/D 変換値加算／平均回数選択レジスタ 1597
35.2.15 ADCER : A/D コントロール拡張レジスタ 1598
35.2.16 ADSTRGR : A/D 変換開始トリガ選択レジスタ 1599
35.2.17 ADEXICR : A/D 変換拡張入力コントロールレジスタ 1600
35.2.18 ADSSTRn/ADSSTRL/ADSSTRT/ADSSTRO : A/D サンプリングステートレジスタ (n = 0〜2, 4〜8, 11〜13) 1602
35.2.19 ADDISCR : A/D 断線検出コントロールレジスタ 1603
35.2.20 ADGSPCR : A/D グループスキャン優先コントロールレジスタ 1603
35.2.21 ADCMPCR : A/D コンペア機能コントロールレジスタ 1605
35.2.22 ADCMPANSR0 : A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0 1606
35.2.23 ADCMPANSR1 : A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1 1607
35.2.24 ADCMPANSER : A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ 1607
35.2.25 ADCMPLR0 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0 1608
35.2.26 ADCMPLR1 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1 1609
35.2.27 ADCMPLER : A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ 1610
35.2.28 ADCMPDRn : A/D コンペア機能ウィンドウ A 下側／上側レベル設定レジスタ n (n = 0, 1) 1611
35.2.29 ADWINnLB : A/D コンペア機能ウィンドウ B 下側／上側レベル設定レジスタ n (n = L, U) 1612
35.2.30 ADCMPSR0 : A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0 1614
35.2.31 ADCMPSR1 : A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1 1614
35.2.32 ADCMPSER : A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ 1615
35.2.33 ADCMPBNSR : A/D コンペア機能ウィンドウ B チャネル選択レジスタ 1616

35.2.34 ADCMPBSR : A/D コンペア機能ウィンドウ B ステータスレジスタ 1617
35.2.35 ADWINMON : A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ 1618
35.2.36 ADBUFEN : A/D データバッファイネーブルレジスタ 1619
35.2.37 ADBUFPTR : A/D データバッファポインタレジスタ 1619
35.2.38 ADBUFn : A/D データバッファレジスタ n (n = 0～15) 1620
35.3 動作 1621
35.3.1 スキャンの動作説明 1621
35.3.2 シングルスキャンモード 1622
35.3.3 連続スキャンモード 1627
35.3.4 グループスキャンモード 1630
35.3.5 コンペア機能（ウィンドウ A、ウィンドウ B） 1639
35.3.6 アナログ入力のサンプリング時間とスキャン変換時間 1642
35.3.7 A/D データレジスタの自動クリア機能の使用例 1645
35.3.8 A/D 変換値加算／平均モード 1646
35.3.9 断線検出アシスト機能 1646
35.3.10 非同期トリガによる A/D 変換の開始 1648
35.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始 1648
35.3.12 データバッファの使用 1648
35.4 割り込み要因および DTC、DMAC 転送要求 1649
35.4.1 割り込み要求 1649
35.5 イベントリンク機能 1651
35.5.1 ELC へのイベント出力動作 1651
35.5.2 ELC からのイベントによる ADC12 の動作 1651
35.6 使用上の注意 1651
35.6.1 レジスタ設定時の制限 1651
35.6.2 データレジスタの読み出しに関する制約 1651
35.6.3 A/D 変換停止に関する制約 1651
35.6.4 A/D 変換強制停止と再開時の動作タイミング 1653
35.6.5 スキャン終了割り込み処理の制約 1653
35.6.6 モジュールストップ機能の設定 1653
35.6.7 低消費電力状態への遷移に関する注意事項 1653
35.6.8 断線検出アシスト機能使用時の絶対精度誤差 1653
35.6.9 AN000～AN002、AN007 のレジスタ設定 1653
35.6.10 動作モードおよびステータスビットの制約 1653
35.6.11 ボード設計に関する注意事項 1654
35.6.12 ノイズ防止の制限事項 1654
35.6.13 ADC12 入力使用時のポート設定 1654
35.6.14 ソフトウェアスタンバイモード解除時の注意 1655
35.6.15 サンプリング時間の計算 1655
36. 12 ビット D/A コンバータ (DAC12) 1656

36.1 概要 1656
36.2 レジスタの説明 1657
36.2.1 DADR0 : D/A データレジスタ 0 1657
36.2.2 DACR : D/A コントロールレジスタ 1657
36.2.3 DADPR : DADR0 フォーマット選択レジスタ 1658
36.2.4 DAADSCR : D/A A/D 同期スタートコントロールレジスタ 1658
36.2.5 DAAMPCR : D/A 出力アンプコントロールレジスタ 1659
36.2.6 DAASWCR : D/A アンプ安定ウェイトコントロールレジスタ 1659
36.2.7 DAADUSR : D/A A/D 同期ユニット選択レジスタ 1660
36.3 動作 1660
36.3.1 D/A 変換と A/D 変換の干渉の低減 1661
36.4 イベントリンクの動作設定手順 1662
36.4.1 DA0 イベントリンクの動作設定手順 1663
36.5 イベントリンク動作における注意事項 1663
36.6 使用上の注意 1663
36.6.1 モジュールストップ機能の設定 1663
36.6.2 モジュールストップ状態における DAC12 の動作 1663
36.6.3 ソフトウェアスタンバイモード時の DAC12 の動作 1663
36.6.4 ディープソフトウェアスタンバイモードへの移行に関する制約 1663
36.6.5 出力アンプを使用した初期化手順 1663
36.6.6 D/A 変換と A/D 変換の干渉低減有効時の制約 1664
37. 温度センサ回路 (TSN) 1665
37.1 概要 1665
37.2 レジスタの説明 1666
37.2.1 TSCR : 温度センサコントロールレジスタ 1666
37.2.2 TSCDR : 温度センサ校正データレジスタ 1666
37.3 温度センサ回路の使用方法 1667
37.3.1 使用前の準備 1667
37.3.2 温度センサ回路の使用手順 1667
37.4 使用上の注意事項 1669
37.4.1 モジュールストップ機能の設定 1669
38. データ演算回路 (DOC) 1670
38.1 概要 1670
38.2 レジスタの説明 1670
38.2.1 DOCR : DOC コントロールレジスタ 1670
38.2.2 DODIR : DOC データ入力レジスタ 1671
38.2.3 DODSR : DOC データ設定レジスタ 1672
38.3 動作説明 1672
38.3.1 データ比較モード 1672

38.3.2 データ加算モード 1672
38.3.3 データ減算モード 1673
38.4 割り込み要因 1674
38.5 イベントリンクコントローラ (ELC) へのイベント信号出力 1674
38.6 使用上の注意事項 1674
38.6.1 モジュールストップ機能の設定 1674
39. SRAM 1675
39.1 概要 1675
39.2 レジスタの説明 1675
39.2.1 SRAMSAR : SRAM セキュリティ属性レジスタ 1675
39.2.2 PARIOAD : SRAM パリティエラー検出後動作レジスタ 1676
39.2.3 SRAMPRCR : SRAM プロテクトレジスタ 1677
39.2.4 SRAMWTSC : SRAM ウェイトステートコントロールレジスタ 1677
39.2.5 SRAMPRCR2 : SRAM プロテクトレジスタ 2 1678
39.2.6 ECCMODE : ECC 動作モードコントロールレジスタ 1678
39.2.7 ECC2STS : ECC 2 ビットエラーステータスレジスタ 1679
39.2.8 ECC1STSEN : ECC 1 ビットエラー情報更新イネーブルレジスタ 1679
39.2.9 ECC1STS : ECC 1 ビットエラーステータスレジスタ 1680
39.2.10 ECCPRCR : ECC プロテクトレジスタ 1681
39.2.11 ECCPRCR2 : ECC プロテクトレジスタ 2 1681
39.2.12 ECCETST : ECC テストコントロールレジスタ 1682
39.2.13 ECCOAD : SRAM ECC エラー検出後動作レジスタ 1682
39.3 動作説明 1683
39.3.1 モジュールストップ機能 1683
39.3.2 ECC 誤り訂正機能 1683
39.3.3 ECC エラー割り込み機能 1684
39.3.4 ECC デコーダのテスト方法 1684
39.3.5 パリティ計算機能 1685
39.3.6 TrustZone フィルタ機能 1687
39.3.7 割り込み要因 1688
39.3.8 ウェイトステート 1688
39.3.9 アクセスサイクル 1689
39.3.10 ECC エンコード仕様 1690
40. スタンバイ SRAM 1691
40.1 概要 1691
40.2 レジスタの説明 1691
40.2.1 STBRAMSAR : スタンバイ RAM メモリセキュリティ属性レジスタ 1691
40.3 動作説明 1692
40.3.1 データ保持 1692

40.3.2 モジュールストップ機能の設定 1692
40.3.3 パリティ計算機能 1692
40.3.4 TrustZone フィルタ機能 1693
40.3.5 アクセスサイクル 1693
40.4 使用上の注意事項 1693
40.4.1 スタンバイ SRAM 領域からの命令フェッチ 1693
41. フラッシュメモリ 1694
41.1 概要 1694
41.2 メモリ構成 1696
41.3 アドレス空間 1697
41.4 レジスタの説明 1697
41.4.1 FCACHEE : フラッシュキャッシュイネーブルレジスタ 1697
41.4.2 FCACHEIV : フラッシュキャッシュインバリデートレジスタ 1698
41.4.3 FLWT : フラッシュウェイトサイクルレジスタ 1698
41.4.4 FSAR : フラッシュセキュリティ属性レジスタ 1699
41.4.5 UIDRn : ユニーク ID レジスタ n（n = 0～3） 1699
41.4.6 PNRn : 型名レジスタ n（n = 0～3） 1700
41.4.7 MCUVER : MCU バージョンレジスタ 1700
41.4.8 FWEPROR : フラッシュ P/E プロテクトレジスタ 1700
41.4.9 FASTAT : フラッシュアクセスステータスレジスタ 1701
41.4.10 FAEINT : フラッシュアクセスエラー割り込み許可レジスタ 1702
41.4.11 FRDYIE : フラッシュレディ割り込み許可レジスタ 1703
41.4.12 FSADDR : FACI コマンド開始アドレスレジスタ 1703
41.4.13 FEADDR : FACI コマンド終了アドレスレジスタ 1704
41.4.14 FMEPROT : フラッシュ P/E モードエントリ保護レジスタ 1705
41.4.15 FBPROT1 : セキュア用フラッシュブロック保護レジスタ 1705
41.4.16 FSTATR : フラッシュステータスレジスタ 1706
41.4.17 FENTRYR : フラッシュ P/E モードエントリレジスタ 1710
41.4.18 FSUINITR : フラッシュシーケンサセットアップ初期化レジスタ 1711
41.4.19 FCMDR : FACI コマンドレジスタ 1712
41.4.20 FBCCNT : ブランクチェックコントロールレジスタ 1713
41.4.21 FBCSTAT : ブランクチェックステータスレジスタ 1713
41.4.22 FPSADDR : データフラッシュ書き込み開始アドレスレジスタ 1713
41.4.23 FSUASMON : フラッシュスタートアップ領域選択モニタレジスタ 1714
41.4.24 FCPSR : フラッシュシーケンサ処理切り替えレジスタ 1715
41.4.25 FPCKAR : フラッシュシーケンサ処理クロック通知レジスタ 1715
41.4.26 FSUACR : フラッシュスタートアップ領域コントロールレジスタ 1716
41.4.27 FCKMHZ : データフラッシュアクセス周波数レジスタ 1716
41.5 フラッシュキャッシュ 1717
41.5.1 フラッシュキャッシュの特長 1717

41.6 フラッシュメモリ関連の動作モード 1718
41.6.1 ID コードプロテクト 1719
41.7 機能概要 1720
41.8 フラッシュシーケンサの動作モード 1721
41.9 FACI コマンド 1722
41.9.1 FACI コマンド一覧 1722
41.9.2 フラッシュシーケンサの状態と FACI コマンドの関係 1723
41.9.3 FACI コマンドの使用方法 1725
41.10 サスペンド動作 1744
41.11 プロテクション機能 1744
41.11.1 ソフトウェアプロテクション 1744
41.11.2 エラープロテクション 1746
41.11.3 スタートアッププログラムプロテクション 1748
41.12 セキュリティ機能 1752
41.12.1 シリアルプログラミングモード保護 1752
41.12.2 OCD モード保護 1753
41.12.3 スタートアップ領域選択のセキュリティフラグ 1753
41.12.4 永久ブロック保護設定 1753
41.12.5 TrustZone のフラッシュメモリ保護 1754
41.13 ブートモード 1762
41.13.1 ブートモード（SCI インタフェース） 1763
41.13.2 ブートモード（USB インタフェース） 1764
41.13.3 ブートモード（SWD インタフェース） 1765
41.14 シリアルプログラマを使用した書き込み 1765
41.14.1 シリアルプログラミング環境 1765
41.15 セルフプログラミングでの書き換え 1766
41.15.1 概要 1766
41.15.2 バックグラウンドオペレーション 1767
41.16 フラッシュメモリの読み出し 1767
41.16.1 コードフラッシュメモリの読み出し 1767
41.16.2 データフラッシュメモリの読み出し 1767
41.16.3 アクセスサイクル 1767
41.17 使用上の注意事項 1768

42. 内部電圧レギュレータ 1770

42.1 概要 1770
42.2 動作説明 1770

43. セキュリティ機能 1771

43.1 特長 1771
43.2 Arm TrustZone セキュリティ 1771

43.2.1 Arm TrustZone 技術 1771
43.2.2 メモリのセキュリティ属性 1771
43.2.3 周辺モジュールのセキュリティ属性 1773
43.2.4 フラッシュシーケンサのセキュリティ属性 1773
43.2.5 アドレス空間のセキュリティ属性 1774
43.2.6 TrustZone アクセスエラー 1774
43.3 ID 認証 1775
43.3.1 故障解析 1775
43.4 レジスタの説明 1775
43.4.1 PSARB : 周辺モジュールセキュリティ属性レジスタ B 1776
43.4.2 PSARC : 周辺モジュールセキュリティ属性レジスタ C 1777
43.4.3 PSARD : 周辺モジュールセキュリティ属性レジスタ D 1778
43.4.4 PSARE : 周辺モジュールセキュリティ属性レジスタ E 1779
43.4.5 MSSAR : モジュールストップセキュリティ属性レジスタ 1780
43.4.6 CFSAMONA : コードフラッシュセキュリティ属性レジスタ A 1780
43.4.7 CFSAMONB: コードフラッシュセキュリティ属性レジスタ B 1781
43.4.8 DFSAMON: データフラッシュセキュリティ属性レジスタ 1781
43.4.9 SSAMONA: SRAM セキュリティ属性レジスタ A 1782
43.4.10 SSAMONB: SRAM セキュリティ属性レジスタ B 1782
43.4.11 TZFSAR : TrustZone フィルタセキュリティ属性レジスタ 1783
43.4.12 TZFOAD : 検出後の TrustZone フィルタ動作レジスタ 1783
43.4.13 TZFPT : TrustZone フィルタ保護レジスタ 1784
43.5 使用上の注意事項 1784
43.5.1 SAU 設定 1784
43.5.2 FACI レジスタ設定中の非セキュア例外 1784
43.5.3 FCU 割り込みの使用 1785
44. 電気的特性 1786
44.1 絶対最大定格 1786
44.2 DC 特性 1787
44.2.1 Tj/Ta の定義 1787
44.2.2 I/O V_{IH}, V_{IL} 1787
44.2.3 I/O I_{OH}, I_{OL} 1789
44.2.4 I/O V_{OH}、V_{OL}、その他の特性 1791
44.2.5 動作電流とスタンバイ電流 1792
44.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数 1795
44.2.7 熱特性 1796
44.3 AC 特性 1799
44.3.1 周波数 1799
44.3.2 クロックタイミング 1800

44.3.3 リセットタイミング 1802
44.3.4 ウェイクアップタイミング 1804
44.3.5 NMI/IRQ ノイズフィルタ 1806
44.3.6 I/O ポート、POEG、GPT、AGT、ADC12 のトリガタイミング 1807
44.3.7 CAC タイミング 1809
44.3.8 SCI タイミング 1810
44.3.9 SPI タイミング 1816
44.3.10 I3C タイミング 1821
44.3.11 SSIE タイミング 1831
44.3.12 CANFD タイミング 1834
44.4 USB 特性 1835
44.4.1 USBFS タイミング 1835
44.5 ADC12 特性 1836
44.6 DAC12 特性 1838
44.7 TSN 特性 1838
44.8 OSC 停止検出特性 1838
44.9 POR/LVD 特性 1839
44.10 フラッシュメモリ特性 1841
44.10.1 コードフラッシュメモリ特性 1841
44.10.2 データフラッシュメモリ特性 1843
44.10.3 オプション設定メモリ特性 1844
44.11 シリアルワイヤデバッグ (SWD) 1845
付録 1. 各プロセスモードのポート状態 1847
付録 2. 外形寸法図 1848
付録 3. I/O レジスタ 1853
3.1 周辺機能のベースアドレス 1853
3.2 アクセスサイクル 1854

RA4E2 グループは、最高 100 MHz の CPU 性能を有し、Arm® Cortex®-M33 コア、128 KB のコードフラッシュメモリ、4 KB のデータフラッシュメモリ、および 40 KB の SRAM を搭載。RA4E2 グループは、USB フルスピード、CANFD、I3C、および ADC を含む広範な一連の周辺機能を提供。

特長

■ Arm® Cortex®-M33 コア

- Armv8-M アーキテクチャ（メイン拡張）
- 最高動作周波数：100 MHz
- Arm メモリプロテクションユニット (Arm MPU)
  - 保護メモリシステムアーキテクチャ (PMSAv8)
  - セキュア MPU (MPU_S)：8 領域
  - 非セキュア MPU (MPU_NS)：8 領域
- SysTick タイマ
  - 2 つの SysTick タイマを搭載：セキュアおよび非セキュアインスタンス
  - LOCO 駆動またはシステムクロック
- CoreSight™ ETM-M33

■ メモリ

- 最大 128 KB のコードフラッシュメモリ
- 4 KB のデータフラッシュメモリ（100,000 回のプログラム／イレース (P/E) サイクル）
- 40 KB の SRAM

■ 接続性

- シリアルコミュニケーションインタフェース (SCI) × 2
  - 調歩同期式インタフェース
  - 8 ビットクロック同期式インタフェース
  - スマートカードインタフェース
  - 簡易 IIC
  - 簡易 SPI
  - マンチェスタコーディング
- I3C バスインタフェース (I3C)
- シリアルペリフェラルインタフェース (SPI) × 2
- USB 2.0 フルスピードモジュール (USBFS)
- CAN フレキシブルデータレート (CANFD)
- 拡張シリアルサウンドインタフェース (SSIE)
- コンスーマーエレクトロニクスコントロール (CEC)

■ アナログ

- 12 ビット A/D コンバータ (ADC12)
- 12 ビット D/A コンバータ (DAC12)
- 温度センサ回路 (TSN)

■ タイマ

- 16 ビット拡張汎用 PWM タイマ (GPT16E) × 4
- 低消費電力非同期汎用タイマ (AGT) × 2

■ セキュリティ

- Arm® TrustZone®
  - コードフラッシュ用領域：最大 3 領域
  - データフラッシュ用領域：最大 2 領域
  - SRAM 用領域：最大 3 領域
  - 各ペリフェラルに対して個別のセキュアまたは非セキュアのセキュリティ属性
- 128 ビットのユニーク ID
- 真性乱数生成器 (TRNG)
- 端子機能
  - セキュア兼用端子

■ システムおよび電源管理

- 低消費電力モード
- カレンダー機能つきリアルタイムクロック (RTC)
- イベントリンクコントローラ (ELC)
- データトランスファコントローラ (DTC)
- DMA コントローラ (DMAC) × 8
- パワーオンリセット
- 低電圧検出機能 (LVD)（電圧設定）
- ウォッチドッグタイマ (WDT)
- 独立ウォッチドッグタイマ (IWDT)

■ マルチクロックソース

- メインクロック発振器 (MOSC) (8～24 MHz)
- サブクロック発振器 (SOSC) (32.768 kHz)
- 高速オンチップオシレータ (HOCO) (16/18/20 MHz)
- 中速オンチップオシレータ (MOCO) (8 MHz)
- 低速オンチップオシレータ (LOCO) (32.768 kHz)
- IWDT 専用オンチップオシレータ (15 kHz)
- HOCO/MOCO/LOCO に対するクロックトリム機能
- PLL
- クロックアウトのサポート

■ 汎用入出力ポート

- 5 V トレランス、オープンドレイン、入力プルアップ、切り替え可能駆動能力

■ 動作電圧

- VCC: 2.7～3.6 V

■ 動作温度およびパッケージ

- Ta = -40°C～+105°C
  - 64 ピン LQFP（10 mm × 10 mm、0.5 mm ピッチ）
  - 48 ピン QFN（7 mm × 7 mm、0.5 mm ピッチ）
  - 32 ピン QFN（5 mm × 5 mm、0.5 mm ピッチ）
  - 64 ピン BGA（5 mm × 5 mm、0.5 mm ピッチ）
  - 36 ピン BGA（4 mm × 4 mm、0.5 mm ピッチ）

1. 概要

本 MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm®ベースの 32 ビットコアで構成されています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本シリーズの MCU は最高 100 MHz で動作する高性能な Arm Cortex®-M33 コアを内蔵しており、以下の特長があります。

- 最大 128 KB のコードフラッシュメモリ
- 40 KB SRAM
- USBFS
- アナログ周辺機能
- セキュリティ&セーフティ機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M33 コア	● 最高動作周波数：100 MHz ● Arm Cortex-M33 コア： – Armv8-M アーキテクチャ（セキュリティ拡張機能付き） – リビジョン：r0p4-00rel0 ● Arm メモリプロテクションユニット (Arm MPU) – 保護メモリシステムアーキテクチャ (PMSAv8) – セキュア MPU (MPU_S): 8 領域 – 非セキュア MPU (MPU_NS): 8 領域 ● SysTick タイマ – 2 つの SysTick タイマを搭載：セキュアおよび非セキュアインスタンス – SysTick タイマクロック (SYSTICCLK) またはシステムクロック (ICLK) による駆動 ● CoreSight™ ETM-M33

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 128 KB のコードフラッシュメモリ。 「41. フラッシュメモリ」を参照してください。
データフラッシュメモリ	4 KB のデータフラッシュメモリ。 「41. フラッシュメモリ」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。 「6. オプション設定メモリ」を参照してください。
SRAM	パリティビットまたは誤り訂正コード (ECC) を備えた高速 SRAM を内蔵しています。 「39. SRAM」を参照してください。
スタンバイ SRAM	ディープソフトウェアスタンバイモードでデータを保持する内蔵 SRAM です。 「40. スタンバイ SRAM」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2 種類の動作モード： ● シングルチップモード ● SCI/USB/SWD ブートモード 「3. 動作モード」を参照してください。
リセット	本 MCU は、14 種類のリセットをサポートしています。 「5. リセット」を参照してください。

表 1.3 システム (2/2)

機能	機能の説明
低電圧検出回路 (LVD)	低電圧検出モジュール (LVD) は、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD は、3 つの独立した電圧監視回路（LVD0、LVD1、LVD2）で構成され、LVD0、LVD1、LVD2 は VCC 端子への入力電圧レベルを監視します。LVD のレジスタを設定することにより、さまざまな電圧しきい値で VCC 端子への入力電圧の変動を監視できます。 「7. 低電圧検出回路 (LVD)」を参照してください。
クロック	● メインクロック発振器 (MOSC) ● サブクロック発振器 (SOSC) ● 高速オンチップオシレータ (HOCO) ● 中速オンチップオシレータ (MOCO) ● 低速オンチップオシレータ (LOCO) ● IWDT 専用オンチップオシレータ ● PLL ● クロックアウトのサポート 「8. クロック発生回路」を参照してください。
クロック周波数精度測定回路 (CAC)	クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にない時、割り込み要求を発生します。 「9. クロック周波数精度測定回路 (CAC)」を参照してください。
割り込みコントローラユニット (ICU)	割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。 「12. 割り込みコントローラユニット (ICU)」を参照してください。
低消費電力モード	クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。 「10. 低消費電力モード」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。 「11. レジスタライトプロテクション」を参照してください。
メモリプロテクションユニット (MPU)	本 MCU は、1 つのメモリプロテクションユニットを備えています。 「14. メモリプロテクションユニット (MPU)」を参照してください。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ (ELC)	イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。 「17. イベントリンクコントローラ (ELC)」を参照してください。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ (DTC)	データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。 「16. データトランスファコントローラ (DTC)」を参照してください。
DMA コントローラ (DMAC)	本 MCU は、8 チャネルの DMA コントローラ (DMAC) を内蔵しており、CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。 「15. DMA コントローラ (DMAC)」を参照してください。

表 1.6 タイマ (1/2)

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT16E を 4 チャネルもつ 16 ビットタイマです。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。 「20. 汎用 PWM タイマ (GPT)」を参照してください。

表 1.6 タイマ (2/2)

機能	機能の説明
GPT 用のポートアウトプットイネーブル (POEG)	ポートアウトプットイネーブル (POEG) は、以下の方法のいずれかにより、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることが可能です。 「19. GPT 用のポートアウトプットイネーブル (POEG)」を参照してください。
低消費電力非同期汎用タイマ (AGT)	低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。 「21. 低消費電力非同期汎用タイマ (AGTW)」を参照してください。
リアルタイムクロック (RTC)	リアルタイムクロック (RTC) には、カレンダーカウントモードとバイナリカウントモードの 2 種類のカウントモードがあり、レジスタ設定を切り替えることで使用します。カレンダーカウントモードは、2000 年から 2099 年の 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに利用可能です。 「22. リアルタイムクロック (RTC)」を参照してください。
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットすることができます。さらに、ノンマスカブル割り込みやアンダーフロー割り込み、を発生させるためにも使用できます。 「23. ウォッチドッグタイマ (WDT)」を参照してください。
独立ウォッチドッグタイマ (IWDT)	独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、システム暴走時に MCU をリセットすることができます。IWDT は、MCU をリセットする機能や、カウンタのアンダーフロー発生時に、割り込み／ノンマスカブル割り込みを発生させることが可能です。 「24. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

表 1.7 通信インタフェース (1/2)

機能	機能の説明
シリアルコミュニケーションインタフェース (SCI)	シリアルコミュニケーションインタフェース (SCI) × 2 チャネルには調歩同期式および同期式のシリアルインタフェースがあります。 ● 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)） ● 8 ビットクロック同期式インタフェース ● 簡易 IIC（マスタのみ） ● 簡易 SPI ● スマートカードインタフェース ● マンチェスタインタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCIn (n = 0, 9) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。 「26. シリアルコミュニケーションインタフェース (SCI)」を参照してください。
I3C バスインタフェース (I3C)	I3C バスインタフェース (I3C) には 1 つのチャネルがあります。I3C は、NXP 社の I2C (Inter-Integrated Circuit) および MIPI 社の I3C バスインタフェース方式に準拠しており、それらのサブセット機能を備えています。 「27. I3C バスインタフェース (I3C)」を参照してください。
シリアルペリフェラルインタフェース (SPI)	シリアルペリフェラルインタフェース (SPI) にはチャネルが 2 つあります。SPI によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。 「30. シリアルペリフェラルインタフェース (SPI)」を参照してください。
Control Area Network with Flexible Data-Rate モジュール (CANFD)	CAN with Flexible Data-Rate (CANFD) モジュールは、クラシカル CAN フレームと ISO 11898-1 規格に準拠する CANFD フレームの両方を取り扱うことができます。 このモジュールは 4 個の送信バッファと 32 個の受信バッファをサポートしています。 「28. CAN フレキシブルデータレート (CANFD)」を参照してください。
USB 2.0 フルスピードモジュール (USBFS)	デバイスコントローラとして動作可能な USB2.0 フルスピードモジュール (USBFS) です。このモジュールは、ユニバーサルシリアルバス規格 2.0 のフルスピード転送をサポートしています。また USB トランシーバを内蔵しており、ユニバーサルシリアルバス規格 2.0 で定義されている全転送タイプに対応しています。USB はデータ転送用にバッファメモリを内蔵し、最大 5 本のパイプを使用できます。パイプ 0 およびパイプ 4～7 に対しては、通信を行う周辺デバイスやユーザーシステムに合わせた任意のエンドポイント番号の割り付けが可能です。 「25. USB2.0 フルスピードモジュール (USBFS)」を参照してください。

表 1.7 通信インタフェース (2/2)

機能	機能の説明
拡張シリアルサウンドインタフェース (SSIE)	拡張シリアルサウンドインタフェース (SSIE) 周辺機能は、I²S/モノラル/TDM オーディオデータを送信するため、デジタルオーディオデバイスをシリアルバス経由で接続する機能を提供しています。SSIE は最高 50 MHz のオーディオクロック周波数をサポートしており、各種アプリケーションに適合するスレーブまたはマスタレシーバ／トランスミッタ／トランシーバとして動作します。SSIE はレシーバとトランスミッタに 32 段 FIFO バッファを内蔵し、割り込みおよび DMA 駆動によるデータ送受信をサポートしています。 「32. 拡張シリアルサウンドインタフェース (SSIE)」を参照してください。
Consumer Electronics Control モジュール (CEC)	CEC 送受信モジュールは、High-Definition Multimedia Interface (HDMI) バージョン 1.4b に準拠する CEC 信号を生成し受信できます。このモジュールは通信状態を自動検出することもできます。 「31. CEC 送受信回路 (CEC)」を参照してください。

表 1.8 アナログ機能

機能	機能の説明
12 ビット A/D コンバータ (ADC12)	逐次比較方式の 12 ビット A/D コンバータ (ADC12) を内蔵しています。最大 12 チャネルのアナログ入力を選択可能です。変換には温度センサ出力および内部基準電圧を選択できます。 「35. 12 ビット A/D コンバータ (ADC12)」を参照してください。
12 ビット D/A コンバータ (DAC12)	12 ビットの D/A コンバータ (DAC12) を内蔵しています。 「36. 12 ビット D/A コンバータ (DAC12)」を参照してください。
温度センサ (TSN)	デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。 「37. 温度センサ回路 (TSN)」を参照してください。

表 1.9 データ処理

機能	機能の説明
巡回冗長検査 (CRC) 演算器	巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。 「33. 巡回冗長検査 (CRC)」を参照してください。
データ演算回路 (DOC)	データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。選択した条件に一致する場合、割り込み要求が発生します。 「38. データ演算回路 (DOC)」を参照してください。

表 1.10 セキュリティ

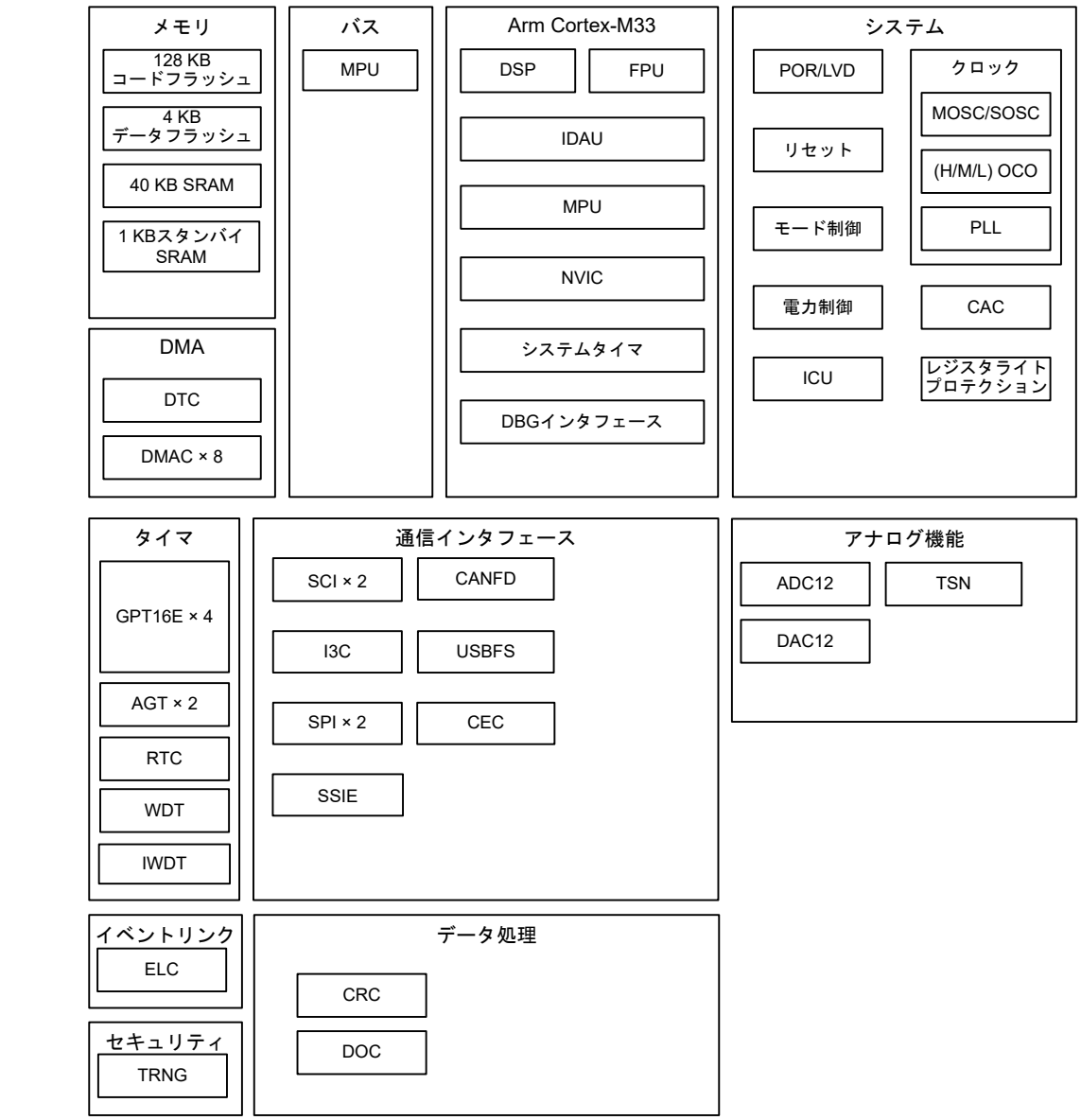
機能	機能の説明
セキュリティ機能	• ARMv8-M TrustZone セキュリティ • セキュア兼用端子 • 128 ビットのユニーク ID
真性乱数生成器 (TRNG)	「34. 真性乱数生成器 (TRNG)」を参照してください。

表 1.11 I/O ポート

機能	機能の説明
プログラマブル I/O ポート	● 64 ピン LQFP 用 I/O ポート – 入出力端子：45 – 入力端子：5 – プルアップ抵抗：46 – N チャネルオープンドレイン出力：45 – 5 V トレランス：11 ● 48 ピン QFN 用 I/O ポート – 入出力端子：29 – 入力端子：5 – プルアップ抵抗：30 – N チャネルオープンドレイン出力：29 – 5 V トレランス：6 ● 32 ピン QFN 用 I/O ポート – 入出力端子：16 – 入力端子：5 – プルアップ抵抗：17 – N チャネルオープンドレイン出力：16 – 5 V トレランス：4 ● 64 ピン BGA 用 I/O ポート – 入出力端子：45 – 入力端子：5 – プルアップ抵抗：46 – N チャネルオープンドレイン出力：45 – 5 V トレランス：11 ● 36 ピン BGA 用 I/O ポート – 入出力端子：20 – 入力端子：4 – プルアップ抵抗：21 – N チャネルオープンドレイン出力：20 – 5 V トレランス：5

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスは、その機能のサブセットを持つ場合があります。

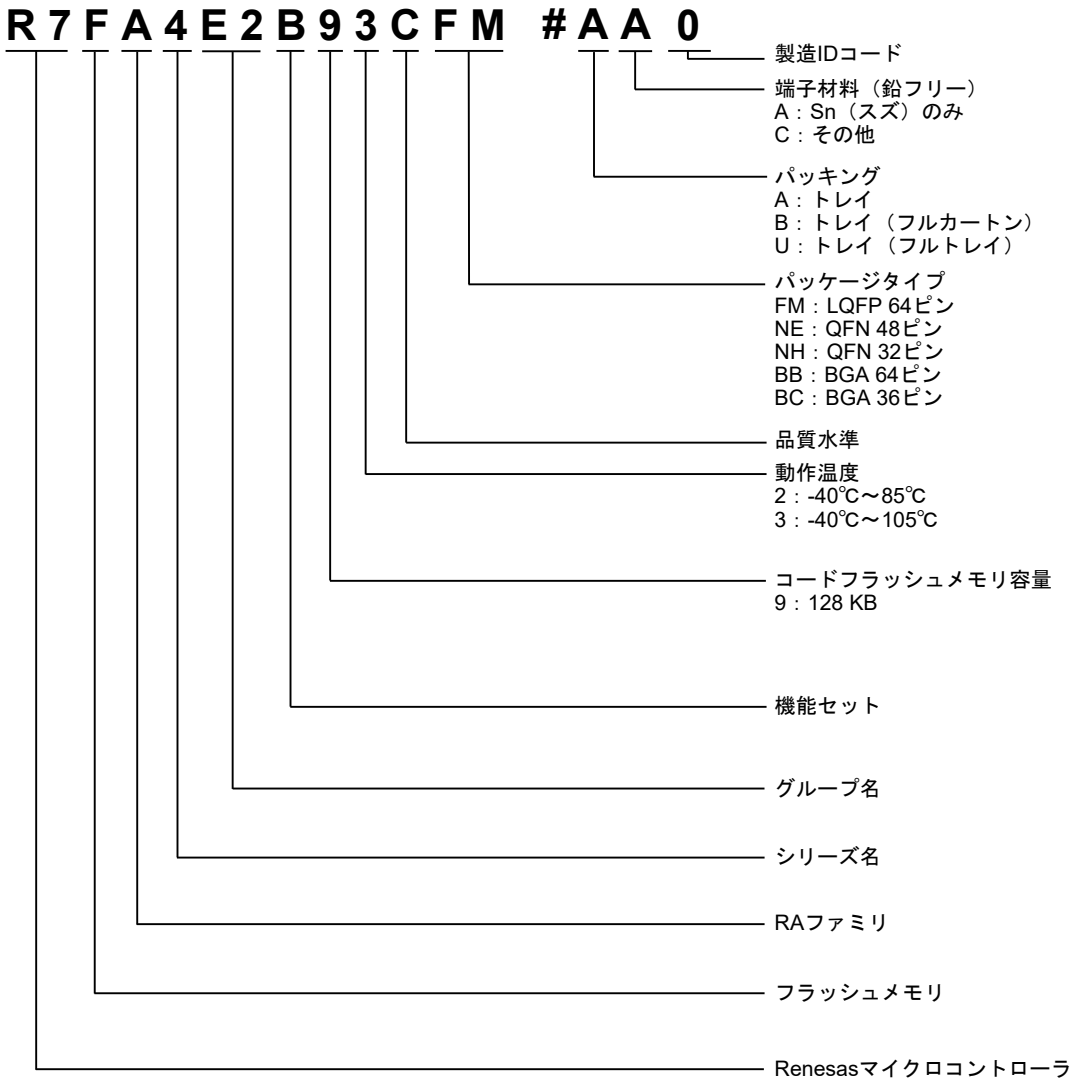


注. すべての製品が利用できるわけではありません。

図 1.1 ブロック図

1.3 型名

図 1.2 に、メモリ容量およびパッケージタイプを含む製品の型名情報を示します。表 1.12 に、製品一覧表を示します。



注. #に続く有効な記号については、ルネサス Web サイト上の各製品の注文画面でご確認ください。

図 1.2 型名の読み方

表 1.12 製品一覧

製品型名	パッケージコード	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FA4E2B93CFM	PLQP0064KB-C	128 KB	4 KB	40 KB	-40～+105℃
R7FA4E2B93CNE	PWQN0048KC-A				
R7FA4E2B93CNH	PWQN0032KE-A				
R7FA4E2B93CBB	PLBG0064KB-A				
R7FA4E2B93CBC	PLBG0036KA-A				
R7FA4E2B92CBB	PLBG0064KB-A				-40～+85℃
R7FA4E2B92CBC	PLBG0036KA-A				

1.4 機能の比較

表 1.13 機能の比較

型名		R7FA4E2B93CFM R7FA4E2B93CBB R7FA4E2B92CBB	R7FA4E2B93CNE	R7FA4E2B93CBC R7FA4E2B92CBC	R7FA4E2B93CNH
端子総数		64	48	36	32
パッケージ		LQFP/BGA	QFN	BGA	QFN
コードフラッシュメモリ		128 KB			
データフラッシュメモリ		4 KB			
SRAM		40 KB			
	パリティ	32 KB			
	ECC	8 KB			
スタンバイ SRAM		1 KB			
DMA	DTC	あり			
	DMAC	8			
システム	CPU クロック	最高 100 MHz			
	CPU クロックソース	MOSC, SOSC, HOCO, MOCO, LOCO, PLL			
	CAC	あり			
	WDT/IWDT	あり			
通信	SCI	2			
	I3C	1			
	SPI	2			
	CANFD	1			
	USBFS	あり			なし
	SSIE	あり			
	CEC	あり			
タイマ	GPT16E(注1)	4			
	AGT(注1)	2			
	RTC(注1)	あり			
アナログ	ADC12	12	8	4	5
	DAC12	1			
	TSN	あり			
データ処理	CRC	あり			
	DOC	あり			
イベントコントロール	ELC	あり			
セキュリティ		TrustZone			
I/O ポート	入出力端子	45	29	20	16
	入力端子	5	5	4	5
	プルアップ抵抗	46	30	21	17
	N チャネルオープンドレイン出力	45	29	20	16
	5 V トレランス	11	6	5	4

注 1. 使用できる端子はピン数によります。詳細は、「1.7. 端子一覧」を参照してください。

1.5 端子機能

表 1.14 端子機能一覧 (1/3)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は 0.1 μF のコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
	VCL	入出力	この端子は、内部電源を安定化するための平滑コンデンサを介して VSS 端子に接続してください。コンデンサは端子近くに配置してください。
	VSS	入力	グランド端子。システムの電源 (0 V) に接続してください。
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL 端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUT と XCIN の間には、水晶振動子を接続してください。
	XCOUT	出力	
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。本端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。本端子が Low になると、MCU はリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
オンチップエミュレータ	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQn	入力	マスカブル割り込み要求端子
	IRQn-DS	入力	マスカブル割り込み要求端子は、ディープソフトウェアスタンバイモード時も使用できます。
GPT	GTETRGA, GTETRGB, GTETRGC, GTETRGD	入力	外部トリガ入力端子
	GTIOCnA, GTIOCnB	入出力	インプットキャプチャ、アウトプットコンペア、または PWM 出力端子
	GTADSM0, GTADSM1	出力	A/D 変換開始要求モニタリング出力端子
	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 U 相）
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 U 相）
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 V 相）
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 V 相）
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 W 相）
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 W 相）
AGT	AGTEEn	入力	外部イベント入力イネーブル信号
	AGTIOn	入出力	外部イベント入力およびパルス出力端子
	AGTOn	出力	パルス出力端子
	AGTOAn	出力	出力コンペアマッチ A 出力端子
	AGTOBn	出力	出力コンペアマッチ B 出力端子

表 1.14 端子機能一覧 (2/3)

機能	端子名	入出力	説明
RTC	RTCOUT	出力	1 Hz または 64 Hz のクロック出力端子
	RTCICn	入力	時間キャプチャイベント入力端子です。
SCI	SCKn	入出力	クロック用の入出力端子（クロック同期式モード）
	RXDn	入力	受信データ用の入力端子（調歩同期式モード／クロック同期式モード）
	TXDn	出力	送信データ用の出力端子（調歩同期式モード／クロック同期式モード）
	CTSn_RTSn	入出力	送受信の開始制御用の入出力端子（調歩同期式モード／クロック同期式モード）、アクティブ Low
	CTSn	入力	送信の開始用の入力端子
	SCLn	入出力	IIC クロック用の入出力端子（簡易 IIC モード）
	SDAn	入出力	IIC データ用の入出力端子（簡易 IIC モード）
	SCKn	入出力	クロック用の入出力端子（簡易 SPI モード）
	MISOn	入出力	データのスレーブ送信用の入出力端子（簡易 SPI モード）
	MOSIn	入出力	データのマスタ送信用の入出力端子（簡易 SPI モード）
	SSn	入力	チップセレクト入力端子（簡易 SPI モード）、アクティブ Low
I3C	I3C_SCL	入出力	I3C クロック入出力端子
	I3C_SDA	入出力	I3C データ用の入出力端子
	SCL0	入出力	I2C クロック入出力端子
	SDA0	入出力	I2C データ用の入出力端子
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタからの出力データ用の入出力端子
	MISOA, MISOB	入出力	スレーブからの出力データ用の入出力端子
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1～SSLA3、SSLB1～SSLB3	出力	スレーブ選択用の出力端子
CANFD	CRX0	入力	受信データ
	CTX0	出力	送信データ
USBFS	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子
	USB_DP	入出力	USB 内蔵トランシーバ D+端子。この端子は USB バスの D+端子に接続してください。
	USB_DM	入出力	USB 内蔵トランシーバ D-端子。この端子は USB バスの D-端子に接続してください。
	USB_VBUS	入力	USB ケーブル接続モニタ端子。USB バスの VBUS に接続してください。ファンクションコントローラ機能選択時の VBUS の接続／切断を検出できます。
SSIE	SSIBCK0	入出力	SSIE シリアルビットクロック端子
	SSILRCK0/SSIFS0	入出力	LR クロック／フレーム同期端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	SSIDATA0	入出力	シリアルデータ入出力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子（入力オーバーサンプリングクロック）
CEC	CECIO	入出力	CEC データ通信

表 1.14　端子機能一覧 (3/3)

機能	端子名	入出力	説明
アナログ電源	AVCC0	入力	アナログ電源端子。それぞれのモジュールのアナログ電源端子として使用されます。この端子には VCC 端子と同じ電圧を供給してください。
	AVSS0	入力	アナロググランド端子。それぞれのモジュールのアナロググランド端子として使用されます。この端子には VSS 端子と同じ電圧を供給してください。
	VREFH	入力	D/A コンバータ用のアナログ基準電圧源端子
	VREFL	入力	D/A コンバータ用のアナログ基準グランド端子
	VREFH0	入力	ADC12 用のアナログ基準電圧源端子。ADC12 を使用しない場合は AVCC0 に接続してください。
	VREFL0	入力	ADC12 用のアナログ基準グランド端子。ADC12 を使用しない場合は AVSS0 に接続してください。
ADC12	AN0n	入力	A/D コンバータで処理されるアナログ信号用の入力端子。 （n：ピン番号）
	ADTRG0	入力	A/D 変換を開始する外部トリガ信号用の入力端子、アクティブ Low
DAC12	DAn	出力	D/A コンバータで処理されるアナログ信号用の出力端子。
I/O ポート	Pmn	入出力	汎用入出力端子（m：ポート番号、n：ピン番号）
	P200	入力	汎用入力端子

1.6 ピン配置図

以下にピン配置図（上面図）を示します。

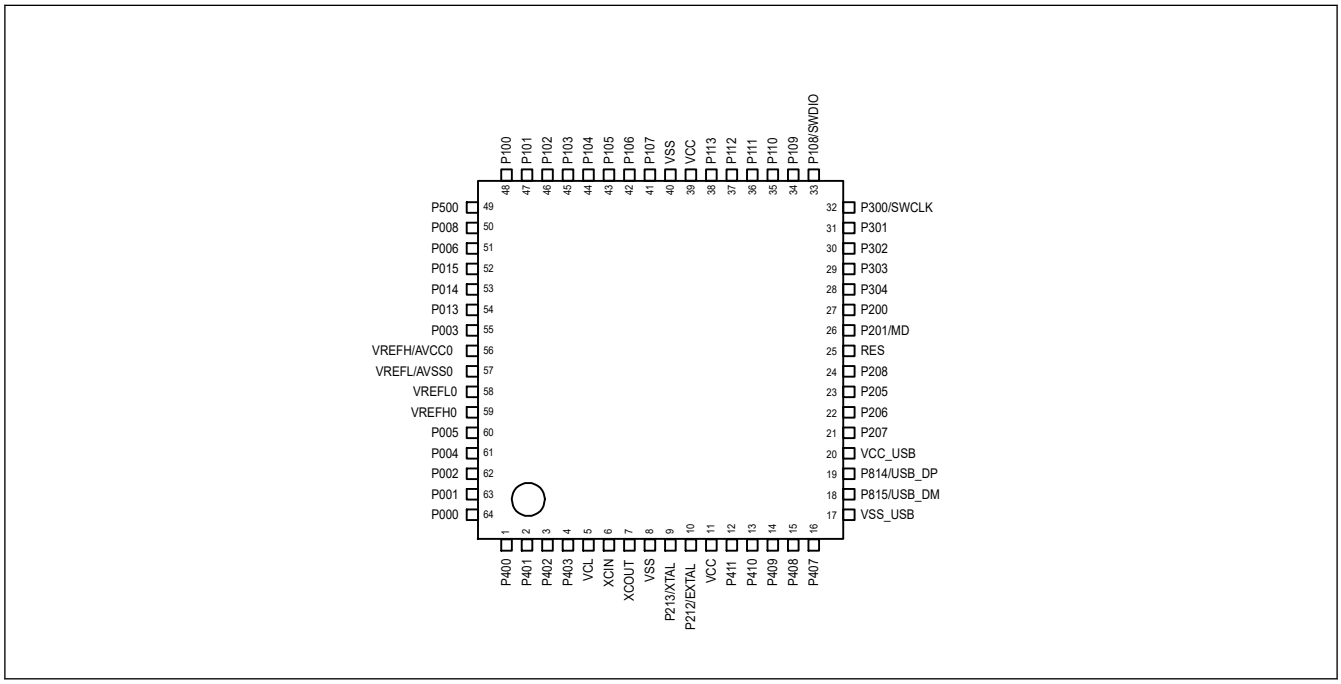


図 1.3 64 ピン LQFP のピン配置

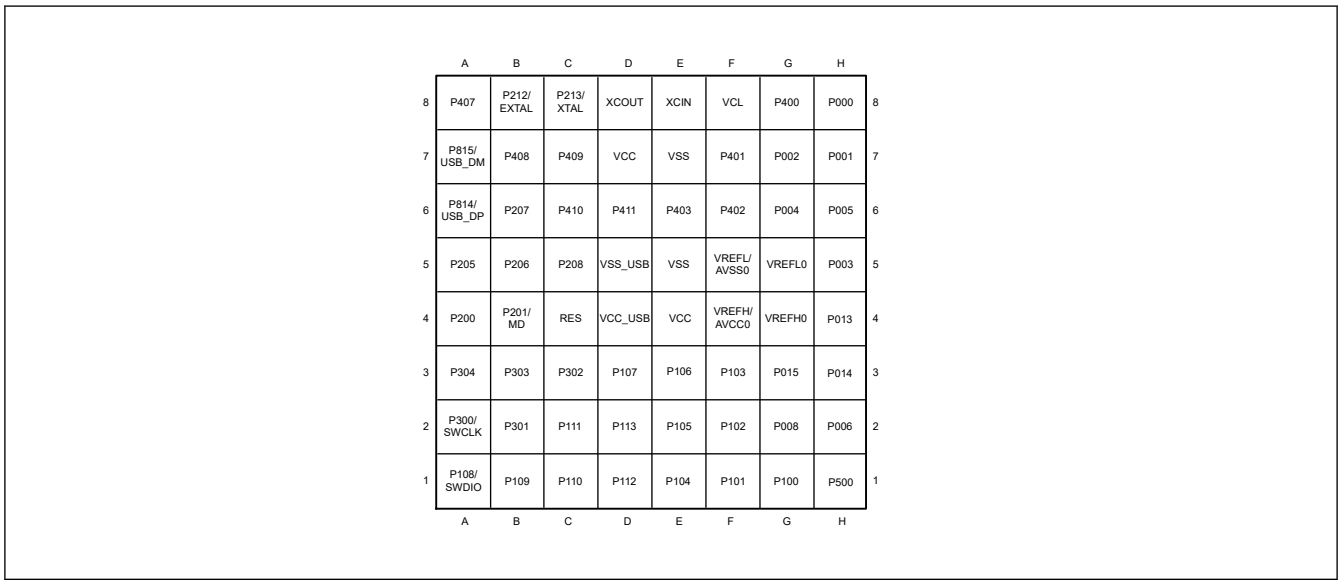
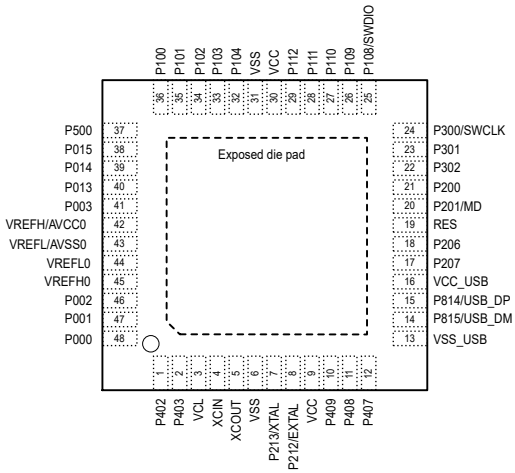


図 1.4 64 ピン BGA のピン配置

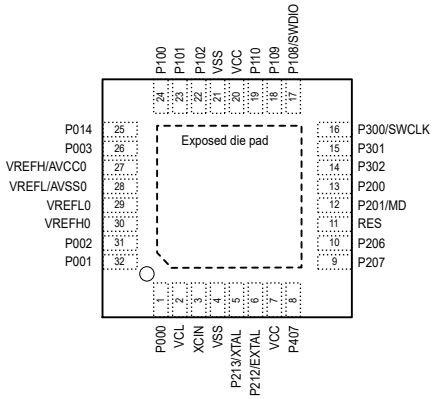


注. Exposed die pad は、VSS に接続することを推奨します。

図 1.5 48 ピン QFN のピン配置

	A	B	C	D	E	F	
6	P407	P212/ EXTAL	P213/ XTAL	XOUT	XCIN	P000	6
5	P815/ USB_DM	P408	P207	P201/ MD	VCL	P001	5
4	P814/ USB_DP	P206	VSS_USB	VSS	VREF/ AVSS0	VREFL0	4
3	P200	RES	VCC_USB	VCC	VREFH /AVCC0	VREFH0	3
2	P300/ SWCLK	P301	P302	P103	P014	P003	2
1	P108/ SWDIO	P109	P110	P102	P101	P100	1
	A	B	C	D	E	F	

図 1.6 36 ピン BGA のピン配置



注. XCIN は QFN32 では使用できません。XCIN は抵抗を介して VSS に接続する必要があります（プルダウン）。
注. Exposed die pad は、VSS に接続することを推奨します。

図 1.7 32 ピン QFN のピン配置

1.7 端子一覧

表 1.15 端子一覧 (1/2)

LQFP64	BGA64	QFN48	BGA36	QFN32	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/I3C/SPI/CANFD/USBFS/SSIE/CEC	GPT/AGT/RTC	ADC12/DAC12
1	G8	—	—	—	—	P400	IRQ0	SCL0_A	AGTIO1	—
2	F7	—	—	—	—	P401	IRQ5-DS	SDA0_A/CTX0	GTETRGA	—
3	F6	1	—	—	CACREF	P402	IRQ4-DS	CRX0/AUDIO_CLK	AGTIO0/AGTIO1/RTCIC0/GTADSM1	—
4	E6	2	—	—	—	P403	IRQ14-DS	—	AGTIO0/AGTIO1/RTCIC1	—
5	F8	3	E5	2	VCL	—	—	—	—	—
6	E8	4	E6	3	XCIN(注1)	—	—	—	—	—
7	D8	5	D6	—	XCOUT	—	—	—	—	—
8	E7	6	D4	4	VSS	—	—	—	—	—
9	C8	7	C6	5	XTAL	P213	IRQ2	TXD0/MOSI0/SDA0/AUDIO_CLK	GTIOC0A/GTETRGC	—
10	B8	8	B6	6	EXTAL	P212	IRQ3	RXD0/MISO0/SCL0	GTIOC0B/GTETRGD/AGTEE1	—
11	D7	9	D3	7	VCC	—	—	—	—	—
12	D6	—	—	—	—	P411	IRQ4	TXD0/MOSI0/SDA0	GTOVUP	—
13	C6	—	—	—	—	P410	IRQ5	RXD0/MISO0/SCL0	GTOVLO	—
14	C7	10	—	—	—	P409	IRQ6	—	GTIOC1A/GTOWUP/AGTOA1	—
15	B7	11	B5	—	—	P408	IRQ7	SCL0_B/AUDIO_CLK	GTIOC1B/GTIW/AGTOB1	—
16	A8	12	A6	8	—	P407	—	SDA0_B/SSIBCK0_A/USB_VBUS	GTIV/AGTIO0/RTCOUT/GTADSM0	ADTRG0
17	D5	13	C4	—	VSS_USB	—	—	—	—	—
18	A7	14	A5(注2)	—	USB_DM	P815	—	—	GTIOC0A/GTETRGC	—
19	A6	15	A4(注2)	—	USB_DP	P814	—	—	GTIOC0B/GTETRGB	—
20	D4	16	C3	—	VCC_USB	—	—	—	—	—
21	B6	17	C5	9	CACREF	P207	—	SCK9/MOSIA_A/SSILRCK0_A/SSIFS0_A	GTIOC5A/GTIW/AGTIO1	—
22	B5	18	B4	10	—	P206	IRQ0-DS	CTS9/SDA0_C/MISOA_A/SSIDATA0_A/CECIO	GTIOC5B/GTIU	—
23	A5	—	—	—	CLKOUT	P205	IRQ1-DS	CTS_RTS9/SS9/SCL0_C/SSLA3_A	GTIOC4A/GTIV/AGTO1	—
24	C5	—	—	—	—	P208	—	—	GTOVLO	ADTRG0
25	C4	19	B3	11	RES	—	—	—	—	—
26	B4	20	D5	12	MD	P201	—	—	—	—
27	A4	21	A3	13	—	P200	NMI	—	—	—
28	A3	—	—	—	—	P304	IRQ9	—	GTOWLO	—
29	B3	—	—	—	—	P303	—	CTS9	—	—
30	C3	22	C2	14	—	P302	IRQ5	CTS0/SCK9/RSPCKA_A/SSITXD0_A	GTIOC4A/GTOUUP/RTCOUT	—
31	B2	23	B2	15	—	P301	IRQ6	CTS_RTS9/SS9/SSLA0_A/SSIRXD0_A	GTIOC4B/GTOULO/AGTIO0	—
32	A2	24	A2	16	SWCLK	P300	—	SSLA1_B	GTIOC0A/GTOUUP	—
33	A1	25	A1	17	SWDIO	P108	—	CTS_RTS9/SS9/SSLA0_B	GTIOC0B/GTOULO	—
34	B1	26	B1	18	CLKOUT	P109	—	TXD9/MOSI9/SDA9/MOSIA_B/CTX0/SSITXD0_B	GTIOC1A/GTOVUP/AGTOA0	—
35	C1	27	C1	19	—	P110	IRQ3	RXD9/MISO9/SCL9/MISOA_B/CRX0/SSIRXD0_B	GTIOC1B/GTOVLO/AGTOB0	—

表 1.15 端子一覧 (2/2)

LQFP64	BGA64	QFN48	BGA36	QFN32	電源、システム、クロック、デバッグ、CAC	I/O ポート	外部割り込み	SCI/I3C/SPI/CANFD/USBFS/SSIE/CEC	GPT/AGT/RTC	ADC12/DAC12
36	C2	28	—	—	—	P111	IRQ4	SCK9/RSPCKA_B/SSIDATA0_B	—	—
37	D1	29	—	—	—	P112	—	SSLA0_B/QSSL	GTETRGD/AGTO1	—
38	D2	—	—	—	—	P113	—	—	—	—
39	E4	30	C3	20	VCC	—	—	—	—	—
40	E5	31	C4	21	VSS	—	—	—	—	—
41	D3	—	—	—	—	P107	—	SSLA2_B	AGTOA0	—
42	E3	—	—	—	—	P106	—	SSLB3	AGTOB0	—
43	E2	—	—	—	—	P105	IRQ0	SSLB2	GTIOC1A/GTETRGA	—
44	E1	32	—	—	—	P104	IRQ1	SSLB1/QIO2	GTIOC1B/GTETRGB/AGTIO1	—
45	F3	33	D2	—	—	P103	—	CTS_RTS0/SS0/SSLB0/CTX0/SSILRCK0_B/SSIFS0_B	GTOWUP	—
46	F2	34	D1	22	—	P102	—	SCK0/RSPCKB/CRX0/SSIBCK0_B	GTOWLO/AGTO0	ADTRG0
47	F1	35	E1	23	—	P101	IRQ1	TXD0/MOSI0/SDA0/I3C_SDA/SDA0_D/MOSIB	GTIOC5A/GTETRGB/AGTEE0	—
48	G1	36	F1	24	—	P100	IRQ2	RXD0/MISO0/SCL0/I3C_SCL/SCL0_D/MISOB/AUDIO_CLK	GTIOC5B/GTETRGA/AGTIO0	—
49	H1	37	—	—	CACREF	P500	—	—	GTIU/AGTOA0	AN016
50	G2	—	—	—	—	P008	IRQ12-DS	—	—	AN008
51	H2	—	—	—	—	P006	IRQ11-DS	—	—	AN006
52	G3	38	—	—	—	P015	IRQ13	—	—	AN013
53	H3	39	E2	25	—	P014	—	—	—	AN012/DA0
54	H4	40	—	—	—	P013	—	—	—	AN011
55	H5	41	F2	26	—	P003	—	—	—	AN007
56	F4	42	E3	27	VREFH/AVCC0	—	—	—	—	—
57	F5	43	E4	28	VREFL/AVSS0	—	—	—	—	—
58	G5	44	F4	29	VREFL0	—	—	—	—	—
59	G4	45	F3	30	VREFH0	—	—	—	—	—
60	H6	—	—	—	—	P005	IRQ10-DS	—	—	AN005
61	G6	—	—	—	—	P004	IRQ9-DS	—	—	AN004
62	G7	46	—	31	—	P002	IRQ8-DS	—	—	AN002
63	H7	47	F5	32	—	P001	IRQ7-DS	—	—	AN001
64	H8	48	F6	1	—	P000	IRQ6-DS	—	—	AN000

注. いくつかの端子名には、_A、_B、_C、および_D という接尾語が付加されています。これらの接尾語は、機能の割り当て時には無視できます。

注 1. XCIN は QFN32 では使用できません。XCIN は抵抗を介して VSS に接続する必要があります（プルダウン）。

注 2. A4 端子と A5 端子に割り当てられた USBFS 機能のみを使用できます。汎用入出力ポート機能と周辺機能は使用できません。A4 端子と A5 端子を使用しない、または USBFS 機能のみを使用する場合、これらのロットは何の制限もなく利用できます。

2. CPU

本 MCU は、Arm® Cortex®-M33 CPU コアをベースにしています。

2.1 概要

2.1.1 CPU

- Arm Cortex-M33
  - リビジョン：r0p4-00rel1
  - Armv8-M アーキテクチャプロファイル
  - ANSI/IEEE Std 754-2008 準拠の単精度浮動小数点ユニット
- SAU（セキュリティ属性ユニット）：0 領域
- IDAU（実装定義属性ユニット）：8 領域
  - コードフラッシュ（セキュア／非セキュアコーラブル／非セキュア）
  - データフラッシュ（セキュア／非セキュア）
  - SRAM0（セキュア／非セキュアコーラブル／非セキュア）
- メモリプロテクションユニット (MPU)
  - Armv8 保護メモリシステムアーキテクチャ (PMSAv8)
  - セキュア MPU (MPU_S) ：8 領域
  - 非セキュア MPU (MPU_NS)：8 領域
- SysTick タイマ
  - 2 個の Systick タイマ：セキュア、および非セキュアインスタンス
  - SysTick タイマクロック (SYSTICCLK) またはシステムクロック (ICLK) による駆動

詳細は、「2.13. 参考資料」の参考資料 1.および参考資料 2.を参照してください。

2.1.2 デバッグ

- Arm® CoreSight™ ETM-M33
  - リビジョン：r0p2-00rel0
  - ARM ETM アーキテクチャバージョン 4.2
- 計装トレースマクロセル (ITM)
- データウォッチポイント&トレースユニット (DWT)
  - ウォッチポイントとトリガ用の 4 つのコンパレータ
- ブレークポイントユニット (BPU)
  - ブレークポイント機能を使用できます。
    - 8 つの命令コンパレータ
    - リテラルコンパレータなし
- タイムスタンプジェネレータ (TSG)
  - ETM および ITM 用タイムスタンプ
  - CPU クロックによる駆動
- デバッグレジスタモジュール (DBGREG)
  - リセット制御
  - 停止制御

- デバッグアクセスポート (DAP)
  - シリアルワイヤデバッグポート (SW-DP)
- クロストリガインタフェース (CTI)
- エンベデッドトレースバッファ (ETB)
  - ETB 構成の CoreSight トレースメモリコントローラ
  - バッファサイズ : 2 KB

詳細は、「2.13. 参考資料」の参考資料 1.および参考資料 2.を参照してください。

2.1.3 動作周波数

MCU の動作周波数は以下のとおりです。

- CPU コア : 最高 100 MHz
- シリアルワイヤデバッグ (SWD) インタフェース : 最高 25 MHz

2.1.4 ブロック図

図 2.1 に Cortex-M33 CPU のブロック図を示します。

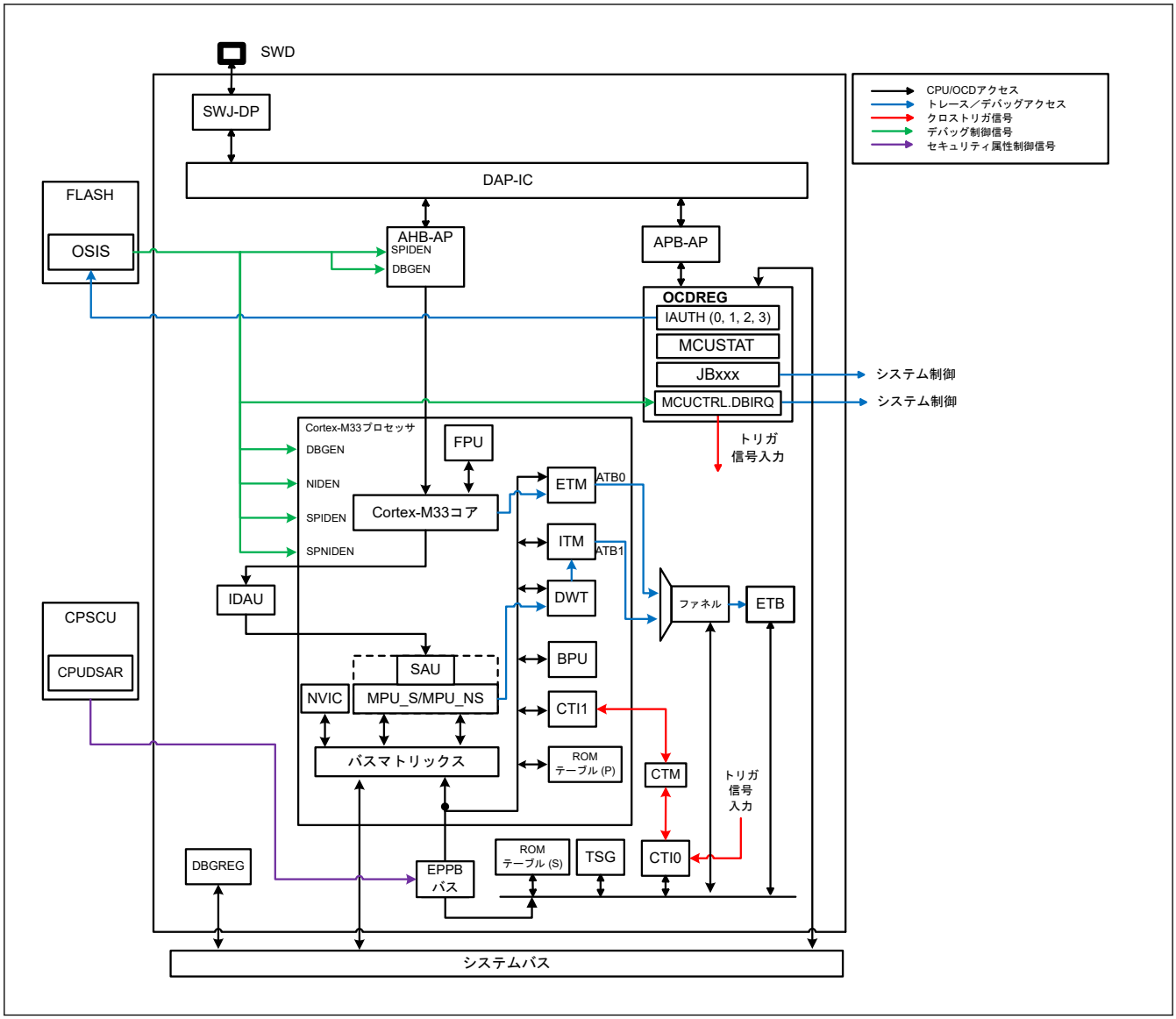


図 2.1 Cortex-M33 のブロック図

2.2 実装オプション

表 2.1 に MCU の実装オプションを示します。

表 2.1 実装オプション (1/2)

オプション	実装
SAU	なし
IDAU	あり。8 領域
MPU	あり。セキュア用に 8 領域と非セキュア用に 8 領域
BPU	あり
クロストリガインタフェース (CTI)	あり
DWT	あり
ウェイクアップ割り込みコントローラ (WIC) の数	なし ICU は WIC ではなく CPU をウェイクアップ可能。詳細は「12. 割り込みコントローラユニット (ICU)」を参照してください。
TPIU	なし

表 2.1 実装オプション (2/2)

オプション	実装
FPU	あり
DSP	あり
エンベデッドトレースマクロセル (ETM)	あり
スリープモード消費電力削減	スリープモードとその他の低消費電力モードをサポートします。詳細は「10. 低消費電力モード」を参照してください。 注. SCB.SCR.SLEEPDEEP は無視されます。
割り込み	98
優先順位ビット	4 ビット（16 レベル）
エンディアン	リトルエンディアン
メモリ機能	MCU はキャッシュ可能属性を利用します。詳細は「13. バス」を参照してください。
SysTick	あり
SYST_CALIB レジスタ (0x4000_0147)	ビット[31] = 0 基準クロックを使用できます ビット[30] = 1 TERMS 値が不正確です ビット[29:24] = 0x00 予約 ビット[23:0] = 0x000147 TERM: (32768 × 10 ms) - 1/32.768 kHz = 326.66（10 進値） = 327（スキュー含む） = 0x000147
イベント入出力	実装なし
グローバル排他的監視	実装なし
システムリセット要求出力	アプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットは CPU をリセットします

2.3 SWD インタフェース

表 2.2 に SWD 端子を示します。

表 2.2 SWD 端子

名称	入出力	機能	未使用時の端子処理
SWCLK	入力	シリアルワイヤクロック端子	プルアップ
SWDIO	入出力	シリアルワイヤデータ入出力端子	プルアップ

2.4 メモリに対するセキュリティ属性

本 MCU では、SAU は実装されていません。IDAU はメモリに対して、領域定義を実行します。図 2.2 に示すように、IDAU はメモリを 8 つの異なる領域に分割します。

コードフラッシュ、データフラッシュ、SRAM はセキュア領域 (S)、非セキュア領域 (NS)、非セキュアコーラブル領域 (NSC) に分割されます。これらのメモリセキュリティ属性は、アプリケーションによって周辺レジスタに設定され、IDAU およびメモリコントローラに読み込まれます。

注. メモリセキュリティ属性を設定する場合、メモリ領域は表 2.3 で示される最小アドレスユニットの設定条件を満たす必要があります。

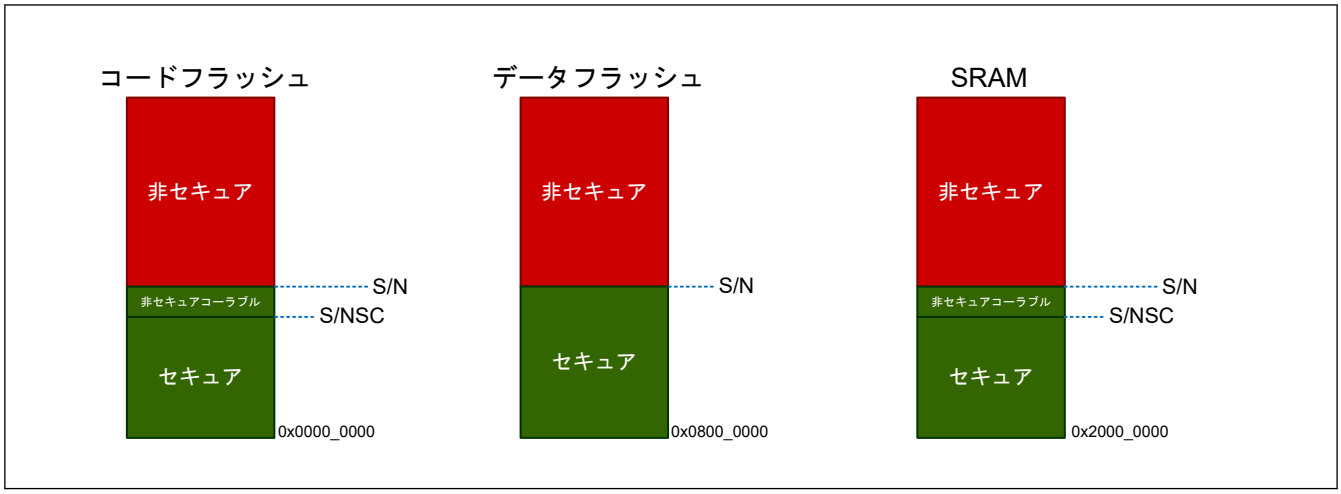


図 2.2　メモリパーティション

表 2.3　S/NS および S/NSC の境界

境界	コードフラッシュ	データフラッシュ	SRAM
S/NS	32 KB	1 KB	8 KB
S/NSC	1 KB	—	1 KB

各領域には以下の専用 ID があります。詳細は、「2.13. 参考資料」を参照してください。

IREGION（IDAU 領域番号）	説明
0x0D	非セキュア SRAM
0x0E	非セキュアコーラブル SRAM
0x0F	セキュア SRAM
0x09	非セキュアデータフラッシュ
0x0B	セキュアデータフラッシュ
0x05	非セキュアコードフラッシュ
0x06	非セキュアコーラブルコードフラッシュ
0x07	セキュアコードフラッシュ

2.5　デバッグ機能

2.5.1　デバッガの接続性

シングルチップモードでは、デバッグ機能のレベルはエミュレータとの接続状態と ID 認証コードレジスタへの書き込みの認証結果により制御されます。

表 2.4 に、エミュレータとの接続状態と認証結果に対応するデバッグ機能を示します。

表 2.4　デバッグ機能とその条件

条件		許可されたデバッグ機能
エミュレータとの接続 (注1)	SWD 認証	内容
未接続	—	未接続
接続	失敗	デバッガ接続禁止
接続	成功	全デバッグ機能が使用可能

注 1.　OCD との接続は、SWJ-DP レジスタの CDBGPWRUPREQ ビットの値で判別されます。このビットは OCD によってのみ書き込むことができます。なお、このビットの値は、DBGSTR.CDBGPWRUPREQ ビットを読み出すことによって確認できます。

2.5.2 エミュレータ接続

ルネサスは、SWD 通信を使ったデバッグと、SCI または SWD 通信を使ったシリアルプログラミングの両方をサポートするエミュレータを提供しています。

表 2.5 に、本エミュレータを使う場合の 10 ピンと 20 ピンのソケットピン配列を示します。

表 2.5 エミュレータ用端子配置

端子番号	SWD	SCI を使ったシリアルプログラミング
1	VCC	VCC
2	P108/SWDIO	NC
4	P300/SWCLK	P201/MD
6	NC	P109/TXD9
8	NC	P110/RXD9
9	GND 検出	GND 検出
10	nRESET	nRESET
12	NC	NC
14	NC	NC
16	NC	NC
18	NC	NC
20	NC	NC
3, 5, 15, 17, 19	GND	GND
7	NC	NC
11, 13	NC	NC

2.5.3 デバッグ機能の影響

デバッグ機能は CPU の内部および外部に影響を与えます。

2.5.3.1 低消費電力モード

すべての CoreSight デバッグコンポーネントは、CPU がソフトウェアスタンバイモード、スヌーズモードあるいはディープソフトウェアスタンバイモードに入った場合でも、レジスタの設定値を格納することが可能です。ただし、これらの低消費電力モードにおいては、AHB-AP はオンチップデバッグ (OCD) アクセスに応答できません。すなわち、CoreSight デバッグコンポーネントにアクセスするには、エミュレータは低消費電力モードが解除されるのを待つ必要があります。この場合、エミュレータは MCUCTRL レジスタの DBIRQ ビットを用いて、低消費電力モードの解除を要求できます。詳細は、「2.6.5.3. MCUCTRL : MCU コントロールレジスタ」を参照してください。

2.5.3.2 リセット

OCD モードでは、一部のリセットは CPU 状態と DBGSTOPCR レジスタの設定内容に従います。

表 2.6 リセット／割り込みおよびモード設定 (1/2)

リセット／割り込み名称	OCD モード時の制御	
	OCD ブレークモード	OCD RUN モード
RES 端子リセット	ユーザーモードと同じ	
パワーオンリセット	ユーザーモードと同じ	
独立ウォッチドッグタイマリセット／割り込み	発生しない(注1)	DBGSTOPCR レジスタの設定内容に従う
ウォッチドッグタイマリセット／割り込み	発生しない(注1)	DBGSTOPCR レジスタの設定内容に従う
電圧監視 0 リセット	DBGSTOPCR レジスタの設定内容に従う	
電圧監視 1 リセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	

表 2.6　リセット／割り込みおよびモード設定 (2/2)

リセット／割り込み名称	OCD モード時の制御	
	OCD ブレークモード	OCD RUN モード
電圧監視 2 リセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
SRAM パリティエラーリセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
SRAM ECC エラーリセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
キャッシュパリティエラーリセット／割り込み	DBGSTOPCR レジスタの設定内容に従う	
バスマスタ MPU エラーリセット／割り込み	ユーザーモードと同じ	
ディープソフトウェアスタンバイリセット	ユーザーモードと同じ	
ソフトウェアリセット	ユーザーモードと同じ	

注.　「OCD ブレークモード」は CPU が停止していることを意味し、「OCD RUN モード」は停止していないことを意味します。
注 1.　OCD ブレークモードでは IWDT/WDT は常に停止しています。

2.6　プログラマモデル

2.6.1　アドレス空間

本 MCU のデバッグシステムには、次の 2 つの CoreSight アクセスポート (AP) があります。

- AHB-AP：CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスします。
- APB-AP：専用のアドレス空間（OCD アドレス空間）を持ち、OCDREG レジスタに接続します。

図 2.3 に AP 接続とアドレス空間のブロック図を示します。

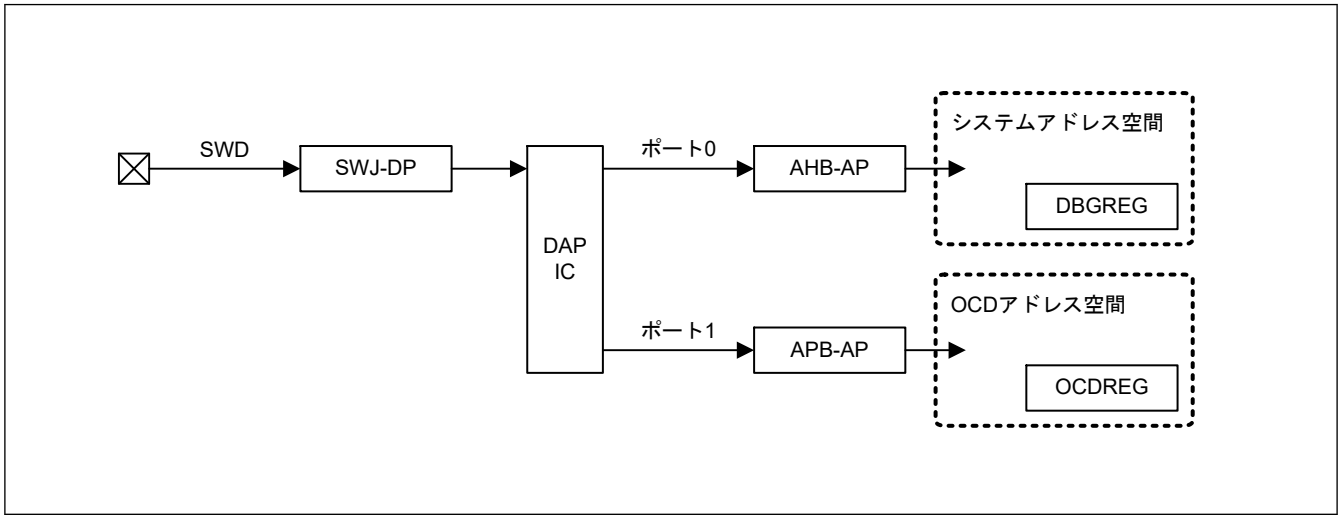


図 2.3　SWD 認証のブロック図

デバッグ用に、DBGREG と OCDREG の 2 つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間に配置され、エミュレータ、CPU、および本 MCU における他のバスマスタからアクセスが可能です。OCDREG は OCD アドレス空間に配置され、エミュレータからのみアクセスが可能です。CPU と他のバスマスタは OCDREG レジスタにアクセスできません。

2.6.2　周辺アドレスマップ

システムアドレス空間では、Cortex-M33 には CPU と OCD エミュレータからのみアクセス可能な Private Peripheral Bus (PPB) があります。PPB は、本 MCU に対する Cortex-M33 の本来の実装からの拡張です。表 2.7 に Cortex-M33 ペリフェラルアドレスマップを示します。

表 2.7 ペリフェラルアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	参照
ITM	0xE000_0000	0xE000_0FFF	「2.13. 参考資料」の参考資料 2.を参照してください。
DWT	0xE000_1000	0xE000_1FFF	「2.13. 参考資料」の参考資料 2.を参照してください。
BPU	0xE000_2000	0xE000_2FFF	「2.13. 参考資料」の参考資料 2.を参照してください。
セキュア SCS/SCS	0xE000_E000	0xE000_EFFF	「2.13. 参考資料」の参考資料 1.を参照してください。
非セキュア SCS	0xE002_E000	0xE002_EFFF	「2.13. 参考資料」の参考資料 2.を参照してください。
ETM	0xE004_1000	0xE004_1FFF	「2.13. 参考資料」の参考資料 1.を参照してください。
CTI1	0xE004_2000	0xE004_2FFF	「2.13. 参考資料」の参考資料 2.を参照してください。
CTI0	0xE004_4000	0xE004_4FFF	「2.13. 参考資料」の参考資料 4.を参照してください。
ATB ファネル	0xE004_7000	0xE004_7FFF	「2.8. CoreSight ATB ファネル」と「2.13. 参考資料」の参考資料 4.を参照してください。
ETB	0xE004_8000	0xE004_8FFF	「2.13. 参考資料」の参考資料 4.を参照してください。
タイムスタンプ発生器	0xE004_9000	0xE004_9FFF	「2.10. CoreSight タイムスタンプ発生器」と「2.13. 参考資料」の参考資料 4.を参照してください。
システム ROM テーブル	0xE00F_E000	0xE00F_EFFF	「2.13. 参考資料」の参考資料 3.を参照してください。
プロセッサ ROM テーブル	0xE00F_F000	0xE00F_FFFF	「2.13. 参考資料」の参考資料 2.を参照してください。

2.6.3 CoreSight ROM テーブル

本 MCU には、プロセッサおよびシステム ROM テーブルという 2 つの CoreSight ROM テーブルがあります。プロセッサ ROM テーブルには、プロセッサ内のデバッグコンポーネントのリストを保持するエントリがあります。システム ROM テーブルには、プロセッサ ROM テーブルやプロセッサ外の他のデバッグコンポーネントのエントリがあります。

2.6.3.1 ROM エントリ

ROM エントリは、システム内のコンポーネントのリストを保持します。 OCD エミュレータは、ROM エントリを使用して、システムに実装されているコンポーネントを特定できます。

表 2.8 と表 2.9 はシステム ROM エントリとプロセッサ ROM エントリを示します。詳細は、「2.13. 参考資料」の参考資料 5.を参照してください。

表 2.8 システム ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	対象コンポーネント
0	0xE00F_E000	32 ビット	R	0xFFF46003	CTI0
1	0xE00F_E004	32 ビット	R	0xFFF49003	ファネル
2	0xE00F_E008	32 ビット	R	0xFFF4A003	ETB
3	0xE00F_E00C	32 ビット	R	0xFFF4B003	TSG
4	0xE00F_E010	32 ビット	R	0xFFF42003	予約
5	0xE00F_E014	32 ビット	R	0x00001003	プロセッサ ROM テーブル
6	0xE00F_E018	32 ビット	R	0x00000000	エントリ終了

表 2.9 プロセッサ ROM エントリ (1/2)

#	アドレス	アクセスサイズ	R/W	値	対象コンポーネント
0	0xE00F_F000	32 ビット	R	0xFFF0F003	SCS
1	0xE00F_F004	32 ビット	R	0xFFF02003	DWT
2	0xE00F_F008	32 ビット	R	0xFFF03003	BPU
3	0xE00F_F00C	32 ビット	R	0xFFF01003	ITM

表 2.9 プロセッサ ROM エントリ (2/2)

#	アドレス	アクセスサイズ	R/W	値	対象コンポーネント
4	0xE00F_F014	32 ビット	R	0xFFF42003	ETM
5	0xE00F_F018	32 ビット	R	0xFFF43003	CTI1
6	0xE00F_F020	32 ビット	R	0x00000000	エントリ終了

2.6.3.2 CoreSight レジスタ

CoreSight ROM テーブルは、Arm® CoreSight アーキテクチャで定義された CoreSight レジスタを含んでいます。

表 2.10 にこれらのレジスタを示します。各レジスタの詳細は、「2.13. 参考資料」の参考資料 5.を参照してください。

表 2.10 CoreSight ROM テーブルの CoreSight レジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	0xE00F_EFD0	32 ビット	R	0x00000004
PID5	0xE00F_EFD4	32 ビット	R	0x00000000
PID6	0xE00F_EFD8	32 ビット	R	0x00000000
PID7	0xE00F_EFDC	32 ビット	R	0x00000000
PID0	0xE00F_EFE0	32 ビット	R	0x0000004D
PID1	0xE00F_EFE4	32 ビット	R	0x00000030
PID2	0xE00F_EFE8	32 ビット	R	0x0000000A
PID3	0xE00F_EFEC	32 ビット	R	0x00000000
CID0	0xE00F_EFF0	32 ビット	R	0x0000000D
CID1	0xE00F_EFF4	32 ビット	R	0x00000010
CID2	0xE00F_EFF8	32 ビット	R	0x00000005
CID3	0xE00F_EFFC	32 ビット	R	0x000000B1

2.6.4 DBGREG

DBGREG は、デバッグ機能を制御するレジスタモジュールです。DBGREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.11 は、CoreSight コンポーネントレジスタを除いた、DBGREG のレジスター覧です。

表 2.11 CoreSight 以外の DBGREG のレジスタ

名称		DAP ポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	DBGSTR	ポート 0	0x4001_B000	32 ビット	R
デバッグストップコントロールレジスタ	DBGSTOPCR	ポート 0	0x4001_B010	32 ビット	R/W

2.6.4.1 DBGSTR : デバッグステータスレジスタ

Base address: DBG = 0x4001_B000

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	CDBGPWRUPACK	CDBGPWRUPREQ	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
27:0	—	読むと 0 が読めます。	R
28	CDBGPWRUPREQ	デバッグパワーアップ要求 0: エミュレータはデバッグパワーアップを要求していない 1: エミュレータはデバッグパワーアップを要求した	R
29	CDBGPWRUPACK	デバッグパワーアップアクノリッジ 0: デバッグパワーアップ要求を受け付けていない 1: デバッグパワーアップ要求を受け付けた	R
31:30	—	読むと 0 が読めます。	R

DBGSTR レジスタは、エミュレータから本 MCU に対してのデバッグパワーアップの要求状況を示すステータスレジスタです。

2.6.4.2 DBGSTOPCR : デバッグストップコントロールレジスタ

Base address: DBG = 0x4001_B000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DBGSTOP_CPER	—	—	—	—	—	DBGSTOP_RECCR	DBGSTOP_RPER	—	—	—	—	—	DBGSTOP_LVD2	DBGSTOP_LVD1	DBGSTOP_LVD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSTOP_WDT	DBGSTOP_IWDT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	DBGSTOP_IWDT	OCD RUN モードでの IWDT リセット／割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、IWDT カウンタは停止します。 0: IWDT リセット／割り込みを許可 1: IWDT リセット／割り込みをマスクし、IWDT カウントを停止	R/W
1	DBGSTOP_WDT	OCD RUN モードでの WDT リセット／割り込み用のマスク OCD ブレークモードでは、このビットの値に関係なく、リセット／割り込みはマスクされ、WDT カウンタは停止します。 0: WDT リセット／割り込みを許可 1: WDT リセット／割り込みをマスクし、WDT カウントを停止	R/W

ビット	シンボル	機能	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DBGSTOP_LVD0	LVD0 リセット用のマスク 0: LVD0 リセットを許可 1: LVD0 リセットをマスク	R/W
17	DBGSTOP_LVD1	LVD1 リセット／割り込み用のマスク 0: LVD1 リセット／割り込みを許可 1: LVD1 リセット／割り込みをマスク	R/W
18	DBGSTOP_LVD2	LVD2 リセット／割り込み用のマスク 0: LVD2 リセット／割り込みを許可 1: LVD2 リセット／割り込みをマスク	R/W
23:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DBGSTOP_RPER	SRAM パリティエラーリセット／割り込み用のマスク 0: SRAM パリティエラーリセット／割り込みを許可 1: SRAM パリティエラーリセット／割り込みをマスク	R/W
25	DBGSTOP_RECCR	SRAM ECC エラーリセット／割り込み用のマスク 0: SRAM ECC エラーリセット／割り込みを許可 1: SRAM ECC エラーリセット／割り込みをマスク	R/W
30:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	DBGSTOP_CPER	キャッシュ SRAM パリティエラーリセット／割り込み用のマスク 0: キャッシュ SRAM パリティエラーリセット／割り込みを許可 1: キャッシュ SRAM パリティエラーリセット／割り込みをマスク	R/W

デバッグストップコントロールレジスタ (DBGSTOPCR) は、OCD モード時の機能停止を制御します。MCU が OCD モードではない場合、本レジスタのすべてのビットは 0 と見なされます。

2.6.4.3 DBGREG の CoreSight コンポーネントレジスタ

DBGREG は、Arm®CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを含んでいます。

表 2.12 にこれらのレジスタを示します。各レジスタの詳細は、「2.13. 参考資料」の参考資料 4.を参照してください。

表 2.12 DBGREG の CoreSight コンポーネントレジスター覧

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x4001_BFD0	32 ビット	R	0x00000004
PIDR5	0x4001_BFD4	32 ビット	R	0x00000000
PIDR6	0x4001_BFD8	32 ビット	R	0x00000000
PIDR7	0x4001_BFDC	32 ビット	R	0x00000000
PIDR0	0x4001_BFE0	32 ビット	R	0x00000005
PIDR1	0x4001_BFE4	32 ビット	R	0x00000030
PIDR2	0x4001_BFE8	32 ビット	R	0x0000000A
PIDR3	0x4001_BFEC	32 ビット	R	0x00000000
CIDR0	0x4001_BFF0	32 ビット	R	0x0000000D
CIDR1	0x4001_BFF4	32 ビット	R	0x000000F0
CIDR2	0x4001_BFF8	32 ビット	R	0x00000005
CIDR3	0x4001_BFFC	32 ビット	R	0x000000B1

2.6.5 OCDREG

OCDREG モジュールは、オンチップデバッグ (OCD) エミュレータのみがアクセス可能です。OCDREG は、CoreSight 準拠のコンポーネントとして実装されています。

表 2.13 は OCDREG のレジスター覧です。

表 2.13 OCDREG のレジスター覧

名称		DAP ポート	アドレス	アクセスサイズ	R/W
ID 認証コードレジスタ 0	IAUTH0	ポート 1	0x8000_0000	32 ビット	W
ID 認証コードレジスタ 1	IAUTH1	ポート 1	0x8000_0100	32 ビット	W
ID 認証コードレジスタ 2	IAUTH2	ポート 1	0x8000_0200	32 ビット	W
ID 認証コードレジスタ 3	IAUTH3	ポート 1	0x8000_0300	32 ビット	W
MCU ステータスレジスタ	MCUSTAT	ポート 1	0x8000_0400	32 ビット	R
MCU コントロールレジスタ	MCUCTRL	ポート 1	0x8000_0410	32 ビット	R/W
JTAG ブートモード遷移レジスタ(注1)	JBMDR	ポート 1	0x8001_1100 0x4001_b100(注2)	32 ビット	R/W
JTAG ブート受信データレジスタ(注1)	JBRDR	ポート 1	0x8001_1120 0x4001_b120(注2)	32 ビット	R/W
JTAG ブート送信データレジスタ(注1)	JBTDR	ポート 1	0x8001_1130 0x4001_b130(注2)	32 ビット	R/W
JTAG ブートステータスレジスタ(注1)	JBSTR	ポート 1	0x8001_1140 0x4001_b140(注2)	32 ビット	R/W
JTAG ブート割り込みコントロールレジスタ(注1)	JBICR	ポート 1	0x8001_1150 0x4001_b150(注2)	32 ビット	R/W

注. OCDREG は専用の OCD アドレス空間に配置されます。このアドレス空間はシステムのアドレス空間から独立しています。
注 1. DAP と CPU の両方からアクセス可能です。その他は DAP のみです。
注 2. CPU からアクセスする場合のアドレスです。

2.6.5.1 IAUTHn : ID 認証コードレジスタ (n = 0～3)

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x000 + 0x100 × n

Bit position:	31																												0
Bit field:	IAUTHn: AID (32+32×n -1) ～ (32×n) ビット																												
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	IAUTHn	AID (32+32×n -1)～(32×n) ビット	W

128 ビットキーを書き込むための認証レジスタが存在します。これら 4 つのレジスタは、IAUTH0 から IAUTH3 への順序で書き込む必要があります。レジスタ書き込みの設定がこの順序に従っていない場合、結果は予測不能です。

32 ビットの書き込みのみが許可されます。これらのレジスタの初期値はすべて 1 です。これは、OSIS レジスタの ID コードが初期値の場合、SWD アクセスが許可されることを意味します。「2.12.3.4. 接続順序と SWD 認証」を参照してください。

2.6.5.2 MCUSTAT : MCU ステータスレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	SECDBG	DBGFUNCEN	—	—	—	—	—	—	—	—	—	CPUSTOPCLK	CPUSLEEP	—
Value after reset:	0	1	x	x	0	0	0	1	0	0	0	0	0	x	x	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。	R
1	CPUSLEEP	スリープモード状態 チップがソフトウェアスタンバイモード、スヌーズモード、またはディープソフトウェアスタンバイモードの場合、このビットは不定です。 0: CPU はスリープモードではない 1: CPU はスリープモードである	R
2	CPUSTOPCLK	CPU クロック状態 チップの電力モードが DSTBY の場合、このビットは不定です。 0: CPU へクロックを供給中です。MCU の電力モードがノーマルモードまたはスリープモードであることを示します。 1: CPU へのクロックは停止中です。MCU がスヌーズモードまたはソフトウェアスタンバイモードであることを示します。	R
7:3	—	読むと 0 が読めます。	R
8	—	読むと 1 が読めます。	R
11:9	—	読むと 0 が読めます。	R
12	DBGFUNCEN	デバッガ状態 0: デバッガ接続は使用不可 1: デバッグ機能は有効	R
13	SECDBG	セキュアデバッグ状態 0: セキュアデバッグは使用不可 1: セキュアデバッグは使用可能	R
31:14	—	読むと 0 が読めます。	R

認証結果を含む MCU のステータスを示すためのレジスタです。

2.6.5.3 MCUCTRL : MCU コントロールレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x410

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUWAIT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R
8	DBIRQ	デバッグ割り込み要求 ビットに 1 を書き込むと、MCU は低消費電力モードから復帰します。 クリア条件は 1 つで、(1) DBIRQ ビットに 0 を書き込むことです。 0: デバッグ割り込みを要求しない 1: デバッグ割り込みを要求する	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R
16	CPUWAIT	CPU 停止設定 CPUWAIT に 1 を書き込むとアサート、CPUWAIT に 0 を書き込むとネゲートです。(注1) 0: CPUWAIT を Low にクリアする 1: CPUWAIT を High にする	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R

注 1. CPUWAIT はプロセッサがリセット直後にコードを実行開始するのを防ぐために使用されます。

MCU をコントロールするためのレジスタが存在します。CPUWAIT を設定すると、パワーオンリセット後、命令実行前に CPU をデバッグ状態にすることができます。

2.6.5.4 JBMDR : JTAG ブートモード遷移レジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x1_1100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	KEY[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	KEY[7:0]	モード遷移キー 0xA5 が設定されると端子リセットが解除され、システムは JTAG ブートモードに遷移します。 システムが JTAG ブートモードに遷移すると、MDSR.JBOTS = 1 となります。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	

JTAG ブートモード遷移レジスタの JBMDR は、デバッガからのコマンドを設定します。

本レジスタは、POR またはデバッガ切断によって初期化されます。

2.6.5.5 JBRDR : JTAG ブート受信データレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x1_1120

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	RDAT[31:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RDAT[31:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RDAT[31:0]	受信データレジスタ R/W は外部ホストと CPU の両方で可能ですが、次のように使い分けることを推奨します。 W: 外部ホスト R: CPU（ブートファームウェア） JBSTR.RDF = 1 のとき、書き込みができず、エラーが発生します。	R/W

JTAG ブートモード遷移レジスタの JBMDR は、デバッガからのコマンドを設定します。
本レジスタは、システムリセットで初期化されます。

2.6.5.6 JBTDR : JTAG ブート送信データレジスタ

Base address: CPU_OCD = 0x8000_0000
Offset address: 0x1_1130

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TDAT[31:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TDAT[31:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	TDAT[31:0]	送信データレジスタ R/W は外部ホストと CPU の両方で可能ですが、次のように使い分けることを推奨します。 W: CPU（ブートファームウェア） R: 外部ホスト JBSTR.TDE = 1 のとき、読み出しができず、エラーが発生します。	R/W

デバッガからデータを送信する JTAG ブート送信データレジスタです。
本レジスタは、システムリセットで初期化されます。

2.6.5.7 JBSTR : JTAG ブートステータスレジスタ

Base address: CPU_OCD = 0x8000_0000
Offset address: 0x1_1140

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDE	RDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	RDF	受信バッファフル [1 になる条件] ● JBRDR への書き込み ● JBSTR.RDF への 1 の書き込み [0 になる条件] ● JBRDR の読み出し ● JBSTR.RDF への 0 の書き込み 0: 受信データなし 1: 受信データあり	R/W
1	TDE	送信データエンプティ [1 になる条件] ● JBTDR の読み出し ● JBSTR.TDE への 1 の書き込み [0 になる条件] ● JBTDR への書き込み ● JBSTR.TDE への 0 の書き込み 0: データ送信あり 1: データ送信なし	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ブート状態を監視するための JTAG ブートステータスレジスタです。

本レジスタは、システムリセットで初期化されます。

2.6.5.8 JBICR : JTAG ブート割り込みコントロールレジスタ

Base address: CPU_OCD = 0x8000_0000

Offset address: 0x1_1150

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RDFIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RDFIE	受信バッファフル割り込み許可 0: RDF = 1 で割り込み要求を禁止 1: RDF = 1 で割り込み要求を許可	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

JTAG ブート中の割り込みを制御する JTAG ブート割り込みコントロールレジスタです。

本レジスタは、システムリセットで初期化されます。

2.6.5.9 OCDREG の CoreSight コンポーネントレジスタ

OCDREG モジュールは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを提供します。

表 2.14 は、これらのレジスタの一覧です。各レジスタの詳細は、「2.13. 参考資料」の参考資料 4.を参照してください。

表 2.14 OCDREG の CoreSight コンポーネントレジスター覧

名称	アドレス	アクセスサイズ	R/W	初期値
PIDR4	0x8000_0FD0	32 ビット	R	0x00000004
PIDR5	0x8000_0FD4	32 ビット	R	0x00000000
PIDR6	0x8000_0FD8	32 ビット	R	0x00000000
PIDR7	0x8000_0FDC	32 ビット	R	0x00000000
PIDR0	0x8000_0FE0	32 ビット	R	0x00000004
PIDR1	0x8000_0FE4	32 ビット	R	0x00000030
PIDR2	0x8000_0FE8	32 ビット	R	0x0000000A
PIDR3	0x8000_0FEC	32 ビット	R	0x00000000
CIDR0	0x8000_0FF0	32 ビット	R	0x0000000D
CIDR1	0x8000_0FF4	32 ビット	R	0x000000F0
CIDR2	0x8000_0FF8	32 ビット	R	0x00000005
CIDR3	0x8000_0FFC	32 ビット	R	0x000000B1

2.6.6 CPUDSAR : CPU デバッグセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x1B0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUDSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

ビット	シンボル	機能	R/W
0	CPUDSA0	CPU デバッグセキュリティ属性 0 0: セキュリティ 1: 非セキュリティ	R/W
31:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみ本レジスタへ書き込み可能です。セキュアアクセスと非セキュア読み出しアクセスの両方が許可されます。非セキュア書き込みアクセスは拒否され、TrustZone アクセスエラー発生しません。

注. 本レジスタは PRCR レジスタにより書き込み保護されます。

全 EPPB バスを保護することにより、CPU からデバッグ関連コンポーネントへの非セキュアアクセスは CPUDSA0 ビットの現在の値により完全に制御されます。本ビットは CPU がセキュア状態のときのみ変更可能なので、CoreSight デバッグコンポーネントを使用する前に CPUDSAR レジスタに注意してください。

CPUDSA0 ビット (CPU デバッグセキュリティ属性 0)

CPU のデバッグコンポーネントへアクセスするレジスタのセキュリティ属性

0: デバッグコンポーネントはセキュアアクセスでのみアクセス可能

1: デバッグコンポーネントへアクセス時の制約なし

2.6.7 CPU アクセスにより発生するエラー応答の処理

Arm Cortex-M33 プロセッサ固有のエラー検出仕様に加え、本 MCU は「13. バス」章に記載のいくつかの追加エラー情報も提供します。

したがって、本章は Arm Cortex-M33 プロセッサと競合せずに、その追加エラー情報を取り扱う方法を説明します。

表 2.15 に、エラー検出モジュールを示します。これらについて、「13. バス」でも説明します。これらのエラー検出モジュールは、バスモジュールのエラー情報を提供するだけではなく、プロセッサに例外処理を起動するように通知します。

表 2.15 エラー検出モジュール

	NMI/RESET 要求	割り込み	バスエラーステータスレジスタ	エラーアドレスレジスタ エラー RW レジスタ
スレーブ TZF	NMISR.TZFST	バスフォールト (注1) （ハードフォールト）	BUS.BUSnERRSTAT.STERRSTAT	BUS.BTZFnERRADD BUS.BTZFnERRRW
スレーブバスエラー	—	バスフォールト (注1) （ハードフォールト）	BUS.BUSnERRSTAT.SLERRSTAT	BUS.BUSnERRADD BUS.BUSnERRRW
不正アドレスアクセスエラー	—	バスフォールト (注1) （ハードフォールト）	BUS.BUSnERRSTAT.ILERRSTAT	BUS.BUSnERRADD BUS.BUSnERRRW

注 1. バスフォールトはハードフォールトとして扱うことができます。詳細は、「2.13. 参考資料」の *ARM® Cortex®-M33 Device Generic User Guide* を参照してください。

意図しない動作を防止するため、例外処理において例外ルーティングに追加処理を行ってください。

表 2.15 に示す検出されたエラーに起因するバスフォールト：

- 対応するレジスタのエラー情報は、「13. バス」を参照してください。
- エラーアドレスに対応したキャッシュのデータはクリアしてください。
- バスモジュール内のエラーステータスレジスタをクリアしてください。
- Arm のガイドに従った操作による例外処理の実施

Renesas の専用エラー検出モジュールで検出できないバスフォールト（Arm Cortex-M33 内部で発生するエラー）の場合、そのケースの処理については *ARM® Cortex®-M33 Device Generic User Guide* を参照してください。

システムバス仕様においてスレーブ TrustZone フィルタの特定のケースがあり、そこで NMI を生成するエラーが選択された場合、プロセッサがバスフォールト例外処理を実行する前に、より高い優先度の NMI の例外処理を先に実行します。本製品では、このエラーの取り扱いを NMI ハンドラではなく、バスフォールトハンドラで行ってください。つまり、NMI ステータスはクリアする必要がありますが、バスフォールトがエラーの全情報をキャプチャするのを確実に行うため、エラーステータスビットをクリアしてはなりません。

図 2.4 と図 2.5 に、表 2.15 に説明されるエラーに関する NMI ハンドラと BusFault ハンドラの推奨フローを示します。

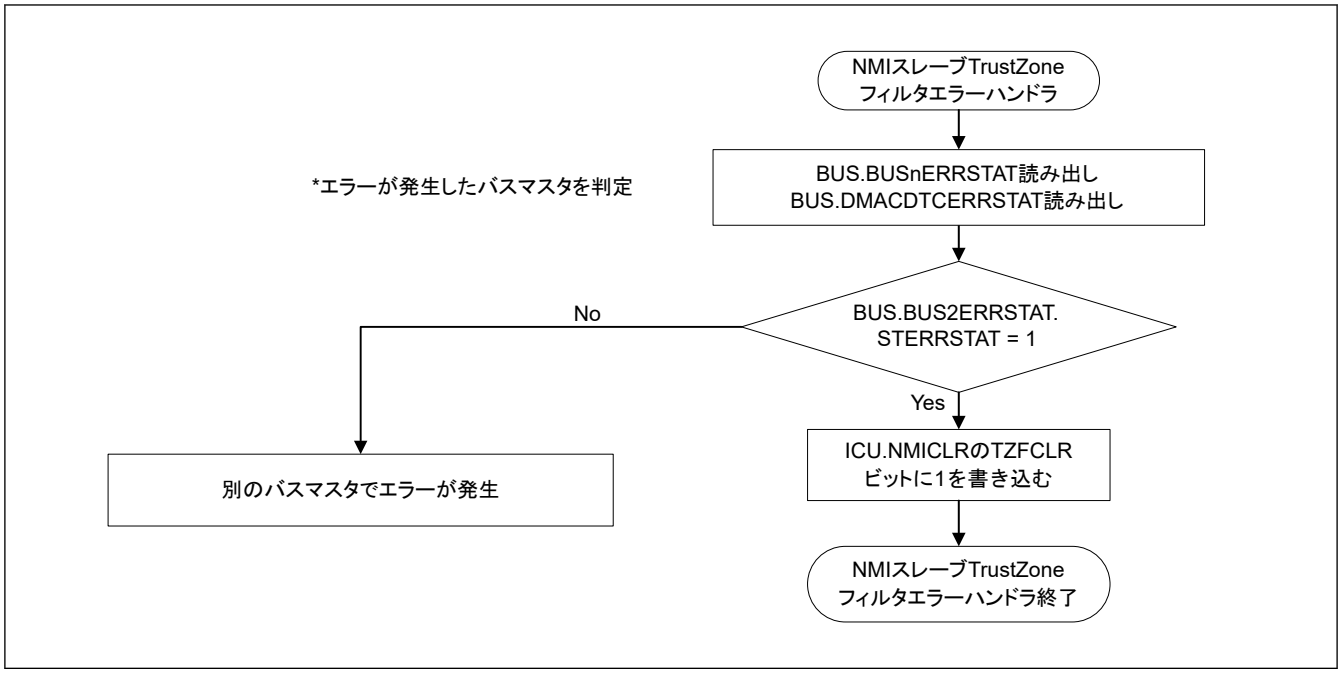


図 2.4　NMI 処理フローチャート

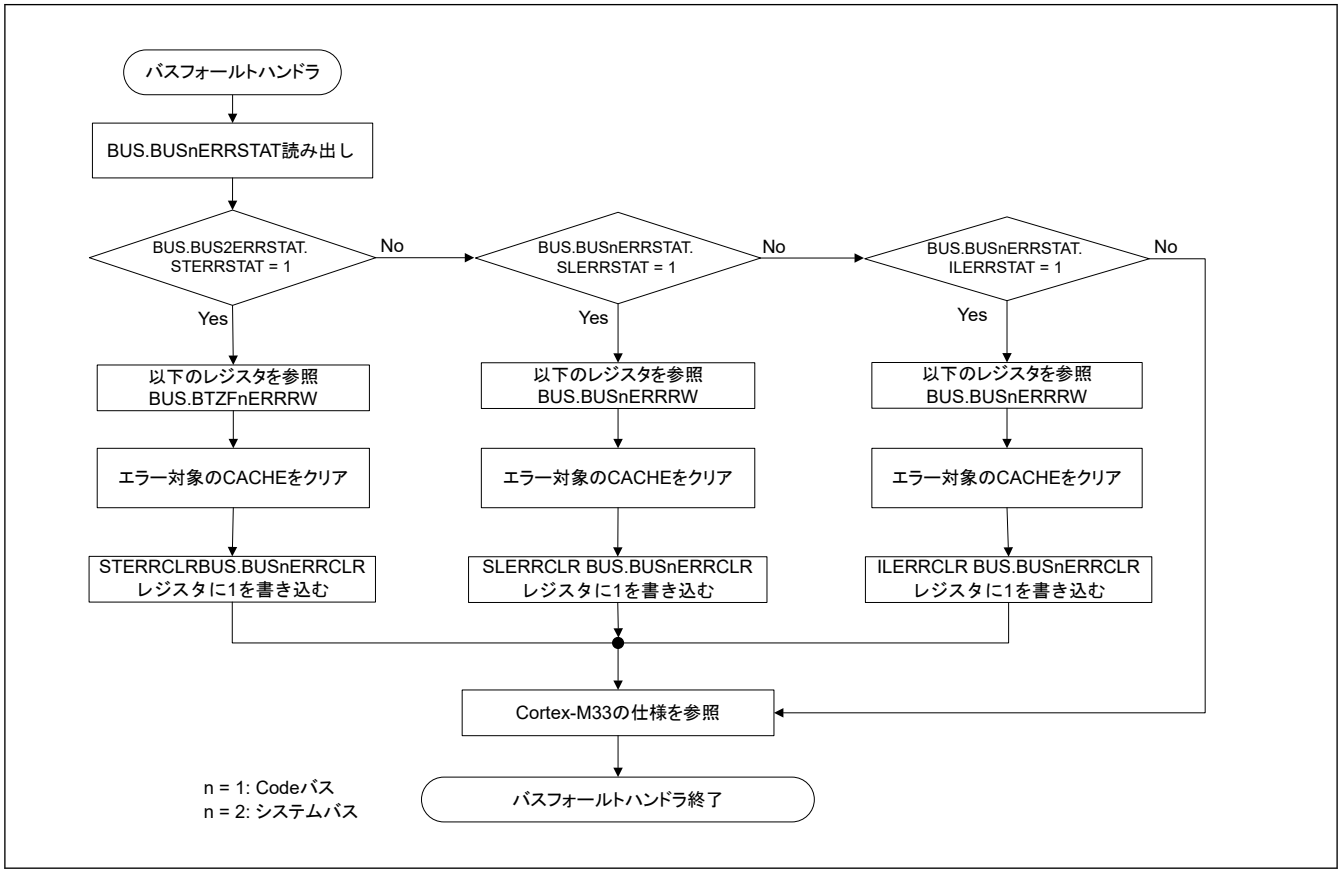


図 2.5　バスフォールト割込み処理フローチャート

2.7　CoreSight クロストリガインタフェース (CTI)

図 2.6 に示すように、CTI（Cross Trigger Interface：クロストリガインタフェース）の入力と出力は 4 つの CTM チャネルを通じて互いにやり取りを行います。ここで、CTI の入力は、4 つの CTM チャネルを通じて他の CTI の出力をトリガするために使うことができます。

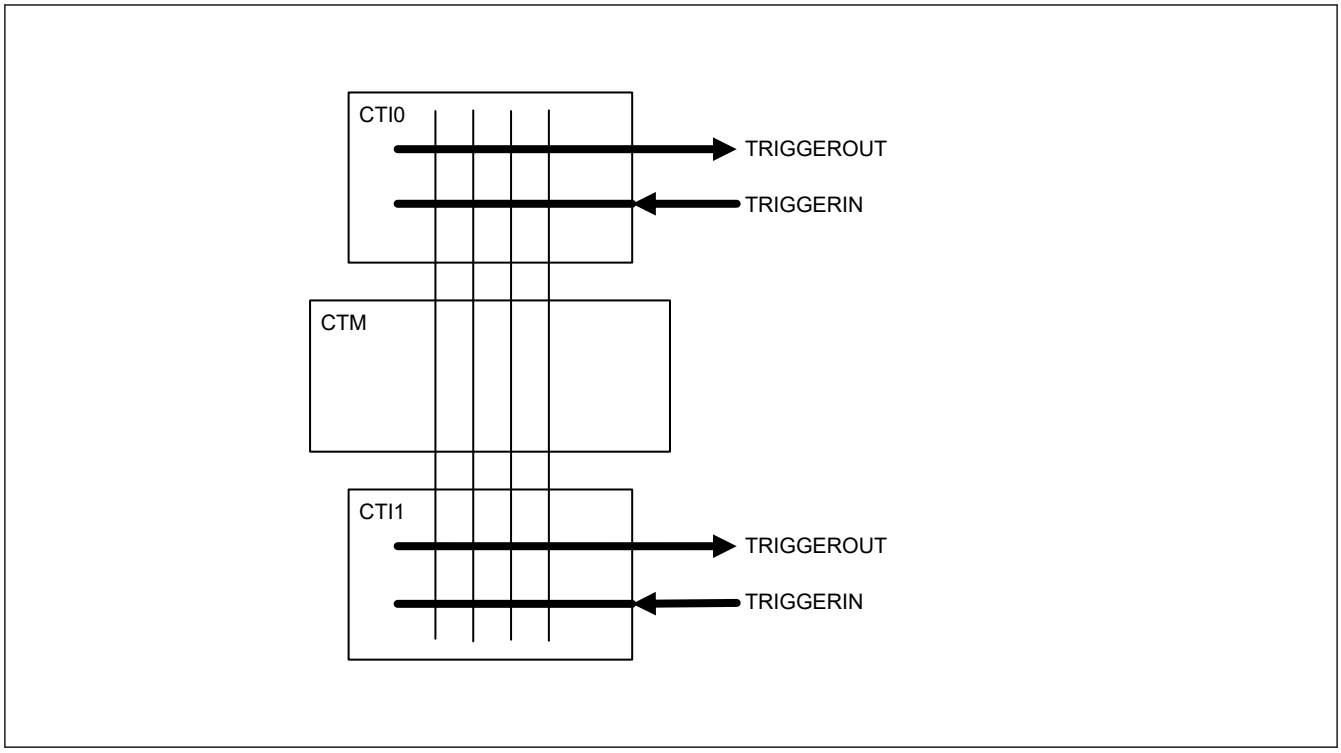


図 2.6　CTI システム

デバッグ割込み要求（DBGIRQ）は、OCDREG モジュールの MCUCTRL レジスタでコントロールします。

表 2.16　CTI トリガ信号

CTI チャネル数	CTITRIGIN		CTITRIGOUT	
CTI0（デバッグ共通）	0	ACQCOMP	0	—
	1	FULL	1	—
	2	DBIRQ	2	ETB FLUSHIN
	3	—	3	ETB TRIGIN
	4	—	4	—
	5	—	5	—
	6	—	6	—
	7	—	7	—
CTI1 (CPU)	0	プロセッサ停止	0	プロセッサデバッグ要求
	1	DWT コンパレータ出力 0	1	プロセッサ再開始
	2	DWT コンパレータ出力 1	2	CTIIRQ[0] (IRQ96 に接続)
	3	DWT コンパレータ出力 2	3	CTIIRQ[1] (IRQ97 に接続)
	4	ETM イベント出力 0	4	ETM イベント入力 0
	5	ETM イベント出力 1	5	ETM イベント入力 1
	6	—	6	ETM イベント入力 2
	7	—	7	ETM イベント入力 3

2.8　CoreSight ATB ファネル

MCU には 1 つの CoreSight ATB ファネルがあります。ファネルには 2 つの ATB スレーブと 1 つの ATB マスタがあり、ETM および ITM から ETB までのデバッグトレースソースを選択します。図 2.7 に MCU 内の CoreSight ATB 接続を示します。

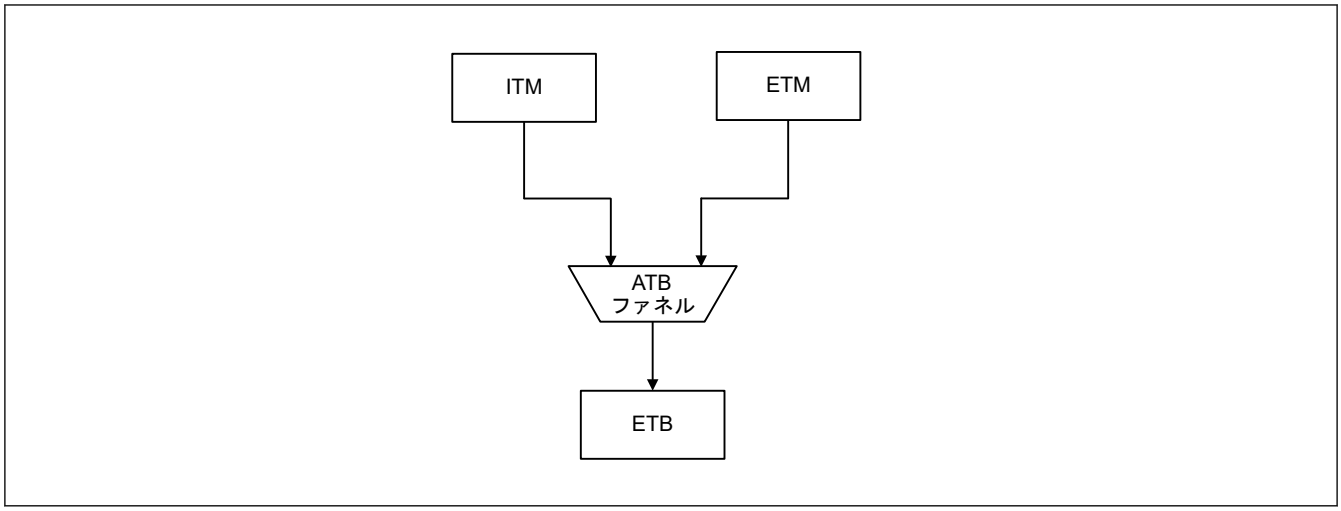


図 2.7 CoreSight ATB 接続

表 2.17 にファネル ATB スレーブ接続を示します。

表 2.17 ATB スレーブ接続

ATB スレーブ番号	接続されたトレースソース
#0	ITM
#1	ETM

ATB とファネルの詳細は、「2.13. 参考資料」の参考資料 4.を参照してください。

2.9 ブレークポイントユニット

MCU にはブレークポイントユニットがあります。このモジュールのレジスタ説明の詳細については、「2.13. 参考資料」の参考資料 1.のブレークポイントユニット章を参照してください。

2.10 CoreSight タイムスタンプ発生器

CoreSight タイムスタンプ発生器は、ITM と ETM へ CPU クロックベースのタイムスタンプを供給します。タイムスタンプは 64 ビットカウンタにより生成されます。詳細は、「2.13. 参考資料」の参考資料 4.を参照してください。

2.11 SysTick タイマ

本 MCU は、非セキュアとセキュアの 2 つの 24 ビットダウンカウンタとなる SysTick タイマを内蔵しています。このタイマは、SysTick タイマクロック (SYSTICCLK) またはシステムクロック (ICLK) を選択できます。

詳細は、「8. クロック発生回路」および「2.13. 参考資料」の参考資料 1.を参照してください。

注. SysTick タイマカウンタ動作は、CPU クロック信号との同期により許可されます。よって、CPU クロックの設定が SysTick タイマクロックより遅い場合は、カウンタは正常に動作しない可能性があります。つまり、クロック設定は次の式を満たさなければなりません。CPU クロック ≧ SysTick タイマクロック (LOCO: 32.768 kHz)

2.12 OCD エミュレータ接続

本 MCU は、デバッグ時のチップリソースへのアクセス許可をチェックするための SWD 認証機構を搭載しています。全デバッグ機能を許可するには、この認証を合格することが必要です。

図 2.8 に、認証機構のブロック図を示します。

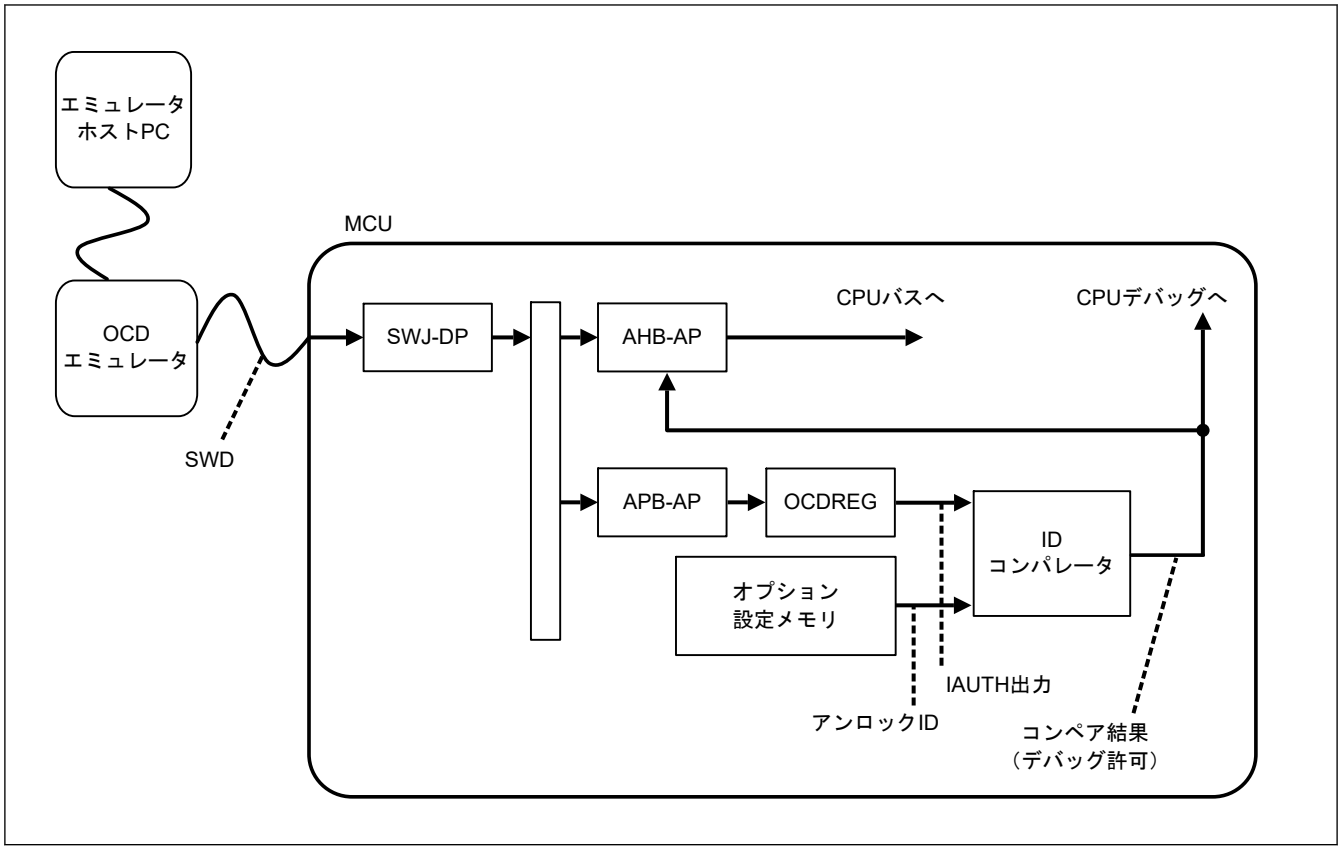


図 2.8　SWD 認証機構のブロック図

本 MCU には SWD 認証用の ID コンパレータがあります。このコンパレータは、OCDREG からの 128 ビットの IAUTH 出力値と、オプション設定メモリの 128 ビットアンロック ID コードを比較します。これら 2 つの出力値が同一であると SWD 認証が合格となり、CPU デバッグ機能と、エミュレータからのシステムバスアクセスが許可されます。

2.12.1　DBGEN

OCD エミュレータは、アクセス許可を取得した後、システムコントロール OCD コントロールレジスタ (SYOCDCR) の DBGEN ビットを設定する必要があります。また、OCD エミュレータは切断する前に DBGEN ビットをクリアする必要があります。詳細は、「10. 低消費電力モード」を参照してください。

2.12.2　アンロック ID コード

アンロック ID コードは、CPU デバッグ機能とシステムバスアクセスの許可を判定するために用いられます。アンロック ID コードが IAUTH0-3 に書き込まれた 128 ビットデータと一致した場合、SWD デバッガはアクセス許可を取得します。アンロック ID コードは、オプション設定メモリの OCD／シリアルプログラマ ID 設定レジスタ (OSIS) に書き込まれます。アンロック ID コードの初期値は、すべて 1 (0xFFFF FFFF FFFF FFFF FFFF FFFF FFFF FFFF) です。OSIS の詳細は「6. オプション設定メモリ」と「41. フラッシュメモリ」を参照してください。

2.12.3　OCD エミュレータ接続における制限

本節では、エミュレータアクセスにおける制限を説明します。

2.12.3.1　低消費電力モードにおける接続開始

OCD エミュレータから SWD 接続を開始するとき、MCU は通常モードかスリープモードでなければいけません。MCU がソフトウェアスタンバイモード、スヌーズモード、またはディープソフトウェアスタンバイモードであると、 OCD エミュレータは MCU をハングさせる場合があります。

2.12.3.2 OCD モード中の低消費電力モードの変更

本 MCU が OCD モードであるとき、低消費電力モードへの切り替えが可能です。ただし、AHB-AP からのシステムバスアクセスは、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードでは禁止されます。これらのモードでは、SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。表 2.18 に制約事項を示します。

表 2.18 各モードの制限

現在のモード	OCD エミュレータの接続開始	低消費電力モードの変更	AHB-AP とシステムバスへのアクセス	APB-AP と OCDREG へのアクセス
ノーマル	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ソフトウェアスタンバイ	不可能	可能	不可能	可能
スヌーズ	不可能	可能	不可能	可能
ディープソフトウェアスタンバイモード	不可能	可能	不可能	可能

ソフトウェアスタンバイモード、スヌーズモードまたはディープソフトウェアスタンバイモードにおいてシステムバスアクセスが必要な場合は、OCDREG の MCUCTRL.DBIRQ ビットを設定して、MCU を低消費電力モードから復帰させてください。同時に、OCDREG の MCUCTRL.DBIRQ ビットを用いることで、エミュレータは CPU の実行を開始することなく、本 MCU を復帰させることが可能です。

2.12.3.3 OSIS レジスタにおけるアンロック ID コードの変更

OSIS レジスタにおいてアンロック ID コードを変更した場合、RES 端子をアサートするか、またはシステムコントロールブロックのアプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットを 1 にすることによって、本 MCU をリセットする必要があります。変更されたアンロック ID コードは、このリセット後に反映されます。

2.12.3.4 接続順序と SWD 認証

エミュレータとの接続は SWD 認証機構で保護されているため、認証レジスタに対しアンロック ID コードの入力が必要となる場合があります。オプション設定メモリの OSIS レジスタの値によって、アンロック ID コードの入力が必要かどうか決まります。

リセットネゲート後、コールドスタート時の OSIS レジスタ値を比較する前に 5 µs の待ち時間が必要です。

(1) OSIS の MSB が 0（ビット[127] = 0）の場合

ID コードは常に不一致であり、エミュレータへの接続は禁止されます。

(2) OSIS がすべて 1 の場合（デフォルト）

OCD 認証は不要であり、エミュレータは認証なしで AHB-AP を使用できます。

1. SWD インタフェースを介してエミュレータを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、エミュレータは SWJDP コントロールステータスレジスタの CDBGPWRUPREQ をアサートした後、同じレジスタの CDBGPWRUPACK がアサートされるまで待つ必要があります。
3. MCUCTRL.CPUWAIT = 1 にします。
4. MCUSTAT.DBGFUNCEN が 1 になっているかどうかを読み出し、デバッグ関連レジスタを設定してから、MCUCTRL.CPUWAIT を 0 にクリアします。
5. システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
6. SYOCDCR.DBGEN を 1 に設定します。
7. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

(3) OSIS[127:126] = 10b の場合

OCD 認証が必要であり、OCD は、OCDREG の IAUTH0～IAUTH3 レジスタにアンロックコードを書き込んでから、AHB-AP を使用する必要があります。

1. SWD インタフェースを介してエミュレータを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、エミュレータは SWJDP コントロールステータスレジスタの CDBGPWRUPREQ をアサートし、同じレジスタの CDBGPWRUPACK がアサートされるまで待つ必要があります。
3. OCDREG にアクセスするよう APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH0～IAUTH3 レジスタに 128 ビットのアンロック ID コードを書き込みます。
5. MCUCTRL.CPUWAIT = 1 にします。
6. この 128 ビットのアンロック ID コードが OSIS レジスタの値と一致した場合、AHB-AP に対して AHB トランザクションを発行する権限が与えられます。認証結果は、AHB-AP コントロールステータスワードレジスタの DbgStatus ビットで確認できます。
   - DbgStatus ビットが 1 の場合、128 ビット ID コードが OSIS 値と一致している。AHB 転送が許可される。
   - DbgStatus ビットが 0 の場合、128 ビット ID コードが OSIS 値と一致していない。AHB 転送は許可されない。
7. MCUSTAT.DBGFUNCEN が 1 になっているかどうかを読み出し、デバッグ関連レジスタを設定してから、MCUCTRL.CPUWAIT を 0 にクリアします。
8. システムアドレス空間にアクセスするよう AHB-AP を設定します。AHB-AP は DAP バスのポート 0 に接続されます。
9. SYOCDCR.DBGEN を 1 に設定します。
10. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

(4) OSIS[127:126] = 11b の場合

OCD 認証が必要であり、OCD は、OCDREG の IAUTH0～IAUTH3 レジスタにアンロックコードを書き込む必要があります。「ALeRASE」能力を除き、接続シーケンスは OSIS[127:126] = 10b の場合と同じです。

IATUH0～IATUH3 レジスタに ASCII コードで「ALeRASE」 (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) と書き込まれると、コードフラッシュ、データフラッシュ、およびコンフィグレーション領域の内容がただちに消去されます。詳細は「41. フラッシュメモリ」を参照してください。

ALeRASE シーケンスは以下のとおりです。

1. SWD インタフェースを介してエミュレータを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、エミュレータは SWJDP コントロールステータスレジスタの CDBGPWRUPREQ をアサートした後、同じレジスタの CDBGPWRUPACK がアサートされるまで待つ必要があります。
3. OCDREG にアクセスするよう APB-AP を設定します。APB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH0～IAUTH3 レジスタに 128 ビットのアンロック ID コードを書き込みます。
5. 128 ビット ID コードが ASCII コード「ALeRASE」の場合、コードフラッシュ、データフラッシュおよびコンフィグレーション領域の内容が消去されます。その後、MCU はスリープモードに遷移します。

2.12.4 OCD エミュレータ切断における制限

OCD エミュレータ切断後に、デバイスはソフトウェアスタンバイモードへ十分に遷移できません。

この状況では、消費電力は期待通りに低減されません。それは、いくつかの低消費電力機能が働かないためです。

2.13 参考資料

1. *ARM®v8-M Architecture Reference Manual* (ARM DDI 0553B.a)
2. *ARM® Cortex®-M33 Processor Technical Reference Manual* (ARM 100230)
3. *ARM® Cortex®-M33 Device Generic User Guide* (ARM 100235)
4. *ARM® CoreSight™ SoC-400 Technical Reference Manual* (ARM DDI 0480G)
5. *ARM® CoreSight™ Architecture Specification* (ARM IHI 0029E)

3. 動作モード

3.1 概要

表 3.1 は、モード設定端子による動作モードの選択を示しています。詳細は、「3.2. 動作モードの説明」を参照してください。どのモードで起動しても、内蔵フラッシュメモリが有効な状態で動作を開始します。

表 3.1 モード設定端子による動作モードの選択

モード設定端子 (MD)	動作モード	内蔵フラッシュ
1	シングルチップモード／SWD ブートモード	有効
0	SCI/USB(注1)ブートモード	有効

注 1. USB ブートモードは 32 ピン製品には存在しません。

3.2 動作モードの説明

3.2.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。

MD 端子が High になっているときにリセットが解除されると、MCU はシングルチップモードで起動し、内蔵フラッシュメモリが有効になります。

3.2.2 SCI ブートモード

このモードでは、MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン（SCI ブートプログラム）が用いられます。調歩同期式シリアル通信インタフェース (UART) SCI を使用して、MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は「41. フラッシュメモリ」を参照してください。MD 端子を Low に保持してリセットを解除すると、SCI ブートモードで起動します。

3.2.3 USB ブートモード

このモードでは、MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン（USB ブートプログラム）が用いられます。USB を使用して、MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は、「41. フラッシュメモリ」を参照してください。MD 端子を Low に保持してリセットを解除すると、USB ブートモードで起動します。

注. USB ブートモードは 32 ピン製品には存在しません。

3.2.4 SWD ブートモード

このモードでは、MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン（SWD ブートプログラム）が用いられます。SWD インタフェースを使用して、MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は「41. フラッシュメモリ」を参照してください。このモードに入るには、RES 端子リセット中に SWD-I/F から要求を入力する必要があります。

3.3 動作モード遷移

3.3.1 モード設定端子による動作モード遷移

MD 端子の設定による起動モード遷移について、図 3.1 に状態遷移図を示します。

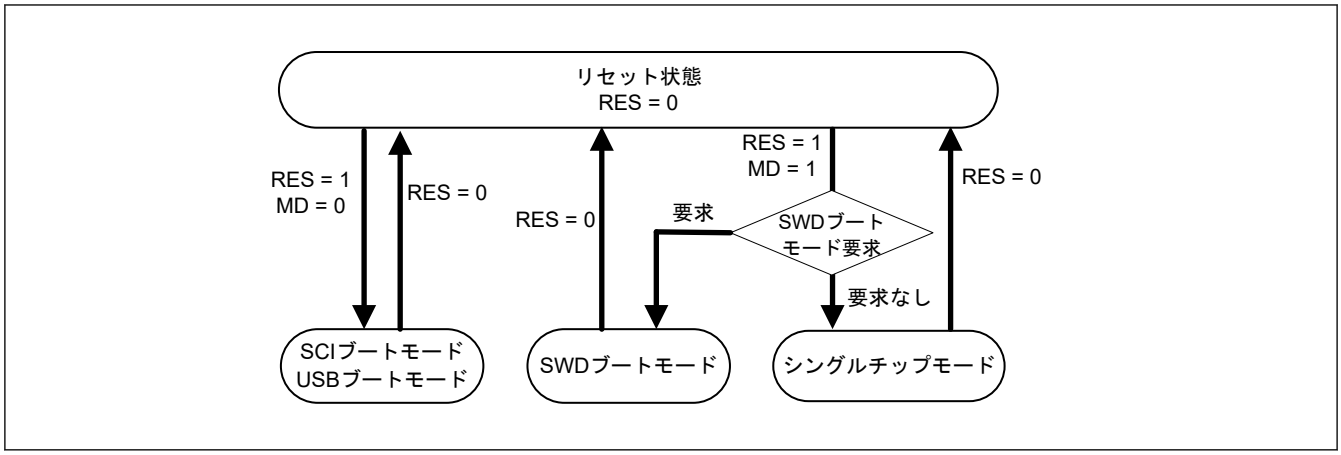
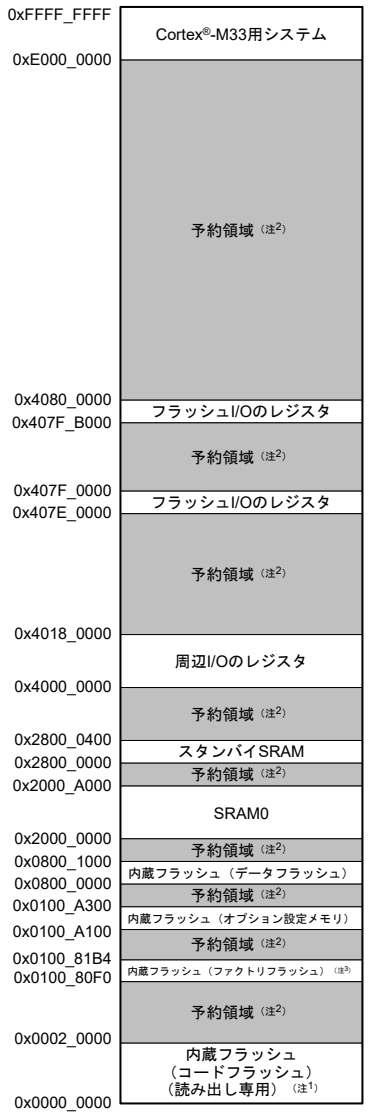


図 3.1　モード設定端子のレベルと動作モード

4. アドレス空間

4.1 アドレス空間

本 MCU は、プログラムとデータの両方を格納できる 4 GB のリニアアドレス空間 (0x0000_0000～0xFFFF_FFFF) をサポートしています。図 4.1 にメモリマップを示します。



注 1. 表 4.1 を参照してください。フラッシュの容量は製品により異なります。
注 2. 予約領域にアクセスしないでください。
注 3. ファクトリフラッシュは UIDRn レジスタ、PNRn レジスタ、MCUVER レジスタを含んでいます。詳細は「41. フラッシュメモリ」を参照してください。

図 4.1 メモリマップ

表 4.1 コードフラッシュメモリ、データフラッシュメモリ、および SRAM0 の容量

コードフラッシュメモリ		データフラッシュメモリ		SRAM0	
容量	アドレス	容量	アドレス	容量	アドレス
128 KB	0x0000_0000～0x0001_FFFF	4 KB	0x0800_0000～0x0800_0FFF	40 KB	0x2000_0000～0x2000_9FFF

5. リセット

5.1 概要

本 MCU は、14 種類のリセットをサポートしています。

表 5.1 にリセットの名称と要因を示します。

表 5.1 リセットの名称と要因

リセット名	要因
RES 端子リセット	RES 端子への入力電圧が Low
パワーオンリセット	VCC の上昇（電圧検出：V_{POR}）(注1)
独立ウォッチドッグタイマリセット	IWDT のアンダーフローまたはリフレッシュエラーの発生
ウォッチドッグタイマリセット	WDT のアンダーフローまたはリフレッシュエラーの発生
電圧監視 0 リセット	VCC の下降（電圧検出：V_{det0}）(注1)
電圧監視 1 リセット	VCC の下降（電圧検出：V_{det1}）(注1)
電圧監視 2 リセット	VCC の下降（電圧検出：V_{det2}）(注1)
SRAM パリティエラーリセット	SRAM パリティエラーの検出
SRAM ECC エラーリセット	SRAM ECC エラーの検出
バスマスタ MPU エラーリセット	バスマスタ MPU エラーの検出
TrustZone エラーリセット	TrustZone エラーの検出
キャッシュパリティエラーリセット	キャッシュパリティエラーの検出
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
ソフトウェアリセット	レジスタ設定（ソフトウェアリセットビット：AIRCR.SYSRESETREQ を使用）

注 1. 監視電圧（V_{POR}、V_{det0}、V_{det1}、および V_{det2}）の詳細については、「7. 低電圧検出回路 (LVD)」と「44. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 5.2 と表 5.3 にリセット種類別の初期化対象を示します。

表 5.2 リセット種類別の初期化対象（リセット検出フラグ） (1/4)

初期化対象フラグ	リセット要因							
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	✓	—	—	—	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF)	✓	✓	—	—	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	✓	✓	✓	—	—	—	—	—
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	✓	✓	✓	—	—	—	—	—
電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF)	✓	✓	✓	—	—	—	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF)	✓	✓	✓	—	—	—	—	—

表 5.2 リセット種類別の初期化対象（リセット検出フラグ） (2/4)

初期化対象フラグ	リセット要因							
	RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	✓	✓	✓	—	—	—	—	—
SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF)	✓	✓	✓	—	—	—	—	—
SRAM ECC エラーリセット検出フラグ (RSTSR1.REERF)	✓	✓	✓	—	—	—	—	—
バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF)	✓	✓	✓	—	—	—	—	—
TrustZone エラーリセット検出フラグ (RSTSR1.TZERF)	✓	✓	✓	—	—	—	—	—
キャッシュパリティエラーリセット検出フラグ (RSTSR1.CPERF)	✓	✓	✓	—	—	—	—	—
ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF)	✓	✓	✓	—	—	—	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	✓	—	—	—	—	—	—

表 5.2 リセット種類別の初期化対象（リセット検出フラグ） (3/4)

初期化対象フラグ	リセット要因						
	SRAM パリティエラーリセット	SRAM ECC エラーリセット	バスマスタ MPU エラーリセット	TrustZone リセットエラー	キャッシュパリティエラーリセット	ディープソフトウェアスタンバイリセット	
						DEEPCUT[0] = 0	DEEPCUT[0] = 1
パワーオンリセット検出フラグ (RSTSR0.PORF)	—	—	—	—	—	—	—
電圧監視 0 リセット検出フラグ (RSTSR0.LVD0RF)	—	—	—	—	—	—	—
独立ウォッチドッグタイマリセット検出フラグ (RSTSR1.IWDTRF)	—	—	—	—	—	✓	✓
ウォッチドッグタイマリセット検出フラグ (RSTSR1.WDTRF)	—	—	—	—	—	✓	✓
電圧監視 1 リセット検出フラグ (RSTSR0.LVD1RF)	—	—	—	—	—	—	—
電圧監視 2 リセット検出フラグ (RSTSR0.LVD2RF)	—	—	—	—	—	—	—
ソフトウェアリセット検出フラグ (RSTSR1.SWRF)	—	—	—	—	—	✓	✓
SRAM パリティエラーリセット検出フラグ (RSTSR1.RPERF)	—	—	—	—	—	✓	✓

表 5.2 リセット種類別の初期化対象（リセット検出フラグ） (4/4)

初期化対象フラグ	リセット要因						
	SRAM パリティエラーリセット	SRAM ECC エラーリセット	バスマスタ MPU エラーリセット	TrustZone リセットエラー	キャッシュパリティエラーリセット	ディープソフトウェアスタンバイリセット	
						DEEPCUT[0] = 0	DEEPCUT[0] = 1
SRAM ECC エラーリセット検出フラグ (RSTSR1.REERF)	—	—	—	—	—	✓	✓
バスマスタ MPU エラーリセット検出フラグ (RSTSR1.BUSMRF)	—	—	—	—	—	✓	✓
TrustZone エラーリセット検出フラグ (RSTSR1.TZERF)	—	—	—	—	—	✓	✓
キャッシュパリティエラーリセット検出フラグ (RSTSR1.CPERF)	—	—	—	—	—	✓	✓
ディープソフトウェアスタンバイリセット検出フラグ (RSTSR0.DPSRSTF)	—	—	—	—	—	—	—
コールドスタート／ウォームスタート判別フラグ (RSTSR2.CWSF)	—	—	—	—	—	—	—

注. ✓ : 0 に初期化される
— : 初期化されない

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ） (1/4)

初期化対象レジスタ		リセット要因							
		RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット
独立ウォッチドッグタイマのレジスタ	IWDTRR, IWDTSR	✓	✓	✓	✓	✓	✓	✓	✓
ウォッチドッグタイマのレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSTPR	✓	✓	✓	✓	✓	✓	✓	✓
電圧監視機能 1 のレジスタ	LVD1CR0, LVD1CMPCR	✓	✓	✓	✓	✓	—	—	—
	LVD1CR1/LVD1SR	✓	✓	✓	✓	✓	—	—	—
電圧監視機能 2 のレジスタ	LVD2CR0, LVD2CMPCR	✓	✓	✓	✓	✓	—	—	—
	LVD2CR1/LVD2SR	✓	✓	✓	✓	✓	—	—	—
SOSC のレジスタ	SOSCCR	—	✓(注1)	—	—	—	—	—	—
	SOMCR	—	—	—	—	—	—	—	—
LOCO のレジスタ	LOCOCR	✓	✓	✓	✓	✓	✓	✓	✓
	LOCOUTCR	—	✓	✓	—	—	✓	✓	—
MOSC のレジスタ	MOMCR	✓	✓	✓	✓	✓	✓	✓	✓
リアルタイムクロック (RTC) のレジスタ (注2)		—	—	—	—	—	—	—	—
AGTn レジスタ (n = 0, 1)		—	✓	✓	—	—	✓	✓	—
USBFS のレジスタ	DPUSR0R、DPUSR1R 以外	✓	✓	✓	✓	✓	✓	✓	✓
	DPUSR0R, DPUSR1R	✓	✓	✓	✓	✓	✓	✓	✓

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ） (2/4)

初期化対象レジスタ		リセット要因							
		RES 端子リセット	パワーオンリセット	電圧監視 0 リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視 1 リセット	電圧監視 2 リセット	ソフトウェアリセット
バス、MPU、および TrustZone エラーレジスタ(注4)	BUS_ERROR_ADDRESS レジスタ BUS_ERROR_STATUS レジスタ	✓	✓	✓	✓	✓	✓	✓	✓
端子状態（XCIN/XCOUT 端子以外）		✓	✓	✓	✓	✓	✓	✓	✓
端子状態（XCIN/XCOUT 端子）		—	—	—	—	—	—	—	—
低消費電力機能のレジスタ	DPSBYCR, DPSIER0～DPSIER3, DPSIFR0～DPSIFR3, DPSIEGR0～DPSIEGR2	✓	✓	✓	✓	✓	✓	✓	✓
	SYOCDCR	—	✓	—	—	—	—	—	—
セキュリティ属性のレジスタ	CPUDSAR, RSTSAR, LVDSAR, CGFSAR, LPMSAR, DPFSAR, BBFSAR, ICUSARx, BUSSARA, BUSSARB, CSAR, MMPUSARA, MMPUSARB, DMACSAR, DTCSAR, ELCSARA, ELCSARB, ELCSARC, PmSAR, SRAMSAR, STBRAMSAR, FSAR, PSARB, PSARC, PSARD, PSARE, MSSAR, TZFSAR	✓(注5)	✓	✓(注5)	✓(注5)	✓(注5)	✓(注5)	✓(注5)	✓(注5)
上記以外のレジスタ、CPU、および内部状態		✓	✓	✓	✓	✓	✓	✓	✓

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ） (3/4)

初期化対象レジスタ		リセット要因						
		SRAM パリティエラーリセット	SRAM ECC エラーリセット	バスマスタ MPU エラーリセット	TrustZone エラーリセット	キャッシュパリティエラーリセット	ディープソフトウェアスタンバイリセット	
							DEEPCUT [0] = 0	DEEPCUT [0] = 1
独立ウォッチドッグタイマのレジスタ	IWDTRR, IWDTSR	✓	✓	✓	✓	✓	✓	✓
ウォッチドッグタイマのレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSTPR	✓	✓	✓	✓	✓	✓	✓
電圧監視機能 1 のレジスタ	LVD1CR0, LVD1CMPCR	—	—	—	—	—	—	—
	LVD1CR1/LVD1SR	—	—	—	—	—	✓	✓
電圧監視機能 2 のレジスタ	LVD2CR0, LVD2CMPCR	—	—	—	—	—	—	—
	LVD2CR1/LVD2SR	—	—	—	—	—	✓	✓

表 5.3 リセット種類別の初期化対象（各モジュールの関連レジスタ） (4/4)

初期化対象レジスタ		リセット要因						
		SRAM パリティエラーリセット	SRAM ECC エラーリセット	バスマスタ MPU エラーリセット	TrustZone エラーリセット	キャッシュパリティエラーリセット	ディープソフトウェアスタンバイリセット	
							DEEPCUT [0] = 0	DEEPCUT [0] = 1
SOSC のレジスタ	SOSCCR	—	—	—	—	—	—	—
	SOMCR	—	—	—	—	—	—	—
LOCO のレジスタ	LOCOCR	✓	✓	✓	✓	✓	✓	✓
	LOCOUTCR	—	—	—	—	—	—	✓
MOSC のレジスタ	MOMCR	✓	✓	✓	✓	✓	—	—
リアルタイムクロック (RTC) のレジスタ(注2)		—	—	—	—	—	—	—
AGTn レジスタ (n = 0, 1)		—	—	—	—	—	—	✓
USBFS のレジスタ	DPUSR0R、DPUSR1R 以外	✓	✓	✓	✓	✓	✓	✓
	DPUSR0R, DPUSR1R	✓	✓	✓	✓	✓	—	✓
バス、MPU、および TrustZone エラーレジスタ(注4)	BUS_ERROR_ADDRESS レジスタ BUS_ERROR_STATUS レジスタ	✓	✓	—	—	—	✓	✓
端子状態（XCIN/XCOUT 端子以外）		✓	✓	✓	✓	✓	(注3)	(注3)
端子状態（XCIN/XCOUT 端子）		—	—	—	—	—	—	—
低消費電力機能のレジスタ	DPSBYCR, DPSIER0～DPSIER3, DPSIFR0～DPSIFR3, DPSIEGR0～DPSIEGR2	✓	✓	✓	✓	✓	—	—
	SYOCDCR	—	—	—	—	—	—	—
セキュリティ属性のレジスタ	CPUDSAR, RSTSAR, LVDSAR, CGFSAR, LPMSAR, DPFSAR, BBFSAR, ICUSARx, BUSSARA, BUSSARB, CSAR, MMPUSARA, MMPUSARB, DMACSAR, DTCSAR, ELCSARA, ELCSARB, ELCSARC, PmSAR, SRAMSAR, STBRAMSAR, FSAR, PSARB, PSARC, PSARD, PSARE, MSSAR, TZFSAR	✓(注5)	✓(注5)	✓(注5)	✓(注5)	✓(注5)	✓(注6)	✓(注6)
上記以外のレジスタ、CPU、および内部状態		✓	✓	✓	✓	✓	✓	✓

注. ✓：初期化される
—：初期化されない
注 1. 各レジスタの初期値については、「8. クロック発生回路」を参照してください。
注 2. RTC にはソフトウェアリセットがあります。一部の制御ビットは、どの種類のリセットによっても初期化されません。対象ビットの詳細については、「22. リアルタイムクロック (RTC)」を参照してください。
注 3. DPSBYCR.IOKEEP の設定値に依存します。
注 4. 一部の制御ビットは、どの種類のリセットによっても初期化されません。対象ビットの詳細については、「13. バス」を参照してください。
注 5. オンチップデバッガが無効 (SYOCDCR.DBGEN = 0) であっても、デバッガが接続 (DBGSTR.CDBGPWRUPREQ = 1) されているとリセットは発生しません。
注 6. オンチップデバッガが有効 (SYOCDCR.DBGEN = 1) な場合はリセットは発生しません。

RTC はいかなるリセット要因でも初期化されません。SOSC と LOCO は RTC のクロックソースとして選択可能です。

表 5.4 と表 5.5 にリセット発生時の SOSC と LOCO の状態を示します。

表 5.4 リセット発生時の SOSC の状態

		リセット要因	
		POR	その他
SOSC	有効／無効	初期化（有効）	リセット発生前に選択されていた状態を継続
	駆動能力	リセット発生前に選択されていた状態を継続	

表 5.5 リセット発生時の LOCO の状態

		リセット要因	
		POR、LVD0、LVD1、LVD2、ディープソフトウェアスタンバイ (DEEPCUT[0] = 1)	その他
LOCO	有効／無効	初期化（有効）	
	発振精度(注1)	初期化（パワーオンによるトリミングの前の精度（精度：± 10%））	LOCOUTCR レジスタにより調整された精度を継続

注 1. LOCO ユーザートリミングコントロールレジスタ (LOCOUTCR) は、POR、LVD0、LVD1、LVD2、およびディープソフトウェアスタンバイ (DEEPCUT[0] = 1) の各リセットでリセットされます。これにより LOCO は、デフォルトの発振精度に戻ります。RTC が（LOCOUTCR レジスタのユーザートリミング値で）LOCO を RTC ソースクロックとして使用する場合、RTC の精度が影響を受ける場合があります。リセット前の LOCO 発振精度に戻すには、これらのいずれかのリセット後、LOCOUTCR に必要なトリミング値をリロードしてください。

リセットが解除されると、リセット例外処理を開始します。

表 5.6 にリセット機能に関連する端子を示します。

表 5.6 リセット関連端子

端子名	入出力	機能
RES	入力	リセット端子

5.2 レジスタの説明

5.2.1 RSTSAR : リセットセキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	NONSEC2	NONSEC1	NONSEC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	NONSEC0	非セキュア属性ビット 0 対象レジスタ: リセットステータスレジスタ 0 0: セキュア 1: 非セキュア	R/W
1	NONSEC1	非セキュア属性ビット 1 対象レジスタ: リセットステータスレジスタ 1 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
2	NONSEC2	非セキュア属性ビット 2 対象レジスタ: リセットステータスレジスタ 2 0: セキュア 1: 非セキュア	R/W
31:3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

NONSEC0 ビット（非セキュア属性ビット 0）

本ビットは RSTSR0 のセキュリティ属性を制御します。

NONSEC1 ビット（非セキュア属性ビット 1）

本ビットは RSTSR1 のセキュリティ属性を制御します。

NONSEC2 ビット（非セキュア属性ビット 2）

本ビットは RSTSR2 のセキュリティ属性を制御します。

5.2.2 RSTSR0 : リセットステータスレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x410

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DPSRSTF	—	—	—	LVD2RF	LVD1RF	LVD0RF	PORF
Value after reset:	x(注1)	0	0	0	x(注1)	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	PORF	パワーオンリセット検出フラグ 0: パワーオンリセット未検出 1: パワーオンリセット検出	R/W(注2)
1	LVD0RF	電圧監視 0 リセット検出フラグ 0: 電圧監視 0 リセット未検出 1: 電圧監視 0 リセット検出	R/W(注2)
2	LVD1RF	電圧監視 1 リセット検出フラグ 0: 電圧監視 1 リセット未検出 1: 電圧監視 1 リセット検出	R/W(注2)
3	LVD2RF	電圧監視 2 リセット検出フラグ 0: 電圧監視 2 リセット未検出 1: 電圧監視 2 リセット検出	R/W(注2)
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DPSRSTF	ディープソフトウェアスタンバイリセット検出フラグ 0: 割り込みによるディープソフトウェアスタンバイモード解除要求の発生なし 1: 割り込みによるディープソフトウェアスタンバイモード解除要求の発生あり	R/W(注2)

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. リセット後の値は、リセット要因で異なります。
注 2. 本レジスタは表 5.2 に示すリセットが発生した時、およびフラグをクリアするための 0 書き込みによりクリアされます。クリアしたいフラグ以外は 1 を書き込む必要があります

PORF フラグ（パワーオンリセット検出フラグ）

PORF フラグはパワーオンリセットが発生したことを示します。

[1 になる条件]

- パワーオンリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- PORF から 1 を読み出した後に、0 を書き込んだとき

LVD0RF フラグ（電圧監視 0 リセット検出フラグ）

LVD0RF フラグは VCC 電圧が V_{det0} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 0 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- LVD0RF から 1 を読み出した後に、0 を書き込んだとき

LVD1RF フラグ（電圧監視 1 リセット検出フラグ）

LVD1RF フラグは VCC 電圧が V_{det1} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 1 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- LVD1RF から 1 を読み出した後に、0 を書き込んだとき

LVD2RF フラグ（電圧監視 2 リセット検出フラグ）

LVD2RF フラグは VCC 電圧が V_{det2} レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 2 リセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- LVD2RF から 1 を読み出した後に、0 を書き込んだとき

DPSRSTF フラグ（ディープソフトウェアスタンバイリセット検出フラグ）

DPSRSTF フラグは、外部または内部割り込みによってディープソフトウェアスタンバイモードが解除されたこと、および、ディープソフトウェアスタンバイモードからの例外発生時に内部リセット（ディープソフトウェアスタンバイリセット）が発生したことを示します。

[1 になる条件]

- 外部または内部割り込みによってディープソフトウェアスタンバイモードが解除されたとき。詳細は「10. 低消費電力モード」を参照してください。

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- DPSRSTF から 1 を読み出した後に、0 を書き込んだとき

5.2.3 RSTSR1 : リセットステータスレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x0C0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPERF	—	TZERF	—	BUSMRF	—	REERF	RPERF	—	—	—	—	—	SWRF	WDTRF	IWDTRF
Value after reset:	x(注1)	0	x(注1)	0	x(注1)	0	x(注1)	x(注1)	0	0	0	0	0	x(注1)	x(注1)	x(注1)

ビット	シンボル	機能	R/W
0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ 0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/W(注2)
1	WDTRF	ウォッチドッグタイマリセット検出フラグ 0: ウォッチドッグタイマリセット未検出 1: ウォッチドッグタイマリセット検出	R/W(注2)
2	SWRF	ソフトウェアリセット検出フラグ 0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/W(注2)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	RPERF	SRAM パリティエラーリセット検出フラグ 0: SRAM パリティエラーリセット未検出 1: SRAM パリティエラーリセット検出	R/W(注2)
9	REERF	SRAM ECC エラーリセット検出フラグ 0: SRAM ECC エラーリセット未検出 1: SRAM ECC エラーリセット検出	R/W(注2)
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	BUSMRF	バスマスタ MPU エラーリセット検出フラグ 0: バスマスタ MPU エラーリセット未検出 1: バスマスタ MPU エラーリセット検出	R/W(注2)
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	TZERF	TrustZone エラーリセット検出フラグ 0: TrustZone エラーリセット未検出 1: TrustZone エラーリセット検出	R/W(注2)
14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	CPERF	キャッシュパリティエラーリセット検出フラグ 0: キャッシュパリティエラーリセット未検出 1: キャッシュパリティエラーリセット検出	R/W(注2)

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. リセット後の値は、リセット要因で異なります。
注 2. フラグをクリアするための 0 書き込みのみ可能です。フラグは、1 を読んだ後に 0 を書く必要があります。

IWDTRF フラグ（独立ウォッチドッグタイマリセット検出フラグ）

IWDTRF フラグは独立ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して IWDTRF に 0 を書いたとき

WDTRF フラグ（ウォッチドッグタイマリセット検出フラグ）

WDTRF フラグはウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して WDTRF に 0 を書いたとき

SWRF フラグ（ソフトウェアリセット検出フラグ）

SWRF フラグはソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して SWRF に 0 を書いたとき

RPERF フラグ（SRAM パリティエラーリセット検出フラグ）

RPERF フラグは SRAM パリティエラーリセットが発生したことを示します。

[1 になる条件]

- SRAM パリティエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して RPERF に 0 を書いたとき

REERF フラグ（SRAM ECC エラーリセット検出フラグ）

REERF フラグは SRAM ECC エラーリセットが発生したことを示します。

[1 になる条件]

- SRAM ECC エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して REERF に 0 を書いたとき

BUSMRF フラグ（バスマスタ MPU エラーリセット検出フラグ）

BUSMRF フラグはバスマスタ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バスマスタ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して BUSMRF に 0 を書いたとき

TZERF フラグ（TrustZone エラーリセット検出フラグ）

TZERF フラグは TrustZone エラーリセットが発生したことを示します。

[1 になる条件]

- TrustZone エラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して TZERF に 0 を書いたとき

CPERF フラグ（キャッシュパリティエラーリセット検出フラグ）

CPERF フラグはキャッシュパリティエラーリセットが発生したことを示します。

[1 になる条件]

- キャッシュパリティエラーリセットが発生したとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき
- 1 を読み出して CPERF に 0 を書いたとき

5.2.4 RSTSR2 : リセットステータスレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x411

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CWSF
Value after reset:	0	0	0	0	0	0	0	x(注1)

ビット	シンボル	機能	R/W
0	CWSF	コールドスタート／ウォームスタート判別フラグ 0: コールドスタート 1: ウォームスタート	R/W(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. リセット後の値は、リセット要因で異なります。
注 2. フラグをセットするための 1 書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

CWSF フラグ (コールドスタート／ウォームスタート判別フラグ)

CWSF フラグはリセット処理の種類（コールドスタートまたはウォームスタート）を示します。RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。CWSF フラグはパワーオンリセットで初期化されます。RES 端子で生成されたリセット信号では初期化されません。

[1 になる条件]

- プログラムで 1 を書いたとき

[0 になる条件]

- 表 5.2 に示すリセットが発生したとき

5.3 動作説明

5.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切られ、本 MCU はリセット状態になります。適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、RES 解除後待機時間 (t_{RESWT}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

詳細は、「44. 電気的特性」を参照してください。

5.3.2 パワーオンリセット

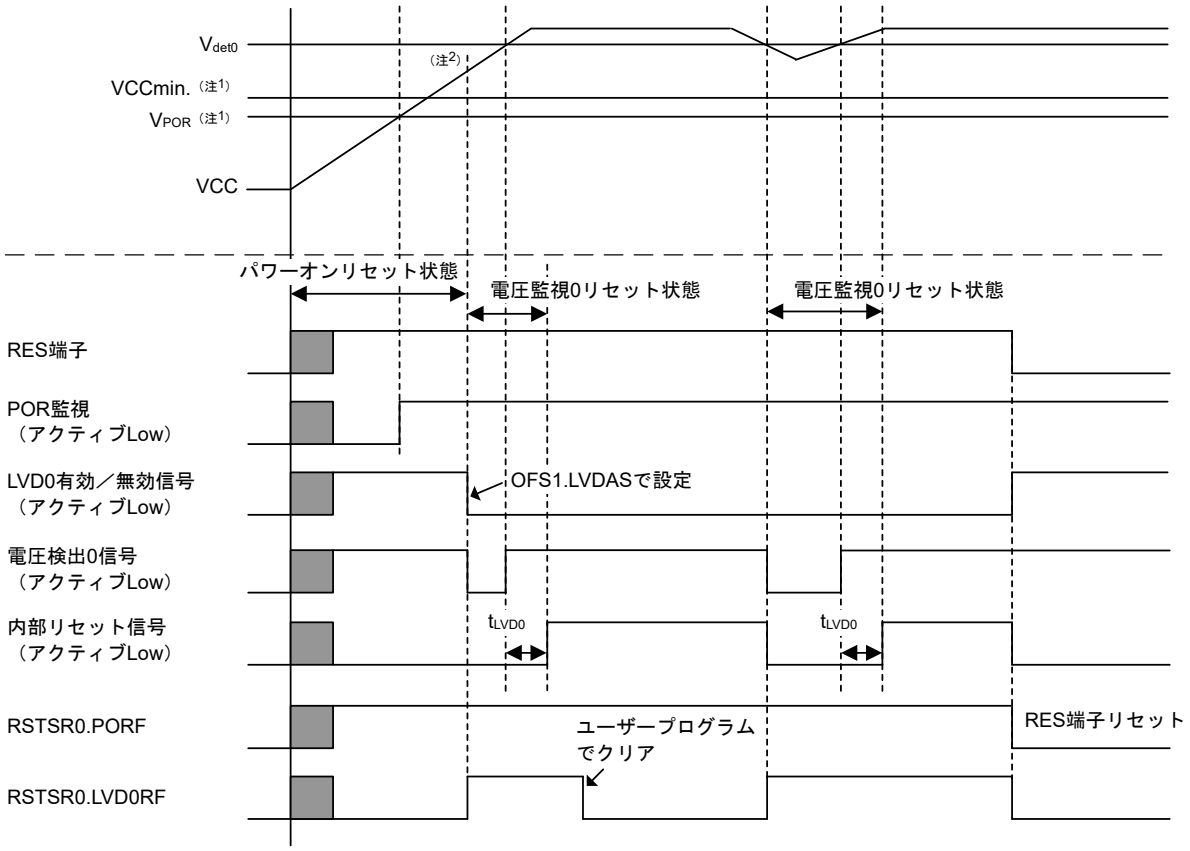
パワーオンリセット (POR) は、パワーオンリセット回路による内部リセットです。以下の条件で発生します。

1. RES 端子を High にした状態で、電源を投入した場合
2. RES 端子を High にした状態で、VCC 電圧が V_{POR} 電圧より低下した場合

パワーオンリセット中に VCC 電圧が V_{POR} 電圧を超えると、パワーオンリセット時間 (t_{POR}) 経過後、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源が安定し、かつ本 MCU が安定して動作するための時間です。

パワーオンリセットが発生すると、RSTSR0.PORF フラグが 1 になります。PORF フラグは、RES 端子リセットによって初期化されます。VCC 電圧が V_{POR} を下回った場合、パワーオンリセット状態となります。

図 5.1 に、パワーオンリセット時の動作例を示します。



注. 電気的特性についての詳細は、「44. 電気的特性」を参照してください。
注 1. V_{POR} はパワーオンリセット回路の電圧検出レベル、VCCmin は MCU の最低保証動作電圧を表します。
注 2. 電源立ち上がり時、パワーオンリセットが解除されるまでに VCC が最低保証動作電圧以上まで上昇している必要があります。

図 5.1 パワーオンリセット時の動作例

5.3.3 電圧監視リセット

電圧監視 i リセット (i = 0, 1, 2) は、電圧監視 i 回路による内部リセットです。オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 回路起動ビット (LVDAS) が 0（リセット後、電圧監視 0 リセット有効）の状態で、VCC が V_{det0} 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。VCC が V_{det0} を超えると、電圧監視 0 リセット時間 (t_{LVD0}) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 1 回路コントロールレジスタ 0 (LVD1CR0) の電圧監視 1 割り込み／リセット許可ビット (RIE) が 1（電圧監視 1 回路によるリセット／割り込み有効）で、かつ電圧監視 1 回路モード選択ビット (RI) が 1（低電圧検出時、リセット発生）の状態にあるとき、VCC の電圧が V_{det1} 以下になると、RSTSR0.LVD1RF フラグが 1 になり、電圧監視 1 回路は電圧監視 1 リセットを発生させます。

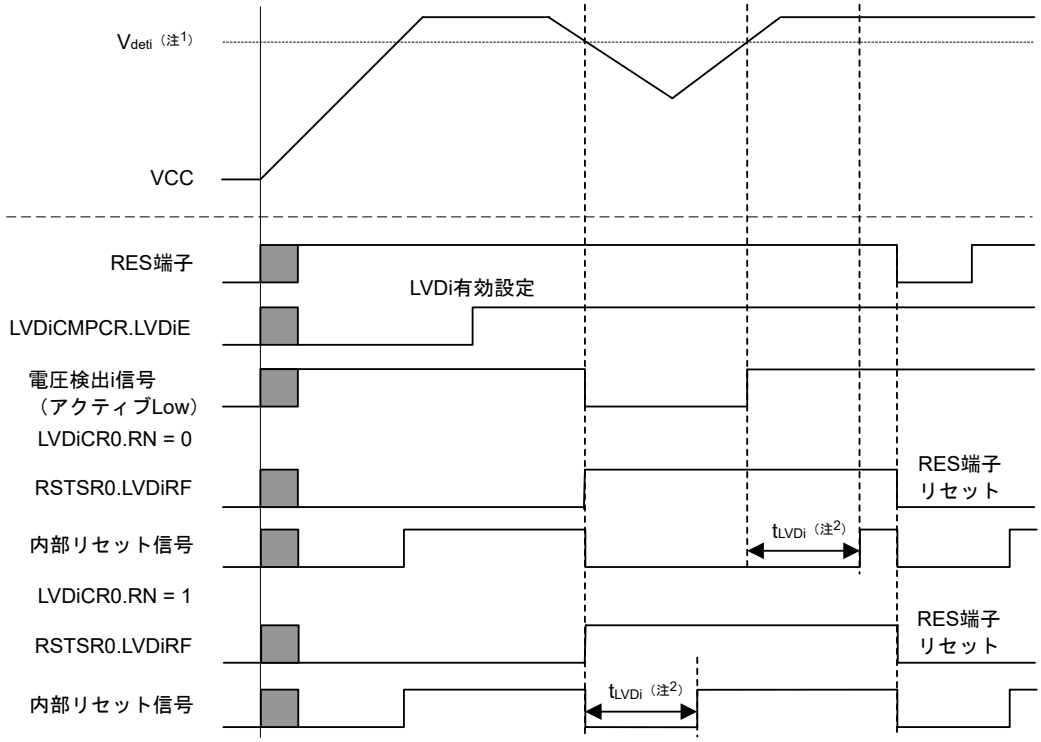
電圧監視 2 回路コントロールレジスタ 0 (LVD2CR0) の電圧監視 2 割り込み／リセット許可ビット (RIE) が 1（電圧監視 2 回路によるリセット／割り込み有効）で、かつ電圧監視 2 回路モード選択ビット (RI) が 1（低電圧検出時、リセット発生）の状態にあるとき、VCC の電圧が V_{det2} 以下になると、RSTSR0.LVD2RF フラグが 1 になり、電圧監視 2 回路は電圧監視 2 リセットを発生させます。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (RN) で選択可能です。LVD1CR0.RN ビットが 0 で、かつ VCC の電圧が V_{det1} 以下になっている場合、V_{det1} を超えてから LVD1 リセット時間 (t_{LVD1}) が経過すると、内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.RN ビットが 1 で、かつ VCC の電圧が V_{det1} 以下になっている場合、LVD1 リセット時間 (t_{LVD1}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングは、LDV2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (RN) で選択可能です。

電圧監視回路コントロールレジスタ (LVD1CMPCR/LVD2CMPCR) により、V_{det1} および V_{det2} の検出レベルは変更可能です。

図 5.2 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。電圧監視 1 リセットと電圧監視 2 リセットの詳細は、「7. 低電圧検出回路 (LVD)」を参照してください。



注. 電気的特性の詳細は、「44. 電気的特性」を参照してください。
注 1. V_{deti} は、電圧監視 i リセットの検出レベルを表しています (i = 1, 2)。
注 2. t_{LVDi} は、電圧監視 i リセット時間を表しています (i = 1, 2)。

図 5.2 電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例

5.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイリセットは、ディープソフトウェアスタンバイモードを割り込みによって解除する場合に発生する内部リセットです。

ディープソフトウェアスタンバイモードの解除要因が発生すると、ディープソフトウェアスタンバイリセットが発生します。t_{DSBY}（ディープソフトウェアスタンバイモード解除後の復帰時間）が経過した後に、ディープソフトウェアスタンバイリセットは解除されます。このとき同時に、ディープソフトウェアスタンバイモードも解除されます。

ディープソフトウェアスタンバイモードの解除後に、t_{DSBYWT}（ディープソフトウェアスタンバイモード解除後の待機時間）が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ディープソフトウェアスタンバイリセットの詳細は、「10. 低消費電力モード」を参照してください。

5.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマによる内部リセットです。 オプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、独立ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「24. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

5.3.6 ウォッチドッグタイマリセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマによる内部リセットです。WDT リセットコントロールレジスタ (WDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、ウォッチドッグタイマからウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセットの出力を選択した場合、ウォッチドッグタイマがアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、ウォッチドッグタイマリセットが発生します。ウォッチドッグタイマリセットの発生後に、内部リセット時間 (t_{RESW2}) が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「23. ウォッチドッグタイマ (WDT)」を参照してください。

5.3.7 ソフトウェアリセット

ソフトウェアリセットは、ARM コア内部の AIRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生する内部リセットです。SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間（t_{RESW2}）が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

SYSRESETREQ ビットについての詳細は、*ARM® Cortex®-M33 Technical Reference Manual* を参照してください。

5.3.8 コールドスタート／ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因、すなわち、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定できます。

RSTSR2.CWSF フラグは、パワーオンリセットが発生すると 0（コールドスタート）になります。その他のリセットを行っても 0 になりません。また、プログラムで 1 を書くと 1 になります。0 を書いても 0 になりません。

図 5.3 にコールドスタート／ウォームスタート判定機能の動作例を示します。

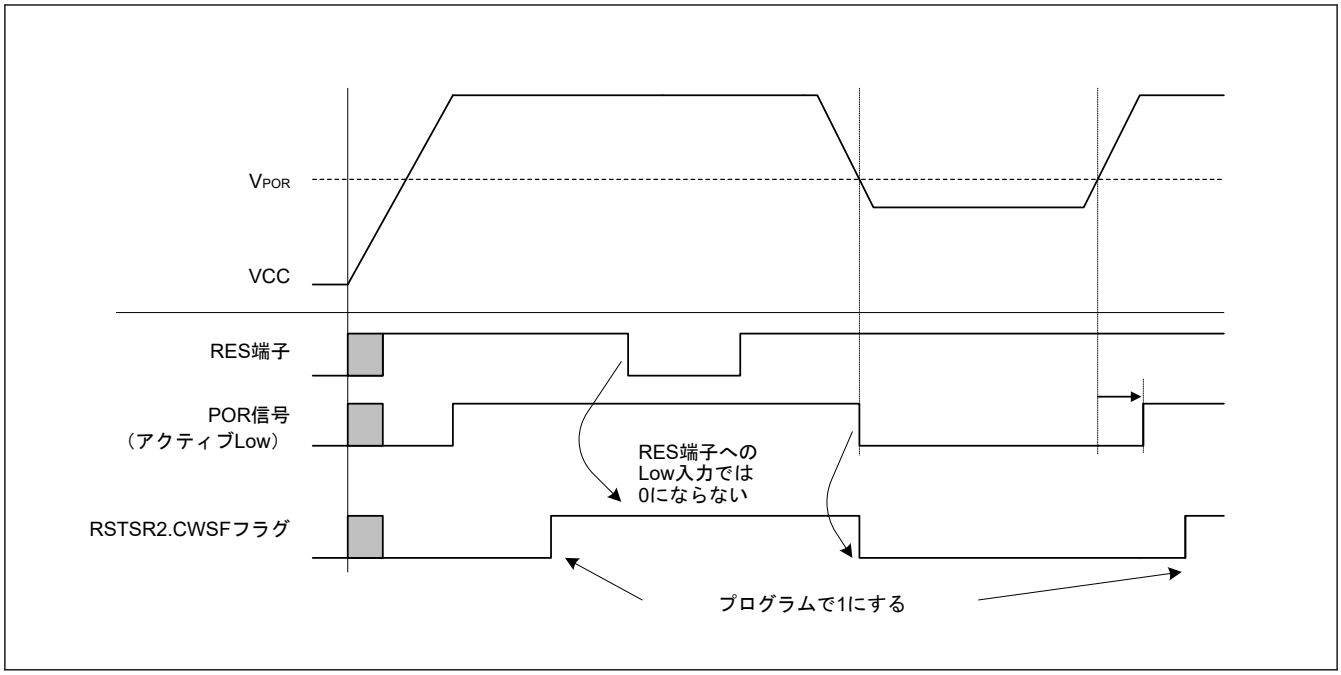
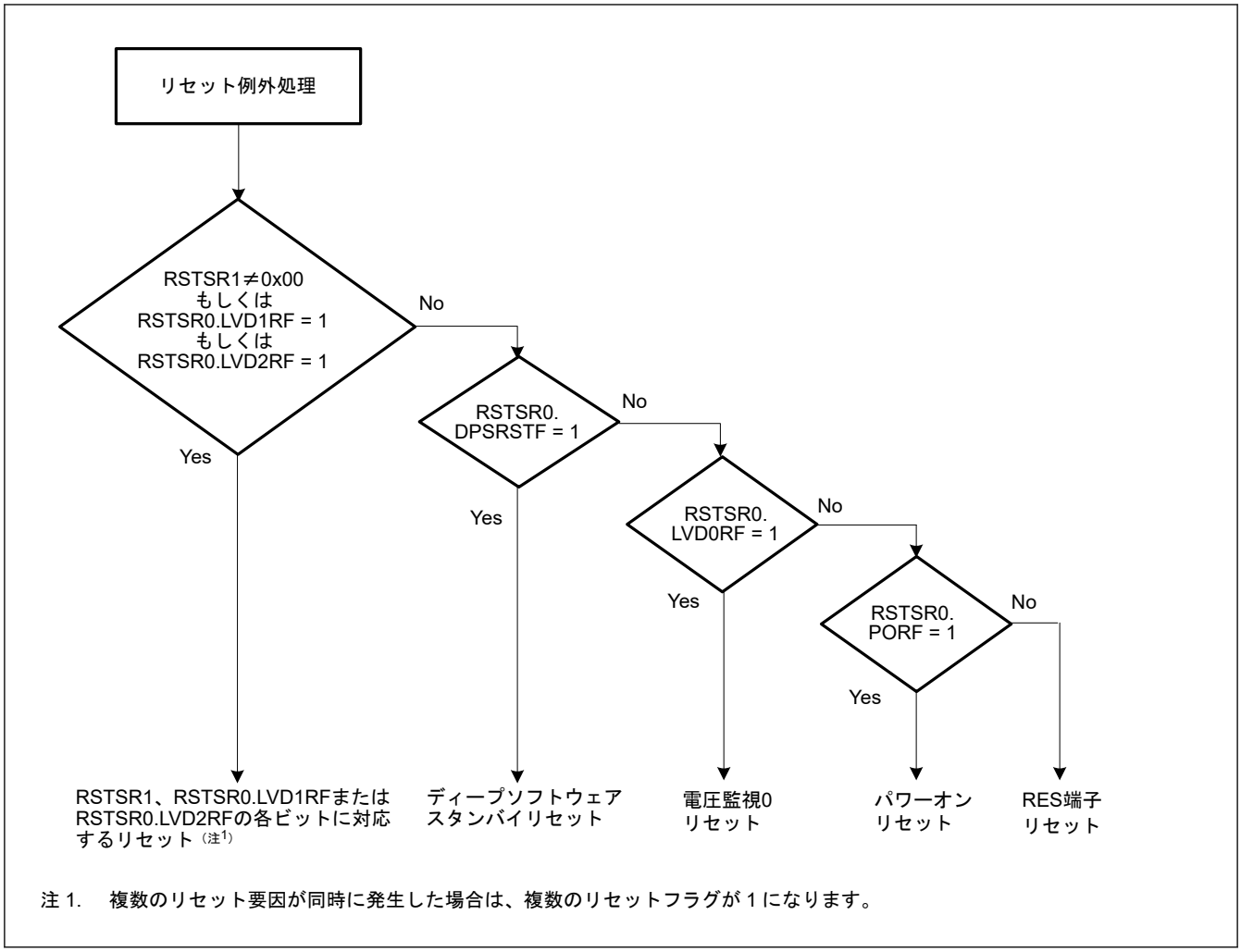


図 5.3　コールドスタート／ウォームスタート判定機能の動作例

5.3.9　リセット発生要因の判定

RSTSR0 レジスタと RSTSR1 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認できます。

図 5.4 にリセット発生要因の判定フロー例を示します。リセットフラグは、クリアするフラグ以外は 1 を書いてください。



注 1. 複数のリセット要因が同時に発生した場合は、複数のリセットフラグが 1 になります。

図 5.4 リセット発生要因の判定フロー例

6. オプション設定メモリ

6.1 概要

オプション設定メモリは、MCU のリセット後の状態を決定します。オプション設定メモリは、フラッシュメモリのコンフィグレーション設定領域に割り当てられています。

図 6.1 にオプション設定メモリの領域を示します。オプション設定メモリにはセキュア領域があります。表 6.1 にオプション設定メモリ領域のプログラミング条件を示します。

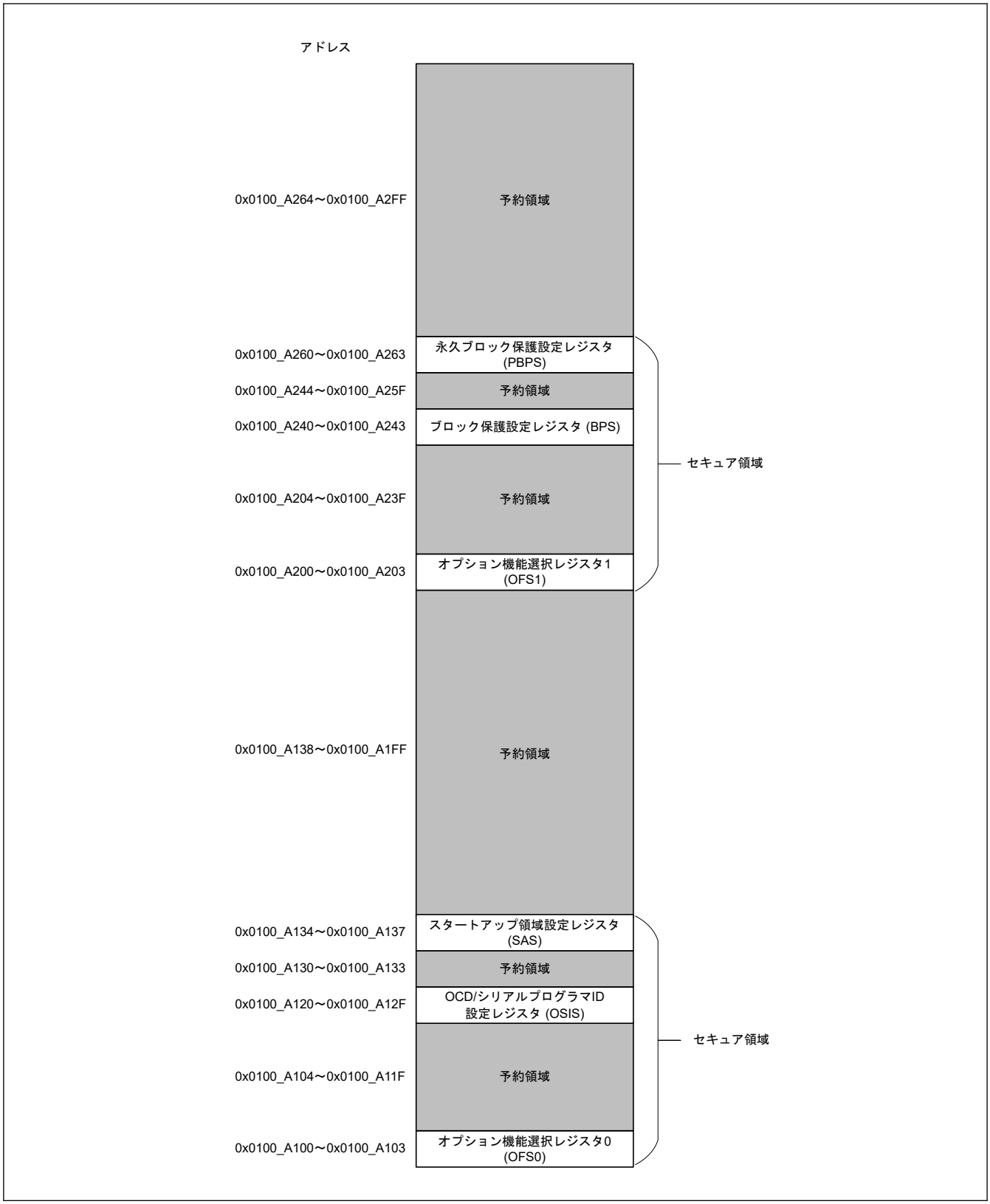


図 6.1　オプション設定メモリの領域

表 6.1 オプション設定メモリ領域のプログラミング条件

	セルフプログラミング	シリアルプログラミング	オンチップデバッガによるプログラミング
セキュア領域	セキュアアクセスにより発行されたプログラミングコマンド	シリアルプログラマ接続時に発行されたプログラミングコマンド	オンチップデバッガ接続時に発行されたプログラミングコマンド

6.2 レジスタの説明

6.2.1 OFS0 : オプション機能選択レジスタ 0

Address: 0x0100_A100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	WDTSTPCTL	—	WDTRSTIRQS	WDTRPSS[1:0]		WDTRPES[1:0]		WDTCKS[3:0]				WDTTOPS[1:0]		WDTSTRT	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	IWDTSTPCTL	—	IWDTRSTIRQS	IWDTRPSS[1:0]		IWDTRPES[1:0]		IWDTCKS[3:0]				IWDTTOPS[1:0]		IWDTSTRT	—
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
0	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R
1	IWDTSTRT	IWDT スタートモード選択 0: リセット後、IWDT は自動的に起動（オートスタートモード） 1: リセット後、IWDT は停止状態	R
3:2	IWDTTOPS[1:0]	IWDT タイムアウト期間選択 0 0: 128 サイクル (0x007F) 0 1: 512 サイクル (0x01FF) 1 0: 1024 サイクル (0x03FF) 1 1: 2048 サイクル (0x07FF)	R
7:4	IWDTCKS[3:0]	IWDT 専用クロック分周比選択 0x0: 分周なし 0x2: 16 分周 0x3: 32 分周 0x4: 64 分周 0xF: 128 分周 0x5: 256 分周 その他: 設定禁止	R
9:8	IWDTRPES[1:0]	IWDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R
11:10	IWDTRPSS[1:0]	IWDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R
12	IWDTRSTIRQS	IWDT リセット割り込み要求選択 0: 割り込み 1: リセット	R
13	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R

ビット	シンボル	機能	R/W
14	IWDTSTPCTL	IWDT 停止制御 0: カウント継続 1: スリープモード、スヌーズモード、またはソフトウェアスタンバイモードの状態にあるとき、カウント停止	R
16:15	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R
17	WDTSTRT	WDT スタートモード選択 0: リセット後、WDT は自動的に起動（オートスタートモード） 1: リセット後、WDT は停止状態（レジスタスタートモード）	R
19:18	WDTTOPS[1:0]	WDT タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R
23:20	WDTCKS[3:0]	WDT クロック分周比選択 0x1: PCLKB の 4 分周 0x4: PCLKB の 64 分周 0xF: PCLKB の 128 分周 0x6: PCLKB の 512 分周 0x7: PCLKB の 2048 分周 0x8: PCLKB の 8192 分周 その他: 設定禁止	R
25:24	WDTRPES[1:0]	WDT ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウの終了位置設定なし）	R
27:26	WDTRPSS[1:0]	WDT ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウの開始位置設定なし）	R
28	WDTRSTIRQS	WDT リセット割り込み要求選択 0: 割り込み 1: リセット	R
29	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R
30	WDTSTPCTL	WDT 停止制御 0: カウント継続 1: スリープモード遷移時にカウント停止	R
31	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R

注. セキュアアクセスのみ本レジスタへ書き込み可能です。
注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

IWDTSTRT ビット（IWDT スタートモード選択）

IWDTSTRT ビットは、リセット後の IWDT の起動モード（停止状態または起動状態）を選択します。

IWDTTOPS[1:0]ビット（IWDT タイムアウト期間選択）

IWDTTOPS[1:0]ビットは、ダウンカウンタがアンダーフローするまでの時間（すなわち、タイムアウト期間）を、IWDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、128 サイクル、512 サイクル、1024 サイクル、または 2048 サイクルから選択します。リフレッシュ動作後、カウンタがアンダーフローするまでの時間は、IWDTCKS[3:0]ビットと IWDTTOPS[1:0]ビットの組み合わせにより決定されます。

詳細は、「24. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTCKS[3:0]ビット（IWDT 専用クロック分周比選択）

IWDTCKS[3:0]ビットは、IWDT 専用クロックを分周するプリスケーラの分周比設定を、1 分周、16 分周、32 分周、64 分周、128 分周、256 分周から選択します。この設定を IWDTTOPS[1:0]ビットの設定と組み合わせて、IWDT のカウント期間を 128～524288 の IWDT クロックサイクルの間で設定できます。

詳細は、「24. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPES[1:0]ビット（IWDT ウィンドウ終了位置選択）

IWDTRPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント値の 75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置＞ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDTRPSS[1:0]、IWDTRPES[1:0]ビットで設定したウィンドウ開始／終了位置のカウンタ値は、IWDTTOPS[1:0]ビットの設定により変わります。

詳細は、「24. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRPSS[1:0]ビット（IWDT ウィンドウ開始位置選択）

IWDTRPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウント値（カウント開始を 100%、アンダーフロー発生時を 0%）の 100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は、「24. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTRSTIRQS ビット（IWDT リセット割り込み要求選択）

IWDTRSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「24. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

IWDTSTPCTL ビット（IWDT 停止制御）

IWDTSTPCTL ビットは、スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時にカウントを停止するかどうかを指定します。

詳細は、「24. 独立ウォッチドッグタイマ (IWDT)」を参照してください。

WDTSTRT ビット（WDT スタートモード選択）

WDTSTRT ビットは、リセット後の WDT の起動モード（停止状態、またはオートスタートモードでの起動）を選択します。WDT がオートスタートモードで起動する場合、WDT に対する OFS0 レジスタの設定は有効です。

WDTTOPS[1:0]ビット（WDT タイムアウト期間選択）

WDTTOPS[1:0]ビットは、ダウンカウンタがアンダーフローするまでのタイムアウト期間を、WDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、または 16384 の各サイクル数で指定します。リフレッシュ動作後、アンダーフローするまでの PCLKB サイクル数は、WDTCKS[3:0]ビットと WDTTOPS[1:0]ビットの組み合わせで決定されます。

詳細は、「23. ウォッチドッグタイマ (WDT)」を参照してください。

WDTCKS[3:0]ビット（WDT クロック分周比選択）

WDTCKS[3:0]ビットは、PCLKB を分周するプリスケーラの分周比設定を、4、64、128、512、2048、8192 の各分周から選択します。この設定を WDTTOPS[1:0]ビット設定と組み合わせることで、WDT のカウント期間は 4096 から 134217728 までの PCLKB サイクル数に設定可能です。

詳細は、「23. ウォッチドッグタイマ (WDT)」を参照してください。

WDTRPES[1:0]ビット（WDT ウィンドウ終了位置選択）

WDTRPES[1:0]ビットは、ダウンカウンタのウィンドウ終了位置を、カウント値の 75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置＞ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置より大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

WDTRPSS[1:0]および WDTRPES[1:0]ビットで設定したウィンドウ開始／終了位置のカウンタ値は、WDTTOPS[1:0]ビットの設定により変わります。

詳細は、「23. ウォッチドッグタイマ (WDT)」を参照してください。

WDTRPSS[1:0]ビット（WDT ウィンドウ開始位置選択）

WDTRPSS[1:0]ビットは、ダウンカウンタのウィンドウ開始位置を、カウント値の 100%、75%、50%、25%から選択します。カウントを開始する位置は 100%、アンダーフローが発生する位置は 0%です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となります。

それ以外はリフレッシュ禁止期間となります。

詳細は、「23. ウォッチドッグタイマ (WDT)」を参照してください。

WDTRSTIRQS ビット（WDT リセット割り込み要求選択）

WDTRSTIRQS ビットは、ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を選択します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「23. ウォッチドッグタイマ (WDT)」を参照してください。

WDTSTPCTL ビット（WDT 停止制御）

WDTSTPCTL ビットは、スリープモード遷移時に、カウントを停止させるかどうかを選択します。

詳細は、「23. ウォッチドッグタイマ (WDT)」を参照してください。

6.2.2 OSIS : OCD／シリアルプログラマ ID 設定レジスタ

OSIS レジスタは、OCD／シリアルプログラマの ID コードプロテクト機能の ID を格納します。OCD／シリアルプログラマを接続する場合、MCU がその接続を許可するか否か判定できるようにするための値を書き込んでください。本レジスタを用いて、OCD／シリアルプログラマから送られてくるコードが、オプション設定メモリ上の ID コードと一致するか否かを判定してください。

ID コードが一致した場合は OCD/シリアルプログラマの接続を許可しますが、一致しない場合は OCD/シリアルプログラマとの接続はできません。OSIS レジスタは 32 ビットワード単位で設定する必要があります。

Address: 0x0100_A120, 0x0100_A124, 0x0100_A128, 0x0100_A12C

Bit position:	31 … 0
Bit field:	
Value after reset:	ユーザー設定値

注. セキュアアクセスのみ本レジスタへ書き込み可能です。

OCD／シリアルプログラマの ID 認証に使用する ID を格納します。

ID コードのビット[127]とビット[126]は、ID コードプロテクト機能の有効／無効を判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 6.2 に示します。

ビット[127] = 0 またはビット[126] = 0 にすると、ルネサスはテストモードにアクセスできなくなります。そのため、ビット[127] = 1 かつビット[126] = 1 を設定しないと、ルネサスは故障解析を実施できません。ルネサスが保証クレームを処理するためには、故障解析を実施する必要があります。

表 6.2 ID コードプロテクト機能の仕様

ブートアップ時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッガ接続時の動作
シリアルプログラミングモード（SCI/USB/SWD ブートモード） オンチップデバッグモード（SWD ブートモード）	0xFF, …, 0xFF（全バイトが 0xFF）	プロテクト無効	プログラマまたはオンチップデバッガへの接続を許可。プログラマへの接続では ID コードはチェックされません。ID コードは常に一致で、プログラマへの接続が許可されます。オンチップデバッガは、接続時に 0xFF, …, 0xFF（全バイトが 0xFF）を送る必要があります。
	ビット[127] = 1 かつビット[126] = 1、かつ 16 バイトのうち少なくとも 1 つが 0xFF 以外	プロテクト有効	ID コード一致の場合、認証が完了し、プログラマまたはオンチップデバッガへの接続が許可されます。 ID コード不一致の場合、ID コードプロテクト待機状態へ遷移します。 プログラマまたはオンチップデバッガから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) であると、ユーザーフラッシュ領域の内容は消去されます。 ただし、FSPR ビットが 0 であるか、または永久ブロック・プロテクションが設定されたブロックがある場合、強制消去は実行されません。
	ビット[127] = 1 およびビット[126] = 0	プロテクト有効	ID コード一致の場合、認証が完了し、プログラマまたはオンチップデバッガへの接続が許可されます。 ID コード不一致の場合、ID コードプロテクト待機状態へ遷移します。ルネサスはテストモードにアクセスできません。
	ビット[127] = 0	プロテクト有効	ID コードはチェックされません。ID コードは常に不一致であり、プログラマまたはオンチップデバッガへの接続は禁止され、ルネサスはテストモードにアクセスできません。

6.2.3 SAS : スタートアップ領域設定レジスタ

Address: 0x0100_A134

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BTFLG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSPR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値															

ビット	シンボル	機能	R/W
14:0	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R
15	FSPR	スタートアップ領域選択機能の保護 スタートアップ領域選択フラグ (SAS.BTFLG)、およびテンポラリブートスワップ制御に対する書き込み／イレース保護の書き換えを制御します。本ビットは一度 0 にすると、1 に変更できません。 0: スタートアップ領域選択フラグ (SAS.BTFLG) 書き換え用のコンフィグレーション設定コマンドの実行は無効です。 1: スタートアップ領域選択フラグ (SAS.BTFLG) 書き換え用のコンフィグレーション設定コマンドの実行は有効です。	R
30:16	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R
31	BTFLG	スタートアップ領域選択フラグ スタートアップ領域のアドレスをブートスワップ機能用に入れ替えるか否かを指定します。 0: 最初の 8 KB 領域 (0x0000_0000～0x0000_1FFF) と 2 番目の 8 KB 領域 (0x0000_2000～0x0000_3FFF) が入れ替わる 1: 最初の 8 KB 領域 (0x0000_0000～0x0000_1FFF) と 2 番目の 8 KB 領域 (0x0000_2000～0x0000_3FFF) は入れ替わらない	R

注. セキュアアクセスのみ本レジスタへ書き込み可能です。

6.2.4 OFS1 : オプション機能選択レジスタ 1

Address: OFS1: 0x0100_A200

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	ユーザー設定値(注1)															

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	HOCOFRQ0[1:0]		HOCOEN	—	—	—	—	—	LVDAS	VDSEL[1:0]	
Value after reset:	ユーザー設定値(注1)															

ビット	シンボル	機能	R/W
1:0	VDSEL[1:0]	電圧検出 0 レベル選択 0 0: 設定禁止 0 1: 2.94 V を選択 1 0: 2.87 V を選択 1 1: 2.80 V を選択	R
2	LVDAS	電圧検出 0 回路起動 0: リセット後、電圧監視 0 リセット有効 1: リセット後、電圧監視 0 リセット無効	R
7:3	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R
8	HOCOEN	HOCO 発振有効 0: リセット後、HOCO 発振が有効 1: リセット後、HOCO 発振が無効	R
10:9	HOCOFRQ0[1:0]	HOCO 周波数設定 0 0 0: 16 MHz 0 1: 18 MHz 1 0: 20 MHz 1 1: 設定禁止	R
31:11	—	読んだ場合は、プログラムした値が読めます。書く場合、1 としてください。	R

注. セキュアアクセスのみ本レジスタへ書き込み可能です。
注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

VDSEL[1:0]ビット（電圧検出 0 レベル選択）

VDSEL[1:0]ビットは、電圧検出 0 回路の電圧検出レベルを選択します。

LVDAS ビット（電圧検出 0 回路起動）

LVDAS ビットは、リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

HOCOEN ビット（HOCO 発振有効）

HOCOEN ビットは、リセット後、HOCO 発振を有効にするか無効にするかを選択します。本ビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始でき、発振安定の待ち時間を減らすことができます。

注. HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット (SCKSCR.CKSEL[2:0]) を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO クロックを使用する場合は、OFS1.HOCOFRQ0 ビット(注1)を最適な値に設定してください。OFS1.HOCOFRQ0[1:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[1:0]ビットに自動的に転送されるので、HOCOCR2.HCFRQ0[1:0]ビットで設定することもできます。

注 1. OFS1 は、非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1.HOCOFRQ0[1:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[1:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[1:0]ビットで設定することもできます。

HOCOFRQ0[1:0]ビット（HOCO 周波数設定 0）

HOCOFRQ0[1:0]ビットは、リセット後の HOCO 周波数を、16、18、または 20 MHz から選択します。

6.2.5 BPS : ブロック保護設定レジスタ

Address: BPS: 0x0100_A240

Bit position:	31																													0
Bit field:																														
Value after reset:	ユーザー設定値(注1)																													

注. セキュアアクセスのみ本レジスタへ書き込み可能です。
注 1. ブランク品の値は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

BPS レジスタは、コードフラッシュメモリへのプログラミングおよびイレースをインバリデートします。本レジスタのビットが 0 の場合、対応するブロックへのプログラミングおよびイレースは無効です。図 6.2 に、各製品のコードフラッシュのブロック構成を示します。図 6.3 に、レジスタのビットとブロック番号の関係を示します。使用されていないビットは予約ビットで、1 に設定します。

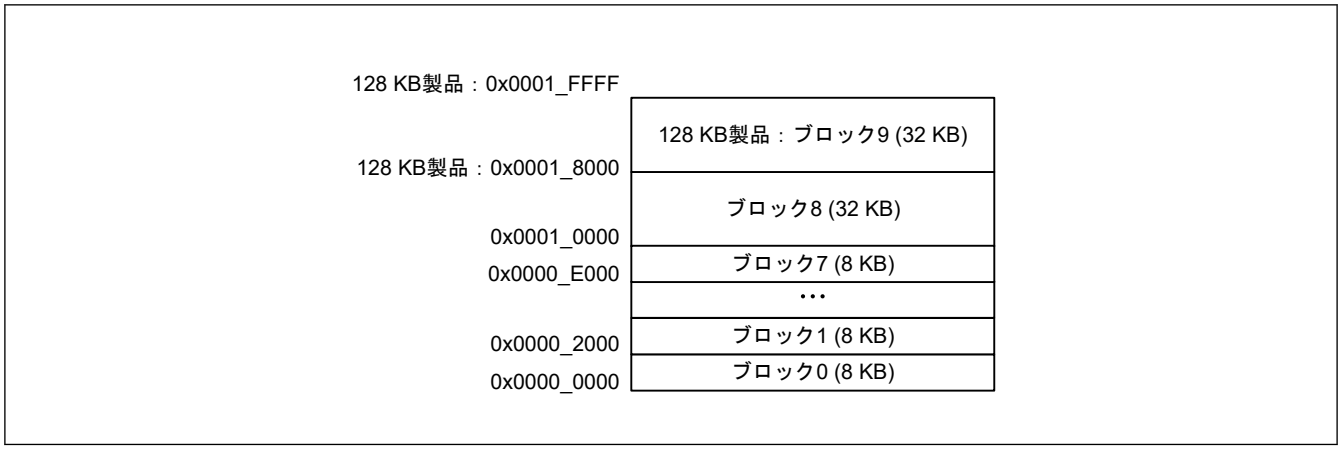


図 6.2 コードフラッシュのブロック構成

レジスタ	アドレス	+31	+30	+29	+28	+27	+26	+25	+24	+23	+22	+21	+20	+19	+18	+17	+16	+15	+14	+13	+12	+11	+10	+9	+8	+7	+6	+5	+4	+3	+2	+1	+0
BPS	0x0100_A240																							9	8	7	6	5	4	3	2	1	0

図 6.3 レジスタのビットとブロック番号の関係

6.2.6 PBPS : 永久ブロック保護設定レジスタ

Address: PBPS: 0x0100_A260

Bit position:	31																													0
Bit field:																														
Value after reset:	ユーザー設定値(注1)																													

注. セキュアアクセスのみ本レジスタへ書き込み可能です。
注 1. ブランク品は、0xFFFFFFFF です。ユーザーがプログラムした値になります。

PBPS レジスタは、BPS のビットへの書き込みを無効にします。本レジスタのビットが 0 になるのは、BPS の対応するビットが 0 の場合です。本レジスタのビットが 0 の場合、BPS レジスタレジスタの対応するビットへの書き込みは無効です。本レジスタのビットは一度 0 にすると、1 に変更できません。表 6.3 に、適用される PBPS レジスタのビットと BPS レジスタのビットとの関係を示します。

本レジスタのビットとブロック番号との関係は、BPS レジスタ （図 6.3）と同じです。使用されていないビットは予約ビットで、1 に設定します。

表 6.3 PBPS レジスタのビットと BPS レジスタのビットとの関係

適用される PBPS のビット	適用される BPS のビット	内容
1	1	対応するブロックへのプログラミングおよびイレースは有効。
1	0	対応するブロックへのプログラミングおよびイレースは無効。FBPROT1 レジスタにより保護をキャンセル可能。
0	1	条件設定不可。
0	0	対応するブロックへのプログラミングおよびイレースは永続的に無効。

6.3 オプション設定メモリの設定方法

6.3.1 オプション設定メモリへのデータの配置方法

オプション設定メモリにプログラムするデータは、図 6.1 に示すアドレスに配置してください。配置したデータは、フラッシュメモリ書き込みソフトウェアやオンチップデバッガなどのツールで使用されます。

注. プログラミング形式はコンパイラによって異なります。 詳細については、コンパイラのマニュアルを参照してください。

6.3.2 オプション設定メモリにプログラムするデータの設定方法

「6.3.1. オプション設定メモリへのデータの配置方法」に記載した方法でデータを配置するだけでは、オプション設定メモリにデータを書き込むことにはなりません。合わせて、本項に記載されている下記のいずれかを実施してください。

(1) セルフプログラミングでオプション設定メモリを変更する場合

コンフィグレーション設定領域のオプション設定メモリへデータを書き込むには、コンフィグレーション設定コマンドを使用してください。

オプション設定メモリはバックグラウンドオペレーション (BGO) に対応していません。オプション設定メモリに書き込むには、書き込みソフトウェアを SRAM にコピー後 SRAM にジャンプします。

コンフィグレーション設定コマンドの詳細は、「41. フラッシュメモリ」を参照してください。

(2) OCD によるデバッグ時またはフラッシュライタによってプログラムする場合

この手順は使用するツールによって異なるため、詳細についてはツールのマニュアルを参照してください。

本 MCU には、以下の 2 つの設定手順があります。

- 「6.3.1. オプション設定メモリへのデータの配置方法」に記述されているように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み取り、本 MCU へプログラムします
- ツールの GUI インタフェースを使用して、「6.3.1. オプション設定メモリへのデータの配置方法」に記述されているように配置されたデータをプログラムします

6.3.3 設定値のタイミング

SAS、BPS、PBPS レジスタにおいて、関連する設定領域とブロック保護の設定値の適用タイミングは、書き込みの直後です。その他のレジスタについては、設定値は MCU リセット後に適用されます。

顧客の工場でのシリアルプログラミングモードでのプログラミングの場合、ブロック保護が MCU リセット後に適用されるようにしてください。

6.4 使用上の注意事項

6.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには 1 を書き込んでください。これらのビットに 0 を書き込んだ場合、正常動作は保証されません。

7. 低電圧検出回路 (LVD)

7.1 概要

低電圧検出モジュール (LVD) は、VCC 端子への入力電圧レベルを監視します。検出レベルはレジスタ設定で選択できます。LVD は、3 つの独立した電圧監視回路（LVD0、LVD1、LVD2）で構成され、LVD0、LVD1、LVD2 は VCC 端子への入力電圧レベルを監視します。LVD のレジスタを設定することにより、さまざまな電圧しきい値で VCC 端子への入力電圧の変動を監視できます。

また、電圧監視レジスタを用いることで、電圧しきい値を通過したときに、割り込み、イベントリンク出力、またはリセットを発生させることもできます。

表 7.1 に LVD の仕様を示します。 図 7.1 に電圧監視 0 回路のブロック図を、図 7.2 に電圧監視 1 回路のブロック図を、図 7.3 に電圧監視 2 回路のブロック図を示します。

表 7.1 LVD の仕様

項目		電圧監視 0 の仕様	電圧監視 1 の仕様	電圧監視 2 の仕様
動作設定方法		OFS1 レジスタで設定	LVD のレジスタで設定	LVD のレジスタで設定
監視対象		VCC 端子入力電圧	VCC 端子入力電圧	VCC 端子入力電圧
監視電圧		V_{det0}	V_{det1}	V_{det2}
検出イベント		下降して V_{det0} を通過	上昇または下降して V_{det1} を通過	上昇または下降して V_{det2} を通過
検出電圧		OFS1.VDSEL[1:0]ビットで 3 レベルから選択可能	LVD1CMPCR.LVD1LVL[4:0]ビットで 3 レベルから選択可能	LVD2CMPCR.LVD2LVL[2:0]ビットで 3 レベルから選択可能
モニタフラグ		なし	LVD1SR.MON フラグ：電圧が V_{det1} より高いか低いかを監視	LVD2SR.MON フラグ：電圧が V_{det2} より高いか低いかを監視
			LVD1SR.DET フラグ：V_{det1} 通過検出	LVD2SR.DET フラグ：V_{det2} 通過検出
電圧検出時の処理	リセット	電圧監視 0 リセット	電圧監視 1 リセット	電圧監視 2 リセット
		V_{det0} ＞ VCC でリセット。VCC ＞ V_{det0} の一定時間後に CPU 動作再開	V_{det1} ＞ VCC でリセット。CPU 動作再開タイミングとして、VCC ＞ V_{det1} の一定時間後、または V_{det1} ＞ VCC の一定時間後を選択可能	V_{det2} ＞ VCC でリセット。CPU 動作再開タイミングとして、VCC ＞ V_{det2} の一定時間後、または V_{det2} ＞ VCC の一定時間後を選択可能
	割り込み	なし	電圧監視 1 割り込み	電圧監視 2 割り込み
			ノンマスカブル割り込み、またはマスカブル割り込みを選択可能	ノンマスカブル割り込み、またはマスカブル割り込みを選択可能
			V_{det1} ＞ VCC および VCC ＞ V_{det1} の両方、またはどちらかのとき割り込み要求	V_{det2} ＞ VCC および VCC ＞ V_{det2} の両方、またはどちらかのとき割り込み要求
デジタルフィルタ	有効／無効の切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	LOCO クロックの n 分周 × 2 (n: 2, 4, 8, 16)	LOCO クロックの n 分周 × 2 (n: 2, 4, 8, 16)
イベントリンク機能		なし	あり V_{det1} 通過検出時にイベント信号出力	あり V_{det2} 通過検出時にイベント信号出力
TrustZone フィルタ		—	セキュリティ属性は各レジスタに対して設定可能	

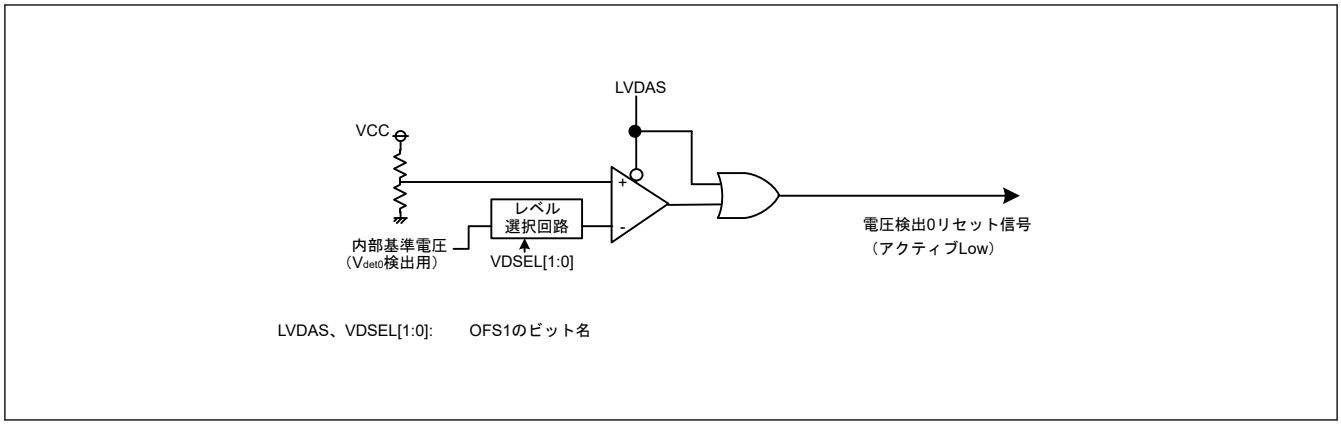


図 7.1 電圧監視 0 リセット発生回路のブロック図

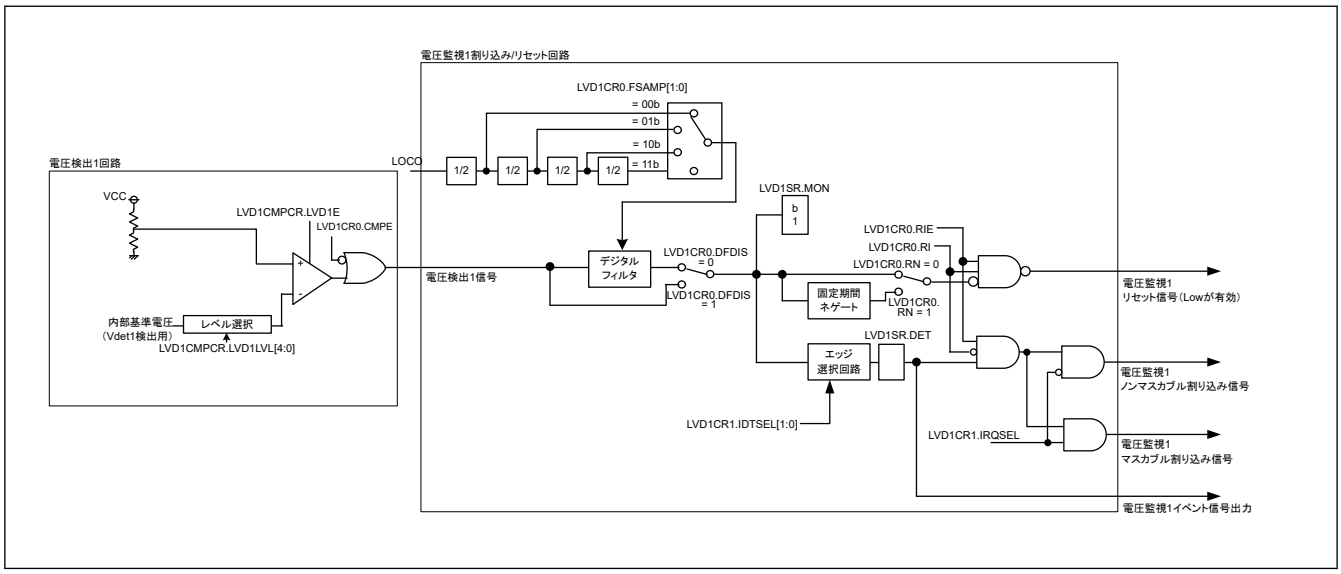


図 7.2 電圧監視 1 割り込み／リセット発生回路のブロック図

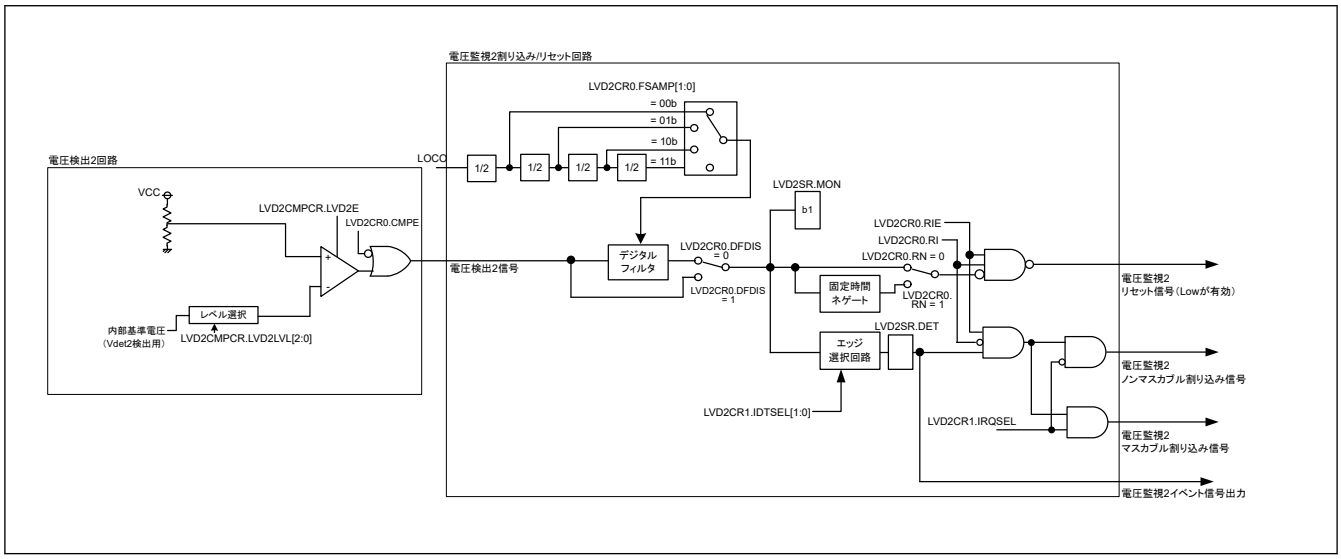


図 7.3 電圧監視 2 割り込み／リセット発生回路のブロック図

7.2 レジスタの説明

7.2.1 LVDSAR : 低電圧検出セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	NONSEC1	NONSEC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	NONSEC0	非セキュア属性ビット 0 対象レジスタ：LVD1 用レジスタ 0: セキュア 1: 非セキュア	R/W
1	NONSEC1	非セキュア属性ビット 1 対象レジスタ：LVD2 用レジスタ 0: セキュア 1: 非セキュア	R/W
31:2	—	読むと 1 が読めます。書き込み可能な場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

LVDSAR レジスタは LVD レジスタのセキュア属性を制御します。

NONSEC0 ビット（非セキュア属性ビット 0）

本ビットは LVD1CMPCR、LVD1CR0、LVD1CR1、LVD1SR のセキュリティ属性を制御します。

NONSEC1 ビット（非セキュア属性ビット 1）

本ビットは LVD2CMPCR、LVD2CR0、LVD2CR1、LVD2SR のセキュリティ属性を制御します。

7.2.2 LVD1CMPCR : 電圧監視 1 コンパレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x417

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LVD1E	—	—	LVD1LVL[4:0]				
Value after reset:	0	0	0	1	0	0	1	1

ビット	シンボル	機能	R/W
4:0	LVD1LVL[4:0]	電圧検出 1 レベル選択（電圧下降時の標準電圧） 0x11: 2.99 V (Vdet1_1) 0x12: 2.92 V (Vdet1_2) 0x13: 2.85 V (Vdet1_3) その他: 設定禁止	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	LVD1E	電圧検出 1 有効 0: 電圧検出 1 回路無効 1: 電圧検出 1 回路有効	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

LVD1CMPCR.LVD1LVL ビットは、LVD1CMPCR.LVD1E ビットと LVD2CMPCR.LVD2E ビットの両方が 0 の時だけ書き換えることができます。また、電圧検出回路 1 と電圧検出回路 2 は、同じ電圧検出レベルに設定しないでください。

LVD1CMPCR.LVD1LVL ビットと LVD1CMPCR.LVD1E ビットを同時に書き換えないでください。

LVD1E ビット（電圧検出 1 有効）

電圧検出 1 の割り込み／リセットまたは LVD1SR.MON ビットを使用する場合、LVD1E ビットを 1 にしてください。LVD1E ビットの値を 0 から 1 に変更した後、$t_{d(E-A)}$ 経過すると、電圧検出 1 回路が動作を開始します。また、ディープソフトウェアスタンバイモード時に電圧検出 1 回路を使用する場合、DPSBYCR.DEEPCUT[1:0]ビットを 11b にしないでください。

7.2.3 LVD2CMPCR : 電圧監視 2 コンパレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x418

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LVD2E	—	—	—	—	LVD2LVL[2:0]		
Value after reset:	0	0	0	0	0	1	1	1

ビット	シンボル	機能	R/W
2:0	LVD2LVL[2:0]	電圧検出 2 レベル選択（電圧下降時の標準電圧） 1 0 1: 2.99 V (Vdet2_1) 1 1 0: 2.92 V (Vdet2_2) 1 1 1: 2.85 V (Vdet2_3) その他: 設定禁止	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	LVD2E	電圧検出 2 有効 0: 電圧検出 2 回路無効 1: 電圧検出 2 回路有効	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

LVD2CMPCR.LVD2LVL ビットは、LVD1CMPCR.LVD1E ビットと LVD2CMPCR.LVD2E ビットの両方が 0 の時だけ書き換えることができます。また、電圧検出回路 1 と電圧検出回路 2 は、同じ電圧検出レベルに設定しないでください。

LVD2CMPCR.LVD2LVL ビットと LVD2CMPCR.LVD2E ビットを同時に書き換えないでください。

LVD2E ビット（電圧検出 2 有効）

電圧検出 2 の割り込み／リセットまたは LVD2SR.MON ビットを使用する場合、LVD2E ビットを 1 にしてください。LVD2E ビットの値を 0 から 1 に変更した後、$t_{d(E-A)}$ 経過すると、電圧検出 2 回路が動作を開始します。ま

た、ディープソフトウェアスタンバイモード時に電圧検出 2 回路を使用する場合、DPSBYCR.DEEPCUT[1:0]ビットを 11b にしないでください。

7.2.4 LVD1CR0 : 電圧監視 1 回路コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x41A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RN	RI	FSAMP[1:0]		—	CMPE	DFDIS	RIE
Value after reset:	1	0	0	0	x	0	1	0

ビット	シンボル	機能	R/W
0	RIE	電圧監視 1 割り込み／リセット許可 0: 禁止 1: 許可	R/W
1	DFDIS	電圧監視 1 デジタルフィルタ無効 0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
2	CMPE	電圧監視 1 回路比較結果出力許可 0: 電圧監視 1 回路比較結果出力禁止 1: 電圧監視 1 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。書く場合、1 としてください。	R/W
5:4	FSAMP[1:0]	サンプリングクロック選択 0 0: LOCO クロックの 2 分周 0 1: LOCO クロックの 4 分周 1 0: LOCO クロックの 8 分周 1 1: LOCO クロックの 16 分周	R/W
6	RI	電圧監視 1 回路モード選択 0: V_{det1} 通過時に電圧監視 1 割り込み発生 1: 下降して V_{det1} 通過時に電圧監視 1 リセット許可	R/W
7	RN	電圧監視 1 リセットネゲート選択 0: VCC > V_{det1} 検出時、安定時間 (t_{LVD1}) 経過後にネゲート 1: LVD1 リセットアサート時、安定時間 (t_{LVD1}) 経過後にネゲート	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

RIE ビット（電圧監視 1 割り込み／リセット許可）

RIE ビットは電圧監視 1 割り込み／リセットを許可または禁止にします。フラッシュメモリのプログラムまたはイレース中は、電圧監視 1 割り込みも電圧監視 1 リセットも発生しないようにしてください。

DFDIS ビット（電圧監視 1 デジタルフィルタ無効）

DFDIS ビットはデジタルフィルタの有効または無効を設定します。このビットが 0（有効）の場合、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。電圧監視 1 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで使用する場合、このビットを 1（無効）にしてください。

CMPE ビット（電圧監視 1 回路比較結果出力許可）

CMPE ビットは、電圧監視 1 回路比較結果出力を許可または禁止します。電圧検出 1 回路が有効になり安定時間 ($t_{d(E-A)}$) が経過した後に、CMPE ビットを 1 に設定してください。電圧検出 1 回路を停止するときは、CMPE ビットを 0 に設定してから電圧検出 1 回路を無効にしてください。

FSAMP[1:0]ビット（サンプリングクロック選択）

FSAMP[1:0]ビットは、LVD1CR0.DFDIS ビットが 1（デジタルフィルタ無効）の場合のみ、書き換え可能です。LVD1CR0.DFDIS ビットが 0（デジタルフィルタ有効）の場合は書き換えないでください。

RI ビット（電圧監視 1 回路モード選択）

RI ビットが 1（電圧監視 1 リセット選択）の場合、ディープソフトウェアスタンバイモードへ遷移できません。この場合、ソフトウェアスタンバイモードへ遷移します。ディープソフトウェアスタンバイモードへ遷移するには、RI ビットを 0（電圧監視 1 割り込み選択）にしてください。

RN ビット（電圧監視 1 リセットネゲート選択）

RN ビットを 1（電圧監視 1 リセットアサート後、一定時間経過後に電圧監視 1 リセットをネゲート）にする場合は、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードでは、RN ビットは 0（VCC > V_{det1} 検出時、一定時間経過後にネゲート）のみが可能です。この場合、RN ビットを 1 にしないでください。

7.2.5 LVD2CR0 : 電圧監視 2 回路コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x41B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RN	RI	FSAMP[1:0]		—	CMPE	DFDIS	RIE
Value after reset:	1	0	0	0	x	0	1	0

ビット	シンボル	機能	R/W
0	RIE	電圧監視 2 割り込み／リセット許可 0: 禁止 1: 許可	R/W
1	DFDIS	電圧監視 2 デジタルフィルタ無効 0: デジタルフィルタ有効 1: デジタルフィルタ無効	R/W
2	CMPE	電圧監視 2 回路比較結果出力許可 0: 電圧監視 2 回路比較結果出力禁止 1: 電圧監視 2 回路比較結果出力許可	R/W
3	—	読み出し値は不定です。書く場合、1 としてください。	R/W
5:4	FSAMP[1:0]	サンプリングクロック選択 0 0: LOCO クロックの 2 分周 0 1: LOCO クロックの 4 分周 1 0: LOCO クロックの 8 分周 1 1: LOCO クロックの 16 分周	R/W
6	RI	電圧監視 2 回路モード選択 0: V_{det2} 通過時に電圧監視 2 割り込み発生 1: 下降して V_{det2} 通過時に電圧監視 2 リセット許可	R/W
7	RN	電圧監視 2 リセットネゲート選択 0: VCC > V_{det2} 検出時、一定時間 (t_{LVD2}) 経過後にネゲート 1: LVD2 リセットアサート時、一定時間 (t_{LVD2}) 経過後にネゲート	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

RIE ビット（電圧監視 2 割り込み／リセット許可）

RIE ビットは電圧監視 2 割り込み／リセットを許可または禁止にします。フラッシュメモリのプログラム／イレース中は、電圧監視 2 割り込みも電圧監視 2 リセットも発生しないように、0 に設定してください。

DFDIS ビット（電圧監視 2 デジタルフィルタ無効）

DFDIS ビットはデジタルフィルタの有効または無効を設定します。このビットが 0（デジタルフィルタ有効）の場合、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。電圧監視 2 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで使用する場合、このビットを 1（デジタルフィルタ無効）にしてください。

CMPE ビット（電圧監視 2 回路比較結果出力許可）

CMPE ビットは電圧監視 2 回路比較結果出力を許可または禁止します。電圧検出 2 回路を有効にして安定時間 ($t_{d(E-A)}$) 経過後に、CMPE ビットを 1 に設定してください。電圧検出 2 回路を停止するときは、CMPE ビットを 0 に設定してから電圧検出 2 回路を無効にしてください。

FSAMP[1:0]ビット（サンプリングクロック選択）

FSAMP[1:0]ビットは LVD2CR0.DFDIS ビットが 1（デジタルフィルタ無効）の場合のみ、本ビットを書き換え可能です。LVD2CR0.DFDIS ビットが 0（デジタルフィルタ有効）の場合は書き換えないでください。

RI ビット（電圧監視 2 回路モード選択）

RI ビットが 1（電圧監視 2 リセット選択）の場合、ディープソフトウェアスタンバイモードへ遷移できません。この場合、ソフトウェアスタンバイモードへ遷移します。ディープソフトウェアスタンバイモードへ遷移するには、RI ビットを 0（電圧監視 2 割り込み選択）にしてください。

RN ビット（電圧監視 2 リセットネゲート選択）

RN ビットを 1（電圧監視 2 リセットアサート後、一定時間経過後に電圧監視 2 リセットをネゲート）にする場合は、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードでは、RN ビットは 0（VCC > V_{det2} 検出時、一定時間経過後にネゲート）のみが可能です。この場合、RN ビットを 1 にしないでください。

7.2.6 LVD1CR1 : 電圧監視 1 回路コントロールレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x0E0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	IDTSEL[1:0]	電圧監視 1 割り込み発生条件選択 0 0: VCC ≧ V_{det1}（上昇）検出時に発生 0 1: VCC ＜ V_{det1}（下降）検出時に発生 1 0: 下降および上昇検出時に発生 1 1: 設定禁止	R/W
2	IRQSEL	電圧監視 1 割り込み種類選択 0: ノンマスカブル割り込み 1: マスカブル割り込み(注1)	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. マスカブル割り込みを設定する場合、ICU にある NMIER.LVD1EN ビットをリセット状態から変更しないでください。

7.2.7 LVD1SR : 電圧監視 1 回路ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0E1

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	DET	電圧監視 1 電圧変化検出フラグ 0: 未検出 1: V_{det1} 通過検出	R/W(注1)
1	MON	電圧監視 1 信号モニタフラグ 0: VCC < V_{det1} 1: VCC ≧ V_{det1} または MON 無効	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックで 2 サイクルの時間が必要です。

DET フラグ（電圧監視 1 電圧変化検出フラグ）

DET フラグは、LVD1CMPCR.LVD1E ビットが 1（電圧検出 1 回路有効）であり、かつ LVD1CR0.CMPE ビットが 1（電圧監視 1 回路比較結果出力許可）のときに有効になります。

V_{det1} を検出するとき、DET フラグを 0 にするときは、LVD1CR0.RIE を 0（禁止）にしてから行ってください。LVD1CR0.RIE ビットを 0 に設定した後そのビットを 1（許可）に設定する場合は、PCLKB の 2 クロック期間以上待ってから設定してください。

MON フラグ（電圧監視 1 信号モニタフラグ）

MON フラグは、LVD1CMPCR.LVD1E ビットが 1（電圧検出 1 回路有効）であり、かつ LVD1CR0.CMPE ビットが 1（電圧監視 1 回路比較結果出力許可）のときに有効になります。

7.2.8 LVD2CR1 : 電圧監視 2 回路コントロールレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x0E2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	IDTSEL[1:0]	電圧監視 2 割り込み発生条件選択 0 0: VCC ≧ V_{det2}（上昇）検出時に発生 0 1: VCC ＜ V_{det2}（下降）検出時に発生 1 0: 下降および上昇検出時に発生 1 1: 設定禁止	R/W
2	IRQSEL	電圧監視 2 割り込み種類選択 0: ノンマスカブル割り込み 1: マスカブル割り込み(注1)	R/W

ビット	シンボル	機能	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. マスカブル割り込みを設定する場合、ICU にある NMIER.LVD2EN ビットをリセット状態から変更しないでください。

7.2.9 LVD2SR : 電圧監視 2 回路ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0E3

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MON	DET
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
0	DET	電圧監視 2 電圧変化検出フラグ 0: 未検出 1: V_{det2} 通過検出	R/W(注1)
1	MON	電圧監視 2 信号モニタフラグ 0: VCC < V_{det2} 1: VCC ≧ V_{det2} または MON 無効	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックで 2 サイクルの時間が必要です。

DET フラグ（電圧監視 2 電圧変化検出フラグ）

DET フラグは、LVD2CMPCR.LVD2E ビットが 1（電圧検出 2 回路有効）であり、かつ LVD2CR0.CMPE ビットが 1（電圧監視 2 回路比較結果出力許可）のときに有効になります。

V_{det2} を検出するとき、LVD2CR0.RIE ビットを 0（禁止）にしてから、DET フラグを 0 にしてください。LVD2CR0.RIE ビットを 0 に設定した後、そのビットを 1（許可）に設定する場合は、PCLKB の 2 サイクル以上待ってから設定してください。

MON フラグ（電圧監視 2 信号モニタフラグ）

MON フラグは、LVD2CMPCR.LVD2E ビットが 1（電圧検出 2 回路有効）であり、かつ LVD2CR0.CMPE ビットが 1（電圧監視 2 回路比較結果出力許可）のときに有効になります。

7.3 VCC 入力電圧の監視

7.3.1 V_{det0} の監視

電圧監視 0 の比較結果は、読み出すことができません。

7.3.2 V_{det1} の監視

表 7.2 に V_{det1} の監視の設定手順を示します。設定が完了すると、LVD1SR.MON フラグで電圧監視 1 の比較結果を監視できます。

表 7.2 V_{det1} の監視の設定手順

手順		電圧監視 1 の比較結果の監視
電圧検出 1 回路の設定	1	LVCMPCR レジスタへ書き込む前に、LVCMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にする
	2	LVD1CMPCR.LVD1LVL[4:0]ビットで検出電圧を選択する
	3	LVD1CMPCR.LVD1E = 1 にして、電圧検出 1 回路を有効にする
	4	$t_{d(E-A)}$（LVD 有効切り替え後の LVD 動作安定時間）以上待つ(注1)
デジタルフィルタの設定 (注2)	5	LVD1CR0.FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	6	LVD1CR0.DFDIS = 0 にして、デジタルフィルタを有効にする
	7	LOCO クロックの 2n+3 サイクル以上待つ（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周である）
出力許可の設定	8	LVD1CR0.CMPE = 1 にして、電圧監視 1 の比較結果出力を許可する

注 1. 手順 4 の待機時間中に手順 5～7 を行うことができます。$t_{d(E-A)}$の詳細は、「44. 電気的特性」を参照してください。
注 2. デジタルフィルタを使用しない場合、手順 5～7 は不要です。

7.3.3 V_{det2} の監視

表 7.3 に V_{det2} の監視の設定手順を示します。設定が完了すると、LVD2SR.MON フラグで電圧監視 2 の比較結果を監視できます。

表 7.3 V_{det2} の監視の設定手順

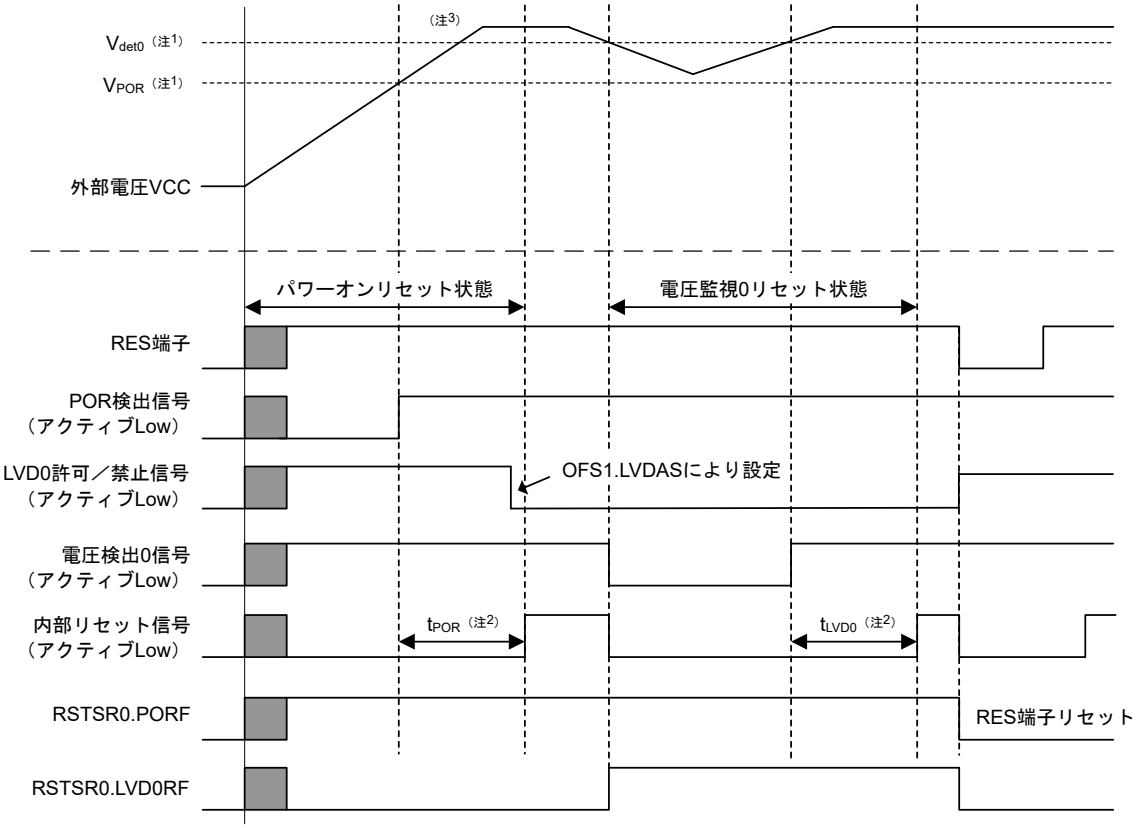
手順		電圧監視 2 の比較結果の監視
電圧検出 2 回路の設定	1	LVCMPCR.LVD2LVL[2:0]ビットへ書き込む前に、LVCMPCR.LVD2E = 0 にして、電圧検出 2 回路を無効にする
	2	LVD2CMPCR.LVD2LVL[2:0]ビットで検出電圧を選択する
	3	LVD2CMPCR.LVD2E = 1 にして、電圧検出 2 を有効にする
	4	$t_{d(E-A)}$（LVD2 有効切り替え後の LVD2 動作安定時間）以上待つ(注1)
デジタルフィルタの設定 (注2)	5	LVD2CR0.FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する
	6	LVD2CR0.DFDIS = 0 にして、デジタルフィルタを有効にする
	7	LOCO クロックの 2n+3 サイクル以上待つ（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周である）
出力許可の設定	8	LVD2CR0.CMPE = 1 にして、電圧監視 2 の比較結果出力を許可する

注 1. 手順 4 の待機時間中に手順 5～7 を行うことができます。$t_{d(E-A)}$の詳細は、「44. 電気的特性」を参照してください。
注 2. デジタルフィルタを使用しない場合、手順 5～7 は不要です。

7.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0（リセット後、電圧監視 0 リセット有効）にしてください。ただし、ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧監視 0 リセットは無効です。

図 7.4 に電圧監視 0 リセットの動作例を示します。



注. 電気的特性の詳細は、「44. 電気的特性」を参照してください。
注 1. V_{POR} はパワーオンリセットの検出レベルを表し、V_{det0} は電圧監視 0 リセットの検出レベルを表します。
注 2. t_{POR}: パワーオンリセットが解除されるまでの期間
t_{LVD0}: LVD0 リセットが解除されるまでの期間
注 3. パワーオンの際に VCC が最低保証電圧に達した後、パワーオンリセットが解除されます。

図 7.4 電圧監視 0 リセットの動作例

7.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧監視 1 回路での比較結果により、割り込みやリセットを発生させることができます。

表 7.4 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を示します。表 7.5 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を示します。図 7.5 に電圧監視 1 割り込みの動作例を示します。電圧監視 1 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで電圧監視 1 回路を使用する場合は、回路を本項に記述している手順で設定してください。

(1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD1CR0.DFDIS = 1) にしてください。
- VCC > V_{det1} 検出時、LVD1 動作安定時間経過後に電圧監視 1 リセット信号をネゲート (LVD1CR0.RN = 0) にしてください。

(2) ディープソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD1CR0.DFDIS = 1) にしてください。
- 電圧監視 1 割り込みを許可 (LVD1CR0.RI = 0) にしてください。電圧監視 1 リセットが許可 (LVD1CR0.RI = 1) になっている場合、ディープソフトウェアスタンバイモードへ遷移せず、ソフトウェアスタンバイモードへ遷移します。

- DPSBYCR.DEEPCUT[1:0]ビットが 11b の場合は、電圧監視 1 回路が停止します。ディープソフトウェアスタンバイモードで電圧監視 1 回路を使用するには、DPSBYCR.DEEPCUT[1:0]ビットを 11b 以外にします。

表 7.4　電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順		電圧監視 1 割り込み（電圧監視 1 ELC イベント出力）	電圧監視 1 リセット
電圧検出 1 回路の設定	1	LVD1CMPCR レジスタへ書き込む前に、LVD1CMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にする	
	2	LVD1CMPCR.LVD1LVL[4:0]ビットで検出電圧を選択する	
	3	LVD1CMPCR.LVD1E = 1 にして、電圧検出 1 回路を有効にする	
	4	$t_{d(E-A)}$（LVD1 有効切り替え後の LVD1 動作安定時間）以上待つ(注1)	
デジタルフィルタの設定 (注3)	5	LVD1CR0.FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する	
	6	LVD1CR0.DFDIS = 0 にして、デジタルフィルタを有効にする	
	7	LOCO クロックの 2n+3 サイクル以上待つ（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周である）(注4)	
電圧監視 1 割り込み/リセットの設定	8	LVD1CR0.RI = 0 にして、電圧監視 1 割り込みを選択する	• LVD1CR0.RI = 1 にして、電圧監視 1 リセットを選択する • LVD1CR0.RN ビットでリセットネゲートの種類を選択する
	9	• LVD1CR1.IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する • LVD1CR1.IRQSEL ビットで割り込みの種類を選択する	—
出力許可の設定	10	LVD1SR.DET = 0 にする	
	11	LVD1CR0.RIE = 1 にして、電圧監視 1 割り込み／リセットを許可する(注2)	
	12	LVD1CR0.CMPE = 1 にして、電圧監視 1 の比較結果出力を許可する	

注 1.　手順 4 の待機時間中に手順 5～11 を行うことができます。$t_{d\ (E-A)}$の詳細は、「44. 電気的特性」を参照してください。
注 2.　ELC イベント信号のみを出力させる場合、手順 11 は不要です。
注 3.　デジタルフィルタを使用しない場合、手順 5～7 は不要です。
注 4.　手順 7 の待機時間中に手順 8～11 を行うことができます。

表 7.5　電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

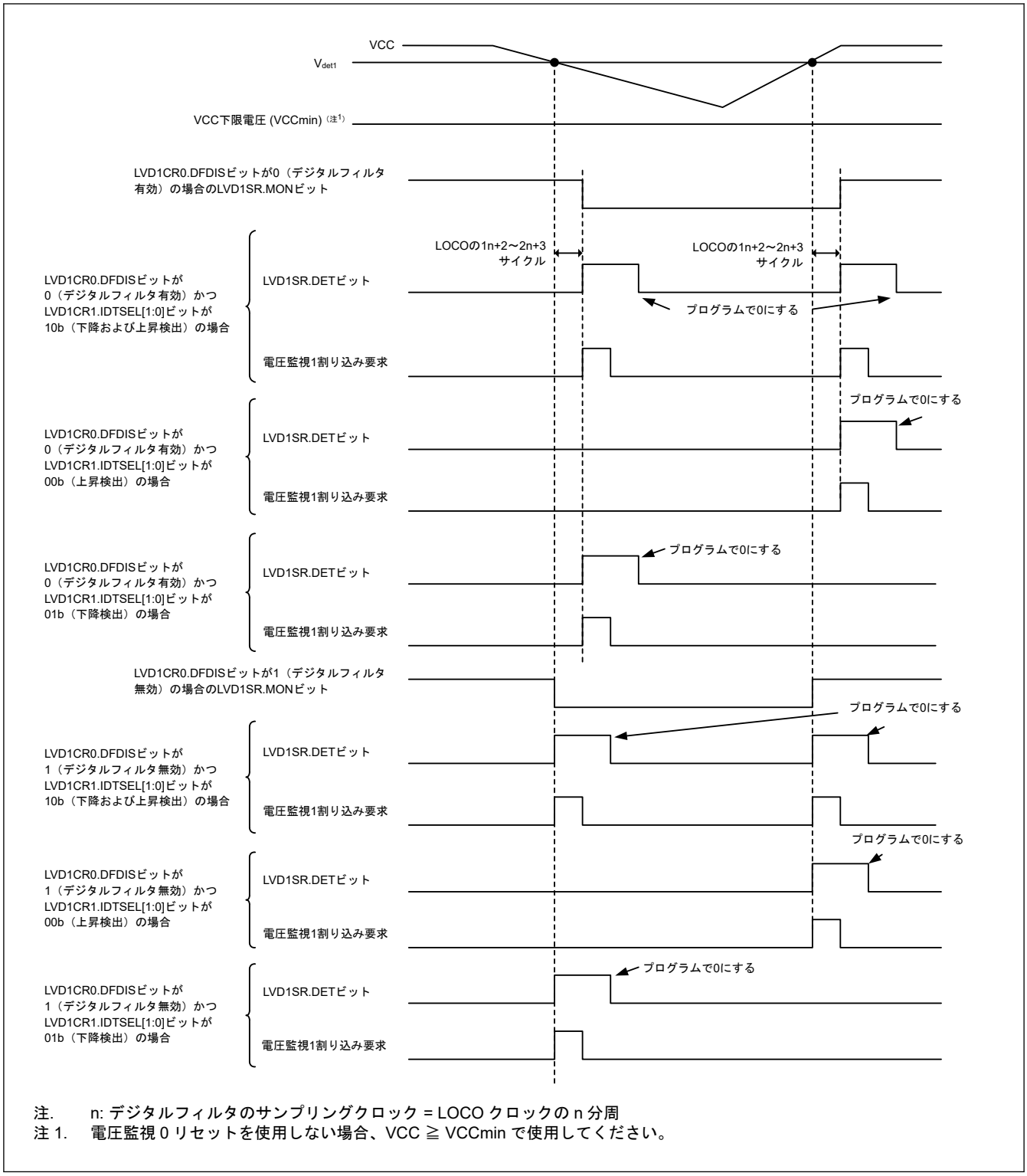
手順		電圧監視 1 割り込み（電圧監視 1 ELC イベント出力）、電圧監視 1 リセット
出力許可停止の設定	1	LVD1CR0.CMPE = 0 にして、電圧監視 1 の比較結果出力を禁止する
	2	LOCO クロックの 2n+3 サイクル以上待つ（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周である）(注2)
	3	LVD1CR0.RIE = 0 にして、電圧監視 1 割り込み／リセットを禁止する(注1)
デジタルフィルタ停止の設定	4	LVD1CR0.DFDIS = 1 にして、デジタルフィルタを無効にする(注2) (注3)
電圧検出 1 回路停止の設定	5	LVD1CMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にする

注 1.　ELC イベント信号のみを出力させる場合、手順 3 は不要です。
注 2.　デジタルフィルタを使用しない場合、手順 2 と 4 は不要です。
注 3.　デジタルフィルタを有効状態から無効にした後に再度有効にする場合、無効にしてから再度有効にするまで、LOCO クロックの 2 サイクル以上待つ必要があります。

電圧監視 1 割り込み／リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 1 回路の設定を変更しない場合、電圧検出 1 回路に対する再設定は不要
- デジタルフィルタの設定を変更しない場合、デジタルフィルタに対する再設定は不要
- 電圧監視 1 割り込み／リセットの設定を変更しない場合、電圧監視 1 割り込み／リセットに対する再設定は不要

図 7.5 に電圧監視 1 割り込みの動作例を示します。



注. n: デジタルフィルタのサンプリングクロック = LOCO クロックの n 分周
注 1. 電圧監視 0 リセットを使用しない場合、VCC ≧ VCCmin で使用してください。

図 7.5 電圧監視 1 割り込みの動作例

7.6 電圧監視 2 割り込み、電圧監視 2 リセット

電圧監視 2 回路での比較結果により、割り込みまたはリセットを発生させることができます。

表 7.6 に、電圧監視 2 割り込み／リセット関連ビットの動作設定手順を示します。表 7.7 に、電圧監視 2 割り込み／リセット関連ビットの停止設定手順を示します。図 7.6 に電圧監視 2 割り込みの動作例を示します。電圧監視 2 リセットの動作については、「5. リセット」の図 5.2 を参照してください。

なお、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで電圧監視 2 回路を使用する場合は、以下の手順で回路を設定してください。

(1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD2CR0.DFDIS = 1) にしてください。
- VCC > V_{det2} 検出時、LVD2 動作安定時間経過後に電圧監視 2 リセット信号をネゲート (LVD2CR0.RN = 0) にしてください。

(2) ディープソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効 (LVD2CR0.DFDIS = 1) にしてください。
- 電圧監視 2 割り込みを許可 (LVD2CR0.RI = 0) にしてください。電圧監視 2 リセットが許可 (LVD2CR0.RI = 1) になっている場合、ディープソフトウェアスタンバイモードへ遷移せず、ソフトウェアスタンバイモードへ遷移します。
- DPSBYCR.DEEPCUT[1:0]ビットが 11b の場合は、電圧監視 2 回路が停止します。ディープソフトウェアスタンバイモードで電圧監視 2 回路を使用するには、DPSBYCR.DEEPCUT[1:0]ビットを 11b 以外にします。

表 7.6 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順		電圧監視 2 割り込み（電圧監視 2ELC イベント出力）	電圧監視 2 リセット
電圧検出 2 回路の設定	1	LVD2CMPCR レジスタへ書き込みを行う前に、LVD2CMPCR.LVD2E = 0 にして、電圧検出 2 回路を無効にする	
	2	LVD2CMPCR.LVD2LVL[2:0]ビットで検出電圧を選択する	
	3	LVD2CMPCR.LVD2E = 1 にして、電圧検出 2 回路を有効にする	
	4	$t_{d\ (E-A)}$（LVD2 有効切り替え後の LVD2 動作安定時間）以上待つ(注1)	
デジタルフィルタの設定 (注3)	5	LVD2CR0.FSAMP[1:0]ビットでデジタルフィルタのサンプリングクロックを選択する	
	6	LVD2CR0.DFDIS = 0 にして、デジタルフィルタを有効にする	
	7	LOCO クロックの 2n + 3 サイクル以上待つ（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周である）(注4)	
電圧監視 2 割り込み／リセットの設定	8	LVD2CR0.RI = 0 にして、電圧監視 2 割り込みを選択する	• LVD2CR0.RI = 1 にして、電圧監視 2 リセットを選択する • LVD2CR0.RN ビットでリセットネゲートの種類を選択する
	9	• LVD2CR1.IDTSEL[1:0]ビットで割り込み要求条件を選択する • LVD2CR1.IRQSEL ビットで割り込みの種類を選択する	—
出力許可の設定	10	LVD2SR.DET = 0 にする	
	11	LVD2CR0.RIE = 1 にして、電圧監視 2 割り込み／リセットを許可する(注2)	
	12	LVD2CR0.CMPE = 1 にして、電圧監視 2 回路の比較結果出力を許可する	

注 1. 手順 4 の待機時間中に手順 5～11 を行うことができます。$t_{d\ (E-A)}$の詳細は、「44. 電気的特性」を参照してください。
注 2. ELC イベント信号のみを出力させる場合、手順 11 は不要です。
注 3. デジタルフィルタを使用しない場合、手順 5～7 は不要です。
注 4. 手順 7 の待機時間中に手順 8～11 を行うことができます。

表 7.7 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

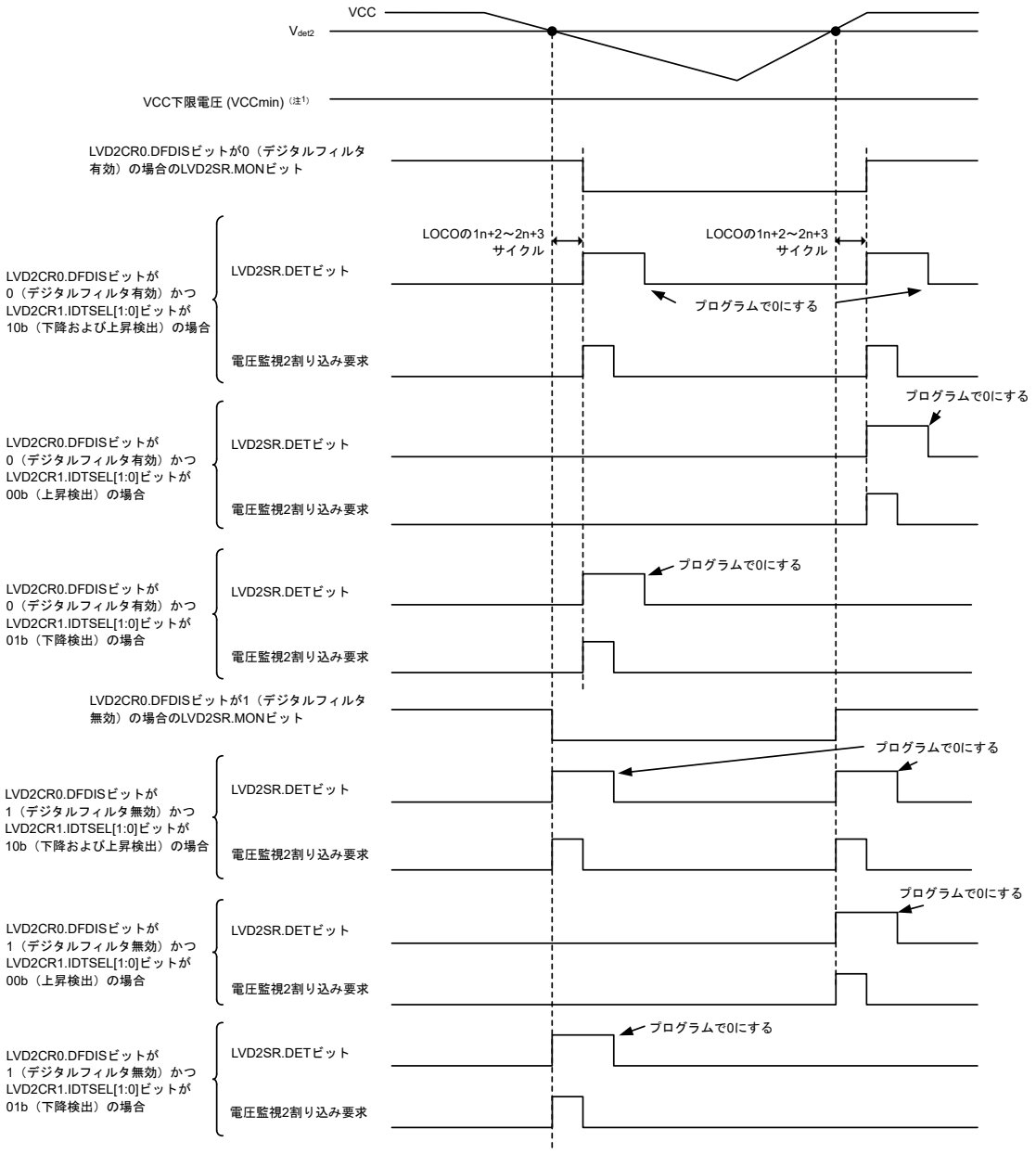
手順		電圧監視 2 割り込み（電圧監視 2ELC イベント出力）、電圧監視 2 リセット
出力許可停止の設定	1	LVD2CR0.CMPE = 0 にして、電圧監視 2 回路の比較結果出力を禁止する
	2	LOCO クロックの 2n + 3 サイクル以上待つ（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO クロックの n 分周である）(注2)
	3	LVD2CR0.RIE = 0 にして、電圧監視 2 割り込み／リセットを禁止する(注1)
デジタルフィルタ停止の設定	4	LVD2CR0.DFDIS = 1 にして、デジタルフィルタを無効にする(注2) (注3)
電圧検出 2 回路停止の設定	5	LVD2CMPCR.LVD2E = 0 にして、電圧検出 2 回路を無効にする

注 1. ELC イベント信号のみを出力させる場合、手順 3 は不要です。

注 2. デジタルフィルタを使用しない場合、手順 2 と手順 4 は不要です。
注 3. デジタルフィルタを有効状態から無効にした後に再度有効にする場合、無効にしてから再度有効にするまで、LOCO クロックの 2 サイクル以上待つ必要があります。

電圧監視 2 割り込み／リセットの設定を使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 2 回路の設定を変更しない場合、当該回路に対する再設定は不要
- デジタルフィルタの設定を変更しない場合、デジタルフィルタに対する再設定は不要
- 電圧監視 2 割り込みまたは電圧監視 2 リセットの設定を変更しない場合、電圧監視 2 割り込みまたはリセットに対する再設定は不要



注. n：デジタルフィルタのサンプリングクロックの周波数は、LOCO クロックの周波数の n 分周です。
注 1. 電圧監視 0 リセットを使用しない場合、VCC ≧ VCCmin で使用してください。

図 7.6 電圧監視 2 割り込みの動作例

7.7 ELC によるリンク動作

LVD は、ELC に対してイベント信号出力が可能です。

(1) V_{det1} 通過検出イベント

電圧検出 1 回路有効かつ電圧監視 1 回路比較結果出力許可の状態において、V_{det1} 通過を検出した場合にイベント信号を出力します。

(2) V_{det2} 通過検出イベント

電圧検出 2 回路有効かつ電圧監視 2 回路比較結果出力許可の状態において、V_{det2} 通過を検出した場合にイベント信号を出力します。

LVD のイベントリンク出力機能を有効にする場合、LVD を有効にしてから、ELC 側の LVD イベントリンク機能を有効にする必要があります。LVD のイベントリンク出力機能を停止にする場合は、LVD を停止してから、ELC 側の LVD イベントリンク機能を無効にする必要があります。

7.7.1 割り込み処理とイベントリンクの関係

LVD には、電圧監視 1 と電圧監視 2 割り込みに割り込み許可／禁止を制御するビットがあります。割り込み要因が発生すると、割り込み許可ビットが許可の場合は、割り込み信号が CPU へ出力されます。

これに対してイベントリンク信号は、割り込み許可ビットの状態とは無関係に、割り込み要因が発生するとただちに ELC を介して他のモジュールにイベント信号として出力されます。

ソフトウェアスタンバイモード、およびディープソフトウェアスタンバイモードにおいても、電圧監視 1 および電圧監視 2 割り込み信号を出力することができます。ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードでは、ELC 用のイベント信号が以下のように出力されます。

- ソフトウェアスタンバイモード期間中に V_{det1} または V_{det2} 通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されていないため ELC 用のイベント信号は出力されません。V_{det1} および V_{det2} 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、V_{det1} および V_{det2} 検出フラグ状態にしたがって ELC 用のイベント信号が出力されます。
- ディープソフトウェアスタンバイモード期間中に Vdet1 または Vdet2 通過イベントを検出した場合、ELC 用のイベント信号は出力されません。

8. クロック発生回路

8.1 概要

本 MCU はクロック発生回路を内蔵しています。表 8.1 および表 8.2 に、クロック発生回路の仕様を示します。図 8.1 にブロック図、表 8.3 に入出力端子を示します。

表 8.1 クロック発生回路の仕様（クロックソース）

クロックソース	項目	内容
メインクロック発振器 (MOSC)	発振子周波数	8 MHz～24 MHz 8、10、16、20、24 MHz（USB ブートモード）
	外部クロック入力周波数	最高 24 MHz
	外部発振子または付加回路	セラミック発振子、水晶振動子
	接続端子	EXTAL, XTAL
	駆動能力切り替え	あり
	発振停止検出機能	あり
サブクロック発振器 (SOSC)	発振子周波数	32.768 kHz
	外部発振子または付加回路	水晶振動子
	接続端子	XCIN, XCOUT
	駆動能力切り替え	あり
PLL 回路	入力クロックソース	MOSC, HOCO
	入力分周比	1、2、および 3 分周から選択可能
	入力周波数	8 MHz～24 MHz
	逓倍比	10～30 逓倍から選択可能（0.5 ステップ単位）
	出力分周比	なし
	PLL 出力周波数	100 MHz～240 MHz
高速オンチップオシレータ (HOCO)	発振周波数	16/18/20 MHz
	FLL 機能	あり
	ユーザートリミング	あり
中速オンチップオシレータ (MOCO)	発振周波数	8 MHz
	ユーザートリミング	あり
低速オンチップオシレータ (LOCO)	発振周波数	32.768 kHz
	ユーザートリミング	あり
IWDT 専用オンチップオシレータ (IWDTLOCO)	発振周波数	15 kHz
	ユーザートリミング	なし
SWD 用外部クロック入力 (SWCLK)	入力クロック周波数	最高 25 MHz

表 8.2 クロック発生回路の仕様（内部クロック） (1/2)

項目	クロックソース	クロック供給	内容
システムクロック (ICLK)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	CPU、DTC、DMAC、フラッシュ、RAM	最高 100 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック A (PCLKA)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	周辺モジュール（SCI、CAN-RAM、SPI、CRC、DOC、ADC12、DAC12、I3C、TRNG、GPT バスクロック）	最高 100 MHz 分周比：1/2/4/8/16/32/64

表 8.2 クロック発生回路の仕様（内部クロック） (2/2)

項目	クロックソース	クロック供給	内容
周辺モジュールクロック B (PCLKB)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	周辺モジュール（CAC、ELC、I/O ポート、POEG、RTC、WDT、IWDT、AGT、CANFD、USBFS、SSIE、CEC、TSN、スタンバイ SRAM）	最高 50 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック C (PCLKC)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	周辺モジュール（ADC12 変換クロック）	最高 50 MHz 分周比：1/2/4/8/16/32/64
周辺モジュールクロック D (PCLKD)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	周辺モジュール（GPT カウントクロック）	最高 100 MHz 分周比：1/2/4/8/16/32/64
FlashIF クロック (FCLK)	MOSC/SOSC/HOCO/MOCO/LOCO/PLL	FlashIF	4 MHz～50 MHz (P/E) 最高 50 MHz（読み出し） 分周比：1/2/4/8/16/32/64
USB クロック (USBCLK)	PLL	USBFS	48 MHz 分周比：3/4/5
CANFD クロック (CANFDCLK)	PLL	CANFD	最高 40 MHz 分周比：1/2/4/6/8
CAN クロック (CANMCLK)	MOSC	CAN	8 MHz～24 MHz
CEC クロック (CECCLK)	MOSC/SOSC	CEC	最高 20 MHz (MOSC) 分周比：1/2 32.768 kHz (SOSC)
I3C クロック (I3CCLK)	メイン／サブ／HOCO/MOCO/LOCO/PLL	I3C	最高 200 MHz 分周比：1/2/4/6/8
AGT クロック (AGTSCLK)	SOSC	AGT	32.768 kHz
AGT クロック (AGTLCLK)	LOCO	AGT	32.768 kHz
CAC メインクロック (CACMCLK)	MOSC	CAC	最高 24 MHz
CAC サブクロック (CACSCLK)	SOSC	CAC	32.768 kHz
CAC LOCO クロック (CACLCLK)	LOCO	CAC	32.768 kHz
CAC MOCO クロック (CACMOCLK)	MOCO	CAC	8 MHz
CAC HOCO クロック (CACHCLK)	HOCO	CAC	16/18/20 MHz
CAC IWDTLOCO クロック (CACILCLK)	IWDTLOCO	CAC	15 kHz
RTC クロック (RTCCLK)	SOSC/LOCO	RTC	32.768 kHz
IWDT クロック (IWDTCLK)	IWDTLOCO	IWDT	15 kHz
SysTick タイマクロック (SYSTICCLK)	LOCO	SysTick タイマ	32.768 kHz
シリアルワイヤクロック (SWCLK)	SWCLK	OCD	最高 25 MHz
クロック／ブザー出力 (CLKOUT)	MOSC/SOSC/LOCO/MOCO/HOCO	CLKOUT 端子	最高 60 MHz 分周比：1/2/4/8/16/32/64/128

注. クロック周波数の設定に関する制限：ICLK ≧ PCLKA ≧ PCLKB、PCLKD ≧ PCLKA ≧ PCLKB
ICLK ≧ FCLK
クロック周波数比に関する制限：（N は最大 64 の整数）
ICLK:FCLK = N:1、ICLK:PCLKA = N:1、ICLK:PCLKB = N:1、ICLK:PCLKC = N:1 または 1:N、ICLK:PCLKD = N:1 または 1:N、ICLK:TRCLK = N:1 または 1:N
A/D コンバータが有効な場合のクロック周波数比に関する制限：
PCLKA:PCLKC = 1:1、2:1、4:1、8:1、1:2、または 1:4
CAN-FD を用いる場合、クロック周波数比は、PCLKA:PCLKB = 2:1 に制限されます。

注. P/E の場合の最低 FCLK 周波数 4 MHz における制限

注. FLL 機能を使用しない場合 HOCO 周波数を考慮し、PLL の逓倍は PLL の出力周波数範囲内としてください。

注. クロックには、許容周波数範囲があります（表 8.2 を参照してください）。

フラッシュメモリと SRAM にも、各ウェイトサイクルの設定値に許容動作周波数範囲があります（「39. SRAM」および「41. フラッシュメモリ」を参照してください）。
FLL 機能を使用しない場合、これらのクロック周波数範囲は HOCO 自身に最高または最低周波数があったとしても、必ず満たす必要があります（「44. 電気的特性」を参照してください）。

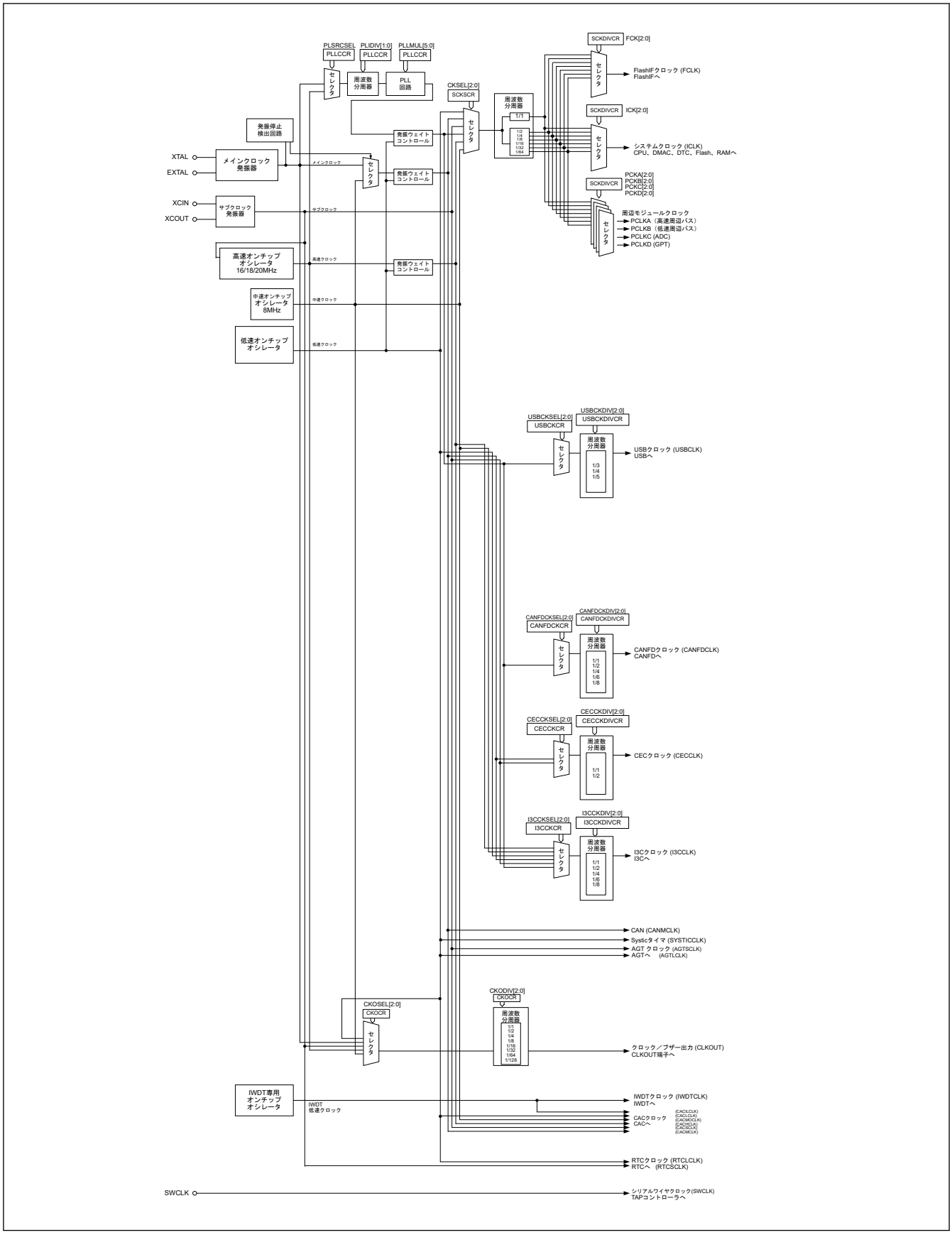


図 8.1　クロック発生回路のブロック図

表 8.3 にクロック発生回路の入出力端子を示します。

表 8.3　クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	これらの端子はセラミック発振子または水晶振動子の接続に使用します。EXTAL 端子は外部クロックの入力にも使用できます。詳細は、「8.3.2. 外部クロックを入力する方法」を参照してください。
EXTAL	入力	
XCIN	入力	32.768 kHz の水晶振動子を接続します。
XCOUT	出力	
SWCLK	入力	SWD 用のクロック入力です。
CLKOUT	出力	CLKOUT/BUZZER クロックを出力します。

8.2　レジスタの説明

8.2.1　CGFSAR : クロック発生機能セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3C0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	NONSEC20	—	NONSEC18	—	NONSEC16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	NONSEC11	—	—	NONSEC08	NONSEC07	NONSEC06	NONSEC05	NONSEC04	NONSEC03	NONSEC02	—	NONSEC00
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	NONSEC00	非セキュア属性ビット 00 対象レジスタ：SCKDIVCR、SCKSCR 対象要素：システムクロックコントロール 0: セキュア 1: 非セキュア	R/W
1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
2	NONSEC02	非セキュア属性ビット 02 対象レジスタ：HOCOCR、HOCOCR2、FLLCR1、FLLCR2、HOCOUTCR 対象要素：HOCO 0: セキュア 1: 非セキュア	R/W
3	NONSEC03	非セキュア属性ビット 03 対象レジスタ：MOCOCR、MOCOUTCR 対象要素：MOCO 0: セキュア 1: 非セキュア	R/W
4	NONSEC04	非セキュア属性ビット 04 対象レジスタ：LOCOCR、LOCOUTCR 対象要素：LOCO 0: セキュア 1: 非セキュア	R/W
5	NONSEC05	非セキュア属性ビット 05 対象レジスタ：MOSCCR、MOSCWTCR、MOMCR 対象要素：MOSC 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
6	NONSEC06	非セキュア属性ビット 06 対象レジスタ：OSTDCR、OSTDSR 対象要素：発振停止検出コントロール 0: セキュア 1: 非セキュア	R/W
7	NONSEC07	非セキュア属性ビット 07 対象レジスタ：SOSCCR、SOMCR 対象要素：SOSC 0: セキュア 1: 非セキュア	R/W
8	NONSEC08	非セキュア属性ビット 08 対象レジスタ：PLLCCR、PLLCR 対象要素：PLL 0: セキュア 1: 非セキュア	R/W
10:9	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	NONSEC11	非セキュア属性ビット 11 対象レジスタ：CKOCR 対象要素：CLKOUT 制御 0: セキュア 1: 非セキュア	R/W
15:12	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	NONSEC16	非セキュア属性ビット 16 対象レジスタ：USBCKDIVCR、USBCKCR 対象要素：USBCLK 0: セキュア 1: 非セキュア	R/W
17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
18	NONSEC18	非セキュア属性ビット 18 対象レジスタ：CANFDCKDIVCR、CANFDCKCR 対象要素：CANFDCLK 0: セキュア 1: 非セキュア	R/W
19	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
20	NONSEC20	非セキュア属性ビット 20 対象レジスタ：CECCKDIVCR、CECCKCR 対象要素：CECCK 0: セキュア 1: 非セキュア	R/W
31:21	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

CGFSAR レジスタは、クロック発生機能レジスタのセキュリティ属性を制御します。

NONSEC00 ビット（非セキュア属性ビット 00）

本ビットは SCKDIVCR、SCKSCR レジスタのセキュリティ属性を制御します。

NONSEC02 ビット（非セキュア属性ビット 02）

本ビットは HOCOCR、HOCOCR2、FLLCR1、FLLCR2、HOCOUTCR レジスタのセキュリティ属性を制御します。

NONSEC03 ビット（非セキュア属性ビット 03）

本ビットは MOCOCR、MOCOUTCR レジスタのセキュリティ属性を制御します。

NONSEC04 ビット（非セキュア属性ビット 04）

本ビットは LOCOCR、LOCOUTCR レジスタのセキュリティ属性を制御します。

NONSEC05 ビット（非セキュア属性ビット 05）

本ビットは MOSCCR、MOSCWTCR、MOMCR レジスタのセキュリティ属性を制御します。

NONSEC06 ビット（非セキュア属性ビット 06）

本ビットは OSTDCR、OSTDSR レジスタのセキュリティ属性を制御します。

NONSEC07 ビット（非セキュア属性ビット 07）

本ビットは SOSCCR、SOMCR レジスタのセキュリティ属性を制御します。

NONSEC08 ビット（非セキュア属性ビット 08）

本ビットは PLLCCR、PLLCR レジスタのセキュリティ属性を制御します。

NONSEC11 ビット（非セキュア属性ビット 11）

本ビットは CKOCR レジスタのセキュリティ属性を制御します。

NONSEC16 ビット（非セキュア属性ビット 16）

本ビットは USBCKDIVCR、USBCKCR レジスタのセキュリティ属性を制御します。

NONSEC18 ビット（非セキュア属性ビット 18）

本ビットは CANFDCKDIVCR、CANFDCKCR レジスタのセキュリティ属性を制御します。

NONSEC20 ビット（非セキュア属性ビット 20）

本ビットは CECCKDIVCR、CECCKCR レジスタのセキュリティ属性を制御します。

8.2.2 SCKDIVCR : システムクロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	FCK[2:0]			—	ICK[2:0]			—	—	—	—	—	—	—	—
Value after reset:	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	PCKA[2:0]			—	PCKB[2:0]			—	PCKC[2:0]			—	PCKD[2:0]		
Value after reset:	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0

ビット	シンボル	機能	R/W
2:0	PCKD[2:0](注3)	周辺モジュールクロック D (PCLKD) 選択 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6:4	PCKC[2:0](注3)	周辺モジュールクロック C (PCLKC) 選択 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	PCKB[2:0](注2)	周辺モジュールクロック B (PCLKB) 選択 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:12	PCKA[2:0](注2)	周辺モジュールクロック A (PCLKA) 選択 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
23:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	ICK[2:0](注1)(注2)(注3)(注4)	システムクロック (ICLK) 選択 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:28	FCK[2:0](注1)	FlashIF クロック (FCLK) 選択 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 その他: 設定禁止	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. システムクロック (ICLK) と FlashIF クロック (FCLK) との間には以下の周波数関係が必要です。
ICLK:FCLK = N:1（N：整数）
注 2. システムクロック (ICLK) と周辺モジュールクロック (PCLKA, PCLKB) との間には次の周波数関係が必要です。
ICLK:PCLKA = N:1、ICLK:PCLKB = N:1（N：整数）
注 3. システムクロック (ICLK) と周辺モジュールクロック (PCLKC, PCLKD) との間には次の周波数関係が必要です。

ICLK:PCLKC、PCLKD = N:1 または 1:N（N：整数）

注 4. システムクロック (ICLK) の周波数は、フラッシュウェイトサイクルレジスタ (FLWT) によって制限されます。「41. フラッシュメモリ」を参照してください。

SCKDIVCR レジスタは、システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)、および FlashIF クロック (FCLK) の周波数を選択します。

8.2.3 SCKSCR : システムクロックソースコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x026

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	CKSEL[2:0]	クロックソース選択ビット 0 0 0: HOCO 0 0 1: MOCO 0 1 0: LOCO 0 1 1: メインクロック発振器 (MOSC) 1 0 0: サブクロック発振器 (SOSC)(注1) 1 0 1: PLL 1 1 0: 設定禁止 1 1 1: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. 32 ピン製品には SOSC は存在しません。32 ピン製品の場合、クロックソースに SOSC を設定することは禁止です。

SCKSCR レジスタは、システムクロックのクロックソースを選択するレジスタです。

CKSEL[2:0]ビット（クロックソース選択ビット）

CKSEL[2:0]ビットは、下記のモジュールに対してソースを選択します。

- システムクロック (ICLK)
- 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)
- Flash-IF クロック (FCLK)

本ビットは下記のソースから 1 つを選択します。

- 低速オンチップオシレータ (LOCO)
- 中速オンチップオシレータ (MOCO)
- 高速オンチップオシレータ (HOCO)
- メインクロック発振器 (MOSC)
- サブクロック発振器 (SOSC)
- PLL

各クロックソースの動作状態は、クロック発振器の有効設定だけでなく、製品動作モードによっても制御されます。使用する製品動作モードによっては、強制停止となるクロックソースがあります。

各製品の動作モードにおけるクロックソースの動作状態を確認し、停止するクロックソースを SCKSCR で選択しないようにしてください。なお、クロックソースの切り替えは、WDT/IWDT からの割り込みが発生していないタイミングで実施してください。

8.2.4 PLLCCR : PLL クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x028

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	PLLMUL[5:0]						—	—	—	PLSRCSEL	—	—	PLIDIV[1:0]	
Value after reset:	0	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PLIDIV[1:0](注1)	PLL 入力分周比選択 0 0: 1 分周 0 1: 2 分周 1 0: 3 分周 その他: 設定禁止	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PLSRCSEL	PLL クロックソース選択 0: メインクロック発振器 1: HOCO(注3)	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	PLLMUL[5:0](注2)	PLL 周波数逓倍率選択 0x13: 10.0 倍（リセット後の値） 0x14: 10.5 倍 0x15: 11.0 倍 ⋮ 0x1C: 14.5 倍 0x1D: 15.0 倍 0x1E: 15.5 倍 ⋮ 0x3A: 29.5 倍 0x3B: 30.0 倍 その他: 設定禁止	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. PLIDIV[1:0]ビットは、PLL の入力周波数が「8.1. 概要」の範囲に入るように設定してください。
注 2. PLLMUL[5:0]ビットは、PLL の出力周波数が「8.1. 概要」の範囲に入るように設定してください。
注 3. USBCLK を使用する場合は、FLL 機能を有効にしてください。

PLLCCR レジスタは、PLL 回路の動作を設定するレジスタです。

PLLCR.PLLSTP ビットが 0（PLL 動作）のとき、PLLCCR レジスタへの書き込みは禁止です。

PLIDIV[1:0]ビット（PLL 入力分周比選択）

PLL のクロックソースの分周比を選択します。

PLSRCSEL ビット（PLL クロックソース選択）

PLL のクロックソースを選択します。

PLLMUL[5:0]ビット（PLL 周波数逓倍率選択）

PLL 回路の周波数逓倍率を選択します。

8.2.5 PLLCR : PLL コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x02A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	PLLSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	PLLSTP	PLL 停止制御 0: PLL 動作 1: PLL 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

PLLCR レジスタは、PLL 回路の動作を設定するレジスタです。

PLLSTP ビット（PLL 停止制御）

本ビットは PLL 回路を動作または停止させます。

PLLCCR.PLSRCSEL ビットで、メインクロック発振器をクロックソースとして選択する場合、メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) の設定が必要です。

PLL を動作させるように PLLSTP ビットの設定を変更した場合は、OSCSF.PLLSF ビットが 1 になっていることを確認してから、PLL クロックを使用してください。PLL は、動作開始後発振が安定するまでに一定の時間を要します。また、PLL 動作が停止した後も、発振が停止するまでに一定の時間を要します。さらに、PLLSTP ビットで PLL 動作を開始および停止させる場合、以下の制限があります。

- PLL の停止後、PLL 動作を再開させる前に OSCSF.PLLSF ビットが 0 であることを確認してください。
- PLL を停止させる前に、PLL が動作していること、および OSCSF.PLLSF ビットが 1 であることを確認してください。
- PLL クロックをシステムクロックとして選択しているかどうかに関わらず、PLL を動作させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 1 になっていることを確認した上で WFI 命令を実行してください。
- PLL を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 0 になっていることを確認した上で WFI 命令を実行してください。

SCKSCR.CKSEL[2:0]ビットが 101（システムクロックソース = PLL）のとき、PLLSTP ビットへ 1 を書き込むことは禁止です。

PLLSTP に 0 を書き込む前に、以下の条件が満たされていることを確認してください。

- PLL ソースクロック = MOSC の場合：MOSCCR.MOSTP = 0（MOSC 動作）
- PLL ソースクロック = HOCO の場合：HOCOCR.HCSTP = 0（HOCO 動作）

8.2.6 MOSCCR : メインクロック発振器コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x032

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MOSTP
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	MOSTP	メインクロック発振器停止 0: メインクロック発振器動作(注1) 1: メインクロック発振器停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. MOSTP を 0 にする前に、MOMCR レジスタを設定する必要があります。

MOSCCR レジスタは、メインクロック発振器を制御するレジスタです。

MOSTP ビット（メインクロック発振器停止）

MOSTP ビットは、メインクロック発振器を動作または停止させます。

MOSTP ビット値を変更した場合、必ずそのビット値を読み出して、値が更新されていることを確認してから、次の命令を実行してください。

メインクロックを使用する場合は、MOSTP ビットを 0 にする前に、メインクロック発振器モード発振コントロールレジスタ (MOMCR) およびメインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) を設定する必要があります。MOSTP ビットを 0 にした後、OSCSF.MOSCSF ビットが 1 になっていることを確認してから、メインクロック発振器を使用してください。

メインクロック発振器を動作するように設定してから、発振が安定するまでに一定の待ち時間を要します。また、メインクロック発振器が停止した後も、発振が停止するまでに一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- メインクロック発振器の停止後､動作を再開させる前に OSCSF.MOSCSF ビットが 0 であることを確認してください。
- メインクロック発振器を停止させる前に、メインクロック発振器が動作していること、および OSCSF.MOSCSF ビットが 1 であることを確認してください。
- メインクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、メインクロック発振器またはディープソフトウェアスタンバイモード動作後にソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 1 になっていることを確認した上で WFI 命令を実行してください。
- メインクロック発振器を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 0 になっていることを確認した上で WFI 命令を実行してください。

以下の条件下で MOSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）かつ PLLCR.PLLSTP = 0（PLL 動作）

8.2.7 SOSCCR : サブクロック発振器コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x480

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SOSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOSTP	サブクロック発振器停止 0: サブクロック発振器動作(注1) 1: サブクロック発振器停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. SOSC は 32 ピン製品には存在しません。32 ピン製品では、リセット後に SOSTP ビットを 1 にしてください。
注 1. SOSTP を 0 にする前に、SOMCR レジスタを設定する必要があります。

SOSCCR レジスタは、サブクロック発振器を制御するレジスタです。

SOSTP ビット（サブクロック発振器停止）

SOSTP ビットは、サブクロック発振器を動作または停止させます。SOSTP ビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。RTC などの周辺モジュールに対するソースとしてサブクロック発振器を使用する場合、SOSTP ビットを使用します。サブクロック発振器を使用する場合は、SOSTP ビットを 0 にする前に、サブクロック発振器モードコントロールレジスタ (SOMCR) を設定してください。

動作の開始および停止に関しては、以下の制限があります。

- サブクロック発振器の停止後、動作を再開させるまでに SOSC クロックで 5 サイクルに相当する待ち時間が必要
- SOSTP ビットを 0 にした後、サブクロック発振安定時間 ($t_{SUBOSCWT}$) が経過していること
- サブクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードに遷移する場合は、サブクロックの発振が安定していることを確認した上で WFI 命令を実行すること。
- サブクロック発振器を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、SOSC クロックで 3 サイクル以上待ってから WFI 命令を実行すること

以下の条件下で SOSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 100b（システムクロックソース = SOSC）

8.2.8 LOCOCR : 低速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x490

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	LCSTP	LOCO 停止 0: LOCO 動作 1: LOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

LOCOCR レジスタは、LOCO を制御するレジスタです。

LCSTP ビット（LOCO 停止）

LCSTP ビットは、LOCO を動作または停止させます。

LCSTP ビットを 0 にして LOCO を動作させた後、LOCO クロック発振安定待機時間（t_{LOCOWT}）が経過してから、LOCO クロックを使用してください。LOCO を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでにも一定の待機時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- LOCO の停止後、動作を再開させるまでに LOCO クロックで 5 サイクル以上の待ち時間が必要です。
- LOCO を停止させる前に、LOCO クロックの発振が安定していることを確認してください。
- LOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックの発振が安定している状態で WFI 命令を実行してください。
- LOCO を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックで 3 サイクル以上待ってから WFI 命令を実行してください。

以下の条件下で LCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 010b（システムクロックソース = LOCO）

LOCO クロックは他の発振器の発振安定待ち時間を計測しているため、LOCOCR.LCSTP ビットの設定値にかかわらず、発振安定待ち時間の計測中は LOCO クロックが発振しています。そのため、LCSTP ビットが停止に設定されていても、意図せず LOCO クロックが供給される場合があります。

8.2.9 HOCOCR : 高速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x036

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	HCSTP
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HCSTP	HOCO 停止 0: HOCO 動作(注2)(注3) 1: HOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. OFS1.HOCOEN ビットが 0 のとき、HCSTP ビットのリセット後の値は 0 になります。OFS1.HOCOEN ビットが 1 のとき、このビットのリセット後の値は 1 になります。
注 2. HOCO (HCSTP = 0) を使用する場合、OFS1.HOCOFRQ0[1:0]ビットを最適な値に設定してください。
注 3. OFS1.HOCOFRQ0[1:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[1:0]ビットに自動的に転送されるので、OFS1.HOCOFRQ0[1:0]ビットの値が適切でない場合でも、HOCO 周波数は HOCOCR2.HCFRQ0[1:0]ビットで設定することもできます。

HOCOCR レジスタは、HOCO を制御するレジスタです。

HCSTP ビット（HOCO 停止）

HCSTP ビットは、HOCO を動作または停止させます。

HCSTP ビットを 0 にして HOCO を動作させた後、OSCSF.HOCOSF ビットが 1 になっていることを確認してから、HOCO クロックを使用してください。OFS1.HOCOEN ビットが 0 になっている場合、OSCSF.HOCOSF フラグも 1 になっていることを確認してから、HOCO クロックを使用してください。HOCO クロックが動作するように設定してから、発振が安定するまでに一定の待機時間を要します。また、HOCO クロックを停止するように設定した後も一定の待機時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- HOCO の停止後、動作を再開させる前に OSCSF.HOCOSF が 0 であることを確認してください。
- HOCO クロックが動作していること、および OSCSF.HOCOSF が 1 であることを確認してから、HOCO を停止してください。
- HOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、HCSTP ビットで HOCO を動作設定にして MCU をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 1 になっていることを確認してから WFI 命令を実行してください。
- HOCO を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOCOSF が 0 になっていることを確認してから WFI 命令を実行してください。

以下の条件下で HCSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 000b（システムクロックソース = HOCO）
- PLLCCR.PLSRCSEL = 1（PLL ソースクロック = HOCO）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）
- PLLCCR.PLSRCSEL = 1（PLL ソースクロック = HOCO）かつ PLLCR.PLLSTP = 0（PLL 動作）

8.2.10 HOCOCR2 : 高速オンチップオシレータコントロールレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x037

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	HCFRQ0[1:0]	
Value after reset:	0	0	0	0	0	0	0/1 (注1)	0/1 (注1)

ビット	シンボル	機能	R/W
1:0	HCFRQ0[1:0]	HOCO 周波数設定 0 0 0: 16 MHz 0 1: 18 MHz 1 0: 20 MHz 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと、非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと、非セキュアアクセスが許可されます。

注 1. HCFRQ0[1:0]ビットのリセット後の値は、OFS1.HOCOFRQ0[1:0]ビットに依存します。

HOCOCR2 レジスタは、HOCO クロックを制御します。HOCOCR.HCSTP ビットが 0（HOCO 動作）のとき、HOCOCR2 レジスタへの書き込みは禁止です。

8.2.11 MOCOCR : 中速オンチップオシレータコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x038

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MCSTP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MCSTP	MOCO 停止 0: MOCO 動作 1: MOCO 停止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

MOCOCR レジスタは、MOCO を制御するレジスタです。

MCSTP ビット（MOCO 停止）

MCSTP は、MOCO を動作または停止させます。

MCSTP ビットを 0 にした後、MOCO クロック発振安定待機時間（t_{MOCOWT}）が経過してから、MOCO クロックを使用してください。MOCO を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでにも一定の待機時間を要します。

発振器の開始および停止に関しては、以下の制限があります。

- MOCO の停止後、動作を再開させるまでに MOCO クロックで 5 サイクル以上の待ち時間が必要です。
- MOCO を停止させる前に、MOCO クロックの発振が安定していることを確認してください。
- MOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックの発振が安定している状態で WFI 命令を実行してください。
- MOCO を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックで 3 サイクル以上待ってから WFI 命令を実行してください。

以下の条件下で MCSTP に 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 001b（システムクロックソース = MOCO）

発振停止検出コントロールレジスタの発振停止検出機能有効ビット (OSTDCR.OSTDE) を有効にしているとき、MCSTP ビットを 1（MOCO 停止）にすることは禁止されています。

8.2.12 FLLCR1 : FLL コントロールレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x039

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FLLEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FLLEN	FLL 機能有効 0: FLL 機能は無効 1: FLL 機能は有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. HOCO を停止 (HOCOCR.HCSTP = 1) にしてから、FLLCR1.FLLEN ビットを変更する必要があります。
注. FLL が有効 (FLLCR1.FLLEN = 1) であるとき、SOSC は安定して動作中でなければいけません。
注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. SOSC は 32 ピン製品には存在しません。32 ピン製品では、FLLEN ビットを 1 にすることは禁止されています。

FLLCR1 レジスタは、HOCO の周波数補正機能を制御するレジスタです。

FLLEN ビット（FLL 機能有効）

HOCO の FLL 機能を有効または無効にします。

FLL 機能を有効にすると、HOCO の周波数精度があがります。FLL 機能が安定していることは、HOCO の安定後にクロック周波数精度測定回路 (CAC) で周波数を測定することにより確認できます。

また、ソフトウェアスタンバイモードへ遷移する前に FLL 機能を無効にする必要があります。FLLEN ビットを 0 にしてからソフトウェアスタンバイモードへ遷移してください。

表 8.4 に、各状況に応じた FLL の設定フロー例を示します。

表 8.4 FLL 設定フロー (1/2)

手順		説明
リセット解除後／ディープソフトウェアスタンバイモード解除後	1	開始（リセット解除後／ディープソフトウェアスタンバイモード解除後）
	2	FLL を設定 (FLLCR2.FLLCNTL)
	3	FLL を有効にする (FLLCR1.FLLEN = 1) 注. SOSC は安定して動作中でなければなりません。
	4	HOCO を有効にする (HOCOCR.HCSTP = 0)
	5	FLL が安定するのを待つ (t_{FLLWT})
	6	HOCO が安定したことを確認する (OSCSF.HOCOSF = 1)
	7	終了（HOCO 使用可能）

表 8.4 FLL 設定フロー (2/2)

手順		説明
ソフトウェアスタンバイモード遷移／解除	1	開始（FLL を使用）
	2	HOCO を停止 (HOCOCR.HCSTP = 1) 注. HOCO をシステムクロックまたは PLL 基準クロックとして使用している場合、HOCO を停止させる前に、これらのクロックソースを他のクロックに変更する必要があります。
	3	FLL を無効にする (FLLCR1.FLLEN = 0)
	4	WFI 命令
	5	ソフトウェアスタンバイモード
	6	ソフトウェアスタンバイモード解除
	7	FLL を有効にする (FLLCR1.FLLEN = 1)
	8	HOCO を有効にする (HOCOCR.HCSTP = 0)
	9	FLL が安定するのを待つ (t_{FLLWT})
	10	HOCO が安定したことを確認する (OSCSF.HOCOSF = 1)
	11	終了（HOCO 使用可能）

8.2.13 FLLCR2 : FLL コントロールレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x03A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	FLLCNTL[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	FLLCNTL[10:0]	FLL 逓倍制御 OFS1.HOCOFRQ0[1:0]ビット(注1)が 00b (16 MHz) の場合、本ビットは 0x1E9 にする必要があります。 OFS1.HOCOFRQ0[1:0]ビット(注1)が 01b (18 MHz) の場合、本ビットは 0x226 にする必要があります。 OFS1.HOCOFRQ0[1:0]ビット(注1)が 10b (20 MHz) の場合、本ビットは 0x263 にする必要があります。 上記以外の設定は禁止されています。	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. OFS1.HOCOFRQ0[1:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[1:0]ビットに自動的に転送されるので、HOCOCR2.HCFRQ0[1:0]ビットで設定することもできます。

FLLCR2 レジスタは、HOCO の FLL 機能を制御するレジスタです。

FLLCNTL[10:0]ビット（FLL 逓倍制御）

本ビットは FLL 基準クロックの逓倍比を選択します。

FLL を有効 (FLLCR1.FLLEN = 1) にする前に、本ビットを設定する必要があります。

8.2.14 OSCSF : 発振安定フラグレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x03C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	PLLSF	—	MOSCSF	—	—	HOCOSF
Value after reset:	0	0	0	0	0	0	0	0/1 (注1)

ビット	シンボル	機能	R/W
0	HOCOSF	HOCO クロック発振安定フラグ 0: HOCO クロックは停止、または発振安定待ち中 1: HOCO クロックは安定、システムクロックとして使用可能	R
2:1	—	読むと 0 が読めます。	R
3	MOSCSF	メインクロック発振安定フラグ 0: メインクロック発振器は停止 (MOSTP = 1) または発振安定待ち中(注2) 1: メインクロック発振器は安定、システムクロックとして使用可能	R
4	—	読むと 0 が読めます。	R
5	PLLSF	PLL クロック発振安定フラグ 0: PLL クロックは停止、または発振安定待ち中 1: PLL クロックは安定、システムクロックとして使用可能	R
7:6	—	読むと 0 が読めます。	R

注 1. リセット後の値は、OFS1.HOCOEN の設定値で決まります。
OFS1.HOCOEN = 1（HOCO 停止）の場合、HOCOSF のリセット後の値は 0 です。
OFS1.HOCOEN = 0（HOCO 動作）の場合、リセット解除直後は HOCOSF は 0 ですが、HOCO 発振安定待機時間経過後に HOCOSF は 1 になります。

注 2. メインクロック発振器のウェイトコントロールレジスタに適切な値が設定されている場合に当てはまります。値（待機時間）が不十分な場合、発振が安定する前に発振安定フラグが 1 になり、内部回路へのクロック信号の供給が開始します。

このレジスタは、CGFSAR レジスタにより制御されません。

OSCSF レジスタは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示すフラグからなるレジスタです。これらのカウンタは、発振開始後、各発振器の出力クロックが内部回路に供給されるまでの待機時間を計測します。カウンタのオーバーフローは、クロック供給が安定しており、対応する回路で利用可能なことを示します。

HOCOSF フラグ（HOCO クロック発振安定フラグ）

HOCOSF フラグは高速クロック発振器 (HOCO) の待機時間を計測するカウンタの動作状態を示します。
OFS1.HOCOEN が 0 のとき、HOCO クロックを使用する前に OSCSF.HOCOSF フラグが 1 であることを確認してください。

[1 になる条件]

- HOCO 停止時、HOCOCR.HCSTP ビットが 0 になった後、LOCO クロックで HOCO 発振安定時間をカウントし、MCU 内部へ HOCO クロック供給を開始したとき。HOCO 発振安定待機時間は「44. 電気的特性」を参照してください。

[0 になる条件]

- HOCO の動作時に、HOCOCR.HCSTP ビットを 1 にした結果、HOCO が発振停止になったとき

MOSCSF フラグ（メインクロック発振安定フラグ）

MOSCSF フラグは、メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- メインクロック発振器停止時、MOSCCR.MOSTP ビットが 0 になった後、MOSCWTCR レジスタの設定値に応じた LOCO サイクル数をカウントし、MCU 内部へメインクロック供給を開始したとき

[0 になる条件]

- メインクロック発振器の動作時に、MOSCCR.MOSTP ビットを 1 にした結果、メインクロック発振器が発振停止になったとき

PLLSF フラグ（PLL クロック発振安定フラグ）

PLLSF フラグは、PLL の待機時間を計測するカウンタの動作状態を示します。

[1 になる条件]

- PLL 停止時、PLLCR.PLLSTP ビットが 0 になった後、LOCO クロックで PLL 発振安定時間をカウントし、MCU 内部へ PLL クロック供給が開始されたとき。ただし、PLLCR.PLLSTP ビットを 0 にしたときに、PLL クロックソースの発振が安定していなければ、PLL クロックソースの発振が安定した後も LOCO サイクルのカウントは継続します。PLL 発振安定時間は「44. 電気的特性」を参照してください。

[0 になる条件]

- PLL の動作時に、PLLCR.PLLSTP ビットを 1 にした結果、PLL が発振停止になったとき

8.2.15 OSTDCR : 発振停止検出コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x040

Bit position:	7	6	5	4	3	2	1	0
Bit field:	OSTDE	—	—	—	—	—	—	OSTDIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OSTDIE	発振停止検出割り込み許可 0: 発振停止検出割り込みを禁止（POEG への通知なし） 1: 発振停止検出割り込みを許可（POEG への通知あり）	R/W
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	OSTDE	発振停止検出機能有効 0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

OSTDCR レジスタは、発振停止検出機能を制御するレジスタです。

OSTDIE ビット（発振停止検出割り込み許可）

OSTDIE ビットは、発振停止検出機能割り込みを許可します。また、発振停止検出を POEG に通知するかどうかを制御します。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) をクリアする必要がある場合、OSTDIE ビットを 0 にしてから OSTDF をクリアしてください。OSTDIE ビットを 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことで、PCLKB の 2 サイクル以上の待ち時間を確保できます。

OSTDE ビット（発振停止検出機能有効）

OSTDE ビットは、発振停止検出機能を有効にします。

OSTDE ビットを 1（有効）にすると、MOCO 停止ビット (MOCOCR.MCSTP) が 0 となり、MOCO が起動します。発振停止検出機能が有効の間は、MOCO クロックは停止できません。MOCOCR.MCSTP ビットへの 1 の書き込み（MOCO 停止）は無効です。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が 1（メインクロック発振停止検出）のとき、OSTDE ビットへの 0 の書き込みは無効です。

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する前に、OSTDE ビットを 0 にする必要があります。ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、最初に OSTDE ビットを 0 にしてから WFI 命令を実行してください。

発振停止検出機能を使用する場合、以下の制限があります。
Low-speed モードでは、ICLK、FCLK、PCLKA、PCLKB、PCLKC、PCLKD に対して、分周比 1、2、4、8 を選択しないでください。

8.2.16 OSTDSR : 発振停止検出ステータスレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x041

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OSTDF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OSTDF	発振停止検出フラグ 0: メインクロックの発振停止を未検出 1: メインクロックの発振停止を検出	R/W(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。
注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. 0 のみ書けます。本フラグをクリアするには 1 を読んだ後に 0 を書く必要があります。

OSTDSR レジスタは、メインクロック発振器の発振停止の検出状態を示すレジスタです。

OSTDF フラグ（発振停止検出フラグ）

OSTDF フラグは、メインクロック発振器の状態を示します。本フラグが 1 のとき、メインクロックの発振停止が検出されたことを示します。発振停止が検出された後、メインクロックの発振が再開しても OSTDF フラグは 0 になりません。OSTDF フラグをクリアするには 1 を読んだ後に 0 を書く必要があります。

OSTDF に 0 を書き込んでから、0 を読み出せるようになるまで、ICLK で 3 サイクル以上待つ必要があります。メインクロックの発振が停止しているとき、OSTDF フラグを 0 にすると、OSTDF フラグはいったん 0 になった後、再度 1 に戻ります。

以下の条件下では、OSTDF フラグは 0 にできません。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）

クロックソースをメインクロック発振器と PLL 以外に切り替えた後、OSTDF フラグを 0 にする必要があります。

[1 になる条件]

- OSTDCR.OSTDE ビットが 1（発振停止検出機能有効）の状態で、メインクロックの発振が停止したとき

[0 になる条件]

- SCKSCR.CKSEL[2:0]ビットが 011b（システムクロックが MOSC）、101b（システムクロックが PLL）以外で、PLLCCR.PLSRCSEL ビットが 0（PLL ソースクロックが MOSC）以外の場合に、1 を読み出し後に 0 を書き込む

8.2.17 MOSCWTCR : メインクロック発振器ウェイトコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0A2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	MSTS[3:0]			
Value after reset:	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
3:0	MSTS[3:0]	メインクロック発振安定待機時間設定 0x0: 待機時間 = 3 サイクル (11.4 µs) 0x1: 待機時間 = 35 サイクル (133.5 µs) 0x2: 待機時間 = 67 サイクル (255.6 µs) 0x3: 待機時間 = 131 サイクル (499.7 µs) 0x4: 待機時間 = 259 サイクル (988.0 µs) 0x5: 待機時間 = 547 サイクル (2086.6 µs) 0x6: 待機時間 = 1059 サイクル (4039.8 µs) 0x7: 待機時間 = 2147 サイクル (8190.2 µs) 0x8: 待機時間 = 4291 サイクル (16368.9 µs) 0x9: 待機時間 = 8163 サイクル (31139.4 µs) その他: 設定禁止	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタに書く場合は、PRCR.PRC0 ビットに 1 を設定してから書き込んでください。

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

MSTS[3:0]ビット（メインクロック発振安定待機時間設定）

MSTS[3:0]ビットは、メインクロック発振器の発振安定待機時間を指定します。

発振器メーカが推奨する安定時間以上の時間をメインクロック発振安定時間に設定してください。メインクロックが外部から入力される場合、発振安定時間は必要ないので 0x0 に設定してください。

これらのビットに設定した待機時間は、次式を用いてカウントされます。 1 サイクル (µs) = 1/(f_{LOCO}[MHz] × 8) = 1/(0.032768 × 8) = 3.81 (µs) (min.)。LOCO は、必要であれば、LOCO.LCSTP ビットの値にかかわらず、自動的に発振を開始します。設定した待機時間が経過すると、MCU 内部へメインクロック発振器の供給が開始され、OSCSF.MOSCSF フラグは 1 になります。設定した待機時間が短いと、クロックの発振が安定になる前に、メインクロック発振器の供給が開始されます。

MOSCWTCR レジスタの書き換えは、MOSCCR.MOSTP ビットが 1 で、かつ OSCSF.MOSCSF フラグが 0 の場合にのみ行ってください。他の状態ではレジスタの書き換えを行わないでください。

8.2.18 MOMCR : メインクロック発振器モード発振コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x413

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MOSEL	MODRV[1:0]		—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
5:4	MODRV[1:0]	メインクロック発振器駆動能力 0 切り替え 0 0: 20 MHz～24 MHz 0 1: 16 MHz～20 MHz 1 0: 8 MHz～16 MHz 1 1: 8 MHz	R/W
6	MOSEL	メインクロック発振器切り替え 0: 発振子 1: 外部クロック入力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. EXTAL/XTAL 端子はポートとしても使用されます。初期状態では、この端子がポートとして設定されます。
注. このレジスタを変更する前に、MOSCCR.MOSTP ビットを 1（MOSC 停止）にする必要があります。
注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

MODRV[1:0]ビット（メインクロック発振器駆動能力 0 切り替え）

MODRV[1:0]ビットは、メインクロック発振器の駆動能力を切り替えます。

MOSEL ビット（メインクロック発振器切り替え）

MOSEL ビットは、メインクロック発振器の発振源を切り替えます。

8.2.19 SOMCR : サブクロック発振器モードコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x481

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SODRV	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	SODRV	サブクロック発振器ドライブ能力切り替え 0: 標準 1: 低	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SOMCR レジスタの変更は、SOSCCR.SOSTP が 1（SOSC 停止）のときに行う必要があります。

SODRV ビット（サブクロック発振器ドライブ能力切り替え）

SODRV ビットは、サブクロック発振器の駆動能力を切り替えます。SODRV は、初電源投入時の値は定義されていませんが、SOSCCR.SOSTP ビットをリセットした後の値は 0（SOSC 動作）です。そのため、初電源投入時に SOSC を以下のように設定してください。

1. SOSCCR.SOSTP ビットを 1（SOSC 停止）にする。
2. 本ビットを、使用するコンデンサに対応した値を設定する。
3. SOSCCR.SOSTP ビットを 0（SOSC 動作）にする。

8.2.20 CKOCR : クロックアウトコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x03E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CKOEN	CKODIV[2:0]			—	CKOSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CKOSEL[2:0]	クロック出力ソース選択 0 0 0: HOCO（リセット後の値） 0 0 1: MOCO 0 1 0: LOCO 0 1 1: MOSC 1 0 0: SOSC(注1) 1 0 1: 設定禁止 その他: 設定禁止	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	CKODIV[2:0]	クロック出力周波数分周比 0 0 0: × 1/1 0 0 1: × 1/2 0 1 0: × 1/4 0 1 1: × 1/8 1 0 0: × 1/16 1 0 1: × 1/32 1 1 0: × 1/64 1 1 1: × 1/128	R/W
7	CKOEN	クロック出力許可 0: クロック出力禁止 1: クロック出力許可	R/W

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. SOSC は 32 ピン製品には存在しません。32 ピン製品でクロック出力ソースに SOSC を選択することは禁止されています。

CKOSEL[2:0]ビット（クロック出力ソース選択）

CKOSEL[2:0]ビットは、CLKOUT 端子から出力するクロックのソースを選択します。クロックソースを変更する場合、CKOEN ビットを 0 にしてください。

CKODIV[2:0]ビット（クロック出力周波数分周比）

CKODIV[2:0]ビットは、クロック分周比を設定します。分周比を変更する場合、CKOEN ビットを 0 にしてください。

CKOEN ビット（クロック出力許可）

CKOEN ビットは、CLKOUT 端子からの出力を許可します。

1 を書き込むと、CKOSEL[2:0]と CKODIV[2:0]で設定したクロックが出力されます。0 を書き込むと、Low が出力されます。本ビットを変更する場合は、CKOSEL[2:0]ビットで選択したクロック出力のクロックソースが安定していることを確認してください。クロックソースが安定していないと、出力にグリッチを生じることがあります。

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する際は、これらのモードで選択中のクロック出力ソースを停止させる場合、事前に CKOEN ビットを 0 にしてください。

8.2.21 LOCOUTCR : LOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x492

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	LOCOUTRM[7:0]	LOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

LOCOUTCR レジスタは元の LOCO トリミングデータに追加されます。

LOCOUTCR に LOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
LOCOUTCR が修正されるとき、周波数安定時間は MCU の動作開始時の周波数安定時間に対応しています。

RTC の動作中に LOCOUTCR の変更はしないでください。

8.2.22 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x061

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	MOCOUTRM[7:0]	MOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

MOCOUTCR レジスタは元の MOCO トリミングデータに追加されます。

MOCOUTCR に MOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
MOCOUTCR が修正されるとき、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。

8.2.23 HOCOUTCR : HOCO ユーザートリミングコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x062

Bit position:	7	6	5	4	3	2	1	0
Bit field:	HOCOUTRM[7:0]							
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	HOCOUTRM[7:0]	HOCO ユーザートリミング 0x80: -128 0x81: -127 ⋮ 0xFF: -1 0x00: センターコード 0x01: +1 ⋮ 0x7E: +126 0x7F: +127	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、本レジスタを書き換えてください。

HOCOUTCR レジスタは元の HOCO トリミングデータに追加されます。

HOCOUTCR に HOCO 周波数を仕様範囲外にする値を設定する場合、MCU の動作は保証されません。
HOCOUTCR が修正されるとき、周波数安定待機時間は MCU の動作開始時の周波数安定待機時間に対応しています。

FLL が有効 (FLLCR1.FLLEN = 1) の場合、これらのビットを 0x00 にしてください。

8.2.24 USBCKDIVCR : USB クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x06C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	USBCKDIV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	USBCKDIV[2:0]	USB クロック (USBCLK) 分周比選択 0 1 0: 4 分周 1 0 1: 3 分周 1 1 0: 5 分周 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。

- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

USBCKDIVCR レジスタは、USB クロックを制御するレジスタです。

USBCKDIV[2:0]ビット（USB クロック (USBCLK) 分周比選択）

本ビットは、USB クロック (USBCLK) の周波数を選択します。書き換えは、USBCKCR.USBCKSRDY が 1 の時に行ってください。

分周比の設定を n (n ≠ 1) から切り替えるときは、すべての MSTPCRB.MSTPBi (i = 11) を 1 に設定してから USBCKCR.USBCKSREQ = 1 に設定してください。

8.2.25 CANFDCKDIVCR : CANFD クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x06E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CANFDCKDIV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CANFDCKDIV[2:0]	CANFD クロック (CANFDCLK) 分周比選択 0 0 0: 1 分周（リセット後の値） 0 0 1: 2 分周 0 1 0: 4 分周 0 1 1: 6 分周 1 0 0: 8 分周 上記以外は設定しないでください。	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されます。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CANFDCKDIVCR レジスタは、CANFD クロック (CANFDCLK) を制御します。

CANFDCKDIV[2:0]ビット（CANFD クロック (CANFDCLK) 分周比選択）

本ビットは、CANFD クロック (CANFDCLK) の周波数を選択します。

本ビットは、必ず CANFDCKCR.CANFDCKSRDY = 1 のときに書き換えてください。

分周比の設定を n (n ≠ 1) から切り替えるときは、MSTPCRC.MSTPC27 = 1 に設定してから CANFDCKCR.CANFDCKSREQ = 1 に設定してください。

8.2.26 CECCKDIVCR : CEC クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x070

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	CECCKDIV[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	CECCKDIV[2:0]	CEC クロック (CECCLK) 分周比選択 000: 1 分周（リセット後の値） 001: 2 分周 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが可能です。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが可能です。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CECCKDIVCR レジスタは、CEC クロック (CECCLK) を制御します。

CECCKDIV[2:0]ビット（CEC クロック (CECCLK) 分周比選択）

本ビットは、CEC クロック (CECCLK) の周波数を選択します。

本ビットは、必ず CECCKCR.CECCKSRDY = 1 のときに書き換えてください。

分周比の設定を n (n ≠ 1) から切り替えるときは、MSTPCRB.MSTPB3 = 1 に設定してから CECCKCR.CECCKSREQ = 1 に設定してください。

8.2.27 I3CCKDIVCR : I3C クロック分周コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x071

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	I3CCKDIV[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	I3CCKDIV[2:0]	I3C クロック (I3CCLK) 分周比選択 000: 1 分周（リセット後の値） 001: 2 分周 010: 4 分周 011: 6 分周 100: 8 分周 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが可能です。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが可能です。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

I3CCKDIVCR は、I3C クロックを制御します。

I3CCKDIV[2:0]ビット（I3C クロック (I3CCLK) 分周比選択）

本ビットは、I3C クロック (I3CCLK) の周波数を選択します。

本ビットは、必ず I3CCKCR.I3CCKSRDY = 1 のときに書き換えてください。

分周比の設定を n (n ≠ 1) から切り替えるときは、MSTPCRB.MSTPB4 = 1 に設定してから I3CCKCR.I3CCKSREQ = 1 に設定してください。

8.2.28 USBCKCR : USB クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x074

Bit position:	7	6	5	4	3	2	1	0
Bit field:	USBCKSRDY	USBCKSREQ	—	—	—	USBCKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	USBCKSEL[2:0]	USB クロック (USBCLK) ソース選択 1 0 1: PLL その他: 設定禁止	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	USBCKSREQ	USB クロック (USBCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	USBCKSRDY	USB クロック (USBCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

USBCKCR レジスタは、USB クロックを制御するレジスタです。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにしなければなりません。USBCKDIVCR.USBCKDIV[2:0]ビットと USBCKSEL[2:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

1. すべての MSTPCRB.MSTPBi (i = 11) に 1 を書き込む（分周比の設定を n (n ≠ 1) から m (m ≠ 1) に切り替えるときのみ）。
2. USBCLK を 2 サイクル待機する（分周比の設定を n (n ≠ 1) から m (m ≠ 1) に切り替えるときのみ）。
3. USBCKSREQ に 1 を書き込む。
4. USBCKSRDY フラグが 1 になるまでポーリングする。USBCKSRDY が 1 である間、USBCLK にクロックが出力されない。
5. USBCKDIVCR.USBCKDIV[2:0]ビットと USBCKSEL[2:0]ビットに書き込む。
6. USBCKSREQ に 0 を書き込む。
7. USBCKSRDY フラグが 0 になるまでポーリングする。
8. USBCKSRDY フラグが 0 になると、USBCLK 出力を開始する。クロック切り替えが完了する。

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、USBCKSREQ = 1 かつ USBCKSRDY = 0、または、USBCKSREQ = 0 かつ USBCKSRDY = 1 であるときに WFI 命令を実行しないでください。

USBCKSEL[2:0]ビット（USB クロック (USBCLK) ソース選択）

本ビットは、USB クロック (USBCLK) のクロックソースを選択します。書き換えは、USBCKCR.USBCKSRDY が 1 のときに行ってください。

USBCKSREQ ビット（USB クロック (USBCLK) 切り替え要求）

本ビットは、USBCLK の切り替え要求を選択します。

USBCKSRDY フラグ（USB クロック (USBCLK) 切り替え可能状態フラグ）

本フラグは、USBCLK の切り替え可能状態を示します。USBCKSRDY が 1 のときは、USBCLK にクロックが出力されません。

8.2.29 CANFDCKCR : CANFD クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x076

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CANFDCKSRDY	CANFDCKSREQ	—	—	—	CANFDCKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	CANFDCKSEL[2:0]	CANFD クロック (CANFDCLK) ソース選択 101: PLL その他: 設定禁止	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	CANFDCKSREQ	CANFD クロック (CANFDCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	CANFDCKSRDY	CANFD クロック (CANFDCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されます。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CANFDCKCR レジスタは、CANFD クロック (CANFDCLK) を制御します。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにしなければなりません。CANFDCKDIVCR.CANFDCKDIV[2:0]ビットと CANFDCKSEL[2:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

1. MSTPCRC.MSTPC27 に 1 を書き込む（分周比の設定を n (n ≠ 1) から切り替えるときのみ）。
2. CANFDCLK を 2 サイクル待機する（分周比の設定を n (n ≠ 1) から切り替えるときのみ）。
3. CANFDCKSREQ に 1 を書き込む。
4. CANFDCKSRDY フラグが 1 になるまでポーリングする。CANFDCKSRDY が 1 である間、CANFDCLK にクロックが出力されない。
5. CANFDCKDIVCR.CANFDCKDIV[2:0]ビットと CANFDCKSEL[2:0]ビットに書き込む。
6. CANFDCKSREQ に 0 を書き込む。
7. CANFDCKSRDY フラグが 0 になるまでポーリングする。
8. CANFDCKSRDY フラグが 0 になると、CANFDCLK 出力を開始する。クロック切り替えが完了する。

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、CANFDCKSREQ = 1 かつ CANFDCKSRDY = 0、または、CANFDCKSREQ = 0 かつ CANFDCKSRDY = 1 であるときに WFI 命令を実行しないでください。

CANFDCKSEL[2:0]ビット（CANFD クロック (CANFDCLK) ソース選択）

本ビットは、CANFD クロック (CANFDCLK) のクロックソースを選択します。書き換えは、CANFDCKCR.CANFDCKSRDY が 1 の時に行ってください。

CANFDCKSREQ ビット（CANFD クロック (CANFDCLK) 切り替え要求）

本ビットは、CANFDCLK の切り替え要求を選択します。

CANFDCKSRDY フラグ（CANFD クロック (CANFDCLK) 切り替え可能状態フラグ）

本フラグは、CANFDCLK の切り替え可能状態を示します。CANFDCKSRDY が 1 である間、CANFDCLK にクロックが出力されません。

8.2.30 CECCKCR : CEC クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x078

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CECCKSRDY	CECCKSREQ	—	—	—	CECCKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	CECCKSEL[2:0]	CEC クロック (CECCLK) ソース選択 011: メインクロック発振器 100: サブクロック発振器 その他: 設定禁止	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	CECCKSREQ	CEC クロック (CECCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	CECCKSRDY	CEC クロック (CECCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

CECCKCR レジスタは、CEC クロック (CECCLK) を制御するレジスタです。

クロックソース切り替え時、切り替え前と切り替え後にクロックが安定して出力されるようにしなければなりません。CECCKDIVCR.CECCKDIV[2:0]ビットと CECCKSEL[2:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

1. MSTPCRB.MSTPB3 に 1 を書き込む（分周比の設定を n (n ≠ 1) から切り替えるときのみ）。
2. CECCLK を 2 サイクル待機する（分周比の設定を n (n ≠ 1) から切り替えるときのみ）。
3. CECCKSREQ に 1 を書き込む。
4. CECCKSRDY フラグが 1 になるまでポーリングする。CECCKSRDY が 1 である間、CECCLK にクロックが出力されない。

5. CECCKDIVCR.CECCKDIV[2:0]ビットと CECCKSEL[2:0]ビットに書き込む。
6. CECCKSREQ に 0 を書き込む。
7. CECCKSRDY フラグが 0 になるまでポーリングする。
8. CECCKSRDY フラグが 0 になると、CECCLK 出力を開始する。クロック切り替えが完了する。

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック切り替えを実施している間に WFI 命令を実行しないでください。すなわち、CECCKSREQ = 1 かつ CECCKSRDY = 0、または、CECCKSREQ = 0 かつ CECCKSRDY = 1 であるときに WFI 命令を実行しないでください。

CECCKSEL[2:0]ビット（CEC クロック (CECCLK) ソース選択）

本ビットは、CEC クロック (CECCLK) のクロックソースを選択します。書き換えは、CECCKCR.CECCKSRDY が 1 の時に行ってください。

CECCKSREQ ビット（CEC クロック (CECCLK) 切り替え要求）

本ビットは、CECCLK の切り替え要求を選択します。

CECCKSRDY フラグ（CEC クロック (CECCLK) 切り替え可能状態フラグ）

本フラグは、CECCLK の切り替え可能状態を示します。CECCKSRDY が 1 である間、CECCLK にクロックが出力されません。

8.2.31 I3CCKCR : I3C クロックコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x079

Bit position:	7	6	5	4	3	2	1	0
Bit field:	I3CCKSRDY	I3CCKSREQ	—	—	—	I3CCKSEL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	I3CCKSEL[2:0]	I3C クロック (I3CCLK) ソース選択 000: HOCO 001: MOCO（リセット後の値） 010: LOCO 011: メインクロック発振器 100: サブクロック発振器 101: PLL その他: 設定禁止	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	I3CCKSREQ	I3C クロック (I3CCLK) 切り替え要求 0: 要求なし 1: 切り替えを要求	R/W
7	I3CCKSRDY	I3C クロック (I3CCLK) 切り替え可能状態フラグ 0: 切り替え不可能 1: 切り替え可能	R(注1)

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが可能です。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが可能です。

注. PRCR.PRC0 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. 本ビットは読み出し専用です。

I3CCKCR は、I3C クロックを制御します。

I3CCKDIVCR.I3CCKDIV[2:0]ビットと I3CCKSEL[2:0]ビットの設定値を書き換えるには、以下の手順に従ってください。

クロックソースり替え時、切り替え前と切り替え後にクロックが安定して出力されるようにする必要があります。

クロック選択の切り替え手順：

1. MSTPCRB.MSTPB4 に 1 を書き込む（分周比の設定を n (n ≠ 1) から切り替えるときのみ）。
2. 分周比の設定を n (n ≠ 1) から切り替えるときのみ、I3CCLK を 2 サイクル待機する。
3. I3CCKSREQ に 1 を書き込む。
4. I3CCKSRDY が 1 になるまでポーリングする。
   I3CCKSRDY が 1 である間、I3CCLK にクロックが出力されない。
5. 設定値を I3CCKDIVCR.I3CCKDIV[2:0]と I3CCKSEL[2:0]に書き込む。
6. I3CCKSREQ に 0 を書き込む。
7. I3CCKSRDY が 0 になるまでポーリングする。
   I3CCKSRDY が 0 になると、I3CCLK 出力を開始する。
8. クロック切り替えが完了する。

ソフトウェアスタンバイモードやディープソフトウェアスタンバイモードに遷移する場合は、クロック選択切り替えを実施している間に WFI 命令を実行しないでください。つまり、I3CCKSREQ = 1 かつ I3CCKSRDY = 0、または I3CCKSREQ = 0 かつ I3CCKSRDY = 1 の状態で WFI 命令を実行しないでください。

I3CCKSEL[2:0]ビット（I3C クロック (I3CCLK) ソース選択）

本ビットは、I3C クロック (I3CCLK) のクロックソースを選択します。

本ビットは、必ず I3CCKCR.I3CCKSRDY = 1 のときに書き換えてください。

I3CCKSREQ ビット（I3C クロック (I3CCLK) 切り替え要求）

本ビットは、I3CCLK の切り替え要求を選択します。

I3CCKSRDY ビット（I3C クロック (I3CCLK) 切り替え可能状態フラグ）

本フラグは、I3CCLK の切り替え可能状態を示します。

I3CCKSRDY が 1 である間、I3CCLK にクロックが出力されません。

8.3 メインクロック発振器

メインクロック発振器にクロック信号を供給するには、以下のいずれかの方法を使用します。

- 発振子を接続
- 外部クロック信号の入力を接続

8.3.1 発振子を接続する方法

図 8.2 に発振子の接続例を示します。必要に応じてダンピング抵抗 (Rd) を挿入してください。

この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカの推奨する値を使用してください。また、振動子メーカから外部に帰還抵抗 (Rf) を追加するよう指示があった場合は、その指示に従って EXTAL と XTAL の間に Rf を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、表 8.1 に記載されているように、メインクロック発振器の発振子周波数の範囲内としてください。

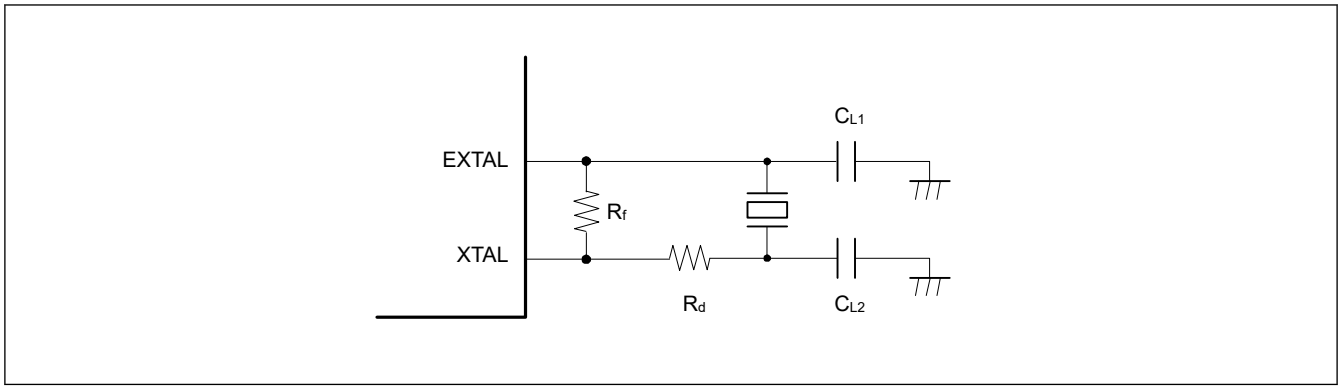


図 8.2　発振子の接続例

図 8.3 に発振子の等価回路を示します。

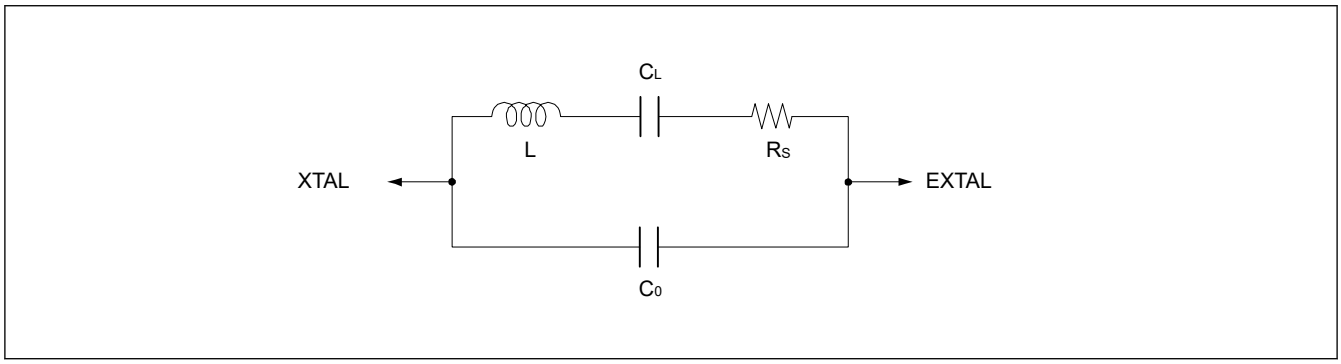


図 8.3　発振子の等価回路

8.3.2　外部クロックを入力する方法

図 8.4 に、外部クロック入力の接続例を示します。外部クロックで発振器を動作させるには、MOMCR.MOSEL ビットを 1 にしてください。XTAL 端子はハイインピーダンスになります。

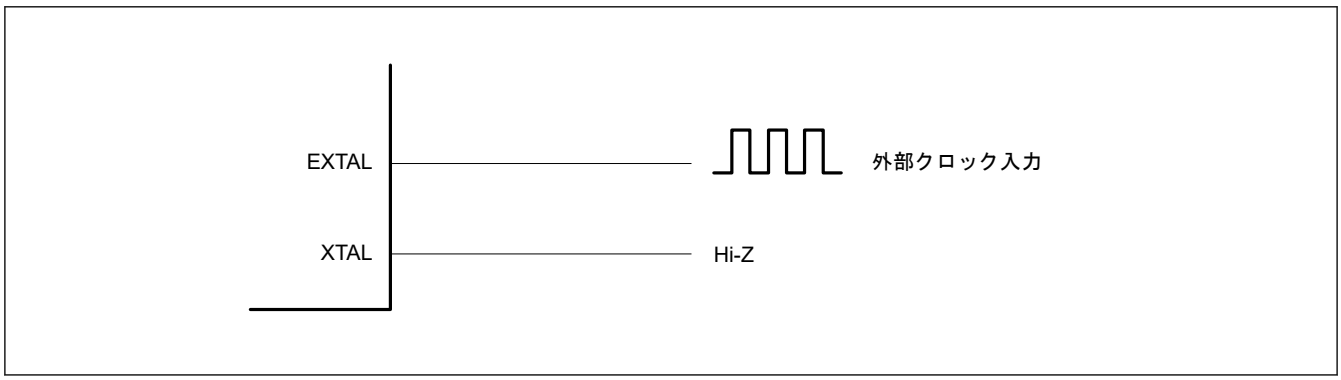


図 8.4　外部クロックの等価回路

8.3.3　外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器の停止ビット（MOSCCR.MOSTP）が 0 の場合、外部クロック入力の周波数を変更しないでください。

8.4　サブクロック発振器

サブクロック発振器へクロックを供給するには、水晶振動子を接続してください。

8.4.1 32.768 kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、図 8.5 に示すように 32.768 kHz 水晶振動子を接続します。必要に応じてダンピング抵抗 (Rd) を挿入してください。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカの推奨する値を使用してください。また、振動子メーカが外部帰還抵抗 (Rf) の使用を推奨している場合は、その指示に従って XCIN と XCOUT の間に Rf を挿入してください。振動子を接続してクロックを供給する場合、その振動子の周波数は、表 8.1 に記載されているように、サブクロック発振器の発振子周波数の範囲内としてください。

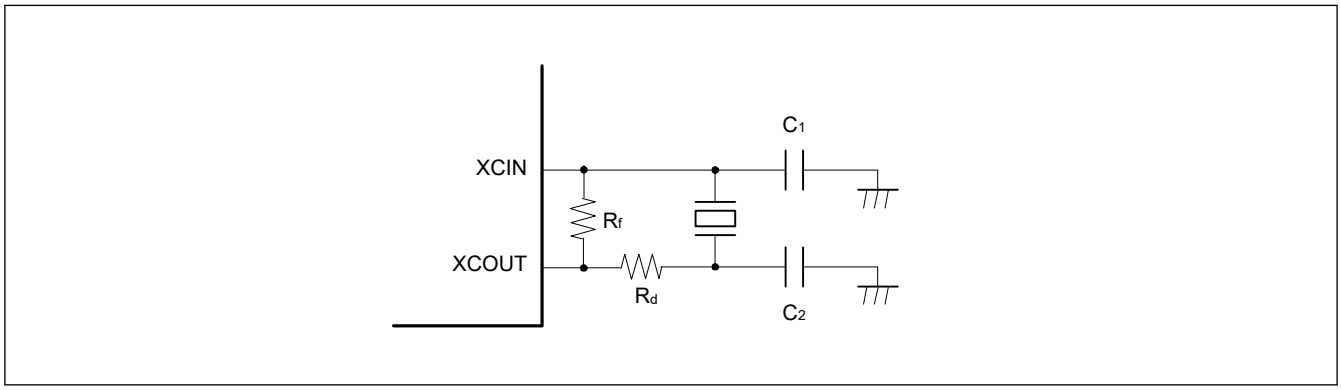


図 8.5 32.768 kHz 水晶振動子の接続例

図 8.6 に 32.768 kHz 水晶振動子の等価回路を示します。

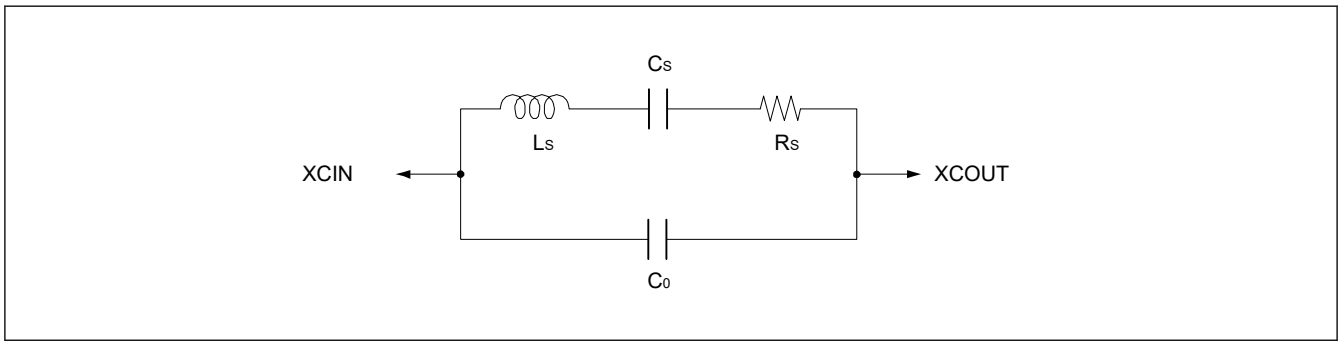


図 8.6 32.768 kHz 水晶振動子の等価回路

8.4.2 サブクロック発振器を使用しない場合の端子処理

サブクロック発振器を使用しない場合、図 8.7 に示すように、XCIN 端子は抵抗を介して VSS に接続（プルダウン）し、XCOUT 端子をオープンとしてください。さらに、サブクロック発振器停止ビット (SOSCCR.SOSTP) を 1 にして発振器を停止してください。

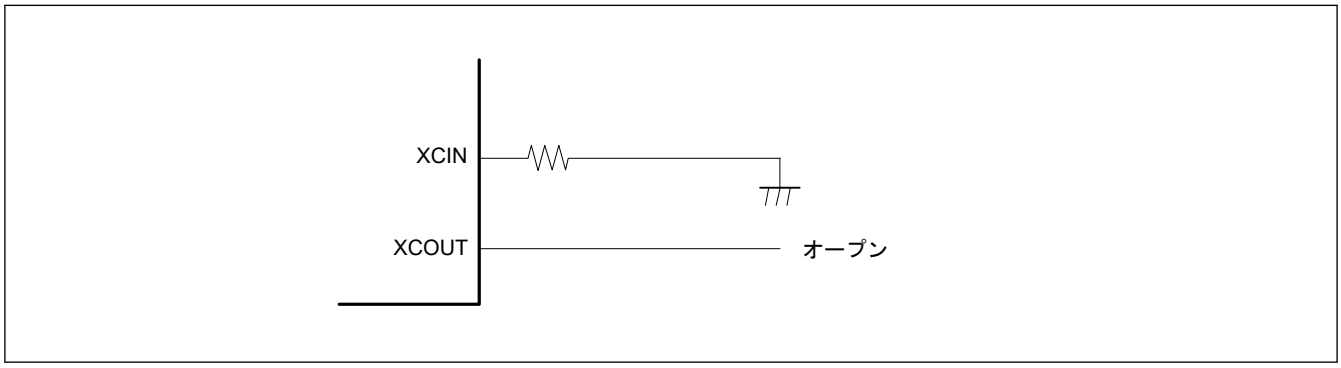


図 8.7 サブクロック発振器を使用しない場合の端子処理

8.5 発振停止検出機能

8.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の発振停止を検出します。発振停止が検出されると、システムクロックは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）で発振停止が検出された場合、システムクロックソースは MOCO クロックに切り替わる
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）および SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）で発振停止が検出されると、PLL クロックはシステムクロックソースのままとなります。ただし、周波数はフリーラン発振周波数となります。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。さらに、検出時の汎用 PWM タイマ (GPT) 出力をハイインピーダンスにすることが可能です。

メインクロック発振器に異常が発生した場合など、入力クロックが一定期間 0 または 1 のままとなった場合、メインクロックの発振停止が検出されます。「44. 電気的特性」を参照してください。

メインクロック発振器と MOCO クロックの切り替え、または PLL クロックと PLL フリーランクロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。

OSTDF は切り替えたクロックを以下のように制御します。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）の場合：
  - OSTDF が 0 から 1 になると、クロックソースは MOCO クロックに切り替わる
  - OSTDF が 1 から 0 になると、クロックソースは MOSC に戻る
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）かつ SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）の場合：
  - OSTDF が 0 から 1 になると、クロックソースは PLL フリーランニング発振クロックに切り替わる
  - OSTDF が 1 から 0 になると、クロックソースは PLL に戻る

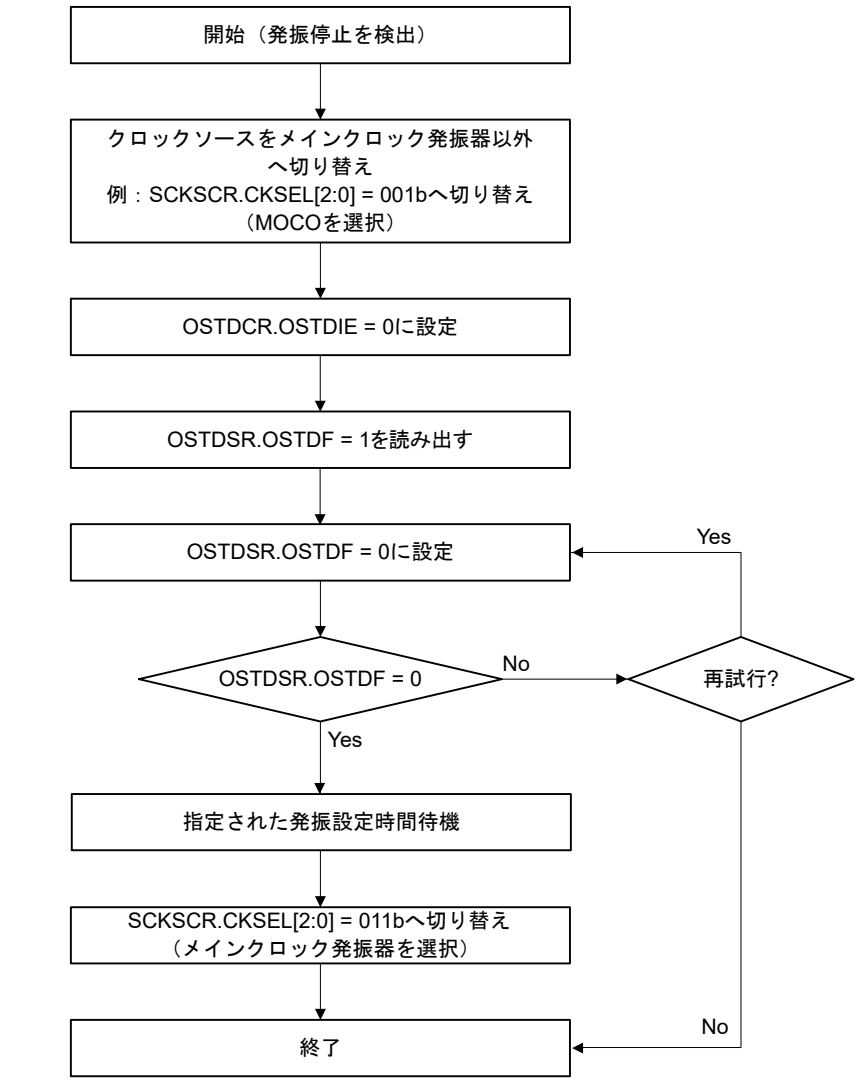
発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻したい場合は、一度 CKSEL[2:0] ビットの設定をメインクロックおよび PLL クロック以外に変更し、OSTDF フラグを 0 にしてください。さらに、OSTDF フラグが 1 になっていないことを確認した後、所定の発振安定時間が経過してから、CKSEL[2:0]ビットの設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止して、発振停止検出機能は無効になります。発振停止検出機能を有効にするには、メインクロック発振器を動作させた後、所定の発振安定時間が経過してから、発振停止検出機能有効ビット (OSTDCR.OSTDE) に 1 を書き込んでください。

発振停止検出機能は、外部要因によってメインクロックが停止したことを検出します。そのため、ソフトウェアによるメインクロック発振器の停止、あるいはソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへの遷移の前に、発振停止検出機能を無効にする必要があります。

発振停止検出機能は、CLKOUT 以外のメインクロックとして選択可能なすべてのクロックを MOCO（システムクロックが MOSC の場合）または PLL フリーラン（システムクロックが PLL の場合）に切り替えます。

MOCO 動作中（システムクロックが MOSC の場合）または PLL フリーラン動作中（システムクロックが PLL の場合）のシステムクロック (ICLK) 周波数は、MOCO 発振周波数と、システムクロック選択ビット (SCKDIVCR.ICK[2:0]) で設定された分周比で指定されます。



注. 発振停止状態から復帰する際は、発振を再開できるように、メインクロック発振回路の停止要因をシステムから取り除く必要があります。

図 8.8 発振停止検出時の復帰フロー

8.5.2 発振停止検出割り込み

発振停止検出フラグ (OSTDSR.OSTDF) が 1 で、かつ発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が 1（許可）のとき、発振停止検出割り込み (MOSC_STOP) が発生します。このときポートアウトプットイネーブル (POEG) に対して、メインクロック発振器の停止が通知されます。POEG はこの通知を受けて、POEG グループ n 設定レジスタ (POEGGn.OSTPF) (n = A, B, C, D) の発振停止検出フラグを 1 にします。

発振停止を検出後、POEGGn.OSTPF フラグに書き込みする場合は、PCLKB で 10 クロックサイクル以上待ってから行ってください。OSTDSR.OSTDF フラグのクリアは、発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を 0 にした後に行ってください。OSTDCR.OSTDIE ビットを 1 にする場合は、PCLKB で 2 クロックサイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB 待ち時間が必要になる場合があります。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態ではノンマスカブル割り込みは禁止されているため、発振停止検出割り込みを使用する前にソフトウェアでノンマスカブル割り込みを許可してください。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

8.6 PLL 回路

PLL 回路は、発振器からの周波数を逓倍する機能を持っています。

8.7 内部クロック

内部クロック用のクロックソースには以下のものがあります。

- メインクロック
- サブクロック
- HOCO クロック
- MOCO クロック
- LOCO クロック
- PLL クロック
- IWDT 専用クロック

これらのクロックソースから、以下の内部クロックが生成されます。

- CPU、DMAC、DTC、フラッシュ、および RAM の動作クロック：システムクロック (ICLK)
- 周辺モジュールの動作クロック：周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD）
- FlashIF の動作クロック：FlashIF クロック (FCLK)
- USBFS クロック (USBCLK) の動作クロック
- CANFD の動作クロック：CANFD クロック (CANFDCLK)
- CEC の動作クロック：CEC クロック (CECCLK)
- I3C の動作クロック：I3C クロック (I3CCLK)
- CAC の動作クロック：CAC クロック (CACCLK)
- RTC の動作クロック：RTC 専用 LOCO クロック (RTCLCLK)
- RTC の動作クロック：RTC 専用サブクロック (RTCSCLK)
- IWDT の動作クロック：IWDT 専用クロック (IWDTCLK)
- AGT の動作クロック：AGT 専用 LOCO クロック (AGTLCLK)
- AGT の動作クロック：AGT 専用サブクロック (AGTSCLK)
- SysTick Timer の動作クロック：SysTick Timer 専用クロック (SYSTICCLK)
- 外部端子出力のクロック：クロック／ブザー出力クロック　(CLKOUT)

内部クロックの周波数設定に使用するレジスタの詳細については、「8.7.1. システムクロック (ICLK)」～「8.7.12. 外部端子出力クロック (CLKOUT)」を参照してください。

各ビットを書き換えると、変更後の周波数で動作します。

8.7.1 システムクロック (ICLK)

システムクロック (ICLK) は、CPU、DMAC、DTC、フラッシュメモリ、および SRAM の動作クロックです。

ICLK の周波数は、SCKDIVCR.ICK[2:0]ビット、SCKSCR.CKSEL[2:0]ビット、PLLCCR.PLLMUL[5:0]ビット、PLLCCR.PLIDIV[1:0]ビット、および OFS1.HOCOFRQ0[1:0]ビットで設定します。OFS1 は非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。
OFS1.HOCOFRQ0[1:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[1:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[1:0]ビットで設定することもできます。

ICLK クロックソースの切り替え時、クロックソース移行期間中は、ICLK クロックの周期が長くなります。図 8.9 と図 8.10 を参照してください。

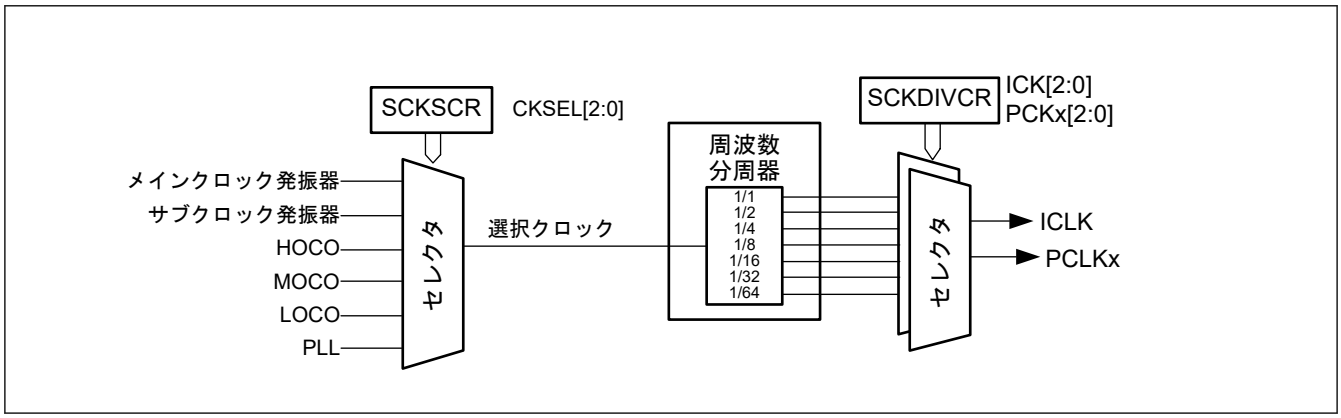


図 8.9 クロックソースセレクタのブロック図

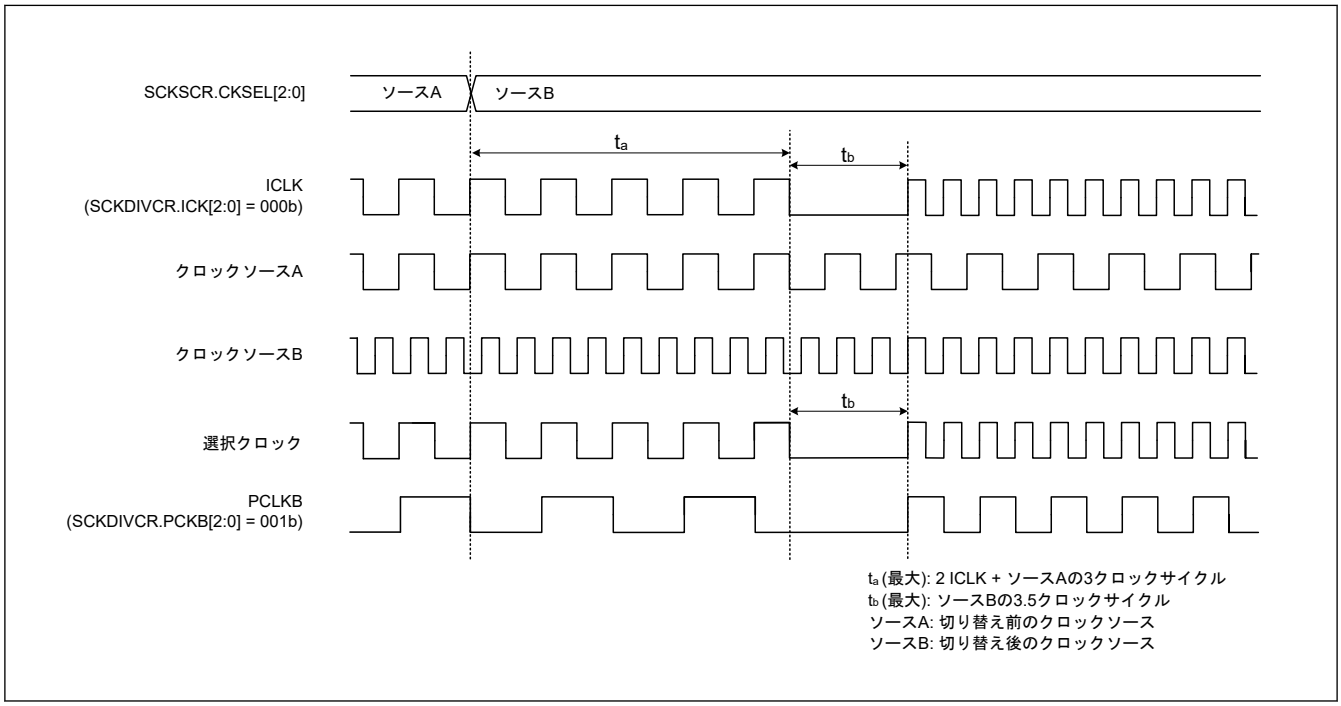


図 8.10 クロックソース切り替えのタイミング

8.7.2 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)

周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD) は、周辺モジュールが使用する動作クロックです。

各クロックの周波数は、以下のビットで設定します。

- SCKDIVCR.PCKA[2:0]ビット、SCKDIVCR.PCKB[2:0]ビット、SCKDIVCR.PCKC[2:0]ビット、および SCKDIVCR.PCKD[2:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[5:0]ビットおよび PLLCCR.PLIDIV[1:0]ビット
- OFS1.HOCOFRQ0[1:0]ビット(注1)

周辺モジュールクロックのクロックソースの切り替え時、クロックソース移行期間中は、周辺モジュールクロックのクロック周期が長くなります。図 8.9 と図 8.10 を参照してください。

注 1. OFS1 は非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1.HOCOFRQ0[1:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[1:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[1:0]ビットで設定することもできます。

8.7.3 FlashIF クロック (FCLK)

フラッシュインタフェースクロック (FCLK) は、フラッシュメモリインタフェースの動作クロックです。データフラッシュからの読み出しに加え、コードフラッシュとデータフラッシュのプログラム／イレースに使用されます。

FCLK の周波数は、以下のビットで設定します。

- SCKDIVCR.FCK[2:0]ビット
- SCKSCR.CKSEL[2:0]ビット
- PLLCCR.PLLMUL[5:0]ビットおよび PLLCCR.PLIDIV[1:0]ビット
- OFS1.HOCOFRQ0[1:0]ビット(注1)

注 1. OFS1 は非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1.HOCOFRQ0[1:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[1:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[1:0]ビットで設定することもできます。

8.7.4 USB クロック (USBCLK)

USB クロック (USBCLK) は、USBFS モジュールの動作クロックです。

USB モジュールに 48 MHz クロックを供給する必要があります。USB モジュールを使用する場合は、USBCLK クロックが 48 MHz となるように設定してください。

USBCLK の周波数は、以下のビットで設定します。

- USBCKCR.USBCKSEL[2:0]ビット
- USBCKDIVCR.USBCKDIV[2:0]ビット
- PLLCCR.PLLMUL[5:0]ビットおよび PLLCCR.PLIDIV[1:0]ビット

8.7.5 CANFD クロック (CANFDCLK)

CANFD クロック (CANFDCLK) は、CANFD モジュールの動作クロックです。

CANFDCLK の周波数は、以下のビットで設定します。

- CANFDCKCR.ビット
- CANFDCKDIVCR.CANFDCKDIV[2:0]ビット
- PLLCCR.PLLMUL[5:0]ビットおよび PLLCCR.PLIDIV[1:0]ビット

8.7.6 CAC クロック (CACCLK)

CAC クロック (CACCLK) は、CAC の動作クロックです。CACCLK は下記の発振器で生成されます。

- メインクロック発振器
- サブクロック発振器
- 高速クロック発振器 (HOCO)
- 中速クロック発振器 (MOCO)
- 低速オンチップオシレータ (LOCO)
- IWDT 専用オンチップオシレータ (IWDTLOCO)

8.7.7 CEC クロック (CECCLK)

CEC クロック (CECCLK) は、CEC モジュールの動作クロックです。

CECCLK クロックは、メインクロック発振器とサブクロック発振器で生成されます。

8.7.8 RTC 専用クロック（RTCSCLK、RTCLCLK）

RTC 専用クロック（RTCSCLK、RTCLCLK）は、RTC の動作クロックです。

RTCSCLK はサブクロック発振器で生成されたクロックであり、RTCLCLK は LOCO クロックで生成されます。

8.7.9 IWDT 専用クロック (IWDTCLK)

IWDT 専用クロック (IWDTCLK) は、IWDT の動作クロックです。IWDTCLK は、IWDT 専用オンチップオシレータの内部発振によって生成されます。

8.7.10 AGT 専用クロック（AGTSCLK、AGTLCLK）

AGT 専用クロック（AGTSCLK および AGTLCLK）は、AGT の動作クロックです。 AGTSCLK はサブクロック発振器で生成され、AGTLCLK は LOCO クロックで生成されます。

8.7.11 SysTick タイマ専用クロック (SYSTICCLK)

SysTick タイマ専用クロック (SYSTICCLK) は、SysTick タイマの動作クロックです。SYSTICCLK は、LOCO クロックで生成されます。

8.7.12 外部端子出力クロック (CLKOUT)

CLKOUT は、クロック出力またはブザー出力として、CLKOUT 端子から外部に出力されます。CKOCR.CKOEN ビットを 1 にすると、CLKOUT は CLKOUT 端子に出力されます。CKOCR.CKODIV[2:0]ビットまたは CKOCR.CKOSEL[2:0]ビットの値を変更できるのは、CKOCR.CKOEN ビットが 0 の場合だけです。

CLKOUT クロックの周波数はそれぞれ、次のようなビットで指定されます。

- CKOCR.CKODIV[2:0]ビットまたは CKOCR.CKOSEL[2:0]ビット
- OFS1.HOCOFRQ0[1:0]ビット(注1)

注 1. OFS1 は非セキュア開発者用で、OFS1_SEC はセキュア開発者用です。適用される設定値は OFS1_SEL によって決まります。OFS1.HOCOFRQ0[1:0]ビットの値は、リセット後に HOCOCR2.HCFRQ0[1:0]ビットに自動的に転送されるので、HOCO 周波数は HOCOCR2.HCFRQ0[1:0]ビットで設定することもできます。

8.8 使用上の注意

8.8.1 クロック発生回路に関する注意事項

各モジュールに供給される以下のクロックの周波数は、SCKDIVCR レジスタの設定に応じて変化します。

- システムクロック (ICLK)
- 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)
- Flash-IF クロック (FCLK)

各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 特性で規定される動作周波数 (f) の動作保証範囲内に収まるように選択すること。「44. 電気的特性」を参照してください。
- システムクロックと周辺モジュールクロックは、必ず表 8.2 に従い設定してください。

クロック周波数変更後の処理を確実に実行するには、最初に該当のクロックコントロールレジスタに書き込んで周波数を変更してからレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

8.8.2 発振子に関する制限

発振子の特性はユーザーのボード設計に密接に関係するので、使用する前に十分な評価が必要です。発振子の接続例については図 8.5 を参照してください。発振子の回路定数は、使用する発振子および実装回路の浮動容量によって異なります。回路定数を決定する際は、常に発振子メーカと相談してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

8.8.3 ボード設計に関する注意事項

水晶振動子を使用する場合は、振動子およびコンデンサはできるだけ XTAL/EXTAL 端子の近くに配置してください。図 8.11 に示すように、発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。図 8.11 はメインクロック発振器を使用した場合です。サブクロック発振器を使用した場合も図 8.11 と同様です。

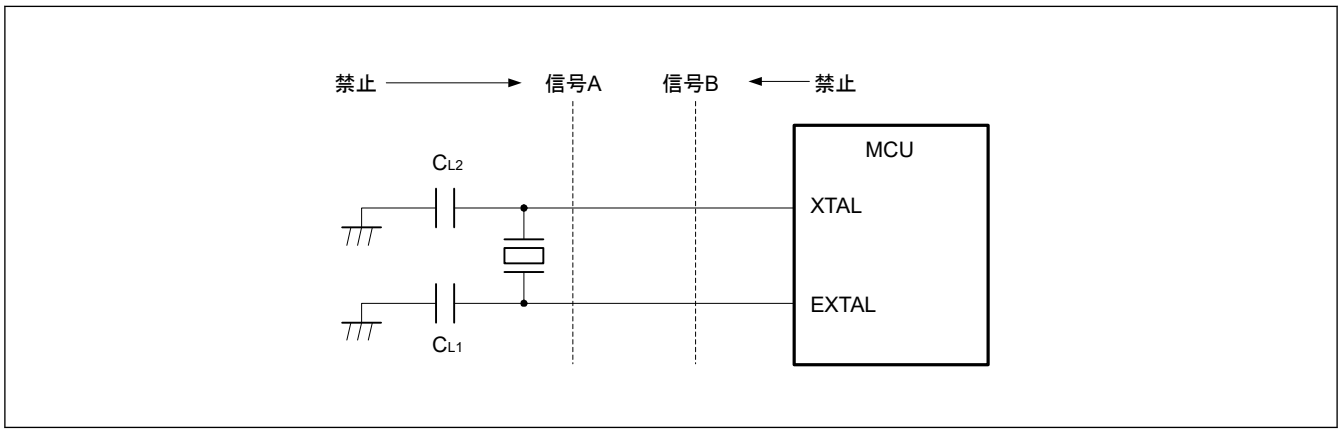


図 8.11 発振回路部のボード設計に関する信号のルーティング

8.8.4 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子と XTAL 端子は、汎用ポートとして使用可能です。これらの端子を汎用ポートとして使用する場合は、メインクロックを停止させる（MOSCCR.MOSTP ビットを 1 にする）必要があります。

8.8.5 サブクロック発振器使用時の注意事項

P212 (EXTAL)、P213 (XTAL)、および P403 端子の出力は、サブクロック発振器の発振に影響を及ぼす可能性があります。

サブクロック発振器を使用する場合、発振に影響しないようボードを設計してください。P212 (EXTAL)、P213 (XTAL)、および P403 端子を出力端子として使用し、かつサブクロック発振器を使用する場合は、PmnPFS.DSCR[1:0]ビットを 00b または 01b に設定することを強く推奨します。

さらに、P212 (EXTAL)、P213 (XTAL)、および P403 端子を出力端子として使用し、かつサブクロック発振器を低駆動能力 (SOMCR.SODRV1 = 1) で使用する場合、PmnPFS.DSCR[1:0]ビットを 00b に設定することを推奨します。

9. クロック周波数精度測定回路 (CAC)

9.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック（測定対象クロック）に対して、測定の基準となるクロック（測定基準クロック）で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。測定終了時、または測定基準クロックで生成した時間内のパルスの数が許容範囲内にない時、割り込み要求を発生します。

表 9.1 に CAC の仕様を、図 9.1 に CAC のブロック図を、表 9.2 に CAC の入出力端子を示します。

表 9.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 • メインクロック発振器 • サブクロック発振器 • HOCO クロック • MOCO クロック • LOCO クロック • 周辺モジュールクロック B (PCLKB) • IWDT 専用クロック
測定基準クロック	以下のクロックの周波数を測定基準とすることが可能 • CACREF 端子への外部クロック入力 • メインクロック発振器 • サブクロック発振器 • HOCO クロック • MOCO クロック • LOCO クロック • 周辺モジュールクロック B (PCLKB) • IWDT 専用クロック
選択機能	デジタルフィルタ機能
割り込み要因	• 測定終了割り込み • 周波数エラー割り込み • オーバーフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能
TrustZone フィルタ	セキュリティ属性を設定可能

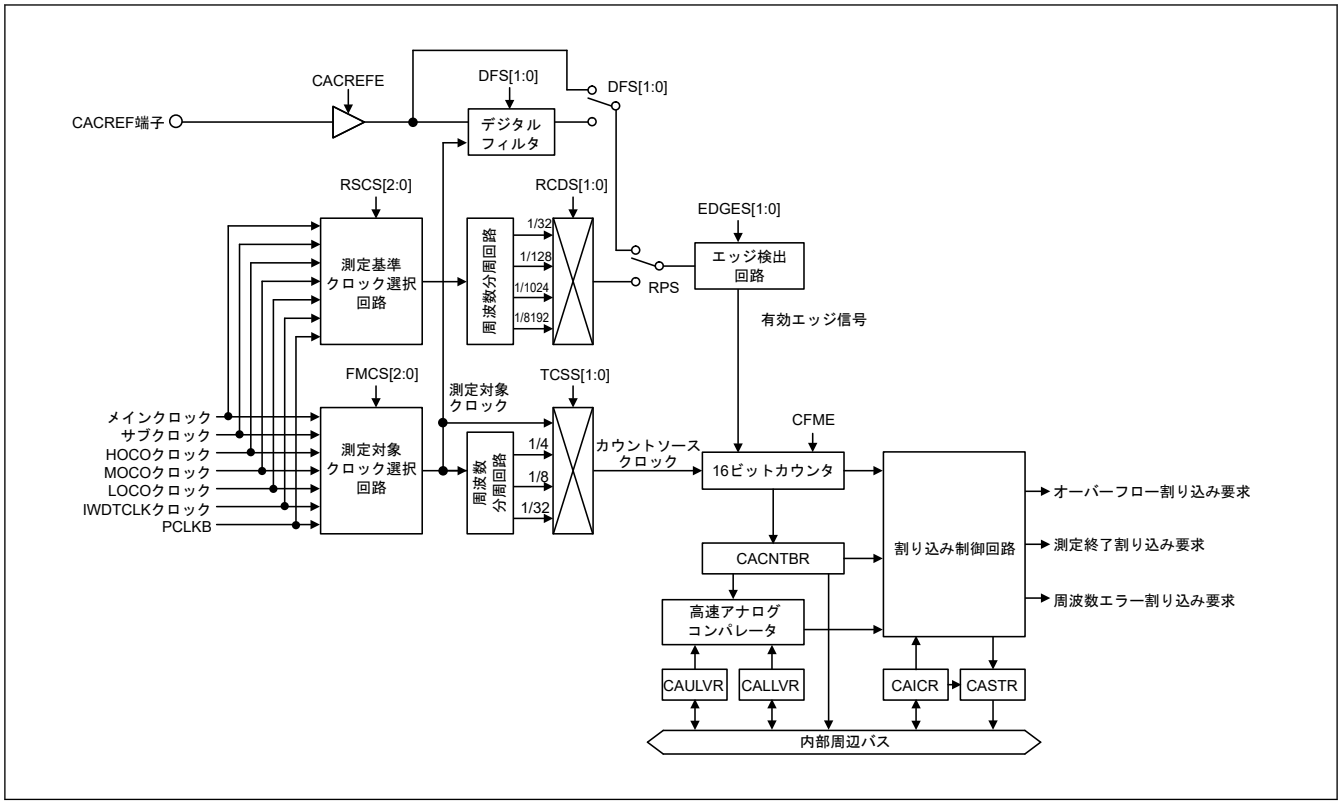


図 9.1　CAC のブロック図

表 9.2　CAC の入出力端子

機能	端子名	入出力	内容
CAC	CACREF	入力	測定基準クロックの入力端子

9.2　レジスタの説明

9.2.1　CACR0 : CAC コントロールレジスタ 0

Base address: CAC = 0x4008_3600

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFME
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CFME	クロック周波数測定有効 0: クロック周波数測定無効 1: クロック周波数測定有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CFME ビット（クロック周波数測定有効）

CFME ビットはクロック周波数の測定機能が有効か無効かを設定します。このビットを書き換えても内部回路に反映されるまでは時間がかかります。書き換えが反映されたかはビットの読み出しで確認できます。

9.2.2 CACR1 : CAC コントロールレジスタ 1

Base address: CAC = 0x4008_3600

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	EDGES[1:0]		TCSS[1:0]		FMCS[2:0]			CACREFE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CACREFE	CACREF 端子入力有効 0: CACREF 端子入力無効 1: CACREF 端子入力有効	R/W
3:1	FMCS[2:0]	測定対象クロック選択 0 0 0: メインクロック発振器 0 0 1: サブクロック発振器 0 1 0: HOCO クロック 0 1 1: MOCO クロック 1 0 0: LOCO クロック 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: IWDT 専用クロック 1 1 1: 設定禁止	R/W
5:4	TCSS[1:0]	タイマカウントクロックソース選択 0 0: 分周なしクロック 0 1: × 4 分周クロック 1 0: × 8 分周クロック 1 1: × 32 分周クロック	R/W
7:6	EDGES[1:0]	有効エッジ選択 0 0: 立ち上がりエッジ 0 1: 立ち下がりエッジ 1 0: 立ち上がり／立ち下がり両エッジ 1 1: 設定禁止	R/W

注. CACR1 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

CACREFE ビット（CACREF 端子入力有効）

CACREFE ビットは、CACREF 端子からの入力が有効か無効かを設定します。

FMCS[2:0]ビット（測定対象クロック選択）

FMCS[2:0]ビットは、周波数を測定する測定対象クロックを選択します。

TCSS[1:0]ビット（タイマカウントクロックソース選択）

TCSS[1:0]ビットは、測定対象クロックの分周比を選択します。

EDGES[1:0]ビット（有効エッジ選択）

EDGES[1:0]ビットは、測定基準クロックの有効エッジを選択します。

9.2.3 CACR2 : CAC コントロールレジスタ 2

Base address: CAC = 0x4008_3600

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DFS[1:0]		RCDS[1:0]		RSCS[2:0]			RPS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPS	基準信号選択 0: CACREF 端子入力 1: 内部クロック（内部生成信号）	R/W
3:1	RSCS[2:0]	測定基準クロック選択 0 0 0: メインクロック発振器 0 0 1: サブクロック発振器 0 1 0: HOCO クロック 0 1 1: MOCO クロック 1 0 0: LOCO クロック 1 0 1: 周辺モジュールクロック B (PCLKB) 1 1 0: IWDT 専用クロック 1 1 1: 設定禁止	R/W
5:4	RCDS[1:0]	測定基準クロック分周比選択 0 0: × 32 分周クロック 0 1: × 128 分周クロック 1 0: × 1024 分周クロック 1 1: × 8192 分周クロック	R/W
7:6	DFS[1:0]	デジタルフィルタ機能選択 0 0: デジタルフィルタ機能無効 0 1: 測定対象クロックでサンプリング 1 0: 測定対象クロックの 4 分周でサンプリング 1 1: 測定対象クロックの 16 分周でサンプリング	R/W

注. CACR2 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

RPS ビット（基準信号選択）

RPS ビットは、エッジ検出回路への入力として CACREF 端子入力か内部クロックから生成した内部生成信号のどちらを使用するか選択します。

RSCS[2:0]ビット（測定基準クロック選択）

RSCS[2:0]ビットは、測定基準クロックを選択します。

RCDS[1:0]ビット（測定基準クロック分周比選択）

RCDS[1:0]ビットは、測定基準クロックとして内部クロックが選択されている場合、測定基準クロックの分周比を選択します。RPS = 0 （CACREF 端子入力が測定基準クロックとして使用）の場合、測定基準クロックは分周されません。

DFS[1:0]ビット（デジタルフィルタ機能選択）

DFS[1:0]ビットは、デジタルフィルタのサンプリングクロックを選択します。

9.2.4 CAICR : CAC 割り込み要求許可レジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	OVFFCL	MENDFCL	FERRFCL	—	OVFIE	MENDIE	FERRIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FERRIE	周波数エラー割り込み要求許可 0: 周波数エラー割り込み要求禁止 1: 周波数エラー割り込み要求許可	R/W
1	MENDIE	測定終了割り込み要求許可 0: 測定終了割り込み要求禁止 1: 測定終了割り込み要求許可	R/W

ビット	シンボル	機能	R/W
2	OVFIE	オーバーフロー割り込み要求許可 0: オーバーフロー割り込み要求禁止 1: オーバーフロー割り込み要求許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	FERRFCL	FERRF フラグクリア 0: 影響なし 1: CASTR.FERRF フラグをクリアします。	W
5	MENDFCL	MENDF フラグクリア 0: 影響なし 1: CASTR.MENDF フラグをクリアします。	W
6	OVFFCL	OVFF フラグクリア 0: 影響なし 1: CASTR.OVFF フラグをクリアします。	W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FERRIE ビット（周波数エラー割り込み要求許可）

FERRIE ビットは、周波数エラー割り込み要求の許可または禁止を設定します。

MENDIE ビット（測定終了割り込み要求許可）

MENDIE ビットは、測定終了割り込み要求の許可または禁止を設定します

OVFIE ビット（オーバーフロー割り込み要求許可）

OVFIE ビットは、オーバーフロー割り込み要求の許可または禁止を設定します。

FERRFCL ビット（FERRF フラグクリア）

FERRFCL ビットは、1 を書くと CASTR.FERRF フラグをクリアします。

MENDFCL ビット（MENDF フラグクリア）

MENDFCL ビットは、1 を書くと CASTR.MENDF フラグをクリアします。

OVFFCL ビット（OVFF フラグクリア）

OVFFCL ビットは、1 を書くと CASTR.OVFF フラグをクリアします。

9.2.5 CASTR : CAC ステータスレジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	OVFF	MENDF	FERRF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FERRF	周波数エラーフラグ 0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた（周波数エラー）	R
1	MENDF	測定終了フラグ 0: 測定中 1: 測定が終了	R
2	OVFF	オーバーフローフラグ 0: カウンタがオーバーフローしていない 1: カウンタがオーバーフローしている	R
7:3	—	読むと 0 が読めます。	R

FERRF フラグ（周波数エラーフラグ）

FERRF フラグは測定クロックのカウント値が設定値を外れた（周波数エラー）ことを示します。

[1 になる条件]

- 測定クロックのカウント値が設定値を外れたとき

[0 になる条件]

- CAICR.FERRFCL ビットに 1 を書き込んだとき

MENDF フラグ（測定終了フラグ）

MENDF フラグは測定が終了したことを示します。

[1 になる条件]

- 測定終了したとき

[0 になる条件]

- CAICR.MENDFCL ビットに 1 を書き込んだとき

OVFF フラグ（オーバーフローフラグ）

OVFF フラグはカウンタがオーバーフローしたことを示します。

[1 になる条件]

- カウンタがオーバーフローしたとき

[0 になる条件]

- CAICR.OVFFCL ビットに 1 を書き込んだとき

9.2.6 CAULVR : CAC 上限値設定レジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x06

Bit position:	15															0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の上限値 CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

9.2.7 CALLVR : CAC 下限値設定レジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x08

Bit position:	15															0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	許容範囲の下限値 CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み書き可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。CACR0.CFME ビットが 0 のときに設定してください。 デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により、CACNTBR レジスタに保持されるカウンタ値がずれることがありますので、余裕をもった値を設定してください。	R/W

9.2.8 CACNTBR : CAC カウンタバッファレジスタ

Base address: CAC = 0x4008_3600

Offset address: 0x0A

Bit position:	15															0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	測定結果 CACNTBR レジスタは測定基準クロックの有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。	R

9.3 動作説明

9.3.1 クロック周波数測定

CAC は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。 図 9.2 に CAC の動作例を示します。CAC は、クロック周波数測定時、以下のように動作します。

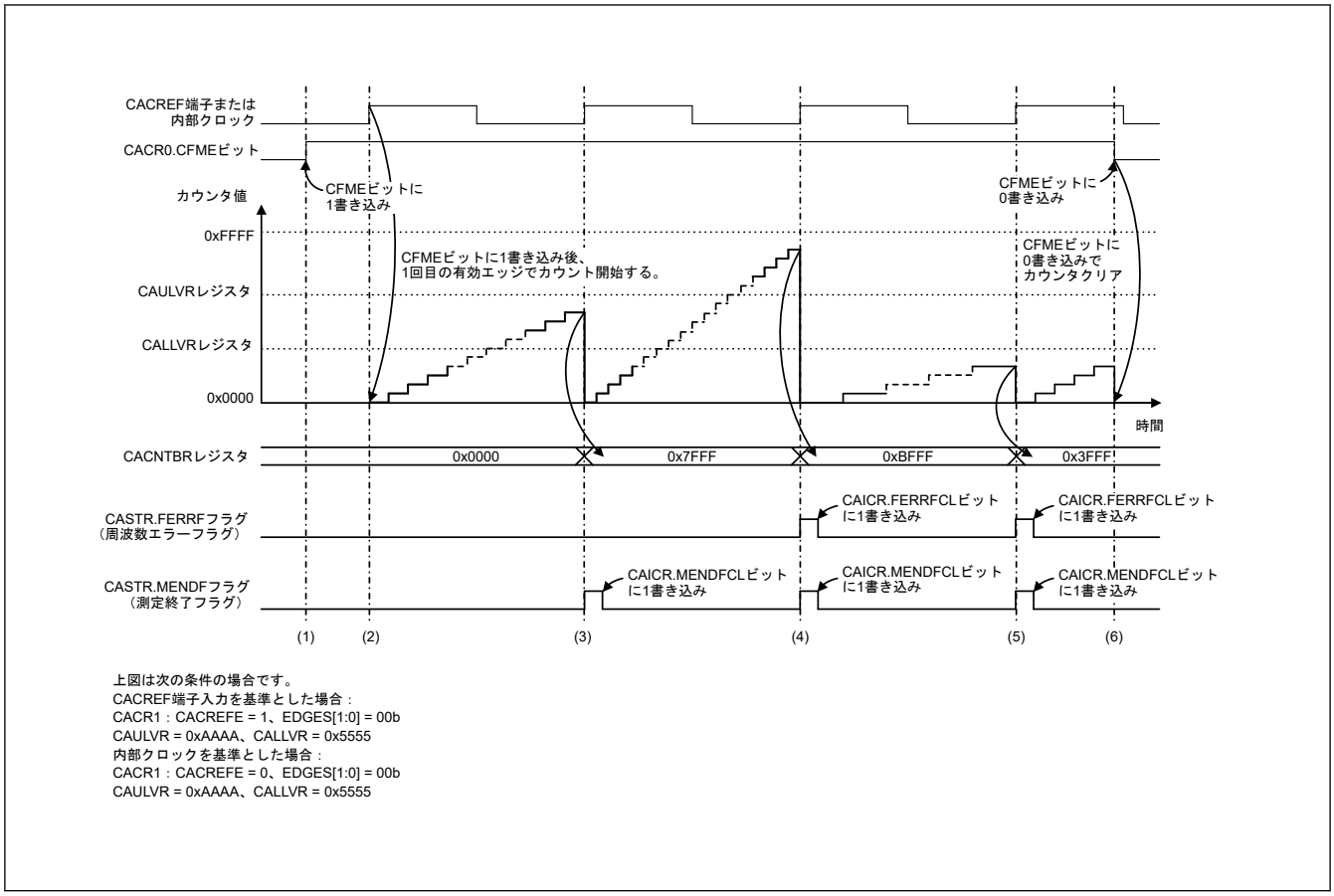


図 9.2　CAC の動作例

図 9.2 におけるイベントは以下の通りです。

1. CACREF 端子入力を基準とした場合 (CACR1.CACREFE = 1) は、CACR2.RPS ビットを 0、CACR1.CACREFE ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。一方、内部クロックを基準とした場合 (CACR1.CACREFE = 0) は、CACR2.RPS ビットを 1 に設定した状態で、CACR0.CFME ビットに 1 を書き込むとクロック周波数測定が有効になります。
2. CACREF 端子入力を基準とした場合は、CFME ビットに 1 を書き込み後、CACREF 端子から CACR1.EDGES[1:0]ビットで選択した有効エッジ（図 9.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)）が入力されるとタイマのカウントアップが開始します。内部クロックを基準とした場合は、CFME ビットに 1 を書き込み後、CACR2.RSCS[2:0]ビットで選択したクロックソースを元に CACR1.EDGES[1:0]ビットで選択した有効エッジ（図 9.2 では立ち上がりエッジ (CACR1.EDGES[1:0] = 00b)）が入力されるとタイマのカウントアップが開始します。
3. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 ≦ CAULVR レジスタの値かつ CACNTBR レジスタの値 ≧ CALLVR レジスタの値のときはクロック周波数が正常なので CASTR.MENDF フラグだけが 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
4. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 > CAULVR レジスタの値のときはクロック周波数が異常なので CASTR.FERRF フラグが 1 にセットされます。また、CAICR.FERRIE ビットを 1 に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。
5. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACNTBR レジスタの値 < CALLVR レジスタの値のときはクロック周波数が異常なので CASTR.FERRF フラグが 1 にセットされます。また、CAICR.FERRIE ビットを 1 に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも 1 にセットされます。また、CAICR.MENDIE ビットを 1 に設定している場合は、測定終了割り込みが発生します。

6. CACR0.CFME ビットが 1 の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタの値および CALLVR レジスタの値と比較をします。CACR0.CFME ビットに 0 を書き込むと、カウンタをクリアしカウントアップが停止します。

9.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが 3 回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へは同じレベルを伝達し続けます。デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

カウント値誤差 = (カウントソースクロック1周期) / (サンプリングクロック1周期)

9.4 割り込み要求

CAC が要求する割り込み要因には次の 3 種類があります。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

各割り込み要因が発生すると各ステータスフラグが 1 にセットされます。 表 9.3 に CAC 割り込み要求を示します。

表 9.3 CAC 割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタ値を CAULVR レジスタ値および CALLVR レジスタ値と比較をした結果が、CACNTBR レジスタ値> CAULVR レジスタ値または CACNTBR レジスタ値< CALLVR レジスタ値のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	• 測定基準クロックの有効エッジが入力されたとき • ただし、CACR0.CFME ビットを 1 に書き込み後、1 回目の有効エッジでは測定終了割り込みは発生しない。
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

9.5 使用上の注意事項

9.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CAC の動作禁止／許可を設定することが可能です。リセット後の値では、CAC は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

10. 低消費電力モード

10.1 概要

本 MCU には、クロック分周器の設定、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。

表 10.1 に低消費電力モード機能の仕様を示します。表 10.2 に低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DTC、DMAC と SRAM のみが動作しています。

表 10.1 低消費電力モード機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD)、およびフラッシュインタフェースクロック (FCLK) に対して、個別に分周比を選択可能(注1)
モジュールストップ	各周辺モジュールに対して、個別に機能停止が可能
低消費電力モード	• スリープモード • ソフトウェアスタンバイモード • スヌーズモード • ディープソフトウェアスタンバイモード
電力制御モード	• 動作周波数に応じて適切な動作電力制御モードを選択することにより、通常モード時、スリープモード時、およびスヌーズモード時の消費電力を低減可能 • 以下の 3 つの動作電力制御モードが利用可能 High-speed モード Low-speed モード Subosc-speed モード
TrustZone フィルタ	各レジスタに対してセキュリティ属性の設定が可能

注 1. 詳細は、「8. クロック発生回路」を参照してください。

表 10.2 各低消費電力モードの動作条件 (1/3)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード	ディープソフトウェアスタンバイモード
遷移条件	SBYCR.SSBY = 0 で［条件 1］または［条件 2］の場合 ［条件 1］ • WFI 命令 • 有効な割り込み要求(注15)が CPU で受け付けされない。（WFI 命令が実行されたときからスリープモードへの遷移が完了するまでの遷移を含む） ［条件 2］ • SCR.SLEEPONEXIT = 1 • すべての例外ハンドラの実行を完了 • 有効な割り込み要求(注15)が CPU で受け付けされない。（WFI 命令が実行されたときからスリープモードへの遷移が完了するまでの遷移を含む）	SBYCR.SSBY = 1 かつ DPSBYCR.DPSBY = 0 で［条件 1］または［条件 2］の場合 ［条件 1］ • WFI 命令 • 有効な割り込み要求(注15)が CPU で受け付けされない。（WFI 命令が実行されたときからソフトウェアスタンバイモードへの遷移が完了するまでの遷移を含む） ［条件 2］ • SCR.SLEEPONEXIT = 1 • すべての例外ハンドラの実行を完了 • 有効な割り込み要求(注15)が CPU で受け付けされない。（WFI 命令が実行されたときからソフトウェアスタンバイモードへの遷移が完了するまでの遷移を含む）	ソフトウェアスタンバイモードにおけるスヌーズ要求トリガ SNZCR.SNZE = 1	SBYCR.SSBY = 1 かつ DPSBYCR.DPSBY = 1 で［条件 1］または［条件 2］の場合 ［条件 1］ • WFI 命令 • 有効な割り込み要求(注15)が CPU で受け付けされない。（WFI 命令が実行されたときからソフトウェアスタンバイモードへの遷移が完了するまでの遷移を含む） ［条件 2］ • SCR.SLEEPONEXIT = 1 • すべての例外ハンドラの実行を完了 • 有効な割り込み要求(注15)が CPU で受け付けされない。（WFI 命令が実行されたときからソフトウェアスタンバイモードへの遷移が完了するまでの遷移を含む）
解除方法	すべての割り込み。 このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。 このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。 このモードで利用可能なすべてのリセット	表 10.3 に示す割り込み。 このモードで利用可能なすべてのリセット
割り込みによる解除後の状態	プログラム実行状態	プログラム実行状態	プログラム実行状態	リセット状態
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態	リセット状態

表 10.2　各低消費電力モードの動作条件 (2/3)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード	ディープソフトウェアスタンバイモード
メインクロック発振器	選択可能	停止	選択可能(注5)	停止
サブクロック発振器	選択可能	選択可能	選択可能	選択可能
高速オンチップオシレータ	選択可能	停止	選択可能	停止
中速オンチップオシレータ	選択可能	停止	選択可能	停止
低速オンチップオシレータ	選択可能	選択可能	選択可能	選択可能(注8)
IWDT 専用オンチップオシレータ	選択可能(注1)	選択可能(注1)	選択可能(注1)	停止
PLL	選択可能	停止	選択可能(注5)	停止
発振停止検出機能	選択可能	動作禁止	動作禁止	動作禁止
クロック／ブザー出力機能	選択可能	選択可能(注2)	選択可能	停止（不定）
CPU	停止（保持）	停止（保持）	停止（保持）	停止（不定）
SRAMn (n = 0)	選択可能	停止（保持）	選択可能	停止（不定）
スタンバイ SRAM	選択可能	停止（保持）	選択可能	停止（保持／不定）(注9)
フラッシュメモリ	動作	停止（保持）	停止（保持）	停止（保持）
DMA コントローラ (DMAC)	選択可能	停止（保持）	動作禁止	停止（不定）
データトランスファコントローラ (DTC)	選択可能	停止（保持）	選択可能	停止（不定）
USB2.0 フルスピード (USBFSn, n = 0)	選択可能	停止（保持） USB レジューム検出は可能	動作禁止 USB レジューム検出は可能	停止（保持／不定） USB レジューム検出は可能(注10)
ウォッチドッグタイマ (WDT)	選択可能(注1)	停止（保持）	停止（保持）	停止（不定）
独立ウォッチドッグタイマ (IWDT)	選択可能(注1)	選択可能(注1)	選択可能(注1)	停止（不定）
リアルタイムクロック (RTC)	選択可能	選択可能	選択可能	選択可能(注11)
低消費電力非同期汎用タイマ (AGTn (n = 0, 1))	選択可能	選択可能(注3)	選択可能(注3)	選択可能(注3)
12 ビット A/D コンバータ (ADC12)	選択可能	停止（保持）	選択可能(注14)	停止（不定）
12 ビット D/A コンバータ (DAC12)	選択可能	停止（保持）	選択可能	停止（不定）
データ演算回路 (DOC)	選択可能	停止（保持）	選択可能	停止（不定）
シリアルコミュニケーションインタフェース (SCI0)	選択可能	停止（保持）	選択可能（スヌーズモードに遷移するのに RXD0 立ち下がりエッジが利用可能）（調歩同期式モード時のみ）(注6)	停止（不定）
シリアルコミュニケーションインタフェース (SCIn (n = 9))	選択可能	停止（保持）	動作禁止	停止（不定）
I3C バスインタフェース (I3C)	選択可能	選択可能(注4)	選択可能(注4) ウェイクアップ割り込みのみが利用可能	停止（不定）

表 10.2 各低消費電力モードの動作条件 (3/3)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード	ディープソフトウェアスタンバイモード
イベントリンクコントローラ (ELC)	選択可能	停止（保持）	選択可能(注7)	停止（不定）
IRQn (n = 0〜7, 9, 13) 端子割り込み	選択可能	選択可能	選択可能	停止（不定）
NMI, IRQn-DS (n = 0, 1, 4〜12, 14) 端子割り込み	選択可能	選択可能	選択可能	選択可能
低電圧検出 (LVD)	選択可能	選択可能	選択可能	選択可能(注12)
パワーオンリセット回路	動作	動作	動作	動作(注13)
その他の周辺モジュール	選択可能	停止（保持）	動作禁止	停止（不定）
I/O ポート	動作	保持	動作	保持

注. 「選択可能」とは、動作または停止がコントロールレジスタによって選択できることを意味します。
「停止（保持）」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
「動作禁止」とは、ソフトウェアスタンバイモードへ遷移する前に、その機能を停止させる必要があることを意味します。
「停止（不定）」とは、内部レジスタの内容が不定で、内部回路への通電が遮断されることを意味します。
モジュールストップビットが 0 に設定されているモジュールはすべて、スヌーズモード遷移後に PCLK が供給されると、ただちに起動します。スヌーズモード時に消費電力の増大を防ぐには、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要なモジュールのストップビットを 1 にしてください。

注 1. IWDT 専用オンチップオシレータおよび IWDT の場合、IWDT オートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT 停止制御ビット (IWDTSTPCTL) の設定により、動作または停止が選択されます。WDT の場合、WDT オートスタートモード時、オプション機能選択レジスタ 0 の WDT 停止制御ビット (OFS0.1WDTSTPCTL) の設定により、動作または停止が選択されます。動作周波数に応じて適切な動作電力制御モードを選択することにより、通常モード時およびスリープモード時の消費電力を低減することができます。

注 2. クロックアウトプットソース選択ビット (CKOCR.CKOSEL[2:0]) が 010b (LOCO) および 100b (SOSC) 以外の値に設定されている場合は停止します。

注 3. AGT0.AGTMR1.TCK[2:0]ビットで 100b (AGTLCLK) または 110b (AGTSCLK) が選択されている場合、AGT0 は動作可能です。
AGT1.AGTMR1.TCK[2:0]ビットで 100b (AGTLCLK)、110b (AGTSCLK)、または 101b（AGT0 からのアンダーフローイベント信号）が選択されている場合、AGT1 は動作可能です。
AGTn.AGTMR1.TCK[2:0]ビット (n = 0, 1) で 100b (AGTLCLK) が選択されている場合、ディープソフトウェアスタンバイモードへ遷移する前に DPSBYCR.DEEPCUT[1:0]ビットを 00b にする必要があります。

注 4. I3C ウェイクアップ割り込みが利用可能です。

注 5. スヌーズモードで SCI0 を使用する場合、MOSCCR.MOSTP ビットと PLLCR.PLLSTP ビットは 1 でなければなりません。

注 6. SCI0 のシリアル通信モードは、調歩同期式モードに限定されます。

注 7. イベントは、「10.10.13. スヌーズモードにおける ELC イベント」に記載のものに限定されます。

注 8. DPSBYCR.DEEPCUT[1:0]ビットが 00b の場合、発振器の状態はディープソフトウェアスタンバイモード遷移前と同じです。
DPSBYCR.DEEPCUT[1:0]ビットが 00b でない場合、MCU がディープソフトウェアスタンバイモードへ遷移すると発振器は停止します。

注 9. DPSBYCR.DEEPCUT[1:0]ビットが 00b の場合、ディープソフトウェアスタンバイモードではスタンバイ SRAM のデータが保持されます。DPSBYCR.DEEPCUT[1:0]ビットが 00b でない場合、ディープソフトウェアスタンバイモードではスタンバイ SRAM のデータは不定です。

注 10. DPSBYCR.DEEPCUT[1:0]ビットが 00b の場合、ディープソフトウェアスタンバイモードでは、USB レジューム検出回路レジスタの値が保持され、USB レジューム検出機能が有効になります。その他のレジスタの値は不定です。DPSBYCR.DEEPCUT[1:0]ビットが 00b でない場合、ディープソフトウェアスタンバイモードでは全レジスタの値が不定です。

注 11. RCR4.RCKSEL ビットが 1 (LOCO) になっている場合、ディープソフトウェアスタンバイモードへ遷移する前に DPSBYCR.DEEPCUT[1:0]ビットを 00b にする必要があります。

注 12. ディープソフトウェアスタンバイモードで LVD を使用する場合、ディープソフトウェアスタンバイモードへ遷移する前に DPSBYCR.DEEPCUT[1:0]ビットを 00b または 01b にする必要があります。

注 13. DPSBYCR.DEEPCUT[1:0]ビットが 11b の状態で MCU がディープソフトウェアスタンバイモードへ遷移した場合、LVD 回路は停止し、パワーオンリセット回路の低消費電力機能が有効になります。

注 14. スヌーズモードで 12 ビット A/D コンバータを使用する場合、ADCMPCR.CMPAE ビットおよび ADCMPCR.CMPBE ビットは 1 でなければいけません。

注 15. 有効な割り込み要求は、現在の例外の優先レベルおよび BASEPRI によって設定された優先レベルによりマスクされていない、任意の割り込み／例外です。さらに、割り込み要求が IELSRn に基づいている場合、その割り込みは NVIC_ISERn により許可されなければなりません。

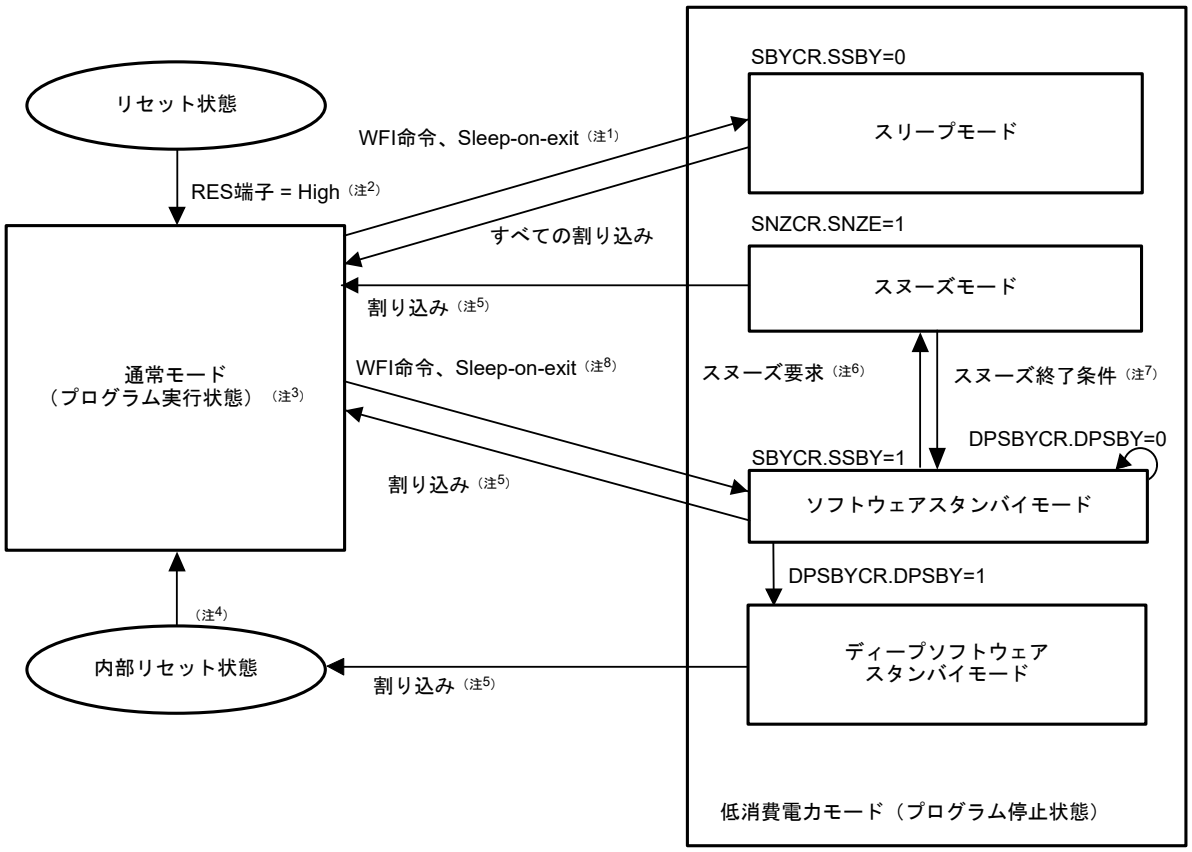
表 10.3 スヌーズモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードを解除するための割り込み要因

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード	ディープソフトウェアスタンバイモード
NMI		可能	可能	可能
ポート	PORT_IRQn (n = 0～7, 9, 13)	可能	可能	不可能
	PORT_IRQn-DS (n = 0, 1, 4～12, 14)	可能	可能	可能
LVD	LVD_LVD1	可能	可能	可能
	LVD_LVD2	可能	可能	可能
IWDT	IWDT_NMIUNDF	可能	可能	不可能
USBFS0	USBFS0_USBR	可能	可能	可能
RTC	RTC_ALM	可能	可能	可能
	RTC_PRD	可能	可能	可能
AGT1	AGT1_AGTI	可能	可能(注3)	可能
	AGT1_AGTCMAI	可能	可能	不可能
	AGT1_AGTCMBI	可能	可能	不可能
I3C	I3C_WU	可能	可能	不可能
ADC12n (n = 0)	ADC12n_WCMPM	不可能	SELSR0 で可能(注1) (注3)	不可能
	ADC12n_WCMPUM	不可能	SELSR0 で可能(注1) (注3)	不可能
SCI0	SCI0_AM	不可能	SELSR0 で可能(注1) (注2)	不可能
	SCI0_RXI_OR_ERI	不可能	SELSR0 で可能(注1) (注2)	不可能
DTC	DTC_COMPLETE	不可能	SELSR0 で可能(注1) (注3)	不可能
DOC	DOC_DOPCI	不可能	SELSR0 で可能 (注1)	不可能

注 1. 割り込み要求をスヌーズモードからの復帰トリガとして使用するには、この割り込み要求を SELSR0 で選択する必要があります。SELSR0 の設定については、「12. 割り込みコントローラユニット (ICU)」を参照してください。SELSR0 で選択したトリガが、WFI 命令の実行後、通常モードからソフトウェアスタンバイモードへの遷移途中に発生した場合は、その要求が受け付けられる可能性はトリガ発生のタイミングに依存します。

注 2. SCI0_AM または SCI0_RXI_OR_ERI のいずれか一方のみ設定可能です。

注 3. SNZEDCRn レジスタで許可されたイベントを使用してはいけません。



注 1. スリープモード状態へ遷移する最中にスリープモード状態の解除のためのトリガとして作用する割り込みを受信したとき、MCU はスリープモード状態に遷移せず、通常モード状態に戻ります。
注 2. リセット状態から通常モードへ遷移した後は、MOCO クロックが動作クロックソースです。
注 3. 割り込みによって、スリープモード、スヌーズモード、またはソフトウェアスタンバイモードから通常モードへ遷移します。クロックソースは低消費電力モードへ遷移する前と同じです。
注 4. 利用可能な割り込み要求が発生すると、内部リセット（ディープソフトウェアスタンバイリセット）が一定時間発生します。内部リセット状態の解除とともにディープソフトウェアスタンバイモードは解除されます。その後、MCU は通常モードへ遷移して、MOCO クロックを動作クロックソースとしてリセット例外処理を実行します。
注 5. 表 10.3 を参照してください。
注 6. 表 10.7 を参照してください。
注 7. 表 10.9 を参照してください。
注 8. ソフトウェアスタンバイモード状態へ遷移する最中にスリープモード状態の解除のためのトリガとして作用する割り込みを受信したとき、MCU はソフトウェアスタンバイモード状態に遷移せず、通常モード状態に戻ります。

図 10.1 モード遷移

10.2 レジスタの説明

10.2.1 LPMSAR : 低消費電力モードセキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	NONSEC9	NONSEC8	—	—	—	NONSEC4	—	NONSEC2	—	NONSEC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	NONSEC0	非セキュア属性ビット 0 対象レジスタ: OPCCR、SOPCCR 0: セキュア 1: 非セキュア	R/W
1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
2	NONSEC2	非セキュア属性ビット 2 対象レジスタ: SBYCR 0: セキュア 1: 非セキュア	R/W
3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	NONSEC4	非セキュア属性ビット 4 対象レジスタ: SNZCR、SNZEDCRn、SNZREQCRn 0: セキュア 1: 非セキュア	R/W
7:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	NONSEC8	非セキュア属性ビット 8 対象レジスタ: DPSBYCR 0: セキュア 1: 非セキュア	R/W
9	NONSEC9	非セキュア属性ビット 9 対象レジスタ: DPSWCR 0: セキュア 1: 非セキュア	R/W
31:10	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

LPMSAR レジスタは、低消費電力モードレジスタのセキュリティ属性を制御します。

NONSEC0 ビット（非セキュア属性ビット 0）

本ビットは OPCCR レジスタ、SOPCCR レジスタのセキュリティ属性を制御します。

NONSEC2 ビット（非セキュア属性ビット 2）

本ビットは SBYCR レジスタのセキュリティ属性を制御します。

NONSEC4 ビット（非セキュア属性ビット 4）

本ビットは SNZCR、SNZEDCRn、SNZREQCRn の各レジスタのセキュリティ属性を制御します。

NONSEC8 ビット（非セキュア属性ビット 8）

本ビットは DPSBYCR レジスタのセキュリティ属性を制御します。

NONSEC9 ビット（非セキュア属性ビット 9）

本ビットは DPSWCR レジスタのセキュリティ属性を制御します。

10.2.2 DPFSAR : ディープスタンバイ割り込み要因セキュリティ属性レジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3E0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	DPFSA26	—	DPFSA24	—	—	—	DPFSA20	DPFSA19	DPFSA18	DPFSA17	DPFSA16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	DPFSA14	—	DPFSA12	DPFSA11	DPFSA10	DPFSA9	DPFSA8	DPFSA7	DPFSA6	DPFSA5	DPFSA4	—	—	DPFSA1	DPFSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
1:0	DPFSA1、DPFSA0	ディープスタンバイ割り込み要因セキュリティ属性ビット n (n = 0, 1) 対象レジスタ: DPSIER0.bn、DPSIFR0.bn、DPSIEGR0.bn (n = 0, 1) 対象要因: IRQn-DS 端子 (n = 0, 1) 0: セキュア 1: 非セキュア	R/W
3:2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
12:4	DPFSA12～DPFSA4	ディープスタンバイ割り込み要因セキュリティ属性ビット n (n = 4～12) 対象レジスタ: DPSIER0.bn、DPSIFR0.bn、DPSIEGR0.bn (n = 4～7)、DPSIER1.bn、DPSIFR1.bn、DPSIEGR1.bn (n = 0～4) 対象要因: IRQn-DS 端子 (n = 4～12) 0: セキュア 1: 非セキュア	R/W
13	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
14	DPFSA14	ディープスタンバイ割り込み要因セキュリティ属性ビット 14 対象レジスタ: DPSIER1.b6、DPSIFR1.b6、DPSIEGR1.b6 対象要因: IRQ14-DS 端子 0: セキュア 1: 非セキュア	R/W
15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	DPFSA16	ディープスタンバイ割り込み要因セキュリティ属性ビット 16 対象レジスタ: DPSIER2.b0、DPSIFR2.b0、DPSIEGR2.b0 対象要因: LVD1 0: セキュア 1: 非セキュア	R/W
17	DPFSA17	ディープスタンバイ割り込み要因セキュリティ属性ビット 17 対象レジスタ: DPSIER2.b1、DPSIFR2.b1、DPSIEGR2.b1 対象要因: LVD2 0: セキュア 1: 非セキュア	R/W
18	DPFSA18	ディープスタンバイ割り込み要因セキュリティ属性ビット 18 対象レジスタ: DPSIER2.b2、DPSIFR2.b2 対象要因: RTC 周期 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
19	DPFSA19	ディープスタンバイ割り込み要因セキュリティ属性ビット 19 対象レジスタ: DPSIER2.b3、DPSIFR2.b3 対象要因: RTC アラーム 0: セキュア 1: 非セキュア	R/W
20	DPFSA20	ディープスタンバイ割り込み要因セキュリティ属性ビット 20 対象レジスタ: DPSIER2.b4、DPSIFR2.b4、DPSIEGR2.b4 対象要因: NMI 端子 0: セキュア 1: 非セキュア	R/W
23:21	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
24	DPFSA24	ディープスタンバイ割り込み要因セキュリティ属性ビット 24 対象レジスタ: DPSIER3.b0、DPSIFR3.b0 対象要因: USBFS0 サスペンド／レジューム 0: セキュア 1: 非セキュア	R/W
25	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
26	DPFSA26	ディープスタンバイ割り込み要因セキュリティ属性ビット 26 対象レジスタ: DPSIER3.b2、DPSIFR3.b2 対象要因: AGT1 アンダーフロー 0: セキュア 1: 非セキュア	R/W
31:27	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

DPFSAR レジスタは、ディープスタンバイ割り込み要因コントロールレジスタのセキュリティ属性を制御します。

DPFSA1、DPFSA0 ビット（ディープスタンバイ割り込み要因セキュリティ属性ビット n (n = 0, 1)）

本ビットは DPSIER0.bn、DPSIFR0.bn、DPSIEGR0.bn (n = 0, 1) の各レジスタのセキュリティ属性を制御します。

対象要因は、IRQn-DS 端子 (n = 0, 1) です。

DPFSA4～DPFSA12 ビット（ディープスタンバイ割り込み要因セキュリティ属性ビット n (n = 4～12)）

本ビットは DPSIER0.bn、DPSIFR0.bn、DPSIEGR0.bn (n = 4～7)、DPSIER1.bn、DPSIFR1.bn、DPSIEGR1.bn (n = 0～4) の各レジスタのセキュリティ属性を制御します。

対象要因は、IRQn-DS 端子 (n = 4～12) です。

DPFSA14 ビット（ディープスタンバイ割り込み要因セキュリティ属性ビット 14）

本ビットは DPSIER1.bn、DPSIFR1.bn、DPSIEGR1.bn (n = 6, 7) の各レジスタのセキュリティ属性を制御します。

対象要因は、IRQn-DS 端子 (n = 14, 15) です。

DPFSA16 ビット（ディープスタンバイ割り込み要因セキュリティ属性ビット 16）

本ビットは DPSIER2.b0、DPSIFR2.b0、DPSIEGR2.b0 の各レジスタのセキュリティ属性を制御します。

対象要因は、LVD1 です。

DPFSA17 ビット（ディープスタンバイ割り込み要因セキュリティ属性ビット 17）

本ビットは DPSIER2.b1、DPSIFR2.b1、DPSIEGR2.b1 の各レジスタのセキュリティ属性を制御します。

対象要因は、LVD2 です。

DPFSA18 ビット（ディープスタンバイ割り込み要因セキュリティ属性ビット 18）

本ビットは DPSIER2.b2、DPSIFR2.b2 の各レジスタのセキュリティ属性を制御します。

対象要因は、RTC 周期です。

DPFSA19 ビット（ディープスタンバイ割り込み要因セキュリティ属性ビット 19）

本ビットは DPSIER2.b3、DPSIFR2.b3 の各レジスタのセキュリティ属性を制御します。

対象要因は、RTC アラームです。

DPFSA20 ビット（ディープスタンバイ割り込み要因セキュリティ属性ビット 20）

本ビットは DPSIER2.b4、DPSIFR2.b4、DPSIEGR2.b4 の各レジスタのセキュリティ属性を制御します。

対象要因は、NMI 端子です。

DPFSA24 ビット（ディープスタンバイ割り込み要因セキュリティ属性ビット 24）

本ビットは DPSIER3.b0、DPSIFR3.b0 の各レジスタのセキュリティ属性を制御します。

対象要因は、USBFS0 サスペンド／レジュームです。

DPFSA26 ビット（ディープスタンバイ割り込み要因セキュリティ属性ビット 26）

本ビットは DPSIER3.b2、DPSIFR3.b2 の各レジスタのセキュリティ属性を制御します。

対象要因は、AGT1 アンダーフローです。

10.2.3 SBYCR : スタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x00C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むとリセット値が読めます。書く場合、リセット値を書いてください。	R/W
15	SSBY	ソフトウェアスタンバイモード選択 0: スリープモード 1: ソフトウェアスタンバイモード	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SSBY ビット（ソフトウェアスタンバイモード選択）

SSBY ビットは、WFI 命令実行後の遷移先を設定します。

SSBY ビットが 1 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。なお、割り込みによってソフトウェアスタンバイモードから通常モードへ復帰したときは、SSBY ビットは 1 のままです。0 を書き込むことにより、SSBY ビットをクリアできます。

OSTDCR.OSTDE ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行するとスリープモードへ遷移します。

FENTRYR.FENTRYC ビットが 1 の場合、SSBY ビットの設定値は無視されます。SSBY ビットが 1 であっても、WFI 命令を実行すると MCU はスリープモードへ遷移します。

10.2.4 MSTPCRA : モジュールストップコントロールレジスタ A

Base address: MSTP = 0x4008_4000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	MSTPA22	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	MSTPA7	—	—	—	—	—	—	MSTPA0
Value after reset:	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	0

ビット	シンボル	機能	R/W
0	MSTPA0	SRAM0 モジュールストップ設定 対象モジュール: SRAM0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
6:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	MSTPA7	スタンバイ SRAM モジュールストップ設定 対象モジュール: スタンバイ SRAM 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21:8	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	MSTPA22	DMA コントローラ／データトランスファコントローラモジュールストップ設定(注1) 対象モジュール: DTC、DMAC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. MSTPA22 ビットを 0 から 1 に書き換える場合、DMAC および DTC を無効にしてから MSTPA22 ビットを設定してください。

10.2.5 MSTPCRB : モジュールストップコントロールレジスタ B

Base address: MSTP = 0x4008_4000

Offset address: 0x004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTPB31	—	—	—	—	—	—	—	—	MSTPB22	—	—	MSTPB19	MSTPB18	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	MSTPB11	—	—	—	—	—	—	MSTPB4	MSTPB3	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
2:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
3	MSTPB3	CEC モジュールストップ設定(注1) 対象モジュール: CEC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
4	MSTPB4	I3C バスインタフェース 0 モジュールストップ設定(注3) 対象モジュール: I3C 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
10:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	MSTPB11	ユニバーサルシリアルバス 2.0 FS インタフェース 0 モジュールストップ設定(注2) 対象モジュール: USBFS0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
17:12	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
18	MSTPB18	シリアルペリフェラルインタフェース 1 モジュールストップ設定 対象モジュール: SPI1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
19	MSTPB19	シリアルペリフェラルインタフェース 0 モジュールストップ設定 対象モジュール：SPI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21:20	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	MSTPB22	シリアルコミュニケーションインタフェース 9 モジュールストップ設定 対象モジュール：SCI9 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
30:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31	MSTPB31	シリアルコミュニケーションインタフェース 0 モジュールストップ設定 対象モジュール：SCI0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. MSTPC3 ビットは、CEC クロック (CECCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPC3 が変化した後に CECCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

注 2. MSTPC11 ビットは､USB クロック (USBCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPC11 が変化した後に USBCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

注 3. MSTPC4 ビットは、I3C クロック (I3CCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPC4 が変化した後に I3CCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

10.2.6 MSTPCRC : モジュールストップコントロールレジスタ C

Base address: MSTP = 0x4008_4000

Offset address: 0x008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	MSTPC28	MSTPC27	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MSTPC14	MSTPC13	—	—	—	—	MSTPC8	—	—	—	—	—	—	MSTPC1	MSTPC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MSTPC0	クロック周波数精度測定回路モジュールストップ設定(注1) 対象モジュール：CAC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
1	MSTPC1	巡回冗長検査演算器モジュールストップ設定 対象モジュール：CRC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
7:2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	MSTPC8	拡張シリアルサウンドインタフェースモジュールストップ設定 対象モジュール：SSIE 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
12:9	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
13	MSTPC13	データ演算回路モジュールストップ設定 対象モジュール：DOC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14	MSTPC14	イベントリンクコントローラモジュールストップ設定 対象モジュール：ELC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
26:15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
27	MSTPC27	CANFD モジュールストップ設定(注2) 対象モジュール：CANFD 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
28	MSTPC28	乱数生成器モジュールストップ設定 対象モジュール：TRNG 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31:29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. MSTPC0 ビットは、CAC クロック (CACMCLK/CACSCLK/CACLCLK/CACMOCLK/CACHCLK/CACILCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPC0 が変化した後に CACMCLK/CACSCLK/CACLCLK/CACMOCLK/CACHCLK/CACILCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

注 2. MSTPC27 ビットは、CANFD クロック (CANFDCLK) が安定してから書き込む必要があります。ソフトウェアスタンバイモードに遷移するには、MSTPC27 が変化した後に CANFDCLK クロックが 2 サイクル以上経過してから WFI 命令を実行する必要があります。

10.2.7 MSTPCRD : モジュールストップコントロールレジスタ D

Base address: MSTP = 0x4008_4000

Offset address: 0x00C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	MSTPD22	—	MSTPD20	—	—	—	MSTPD16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MSTPD14	MSTPD13	MSTPD12	MSTPD11	—	—	—	—	—	—	—	MSTPD3	MSTPD2	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
1:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
2	MSTPD2	低消費電力非同期汎用タイマ 1 モジュールストップ設定(注1) 対象モジュール : AGT1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
3	MSTPD3	低消費電力非同期汎用タイマ 0 モジュールストップ設定(注2) 対象モジュール : AGT0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
10:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	MSTPD11	GPT 用ポートアウトプットイネーブルグループ D モジュールストップ設定 対象モジュール : POEGGD 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
12	MSTPD12	GPT 用ポートアウトプットイネーブルグループ C モジュールストップ設定 対象モジュール : POEGGC 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
13	MSTPD13	GPT 用ポートアウトプットイネーブルグループ B モジュールストップ設定 対象モジュール : POEGGB 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
14	MSTPD14	GPT 用ポートアウトプットイネーブルグループ A モジュールストップ設定 対象モジュール : POEGGA 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	MSTPD16	12 ビット A/D コンバータ 0 モジュールストップ設定 対象モジュール: ADC120 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
19:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
20	MSTPD20	12 ビット D/A コンバータモジュールストップ設定 対象モジュール: DAC12 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
21	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	MSTPD22	温度センサモジュールストップ設定 対象モジュール: 温度センサ 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

ビット	シンボル	機能	R/W
31:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. カウントソースがサブクロック発振器または LOCO の場合、MSTPD2 ビットを 1 にしても、AGT1 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT1 レジスタにアクセスするときを除いて、本ビットを 1 にする必要があります。

注 2. カウントソースがサブクロック発振器または LOCO の場合、MSTPD3 ビットを 1 にしても、AGT0 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT0 レジスタにアクセスするときを除いて、本ビットを 1 にする必要があります。

10.2.8 MSTPCRE : モジュールストップコントロールレジスタ E

Base address: MSTP = 0x4008_4000

Offset address: 0x010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	MSTPE31	MSTPE30	—	—	MSTPE27	MSTPE26	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
25:16	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
26	MSTPE26	GPT5 のモジュールストップ 対象モジュール: GPT5 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
27	MSTPE27	GPT4 のモジュールストップ 対象モジュール: GPT4 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
28	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
30	MSTPE30	GPT1 のモジュールストップ 対象モジュール: GPT1 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W
31	MSTPE31	GPT0 のモジュールストップ 対象モジュール: GPT0 0: モジュールストップ状態の解除 1: モジュールストップ状態へ遷移	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

10.2.9 OPCCR : 動作電力コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0A0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	OPCMTSF	—	—	OPCM[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OPCM[1:0]	動作電力制御モード選択 0 0: High-speed モード 0 1: 設定禁止 1 0: 設定禁止 1 1: Low-Speed モード	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	OPCMTSF	動作電力制御モード遷移状態フラグ 0: 遷移完了 1: 遷移中	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

OPCCR レジスタは、低い動作周波数を指定することによって、通常モードとスリープモード時の消費電力を低減させるためのレジスタです。動作電力制御モードの変更手順については、「10.5. 動作電力低減機能」を参照してください。

ソフトウェアスタンバイモードから通常モードまたはスヌーズモードへ遷移する場合は、ソフトウェアスタンバイモード遷移前の設定値にかかわらず、OPCCR.OPCM[1:0]ビットと SOPCCR.SOPCM ビットの設定値は以下のとおりです。

- OPCCR.OPCM[1:0] = 00b（High-speed モード）
- SOPCCR.SOPCM = 0b（Subosc-speed モード以外）

ソフトウェアスタンバイモードへの遷移が完了する前にソフトウェアスタンバイモードが解除されると、OPCCR.OPCM[1:0]ビットと SOPCCR.SOPCM ビットは、WFI 命令実行前の設定値を保持します。これによって問題が生じる場合は、ソフトウェアスタンバイモードを解除する際の例外処理手順において MCU を High-speed モードに設定してください。

OPCM[1:0]ビット（動作電力制御モード選択）

OPCM[1:0]ビットは、通常モードとスリープモード時の動作電力制御モードを選択します。表 10.4 は、各動作電力制御モードと、OPCM[1:0]ビットおよび SOPCM ビットの設定値との関係を示しています。

OPCMTSF フラグ（動作電力制御モード遷移状態フラグ）

OPCMTSF フラグは、動作電力制御モード切り替え時の切り替え制御状態を表します。本フラグは、OPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。本フラグを読み取って 0 であることを確認してから次の処理を行ってください。

10.2.10 SOPCCR : サブ動作電力コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x0AA

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SOPCMTSF	—	—	—	SOPCM
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOPCM	サブ動作電力制御モード選択 0: Subosc-speed モード以外 1: Subosc-Speed モード	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SOPCMTSF	動作電力制御モード遷移状態フラグリード時 0: 遷移完了 1: 遷移中	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SOPCCR レジスタは、通常モードおよびスリープモード時に消費電力を低減させるためのレジスタです。このレジスタを設定することによって、Subosc-speed モードへの遷移、およびこのモードからの復帰が開始されます。Subosc-speed モードは、サブクロック発振器または分周なしの LOCO を使用した場合に限り利用可能です。

動作電力制御モードの変更手順については、「10.5. 動作電力低減機能」を参照してください。

SOPCM ビット（サブ動作電力制御モード選択）

SOPCM ビットは、通常モードおよびスリープモード時の動作電力制御モードを選択します。本ビットを 1 にすることで、Subosc-speed モードへ遷移できます。また、本ビットを 0 にすることで、Subosc-speed モード遷移前の動作モード（OPCCR.OPCM[1:0]で設定された動作モード）へ復帰できます。

ソフトウェアスタンバイモードから通常モードまたはスヌーズモードへ遷移する場合、ソフトウェアスタンバイモード遷移前の設定値にかかわらず、OPCCR.OPCM[1:0]ビットと SOPCCR.SOPCM ビットの設定値は以下のとおりです。

- OPCCR.OPCM[1:0] = 00b（High-speed モード）
- SOPCCR.SOPCM = 0b（Subosc-speed モード以外）

ソフトウェアスタンバイモードへの遷移が完了する前にソフトウェアスタンバイモードが解除されると、OPCCR.OPCM[1:0]ビットと SOPCCR.SOPCM ビットは、WFI 命令実行前の設定値を保持します。これによって問題が生じる場合は、ソフトウェアスタンバイモードを解除する際の例外処理手順において MCU を High-speed モードに設定してください。

表 10.4 は、各動作電力制御モードと、OPCM[1:0]ビットおよび SOPCM ビットの設定値との関係を示しています。

SOPCMTSF フラグ（動作電力制御モード遷移状態フラグリード時）

SOPCMTSF フラグは、動作電力制御モードを Subosc-speed モードへまたは Subosc-speed モードから切り替えたときの切り替え制御状態を示します。本フラグは、SOPCM ビットが書き換えられると 1、モード遷移が完了すると 0 になります。本フラグを読み取って 0 であることを確認してから次の処理を行ってください。

表 10.4 は、各動作電力制御モードを示しています。

表 10.4　動作電力制御モード

動作電力制御モード	OPCM[1:0]ビット	SOPCM ビット	消費電力
High-Speed モード	00b	0	High
Low-Speed モード	11b	0	↓
Subosc-Speed モード	xxb	1	Low

動作周波数の詳細は、「44. 電気的特性」を参照してください。

各動作電力制御モードについて以下に説明します。

- High-speed モード
  リセット解除後、MCU はこのモードで動作します。
- Low-speed モード
  Low-speed モードには下記の制限事項があります。
  – フラッシュメモリに対するプログラム／イレース操作は禁止
  – PLL は使用禁止です。「10.10.1. レジスタアクセス」を参照してください。

  このモードでは、同じ条件（動作周波数など）で同じ動作をさせる場合、High-speed モードよりも消費電力を低減できます。
- Subosc-speed モード
  Subosc-speed モードには下記の制限事項があります。
  – フラッシュメモリに対するプログラム／イレース操作は禁止
  – データフラッシュの読み出しは禁止
  – MOSC、PLL、MOCO、HOCO は使用禁止。「10.10.1. レジスタアクセス」を参照してください。
  – ICK または FCK に対して分周クロックは使用禁止。「10.10.1. レジスタアクセス」を参照してください。
  – メインクロック発振器の発振停止検出機能は使用禁止

  このモードでは、同じ条件（動作周波数など）で同じ動作をさせる場合、Low-speed モードよりも消費電力を低減できます。

10.2.11　SNZCR : スヌーズコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x092

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SNZE	—	—	—	—	—	SNZDTCEN	RXDREQEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RXDREQEN	RXD0 スヌーズ要求許可 0: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを無視 1: ソフトウェアスタンバイモード時に RXD0 の立ち下がりエッジを検出	R/W
1	SNZDTCEN	スヌーズモード時の DTC 許可 0: DTC 動作を禁止 1: DTC 動作を許可	R/W
6:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SNZE	スヌーズモード許可 0: スヌーズモードを禁止 1: スヌーズモードを許可	R/W

注.　セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

RXDREQEN ビット（RXD0 スヌーズ要求許可）

RXDREQEN ビットはソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジを検出するか否かを指定します。このビットは SCI0 が調歩同期式モードで動作しているときのみ使用可能です。RXD0 端子の立ち下がりエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを設定してください。このビットが 1 の場合、ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジが検出されると、MCU はスヌーズモードへ遷移します。

SNZDTCEN ビット（スヌーズモード時の DTC 許可）

SNZDTCEN ビットは、スヌーズモード時に DTC と SRAM を使用するか否かを指定します。スヌーズモードで DTC と SRAM を使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、IELSRn レジスタを設定することで、DTC を起動することが可能です。

SNZE ビット（スヌーズモード許可）

SNZE ビットは、ソフトウェアスタンバイモードからスヌーズモードへの遷移を許可するか否かを指定します。スヌーズモードを使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、ソフトウェアスタンバイモード時に表 10.7 に示すトリガによって、MCU はスヌーズモードへ遷移します。ソフトウェアスタンバイモードまたはスヌーズモードから通常モードへ遷移した後、ソフトウェアスタンバイモードへ再遷移する場合は、あらかじめ SNZE ビットをいったん 0 にしてから再設定してください。詳細は「10.8. スヌーズモード」を参照してください。

10.2.12 SNZEDCR0 : スヌーズ終了コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x094

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SCI0UMTED	—	—	AD0UMTED	AD0MATED	DTCNZRED	DTCZRED	AGTUNFED
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	AGTUNFED	AGT1 アンダーフロー時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
1	DTCZRED	最後の DTC 送信完了時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
2	DTCNZRED	最後以外の DTC 送信完了時スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
3	AD0MATED	ADC120 コンペアマッチスヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
4	AD0UMTED	ADC120 コンペア不一致スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SCI0UMTED	SCI0 アドレス不一致スヌーズ終了許可 0: スヌーズ終了要求を禁止 1: スヌーズ終了要求を許可	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SNZEDCR0 レジスタは、スヌーズモードからソフトウェアスタンバイモードへの切り替え条件を制御します。表 10.8 に示すトリガをスヌーズモードからソフトウェアスタンバイモードへの切り替え条件として使用する場合は、SNZEDCR0 レジスタの対応するビットを 1 にする必要があります。

表 10.3 に示すように、スヌーズモードから通常モードへ復帰させるためのイベントは、SNZEDCR0 レジスタで許可しないでください。

AGTUNFED ビット（AGT1 アンダーフロー時スヌーズ終了許可）

AGTUNFED ビットは、AGT1 アンダーフローを契機とするスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「21. 低消費電力非同期汎用タイマ (AGTW)」を参照してください。

DTCZRED ビット（最後の DTC 送信完了時スヌーズ終了許可）

DTCZRED ビットは、最後の DTC 送信完了（すなわち、DTC の CRA または CRB レジスタが 0）を契機とする、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「16. データトランスファコントローラ (DTC)」を参照してください。

DTCNZRED ビット（最後以外の DTC 送信完了時スヌーズ終了許可）

DTCNZRED ビットは、各 DTC 送信完了（すなわち、DTC の CRA または CRB レジスタが 0 以外）を契機とする、スヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「16. データトランスファコントローラ (DTC)」を参照してください。

AD0MATED ビット（ADC120 コンペアマッチスヌーズ終了許可）

AD0MATED ビットは変換結果が期待値と一致した場合に、ADC120 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「35. 12 ビット A/D コンバータ (ADC12)」を参照してください。

AD0UMTED ビット（ADC120 コンペア不一致スヌーズ終了許可）

AD0UMTED ビットは変換結果が期待値と一致しない場合に、ADC120 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「35. 12 ビット A/D コンバータ (ADC12)」を参照してください。

SCI0UMTED ビット（SCI0 アドレス不一致スヌーズ終了許可）

SCI0UMTED ビットは、ソフトウェアスタンバイモード時に受信したアドレスが期待値と一致しない場合に、SCI0 イベントを契機とするスヌーズモードからソフトウェアスタンバイモードへの遷移を許可するか否かを指定します。トリガ条件については、「26. シリアルコミュニケーションインタフェース (SCI)」を参照してください。このビットは SCI0 が調歩同期式モードを作動しているときにのみ 1 にしてください。

10.2.13 SNZREQCR0 : スヌーズ要求コントロールレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	SNZREQEN30	SNZREQEN29	SNZREQEN28	—	—	SNZREQEN25	SNZREQEN24	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	SNZREQEN14	SNZREQEN13	SNZREQEN12	SNZREQEN11	SNZREQEN10	SNZREQEN9	SNZREQEN8	SNZREQEN7	SNZREQEN6	SNZREQEN5	SNZREQEN4	SNZREQEN3	SNZREQEN2	SNZREQEN1	SNZREQEN0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SNZREQEN0	IRQ0 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
1	SNZREQEN1	IRQ1 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
2	SNZREQEN2	IRQ2 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
3	SNZREQEN3	IRQ3 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
4	SNZREQEN4	IRQ4 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
5	SNZREQEN5	IRQ5 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
6	SNZREQEN6	IRQ6 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
7	SNZREQEN7	IRQ7 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
8	SNZREQEN8	IRQ8 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
9	SNZREQEN9	IRQ9 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
10	SNZREQEN10	IRQ10 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
11	SNZREQEN11	IRQ11 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
12	SNZREQEN12	IRQ12 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
13	SNZREQEN13	IRQ13 端子のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
14	SNZREQEN14	IRQ14 端子のスヌーズ要求許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SNZREQEN24	RTC アラームのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
25	SNZREQEN25	RTC 周期のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
27:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
28	SNZREQEN28	AGT1 アンダーフローのスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
29	SNZREQEN29	AGT1 コンペアマッチ A のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
30	SNZREQEN30	AGT1 コンペアマッチ B のスヌーズ要求を許可 0: スヌーズ要求を禁止 1: スヌーズ要求を許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

SNZREQCR0 レジスタは、ソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのトリガを制御します。WUPENn レジスタ（「12. 割り込みコントローラユニット (ICU)」を参照）の設定によって、トリガがソフトウェアスタンバイモードの解除要求として選択されている場合、SNZREQCR0 レジスタの対応するビットが 1 であっても、そのトリガが発生すると MCU は通常モードへ遷移します。WUPENn レジスタの設定値は、SNZREQCR0 レジスタの設定値よりも常に優先順位は高くなります。詳細は、「10.8. スヌーズモード」および「12. 割り込みコントローラユニット (ICU)」を参照してください。

10.2.14 DPSBYCR : ディープスタンバイコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x400

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DPSBY	IOKEEP	—	—	—	—	DEEPCUT[1:0]	
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	DEEPCUT[1:0]	電源制御 0 0: ディープソフトウェアスタンバイモード時に、スタンバイ RAM、低速オンチップオシレータ、AGTn (n = 0, 1)、USBFS レジューム検出部 へ電源を供給する 0 1: ディープソフトウェアスタンバイモード時に、スタンバイ RAM、低速オンチップオシレータ、AGT、USBFS レジューム検出器へ電源を供給しない 1 0: 設定禁止 1 1: ディープソフトウェアスタンバイモード時に、スタンバイ RAM、低速オンチップオシレータ、AGT、USBFS レジューム検出器へ電源を供給しないさらに、LVD を無効にし、パワーオンリセット回路の低消費電力機能を有効にする	R/W
5:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	IOKEEP	I/O ポート保持 0: ディープソフトウェアスタンバイモード解除時に、I/O ポートはリセット状態 1: ディープソフトウェアスタンバイモード解除時に、I/O ポートはディープソフトウェアスタンバイモード時と同じ状態	R/W
7	DPSBY	ディープソフトウェアスタンバイ 0: スリープモード (SBYCR.SSBY = 0) / ソフトウェアスタンバイモード (SBYCR.SSBY=1) 1: スリープモード (SBYCR.SSBY=0) / ディープソフトウェアスタンバイモード (SBYCR.SSBY=1)	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードを制御します。

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

DEEPCUT[1:0]ビット（電源制御）

ディープソフトウェアスタンバイモード時に、スタンバイ RAM、低速オンチップオシレータ、AGT、および USBFS レジューム検出部へ供給する内部電源を制御します。さらに、ディープソフトウェアスタンバイモード時に、LVD とパワーオンリセット回路の状態を制御します。

ディープソフトウェアスタンバイモードの解除要因として USBFS サスペンド／レジューム割り込みを使用する場合は、DEEPCUT[1:0]ビットを 00b にしてください。

また、ディープソフトウェアスタンバイモード時に LVD 割り込みを使用する場合は、DEEPCUT[1:0]ビットを 00b または 01b にする必要があります。

低消費電力化のため、LVD を停止させ、パワーオンリセット回路の低消費電力機能を有効にする場合は、DEEPCUT[1:0]ビットを 11b にしてください。

DEEPCUT[1:0]ビットの設定に関係なく、ディープソフトウェアスタンバイモード中は、スタンバイ SRAM を除く SRAM への内部電源供給は停止します。

ディープソフトウェアスタンバイモードが使用される場合、ディープソフトウェアスタンバイモードに遷移する前に DEEPCUT[1]の値により DPSWCR.WTSTS ビットを設定してください。

IOKEEP ビット（I/O ポート保持）

ディープソフトウェアスタンバイモード時に、I/O ポートはソフトウェアスタンバイモード時と同じ状態を維持します。IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除後、I/O ポートの状態をリセットするか否かを指定します。

DPSBY ビット（ディープソフトウェアスタンバイ）

ディープソフトウェアスタンバイモードへの遷移を制御します。

SBYCR.SSBY ビットと DPSBYCR.DPSBY ビットがともに 1 の状態で WFI 命令を実行すると、MCU は、ソフトウェアスタンバイモードを経由してディープソフトウェアスタンバイモードへ遷移します。

外部端子割り込み発生要因となる一部の端子（NMI、IRQn-DS (n = 0, 1, 4～12, 14)）、または周辺機能割り込み（RTC アラーム、RTC 周期、USB サスペンド／レジューム、電圧監視 1、電圧監視 2）によってディープソフトウェアスタンバイモードを解除したときは、DPSBY ビットは 1 のままです。本ビットをクリアするときは、0 を書いてください。

OFS0.IWDTSTPCTL ビットが 0（カウント継続）の場合、OFS0.IWDTSTRT ビットの設定値にかかわらず、DPSBY ビットの設定値は無効です。この場合、SBYCR.SSBY ビットが 1 でかつ DPSBY ビットが 1 であっても、WFI 命令実行後はソフトウェアスタンバイモードへ遷移します。

また、電圧監視 1 リセットが許可 (LVD1CR0.RI = 1) の場合、あるいは電圧監視 2 リセットが許可 (LVD2CR0.RI = 1) の場合、DPSBY ビットの設定値は無効です。この場合、SBYCR.SSBY ビットが 1 でかつ DPSBY ビットが 1 であっても、WFI 命令実行後はソフトウェアスタンバイモードへ遷移します。

10.2.15 DPSWCR : ディープスタンバイウェイトコントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x401

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	WTSTS[5:0]					
Value after reset:	0	0	0	1	1	0	0	1

ビット	シンボル	機能	R/W
5:0	WTSTS[5:0]	ディープソフトウェアウェイトスタンバイ時間設定 0x0E: ファストリカバリ用のウェイトサイクル数 0x19: スローリカバリ用のウェイトサイクル数 その他: 設定禁止	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSWCR レジスタは、外部端子割り込みまたは周辺割り込み（RTC アラーム、RTC 周期、USB サスペンド／レジューム等）の要因である端子によってディープソフトウェアスタンバイモードが解除されるときの安定待機時間を設定します。

本レジスタに設定される安定待機時間中、ディープソフトウェアスタンバイリセットが発生し、MCU は初期化されます。

DPSWCR レジスタは､ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

ディープソフトウェアスタンバイモードが使用される場合、ディープソフトウェアスタンバイモードに遷移する前に DPSBYCR.DEEPCUT[1]の値により DPSWCR.WTSTS ビットを設定してください。

DPSBYCR.DEEPCUT[1] = 0 の場合、DPSWCR.WTSTS をファストリカバリ用のウェイトサイクル数に設定できます。

DPSBYCR.DEEPCUT[1] = 1 の場合、DPSWCR.WTSTS をスローリカバリ用のウェイトサイクル数に設定する必要があります。

10.2.16 DPSIER0 : ディープスタンバイ割り込みイネーブルレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x402

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ7E	DIRQ6E	DIRQ5E	DIRQ4E	—	—	DIRQ1E	DIRQ0E
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ0E	IRQ0-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DIRQ1E	IRQ1-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DIRQ4E	IRQ4-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
5	DIRQ5E	IRQ5-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
6	DIRQ6E	IRQ6-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

ビット	シンボル	機能	R/W
7	DIRQ7E	IRQ7-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIER0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

なお、DPSIER0 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR0 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR0 レジスタを 0 にしてください。

10.2.17 DPSIER1 : ディープスタンバイ割り込みイネーブルレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x403

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DIRQ14E	—	DIRQ12E	DIRQ11E	DIRQ10E	DIRQ9E	DIRQ8E
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ8E	IRQ8-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DIRQ9E	IRQ9-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
2	DIRQ10E	IRQ10-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
3	DIRQ11E	IRQ11-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
4	DIRQ12E	IRQ12-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	DIRQ14E	IRQ14-DS 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIER1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

なお、DPSIER1 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR1 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR1 レジスタを 0 にしてください。

10.2.18 DPSIER2 : ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x404

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DNMIE	DRTCAIE	DRTCIIE	DLVD2IE	DLVD1IE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DLVD1IE	LVD1 ディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	DLVD2IE	LVD2 ディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
2	DRTCIIE	RTC 周期割り込みディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
3	DRTCAIE	RTC アラーム割り込みディープソフトウェアスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
4	DNMIE	NMI 端子許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W(注1)
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

注 1. 一度だけ 1 を書くことができます。以後のライトアクセスは無効です。

DPSIER2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

なお、DPSIER2 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR2 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR2 レジスタを 0 にしてください。

10.2.19 DPSIER3 : ディープスタンバイ割り込みイネーブルレジスタ 3

Base address: SYSC = 0x4001_E000

Offset address: 0x405

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	DAGT1IE	—	DUSBFS0IE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DUSBFS0IE	USBFS0 サスペンド／レジュームディープスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	DAGT1IE	AGT1 アンダーフローディープスタンバイ解除信号許可 0: ディープソフトウェアスタンバイモード解除を禁止 1: ディープソフトウェアスタンバイモード解除を許可	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIER3 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

なお、DPSIER3 レジスタの設定を変更すると、端子の状態によっては内部的にエッジが発生し、DPSIFR3 レジスタが 1 になる場合があります。そのため、ディープソフトウェアスタンバイモードに遷移する前に、DPSIFR3 レジスタを 0 にしてください。

10.2.20 DPSIFR0 : ディープスタンバイ割り込みフラグレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x406

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ7F	DIRQ6F	DIRQ5F	DIRQ4F	—	—	DIRQ1F	DIRQ0F
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ0F	IRQ0-DS 端子ディープスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
1	DIRQ1F	IRQ1-DS 端子ディープスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DIRQ4F	IRQ4-DS 端子ディープスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
5	DIRQ5F	IRQ5-DS 端子ディープスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
6	DIRQ6F	IRQ6-DS 端子ディープスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
7	DIRQ7F	IRQ7-DS 端子ディープスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. 0 を書くとフラグが 0 になります。1 の書き込みは無視されます。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

それぞれのフラグは、DPSIEGR0 レジスタで設定した解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER0 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR0 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER0 レジスタの設定変更後に DPSIFR0 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR0 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER0 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。DPSIER0 レジスタの設定変更後に DPSIFR0 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR0 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER0 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。詳細は、「5. リセット」を参照してください。

DIRQnF フラグ（IRQn-DS 端子ディープスタンバイ解除フラグ）(n = 0, 1, 4～7)

DIRQnF フラグは IRQn-DS 端子による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR0 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

10.2.21 DPSIFR1 : ディープスタンバイ割り込みフラグレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x407

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DIRQ14F	—	DIRQ12F	DIRQ11F	DIRQ10F	DIRQ9F	DIRQ8F
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ8F	IRQ8-DS 端子ディープスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
1	DIRQ9F	IRQ9-DS 端子ディープスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
2	DIRQ10F	IRQ10-DS 端子ディープスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
3	DIRQ11F	IRQ11-DS 端子ディープスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
4	DIRQ12F	IRQ12-DS 端子ディープスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	DIRQ14F	IRQ14-DS 端子ディープスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. 0 を書くとフラグが 0 になります。1 の書き込みは無視されます。
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

それぞれのフラグは、DPSIEGR1 レジスタで設定した解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER1 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR1 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER1 レジスタの設定変更後に DPSIFR1 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR1 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER1 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

DIRQnF フラグ（IRQn-DS 端子ディープスタンバイ解除フラグ）（n = 8～12, 14）

DIRQnF フラグは IRQn-DS 端子による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR1 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

10.2.22 DPSIFR2 : ディープソフトウェアスタンバイ割り込みフラグレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x408

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DNMIF	DRTCAIF	DRTCIIF	DLVD2IF	DLVD1IF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DLVD1IF	LVD1 ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
1	DLVD2IF	LVD2 ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
2	DRTCIIF	RTC 周期割り込みディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
3	DRTCAIF	RTC アラーム割り込みディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
4	DNMIF	NMI 端子ディープソフトウェアスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. 0 を書くとフラグが 0 になります。1 の書き込みは無視されます。
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

それぞれのフラグは、DPSIEGR2 レジスタで設定した解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER2 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR2 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER2 レジスタの設定変更後に DPSIFR2 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR2 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER2 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

DLVDmIF フラグ（LVDm ディープソフトウェアスタンバイ解除フラグ） (m = 1, 2)

DLVDmIF フラグは電圧監視 m 信号による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR2 レジスタで選択した電圧監視 m 信号による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

DRTCIIF フラグ（RTC 周期割り込みディープソフトウェアスタンバイ解除フラグ）

RTC 周期割り込み信号による解除要求が発生したことを示します。

[1 になる条件]

RTC 周期割り込み信号による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

DRTCAIF フラグ（RTC アラーム割り込みディープソフトウェアスタンバイ解除フラグ）

RTC アラーム割り込み信号による解除要求が発生したことを示します。

[1 になる条件]

RTC アラーム割り込み信号による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

DNMIF フラグ（NMI 端子ディープソフトウェアスタンバイ解除フラグ）

NMI 端子による解除要求が発生したことを示します。

[1 になる条件]

DPSIEGR2 レジスタで設定した NMI 端子による解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

10.2.23 DPSIFR3 : ディープスタンバイ割り込みフラグレジスタ 3

Base address: SYSC = 0x4001_E000

Offset address: 0x409

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	DAGT1IF	—	DUSBFS0IF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DUSBFS0IF	USBFS0 サスペンド／レジュームディープスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	DAGT1IF	AGT1 アンダーフローディープスタンバイ解除フラグ 0: 解除要求の発生なし 1: 解除要求の発生あり	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. 0 を書くとフラグが 0 になります。1 の書き込みは無視されます。
注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

それぞれのフラグは、対応する解除要求が発生したときに 1 になります。

ディープソフトウェアスタンバイモードではない状態であっても、解除要求が発生すれば 1 になる場合があります。また、DPSIER3 レジスタの設定変更によっても 1 になる場合があります。そのため、DPSIFR3 レジスタを 0x00 にした後、ディープソフトウェアスタンバイモードへ遷移してください。

DPSIER3 レジスタの設定変更後に DPSIFR3 レジスタを 0x00 にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR3 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER3 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。

DPSIFR3 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

DUSBFS0IF フラグ（USBFS0 サスペンド／レジュームディープスタンバイ解除フラグ）

DUSBFS0IF フラグは、USBFS0 のサスペンド／レジュームによる解除要求が発生したことを示す USBFS0 用のフラグです。

[1 になる条件]

USBFS0 のサスペンド／レジュームによる解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

DAGT1IF フラグ（AGT1 アンダーフローディープスタンバイ解除フラグ）

AGT1 アンダーフローによる解除要求が発生したことを示します。

[1 になる条件]

AGT1 アンダーフローによる解除要求が発生したとき

[0 になる条件]

各フラグから 1 を読んだ後、0 を書いたとき

10.2.24 DPSIEGR0 : ディープスタンバイ割り込みエッジレジスタ 0

Base address: SYSC = 0x4001_E000

Offset address: 0x40A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DIRQ7EG	DIRQ6EG	DIRQ5EG	DIRQ4EG	—	—	DIRQ1EG	DIRQ0EG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ0EG	IRQ0-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
1	DIRQ1EG	IRQ1-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DIRQ4EG	IRQ4-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
5	DIRQ5EG	IRQ5-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
6	DIRQ6EG	IRQ6-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
7	DIRQ7EG	IRQ7-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIEGR0 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

10.2.25 DPSIEGR1 : ディープスタンバイ割り込みエッジレジスタ 1

Base address: SYSC = 0x4001_E000

Offset address: 0x40B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DIRQ14EG	—	DIRQ12EG	DIRQ11EG	DIRQ10EG	DIRQ9EG	DIRQ8EG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DIRQ8EG	IRQ8-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
1	DIRQ9EG	IRQ9-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
2	DIRQ10EG	IRQ10-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
3	DIRQ11EG	IRQ11-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
4	DIRQ12EG	IRQ12-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6	DIRQ14EG	IRQ14-DS 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIEGR1 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

10.2.26 DPSIEGR2 : ディープソフトウェアスタンバイ割り込みエッジレジスタ 2

Base address: SYSC = 0x4001_E000

Offset address: 0x40C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DNMIEG	—	—	DLVD2EG	DLVD1EG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DLVD1EG	LVD1 エッジ選択 0: VCC ＜ V_{det1}（下降）検出時に解除要求を発生 1: VCC ≧ V_{det1}（上昇）検出時に解除要求を発生	R/W
1	DLVD2EG	LVD2 エッジ選択 0: VCC ＜ V_{det2}（下降）検出時に解除要求を発生 1: VCC ≧ V_{det2}（上昇）検出時に解除要求を発生	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DNMIEG	NMI 端子エッジ選択 0: 立ち下がりエッジで解除要求を発生 1: 立ち上がりエッジで解除要求を発生	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

DPSIEGR2 レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。詳細は、「5. リセット」を参照してください。

10.2.27 SYOCDCR : システムコントロール OCD コントロールレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x040E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DBGEN	—	—	—	—	—	—	DOCDF
Value after reset:	0	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	DOCDF	ディープソフトウェアスタンバイ OCD フラグ 0: DBIRQ の発生なし 1: DBIRQ の発生あり	R/W(注1)
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DBGEN	デバッガ有効 オンチップデバッグモードでは最初に 1 にしてください。 0: オンチップデバッガは無効 1: オンチップデバッガは有効	R/W

注. PRCR.PRC1 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. 0 を書くとフラグが 0 になります。1 の書き込みは無視されます。

本レジスタはどのセキュリティ属性レジスタ（例：LPMSAR、DPFSAR）によっても制御されません。

SYOCDCR レジスタは、DBGSTR.CDBGPWRUPREQ = 1（デバッガ接続）のとき書き込み可能です。

SYOCDCR レジスタは、ディープソフトウェアスタンバイモードの解除要因となる内部リセット信号では初期化されません。

DOCDF フラグ（ディープソフトウェアスタンバイ OCD フラグ）

DOCDF フラグは、MCUCTRL.DBIRQ ビットによるディープソフトウェアスタンバイモード解除要求の発生を示します。DOCDF フラグは、解除要求が発生したときに 1 になります。ディープソフトウェアスタンバイモードではない状態でも、解除要求が発生すれば 1 になる場合があります。そのため、DOCDF フラグを 0 にクリアした後、ディープソフトウェアスタンバイモードへ遷移してください。

[1 になる条件]

- MCUCTRL.DBIRQ ビットによる解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DBGEN ビットが 0 のとき

DBGEN ビット（デバッガ有効）

DBGEN ビットは、オンチップデバッグモードを有効にします。このビットは、オンチップデバッグモードでは最初に 1 にする必要があります。

[1 になる条件]

- デバッガの接続時に 1 を書いたとき

[0 になる条件]

- パワーオンリセットが発生したとき
- 0 を書いたとき

注. DBGEN ビットが 1 に設定可能な MCU 状態に関して、特定の制約が適用されます。詳細は、「2.12.3. OCD エミュレータ接続における制限」を参照してください。

10.3 クロックの切り替えによる消費電力の低減

SCKDIVCR レジスタを設定すると、クロック周波数が切り替わります。

モジュールとクロックの対応関係は、「8.2.2. SCKDIVCR : システムクロック分周コントロールレジスタ」を参照してください。

10.4 モジュールストップ機能

モジュールストップ機能は、各内蔵周辺モジュールへのクロック供給を停止することが可能です。

MSTPCRn（n = A～E）レジスタの MSTPmi ビット（m = A～E、i = 31～0）を 1 にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は動作を継続します。MSTPmi ビット

を 0 にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。

リセット解除後は、DMAC、DTC、SRAMn 以外の全モジュールがモジュールストップ状態になります。MSTPmi ビットが 1 であるときは、対応するモジュールにアクセスしないでください。また、対応するモジュールにアクセス中であるときは、MSTPmi ビットを 1 にしないでください。

10.5 動作電力低減機能

動作周波数に応じて適切な動作電力制御モードを選択することにより、通常モード時、スリープモード時、およびスヌーズモード時の消費電力を低減できます。

10.5.1 動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、周波数範囲などの動作条件が仕様範囲内に収まっていることを確認してください。

動作電力制御モードの切り替え手順例を以下に示します。

表 10.5 各モードで利用可能な発振器

モード	発振器						
	PLL	高速オンチップオシレータ	中速オンチップオシレータ	低速オンチップオシレータ	メインクロック発振器	サブクロック発振器	IWDT 専用オンチップオシレータ
High-speed	可能	可能	可能	可能	可能	可能	可能
Low-speed	不可能	可能	可能	可能	可能	可能	可能
Subosc-speed	不可能	不可能	不可能	可能	不可能	可能	可能

(1) 消費電力が大きいモードから小さいモードへ切り替える場合

例 1：High-speed モードから Low-speed モードへの切り替え

（最初は High-Speed モードで動作しています）

1. 発振器を Low-speed モードで使用するものに変更する。各クロックの周波数を、Low-speed モードにおける最高動作周波数以下にする。
2. Low-speed モードで不要な発振器を OFF にする。
3. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
4. OPCCR.OPCM[1:0]ビットを 11b（Low-speed モード）にする。
5. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。

（動作は Low-speed モードになります）

例 2：High-speed モードから Subosc-speed モードへの切り替え

（最初は High-Speed モードで動作しています）

1. クロックソースをサブクロック発振器に切り替える。PLL、HOCO、MOCO、LOCO およびメインクロック発振器を OFF にする。
2. すべてのクロックソース（サブクロック発振器を除く） が停止していることを確認する。
3. SOPCCR.SOPCMTSF フラグが 0（遷移完了）であることを確認する。
4. SOPCCR.SOPCM ビットを 1（Subosc-speed モード）にする。
5. SOPCCR.SOPCMTSF フラグが 0（遷移完了）であることを確認する。

（動作は Subosc-speed モードになります）

(2) 消費電力が小さいモードから大きいモードへ切り替える場合

例 1：Subosc-speed モードから High-speed モードへの切り替え

（最初は Subosc-speed モードで動作しています）

1. SOPCCR.SOPCMTSF フラグが 0（遷移完了）であることを確認する。
2. SOPCCR.SOPCM ビットを 0（High-speed モード）にする。
3. SOPCCR.SOPCMTSF フラグが 0（遷移完了）であることを確認する。
4. High-speed モードで必要な発振器を ON にする。
5. 各クロックの周波数を、High-speed モードにおける最高動作周波数以下とする。

（動作は High-speed モードになります）

例 2：Low-speed モードから High-speed モードへの切り替え

（最初は Low-speed モードで動作しています）

1. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
2. OPCCR.OPCM[1:0]ビットを 00b （High-speed モード）にする。
3. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
4. High-speed モードで必要な発振器を ON にする。
5. 各クロックの周波数を、High-speed モードにおける最高動作周波数以下とする。

（動作は High-speed モードになります）

10.6 スリープモード

10.6.1 スリープモードへの遷移

SBYCR.SSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はスリープモードへ遷移します。このモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。スリープモードで利用可能なリセットまたは割り込みが発生すると、スリープモードが解除されます。すべての割り込み要因が利用可能です。割り込みを使用してスリープモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止）の場合、MCU がスリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続）の場合、MCU がスリープモードへ遷移しても IWDT はカウントを継続します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 1（スリープモード時に WDT カウント停止）の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSTPR.SLCSTP ビットが 1（スリープモード時に WDT カウント停止）の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 0（スリープモード時に WDT カウント継続）の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSTPR.SLCSTP ビットが 0（スリープモード時に WDT カウント継続）の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。

10.6.2 スリープモードの解除

スリープモードは以下の方法で解除されます。

- 割り込み
- RES 端子リセット
- パワーオンリセット

- 電圧監視リセット
- SRAM パリティエラーリセット
- SRAM ECC エラーリセット
- バスマスタ MPU エラーリセット
- TrustZone エラーリセット
- IWDT または WDT アンダーフローによるリセット

動作は以下のとおりです。

1. 割り込みによる解除
   割り込み要求が発生すると、スリープモードが解除されて、MCU は割り込み処理を開始します。
2. RES 端子リセットによる解除
   RES 端子を Low にすると、MCU はリセット状態になります。「44. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. IWDT リセットによる解除
   - IWDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するための内部リセットが発生しません。
   - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1
4. WDT リセットによる解除
   WDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。ただし、下記の条件下では、通常モード時にカウントしている場合でも WDT はスリープモードで停止して、スリープモードを解除するための内部リセットが発生しません。
   - OFS0.WDTSTRT = 0（オートスタートモード）かつ OFS0.WDTSTPCTL = 1
   - OFS0.WDTSTRT = 1（レジスタスタートモード）かつ WDTCSTPR.SLCSTP = 1
5. スリープモードで利用可能な他のリセットによる解除
   その他の利用可能なリセットによってスリープモードは解除され、MCU はリセット例外処理を開始します。

注. 割り込みの正しい設定方法については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

10.7 ソフトウェアスタンバイモード

10.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1 で、かつ DPSBYCR.DPSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はソフトウェアスタンバイモードへ遷移します。このモードでは、CPU、ほとんどの内蔵周辺機能、および発振器が停止します。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため、消費電力が大幅に削減されます。表 10.2 には、各内蔵周辺機能と発振器の状態が示されています。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、ソフトウェアスタンバイモードが解除されます。利用可能な割り込み要因については表 10.3 を、ソフトウェアスタンバイモードからの復帰については、「12.2.18. WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0」,「12.2.19. WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1」を参照してください。割り込みを使用して割り込みを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

スヌーズモード時に DTC を使用する場合を除き、DMAST.DMST ビットと DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止）の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続）の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

MCU がソフトウェアスタンバイモードへ遷移すると、PCLKB が停止するため WDT はカウントを停止します。

OSTDCR.OSTDE = 1（発振停止検出機能が有効）の状態で、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、発振停止検出機能を無効 (OSTDCR.OSTDE = 0) にした後、WFI 命令を実行してください。OSTDCR.OSTDE = 1 の状態で WFI 命令を実行すると、SBYCR.SSBY = 1 であっても、MCU はスリープモードへ遷移します。

フラッシュメモリのプログラム／イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、プログラム／イレース処理が完了してから WFI 命令を実行してください。

表 10.6 に、関連する制御ビットの設定値と、WFI 命令実行後に遷移するモードを示します。

表 10.6　WFI 命令実行時にモードに影響を及ぼすビット設定

		SBYCR.SSBY ビットと PSBYCR.DPSBY ビットの設定値			
		SSBY = 0, DPSBY = 0	SSBY = 0, DPSBY = 1	SSBY = 1, DPSBY = 0	SSBY = 1, DPSBY = 1
OSTDCR.OSTDE	0	スリープ	スリープ	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ
	1			スリープ	スリープ
FENTRYR.FENTRYC FENTRYR.FENTRYD	0	スリープ	スリープ	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ
	1			スリープ	スリープ
OFS0.IWDTSTPCTL	0	スリープ	スリープ	ソフトウェアスタンバイ	ソフトウェアスタンバイ
	1				ディープソフトウェアスタンバイ
LVD1CR0.RI	0	スリープ	スリープ	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ
	1				ソフトウェアスタンバイ
LVD2CR0.RI	0	スリープ	スリープ	ソフトウェアスタンバイ	ディープソフトウェアスタンバイ
	1				ソフトウェアスタンバイ

10.7.2　ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは以下の方法で解除されます。

- 表 10.3 に示す利用可能な割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット
- IWDT アンダーフローに起因したリセット

ソフトウェアスタンバイモードが解除されると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰します。ソフトウェアスタンバイモードから復帰させる方法については、「12.2.18. WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0」，「12.2.19. WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1」を参照してください。

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

1. 割り込みによる解除

利用可能な割り込み要求（表 10.3 を参照）が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していたすべての発振器が動作を再開します。すべての発振器が安定してから、MCU はソフトウェアスタンバイモードから通常モードへ復帰し、割り込み処理を開始します。

2. RES 端子リセットによる解除
RES 端子を Low にすると、MCU はリセット状態に遷移し、デフォルトで動作状態にあった発振器が発振を開始します。「44. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除
パワーオンリセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視リセットによる解除
電圧検出回路による電圧監視リセットによってソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
5. IWDT リセットによる解除
IWDT アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。ただし、下記の条件下では、ソフトウェアスタンバイモード時に IWDT が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。
   - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1

10.7.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジによるソフトウェアスタンバイモードの解除の例を図 10.2 に示します。

この例では、通常モードにおいて、ICU の IRQCRi.IRQMD[1:0]ビットが 00b（立ち下がりエッジ）の状態で IRQn 端子の割り込みを受け付けた後、IRQCRi.IRQMD[1:0]ビットを 01b（立ち上がりエッジ）にしています。続いて、SBYCR.SSBY ビットを 1 にした後、WFI 命令を実行しています。その結果、ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。図 10.2 の発振安定時間については、「44. 電気的特性」に示されています。

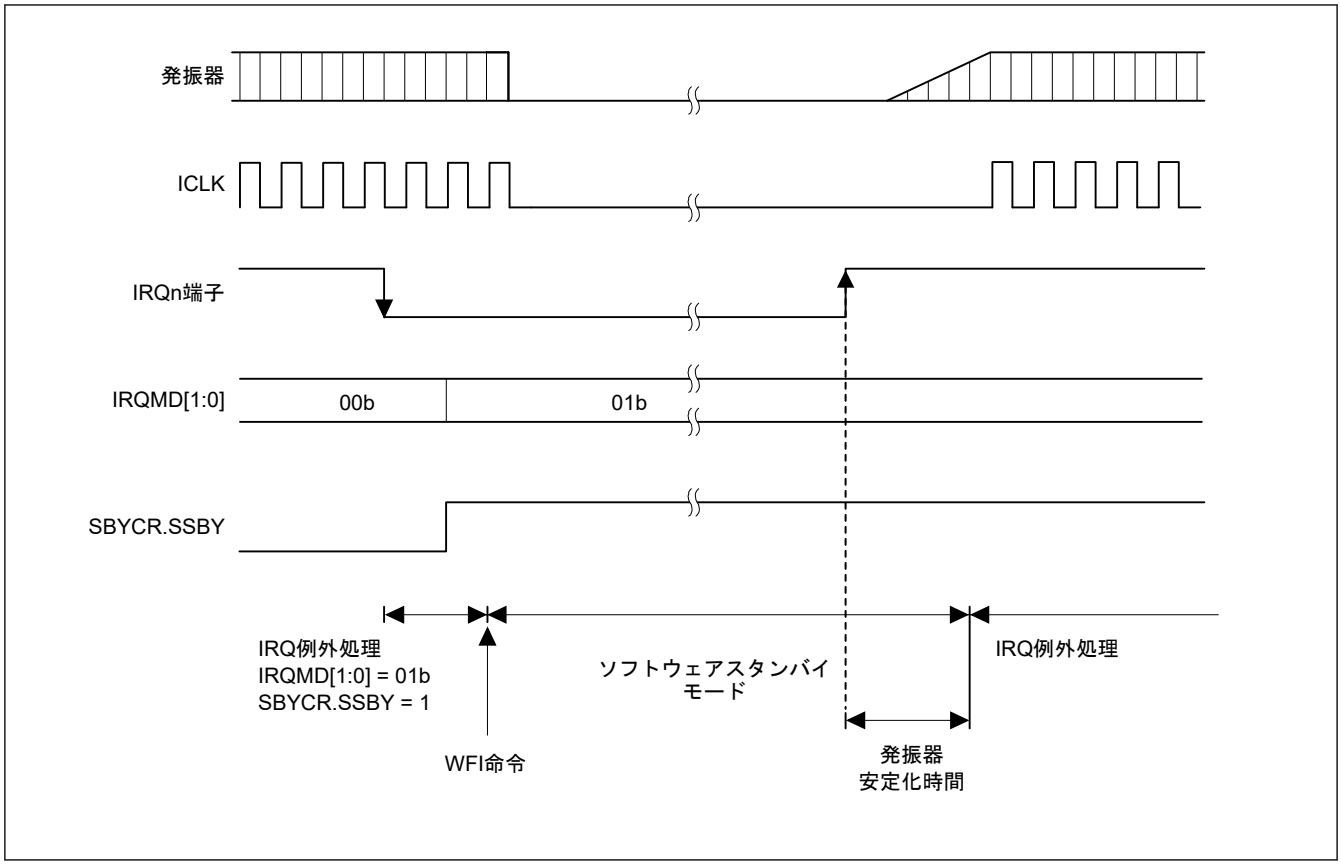


図 10.2　ソフトウェアスタンバイモードの応用例

10.8　スヌーズモード

10.8.1　スヌーズモードへの遷移

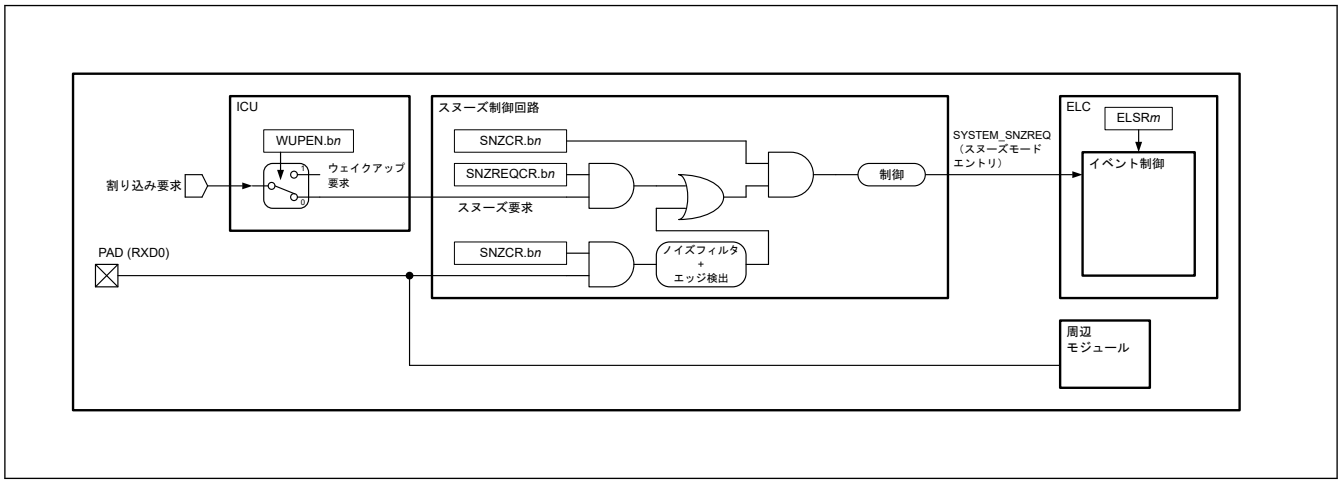


図 10.3　スヌーズモードへの遷移時構成

ソフトウェアスタンバイモード時に、スヌーズ制御回路が利用可能なスヌーズ要求を受け付けると、MCU はスヌーズモードへ遷移します。このモードでは、CPU が復帰していなくても一部の周辺モジュールは動作します。表 10.2 に、スヌーズモードで動作可能な周辺モジュールを示します。また、スヌーズモード時の DTC の動作は、SNZCR.SNZDTCEN ビットで選択できます。

表 10.7 に、MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのスヌーズ要求を示します。これらのスヌーズ要求をスヌーズモードへ切り替えるためのトリガとして使用するには、ソフトウェアスタンバイモードへ遷移する前に、対応する SNZREQCRn レジスタの SNZREQENn ビット、または SNZCR レジスタの RXDREQEN ビットを設定する必要があります。

表 10.7　スヌーズモードへの切り替えに利用可能なスヌーズ要求

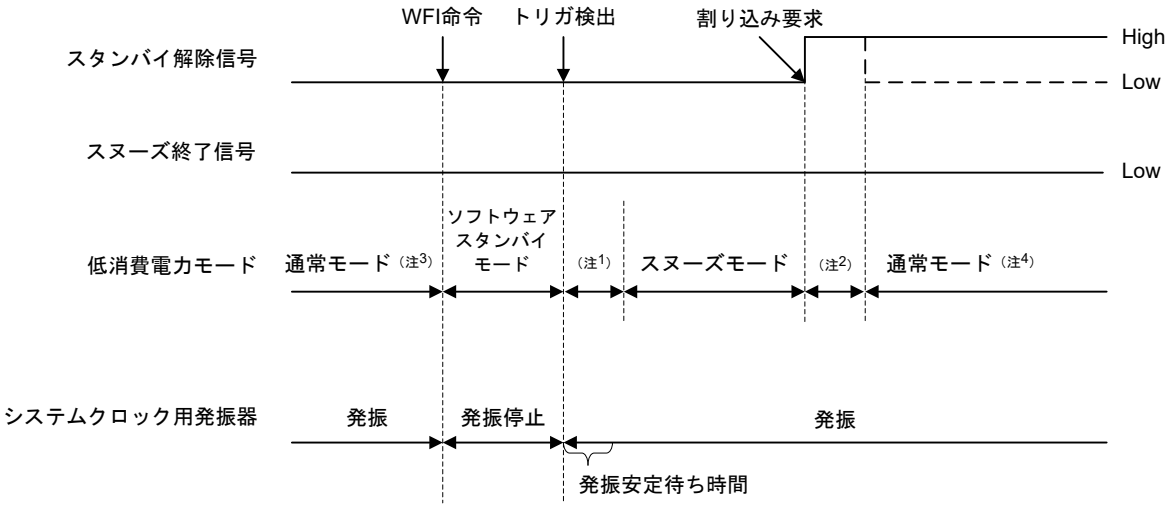
スヌーズ要求	コントロールレジスタ	
	レジスタ	ビット(注1)
PORT_IRQn (n = 0～14)	SNZREQCR0	SNZREQENn (n = 0～14)
RTC_ALM	SNZREQCR0	SNZREQEN24
RTC_PRD	SNZREQCR0	SNZREQEN25
AGT1_AGTI	SNZREQCR0	SNZREQEN28
AGT1_AGTCMAI	SNZREQCR0	SNZREQEN29
AGT1_AGTCMBI	SNZREQCR0	SNZREQEN30
RXD0 立ち下がりエッジ	SNZCR	RXDREQEN(注2)

注 1.　同時に複数のスヌーズ要求を有効にしないでください。
注 2.　調歩同期式モード以外では、RXDREQEN ビットを 1 にしないでください。

スヌーズモード時に DTC を使用する場合を除き、DMAST.DMST ビットと DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

10.8.2　スヌーズモードの解除

スヌーズモードは、ソフトウェアスタンバイモードで利用可能な割り込み要求、またはリセットで解除されます。各モードを解除するために使用可能な要求を、表 10.3 に示します。スヌーズモードの解除後、MCU は通常モードへ遷移して、該当の割り込みまたはリセットの例外処理を開始します。SELSR0 で選択した割り込み要求によって引き起こされる動作が、スヌーズモードを解除します。スヌーズモードを解除するための割り込みは、対応する割り込み処理の NVIC とリンクさせるため、IELSRn で選択してください。SELSR0 レジスタと IELSRn レジスタについては、「12. 割り込みコントローラユニット (ICU)」を参照してください。



注 1.　ソフトウェアスタンバイモードからスヌーズモードへの遷移時間
注 2.　スヌーズモードから通常モードへの遷移時間
注 3.　ソフトウェアスタンバイモードへ切り替わる直前にスヌーズモードを許可します（SNZCR.SNZE = 1）
注 4.　通常モードへ復帰後ただちにスヌーズモードを禁止 (SNZCR.SNZE = 0) にする必要があります。

図 10.4　割り込み要求信号が発生する場合のスヌーズモードの解除

10.8.3　スヌーズモードからソフトウェアスタンバイモードへの復帰

表 10.8 に、ソフトウェアスタンバイモードへの復帰トリガとして使用可能なスヌーズ終了要求を示します。スヌーズ終了要求は、スヌーズモードでのみ利用可能です。MCU がスヌーズモード状態でないときに要求が発生し

ても、それらは無視されます。複数の要求を選択した場合、それぞれの要求がスヌーズモードからソフトウェアスタンバイモードへの遷移を行います。

表 10.9 に、スヌーズ終了条件を構成するスヌーズ終了要求と周辺モジュールの条件を示します。SCI0、ADC12n (n = 0)、DTC の各モジュールは、それらの動作が完了するまで本 MCU をスヌーズモード状態に保ちます。ただし、ソフトウェアスタンバイモードへの復帰トリガとしての AGTn (n = 1) アンダーフローは、SCI0 の動作完了を待たずにスヌーズモードを解除します。

図 10.5 にスヌーズモードからソフトウェアスタンバイモードへの遷移に対するタイミング図を示します。このモード遷移は、SNZEDCR0 レジスタにスヌーズ終了要求が設定されると発生します。ソフトウェアスタンバイモードへ復帰後にスヌーズ要求は自動的にクリアされます。

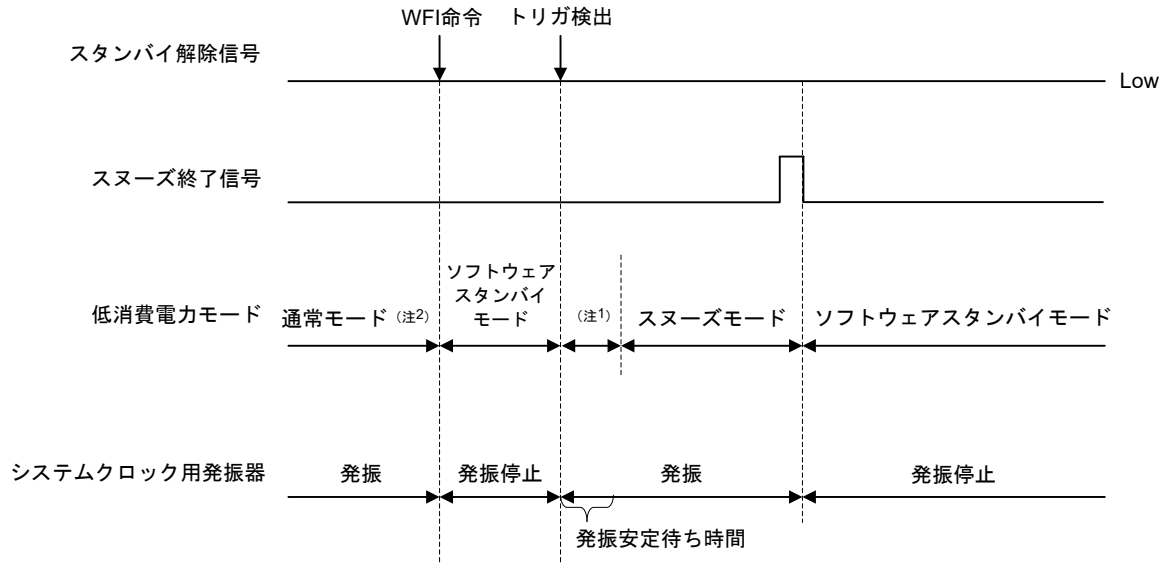
表 10.8　利用可能なスヌーズ終了要求（ソフトウェアスタンバイモードへの復帰トリガ）

周辺モジュール	スヌーズ終了要求	許可／禁止制御	
		レジスタ名	記号
AGT1	AGT1 アンダーフロー (AGT1_AGTI)	SNZEDCR0	AGTUNFED
DTC	最終 DTC 転送終了 (DTC_COMPLETE)	SNZEDCR0	DTCZRED
DTC	最終 DTC 転送未了 (DTC_TRANSFER)	SNZEDCR0	DTCNZRED
ADC120	ウィンドウ A/B コンペアマッチ (ADC120_WCMPM)	SNZEDCR0	AD0MATED
ADC120	ウィンドウ A/B コンペア不一致 (ADC120_WCMPM)	SNZEDCR0	AD0UMTED
SCI0	SCI0 アドレス不一致 (SCI0_DCUF)	SNZEDCR0	SCI0UMTED

表 10.9　スヌーズ終了条件

スヌーズ終了要求発生時の動作モジュール	スヌーズ終了要求	
	AGT1 アンダーフロー	AGT1 アンダーフロー以外
DTC	本表に記載するすべてのモジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。	本列の左側に記載するすべてのモジュールが動作を完了した後、MCU はソフトウェアスタンバイモードへ遷移する。
ADC12n		
SCI0	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	
指定以外	スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移する。	

注.　DTC を用いて ADC12n、または SCI を起動した場合は、スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移します。

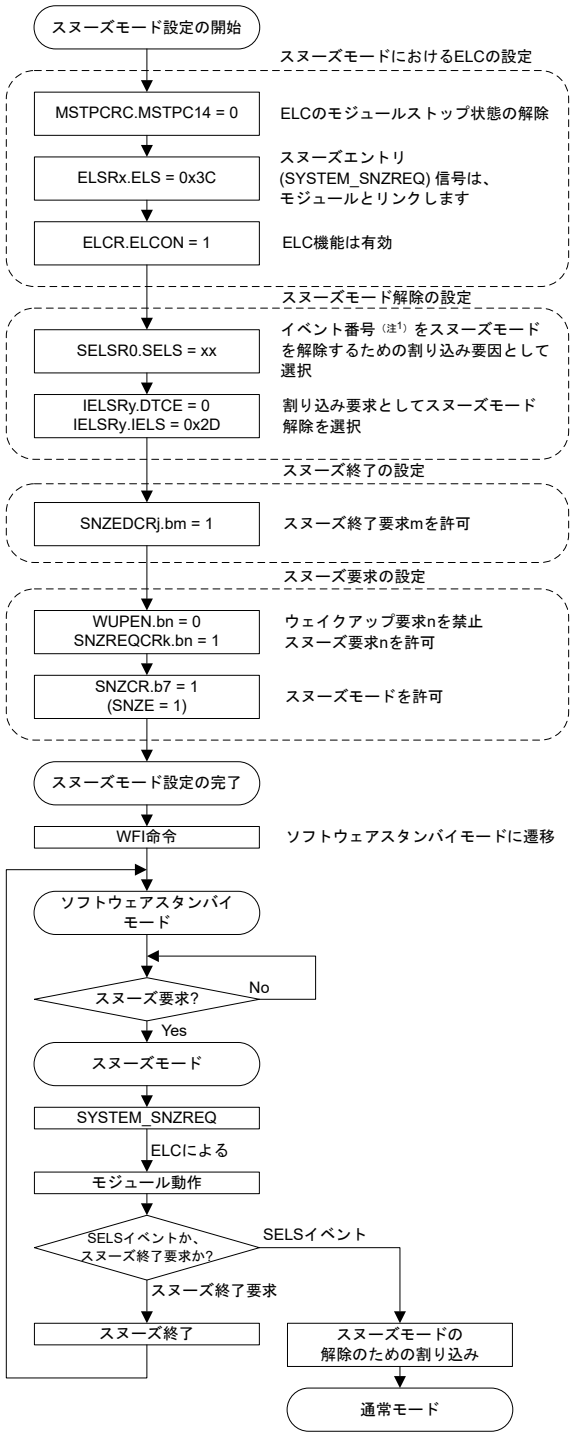


注 1. ソフトウェアスタンバイモードからスヌーズモードへの遷移時間
注 2. ソフトウェアスタンバイモードへ切り替わる直前にスヌーズモードを許可にしてください (SNZCR.SNZE = 1)。

図 10.5 割り込み要求信号が発生しない場合のスヌーズモードの解除

10.8.4 スヌーズモードの動作例

図 10.6 にスヌーズモードで ELC を使用する場合の設定例を示します。



注 1. 表 12.4 を参照してください。

図 10.6 スヌーズモードで ELC を使用する場合の設定例

本 MCU は、CPU を介さずに SCI0 の調歩同期式モードでデータの送受信が可能です。スヌーズモードで SCI0 を使用する場合、High-speed モードまたは Low-speed モードのいずれかを使用してください。

Subosc-speed モードは使用しないでください。表 10.10 にスヌーズモードにおける SCI0 の最大転送レートを示します。

表 10.10 HOCO: ± 1.4% (Ta = -20 °C～105 °C)（単位：bps）

ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK の最大分周比	HOCO 周波数					
	LOCO 停止中			LOCO 動作中		
	16 MHz	18 MHz	20 MHz	16 MHz	18 MHz	20 MHz
1	2400			4800		
2						
4						
8						
16						
32	1200			2400		
64						

スヌーズモードで SCI0 を使用する場合、以下の設定を使用してください。BGDM = 0、ABCS = 0、ABCSE = 0。これらのビットについての詳細は、「26. シリアルコミュニケーションインタフェース (SCI)」を参照してください。

図 10.7 にスヌーズモードエントリで SCI0 を使用する場合の設定例を示します。

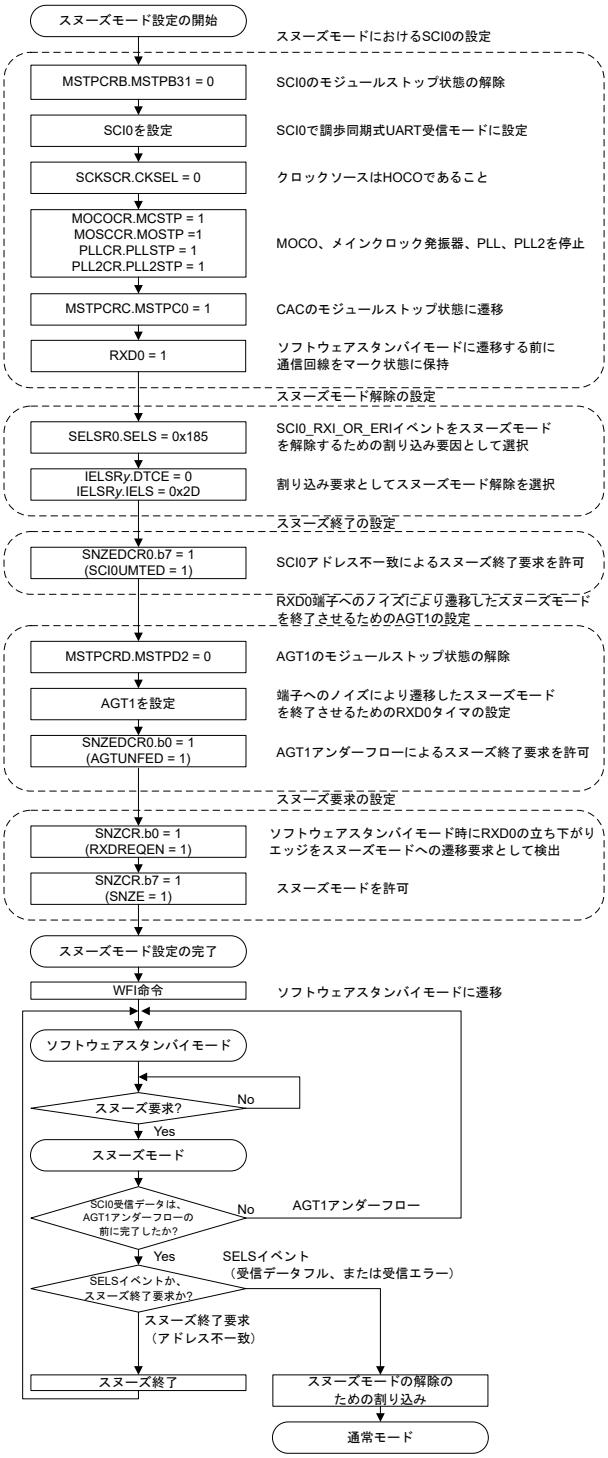


図 10.7　スヌーズモードエントリで SCI0 を使用する場合の設定例

10.9　ディープソフトウェアスタンバイモード

10.9.1　ディープソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットが 1 で、かつ DPSBYCR.DPSBY ビットが 1 の状態で WFI 命令を実行すると、MCU はディープソフトウェアスタンバイモードへ遷移します。関連する制御ビットの設定値については、表 10.6 を参照して

ください。このモードでは、CPU、内蔵周辺機能（RTC アラーム、RTC 周期、USB サスペンド／レジューム検出部を除く）、SRAM（スタンバイ RAM を除く）、およびすべての発振器（サブクロック発振器、低速オンチップオシレータを除く）が停止します。また、これらのモジュールに対する内部電源の供給が停止するので、消費電力が著しく削減されます。CPU レジスタと内蔵周辺モジュール（RTC アラーム、RTC 周期、USB サスペンド／レジューム検出部は除く）の内容はすべて不定となります。

スタンバイ SRAM のデータについては、DEEPCUT[1:0]ビットを 00b にすることによって、保持可能です。DEEPCUT[1:0]ビットを 01b に設定した場合は、スタンバイ SRAM、および USB レジューム検出部への内部電源の供給も停止しますので、消費電力が低減されます。このとき、スタンバイ SRAM のデータは不定となります。DEEPCUT[1:0]ビットを 11b に設定した場合は、スタンバイ SRAM、および USB レジューム検出部への内部電源の供給停止に加え、LVD を停止し、パワーオンリセット回路の低消費電力機能を有効にしますので、消費電力がさらに低減されます。詳細は「44. 電気的特性」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 の状態で MCU がディープソフトウェアスタンバイモードへ遷移すると、IWDT 専用クロックと IWDT への電源供給が停止し、IWDT はカウントを停止します。

OFS0.IWDTSTPCTL ビットが 0 の場合は、OFS0.IWDTSTRT ビットまたは DPSBYCR.DPSBY ビットの設定値にかかわらず、MCU はディープソフトウェアスタンバイモードではなく、ソフトウェアスタンバイモードへ遷移します。OFS0.IWDTSTRT ビットが 0（オートスタートモード）であるとき OFS0.IWDTSTPCTL ビットが 0 の場合は、IWDT 専用クロックと IWDT は動作を継続します。

LVD1CR0.RI ビットが 1（電圧監視 1 リセット選択）、または LVD2CR0.RI ビットが 1（電圧監視 2 リセット選択）の場合は、MCU はディープソフトウェアスタンバイモードではなく、ソフトウェアスタンバイモードへ遷移します。I/O ポートの状態はソフトウェアスタンバイモード時と同じです。

注. WAIT 命令実行前に、ソフトウェアスタンバイモードへ遷移する際の DTC、DMAC、IWDT に関する条件を満たしておく必要があります。詳細は「10.7. ソフトウェアスタンバイモード」を参照してください。

10.9.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードは、以下の場合に解除されます。

- 表 10.3 に示す割り込み
- RES 端子リセット
- パワーオンリセット
- 電圧監視 0 リセット

(1) 割り込みによる解除

割り込みによる解除は、DPSIERn（n = 0～3）レジスタと DPSIFRn（n = 0～3）レジスタで制御されます。ディープソフトウェアスタンバイモードの解除可能な割り込み要求が発生すると、DPSIFRn レジスタの当該フラグが 1 になります。DPSIERn レジスタで割り込みが許可されていると、ディープソフトウェアスタンバイモードが解除されます。また、立ち上がりエッジと立ち下がりエッジの選択は、DPSIEGRn（n = 0～2）にて設定可能です。エッジ選択が可能な割り込みは、NMI、IRQn-DS（n = 0, 1, 4～12, 14）、電圧監視 1、電圧監視 2 割り込みです。ディープソフトウェアスタンバイモードの解除要求が発生すると、内部電源が供給され、MOCO クロックが発振を開始し、MCU 全体に対して内部リセット（ディープソフトウェアスタンバイリセット）が発生します。

安定した MOCO クロックが MCU 全体に供給され、ディープソフトウェアスタンバイリセットが解除されます。そして MCU はリセット例外処理を開始します。

外部割り込み端子または内部割り込み信号によってディープソフトウェアスタンバイモードが解除されると、RSTSR0.DPSRSTF フラグが 1 になります。

(2) RES 端子リセットによる解除

RES 端子を Low にすると、本 MCU はディープソフトウェアスタンバイモードを解除して、リセット状態になります。「44. 電気的特性」で規定した時間に従って、RES 端子を Low に保つようにしてください。規定の時間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。

(3) パワーオンリセットによる解除

パワーオンリセットによってディープソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。

(4) 電圧監視 0 リセットによる解除

電圧検出回路による電圧監視 0 リセットによってディープソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。

10.9.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/O ポートはソフトウェアスタンバイモードと同じ状態を保持しています。ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって MCU は初期化され、ただちにリセット例外処理が開始されます。DPSBYCR.IOKEEP ビットの設定値によって、I/O ポートを初期化するか、またはソフトウェアスタンバイモード時の I/O ポート状態を保持するかが決まります。ビット設定に対する I/O ポート状態は下記の通りです。

- DPSBYCR.IOKEEP ビットが 0 の場合
  ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、I/O ポートは初期化されます。
- DPSBYCR.IOKEEP ビットが 1 の場合
  ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、MCU は初期化されますが、I/O ポートは MCU の内部状態にかかわらずソフトウェアスタンバイモード時の状態を保持します。I/O ポートまたは周辺モジュールの設定を行っても、I/O ポート状態はソフトウェアスタンバイモード時のまま変わりません。DPSBYCR.IOKEEP ビットを 0 にすることによって、保持されていた I/O ポート状態が解放され、MCU は内部状態に従って動作します。DPSBYCR.IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されません。

10.9.4 ディープソフトウェアスタンバイモードの応用例

(1) ディープソフトウェアスタンバイモードの遷移と復帰

IRQn-DS 端子の立ち下がりエッジでのディープソフトウェアスタンバイモードへの遷移と、IRQn-DS 端子の立ち上がりエッジでのディープソフトウェアスタンバイモードからの復帰の例を図 10.8 に示します。この例では、ICU の IRQCRi.IRQMD[1:0]ビットを 00b（立ち下がりエッジ）にした状態で、IRQn 端子の割り込みを受け付けています。次に、DPSIEGRy.DIRQnEG（y = 0 または 1、n = 0, 1, 4～12, 14）ビットを 1（立ち上がりエッジ）にして、SBYCR.SSBY ビットと DPSBYCR.DPSBY ビットをともに 1 にした後、WFI 命令を実行しています。その結果、MCU はディープソフトウェアスタンバイモードへ遷移します。その後、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

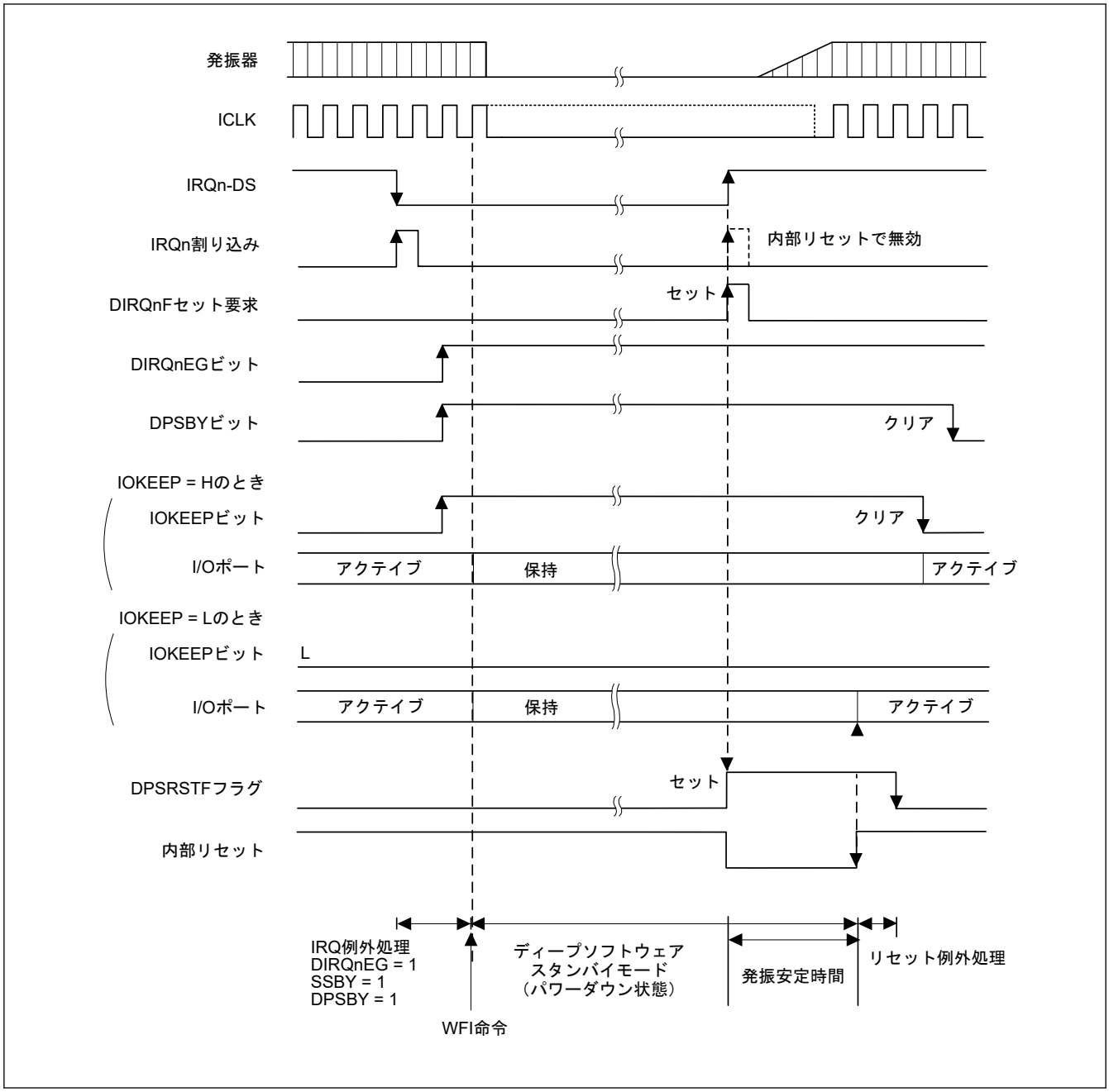


図 10.8　ディープソフトウェアスタンバイモードの応用例

10.9.5　ディープソフトウェアスタンバイモード使用時のフローチャート

図 10.9 に、ディープソフトウェアスタンバイモード使用時のフローチャート例を示します。

この例では、リセット例外処理の後、リセット機能の RSTSR0.DPSRSTF フラグを読み出して、RES 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。

RES 端子によるリセットの場合は、必要なレジスタの設定を行った後、ディープソフトウェアスタンバイモードへ遷移しています。

ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で、DPSBYCR.IOKEEP ビットを 0 にクリアしています。

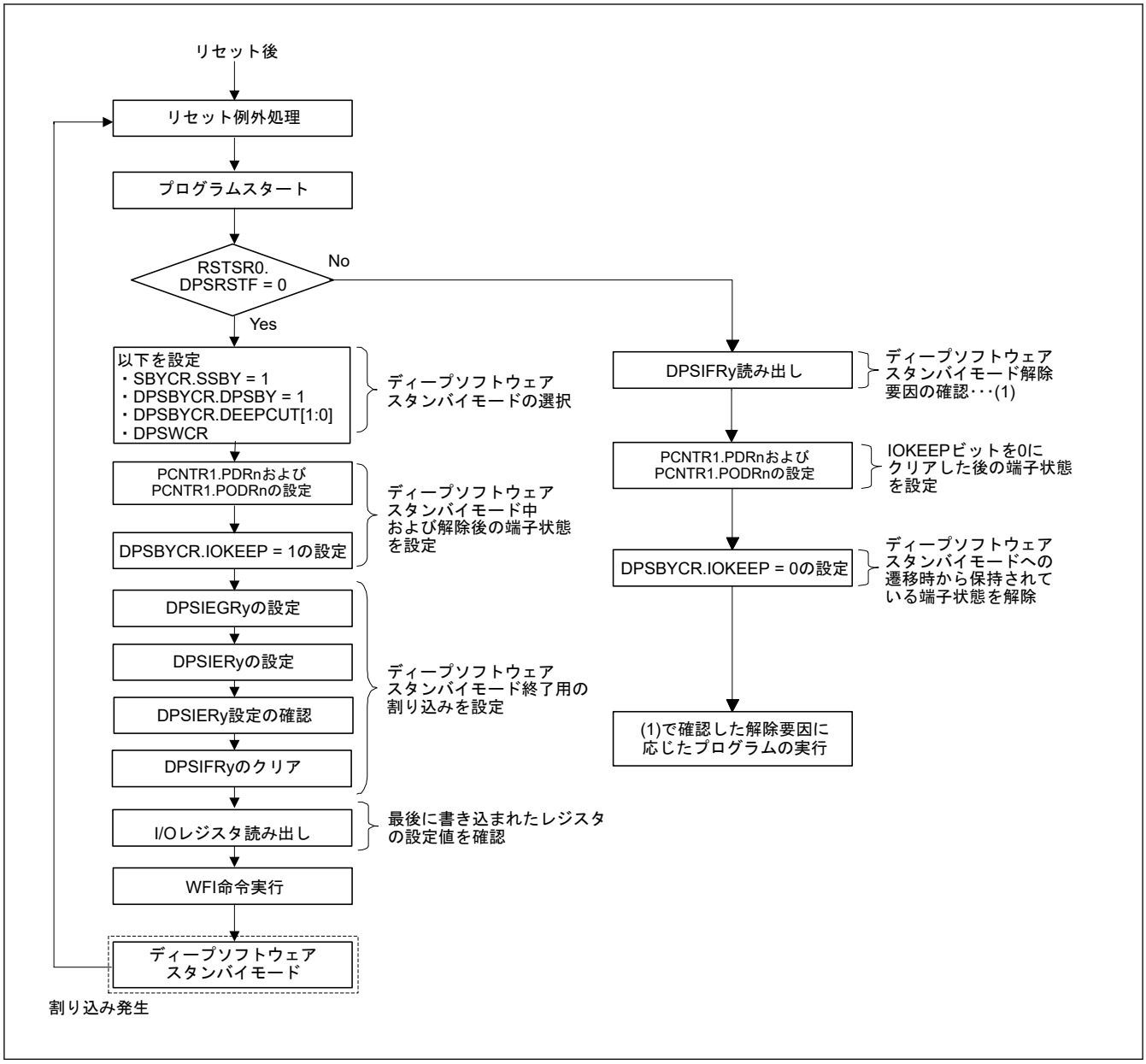


図 10.9　ディープソフトウェアスタンバイモード使用時のフローチャート例

10.10　使用上の注意

10.10.1　レジスタアクセス

(1)　特定モードの期間中または遷移中の無効なレジスタへの書き込みアクセス

下記のいかなる条件においても、レジスタ書き込みを行わないでください。

[レジスタ]

- SYSTEM という周辺名をもつ全レジスタ

[条件]

- OPCCR.OPCMTSF = 1 または SOPCCR.SOPCMTSF = 1（動作電力制御モード遷移中）
- WFI 命令の実行から通常モードへ復帰するまでの期間中
- FENTRYR.FENTRY0 = 1 または FENTRYR.FENTRYD = 1（フラッシュ P/E モード、データフラッシュ P/E モード）

(2) クロック関連レジスタに対する有効な設定値

表 10.11 と表 10.12 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。有効な設定値以外の値を書き込まないようにしてください。また、各レジスタには、動作電力制御モード関連以外の特定の条件下で禁止される設定値もあります。各レジスタに対する他の条件については、「8. クロック発生回路」を参照してください。

表 10.11 クロック関連レジスタに対する有効な設定値 (1)

モード	設定有効値							
	SCKSCR. CKSEL[2:0] CKOCR. CKOSEL[2:0]	SCKDIVCR. FCK[2:0] ICK[2:0]	PLLCR. PLLSTP	HOCOCR. HCSTP	MOCOCR. MCSTP	LOCOCR. LCSTP	MOSCCR. MOSTP	SOSCCR. SOSTP
High-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b（メインクロック） 100b（サブクロック） 101b (PLL) (注1)	000b (1/1) 001b (1/2) 010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）
Low-speed	000b (HOCO) 001b (MOCO) 010b (LOCO) 011b（メインクロック） 100b（サブクロック）		1（停止）					
Subosc-speed	010b (LOCO) 100b (SOSC)	000b (1/1)	1（停止）	1（停止）	1（停止）	0（動作） 1（停止）	1（停止）	0（動作） 1（停止）

注 1. SCKSCR.CKSEL[2:0]のみ

表 10.12 クロック関連レジスタに対する有効な設定値 (2)

動作発振器	設定有効値	
	SOPCCR.SOPCM	OPCCR.OPCM[1:0]
PLL	0	00b
高速オンチップオシレータ	0	00b, 11b
中速オンチップオシレータ		
メインクロック発振器		
低速オンチップオシレータ	0, 1	00b, 11b
サブクロック発振器		
IWDT 専用オンチップオシレータ		

(3) Subosc-speed モードにおける無効なレジスタへの書き込みアクセス

下記の条件では、レジスタ書き込みを行わないでください。

［レジスタ］

- SCKSCR、OPCCR

［条件］

- SOPCCR.SOPCM = 1（Subosc-speed モード）

(4) DTC または DMAC による無効なレジスタへの書き込みアクセス

DTC または DMAC によって、下記のレジスタに書き込まないでください。

［レジスタ］

- MSTPCRA、MSTPCRB、MSTPCRC、MSTPCRD、MSTPCRE

(5) スヌーズモードにおける無効なレジスタへの書き込みアクセス

スヌーズモード時に、下記のレジスタに書き込まないでください。これらのレジスタの設定は、ソフトウェアスタンバイモードへ遷移する前に行ってください。

［レジスタ］

- SNZCR、SNZEDCRn、SNZREQCRn

(6) FLWT.FLWT[2:0]への無効な書き込みアクセス

下記の条件に当てはまる場合、FLWT.FLWT[2:0]ビットに 000b 以外の値を書き込まないでください。

［条件］

- SOPCCR.SOPCM = 1（Subosc-speed モード）

(7) PRCR.PRC1 ビットが 0 の場合の無効な書き込みアクセス

PRCR.PRC1 ビットが 0 の場合、下記のレジスタに書き込まないでください。

［レジスタ］

- SBYCR、SNZCR、SNZEDCRn、SNZREQCRn、OPCCR、SOPCCR、DPSBYCR、DPSWCR、DPSIERn、DPSIFRn、DPSIGRn、SYOCDCR

(8) PRCR.PRC4 ビットが 0 の場合の無効な書き込みアクセス

PRCR.PRC4 ビットが 0 の場合、下記のレジスタに書き込まないでください。

［レジスタ］

- LPMSAR、DPFSAR

10.10.2 I/O ポートの端子状態

ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、およびスヌーズモード（スヌーズモード時に書き換える場合は除く）における I/O ポートの端子状態は、各モードへ遷移する前と同じです。したがって、High を出力している間、消費電力は低減されません。

10.10.3 DTC、DMAC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DMAC の DMAST.DMST ビットと DTC の DTCST.DTCST ビットを 0 にしてください。詳細は、「15. DMA コントローラ (DMAC)」および「16. データトランスファコントローラ (DTC)」を参照してください。

10.10.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているときに、モジュールストップビットを設定すると、CPU の割り込み要因や DTC または DMAC の起動要因をクリアできません。そのため、事前に対応する割り込みを禁止してから、モジュールストップビットを設定してください。

10.10.5 DIRQnE ビットによる入力バッファ制御

DPSIERy.DIRQnE (y = 0 または 1、n = 0, 1, 4～12, 14)) ビットを 1 にすることで、IRQn-DS (n = 0, 1, 4～12, 14) 端子の入力バッファを有効にできます。これにより、当該端子の入力は DPSIFRy.DIRQnF (y = 0 または 1、n = 0, 1, 4～12, 14)ビットに送られますが、割り込みコントローラ (ICU)、周辺モジュール、および I/O ポートには送られません。

10.10.6 低消費電力モードへの遷移

本 MCU はイベントによるウェイクアップをサポートしていないため、WFE 命令の実行によって低消費電力モード（スリープモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードなど）へ遷移させないでください。また、本 MCU は SLEEPDEEP による低消費電力モードをサポートしていないため、Cortex-M33 コアが内蔵するシステムコントロールレジスタの SLEEPDEEP ビットは設定しないでください。

10.10.7 WFI 命令のタイミング

WFI 命令は、I/O レジスタ領域の書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタへの書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタを読み戻して、書き込みの完了を確認してください。

10.10.8 スリープモード／スヌーズモード時の DTC または DMAC による WDT/IWDT レジスタの書き込みについて

スリープモードやスヌーズモードに遷移すると WDT や IWDT が停止します。停止中は DTC または DMAC によって、WDT または IWDT 関連のレジスタを書き換えないでください。

10.10.9 スヌーズモードにおける発振器について

ソフトウェアスタンバイモードへ遷移して停止した発振器は、スヌーズモードへの切り替えトリガが発生すると、自動的に動作を再開します。すべての発振器が安定するまで、MCU はスヌーズモードへ遷移しません。スヌーズモード時には、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要な発振器を無効にする必要があります。そうしないと、ソフトウェアスタンバイモードからスヌーズモードへの遷移に時間がかかります。

10.10.10 RXD0 の立ち下がりエッジによるスヌーズモードエントリ

SNZCR.RXDREQEN ビットが 1 の場合、SCI0 の UART をスヌーズモードで使用する場合、RXD0 端子の立ち下がりエッジを使用して本 MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えます。この場合、SCI0_ERI、SCI0_RXI、またはアドレス不一致イベントなどの割り込みが、スヌーズモードを解除するための要因として使用されます。ただし、RXD0 端子のノイズが原因で、本 MCU が意図せずソフトウェアスタンバイモードからスヌーズモードへ遷移する場合があります。ノイズ発生後、MCU が RXD0 データを受信しなければ、割り込み（SCI0_ERI、SCI0_RXI など）もアドレス不一致イベントも発生せず、MCU はスヌーズモードを維持します。AGTn (n = 1) アンダーフローの前に UART 受信データが完了しなければ、AGTn (n = 1) アンダーフロー割り込みを使用して、ソフトウェアスタンバイモードまたは通常モードへ復帰するようにしてください。ただし、UART 通信中は、ソフトウェアスタンバイモードへの復帰要因として AGTn (n = 1) アンダーフローを使用しないでください。これにより、UART が中途半端な状態で動作を停止します。

10.10.11 スヌーズモードにおける SCI0 の UART の使用

スヌーズモードで UART を使用する場合、スヌーズ要求（RXD0 端子の立ち下がりエッジ）が WUPEN レジスタにて設定されたウェイクアップ要求と競合しないようにしてください。競合した場合の UART 動作は保証されません。

スヌーズモードで UART を使用する場合は、下記の条件が満たされなければいけません。

- クロックソースは HOCO であること
- MOCO、PLL、メインクロック発振器は、ソフトウェアスタンバイモード遷移前に停止していること
- RXD0 端子は、ソフトウェアスタンバイモード遷移前に High を維持していること
- SCI0 通信中は、ソフトウェアスタンバイモードへの遷移が生じないこと
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC0 ビットが 1 であること

10.10.12 スヌーズモードにおける A/D 変換開始条件

スヌーズモードでは、ELC のみが ADC120 の開始トリガとなれます。ソフトウェアトリガや ADTRGn（n = 0）端子を使用しないでください。

10.10.13 スヌーズモードにおける ELC イベント

本節ではスヌーズモードで使用できる ELC イベントを示します。これ以外のイベントは使用しないでください。スヌーズモードへ遷移後、初めて周辺モジュールを起動する場合は、イベントリンク設定レジスタ (ELSRn) において、スヌーズモードエントリイベント (SYSTEM_SNZREQ) をトリガとして設定する必要があります。

- スヌーズモードエントリ (SYSTEM_SNZREQ)
- DTC 転送終了 (DTC_DTCEND)

- ADC120 ウィンドウ A/B コンペアマッチ (ADC120_WCMPM)
- ADC120 ウィンドウ A/B コンペア不一致 (ADC120_WCMPUM)
- データ演算回路割り込み (DOC_DOPCI)

10.10.14 モジュールストップビット書き込みタイミング

対応するモジュールストップビットの書き込みが完了する前に I/O レジスタへのアクセスを実行することは可能です。この場合、I/O レジスタへのアクセスは意図しない動作を起こす恐れがあります。この問題を避けるには、I/O レジスタにアクセスする前に、モジュールストップビットを読み戻して、書き込みの完了を確認してください。

10.10.15 Sleep-on-exit 機能

低消費電力モードに遷移する方法は 2 つあります。1 つは、WFI 命令であり、もう 1 つは Sleep-on-exit です。Sleep-on-exit を低消費電力モードへの遷移に使う場合、ユーザーズマニュアルハードウェア編に記載の WFI 命令に関するコメントを Sleep-on-exit に適用できます。

10.10.16 低消費電力モードへの遷移中の割り込み

ソフトウェアが「10.10.16.1. 適用条件と注意事項」に示す条件を満たす場合、所望の低消費電力モードに遷移できず、「10.10.16.1. 適用条件と注意事項」に説明する望ましくない状態に遷移することがあります。

「10.10.16.1. 適用条件と注意事項」の注記に示す望ましくない状態を許容できない場合、「10.10.16.2. 回避策」を参照してください。

10.10.16.1 適用条件と注意事項

(1) 適用条件

ソフトウェアスタンバイモードまたはスヌーズモードを使用するために SBYCR.SSBY = 1 に設定した状態では、WFI 命令または SLEEPONEXIT のトリガによりソフトウェアスタンバイモードへの遷移を開始します。

ソフトウェアスタンバイモードに遷移するために指定された間隔（2 ICLK サイクル）の間は、ソフトウェアスタンバイモードから復帰するための割り込み要因ではない以下の割り込み要因のいずれか 1 つが CPU で受け付けられます。

1. SysTick 割り込み（以下のすべてが適用可能）
   - 割り込みベクタテーブルの例外番号 15
   - 割り込み要求は、基本優先順位マスクレジスタ (BASEPRI) でマスクされません。（BASEPARI = 0 または BASEPRI > SHPR3.PRI_15）
2. ソフトウェアスタンバイモードからの復帰のための割り込み要因でないマスカブル割り込み要求（以下のすべてが適用可能）
   - ソフトウェアスタンバイモードからの復帰のために許可されていない割り込みベクタの表の例外番号 16～79 の WUPEN
   - 割り込み要求は、割り込み許可セットレジスタ (NVIC_ISERn) で許可されます。
   - 割り込み要求は、基本優先順位マスクレジスタ (BASEPRI) でマスクされません。（BASEPARI = 0 または BASEPRI > NVIC_IPRn.PRI_N）
3. 以下の要因でトリガされるノンマスカブル割り込み要求

   SRAM パリティエラー

   SRAM ECC エラー

   バスマスタ MPU エラー

   TrustZone フィルタエラー

(2) 備考

上記の条件を満たす場合、MCU は以下の望ましくない状態に遷移します。これらの望ましくない状態は、リセットまたはソフトウェアスタンバイモードからの復帰のための割り込み要因の割り込み要求で通常モードに復帰することにより解決します。

1. ソフトウェアスタンバイモード (SBYCR.SSBY = 1, SNZCR.SNZE = 0) に遷移するとき
   CPU クロックのみが停止し、かつソフトウェアスタンバイモードに遷移する前に残っているクロックが動作を継続している場合。
   - ソフトウェアスタンバイモードへの遷移を開始する前に、設定によって、タイマまたはほかの周辺機能が動作を継続し、周辺機能に関係する割り込み要求が発生する場合。
   - IWDT と WDT クロック停止機能が無効であるため、設定によって、ソフトウェアスタンバイモードへの遷移を開始する前に IWDT と WDT に対するリセットまたは割り込みが発生する場合。
   - IR フラグ (IELSRn, DELSRn) で割り込み要求が発生する場合。
2. スヌーズモード (SBYCR.SSBY = 1, SNZCR.SNZE = 1) に遷移するとき
   スヌーズモードへの遷移が不可能で、かつ「(1) ソフトウェアスタンバイモードに遷移するとき」に示す状態が続いている場合。
   スヌーズモードから割り込み要因 (SELSR0) で通常モードへの復帰は、DTC 動作が無効であるときにスヌーズモードから復帰するための割り込み要求 (SELSR0) を発生できるかどうかによります。
   スヌーズモードで DTC 動作が無効 (SNZCR.SNZDTCEN = 0) である場合、スヌーズモードから復帰するための割り込み要因 (SELSR0) を発生できるため、通常モードへ復帰できます。
   スヌーズモードで DTC 動作が有効 (SNZCR.SNZDTCEN = 1) である場合、スヌーズモードから復帰するための割り込み要因 (SELSR0) を発生できないため、通常モードへ復帰できません。

10.10.16.2 回避策

(1) 回避策

上記の望ましくない状態を回避するため、ソフトウェアスタンバイモードまたはスヌーズモードへの遷移の条件に一致する前に以下を適用してください。(設定手順については、「ソフトウェアスタンバイモードまたはスヌーズモードへの遷移に関する設定手順」を参照してください。)

1. SysTick 割り込み要求を禁止してください。
   割り込みベクタテーブルの例外番号 15
2. ソフトウェアスタンバイモードからの復帰のための割り込み要因でないマスカブル割り込み要求を禁止してください。
   WUPEN がソフトウェアスタンバイモードからの復帰を許可しない割り込みベクタテーブル例外番号 16～111
3. 以下の要因によりノンマスカブル割り込みがトリガされないようにするため、CPU 以外のバスマスタからのアクセスを停止してください。

   SRAM パリティエラー

   SRAM ECC エラー

   バスマスタ MPU エラー

   TrustZone フィルタエラー

(2) ソフトウェアスタンバイモードまたはスヌーズモードへの遷移に関する設定手順

この項では、望ましくない状態を回避するための手順を説明します。

ソフトウェアスタンバイモードまたはスヌーズモードから復帰した後の割り込み要求の取り扱いは、マスカブル割り込み要求を禁止するための方法によって異なります。どちらか一方を適用する必要があります。

- 手順 A：マスカブル割り込み要求の受け入れを禁止してください。
  割り込み要求受け入れを禁止している時に発生する割り込み要求は破棄されます。

表 10.13 ソフトウェアスタンバイモードまたはスヌーズモードへの遷移の前

手順	説明
1	CPU 以外のバスマスタからのバスアクセスを停止してください。(注1)
2	SysTick 割り込み要求を禁止してください。(注2)
3	ソフトウェアスタンバイモードからの復帰のための割り込み要因でないマスカブル割り込み要求を禁止するために、ICU の IELSRn をクリアしてください。
4	ICU の IELSRn がクリアされたことを確認するために、ICU の IELSRn を読み出してください。
5	ソフトウェアスタンバイモードへの遷移（WFI 命令、SLEEPONEXIT）

注 1. SRAM パリティエラー割り込み、SRAM ECC エラー割り込み、MPU バスマスタエラー割り込み、MPU バススレーブエラー割り込み、または TrustZone フィルタエラー割り込みがノンマスカブル割り込みとして許可されます。
注 2. SysTick 割り込み要求を禁止すると、最新の SysTick 割り込み要求を発生せずに SysTick タイマ 1 サイクル分 SysTick 割り込み要求が遅延することがあります。

表 10.14 ソフトウェアスタンバイモードまたはスヌーズモードからの復帰後

手順	説明
1	SysTick 割り込み要求を許可してください。
2	ソフトウェアスタンバイモードからの復帰のための割り込み要因でないマスカブル割り込み要求を許可するために、ICU の IELSRn を設定してください。
3	CPU 以外のバスマスタからのバスアクセスを許可してください。

- 手順 B：マスカブル割り込み要求を禁止してください。
割り込み要求を禁止している間に発生した割り込み要求は IELSRn.IR フラグに保持されます。したがって、ソフトウェアスタンバイモードまたはスヌーズモードからの復帰し、マスカブル割り込みを許可した後、その割り込みを処理できるようになります。

表 10.15 ソフトウェアスタンバイモードまたはスヌーズモードへの遷移の前

手順	説明
1	CPU 以外のバスマスタからのバスアクセスを停止してください。(注1)
2	SysTick 割り込み要求を禁止してください。(注2)
3	ソフトウェアスタンバイモードからの復帰のための割り込み要因でないマスカブル割り込み要求を禁止するために、CPU の NVIC_ICERn の対応するビットに 1 を書き込んでください。
4	データ同期バリア (DSB) 命令を実行してください。
5	ソフトウェアスタンバイモードへの遷移（WFI 命令、SLEEPONEXIT）

注 1. SRAM パリティエラー割り込み、SRAM ECC エラー割り込み、MPU バスマスタエラー割り込み、MPU バススレーブエラー割り込み、または TrustZone フィルタエラー割り込みがノンマスカブル割り込みとして許可されます。
注 2. SysTick 割り込み要求を禁止すると、最新の SysTick 割り込み要求を発生せずに SysTick タイマ 1 サイクル分 SysTick 割り込み要求が遅延することがあります。

表 10.16 ソフトウェアスタンバイモードまたはスヌーズモードからの復帰後

手順	説明
1	SysTick 割り込み要求を許可してください。
2	ソフトウェアスタンバイモードからの復帰のための割り込み要因でないマスカブル割り込み要求を許可するために、CPU の NVIC_ISERn の対応するビットに 1 を書き込んでください。
3	CPU 以外のバスマスタからのバスアクセスを許可してください。

11. レジスタライトプロテクション

11.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ (PRCR) で設定します。

表 11.1 に PRCR レジスタのビットと保護されるレジスタの対応関係を示します。

表 11.1 PRCR レジスタのビットと保護されるレジスタの対応関係

PRCR レジスタ	保護されるレジスタ
PRC0	• クロック発生回路に関連するレジスタ： SCKDIVCR, SCKSCR, PLLCCR, PLLCR, MOSCCR, HOCOCR, HOCOCR2, MOCOCR, FLLCR1, FLLCR2, CKOCR, OSTDCR, OSTDSR, MOCOUTCR, HOCOUTCR, USBCKDIVCR, I3CCKDIVCR, CANFDCKDIVCR, CECCKDIVCR, USBCKCR, I3CCKCR, CANFDCKCR, CECCKCR, MOSCWTCR, MOMCR, SOSCCR, SOMCR, LOCOCR, LOCOUTCR
PRC1	• 低消費電力モードに関連するレジスタ： SBYCR, SNZCR, SNZEDCR0, SNZEDCR1, SNZREQCR0, SNZREQCR1, OPCCR, SOPCCR, DPSBYCR, DPSWCR, DPSIER0-3, DPSIFR0-3, DPSIEGR0-2, SYOCDCR
PRC3	• LVD に関連するレジスタ： LVD1CR1, LVD1SR, LVD2CR1, LVD2SR, LVD1CMPCR, LVD2CMPCR, LVD1CR0, LVD2CR0
PRC4	• セキュリティ機能に関連するレジスタ： CGFSAR, RSTSAR, LPMSAR, LVDSAR, DPFSAR, CSAR, SRAMSAR, STBRAMSAR, DTCSAR, DMACSAR, ICUSARx, BUSSARx, MMPUSARx, TZFSAR, CPUDSAR, FSAR, PSARx, MSSAR, PmSAR, ELCSARx, CFSAMONx, DFSAMON, SSAMONx

11.2 レジスタの説明

11.2.1 PRCR : プロテクトレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x3FE

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	—	PRC4	PRC3	—	PRC1	PRC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRC0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
1	PRC1	低消費電力モード関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	PRC3	LVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
4	PRC4	セキュリティ機能関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	PRC キーコード PRCR レジスタへの書き込みを制御します。PRCR レジスタを書き換える場合、上位 8 ビットに 0xA5、下位 8 ビットに任意の値を、16 ビット単位で書いてください。	W

PRCn ビット（プロテクトビット n）(n = 0, 1, 3, 4)

PRCn ビットによって、表 11.1 に記載されているレジスタの書き込みを許可または禁止します。PRCn ビットを 1 にすると書き込み許可になり、0 にすると書き込み禁止になります。

PRCR と PRCR に制御されるレジスタが連続的に書き込みされる場合、PRC4 により制御されるレジスタは PRC4 の変更を反映しない可能性があります。連続的な書き込みを避けるか、または PRC4 の変更後に PRCR を読み出してから、PRC4 で制御されるレジスタに書き込みをしてください。

12. 割り込みコントローラユニット (ICU)

12.1 概要

割り込みコントローラユニット (ICU) は、ネスト型ベクタ割り込みコントローラ (NVIC)、DMA コントローラ (DMAC)、およびデータトランスファコントローラ (DTC) モジュールにリンクされるイベント信号を制御します。ICU はノンマスカブル割り込みも制御します。

表 12.1 に ICU の仕様、図 12.1 に ICU のブロック図、表 12.2 に ICU の入出力端子を示します。

表 12.1 ICU の仕様

項目		内容
マスカブル割り込み	周辺機能割り込み	• 周辺モジュールからの割り込み 要因数： 150（イベントリスト番号 32～511 から要因を選択）
	外部端子割り込み	• 割り込み検出：Low レベル(注4)、立ち下がりエッジ、立ち上がりエッジ、両エッジ。要因ごとに設定可能 • デジタルフィルタ機能 • 15 要因（IRQi (i = 0～14) 端子からの割り込み）
	CPU (NVIC) への割り込み要求	• 96 本の割り込み要求を NVIC に対して出力
	DMAC 制御	• 割り込み要因によって DMAC の起動が可能(注1) • DMAC の全チャネル個別に対象の割り込み要因を選択可能
	DTC 制御	• 割り込み要因によって DTC の起動が可能(注1) • 割り込み要因の選択方式は、NVIC への割り込み要求と同一
ノンマスカブル割り込み(注2)	NMI 端子割り込み	• NMI 端子からの割り込み • 割り込み検出：立ち下がりエッジまたは立ち上がりエッジ • デジタルフィルタ機能
	WDT アンダーフロー／リフレッシュエラー(注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDT アンダーフロー／リフレッシュエラー(注3)	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	低電圧検出 1(注3)	電圧監視 1 回路の電圧監視 1 割り込み (LVD_LVD1)
	低電圧検出 2(注3)	電圧監視 2 回路の電圧監視 2 割り込み (LVD_LVD2)
	RPEST(注5)	SRAM パリティエラー発生時の割り込み
	RECCST(注5)	SRAM ECC エラー発生時の割り込み
	TZFST(注5)	TrustZone フィルタエラー発生時の割り込み
	CPEST(注5)	キャッシュ RAM パリティエラー発生時の割り込み
	発振停止検出割り込み(注3)	メイン発振器の停止を検出したときの割り込み
	バスマスタ MPU エラー(注5)	バスマスタ MPU エラー割り込み
低消費電力モード		• スリープモード：ノンマスカブル割り込みまたはその他の割り込み要因によって復帰 • ソフトウェアスタンバイモード：ノンマスカブル割り込みによって復帰。WUPEN レジスタで割り込みの選択が可能 • スヌーズモード：ノンマスカブル割り込みによって復帰。SELSR0 および WUPEN レジスタで割り込みの選択が可能 「12.2.17. SELSR0 : SYS イベントリンク設定レジスタ」と「12.2.18. WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0」，「12.2.19. WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1」を参照してください。
TrustZone フィルタ		使用可能

注 1. DMAC と DTC の起動要因については、表 12.4 を参照してください。
注 2. リセット解除後に 1 回だけノンマスカブル割り込みを許可することができます。
注 3. これらのノンマスカブル割り込みは、マスカブル割り込みとしても使用可能です。マスカブル割り込みとして使用する場合、NMIER レジスタの値をリセット状態から変更しないでください。電圧監視 1 と電圧監視 2 の割り込みを許可するには、LVD1CR1.IRQSEL ビットと LVD2CR1.IRQSEL ビットを 1 にしてください。

注 4. Low レベルが一度検出されると、IELSRn の IR フラグがリセットされ続けるので、IR フラグをクリアしなければ、割り込み要求はクリアされません。
注 5. これらのノンマスカブル割り込み要因は、要求されたソースクロックが低消費電力モード中に停止した場合は、復元できません。

図 12.1 に ICU のブロック図を示します。

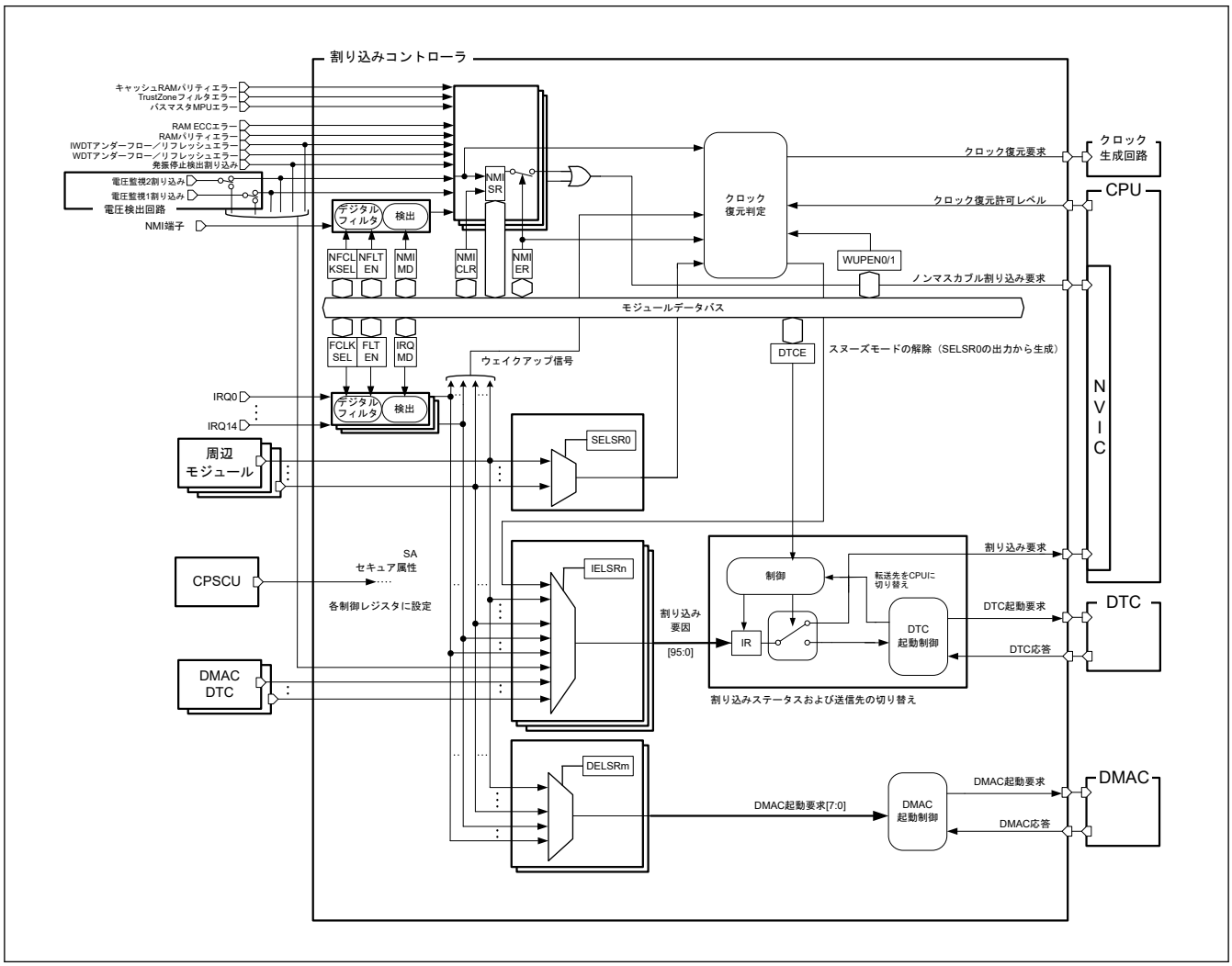


図 12.1 ICU のブロック図

表 12.2 に ICU の入出力端子を示します。

表 12.2 ICU の入出力端子

端子名	入出力	内容
NMI	入力	ノンマスカブル割り込み要求端子
IRQi (i = 0～14)	入力	外部割り込み要求端子

12.2 レジスタの説明

本章では、ARM® NVIC の内部レジスタについては説明していません。これらのレジスタについては、ARM Limited., ARM® Cortex®-M33 Processor Technical Reference Manual (ARM 100230)を参照してください。

12.2.1 ICUSARA : 割り込みコントローラセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	SAIRQ CR14	SAIRQ CR13	SAIRQ CR12	SAIRQ CR11	SAIRQ CR10	SAIRQ CR9	SAIRQ CR8	SAIRQ CR7	SAIRQ CR6	SAIRQ CR5	SAIRQ CR4	SAIRQ CR3	SAIRQ CR2	SAIRQ CR1	SAIRQ CR0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
14:0	SAIRQCR14～SAIRQCR0	IRQCRn レジスタのためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SAIRQCRn ビット（IRQCRn レジスタのためのレジスタのセキュリティ属性）

対象レジスタは以下です。

- IRQCR0～IRQCR14 レジスタ
- WUPEN0.IRQWUPEN[14:0]ビット

12.2.2 ICUSARB : 割り込みコントローラセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000_8000

Offset address: 0x44

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SANMI
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	SANMI	ノンマスカブル割り込みのためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SANMI ビット（ノンマスカブル割り込みのためのレジスタのセキュリティ属性）

SANMI ビットはノンマスカブル割り込みのためのレジスタのセキュリティ属性を指定します。対象のレジスタを以下に示します。

- NMIER
- NMICLR
- NMICR

ARM CPU のアプリケーション割り込みおよびリセットコントロールレジスタの AIRCR.BFHFNMINS（ビット 13）の値は、セキュリティ属性の値と同じである必要があります。AIRCR.BFHFNMINS ビットと SANMI ビットの初期値は異なります。AIRCR.BFHFNMINS ビットはセキュア、SANMI ビットは非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

注. ノンマスカブル割り込み関連のレジスタのセキュリティ属性には、セキュアか非セキュアのいずれか一方のみ設定できます。セキュア属性をセキュアとしてプログラムすると、常にセキュア割り込みハンドラにジャンプします。いずれかのノンマスカブル割り込み要因を非セキュアユーザーに解放する必要がある場合は、セキュア用割り込みハンドラから非セキュアプログラムを実行する関数を準備してください。

12.2.3 ICUSARC : 割り込みコントローラセキュリティ属性レジスタ C

Base address: CPSCU = 0x4000_8000

Offset address: 0x48

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SADMAC7	SADMAC6	SADMAC5	SADMAC4	SADMAC3	SADMAC2	SADMAC1	SADMAC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	SADMAC7～SADMAC0	DMAC チャネルのためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:8	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SADMACn ビット（DMAC チャネルのためのレジスタのセキュリティ属性）

SADMACn ビットは DMAC チャネルのためのレジスタのセキュリティ属性を指定します。本レジスタは ICU および DMAC のレジスタのセキュリティ属性を指定します。

ICU の対象レジスタは以下です。

- DELSRn

DMAC の対象レジスタは以下です。

- DMACn.DMSAR
- DMACn.DMSRR
- DMACn.DMDAR
- DMACn.DMDRR
- DMACn.DMCRA
- DMACn.DMCRB
- DMACn.DMTMD
- DMACn.DMINT

- DMACn.DMAMD
- DMACn.DMOFR
- DMACn.DMCNT
- DMACn.DMREQ
- DMACn.DMSTS
- DMACn.DMSBS
- DMACn.DMDBS

DMAC のレジスタの詳細については、「15. DMA コントローラ (DMAC)」を参照してください。

12.2.4 ICUSARD : 割り込みコントローラセキュリティ属性レジスタ D

Base address: CPSCU = 0x4000_8000

Offset address: 0x4C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SASELSR0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	SASELSR0	SELSR0 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

12.2.5 ICUSARE : 割り込みコントローラセキュリティ属性レジスタ E

Base address: CPSCU = 0x4000_8000

Offset address: 0x50

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	SAAGT1CBWUP	SAAGT1CAWUP	SAAGT1UDWUP	SAUSBFS0WUP	—	SARTCPRDWUP	SARTCALMWUP	—	—	—	—	SALVD2WUP	SALVD1WUP	—	SAIWDTWUP
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	SAIWDTWUP	WUPEN0.b16 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
18	SALVD1WUP	WUPEN0.b18 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
19	SALVD2WUP	WUPEN0.b19 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
23:20	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
24	SARTCALMWUP	WUPEN0.b24 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
25	SARTCPRDWUP	WUPEN0.b25 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
26	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
27	SAUSBFS0WUP	WUPEN0.b27 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
28	SAAGT1UDWUP	WUPEN0.b28 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
29	SAAGT1CAWUP	WUPEN0.b29 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
30	SAAGT1CBWUP	WUPEN0.b30 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

12.2.6 ICUSARF : 割り込みコントローラセキュリティ属性レジスタ F

Base address: CPSCU = 0x4000_8000

Offset address: 0x54

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	SAI3C WUP	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
10:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	SAI3CWUP	WUPEN1.b11 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:12	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

12.2.7 ICUSARG : 割り込みコントローラセキュリティ属性レジスタ G

Base address: CPSCU = 0x4000_8000

Offset address: 0x70

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR31	SAIELSR30	SAIELSR29	SAIELSR28	SAIELSR27	SAIELSR26	SAIELSR25	SAIELSR24	SAIELSR23	SAIELSR22	SAIELSR21	SAIELSR20	SAIELSR19	SAIELSR18	SAIELSR17	SAIELSR16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR15	SAIELSR14	SAIELSR13	SAIELSR12	SAIELSR11	SAIELSR10	SAIELSR9	SAIELSR8	SAIELSR7	SAIELSR6	SAIELSR5	SAIELSR4	SAIELSR3	SAIELSR2	SAIELSR1	SAIELSR0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	SAIELSR31～SAIELSR0	IELSR31～IELSR0 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SAIELSRn ビット（IELSR31～IELSR0 のためのレジスタのセキュリティ属性）

ARM CPU NVIC で管理するセキュア属性は、IELSEn (n = 0～31) のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS0[31:0]にあります。NVIC_ITNS0 と ICUSARG の初期値は異なります。NVIC_ITNS0 はセキュア、ICUSARG は非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

12.2.8 ICUSARH : 割り込みコントローラセキュリティ属性レジスタ H

Base address: CPSCU = 0x4000_8000

Offset address: 0x74

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR63	SAIELSR62	SAIELSR61	SAIELSR60	SAIELSR59	SAIELSR58	SAIELSR57	SAIELSR56	SAIELSR55	SAIELSR54	SAIELSR53	SAIELSR52	SAIELSR51	SAIELSR50	SAIELSR49	SAIELSR48
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR47	SAIELSR46	SAIELSR45	SAIELSR44	SAIELSR43	SAIELSR42	SAIELSR41	SAIELSR40	SAIELSR39	SAIELSR38	SAIELSR37	SAIELSR36	SAIELSR35	SAIELSR34	SAIELSR33	SAIELSR32
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	SAIELSR63～SAIELSR32	IELSR63～IELSR32 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SAIELSRn ビット（IELSR63～IELSR32 のためのレジスタのセキュリティ属性）

ARM CPU NVIC で管理するセキュア属性は、IELSEn (n = 32～63) のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS1[31:0]にあります。NVIC_ITNS1 と ICUSARH の初期値は異なりま

す。NVIC_ITNS1 はセキュア、ICUSARH は非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

12.2.9 ICUSARI : 割り込みコントローラセキュリティ属性レジスタ I

Base address: CPSCU = 0x4000_8000

Offset address: 0x78

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SAIELSR95	SAIELSR94	SAIELSR93	SAIELSR92	SAIELSR91	SAIELSR90	SAIELSR89	SAIELSR88	SAIELSR87	SAIELSR86	SAIELSR85	SAIELSR84	SAIELSR83	SAIELSR82	SAIELSR81	SAIELSR80
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SAIELSR79	SAIELSR78	SAIELSR77	SAIELSR76	SAIELSR75	SAIELSR74	SAIELSR73	SAIELSR72	SAIELSR71	SAIELSR70	SAIELSR69	SAIELSR68	SAIELSR67	SAIELSR66	SAIELSR65	SAIELSR64
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	SAIELSR95～SAIELSR64	IELSR95～IELSR64 のためのレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SAIELSRn ビット（IELSR95～IELSR64 のためのレジスタのセキュリティ属性）

ARM CPU NVIC で管理するセキュア属性は、IELSEn (n = 64～95) のセキュリティ属性と一致している必要があります。NVIC の内部レジスタは、NVIC_ITNS2[31:0]にあります。NVIC_ITNS2 と ICUSARI の初期値は異なります。NVIC_ITNS2 はセキュア、ICUSARI は非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

12.2.10 IRQCRi : IRQ コントロールレジスタ i (i = 0～14)

Base address: ICU = 0x4000_6000

Offset address: 0x000 + 0x1 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FLTEN	—	FCLKSEL[1:0]		—	—	IRQMD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	IRQMD[1:0]	IRQi 検出センス選択 0 0: 立ち下がりエッジ 0 1: 立ち上がりエッジ 1 0: 両エッジ 1 1: Low レベル	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	FCLKSEL[1:0]	IRQi デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	FLTEN	IRQi デジタルフィルタ有効 0: 無効 1: 有効	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

IRQCRi レジスタの変更には、以下の条件があります。

- CPU 割り込みまたは DTC 起動要因の場合：
  IRQCRi レジスタの設定を変更してから、対象の IELSRn レジスタ (n = 0～95) を設定する必要があります。対象の IELSRn レジスタが 0x0000 の場合にのみ、レジスタ値の変更が可能です。
- DMAC 起動要因の場合：
  IRQCRi レジスタの設定を変更してから、対象の DELSRn レジスタ (n = 0～7) を設定する必要があります。対象の DELSRn レジスタが 0x0000 の場合にのみ、レジスタ値の変更が可能です。
- ウェイクアップ許可信号の場合：
  IRQCRi レジスタの設定を変更してから、対象の WUPEN0.IRQWUPEN[n] (n = 0～14) ビットを設定する必要があります。対象の WUPEN0.IRQWUPEN[n]ビットが 0 の場合に、レジスタ値の変更が可能です。

IRQMD[1:0]ビット（IRQi 検出センス選択）

IRQMD[1:0]ビットは IRQi 外部端子割り込み要因の検出センシング方法を設定します。外部端子割り込み使用時の設定方法については、「12.5.6. 外部端子割り込みの設定手順」を参照してください。

FCLKSEL[1:0]ビット（IRQi デジタルフィルタサンプリングクロック選択）

FCLKSEL[1:0]ビットは IRQi 外部端子割り込み要求端子用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB（1 サイクルごと）
- PCLKB/8（8 サイクルごと）
- PCLKB/32（32 サイクルごと）
- PCLKB/64（64 サイクルごと）

デジタルフィルタの詳細は、「12.5.5. デジタルフィルタ」を参照してください。

FLTEN ビット（IRQi デジタルフィルタ有効）

FLTEN ビットは IRQi 外部端子割り込み要因に使用されるデジタルフィルタを有効にします。デジタルフィルタは IRQCRi.FLTEN ビットが 1 の場合に有効で、IRQCRi.FLTEN ビットが 0 の場合に無効です。IRQi の端子レベルは IRQCRi.FCLKSEL[1:0]ビットで指定されるクロックサイクルでサンプリングされます。サンプリングレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細は、「12.5.5. デジタルフィルタ」を参照してください。

12.2.11 NMISR : ノンマスカブル割り込みステータスレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x140

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPEST	—	TZFST	—	BUSMST	—	RECCST	RPEST	NMIST	OSTST	—	—	LVD2ST	LVD1ST	WDTST	IWDTST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTST	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
1	WDTST	WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
2	LVD1ST	電圧監視 1 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
3	LVD2ST	電圧監視 2 割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
5:4	—	読むと 0 が読めます。	R
6	OSTST	メインクロック発振停止検出割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
7	NMIST	NMI 端子割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
8	RPEST	SRAM パリティエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
9	RECCST	SRAM ECC エラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
10	—	読むと 0 が読めます。	R
11	BUSMST	バスマスタ MPU エラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
12	—	読むと 0 が読めます。	R
13	TZFST	TrustZone フィルタエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R
14	—	読むと 0 が読めます。	R
15	CPEST	キャッシュ RAM パリティエラー割り込みステータスフラグ 0: 割り込み要求なし 1: 割り込み要求あり	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスカブル割り込みイネーブルレジスタ (NMIER) の設定は、このレジスタには影響しません。ノンマスカブル割り込みの処理ルーチンでは、本レジスタの全ビットが 0 になっていることをチェックして、他の NMI 要求が発生していないことを確認してから、処理を終了してください。

IWDTST フラグ（IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ）

IWDTST フラグは IWDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。

[1 になる条件]

IWDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.IWDTCLR ビットに 1 を書いたとき

WDTST フラグ（WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグ）

WDTST フラグは WDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.WDTCLR ビットでクリアされます。

[1 になる条件]

WDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

[0 になる条件]

NMICLR.WDTCLR ビットに 1 を書いたとき

LVD1ST フラグ（電圧監視 1 割り込みステータスフラグ）

LVD1ST フラグは電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD1CLR ビットでクリアされます。

[1 になる条件]

電圧監視 1 割り込みが発生し、この割り込み要因が許可されたとき

[0 になる条件]

NMICLR.LVD1CLR ビットに 1 を書いたとき

LVD2ST フラグ（電圧監視 2 割り込みステータスフラグ）

LVD2ST フラグは電圧監視 2 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD2CLR ビットでクリアされます。

[1 になる条件]

電圧監視 2 割り込みが発生し、この割り込み要因が許可されたとき

[0 になる条件]

NMICLR.LVD2CLR ビットに 1 を書いたとき

OSTST フラグ（メインクロック発振停止検出割り込みステータスフラグ）

OSTST フラグはメインクロック発振停止検出割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.OSTCLR ビットでクリアされます。

[1 になる条件]

メインクロック発振停止検出割り込みが発生したとき

[0 になる条件]

NMICLR.OSTCLR ビットに 1 を書いたとき

NMIST フラグ（NMI 端子割り込みステータスフラグ）

NMIST フラグは NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMICLR ビットでクリアされます。

[1 になる条件]

NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

[0 になる条件]

NMICLR.NMICLR ビットに 1 を書いたとき

RPEST フラグ（SRAM パリティエラー割り込みステータスフラグ）

RPEST フラグは SRAM パリティエラー割り込み要求を示します。

[1 になる条件]

SRAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RPECLR ビットに 1 を書いたとき

RECCST フラグ（SRAM ECC エラー割り込みステータスフラグ）

RECCST フラグは SRAM ECC エラー割り込み要求を示します。

[1 になる条件]

SRAM ECC エラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RECCCLR ビットに 1 を書いたとき

BUSMST フラグ（バスマスタ MPU エラー割り込みステータスフラグ）

BUSMST フラグはバスマスタエラー割り込み要求を示します。

[1 になる条件]

バスマスタエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.BUSMCLR ビットに 1 を書いたとき

TZFST フラグ（TrustZone フィルタエラー割り込みステータスフラグ）

本フラグは TrustZone フィルタエラー割り込み要求を示します。

[1 になる条件]

TrustZone フィルタエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.TZFCLR ビットに 1 を書いたとき

CPEST フラグ（キャッシュ RAM パリティエラー割り込みステータスフラグ）

本フラグはキャッシュ RAM パリティエラー割り込み要求を示します。

[1 になる条件]

キャッシュ RAM パリティエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.CPECLR ビットに 1 を書いたとき

12.2.12 NMIER : ノンマスカブル割り込みイネーブルレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x120

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPEEN	—	TZFEN	—	BUSMEN	—	RECCEN	RPEEN	NMIEN	OSTEN	—	—	LVD2EN	LVD1EN	WDTEN	IWDTEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTEN	IWDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)
1	WDTEN	WDT アンダーフロー／リフレッシュエラー割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)
2	LVD1EN	電圧監視 1 割り込み許可 0: 禁止 1: 許可	R/W(注1) (注2)

ビット	シンボル	機能	R/W
3	LVD2EN	電圧監視 2 割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OSTEN	メインクロック発振停止検出割り込み許可 0: 禁止 1: 許可	R/W(注1)(注2)
7	NMIEN	NMI 端子割り込み許可 0: 禁止 1: 許可	R/W(注1)
8	RPEEN	SRAM パリティエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
9	RECCEN	SRAM ECC エラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	BUSMEN	バスマスタ MPU エラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	TZFEN	TrustZone フィルタエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)
14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	CPEEN	キャッシュ RAM パリティエラー割り込み許可 0: 禁止 1: 許可	R/W(注1)

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. リセット後、本ビットに 1 回だけ 1 を書き込むことが可能です。以後のライトアクセスは無効です。0 の書き込みは無効です。
注 2. イベント信号として使用する場合、1 にしないでください。

IWDTEN ビット（IWDT アンダーフロー／リフレッシュエラー割り込み許可）

IWDTEN ビットは、NMI の起動要因となる IWDT アンダーフロー／リフレッシュエラー割り込みを許可します。

WDTEN ビット（WDT アンダーフロー／リフレッシュエラー割り込み許可）

WDTEN ビットは、NMI の起動要因となる WDT アンダーフロー／リフレッシュエラー割り込みを許可します。

LVD1EN ビット（電圧監視 1 割り込み許可）

LVD1EN ビットは、NMI の起動要因となる電圧監視 1 割り込みを許可します。

LVD2EN ビット（電圧監視 2 割り込み許可）

LVD2EN ビットは、NMI の起動要因となる電圧監視 2 割り込みを許可します。

OSTEN ビット（メインクロック発振停止検出割り込み許可）

OSTEN ビットは、NMI の起動要因となるメインクロック発振停止検出割り込みを許可します。

NMIEN ビット（NMI 端子割り込み許可）

NMIEN ビットは、NMI の起動要因となる NMI 端子割り込みを許可します。

RPEEN ビット（SRAM パリティエラー割り込み許可）

RPEEN ビットは、NMI の起動要因となる SRAM パリティエラー割り込みを許可します。

RECCEN ビット（SRAM ECC エラー割り込み許可）

RECCEN ビットは、NMI の起動要因となる SRAM ECC エラー割り込みを許可します。

BUSMEN ビット（バスマスタ MPU エラー割り込み許可）

BUSMEN ビットは、NMI の起動要因となるバスマスタエラー割り込みを許可します。

TZFEN ビット（TrustZone フィルタエラー割り込み許可）

TZFEN ビットは、NMI の起動要因となる TrustZone フィルタエラー割り込みを許可します。

CPEEN ビット（キャッシュ RAM パリティエラー割り込み許可）

CPEEN ビットは、NMI の起動要因となるキャッシュ RAM パリティエラー割り込みを許可します。

12.2.13 NMICLR : ノンマスカブル割り込みステータスクリアレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x130

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CPECLR	—	TZFCLR	—	BUSMCLR	—	RECCCLR	RPECLR	NMICLR	OSTCLR	—	—	LVD2CLR	LVD1CLR	WDTCLR	IWDTCLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IWDTCLR	IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.IWDTST フラグをクリア	R/W(注1)
1	WDTCLR	WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.WDTST フラグをクリア	R/W(注1)
2	LVD1CLR	電圧監視 1 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.LVD1ST フラグをクリア	R/W(注1)
3	LVD2CLR	電圧監視 2 割り込みステータスフラグクリア 0: 影響なし 1: NMISR.LVD2ST フラグをクリア	R/W(注1)
5:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OSTCLR	発振停止検出割り込みステータスフラグクリア 0: 影響なし 1: NMISR.OSTST フラグをクリア	R/W(注1)
7	NMICLR	NMI 端子割り込みステータスフラグクリア 0: 影響なし 1: NMISR.NMIST フラグをクリア	R/W(注1)
8	RPECLR	SRAM パリティエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.RPEST フラグをクリア	R/W(注1)
9	RECCCLR	SRAM ECC エラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.RECCST フラグをクリア	R/W(注1)
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	BUSMCLR	バスマスタ MPU エラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.BUSMST フラグをクリア	R/W(注1)

ビット	シンボル	機能	R/W
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	TZFCLR	TrustZone フィルタエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.TZFCLR フラグをクリア	R/W(注1)
14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	CPECLR	キャッシュ RAM パリティエラー割り込みステータスフラグクリア 0: 影響なし 1: NMISR.CPECLR フラグをクリア	R/W(注1)

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. このビットには 1 のみ書けます。

IWDTCLR ビット（IWDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア）

IWDTCLR ビットに 1 を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと 0 が読めます。

WDTCLR ビット（WDT アンダーフロー／リフレッシュエラー割り込みステータスフラグクリア）

WDTCLR ビットに 1 を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと 0 が読めます。

LVD1CLR ビット（電圧監視 1 割り込みステータスフラグクリア）

LVD1CLR ビットに 1 を書き込むことにより、NMISR.LVD1ST フラグをクリアします。読むと 0 が読めます。

LVD2CLR ビット（電圧監視 2 割り込みステータスフラグクリア）

LVD2CLR ビットに 1 を書き込むことにより、NMISR.LVD2ST フラグをクリアします。読むと 0 が読めます。

OSTCLR ビット（発振停止検出割り込みステータスフラグクリア）

OSTCLR ビットに 1 を書き込むことにより、NMISR.OSTST フラグをクリアします。読むと 0 が読めます。

NMICLR ビット（NMI 端子割り込みステータスフラグクリア）

NMICLR ビットに 1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

RPECLR ビット（SRAM パリティエラー割り込みステータスフラグクリア）

RPECLR ビットに 1 を書き込むことにより、NMISR.RPEST フラグをクリアします。読むと 0 が読めます。

RECCCLR ビット（SRAM ECC エラー割り込みステータスフラグクリア）

RECCCLR ビットに 1 を書き込むことにより、NMISR.RECCST フラグをクリアします。読むと 0 が読めます。

BUSMCLR ビット（バスマスタ MPU エラー割り込みステータスフラグクリア）

BUSMCLR ビットに 1 を書き込むことにより、NMISR.BUSMSST フラグをクリアします。読むと 0 が読めます。

TZFCLR ビット（TrustZone フィルタエラー割り込みステータスフラグクリア）

TZFCLR ビットに 1 を書き込むことにより、NMISR.TZFST フラグをクリアします。読むと 0 が読めます。

CPECLR ビット（キャッシュ RAM パリティエラー割り込みステータスフラグクリア）

CPECLR ビットに 1 を書き込むことにより、NMISR.CPEST フラグをクリアします。読むと 0 が読めます。

12.2.14 NMICR : NMI 端子割り込みコントロールレジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x100

Bit position:	7	6	5	4	3	2	1	0
Bit field:	NFLTEN	—	NFCLKSEL[1:0]		—	—	—	NMIMD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	NMIMD	NMI 検出設定 0: 立ち下がりエッジ 1: 立ち上がりエッジ	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	NFCLKSEL[1:0]	NMI デジタルフィルタサンプリングクロック選択 0 0: PCLKB 0 1: PCLKB/8 1 0: PCLKB/32 1 1: PCLKB/64	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	NFLTEN	NMI デジタルフィルタ有効 0: 無効 1: 有効	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可（NMIER.NMIEN ビットを 1）にしてください。

NMIMD ビット（NMI 検出設定）

NMIMD ビットは NMI 端子割り込みの検出イベントを選択します。

NFCLKSEL[1:0]ビット（NMI デジタルフィルタサンプリングクロック選択）

NFCLKSEL[1:0]ビットは NMI 端子割り込み用のデジタルフィルタサンプリングクロックを選択します。以下から選択可能です。

- PCLKB（1 サイクルごと）
- PCLKB/8（8 サイクルごと）
- PCLKB/32（32 サイクルごと）
- PCLKB/64（64 サイクルごと）

デジタルフィルタの詳細は、「12.5.5. デジタルフィルタ」を参照してください。

NFLTEN ビット（NMI デジタルフィルタ有効）

NFLTEN ビットは、NMI 端子割り込みのデジタルフィルタを有効にします。デジタルフィルタは、NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NFCLKSEL[1:0]ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、「12.5.5. デジタルフィルタ」を参照してください。

12.2.15 IELSRn : ICU イベントリンク設定レジスタ n (n = 0～95)

Base address: ICU = 0x4000_6000

Offset address: 0x300 + 0x4 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	DTCE	—	—	—	—	—	—	—	IR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	IELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	IELS[8:0]	ICU イベントリンク選択 0x00: 対応する NVIC または DTC モジュールへの割り込みは禁止 その他: リンクするイベント信号の番号。詳細は、「12.3.2. イベント番号」を参照してください。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IR	割り込みステータスフラグ 0: 割り込み要求の発生なし 1: 割り込み要求の発生あり	R/W(注1)
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	DTCE	DTC 起動許可 0: DTC 起動禁止 1: DTC 起動許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. 本レジスタはハーフワードアクセスまたはワードアクセスを要求します。

注 1. IR フラグに 1 を書き込まないでください。

IELSRn レジスタは NVIC により使用される IRQi 要因を選択します。詳細は、表 12.3 を参照してください。IELSRn は NVIC IRQ 入力要因番号 (n = 0～95) に対応します。

IELS[8:0] ビット（ICU イベントリンク選択）

IELS[8:0]ビットは、対応する NVIC または DTC モジュールにリンクするイベント信号を指定します。イベント選択肢の組み合わせは、8 グループ（グループ 0～7）に分類されています。詳細は、表 12.3 と表 12.4 を参照してください。

IR フラグ（割り込みステータスフラグ）

IR ステータスフラグは、IELS[8:0]ビットで指定されたイベントからの個別の割り込み要求の有無を示します。

[1 になる条件]

対応する周辺モジュールまたは IRQi 端子から割り込み要求を受信したとき

[0 になる条件]

- 0 を書くことにより、IR フラグは 0 にクリアされます。
- DTCE = 1 のとき、DTC 転送での最終転送終了時以外、IR フラグはハードウェアにより設定およびクリアされます。

最終転送以外の DTC 転送が終了する場合（DTCE ビットは 1 から 0 になる）

DTCE = 1 のとき、IR レジスタに 0 を書き込まないでください。

レベル検出の場合、IR フラグのクリアは以下の手順に従ってください。

1. 入力割り込み信号をネゲートする。
2. 周辺リードアクセスを 1 回実行し、対象モジュールクロックの 2 クロックサイクル分待つ。
3. 0 を書き込んで IR フラグをクリアする。

DTCE ビット（DTC 起動許可）

DTCE ビットを 1 にすると、対応するイベントが DTC 起動要因として選択されます。

[1 になる条件]

- DTCE ビットに 1 を書いたとき

[0 になる条件]

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- DTCE ビットに 0 を書いたとき

注. DTC 転送中のエラー

DTC 転送中にエラー応答が発生すると、DTC はエラーが発生したことを ICU に通知します。ICU は対象の IELSRn (n = 0～95) のすべてのビットをクリアします。対象以外の IELSRn はクリアされません。

注. スヌーズモードにおける DTC 転送エラー

スヌーズモードで DTC 転送エラーが生じると、ICU はウェイクアップ要求を発行します。しかし、割り込み要求は自動的に発行されません。DTC エラー発生時に割り込みを設定する方法については、「16. データトランスファコントローラ (DTC)」を参照してください。

12.2.16 DELSRn : DMAC イベントリンク設定レジスタ n (n = 0～7)

Base address: ICU = 0x4000_6000

Offset address: 0x280 + 0x4 × n

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	DELS[8:0]	DMAC イベントリンク選択 0x00: 対応する DMAC モジュールへの割り込みは禁止 その他: リンクするイベント信号の番号。詳細は、表 12.4 を参照してください。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IR	DMAC 起動要求ステータスフラグ 0: DMAC 起動要求なし 1: DMAC 起動要求あり	R/W(注1)
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. IR フラグに 1 を書き込まないでください。

DELS[8:0]ビット（DMAC イベントリンク選択）

DELS[8:0]ビットは対応する DMAC モジュールへのイベント信号にリンクします。複数の DELSRn レジスタに同じイベント番号を設定しないでください。

IR フラグ（DMAC 起動要求ステータスフラグ）

IR フラグは DMAC 起動要求のステータスフラグです。このフラグは本レジスタの DELS[8:0]ビットに対応します。

[1 になる条件]

本フラグは、対応する周辺モジュールまたは IRQi 端子からの DMAC 起動要求が発生すると、1 になります。

[0 になる条件]

- IR フラグに 0 を書いたとき
- DMAC 起動要求の発生後、DMA 転送が開始したとき

注. IR フラグは DMA 転送終了後に自動的にクリアされます。したがって、アボート発生時以外は 0 を書き込まないでください。0 書き込み時の DMA 転送動作は保証できません。

注. DMAC 転送中のエラー

DMAC 転送中にエラー応答が発生すると、DMAC はエラーが発生したことを ICU に通知します。

ICU は DELSRn（n = 0～7）の対象チャネルのすべてのビットをクリアします。対象チャネル以外の DELSRn はクリアされません。

12.2.17 SELSR0 : SYS イベントリンク設定レジスタ

Base address: ICU = 0x4000_6000

Offset address: 0x200

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	SELS[8:0]	SYS イベントリンク選択 0x00: 対応する低消費電力モードのモジュールへのイベント出力無効 その他: リンクするイベント信号の番号。詳細は、表 12.4 を参照してください。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

SELSR0 レジスタでは、CPU をスヌーズモードからウェイクアップさせるためのイベントを選択します。使用できるイベントは、表 12.4 の「スヌーズモードの解除」に✓マークが入っているイベントだけです。
IELSRn.IELS[8:0]ビットで ICU_SNZCANCEL を選択すると、スヌーズモードを解除する割り込みが発生します。

注. 一連の動作に関連する部分に追加されるセキュリティ属性に対して、セキュリティホールが生成されないようにすべてのセキュリティ属性を一致させてください。

一致させるセキュリティ属性は以下です。
- SELSR0 に設定されるイベント要因
- SELSR0
- イベント No. 45 (ICU_SNZCANCEL) を受信する IELSRn (n = 0～95)
- 前項で指定された割り込みの CPU の NVIC 内部レジスタ
- 割り込みハンドラ

12.2.18 WUPEN0: ウェイクアップ割り込みイネーブルレジスタ 0

Base address: ICU = 0x4000_6000

Offset address: 0x1A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	AGT1CBWUPEN	AGT1CAWUPEN	AGT1UDWUPEN	USBFS0WUPEN	—	RTCPRDWUPEN	RTCALMWUPEN	—	—	—	—	LVD2WUPEN	LVD1WUPEN	—	IWDTWUPEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	IRQWUPEN[14:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	IRQWUPEN[14:0]	IRQn 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 (n = 0～15) 0: IRQn 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: IRQn 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可 (注1)	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	IWDTWUPEN	IWDT 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: IWDT 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: IWDT 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18	LVD1WUPEN	LVD1 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: LVD1 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: LVD1 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
19	LVD2WUPEN	LVD2 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: LVD2 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: LVD2 割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	RTCALMWUPEN	RTC アラーム割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: RTC アラーム割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: RTC アラーム割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
25	RTCPRDWUPEN	RTC 周期割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: RTC 周期割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: RTC 周期割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27	USBFS0WUPEN	USBFS0 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: USBFS0 割り込みソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: USBFS0 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
28	AGT1UDWUPEN	AGT1 アンダーフロー割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: AGT1 アンダーフロー割り込みソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: AGT1 アンダーフロー割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
29	AGT1CAWUPEN	AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W

ビット	シンボル	機能	R/W
30	AGT1CBWUPEN	AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可 0: AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. 説明は、各ビットについて示します。

注. 本レジスタのセキュリティ属性は、ウェイクアップイベントごとに設定されます。
セキュリティホールの発生を避けるため、ウェイクアップの対象イベントと、本ビットに追加されるセキュリティ属性が一致していなければなりません。

12.2.19 WUPEN1 : ウェイクアップ割り込みイネーブルレジスタ 1

Base address: ICU = 0x4000_6000

Offset address: 0x1A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	I3CWUPEN	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	I3CWUPEN	I3C アドレスマッチ割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可 0: I3C アドレスマッチ割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰禁止 1: I3C アドレスマッチ割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可	R/W
31:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

I3CWUPEN ビット（I3C アドレスマッチ割り込みによるソフトウェアスタンバイモード／スヌーズモード復帰許可）

I3CWUPEN は、ソフトウェアスタンバイ復帰要因として I3C 割り込みを使用するかどうかを制御する許可ビットです。

注. 本レジスタのセキュリティ属性は、ウェイクアップイベントごとに設定されます。
セキュリティホールの発生を避けるため、ウェイクアップの対象イベントと、本ビットに追加されるセキュリティ属性が一致していなければなりません。

12.3 ベクタテーブル

ICU は、マスカブル割り込みとノンマスカブル割り込みの 2 種類の割り込みを検出します。割り込み優先順位は Arm NVIC で設定されます。これらのレジスタについての情報は、「12.9. 参考資料」を参照してください。

12.3.1 割り込みベクタテーブル

表 12.3 に割り込みベクタテーブルの内容を示します。割り込みベクタアドレスは、NVIC の仕様に従います。

表 12.3 割り込みベクタテーブル (1/3)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
0	—	0x000	Arm	初期スタックポインタ
1	—	0x004	Arm	初期プログラムカウンタ（リセットベクタ）
2	—	0x008	Arm	ノンマスカブル割り込み (NMI)
3	—	0x00C	Arm	ハード障害
4	—	0x010	Arm	MemManage 障害
5	—	0x014	Arm	バス障害
6	—	0x018	Arm	使用障害
7	—	0x01C	Arm	セキュア障害
8	—	0x020	Arm	予約
9	—	0x024	Arm	予約
10	—	0x028	Arm	予約
11	—	0x02C	Arm	スーパバイザコール (SVCall)
12	—	0x030	Arm	デバッグ監視
13	—	0x034	Arm	予約
14	—	0x038	Arm	システムサービスに対する保留可能な要求 (PendableSrvReq)
15	—	0x03C	Arm	システムティックタイマ (SysTick)
16	0	0x040	ICU.IELSR0	ICU.IELSR0 レジスタで選択されたイベント
17	1	0x044	ICU.IELSR1	ICU.IELSR1 レジスタで選択されたイベント
18	2	0x048	ICU.IELSR2	ICU.IELSR2 レジスタで選択されたイベント
19	3	0x04C	ICU.IELSR3	ICU.IELSR3 レジスタで選択されたイベント
20	4	0x050	ICU.IELSR4	ICU.IELSR4 レジスタで選択されたイベント
21	5	0x054	ICU.IELSR5	ICU.IELSR5 レジスタで選択されたイベント
22	6	0x058	ICU.IELSR6	ICU.IELSR6 レジスタで選択されたイベント
23	7	0x05C	ICU.IELSR7	ICU.IELSR7 レジスタで選択されたイベント
24	8	0x060	ICU.IELSR8	ICU.IELSR8 レジスタで選択されたイベント
25	9	0x064	ICU.IELSR9	ICU.IELSR9 レジスタで選択されたイベント
26	10	0x068	ICU.IELSR10	ICU.IELSR10 レジスタで選択されたイベント
27	11	0x06C	ICU.IELSR11	ICU.IELSR11 レジスタで選択されたイベント
28	12	0x070	ICU.IELSR12	ICU.IELSR12 レジスタで選択されたイベント
29	13	0x074	ICU.IELSR13	ICU.IELSR13 レジスタで選択されたイベント
30	14	0x078	ICU.IELSR14	ICU.IELSR14 レジスタで選択されたイベント
31	15	0x07C	ICU.IELSR15	ICU.IELSR15 レジスタで選択されたイベント
32	16	0x080	ICU.IELSR16	ICU.IELSR16 レジスタで選択されたイベント
33	17	0x084	ICU.IELSR17	ICU.IELSR17 レジスタで選択されたイベント
34	18	0x088	ICU.IELSR18	ICU.IELSR18 レジスタで選択されたイベント

表 12.3 割り込みベクタテーブル (2/3)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
35	19	0x08C	ICU.IELSR19	ICU.IELSR19 レジスタで選択されたイベント
36	20	0x090	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント
37	21	0x094	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	0x098	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	0x09C	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0x0A0	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
41	25	0x0A4	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0x0A8	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0x0AC	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0x0B0	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0x0B4	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0x0B8	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0x0BC	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント
48	32	0x0C0	ICU.IELSR32	ICU.IELSR32 レジスタで選択されたイベント
49	33	0x0C4	ICU.IELSR33	ICU.IELSR33 レジスタで選択されたイベント
50	34	0x0C8	ICU.IELSR34	ICU.IELSR34 レジスタで選択されたイベント
51	35	0x0CC	ICU.IELSR35	ICU.IELSR35 レジスタで選択されたイベント
52	36	0x0D0	ICU.IELSR36	ICU.IELSR36 レジスタで選択されたイベント
53	37	0x0D4	ICU.IELSR37	ICU.IELSR37 レジスタで選択されたイベント
54	38	0x0D8	ICU.IELSR38	ICU.IELSR38 レジスタで選択されたイベント
55	39	0x0DC	ICU.IELSR39	ICU.IELSR39 レジスタで選択されたイベント
56	40	0x0E0	ICU.IELSR40	ICU.IELSR40 レジスタで選択されたイベント
57	41	0x0E4	ICU.IELSR41	ICU.IELSR41 レジスタで選択されたイベント
58	42	0x0E8	ICU.IELSR42	ICU.IELSR42 レジスタで選択されたイベント
59	43	0x0EC	ICU.IELSR43	ICU.IELSR43 レジスタで選択されたイベント
60	44	0x0F0	ICU.IELSR44	ICU.IELSR44 レジスタで選択されたイベント
61	45	0x0F4	ICU.IELSR45	ICU.IELSR45 レジスタで選択されたイベント
62	46	0x0F8	ICU.IELSR46	ICU.IELSR46 レジスタで選択されたイベント
63	47	0x0FC	ICU.IELSR47	ICU.IELSR47 レジスタで選択されたイベント
64	48	0x100	ICU.IELSR48	ICU.IELSR48 レジスタで選択されたイベント
65	49	0x104	ICU.IELSR49	ICU.IELSR49 レジスタで選択されたイベント
66	50	0x108	ICU.IELSR50	ICU.IELSR50 レジスタで選択されたイベント
67	51	0x10C	ICU.IELSR51	ICU.IELSR51 レジスタで選択されたイベント
68	52	0x110	ICU.IELSR52	ICU.IELSR52 レジスタで選択されたイベント
69	53	0x114	ICU.IELSR53	ICU.IELSR53 レジスタで選択されたイベント
70	54	0x118	ICU.IELSR54	ICU.IELSR54 レジスタで選択されたイベント
71	55	0x11C	ICU.IELSR55	ICU.IELSR55 レジスタで選択されたイベント
72	56	0x120	ICU.IELSR56	ICU.IELSR56 レジスタで選択されたイベント
73	57	0x124	ICU.IELSR57	ICU.IELSR57 レジスタで選択されたイベント
74	58	0x128	ICU.IELSR58	ICU.IELSR58 レジスタで選択されたイベント
75	59	0x12C	ICU.IELSR59	ICU.IELSR59 レジスタで選択されたイベント

表 12.3 割り込みベクタテーブル (3/3)

例外番号	IRQ 番号	ベクタオフセット	要因	内容
76	60	0x130	ICU.IELSR60	ICU.IELSR60 レジスタで選択されたイベント
77	61	0x134	ICU.IELSR61	ICU.IELSR61 レジスタで選択されたイベント
78	62	0x138	ICU.IELSR62	ICU.IELSR62 レジスタで選択されたイベント
79	63	0x13C	ICU.IELSR63	ICU.IELSR63 レジスタで選択されたイベント
80	64	0x140	ICU.IELSR64	ICU.IELSR64 レジスタで選択されたイベント
81	65	0x144	ICU.IELSR65	ICU.IELSR65 レジスタで選択されたイベント
82	66	0x148	ICU.IELSR66	ICU.IELSR66 レジスタで選択されたイベント
83	67	0x14C	ICU.IELSR67	ICU.IELSR67 レジスタで選択されたイベント
84	68	0x150	ICU.IELSR68	ICU.IELSR68 レジスタで選択されたイベント
85	69	0x154	ICU.IELSR69	ICU.IELSR69 レジスタで選択されたイベント
86	70	0x158	ICU.IELSR70	ICU.IELSR70 レジスタで選択されたイベント
87	71	0x15C	ICU.IELSR71	ICU.IELSR71 レジスタで選択されたイベント
88	72	0x160	ICU.IELSR72	ICU.IELSR72 レジスタで選択されたイベント
89	73	0x164	ICU.IELSR73	ICU.IELSR73 レジスタで選択されたイベント
90	74	0x168	ICU.IELSR74	ICU.IELSR74 レジスタで選択されたイベント
91	75	0x16C	ICU.IELSR75	ICU.IELSR75 レジスタで選択されたイベント
92	76	0x170	ICU.IELSR76	ICU.IELSR76 レジスタで選択されたイベント
93	77	0x174	ICU.IELSR77	ICU.IELSR77 レジスタで選択されたイベント
94	78	0x178	ICU.IELSR78	ICU.IELSR78 レジスタで選択されたイベント
95	79	0x17C	ICU.IELSR79	ICU.IELSR79 レジスタで選択されたイベント
96	80	0x180	ICU.IELSR80	ICU.IELSR80 レジスタで選択されたイベント
97	81	0x184	ICU.IELSR81	ICU.IELSR81 レジスタで選択されたイベント
98	82	0x188	ICU.IELSR82	ICU.IELSR82 レジスタで選択されたイベント
99	83	0x18C	ICU.IELSR83	ICU.IELSR83 レジスタで選択されたイベント
100	84	0x190	ICU.IELSR84	ICU.IELSR84 レジスタで選択されたイベント
101	85	0x194	ICU.IELSR85	ICU.IELSR85 レジスタで選択されたイベント
102	86	0x198	ICU.IELSR86	ICU.IELSR86 レジスタで選択されたイベント
103	87	0x19C	ICU.IELSR87	ICU.IELSR87 レジスタで選択されたイベント
104	88	0x1A0	ICU.IELSR88	ICU.IELSR88 レジスタで選択されたイベント
105	89	0x1A4	ICU.IELSR89	ICU.IELSR89 レジスタで選択されたイベント
106	90	0x1A8	ICU.IELSR90	ICU.IELSR90 レジスタで選択されたイベント
107	91	0x1AC	ICU.IELSR91	ICU.IELSR91 レジスタで選択されたイベント
108	92	0x1B0	ICU.IELSR92	ICU.IELSR92 レジスタで選択されたイベント
109	93	0x1B4	ICU.IELSR93	ICU.IELSR93 レジスタで選択されたイベント
110	94	0x1B8	ICU.IELSR94	ICU.IELSR94 レジスタで選択されたイベント
111	95	0x1BC	ICU.IELSR95	ICU.IELSR95 レジスタで選択されたイベント

12.3.2 イベント番号

下表は、イベント番号を記した表 12.4 の各項目の説明です。

項目	説明
割り込み要求発生元	割り込み要求の発生元の名称
名称	割り込みの名称
NVIC への接続	CPU 割り込みとして使用可能な割り込みが✓印で示されています。
DTC の起動	DTC の起動要求に使用可能な割り込みが✓印で示されています。
DMAC の起動	DMAC の起動要求に使用可能な割り込みが✓印で示されています。
スヌーズモードの解除	スヌーズモードからの復帰要求に使用可能な割り込みが✓印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが✓印で示されています。
ディープソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが✓印で示されています。

表 12.4　イベントテーブル (1/5)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x001	ポート	PORT_IRQ0	✓	✓	✓	✓	✓	✓
0x002		PORT_IRQ1	✓	✓	✓	✓	✓	✓
0x003		PORT_IRQ2	✓	✓	✓	✓	✓	✓
0x004		PORT_IRQ3	✓	✓	✓	✓	✓	✓
0x005		PORT_IRQ4	✓	✓	✓	✓	✓	✓
0x006		PORT_IRQ5	✓	✓	✓	✓	✓	✓
0x007		PORT_IRQ6	✓	✓	✓	✓	✓	✓
0x008		PORT_IRQ7	✓	✓	✓	✓	✓	✓
0x009		PORT_IRQ8	✓	✓	✓	✓	✓	✓
0x00A		PORT_IRQ9	✓	✓	✓	✓	✓	✓
0x00B		PORT_IRQ10	✓	✓	✓	✓	✓	✓
0x00C		PORT_IRQ11	✓	✓	✓	✓	✓	✓
0x00D		PORT_IRQ12	✓	✓	✓	✓	✓	✓
0x00E		PORT_IRQ13	✓	✓	✓	✓	✓	✓
0x00F		PORT_IRQ14	✓	✓	✓	✓	✓	✓
0x020	DMAC0	DMAC0_INT	✓	✓	—	—	—	—
0x021	DMAC1	DMAC1_INT	✓	✓	—	—	—	—
0x022	DMAC2	DMAC2_INT	✓	✓	—	—	—	—
0x023	DMAC3	DMAC3_INT	✓	✓	—	—	—	—
0x024	DMAC4	DMAC4_INT	✓	✓	—	—	—	—
0x025	DMAC5	DMAC5_INT	✓	✓	—	—	—	—
0x026	DMAC6	DMAC6_INT	✓	✓	—	—	—	—
0x027	DMAC7	DMAC7_INT	✓	✓	—	—	—	—
0x029	DTC	DTC_COMPLETE	✓	—	—	✓(注3)	—	—
0x02B	DMAC/DTC	DMA_TRANSERR	✓	—	—	✓	—	—
0x02D	ICU	ICU_SNZCANCEL	✓	—	—	✓	—	—
0x030	FCU	FCU_FIFERR	✓	—	—	—	—	—
0x031		FCU_FRDYI	✓	—	—	—	—	—

表 12.4 イベントテーブル (2/5)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x038	LVD	LVD_LVD1	✓	—	—	✓	✓	✓
0x039		LVD_LVD2	✓	—	—	✓	✓	✓
0x03B	MOSC	MOSC_STOP	✓	—	—	—	—	—
0x03C	LPW	SYSTEM_SNZREQ	—	✓	—	—	—	—
0x040	AGT0	AGT0_AGTI	✓	✓	✓	—	—	—
0x041		AGT0_AGTCMAI	✓	✓	✓	—	—	—
0x042		AGT0_AGTCMBI	✓	✓	✓	—	—	—
0x043	AGT1	AGT1_AGTI	✓	✓	✓	✓	✓	✓
0x044		AGT1_AGTCMAI	✓	✓	✓	✓	✓	—
0x045		AGT1_AGTCMBI	✓	✓	✓	✓	✓	—
0x052	IWDT	IWDT_NMIUNDF	✓	—	—	✓	✓	—
0x053	WDT	WDT_NMIUNDF	✓	—	—	—	—	—
0x054	RTC	RTC_ALM	✓	—	—	✓	✓	✓
0x055		RTC_PRD	✓	—	—	✓	✓	✓
0x056		RTC_CUP	✓	—	—	—	—	—
0x059	CANFD	CAN_RXF	✓	—	—	—	—	—
0x05A		CAN_GLERR	✓	—	—	—	—	—
0x05B		CAN_RF_DMAREQ0	✓	✓	✓	—	—	—
0x05C		CAN_RF_DMAREQ1	✓	✓	✓	—	—	—
0x063		CAN0_TX	✓	—	—	—	—	—
0x064		CAN0_CHERR	✓	—	—	—	—	—
0x065		CAN0_COMFRX	✓	—	—	—	—	—
0x066		CAN0_CF_DMAREQ	✓	✓	✓	—	—	—
0x067		CAN0_RXMB	✓	—	—	—	—	—
0x06D	USBFS	USBFS0_USBI	✓	—	—	—	—	—
0x06E		USBFS0_USBR	✓	—	—	✓	✓	✓
0x08A	SSI	SSI0_SSITXI	✓	✓	✓	—	—	—
0x08B		SSI0_SSIRXI	✓	✓	✓	—	—	—
0x08D		SSI0_SSIF	✓	—	—	—	—	—
0x09E	CAC	CAC_FERRI	✓	—	—	—	—	—
0x09F		CAC_MENDI	✓	—	—	—	—	—
0x0A0		CAC_OVFI	✓	—	—	—	—	—
0x0AB	CEC	CEC_INTDA	✓	✓	✓	—	—	—
0x0AC		CEC_INTCE	✓	—	—	—	—	—
0x0AD		CEC_INTERR	✓	—	—	—	—	—
0x0B1	PORT	IOPORT_GROUP1	✓	✓(注1)	✓(注1)	—	—	—
0x0B2		IOPORT_GROUP2	✓	✓(注1)	✓(注1)	—	—	—
0x0B3		IOPORT_GROUP3	✓	✓(注1)	✓(注1)	—	—	—
0x0B4		IOPORT_GROUP4	✓	✓(注1)	✓(注1)	—	—	—

表 12.4 イベントテーブル (3/5)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x0B5	ELC	ELC_SWEVT0	✓(注2)	✓	—	—	—	—
0x0B6		ELC_SWEVT1	✓(注2)	✓	—	—	—	—
0x0B7	POEG	POEG_GROUPA	✓	—	—	—	—	—
0x0B8		POEG_GROUPB	✓	—	—	—	—	—
0x0B9		POEG_GROUPC	✓	—	—	—	—	—
0x0BA		POEG_GROUPD	✓	—	—	—	—	—
0x0C0	GPT0	GPT0_CCMPA	✓	✓	✓	—	—	—
0x0C1		GPT0_CCMPB	✓	✓	✓	—	—	—
0x0C2		GPT0_CMPC	✓	✓	✓	—	—	—
0x0C3		GPT0_CMPD	✓	✓	✓	—	—	—
0x0C4		GPT0_CMPE	✓	✓	✓	—	—	—
0x0C5		GPT0_CMPF	✓	✓	✓	—	—	—
0x0C6		GPT0_OVF	✓	✓	✓	—	—	—
0x0C7		GPT0_UDF	✓	✓	✓	—	—	—
0x0C8		GPT0_PC	✓	✓	✓	—	—	—
0x0C9		GPT0_ADTRGA	✓	✓	✓	—	—	—
0x0CA		GPT0_ADTRGB	✓	✓	✓	—	—	—
0x0CB	GPT1	GPT1_CCMPA	✓	✓	✓	—	—	—
0x0CC		GPT1_CCMPB	✓	✓	✓	—	—	—
0x0CD		GPT1_CMPC	✓	✓	✓	—	—	—
0x0CE		GPT1_CMPD	✓	✓	✓	—	—	—
0x0CF		GPT1_CMPE	✓	✓	✓	—	—	—
0x0D0		GPT1_CMPF	✓	✓	✓	—	—	—
0x0D1		GPT1_OVF	✓	✓	✓	—	—	—
0x0D2		GPT1_UDF	✓	✓	✓	—	—	—
0x0D3		GPT1_PC	✓	✓	✓	—	—	—
0x0D4		GPT1_ADTRGA	✓	✓	✓	—	—	—
0x0D5		GPT1_ADTRGB	✓	✓	✓	—	—	—
0x0EC	GPT4	GPT4_CCMPA	✓	✓	✓	—	—	—
0x0ED		GPT4_CCMPB	✓	✓	✓	—	—	—
0x0EE		GPT4_CMPC	✓	✓	✓	—	—	—
0x0EF		GPT4_CMPD	✓	✓	✓	—	—	—
0x0F0		GPT4_CMPE	✓	✓	✓	—	—	—
0x0F1		GPT4_CMPF	✓	✓	✓	—	—	—
0x0F2		GPT4_OVF	✓	✓	✓	—	—	—
0x0F3		GPT4_UDF	✓	✓	✓	—	—	—
0x0F4		GPT4_PC	✓	—	—	—	—	—
0x0F5		GPT4_ADTRGA	✓	✓	✓	—	—	—
0x0F6		GPT4_ADTRGB	✓	✓	✓	—	—	—

表 12.4 イベントテーブル (4/5)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x0F7	GPT5	GPT5_CCMPA	✓	✓	✓	—	—	—
0x0F8		GPT5_CCMPB	✓	✓	✓	—	—	—
0x0F9		GPT5_CMPC	✓	✓	✓	—	—	—
0x0FA		GPT5_CMPD	✓	✓	✓	—	—	—
0x0FB		GPT5_CMPE	✓	✓	✓	—	—	—
0x0FC		GPT5_CMPF	✓	✓	✓	—	—	—
0x0FD		GPT5_OVF	✓	✓	✓	—	—	—
0x0FE		GPT5_UDF	✓	✓	✓	—	—	—
0x0FF		GPT5_PC	✓	✓	✓	—	—	—
0x100		GPT5_ADTRGA	✓	✓	✓	—	—	—
0x101		GPT5_ADTRGB	✓	✓	✓	—	—	—
0x15C	GPT	GPT_UVWEDGE	✓	—	—	—	—	—
0x160	ADC120	ADC120_ADI	✓	✓	✓	—	—	—
0x161		ADC120_GBADI	✓	✓	✓	—	—	—
0x162		ADC120_CMPAI	✓	—	—	—	—	—
0x163		ADC120_CMPBI	✓	—	—	—	—	—
0x164		ADC120_WCMPM	—	✓	✓	✓(注3)	—	—
0x165		ADC120_WCMPUM	—	✓	✓	✓(注3)	—	—
0x180	SCI0	SCI0_RXI	✓	✓	✓	—	—	—
0x181		SCI0_TXI	✓	✓	✓	—	—	—
0x182		SCI0_TEI	✓	—	—	—	—	—
0x183		SCI0_ERI	✓	—	—	—	—	—
0x184		SCI0_AM	✓	—	—	✓(注3)	—	—
0x185		SCI0_RXI_OR_ERI	—	—	—	✓(注3)	—	—
0x1B6	SCI9	SCI9_RXI	✓	✓	✓	—	—	—
0x1B7		SCI9_TXI	✓	✓	✓	—	—	—
0x1B8		SCI9_TEI	✓	—	—	—	—	—
0x1B9		SCI9_ERI	✓	—	—	—	—	—
0x1BA		SCI9_AM	✓	—	—	—	—	—
0x1C4	SPI0	SPI0_SPRI	✓	✓	✓	—	—	—
0x1C5		SPI0_SPTI	✓	✓	✓	—	—	—
0x1C6		SPI0_SPII	✓	—	—	—	—	—
0x1C7		SPI0_SPEI	✓	—	—	—	—	—
0x1C8		SPI0_SPCEND	✓	—	—	—	—	—
0x1C9	SPI1	SPI1_SPRI	✓	✓	✓	—	—	—
0x1CA		SPI1_SPTI	✓	✓	✓	—	—	—
0x1CB		SPI1_SPII	✓	—	—	—	—	—
0x1CC		SPI1_SPEI	✓	—	—	—	—	—
0x1CD		SPI1_SPCEND	✓	—	—	—	—	—

表 12.4 イベントテーブル (5/5)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVIC への接続	DTC の起動	DMAC の起動			
0x1D0	CANFD ECC	CAN_MRAM_ERI	✓	—	—	—	—	—
0x1DB	DOC	DOC_DOPCI	✓	—	—	✓(注3)	—	—
0x1DC	I3C	I3C_RESP	✓	✓	✓	—	—	—
0x1DD		I3C_CMD	✓	✓	✓	—	—	—
0x1DE		I3C_IBI	✓	✓	✓	—	—	—
0x1DF		I3C_RX	✓	✓	✓	—	—	—
0x1E0		I3C_TX	✓	✓	✓	—	—	—
0x1E1		I3C_RCV	✓	✓	✓	—	—	—
0x1E2		I3C_HRESP	✓	✓	✓	—	—	—
0x1E3		I3C_HCMD	✓	✓	✓	—	—	—
0x1E4		I3C_HRX	✓	✓	✓	—	—	—
0x1E5		I3C_HTX	✓	✓	✓	—	—	—
0x1E6		I3C_TEND	✓	—	—	—	—	—
0x1E7		I3C_EEI	✓	—	—	—	—	—
0x1E8		I3C_STEV	✓	—	—	—	—	—
0x1E9		I3C_MREFOVF	✓	—	—	—	—	—
0x1EA		I3C_MREFCPT	✓	—	—	—	—	—
0x1EB		I3C_AMEV	✓	—	—	—	—	—
0x1EC		I3C_WU	✓	—	—	✓	✓	—
0x1F3	TRNG	TRNG_RDREQ	✓	—	—	—	—	—

注 1. 最初のエッジ検出のみが有効です。
注 2. DTC 転送後の割り込みのみがサポートされます。
注 3. SELSR0 を使用します。

12.4 割り込み動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択（CPU 割り込み、DTC 起動、DMAC 起動など）

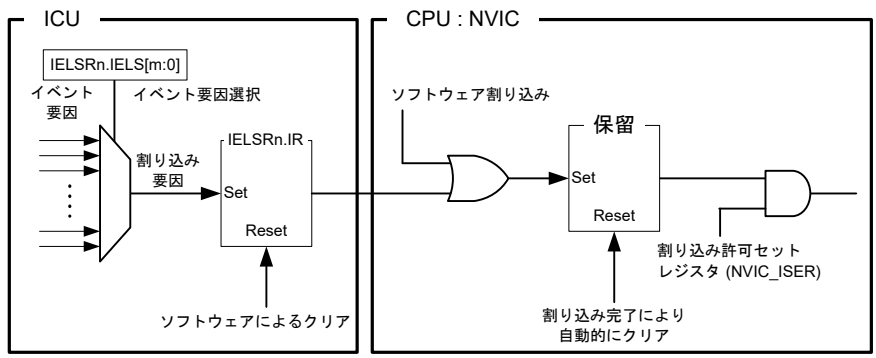
12.4.1 割り込みの検出

ICU は、周辺機能割り込みや外部端子割り込みから入力されるイベント要因を、IELSRn.IELS[8:0]で選択します。受け付けた割り込み要因は、IELSRn.IR フラグを 1 にして、NVIC へ割り込み要求を伝えます。

外部端子割り込み要求は下記のいずれかにより検出されます。

- エッジ（立ち下がりエッジ、立ち上がりエッジ、または立ち上がり／立ち下がりエッジ）
- 割り込み信号のレベル（Low レベル）

IRQi 端子用の検出モードを選択するために、IRQCRi.IRQMD[1:0]ビットを設定してください。周辺モジュールに対応する割り込み要因については、表 12.3 および表 12.4 を参照してください。イベントは割り込みが発生し、CPU で受け入れられる前に、NVIC で受け入れられなければなりません。



注. m = 8

図 12.2 ICU および CPU の割り込み経路 (NVIC)

12.5 割り込みの設定手順

12.5.1 割り込み要求の許可

割り込み要求を許可するための手順を以下に示します。

1. 割り込み許可セットレジスタ (NVIC_ISER) を設定してください。
2. 対象となる割り込み要因を IELSRn.IELS[8:0]ビットに設定してください。
3. DMAC の起動（DELSRn.DELS[8:0]ビットの設定）や、スヌーズモードの解除（SELSR0.SELS[8:0]ビットの設定）、ソフトウェアスタンバイモードの解除（WUPENn レジスタの設定）など、イベント要因に対する各種設定をしてください。

12.5.2 割り込み要求の禁止

割り込み要求を禁止する手順を以下に示します。

1. DMAC の起動（DELSRn.DELS[8:0]ビットの設定）や、スヌーズモードの解除（SELSR0.SELS[8:0]ビットの設定）、ソフトウェアスタンバイモードの解除（WUPENn レジスタの設定）など、イベント要因に対する各種設定を解除してください。
2. 設定した割り込み要因をクリアしてください (IELSRn.IELS[8:0] = 0x00)。
3. 割り込みステータスフラグをクリアしてください (IELSRn.IR = 0)。
4. 割り込み許可クリアレジスタ (NVIC_ICER) と割り込み保留クリアレジスタ (NVIC_ICPR) をクリアしてください。

12.5.3 割り込みのポーリング

割り込み要求のポーリングをする手順を以下に示します。

1. 割り込み許可クリアレジスタ (NVIC_ICER) を設定してください。
2. 割り込み要因として、IELSRn.IELS[8:0]ビットを設定してください。
3. DMAC の起動（DELSRn.DELS[8:0]ビットの設定）、スヌーズモードの解除（SELSR0.SELS[8:0]ビットの設定）、ソフトウェアスタンバイモードの解除（WUPEN レジスタの設定）など、イベント要因に対する動作設定をしてください。
4. 割り込み保留セットレジスタ (NVIC_ISPR) をポーリングしてください。

12.5.4 割り込み要求先の選択

選択可能な要求先は、表 12.3、表 12.4 に示されているように、割り込みごとに固定されています。

割り込み要求先（CPU、 DMAC、DTC）は、割り込み要因ごとに個別に選択できます。

「12.3.2. イベント番号」に✓印の記載がある割り込み要求を設定してください。

注. IELSRn レジスタと DELSRn レジスタで、同じ割り込み要因は設定しないでください。

DMAC または DTC が IRQi 端子からの割り込み要求先として選択された場合、その割り込み要求に対して IRQCRi.IRQMD[1:0]ビットをエッジ検出に設定してください。

12.5.4.1 CPU への割り込み要求

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。IELSRn.IELS[8:0]ビットで対象のイベントを選択し、かつ IELSRn.DTCE ビットを 0 に設定してください。

12.5.4.2 DTC の起動

IELSRn.DTCE = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。以下の手順に従ってください。

1. IELSRn.IELS[8:0]ビットで対象のイベントを選択し、かつ IELSRn.DTCE ビットを 1 に設定してください。
2. DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

表 12.5 に DTC が割り込み要求先となる場合の動作を示します。

表 12.5 DTC が割り込み要求先となる場合の動作

割り込み要求先	DISEL (注1)	残り転送数	割り込み要求 1 回あたりの動作	IR(注2)	転送後の割り込み要求先
DTC(注3)	1	≠ 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	CPU（IELSRn.DTCE ビットが自動的にクリアされる）
	0	≠ 0	DTC 転送	DTC 転送データの読み出し後、DTC データ転送の開始時にクリアされる。	DTC
		= 0	DTC 転送→CPU に割り込み	CPU による割り込み受け付け時にクリアされる。	CPU（IELSRn.DTCE ビットが自動的にクリアされる）

注 1. DTC.MRB.DISEL ビットで DTC から CPU への割り込み要求の発生の仕方を設定します。
注 2. IELSRn.IR フラグが 1 のとき、再度発生した割り込み要求（DTC 起動要求）は無視されます。
注 3. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IELSRn.IR フラグクリアのタイミング、および割り込み要求先が決まります。「16. データトランスファコントローラ (DTC)」の表 16.2 を参照してください。

注. DTC 転送中のエラー

DTC 転送中にエラー応答が生じると、DTC はエラーが発生したことを ICU に通知します。ICU は対象の IELSRn (n = 0～95) のすべてのビットをクリアします。対象以外の IELSRn (n = 0～95) はクリアされません。

注. スヌーズモードにおける DTC 転送エラー

スヌーズモードで DTC 転送エラーが生じると、ICU はウェイクアップ要求を発行します。しかし、割り込み要求は自動的に発行されません。DTC エラー発生時の割り込みの設定方法については、「16. データトランスファコントローラ (DTC)」を参照してください。

12.5.4.3 DMAC の起動

DELSRn レジスタで指定されたイベントが DMAC に出力されます。

DMAC に対して割り込み要因を設定するには、以下の手順に従ってください。

1. DELSRn.DELS[8:0]ビットで DMAC の起動イベントを設定する。
2. CPU への割り込みを使用する場合、IELSRn.IELS ビットを DMAC 割り込み要因に設定し、かつ IELSRn.DTCE ビットを 0 に設定する。
3. 対象の DMAC チャネルの起動要因 (DMACm.DMTMD.DCTG[1:0]) を 01b（割り込みモジュール検出）にする。

4. 対象の DMAC チャネルの DMAC 転送許可ビット (DMACm.DMCNT.DTE) を 1 にする。
5. DMAC 動作許可ビット (DMAST.DMST) を 1 にする。

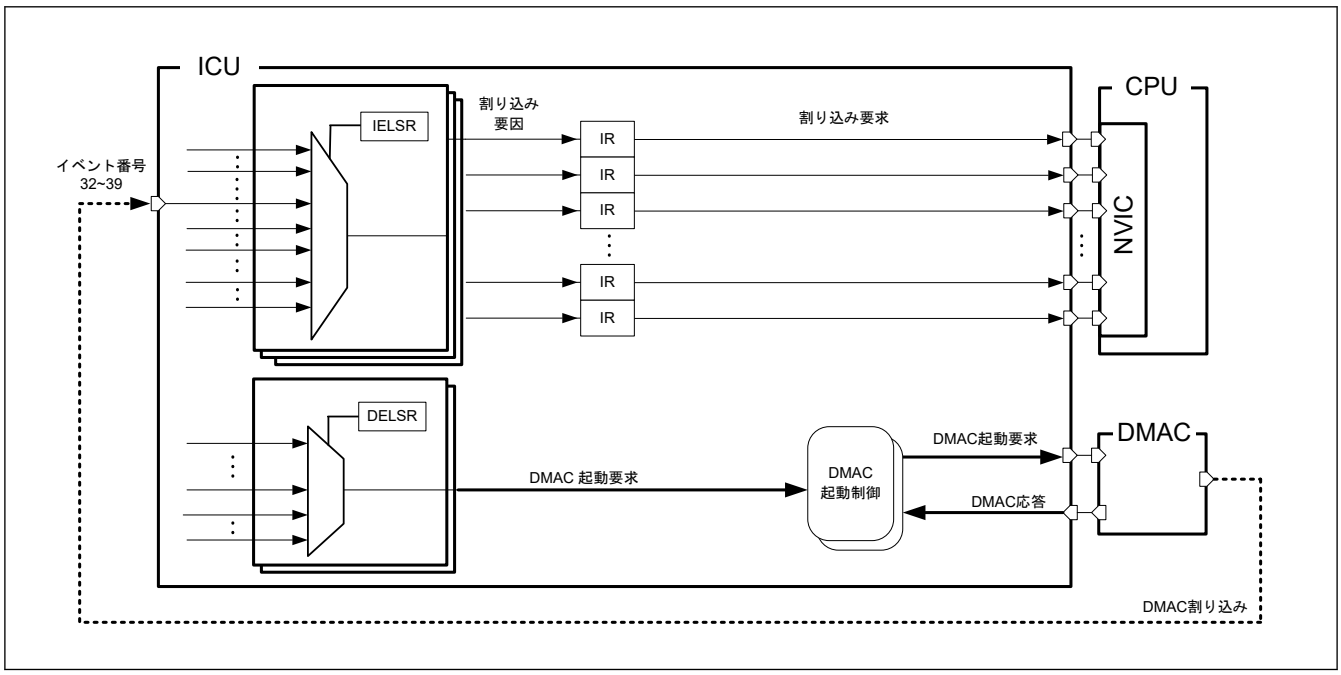


図 12.3 DMAC 要求トリガと割り込み経路

注. DMAC 転送中のエラー

DMAC 転送中にエラー応答が発生した場合、DMAC はエラーの発生を ICU に通知します。

ICU は DELSRn (n = 0～7) の対象チャネルのすべてのビットをクリアします。対象チャネル以外の DELSRn (n = 0～7) はクリアされません。

12.5.5 デジタルフィルタ

デジタルフィルタ機能は外部割り込み要求端子（IRQi、i = 0～14）と NMI 端子割り込みに用いられます。デジタルフィルタ機能はフィルタ PCLKB サンプリングクロックの入力信号をサンプリングし、3 サンプリングサイクル以下のパルス幅の信号を除去します。

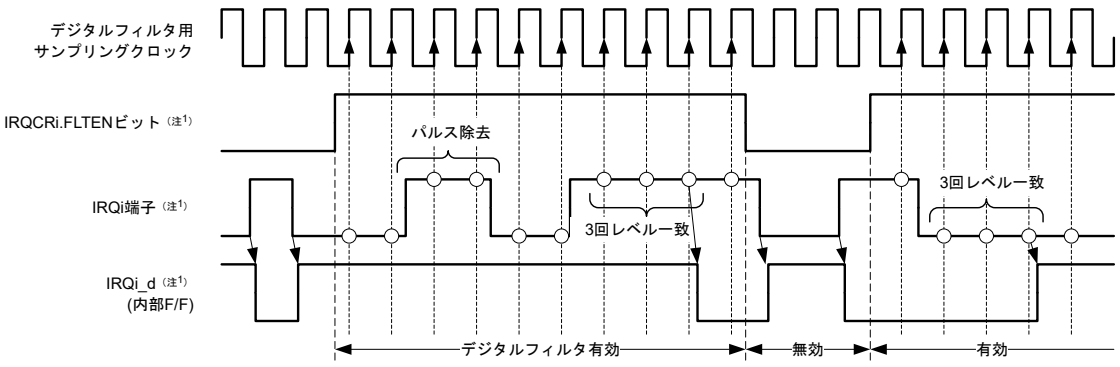
IRQi 端子に対してデジタルフィルタを用いるには、以下のようにしてください。

1. IRQCRi.FCLKSEL[1:0]ビット（i = 0～14）でサンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32 または PCLKB/64 に設定してください。
2. IRQCRi.FLTEN ビット（i = 0～14）を 1（デジタルフィルタ有効）に設定してください。

NMI 端子に対してデジタルフィルタを用いるには、以下のようにしてください。

1. NMICR.NFCLKSEL[1:0]ビットでサンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32 または PCLKB/64 に設定してください。
2. NMICR.NFLTEN ビットを 1（デジタルフィルタ有効）に設定してください。

図 12.4 にデジタルフィルタの動作例を示します。



IRQCRi.IRQMD[1:0] = 11b (lowレベル検出) の場合の動作例

注 1. i = 0～14

図 12.4 デジタルフィルタの動作例

ソフトウェアスタンバイモードに遷移する前に、IRQCRi.FLTEN ビットと NMICR.NFLTEN ビットによりデジタルフィルタを無効にしてください。ソフトウェアスタンバイモードでは、ICU クロックは停止します。

ソフトウェアスタンバイモード終了時、回路はスタンバイモード前後の状態を比較することにより、エッジを検出します。ソフトウェアスタンバイモード中に入力が変化すると、不適切なエッジが検出される可能性があります。ソフトウェアスタンバイモード終了後は、再度、デジタルフィルタを有効にすることができます。

12.5.6 外部端子割り込みの設定手順

外部端子割り込みを使用する時の手順を以下に示します。

1. I/O ポートの設定をしてください。
2. IRQCRi.FLTEN ビット (i = 0～14) を 0（デジタルフィルタ無効）にしてください。
3. IRQCRi レジスタ (i = 0～14) の IRQMD[1:0]ビットを設定して検出センスを選択してください。
4. IRQCRi レジスタの FCLKSEL[1:0]ビット、および FLTEN ビットを設定してください。
5. IRQ 端子を以下のように設定してください。
   - IRQ 端子を CPU への割り込み要求に使用する場合は、IELSRn.IELS[8:0]ビットを設定し、IELSRn.DTCE ビットを 0 にしてください。
   - IRQ 端子を DTC の起動に使用する場合は、IELSRn.IELS[8:0]ビットを設定し、IELSRn.DTCE ビットを 1 にしてください。
   - IRQ 端子を DMAC の起動に使用する場合は、DELSRn.DELS[8:0]ビットを設定してください。

12.6 ノンマスカブル割り込みの設定手順

ノンマスカブル割り込みをトリガできるのは、以下の要因です。

- NMI 端子割り込み
- 発振停止検出割り込み
- WDT アンダーフロー／リフレッシュエラー割り込み
- IWDT アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- SRAM パリティエラー割り込み
- SRAM ECC エラー割り込み
- バスマスタ MPU エラー割り込み

- TrustZone フィルタエラー割り込み
- キャッシュ RAM パリティエラー割り込み

ノンマスカブル割り込みは CPU でのみ使用可能です。DTC または DMAC の起動には使用できません。ノンマスカブル割り込みは他のすべての割り込みよりも優先します。ノンマスカブル割り込みの状態は、ノンマスカブル割り込みステータスレジスタ (NMISR) で確認できます。NMI 処理ルーチンから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

ノンマスカブル割り込みは初期設定では禁止になっています。ノンマスカブル割り込みを使用するには、以下の手順で設定してください。

1. NMICR.NFLTEN ビットを 0 にしてください（デジタルフィルタ無効）。
2. NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0]ビット、および NFLTEN ビットを設定してください。
3. NMICLR.NMICLR ビットを 1 にして NMISR.NMIST フラグを 0 にしてください。
4. ノンマスカブル割り込みイネーブルレジスタ (NMIER) の NMIEN ビットを 1 にしてノンマスカブル割り込みを許可にしてください。

NMIER レジスタに 1 が書き込まれた後、NMIER.NMIEN ビットへの書き込みは無視されます。NMI は許可されると、リセットの場合を除き、禁止にすることはできません。

Arm CPU のアプリケーション割り込みおよびリセットコントロールレジスタ (AIRCR) で管理するセキュア属性は、NMI のセキュリティ属性と一致している必要があります。

CPU の NMI セキュア属性は、AIRCR.BFHFNMINS の設定で変更します。それは、セキュアプログラムを管理するソフトウェア開発者が管理します。

12.6.1 NMI による TrustZone-M との対応関係

CPU としては 1 つの NMI しかありませんが、複数の要因を設定可能です。本項では、NMI のセキュアプログラムと非セキュアプログラムを組み合わせて使用する手順を説明します。その際、ICU の NMI 関連レジスタはセキュアに設定する必要があります。

NMI 関連レジスタ：

- NMIER
- NMICLR
- NMICR

ICUSARB.SANMI ビットを 0 に設定します。

ARM CPU の「アプリケーション割り込みおよびリセットコントロールレジスタ」の AIRCR.BFHFNMINS（ビット 13）の値は、セキュリティ属性の値と同じでなければなりません。AIRCR.BFHFNMINS と ICUSARB.SANMI の初期値は異なります。

AIRCR.BFHFNMINS はセキュア、ICUSARB.SANMI は非セキュアです。極性は同じ意味を持ちます。それらが合致するようにプログラミングしてください。

NMI が発行されたら、NMI ハンドラにジャンプしてください。セキュアプログラムと非セキュアプログラムを組み合わせて使用する場合、NMI ハンドラは TrustZone-M ルールに従って分岐する必要があります。フローを図 12.5 に示します。

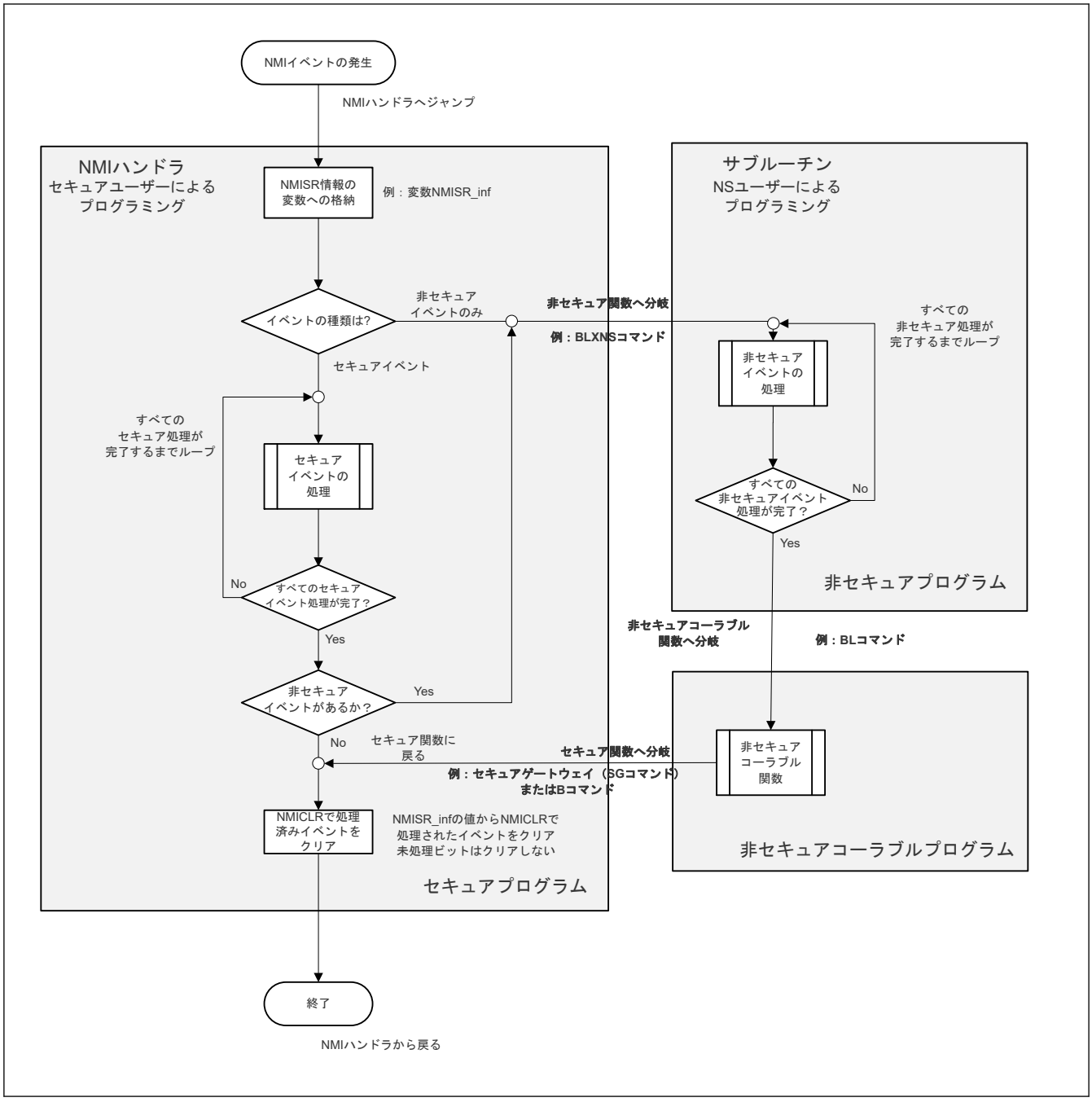


図 12.5　NMI による TrustZone-M との対応関係

セキュアプログラムと非セキュアプログラム間の移行についての詳細は、ARM マニュアルを参照してください。

12.7　低消費電力モードからの復帰

表 12.4 に、スリープモード、スヌーズモード、またはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因を示します。詳細は、「10. 低消費電力モード」を参照してください。

12.7.1　スリープモードからの復帰

スリープモードからの復帰は、すべての割り込み要因で可能です。

ノンマスカブル割り込み

- NMIER レジスタによって該当する割り込み要求を許可してください。

マスカブル割り込み

- 割り込み要求先を CPU にしてください。
- NVIC で割り込みを許可してください。

12.7.2 ソフトウェアスタンバイモードからの復帰

ICU は、ノンマスカブル割り込みまたはマスカブル割り込みによりソフトウェアスタンバイモードから復帰できます。解除要因のマスカブル割り込みについては、表 12.4 を参照してください。

ソフトウェアスタンバイモードからの復帰方法：

1. ソフトウェアスタンバイモードからの復帰可能な要因を選択してください。
   - ノンマスカブル割り込みの場合は、NMIER レジスタによって該当する割り込みの生成を許可してください。
   - マスカブル割り込みの場合は、WUPENn レジスタで必要な割り込み要求を復帰許可にしてください。
2. 割り込み要求先を CPU にしてください。
3. NVIC のレジスタを設定して割り込みを許可してください。

これらの条件を満たさない IRQn 端子による割り込み要求は、ソフトウェアスタンバイモードでクロックが停止している間は検出されません。

同様に、ソフトウェアスタンバイモードでクロックが停止している要求元からのノンマスカブル割り込みの要求は、検出できません。

ソフトウェアスタンバイモードへの／からの遷移

1. ソフトウェアスタンバイモードに入る前に、復帰対象（IRQCRi.FLTEN = 0、NMICR.NFLTEN = 0）としての割り込み要因に対するデジタルフィルタを無効にする。
2. ソフトウェアスタンバイモードから復帰した後、デジタルフィルタを再度使用するには、デジタルフィルタを有効（IRQCRi.FLTEN = 1、NMICR.NFLTEN = 1）にする。

12.7.3 スヌーズモードからの復帰

ICU は、スヌーズモード用に提供された割り込みを使用して、スヌーズモードから通常モードに復帰するとができます。

スヌーズモードから通常モードに復帰するには：

1. SELSR0 レジスタの SELS[8:0]ビットに、必要な割り込み要求を設定してください。
2. IELSRn（n = 0～95）レジスタの IELS[8:0]ビットに、0x02D (ICU_SNZCANCEL) を設定してください。
3. 割り込み要求先を CPU にしてください。
4. NVIC で割り込みを許可してください。

これらの条件を満たさないノンマスカブル割り込み要求は、スヌーズモードでクロックが停止している間は検出されません。

注. スヌーズモードでは、クロックが ICU に供給されます。IELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、CPU は割り込みアクノリッジを実行できます。DELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、DMAC は割り込みアクノリッジを実行できます。

12.8 ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

12.9 参考資料

- ARM Limited., ARM® Cortex®-M33 Processor Technical Reference Manual (ARM 100230)

13. バス

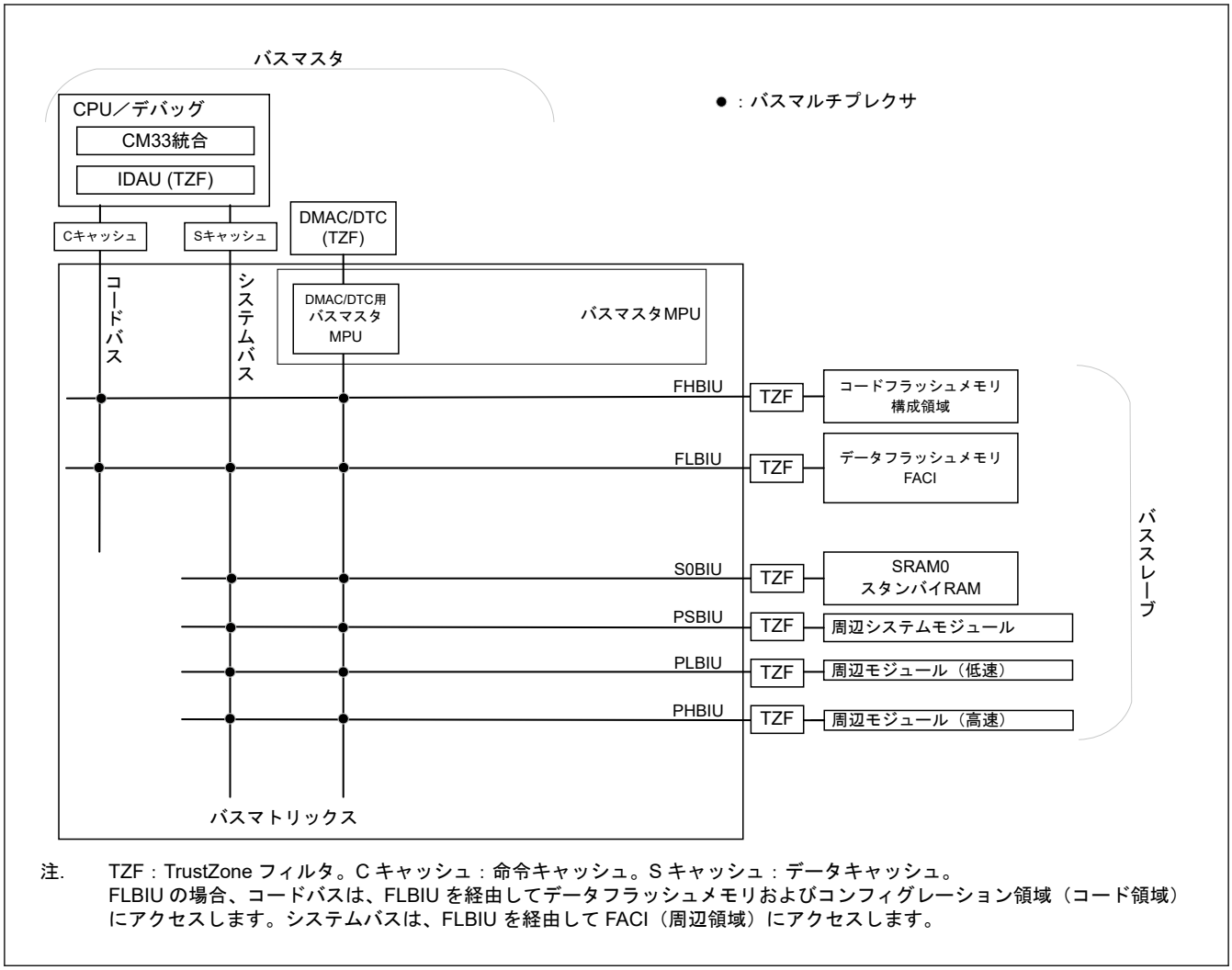
13.1 概要

バスは、32 ビットの AHB バスマトリックスより構成されます。表 13.1 にバスマスタおよびバススレーブを、図 13.1 にバスの構成図を示します。

表 13.1 バスの仕様

分類	バスマスタ／スレーブ名	バス I/F 最大周波数	同期クロック	仕様
バスマスタ	コードバス (Cortex-M33)	100 MHz	ICLK	命令とオペランド用 CPU を接続
	システムバス (Cortex-M33)	100 MHz	ICLK	システム用 CPU を接続
	DMAC/DTC	100 MHz	ICLK	DMAC/DTC を接続
バススレーブ	FHBIU	100 MHz	ICLK	コードフラッシュメモリとコンフィグレーション領域を接続
	FLBIU	50 MHz	FCLK	データフラッシュメモリ、FACI を接続
	S0BIU	100 MHz	ICLK	SRAM0（スタンバイ RAM）を接続
	PSBIU	100 MHz	ICLK	周辺システムモジュール（DTC、DMAC、ICU、フラッシュ、MPU、SRAM、デバッグ／トレースモジュール、システムコントローラ、バスコントローラ）を接続
	PLBIU	50 MHz	PCLKB	周辺モジュール （CAC、ELC、I/O ポート、POEG、RTC、WDT、IWDT、AGT、CANFD、USBFS、CEC、SSIE、TSN）を接続
	PHBIU	100 MHz	PCLKA	周辺モジュール（GPT、SCI、SPI、CRC、DOC、ADC12、DAC12、CNECC、I3C、TRNG）を接続

注. FHBIU：フラッシュ高速バスインタフェースユニット
FLBIU：フラッシュ低速バスインタフェースユニット
S0BIU：SRAM0 バスインタフェースユニット
PSBIU：周辺システムバスインタフェースユニット
PLBIU：周辺低速バスインタフェースユニット
PHBIU：周辺高速バスインタフェースユニット



注. TZF：TrustZone フィルタ。C キャッシュ：命令キャッシュ。S キャッシュ：データキャッシュ。
FLBIU の場合、コードバスは、FLBIU を経由してデータフラッシュメモリおよびコンフィグレーション領域（コード領域）にアクセスします。システムバスは、FLBIU を経由して FACI（周辺領域）にアクセスします。

図 13.1 バス接続

13.2 バスの説明

13.2.1 アービトレーション

各スレーブにおけるマスタ間アービトレーションについては、各マスタについて優先順位固定とラウンドロビン方式を選択可能です。詳細は、「13.3.3. BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = FHBIU, FLBIU, S0BIU)」、「13.3.4. BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = PSBIU, PLBIU, PHBIU)」を参照してください。

13.2.2 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作可能です。たとえば、CPU がコードフラッシュから命令をフェッチし、SRAM0 からオペランドをフェッチ中に、DMAC は周辺モジュール間の転送を行うことができます。

並列動作の例を図 13.2 に示します。この例では、CPU はコードバスとシステムバスを使用して、それぞれ FHBIU と S0BIU に同時にアクセスします。また、CPU が FHBIU と S0BIU にアクセスする間、DMAC/DTC は周辺バスに同時にアクセスします。

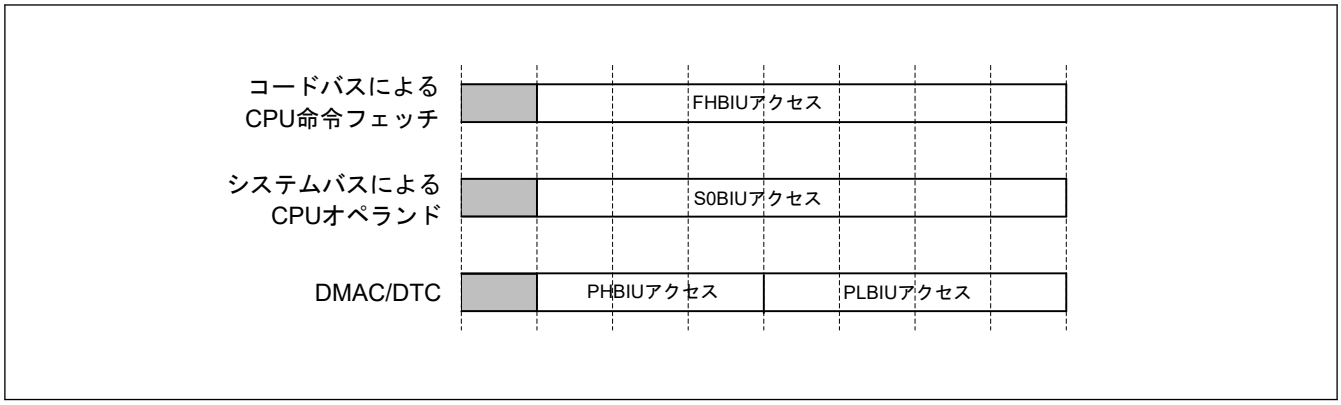


図 13.2　並列動作の例

13.2.3　制約事項

(1)　エンディアンに関する制約事項

Cortex コードを実行するには、メモリ空間はリトルエンディアンでなければいけません。

(2)　バッファラブルライトアクセス

CPU または DMAC が PLBIU または PHBIU に対してバッファラブルライトアクセスを実行したときに STZF エラーが発生すると、エラー応答はインバリデートされます。したがって、エラーフラグはセットされませんし、NMI / RESET 要求も発生しません。

CPU または DMAC が PHBIU に対してバッファラブルライトアクセスを実行したときにスレーブバスエラーが発生すると、エラー応答は無効になり、エラーフラグはセットされません。

エラー応答が必要な場合は、バスマスタを非バッファラブルアクセスに設定してください。

(3)　FLBIU および S0BIU の予約領域へのアクセス

FLBIU および S0BIU の予約領域へのアクセスは禁止です。アクセスした場合動作は保証されません。

(4)　クロック設定

バスアクセス中にクロック分周比の設定を変更しないでください。

13.3　レジスタの説明

13.3.1　BUSSARA : バスセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000

Offset address: 0x0100

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BUSSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	BUSSA0	バスセキュリティ属性 A0 0: セキュア 1: 非セキュア	R/W

ビット	シンボル	機能	R/W
31:1	—	読むと 1 が読めます。	R

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

BUSSA0 ビット（バスセキュリティ属性 A0）

レジスタと BIU 名の対応を以下に示します。

接続 (BUSSCNT<slave> = FHBIU/FLBIU/S0BIU/PSBIU/PLBIU/PHBIU)

BIU と BUS 間の接続については図 13.1 を参照してください。

- BUSSCNTFHBIU
- BUSSCNTFLBIU
- BUSSCNTS0BIU
- BUSSCNTPSBIU
- BUSSCNTPLBIU
- BUSSCNTPHBIU

13.3.2 BUSSARB : バスセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000_8000

Offset address: 0x0104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BUSSB0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	BUSSB0	バスセキュリティ属性 B0 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

BUSSB0 ビット（バスセキュリティ属性 B0）

BUSSB0 ビットは、バスエラークリアレジスタおよび DMAC/DTC エラークリアレジスタ用セキュリティ属性を指定します。

BUS1ERRCLR：コードバス

BUS2ERRCLR：システムバス

BUS3ERRCLR: DMAC/DTC

DMACDTCERRCLR: DMAC/DTC（マスタ TZF）

各バスの接続については、図 13.1 を参照してください。

13.3.3 BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = FHBIU, FLBIU, S0BIU)

Base address: BUS = 0x4000_3000

Offset address: 0x1100 (BUSSCNTFHBIU)
0x1104 (BUSSCNTFLBIU)
0x1110 (BUSSCNTS0BIU)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARBS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ARBS[1:0]	2 マスタのアービトレーション選択 バスマスタの優先順位を指定します。 > : 優先順位固定 ↔: ラウンドロビン 0 0: DMAC/DTC > CPU 0 1: DMAC/DTC ↔ CPU その他: 設定禁止	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注.
- BUSSCNT<slave> : <slave>は、スレーブのバスインタフェースユニット名です。
- 予約ビットを初期値 0 から書き換えることは禁止されています。書き換え中の動作は保証されません。

ARBS[1:0]ビット（2 マスタのアービトレーション選択）

ARBS ビットは、各マスタのアービトレーション方式を設定します。

13.3.4 BUSSCNT<slave> : スレーブバスコントロールレジスタ (<slave> = PSBIU, PLBIU, PHBIU)

Base address: BUS = 0x4000_3000

Offset address: 0x1120 (BUSSCNTPSBIU)
0x1130 (BUSSCNTPLBIU)
0x1134 (BUSSCNTPHBIU)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARBS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ARBS	2 マスタのアービトレーション選択 バスマスタの優先順位を指定します。 > : 優先順位固定 ↔: ラウンドロビン 0: DMAC/DTC > CPU 1: DMAC/DTC ↔ CPU	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注.
- BUSSCNT<slave> : <slave>は、スレーブのバスインタフェースユニット名です。

- 予約ビットを初期値 (0) から書き換えることは禁止されています。書き換え中の動作は保証されません。

ARBS ビット（2 マスタのアービトレーション選択）

ARBS ビットは、各マスタのアービトレーション方法を設定します。

13.3.5 BUSnERRADD : バスエラーアドレスレジスタ（n = 1～3）

Base address: BUS = 0x4000_3000

Offset address: 0x1800 + 0x10 × (n - 1)

Bit position:	31																												0
Bit field:	BERAD[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	BERAD[31:0]	バスエラーアドレス バスエラーが発生した場合、そのエラーアドレスを格納します。	R

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU、TZF 関連リセットの詳細は、「5. リセット」、「14. メモリプロテクションユニット (MPU)」、「43.2. Arm TrustZone セキュリティ」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BUS1ERRADD：コードバス

BUS2ERRADD：システムバス

BUS3ERRADD: DMAC/DTC

BERAD[31:0]ビット（バスエラーアドレス）

BERAD[31:0]ビットは、関連するバスでエラーが起こった場合アドレスを示します。バスで発生するエラーの詳細については、「13.3.9. BUSnERRSTAT : バスエラーステータスレジスタ n（n = 1～3）」および「13.4. バスエラー監視部」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT（n = 1～3）レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのアドレスが BERAD[31:0]ビットに格納されます。

BUSnERRSTAT（n = 1～3）レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の各ビットが 1 である場合のみ、BERAD[31:0]ビットは有効です。

13.3.6 BUSnERRRW : バスエラーリードライトレジスタ（n = 1～3）

Base address: BUS = 0x4000_3000

Offset address: 0x1804 + 0x10 × (n - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RWSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RWSTAT	エラーアクセスリード／ライト状態 エラー発生時の状態 0: リードアクセス 1: ライトアクセス	R

ビット	シンボル	機能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU 関連リセットの詳細は、「5. リセット」および「14. メモリプロテクションユニット (MPU)」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BUS1ERRRW：コードバス

BUS2ERRRW：システムバス

BUS3ERRRW: DMAC/DTC

RWSTAT ビット（エラーアクセスリード／ライト状態）

RWSTAT ビットは、関連するバスでエラーが起こった場合のアクセス状態（ライトアクセスかリードアクセスか）を示します。バスで発生するエラーの詳細については、「13.3.9. BUSnERRSTAT : バスエラーステータスレジスタ n（n = 1～3）」および「13.4. バスエラー監視部」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT（n = 1～3）レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのリード／ライト状態が RWSTAT ビットに格納されます。

BUSnERRSTAT（n = 1～3）レジスタの ILERRSTAT、MMERRSTAT、SLERRSTAT の各ビットが 1 である場合のみ、RWSTAT ビットは有効です。

13.3.7 BTZFnERRADD : バス TZF エラーアドレスレジスタ（n = 1～3）

Base address: BUS = 0x4000_3000

Offset address: 0x1900 + 0x10 × (n - 1)

Bit position:	31																												0
Bit field:	BTZFERAD[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	BTZFERAD[31:0]	バス TrustZone フィルタエラーアドレス バスエラーが発生した場合、そのエラーアドレスを格納します。	R

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU、TZF 関連リセットの詳細は、「5. リセット」、「14. メモリプロテクションユニット (MPU)」、「43.2. Arm TrustZone セキュリティ」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BTZF1ERRADD：コードバス

BTZF2ERRADD：システムバス

BTZF3ERRADD: DMAC/DTC

各バスの接続については、図 13.1 を参照してください。

BTZFERAD[31:0]ビット（バス TrustZone フィルタエラーアドレス）

BTZFERAD[31:0]ビットは、関連するバスでエラーが起こった場合のアドレスを示します。バスで発生するエラーの詳細については、「13.3.9. BUSnERRSTAT : バスエラーステータスレジスタ n（n = 1～3）」および「13.4. バスエラー監視部」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT（n = 1～3）レジスタの STERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのアドレスが BTZFERAD[31:0]ビットに格納されます。

BUSnERRSTAT（n = 1～3）レジスタの STERRSTAT ビットが 1 である場合のみ、BTZFERAD[31:0]ビットは有効です。

13.3.8 BTZFnERRRW : バス TZF エラーリードライトレジスタ（n = 1～3）

Base address: BUS = 0x4000_3000

Offset address: 0x1904 + 0x10 × (n - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TRWSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TRWSTAT	TrustZone フィルタエラーアクセスリード／ライト状態 エラー発生時の状態 0: リードアクセス 1: ライトアクセス	R
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU、TZF 関連リセットの詳細は、「5. リセット」、「14. メモリプロテクションユニット (MPU)」、「43.2. Arm TrustZone セキュリティ」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BTZF1ERRRW：コードバス

BTZF2ERRRW：システムバス

BTZF3ERRRW: DMAC/DTC

各バスの接続については、図 13.1 を参照してください。

TRWSTAT ビット（TrustZone フィルタエラーアクセスリード／ライト状態）

TRWSTAT ビットは、関連するバスでエラーが起こった場合のアクセス状態（ライトアクセスかリードアクセスか）を示します。バスで発生するエラーの詳細については、「13.3.9. BUSnERRSTAT : バスエラーステータスレジスタ n（n = 1～3）」および「13.4. バスエラー監視部」を参照してください。

バス上でエラーが発生すると、BUSnERRSTAT（n = 1～3）レジスタの STERRSTAT の対応ビットが 1 になり、同時に、バスエラーアクセスのリード／ライト状態が TRWSTAT ビットに格納されます。BUSnERRSTAT（n = 1～3）レジスタの STERRSTAT ビットが 1 である場合のみ、TRWSTAT ビットは有効です。

13.3.9 BUSnERRSTAT : バスエラーステータスレジスタ n（n = 1～3）

Base address: BUS = 0x4000_3000

Offset address: 0x1A00 + 0x10 × (n - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	ILERRSTAT	MMERRSTAT	—	STERRSTAT	SLERRSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SLERRSTAT	スレーブバスエラー状態 0: エラーなし 1: エラー発生	R
1	STERRSTAT	スレーブ TrustZone フィルタエラー状態 0: エラーなし 1: エラー発生	R
2	—	読むと 0 が読めます。	R
3	MMERRSTAT	マスタ MPU エラー状態 0: エラーなし 1: エラー発生	R
4	ILERRSTAT	不正アドレスアクセスエラー状態 0: エラーなし 1: エラー発生	R
7:5	—	読むと 0 が読めます。	R

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU および TZF 関連のリセットの詳細は、「5. リセット」、「14. メモリプロテクションユニット (MPU)」および「43.2. Arm TrustZone セキュリティ」を参照してください。

マスタバスとバスエラーの対応は以下のとおりです。

BUS1ERRSTAT：コードバス

BUS2ERRSTAT：システムバス

BUS3ERRSTAT: DMAC/DTC

各バスの接続については、図 13.1 を参照してください。

不正アクセスエラー、マスタ MPU エラー、スレーブバスエラーのすべてが同時に発生した場合、STAT ビットは下記の順番でのみ有効になります。左側が優先になります。

マスタ MPU エラー ＞ 不正アクセスエラー、スレーブバスエラー

注. 不正アクセスエラーとスレーブバスエラーは同時には発生しません。

ILERRSTAT、MMERRSTAT、または SLERRSTAT の 1 つが設定されると、これらのビットはクリアされるまで更新されません。

SLERRSTAT ビット（スレーブバスエラー状態）

バスにスレーブエラーが発生すると、BUSnERRSTAT.SLERRSTAT (n = 1～3) が 1 になります。クリア条件がリセットされます。あるいは、BUSnERRCLR.SLERRCLR (n = 1～3) を 1 にしてください。スレーブエラーとは、タイムアウトのようなスレーブに発生するエラーです。バスに発生するスレーブエラーの詳細については、「13.4. バスエラー監視部」を参照してください。

STERRSTAT ビット（スレーブ TrustZone フィルタエラー状態）

バスにスレーブ TrustZone フィルタエラーが発生すると、BUSnERRSTAT.STERRSTAT (n = 1～3) が 1 になります。クリア条件がリセットされます。あるいは、BUSnERRCLR.STERRCLR (n = 1～3) を 1 にしてください。デバッガがセキュリティ領域にアクセスするときは STERRSTAT ビットはセットされません。バスに発生するスレーブ TrustZone フィルタエラーの詳細については、「43. セキュリティ機能」 を参照してください。

MMERRSTAT ビット（マスタ MPU エラー状態）

バスにマスタ MPU エラーが発生すると、BUSnERRSTAT.MMERRSTAT (n = 1～3) が 1 になります。クリア条件がリセットされます。あるいは、BUSnERRCLR.MMERRCLR (n = 1～3) を 1 にしてください。バスに発生するマスタ MPU エラーの詳細については、「14. メモリプロテクションユニット (MPU)」を参照してください。

注. マスタ MPU エラーが DMAC または DTC アクセス中に発生し、エラーアドレス値がマスタ MPU 領域にない場合、DMAC または DTC アクセス以前に不正アドレスアクセスエラーまたはスレーブエラーが発生しています。エラーアドレス値を参考にしてどのエラーが起きたのかを判断してください。

ILERRSTAT ビット（不正アドレスアクセスエラー状態）

バスに不正アドレスアクセスエラーが発生すると、BUSnERRSTAT.ILERRSTAT (n = 1～3) が 1 になります。クリア条件がリセットされます。あるいは、BUSnERRCLR.ILERRCLR (n = 1～3) を 1 にしてください。バスに発生する不正アドレスアクセスエラーの詳細については、「13.4. バスエラー監視部」を参照してください。

13.3.10 DMACDTCERRSTAT : DMAC/DTC エラーステータスレジスタ

Base address: BUS = 0x4000_3000

Offset address: 0x1A24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MTERRSTAT
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MTERRSTAT	マスタ TrustZone フィルタエラー状態 0: エラーなし 1: エラー発生	R
7:1	—	読むと 0 が読めます。	R

本レジスタは、MPU および TZF 関連リセット（バスマスタ MPU エラーリセットおよび TrustZone フィルタエラーリセット）以外のリセットによってクリアされます。

MPU および TZF 関連のリセットの詳細は、「5. リセット」、「14. メモリプロテクションユニット (MPU)」および「43.2. Arm TrustZone セキュリティ」を参照してください。

MTERRSTAT ビット（マスタ TrustZone フィルタエラー状態）

DMAC または DTC によりマスタ TrustZone フィルタエラーが発生すると、DMACDTCERRSTAT.MTERRSTAT が 1 になります。クリア条件がリセットされ、DMACDTCERRCLR.MTERRCLR が 1 になります。

DMAC または DTC により発生するマスタ TrustZone フィルタエラーの詳細については、「15. DMA コントローラ (DMAC)」および「16. データトランスファコントローラ (DTC)」を参照してください。

13.3.11 BUSnERRCLR : バスエラークリアレジスタ n（n = 1～3）

Base address: BUS = 0x4000_3000

Offset address: 0x1A08 + 0x10 × (n - 1)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	ILERRCLR	MMERRCLR	—	STERRCLR	SLERRCLR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SLERRCLR	スレーブバスエラークリア SLERRCLR ビットに 1 を書くと、BUSnERRSTAT.SLERRSTAT（n = 1～3）: がクリアされます。	R/W(注1)
1	STERRCLR	スレーブ TrustZone フィルタエラークリア STERRCLR ビットに 1 を書くと、BUSnERRSTAT.STERRSTAT（n = 1～3）がクリアされます。	R/W(注1)
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	MMERRCLR	マスタ MPU エラークリア MMERRCLR ビットに 1 を書くと、BUSnERRSTAT.MMERRSTAT（n = 1～3）がクリアされます。	R/W(注1)

ビット	シンボル	機能	R/W
4	ILERRCLR	不正アドレスアクセスエラークリア ILERRCLR ビットに 1 を書くと、BUSnERRSTAT.ILERRSTAT（n = 1～3）がクリアされます。	R/W(注1)
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. 本ビットには 1 のみ書けます。読むと 0 が読めます。0 の書き込みは無効です。

マスタバスとバスエラーの対応は以下のとおりです。

BUS1ERRCLR：コードバス

BUS2ERRCLR：システムバス

BUS3ERRCLR: DMAC/DTC

BUSnERRCLR（n = 1～3）に 1 を書き込む場合、バスアクセスを停止してください。対応するバスマスタでのエラーの原因になります。

13.3.12 DMACDTCERRCLR : DMAC/DTC エラークリアレジスタ

Base address: BUS = 0x4000_3000

Offset address: 0x1A2C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MTERRCLR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MTERRCLR	マスタ TrustZone フィルタエラークリア 1 を書き込むことにより、DMACDTCERRSTAT.MTERRSTAT フラグをクリアできます。	R/W(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. 本ビットには 1 のみ書けます。読むと 0 が読めます。0 の書き込みは無効です。

DMACDTCERRCLR に 1 を書き込む場合、バスアクセスを停止してください。DMAC/DTC でのエラーの原因になります。

13.4 バスエラー監視部

バスエラー監視システムは、個々の領域を監視して、エラーを検出すると AHB-Lite エラー応答プロトコルを用いてそのエラーを要求マスタ IP に返します。

13.4.1 バスエラーの種類

それぞれのバスでは、下記のエラーが生じる可能性があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- TrustZone フィルタエラー
- 各スレーブ IP より送信されるバスエラー

表 13.2 に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレスレンジを示します。スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。バスマスタ MPU については、「14. メモリプロテクションユニット (MPU)」を参照してください。

13.4.2 バスエラー発生時の動作

バスエラーが発生すると、動作は保証されず、要求マスタ IP にエラーが返されます。

図 13.3 に、バス上の各エラー検出からユーザー通知までの動作を示します。

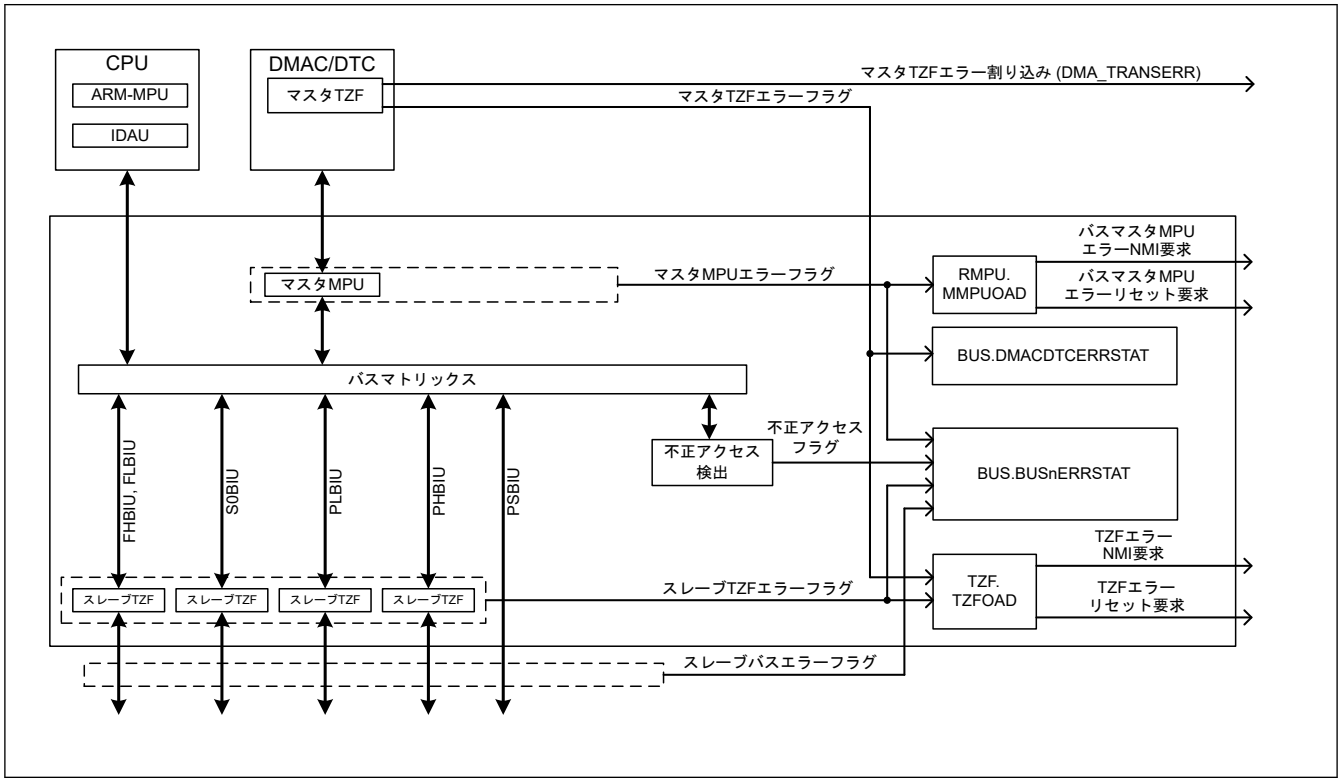


図 13.3 バス上の各エラー検出からユーザー通知までの動作

(1) バスマスタ MPU エラー

DMAC/DTC のバスマスタは、設定されたアドレス領域のアクセス制御のためにマスタ MPU を備えています。CPU には Arm MPU があるので、マスタ MPU はありません。マスタ MPU エラーが検出されると、マスタにエラー応答が返されます。同時に以下の手順を実行します。

1. BUSnERRADD (n = 3) にエラーのアドレスを格納します。
2. BUSnERRRW (n = 3) にエラーのリード／ライト情報を格納します。
3. BUSnERRSTAT (n = 3) レジスタの MMERRSTAT ビットに 1 を設定します。

MMPUOAD.OAD ビットの設定に従って NMI 要求またはリセット要求が発生します（「14. メモリプロテクションユニット (MPU)」参照）。BUSnERRADD (n = 3)、BUSnERRRW (n = 3)、BUSnERRSTAT (n =3) の各レジスタは、MPU および TZF 関連リセット以外のリセットまたは BUSnERRCLR (n = 3) でクリアされるまで保持されるので、NMI 処理ルーチン内またはリセット後に確認できます。

NMI 要求は、リセットまたは BUSnERRCLR (n = 3) による BUSnERRSTAT.MMERRSTAT ビット (n = 3) のクリア後の最初のマスタ MPU エラー時にのみ発生します。

(2) 不正アクセスエラー

「13.4.3. 不正アドレスアクセスエラーを引き起こす条件」に不正アクセスエラーの内容を示します。不正アクセスエラーが検出されると、マスタにエラー応答が返されます。同時に以下の手順を実行します。

1. BUSnERRADD（n = 1～3）にエラーのアドレスを格納します。
2. BUSnERRRW（n = 1～3）にエラーのリード／ライト情報を格納します。

3. BUSnERRSTAT（n = 1～3）レジスタの ILERRSTAT ビットに 1 を設定します。

NMI 要求とリセット要求は発生しません。BUSnERRADD（n =1～3）、BUSnERRRW（n = 1～3）、BUSnERRSTAT（n = 1～3）の各レジスタは、MPU および TZF 関連リセット以外のリセットまたは BUSnERRCLR（n = 1～3）でクリアされるまで保持されるので、バス障害処理ルーチンまたは割り込み処理ルーチン内で確認できます。

(3) マスタ TZF エラー

「43. セキュリティ機能」に示すように、DMAC/DTC には、マスタ TZF エラーがあります。マスタ TZF エラーが検出されると、DMACDTCERRSTAT.MTERRSTAT ビットを 1 にします。DMAC/DTC はバスアクセスを行わないので、BTZF3ERRADD および BTZF3ERRRW レジスタにはバスエラー情報は格納されません。

TZFOAD.OAD ビットの設定に従って NMI 要求またはリセット要求が発生します。マスタ TZF エラーの詳細は、「15. DMA コントローラ (DMAC)」、「16. データトランスファコントローラ (DTC)」を参照してください。DMACDTCERRSTAT レジスタは、MPU および TZF 関連リセット以外のリセットまたは DMACDTCERRCLR レジスタでクリアされるまで保持されるので、NMI 処理ルーチン内またはリセット後に確認できます。

NMI 要求は、リセットまたは DMACDTCERRCLR による DMACDTCERRSTAT.MTERRSTAT ビットのクリア後の最初のマスタ TZF エラー時にのみ発生します。

(4) スレーブ TZF エラー

「43. セキュリティ機能」に示すように、FHBIU（コードフラッシュ）、FLBIU（データフラッシュ）、S0BIU (SRAM)、PHBIU および PLBIU には、スレーブ TZF エラーがあります。スレーブ TZF エラーを検出したら、以下の手順を実行します。

1. BTZFnERRADD (n = 1～3) にエラーのアドレスを格納します。
2. BTZFnERRRW (n = 1～3) にエラーのリード／ライト情報を格納します。
3. BUSnERRSTAT (n = 1～3) レジスタの STERRSTAT ビットに 1 を設定します。

TZFOAD.OAD ビットの設定に従って NMI 要求またはリセット要求が発生します。BTZFnERRADD（n = 1～3）、BTZFnERRRW（n = 1～3）、BUSnERRSTAT（n =1～3）の各レジスタは、MPU および TZF 関連リセット以外のリセットまたは BUSnERRCLR（n = 1～3）でクリアされるまで保持されるので、NMI 処理ルーチン内またはリセット後に確認できます。

NMI 要求は、リセットまたは BUSnERRCLR（n = 1～3）による BUSnERRSTAT.STERRSTAT ビット（n = 1～3）のクリア後の最初のスレーブ TZF エラー時にのみ発生します。

(5) スレーブバスエラー

スレーブバスエラーはスレーブで発生します。スレーブバスエラーが検出されると、マスタにエラー応答が返されます。同時に以下の手順を実行します。

1. BUSnERRADD（n = 1～3）にエラーのアドレスを格納します。
2. BUSnERRRW（n = 1～3）にエラーのリード／ライト情報を格納します。
3. BUSnERRSTAT（n = 1～3）レジスタの SLERRSTAT ビットに 1 を設定します。

NMI 要求とリセット要求は発生しません。BUSnERRADD (n =1～3)、BUSnERRRW (n = 1～3)、BUSnERRSTAT (n = 1～3) の各レジスタは、MPU および TZF 関連リセット以外のリセットまたは BUSnERRCLR (n = 1～3) でクリアされるまで保持されるので、バス障害処理ルーチンまたは割り込み処理ルーチン内で確認できます。バススレーブ MPU エラーが発生すると、要求マスタ IP にエラーが返され、動作は保証されません。

13.4.3 不正アドレスアクセスエラーを引き起こす条件

表 13.2 に、不正アドレスアクセスエラーを引き起こす、バスごとのアドレス空間を示します。

表 13.2 不正アドレスアクセスエラーを引き起こす条件 (1/2)

アドレス	スレーブバス名	マスタバス		
		CPU		DMA
		コード	システム	
0x0000_0000～0x01FF_FFFF	FHBIU	—		—

表 13.2 不正アドレスアクセスエラーを引き起こす条件 (2/2)

アドレス	スレーブバス名	マスタバス		
		CPU		DMA
		コード	システム	
0x0200_0000～0x07FF_FFFF	予約領域	E		E
0x0800_0000～0x0803_FFFF	FLBIU	—		—
0x0804_0000～0x0FFF_FFFF	予約領域	E		E
0x1000_0000～0x100F_FFFF	予約領域	—		E
0x1010_0000～0x1FFF_FFFF	予約領域	E		E
0x2000_0000～0x2800_FFFF	S0BIU		—	—
0x2801_0000～0x3FFF_FFFF	予約領域		E	E
0x4000_0000～0x4007_FFFF	PSBIU		—	—
0x4008_0000～0x400F_FFFF	PLBIU		—	—
0x4010_0000～0x4017_FFFF	PHBIU		—	—
0x4018_0000～0x407D_FFFF	予約領域		E	E
0x407E_0000～0x407F_FFFF	FLBIU		—	—
0x4080_0000～0x5FFF_FFFF	予約領域		E	E
0x6000_0000～0x67FF_FFFF	予約		—	—
0x6800_0000～0x87FF_FFFF	予約領域		E	E
0x8800_0000～0xDFFF_FFFF	予約領域		E	E
0xE000_0000～0xFFFF_FFFF	Cortex®-M33 用システム			E

注. "E" : バスエラー発生
" " : 転送なし
"—" : バスエラー発生なし。予約領域においてもバスエラー発生なし。
FLBIU と S0BIU では予約領域にアクセスしないでください。アクセスすると、スレーブ TZF エラーが発生する可能性があります。

13.4.4 タイムアウト

一部の周辺モジュールでは、モジュールストップ機能によってタイムアウトエラーが発生します。一定期間スレーブから応答がないと、タイムアウトエラーが検出されます。タイムアウトエラーは、AHB-Lite エラー応答プロトコルを用いて要求マスタ IP に返されます。

13.5 参考資料

1. ARM Limited, *ARM v8-M Architecture Reference Manual* (ARM DDI0553B.g)
2. ARM Limited, *ARM Cortex-M33 Processor Technical Reference Manual Revision:r0p4* (ARM 100230_0004_00_en)
3. ARM Limited, *ARM AMBA 5 AHB Protocol Specification AHB5, AHB-Lite* (ARM IHI 0033B.b)
4. ARM Limited, *ARM AMBA AXI and ACE Protocol Specification AXI3, AXI4, and AXI4-Lite, ACE and ACE-Lite* (ARM IHI 0022D)
5. ARM Limited, *ARM AMBA APB Protocol Specification Version: 2.0* (ARM IHI 0024C)

13.6 キャッシュ

13.6.1 概要

キャッシュには 2 種類あります。
- コードバス用の C キャッシュ
- システムバス用の S キャッシュ

表 13.3 にキャッシュの仕様を、図 13.4 にキャッシュのブロック図を、図 13.5 にキャッシュの構造を示します。

表 13.3　キャッシュの仕様

項目	C キャッシュ	S キャッシュ
容量	1 KB	1 KB
ウェイ	2 ウェイセットアソシアティブ	2 ウェイセットアソシアティブ
ラインサイズ	32/64 バイト	32/64 バイト
エントリ数	16/8 エントリ／ウェイ	16/8 エントリ／ウェイ
ライトウェイ	書き込みなし	ライトスルー、非書き込み割り当て
置き換えウェイ	2 ウェイ：LRU (least recently used)	2 ウェイ：LRU (least recently used)
キャッシュサポート領域	0x0000_0000～0x1FFF_FFFF	スタンバイ SRAM 領域 (0x2800_0000～0x2FFF_FFFF) を除く 0x2000_0000～0xDFFF_FFFF(注1)

注 1.　Arm MPU において、周辺領域 0x4000_0000～0x5FFF_FFFF の属性はキャッシュ可能属性であってはなりません。

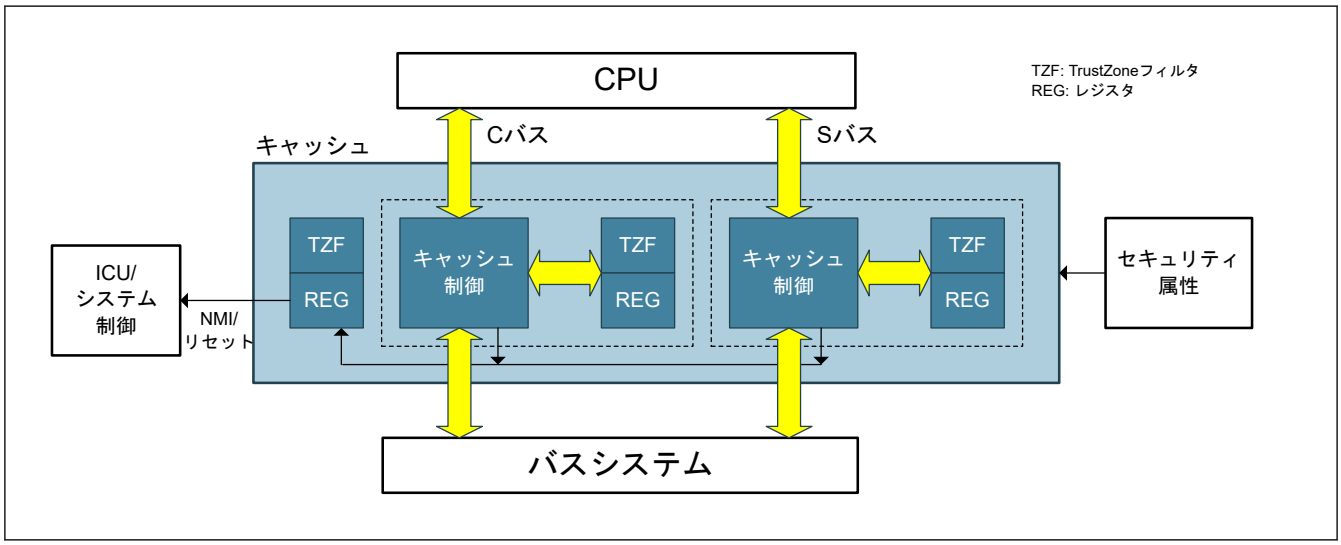


図 13.4　キャッシュのブロック図

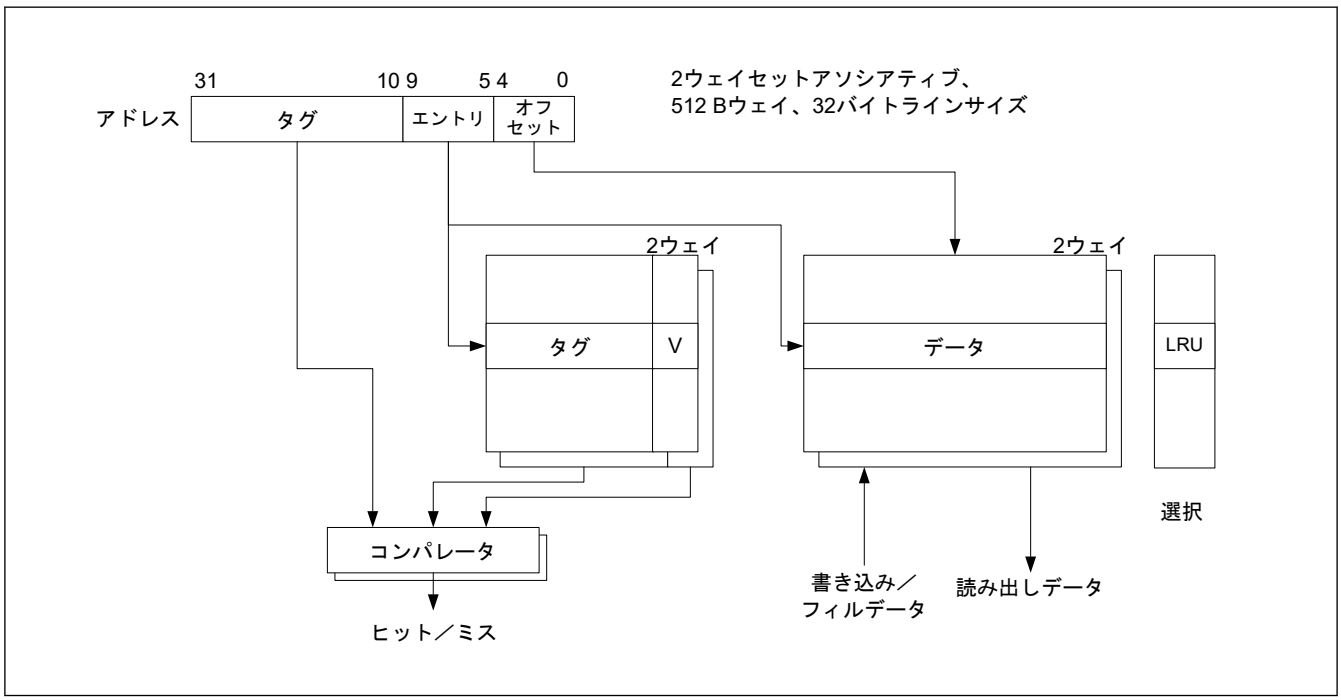


図 13.5　1 KB 容量、32 バイトラインサイズの 2 ウェイセットアソシアティブのキャッシュ構造

13.6.2 レジスタの説明

13.6.2.1 CSAR : キャッシュセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	CACHEESA	CACHELSA	CACHESA
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	CACHESA	キャッシュ制御用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	CACHELSA	キャッシュラインコンフィグレーション用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	CACHEESA	キャッシュエラー用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:3	—	読むと 1 が読めます。	R

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. 本レジスタへの書き込みは、PRCR レジスタにより保護されています。

CACHESA ビット（キャッシュ制御用レジスタのセキュリティ属性）

CACHESA ビットは、キャッシュ制御用レジスタのセキュリティ属性を示します。対象レジスタは以下です。

- CCACTL
- CCAFCT
- SCACTL
- SCAFCT

CACHELSA ビット（キャッシュラインコンフィグレーション用レジスタのセキュリティ属性）

CACHELSA ビットは、キャッシュラインコンフィグレーション用レジスタのセキュリティ属性を示します。対象レジスタは以下です。

- CCALCF
- SCALCF

CACHEESA ビット（キャッシュエラー用レジスタのセキュリティ属性）

CACHEESA ビットは、キャッシュエラー用レジスタのセキュリティ属性を示します。

- CAPOAD
- CAPRCR

13.6.2.2 CCACTL : C キャッシュコントロールレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x000

Bit position:	31																													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ENC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENC	C キャッシュ許可 C キャッシュの許可／禁止を設定します。 0: C キャッシュを禁止 1: C キャッシュを許可	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ENC ビット（C キャッシュ許可）

ENC ビットは、C キャッシュのキャッシュ許可／禁止を制御します。ENC ビットが 0 から 1 に変化した場合、C キャッシュの VALID ビットはクリアされます。

13.6.2.3 CCAFCT : C キャッシュフラッシュコントロールレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x004

Bit position:	31																													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FC	C キャッシュフラッシュ C キャッシュのラインフラッシュを設定します。 0: 動作なし 1: C キャッシュラインフラッシュ（すべてのラインをインバリデート）	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

FC ビット（C キャッシュフラッシュ）

FC ビットは、C キャッシュのキャッシュフラッシュを制御します。

[1 になる条件]

- 本ビットに 1 を書き込んだとき
- CCACTL.ENC ビットが 0 から 1 に切り替わったとき

[0 になる条件]

- 本ビットは、キャッシュフラッシュが実行されたとき自動的にクリアされます。

13.6.2.4 CCALCF : C キャッシュラインコンフィグレーションレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x008

Bit position:	31																												1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
1:0	CC[1:0]	C キャッシュラインサイズ C キャッシュのラインサイズを設定します。 0 0: 禁止 0 1: キャッシュラインサイズ 32 バイト 1 0: キャッシュラインサイズ 64 バイト 1 1: 禁止	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

CC[1:0]ビット（C キャッシュラインサイズ）

CC[1:0]ビットは、C キャッシュのキャッシュラインサイズを制御します。CCACTL.ENC ビットが 0 の場合に、本ビットに対する書き込みが可能になります。CCACTL.ENC ビットが 0 でない場合は、本ビットに対する書き込みはできません。

13.6.2.5 SCACTL : S キャッシュコントロールレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x040

Bit position:	31																													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ENS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENS	S キャッシュ許可 S キャッシュの許可／禁止を設定します。 0: S キャッシュを禁止 1: S キャッシュを許可	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

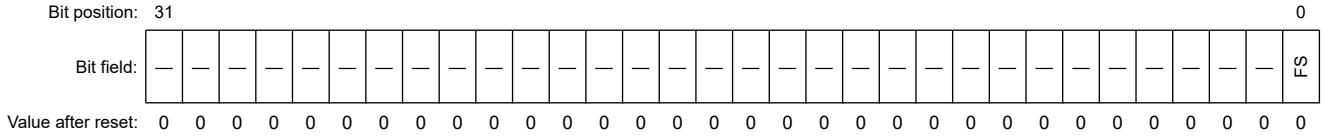
ENS ビット（S キャッシュ許可）

ENS ビットは、S キャッシュのキャッシュ有効／無効を制御します。ENS ビットが 0 から 1 に変化した場合、S キャッシュの VALID ビットはクリアされます。

13.6.2.6 SCAFCT : S キャッシュフラッシュコントロールレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x044



ビット	シンボル	機能	R/W
0	FS	S キャッシュフラッシュ S キャッシュのラインフラッシュを設定します。 0: 動作なし 1: S キャッシュラインフラッシュ（すべてのラインをインバリデート）	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

FS ビット（S キャッシュフラッシュ）

FS ビットは、S キャッシュのキャッシュフラッシュを制御します。

[1 になる条件]

本ビットに 1 を書き込んだとき

SCACTL.ENS ビットが 0 から 1 に切り替わったとき

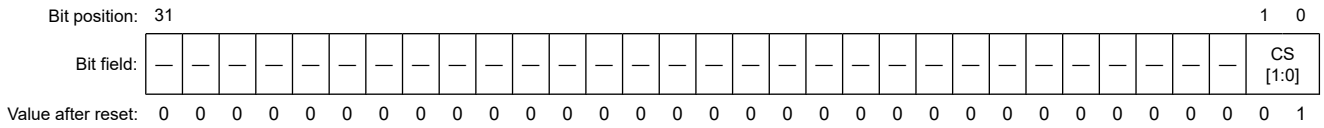
[0 になる条件]

本ビットは、キャッシュフラッシュが実行されたとき自動的にクリアされます。

13.6.2.7 SCALCF : S キャッシュラインコンフィグレーションレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x048



ビット	シンボル	機能	R/W
1:0	CS[1:0]	S キャッシュラインサイズ S キャッシュのラインサイズを設定します。 0 0: 禁止 0 1: キャッシュラインサイズ 32 バイト 1 0: キャッシュラインサイズ 64 バイト 1 1: 禁止	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

CS[1:0]ビット（S キャッシュラインサイズ）

CS[1:0]ビットは、S キャッシュのキャッシュラインサイズを制御します。また、本ビットの書き換えは、SCACTL.ENS ビットが 0 のときに行ってください。SCACTL.ENS ビットが 0 でない場合は、本ビットに対する書き込みはできません。

[1 になる条件]

また、本ビットの書き換えは、CACTL.ENS ビットが 0 のときに行ってください。CACTL.ENS ビットが 0 でない場合は、本ビットに対する書き込みはできません。

13.6.2.8 CAPOAD : キャッシュパリティエラー検出後動作レジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x200

Bit position:	31																													0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 検出後の動作を選択します。 0: ノンマスカブル割り込み 1: リセット	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

OAD ビット（検出後の動作）

OAD ビットは、パリティエラーが検出された場合に、リセットまたはノンマスカブル割り込みのどちらを発生させます。

本レジスタへの書き込みはプロテクトレジスタ (CAPRCR) によって保護されています。まず、プロテクトレジスタ (CAPRCR) の VALID ビットを許可にしてから本ビットへの書き込みを行ってください。CAPOAD レジスタへの書き込みはキャッシュへのアクセスを行っていない状態で行ってください。

13.6.2.9 CAPRCR : キャッシュプロテクトレジスタ

Base address: CACHE = 0x4000_7000

Offset address: 0x204

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	KW[6:0]							PRCR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PRCR	レジスタ書き込み制御 レジスタへの書き込み制御を設定します。 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコード PRCR ビットへの書き込みを許可または禁止します。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

PRCR ビット（レジスタ書き込み制御）

PRCR ビットは、CAPOAD レジスタのライトモードを制御します。本ビットが 1 のとき、CAPOAD レジスタへの書き込みが許可されます。本ビットに書き込む場合、同時に KW[6:0]ビットに 0x78 を書き込んでください。

KW[6:0]ビット（書き込みキーコード）

KW[6:0]ビットは、PRCR ビットへの書き込みを許可または禁止します。PRCR ビットに書き込む場合、同時に KW[6:0]ビットに 0x78 を書き込んでください。0x78 以外の値を KW[6:0]ビットに書き込むと、PRCR ビットは更新されません。KW[6:0]は読むと常に 0x00 が読み出されます。

13.6.3 動作説明

13.6.3.1 S キャッシュ

図 13.6 に、CPU から S キャッシュへのアクセスフローを示します。

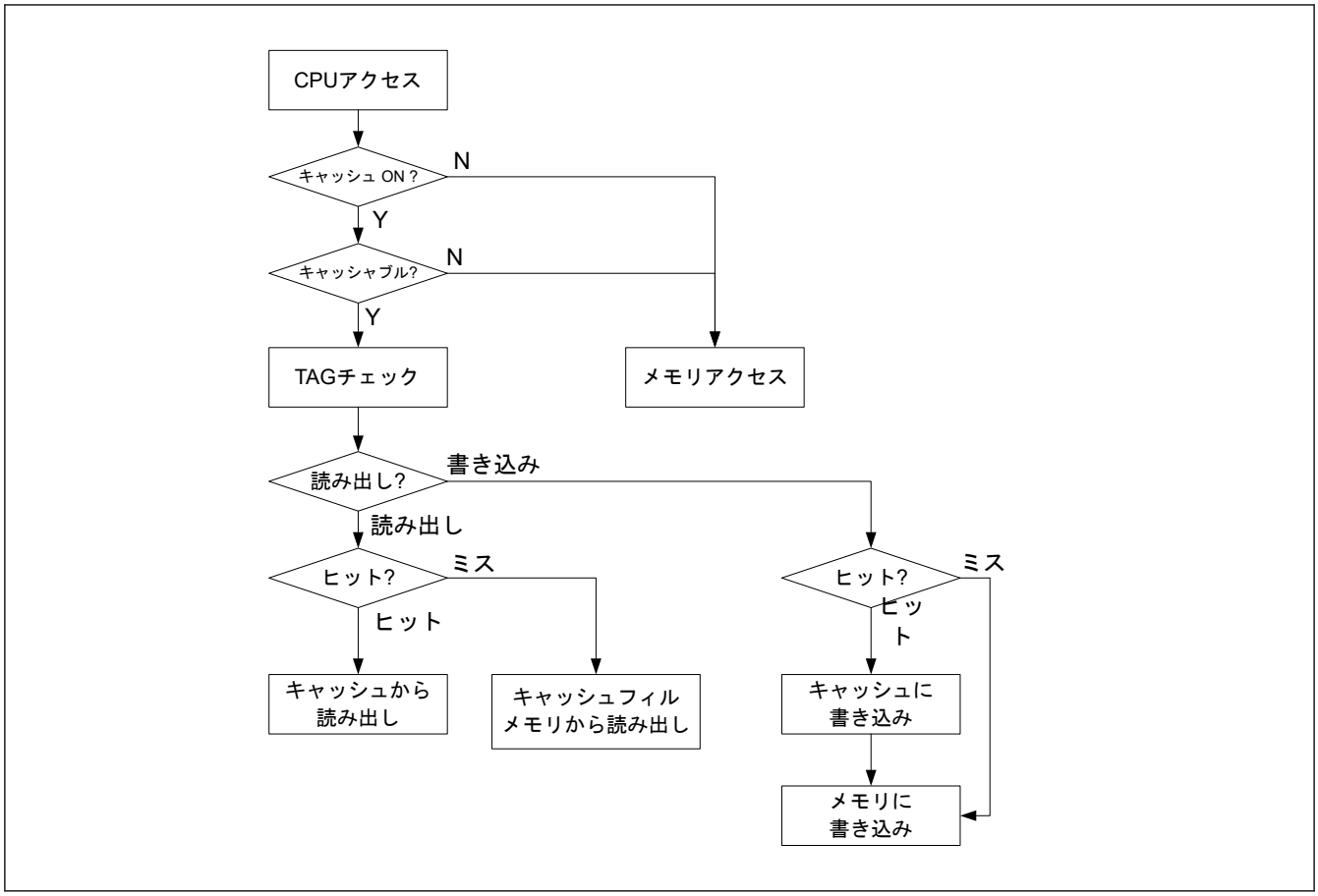


図 13.6　CPU から S キャッシュへのアクセスフロー

キャッシュ機能が動作するのは、キャッシュが有効 (CACTL.ENS = 1) で、キャッシャブルアクセスが CPU からの場合です。キャッシュは、CPU アクセス要求およびキャッシュタグ内の要求のアドレスをチェックし、CPU アクセスがヒットなのかミスヒットなのかを判断します。

リードミス

キャッシュはメモリから 1 つのキャッシュラインデータを読み出し、それをキャッシュデータに格納します。続いてキャッシュは必要なデータを CPU に返します。

リードヒット

キャッシュは必要なデータをキャッシュデータから読み出し、それを CPU に戻します。次にアクセスサイクルは、0 ウェイトサイクルであるのでヒットと判断します。

ライトミス

キャッシュはメモリへのライトサイクルのみを処理します。キャッシュデータに影響ありません。

ライトヒット

キャッシュは、キャッシュデータへのライトサイクルおよびメモリへのライトサイクルの両方を処理します。

13.6.3.2　C キャッシュ

図 13.7 に、CPU から C キャッシュへのアクセスフローを示します。

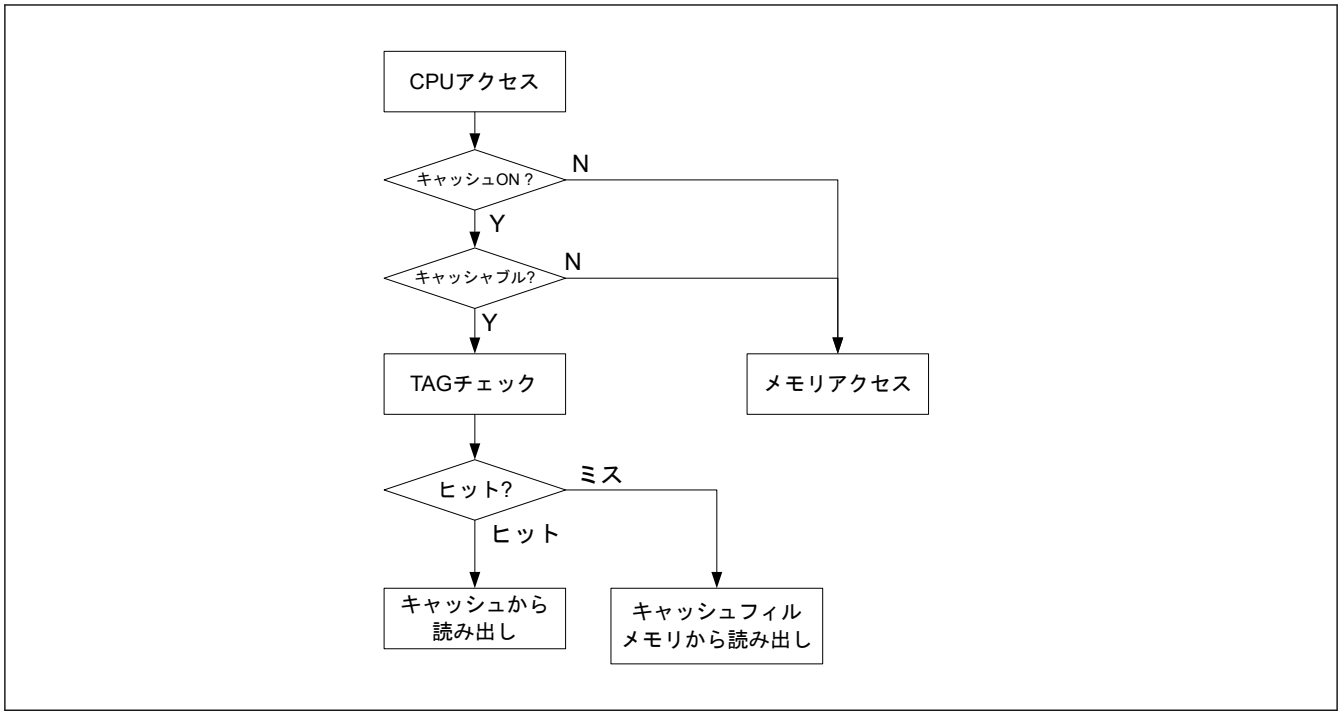


図 13.7　CPU から C キャッシュへのアクセスフロー

キャッシュ機能が動作するのは、キャッシュが有効 (CACTL.ENC = 1) で、キャッシャブルアクセスが CPU からの場合です。キャッシュは、CPU アクセス要求およびキャッシュタグ内の要求のアドレスをチェックし、CPU アクセスがヒットなのかミスヒットなのかを判断します。

リードミス

キャッシュはメモリから 1 つのキャッシュラインデータを読み出し、それをキャッシュデータに格納します。続いてキャッシュは必要なデータを CPU に返します。

リードヒット

キャッシュは必要なデータをキャッシュデータから読み出し、それを CPU に戻します。次にアクセスサイクルは、0 ウェイトサイクルであるのでヒットと判断します。

C キャッシュは C キャッシュの ROM 領域では動作せず、読み出し専用アクセスで動作します。

13.6.3.3　キャッシュフラッシュ

VALID ビットは CAFCT レジスタでクリアされます。しかしながら、タグおよびキャッシュデータは CAFCT レジスタにより影響を受けません。

VALID ビットはまた、CACTL レジスタが 0 から 1 になったときクリアされます。

注.　キャッシャブル属性を Arm MPU により変更後、CAFCT レジスタを使って VALID ビットをクリアしてください。

13.6.3.4　LRU と置き換え

キャッシュは、キャッシュ置き換えアルゴリズムとして LRU (Least Recently Used) 方式を使用します。CPU アクセスがヒットまたはミスヒットと判定された場合、キャッシュは最新回復データではないキャッシュデータを置き換えます。さらに、キャッシュはキャッシュデータの LRU において最新データというタグを付けられます。したがって、キャッシュウェイのキャッシュラインがフルの場合、キャッシュはより古いデータを示す LRU を使ってキャッシュデータを置き換えできます。

2 ウェイ LRU のアルゴリズムは、たとえばウェイ 0 またはウェイ 1 といった、いずれのウェイが最近格納されたかを示します。

13.6.3.5 パリティチェック

キャッシュには、キャッシュフィルデータとして格納されているキャッシュ RAM に対してパリティチェック機能があります。キャッシュは 32 ビットデータに対して 4 ビットパリティがあります。すなわち、データが読み出されるとき、32 ビットデータ幅の 8 ビットデータごとにパリティビットが付加されます。ヒット状態でデータを読み出すとき、キャッシュはパリティエラーをチェックします。パリティエラーが発生すると、パリティエラー通知が生成されます。

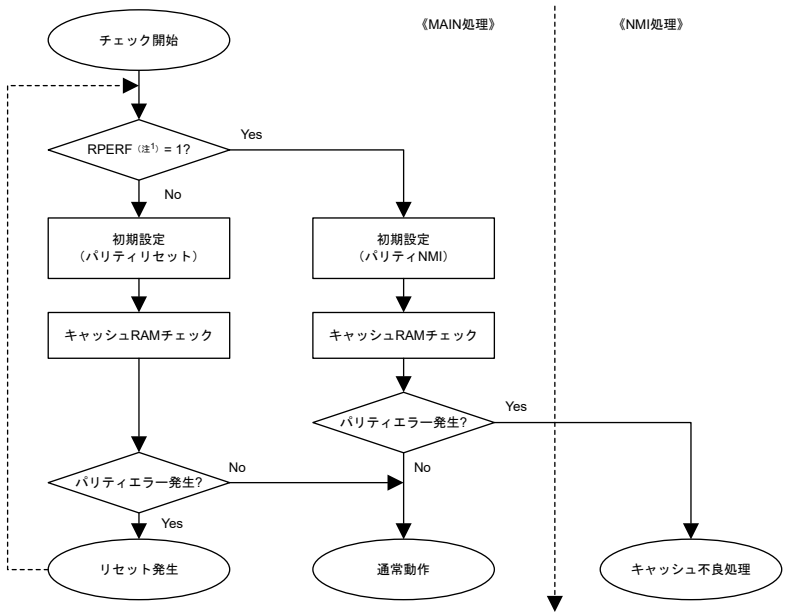
CPU がバイトリードまたはハーフバイトリードを要求している場合でもキャッシュは 32 ビットデータを読み出します。

注. CPU が要求していない、バリデートされていないデータのバイトで引き起こされた場合でもパリティエラーが発生する可能性があります。

パリティエラー通知には、CAPOAD レジスタでノンマスカブル割り込みまたはリセット要求を指定できます。しかしながら、デバッグモードによりパリティエラー通知抑止が要求される場合、通知は生成されません。

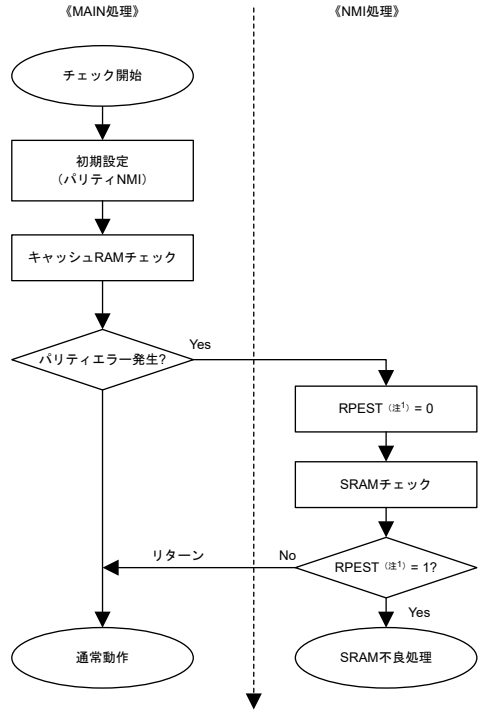
パリティエラーが発生するとキャッシュはキャッシュフラッシュを実行せず、CPU に対してバスエラーを返しません。

パリティエラーはノイズにより頻繁に発生します。パリティエラーの原因がノイズか破損かを確認するには、図 13.8 および図 13.9 に示されたキャッシュパリティチェックフローを使用します。



注 1. RPERF: キャッシュパリティエラーリセット検出フラグ (RSTSR1.RPERF)

図 13.8 パリティリセット許可の場合のキャッシュパリティチェックのフロー



注 1. RPEST: キャッシュパリティエラー割り込み検出フラグ (NMISR.RPEST)

図 13.9 パリティ割り込み許可の場合のキャッシュパリティチェックのフロー

13.6.3.5.1 キャッシュ RAM チェック

キャッシュ RAM のパリティエラーは、「リードヒット」キャッシュ状態での CPU のリードアクセスで発生します。「リードヒット」状態では、キャッシュ RAM チェックを実行する前にいくつかの条件が必要です。S キャッシュをチェックするには、フラッシュメモリでチェックプログラムを実行してください。C キャッシュをチェックするには、SRAM でチェックプログラムを実行してください。

(1) キャッシュ RAM のチェックフロー

1. キャッシュ内の全 VALID ビットをフラッシュし、キャッシュイネーブルビットをクリアします。
2. S キャッシュ用に SRAM のような 1 KB のワークメモリを確保します。MCU 内の各キャッシュは、各ウェイが 0.5 KB の RAM である、2 ウェイセットアソシアティブキャッシュなので、S キャッシュには合計 1 KB 必要です。対象のアドレスは予約領域として使用しないでください。
3. キャッシュイネーブルビットを 1 にします。
4. CPU を使って 1 KB の対象ワードアドレスからデータを読み出します。キャッシュの状態は、リードミスで、その結果はキャッシュフィルデータとして格納されます。
5. もう一つのウェイからデータを読み出します。そのアドレスはステップ 4.のアドレスに 0.5 KB アドレスを加算することによって計算されます。キャッシュの状態は、リードミスで、その結果はもう一つのウェイにキャッシュフィルデータとして格納されます。これでライト／リードヒット状態のキャッシュ RAM チェックが完了しました。
6. ステップ 4.と 5.の対象ワードアドレスに試験データを書き込みます。ステップ 4.と 5.のキャッシュの状態は、ライトヒットで、その結果はキャッシュ RAM に書き込まれます。
7. ステップ 4.と 5.の対象ワードアドレスから読み出します。ステップ 4.と 5.のキャッシュ状態はリードヒットになります。ワードデータのパリティチェックが完了です。
8. 別の対象アドレスについてパリティチェックを継続するにはステップ 1.に進む。

13.6.3.6 バスエラー

バスエラーに対するバススレーブの対応について以下で説明します。

キャッシュ OFF の場合

キャッシュは CPU にバスエラーを返します。

非キャッシャブルアクセスの場合

キャッシュは CPU にバスエラーを返します。

キャッシュフィルのためのリードアクセス中

CPU アクセス要求に対応する最初のデータに対して、キャッシュは CPU にバスエラーを返します。キャッシュラインフィル中のその他のリードデータに対して、「Early Forwarding」でデータを読み出す場合を除いて、キャッシュは CPU にバスエラーを返します。キャッシュがスレーブからのバスエラーを受け付ける場合、キャッシュイネーブルビットがキャッシュラインをクリアします。

ライトヒット状態の場合

キャッシュイネーブルビットがキャッシュラインをクリアしないので、キャッシュはバスエラーを CPU に返せません。

ライトミス状態の場合

キャッシュは CPU にバスエラーを返せません。

13.6.3.7 Early Forwarding 機能

キャッシュにデータをフィルしているとき、CPU 読み出し要求のアドレスとキャッシュフィル要求のアドレスが同一の場合、キャッシュは CPU にデータを返します。表 13.4 に例を示します。

表 13.4 Early Forwarding の例

動作	アクセスシーケンス								
CPU 読み出し要求のアドレス	0x04	0x08	0x0C	0x14	→	0x10	→	→	→
キャッシュフィル要求のアドレス	0x04	0x08	0x0C	0x10	0x14	0x18	0x1C	0x00	—
CPU アクセス状態	読み出し (0x04)	読み出し (0x08)	読み出し (0x0C)	—	読み出し (0x14)	—	—	—	読み出し (0x10)

CPU が読み出しを要求し、そのアドレスが順に 0x04、0x08、0x0C、0x14、0x10 の場合、アドレス 0x04 に対する最初の読み出しはミスヒット状態で、キャッシュはデータをキャッシュにフィル開始します。Early Forwarding 機能は、キャッシュがキャッシュラインをフィル中アクセスがアドレス 0x08、0x0C および 0x14 に対してであった場合、読み出しデータを CPU に返します。一方、アドレス 0x10 に対するアクセスは、キャッシュラインのフィル完了を待つ必要があります。キャッシュは、キャッシュラインのフィルを終了するとアドレス 0x10 のデータを返します。

13.6.4 使用上の注意事項

13.6.4.1 キャッシュラインコンフィグレーションレジスタ

状態がキャッシュ OFF の場合キャッシュラインコンフィグレーションレジスタへの書き込みが可能です（S キャッシュの場合 CACTL.ENS = 0、C キャッシュの場合 CACTL.ENC = 0）。

13.6.4.2 コヒーレンシ

キャッシュと内部 SRAM とのコヒーレンシはソフトウェアにより保証する必要があります。

キャッシュ対応エリア内で CPU と DMAC のようなバスマスタ間で共有メモリを割り当てる場合、必要に応じてキャッシュデータを無効としてください。

13.6.4.3 キャッシャビリティ

キャッシュが有効である場合、キャッシャブル属性は Cortex-M のデフォルトシステムアドレスマップによるか、もしくはデフォルトシステムアドレスマップまたは Arm MPU 設定に関係なく常に非キャッシャブルとして取り扱われる 0x2800_0000 から 0x2FFF_FFFF の領域を除く Arm MPU を使用することにより決定されます。

デフォルトシステムアドレスマップを使用する場合、キャッシャブル属性は以下のように決定されます。

- 0x0000_0000～0x27FF_FFFF：キャッシャブル
- 0x2800_0000～0x2FFF_FFFF：非キャッシャブル
- 0x3000_0000～0x3FFF_FFFF：キャッシャブル
- 0x4000_0000～0x5FFF_FFFF：非キャッシャブル
- 0x6000_0000～0x9FFF_FFFF：キャッシャブル
- 0xA000_0000～0xFFFF_FFFF：非キャッシャブル

デフォルトシステムアドレスマップを使用しない場合、各 MPU 領域で使用される MAIR_ATTR はキャッシャブル属性を以下のように決定します。

- MAIR_ATTR[7:4] = 0000b：非キャッシャブル（デバイスメモリ）
- MAIR_ATTR[7:4] = 0100b：非キャッシャブル（通常のメモリ）
- MAIR_ATTR[7:4] = 1010b：キャッシャブル
- 本 MCU では他の設定はサポートされません。

注. 以下の領域にアクセスする場合、領域は非キャッシャブルに設定される必要があります。

- 周辺 I/O レジスタ領域 (0x4000_0000～0x5FFF_FFFF)

ARM Limited, *ARM v8-M Architecture Reference Manual* を参照してください。

14. メモリプロテクションユニット (MPU)

14.1 概要

本 MCU は、1 つのメモリプロテクションユニットを備えています。

表 14.1 に、MPU の仕様を示します。また、表 14.2 に、各 MPU エラー検出の動作を示します。

表 14.1 MPU の仕様

項目	モジュール／機能	内容
不正メモリアクセス	Arm® Cortex®-M33 CPU	• Arm® CPU はデフォルトのメモリマップを内蔵。CPU が不正アクセスを行うと、例外割り込みが発生 • デフォルトのメモリマップは MPU で変更可能
メモリプロテクション	Arm® MPU	CPU 用のメモリプロテクション機能 • セキュアと非セキュアに対するサブ領域とバックグラウンド領域で MPU は (8+8) 領域
	バスマスタ MPU	CPU を除くマスタ用のメモリプロテクション機能 • DMAC/DTC：8 領域

表 14.2 MPU エラー検出動作

MPU の種類	通知方法	AHB I/F の HRESP 信号によるエラー応答	エラー検出時のバスアクセス	エラーアクセス情報の格納
Arm MPU	• ハードフォールト	非サポート	• 正しくライトアクセスしない • 正しくリードアクセスしない	Cortex-M33 プロセッサに格納する
バスマスタ MPU	• リセットまたはノンマスカブル割り込み • ハードフォールト	サポート	• ライトアクセスは無視 • リードアクセスは 0 が読めます。	格納する

Arm® MPU に対するエラーアクセスについては、「14.4. 参考資料」を参照してください。他の MPU に対するエラーアクセスについては、「13. バス」の「13.3. レジスタの説明」および「13.4. バスエラー監視部」を参照してください。

14.2 Arm MPU

Arm MPU は全アドレス空間 (0x0000_0000～0xFFFF_FFFF) を対象に CPU がアクセスするアドレスを監視しており、次の機能を備えています。

- (8 + 8) つの保護領域を設定可能
- メモリ領域が重複している場合、コアアクセスが重複領域にヒットすると、プロセッサはフォルトを生成します。
- 保護領域へのアクセス権設定が可能（読み出し、書き込み、実行）
- メモリ属性のシステムへのエクスポート

Arm MPU の不一致およびアクセス違反によって、プログラマブルプライオリティ MemManage フォルト（ハードフォルト）ハンドラが呼び出されます。詳細は、「14.4. 参考資料」を参照してください。

14.3 バスマスタ MPU

バスマスタ MPU は、全アドレス空間 (0x0000_0000～0xFFFF_FFFF) を対象にバスマスタ がアクセスするアドレスを監視しています。アクセス制御情報は、DMAC/DTC で 8 領域まで設定可能です。各領域へのアクセスの監視は本情報に従います。

保護領域に対するアクセスが検出されると、バスマスタ MPU は内部リセットまたはノンマスカブル割り込みを発生させます。エラーアクセスについての詳細は、「13. バス」の「13.3. レジスタの説明」および「13.4. バスエラー監視部」を参照してください。

各領域のアクセス制御情報は、読み出し保護または保護対象外と書き込み保護または保護対象外の情報で構成されます。

表 14.3 にバスマスタ MPU の仕様を示します。

表 14.3 バスマスタ MPU の仕様

項目	内容
マスタグループ	• DMAC, DTC
メモリプロテクション対象領域	0x0000_0000～0xFFFF_FFFF
領域数	• DMAC/DTC：8 領域
各領域のアドレス指定	• 領域の開始アドレスと終了アドレスを設定
各領域のメモリプロテクション有効または無効設定	• 対応する領域に対し有効または無効を設定
各領域のアクセス制御情報設定	• 読み出しおよび書き込み許可
検出後の動作	• リセットまたはノンマスカブル割り込み
レジスタの保護	• バスマスタ MPU レジスタに対する不正書き込みの検出が可能
TrustZone フィルタ	• DMAC：各領域に対するセキュリティ属性を設定可能

14.3.1 レジスタの説明

MPU レジスタに書き込む前にバスアクセスを停止してください。

14.3.1.1 MMPUSARA：マスタメモリプロテクションユニットセキュリティ属性レジスタ A

Base address: CPSCU = 0x4000_8000

Offset address: 0x130

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	MMPUASA7	MMPUASA6	MMPUASA5	MMPUASA4	MMPUASA3	MMPUASA2	MMPUASA1	MMPUASA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	MMPUASAn	MMPUA セキュリティ属性（n = 0～7） 0: セキュア 1: 非セキュア	R/W
31:8	—	読むと 1 が読めます。	R(注1)

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

注 1. 本ビットは読み出し専用です。

MMPUASAn ビット（MMPUA セキュリティ属性（n = 0～7））

MMPUASAn ビットは、バスマスタ MPU 領域設定レジスタ用レジスタのセキュリティ属性を指定します。対象レジスタは以下です。

- MMPUSDMACn (n = 0～7)
- MMPUEDMACn (n = 0～7)
- MMPUACDMACn (n = 0～7)

14.3.1.2 MMPUSARB : マスタメモリプロテクションユニットセキュリティ属性レジスタ B

Base address: CPSCU = 0x4000_8000

Offset address: 0x134

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MMPUBSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MMPUBSA0	MMPUB セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R(注1)

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

注 1. 本ビットは読み出し専用です。

MMPUBSA0 ビット（MMPUB セキュリティ属性）

MMPUBSA0 ビットは、バスマスタ MPU 領域設定レジスタ、保護レジスタ、OAD レジスタ用レジスタのセキュリティ属性を指定します。対象レジスタは以下です。

- MMPUENDMAC
- MMPUENPTDMAC
- MMPURPTDMAC
- MMPURPTDMAC_SEC
- MMPUOAD
- MMPUOADPT

MMPUBSA0 ビットが 0（セキュア）である場合は、セキュアユーザーが非セキュアユーザーに対して、MMPURPTDMAC 値を変更するためのセキュア API を提供します。

14.3.1.3 MMPUSDMACn : DMAC 用 MMPU スタートアドレスレジスタ（n = 0～7）

Base address: RMPU = 0x4000_0000

Offset address: 0x0204 + 0x010 × n

Bit position:	31	5	0
Bit field:	MMPUS[31:5]	—	—
Value after reset:	x x x x x x x x x x x x x x x x x x x x x x x x x x x	0	0 0 0 0

ビット	シンボル	機能	R/W
4:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:5	MMPUS[31:5]	領域スタートアドレスレジスタ 領域スタートアドレス（領域決定に使用）	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

MMPUSDMACn（n = 0～7）レジスタは、領域開始位置のアドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスやハーフワードアクセスはしないでください。バイトアクセスやハーフワードアクセスは動作保証の対象外です。

MMPUSDMACn（n = 0～7）、MMPUEDMACn（n = 0～7）、および MMPUACDMACn（n = 0～7）レジスタで設定される領域をセキュアアクセスに設定するか非セキュアアクセスに設定するかは、MMPUSARA レジスタで設定します。対応する MMPUSARA.MMPUASAn（n = 0～7）ビットが 1 に設定されると、その領域には非セキュアアクセスのみが許可されます。一方、対応する MMPUSARA.MMPUASAn（n = 0～7）ビットが 0 に設定されると、その領域にはセキュアアクセスのみが許可されます。

14.3.1.4 MMPUEDMACn : DMAC 用 MMPU エンドアドレスレジスタ（n = 0～7）

Base address: RMPU = 0x4000_0000

Offset address: 0x0208 + 0x010 × n

Bit position:	31																							5					0
Bit field:	MMPUE[31:5]																							—	—	—	—	—	
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	1	1	1	1	

ビット	シンボル	機能	R/W
4:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31:5	MMPUE[31:5]	領域エンドアドレスレジスタ 領域エンドアドレス（領域決定に使用）	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

MMPUEDMACn（n = 0～7）レジスタは、領域終了位置のアドレスを指定します。

本レジスタは、ワードアクセスをする必要があります。バイトアクセスとハーフワードアクセスは禁止されています。バイトアクセスとハーフワードアクセスを実行した場合には、その動作を保証していません。

14.3.1.5 MMPUACDMACn : DMAC 用 MMPU アクセスコントロールレジスタ（n = 0～7）

Base address: RMPU = 0x4000_0000

Offset address: 0x0200 + 0x010 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	WP	RP	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	領域有効 0: DMAC 領域 n ユニット無効 1: DMAC 領域 n ユニット有効	R/W
1	RP	読み出し保護 0: 読み出し許可 1: 読み出し保護	R/W

ビット	シンボル	機能	R/W
2	WP	書き込み保護 0: 書き込み許可 1: 書き込み保護	R/W
15:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

領域 n ユニットごとに、ENABLE ビット、RP ビット、WP ビットを個別に設定します。

ENABLE ビット（領域有効）

ENABLE ビットは、DMAC/DTC 領域 n（n = 0〜7）ユニットを有効または無効にします。

ENABLE ビットが 1 に設定されると、RP ビットと WP ビットは MMPUSDMACn（n = 0〜7）と MMPUEDMACn（n = 0〜7）の範囲への読み出し保護および書き込み保護に対するアクセス許可を制御します。

ENABLE ビットを 0 にした場合、DMAC 領域 n（n = 0〜7）へのアクセスは領域外となります。

RP ビット（読み出し保護）

RP ビットは、DMAC/DTC 領域 n（n = 0〜7）読み出し保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、RP ビットを使用可能になります。

WP ビット（書き込み保護）

WP ビットは、DMAC/DTC 領域 n（n = 0〜7）の書き込み保護を有効または無効にします。

ENABLE ビットを 1 に設定すると、WP ビットを使用可能になります。

表 14.4 DMAC 用領域制御回路の機能

MMPUACDMACn（n = 0〜7）			アクセス	領域	DMAC 領域 n ユニットの出力 (n = 0〜7)
ENABLE	RP	WP			
0	—	—	リード	—	外部領域
			ライト		外部領域
1	0	0	リード	内部	許可領域
				外部	外部領域
			ライト	内部	許可領域
				外部	外部領域
	0	1	リード	内部	許可領域
				外部	外部領域
			ライト	内部	保護領域
				外部	外部領域
	1	0	リード	内部	保護領域
				外部	外部領域
			ライト	内部	許可領域
				外部	外部領域
	1	1	リード	内部	保護領域
				外部	外部領域
			ライト	内部	保護領域
				外部	外部領域

注. DMAC と DTC の各領域は、MMPUSARA レジスタによりセキュアアクセスまたは非セキュアアクセスに設定されます。この場合では、セキュアアクセスにおける非セキュア領域と、非セキュアアクセスにおけるセキュア領域は領域外となります。

表 14.5 DMAC 用マスタ制御回路の機能

MMPUENDMAC ENABLE	DMAC 領域 0 ユニットの出力	DMAC 領域 1 ユニットの出力	DMAC 領域 2～7 ユニットの出力	DMAC の機能
1	保護領域	Don't care	Don't care	エラー発生
	Don't care	保護領域	Don't care	エラー発生
	Don't care	Don't care	保護領域	エラー発生
	外部領域	外部領域	外部領域	エラー発生
上記以外				エラー発生なし

以下の条件でマスタ MPU エラーが発生します。

1. MMPUENDMAC.ENABLE = 1 で、かつ 1 つ以上の領域 n ユニットの出力が、保護領域の場合
2. MMPUENDMAC.ENABLE = 1、かつすべての領域 n ユニットの出力が領域外の場合

その他の場合は許可領域として処理される

14.3.1.6 MMPUENDMAC : DMAC 用 MMPU イネーブルレジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0100

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	ENABLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ENABLE	DMAC のバスマスタ MPU 有効 0: DMAC のバスマスタ MPU 無効 1: DMAC のバスマスタ MPU 有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード ENABLE ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

ENABLE ビット（DMAC のバスマスタ MPU 有効）

ENABLE ビットは、マスタグループごとにバスマスタ MPU 機能を有効または無効にします。

ENABLE ビットを 1 に設定すると、MMPUACDMACn（n = 0～7）レジスタを使用可能になります。ENABLE ビットを 0 に設定すると、MMPUACDMACn（n = 0～7）レジスタがすべての領域に対して使用できなくなります。バスマスタ MPU 機能は、各マスタグループの ENABLE ビットを設定します。ENABLE ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、ENABLE ビットへの書き込みを許可または禁止します。ENABLE ビットへ書き込み際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。0xA5 以外の値を KEY[7:0]ビットに書き込むと、ENABLE ビットは更新されません。 KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

14.3.1.7 MMPUENPTDMAC : DMAC 用 MMPU イネーブル保護レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0104

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MMPUENDMAC レジスタの書き込みは可能 1: MMPUENDMAC レジスタの書き込みから保護。読み出しは可能。	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、MMPUENDMAC レジスタへの書き込みを許可または禁止します。

PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。0xA5 以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

14.3.1.8 MMPURPTDMAC : DMAC 用 MMPU 領域保護レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0108

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: DMAC 用バスマスタ MPU レジスタの書き込みは可能 1: DMAC 用バスマスタ MPU レジスタの書き込みから保護。読み出しは可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注. ハーフワードアクセスでの書き込みが必要です。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPURPTDMAC.PROTECT ビットは以下のレジスタを制御します。

- 非セキュアプログラムの MMPUSDMACn (n = 0～7) レジスタ
- 非セキュアプログラムの MMPUEDMACn (n = 0～7) レジスタ
- 非セキュアプログラムの MMPUACDMACn (n = 0～7) レジスタ

PROTECT ビットに書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を書き込むと、PROTECT ビットは更新されません。

KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

14.3.1.9 MMPURPTDMAC_SEC : DMAC セキュリティ用 MMPU 領域保護レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x010C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: DMAC 用バスマスタ MPU レジスタのセキュア書き込みは可能 1: DMAC 用バスマスタ MPU レジスタのセキュア書き込みから保護。読み出しは可能。	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPURPTDMAC_SEC.PROTECT ビットは下記のレジスタを制御します。

- セキュアプログラムの MMPUSDMACn（n = 0～7）レジスタ
- セキュアプログラムの MMPUEDMACn（n = 0～7）レジスタ
- セキュアプログラムの MMPUACDMACn（n = 0～7）レジスタ

PROTECT ビットへ書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を書き込むと、PROTECT ビットは更新されません。

KEY[7:0]ビットは、読むと常に 0x00 が読み出されます。

14.3.1.10 MMPUOAD : MMPU 検出後の動作レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード OAD ビットへの書き込みを許可／禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

OAD ビット（検出後の動作）

OAD ビットは、バスマスタ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか指定します。

OAD ビットへ書き込む際は、ハーフワードアクセスを使用して同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、OAD ビットへの書き込みを許可または禁止します。OAD ビットへ書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を書き込むと、OAD ビットは更新されません。

KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

14.3.1.11 MMPUOADPT : MMPU 検出後の動作保護レジスタ

Base address: RMPU = 0x4000_0000

Offset address: 0x0004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: MMPUOAD レジスタの書き込みは可能 1: MMPUOAD レジスタの書き込みから保護。読み出しは可能。	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注. ハーフワードアクセスで書き込みを行ってください。
バイトライトアクセスは禁止です。バイトライトアクセスを実行した場合の動作は保証しません。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護する関連レジスタへの書き込みを許可または禁止します。

MMPUOADPT.PROTECT ビットは下記のレジスタを制御します。

- MMPUOAD

同時に PROTECT ビットを設定する際は、ハーフワードアクセスによって KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを許可または禁止します。同時に PROTECT ビットへ書き込む際は、KEY[7:0]ビットに 0xA5 を書き込んでください。これ以外の値を KEY[7:0]ビットに書き込むと、PROTECT ビットは更新されません。KEY[7:0]ビットは、読むと常に 0x00 が読み出されます。

14.3.2 機能説明

14.3.2.1 メモリプロテクション

バスマスタ MPU は、各アクセス制御領域に設定されたアクセス制御情報を用いてメモリアクセスを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU はメモリプロテクションエラーを発生させます。

バスマスタ MPU は最大 8 つの保護領域まで設定可能です。許可領域と保護領域がオーバーラップした領域も保護領域です。2 つの保護領域がオーバーラップした領域も保護領域です。

バスマスタ MPU には DMAC/DTC のマスタグループがあります。

メモリプロテクション機能は、統合したマスタグループに対してバスのアドレスをチェックするため、マスタグループによる全アクセスが検出されます。

DMAC/DTC 用バスマスタ MPU の領域設定レジスタは、MMPUSARA レジスタを使用したセキュアアクセスおよび非セキュアアクセスに対して設定可能です。各 DMAC/DTC チャネルや対応するバスマスタ MPU の領域設定レジスタに対して、セキュアアクセスおよび非セキュアアクセスの設定を同じにしてください。

バスマスタ MPU は、リセット後、全領域が許可領域です。MMPUENDMAC.ENABLE = 1 の設定により、全領域が保護されます。

領域ごとに、許可領域が保護領域上に設定されます。保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。

図 14.1 に、バスマスタ MPU の使用例を示します。

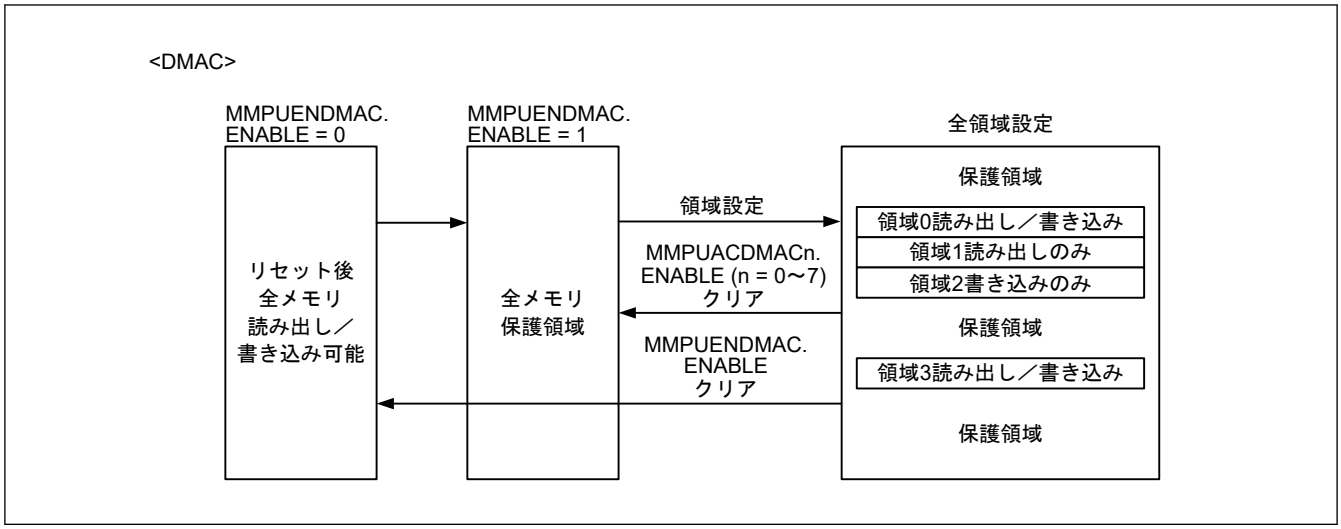


図 14.1　バスマスタ MPU の使用例

図 14.2 に、領域のオーバーラップによるアクセス制御について示します。

オーバーラップ領域へのアクセス制御は以下のとおりです。

- 1 つ以上の領域の出力が保護領域の場合、領域は保護領域として処理されます。
- 全領域の出力が領域外の場合、領域は保護領域として処理されます。
- 他の場合は許可領域として処理されます。

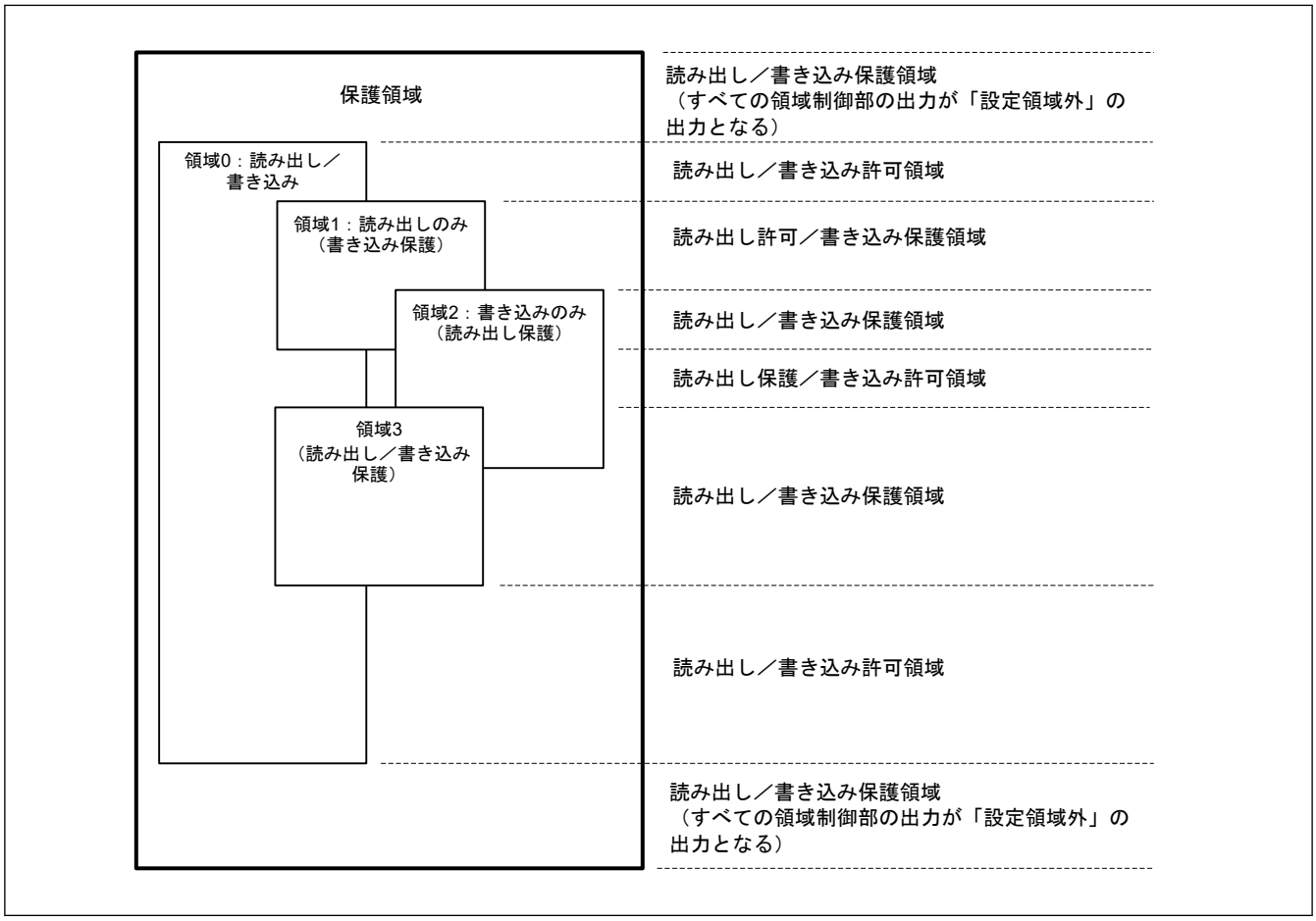


図 14.2　領域のオーバーラップによるアクセス制御

図 14.3 にリセット後のレジスタ設定フローを示します。本レジスタ設定中は、CPU 以外のすべてのバスマスタを停止してください。

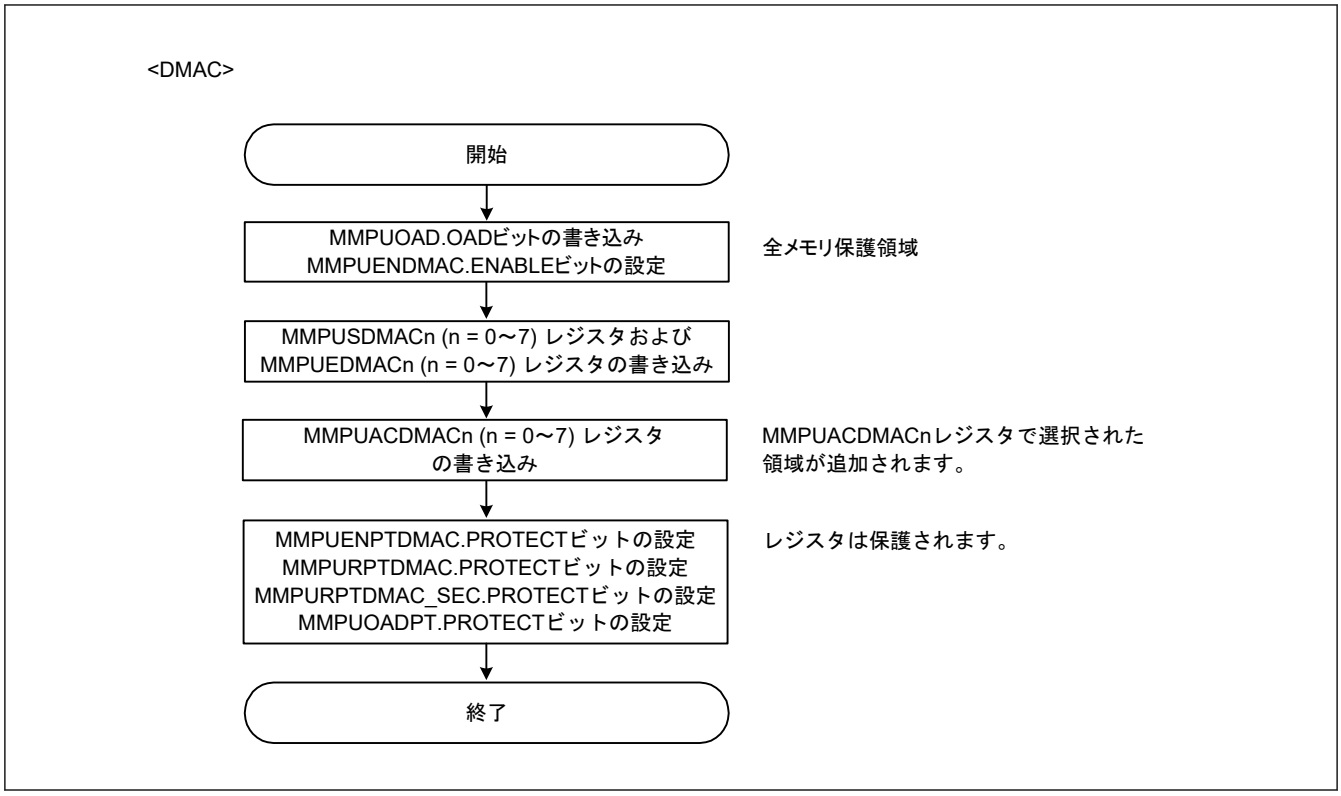


図 14.3　リセット後のバスマスタ MPU のレジスタ設定フロー

図 14.4 に領域追加のレジスタ設定フローを示します。本レジスタ設定中は、CPU 以外のすべてのマスタを停止してください。

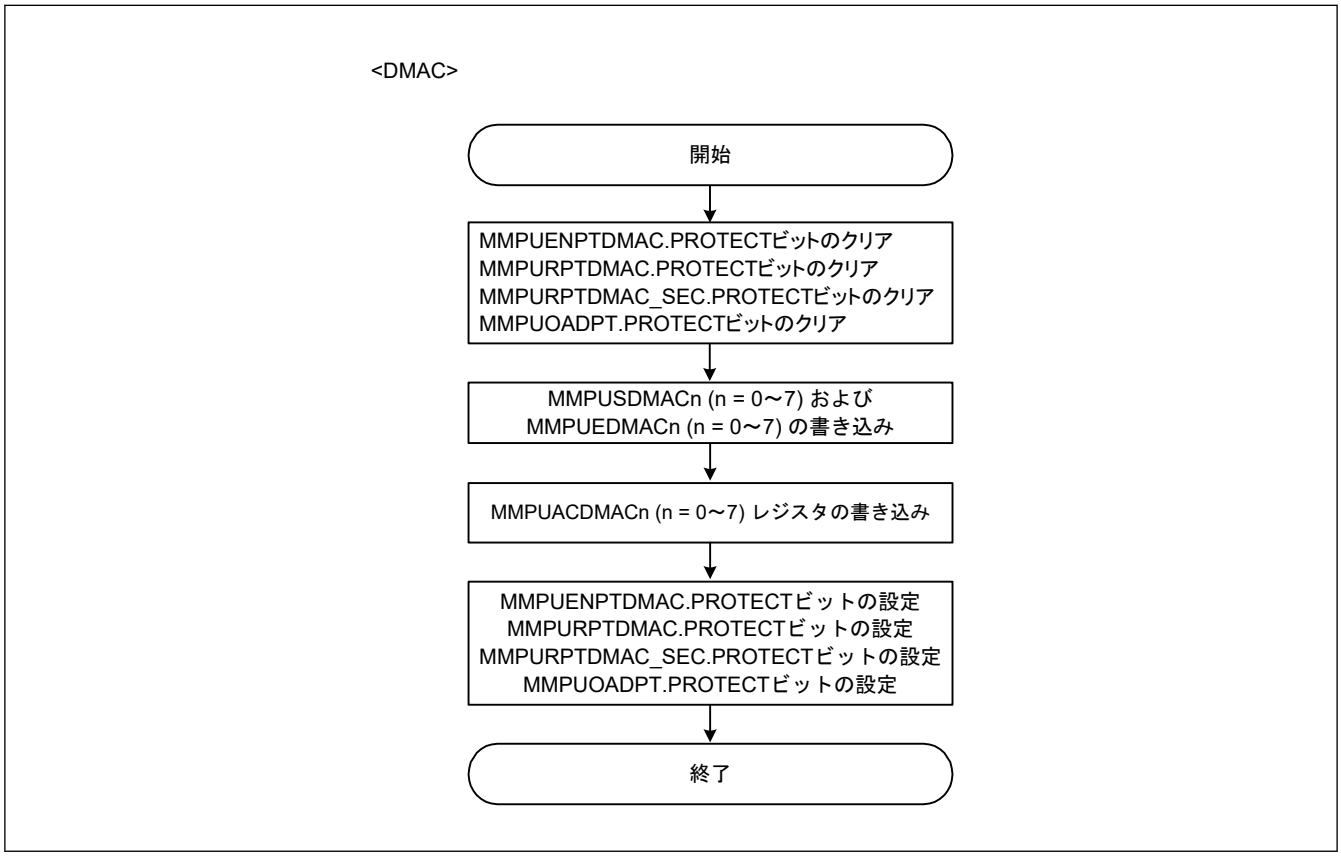


図 14.4　領域追加のレジスタ設定フロー

14.3.2.2 レジスタの保護

バスマスタ MPU 関連のレジスタは、MMPUENPTDMA、MMPURPTDMAC、MMPURPTDMAC_SEC、MMPUOADPT レジスタの PROTECT ビットで保護することが可能です。

表 14.6 PROTECT ビットと保護対象レジスタ

PROTECT ビット	保護対象レジスタ
MMPUENPTDMAC.PROTECT	MMPUENDMAC
MMPURPTDMAC.PROTECT	以下のレジスタは、MMPUSARA.MMPUASAn (n = 0〜7) により、非セキュアに設定されます。 MMPUSDMACn (n = 0〜7) MMPUEDMACn (n = 0〜7) MMPUACDMACn (n = 0〜7)
MMPURPTDMAC_SEC.PROTECT	以下のレジスタは、MMPUSARA.MMPUASAn (n = 0〜7) により、セキュアに設定されます。 MMPUSDMACn (n = 0〜7) MMPUEDMACn (n = 0〜7) MMPUACDMACn (n = 0〜7)
MMPUOADPT.PROTECT	MMPUOAD

14.3.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。メモリプロテクションエラーは、OAD ビットによってノンマスカブル割り込みまたはリセットのいずれかを選択できます。

ノンマスカブル割り込みの状態は ICU.NMISR.BUSMST フラグに示されます。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。リセットの状態は SYSTEM.RSTSR1.BUSMRF フラグに示されます。詳細は、「5. リセット」を参照してください。

14.4 参考資料

1. *Arm®v8-M Architecture Reference Manual* (ARM DDI0553B.g)
2. *Arm® Cortex®-M33 Processor Technical Reference Manual* (ARM 100230_0004_00_en)

15. DMA コントローラ (DMAC)

15.1 概要

本 MCU は、8 チャネルの DMA コントローラ (DMAC) を内蔵しており、CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。

表 15.1 に DMAC の仕様を、図 15.1 に DMAC のブロック図を示します。

表 15.1 DMAC の仕様 (1/2)

項目		内容
チャネル数		8 チャネル（DMACn（n = 0～7））
転送空間		4 GB （0x0000_0000～0xFFFF_FFFF のうち、予約領域を除く領域）
最大転送データ数		64M データ （ブロック転送モードにおける最大転送数：1,024 データ／ブロック × 65,536 ブロック）
DMAC 起動要因		チャネルごとに個別に選択可能 ● ソフトウェアトリガ ● 周辺モジュールからの割り込み要求／外部割り込み入力端子からのトリガ(注1)
チャネル優先順位		チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3... > チャネル 7（チャネル 0：最高）
転送データ	1 データ	ビット長：8 ビット、16 ビット、32 ビット
	ブロックサイズ	データ数：1～1024
転送モード	ノーマル転送モード	● 1 回の DMA 転送要求で 1 データを転送 ● 設定可能なフリーランニング機能（データ転送の全回数の設定の指定なし）
	リピート転送モード	● 1 回の DMA 転送要求で 1 データを転送 ● 転送元または転送先に指定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 ● 設定可能な最大リピートサイズ：1024 ● 選択可能なフリーランニング機能
	リピートブロック転送モード	● 1 回の DMA 転送要求で 1 ブロックを転送 ● 設定可能な最大ブロックサイズ：1024 ● ブロック転送はリピート可能 ● 設定可能な最大リピートサイズ：64K ● 選択可能なフリーランニング機能
	ブロック転送モード	● 1 回の DMA 転送要求で 1 ブロックを転送 ● 設定可能な最大ブロックサイズ：1024 ● 選択可能なフリーランニング機能
選択機能	拡張リピート領域機能	● 転送アドレスレジスタの上位ビット値を固定したまま、特定範囲のアドレス値を繰り返すことでデータ転送が可能 ● 拡張リピート領域は 2 バイトから 128 MB まで転送元、転送先別に設定可能
DMA 転送エラーの処理		● DMAC 転送エラー発生時に、エラーを発生させたチャネルの転送を停止 ● DMAC エラーチャネルの起動要求用レジスタのクリア要求を ICU に送信
CPU 割り込み要因 (DMACn_INT)	転送終了割り込み	転送カウンタで設定したデータ数の転送終了時に発生
	転送エスケープ終了割り込み	● リピートサイズ分のデータ転送の終了時に発生 ● 拡張リピート領域の転送元アドレスがオーバーフローした時に発生 ● 拡張リピート領域の転送先アドレスがオーバーフローした時に発生
CPU 割り込み要因 (DMA_TRANSERR)	エラー応答検出割り込み	DMAC 転送エラーが生じた時に発生
イベントリンク機能 (DMACn_INT)		各データ転送後（ブロックの場合は各ブロック転送後）、イベントリンク要求を発生
マスタ TrustZone フィルタ		非セキュアチャネルがバスにアクセスする前に、フラッシュや SRAM の TrustZone 違反領域が検出されます。
モジュールストップ機能		モジュールストップ状態の設定が可能

表 15.1 DMAC の仕様 (2/2)

項目	内容
TrustZone フィルタ	各チャネルに対してセキュリティ属性の設定が可能

注. DMAC チャネルのセキュリティ属性レジスタは ICU.ICUSARC で説明されます。
注 1. DMAC の起動要因については、「12. 割り込みコントローラユニット (ICU)」の表 12.4 を参照してください。

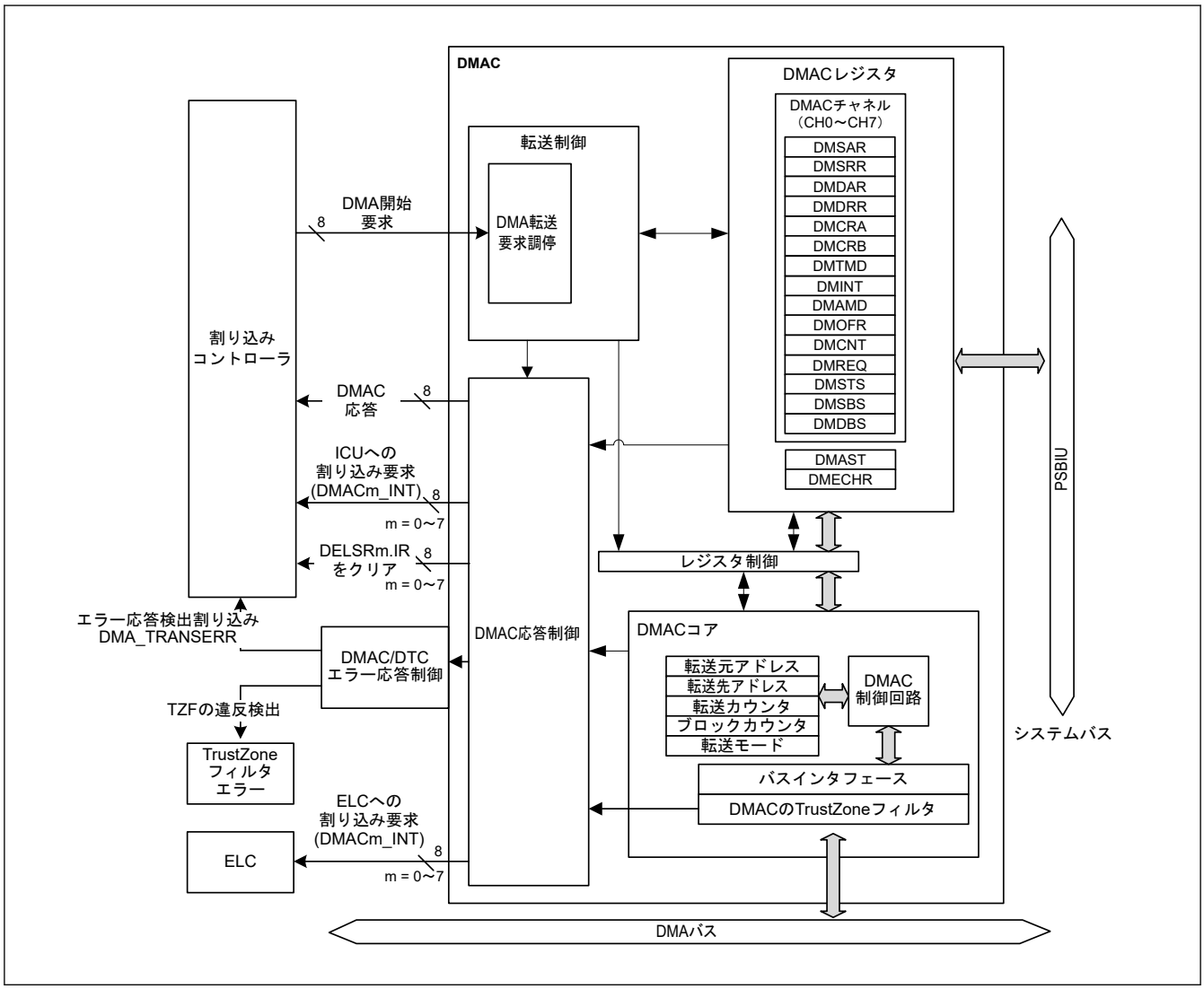


図 15.1 DMAC のブロック図

15.2 レジスタの説明

15.2.1 DMACSAR : DMAC コントローラセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMASTSA
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	DMASTSA	DMAST セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

DMAC ではセキュリティ属性は各チャネルに設定されます。ただし、本レジスタは DMAST レジスタのセキュリティ属性のみを設定します。各チャネルにおけるセキュリティ属性の設定を「12.2.3. ICUSARC : 割り込みコントローラセキュリティ属性レジスタ C」に示します。

DMASTSA ビット（DMAST セキュリティ属性）

DMASTSA ビットは DMAST 用レジスタのセキュリティ属性を指定します。DMA 転送が有効またはバスマスタが DMA レジスタに書き込んでいる間は、DMASTSA ビットに書き込まないでください。

15.2.2 DMSAR : DMA 転送元アドレスレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x00

Bit position:	31	0
Bit field:		
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	n/a	転送元の開始アドレスを設定 設定範囲：0x0000_0000～0xFFFF_FFFF (4 GB)	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

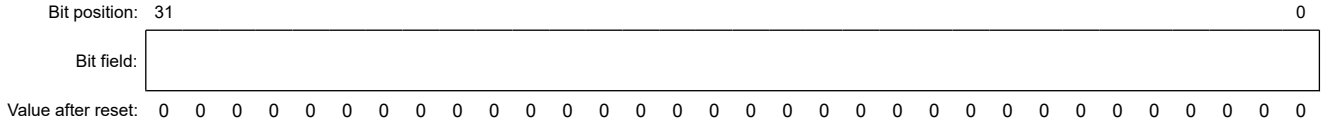
DMSAR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

15.2.3 DMSRR : DMA 転送元リロードアドレスレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x20



ビット	シンボル	機能	R/W
31:0	n/a	転送元リロードアドレス指定 設定範囲：0x0000_0000～0xFFFF_FFFF (4 GB)	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DMSRR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

DMSRR は DMSAR の初期値です。リピートブロック転送モードにおいて、DMSAR は転送終了後に DMSRR の値をリロードします。

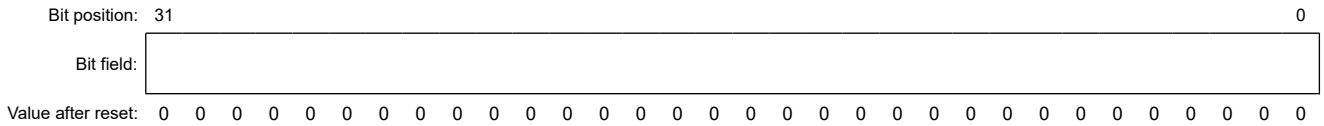
ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMSRR は使用されず、その設定は無効です。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

15.2.4 DMDAR : DMA 転送先アドレスレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x04



ビット	シンボル	機能	R/W
31:0	n/a	転送先の開始アドレスを設定 設定範囲：0x0000_0000～0xFFFF_FFFF (4 GB)	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DMDAR レジスタは、DMAC 起動禁止 (DMAST.DMST = 0)、または DMA 転送禁止 (DMCNT.DTE = 0) のときに設定してください。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

15.2.5 DMDRR : DMA 転送先リロードアドレスレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x24

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	転送先リロードアドレス指定 設定範囲：0x0000_0000～0xFFFF_FFFF (4 GB)	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DMDRR レジスタは、DMAC 起動が無効 (DMAST.DMST = 0) または DMA 転送が無効 (DMCNT.DTE = 0) のときに設定してください。

DMDRR は DMDAR の初期値です。リピートブロック転送モードにおいて、DMDAR は転送終了後に DMDRR の値をリロードします。

ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMDRR は使用されず、その設定は無効です。

注. このレジスタのアドレスアライメントは、DMTMD.SZ ビットで選択した転送データサイズ値と一致している必要があります。

15.2.6 DMCRA : DMA 転送カウントレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	DMCRAH[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMCRAL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMCRAL[15:0]	転送カウント下位ビット 転送回数を設定	R/W
25:16	DMCRAH[9:0]	転送カウント上位ビット 転送回数を設定	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

リピート転送モード、ブロック転送モードおよびリピートブロック転送モードでは、DMCRAH ビットと DMCRAL ビットに同じ値を設定してください。リピート転送モード、ブロック転送モードおよびリピートブロック転送モードではビット 15～ビット 10 は 0 に固定です。

(1) ノーマル転送モード (DMTMD.MD[1:0] = 00b) の場合

ノーマル転送モードでは、DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。

転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回となります。1 回のデータ転送を行うたびにデクリメント (–1) されます。

設定値が 0x0000 のときは転送回数の指定なしとなり、転送カウンタが停止した状態でデータ転送を行います (フリーランニング機能)。

ノーマル転送モードでは、フリーランニング機能は DMTMD.TKP ビットにより選択されません。

ノーマル転送モードでは、DMCRAH レジスタを使用しないでください。DMCRAH レジスタへは 0x0000 を書いてください。

(2) リピート転送モード (DMTMD.MD[1:0] = 01b) の場合

リピート転送モードでは、DMCRAH レジスタはリピートサイズを指定し、DMCRAL レジスタは 10 ビットの転送カウンタとして機能します。

転送回数は、設定値が 0x001 のときは 1 回、0x3FF のときは 1023 回、0x000 のときは 1024 回となります。リピート転送モードでは、0x000～0x3FF（1～1024 回）の範囲の値を DMCRAH レジスタと DMCRAL レジスタに設定可能です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (–1) され、0x000 になると DMCRAH レジスタの値が DMCRAL レジスタにロードされます。

(3) ブロック転送モード (DMTMD.MD[1:0] = 10b) の場合

ブロック転送モードでは、DMCRAH レジスタはブロックサイズを指定し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

設定値が 0x001 のときはブロックサイズ 1、0x3FF のときはブロックサイズ 1023、0x000 のときはブロックサイズ 1024 となります。ブロック転送モードでは、0x000～0x3FF の範囲の値を DMCRAH レジスタと DMCRAL レジスタに設定可能です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (–1) され、0x000 になると DMCRAH レジスタの値が DMCRAL レジスタにロードされます。

(4) リピートブロック転送モード (DMTMD.MD[1:0] = 11b) の場合

リピートブロック転送モードでは、DMCRAH レジスタはブロックサイズを指定し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。

設定値が 0x001 のときはブロックサイズ 1、0x3FF のときはブロックサイズ 1023、0x000 のときはブロックサイズ 1024 となります。このモードでは、DMCRAH レジスタと DMCRAL レジスタの設定可能範囲は、0x000～0x3FF です。

DMCRAL[15:10]ビットの設定は無効です。これらのビットには 0 を書いてください。

DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント (–1) され、0x000 になると DMCRAH レジスタの値が DMCRAL レジスタにロードされます。

15.2.7 DMCRB : DMA ブロック転送カウントレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMCRBH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMCRBL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMCRBL[15:0]	ブロック転送回数、リピート転送回数またはリピートブロック転送回数をカウント 0x0001～0xFFFF（1～65535） 0x0000 (65536)	R/W
31:16	DMCRBH[15:0]	ブロック転送回数、リピート転送回数またはリピートブロック転送回数を設定 0x0001～0xFFFF（1～65535） 0x0000 (65536)	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

リピート転送モード、ブロック転送モード、およびリピートブロック転送モードでは、DMCRBH ビットと DMCRBL ビットに同じ値を設定してください。

DMCRBH ビットは、ブロック転送モード時、リピート転送モード時、およびリピートブロック転送モード時の転送回数を指定します。また、DMCRBL ビットは、ブロック転送モード時、リピート転送モード時、およびリピートブロック転送モード時に 16 ビットの転送回数カウンタとして機能します。

転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。

リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント (–1) されます。

ブロック転送モードおよびリピートブロック転送モードの場合、最終ブロックのデータ転送時にデクリメント (–1) されます。

ノーマル転送モードでは、設定は無効ですので、DMCRB レジスタは使用しないでください。

DMTMD.TKP = 1 で 1 リピートサイズまたは 1 ブロックサイズの最終データ転送時に、DMCRBL ビットは自動的に DMCRBH ビットの値をリロードします。

15.2.8 DMTMD : DMA 転送モードレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	MD[1:0]		DTS[1:0]		—	TKP	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	DCTG[1:0]	転送要求元選択 0 0: ソフトウェア 0 1: 周辺モジュールまたは外部割り込み入力端子からの割り込み(注1) 1 0: 設定禁止 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	SZ[1:0]	転送データサイズ選択 0 0: 8 ビット 0 1: 16 ビット 1 0: 32 ビット 1 1: 設定禁止	R/W
10	TKP	転送継続 0: 設定した総転送回数完了により転送が終了する 1: 設定した総転送回数完了により転送が終了しない（フリーランニング）	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	DTS[1:0]	リピート領域選択 0 0: 転送先をリピート領域またはブロック領域に設定 0 1: 転送元をリピート領域またはブロック領域に設定 1 0: リピート領域、ブロック領域の設定なし 1 1: 設定禁止	R/W
15:14	MD[1:0]	転送モード選択 0 0: ノーマル転送 0 1: リピート転送 1 0: ブロック転送 1 1: リピートブロック転送	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. DMAC の起動要因を選択するには、ICU の DELSRn レジスタを使用してください。DMAC の起動要因については、表 12.4（「12. 割り込みコントローラユニット (ICU)」）を参照してください。

DTS[1:0]ビット（リピート領域選択）

DTS[1:0]ビットは、リピート転送またはブロック転送モードにおいて、リピート領域としての転送元または転送先を選択します。ノーマル転送モードまたはリピートブロック転送モードでは、これらのビットの設定値は無効です。

TKP ビット（転送継続）

TKP ビットは、リピート転送、ブロック転送、またはリピートブロック転送モードにおいて、設定した総転送回数完了により転送が終了するか、継続するかを選択します。ノーマル転送モードでは、このビットの設定値は無効です。

15.2.9 DMINT : DMA 割り込み設定レジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DARIE	転送先アドレス拡張リピート領域オーバーフロー割り込み許可 0: 転送先アドレス拡張リピート領域オーバーフロー割り込み要求を禁止 1: 転送先アドレス拡張リピート領域オーバーフロー割り込み要求を許可	R/W

ビット	シンボル	機能	R/W
1	SARIE	転送元アドレス拡張リピート領域オーバーフロー割り込み許可 0: 転送元アドレス拡張リピート領域オーバーフロー割り込み要求を禁止 1: 転送元アドレス拡張リピート領域オーバーフロー割り込み要求を許可	R/W
2	RPTIE	リピートサイズ終了割り込み許可 0: リピートサイズ終了割り込み要求を禁止 1: リピートサイズ終了割り込み要求を許可	R/W
3	ESIE	転送エスケープ終了割り込み許可 0: 転送エスケープ終了割り込み要求を禁止 1: 転送エスケープ終了割り込み要求を許可	R/W
4	DTIE	転送終了割り込み許可 0: 転送終了割り込み要求を禁止 1: 転送終了割り込み要求を許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DARIE ビット（転送先アドレス拡張リピート領域オーバーフロー割り込み許可）

DARIE ビットが 1 のときに、転送先アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、転送先アドレスの拡張リピート領域オーバーフローによって割り込みが要求されることを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1 ブロック分のデータ転送終了後に割り込み要求が発生します。転送を終了したチャネルの DMCNT.DTE ビットを 1 にすると、転送終了時の状態から再び転送を開始することができます。

転送先アドレスに拡張リピート領域を設定していない場合、このビットは無視されます。

リピートブロック転送モードへ設定する場合、本ビットを使用しないでください。

SARIE ビット（転送元アドレス拡張リピート領域オーバーフロー割り込み許可）

SARIE ビットが 1 のときに、転送元アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、転送元アドレスの拡張リピート領域オーバーフローによって割り込みが要求されることを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1 ブロック分のデータ転送終了後に割り込み要求が発生します。転送を終了したチャネルの DMCNT.DTE ビットを 1 にすると、転送終了時の状態から再び転送を開始することができます。

転送元アドレスに拡張リピート領域を設定していない場合は、このビットは無視されます。

リピートブロック転送モードへ設定する場合、本ビットを使用しないでください。

RPTIE ビット（リピートサイズ終了割り込み許可）

リピート転送モードにおいて RPTIE ビットを 1 にすると、1 リピートサイズ分のデータ転送終了後に DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0]ビットを 10b（リピート領域、ブロック領域の指定なし）にしたときも、リピートサイズ終了割り込み要求を発生させることができます。

このビットをブロック転送モードで 1 にしたときも、リピート転送モードの場合と同様に 1 ブロックのデータ転送終了後に DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0]ビットを 10b（リピート領域、ブロック領域の指定なし）にしたときも、リピートサイズ終了割り込み要求を発生させることができます。

リピートブロック転送モードへ設定する場合、本ビットを使用しないでください。

ESIE ビット（転送エスケープ終了割り込み許可）

ESIE ビットは DMA 転送中に発生した転送エスケープ終了割り込み要求（リピートサイズ終了割り込み要求、拡張リピート領域オーバーフロー割り込み要求）を許可します。

このビットが 1 のとき割り込みが発生して、DMSTS.ESIF フラグが 1 になります。転送エスケープ終了割り込みを解除するには、このビットまたは DMSTS.ESIF フラグを 0 にします。

DTIE ビット（転送終了割り込み許可）

DTIE ビットは指定した回数のデータ転送が終了したときに発生する転送終了割り込み要求を許可します。

このビットが 1 のとき、DMSTS.DTIF フラグが 1 になると、転送終了割り込みが発生します。転送終了割り込みを解除するには、このビットまたは DMSTS.DTIF フラグを 0 にします。

15.2.10 DMAMD : DMA アドレスモードレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x14

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SM[1:0]		SADR	SARA[4:0]					DM[1:0]		DADR	DARA[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DARA[4:0]	転送先アドレス拡張リピート領域設定 転送先アドレスに拡張リピート領域を設定します。設定についての詳細は、表 15.2 を参照してください。	R/W
5	DADR	リロード後の転送先アドレス更新選択 0: リロードのみ 1: リロード後にインデックス追加	R/W
7:6	DM[1:0]	転送先アドレス更新モード設定 0 0: アドレス固定 0 1: オフセット加算 1 0: インクリメント 1 1: デクリメント	R/W
12:8	SARA[4:0]	転送元アドレス拡張リピート領域設定 転送元アドレスに拡張リピート領域を設定します。設定値についての詳細は、表 15.2 を参照してください。	R/W
13	SADR	リロード後の転送元アドレス更新選択 0: リロードのみ 1: リロード後にインデックス追加	R/W
15:14	SM[1:0]	転送元アドレス更新モード設定 0 0: アドレス固定 0 1: オフセット加算 1 0: インクリメント 1 1: デクリメント	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DARA[4:0]ビット（転送先アドレス拡張リピート領域設定）

DARA[4:0]ビットは転送先アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128 MB まで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMTMD.DTS[1:0] = 00b（転送先にリピート領域またはブロック領域を設定）であれば、DARA[4:0]ビットには 00000b を書いてください。

リピートブロック転送モードでは、DARA[4:0]ビットには 00000b を書いてください。

拡張リピート領域でオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.DARIE ビットを 1 にしてください。表 15.2 には、各設定値に対応した拡張リピート領域が示されています。

DADR ビット（リロード後の転送先アドレス更新選択）

リピートブロック転送モードでは、本ビットは DMDRR リロード後の DMDAR の動作を指定します。

本ビットに 1 を設定すると、DMDRR リロード後の DMDAR にインデックス値（(DMDBSH-DMDBSL) × データサイズ）が付加されます。

本ビットに 0 を設定すると、DMDAR は DMDRR はリロードするだけです。本動作を表 15.13 に示します。

通常のリピートブロック転送モードでは、本ビットは無視されます。

DM[1:0]ビット（転送先アドレス更新モード設定）

DM[1:0]ビットは転送先アドレスの更新モードを選択します。

インクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされます。

デクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされます。

オフセット加算を選択した場合、DMOFR レジスタで設定したオフセット値がアドレスに加算されます。

SARA[4:0]ビット（転送元アドレス拡張リピート領域設定）

SARA[4:0]ビットは転送元アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2 バイトから 128 MB まで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMTMD.DTS[1:0] = 01b（転送元にリピート領域またはブロック領域を設定）であれば、SARA[4:0]ビットには 00000b を書いてください。

リピートブロック転送モードでは、SARA[4:0]ビットには 00000b を書いてください。

拡張リピート領域でオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.SARIE ビットを 1 にしてください。表 15.2 には、各設定値に対応した拡張リピート領域が示されています。

SADR ビット（リロード後の転送元アドレス更新選択）

リピートブロック転送モードでは、本ビットは DMSRR リロード後の DMSAR の動作を指定します。

本ビットに 1 を設定すると、DMSRR リロード後の DMSAR にインデックス値（(DMSBSH - DMSBSL) × データサイズ）が付加されます。

本ビットに 0 を設定すると、DMSAR は DMSRR はリロードするだけです。本動作を表 15.12 に示します。

通常のリピートブロック転送モードでは、本ビットは無視されます。

SM[1:0]ビット（転送元アドレス更新モード設定）

SM[1:0]ビットは転送元アドレスの更新モードを選択します。

インクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされます。

デクリメントを選択し、DMTMD.SZ[1:0]ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされます。

オフセット加算を選択した場合、DMOFR レジスタで設定したオフセット値がアドレスに加算されます。

表 15.2 SARA[4:0]ビットまたは DARA[4:0]ビットの設定値と対応するリピート領域

SARA[4:0]ビットまたは DARA[4:0]ビットの設定値	拡張リピート領域
00000b	拡張リピート領域を設定しない
00001b	当該アドレスの下位 1 ビット（2 バイト）を拡張リピート領域に設定
00010b	当該アドレスの下位 2 ビット（4 バイト）を拡張リピート領域に設定
00011b	当該アドレスの下位 3 ビット（8 バイト）を拡張リピート領域に設定
00100b	当該アドレスの下位 4 ビット（16 バイト）を拡張リピート領域に設定
00101b	当該アドレスの下位 5 ビット（32 バイト）を拡張リピート領域に設定
00110b	当該アドレスの下位 6 ビット（64 バイト）を拡張リピート領域に設定
00111b	当該アドレスの下位 7 ビット（128 バイト）を拡張リピート領域に設定
01000b	当該アドレスの下位 8 ビット（256 バイト）を拡張リピート領域に設定
01001b	当該アドレスの下位 9 ビット（512 バイト）を拡張リピート領域に設定
01010b	当該アドレスの下位 10 ビット (1 KB) を拡張リピート領域に設定
01011b	当該アドレスの下位 11 ビット (2 KB) を拡張リピート領域に設定
01100b	当該アドレスの下位 12 ビット (4 KB) を拡張リピート領域に設定
01101b	当該アドレスの下位 13 ビット (8 KB) を拡張リピート領域に設定
01110b	当該アドレスの下位 14 ビット (16 KB) を拡張リピート領域に設定
01111b	当該アドレスの下位 15 ビット (32 KB) を拡張リピート領域に設定
10000b	当該アドレスの下位 16 ビット (64 KB) を拡張リピート領域に設定
10001b	当該アドレスの下位 17 ビット (128 KB) を拡張リピート領域に設定
10010b	当該アドレスの下位 18 ビット (256 KB) を拡張リピート領域に設定
10011b	当該アドレスの下位 19 ビット (512 KB) を拡張リピート領域に設定
10100b	当該アドレスの下位 20 ビット (1 MB) を拡張リピート領域に設定
10101b	当該アドレスの下位 21 ビット (2 MB) を拡張リピート領域に設定
10110b	当該アドレスの下位 22 ビット (4 MB) を拡張リピート領域に設定
10111b	当該アドレスの下位 23 ビット (8 MB) を拡張リピート領域に設定
11000b	当該アドレスの下位 24 ビット (16 MB) を拡張リピート領域に設定
11001b	当該アドレスの下位 25 ビット (32 MB) を拡張リピート領域に設定
11010b	当該アドレスの下位 26 ビット (64 MB) を拡張リピート領域に設定
11011b	当該アドレスの下位 27 ビット (128 MB) を拡張リピート領域に設定
11100b～11111b	設定禁止

15.2.11 DMOFR : DMA オフセットレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x18

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	転送元または転送先のアドレス更新モードとしてオフセット加算が選択されている場合、そのオフセット値を設定 0x00000000～0x00FFFFFF（0 バイト～(16M–1) バイト） 0xFF000000～0xFFFFFFFF（–16 MB～–1 バイト）	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

このレジスタへの書き込みは、データ転送中ではなく、DMAC 動作停止中または DMA 転送が禁止されているときに行ってください。

b31～b25 の設定は無効です。b24 の値が b31～b25 へ拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

リピートブロック転送モードでは、オフセット加算が選択された場合、オフセットは DMOFR レジスタにより指定されません。DMOFR レジスタに 0 を書き込んでください。

15.2.12 DMCNT : DMA 転送イネーブルレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DTE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DTE	DMA 転送許可 0: DMA 転送禁止 1: DMA 転送許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DTE ビット（DMA 転送許可）

DMA 転送は、DMAST.DMST ビットが 1（DMAC 動作許可）のとき、対応するチャネルの DTE ビットを 1 にすることで、開始することができます。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき
- 設定された総転送データ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき
- アクセスエラー発生により、DMA 転送が停止したとき。「15.5. DMA 転送エラーの処理」を参照してください。

15.2.13 DMREQ : DMA ソフトウェア起動レジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x1D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	CLRS	—	—	—	SWREQ
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SWREQ	DMA ソフトウェア起動 0: DMA 転送を要求しない 1: DMA 転送を要求する	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	CLRS	DMA ソフトウェア起動ビット自動クリア選択 0: ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアする 1: ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアしない	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

SWREQ ビット（DMA ソフトウェア起動）

SWREQ ビットを 1 にすると DMA 転送要求が発生します。その要求に対して転送が開始されると、CLRS ビットが 0 の場合、SWREQ ビットが 0 になります。CLRS ビットが 1 の場合はクリアされません。DMA 転送要求は、転送終了後に再発行できます。

DMTMD.DCTG[1:0]ビットが 00b（DMAC 起動要因がソフトウェア）になっている場合のみ、このビットの設定が有効となり、ソフトウェアによる DMA 転送が可能となります。

DMTMD.DCTG[1:0]ビットが 00b 以外になっている場合、このビットの設定は無効です。

CLRS ビットが 0 の状態でソフトウェアによる DMA 転送を行う場合、SWREQ ビットが 0 であることを確認してから SWREQ ビットに 1 を書いてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- CLRS ビットが 0（ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアする）の場合に、ソフトウェアによる DMA 転送要求が受け付けられて DMA 転送が開始したとき
- 0 を書いたとき

CLRS ビット（DMA ソフトウェア起動ビット自動クリア選択）

CLRS ビットは SWREQ ビットを 1 にして転送要求を発生させた場合、その要求に対して DMA 転送が開始した後、SWREQ ビットを 0 にするか否かを設定します。CLRS ビットを 0 にすると、DMA 転送の開始後、SWREQ ビットは 0 になります。1 にすると、SWREQ ビットは 0 にクリアされません。DMA 転送要求は、転送終了後に再発行できます。

15.2.14 DMSTS : DMA ステータスレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x1E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ACT	—	—	DTIF	—	—	—	ESIF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ESIF	転送エスケープ終了割り込みフラグ 0: 転送エスケープ終了割り込み発生なし 1: 転送エスケープ終了割り込み発生あり	R/W(注1)
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	DTIF	転送終了割り込みフラグ 0: 転送終了割り込み発生なし 1: 転送終了割り込み発生あり	R/W(注1)
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ACT	DMA アクティブフラグ 0: DMAC がアイドル状態 1: DMAC が動作中	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

ESIF フラグ（転送エスケープ終了割り込みフラグ）

転送エスケープ終了割り込みが発生したことを示します。

[1 になる条件]

- リピート転送モードにおいて、DMINT.RPTIE ビットが 1 の状態で 1 リピートサイズ分のデータ転送が終了したとき
- ブロック転送モードにおいて、DMINT.RPTIE ビットが 1 の状態で 1 ブロック分のデータ転送が終了したとき
- DMINT.SARIE ビットが 1 で、かつ DMAMD.SARA[4:0]ビットが 00000b 以外（転送元アドレスに拡張リピート領域を設定）の状態で、転送元アドレスに拡張リピート領域オーバーフローが発生したとき
- DMINT.DARIE ビットが 1 で、かつ DMAMD.DARA[4:0]ビットが 00000b 以外（転送先アドレスに拡張リピート領域を設定）の状態で、転送先アドレスに拡張リピート領域オーバーフローが発生したとき

[0 になる条件]

- 0 を書いたとき
- DMCNT.DTE ビットに 1 を書いたとき

DTIF フラグ（転送終了割り込みフラグ）

転送終了割り込みが発生したことを示します。

[1 になる条件]

- ノーマル転送モードにおいて、指定した回数のデータ転送が終了したとき（DMCRAL レジスタの値が 0 になり転送が終了したとき）
- リピート転送モードにおいて、指定した回数のリピート転送が終了したとき（DMCRBL レジスタの値が 0 になり転送が終了したとき (DMTMD.TKP = 0) または DMCRBH をリロードした DMCRBL の値 (DMTMD.TKP = 1)）

- ブロック転送モードおよびリピートブロック転送モードにおいて、指定したブロック数の転送が終了したとき（DMCRBL レジスタの値が 0 になり転送が終了したとき (DMTMD.TKP = 0) または DMCRBH をリロードした DMCRBL の値 (DMTMD.TKP = 1)）

[0 になる条件]

- 0 を書いたとき
- DMCNT.DTE ビットに 1 を書いたとき

ACT フラグ（DMA アクティブフラグ）

DMAC が停止状態であるか、または動作中であるかを示します。

[1 になる条件]

- DMAC がデータ転送を開始したとき

[0 になる条件]

- 1 転送要求に対するデータ転送が終了したとき

15.2.15 DMSBS : DMA 転送元バッファサイズレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMSBSH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMSBSL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMSBSL[15:0]	リピートブロック転送モードでのデータ転送カウンタ 利用可能な設定は、表 15.3 を参照してください。	R/W
31:16	DMSBSH[15:0]	リピートブロック転送モードでのリピート領域サイズ指定 利用可能な設定は、表 15.3 を参照してください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

リピートブロック転送モードでは、DMSBSH と DMSBSL に対して、同じ値を設定してください。ノーマル転送モード、リピート転送モード、ブロック転送モードでは、DMSBS に 0x00000000 を書き込んでください。

リピートブロック転送モードでは、DMSBSH はバッファサイズを指定し、DMSBSL は 16 ビットのバッファサイズカウンタとして機能します。リピートブロック転送モードでは、転送元リピート領域を DMSBSH で指定します。

アドレス更新モードがインクリメントアドレスかデクリメントアドレスのいずれかの場合、このレジスタはバッファ全体のデータの数を示します。アドレス更新モードがオフセット加算の場合、このレジスタはそれぞれのバッファのデータの数を示します。オフセット加算の場合、DMSBSH と DMSBSL に 0x0000 を設定することは禁止です。バッファサイズの最終データが転送されたとき、DMSBSL は DMSBSH の値をリロードします。アドレス更新モードがアドレス固定の場合、このレジスタは無視されます。表 15.3 に、転送元アドレス更新モードでの転送データサイズに対応した DMA 転送元バッファサイズレジスタの設定値を示します。

表 15.3 リピートブロック転送モードにおいて DMSBS レジスタで利用可能な設定

転送元アドレス更新モード (DMAMD.SM)	転送データサイズ (DMTMD.SZ)	DMSBSH ビットと DMSBSL ビットで利用可能な設定
転送元アドレス固定 (SM = 00b)	Don't care	0x0000（DMSBS 未使用時）
オフセット加算 (SM = 01b)	8 ビット (SZ = 00b)	0x0001～0xFFFF（1～65535）
	16 ビット (SZ = 01b)	0x0001～0x7FFF（1～32767）
	32 ビット (SZ = 10b)	0x0001～0x3FFF（1～16383）
転送元アドレスがインクリメントアドレスかデクリメントアドレス (SM = 1xb)	Don't care	0x0000（無限） 0x0001～0xFFFF（1～65535）

ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMSBS は使用されず、その設定は無効です。

15.2.16 DMDBS : DMA 転送先バッファサイズレジスタ

Base address: DMACn = 0x4000_5000 + 0x0040 × n (n = 0～7)

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DMDBSH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DMDBSL[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DMDBSL[15:0]	リピートブロック転送モードでのデータ転送カウンタ 利用可能な設定は、表 15.4 を参照してください。	R/W
31:16	DMDBSH[15:0]	リピートブロック転送モードでのリピート領域サイズ指定 利用可能な設定は、表 15.4 を参照してください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

リピートブロック転送モードでは、DMDBSH と DMDBSL に対して、同じ値を設定してください。ノーマル転送モード、リピート転送モード、ブロック転送モードでは、DMDBS に 0x00000000 を書き込んでください。

リピートブロック転送モードにおいて、DMDBSH はバッファサイズを指定し、DMDBSL は 16 ビットバッファサイズカウンタとして機能します。リピートブロック転送モードでは、転送先のリピート領域は DMDBSH により指定されます。

アドレス更新モードがインクリメントアドレスかデクリメントアドレスのいずれかの場合、このレジスタはバッファ全体のデータの数を示します。アドレス更新モードがオフセット加算の場合、このレジスタはそれぞれのバッファのデータの数を示します。オフセット加算の場合、DMDBSH と DMDBSL に 0x0000 を設定することは禁止です。バッファサイズの最終データが転送されたとき、DMDBSL は DMDBSH の値をリロードします。アドレス更新モードがアドレス固定の場合、このレジスタは無視されます。表 15.4 に、転送先アドレス更新モードでの転送データサイズに対応した転送先バッファサイズレジスタの設定値を示します。

表 15.4 リピートブロック転送モードにおいて DMDBS レジスタで利用可能な設定 (1/2)

転送先アドレス更新モード (DMAMD.DM)	転送データサイズ (DMTMD.SZ)	DMDBSH ビットと DMDBSL ビットで利用可能な設定
転送先アドレス固定 (DM = 00b)	Don't care	0x0000（DMDBS 未使用時）

表 15.4 リピートブロック転送モードにおいて DMDBS レジスタで利用可能な設定 (2/2)

転送先アドレス更新モード (DMAMD.DM)	転送データサイズ (DMTMD.SZ)	DMDBSH ビットと DMDBSL ビットで利用可能な設定
オフセット加算 (DM = 01b)	8 ビット (SZ = 00b)	0x0001～0xFFFF（1～65535）
	16 ビット (SZ = 01b)	0x0001～0x7FFF（1～32767）
	32 ビット (SZ = 10b)	0x0001～0x3FFF（1～16383）
転送先アドレスはインクリメントまたはデクリメント (DM = 1xb)	Don't care	0x0000（無限） 0x0001～0xFFFF（1～65535）

ノーマル転送モード、リピート転送モード、およびブロック転送モードでは、DMDBS は使用されず、その設定は無効です。

15.2.17 DMAST : DMAC モジュール起動レジスタ

Base address: DMA = 0x4000_5200

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DMST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DMST	DMAC 動作許可 0: DMAC 起動禁止 1: DMAC 起動許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DMST ビット（DMAC 動作許可）

DMAST.DMST ビットを 1 にすると、DMAC 全チャネルの起動が許可されます。DMST ビットを 1（DMAC 起動許可）にした場合、複数チャネルの DMCNT.DTE ビットを 1（DMA 転送許可）にすることで、対応する全チャネルが同時に転送要求受け付け可能状態になります。

DMA 転送中に DMST ビットを 0 にすると、実行中の 1 転送要求に対するデータ転送が終了した後、DMA 転送が一時停止します。DMA 転送を再開するには、再度 DMST ビットを 1 にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 0 を書いたとき

15.2.18 DMECHR : DMAC エラーチャネルレジスタ

Base address: DMA = 0x4000_5200

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMESTA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DMECHSAM	—	—	—	—	—	DMECH		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	DMECH	DMAC エラーチャネル エラーが発生したチャネル番号を示します。 0 0 0: チャネル 0 でエラー発生 0 0 1: チャネル 1 でエラー発生 0 1 0: チャネル 2 でエラー発生 ⋮ ⋮ 1 1 1: チャネル 7 でエラー発生	R
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R
8	DMECHSAM	DMAC エラーチャネルセキュリティ属性監視 エラーが発生したチャネルのセキュリティ属性を示します。 0: セキュアチャネル 1: 非セキュアチャネル	R
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R
16	DMESTA	DMAC エラーステータス 0: DMA 転送エラー発生なし 1: DMA 転送エラー発生あり	R/W(注1)
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R

注 1. DMESTA への書き込みは DMECHSAM の値に依存します。

DMECH[2:0]ビット（DMAC エラーチャネル）

DMA 転送起因の転送エラーが発生した場合、DMECH[2:0]ビットは違反した DMAC のチャネルを格納します。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択された場合、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生し、かつ DMESTA = 0 の場合

[0 になる条件]

- DMESTA に 1 を書く場合

DMECHSAM ビット（DMAC エラーチャネルセキュリティ属性監視）

DMA 転送起因の転送エラーが発生した場合、DMECHSAM ビットは違反した DMAC チャネルのセキュリティ属性を示します。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択された場合、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生し、かつ DMESTA = 0 の場合

[0 になる条件]

- DMESTA に 1 を書く場合

DMESTA ビット（DMAC エラーステータス）

DMESTA ビットは DMA 転送エラーの発生の有無を示します。

DMESTA に 1 を書くことにより、DMECH、DMECHSAM、DMESTA はクリアされます。DMESTA への 0 の書き込みは無視されます。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択された場合、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生した場合

[0 になる条件]

- DMESTA に 1 を書く場合

注. DMECHSAM = 1 の場合、セキュア状態と非セキュア状態で本ビットをクリアできます。DMECHSAM = 0 の場合、非セキュア状態では本ビットをクリアできません。

15.3 動作説明

15.3.1 転送モード

15.3.1.1 ノーマル転送モード

ノーマル転送モードでは、1 転送要求に対して 1 データの転送を行います。DMCRAL ビットで転送回数を最大 65535 回まで設定できます。また、これらのビットを 0x0000 にすると、転送回数は指定なしとなり、転送カウンタが停止した状態でデータ転送を行います（フリーランニング機能）。ノーマル転送モードでは、DMCRB レジスタの設定は無効です。フリーランニング機能を除き、指定した転送回数の終了後に転送終了割り込み要求を発生させることができます。

表 15.5 にノーマル転送モードにおけるレジスタ更新動作を、図 15.2 にノーマル転送モードにおける転送動作を示します。

表 15.5 ノーマル転送モードでのレジスタ更新動作

レジスタ	機能	1 転送要求に対する転送終了後の更新動作
DMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算
DMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算
DMCRAL	転送カウント	1 減算／更新なし（フリーランニング機能時）
DMCRAH	—	更新なし（ノーマル転送モードでは使用しない）
DMCRB	—	更新なし（ノーマル転送モードでは使用しない）

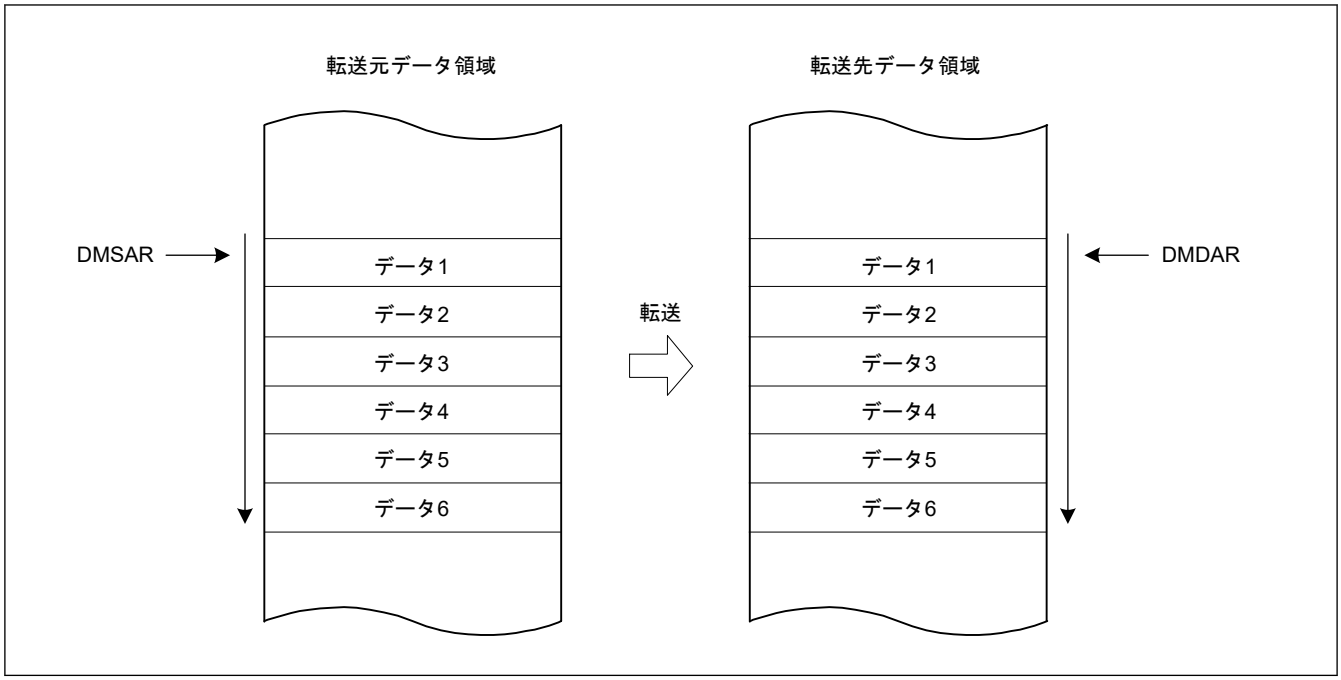


図 15.2　ノーマル転送モードにおける動作

15.3.1.2　リピート転送モード

リピート転送モードは 1 回の転送要求について 1 データの転送を行います。

DMCRA レジスタで最大 1 K データのリピート転送サイズを設定できます。

また、DMCRB レジスタで最大 64 K 回の指定リピート回数を設定できます。総データ転送数は最大 1 K データ × 64 K リピート回数 = 64 M データの指定が可能です。

転送元または転送先のいずれか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ（DMSAR または DMDAR）は、リピートサイズ分のデータ転送が終了すると、転送開始時のアドレスに復帰します。リピート転送モードでは、指定されたリピートサイズ分のデータの転送がすべて終了した時に、DMA 転送を停止させ、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMCNT.DTE ビットに 1 を書くと DMA 転送を再開することができます。

また、指定したリピート転送回数の終了後に、転送終了割り込み要求を発生させることができます。

リピート転送モードにおけるレジスタ更新動作を表 15.6 に、リピート転送モードにおける転送動作を図 15.3 に示します。

表 15.6　リピート転送モードでのレジスタ更新動作 (1/2)

レジスタ	機能	1 転送要求に対する転送終了後の更新動作	
		DMCRAL ビットが 1 以外のとき	DMCRAL ビットが 1 のとき（リピートサイズの最終データ転送）
DMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算	• DMTMD.DTS[1:0] = 00b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 01b DMSAR の初期値 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算

表 15.6　リピート転送モードでのレジスタ更新動作 (2/2)

レジスタ	機能	1 転送要求に対する転送終了後の更新動作	
		DMCRAL ビットが 1 以外のとき	DMCRAL ビットが 1 のとき（リピートサイズの最終データ転送）
DMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算	• DMTMD.DTS[1:0] = 00b DMDAR の初期値 • DMTMD.DTS[1:0] = 01b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMCRAH	リピートサイズ	更新なし	更新なし
DMCRAL	転送カウント	1 減算	DMCRAH
DMCRBH	リピート転送回数	更新なし	更新なし
DMCRBL	リピート転送回数のカウント	更新なし	1 減算

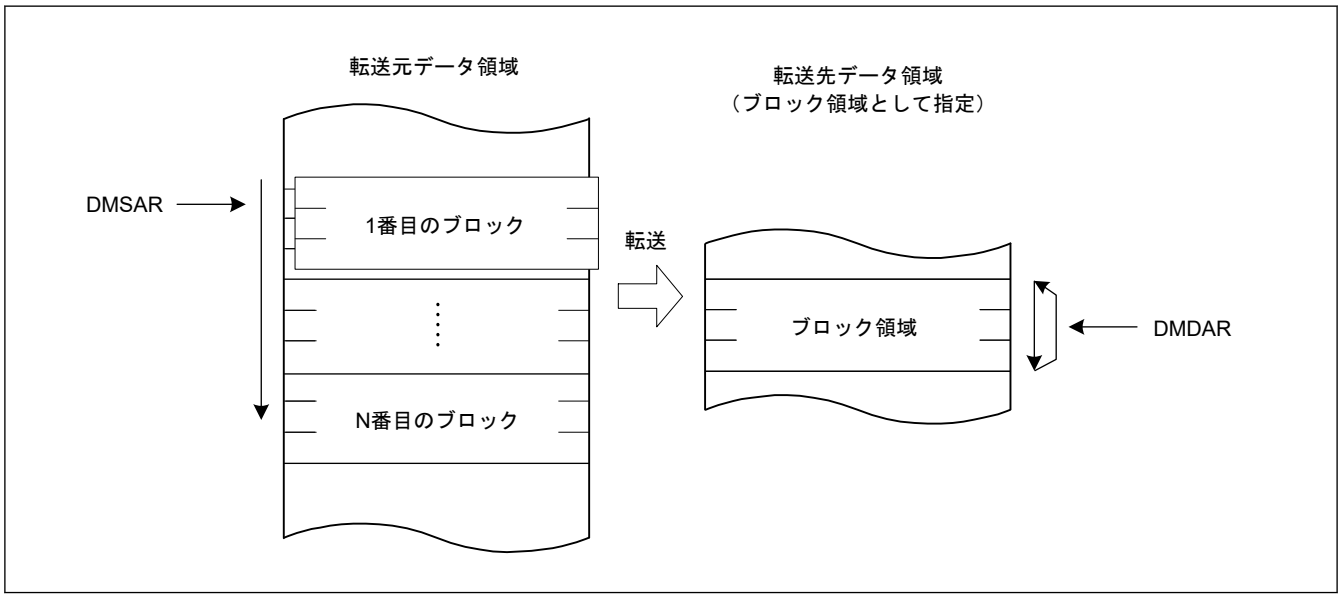


図 15.3　リピート転送モードの動作

15.3.1.3　ブロック転送モード

ブロック転送モードは、1 回の転送要求について 1 ブロックのデータ転送を行います。

DMCRA レジスタで最大 1 K データのブロック転送サイズを設定できます。

また、DMCRB レジスタで最大 64 K 回の指定ブロック転送回数を設定できます。総データ転送数は最大 1 K データ×64 K ブロック転送回数 = 64 M データの指定が可能です。

転送元または転送先のいずれか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ（DMSAR または DMDAR）は、1 ブロック分のデータ転送が終了すると、転送開始時のアドレスに復帰します。ブロック転送モードでは、1 ブロックのデータ転送がすべて終了した時に、DMA 転送を停止し、リピートサイズ終了割り込み要求を発生させることができます。リピートサイズ終了割り込み処理で、DMCNT.DTE ビットに 1 を書くと DMA 転送を再開することができます。

また、指定したブロック転送回数の終了後に、転送終了割り込み要求を発生させることができます。

ブロック転送モードにおけるレジスタ更新動作を表 15.7 に、ブロック転送モードにおける転送動作を図 15.4 に示します。

表 15.7　ブロック転送モードでのレジスタ更新動作

レジスタ	機能	1 転送要求に対する 1 ブロック転送終了後の更新動作
DMSAR	転送元アドレス	• DMTMD.DTS[1:0] = 00b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 01b DMSAR の初期値 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMDAR	転送先アドレス	• DMTMD.DTS[1:0] = 00b DMDAR の初期値 • DMTMD.DTS[1:0] = 01b インクリメント／デクリメント／固定／オフセット加算 • DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMCRAH	ブロックサイズ	更新なし
DMCRAL	転送カウント	DMCRAH
DMCRBH	ブロック転送回数	更新なし
DMCRBL	ブロック転送回数のカウント	1 減算

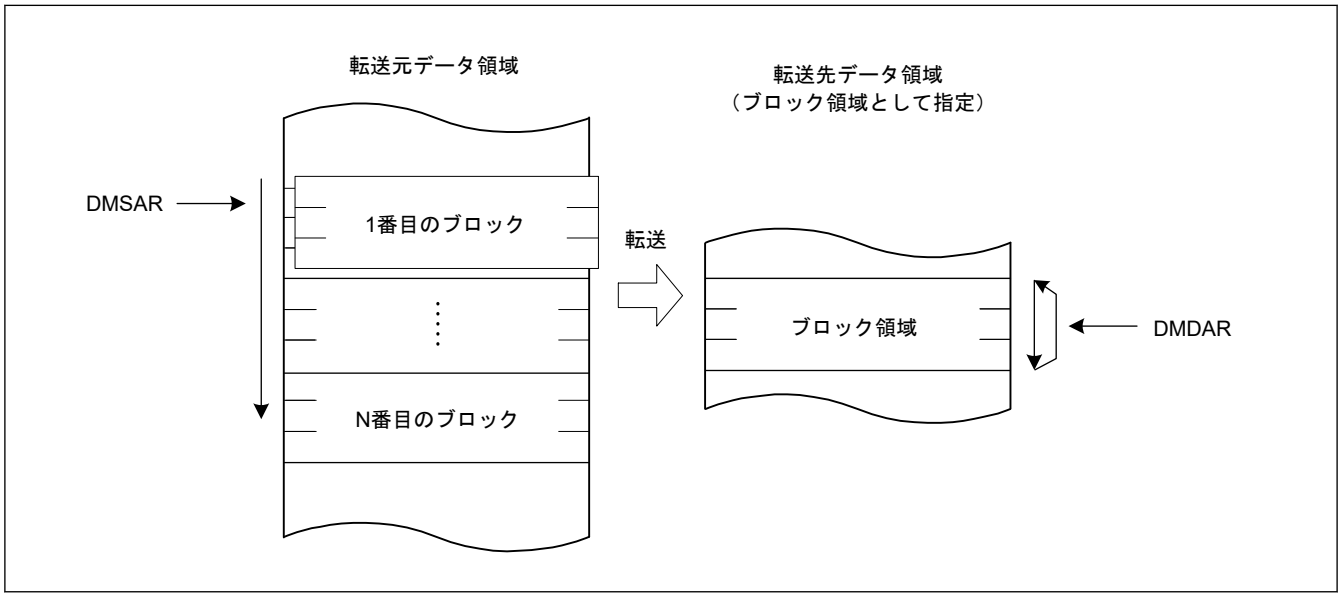


図 15.4　ブロック転送モードの動作

15.3.1.4　リピートブロック転送モード

リピートブロック転送はブロック転送機能に追加された以下の機能をもつ動作モードです。

リピート機能：特定のアドレス領域をリピートする追加機能（リングバッファ）

オフセット機能：オフセットのある複数の領域を 1 ブロック転送内で指定可能

リピート機能とオフセット機能は、リピートブロック転送の転送元と転送先に対して使用可能です。

図 15.5 に転送先へリピート機能を追加する例を示します。

図 15.6 に転送先へオフセット加算するリピートブロック転送の例を示します。

リピートブロック転送モードでは、1 つの転送要求で 1 つのブロックデータが転送されます。

DMACn の DMCRA を使用して、最大 1 K のデータを合計ブロック転送サイズとして設定可能です。

DMACn の DMCRB を使用して、最大 64 K をブロック転送回数として設定可能です。したがって、最大 64 M のデータ（1 K データ × 64 K ブロック転送回数）を合計データ転送サイズとして設定可能です。

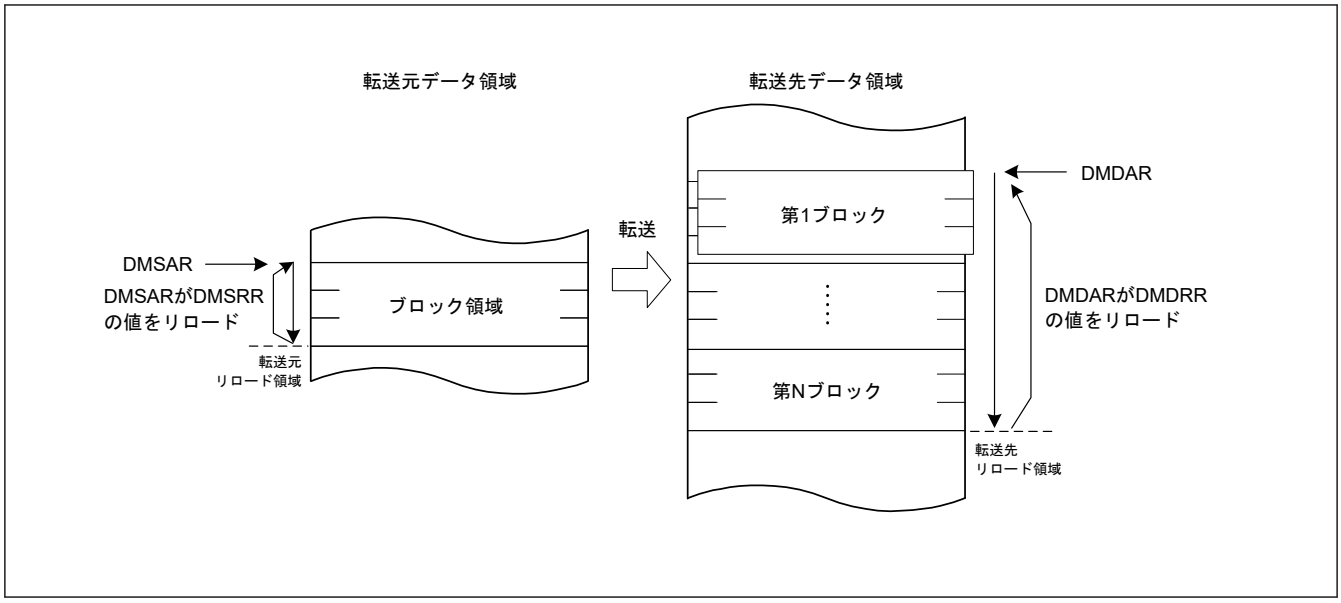


図 15.5　リピートブロック転送モードの動作

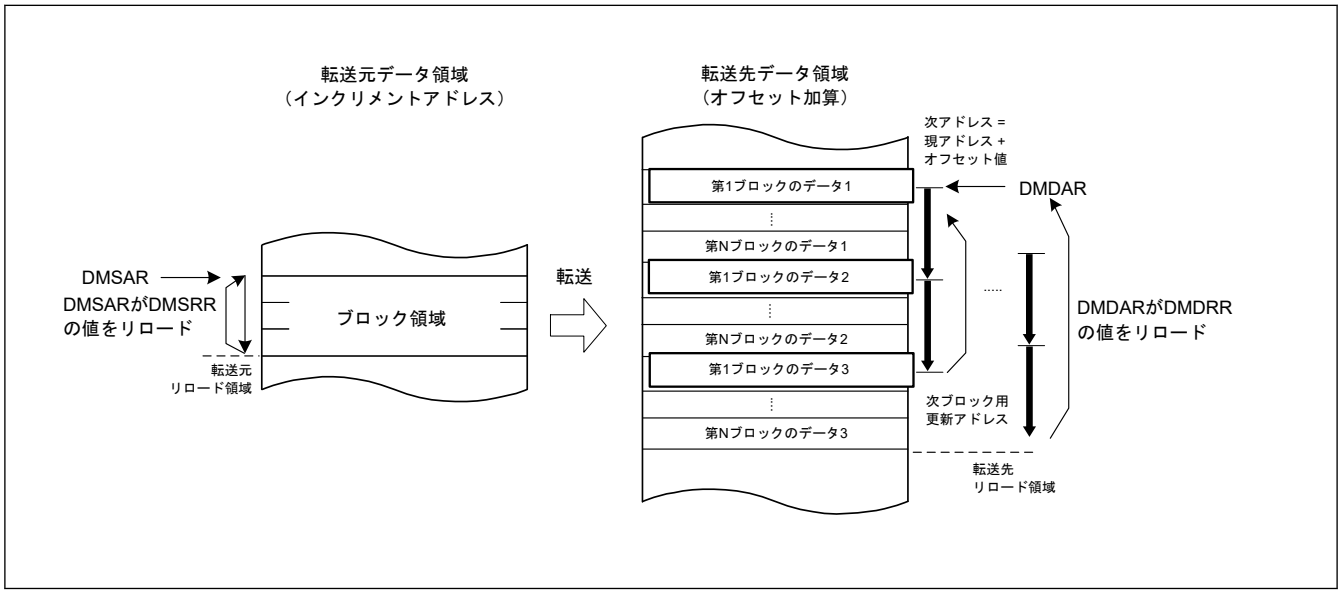


図 15.6　リピートブロック転送モードの動作（オフセット加算）

表 15.8～表 15.13 にリピートブロック転送モードのレジスタ更新動作をまとめます。

表 15.8　リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（固定アドレス DMAMD.SM[1:0] = 00b）(1/2)

レジスタ	機能	シングルデータ転送後の更新動作		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし
DMSAR	転送元アドレス	更新なし	更新なし	更新なし
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし

表 15.8 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（固定アドレス DMAMD.SM[1:0] = 00b） (2/2)

レジスタ	機能	シングルデータ転送後の更新動作		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]

表 15.9 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作（固定アドレス DMAMD.DM[1:0] = 00b）

レジスタ	機能	シングルデータ転送後の更新動作		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし
DMDAR	転送先アドレス	更新なし	更新なし	更新なし
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]

表 15.10 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.SM[1:0] = 10b または 11b） (1/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMSBSL[15:0]が 1 ではない			DMSBSL[15:0]が 1		
		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1		DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMSAR	DMTMD.SM[1:0] = 10b の場合の転送元アドレス	データサイズによるインクリメント			DMSRR		
	DMTMD.SM[1:0] = 11b の場合の転送元アドレス	データサイズによるデクリメント			DMSRR		
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	1 減算	DMCRAH[9:0]	DMCRAH[9:0]

表 15.10 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.SM[1:0] = 10b または 11b） (2/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMSBSL[15:0]が 1 ではない			DMSBSL[15:0]が 1		
		DMCRAL [15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL [15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0] が 1 ではない	DMCRBL[15:0] が 1		DMCRBL[15:0] が 1 ではない	DMCRBL[15:0] が 1
DMSBSH[15:0]	転送元バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMSBSL[15:0]	転送元バッファの転送データカウント	1 減算	1 減算	1 減算	DMSBSH	DMSBSH	DMSBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]			DMCRBH[15:0]

表 15.11 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.DM[1:0] = 10b または 11b） (1/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMDBSL[15:0]が 1 ではない			DMDBSL[15:0]が 1		
		DMCRAL [15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL [15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0] が 1 ではない	DMCRBL[15:0] が 1		DMCRBL[15:0] が 1 ではない	DMCRBL[15:0] が 1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMDAR	DMTMD.DM[1:0] = 10b の場合の転送先アドレス	データサイズによるインクリメント			DMDRR		
	DMTMD.DM[1:0] = 11b の場合の転送先アドレス	データサイズによるデクリメント			DMDRR		
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	1 減算	DMCRAH[9:0]	DMCRAH[9:0]
DMDBSH[15:0]	転送先バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMDBSL[15:0]	転送先バッファの転送データカウント	1 減算	1 減算	1 減算	DMDBSH	DMDBSH	DMDBSH

表 15.11 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作（インクリメントアドレスまたはデクリメントアドレス DMAMD.DM[1:0] = 10b または 11b） (2/2)

レジスタ	機能	シングルデータ転送後の更新動作					
		DMDBSL[15:0]が 1 ではない			DMDBSL[15:0]が 1		
		DMCRAL [15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)		DMCRAL [15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)	
			DMCRBL[15:0] が 1 ではない	DMCRBL[15:0] が 1		DMCRBL[15:0] が 1 ではない	DMCRBL[15:0] が 1
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	更新なし	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]			DMCRBH[15:0]

表 15.12 リピートブロック転送モードにおける転送元領域に対応するレジスタ更新動作（オフセット加算 DMAMD.SM[1:0] = 01b）

レジスタ	機能	DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)			
			DMSBSL[15:0]が 1 ではない		DMSBSL[15:0]が 1	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1	DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMSRR	転送元リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし
DMSAR	DMAMD.SADR = 0 の場合の転送元アドレス	DMSBSH によるオフセット加算	DMSRR		DMSRR	
	DMAMD.SADR = 1 の場合の転送元アドレス		DMSRR + (DMS-BSH - DMSBSL) × (データサイズ)			
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]
DMSBSH[15:0]	転送元バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし
DMSBSL[15:0]	転送元バッファの転送データカウント	更新なし	1 減算	1 減算	DMSBSH	DMSBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]		DMCRBH[15:0]

表 15.13 リピートブロック転送モードにおける転送先領域に対応するレジスタ更新動作（オフセット加算 DMAMD.DM[1:0] = 01b）

レジスタ	機能	DMCRAL[15:0]が 1 ではない	DMCRAL[15:0]が 1 (1 ブロックの転送)			
			DMDBSL[15:0]が 1 ではない		DMDBSL[15:0]が 1	
			DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1	DMCRBL[15:0]が 1 ではない	DMCRBL[15:0]が 1
DMDRR	転送先リロードアドレス	更新なし	更新なし	更新なし	更新なし	更新なし
DMSAR	DMAMD.DADR = 0 の場合の転送先アドレス	DMDBSH によるオフセット加算	DMDRR		DMDRR	
	DMAMD.DADR = 1 の場合の転送先アドレス		DMDRR + (DMDBSH - DMDBSL) × (データサイズ)			
DMCRAH[9:0]	ブロックサイズ	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRAL[15:0]	ブロックサイズカウント	1 減算	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]	DMCRAH[9:0]
DMDBSH[15:0]	転送先バッファサイズ（リピートサイズ）	更新なし	更新なし	更新なし	更新なし	更新なし
DMDBSL[15:0]	転送先バッファの転送データカウント	更新なし	1 減算	1 減算	DMDBSH	DMDBSH
DMCRBH[15:0]	ブロック転送回数	更新なし	更新なし	更新なし	更新なし	更新なし
DMCRBL[15:0]	DMTMD.TKP = 0 の場合のブロック転送動作のカウント	更新なし	1 減算	0	1 減算	0
	DMTMD.TKP = 1 の場合のブロック転送動作のカウント			DMCRBH[15:0]		DMCRBH[15:0]

15.3.2 拡張リピート領域機能

DMAC には、転送元アドレスと転送先アドレスに拡張リピート領域を設定する機能があります。拡張リピート領域を設定すると、アドレスレジスタは拡張リピート領域に指定した範囲のアドレス値を繰り返します。

この機能を設定すると、アドレスレジスタは拡張リピート領域に指定した範囲のアドレス値を繰り返します。

転送元アドレスの拡張リピート領域は、DMAMD.SARA[4:0]ビットで設定します転送先アドレスの拡張リピート領域は、DMAMD.DARA[4:0]ビットで設定します。転送元と転送先に異なるサイズの設定が可能です。

ただし、リピート領域またはブロック領域として設定した転送元または転送先に、拡張リピート領域を設定することはできません。

アドレスレジスタの値が拡張リピート領域の終了アドレスに到達し、拡張リピート領域がオーバーフローすると、DMA 転送を停止させて、拡張リピート領域オーバーフロー割り込み要求を発生させることができます。DMINT.SARIE ビットが 1 のとき、転送元の拡張リピート領域がオーバーフローすると、DMSTS.ESIF フラグが 1 になり、DMCNT.DTE ビットを 0 にして DMA 転送を終了させます。このとき、DMINT.ESIE ビットが 1 になっていると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMINT.DARIE ビットが 1 の場合、この機能は転送先アドレスレジスタが対象になります。DMA 転送を再開させるには、割り込み処理で DMCNT.DTE ビットに 1 を書き込んでください。

図 15.7 に、拡張リピート領域の動作例を示します。

DMSAR の下位 3 ビット（8 バイト）を拡張リピート領域に設定する (DMAMD.SARA[4:0] = 00011b)。データサイズが 8 ビット (DMTMD.SZ[1:0] = 00b) の場合

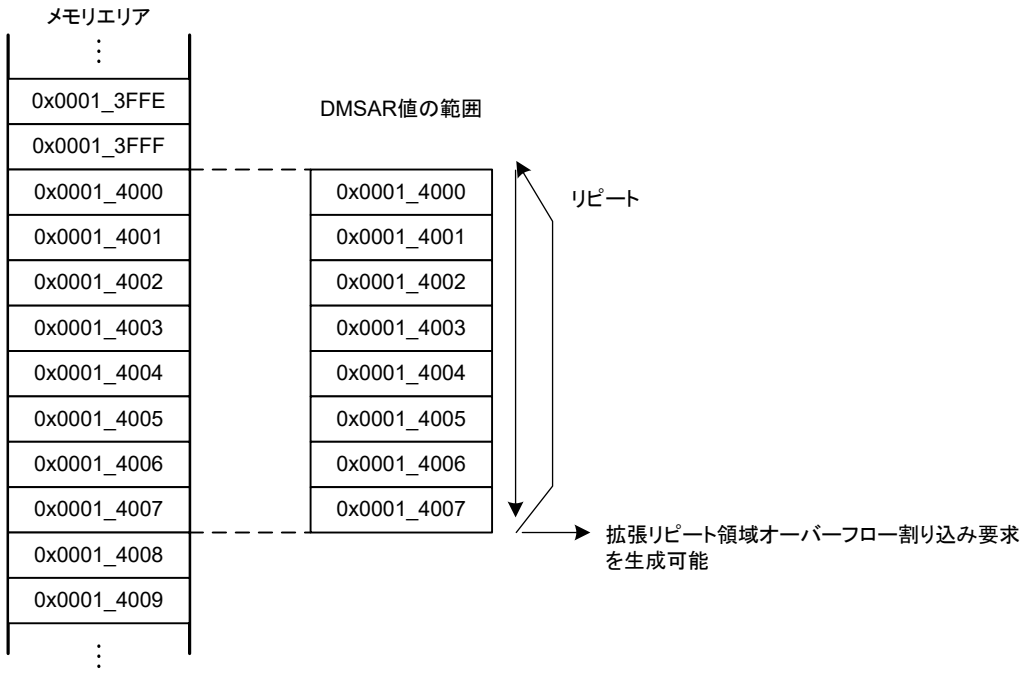


図 15.7　拡張リピート領域の動作例

ブロック転送モードで拡張リピート領域オーバーフロー割り込みを使用する場合は、以下の点に注意してください。

拡張リピート領域オーバーフロー割り込みで転送を終了させる場合、ブロックサイズを 2 のべき乗になるように設定するか、またはブロックサイズの境界と拡張リピート領域の範囲の境界が一致するようにアドレスレジスタの値を設定する必要があります。また、1 ブロックの転送中に拡張リピート領域にオーバーフローが発生した場合、そのブロックの転送が終了するまで拡張リピート領域オーバーフロー割り込みは保留され、転送はオーバーランします。

図 15.8 に、ブロック転送モードにおける拡張リピート領域機能の使用例を示します。

DMSAR の下位 3 ビット（8 バイト）を拡張リピート領域に設定し (DMAMD.SARA[4:0] = 00011b)、ブロック転送モードでブロックサイズを 5 に設定し (DMCRA = 0x00050005)、転送元アドレスをブロック領域に指定しない。データサイズが 8 ビット (DMTMD.SZ[1:0] = 00b) の場合

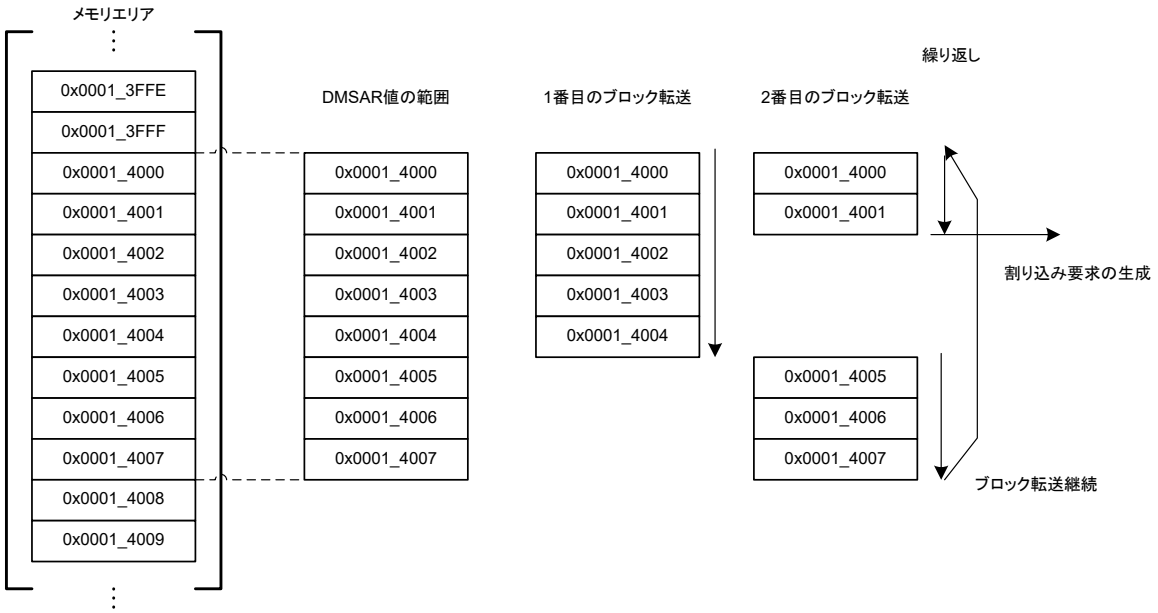


図 15.8　ブロック転送モードにおける拡張リピート領域機能の使用例

15.3.3　フリーランニング機能

DMAC はフリーランニング機能をサポートしています。この機能は割り込みハンドラを再設定することなく、リピート転送を許可します。

15.3.3.1　ノーマル転送モード

ノーマル転送モードで、DMCRA.DMCRAL ビットが 0x0000 の場合、転送動作の回数は設定されません。データ転送は、転送カウンタ停止で実行されます。

詳細については、「15.3.1.1. ノーマル転送モード」を参照してください。

15.3.3.2　他の転送モード

リピート転送モード、ブロック転送モード、およびリピートブロック転送モードでは、DMAC は DMTMD.TKP ビットを使用したフリーランニング機能をサポートしています。DMTMD.TKP ビットが 1 に設定される場合、転送動作の指定された全回数の終了により転送は停止せず、繰り返し DMCRBH をリロードします。

図 15.9 にフリーランニング機能がない場合のブロック転送例を示します。

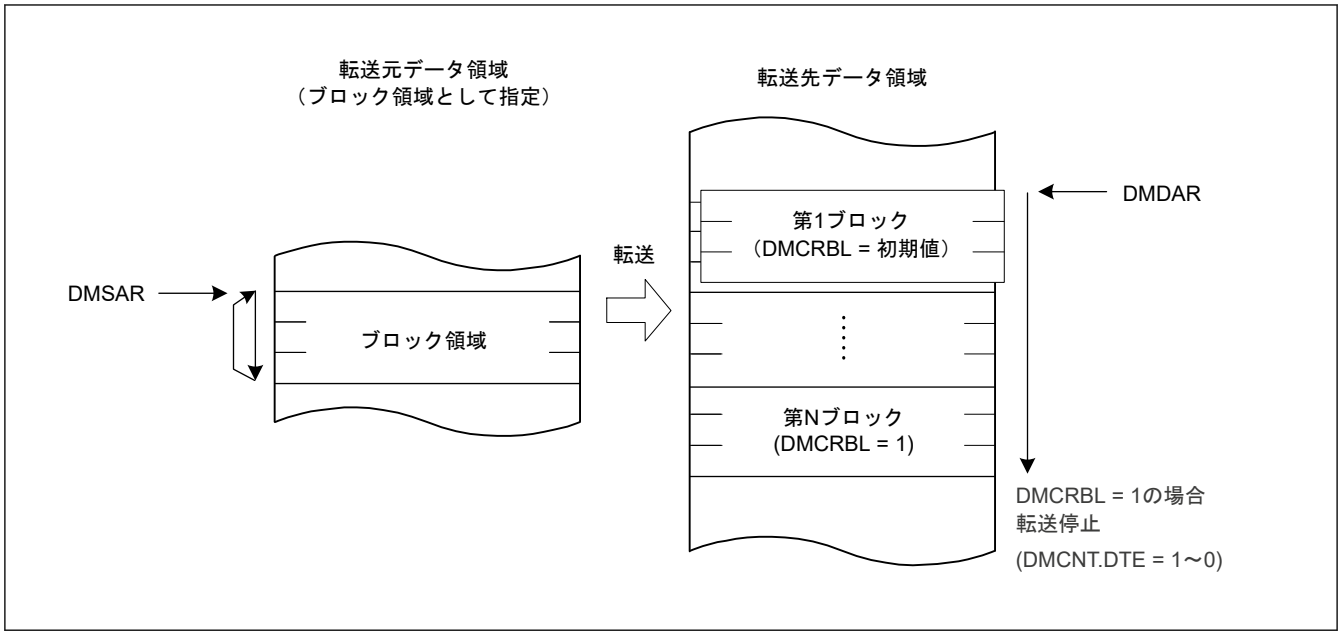


図 15.9　DMTMD.TKP ビットが 0 の場合のブロック転送モードの動作

図 15.10 にフリーランニング機能がある場合のブロック転送例を示します。

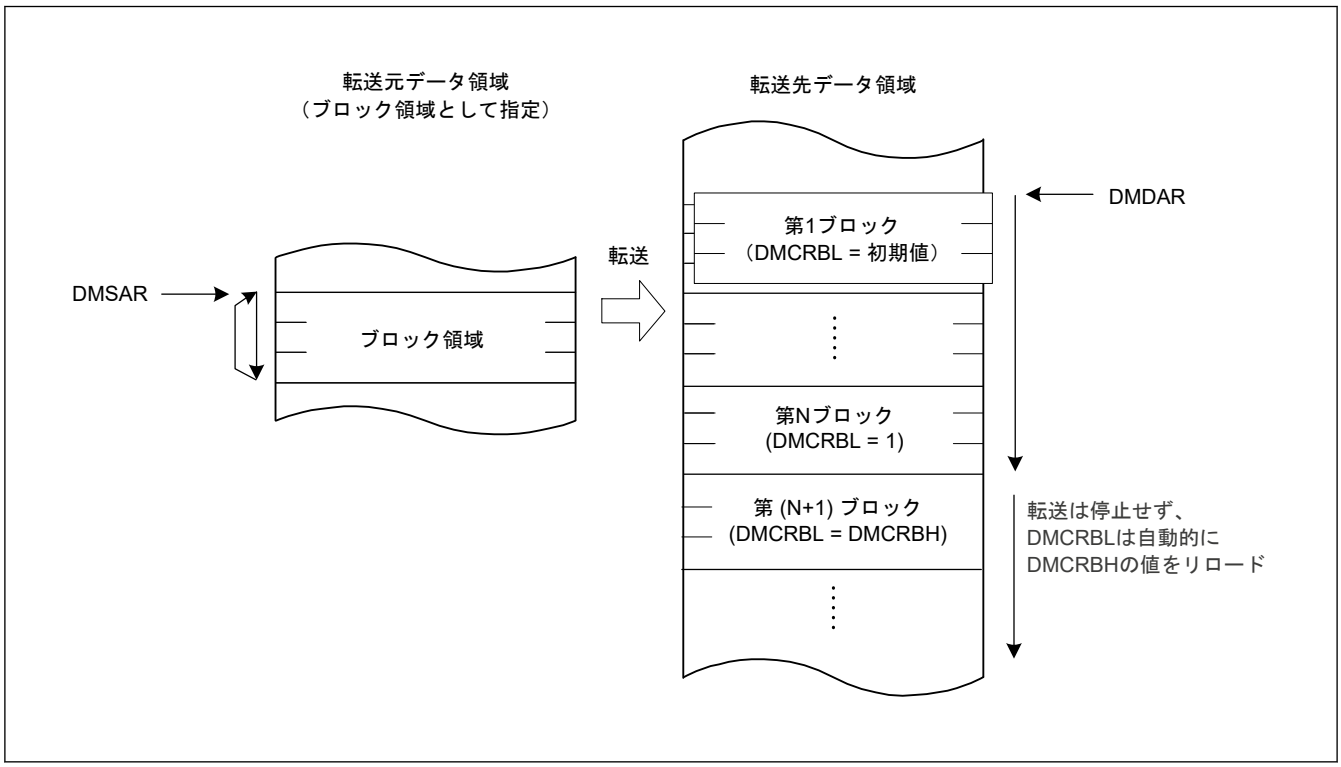


図 15.10　DMTMD.TKP ビットが 1 の場合のブロック転送モードの動作

15.3.4　オフセットを使用したアドレス更新機能

転送元アドレスと転送先アドレスの更新方法には、固定、インクリメント、デクリメントの他にオフセット加算があります。ノーマル、リピート、ブロック転送モードにおいて、オフセット加算では DMAC が 1 データの転送を実行するたびに、DMA オフセットレジスタ (DMOFR) で設定したオフセット値がアドレスに加算されます。この機能によって、分散した領域にアドレスが割り付けられた状態でデータ転送を実施できます。

また、DMOFR に負の値を設定すると、オフセットによる減算も可能です。負の値は 2 の補数で設定する必要があります。

リピートブロック転送モードでは、DMOFR の代わりに DMSBS または DMDBS が使用されます。詳細については、「15.3.1.4. リピートブロック転送モード」を参照してください。

表 15.14 に各アドレス更新モードにおけるアドレス更新方法を示します。

表 15.14　各アドレス更新モードにおけるアドレス更新方法

アドレス更新モード	アドレス更新モードに対する DMAMD.SM[1:0]および DMAMD.DM[1:0]の設定値	アドレス更新方法（DMTMD.SZ[1:0]設定値別）		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMOFR(注1)		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注 1.　DMA オフセットレジスタに負の値を設定する場合、その値は次式で計算される 2 の補数でなければいけません。
負のオフセット値の 2 の補数表現 = ～（オフセット値）+1（～：ビット反転）

15.3.4.1　オフセット加算を使用した基本的な転送

図 15.11 にオフセット加算によるアドレス更新機能の動作例を示します。

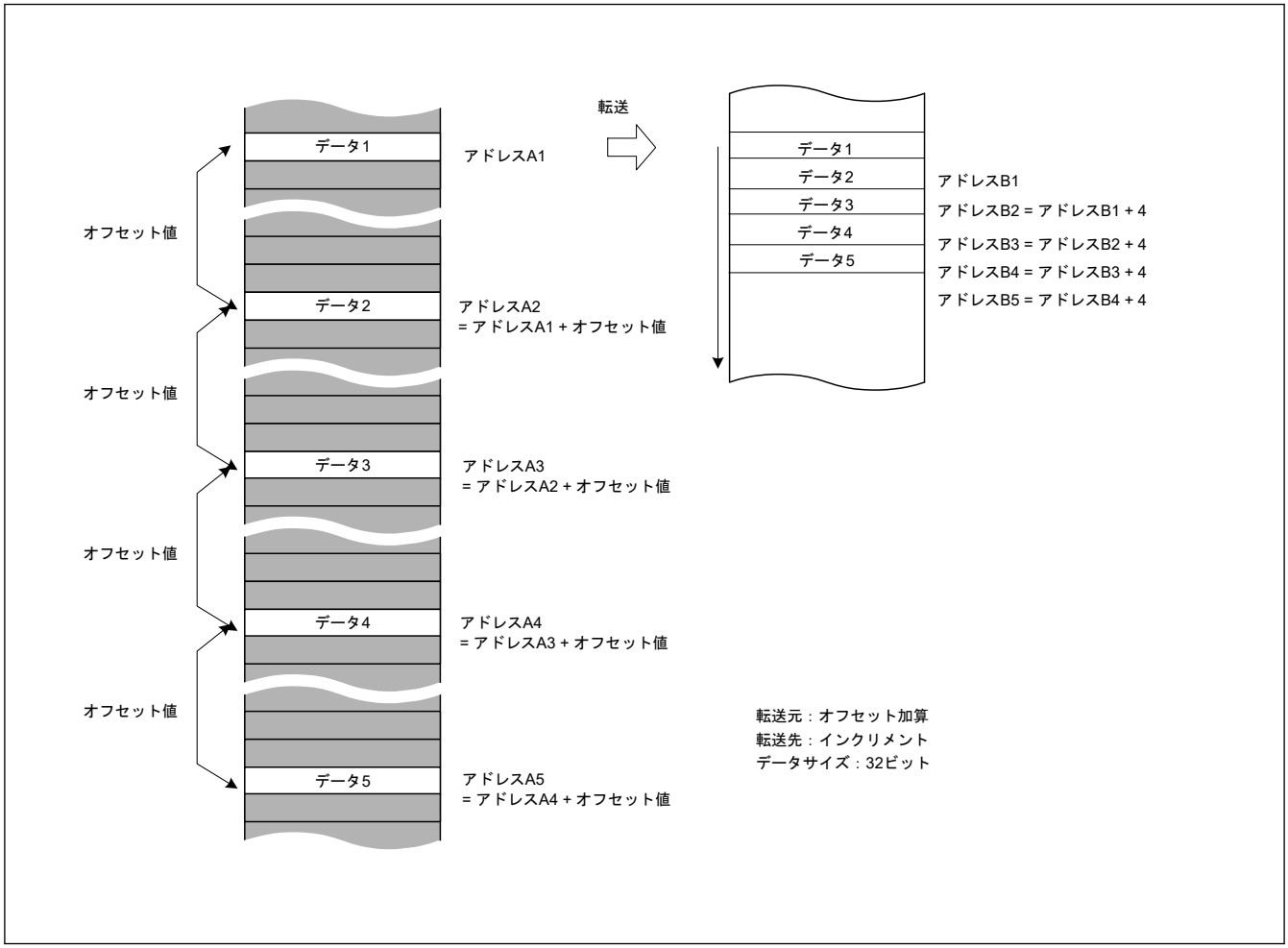


図 15.11　オフセット加算によるアドレス更新機能の動作例

図 15.11 では、以下のように設定しています。

- 転送データサイズは 32 ビット
- 転送元アドレスの更新モードはオフセット加算
- 転送先アドレスの更新モードはインクリメント

2 回目以降のデータは、前回のアドレスにオフセット値を加算することで得られる転送元アドレスから読み出されます。指定された間隔で読み出されたデータは、転送先では連続した領域に書き込まれます。

15.3.4.2 オフセット加算を使用した XY 変換例

図 15.12 に、リピート転送モードとオフセット加算を組み合わせて XY 変換を行うときの動作を示します。

設定方法は以下のとおりです。

- DMAMD.SM — 転送元アドレス更新モード：オフセット加算
- DMAMD.DM — 転送先アドレス更新モード：転送先アドレスがインクリメントされる
- DMTMD.SZ — 転送データサイズ選択：32 ビット
- DMTMD.MD — 転送モード選択：リピート転送
- DMTMD.DTS — リピート領域選択：転送元をリピート領域に設定
- DMOFR — オフセットアドレス：0x10
- DMCRA—リピートサイズ：0x4
- DMINT.RPTIE — リピートサイズ終了割り込みを許可

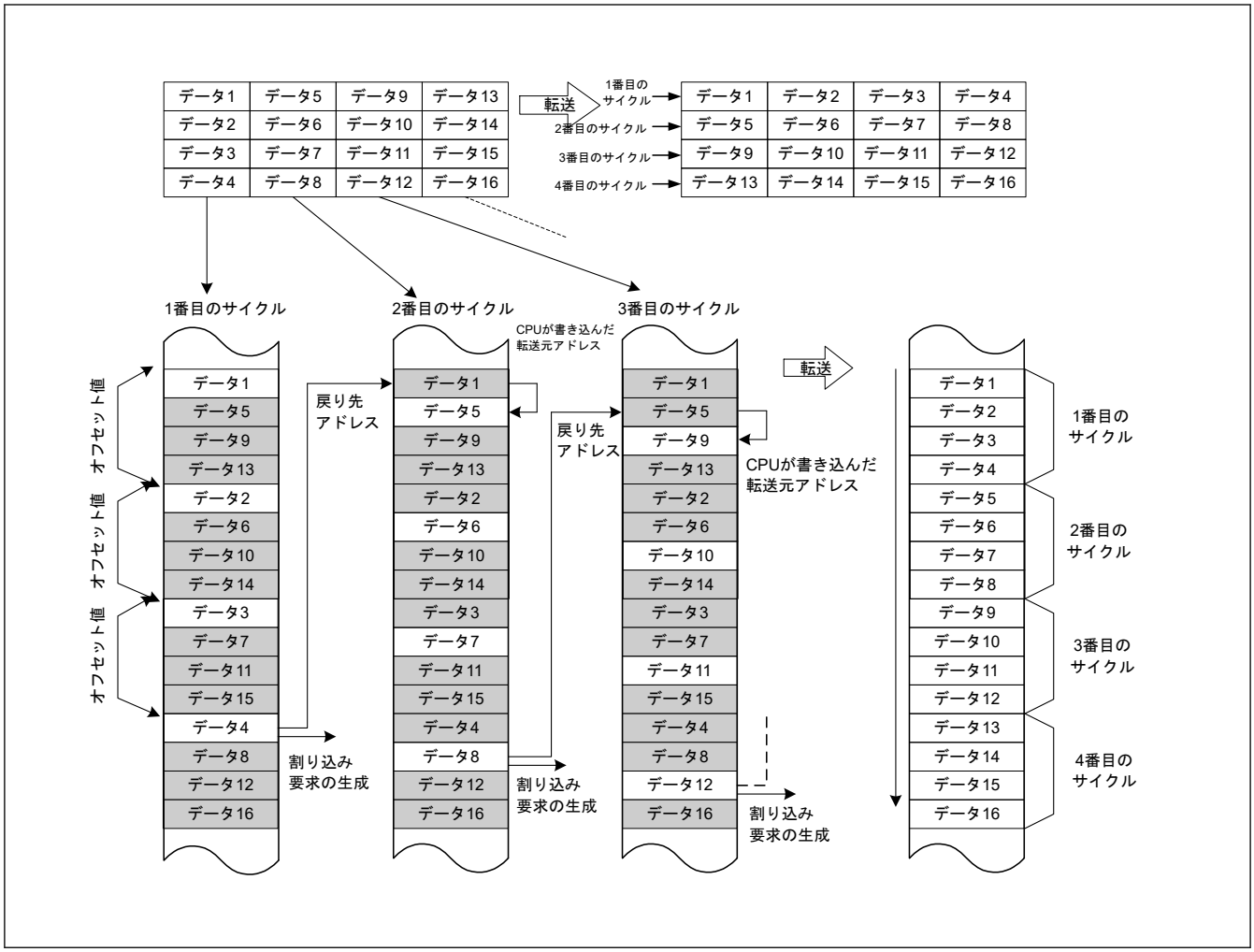


図 15.12 リピート転送モードにおけるオフセット加算による XY 変換動作

転送が開始されると、毎回、転送元アドレスにオフセット値を加算してデータ転送が行われます。転送データは、連続した転送先アドレスに書き込まれます。“データ 4”まで転送されたときの動作は以下のとおりです。

- リピートサイズ分のデータ転送が終了する
- 転送元アドレスは転送開始時のアドレス（転送元の“データ 1”のアドレス）に復帰する

- リピートサイズ終了割り込み要求が発生する

この割り込みによって転送が一時停止している間、以下の処理を行います。

- DMSAR—DMA 転送元アドレスをデータ 5 のアドレスに書き換える
  （この例では“データ 1”のアドレスに 4 を加算）
- DMCNT—DTE ビットを 1 にする

DMA 転送が中断したときの状態から DMA 転送が再開されます。以降、同じ処理を繰り返すと、転送元のデータが転送先で配置を入れ替えられます（XY 変換）。

図 15.13 に XY 変換の処理フローを示します。

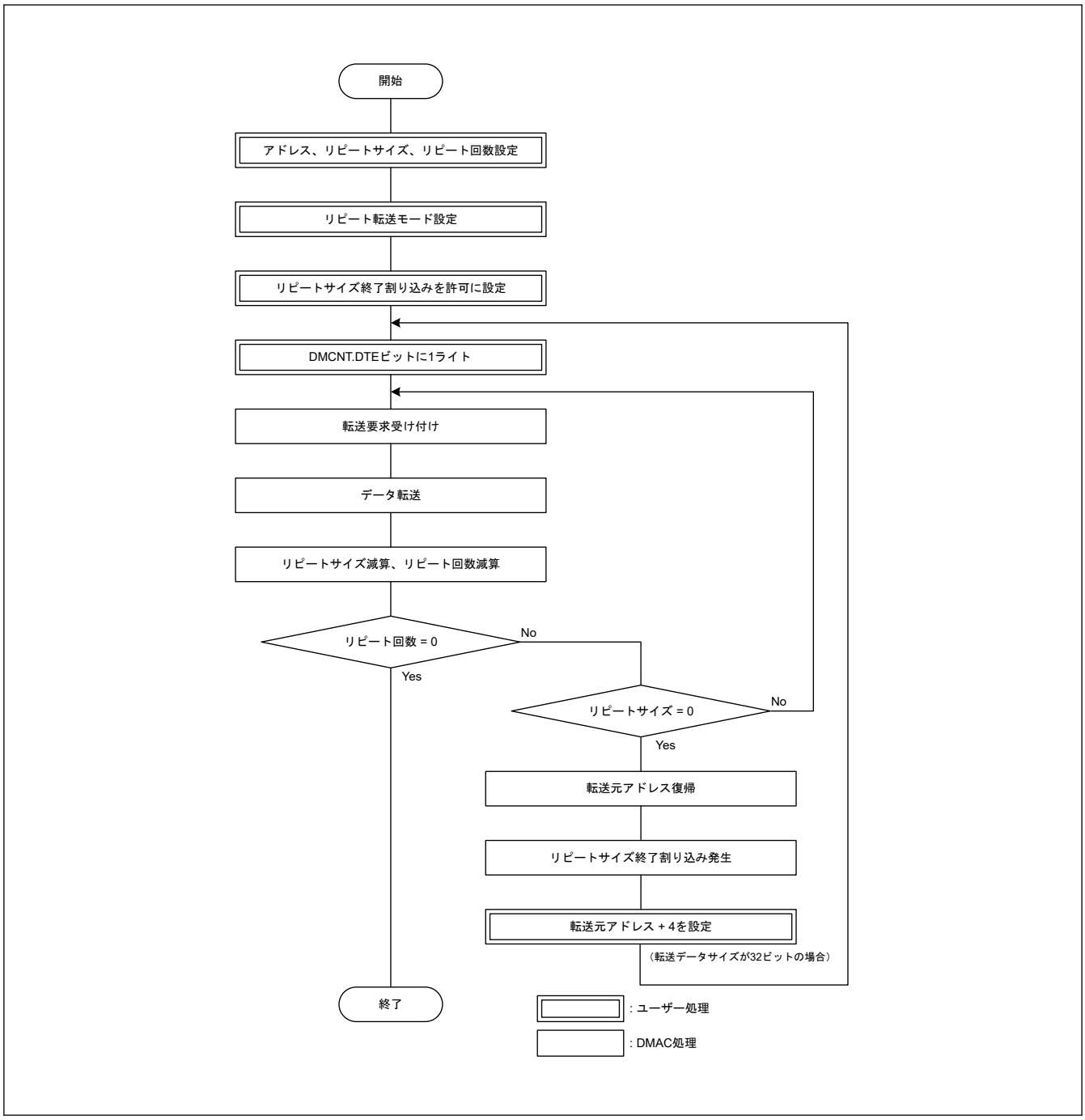


図 15.13　リピート転送モードにおけるオフセット加算による XY 変換フロー

15.3.5 リピートブロック転送モードにおけるアドレス更新機能

リピートブロック転送モードは、リピート転送モードとブロック転送モードの拡張です。ただし、アドレス更新の詳細な動作は、これらの 2 つのモードでは異なります。ここでは、リピートブロック転送モードにおけるアドレス更新機能の詳細を説明します。

15.3.5.1 固定アドレスモード

DMAMD.SM[1:0]ビットが 00b の場合、転送元のアドレス更新モードは固定アドレスモードです。
DMAMD.DM[1:0]ビットが 00b の場合、転送先のアドレス更新モードは固定アドレスモードです。

固定アドレスモードでは、アドレスは DMSAR と DMDAR の初期値から更新されません。ブロックサイズ (DMCRA) が 1 より大きい場合、1 つの要求に対して同じデータが複数回転送されます。

図 15.14 に固定アドレスモードにおけるアドレス更新を示します。

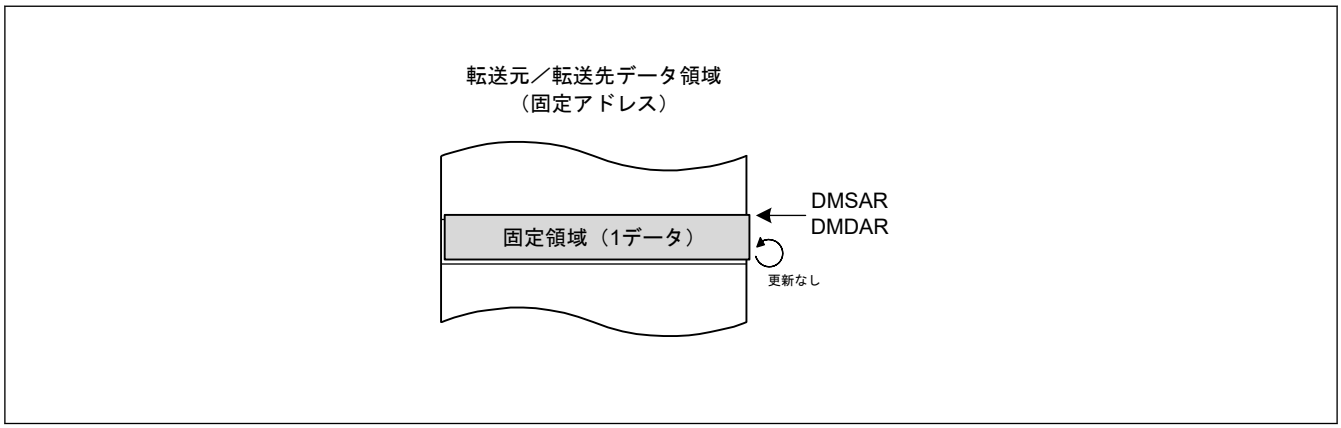


図 15.14 固定アドレスモードにおけるアドレス更新

15.3.5.2 インクリメントアドレスモードとデクリメントアドレスモード

DMAMD.SM[1:0]ビットが 10b の場合、転送元のアドレス更新モードはインクリメントアドレスモードです。
DMAMD.DM[1:0]ビットが 10b の場合、転送先のアドレス更新モードはインクリメントアドレスモードです。
DMAMD.SM[1:0]ビットが 11b の場合、転送元のアドレス更新モードはデクリメントアドレスモードです。
DMAMD.DM[1:0]ビットが 11b の場合、転送先のアドレス更新モードはデクリメントアドレスモードです。

これらの更新モードでは、DMTMD.SZ[1:0]ビットの設定に従って、アドレスはインクリメントまたはデクリメントされます。

これらの更新モードでは、DMSBS と DMDBS はリロード領域を示します。DMSBS と DMDBS の単位はデータ数です。転送開始時に DMSBSL と DMDBSL（DMSBS と DMDBS の下位 16 ビット）はダウンカウンタとして動作し、1 つのデータが転送されるごとにデクリメントします。値が 1 になると、DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。

図 15.15 にインクリメントアドレスモードにおけるアドレス更新を示します。

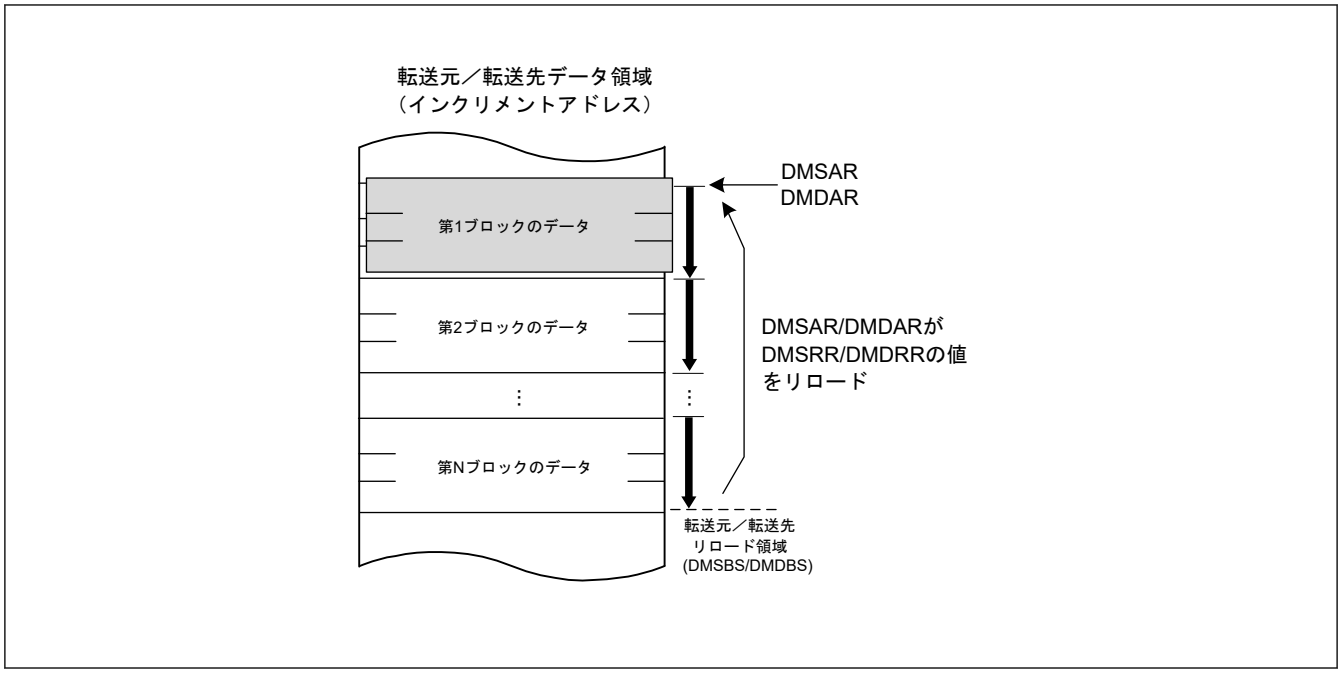


図 15.15　インクリメントアドレスモードにおけるアドレス更新

15.3.5.3　オフセット加算モード

DMAMD.SM[1:0]ビットが 01b の場合、転送元のアドレス更新モードはオフセット加算モードです。
DMAMD.DM[1:0]ビットが 01b の場合、転送先のアドレス更新モードはオフセット加算モードです。

オフセット加算モードでは、DMSBS と DMDBS はリロード領域を示し、アクセスオフセット値としても機能します。他の転送モードとは異なり、DMOFR レジスタはリピートブロック転送モードでは、使用されません。オフセット加算モードでは、DMSBS と DMDBS の単位はブロック数です。転送開始時に DMCRAL はダウンカウンタとして動作し、1 つのブロックが転送されるごとに DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。さらに、DMSBSL と DMDBSL（DMSBS と DMDBS の下位 16 ビット）はダウンカウンタとしても動作し、1 つのブロックが転送されるごとにデクリメントします。DMSBS と DMDBS の値が 1 になると、DMSAR と DMDAR は、DMSRR と DMDRR の値をリロードします。

DMAMD.SADR と DMAMD.DADR が 0 の場合、同じ領域のオフセット加算動作が繰り返されます。DMDAR は DMDRR をリロードするだけです。図 15.16 にオフセット加算モードにおけるアドレス更新（DMAMD.SADR = 0 かつ DMAMD.DADR = 0 の場合）を示します。

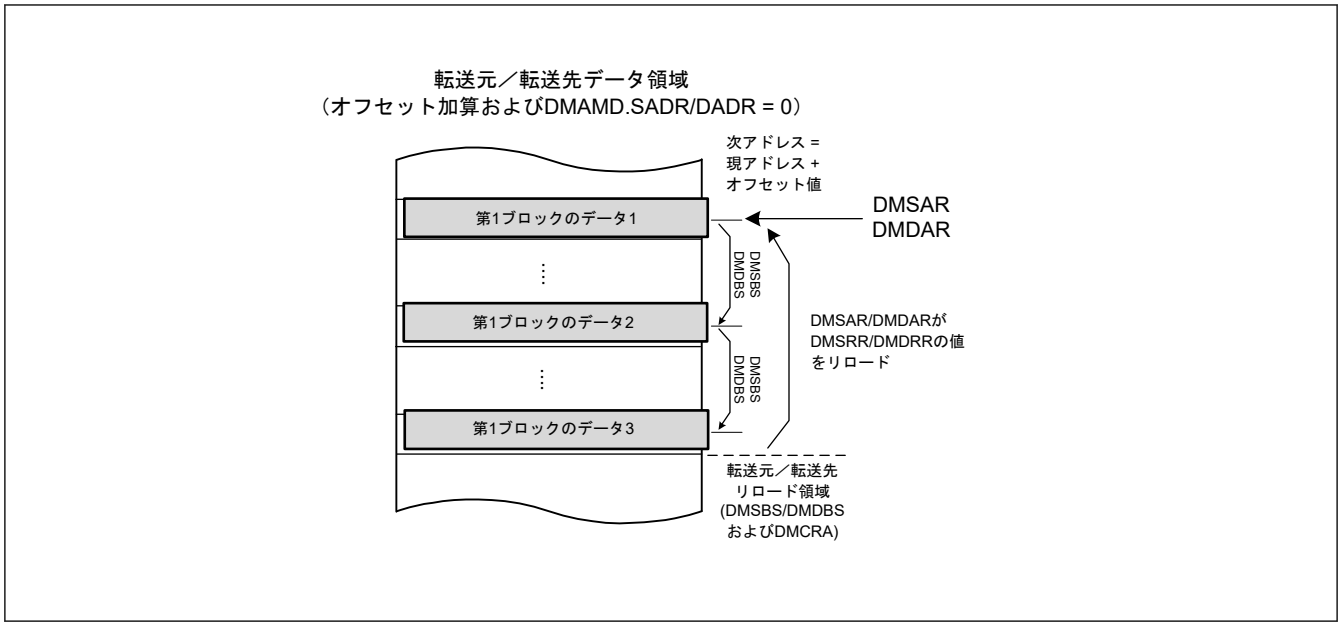


図 15.16　オフセット加算モードにおけるアドレス更新（DMAMD.SADR = 0 かつ DMAMD.DADR = 0 の場合）

DMAMD.SADR ビットと DMAMD.DADR ビットが 1 の場合、DMSRR と DMDRR が DMCRAL = 1 によりリロードされた後に、アドレスは 1 データ単位でインクリメントされます。 言い換えると、DMDRR のリロード後にインデックス値（(DMDBSH-DMDBSL) × データサイズ）が DMDAR に加算されます。この動作はマルチリングバッファを実装するのに使用されます。 図 15.17 にオフセット加算モードにおけるアドレス更新（DMAMD.SADR = 1 かつ DMAMD.DADR = 1 の場合）を示します。

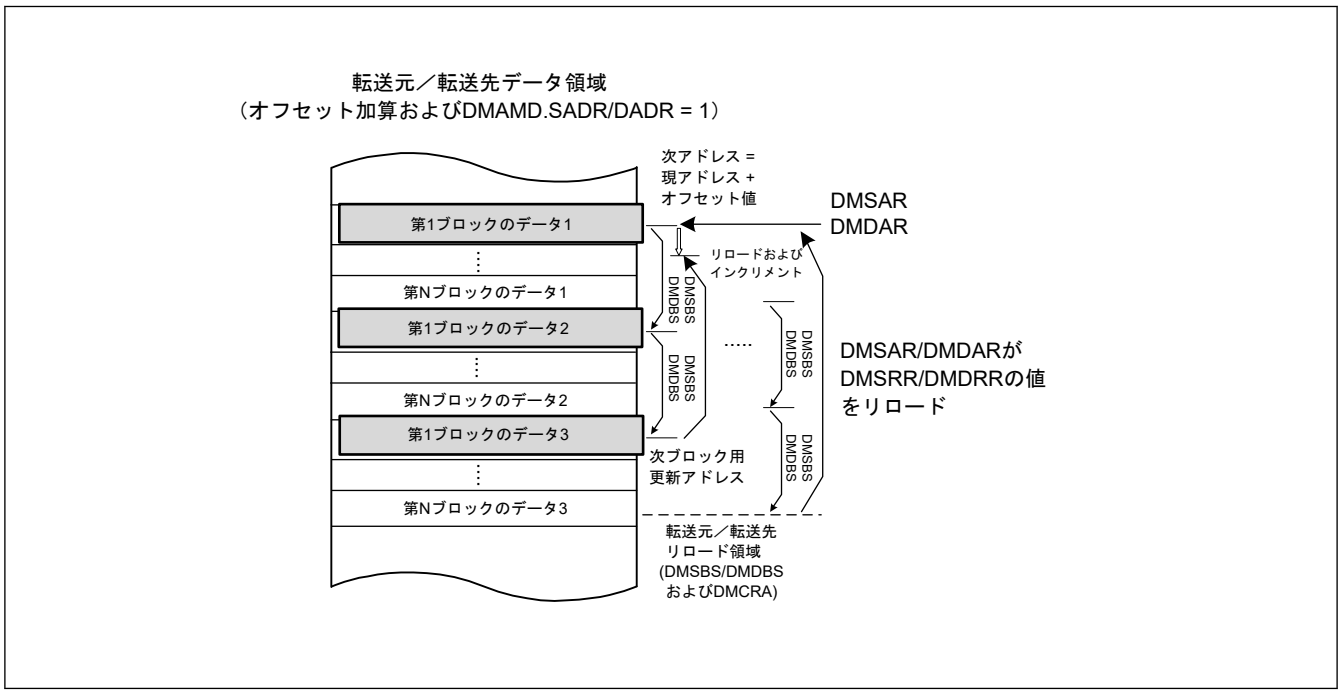


図 15.17　オフセット加算モードにおけるアドレス更新（DMAMD.SADR = 1 かつ DMAMD.DADR = 1 の場合）

15.3.6　リピートブロック転送モードの使用例

リピートブロック転送モードでは、前述のアドレス更新モードを組み合わせることにより、インターバルデータやシングルリングバッファまたはマルチリングバッファへのリピートアクセスが可能です。以下の節では、いくつかの使用例を示します。

15.3.6.1 インターバルアドレスからシングルリングバッファへ

図 15.18 に ADC12 モジュールのインターバル ADDRn レジスタ（データレジスタ）の読み出しおよびシングルリングバッファへの格納の例を示します。1 要求につき、4 ハーフワードごとに 2 データの転送を行います。DMSAR は 1 要求ごとに 1 データ、インクリメントされます。転送要因をオフセット加算に、DMAMD.SADR = 1 に、ブロックサイズ (DMCRA) を 2 に、転送元オフセット (DMSBS) を 4 に設定することで、これが可能になります。表 15.15 にこの設定例を示します。

表 15.15 インターバルアドレスからシングルリングバッファへの設定

レジスタ	値	説明
DMSAR, DMSRR	0x4017_0020	初期転送元アドレス
DMDAR, DMDRR	0x2000_0000	初期転送先アドレス
DMTMD.SZ[1:0]	01b	データサイズ：ハーフワード
DMAMD.SADR	1	リロード後のインクリメンタル転送元アドレス
DMAMD.SM[1:0]	01b	転送元の更新モード：オフセット加算
DMAMD.DM[1:0]	10b	転送先の更新モード：インクリメンタルアドレス
DMCRAH, DMCRAL	2	転送ブロックサイズ
DMSBSH, DMSBSL	4	転送元の全バッファサイズ（単位はブロック）および転送元のアクセスオフセット（単位はデータ）
DMDBSH, DMDBSL	N × 2 (DMCRA)	転送先のバッファサイズ（単位はデータ）

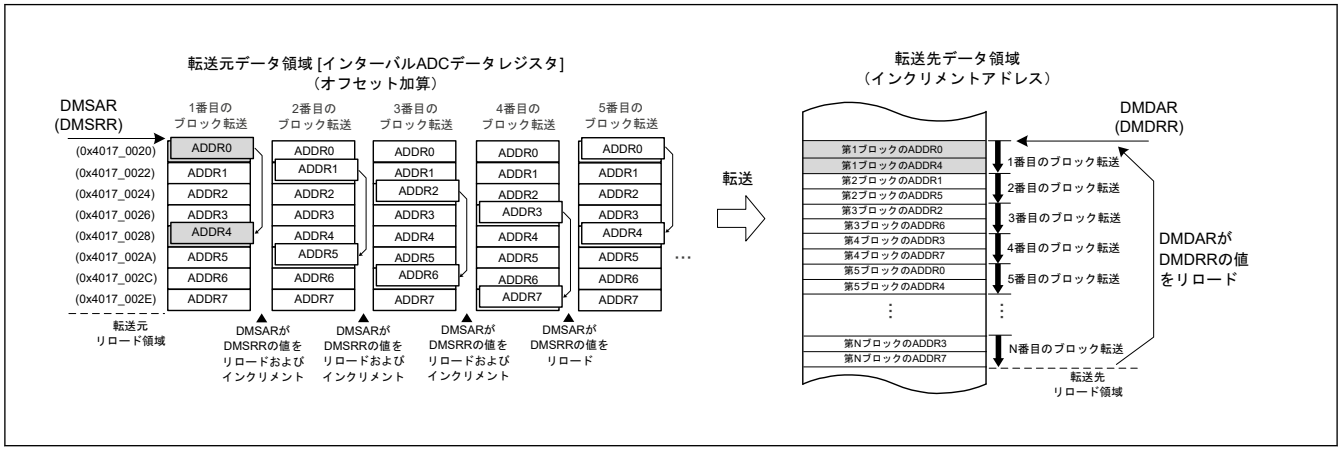


図 15.18 インターバルアドレスからシングルリングバッファへの使用例

15.3.6.2 アラインされていないリングバッファからシングルリングバッファへ

図 15.19 は ADC12 モジュール（変換結果ストレージリングバッファ）の ADBUFn レジスタのインクリメンタルな読み出しおよびシングルリングバッファへの格納の例を示します。この例では、ADBUFn レジスタが 4 番目のスキャンでオーバーフローすることによりラッピングが発生しますが、DMAC の転送元アドレスもそれに応じて更新されます。これは転送元をインクリメンタルアドレスに設定し、DMSBS レジスタのビット長を ADBUFn レジスタと同じ 16 ビットに設定することにより、実現可能です。これにより、割り込みを使用した CPU 処理を実行せずに、転送を継続することが可能です。表 15.16 に設定例を示します。

表 15.16 設定例：アラインされていないリングバッファからシングルリングバッファへ (1/2)

レジスタ	値	内容
DMSAR, DMSRR	0x4017_00B0	初期転送元アドレス
DMDAR, DMDRR	0x2000_0000	初期転送先アドレス
DMTMD.SZ[1:0]	01b	データサイズ：ハーフワード

表 15.16　設定例：アラインされていないリングバッファからシングルリングバッファへ (2/2)

レジスタ	値	内容
DMAMD.SM[1:0]	10b	転送元更新モード：インクリメントアドレス
DMAMD.DM[1:0]	10b	転送先更新モード：インクリメントアドレス
DMCRAH, DMCRAL	5	転送ブロックサイズ
DMSBSH, DMSBSL	16	転送元バッファサイズ（単位は"データ"）
DMDBSH, DMDBSL	N × 5 (DMCRA)	転送先バッファサイズ（単位は"データ"）

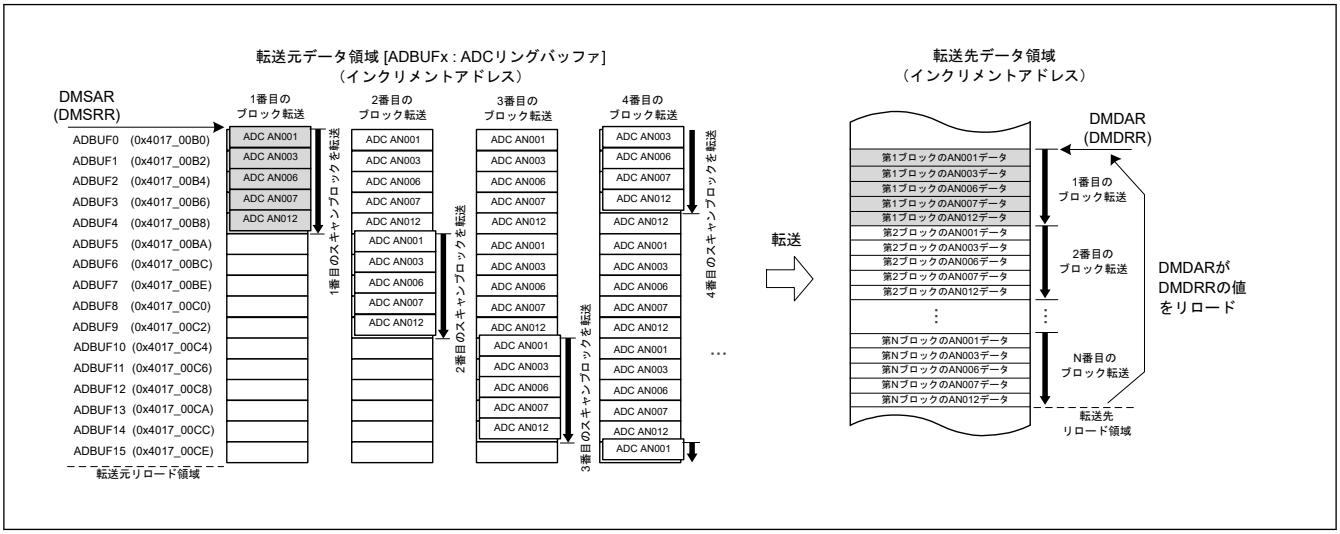


図 15.19　使用例：アラインされていないリングバッファからシングルリングバッファへ

15.3.6.3　シングルブロックからマルチリングバッファへ

図 15.20 に ADC12 モジュールの連続 ADDRn レジスタ（データレジスタ）の値をマルチリングバッファに個々に格納する例を示します。この例では、シングルブロックの最初の要素 (ADDR0) のみが転送順序に従い配置されるリングバッファが転送先で生成されます。また、次の領域では、2 番目の要素 (ADDR1) のみが転送順序に従い配置されるリングバッファが転送先で生成されます。以下の場合では、長さ N のリングバッファが生成され、DMDBS により定義されます。ブロック内のデータ要素数が 3 の場合、DMCRA により定義されます。表 15.17 に設定例を示します。

表 15.17　設定例：シングルブロックからマルチリングバッファへ

レジスタ	値	内容
DMSAR, DMSRR	0x4017_0020	初期転送元アドレス
DMDAR, DMDRR	0x2000_0000	初期転送先アドレス
DMTMD.SZ[1:0]	01b	データサイズ：ハーフワード
DMAMD.DADR	1	リロード後のインクリメント転送先アドレス
DMAMD.SM[1:0]	10b	転送元更新モード：インクリメントアドレス
DMAMD.DM[1:0]	01b	転送先更新モード：インクリメントアドレス
DMCRAH, DMCRAL	3	転送ブロックサイズ
DMSBSH, DMSBSL	3	転送元バッファサイズ（単位は"データ"）
DMDBSH, DMDBSL	N	転送先全バッファサイズ（単位は"ブロック"）および転送先アクセスオフセット（単位は"データ"）

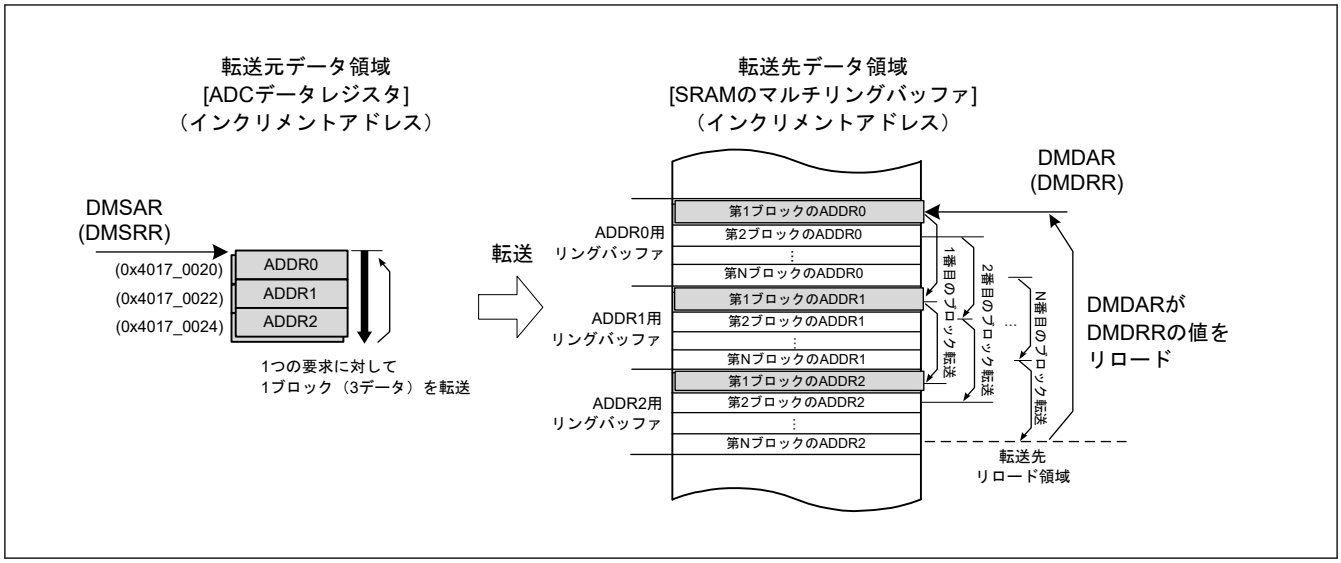


図 15.20　シングルブロックからマルチリングバッファへの使用例

15.3.7　起動要因

ソフトウェア、周辺モジュールからの割り込み要求、および外部割り込み要求は、すべて DMAC 起動要因として指定可能です。起動要因を選択するには、DMTMD.DCTG[1:0]ビットを設定します。

15.3.7.1　ソフトウェアによる DMAC 起動

ソフトウェアによって DMA 転送を開始する場合、以下の手順に従ってください。

1. DMTMD.DCTG[1:0]ビットを 00b にする。
2. DMCNT.DTE ビットを 1（DMA 転送許可）にする。
3. DMAST.DMST ビットを 1（DMAC 起動許可）にする。
4. DMREQ.SWREQ ビットを 1（DMA 転送要求あり）にする。

DMREQ.CLRS ビットが 0 の状態でソフトウェアによる DMAC 起動を行った場合、DMA 転送要求に対する転送が開始されると DMREQ.SWREQ ビットが 0 になります。

DMREQ.CLRS ビットが 1 の状態でソフトウェアによる DMAC 起動を行った場合は、転送を開始しても DMREQ.SWREQ ビットは 0 になりません。要求に対する転送終了後、再び DMA 転送要求が発生します。

15.3.7.2　内蔵周辺モジュール／外部割り込み要求による DMAC 起動

内蔵周辺モジュールからの割り込み要求と外部割り込み要求を、DMAC 起動要因に指定することができます。起動要因は、ICU.DELSRn.DELS[8:0]ビット（n = 0～7）でチャネルごとに個別に選択できます。

内蔵周辺モジュールからの割り込み要求または外部割り込み要求によって DMA 転送を開始する場合、以下の手順に従います。

1. ICU.DELSRn.DELS[8:0]（n = 0～7）ビットにイベント番号を設定する（DMAC イベントリンクを選択する）。
2. DMTMD.DCTG[1:0]ビットを 01b（周辺モジュールまたは外部割り込み端子からの割り込み）にする。
3. DMCNT.DTE ビットを 1（DMA 転送許可） にする。
4. DMAST.DMST ビットを 1（DMAC 起動許可）にする。

DMAC の起動要因となる割り込み要求については、「12. 割り込みコントローラユニット (ICU)」の表 12.3 を参照してください。

15.3.8　動作タイミング

以下に示すタイミング図は、最小実行サイクル数を示しています。

図 15.21 と図 15.22 に動作タイミングを示します。

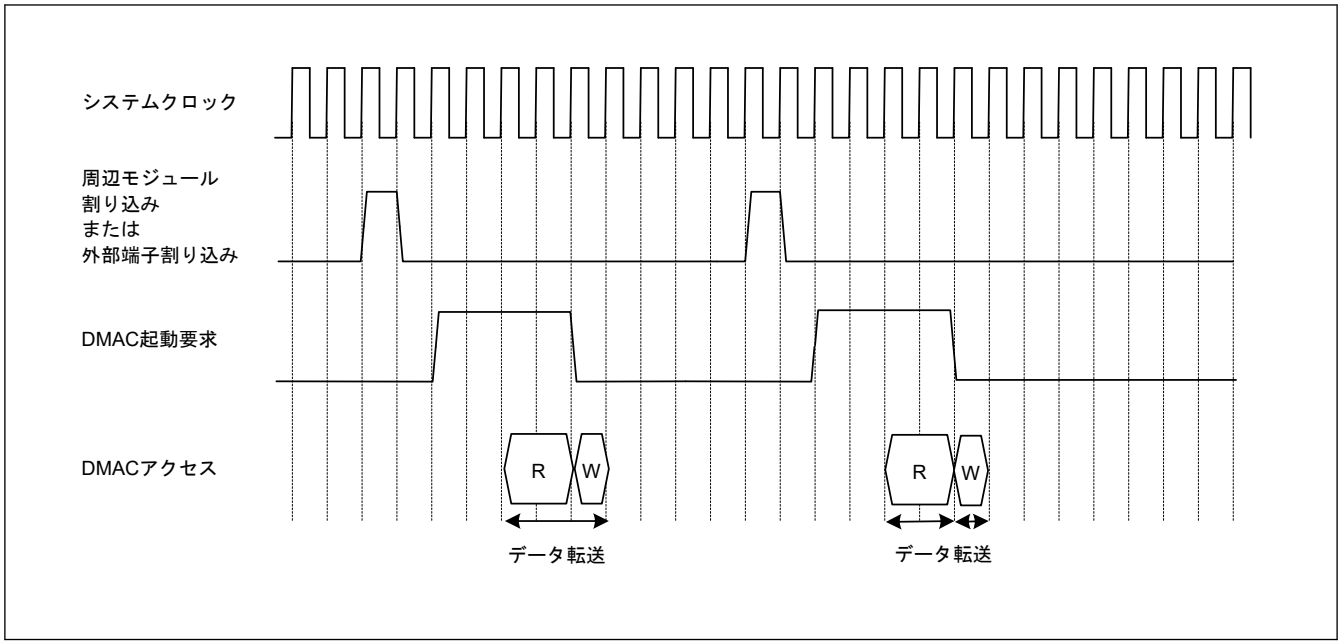


図 15.21 DMAC 動作タイミング例 (1)（周辺モジュール／外部割り込み入力端子からの割り込みによる DMAC 起動、ノーマル転送モード、リピート転送モードの場合）

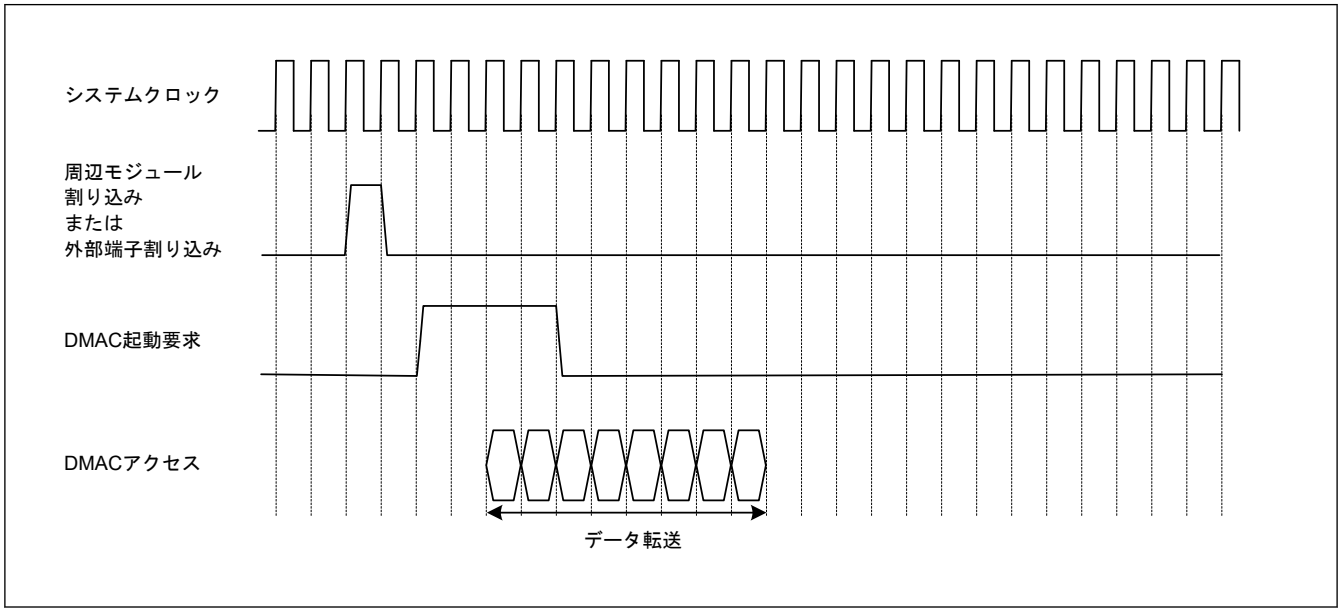


図 15.22 DMAC 動作タイミング例 (2)（周辺モジュール／外部割り込み入力端子からの割り込みによる DMAC 起動、ブロック転送モード、ブロックサイズ = 4 の場合）

15.3.9 DMAC の実行サイクル

表 15.18 に、1 回の DMAC データ転送動作における実行サイクルを示します。

表 15.18 DMAC の実行サイクル

転送モード	データ転送（読み出し）	データ転送（書き込み）
ノーマル	Cr+1	Cw
リピート	Cr+1	Cw
ブロック(注1)	P × Cr	P × Cw

注. P：ブロックサイズ（DMCRAH レジスタの設定値）
Cr：データリード先アクセスサイクル
Cw：データライト先アクセスサイクル

注 1. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

Cr と Cw はアクセス先で異なります。各アクセス先のサイクル数については、「39. SRAM」、「41. フラッシュメモリ」および「13. バス」を参照してください。システムクロックと周辺クロックの周波数比も考慮されています。

データ転送（読み出し）列の「+1」の単位は、システムクロック (ICLK) の 1 サイクルです。動作例については、「15.3.8. 動作タイミング」を参照してください。

15.3.10 DMAC の起動

表 15.19 にノーマルモード、リピートモード、ブロック転送モードにおけるレジスタの設定手順を示します。また、表 15.20 にリピートブロック転送モードにおけるレジスタの設定手順を示します。

表 15.19 ノーマル転送モード、リピート転送モード、ブロック転送モードにおけるレジスタの設定手順 (1/2)

No.	手順名	説明
1	DMACn 要求要因となる周辺機能を禁止に設定する	DMAC 起動要因として周辺機能割り込みを使用する場合 周辺機能のコントロールレジスタを禁止に設定する
2	DMACn 要求要因となる IRQn 端子を禁止に設定する	DMAC 起動要因として外部端子割り込みを使用する場合
3	DMACn イベントリンク選択 (ICU.DELSRn.DELS[8:0]) ビットを 0x00 に設定する	DMACn 要求を禁止に設定する
4	DMCNT.DTE ビットを 0 にクリアする	DMA 転送を禁止に設定する
5	ICU にて、DMACn 要求要因となる割り込み要求を DMACn イベントリンク設定レジスタ (ICU.DELSRn) に設定する	DMAC 起動要因として周辺モジュール割り込みまたは外部端子割り込みを使用する場合 起動要因の割り込みビットを許可し、DMACn の起動要因を設定する
6	DMACn 要求要因となる周辺モジュールを設定する	DMAC 起動要因として周辺モジュール割り込みを使用する場合 周辺機能の制御レジスタを設定するが、開始させない
7	割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する	DMAC 起動要因として外部端子割り込みを使用する場合 割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する
8	DMAMD.DM[1:0]ビットを設定する DMAMD.SM[1:0]ビットを設定する DMAMD.DARA[4:0]ビットを設定する DMAMD.SARA[4:0]ビットを設定する	転送先アドレス更新モードビットを設定する 転送元アドレス更新モードビットを設定する 転送先アドレス拡張リピート領域ビットを設定する 転送元アドレス拡張リピート領域ビットを設定する
9	DMTMD.DCTG[1:0]ビットを設定する DMTMD.SZ[1:0]ビットを設定する DMTMD.DTS[1:0]ビットを設定する DMTMD.MD[1:0]ビットを設定する DMTMD.TKP ビットを設定する	転送要求選択ビットを設定する データ転送サイズビットを設定する リピート領域選択ビットを設定する 転送モード選択ビットを設定する 転送保持選択ビットを設定する
10	DMSAR レジスタを設定する DMDAR レジスタを設定する DMCRA レジスタを設定する	転送元の開始アドレスを設定する 転送先の開始アドレスを設定する 転送回数を設定する
11	DMCRB レジスタを設定する	ブロック転送モードまたはリピート転送モードの場合 ブロック転送回数を設定する
12	DMOFR レジスタを設定する	オフセットを使ったアドレス更新機能を使用する場合 オフセット値を設定する
13	DMINT.DTIE ビットを 1 に設定する	DMA 転送終了割り込みを使用する場合 DMA 転送終了割り込みを許可する
14	DMINT.RPTIE ビットを設定する DMINT.SARIE ビットを設定する DMINT.DARIE ビットを設定する DMINT.ESIE ビットを 1 に設定する	DMA 転送エスケープ割り込みを使用する場合 リピートサイズ終了割り込み許可設定をする 転送元アドレス拡張リピート領域オーバーフロー割り込み許可設定をする 転送先アドレス拡張リピート領域オーバーフロー割り込み許可設定をする DMA 転送エスケープ終了割り込みを許可する
15	DMCNT.DTE ビットを 1 に設定する	DMA 転送を許可する
16	DMAST.DMST ビットを 1 に設定する	DMAC 動作を許可する(注1) DMAC 共通設定

表 15.19　ノーマル転送モード、リピート転送モード、ブロック転送モードにおけるレジスタの設定手順 (2/2)

No.	手順名	説明
17	DMACn 要求要因となる周辺機能を開始する	DMAC 起動要因として周辺機能割り込みを使用する場合
18	DMACn 要求要因となる IRQn 端子を許可する	DMAC 起動要因として外部端子割り込みを使用する場合
19	初期設定終了	ソフトウェアでの起動 初期設定完了後、DMA ソフトウェア起動ビット (DMREQ.SWREQ) に 1 を書き込むと DMA 転送が開始する

注.　n: DMAC チャネル（n = 0～7）
注 1.　DMAST.DMST ビットの設定は、各起動要因に対する必要な設定の後である必要はありません。

表 15.20　リピートブロック転送モードにおけるレジスタの設定手順

No.	手順名	説明
1	DMACn 要求要因となる周辺機能を禁止に設定する	DMAC 起動要因として周辺機能割り込みを使用する場合 周辺機能のコントロールレジスタを禁止に設定する
2	DMACn 要求要因となる IRQn 端子を禁止に設定する	DMAC 起動要因として外部端子割り込みを使用する場合
3	DMACn イベントリンク選択 (ICU.DELSRn.DELS[8:0]) ビットを 0x00 に設定する	DMACn 要求を禁止に設定する
4	DMCNT.DTE ビットを 0 にクリアする	DMA 転送を禁止に設定する
5	ICU にて、DMACn 要求要因となる割り込み要求を DMACn イベントリンク設定レジスタ (ICU.DELSRn) に設定する	DMAC 起動要因として周辺モジュール割り込みまたは外部端子割り込みを使用する場合 起動要因の割り込みビットを許可する DMACn の起動要因を設定する
6	DMACn 要求要因となる周辺モジュールを設定する	DMAC 起動要因として周辺モジュール割り込みを使用する場合 周辺機能の制御レジスタを設定するが、開始させない
7	割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する	DMAC 起動要因として外部端子割り込みを使用する場合 割り込みコントローラユニット (ICU) にて IRQn 端子機能を設定する
8	DMAMD.DM[1:0]ビットを設定する DMAMD.SM[1:0]ビットを設定する DMAMD.DARA[4:0]ビットを設定する DMAMD.SARA[4:0]ビットを設定する DMAMD.DADR ビットを設定する DMAMD.SADR ビットを設定する	転送先アドレス更新モードビットを設定する 転送元アドレス更新モードビットを設定する 転送先アドレス拡張リピート領域ビットを設定する 転送元アドレス拡張リピート領域ビットを設定する リロード後転送先アドレス更新選択ビットを設定する リロード後転送元アドレス更新選択ビットを設定する
9	DMTMD.DCTG[1:0]ビットを設定する DMTMD.SZ[1:0]ビットを設定する DMTMD.MD[1:0]ビットを設定する DMTMD.TKP ビットを設定する	転送要求選択ビットを設定する データ転送サイズビットを設定する 転送モードをリピートブロック転送モードに設定する 転送保持選択ビットを設定する
10	DMSAR レジスタを設定する DMDAR レジスタを設定する DMSRR レジスタを設定する DMDRR レジスタを設定する DMCRA レジスタを設定する DMCRB レジスタを設定する	転送元の開始アドレスを設定する 転送先の開始アドレスを設定する 転送元の開始アドレスの初期値を設定する 転送先の開始アドレスの初期値を設定する 転送回数を設定する ブロック転送回数を設定する
11	DMSBS レジスタを設定する DMDBS レジスタを設定する	インクリメント、デクリメント、またはオフセットを使ったアドレス更新機能を使用する場合 転送元バッファサイズとアクセスオフセットを設定する 転送先バッファサイズとアクセスオフセットを設定する
12	DMINT.DTIE ビットを 1 に設定する	DMA 転送終了割り込みを使用する場合 DMA 転送終了割り込みを許可する
13	DMCNT.DTE ビットを 1 に設定する	DMACn 転送を許可する
14	DMAST.DMST ビットを 1 に設定する	DMAC 動作を許可する(注1)
15	DMACn 要求要因となる周辺機能を開始する	DMA 起動要因として周辺機能割り込みを使用する場合
16	DMACn 要求要因となる IRQ 端子を許可する	DMA 起動要因として外部端子割り込みを使用する場合
17	初期設定終了	ソフトウェアでの起動 初期設定完了後、DMA ソフトウェア起動ビット (DMREQ.SWREQ) に 1 を書き込むと DMA 転送が開始する

注. n: DMAC チャネル（n = 0～7）
注 1. DMAST.DMST ビットの設定は、各起動要因に対する必要な設定の後である必要はありません。

15.3.11 DMA 転送の開始

チャネル n の DMA 転送を有効にするには、DMCNT.DTE ビットを 1（DMA 転送許可）にして、DMAST.DMST ビットを 1（DMAC 起動許可）にします。

他の DMAC チャネルや DTC の転送中は、新たな起動要求は受け付けられません。先行する転送が終了した時点で最も優先順位の高いチャネルの DMA 転送要求が選択され、そのチャネルの DMA 転送が開始されます。DMA 転送が始まると、DMSTS.ACT フラグが 1（DMAC 動作中）になります。

15.3.12 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理によって値が更新されます。更新される値は、各種設定や転送の状態によって異なります。更新されるレジスタは、DMSAR、DMDAR、DMCRA、DMCRB、DMSBS、DMDBS、DMCNT、および DMSTS です。

DMA 転送元アドレスレジスタ (DMSAR)

1 転送要求に対するデータ転送が終了すると、DMSAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.5～表 15.13 を参照してください。

DMA 転送先アドレスレジスタ (DMDAR)

1 転送要求に対するデータ転送が終了すると、DMDAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.5～表 15.13 を参照してください。

DMA 転送カウントレジスタ (DMCRA)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.5～表 15.13 を参照してください。

DMA ブロック転送カウントレジスタ (DMCRB)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.5～表 15.13 を参照してください。

DMA 転送元バッファサイズレジスタ (DMSBS)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.8～表 15.13 を参照してください。

DMA 転送先バッファサイズレジスタ (DMDBS)

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

各転送モードにおけるレジスタの更新動作の詳細については、表 15.8～表 15.13 を参照してください。

DMA 転送許可ビット (DMCNT.DTE)

DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可／禁止を制御します。DMA 転送の状態に応じて自動的に DMAC によって 0 にクリアされます。

DMAC がこのビットをクリアする条件は、以下のとおりです。

- 設定された総転送データ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき

- DMA 転送エラーが発生したとき

対応する DMCNT.DTE ビットが 1 になっているチャネルのレジスタへは書き込まないでください（DMCNT レジスタを除く）。この場合、このビットを 0 にクリアした後に、書き込んでください。

DMA アクティブフラグ (DMSTS.ACT)

DMSTS.ACT フラグは、DMACn がアイドル状態であるか、または動作中であるかを示します。

このフラグは DMAC がデータ転送を開始すると 1 になり、1 転送要求に対するデータ転送が終了すると 0 になります。

DMA 転送中に DMCNT.DTE ビットに 0 を書いて DMA 転送を停止させた場合でも、このフラグは DMA 転送が終了するまで 1 を保持します。

転送終了割り込みフラグ (DMSTS.DTIF)

総転送サイズ分の DMA 転送が終了すると、DMSTS.DTIF フラグは 1 になります。

このフラグと DMINT.DTIE ビットがともに 1 の場合、転送終了割り込み要求が発生します。

このフラグが 1 になるタイミングは、DMA 転送のバスサイクルが終了し、DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。

割り込み処理中に DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 にクリアされます。

転送エスケープ終了割り込みフラグ (DMSTS.ESIF)

リピートサイズ終了割り込み要求、または拡張リピート領域オーバーフロー割り込み要求が発生したとき、DMSTS.ESIF フラグは 1 になります。このフラグと DMINT.ESIE ビットがともに 1 の場合、転送エスケープ終了割り込み要求が発生します。

このフラグが 1 になるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了し、DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。

割り込み処理中に DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 にクリアされます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。

詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

15.3.13 チャネル優先順位

DMAC は、複数の DMA 転送要求が発生したとき、DMA 転送要求のあるチャネルの優先順位を判断します。

- チャネル優先順位は、以下の順で固定です。チャネル 0 > チャネル 1 > チャネル 2 > チャネル 3… > チャネル 7（チャネル 0：最高）

データ転送中に DMA 転送要求が発生した場合は、最終データの転送後にチャネルアービトレーションを行い、最も優先順位の高いチャネルの転送が開始されます。

15.3.14 チャネルセキュリティ

DMACn の転送アクセスのセキュリティ属性、DMACn のレジスタへのアクセスのセキュリティ属性、および ICU.DELSRn レジスタへのアクセスのセキュリティ属性は、ICUSARC.SADMACn ビットにより制御されます。ICUSARC レジスタの詳細については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

ICUSARC.SADMACn ビットが 0 の場合、DMACn の転送は、読み出しおよび書き込みに対してセキュアアクセスです。同時に、チャネル n のレジスタと DELSRn レジスタは、非セキュアアクセスから保護されます。

ICUSARC.SADMACn ビットが 1 の場合、DMACn の転送は、読み出しおよび書き込みに対して非セキュアアクセスです。同時に、チャネル n のレジスタと DELSRn レジスタは、非セキュア属性です。

同じチャネルの DMA 転送が許可されている、またはバスマスタが同じチャネルの DMA レジスタに書き込んでいる間は、ICUSARC.SADMACn ビットに書き込まないでください。

図 15.23 に各 DMAC チャネルに関するセキュリティ属性を示します。

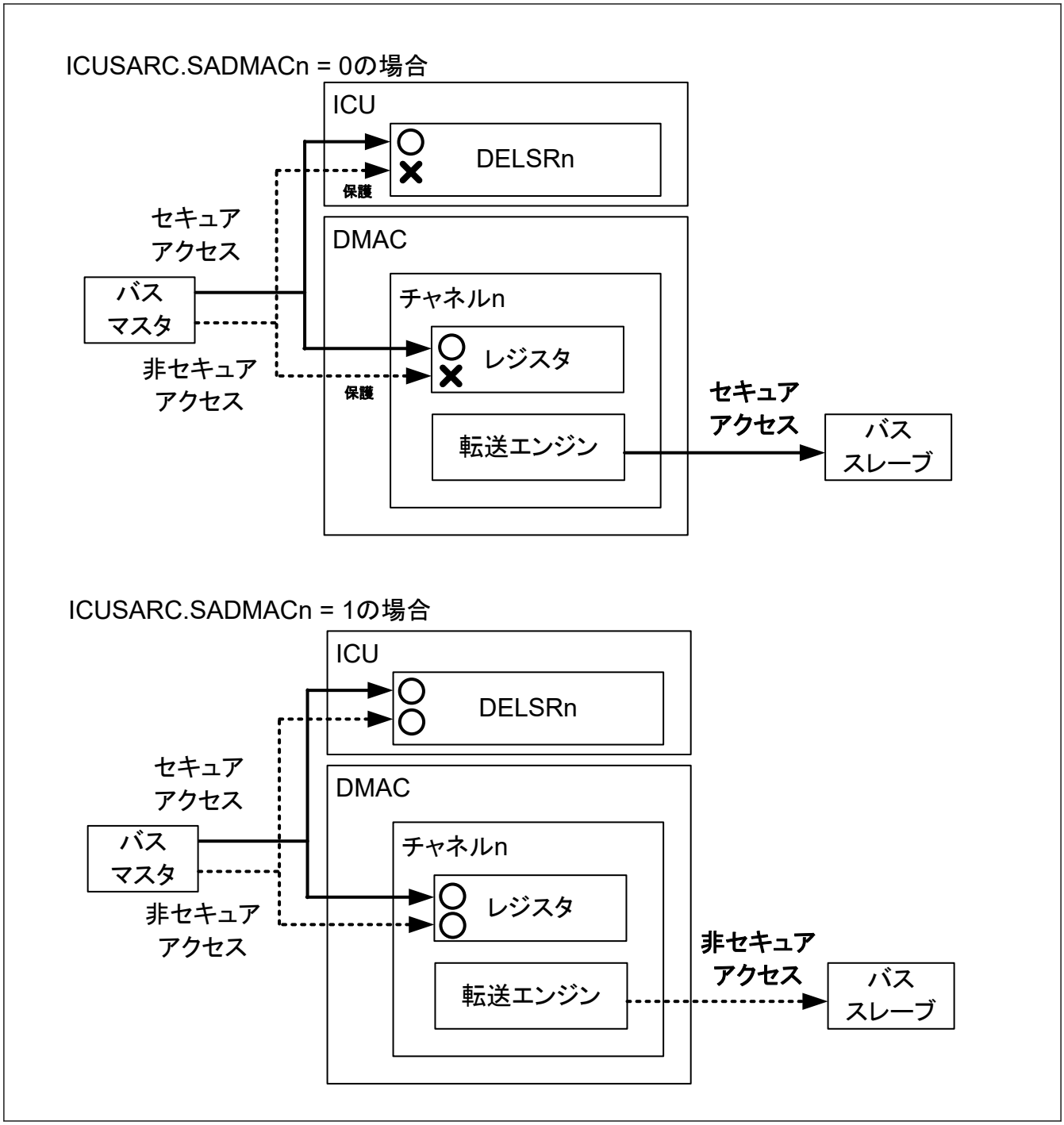


図 15.23 各 DMAC チャネルに関するセキュリティ属性

15.3.15 DMAC のマスタ TrustZone フィルタ

DMAC には、マスタ TrustZone フィルタがあります。DMAC のマスタ TrustZone フィルタは、IDAU で定義するフラッシュ領域（コードフラッシュとデータフラッシュ）と SRAM 領域（ECC／パリティ RAM）のセキュリティ領域を検出できます。非セキュアチャネルがそれらのアドレスにアクセスすると、セキュリティ違反を検出します。セキュリティ違反のアクセスは実行されません。検出したエラーは、マスタ TrustZone フィルタエラーとして扱います。

15.4 DMA 転送の終了

DMA 転送の終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMCNT.DTE ビットと DMSTS.ACT フラグが 1 から 0 になります。

15.4.1 設定した総転送回数完了による転送終了

(1) ノーマル転送モード (DMTMD.MD[1:0] = 00b) の場合

DMCRAL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、同時に DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ転送終了割り込み要求が送信されます。

(2) リピート転送モード (DMTMD.MD[1:0] = 01b) の場合

DMCRBL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMTMD.TKP ビットが 1(フリーランニング機能)であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

(3) ブロック転送モード (DMTMD.MD[1:0] = 10b) の場合

DMCRBL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。

詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

DMTMD.TKP ビットが 1(フリーランニング機能)であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

(4) リピートブロック転送モード (DMTMD.MD[1:0] = 11b) の場合

DMCRBL ビットの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMCNT.DTE ビットが 0 になり、DMSTS.DTIF フラグが 1 になります。このとき DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

DMTMD.TKP ビットが 1(フリーランニング機能)であると、DMSTS.DTIF ビットは 1 になりますが、DMCNT.DTE ビットは 0 になりません。

15.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMINT.RPTIE ビットが 1 であれば、1 リピートサイズ分の転送終了時にリピートサイズ終了割り込み要求が発生します。DMTMD.TKP ビットが 1 の場合でも（フリーランニング機能）、DMCNT.DTE ビットが 0 になり、DMSTS.ESIF フラグが 1 になります。このとき DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。転送を再開させるには、DMCNT.DTE ビットに 1 を書き込んでください。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。1 ブロックサイズ分の転送終了時に、リピート転送モードと同様に割り込み要求が発生します。

リピートブロック転送モードにおいては、リピートサイズ終了割り込み要求を発生させることができません。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

15.4.3 拡張リピート領域オーバーフロー割り込みによる転送終了

拡張リピート領域が指定され、かつ DMINT.SARIE ビットまたは DMINT.DARIE ビットが 1 の場合に、DMTMD.TKP ビットが 1 の場合でも（フリーランニング機能）、拡張リピート領域がオーバーフローすると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMA 転送が停止して、DMCNT.DTE ビットが 0 になり、DMSTS.ESIF フラグが 1 になります。このとき DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

この割り込み要求がリードサイクル中に発生しても、以降のライトサイクルは実行されます。

ブロック転送モードでは、割り込み要求が 1 ブロックの転送中に発生しても、そのブロックの残りのデータが転送されるまで、転送は終了しません。

リピートブロック転送モードでは、拡張リピート領域オーバーフロー割り込み要求はできません。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

15.5 DMA 転送エラーの処理

DMA 転送エラーは、DMAC のマスタ TrustZone フィルタエラー、スレーブ TrustZone フィルタエラー、マスタ MPU エラー、スレーブバスエラー、または不正アクセスエラーによって発生します。DMA 転送中にアクセスエラーが発生すると、DMAC はエラーの発生したチャネルの転送をただちに停止します。この時、対応するチャネルの ICU 設定もクリアされます。エラーを引き起こしたチャネル以外のチャネルからのリクエストがあれば、そのまま再調停となります。

転送エラー発生時、エラー発生チャネルの DMCNT.DTE は 0 になります。また、エラー応答は対応するチャネルの ICU.DELSRn に伝えられます。各レジスタへのライトバックは実行されません。さらに、エラーが DMAC/DTC 転送により発生したことを通知するために、エラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。

マスタ TrustZone フィルタエラー、スレーブ TrustZone エラー、またはマスタ MPU エラーが発生したとき、NMI を選択することで DMAC のエラー情報を確認できます。リセットを選択すると、DMAC エラーチャネルレジスタはクリアされます。DMAC の転送エラーによって NMI が生成する条件では、2 つの割り込み（NMI と DMA_TRANSERR）を生成します。この場合、NMI は常に最初に応答します。

スレーブバスエラーまたは不正アクセスエラーが発生すると、エラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。さらに、エラー応答検出割り込み要求 (DMA_TRANSERR) が NMI ハンドラでクリアされない場合、ノンマスカブル割り込み後にそれが発生します。

「15.5.1. NMI ハンドラの処理」に NMI ハンドラの DMAC のエラー情報を確認する方法を示します。

「15.5.2. エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラの処理」に DMA_TRANSERR ハンドラの DMAC のエラー情報を確認する方法を示します。

転送エラー起因の割り込みとエラー情報を「15.6.2. 転送エラー割り込み」に示します。

15.5.1 NMI ハンドラの処理

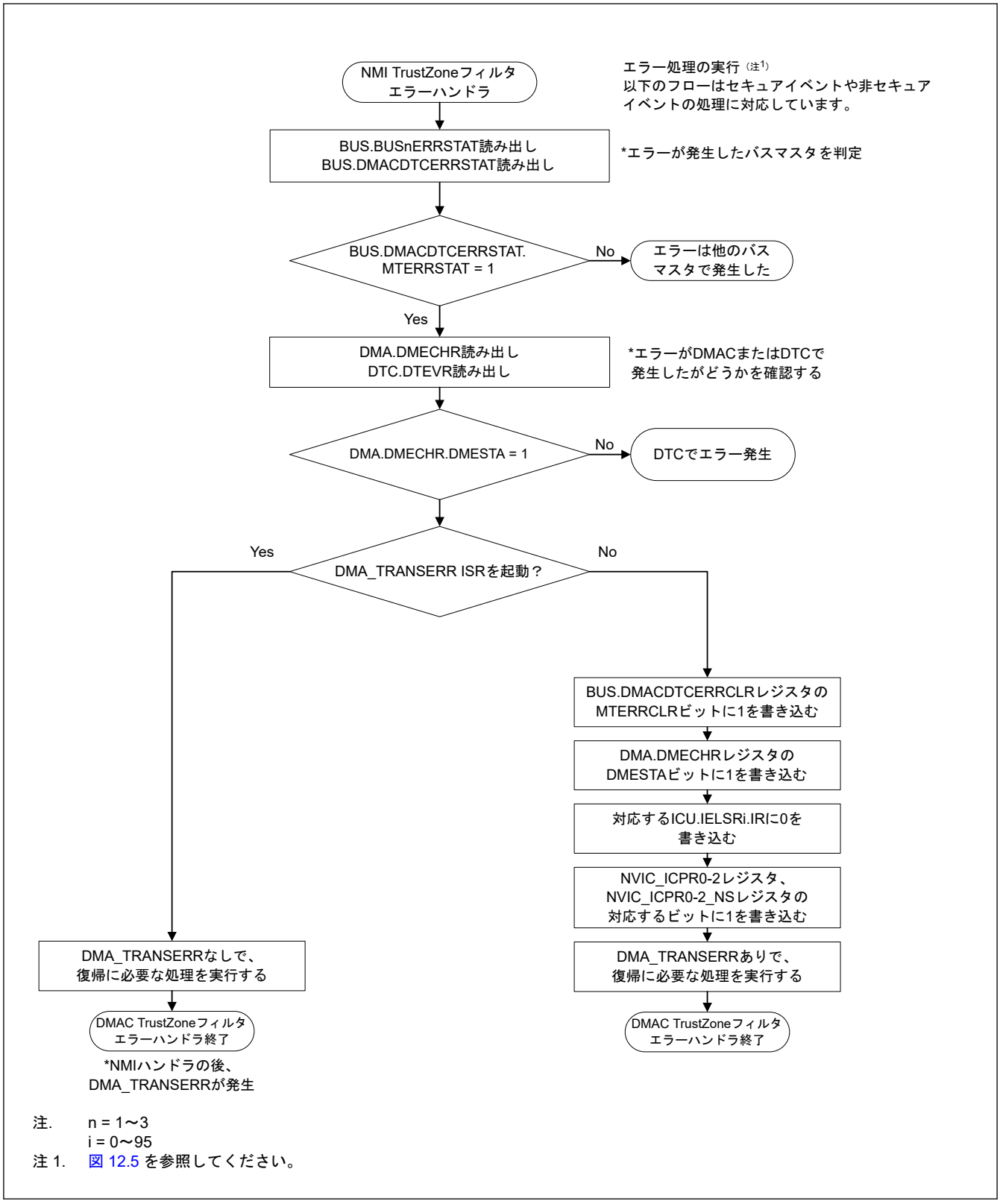
DMA 転送エラーに起因する NMI の原因は、マスタ TrustZone フィルタエラー、スレーブ TrustZone フィルタエラー、またはマスタ MPU エラーです。NMI が DMAC 転送エラーに起因して発生するとき、NMI ハンドラの終了後にエラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。エラーの原因と、エラーの発生した DMAC チャネルを確認することができます。NMI が発生したときは、ICU 章で説明するフローに従って必要な処理を実行してください。

図 15.24 に DMAC のマスタ TrustZone フィルタエラーが発生したチャネルを確認するフローを示します。

図 15.25 に DMAC のスレーブ TrustZone フィルタエラーが発生したチャネルを確認するフローを示します。

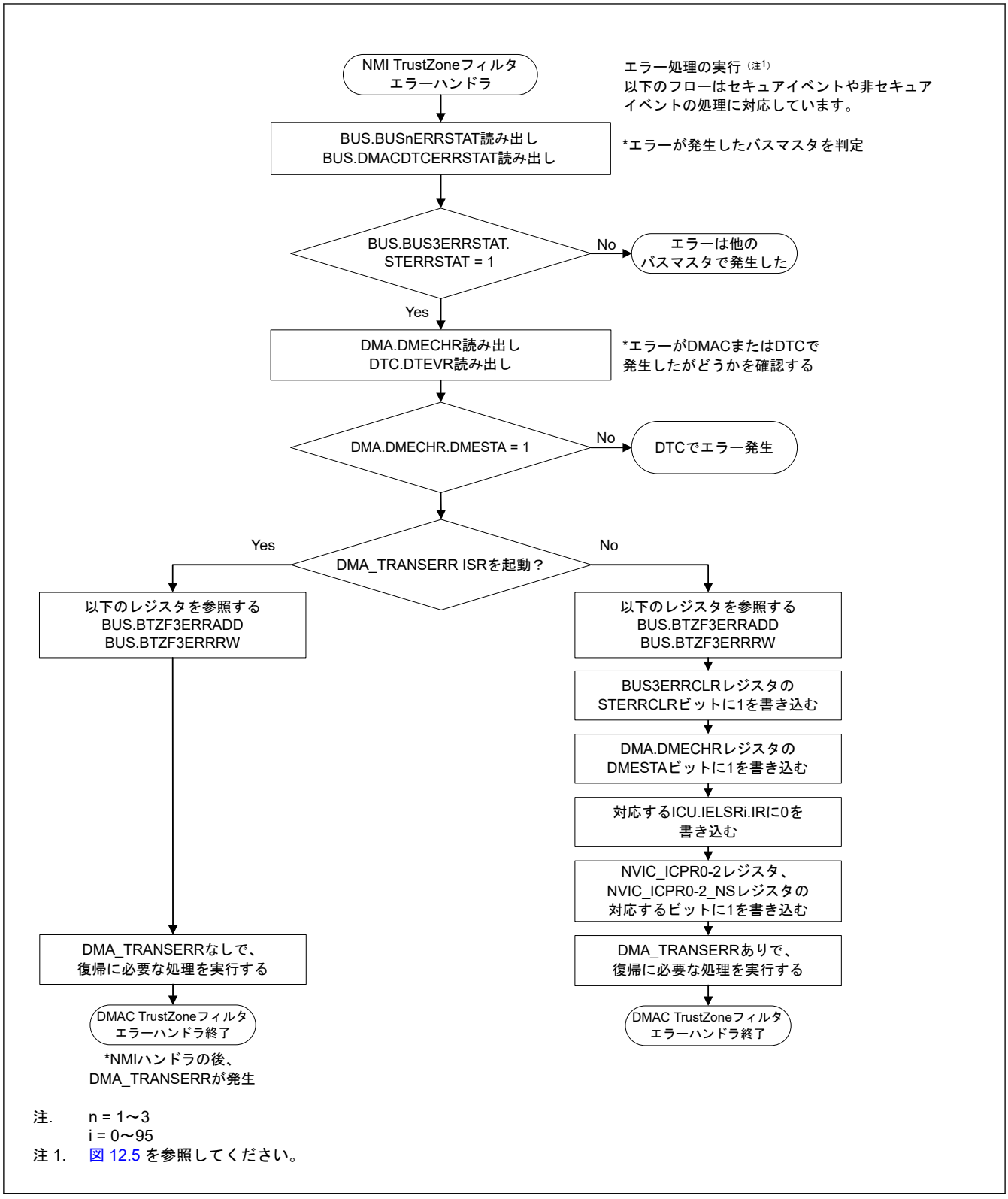
図 15.26 に DMAC のマスタ MPU エラーが発生したチャネルやセキュリティ属性を確認するフローを示します。

NMI ハンドラのすべての処理を終了すると、その後に発生するエラー応答検出割り込み要求 (DMA_TRANSERR) をクリアすることが可能です。



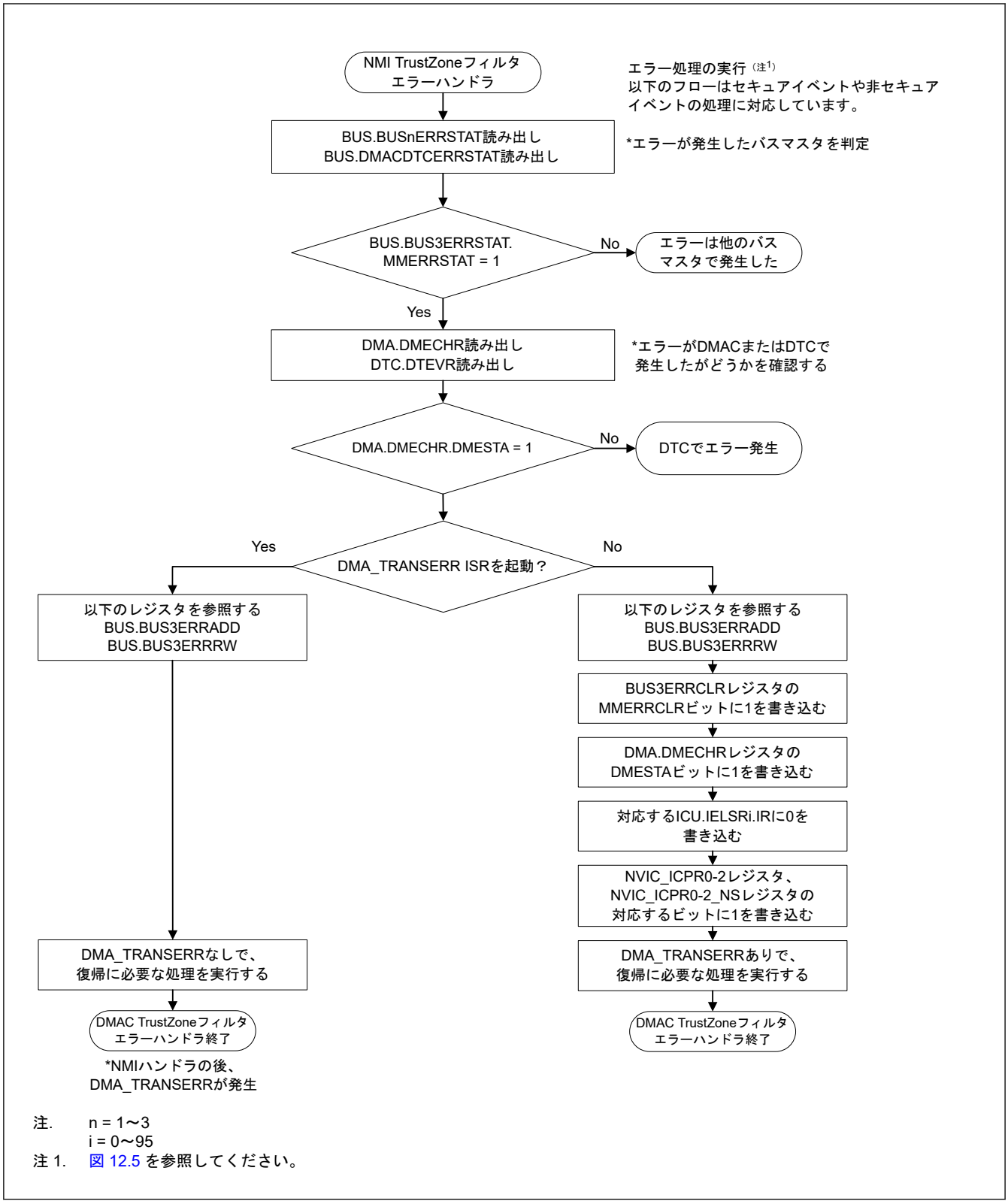
注. n = 1～3
i = 0～95
注 1. 図 12.5 を参照してください。

図 15.24 マスタ TrustZone フィルタエラーの NMI ハンドラにおける処理



注. n = 1～3
i = 0～95
注 1. 図 12.5 を参照してください。

図 15.25 スレーブ TrustZone フィルタエラーの NMI ハンドラにおける処理



注. n = 1～3
i = 0～95
注 1. 図 12.5 を参照してください。

図 15.26 マスタ MPU エラーによる NMI ハンドラの処理

15.5.2 エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラの処理

DMA 転送エラーに起因するエラー応答検出割り込み要求 (DMA_TRANSERR) の原因は、スレーブバスエラー、または不正アクセスエラーです。またこのエラーは、NMI ハンドラエラー応答検出割り込み要求 (DMA_TRANSERR) が NMI ハンドラによりクリアされなかった際にも発生します。

エラーの原因とエラーが発生した DMAC のチャネルを確認することが可能です。

図 15.27 にエラーの原因の確認手順を示します。
図 15.28 に DMAC のマスタ TrustZone フィルタエラーが発生したチャネルを確認するフローを示します。
図 15.29 に DMAC のスレーブ TrustZone フィルタエラーが発生したチャネルを確認するフローを示します。
図 15.30 に DMAC のマスタ MPU エラーが発生したチャネルとセキュリティ属性を確認するフローを示します。
図 15.31 に DMAC のスレーブバスエラーが発生したチャネルとセキュリティ属性を確認するフローを示します。
図 15.32 に DMAC の不正アクセスエラーが発生したチャネルとセキュリティ属性を確認するフローを示します。

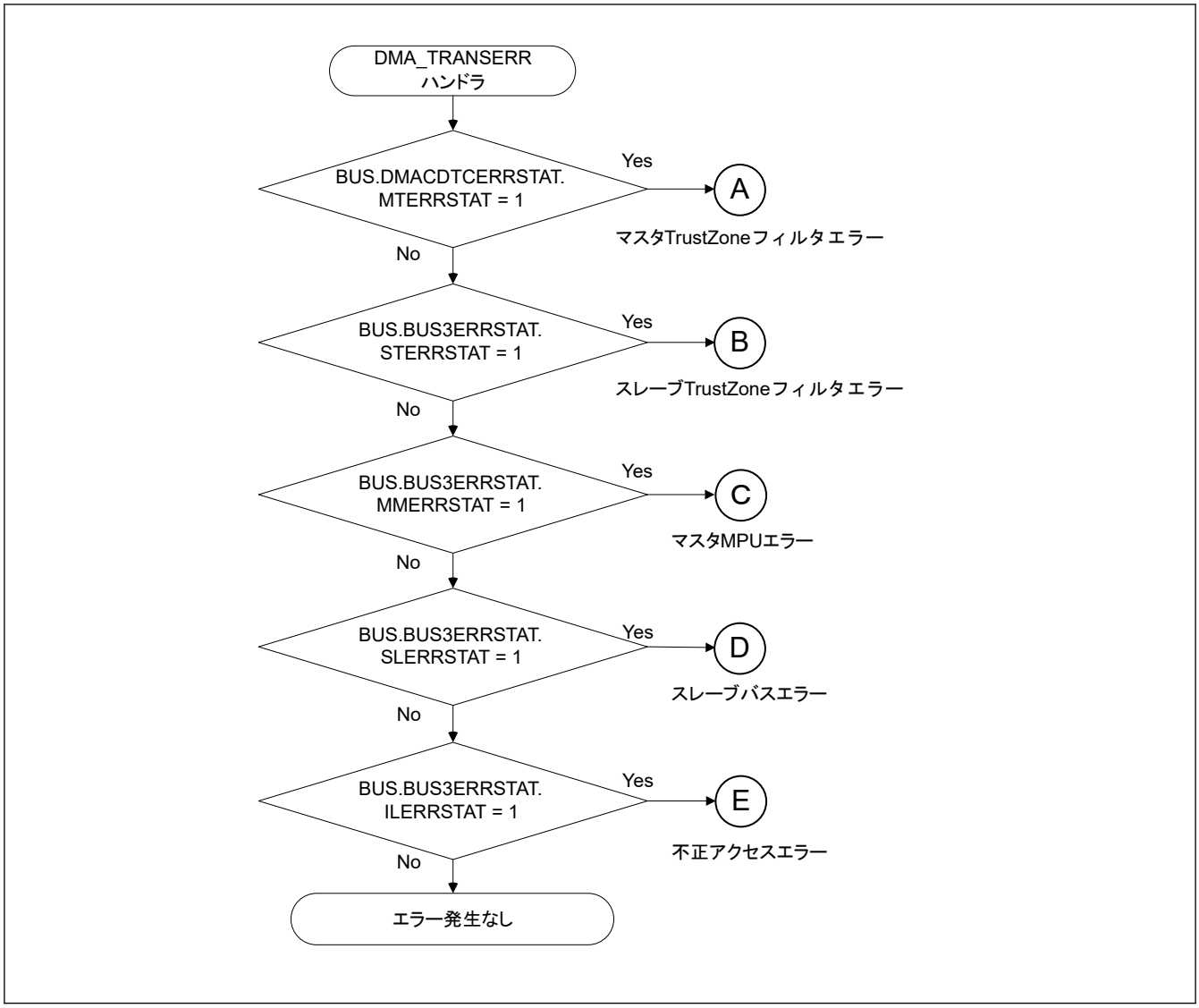
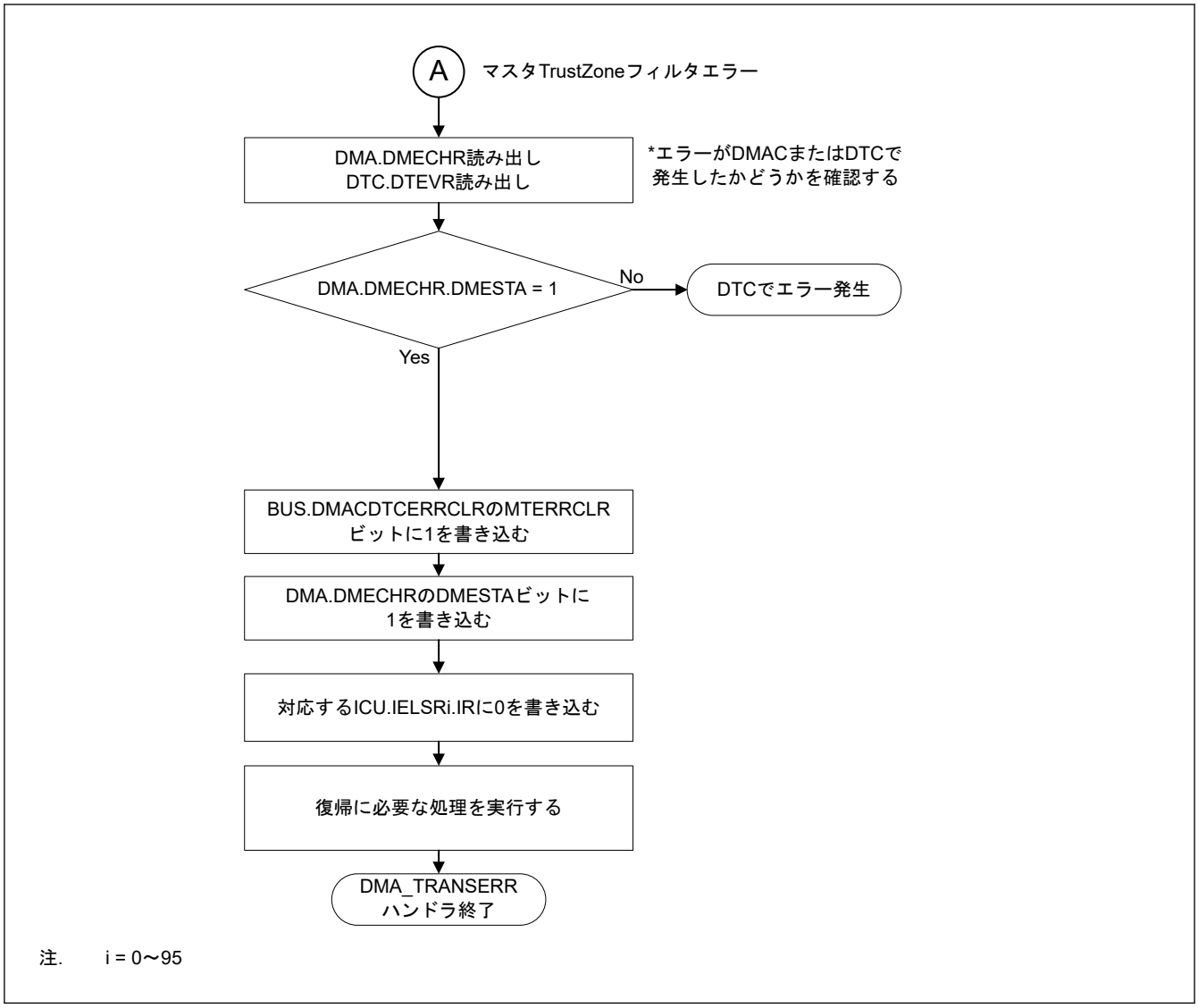
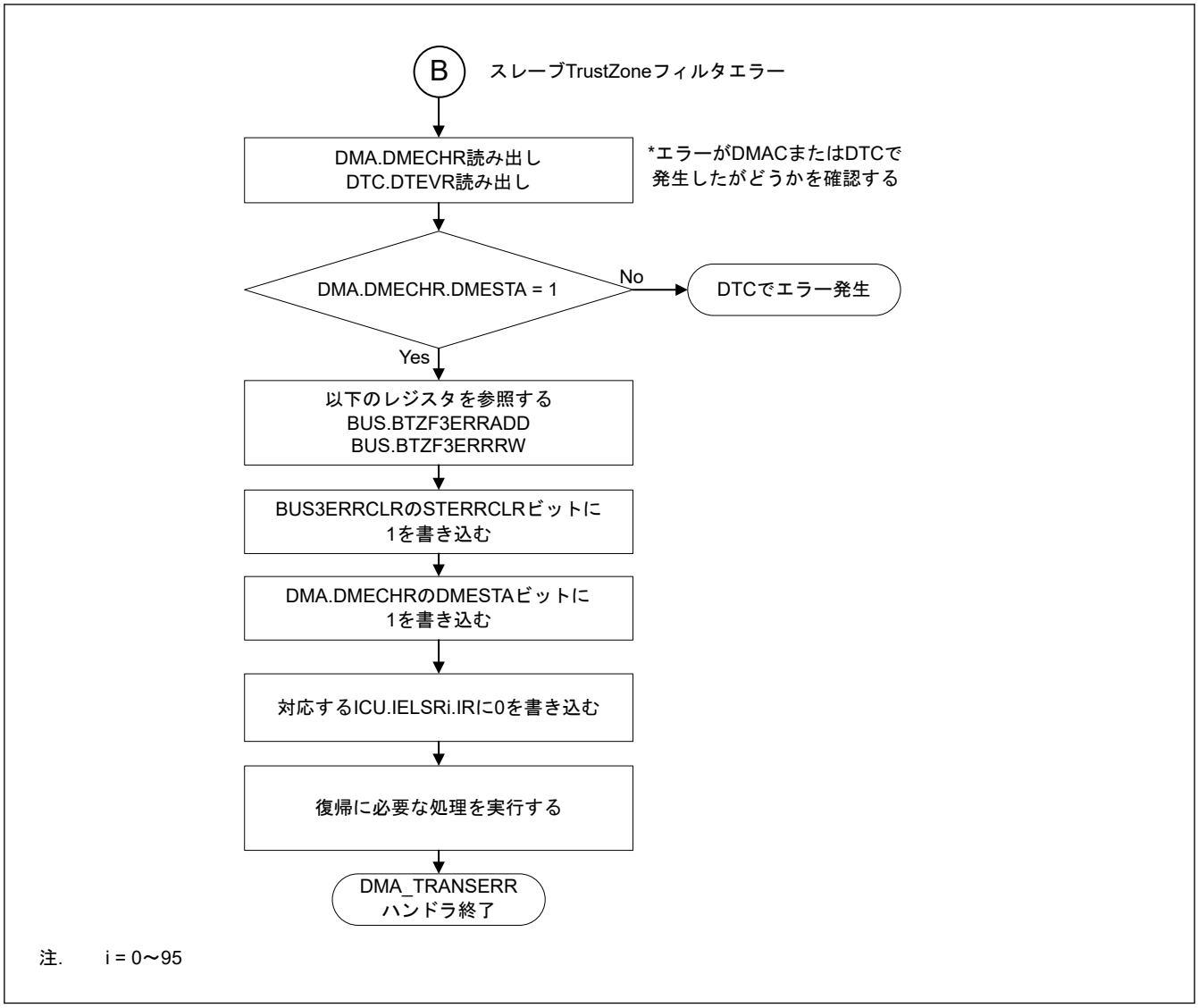


図 15.27　エラー応答検出割り込み (DMA_TRANSERR) 発生時の転送エラー要因判定



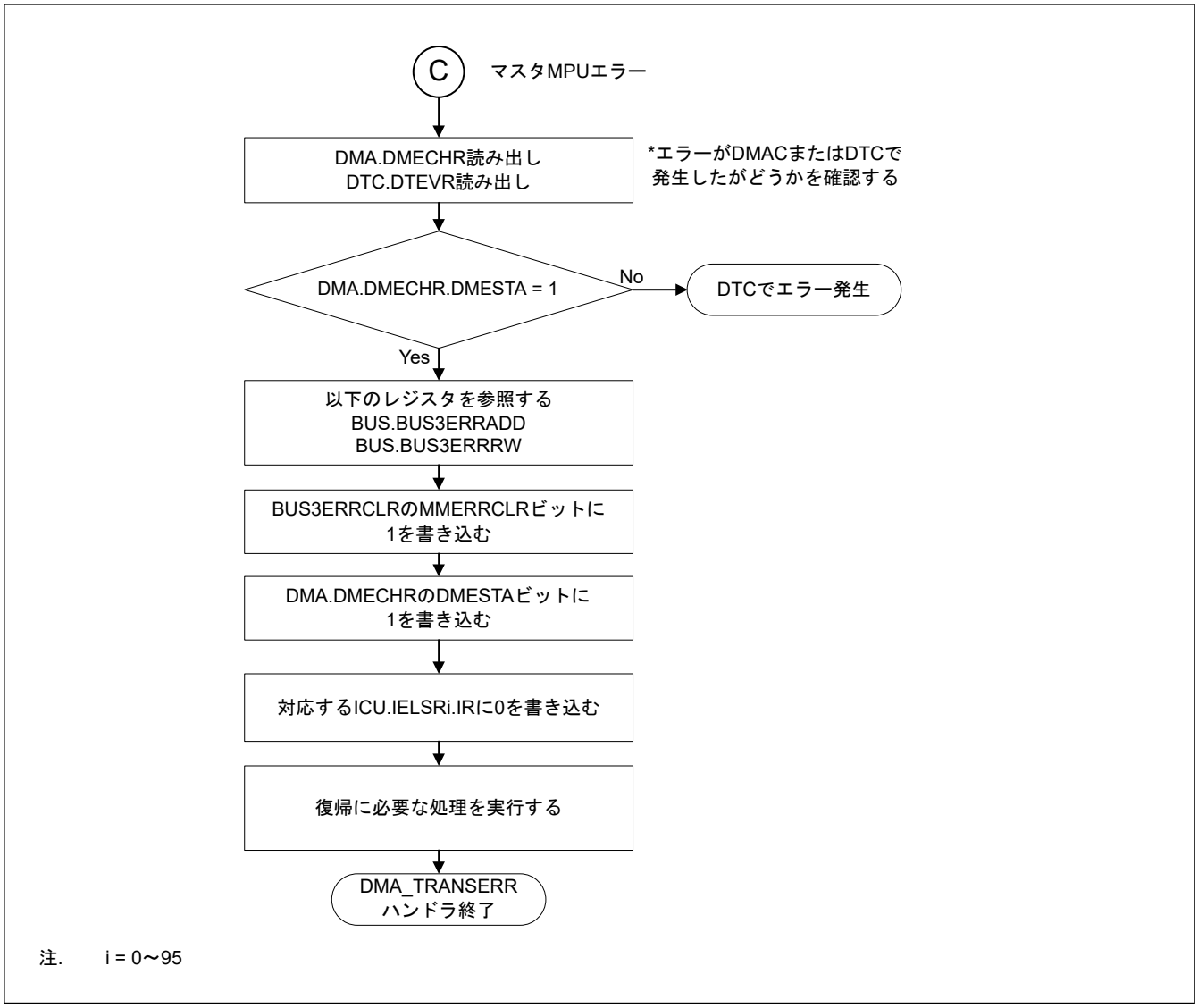
注. i = 0～95

図 15.28 マスタ TrustZone フィルタエラーの DMA_TRANSERR ハンドラにおける処理



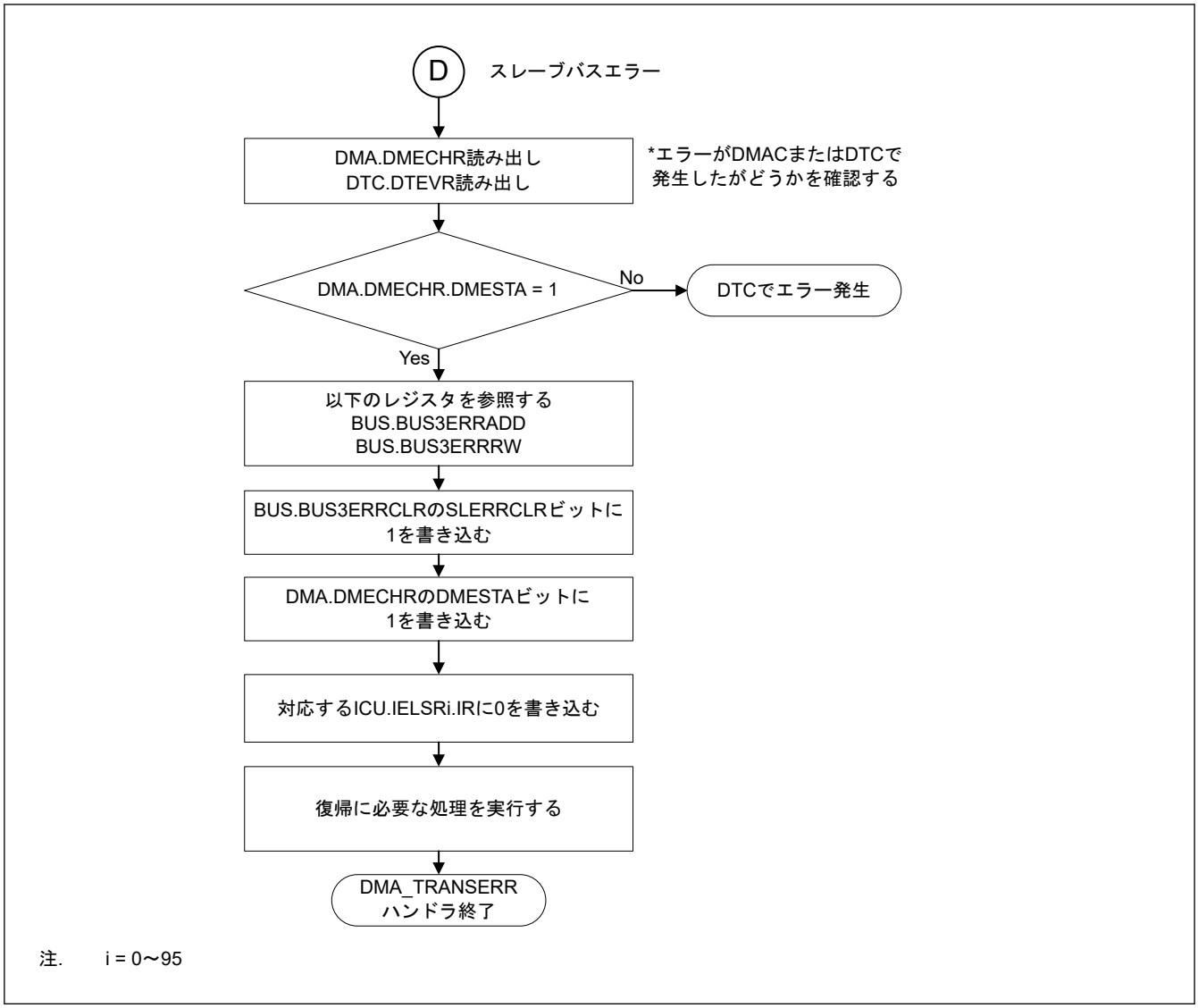
注. i = 0～95

図 15.29 スレーブ TrustZone フィルタエラーの DMA_TRANSERR ハンドラにおける処理



注. i = 0～95

図 15.30 マスタ MPU エラーによる DMA_TRANSERR ハンドラの処理



注. i = 0～95

図 15.31 スレーブバスエラーによる DMA_TRANSERR ハンドラの処理

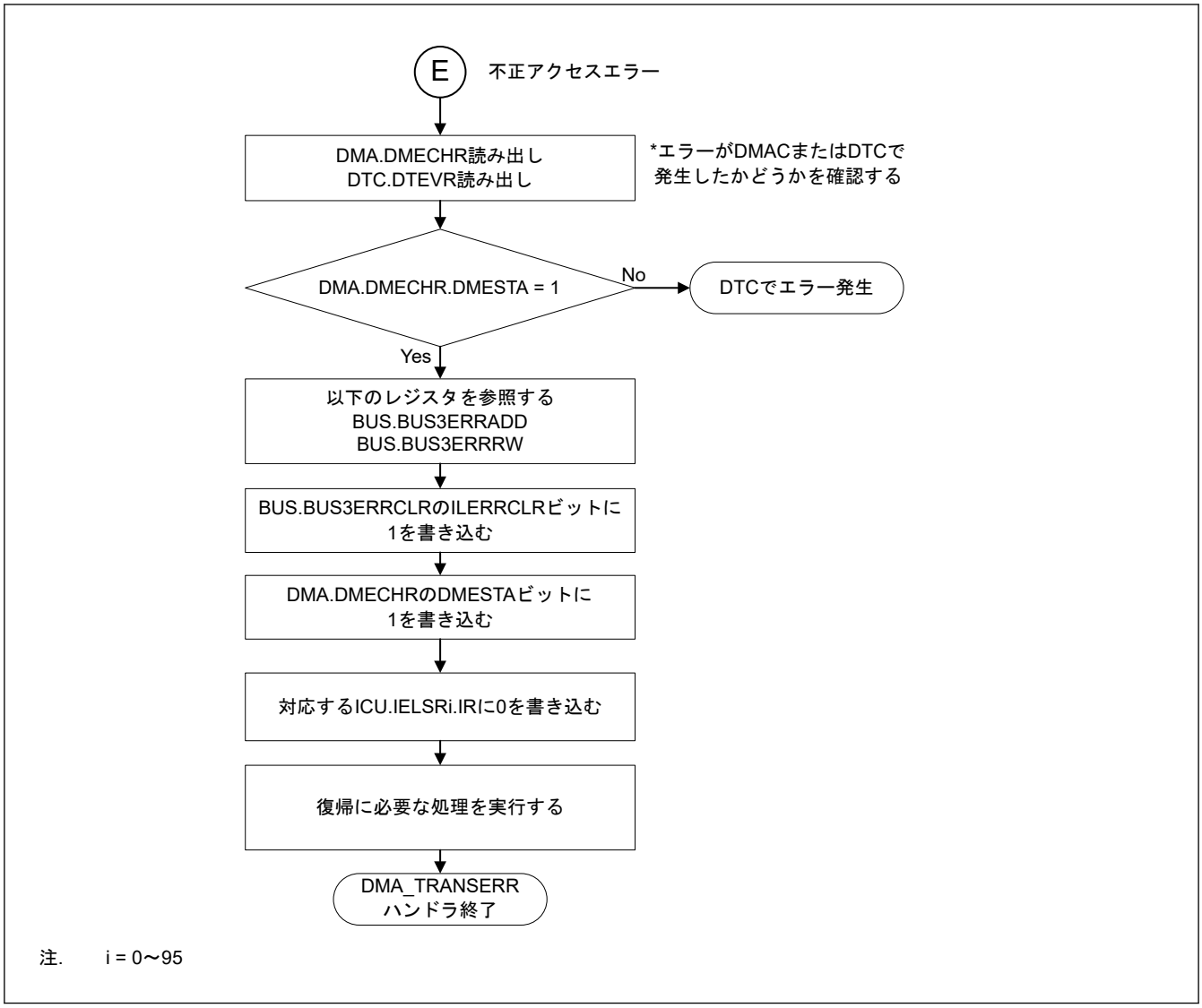


図 15.32 不正アクセスエラーによる DMA_TRANSERR ハンドラの処理

15.6 割り込み

15.6.1 転送終了割り込み

各 DMAC チャネルは、1 要求分の転送終了後、CPU または DTC へ割り込み要求 (DMACn_INT) を出力することができます。

リピートブロック転送モードでは、エスケープ転送終了割り込みを許可しないでください。

表 15.21 に、各割り込み要因とそれらに対応するステータスフラグおよび許可ビットを示します。 図 15.33 に、割り込み出力 (DMACn (n = 0～7)) の概略論理図を示します。 図 15.34 に DMAC 割り込み処理ルーチンで DMA 転送を再開／終了する手順を示します。

表 15.21 割り込み要因、割り込みステータスフラグ、割り込み許可ビットの対応関係 (1/2)

割り込み要因	割り込み許可ビット	割り込みステータスフラグ	要求出力許可ビット
転送終了	—	DMSTS.DTIF	DMINT.DTIE

表 15.21　割り込み要因、割り込みステータスフラグ、割り込み許可ビットの対応関係 (2/2)

割り込み要因		割り込み許可ビット	割り込みステータスフラグ	要求出力許可ビット
エスケープ転送終了	リピートサイズ終了	DMINT.RPTIE	DMSTS.ESIF	DMINT.ESIE
	転送元アドレス拡張リピート領域オーバーフロー	DMINT.SARIE		
	転送先アドレス拡張リピート領域オーバーフロー	DMINT.DARIE		

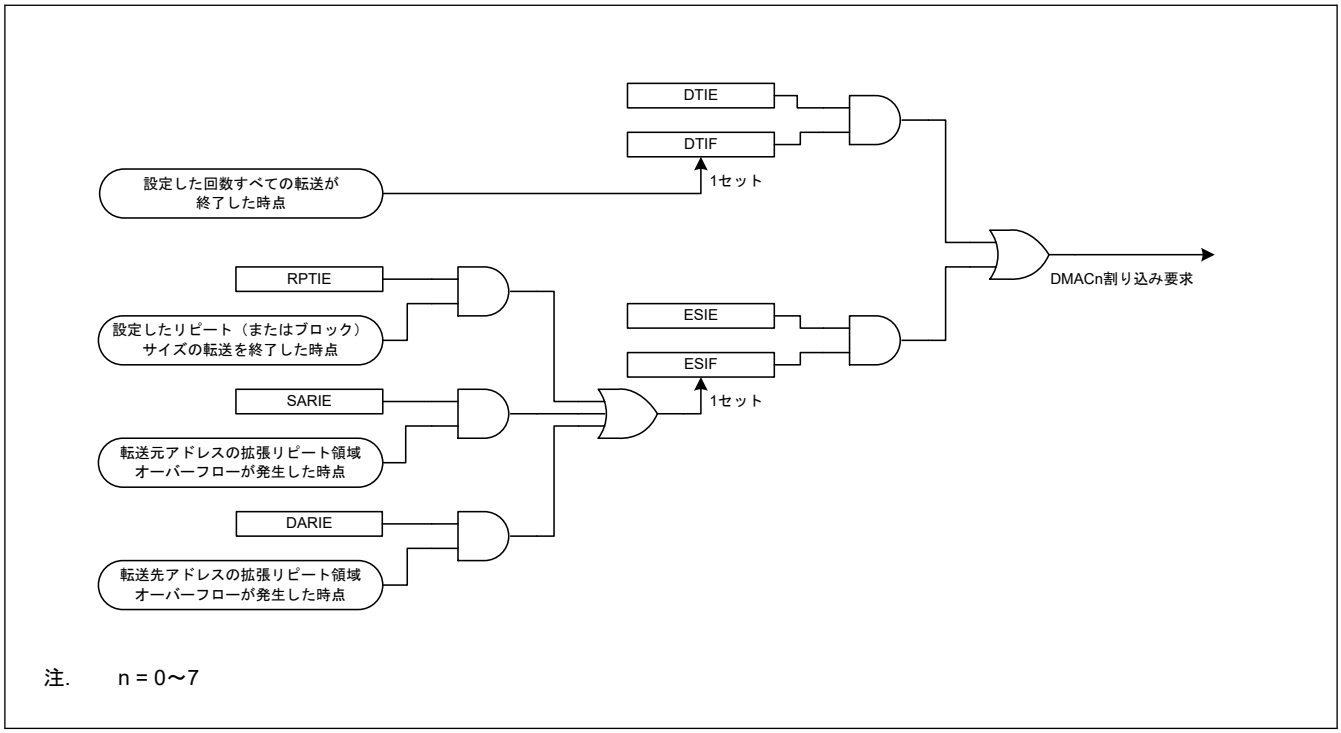


図 15.33　割り込み出力要因 (DMACn) の概略論理図

割り込みを解除して DMA 転送を再開する方法は、以下のケースで異なります。

- DMA 転送を終了した場合
- DMA 転送を継続した場合

15.6.1.1　DMA 転送を終了した場合

転送終了割り込みの場合は、DMSTS.DTIF フラグに 0 を書いてください。また、リピートサイズ割り込みと拡張リピート領域オーバーフロー割り込みの場合は、DMSTS.ESIF フラグに 0 を書いてください。DMACn は停止状態を保ちます。その後、新たな DMA 転送を開始する場合は、必要なレジスタを設定して、DMCNT.DTE ビットを 1（DMA 転送許可）にしてください。

15.6.1.2　DMA 転送を継続した場合

DMCNT.DTE ビットに 1 を書いてください。自動的に DMSTS.ESIF フラグが 0 にクリア（割り込み要因がクリア）され、DMA 転送が再開します。

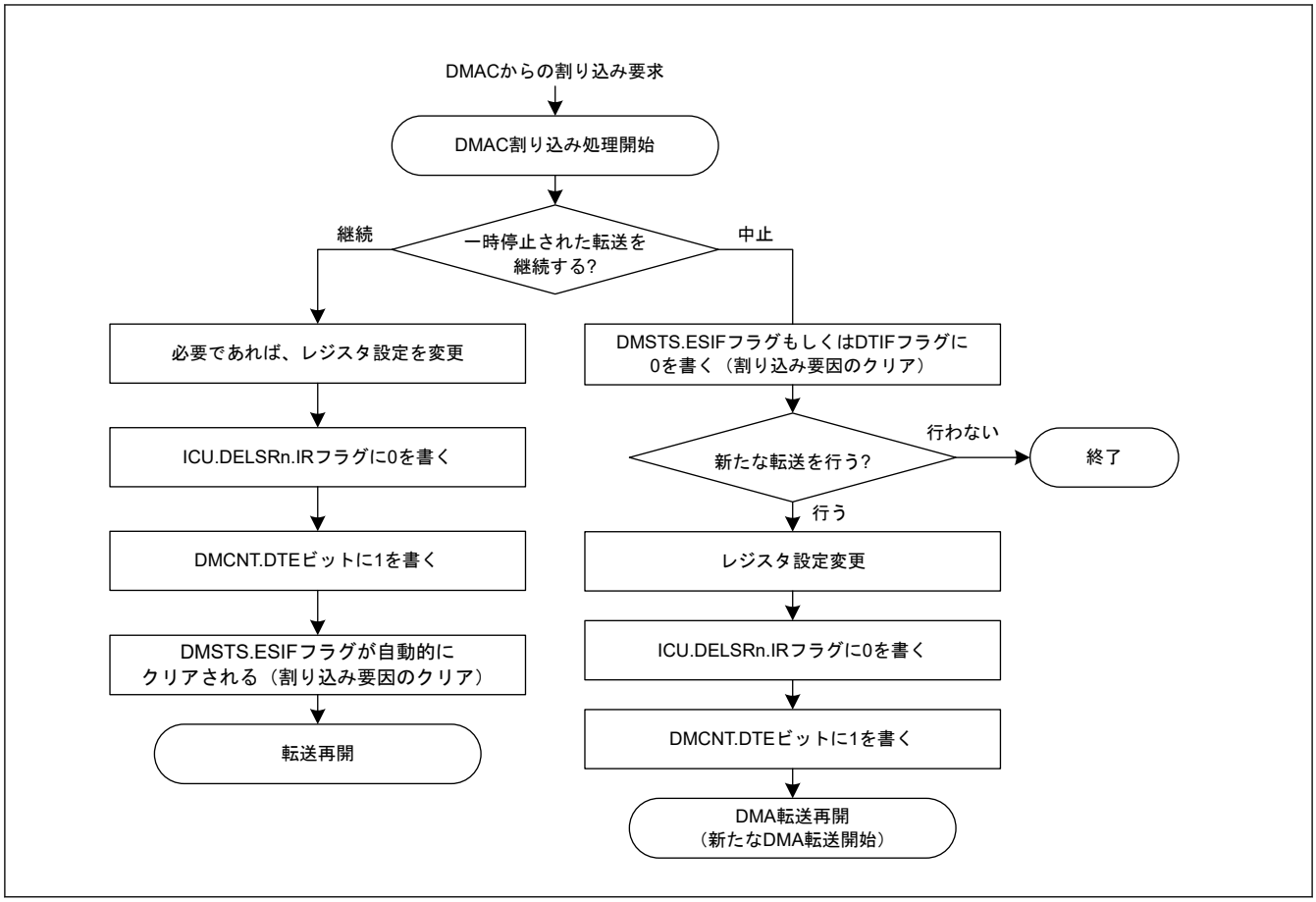


図 15.34 DMAC 割り込み処理ルーチンで DMA 転送を再開／終了する手順

15.6.2 転送エラー割り込み

DMAC 転送中に転送エラーが検出されると、DMAC/DTC からエラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。DMAC 転送エラー発生時に生じる割り込みの種類を表 15.22 に示します。転送エラー発生時に格納されるエラー情報を表 15.22 に示します。

表 15.22 DMAC 転送エラー起因の割り込みとエラー情報

転送エラー要因	NMI/RESET(注1)要求	割り込み要求	バスエラー状態	エラーアドレス エラー R/W	エラーチャネル情報
DMAC/DTC のマスタ TrustZone フィルタ	ICU.NMISR.TZFST (注1)	DMA_TRANSERR	BUS.DMACDTCERRSTAT.MTERRSTAT (注1)	—	DMA.DMECHR
スレーブ TrustZone フィルタ	ICU.NMISR.TZFST (注1)	DMA_TRANSERR	BUS.BUS3ERRSTAT.STERRSTAT(注1)	BUS.BTZF3ERRADD BUS.BTZF3ERRRW	DMA.DMECHR
マスタ MPU	ICU.NMISR.BUSMST	DMA_TRANSERR	BUS.BUS3ERRSTAT.MMERRSTAT	BUS.BUS3ERRADD BUS.BUS3ERRRW	DMA.DMECHR
スレーブバスエラー	—(注2)	DMA_TRANSERR	BUS.BUS3ERRSTAT.SLERRSTAT(注2)	BUS.BUS3ERRADD BUS.BUS3ERRRW	DMA.DMECHR
不正アクセスエラー	—(注2)	DMA_TRANSERR	BUS.BUS3ERRSTAT.ILERRSTAT(注2)	BUS.BUS3ERRADD BUS.BUS3ERRRW	DMA.DMECHR

注 1. マスタ MPU エラーや TrustZone フィルタエラー検出後の動作として NMI リクエストが選択されると、割り込みを生成します。BUS.BUS3ERRSTAT ビットと BUS.DMACDTCERRSTAT ビットを確認することにより、マスタかスレーブかを判定します。

注 2. エラー応答検出割り込み (DMA_TRANSERR) が発生し、かつマスタ MPU の NMI または TrustZone フィルタの NMI が発生しない場合、不正アドレスアクセスエラーまたはスレーブバスエラーとして扱ってください。それは BUS.BUS3ERRSTAT ビットと BUS.DMACDTCERRSTAT ビットによっても判定可能です。

最後の転送データに書き込むときにバスエラーが発生すると、転送終了イベントとエラー応答検出割り込み (DMA_TRANSERR) が発生することに注意してください。

15.7 イベントリンク

各 DMAC チャネルは、1 回のデータ転送（ブロック転送モードの場合は 1 ブロックの転送）が終了するたびに、イベントリンク要求信号 (DMACn_INT) を出力します。

詳細は、「17. イベントリンクコントローラ (ELC)」を参照してください。

最後の転送データ書き込み時にバスエラーが発生すると、転送終了イベントおよびエラー応答検出割り込み (DMA_TRANSERR) が発生します。

15.8 低消費電力機能

モジュールストップ状態、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードへ遷移する前に、最初に DMAST.DMST ビットを 0（DMAC サスペンド状態）にして、以下のように設定してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたとき、DMA 転送が動作中の場合は、DMA 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のとき、DMAC のレジスタにはアクセスしないでください。MSTPCRA.MSTPA22 ビットに 0 を書くことで、DMAC のモジュールストップ状態は解除されます。

(2) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「10.7.1. ソフトウェアスタンバイモードへの遷移」、および「10.9.1. ディープソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WFI 命令実行時に DMA 転送が動作中の場合、DMA 転送が終了してからソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードへ遷移します。

(3) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定については、「10.10.7. WFI 命令のタイミング」を参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットを 1 にしてください。ソフトウェアスタンバイモード時に発生した要求を、DMAC 起動要求ではなく CPU への割り込み要求として使用する場合は、「12.4.1. 割り込みの検出」に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。

15.9 使用上の注意事項

15.9.1 DMA 転送中のレジスタアクセスについて

同じチャネルの DMSTS.ACT フラグが 1 (DMAC 動作中)、または同じチャネルの DMCNT.DTE ビットが 1 (DMA 転送許可）の状態で、下記のレジスタに書き込まないでください。

- DMSAR
- DMDAR
- DMCRA
- DMCRB
- DMTMD
- DMINT
- DMAMD
- DMOFR
- DMSBS
- DMDBS
- DMSRR
- DMDRR

- ICUSARC
- DMACSAR

15.9.2 予約領域への DMA 転送について

予約領域への DMA 転送は行わないでください。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域の詳細は、「4. アドレス空間」を参照してください。

15.9.3 割り込みコントローラユニットの DMAC イベントリンク設定レジスタ n (ICU.DELSRn) の設定 (n = 0～7)

DMAC イベントリンク設定レジスタ n (ICU.DELSRn) を設定する前に、DMA 転送許可ビット（DMCNT.DTE ビット）が 0（DMA 転送禁止）であることを確認してください。さらに、ICU.DELSRn レジスタにより設定されている同じイベント番号に対応する DTC 起動許可レジスタ (ICU.IELSRn.DTCE (n = 0～95)) は 1 にしないでください。ICU.IELSRn.DTCE ビットと ICU.DELSRn レジスタの詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

15.9.4 DMAC 起動の保留／再開に関する注意事項

DMAC 起動要求を一時停止するために、DMAC イベントリンク選択ビット (ICU.DELSRn.DELS[8:0]) に 0x00 を書き込んでください。DMA 転送を再開するには、「15.3.10. DMAC の起動」に記載された設定に従い、ICU.DELSRn.DELS[8:0]ビットにイベント番号を書き込んでください。

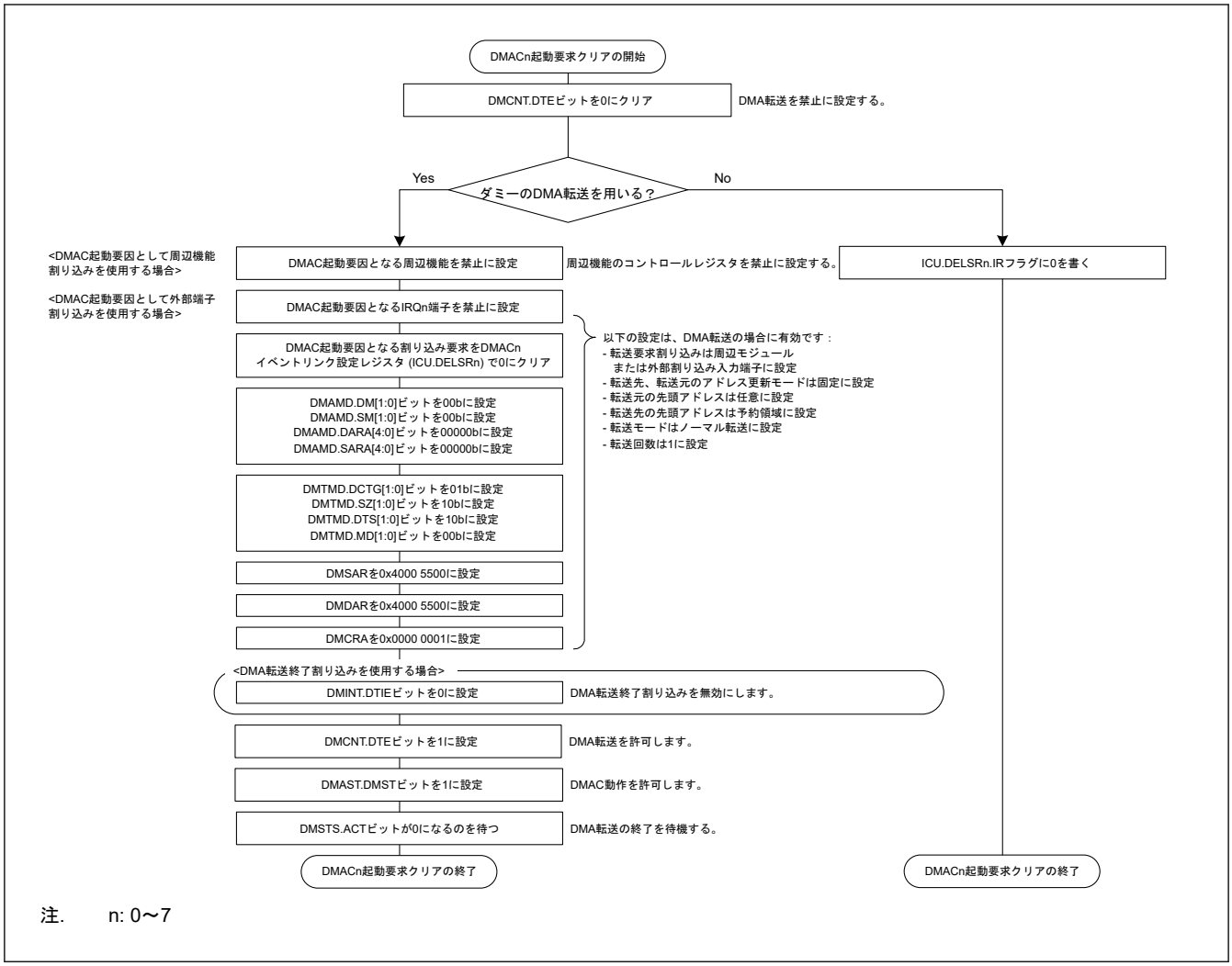
15.9.5 DMA 転送再開時の注意事項

DMA 転送終了後、次の要求時に DMAC 起動要求が発生する場合があります。このような状況が生じた場合、DMA 転送が開始され、DMAC 起動要求は DMAC 内に保持されます。これを避けるには、ICU の DELSRn.DELS[8:0]ビットを 0 にして、DMAC 起動要求を停止してください。

最後の DMA 転送後に DMAC 起動要求が発生した場合は、以下のいずれかの方法で DMAC 起動要求をクリアしてください。

- ダミーの DMA 転送を用いて DMAC 起動要求をクリアする。
- DMCNT.DTE ビットを 0 に設定した後、ICU.DELSRn.IR フラグを 0 にしてください。

図 15.35 を参照してください。



注. n: 0〜7

図 15.35 DMAC 起動割り込みをクリアするためのレジスタ設定手順例

16. データトランスファコントローラ (DTC)

16.1 概要

データトランスファコントローラ (DTC) は、割り込み要求によって起動するとデータ転送を行います。

表 16.1 に DTC の仕様を、図 16.1 に DTC のブロック図を示します。

表 16.1 DTC の仕様

項目	内容
転送モード	• ノーマル転送モード 1 回の起動で 1 データを転送 • リピート転送モード 1 回の起動で 1 データを転送 リピートサイズ分のデータを転送すると転送開始時のアドレスに復帰 リピート転送の最大回数は 256 回で、最大データ転送サイズは 256 × 32 ビット（1024 バイト） • ブロック転送モード 1 回の起動で 1 ブロックを転送 最大ブロックサイズは 256 × 32 ビット = 1024 バイト
転送チャネル	• 割り込み要因に対応するチャネルの転送が可能（ICU からの DTC 起動要求で転送） • 1 つの起動要因に対して複数のデータ単位を転送可能（チェーン転送） • チェーン転送は「カウンタが 0 のとき実施」または「毎回実施」のいずれかを選択可能
転送空間	• 0x0000_0000～0xFFFF_FFFF のうち予約領域を除く 4 GB の領域
データ転送単位	• 1 データ単位：1 バイト（8 ビット）、1 ハーフワード（16 ビット）、1 ワード（32 ビット） • 1 ブロックサイズ：1～256 データ
CPU 割り込み要因	• DTC を起動した割り込み、または DTC_COMPLETE で CPU への割り込み要求を発生可能 • 1 回のデータ転送後に CPU への割り込み要求を発生可能 • 指定したデータ数のデータ転送終了後に CPU への割り込み要求を発生可能
DTC 転送エラー時の処理	• DTC 転送エラーが発生すると、エラーを引き起こした転送を停止 • DTC エラー番号の起動要求についてレジスタをクリアするよう ICU に要求
エラー応答検出割り込み	DTC 転送エラーが生じると発生
イベントリンク機能	1 回のデータ転送後（ブロックの場合は 1 ブロック転送後）、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを実行可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、ライトバックスキップを実行可能
TrustZone	フラッシュや SRAM の TrustZone 違反領域は、バスへのアクセス前に事前に検出されます。
モジュールストップ機能	モジュールストップ状態の設定が可能
TrustZone フィルタ	起動要因ごとにセキュリティ属性の設定が可能

注. DTC のセキュリティ属性レジスタは、ICU.ICUSARG、ICU.ICUSARH、および ICU.ICUSARI で説明します。

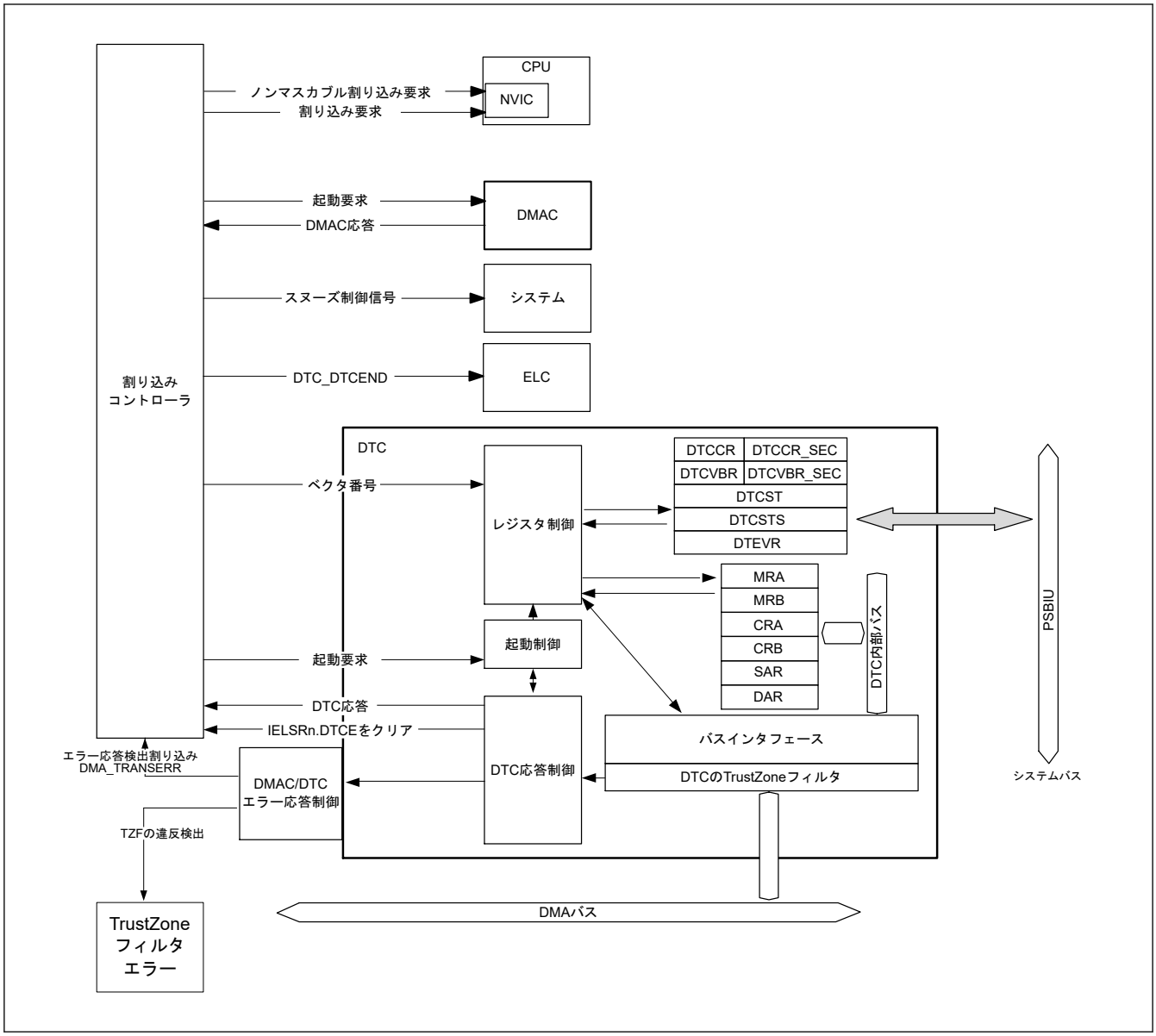


図 16.1　DTC のブロック図

DTC と NVIC（CPU 内）の接続関係については、「12. 割り込みコントローラユニット (ICU)」の「12.1. 概要」を参照してください。

16.2　レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

16.2.1 DTCSAR : DTC コントローラセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTCSTSA
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	DTCSTSA	DTC セキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

本レジスタは DTCST セキュリティ属性のみを設定します。

DTCSTSA ビット（DTC セキュリティ属性）

本ビットは DTCST レジスタのセキュリティ属性を設定します。

DTC 転送が有効またはバスマスタが DTC レジスタに書き込み中は、DTCSTSA ビットに書き込まないでください。

16.2.2 MRA : DTC モードレジスタ A

Base address: DTCVBR

Offset address: 0x03 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MD[1:0]		SZ[1:0]		SM[1:0]		—	—
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0 としてください。リセット後の値は不定値です。	—
3:2	SM[1:0]	転送元アドレスアドレッシングモード 0 0: SAR レジスタはアドレス固定（SAR レジスタへのライトバックをスキップ） 0 1: SAR レジスタはアドレス固定（SAR レジスタへのライトバックをスキップ） 1 0: 転送後 SAR レジスタをインクリメント： SZ[1:0]ビットが 00b のとき+1 SZ[1:0]ビットが 01b のとき+2 SZ[1:0]ビットが 10b のとき+4 1 1: 転送後 SAR レジスタをデクリメント： SZ[1:0]ビットが 00b のとき-1 SZ[1:0]ビットが 01b のとき-2 SZ[1:0]ビットが 10b のとき-4	—

ビット	シンボル	機能	R/W
5:4	SZ[1:0]	DTC データトランスファサイズ 0 0: バイト（8 ビット）転送 0 1: ハーフワード（16 ビット）転送 1 0: ワード（32 ビット）転送 1 1: 設定禁止	—
7:6	MD[1:0]	DTC 転送モード選択 0 0: ノーマル転送モード 0 1: リピート転送モード 1 0: ブロック転送モード 1 1: 設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x03）に MRA レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x03）から、MRA レジスタへ設定値を転送します。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

16.2.3 MRB : DTC モードレジスタ B

Base address: DTCVBR

Offset address: 0x02 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CHNE	CHNS	DISEL	DTS	DM[1:0]		—	—
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
1:0	—	読み出し値は不定です。書く場合、0 としてください。リセット後の値は不定値です。	—
3:2	DM[1:0]	転送先アドレスアドレッシングモード 0 0: DAR レジスタはアドレス固定（DAR レジスタへのライトバックをスキップ） 0 1: DAR レジスタはアドレス固定（DAR レジスタへのライトバックをスキップ） 1 0: 転送後 DAR レジスタをインクリメント： MRA.SZ[1:0]ビットが 00b のとき+1 MRA.SZ[1:0]ビットが 10b のとき+4MRA.SZ[1:0]ビットが 01b のとき+2 1 1: 転送後 DAR レジスタをデクリメント： MRA.SZ[1:0]ビットが 00b のとき-1 MRA.SZ[1:0]ビットが 01b のとき-2 MRA.SZ[1:0]ビットが 10b のとき-4	—
4	DTS	DTC 転送モード選択 0: 転送先にリピート領域またはブロック領域を選択 1: 転送元にリピート領域またはブロック領域を選択	—
5	DISEL	DTC 割り込み選択 0: 指定されたデータ転送の終了時、CPU への割り込み要求が発生 1: DTC データ転送のたびに、CPU への割り込み要求が発生	—
6	CHNS	DTC チェーン転送選択 0: 連続してチェーン転送を行う 1: 転送カウンタが 1→0、または 1→CRAH となったときにのみチェーン転送を行う	—
7	CHNE	DTC チェーン転送許可 0: チェーン転送禁止 1: チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x02）に MRB レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x02）から、MRB レジスタへ設定値を転送します。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DM[1:0]ビット（転送先アドレスアドレッシングモード）

DM[1:0]ビットは DAR レジスタのアドレスを固定または転送後の DAR レジスタのインクリメント/デクリメントを指定します。

DTS ビット（DTC 転送モード選択）

DTS ビットはリピート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリピート領域またはブロック領域に指定します。

DISEL ビット（DTC 割り込み選択）

DISEL ビットは CPU への割り込み要求を発生する条件を指定します。

CHNS ビット（DTC チェーン転送選択）

CHNS ビットはチェーン転送の条件を選択します。CHNE ビットが 0 のとき、CHNS ビットの設定は無視されます。チェーン転送の条件については、表 16.3 を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPU への割り込み要求は発生しません。

CHNE ビット（DTC チェーン転送許可）

CHNE ビットはチェーン転送を許可します。チェーン転送条件の選択は、CHNS ビットで行います。チェーン転送の詳細については、「16.4.6. チェーン転送」を参照してください。

16.2.4 SAR : DTC 転送元レジスタ

Base address: DTCVBR

Offset address: 0x04 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x04）に SAR レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x04）から、SAR レジスタへ設定値を転送します。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合、ビット 0 は 0 を設定してください。また、MRA.SZ[1:0] = 10b の場合、ビット 1 およびビット 0 はともに 0 を設定してください。

16.2.5 DAR : DTC 転送先レジスタ

Base address: DTCVBR

Offset address: 0x08 + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	31																												0
Bit field:																													
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。CPU は SRAM 領域（転送情報 (n) の開始アドレス 0x08）に DAR レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス 0x08）から、DAR レジスタへ設定値を転送します。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

DTC 転送では、アドレスの不整合は禁止です。MRA.SZ[1:0] = 01b の場合、ビット 0 は 0 を設定してください。また、MRA.SZ[1:0] = 10b の場合、ビット 1 およびビット 0 はともに 0 を設定してください。

16.2.6 CRA : DTC 転送カウントレジスタ A

Base address: DTCVBR

Offset address: 0x0E + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	CRAL	転送カウンタ A 下位 転送回数を設定	—
15:8	CRAH	転送カウンタ A 上位 転送回数を設定	—

注. 転送モードによって機能が異なります。
注. リピート転送モードとブロック転送モードでは、CRAH および CRAL レジスタには同じ値を設定してください。

CRA レジスタは 16 ビットです。CRAL は下位 8 ビット、CRAH は上位 8 ビットです。CRA はノーマル転送モードで使用されます。

CRAL と CRAH はリピート転送モードとブロック転送モードで使用されます。

CRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0E）に CRA レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0E）から、CRA レジスタへ設定値を転送します。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

(1) ノーマル転送モード (MRA.MD[1:0] = 00b) の場合

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。

(2) リピート転送モード (MRA.MD[1:0] = 01b) の場合

リピート転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

(3) ブロック転送モード (MRA.MD[1:0] = 10b) の場合

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 0x01 のときは 1 回、0xFF のときは 255 回、0x00 のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント (–1) されます。0x00 に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

16.2.7 CRB : DTC 転送カウントレジスタ B

Base address: DTCVBR

Offset address: 0x0C + 0x4 × ベクタ番号
（CPU から直接アクセス不可。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。）

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

CRB レジスタは、ブロック転送モードのブロック転送回数を指定するレジスタです。転送回数は、設定値が 0x0001 のときは 1 回、0xFFFF のときは 65535 回、0x0000 のときは 65536 回となります。CRB レジスタの値は、

1 ブロックサイズの最終データ転送時にデクリメント (–1) されます。ノーマル転送モードまたはリピート転送モードを選択した場合、本レジスタは使用されず、設定値は無視されます。

CRB レジスタは CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報 (n) の開始アドレス+0x0C）に CRB レジスタ設定値を設定します。DTC は、SRAM 領域（転送情報 (n) の開始アドレス+0x0C）から、CRB レジスタへ設定値を転送します。「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。

16.2.8 DTCCR : DTC コントロールレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RRS	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	RRS	DTC 転送情報リードスキップ許可 0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RRS ビット（DTC 転送情報リードスキップ許可）

RRS ビットはベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。ベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ（CRA レジスタ）が 0 になっている場合と、ブロック転送で転送カウンタ（CRB レジスタ）が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

16.2.9 DTCCR_SEC : DTC コントロールレジスタ（セキュア領域）

Base address: DTC = 0x4000_5400

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RRS	—	—	—	—
Value after reset:	0	0	0	0	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
4	RRS	DTC 転送情報リードスキップ許可（セキュア領域） 0: 転送情報のリードスキップを行わない 1: ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュアアクセスは許可されます。非セキュアアクセスは読み取り専用です。

RRS ビット（DTC 転送情報リードスキップ許可（セキュア領域））

RRS ビットはベクタ番号が一致したとき、転送情報のリードスキップを許可します。DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。ベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ（CRA レジスタ）が 0 になっている場合と、ブロック転送で転送カウンタ（CRB レジスタ）が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

16.2.10 DTCVBR : DTC ベクタベースアドレス

Base address: DTC = 0x4000_5400

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	DTC ベクタベースアドレス DTC ベクタベースアドレスを設定（下位 10 ビットは 0 にしてください）	R/W

DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定するレジスタです。0x0000_0000～0xFFFF_FFFF (4 GB) の範囲内で 1 KB 単位の設定が可能です。

16.2.11 DTCVBR_SEC : DTC ベクタベースレジスタ（セキュア領域）

Base address: DTC = 0x4000_5400

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	DTC ベクタベースアドレス（セキュア領域） DTC ベクタベースアドレス（セキュア領域）を設定（下位 10 ビットは 0 にしてください）	R/W

注. セキュアアクセスは許可されます。非セキュアアクセスは読み取り専用です。

DTCVBR_SEC レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定するレジスタです。0x0000_0000～0xFFFF_FFFF (4 GB) の範囲内で 1 KB 単位の設定が可能です。

16.2.12 DTCST : DTC モジュール起動レジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DTCST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DTCST	DTC モジュール起動 0: DTC モジュール停止 1: DTC モジュール起動	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

DTCST ビット（DTC モジュール起動）

DTC が転送要求を受け付けられるようにするには、DTCST ビットを 1 にしてください。DTCST ビットを 0 にすると、新たな転送要求を受け付けません。データ転送中に 0 に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

下記の状態へ遷移する際は、事前に DTCST ビットを 0 にする必要があります。

- モジュールストップ状態
- スヌーズモードへの遷移を伴わないソフトウェアスタンバイモード
- ディープソフトウェアスタンバイモード

これらの遷移については、「16.10. 低消費電力機能」と「10. 低消費電力モード」を参照してください。

16.2.13 DTCSTS : DTC ステータスレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ACT	—	—	—	—	—	—	—	VECN[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	VECN[7:0]	DTC アクティブベクタ番号モニタ DTC 転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC 転送動作中（ACT フラグが 1 の場合）にのみ有効です。	R
14:8	—	読むと 0 が読めます。	R
15	ACT	DTC アクティブフラグ 0: DTC 転送動作なし 1: DTC 転送動作中	R

VECN[7:0]ビット（DTC アクティブベクタ番号モニタ）

VECN[7:0]ビットは DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1（DTC 転送動作中）であれば、読み出された VECN[7:0]ビットの値は有効であり、ACT フラグが 0（DTC 転送動作なし）であれば、読み出された VECN[7:0]ビットの値は無効です。

ACT フラグ（DTC アクティブフラグ）

ACT フラグは DTC の転送動作状態を示します。

[1 になる条件]

- 転送要求によって DTC が起動したとき

[0 になる条件]

- 転送要求に対する DTC の転送が完了したとき

16.2.14 DTEVR : DTC エラーベクタレジスタ

Base address: DTC = 0x4000_5400

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DTESTA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DTEVSAM	DTEV[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DTEV[7:0]	DTC エラーベクタ番号 DTC のエラーベクタを表します。	R
8	DTEVSAM	DTC エラーベクタ番号 SA モニタ エラーを引き起こすベクタ番号の SA を示します。 0: セキュアベクタ番号 1: 非セキュアベクタ番号	R
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R
16	DTESTA	DTC エラーステータスフラグ 0: DTC 転送エラー発生なし 1: DTC 転送エラー発生あり	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R

注. DTESTA への書き込みは DTEVSAM の値に依存します。

DTEV[7:0]ビット（DTC エラーベクタ番号）

DTC 転送起因の転送エラーが発生した場合、DTEV[7:0]ビットは違反した DTC のチャネルを格納します。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DTC 転送エラーが発生し、DTESTA = 0 の場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

DTEVSAM ビット（DTC エラーベクタ番号 SA モニタ）

DTC 転送起因の転送エラーが発生した場合、DTEVSAM ビットは違反した DTC ベクタ番号の SA を示します。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DTC 転送エラーが発生し、DTESTA = 0 の場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

DTESTA ビット（DTC エラーステータスフラグ）

DTESTA ビットは DTC 転送エラーの発生の有無を示します。

DTEV、DTEVSAM、DTESTA は DTESTA に 1 を書き込むことによりクリアされます。

DTESTA への 0 の書き込みは無視されます。

MPU.MMPUOAD.OAD および TZF.TZFOAD.OAD でリセットが選択されたとき、本レジスタもリセットされます。プログラムをデバッグする場合はノンマスカブル割り込みを選択してください。

[1 になる条件]

- DMAC 転送エラーが発生した場合

[0 になる条件]

- DTEVR.DTESTA に 1 を書き込む場合

注. DTEVSAM = 1 の場合、セキュア状態と非セキュア状態で本ビットをクリアできます。DTEVSAM = 0 の場合、非セキュア状態では本ビットをクリアできません。

16.3 起動要因

DTC は割り込み要求によって起動します。ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによって DTC が起動します。ICU.IELSRn レジスタで設定されたセレクタ出力番号 *n* (n = 0～95) は、割り込みベクタ番号として定義されます。許可された割り込みに対して、各割り込みベクタ番号 *n* に対応した特定の DTC 割り込み要因が、ICU.IELSRn.IELS[8:0] (n = 0～95) ビットによって選択されます。このビットの設定方法については、「12. 割り込みコントローラユニット (ICU)」の「12.3.2. イベント番号」を参照してください。ソフトウェアによる起動については、「17.2.2. ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0, 1)」を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けません。DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後このビットが 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時（チェーン転送の場合、連続した最後の転送時）、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に対して割り込み要求が発生する
- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が発生する
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR フラグはデータ転送開始時に 0 になる

16.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

DTC には、非セキュア側とセキュア側の 2 つのベクタテーブルがあります。それは、DTC に対するトリガとして働く割り込みベクタ番号が非セキュア側とセキュア側に分割されるためです。SA = 1 である割り込みベクタ番号のベクタテーブルを非セキュア側の DTCVBR に配置してください。SA = 0 である割り込みベクタ番号のベクタテーブルをセキュア側の DTCVBR_SEC に配置してください。

ベクタテーブルのベースアドレス（開始アドレス）は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ (DTCVBR) を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号 *n* を持つ転送情報 *n* の開始アドレスは、ベクタテーブルのベースアドレス+4n 番地でなければいけません。

DTC ベクタテーブルと転送情報の対応を図 16.2 に示します。SRAM 領域上の転送情報の配置を図 16.3 に示します。

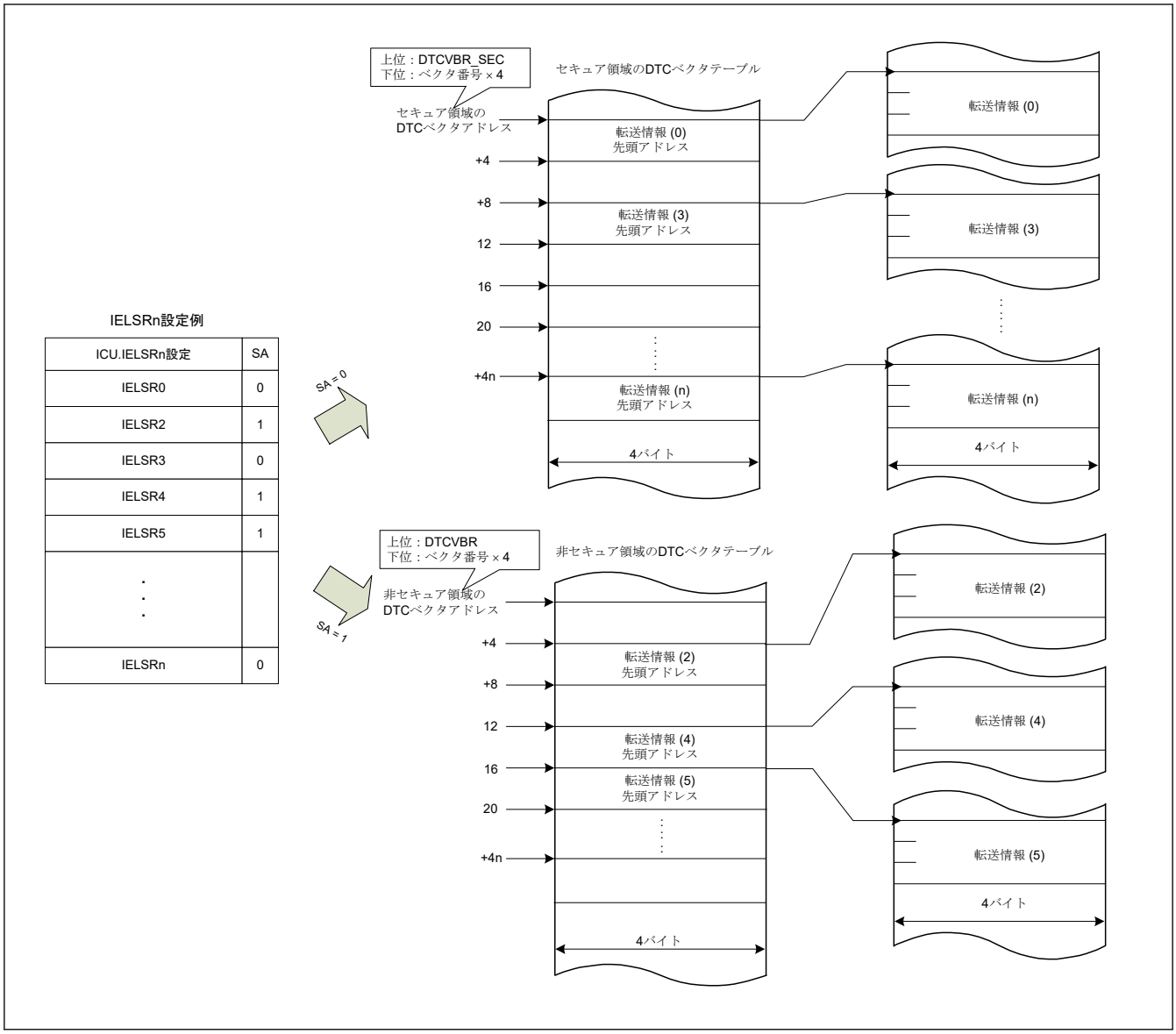


図 16.2　DTC ベクタテーブルと転送情報の対応関係

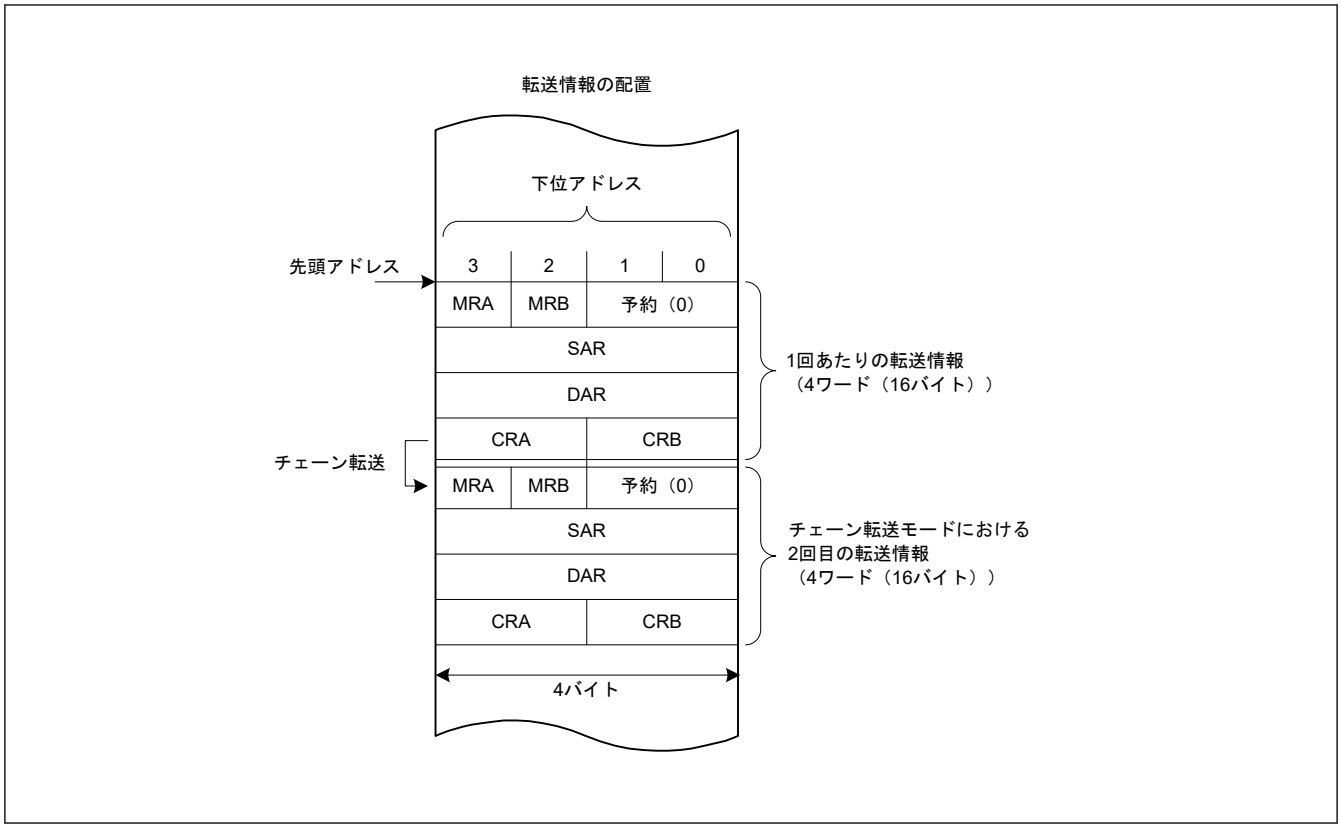


図 16.3　SRAM 領域上の転送情報の配置

16.4　動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。次に DTC は、DTC ベクタが示す転送情報格納アドレスから転送情報を読み出して、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャネル数のデータ転送が可能になります。

転送モードには、下記の 3 種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

表 16.2 に DTC の転送モードを示します。

表 16.2　DTC の転送モード

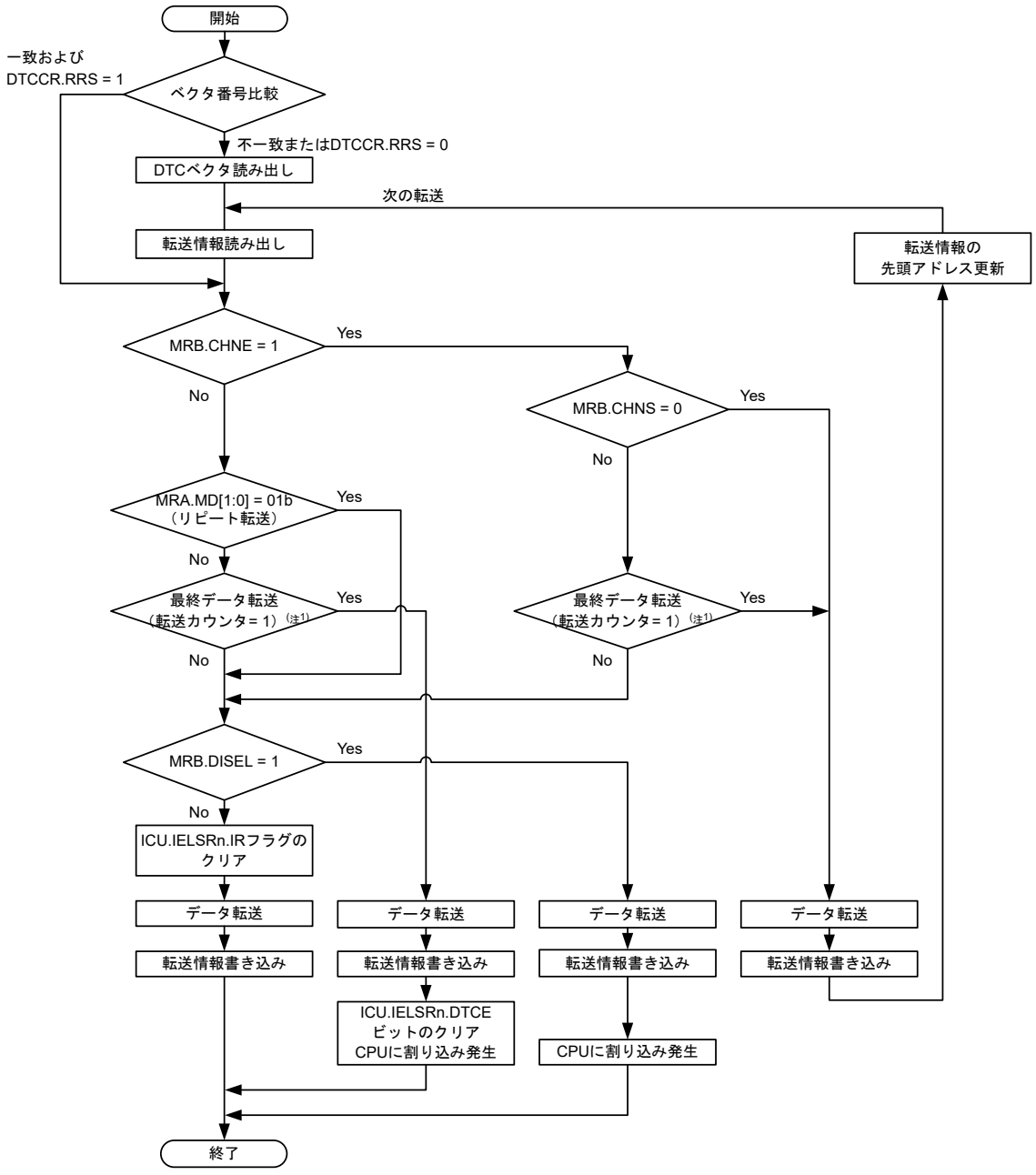
転送モード	1 回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1 バイト（8 ビット）／1 ハーフワード（16 ビット）／1 ワード（32 ビット）	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536 回
リピート転送モード (注1)	1 バイト（8 ビット）／1 ハーフワード（16 ビット）／1 ワード（32 ビット）	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～256 回(注3)
ブロック転送モード (注2)	CRAH レジスタで指定したブロックサイズ（1～256 バイト／1～256 ハーフワード（2～512 バイト）／1～256 ワード（4～1024 バイト））	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65536 回

注 1.　転送元または転送先のいずれかをリピート領域に設定します。
注 2.　転送元または転送先のいずれかをブロック領域に設定します。

注 3. 指定回数の転送終了後は、初期状態に戻り、動作を再開します。

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

図 16.4 に DTC の動作フローチャートを示します。 表 16.3 にチェーン転送の条件を示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。



注 1. データ転送開始前のカウンタ値

図 16.4 DTC 動作フローチャート

表 16.3　チェーン転送の条件

第 1 転送				第 2 転送(注3)				
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ(注1) (注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ(注1) (注2)	DTC 転送
0	—	0	(1→0) 以外	—	—	—	—	第 1 転送で終了
0	—	0	(1→0)	—	—	—	—	第 1 転送で終了し CPU へ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ割り込み要求
				0	—	1	—	
1	1	0	(1→*) 以外	—	—	—	—	第 1 転送で終了
1	1	—	(1→*)	0	—	0	(1→0) 以外	第 2 転送で終了
				0	—	0	(1→0)	第 2 転送で終了し CPU へ割り込み要求
				0	—	1	—	
1	1	1	(1→*) 以外	—	—	—	—	第 1 転送で終了し CPU へ割り込み要求

注 1.　使用する転送カウンタは、以下のように、各転送モードで異なります。
ノーマル転送モード：CRA レジスタ
リピート転送モード：CRAL レジスタ
ブロック転送モード：CRB レジスタ
注 2.　転送終了時のカウンタ動作は以下の通りです。
ノーマル転送モードとブロック転送モードでは (1→0)
リピート転送モードでは (1→CRAH)
表中の (1→*) は、これら両方の動作を表します。
注 3.　2 番目以降の転送に対してチェーン転送の選択が可能です。第 2 転送と CHNE ビットが 1 の組み合わせに対する条件は省略しています。

16.4.1　転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求発生時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。ベクタ番号が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。さらに、前回のノーマル転送中に転送カウンタ（CRA レジスタ）が 0 になっている場合と、前回のブロック転送中に転送カウンタ（CRB レジスタ）が 0 になっている場合も、DTCCR.RRS ビットの値にかかわらず転送情報の読み出しが行われます。図 16.12 に転送情報の読み出しがスキップされる場合の例を示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを 0 にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを 1 に戻してください。DTCCR.RRS ビットを一度 0 にすることによって、格納されていたベクタ番号が破棄されます。次回の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

16.4.2　転送情報のライトバックスキップ機能

MRA.SM[1:0]ビットまたは MRB.DM[1:0]ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。 表 16.4 に転送情報のライトバックスキップ条件と対応するレジスタを示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされます。

表 16.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0]ビット		MRB.DM[1:0]ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

16.4.3 ノーマル転送モード

ノーマル転送モードでは、1 つの起動要因で、1 バイト（8 ビット）、1 ハーフワード（16 ビット）、1 ワード（32 ビット）のデータ転送が可能です。転送回数は 1～65536 回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。このモードでは指定回数の転送が終了すると、CPU への割り込み要求を発生させることができます。

表 16.5 にノーマル転送モードのレジスタ機能を、図 16.5 にノーマル転送モードのメモリマップを示します。

表 16.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント／デクリメント／固定(注1)
DAR	転送先アドレス	インクリメント／デクリメント／固定(注1)
CRA	転送カウンタ A	CRA - 1
CRB	転送カウンタ B	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

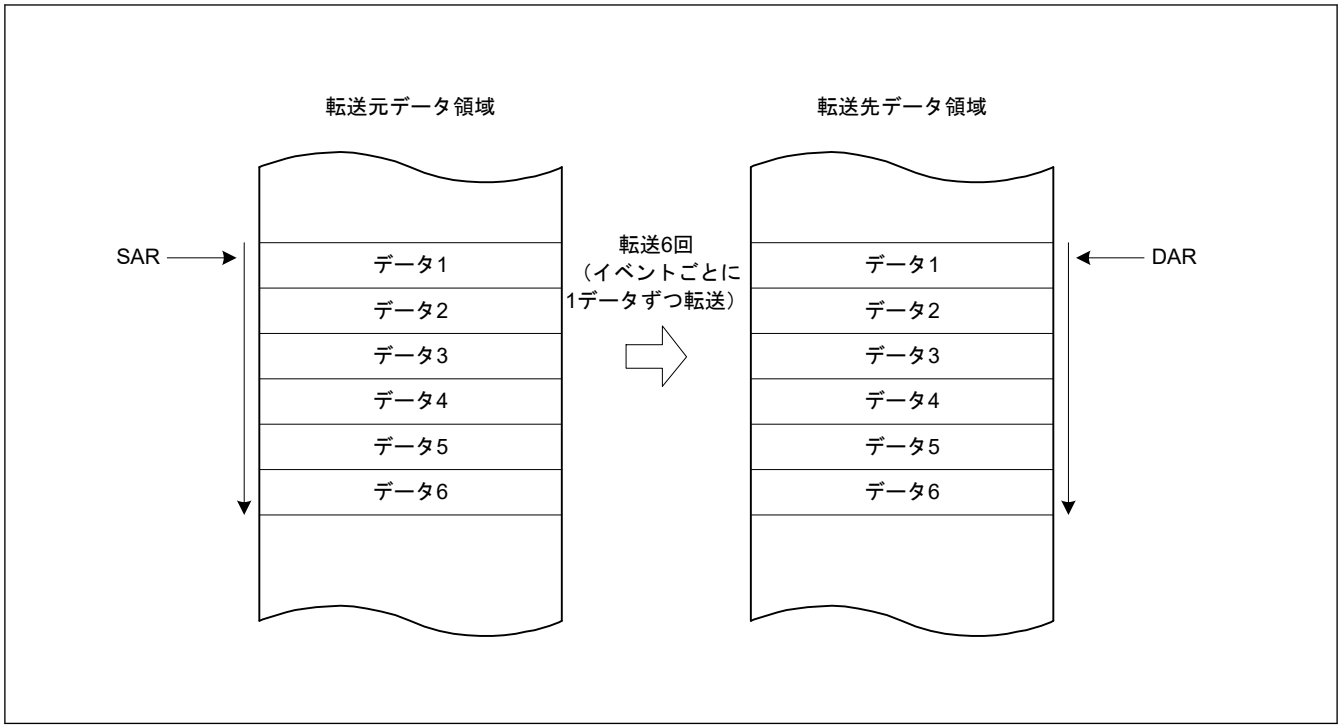


図 16.5　ノーマル転送モードのメモリマップ (MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0x0006)

16.4.4　リピート転送モード

このモードでは、1 つの起動要因で、1 バイト（8 ビット）、1 ハーフワード（16 ビット）、または 1 ワード（32 ビット）のデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをリピート領域に指定する必要があります。転送回数は 1～256 回まで設定できます。指定回数の転送が終了すると、リピート領域に設定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ（CRAL レジスタ）が 0x00 になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタが 0x00 にならないので、MRB.DISEL ビットが 0 になっていると、CPU への割り込み要求は発生しません。指定されたデータ転送が終了したとき、CPU への割り込みが発生します。

表 16.6 にリピート転送モードのレジスタ機能を、図 16.6 にリピート転送モードのメモリマップを示します。

表 16.6　リピート転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値	
		CRAL が 1 以外のとき	CRAL が 1 のとき
SAR	転送元アドレス	インクリメント／デクリメント／固定(注1)	• （MRB.DTS = 0 のとき） インクリメント／デクリメント／固定(注1) • （MRB.DTS = 1 のとき） SAR レジスタの初期値
DAR	転送先アドレス	インクリメント／デクリメント／固定(注1)	• （MRB.DTS = 0 のとき） DAR レジスタの初期値 • （MRB.DTS = 1 のとき） インクリメント／デクリメント／固定(注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新なし	更新なし

注 1.　アドレス固定のとき、ライトバックはスキップされます。

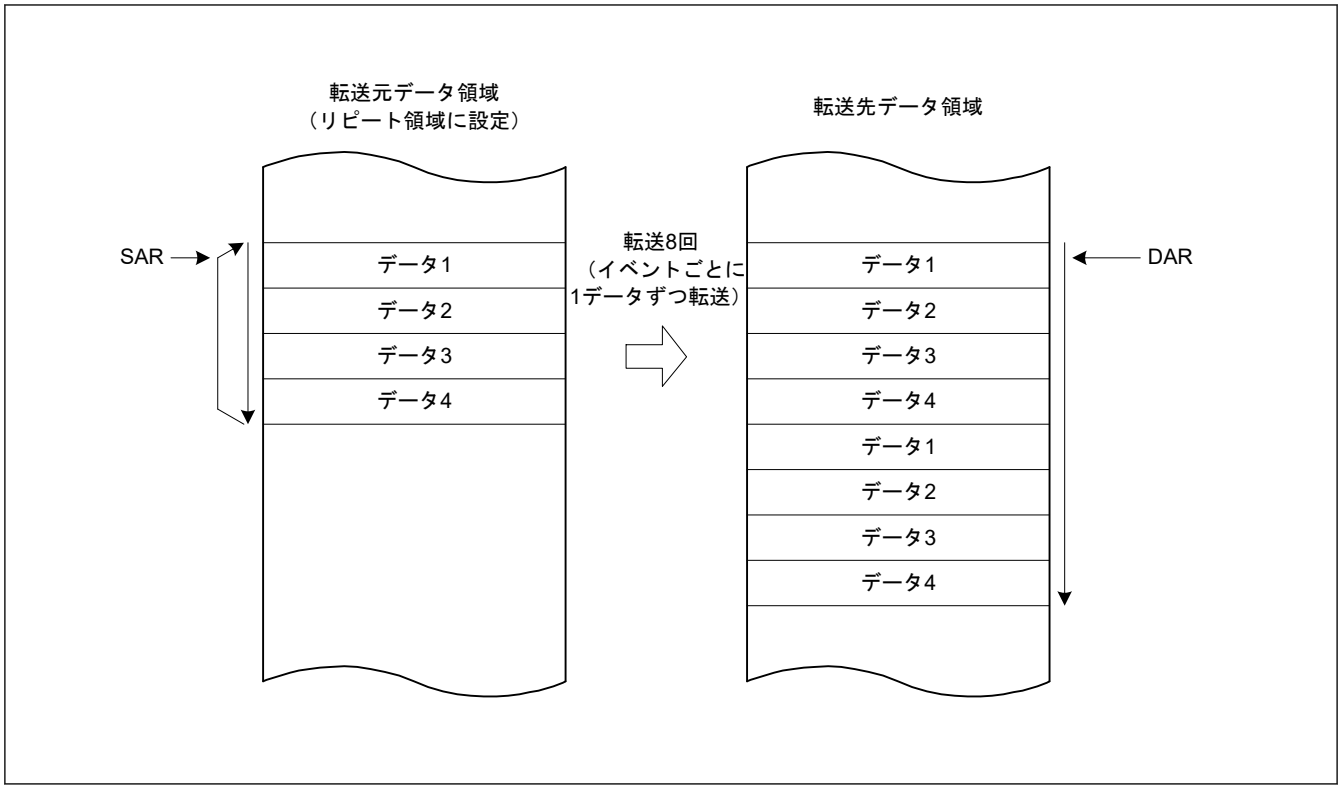


図 16.6　リピート転送モードのメモリマップ（転送元をリピート領域に設定した場合）(MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 0x04)

16.4.5　ブロック転送モード

このモードでは、1 つの起動要因で 1 ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1～256 バイト、1～256 ハーフワード（2～512 バイト）、または 1～256 ワード（4～1024 バイト）に設定できます。指定された 1 ブロックの転送が終了すると、ブロックサイズカウンタ（CRAL レジスタ）と、ブロック領域に指定したアドレスレジスタ（MRB.DTS ビットが 1 のときは SAR レジスタ、MRB.DTS ビットが 0 のときは DAR レジスタ）は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数（ブロック数）は、1～65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

表 16.7 にブロック転送モードのレジスタ機能を、図 16.7 にブロック転送モードのメモリマップを示します。

表 16.7　ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	• （MRB.DTS = 0 のとき） インクリメント／デクリメント／固定(注1) • （MRB.DTS = 1 のとき） SAR レジスタの初期値
DAR	転送先アドレス	• （MRB.DTS = 0 のとき） DAR レジスタの初期値 • （MRB.DTS = 1 のとき） インクリメント／デクリメント／固定(注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注 1.　アドレス固定のとき、ライトバックはスキップされます。

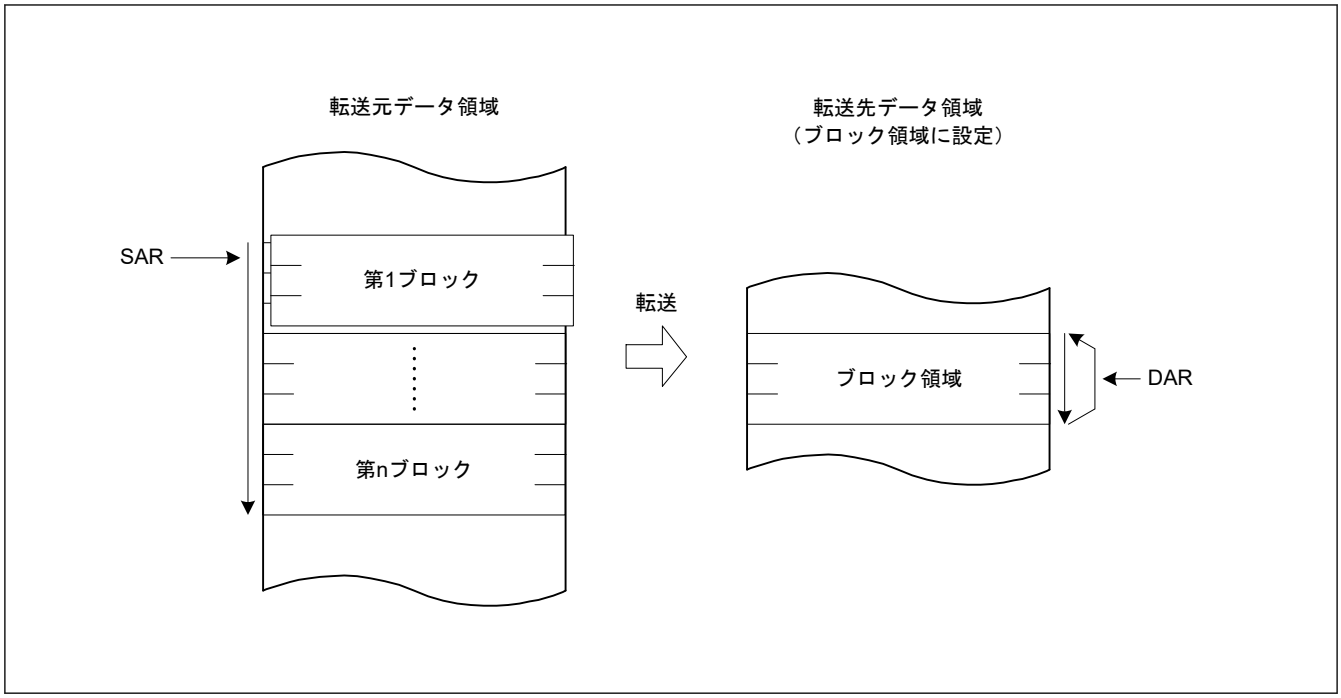


図 16.7　ブロック転送モードのメモリマップ

16.4.6　チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL = 1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR フラグに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 16.8 にチェーン転送の動作を示します。

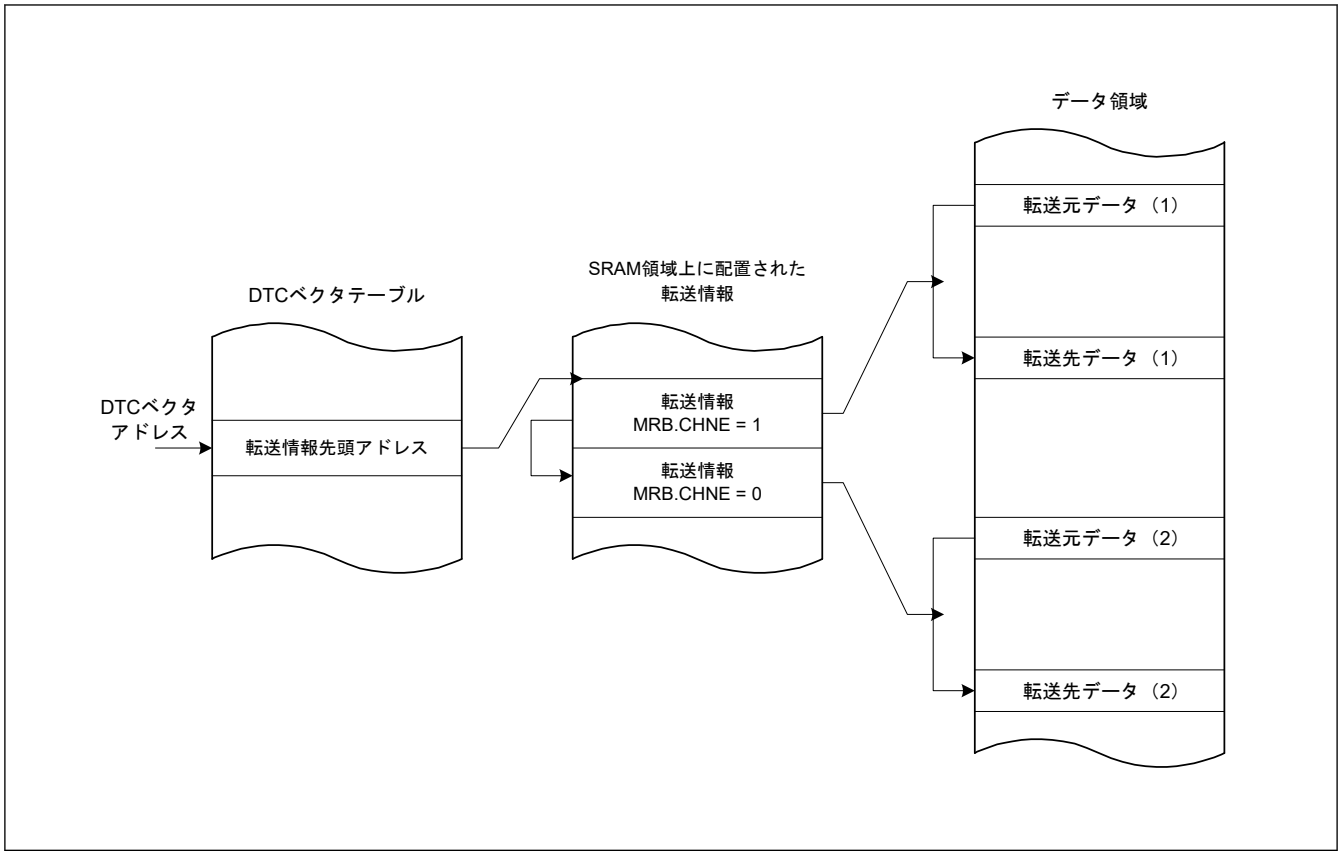


図 16.8　チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 16.3 を参照してください。

16.4.7　動作タイミング

図 16.9～図 16.12 に示すタイミング図は、最小実行サイクル数を示しています。

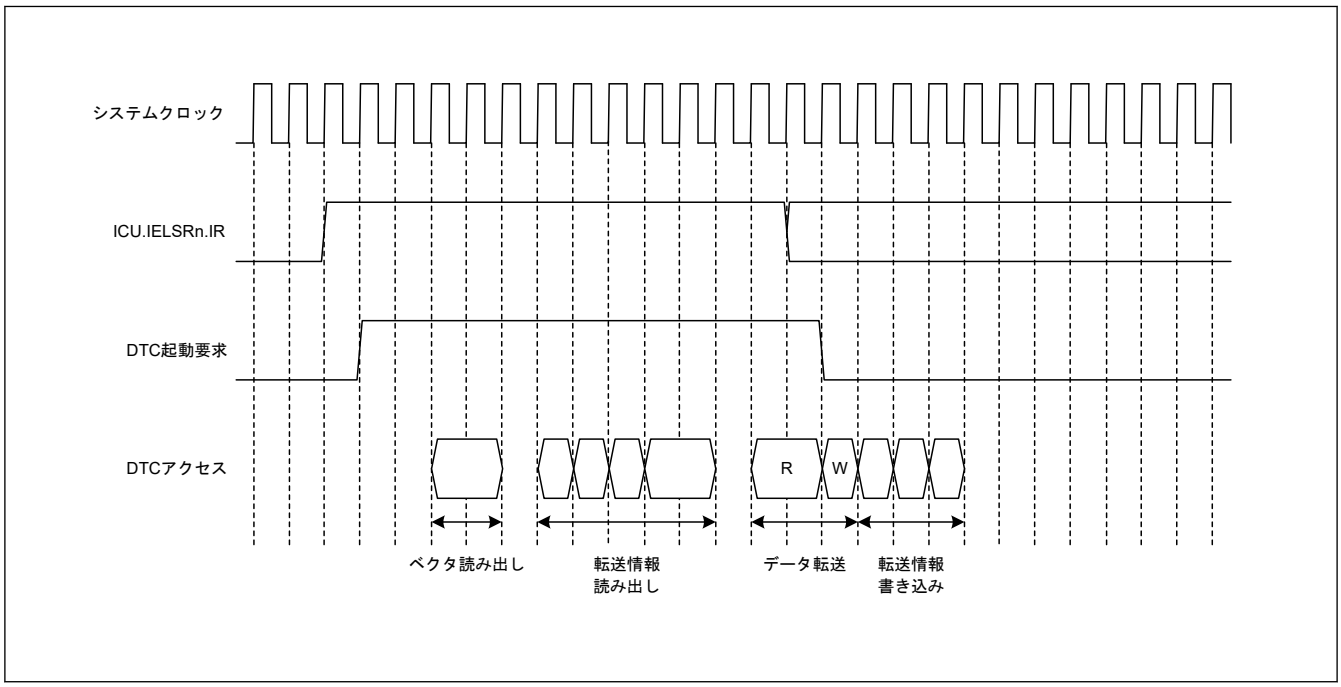


図 16.9　動作タイミング例 (1)（ノーマル転送モード、リピート転送モードの場合）

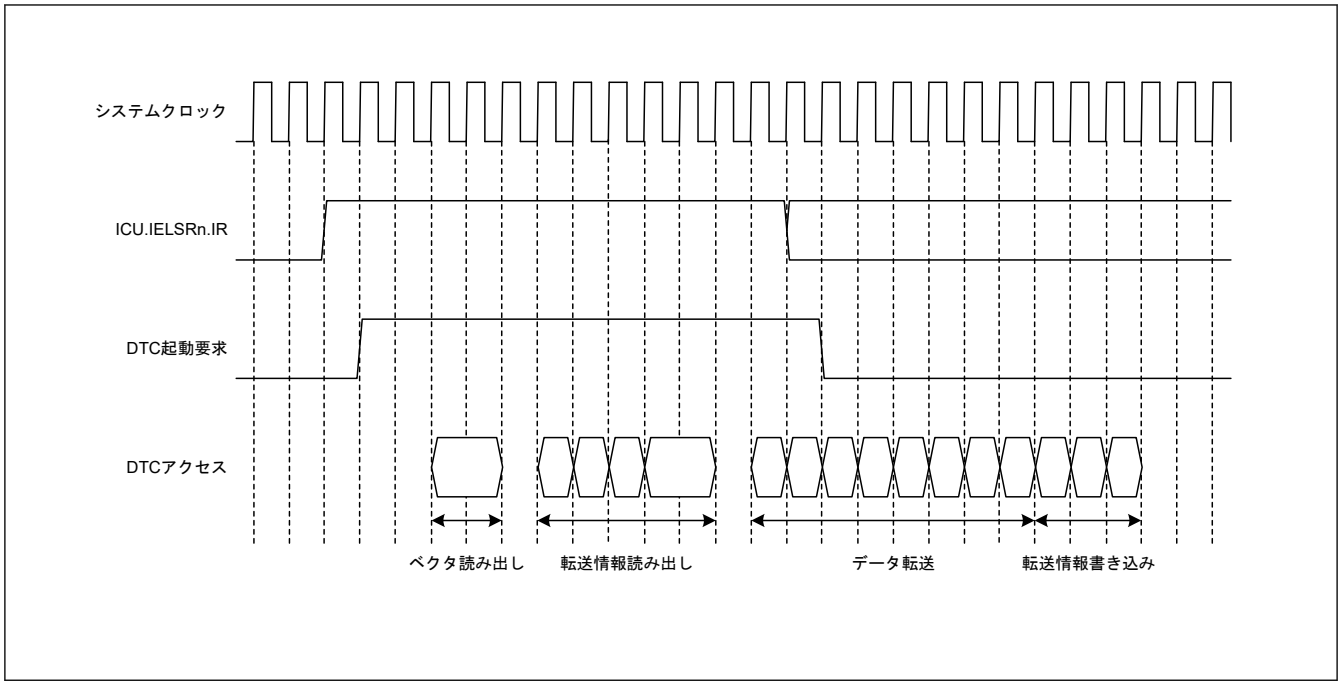


図 16.10　動作タイミング例 (2)（ブロック転送モード、ブロックサイズ = 4 の場合）

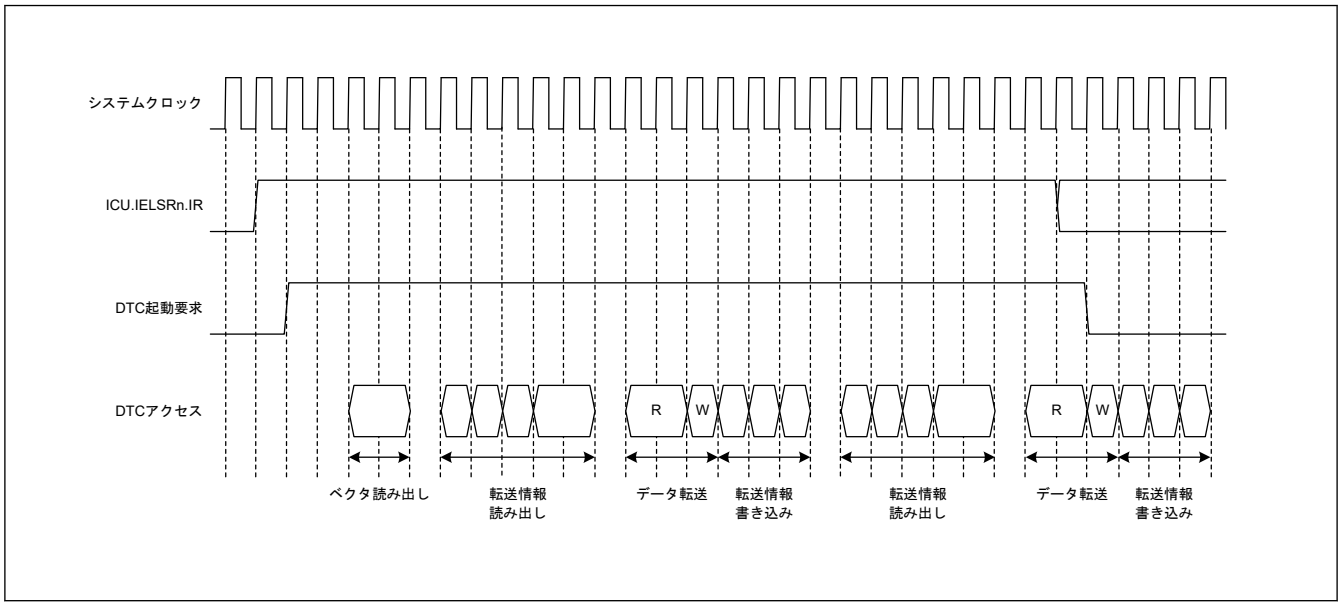
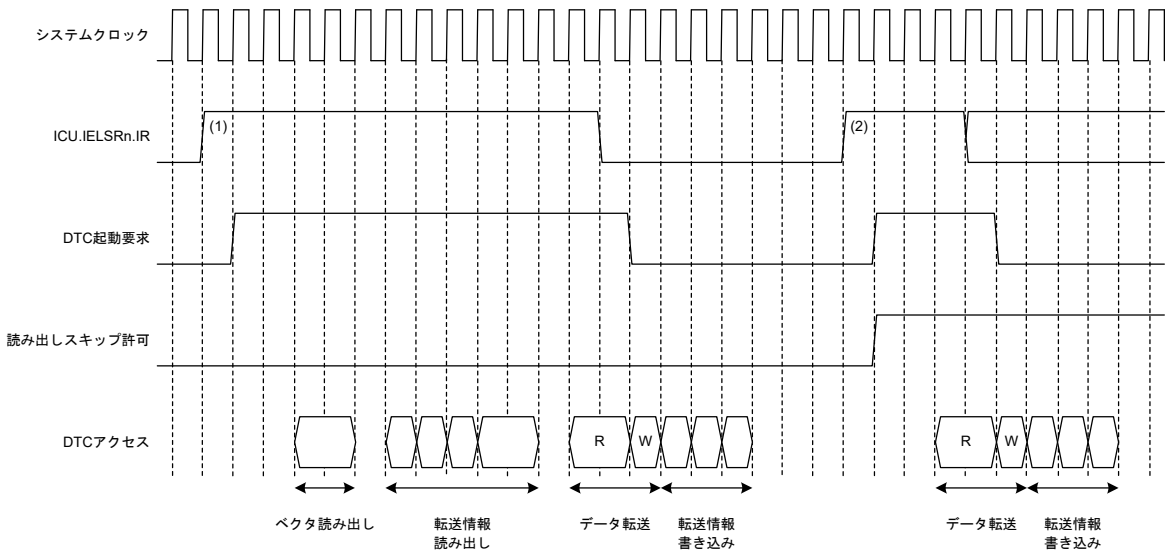


図 16.11　動作タイミング例 (3)（チェーン転送の場合）



注. (1) と (2) で起動要因（ベクタ番号）が同一で、DTCCR.RRS = 1 のとき、(2) の要求に対して転送情報読み出しスキップを行う。

図 16.12 転送情報リードスキップ実行時の動作例（ベクタ、転送情報、転送先データが SRAM にあり、転送元データが周辺モジュールにある場合）

16.4.8 DTC の実行サイクル

表 16.8 に DTC の 1 回のデータ転送の実行サイクルを示します。各実行状態の順序については、「16.4.7. 動作タイミング」を参照してください。

表 16.8 DTC の実行サイクル

P: ブロックサイズ（CRAH および CRAL レジスタの初期設定値）
Cv: ベクタ転送情報格納先へのアクセスサイクル
Ci: 転送情報格納先アドレスへのアクセスサイクル
Cr: データリード先へのアクセスサイクル
Cw: データライト先へのアクセスサイクル
ベクタ読み出し、転送情報読み出し、データ転送読み出しの各列に記載の“+1”の単位と、内部動作の列に記載の“2”の単位は、いずれもシステムクロック (ICLK) です。
Cv、Ci、Cr、Cw は対応するアクセス先で異なります。それぞれのアクセス先に対するサイクル数については、「39. SRAM」、「41. フラッシュメモリ」および「13. バス」を参照してください。
システムクロックと周辺クロックの周波数比も考慮されています。
DTC の応答時間は、DTC の起動要因が検出されてから DTC 転送が始まるまでの時間です。
表 16.8 には、DTC の起動要因がアクティブになってから DTC データ転送が始まるまでの時間は含まれていません。

転送モード	ベクタ読み出し		転送情報読み出し		転送情報書き込み			データ転送		内部動作	
								読み出し	書き込み		
ノーマル	Cv + 1	0(注1)	4 × Ci + 1	0(注1)	3 × Ci + 1(注2)	2 × Ci + 1(注3)	Ci(注4)	Cr + 1	Cw + 1	2	0(注1)
リピート								Cr + 1	Cw + 1		
ブロック (注5)								P × Cr	P × Cw		

注 1. 転送情報がリードスキップされる場合
注 2. SAR レジスタと DAR レジスタがともにアドレス固定でない場合
注 3. SAR レジスタと DAR レジスタのいずれかがアドレス固定の場合
注 4. SAR レジスタと DAR レジスタがともにアドレス固定の場合
注 5. ブロックサイズが 2 以上の場合。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

16.4.9 DTC のバス権解放タイミング

DTC は、転送情報の読み出し中はバス権を解放しません。転送情報の読み出しや書き込みが実施される前に、バスマスタ調停部によって決定された優先順位に従ってバス調停が行われます。バス調停については、「13. バス」を参照してください。

16.4.10 ベクタセキュリティ

DTC ベクタ n の転送アクセスのセキュリティ属性と ICU の IELSRn (n = 0～95) レジスタへのアクセスのセキュリティ属性は、CPSCU の ICUSARx (x = G, H, I) レジスタの SAIELSRn ビットで制御されます。CPSCU.ICUSARx レジスタの詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

CPSCU.ICUSARx.SAIELSRn ビットが 0 の場合、DTC ベクタ n の転送は読み出しおよび書き込みの両方に対してセキュアアクセスです。同時に、IELSRn レジスタは非セキュアアクセスから保護されます。

CPSCU.ICUSARx.SAIELSRn ビットが 1 の場合、DTC ベクタ n の転送は読み出しおよび書き込みの両方に対して非セキュアアクセスです。同時に、IELSRn レジスタは非セキュア属性を有します。

DTC 転送が許可されている、またはバスマスタが同じチャネルの DTC レジスタに書き込んでいる間は、CPSCU.ICUSARx.SAIELSRn ビットに書き込まないでください。

「16.3.1. 転送情報の配置と DTC ベクタテーブル」に各 DTC ベクタに関するセキュリティ属性を示します。

16.4.11 DTC のマスタ TrustZone フィルタ

DTC には、マスタ TrustZone フィルタがあります。DTC のマスタ TrustZone フィルタは、IDAU で定義するフラッシュ領域（コードフラッシュとデータフラッシュ）と SRAM 領域（ECC／パリティ RAM）のセキュリティ領域を検出できます。それらのアドレスへの非セキュアアクセスは、セキュリティ違反として検出されます。セキュリティ違反のアクセスは実行されません。検出したエラーは、マスタ TrustZone フィルタエラーとして扱います。

16.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。ICU.IELSRn.IELS[8:0]ビットを 0 にして NVIC の割り込みを禁止してから、表 16.9 の手順に従い DTC の設定を行ってください。

表 16.9 DTC の設定手順

No.	手順	内容
1	DTCCR(注1).RRS ビットを 0 にします。	DTCCR(注1).RRS ビットを 0 にして、転送情報読み出しスキップフラグをリセットします。その後、DTC を起動したときは、転送情報読み出しはスキップされません。転送情報を更新したときは、この設定を行ってください。
2	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を設定します。	転送情報 (MRA, MRB, SAR, DAR, CRA, CRB) を SRAM 領域に配置してください。転送情報の設定は、「16.2. レジスタの説明」を参照してください。転送情報の配置方法は、「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
3	転送情報の先頭アドレスを DTC ベクタテーブルに設定します。	転送情報の先頭アドレスを DTC ベクタテーブルに設定してください。DTC ベクタテーブルの設定方法は、「16.3.1. 転送情報の配置と DTC ベクタテーブル」を参照してください。
4	DTCCR(注1).RRS ビットを 1 にします。	DTCCR(注1).RRS ビットを 1 にすることで、同一の割り込み要因による連続した DTC 起動を行う場合の 2 回目以降の転送情報読み出しサイクルをスキップできます。RRS ビットへの 1 の書き込みは可能ですが、DTC 転送中の設定は次回の転送から有効になります。
5	ICU.IELSRn.DTCE ビットを 1 にします。 ICU.IELSRn.IELS[8:0]ビットを割り込み要因として設定します。この割り込みは NVIC で許可に設定する必要があります。	ICU.IELSRn.DTCE ビットを 1 にしてください。また、DTC をトリガする割り込み要因として ICU.IELSRn.IELS[8:0]を設定してください。この割り込みは NVIC で許可に設定する必要があります。「12. 割り込みコントローラユニット (ICU)」の「12.3.2. イベント番号」を参照してください。
6	起動要因となる割り込みの許可ビットを 1 に設定します。	起動要因となる割り込みの許可ビットを 1 に設定してください。要因となる割り込みが発生すると、DTC が起動されます。割り込み要因許可ビットの設定については、起動要因となるモジュールの設定方法を参照してください。
7	DTCST.DTCST ビットを 1 にします。	DTC モジュール起動ビット (DTCST.DTCST) を 1 に設定してください。

注. DTCST.DTCST ビットの設定は、各起動要因の設定の後でなくても構いません。

注. 非セキュア状態で使用する場合、DTCSAR.DTCSTSA = 1 または DTCST.DTCST = 1 を設定してください。
注 1. セキュア状態で使用する場合、DTCCR ではなく DTCCR_SEC にアクセスしてください。

16.6 DTC の使用例

16.6.1 ノーマル転送

ここでは、DTC の使用例として、SCI から 128 バイトのデータ受信を行う場合を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] = 00b)、ノーマル転送モード (MRA.MD[1:0] = 00b)、およびバイト転送 (MRA.SZ[1:0] = 00b) を設定します。MRB レジスタには、転送先アドレスのインクリメント (MRB.DM[1:0] = 10b) と、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE = 0、MRB.DISEL = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回 (0x0080) を設定します。CRB レジスタは任意の値を設定できます。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

(3) ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SCI 割り込みとして ICU.IELSRn.IELS[8:0]ビットを設定します。この割り込みは NVIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

(4) SCI の設定

SCI の SCR.RIE ビットを 1 にして SCIn_RXI (n = 0, 9) 割り込みを許可します。SCI の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるように設定してください。

(5) DTC 転送

SCI が 1 バイトのデータ受信を完了するごとに SCIn_RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

(6) 割り込み処理

128 回のデータ転送が終了して CRA レジスタが 0 になると、CPU に対する SCIn_RXI 割り込み要求が発生します。割り込み処理ルーチンで終了処理を行ってください。

16.6.2 チェーン転送

ここでは、DTC のチェーン転送の例として、汎用 PWM タイマ (GPT) によってパルスを出力する場合を示します。チェーン転送を利用して、PWM タイマのコンペア値を転送し、GPT 用 PWM タイマの周期を変更することができます。

チェーン転送の最初の転送には、GPTm.GTCCRC（m = 160, 161, 164, 165）レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 2 番目の転送には、GPTm.GTCCRE（m = 160, 161, 164, 165）レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 3 番目の転送には、GPTm.GTPBR（m = 160, 161, 164, 165）レジスタへの転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 3 番目の転送、すなわち MRB.CHNE = 0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として、GPT160.GTPR レジスタによるカウンタオーバーフロー割り込みの使用方法を説明します。

(1) 第 1 転送情報の設定

GTP160.GTCCRC レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。

2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT160.GTCCRC レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(2) 第 2 転送情報の設定

GPT160.GTCCRE レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、チェーン転送 (MRB.CHNE = 1, MRB.CHNS = 0) を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT160.GTCCRE レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(3) 第 3 転送情報の設定

GPT160.GTPBR レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント (MRA.SM[1:0] = 10b) を選択します。
2. ノーマル転送モード (MRA.MD[1:0] = 00b) と、ワード転送 (MRA.SZ[1:0] = 10b) を設定します。
3. MRB レジスタで、転送先アドレスの固定 (MRB.DM[1:0] = 00b) を選択し、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE = 0, MRB.DISEL = 0) を設定します。MRB.DTS ビットは任意の値を設定できます。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT160.GTPBR レジスタのアドレスを設定します。
6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(4) 転送情報の配置

GPT160.GTPBR レジスタへの転送で使用する転送情報は、GPT160.GTCCRC レジスタと GPT160.GTCCRE レジスタで使用する転送制御情報のすぐ後に配置します。

(5) DTC ベクタテーブルの設定

DTC ベクタテーブルで、GPT160.GTCCRC レジスタと GPT160.GTCCRE レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

(6) ICU の設定と DTC モジュールの起動

1. GPT160 カウンタオーバーフロー割り込みに対応する ICU.IELSRn.DTCE ビットを設定します。
2. ICU.IELSRn.IELS[8:0]ビットを設定して、GPT160 カウンタオーバーフローを指定します。
3. DTCST.DTCST ビットを 1 にします。

(7) GPT の設定

1. GTCCRA レジスタと GTCCRB レジスタがアウトプットコンペアレジスタとして動作できるように、GPT160.GTIOR レジスタを設定します。
2. GPT160.GTCCRA レジスタと GPT160.GTCCRB レジスタには、デフォルトの PWM タイマコンペア値を設定し、GPT160.GTCCRC レジスタと GPT160.GTCCRE レジスタには、次の PWM タイマコンペア値を設定します。

3. GPT160.GTPR レジスタには、デフォルトの PWM タイマ周期値を設定し、GPT160.GTPBR レジスタには、次の PWM タイマ周期値を設定します。
4. PmnPFS.PDR ビットを 1 にして、PmnPFS.PSEL[4:0]ビットを 00011b にします。

(8) GPT の起動

GPT160.GTSTR.CSTRTT ビットを 1 にして、GPT160.GTCNT カウンタを開始します。

(9) DTC 転送

GPT160.GTPR レジスタで GPT160 カウンタオーバーフローが発生するたびに、次の PWM タイマコンペア値が GPT160.GTCCRC レジスタと GPT160.GTCCRE レジスタへ転送されます。また、次の PWM タイマ周期の設定値が GPT160.GTPBR レジスタへ転送されます。

(10) 割り込み処理

指定した回数の転送終了後（たとえば、GPT 転送用 CRA レジスタの値が 0 になると）、CPU に対して GPT160 カウンタオーバーフロー割り込み要求が発行されます。割り込み処理ルーチンで終了処理を行ってください。

16.6.3 転送カウンタ = 0 のときのチェーン転送

第 2 転送は第 1 転送の転送カウンタが 0 になったときにだけ実行されます。第 1 転送情報は第 2 転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256 回以上のリピート転送が可能になります。

以下に、1 KB の入力バッファを構成する例を示します。入力バッファは下位アドレスが 0x00 から始まるように設定されています。図 16.13 に転送カウンタ = 0 のときのチェーン転送を示します。

1. 第 1 転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
   (a) 転送元アドレス = 固定
   (b) CRA = 0x0200（512 回）
   (c) MRB.CHNE = 1（チェーン転送許可）
   (d) MRB.CHNS = 1（転送カウンタが 0 の場合のみチェーン転送を行う）
   (e) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
2. 第 1 転送の転送先アドレスの 512 回ごとに、開始アドレスの上位 8 ビットアドレスを別の領域（コードフラッシュメモリなど）に用意してください。たとえば、入力バッファを 0x8000～0x83FF にする場合は、0x82 と 0x80 を用意します。
3. 第 2 転送は以下のように設定してください。
   (a) 第 1 転送の転送カウンタをリセットするため、リピート転送モード（転送元および転送先アドレスは固定）に設定
   (b) 転送先として、第 1 転送情報領域の CAR レジスタを指定
   (c) MRB.CHNE = 1（チェーン転送許可）
   (d) MRB.CHNS = 0（連続チェーン転送を選択）
   (e) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
   (f) CRA = 0x0101（転送回数は 1 回）
4. 第 3 転送は以下のように設定してください。
   (a) 第 1 転送の転送先アドレスをリセットするため、リピート転送モード（転送元をリピート領域）に設定
   (b) 転送先として、第 1 転送情報領域の DAR レジスタの上位 8 ビットを指定
   (c) MRB.CHNE = 0（チェーン転送禁止）
   (d) MRB.DISEL = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
   (e) 入力バッファを 0x8000～0x83FF にした場合は、転送カウンタ = 2
5. 1 回の割り込みで、第 1 転送が 512 回実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット（転送カウンタ）は 0x0200 になっています。

6. 1 回の割り込みで、第 2 転送が 1 回実行されます。第 1 転送の転送カウンタが 0 になると、第 3 転送がスタートします。第 1 転送の転送先アドレスの上位 8 ビットを 0x82 にしてください。転送先アドレスの下位 8 ビットは 0x00、第 1 転送の転送カウンタは 0x0200 になっています。
7. 引き続き 1 回の割り込みで、第 1 転送用に指定された 512 回だけ、第 1 転送が実行されます。第 1 転送の転送カウンタが 0 になると、第 2 転送がスタートします。第 1 転送の転送カウンタを 0x0200 にしてください。第 1 転送の転送先アドレスの下位 8 ビット（転送カウンタ）は 0x0200 になっています。
8. 1 回の割り込みで、第 2 転送が 1 回実行されます。第 1 転送の転送カウンタが 0 になると、第 3 転送がスタートします。第 1 転送の転送先アドレスの上位 8 ビットを 0x80 にしてください。転送先アドレスの下位 8 ビットは 0x00、第 1 転送の転送カウンタは 0x0200 になっています。
9. 手順 5 と 8 が無限に繰り返されます。第 2 転送はリピート転送モードのため、CPU への割り込み要求は発生しません。

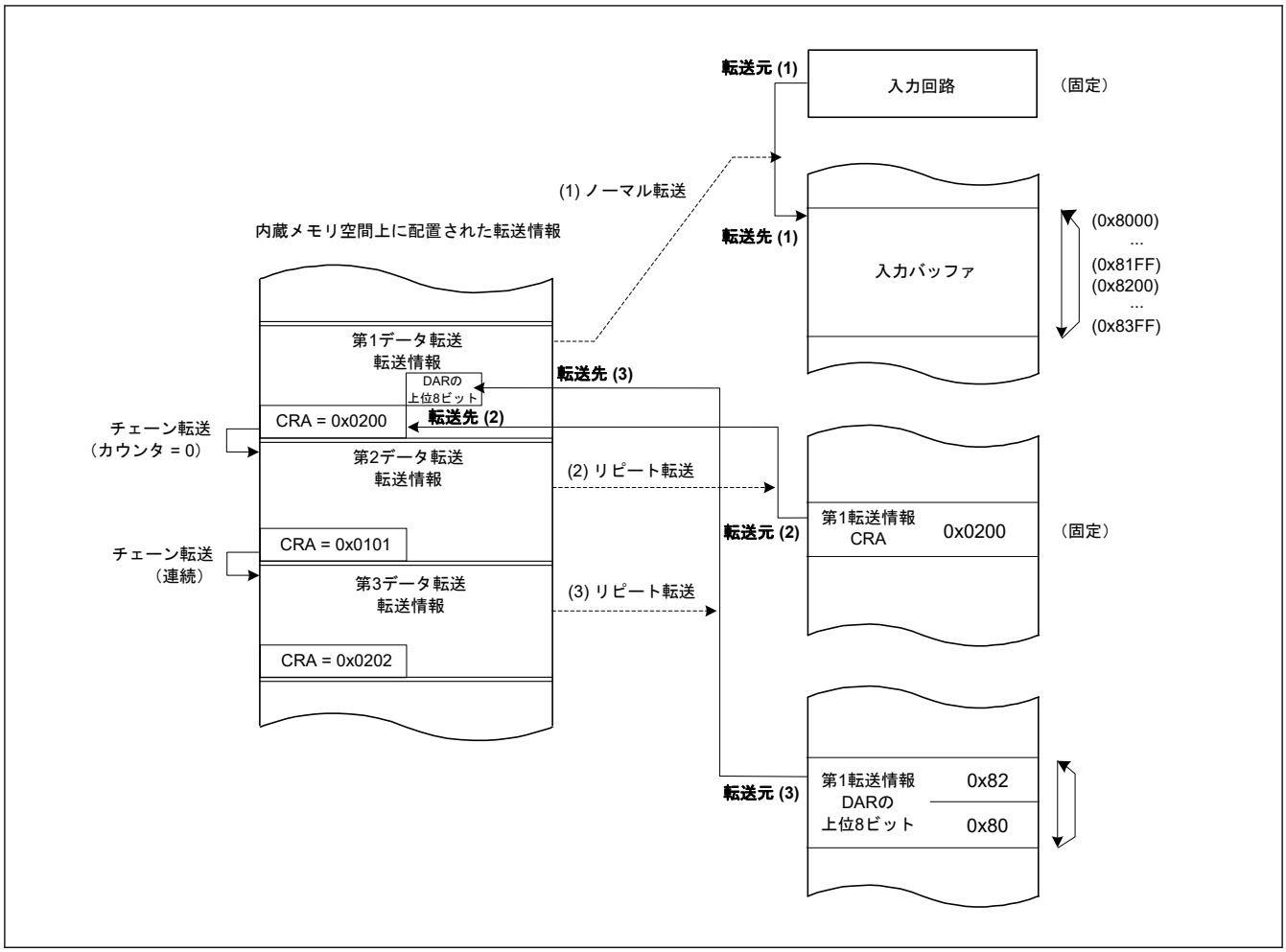


図 16.13　転送カウンタ = 0 のときのチェーン転送

16.7　DTC 転送エラーにおける処理

DTC 転送中にアクセスエラーが発生すると、DTC は即座にアクセスを停止します。エラーを引き起こしたベクタ番号のみを停止させるために、ICU にエラーを引き起こしたベクタ番号を伝え、対応する ICU の設定をクリアしてください。その後、エラーを引き起こしたベクタ番号以外の要求があれば、そのまま再調停となります。DTC の TrustZone フィルタが違反を検出するときに、転送エラー発生状況が示されます。

転送エラーが発生すると、エラー応答が ICU に伝わります。ICU は、転送エラーを引き起こした対応するベクタ番号の ICU.IELSRn をクリアします。さらに、DMAC/DTC 転送によるエラーの発生を通知するために、ICU はエラー応答検出割り込みを発生させます（「16.8.2. 転送エラーの割り込み要求」）。SRAM への書き込みは実行されません。

マスタ TrustZone フィルタエラー、スレーブ TrustZone エラー、またはマスタ MPU エラーが発生したとき、NMI を選択することで DTC のエラー情報を確認できます。リセットを選択すると、DTC エラーベクタレジスタはクリアされます。DTC の転送エラーによって NMI が生成する条件では、2 つの割り込み（NMI と DMA_TRANSERR）を生成します。この場合、NMI は常に最初に応答します。

エラー応答検出割り込み要求 (DMA_TRANSERR) は、スレーブバスエラーまたは不正アクセスエラーが起こる場合に発生します。さらに、それはエラー応答検出割り込み要求 (DMA_TRANSERR) が NMI ハンドラでクリアされない場合の NMI 発生後に起こります。

「16.7.1. NMI ハンドラにおける処理」 に NMI ハンドラでの DTC のエラー情報を確認する方法を示します。
「16.7.2. エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラにおける処理」 に DMA_TRANSERR ハンドラでの DTC のエラー情報を確認する方法を示します。

「16.8.2. 転送エラーの割り込み要求」に転送エラー起因で発生した割り込みとエラー情報を示します。

16.7.1 NMI ハンドラにおける処理

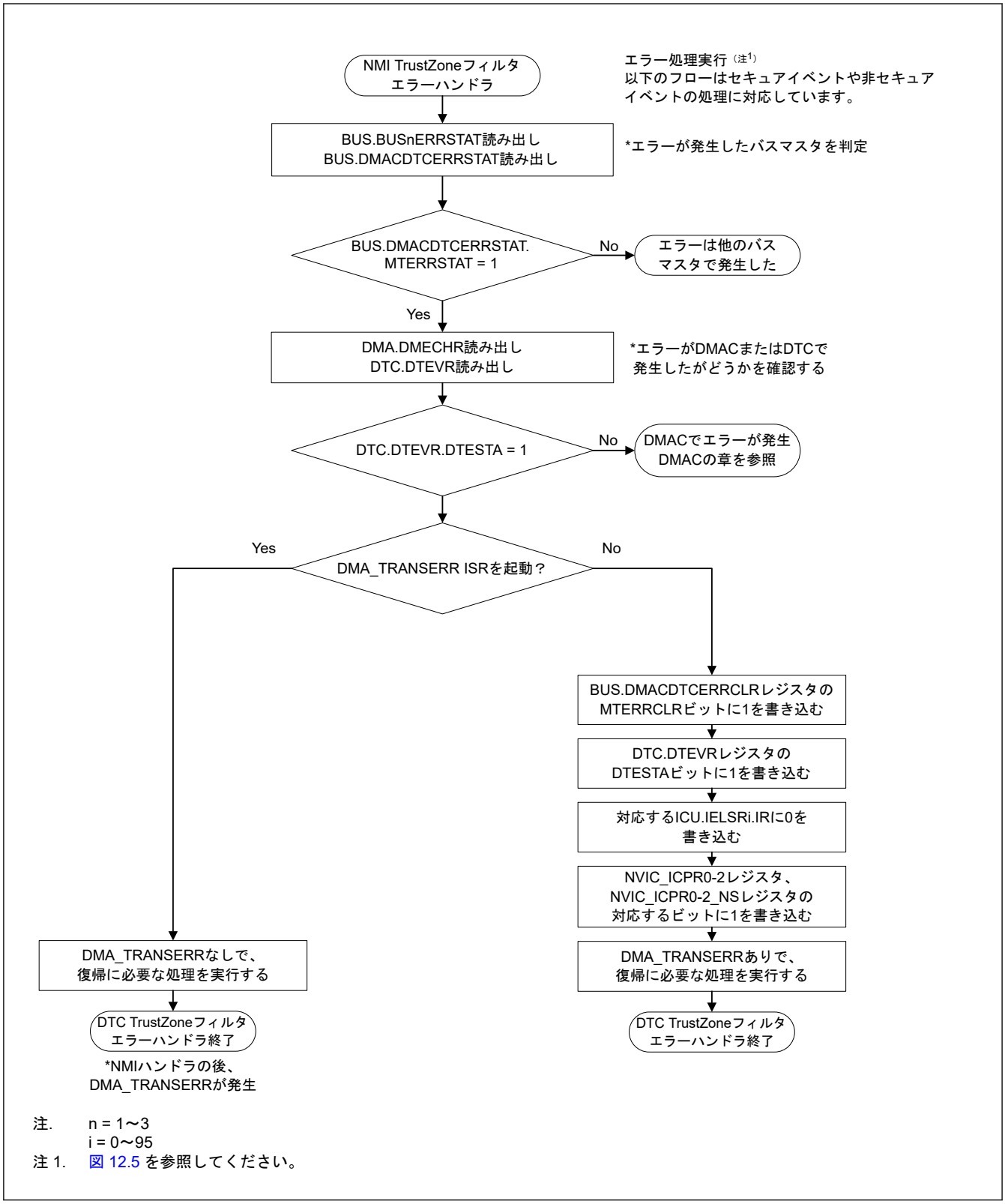
DMA 転送エラーに起因する NMI の原因は、マスタ TrustZone フィルタエラー、スレーブ TrustZone フィルタエラー、またはマスタ MPU エラーです。NMI が DTC 転送エラーに起因して発生するとき、NMI ハンドラの終了後にエラー応答検出割り込み要求 (DMA_TRANSERR) が発生します。エラーの原因と、エラーの発生した DTC ベクタ番号を確認できます。NMI が発生したときは、「12. 割り込みコントローラユニット (ICU)」で説明するフローに従って必要な処理を実行してください。

図 16.14 に DTC でマスタ TrustZone フィルタエラーが発生したベクタ番号を確認するためのフローを示します。

図 16.15 に DTC でスレーブ TrustZone フィルタエラーが発生したベクタ番号を確認するためのフローを示します。

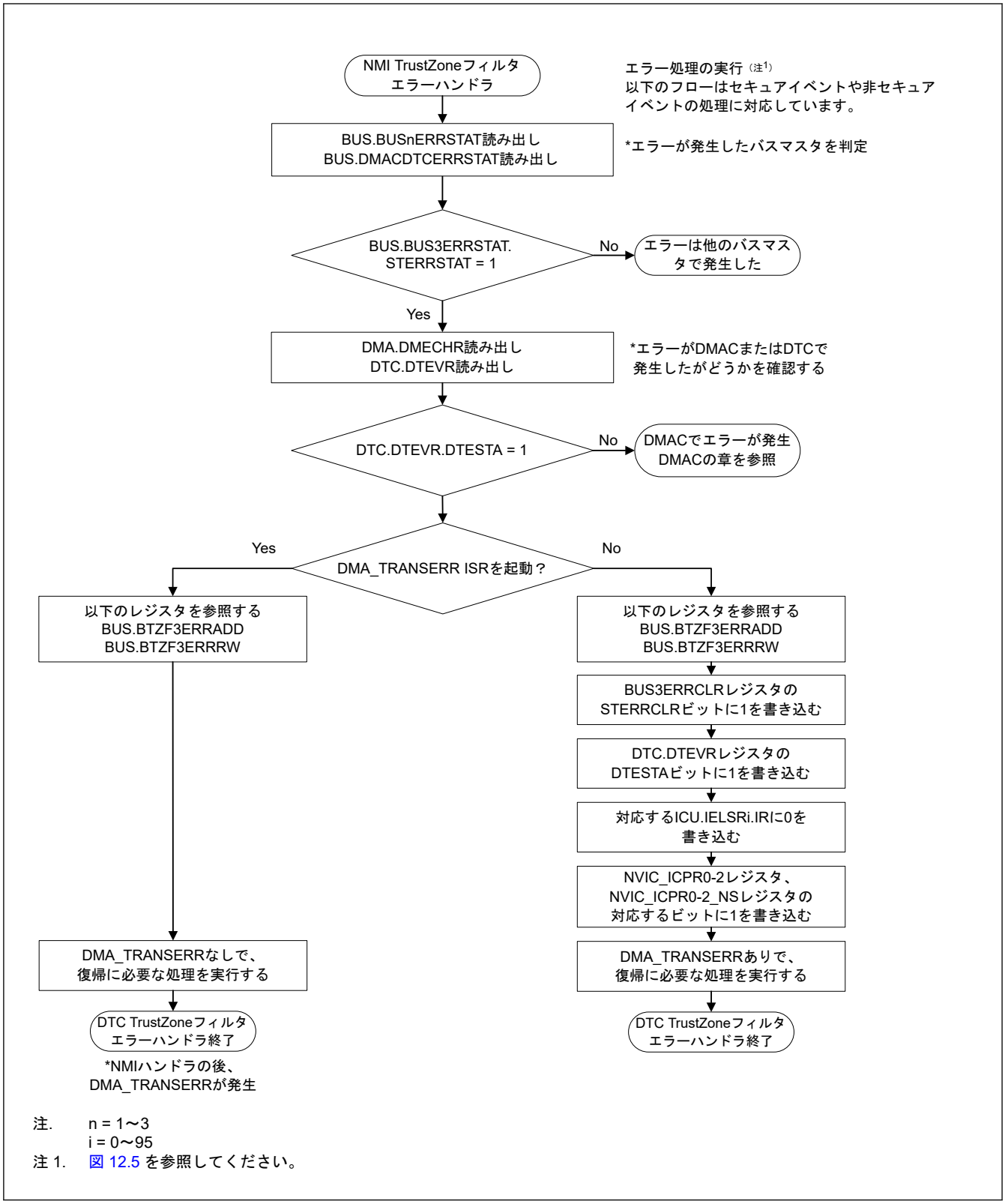
図 16.16 に DTC でマスタ MPU エラーが発生したベクタ番号とセキュリティ属性を確認するためのフローを示します。

NMI ハンドラでのすべての処理が終了すると、その後に発生するエラー応答検出割り込み要求 (DMA_TRANSERR) をクリアすることが可能です。



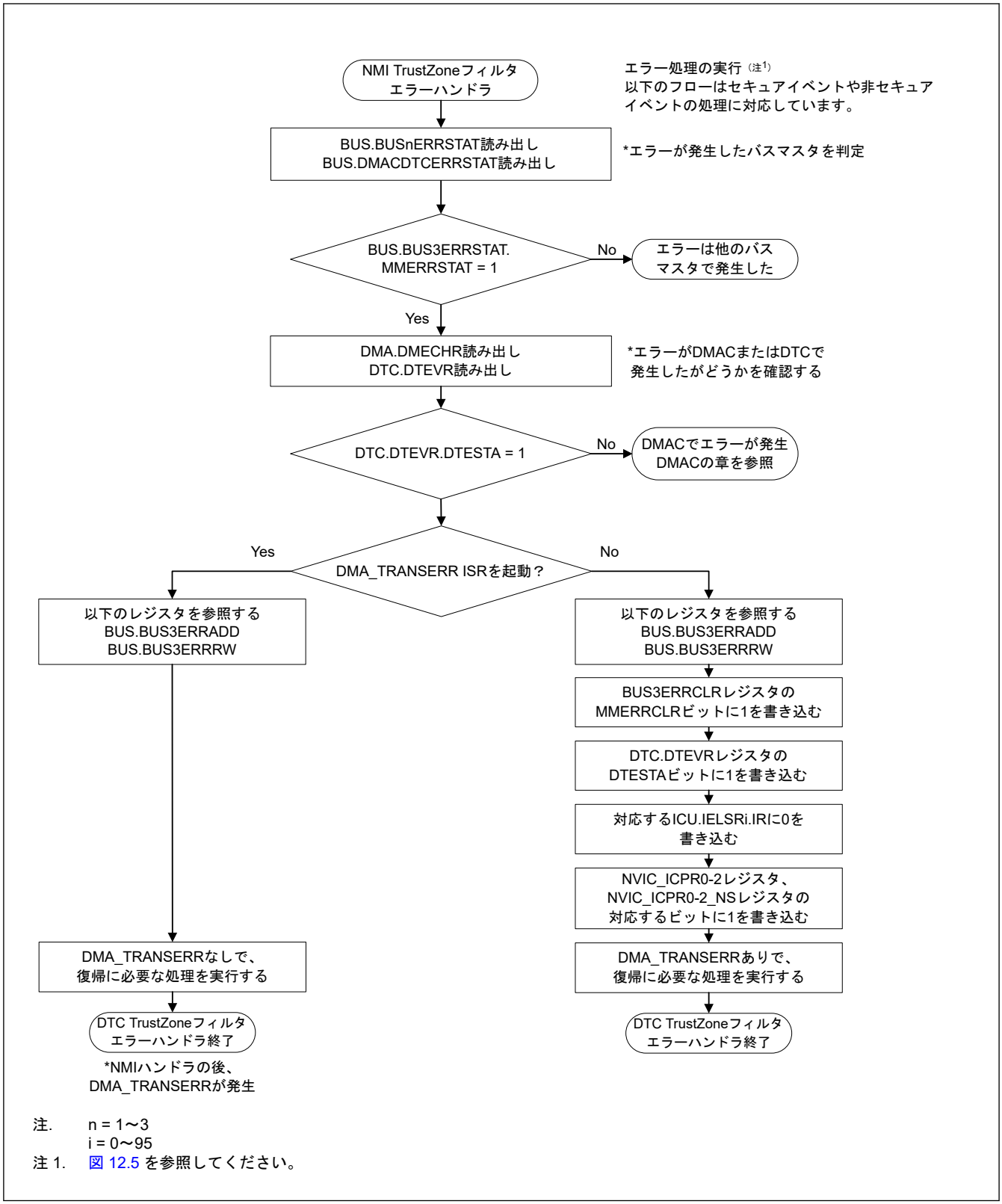
注. n = 1～3
i = 0～95
注 1. 図 12.5 を参照してください。

図 16.14 マスタ TrustZone フィルタエラーの NMI ハンドラにおける処理



注. n = 1～3
i = 0～95
注 1. 図 12.5 を参照してください。

図 16.15 スレーブ TrustZone フィルタエラーの NMI ハンドラにおける処理



注. n = 1～3
i = 0～95

注 1. 図 12.5 を参照してください。

図 16.16 マスタ MPU エラーによる NMI ハンドラでの処理

16.7.2 エラー応答検出割り込み要求 (DMA_TRANSERR) ハンドラにおける処理

DMA 転送エラーに起因するエラー応答検出割り込み要求 (DMA_TRANSERR) の原因は、スレーブバスエラー、または不正アクセスエラーです。またこのエラーは、NMI ハンドラエラー応答検出割り込み要求 (DMA_TRANSERR) が NMI ハンドラによりクリアされなかった際にも発生します。

エラーの原因とエラーが発生した DTC ベクタ番号を確認することが可能です。

図 16.17 にエラー原因確認手順を示します。

図 16.18 に DTC でマスタ TrustZone フィルタエラーが発生したベクタ番号を確認するためのフローを示します。

図 16.19 に DTC でスレーブ TrustZone フィルタエラーが発生したベクタ番号を確認するためのフローを示します。

図 16.20 に DTC でマスタ MPU エラーが発生したベクタ番号とセキュリティ属性を確認するためのフローを示します。

図 16.21 に DTC のスレーブバスエラーが発生したベクタ番号とセキュリティ属性を確認するためのフローを示します。

図 16.22 に DTC の不正アクセスエラーが発生したベクタ番号とセキュリティ属性を確認するためのフローを示します。

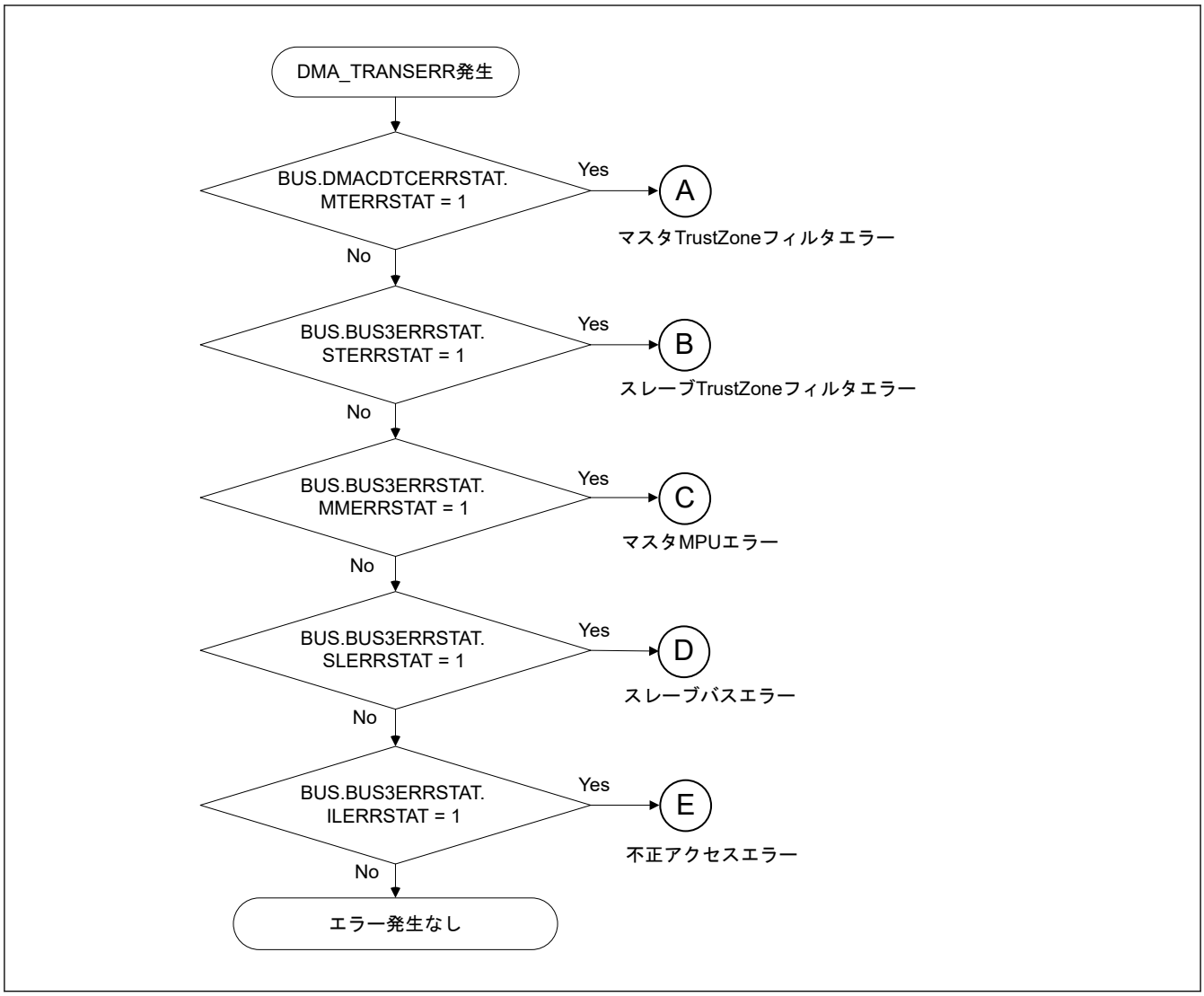
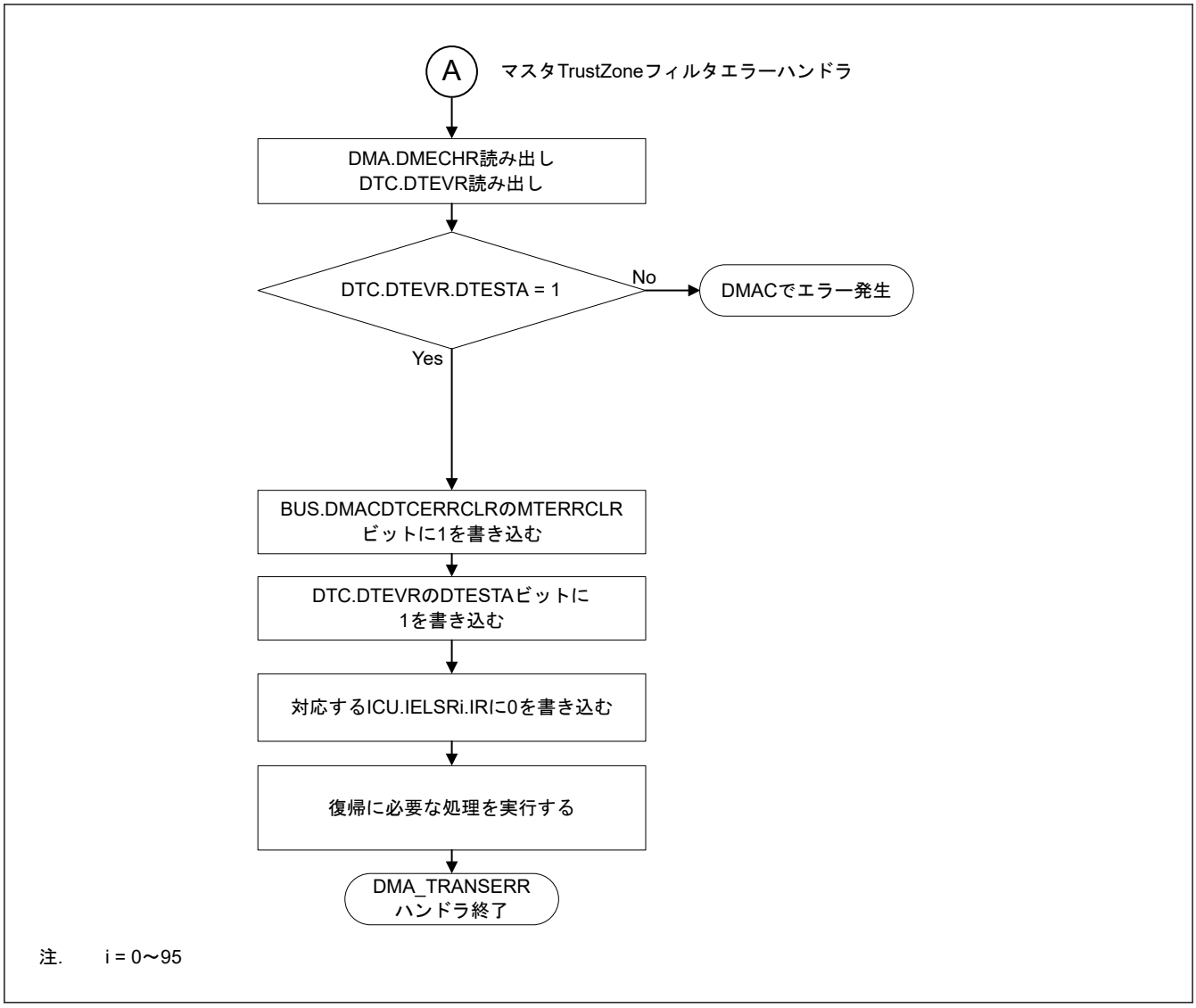
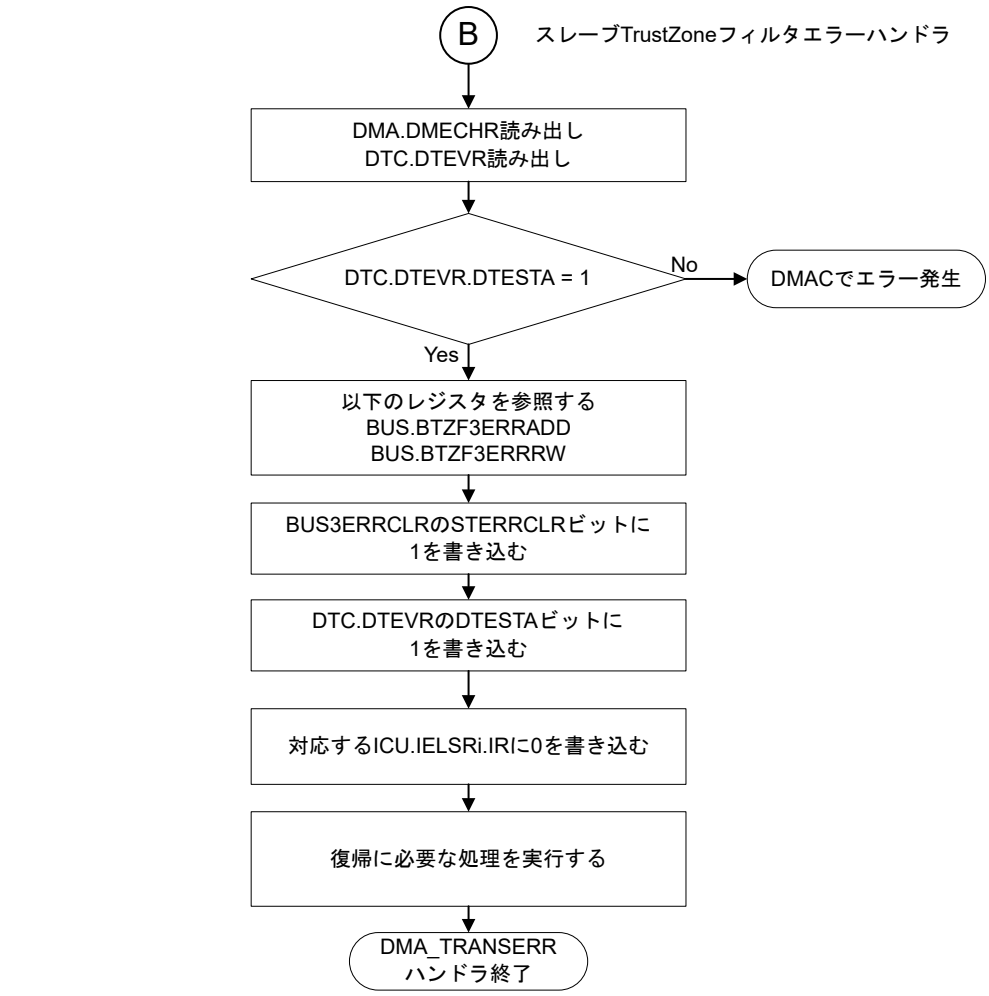


図 16.17　エラー応答検出割り込み (DMA_TRANSERR) 発生時の転送エラー要因判定



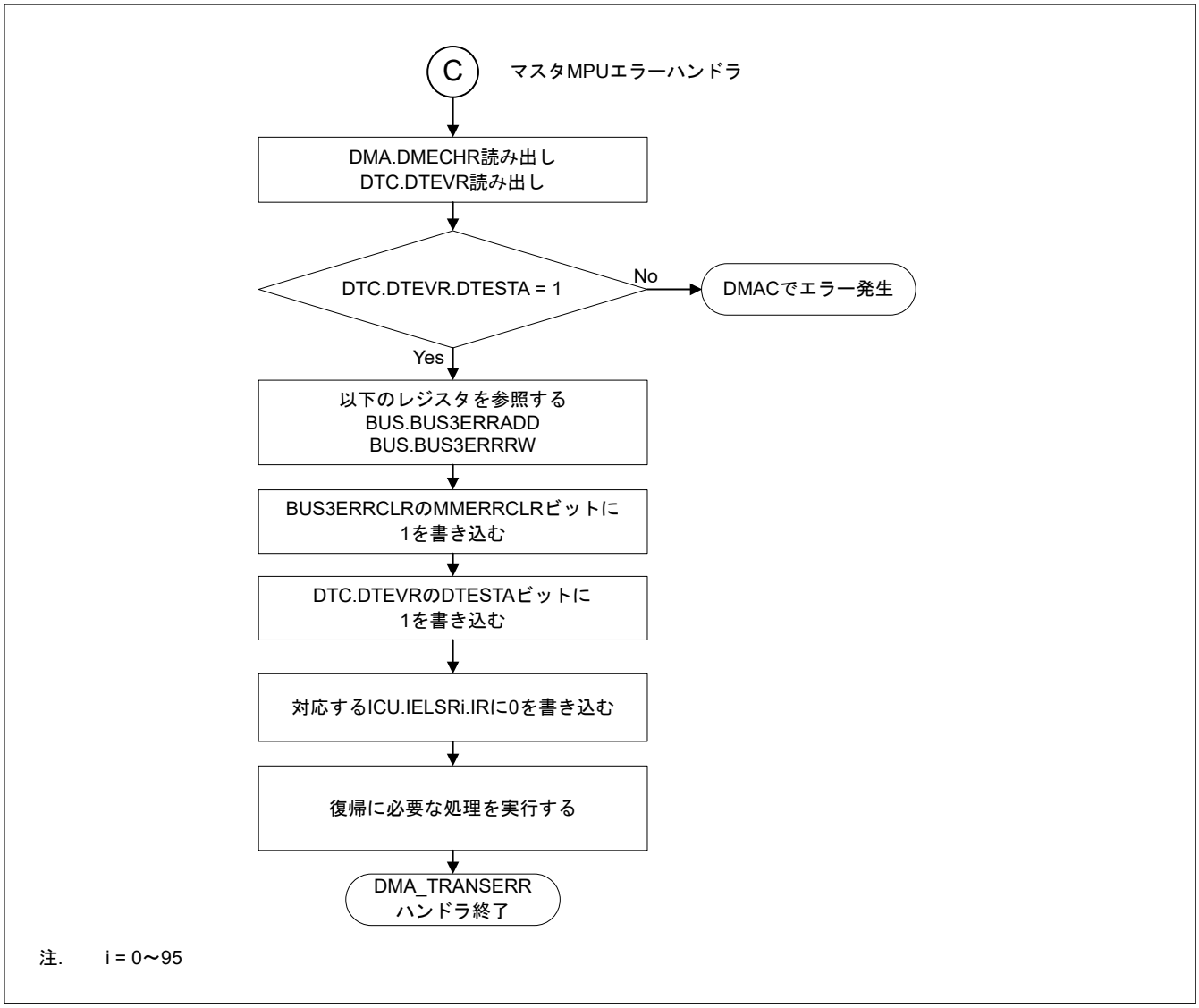
注. i = 0～95

図 16.18 マスタ TrustZone フィルタエラーの DMA_TRANSERR ハンドラにおける処理



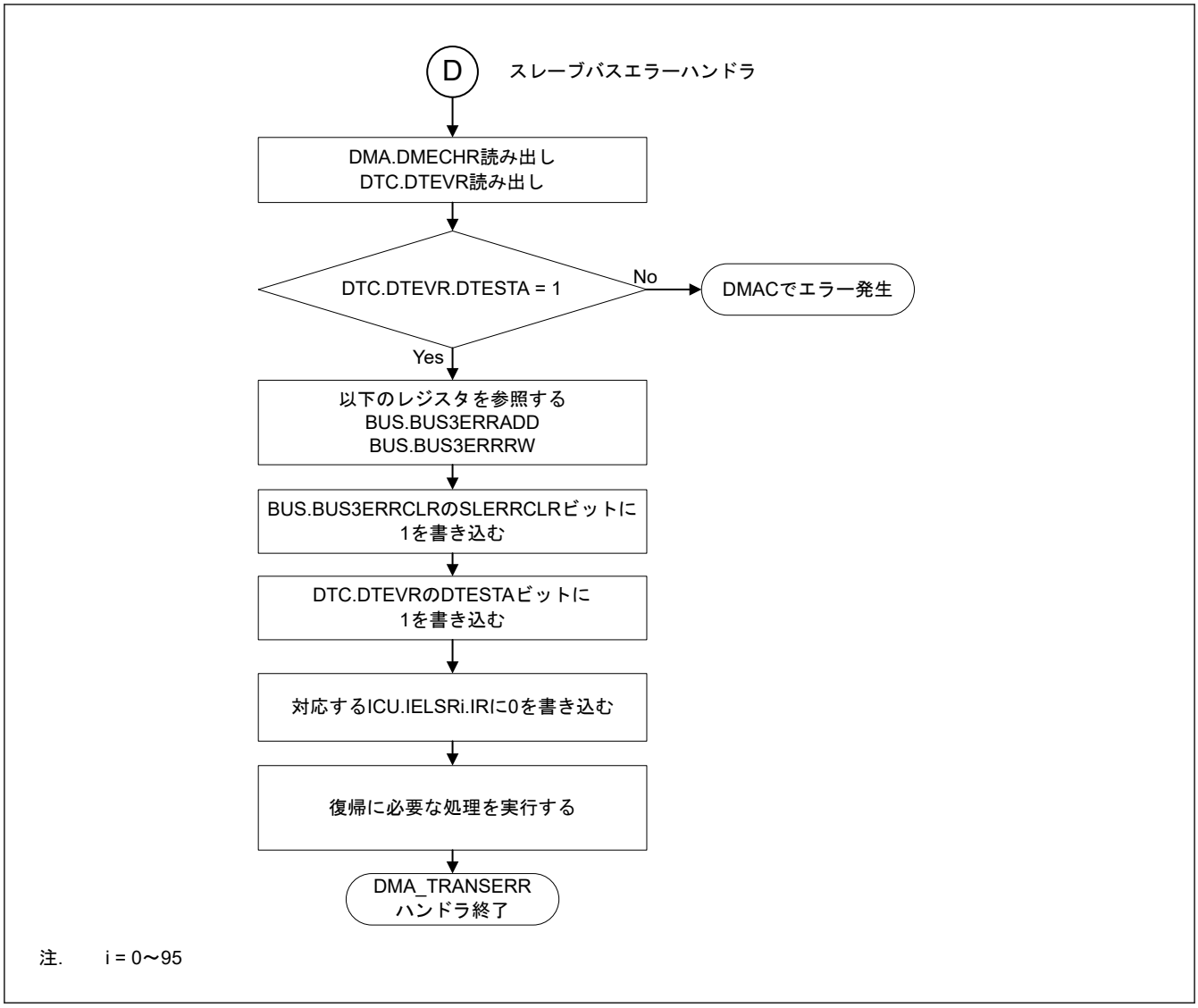
注. i = 0～95

図 16.19 スレーブ TrustZone フィルタエラーの DMA_TRANSERR ハンドラにおける処理



注. i = 0～95

図 16.20 マスタ MPU エラーの DMA_TRANSERR ハンドラにおける処理



注. i = 0～95

図 16.21 スレーブバスエラーの DMA_TRANSERR ハンドラにおける処理

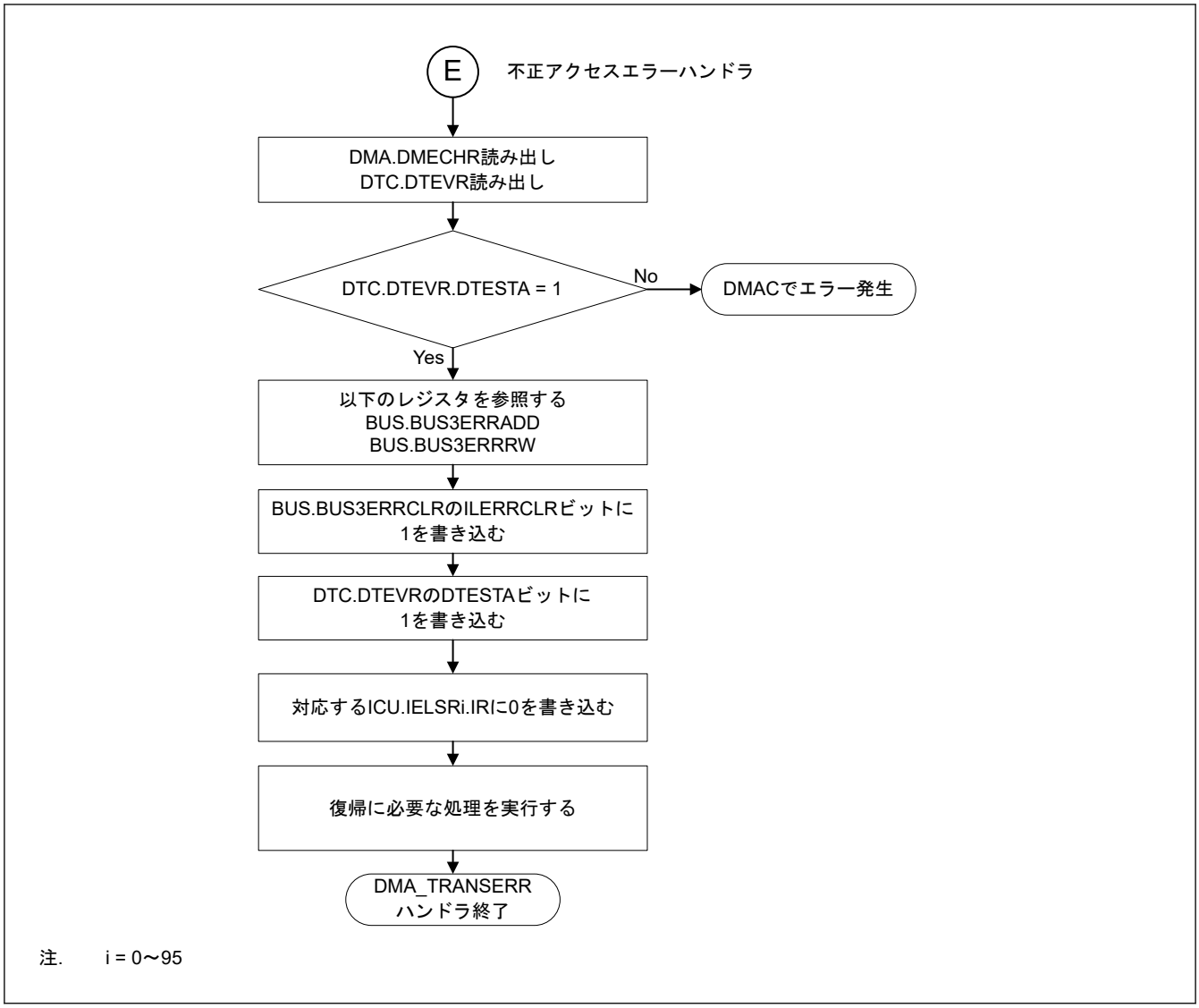


図 16.22 不正アクセスエラーの DMA_TRANSERR ハンドラにおける処理

16.8 割り込み

16.8.1 転送終了割り込み要求

DTC が指定された回数のデータ転送を完了したとき、または MRB.DISEL ビットが 1 の状態でデータ転送が完了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。DTC の起動に起因する割り込み（チャネルごと）とイベント信号 DTC_COMPLETE に起因する割り込み（全チャネル共通）の 2 種類の割り込みが使用可能です。CPU に対する割り込みは、NVIC および ICU.IELSRn.IELS[8:0]ビットの設定に従って制御されます。「12. 割り込みコントローラユニット (ICU)」を参照してください。DTC により決定される起動要因の優先順位は、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

16.8.2 転送エラーの割り込み要求

DTC 転送中に転送エラーが検出されると、エラー応答検出割り込み要求 (DMA_TRANSERR) が DMAC または DTC から発生します。表 16.10 に DTC 転送エラー発生時の割り込みの種類を示します。表 16.10 には転送エラー発生時に格納されるエラー情報も示されています。

表 16.10 DTC 転送エラーに起因する割り込みとエラー情報

転送エラー要因	NMI/RESET(注1)要求	割り込み要求	バスエラー状態	エラーアドレス エラー R/W	エラーチャネル情報
DMAC/DTC のマスタ TrustZone フィルタ	ICU.NMISR.TZFST (注1)	DMA_TRANSERR	BUS.DMACDTCERRSTAT.MTERRSTAT (注1)	—	DTC.DTEVR
スレーブ TrustZone フィルタ	ICU.NMISR.TZFST (注1)	DMA_TRANSERR	BUS.BUS3ERRSTAT.STERRSTAT(注1)	BUS.BTZF3ERRADD BUS.BTZF3ERRRW	DTC.DTEVR
マスタ MPU	ICU.NMISR.BUSMST	DMA_TRANSERR	BUS.BUS3ERRSTAT.MMERRSTAT	BUS.BUS3ERRADD BUS.BUS3ERRRW	DTC.DTEVR
スレーブバスエラー	—(注2)	DMA_TRANSERR	BUS.BUS3ERRSTAT.SLERRSTAT(注2)	BUS.BUS3ERRADD BUS.BUS3ERRRW	DTC.DTEVR
不正アクセスエラー	—(注2)	DMA_TRANSERR	BUS.BUS3ERRSTAT.ILERRSTAT(注2)	BUS.BUS3ERRADD BUS.BUS3ERRRW	DTC.DTEVR

注 1. ノンマスカブル割り込み (NMI) 要求がマスタ MPU エラーと TrustZone フィルタエラーの検出後の動作として選択した場合に、割り込みが発生します BUS.BUS3ERRSTAT ビットと BUS.DMACDTCERRSTAT ビットを確認することにより、マスタかスレーブかを判定します。

注 2. エラー応答検出割り込み (DMA_TRANSERR) が発生し、かつマスタ MPU の NMI または TrustZone フィルタの NMI が発生しない場合、不正アドレスアクセスエラーまたはスレーブバスエラーとして扱ってください。それは BUS.BUS3ERRSTAT ビットと BUS.DMACDTCERRSTAT ビットによっても判定可能です。

転送の最終データを書き込む際にバスエラーが発生すると、転送終了イベントとエラー応答検出割り込み (DMA_TRANSERR) が発生することに注意してください。

16.9 イベントリンク

1 転送要求分の転送完了時に、DTC はイベントリンク要求を出力できます。

16.10 低消費電力機能

モジュールストップ状態、スヌーズモードへの遷移を伴わないソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードへ遷移する際は、事前に DTCST.DTCST ビットを 0 にしてください。その後、本節に示す動作を実行してください。SYSTEM.SNZCR.SNZDTCEN ビットを 1 にすると、DTC はスヌーズモードでも利用可能です。「10. 低消費電力モード」を参照してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書き込むと、DTC 転送が動作中の場合は DTC 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。MSTPCRA.MSTPA22 ビットに 0 を書き込むと、DTC のモジュールストップ状態が解除されます。

(2) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

「10.7.1. ソフトウェアスタンバイモードへの遷移」、または「10.9.1. ディープソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移します。

(3) スヌーズモード

ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。「10.8.1. スヌーズモードへの遷移」を参照してください。スヌーズモード時の DTC の動作は、SYSTEM.SNZCR.SNZDTCEN ビットで選択できます。スヌーズモード時に DTC 動作を許可にする場合、ソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 1 にしてください。DTC によってソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR0.DTCZRED ビットまたは SYSTEM.SNZEDCR0.DTCNZRED ビットを 1 にしてください。「10.8.3. スヌーズモードからソフトウェアスタンバイモードへの復帰」を参照してください。SYSTEM.SNZEDCR0.DTCZRED ビットは、最後の DTC 送信完了（CRA レジスタと CRB レジスタが 0 であることによって検出）時に、スヌーズ終了要求を許可または禁止にします。SYSTEM.SNZEDCR0.DTCNZRED ビットは、最後以外の DTC 送信完了（CRA レジスタと CRB レジスタが

0 以外であることによって検出）時に、スヌーズ終了要求を許可または禁止にします。ソフトウェアスタンバイモード中は ICU からの DTC 起動要求は停止しますが、スヌーズモード中は停止しません。

(4) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定手順については、「10. 低消費電力モード」を参照してください。

スヌーズモードへ遷移しないで低消費電力モードから復帰した後に DTC 転送を行うには、再度 DTCST.DTCST ビットを 1 にしてください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、「12.4.1. 割り込みの検出」に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。スヌーズモード時に DTC 動作を許可にする場合、DTC のモジュールストップ機能を使用しないでください。

16.11 使用上の注意

16.11.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。

17. イベントリンクコントローラ (ELC)

17.1 概要

イベントリンクコントローラ (ELC) は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さずにモジュール間の直接リンクを実現します。

表 17.1 に ELC の仕様を、図 17.1 にブロック図を示します。

表 17.1 ELC の仕様

項目	内容
イベントリンク機能	128 種類のイベント信号を、直接モジュールに接続可能。ELC イベント信号と、DTC 起動用のイベントの発生
モジュールストップ機能	モジュールストップ状態の設定が可能
TrustZone フィルタ	各レジスタに対してセキュリティ属性の設定が可能

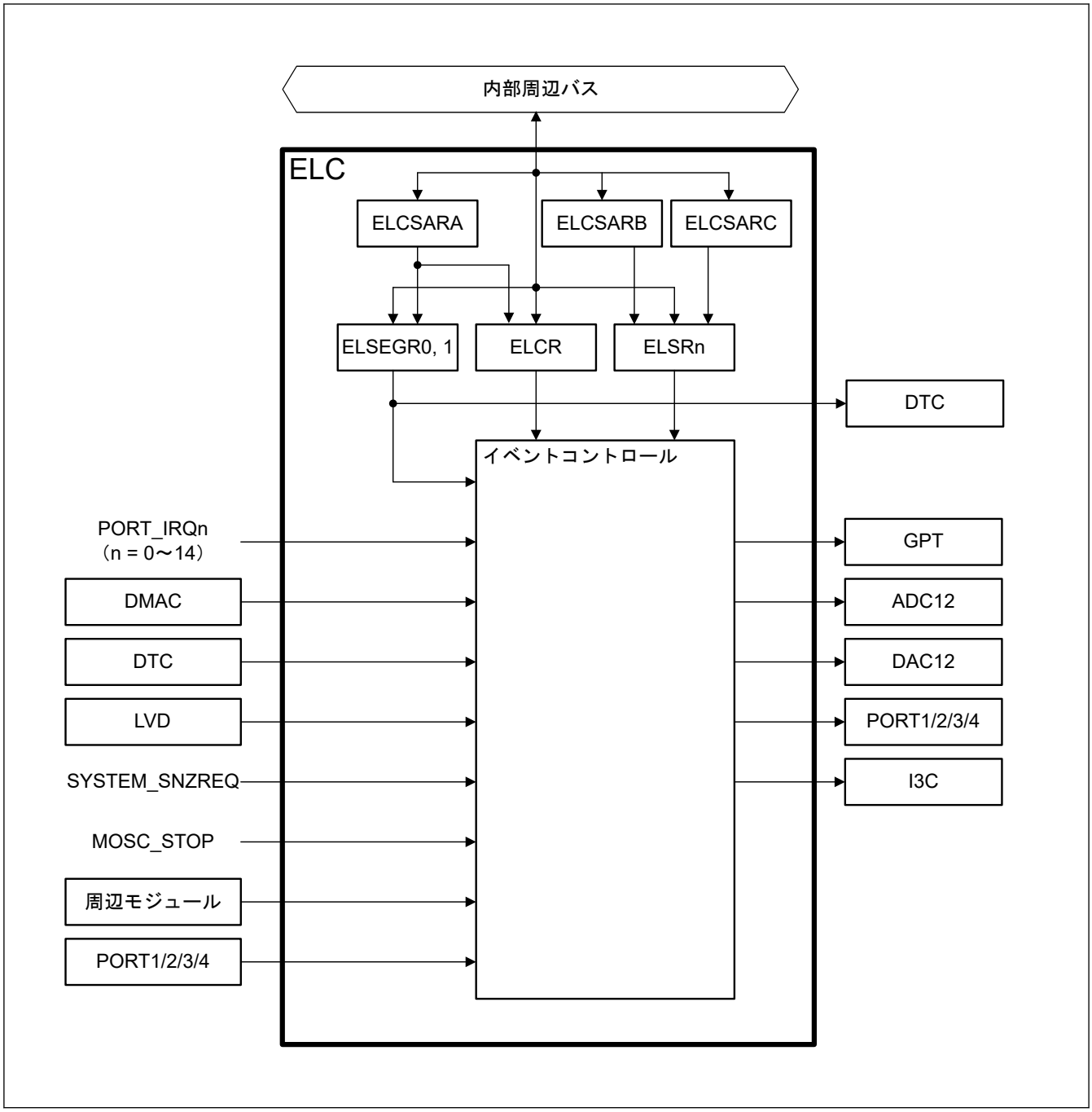


図 17.1　ELC のブロック図

17.2　レジスタの説明

17.2.1　ELCR : イベントリンクコントローラレジスタ

Base address: ELC = 0x4008_2000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ELCON	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ELCON	全イベントリンク有効 0: ELC 機能は無効 1: ELC 機能は有効	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ELCR レジスタは、ELC の動作を制御します。

17.2.2 ELSEGRn : イベントリンクソフトウェアイベント発生レジスタ n (n = 0, 1)

Base address: ELC = 0x4008_2000

Offset address: 0x02 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	WI	WE	—	—	—	—	—	SEG
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SEG	ソフトウェアイベント発生 0: 通常動作 1: ソフトウェアイベント発生	W
5:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	WE	SEG ビット書き込み許可 0: SEG ビットへの書き込み禁止 1: SEG ビットへの書き込み許可	R/W
7	WI	ELSEGR レジスタ書き込み禁止 0: ELSEGR レジスタへの書き込み許可 1: ELSEGR レジスタへの書き込み禁止	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

SEG ビット（ソフトウェアイベント発生）

WE ビットが 1 の状態で、SEG ビットに 1 を書くとソフトウェアイベントが発生します。読むと 0 が読めます。1 を書いてもデータは格納されません。WE ビットを 1 にしてから、本ビットを書く必要があります。

ソフトウェアイベントは、DTC に対してイベントリンクをトリガすることができます。

WE ビット（SEG ビット書き込み許可）

WE ビットが 1 の場合にのみ、SEG ビットへの書き込みが可能になります。WI ビットを 0 にクリアしてから、本ビットを書く必要があります。

[1 になる条件]

- WI ビットが 0 の状態で、1 を書いたとき

[0 になる条件]

- WI ビットが 0 の状態で、0 を書いたとき

WI ビット（ELSEGR レジスタ書き込み禁止）

WI ビットへの書き込み値が 0 の場合にのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと 1 が読めます。WI ビットを 0 にしてから、WE または SEG ビットを設定する必要があります。

17.2.3 ELSRn : イベントリンク設定レジスタ n (n = 0〜9, 12〜17, 23)

Base address: ELC = 0x4008_2000

Offset address: 0x10 + 0x04 × n

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ELS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	ELS[8:0]	イベントリンク選択 0x000: 対応する周辺モジュールへのイベント出力は禁止 0x001: リンクするイベント信号の番号を設定 ⋮ 0x1EB: リンクするイベント信号の番号を設定 その他: 設定禁止	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定します。表 17.2 に、ELSRn レジスタと周辺モジュールの対応を示します。表 17.3 に、ELSRn レジスタに設定するイベント信号名と信号番号の対応関係を示します。

表 17.2 ELSRn レジスタと周辺機能の対応

レジスタ名	周辺機能（モジュール）	イベント名
ELSR0	GPT (A)	ELC_GPTA
ELSR1	GPT (B)	ELC_GPTB
ELSR2	GPT (C)	ELC_GPTC
ELSR3	GPT (D)	ELC_GPTD
ELSR4	GPT (E)	ELC_GPTE
ELSR5	GPT (F)	ELC_GPTF
ELSR6	GPT (G)	ELC_GPTG
ELSR7	GPT (H)	ELC_GPTH
ELSR8	ADC12A0	ELC_AD00
ELSR9	ADC12B0	ELC_AD01
ELSR12	DAC12 チャネル 0	ELC_DA0
ELSR14	PORT1	ELC_PORT1
ELSR15	PORT2	ELC_PORT2
ELSR16	PORT3	ELC_PORT3
ELSR17	PORT4	ELC_PORT4
ELSR23	I3C	ELC_I3C

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (1/4)

イベント番号	割り込み要求発生元	名称	内容
0x001	ポート	PORT_IRQ0(注1)	外部端子割り込み 0
0x002		PORT_IRQ1(注1)	外部端子割り込み 1
0x003		PORT_IRQ2(注1)	外部端子割り込み 2
0x004		PORT_IRQ3(注1)	外部端子割り込み 3
0x005		PORT_IRQ4(注1)	外部端子割り込み 4
0x006		PORT_IRQ5(注1)	外部端子割り込み 5
0x007		PORT_IRQ6(注1)	外部端子割り込み 6
0x008		PORT_IRQ7(注1)	外部端子割り込み 7
0x009		PORT_IRQ8(注1)	外部端子割り込み 8
0x00A		PORT_IRQ9(注1)	外部端子割り込み 9
0x00B		PORT_IRQ10(注1)	外部端子割り込み 10
0x00C		PORT_IRQ11(注1)	外部端子割り込み 11
0x00D		PORT_IRQ12(注1)	外部端子割り込み 12
0x00E		PORT_IRQ13(注1)	外部端子割り込み 13
0x00F		PORT_IRQ14(注1)	外部端子割り込み 14
0x020	DMAC0	DMAC0_INT	DMAC 転送終了 0
0x021	DMAC1	DMAC1_INT	DMAC 転送終了 1
0x022	DMAC2	DMAC2_INT	DMAC 転送終了 2
0x023	DMAC3	DMAC3_INT	DMAC 転送終了 3
0x024	DMAC4	DMAC4_INT	DMAC 転送終了 4
0x025	DMAC5	DMAC5_INT	DMAC 転送終了 5
0x026	DMAC6	DMAC6_INT	DMAC 転送終了 6
0x027	DMAC7	DMAC7_INT	DMAC 転送終了 7
0x029	DTC	DTC_COMPLETE(注4)	DTC 転送終了
0x038	LVD	LVD_LVD1	電圧監視 1 割り込み
0x039		LVD_LVD2	電圧監視 2 割り込み
0x03B	MOSC	MOSC_STOP	メインクロック発振停止
0x03C	LPW	SYSTEM_SNZREQ(注3)(注4)	スヌーズエントリ
0x040	AGT0	AGT0_AGTI	AGT 割り込み
0x041		AGT0_AGTCMAI	コンペアマッチ A
0x042		AGT0_AGTCMBI	コンペアマッチ B
0x043	AGT1	AGT1_AGTI	AGT 割り込み
0x044		AGT1_AGTCMAI	コンペアマッチ A
0x045		AGT1_AGTCMBI	コンペアマッチ B
0x052	IWDT	IWDT_NMIUNDF	IWDT アンダーフロー
0x053	WDT	WDT_NMIUNDF	WDT アンダーフロー
0x055	RTC	RTC_PRD	周期割り込み

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (2/4)

イベント番号	割り込み要求発生元	名称	内容
0x0B1	PORT	IOPORT_GROUP1	ポート 1 イベント
0x0B2		IOPORT_GROUP2	ポート 2 イベント
0x0B3		IOPORT_GROUP3	ポート 3 イベント
0x0B4		IOPORT_GROUP4	ポート 4 イベント
0x0B5	ELC	ELC_SWEVT0	ソフトウェアイベント 0
0x0B6		ELC_SWEVT1	ソフトウェアイベント 1
0x0C0	GPT0	GPT0_CCMPA	コンペアマッチ A
0x0C1		GPT0_CCMPB	コンペアマッチ B
0x0C2		GPT0_CMPC	コンペアマッチ C
0x0C3		GPT0_CMPD	コンペアマッチ D
0x0C4		GPT0_CMPE	コンペアマッチ E
0x0C5		GPT0_CMPF	コンペアマッチ F
0x0C6		GPT0_OVF	オーバーフロー
0x0C7		GPT0_UDF	アンダーフロー
0x0C8		GPT0_PC	周期計数機能終了
0x0C9		GPT0_ADTRGA	A/D 変換開始要求 A
0x0CA		GPT0_ADTRGB	A/D 変換開始要求 B
0x0CB	GPT1	GPT1_CCMPA	コンペアマッチ A
0x0CC		GPT1_CCMPB	コンペアマッチ B
0x0CD		GPT1_CMPC	コンペアマッチ C
0x0CE		GPT1_CMPD	コンペアマッチ D
0x0CF		GPT1_CMPE	コンペアマッチ E
0x0D0		GPT1_CMPF	コンペアマッチ F
0x0D1		GPT1_OVF	オーバーフロー
0x0D2		GPT1_UDF	アンダーフロー
0x0D3		GPT1_PC	周期計数機能終了
0x0D4		GPT1_ADTRGA	A/D 変換開始要求 A
0x0D5		GPT1_ADTRGB	A/D 変換開始要求 B
0x0EC	GPT4	GPT4_CCMPA	コンペアマッチ A
0x0ED		GPT4_CCMPB	コンペアマッチ B
0x0EE		GPT4_CMPC	コンペアマッチ C
0x0EF		GPT4_CMPD	コンペアマッチ D
0x0F0		GPT4_CMPE	コンペアマッチ E
0x0F1		GPT4_CMPF	コンペアマッチ F
0x0F2		GPT4_OVF	オーバーフロー
0x0F3		GPT4_UDF	アンダーフロー
0x0F4		GPT4_PC	周期計数機能終了
0x0F5		GPT4_ADTRGA	A/D 変換開始要求 A
0x0F6		GPT4_ADTRGB	A/D 変換開始要求 B

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (3/4)

イベント番号	割り込み要求発生元	名称	内容
0x0F7	GPT5	GPT5_CCMPA	コンペアマッチ A
0x0F8		GPT5_CCMPB	コンペアマッチ B
0x0F9		GPT5_CMPC	コンペアマッチ C
0x0FA		GPT5_CMPD	コンペアマッチ D
0x0FB		GPT5_CMPE	コンペアマッチ E
0x0FC		GPT5_CMPF	コンペアマッチ F
0x0FD		GPT5_OVF	オーバーフロー
0x0FE		GPT5_UDF	アンダーフロー
0x0FF		GPT5_PC	周期計数機能終了
0x100		GPT5_ADTRGA	A/D 変換開始要求 A
0x101		GPT5_ADTRGB	A/D 変換開始要求 B
0x15C	GPT	GPT_UVWEDGE	UVW のエッジイベント
0x160	ADC120	ADC120_ADI	A/D スキャン終了割り込み
0x164		ADC120_WCMPM(注4)	コンペアマッチ
0x165		ADC120_WCMPUM(注4)	コンペア不一致
0x180	SCI0	SCI0_RXI(注2)	受信データフル
0x181		SCI0_TXI(注2)	送信データエンプティ
0x182		SCI0_TEI(注2)	送信終了
0x183		SCI0_ERI	受信エラー
0x184		SCI0_AM	アドレス一致イベント
0x1B6	SCI9	SCI9_RXI(注2)	受信データフル
0x1B7		SCI9_TXI(注2)	送信データエンプティ
0x1B8		SCI9_TEI(注2)	送信終了
0x1B9		SCI9_ERI	受信エラー
0x1BA		SCI9_AM	アドレス一致イベント
0x1C4	SPI0	SPI0_SPRI	受信バッファフル
0x1C5		SPI0_SPTI	送信バッファエンプティ
0x1C6		SPI0_SPII	アイドル
0x1C7		SPI0_SPEI	エラー
0x1C8		SPI0_SPCEND	通信完了イベント
0x1C9	SPI1	SPI1_SPRI	受信バッファフル
0x1CA		SPI1_SPTI	送信バッファエンプティ
0x1CB		SPI1_SPII	アイドル
0x1CC		SPI1_SPEI	エラー
0x1CD		SPI1_SPCEND	通信完了イベント
0x1DB	DOC	DOC_DOPCI(注4)	データ演算回路割り込み

表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (4/4)

イベント番号	割り込み要求発生元	名称	内容
0x1DC	I3C	I3C_RESP	応答バッファフル
0x1DD		I3C_CMD	コマンドバッファエンプティ
0x1DE		I3C_IBI	IBI ステータスバッファフル
0x1DF		I3C_RX	Rx データバッファフル
0x1E0		I3C_TX	Tx データバッファエンプティ
0x1E1		I3C_RCV	受信ステータスバッファフル
0x1E2		I3C_HRESP	優先応答バッファフル
0x1E3		I3C_HCMD	優先コマンドバッファエンプティ
0x1E4		I3C_HRX	優先 Rx データバッファフル
0x1E5		I3C_HTX	優先 Tx データバッファエンプティ
0x1E6		I3C_TEND	優先送信終了
0x1E7		I3C_EEI	通信エラーまたはイベント発生
0x1E8		I3C_STEV	同期タイミング
0x1E9		I3C_MREFOVF	MREF カウンタオーバーフロー
0x1EA		I3C_MREFCPT	MREF キャプチャ
0x1EB		I3C_AMEV	追加マスタによるバスイベント

注 1. パルス（エッジ検出）のみがサポートされています。
注 2. このイベントは FIFO モードではサポートされていません。
注 3. ELSR8、ELSR9、ELSR14～ELSR16、および ELSR17 が、このイベントを選択できます。
注 4. このイベントはスヌーズモードでも発生可能です。

17.2.4 ELCSARA : イベントリンクコントローラセキュリティ属性レジスタ A

Base address: ELC = 0x4008_2000

Offset address: 0x74

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	ELSEGR1	ELSEGR0	ELCR
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	ELCR	イベントリンクコントローラレジスタセキュリティ属性 対象レジスタ：ELCR 0: セキュア 1: 非セキュア	R/W
1	ELSEGR0	イベントリンクソフトウェアイベント発生レジスタ 0 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	ELSEGR1	イベントリンクソフトウェアイベント発生レジスタ 1 セキュリティ属性 0: セキュア 1: 非セキュア	R/W
15:3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。

ELCR レジスタは、ELC の動作を制御するレジスタです。

17.2.5 ELCSARB : イベントリンクコントローラセキュリティ属性レジスタ B

Base address: ELC = 0x4008_2000

Offset address: 0x78

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ELSR[15:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	ELSR[15:0]	イベントリンク設定レジスタ n セキュリティ属性 対象レジスタ: ELSRn (n = 0～15) 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

本レジスタは、ELSRn (n = 0～15) レジスタのセキュリティ属性を指定します。

17.2.6 ELCSARC : イベントリンクコントローラセキュリティ属性レジスタ C

Base address: ELC = 0x4008_2000

Offset address: 0x7C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	ELSR[23:16]							
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	ELSR[23:16]	イベントリンク設定レジスタ n セキュリティ属性 (n = 16～23) 対象レジスタ: ELSRn (n = 16～23) 0: セキュア 1: 非セキュア	R/W
15:8	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

このレジスタは、ELSRn（n = 16～23）レジスタのセキュリティ属性を指定します。

17.3 動作説明

17.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生方法については、各イベント出力元モジュールの章を参照してください。

17.3.2 イベントのリンク

イベントリンク設定レジスタ (ELSRn) に設定しておいたイベントが発生すると、対応するモジュールが起動します。起動するモジュールの動作設定は、前もって完了しておく必要があります。表 17.4 に、イベントが発生したときのモジュール別動作一覧を示します。

表 17.4 イベント発生時のモジュール動作

モジュール	イベント入力時の動作
GPT	• カウント開始 • カウント停止 • カウントクリア • アップカウント • ダウンカウント • インプットキャプチャ
DAC12	D/A 変換開始
I/O ポート	• EORR（リセット）または EOSR（セット）に基づく端子出力の変化 • 端子状態を EIDR にラッチ • ELC で使用可能なポート ポート 1 ポート 2 ポート 3 ポート 4
I3C	動作開始
ADC12	A/D 変換開始
DTC	DTC データ転送開始

17.3.3 イベントリンクの手順例

イベントリンクの手順は以下の通りです。

1. イベントをリンクするモジュールの動作を設定してください。
2. イベントをリンクするモジュールに対して、ELSRn.ELS[8:0]ビットを設定してください。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にしてください。
4. イベント出力元モジュールの設定を行い、モジュールを起動させてください。これにより、2 つのモジュール間のリンクがアクティブになります。
5. モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS[8:0]ビットを 0 にします。全イベントのリンク動作を停止させるためには、ELCR.ELCON ビットを 0 にします。

RTC のイベントリンク出力機能を使用する場合は、RTC の設定（初期化、時刻設定など）を行った後、ELC を設定してください。ELC 設定後に RTC の設定を行うと、意図しないイベントが出力することがあります。

LVD のイベントリンク出力機能を使用する場合は、LVD の設定を行った後、ELC を設定してください。LVD を無効にするには、対応する ELSRn レジスタを 0x00 にしてから実施してください。

17.4 使用上の注意事項

17.4.1 DMAC/DTC 転送終了のイベントリンクを使用する場合

DMAC/DTC 転送終了のイベントリンクを使用する場合、DMAC/DTC 転送先とイベントのリンク先を同一周辺モジュールに設定しないでください。設定すると周辺モジュールへの DMAC/DTC 転送が完了する前に、周辺モジュールが起動する可能性があります。

17.4.2 クロックの設定について

イベントリンクを使用するには、ELC と対象モジュールが動作可能な状態でなければいけません。対象モジュールがモジュールストップ状態の場合、または、対象モジュールが停止するような低消費電力モード（ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード）の場合、そのモジュールは動作できません。

モジュールによっては、スヌーズモードで動作できるものもあります。詳細については、表 17.3 および「10. 低消費電力モード」を参照してください。

17.4.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) によって、ELC の動作を禁止または許可することが可能です。リセット後の初期状態では、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップコントロールレジスタを用いて ELC の動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。詳細については、 表 17.3 および「10. 低消費電力モード」を参照してください。

17.4.4 ELC 遅延時間

図 17.2 に示すように、モジュール A は ELC を介してモジュール B にアクセスします。モジュール A とモジュール B の間には、ELC モジュールでの遅延時間が存在します。表 17.5 に ELC 遅延時間を示します。

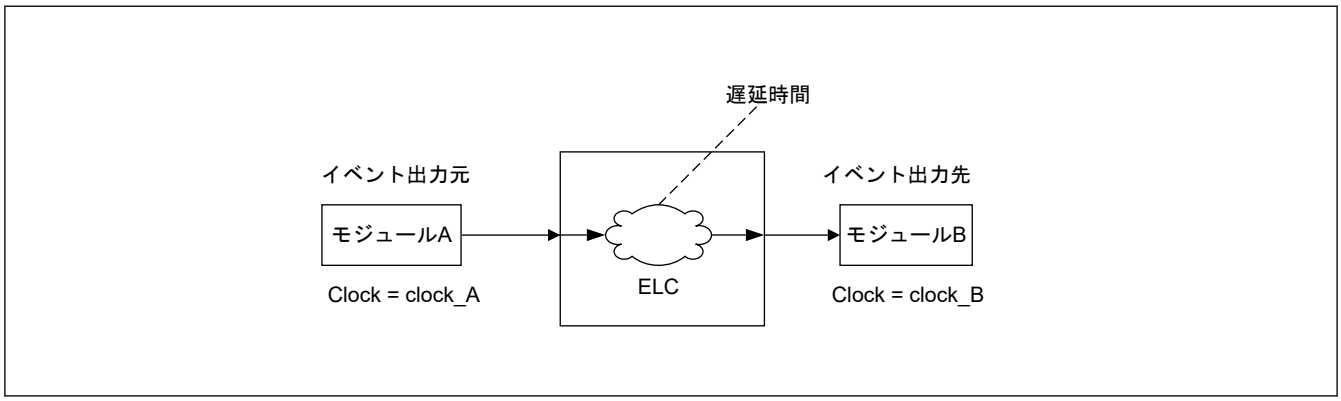


図 17.2 ELC 遅延時間

表 17.5 ELC 遅延時間

クロックドメイン	クロック周波数	ELC 遅延時間
clock_A = clock_B	clock_A = clock_B	0 サイクル
clock_A ≠ clock_B	clock_A = clock_B	1～2 サイクル
	clock_A > clock_B	clock_B 1～2 サイクル
	clock_A < clock_B	clock_A 1～2 サイクル

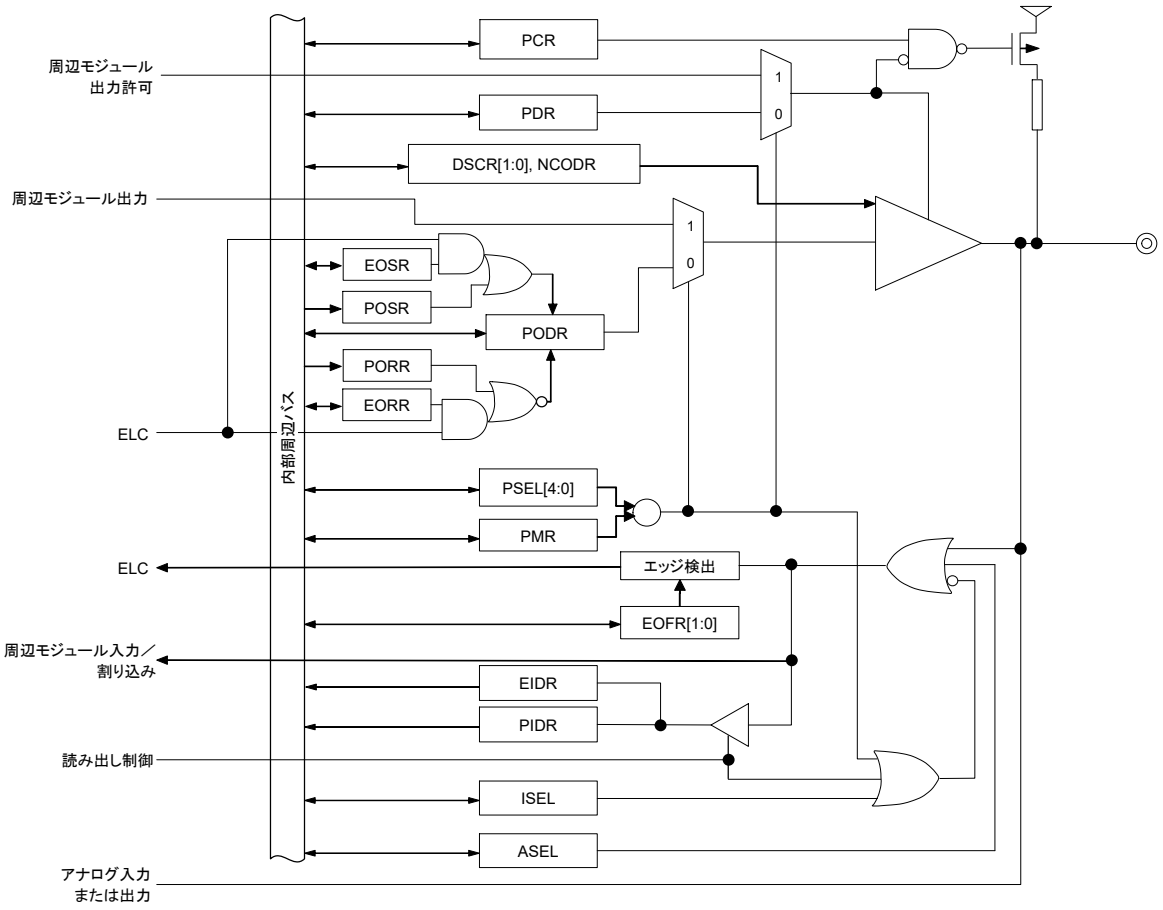
18. I/O ポート

18.1 概要

I/O ポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、ELC のポートグループ機能として動作します。

すべての端子は、リセット直後は入力端子として動作しますが、レジスタの設定によって機能を切り替えることができます。各端子の I/O ポートと周辺モジュールは、関連するレジスタで指定されます。

図 18.1 に I/O ポートレジスタの接続図を示します。パッケージによって、I/O ポートの構成は異なります。表 18.1 にパッケージ別の I/O ポートの仕様を、表 18.2 に I/O ポートの機能を示します。



注. この図はポートの基本構成を示しています。ポートによって構成は異なります。

図 18.1 I/O ポートレジスタの接続図

表 18.1 I/O ポートの仕様 (1/2)

ポート	パッケージ		パッケージ		パッケージ		パッケージ	
	64 ピン	本数	48 ピン	本数	36 ピン	本数	32 ピン	本数
PORT 0	P000～P006, P008, P013～P015	11	P000～P003, P013～P015	7	P000, P001, P003, P014	4	P000～P003, P014	5
PORT 1	P100～P113	14	P100～P104, P108～P112	10	P100～P103, P108～P110	7	P100～P102, P108～P110	6
PORT 2	P200, P201, P205～P208, P212, P213	8	P200, P201, P206, P207, P212, P213	6	P200, 201, P206, 207, P212, P213	6	P200, 201, P206, 207, P212, P213	6

表 18.1 I/O ポートの仕様 (2/2)

ポート	パッケージ		パッケージ		パッケージ		パッケージ	
	64 ピン	本数	48 ピン	本数	36 ピン	本数	32 ピン	本数
PORT3	P300～P304	5	P300～P302	3	P300～P302	3	P300～P302	3
PORT4	P400～P403, P407～P411	9	P402, P403, P407～P409	5	P407, P408	2	P407	1
PORT5	P500	1	P500	1	—	0	—	0
PORT8	P814, P815	2	P814, P815	2	P814, P815	2	—	0

表 18.2 I/O ポートの機能

ポート	ポート名	入力プルアップ	オープンドレイン出力	駆動能力切り替え	5 V トレラント	入出力
PORT0	P000～P003	—	—	—	—	入力
	P004～P006, P008, P013～P015	✓	✓	低	—	入出力
PORT1	P100, P101	✓	✓	低、中、高	✓	入出力
	P102～P113	✓	✓	低、中、高	—	入出力
PORT2	P200	✓	—	—	—	入力
	P201	✓	✓	低	—	入出力
	P207, P208, P212, P213	✓	✓	低、中、高	—	入出力
	P205, P206	✓	✓	低、中、高	✓	入出力
PORT3	P300～P304	✓	✓	低、中、高	—	入出力
PORT4	P400, P401, P407～P411	✓	✓	低、中、高	✓	入出力
	P402～P403	✓	✓	低、中、高	—	入出力
PORT5	P500	✓	✓	低、中、高	—	入出力
PORT8	P814, P815	✓	✓	低、中、高	—	入出力

注. ✓：利用可能
—：設定禁止

18.2 レジスタの説明

18.2.1 PCNTR1/PODR/PDR : ポートコントロールレジスタ 1

Base address: PORTm = 0x4008_0000 + 0x0020 × m (m = 0～5, 8)

Offset address: 0x000 (PCNTR1/PODR)
0x002 (PDR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PODR15	PODR14	PODR13	PODR12	PODR11	PODR10	PODR09	PODR08	PODR07	PODR06	PODR05	PODR04	PODR03	PODR02	PODR01	PODR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	PDR09	PDR08	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	PDR15～PDR00	Pmn 方向 0: 入力（入力端子として機能） 1: 出力（出力端子として機能）	R/W(注1)
31:16	PODR15～PODR00	Pmn 出力データ 0: Low 出力 1: High 出力	R/W(注2)

注. m = 0～5, 8, n = 00～15
注 1. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されます。

注 2. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスが許可されます。
- 非セキュアリード値は 0 になり、TrustZone アクセスエラーは発生しません。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されます。

ポートコントロールレジスタ 1 (PCNTR1/PODR/PDR) は、32 ビットまたは 16 ビットの読み出し／書き込みレジスタで、ポート方向とポート出力データを制御します。PCNTR1 はポート方向とポート出力データを指定し、32 ビット単位でアクセスされます。PDRn（PCNTR1 のビット[15:0]）および PODRn（PCNTR1 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

PDRn ビット（Pmn 方向）

PDRn ビットは、汎用入出力端子として設定されている個々のポート端子の入力／出力方向を選択します。ポート m の各端子はそれぞれ PORTm.PCNTR1.PDRn ビットに対応しています。入出力方向は 1 ビット単位で指定できます。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。入力専用のポートでは、PDRn ビットは予約ビットになります。表 18.2 を参照してください。PORTm.PCNTR1 レジスタの PDRn ビットは、PFS.PmnPFS レジスタの PDR ビットと同じ機能です。

PODRn ビット（Pmn 出力データ）

PODRn ビットは、汎用入出力端子から出力されるデータを格納します。存在しないポート m のビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。入力専用のポートでは、PODRn ビットは予約ビットになります。表 18.2 を参照してください。PORTm.PCNTR1 レジスタの PODRn ビットは、PFS.PmnPFS レジスタの PODR ビットと同じ機能です。

18.2.2 PCNTR2/EIDR/PIDR : ポートコントロールレジスタ 2

Base address: PORTm = 0x4008_0000 + 0x0020 × m (m = 0～5, 8)

Offset address: 0x004 (PCNTR2/EIDR)
0x006 (PIDR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EIDR15	EIDR14	EIDR13	EIDR12	EIDR11	EIDR10	EIDR09	EIDR08	EIDR07	EIDR06	EIDR05	EIDR04	EIDR03	EIDR02	EIDR01	EIDR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PIDR15	PIDR14	PIDR13	PIDR12	PIDR11	PIDR10	PIDR09	PIDR08	PIDR07	PIDR06	PIDR05	PIDR04	PIDR03	PIDR02	PIDR01	PIDR00
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
15:0	PIDR15～PIDR00	Pmn 状態 0: Low レベル 1: High レベル	R

ビット	シンボル	機能	R/W
31:16	EIDR15～ EIDR00(注2)	ポートイベント入力データ(注1) ELC_PORTx 信号の発生時 0: Low 入力 1: High 入力	R

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアリードアクセスが許可されます。
- 非セキュアリード値は 0 になり、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されます。

注. m = 0～5, 8, n = 00～15
注 1. x = 1、2、3 または 4（EIDR のみ）
注 2. ポート 1、2、3 または 4 に対応しています。

ポートコントロールレジスタ 2 (PCNTR2/EIDR/PIDR) は、32 ビットまたは 16 ビット単位での、Pmn 状態およびポートイベント入力データへのリードアクセスを可能にします。

PCNTR2 は Pmn 状態とポートイベント入力データを表し、32 ビット単位でアクセスされます。

PIDRn（PCNTR2 のビット[15:0]）および EIDRn（PCNTR2 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。存在しない端子に対応するビットは予約ビットです。予約ビットは、読むと不定値が読めます。

PIDRn ビット（Pmn 状態）

PIDRn ビットは、PmnPFS.PMR ビットと PORTm.PCNTR1.PDRn ビットの設定値にかかわらず、個々のポートの端子状態を反映します。PORTm.PCNTR2 レジスタの PIDRn ビットは、PFS.PmnPFS レジスタの PIDR ビットと同じ機能です。

次の機能のいずれかが有効の場合、端子状態は PIDRn に反映できません。

- RTC 時間キャプチャ入力 (RTCIC)
- アナログ機能 (ASEL = 1)

EIDRn ビット（ポートイベント入力データ）

EIDRn ビットは、ELC_PORTx 信号の発生時に端子状態をラッチします。PmnPFS.PMR = 0 かつ PORTm.PCNTR1.PDRn = 0 の場合にのみ、EIDRn ビットに端子状態を入力できます。PmnPFS.ASEL ビットを 1 にすると、関連する端子状態は EIDRn に反映されません。

18.2.3 PCNTR3/PORR/POSR : ポートコントロールレジスタ 3

Base address: PORTm = 0x4008_0000 + 0x0020 × m (m = 0～5, 8)

Offset address: 0x008 (PCNTR3/PORR)
0x00A (POSR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PORR 15	PORR 14	PORR 13	PORR 12	PORR 11	PORR 10	PORR 09	PORR 08	PORR 07	PORR 06	PORR 05	PORR 04	PORR 03	PORR 02	PORR 01	PORR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	POSR 15	POSR 14	POSR 13	POSR 12	POSR 11	POSR 10	POSR 09	POSR 08	POSR 07	POSR 06	POSR 05	POSR 04	POSR 03	POSR 02	POSR 01	POSR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	POSR15～POSR00	Pmn 出力設定 0: 出力に影響なし 1: High 出力	W
31:16	PORR15～PORR00	Pmn 出力リセット 0: 出力に影響なし 1: Low 出力	W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアライトアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアライトアクセスが許可されます。

注. m = 0～5, 8, n = 00～15

ポートコントロールレジスタ 3 (PCNTR3/PORR/POSR) は、32 ビットおよび 16 ビットの書き込み可能なレジスタで、ポート出力データの設定またはリセットを制御します。

PCNTR3 はポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

POSRn（PCNTR3 のビット[15:0]）および PORRn（PCNTR3 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

POSRn ビット（Pmn 出力設定）

POSR がソフトウェア書き込みによって設定されると、PODR が変更されます。たとえば、P100 の場合、PORT1.PCNTR3.POSR00 = 1 であると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、POSRn ビットは予約ビットになります。表 18.2 を参照してください。

PORRn ビット（Pmn 出力リセット）

PORR がソフトウェア書き込みによってリセットされると、PODR が変更されます。たとえば、P100 の場合、PORT1.PCNTR3.PORR00 = 1 であると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、PORRn ビットは予約ビットになります。表 18.2 を参照してください。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。
注. PORRn ビットと POSRn ビットは、どちらか一方のみ設定してください。

18.2.4 PCNTR4/EORR/EOSR : ポートコントロールレジスタ 4

Base address: PORTm = 0x4008_0000 + 0x0020 × m (m = 1～4)

Offset address: 0x00C (PCNTR4/EORR)
0x00E (EOSR)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	EORR 15	EORR 14	EORR 13	EORR 12	EORR 11	EORR 10	EORR 09	EORR 08	EORR 07	EORR 06	EORR 05	EORR 04	EORR 03	EORR 02	EORR 01	EORR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EOSR 15	EOSR 14	EOSR 13	EOSR 12	EOSR 11	EOSR 10	EOSR 09	EOSR 08	EOSR 07	EOSR 06	EOSR 05	EOSR 04	EOSR 03	EOSR 02	EOSR 01	EOSR 00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	EOSR15～EOSR00	Pmn イベント出力設定 ELC_PORTx 信号の発生時 0: 出力に影響なし 1: High 出力	R/W
31:16	EORR15～EORR00	Pmn イベント出力リセット ELC_PORTx 信号の発生時 0: 出力に影響なし 1: Low 出力	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスが許可されます。
- 非セキュアリード値は 0 になり、TrustZone アクセスエラーは発生しません。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されます。

注. m = 1～4, n = 00～15, x = 1～4

ポートコントロールレジスタ 4 (PCNTR4/EORR/EOSR) は、32 ビットおよび 16 ビットの読み出し／書き込みレジスタで、ELC からのイベント入力によりポート出力データの設定またはリセットを制御します。

PCNTR4 は、ELC からのイベント入力によりポート出力データの設定またはリセットを制御し、32 ビット単位でアクセスされます。

EOSRn（PCNTR4 のビット[15:0]）および EORRn（PCNTR4 のビット[31:16]）はそれぞれ 16 ビット単位でアクセスされます。

EOSRn ビット（Pmn イベント出力設定）

EOSR が ELC_PORTx 信号の発生によって設定されると、PODR が変更されます。たとえば、P100 の場合、ELC_PORTx 信号の発生時に PORT1.PCNTR4.EOSR00 = 1 になると、PORT1.PCNTR1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、EOSRn ビットは予約ビットになります。表 18.2 を参照してください。

EORRn ビット（Pmn イベント出力リセット）

EORR が ELC_PORTx 信号の発生によってリセットされると、PODR が変更されます。たとえば、P100 の場合、ELC_PORTx 信号の発生時に PORT1.PCNTR4.EORR00 = 1 になると、PORT1.PCNTR1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。入力専用のポートでは、EORRn ビットは予約ビットになります。表 18.2 を参照してください。

注. EORRn または EOSRn を設定した場合、PODRn、PORRn、および POSRn への書き込みは禁止されます。

注. EORRn ビットと EOSRn ビットは、どちらか一方のみ設定してください。

18.2.5 PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0～5, 8, n = 00～15)

Base address: PFS = 0x4008_0800

Offset address: 0x000 + 0x040 × m + 0x004 × n (PmnPFS)
0x002 + 0x040 × m + 0x004 × n (PmnPFS_HA)
0x003 + 0x040 × m + 0x004 × n (PmnPFS_BY)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	PSEL[4:0]					—	—	—	—	—	—	—	PMR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0(注1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ASEL	ISEL	EOFR[1:0]		DSCR[1:0]		—	—	—	NCODR	—	PCR	—	PDR	PIDR	PODR
Value after reset:	0	0	0	0	0	0(注1)	0	0	0	0	0	0(注1)	0	0	x	0

ビット	シンボル	機能	R/W
0	PODR	ポート出力データ 0: Low 出力 1: High 出力	R/W(注3)
1	PIDR	Pmn 状態 0: Low レベル 1: High レベル	R(注4)
2	PDR	ポート方向 0: 入力（入力端子として機能） 1: 出力（出力端子として機能）	R/W(注5)
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PCR	プルアップ制御 0: 入力プルアップ無効 1: 入力プルアップ有効	R/W(注5)
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6	NCODR	N チャネルオープンドレイン制御 0: CMOS 出力 1: NMOS オープンドレイン出力	R/W(注5)
9:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:10	DSCR[1:0]	ポート駆動能力 0 0: 低駆動 0 1: 中駆動 1 0: 設定禁止 1 1: 高駆動	R/W(注5)
13:12	EOFR[1:0]	立ち下がり時イベント／立ち上がり時イベント(注2) 0 0: Don't care 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W(注5)
14	ISEL	IRQ 入力許可 0: IRQn 入力端子として使用しない 1: IRQn 入力端子として使用する	R/W(注5)
15	ASEL	アナログ入力許可 0: アナログ端子として使用しない 1: アナログ端子として使用する	R/W(注5)
16	PMR	ポートモード制御 0: 汎用入出力端子として使用する 1: 周辺機能用の入出力ポートとして使用する	R/W(注5)
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28:24	PSEL[4:0]	周辺機能選択 周辺機能を選択します。各端子の機能については、この章の関連する表を参照してください。	R/W(注5)
31:29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. P000～P003、P108、P201、P300 の初期値は 0x0000_0000 ではありません。P000～P003 は、0x0000_8000、P108 は 0x0001_0410、P201 は 0x0000_0010、P300 は 0x0001_0010 です。
注 2. PORTn (n = 1～4) でサポートされています。
注 3. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスが許可されます。
- 非セキュアリード値は 0 になり、TrustZone アクセスエラーは発生しません。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されます。

注 4. セキュリティ属性がセキュアに設定されている場合、
- セキュアリードアクセスが許可されます。
- 非セキュアリード値は 0 になり、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されます。

注 5. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されます。

ポート mn 端子機能選択レジスタ (PmnPFS/PmnPFS_HA/PmnPFS_BY) は、ポート mn 端子機能を選択する 32 ビット、16 ビット、または 8 ビットの読み出し／書き込みコントロールレジスタです。PmnPFS は 32 ビット単位でアクセスされます。PmnPFS_HA（PmnPFS の[15:0]ビット）は 16 ビット単位でアクセスされます。PmnPFS_BY（PmnPFS の[7:0]ビット）は 8 ビット単位でアクセスされます。

使用可能なポート mn 端子は製品により異なります。詳細は、表 18.1 を参照してください。

PODR ビット（ポート出力データ）、PIDR ビット（ポート状態）、PDR ビット（ポート方向）

PDR ビット、PIDR ビット、PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR レジスタ値が読めます。

PCR ビット（プルアップ制御）

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効または無効にします。端子が入力状態にあって、PmnPFS.PCR の対応するビットが 1 になっている場合、その端子に接続されたプルアップ抵抗が有効になります。汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR 設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

NCODR ビット（N チャネルオープンドレイン制御）

NCODR ビットは、ポート端子の出力タイプを設定します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

DSCR[1:0]ビット（ポート駆動能力）

DSCR[1:0]ビットは、ポートの駆動能力を切り替えます。端子の駆動能力が固定されている場合、対応するビットは読み出し／書き込み可能ですが、駆動能力は変更できません。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

EOFR[1:0]ビット（立ち下がり時イベント／立ち上がり時イベント）

EOFR[1:0]ビットは、ポートグループ入力信号のエッジ検出方法を選択します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOFR[1:0]ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が ELC にイベントパルスを出力します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

ISEL ビット（IRQ 入力許可）

ISEL ビットは、IRQ 入力端子を指定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）を 2 つ以上の端子で許可することは禁止です。未指定の IRQn に対する ISEL ビットは予約ビットです。

ASEL ビット（アナログ入力許可）

ASEL ビットは、アナログ端子を設定します。本ビットで、端子をアナログ端子として設定する場合、以下のように指定します。

1. ポートモード制御ビット (PmnPFS.PMR) で、その端子を汎用入出力ポートに指定します。
2. プルアップ制御ビット (PmnPFS.PCR) で、プルアップ抵抗を無効にします。
3. ポート方向ビット (PmnPFS.PDR) で、入力を指定します。このとき、端子状態を読むことはできません。PmnPFS レジスタは、ライトプロテクトレジスタ (PWPR) によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

未指定のアナログ入出力端子に対する ASEL ビットは予約ビットです。

PMR ビット（ポートモード制御）

PMR ビットは、ポートの端子機能を設定します。存在しない端子に対応するビットは予約ビットです。書く場合、0 としてください。

PSEL[4:0]ビット（周辺機能選択）

PSEL[4:0]ビットは、周辺機能を割り当てます。

18.2.6 PWPR : 書き込みプロテクトレジスタ

Base address: PFS = 0x4008_0800

Offset address: 0x503

Bit position:	7	6	5	4	3	2	1	0
Bit field:	B0WI	PFSWE	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	PFSWE	PmnPFS レジスタ書き込み許可 0: PmnPFS レジスタへの書き込みを禁止 1: PmnPFS レジスタへの書き込みを許可	R/W
7	B0WI	PFSWE ビット書き込み禁止 0: PFSWE ビットへの書き込みを許可 1: PFSWE ビットへの書き込みを禁止	R/W

PFSWE ビット（PmnPFS レジスタ書き込み許可）

PFSWE ビットを 1 にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。最初に B0WI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

B0WI ビット（PFSWE ビット書き込み禁止）

B0WI ビットに 0 を書いたときのみ、PFSWE ビットに対する書き込みが許可されます。

18.2.7 PWPRS : セキュア用書き込みプロテクトレジスタ

Base address: PFS = 0x4008_0800

Offset address: 0x505

Bit position:	7	6	5	4	3	2	1	0
Bit field:	B0WI	PFSWE	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	PFSWE	PmnPFS レジスタ書き込み許可 0: PmnPFS レジスタへの書き込みを禁止 1: PmnPFS レジスタへの書き込みを許可	R/W
7	B0WI	PFSWE ビット書き込み禁止 0: PFSWE ビットへの書き込みを許可 1: PFSWE ビットへの書き込みを禁止	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

PFSWE ビット（PmnPFS レジスタ書き込み許可）

PFSWE ビットを 1 にしたときのみ、PmSAR レジスタによって「セキュア」に設定された I/O ポート端子の PmnPFS レジスタに対する書き込みが許可されます。最初に B0WI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

B0WI ビット（PFSWE ビット書き込み禁止）

B0WI ビットを 0 にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

18.2.8 PmSAR : ポートセキュリティ属性レジスタ (m = 0〜5, 8)

Base address: PFS = 0x4008_0800

Offset address: 0x510 + 0x002 × m

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PMNSA[15:0]															
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
15:0	PMNSA[15:0]	Pmn のセキュリティ属性 対象の I/O ポート端子：Pmn 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。
注. このレジスタは PRCR レジスタによって書き込み保護されています。
注. m = 0～5, 8、n = 00～15

ポートセキュリティ属性レジスタは、各ポートのセキュリティ属性を設定するための 16 ビットのレジスタであり、16 ビット単位でのみアクセスされます。

PMNSA[15:0] ビット（Pmn のセキュリティ属性）

PmnSA ビットは Pmn のセキュリティ属性を指定します。

18.2.9 PFI3C : RI3C スロープコントロールレジスタ

Base address: PFS = 0x4008_0800
Offset address: 0x50C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	I3CSLOPE0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	I3CSLOPE0	I3C モードスロープ制御 0: I3C モードスロープ制御を禁止 1: I3C モードスロープ制御を許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されます。
- 非セキュアライトアクセスは無視されますが、TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されます。

注. PFI3C レジスタへのアクセスは、PSARB.PSARB4 ビットにより制御されます。

I3CSLOPE0 ビット（I3C モードスロープ制御）

I3C モード、I3C スロープ許可／禁止制御です。

18.3 動作

18.3.1 汎用入出力ポート

P000 ～P003, P108, P300 以外のすべての端子は、リセット後は汎用入力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、ポートコントロールレジスタ (PCNTRn; n = 1～4) によるポート単位のアクセス、またはポート mn 端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は、「18.2. レジスタの説明」を参照してください。

各ポートには以下のビットがあります。

- ポートセキュリティ属性レジスタ (PmSAR) (m = 0～5, 8)：セキュリティ属性を示します
- ポート方向ビット (PDRn)：入力または出力の方向を選択します
- ポート出力データビット (PODRn)：出力用データを格納します
- ポート入力データビット (PIDRn)：端子状態を示します
- イベント入力データビット (EIDRn)：ELC_PORTn（n = 1、2、3 または 4）信号発生時の端子状態を示します

- ポート出力設定ビット (POSRn) : ソフトウェア書き込み発生時の出力値を示します
- ポート出力リセットビット (PORRn) : ソフトウェア書き込み発生時の出力値を示します
- イベント出力設定ビット (EOSRn) : ELC_PORTn（n = 1、2、3 または 4）信号発生時の出力値を示します
- イベント出力リセットビット (EORRn) : ELC_PORTn（n = 1、2、3 または 4）信号発生時の出力値を示します

18.3.2 ポート機能選択

各端子の設定時、以下のポート機能を利用できます。

- セキュリティ機能：各端子のセキュリティ属性
- 入出力設定：CMOS 出力または NMOS オープンドレイン出力、プルアップ制御、および駆動能力
- 汎用入出力ポート：ポート方向、出力データ設定、および読み出し入力データ
- 代替機能：端子への機能の割り当て

各端子は、ポート mn 端子機能選択レジスタ (PmnPFS) に関連付けられます。このレジスタには対応するビット PODR、PIDR、および PDR があります。さらに、PmnPFS レジスタには以下のビットがあります。

- PCR：入力プルアップ MOS のオン／オフを切り替えるためのプルアップ抵抗制御ビット
- NCODR：各端子の出力タイプを選択するための N チャネルオープンドレイン制御ビット
- DSCR[1:0]：駆動能力を選択するための駆動能力制御ビット
- EOFR[1:0]：ポートグループから入力されるイベントのエッジを選択
- ISEL：IRQ 入力端子を設定するための IRQ 入力許可ビット
- ASEL：アナログ端子を設定するためのアナログ入力許可ビット
- PMR：各ポートの端子機能を設定するためのポートモードビット
- PSEL[4:0]：対応する周辺機能を選択するためのポート機能選択ビット

これらは、ポート mn 端子機能選択レジスタへのシングルレジスタアクセスで設定することができます。詳細は、「18.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0〜5, 8, n = 00〜15)」を参照してください。

18.3.3 ELC のポートグループ機能

本 MCU では、ポート 1〜ポート 4 が ELC ポートグループ機能に割り当てられています。

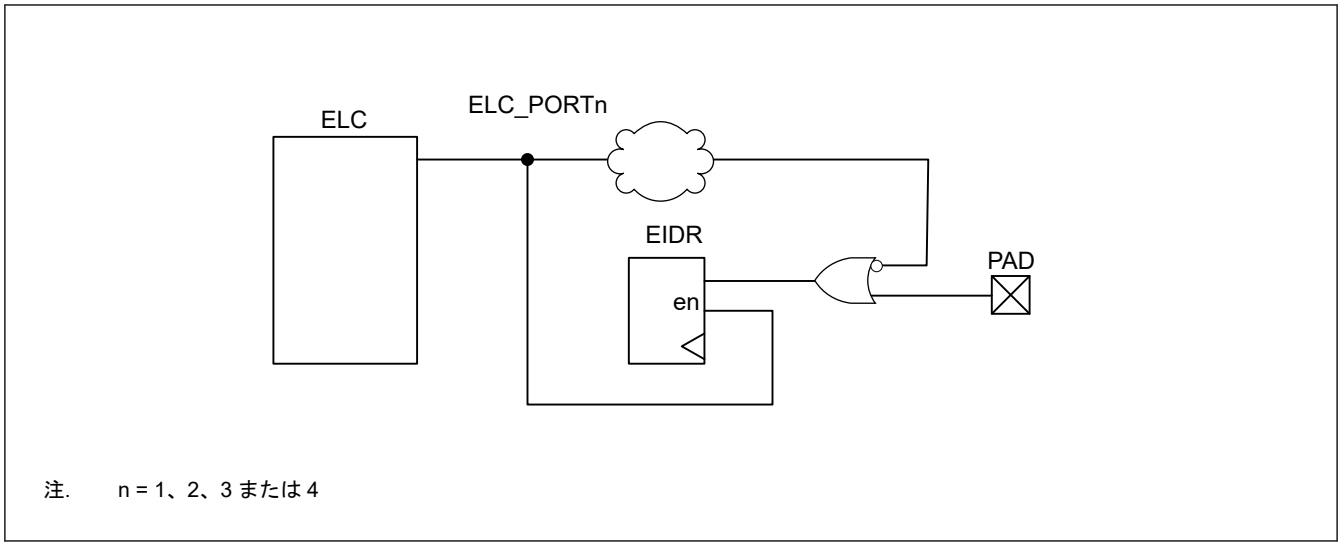
18.3.3.1 ELC から ELC_PORTn（n = 1、2、3 または 4）が入力された場合の動作

ELC から ELC_PORTn（n = 1、2、3 または 4）信号が入力されたとき、本 MCU は本項に示す 2 つの機能をサポートしています。

(1) EIDR への入力

GPI 機能（PmnPFS レジスタの PDR = 0 および PMR = 0）では、ELC から ELC_PORTn（n = 1、2、3 または 4）信号が入力されると、入出力セルの入力許可がアサートされ、外部端子からのデータが EIDR ビットに読み込まれます。図 18.2 を参照してください。

GPO 機能 (PDR = 1) または周辺モード (PMR = 1) では、外部端子から EIDR ビットに 0 が入力されます。



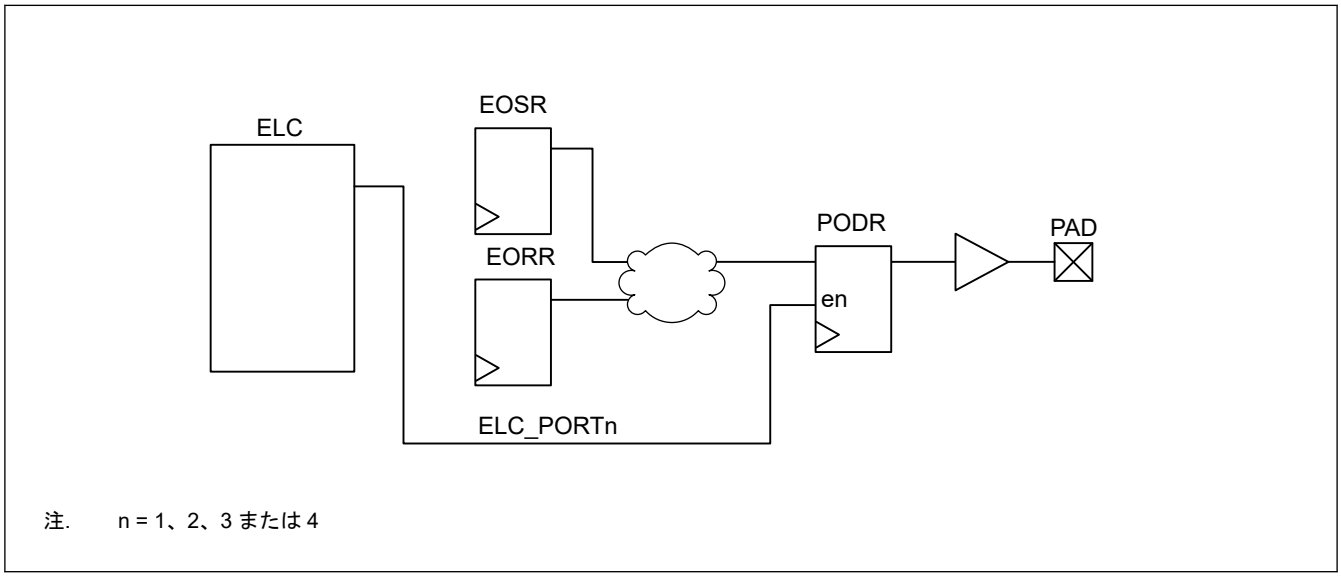
注. n = 1、2、3 または 4

図 18.2 イベントポート入力データ

(2) EOSR および EORR による PODR からの出力

ELC_PORTn（n = 1、2、3 または 4）信号の発生時に、EOSR および EORR レジスタの設定値に基づいて、PODR から外部端子へデータが出力されます。

- EOSR を 1 にすると、ELC_PORTn（n = 1、2、3 または 4）信号の発生時に PODR レジスタは外部端子へ 1 を出力します。EOSR = 0 の場合、PODR の値が保持されます。
- EORR を 1 にすると、ELC_PORTn（n = 1、2、3 または 4）信号の発生時に PODR レジスタは外部端子へ 0 を出力します。EORR = 0 の場合、PODR の値が保持されます。



注. n = 1、2、3 または 4

図 18.3 イベントポート出力データ

18.3.3.2 イベントパルスが ELC に出力された場合の動作

外部端子から ELC にイベントパルスを出力するには、PmnPFS レジスタの EOFR[1:0]ビットを設定します。詳細は、「18.2.5. PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0～5, 8, n = 00～15)」を参照してください。EOFR[1:0]ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子からのデータが入力となります。たとえばポート 1 に対して、P100 から P113 へデータが入力されると、これら 14 端子のデータは OR 論理で構成されます。このデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート n (n = 2～4) の動作もポート 1 と同様です。図 18.4 を参照してください。

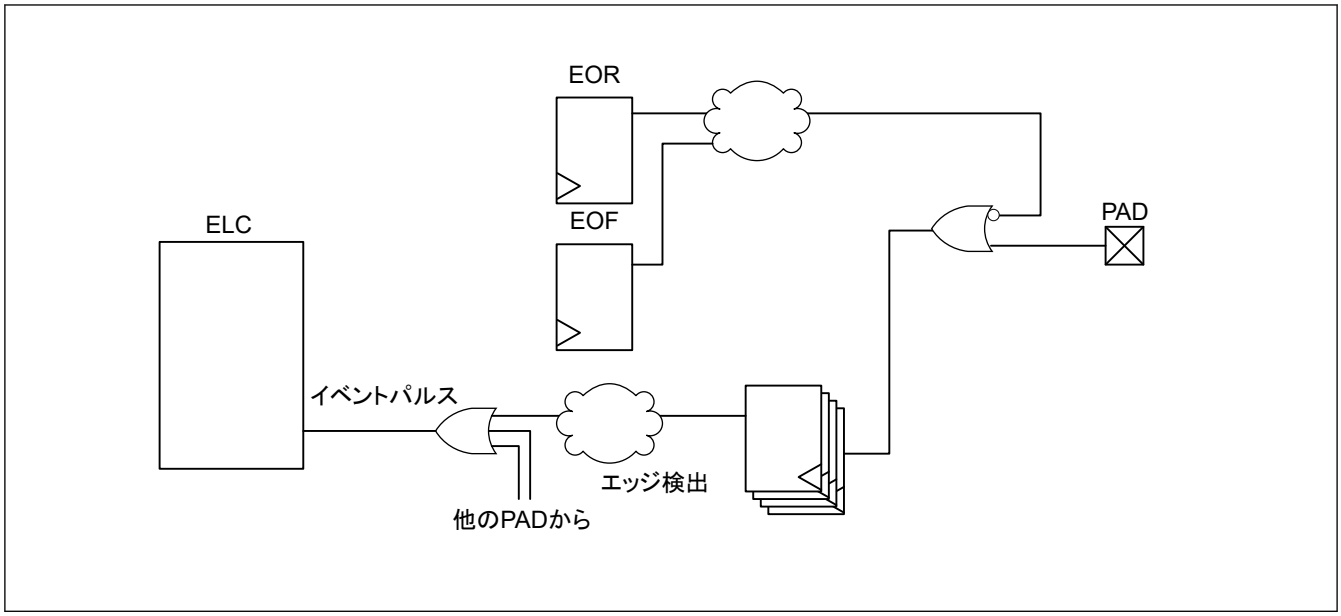


図 18.4 イベントパルスの発生

18.4 未使用端子の処理

表 18.3 に、未使用端子の処理方法を示します。

表 18.3 未使用端子の処理

端子名	未使用時の処理
MD	モード選択端子として使用
RES	抵抗を介して VCC に接続（プルアップ）
P200/NMI	抵抗を介して VCC に接続（プルアップ）
EXTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P212）に設定する。この端子をポート P212 として使用しない場合、ポート 1～5、8 と同じ方法で設定する。
XTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTP ビットを 1（汎用ポート P213）に設定する。外部クロックが EXTAL 端子に入力される場合、EXTAL 端子は P213 として機能する。この端子をポート P213 として使用しない場合、ポート 1～5、8 と同じ方法で設定する。
XCIN	抵抗を介して VSS に接続（プルダウン）
XCOUT	端子を開放
P000～P003	抵抗を介して AVCC0 に接続（プルアップ）、または抵抗を介して AVSS0 に接続（プルダウン）(注1)(注3)
P004～P006、P008、P013～P015	• 方向を入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して AVCC0 に接続（プルアップ）、または抵抗を介して AVSS0 に接続（プルダウン）(注1) • 方向を出力 (PCNTR1.PDRn = 1) に設定した場合、端子を開放(注1)
P1x～P5x、P8x	• 方向を入力 (PCNTR1.PDRn = 0) に設定した場合、対応する端子を抵抗を介して VCC に接続（プルアップ）、または抵抗を介して VSS に接続（プルダウン）(注1)(注2) • 方向を出力 (PCNTR1.PDRn = 1) に設定した場合、端子を開放(注1)
VREFH0	AVCC0 に接続
VREFL0	AVSS0 に接続

注 1. PmnPFS.PMR ビット、PmnPFS.ISEL ビット、PmnPFS.PCR ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。
注 2. P108 と P300 は初期値から入力プルアップを有効にする必要があります (PmnPFS.PCR = 1)。
注 3. P003 の入力リーク電流を低減するには、P003PFS.ASEL ビットを 0 にします。

18.5 使用上の注意

18.5.1 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR.B0WI ビットをクリアします。PWPR.PFSWE ビットへの書き込みが許可されます。(注1)
2. PWPR.PFSWE ビットを 1 にします。PmnPFS レジスタへの書き込みが許可されます。(注1)
3. 当該端子の PMR のポートモード制御ビットを 0 にして、汎用入出力ポートに設定します。
4. PmnPFS.PSEL[4:0]ビットによって、この端子の入出力機能を設定します。
5. 必要に応じて PMR ビットを 1 にして、選択した入出力機能に切り替えます。
6. PWPR.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。(注1)
7. PWPR.B0WI ビットを 1 にします。PWPR.PFSWE ビットへの書き込みが禁止されます。(注1)

注 1. Pmn のセキュリティ属性が 0 のとき、PmnPFS レジスタへの書き込みをするには PWPRS レジスタを設定してください。

18.5.2 ポートグループ入力の使用手順

ポートグループ入力（ポート n (n = 1～4)）を使用するには、下記の手順に従ってください。

1. ELSRx.ELS[8:0]ビットをすべて 0 にして、意図しないパルスを無視します。詳細は、「17. イベントリンクコントローラ (ELC)」を参照してください。
2. PmnPFS レジスタの EOFR[1:0]ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、少しの間（たとえば 100 ns）待ちます。意図しないパルスを無視するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELS[8:0]ビットを設定して、イベント信号を許可します。

18.5.3 ポート出力データレジスタ (PODR) の概要

本レジスタは下記のようにデータを出力します。

1. ELC_PORTn（n = 1、2、3 または 4）信号発生時に PCNTR4.EORR ビットを 1 にすると、0 を出力します。
2. ELC_PORTn（n = 1、2、3 または 4）信号発生時に PCNTR4.EOSR ビットを 1 にすると、1 を出力します。
3. PCNTR3.PORR ビットを 1 にすると、0 を出力します。
4. PCNTR3.POSR ビットを 1 にすると、1 を出力します。
5. PCNTR1.PODRn ビットが設定されると、0 または 1 を出力します。
6. PmnPFS.PODRn ビットが設定されると、0 または 1 を出力します。

上記の番号は、PODRn への書き込み優先順位に相当しています。たとえば、上記の 1.と 3.が同時に発生した場合、優先順位の高い 1.が実行されます。

18.5.4 アナログ機能使用時の注意事項

アナログ機能を使用するには、ポートモード制御ビット (PMR) とポート方向ビット (PDRn) を両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。その後、ポート mn 端子機能選択レジスタ (PmnPFS.ASEL) のアナログ入力許可ビット (ASEL) を 1 にしてください。

18.5.5 入出力バッファの仕様

P402 と P403 は、AGT 入力やその他の周辺機能として使用できます。表 18.4 に、P402 と P403 の仕様を示します。

表 18.4 P402 と P403 の仕様

I/O ポート	RTC および AGT			その他の周辺機能	
	RTC および AGT 入力イネーブルレジスタ	RTC	AGT	他の周辺機能イネーブルレジスタ	CAC、GPT、CANFD、SSIE および割り込み
P402	RTCCR0.TCEN	RTCIC0	AGTIO0 AGTIO1	P402PFS.PSEL および PMR	詳細は「18.6. 製品ごとの周辺選択設定」を参照してください。
P403	RTCCR1.TCEN	RTCIC1	AGTIO0 AGTIO1	P403PFS.PSEL および PMR	

これらの RTC および AGT 入力は、RTCCRn レジスタによって制御されます。

RTC 入力および AGT 入力が選択されているかどうかに関わらず、P402 と P403 は IRQn-DS (n = 4, 14) として使用できます。図 18.5 を参照してください。

RTCCRn レジスタは、リセット時に初期化されません。そのため、RTC または AGT 入力を使用しない場合、RTCCRn レジスタの対応するビットは、リセット後に 0 にする必要があります。

RTCCR0.TCEN が 1 のとき、P402 の PMR ビットと PDR ビットを 1 にすることは禁止されています。
RTCCR1.TCEN が 1 のとき、P403 の PMR ビットと PDR ビットを 1 にすることは禁止されています。

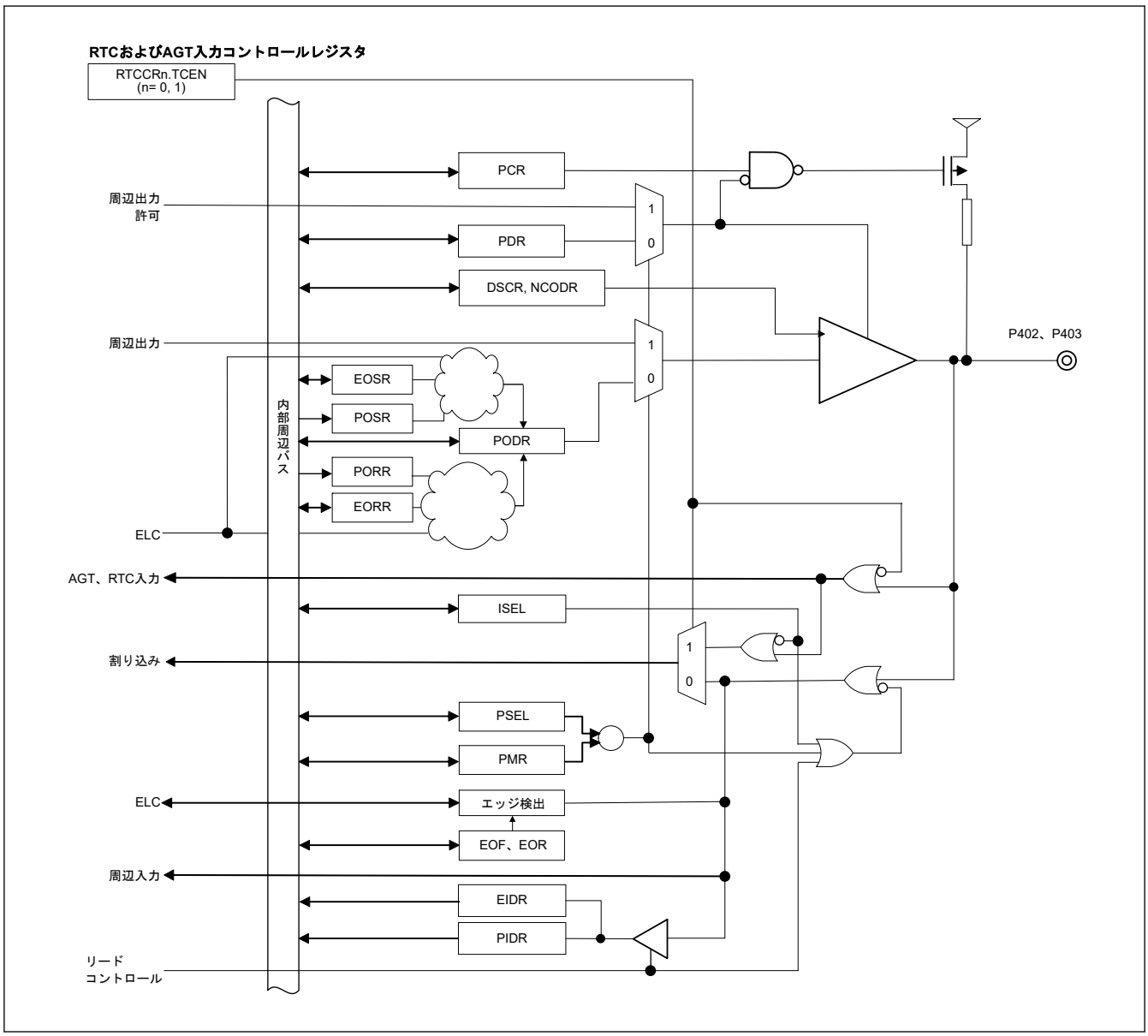


図 18.5 P402 と P403 の図

18.6 製品ごとの周辺選択設定

本節では、PmnPFS レジスタを用いた端子機能選択設定について説明します。いくつかの端子名には、接尾語として_A、B、C、または D が付加されています。I3C、SPI、および SSIE 機能を割り当てる場合、同じ接尾語の機能端子を選択してください。その他の端子は、接尾語に関係なく選択可能です。ただし、同じ機能を 2 つ以上の端子に同時に割り当てることはしないでください。

1. Pmn 端子機能選択レジスタ (PmnPFS) では、対象端子の PMR ビットが 0 のときに、PSEL ビットを設定する必要があります。PMR ビットが 1 のときに PSEL ビットを設定すると、入力機能の場合は意図しないエッジが入力され、出力機能の場合は意図しないパルスが外部端子に出力される場合があります。
2. PmnPFS レジスタの PSEL ビットでは、許可された値（機能）以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。
3. PmnPFS レジスタでは、1 つの機能を複数の端子に割り付けないでください。GPT1、GPT5、I3C、または SPI0 がセキュアに設定され、かつ PmSAR レジスタによってセキュリティ属性が「セキュア」に設定されている端子にこれらの端子機能が割り付けられているとき、セキュリティ属性が「非セキュア」に設定されている他の端子にセキュアな端子に割り付けられているのと同じ機能を設定するための PSEL ビットへの書き込みは無視されます。たとえば、PSARE.PSARE30 ビットが 0（GPT1 がセキュア）、P109PFS.PSEL ビットが 00011b（端子機能は GTIOC1A）で P1SAR.109SA ビットが 0（P109 はセキュア）の場合、P4SAR.409SA ビットが 1（P405 は非セキュア）のときの P409PFS.PSEL ビットへの 00011b の書き込みは無視されます。
4. ポート 0 とポート 5 は、A/D コンバータなどのアナログ機能を持っています。これらの端子をアナログ機能として使用する場合、分解能の低下を防止するため、PMR ビットと PDR ビットは 0 にしてください。その後、ASEL ビットを 1 にしてください。

表 18.5 入出力端子機能のレジスタ設定 (PORT0)

PSEL[4:0]設定値	機能	端子										
		P000	P001	P002	P003	P004	P005	P006	P008	P013	P014	P015
00000b（リセット後の値）	Hi-Z/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
ASEL ビット		AN000	AN001	AN002	AN007	AN004	AN005	AN006	AN008	AN011	AN012/DA0	AN013
ISEL ビット		IRQ6-DS	IRQ7-DS	IRQ8-DS	—	IRQ9-DS	IRQ10-DS	IRQ11-DS	IRQ12-DS	—	—	IRQ13
DSCR[1:0]ビット	駆動能力制御 (注1)	L	L	L	L	L	L	L	L	L	L	L
NCODR ビット	N チャネルオープンドレイン	—	—	—	—	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	—	—	—	—	✓	✓	✓	✓	✓	✓	✓
64 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
48 ピン製品		✓	✓	✓	✓	—	—	—	—	✓	✓	✓
36 ピン製品		✓	✓	—	✓	—	—	—	—	—	✓	—
32 ピン製品		✓	✓	✓	✓	—	—	—	—	—	✓	—

✓：利用可能
—：設定禁止

注 1. このポートの駆動強度は、PmnPFS.DSCR[1:0]ビットで制御することはできません。

表 18.6 入出力端子機能のレジスタ設定 (PORT1) (1/2)

PSEL[4:0]設定値	機能	端子													
		P100	P101	P102	P103	P104	P105	P106	P107	P108	P109	P110	P111	P112	P113
00000b（リセット後の値）	Hi-Z/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	SWDIO	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00001b	AGT	AGTIO0	AGTEE0	AGTO0	—	AGTIO1	—	AGTOB0	AGTOA0	—	AGTOA0	AGTOB0	—	AGTO1	—
00010b	GPT(注2)	GTETRGA	GTETRGB	GTOWLO	GTOWUP	GTETRGB	GTETRGA	—	—	GTOULO	GTOVUP	GTOVLO	—	GTETRGD	—
00011b	GPT(注2)	GTIOC5B	GTIOC5A	—	—	GTIOC1B	GTIOC1A	—	—	GTIOC0B	GTIOC1A	GTIOC1B	—	—	—
00100b	SCI	RXD0/MISO0/SCL0	TXD0/MOSI0/SDA0	SCK0	CTS_RTS0/SS0	—	—	—	—	—	—	—	—	—	—
00101b	SCI	—	—	—	—	—	—	—	—	CTS_RTS9/SS9	TXD9/MOSI9/SDA9	RXD9/MISO9/SCL9	SCK9	—	—

表 18.6　入出力端子機能のレジスタ設定 (PORT1) (2/2)

PSEL[4:0]設定値	機能	端子													
		P100	P101	P102	P103	P104	P105	P106	P107	P108	P109	P110	P111	P112	P113
00110b	SPI(注1)	MISOB	MOSIB	RSPCKB	SSLB0	SSLB1	SSLB2	SSLB3	SSLA2_B	SSLA0_B	MOSIA_B	MISOA_B	RSPCKA_B	SSLA0_B	—
00111b	I3C	I3C_SCL/SCL0_D	I3C_SDA/SDA0_D	—	—	—	—	—	—	—	—	—	—	—	—
01001b	CLKOUT/RTC	—	—	—	—	—	—	—	—	—	CLKOUT	—	—	—	—
01010b	CAC/ADC12	—	—	ADTRG0	—	—	—	—	—	—	—	—	—	—	—
10000b	CANFD	—	—	CRX0	CTX0	—	—	—	—	—	CTX0	CRX0	—	—	—
10010b	SSIE(注1)	AUDIO_CLK	—	SSIBCK0_B	SSILRCK0_B/SSIFS0_B	—	—	—	—	—	SSITXD0_B	SSIRXD0_B	SSIDATA0_B	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ2	IRQ1	—	—	IRQ1	IRQ0	—	—	—	—	IRQ3	IRQ4	—	—
DSCR[1:0]ビット	駆動能力制御	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
64 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
48 ピン製品		✓	✓	✓	✓	✓	—	—	—	✓	✓	✓	✓	✓	—
36 ピン製品		✓	✓	✓	✓	—	—	—	—	✓	✓	✓	—	—	—
32 ピン製品		✓	✓	✓	—	—	—	—	—	✓	✓	✓	—	—	—

✓：利用可能
—：設定禁止

注 1.　所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 18.7　入出力端子機能のレジスタ設定 (PORT2) (1/2)

PSEL[4:0]設定値	機能	端子							
		P200	P201	P205	P206	P207	P208	P212	P213
00000b（リセット後の値）	Hi-Z/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00001b	AGT	—	—	AGTO1	—	AGTIO1	—	AGTEE1	—
00010b	GPT(注2)	—	—	GTIV	GTIU	GTIW	GTOVLO	GTETRGD	GTETRGC
00011b	GPT(注2)	—	—	GTIOC4A	GTIOC5B	GTIOC5A	—	GTIOC0B	GTIOC0A
00100b	SCI	—	—	—	—	—	—	RXD0/MISO0/SCL0	TXD0/MOSI0/SDA0
00101b	SCI	—	—	CTS_RTS9/SS9	CTS9	SCK9	—	—	—
00110b	SPI(注1)	—	—	SSLA3_A	MISOA_A	MOSIA_A	—	—	—
00111b	I3C(注1)	—	—	SCL0_C	SDA0_C	—	—	—	—
01001b	CLKOUT/RTC	—	—	CLKOUT	—	—	—	—	—
01010b	CAC/ADC12	—	—	—	—	CACREF	ADTRG0	—	—
10010b	SSIE(注1)	—	—	—	SSIDATA0_A	SSILRCK0_A/SSIFS0_A	—	—	AUDIO_CLK
11101b	CEC	—	—	—	CECIO	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—
ISEL ビット		NMI(注4)	—	IRQ1-DS	IRQ0-DS	—	—	IRQ3	IRQ2
DSCR[1:0]ビット	駆動能力制御	—	L(注3)	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H
NCODR ビット	N チャネルオープンドレイン	—	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓
64 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓
48 ピン製品		✓	✓	—	✓	✓	—	✓	✓

表 18.7 入出力端子機能のレジスタ設定 (PORT2) (2/2)

PSEL[4:0]設定値	機能	端子							
		P200	P201	P205	P206	P207	P208	P212	P213
36 ピン製品		✓	✓	—	✓	✓	—	✓	✓
32 ピン製品		✓	✓	—	✓	✓	—	✓	✓

✓：利用可能
—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 2. 中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。
注 3. このポートの駆動強度は、PmnPFS.DSCR[1:0]ビットで制御することはできません。
注 4. NMI 端子割り込みを使用する場合、ポートに関連するレジスタの設定は不要です。

表 18.8 入出力端子機能のレジスタ設定 (PORT3)

PSEL[4:0]設定値	機能	端子				
		P300	P301	P302	P303	P304
00000b（リセット後の値）	Hi-Z/SWD	SWCLK	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00001b	AGT	—	AGTIO0	—	—	—
00010b	GPT(注2)	GTOUUP	GTOULO	GTOUUP	—	GTOWLO
00011b	GPT(注2)	GTIOC0A	GTIOC4B	GTIOC4A	—	—
00100b	SCI	—	—	CTS0	—	—
00101b	SCI	—	CTS_RTS9/SS9	SCK9	CTS9	—
00110b	SPI(注1)	SSLA1_B	SSLA0_A	RSPCKA_A	—	—
01001b	CLKOUT/RTC	—	—	RTCOUT	—	—
10010b	SSIE(注1)	—	SSIRXD0_A	SSITXD0_A	—	—
ASEL ビット		—	—	—	—	—
ISEL ビット		—	IRQ6	IRQ5	—	IRQ9
DSCR[1:0]ビット	駆動能力制御	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓
64 ピン製品		✓	✓	✓	✓	✓
48 ピン製品		✓	✓	✓	—	—
36 ピン製品		✓	✓	✓	—	—
32 ピン製品		✓	✓	✓	—	—

✓：利用可能
—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 2. 中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 18.9 入出力端子機能のレジスタ設定 (PORT4) (1/2)

PSEL[4:0]設定値	機能	端子								
		P400	P401	P402	P403	P407	P408	P409	P410	P411
00000b（リセット後の値）	Hi-Z/SWD	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
00001b	AGT	AGTIO1	—	—	—	AGTIO0	AGTOB1	AGTOA1	—	—
00010b	GPT(注3)	—	GTETRGA	—	—	GTIV	GTIW	GTOWUP	GTOVLO	GTOVUP
00011b	GPT(注3)	—	—	GTADSM1	—	GTADSM0	GTIOC1B	GTIOC1A	—	—
00100b	SCI	—	—	—	—	—	—	—	RXD0/MISO0/SCL0	TXD0/MOSI0/SDA0
00111b	I3C(注2)	SCL0_A	SDA0_A	—	—	SDA0_B	SCL0_B	—	—	—
01001b	CLKOUT/RTC	—	—	—	—	RTCOUT	—	—	—	—
01010b	CAC/ADC12	—	—	CACREF	—	ADTRG0	—	—	—	—
10000b	CANFD	—	CTX0	CRX0	—	—	—	—	—	—
10010b	SSIE(注2)	—	—	AUDIO_CLK	—	SSIBCK0_A	AUDIO_CLK	—	—	—

表 18.9　入出力端子機能のレジスタ設定 (PORT4) (2/2)

PSEL[4:0]設定値	機能	端子								
		P400	P401	P402	P403	P407	P408	P409	P410	P411
10011b	USBFS	—	—	—	—	USB_VBUS	—	—	—	—
Don't care		—	—	AGTIO0(注1)/ AGTIO1(注1)/ RTCIC0(注1)	AGTIO0(注1)/ AGTIO1(注1)/ RTCIC1(注1)	—	—	—	—	—
ASEL ビット		—	—	—	—	—	—	—	—	—
ISEL ビット		IRQ0	IRQ5-DS	IRQ4-DS	IRQ14-DS	—	IRQ7	IRQ6	IRQ5	IRQ4
DSCR[1:0]ビット	駆動能力制御	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H	L/M/H
NCODR ビット	N チャネルオープンドレイン	✓	✓	✓	✓	✓	✓	✓	✓	✓
PCR ビット	プルアップ	✓	✓	✓	✓	✓	✓	✓	✓	✓
64 ピン製品		✓	✓	✓	✓	✓	✓	✓	✓	✓
48 ピン製品		—	—	✓	✓	✓	✓	✓	—	—
36 ピン製品		—	—	—	—	✓	✓	—	—	—
32 ピン製品		—	—	—	—	✓	—	—	—	—

✓：利用可能
—：設定禁止

注 1.　この端子機能を使用する場合は、該当端子を汎用入力（PmnPFS.PDR ビットと PmnPFS.PMR ビットを 0）に設定してください。
注 2.　所属グループを示すため、端子名の末尾に“_A”や“_B”などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 3.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 18.10　入出力端子機能のレジスタ設定 (PORT5)

PSEL[4:0]設定値	機能	端子
		P500
00000b（リセット後の値）	Hi-Z/SWD	Hi-Z
00001b	AGT	AGTOA0
00010b	GPT(注1)	GTIU
01010b	CAC/ADC12	CACREF
ASEL ビット		AN016
ISEL ビット		—
DSCR[1:0]ビット	駆動能力制御	L/M/H
NCODR ビット	N チャネルオープンドレイン	✓
PCR ビット	プルアップ	✓
64 ピン製品		✓
48 ピン製品		✓
36 ピン製品		—
32 ピン製品		—

✓：利用可能
—：設定禁止

注 1.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

表 18.11　入出力端子機能のレジスタ設定 (PORT8) (1/2)

PSEL[4:0]設定値	機能	端子	
		P814	P815
00000b（リセット後の値）	Hi-Z/SWD	Hi-Z	Hi-Z
00010b	GPT(注1)	GTETRGB	GTETRGC
00011b	GPT(注1)	GTIOC0B	GTIOC0A
Don't care		USB_DP(注2)	USB_DM(注2)
ASEL ビット		—	—
ISEL ビット		IRQ11	—
DSCR[1:0]ビット	駆動能力制御	L/M/H	L/M/H
NCODR ビット	N チャネルオープンドレイン	✓	✓

表 18.11　入出力端子機能のレジスタ設定 (PORT8) (2/2)

PSEL[4:0]設定値	機能	端子	
		P814	P815
PCR ビット	プルアップ	✓	✓
64 ピン製品		✓	✓
48 ピン製品		✓	✓
36 ピン製品		✓	✓
32 ピン製品		—	—

✓：利用可能
—：設定禁止

注 1.　中駆動と高駆動の 2 種類の出力バッファが存在します。出力スキューの仕様 (t_{GTISK}) に合わせて、同じ駆動バッファの使用を推奨します。

注 2.　USB_DP および USB_DM を使用する場合、MSTPCRB.MSTPB11 は 0 にする必要があります。USB_DP および USB_DM を使用しない場合、MSTPCRB.MSTPB11 は 1 にする必要があります。

19. GPT 用のポートアウトプットイネーブル (POEG)

19.1 概要

ポートアウトプットイネーブル (POEG) は、以下の方法のいずれかにより、汎用 PWM タイマ (GPT) の出力端子を出力禁止状態にすることが可能です。

- GTETRGn 端子 (n = A～D) の入力レベル検出
- GPT からの出力禁止要求
- クロック発生回路の発振停止検出
- レジスタ設定値

GTETRGn 端子 (n = A～D) は、GPT への外部トリガ入力端子として利用可能です。

表 19.1 に POEG の仕様を、図 19.1 にブロック図を、表 19.2 に入力端子を示します。

表 19.1 POEG の仕様

項目	内容
入力レベル検出による出力禁止制御	• 極性とフィルタの選択後、GTETRGn 端子の立ち上がりエッジまたは High レベルをサンプリングした場合に、GPT 出力端子を出力禁止に設定可能
GPT からの出力禁止要求	• GTIOCxA 端子と GTIOCxB 端子が同時にアクティブレベルとなる場合、GPT は POEG に対して出力禁止要求を発生させる。POEG は、これらの出力禁止要求を受信して、GTIOCxA 端子および GTIOCxB 端子を出力禁止にするか否かの制御が可能
発振停止検出による出力禁止制御	• クロック発生回路の発振が停止した場合に、GPT 出力端子を出力禁止に設定可能
ソフトウェア（レジスタ）による出力禁止制御	• レジスタの設定値を書き換えることにより、GPT 出力端子を出力禁止に設定可能
割り込み	• 外部トリガ入力端子（GTETRGn 端子）の入力レベル検出により、割り込みを発生させることが可能 • GPT 出力端子の出力レベルが同時にアクティブレベルとなる場合に割り込みを発生させることが可能
GPT に対する外部トリガ出力機能	• 極性とフィルタの選択後、GTETRGn 信号を GPT へ出力可能 （カウント開始／カウント停止／カウントクリア／アップカウント／ダウンカウント／インプットキャプチャ機能）
ノイズフィルタリング	• GTETRGn 端子からの入力に対して、ノイズフィルタクロックを、PCLKB/1、PCLKB/8、PCLKB/32、または PCLKB/128 クロックから選択可能（選択クロックを用いて、入力信号を 3 回サンプリングすることでフィルタリング） • どの GTETRGn 入力端子からの入力に対しても、正極性、負極性をそれぞれ選択可能 • 極性およびフィルタ選択後の信号状態のモニタが可能
TrustZone フィルタ	• グループ別にセキュリティ属性を設定可能

注. n = A～D, x = 0, 1, 4, 5

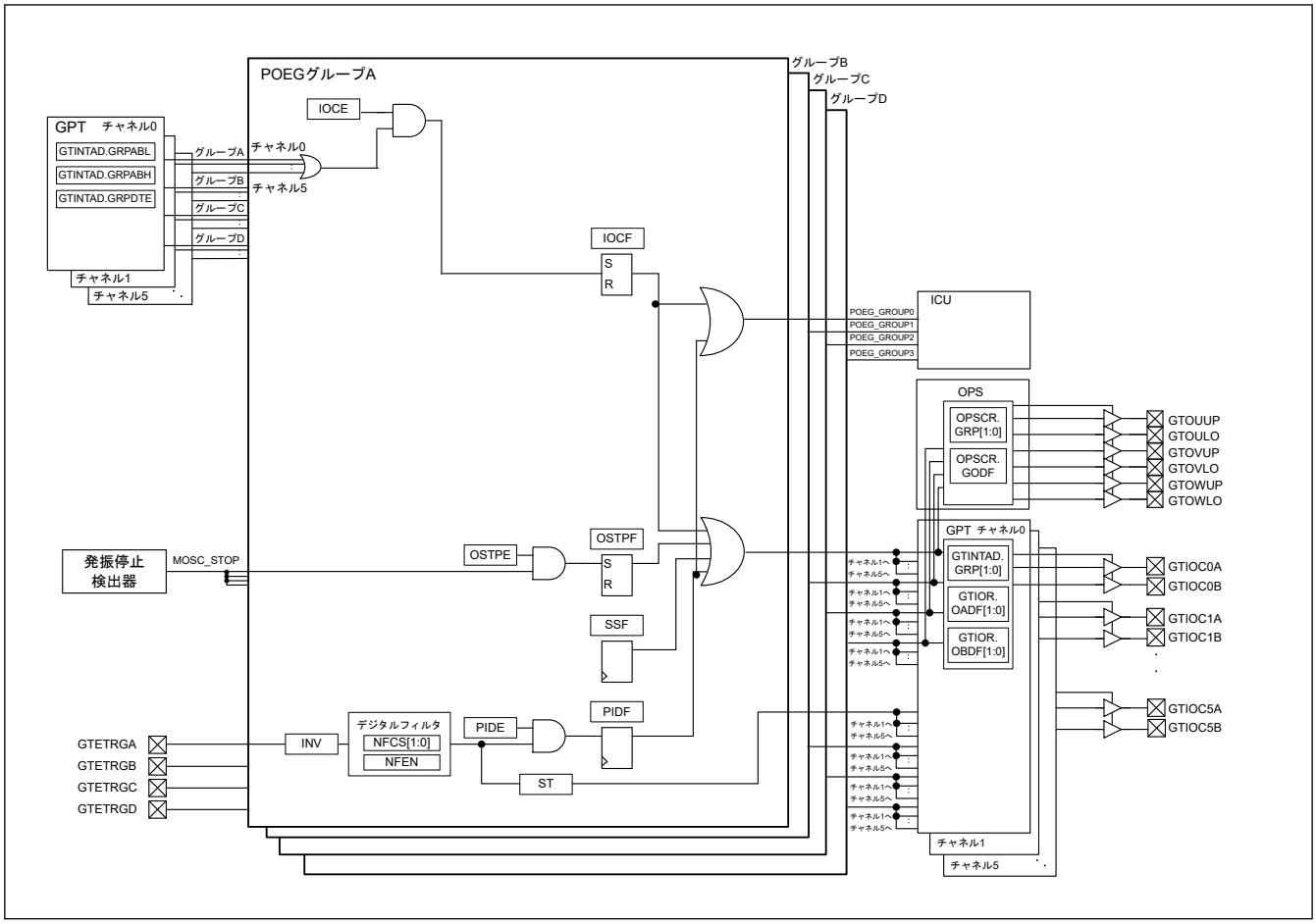


図 19.1 POEG のブロック図

表 19.2 POEG の入力端子

端子名称	入出力	機能
GTETRGA	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 A
GTETRGB	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 B
GTETRGC	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 C
GTETRGD	入力	GPT 出力端子の出力禁止要求信号および GPT 外部トリガ入力端子 D

19.2 レジスタの説明

19.2.1 POEGGn : POEG グループ n 設定レジスタ（n = A～D）

Base address: POEG = 0x4008_A000

Offset address: 0x000 (POEGGA)
0x100 (POEGGB)
0x200 (POEGGC)
0x300 (POEGGD)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCS[1:0]		NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	ST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIDF	ポート入力検出フラグ 0: GTETRGn 端子からの出力禁止要求なし 1: GTETRGn 端子からの出力禁止要求あり	R/W(注1)
1	IOCF	GPT 出力禁止要求検出フラグ 0: GPT による出力禁止要求なし 1: GPT による出力禁止要求あり	R/W(注1)
2	OSTPF	発振停止検出フラグ 0: 発振停止検出による出力禁止要求なし 1: 発振停止検出による出力禁止要求あり	R/W(注1)
3	SSF	ソフトウェア停止フラグ 0: ソフトウェアからの出力禁止要求なし 1: ソフトウェアからの出力禁止要求あり	R/W
4	PIDE	ポート入力検出許可 0: GTETRGn 端子からの出力禁止要求を禁止 1: GTETRGn 端子からの出力禁止要求を許可	R/W(注2)
5	IOCE	GPT 出力禁止要求許可 0: GPT による出力禁止要求を禁止 1: GPT による出力禁止要求を許可	R/W(注2)
6	OSTPE	発振停止検出許可 0: 発振停止検出による出力禁止要求を禁止 1: 発振停止検出による出力禁止要求を許可	R/W(注2)
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ST	GTETRGn 入力ステータスフラグ 0: フィルタリング後の GTETRGn 入力は 0 1: フィルタリング後の GTETRGn 入力は 1	R
27:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	INV	GTETRGn 入力反転 0: GTETRGn をそのまま入力 1: GTETRGn を反転して入力	R/W
29	NFEN	ノイズフィルタ有効 0: ノイズフィルタリング無効 1: ノイズフィルタリング有効	R/W

ビット	シンボル	機能	R/W
31:30	NFCS[1:0]	ノイズフィルタクロック選択 0 0: GTETRGn 端子の入力レベルを PCLKB/1 クロックごとに 3 回サンプリング 0 1: GTETRGn 端子の入力レベルを PCLKB/8 クロックごとに 3 回サンプリング 1 0: GTETRGn 端子の入力レベルを PCLKB/32 クロックごとに 3 回サンプリング 1 1: GTETRGn 端子の入力レベルを PCLKB/128 クロックごとに 3 回サンプリング	R/W

注 1. フラグをクリアするための 0 の書き込みのみ可能です。
注 2. リセット後、1 回のみ書き込み可能です。

POEGGn (n = A～D) レジスタは、GPT 端子の出力禁止状態、割り込み、および GPT への外部トリガ入力を制御するレジスタです。

以下の説明で POEGGn とは、POEGGn (n = A～D) レジスタを表しています。

19.3 出力禁止制御の動作

以下のいずれかの条件が成立したとき、GTIOCxA、GTIOCxB、および BLDC モーター制御用 3 相 PWM 出力端子を出力禁止に設定できます。

- GTETRGn 端子の入力レベルまたはエッジ検出
  POEGGn.PIDE ビットが 1 の状態で、POEGGn.PIDF フラグが 1 になったとき。
- GPT からの出力禁止要求
  GTINTAD レジスタで禁止要求が許可されている場合に POEGGn.IOCE ビットが 1 の状態で、POEGGn.IOCF フラグが 1 になったとき。GTINTAD.GRPABH ビットおよび GTINTAD.GRPABL ビットの設定値が、GPT レジスタの GTINTAD.GRP[1:0]ビットまたは OPSCR.GRP[1:0]ビットで選択されたグループに適用されます。
- クロック発生回路の発振停止検出
  POEGGn.OSTPE ビットが 1 の状態で、メインクロック発振器の停止が検出され、POEGGn.OSTPF フラグが 1 になったとき
- SSF ビットの設定
  POEGGn.SSF を 1 に設定すると、GPT と PWM の出力が無効になります。

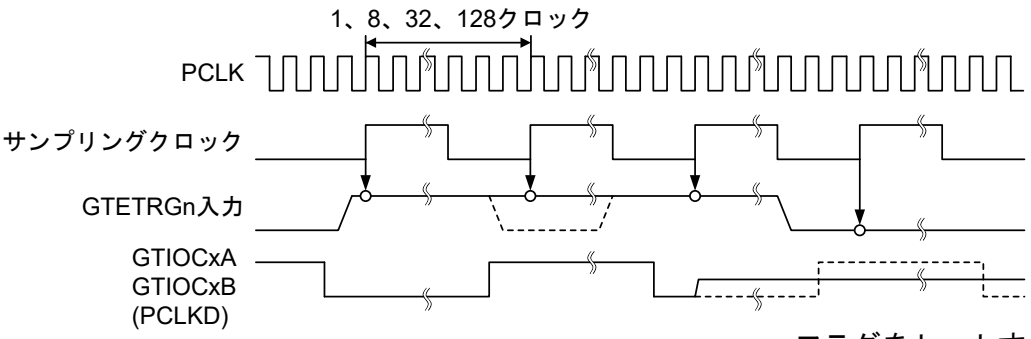
出力禁止の状態は、GPT モジュールで制御します。GTIOCxA 端子と GTIOCxB 端子の出力禁止は、GPTx の GTINTAD.GRP[1:0]ビット、GTIOR.OADF[1:0]ビットおよび GTIOR.OBDF[1:0]ビットで設定されます。BLDC モーター制御用 3 相 PWM 出力の出力禁止は、GPT_OPS の OPSCR.GRP[1:0]ビットおよび OPSCR.GODF ビットで設定されます。

19.3.1 端子入力レベル検出時の動作

POEGGn.PIDE ビット、POEGGn.NFCS[1:0]ビット、POEGGn.NFEN ビット、および POEGGn.INV ビットに設定された入力条件が、GTETRGn 端子で発生すると、GPT 出力端子は出力禁止状態になります。

19.3.1.1 デジタルフィルタ

図 19.2 にデジタルフィルタによる High 検出時の動作を示します。POEGGn.INV ビットの極性の設定に対応した High 状態が、POEGGn.NFCS[1:0]ビットで選択したサンプリングクロックにおいて 3 回連続して検出されたとき、High 検出とみなされて、GPT 出力端子は出力禁止状態になります。このとき、一度でも Low を検出した場合は、High 検出とみなされません。さらに、サンプリングクロックが出力されていない期間は、GTETRGn 端子のレベル変化が無視されます。



注. PCLK = PCLKB
注. 各チャネルの出力は、GPT で設定できます。Low サンプリングは、POEGGn.INV で設定できます。

図 19.2 デジタルフィルタの動作例

19.3.2 GPT からの出力禁止要求

動作の詳細については、「20. 汎用 PWM タイマ (GPT)」の GTIOC 端子出力の出力禁止制御の説明を参照してください。

19.3.3 発振停止検出による出力禁止制御

POEGGn.OSTPE ビットが 1 の場合、クロック発生回路の発振停止検出機能が発振停止を検出すると、GPT 出力端子はグループごとに出力禁止になります。

19.3.4 レジスタによる出力禁止制御

GPT 出力端子は、ソフトウェア停止フラグ (POEGGn.SSF) に 1 を書き込むことで直接制御が可能です。

19.3.5 出力禁止状態の解除

出力禁止状態になっている GPT 出力端子を解放するには、リセットによって初期状態に復帰させるか、または下記のフラグをすべてクリアします。

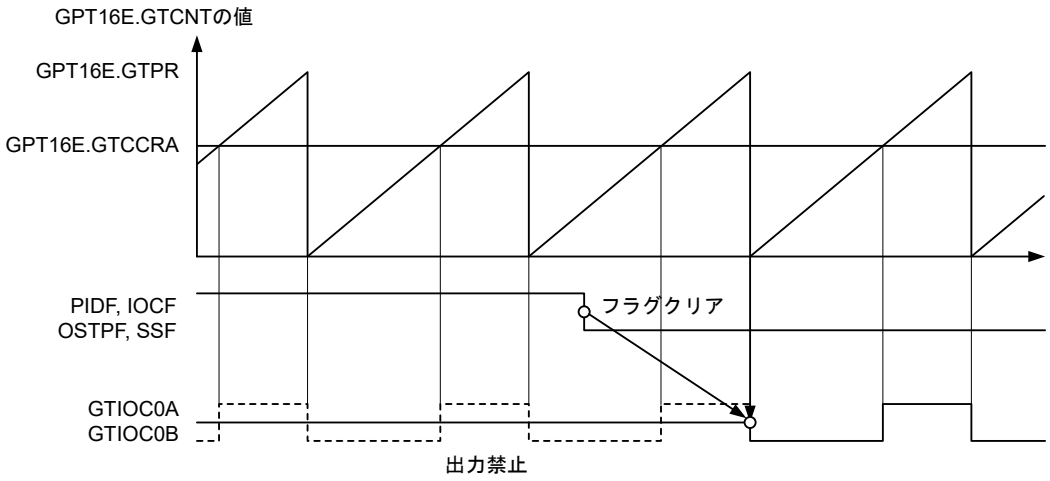
- POEGGn.PIDF
- POEGGn.IOCF
- POEGGn.OSTPF
- POEGGn.SSF

外部入力端子 GTETRGn が無効ではなく、かつ POEGGn.ST ビットが 0 になっていなければ、POEGGn.PIDF フラグに 0 を書いても無視されます（フラグはクリアされません）。

GPT の GTST.OABHF フラグおよび GTST.OABLF フラグがすべて 0 になっている場合にのみ、POEGGn.IOCF フラグに 0 を書くこと（フラグをクリアすること）ができます。

クロック発生回路の OSTDSR.OSTDF フラグが 0 になっていない場合、POEGGn.OSTPF フラグに 0 を書いても無視されます（フラグはクリアされません）。また、フラグのセットとクリアが同時に発生した場合、セットが優先されます。

図 19.3 に、出力禁止状態の解除タイミングを示します。フラグがクリアされた後、次の GPT カウント周期の開始時に、出力禁止状態が解除されます。



注. レジスタのベースアドレスは同じです。

図 19.3 GPT 端子出力の出力禁止状態の解除タイミング

19.4 割り込み要因

POEG は、以下の要因に対して割り込み要求を発生させます。

- 入力レベル検出による出力禁止制御
- GPT からの出力禁止要求

表 19.3 に、割り込み要求の条件を示します。

表 19.3 POE の入力端子

割り込み要因	シンボル	対応するフラグ	トリガ条件
POEG グループ A 割り込み	POEG_GROUPA	POEGGA.IOCF	GPT からの出力禁止要求の発生
		POEGGA.PIDF	GTETRGA 端子からの出力禁止要求の発生
POEG グループ B 割り込み	POEG_GROUPB	POEGGB.IOCF	GPT からの出力禁止要求の発生
		POEGGB.PIDF	GTETRGB 端子からの出力禁止要求の発生
POEG グループ C 割り込み	POEG_GROUPC	POEGGC.IOCF	GPT からの出力禁止要求の発生
		POEGGC.PIDF	GTETRGC 端子からの出力禁止要求の発生
POEG グループ D 割り込み	POEG_GROUPD	POEGGD.IOCF	GPT からの出力禁止要求の発生
		POEGGD.PIDF	GTETRGD 端子からの出力禁止要求の発生

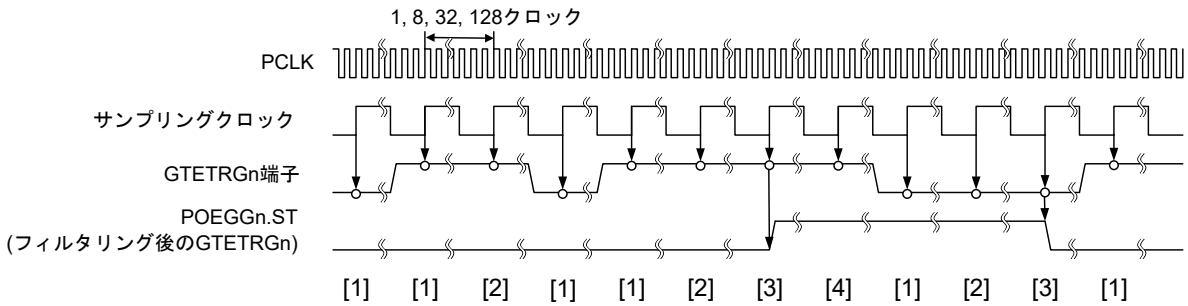
19.5 GPT に対する外部トリガ出力

POEG は、下記の GPT 動作のトリガ信号として、GTETRGn 端子入力をフィルタリング、レベル検出して、出力します。

- カウント開始
- カウント停止
- カウントクリア
- アップカウント
- ダウンカウント
- インプットキャプチャ

POEGGn.INV ビットで設定した極性信号に対し、POEGGn.NFCS[1:0]ビットで選択したサンプリングクロックで同じレベルが 3 回連続して入力されたとき、その値が出力されます。「19.3.1. 端子入力レベル検出時の動作」の入力レベル検出動作と同様にコントロールレジスタを設定してください。フィルタリング後の状態は POEGGn.ST フラグでモニタできます。

図 19.4 に、GPT に対する外部トリガ出力のタイミングを示します。



注. PCLK = PCLKB
注. 各チャネルの出力は、GPT で設定可能です。極性は POEGGn.INV ビットで反転できます。

図 19.4 GPT に対する外部トリガ出力のタイミング

19.6 使用上の注意

19.6.1 ソフトウェアスタンバイモードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードへ遷移させないでください。このモードでは POEG が停止するため、端子の出力禁止を制御することができません。

19.6.2 GPT 対応端子の指定

POEG は、PmnPFS.PMR および PmnPFS.PSEL ビットによって、GPT 対応端子として指定された場合にのみ出力禁止制御を行います。端子が汎用入出力端子として指定されている場合、POEG は出力禁止制御を行いません。

20. 汎用 PWM タイマ (GPT)

20.1 概要

汎用 PWM タイマ (GPT) は、GPT16E を 4 チャネルもつ 16 ビットタイマです。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。

表 20.1 に GPT の仕様を、表 20.2 に GPT の機能一覧を示します。また、図 20.1 に GPT のブロック図を示します。

表 20.1 GPT の仕様

パラメータ	内容
機能	• 16 ビット × 4 チャネル（GPT16Em（m = 0, 1, 4, 5）） • 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、またはアップダウンカウント（三角波）を選択可能 • チャネルごとに独立したクロックソースを選択可能 • チャネルごとに 2 本の入出力端子 • チャネルごとにアウトプットコンペア／インプットキャプチャ用レジスタが 2 本 • 各チャネル 2 本のアウトプットコンペア／インプットキャプチャレジスタに対し、4 本のバッファレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山／谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 • チャネルごとにフレーム周期設定用レジスタを搭載（オーバーフロー／アンダーフローで割り込み可能） • PWM 動作の際にデッドタイム生成が可能 • 任意チャネルのカウンタの同期スタート／ストップ／クリア可能 • 最大 8 つの ELC イベントによるカウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 • 2 本の入力端子の状態を検出し、カウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 • 最大 4 本の外部トリガにより、カウントスタート／ストップ／クリア／アップカウント／ダウンカウント／インプットキャプチャ動作が可能 • 出力端子間の短絡検出およびデッドタイムエラーによる出力端子無効機能 • A/D コンバータ開始トリガ生成が可能 • ブラシレス DC モーター制御用の PWM 波形生成が可能 • コンペアマッチ A～F イベント、オーバーフローイベント／アンダーフローイベントおよび入力 UVW エッジイベントを ELC に出力可能 • インプットキャプチャおよび入力 UVW 用のノイズフィルタが有効 • 周期計数機能 • チャネル出力間の論理演算 • バスクロック：PCLKA、コアクロック：PCLKD • 周波数比：PCLKA:PCLKD = 1:N (N = 1/2/4/8/16/32/64)

表 20.2 GPT の機能一覧 (1/2)

項目	内容
カウントクロック	PCLKD PCLKD/2 PCLKD/4 PCLKD/8 PCLKD/16 PCLKD/32 PCLKD/64 PCLKD/256 PCLKD/1024 GTETRGA、GTETRGB、GTETRGC、GTETRGD
アウトプットコンペア／インプットキャプチャレジスタ (GTCCR)	GTCCRA GTCCRB
コンペア／バッファレジスタ	GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ	GTPR

表 20.2 GPT の機能一覧 (2/2)

項目		内容
周期設定バッファレジスタ		GTPBR GTPDBR
入出力端子		GTIOCnA GTIOCnB (n = 0, 1, 4, 5)
外部トリガ入力端子(注1)		GTETRGA GTETRGB GTETRGC GTETRGD
カウンタクリア要因		GTPR レジスタコンペアマッチ インプットキャプチャ 入力端子の状態 ELC イベント入力 GTETRGn (n = A～D) 端子入力
周期計数機能		可能 GPT16Em (m = 0, 1, 4, 5)
コンペアマッチ出力	Low 出力	使用可能
	High 出力	使用可能
	トグル出力	使用可能
インプットキャプチャ機能		使用可能
デッドタイム自動付加機能		使用可能
PWM モード		使用可能
位相計数機能		使用可能
バッファ動作		ダブルバッファ 複数チャネルへの同時動作無効制御
ワンショット動作		使用可能
DMAC/DTC の起動		すべての割り込み要因
A/D 変換開始要求		GTADTRA レジスタまたは GTADTRB レジスタのコンペアマッチ
ブラシレス DC モータ制御機能		使用可能
割り込み要因		11 要因 ● GTCCRA コンペアマッチ／インプットキャプチャ (GPTn_CCMPA) ● GTCCRB コンペアマッチ／インプットキャプチャ (GPTn_CCMPB) ● GTCCRC コンペアマッチ (GPTn_CMPC) ● GTCCRD コンペアマッチ (GPTn_CMPD) ● GTCCRE コンペアマッチ (GPTn_CMPE) ● GTCCRF コンペアマッチ (GPTn_CMPF) ● GTADTRA コンペアマッチ (GPTn_ADTRGA) ● GTADTRB コンペアマッチ (GPTn_ADTRGB) ● GTCNT オーバーフロー（GTPR コンペアマッチ） (GPTn_OVF) ● GTCNT アンダーフロー (GPTn_UDF) ● GTPC カウント停止 (GPTx_PC) (x = 0, 1, 4, 5)
割り込みスキップ機能		GTCNT カウンタオーバーフロー（GTPR レジスタコンペアマッチ）(GTPn_OVF) および GTCNT カウンタアンダーフロー (GTPn_UDF) の割り込みスキップ（他の割り込みと A/D 変換開始要求のインターロック）
イベントリンク (ELC) 機能		使用可能(注2)
ノイズフィルタ機能		使用可能
チャネル出力間の論理演算		使用可能
TrustZone フィルタ		使用可能

注 1. GTETRGn は、POEG モジュールを経由して GPT に接続します。そのため、GPT 機能を使用するには、MSTPCRD.MSTPDn（n = 11～14）ビットをクリアして POEG にクロックを供給する必要があります。
注 2. 「20.6. ELC によるリンク動作」を参照してください。

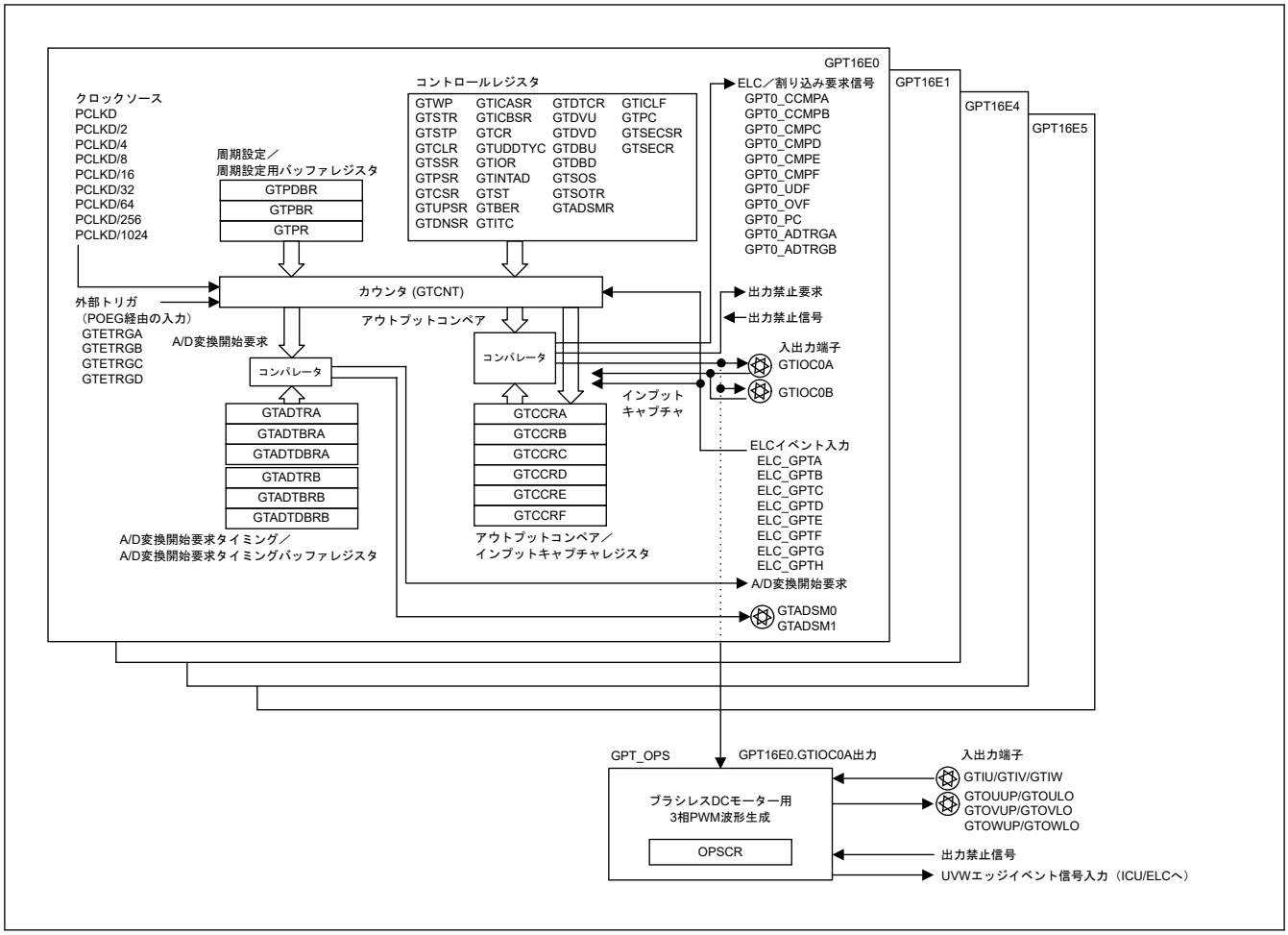


図 20.1　GPT のブロック図

図 20.2 にチャネルとモジュール名の関係を示します。

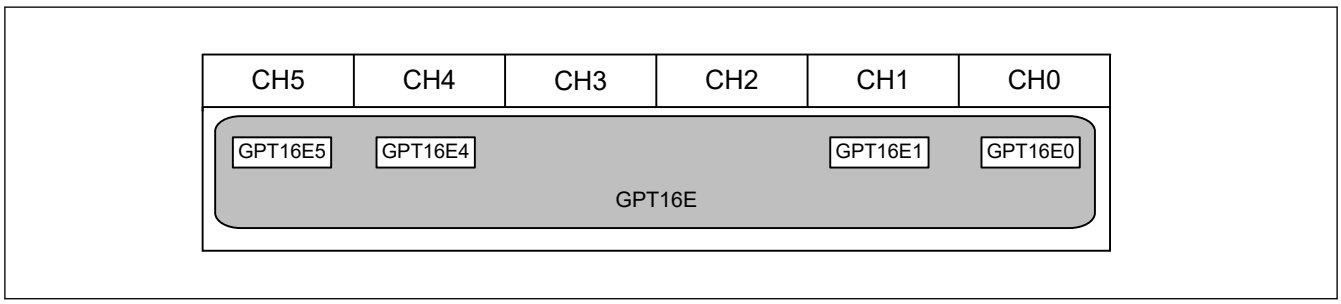


図 20.2　GPT チャネルとモジュール名の関係

表 20.3 に入出力端子の一覧を示します。

表 20.3　GPT の入出力端子 (1/2)

チャネル	端子名	入出力	機能
共通	GTETRGx	入力	外部トリガ入力端子 x（POEG 経由の入力）
	GTADSM0	出力	A/D 変換開始要求監視 0 出力端子
	GTADSM1	出力	A/D 変換開始要求監視 1 出力端子
GPT16Em	GTIOCnA	入出力	GTCCRA レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子
	GTIOCnB	入出力	GTCCRB レジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子

表 20.3 GPT の入出力端子 (2/2)

チャネル	端子名	入出力	機能
GPT_OPS	GTIU	入力	ホールセンサ入力端子 U
	GTIV	入力	ホールセンサ入力端子 V
	GTIW	入力	ホールセンサ入力端子 W
	GTOUUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 U 相）
	GTOULO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 U 相）
	GTOVUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 V 相）
	GTOVLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 V 相）
	GTOWUP	出力	BLDC モーター制御用 3 相 PWM 出力（正相 W 相）
	GTOWLO	出力	BLDC モーター制御用 3 相 PWM 出力（逆相 W 相）

注. x: A～D
m: 0, 1, 4, 5

20.2 レジスタの説明

20.2.1 GTWP : 汎用 PWM タイマ書き込み保護レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PRKEY[7:0]								—	—	—	CMNWP	CLRWP	STPWP	STRWP	WP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WP	レジスタ書き込み禁止 0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
1	STRWP	GTSTR.CSTRT ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
2	STPWP	GTSTP.CSTOP ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
3	CLRWP	GTCLR.CCLR ビット書き込み禁止 0: ビットへの書き込みを許可 1: ビットへの書き込みを禁止	R/W
4	CMNWP	共通レジスタ書き込み禁止 0: レジスタへの書き込みを許可 1: レジスタへの書き込みを禁止	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	PRKEY[7:0]	GTWP キーコード これらのビットに 0xA5 を書き込むと、WP、STRWP、STPWP、CLRWP、および CMNWP ビットへの書き込みが許可されます。読むと 0 が読めます。	W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTWP レジスタは、誤書き込み防止のためレジスタへの書き込みを許可または禁止するレジスタです。GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

WP ビット（レジスタ書き込み禁止）

書き込みが許可または禁止されるレジスタは以下のとおりです。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR, GTADSMR, GTICLF, GTPC

STRWP ビット（GTSTR.CSTRT ビット書き込み禁止）

STRWP ビットは、GTSTR レジスタのチャネル番号に対応する CSTRTn ビット (n = 0, 1, 4, 5) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSTR レジスタの各 CSTRTn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSTR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの STRWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する CSTRT ビットの更新のみを制御します。

したがって、STRWP ビットが 1（書き込み禁止）に設定されたチャネルの CSTRT ビットへの書き込みの場合、そのチャネルの CSTRT ビットは更新されませんが、STRWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CSTRT ビットは更新されます。例えば、GPT16E0.GTWP.STRWP ビットが 0（書き込み許可）であるとき、GPT16E1.GTSTR.CSTRT0 ビットが 0 であるときこれに 1 を書き込むと、値が更新され、GPT16E0.GTCNT カウンタがカウント開始します。GPT16E0.GTWP.STRWP ビットが 1（書き込み禁止）であるとき、GPT16E1.GTSTR.CSTRT0 ビットが 0 であるときこれに 1 を書き込んでも、この値は 0 のままとなり、GPT16E0.GTCNT カウンタは動作しません。

GTSTR レジスタの全ビットの更新を保護したい場合は、全チャネルの STRWP ビットを 1 に設定してください。

STPWP ビット（GTSTP.CSTOP ビット書き込み禁止）

STPWP ビットは、GTSTP レジスタのチャネル番号に対応する CSTOPn ビット (n = 0, 1, 4, 5) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSTP レジスタの各 CSTOPn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSTP レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの STPWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する CSTOP ビットの更新のみを制御します。

したがって、STPWP ビットが 1（書き込み禁止）に設定されたチャネルの CSTOP ビットへの書き込みの場合、そのチャネルの CSTOP ビットは更新されませんが、STPWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CSTOP ビットは更新されます。例えば、GPT16E0.GTWP.STPWP ビットが 0（書き込み許可）であるとき、GPT16E1.GTSTP.CSTOP0 ビットが 0 であるときこれに 1 を書き込むと、値が更新され、GPT16E0.GTCNT カウンタが停止します。GPT16E0.GTWP.STPWP ビットが 1（書き込み禁止）であるとき、GPT16E1.GTSTP.CSTOP0 ビットが 0 であるときこれに 1 を書き込んでも、この値は 0 のままとなり、GPT16E0.GTCNT カウンタは停止しません。

GTSTP レジスタの全ビットの更新を保護したい場合は、全チャネルの STPWP ビットを 1 に設定してください。

CLRWP ビット（GTCLR.CCLR ビット書き込み禁止）

CLRWP ビットは、GTCLR レジスタのチャネル番号に対応する CCLRn ビット (n = 0, 1, 4, 5) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTCLR レジスタの各 CCLRn ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTCLR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの CLRWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する CCLR ビットの更新のみを制御します。

したがって、CLRWP ビットが 1（書き込み禁止）に設定されたチャネルの CCLR ビットへの書き込みの場合、そのチャネルの CCLR ビットは更新されませんが、CLRWP ビットが 0（書き込み許可）に設定されているチャネルに対応する CCLR ビットは更新されます。例えば、GPT16E0.GTWP.CLRWP ビットが 0（書き込み許可）であるとき、GPT16E1.GTCLR.CCLR0 ビットが 0 であるときこれに 1 を書き込むと、値が更新され、

GPT16E0.GTCNT カウンタがクリアされます。GPT16E0.GTWP.CLRWP ビットが 1（書き込み禁止）であるとき、GPT16E1.GTCLR.CCLR0 ビットが 0 であるときこれに 1 を書き込んでも、この値は 0 のままとなり、GPT16E0.GTCNT カウンタはクリアされません。

GTCLR レジスタの全ビットの更新を保護したい場合は、全チャネルの CLRWP ビットを 1 に設定してください。

CMNWP ビット（共通レジスタ書き込み禁止）

CMNWP ビットは、GTSECSR レジスタまたは GTSECR レジスタのチャネル番号に対応する SECSELn ビット (n = 0, 1, 4, 5) に書き込むことによるカウンタ値の更新開始を許可または禁止します。

GTSECSR レジスタの各 SECSEL ビットは、ビット位置をチャネル番号として各チャネルに割り当てられており、任意のチャネルの GTSECSR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。任意のチャネルの GTSECR レジスタへの書き込みは全チャネルのレジスタへの書き込みとなります。各チャネルの CMNWP ビットは書き込みを制御するのではなく、すべてのチャネルで同時に行われる書き込みに対して、そのチャネルに対応する SECSEL ビットおよび GTSECR レジスタ値の更新のみを制御します。

したがって、CMNWP ビットが 1（書き込み禁止）に設定されたチャネルの SECSEL ビットと GTSECR レジスタ値を書き込む場合、そのチャネルの SECSEL ビットと GTSECR レジスタ値は更新されませんが、CMNWP ビットが 0（書き込み許可）に設定されているチャネルに対応する SECSEL ビットと GTSECR レジスタ値は更新されます。

例えば、GPT16E0.GTWP.CMNWP ビットが 0（書き込み許可）であるとき、GPT16E1.GTSECSR.SECSEL0 ビットに値を書き込むと、GPT16E0.GTSECSR.SECSEL0 ビットの値が更新されます。同様に、GPT16E1.GTSECR レジスタへの書き込みをすると、GPT16E0.GTSECR レジスタの値を更新します。GPT16E0.GTWP.CMNWP ビットが 1（書き込み禁止）であるとき、GPT16E1.GTSECSR.SECSEL0 ビットに値を書き込んでも GPT16E0.GTSECSR.SECSEL0 ビットの値は更新されません。同様に、GPT16E1.GTSECR レジスタに値を書き込んでも、GPT16E0.GTSECR レジスタの値は更新されません。

GTSECSR レジスタと GTSECR レジスタの全ビットの更新を保護したい場合は、全チャネルの CMNWP ビットを 1 に設定してください。

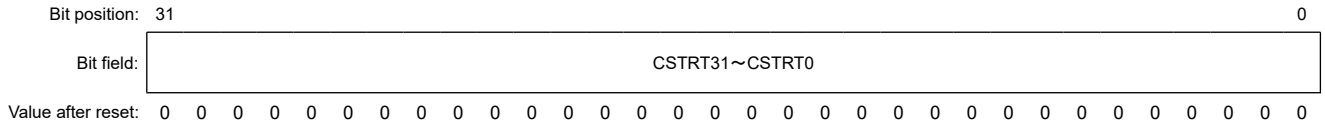
PRKEY[7:0]ビット（GTWP キーコード）

このビットは WP、STRWP、STPWP、CLRWP、および CMNWP ビットへの書き込みを制御します。

20.2.2 GTSTR : 汎用 PWM タイマソフトウェアスタートレジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x04



ビット	シンボル	機能	R/W
31:0	CSTRT0～ CSTRT31(注1)	チャネル n GTCNT カウントスタート（n：ビット位置の値と同一） 0: GTCNT カウンタ動作を開始しない 1: GTCNT カウンタ動作を開始する	R/W

注 1. 使用可能なビットは製品により変わります。CSTRTn の n は GPT のチャネル番号と同一です。本製品では、n は 0, 1, 4, 5 です。

GTSTR レジスタは、各チャネル n (n = 0, 1, 4, 5) の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャネル番号に相当します。GTSTR レジスタは各チャネル共通です。1 が書き込まれた GTSTR レジスタのビット番号に対応するチャネルの GTCNT カウンタが動作を開始します。0 を書き込んでも、GTCNT カウンタの状態と GTSTR レジスタの値には影響しません。

セキュリティ属性がセキュアとして構成されたチャネルに対応するビットは非セキュアアクセスで読み出し可能ですが、非セキュアアクセスで書き込みはできません。例えば、GPT チャネル 0 がセキュアで、他のチャネルが非セキュアに設定されている場合、GPT チャネル 1 の GTSTP レジスタへの非セキュアアクセスにより CSTRT0 ビットに書き込めません。また、GPT チャネル 0 の GTCNT カウンタ動作ステータスは変更されません。GPT チャネル 1 の GTSTR レジスタを、前の例と同じセキュリティ構成の非セキュアアクセスで読み出した場合、GPT チャネル 0 の GTCNT カウンタ動作ステータス（CSTRT0 ビット）を読み出せます。

モジュール名とチャネル番号の関係については、図 20.2 を参照してください。

CSTRTn ビット（チャネル n GTCNT カウントスタート (n = 0, 1, 4, 5)）

CSTRTn ビットはチャネル n の GTCNT カウンタ動作を開始します。GTSSR.CSTRT ビットを 1 にしないかぎり、GTSTR.CSTRTn ビット (n = 0, 1, 4, 5) への書き込みは無効です。

読み出しデータは各チャネルのカウンタ状態（GTCR.CST ビット値）を示します。0 はカウンタ停止中を、1 はカウンタ動作中を意味します。

20.2.3 GTSTP : 汎用 PWM タイマソフトウェアストップレジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x08

Bit position:	31																												0
Bit field:	CSTOP31～CSTOP0																												
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	CSTOP0～ CSTOP31(注1)	チャネル n GTCNT カウントストップ（n：ビット位置の値と同一） 0: GTCNT カウンタ動作を停止しない 1: GTCNT カウンタ動作を停止する	R/W

注 1. 使用可能なビットは製品により変わります。CSTOPn の n は GPT のチャネル番号と同一です。本製品では、n は 0, 1, 4, 5 です。

GTSTP レジスタは、各チャネル n (n = 0, 1, 4, 5) の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャネル番号に相当します。GTSTP レジスタは各チャネル共通です。 1 が書き込まれた GTSTP レジスタのビット番号に対応するチャネルの GTCNT カウンタが停止します。0 を書き込んでも、GTCNT カウンタの状態と GTSTP レジスタの値には影響しません。

セキュリティ属性がセキュアとして構成されたチャネルに対応するビットは非セキュアアクセスで読み出し可能ですが、非セキュアアクセスで書き込みはできません。例えば、GPT チャネル 0 がセキュアで、他のチャネルが非セキュアに設定されている場合、GPT チャネル 1 の GTSTP レジスタへの非セキュアアクセスにより CSTOP0 ビットに書き込めません。また、GPT チャネル 0 の GTCNT カウンタ動作ステータスは変更されません。GPT チャネル 1 の GTSTP レジスタを、前の例と同じセキュリティ構成の非セキュアアクセスで読み出した場合、GPT チャネル 0 の GTCNT カウンタ動作ステータス（CSTOP0 ビット）を読み出せます。

モジュール名とチャネル番号の関係については、図 20.2 を参照してください。

CSTOPn ビット（チャネル n GTCNT カウントストップ (n = 0, 1, 4, 5)）

CSTOPn ビットはチャネル n の GTCNT カウンタ動作を停止します。GTPSR.CSTOP ビットを 1 にしないかぎり、GTSTP.CSTOPn ビット (n = 0, 1, 4, 5) への書き込みは無効です。読み出しデータは各チャネルのカウンタ状態（GTCR.CST ビットの反転値）を示します。0 はカウンタ動作中を、1 はカウンタ停止中を意味します。

20.2.4 GTCLR : 汎用 PWM タイマソフトウェアクリアレジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x0C

Bit position:	31																												0
Bit field:	CCLR31～CCLR0																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	CCLR0～ CCLR31(注1)	チャネル n GTCNT カウントクリア（n：ビット値と同一） 0: GTCNT カウンタ値がクリアされない 1: GTCNT カウンタ値がクリアされる	W

注 1. 使用可能なビットは製品により変わります。CCLRn の n は GPT のチャネル番号と同一です。本製品では、n は 0, 1, 4, 5 です。

GTCLR レジスタは書き込み専用レジスタで、各チャネル n（n = 0, 1, 4, 5）の GTCNT カウンタをクリアします。

GTCLR レジスタのビット番号はチャネル番号に相当します。GTCLR レジスタは各チャネル共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャネルの GTCNT カウンタがクリアされます。 0 を書き込んでも GTCNT カウンタ値の状態には影響しません。

セキュリティ属性がセキュアとして構成されたチャネルに対応するビットは、非セキュアアクセスで書き込みはできません。例えば、GPT チャネル 0 がセキュアとして構成され、ほかの GPT が非セキュアで構成されている場合、GPT チャネル 1 の GTCLR レジスタへの非セキュアアクセスで CCLR0 ビットへの書き込みはできません。また、GPT チャネル 0 の GTCNT カウンタはクリアされません。

モジュール名とチャネル番号の関係については、図 20.2 を参照してください。

CCLRn ビット（チャネル n GTCNT カウントクリア（n = 0, 1, 4, 5））

GTCR.MD[2:0]ビットで選択されたのこぎり波モードでカウント方向フラグがデクリメント (GTST.TUCF = 0) に設定される場合、GTCNT カウンタ値は CCLRn ビットへの 1 書き込みに対応する GTPR レジスタの値になります。カウンタ値は他の設定で 0x00000000 になります。読むと 0 が読めます。

20.2.5 GTSSR : 汎用 PWM タイマスタート要因選択レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CSTRT	—	—	—	—	—	—	—	SSELCH	SSELCG	SSELCF	SSELCE	SSELCD	SSELCC	SSELCB	SSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SSCBFAH	SSCBFAL	SSCBRAH	SSCBRAL	SSCAFBH	SSCAFBL	SSCARBH	SSCARBL	SSGTRGDF	SSGTRGDR	SSGTRGCF	SSGTRGCR	SSGTRGBF	SSGTRGBR	SSGTRGAF	SSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSGTRGAR	GTETRGA 立ち上がり要因カウントスタート許可 0: GTETRGA 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGA 入力の立ち上がりによるカウントスタートを許可	R/W
1	SSGTRGAF	GTETRGA 立ち下がり要因カウントスタート許可 0: GTETRGA 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGA 入力の立ち下がりによるカウントスタートを許可	R/W
2	SSGTRGBR	GTETRGB 立ち上がり要因カウントスタート許可 0: GTETRGB 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGB 入力の立ち上がりによるカウントスタートを許可	R/W
3	SSGTRGBF	GTETRGB 立ち下がり要因カウントスタート許可 0: GTETRGB 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGB 入力の立ち下がりによるカウントスタートを許可	R/W
4	SSGTRGCR	GTETRGC 立ち上がり要因カウントスタート許可 0: GTETRGC 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGC 入力の立ち上がりによるカウントスタートを許可	R/W
5	SSGTRGCF	GTETRGC 立ち下がり要因カウントスタート許可 0: GTETRGC 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGC 入力の立ち下がりによるカウントスタートを許可	R/W
6	SSGTRGDR	GTETRGD 立ち上がり要因カウントスタート許可 0: GTETRGD 入力の立ち上がりによるカウントスタートを禁止 1: GTETRGD 入力の立ち上がりによるカウントスタートを許可	R/W
7	SSGTRGDF	GTETRGD 立ち下がり要因カウントスタート許可 0: GTETRGD 入力の立ち下がりによるカウントスタートを禁止 1: GTETRGD 入力の立ち下がりによるカウントスタートを許可	R/W

ビット	シンボル	機能	R/W
8	SSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを許可	R/W
9	SSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントスタートを許可	R/W
10	SSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを許可	R/W
11	SSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントスタートを許可	R/W
12	SSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを許可	R/W
13	SSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントスタートを許可	R/W
14	SSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを許可	R/W
15	SSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントスタートを許可	R/W
16	SSELCA	ELC_GPTA イベント要因カウントスタート許可 0: ELC_GPTA イベント入力によるカウントスタートを禁止 1: ELC_GPTA イベント入力によるカウントスタートを許可	R/W
17	SSELCB	ELC_GPTB イベント要因カウントスタート許可 0: ELC_GPTB イベント入力によるカウントスタートを禁止 1: ELC_GPTB イベント入力によるカウントスタートを許可	R/W
18	SSELCC	ELC_GPTC イベント要因カウントスタート許可 0: ELC_GPTC イベント入力によるカウントスタートを禁止 1: ELC_GPTC イベント入力によるカウントスタートを許可	R/W
19	SSELCD	ELC_GPTD イベント要因カウントスタート許可 0: ELC_GPTD イベント入力によるカウントスタートを禁止 1: ELC_GPTD イベント入力によるカウントスタートを許可	R/W
20	SSELCE	ELC_GPTE イベント要因カウントスタート許可 0: ELC_GPTE イベント入力によるカウントスタートを禁止 1: ELC_GPTE イベント入力によるカウントスタートを許可	R/W
21	SSELCF	ELC_GPTF イベント要因カウントスタート許可 0: ELC_GPTF イベント入力によるカウントスタートを禁止 1: ELC_GPTF イベント入力によるカウントスタートを許可	R/W

ビット	シンボル	機能	R/W
22	SSELCG	ELC_GPTG イベント要因カウントスタート許可 0: ELC_GPTG イベント入力によるカウントスタートを禁止 1: ELC_GPTG イベント入力によるカウントスタートを許可	R/W
23	SSELCH	ELC_GPTH イベント要因カウントスタート許可 0: ELC_GPTH イベント入力によるカウントスタートを禁止 1: ELC_GPTH イベント入力によるカウントスタートを許可	R/W
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CSTRT	ソフトウェア要因カウントスタート許可 0: GTSTR レジスタによるカウントスタートを禁止 1: GTSTR レジスタによるカウントスタートを許可	R/W

注. n = 0, 1, 4, 5

GTSSR レジスタは、GTCNT カウンタのカウントスタートの要因を設定するレジスタです。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

SSGTRGAR ビット（GTETRGA 立ち上がり要因カウントスタート許可）

SSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGAF ビット（GTETRGA 立ち下がり要因カウントスタート許可）

SSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGBR ビット（GTETRGB 立ち上がり要因カウントスタート許可）

SSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGBF ビット（GTETRGB 立ち下がり要因カウントスタート許可）

SSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGCR ビット（GTETRGC 立ち上がり要因カウントスタート許可）

SSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGCF ビット（GTETRGC 立ち下がり要因カウントスタート許可）

SSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGDR ビット（GTETRGD 立ち上がり要因カウントスタート許可）

SSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSGTRGDF ビット（GTETRGD 立ち下がり要因カウントスタート許可）

SSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可）

SSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントスタート許可）

SSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可）

SSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントスタート許可）

SSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可）

SSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントスタート許可）

SSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可）

SSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントスタート許可）

SSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

SSELCm ビット（ELC_GPTm イベント要因カウントスタート許可）(m = A～H)

SSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウントスタートの許可／禁止を選択します。

CSTRT ビット（ソフトウェア要因カウントスタート許可）

CSTRT ビットは GTSTR レジスタによる GTCNT カウンタのカウントスタートの許可／禁止を選択します。

20.2.6 GTPSR : 汎用 PWM タイマストップ要因選択レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CSTOP	—	—	—	—	—	—	—	PSELCH	PSELCG	PSELCF	PSELCE	PSELCD	PSELCC	PSELCB	PSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	PSCBFAH	PSCBFAL	PSCBRAH	PSCBRAL	PSCAFBH	PSCAFBL	PSCARBH	PSCARBL	PSGTRGDF	PSGTRGDR	PSGTRGCF	PSGTRGCR	PSGTRGBF	PSGTRGBR	PSGTRGAF	PSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PSGTRGAR	GTETRGA 立ち上がり要因カウントストップ許可 0: GTETRGA 入力の立ち上がりによるカウントストップを禁止 1: GTETRGA 入力の立ち上がりによるカウントストップを許可	R/W

ビット	シンボル	機能	R/W
1	PSGTRGAF	GTETRGA 立ち下がり要因カウントストップ許可 0: GTETRGA 入力の立ち下がりによるカウントストップを禁止 1: GTETRGA 入力の立ち下がりによるカウントストップを許可	R/W
2	PSGTRGBR	GTETRGB 立ち上がり要因カウントストップ許可 0: GTETRGB 入力の立ち上がりによるカウントストップを禁止 1: GTETRGB 入力の立ち上がりによるカウントストップを許可	R/W
3	PSGTRGBF	GTETRGB 立ち下がり要因カウントストップ許可 0: GTETRGB 入力の立ち下がりによるカウントストップを禁止 1: GTETRGB 入力の立ち下がりによるカウントストップを許可	R/W
4	PSGTRGCR	GTETRGC 立ち上がり要因カウントストップ許可 0: GTETRGC 入力の立ち上がりによるカウントストップを禁止 1: GTETRGC 入力の立ち上がりによるカウントストップを許可	R/W
5	PSGTRGCF	GTETRGC 立ち下がり要因カウントストップ許可 0: GTETRGC 入力の立ち下がりによるカウントストップを禁止 1: GTETRGC 入力の立ち下がりによるカウントストップを許可	R/W
6	PSGTRGDR	GTETRGD 立ち上がり要因カウントストップ許可 0: GTETRGD 入力の立ち上がりによるカウントストップを禁止 1: GTETRGD 入力の立ち上がりによるカウントストップを許可	R/W
7	PSGTRGDF	GTETRGD 立ち下がり要因カウントストップ許可 0: GTETRGD 入力の立ち下がりによるカウントストップを禁止 1: GTETRGD 入力の立ち下がりによるカウントストップを許可	R/W
8	PSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを許可	R/W
9	PSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウントストップを許可	R/W
10	PSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを許可	R/W
11	PSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウントストップを許可	R/W
12	PSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを許可	R/W
13	PSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウントストップを許可	R/W
14	PSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを許可	R/W

ビット	シンボル	機能	R/W
15	PSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウントストップを許可	R/W
16	PSELCA	ELC_GPTA イベント要因カウントストップ許可 0: ELC_GPTA イベント入力によるカウントストップを禁止 1: ELC_GPTA イベント入力によるカウントストップを許可	R/W
17	PSELCB	ELC_GPTB イベント要因カウントストップ許可 0: ELC_GPTB イベント入力によるカウントストップを禁止 1: ELC_GPTB イベント入力によるカウントストップを許可	R/W
18	PSELCC	ELC_GPTC イベント要因カウントストップ許可 0: ELC_GPTC イベント入力によるカウントストップを禁止 1: ELC_GPTC イベント入力によるカウントストップを許可	R/W
19	PSELCD	ELC_GPTD イベント要因カウントストップ許可 0: ELC_GPTD イベント入力によるカウントストップを禁止 1: ELC_GPTD イベント入力によるカウントストップを許可	R/W
20	PSELCE	ELC_GPTE イベント要因カウントストップ許可 0: ELC_GPTE イベント入力によるカウントストップを禁止 1: ELC_GPTE イベント入力によるカウントストップを許可	R/W
21	PSELCF	ELC_GPTF イベント要因カウントストップ許可 0: ELC_GPTF イベント入力によるカウントストップを禁止 1: ELC_GPTF イベント入力によるカウントストップを許可	R/W
22	PSELCG	ELC_GPTG イベント要因カウントストップ許可 0: ELC_GPTG イベント入力によるカウントストップを禁止 1: ELC_GPTG イベント入力によるカウントストップを許可	R/W
23	PSELCH	ELC_GPTH イベント要因カウントストップ許可 0: ELC_GPTH イベント入力によるカウントストップを禁止 1: ELC_GPTH イベント入力によるカウントストップを許可	R/W
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CSTOP	ソフトウェア要因カウントストップ許可 0: GTSTP レジスタによるカウントストップを禁止 1: GTSTP レジスタによるカウントストップを許可	R/W

注. n = 0, 1, 4, 5

GTPSR レジスタは、GTCNT カウンタのカウントストップの要因を設定するレジスタです。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

PSGTRGAR ビット（GTETRGA 立ち上がり要因カウントストップ許可）

PSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGAF ビット（GTETRGA 立ち下がり要因カウントストップ許可）

PSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGBR ビット（GTETRGB 立ち上がり要因カウントストップ許可）

PSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGBF ビット（GTETRGB 立ち下がり要因カウントストップ許可）

PSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGCR ビット（GTETRGC 立ち上がり要因カウントストップ許可）

PSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGCF ビット（GTETRGC 立ち下がり要因カウントストップ許可）

PSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGDR ビット（GTETRGD 立ち上がり要因カウントストップ許可）

PSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSGTRGDF ビット（GTETRGD 立ち下がり要因カウントストップ許可）

PSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可）

PSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウントストップ許可）

PSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可）

PSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウントストップ許可）

PSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可）

PSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウントストップ許可）

PSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可）

PSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウントストップ許可）

PSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

PSELCm ビット（ELCm イベント要因カウントストップ許可）(m = A～H)

PSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウントストップの許可／禁止を選択します。

CSTOP ビット（ソフトウェア要因カウントストップ許可）

CSTOP ビットは GTSTP レジスタによる GTCNT カウンタのカウントストップの許可／禁止を選択します。

20.2.7 GTCSR : 汎用 PWM タイマクリア要因選択レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CCLR	—	—	—	—	—	—	—	CSELCH	CSELCG	CSELCF	CSELCE	CSELCD	CSELCC	CSELCB	CSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CSCBFAH	CSCBFAL	CSCBRAH	CSCBRAL	CSCAFBH	CSCAFBL	CSCARBH	CSCARBL	CSGTRGDF	CSGTRGDR	CSGTRGCF	CSGTRGCR	CSGTRGBF	CSGTRGBR	CSGTRGAF	CSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CSGTRGAR	GTETRGA 立ち上がり要因カウンタクリア許可 0: GTETRGA 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGA 入力の立ち上がりによるカウンタクリアを許可	R/W
1	CSGTRGAF	GTETRGA 立ち下がり要因カウンタクリア許可 0: GTETRGA 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGA 入力の立ち下がりによるカウンタクリアを許可	R/W
2	CSGTRGBR	GTETRGB 立ち上がり要因カウンタクリア許可 0: GTETRGB 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGB 入力の立ち上がりによるカウンタクリアを許可	R/W
3	CSGTRGBF	GTETRGB 立ち下がり要因カウンタクリア許可 0: GTETRGB 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGB 入力の立ち下がりによるカウンタクリアを許可	R/W
4	CSGTRGCR	GTETRGC 立ち上がり要因カウンタクリア許可 0: GTETRGC 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGC 入力の立ち上がりによるカウンタクリアを許可	R/W
5	CSGTRGCF	GTETRGC 立ち下がり要因カウンタクリア許可 0: GTETRGC 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGC 入力の立ち下がりによるカウンタクリアを許可	R/W
6	CSGTRGDR	GTETRGD 立ち上がり要因カウンタクリア許可 0: GTETRGD 入力の立ち上がりによるカウンタクリアを禁止 1: GTETRGD 入力の立ち上がりによるカウンタクリアを許可	R/W
7	CSGTRGDF	GTETRGD 立ち下がり要因カウンタクリア許可 0: GTETRGD 入力の立ち下がりによるカウンタクリアを禁止 1: GTETRGD 入力の立ち下がりによるカウンタクリアを許可	R/W
8	CSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
9	CSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるカウンタクリアを許可	R/W
10	CSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを許可	R/W

ビット	シンボル	機能	R/W
11	CSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるカウンタクリアを許可	R/W
12	CSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを許可	R/W
13	CSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるカウンタクリアを許可	R/W
14	CSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを許可	R/W
15	CSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるカウンタクリアを許可	R/W
16	CSELCA	ELC_GPTA イベント要因カウンタクリア許可 0: ELC_GPTA イベント入力によるカウンタクリアを禁止 1: ELC_GPTA イベント入力によるカウンタクリアを許可	R/W
17	CSELCB	ELC_GPTB イベント要因カウンタクリア許可 0: ELC_GPTB イベント入力によるカウンタクリアを禁止 1: ELC_GPTB イベント入力によるカウンタクリアを許可	R/W
18	CSELCC	ELC_GPTC イベント要因カウンタクリア許可 0: ELC_GPTC イベント入力によるカウンタクリアを禁止 1: ELC_GPTC イベント入力によるカウンタクリアを許可	R/W
19	CSELCD	ELC_GPTD イベント要因カウンタクリア許可 0: ELC_GPTD イベント入力によるカウンタクリアを禁止 1: ELC_GPTD イベント入力によるカウンタクリアを許可	R/W
20	CSELCE	ELC_GPTE イベント要因カウンタクリア許可 0: ELC_GPTE イベント入力によるカウンタクリアを禁止 1: ELC_GPTE イベント入力によるカウンタクリアを許可	R/W
21	CSELCF	ELC_GPTF イベント要因カウンタクリア許可 0: ELC_GPTF イベント入力によるカウンタクリアを禁止 1: ELC_GPTF イベント入力によるカウンタクリアを許可	R/W
22	CSELCG	ELC_GPTG イベント要因カウンタクリア許可 0: ELC_GPTG イベント入力によるカウンタクリアを禁止 1: ELC_GPTG イベント入力によるカウンタクリアを許可	R/W
23	CSELCH	ELC_GPTH イベント要因カウンタクリア許可 0: ELC_GPTH イベント入力によるカウンタクリアを禁止 1: ELC_GPTH イベント入力によるカウンタクリアを許可	R/W
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	CCLR	ソフトウェア要因カウンタクリア許可 0: GTCLR レジスタによるカウンタクリアを禁止 1: GTCLR レジスタによるカウンタクリアを許可	R/W

注. n = 0, 1, 4, 5

GTCSR レジスタは、GTCNT カウンタのカウンタクリアの要因を設定するレジスタです。

カウンタクリアは、カウンタが動作中 (GTCR.CST = 1) の場合でも、停止 (GTCR.CST = 0) の場合でも実行可能です。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

CSGTRGAR ビット（GTETRGA 立ち上がり要因カウンタクリア許可）

CSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGAF ビット（GTETRGA 立ち下がり要因カウンタクリア許可）

CSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGBR ビット（GTETRGB 立ち上がり要因カウンタクリア許可）

CSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGBF ビット（GTETRGB 立ち下がり要因カウンタクリア許可）

CSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGCR ビット（GTETRGC 立ち上がり要因カウンタクリア許可）

CSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGCF ビット（GTETRGC 立ち下がり要因カウンタクリア許可）

CSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGDR ビット（GTETRGD 立ち上がり要因カウンタクリア許可）

CSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSGTRGDF ビット（GTETRGD 立ち下がり要因カウンタクリア許可）

CSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可）

CSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因カウンタクリア許可）

CSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可）

CSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因カウンタクリア許可）

CSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可）

CSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因カウンタクリア許可）

CSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可）

CSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因カウンタクリア許可）

CSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CSELCm ビット（ELCm イベント要因カウンタクリア許可）(m = A～H)

CSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

CCLR ビット（ソフトウェア要因カウンタクリア許可）

CCLR ビットは GTCLR レジスタによる GTCNT カウンタのカウンタクリアの許可／禁止を選択します。

20.2.8 GTUPSR : 汎用 PWM タイマアップカウント要因選択レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x1C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	USELCH	USELCG	USELCF	USELCE	USELCD	USELCC	USELCB	USELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	USCBFAH	USCBFAL	USCBRAH	USCBRAL	USCAFBH	USCAFBL	USCARBH	USCARBL	USGTRGDF	USGTRGDR	USGTRGCF	USGTRGCR	USGTRGBF	USGTRGBR	USGTRGAF	USGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	USGTRGAR	GTETRGA 立ち上がり要因アップカウント許可 0: GTETRGA 入力の立ち上がりによるアップカウントを禁止 1: GTETRGA 入力の立ち上がりによるアップカウントを許可	R/W
1	USGTRGAF	GTETRGA 立ち下がり要因アップカウント許可 0: GTETRGA 入力の立ち下がりによるアップカウントを禁止 1: GTETRGA 入力の立ち下がりによるアップカウントを許可	R/W
2	USGTRGBR	GTETRGB 立ち上がり要因アップカウント許可 0: GTETRGB 入力の立ち上がりによるアップカウントを禁止 1: GTETRGB 入力の立ち上がりによるアップカウントを許可	R/W
3	USGTRGBF	GTETRGB 立ち下がり要因アップカウント許可 0: GTETRGB 入力の立ち下がりによるアップカウントを禁止 1: GTETRGB 入力の立ち下がりによるアップカウントを許可	R/W
4	USGTRGCR	GTETRGC 立ち上がり要因アップカウント許可 0: GTETRGC 入力の立ち上がりによるアップカウントを禁止 1: GTETRGC 入力の立ち上がりによるアップカウントを許可	R/W
5	USGTRGCF	GTETRGC 立ち下がり要因アップカウント許可 0: GTETRGC 入力の立ち下がりによるアップカウントを禁止 1: GTETRGC 入力の立ち下がりによるアップカウントを許可	R/W
6	USGTRGDR	GTETRGD 立ち上がり要因アップカウント許可 0: GTETRGD 入力の立ち上がりによるアップカウントを禁止 1: GTETRGD 入力の立ち上がりによるアップカウントを許可	R/W

ビット	シンボル	機能	R/W
7	USGTRGDF	GTETRGD 立ち下がり要因アップカウント許可 0: GTETRGD 入力の立ち下がりによるアップカウントを禁止 1: GTETRGD 入力の立ち下がりによるアップカウントを許可	R/W
8	USCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを許可	R/W
9	USCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるアップカウントを許可	R/W
10	USCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを許可	R/W
11	USCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるアップカウントを許可	R/W
12	USCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを許可	R/W
13	USCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるアップカウントを許可	R/W
14	USCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを許可	R/W
15	USCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるアップカウントを許可	R/W
16	USELCA	ELC_GPTA イベント要因アップカウント許可 0: ELC_GPTA イベント入力によるアップカウントを禁止 1: ELC_GPTA イベント入力によるアップカウントを許可	R/W
17	USELCB	ELC_GPTB イベント要因アップカウント許可 0: ELC_GPTB イベント入力によるアップカウントを禁止 1: ELC_GPTB イベント入力によるアップカウントを許可	R/W
18	USELCC	ELC_GPTC イベント要因アップカウント許可 0: ELC_GPTC イベント入力によるアップカウントを禁止 1: ELC_GPTC イベント入力によるアップカウントを許可	R/W
19	USELCD	ELC_GPTD イベント要因アップカウント許可 0: ELC_GPTD イベント入力によるアップカウントを禁止 1: ELC_GPTD イベント入力によるアップカウントを許可	R/W
20	USELCE	ELC_GPTE イベント要因アップカウント許可 0: ELC_GPTE イベント入力によるアップカウントを禁止 1: ELC_GPTE イベント入力によるアップカウントを許可	R/W

ビット	シンボル	機能	R/W
21	USELCF	ELC_GPTF イベント要因アップカウント許可 0: ELC_GPTF イベント入力によるアップカウントを禁止 1: ELC_GPTF イベント入力によるアップカウントを許可	R/W
22	USELCG	ELC_GPTG イベント要因アップカウント許可 0: ELC_GPTG イベント入力によるアップカウントを禁止 1: ELC_GPTG イベント入力によるアップカウントを許可	R/W
23	USELCH	ELC_GPTH イベント要因アップカウント許可 0: ELC_GPTH イベント入力によるアップカウントを禁止 1: ELC_GPTH イベント入力によるアップカウントを許可	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 0, 1, 4, 5

GTUPSR レジスタは、GTCNT カウンタのアップカウントの要因を設定するレジスタです。

GTUPSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCR.TPCS ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで 1 となっている要因によるアップカウントを行います。

複数の要因が同時に発生した場合でも、カウント時のインクリメント数は 1 です。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

USGTRGAR ビット（GTETRGA 立ち上がり要因アップカウント許可）

USGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGAF ビット（GTETRGA 立ち下がり要因アップカウント許可）

USGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGBR ビット（GTETRGB 立ち上がり要因アップカウント許可）

USGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGBF ビット（GTETRGB 立ち下がり要因アップカウント許可）

USGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGCR ビット（GTETRGC 立ち上がり要因アップカウント許可）

USGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGCF ビット（GTETRGC 立ち下がり要因アップカウント許可）

USGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGDR ビット（GTETRGD 立ち上がり要因アップカウント許可）

USGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USGTRGDF ビット（GTETRGD 立ち下がり要因アップカウント許可）

USGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可）

USCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因アップカウント許可）

USCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可）

USCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因アップカウント許可）

USCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可）

USCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因アップカウント許可）

USCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可）

USCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因アップカウント許可）

USCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのアップカウントの許可／禁止を選択します。

USELCm ビット（ELC_GPTm イベント要因アップカウント許可）(m = A～H)

USELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのアップカウントの許可／禁止を選択します。

20.2.9 GTDNSR : 汎用 PWM タイマダウンカウント要因選択レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DSELCH	DSELCG	DSELCF	DSELCE	DSELCD	DSELCC	DSELCB	DSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DSCBFAH	DSCBFAL	DSCBRAH	DSCBRAL	DSCAFBH	DSCAFBL	DSCARBH	DSCARBL	DSGTRGDF	DSGTRGDR	DSGTRGCF	DSGTRGCR	DSGTRGBF	DSGTRGBR	DSGTRGAF	DSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DSGTRGAR	GTETRGA 立ち上がり要因ダウンカウント許可 0: GTETRGA 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち上がりによるダウンカウントを許可	R/W
1	DSGTRGAF	GTETRGA 立ち下がり要因ダウンカウント許可 0: GTETRGA 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGA 入力の立ち下がりによるダウンカウントを許可	R/W

ビット	シンボル	機能	R/W
2	DSGTRGBR	GTETRGB 立ち上がり要因ダウンカウント許可 0: GTETRGB 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGB 入力の立ち上がりによるダウンカウントを許可	R/W
3	DSGTRGBF	GTETRGB 立ち下がり要因ダウンカウント許可 0: GTETRGB 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGB 入力の立ち下がりによるダウンカウントを許可	R/W
4	DSGTRGCR	GTETRGC 立ち上がり要因ダウンカウント許可 0: GTETRGC 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGC 入力の立ち上がりによるダウンカウントを許可	R/W
5	DSGTRGCF	GTETRGC 立ち下がり要因ダウンカウント許可 0: GTETRGC 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGC 入力の立ち下がりによるダウンカウントを許可	R/W
6	DSGTRGDR	GTETRGD 立ち上がり要因ダウンカウント許可 0: GTETRGD 入力の立ち上がりによるダウンカウントを禁止 1: GTETRGD 入力の立ち上がりによるダウンカウントを許可	R/W
7	DSGTRGDF	GTETRGD 立ち下がり要因ダウンカウント許可 0: GTETRGD 入力の立ち下がりによるダウンカウントを禁止 1: GTETRGD 入力の立ち下がりによるダウンカウントを許可	R/W
8	DSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを許可	R/W
9	DSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによるダウンカウントを許可	R/W
10	DSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを許可	R/W
11	DSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによるダウンカウントを許可	R/W
12	DSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを許可	R/W
13	DSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによるダウンカウントを許可	R/W
14	DSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを許可	R/W
15	DSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによるダウンカウントを許可	R/W

ビット	シンボル	機能	R/W
16	DSELCA	ELC_GPTA イベント要因ダウンカウント許可 0: ELC_GPTA イベント入力によるダウンカウントを禁止 1: ELC_GPTA イベント入力によるダウンカウントを許可	R/W
17	DSELCB	ELC_GPTB イベント要因ダウンカウント許可 0: ELC_GPTB イベント入力によるダウンカウントを禁止 1: ELC_GPTB イベント入力によるダウンカウントを許可	R/W
18	DSELCC	ELC_GPTC イベント要因ダウンカウント許可 0: ELC_GPTC イベント入力によるダウンカウントを禁止 1: ELC_GPTC イベント入力によるダウンカウントを許可	R/W
19	DSELCD	ELC_GPTD イベント要因ダウンカウント許可 0: ELC_GPTD イベント入力によるダウンカウントを禁止 1: ELC_GPTD イベント入力によるダウンカウントを許可	R/W
20	DSELCE	ELC_GPTE イベント要因ダウンカウント許可 0: ELC_GPTE イベント入力によるダウンカウントを禁止 1: ELC_GPTE イベント入力によるダウンカウントを許可	R/W
21	DSELCF	ELC_GPTF イベント要因ダウンカウント許可 0: ELC_GPTF イベント入力によるダウンカウントを禁止 1: ELC_GPTF イベント入力によるダウンカウントを許可	R/W
22	DSELCG	ELC_GPTG イベント要因ダウンカウント許可 0: ELC_GPTG イベント入力によるダウンカウントを禁止 1: ELC_GPTG イベント入力によるダウンカウントを許可	R/W
23	DSELCH	ELC_GPTH イベント要因ダウンカウント許可 0: ELC_GPTH イベント入力によるダウンカウントを禁止 1: ELC_GPTH イベント入力によるダウンカウントを許可	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 0, 1, 4, 5

GTDNSR レジスタは、GTCNT カウンタのダウンカウントの要因を設定するレジスタです。

GTDNSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCR.TPCS ビットによって設定されたカウントクロックによる GTCNT カウンタのカウントは無効となり、本レジスタで 1 となっている要因によるダウンカウントを行います。

複数の要因が同時に発生した場合でも、カウント時のデクリメント数は 1 です。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

DSGTRGAR ビット（GTETRGA 立ち上がり要因ダウンカウント許可）

DSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGAF ビット（GTETRGA 立ち下がり要因ダウンカウント許可）

DSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGBR ビット（GTETRGB 立ち上がり要因ダウンカウント許可）

DSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGBF ビット（GTETRGB 立ち下がり要因ダウンカウント許可）

DSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGCR ビット（GTETRGC 立ち上がり要因ダウンカウント許可）

DSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGCF ビット（GTETRGC 立ち下がり要因ダウンカウント許可）

DSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGDR ビット（GTETRGD 立ち上がり要因ダウンカウント許可）

DSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSGTRGDF ビット（GTETRGD 立ち下がり要因ダウンカウント許可）

DSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可）

DSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因ダウンカウント許可）

DSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可）

DSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因ダウンカウント許可）

DSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可）

DSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因ダウンカウント許可）

DSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可）

DSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因ダウンカウント許可）

DSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCNT カウンタのダウンカウントの許可／禁止を選択します。

DSELCm ビット（ELC_GPTm イベント要因ダウンカウント許可）(m = A～H)

DSELCm ビットは ELC_GPTm からのイベント入力による GTCNT カウンタのダウンカウントの許可／禁止を選択します。

20.2.10 GTICASR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	ASELCH	ASELCG	ASELCF	ASELCE	ASELCD	ASELCC	ASELCB	ASELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ASCBFAH	ASCBFAL	ASCBRAH	ASCBRAL	ASCAFBH	ASCAFBL	ASCARBH	ASCARBL	ASGTRGDF	ASGTRGDR	ASGTRGCF	ASGTRGCR	ASGTRGBF	ASGTRGBR	ASGTRGAF	ASGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ASGTRGAR	GTETRGA 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGA 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
1	ASGTRGAF	GTETRGA 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGA 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGA 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
2	ASGTRGBR	GTETRGB 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGB 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGB 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
3	ASGTRGBF	GTETRGB 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGB 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGB 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
4	ASGTRGCR	GTETRGC 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGC 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGC 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
5	ASGTRGCF	GTETRGC 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGC 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGC 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
6	ASGTRGDR	GTETRGD 立ち上がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGD 入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGD 入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
7	ASGTRGDF	GTETRGD 立ち下がり要因 GTCCRA インプットキャプチャ許可 0: GTETRGD 入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTETRGD 入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
8	ASCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
9	ASCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
10	ASCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
11	ASCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
12	ASCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
13	ASCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA インプットキャプチャを許可	R/W
14	ASCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
15	ASCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA インプットキャプチャを許可	R/W
16	ASELCA	ELC_GPTA イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTA イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTA イベント入力による GTCCRA インプットキャプチャを許可	R/W
17	ASELCB	ELC_GPTB イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTB イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTB イベント入力による GTCCRA インプットキャプチャを許可	R/W
18	ASELCC	ELC_GPTC イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTC イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTC イベント入力による GTCCRA インプットキャプチャを許可	R/W
19	ASELCD	ELC_GPTD イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTD イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTD イベント入力による GTCCRA インプットキャプチャを許可	R/W
20	ASELCE	ELC_GPTE イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTE イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTE イベント入力による GTCCRA インプットキャプチャを許可	R/W
21	ASELCF	ELC_GPTF イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTF イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTF イベント入力による GTCCRA インプットキャプチャを許可	R/W
22	ASELCG	ELC_GPTG イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTG イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTG イベント入力による GTCCRA インプットキャプチャを許可	R/W
23	ASELCH	ELC_GPTH イベント要因 GTCCRA インプットキャプチャ許可 0: ELC_GPTH イベント入力による GTCCRA インプットキャプチャを禁止 1: ELC_GPTH イベント入力による GTCCRA インプットキャプチャを許可	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 0, 1, 4, 5

GTICASR レジスタは、GTCCRA レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICASR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCCRA レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

ASGTRGAR ビット（GTETRGA 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGAF ビット（GTETRGA 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGBR ビット（GTETRGB 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGBF ビット（GTETRGB 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGCR ビット（GTETRGC 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGCF ビット（GTETRGC 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGDR ビット（GTETRGD 立ち上がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASGTRGDF ビット（GTETRGD 立ち下がり要因 GTCCRA インプットキャプチャ許可）

ASGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

ASCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

ASELCm ビット（ELC_GPTm イベント要因 GTCCRA インプットキャプチャ許可）(m = A～H)

ASELCm ビットは ELC_GPTm からのイベント入力による GTCCRA レジスタへのインプットキャプチャの許可／禁止を選択します。

20.2.11 GTICBSR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x28

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	BSELCH	BSELCG	BSELCF	BSELCE	BSELCD	BSELCC	BSELCB	BSELCA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSCBFAH	BSCBFAL	BSCBRAH	BSCBRAL	BSCAFBH	BSCAFBL	BSCARBH	BSCARBL	BSGTRGDF	BSGTRGDR	BSGTRGCF	BSGTRGCR	BSGTRGBF	BSGTRGBR	BSGTRGAF	BSGTRGAR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BSGTRGAR	GTETRGA 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGA 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGA 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
1	BSGTRGAF	GTETRGA 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGA 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGA 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
2	BSGTRGBR	GTETRGB 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGB 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGB 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
3	BSGTRGBF	GTETRGB 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGB 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGB 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
4	BSGTRGCR	GTETRGC 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGC 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGC 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
5	BSGTRGCF	GTETRGC 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGC 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGC 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
6	BSGTRGDR	GTETRGD 立ち上がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGD 入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGD 入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
7	BSGTRGDF	GTETRGD 立ち下がり要因 GTCCRB インプットキャプチャ許可 0: GTETRGD 入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTETRGD 入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
8	BSCARBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
9	BSCARBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
10	BSCAFBL	GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
11	BSCAFBH	GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
12	BSCBRAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
13	BSCBRAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB インプットキャプチャを許可	R/W
14	BSCBFAL	GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
15	BSCBFAH	GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可 0: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを禁止 1: GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB インプットキャプチャを許可	R/W
16	BSELCA	ELC_GPTA イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTA イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTA イベント入力による GTCCRB インプットキャプチャを許可	R/W

ビット	シンボル	機能	R/W
17	BSELCB	ELC_GPTB イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTB イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTB イベント入力による GTCCRB インプットキャプチャを許可	R/W
18	BSELCC	ELC_GPTC イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTC イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTC イベント入力による GTCCRB インプットキャプチャを許可	R/W
19	BSELCD	ELC_GPTD イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTD イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTD イベント入力による GTCCRB インプットキャプチャを許可	R/W
20	BSELCE	ELC_GPTE イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTE イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTE イベント入力による GTCCRB インプットキャプチャを許可	R/W
21	BSELCF	ELC_GPTF イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTF イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTF イベント入力による GTCCRB インプットキャプチャを許可	R/W
22	BSELCG	ELC_GPTG イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTG イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTG イベント入力による GTCCRB インプットキャプチャを許可	R/W
23	BSELCH	ELC_GPTH イベント要因 GTCCRB インプットキャプチャ許可 0: ELC_GPTH イベント入力による GTCCRB インプットキャプチャを禁止 1: ELC_GPTH イベント入力による GTCCRB インプットキャプチャを許可	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 0, 1, 4, 5

GTICBSR レジスタは、GTCCRB レジスタへのインプットキャプチャ要因を設定するレジスタです。

GTICBSR レジスタの各ビットのうち、少なくともひとつのビットが 1 の状態の場合、GTCCRB レジスタをインプットキャプチャレジスタとするインプットキャプチャ動作を行います。

GTETRGn (n = A～D) 端子からの入力信号は POEG を経由して GPT へ入力されます。これらの信号の極性を POEG で設定してください。

BSGTRGAR ビット（GTETRGA 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGAR ビットは GTETRGA 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGAF ビット（GTETRGA 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGAF ビットは GTETRGA 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGBR ビット（GTETRGB 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGBR ビットは GTETRGB 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGBF ビット（GTETRGB 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGBF ビットは GTETRGB 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGCR ビット（GTETRGC 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGCR ビットは GTETRGC 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGCF ビット（GTETRGC 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGCF ビットは GTETRGC 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGDR ビット（GTETRGD 立ち上がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGDR ビットは GTETRGD 入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSGTRGDF ビット（GTETRGD 立ち下がり要因 GTCCRB インプットキャプチャ許可）

BSGTRGDF ビットは GTETRGD 入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCARBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCARBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCARBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCARBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCAFBL ビット（GTIOCnB 端子 Low レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCAFBL ビットは GTIOCnB 端子入力が 0 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCAFBH ビット（GTIOCnB 端子 High レベルでの GTIOCnA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCAFBH ビットは GTIOCnB 端子入力が 1 状態での GTIOCnA 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBRAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBRAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBRAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBRAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち上がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBFAL ビット（GTIOCnA 端子 Low レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBFAL ビットは GTIOCnA 端子入力が 0 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSCBFAH ビット（GTIOCnA 端子 High レベルでの GTIOCnB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

BSCBFAH ビットは GTIOCnA 端子入力が 1 状態での GTIOCnB 端子入力の立ち下がりによる GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

BSELCm ビット（ELC_GPTm イベント要因 GTCCRB インプットキャプチャ許可）(m = A～H)

BSELCm ビットは ELC_GPTm からのイベント入力による GTCCRB レジスタへのインプットキャプチャの許可／禁止を選択します。

20.2.12 GTCR : 汎用 PWM タイマコントロールレジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x2C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	TPCS[3:0]				—	—	—	—	MD[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CST	カウントスタート 0: カウント動作を停止 1: カウント動作を実行	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	MD[2:0]	モード選択 0 0 0: のこぎり波 PWM モード（シングルまたはダブルバッファ可） 0 0 1: のこぎり波ワンショットパルスモード（バッファ動作固定） 0 1 0: 設定禁止 0 1 1: 設定禁止 1 0 0: 三角波 PWM モード 1（谷での 32 ビット転送）（シングルまたはダブルバッファ可） 1 0 1: 三角波 PWM モード 2（山と谷での 32 ビット転送）（シングルまたはダブルバッファ可） 1 1 0: 三角波 PWM モード 3（谷での 64 ビット転送）（バッファ動作固定） 1 1 1: 設定禁止	R/W
22:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:23	TPCS[3:0]	タイマプリスケーラ選択 0 0 0 0: PCLKD/1 0 0 0 1: PCLKD/2 0 0 1 0: PCLKD/4 0 0 1 1: PCLKD/8 0 1 0 0: PCLKD/16 0 1 0 1: PCLKD/32 0 1 1 0: PCLKD/64 0 1 1 1: 設定禁止 1 0 0 0: PCLKD/256 1 0 0 1: 設定禁止 1 0 1 0: PCLKD/1024 1 0 1 1: 設定禁止 1 1 0 0: GTETRGA（POEG 経由） 1 1 0 1: GTETRGB（POEG 経由） 1 1 1 0: GTETRGC（POEG 経由） 1 1 1 1: GTETRGD（POEG 経由）	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

CST ビット（カウントスタート）

CST ビットは 8 ビットでアクセスします。

CST ビットは GTCNT カウンタのスタートとストップを制御します。

[1 になる条件]

- GTSSR.CSTRT ビットが 1 の状態で、GTSTR レジスタの値（チャネル番号はビット番号に対応）を 1 にしたとき
- GTSSR レジスタでカウントスタート要因として許可された、ELC イベント入力、外部トリガ、または GTIOCnA 入力/GTIOCnB 入力が発生したとき (n = 0, 1, 4, 5)

- ソフトウェアで直接 1 を書き込んだとき

[0 になる条件]

- GTPSR.CSTOP ビットが 1 の状態で、GTSTP レジスタの値（チャネル番号はビット番号に対応）を 1 にしたとき
- GTPSR レジスタでカウントストップ要因として許可された、ELC イベント入力、外部トリガ、または GTIOCnA 入力/GTIOCnB 入力が発生したとき (n = 0, 1, 4, 5)
- ソフトウェアで直接 0 を書き込んだとき
- GTPC.ASTP ビットが 1 の間に周期計数機能が終了する場合

MD[2:0]ビット（モード選択）

MD[2:0]ビットは GPT の動作モードを選択します。

インプットキャプチャ時は、MD[2]ビットのみが有効です。のこぎり波モードのカウントは MD[2] = 0 で行います。三角波モードのカウントは MD[2] = 1 で行います。

MD[2:0]ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

イベントカウント動作中（GTUPSR レジスタと GTDNSR レジスタのビットのうち少なくとも 1 つのビットが 1 に設定されている場合）は、MD[2:0]ビットに初期値 (000b) を設定します。

TPCS[3:0]ビット（タイマプリスケーラ選択）

TPCS[3:0]ビットは GTCNT カウンタのクロックを選択します。チャネルごとに個別にクロックプリスケーラの選択が可能です。TPCS[3:0]ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

20.2.13 GTUDDTYC : 汎用 PWM タイマカウント方向、デューティー設定レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x30

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	OBDTYR	OBDTYF	OBDTY[1:0]		—	—	—	—	OADTYR	OADTYF	OADTY[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	UD	カウント方向設定 0: GTCNT カウンタはダウンカウント 1: GTCNT カウンタはアップカウント	R/W
1	UDF	カウント方向強制設定 0: 強制設定しない 1: 強制設定する	R/W
15:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	OADTY[1:0]	GTIOCnA 出力デューティー設定 0 0: GTIOCnA 端子のデューティーはコンペアマッチに依存 0 1: GTIOCnA 端子のデューティーはコンペアマッチに依存 1 0: GTIOCnA 端子のデューティーは 0% 1 1: GTIOCnA 端子のデューティーは 100%	R/W
18	OADTYF	GTIOCnA 出力デューティー強制設定 0: 強制設定しない 1: 強制設定する	R/W

ビット	シンボル	機能	R/W
19	OADTYR	0%/100%デューティー設定解除後の GTIOCnA 出力値選択 0: 0%または 100%デューティー比設定解除後にデューティー比が設定された場合、GTIOA[3:2]ビットで選択された機能を出力値に適用 1: 0%または 100%デューティー比設定解除後に GTIOA[3:2]ビットで選択された機能をマスクされたコンペアマッチ出力値に適用	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	OBDTY[1:0]	GTIOCnB 出力デューティー設定 0 0: GTIOCnB 端子のデューティーはコンペアマッチに依存 0 1: GTIOCnB 端子のデューティーはコンペアマッチに依存 1 0: GTIOCnB 端子のデューティーは 0% 1 1: GTIOCnB 端子のデューティーは 100%	R/W
26	OBDTYF	GTIOCnB 出力デューティー強制設定 0: 強制設定しない 1: 強制設定する	R/W
27	OBDTYR	0%/100%デューティー設定解除後の GTIOCnB 出力値選択 0: 0%または 100%デューティー比設定解除後にデューティー比が設定された場合、GTIOB[3:2]ビットで選択された機能を出力値に適用 1: 0%または 100%デューティー比設定解除後に GTIOB[3:2]ビットで選択された機能をマスクされたコンペアマッチ出力値に適用	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 0, 1, 4, 5

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向（アップ／ダウン）および GTIOCnA/GTIOCnB 端子出力のデューティーを設定するレジスタです。

イベントカウント動作中では、本設定は無効です。

【カウント方向】

- のこぎり波モードの場合
  アップカウント中に UD 値を 0 にした場合、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。ダウンカウント中に UD 値を 1 にした場合、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。
  カウント停止中に UDF ビットが 0 の状態で UD 値を 1 から 0 に変更した場合、カウント動作はアップカウントとなり、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。カウント停止中に UDF ビットが 0 の状態で UD 値を 0 から 1 に変更した場合、カウント動作はダウンカウントとなり、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。
  カウント停止中に UDF ビットを 1 にすると、UD ビット値がカウントスタート時のカウント方向に反映されます。
- 三角波モードの場合
  カウント中に UD 値を変更しても、カウント方向は切り替わりません。カウントストップ中に UDF ビットが 0 の状態で UD 値を変更しても、カウントスタート時のカウント方向には反映されません。
  カウント停止中に UDF ビットを 1 にすると、そのときの UD 値がカウントスタート時のカウント方向に反映されます。

UD ビット（カウント方向設定）

UD ビットは GTCNT カウンタのカウント方向（アップ／ダウン）を設定します。

UDF ビット（カウント方向強制設定）

UDF ビットは GTCNT カウンタスタート時のカウント方向を強制的に UD 値に設定します。カウンタが動作している間は、このビットに 0 以外を書き込まないでください。カウントストップ中に 1 を書いた場合、カウントがスタートする前に 0 に戻してください。

【出力デューティー】

- のこぎり波モードの場合

アップカウント中に OADTY/OBDTY 値を変更すると、オーバーフロー時 (GTCNT = GTPR) にデューティーが反映されます。ダウンカウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時 (GTCNT = 0) にデューティーが反映されます。
カウント停止中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーは反映されません。カウント方向がアップカウントの場合、オーバーフロー時 (GTCNT = GTPR) に出力デューティーが反映されます。カウント方向がダウンカウントの場合、アンダーフロー時 (GTCNT = 0) に出力デューティーが反映されます。
カウント停止中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーが反映されます。

- 三角波モードの場合
カウント中に OADTY/OBDTY 値を変更すると、アンダーフロー時にデューティーが反映されます。
カウント停止中に、OADTYF/OBDTYF ビットが 0 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーは反映されません。ただし、アンダーフロー時に出力デューティーが反映されます。
カウント停止中に、OADTYF/OBDTYF ビットが 1 の状態で OADTY/OBDTY 値を変更すると、カウンタ動作スタート時に出力デューティーが反映されます。

のこぎり波モードと三角波モードで、OADTYF/OBDTYF ビットが 0 に戻った場合、および OADTYF/OBDTYF ビットを 1 にして、カウント動作停止中に最初の周期のデューティーに対して OADTY[1:0]/OBDTY[1:0]ビットを設定した後に OADTY[1:0]/OBDTY[1:0]ビットを設定した場合、カウント動作停止中に設定されたこれらのデューティー比は、カウント動作開始後の最初の周期と 2 番目の周期に反映されます。

OmDTY[1:0]ビット（GTIOCnm 出力デューティー設定）（m = A、B）

OmDTY[1:0]ビットは GTIOCnm 端子の出力デューティー（0%、100%、またはコンペアマッチ制御）を設定します。

OmDTYF ビット（GTIOCnm 出力デューティー強制設定）（m = A、B）

OmDTYF ビットは出力デューティー比を OmDTY の設定値に強制的に設定します。カウンタの動作中は、このビットを 0 にしてください。

OmDTYR ビット（0%/100%デューティー設定解除後の GTIOCnm 出力値選択）(m = A, B)

制御が 0%/100%デューティー設定から GTIOCnm 端子のコンペアマッチに変更され、かつ GTIOR.GTIOm[3:2]ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）に設定された場合、OmDTYR ビットは周期の終わりで出力保持／トグル出力の対象となる値を選択します。

デューティー比 0%/100%動作中に、GPT は内部でコンペアマッチ動作を継続します。OmDTYR ビットを 1 にすると、周期の終わりでのコンペアマッチの値が GTIOm[3:2]ビットに適用されます。

20.2.14 GTIOR : 汎用 PWM タイマ I/O コントロールレジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x34

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCSB[1:0]		NFBEN	—	—	OBDF[1:0]		OBE	OBHLD	OBDFLT	—	GTIOB[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	NFCSA[1:0]		NFAEN	—	—	OADF[1:0]		OAE	OAHLD	OADFLT	—	GTIOA[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	GTIOA[4:0]	GTIOCnA 端子機能選択 表 20.4 を参照してください。	R/W

ビット	シンボル	機能	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	OADFLT	カウントストップ時の GTIOCnA 端子出力値設定 0: カウントストップ時に GTIOCnA 端子は Low を出力 1: カウントストップ時に GTIOCnA 端子は High を出力	R/W
7	OAHLD	カウントスタート／ストップ時の GTIOCnA 端子出力設定 0: カウントスタート／ストップ時の GTIOCnA 端子出力レベルはレジスタ設定値に従う 1: カウントスタート／ストップ時の GTIOCnA 端子出力レベルは保持される	R/W
8	OAE	GTIOCnA 端子出力許可 0: 出力を禁止 1: 出力を許可	R/W
10:9	OADF[1:0]	GTIOCnA 端子禁止値設定 0 0: 以下のいずれも設定しない 0 1: 出力ネゲート制御に対応して GTIOCnA 端子を Hi-Z にする 1 0: 出力ネゲート制御に対応して GTIOCnA 端子を 0 にする 1 1: 出力ネゲート制御に対応して GTIOCnA 端子を 1 にする	R/W
12:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	NFAEN	GTIOCnA 端子入力ノイズフィルタ有効 0: GTIOCnA 端子のノイズフィルタは無効 1: GTIOCnA 端子のノイズフィルタは有効	R/W
15:14	NFCSA[1:0]	GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W
20:16	GTIOB[4:0]	GTIOCnB 端子機能選択 表 20.4 を参照してください。	R/W
21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22	OBDFLT	カウントストップ時の GTIOCnB 端子出力値設定 0: カウントストップ時に GTIOCnB 端子は Low を出力 1: カウントストップ時に GTIOCnB 端子は High を出力	R/W
23	OBHLD	カウントスタート／ストップ時の GTIOCnB 端子出力設定 0: カウントスタート／ストップ時の GTIOCnB 端子出力レベルはレジスタ設定値に従う 1: カウントスタート／ストップ時の GTIOCnB 端子出力レベルは保持される	R/W
24	OBE	GTIOCnB 端子出力許可 0: 出力を禁止 1: 出力を許可	R/W
26:25	OBDF[1:0]	GTIOCnB 端子禁止値設定 0 0: 以下のいずれも設定しない 0 1: 出力ネゲート制御に対応して GTIOCnB 端子を Hi-Z にする 1 0: 出力ネゲート制御に対応して GTIOCnB 端子を 0 にする 1 1: 出力ネゲート制御に対応して GTIOCnB 端子を 1 にする	R/W
28:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	NFBEN	ノイズフィルタ B 有効 0: GTIOCnB 端子のノイズフィルタは無効 1: GTIOCnB 端子のノイズフィルタは有効	R/W
31:30	NFCSB[1:0]	ノイズフィルタ B サンプリングクロック選択 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W

注. n = 0, 1, 4, 5

GTIOR レジスタは GTIOCnA 端子と GTIOCnB 端子の機能を設定します (n = 0, 1, 4, 5)。

GTIOA[4:0]ビット（GTIOCnA 端子機能選択）

GTIOA[4:0]ビットは GTIOCnA 端子の機能を選択します。詳細は、表 20.4 を参照してください。

OADFLT ビット（カウントストップ時の GTIOCnA 端子出力値設定）

OADFLT ビットはカウントストップ時に、GTIOCnA 端子が High または Low のいずれを出力するかを設定します。

OAHLD ビット（カウントスタート／ストップ時の GTIOCnA 端子出力設定）

OAHLD ビットはカウントスタート／ストップ時に、GTIOCnA 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

[OAHLD ビットを 0 にした場合]

- カウントスタート時に、GTIOA[4]ビットで指定した値を出力
- カウントストップ時に、OADFLT ビットで指定した値を出力
- カウントストップ中に、OADFLT ビットを書き換えた場合、ただちに出力に反映される

[OAHLD ビットを 1 にした場合]

- カウントスタート／ストップ時に出力が保持される

OAE ビット（GTIOCnA 端子出力許可）

OAE ビットは GTIOCnA 端子出力する/しないを選択します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合（GTICASR レジスタの少なくともひとつのビットが 1 の状態の場合 ） は、OAE ビットの設定にかかわらず GTIOCnA 端子出力を行いません。

OADF[1:0]ビット（GTIOCnA 端子禁止値設定）

OADF[1:0]ビットは POEG からの出力禁止要求に対応して GTIOCnA 端子の出力値を選択します。

NFAEN ビット（GTIOCnA 端子入力ノイズフィルタ有効）

NFAEN ビットは GTIOCnA 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCSA[1:0]ビット（GTIOCnA 端子入力ノイズフィルタサンプリングクロック選択）

NFCSA[1:0]ビットは GTIOCnA 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

GTIOB[4:0]ビット（GTIOCnB 端子機能選択）

GTIOB[4:0]ビットは GTIOCnB 端子の機能を選択します。詳細は、表 20.4 を参照してください。

OBDFLT ビット（カウントストップ時の GTIOCnB 端子出力値設定）

OBDFLT ビットはカウントストップ時に、GTIOCnB 端子が High または Low のいずれを出力するかを設定します。

OBHLD ビット（カウントスタート／ストップ時の GTIOCnB 端子出力設定）

OBHLD ビットはカウントスタートまたはストップ時に、GTIOCnB 端子の出力レベルが保持されるか、レジスタ設定値に従うかを指定します。

[OBHLD ビットを 0 にした場合]

- カウントスタート時に、GTIOB[4]ビットで指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に、OBDFLT ビットを書き換えた場合、ただちに出力に反映される

[OBHLD ビットを 1 にした場合]

- カウントスタート／ストップ時に出力が保持される

OBE ビット（GTIOCnB 端子出力許可）

OBE ビットは GTIOCnB 端子出力する/しないを選択します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用する場合（GTICBSR レジスタの少なくともひとつのビットが 1 の状態の場合 ） は、OBE ビットの設定にかかわらず GTIOCnB 端子出力を行いません。

OBDF[1:0]ビット（GTIOCnB 端子禁止値設定）

OBDF[1:0]ビットは POEG からの出力禁止要求に対応して GTIOCnB 端子の出力値を選択します。

NFBEN ビット（ノイズフィルタ B 有効）

NFBEN ビットは GTIOCnB 端子からの入力に対してノイズフィルタを有効または無効にします。このビット値を変更すると予想外のエッジが内部で発生する恐れがあるため、GTIOR レジスタの該当端子に対しアウトプットコンペア機能を選択してから、このビットを変更してください。

NFCSB[1:0]ビット（ノイズフィルタ B サンプリングクロック選択）

NFCSB[1:0]ビットは GTIOCnB 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

表 20.4 GTIOA[4:0]ビットおよび GTIOB[4:0]ビットの設定 (1/2)

GTIOA/GTIOB[4:0]ビット					機能		
b4	b3	b2	b1	b0	b4	b3, b2(注1) (注2) (注3)	b1, b0(注2)
0	0	0	0	0	初期出力は Low	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
0	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
0	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

表 20.4 GTIOA[4:0]ビットおよび GTIOB[4:0]ビットの設定 (2/2)

GTIOA/GTIOB[4:0]ビット					機能		
b4	b3	b2	b1	b0	b4	b3, b2(注1) (注2) (注3)	b1, b0(注2)
1	0	0	0	0	初期出力は High	周期の終わりで出力保持	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	0	1	0	0		周期の終わりで Low 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	0	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	0	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	0	0	0		周期の終わりで High 出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	0	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	0	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRB コンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRB コンペアマッチで Low 出力
1	1	1	1	0			GTCCRA/GTCCRB コンペアマッチで High 出力
1	1	1	1	1			GTCCRA/GTCCRB コンペアマッチでトグル出力

注 1. 周期の終わりとは、のこぎり波モードのときはオーバーフロー（アップカウント動作時に GTCNT が GTPR から 0 になる）、アンダーフロー（ダウンカウント動作時に GTCNT が 0 から GTPR になる）、またはカウンタクリアを、三角波モードのときは谷（GTCNT が 0 から 1 になる）を示します。

注 2. コンペアマッチ動作時に、周期の終わりと GTCCRA/GTCCRB コンペアマッチのタイミングが一致すると、のこぎり波 PWM モードでは b3 と b2 の設定値が優先され、それ以外のモードでは b1 と b0 の設定値が優先されます。

注 3. イベントカウント動作時（GTUPSR レジスタまたは GTDNSR レジスタの各ビットのうち、1 つ以上のビットが 1 の状態の場合）、b3 と b2 の設定は無効です。

20.2.15 GTINTAD : 汎用 PWM タイマ割り込み出力設定レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x38

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	GRPABL	GRPABH	GRPDTE	—	—	GRP[1:0]		—	—	—	—	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ADTRAUEN	GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
17	ADTRADEN	GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W

ビット	シンボル	機能	R/W
18	ADTRBUEN	GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
19	ADTRBDEN	GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可 0: A/D 変換開始要求を禁止 1: A/D 変換開始要求を許可	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	GRP[1:0]	出力禁止要因選択 0 0: グループ A 出力禁止要因を選択 0 1: グループ B 出力禁止要因を選択 1 0: グループ C 出力禁止要因を選択 1 1: グループ D 出力禁止要因を選択	R/W
27:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	GRPDTE	デッドタイムエラー出力禁止要求許可 0: デッドタイムエラー出力禁止要求を禁止 1: デッドタイムエラー出力禁止要求を許可	R/W
29	GRPABH	同時出力レベル High 禁止要求許可 0: 同時出力レベル High 禁止要求を禁止 1: 同時出力レベル High 禁止要求を許可	R/W
30	GRPABL	同時出力レベル Low 禁止要求許可 0: 同時出力レベル Low 禁止要求を禁止 1: 同時出力レベル Low 禁止要求を許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTINTAD レジスタは、割り込み要求と出力禁止要求を許可または禁止します。

ADTRAUEN ビット（GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可）

GTCNT カウンタがアップカウント時の GTADTRA レジスタとのコンレジスタペアマッチによる A/D 変換開始要求を許可／禁止します。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRADEN ビット（GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可）

GTCNT カウンタがダウンカウント時の GTADTRA レジスタとのコンレジスタペアマッチによる A/D 変換開始要求を許可／禁止します。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRBUEN ビット（GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求許可）

GTCNT カウンタがアップカウント時の GTADTRB レジスタとのコンレジスタペアマッチによる A/D 変換開始要求を許可／禁止します。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

ADTRBDEN ビット（GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求許可）

GTCNT カウンタがダウンカウント時の GTADTRB レジスタとのコンレジスタペアマッチによる A/D 変換開始要求を許可／禁止します。

イベントカウント動作中、および A/D 変換開始要求が発生していない場合、本設定は無効です。

GRP[1:0]ビット（出力禁止要因選択）

GPT から POEG への出力禁止要求のグループと、POEG から GPT への GTIOCnA 端子と GTIOCnB 端子の出力禁止のグループを選択します。

POEG への出力禁止要求は、それぞれの禁止要求許可ビットに続くデッドタイムエラー、同時 High 出力、同時 Low 出力要因とともに、GRP[1:0]ビットで選択されたグループへ出力されます。

GTST.ODF は GRP[1:0]ビットで選択した出力禁止要因グループの要求を示します。GTIOR.OAE ビットと GTIOR.OBE ビットがともに 0 の場合に GRP[1:0]ビットを設定してください。

GRPDTE ビット（デッドタイムエラー出力禁止要求許可）

本ビットはデッドタイムエラーによる出力禁止要求を許可または禁止します。

イベントカウント動作中には、デッドタイムエラーによる出力禁止要求は発生しません。

GRPABH ビット（同時出力レベル High 禁止要求許可）

GRPABH ビットは GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力する場合に、出力禁止要求を許可または禁止します。

GRPABL ビット（同時出力レベル Low 禁止要求許可）

GRPABL ビットは GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力する場合に、出力禁止要求を許可または禁止します。

20.2.16 GTST : 汎用 PWM タイマステータスレジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x3C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PCF	OABLF	OABHF	DTEF	—	—	—	ODF	—	—	—	—	ADTRBDF	ADTRBUF	ADTRADF	ADTRAUF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TUCF	—	—	—	—	ITCNT[2:0]			TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCFA	インプットキャプチャ／コンペアマッチフラグ A 0: GTCCRA インプットキャプチャ／コンペアマッチの発生なし 1: GTCCRA インプットキャプチャ／コンペアマッチの発生あり	R/W(注1)
1	TCFB	インプットキャプチャ／コンペアマッチフラグ B 0: GTCCRB インプットキャプチャ／コンペアマッチの発生なし 1: GTCCRB インプットキャプチャ／コンペアマッチの発生あり	R/W(注1)
2	TCFC	インプットコンペアマッチフラグ C 0: GTCCRC コンペアマッチの発生なし 1: GTCCRC コンペアマッチの発生あり	R/W(注1)
3	TCFD	インプットコンペアマッチフラグ D 0: GTCCRD コンペアマッチの発生なし 1: GTCCRD コンペアマッチの発生あり	R/W(注1)
4	TCFE	インプットコンペアマッチフラグ E 0: GTCCRE コンペアマッチの発生なし 1: GTCCRE コンペアマッチの発生あり	R/W(注1)
5	TCFF	インプットコンペアマッチフラグ F 0: GTCCRF コンペアマッチの発生なし 1: GTCCRF コンペアマッチの発生あり	R/W(注1)
6	TCFPO	オーバーフローフラグ 0: オーバーフロー（山）の発生なし 1: オーバーフロー（山）の発生あり	R/W(注1)
7	TCFPU	アンダーフローフラグ 0: アンダーフロー（谷）の発生なし 1: アンダーフロー（谷）の発生あり	R/W(注1)
10:8	ITCNT[2:0]	GPTn_OVF/GPTn_UDF 割り込み間引き回数カウンタ	R
14:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
15	TUCF	カウント方向フラグ 0: GTCNT カウンタはダウンカウント 1: GTCNT カウンタはアップカウント	R
16	ADTRAUF	GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ 0: アップカウント中、GTADTRA レジスタコンペアマッチの発生なし 1: アップカウント中、GTADTRA レジスタコンペアマッチの発生あり	R/W(注1)
17	ADTRADF	GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ 0: ダウンカウント中、GTADTRA レジスタコンペアマッチの発生なし 1: ダウンカウント中、GTADTRA レジスタコンペアマッチの発生あり	R/W(注1)
18	ADTRBUF	GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ 0: アップカウント中、GTADTRB レジスタコンペアマッチの発生なし 1: アップカウント中、GTADTRB レジスタコンペアマッチの発生あり	R/W(注1)
19	ADTRBDF	GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ 0: ダウンカウント中、GTADTRB レジスタコンペアマッチの発生なし 1: ダウンカウント中、GTADTRB レジスタコンペアマッチの発生あり	R/W(注1)
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	ODF	出力禁止フラグ 0: 出力禁止要求の発生なし 1: 出力禁止要求の発生あり	R
27:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	DTEF	デッドタイムエラーフラグ 0: デッドタイムエラーの発生なし 1: デッドタイムエラーの発生あり	R
29	OABHF	同時出力レベル High フラグ 0: GTIOCA 端子と GTIOCB 端子の両方で 1 出力の同時発生なし 1: GTIOCA 端子と GTIOCB 端子の両方で 1 出力の同時発生あり	R
30	OABLF	同時出力レベル Low フラグ 0: GTIOCA 端子と GTIOCB 端子の両方で 0 出力の同時発生なし 1: GTIOCA 端子と GTIOCB 端子の両方で 0 出力の同時発生あり	R
31	PCF	周期計数機能終了フラグ 0: 周期計数機能が終了していない 1: 周期計数機能が終了した	R/W(注1)

注 1. 本ビットには 0 のみ書けます。1 を書き込まないでください。ADTRAUF、ADTRADF、ADTRBUF、または ADTRBDF フラグをクリアする場合は、クリア対象のフラグにのみ 0 を、クリアしないフラグには 1 を書き込んでください。

GTST レジスタは、GPT の状態を示します。

TCFA フラグ（インプットキャプチャ／コンペアマッチフラグ A）

TCFA フラグは GTCCRA のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRA レジスタ値になったとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFB フラグ（インプットキャプチャ／コンペアマッチフラグ B）

TCFB フラグは GTCCRB のインプットキャプチャまたはコンペアマッチのステータスを示します。

[1 になる条件]

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値 = GTCCRB レジスタ値になったとき

- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタの値が GTCCRB レジスタに転送されたとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFC フラグ（インプットコンペアマッチフラグ C）

TCFC フラグは GTCCRC のコンペアマッチのステータスを示します。

GTCCRC がバッファ動作を実行するとき、GTCCRC はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRC レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 01b、10b、11b（GTCCRC レジスタがバッファ動作）

TCFD フラグ（インプットコンペアマッチフラグ D）

TCFD フラグは GTCCRD のコンペアマッチのステータスを示します。

GTCCRD がバッファ動作を実行するとき、GTCCRD はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRD レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 10b、11b（GTCCRD レジスタがバッファ動作）

TCFE フラグ（インプットコンペアマッチフラグ E）

TCFE フラグは GTCCRE のコンペアマッチのステータスを示します。

GTCCRE がバッファ動作を実行するとき、GTCCRE はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRE レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 01b、10b、11b（GTCCRE レジスタがバッファ動作）

TCFF フラグ（インプットコンペアマッチフラグ F）

TCFF フラグは GTCCRF のコンペアマッチのステータスを示します。

GTCCRF がバッファ動作を実行するとき、GTCCRF はコンペアマッチを実行しません。

[1 になる条件]

- GTCNT カウンタ値 = GTCCRF レジスタ値になったとき

[0 になる条件]

- このフラグに 0 を書いたとき

[比較を行わない条件]

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 10b、11b（GTCCRF レジスタがバッファ動作）

TCFPO フラグ（オーバーフローフラグ）

TCFPO フラグはオーバーフローまたは山が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、オーバーフロー（アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化）が発生したとき
- 三角波モードにおいて、山（GTCNT カウンタが GTPR 値から GTPR 値-1 に変化）が発生したとき
- ハードウェア要因によるカウントで、オーバーフロー（アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化）が発生したとき

[0 になる条件]

- このフラグに 0 を書いたとき

TCFPU フラグ（アンダーフローフラグ）

TCFPU フラグはアンダーフローまたは谷が発生したことを示します。

[1 になる条件]

- のこぎり波モードにおいて、アンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき
- 三角波モードにおいて、谷（GTCNT カウンタが 0 から 1 に変化）が発生したとき
- ハードウェア要因によるカウントで、アンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき

[0 になる条件]

- このビットに 0 を書いたとき

ITCNT[2:0]フラグ（GPTn_OVF/GPTn_UDF 割り込み間引き回数カウンタ）

GPTn_OVF/GPTn_UDF 割り込み間引き機能を使用時（GTITC.IVTC[1:0]ビットを 00b 以外に設定時）、GTITC.IVTC[1:0]で選択した GPTn_OVF/GPTn_UDF 割り込み要因が発生するごとに 1 カウントアップします。これらのビットは、GTEITC レジスタによる拡張割り込み間引きとは独立して動作します。

[0 になる条件]

- GPTn_OVF/GPTn_UDF 割り込み間引き機能を未使用時（GTITC.IVTT[2:0]ビットが 000b で、IVTC[1:0]ビットが 00b のとき）
- GPTn_OVF/GPTn_UDF 割り込み間引き回数が指定した回数と一致したとき（IVTT[2:0]ビットで指定した間引き回数と ITCNT[2:0]ビット値が一致したとき）
- カウント動作が停止したとき

TUCF フラグ（カウント方向フラグ）

TUCF フラグは GTCNT カウンタのカウント方向を示します。イベントカウント動作で、このフラグはアップカウント時に 1、ダウンカウント時に 0 になります。

ADTRAUF フラグ（GTADTRA レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ）

本ステータスフラグは、アップカウント時の GTADTRA レジスタコンペアマッチの発生を示します。

[1 になる条件]

- アップカウントで GTCNT カウンタ値が GTADTRA レジスタ値と一致したとき

[0 になる条件]

- ADTRAUF フラグに 0 を書いたとき

ADTRADF フラグ（GTADTRA レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ）

本ステータスフラグは、ダウンカウント時の GTADTRA レジスタコンペアマッチの発生を示します。

[1 になる条件]

- ダウンカウントで GTCNT カウンタ値が GTADTRA レジスタ値と一致したとき

[0 になる条件]

- ADTRADF フラグに 0 を書いたとき

ADTRBUF フラグ（GTADTRB レジスタコンペアマッチ（アップカウント）A/D 変換開始要求フラグ）

本ステータスフラグは、アップカウント時の GTADTRB レジスタコンペアマッチの発生を示します。

[1 になる条件]

- アップカウントで GTCNT カウンタ値が GTADTRB レジスタ値と一致したとき

[0 になる条件]

- ADTRBUF フラグに 0 を書いたとき

ADTRBDF フラグ（GTADTRB レジスタコンペアマッチ（ダウンカウント）A/D 変換開始要求フラグ）

本ステータスフラグは、ダウンカウント時の GTADTRB レジスタコンペアマッチの発生を示します。

[1 になる条件]

- ダウンカウントで GTCNT カウンタ値が GTADTRB レジスタ値と一致したとき

[0 になる条件]

- ADTRBDF フラグに 0 を書いたとき

ODF フラグ（出力禁止フラグ）

ODF フラグは GRP[1:0]ビットで選択する出力禁止要因グループの要求を示します。

出力が禁止された場合、出力禁止要求がネゲートされる周期内では、出力禁止制御は解除されません。次の周期に解除されます。

DTEF フラグ（デッドタイムエラーフラグ）

本フラグはデッドタイム自動追加後のタイマ出力トグルポイントがカウント周期を超えたことを示します。

デッドタイム自動追加後のタイマ出力トグルポイントが周期内に戻る場合、本フラグは 0 になります。

本フラグは読み出しのみ可能です（本フラグをクリアするために 0 を書き込むことは禁止されています）。

DTEF フラグによる出力禁止要求が許可されている場合（GTINTAD.GRPDTE ビットが 1 である場合）、出力禁止要求として DTEF フラグが POEG に出力されます。GPT にはデッドタイムエラー割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- デッドタイム自動設定後、波形の変化点がカウント期間を超過したとき（以下の場合）

– 三角波モードのアップカウントの場合：
GTCCRA レジスタ – GTDVU レジスタ ≦ 0
– 三角波モードのダウンカウントの場合：
GTCCRA レジスタ – GTDVD レジスタ ≦ 0
– のこぎり波ワンショットパルスモードのアップカウントの場合：
GTCCRA レジスタ – GTDVU レジスタ < 0、または GTCCRA レジスタ + GTDVD レジスタ > GTPR レジスタ
– のこぎり波ワンショットパルスモードのダウンカウントの場合：
GTCCRA レジスタ + GTDVU レジスタ > GTPR レジスタ、または GTCCRA レジスタ - GTDVD レジスタ < 0

[0 になる条件]

- デッドタイム自動追加後のタイマ出力トグルポイントがカウント周期内のとき

OABHF フラグ（同時出力レベル High フラグ）

OABHF フラグは GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したことを示します。

GTIOCnA 端子または GTIOCnB 端子が 0 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするための 0 の書き込みはしないでください。

OABHF フラグによる割り込みが許可 (GTINTAD.GRPABH = 1) されている場合、OABHF フラグが出力禁止要求として POEG に出力されます。

OABHF フラグによる出力禁止要求が許可 (GTINTAD.GRPABH = 1) されている場合、OABHF フラグが出力禁止要求として POEG に出力されます。GPT には出力が同時に High に駆動されていることを示す割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABLF フラグ（同時出力レベル Low フラグ）

OABLF フラグは GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したことを示します。

GTIOCnA 端子または GTIOCnB 端子が 1 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするための 0 の書き込みはしないでください。

OABLF フラグによる割り込みが許可 (GTINTAD.GRPABL = 1) されている場合、OABLF フラグが出力禁止要求として POEG に出力されます。

OABLF フラグによる出力禁止要求が許可 (GTINTAD.GRPABL = 1) されている場合、OABLF フラグが出力禁止要求として POEG に出力されます。GPT には出力が同時に Low に駆動されていることを示す割り込みがありません。割り込みが必要な場合、POEG の割り込み機能を使用します。

[1 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 0 を出力したとき

[0 になる条件]

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子の出力値が異なるとき

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCnA 端子と GTIOCnB 端子が同時に 1 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力（PWM 出力）信号です。出力禁止条件下においても、内部ではコンペアマッチ動作が継続します。OABHF フラグまたは OABLF フラグが動作結果に基づいて更新されます。

PCF フラグ（周期計数機能終了フラグ）

本フラグは周期計数機能終了のステータスフラグです。

[1 になる条件]

- 周期の終わりで GTPC.PCEN ビットが 1、GTPC.PCNT カウンタが 1 のとき
- カウントクロックで GTPC.PCEN ビットが 1、GTPC.PCNT カウンタが 0 のとき

[0 になる条件]

- このフラグに 0 を書いたとき

20.2.17 GTBER : 汎用 PWM タイマバッファイネーブルレジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x40

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	BD3	BD2	BD1	BD0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BD0	GTCCR バッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
1	BD1	GTPR バッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
2	BD2	GTADTRA/GTADTRB レジスタバッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
3	BD3	GTDVU/GTDVD レジスタバッファ動作禁止 0: バッファ動作を許可 1: バッファ動作を禁止	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	CCRA[1:0]	GTCCRA バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作 (GTCCRA ↔ GTCCRC) その他: ダブルバッファ動作 (GTCCRA ↔ GTCCRD)	R/W
19:18	CCRB[1:0]	GTCCRB バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作 (GTCCRB ↔ GTCCRE) その他: ダブルバッファ動作 (GTCCRB ↔ GTCCRE ↔ GTCCRF)	R/W

ビット	シンボル	機能	R/W
21:20	PR[1:0]	GTPR バッファ動作 0 0: バッファ動作しない 0 1: シングルバッファ動作 (GTPBR → GTPR) その他: ダブルバッファ動作 (GTPDBR → GTPBR → GTPR)	R/W
22	CCRSWT	GTCCRA・GTCCRB 強制バッファ動作 1 を書くと GTCCRA および GTCCRB レジスタのバッファ転送を強制的に行います。このビットは 1 を書いた後、自動的に 0 に戻ります。読むと 0 が読めます。	W
23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	ADTTA[1:0]	GTADTRA レジスタバッファ転送タイミング選択 0 0: 三角波モードの場合、転送なし のこぎり波モードの場合、転送なし 0 1: 三角波モードの場合、山で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 0: 三角波モードの場合、谷で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 1: 三角波モードの場合、山と谷の両方で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送	R/W
26	ADTDA	GTADTRA レジスタダブルバッファ動作 0: シングルバッファ動作 (GTADTBRA → GTADTRA) 1: ダブルバッファ動作 (GTADTDBRA → GTADTBRA → GTADTRA)	R/W
27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:28	ADTTB[1:0]	GTADTRB レジスタバッファ転送タイミング選択 0 0: 三角波モードの場合、転送なし のこぎり波モードの場合、転送なし 0 1: 三角波モードの場合、山で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 0: 三角波モードの場合、谷で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送 1 1: 三角波モードの場合、山と谷の両方で転送 のこぎり波モードの場合、アンダーフロー（ダウンカウント時）、オーバーフロー（アップカウント時）、またはカウンタクリアで転送	R/W
30	ADTDB	GTADTRB レジスタダブルバッファ動作 0: シングルバッファ動作 (GTADTBRB → GTADTRB) 1: ダブルバッファ動作 (GTADTDBRB → GTADTRB)	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTBER レジスタは、バッファ動作を設定します。BDx (x = 0～3) ビットを除く GTBER レジスタは、GTCNT カウンタが停止しているときに設定する必要があります。

BD0 ビット（GTCCR バッファ動作禁止）

BD0 ビットは GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDE ビットが 1 のとき、BD0 ビットを 0 にしても、GTCCRB レジスタはバッファ動作を行いません。GTCCRB レジスタは、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

GTSECSR レジスタにより 1 を書き込まれたビットの配置に対応するチャネルの BD0 ビット値は、GTSECR.SBDCE または GTSECR.SBDCD に 1 が書き込まれた場合に設定可能です。

BD1 ビット（GTPR バッファ動作禁止）

BD1 ビットは GTPR、GTPBR、および GTPDBR レジスタを組み合わせたバッファ動作を禁止します。

GTSECSR レジスタにより 1 を書き込まれたビットの配置に対応するチャネルの BD1 ビット値は、GTSECR.SBDPE または GTSECR.SBDPD に 1 が書き込まれた場合に設定可能です。

BD2 ビット（GTADTRA/GTADTRB レジスタバッファ動作禁止）

BD2 ビットは GTADTRA、GTADTBRA、GTADTDBRA レジスタを共に使用したバッファ動作、および GTADTRB、GTADTBRB、GTADTDBRB レジスタを共に使用したバッファ動作を禁止します。

本設定はイベントカウント動作中は無効であり、GTADTRA、GTADTRB レジスタを使用したバッファ動作は実行されません。

GTSECSR レジスタにより 1 を書き込まれたビットの位置に関連するチャネルの BD2 ビット値は、GTSECR レジスタの SBDAE または SBDAD ビットに 1 が書き込まれたときに設定可能です。

BD3 ビット（GTDVU/GTDVD レジスタバッファ動作禁止）

BD3 ビットは、GTDVU レジスタと GTDBU レジスタを共に使用したバッファ動作、および GTDVD レジスタと GTDBD レジスタを共に使用したバッファ動作を禁止します。

BD3 ビットが 0 の場合でも、GTDVD レジスタのバッファ動作は、GTDTCR.TDFER ビットが 1 の場合には実行されません。その代わり、GTDVU レジスタ値は自動的に設定されます。

本設定はイベントカウント動作中は無効であり、GTDVU、GTDVD レジスタを使用したバッファ動作は実行されません。

GTSECSR レジスタにより 1 を書き込まれたビットの位置に関連するチャネルの BD3 ビット値は、GTSECR レジスタの SBDDE または SBDDD ビットに 1 が書き込まれたときに設定可能です。

CCRA[1:0]ビット（GTCCRA バッファ動作）

CCRA[1:0]ビットは GTCCRA、GTCCRC、および GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。

のこぎり波ワンショットパルスモード、または三角波 PWM モード 3（谷での 64 ビット転送）、または相補 PWM モードでは、バッファ動作モードは固定されます。

CCRB[1:0]ビット（GTCCRB バッファ動作）

CCRB[1:0]ビットは GTCCRB、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。

のこぎり波ワンショットパルスモード、または三角波 PWM モード 3（谷での 64 ビット転送）、または相補 PWM モードでは、バッファ動作モードは固定されます。

PR[1:0]ビット（GTPR バッファ動作）

PR[1:0]ビットは GTPR、GTPDBR、および GTPBR レジスタを組み合わせたバッファ動作を設定します。

CCRSWT ビット（GTCCRA・GTCCRB 強制バッファ動作）

CCRSWT ビットに 1 を書くと GTCCRA および GTCCRB レジスタのバッファ転送を強制的に行います。このビットは 1 を書いた後、自動的に 0 に戻ります。このビットは 0 が読み出され、カウントストップ時にコンペアマッチ動作が設定されている場合にのみ有効です。

ADTTA[1:0]ビット（GTADTRA レジスタバッファ転送タイミング選択）

ADTTA[1:0]ビットは GTADTRA、GTADTBRA、GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。

イベントカウント動作中は、本設定は無効です。

ADTDA ビット（GTADTRA レジスタダブルバッファ動作）

ADTDA ビットは GTADTRA、GTADTBRA、GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。

イベントカウント動作中は、本設定は無効です。

ADTTB[1:0]ビット（GTADTRB レジスタバッファ転送タイミング選択）

ADTTB[1:0]ビットは GTADTRB、GTADTBRB、GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。

イベントカウント動作中は、本設定は無効です。

ADTDB ビット（GTADTRB レジスタダブルバッファ動作）

ADTDB ビットは GTADTRB、GTADTBRB、GTADTDBRB レジスタを組み合わせたバッファ動作を設定します。イベントカウント動作中は、本設定は無効です。

20.2.18 GTITC : 汎用 PWM タイマ割り込みおよび A/D 変換開始要求間引き設定レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x44

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	ADTBL	—	ADTAL	—	IVTT[2:0]			IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ITLA	GTCCRA レジスタコンペアマッチ／インプットキャプチャ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
1	ITLB	GTCCRB レジスタコンペアマッチ／インプットキャプチャ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
2	ITLC	GTCCRC レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
3	ITLD	GTCCRD レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
4	ITLE	GTCCRE レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
5	ITLF	GTCCRF レジスタコンペアマッチ割り込み連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
7:6	IVTC[1:0]	GPTn_OVF/GPTn_UDF 割り込み間引き機能選択 0 0: 間引かない 0 1: のこぎり波のときにオーバーフロー／アンダーフロー両方を、三角波のときに山をカウントして間引く 1 0: のこぎり波のときにオーバーフロー／アンダーフロー両方を、三角波のときに谷をカウントして間引く 1 0: のこぎり波のときにオーバーフロー／アンダーフロー両方を、三角波のときに谷／山の両方をカウントして間引く	R/W
10:8	IVTT[2:0]	GPTn_OVF/GPTn_UDF 割り込み間引き回数選択 0 0 0: 間引かない 0 0 1: 間引き回数：1 回 0 1 0: 間引き回数：2 回 0 1 1: 間引き回数：3 回 1 0 0: 間引き回数：4 回 1 0 1: 間引き回数：5 回 1 1 0: 間引き回数：6 回 1 1 1: 間引き回数：7 回	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
12	ADTAL	GTADTRA レジスタ A/D 変換開始要求連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	ADTBL	GTADTRB レジスタ A/D 変換開始要求連動 0: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動しない 1: GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する	R/W
31:15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTITC レジスタは、GTCNT カウンタオーバーフロー（GTPR コンペアマッチ）割り込み (GPTn_OVF) と GTCNT カウンタアンダーフロー割り込み (GPTn_UDF) に対して間引き機能を設定します。このレジスタでは、他の割り込みおよび A/D 変換開始要求を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させるかどうかも設定します。

注. POEG への出力禁止要求は、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させることはできません。なお、割り込み間引き機能を実行すると、ステータスフラグの変化も間引かれます。

イベントカウント動作中は、本設定は無効です。

ITLA ビット（GTCCRA レジスタコンペアマッチ／インプットキャプチャ割り込み連動）

GTCCRA コンペアマッチ／インプットキャプチャ割り込み (GPTn_CCMPA) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLB ビット（GTCCRB レジスタコンペアマッチ／インプットキャプチャ割り込み連動）

GTCCRB コンペアマッチ／インプットキャプチャ割り込み (GPTn_CCMPB) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLC ビット（GTCCRC レジスタコンペアマッチ割り込み連動）

GTCCRC コンペアマッチ／インプットキャプチャ割り込み (GPTn_CCMPC) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLD ビット（GTCCRD レジスタコンペアマッチ割り込み連動）

GTCCRD コンペアマッチ／インプットキャプチャ割り込み (GPTn_CCMPD) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLE ビット（GTCCRE レジスタコンペアマッチ割り込み連動）

GTCCRE コンペアマッチ／インプットキャプチャ割り込み (GPTn_CCMPE) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ITLF ビット（GTCCRF レジスタコンペアマッチ割り込み連動）

GTCCRF コンペアマッチ／インプットキャプチャ割り込み (GPTn_CCMPF) が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

IVTC[1:0]ビット（GPTn_OVF/GPTn_UDF 割り込み間引き機能選択）

GTPR コンペアマッチ（GTCNT カウンタのオーバーフロー）割り込み (GPTn_OVF)/GTCNT カウンタのアンダーフロー割り込み (GPTn_UDF) の間引き機能を設定します。

IVTT[2:0]ビット（GPTn_OVF/GPTn_UDF 割り込み間引き回数選択）

GTPR コンペアマッチ（GTCNT カウンタのオーバーフロー）割り込み (GPTn_OVF)/GTCNT カウンタのアンダーフロー割り込み (GPTn_UDF) の間引き回数を設定します。

IVTT[2:0]ビットを書き換える場合は、最初に IVTC[1:0]ビットを 00b にしてください。

ADTAL ビット（GTADTRA レジスタ A/D 変換開始要求連動）

GTCNT カウンタと GTADTRA レジスタのコンペアマッチへの応答として発生した GTADTRA A/D 変換開始要求が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

ADTBL ビット（GTADTRB レジスタ A/D 変換開始要求連動）

GTCNT カウンタと GTADTRB レジスタのコンペアマッチへの応答として発生した GTADTRB A/D 変換開始要求が、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動する／しないを設定します。

20.2.19 GTCNT : 汎用 PWM タイマカウンタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x48

Bit position:	31																													0
Bit field:																														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	GTCNT は GPT16Em (m = 0, 1, 4, 5) 用の 16 ビットの読み出し／書き込みカウンタです。 GTCNT はカウント停止後に書き込みのみ可能です。 32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。 GTCNT は、0 ≦ GTCNT ≦ GTPR の範囲内に設定してください。	R/W

20.2.20 GTCCRk : 汎用 PWM タイマコンペアキャプチャレジスタ k（k = A～F）

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x4C (GTCCRA)
0x50 (GTCCRB)
0x54 (GTCCRC)
0x58 (GTCCRE)
0x5C (GTCCRD)
0x60 (GTCCRF)

Bit position:	31																													0
Bit field:																														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTCCRk レジスタは読み出し／書き込みレジスタです。GTCCRk レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ（16 ビット）です。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。 GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア／インプットキャプチャ兼用のレジスタです。GTCCRC レジスタと GTCCRE レジスタはコンペアマッチレジスタであり、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。 GTCCRD レジスタと GTCCRF レジスタはコンペアマッチレジスタであり、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ（GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ）としても機能します。	R/W

20.2.21 GTPR : 汎用 PWM タイマ周期設定レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x64

Bit position:	31																													0
Bit field:																														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTPR レジスタは、読み出し／書き込み可能なレジスタで、GTCNT カウンタのカウント最大値を設定します。GTPR レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ（16 ビット）です。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。 のこぎり波の場合は、 (GTPR + 1) の値が周期になります。三角波の場合は、(GTPR× 2) の値が周期になります。	R/W

20.2.22 GTPBR : 汎用 PWM タイマ周期設定バッファレジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x68

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能する、読み出し／書き込みレジスタです。GTPBR レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ（16 ビット）です。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。	R/W

20.2.23 GTPDBR : 汎用 PWM タイマ周期設定ダブルバッファレジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x6C

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTPBR レジスタ用のバッファレジスタ（すなわち、GTPR レジスタ用のダブルバッファレジスタ）です。 GTPDBR は、GTPBR のバッファレジスタ（GTPR レジスタのダブルバッファレジスタ）として機能する読み出し／書き込みレジスタです。GTPDBR レジスタの有効ビット幅は、GTCNT の有効ビット幅と同じ（16 ビット）です。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。	R/W

20.2.24 GTADTRk : A/D 変換開始要求タイミングレジスタ k (k = A, B)

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x70 (GTADTRA)
0x7C (GTADTRB)

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	A/D 変換開始要求の発生タイミングを設定します。 GTADTRk は、A/D 変換開始要求の発生タイミングを設定する、読み出し／書き込みレジスタです。GTADTRk レジスタの有効ビット幅は、GTCNT の有効ビット幅と同じ（16 ビット）です。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。	R/W

20.2.25 GTADTBRk : A/D 変換開始要求タイミングバッファレジスタ k (k = A, B)

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x74 (GTADTBRA)
0x80 (GTADTBRB)

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTADTRk レジスタ用のバッファレジスタ GTADTBRk は、GTADTRk レジスタ用のバッファレジスタとして機能する、読み出し／書き込みレジスタです。GTADTBRk レジスタの有効ビット幅は、GTCNT の有効ビット幅と同じ（16 ビット）です。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。	R/W

20.2.26 GTADTDBRk : A/D 変換開始要求タイミングダブルバッファレジスタ k (k = A, B)

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x78 (GTADTDBRA)
0x84 (GTADTDBRB)

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTADTBRk レジスタ用のバッファレジスタ（すなわち、GTADTRk レジスタ用のダブルバッファレジスタ） GTADTDBRk は、GTADTBRk レジスタ用のバッファレジスタ（GTADTRk レジスタ用のダブルバッファレジスタ）として機能する、読み出し／書き込みレジスタです。GTADTDBRk レジスタの有効ビット幅は、GTCNT の有効ビット幅と同じ（16 ビット）です。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。	R/W

20.2.27 GTDTCR : 汎用 PWM タイマデッドタイムコントロールレジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x88

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TDFER	—	—	TDBDE	TDBUE	—	—	—	TDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDE	逆相波形設定 0: DTDVU レジスタおよび GTDVD レジスタを使用しないで、GTCCRB レジスタを設定する 1: DTDVU レジスタと GTDVD レジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定する	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TDBUE	GTDVU レジスタバッファ動作許可 0: GTDVU レジスタバッファ動作を禁止 1: GTDVU レジスタバッファ動作を許可	R/W
5	TDBDE	GTDVD レジスタバッファ動作許可 0: GTDVD レジスタバッファ動作を禁止 1: GTDVD レジスタバッファ動作を許可	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TDFER	GTDVD レジスタ設定 0: GTDVU レジスタと GTDVD レジスタを個別に設定 1: GTDVU レジスタに書き込まれた値が GTDVD レジスタに自動設定	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTDTCR レジスタは、デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可します。GPT にはデッドタイム制御機能があります。デッドタイム値の設定には DTDVU レジスタと GTDVD レジスタを使用します。

イベントカウント動作中は、本設定は無効です。

TDE ビット（逆相波形設定）

TDE ビットは DTDVU レジスタおよび GTDVD レジスタを使用するか否かを指定します。DTDVU レジスタと GTDVD レジスタを使用する場合、正相波形のコンペアマッチ値（GTCCRA 値）とデッドタイム値（DTDVU 値と GTDVD 値）から算出されたデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。

TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、GTCCRB レジスタで自動設定は行われません。

GTCCRB レジスタ値が自動設定されるとき、以下のような上限値と下限値があります。算出された GTCCRB 値がこの範囲に収まらない場合、GTCCRB レジスタには下記の制限値が設定されます。また、GTST.DTEF フラグが 1 になります。ただし、算出された GTCCRB 値が三角波 PWM モードの上限値を超える場合、DTEF フラグは 0 になります。

- 三角波の場合
  上限値：GTPR 値 − 1
  下限値：アップカウント時は 1、ダウンカウント時は 0
- のこぎり波ワンショットパルスモードの場合
  上限値：GTPR 値
  下限値：0

TDBUE ビット（GTDVU レジスタバッファ動作許可）

本ビットは GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作を許可します。

バッファ転送のタイミングは三角波モードの谷、およびのこぎり波モードのオーバーフローまたはアンダーフローです。

TDBDE ビット（GTDVD レジスタバッファ動作許可）

本ビットは GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。

バッファ転送のタイミングは三角波モードの谷、およびのこぎり波モードのオーバーフローまたはアンダーフローです。

本ビットと TDFER ビットを同時に 1 にする場合、TDFER ビットの設定が優先されます。

TDFER ビット（GTDVD レジスタ設定）

本ビットは GTDVU レジスタに書き込まれた値が GTDVD レジスタにも自動設定されるか否かを設定します。

20.2.28 GTDVk : 汎用 PWM タイマデッドタイム値レジスタ k (k = U, D)

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x8C (GTDVU)
0x90 (GTDVD)

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTDVk レジスタは、PWM 波形を生成するためのデッドタイム値を設定する、読み出し／書き込みレジスタです。GTDVk レジスタの有効ビット幅は、GTCNT カウンタの有効ビット幅と同じ（16 ビット）です。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。 三角波の場合、GTDVU レジスタがアップカウントに使用され、GTDVD レジスタがダウンカウントに使用されます。 のこぎり波の場合、アップカウントかダウンカウントかにかかわらず、GTDVU レジスタが前部のデッドタイムを制御し、GTDVD レジスタが後部のデッドタイムを制御します。 GTPR 以上の GTDVk 値は設定しないでください。 また、デッドタイム自動設定機能を使用する場合、波形の変化ポイントがカウント周期を超えるような設定をしないでください。GTCCRB レジスタを読み出すと、自動計算される逆相波形の変化点を取得できます。 GTDVk レジスタを使用する場合、GTCCRB レジスタへの書き込みはしないでください。このレジスタ値を 0 にすると、デッドタイムなしの波形が出力されます。 GTDTCR.TDFER ビットが 1 のとき、GTDVD レジスタへの書き込みは無効です。このとき、GTDVD レジスタを読み出すと、GTDVU レジスタの値が読み出せます。 GPT の動作中は、GTDVk レジスタ値の変更はしないでください。GTDVk を新しい値に変更するには、GTCR レジスタの CST ビットで GPT を停止してください。	R/W

20.2.29 GTDBk : 汎用 PWM タイマデッドタイムバッファレジスタ k (k = U, D)

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x94 (GTDBU)
0x98 (GTDBD)

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	GTDBk は、GTDVk レジスタ用のバッファレジスタとして機能する、読み出し／書き込みレジスタです。GTDBk レジスタの有効ビット幅は、GTCNT の有効ビット幅と同じ（16 ビット）です。32 ビット単位アクセス時の上位 16 ビットは、読むと常に 0x0000 が読み出され、書き込みは無視されます。	R/W

20.2.30 GTSOS : 汎用 PWM タイマ出力保護機能ステータスレジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0x9C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SOS[1:0]	出力保護機能ステータス 0 0: 通常動作 0 1: 保護状態（谷もしくは山の転送で GTCCRA = 0 が設定された） 1 0: 保護状態（谷の転送で GTCCRA ≧ GTPR が設定された） 1 1: 保護状態（山の転送で GTCCRA ≧ GTPR が設定された）	R
7:2	—	読むと 0 が読めます。	R
9:8	—	読み出し値は不定です。	R
31:10	—	読むと 0 が読めます。	R

GTSOS レジスタは、出力保護機能の状態を示すステータスレジスタです。出力保護機能は、三角波モードでデッドタイムが自動設定（GTDTCR.TDE ビット = 1）の場合のみ有効になります。

SOS[1:0]ビット（出力保護機能ステータス）

SOS[1:0]ビットは、三角波 PWM モードにおける出力保護機能の状態を示します。出力保護機能の詳細については、「20.8.4. GTIOCnm 端子出力の出力保護機能」を参照してください。

20.2.31 GTSOTR : 汎用 PWM タイマ出力保護機能一時解除レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0xA0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOTR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SOTR	出力保護機能一時解除 0: 保護状態を解除しない 1: 保護状態を解除する	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTSOTR レジスタは、出力保護が設定されている場合に、GTIOCnB (n = 0, 1, 4, 5) 端子出力の保護状態を一時的に解除します。GTSOS.SOS[1:0]ビットが 10b（山での転送時に GTCCRA レジスタ ≧ GTPR レジスタが発生する保護状態）である場合のみに、保護状態を解除できます。他の状態の場合には、保護状態は解除できません。

SOTR ビット（出力保護機能一時解除）

SOTR ビットは、出力保護状態時に GTIOCnB 端子出力の保護状態を一時的に解除するか／しないかを設定します。SOTR ビットを 1 にすると、最初に現れる谷以降の出力保護機能を解除します。SOTR ビットを 0 にすると、最初に現れる谷以降の出力保護機能を再開します。

20.2.32 GTADSMR : 汎用 PWM タイマ A/D 変換開始要求信号監視レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0xA4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	ADSMEN1	—	—	—	—	—	—	ADSMS1[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ADSMEN0	—	—	—	—	—	—	ADSMS0[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ADSMS0[1:0]	A/D 変換開始要求信号モニタ 0 選択 0 0: アップカウント中に GTADTRA によって生成された A/D 変換開始要求信号 0 1: ダウンカウント中に GTADTRA によって生成された A/D 変換開始要求信号 1 0: アップカウント中に GTADTRB によって生成された A/D 変換開始要求信号 1 1: ダウンカウント中に GTADTRB によって生成された A/D 変換開始要求信号	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ADSMEN0	A/D 変換開始要求信号モニタ 0 出力許可 0: A/D 変換開始要求信号モニタ 0 の出力を禁止 1: A/D 変換開始要求信号モニタ 0 の出力を許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
17:16	ADSMS1[1:0]	A/D 変換開始要求信号モニタ 1 選択 0 0: アップカウント中に GTADTRA によって生成された A/D 変換開始要求信号 0 1: ダウンカウント中に GTADTRA によって生成された A/D 変換開始要求信号 1 0: アップカウント中に GTADTRB によって生成された A/D 変換開始要求信号 1 1: ダウンカウント中に GTADTRB によって生成された A/D 変換開始要求信号	R/W
23:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	ADSMEN1	A/D 変換開始要求信号モニタ 1 出力許可 0: A/D 変換開始要求信号モニタ 1 の出力を禁止 1: A/D 変換開始要求信号モニタ 1 の出力を許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTADSMR レジスタは、フレーム周期に同期される A/D 変換開始要求信号モニタを制御するために使用されます。

ADSMSk[1:0]ビット（A/D 変換開始要求信号モニタ k 選択）(k = 0, 1)

これらのビットは、GTASMk 端子によって監視される、フレーム周期に同期される A/D 変換開始要求信号を選択するために使用されます。三角波 PWM モードでは、次の設定は禁止されています。

- GTADTRA = 0 の状態で ADSMSk[1:0]ビットを 00b にする（アップカウント中の A/D 変換開始要求）
- GTADTRB = 0 の状態で ADSMSk[1:0]ビットを 10b にする（アップカウント中の A/D 変換開始要求）
- GTADTRA = GTPR の状態で ADSMSk[1:0]ビットを 01b にする（ダウンカウント中の A/D 変換開始要求）
- GTADTRB = GTPR の状態で ADSMSk[1:0]ビットを 11b にする（ダウンカウント中の A/D 変換開始要求）

ADSMENk ビット（A/D 変換開始要求信号モニタ k 出力許可）(k = 0, 1)

このビットは、GTADSMk 端子へのモニター出力を許可／禁止します。

出力禁止時は、GTADSMk 端子は Low になります。

ビットが 1 のとき、GTADSMk 端子の信号は、ADSMSk[1:0]ビットで選択された A/D 変換の開始を要求する信号のアサート時に High になります。その後、A/D 変換開始要求信号を発生したチャネルのタイマの現在のサイクルの終了時に、信号は Low に戻ります。カウンタ停止時、値は出力のために保持されます。Low を出力するには、ADSMENk ビットを 0 にします。

A/D 変換開始要求信号がタイマ期間終了時に発生した場合、この信号の発生がモニタ出力として優先され、次の期間の終了時まで出力は High のままとなります。

複数のチャネルに対して同一の A/D 変換開始要求信号監視出力の出力を許可している場合、それらの論理和を取った信号が GPT から出力されます。

20.2.33 GTICLF : 汎用 PWM タイマチャネル間論理演算機能設定レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0xB8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	ICLFSELD[5:0]						—	ICLFB[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ICLFSELC[5:0]						—	ICLFA[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ICLFA[2:0]	GTIOCnA 出力論理演算機能選択 0 0 0: A（遅延なし） 0 0 1: NOT A（遅延なし） 0 1 0: C（1PCLKD サイクル遅延） 0 1 1: NOT C（1PCLKD サイクル遅延） 1 0 0: A AND C（1PCLKD サイクル遅延）(注2) 1 0 1: A OR C（1PCLKD サイクル遅延）(注2) 1 1 0: A EXOR C（1PCLKD サイクル遅延）(注2) 1 1 1: A NOR C（1PCLKD サイクル遅延）(注2)	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
9:4	ICLFSELC[5:0]	チャネル間信号 C 選択(注1)(注2) 0x00: GTIOC0A 0x01: GTIOC0B 0x02: GTIOC1A 0x03: GTIOC1B 0x08: GTIOC4A 0x09: GTIOC4B 0x0A: GTIOC5A 0x0B: GTIOC5B その他: 設定禁止	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	ICLFB[2:0]	GTIOCnB 出力論理演算機能選択 0 0 0: B（遅延なし） 0 0 1: NOT B（遅延なし） 0 1 0: D（1PCLKD サイクル遅延） 0 1 1: NOT D（1PCLKD サイクル遅延） 1 0 0: B AND D（1PCLKD サイクル遅延）(注3) 1 0 1: B OR D（1PCLKD サイクル遅延）(注3) 1 1 0: B EXOR D（1PCLKD サイクル遅延）(注3) 1 1 1: B NOR D（1PCLKD サイクル遅延）(注3)	R/W
19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:20	ICLFSELD[5:0]	チャネル間信号 D 選択(注1)(注3) 0x00: GTIOC0A 0x01: GTIOC0B 0x02: GTIOC1A 0x03: GTIOC1B 0x08: GTIOC4A 0x09: GTIOC4B 0x0A: GTIOC5A 0x0B: GTIOC5B その他: 設定禁止	R/W
31:26	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. n = 0, 1, 4, 5
注 1. 出力禁止制御を実行する前に、信号が選択されます。
注 2. チャネル自身の GTIOCnA が選択されると、C は 1 として扱われます。
注 3. チャネル自身の GTIOCnB が選択されると、D は 1 として扱われます。

GTICLF レジスタはコンペアマッチ出力間の論理演算機能を設定します。コンペアマッチ制御後にデューティー 0%/100%処理を行った信号に対して、論理演算が実行されます。（出力禁止制御は論理演算後の信号に対して実行されます。）

GTICLF への 8 ビット単位でのアクセスはしないでください。

ICLFm[2:0]ビット（GTIOCnm 出力論理演算機能選択）(m = A, B)

これらのビットにより、GTIOCnm の出力禁止制御をする前の信号間の論理演算機能を選択します。GPT 出力のハザードを防ぐため、論理演算後の信号は、PCLKD でデータが取り込まれます。データが取り込まれたら、出力禁止制御を実行します。1 PCLKD サイクルの遅延を生じる論理演算機能を選択したとき、出力許可信号も同様に 1 PCLKD サイクル遅延して出力禁止制御に入力されます。

論理演算機能 AND、OR、EXOR、および NOR に対して同じ信号が選択されると、1 つの信号は 1 として扱われます。

ICLFSELk[5:0]ビット（チャネル間信号 k 選択）（k = C, D）

本ビットは、GTIOCnm に対する出力禁止制御を実行する前に、論理演算が実行される信号 k を選択します。

20.2.34 GTPC : 汎用 PWM タイマ周期カウントレジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0xBC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	PCNT[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ASTP	—	—	—	—	—	—	—	PCEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PCEN	周期計数機能許可 0: 周期計数機能は禁止 1: 周期計数機能は許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	ASTP	自動停止機能許可 0: 自動停止機能は禁止 1: 自動停止機能は許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:16	PCNT[11:0]	周期カウンタ 周期計数のカウンタ	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTPC レジスタは周期回数をカウントします。

PCEN ビット（周期計数機能許可）

周期計数機能を許可または禁止にします。

計数が進行中、停止中いずれにおいても書き込み可能です。

GTSECR.SPCE ビットまたは GTSECR.SPCD ビットのどちらかに 1 が書き込まれたとき、GTSECSR レジスタにより 1 が設定されたチャネルの PCEN ビットに値が同時に設定されます。

ASTP ビット（自動停止機能許可）

周期計数終了後の GTCNT カウンタ自動停止を許可または禁止します。

PCEN ビットが 0 のとき、書き込み可能です。

PCEN ビットが 1 のとき、書き込み禁止です。

PCEN ビットが 1 のとき、ASTP ビットが 1 でありかつ PCNT カウンタが PCNT = 0 で停止すると、GTCNT カウンタも停止します。ASTP ビットが 0 のときは、GTCNT はカウント動作を継続します。

PCNT[11:0]ビット（周期カウンタ）

周期の数を計数するカウンタです。

PCEN ビットが 0 のとき、周期の数を書き込み可能です。

PCEN ビットが 1 のとき、書き込みは無効であり、周期の終わりでダウンカウントが実行されます。のこぎり波モードの場合、周期の終わりがオーバーフロー、アンダーフロー、またはカウンタクリアを表します。三角波モードの場合、それは谷を表します。

周期の終わりに PCNT カウンタが 1 であるとき、カウンタは 0 になり、計数を停止します。

周期計数機能が許可された状態で、GTCNT カウンタが停止したとき、PCNT カウンタはその値を保持します。GTCNT カウンタがカウントを再開して PCEN ビットが 1 のとき、PCNT カウンタは保持していた値からダウンカウントを再開します。

PCNT カウンタが 0 かつ ASTP ビットが 1 の間に PCEN ビットが 0 から 1 に変化するとき、GTCNT カウンタがその直後にカウントクロックで停止します。

20.2.35 GTSECSR : 汎用 PWM タイマ動作許可ビット同時制御チャネル選択レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0xD0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	SECSEL5	SECSEL4	—	—	SECSEL1	SECSEL0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SECSEL0	チャネル 0 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
1	SECSEL1	チャネル 1 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SECSEL4	チャネル 4 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
5	SECSEL5	チャネル 5 動作許可ビット同時制御チャネル選択 0: 同時制御禁止 1: 同時制御許可	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTSECR レジスタにより動作許可ビットを更新するチャネル n (n = 0, 1, 4, 5) を、GTSECSR レジスタで選択します。GTSECSR レジスタのビット位置はチャネル番号を示します。各チャネルの GTSECSR レジスタは共通レジスタで、任意のチャネルの GTSECSR レジスタのビットに 1 を書き込み更新すると、GTSECSR レジスタにより 1 が書き込まれたビット位置に対応するチャネルを GTSECR レジスタによる動作許可ビットで同時制御できるようにします。

セキュリティ属性がセキュアとして構成されたチャネルに対応するビットは非セキュアアクセスで読み出し可能ですが、非セキュアアクセスで書き込みはできません。例えば、GPT チャネル 0 がセキュアとして構成され、ほかの GPT が非セキュアで構成されている場合、GPT16E1.GTSECSR レジスタへの非セキュアアクセスで SECSEL0 ビットへの書き込みはできません。また、GPT チャネル 0 の同時制御ステータスは変更されません。前の例と同じセキュリティ構成の非セキュアアクセスで GPT16E1.GTSECSR レジスタを読み出したときは、GPT チャネル 0（SECSEL0 ビット）の同時制御ステータスも読み出せます。

GTSECSR へ 8 ビット単位、16 ビット単位でのアクセスはしないでください。32 ビット単位でアクセスしてください。

SECSELn ビット（動作許可ビット同時制御チャネル選択） (n = 0, 1, 4, 5)

本ビットはチャネル n の動作許可の同時制御を許可または禁止します。

本ビットを 1 にすると、同時制御が許可されます。本ビットを 0 にすると、同時制御が禁止されます。

20.2.36 GTSECR : 汎用 PWM タイマ動作許可ビット同時制御レジスタ

Base address: GPT16Em = 0x4016_9000 + 0x0100 × m (m = 0, 1, 4, 5)

Offset address: 0xD4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	SPCD	—	—	—	—	—	—	—	SPCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	SBDDD	SBDADD	SBDPD	SBDCD	—	—	—	—	SBDDE	SBDAE	SBDPE	SBDCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SBDCE	GTCCR レジスタバッファ動作同時許可 0: GTCCR レジスタバッファ動作を同時許可しない 1: GTCCR レジスタバッファ動作を同時許可する	R/W
1	SBDPE	GTPR レジスタバッファ動作同時許可 0: GTPR レジスタバッファ動作の同時許可を禁止 1: GTPR レジスタバッファ動作を同時許可	R/W
2	SBDAE	GTADTR レジスタバッファ動作同時許可 0: GTADTR レジスタバッファ動作の同時許可を禁止 1: GTADTR レジスタバッファ動作を同時許可	R/W
3	SBDDE	GTDV レジスタバッファ動作同時許可 0: GTDV レジスタバッファ動作の同時許可を禁止 1: GTDV レジスタバッファ動作を同時許可	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SBDCD	GTCCR レジスタバッファ動作同時禁止 0: GTCCR レジスタバッファ動作を同時禁止しない 1: GTCCR レジスタバッファ動作を同時禁止する	R/W
9	SBDPD	GTPR レジスタバッファ動作同時禁止 0: GTPR レジスタバッファ動作の同時禁止を禁止 1: GTPR レジスタバッファ動作を同時禁止	R/W
10	SBDAD	GTADTR レジスタバッファ動作同時禁止 0: GTADTR レジスタバッファ動作の同時禁止を禁止 1: GTADTR レジスタバッファ動作を同時禁止	R/W
11	SBDDD	GTDV レジスタバッファ動作同時禁止 0: GTDV レジスタバッファ動作の同時禁止を禁止 1: GTDV レジスタバッファ動作を同時禁止	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SPCE	周期計数機能の同時許可 0: 周期計数機能を同時許可しない 1: 周期計数機能を同時許可する	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	SPCD	周期計数機能の同時禁止 0: 周期計数機能を同時禁止しない 1: 周期計数機能を同時禁止する	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

GTSECR レジスタは、GTSECSR レジスタで設定されたチャネルの動作許可ビットの値を同時に更新します。

任意のチャネルの GTSECR レジスタのビットに 1 を書き込み更新すると、全ての GTSECSR レジスタで 1 が書かれたビット位置に関連する全チャネルの動作許可ビットが更新されます。

セキュリティ属性がセキュアとして構成されているチャネルの GTSECR レジスタは、非セキュアアクセスで書き込みできません。例えば、GPT チャネル 0 がセキュアとして構成され、ほかの GPT が非セキュアで構成されて

いる場合、たとえ GPT チャネル 0 の同時制御が許可されていても、GPT16E1.GTSECR レジスタへの非セキュアアクセスで GPT16E0.GTSECR レジスタへの書き込みはできません。また、GPT チャネル 0 の同時制御ステータスは変更されません。

GTSECR レジスタの同じ動作許可ビットの許可／禁止ビットを 1 に設定することは禁止です。

1 を書き込んだビットは自動的にクリアされます。GTSECR は読むと 0 が読めます。

GTSECR レジスタは、8 ビットまたは 16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

SBDCE ビット（GTCCR レジスタバッファ動作同時許可）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[0]ビットに同時に 0 が設定され、GTCCRA、GTCCRC、GTCCRD レジスタと GTCCRB、GTCCRE、GTCCRF レジスタを使ったバッファ動作が許可されます。

SBDCE ビットと SBDCD ビットを同時に 1 に設定することは禁止です。

SBDPE ビット (GTPR レジスタバッファ動作同時許可)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[1]ビットに同時に 0 が設定され、GTPR、GTPBR、GTPDBR レジスタによるバッファ動作が許可されます。

SBDPE ビットと SBDPD ビットを同時に 1 に設定することは禁止です。

SBDAE ビット (GTADTR レジスタバッファ動作同時許可)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[2]ビットに同時に 0 が設定され、GTADTRA、GTADTBRA、GTADTDBRA レジスタおよび GTADTRB、GTADTBRB、GTADTDBRB レジスタによるバッファ動作が許可されます。

SBDAE ビットと SBDAD ビットを同時に 1 に設定しないでください。

SBDDE ビット (GTDV レジスタバッファ動作同時許可)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[3]ビットに同時に 0 が設定され、GTDVU、GTDBU レジスタおよび GTDVD、GTDBD レジスタによるバッファ動作が許可されます。

SBDDE ビットと SBDDD ビットを同時に 1 に設定しないでください。

SBDCD ビット（GTCCR レジスタバッファ動作同時禁止）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTBER.BD[0]ビットに同時に 1 が設定され、GTCCRA、GTCCRC、GTCCRD レジスタと GTCCRB、GTCCRE、GTCCRF レジスタを使ったバッファ動作が禁止されます。

SBDCE ビットと SBDCD ビットを同時に 1 に設定することは禁止です。

SBDPD ビット (GTPR レジスタバッファ動作同時禁止)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[1]ビットに同時に 1 が設定され、GTPR、GTPBR、GTPDBR レジスタによるバッファ動作が禁止されます。

SBDPE ビットと SBDPD ビットを同時に 1 に設定することは禁止です。

SBDAD ビット (GTADTR レジスタバッファ動作同時禁止)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[2]ビットに同時に 1 が設定され、GTADTRA、GTADTBRA、GTADTDBRA レジスタおよび GTADTRB、GTADTBRB、GTADTDBRB レジスタによるバッファ動作が禁止されます。

SBDAE ビットと SBDAD ビットを同時に 1 に設定しないでください。

SBDDD ビット (GTDV レジスタバッファ動作同時禁止)

本ビットに 1 を書いたとき、GTSECSR レジスタにより 1 が設定されたチャネルの GTBER.BD[3]ビットに同時に 1 が設定され、GTDVU、GTDBU レジスタおよび GTDVD、GTDBD レジスタによるバッファ動作が禁止されます。

SBDDE ビットと SBDDD ビットを同時に 1 に設定しないでください。

SPCE ビット（周期計数機能の同時許可）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTPC.PCEN ビットに同時に 1 が設定され、周期計数機能が許可されます。

SPCE ビットと SPCD ビットを同時に 1 に設定することは禁止です。

SPCD ビット（周期計数機能の同時禁止）

本ビットに 1 を書いたとき、GTSECSR レジスタで 1 が設定されたチャネルの GTPC.PCEN ビットに同時に 0 が設定され、周期計数機能が禁止されます。

SPCE ビットと SPCD ビットを同時に 1 に設定することは禁止です。

20.2.37 OPSCR : 出力相切り替えコントロールレジスタ

Base address: GPT_OPS = 0x4016_9A00

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	NFCS[1:0]		NFEN	—	—	GODF	GRP[1:0]		—	—	ALIGN	RV	INV	N	P	FB
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	EN	—	W	V	U	—	WF	VF	UF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	UF	入力相ソフト設定 ソフトウェア設定により入力相を設定します。 OPSCR.FB = 1 のとき、これらのビットの設定が有効になります。	R/W
1	VF		R/W
2	WF		R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	U	入力 U 相監視 入力相の状態を監視します。 OPSCR.FB = 0: PCLKD と外部入力同期 OPSCR.FB = 1: ソフトウェア設定（UF ビット）	R
5	V	入力 V 相監視 入力相の状態を監視します。 OPSCR.FB = 0: PCLKD と外部入力同期 OPSCR.FB = 1: ソフトウェア設定（VF ビット）	R
6	W	入力 W 相監視 入力相の状態を監視します。 OPSCR.FB = 0: PCLKD と外部入力同期 OPSCR.FB = 1: ソフトウェア設定（WF ビット）	R
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	EN	出力相許可 0: 出力しない（Hi-Z 外部端子） 1: 出力する(注1)	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	FB	外部フィードバック信号許可 入力相をソフトウェア設定値と外部入力から選択します。 0: 外部入力を選択 1: ソフトウェア設定（OPSCR.UF、VF、WF ビット）を選択	R/W
17	P	正相出力 (P) 制御 0: レベル信号出力 1: PWM 信号出力	R/W

ビット	シンボル	機能	R/W
18	N	逆相出力 (N) 制御 0: レベル信号出力 1: PWM 信号出力	R/W
19	INV	出力相反転制御 0: 正論理（アクティブ High）を出力 1: 負論理（アクティブ Low）を出力	R/W
20	RV	出力相回転方向反転 0: 正回転 1: 逆回転	R/W
21	ALIGN	入力相アライメント 0: 入力相を PCLKD に調整 1: 入力相を PWM の立ち下がりエッジに調整	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25:24	GRP[1:0]	出力禁止要因選択 0 0: グループ A 出力禁止要因を選択 0 1: グループ B 出力禁止要因を選択 1 0: グループ C 出力禁止要因を選択 1 1: グループ D 出力禁止要因を選択	R/W
26	GODF	グループ出力禁止機能 0: このビット機能を無視 1: グループ禁止で OPSCR.EN ビットをクリア(注1)	R/W
28:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	NFEN	外部入力ノイズフィルタ有効 0: 外部入力にノイズフィルタを使用しない 1: 外部入力にノイズフィルタを使用する	R/W
31:30	NFCS[1:0]	外部入力ノイズフィルタクロック選択 外部入力のノイズフィルタサンプリングクロック設定 0 0: PCLKD/1 0 1: PCLKD/4 1 0: PCLKD/16 1 1: PCLKD/64	R/W

注 1. OPSCR.GODF = 1 かつ OPSCR.GRP[1:0]ビットで選択した信号値が High になると、OPSCR.EN ビットは 0 になります。

OPSCR レジスタは、ブラシレス DC モーター制御に必要な信号波形の出力を設定するレジスタです。

UF 、VF 、WF ビット (入力相ソフト設定)

UF 、VF 、WF ビットはソフトウェア設定からの入力相を設定します。OPSCR.FB ビットが 1 の場合に、これらのビットが有効になります。UF /VF /WF ビットの設定値が U/V/W 外部入力の代わりになります。

U, V, W ビット（入力相監視）

OPSCR.FB ビットが 0 の場合、PCLKD と同期した外部入力をこれらのビットで監視します。OPSCR.FB ビットが 1 の場合、OPSCR.U、OPSCR.V、OPSCR.W ビットは、OPSCR.UF、OPSCR.VF、および OPSCR.WF ビットを読み出し可能です。

EN ビット（出力相許可）

EN ビットは出力相（正相／逆相）の出力許可信号を制御します。

OPSCR.EN ビットが 1 の時に出力します。

OPSCR.EN ビットが 0 のとき、まず OPSCR.FB, OPSCR.UF/VF /WF （ソフトウェア設定選択）、OPSCR.P/N、OPSCR.INV、OPSCR.RV、OPSCR.ALIGN、OPSCR.GRP[1:0]、OPSCR.GODF、OPSCR.NFEN、OPSCR.NFCS を設定してください。それから、EN ビットを 1 に設定してください。EN ビットは POEG から出力禁止要求が発生していない場合に設定してください。また、OPSCR.GODF ビットが 1 かつ OPSCR.GRP[1:0]ビットで選択した信号値が High になると、OPSCR.EN ビットは 0 になります。ソフトウェアで 1 が書かれても、EN ビットは 0 のままです。

復帰の場合は、ソフトウェアで出力禁止要求をクリア後に EN ビットを 1 に設定してください。

EN ビットの優先順位は以下のとおりです（競合発生時）。

EN ビットでソフトウェアによる 1 書き込みと出力禁止要求による 0 クリアが競合している場合は、出力禁止要求による 0 クリアが有効です。

FB ビット（外部フィードバック信号許可）

FB ビットは入力相にソフトウェアで設定した値 (OPSCR.UF, VF, WF) を用いるか、ホール素子のような外部入力を用いるかを選択します。

P ビット（正相出力 (P) 制御）

P ビットは正相出力（GTOUUP 端子、GTOVUP 端子、GTOWUP 端子）に対して、レベル信号出力または PWM 信号出力のどちらかを選択します。

N ビット（逆相出力 (N) 制御）

N ビットは逆相出力（GTOULO 端子、GTOVLO 端子、GTOWLO 端子）に対して、レベル信号出力または PWM 信号出力のどちらかを選択します。

INV ビット（出力相反転制御）

INV ビットは出力相として、正論理（アクティブ High）出力、または負論理（アクティブ Low）出力のどちらかを選択します。

RV ビット（出力相回転方向反転）

RV ビットは V 相／ W 相を入れ替えることにより、モーターの回転方向を反転させます。

ALIGN ビット（入力相アライメント）

ALIGN ビットは入力相のサンプリングとして、PCLKD または PWM を選択します（入力相は OPSCR.FB ビットで指定）。

OPSCR.ALIGN ビットが 0 のとき、入力相は PCLKD に調整されます。

注. チョッピングが実行される場合、出力 PWM パルス幅は出力相切り替えの前後において、チョップに使用された PWM パルス幅よりも短パルスになる場合があります。これは、パルス出力切り替えタイミングと PWM 相の差分によります。

OPSCR.ALIGN ビットが 1 のとき、入力相は PWM の立ち下がりエッジに調整されます。

GRP[1:0]ビット（出力禁止要因選択）

GRP[1:0]ビットは出力禁止要因を選択します。

GODF ビットが 0 のときに GRP ビットを設定してください。GRP ビットが接続グループ以外の POEG を選択するとき、出力端子のステータスは禁止に変わりません。

GODF ビット（グループ出力禁止機能）

OPSCR.GODF ビットが 1 かつ OPSCR.GRP[1:0]ビットで選択した信号値が High になると、OPSCR.EN ビットは 0 になります。

OPSCR.GODF = 0 の時は、本ビットは無視されます。

GODF ビットは POEG から出力禁止要求が発生していない場合に設定してください。

NFEN ビット（外部入力ノイズフィルタ有効）

NFEN ビットは外部入力用のノイズフィルタを選択します。OPSCR.NFEN ビットが 0 の場合、外部入力にノイズフィルタは使用されません。

注. 本ビットの切り替えにより生じる、意図しない内部エッジの発生を避けるために、EN ビットが 0 の間に本ビットを設定してください。

NFCS[1:0]ビット（外部入力ノイズフィルタクロック選択）

NFCS[1:0]ビットは外部入力用のノイズフィルタのクロックを選択します。OPSCR.NFEN ビットが 1 の場合、外部入力のノイズフィルタサンプリングクロック設定が有効になります。

1. NFCS[1:0]ビットを設定します。
2. クロックの 2 周期分待ちます。

3. OPSCR.EN ビットを 1 にします。

20.3 動作説明

20.3.1 基本動作

各チャネルにはおよび 16 ビットタイマがあり、各タイマは、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能にはアップカウントとダウンカウントの両方があります。GTPR レジスタがカウント周期を制御します。

GTCNT カウンタ値が GTCCRA または GTCCRB レジスタの値に一致すると、対応する GTIOCnA 端子または GTIOCnB 端子からの出力を変更できます (n = 0, 1, 4, 5)。GTCCRA または GTCCRB レジスタは、ハードウェア要因によるインプットキャプチャレジスタとして使用できます。

GTCCRC および GTCCRD レジスタは、 GTCCRA レジスタ用のバッファレジスタとしても機能します。また、GTCCRE および GTCCRF レジスタは、 GTCCRB レジスタ用のバッファレジスタとしても機能します。

20.3.1.1 カウンタの動作

(1) カウンタスタート／ストップ

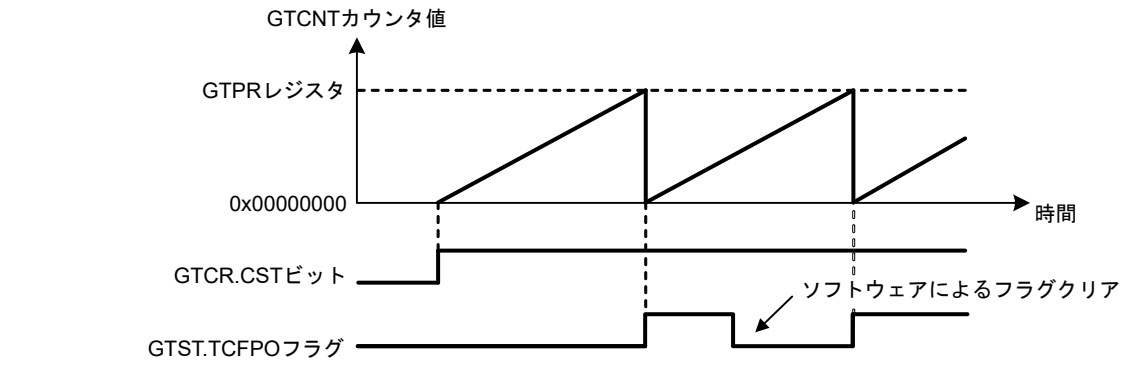
各チャネルのカウンタは、GTCR.CST ビットを 1 にするとカウント動作を開始し、GTCR.CST ビットを 0 にするとカウント動作を停止します。GTCR.CST ビット値は以下の要因によって変化します。

- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが 1 になっている場合、GTSTR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTPSR.CSTOP ビットが 1 になっている場合、GTSTP レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因
- GTPC.ASTP ビットが 1 の状態での周期計数機能の終了

(2) カウントクロックによるアップカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR レジスタおよび GTDNSR レジスタを 0x00000000 にした状態で、対応する GTCR.CST ビットを 1 にすると、アップカウントを開始します。GTCNT カウンタ値が GTPR 値から 0 に変化（オーバーフロー）すると、GTST.TCFPO フラグが 1 になり、オーバーフロー割り込み (GPTn_OVF) も発生します。GTCNT カウンタはオーバーフロー後、0x00000000 からアップカウントを再開します。

図 20.3 にカウントクロックによるアップカウント時の周期カウント動作例を示します。



注. レジスタのベースアドレスは同じです。

図 20.3 カウントクロックによるアップカウント時の周期カウント動作例

表 20.5 にカウントクロックによるアップカウント時の周期カウント動作の設定例を示します。

表 20.5　カウントクロックによるアップカウント時の周期カウント動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.3 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.3 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。図 20.3 では、0x00000000 を設定します。
6	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

(3)　カウントクロックによるダウンカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR および GTDNSR レジスタを 0x00000000 にした状態で、GTUDDTYC.UD ビットを設定することにより、ダウンカウントを実行できます。GTCNT カウンタ値が 0 から GTPR 値に変化（アンダーフロー）すると、GTST.TCFPU フラグが 1 になり、アンダーフロー割り込み (GPTn_UDF) も発生します。GTCNT カウンタはアンダーフロー後、GTPR 値からダウンカウントを再開します。

図 20.4 にカウントクロックによるダウンカウント時の周期カウント動作例を示します。

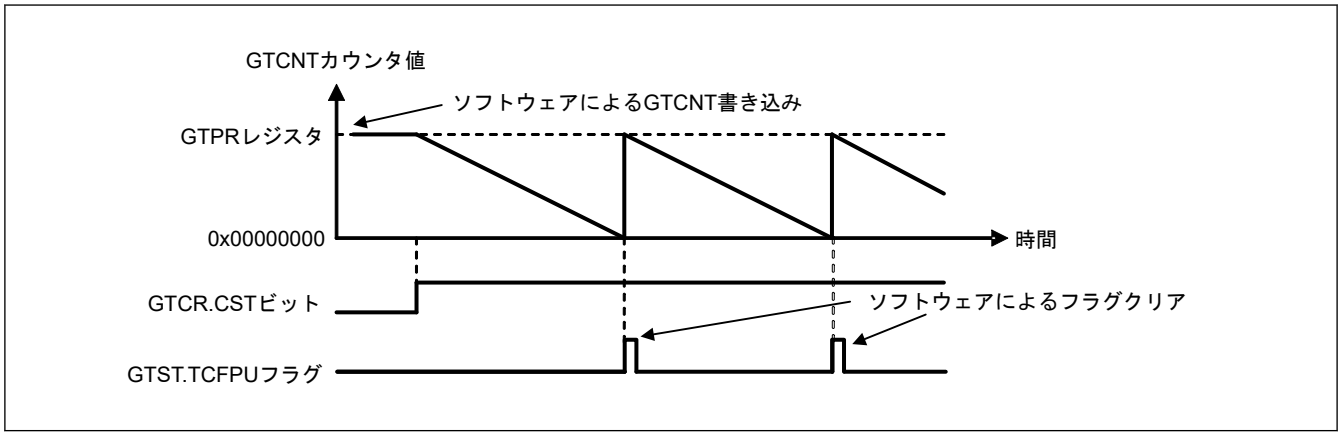


図 20.4　カウントクロックによるダウンカウント時の周期カウント動作例

表 20.6 にカウントクロックによるダウンカウント時の周期カウント動作の設定例を示します。

表 20.6　カウントクロックによるダウンカウント時の周期カウント動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.4 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向を設定します。 図 20.4 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.4 では GTPR 値を設定します。
6	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。 図 20.4 では、CST ビットに 1 を設定します。

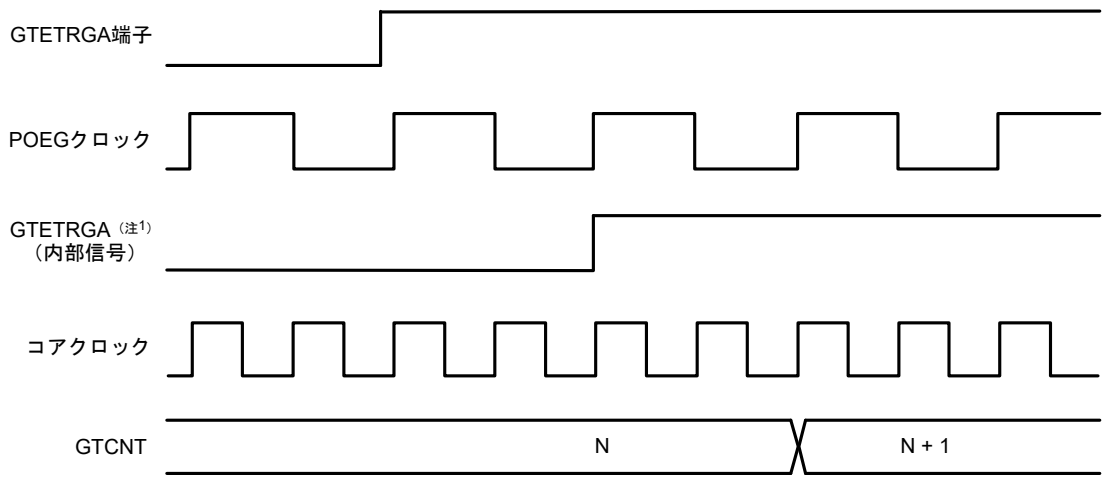
(4) ハードウェア要因によるアップカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTUPSR レジスタで設定したハードウェア要因を使用して、アップカウントを行うことができます。

GTUPSR レジスタが設定されている場合、GTCR.TPCS[3:0]ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで設定したカウント方向は無効です。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるアップカウント時のオーバーフロー動作は、カウントクロックによるアップカウント動作と同じです。

アップカウントにハードウェア要因を使用している場合は、GTCR.CST ビットを 1 にしてカウント動作を有効にしてください。カウント動作は GTCR.TPCS[3:0]ビットで選択されたカウントクロックに同期しているため、GTCR.CST ビットを 1 にした後、GTCR.TPCS[3:0]ビットで指定された 1 クロックサイクルの間、カウンタはアップカウント動作を行うことができません。GTCR.CST ビットを 1 にした 1 PCLKD 後からアップカウントを行うためには、GTCR.TPCS[3:0]ビットを 000b にしてください。

図 20.5 にハードウェア要因（GTETRGA 端子入力の立ち上がりエッジ）によるアップカウント時のイベントカウント動作例を示します。



注. POEG クロック：PCLKB、コアクロック：PCLKD
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 20.5 ハードウェア要因によるアップカウント時のイベントカウント動作例

表 20.7 にハードウェア要因によるアップカウント時のイベントカウント動作の設定例を示します。

表 20.7 ハードウェア要因によるアップカウント時のイベントカウント動作の設定例

No.	手順名	説明
1	カウント要因設定	GTUPSR レジスタでアップカウントのハードウェア要因を選択します。
2	周期設定	GTPR レジスタに周期を設定します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

(5) ハードウェア要因によるダウンカウント時のイベントカウント動作

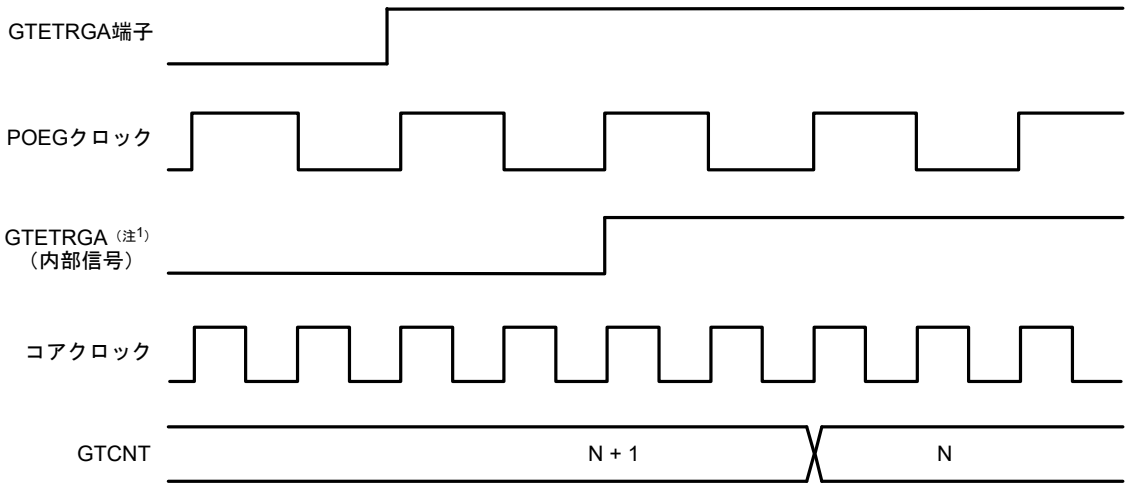
各チャネルの GTCNT カウンタは、GTDNSR レジスタで設定したハードウェア要因を使用して、ダウンカウントを行うことができます。

GTDNSR レジスタが設定されている場合、GTCR.TPCS[3:0]ビットで選択したカウントクロック、および GTUDDTYC.UD ビットで設定したカウント方向は無効です。ハードウェア要因によるアップカウントとダウン

カウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるダウンカウント時のアンダーフロー動作は、カウントクロックによるダウンカウント時のアンダーフロー動作と同じです。

GTCR.CST ビットを 1 にしてハードウェア要因によるダウンカウントを行うと、カウント動作が有効になります。カウント動作は GTCR.TPCS[3:0]ビットで選択されたカウントクロックに同期しているため、GTCR.CST ビットを 1 にした後、GTCR.TPCS[3:0]ビットで指定された 1 クロックサイクルの間、カウンタはダウンカウント動作を行うことができません。GTCR.CST ビットを 1 にした 1 PCLKD 後からダウンカウントを行うためには、GTCR.TPCS[3:0]ビットを 000b にしてください。

図 20.6 にハードウェア要因（GTETRGA 端子の立ち上がりエッジ）によるダウンカウント時のイベントカウント動作例を示します。



注. POEG クロック：PCLKB、コアクロック：PCLKD
注 1. POEG の GTETRGA 端子用デジタルノイズフィルタが使用されていないとき、GTETRGA 内部信号は GPT に入力されている信号を反映します。

図 20.6 ハードウェア要因によるダウンカウント時のイベントカウント動作例

表 20.8 にハードウェア要因によるダウンカウント時のイベントカウント動作の設定例を示します。

表 20.8 ハードウェア要因によるダウンカウント時のイベントカウント動作の設定例

No.	手順名	説明
1	カウント要因設定	GTDNSR レジスタでダウンカウントのハードウェア要因を選択します。
2	周期設定	GTPR レジスタに周期を設定します。
3	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
4	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

(6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアすることが可能です。

- GTCNT レジスタへの 0 の書き込み
- GTCSR.CCLR ビットが 1 の状態での GTCLR レジスタのチャネル番号に対応するビットへの 1 書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント動作中は、GTCNT レジスタに書き込むことはできません。GTCLR レジスタへの 1 の書き込みおよびハードウェア要因によるクリア要求により、GTCNT カウンタが動作中 (GTCR.CST = 1) の場合でも、停止中 (GTCR.CST = 0) の場合でも GTCNT カウンタをクリアすることができます。

GTCR.MD[2:0]ビットでのこぎり波モードを選択し、カウント方向フラグがデクリメント (GTST.TUCF = 0) の場合、GTCLR レジスタへ 1 を書き込みかつハードウェア要因によりクリアするとき、GTCNT レジスタは GTPR レジスタの値になります。

のこぎり波モードやダウンカウントではない場合、GTCLR レジスタへ 1 を書き込みかつハードウェア要因によりクリアするとき、GTCNT レジスタは 0 になります。

GTUPSR レジスタまたは GTDNSR レジスタの 1 つ以上のビットが 1 になっている場合のイベントカウント動作では、クリア要因の発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアの両方が直ちに実行され、PCLKD と同期が取られます。その他の設定を使用すると、GTCR.TPCS[3:0]ビットで選択したカウンタクロックと同期してクリアが実行されます。

20.3.1.2 コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA レジスタ値または GTCCRB レジスタ値と一致することを意味します。コンペアマッチが発生すると、イベントカウントを含むカウントクロックと同期して、コンペアマッチフラグが発生します。同時に、GPT は、対応する GTIOCnA または GTIOCnB 出力端子から Low 出力、High 出力、またはトグル出力を行うことができます (n = 0, 1, 4, 5)。また、GTPR レジスタで決定される周期の終わりにおいても、GTIOCnA または GTIOCnB 端子出力を Low 出力、High 出力、またはトグル出力とすることができます。

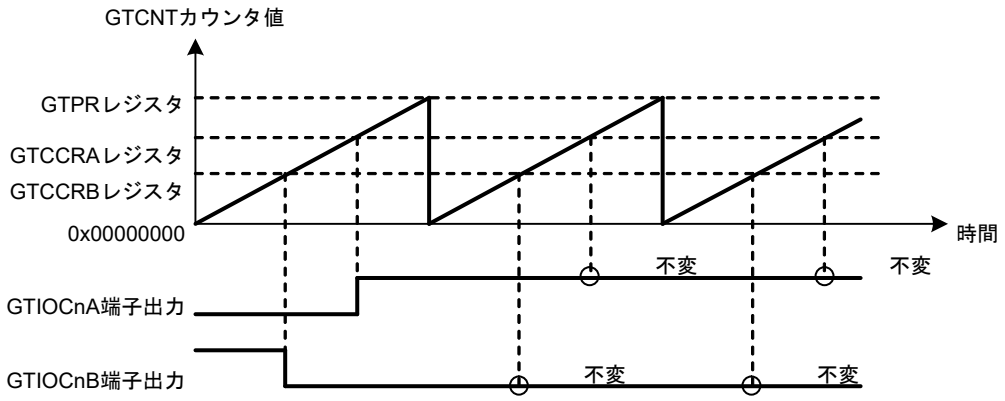
“周期の終わり”とは、以下の場合です。

- アップカウント時ののこぎり波の場合：GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバーフロー）
- ダウンカウント時ののこぎり波の場合：GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダーフロー）
- のこぎり波の場合：GTCNT カウンタがクリアされたとき
- 三角波の場合：GTCNT カウンタが 0 から 1 に変化したとき（谷）

(1) Low 出力／High 出力

図 20.7 に GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力／High 出力の動作例を示します。

この例では、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチによって GTIOCnA 端子から High が出力され、GTCCRB レジスタのコンペアマッチによって GTIOCnB 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合は、端子レベルは変化しません。



[設定例]
GTIOR.GTIOA[4:0]ビットの設定: 初期出力はLow出力、コンペアマッチでHigh出力、周期の終わりで出力保持
GTIOR.GTIOB[4:0]ビットの設定: 初期出力はHigh出力、コンペアマッチでLow出力、周期の終わりで出力保持

注. レジスタのベースアドレスは同じです。

図 20.7 Low 出力／High 出力動作例

表 20.9 に Low 出力／High 出力動作の設定例を示します。

表 20.9 Low 出力／High 出力動作の設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.7 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.7 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.7 では、GTIOA[4:0] = 00010b、GTIOB[4:0] = 10001b
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定	GTCCRA レジスタ、GTCCRB レジスタにコンペアマッチ値を設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

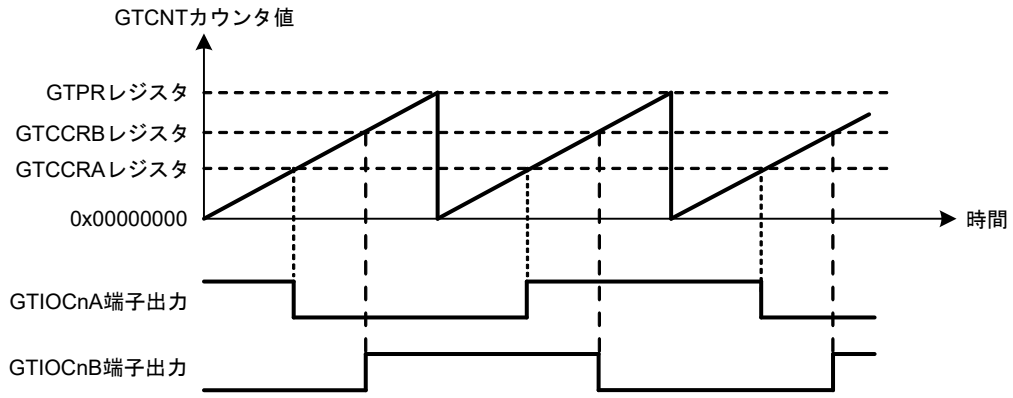
注. n: 0, 1, 4, 5
m: A, B

(2) トグル出力

図 20.8 および図 20.9 に GTCCRA および GTCCRB レジスタのコンペアマッチによるトグル出力動作例を示します。

図 20.8 は、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチと、GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOCnA 端子と GTIOCnB 端子がトグル出力となるように設定した例です。

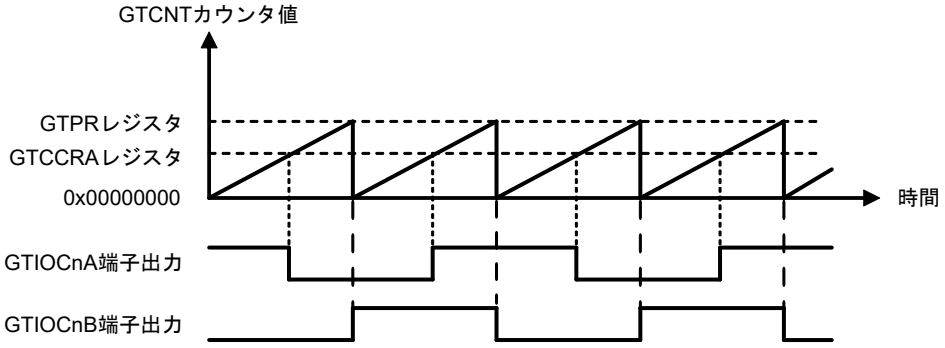
図 20.9 は、GTCNT カウンタがアップカウント動作を行い、GTCCRA レジスタのコンペアマッチによって GTIOCnA 端子がトグル出力となり、周期の終わりで GTIOCnB 端子がトグル出力となるように設定した例です。



［設定例］
GTIOR.GTIOA[4:0]ビットの設定：初期出力はHigh出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GTIOR.GTIOB[4:0]ビットの設定：初期出力はLow出力、コンペアマッチでトグル出力、周期の終わりで出力保持

注. レジスタのベースアドレスは同じです。

図 20.8 トグル出力動作例 (1)



［設定例］
GTIOR.GTIOA[4:0]ビットの設定：初期出力はHigh出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GTIOR.GTIOB[4:0]ビットの設定：初期出力はLow出力、コンペアマッチで出力保持、周期の終わりでトグル出力

注. レジスタのベースアドレスは同じです。

図 20.9 トグル出力動作例 (2)

表 20.10 にトグル出力動作の設定例を示します。

表 20.10 トグル出力動作の設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.8 と図 20.9 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップまたはダウン）を選択します。図 20.8 と図 20.9 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。

表 20.10 トグル出力動作の設定例 (2/2)

No.	手順名	説明
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.8 では GTIOA[4:0] = 10011b、GTIOB[4:0] = 00011b、図 20.9 では GTIOA[4:0] = 10011b、GTIOB[4:0] = 01100b
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定	GTCCRA レジスタ、GTCCRB レジスタにコンペアマッチ値を設定します。
9	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

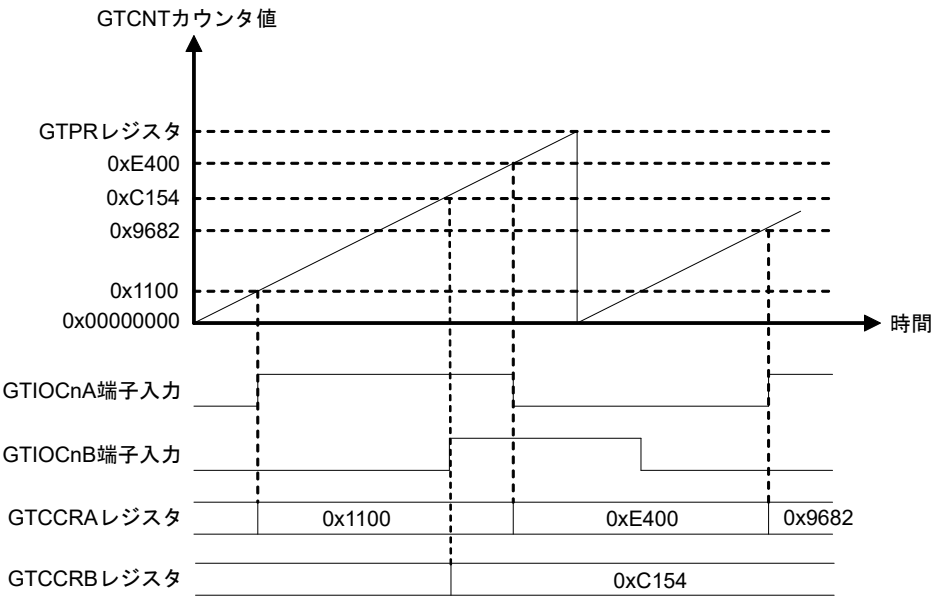
注. n: 0, 1, 4, 5
m: A, B

20.3.1.3 インプットキャプチャ機能

GTICASR および GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCRA レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。

インプットキャプチャ機能の動作例を図 20.10 に示します。

この例では、カウントクロックで GTCNT カウンタがアップカウント動作を行い、GTIOCnA 入力端子の両エッジで GTCCRA レジスタにインプットキャプチャを実行し、GTIOCnB 入力端子の立ち上がりエッジで GTCCRB レジスタにインプットキャプチャを実行するように設定しています。



注. レジスタのベースアドレスは同じです。
注. [設定例]
GTICASR 設定：両エッジでインプットキャプチャ
GTICBSR 設定：立ち上がりエッジでインプットキャプチャ

図 20.10 インプットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作の設定例を表 20.11 と表 20.14 に示します。

表 20.11 インプットキャプチャ動作設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.10 では 000b（のこぎり波 PWM モード）を設定します。

表 20.11 インプットキャプチャ動作設定例 (2/2)

No.	手順名	説明
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.10 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	インプットキャプチャ要因の選択	GTICASR レジスタおよび GTICBSR レジスタでインプットキャプチャ要因を選択します。 図 20.10 では、GTICASR = 0x00000F00、GTICBSR = 0x00003000
7	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

20.3.2 バッファ動作

GTBER レジスタによって、以下のバッファ動作の設定が可能です。

- GTPR、GTPBR、GTPDBR
- GTCCRA、GTCCRC、GTCCRD
- GTCCRB、GTCCRE、GTCCRF
- GTADTRA、GTADTBRA、GTADTDBRA
- GTADTRB、GTADTBRB、GTADTDBRB

GTDTCR レジスタを設定することにより、以下のバッファ動作が許可されます。

- GTDVU レジスタ、GTDBU レジスタ
- GTDVD レジスタ、GTDBD レジスタ

20.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは、GTPR レジスタ用のバッファレジスタとして機能します。

GTPDBR レジスタは GTPBR レジスタ用のバッファレジスタ（すなわち、GTPR レジスタ用のダブルバッファレジスタ）として機能します。

バッファ転送は、のこぎり波モードまたはイベントカウントでは、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に実行されます。また、三角波モードでは谷で実行されます。

のこぎり波モードまたはイベントカウントでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因は GTCSR レジスタで選択）
- ソフトウェアによるクリア（GTCSR.CCLR ビットが 1、GTCLR.CCLRn ビットが 1、n = 0, 1, 4, 5）

GTPR レジスタをダブルバッファとして機能するように設定する場合は、GTBER.PR[1:0]ビットを 10b または 11b にしてください。シングルバッファとして動作させるには、このビットを 01b にします。GTPR レジスタをダブルバッファとして機能させないように設定するには、このビットを 00b にします。

GTPR レジスタのバッファ動作例を図 20.11～図 20.13 に、GTPR レジスタのバッファ動作の設定例を表 20.12 に示します。

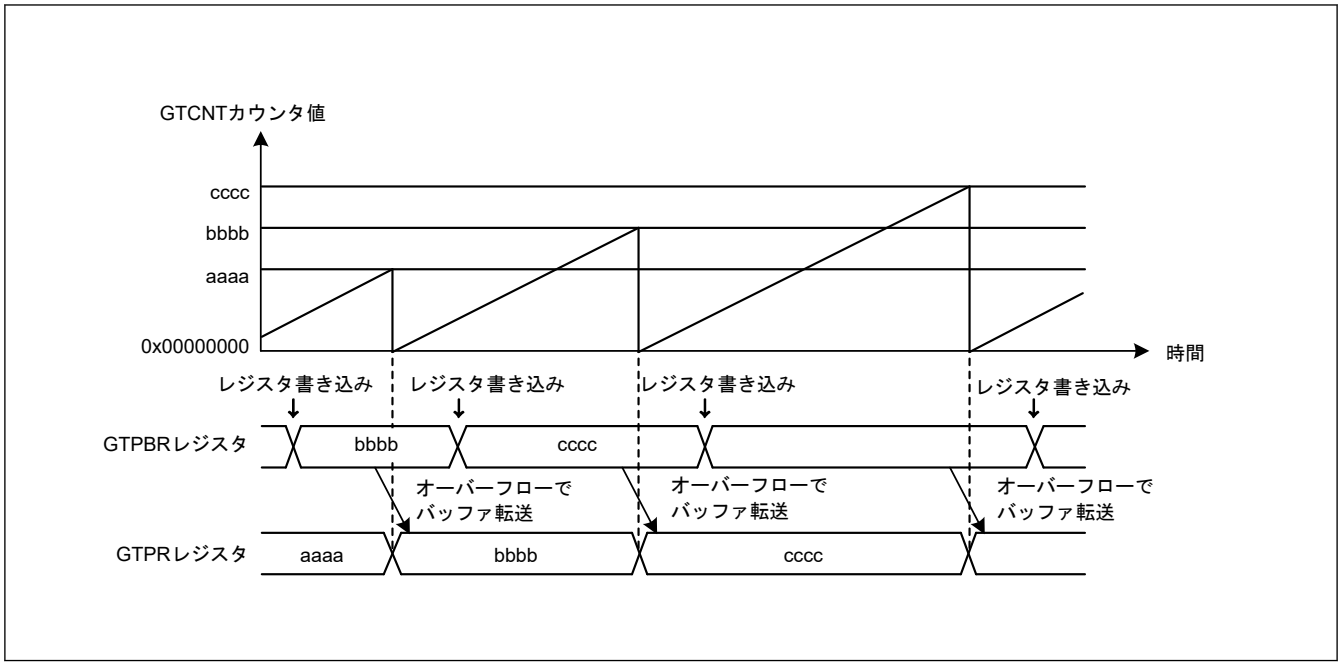


図 20.11　GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合）

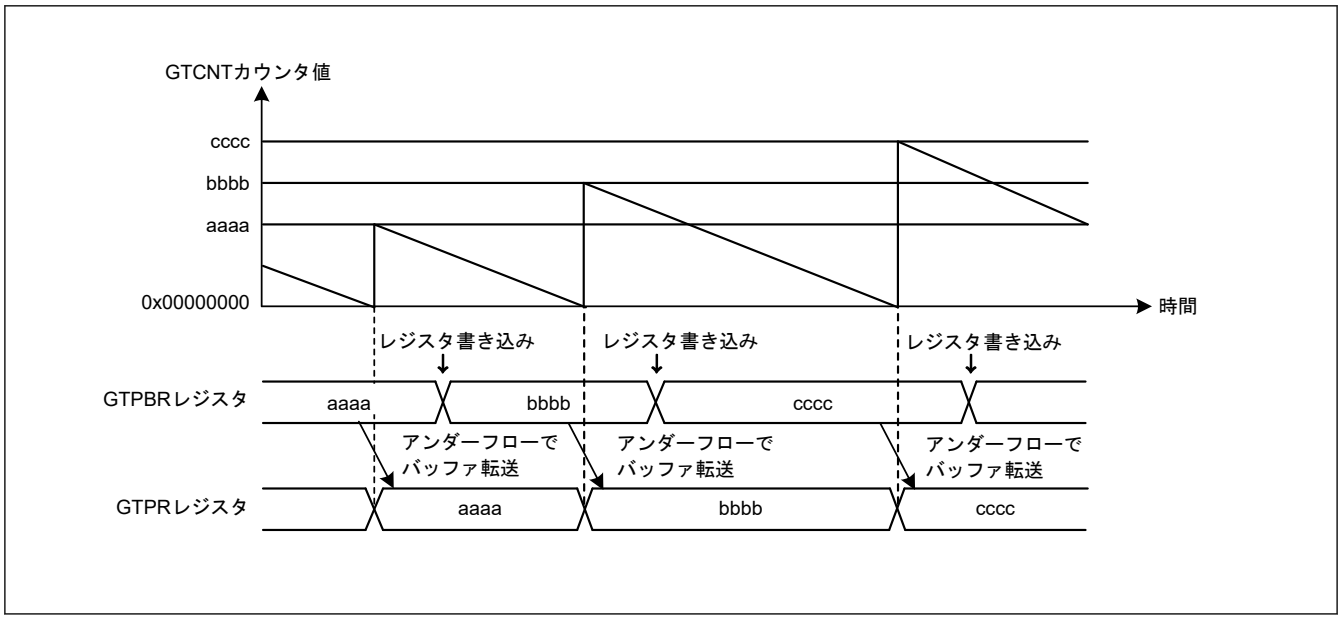


図 20.12　GTPR レジスタのバッファ動作例（のこぎり波でダウンカウントの場合）

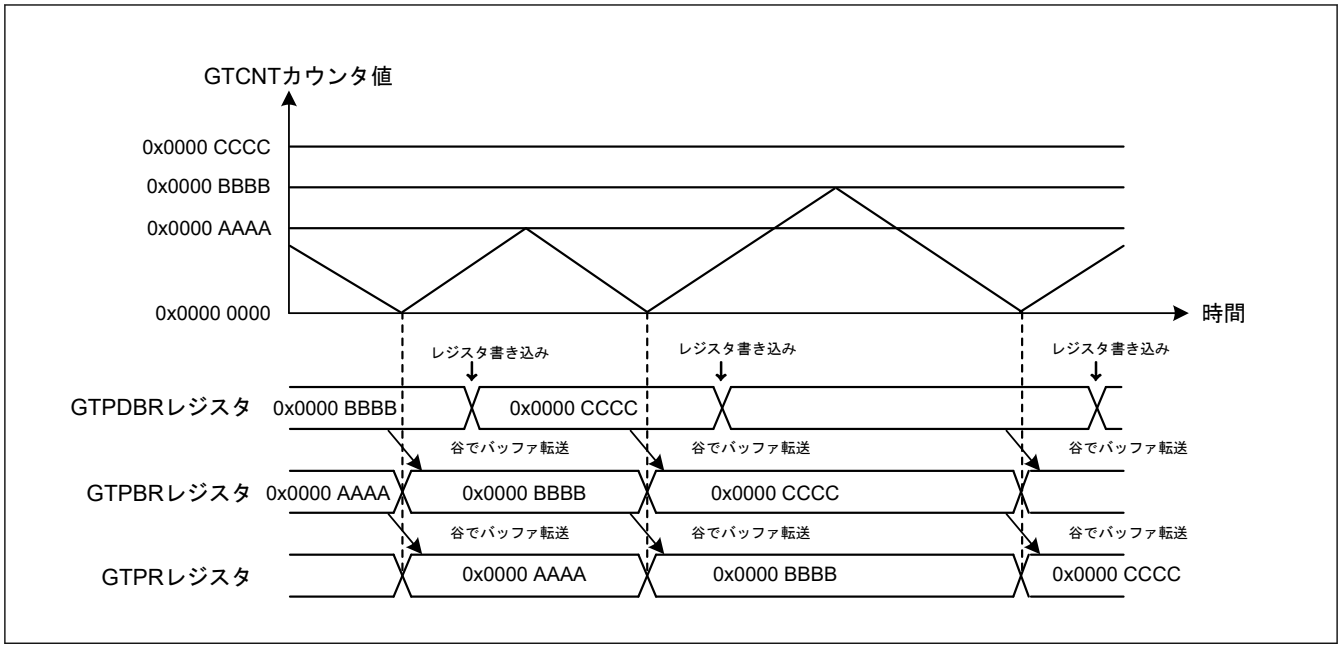


図 20.13 GTPR レジスタのバッファ動作例（三角波の場合）

表 20.12 GTPR レジスタのバッファ動作設定例

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.11、図 20.12 では 000b（のこぎり波 PWM モード）、 図 20.13 では 100b（三角波 PWM モード 1）を設定しています。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップまたはダウン）を設定します。 図 20.11 では GTUDDTYC[1:0]に 11b を設定してから GTUDDTYC[1:0]レジスタに 01b を設定します（アップカウント）。図 20.12 では GTUDDTYC[1:0]に 10b を設定してから GTUDDTYC[1:0]レジスタに 00b を設定します。（ダウンカウント）
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	バッファ動作の設定	GTBER.PR[1:0]ビットでバッファ動作を設定します。図 20.11 と図 20.12 では、PR[1:0] = 01b です。図 20.13 では、PR[1:0] = 1xb です。
7	バッファ値設定	バッファ動作時は、1 周期後の周期を GTPBR レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の周期値を GTPDBR レジスタに設定します。
8	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
9	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の周期を GTPBR レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の周期値を GTPDBR レジスタに設定します。

20.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタ用のバッファレジスタとして、GTCCRD レジスタは GTCCRC レジスタ用のバッファレジスタ（すなわち、GTCCRA レジスタ用のダブルバッファレジスタ）として機能します。同様に、GTCCRE レジスタは GTCCRB レジスタ用のバッファレジスタとして、GTCCRF レジスタは GTCCRE レジスタ用のバッファレジスタ（すなわち、GTCCRB レジスタ用のダブルバッファレジスタ）として機能します。

GTCCRA または GTCCRB レジスタをダブルバッファ動作させるには、GTBER.CCRA[1:0]または GTBER.CCRB[1:0]ビットを 10b または 11b に設定します。シングルバッファ動作の場合は、01b とします。GTCCRA または GTCCRB レジスタをバッファ動作させない場合は、00b にしてください。

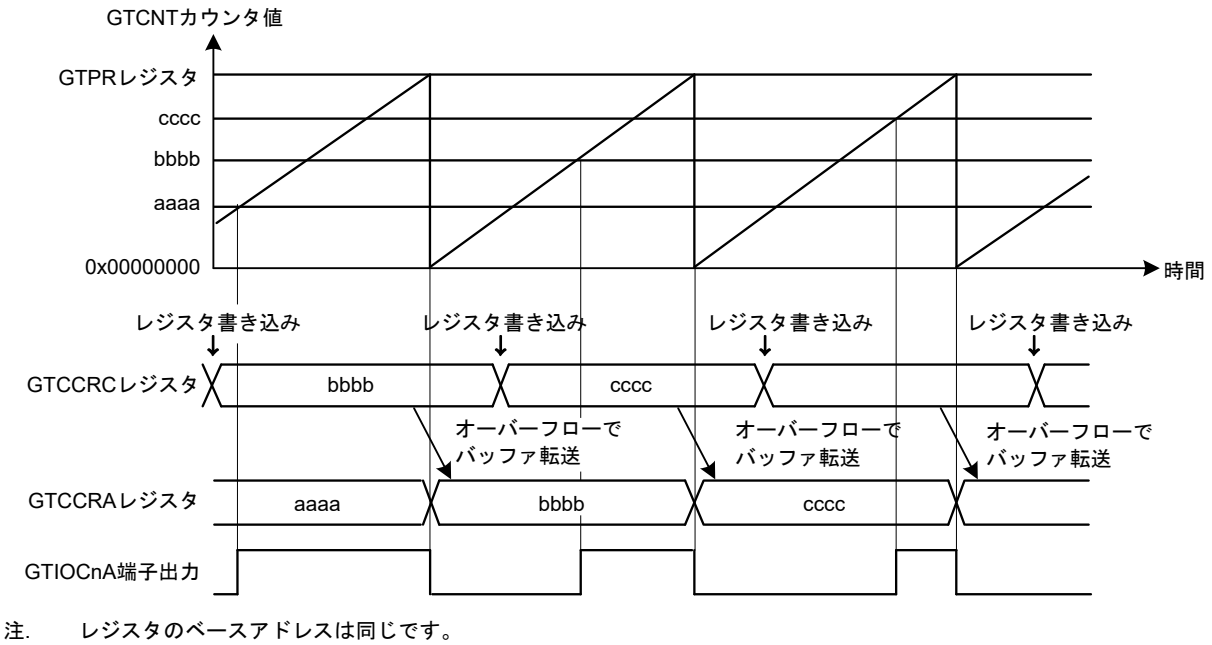
のこぎり波ワンショットパルスモード、三角波 PWM モード 3 では、各 PWM 出力動作モードに固有のバッファ動作は、GTBER.CCRA[1:0]ビットと GTBER.CCRB[1:0]ビットの設定値に関係なく実行されます。

(1) GTCCRA または GTCCRB レジスタがアウトプットコンペアレジスタとして機能する場合

のこぎり波ワンショットパルスモード、三角波 PWM モード 3 では、各 PWM 出力動作モードに固有のバッファ動作は、GTBER.CCRA[1:0]ビットと GTBER.CCRB[1:0]ビットの設定値に関係なく実行されます。詳細は、「20.3.3. PWM 出力動作モード」を参照。指定された PWM 出力動作モード以外では、バッファ転送は次の場合に実行されます。

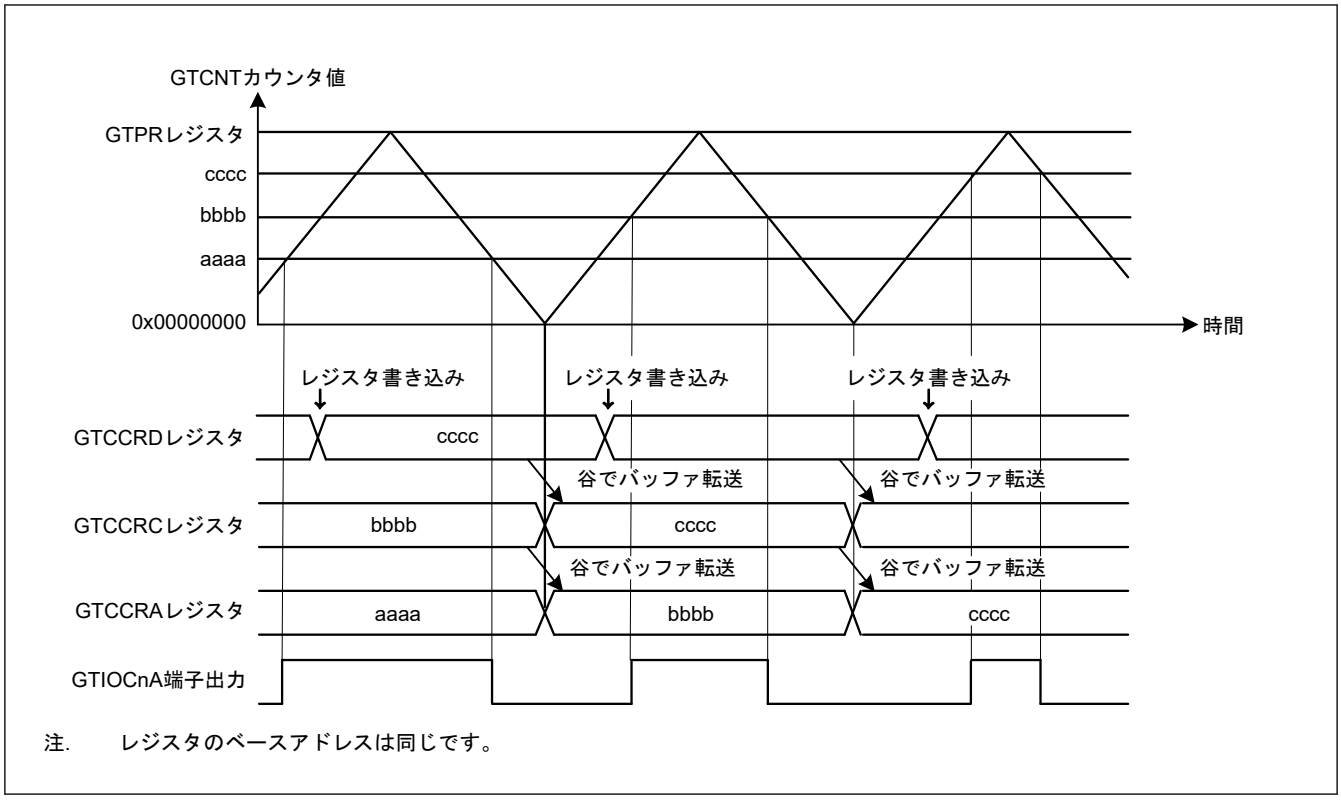
- オーバーフロー／アンダーフローによるバッファ転送
  のこぎり波モードまたはイベントカウント動作では、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に、バッファ転送が実行されます。三角波モードでは、谷（三角波 PWM モード 1）または山および谷（三角波 PWM モード 2）で、バッファ転送が実行されます。
- カウンタクリアによるバッファ転送
  のこぎり波モードまたはイベントカウント動作では、カウント中に「20.3.2.1. GTPR レジスタのバッファ動作」に示される場合と類似したカウンタクリア要因によって、バッファ転送が（同じく、アップカウント中のオーバーフロー時またはダウンカウント中のアンダーフロー時に）実行されます。
  三角波モードでは、カウンタクリアによるバッファ転送は実行されません。
- バッファ強制転送
  のこぎり波でも三角波でもイベントカウント動作でも、カウント停止中に GTBER.CCRSWT ビットに 1 を書くと、GTCCRA レジスタ、GTCCRB レジスタのバッファ転送を強制的に行います。
  さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタからテンポラリレジスタ A へのバッファ転送、および GTCCRF レジスタからテンポラリレジスタ B へのバッファ転送が実行されます。

図 20.14～図 20.16 に GTCCRA および GTCCRB レジスタのバッファ動作例を、表 20.13 に GTCCRA および GTCCRB レジスタのバッファ動作の設定例を示します。



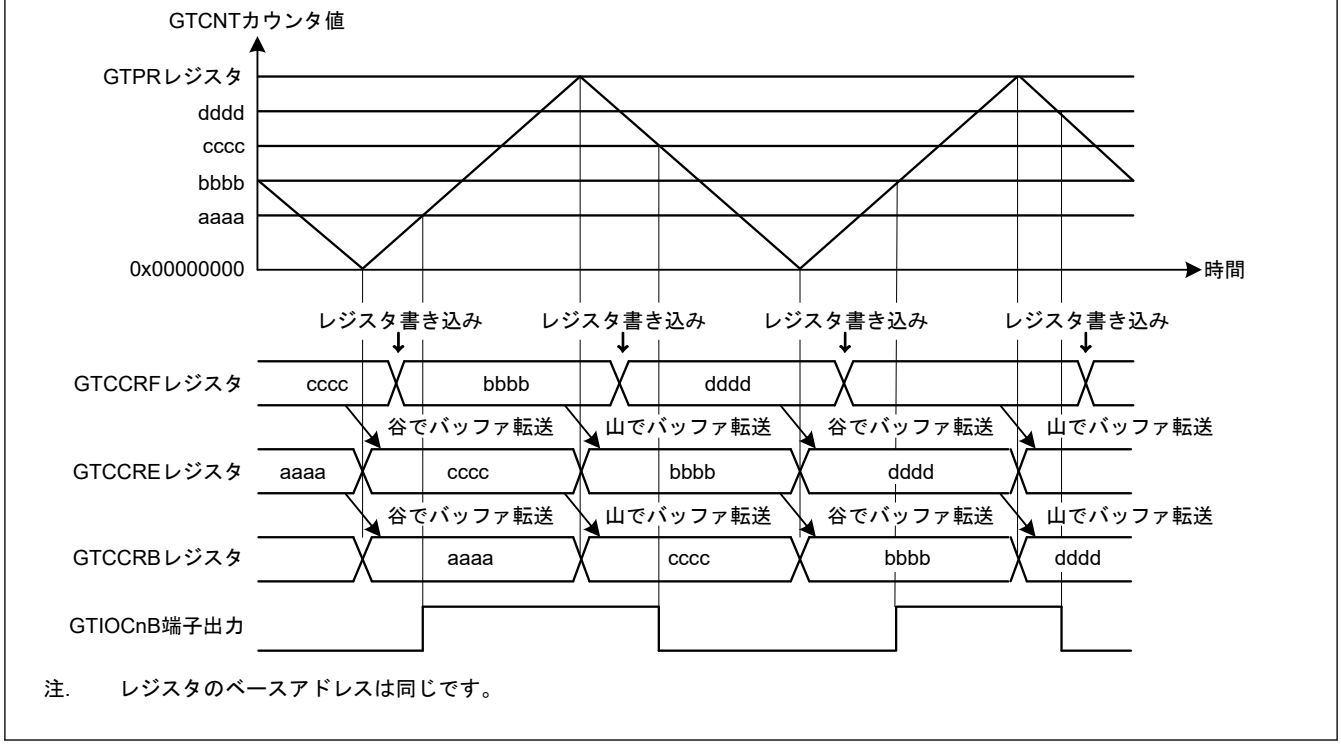
注. レジスタのベースアドレスは同じです。

図 20.14 GTCCRA レジスタのバッファ動作例（アウトプットコンペア、アップカウント時ののこぎり波、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）



注. レジスタのベースアドレスは同じです。

図 20.15 GTCCRA レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）



注. レジスタのベースアドレスは同じです。

図 20.16 GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

表 20.13　GTCCRA、GTCCRB レジスタのバッファ動作設定例（アウトプットコンペア時）

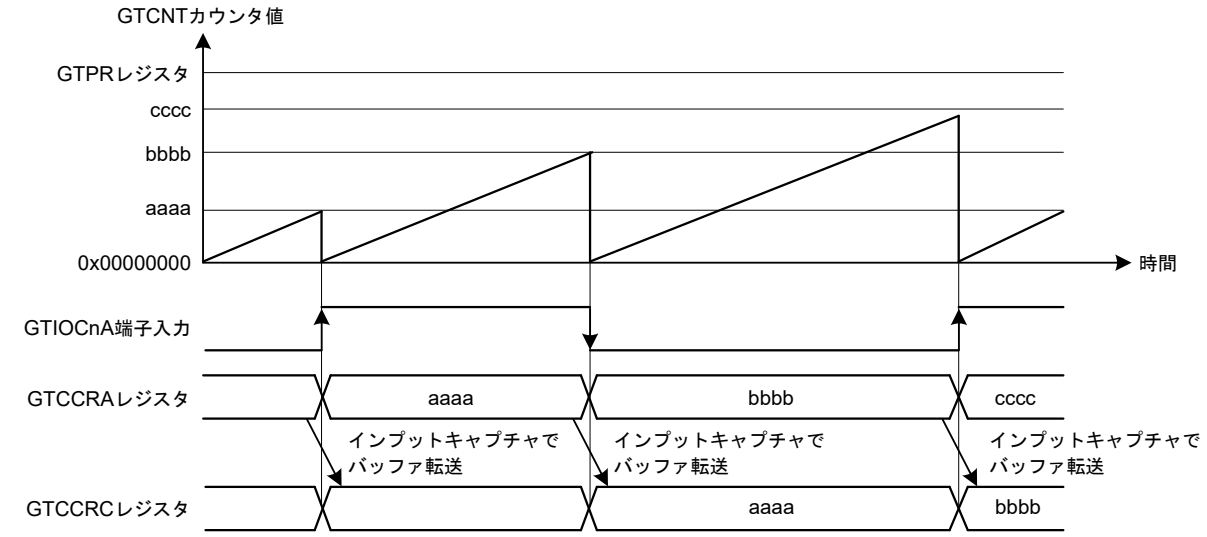
No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 （図 20.14 の例では 000b（のこぎり波 PWM モード）、図 20.15 の例では 100b（三角波 PWM モード 1）、図 20.16 の例では 101b（三角波 PWM モード 2））
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.14 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.14 では、GTIOA[4:0] = 00110b、図 20.15 では、GTIOA[4:0] = 00011b、図 20.16 では、GTIOB[4:0] = 00011b
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 20.14 では、CCRA[1:0] = 01b、図 20.15 では、CCRA[1:0] = 1xb、図 20.16 では、CCRB[1:0] = 1xb
9	コンペアマッチ値設定	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。
10	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）または半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）または半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、2 周期後（のこぎり波モードまたは三角波モードで、山または谷でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注.　n: 0, 1, 4, 5
　　m: A, B

(2)　GTCCRA または GTCCRB レジスタがインプットキャプチャレジスタとして機能する場合

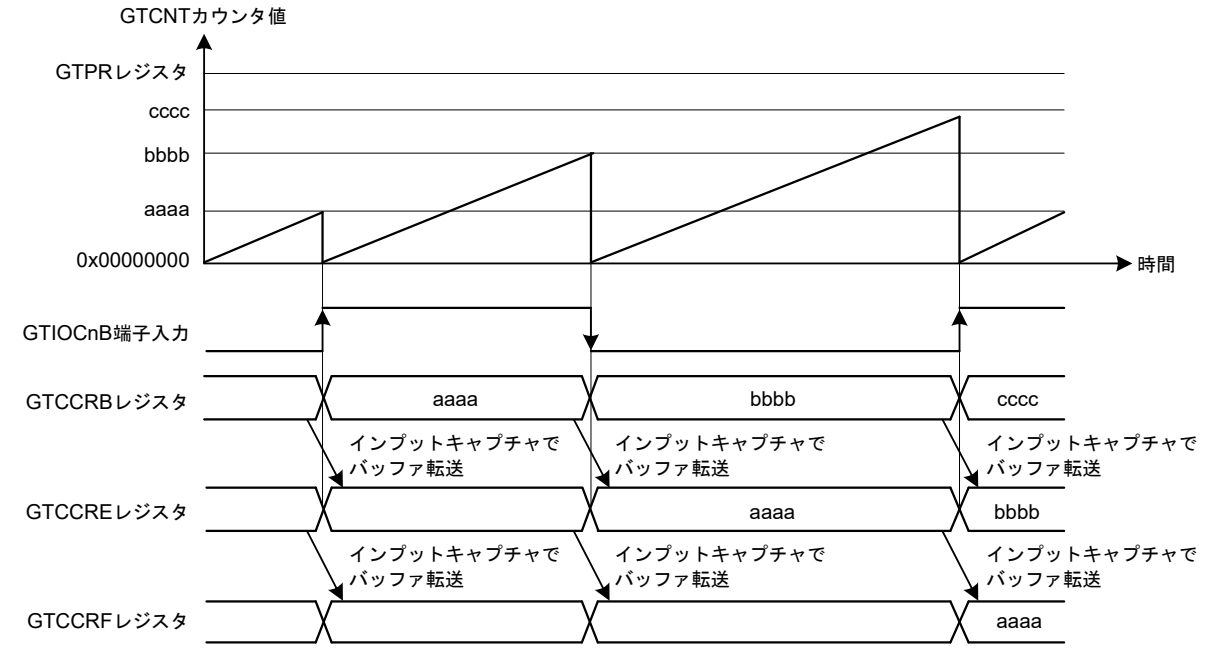
インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

図 20.17 と図 20.18 に GTCCRA および GTCCRB レジスタのバッファ動作例を、表 20.14 に GTCCRA および GTCCRB レジスタのバッファ動作の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 20.17 GTCCRA レジスタのバッファ動作例（GTIOCnA 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOCnA 端子入力の両エッジで GTCNT カウンタクリアの場合）



注. レジスタのベースアドレスは同じです。

図 20.18 GTCCRB レジスタのダブルバッファ動作例（GTIOCnB 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOCnB 端子入力の両エッジで GTCNT カウンタクリアの場合）

表 20.14 GTCCRA、GTCCRB レジスタのバッファ動作設定例（インプットキャプチャ時）

No.	手順名	説明
1	動作モードとカウンタクリア要因の設定	GTCR.MD[2:0]ビットで動作モードを設定し、GTCSR レジスタでカウンタクリア要因を設定します。 図 20.17 では、MD[2:0] = 000b（のこぎり波 PWM モード）および GTCSR = 0x00000F00、図 20.18 では、MD[2:0] = 000b（のこぎり波 PWM モード）および GTCSR = 0x0000F000
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.17 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	インプットキャプチャ要因の選択	GTICASR レジスタおよび GTICBSR レジスタでインプットキャプチャ要因を選択します。 図 20.17 では GTICASR = 0x00000F00、図 20.18 では GTICBSR = 0x0000F000
7	バッファ動作の設定	GTBER レジスタの CCRA ビット、CCRB ビットで、バッファ動作を設定します。 図 20.17 では CCRA[1:0] = 01b、図 20.18 では CCRB[1:0] = 1xb
8	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

20.3.2.3 GTADTRA、GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ（GTADTRA レジスタのダブルバッファレジスタ）として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ（GTADTRB レジスタのダブルバッファレジスタ）として動作します。

GTADTRA または GTADTRB レジスタをダブルバッファ動作させるには、GTBER.ADTDA または ADTDB ビットを 1 にします。シングルバッファとして動作させるには、このビットを 0 にします。GTADTRA または GTADTRB レジスタをバッファ動作させない場合、GTBER.ADTTA[1:0]または ADTTB[1:0]ビットを 00b にします。

バッファ転送タイミングは、のこぎり波モードでは ADTTA[1:0]ビットと ADTTB[1:0]ビットを使用してオーバーフロー（アップカウントの場合）またはアンダーフロー（ダウンカウントの場合）に設定でき、三角波モードでは ADTTA[1:0]ビットと ADTTB[1:0]ビットを 01b にすると山、10b にすると谷、11b にすると山／谷両方に設定出来ます。

のこぎり波モードでは、ADTTA[1:0] ビットと ADTTB[1:0] ビットを 00b 以外の値に設定したカウント動作時、「20.3.2.1. GTPR レジスタのバッファ動作」と同様のカウンタクリア要因により、オーバーフロー時（アップカウント時）またはアンダーフロー時（ダウンカウント時）と同じ方法でバッファ転送が実行されます。

図 20.19～図 20.21 に GTADTRA レジスタと GTADTRB レジスタのバッファ動作例を、表 20.15 に GTADTRA レジスタと GTADTRB レジスタのバッファ動作設定例を示します。

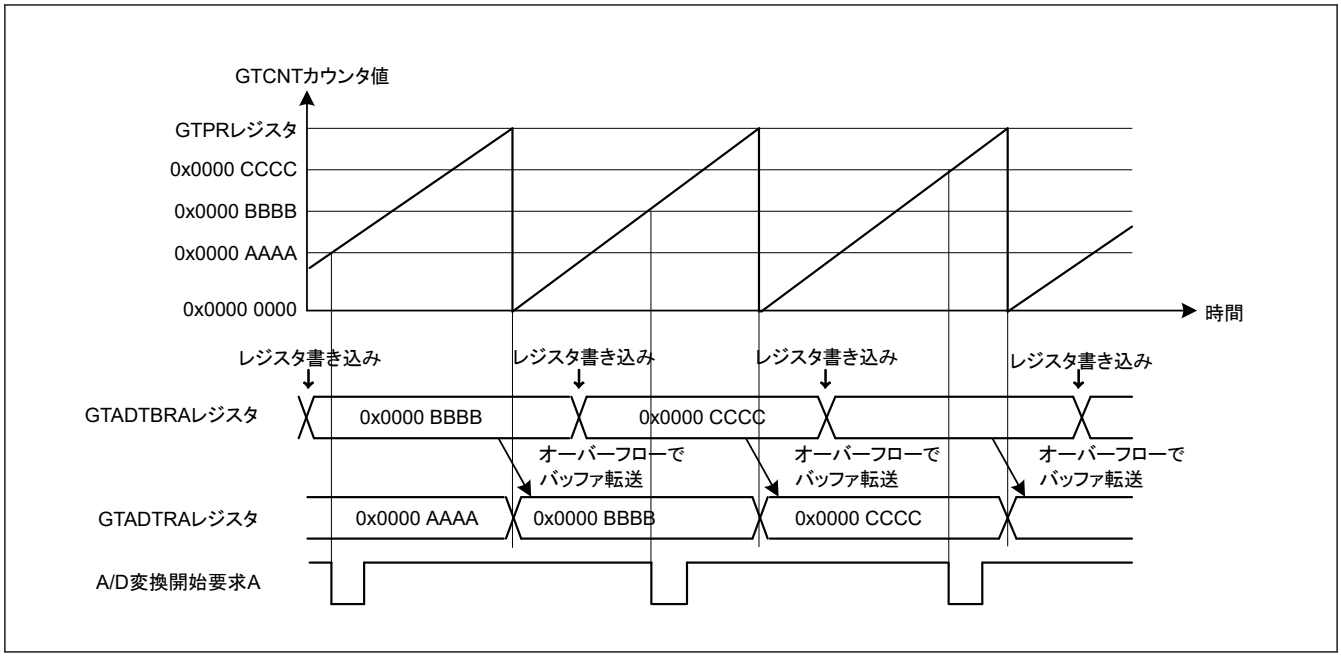


図 20.19　GTADTRA および GTADTRB レジスタのバッファ動作例（のこぎり波でアップカウント、アップカウントで A/D 変換開始要求発生の場合）

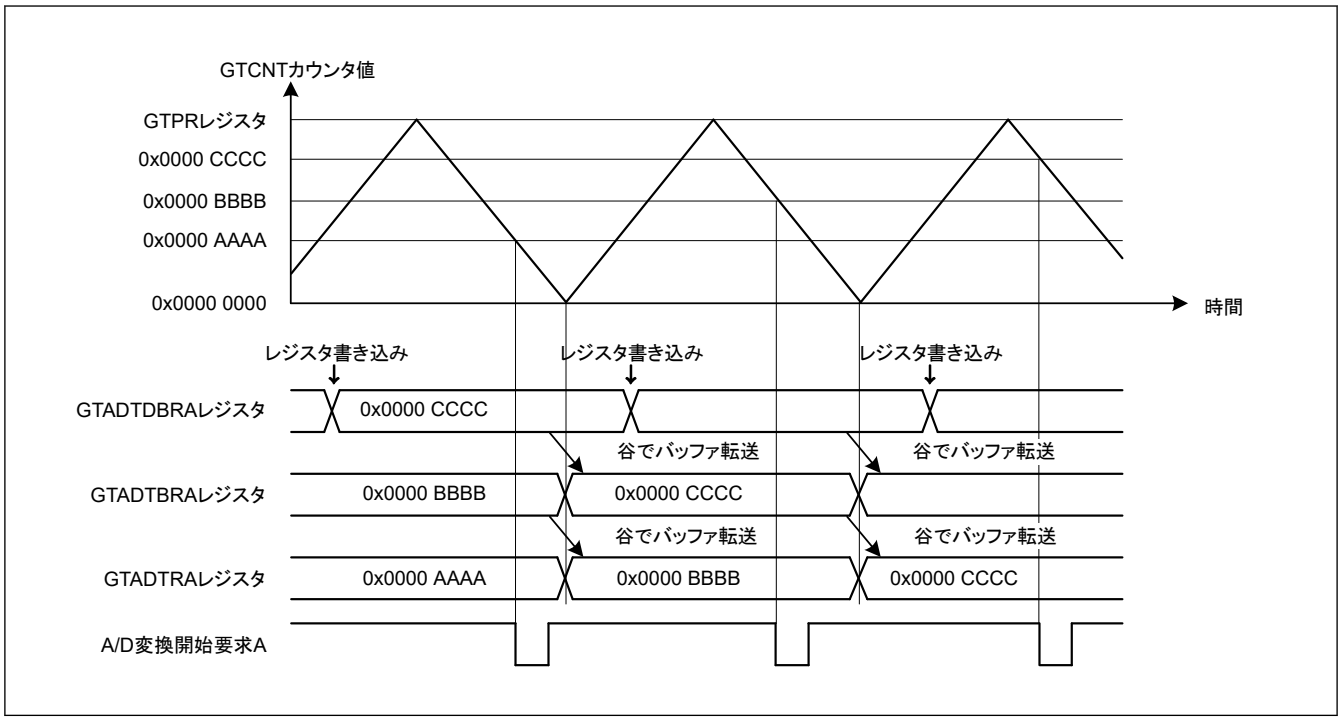


図 20.20　GTADTRA および GTADTRB レジスタのダブルバッファ動作例（三角波、谷でバッファ転送、ダウンカウントで A/D 変換開始要求発生の場合）

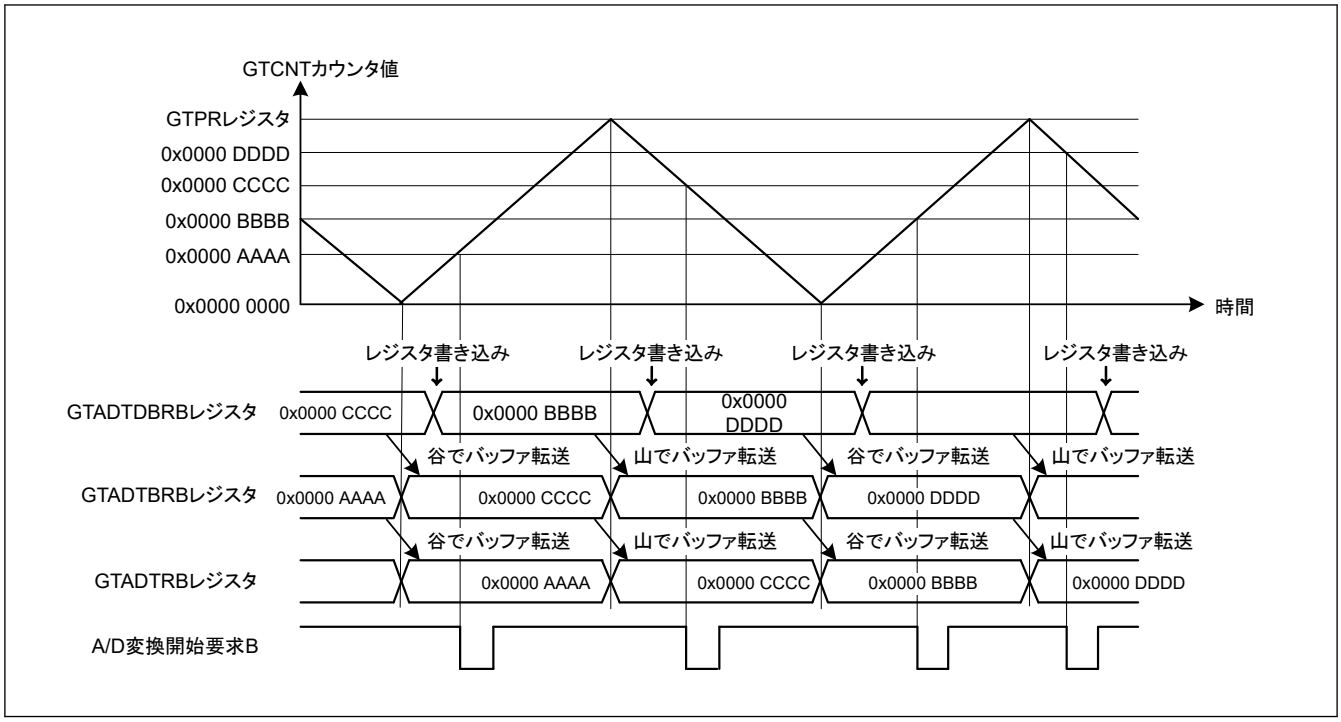


図 20.21　GTADTRA および GTADTRB レジスタのダブルバッファ動作例（三角波、谷と山の両方でバッファ転送、アップカウントとダウンカウントの両方で A/D 変換開始要求発生の場合）

表 20.15　GTADTRA および GTADTRB レジスタのバッファ動作設定例 (1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.19 では、000b（のこぎり波 PWM モード）を設定し、図 20.20 および図 20.21 では、100b、101b、110b（三角波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.19 では、GTUDDTYC[1:0]ビットに 11b を設定してから 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]　ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	バッファ動作の設定	GTBER レジスタの ADTTA[1:0]、ADTTB[1:0]、ADTDA、ADTDB ビットでバッファ動作を設定します。 図 20.19 では、ADTTA[1:0]ビット = 01b、10b、または 11b で、ADTDA ビット = 0 です。図 20.20 では、ADTTA[1:0]ビット = 10b で、ADTDA ビット = 1 です。図 20.21 では、ADTTB[1:0]ビット = 11b で、ADTDB ビット = 1 です。
7	コンペアマッチ値設定	A/D 変換開始要求ポイントを GTADTRA、GTADTRB レジスタに設定します。
8	バッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。
9	A/D 変換開始要求を許可	GTINTAD レジスタの ADTRAUEN、ADTRADEN、ADTRBUEN、ADTRBDEN ビットで A/D 変換開始要求の許可を設定します。 図 20.19 では ADTRAUEN ビット = 1 で、図 20.20 では ADTRADEN ビット = 1 で、図 20.21 では ADTRBUEN ビット = 1 および ADTRBDEN ビット = 1 です。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。

表 20.15 GTADTRA および GTADTRB レジスタのバッファ動作設定例 (2/2)

No.	ステップ名	説明
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後（のこぎり波モードまたは三角波モードで谷または山でバッファ転送の場合）もしくは半周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA レジスタと GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後（のこぎり波モード、または三角波モードで谷または山でバッファ転送の場合）もしくは 1 周期後（三角波モードで谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA レジスタと GTADTDBRB レジスタに設定します。

20.3.3 PWM 出力動作モード

GPT は、GTCNT カウンタと GTCCRA または GTCCRB レジスタとのコンペアマッチに基づいて、GTIOCnA 端子または GTIOCnB 端子へ PWM 波形を出力することができます（n = 0, 1, 4, 5）。

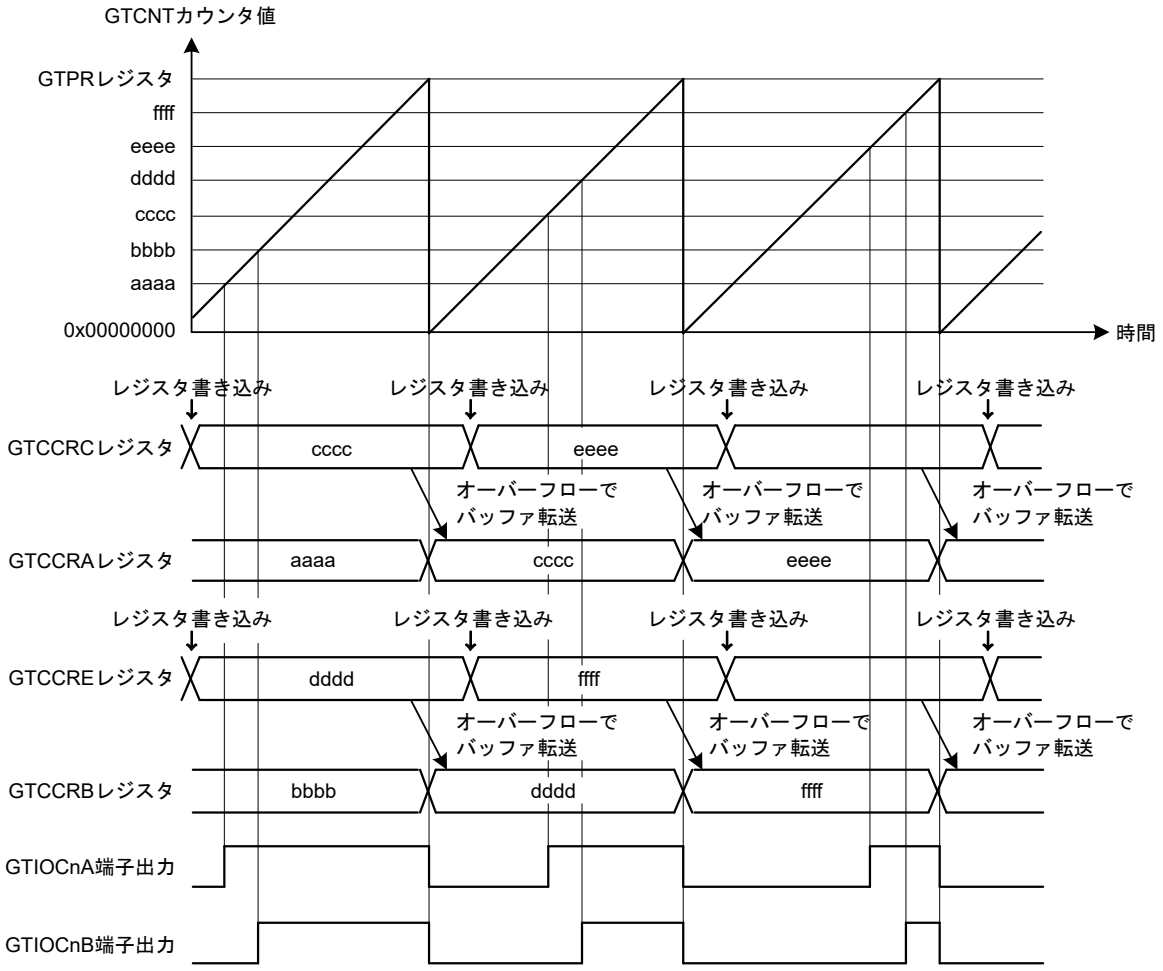
また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

20.3.3.1 のこぎり波 PWM モード

のこぎり波 PWM モードでは、GTPR レジスタに周期を設定することにより、GTCNT カウンタにのこぎり波（半波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に、GTIOCnA 端子または GTIOCnB 端子（n = 0, 1, 4, 5）に PWM 波形を出力させます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力、High 出力、またはトグル出力から選択できます。

周期の終わりのタイミングと GTCCRx (x = A, B) レジスタコンペアマッチのタイミングは同じであり、出力端子と周期の終わりに対する PWM 出力設定は GTIOR.GTIOx[3:2]ビットによって一緒に設定されます。

図 20.22 にのこぎり波 PWM モードの動作例を、表 20.16 にのこぎり波 PWM モードの設定例を示します。



注. レジスタのベースアドレスは同じです。

図 20.22 のこぎり波 PWM モードの動作例（アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）

表 20.16 のこぎり波 PWM モードの設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。（図 20.22 の例では 000b（のこぎり波 PWM モード）を設定）
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.22 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.22 では GTIOA[4:0] = 00110b、GTIOB[4:0] = 00110b
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	バッファ動作設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。図 20.22 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
9	コンペアマッチ値設定	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。 GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。

表 20.16 のこぎり波 PWM モードの設定例 (2/2)

No.	手順名	説明
10	バッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注. n: 0, 1, 4, 5
m: A, B

20.3.3.2 のこぎり波ワンショットパルスモード

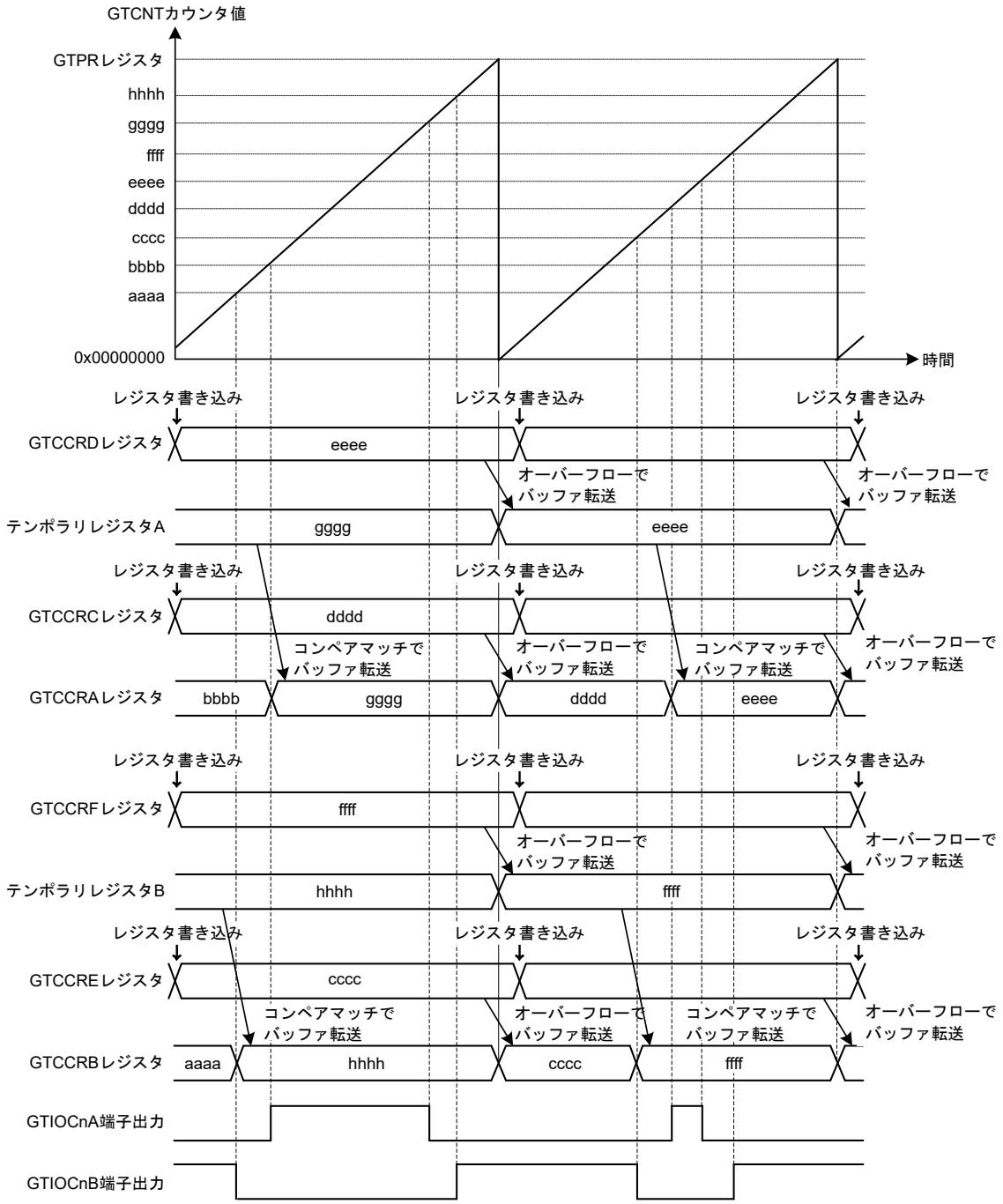
のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定して GTCNT カウンタをのこぎり波（半波）動作させ、バッファ動作固定で、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子または GTIOCnB 端子に PWM 波形を出力するモードです（n = 0, 1, 4, 5）。

のこぎり波ワンショットパルスモードのバッファ動作は通常のバッファ動作と異なります。バッファ転送は、下記のとおりです。

- 周期の終わりで、GTCCRC レジスタから GTCCRA レジスタ
- 周期の終わりで、GTCCRE レジスタから GTCCRB レジスタ
- 周期の終わりで、GTCCRD レジスタからテンポラリレジスタ A
- 周期の終わりで、GTCCRF レジスタからテンポラリレジスタ B
- GTCCRA レジスタのコンペアマッチで、テンポラリレジスタ A から GTCCRA レジスタ
- GTCCRB レジスタのコンペアマッチで、テンポラリレジスタ B から GTCCRB レジスタ

端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力、High 出力、またはトグル出力、周期の終わりで Low 出力、High 出力、またはトグル出力を選択することができます。カウントストップ中に GTBER.CCRSWT ビットを 1 にすると、GTCCRD レジスタから一時レジスタ A へ、および GTCCRF レジスタから一時レジスタ B へ、バッファ転送が強制的に実行されます。また、GTDTCR、GTDVU、GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値は GTCCRB レジスタに自動設定されます。

図 20.23 に、のこぎり波ワンショットパルスモードの動作例を、表 20.17 に、のこぎり波ワンショットパルスモードの設定例を示します。



注. レジスタのベースアドレスは同じです。

図 20.23 のこぎり波ワンショットパルスモードの動作例（アップカウント、カウントスタート時に GTIOCnA 端子 = Low 出力／GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合）

表 20.17 のこぎり波ワンショットパルスモード設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.23 では 001b（のこぎり波ワンショットパルスモード）を設定します。

表 20.17　のこぎり波ワンショットパルスモード設定例 (2/2)

No.	手順名	説明
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.23 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.23 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ値設定	カウント開始直後の周期の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
9	バッファ強制転送設定	GTBER.CCRSWT ビットを 1 にし、バッファレジスタの強制転送を行います。
10	バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
11	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
12	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。

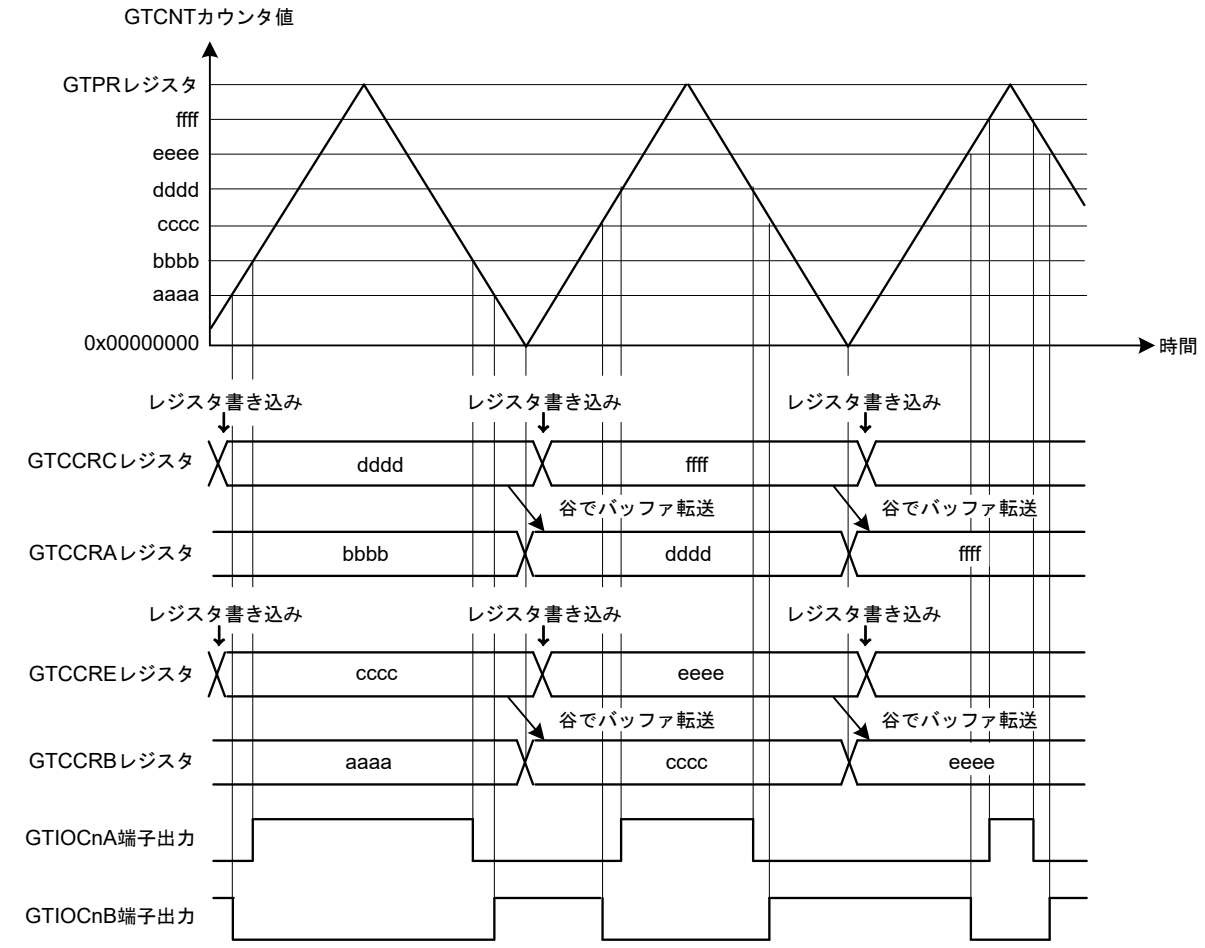
注.　n: 0, 1, 4, 5
　　m: A, B

20.3.3.3　三角波 PWM モード 1（谷 32 ビット転送）

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に GTIOCnA 端子または GTIOCnB 端子 (n = 0, 1, 4, 5) に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／High 出力／トグル出力、周期の終わりで Low 出力／High 出力／トグル出力を選択することができます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 20.24 に三角波 PWM モード 1 の動作例を、表 20.18 に三角波 PWM モード 1 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 20.24 三角波 PWM モード 1 の動作例（バッファ動作、カウントスタート時に GTIOCnA 端子= Low 出力／GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合）

表 20.18 三角波 PWM モード 1 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.24 では、100b（三角波 PWM モード 1）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.24 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
7	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 20.24 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
8	コンペアマッチ値設定	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。

表 20.18　三角波 PWM モード 1 設定例 (2/2)

No.	手順名	説明
9	バッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	バッファ動作時は、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、2 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

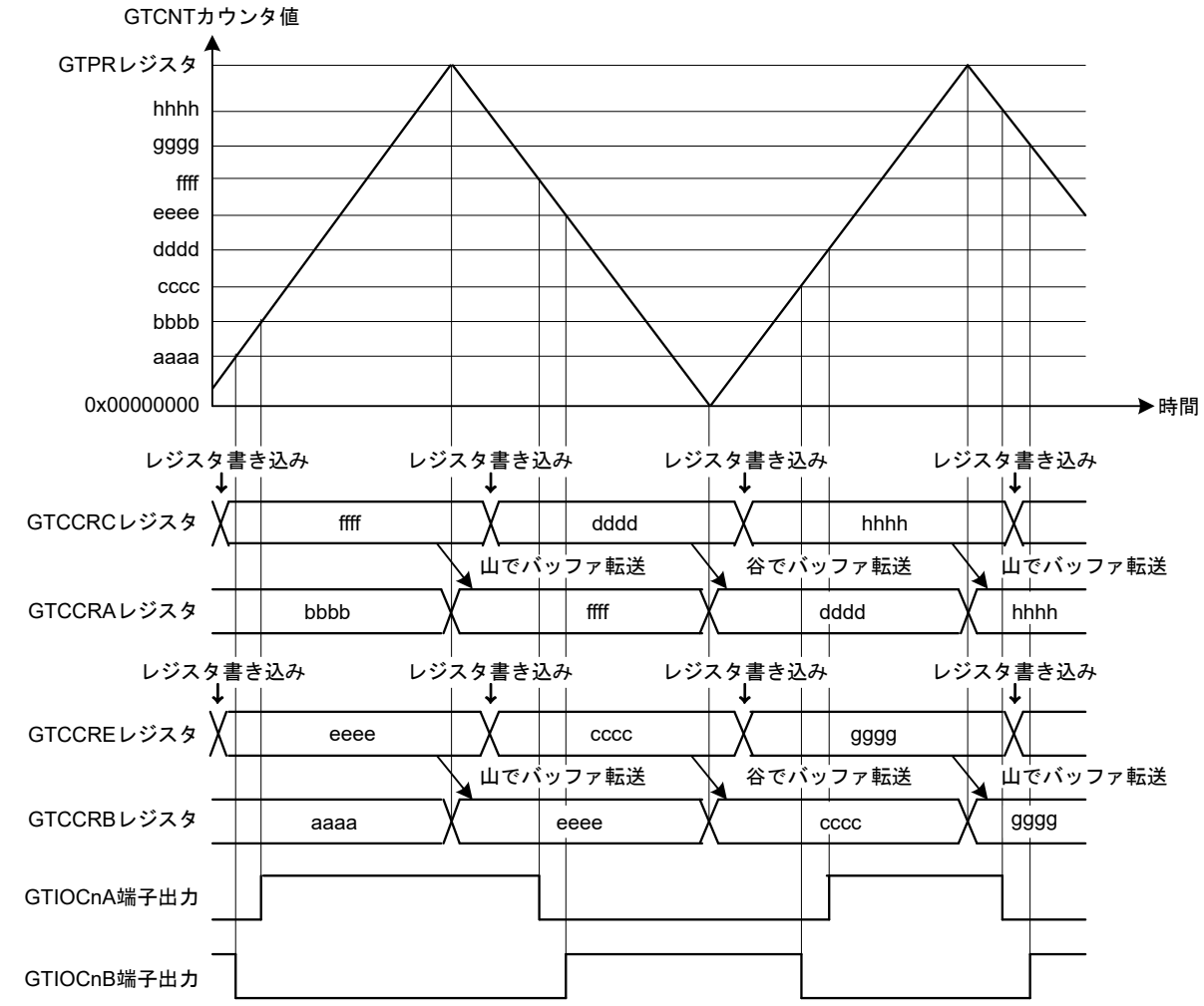
注.　n: 0, 1, 4, 5
　　m: A、B

20.3.3.4　三角波 PWM モード 2（山／谷 32 ビット転送）

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA レジスタまたは GTCCRB レジスタのコンペアマッチ発生時に GTIOCnA 端子または GTIOCnB 端子 (n = 0, 1, 4, 5) に PWM 波形を出力させます。山および谷の両方でバッファ転送が行われます。端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／High 出力／トグル出力、周期の終わりで Low 出力／High 出力／トグル出力を選択することができます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 20.25 に三角波 PWM モード 2 の動作例を、表 20.19 に三角波 PWM モード 2 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 20.25 三角波 PWM モード 2 の動作例（バッファ動作、カウントスタート時に GTIOCnA 端子= Low 出力／GTIOCnB 端子= High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合）

表 20.19 三角波 PWM モード 2 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.25 では、101b（三角波 PWM モード 2）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.25 では、GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
7	バッファ動作の設定	GTBER レジスタの CCRA[1:0]ビット、CCRB[1:0]ビットで、バッファ動作を設定します。 図 20.25 では、CCRA[1:0] = 01b、CCRB[1:0] = 01b
8	コンペアマッチ値設定	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。GTIOCnB 端子の切り替わりポイントを GTCCRB レジスタに設定します。

表 20.19　三角波 PWM モード 2 設定例 (2/2)

No.	手順名	説明
9	バッファ値設定	バッファ動作時は、半周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	半周期ごとのバッファ値設定	バッファ動作時は、半周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタに設定します。 ダブルバッファ動作時は、さらに、1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRF レジスタに設定します。

注.　n: 0, 1, 4, 5
　　m: A、B

20.3.3.5　三角波 PWM モード 3（谷 64 ビット転送）

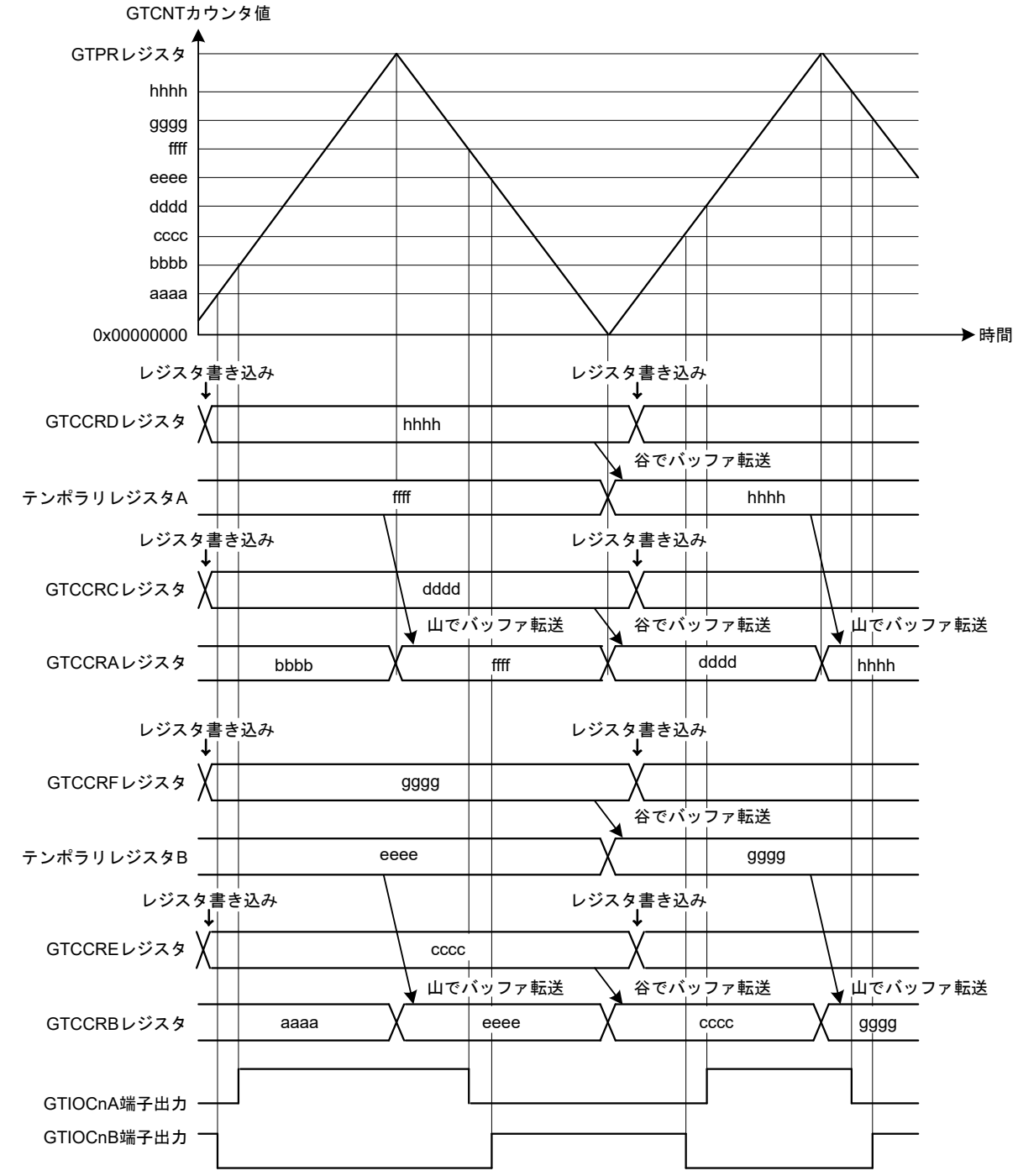
三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタを三角波（全波）動作させ、バッファ動作固定で、GTCCRA レジスタ、GTCCRB レジスタのコンペアマッチにより、GTIOCnA 端子、GTIOCnB 端子に PWM 波形を出力するモードです（n = 0, 1, 4, 5）。三角波 PWM モード 3 のバッファ動作は通常のバッファ動作と異なります。バッファ転送は、下記のとおりです。

- 谷で、GTCCRC レジスタから GTCCRA レジスタ
- 谷で、GTCCRE レジスタから GTCCRB レジスタ
- 谷で、GTCCRD レジスタからテンポラリレジスタ A
- 谷で、GTCCRF レジスタからテンポラリレジスタ B
- 山で、テンポラリレジスタ A から GTCCRA レジスタ
- 山で、テンポラリレジスタ B から GTCCRB レジスタ

端子の出力値は GTIOR レジスタにより、コンペアマッチで Low 出力／High 出力／トグル出力、周期の終わりで Low 出力／High 出力／トグル出力、を設定することができます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を GTCCRB レジスタに自動設定することが可能です。

図 20.26 に三角波 PWM モード 3 の動作例を、表 20.20 に三角波 PWM モード 3 の設定例を示します。



注. レジスタのベースアドレスは同じです。

図 20.26 三角波 PWM モード 3 の動作例（カウントスタート時に GTIOCnA 端子 = Low 出力／GTIOCnB 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチ時にトグル出力、周期の終わりで出力保持の場合）

表 20.20 三角波 PWM モード 3 設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.26 では 110b（三角波 PWM モード 3）を設定します。

表 20.20　三角波 PWM モード 3 設定例 (2/2)

No.	手順名	説明
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT レジスタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビット、GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。 図 20.26 では GTIOA[4:0] = 00011b、GTIOB[4:0] = 10011b
6	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビット、OBE ビットで、GTIOCnm 端子出力の許可を設定します。
7	コンペアマッチ値設定	カウント開始直後の周期の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
8	バッファ強制転送設定	GTBER.CCRSWT ビットを 1 にし、バッファレジスタの強制転送を行います。
9	バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに、GTIOCnB 端子の切り替わりポイントを GTCCRE レジスタと GTCCRF レジスタに設定します。

注.　n: 0, 1, 4, 5
　　m: A, B

20.3.4　デッドタイム自動設定機能

GTDTCR レジスタの設定により、正相波形用のコンペアマッチ値（GTCCRA レジスタ値）とデッドタイム値（GTDVU および GTDVD レジスタ値）からデッドタイム付き逆相波形用のコンペアマッチ値を生成し、GTCCRB レジスタに自動設定することができます。デッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

デッドタイムは、1 つの波形の前半部と後半部で個別に設定できます。逆相波形の前半の切り替わりポイントに対するデッドタイムは GTDVU レジスタで設定し、後半の切り替わりポイントに対するデッドタイムは GTDVD レジスタで設定します。GTDTCR.TDFER を 1 にして、前半部と後半部で同じデッドタイムを設定することも可能です。

GTDBU レジスタは GTDVU レジスタのバッファレジスタとして、GTDBD レジスタは GTDVD レジスタのバッファレジスタとして使用可能です。バッファ転送は周期の終わり（のこぎり波モードの場合は GTCNT カウンタのオーバーフロー（アップカウント）、アンダーフロー（ダウンカウント）、GTCNT カウンタクリアのいずれかで、三角波モードの場合は谷）に行われます。

GTCCRB レジスタを読み出すと、自動計算される逆相波形の変化点を取得できます。デッドタイム自動設定機能を使用する時は、GTCCRB レジスタへの書き込みは禁止です。

波形の変化点がカウント周期を超過するようなデッドタイムを設定してはなりません。デッドタイムエラーが発生するようなデットタイムを設定した場合、表 20.21 に示すように正相波形と逆相波形の変化点を調整して、デッドタイムを確保した波形を生成します。調整後の逆相波形の変化点は、GTCCRB レジスタに自動的に設定されます。正相波形の変化点は内部信号によって決定されるため、調整後の値によって GTCCRA レジスタの値が更新されることはありません。

のこぎり波ワンショットパルスモードにおいて、デッドタイムエラーが発生して波形の変化点を調整したことによって変化点の順序に不整合が生じた場合や、調整後も変化点がカウント周期を超過している場合、正相と逆相間の相補関係は保証されません。

三角波 PWM モードにおいて、GTCCRA レジスタに 0x0000 0000 または GTPR レジスタの設定値以上の値を設定したことによってデッドタイムがカウント周期を超過する場合、出力保護機能によって出力の変化が制御されます（「20.8.4. GTIOCnm 端子出力の出力保護機能」参照）。GTCCRA レジスタが[GTPR レジスタ + GTDVm (m = U, D) レジスタ]と同じか、それより大きい場合、GTCCRB には上限として[GTPR レジスタ - 1]が設定されます。

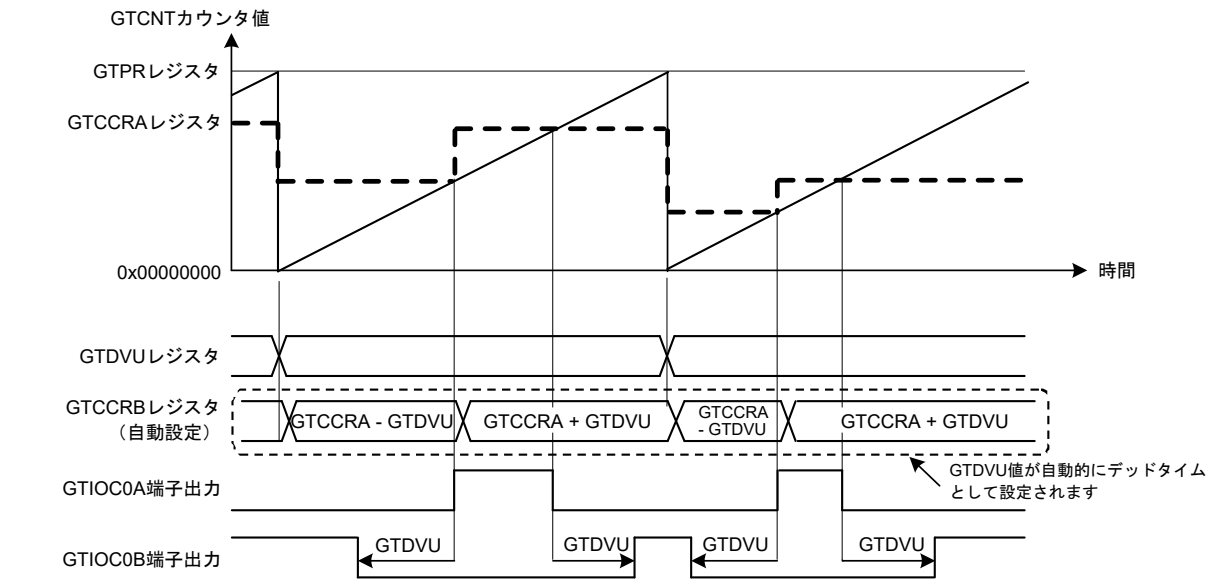
GTCCRB レジスタへのデッドタイム値の自動設定は、自動設定値計算用レジスタ値が更新された後、次のカウントクロックで行われます。三角波モードでは、現在の山の次のカウントクロックで行うこともできます。

表 20.21 デッドタイムエラー発生時の波形変化点の調整

モード	カウント方向	期間	デッドタイムエラー条件	調整後の正相波形の変化点	調整後の逆相波形の変化点
のこぎり波ワンショットパルスモード	アップカウント	前半	GTCCRA - GTDVU < 0	GTDVU	0
		後半	GTCCRA + GTDVD > GTPR (GTCCRA + GTDVU > GTPR) (注1)	GTPR - GTDVD (GTPR - GTDVU)(注1)	GTPR
	ダウンカウント	前半	GTCCRA + GTDVU > GTPR	GTPR - GTDVU	GTPR
		後半	GTCCRA - GTDVD < 0 (GTCCRA - GTDVU < 0)(注1)	GTDVD (GTDVU)(注1)	0
三角波 PWM モード 1/2/3	アップカウント	（前半）	GTCCRA - GTDVU ≦ 0	GTDVU + 1	1
	ダウンカウント	（後半）	GTCCRA - GTDVD < 0 (GTCCRA - GTDVU < 0)(注1)	GTDVD (GTDVU)(注1)	0

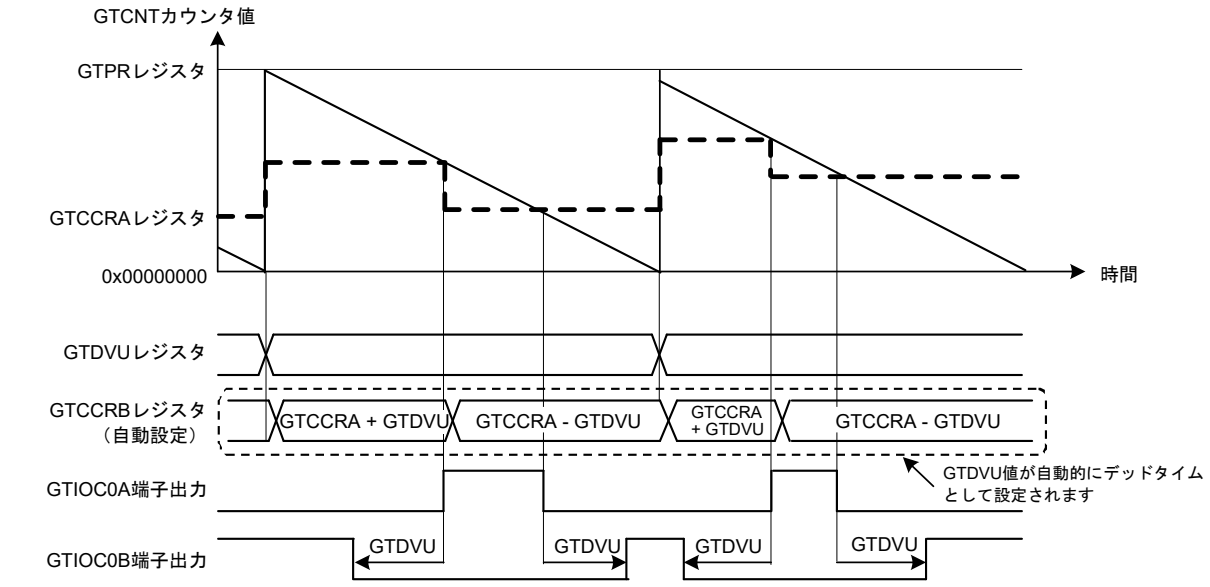
注 1. GTDTCR.TDFER = 1 の場合

図 20.27～図 20.30 にデッドタイム自動設定機能の動作例を示します。表 20.22 および表 20.23 に設定例を示します。



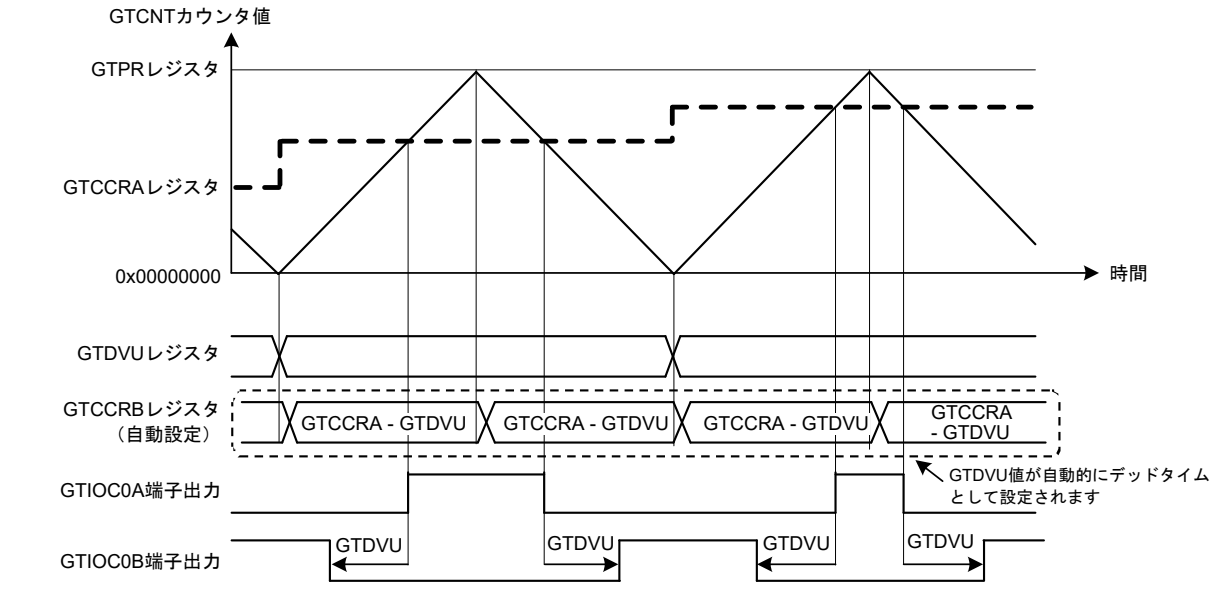
注. レジスタのベースアドレスは同じです。

図 20.27 デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、アップカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）



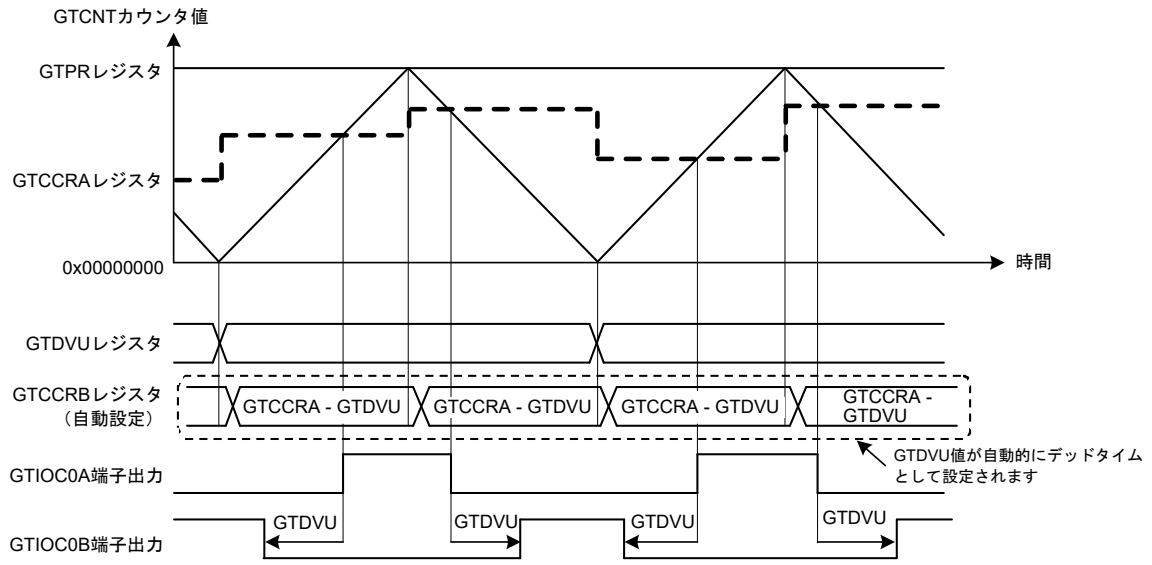
注. レジスタのベースアドレスは同じです。

図 20.28 デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、ダウンカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）



注. レジスタのベースアドレスは同じです。

図 20.29 デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 1、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）



注. レジスタのベースアドレスは同じです。

図 20.30 デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 2 または 3、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）

表 20.22 デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合）(1/2)

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。図 20.27 および図 20.28 では、001b（のこぎり波ワンショットパルスモード）を設定します。図 20.30 では、110b（三角波 PWM モード 3）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップまたはダウン）を設定します。 図 20.27 では、GTUDDTYC[1:0]ビットに 11b を設定してから 01b を設定します。（アップカウント）図 20.28 では、GTUDDTYC[1:0]ビットに 10b を設定してから 00b を設定します。（ダウンカウント）
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
6	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビットと GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。図 20.27、図 20.28、および図 20.30 の例では GTIOA[4:0] = 00011b、および GTIOB[4:0] = 10011b）
7	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビットと OBE ビットで GTIOCnm 端子出力の許可を設定します。
8	コンペアマッチ用バッファ値設定	カウント開始直後の周期の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。
9	コンペアマッチ用バッファ強制転送	GTBER.CCRSWT ビットを 1 にし、バッファレジスタデータを GTCCRA レジスタへ強制転送します。
10	コンペアマッチ用バッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。
11	デッドタイム自動設定機能の設定	GTDTCR.TDE ビットを 1 にして、デッドタイム自動設定機能を有効にします。
12	デッドタイム用バッファ動作設定	GTDTCR レジスタの TDBUE ビット、TDBDE ビットにバッファ動作を設定します。
13	デッドタイム値設定	前半側のデッドタイム値を GTDVU に、後半側のデッドタイム値を GTDVD に設定します。 GTDTCR.TDFER ビットを 1 にして GTDVU を設定すると、同じ値が GTDV にも設定され、同じデッドタイム値を前半部と後半部に設定することができます。

表 20.22 デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合）(2/2)

No.	ステップ名	説明
14	デッドタイム用バッファ値設定	バッファ動作時は、現在の周期の 1 周期後の前半側のデッドタイム値を GTDBU レジスタに、後半側のデッドタイム値を GTDBD レジスタに設定します。
15	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
16	周期ごとのバッファ値設定	1 周期後の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタと GTCCRD レジスタに設定します。デッドタイムレジスタをバッファレジスタとして使用する場合、現在の周期の次の周期での前半部のデッドタイム値を GTDBU に、後半部のデッドタイム値を GTDBD に設定します。

注. n: 0, 1, 4, 5
m: A, B

表 20.23 デッドタイム自動設定機能の設定例（三角波 PWM モード 1 または 2 の場合）

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。図 20.29 では、100b（三角波 PWM モード 1）を設定します。図 20.30 では、101b（三角波 PWM モード 2）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	GTIOCnm 端子機能設定	GTIOR レジスタの GTIOA[4:0]ビットと GTIOB[4:0]ビットに GTIOCnm 端子の機能を設定します。（図 20.29 と図 20.30 の例では GTIOA[4:0] = 00011b、および GTIOB[4:0] = 10011b）
6	GTIOCnm 端子出力許可設定	GTIOR レジスタの OAE ビットと OBE ビットで GTIOCnm 端子出力の許可を設定します。
7	コンペアマッチ用バッファ動作設定	GTBER レジスタの CCRA[1:0]ビットで、バッファ動作を設定します。
8	コンペアマッチ値設定	GTIOCnA 端子の切り替わりポイントを GTCCRA レジスタに設定します。
9	コンペアマッチ用バッファ値設定	バッファ動作時は、現在の周期から 1 周期後（三角波 PWM モード 1 の場合）、あるいは現在の周期から半周期後（三角波 PWM モード 2 の場合）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに設定します。ダブルバッファ動作時は、さらに、2 周期後（三角波 PWM モード 1 時）もしくは 1 周期（三角波 PWM モード 2 時）の GTIOCnA 端子の切り替わりポイントを GTCCRD レジスタに設定します。
10	デッドタイム自動設定機能の設定	GTDTCR.TDE ビットを 1 にして、デッドタイム自動設定機能を有効にします。
11	デッドタイム用バッファ動作設定	GTDTCR レジスタの TDBUE ビット、TDBDE ビットで、バッファ動作を設定します。
12	デッドタイム値設定	前半側のデッドタイム値を GTDVU に、後半側のデッドタイム値を GTDVD に設定します。 GTDTCR.TDFER ビットを 1 にして GTDVU を設定すると、同じ値が GTDVD にも設定され、同じデッドタイム値を前半部と後半部に設定することができます。
13	デッドタイム用バッファ値設定	バッファ動作時は、現在の周期の 1 周期後の前半側のデッドタイム値を GTDBU レジスタに、後半側のデッドタイム値を GTDBD レジスタに設定します。
14	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
15	周期ごとのバッファ値設定	コンペアマッチレジスタのバッファ動作時は、1 周期後（三角波 PWM モード 1 時）もしくは半周期後（三角波 PWM モード 2 時）の GTIOCnA 端子の切り替わりポイントを GTCCRC レジスタに設定します。 コンペアマッチレジスタのダブルバッファ動作時は、現在の周期の 2 周期後（三角波 PWM モード 1）、あるいは現在の周期の 1 周期後（三角波 PWM モード 2）の GTIOCnA 端子の変化ポイントを GTCCRD に設定します。同様に、現在の周期の後の周期での前半部のデッドタイム値を GTDBU レジスタに、後半部のデッドタイム値を GTDBD レジスタに設定します。

注. n: 0, 1, 4, 5
m: A, B

20.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、カウント方

向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバーフローまたはアンダーフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート後の GTPR 値がカウント周期に反映されます。

図 20.31 にカウント方向切り替え機能の動作例を示します。

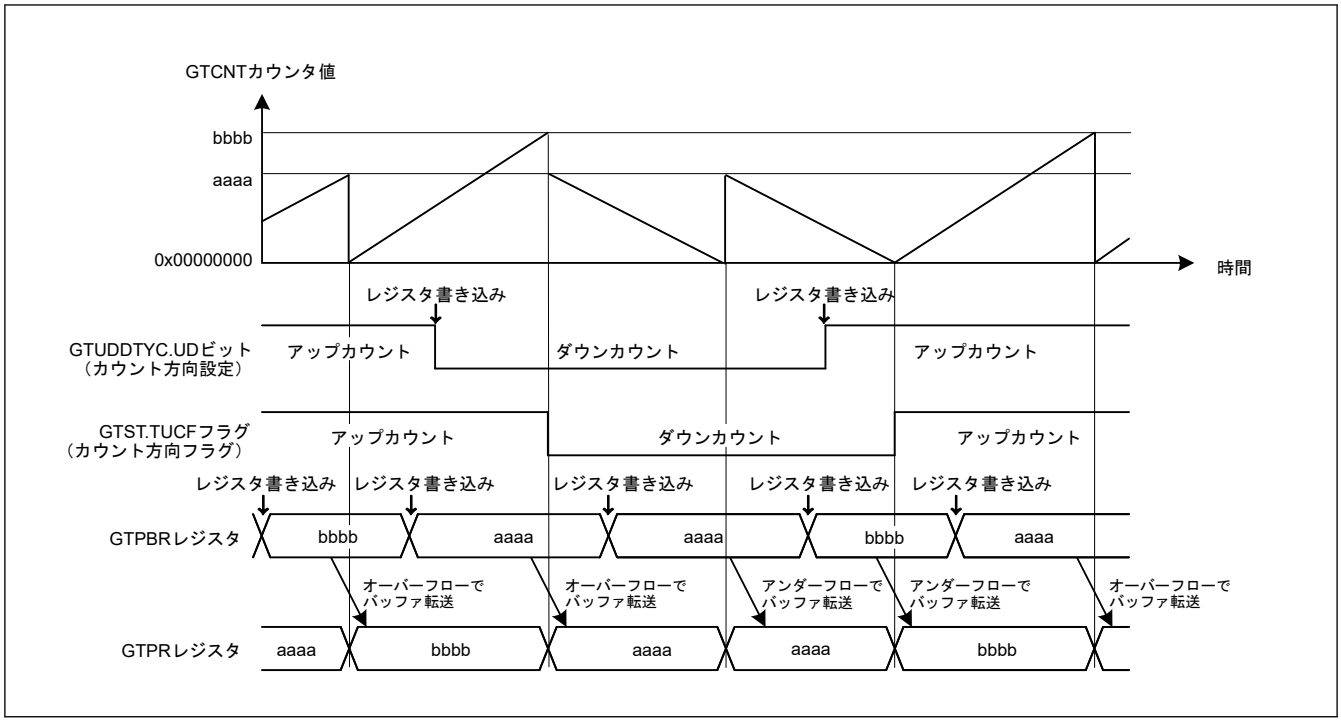


図 20.31　カウント方向切り替え機能の動作例（バッファ動作時）

20.3.6　出力デューティー 0%および出力デューティー 100%機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCnA 端子と GTIOCnB 端子の出力デューティーが 0%または 100%に設定されます（n = 0, 1, 4, 5）。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、出力デューティーの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティーの変更値はカウントスタート時に反映されません。出力デューティーはオーバーフローまたはアンダーフロー発生時に変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、その時の GTUDDTYC.OADTY ビット値または GTUDDTYC.OBDTY ビット値はカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、アンダーフロー発生時に出力デューティーの設定値が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティーの変更値はカウントスタート時に反映されません。アンダーフロー時に出力デューティーが変更されます。カウントストップ

中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティーの変更値はカウントスタート時に反映されます。

0%または 100%デューティー動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0%または 100%デューティー設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCnA 端子の出力値は、GTIOR.GTIOA[3:2]ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCnB 端子の出力値は、GTIOR.GTIOB[3:2]ビットと GTUDDTYC.OBDTYR ビットで決定されます。

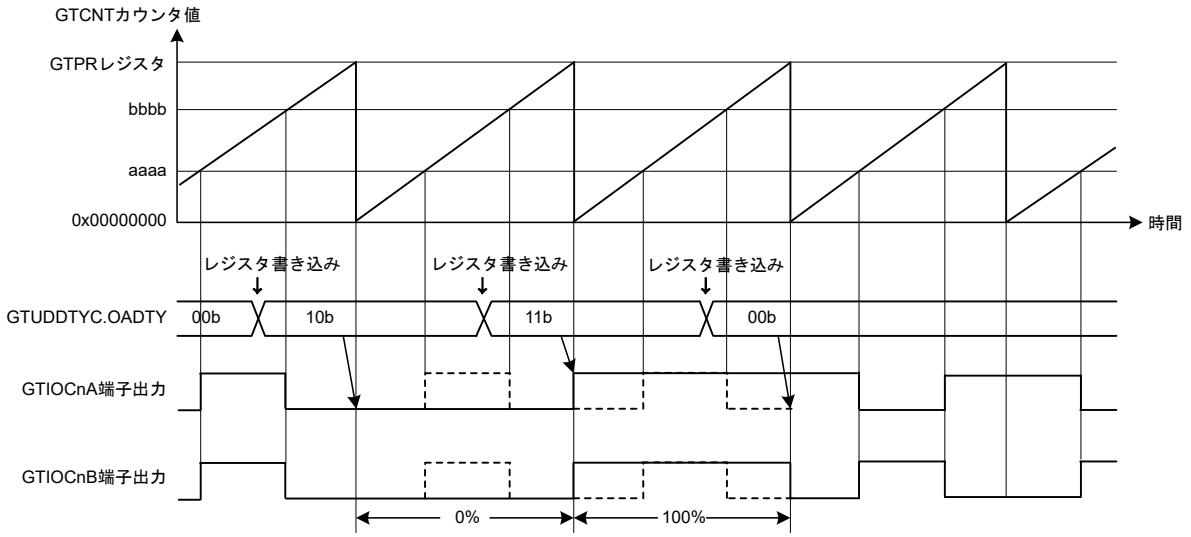
GTIOR.GTIOA[3:2]ビットと GTIOR.GTIOB[3:2]ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2]ビットと GTIOR.GTIOB[3:2]ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2]ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。 表 20.24 に周期の終わりでの GTIOCnA/GTIOCnB 端子の出力値を示します。

表 20.24　0%または 100%デューティー設定解除後の出力値 (m = A、B)

GTIOR.GTIOm[3:2]	0%/100%デューティー設定でマスクされた周期の終わりでのコンペアマッチ値	GTUDDTYC.OADTYR（デューティー 0%設定時）		GTUDDTYC.OADTYR（デューティー 100%設定時）	
		0	1	0	1
00 （周期の終わりで出力保持）	0	0	0	1	0
	1	0	1	1	1
01 （周期の終わりで Low 出力）	—	0	0	0	0
10 （周期の終わりで High 出力）	—	1	1	1	1
11 （周期の終わりでトグル出力）	0	1	1	0	1
	1	1	0	0	0

図 20.32 に出力デューティー 0%、100%機能の動作例を示します。



注. レジスタのベースアドレスは同じです。

注. ［設定例］

GTIOR.GTIOA[4:0]ビット： 00011b
初期は Low 出力、コンペアマッチでトグル出力、周期の終わりで出力保持

GTUDDTYC.OADTYR ビット： 0b
0%/100%デューティー比設定解除後にデューティー比が設定された場合、 GTIOA[3:2]ビットで選択された機能が出力値に適用されます。

GTIOR.GTIOB[4:0]ビット： 00011b
初期は Low 出力、コンペアマッチでトグル出力、周期の終わりで出力保持

GTUDDTYC.OBDTYR ビット： 1
GTIOB[3:2]ビットの機能が 0%/100%デューティー設定解除後にマスクされたコンペアマッチ出力値に適用されます。

図 20.32 出力デューティー 0%、100%機能動作例

20.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作

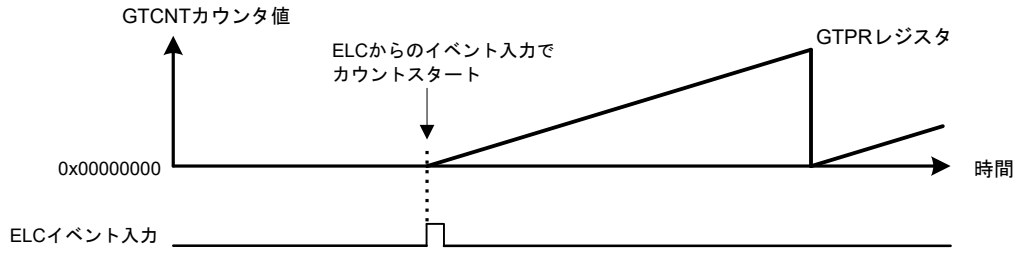
下記のハードウェア要因によって、GTCNT カウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 外部トリガ入力
- ELC イベント入力
- GTIOCnA/GTIOCnB 端子入力（n = 0, 1, 4, 5）

20.3.7.1 ハードウェアスタート動作

GTSSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントスタートが可能です。

図 20.33 にハードウェア要因によるカウントスタートの動作例を示します。表 20.25 に設定例を示します。



注. ELC イベント入力：ELC_GPTA イベント入力

図 20.33 ハードウェア要因によるカウントスタート動作例（ELC_GPTA イベントからの信号入力時のスタート）

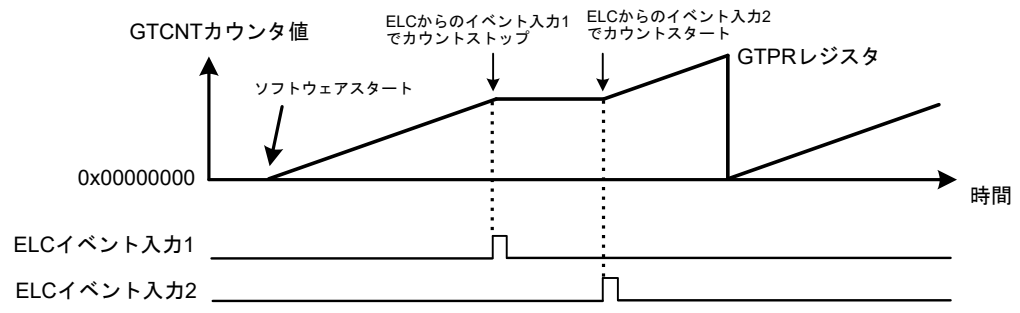
表 20.25 ハードウェア要因によるカウントスタート動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.33 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.33 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.33 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択します。 図 20.33 では GTSSR.SSELCA = 1
7	ハードウェア要因の動作設定	GTSSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタートします。 図 20.33 では ELC_GPTA イベント入力の動作を設定します。

20.3.7.2 ハードウェアストップ動作

GTPSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントストップが可能です。

図 20.34 にハードウェア要因によるカウントストップの動作例を示します。表 20.26 に設定例を示します。この例では、カウント動作が ELC_GPTA イベント入力でストップし、ELC_GPTB イベント入力で再スタートしています。



注. ELC イベント入力 1: ELC_GPTA イベント入力
ELC イベント入力 2: ELC_GPTB イベント入力

図 20.34 ハードウェア要因によるカウントストップ動作例（ソフトウェアによるスタート、ELC_GPTA 入力でのストップ、および ELC_GPTB 入力での再スタートの場合）

表 20.26　ハードウェア要因によるカウントストップ動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.34 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.34 では GTUDDTYC[1:0]ビットを 11b にしてから GTUDDTYC[1:0]ビットを 01b（アップカウント）にします。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.34 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。（図 20.34 では GTSSR.SSELCB = 1）
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。（図 20.34 では GTPSR.PSELCA = 1）
8	ハードウェア要因の動作設定	GTSSR レジスタまたは GTPSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタートまたはストップさせます。図 20.34 では ELC_GPTA 入力と ELC_GPTB 入力の動作を設定します。

図 20.35 にハードウェア要因によるカウントスタート／ストップ動作例を示します。表 20.27 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

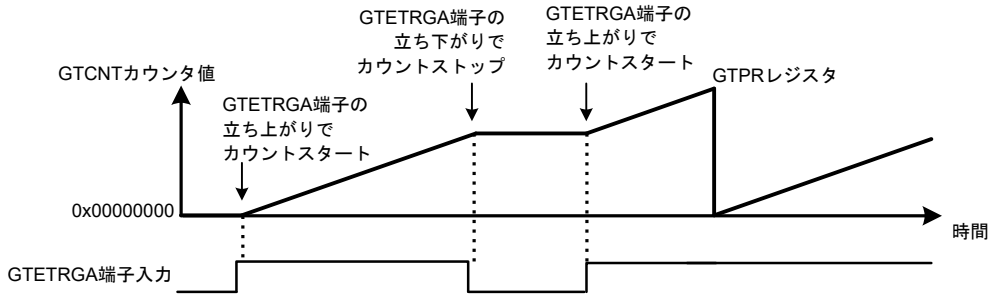


図 20.35　ハードウェア要因によるカウントスタート／ストップ動作例（GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合）

表 20.27　ハードウェア要因によるカウントスタート／ストップ動作設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.35 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.35 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.35 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。 図 20.35 では GTSSR.SSGTRGAR = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。 図 20.35 では GTPSR.PSGTRGAF = 1

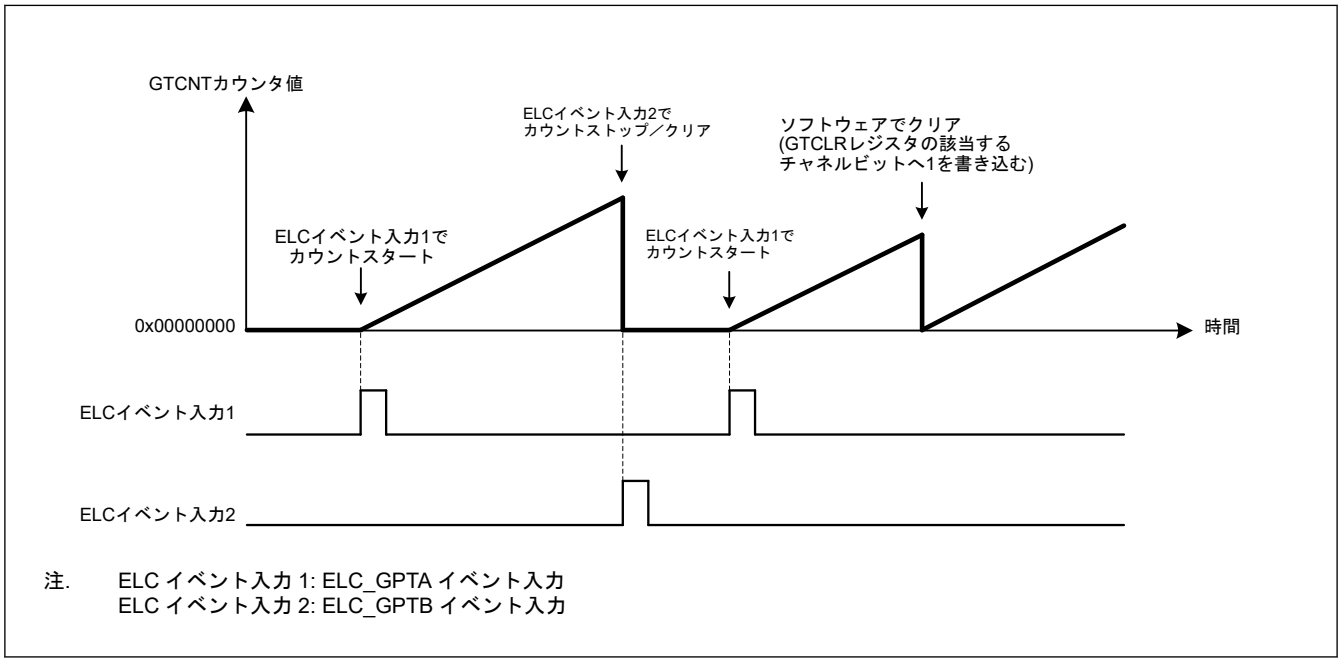
表 20.27 ハードウェア要因によるカウントスタート／ストップ動作設定例 (2/2)

No.	手順名	説明
8	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップさせます。 図 20.35 では GTETRGA 端子の動作を設定します。

20.3.7.3 ハードウェアクリア動作

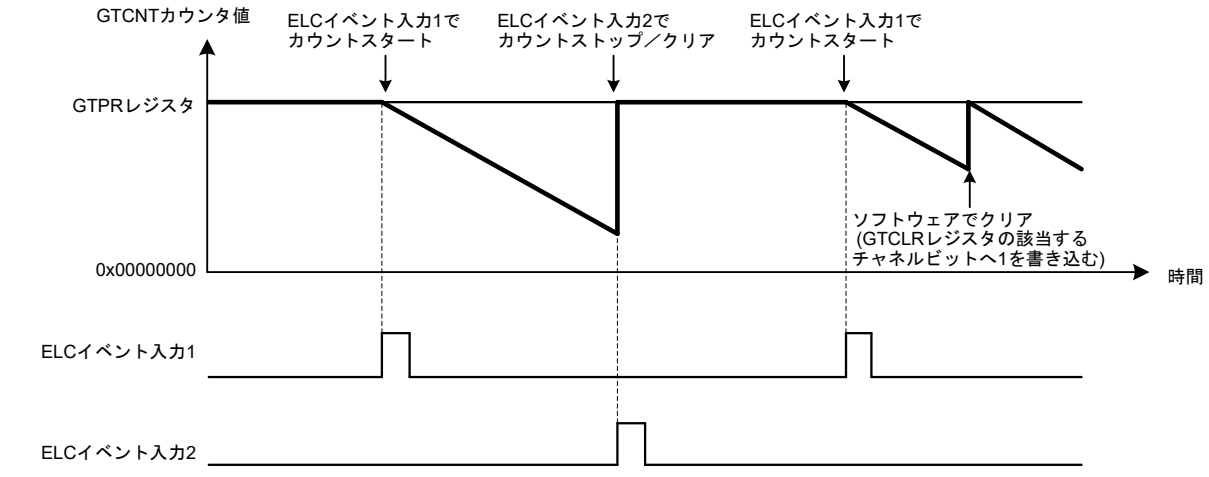
GTCSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントクリアが可能です。なお、ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0, 1, 4, 5) 割り込み（オーバーフロー／アンダーフロー割り込み）は発生しません。

図 20.36 および図 20.37 に、ハードウェア要因による GTCNT カウンタのクリア動作例を示します。表 20.28 に設定例を示します。この例では、GTCNT カウンタは ELC_GPTA 入力でスタートし、ELC_GPTB 入力でストップおよびクリアされています。



注. ELC イベント入力 1: ELC_GPTA イベント入力
ELC イベント入力 2: ELC_GPTB イベント入力

図 20.36 ハードウェア要因によるカウントクリア動作例（のこぎり波アップカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ／クリアの場合）



注. ELC イベント入力 1: ELC_GPTA イベント入力
ELC イベント入力 2: ELC_GPTB イベント入力

図 20.37 ハードウェア要因によるカウントクリア動作例（のこぎり波ダウンカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ／クリアの場合）

表 20.28 ハードウェア要因によるカウントクリア動作設定例

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.36 と図 20.37 では 000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.36 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。 図 20.37 では GTUDDTYC[1:0]ビットに 10b を設定してから GTUDDTYC[1:0]ビットに 00b を設定します（ダウンカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.36 では 0x00000000 を設定します。図 20.37 では GTPR 値を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。図 20.36、図 20.37 では GTSSR.SSELCA = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。図 20.36、図 20.37 では GTPSR.PSELCB = 1
8	ハードウェアカウントクリア設定	GTCSR レジスタでカウントをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウンタクリア待ち状態にします。図 20.36、図 20.37 では GTCSR.CSELCB = 1
9	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタ、GTCSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップ／クリアさせます。 図 20.36、図 20.37 では ELC_GPTA 入力、ELC_GPTB 入力を設定します。

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、GPTn_OVF/GPTn_UDF (n = 0, 1, 4, 5) 割り込み（オーバーフロー／アンダーフロー割り込み）は発生しません。

図 20.38 にハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0, 1, 4, 5) 割り込みの関係を示します。

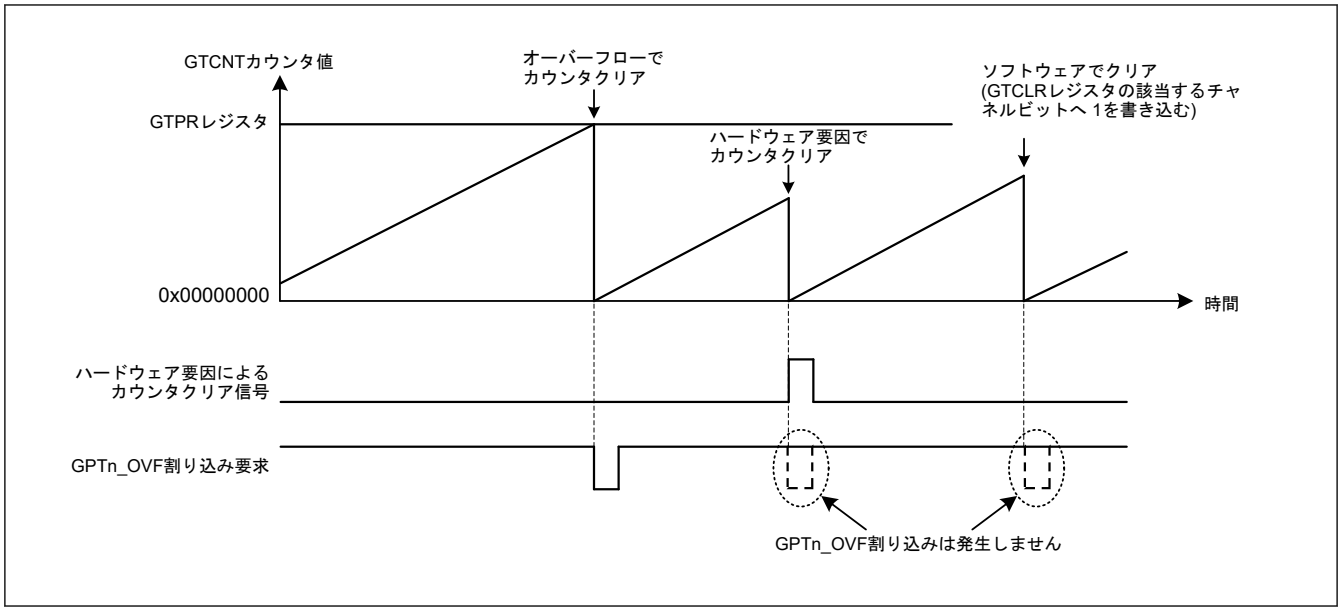


図 20.38　ハードウェア要因によるカウンタクリアと GPTn_OVF (n = 0, 1, 4, 5) 割り込みの関係

20.3.8　同期動作

同期スタート／ストップ／クリア動作など、チャネル間の同期動作を実行できます。

20.3.8.1　ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャネル上でスタート／ストップ／クリアできます。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

カウント動作のクロックが各チャネルの GTCR.TPCS[3:0]ビットにより選択されるので、同期動作（カウントスタート／ストップ／クリア）を実行する各チャネルのクロック周期が他と異なる場合、チャネルごとの同期動作タイミングは全く同一というわけではありません。

図 20.39 にソフトウェアによる同時スタート／ストップ／クリアの動作例を示します。図 20.40 にソフトウェアによる位相スタートの動作例を示します。

図 20.41、図 20.42、図 20.43 に異なるカウント周期の同時スタート／ストップ／クリアの動作例を示します。

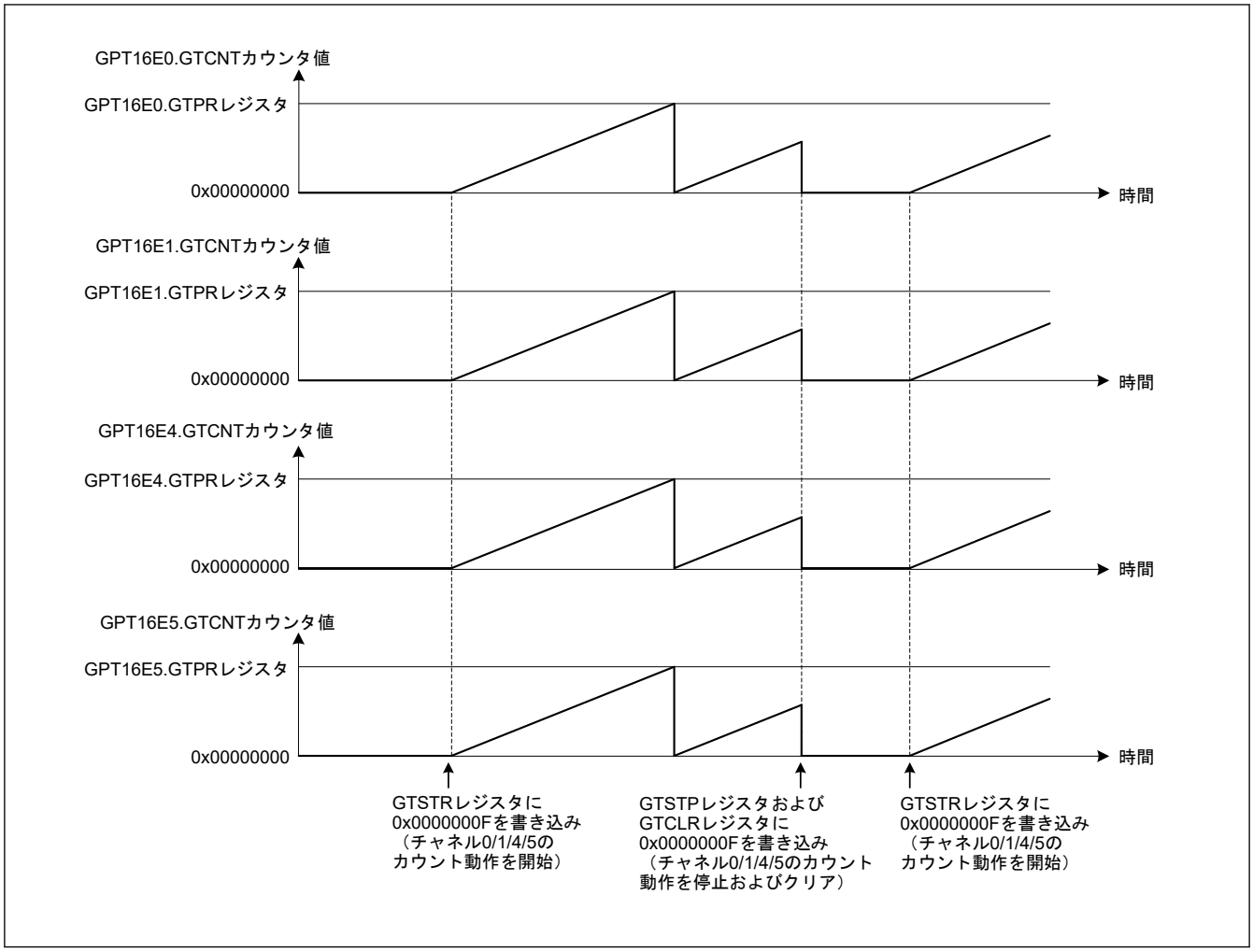


図 20.39　ソフトウェアによる同時スタート／ストップ／クリアの動作例（カウント周期（GTPR レジスタ値）が同一のとき）

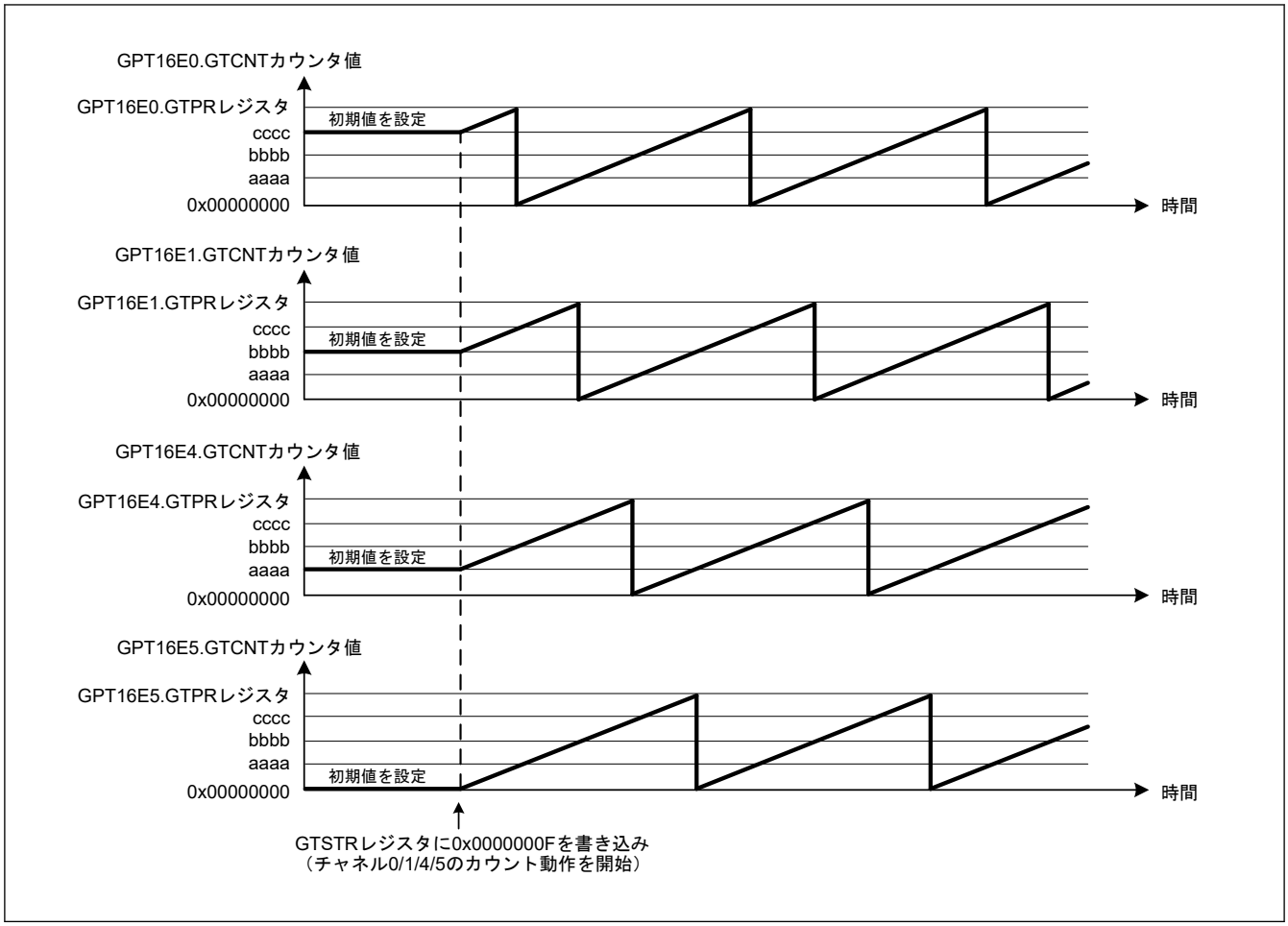


図 20.40　ソフトウェアによる位相スタート動作例（カウント周期（GTPR レジスタ値）が同一のとき）

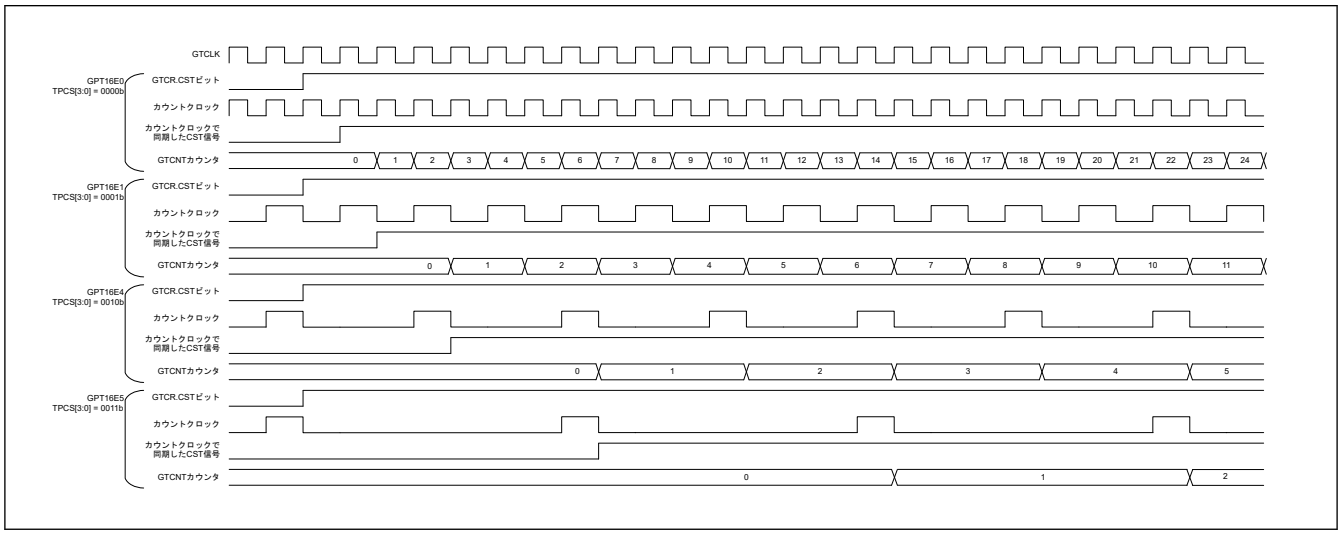


図 20.41　ソフトウェアによる同時スタートの動作例（異なるカウント周期）

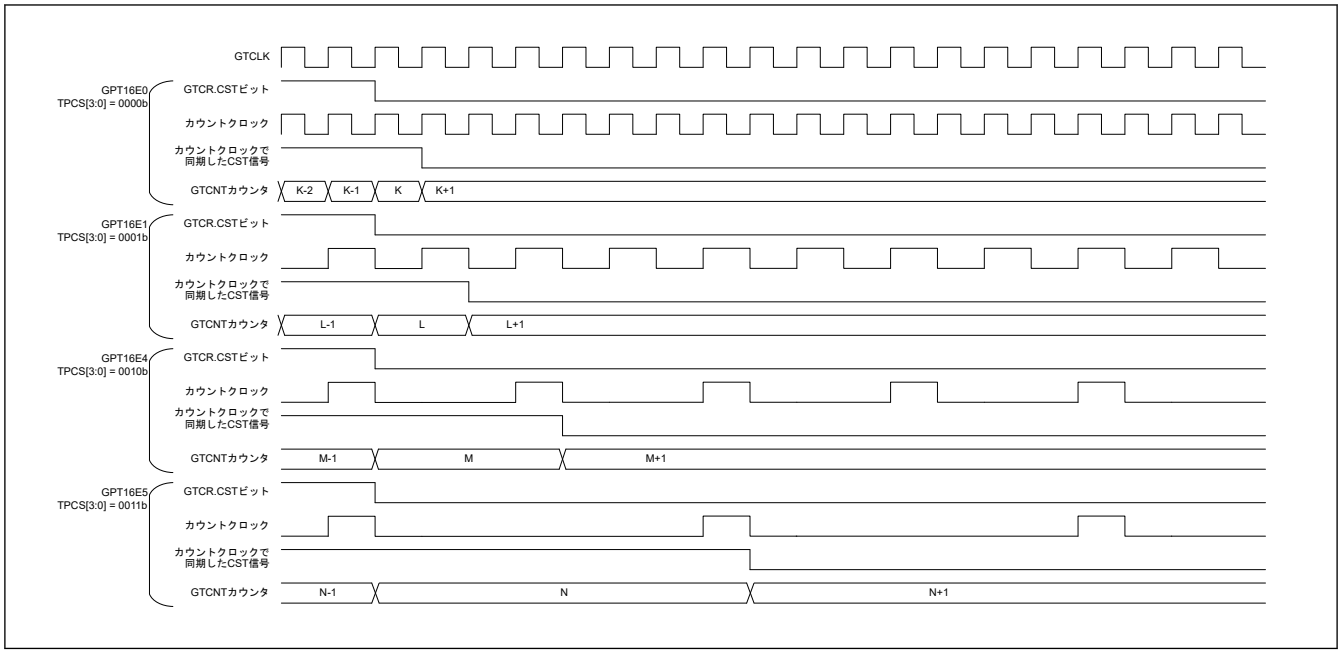


図 20.42　ソフトウェアによる同時ストップの動作例（異なるカウント周期）

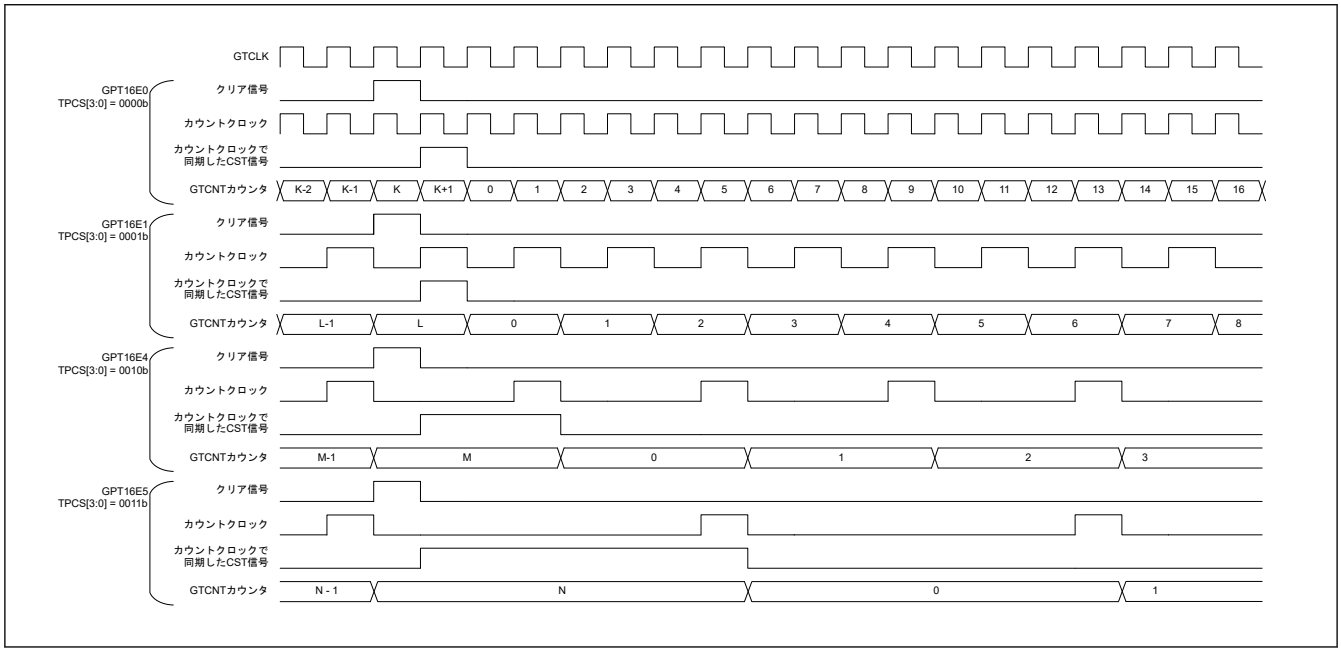


図 20.43　ソフトウェアによる同時クリアの動作例（異なるカウント周期）

20.3.8.2　ハードウェアによる同期動作

ハードウェア要因により、各チャネルのカウンタを同時にスタート、ストップ、クリアすることができます。同期動作が可能なハードウェア要因は、外部トリガ入力と ELC イベント入力です。GTIOCnA および GTIOCnB 端子入力による同期動作は、インプットキャプチャによる ELC イベントをハードウェア要因として設定することで実現できます (n = 0, 1, 4, 5)。

図 20.44 にハードウェア要因による同時スタート／ストップ／クリアの動作例を示します。表 20.29 に設定例を示します。

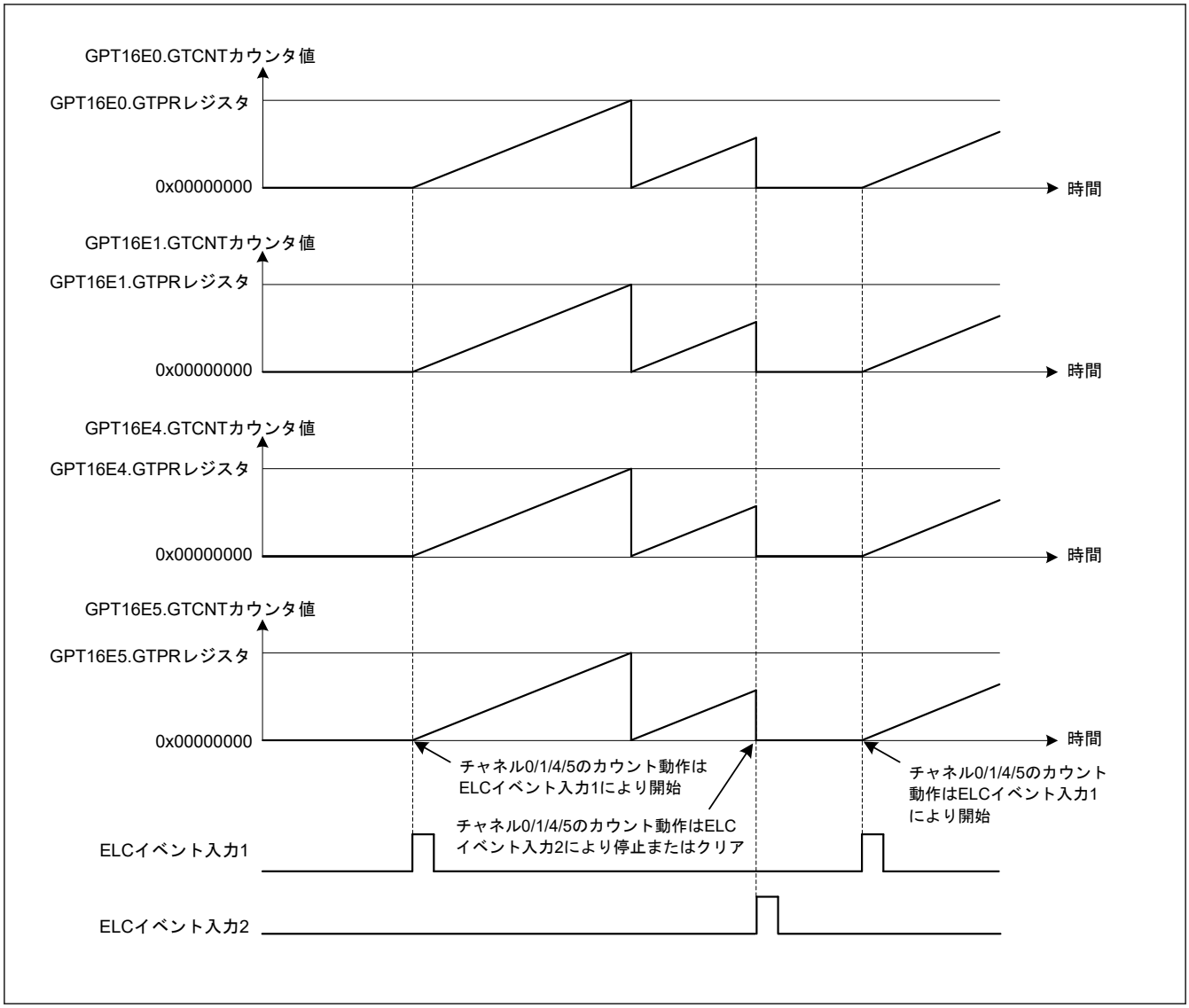


図 20.44　ハードウェア要因による同時スタート／ストップ／クリア動作例（カウント周期（GTPR レジスタ値）が同一のとき）

表 20.29　ハードウェア要因による同時スタート設定例 (1/2)

No.	手順名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.44 では、000b（のこぎり波 PWM モード）を設定します。
2	カウント方向設定	GTUDDTYC レジスタでカウント方向（アップ／ダウン）を設定します。 図 20.44 では GTUDDTYC[1:0]ビットに 11b を設定してから GTUDDTYC[1:0]ビットに 01b を設定します（アップカウント）。
3	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
4	周期設定	GTPR レジスタに周期を設定します。
5	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。 図 20.44 では 0x00000000 を設定します。
6	ハードウェアカウントスタート設定	GTSSR レジスタでカウントをスタートさせるハードウェア要因を選択し、ハードウェア要因によるカウントスタート待ち状態にします。 図 20.44 では GTSSR.SSELCA = 1
7	ハードウェアカウントストップ設定	GTPSR レジスタでカウントをストップさせるハードウェア要因を選択し、ハードウェア要因によるカウントストップ待ち状態にします。 図 20.44 では GTPSR.PSELCB = 1

表 20.29　ハードウェア要因による同時スタート設定例 (2/2)

No.	手順名	説明
8	ハードウェアカウンタクリア設定	GTCSR レジスタでカウントをクリアさせるハードウェア要因を選択し、ハードウェア要因によるカウンタクリア待ち状態にします。 図 20.44 では GTCSR.CSELCB = 1
9	ハードウェア要因の動作設定	GTSSR レジスタ、GTPSR レジスタ、GTCSR レジスタで選択したハードウェア要因の動作を設定して、カウントをスタート／ストップ／クリアさせます。 図 20.44 では ELC_GPTA イベント入力、ELC_GPTB イベント入力の設定をします。

20.3.9　PWM 出力動作例

(1)　同期 PWM 出力

最大 4 チャネル 4 × 2 相の連動した PWM 波形を出力します。

図 20.45 に、4 チャネルをのこぎり波 PWM モードで同期動作させて、8 相の PWM 波形を出力させる例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCnB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

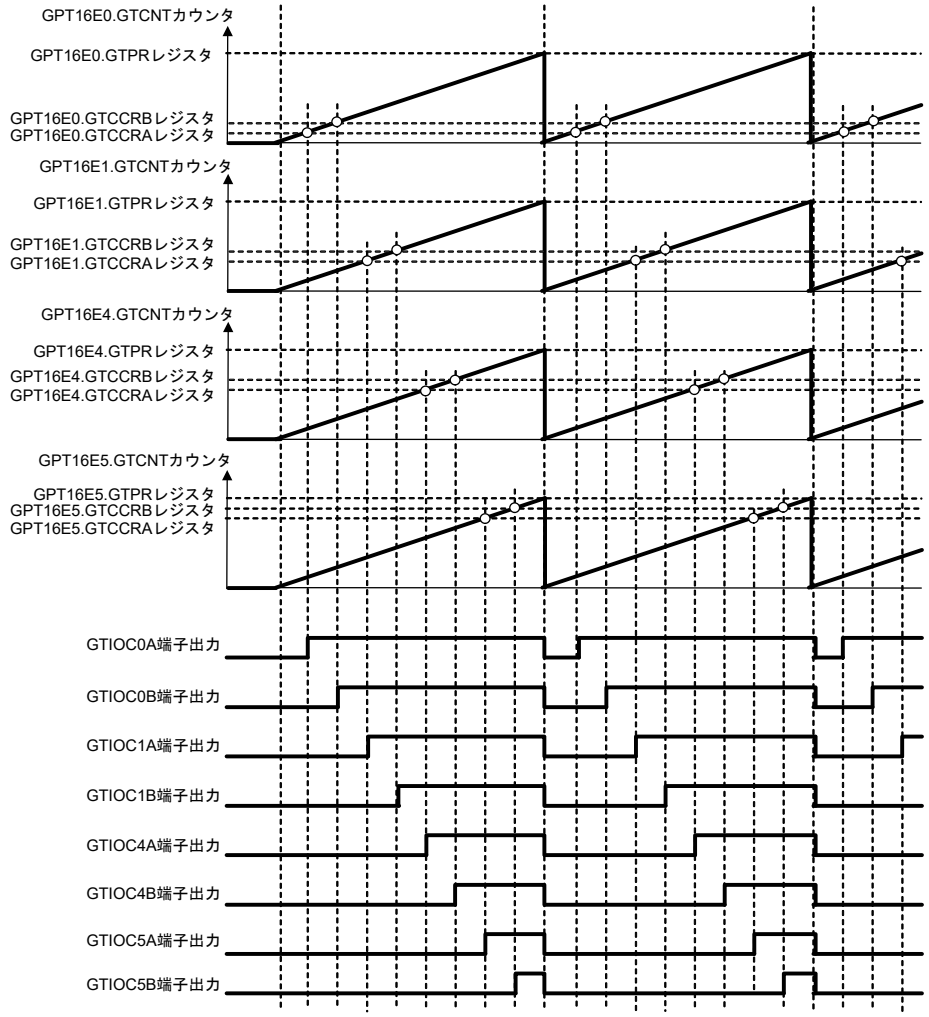


図 20.45　同期 PWM 出力例

(2) のこぎり波 3 相相補 PWM 出力

図 20.46 に、3 チャネルをのこぎり波 PWM モードで同期動作させて、三相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力するように設定されています。

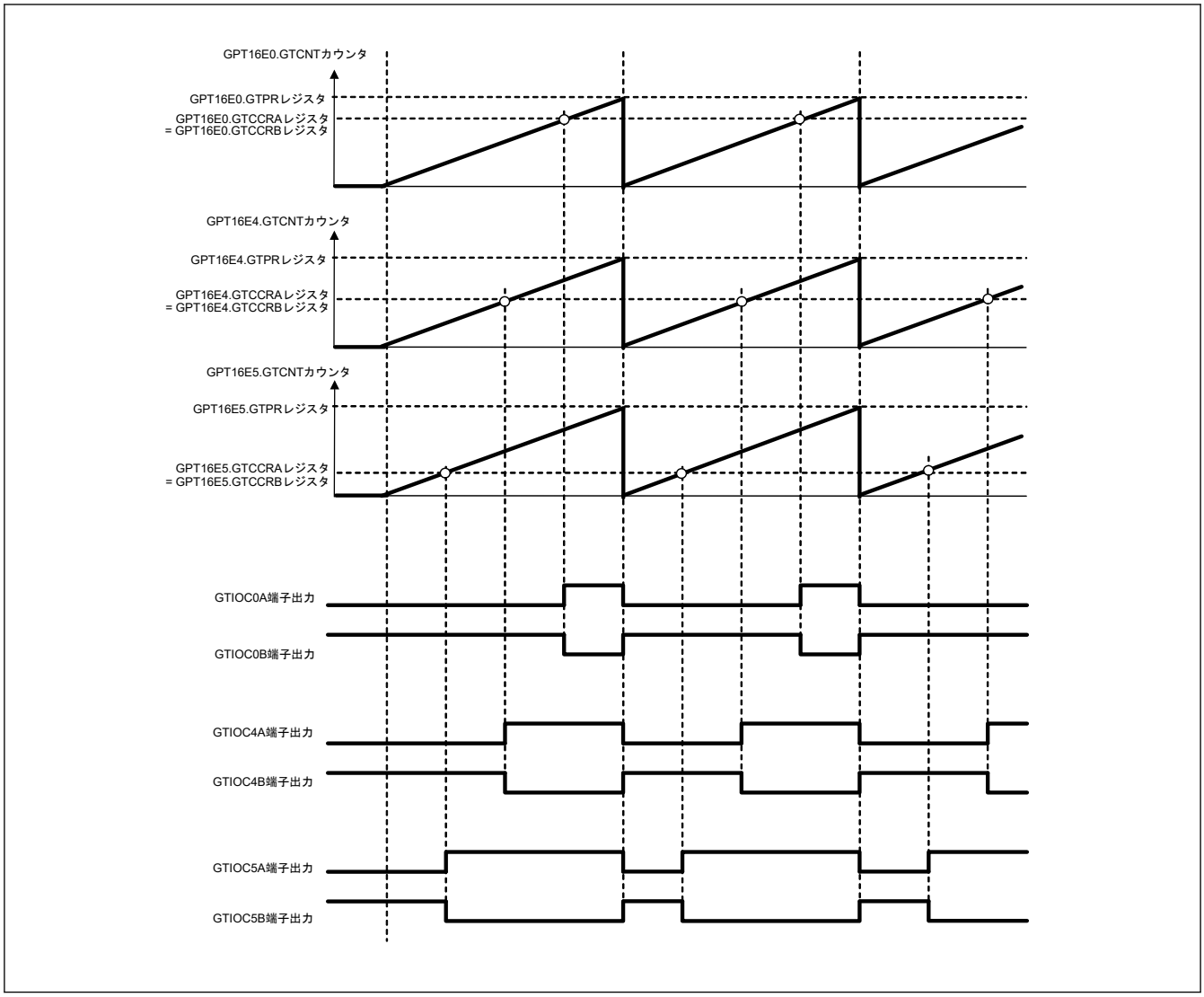


図 20.46 のこぎり波 3 相相補 PWM 出力例

(3) のこぎり波 3 相相補 PWM 出力（デッドタイム自動設定）

図 20.47 に、デッドタイム自動設定機能を使用して、3 チャネルをのこぎり波ワンショットパルスモードで同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

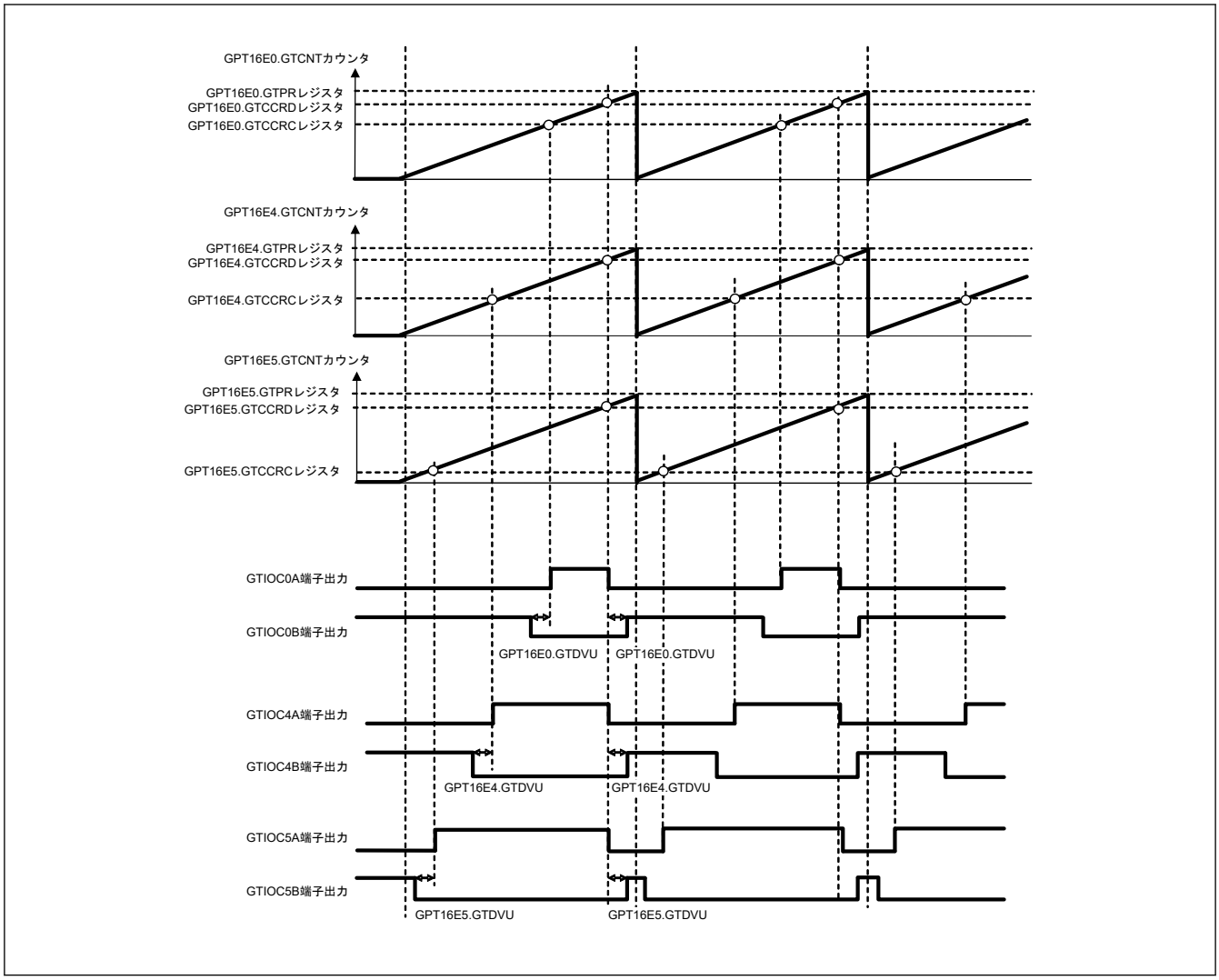


図 20.47　のこぎり波 3 相相補 PWM 出力例（デッドタイム自動設定）

(4)　三角波 3 相相補 PWM 出力

図 20.48 に、3 チャネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

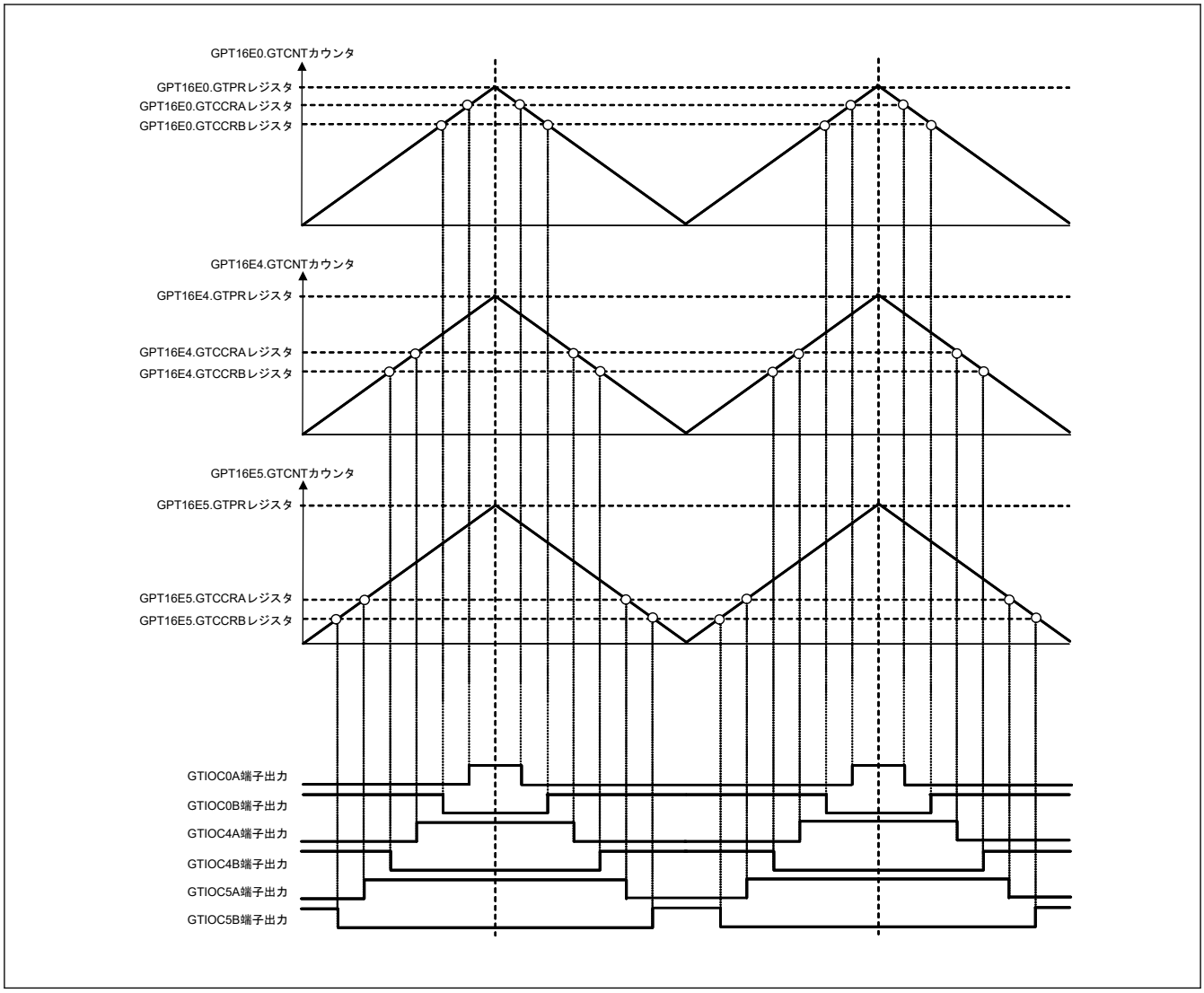


図 20.48　三角波 3 相相補 PWM 出力例

(5)　三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 20.49 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

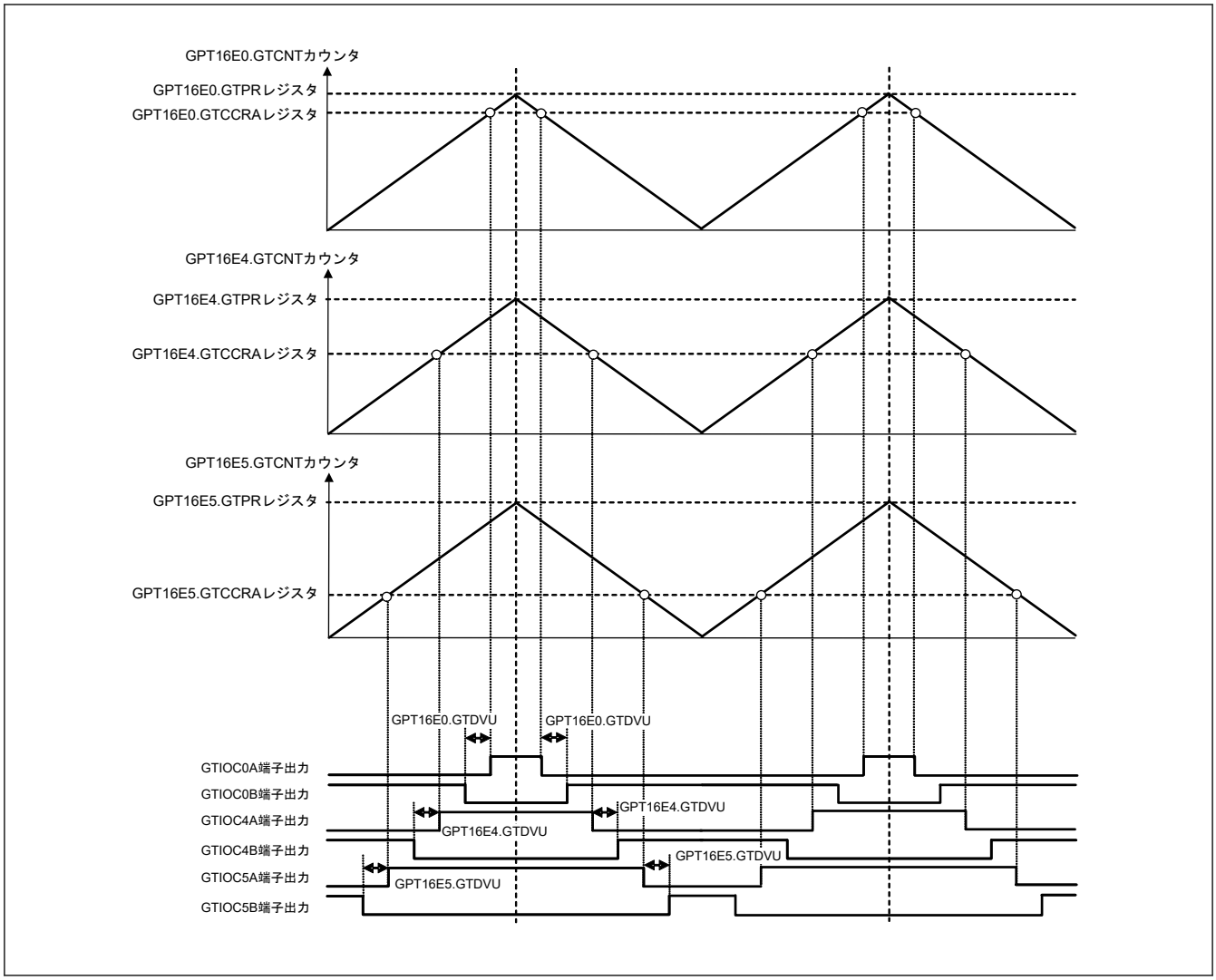


図 20.49　三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

(6)　非対称三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 20.50 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させた例を示します。GTIOCnA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCnB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

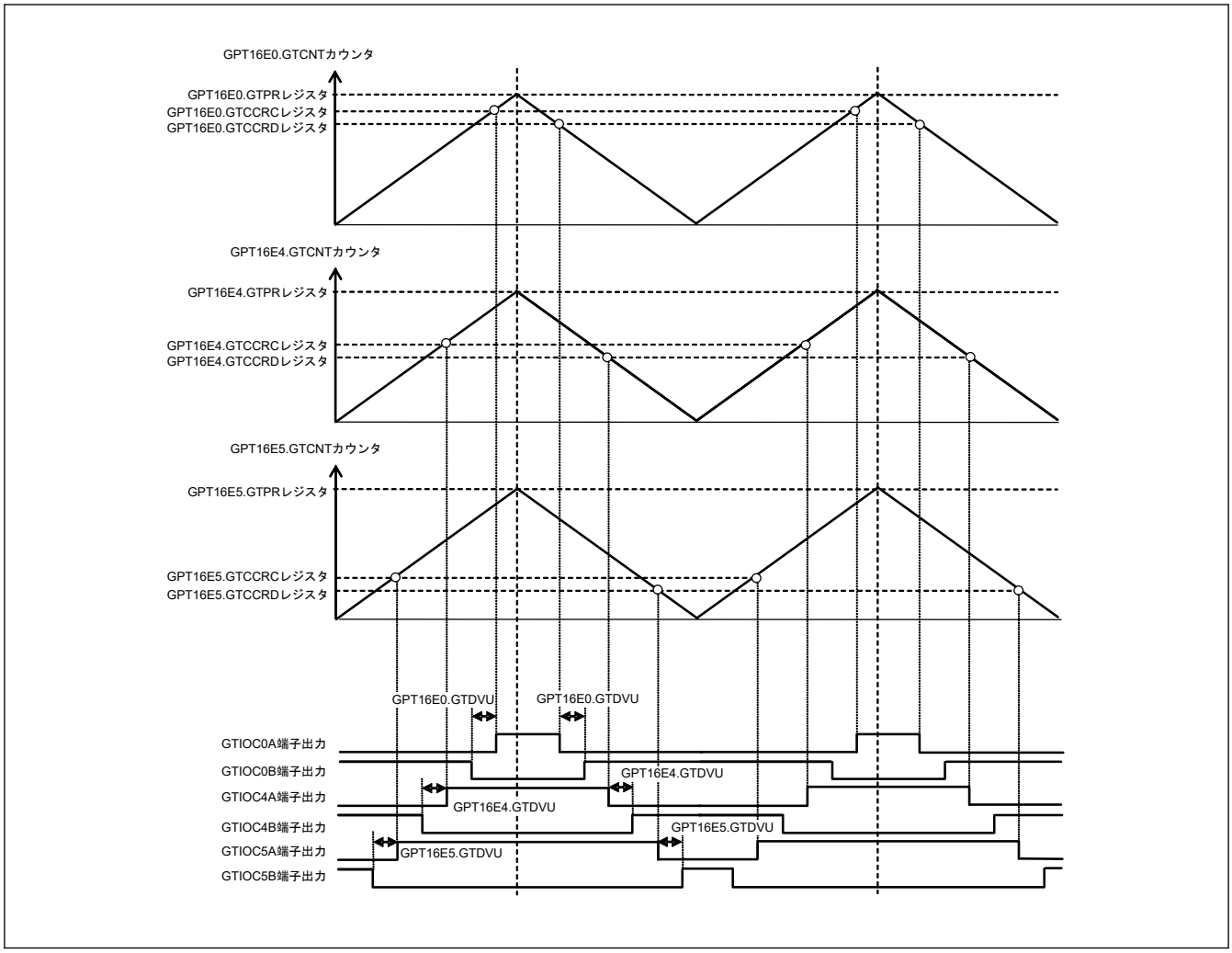


図 20.50　非対称三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

20.3.10　周期計数機能

GTPC レジスタを設定すると、周期の終了を計数できます。

GTPC.PCEN ビットが 0 の場合、計数する周期の数は GTPC.PCNT カウンタに設定します。PCEN ビットが 1 のとき、PCNT カウンタを読み出せますが、書き込みはできません。PCEN ビットが 1 のとき、周期の終わりでダウンカウントが実行されます。周期の終わりに PCNT カウンタが 1 であるとき、カウンタは 0 になり、計数を停止し周期計数機能を終了します。その時、GTST.PCF フラグが設定され、周期計数機能終了割り込み要求 GPTn_PC が発生します。GTPC.ASTP ビットが 1 の場合、周期計数機能が終了したときに GTCNT カウンタも同時に停止します。

周期計数機能が許可された状態で、GTCNT カウンタが停止したとき、PCNT カウンタはその値を保持します。GTCNT カウンタがカウントを再開して PCEN ビットが 1 のとき、PCNT カウンタは保持していた値からダウンカウントを再開します。

PCNT カウンタが 0 で ASTP ビットが 1 の状態で PCEN ビットを 0 から 1 に変更した場合、GTCNT カウンタはその直後にカウントクロックで停止します。

GTSECR.SPCE ビットまたは GTSECR.SPCD ビットいずれかが 1 に設定されたとき、GTSECSR レジスタによって 1 に設定されたチャネルの PCEN ビットが、複数のチャネルの周期計数機能を許可／禁止する値に同時に設定されます。

PWM 周期計数機能の例を図 20.51 と図 20.52 に示します。

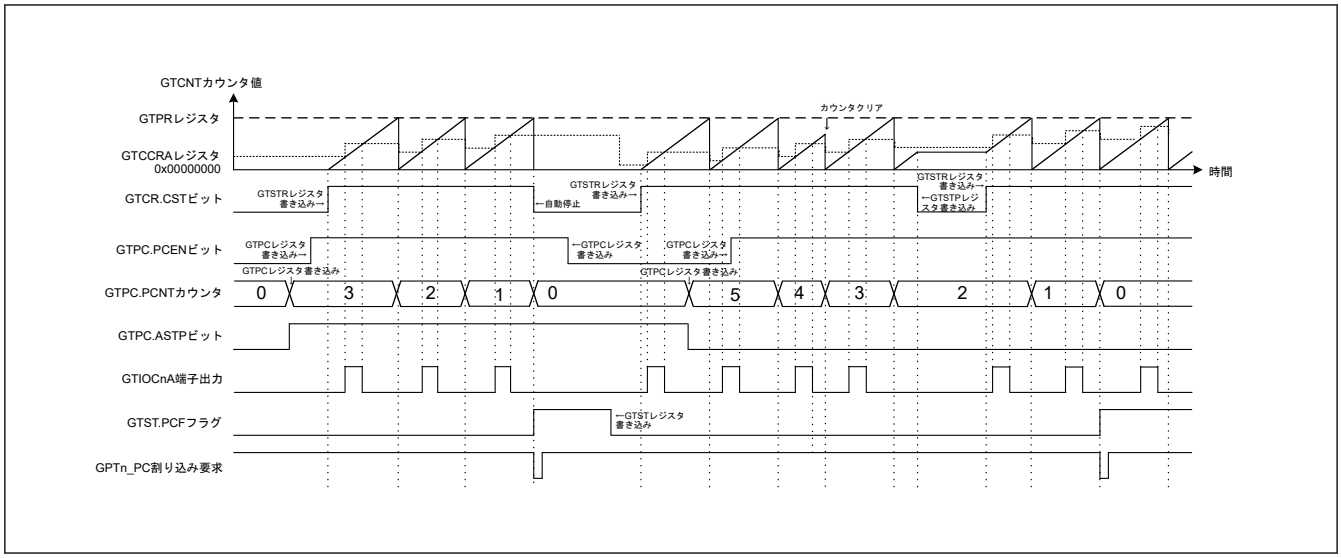
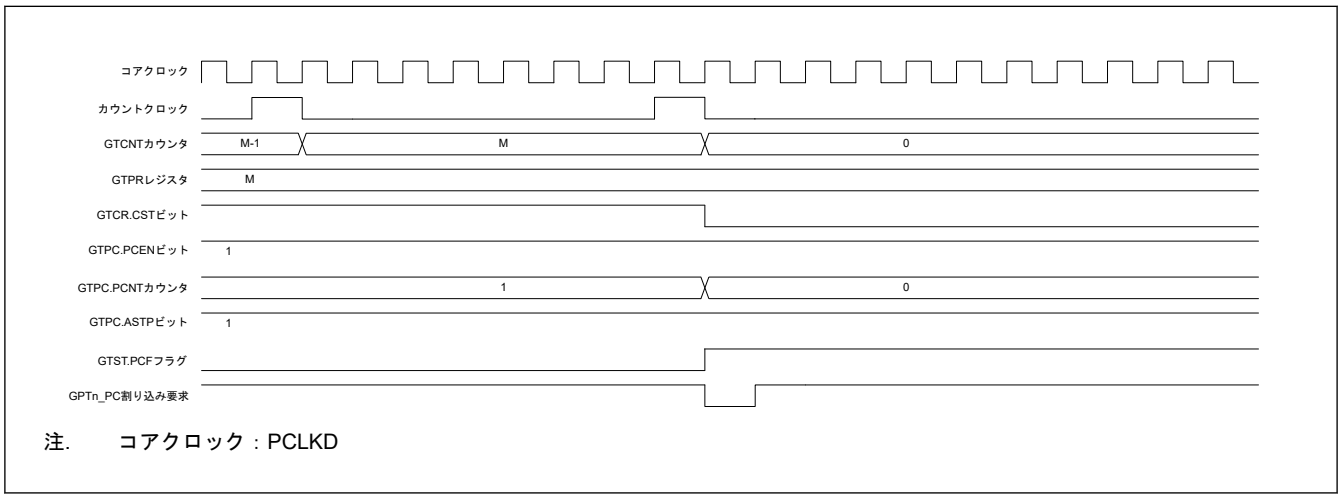


図 20.51　PWM 周期計数機能の例（のこぎり波ワンショットパルスモード）



注.　コアクロック：PCLKD

図 20.52　PWM 周期計数機能の動作タイミング例（のこぎり波ワンショットパルスモード、アップカウント）

20.3.11　位相計数機能

GTIOCnA 端子入力と GTIOCnB 端子入力の間で位相差が検出されると、対応する GTCNT カウンタがアップカウントまたはダウンカウントを実行します (n = 0, 1, 4, 5)。GTUPSR および GTDNSR レジスタに設定されている GTIOCnA 端子入力と GTIOCnB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作については、「20.3.1.1. カウンタの動作」を参照してください。

図 20.53～図 20.62 に GTIOCnA 端子、GTIOCnB 端子を使用する場合の位相計数モード 1～5 の動作例を示します。表 20.30～表 20.39 にアップカウント／ダウンカウントの条件を、図 20.53～図 20.62 に対応する GTUPSR レジスタおよび GTDNSR レジスタの設定値を示します。

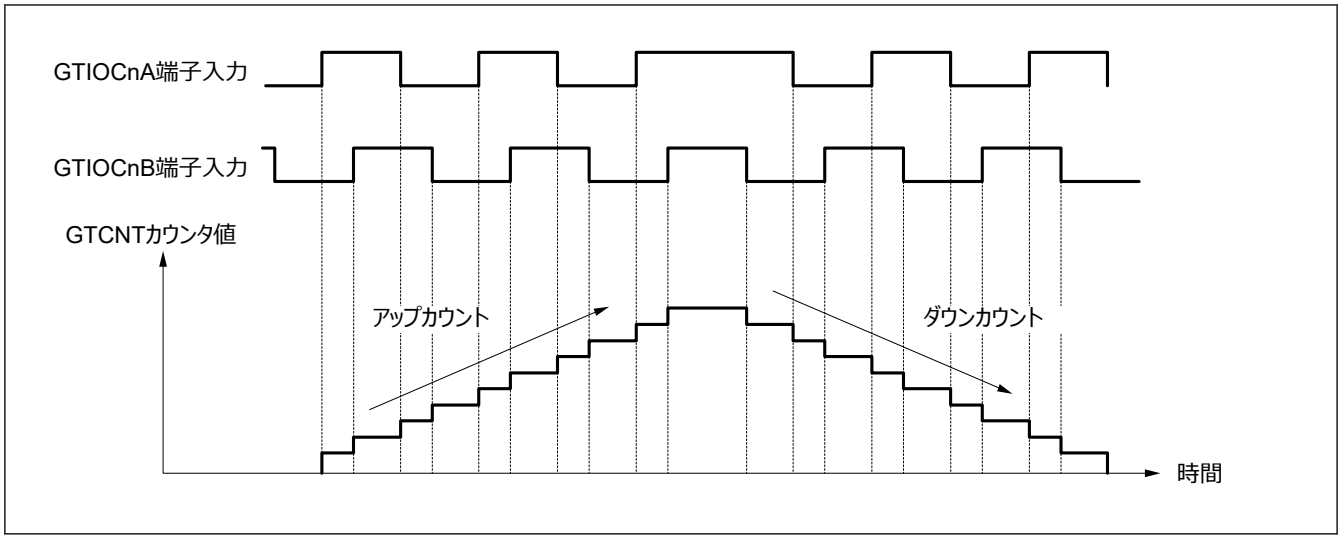


図 20.53　位相計数モード 1 の動作例

表 20.30　位相計数モード 1 でのアップカウント／ダウンカウントの条件

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		アップカウント	GTUPSR = 0x00006900 GTDNSR = 0x00009600
Low			
	Low		
	High		
High		ダウンカウント	
Low			
	High		
	Low		

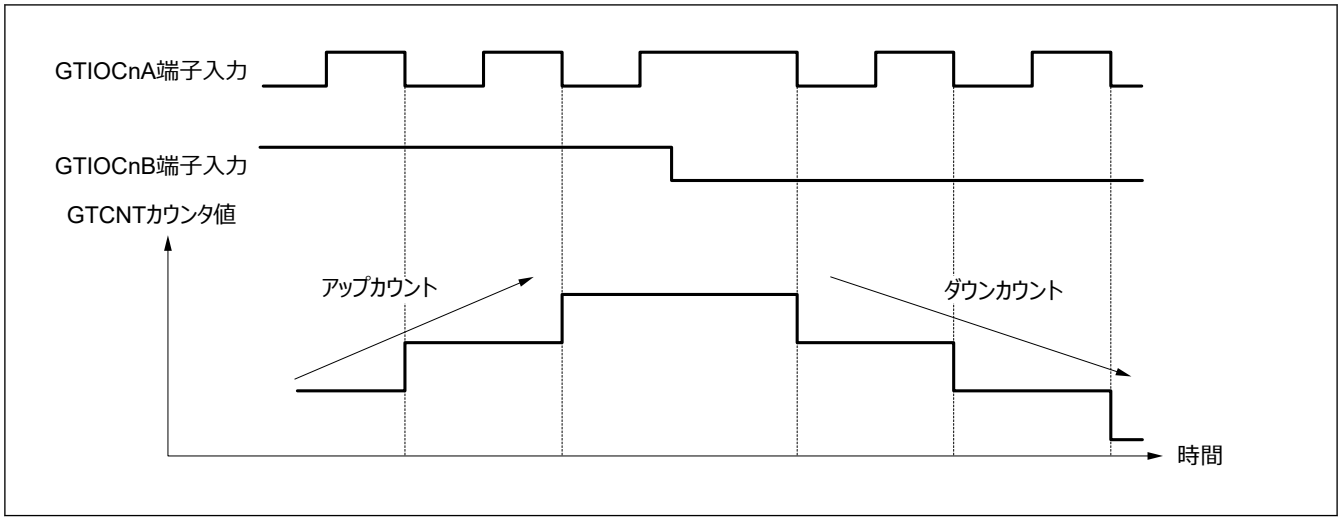


図 20.54　位相計数モード 2 の動作例 (A)

表 20.31　位相計数モード 2 でのアップカウント／ダウンカウントの条件 (A)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000800 GTDNSR = 0x00000400
Low			
	Low		
	High	アップカウント	
High		カウントしない	
Low			
	High		
	Low	ダウンカウント	

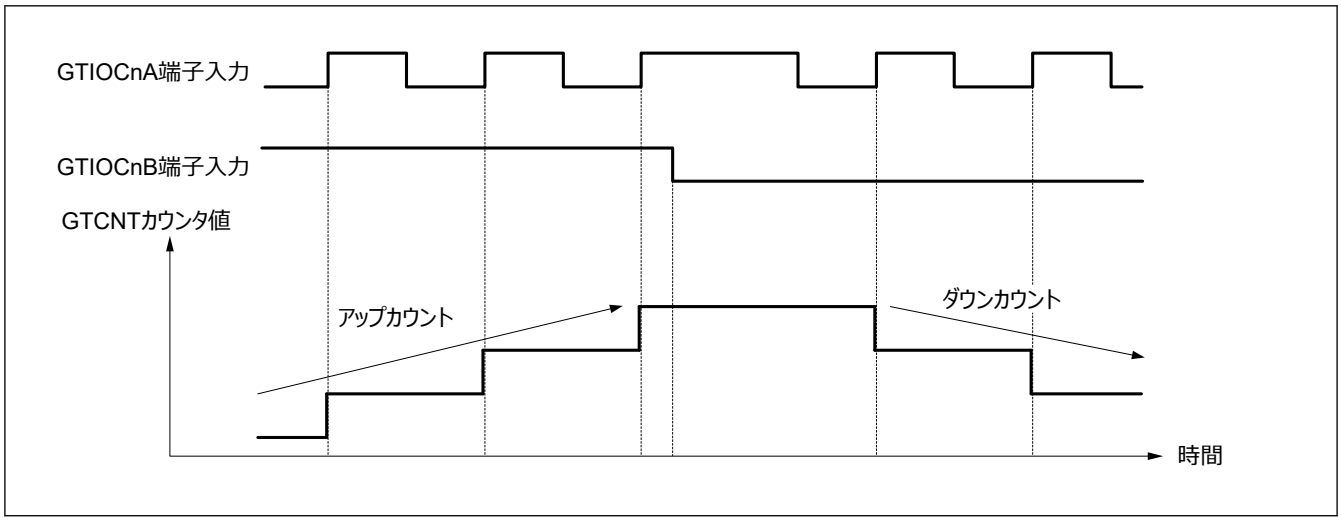


図 20.55　位相計数モード 2 の動作例 (B)

表 20.32　位相計数モード 2 でのアップカウント／ダウンカウントの条件 (B)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000200 GTDNSR = 0x00000100
Low			
	Low	ダウンカウント	
	High	カウントしない	
High			
Low			
	High	アップカウント	
	Low	カウントしない	

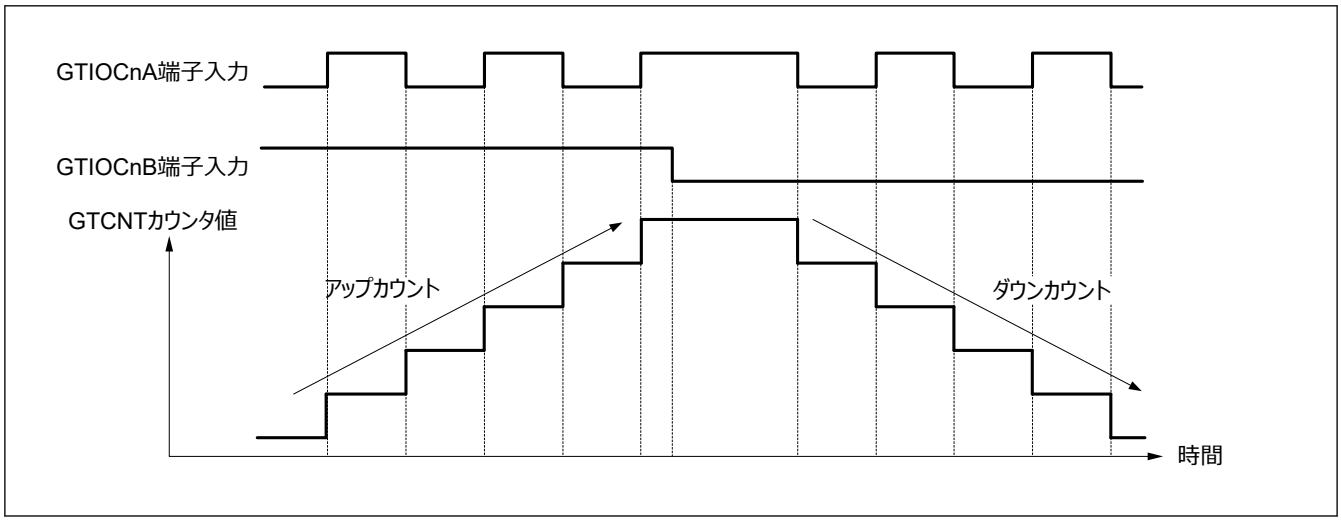


図 20.56　位相計数モード 2 の動作例 (C)

表 20.33　位相計数モード 2 でのアップカウント／ダウンカウントの条件 (C)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000A00 GTDNSR = 0x00000500
Low			
	Low	ダウンカウント	
	High	アップカウント	
High		カウントしない	
Low			
	High	アップカウント	
	Low	ダウンカウント	

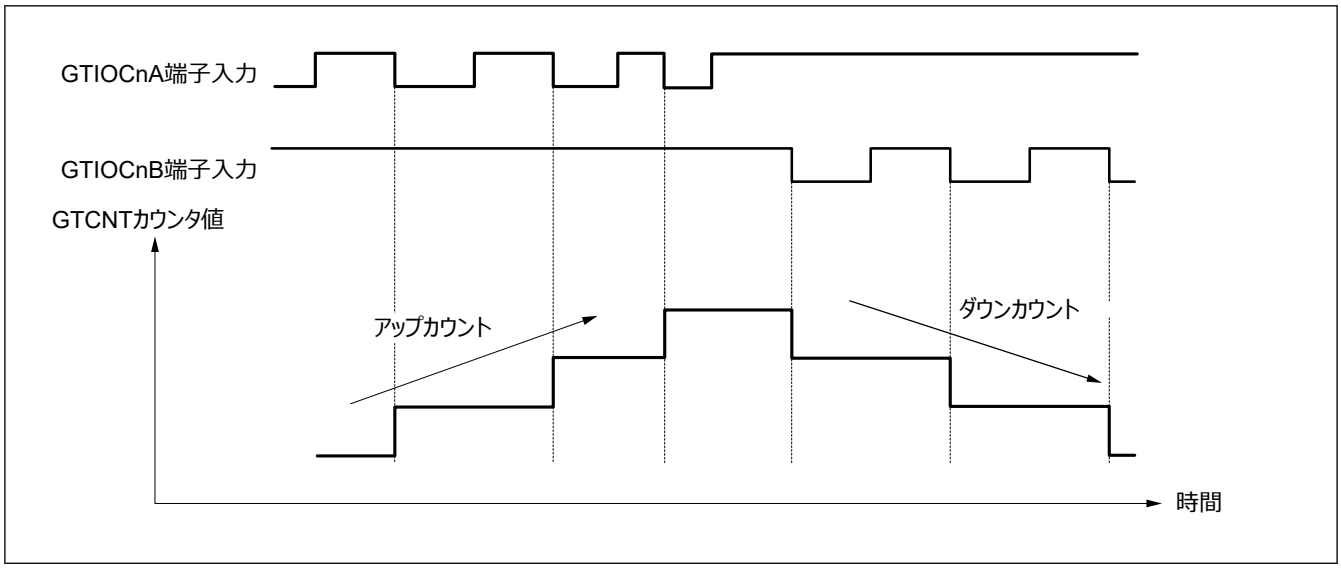


図 20.57　位相計数モード 3 の動作例 (A)

表 20.34　位相計数モード 3 でのアップカウント／ダウンカウントの条件 (A)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000800 GTDNSR = 0x00008000
Low			
	Low		
	High	アップカウント	
High		ダウンカウント	
Low		カウントしない	
	High		
	Low		

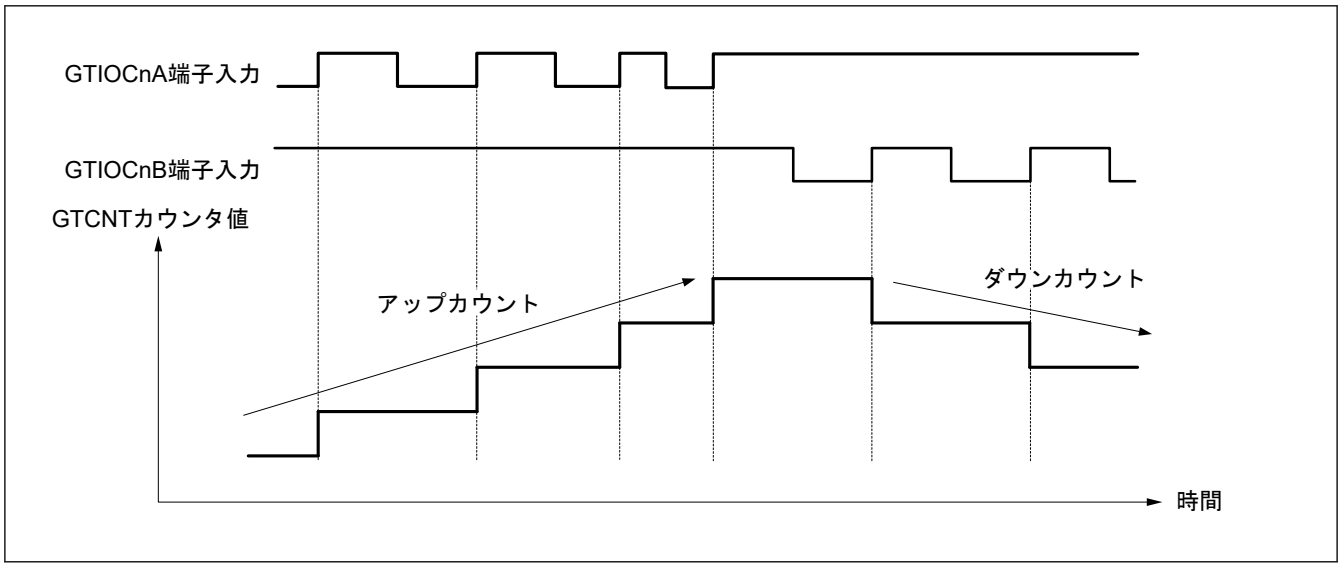


図 20.58　位相計数モード 3 の動作例 (B)

表 20.35　位相計数モード 3 でのアップカウント／ダウンカウントの条件 (B)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR = 0x00000200 GTDNSR = 0x00002000
Low	↓	カウントしない	
↑	Low		
↓	High		
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	カウントしない	

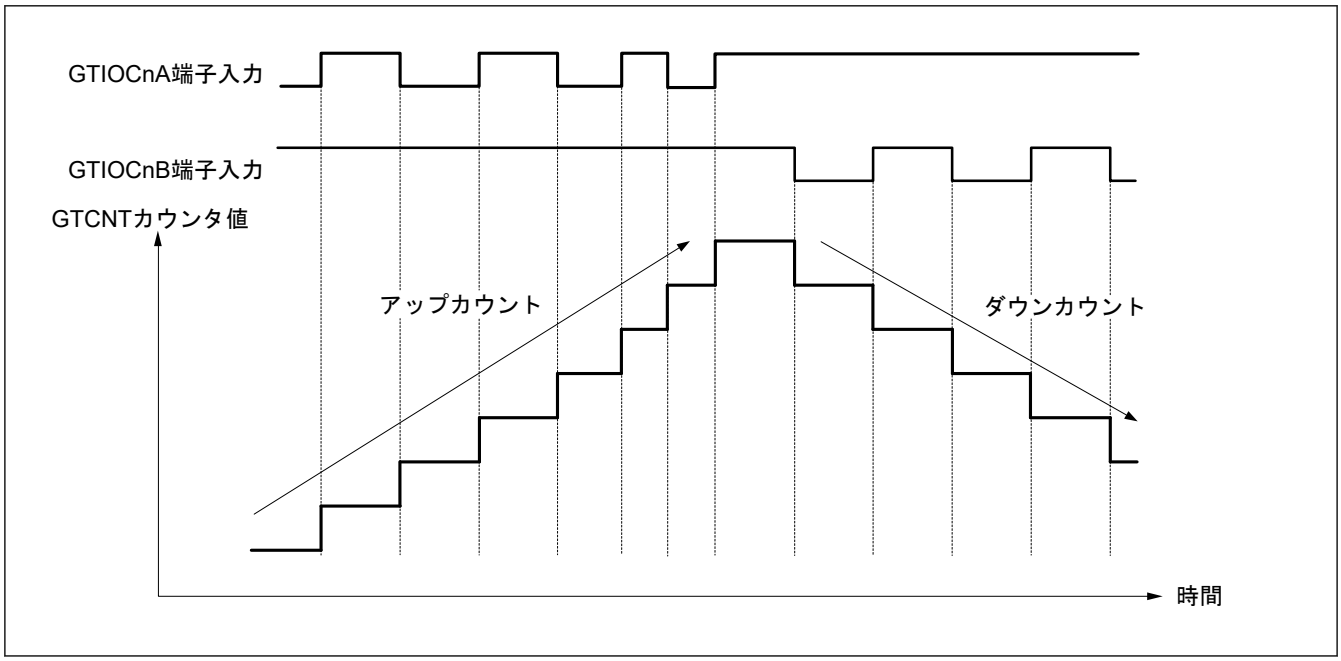


図 20.59　位相計数モード 3 の動作例 (C)

表 20.36　位相計数モード 3 でのアップカウント／ダウンカウントの条件 (C)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		ダウンカウント	GTUPSR = 0x00000A00 GTDNSR = 0x0000A000
Low		カウントしない	
	Low		
	High	アップカウント	
High		ダウンカウント	
Low		カウントしない	
	High	アップカウント	
	Low	カウントしない	

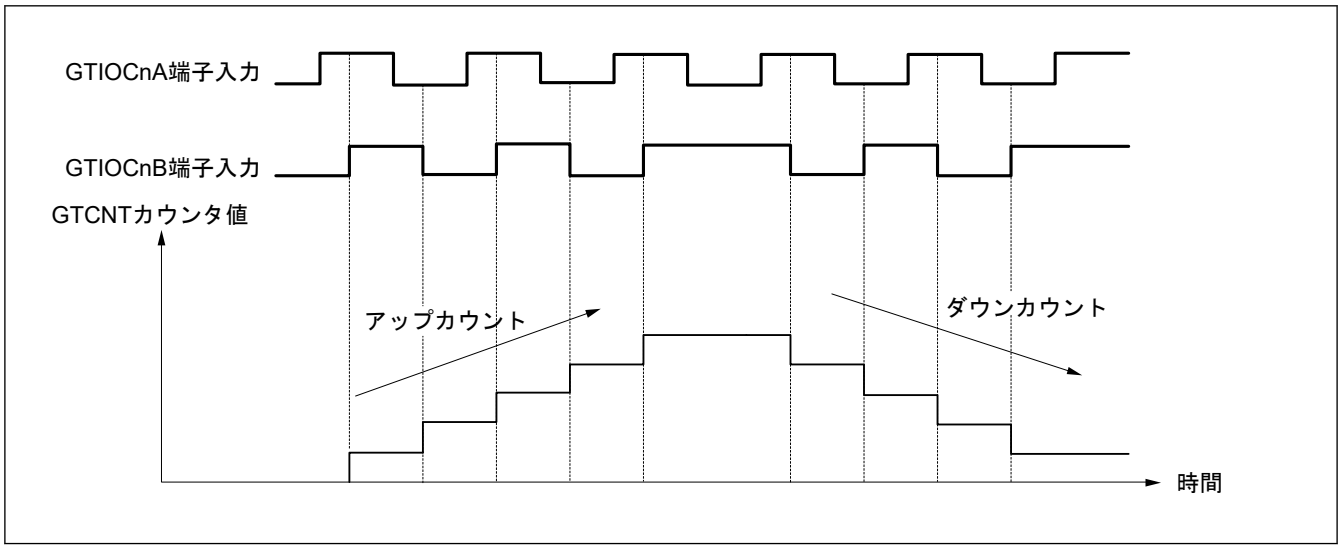


図 20.60　位相計数モード 4 の動作例

表 20.37　位相計数モード 4 でのアップカウント／ダウンカウントの条件

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR = 0x00006000 GTDNSR = 0x00009000
Low	↓		
↑	Low	カウントしない	
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High	カウントしない	
↓	Low		

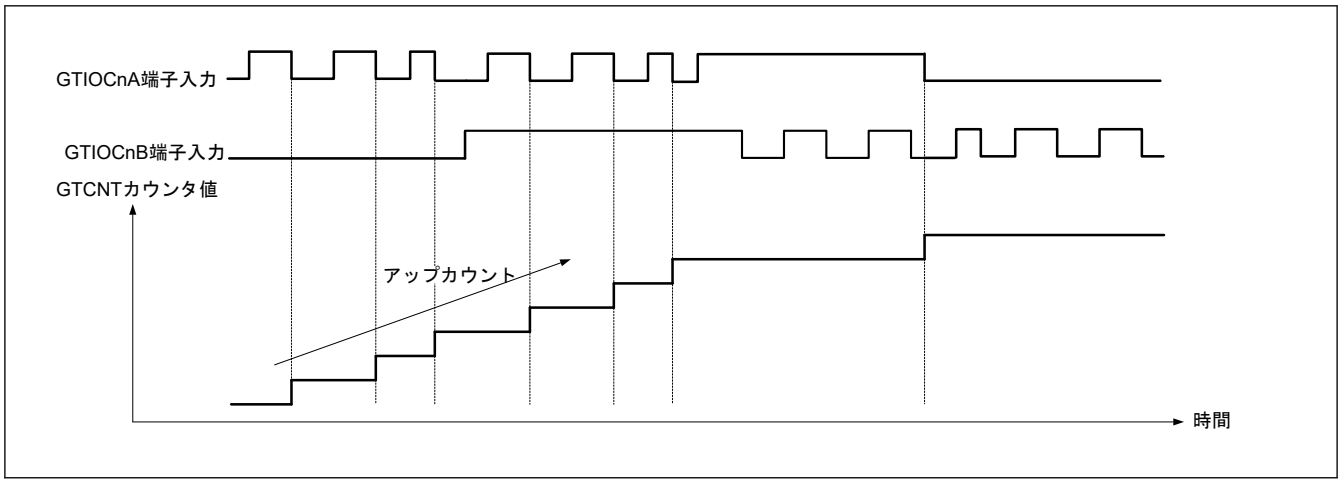


図 20.61　位相計数モード 5 の動作例 (A)

表 20.38　位相計数モード 5 でのアップカウント／ダウンカウントの条件 (A)

: 立ち上がりエッジ

: 立ち下がりエッジ

GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x00000C00 GTDNSR = 0x00000000
Low			
	Low		
	High	アップカウント	
High		カウントしない	
Low			
	High		
	Low	アップカウント	

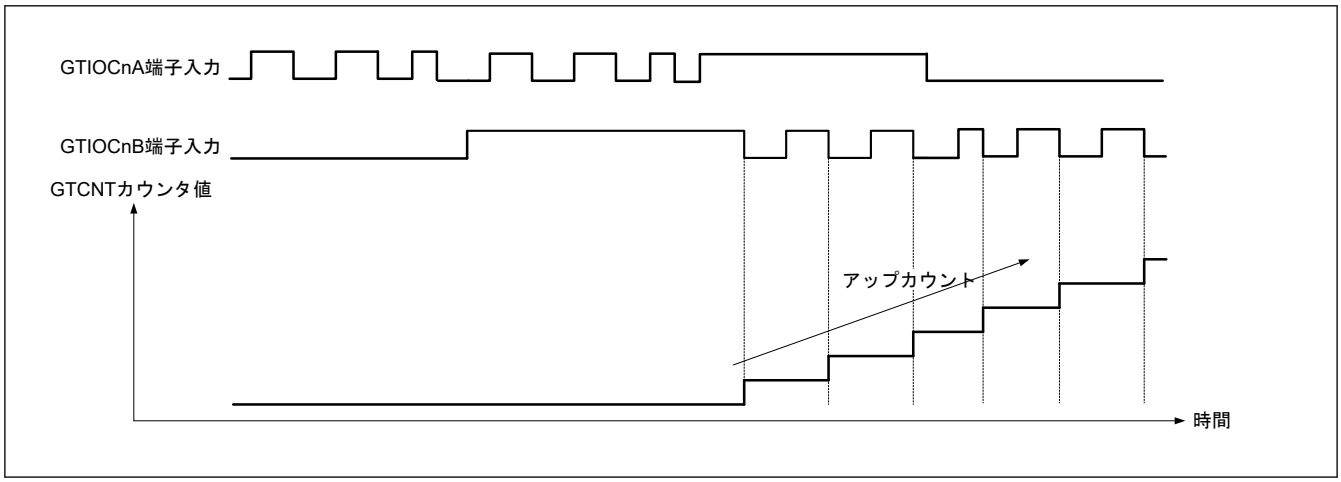


図 20.62　位相計数モード 5 の動作例 (B)

表 20.39　位相計数モード 5 でのアップカウント／ダウンカウントの条件 (B)

: 立ち上がりエッジ

: 立ち下がりエッジ

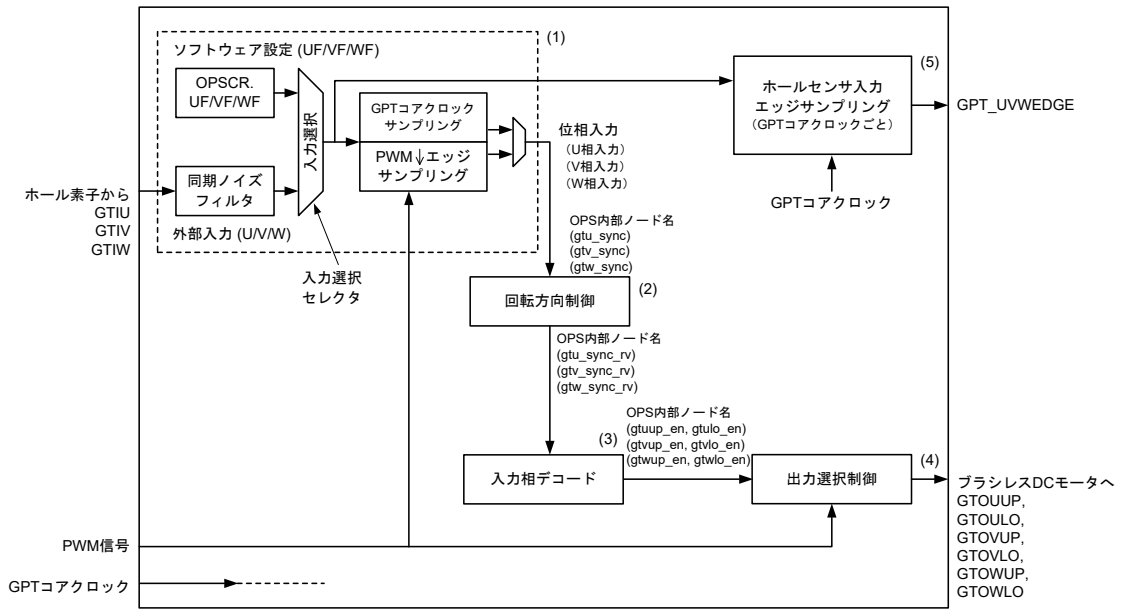
GTIOCnA 端子入力	GTIOCnB 端子入力	動作	レジスタ設定値
High		カウントしない	GTUPSR = 0x0000C000 GTDNSR = 0x00000000
Low		アップカウント	
	Low	カウントしない	
	High		
High		アップカウント	
Low		カウントしない	
	High		
	Low		

20.3.12　出力相切り替え (GPT_OPS)

GPT_OPS は、出力位相スイッチコントロールレジスタ (OPSCR) を使ってブラシレス DC モーターを簡単に制御することができます。

GPT_OPS は、6 相モーター制御（U 正相/逆相、V 正相/逆相、W 正相/逆相）のチョッパ制御またはレベル信号に使う PWM 信号を出力します。本機能には、ソフトウェアで設定したソフトウェア設定値 (OPSCR.UF, VF, WF) またはホール素子で検出した外部信号と GPT16E0.GTIOC0A の PWM 波形を使用します。

図 20.63 に GPT_OPS 制御フローの概念図を示します。

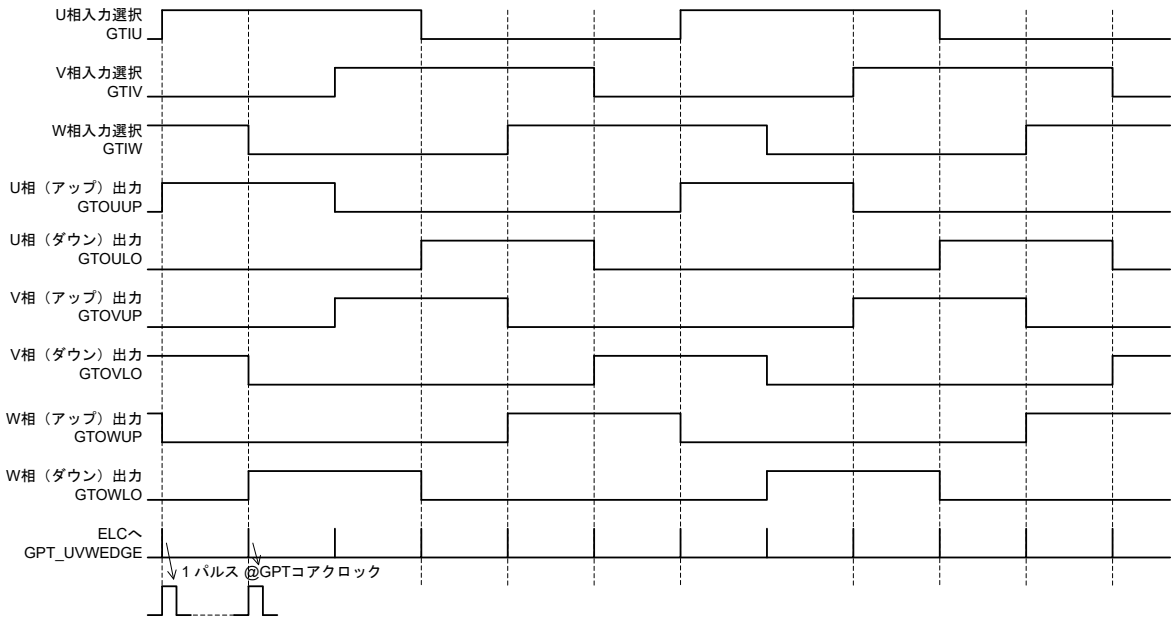


注. GPT コアクロック：PCLKD
PWM 信号：GPT16E0.GTIOC0A からの PWM 信号

図 20.63 GPT_OPS 制御フロー概念図

図 20.64 に GPT_OPS 動作の 6 相レベル信号出力例を示します。

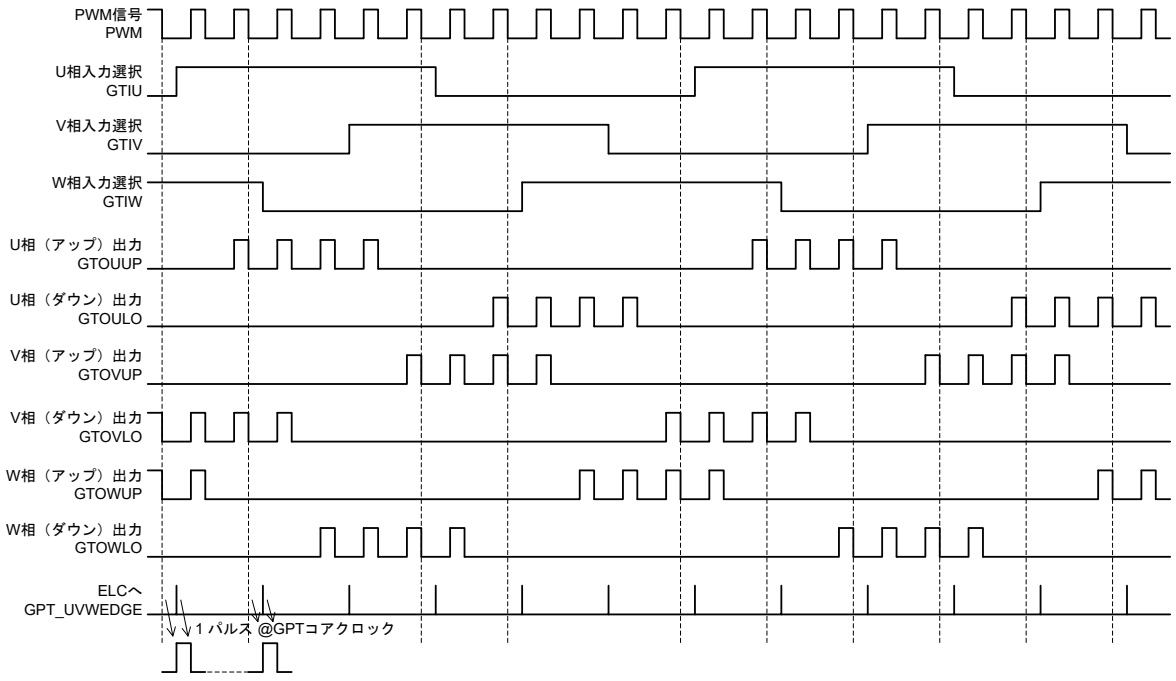
図 20.64 中の GPT_UVWEDGE 信号は、ELC へ出力するホールセンサ入力エッジになります。



注. レジスタ設定：OPSCR.ALIGN = 0, OPSCR.EN = 1, OPSCR.P = 0, OPSCR.N = 0, OPSCR.INV = 0, OPSCR.RV = 0
注. GPT コアクロック：PCLKD

図 20.64 6 相レベル出力動作例

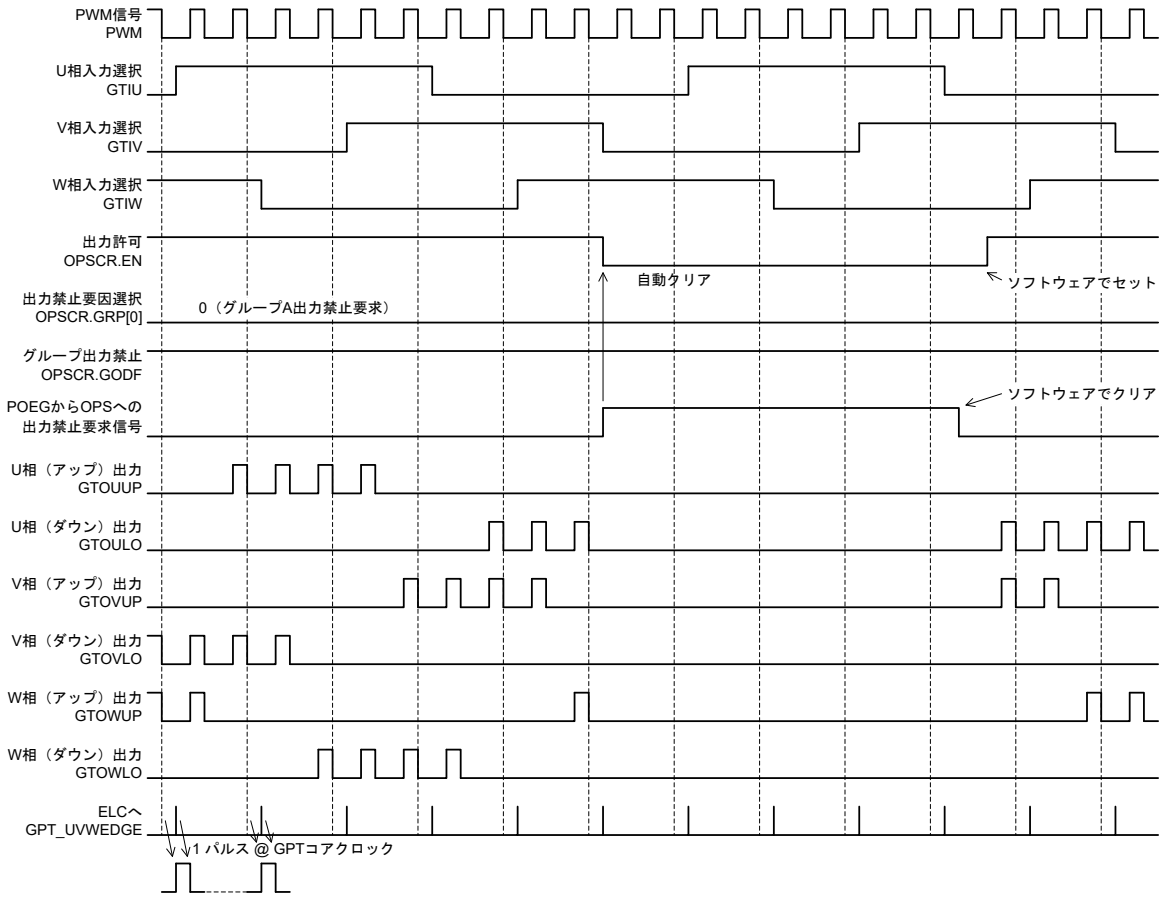
図 20.65 に GPT_OPS 動作の 6 相 PWM 出力例（チョッパ制御）を示します。



注. レジスタ設定：OPSCR.ALIGN = 1, OPSCR.EN = 1, OPSCR.P = 1, OPSCR.N = 1, OPSCR.INV = 0, OPSCR.RV = 0
注. GPT コアクロック：PCLKD
PWM 信号：GPT16E0.GTIOC0A からの PWM 信号

図 20.65 6 相 PWM 出力動作例（チョッパ制御）

図 20.66 に出力禁止制御の例（6 相 PWM 出力動作）を示します。



注. レジスタ設定：OPSCR.P = 1, OPSCR.N = 1, OPSCR.INV = 0, OPSCR.RV = 0
注. GPT コアクロック：PCLKD
PWM 信号：GPT16E0.GTIOC0A からの PWM 信号

図 20.66 グループ出力禁止制御動作例

20.3.12.1 入力選択と外部入力信号の同期化

図 20.63 に示す GPT_OPS 制御フロー概念図の (1) は、OPSCR.FB ビットによってソフトウェア設定値と外部入力から入力相の選択をします。

OPSCR.FB ビットが 0 のとき、外部入力を GPT_OPS の入力相に選択します。GPT コアクロック (PCLKD) との同期後、入力信号を有効にします。ノイズフィルタの処理を実施後（省略可能）、OPSCR.ALIGN ビットを 1 にすることによって立ち下がりエッジサンプリングを行い、外部入力を PWM（GPT16E0.GTIOC0A 端子の PWM）の入力相に設定します。

OPSCR.FB ビットが 1 のとき、OPSCR.ALIGN = 1 によって立ち下がりエッジのサンプリングを実施後、PWM（GPT16E0.GTIOC0A の PWM）の入力相の値でソフトウェア設定値 (OPSCR.UF, VF, WF) を選択します。

OPSCR.ALIGN ビットが 0 のとき、OPSCR.FB ビットが 0 または 1 のいずれの場合も、GPT_OPS は PCLKD 同期の入力相で動作します。ただし、切り替えタイミング（直前／直後）の出力 U/V/W 相（PWM 出力モード）の PWM パルス幅が短くなる場合があります。

表 20.40 に入力選択処理と対応する OPSCR レジスタのビット設定を示します。

表 20.40 入力選択処理方法

OPSCR レジスタ		入力相サンプリング方法の選択（U/V/W 相）	同期入出力選択処理（GPT_OPS 内部ノード名）
FB ビット	ALIGN ビット		
0	1	PWM 立ち下がりエッジサンプリングでの外部入力 （PCLKD 同期 + 立ち下がりエッジサンプル）	入力相 U 相入力 (gtu_sync) V 相入力 (gtv_sync) W 相入力 (gtw_sync)
	0	PCLKD 同期出力での外部入力 （PCLKD 同期 + スルーモード）	
1	1	PWM 立ち下がりエッジサンプリングでのソフトウェア設定 （立ち下がりエッジサンプルの OPSCR.UF、VF、WF ビット）	
	0	ソフトウェア設定値選択 （= OPSCR.UF/VF/WF ビット値）（= PCLKD 同期）	

20.3.12.2 入力サンプリング

OPSCR.U、V、W ビットは、OPSCR.FB ビットで選択した入力の PCLKD サンプリング結果を示します。

OPSCR.FB ビットが 0 の場合、GPT コアクロック (PCLKD) との同期およびノイズフィルタ（任意選択）後に、OPSCR レジスタの U、V、W ビットが外部入力のサンプリング結果を示します。OPSCR.FB ビットが 1 の場合、ソフトウェア設定値 (OPSCR.UF, VF, WF) が OPSCR レジスタの U、V、W ビットの値になります。

20.3.12.3 入力相デコード

図 20.63 に示す GPT_OPS 制御フロー概念図の (3) は、OPSCR.FB ビットによって選択した入力相をデコードして、GPT_OPS の内部信号処理を行う 6 相許可信号を生成します。

表 20.41 に入力相のデコード表を示します。

表 20.41 入力相デコード表 (OPSCR.RV = 0)

入力相 (U/V/W) （GPT_OPS 内部ノード名）			入力相のデコードによる 6 相許可信号 [U/V/W (Up/Lo)] （GPT_OPS 内部ノード名）					
入力 U 相	入力 V 相	入力 W 相	U 相 (Up)	U 相 (Lo)	V 相 (Up)	V 相 (Lo)	W 相 (Up)	W 相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	0	1	1	0	0	1	0	0
1	0	0	1	0	0	0	0	1
1	1	0	0	0	1	0	0	1
0	1	0	0	1	1	0	0	0
0	1	1	0	1	0	0	1	0
0	0	1	0	0	0	1	1	0
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0

表 20.42 入力相デコード表 (OPSCR.RV = 1) (1/2)

入力相 (U/V/W) （GPT_OPS 内部ノード名）			入力相のデコードによる 6 相許可信号 [U/V/W (Up/Lo)] （GPT_OPS 内部ノード名）					
入力 U 相	入力 V 相	入力 W 相	U 相 (Up)	U 相 (Lo)	V 相 (Up)	V 相 (Lo)	W 相 (Up)	W 相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	0	1	0	1	1	0	0	0
1	0	0	0	1	0	0	1	0

表 20.42 入力相デコード表 (OPSCR.RV = 1) (2/2)

入力相 (U/V/W)（GPT_OPS 内部ノード名）			入力相のデコードによる 6 相許可信号 [U/V/W (Up/Lo)]（GPT_OPS 内部ノード名）					
入力 U 相	入力 V 相	入力 W 相	U 相 (Up)	U 相 (Lo)	V 相 (Up)	V 相 (Lo)	W 相 (Up)	W 相 (Lo)
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	1	0	0	0	0	1	1	0
0	1	0	1	0	0	1	0	0
0	1	1	1	0	0	0	0	1
0	0	1	0	0	1	0	0	1
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0

20.3.12.4 回転方向制御

図 20.63 に示す GPT_OPS 制御フロー概念図の (2) では、OPSCR.RV ビットを使用して 3 相モーターの回転方向を制御します。

OPSCR.RV ビットが 1 の場合、V 相と W 相を入れ替えることにより、OPSCR.RV ビット設定 0 の回転方向を反転させます。

表 20.43 に、OPSCR.RV ビットへの出力相の割り当て（回転方向制御の実施前後）を示します。

表 20.43 回転方向制御方法

OPSCR レジスタ出力相回転方向反転	回転方向制御の出力 [U/V/W（正／逆）]（制御後の GPT_OPS 内部ノード名）					
OPSCR.RV ビット	(gtuup_ren)	(gtulo_ren)	(gtvup_ren)	(gtvlo_ren)	(gtwup_ren)	(gtwlo_ren)
0	U 相 (Up) (gtuup_en)	U 相 (Lo) (gtulo_en)	V 相 (Up) (gtvup_en)	V 相 (Lo) (gtvlo_en)	W 相 (Up) (gtwup_en)	W 相 (Lo) (gtwlo_en)
1	U 相 (Up) (gtuup_en)	U 相 (Lo) (gtulo_en)	W 相 (Up) (gtwup_en)	W 相 (Lo) (gtwlo_en)	V 相 (Up) (gtvup_en)	V 相 (Lo) (gtvlo_en)

20.3.12.5 出力選択制御

図 20.63 に示す GPT_OPS 制御フロー概念図の (4) は、OPSCR レジスタのビットを設定することによって出力波形を選択します。

出力選択に関連するビットを以下に示します。

- OPSCR.EN ビット：6 相出力の出力／停止を制御
- OPSCR.P ビットおよび OPSCR.N ビット：出力相に対してレベル信号／PWM 信号（チョッパ出力）を選択可能
- 出力相の極性は、OPSCR.INV ビットで正論理／負論理に設定可能

表 20.44 および表 20.45 に、OPSCR レジスタのビットを使用した出力選択制御方法を示します。

表 20.44 出力選択制御方法（正相） (1/2)

出力許可相制御	正相出力 (P) 制御	反転相出力制御	出力ポート名（正相 = Up）（出力選択内部ノード割り当て）	
OPSCR.EN	OPSCR.P	OPSCR.INV	GTOUUP GTOVUP GTOWUP	モード
0	x	x	0	出力停止（外部端子 Hi-Z）GPT_OPS → 0 出力

表 20.44　出力選択制御方法（正相） (2/2)

出力許可相制御	正相出力 (P) 制御	反転相出力制御	出力ポート名（正相 = Up） （出力選択内部ノード割り当て）	
OPSCR.EN	OPSCR.P	OPSCR.INV	GTOUUP GTOVUP GTOWUP	モード
1	0	0	レベル信号 (gtuup_ren) (gtvup_ren) (gtwup_ren)	レベル出力モード （正相） （正論理）
1	0	1	レベル信号 (～gtuup_ren) (～gtvup_ren) (～gtwup_ren)	レベル出力モード （正相） （負論理）
1	1	0	PWM 信号 (PWM & gtuup_ren) (PWM & gtvup_ren) (PWM & gtwup_ren)	PWM 出力モード （正相） （正論理）
1	1	1	PWM 信号 (～(PWM & gtuup_ren)) (～(PWM & gtvup_ren)) (～(PWM & gtwup_ren))	PWM 出力モード （正相） （負論理）

表 20.45　出力選択制御方法（逆相）

出力許可相制御	逆相出力 (N) 制御	反転相出力制御	出力ポート名（逆相 = Lo） （出力選択内部ノード割り当て）	
OPSCR.EN	OPSCR.N	OPSCR.INV	GTOULO GTOVLO GTOWLO	モード
0	x	x	0	出力停止 （外部端子 Hi-Z） GPT_OPS → 0 出力
1	0	0	レベル信号 (gtulo_ren) (gtvlo_ren) (gtwlo_ren)	レベル出力モード （逆相） （正論理）
1	0	1	レベル信号 (～gtulo_ren) (～gtvlo_ren) (～gtwlo_ren)	レベル出力モード （逆相） （負論理）
1	1	0	PWM 信号 (PWM & gtulo_ren) (PWM & gtvlo_ren) (PWM & gtwlo_ren)	PWM 出力モード （逆相） （正論理）
1	1	1	PWM 信号 (～(PWM & gtulo_ren)) (～(PWM & gtvlo_ren)) (～(PWM & gtwlo_ren))	PWM 出力モード （逆相） （負論理）

20.3.12.6　出力選択制御（グループ出力禁止機能）

グループ出力禁止機能は、OPSCR.GODF = 1 かつ OPSCR.GRP[0]ビットで選択した要因の信号値が High になると（出力禁止要求）、非同期で出力を Hi-Z にします。出力禁止要求の発生により OPSCR.EN ビットは 0 にクリアされます。復帰は、ソフトウェアで出力禁止要求をクリア後、OPSCR.EN = 1 を設定してください。

出力禁止制御を確実に行うためには、POE のフラグクリアは POEG_GROUPn (n = A～D) 割り込みを使用するか、OPSCR.EN = 0 であることを確認してからフラグをクリアしてください。グループ出力禁止制御の動作例については、図 20.66 を参照してください。

20.3.12.7 イベントリンクコントローラ (ELC) 出力

図 20.63 に示す GPT_OPS 制御フロー概念図の (5) は、ホールセンサ入力エッジ信号を ELC へ出力します。

ホールセンサ入力エッジ信号は、入力相の U 相、V 相、W 相それぞれの立ち上がりエッジと立ち下がりエッジを PCLKD で検出した信号の論理和です。よって、入力相の U 相、V 相、W 相それぞれの High 期間が短い場合、ホールセンサ入力エッジ信号は出力されません。

OPSCR.FB ビットが 0 のとき、ホールセンサ入力エッジ信号は、外部入力相のエッジを PCLKD で検出した信号の論理和です。

OPSCR.FB ビットが 1 のとき、ホールセンサ入力エッジ信号は、ソフトウェア設定値 (OPSCR.UF, VF, WF) のエッジを PCLKD で検出した信号の論理和です。

ELC への出力信号の例については、図 20.64～図 20.66 を参照してください。

20.3.12.8 GPT_OPS スタート動作設定フロー

表 20.46 GPT_OPS スタート動作設定例

No.	手順名	説明
1	GPT16E0 の動作モード設定	GPT16E0.GTIOC0A にのこぎり波または三角波の PWM 出力動作モードを設定します。 詳細は、「20.3.3. PWM 出力動作モード」を参照してください。
2	GPT16E0 のカウント動作	GPT16E0 のカウント動作を開始して、PWM 波形を出力します。
3	GPT_OPS 入力データ設定（ソフトウェア設定選択時のみ）	OPSCR.UF、VF、WF ビットにソフトウェア設定値の設定をします。
4	GPT_OPS 外部入力ノイズフィルタ設定（外部入力選択時のみ）	ノイズフィルタを使用する場合、OPSCR.NFCS[1:0]ビットでノイズフィルタのサンプリングクロックを設定してください。 次に OPSCR.NFEN ビットを 1 に設定すれば、ノイズフィルタが有効になります。
5	GPT_OPS 入力相選択設定／入力相アライメント設定	OPSCR.FB ビットで外部入力またはソフトウェア設定から入力相を選択してください。 OPSCR.ALIGN ビットで入力相のアライメントを選択してください。
6	GPT_OPS 出力相の設定	OPSCR.P、OPSCR.N ビットで出力する正相、逆相のレベル出力／PWM 出力を設定してください。 OPSCR.INV ビットで出力相の正論理／負論理を設定してください。OPSCR.RV ビットで回転方向を設定してください。
7	GPT_OPS グループ出力禁止機能設定	OPSCR.GRP ビットで出力禁止要因の選択を設定してください。 OPSCR.GODF ビットでグループ出力禁止機能の ON/OFF の設定をしてください。
8	GPT_OPS 動作	OPSCR.EN = 1 に設定して、GPT_OPS からブラシレス DC モーターを駆動する 6 相出力を行います。

20.3.13 チャネル間論理演算機能

コンペアマッチ出力間の論理演算機能が可能です。

図 20.67 に、チャネル間論理演算のブロック図を示します。

GPT 出力のハザードを防ぐため、論理演算後の信号は、PCLKD でデータが取り込まれます。データが取り込まれたら、出力禁止制御を実行します。

1PCLKD サイクルの遅延を生じる論理演算式を選択したとき、出力許可信号も同様に 1PCLKD サイクル遅延して出力禁止制御に入力されます。

論理演算機能 AND、OR、EXOR、NOR に対して同じ信号（C = A または D = B）が選択される場合、C または D は 1 として扱われます。GTIOCnA 端子出力の場合、同一チャネルの A が C に選ばれたとき、AND の結果は A、OR の結果は 1、EXOR の結果は NOT A、NOR の結果は 0 です。

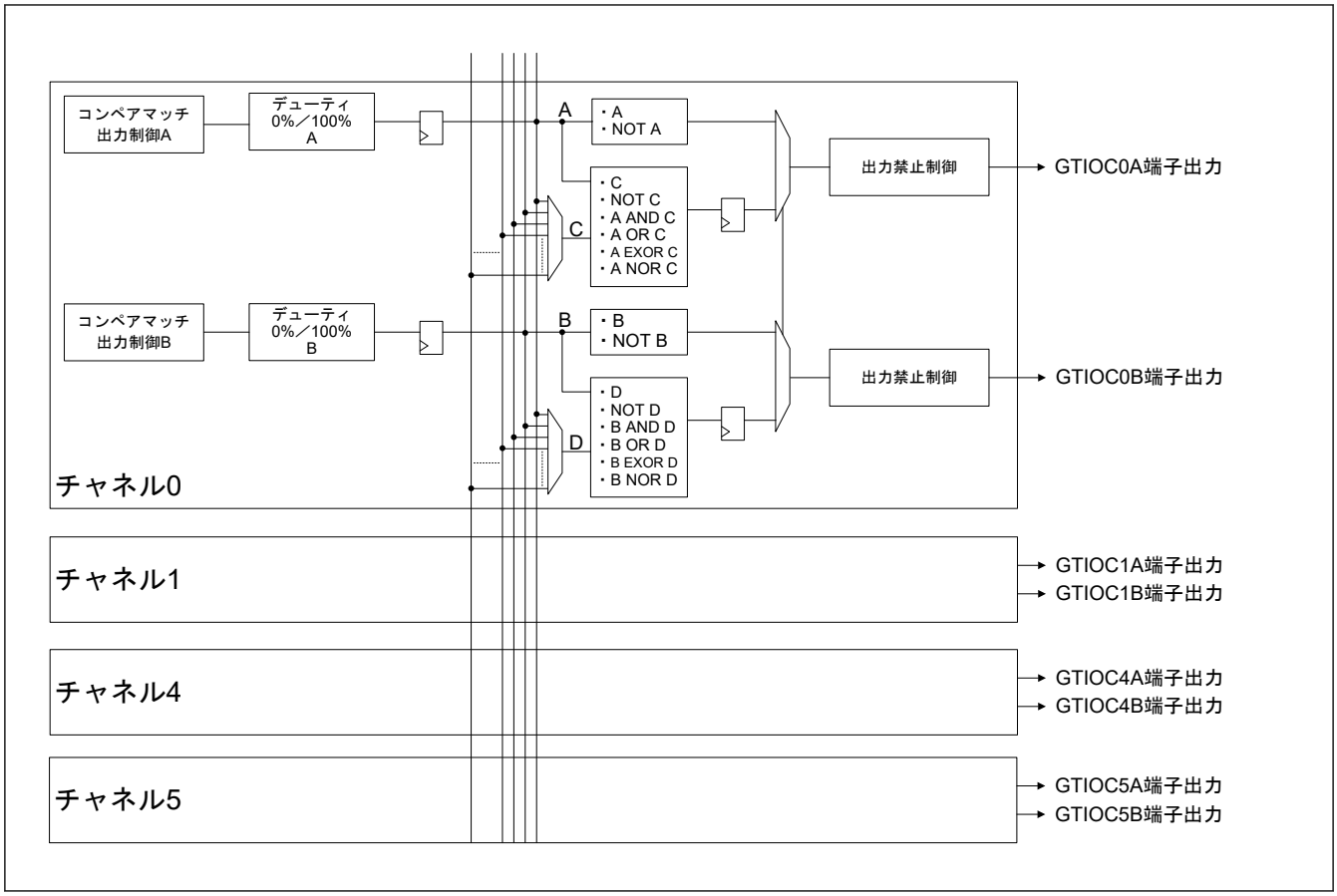


図 20.67　チャネル間論理演算のブロック図

図 20.68 に、チャネル間論理演算の例を示します。

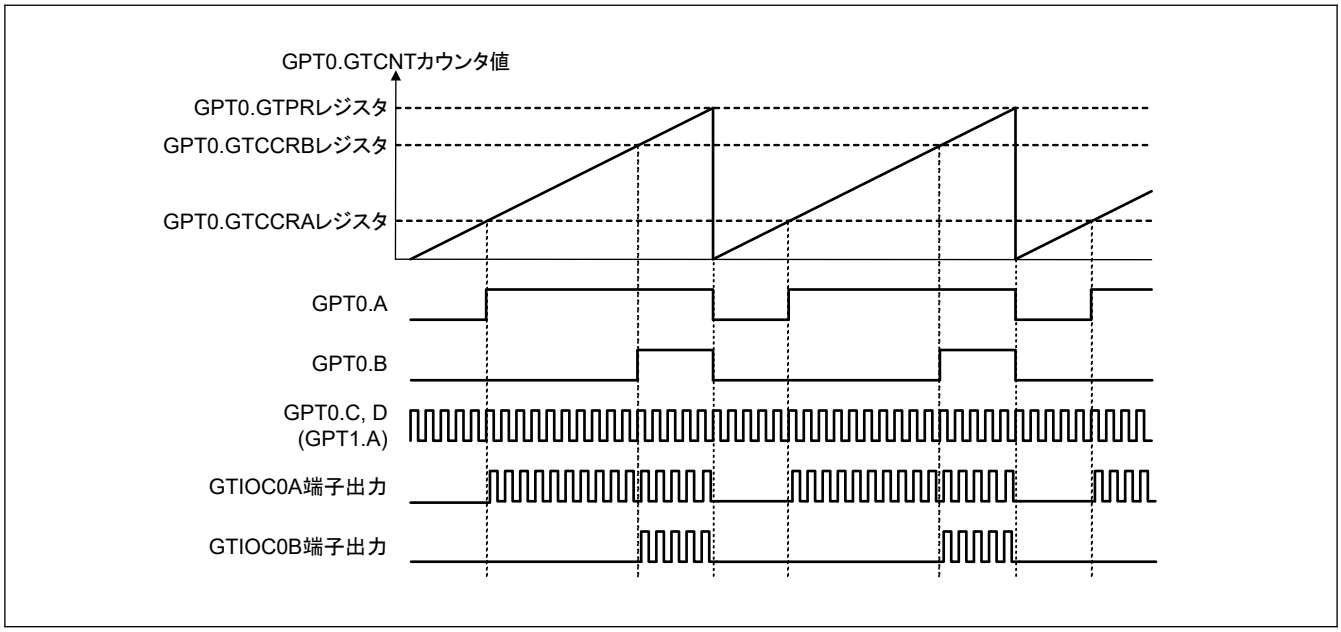


図 20.68　チャネル間論理演算の例

20.4　割り込み要因

20.4.1　割り込み要因と優先順位

GPT には以下の割り込み要因があります。

- GTCCR のインプットキャプチャ／コンペアマッチ
- GTADTR コンペアマッチ
- GTCNT カウンタのオーバーフロー（GTPR のコンペアマッチ）／アンダーフロー
- 周期計数機能終了

各割り込み要因には、それぞれ専用のステータスフラグがあります。各割り込み要因信号が発生すると GTST レジスタの各ステータスフラグが 1 にセットされます。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態により自動更新されます。割り込みコントローラユニットでは、チャネル間の優先順位を変更できます。ただし、1 つのチャネル内での優先順位は固定されています。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 20.47 は、GPT の割り込み要因の一覧です。

表 20.47　割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	DTC の起動
n = 0, 1, 4, 5	GPTn_CCMPA	GPT16En.GTCCRA のインプットキャプチャ／コンペアマッチ	GTST[0] (TCFA)	可能
	GPTn_CCMPB	GPT16En.GTCCRB のインプットキャプチャ／コンペアマッチ	GTST[1] (TCFB)	可能
	GPTn_CMPC	GPT16En.GTCCRC のコンペアマッチ	GTST[2] (TCFC)	可能
	GPTn_CMPD	GPT16En.GTCCRD のコンペアマッチ	GTST[3] (TCFD)	可能
	GPTn_CMPE	GPT16En.GTCCRE のコンペアマッチ	GTST[4] (TCFE)	可能
	GPTn_CMPF	GPT16En.GTCCRF のコンペアマッチ	GTST[5] (TCFF)	可能
	GPTn_OVF	GPT16En.GTCNT カウンタのオーバーフロー（GPT16En.GTPR レジスタのコンペアマッチ）	GTST[6] (TCFPO)	可能
	GPTn_UDF	GPT16En.GTCNT アンダーフロー	GTST[7] (TCFPU)	可能
	GPTn_ADTRGA	GPT16En.GTADTRA のコンペアマッチ	GTST[17:16] (ADTRADF, ADTRAUF)	可能
	GPTn_ADTRGB	GPT16En.GTADTRB のコンペアマッチ	GTST[19:18] (ADTRBDF, ADTRBUF)	可能
	GPTn_PC	周期計数機能終了 (n = 0, 1, 4, 5)	GTST[31] (PCF)	可能

(1)　GPTn_CCMPA 割り込み (n = 0, 1, 4, 5)

割り込み要求は以下の条件で発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRA レジスタ値と一致したとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合に、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

(2)　GPTn_CCMPB 割り込み (n = 0, 1, 4, 5)

割り込み要求は以下の条件で発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRB レジスタ値と一致したとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合に、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRB レジスタに転送されたとき

(3)　GPTn_CMPC 割り込み (n = 0, 1, 4, 5)

割り込み要求は以下の条件で発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRC レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 01b, 10b, 11b（GTCCRC レジスタがバッファ動作）

(4) GPTn_CMPD 割り込み (n = 0, 1, 4, 5)

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRD レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] = 10b, 11b（GTCCRD レジスタがバッファ動作）

(5) GPTn_CMPE 割り込み (n = 0, 1, 4, 5)

割り込み要求は以下の条件で発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRE レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 01b, 10b, 11b（GTCCRE レジスタがバッファ動作）

(6) GPTn_CMPF 割り込み (n = 0, 1, 4, 5)

割り込み要求は以下の条件で発生します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合に、GTCNT カウンタ値が GTCCRF レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] = 10b, 11b（GTCCRF レジスタがバッファ動作）

(7) GPTn_OVF 割り込み (n = 0, 1, 4, 5)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合に、オーバーフロー（アップカウント動作中に GTCNT カウンタ値が GTPR から 0 に変化する）で割り込み要求が許可されたとき
- 三角波の場合、山（GTCNT が GTPR から GTPR-1 になる）が発生したとき
- ハードウェア要因によるカウント動作の場合に、オーバーフロー（アップカウント動作時に GTCNT カウンタ値が GTPR から 0 に変化する）が発生したとき

(8) GPTn_UDF 割り込み (n = 0, 1, 4, 5)

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合に、アンダーフロー（ダウンカウント動作中に GTCNT カウンタ値が 0 から GTPR に変化する）で割り込み要求が許可されたとき
- 三角波の場合、谷（GTCNT が 0 から 1 になる）が発生したとき
- ハードウェア要因によるカウント動作の場合に、アンダーフロー（ダウンカウント動作時に GTCNT カウンタ値が 0 から GTPR に変化する）が発生したとき

割り込み信号と割り込みステータスフラグについては、「20.2.16. GTST : 汎用 PWM タイマステータスレジスタ」を参照してください。

(9) GPTn_ADTRGA 割り込み (n = 0, 1, 4, 5)

GTCNT カウンタ値が GTADTRA と一致する場合に、割り込み要求が以下の条件で発生します。

- アップカウント動作時に割り込み許可ビット (GTINTAD.ADTRAUEN) が 1 のとき
- ダウンカウント動作時に割り込み許可ビット (GTINTAD.ADTRADEN) が 1 のとき

イベントカウント動作実行時は、この割り込み要求は発生しません。

(10) GPTn_ADTRGB 割り込み (n = 0, 1, 4, 5)

GTCNT カウンタ値が GTADTRB と一致する場合に、割り込み要求が以下の条件で発生します。

- アップカウント動作時に割り込み許可ビット (GTINTAD.ADTRBUEN) が 1 のとき
- ダウンカウント動作時に割り込み許可ビット (GTINTAD.ADTRBDEN) が 1 のとき

イベントカウント動作実行時は、この割り込み要求は発生しません。

(11) GPTn_PC 割り込み (n = 0, 1, 4, 5)

GTPC.PCEN ビットが 1 かつ GTPC.PCNT カウンタが 1 の場合、周期の終わりに割り込み要求が発生します。

GTCNT カウンタ値が GTADTRA と一致する場合に、割り込み要求が以下の条件で発生します。

- アップカウント動作時に割り込み許可ビット (GTINTAD.ADTRAUEN) が 1 のとき
- ダウンカウント動作時に割り込み許可ビット (GTINTAD.ADTRADEN) が 1 のとき

イベントカウント動作実行時は、この割り込み要求は発生しません。

20.4.2 DMAC/DTC の起動

各チャネルの割り込みによって、DMAC および DTC を起動することができます。詳細は、「12. 割り込みコントローラユニット (ICU)」、「15. DMA コントローラ (DMAC)」、および「16. データトランスファコントローラ (DTC)」を参照してください。

20.4.3 割り込みおよび A/D 変換開始要求間引き機能

GTITC レジスタの設定により、GTCNT カウンタのオーバーフロー（GTPR レジスタのコンペアマッチ）割り込み (GPTn_OVF) とアンダーフロー割り込み (GPTn_UDF) を間引くことができます。また、他の割り込み、および A/D 変換開始要求信号を GPTn_OVF/GPTn_UDF 間引き機能と連動して間引くことができます。割り込みを間引いた場合、関連するステータスフラグの更新も間引かれます。ステータスフラグが 1 でも、割り込みの間引きは継続します。

割り込み間引き機能は、GTITC レジスタの設定のみに関連しており、GTINTAD レジスタ割り込み許可ビットとは無関係です。GTINTAD レジスタの設定によって割り込みが禁止されても、割り込みの間引きは継続します。

また、三角波モードで谷と山の両方をカウントして間引く場合、間引き回数を奇数回に設定すると、間引きカウンタの開始タイミングにより、谷のみ、もしくは山のみでの GPTn_OVF/GPTn_UDF 割り込み要求が発生しない場合があります。そのため、三角波モードで谷と山の両方をカウントして間引き、かつ、谷のみ、もしくは山のみでの GPTn_OVF/GPTn_UDF 割り込みを使用する場合は、間引き回数を偶数に設定してください。

同様に、のこぎり波モードでカウント方向を変えながらオーバーフローとアンダーフローの両方をカウントして間引く場合、オーバーフローのみ、もしくはアンダーフローのみでの GPTn_OVF/GPTn_UDF 割り込み要求が発生しない場合があります。そのため、のこぎり波モードでカウント方向を変えながらオーバーフローとアンダー

フローの両方をカウントして間引き、かつ、オーバーフローのみ、もしくはアンダーフローのみでの GPTn_OVF/GPTn_UDF 割り込みを使用する場合は、間引き状態を十分検討のうえ、使用してください。

なお、間引き回数を変更する場合は、間引き機能をいったん解除（GTITC.IVTC[1:0]ビット = 00b）してから行ってください。

図 20.69～図 20.74 に間引き機能の動作例を示します。

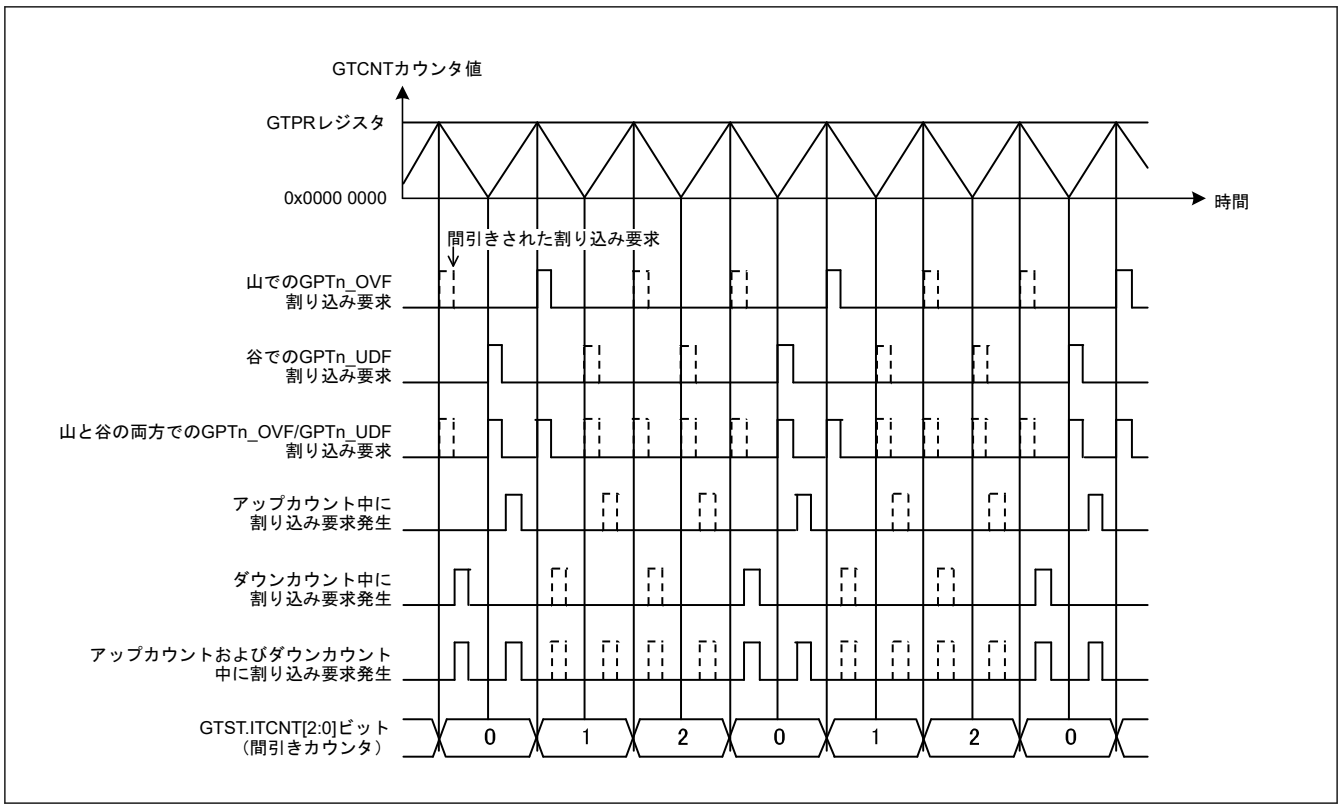


図 20.69　割り込み間引き機能の動作例（三角波、山をカウントして間引き、間引き回数 2 の場合）

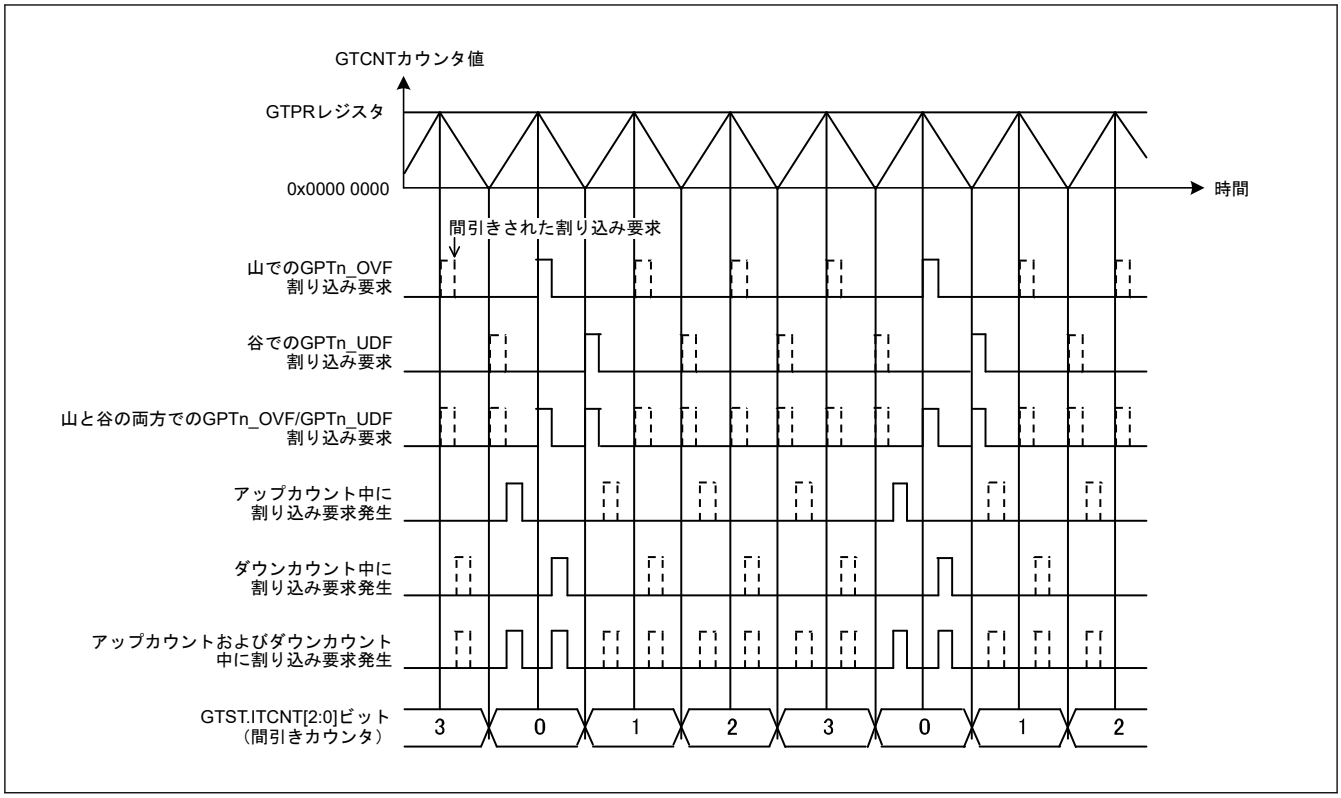


図 20.70　割り込み間引き機能の動作例（三角波、谷をカウントして間引き、間引き回数 3 の場合）

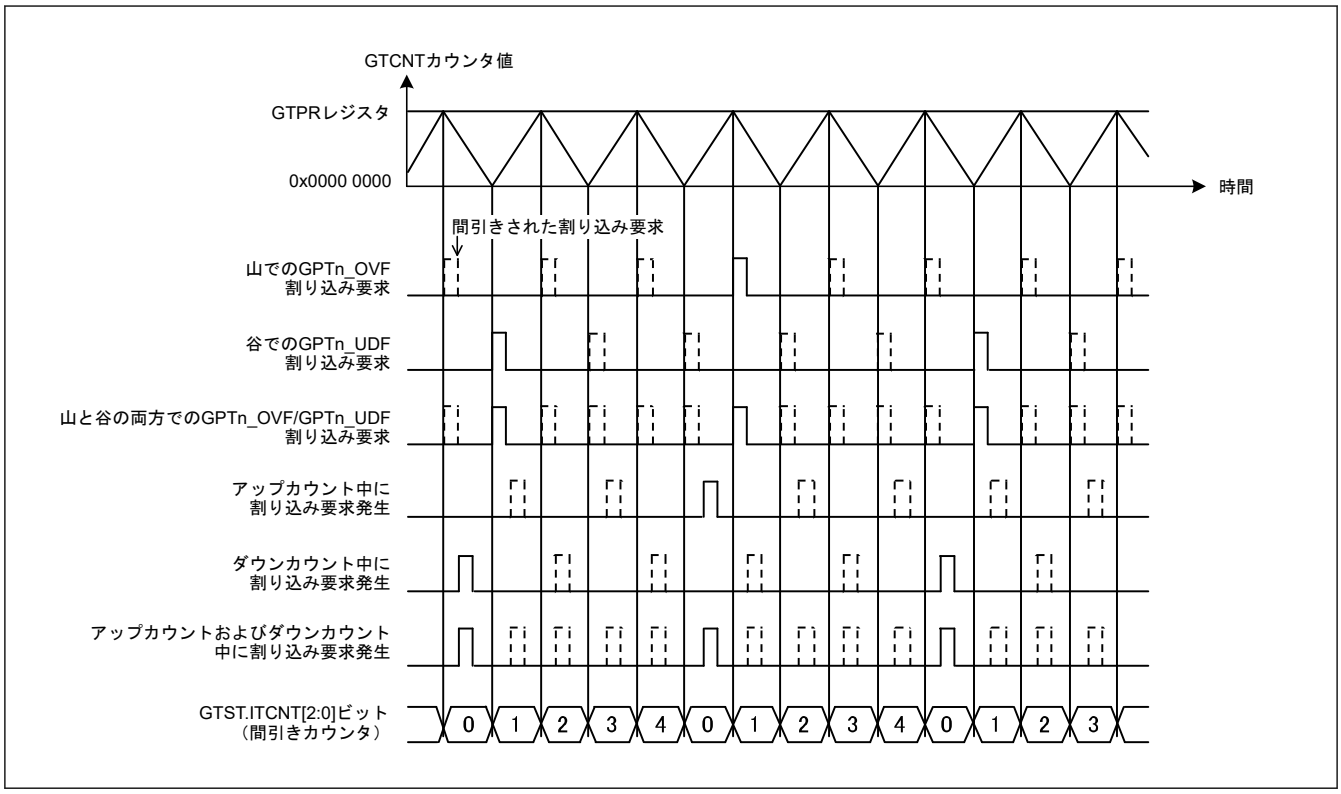


図 20.71　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 4 の場合）

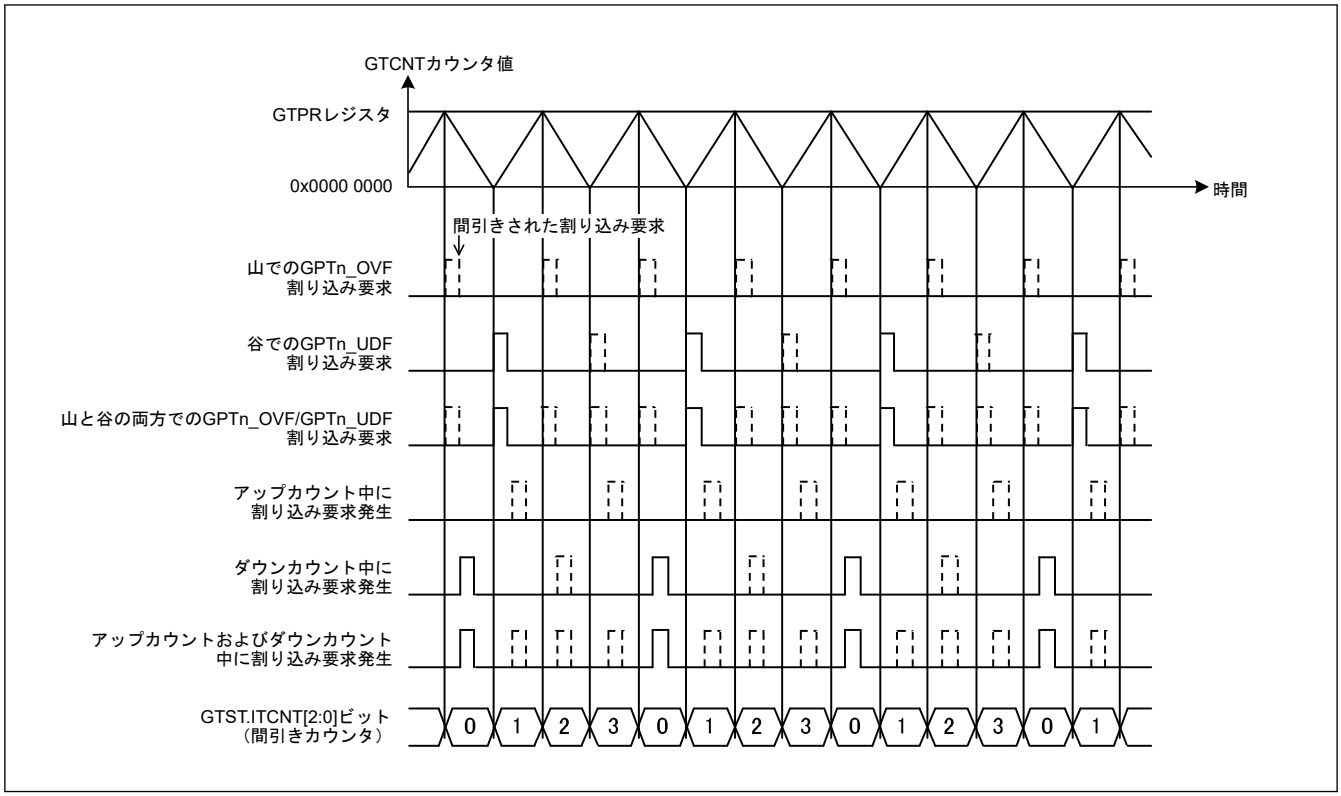


図 20.72　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合）

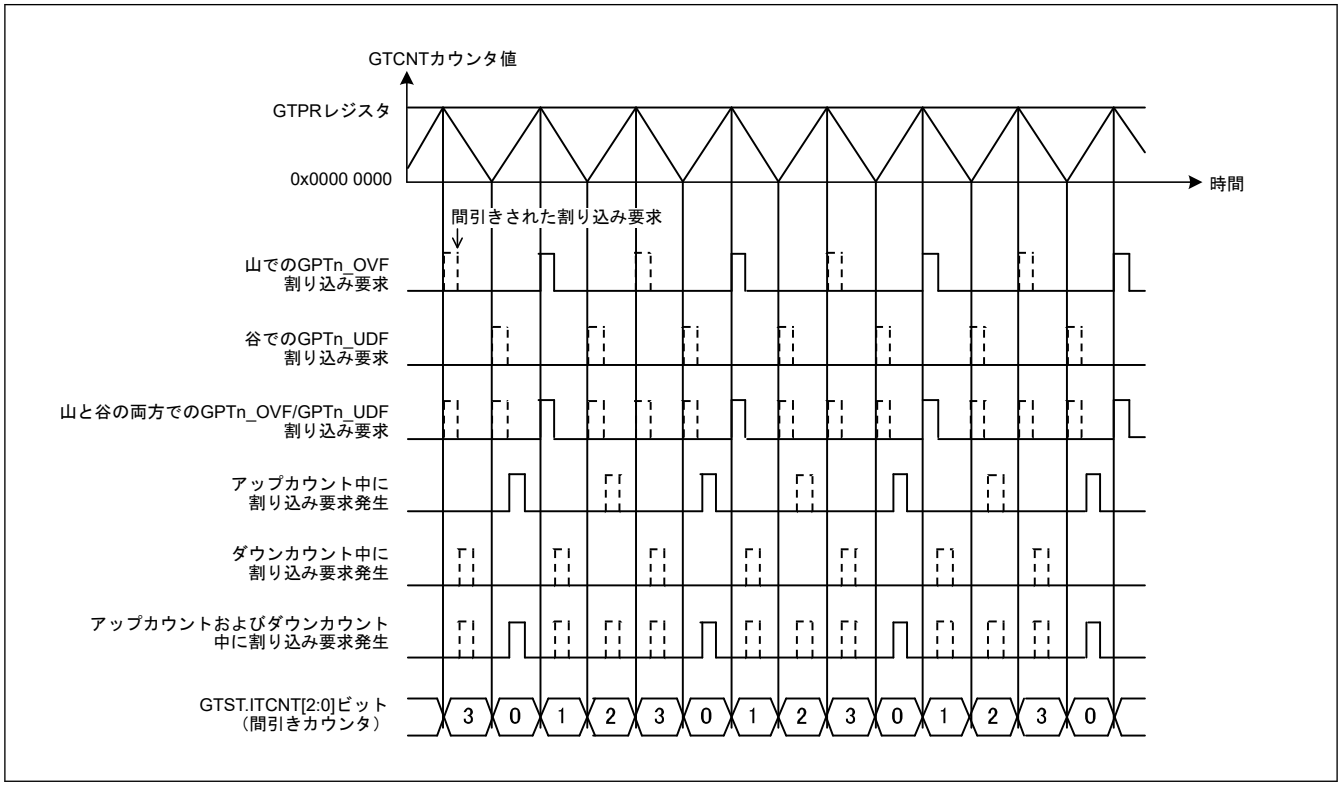


図 20.73　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 3、ダウンカウントで間引き開始の場合）

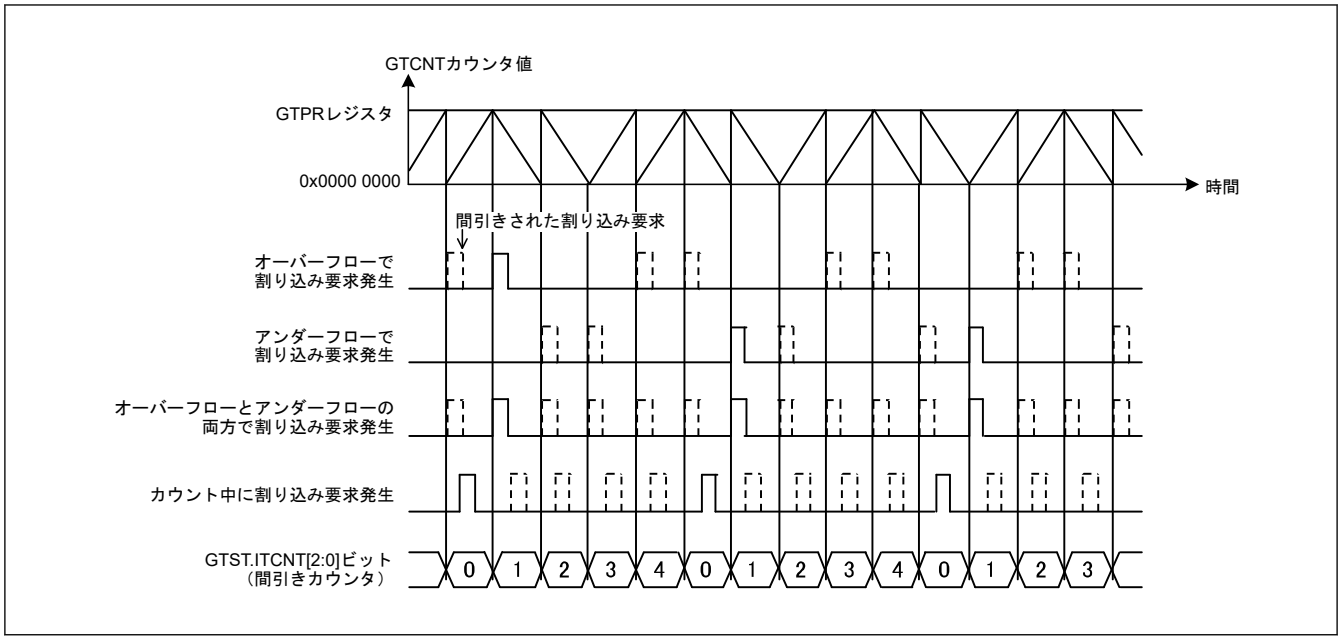


図 20.74　割り込み間引き機能の動作例（のこぎり波でカウント方向を変えながら動作、オーバーフローとアンダーフローの両方をカウントして間引き、間引き回数 4 の場合）

20.5　A/D 変換開始要求

A/D 変換開始要求は、GTCNT カウンタと GTADTRA または GTADTRB レジスタとのコンペアマッチで発生させることができます。GTINTAD レジスタを設定することで、アップカウント時のみ、ダウンカウント時のみ、アップカウントとダウンカウント両方を指定できます。

イベントカウント動作時は、A/D 変換開始要求は発生できません。

A/D 変換開始要求は、イベント信号として ELC に送信されます。

GTADTRA および GTADTRB レジスタは、それぞれ 2 つのバッファレジスタを持ちます。GTADTRA レジスタに対して GTADTBRA および GTADTDBRA レジスタを組み合わせて使用するバッファ動作と、GTADTRB レジスタに対して GTADTBRB および GTADTDBRB レジスタを組み合わせて使用するバッファ動作を実行できます。

A/D 変換開始要求の発生タイミングを外部端子で監視できます。監視対象の A/D 変換開始要求信号を GTADSMR.ADSMSk ビット (k = 0, 1) で選択し、ADSMENk ビットで出力を許可すると、A/D 変換開始要求信号の発生に使用されたタイマのサイクルフレームに同期した信号が出力されます。この出力は、GTADSMk 端子による A/D 変換開始要求信号発生時、または出力が Low の周期の終わりに High になります。A/D 変換開始要求信号が周期の終わりに発生した場合、この信号の発生がモニタ出力として優先され、次の周期の終わりまで出力は High のままとなります。A/D 変換開始要求信号の発生元である GTADTRA および GTADTRB レジスタと、そのカウント方向は、GTST レジスタの A/D 変換開始要求フラグ (ADTRAUF, ADTRADF, ADTRBUF, ADTRBDF) で確認できます。複数のチャネルに対して同一の A/D 変換開始要求信号監視出力の出力を許可している場合、それらの論理和を取った信号が GPT16E から出力されます。

図 20.75 に A/D 変換開始要求動作の例、表 20.48 に A/D 変換開始要求動作の設定例を示します。

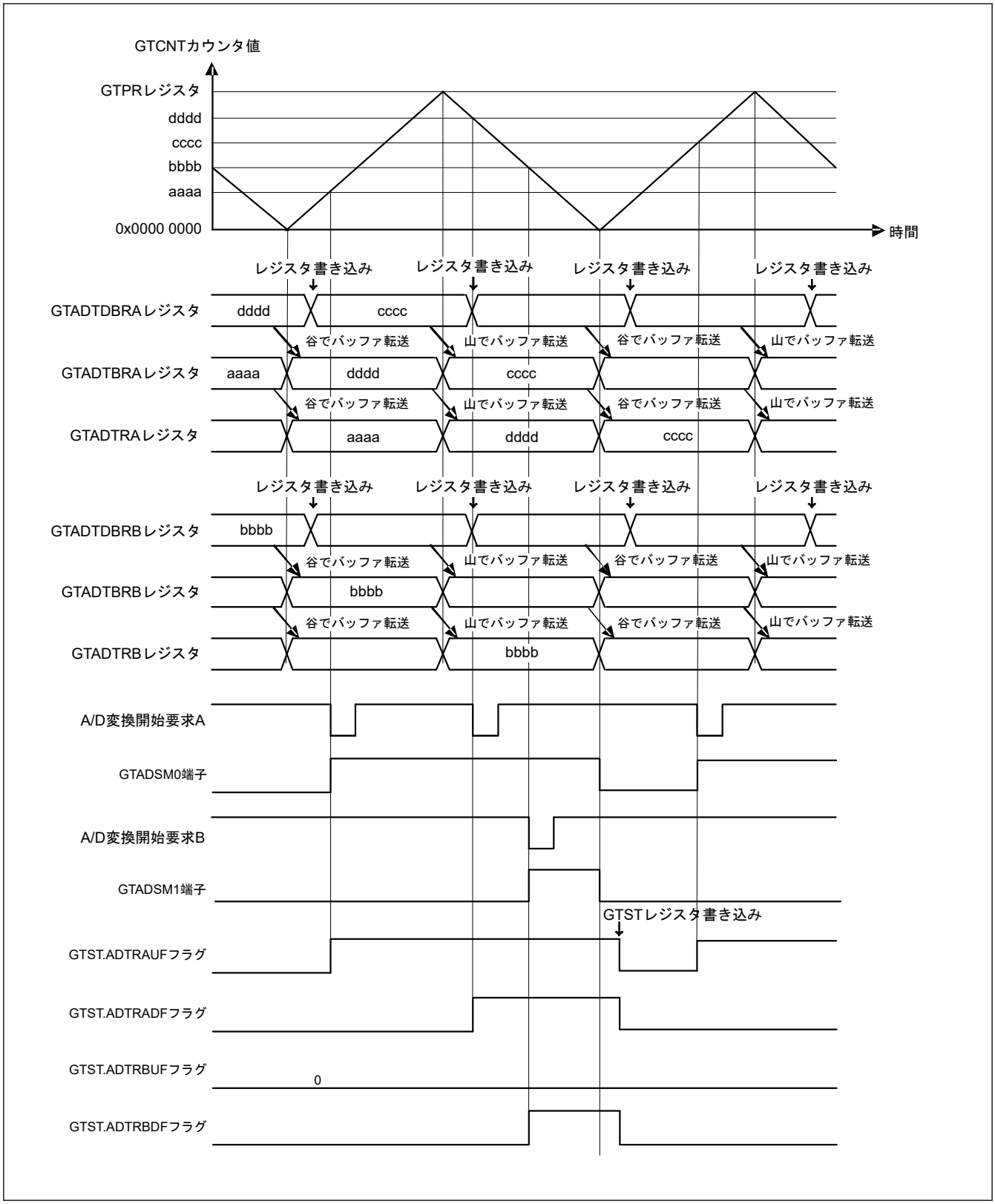


図 20.75 A/D 変換開始要求タイミング動作例（三角波、ダブルバッファ動作、谷／山両方でバッファ転送の場合、GTADTRA レジスタはアップカウント／ダウンカウント両方で A/D 変換開始要求、GTADTRB はダウンカウントで A/D 変換開始要求、GTADSM0 端子で GTADTRA レジスタのアップカウントを監視、GTADSM1 端子で GTADTRB レジスタのダウンカウントを監視の場合）

表 20.48 A/D 変換開始要求タイミング動作設定例

No.	ステップ名	説明
1	動作モード設定	GTCR.MD[2:0]ビットで動作モードを設定します。 図 20.75 では、100b、101b、または 110b（三角波 PWM モード）を設定します。
2	カウントクロックの選択	GTCR.TPCS[3:0]ビットでカウントクロックを選択します。
3	周期設定	GTPR レジスタに周期を設定します。
4	カウンタ初期値設定	GTCNT カウンタに初期値を設定します。
5	バッファ動作の設定	GTBER レジスタの ADTTA[1:0]、ADTTB[1:0]、ADTDA、および ADTDB ビットで、バッファ動作を設定します。 図 20.75 では、ADTTA[1:0] = 11b、ADTTB[1:0] = 11b、ADTDA = 1、ADTDB = 1 です。
6	コンペアマッチ値設定	A/D 変換開始要求ポイントを GTADTRA および GTADTRB レジスタに設定します。
7	バッファ値設定	バッファ動作時は、現在の周期の 1 周期後（のこぎり波の場合、および三角波で山もしくは谷でバッファ転送の場合）もしくは現在の周期の半周期後（三角波で谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA と GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、現在の周期の 2 周期後（のこぎり波の場合、および三角波で山もしくは谷でバッファ転送の場合）もしくは現在の周期の 1 周期後（三角波で谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA と GTADTDBRB レジスタに設定します。
8	監視用の A/D 変換開始要求の設定	監視する A/D 変換開始要求信号を GTADSM0 端子と GTADSM1 端子から GTADSMR レジスタの ADSMS0[1:0]ビットと ADSMS1[1:0]ビットで選択し、監視する A/D 変換開始要求信号を GTADSMR レジスタの ADSMEN0 ビットと ADSMEN1 ビットへ出力することを許可します。 図 20.75 では、ADSMS0[1:0] = 00b、ADSMS1[1:0] = 11b、ADSMEN0 = 1、ADSMEN1 = 1 です。
9	A/D 変換開始要求の許可	GTINTAD レジスタの ADTRAUEN、ADTRADEN、ADTRBUEN、および ADTRBDEN ビットで A/D 変換開始要求の許可を設定します。 図 20.75 では、ADTRAUEN = 1、ADTRADEN = 1、ADTRBUEN = 0、ADTRBDEN = 1 です。
10	カウント動作開始	GTCR.CST ビットを 1 にしてカウント動作を開始します。
11	周期ごとのバッファ値設定	バッファ動作時は、現在の周期の 1 周期後（のこぎり波の場合、および三角波で山もしくは谷でバッファ転送の場合）もしくは現在の周期の半周期後（三角波で谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTBRA と GTADTBRB レジスタに設定します。 ダブルバッファ動作時は、さらに、現在の周期の 2 周期後（のこぎり波の場合、および三角波で山もしくは谷でバッファ転送の場合）もしくは現在の周期の 1 周期後（三角波で谷と山の両方でバッファ転送の場合）の A/D 変換開始要求ポイントを GTADTDBRA と GTADTDBRB レジスタに設定します。

図 20.76 に、A/D 変換開始要求タイミング動作の例を示します。この図は、ELC による A/D 変換開始要求 A の、A/D コンバータ起動要因 0 (ELC_AD00) としての出力例を示しています。A/D 変換開始要求 A 信号は、GTADTRA レジスタとのコンペアマッチ成立により ELC によって出力されます。A/D 変換開始要求 A は、PCLKA の次の立ち上がりエッジで ELC に渡されます。

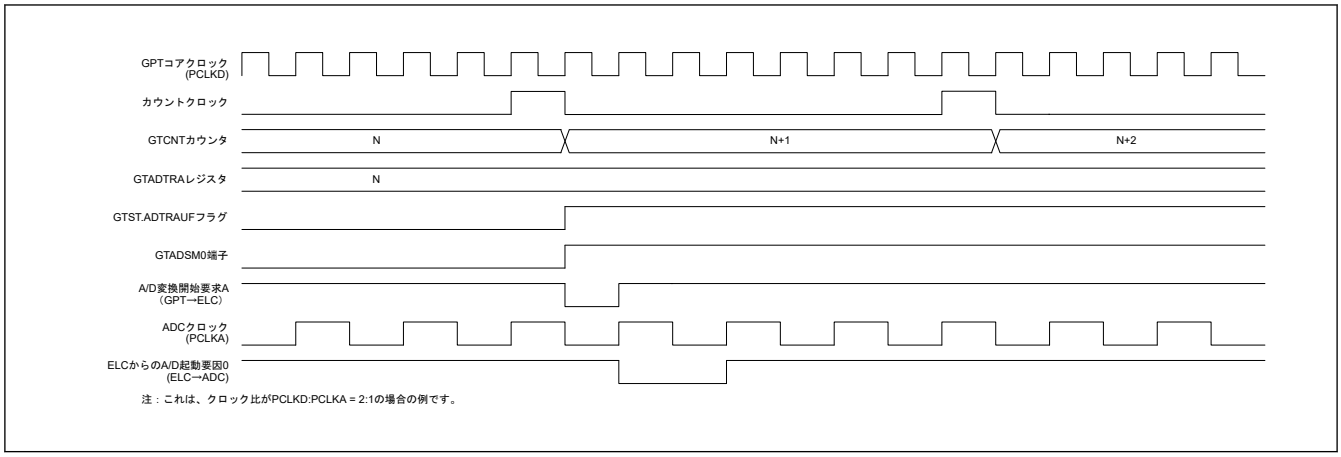


図 20.76　A/D 変換開始要求タイミング動作例

A/D 変換開始要求の制限事項については、「17. イベントリンクコントローラ (ELC)」を参照してください。

20.6　ELC によるリンク動作

20.6.1　ELC へのイベント信号出力

GPT では、その割り込み要求信号がイベントリンクコントローラ (ELC) でイベント信号として使用された場合、あらかじめ設定しておいたモジュールとのリンク動作が可能です。

A/D 変換開始要求は、割り込み要求許可ビットによって、割り込みと ELC へのイベント出力の両方に対し、アップカウントとダウンカウントでそれぞれ個別に許可または禁止できます。

GPT には以下の ELC イベント信号があります。

- コンペアマッチ A 割り込み発生 (GPTn_CCMPA)
- コンペアマッチ B 割り込み発生 (GPTn_CCMPB)
- コンペアマッチ C 割り込み発生 (GPTn_CMPC)
- コンペアマッチ D 割り込み発生 (GPTn_CMPD)
- コンペアマッチ E 割り込み発生 (GPTn_CMPE)
- コンペアマッチ F 割り込み発生 (GPTn_CMPF)
- オーバーフロー割り込み発生 (GPTn_OVF)
- アンダーフロー割り込み発生 (GPTn_UDF)
- A/D 変換開始要求 A 発生 (GPTn_ADTRGA)
- A/D 変換開始要求 B 発生 (GPTn_ADTRGB)
- 周期計数機能の終了 (GPTm_PC)

注.　n = 0, 1, 4, 5
　　m = 0, 1, 4, 5

20.6.2　ELC からのイベント信号入力

GPT は、イベントリンクコントローラ (ELC) からの最大 8 個のイベントに対して、以下の動作の実行が可能です。

- カウントスタート／ストップ／クリア
- アップカウント／ダウンカウント
- インプットキャプチャ

ELC とイベント信号入力の接続関係は、「17. イベントリンクコントローラ (ELC)」を参照してください。

20.7 ノイズフィルタ機能

GPT のインプットキャプチャ入力端子とホールセンサ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3 サンプリング周期に満たない長さのパルスを除去します。

ノイズフィルタ機能では、端子ごとにノイズフィルタ機能を有効／無効にすることや、チャネルごとにサンプリングクロックを設定することが可能です。

図 20.77 にノイズフィルタのタイミングを示します。

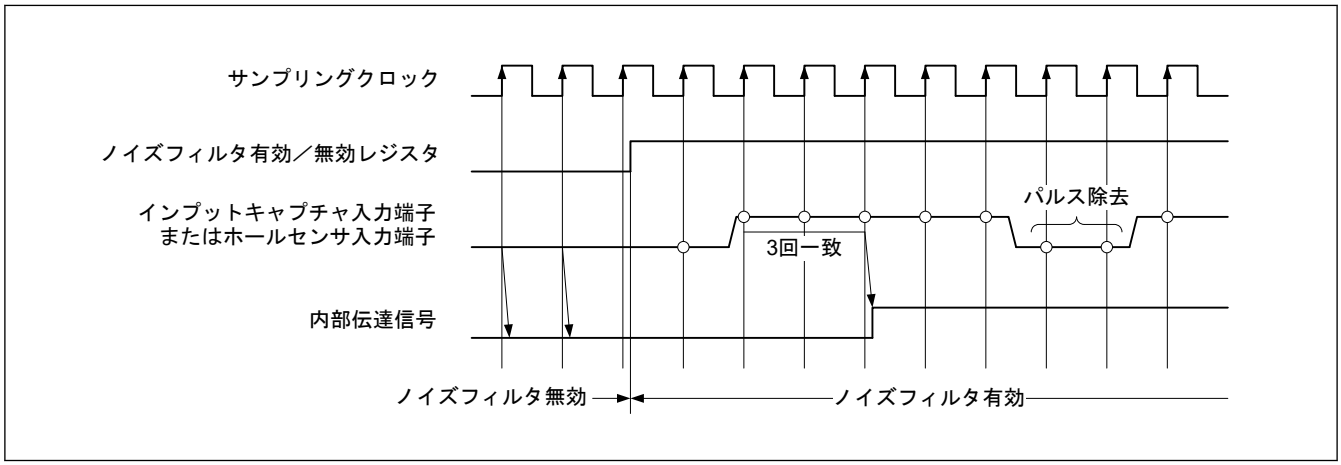


図 20.77 ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、（サンプリング周期 × 2 + PCLKD）の最短の遅延の後、ノイズフィルタ対象信号のエッジでインプットキャプチャ動作またはホールセンサ入力動作が実行されます。この遅延は、インプットキャプチャ入力またはホールセンサ入力に対するノイズフィルタリングに起因するものです。

20.8 保護機能

20.8.1 レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTICBSR, GTCR, GTUDDTYC, GTIOR, GTINTAD, GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR, GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR, GTADSMR, GTICLF, GTPC

GTSTR、GTSTP、および GTCLR レジスタ（他のチャネルの対応するレジスタを更新することができ、反対に他のチャネルの対応するレジスタによって更新されることができる）のすべてのビットは、チャネルごとにそれぞれ GTWP の STRWP、STPWP、および CLRWP ビットを設定することによって保護できます。

同様に、GTSECSR レジスタや GTSECR レジスタ（既定のチャネルの GTSECSR レジスタや GTSECR レジスタへの書き込みにより、全チャネルを制御可能）への書き込みは、GTWP.CMNWP ビットの設定により、許可または禁止することができます。

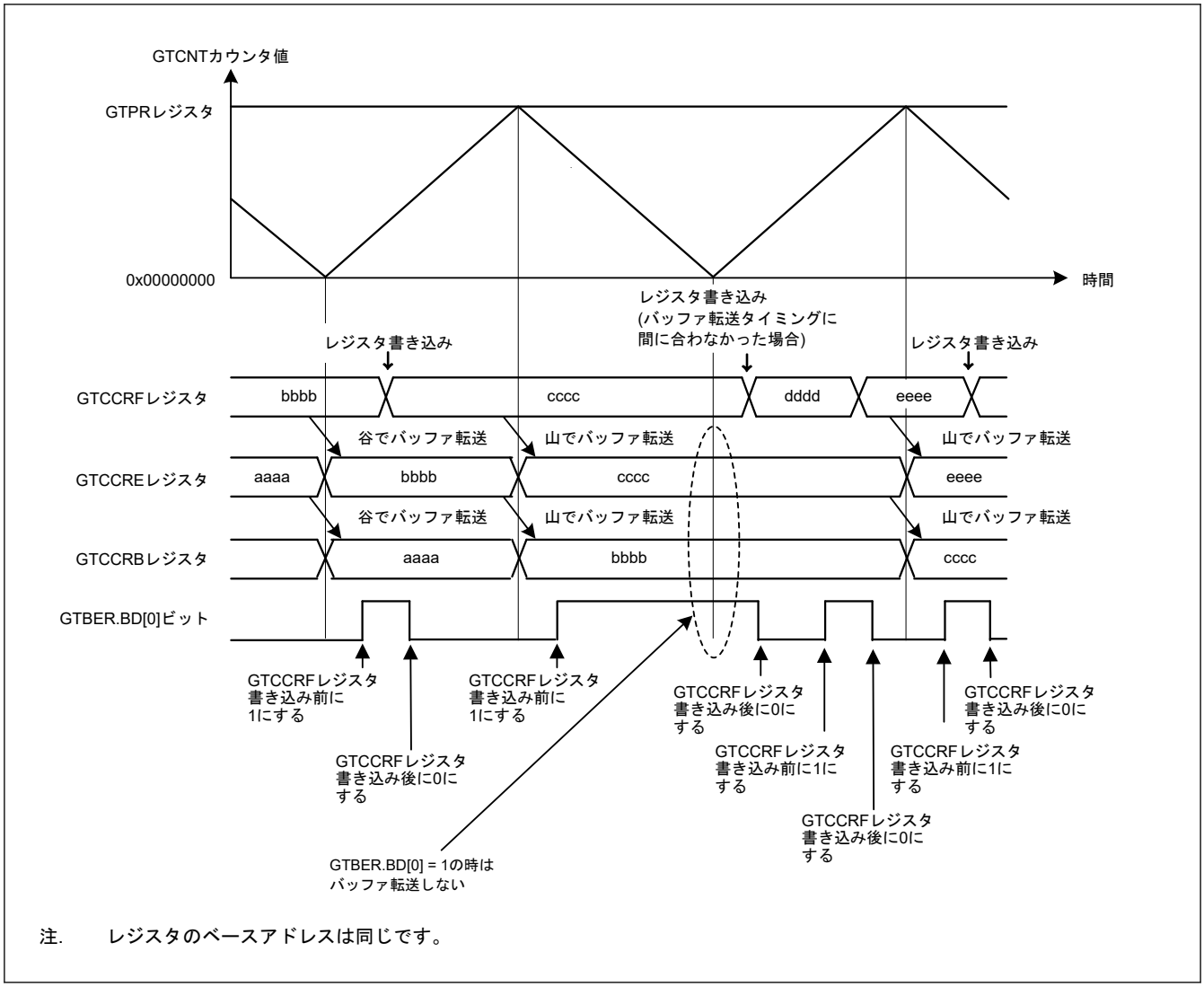
GTWP レジスタによる保護は、CPU による書き込み動作のみを対象としています。CPU 書き込みに連動して発生するレジスタの更新は、保護の対象外です。

20.8.2 バッファ動作の禁止

バッファレジスタへの書き込みのタイミングがバッファ転送より遅延している場合、GTBER.BD[3]、BD[2]、BD[1]、BD[0]ビットの設定でバッファ動作の中断が可能です。具体的には、バッファレジスタへの書き込み中にバッファ転送条件が発生しても、バッファ転送を一時的に禁止することが可能です。そのためには、バッファレジスタの書き込み前に BD[3]、BD[2]、BD[1]、BD[0]ビットを 1（バッファ動作禁止）にしておき、すべてのバッファレジスタへの書き込み終了後に 0（バッファ動作許可）に戻します。

BD[3]、BD[2]、BD[1]、BD[0]ビットは、GTBER レジスタに直接書き込むことでチャネル毎に設定できます。あるいは、GTSECSR によって事前に設定された複数のチャネルに対して GTSECR レジスタを設定することで同時に 0 にすることもできます。

GTBER レジスタに書き込むことによってバッファ動作を禁止にする動作の例を図 20.78 に示します。



注. レジスタのベースアドレスは同じです。

図 20.78 バッファ動作禁止の動作例（三角波、ダブルバッファ動作、谷および山の両方でバッファ転送の場合）

20.8.2.1 複数チャネルのバッファ動作の同時制御

GTBER.BD ビットは、チャネル毎の GTBER レジスタに直接書き込むか、GTSECSR にすでに設定された複数チャネルの GTSECR レジスタ内に設定を作成することにより設定できます。

複数チャネルの GTBER.BD ビットを同時に設定するには、以下の手順に従ってください。

1. GTSECSR レジスタによる同時設定用チャネルを選択してください。
   同時設定する GTBER.BD ビットのチャネルに対応するビット位置の値が 1 になるように、GTSECSR レジスタを設定してください。いずれかのチャネルの GTSECSR レジスタに書き込むと、全ての GTSECSR レジスタを更新できます。
2. GTSECR レジスタを更新することで、同時に GTBER.BD ビットを設定します。
   同時に設定される GTBER.BD ビットの動作（バッファ動作を許可／禁止）を、GTSECR レジスタで設定します。いずれかのチャネルの GTSECR レジスタに書き込むと、GTSECR レジスタの値に応じて GTSECSR レジスタに 1 が設定されているビットに対応する全てのチャネルの GTBER.BD ビットを更新します。

図 20.79 と図 20.80 に複数チャネルのバッファ動作の許可または禁止の同時制御の例を示します。

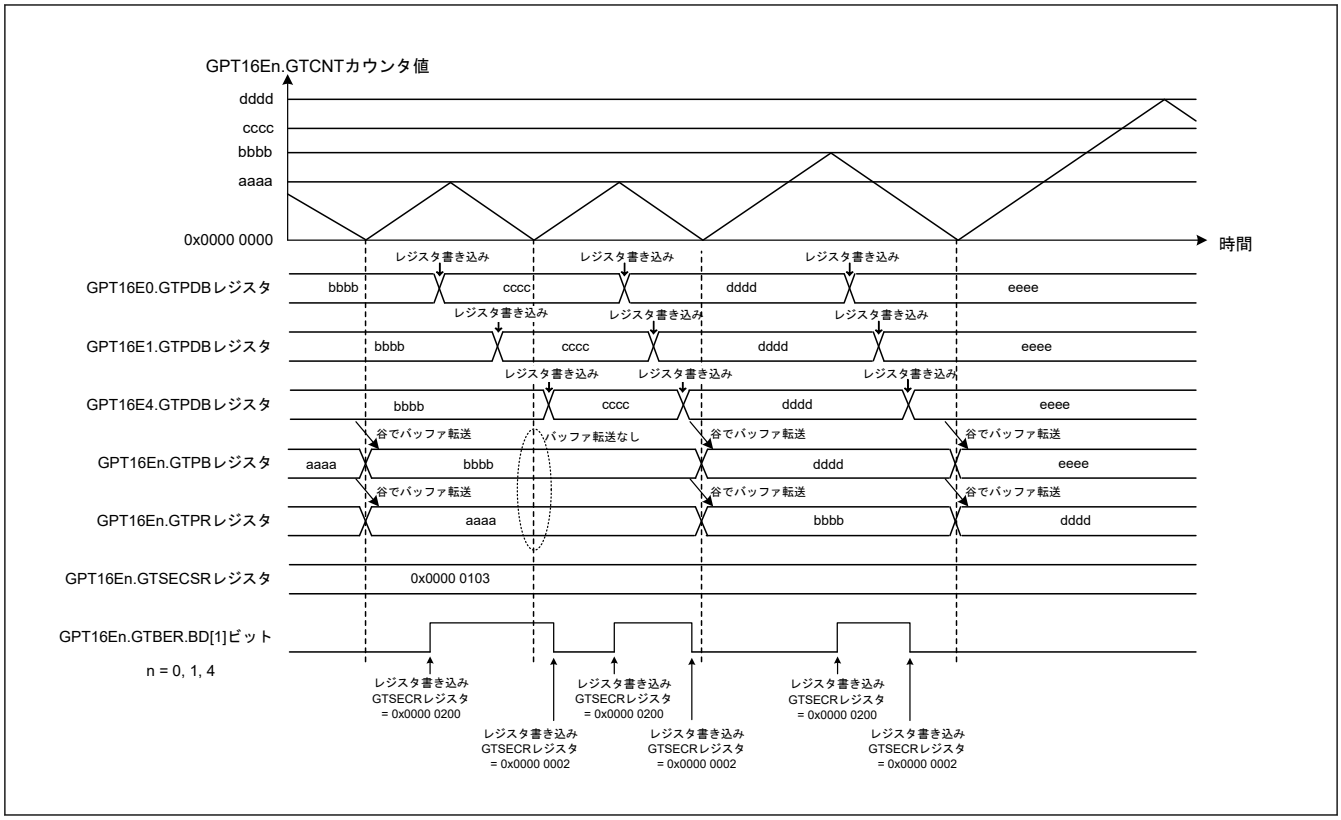


図 20.79　バッファ動作禁止の複数チャネルの動作例（三角波、ダブルバッファ動作）

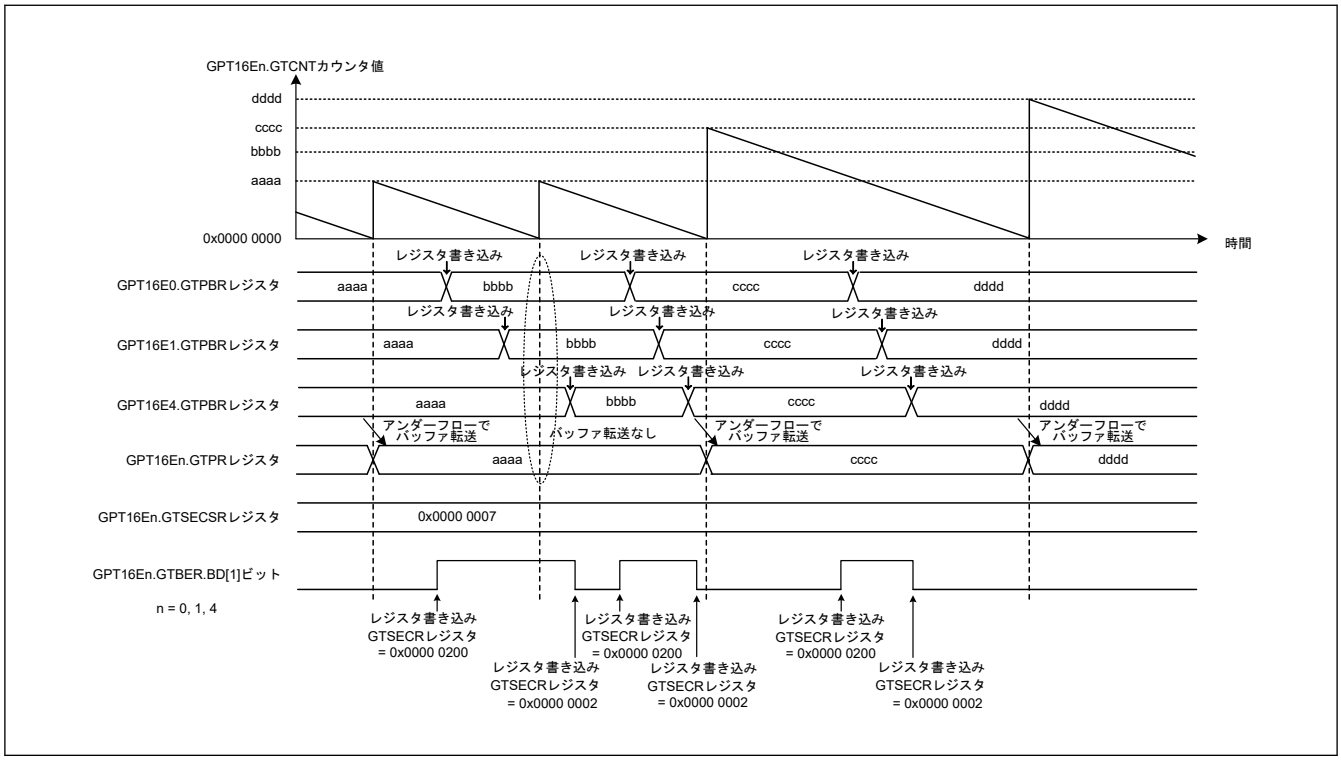


図 20.80　バッファ動作禁止の複数チャネルの動作例（のこぎり波、シングルバッファ動作）

20.8.3　GTIOCnm 端子出力の出力禁止制御 (n = 0, 1, 4, 5, m = A, B)

システム異常時の保護のため、POEG からの出力禁止要求によって、GTIOCnm 端子出力値を強制的に変更する出力禁止制御を、GTIOCnm 端子出力に対して行うことができます。デッドタイムエラーまたは同じ出力レベルが GTIOCnA 端子と GTIOCnB 端子に検出されるとき、出力保護が要求されます。GTINTAD.GRPDTE、

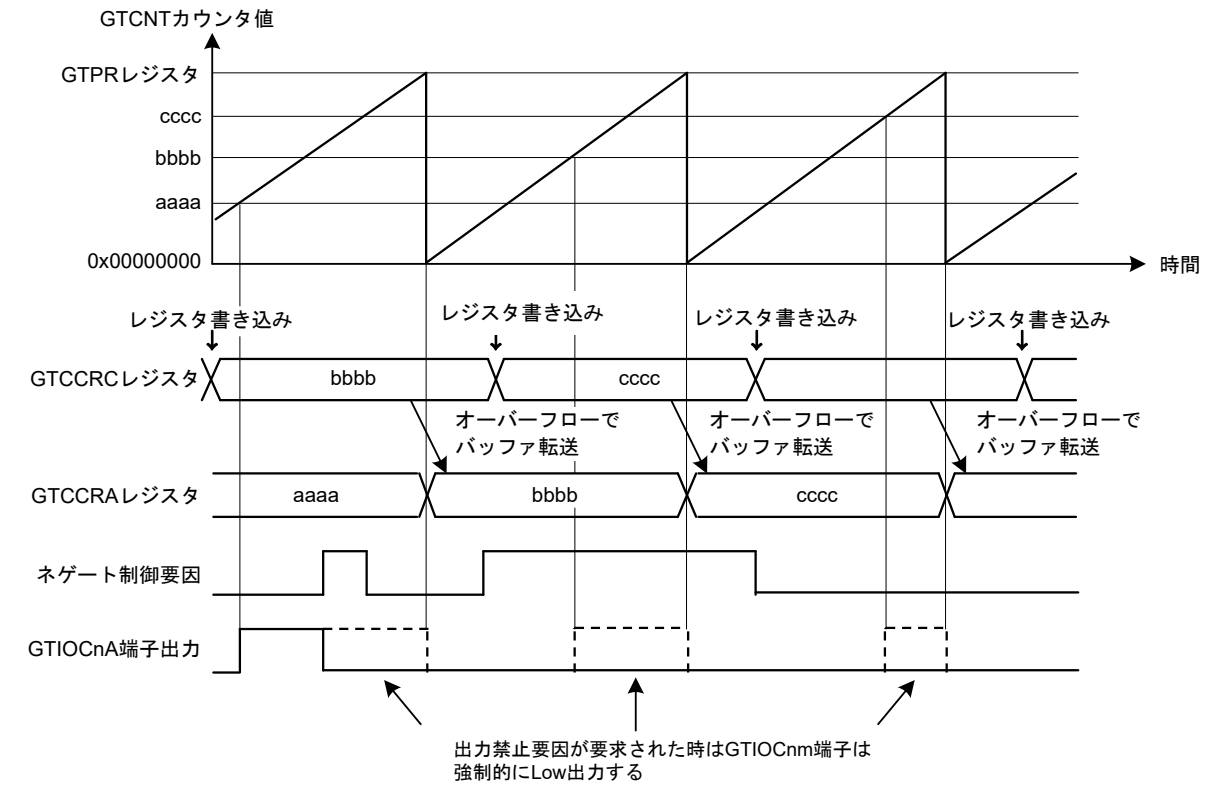
GTINTAD.GRPABH、GTINTAD.GRPABL などの出力禁止要求許可ビットの設定に従って、GPT はこの条件を検出し、POEG に出力禁止要求を発生させます。POEG が各チャネルからの出力禁止要求と外部入力からの出力禁止要求の論理和をとった後で、POEG は GPTT に対して出力禁止要求を発生させます。

GTINTAD.GRP[1:0]ビットを設定することで、GTIOCnA 端子と GTIOCnB 端子共通の出力禁止要求信号として、POEG から入力される 4 本の出力禁止要求から 1 本を選択することができます。選択された出力禁止要求は、GTST.ODF フラグを読むことにより確認することができます。出力禁止時の端子状態は、GTIOCnA 端子は GTIOR.OADF[1:0]ビット、GTIOCnB 端子は GTIOR.OBDF[1:0]ビットで設定することができます。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止要求の条件が満たされなくなり出力禁止要求が解除されるのは、最短で 3PCLKD 目以降です。出力禁止を確実に制御するには、4 サイクルの PCLKD を経過して出力禁止要求の条件が満たされなくなってから、出力を禁止するための POEG のフラグをクリアしてください。

イベントカウント動作時、または周期の終わりを待たずにすぐに出力禁止状態を解除したい場合は、GTIOCnA 端子は GTIOR.OADF[1:0]ビットを 00b に、GTIOCnB 端子は GTIOR.OBDF[1:0]ビットを 00b にしてください。

図 20.81 に GTIOCnm 端子出力禁止制御の動作例を示します。(n = 0, 1, 4, 5, m = A, B)



注. レジスタのベースアドレスは同じです。

図 20.81 GTIOCnm 端子出力禁止制御動作例（のこぎり波でアップカウント、バッファ動作、アクティブレベル 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合）(n = 0, 1, 4, 5, m = A, B)

20.8.4 GTIOCnm 端子出力の出力保護機能

GTCCRA レジスタに誤った値（0 か、GTPR レジスタの値と等しいかより大きい値）が設定された場合に備えて、三角波 PWM モードで自動デッドタイムが設定されているとき (GTDTCR.TDE = 1)、GTIOCnm 端子出力の出力保護機能（禁止機能）が起動されます。

出力保護機能の動作状態は、GTSOS.SOS[1:0]ビットで確認することができます。

図 20.82 に出力保護機能の状態遷移を示します。

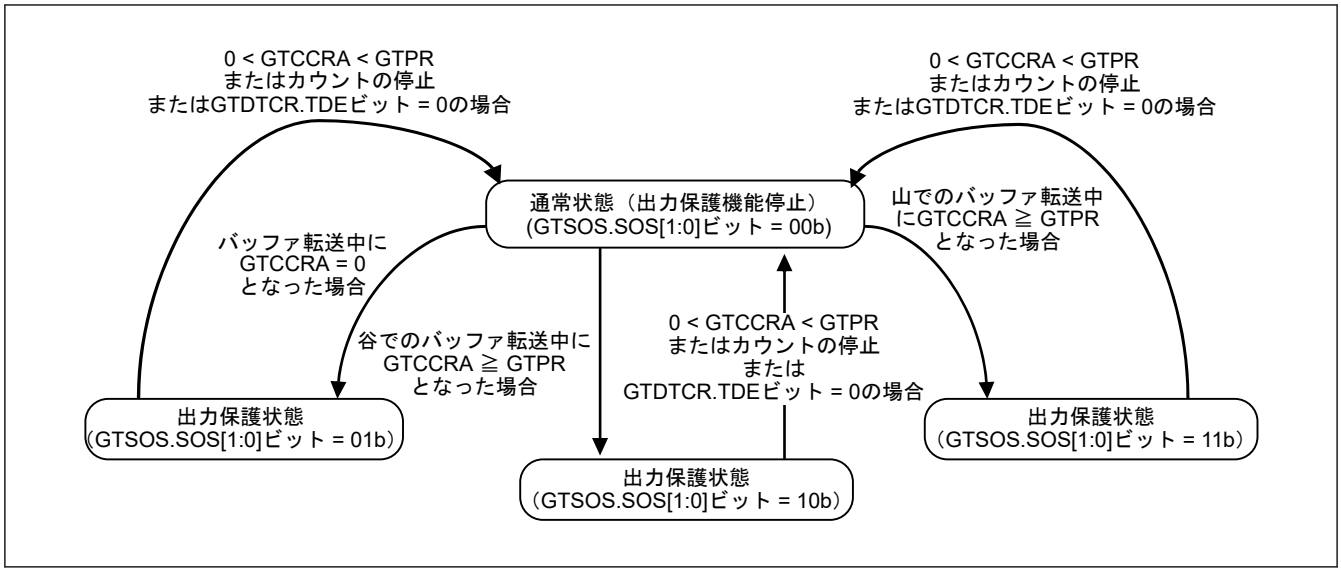
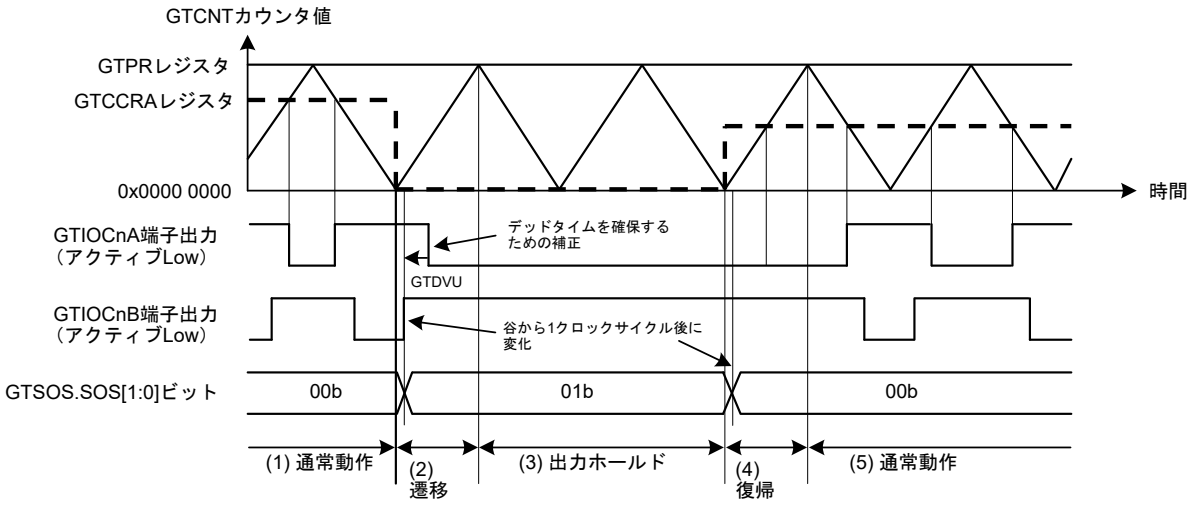


図 20.82　出力保護機能

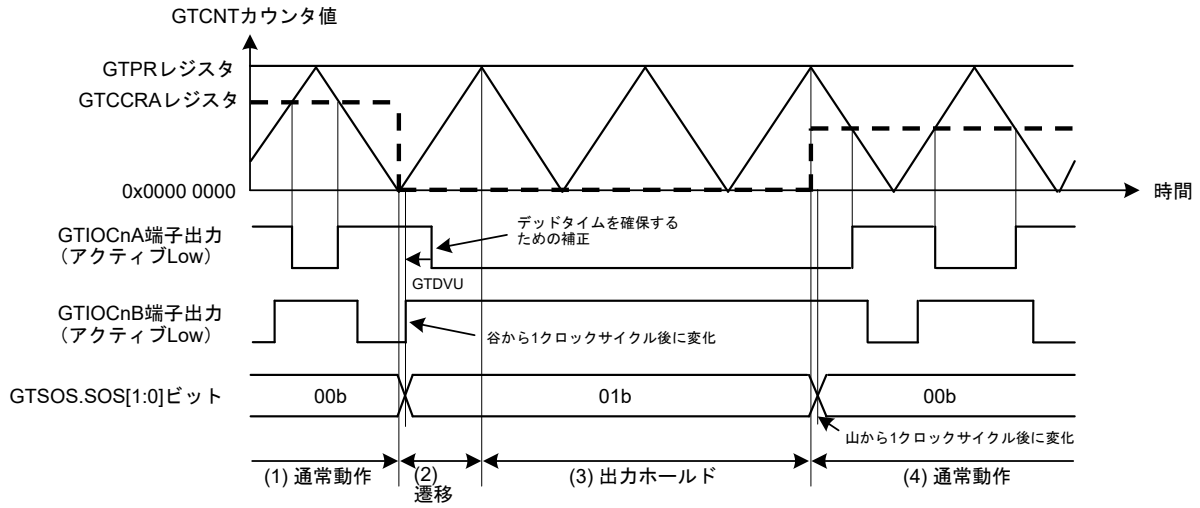
(1)　バッファ転送中に GTCCRA レジスタが 0x00000000 になった場合の出力保護機能

図 20.83 と図 20.84 に、谷でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例を示します。図 20.85 と図 20.86 に、山でのバッファ転送中に GTCCRA レジスタが 0 になった場合の例を示します。



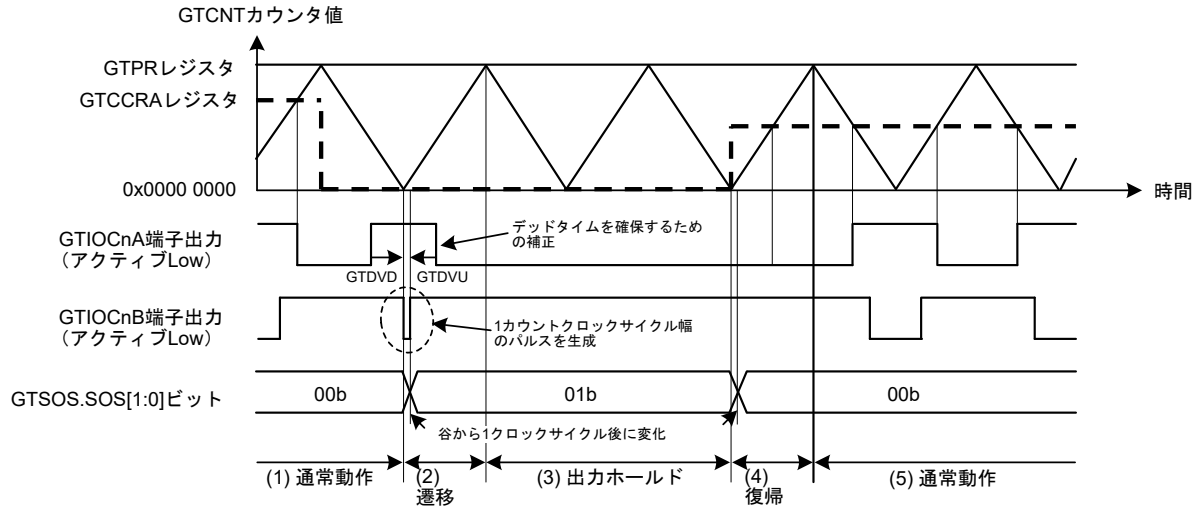
(1) 通常動作期間：　コンペアマッチによるトグル出力が正常に行われます。
(2) 遷移期間：　GTCCRA = 0が谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 01bに変わり、次の山まで出力のトグルが継続します。
(3) 出力ホールド期間：　GTCCRA = 0である間、出力をホールドします。
(4) 復帰期間：　0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、次の山まで出力が保持されます。
(5) 通常動作期間：　コンペアマッチによるトグル出力が正常に行われます。

図 20.83　谷でのバッファ転送中に GTCCRA が 0 になったときの出力保護機能の動作例（谷でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベルは Low）(n = 0, 1, 4, 5)



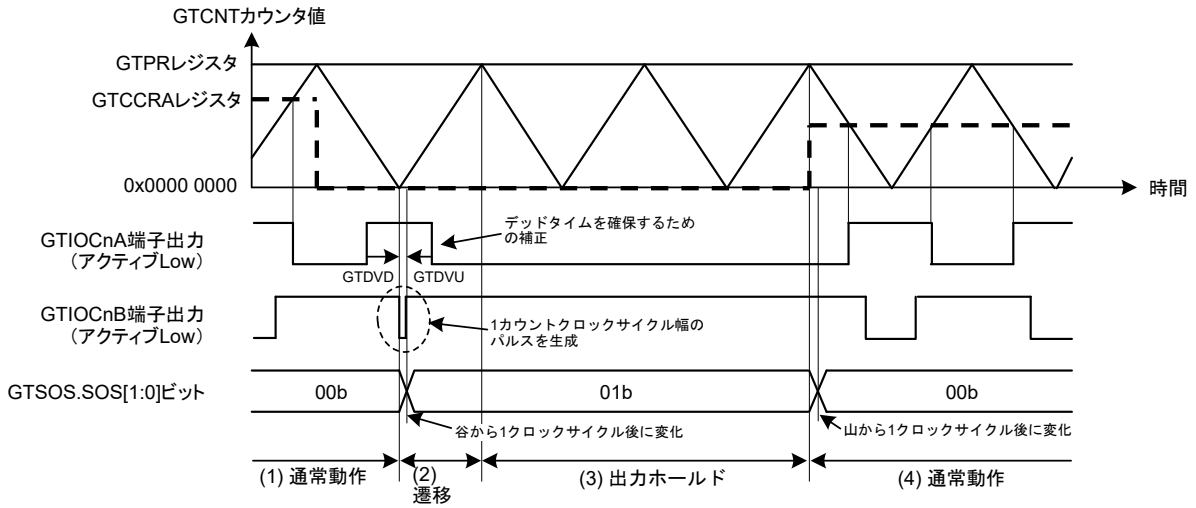
(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われます。
(2) 遷移期間： GTCCRA = 0が谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 01bに変わり、次の山まで出力のトグルが継続します。
(3) 出力ホールド期間： GTCCRA = 0である間、出力をホールドします。
(4) 通常動作期間： 0 < GTCCRA < GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 20.84 谷でのバッファ転送中に GTCCRA が 0 になったときの出力保護機能の動作例（山でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベルは Low）(n = 0, 1, 4, 5)



(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われます。
(2) 遷移期間： GTCCRA = 0が谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 01bに変わり、次の山まで出力のトグルが継続します。
(3) 出力ホールド期間： GTCCRA = 0である間、出力をホールドします。
(4) 復帰期間： 0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、次の山まで出力が保持されます。
(5) 通常動作期間： コンペアマッチによるトグル出力が正常に行われます。

図 20.85 山でのバッファ転送中に GTCCRA が 0 になったときの出力保護機能の動作例（谷でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベルは Low）(n = 0, 1, 4, 5)

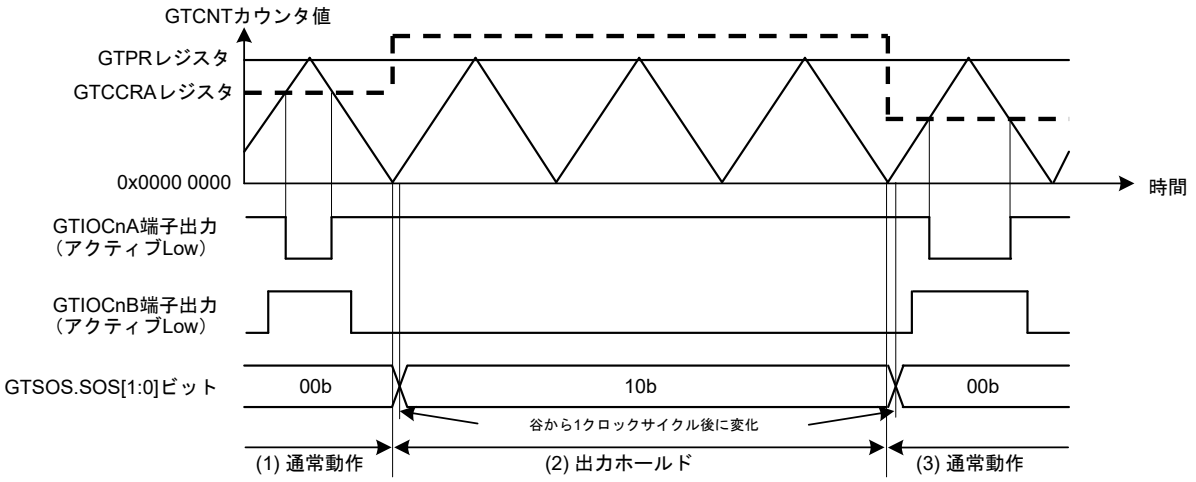


(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われます。
(2) 遷移期間： GTCCRA = 0が谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 01bに変わり、次の山まで出力のトグルが継続します。
(3) 出力ホールド期間： GTCCRA = 0である間、出力をホールドします。
(4) 通常動作期間： 0 < GTCCRA < GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 20.86 山でのバッファ転送中に GTCCRA が 0 になったときの出力保護機能の動作例（山でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベルは Low）(n = 0, 1, 4, 5)

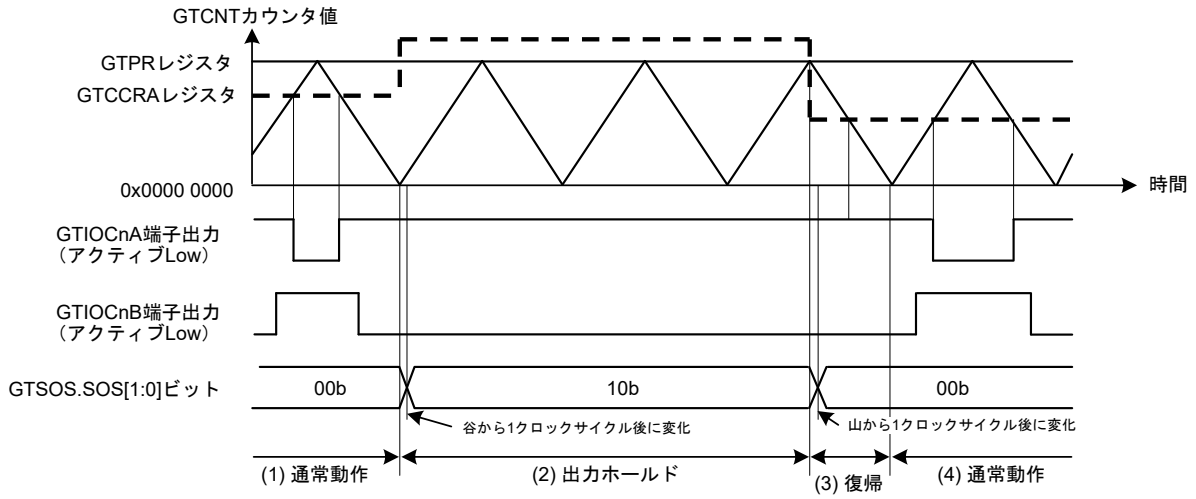
(2) 谷のバッファ転送で GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能

図 20.87 と図 20.88 に、谷でのバッファ転送中に GTCCRA レジスタ ≧ GTPR レジスタとなった場合の出力保護機能の動作例を示します。



(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われます。
(2) 出力ホールド期間： GTCCRA ≧ GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 10bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。
(3) 通常動作期間： 0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 20.87 谷でのバッファ転送中に GTCCRA ≧ GTPR となったときの出力保護機能の動作例（谷でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベルは Low）(n = 0, 1, 4, 5)

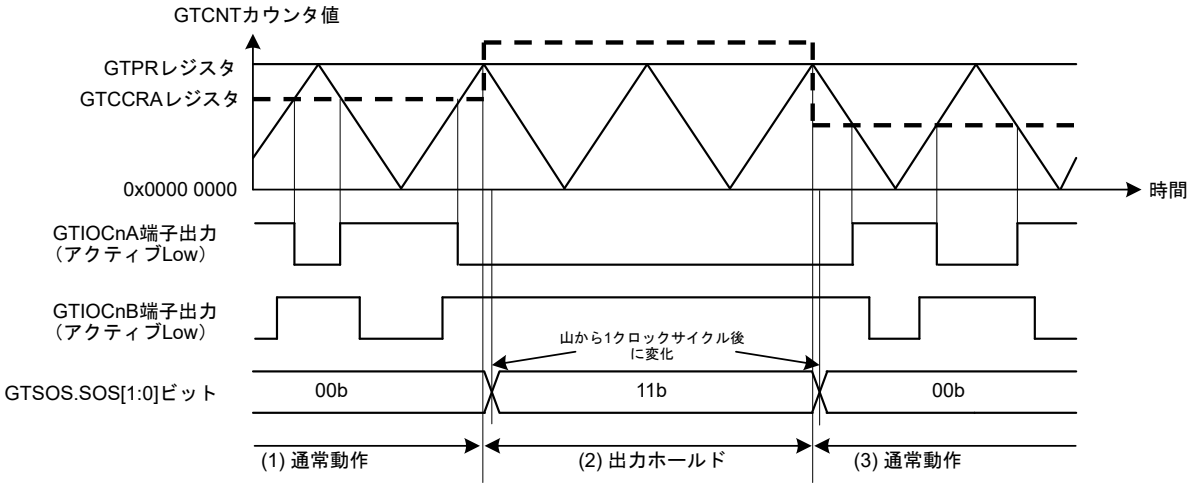


(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われます。
(2) 出力ホールド期間： GTCCRA ≥ GTPRが谷で検出されると、出力保護ステータスは次のように変化します。
GTSOS.SOS[1:0]ビット = 10bとなり、GTCCRA ≥ GTPRの間は出力が保持されます。
(3) 復帰期間： 0 < GTCCRA < GTPRが山で検出されると、出力保護ステータスは次のように変化します。
GTSOS.SOS[1:0]ビット = 00bとなり、出力保持は次の谷まで維持されます。
(4) 通常動作期間： コンペアマッチによるトグル出力が正常に行われます。

図 20.88 谷でのバッファ転送中に GTCCRA ≧ GTPR となったときの出力保護機能の動作例（山でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベルは Low）(n = 0, 1, 4, 5)

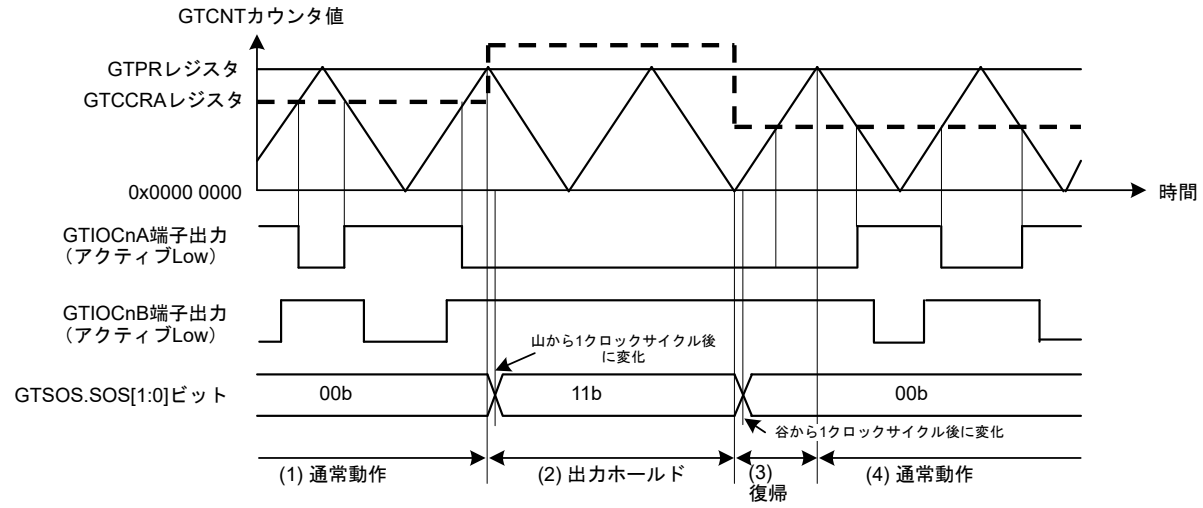
(3) 山でのバッファ転送中に GTCCRA レジスタ≧GTPR レジスタとなった場合の出力保護機能

図 20.89 と図 20.90 に、山でのバッファ転送中に GTCCRA レジスタ ≧ GTPR レジスタとなった場合の出力保護機能の動作例を示します。



(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われます。
(2) 出力ホールド期間： GTCCRA ≧ GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 11bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。
(3) 通常動作期間： 0 < GTCCRA < GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 20.89 山でのバッファ転送中に GTCCRA ≧ GTPR となったときの出力保護機能の動作例（山でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベルは Low）(n = 0, 1, 4, 5)



(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われます。
(2) 出力ホールド期間： GTCCRA ≧ GTPRが山で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 11bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。
(3) 復帰期間： 0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、次の山まで出力が保持されます。
(4) 通常動作期間： コンペアマッチによるトグル出力が正常に行われます。

図 20.90 山でのバッファ転送中に GTCCRA ≧ GTPR となったときの出力保護機能の動作例（谷でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベルは Low）(n = 0, 1, 4, 5)

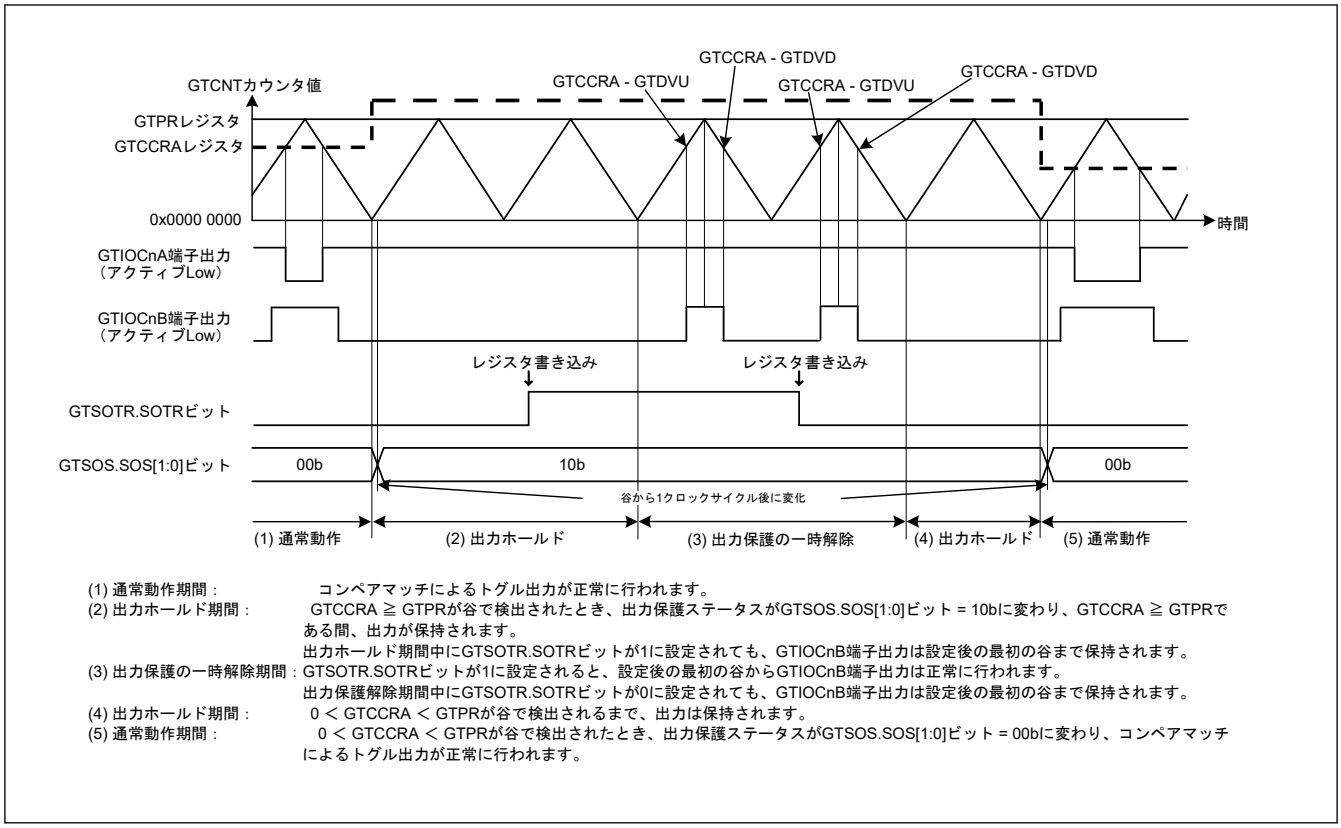
(4) 出力保護機能の仕様上の制約事項

カウント動作で GTCCRA レジスタに誤った値（0 か、GTPR レジスタの値と等しいかより大きい値）が設定されても、出力保護機能が指定された通り働き、正相および逆相のうちいずれかの出力が非アクティブになります。ただし、下記の条件を満足しない場合、出力保護機能は正常に動作しません。

- カウント動作開始時点の GTCCRA レジスタの値が 0 より大きく、GTPR レジスタの設定値より小さい場合

(5) 出力保護機能の一時解除

GTSOS.SOS[1:0] = 10b（谷の転送で GTCCRA レジスタ ≧ GTPR レジスタとなったことを示す保護状態）の場合、GTSOTR.SOTR ビットを 1 にすると、GTIOCnB 端子出力の保護状態を一時的に解除できます。出力保護機能を解除しても、SOS[1:0]ビットは 10b を保持します。また、SOTR ビットを 0 にすると、GTIOCnB 端子出力保護を再開できます。図 20.91 に、谷でのバッファ転送中に GTCCRA レジスタ ≧ GTPR レジスタとなった場合の出力保護機能の一時解除の動作例を示します。



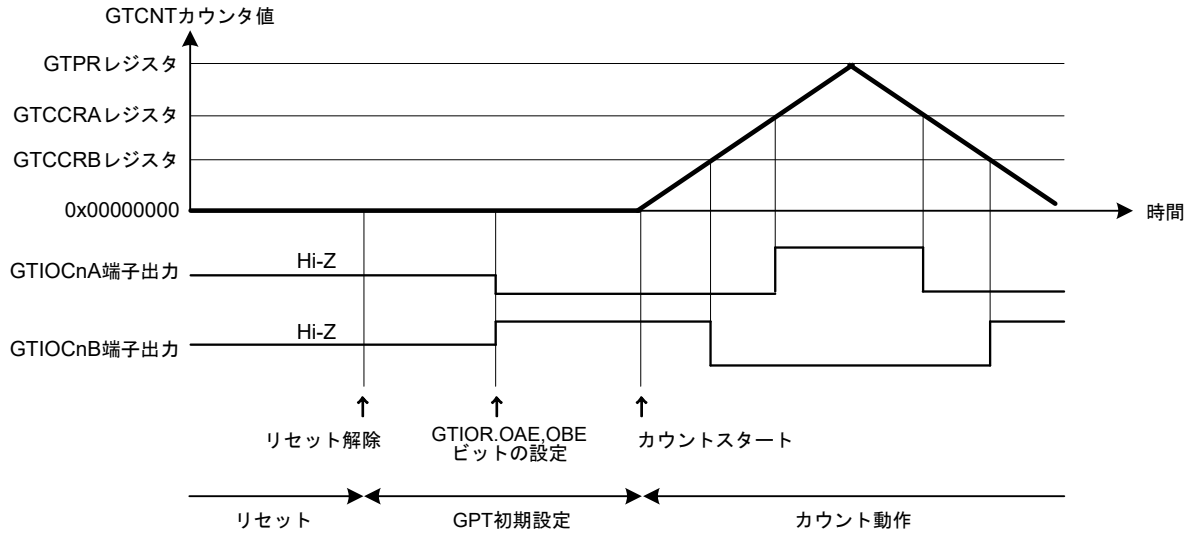
(1) 通常動作期間： コンペアマッチによるトグル出力が正常に行われます。
(2) 出力ホールド期間： GTCCRA ≧ GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 10bに変わり、GTCCRA ≧ GTPRである間、出力が保持されます。
出力ホールド期間中にGTSOTR.SOTRビットが1に設定されても、GTIOCnB端子出力は設定後の最初の谷まで保持されます。
(3) 出力保護の一時解除期間：GTSOTR.SOTRビットが1に設定されると、設定後の最初の谷からGTIOCnB端子出力は正常に行われます。
出力保護解除期間中にGTSOTR.SOTRビットが0に設定されても、GTIOCnB端子出力は設定後の最初の谷まで保持されます。
(4) 出力ホールド期間： 0 < GTCCRA < GTPRが谷で検出されるまで、出力は保持されます。
(5) 通常動作期間： 0 < GTCCRA < GTPRが谷で検出されたとき、出力保護ステータスがGTSOS.SOS[1:0]ビット = 00bに変わり、コンペアマッチによるトグル出力が正常に行われます。

図 20.91 谷でのバッファ転送中に GTCCRA ≧ GTPR となった場合の出力保護の一時解除の例（谷でのバッファ転送中に 0 < GTCCRA < GTPR に復帰、アクティブレベルは Low）(n = 0, 1, 4, 5)

20.9 出力端子の初期化方法

20.9.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。ポートのモード選択設定、GTIOR.OAE ビット、 GTIOR.OBE ビットの設定を行い、GPT 機能を外部端子出力にした後、カウント動作を開始してください。



[設定例]
GTIOR.GTIOA[4:0]ビットの設定: 初期出力はLow出力、周期の終わりで出力保持、コンペアマッチでトグル出力
GTIOR.GTIOB[4:0]ビットの設定: 初期出力はHigh出力、周期の終わりで出力保持、コンペアマッチでトグル出力

注. レジスタのベースアドレスは同じです。

図 20.92 リセット後の端子設定例

20.9.2 動作中の異常による端子の初期化

GPT の動作中に異常が発生した場合、端子を初期化する前に、下記の 4 種類の端子コントロールを実行できます。

- GTIOR レジスタの OAHLD および OBHLD ビットを 1 にして、カウントストップ時の出力を保持する
- GTIOR レジスタの OAHLD および OBHLD ビットを 0 にするとともに、GTIOR レジスタの OADFLT および OBDFLT ビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめ I/O ポートの PDR、PODR、PMR ビットを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIOR レジスタの OAE および OBE ビットを 0 にするとともに、端子に対応した PMR ビットの制御ビットを 0 にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- POEG 機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行ったときは、カウントストップ後に GTDTCR.TDE ビットを 0 にしてください。カウントストップ時は、GPT の外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウントを停止させた場合は、各レジスタを初期化してからカウントを開始してください。

20.10 使用上の注意事項

20.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、GPT の動作禁止／許可を設定することができます。リセット後の値では、GPT の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

20.10.2 コンペアマッチ動作時の GTCCRn レジスタの設定 (n = A～F)

(1) 三角波 PWM モードでデッドタイムの自動設定を行う場合

GTCCRA レジスタは次のすべての条件を満たす必要があります。

- GTDVU < GTCCRA
- GTCCRA > GTDVD
- 0 < GTCCRA < GTPR

カウント動作中に GTCCRA レジスタに、GTCCRA = 0 または GTCCRA ≧ GTPR の値が設定されると出力保護機能が動作します。ただし、下記の条件を満足しない場合、出力保護機能は正常に機能しません。

- カウント開始時の GTCCRA レジスタの値が、0 ＜ GTCCRA ＜ GTPR

(2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、0 ＜ GTCCRA ＜ GTPR の範囲内に設定してください。GTCCRA = 0 または GTCCRA = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRA = 0 または GTCCRA = GTPR が成立したときのみとなります。また、GTCCRA ＞ GTPR が設定されると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、0 ＜ GTCCRB ＜ GTPR の範囲内に設定してください。GTCCRB = 0 または GTCCRB = GTPR が設定されると、周期内で発生するコンペアマッチは、GTCCRB = 0 または GTCCRB = GTPR が成立したときのみとなります。また、GTCCRB ＞ GTPR が設定されると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時： GTCCRC < GTCCRD, GTCCRC > GTDVU, GTCCRD < GTPR - GTDVD
- ダウンカウント時： GTCCRC > GTCCRD, GTCCRC < GTPR - GTDVU, GTCCRD > GTDVD

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRC < GTCCRD < GTPR
- ダウンカウント時：GTPR > GTCCRC > GTCCRD > 0

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時：0 < GTCCRE < GTCCRF < GTPR
- ダウンカウント時：GTPR > GTCCRE > GTCCRF > 0

(5) のこぎり波 PWM モードの場合

GTCCRA レジスタは、0 < GTCCRA < GTPR の範囲に収まるように設定してください。GTCCRA = 0 または GTCCRA = GTPR に設定すると、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、0 < GTCCRB < GTPR の範囲に収まるように設定してください。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

20.10.3 GTCNT カウンタの範囲設定

GTCNT カウンタレジスタは、0 ≦ GTCNT ≦ GTPR の範囲に収まるように設定してください。

20.10.4 GTCNT カウンタのスタート／ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート／ストップ制御タイミングは、GTCR.TPCS[3:0]ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[3:0]ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート／ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視され、結果として GTCR.CST ビットが 0 になってからイベントが受け付けられたり、割り込みが発生したりします。

20.10.5 イベントごとの優先順位

(1) GTCNT レジスタ

表 20.49 に、GTCNT レジスタを更新するイベントの優先順位を示します。

表 20.49 GTCNT を更新する要因の優先順位

GTCNT を更新する要因	優先順位
CPU による書き込み（GTCNT/GTCLR レジスタへの書き込み）	高
GTCSR レジスタで設定したハードウェア要因によるクリア	↑
GTUPSR/GTDNSR レジスタで設定したハードウェア要因によるアップ／ダウンカウント	↑
カウント動作	低

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(2) GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート／ストップと CPU による書き込み（GTCR/GTSTR/GTSTP レジスタへの書き込み）の間で競合があると、CPU による書き込みが優先されます。

周期計数機能によるストップと CPU 書き込み（GTCR/GTSTR レジスタへの書き込み）によるスタートが競合した場合、周期計数機能は GTST.PCF フラグをセットして動作を終了しますが、CST ビットの状態は変わらず、カウントを継続します。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。GTCR.CST ビットの更新と CPU による読み出し（GTCR/GTSTR/GTSTP レジスタからの読み出し）の間で競合があると、更新前のデータが読み出されます。

(3) GTCCRm レジスタ (m = A～F)

インプットキャプチャ／バッファ転送動作と GTCCRm レジスタへの書き込みの間で競合があると、GTCCRm レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みおよびハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。GTCCRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(4) GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(5) GTADTRm レジスタ（m = A、B）

バッファ転送動作と GTADTRm レジスタへの書き込みの間で競合があると、GTADTRm レジスタへの書き込みが優先されます。

GTADTRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(6) GTDVm レジスタ（m = U、D）

バッファ転送動作と GTDVm レジスタへの書き込みの間で競合があると、GTDVm レジスタへの書き込みが優先されます。

GTDVm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(7) GTIOR.GTIOm レジスタ（m = A、B）

バッファ転送動作と GTIOR.GTIOm レジスタへの書き込みの間で競合があると、GTIOR.GTIOm レジスタへの書き込みが優先されます。

GTIOR.GTIOm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

21. 低消費電力非同期汎用タイマ (AGTW)

AGTW モジュールの AGTW_B バージョンです。

本章では、AGTW_B を AGT と呼びます。

21.1 概要

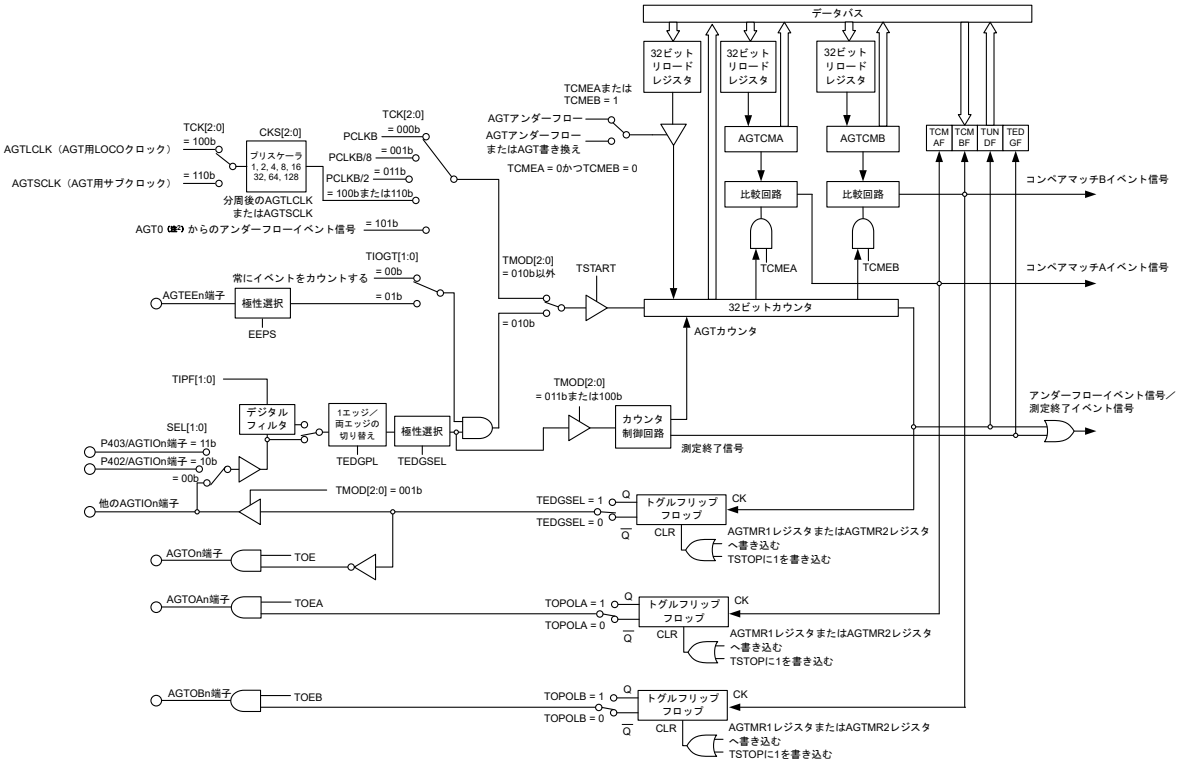
低消費電力非同期汎用タイマ (AGT) は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 32 ビットのタイマです。このタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。

表 21.1 に AGT の仕様、図 21.1 にブロック図、表 21.2 に入出力端子を示します。

表 21.1 AGT の仕様

項目		内容
動作モード	タイマモード	カウントソースをカウント
	パルス出力モード	カウントソースをカウントし、アンダーフローするごとに出力を反転
	イベントカウントモード	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定
構成		32 ビット × 2 チャネル (AGTn (n = 0, 1))
カウントソース（動作クロック）(注2)	タイマモード	PCLKB, PCLKB/2, PCLKB/8, AGTLCLK/d, AGTSCLK/d（d = 1、2、4、8、16、32、64、または 128）、または AGT0 のアンダーフロー信号を選択可能(注1)
	パルス出力モード	
	パルス幅測定モード	
	パルス周期測定モード	
	イベントカウントモード	外部イベント入力
割り込みとイベントリンク機能		• アンダーフローイベント信号または測定完了イベント信号 – カウンタがアンダーフローしたとき – パルス幅測定モードで外部入力端子（AGTIOn 端子）のアクティブ幅の測定が完了したとき – パルス周期測定モードで外部入力端子（AGTIOn 端子）の設定エッジが入力されたとき • コンペアマッチ A イベント信号 – AGT レジスタと AGTCMA レジスタの値が一致したとき（コンペアマッチ A 機能が有効） • コンペアマッチ B イベント信号 – AGT レジスタと AGTCMB レジスタの値が一致したとき（コンペアマッチ B 機能が有効） • スヌーズモードまたはソフトウェアスタンバイモードからの復帰は AGT1_AGTI、AGT1_AGTCMAI、または AGT1_AGTCMBI で実行可能(注3)
選択可能な機能		• コンペアマッチ機能 コンペアマッチ A レジスタとコンペアマッチ B レジスタの両方または一方を選択可能
TrustZone フィルタ		各チャネルに対してセキュリティ属性を設定可能

注 1. AGT0 はアンダーフロー信号を使用できません。AGT1 が、AGT0 タイマからのアンダーフローイベント信号に直接接続します。
注 2. 周波数周辺モジュールクロック (PCLKB) ≧カウントソースクロックの周波数となるように設定してください。ただし、AGTLCLK/d または AGTSCLK/d をカウントソースクロックとして選択している場合、PCLKB の周波数はそのカウントソースクロックの周波数の 2 倍以上である必要があります。
注 3. 詳細は「10. 低消費電力モード」を参照してください。



注 1. AGT0 は AGT0 のアンダーフローイベントを使用できません。AGT1 が AGT0 のアンダーフローを使用します。

図 21.1 AGT のブロック図

表 21.2 AGT の入出力端子

端子名	入出力	機能
AGTEEn	入力	AGT の外部イベント入力許可
AGTIOn	入出力	AGT の外部イベント入力およびパルス出力
AGTOn	出力	AGT のパルス出力
AGTOAn	出力	AGT のコンペアマッチ A 出力
AGTOBn	出力	AGT のコンペアマッチ B 出力

注. チャネル番号：n = 0, 1
注. P402、P403 は入力のみ使用可能

21.2 レジスタの説明

21.2.1 AGT : AGT カウンタレジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	31																												0
Bit field:																													
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	32 ビットのカウンタおよびリロードレジスタ 設定範囲: 0x00000000～0xFFFFFFFF	R/W

AGTWn.AGT は 32 ビットのレジスタです。書き込み値はリロードレジスタに書き込まれ、読み出し値はカウンタから読み出されます。

リロードレジスタとカウンタの状態は、AGTCR レジスタの TSTART ビットと AGTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は「21.3.1. リロードレジスタおよびカウンタの書き換え動作」を参照してください。

AGTCR レジスタの TSTOP ビットに 1 を書くと、AGT カウンタは強制停止し、0xFFFFFFFF になります。

AGTMR1 レジスタの TCK[2:0]ビットの設定値が 001b (PCLKB/8) または 011b (PCLKB/2) 以外の場合、AGT レジスタが 0x00000000 になると、ICU、DTC、DMAC、および ELC への要求信号が、カウント開始直後に一度発生します。AGTOn および AGTIOn 端子はトグル出力となります。

イベントカウントモードで AGT レジスタが 0x00000000 になると、TCK[2:0]ビットの値にかかわらず、ICU、DTC、DMAC、および ELC への要求信号が、カウント開始直後に一度発生します。

また、指定したカウント期間以外の期間も AGTOn はトグル出力となります。AGT レジスタが 0x00000001 以上になると、AGT がアンダーフローするたびに要求信号が発生します。

21.2.2 AGTCMA : AGT コンペアマッチ A レジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x04

Bit position:	31																												0
Bit field:																													
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	32 ビットのコンペアマッチ A データを格納(注1) 設定範囲: 0x00000000～0xFFFFFFFF	R/W

注 1. コンペアマッチ A を使用しない場合、AGTCMA レジスタは 0xFFFFFFFF にしてください。

AGTCMA レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し／書き込みレジスタです。リロードレジスタとコンペアレジスタ A の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は「21.3.2. リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作」を参照してください。

21.2.3 AGTCMB : AGT コンペアマッチ B レジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x08

Bit position:	31																												0
Bit field:																													
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
31:0	n/a	32 ビットのコンペアマッチ B データを格納(注1) 設定範囲: 0x00000000～0xFFFFFFFF	R/W

注 1. コンペアマッチ B を使用しない場合、AGTCMB レジスタは 0xFFFFFFFF にしてください。

AGTCMB レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し／書き込みレジスタです。リロードレジスタとコンペアレジスタ B の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は「21.3.2. リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作」を参照してください。

21.2.4 AGTCR : AGT コントロールレジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TCMBF	TCMAF	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSTART	AGT カウント開始(注2) 0: カウント停止 1: カウント開始	R/W
1	TCSTF	AGT カウント状態フラグ(注2) 0: カウント停止 1: カウント中	R
2	TSTOP	AGT カウント強制停止(注1) 0: 書き込みは無効 1: 強制的にカウント停止	W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TEDGF	アクティブエッジ判定フラグ 0: アクティブエッジ未受信 1: アクティブエッジ受信	R/(W)(注3)
5	TUNDF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフローあり	R/(W)(注3)
6	TCMAF	コンペアマッチ A フラグ 0: 不一致 1: 一致	R/(W)(注3)
7	TCMBF	コンペアマッチ B フラグ 0: 不一致 1: 一致	R/(W)(注3)

注 1. TSTOP ビットに 1（強制的にカウント停止）を書き込むと、TSTART ビットおよび TCSTF フラグが同時に初期化されます。パルス出力レベルも初期化されます。読むと 0 が読めます。
注 2. TSTART ビットおよび TCSTF フラグの使用方法については、「21.4.1. カウント動作の開始および停止制御」を参照してください。
注 3. フラグをクリアするための 0 の書き込みのみ可能です。

TSTART ビット（AGT カウント開始）

TSTART ビットに 1 を書き込むとカウント動作が開始し、0 を書き込むとカウント動作が停止します。TSTART ビットを 1 にすると、カウントソースと同期して、TCSTF フラグが 1（カウント実行中）になります。また、TSTART ビットに 0 を書き込むと、カウントソースと同期して、TCSTF フラグが 0（カウント停止）になります。詳細は「21.4.1. カウント動作の開始および停止制御」を参照してください。

TCSTF フラグ（AGT カウント状態フラグ）

TCSTF フラグは AGT のカウント状態を示します。

[1 になる条件]

- TSTART ビットに 1 を書いたとき（カウントソースと同期して、TCSTF フラグが 1 になる）

[0 になる条件]

- TSTART ビットに 0 を書いたとき（カウントソースと同期して、TCSTF フラグが 0 になる）
- TSTOP ビットに 1 を書いたとき

TSTOP ビット（AGT カウント強制停止）

TSTOP ビットに 1 を書くと、強制的にカウントが停止します。読むと 0 が読めます。

TEDGF フラグ（アクティブエッジ判定フラグ）

TEDGF フラグはアクティブエッジが検出されたことを示します。

[1 になる条件]

- パルス幅測定モードで外部入力端子（AGTIOn 端子）のアクティブ幅の測定が終了したとき
- パルス周期測定モードで外部入力端子（AGTIOn 端子）の設定エッジが入力されたとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TUNDF フラグ（アンダーフローフラグ）

TUNDF フラグはカウンタがアンダーフローしたことを示します。

[1 になる条件]

- カウンタがアンダーフローしたとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TCMAF フラグ（コンペアマッチ A フラグ）

TCMAF フラグはコンペアマッチ A が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMA レジスタ値と一致したとき

[0 になる条件]

- 本ビットに 0 を書いたとき

TCMBF フラグ（コンペアマッチ B フラグ）

TCMBF フラグはコンペアマッチ B が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMB レジスタ値と一致したとき

[0 になる条件]

- 本ビットに 0 を書いたとき

21.2.5 AGTMR1 : AGT モードレジスタ 1

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TCK[2:0]			TEDGPL	TMOD[2:0]		
Value after reset:	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	TMOD[2:0]	動作モード(注3) 0 0 0: タイマモード 0 0 1: パルス出力モード 0 1 0: イベントカウントモード 0 1 1: パルス幅測定モード 1 0 0: パルス周期測定モード その他: 設定禁止	R/W

ビット	シンボル	機能	R/W
3	TEDGPL	エッジ極性(注4) 0: 片エッジ 1: 両エッジ	R/W
6:4	TCK[2:0]	カウントソース(注1) (注2) (注5) (注7) 0 0 0: PCLKB 0 0 1: PCLKB/8 0 1 1: PCLKB/2 1 0 0: AGTMR2 レジスタの CKS[2:0]ビットで設定した分周クロック (AGTLCLK) 1 0 1: AGT0 からのアンダーフローイベント信号(注6) 1 1 0: AGTMR2 レジスタの CKS[2:0]ビットで設定した分周クロック (AGTSCLK) その他: 設定禁止	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. AGTMR1 レジスタに書き込みを行うと、AGTOn、AGTIOn、AGTOAn、および AGTOBn 端子からの出力が初期化されます。初期化時の出力レベルの詳細は、「21.2.7. AGTIOC : AGT I/O コントロールレジスタ」を参照してください。
注 1. イベントカウンタモードを選択した場合、TCK[2:0]ビットの設定にかかわらず、カウントソースとして外部入力端子 (AGTIOn) が選択されます。
注 2. カウント動作中は、カウントソースを切り替えないでください。カウントソースは、AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の場合にのみ切り替えてください。
注 3. AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の状態で、カウントが停止している場合にのみ、動作モードを変更できます。カウント動作中は、動作モードを変更しないでください。
注 4. TEDGPL ビットは、イベントカウントモード時に限り有効です。
注 5. AGT をソフトウェアスタンバイモード、スヌーズモード、またはディープソフトウェアスタンバイモードで動作させるには、AGTLCLK または AGTSCLK (TCK[2:0] = 100b, 110b) を選択してください。
注 6. AGT0 では AGT0 のアンダーフローは使用できません（設定禁止）。AGT1 が、AGT0 のアンダーフローを使用します。
注 7. AGTMR2 レジスタの CKS[2:0]ビットが 000b 以外の場合は、TCK[2:0]ビットを切り替えないでください。AGTMR2 レジスタの CKS[2:0]ビットを 000b にした後、TCK[2:0]ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

21.2.6 AGTMR2 : AGT モードレジスタ 2

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	LPM	—	—	—	—	CKS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CKS[2:0]	AGTLCLK /AGTSCLK カウントソースクロック分周比(注1) (注2) (注3) 0 0 0: 1/1 0 0 1: 1/2 0 1 0: 1/4 0 1 1: 1/8 1 0 0: 1/16 1 0 1: 1/32 1 1 0: 1/64 1 1 1: 1/128	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	LPM	低消費電力モード 0: ノーマルモード 1: 低消費電力モード	R/W

注 1. カウント動作中は、CKS[2:0]ビットを書き換えないでください。AGTCR レジスタの TSTART ビットと TCSTF フラグがどちらも 0（カウント停止）の場合にのみ、CKS[2:0]ビットを書き換えてください。
注 2. カウントソースが AGTLCLK または AGTSCLK の場合、CKS[2:0]ビットの切り替えが有効となります。
注 3. CKS[2:0]ビットが 000b 以外の場合は、AGTMR1 レジスタの TCK[2:0]ビットを切り替えないでください。CKS[2:0]ビットを 000b にした後、AGTMR1 レジスタの TCK[2:0]ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

CKS[2:0]ビット（AGTLCLK /AGTSCLK カウントソースクロック分周比）

CKS[2:0]ビットで AGTLCLK/AGTSCLK カウントソースクロック分周比を選択します。

LPM ビット（低消費電力モード）

LPM ビットは低消費電力動作を設定します。これによって、特定の AGT レジスタへのアクセスに影響があります。低消費電力で動作させるには本ビットを 1 にしてください。

本ビットが 1 の場合、下記のレジスタへはアクセスしないでください。

- AGT/AGTCMA/AGTCMB/AGTCR

本ビットを 1 から 0 に切り替えた後は、最初のレジスタアクセスが以下のように制限されます。

- AGT レジスタから読み出す場合、AGT レジスタを 2 回読み出します。2 回目の読み出しデータのみが有効です。
- AGT、AGTCMA、AGTCMB、および AGTCR レジスタに書き込む場合、カウントソースクロックで 2 サイクル以上の余裕が必要です。
- AGT、AGTCMA、AGTCMB、および AGTCR レジスタに書き込まれた値を確認する場合
  - カウント動作の停止時：データ書き込み後、次のサイクルで読み出し可能です。
  - カウント動作の実行中：データ書き込み後、カウントソースクロックの 4 サイクル後に読み出し可能です。

図 21.2 に LPM ビットに書き込む方法のフローチャートを示します。

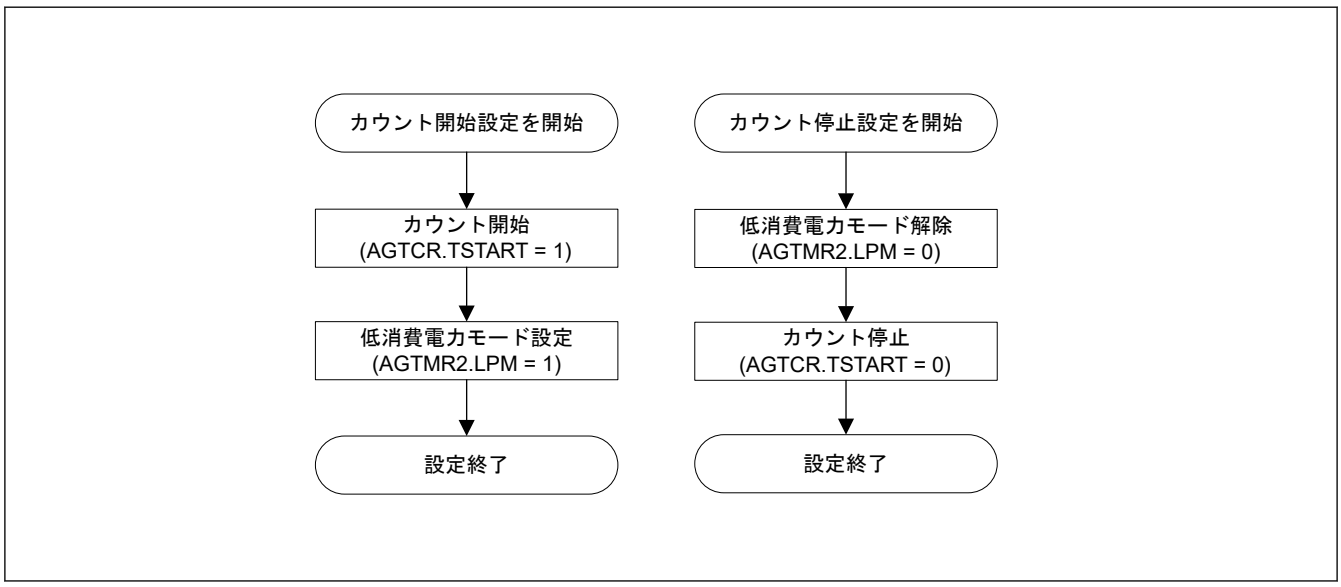


図 21.2 LPM ビットに書き込む方法のフローチャート

21.2.7 AGTIOC : AGT I/O コントロールレジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIOGT[1:0]		TIPF[1:0]		—	TOE	—	TEDGSEL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TEDGSEL	I/O 極性切り替え 動作モードによって機能が異なります。表 21.3 と表 21.4 を参照してください。	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
2	TOE	AGTOn 端子出力許可 0: AGTOn 端子出力を禁止 1: AGTOn 端子出力を許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	TIPF[1:0]	入力フィルタ(注3) これらのビットは、AGTIOn 端子入力用フィルタのサンプリング周波数を指定します。AGTIOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。 0 0: フィルタなし 0 1: PCLKB でのフィルタサンプリング 1 0: PCLKB/8 でのフィルタサンプリング 1 1: PCLKB/32 でのフィルタサンプリング	R/W
7:6	TIOGT[1:0]	カウント制御(注1) (注2) 0 0: 常にイベントをカウントする 0 1: AGTEEn 端子に指定された極性の期間に、イベントをカウントする その他: 設定禁止	R/W

注 1. AGTEEn 端子を使用する場合、イベントをカウントするための極性は AGTISR レジスタの EEPS ビットで選択できます。
注 2. TIOGT[1:0]ビットは、イベントカウントモード時に限り有効です。
注 3. ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモード中にイベントカウントモード動作が実行される場合、デジタルフィルタ機能は使用できません。

TEDGSEL ビット（I/O 極性切り替え）

TEDGSEL ビットは AGTOn 端子の出力極性および AGTIOn 端子の入出力エッジと極性を切り替えます。

パルス出力モードでは、AGTOn 端子の出力極性と AGTIOn 端子の出力極性のみが制御されます。AGTOn 端子出力と AGTIOn 端子出力は、AGTMR1 レジスタに書き込みを行ったとき、または AGTCR レジスタの TSTOP ビットに 1 を書いたときに初期化されます。

TOE ビット（AGTOn 端子出力許可）

TOE ビットは AGTOn 端子出力の禁止または許可を選択します。

TIPF[1:0]ビット（入力フィルタ）

TIPF[1:0]ビットは AGTIOn 端子入力用フィルタのサンプリング周波数を指定します。AGTIOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。

TIOGT[1:0]ビット（カウント制御）

TIOGT[1:0]ビットはイベントカウントを制御します。

表 21.3　AGTIOn 端子の入出力エッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない
パルス出力モード	0: High で出力開始（初期レベル：High）：反転出力など 1: Low で出力開始（初期レベル：Low）：通常出力など
イベントカウントモード	0: 立ち上がりエッジでカウント 1: 立ち下がりエッジでカウント
パルス幅測定モード	0: Low レベル幅を測定 1: High レベル幅を測定
パルス周期測定モード	0: ある立ち上がりエッジから次の立ち上がりエッジまで測定 1: ある立ち下がりエッジから次の立ち下がりエッジまで測定

注.　TOE ビットが 0 の場合、端子の状態は Hi-Z です。

表 21.4　AGTOn 端子の出力極性切り替え

動作モード	機能
全モード	0: Low で出力開始（初期レベル：Low）：通常出力 1: High で出力開始（初期レベル：High）：反転出力

注.　TOE ビットが 0 の場合、パルス出力モードにおける TEDGSEL ビットの設定値に従った値を出力します。

21.2.8 AGTISR : AGT イベント端子選択レジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x11

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	EEPS	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	EEPS	AGTEEn 極性選択 0: Low の期間、イベントをカウントする 1: High の期間、イベントをカウントする	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

EEPS ビット（AGTEEn 極性選択）

EEPS ビットはカウントされるイベントの極性を選択します。

21.2.9 AGTCMSR : AGT コンペアマッチ機能選択レジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	TOPOLB	TOEB	TCMEB	—	TOPOLA	TOEA	TCMEA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TCMEA	AGT コンペアマッチ A レジスタ有効(注1) (注2) (注3) 0: AGT コンペアマッチ A レジスタを無効 1: AGT コンペアマッチ A レジスタを有効	R/W
1	TOEA	AGTOAn 端子出力許可(注1) (注2) 0: AGTOAn 端子出力を禁止 1: AGTOAn 端子出力を許可	R/W
2	TOPOLA	AGTOAn 端子極性選択(注1) (注2) 0: AGTOAn 端子出力を Low で開始：通常出力 1: AGTOAn 端子出力を High で開始：反転出力	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TCMEB	AGT コンペアマッチ B レジスタ有効(注1) (注2) (注3) 0: AGT コンペアマッチ B レジスタを無効 1: AGT コンペアマッチ B レジスタを有効	R/W
5	TOEB	AGTOBn 端子出力許可(注1) (注2) 0: AGTOBn 端子出力を禁止 1: AGTOBn 端子出力を許可	R/W
6	TOPOLB	AGTOBn 端子極性選択(注1) (注2) 0: AGTOBn 端子出力を Low で開始：通常出力 1: AGTOBn 端子出力を High で開始：反転出力	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. カウント動作中は、AGTCMSR レジスタを書き換えないでください。AGTCMSR レジスタは、AGTCR レジスタの TSTART ビットおよび TCSTF フラグが、どちらも 0（カウント停止）の場合にのみ書き換えてください。

注 2. パルス幅測定モードまたはパルス周期測定モード中は、1 にしないでください。

注 3. AGTCR レジスタの TSTOP ビットに 1 を書くと、TCMEA ビットおよび TCMEB ビットは強制停止し、0 になります。

21.2.10 AGTIOSEL : AGT 端子選択レジスタ

Base address: AGTWn = 0x400E_8000 + 0x0100 × n (n = 0, 1)

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TIES	—	—	SEL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SEL[1:0]	AGTIOn 端子選択(注1) 0 0: AGTIO として Pm/AGTIO を選択してください。ディープソフトウェアスタンバイモードでは、Pm/AGTIO は AGTIO 入力端子として使用できません。(m = 100, 301, 407 (AGT0), m = P104, 207, 400 (AGT1)) 0 1: 設定禁止 1 0: P402/AGTIO を AGTIO として選択してください。ディープソフトウェアスタンバイモード時、P402/AGTIO は AGTIO 入力端子として使用できます。P402/AGTIOn は入力専用です。出力には使用できません。 1 1: AGTIO として P403/AGTIO を選択してください。ディープソフトウェアスタンバイモードで、P403/AGTIO は AGTIO 入力端子として使用できます。P403/AGTIOn は入力専用です。出力用には使用できません。	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TIES	AGTIOn 端子入力許可 0: ソフトウェアスタンバイモード中、外部イベント入力を禁止 1: ソフトウェアスタンバイモード中、外部イベント入力を許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 端子機能選択レジスタを設定してください。「18. I/O ポート」を参照してください。

ディープソフトウェアスタンバイモードおよびソフトウェアスタンバイモード時に AGTIOn 端子を使用する場合、AGTIOSEL レジスタで AGTIOn 端子の設定を行います。

SEL[1:0]ビット（AGTIOn 端子選択）

SEL[1:0]ビットは AGTIOn 端子機能を選択します。

AGT 入力は、RTCCRn レジスタによって制御されます。「22. リアルタイムクロック (RTC)」を参照してください。

TIES ビット（AGTIOn 端子入力許可）

TIES ビットは外部イベント入力を許可または禁止します。

21.3 動作説明

21.3.1 リロードレジスタおよびカウンタの書き換え動作

動作モードにかかわらず、リロードレジスタとカウンタへの書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値、および AGTCMSR レジスタの TCMEA または TCMEB ビット値によって異なります。TSTART ビットが 0（カウント停止）の場合、カウント値がリロードレジスタとカウンタに直接書き込まれます。TSTART ビットが 1（カウント開始）で、かつ TCMEA および TCMEB ビットが 0（AGT コンペアマッチ A/B レジスタが無効）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、次のカウントソースと同期してカウンタに書き込まれます。TSTART ビットが 1（カウント開始）で、かつ TCMEA または TCMEB ビットが 1（AGT コンペアマッチ A/B レジスタが有効）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してカウンタに書き込まれます。

TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミングを図 21.3 および図 21.4 に示します。

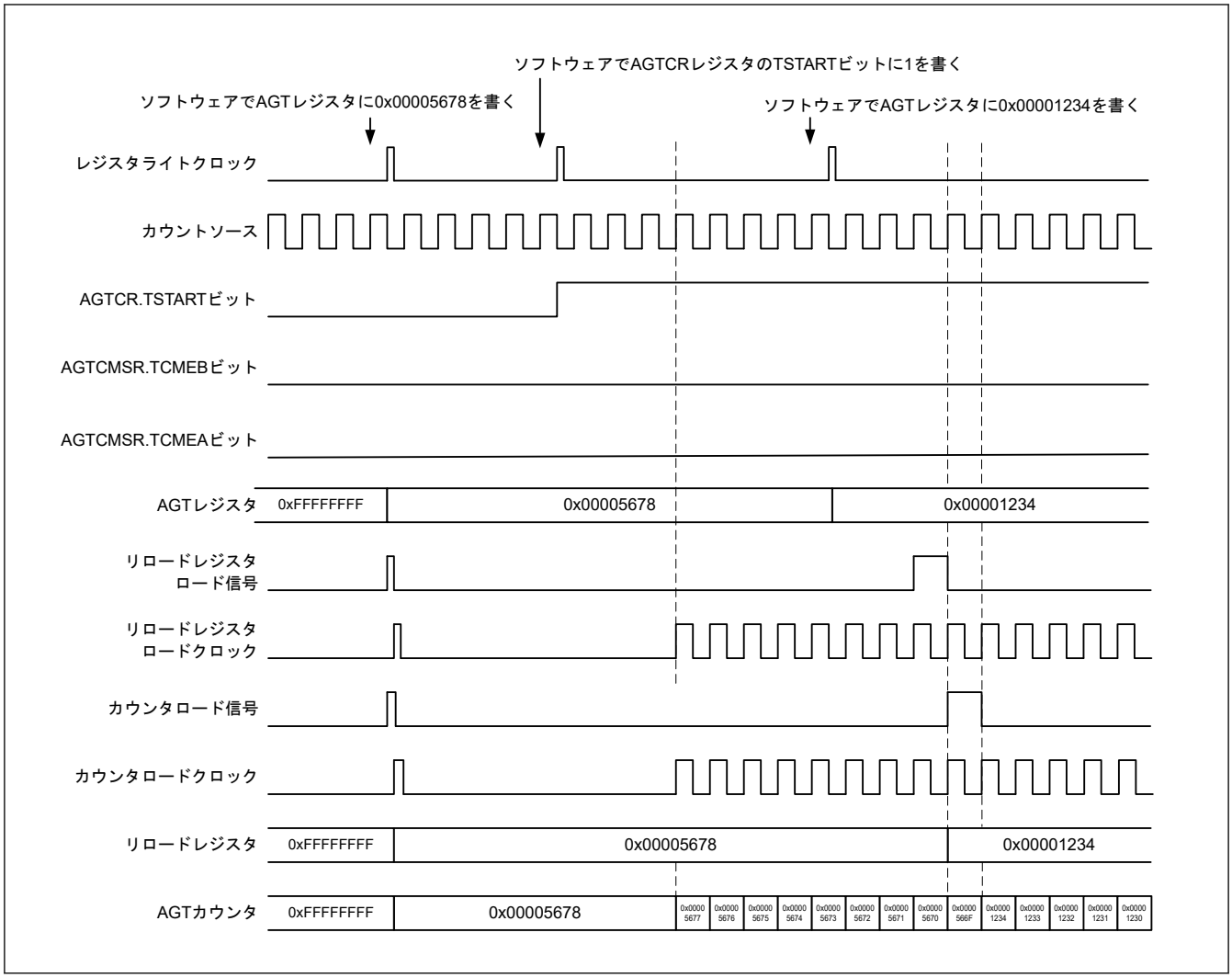


図 21.3 TSTART、TCMEA、TCMEB ビット値による書き換え動作のタイミング（AGT コンペアマッチ A レジスタと AGT コンペアマッチ B レジスタが無効の場合）

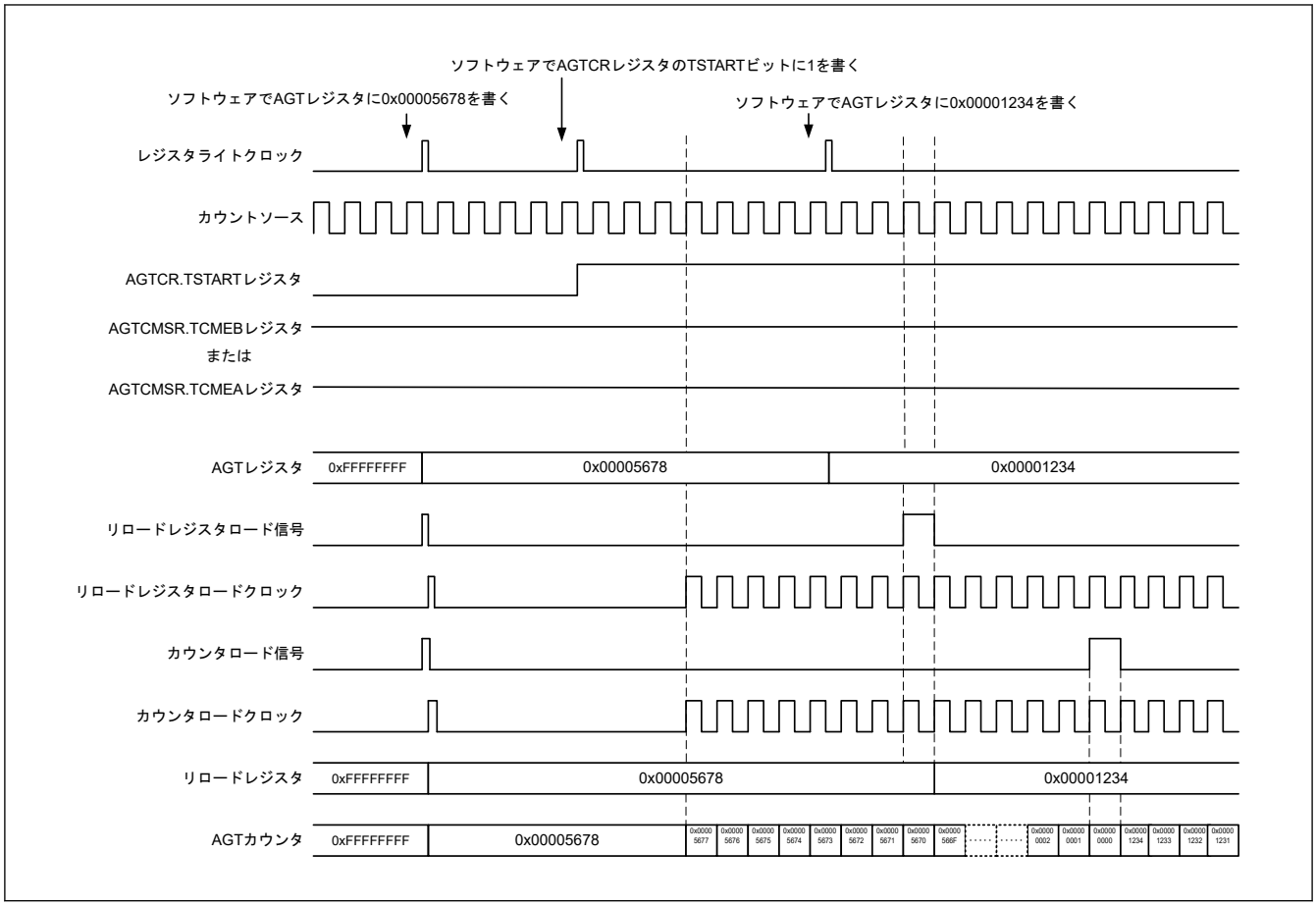


図 21.4　TSTART ビット値と TCMEA または TCMEB ビット値による書き換え動作のタイミング（AGT コンペアマッチ A レジスタまたは AGT コンペアマッチ B レジスタが有効の場合）

21.3.2　リロードレジスタおよび AGT コンペアマッチ A/B レジスタの書き換え動作

動作モードにかかわらず、リロードレジスタと AGT コンペアレジスタ A/B への書き換え動作のタイミングは、AGTCR レジスタの TSTART ビットの値によって異なります。TSTART ビットが 0（カウント停止）の場合、カウント値がリロードレジスタと AGT コンペアレジスタ A/B に直接書き込まれます。TSTART ビットが 1（カウント開始）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してコンペアレジスタに書き込まれます。

TSTART ビット値によるコンペアレジスタ A への書き換え動作のタイミングを図 21.5 に示します。AGT コンペアレジスタ B の場合も AGT コンペアレジスタ A と同じです。

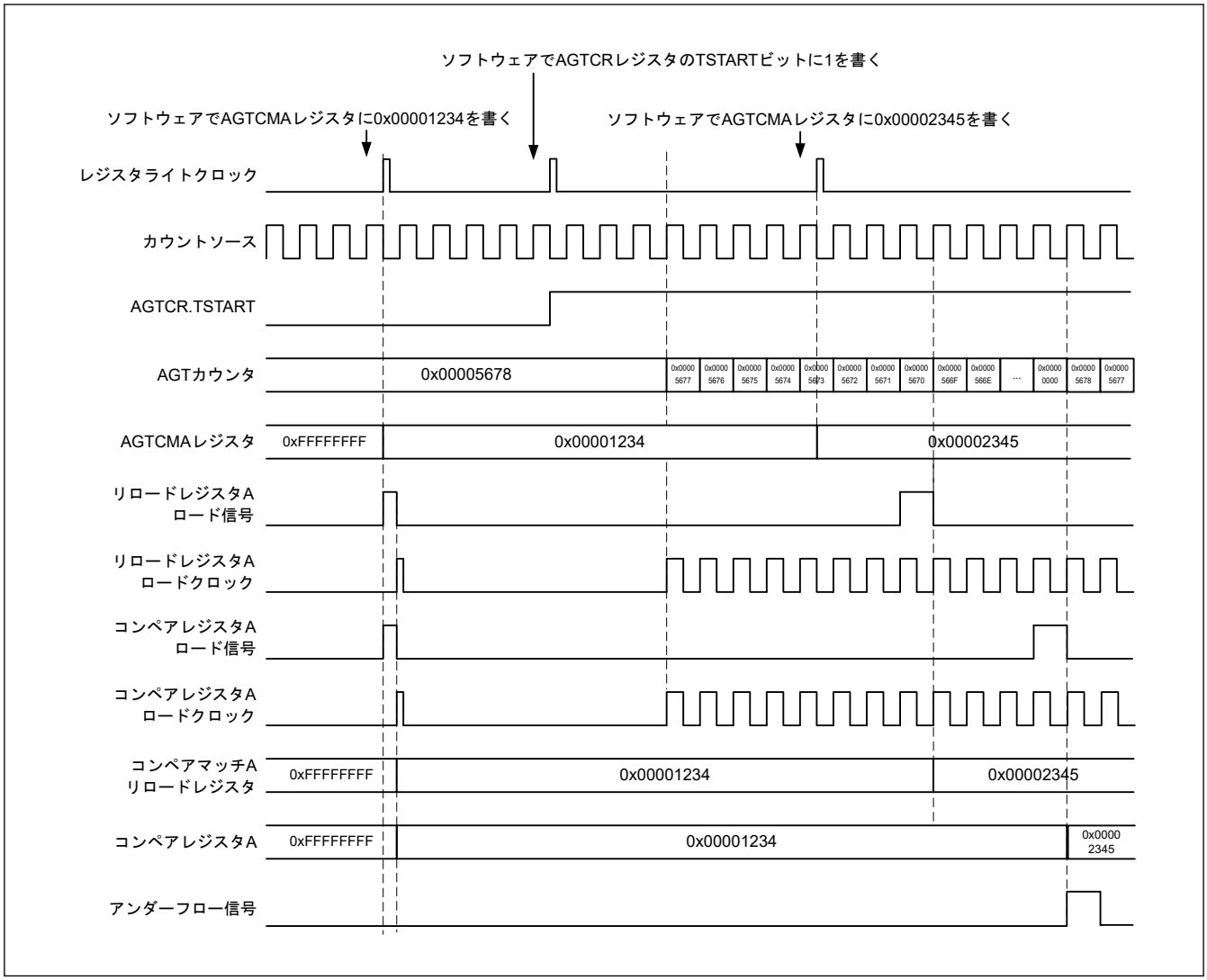


図 21.5 AGT コンペアレジスタ A の TSTART ビット値による書き換え動作のタイミング

21.3.3 タイマモード

このモードでは、AGT カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。タイマモードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0x00000000 に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。

図 21.6 にタイマモードでの動作例を示します。

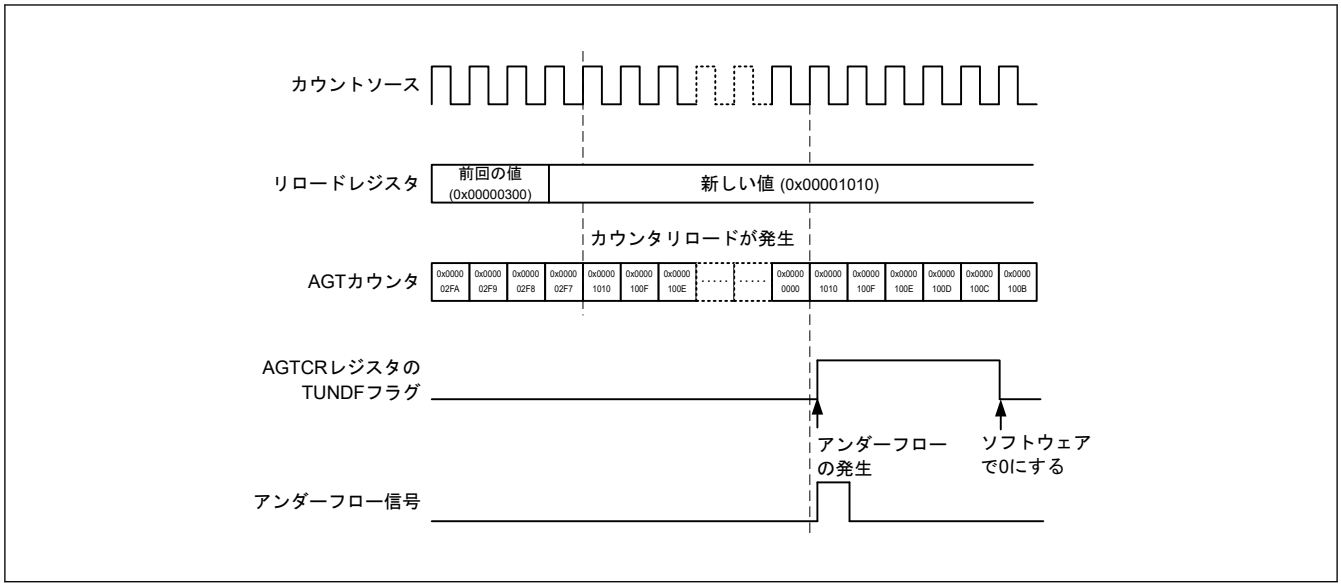


図 21.6　タイマモードでの動作例

21.3.4　パルス出力モード

パルス出力モードでは、カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントし、アンダーフローが発生するたびに AGTIOn 端子と AGTOn 端子の出力レベルは反転します。

パルス出力モードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0x00000000 に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。さらに、AGTIOn 端子と AGTOn 端子からパルスを出力できます。その出力レベルは、アンダーフローが発生するたびに反転します。AGTOn 端子からのパルス出力は、AGTIOC レジスタの TOE ビットで停止できます。出力レベルは、AGTIOC レジスタの TEDGSEL ビットで選択できます。

パルス出力モードでの動作例を図 21.7 に示します。

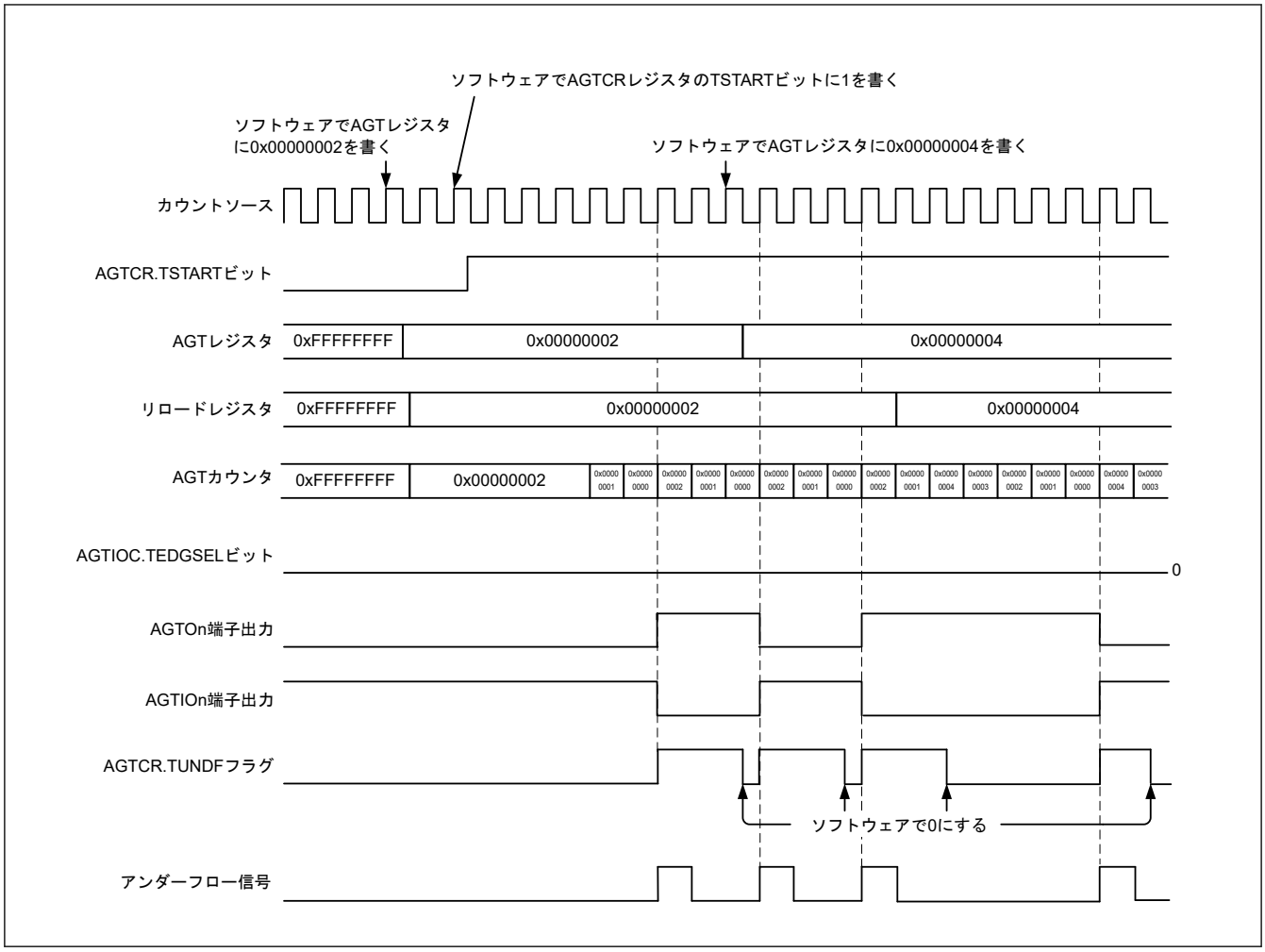


図 21.7　パルス出力モードでの動作例

21.3.5　イベントカウンタモード

イベントカウンタモードでは、カウンタは AGTIOn 端子への外部イベント信号（カウントソース）入力によってデクリメントします。イベントをカウントする期間は、AGTIOC レジスタの TIOGT[1:0]ビットと AGTISR レジスタによってさまざまな設定が可能です。さらに、AGTIOC レジスタの TIPF[1:0]ビットによって、AGTIOn 端子入力用のフィルタ機能を指定できます。イベントカウンタモードでも、AGTOn 端子からトグル出力が可能です。

イベントカウンタモードでの動作例を図 21.8 に示します。

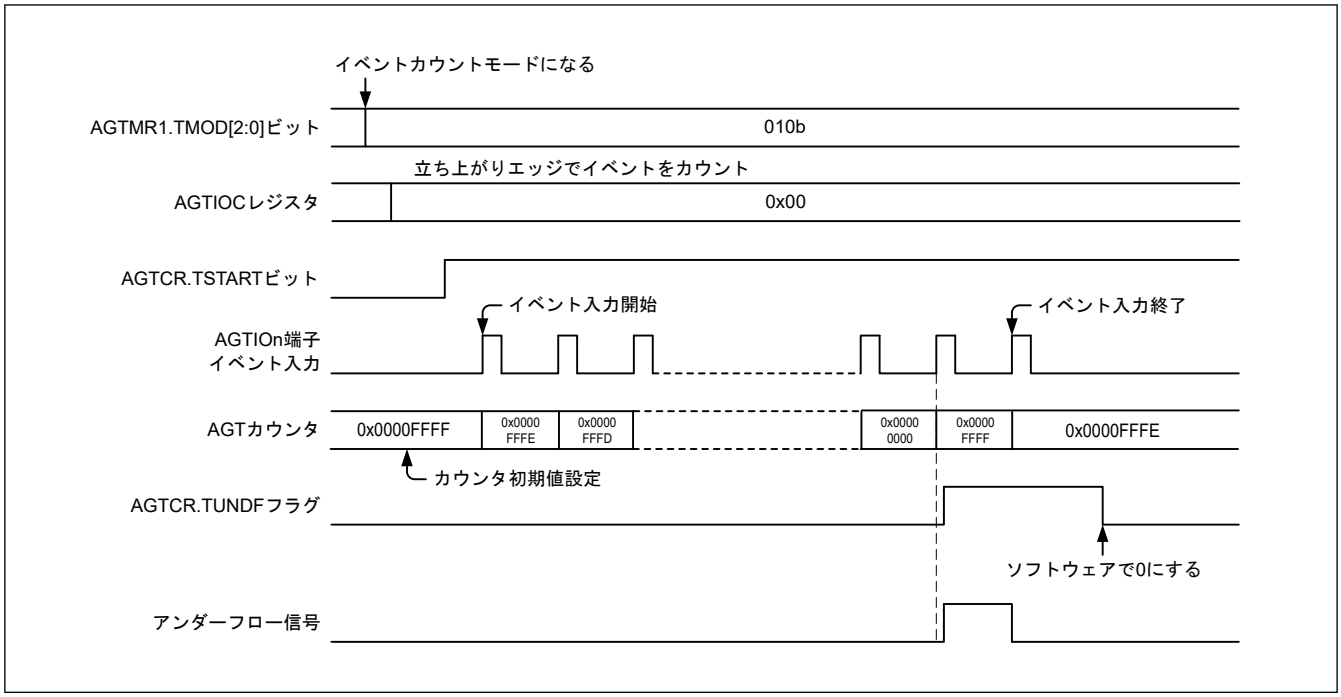
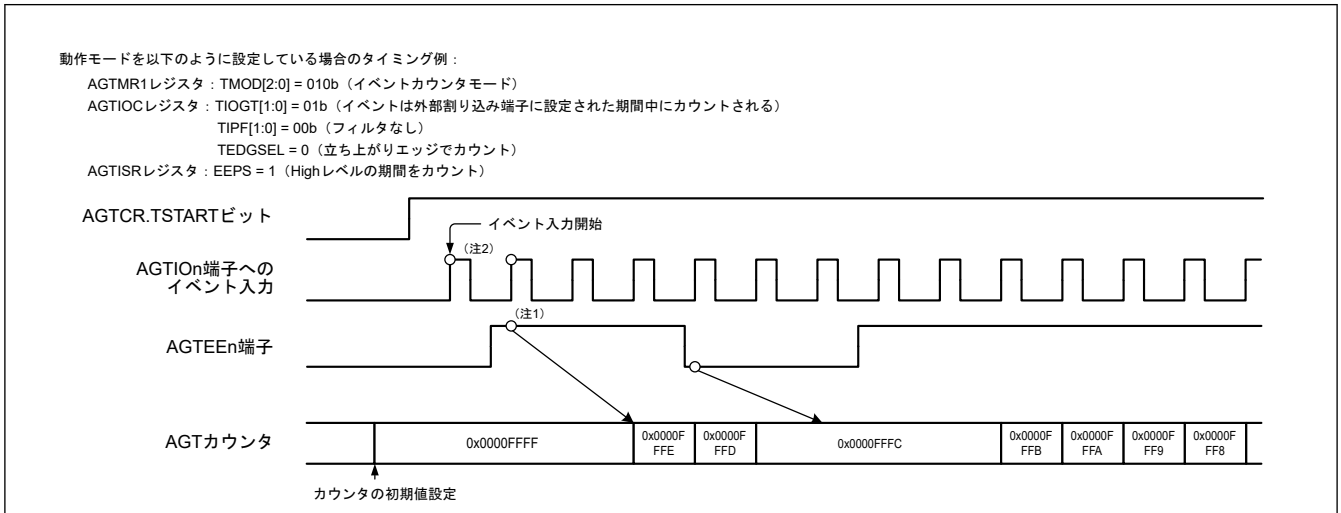


図 21.8　イベントカウンタモードでの動作例 1

イベントカウンタモード時に、指定された期間にイベントがカウントされるように（AGTIOC レジスタの TIOGT[1:0]ビットを 01b に設定）した場合の動作例を図 21.9 に示します。



注 1.　同期を制御するため、カウント動作が変更されるまでに、カウントソースの 2 サイクル分遅延が生じます。また、AGTEEn 端子とサンプリングクロックの位相差によって、カウント開始のタイミングが 1 サイクル分ずれる可能性があります。

注 2.　カウント停止前の状態によっては、カウント開始直後のカウントソースの 2 サイクル中にカウント動作が実行される場合があります。
カウント開始直後の 2 サイクル中のカウント動作を無効にするには、AGTCR レジスタの TSTOP ビットに 1 を書き込んで内部回路を初期化した後、動作設定を終えてからカウント動作を開始します。

図 21.9　イベントカウンタモードでの動作例 2

21.3.6　パルス幅測定モード

パルス幅測定モードでは、AGTIOn 端子に入力される外部信号のパルス幅を測定します。AGTIOC レジスタの TEDGSEL ビットで指定したレベルが AGTIOn 端子に入力されると、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。指定した AGTIOn 端子レベルが終了すると、カウンタは停止して、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になり、割り込み要求が発

生します。カウンタの停止中にカウント値を読み出すことで、パルス幅データが測定されます。また、測定中にカウンタがアンダーフローすると、AGTCR レジスタの TUNDF フラグが 1 になり、割り込み要求が発生します。

図 21.10 にパルス幅測定モードでの動作例を示します。

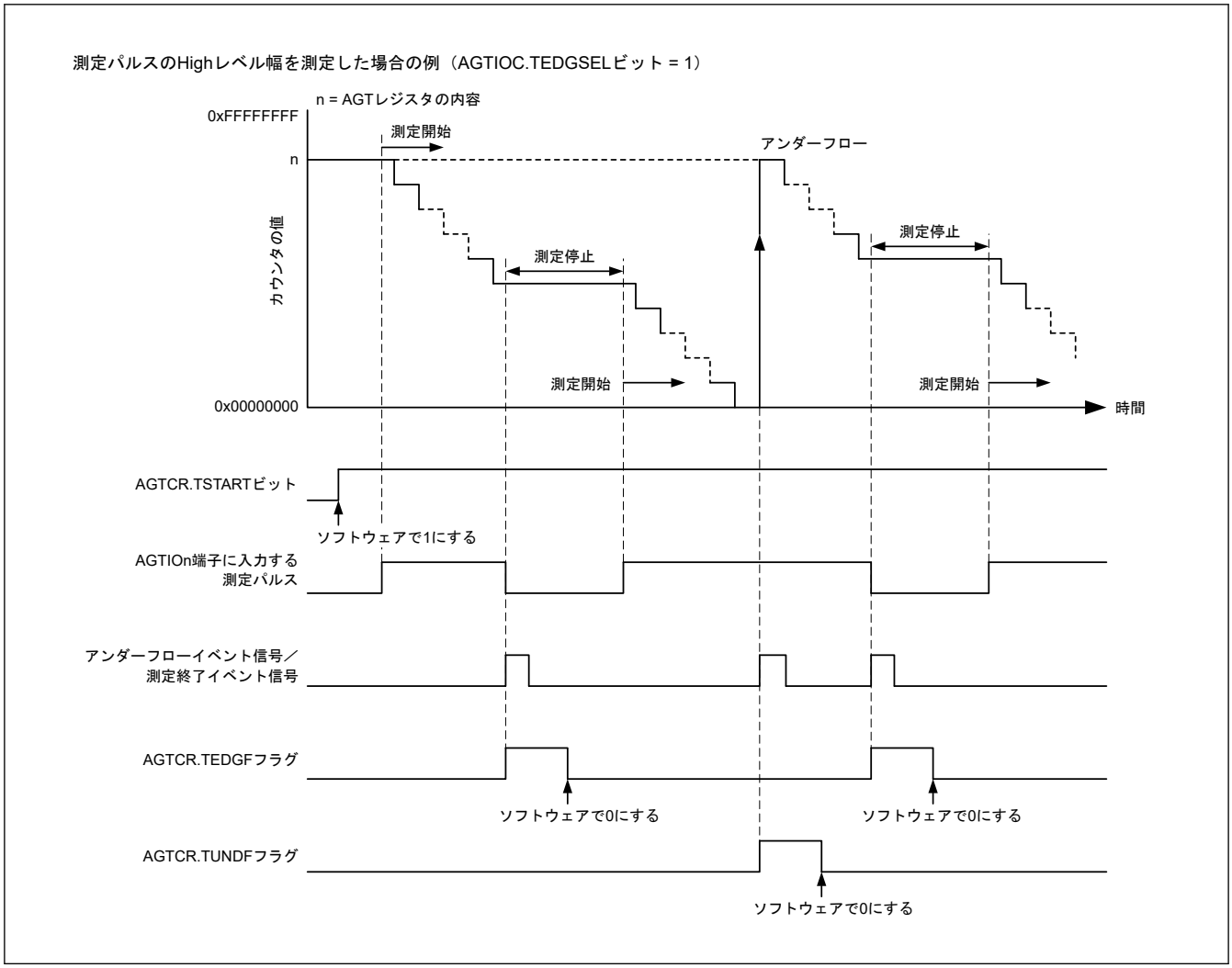


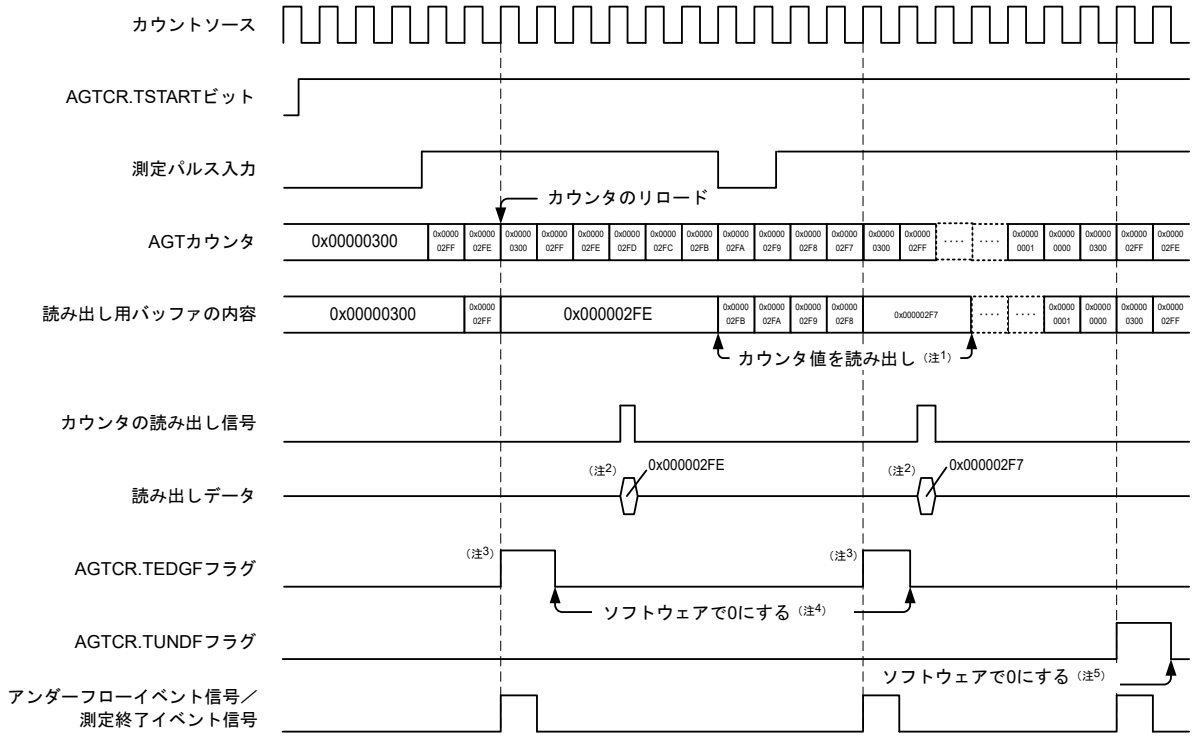
図 21.10　パルス幅測定モードでの動作例

21.3.7　パルス周期測定モード

パルス周期測定モードでは、AGTIOn 端子に入力される外部信号のパルス周期を測定します。カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。AGTIOC レジスタの TEDGSEL ビットで指定した周期のパルスが AGTIOn 端子に入力されると、カウントソースの立ち上がりエッジでカウント値が読み出しバッファに転送されます。リロードレジスタの値は、次の立ち上がりエッジでカウンタにロードされます。同時に、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になり、割り込み要求が発生します。この時点で読み出しバッファ（AGT レジスタ）が読み出され、リロード値（「21.4.6. イベント番号、パルス幅およびパルス周期の計算方法」を参照）との差が入力パルスの周期データとなります。この周期データは、読み出しバッファが読み出されるまで保持されます。カウンタがアンダーフローすると、AGTCR レジスタの TUNDF フラグが 1（アンダーフロー）になり、割り込み要求が発生します。

パルス周期測定モードでの動作例を図 21.11 に示します。

カウントソース周期の 2 倍よりも長い周期を持つ入力パルスのみが測定されます。また、Low 幅と High 幅は、両方ともカウントソースの周期より長くなければいけません。これらの条件よりも短いパルス周期が入力されると、その入力は無視される場合があります。



この例は、AGTレジスタの初期値がA、AGTIOCレジスタのTEDGSELビットが0に設定され、
測定パルスの1つの立ち上がりエッジから次のエッジまでの期間が測定される場合に適用されます。

注 1. AGT レジスタからの読み出しは、TEDGF フラグが 1（アクティブエッジ受信）になってから、次のアクティブエッジが入力されるまでの期間に行う必要があります。読み出しバッファの内容は、AGT レジスタが読み出されるまで保持されます。アクティブエッジが入力される前に読み出さないと、前の周期の測定結果が保持されます
注 2. パルス周期測定モードで AGT レジスタを読み出すと、読み出しバッファの内容が読み出されます。
注 3. 測定パルスのアクティブエッジが入力された後に、外部パルスの設定エッジが入力された場合、AGTCR レジスタの TEDGF フラグが 1（アクティブエッジ受信）になります。
注 4. ソフトウェアで 0 にするときは、8 ビットメモリ操作命令を用いて AGTCR レジスタの TEDGF フラグに 0 を書いてください。
注 5. ソフトウェアで 0 にするときは、8 ビットメモリ操作命令を用いて AGTCR レジスタの TUNDF フラグに 0 を書いてください。

図 21.11 パルス周期測定モードでの動作例

21.3.8 コンペアマッチ機能

コンペアマッチ機能は、AGTCMA/AGTCMB レジスタの内容と AGT レジスタの内容の一致（コンペアマッチ）を検出します。この機能は、AGTCMSR レジスタの TCMEA または TCMEB ビットが 1（コンペアマッチ A/B レジスタが有効）の場合に有効となります。カウンタは AGTMR1 レジスタの TCK[2:0]ビットで選択したカウントソースによってデクリメントします。AGT の値と AGTCMA/AGTCMB の値が一致した場合、AGTCR レジスタの TCMAF/TCMBF フラグが 1（一致）になり、割り込み要求が発生します。

コンペアマッチ機能が有効の場合、リロードレジスタとカウンタでは、書き換え動作のタイミングが異なります。詳細は「21.3.1. リロードレジスタおよびカウンタの書き換え動作」を参照してください。また、AGTOAn、AGTOBn 端子の出力レベルは、一致およびアンダーフローによって反転します。出力レベルは、AGTCMSR レジスタの TOPOLA または TOPOLB ビットで選択できます。

図 21.12 にコンペアマッチ機能の動作例を示します。

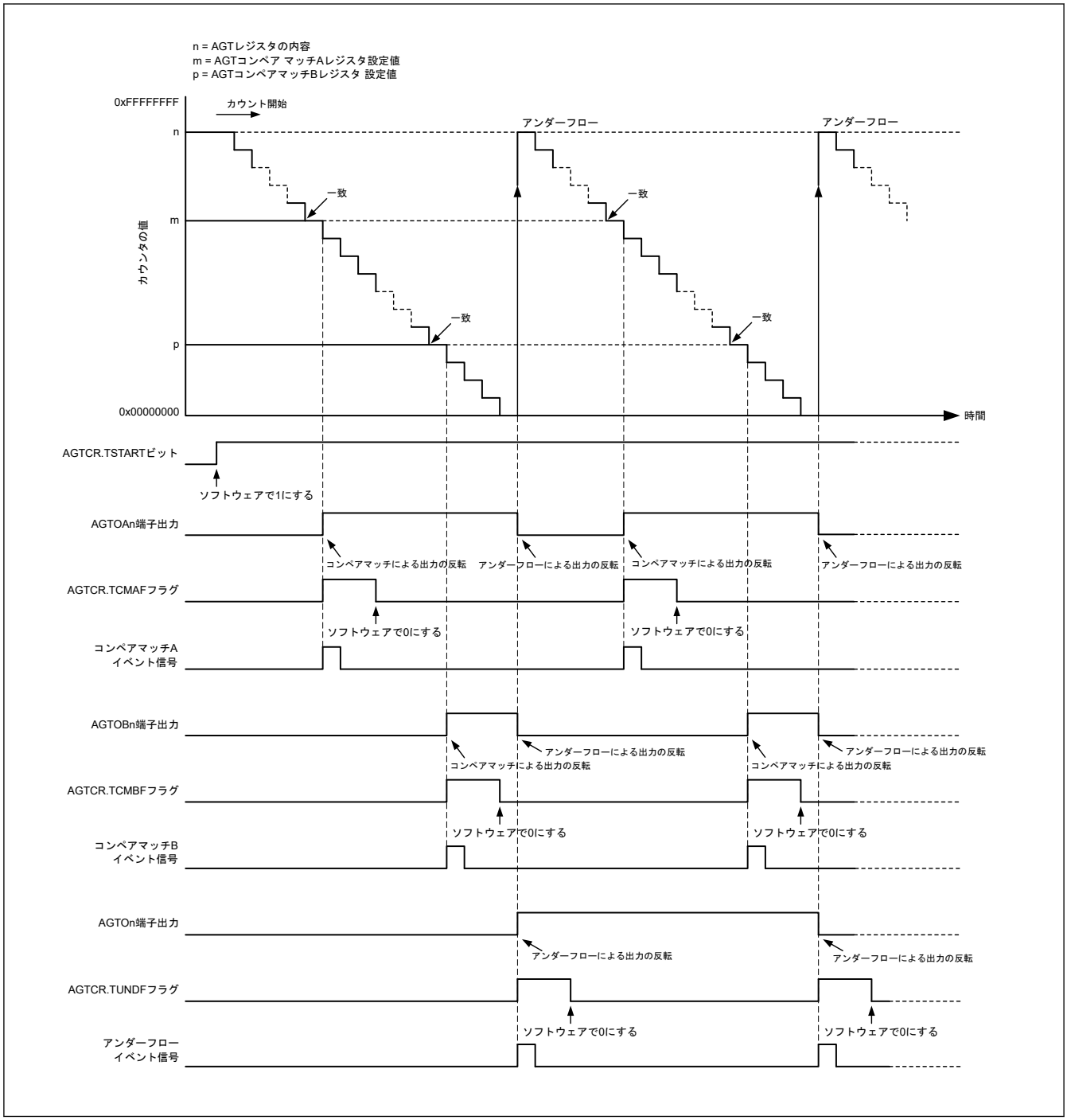


図 21.12 コンペアマッチ機能の動作例 (TOPOLA = 0, TOPOLB = 0)

21.3.9 各モードの出力設定

表 21.5～表 21.8 に各モードでの AGTOn、AGTIOn、AGTOAn および AGTOBn 端子の状態を示します。

表 21.5 AGTOn 端子の設定

動作モード	AGTIOC レジスタ		AGTOn 端子出力
	TOE ビット	TEDGSEL ビット	
全モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止

表 21.6 AGTIOn 端子の設定

動作モード	AGTIOC レジスタ TEDGSEL ビット	AGTIOn 端子入出力
タイマモード	0 または 1	入力（使用しない）
パルス出力モード	1	通常出力
	0	反転出力
イベントカウントモード	0 または 1	入力
パルス幅測定モード		
パルス周期測定モード		

表 21.7 AGTOAn 端子の設定

動作モード	AGTCMSR レジスタ TOEA ビット	AGTCMSR レジスタ TOPOLA ビット	AGTOAn 端子出力
タイマモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
イベントカウントモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

表 21.8 AGTOBn 端子の設定

動作モード	AGTCMSR レジスタ TOEB ビット	AGTCMSR レジスタ TOPOLB ビット	AGTOBn 端子出力
タイマモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
イベントカウントモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止（使用しない）
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

21.3.10 スタンバイモード

AGT はソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードで動作可能です。カウント動作開始 (TSTART = 1, TCSTF = 1) の状態で、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードに設定してください。

表 21.9 と表 21.10 にソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードで使用可能な設定を示します。

表 21.9　ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードで使用可能な設定 (AGT0)

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPU 復帰要因
タイマモード	100b または 110b	AGTLCLK または AGTSCLK	–
パルス出力モード	100b または 110b	AGTLCLK または AGTSCLK	–
イベントカウンタモード(注2)、(注3)	–	AGTIOn(注1)	–
パルス幅測定モード	100b または 110b	AGTLCLK または AGTSCLK	–
パルス周期測定モード	100b または 110b	AGTLCLK または AGTSCLK	–

注.　－（無効）
注 1.　ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードで AGTIOn 端子を外部イベント入力として使用する場合は、AGTIOSEL.TIES = 1 に設定する必要があります。
注 2.　AGTIOSEL.TIES = 0 で、かつソフトウェアスタンバイモードにおいて外部イベント入力信号を無効にしている場合、ソフトウェアスタンバイモードに遷移する前にカウント動作を停止してください。ソフトウェアスタンバイモードから復帰した後に、必要に応じてカウント動作を再開してください。
注 3.　AGTIOSEL.SEL = 00 が設定され、かつディープソフトウェアスタンバイモードにおいて AGTIO を AGTIO 入力端子として使用できない場合、ディープソフトウェアスタンバイモードに遷移する前にカウント動作を停止してください。ディープソフトウェアスタンバイモードから復帰した後に、必要に応じてカウント動作を再開してください。

表 21.10　ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードで使用可能な設定 (AGT1)

動作モード	AGTMR1.TCK[2:0]	動作クロック	CPU 復帰要因
タイマモード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	• アンダーフロー • コンペアマッチ A/B
パルス出力モード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	• アンダーフロー • コンペアマッチ A/B
イベントカウンタモード(注3)、(注4)	–	AGTIOn(注2)	• アンダーフロー • コンペアマッチ A/B
パルス幅測定モード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	• アンダーフロー • アクティブエッジ
パルス周期測定モード	100b、110b、または 101b(注1)	AGTLCLK、AGTSCLK、または AGT0 アンダーフロー	• アンダーフロー • アクティブエッジ

注.　－（無効）
注.　ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードの解除ができるのは AGT1 のみです。
注.　コンペアマッチ A/B はソフトウェアスタンバイモードからの CPU 復帰要因です。
注 1.　AGT0 が表 21.9 の状態で動作している場合のみ。
注 2.　ソフトウェアスタンバイモードで AGTIOn 端子を外部イベント入力として使用する場合は、AGTIOSEL.TIES = 1 に設定してください。
注 3.　AGTIOSEL.TIES = 0 で、かつソフトウェアスタンバイモードにおいて外部イベント入力信号を無効にしている場合、ソフトウェアスタンバイモードに遷移する前にカウント動作を停止してください。ソフトウェアスタンバイモードから復帰した後に、必要に応じてカウント動作を再開してください。
注 4.　AGTIOSEL.SEL = 00 が設定され、かつディープソフトウェアスタンバイモードにおいて AGTIO を AGTIO 入力端子として使用できない場合、ディープソフトウェアスタンバイモードに遷移する前にカウント動作を停止してください。ディープソフトウェアスタンバイモードから復帰した後に、必要に応じてカウント動作を再開してください。

21.3.11　割り込み要因

AGTn には、表 21.11 に示すように、3 種類の割り込み要因があります。

表 21.11　AGT 割り込み要因

名称	割り込み要因	DMAC/DTC の起動
AGTn_AGTI	• カウンタがアンダーフローしたとき • パルス幅測定モードで外部入力端子（AGTIOn 端子）のアクティブ幅の測定が終了したとき • パルス周期測定モードで外部入力端子（AGTIOn 端子）の設定エッジが入力されたとき	可能
AGTn_AGTCMAI	• AGT レジスタと AGTCMA レジスタの値が一致したとき	可能
AGTn_AGTCMBI	• AGT レジスタと AGTCMB レジスタの値が一致したとき	可能

注.　チャネル番号 (n = 0, 1)

21.3.12 イベントリンクコントローラ (ELC) へのイベント信号出力

AGTn (n = 0, 1) は ELC（イベントリンクコントローラ）により、割り込み要求をイベント信号として使用して、あらかじめ設定したモジュールに対してリンク動作が可能です。AGTn (n = 0, 1) は、コンペアマッチ A、コンペアマッチ B、およびアンダーフロー／測定完了信号をイベント信号として出力します。詳細は「17. イベントリンクコントローラ (ELC)」を参照してください。

21.4 使用上の注意事項

21.4.1 カウント動作の開始および停止制御

- 動作モード（表 21.1 を参照）がイベントカウントモードまたはカウントソースが AGTn アンダーフローイベント信号 (TCK[2:0] = 101b) 以外に設定されている場合
  - カウント停止中に AGTCR レジスタの TSTART ビットに 1（カウント開始）を書き込んでも、AGTCR レジスタの TCSTF フラグは、カウントソースの 3 サイクル間、0（カウント停止）のままです。TCSTF フラグが 1（カウント動作中）になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。
  - カウント動作中に TSTART ビットに 0（カウント停止）を書き込んでも、カウントソースの 3 サイクル中は、TCSTF フラグは 1 のままです。TCSTF フラグが 0 になったとき、カウントが停止します。TCSTF フラグが 0 になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。
- 動作モード（表 21.1 を参照）がイベントカウントモードまたはカウントソースが AGT1 アンダーフローイベント信号 (TCK[2:0] = 101b) に設定されている場合
  - カウント停止中に AGTCR レジスタの TSTART ビットに 1（カウント開始）を書き込んでも、AGTCR レジスタの TCSTF フラグは、PCLKB の 2 サイクル間、0（カウント停止）のままです。TCSTF フラグが 1（カウント動作中）になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。
  - カウント動作中に TSTART ビットに 0（カウント停止）を書き込んでも、PCLKB の 2 サイクル中は、TCSTF フラグは 1 のままです。TCSTF フラグが 0 になったとき、カウントが停止します。TCSTF フラグが 0 になるまで、TCSTF フラグ以外の AGT 関連レジスタにはアクセスしないでください。

21.4.2 カウンタレジスタへのアクセス

AGTCR レジスタの TSTART ビットおよび TCSTF フラグがともに 1（カウント動作中）のときに、AGT レジスタへ連続してライトアクセスする場合には、カウントソースクロックの 3 サイクル以上待ってください。

21.4.3 モード変更時

AGT の動作モードに関連するレジスタ（AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR）は、TSTART ビットおよび TCSTF フラグがともに 0（カウント停止）になって、カウントが停止した場合にのみ変更可能です。カウント動作中は、これらのレジスタを変更しないでください。

AGT の動作モードに関連するレジスタが変更されると、TEDGF、TUNDF、TCMAF、および TCMBF フラグの値は不定となります。カウントを開始する前に、以下のフラグに 0 を書き込んでください。

- TEDGF（アクティブエッジ未受信）
- TUNDF（アンダーフローなし）
- TCMAF（不一致）
- TCMBF（不一致）

21.4.4 出力端子の設定

AGTOn、AGTIOn、AGTOAn、または AGTOBn 端子を出力端子として使用する場合には、AGT を設定し、出力初期値が決まった後に PmnPFS.PMR ビットを 1 に設定してください。

パルス幅測定モードとパルス周期幅測定モードで AGTIOn 端子を入力端子として使用する場合には、AGT を設定し、カウント動作開始後に、AGTIOn 端子から外部イベントを入力してください。また、最初の測定は無効とし、2 回目以降の測定完了処理を有効としてください。

21.4.5 デジタルフィルタ

デジタルフィルタの使用時に、TIPF[1:0]ビットを設定した後、および AGTIOC レジスタの TEDGSEL ビットを変更した場合は、デジタルフィルタクロックの 5 サイクル内はタイマ動作を開始しないでください。

21.4.6 イベント番号、パルス幅およびパルス周期の計算方法

- イベントカウンタモードでは、イベント番号が以下の式で求められます。
  イベント番号＝カウンタ[AGT レジスタ]の初期値－アクティブイベント終了のカウンタ値
- パルス幅測定モードでは、パルス幅が以下の式で求められます。
  パルス幅＝測定停止のカウンタ値－次の測定停止のカウンタ値
- パルス周期測定モードでは、入力パルス周期が以下の式で求められます。
  入力パルス周期＝（カウンタ[AGT レジスタ]の初期値－読み出しバッファの読み出し値）＋1

21.4.7 TSTOP ビットで強制的にカウントを停止した場合

AGTCR レジスタの TSTOP ビットでカウンタを強制的に停止した後、カウントソースの 1 サイクル間、下記のレジスタにアクセスしないでください。

- AGT
- AGTCMA
- AGTCMB
- AGTCR
- AGTMR1
- AGTMR2

21.4.8 カウントソースとして AGT0 のアンダーフローイベント信号を選択した場合

カウントソースにアンダーフローイベント信号を選択する場合、以下の手順に従って動作させてください。

(1) 動作開始手順

1. AGT を設定します。
2. AGT1 のカウント動作を開始します。
3. AGT0 のカウント動作を開始します。

(2) 動作停止手順

1. AGT0 のカウント動作を停止します。
2. AGT1 のカウント動作を停止します。
3. AGT1 のクロック供給を停止します（AGTMR1.TCK[2:0]ビットに 000b を書き込む）。

21.4.9 モジュールストップ機能

モジュールストップコントロールレジスタ D (MSTPCRD) により、AGT の動作を無効または有効にすることが可能です。リセット後の初期状態では、AGT モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「10. 低消費電力モード」を参照してください。

21.4.10 ソースクロックの切り替え時

SCKSCR.CKSEL[2:0]ビットを変更してクロックソースを切り替えるとき、セレクタからのクロック出力は切り替えたクロック 4 サイクル分停止します。そのため、AGTIOn、AGTEEn の一方または両方の入力を外部イベント入力として使う際は、クロックソースを切り替えないでください。外部イベント入力を使いながらクロックソースを切り替えるときは、入力パルス幅を切り替え後のクロックで 4 サイクル分延長してください。

22. リアルタイムクロック (RTC)

22.1 概要

リアルタイムクロック (RTC) には、カレンダーカウントモードとバイナリカウントモードの 2 種類のカウントモードがあり、レジスタ設定を切り替えることで使用します。カレンダーカウントモードは、2000 年から 2099 年の 100 年間のカレンダーを保持し、うるう年の日付を自動補正します。バイナリカウントモードでは、秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダーに利用可能です。

時計カウンタのカウントソースとしてサブクロック発振器または LOCO を選択できます。RTC は、カウントソースをプリスケーラで分周して得られた 128 Hz クロックを使用します。年、月、日、曜日、午前／午後（12 時間モード時）、時、分、秒、または 32 ビットバイナリを 1/128 秒単位でカウントします。

表 22.1 に RTC の仕様を、図 22.1 に RTC のブロック図を、表 22.2 に RTC の入出力端子を示します。

表 22.1 RTC の仕様

項目	内容
カウントモード	カレンダーカウントモード／バイナリカウントモード
カウントソース(注1)	サブクロック (XCIN) または LOCO
時計／カレンダー機能	• カレンダーカウントモード – 年、月、日、曜日、時、分、秒をカウント、BCD 表示 – 12 時間／24 時間モード切り替え機能 – 30 秒調整機能（30 秒未満は 00 秒に切り捨て、30 秒以降は 1 分に桁上げ） – うるう年自動補正機能 • バイナリカウントモード – 秒を 32 ビットでカウント、バイナリ表示 • 両モード共通 – スタート／ストップ機能 – 秒以下の桁のバイナリ表示（1 Hz、2 Hz、4 Hz、8 Hz、16 Hz、32 Hz、64 Hz） – 時間誤差補正機能 – クロック (1 Hz/64 Hz) 出力
割り込み	• アラーム割り込み（RTC_ALM） – アラーム割り込み条件として、比較対象を下記から選択可能 – カレンダーカウントモード：年、月、日、時、分、秒 – バイナリカウントモード：32 ビットバイナリカウンタの各ビット • 周期割り込み (RTC_PRD) – 割り込み周期として、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択可能 • 桁上げ割り込み（RTC_CUP） – 次のいずれかの条件で割り込み発生 • 64 Hz カウンタから秒カウンタへ桁上げが生じたとき • 64 Hz カウンタの変化と R64CNT レジスタの読み出しタイミングが重なったとき（32 kHz カウントモードは 64 Hz カウンタ読み出し時のみ） （32 kHz カウントモードは、64 Hz カウンタ読み出しのためのみに使用します。） • アラーム割り込みまたは周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能
時間キャプチャ機能	• 時間キャプチャイベント入力端子のエッジ検出時に、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、および秒をキャプチャ、または 32 ビットバイナリカウンタ値をキャプチャ • 時間キャプチャイベント入力端子のエッジ検出時に、割り込みを発生可能。時間キャプチャイベント入力端子と IRQ は共有
イベントリンク機能	周期イベント出力 (RTC_PRD)
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≧ カウントソースクロック周波数となるように設定してください。

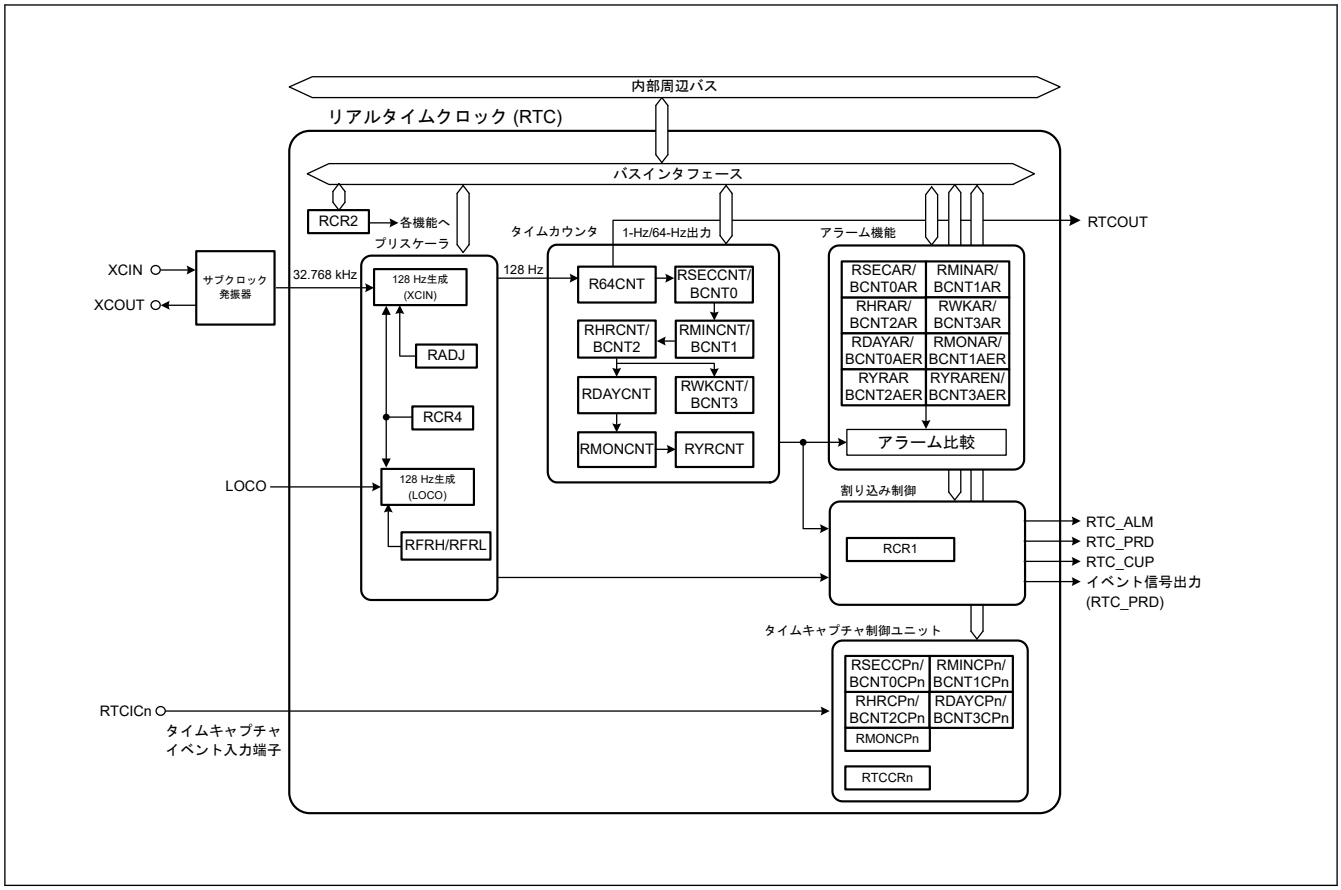


図 22.1　RTC のブロック図

表 22.2　RTC の入出力端子

端子名	入出力	機能
XCIN	入力	32.768 kHz の水晶振動子を接続します。
XCOUT	出力	
RTCOUT	出力	1 Hz/64 Hz 波形出力に使用します。ただし、ディープソフトウェアスタンバイモードでは使用されません。
RTCICn（n = 0, 1）	入力	時間キャプチャイベント入力端子です。

22.2　レジスタの説明

RTC レジスタの書き込み／読み出しは、「22.6.5. レジスタの書き込み／読み出し時の注意事項」に従って行ってください。

RTC レジスタのビット一覧で、リセット後の値が x（不定）になっているビットは、リセットで初期化されません。カウント動作時（たとえば RCR2.START ビットが 1 のとき）に、RTC がリセット状態または低消費電力状態へ遷移した場合、年／月／曜日／日／時／分／秒／64 Hz カウンタは動作を継続します。

注.　レジスタへの書き込み中にリセットが発生すると、レジスタ値が破壊されることがあります。また、どのレジスタに対しても、その設定直後は、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移しないでください。詳細は「22.6.4. レジスタ設定後の低消費電力モードへの遷移について」を参照してください。

22.2.1 R64CNT : 64 Hz カウンタ

Base address: RTC = 0x4008_3000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
Value after reset:	0	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
0	F64HZ	64 Hz フラグ 秒以下の桁の 64 Hz の状態を示します。	R
1	F32HZ	32 Hz フラグ 秒以下の桁の 32 Hz の状態を示します。	R
2	F16HZ	16 Hz フラグ 秒以下の桁の 16 Hz の状態を示します。	R
3	F8HZ	8 Hz フラグ 秒以下の桁の 8 Hz の状態を示します。	R
4	F4HZ	4 Hz フラグ 秒以下の桁の 4 Hz の状態を示します。	R
5	F2HZ	2 Hz フラグ 秒以下の桁の 2 Hz の状態を示します。	R
6	F1HZ	1 Hz フラグ 秒以下の桁の 1 Hz の状態を示します。	R
7	—	読むと 0 が読めます。	R

R64CNT カウンタは、カレンダカウントモードとバイナリカウントモード共通で使用します。64 Hz カウンタ (R64CNT) は 128 Hz クロックでアップカウントするカウンタで、秒周期を生成します。このカウンタを読み出すことで、秒以下の状態を確認できます。

このカウンタは、RTC ソフトウェアリセットまたは 30 秒調整によって 0x00 にクリアされます。このカウンタを読み出す際は、「22.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

22.2.2 RSECCNT : 秒カウンタ（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SEC10[2:0]			SEC1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	SEC1[3:0]	1 秒カウント 1 秒ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
6:4	SEC10[2:0]	10 秒カウント 0 から 5 までカウントして、60 秒カウントを行います。	R/W
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W

RSECCNT カウンタは、BCD コード化された秒の値を設定およびカウントします。64 Hz カウンタでの 1 秒ごとの桁上げによってカウントします。

設定可能範囲は 10 進 (BCD) で 00～59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前にスタートビット (RCR2.START) でカウント動作を停止させてください。

このカウンタを読み出す際は、「22.3.5. 64 Hz カウンタと時刻の読み出し」 に示す手順に従ってください。

22.2.3 RMINCNT : 分カウンタ（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MIN10[2:0]			MIN1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MIN1[3:0]	1 分カウント 1 分ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
6:4	MIN10[2:0]	10 分カウント 0 から 5 までカウントして、60 分カウントを行います。	R/W
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W

RMINCNT カウンタは、BCD コード化された分の値を設定およびカウントします。秒カウンタでの 1 分ごとの桁上げによってカウントします。

設定可能範囲は 10 進 (BCD) で 00～59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、事前に RCR2.START ビットでカウント動作を停止させてください。このカウンタを読み出す際は、「22.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

22.2.4 RHRCNT : 時カウンタ（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	PM	HR10[1:0]		HR1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	HR1[3:0]	1 時間カウント 1 時間ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
5:4	HR10[1:0]	10 時間カウント 一の位からの桁上げごとに 1 回、0 から 2 までカウントします。	R/W
6	PM	時計カウンタの AM/PM の設定 0: 午前 1: 午後	R/W
7	—	読み出し値は不定です。書く場合、0 としてください。	R/W

RHRCNT カウンタは、BCD コード化された時間の値を設定およびカウントします。分カウンタでの 1 時間ごとの桁上げによってカウントします。設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00～11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00～23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、事前に RCR2.START ビットでカウント動作を停止させてください。PM ビットは、RCR2.HR24 ビットが 0 の場合にのみ有効です。

それ以外では、PM ビットの設定値は無効です。このカウンタを読み出す際は、「22.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

22.2.5 RWKCNT : 曜日カウンタ（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	DAYW[2:0]		
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
2:0	DAYW[2:0]	曜日カウント 0 0 0: 日 0 0 1: 月 0 1 0: 火 0 1 1: 水 1 0 0: 木 1 0 1: 金 1 1 0: 土 1 1 1: 設定禁止	R/W
7:3	—	読み出し値は不定です。書く場合、0 としてください。	R/W

RWKCNT カウンタは、コード化された曜日の値を設定およびカウントします。時カウンタでの 1 日ごとの桁上げによってカウントします。0～6 の値を指定できます。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、事前に RCR2.START ビットでカウント動作を停止させてください。このカウンタを読み出す際は、「22.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

22.2.6 BCNTn : バイナリカウンタ n (n = 0～3)（バイナリカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x02 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BCNT[7:0]							
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	BCNT[7:0]	バイナリカウンタ	R/W

BCNTn レジスタは、32 ビットバイナリカウンタの BCNT[31:0]にアクセスする書き込み／読み出し可能な 8 ビットレジスタです。BCNT3 は BCNT[31:24]ビットに、BCNT2 は BCNT[23:16]ビットに、BCNT1 は BCNT[15:8]ビットに、BCNT0 は BCNT[7:0]ビットに指定されます。32 ビットバイナリカウンタは、64 Hz カウンタでの 1 秒ごとの桁上げによってカウント動作を行います。このレジスタへ書き込む際は、事前にスタートビット (RCR2.START) でカウント動作を停止させてください。このカウンタを読み出す際は、「22.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

22.2.7 RDAYCNT : 日カウンタ

Base address: RTC = 0x4008_3000

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	DATE10[1:0]		DATE1[3:0]			
Value after reset:	0	0	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	DATE1[3:0]	1 日カウント 1 日ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
5:4	DATE10[1:0]	10 日カウント 一の位からの桁上げごとに 1 回、0 から 3 までカウントします。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RDAYCNT カウンタは、カレンダカウントモード時に使用され、BCD コード化された日の値を設定およびカウントします。時カウンタでの 1 日ごとの桁上げによってカウントします。カウント動作は、月によっても、うるう年か否かによっても異なります。うるう年は、年カウンタ (RYRCNT) の値が 400、100 および 4 で割り切れるか否かで判定されます。

設定可能範囲は 10 進 (BCD) で 01～31 です。この範囲にない値が設定されると、RTC は正常に動作しません。値を設定する際は、指定可能な日数範囲が月によっても、うるう年か否かによっても異なります。このレジスタへ書き込む際は、事前に RCR2.START ビットでカウント動作を停止させてください。このカウンタを読み出す際は、「22.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

22.2.8 RMONCNT : 月カウンタ

Base address: RTC = 0x4008_3000

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	MON10	MON1[3:0]			
Value after reset:	0	0	0	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MON1[3:0]	1 月カウント 1 月ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
4	MON10	10 月カウント 一の位からの桁上げごとに 1 回、0 から 1 までカウントします。	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RMONCNT カウンタは、カレンダカウントモード時に使用され、BCD コード化された月の値を設定およびカウントします。日カウンタでの 1 月ごとの桁上げによってカウントします。

設定可能範囲は 10 進 (BCD) で 01～12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、事前に RCR2.START ビットでカウント動作を停止させてください。このカウンタを読み出す際は、「22.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

22.2.9 RYRCNT : 年カウンタ

Base address: RTC = 0x4008_3000

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	YR1[3:0]	1 年カウント 1 年ごとに 0 から 9 までカウントします。桁上げが生じると、十の位が+1 されます。	R/W
7:4	YR10[3:0]	10 年カウント 一の位からの桁上げごとに 1 回、0 から 9 までカウントします。	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RYRCNT カウンタは、カレンダカウントモード時に使用され、BCD コード化された年の値を設定およびカウントします。月カウンタでの 1 年ごとの桁上げによってカウントします。

設定可能範囲は 10 進 (BCD) で 00～99 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、事前に RCR2.START ビットでカウント動作を停止させてください。このカウンタを読み出す際は、「22.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。

22.2.10 RSECAR : 秒アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	SEC10[2:0]			SEC1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	SEC1[3:0]	1 秒 一秒の位の設定値	R/W
6:4	SEC10[2:0]	10 秒 十秒の位の設定値	R/W
7	ENB	ENB 0: このレジスタ値と RSECCNT カウンタ値との比較を行わない 1: このレジスタ値と RSECCNT カウンタ値との比較を行う	R/W

RSECAR レジスタは、BCD コード化された秒カウンタ (RSECCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RSECAR レジスタ値が RSECCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RSECAR レジスタの設定可能範囲は、10 進 (BCD) で 00～59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.11 RMINAR : 分アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x12

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	MIN10[2:0]			MIN1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MIN1[3:0]	1 分 一分の位の設定値	R/W
6:4	MIN10[2:0]	10 分 十分の位の設定値	R/W
7	ENB	ENB 0: このレジスタ値と RMINCNT カウンタ値との比較を行わない 1: このレジスタ値と RMINCNT カウンタ値との比較を行う	R/W

RMINAR レジスタは、BCD コード化された分カウンタ (RMINCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RMINAR レジスタ値が RMINCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RMINAR レジスタの設定可能範囲は、10 進 (BCD) で 00～59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.12 RHRAR : 時アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x14

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	PM	HR10[1:0]		HR1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	HR1[3:0]	1 時間 一時間の位の設定値	R/W
5:4	HR10[1:0]	10 時間 十時間の位の設定値	R/W

ビット	シンボル	機能	R/W
6	PM	時計アラームの AM/PM の設定 0: 午前 1: 午後	R/W
7	ENB	ENB 0: このレジスタ値と RHRCNT カウンタ値との比較を行わない 1: このレジスタ値と RHRCNT カウンタ値との比較を行う	R/W

RHRAR レジスタは、BCD コード化された時カウンタ (RHRCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RHRAR レジスタ値が RHRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RHRAR レジスタの設定可能範囲は、時間モードビット (RCR2.HR24) の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00～11 (BCD)
- RCR2.HR24 ビットが 1 の場合、00～23 (BCD)

この範囲にない値が設定されると、RTC は正常に動作しません。RCR2.HR24 ビットが 0 の場合、PM ビットを設定してください。RCR2.HR24 ビットが 1 の場合、PM ビットの設定値は無効です。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.13 RWKAR : 曜日アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x16

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	—	—	—	—	DAYW[2:0]		
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
2:0	DAYW[2:0]	曜日設定 0 0 0: 日曜日 0 0 1: 月曜日 0 1 0: 火曜日 0 1 1: 水曜日 1 0 0: 木曜日 1 0 1: 金曜日 1 1 0: 土曜日 1 1 1: 設定禁止	R/W
6:3	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RWKCNT カウンタ値との比較を行わない 1: このレジスタ値と RWKCNT カウンタ値との比較を行う	R/W

RWKAR レジスタは、コード化された曜日カウンタ (RWKCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RWKAR レジスタ値が RWKCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RWKAR レジスタの設定可能範囲は、10 進 (BCD) で 0～6 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.14 BCNTnAR : バイナリカウンタ n アラームレジスタ (n = 0～3)（バイナリカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x10 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BCNTAR							
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	BCNTAR	32 ビットバイナリカウンタに対応するアラームレジスタ	R/W

BCNTnAR レジスタは、32 ビットバイナリカウンタに対応する読み出し／書き込み可能なアラームレジスタです。BCNT3AR は BCNTAR[31:24]ビットに、BCNT2AR は BCNTAR[23:16]ビットに、BCNT1AR は BCNTAR[15:8]ビットに、BCNT0AR は BCNTAR[7:0]ビットに割り当てられます。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.15 RDAYAR : 日アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x18

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	—	DATE10[1:0]		DATE1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	DATE1[3:0]	日の一の位 「日」の一の位の値	R/W
5:4	DATE10[1:0]	日の十の位 「日」の十の位の値	R/W
6	—	読み出し値は不定です。 書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	ENB	ENB 0: このレジスタ値と RDAYCNT カウンタ値との比較を行わない 1: このレジスタ値と RDAYCNT カウンタ値との比較を行う	R/W

RDAYAR レジスタは、BCD コード化された日カウンタ (RDAYCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RDAYAR レジスタ値が RDAYCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RDAYAR レジスタの設定可能範囲は、10 進 (BCD) で 01～31 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.16 RMONAR : 月アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x1A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	—	—	MON10	MON1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MON1[3:0]	月の一の位 「月」の一の位の値	R/W
4	MON10	月の十の位 「月」の十の位の値	R/W
6:5	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RMONCNT カウンタ値との比較を行わない 1: このレジスタ値と RMONCNT カウンタ値との比較を行う	R/W

RMONAR レジスタは、BCD コード化された月カウンタ (RMONCNT) に対応するアラームレジスタです。ENB ビットが 1 のとき、RMONAR レジスタ値が RMONCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。RMONAR レジスタの設定可能範囲は、10 進 (BCD) で 01～12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.17 RYRAR : 年アラームレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x1C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	YR1[3:0]	年の一の位 「年」の一の位の値	R/W
7:4	YR10[3:0]	年の十の位 「年」の十の位の値	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RYRAR レジスタは、BCD コード化された年カウンタ (RYRCNT) に対応するアラームレジスタです。RYRAR レジスタの設定可能範囲は、10 進 (BCD) で 00～99 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0x0000 になります。

22.2.18 RYRAREN : 年アラームイネーブルレジスタ（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x1E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB	—	—	—	—	—	—	—
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
6:0	—	読み出し値は不定です。 書く場合、0 としてください。	R/W
7	ENB	ENB 0: このレジスタ値と RYRCNT カウンタ値との比較を行わない 1: このレジスタ値と RYRCNT カウンタ値との比較を行う	R/W

RYRAREN レジスタは、ENB ビットが 1 であれば、RYRAR レジスタ値が RYRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

すべての各値が一致する場合、RTC_ALM 割り込みに対応する IR フラグは 1 になります。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.19 BCNTnAER : バイナリカウンタ n アラームイネーブルレジスタ (n = 0, 1) (バイナリカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x18 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB[7:0]							
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	ENB[7:0]	32 ビットバイナリカウンタに対応するアラーム許可設定	R/W

BCNTnAER レジスタは、32 ビットバイナリカウンタに対応するアラーム許可 (BCNTAER) 設定用の読み出し／書き込み可能なレジスタです。BCNT3AER は BCNTAER.ENB[31:24]ビットに、BCNT2AER は BCNTAER.ENB[23:16]ビットに、BCNT1AER は BCNTAER.ENB[15:8]ビットに、BCNT0AER は BCNTAER.ENB[7:0]ビットに指定されます。BCNTAER.ENB[31:0]ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.20 BCNT2AER : バイナリカウンタ 2 アラームイネーブルレジスタ (バイナリカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x1C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	ENB[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	ENB[7:0]	32 ビットバイナリカウンタに対応するアラーム許可設定	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

BCNT2AER レジスタは、32 ビットバイナリカウンタに対応するアラーム許可 (BCNTAER) 設定用の読み出し／書き込み可能なレジスタです。BCNT3AER は BCNTAER.ENB[31:24]ビットに、BCNT2AER は BCNTAER.ENB[23:16]ビットに、BCNT1AER は BCNTAER.ENB[15:8]ビットに、BCNT0AER は BCNTAER.ENB[7:0]ビットに指定されます。BCNTAER.ENB[31:0]ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.21 BCNT3AER : バイナリカウンタ 3 アラームイネーブルレジスタ (バイナリカウントモード時)

Base address: RTC = 0x4008_3000

Offset address: 0x1E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ENB[7:0]							
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
7:0	ENB[7:0]	32 ビットバイナリカウンタに対応するアラーム許可設定	R/W

BCNT3AER レジスタは、32 ビットバイナリカウンタに対応するアラーム許可 (BCNTAER) 設定用の読み出し／書き込み可能なレジスタです。BCNT3AER は BCNTAER.ENB[31:24]ビットに、BCNT2AER は BCNTAER.ENB[23:16]ビットに、BCNT1AER は BCNTAER.ENB[15:8]ビットに、BCNT0AER は BCNTAER.ENB[7:0]ビットに指定されます。BCNTAER.ENB[31:0]ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ (BCNTAR) と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。

22.2.22 RCR1 : RTC コントロールレジスタ 1

Base address: RTC = 0x4008_3000

Offset address: 0x22

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PES[3:0]				RTCOS	PIE	CIE	AIE
Value after reset:	x	x	x	x	0	x	0	x

ビット	シンボル	機能	R/W
0	AIE	アラーム割り込み許可 0: アラーム割り込み要求を禁止 1: アラーム割り込み要求を許可	R/W
1	CIE	桁上げ割り込み許可 0: 桁上げ割り込み要求を禁止 1: 桁上げ割り込み要求を許可	R/W
2	PIE	周期割り込み許可 0: 周期割り込み要求を禁止 1: 周期割り込み要求を許可	R/W
3	RTCOS	RTCOUT 出力選択 0: RTCOUT は 1 Hz を出力 1: RTCOUT は 64 Hz を出力	R/W
7:4	PES[3:0]	周期割り込み選択 0x6: 1/256 秒ごとに周期割り込みが発生(注1) 0x7: 1/128 秒ごとに周期割り込みが発生 0x8: 1/64 秒ごとに周期割り込みが発生 0x9: 1/32 秒ごとに周期割り込みが発生 0xA: 1/16 秒ごとに周期割り込みが発生 0xB: 1/8 秒ごとに周期割り込みが発生 0xC: 1/4 秒ごとに周期割り込みが発生 0xD: 1/2 秒ごとに周期割り込みが発生 0xE: 1 秒ごとに周期割り込みが発生 0xF: 2 秒ごとに周期割り込みが発生 その他: 上記以外は、周期割り込みを発生しない	R/W

注 1. PES[3:0] = 0x6 のときに LOCO が選択されると (RCR4.RCKSEL = 1)、1/128 秒ごとに周期割り込みが発生します。

RCR1 レジスタは、カレンダーカウントモードとバイナリカウントモード共通で使用します。AIE、PIE、および PES[3:0]ビットは、カウントソースに同期して更新されます。RCR1 レジスタを書き換えた場合は、全ビットが更新されたことを確認してから次の処理を実行してください。

AIE ビット（アラーム割り込み許可）

AIE ビットはアラーム割り込み要求を許可または禁止します。

ディープソフトウェアスタンバイモード時にカウンタとアラームの設定時刻が一致した場合、AIE ビット値とは無関係に、MCU はディープソフトウェアスタンバイモードから復帰します。

CIE ビット（桁上げ割り込み許可）

CIE ビットは RSECCNT/BCNT0 カウンタへの桁上げが生じたとき、または 64 Hz カウンタ (R64CNT) の読み出し中に 64 Hz カウンタへの桁上げが生じたときの割り込み要求を許可または禁止します。

PIE ビット（周期割り込み許可）

PIE ビットは周期割り込み要求を許可または禁止します。

ディープソフトウェアスタンバイモード時にカウンタと PES[3:0]ビットの設定周期が一致した場合、PIE ビット値とは無関係に、MCU はディープソフトウェアスタンバイモードから復帰します。

RTCOS ビット（RTCOUT 出力選択）

RTCOS ビットは RTCOUT の出力周期を選択します。RTCOS ビットは、カウント動作停止 (RCR2.START = 0)、かつ RTCOUT 出力禁止 (RCR2.RTCOE = 0) のときに書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットで出力を許可にする必要があります。

PES[3:0]ビット（周期割り込み選択）

PES[3:0]ビットは周期割り込みの周期を設定します。本ビットで設定した周期に応じて周期割り込みが発生します。

22.2.23 RCR2 : RTC コントロールレジスタ 2（カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CNTMD	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
Value after reset:	x	x	x	x	0	0	0	x

ビット	シンボル	機能	R/W
0	START	スタート 0: プリスケーラと時計カウンタは停止 1: プリスケーラと時計カウンタは通常動作	R/W
1	RESET	RTC ソフトウェアリセット 0: 書き込み時：書き込みは無効 読み出し時：通常の時計動作中または RTC ソフトウェアリセット完了 1: 書き込み時：RTC ソフトウェアリセットに対してプリスケーラと対象レジスタを初期化(注1) 読み出し時：RTC ソフトウェアリセット処理中	R/W
2	ADJ30	30 秒調整 0: 書き込み時：無効（0 の書き込みは影響なし） 読み出し時：通常の時計動作中または 30 秒調整が完了 1: 書き込み時：30 秒調整を実行 読み出し時：30 秒調整処理中	R/W
3	RTCOE	RTCOUT 出力許可 0: RTCOUT 出力を禁止 1: RTCOUT 出力を許可	R/W
4	AADJE	自動補正有効(注2)(注3) 0: 自動補正は無効 1: 自動補正は有効	R/W
5	AADJP	自動補正周期選択(注2)(注3) 0: 1 分ごとにプリスケーラのカウント値に対して RADJ.ADJ[5:0]ビットの設定値を調整 1: 10 秒ごとにプリスケーラのカウント値に対して RADJ.ADJ[5:0]ビットの設定値を調整	R/W
6	HR24	時間モード(注3) 0: RTC は 12 時間モードで動作 1: RTC は 24 時間モードで動作	R/W

ビット	シンボル	機能	R/W
7	CNTMD	カウントモード選択(注4) 0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注 1. R64CNT, RSECAR, RMINAR, RHRAR, RWKAR, RDAYAR, RMONAR, RYRAR, RYRAREN, RADJ, RTCCRn, RSECCPn, RMINCPn, RHRCPn, RDAYCPn, RMONCPn, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP
注 2. LOCO が選択される場合、このビットの設定は無効です。
注 3. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み／読み出しの注意事項については「22.6.5. レジスタの書き込み／読み出し時の注意事項」を参照してください。
注 4. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、およびカウント動作の制御に関するレジスタです。

START ビット（スタート）

START ビットはプリスケーラおよびカウンタ（時計）の停止または動作を制御します。このビットはカウントソースの次のサイクルに同期して更新されます。START ビットを書き換えた場合は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット（RTC ソフトウェアリセット）

RESET ビットはプリスケーラと RTC ソフトウェアリセット対象レジスタを初期化します。このビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。このビットが 0 になったことを確認してから次の処理を実行してください。

ADJ30 ビット（30 秒調整）

ADJ30 ビットは 30 秒調整を行います。

ADJ30 ビットに 1 を書くと、RSECCNT カウンタ値が 30 秒未満の場合は 00 秒に切り捨てられ、30 秒以上の場合は 1 分に切り上げられます。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに 1 を書いた場合、30 秒調整が完了すると、このビットは自動的に 0 になります。ADJ30 ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。30 秒調整を実行すると、プリスケーラと R64CNT カウンタもリセットされます。ADJ30 ビットは RTC ソフトウェアリセットによって 0 になります。

RTCOE ビット（RTCOUT 出力許可）

RTCOE ビットは RTCOUT 端子からの 1 Hz/64 Hz クロック信号出力を許可します。

RTCOE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止（START ビットへの 0 の書き込み）と RTCOE ビット値の変更は、同時に行わないでください。

RTCOUT を外部端子から出力する場合は、RTCOE ビットで出力を許可にするとともに、ポート制御を有効にしてください。

AADJE ビット（自動補正有効）

AADJE ビットは自動補正機能の有効または無効を制御します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b（補正を行わない）にしてください。

AADJE ビットは RTC ソフトウェアリセットによって 0 になります。

AADJP ビット（自動補正周期選択）

AADJP ビットは自動補正の周期を選択します。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b（補正を行わない）にしてください。

AADJP ビットは RTC ソフトウェアリセットによって 0 になります。

HR24 ビット（時間モード）

HR24 ビットは RTC を 12 時間モードと 24 時間モードのどちらで動作させるかを指定します。

HR24 ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止（START ビットへの 0 の書き込み）と HR24 ビット値の変更は、同時に行わないでください。

CNTMD ビット（カウントモード選択）

CNTMD ビットは、RTC をカレンダーカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定します。

カウントモードを設定した場合は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。本ビットは、カウントソースに同期して更新されます。ただし、カウントモードが切り替わるのは、RTC ソフトウェアリセット後のみになります。（ビットは RTC リセット前に切り替わりますが、モードは RTC リセット後に切り替わります。）

初期設定の詳細は、「22.3.1. 電源投入後のレジスタ初期設定の概要」を参照してください。

22.2.24 RCR2 : RTC コントロールレジスタ 2（バイナリカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CNTMD	—	AADJP	AADJE	RTCOE	—	RESET	START
Value after reset:	x	x	x	x	0	0	0	x

ビット	シンボル	機能	R/W
0	START	スタート 0: 32 ビットバイナリカウンタ、64 Hz カウンタ、およびプリスケーラは停止 1: 32 ビットバイナリカウンタ、64 Hz カウンタ、およびプリスケーラは動作	R/W
1	RESET	RTC ソフトウェアリセット 0: ［書き込み時］書き込みは無効 ［読み出し時］通常の時計動作中または RTC ソフトウェアリセット完了 1: ［書き込み時］プリスケーラおよび RTC ソフトウェアリセット対象レジスタ(注1)を初期化 ［読み出し時］RTC ソフトウェアリセット処理中	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	RTCOE	RTCOUT 出力許可 0: RTCOUT 出力を禁止 1: RTCOUT 出力を許可	R/W
4	AADJE	自動補正有効(注2)(注3) 0: 自動補正は無効 1: 自動補正は有効	R/W
5	AADJP	自動補正周期選択(注2)(注3) 0: 32 秒ごとにプリスケーラのカウント値に対して RADJ.ADJ[5:0]ビット値を加減算 1: 8 秒ごとにプリスケーラのカウント値に対して RADJ.ADJ[5:0]ビット値を加減算	R/W
6	—	読み出し値は不定です。書く場合、0 としてください。	R/W
7	CNTMD	カウントモード選択(注4) 0: カレンダーカウントモード 1: バイナリカウントモード	R/W

注 1. R64CNT, BCNTnAR, BCNTnAER, RADJ, RTCCRn, BCNTnCPm, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP
注 2. LOCO が選択される場合、このビットの設定は無効です。
注 3. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。レジスタの書き込み/読み出しの注意事項については「22.6.5. レジスタの書き込み／読み出し時の注意事項」を参照してください。
注 4. このビットを書き換えた場合、値が書き換わったことを確認してから次の処理を実施してください。

バイナリカウントモードにおける RCR2 レジスタは、自動補正機能、RTCOUT 出力許可、RTC ソフトウェアリセット、およびカウントモード制御に関連するレジスタです。

START ビット（スタート）

START ビットはプリスケーラおよびカウンタ（時計）の停止または動作を制御します。START ビットは、カウントソースに同期して更新されます。START ビットを書き換えた場合は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット（RTC ソフトウェアリセット）

RESET ビットはプリスケーラと RTC ソフトウェアリセット対象レジスタを初期化します。RESET ビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。RESET ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。

RTCOE ビット（RTCOUT 出力許可）

RTCOE ビットは RTCOUT 端子からの 1 Hz/64 Hz クロック信号出力を許可します。

RTCOE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止（START ビットへの 0 の書き込み）と RTCOE ビット値の変更は、同時に行わないでください。RTCOUT 信号を外部端子から出力する場合は、このビットを許可にするとともに、ポート制御を有効にしてください。

AADJE ビット（自動補正有効）

AADJE ビットは自動補正機能の有効または無効を制御します。

AADJE ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b（補正を行わない）にしてください。AADJE ビットは、RTC ソフトウェアリセットによって 0 になります。

AADJP ビット（自動補正周期選択）

AADJP ビットは自動補正の周期を選択します。

バイナリカウントモードでは、32 秒ごとまたは 8 秒ごとの補正周期を選択できます。

AADJP ビット値を変更する前に、プラスマイナスビット (RADJ.PMADJ[1:0]) を 00b（補正を行わない）にしてください。AADJP ビットは、RTC ソフトウェアリセットによって 0 になります。

CNTMD ビット（カウントモード選択）

CNTMD ビットは、RTC をカレンダーカウントモードで動作させるか、バイナリカウントモードで動作させるかを指定します。

カウントモードを設定した場合は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。本ビットは、カウントソースに同期して更新されます。ただし、カウントモードが切り替わるのは、RTC ソフトウェアリセット後のみになります。（ビットは RTC リセット前に切り替わりますが、モードは RTC リセット後に切り替わります。）

初期設定の詳細は、「22.3.1. 電源投入後のレジスタ初期設定の概要」を参照してください。

22.2.25 RCR4 : RTC コントロールレジスタ 4

Base address: RTC = 0x4008_3000

Offset address: 0x28

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RCKSEL
Value after reset:	0	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	RCKSEL	カウントソース設定 0: SOSC クロックを選択 1: LOCO クロックを選択	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RCR4 レジスタは、カレンダカウントモード／バイナリカウントモード共通で使用します。

RCKSEL ビット（カウントソース設定）

RCKSEL ビットはカウントソースを、SOSC クロックおよび LOCO クロックに設定します。

RCKSEL ビットは通常動作モードでのみ使用されます。RCKSEL ビットが 0 の場合は、SOSC クロックでカウントされます。また、RCKSEL ビットが 1 の場合は、LOCO クロックでカウントされます。

カウントソース設定の詳細は、「22.3.1. 電源投入後のレジスタ初期設定の概要」、「22.3.2. クロックおよびカウントモードの設定手順」を参照してください。カウントソースの設定は、電源投入後、RTC レジスタの初期設定前に一度だけ行ってください。

22.2.26 RFRL : 周波数レジスタ L

Base address: RTC = 0x4008_3000

Offset address: 0x2C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RFC[15:0]															
Value after reset:	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
15:0	RFC[15:0]	周波数比較値 LOCO 使用時は、このレジスタに 0x00FF を書いてください。	R/W

RFRL レジスタは、LOCO が選択されているときにプリスケーラを制御するレジスタです。

RTC の時計カウンタは、128 Hz クロック信号を基本クロックとして動作します。そのため、LOCO を選択した場合、プリスケーラで LOCO が分周されて 128 Hz クロック信号が生成されます。RFC[15:0]ビットには、LOCO 周波数から 128 Hz クロックを生成するための周波数比較値を設定します。コールドスタート後、RFC[15:0]へ書き込む前に、RFRH に 0x0000 を書き込んでください。

周波数比較値の設定可能範囲は、0x0007～0x01FF です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへ書き込む際は、必ず事前に RCR2.START ビットでカウント動作を停止させてください。周辺モジュールクロックと LOCO の動作周波数は、「周辺モジュールクロック ≧ LOCO」となるようにしてください。

周波数比較値の計算方法:

RFC[15:0] = （LOCO クロック周波数） / 128 - 1

LOCO 周波数が 32.768 kHz の時、RFRL レジスタの値は 0x00FF になります。

22.2.27 RFRH : 周波数レジスタ H

Base address: RTC = 0x4008_3000

Offset address: 0x2A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFC16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	RFC16	コールドスタート後、RFRL レジスタに書き込む前に 0 を書いてください	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

コールドスタート後、RFC[15:0]へ書き込む前に、RFRH に 0x0000 を書き込んでください。

22.2.28 RADJ : 時間誤差補正レジスタ

Base address: RTC = 0x4008_3000

Offset address: 0x2E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	PMADJ[1:0]		ADJ[5:0]					
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
5:0	ADJ[5:0]	補正値 プリスケーラの補正値を設定する	R/W
7:6	PMADJ[1:0]	プラスマイナス 0 0: 補正しない 0 1: プリスケーラに対して値を加算して補正する 1 0: プリスケーラに対して値を減算して補正する 1 1: 設定禁止	R/W

RADJ レジスタはカレンダカウントモード／バイナリカウントモードで共通の機能です。プリスケーラに対して値を加算または減算することによって補正が行われます。自動補正有効ビット (RCR2.AADJE) が 0 であると、RADJ レジスタへの書き込み時に補正が行われます RCR2.AADJE ビットが 1 であると、自動補正周期選択ビット (RCR2.AADJP) で設定した間隔で補正が行われます。

ソフトウェア設定による補正（自動補正が無効）では、レジスタの設定後、カウントソースの 320 サイクル中に次の補正値を設定すると、現在の補正値の設定が無効となる場合があります。連続して補正を行う場合は、レジスタの設定後、カウントソースで 320 サイクル以上待ってから次の補正値を設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。サブクロック発振器を選択した場合にのみ、本レジスタの設定が有効になります。LOCO を選択した場合、補正は行われません。

ADJ[5:0]ビット（補正値）

ADJ[5:0]ビットはプリスケーラに対する補正値（サブクロックのサイクル数）を設定します。

PMADJ[1:0]ビット（プラスマイナス）

ADJ[5:0]ビットで設定した誤差補正値に従って、PMADJ[1:0]ビットは時計を進めるか、遅らせるかを選択します。

22.2.29 RTCCRn : 時間キャプチャコントロールレジスタ n (n = 0, 1)

Base address: RTC = 0x4008_3000

Offset address: 0x40 + 0x02 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TCEN	—	TCNF[1:0]		—	TCST	TCCT[1:0]	
Value after reset:	x	0	x	x	0	x	x	x

ビット	シンボル	機能	R/W
1:0	TCCT[1:0]	時間キャプチャ制御 0 0: イベントを検出しない 0 1: 立ち上がりエッジを検出 1 0: 立ち下がりエッジを検出 1 1: 両エッジを検出	R/W

ビット	シンボル	機能	R/W
2	TCST	時間キャプチャステータス 0: イベント検出なし 1: イベント検出あり(注1)	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5:4	TCNF[1:0]	時間キャプチャノイズフィルタ制御 0 0: ノイズフィルタ停止 0 1: 設定禁止 1 0: ノイズフィルタ開始（カウントソース） 1 1: ノイズフィルタ開始（カウントソースの 32 分周）	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TCEN	時間キャプチャイベント入力端子有効 0: RTCICn 端子が時間キャプチャイベント入力端子として無効 1: RTCICn 端子が時間キャプチャイベント入力端子として有効	R/W

注 1. イベントが検出されたことを示します。1 の書き込みは無効になります。0 を書き込むと 0 になります。

RTCCRn レジスタは、カレンダーカウントモードとバイナリカウントモード共通で使用します。RTCCR0 レジスタが RTCIC0 端子、RTCCR1 レジスタが RTCIC1 端子をそれぞれ制御します。

RTCCRn は、カウントソースに同期して更新されます。RTCCRn レジスタを書き換えた場合は、TCST ビット以外の全ビットが更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。

TCCT[1:0]ビット（時間キャプチャ制御）

TCCT[1:0]ビットは時間キャプチャイベント入力端子、RTCIC0 および RTCIC1 のエッジ検出を制御します。検出するエッジの選択が可能です。TCCT[1:0]ビットは、TCEN ビットが 1 のときに設定してください。

TCST ビット（時間キャプチャステータス）

TCST ビットは、時間キャプチャイベント入力端子、RTCIC0 および RTCIC1 のイベントが検出されたことを示します。TCST ビットが 0 の場合、イベントは検出されていません。TCST ビットが 1 の場合、対応する端子のイベントが検出されたこと、およびキャプチャレジスタが有効であることを示します。複数回イベントが検出された場合は、最初のイベントのキャプチャ時刻が保持されます。

イベントは、カウント動作中 (RCR2.START = 1) にのみ検出されます。キャプチャレジスタの読み出しは、本ビットが 1 になったことを確認してから行ってください。

TCST ビットの設定は、TCCT[1:0]ビットが 00b（イベント検出なし）の状態で行ってください。TCST ビットは、カウントソースに同期して 0 になります。TCST ビットを 0 にした場合、このビットが更新されたことを確認してから次の処理を実行してください。

TCNF[1:0]ビット（時間キャプチャノイズフィルタ制御）

TCNF[1:0]ビットは、時間キャプチャイベント入力端子（RTCIC0 および RTCIC1）のノイズフィルタを制御します。

ノイズフィルタが開始の場合、カウントソースの 1 分周または 32 分周を選択できます。このとき、時間キャプチャイベント入力端子の入力レベルが設定したサンプリング周期で 3 回連続して一致すると、その入力レベルが確定されます。

TCNF[1:0]ビットの設定は、TCCT[1:0]ビットが 00b（イベント検出なし）の状態で行ってください。ノイズフィルタを使用する場合は、TCNF[1:0]ビットの設定後、設定したサンプリング周期の 3 周期分待った後、TCCT[1:0]ビットの設定を行ってください。

TCEN ビット（時間キャプチャイベント入力端子有効）

TCEN ビットは時間キャプチャイベント入力端子 RTCIC0 および RTCIC1 を有効または無効にします。TCEN ビットを 0 にする場合、TCCT[1:0]ビットも 00b にしてください。

RTCCR0.TCEN が 1 のとき、P402 の PMR ビットと PDR ビットを 1 にすることは禁止されています。
RTCCR1.TCEN が 1 のとき、P403 の PMR ビットと PDR ビットを 1 にすることは禁止されています。

RTC または AGT 入力を使用しない場合、RTCCRn.TCEN は 0 にしてください。RTCCRn.TCEN は、リセット時に初期化されません。そのため、RTC または AGT 入力を使用しない場合、RTCCRn.TCEN はリセット後に 0 にする必要があります。

22.2.30 RSECCPn : 秒キャプチャレジスタ n (n = 0, 1) （カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x52 + 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SEC10[2:0]			SEC1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	SEC1[3:0]	1 秒キャプチャ 一秒の位のキャプチャ値を示します。	R
6:4	SEC10[2:0]	10 秒キャプチャ 十秒の位のキャプチャ値を示します。	R
7	—	読み出し値は不定です。	R

RSECCPn レジスタは、時間キャプチャイベント検出時に RSECCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RSECCP0 レジスタに、RTCIC1 端子によるイベント検出時は RSECCP1 レジスタに、それぞれイベント検出時刻を格納します。このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

22.2.31 RMINCPn : 分キャプチャレジスタ n (n = 0, 1) （カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x54 + 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	MIN10[2:0]			MIN1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MIN1[3:0]	1 分キャプチャ 一分の位のキャプチャ値を示します。	R
6:4	MIN10[2:0]	10 分キャプチャ 十分の位のキャプチャ値を示します。	R
7	—	読み出し値は不定です。	R

RMINCPn レジスタは、時間キャプチャイベント検出時に RMINCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMINCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMINCP1 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

22.2.32 RHRCPn : 時キャプチャレジスタ n (n = 0, 1) （カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x56 + 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	PM	HR10[1:0]		HR1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	HR1[3:0]	1 時間キャプチャ 一時間の位のキャプチャ値を示します。	R
5:4	HR10[1:0]	10 時間キャプチャ 十時間の位のキャプチャ値を示します。	R
6	PM	PM 0: 午前 1: 午後	R
7	—	読み出し値は不定です。	R

RHRCPn レジスタは、時間キャプチャイベント検出時に RHRCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RHRCP0 レジスタに、RTCIC1 端子によるイベント検出時は RHRCP1 レジスタに、それぞれイベント検出時刻を格納します。

RCR2.HR24 ビットが 0（12 時間モード）の場合にのみ、PM ビットが有効になります。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

22.2.33 RDAYCPn : 日キャプチャレジスタ n (n = 0, 1) （カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x5A + 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	DATE10[1:0]		DATE1[3:0]			
Value after reset:	x	x	x	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	DATE1[3:0]	1 日キャプチャ 一日の位のキャプチャ値を示します。	R
5:4	DATE10[1:0]	10 日キャプチャ 十日の位のキャプチャ値を示します。	R
7:6	—	読み出し値は不定です。	R

RDAYCPn レジスタは、時間キャプチャイベント検出時に RDAYCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RDAYCP0 レジスタに、RTCIC1 端子によるイベント検出時は RDAYCP1 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

22.2.34 RMONCPn : 月キャプチャレジスタ n (n = 0, 1) （カレンダーカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x5C + 0x10 × n

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	MON10	MON1[3:0]			
Value after reset:	0	0	0	x	x	x	x	x

ビット	シンボル	機能	R/W
3:0	MON1[3:0]	1 月キャプチャ 一月の位のキャプチャ値を示します。	R
4	MON10	10 月キャプチャ 十月の位のキャプチャ値を示します。	R
7:5	—	読むと 0 が読めます。	R

RMONCPn レジスタは、カレンダカウントモード時に使用され、時間キャプチャイベント検出時に RMONCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMONCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMONCP1 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 0x00 にクリアされます。読み出しは、RTCCRn.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

22.2.35 BCNTnCPm : BCNTn キャプチャレジスタ m (n= 0～3, m = 0, 1)（バイナリカウントモード時）

Base address: RTC = 0x4008_3000

Offset address: 0x52 + 0x10 × m (BCNT0CPm)
0x54 + 0x10 × m (BCNT1CPm)
0x56 + 0x10 × m (BCNT2CPm)
0x5A + 0x10 × m (BCNT3CPm)

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	x	x	x	x	x	x	x	x

BCNTnCPm レジスタは、時間キャプチャイベント検出時に BCNTn 値をキャプチャする読み出し専用のレジスタです。BCNT3CPm は BCNTCPm[31:24]ビットに、BCNT2CPm は BCNTCPm[23:16]ビットに、BCNT1CPm は BCNTCPm[15:8]ビットに、BCNT0CPm は BCNTCPm[7:0]ビットに割り当てられます。RTCIC0 端子によるイベント検出時は BCNTnCP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNTnCP1 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 0x00 になります。読み出しは、RTCCRn.TCCT[1:0]ビットで時間キャプチャイベント検出を停止させてから行ってください。

22.3 動作説明

22.3.1 電源投入後のレジスタ初期設定の概要

電源投入後は、クロック設定、カウントモード設定、時間誤差補正、時刻設定、アラーム、割り込みおよび時間キャプチャコントロールレジスタ n に対して、必ず初期設定を行ってください。

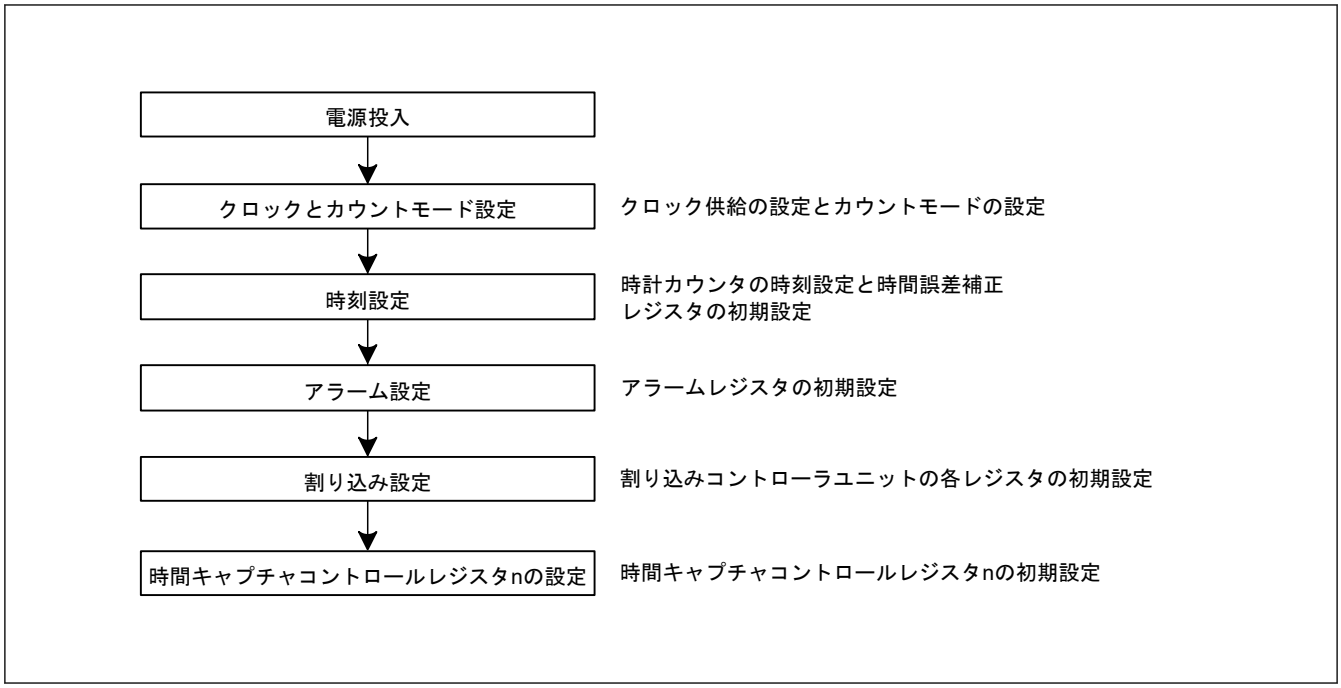
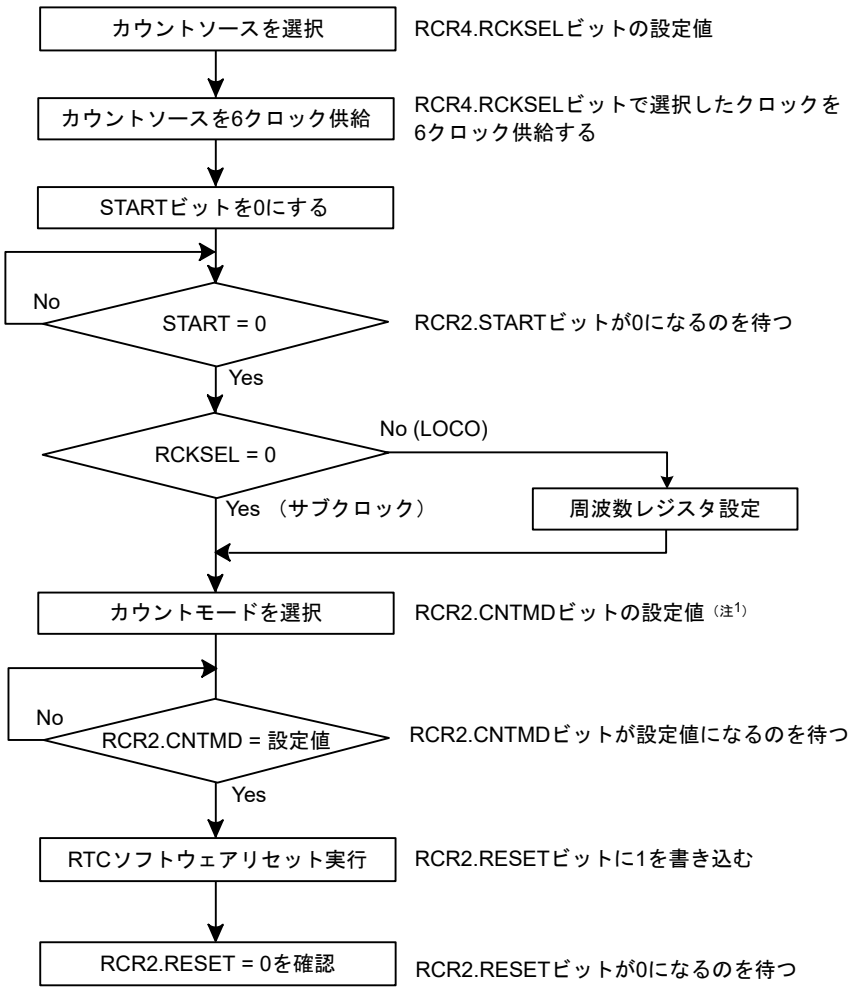


図 22.2　電源投入後の初期設定の概要

22.3.2　クロックおよびカウントモードの設定手順

図 22.3 にクロックおよびカウントモードの設定手順を示します。

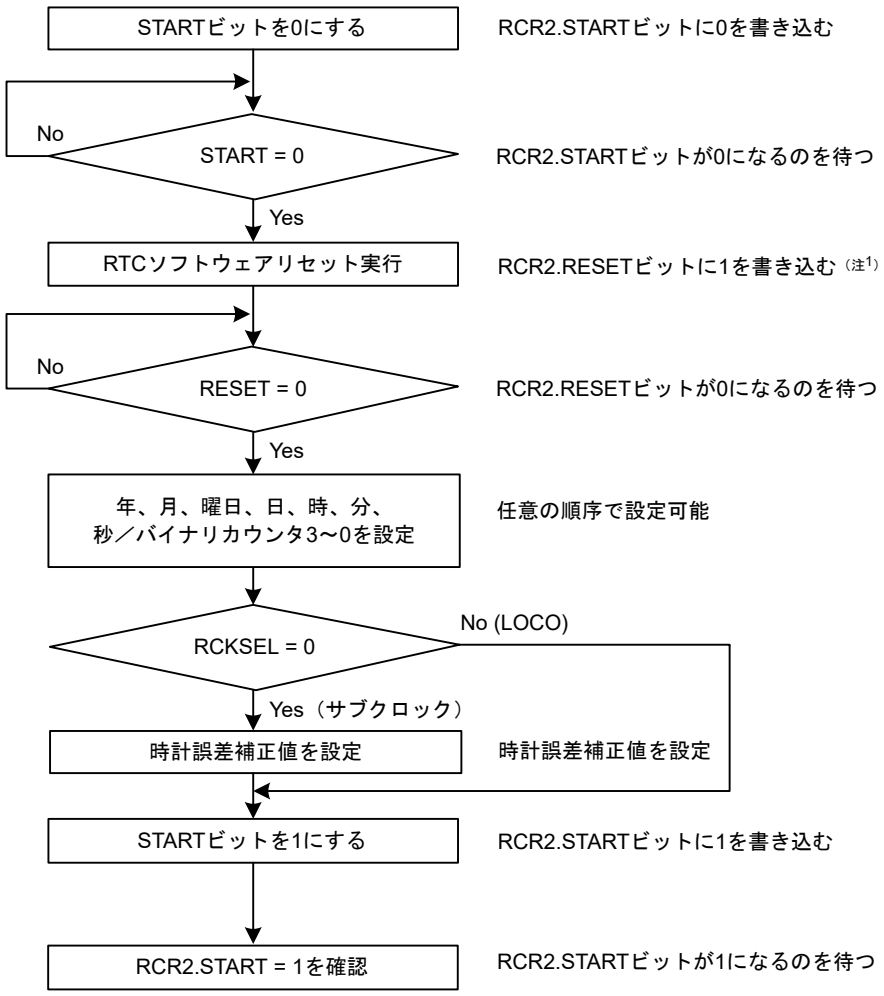


注 1. START ビットを 0 にすると同時にカウントモードを設定する場合、本手順を省略できます。RCR2.CNTMD ビットには、カウントモード設定に応じた値を書き込んでください。

図 22.3 クロックおよびカウントモードの設定手順

22.3.3 時刻の設定

図 22.4 に時刻の設定手順を示します。



注 1. 電源投入時の初期設定で行うクロック設定手順で RTC ソフトウェアリセットを実行するため、電源投入後の初期設定ではこの手順を省略することができます。
注 2. 任意の順番で設定してください。

図 22.4 時刻の設定

22.3.4 30 秒調整

図 22.5 に 30 秒調整の実行手順を示します。

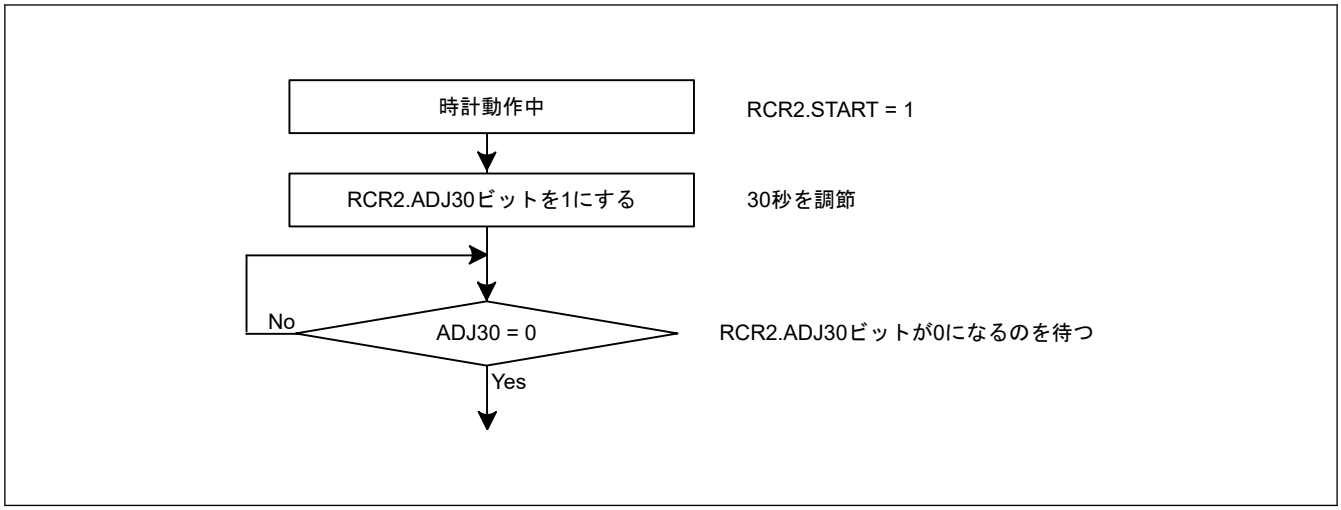
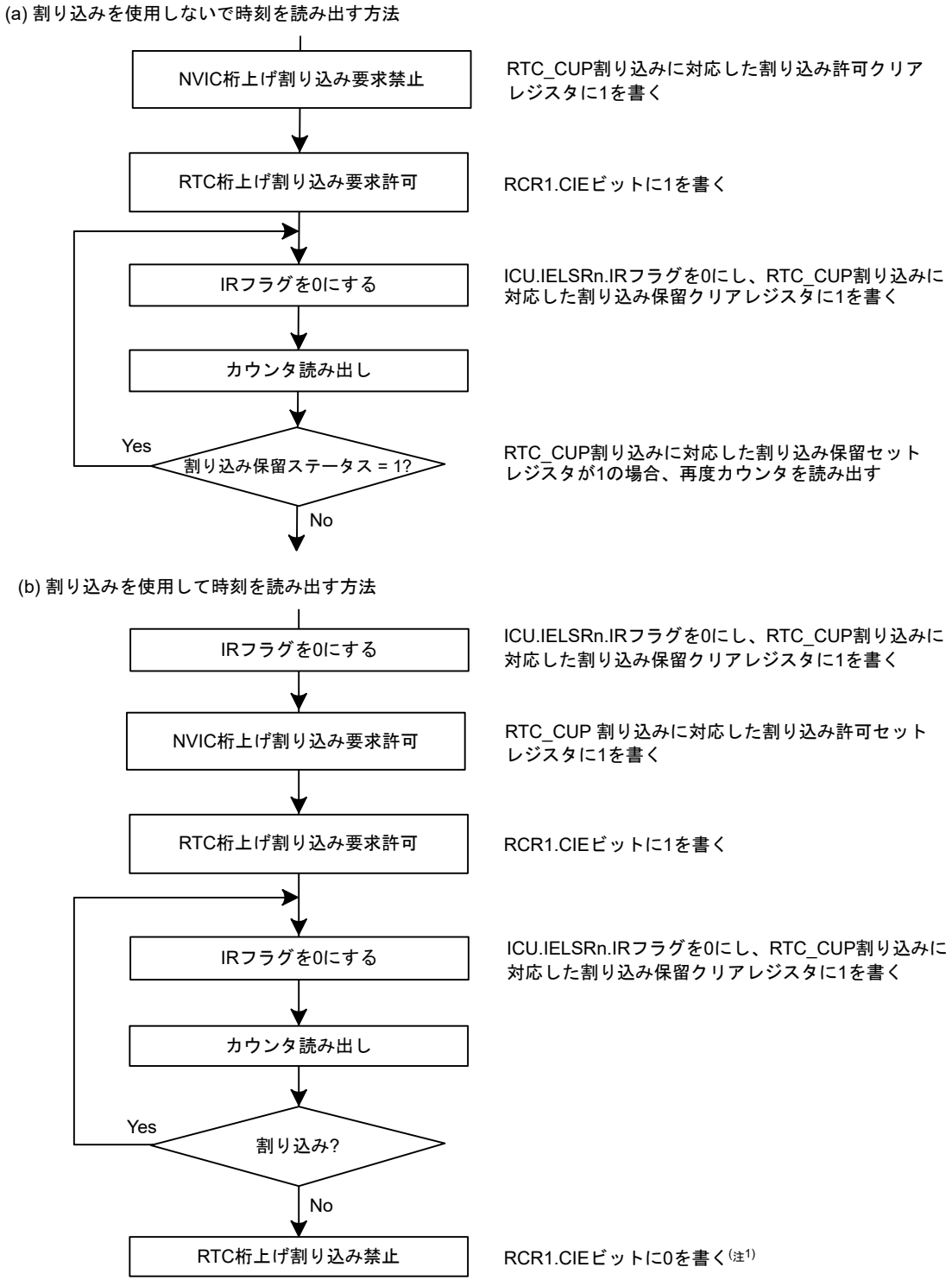


図 22.5　30 秒調整の実行

22.3.5　64 Hz カウンタと時刻の読み出し

図 22.6 に 64 Hz カウンタと時刻の読み出し手順を示します。



注 1. 必要に応じて割り込みを禁止してください。

図 22.6 64 Hz カウンタと時刻の読み出し手順

64 Hz カウンタと時刻の読み出し中に桁上げが生じると、正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しないで時刻を読み出す場合の手順を図 22.6 の (a) に、桁上げ割り込みを使用する場合の手順を (b) に示します。通常は、プログラムを簡潔にするため、割り込みを使用しない方法 (a) を推奨します。

22.3.6 アラーム機能

図 22.7 にアラーム機能の使用手順を示します。

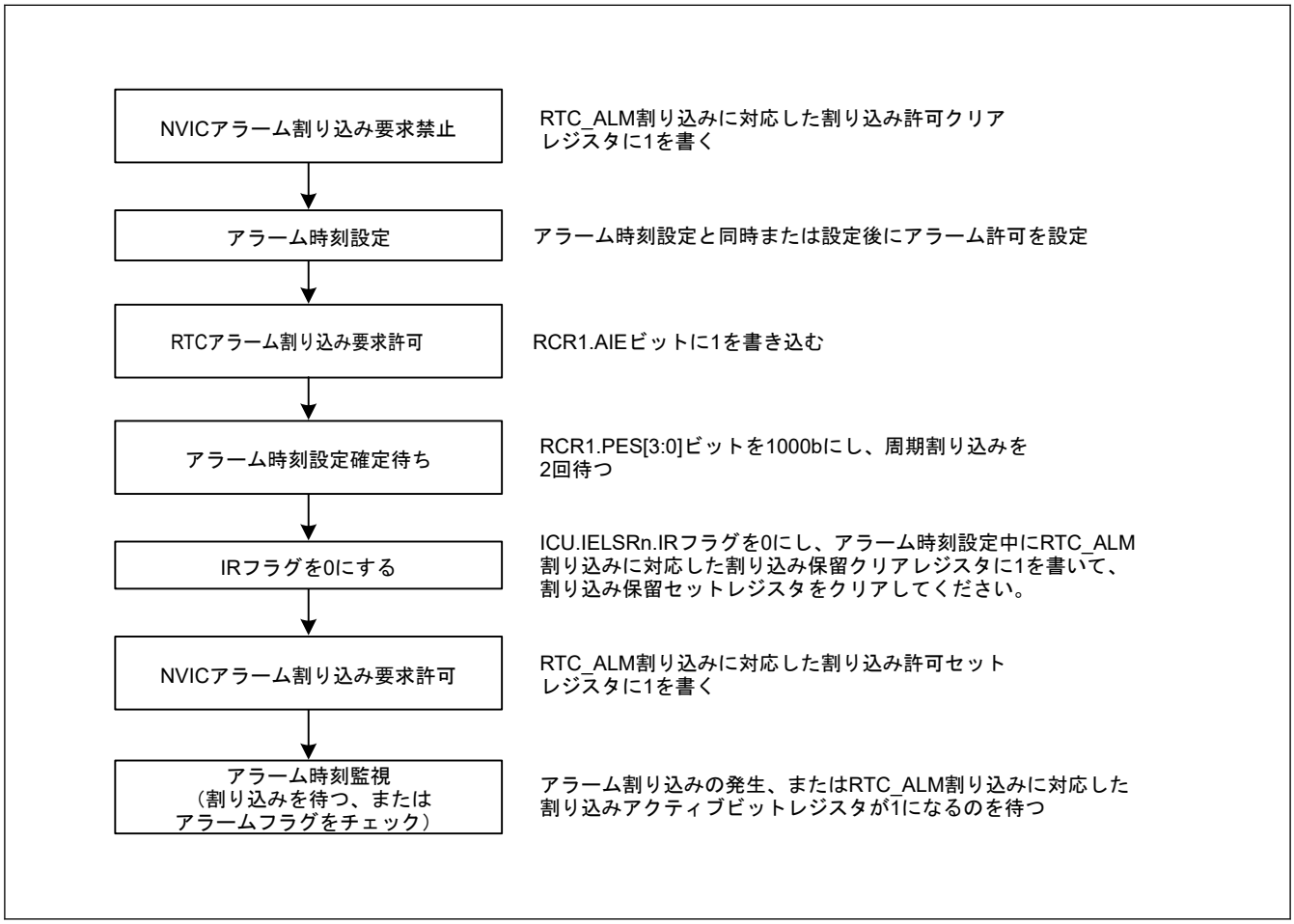


図 22.7 アラーム機能の使用手順

カレンダカウントモードでは、年、月、日、曜日、時、分、秒のいずれか 1 つ、またはこれらの任意の組み合わせで、アラームを発生させることができます。アラーム設定をする各アラームレジスタの ENB ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは ENB ビットに 0 を書き込みます。

バイナリカウントモードでは、32 ビットの任意ビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラームイネーブルレジスタの ENB ビットに 1 を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットに対しては、アラームイネーブルレジスタ(注1)の ENB ビットに 0 を書き込みます。

ENB[31:0]ビットのうち、1 になっているビットに対応するバイナリカウンタ (BCNT[31:0]) が、バイナリアラームレジスタ(注1)と比較されて、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になり、割り込み保留セット／保留クリアレジスタが 1 になります。アラームの検出は、RTC_ALM 割り込みに対応した割り込み保留セットレジスタを読み出すことで確認できますが、通常は割り込みで行うことを推奨します。
RTC_ALM 割り込みに対応した割り込み許可セットレジスタが 1 になっている場合、アラームイベント発生時にアラーム割り込みが発生し、アラームの検出が可能になります。

RTC_ALM 割り込みに対応した IELSRn.IR フラグは、0 を書き込むと 0 になります。割り込みを許可した場合、割り込みハンドラの終了後、RTC_ALM 割り込みに対応した割り込み保留セット／保留クリアレジスタが自動的にクリアされます。割り込みを禁止した場合は、RTC_ALM 割り込みに対応した割り込み保留クリアレジスタに 1 を書き込むと、レジスタはクリアされます。

低消費電力状態のときにカウンタとアラーム時刻が一致すると、MCU は低消費電力状態から復帰します。

注 1. ENB ビットのうち 1 になっている各ビットに対し、以下のレジスタのうちアラームレジスタの対応する位置の値とカウンタレジスタのカウント値の対応する各ビットが比較されます。

カウンタレジスタ：RSECCNT、RMINCNT、RHRCNT、RWKCNT、RDAYCNT, RMONCNT、RYRCNT
アラームレジスタ：RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAREN

22.3.7 アラーム割り込み禁止手順

図 22.8 に、許可状態のアラーム割り込み要求を禁止する手順を示します。

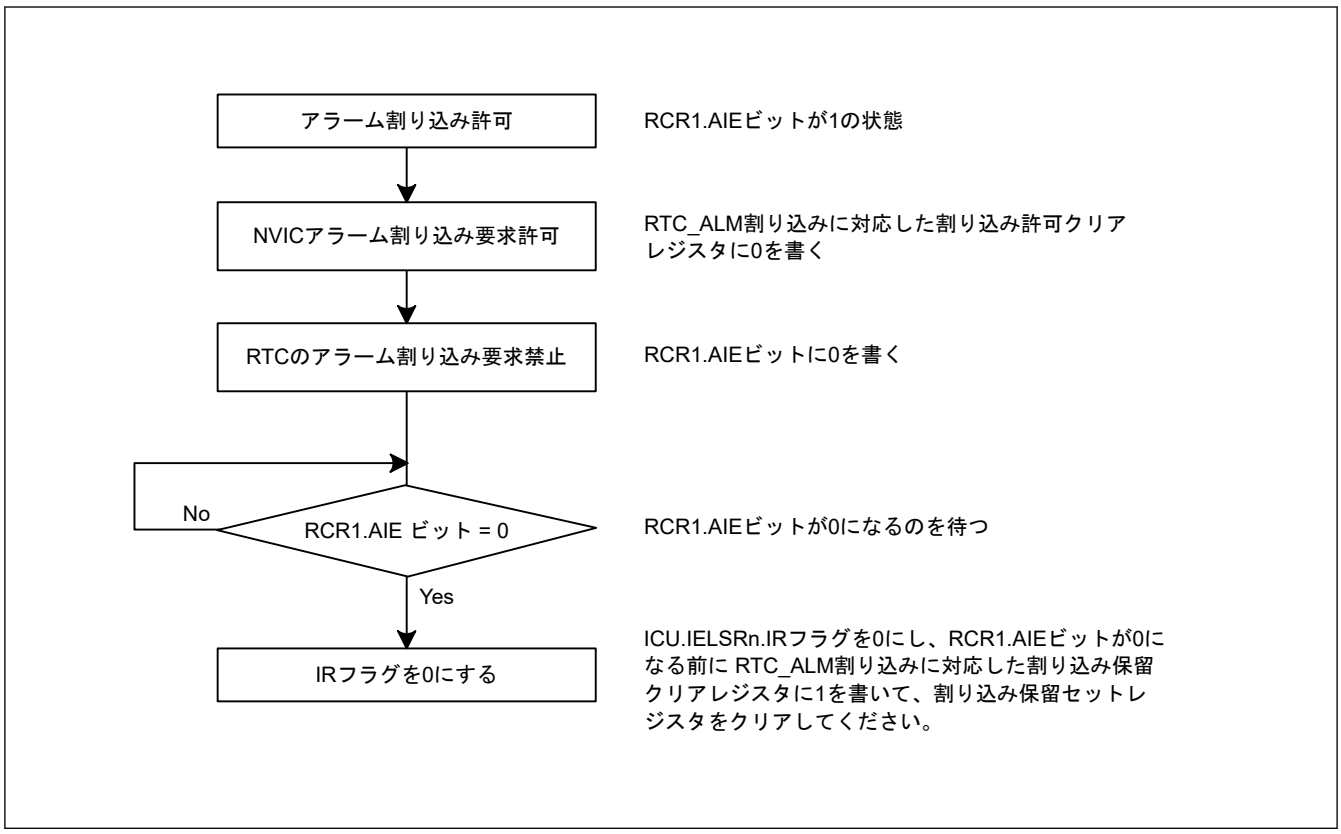


図 22.8 アラーム割り込み要求の禁止手順

22.3.8 時間誤差補正機能

時間誤差補正機能は、サブクロック発振器による発振精度の変動に起因した、時計の誤差（遅れ／進み）を補正するために使用します。サブクロック発振器を選択した場合、サブクロック発振器の 32768 サイクルが 1 秒の動作に相当するため、サブクロック発振器の周波数が高いと時計が進み、低いと時計が遅れます。

時間誤差補正機能には以下の種類があります。

- 自動補正
- ソフトウェアによる補正

自動補正またはソフトウェアによる補正は、RCR2.AADJE ビットで選択してください。

22.3.8.1 自動補正

RCR2.AADJE ビットを 1 にすると、自動補正が有効になります。

自動補正では、RCR2.AADJP ビットで選択した補正周期ごとに、プリスケーラでカウントした値に対して RADJ レジスタ値を加算または減算します。

(1) 例 1：サブクロック発振器が 32.769 kHz で動作している場合

補正方法

サブクロック発振器が 32.769 kHz で動作している場合、32769 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、1 秒ごとに 1 クロックサイクル分時計が進みます。時

計は、1 分当たり 60 クロックサイクルのペースで早くなるため、1 分ごとに 60 クロックサイクルだけ遅らせる方法で補正が可能です。

レジスタ設定値：（RCR2.CNTMD = 0 の場合）

- RCR2.AADJP = 0（1 分ごとに補正）
- RADJ.PMADJ[1:0] = 10b（プリスケーラに対して値を減算して補正）
- RADJ.ADJ[5:0] = 60 (0x3C)

(2) 例 2：サブクロック発振器が 32.766 kHz で動作している場合

補正方法

サブクロック発振器が 32.766 kHz で動作している場合、32766 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、1 秒ごとに 2 クロックサイクル分時計が遅れます。時計は、10 秒当たり 20 クロックサイクルのペースで遅くなるため、10 秒ごとに 20 クロックサイクル分時計を進める方法で補正が可能です。

レジスタ設定値：（RCR2.CNTMD = 0 の場合）

- RCR2.AADJP = 1（10 秒ごとに補正）
- RADJ.PMADJ[1:0] = 01b（プリスケーラに対して値を加算して補正）
- RADJ.ADJ[5:0] = 20 (0x14)

(3) 例 3：サブクロック発振器が 32.764 kHz で動作している場合

補正方法

サブクロック発振器が 32.764 kHz で動作している場合、32764 クロックサイクルで 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、時計は 1 秒間に 4 クロックサイクル分遅れます。8 秒間では 32 クロックサイクル分遅れるため、8 秒ごとに 32 クロックサイクル分時計を進めることで補正が可能です

レジスタ設定値：（RCR2.CNTMD = 1 の場合）

- RCR2.AADJP = 1（8 秒ごとに補正）
- RADJ.PMADJ[1:0] = 01b（プリスケーラに対して値を加算して補正）
- RADJ.ADJ[5:0] = 32 (0x20)

22.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットを 0 にすると、ソフトウェアによる補正が有効になります。ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで、プリスケーラでカウントした値に対し RADJ レジスタ値を加算または減算します。

(1) 例 1：サブクロック発振器が 32.769 kHz で動作している場合

補正方法

サブクロック発振器が 32.769 kHz で動作している場合、32769 クロックサイクルごとに 1 秒経過します。RTC は、32768 クロックサイクルを 1 秒として動作するため、1 秒ごとに 1 クロックサイクル分時計が進みます。時計は、1 秒当たり 1 クロックサイクルのペースで早くなるため、1 秒ごとに 1 クロックサイクル分、時計を遅らせる方法で補正が可能です。

レジスタ設定値：（RCR2.CNTMD = 0 の場合）

- RADJ.PMADJ[1:0] = 10b（プリスケーラに対して値を減算して補正）
- RADJ.ADJ[5:0] = 1 (0x01)
  この値を、1 秒の割り込みにつき 1 回、RADJ レジスタに書き込みます。

22.3.8.3 補正方法の変更手順

補正方法を変更する場合は、RADJ.PMADJ[1:0]ビットを 00b（補正を行わない）にした後、RCR2.AADJE ビットの値を変更してください。

ソフトウェアによる補正から自動補正へ切り替える場合

1. RADJ.PMADJ[1:0]ビットを 00b（補正を行わない）にします。
2. RCR2.AADJE ビットを 1（自動補正有効）にします。
3. RCR2.AADJP ビットで自動補正周期を選択します。
4. RADJ.PMADJ[1:0]ビットに加算または減算を設定し、RADJ.ADJ[5:0]ビットに時間誤差補正値を設定します。

自動補正からソフトウェアによる補正へ切り替える場合

1. RADJ.PMADJ[1:0]ビットを 00b（補正を行わない）にします。
2. RCR2.AADJE ビットを 0（ソフトウェアによる補正を有効）にします。
3. 任意のタイミングで、RADJ.PMADJ[1:0]ビットに加算または減算を設定し、RADJ.ADJ[5:0]ビットに時間誤差補正値を設定することにより、補正を開始します。以降、RADJ レジスタに値を書き込むごとに時間補正が行われます。

22.3.8.4 補正の停止手順

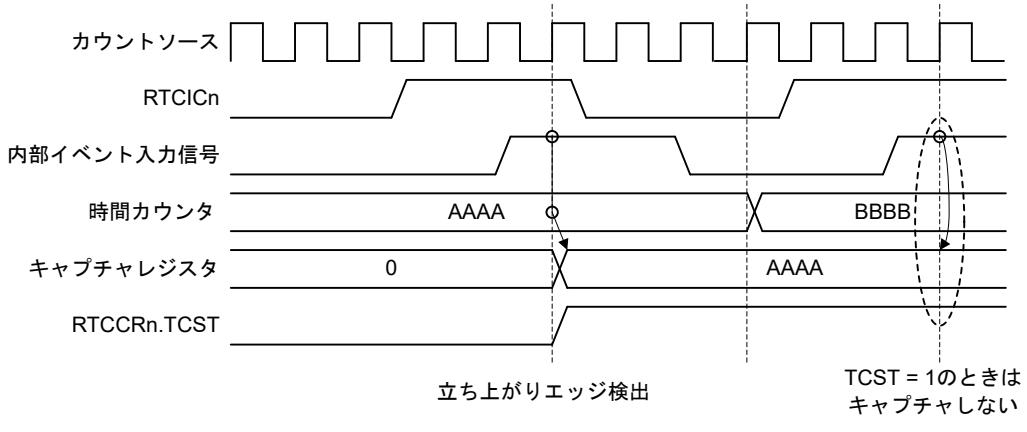
補正機能を停止するには、RADJ.PMADJ[1:0]ビットを 00b（補正しない）にします。

22.3.9 時間キャプチャ機能

RTC は、カレンダーカウントモードおよびバイナリカウントモード時に、時間キャプチャイベント入力端子のエッジ検出によって、各種時計カウンタの値またはバイナリカウンタ 3～0 の値を格納することが可能です。。

また、時間キャプチャイベント入力端子には、ノイズフィルタを使用できます。ノイズフィルタを有効にした場合、端子の入力レベルが 3 回一致すると TCST ビットが 1 になります。

時間キャプチャイベント入力端子は、端子ごとにノイズフィルタの開始または停止を設定できます。RTCICn 入力を許可するために、RTCCRn.TCEN (n = 0, 1) を 1 に設定してください。ノイズフィルタ停止の場合の時間キャプチャ動作タイミングを図 22.9 に、ノイズフィルタ開始の場合の時間キャプチャ動作タイミングを図 22.10 に示します。



注. n = 0, 1

図 22.9 時間キャプチャ動作タイミング（ノイズフィルタ停止）

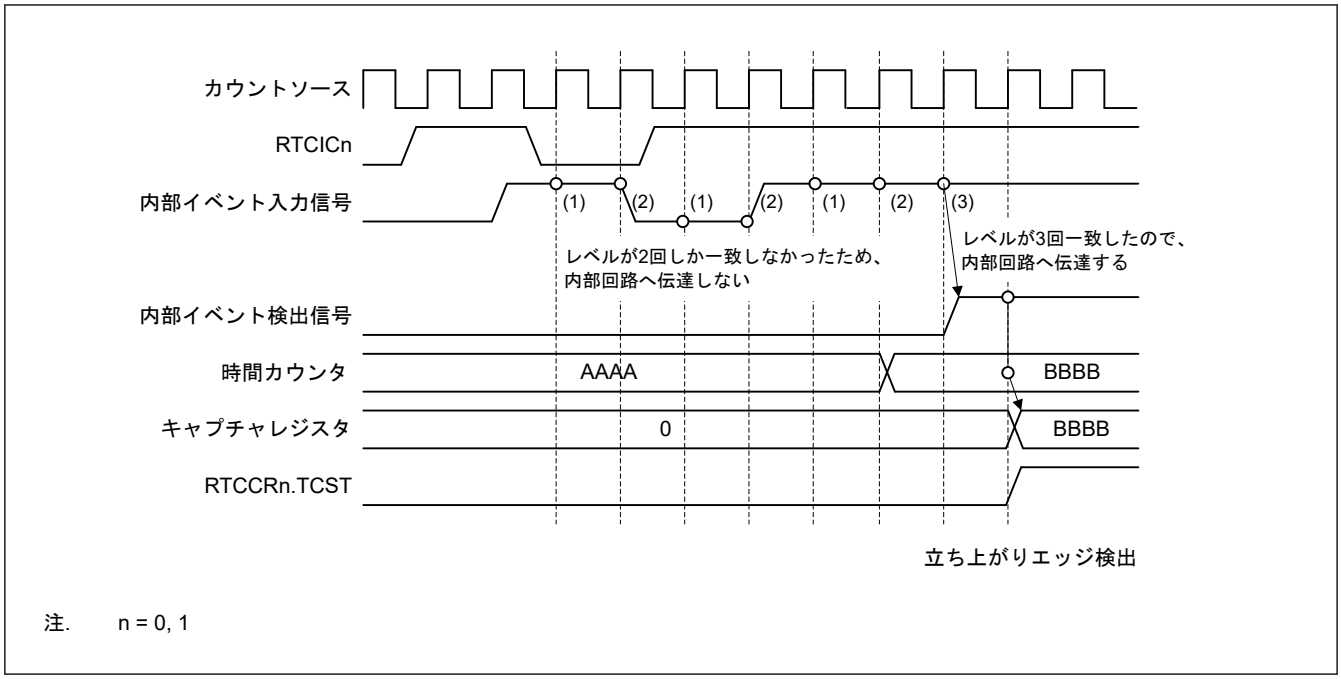


図 22.10 時間キャプチャ動作タイミング（ノイズフィルタ開始）

22.4 割り込み要因

RTC には、表 22.3 に示すように、3 種類の割り込み要因があります。

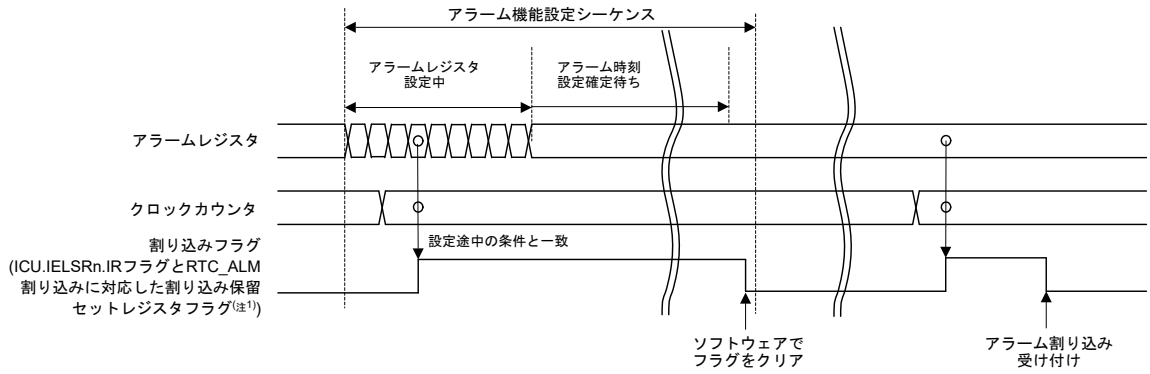
表 22.3 RTC 割り込み要因

名称	割り込み要因
RTC_ALM	アラーム割り込み
RTC_PRD	周期割り込み
RTC_CUP	桁上げ割り込み

(1) アラーム割り込み (RTC_ALM)

この割り込みは、アラームレジスタと RTC カウンタの比較結果に基づいて発生します。詳細は、「22.3.6. アラーム機能」を参照してください。

アラームレジスタの設定値が時計カウンタと一致したとき、割り込みフラグが 1 になる可能性があるため、アラームレジスタの値を変更した後は、アラーム時刻の設定が確定されるまで待って、IELSRn.IR フラグと、RTC_ALM 割り込みに対応する割り込み保留セットレジスタを再び 0 にクリアしてください。アラーム割り込みの割り込みフラグが 1 になった後、アラームレジスタと時計カウンタを不一致状態に戻すと、再び一致するかアラームレジスタの値の再設定を行うまでフラグは 1 になりません。



注 1. 関連する割り込みベクタ番号の詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 22.11 アラーム割り込み (RTC_ALM) のタイミング図

(2) 周期割り込み (RTC_PRD)

この割り込みは、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、または 1/256 秒周期で発生します。RCR1.PES[3:0] ビットによって割り込み周期の選択が可能です。

(3) 桁上げ割り込み (RTC_CUP)

この割り込みは、カレンダカウントモード時／バイナリカウントモード時、秒カウンタ／バイナリカウンタ 0 への桁上げが生じたとき、または 64 Hz カウンタの読み出しと R64CNT カウンタへの桁上げが重なったときに発生します。

図 22.12 に桁上げ割り込み (RTC_CUP) のタイミングを示します。

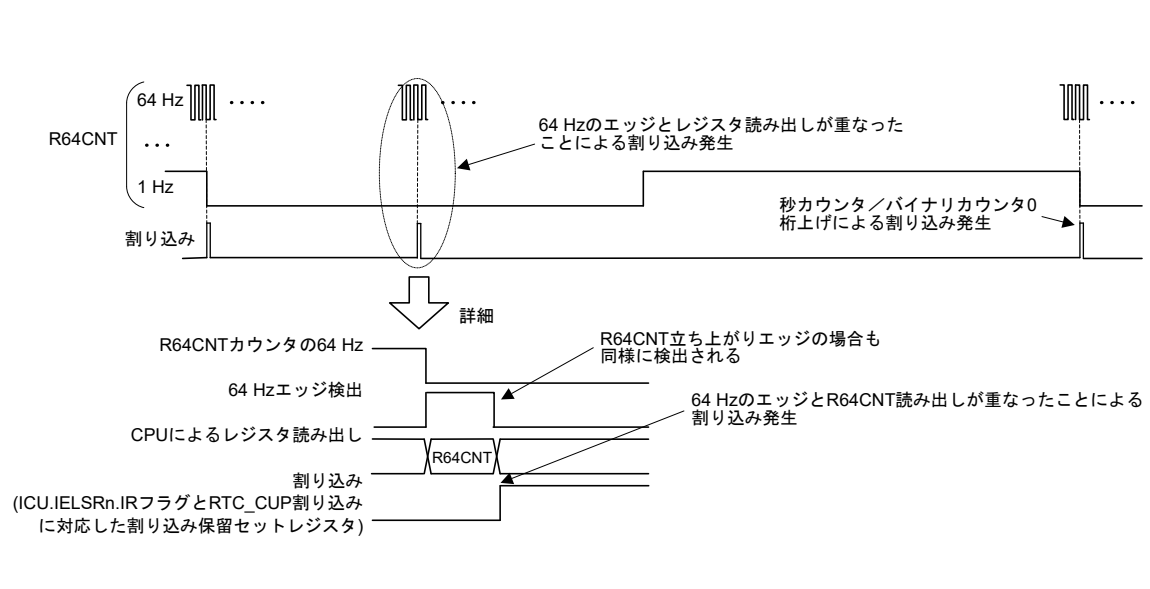


図 22.12 桁上げ割り込み (RTC_CUP) のタイミング図

22.5 イベントリンク出力機能

RTC は、ELC 用の周期イベント出力 (RTC_PRD) のイベント信号を発生させることで、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

RCR1.PES[3:0]ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択した周期でイベントを出力します。

イベント発生を選択した直後のイベント発生周期は保証されません。

注. RTC からのイベントリンク機能を使用する場合は、必ず RTC の設定（初期化、時刻設定など）を行った後、ELC を設定してください。ELC の設定後に RTC を設定すると、意図しないイベント信号を出力する場合があります。

22.5.1 割り込み処理とイベントリンクの関係

RTC には、周期割り込みを許可または禁止するビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号を出力します。

これに対して、イベントリンク出力信号は、対応する割り込み許可ビットの設定とは無関係に、割り込み要因が発生すると、ELC を介して他のモジュールにイベント信号として出力します。

注. ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード中も、アラーム割り込みと周期割り込みの出力は可能ですが、ELC 用の周期イベント信号は出力しません。

22.6 使用上の注意事項

22.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時（RCR2.START ビットが 1 のとき）は、以下のレジスタに書き込みを行わないでください。

- RSECCNT/BCNT0
- RMINCNT/BCNT1
- RHRCNT/BCNT2
- RDAYCNT
- RWKCNT/BCNT3
- RMONCNT
- RYRCNT
- RCR1.RTCOS
- RCR2.RTCOE
- RCR2.HR24
- RFRL

上記のレジスタのいずれかに書き込みを行う場合、カウントを停止してから書き込んでください。

22.6.2 周期割り込みの使用について

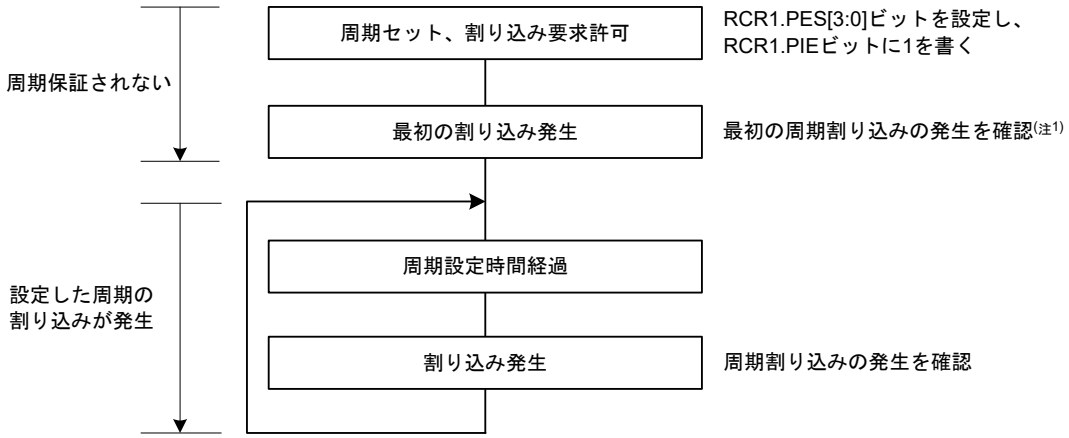
図 22.13 に周期割り込みの使用方法を示します。

周期割り込みの発生とその周期は、RCR1.PES[3:0]ビットの設定で変更できます。ただし、割り込みの生成にはプリスケーラ 、R64CNT と RSECCNT/BCNT0 カウンタが使用されるため、RCR1.PES[3:0]ビットの設定直後は、割り込み発生周期が保証されません。

また、RCR2 レジスタ値を変更して、以下の動作を行うと、割り込み発生周期に影響を与えます。

- カウント動作の停止／動作／リセット
- RTC ソフトウェアリセット
- 30 秒調整

時間誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正値に従って加算または減算されます。



注 1. 周期割り込みを使用中に割り込み発生周期を変更した場合は、設定完了時に割り込みが発生する場合があります。設定直後に割り込みが発生している場合は、設定直後の割り込みを含めて 2 回目の割り込みまで周期が保証されません。

図 22.13 周期割り込み機能の使用方法

22.6.3 RTCOUT (1 Hz/64 Hz) クロック出力について

RCR2 レジスタ値を変更して、カウント動作の停止／動作／リセット、RTC ソフトウェアリセットおよび 30 秒調整を行うと、RTCOUT (1 Hz/64 Hz) 出力周期に影響を与えます。時間誤差補正機能を使用した場合、補正後の RTCOUT (1 Hz/64 Hz) 出力周期は、補正値に従って加算または減算されます。

22.6.4 レジスタ設定後の低消費電力モードへの遷移について

RTC のレジスタへの書き込み中に低消費電力状態（ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード）へ遷移すると、レジスタ値が破壊することがあります。レジスタの設定後は、設定が確定されたことを確認してから低消費電力モードへ遷移してください。

22.6.5 レジスタの書き込み／読み出し時の注意事項

- カウンタレジスタ（秒カウンタなど）へ書き込んだ後、そのカウンタレジスタを読み出す際は、「22.3.5. 64 Hz カウンタと時刻の読み出し」に示す手順に従ってください。
- カウントレジスタ、アラームレジスタ、年アラームイネーブルレジスタ、RCR2.AADJE、AADJP、HR24 ビット、RCR4 レジスタに書いた値は、書き込み後、4 回目の読み出しから反映されます。
- RCR1.CIE ビット、RCR1.RTCOS ビット、および RCR2.RTCOE ビットは、書き込み直後に書いた値を読み出すことができます。
- リセット、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードから復帰した後、カウンタの値を読み出す際は、時計が動作中（RCR2.START ビットが 1）の状態で 1/128 秒間待ってから読み出してください。
- リセット発生後、カウントソースクロックが 6 サイクル経過してから、RTC レジスタへ書き込んでください。

22.6.6 カウントモードの変更について

カウントモード（カレンダカウントモード／バイナリカウントモード）を変更する場合は、RCR2.START ビットを 0 にしてカウント動作を停止させた後、初期設定からやり直してください。初期設定の詳細は、「22.3.1. 電源投入後のレジスタ初期設定の概要」を参照してください。

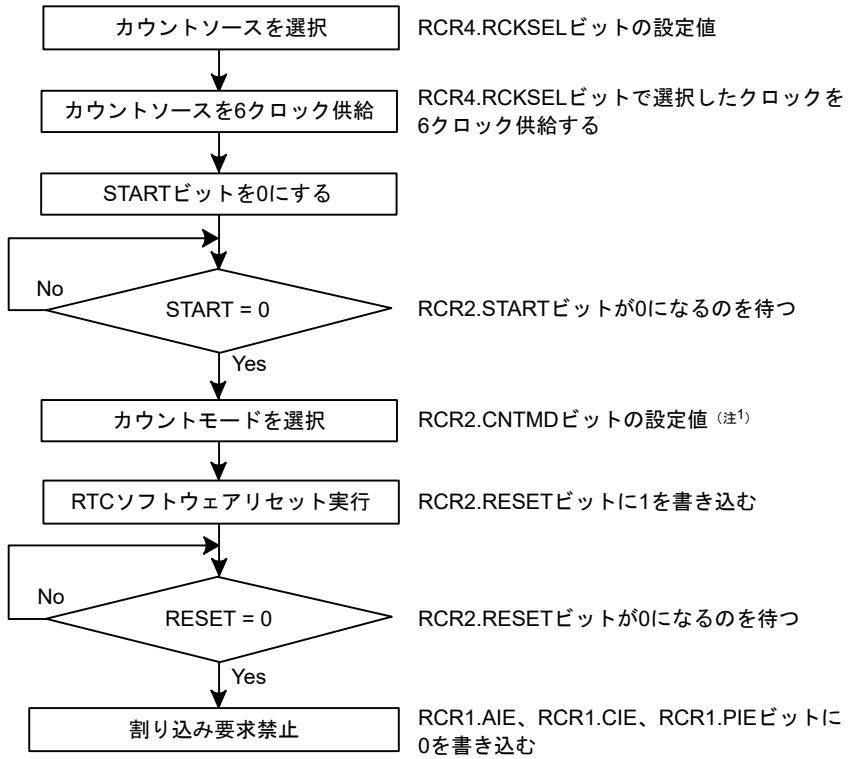
22.6.7 RTC を使用しない場合の初期化手順

RTC 内のレジスタは、リセットによって初期化されません。初期状態によっては、意図しない割り込み要求の発生やカウンタの動作によって、電力消費が多くなります。

RTC を使用しない場合、図 22.14 に示す初期化手順に従って、レジスタを初期化してください。

他の方法として、サブクロック発振器をシステムクロックにも RTC にも使用しない場合は、RCR4.RCKSEL ビットを 0（サブクロック発振器を選択）にした後、サブクロック発振器を停止させることでカウンタを停止できます。サブクロック発振器を停止するには、SOSCCR.SOSTP ビットに 1 を書き込んでください。

SOSCCR.SOSTP ビットの設定については、「8. クロック発生回路」を参照してください。



注 1. START ビットに 0 を書くのと同時にカウントモードを設定している場合、本手順を省略できます。

図 22.14 RTC を使用しない場合の初期化手順

22.6.8 ソースクロック切り替え時

SCKSCR.CKSEL[2:0]ビットを変更してソースクロックを切り替えるとき、セレクタからのクロック出力は切り替えたクロック 4 サイクル分停止します。このとき、RTC 周期割り込みか RTC 周期イベント出力を生成したら、その割り込みやイベントは無効です。

23. ウォッチドッグタイマ (WDT)

23.1 概要

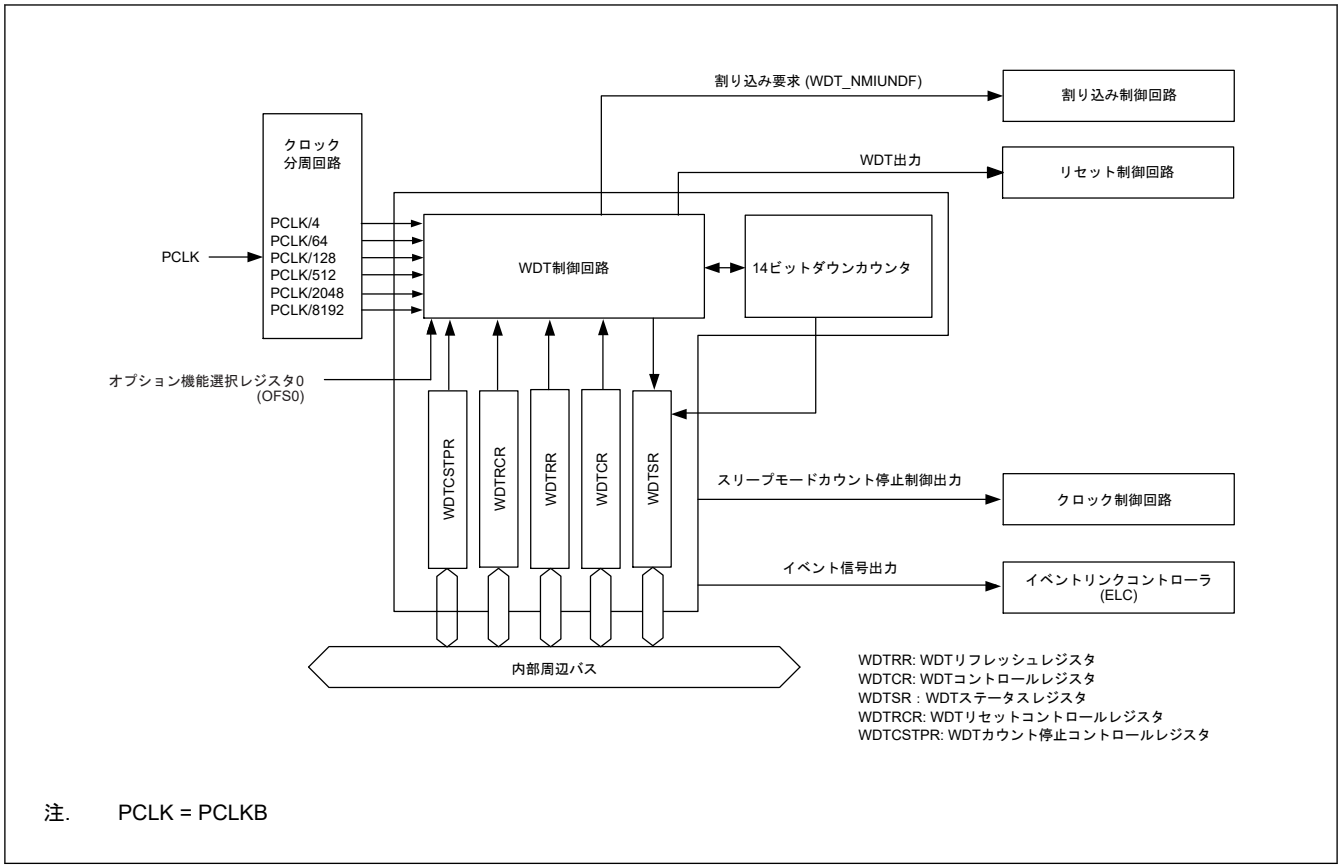
ウォッチドッグタイマ (WDT) は 14 ビットのダウンカウンタです。システムが暴走すると WDT をリフレッシュできなくなるため、カウンタがアンダーフローした際に MCU をリセットすることができます。さらに、ノンマスカブル割り込みやアンダーフロー割り込み、を発生させるためにも使用できます。

表 23.1 に WDT の仕様を、図 23.1 に WDT のブロック図を示します。

表 23.1 WDT の仕様

項目	内容
カウントソース(注1)	周辺クロック (PCLKB)
クロック分周比	4 分周／64 分周／128 分周／512 分周／2048 分周／8192 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	• オートスタートモード : リセット後、またはアンダーフロー／リフレッシュエラー発生後に自動的にカウント開始 • レジスタスタートモード : WDTRR レジスタへの書き込みによるリフレッシュ動作でカウント開始 • セキュアデベロッパーのみがオートスタートモードまたはレジスタスタートモードを選択可能
カウント停止条件	• リセット（ダウンカウンタおよび他のレジスタが初期値に戻る） • カウンタのアンダーフローまたはリフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可／禁止期間）
ウォッチドッグタイマリセット要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
ノンマスカブル割り込み／割り込み要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
カウンタ値の読み出し	WDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能（出力）	• ダウンカウンタアンダーフローイベント出力 • リフレッシュエラーイベント出力
出力信号（内部信号）	• リセット出力 • 割り込み要求出力 • スリープモードカウント停止制御出力
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≧ 4 ×（カウントクロックソースの分周後周波数）となるように設定してください。



注. PCLK = PCLKB

図 23.1 WDT のブロック図

23.2 レジスタの説明

23.2.1 WDTRR : WDT リフレッシュレジスタ

Base address: WDT = 0x4008_3400

Offset address: 0x00

Bit position:	7							0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするためのレジスタです。

リフレッシュ許可期間内に、WDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。

オートスタートモードでは WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で設定した値からダウンカウントがスタートします。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「23.3.3. リフレッシュ動作」を参照してください。

23.2.2 WDTCR : WDT コントロールレジスタ

Base address: WDT = 0x4008_3400

Offset address: 0x02

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
Value after reset:	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	機能	R/W
1:0	TOPS[1:0]	タイムアウト期間選択 0 0: 1024 サイクル (0x03FF) 0 1: 4096 サイクル (0x0FFF) 1 0: 8192 サイクル (0x1FFF) 1 1: 16384 サイクル (0x3FFF)	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:4	CKS[3:0]	クロック分周比選択 0x1: PCLKB/4 0x4: PCLKB/64 0xF: PCLKB/128 0x6: PCLKB/512 0x7: PCLKB/2048 0x8: PCLKB/8192 その他: 設定禁止	R/W
9:8	RPES[1:0]	ウィンドウ終了位置選択 0 0: 75% 0 1: 50% 1 0: 25% 1 1: 0%（ウィンドウ終了位置の設定なし）	R/W
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:12	RPSS[1:0]	ウィンドウ開始位置選択 0 0: 25% 0 1: 50% 1 0: 75% 1 1: 100%（ウィンドウ開始位置の設定なし）	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

WDTCR レジスタは、レジスタスタートモード時のダウンカウンタがアンダーフローするまでのタイムアウト期間、クロック分周比、リフレッシュのウィンドウ開始／終了位置を設定するレジスタです。

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は「23.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCR レジスタと同様の設定が可能です。詳細は、「23.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

TOPS[1:0]ビット（タイムアウト期間選択）

TOPS[1:0]ビットはタイムアウト期間（ダウンカウンタがアンダーフローするまでの期間）を、CKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル／4096 サイクル／8192 サイクル／16384 サイクルから選択します。ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間（PCLKB サイクル数）は、CKS[3:0]ビットと TOPS[1:0]ビットの組み合わせで決定されます。

表 23.2 に、CKS[3:0]および TOPS[1:0]ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 23.2　タイムアウト期間の設定

CKS[3:0]ビット	TOPS[1:0]ビット	クロック分周比	タイムアウト期間（サイクル数）	PCLKB クロックサイクル数
0x1	00b	PCLKB/4	1024	4096
	01b		4096	16384
	10b		8192	32768
	11b		16384	65536
0x4	00b	PCLKB/64	1024	65536
	01b		4096	262144
	10b		8192	524288
	11b		16384	1048576
0xF	00b	PCLKB/128	1024	131072
	01b		4096	524288
	10b		8192	1048576
	11b		16384	2097152
0x6	00b	PCLKB/512	1024	524288
	01b		4096	2097152
	10b		8192	4194304
	11b		16384	8388608
0x7	00b	PCLKB/2048	1024	2097152
	01b		4096	8388608
	10b		8192	16777216
	11b		16384	33554432
0x8	00b	PCLKB/8192	1024	8388608
	01b		4096	33554432
	10b		8192	67108864
	11b		16384	134217728

CKS[3:0]ビット（クロック分周比選択）

CKS[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は、WDT カウントクロック (PCLKB) の 4 分周／64 分周／128 分周／512 分周／2048 分周／8192 分周から選択できます。TOPS[1:0]ビット設定と組み合わせて、WDT のカウント期間を PCLKB クロックの 4096～134217728 サイクルから選択できます。

RPES[1:0]ビット（ウィンドウ終了位置選択）

RPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

RPSS[1:0]ビット（ウィンドウ開始位置選択）

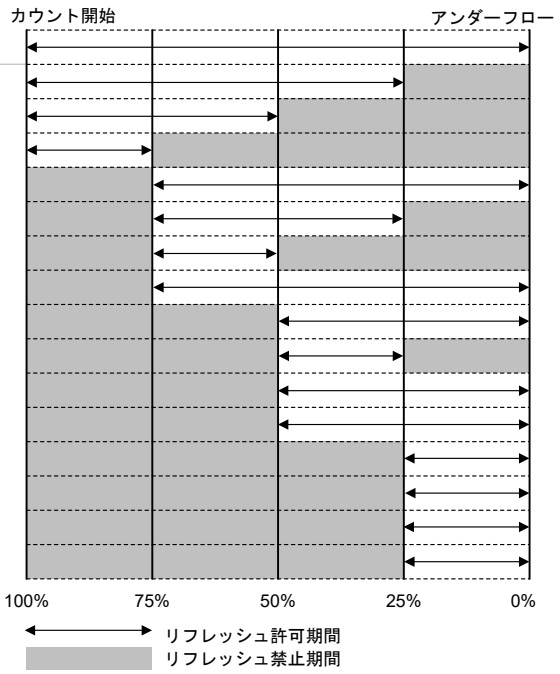
RPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

表 23.3 にウィンドウ開始、終了位置のカウンタ値を、図 23.2 に RPSS[1:0]、RPES[1:0]、TOPS[1:0]ビットで設定されるリフレッシュ許可期間を示します。

表 23.3 タイムアウト期間とウィンドウ開始／終了カウンタ値の対応表

TOPS[1:0] ビット	タイムアウト期間		ウィンドウ開始／終了カウンタ値			
	サイクル数	カウンタ値	100%	75%	50%	25%
00b	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
01b	4096	0x0FFF	0x0FFF	0x0BFF	0x07FF	0x03FF
10b	8192	0x1FFF	0x1FFF	0x17FF	0x0FFF	0x07FF
11b	16384	0x3FFF	0x3FFF	0x2FFF	0x1FFF	0x0FFF

RPSS[1:0]ビット		RPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始 (%)	終了 (%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75



注. ウィンドウ終了位置設定 ≧ ウィンドウ開始位置設定の場合、ウィンドウ終了位置設定は 0%になります。

図 23.2 RPSS[1:0]および RPES[1:0]ビットとリフレッシュ許可期間

23.2.3 WDTSR : WDT ステータスレジスタ

Base address: WDT = 0x4008_3400

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFEF	UNDFF	CNTVAL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウンタ値	R
14	UNDFF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフロー発生	R/W(注1)

ビット	シンボル	機能	R/W
15	REFEF	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注 1. フラグをクリアするための 0 書き込みのみ可能です。

WDTSR レジスタは、ダウンカウンタのカウンタ値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

CNTVAL[13:0]ビット（ダウンカウンタ値）

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFF フラグ（アンダーフローフラグ）

UNDFF フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

UNDFF フラグのクリアには、(N+1) PCLKB サイクルを要します。さらに、アンダーフローの発生から (N+1) PCLKB サイクルの間は、このフラグをクリアしても無視されます。N は以下のように、WDTCR.CKS[3:0]ビットで指定されます。

オートスタートモード：

- OFS0.WDT0CKS[3:0] = 0x1 の時、N = 4
- OFS0.WDT0CKS[3:0] = 0x4 の時、N = 64
- OFS0.WDT0CKS[3:0] = 0xF の時、N = 128
- OFS0.WDT0CKS[3:0] = 0x6 の時、N = 512
- OFS0.WDT0CKS[3:0] = 0x7 の時、N = 2048
- OFS0.WDT0CKS[3:0] = 0x8 の時、N = 8192

レジスタスタートモード：

- WDTCR.CKS[3:0] = 0x1 の時、N = 4
- WDTCR.CKS[3:0] = 0x4 の時、N = 64
- WDTCR.CKS[3:0] = 0xF の時、N = 128
- WDTCR.CKS[3:0] = 0x6 の時、N = 512
- WDTCR.CKS[3:0] = 0x7 の時、N = 2048
- WDTCR.CKS[3:0] = 0x8 の時、N = 8192

REFEF フラグ（リフレッシュエラーフラグ）

REFEF フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。本フラグは禁止期間中にリフレッシュ動作が実行されたことを示します。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、(N+1) PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から (N+1) PCLKB サイクルの間は、このフラグをクリアしても無視されます。N は以下のように、WDTCR.CKS[3:0]ビットで指定されます。

オートスタートモード：

- OFS0.WDT0CKS[3:0] = 0x1 の時、N = 4
- OFS0.WDT0CKS[3:0] = 0x4 の時、N = 64
- OFS0.WDT0CKS[3:0] = 0xF の時、N = 128
- OFS0.WDT0CKS[3:0] = 0x6 の時、N = 512
- OFS0.WDT0CKS[3:0] = 0x7 の時、N = 2048

- OFS0.WDT0CKS[3:0] = 0x8 の時、N = 8192

レジスタスタートモード：

- WDTCR.CKS[3:0] = 0x1 の時、N = 4
- WDTCR.CKS[3:0] = 0x4 の時、N = 64
- WDTCR.CKS[3:0] = 0xF の時、N = 128
- WDTCR.CKS[3:0] = 0x6 の時、N = 512
- WDTCR.CKS[3:0] = 0x7 の時、N = 2048
- WDTCR.CKS[3:0] = 0x8 の時、N = 8192

23.2.4 WDTRCR : WDT リセットコントロールレジスタ

Base address: WDT = 0x4008_3400

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RSTIRQS	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	RSTIRQS	WDT 動作選択 0: 割り込み 1: リセット	R/W

WDTRCR レジスタは、WDT のダウンカウンタのアンダーフローによるリセット出力、または割り込み要求出力の制御を行うレジスタです。

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、「23.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTRCR レジスタと同様の設定が可能です。詳細は、「23.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

23.2.5 WDTCSTPR : WDT カウント停止コントロールレジスタ

Base address: WDT = 0x4008_3400

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SLCSTP	—	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SLCSTP	スリープモードカウント停止制御 0: カウント停止を禁止 1: スリープモード遷移時にカウント停止	R/W

WDTCSTPR レジスタは、スリープモードにおいて、WDT カウンタを停止させるか否かを制御します。
WDTCSTPR レジスタへの書き込みには、いくつかの制限があります。詳細は、「23.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。

オートスタートモードの場合、WDTCSTPR レジスタの設定値は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定値が有効となります。OFS0 レジスタの設定は、WDTCSTPR レジスタと同様の設定が可能です。詳細は、「23.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

SLCSTP ビット（スリープモードカウント停止制御）

SLCSTP ビットは、スリープモード遷移時に、カウントを停止させるかどうかを選択します。

23.2.6 オプション機能選択レジスタ 0 (OFS0)

OFS0 レジスタの詳細は、「23.3.8. オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係」を参照してください。

23.3 動作説明

23.3.1 スタートモード別のカウント動作

WDT には、次の 2 つのスタートモードがあります。

- オートスタートモード：リセット状態の解除後、自動的にカウント開始
- レジスタスタートモード：レジスタへの書き込みによるリフレッシュでカウント開始

オートスタートモードでは、リセット状態の解除後、フラッシュメモリ内のオプション機能選択レジスタ 0 (OFS0) の設定に従って自動的にカウントを開始します。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してから WDTRR レジスタへの書き込みによるリフレッシュを行うと、カウントを開始します。

オートスタートモードまたはレジスタスタートモードの選択は、OFS0 レジスタの WDT スタートモード選択ビット (OFS0.WDTSTRT) で行います。

オートスタートモードを選択した場合、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

レジスタスタートモードを選択した場合、OFS0 レジスタの設定値は無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値が有効となります。

23.3.1.1 レジスタスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 1 の場合、レジスタスタートモードが選択されて、OFS0 レジスタが無効となり、WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) が有効となります。

リセット状態の解除後、以下の設定をしてください。

- WDTCR レジスタのクロック分周比
- WDTCR レジスタのウィンドウ開始／終了位置
- WDTCR レジスタにおいて、タイムアウト期間
- WDTRCR レジスタにおいて、リセット出力または割り込み要求出力
- WDTCSTPR レジスタでスリープモード遷移時のカウンタ停止制御

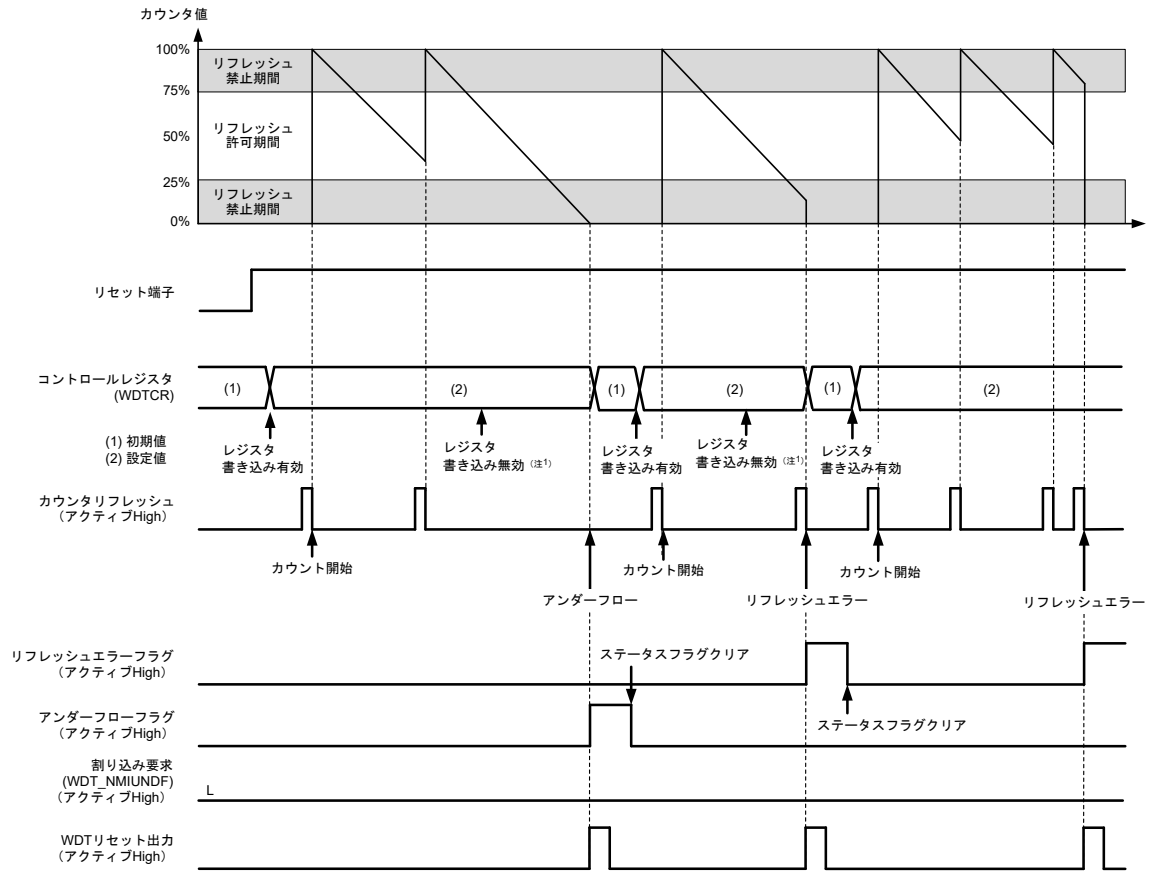
WDT リフレッシュレジスタ (WDTRR) がダウンカウンタをリフレッシュします。結果として、タイムアウト期間選択ビット (WDTCR.TOPS[1:0]) で設定した値からダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求を出力しません。ただし、プログラムの暴走によってダウンカウンタのリフレッシュができないためにダウンカウンタがアンダーフローした場合、またはリフレッシュ許可期間外のカウンタのリフレッシュによってリフレッシュエラーが発生した場合、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力します。リセット出力または割り込み要求出力は、WDT リ

セット割り込み要求選択ビット (WDTRCR.RSTIRQS) で選択できます。ノンマスカブル割り込み要求を許可する割り込みは、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 23.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード (OFS0.WDTSTRT = 1)
- WDT リセット割り込み要求選択 (WDTRCR.RSTIRQS = 1)
- ウィンドウ開始位置 75% (WDTCR.RPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (WDTCR.RPES[1:0] = 10b)



注. カウンタをリフレッシュするには、リフレッシュ要求からリフレッシュ実行まで最大 4 カウント信号サイクルを必要とします。

注 1. 「23.3.2. WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御」を参照してください。
リセット端子 = RES

図 23.3 レジスタスタートモードでの動作例

23.3.1.2 オートスタートモード

WDT スタートモード選択ビット (OFS0.WDTSTRT) が 0 の場合、オートスタートモードが選択されます。WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が WDT のレジスタに設定されます。

- クロック分周比

- ウィンドウ開始／終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- スリープモード遷移時のカウンタ停止制御

リセット状態が解除されると、WDT タイムアウト期間選択ビット (OFS0.WDTTOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

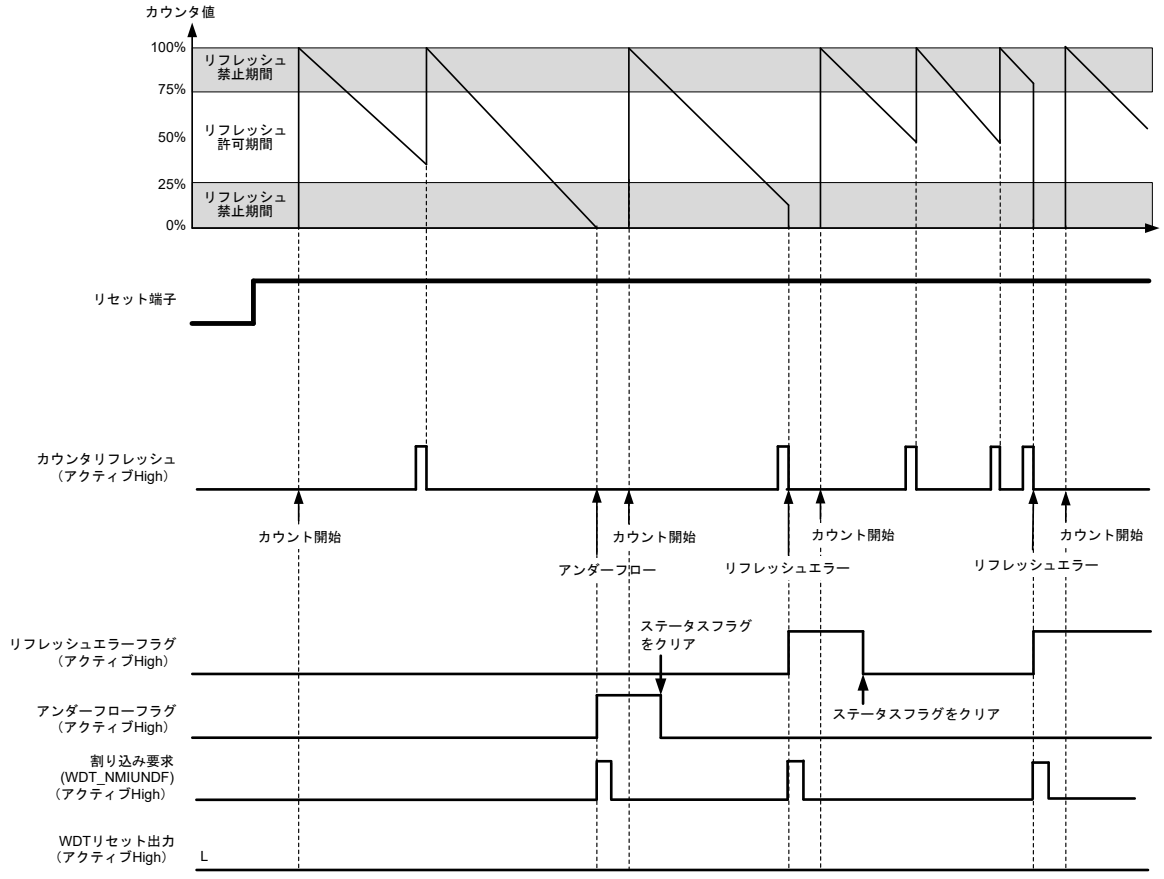
以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、カウンタのリフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力しません。ただし、プログラムの暴走によってダウンカウンタのリフレッシュができないためにダウンカウンタがアンダーフローした場合、またはリフレッシュ許可期間外のカウンタのリフレッシュによってリフレッシュエラーが発生した場合、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求 (WDT_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。

リセット出力または割り込み要求出力は、WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を設定することにより選択できます。ノンマスカブル割り込み要求または割り込み要求は、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.WDTEN) で選択できます。

図 23.4 に、下記の条件下での動作（ノンマスカブル割り込み）例を示します。

- オートスタートモード (OFS0.WDTSTRT = 0)
- WDT 動作選択：割り込み (OFS0.WDTRSTIRQS = 0)
- ノンマスカブル割り込み：IWDT アンダーフロー／リフレッシュエラー割り込み許可 (NMIER.WDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.WDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.WDTRPES[1:0] = 10b)



注. カウンタをリフレッシュするには、リフレッシュ要求からリフレッシュ実行まで最大 4 カウント信号サイクルを必要とします。

注. リセット端子 = RES

図 23.4 オートスタートモードでの動作例

23.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御

WDT コントロールレジスタ (WDTCR)、WDT リセットコントロールレジスタ (WDTRCR)、および WDT カウント停止コントロールレジスタ (WDTCSTPR) への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間に 1 回可能です。

リフレッシュ（カウントスタート）後、あるいは WDTCR、WDTRCR、または WDTCSTPR レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込みを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 23.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。

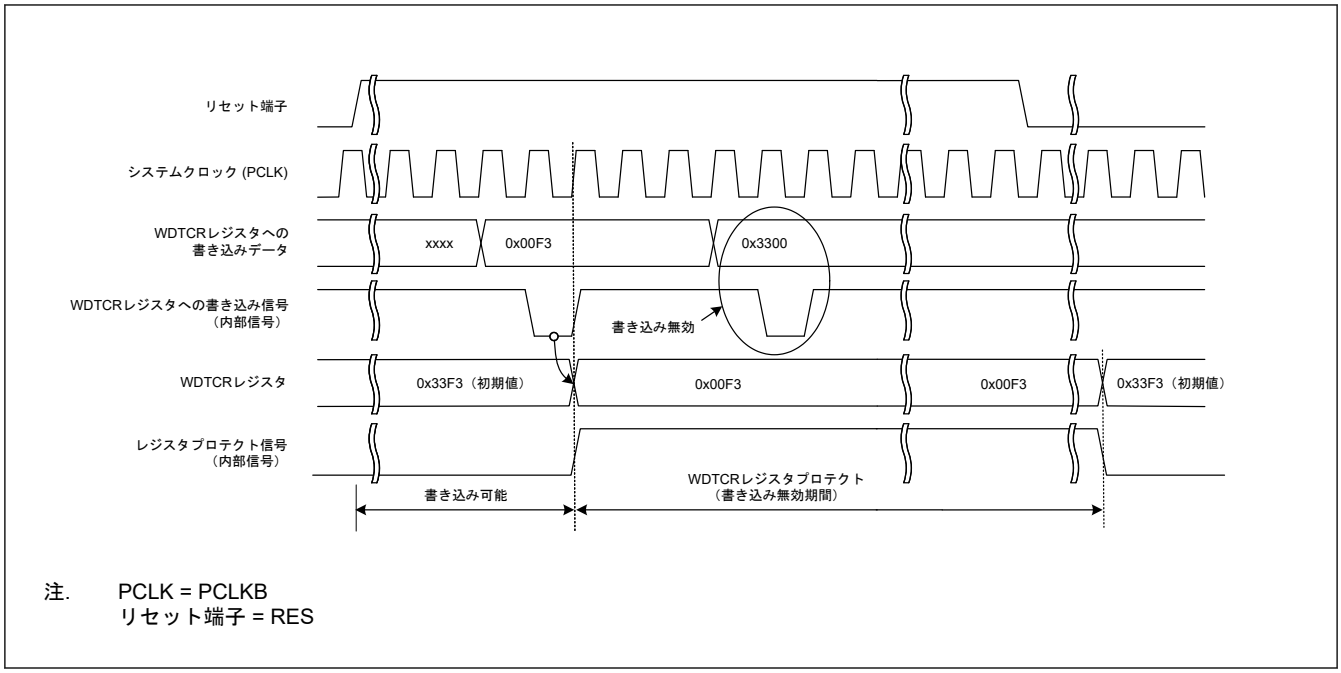


図 23.5 WDTCR レジスタへの書き込みに対して生成される制御波形

23.3.3 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、WDT リフレッシュレジスタ (WDTRR) に 0x00 の書き込みに続けて 0xFF を書き込んでください。0x00 の書き込み後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、WDTRR レジスタに 0x00 の書き込みに続けて 0xFF を書き込むことにより、リフレッシュが正常に行われます。

WDTRR レジスタへの 0x00 書き込みと 0xFF 書き込みの間に、WDTRR のレジスタ以外へのアクセス、または WDTRR レジスタの読み出しを行った場合も正常なリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があり、この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

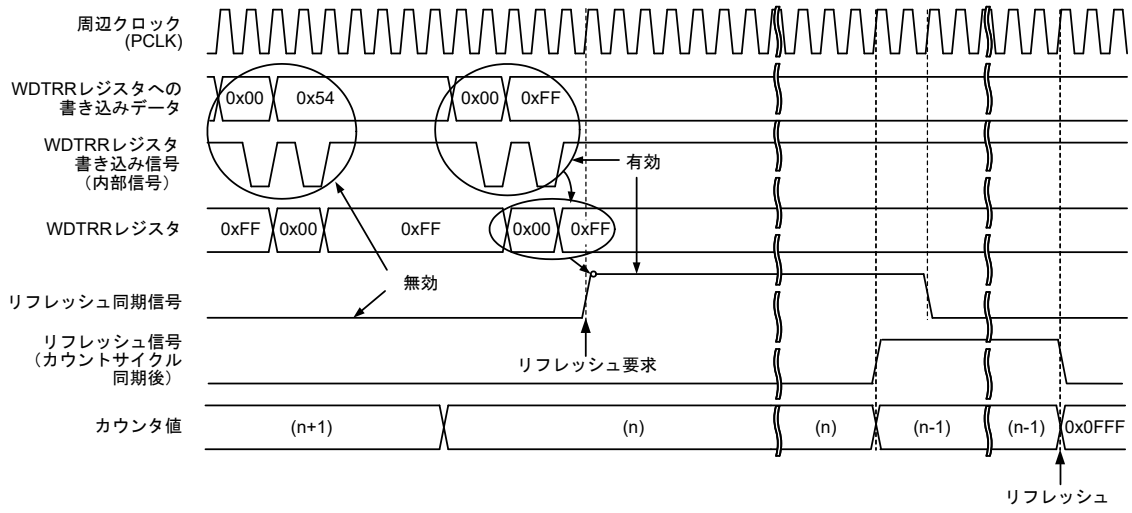
- 0x00 → 0xFF
- 0x00（n-1 回目）→ 0x00（n 回目）→ 0xFF
- 0x00 →別レジスタへのアクセスまたは WDTRR レジスタの読み出し→ 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

- 0x23（0x00 以外の値）→ 0xFF
- 0x00 → 0x54（0xFF 以外の値）
- 0x00 → 0xAA（0x00 および 0xFF 以外の値）→ 0xFF

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ (WDTRR) に 0xFF を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、ダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、WDTRR レジスタへの 0xFF の書き込みを完了する必要があります。

図 23.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。



注. PCLK = PCLKB

図 23.6 WDT リフレッシュ動作波形（WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合）

注. リフレッシュ時間を設定する際は、PCLKB と WDTCLK のクロックソースの発振精度を考慮してください。発振精度による誤差の範囲で周期が変動してもリフレッシュできる値を設定してください。

23.3.4 ステータスフラグ

リフレッシュエラーフラグ (WDTSR.REFEF) とアンダーフローフラグ (WDTSR.UNDFF) は、WDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、WDTSR.REFEF フラグと WDTSR.UNDFF フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。ステータスフラグをそのままにしておいても、動作に影響を与えません。次に WDT が割り込み要求を出力したとき、フラグがクリアされていなければ、古い割り込み要因はクリアされて、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「23.2.3. WDTSR : WDT ステータスレジスタ」を参照してください。

23.3.5 リセット出力

レジスタスタートモードでリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を 1 サイクル間出力します。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され（全ビットが 0 になり）、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後は、リフレッシュ動作によってカウンタが設定され、ダウンカウントを再開します。オートスタートモードでは、リセット状態の解除後、自動的にダウンカウントを開始します。

23.3.6 割り込み要因

レジスタスタートモードでリセット割り込み要求選択ビット (WDTRCR.RSTIRQS) を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0 (OFS0) の WDT リセット割り込み要求選択ビット (OFS0.WDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み (WDT_NMIUNDF) 信号が発生します。この割り込みは、ノンマスカブル割り込みまたは割り込みとして使用可能です。詳細は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

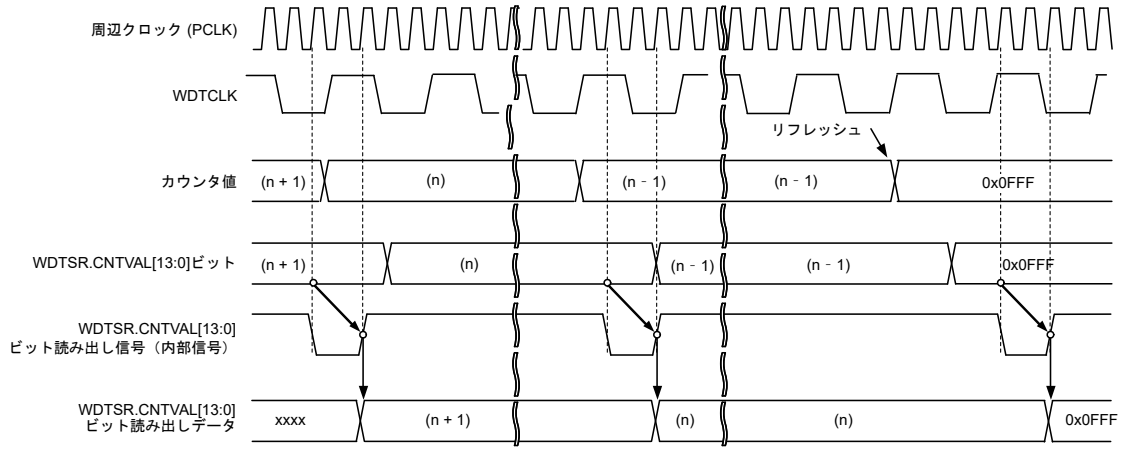
表 23.4 WDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DMAC/DTC の起動
WDT_NMIUNDF	• ダウンカウンタのアンダーフロー • リフレッシュエラー	可能	不可能

23.3.7 ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット (WDTSR.CNTVAL[13:0]) に格納します。これらのビットを確認して、カウンタ値を取得してください。ダウンカウンタの読み出し値は、実際のカウントから 1 カウントずれる場合があります。

図 23.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。



注. PCLK = PCLKB

図 23.7 WDT ダウンカウンタ値の読み出し処理（WDTCR.CKS[3:0] = 0x4、WDTCR.TOPS[1:0] = 01b の場合）

23.3.8 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係

表 23.5 に、オートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) と、レジスタスタートモードで使用するレジスタの対応関係を示します。オプション機能選択レジスタ 0 (OFS0) については、「6.2.1. OFS0 : オプション機能選択レジスタ 0」を参照してください。

表 23.5 オプション機能選択レジスタ 0 (OFS0) と WDT のレジスタの対応関係

制御対象	機能	OFS0 レジスタ（オートスタートモードで有効）OFS0.WDTSTRT = 0	WDT のレジスタ（レジスタスタートモードで有効）OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTTOPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力／割り込み要求出力	リセット割り込み要求を選択	OFS0.WDTRSTIRQS	WDTRCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.WDTSTPCTL	WDTCSTPR.SLCSTP

23.4 イベントリンクコントローラ (ELC) への出力

ELC が割り込み要求信号をイベント信号として使用する場合、WDT は設定したモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。イベント信号は、レジスタスタートモードでは WDTRCR.RSTIRQS ビットの設定とは無関係に、オートスタートモードでは OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。リフレッシュエラーフラグ (WDTSR.REFEF) またはアンダーフローフラグ (WDTSR.UNDFF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「17. イベントリンクコントローラ (ELC)」を参照してください。

23.5 使用上の注意事項

23.5.1 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限

WDT リセット割り込み要求選択をリセット（OFS0.WDTRSTIRQS = 0 または WDTRCR.RSTIRQS = 0）にした場合、またはイベントリンク動作を許可 (ELSRm.ELS[8:0] = 0x53) にした場合、ICU イベントリンク設定レジスタ n (ICU.IELSRn) に 0x53 を設定することは禁止されています。

24. 独立ウォッチドッグタイマ (IWDT)

24.1 概要

独立ウォッチドッグタイマ (IWDT) は 14 ビットのダウンカウンタで、システム暴走時に MCU をリセットすることができます。IWDT は、MCU をリセットする機能や、カウンタのアンダーフロー発生時に、割り込み／ノンマスカブル割り込みを発生させることが可能です。

IWDT の機能は、WDT とは以下の点で異なります。

- カウントソースとして IWDT 専用クロック (IWDTCLK) の分周したものを使用（PCLKB の影響を受けない）
- IWDT はレジスタスタートモードを非サポート

表 24.1 に IWDT の仕様を、図 24.1 に IWDT のブロック図を示します。

表 24.1 IWDT の仕様

項目	内容
カウントソース(注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1 分周／16 分周／32 分周／64 分周／128 分周／256 分周
カウンタ動作	14 ビットのダウンカウンタによるダウンカウント
カウント開始条件	• リセット後、自動的にカウント開始 • セキュアデベロッパーのみが IWDT を開始可能
カウント停止条件	• リセット（ダウンカウンタおよび他のレジスタが初期値に戻る） • カウンタのアンダーフローまたはリフレッシュエラー発生時自動的にカウント再開
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可／禁止期間）
独立ウォッチドッグタイマリセット要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
ノンマスカブル割り込み／割り込み要因	• ダウンカウンタのアンダーフロー • リフレッシュ許可期間外でのリフレッシュ動作（リフレッシュエラー）
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能	• ダウンカウンタアンダーフローイベント出力 • リフレッシュエラーイベント出力
出力信号（内部信号）	• リセット出力 • 割り込み要求出力 • スリープモードカウント停止制御出力
オートスタートモード	以下のトリガに対して設定可能： • リセット後のクロック分周比の選択（OFS0.IWDTCKS[3:0]ビット） • 独立ウォッチドッグタイマのタイムアウト期間の選択（OFS0.IWDTTOPS[1:0]ビット） • 独立ウォッチドッグタイマのウィンドウ開始位置の選択（OFS0.IWDTRPSS[1:0]ビット） • 独立ウォッチドッグタイマのウィンドウ終了位置の選択（OFS0.IWDTRPES[1:0]ビット） • リセット出力または割り込み要求出力の選択（OFS0.IWDTRSTIRQS ビット） • スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時のダウンカウント停止機能の選択（OFS0.IWDTSTPCTL ビット）
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. 周辺モジュールクロック (PCLKB) 周波数 ≧ 4 ×（カウントクロックソースの分周後周波数）となるように設定してください。

バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

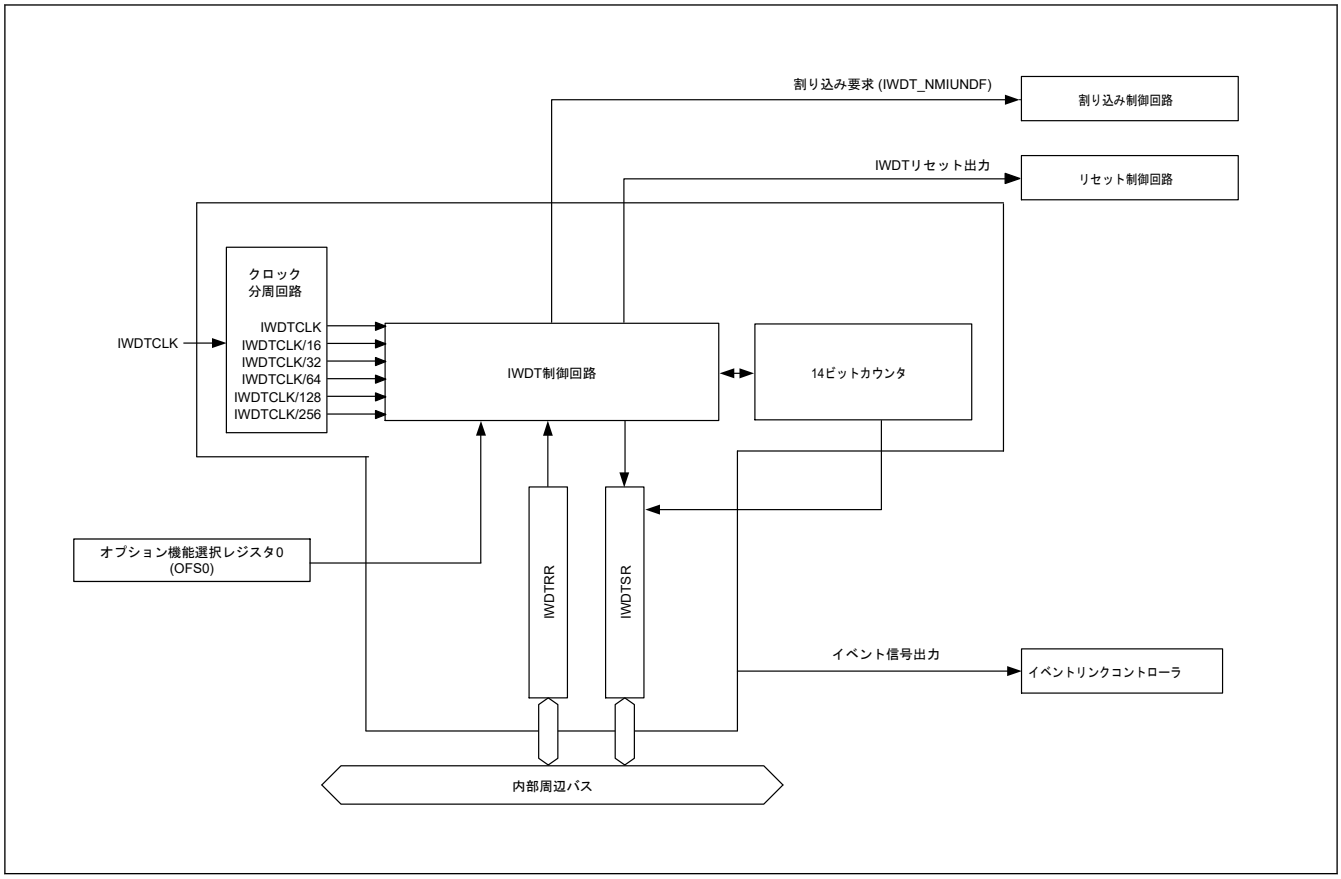


図 24.1　IWDT のブロック図

24.2　レジスタの説明

24.2.1　IWDTRR : IWDT リフレッシュレジスタ

Base address: IWDT = 0x4008_3200

Offset address: 0x00

Bit position:	7							0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	このレジスタに対して、0x00 の書き込み後、0xFF の書き込みでダウンカウンタがリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするためのレジスタです。リフレッシュ許可期間内に、IWDTRR レジスタに 0x00 を書き込んだ後、0xFF を書き込むこと（リフレッシュ動作）により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウントがスタートします。

読み出し値は、0x00 を書き込んだ場合は 0x00 であり、0x00 以外の値を書き込んだ場合は 0xFF となります。リフレッシュ動作の詳細は、「24.3.2. リフレッシュ動作」を参照してください。

24.2.2 IWDTSR : IWDT ステータスレジスタ

Base address: IWDT = 0x4008_3200

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	REFEF	UNDFF	CNTVAL[13:0]													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
13:0	CNTVAL[13:0]	ダウンカウンタ値 ダウンカウンタのカウンタ値	R
14	UNDFF	アンダーフローフラグ 0: アンダーフローなし 1: アンダーフロー発生	R/W(注1)
15	REFEF	リフレッシュエラーフラグ 0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/W(注1)

注 1. フラグをクリアするための 0 書き込みのみ可能です。

IWDTSR レジスタは、ダウンカウンタのカウンタ値表示、およびアンダーフロー、リフレッシュエラーの発生状態を表示するレジスタです。

CNTVAL[13:0]ビット（ダウンカウンタ値）

CNTVAL[13:0]ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFF フラグ（アンダーフローフラグ）

UNDFF フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには、UNDFF フラグに 0 を書き込んでください。1 の書き込みは無効です。

UNDFF フラグのクリアには、(N+2) IWDTCLK サイクルと 2PCLKB サイクルを要します。さらに、アンダーフローの発生から (N+2) IWDTCLK サイクル数の間は、このフラグをクリアしても無視されます。N は以下のように、OFS0.IWDTCKS[3:0]ビットで指定されます。

- OFS0.IWDTCKS[3:0] = 0x0 の時、N = 1
- OFS0.IWDTCKS[3:0] = 0x2 の時、N = 16
- OFS0.IWDTCKS[3:0] = 0x3 の時、N = 32
- OFS0.IWDTCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDTCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDTCKS[3:0] = 0x5 の時、N = 256

REFEF フラグ（リフレッシュエラーフラグ）

REFEF フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには、REFEF フラグに 0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、(N+2) IWDTCLK サイクルと 2PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から (N+2) IWDTCLK サイクル数の間は、このフラグをクリアしても無視されます。N は以下のように、OFS0.IWDTCKS[3:0]ビットで指定されます。

- OFS0.IWDTCKS[3:0] = 0x0 の時、N = 1
- OFS0.IWDTCKS[3:0] = 0x2 の時、N = 16
- OFS0.IWDTCKS[3:0] = 0x3 の時、N = 32

- OFS0.IWDTCKS[3:0] = 0x4 の時、N = 64
- OFS0.IWDTCKS[3:0] = 0xF の時、N = 128
- OFS0.IWDTCKS[3:0] = 0x5 の時、N = 256

24.2.3 OFS0 : オプション機能選択レジスタ 0

オプション機能選択レジスタ 0 (OFS0) の詳細は、「6.2.1. OFS0 : オプション機能選択レジスタ 0」を参照してください。

IWDTTOPS[1:0]ビット（IWDT タイムアウト期間選択）

IWDTTOPS[1:0]ビットはタイムアウト期間（ダウンカウンタがアンダーフローするまでの期間）を、IWDTCKS[3:0]ビットで設定した分周クロックを 1 サイクルとして、128 サイクル／512 サイクル／1024 サイクル／2048 サイクルから選択します。

ダウンカウンタのリフレッシュ後、アンダーフローするまでの時間（IWDTCLK サイクル数）は、IWDTCKS[3:0]ビットと IWDTTOPS[1:0]ビットの組み合わせで決定されます。

表 24.2 に、IWDTCKS[3:0]および IWDTTOPS[1:0]ビットの設定値、タイムアウト期間、および IWDTCLK サイクル数の関係を示します。

表 24.2 タイムアウト期間の設定

IWDTCKS[3:0]ビット				IWDTTOPS[1:0]ビット		クロック分周比	タイムアウト期間（サイクル数）	IWDTCLK クロックサイクル数
b7	b6	b5	b4	b3	b2			
0	0	0	0	0	0	IWDTCLK	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDTCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDTCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDTCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDTCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDTCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

IWDTCKS[3:0]ビット（IWDT 専用クロック分周比選択）

IWDTCKS[3:0]ビットはダウンカウンタで使用するクロックの分周比を設定します。分周比は、IWDT 専用クロック (IWDTCLK) の 1 分周／16 分周／32 分周／64 分周／128 分周／256 分周から選択できます。IWDTTOPS[1:0]ビット設定と組み合わせて、IWDT のカウント期間を IWDTCLK の 128～524288 サイクルから選択できます。

IWDTRPES[1:0]ビット（IWDT ウィンドウ終了位置選択）

IWDTRPES[1:0]ビットはリフレッシュ許可期間を示すウィンドウ終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0%から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください（ウィンドウ開始位置 > ウィンドウ終了位置）。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

IWDTRPSS[1:0]ビット（IWDT ウィンドウ開始位置選択）

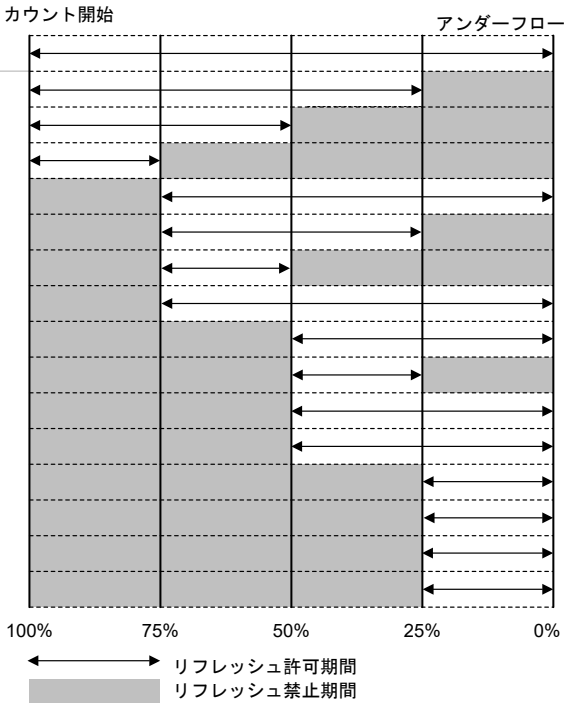
IWDTRPSS[1:0]ビットはリフレッシュ許可期間を示すウィンドウ開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25%から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ開始位置の設定は有効であり、ウィンドウ終了位置は 0%になります。

ウィンドウ開始、終了位置のカウンタ値を表 24.3 に、IWDTRPSS[1:0]、IWDTRPES[1:0]、IWDTTOPS[1:0]ビットで設定されるリフレッシュ許可期間を図 24.2 に示します。

表 24.3　タイムアウト期間とウィンドウ開始／終了カウンタ値の対応表

IWDTTOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始／終了カウンタ値			
b3	b2	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	0x007F	0x007F	0x005F	0x003F	0x001F
0	1	512	0x01FF	0x01FF	0x017F	0x00FF	0x007F
1	0	1024	0x03FF	0x03FF	0x02FF	0x01FF	0x00FF
1	1	2048	0x07FF	0x07FF	0x05FF	0x03FF	0x01FF

IWDTRPSS[1:0]ビット		IWDTRPES[1:0]ビット		ウィンドウ	
b11	b10	b9	b8	開始 (%)	終了 (%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75



注. ウィンドウ終了位置設定 ≧ ウィンドウ開始位置設定の場合、ウィンドウ終了位置設定は 0%になります。

図 24.2 IWDTRPSS[1:0]および IWDTRPES[1:0]ビットとリフレッシュ許可期間

IWDTRSTIRQS ビット（IWDT リセット割り込み要求選択）

IWDTRSTIRQS ビットは、アンダーフローまたはリフレッシュエラー発生時の動作を指定します。1 にすると、リセット出力が選択されます。0 にすると、割り込みが選択されます。

IWDTSTPCTL ビット（IWDT 停止制御）

IWDTSTPCTL ビットは、スリープモード、スヌーズモード、またはソフトウェアスタンバイモードに遷移した時にカウントを停止させるかどうかを選択します。

24.3 動作説明

24.3.1 オートスタートモード

オプション機能選択レジスタ 0 の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が 0 の場合、オートスタートモードが選択されています。OFS0.IWDTSTRT ビットが 1 の場合、リセット後の IWDT は停止状態です。

リセット状態の間に、オプション機能選択レジスタ 0 (OFS0) の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比 (OFS0.IWDTCKS[3:0])
- ウィンドウ開始および終了位置 (OFS0.IWDTRPSS[1:0]、OFS0.IWDTRPES[1:0])
- タイムアウト期間 (OFS0.IWDTTOPS[1:0])
- リセット出力または割り込み要求 (OFS0.IWDTRSTIRQS)

リセット状態が解除されると、IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定された値からダウンカウンタが自動でダウンカウントを開始します。

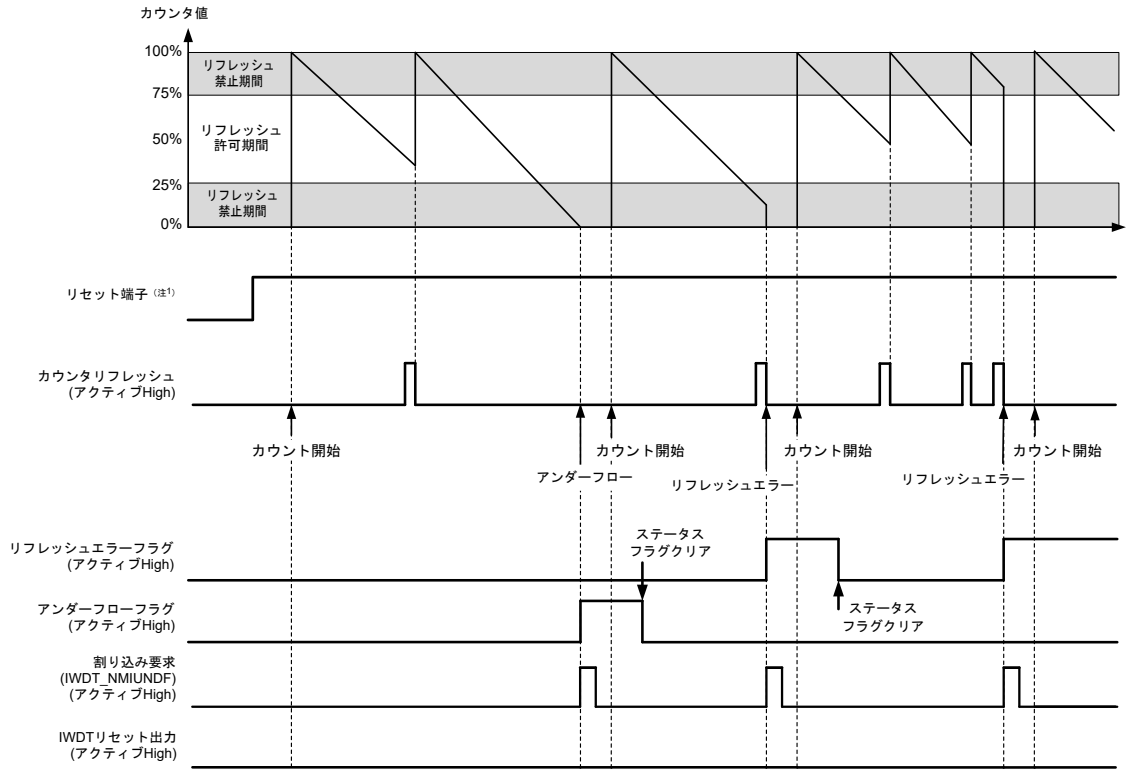
以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウント継続中は、IWDT はリセット信号を出力しません。プログラムの暴走によりダウンカウンタのリフレッシュが行われず、ダウンカ

ウンタのアンダーフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求または割り込み要求 (IWDT_NMIUNDF) を出力します。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントを開始します。リセット出力または割り込み要求出力は、IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) で選択できます。ノンマスカブル割り込み要求を許可する割り込みは、IWDT アンダーフロー／リフレッシュエラー割り込み許可ビット (NMIER.IWDTEN) で選択できます。

図 24.3 に、下記の条件下での動作例（ノンマスカブル割り込み）を示します。

- オートスタートモード (OFS0.IWDTSTRT = 0)
- IWDT 動作選択：割り込み (OFS0.IWDTRSTIRQS = 0)
- ノンマスカブル割り込み：IWDT アンダーフロー／リフレッシュエラー割り込み許可 (NMIER.IWDTEN = 1)
- ウィンドウ開始位置 75% (OFS0.IWDTRPSS[1:0] = 10b)
- ウィンドウ終了位置 25% (OFS0.IWDTRPES[1:0] = 10b)



注 1. リセット端子 = RES

図 24.3 オートスタートモードでの動作例

24.3.2 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、IWDTRR レジスタへ 0x00 の書き込みに続けて 0xFF の書き込みを行います。0x00 の書き込み後に 0xFF 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、IWDTRR レジスタに 0x00 の書き込みに続けて 0xFF を書き込むことにより、リフレッシュが正常に行われます。

0x00（1 回目）→ 0x00（2 回目）の順で書き込みを行った場合でも、その後に 0xFF を書き込めば、0x00 → 0xFF の書き込み順序が成立します。0x00（n-1 回目）→ 0x00（n 回目）→ 0xFF という書き込み順序は有効であり、正常にリフレッシュを行います。0x00 より前の書き込み値が 0x00 以外であっても、動作に 0x00 → 0xFF という書き込み順序が含まれている限り、正常にリフレッシュを行います。

また、IWDTRR レジスタへの 0x00 の書き込みと 0xFF の書き込みの間に、IWDTRR 以外のレジスタにアクセスするか、または IWDTRR レジスタを読み出しても、正常にリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります。この判定は 0xFF の書き込み時に行われます。そのため、0x00 の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 0x00 → 0xFF
- 0x00（n-1 回目）→ 0x00（n 回目）→ 0xFF
- 0x00 → 別レジスタへのアクセスまたは IWDTRR レジスタの読み出し → 0xFF

【カウンタのリフレッシュに無効な書き込み順序の例】

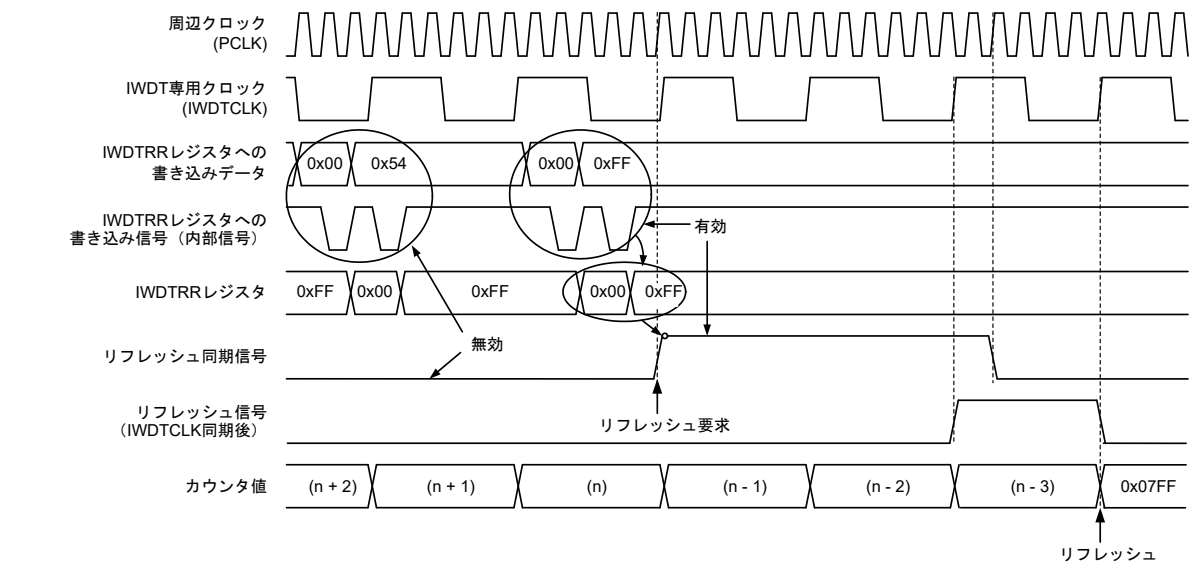
- 0x23（0x00 以外の値）→ 0xFF
- 0x00 → 0x54（0xFF 以外の値）
- 0x00 → 0xAA（0x00 および 0xFF 以外の値）→ 0xFF

カウンタのリフレッシュには、IWDTRR レジスタに 0xFF を書き込んでから、IWDT 専用クロック (IWDTCLK) の何サイクルがカウントの 1 サイクルを生成するかを決めるために、IWDT 専用クロック分周比選択ビット (OFS0.IWDTCKS[3:0]) のカウント信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、リフレッシュ許可期間の終了またはダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、IWDTRR レジスタへの 0xFF 書き込みを完了してください。カウンタの値はカウンタ値ビット (IWDTSR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を 0x03FF（0x07FF の 50%）とした場合、IWDTRR レジスタへの 0x00 の書き込みが 0x03FF より前（たとえば 0x0402）であっても、IWDTSR.CNTVAL[13:0]ビット値が 0x03FF になってから IWDTRR レジスタへ 0xFF を書き込めば、リフレッシュが発生します。
- ウィンドウ終了位置を 0x01FF（0x07FF の 25%）とした場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTSR.CNTVAL[13:0]ビットから読み出した値が 0x0203（0x01FF の 4 カウントサイクル前）以上であれば、リフレッシュを行います。
- リフレッシュ許可期間が 0x0000 まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 0x00 → 0xFF を書き込んだ直後に IWDTSR.CNTVAL[13:0]ビットから読み出した値が 0x0003（アンダーフローの 4 カウントサイクル前）以上であれば、アンダーフローは発生しないでリフレッシュを行います。

図 24.4 に、PCLKB > IWDTCLK、かつクロック分周比が IWDTCLK の 1 分周である場合の IWDT リフレッシュ動作波形を示します。



注. PCLK = PCLKB

図 24.4 IWDT リフレッシュ動作波形（OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合）

24.3.3 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF) とアンダーフローフラグ (IWDTSR.UNDFF) は、IWDT の割り込み要求が発生した場合の割り込み要因を保持します。割り込み要求の発生後に、IWDTSR.REFEF フラグと IWDTSR.UNDFF フラグを読み出すことで、割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

ステータスフラグをそのままにしておいても、動作に影響を与えません。次に IWDT が割り込み要求を出力したときに、現在のフラグの値にかかわらず、新しい割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでの時間は、「24.2.2. IWDTSR : IWDT ステータスレジスタ」を参照してください。

24.3.4 リセット出力

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を出力します。リセットが解除された後、自動でダウンカウントを開始します。

24.3.5 割り込み要因

オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号 (IWDT_NMIUNDF) を生成します。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は「12. 割り込みコントローラユニット (ICU)」を参照してください。

表 24.4 IWDT の割り込み要因

名称	割り込み要因	CPU への割り込み	DMAC/DTC の起動
IWDT_NMIUNDF	• ダウンカウンタのアンダーフロー • リフレッシュエラー	可能	不可能

24.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。IWDT は、カウンタ値を周辺クロック (PCLKB) に同期させて、IWDT ステータスレジスタのダウンカ

ウンタ値ビット (IWDTSR.CNTVAL[13:0]) へ格納します。これらのビットを確認して、間接的にカウンタ値を取得してください。

カウンタ値の読み出しには PCLKB で数クロックサイクル（最大 4 クロックサイクル）を要するため、読み出されるカウント値は、実際のカウンタ値から 1 カウントずれる場合があります。

図 24.5 に、PCLKB ＞ IWDTCLK のとき、クロック分周比が IWDTCLK × 1 分周である場合の IWDT ダウンカウンタ値の読み出し処理を示します。

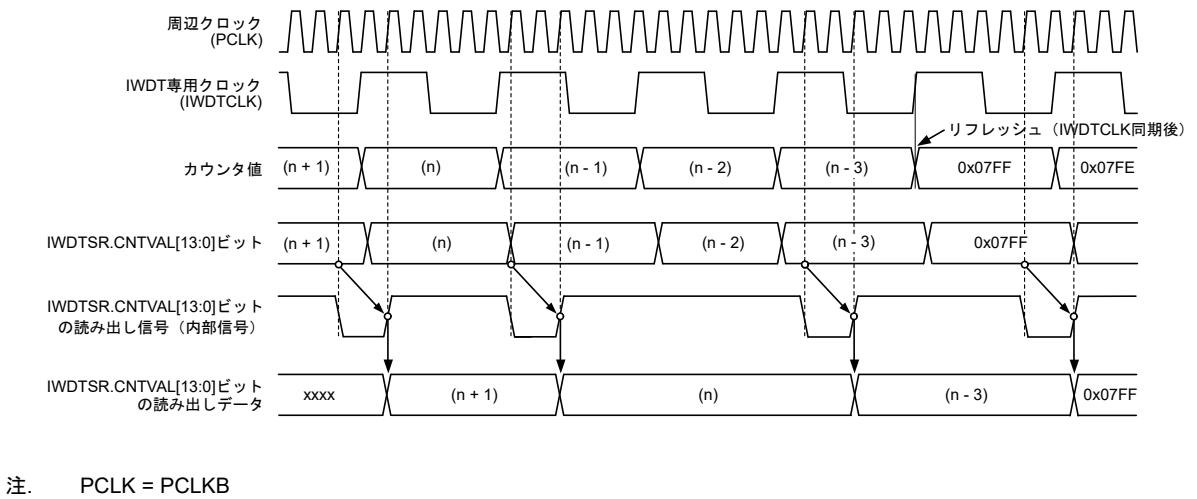


図 24.5 IWDT ダウンカウンタ値の読み出し処理（OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合）

24.4 イベントリンクコントローラ (ELC) への出力

ELC が割り込み要求信号をイベント信号として使用する場合、IWDT は設定したモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。

イベント信号は、OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。また、リフレッシュエラーフラグ (IWDTSR.REFEF) またはアンダーフローフラグ (IWDTSR.UNDFF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「17. イベントリンクコントローラ (ELC)」を参照してください。

24.5 使用上の注意事項

24.5.1 リフレッシュ動作

リフレッシュ時間を設定する際は、PCLKB と IWDTCLK のクロックソースの発振精度を考慮してください。発振精度による誤差の範囲で周期が変動してもリフレッシュできる値を設定してください。

24.5.2 クロック分周比の設定に関する制限

周辺モジュールクロック (PCLKB) の周波数が下記の要件を満たすように設定してください。

PCLKB ≧ 4 ×（カウントクロックソースの分周後周波数）

24.5.3 ICU イベントリンク設定レジスタ n (IELSRn) の設定に関する制限

IWDT リセットアサートを許可 (OFS0.IWDTRSTIRQS = 0) にした場合、またはイベントリンク動作を許可 (ELSRn.ELS[8:0] = 0x52) にした場合、ICU イベントリンク設定レジスタ n (IELSRn.IELS[8:0]) に 0x52 を設定することは禁止されています。

25. USB2.0 フルスピードモジュール (USBFS)

25.1 概要

USB 2.0 フルスピードモジュール (USBFS) は、USB (Universal Serial Bus) 2.0 規格に準拠したデバイスコントローラとして動作します。このモジュールはフルスピード転送をサポートしています。また、USBFS は USB トランシーバを内蔵し、USB 2.0 規格で定義されている全転送タイプに対応しています。

USBFS はデータ転送用に FIFO バッファを内蔵し、最大 5 本のパイプを使用できます。パイプ 4～7 に対しては、周辺デバイスやユーザーシステムの通信要件に合わせた任意のエンドポイント番号の割り付けが可能です。

表 25.1 に USBFS の仕様を、図 25.1 にそのブロック図を、表 25.2 に入出力端子を示します。

表 25.1 USBFS の仕様

パラメータ	仕様
機能	• USB デバイスコントローラ (UDC) と USB 2.0 トランシーバ対応 • セルフパワーモードとバスパワーモードを使用可能
	デバイスコントローラの特長 • フルスピード転送 (12 Mbps) (注1) • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESS リクエストに対する自動応答機能 • SOF 補完
対応する転送タイプ	• コントロール転送 • バルク転送 • インタラプト転送
パイプコンフィグレーション	• USB 通信用の FIFO バッファ • 最大 5 本のパイプを選択可能（デフォルトコントロールパイプ (DCP) を含む） • パイプ 4～7 は任意のエンドポイント番号を割り付け可能
	パイプごとに指定可能な転送条件： • パイプ 0: 64 バイトシングルバッファによるコントロール転送 • パイプ 4 および 5: 64 バイトダブルバッファによるバルク転送 • パイプ 6 および 7: 64 バイトシングルバッファによるインタラプト転送
その他の機能	• トランザクションカウントによる受信終了機能 • BRDY 割り込みイベント通知タイミング変更機能 (BFRE) • 転送終了による応答 PID の NAK 設定機能 (SHTNAK) • D+用の内蔵プルアップ抵抗
モジュールストップ機能	モジュールストップ状態の設定が可能
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. ロースピード転送 (1.5 Mbps) は未対応です。

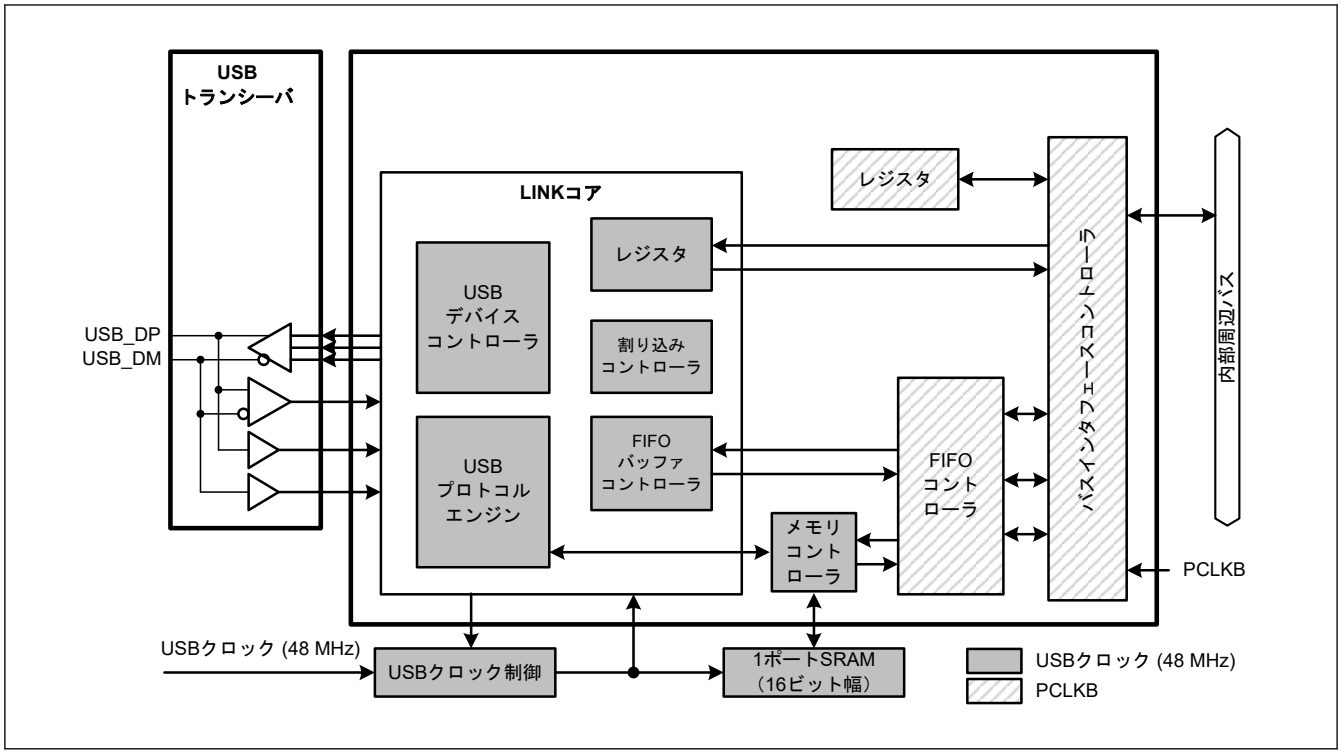


図 25.1　USBFS のブロック図

表 25.2　USBFS の端子構成

機能	端子名	入出力	機能
USBFS	USB_DP	入出力	USB 内蔵トランシーバ D+入出力端子。この端子は USB バスの D+端子に接続してください。
	USB_DM	入出力	USB 内蔵トランシーバ D-入出力端子。この端子は USB バスの D-端子に接続してください。
	USB_VBUS	入力	USB ケーブル接続モニタ端子。USB バスの VBUS に接続してください。ファンクションコントローラ機能選択時の VBUS の接続／切断を検出することができます。
	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子

25.2　レジスタの説明

25.2.1　SYSCFG : システムコンフィグレーションコントロールレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SCKE	—	—	—	—	—	DPRPU	—	—	—	USBE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	USBE	USBFS 動作許可 0: 無効 1: 有効	R/W
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
4	DPRPU	D+ライン抵抗制御 0: ラインのプルアップは禁止 1: ラインのプルアップは許可	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	SCKE	USB クロック許可 0: USBFS へのクロック供給を停止 1: USBFS へのクロック供給を許可	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. SCKE ビットに 1 を書き込んだ後、このビットを読み出して 1 になっていることを確認してください。

USBE ビット（USBFS 動作許可）

USBE ビットは USBFS の動作を許可または禁止します。

USBE ビットを 1 から 0 に変更したときに初期化されるビットを表 25.3 に示します。本ビットの変更は、SCKE ビットが 1 のときに限り実施してください。

表 25.3 SYSCFG.USBE ビットへの 0 の書き込みにより初期化されるレジスタ

選択した機能	レジスタ	ビット
デバイスコントローラ	SYSSTS0	LNST[1:0]
	DVSTCTR0	RHST[2:0]
	INTSTS0	DVSQ[2:0]
	USBADDR	USBADDR[6:0]
	USBREQ	BREQUEST[7:0]、BMREQUESTTYPE[7:0]
	USBVAL	WVALUE[15:0]
	USBINDX	WINDEX[15:0]
	USBLENG	WLENTUH[15:0]

DPRPU ビット（D+ライン抵抗制御）

DPRPU ビットは D+ラインのプルアップを許可または禁止します。

DPRPU ビットを 1 にすると、USBFS は D+ラインをプルアップし、USB ホストに対してアタッチされたことを通知します。DPRPU ビットを 1 から 0 に変更するとプルアップが解除され、USB ホストに対してデタッチされたことを通知します。

SCKE ビット（USB クロック許可）

SCKE ビットは USBFS への 48MHz クロック供給の停止／許可を指定します。

本ビットが 0 の場合、SYSCFG のみ読み出し／書き込みが可能です。他の USB 関連レジスタの読み出し／書き込みはしないでください。

25.2.2 SYSSTS0 : システムコンフィグレーションステータスレジスタ 0

Base address: USBFS = 0x4009_0000

Offset address: 0x004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LNST[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	LNST[1:0]	USB データラインステータスモニタ USB データラインのステータスを示します。表 25.4 を参照してください。	R
15:2	—	読むと 0 が読めます。	R

LNST[1:0]ビット（USB データラインステータスモニタ）

LNST[1:0]ビットは USB データライン（D+および D-）のステータスを示します。詳細は表 25.4 を参照してください。

アタッチ処理（SYSCFG.DPRPU ビット=1）以降に LNST[1:0]ビットを読み出してください。

表 25.4 USB データバスライン（D+および D-）のステータス

LNST[1:0]ビット	フルスピード動作時	ロースピード動作時
00b	SE0	SE0
01b	J-State	K-State
10b	K-State	J-State
11b	SE1	SE1

25.2.3 DVSTCTR0 : デバイスステートコントロールレジスタ 0

Base address: USBFS = 0x4009_0000

Offset address: 0x008

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	WKUP	—	—	—	—	—	RHST[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	RHST[2:0]	USB バスリセットステータス 0 0 0: 通信速度不定 0 0 1: USB バスリセット処理中 0 1 0: USB バスリセット処理中またはフルスピード接続時 その他: 設定禁止	R
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	WKUP	ウェイクアップ出力 0: リモートウェイクアップ信号を出力しない 1: リモートウェイクアップ信号を出力する	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RHST[2:0]ビット（USB バスリセットステータス）

RHST[2:0]ビットは USB バスリセットのステータスを示します。

USBFS が USB バスリセットを検出すると、 DPRPU ビットが 1 の場合に RHST[2:0]ビットが 010b を表示し、DVST 割り込みが発生します。

WKUP ビット（ウェイクアップ出力）

WKUP ビットは USB バスへのリモートウェイクアップ信号（レジューム信号）の受け付けを許可または禁止します。

USBFS は、リモートウェイクアップ信号の出力タイミングを管理しています。WKUP ビットを 1 にすると、USBFS は 10 ms 間 K-State を出力した後、WKUP ビットをクリアして 0 にします。USB2.0 規格では、リモートウェイクアップ信号の送信までに、5 ms 以上 USB バスアイドル状態を保持する必要があります。そのため、USBFS は、サスペンド状態を検出した直後に WKUP ビットに 1 を書き込んだ場合、2 ms 後に K-State を出力します。

WKUP ビットへの 1 の書き込みは、デバイスがサスペンド状態（INTSTS0.DVSQ[2:0]ビット= 1xxb）であり、かつ USB ホストからリモートウェイクアップ信号が許可されている場合のみ行ってください。本ビットが 1 のときは、サスペンド状態であっても、内部クロックを停止しないでください（SYSCFG.SCKE ビットは 1 にする必要があります）。

25.2.4 CFIFO/CFIFOL : CFIFO ポートレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x014

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FIFOPORT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	FIFOPORT[15:0](注1)	FIFO ポート これらのビットにアクセスして、FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。	R/W

注 1. 有効ビットは、関連するポート選択レジスタにおける MBW の設定値（CFIFOSEL.MBW）および BIGEND の設定値（CFIFOSEL.BIGEND）により異なります。表 25.5 および表 25.6 を参照してください。

CFIFO の構成は以下の通りです。

- FIFO バッファからのデータリードと、FIFO バッファへのデータライトを処理するポートレジスタ (CFIFO)
- FIFO ポートに割り当てられたパイプを選択するためのポート選択レジスタ (CFIFOSEL)
- ポートコントロールレジスタ (CFIFOCTR)

CFIFO には、下記の制限事項があります。

- DCP コントロール転送用 FIFO バッファへのアクセスは CFIFO ポートを通して行います。
- DTC から FIFO バッファにはアクセスできません。
- FIFO バッファの状態には、アクセス権が CPU にある場合と Serial Interface Engine (SIE) にある場合の 2 種類があります。SIE にアクセス権がある場合は、CPU から FIFO バッファにアクセスできません。

FIFOPORT[15:0]ビット（FIFO ポート）

FIFOPORT[15:0]ビットへのアクセス時に、USBFS は FIFO バッファから受信データを読み出すか、または FIFO バッファへ送信データを書き込みます。FIFO ポートレジスタへのアクセスは、関連するポートコントロールレジスタ (CFIFOCTR) の FRDY ビットが 1 のときに限り可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ (CFIFOSEL) の MBW ビットおよび BIGEND ビットの設定値により異なります。表 25.5 と表 25.6 を参照してください。

表 25.5 16 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット	ビット[15:8]	ビット[7:0]
0	N + 1 データ	N + 0 データ
1	N + 0 データ	N + 1 データ

表 25.6 8 ビットアクセス時のエンディアン動作

CFIFOSEL.BIGEND ビット	ビット[15:8]	ビット[7:0]
0	アクセス禁止(注1)	N + 0 データ
1	アクセス禁止(注1)	N + 0 データ

注 1. アクセス禁止領域に対する書き込みや読み出しはしないでください。

25.2.5 CFIFOSEL : CFIFO ポート選択レジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x020

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CURPIPE[3:0]	CFIFO ポートアクセスパイプ指定 0x0: デフォルトコントロールパイプ 0x4: パイプ 4 0x5: パイプ 5 0x6: パイプ 6 0x7: パイプ 7 その他: 設定禁止	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	ISEL	DCP 選択時 CFIFO ポートアクセス方向 0: FIFO バッファ読み出し選択 1: FIFO バッファ書き込み選択	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BIGEND	CFIFO ポートエンディアン制御 0: リトルエンディアン 1: ビッグエンディアン	R/W
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	MBW	CFIFO ポートアクセスビット幅 0: 8 ビット幅 1: 16 ビット幅	R/W
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	REW	バッファポインタリワインド 0: バッファポインタのリワインドをしない 1: バッファポインタのリワインドをする	W(注1)
15	RCNT	リードカウントモード 0: CFIFO からすべての受信データを読み出したときに、DTLN[8:0]ビット (CFIFOCTR.DTLN[8:0]) をクリア。ダブルバッファモードの場合、一面のみ読み出し終了時に DTLN[8:0]の値をクリア。 1: CFIFO から受信データを読み出すごとに DTLN[8:0]ビットをダウンカウント。	R/W

注 1. 読むと 0 が読み出されます。

CURPIPE[3:0]ビット（CFIFO ポートアクセスパイプ指定）

CURPIPE[3:0]ビットは CFIFO ポート経由のデータの読み出し／書き込みに使用するパイプ番号を指定します。これらのビットに書き込む際は、書き込み後に読み出して、書き込み値と読み出し値が一致していることを確認してから、次の処理に進んでください。CURPIPE[3:0]ビットには、同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、ソフトウェアが CURPIPE[3:0]ビットの設定値を変更しようとしても、アクセスが完了するまで現在のアクセス設定が維持されます。

ISEL ビット（DCP 選択時 CFIFO ポートアクセス方向）

選択したパイプが DCP のときに ISEL ビットへの新しい値の書き込みを行ったときは、その後に ISEL ビットの読み出しを行い、書き込み値と読み出し値が一致することを確認してから次の処理に進んでください。ISEL ビットと CURPIPE[3:0]ビットの設定は同時に行ってください。

MBW ビット（CFIFO ポートアクセスビット幅）

MBW ビットは CFIFO ポートへのアクセスビット幅を指定します。

選択したパイプが受信方向の場合、CURPIPE[3:0]ビットと MBW ビットを同時に設定してください。これらのビットへの書き込みで FIFO バッファからのデータ読み出しが開始したら、すべてのデータが読み出されるまで MBW ビットの変更を行わないでください。

選択したパイプが送信方向の場合、FIFO バッファへのデータ書き込み実行中に 8 ビットから 16 ビットへのビット幅の変更はできません。

16 ビット幅が選択されていても、バイトアクセス制御により、奇数バイトの書き込みも可能です。

REW ビット（バッファポインタリワインド）

REW ビットはバッファポインタのリワインドを行うか否かを指定します。

選択したパイプが受信方向の場合、FIFO バッファの読み出し中に本ビットを 1 にすると、FIFO バッファの最初のデータから再読み出しが可能になります。ダブルバッファの場合は、この設定により現在読み出し中の FIFO バッファの面の最初のデータから再読み出しすることが可能になります。

REW ビットを 1 にするとき、CURPIPE[3:0]ビットの設定変更を同時に行わないでください。REW ビットを 1 にする前に、必ず FRDY ビットが 1 であることを確認してください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

25.2.6 CFIFOCTR : CFIFO ポートコントロールレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x022

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	DTLN[8:0]	受信データ長 受信データ長を示します。 ポート選択レジスタの RCNT ビットの設定により、表示される内容が異なります。詳細は、DTLN[8:0]ビットの説明を参照してください。	R
12:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	FRDY	FIFO ポートレディ 0: FIFO ポートアクセス不可能 1: FIFO ポートアクセス許可	R
14	BCLR	CPU バッファクリア 0: 動作なし 1: CPU 側 FIFO バッファクリア	W
15	BVAL	バッファメモリ有効フラグ 0: 無効（0 の書き込みは影響なし） 1: 書き込み終了	R/W

DTLN[8:0]ビット（受信データ長）

DTLN[8:0]ビットは受信データ長を示します。

FIFO バッファの読み出し中、DTLN[8:0]ビットは、以下のように RCNT ビット (n = 0, 1) に応じて異なる値を示します。

- RCNT = 0 のとき

  CPU が FIFO バッファ 1 面分の全受信データの読み出しを完了するまで、USBFS は DTLN[8:0]ビットを設定して受信データ長を示します。

  PIPECFG.BFRE ビットが 1 の場合、全データの読み出しが完了しても、BCLR ビットが 1 になるまで USBFS は受信データ長を保持します。

- RCNT = 1 のとき

FIFO バッファからデータを読み出すごとに、USBFS は DTLN[8:0]ビットの示す値をデクリメントします。MBW = 0 のときは 1 ずつ、MBW = 1 のときは 2 ずつ値がデクリメントされます。

FIFO バッファ 1 面分の全データの読み出し完了時に、USBFS は本ビットを 0 にします。ダブルバッファモード時、かつ FIFO バッファ 1 面分の全データの読み出しを完了する前にもう 1 面分の FIFO バッファにデータを受信した場合、USBFS は本ビットを設定して、後の 1 面分の全データの読み出し完了時に先の 1 面分の受信データ長を示します。

FRDY ビット（FIFO ポートレディ）

FRDY ビットは、CPU から FIFO ポートにアクセス可能かどうかを示します。

以下の場合、USBFS は FRDY ビットを 1 にしますが、読み出すべきデータがないため、FIFO ポート経由のデータ読み出しはできません。

- 選択したパイプに割り当てられている FIFO バッファが空の状態で Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが 1 のときに、ショートパケットを受信し、データ読み出しを完了した場合

これらのケースでは、BCLR ビットを 1 にして FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

BCLR ビット（CPU バッファクリア）

選択パイプの CPU 側の FIFO バッファをクリアする場合は BCLR ビットを 1 にします。

選択パイプに割り当てられている FIFO バッファにダブルバッファモードが設定されている場合、FIFO バッファの両面ともに読み出し可能な場合でも、USBFS は片面の FIFO バッファのみをクリアします。

選択パイプが DCP のときに BCLR ビットを 1 にすると、FIFO バッファへのアクセス権を持つのが CPU 側か SIE 側かにかかわらず、USBFS は FIFO バッファをクリアします。SIE 側にアクセス権があるときに FIFO バッファをクリアする場合、DCPCTR.PID[1:0]ビットを 00b（NAK 応答）にしてから BCLR ビットを 1 にしてください。

選択パイプが送信方向の場合、同時に BVAL フラグと BCLR ビットの両方に 1 を書き込むと、USBFS はすでに書き込まれたデータをクリアし、Zero-Length パケットの送信を可能にします。

選択パイプが DCP 以外の場合、BCLR ビットへの 1 の書き込みは、FIFO ポートコントロールレジスタの FRDY ビットの（USBFS による）設定値が 1 のときにのみ行ってください。

BVAL フラグ（バッファメモリ有効フラグ）

CURPIPE[3:0]ビットで選択したパイプの CPU 側の FIFO バッファの書き込み終了時に BVAL フラグを 1 にします。

選択パイプが送信方向のとき、以下の場合に BVAL フラグを 1 にしてください。

- ショートパケットを送信する場合は、データ書き込み後に本フラグを 1 にする
- Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前に本フラグを 1 にする

これを行うと、USBFS は CPU の FIFO バッファを SIE に切り替え、送信可能状態にします。

連続転送モード時にパイプに対して最大パケットサイズ分のデータを書き込むと、USBFS は BVAL フラグを 1 にし、FIFO バッファを CPU から SIE に切り替え、送信可能状態にします。

BVAL フラグへの 1 の書き込みは、USBFS が FRDY ビットを 1 にしているときにのみ行ってください。選択パイプが受信方向の場合、BVAL フラグは 1 にしないでください。

25.2.7 INTENB0 : 割り込みイネーブルレジスタ 0

Base address: USBFS = 0x4009_0000

Offset address: 0x030

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BRDYE	バッファレディ割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
9	NRDYE	バッファノットレディ応答割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
10	BEMPE	バッファエンプティ割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
11	CTRE	コントロール転送ステージ遷移割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
12	DVSE	デバイスステート遷移割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
13	SOFE	フレーム番号更新割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
14	RSME	レジューム割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15	VBSE	VBUS 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W

INTSTS0 レジスタのステータスフラグが 1 で、INTENB0 レジスタの関連する割り込み要求許可ビットが 1 の場合、USBFS は USBFS 割り込み要求を発行します。

INTENB0 レジスタの設定値にかかわらず、関連する条件を満たすステート切り替えに応じて、INTSTS0 レジスタのステータスフラグは 1 となります。

INTENB0 レジスタの関連するステータスフラグが 1 の場合に、INTENB0 レジスタの割り込み要求許可ビットが 0 から 1 に切り替えられると、USBFS 割り込み要求が発行されます。

25.2.8 BRDYENB : BRDY 割り込みイネーブルレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x036

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PIPE7BRDYE	PIPE6BRDYE	PIPE5BRDYE	PIPE4BRDYE	—	—	—	PIPE0BRDYE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0BRDYE	パイプ 0 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PIPE4BRDYE	パイプ 4 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W

ビット	シンボル	機能	R/W
5	PIPE5BRDYE	パイプ 5 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
6	PIPE6BRDYE	パイプ 6 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
7	PIPE7BRDYE	パイプ 7 の BRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY ビットへの 1 の書き込みの許可／禁止を指定します。

BRDYSTS レジスタのステータスフラグが 1 で、BRDYENB レジスタの関連する PIPEnBRDYE ビット（n = 0～7）が 1 の場合、INTSTS0.BRDY フラグは 1 になります。この場合、INTENB0 レジスタの BRDYE ビットが 1 であれば、USBFS は BRDY 割り込み要求を発生させます。少なくともひとつの PIPEnBRDY ビットが 1 の状態で、ソフトウェアで BRDYENB レジスタの関連する割り込み要求許可ビットが 0 から 1 に変更されると、USB は BRDY 割り込み要求を発生させます。

25.2.9 NRDYENB : NRDY 割り込みイネーブルレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x038

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	—	—	—	PIPE0NRDYE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0NRDYE	パイプ 0 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PIPE4NRDYE	パイプ 4 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
5	PIPE5NRDYE	パイプ 5 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
6	PIPE6NRDYE	パイプ 6 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
7	PIPE7NRDYE	パイプ 7 の NRDY 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

NRDYENB レジスタは、各パイプの NRDY 割り込み検出時に、INTSTS0.NRDY ビットへの 1 の書き込みの許可／禁止を指定します。

NRDYSTS レジスタのステータスフラグが 1 で、NRDYENB レジスタの関連する PIPEnBRDYE ビット（n = 0, 4～7）が 1 の場合、INTSTS0.NRDY フラグは 1 になります。この場合、INTENB0 レジスタの NRDYE ビットが 1 であれば、USBFS は NRDY 割り込み要求を発生させます。少なくともひとつの PIPEnNRDY ビットが 1 の状態

で、ソフトウェアで NRDYENB レジスタの関連する割り込み要求許可ビットが 0 から 1 に変更されると、USBFS は NRDY 割り込み要求を発生させます。

25.2.10 BEMPENB : BEMP 割り込みイネーブルレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x03A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PIPE7BEMPE	PIPE6BEMPE	PIPE5BEMPE	PIPE4BEMPE	—	—	—	PIPE0BEMPE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0BEMPE	パイプ 0 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PIPE4BEMPE	パイプ 4 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
5	PIPE5BEMPE	パイプ 5 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
6	PIPE6BEMPE	パイプ 6 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
7	PIPE7BEMPE	パイプ 7 の BEMP 割り込み許可 0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に、INTSTS0.BEMP ビットへの 1 の書き込みの許可／禁止を指定します。

BEMPSTS レジスタのステータスフラグが 1 で、BEMPENB レジスタの関連する PIPEnBEMPE（n = 0～7）ビットが 1 の場合、INTSTS0.BEMP フラグは 1 になります。この場合、INTENB0 レジスタの BEMPE ビットが 1 であれば、USBFS は BEMP 割り込み要求を発生させます。少なくともひとつの PIPEnBEMP ビットが 1 の状態で、ソフトウェアで BEMPENB レジスタの関連する割り込み要求許可ビットが 0 から 1 に変更されると、USBFS は BEMP 割り込み要求を発生させます。

25.2.11 SOFCFG : SOF 出力コンフィグレーションレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x03C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	BRDYM	—	EDGESTS	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	EDGESTS	エッジ割り込み出力ステータスモニタ(注1) エッジ割り込み出力信号のエッジ処理中は 1 となります。	R

ビット	シンボル	機能	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	BRDYM	BRDY 割り込みステータスクリアタイミング 0: ソフトウェアによる BRDY フラグのクリア 1: FIFO バッファからのデータ読み出しまたは FIFO バッファへのデータ書き込みにより USBFS が BRDY フラグをクリア	R/W
8:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. USBFS へのクロック供給を停止するときは、事前に EDGESTS フラグが 0 であることを確認してください。

EDGESTS ビット（エッジ割り込み出力ステータスモニタ）

EDGESTS ビットはエッジ割り込み出力信号のエッジ処理中は 1 となります。USBFS へのクロック供給を停止するときは、事前に本ビットが 0 であることを確認してください。

BRDYM ビット（BRDY 割り込みステータスクリアタイミング）

BRDYM ビットはパイプの BRDY 割り込みステータスフラグのクリア方法を指定します。

25.2.12 INTSTS0 : 割り込みステータスレジスタ 0

Base address: USBFS = 0x4009_0000

Offset address: 0x040

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
Value after reset:	0	0	0	x	0	0	0	0	x	0	0	x	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CTSQ[2:0]	コントロール転送ステージ 0 0 0: アイドルまたはセットアップステージ 0 0 1: コントロールリードデータステージ 0 1 0: コントロールリードステータスステージ 0 1 1: コントロールライトデータステージ 1 0 0: コントロールライトステータスステージ 1 0 1: コントロールライト（ノーデータ）ステータスステージ 1 1 0: コントロール転送シーケンスエラー	R
3	VALID	USB リクエスト受信 0: Setup パケットを受信していない 1: Setup パケットを受信した	R/W
6:4	DVSQ[2:0]	デバイスステート デバイスステートを示します。 0 0 0: Powered ステート 0 0 1: Default ステート 0 1 0: Address ステート 0 1 1: Configured ステート その他: Suspended ステート	R
7	VBSTS	VBUS 入力ステータス 0: USB_VBUS 端子が Low 1: USB_VBUS 端子が High	R
8	BRDY	バッファレディ割り込みステータス 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R
9	NRDY	バッファノットレディ割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R

ビット	シンボル	機能	R/W
10	BEMP	バッファエンプティ割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R
11	CTRT	コントロール転送ステージ遷移割り込みステータス 0: コントロール転送ステージ遷移割り込み発生なし 1: コントロール転送ステージ遷移割り込み発生あり	R/W(注1)
12	DVST	デバイスステート遷移割り込みステータス 0: デバイスステート遷移割り込み発生なし 1: デバイスステート遷移割り込み発生あり	R/W(注1)
13	SOFR	フレーム番号更新割り込みステータス 0: SOF 割り込み発生なし 1: SOF 割り込み発生あり	R/W(注1)
14	RESM	レジューム割り込みステータス (注2) 0: レジューム割り込み発生なし 1: レジューム割り込み発生あり	R/W(注1)
15	VBINT	VBUS 割り込みステータス(注2) 0: VBUS 割り込み発生なし 1: VBUS 割り込み発生あり	R/W(注1)

注. DVST ビットは MCU がリセットされると 0、USB バスリセットのときは 1 になります。
注. VBSTS ビットは USB_VBUS 端子が High のときは 1、Low のときは 0 になります。
注. DVSQ[2:0]ビットは MCU がリセットされると 000b、USB バスリセットのときは 001b になります。
注 1. VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、CTRT ビット、または VALID ビットをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。0 を示しているステータスビットへの 0 書き込みを行わないでください。
注 2. USBFS は VBINT ビットおよび RESM ビットのステータス変化をクロック供給の停止中 (SYSCFG.SCKE = 0) でも検出し、関連する割り込み要求ビットが 1 であれば割り込みを要求します。ステータスをソフトウェアでクリアするときは、事前にクロック供給を許可してから行ってください。

DVSQ[2:0]ビット（デバイスステート）

USB バスリセットで DVSQ[2:0]ビットは初期化されます。

BRDY フラグ（バッファレディ割り込みステータス）

BRDY フラグは BRDY 割り込みステータスを示します。

USBFS は、BRDY 割り込みが許可された (BRDYENB.PIPEnBRDYE = 1) パイプのうち少なくとも 1 つに対して BRDY 割り込みステータス (PIPEnBRDY = 1, n = 0～9) を検出したときに、BRDY ビットを 1 にします。

PIPEnBRDY ステータスがアサートされる条件については、「25.3.3.1. BRDY 割り込み」を参照してください。

1 に設定されている PIPEnBRDYE ビットに対応する PIPEnBRDY ビットのすべてにソフトウェアで 0 を書き込むと、USBFS は BRDY ビットを 0 にします。ソフトウェアで BRDY フラグに 0 を書き込んだ場合でも、本フラグはクリアされません。

NRDY フラグ（バッファノットレディ割り込みステータス）

NRDY フラグは NRDY 割り込みステータスを示します。

USBFS は、NRDY 割り込みが許可された (NRDYENB.PIPEnNRDYE = 1) パイプのうち、少なくとも 1 つで NRDY 割り込みステータス (PIPEnNRDY = 1, n = 0, 4～7) を検出したときに、NRDY ビットを 1 にします。

PIPEnNRDY ステータスがアサートされる条件については、「25.3.3.2. NRDY 割り込み」を参照してください。

1 に設定されている PIPEnNRDYE ビットに対応する PIPEnNRDY ビットのすべてにソフトウェアで 0 を書き込むと、USBFS は NRDY ビットを 0 にします。ソフトウェアで NRDY フラグに 0 を書き込んだ場合でも、本フラグはクリアされません。

BEMP フラグ（バッファエンプティ割り込みステータス）

BEMP フラグは BEMP 割り込みステータスを示します。

USBFS は、BEMP 割り込みが許可された (BEMPENB.PIPEnBEMPE = 1) パイプのうち、少なくとも 1 つで BEMP 割り込みステータス (PIPEnBEMP = 1, n = 0, 4～7) を検出したときに、BEMP ビットを 1 にします。

PIPEnBEMP ステータスがアサートされる条件については、「25.3.3.3. BEMP 割り込み」を参照してください。

1 に設定されている PIPEnBEMPE ビットに対応する PIPEnBEMP ビットのすべてにソフトウェアで 0 を書き込むと、USBFS は BEMP ビットを 0 にします。ソフトウェアで BEMP フラグに 0 を書き込んだ場合でも、本フラグはクリアされません。

CTRT フラグ（コントロール転送ステージ遷移割り込みステータス）

USBFS がコントロール転送のステージ遷移を検出すると、USBFS は CTSQ[2:0]ビットの値を更新し、CTRT フラグを 1 にします。コントロール転送ステージ遷移割り込みが発生した場合、USBFS が次のコントロール転送のステージ遷移を検出するまでに CTRT フラグをクリアしてください。

DVST フラグ（デバイスステート遷移割り込みステータス）

USBFS がデバイスステートの変化を検出すると、USBFS は DVSQ[2:0]ビットの値を更新し、DVST フラグを 1 にします。デバイスステート遷移割り込みが発生した場合、USBFS が次のデバイスステート遷移を検出するまでに DVST フラグをクリアしてください。

SOFR フラグ（フレーム番号更新割り込みステータス）

USBFS はフレーム番号を更新するときに SOFR フラグを 1 にします。フレーム番号更新割り込みは、1 ms ごとに検出されます。

USB ホストから受信した SOF パケットが破損していても、内部補完機能により、USBFS は SOFR 割り込みを検出できます。

RESM フラグ（レジューム割り込みステータス）

USBFS は、Suspended ステート (DVSQ[2:0] = 1xxb) であり、かつ、USB_DP 端子で信号の立ち下がりエッジを検出したときに、RESM フラグを 1 にします。

VBINT フラグ（VBUS 割り込みステータス）

USBFS は、USB_VBUS 端子入力値のレベル変化（High から Low、または Low から High）を検出すると、VBINT フラグを 1 にします。USBFS は USB_VBUS 端子の入力値を VBSTS フラグに表示します。VBUS 割り込みが発生した場合は、ソフトウェアで VBSTS フラグを 3 回以上読み出し、値が一致することを確認してトランジェント除去を行ってください。

25.2.13 BRDYSTS : BRDY 割り込みステータスレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x046

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	—	—	—	PIPE0 BRDY
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0BRDY	パイプ 0 の BRDY 割り込みステータス (注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PIPE4BRDY	パイプ 4 の BRDY 割り込みステータス (注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
5	PIPE5BRDY	パイプ 5 の BRDY 割り込みステータス (注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
6	PIPE6BRDY	パイプ 6 の BRDY 割り込みステータス(注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)

ビット	シンボル	機能	R/W
7	PIPE7BRDY	パイプ 7 の BRDY 割り込みステータス (注2) 0: BRDY 割り込み発生なし 1: BRDY 割り込み発生あり	R/W(注1)
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SOFCFG.BRDYM ビットが 0 の場合、BRDYSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。
注 2. SOFCFG.BRDYM ビットが 0 の場合、BRDY 割り込みのクリアは、FIFO にアクセスする前に行ってください。

25.2.14 NRDYSTS : NRDY 割り込みステータスレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x048

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	—	—	—	PIPE0 NRDY
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0NRDY	パイプ 0 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	PIPE4NRDY	パイプ 4 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
5	PIPE5NRDY	パイプ 5 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
6	PIPE6NRDY	パイプ 6 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
7	PIPE7NRDY	パイプ 7 の NRDY 割り込みステータス 0: NRDY 割り込み発生なし 1: NRDY 割り込み発生あり	R/W(注1)
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. NRDYSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。

25.2.15 BEMPSTS : BEMP 割り込みステータスレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x04A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PIPE7 BEMP	PIPE6 BEMP	PIPE5 BEMP	PIPE4 BEMP	—	—	—	PIPE0 BEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PIPE0BEMP	パイプ 0 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
4	PIPE4BEMP	パイプ 4 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
5	PIPE5BEMP	パイプ 5 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
6	PIPE6BEMP	パイプ 6 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
7	PIPE7BEMP	パイプ 7 の BEMP 割り込みステータス 0: BEMP 割り込み発生なし 1: BEMP 割り込み発生あり	R/W(注1)
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. BEMPSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書き込んでください。

25.2.16 FRMNUM : フレームナンバレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x04C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	FRNM[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	FRNM[10:0]	フレーム番号 最新のフレーム番号	R
15:11	—	読むと 0 が読めます。	R

FRNM[10:0]フラグ（フレーム番号）

SOF パケットの発行時または受信時に、FRNM[10:0]フラグは最新のフレーム番号（1ms ごとに更新）を示します。

25.2.17 DVCHGR : デバイスステート切り替えレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x04E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DVCHG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	DVCHG	デバイスステート切り替え 0: USBADDR.STSRECOV[3:0]ビットおよび USBADDR.USBADDR[6:0]ビットへの書き込み無効 1: USBADDR.STSRECOV[3:0]ビットおよび USBADDR.USBADDR[6:0]ビットへの書き込み有効	R/W

詳細については、「25.3.1.4. USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモードの解除」を参照してください。

25.2.18 USBADDR : USB アドレスレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x050

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	STSRECOV[3:0]				—	USBADDR[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	USBADDR[6:0]	USB アドレス USBFS が SET_ADDRESS リクエストを正常に処理したときに、ホストから割り付けられた USB アドレスを表示します。	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	STSRECOV[3:0]	ステータスリカバリ 0x9: フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビット = 010b）、INTSTS0.DVSQ[2:0]ビット = 001b（Default ステート） 0xA: フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビット = 010b）、INTSTS0.DVSQ[2:0]ビット = 010b（address ステート） 0xB: フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビット = 010b）、INTSTS0.DVSQ[2:0]ビット = 011b（configured ステート） その他: 設定禁止	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

USBADDR[6:0]ビット（USB アドレス）

USBFS が SetAddress 要求の処理を正常に終了すると、USBADDR[6:0]フラグは受信した USB アドレス受信します。USBFS は USB バスリセットを検出すると USBADDR[6:0]ビットを 0x00 にします。

DVCHGR.DVCHG ビットが 1 に設定されているときに、USBADDR[6:0]ビットに書き込み可能となります。USB 電源遮断からの復帰時に、ソフトウェアによる遮断の前に設定されていた USB アドレスから再開することが可能です。

STSRECOV[3:0]ビット（ステータスリカバリ）

STSRECOV[3:0]ビットは USB 電源遮断から復帰するときに、内部シーケンサの状態を遮断前の状態に復帰させるときに使用します。詳細については、「25.3.1.4. USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモードの解除」を参照してください。

DVCHGR.DVCHG ビットが 1 に設定されているときに STSRECOV[3:0]ビットに書き込み可能となります。

25.2.19 USBREQ : USB リクエストタイプレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x054

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	BMREQUESTTYPE[7:0]	リクエストタイプ USB リクエスト bmRequestType の値	R
15:8	BREQUEST[7:0]	リクエスト USB リクエスト bRequest の値	R

USBREQ は、コントロール転送のセットアップリクエストを格納するとともに、受信した bRequest と bmRequestType の値も格納します。

USBREQ レジスタは、USB バスリセットで初期化されます。

BMREQUESTTYPE[7:0]ビット（リクエストタイプ）

BMREQUESTTYPE[7:0]ビットは USB リクエスト bmRequestType の値を保持します。

SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは影響しません。

BREQUEST[7:0]ビット（リクエスト）

BREQUEST[7:0]ビットは USB リクエスト bRequest の値を格納します。

SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは影響しません。

25.2.20 USBVAL : USB リクエストバリューレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x056

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WVALUE[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WVALUE[15:0]	バリュー USB リクエスト wValue の値	R

USBVAL は受信した wValue の値を格納し、USB バスリセットによって初期化されます。

WVALUE[15:0]ビット（バリュー）

WVALUE[15:0]ビットは USB リクエスト wValue の値を格納します。

SETUP トランザクションで受信した USB リクエスト wValue の値を示します。書き込みは影響しません。

25.2.21 USBINDX : USB リクエストインデックスレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x058

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WINDEX[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WINDEX[15:0]	インデックス USB リクエスト wIndex の値	R

USBINDX は、コントロール転送のセットアップリクエストを格納するとともに、受信した wIndex の値も格納します。

USBINDX レジスタは、USB バスリセットで初期化されます。

WINDEX[15:0]ビット（インデックス）

WINDEX[15:0]ビットは USB リクエスト wIndex の値を保持します。

SETUP トランザクションで受信した USB リクエスト wIndex の値を示します。書き込みは影響しません。

25.2.22 USBLENG : USB リクエストレングスレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x05A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	WLENTUH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	WLENTUH[15:0]	レングス USB リクエスト wLength の値	R

USBLENG は、コントロール転送のセットアップリクエストを格納するとともに、受信した wLength の値も格納します。

USBLENG レジスタは、USB バスリセットで初期化されます。

WLENTUH[15:0]ビット（レングス）

WLENTUH[15:0]ビットは USB リクエスト wLength の値を保持します。

SETUP トランザクションで受信した USB リクエスト wLength の値を示します。書き込みは影響しません。

25.2.23 DCPCFG : DCP コンフィグレーションレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x05C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	SHTNAK	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SHTNAK	転送終了時のパイプ禁止(注1) 0: 転送終了後パイプがオープンの状態を維持 1: 転送終了後にパイプを禁止	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットの設定は、PID = NAK の状態のときにのみ実施してください。このビットを設定する場合には、DCPCTR.PBUSY ビットが 0 であることを確認し、DCP の DCPCTR.PID[1:0]ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

SHTNAK ビット（転送終了時のパイプ禁止）

SHTNAK ビットは選択パイプが受信方向の場合に、転送終了時に PID を NAK に変更するかどうかを指定します。SHTNAK ビットは、選択パイプが受信方向の場合のみ有効なビットです。

SHTNAK ビットが 1 の場合、USBFS は、転送の終了を判定したときに DCP の DCPCTR.PID[1:0]ビットを NAK に変更します。USBFS は、以下の条件が満たされると転送終了を判定します。

- ショートパケット（Zero-Length パケットを含む）を正常に受信したとき。

25.2.24 DCPMAXP : DCP マックスパケットサイズレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x05E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	MXPS[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	MXPS[6:0]	最大パケットサイズ(注1) DCP の最大データペイロード（最大パケットサイズ）を指定します。	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. MXPS[6:0]ビットの設定は、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、DCPCTR.PBUSY ビットが 0 であることを確認し、DCP の DCPCTR.PID[1:0]ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。MXPS[6:0]ビットを設定し、ポート選択レジスタの CURPIPE[3:0]ビットに DCP を設定した後に、ポートコントロールレジスタの BCLR ビットを 1 にしてバッファをクリアしてください。

MXPS[6:0]ビット（最大パケットサイズ）

MXPS[6:0]ビットは DCP の最大データペイロード（最大パケットサイズ）を指定します。初期値は 0x40（64 バイト）です。このビットには USB2.0 規格に準じた値を設定してください。MXPS[6:0]ビットが 0 の状態で FIFO バッファへの書き込み、あるいは PID = BUF の設定を行わないでください。

25.2.25 DCPCTR : DCP コントロールレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x060

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSTS	—	—	—	—	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PID[1:0]	応答 PID 0 0: NAK 応答 0 1: BUF 応答（バッファ状態に従う） 1 0: STALL 応答 1 1: STALL 応答	R/W
2	CCPL	コントロール転送終了許可 0: コントロール転送終了を許可しない 1: コントロール転送終了を許可する	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	PBUSY	パイプビジー 0: DCP を USB バスにて未使用 1: DCP を USB バスにて使用中	R
6	SQMON	シーケンストグルビットモニタ 0: DATA0 1: DATA1	R
7	SQSET	シーケンストグルビットセット(注2) DCP 転送においてシーケンストグルビットを設定します。 読むと 0 が読めます。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA1 にする	R/W(注1)

ビット	シンボル	機能	R/W
8	SQCLR	シーケンストグルビットクリア(注2) DCP 転送におけるシーケンストグルビットをクリアします。 読むと 0 が読めます。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA0 にクリアします。	R/W(注1)
14:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	BSTS	バッファステータス 0: バッファアクセス不可能 1: バッファアクセス可能	R

注 1. 読むと 0 が読めます。
注 2. SQSET ビットおよび SQCLR ビットの設定は、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、DCP の PID[1:0]ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PID[1:0]ビット（応答 PID）

PID[1:0]ビットは、コントロール転送における USB 応答の種類を制御します。

USBFS は PID[1:0]の設定値変更を以下のように行います。

- Setup パケットを受信すると、USBFS は PID[1:0]ビットを NAK (00b) にする。このとき、USBFS は INTSTS0.VALID フラグを 1 にし、ソフトウェアで VALID フラグが 0 にクリアされるまで、PID[1:0]の設定値変更は不可となる。
- ソフトウェアが PID[1:0]ビットを BUF (01b) にし、USBFS が MaxPacketSize を超えるデータを受信すると、USBFS は PID[1:0]を STALL (11b) にする。
- コントロール転送シーケンスエラーを検出すると、USBFS は PID[1:0]を STALL (1xb) にする。
- USB バスリセットを検出したとき、USBFS は PID[1:0]を NAK にする。

SET_ADDRESS リクエスト処理時には、USBFS は PID[1:0]の設定値を確認しません。

USB バスリセットで PID[1:0]ビットは初期化されます。

CCPL ビット（コントロール転送終了許可）

CCPL ビットを 1 にすることによりコントロール転送のステータスステージの終了を許可します。対応する PID[1:0]ビットが BUF のとき、ソフトウェアで CCPL ビットを 1 にすると、USBFS はコントロール転送のステータスステージを完了させます。

コントロールリード転送では、USBFS は USB ホストからの OUT トランザクションに対して、ACK ハンドシェイクを送信します。コントロールライト転送またはノーデータコントロール転送では、USBFS は USB ホストからの IN トランザクションに対して、Zero-Length パケットを送信します。SET_ADDRESS リクエスト検出時は、CCPL ビットの設定値に関係なく、USBFS はセットアップステージからステータスステージ完了まで自動応答モードで動作します。

新しい Setup パケットを受信したときに、USBFS は CCPL ビットを 1 から 0 に変更します。INTSTS0.VALID ビットが 1 のとき、ソフトウェアは CCPL ビットを 1 にできません。CCPL ビットは USB バスリセットで初期化されます。

PBUSY ビット（パイプビジー）

PBUSY ビットは USBFS が PID[1:0]ビットを BUF から NAK に変更した場合に、DCP がトランザクションに使用されるかどうかを示します。USBFS は、選択パイプに対する USB トランザクションの開始時に、PBUSY ビットを 0 から 1 へ変更します。1 つのトランザクションの完了時に、USBFS は PBUSY ビットを 1 から 0 に変更します。

ソフトウェアが PID を NAK にすると、PBUSY ビットの値はパイプ設定の変更が可能かどうかを示します。

詳細については、「25.3.4.1. パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON ビット（シーケンストグルビットモニタ）

SQMON ビットは DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を示します。

トランザクションが正常に終了すると、USBFS は SQMON ビットをトグルします。ただし、受信方向転送時に DATA-PID 不一致が発生すると、USBFS は SQMON ビットをトグルしません。

Setup パケット正常受信時に、USBFS は SQMON ビットを 1（期待値を DATA1 に設定）にします。

USBFS はステータスステージの IN または OUT トランザクションでは SQMON ビットを参照しません。また、正常終了しても SQMON ビットをトグルしません。

SQSET ビット（シーケンストグルビットセット）

SQSET ビットは DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に指定します。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SQCLR ビット（シーケンストグルビットクリア）

SQCLR ビットは DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に指定します。読むと 0 が読めます。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

BSTS フラグ（バッファステータス）

BSTS フラグは DCP FIFO バッファへのアクセスステータスを示します。本フラグが示す内容は、CFIFOSEL.ISEL ビットの設定に応じて以下のように異なります。

- ISEL ビットが 0 のとき、本ビットはバッファから受信データの読み出しが可能かどうかを示す。
- ISEL ビットが 1 のとき、本ビットはバッファから送信データの書き込みが可能かどうかを示す。

25.2.26 PIPESEL : パイプウィンドウ選択レジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x064

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	PIPESEL[3:0]	パイプウィンドウ選択 0x0: パイプ選択なし 0x4: パイプ 4 0x5: パイプ 5 0x6: パイプ 6 0x7: パイプ 7 その他: 設定禁止	R/W
15:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

PIPESEL、PIPECFG、PIPEMAXP、PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタを使用して、パイプ 4～7 を設定します。

PIPESEL レジスタでパイプを選択した後、対応する PIPECFG および PIPEMAXP レジスタでパイプ機能設定を行います。PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタにおけるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0]ビット（パイプウィンドウ選択）

PIPESEL[3:0]ビットは、書き込みおよび読み出しに使用する PIPECFG レジスタと PIPEMAXP レジスタに対応するパイプ番号を選択します。PIPESEL[3:0]ビットでパイプ番号を選択することで、選択したパイプ番号に対応する PIPECFG レジスタと PIPEMAXP レジスタに対する書き込みと読み出しが可能になります。

PIPESEL[3:0] = 0000b のときは、PIPECFG および PIPEMAXP のすべてのビットから 0 が読めます。これらのビットへの書き込みは影響しません。

25.2.27 PIPECFG : パイプコンフィグレーションレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x068

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TYPE[1:0]		—	—	—	BFRE	DBLB	—	SHTNAK	—	—	DIR	EPNUM[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	EPNUM[3:0]	エンドポイント番号(注1) 選択パイプのエンドポイント番号を指定します。0000b の設定は、未使用パイプを意味します。	R/W
4	DIR	転送方向(注2) (注3) 0: 受信方向 1: 送信方向	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SHTNAK	転送終了時のパイプ禁止(注1) 0: 転送終了後にパイプ動作を継続 1: 転送終了後にパイプを禁止	R/W
8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	DBLB	ダブルバッファモード(注2) (注3) 0: シングルバッファ 1: ダブルバッファ	R/W
10	BFRE	BRDY 割り込み動作指定(注2) (注3) 0: データ送受信で BRDY 割り込み生成 1: データ読み出し完了時に BRDY 割り込み生成	R/W
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	TYPE[1:0]	転送タイプ(注1) 0 0: パイプ不使用 0 1: パイプ 4 および 5: バルク転送 パイプ 6 および 7: 設定禁止 1 0: パイプ 4 および 5: 設定禁止 パイプ 6 および 7: インタラプト転送 1 1: パイプ 4 および 5: 設定禁止 パイプ 6 および 7: 設定禁止	R/W

注 1. TYPE[1:0]ビット、SHTNAK ビットおよび EPNUM[3:0]ビットの設定は、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

注 2. BFRE ビット、DBLB ビット、および DIR ビットの設定は、PID が NAK かつポート選択レジスタの CURPIPE[3:0]ビットにパイプ未設定の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

注 3. 選択パイプを使用した USB 通信の終了後に BFRE ビット、DBLB ビットまたは DIR ビットを変更する場合には、注 2 記載の制限事項に加え、ソフトウェアで PIPEnCTR.ACLRM ビットに 1 と 0 を連続して書き込み、選択パイプに割り当てられた FIFO バッファのクリアを実行してください。

PIPECFG レジスタは、パイプ 4～7 に対して、各パイプの転送タイプ、FIFO バッファのアクセス方向、およびエンドポイント番号を指定します。またシングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をします。

EPNUM[3:0]ビット（エンドポイント番号）

EPNUM[3:0]ビットは選択パイプのエンドポイント番号を指定します。0000b の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0]ビットの設定の組み合わせが、他のパイプの設定と重複しないように EPNUM[3:0]ビットを設定してください。すべてのパイプに対して EPNUM[3:0]ビットの設定を 0000b とすることは可能です。

DIR ビット（転送方向）

DIR ビットは選択パイプの転送方向を指定します。

ソフトウェアで DIR ビットを 0 にすると、USBFS は選択パイプを受信方向に使用します。ソフトウェアで DIR ビットを 1 にすると、USBFS は選択パイプを送信方向に使用します。

SHTNAK ビット（転送終了時のパイプ禁止）

SHTNAK ビットは選択パイプの転送方向が受信の場合、転送終了時に PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更するかどうかを指定します。SHTNAK ビットは、受信方向のパイプ 4 および 5 の場合に有効なビットです。

受信方向パイプに対してソフトウェアで SHTNAK ビットを 1 にすると、USBFS は転送終了を判定したときに、関連する PIPEnCTR.PID[1:0]ビットを 00b (NAK) に変更します。USBFS は、以下の条件が満たされると転送終了を判定します。

- ショートパケットデータ（Zero-Length パケットを含む）を正常に受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

DBLB ビット（ダブルバッファモード）

DBLB ビットは選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを選択します。本ビットはパイプ 4 および 5 の場合に有効です。

BFRE ビット（BRDY 割り込み動作指定）

BFRE ビットは USBFS から CPU への選択パイプに関する BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを 1 にし、かつ選択パイプを受信方向で使用している場合、USBFS は転送終了を検出し、パケットの読み出し時に BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生した場合、ソフトウェアによりポートコントロールレジスタの BCLR ビットに 1 を書き込む必要があります。BCLR ビットに 1 を書き込むまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアで BFRE ビットを 1 にし、かつ選択パイプを送信方向で使用している場合、USBFS は BRDY 割り込みを発生させません。詳細については、「25.3.3.1. BRDY 割り込み」を参照してください。

TYPE[1:0]ビット（転送タイプ）

TYPE[1:0]ビットは PIPESEL.PIPESEL[3:0]ビットに指定したパイプの転送タイプを指定します。PID を BUF にして選択パイプで USB 通信を開始する前に、TYPE[1:0]ビットを 00b 以外の値にしてください。

25.2.28 PIPEMAXP : パイプマックスパケットサイズレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x06C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	MXPS[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	MXPS[8:0]	最大パケットサイズ(注1) ● パイプ 4～5 8 バイト (0x008)、16 バイト (0x010)、32 バイト (0x020)、64 バイト (0x040)（ビット[8:7]および[2:0]はサポートされていません。） ● パイプ 6～7 1 バイト (0x001) ～64 バイト (0x040)（ビット[8:7]はサポートされていません。）	R/W
11:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. MXPS[8:0]ビットの値は、PIPESEL.PIPESEL[3:0]ビットでパイプを選択していないときは 0x000、選択しているときは 0x040 です。

注 1. MXPS[8:0]ビットの設定は、PID が NAK かつポート選択レジスタの CURPIPE[3:0]ビットでパイプ未設定の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PIPEMAXP レジスタは、パイプ 4～7 に対して、最大パケットサイズを指定します。

MXPS[8:0]ビット（最大パケットサイズ）

MXPS[8:0]ビットは選択パイプの最大データペイロード（最大パケットサイズ）を指定します。

MXPS[8:0]ビットの設定は、転送タイプごとに USB2.0 規格に準拠した値を設定してください。MXPS[8:0]ビット = 0 のとき、FIFO バッファへの書き込み、または PID ＝ BUF の設定は行わないでください。これらの書き込みは無効です。

25.2.29 PIPEnCTR : パイプ n コントロールレジスタ (n = 4, 5)

Base address: USBFS = 0x4009_0000

Offset address: 0x070 + 0x2 × (n - 1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PID[1:0]	応答 PID 0 0: NAK 応答 0 1: BUF 応答（バッファ状態に従う） 1 0: STALL 応答 1 1: STALL 応答	R/W
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	PBUSY	パイプビジー 0: パイプ n をトランザクションで未使用 1: パイプ n をトランザクションで使用中	R
6	SQMON	シーケンストグルビット確認 0: DATA0 1: DATA1	R
7	SQSET	シーケンストグルビットセット(注2) パイプ n にシーケンストグルビットを設定します。 読むと 0 が読めます。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA1 にする	R/W(注1)
8	SQCLR	シーケンストグルビットクリア(注2) パイプ n のシーケンストグルビットをクリアします。 読むと 0 が読めます。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA0 にクリアする	R/W(注1)
9	ACLRM	自動バッファクリアモード(注3) 0: 無効 1: 許可（全バッファ初期化）	R/W
10	ATREPM	自動応答モード(注2) 0: 自動応答モード禁止 1: 自動応答モード許可	R/W
13:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	INBUFM	送信バッファモニタ 0: FIFO バッファに送信可能データなし 1: FIFO バッファに送信可能データあり	R

ビット	シンボル	機能	R/W
15	BSTS	バッファステータス 0: CPU からのバッファアクセス不可能 1: CPU からのバッファアクセス可能	R

注 1. 読むと 0 が読み出されます。
注 2. ATREPM ビットの設定および SQCLR ビットまたは SQSET ビットへの 1 の書き込みは、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。
注 3. ACLRM ビットの設定は、PID が NAK かつポート選択レジスタの CURPIPE[3:0]ビットにパイプ未設定の状態のときにのみ実施してください。このビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00 (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PIPEnCTR レジスタは、PIPESEL レジスタで選択されたどのパイプに対しても設定可能です。

PID[1:0]ビット（応答 PID）

PID[1:0]ビットは選択したパイプの次回のトランザクションにおける応答の種類を指定します。

PID[1:0]ビットの初期値は NAK です。対応するパイプで USB 転送を行う場合には、PID[1:0]ビットの設定値を BUF に変更してください。PID[1:0]ビットの設定値に基づく USBFS の基本動作（通信パケットにエラーがない場合）を表 25.7 に示します。

選択したパイプが USB 通信中であるときにソフトウェアで PID[1:0]の設定を BUF から NAK に変更した場合は、実際にそのパイプの USB 転送が NAK 状態に遷移したかを確認するために、PBUSY ビットが 1 であることを確認してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

以下の場合には、USBFS が PIPEnCTR.PID[1:0]設定値を変更します。

- 選択したパイプが受信方向で、かつ、ソフトウェアで選択したパイプの PIPECFG.SHTNAK ビットを 1 にしている場合、USBFS は転送終了を認識したときに PID を NAK にする
- 選択したパイプに対し、最大パケットサイズを超えるペイロードのデータパケットを受信した場合、USBFS は PID を STALL (11b) にする
- USB バスリセットを検出した場合、USBFS は PID を NAK にする

応答の種類を指定するための PID[1:0]ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、10b を設定
- BUF (01b) 状態から STALL 状態にする場合には、11b を設定
- STALL (11b) 状態から NAK 状態にする場合には、一度 10b を設定してから 00b を設定
- STALL 状態から BUF 状態にする場合には、一度 00b (NAK) を設定してから 01b (BUF) を設定

表 25.7 PID[1:0]の設定値ごとの USBFS の動作

PID[1:0]値	転送タイプ	転送方向（DIR ビット）	USBFS 動作
00b (NAK)	バルクまたは割り込み	設定値に依存しない	USB ホストからのトークンに NAK 応答を行います。
01b (BUF)	バルク	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対して、選択したパイプに対応する FIFO バッファが受信可能な状態であればデータを受信し、ACK 応答を行います。
	割り込み	受信方向 (DIR = 0)	USB ホストからの OUT トークンに対して、選択したパイプに対応する FIFO バッファが受信可能な状態であればデータを受信し、ACK 応答を行います。
	バルクまたは割り込み	送信方向 (DIR = 1)	USB ホストからのトークンに対して、選択したパイプに対応する FIFO バッファが送信可能な状態であればデータを送信します。送信可能な状態でなければ、NAK 応答を行います。
10b (STALL) または 11b (STALL)	バルクまたは割り込み	設定値に依存しない	USB ホストからのトークンに STALL 応答を行います。

PBUSY ビット（パイプビジー）

PBUSY ビットは選択したパイプを現在のトランザクションで使用中かどうかを示します。

USBFS は、選択したパイプの USB トランザクション開始時に PBUSY ビットを 0 から 1 に変更し、1 つのトランザクションが終了すると PBUSY ビットを 1 から 0 に変更します。

PID を NAK に設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することが可能です。詳細については、「25.3.4.1. パイプコントロールレジスタの切り替え手順」を参照してください。

SQMON ビット（シーケンストグルビット確認）

SQMON ビットは選択したパイプの次回のトランザクションにおけるシーケンストグルビットの期待値を示します。

受信方向転送時に DATA-PID 不一致が発生すると、USBFS は SQMON フラグをトグルしません。

SQSET ビット（シーケンストグルビットセット）

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択したパイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA1 に設定します。USBF は、SQSET ビットを 0 にクリアします。

SQCLR ビット（シーケンストグルビットクリア）

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択したパイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA0 に設定します。USBF は、SQCLR ビットを 0 にクリアします。

ACLRM ビット（自動バッファクリアモード）

ACLRM ビットは選択したパイプの自動バッファクリアモードの許可または禁止を指定します。選択したパイプに割り当てられた FIFO バッファのデータを完全にクリアする場合、ACLRM ビットに 1 と 0 を連続して書き込んでください。

表 25.8 に ACLRM ビットに 1 と 0 を連続して書き込んだ場合にクリアされるデータと、この処理が必要な状況を示します。

表 25.8 ACLRM = 1 のときに USBFS がクリアするデータ

番号	ACLRM ビットの設定によりクリアされるデータ	データのクリアが必要な状況
1	選択したパイプに割り当てられた FIFO バッファの全データ（ダブルバッファモードでは 2 つの FIFO バッファ）	選択したパイプを初期化する場合
2	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値を変更する場合
3	FIFO バッファトグル制御	PIPECFG.DBLB ビットの設定値を変更する場合
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能を強制終了する場合

ATREPM ビット（自動応答モード）

ATREPM ビットは選択したパイプの自動応答モードを許可または禁止します。

選択したパイプの転送タイプがバルク転送のとき、本ビットを 1 にすることが可能です。本ビットを 1 にした場合、USBFS は USB ホストからのトークンに対し以下のように応答します。

- 選択したパイプがバルク IN 転送（PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 1）に設定されている場合：
  a. ATREPM = 1 かつ PID = BUF の状態の場合、IN トークンに対して USBFS は Zero-Length パケットを送信する。
  b. USBFS は、USB ホストから ACK を受信するごとに、シーケンストグルビット (DATA-PID) を更新する。1 トランザクションでは、IN トークン受信、Zero-Length パケット送信、ACK 受信の順序で発生する。USBFS は BRDY 割り込みや BEMP 割り込みを生成しない。

- 選択したパイプの設定がバルク OUT 転送（PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 0）のとき：

  ATREPM = 1 かつ PID = BUF の状態の場合、OUT トークンに対して USBFS は NAK 応答を行い、NRDY 割り込みを発生させる。

自動応答モードで USB 通信を行う場合、FIFO バッファが空の状態で ATREPM ビットを 1 にしてください。自動応答モードで USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。

INBUFM ビット（送信バッファモニタ）

INBUFM ビットは選択したパイプが送信方向の場合に、選択したパイプの FIFO バッファステータスを示します。

選択したパイプを送信方向 (PIPECFG.DIR = 1) に設定している場合、CPU が FIFO バッファに少なくとも 1 面分のデータの書き込みを完了したときに、USBFS は本ビットを 1 にします。

USBFS は、FIFO バッファの、全データの書き込みが完了している面のデータ送信を完了したときに、本ビットを 0 にします。ダブルバッファモード時 (PIPECFG.DBLB = 1) には、USBFS が FIFO バッファの 2 面分のデータを送信完了し、かつ CPU が FIFO バッファの 1 面分のデータ書き込みを完了していないときに、USBFS は INBUFM ビットを 0 にします。

選択したパイプを受信方向 (PIPECFG.DIR = 0) に設定している場合には、INBUFM ビットは BSTS ビットと同じ値を示します。

BSTS ビット（バッファステータス）

BSTS ビットは選択したパイプの FIFO バッファステータスを示します。

BSTS ビットの機能は、PIPECFG.DIR ビットと PIPECFG.BFRE ビットの設定値により表 25.9 に示すように異なります。

表 25.9　BSTS ビットの動作

DIR 値	BFRE 値	BSTS ビットの機能
0	0	FIFO バッファからの受信データの読み出しが可能な場合は 1、データ読み出し完了時には 0
	1	FIFO バッファからの受信データの読み出しが可能な場合は 1、データ読み出し完了後にソフトウェアがポートコントロールレジスタの BCLR ビットを 1 にする場合は 0
1	0	FIFO バッファへの送信データの書き込みが可能な場合は 1、データ書き込み完了時には 0
	1	設定禁止

25.2.30　PIPEnCTR : パイプ n コントロールレジスタ (n = 6, 7)

Base address: USBFS = 0x4009_0000

Offset address: 0x07A + 0x2 × (n - 6)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	PID[1:0]	応答 PID 0 0: NAK 応答 0 1: BUF 応答（バッファ状態に従う） 1 0: STALL 応答 1 1: STALL 応答	R/W
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	PBUSY	パイプビジー 0: パイプ n をトランザクションで未使用 1: パイプ n をトランザクションで使用中	R
6	SQMON	シーケンストグルビット確認 0: DATA0 1: DATA1	R

ビット	シンボル	機能	R/W
7	SQSET	シーケンストグルビットセット(注1) パイプ n にシーケンストグルビットを設定します。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA1 にする	W
8	SQCLR	シーケンストグルビットクリア(注1) パイプ n のシーケンストグルビットをクリアします。 0: 無効（0 の書き込みは影響なし） 1: 次回トランザクションの期待値を DATA0 にクリアする	W
9	ACLRM	自動バッファクリアモード(注2) 0: 無効 1: 許可（全バッファ初期化）	R/W
14:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	BSTS	バッファステータス 0: バッファアクセス不可能 1: バッファアクセス可能	R

注 1. SQCLR ビットまたは SQSET ビットへの 1 の書き込みは、PID が NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

注 2. ACLRM ビットの設定は、PID が NAK かつポート選択レジスタの CURPIPE[3:0]ビットでパイプ未設定の状態のときにのみ実施してください。本ビットを設定する場合は、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0]ビットを 01b (BUF) から 00b (NAK) へ変更してから実施してください。USBFS が PID[1:0]ビットを 00b (NAK) に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PID[1:0]ビット（応答 PID）

PID[1:0]ビットは選択したパイプの次回のトランザクションにおける応答の種類を指定します。

PID[1:0]ビットの初期値は NAK です。対応するパイプで USB 転送を行う場合には、PID[1:0]ビットの設定値を BUF に変更してください。PID[1:0]ビット設定値ごとの USBFS の基本動作（送受信パケットにエラーがない場合）は表 25.7 のとおりです。

選択したパイプが USB 通信中であるときにソフトウェアで PID[1:0]の設定を BUF から NAK に変更した場合は、実際にその選択したパイプの USB 転送が NAK 状態に遷移したかを確認するために、PBUSY ビットが 1 であることを確認してください。USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

以下の場合には、USBFS が PIPEnCTR.PID[1:0]設定値を変更します。

- 選択したパイプに対し、最大パケットサイズを超えるペイロードのデータパケットを受信した場合、USBFS は PID を STALL (11b) にする
- USB バスリセットを検出した場合、USBFS は PID を NAK にする

各応答の種類を指定するための PID[1:0]ビットの設定は以下の手順で行ってください。

- NAK (00b) 状態から STALL 状態にする場合には、10b を設定
- BUF (01b) 状態から STALL 状態にする場合には、11b を設定
- STALL (11b) 状態から NAK 状態にする場合には、一度 10b を設定してから 00b を設定
- STALL 状態から BUF 状態にする場合には、一度 00b (NAK) を設定してから 01b (BUF) を設定

PBUSY ビット（パイプビジー）

PBUSY ビットは選択したパイプを現在のトランザクションで使用中かどうかが表示されます。

USBFS は、選択したパイプの USB トランザクション開始時に PBUSY ビットを 0 から 1 に変更し、1 つのトランザクションが終了すると PBUSY ビットを 1 から 0 に変更します。

PID を NAK にした後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することが可能です。

SQMON ビット（シーケンストグルビット確認）

SQMON ビットは選択したパイプの次回トランザクションにおけるシーケンストグルビットの期待値を示します。

トランザクションが正常終了すると、USBFS は SQMON ビットをトグルします。ただし、受信方向転送時に DATA-PID 不一致が発生すると、USBFS は SQMON ビットをトグルしません。

SQSET ビット（シーケンストグルビットセット）

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択したパイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA1 に設定します。USBF は、SQSET ビットを 0 にします。

SQCLR ビット（シーケンストグルビットクリア）

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択したパイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA0 に設定します。USBF は、SQCLR ビットを 0 にします。

ACLRM ビット（自動バッファクリアモード）

ACLRM ビットは選択したパイプの自動バッファクリアモードの許可または禁止を指定します。選択したパイプに割り当てられた FIFO バッファのデータを完全にクリアする場合、ACLRM ビットに 1 と 0 を連続して書き込んでください。

表 25.10 は、ACLRM ビットに 1 と 0 を連続して書き込んだ場合にクリアされるデータと、この処理が必要な状況を示しています。

表 25.10　ACLRM = 1 のときに USBFS がクリアするデータ

番号	ACLRM ビットの設定によりクリアされるデータ	データのクリアが必要な状況
1	選択したパイプに割り当てられた FIFO バッファの全データ	選択したパイプを初期化する場合
2	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値を変更する場合
3	トランザクションカウントに関する内部フラグ	トランザクションカウント機能を強制終了する場合

BSTS ビット（バッファステータス）

BSTS ビットは選択したパイプの FIFO バッファステータスを示します。

BSTS ビットの機能は、PIPECFG.DIR ビットと PIPECFG.BFRE ビットの設定値により表 25.9 に示すように異なります。

25.2.31　PIPEnTRE : パイプ n トランザクションカウンタ許可レジスタ (n = 4, 5)

Base address: USBFS = 0x4009_0000

Offset address: 0x090 + 0x4 × (n - 1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TRCLR	トランザクションカウンタクリア 0: 無効（0 の書き込みは影響なし） 1: カウンタ値をクリア	R/W
9	TRENB	トランザクションカウンタ許可 0: トランザクションカウンタ禁止 1: トランザクションカウンタ許可	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　PIPEnTRE レジスタの各ビットの設定は、PID が NAK の状態のときに実施してください。選択パイプの PIPEnCTR.PID[1:0]ビットを BUF から NAK へ変更した後で各ビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認してください。ただし、USBFS が PID[1:0]ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

TRCLR ビット（トランザクションカウンタクリア）

TRCLR ビットが 1 の場合、USBFS は選択パイプに関連付けられているトランザクションカウンタの値をクリアし、その後 TRCLR ビットを 0 にします。

TRENB ビット（トランザクションカウンタ許可）

TRENB ビットは、トランザクションカウンタの許可または禁止を指定します。

受信パイプに対して、ソフトウェアで PIPEnTRN.TRNCNT[15:0]ビットに総受信パケット数を設定した後で TRENB ビットを 1 にすると、USBFS は TRNCNT[15:0]ビットの設定値と同数のパケット受信を終了したときに以下のハードウェア制御を行います。

- PIPECFG.SHTNAK ビットが 1 のとき、TRNCNT[15:0]ビットの設定値と同数のパケットの受信を終了した時点で USBFS は関連するパイプの PID ビットを NAK に変更する
- PIPECFG.BFRE ビットが 1 のとき、TRNCNT[15:0]ビットの設定値と同数のパケットを受信しその最後の受信データを読み出し終えたときに、USBFS は BRDY 割り込みをアサートする

送信パイプについては、TRENB ビットを 0 にしてください。

トランザクションカウンタを使用しない場合は、本ビットを 0 にしてください。トランザクションカウンタを使用する場合、TRENB ビットを 1 にする前に TRNCNT[15:0]ビットの設定を行ってください。トランザクションカウンタのカウント対象となる最初のパケットを受信する前に、本ビットを 1 にしてください。

25.2.32 PIPEnTRN : パイプ n トランザクションカウンタレジスタ (n = 4, 5)

Base address: USBFS = 0x4009_0000

Offset address: 0x092 + 0x4 × (n - 1)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TRNCNT[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TRNCNT[15:0]	トランザクションカウンタ レジスタ書き込み時、選択したパイプが受信すべき総パケット数（トランザクション回数）を指定します。 レジスタ読み出し時、PIPEnTRE.TRENB ビットが 0 の場合は、指定したトランザクション回数を示します。 PIPEnTRE.TRENB ビットが 1 の場合は、現在のトランザクションカウントを示します。	R/W

PIPEnTRN レジスタは、USB バスリセット時もその設定値を保持します。

TRNCNT[15:0]ビット（トランザクションカウンタ）

USBFS は、パケット受信時の状態が以下の条件をすべて満たしたときに、TRNCNT[15:0]ビットの値を 1 増加させます。

- PIPEnTRE.TRENB ビット = 1
- パケット受信時に「TRNCNT[15:0]設定値 ≠ 現在のカウンタ値 + 1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0]ビットの設定値と一致する

USBFS は、以下のいずれかの条件を満たしたとき、TRNCNT[15:0]ビットの値を 0 にします。

以下の条件がすべて満たされたとき：

- PIPEnTRE.TRENB ビット = 1
- パケット受信時に「TRNCNT[15:0]設定値 = 現在のカウンタ値 + 1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0]ビットの設定値と一致する

以下の条件がどちらも満たされたとき：

- PIPEnTRE.TRENB ビット = 1
- USBFS がショートパケットを受信した

以下の条件がどちらも満たされたとき：

- PIPEnTRE.TRENB ビット = 1
- PIPEnTRE.TRCLR ビットがソフトウェアによって 1 にされた

送信パイプについては、TRNCNT[15:0]ビットを 0 にしてください。トランザクションカウンタを使用しない場合は、TRNCNT[15:0]ビットを 0 にしてください。

TRNCNT[15:0]ビットに転送されるトランザクション数の設定は、PIPEnTRE.TRENB ビットが 0 のときのみ可能です。転送されるトランザクション数を設定するには、PIPEnTRE.TRENB ビットを 1 にする前に、TRCLR ビットを 1 にして現在のカウンタ値をクリアしてください。

25.2.33 PHYSECTRL : PHY シングルエンドレシーバコントロールレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x0F4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	CNEN	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	CNEN	シングルエンドレシーバ許可 0: シングルエンドレシーバ動作を禁止 1: シングルエンドレシーバ動作を許可	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CNEN ビット（シングルエンドレシーバ許可）

CNEN ビットを 1 にすると、シングルエンドレシーバ動作が可能になります。ハードウェアによるデータコンタクト検出を行う場合は、本ビットを 1 にしてください。

25.2.34 DPUSR0R : ディープソフトウェアスタンバイ USB トランシーバコントロール／端子モニタレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x400

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DVBSTS0	—	—	—	—	—	DM0	DP0
Value after reset:	0	0	0	0	0	0	0	0	x	0	x	x	0	0	x	x

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	FIXPHY0	—	—	RPUE0	SRPC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SRPC0(注1)	USB シングルエンドレシーバ制御 0: DP/DM の入力を禁止 1: DP/DM の入力を許可	R/W

ビット	シンボル	機能	R/W
1	RPUE0(注1)	DP プルアップ抵抗制御 0: DP プルアップ抵抗を禁止 1: DP プルアップ抵抗を許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	FIXPHY0	USB トランシーバ出力固定 0: ノーマルモード時およびディープソフトウェアスタンバイモードからの復帰時に出力を固定 1: ディープソフトウェアスタンバイモードへの遷移時に出力固定	R/W
15:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DP0	USB D+入力 USBFS 側の D+入力信号を示します。	R
17	DM0	USB D–入力 USBFS 側の D–入力信号を示します。	R
22:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	DVBSTS0	USB VBUS 入力 USBFS 側の VBUS 入力信号を示します。	R
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 本ビットは、ディープソフトウェアスタンバイモードでの動作時に使用してください。詳細については、「25.3.1.4. USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモードの解除」を参照してください。

SRPC0 ビット（USB シングルエンドレシーバ制御）

SRPC0 ビットは、USB トランシーバの D+/D–入力制御を行います。ホストコントローラモードでは、本ビットを 1 にしてください。デバイスコントローラモードで、切断状態では本ビットを 0 に、サスペンド状態では 1 に設定してください。FIXPHY0 ビットが 1 のときのみ、本ビットは有効です。

FIXPHY0 ビット（USB トランシーバ出力固定）

FIXPHY0 ビットは、USB トランシーバの出力を不可に固定します。

25.2.35 DPUSR1R : ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ

Base address: USBFS = 0x4009_0000

Offset address: 0x404

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	DVBINT0	—	—	—	—	—	DMINT0	DPINT0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	DVBSE0	—	—	—	—	—	DMINTE0	DPINTE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DPINTE0	USB DP 割り込み許可／クリア 0: DP 入力によるディープソフトウェアスタンバイモードからの復帰を禁止 1: DP 入力によるディープソフトウェアスタンバイモードからの復帰を許可	R/W
1	DMINTE0	USB DM 割り込み許可／クリア 0: DM 入力によるディープソフトウェアスタンバイモードからの復帰を禁止 1: DM 入力によるディープソフトウェアスタンバイモードからの復帰を許可	R/W
6:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	DVBSE0	USB VBUS 割り込み許可／クリア 0: VBUS 入力によるディープソフトウェアスタンバイモードからの復帰を禁止 1: VBUS 入力によるディープソフトウェアスタンバイモードからの復帰を許可	R/W
15:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	DPINT0	USB DP 割り込み要因による復帰 0: ディープソフトウェアスタンバイモードからの復帰なし 1: DP 入力によるディープソフトウェアスタンバイモードからの復帰あり	R
17	DMINT0	USB DM 割り込み要因による復帰 0: ディープソフトウェアスタンバイモードからの復帰なし 1: DM 入力によるディープソフトウェアスタンバイモードからの復帰あり	R
22:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23	DVBINT0	USB VBUS 割り込み要因による復帰 0: ディープソフトウェアスタンバイモードからの復帰なし 1: VBUS 入力によるディープソフトウェアスタンバイモードからの復帰あり	R
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

DPINTE0 ビット（USB DP 割り込み許可／クリア）

DPINTE0 ビットは USBFS の DP 入力によるディープソフトウェアスタンバイモードからの復帰を許可または禁止します。DPINT0 ビットが 1 のときに本ビットに 0 を書き込むことにより、DPINT0 ビットが 0 になります。

DMINTE0 ビット（USB DM 割り込み許可／クリア）

DMINTE0 ビットは USBFS の DM 入力によるディープソフトウェアスタンバイモードからの復帰を許可または禁止します。DMINT0 ビットが 1 のときに本ビットに 0 を書くことにより、DMINT0 ビットが 0 にクリアされます。

DVBSE0 ビット（USB VBUS 割り込み許可／クリア）

DVBSE0 ビットは USBFS の VBUS 入力によるディープソフトウェアスタンバイモードからの復帰を許可または禁止します。DVBINT0 ビットが 1 のときに本ビットに 0 を書くことにより、DVBINT0 ビットが 0 にクリアされます。

DPINT0 ビット（USB DP 割り込み要因による復帰）

DPINT0 ビットは、USBFS の DP 入力が要因でディープソフトウェアスタンバイモードから復帰したことを表示します。この復帰は、DPINTE0 ビットが 1 のときのみ許可されます。本ビットが 1 のときに DPINTE0 ビットに 0 を書くことにより、本ビットは 0 にクリアされます。

DMINT0 ビット（USB DM 割り込み要因による復帰）

DMINT0 ビットは、USBFS の DM 入力が要因でディープソフトウェアスタンバイモードから復帰したことを表示します。この復帰は、DMINTE0 ビットが 1 のときのみ許可されます。本ビットが 1 のときに DMINTE0 ビットに 0 を書くことにより、本ビットは 0 にクリアされます。

DVBINT0 ビット（USB VBUS 割り込み要因による復帰）

DVBINT0 ビットは、USBFS の VBUS 入力が要因でディープソフトウェアスタンバイモードから復帰したことを表示します。この復帰は、DVBSE0 ビットが 1 のときのみ許可されます。本ビットが 1 のときに DVBSE0 ビットに 0 を書くことにより、本ビットは 0 にクリアされます。

25.3 動作説明

25.3.1 システムコントロール

USBFS の初期化および消費電力の制御に必要なレジスタの設定について説明します。

25.3.1.1 USBFS レジスタのデータ設定

クロック供給が開始された状態 (SYSCFG.SCKE = 1) で、SYSCFG.USBE ビットを 1 にすることにより、USBFS は動作が許可され、動作を開始します。

25.3.1.2 抵抗による USB データバス制御

USBFS は、D+ラインのプルアップ抵抗を提供します。SYSCFG.DPRPU ビットを設定して、ラインをプルアップします。

USB ホストへの接続を確認した後で、SYSCFG.DPRPU ビットを 1 にし、D+ライン（フルスピード通信時）をプルアップしてください。

PC と通信中に SYSCFG.DPRPU ビットに 0 を設定した場合は、USBFS は USB データラインのプルアップ抵抗を無効にするので、USB ホストにデバイス切断を通知することが可能です。

表 25.11 USB データバス抵抗制御

SYSCFG レジスタ設定	USB データバス制御		
DPRPU ビット	D–	D+	機能
0	オープン	オープン	抵抗未使用時
1	オープン	プルアップ	デバイスコントローラとしてフルスピードで動作させる場合

25.3.1.3 外部接続回路例

USBFS は、D+ラインのプルアップ抵抗を制御します。SYSCFG.DPRPU ビットで、ラインのプルアップを選択してください。USB ホストとの通信中に SYSCFG.DPRPU ビットを 0 にすると、USB データラインのプルアップ抵抗が無効になります。USBFS はこれを利用して、USB ホストに対してデバイスの切断を知らせることができます。

図 25.2 に、セルフパワードシステムでのデバイス接続例を示します。

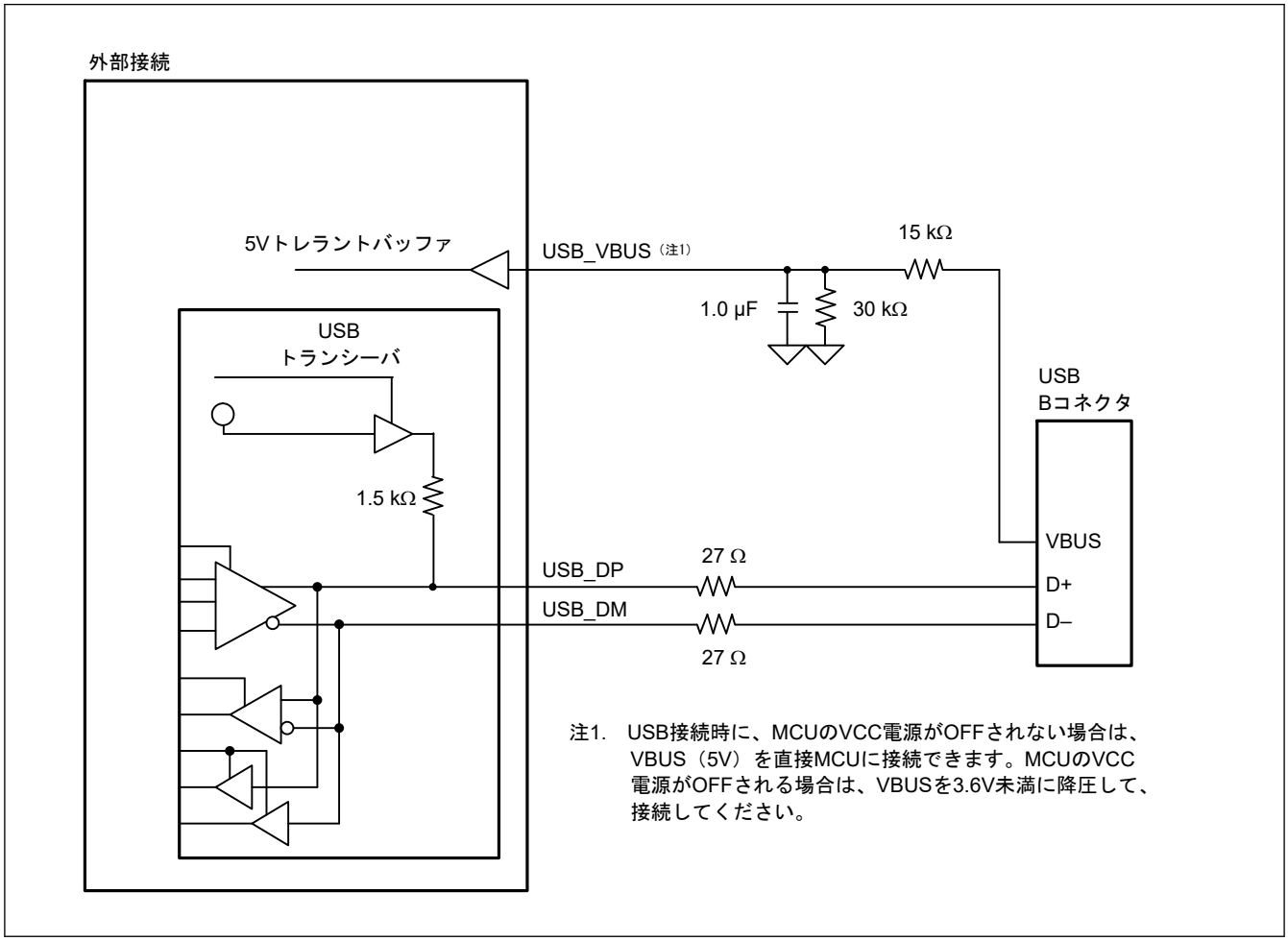


図 25.2 セルフパワードシステムでのデバイス接続例

図 25.3 に、バスパワードシステムでのデバイス接続例を示します。

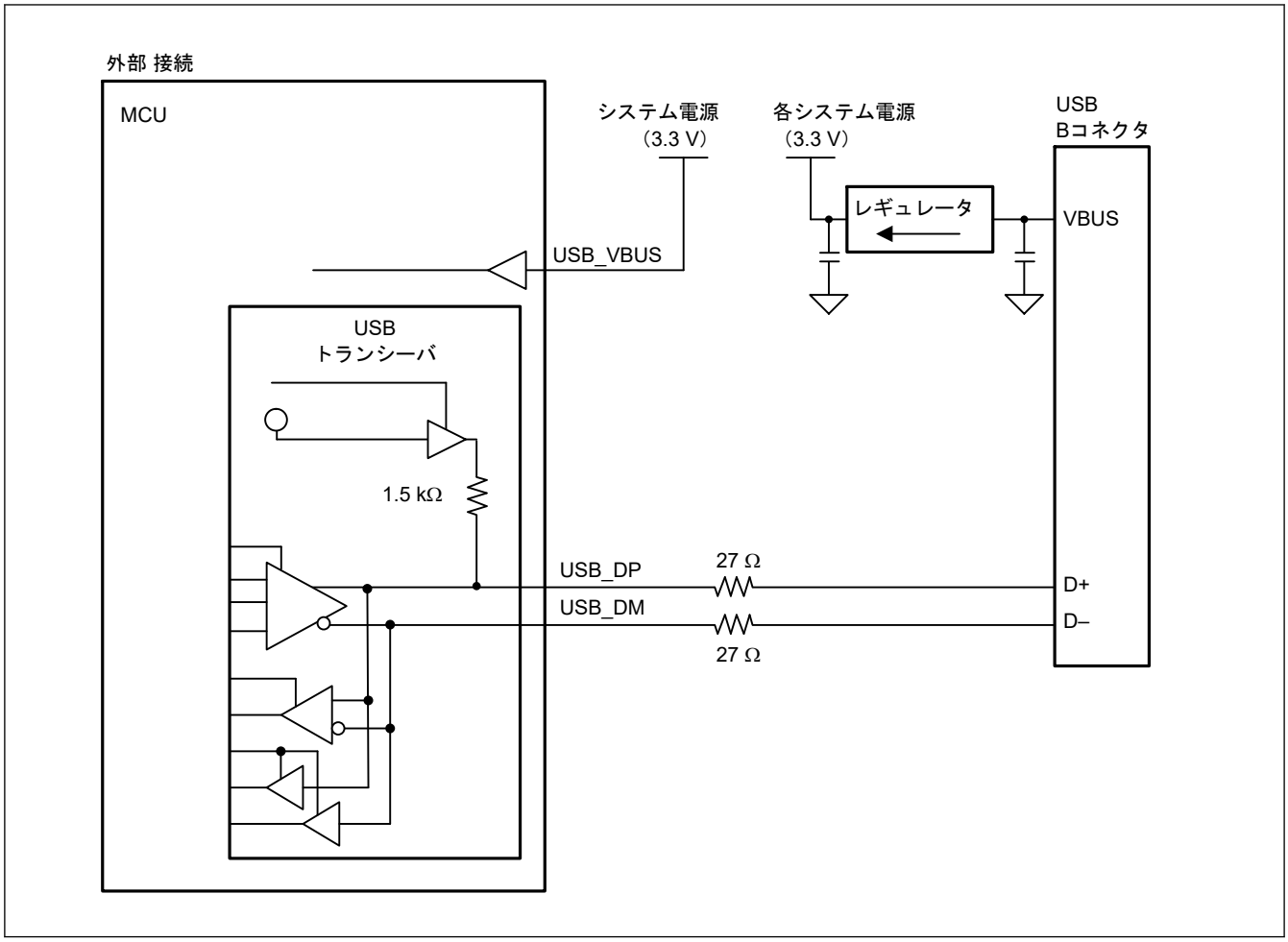


図 25.3　バスパワードステートでのデバイス接続例

本項に記載した各外部回路例は、概略回路であり、すべてのシステムにおいて動作保証するものではありません。

25.3.1.4　USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードは、USB のサスペンド／レジューム割り込みにより解除できます。USB のサスペンド／レジューム割り込みの検出は、USB レジューム検出部が行います。USB レジューム検出部は、USB 用の入出力端子の制御およびモニタを行い、割り込みを検出します。

図 25.4 に、USB レジューム検出部と USB 用の入出力端子の接続回路図を示します。

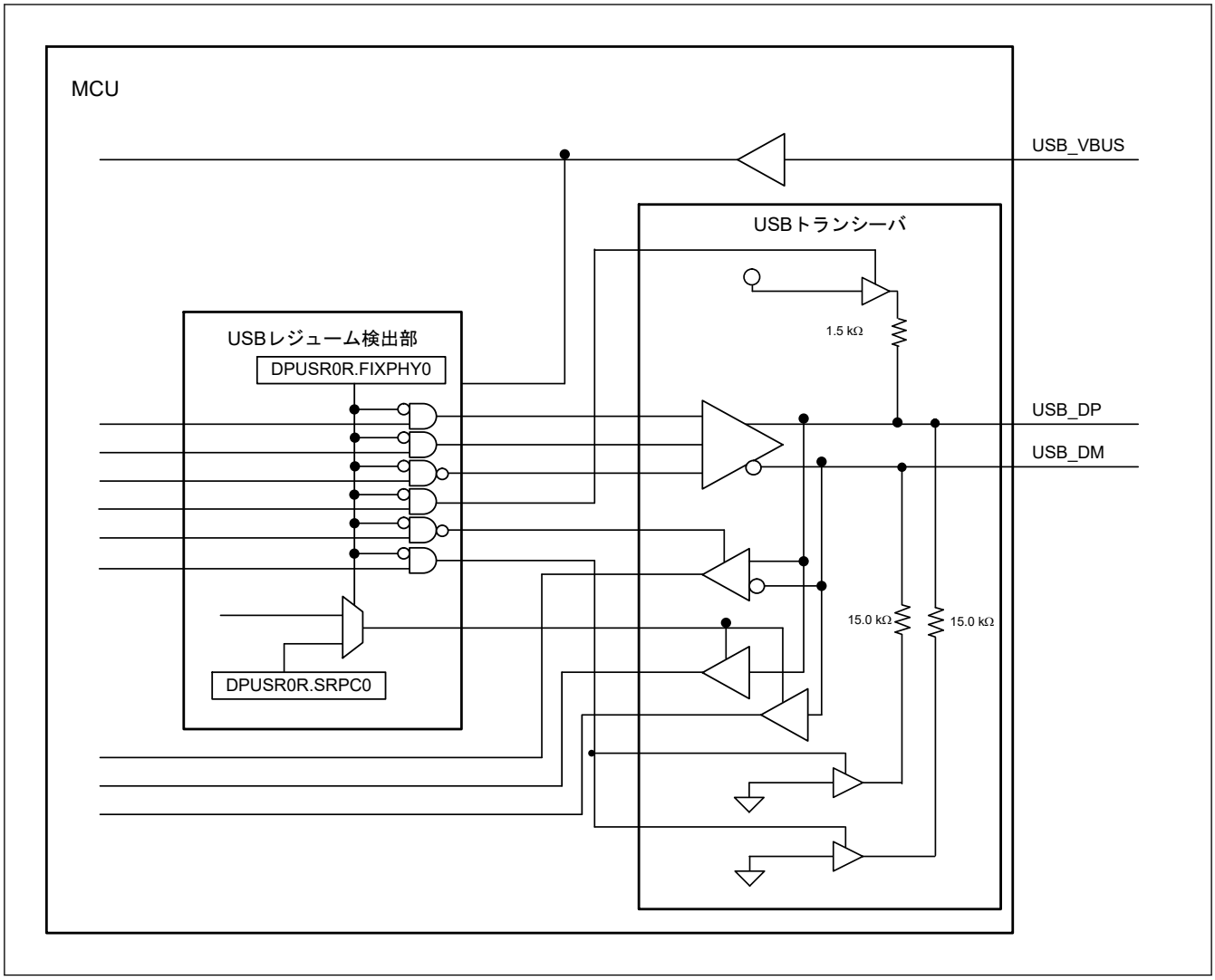


図 25.4　USB レジューム検出部と USB 用の入出力端子の接続

表 25.12 に、USB のサスペンド／レジューム割り込みの要因およびそれらに関連する入出力端子を示します。

表 25.12　USB のサスペンド／レジューム割り込みの要因およびそれらに関連する入出力端子

要因	端子名
レジューム	USB_DP
アタッチまたはデタッチ	USB_VBUS

図 25.5 に、ディープソフトウェアスタンバイモードに入るときの USBFS 設定フローを示します。図 25.6 に、ディープソフトウェアスタンバイモードを解除するときの USBFS 設定フローを示します。

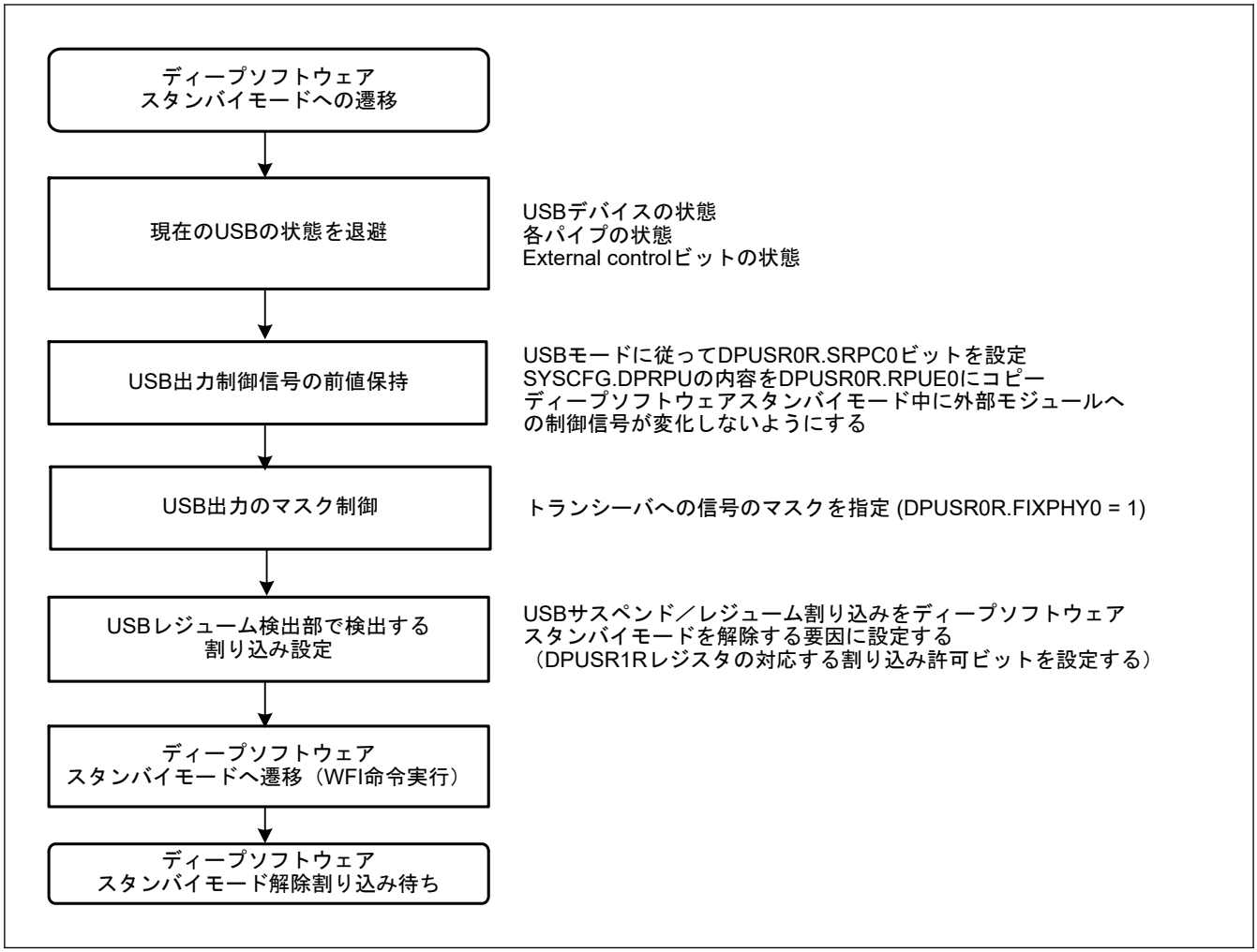


図 25.5　ディープソフトウェアスタンバイモード遷移時の USBFS 設定フロー

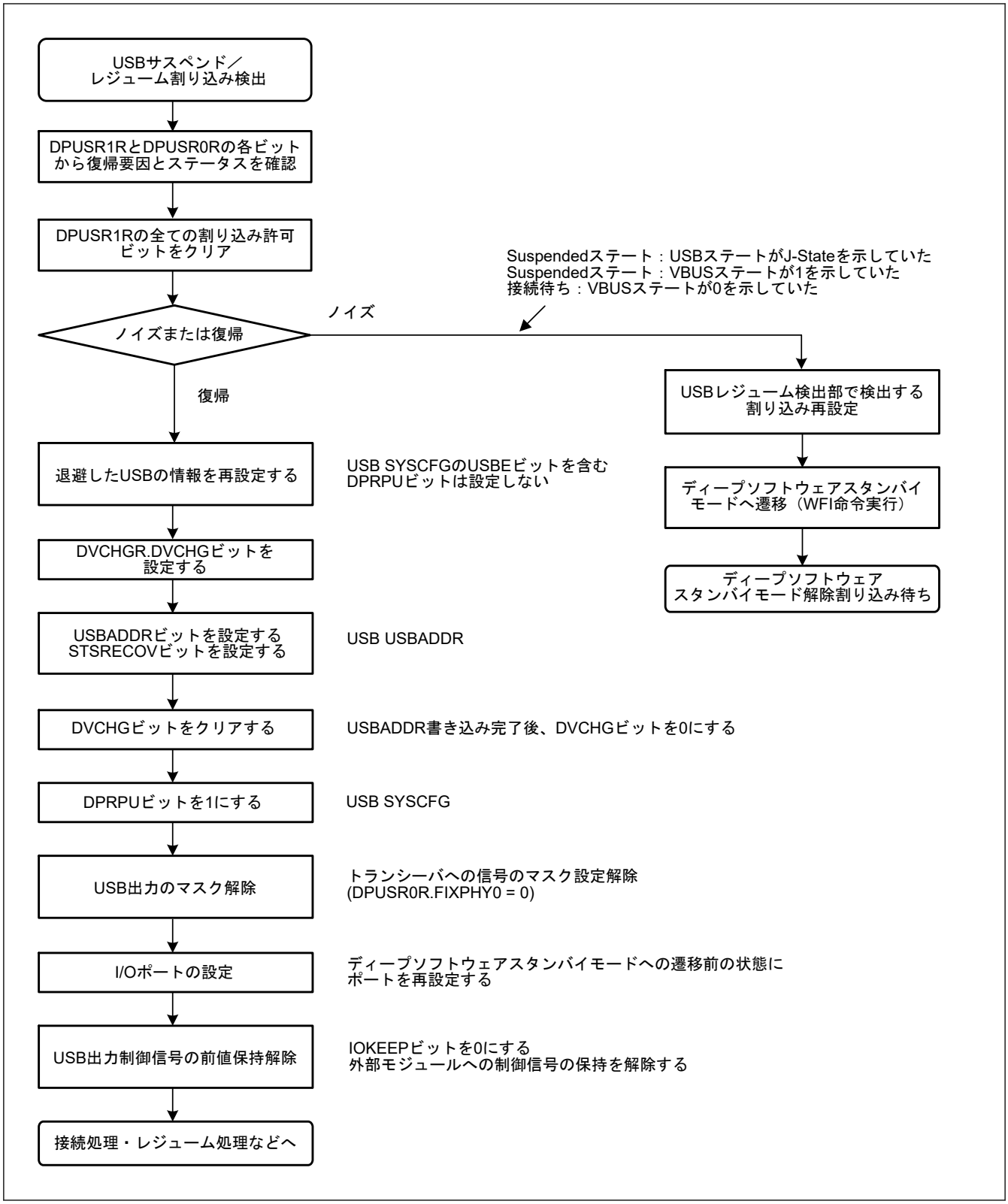


図 25.6　ディープソフトウェアスタンバイモード解除時の USBFS 設定フロー

25.3.2　割り込み

表 25.13 に、USBFS の割り込み要因一覧を示します。これらの割り込み発生条件が成立し、関連する割り込み許可レジスタにて割り込み出力許可に設定されているとき、USBFS は割り込みコントローラユニット (ICU) に対して USBFS 割り込み要求を発行し、USBFS 割り込みが発生します。

表 25.13 割り込み要因

1 にするビット	名称	割り込み要因	ステータスフラグ
VBINT	VBUS 割り込み	• USB_VBUS 入力端子の状態変化を検出したとき（Low から High、または High から Low）	INTSTS0.VBSTS
RESM	レジューム割り込み	• Suspended ステートにおいて USB バスの状態変化を検出したとき（J-State から K-State または J-State から SE0）	—
SOFR	フレーム番号更新割り込み	• フレーム番号の異なる SOF パケットを受信したとき	—
DVST	デバイスステート遷移割り込み	• 以下のいずれかのデバイスステート遷移を検出したとき： – USB バスリセットを検出 – Suspended ステートを検出 – SET_ADDRESS リクエストを受信 – SET_CONFIGURATION リクエストを受信	INTSTS0.DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	• コントロール転送ステージ遷移を、以下のいずれかの状態の発生により検出したとき： – セットアップステージの完了 – コントロールライト転送ステータスステージ遷移発生 – コントロールリード転送ステータスステージ遷移発生 – コントロール転送終了 – コントロール転送シーケンスエラー発生	INTSTS0.CTSQ[2:0]
BEMP	バッファエンプティ割り込み	• FIFO バッファ中の全データを送信しバッファが空になったとき • 最大パケットサイズを超えたパケットを受信したとき	BEMPSTS.PIPEnBEMP
NRDY	バッファノットレディ割り込み	• PID[1:0]ビットが 01b (BUF) のときに、IN トークンまたは OUT トークンに対して NAK を応答したとき	NRDYSTS.PIPEnNRDY
BRDY	バッファレディ割り込み	• バッファがレディ（読み出しもしくは書き込み可能状態）になったとき	BRDYSTS.PIPEnBRDY
OVRCR	過電流入力変化割り込み	• USB_OVRCURA または USB_OVRCURB 入力端子の状態変化（Low→High または High→Low）を検出したとき	INTSTS1.OVRCR
BCHG	バス変化割り込み	• USB バスステートの変化を検出したとき	SYSSTS0.LNST[1:0]

図 25.7 に、USBFS 割り込みに関連する回路を示します。

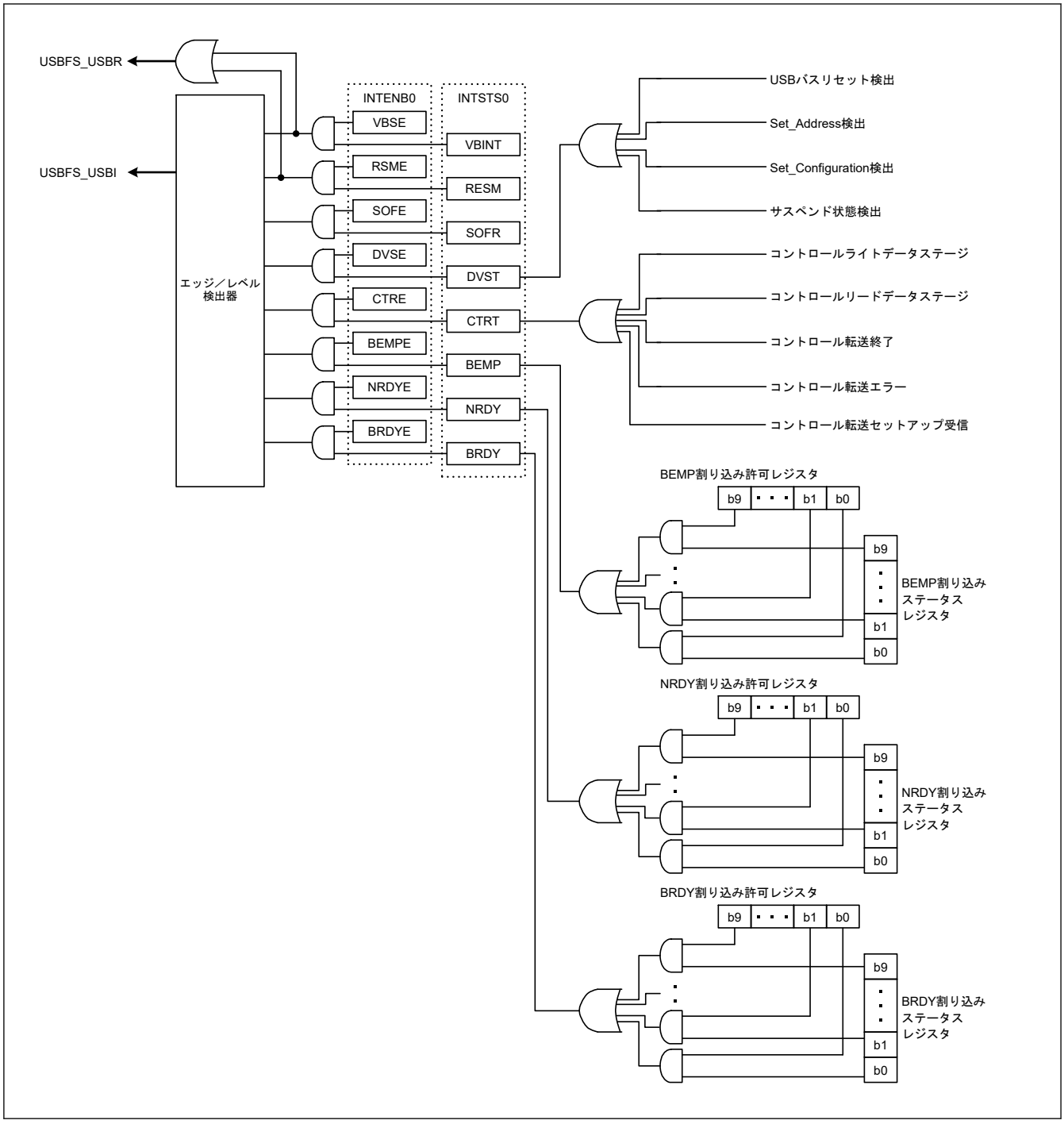


図 25.7　USBFS 割り込みに関連する回路

表 25.14 に、USBFS が発生させる割り込みの一覧を示します。

表 25.14　USBFS の割り込み

割り込み名	割り込みステータスフラグ	DTC の起動	DMAC の起動	優先度
USBFS_USBI	VBUS 割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み	不可能	不可能	高 ↑ 低
USBFS_USBR	VBUS 割り込み、レジューム割り込み	不可能	不可能	—

25.3.3 割り込みの説明

25.3.3.1 BRDY 割り込み

ここでは、USBFS が BRDYSTS の関連するビットを 1 にする条件について説明します。これらの条件の下では、ソフトウェアが、該当するパイプに関連付けられている BRDYENB レジスタのビットを 1 にし、かつ、INTENB0.BRDYE ビットを 1 にしていれば、USBFS は BRDY 割り込みを発生させます。

BRDY 割り込みは、各パイプの SOFCFG.BRDYM ビットおよび PIPECFG.BFRE ビットの設定により、発生条件およびクリア条件が異なります。

(1) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 0 のとき

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

USBFS は、以下のいずれかの条件のときに、内部 BRDY 割り込み要求トリガを発生させ、選択パイプに関連付けられている BRDYSTS.PIPEnBRDY ビットを 1 にします。

送信パイプの場合

- ソフトウェアで DIR ビットを 0 から 1 に変更したとき
- パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可能な状態のとき（BSTS ビットの読み出し値が 0 のとき）に、パイプのパケット送信が完了したとき
- FIFO バッファをダブルバッファモードに設定しているときで、片方の FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
- FIFO バッファへの書き込み中にもう一方の FIFO バッファへの送信が完了しても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- PIPEnCTR.ACLRM ビットに 1 を書き込むことより、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては（すなわち、コントロール転送でのデータ送信においては）要求トリガは発生しません。

受信パイプの場合

- 該当するパイプに割り付けた FIFO バッファへの CPU からの読み出しが不可能な状態のとき（BSTS ビットの読み出し値が 0 のとき）に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき。DATA-PID 不一致のトランザクションに対し、要求トリガは発生しない。
- FIFO バッファをダブルバッファモードに設定しているときで、片方の FIFO バッファ読み出し完了時にもう一方の FIFO バッファも読み出し可能であったとき。FIFO バッファへの読み出し中にもう一方の FIFO バッファへの受信が完了しても、現在読み出し中の面が読み出し完了になるまでは要求トリガは発生しない。

コントロール転送のステータスステージでは BRDY 割り込みは発生しません。選択パイプの PIPEBRDY 割り込みステータスは、関連する PIPEnBRDY ビットにソフトウェアで 0 を書き込むことにより 0 にすることが可能です。この場合、他の PIPEBRDY ビットは 1 にしてください。

BRDY ステータスのクリアは、FIFO バッファへのアクセスを行う前に実施してください。

(2) SOFCFG.BRDYM ビット = 0 かつ PIPECFG.BFRE ビット = 1 のとき

この設定の場合、USBFS は、受信パイプにおいて 1 転送分の全データ読み出し完了時に BRDY 割り込みを発生させ、BRDYSTS レジスタの該当するパイプに関連付けられているビットを 1 にします。

下記条件のいずれかに該当する場合、USBFS は 1 転送分の最後のデータが受信されたと判定します。

- ショートパケット（Zero-Length パケットを含む）を受信したとき
- パイプ n トランザクションカウンタレジスタ (PIPEnTRN) を使用し、PIPEnTRN.TRNCNT[15:0]ビットで設定したパケット数をすべて受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、USBFS は 1 転送分の全データ読み出し完了と判断します。

FIFO バッファが空の状態で Zero-Length パケットを受信した場合は、FIFO ポートコントロールレジスタの FRDY ビットが 1、DTLN[8:0]ビットが 0 の状態になった時点で、USBFS は 1 転送分の全データ読み出し完了と判断し

ます。この場合、次の転送を開始するためには、関連するポートコントロールレジスタの BCLR ビットにソフトウェアで 1 を書き込んでください。この設定の場合には、USBFS は送信パイプに対して BRDY 割り込みを検出しません。

パイプの PIPEBRDY 割り込みステータスは、関連する BRDYSTS.PIPEnBRDY ビットにソフトウェアで 0 を書き込むことにより、0 にすることが可能です。この場合、他のパイプの PIPEBRDY ビットは 1 にしてください。

このモードを使用するときには、1 転送分のすべてのデータの処理を終了するまで PIPECFG.BFRE ビットの設定値を変更しないでください。途中で PIPECFG.BFRE ビットを変更する必要がある場合には、PIPEnCTR.ACLRM ビットによりパイプの FIFO バッファをすべてクリアしてください。

(3) SOFCFG.BRDYM ビット = 1 かつ PIPECFG.BFRE ビット = 0 のとき

この設定の場合、BRDYSTS.PIPEnBRDY ビットの値は各パイプの BSTS ビット設定値に連動します。すなわち、USB は FIFO バッファステータスに基づいて BRDY 割り込みステータスビット (PIPEBRDY) を 1 または 0 にします。

送信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファにデータが書き込み可能な状態であれば 1 になり、書き込み不可能な状態になれば 0 になります。送信方向の DCP が書き込み可能であっても、BRDY 割り込みは発生しません。

受信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファからデータが読み出し可能であれば 1 になり、すべてのデータを読み出したら（読み出しが不可能になったら）0 になります。

FIFO バッファが空の状態で Zero-Length パケットを受信した場合、ソフトウェアで BCLR に 1 を書き込むまで、関連するビットには 1 が表示され BRDY 割り込みは発生し続けます。この設定の場合、ソフトウェアで PIPEnBRDY ビットを 0 にすることはできません。

SOFCFG.BRDYM ビットが 1 のときは、全パイプの PIPECFG.BFRE ビットは 0 にしてください。

図 25.8 に、BRDY 割り込み発生タイミングを示します。

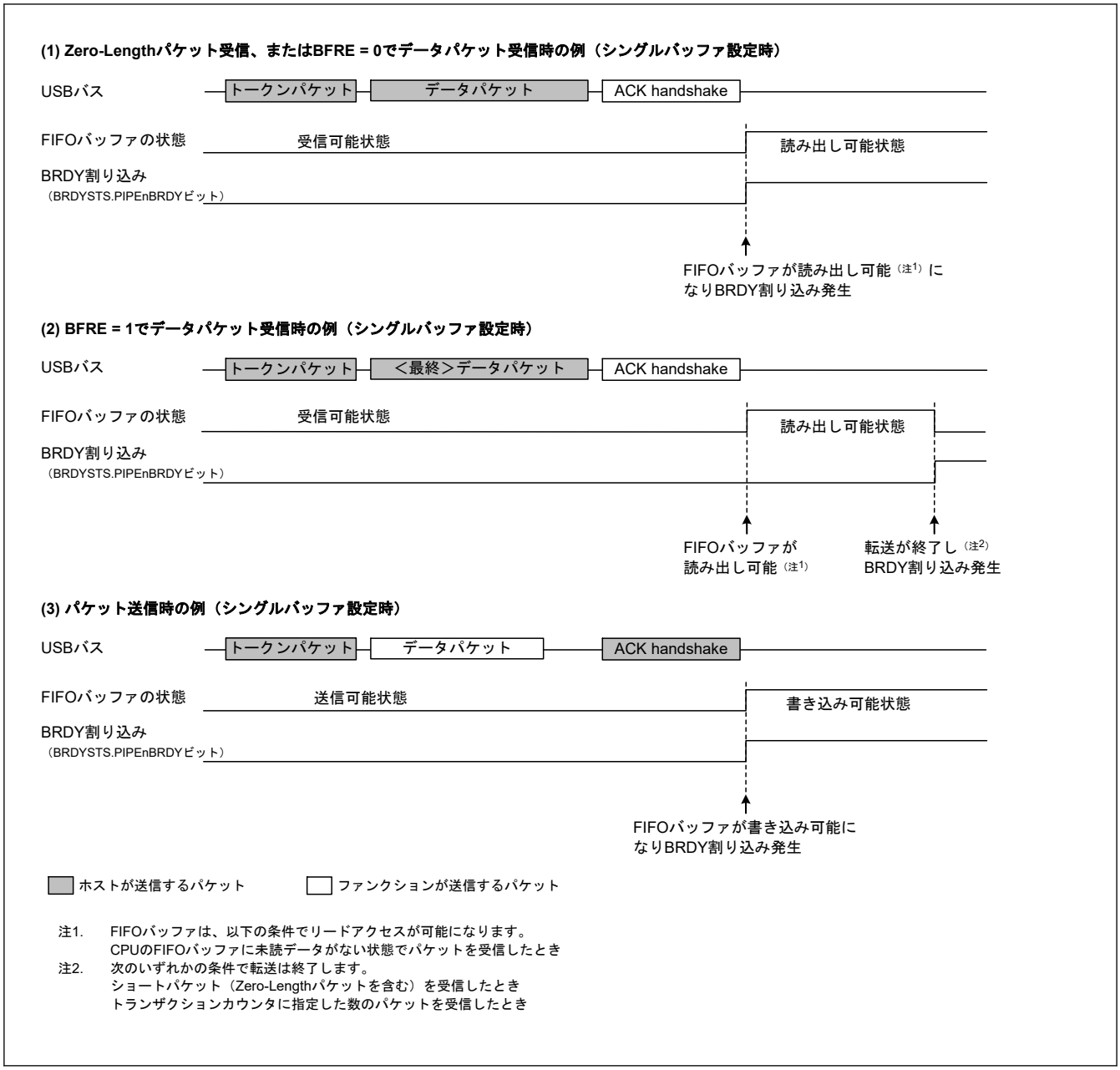


図 25.8 BRDY 割り込み発生タイミング

INTSTS0.BRDY ビットがクリアされる条件は、表 25.15 に示すように、SOFCFG.BRDYM ビットの設定値によって異なります。

表 25.15 BRDY ビットクリア条件

BRDYM ビット	BRDY ビットのクリア条件
0	ソフトウェアで BRDYSTS レジスタの全ビットを 0 にすると、USBFS は BRDY ビットを 0 にクリアします。
1	全パイプの BSTS ビットが 0 になったとき、USBFS は BRDY ビットを 0 にクリアします。

25.3.3.2 NRDY 割り込み

ソフトウェアで PID を BUF に設定したパイプに対して、USBFS が内部 NRDY 割り込み要求を発生させた場合に、USBFS は関連する NRDYSTS.PIPEnNRDY ビットを 1 にします。ソフトウェアによって NRDYENB レジスタの関連するビットを 1 にしている場合、USBFS は INTSTS0.NRDY ビットを 1 にし、USBFS 割り込みを発生させます。

ここでは、USBFS が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を説明します。

コントロール転送のステータスステージ実行時には、内部 NRDY 割り込み要求は発生しません。

送信パイプの場合

- FIFO バッファに送信データがない状態で IN トークンを受信したとき。このとき USBFS は、IN トークン受信時に NRDY 割り込み要求を発生させ、NRDYSTS.PIPEnNRDY ビットを 1 にする。割り込み発生パイプの転送タイプがアイソクロナスの場合、USBFS は Zero-Length パケットを送信し、FRMNUM.OVRN ビットを 1 にする。

受信パイプの場合

- OUT トークンを受信したが、FIFO バッファに空きがないとき。割り込みが発生した転送パイプについて、OUT トークンに続くデータ受信後 NAK ハンドシェイクが送信されるときに、USBFS は NRDY 割り込み要求を発生させ、PIPEnNRDY ビットを 1 にする。DATA-PID 不一致の発生による再送時には、NRDY 割り込み要求を発生させない。また、DATA パケットにエラーがある場合にも、NRDY 割り込み要求を発生させない。

図 25.9 に、NRDY 割り込み発生タイミングを示します。

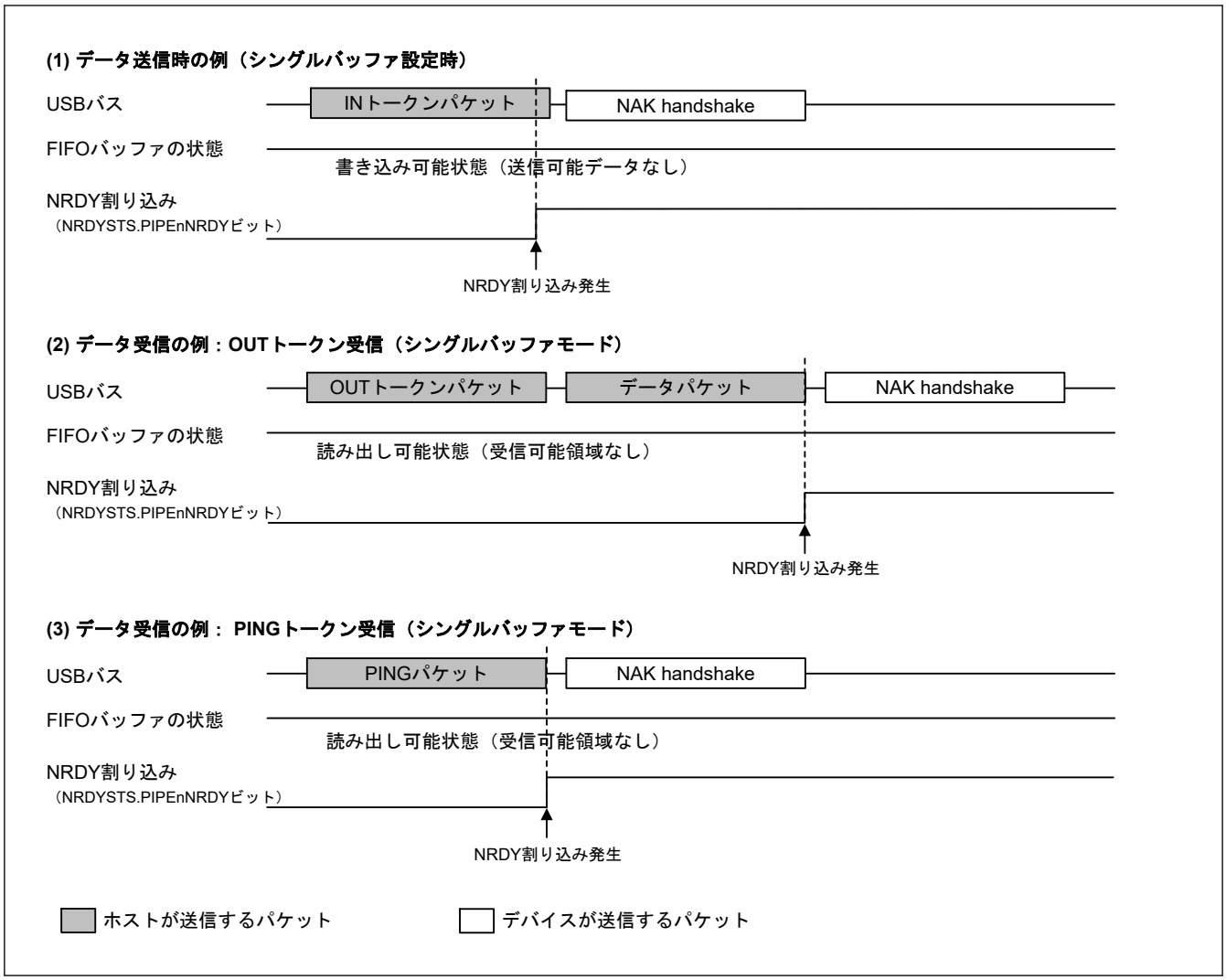


図 25.9 NRDY 割り込み発生タイミング

25.3.3.3 BEMP 割り込み

ソフトウェアで PID を BUF に設定したパイプに対して BEMP 割り込みを検出すると、USBFS は関連する BEMPSTS.PIPEnBEMP ビットを 1 にします。ソフトウェアによって BEMPENB レジスタの関連するビットを 1 にしている場合、USBFS は INTSTS0.BEMP ビットを 1 にし、USBFS 割り込みを発生させます。ここでは、USBFS が内部 BEMP 割り込み要求を発生させる条件を説明します。

(1) 送信パイプの場合

送信完了時（Zero-Length パケットの送信時を含む）に関連するパイプの FIFO バッファが空のとき、およびシングルバッファモード時は、DCP 以外のパイプに対しての BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。以下のいずれかの条件では、内部 BEMP 割り込み要求は発生しません。

- ダブルバッファモードで、片方の FIFO バッファからのデータ送信完了時に、CPU または DMA/DTC が CPU 側の FIFO バッファに対する書き込みを開始しているとき
- PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタの BCLR ビットを 1 にしてバッファをクリア（空に）したとき
- コントロール転送ステータスステージの IN 転送（Zero-Length パケット送信）を実行したとき

(2) 受信パイプの場合

正常受信したデータパケットサイズが指定された最大パケットサイズを超えたとき。このとき、USBFS は、BEMP 割り込み要求を発生させ、関連する BEMPSTS.PIPEnBEMP ビットを 1 にし、受信データを破棄し、該当するパイプの関連する PID[1:0]ビットの設定を STALL (11b) に変更します。USBFS は STALL 応答を返します。

以下のいずれかの条件では、内部 BEMP 割り込み要求は発生しません。

- 受信したデータパケットに CRC エラーまたはビットスタッフィングエラーが検出されるとき。
- SETUP トランザクションが実行時
  - BEMPSTS.PIPEnBEMP ビットに 0 を書き込むことにより、ステータスをクリアすることが可能。
  - BEMPSTS.PIPEnBEMP ビットに 1 を書き込んでも、動作に影響はない。

図 25.10 に、BEMP 割り込み発生タイミングを示します。

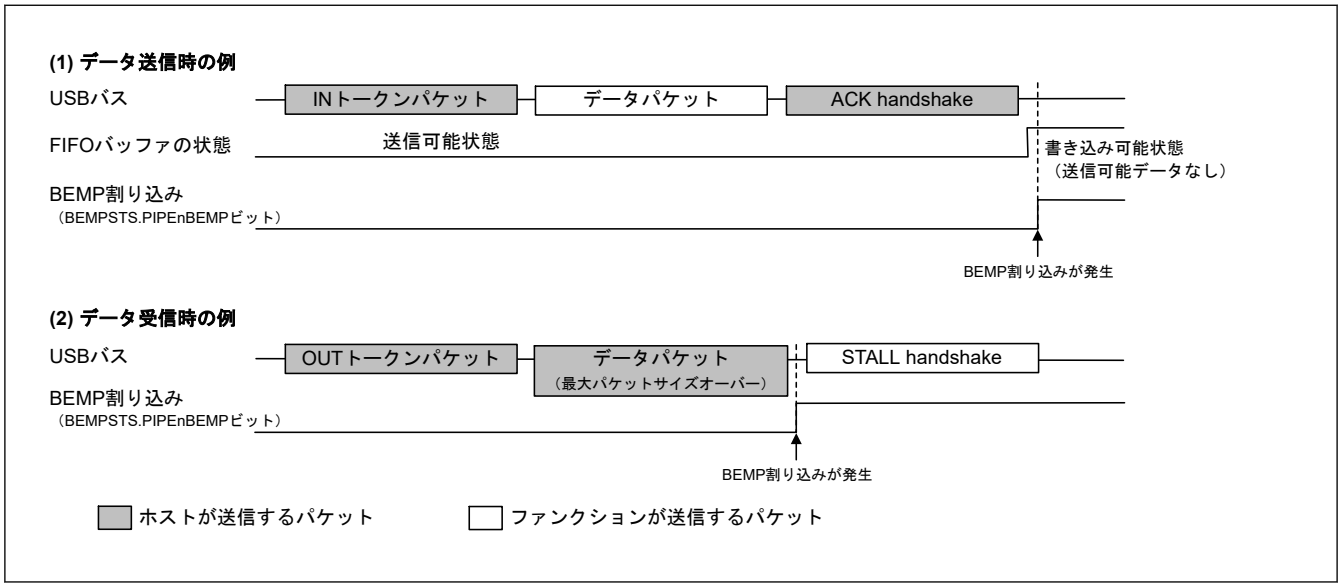


図 25.10 BEMP 割り込み発生タイミング

25.3.3.4 デバイスステート遷移割り込み

図 25.11 に、USBFS のデバイスステート遷移図を示します。USBFS はデバイスステートを制御し、デバイスステート遷移割り込みを発生させます。ただし、Suspended ステートからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みの許可／禁止は、INTENB0 レジスタで個別に指定できます。状態が変化したデバイスは、INTSTS0.DVSQ[2:0]ビットで確認できます。

Default ステートに遷移する場合には、USB バスリセット検出後に、デバイスステート遷移割り込みが発生します。

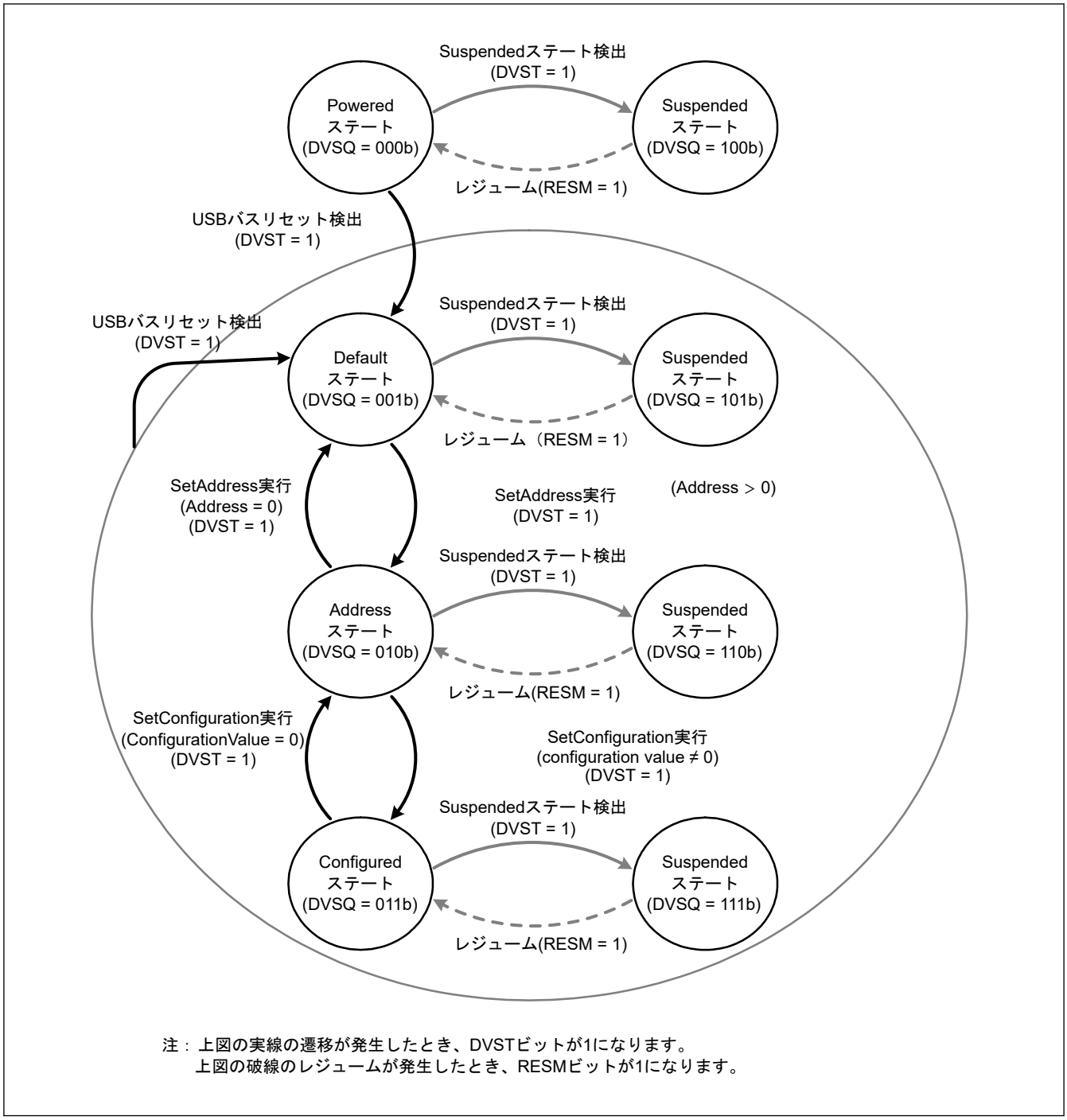


図 25.11　デバイスステートの遷移

25.3.3.5　コントロール転送ステージ遷移割り込み

図 25.12 に、USBFS のコントロール転送ステージ遷移図を示します。USBFS はコントロール転送のシーケンスを制御し、コントロール転送ステージ遷移割り込みを発生させます。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に許可または禁止できます。遷移が発生した転送ステージは、INTSTS0.CTSQ[2:0]ビットで確認できます。

ここではコントロール転送のシーケンスエラーについて説明します。エラーが発生した場合は、DCPCTR.PID[1:0]ビットが 1xb（STALL 応答）になります。

(1)　コントロールリード転送エラー

- データステージの IN トークンに対して一度もデータ転送していない状態で OUT トークンを受信

- ステータスステージで IN トークンを受信
- ステータスステージで DATAPID = DATA0 のデータパケットを受信

(2) コントロールライト転送エラー

- データステージの OUT トークンに対して一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットとして DATAPID = DATA0 のデータパケットを受信
- ステータスステージで OUT トークンを受信

(3) コントロールライトノーデータ転送エラー

- ステータスステージで OUT トークンを受信

コントロールライト転送データステージで、受信データ長が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識されません。コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い転送は正常終了します。

シーケンスエラーによる CTRT 割り込み発生時 (INTSTS0.CTRT = 1) は、CTRT ビットを 0 にして割り込みステータスクリアが行われるまで、CTSQ[2:0] = 110b の値が保持されます。CTSQ[2:0] = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。セットアップステージ完了ステータスは USBFS が保持しており、ソフトウェアによる割り込みステータスクリア後に、USBFS が CTRT 割り込みを発生させます。

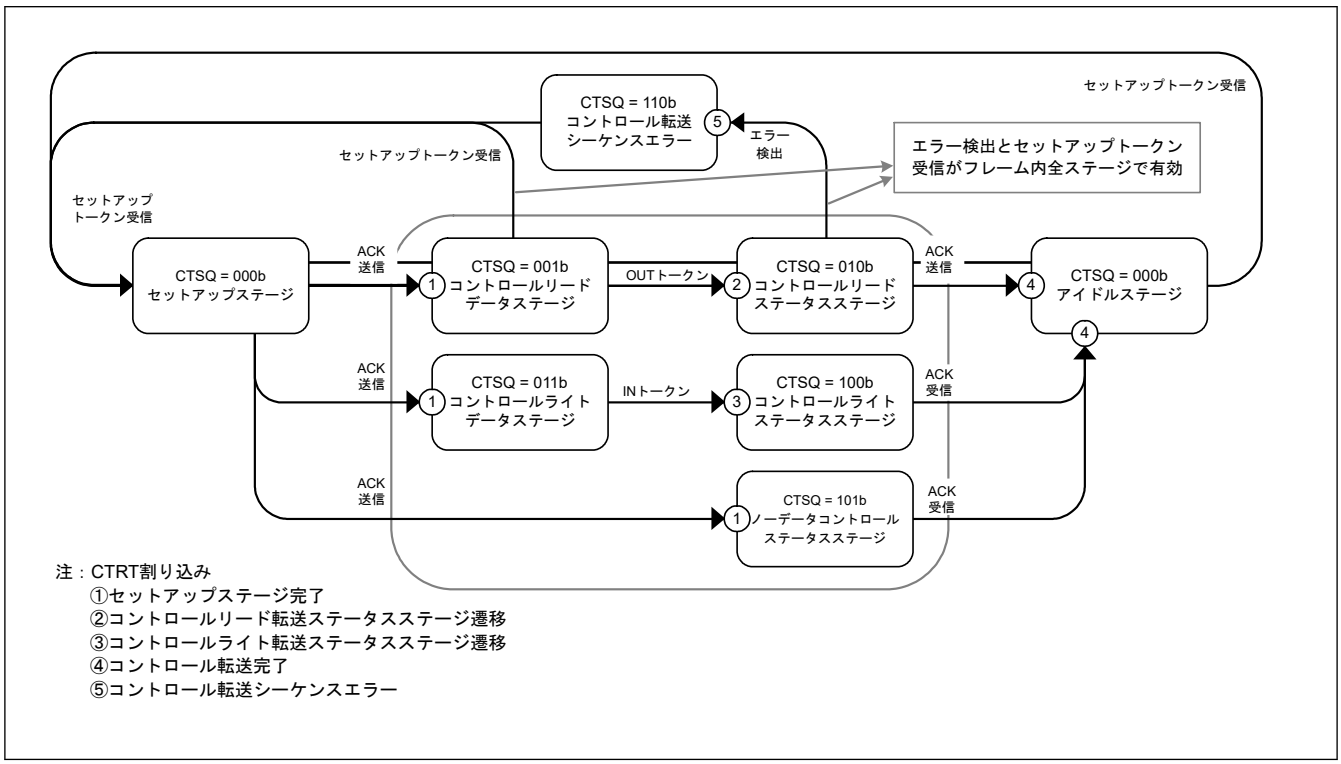


図 25.12 コントロール転送ステージの遷移

25.3.3.6 フレーム番号更新割り込み

USBFS は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生させます。

25.3.3.7 VBUS 割り込み

USB_VBUS 端子レベルに変化があった場合に VBUS 割り込みが発生します。INTSTS0.VBSTS ビットで USB_VBUS 端子のレベルを確認できます。VBUS 割り込みによって、ホストコントローラの接続および切断の確

認ができます。ホストコントローラが接続された状態でシステムが起動された場合は、USB_VBUS 端子レベルが変化しないため、最初の VBUS 割り込みは発生しません。

25.3.3.8 レジューム割り込み

デバイスステートが Suspended ステートで、USB バスステートが変化（J-State から K-State、または J-State から SE0）したときにレジューム割り込みが発生します。レジューム割り込みによって Suspended ステートからの復帰を検出します。

25.3.4 パイプコントロール

表 25.16 に、USBFS のパイプ設定項目一覧を示します。USB データ転送は、ソフトウェアがエンドポイントと関連付けた論理パイプにて行います。USBFS にはデータ転送用に 5 本のパイプがあります。各パイプは、ユーザーシステムの仕様に合わせて設定を行ってください。

表 25.16 パイプ設定項目

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE	転送タイプ	パイプ 4～7：設定可能
	BFRE	BRDY 割り込みモード	パイプ 4 および 5：設定可能
	DBLB	ダブルバッファ選択	パイプ 4 および 5：設定可能
	DIR	転送方向選択	IN または OUT 設定可能
	EPNUM	エンドポイント番号	パイプ 4～7：設定可能 パイプ使用時は 0000b 以外に設定
	SHTNAK	転送終了時のパイプ選択禁止	パイプ 4 および 5：設定可能
DCPMAXP PIPEMAXP	MXPS	最大パケットサイズ	USB2.0 規格準拠
PIPEPERI	IFIS	バッファフラッシュ	パイプ 1～2：アイソクロナス転送時のみ設定可能 パイプ 3～9：設定不可能
	IITV	インターバルカウンタ	パイプ 1～2：アイソクロナス転送時のみ設定可能 パイプ 3～5：設定不可能 パイプ 6～9：ホストコントローラモード時のみ設定可能
DCPCTR PIPEnCTR	BSTS	バッファステータス	DCP は ISEL ビットにより受信／送信バッファ状態を切り替え
	INBUFM	IN バッファモニタ	パイプ 4 および 5 のみ利用可能
	ATREPM	自動応答モード	パイプ 4 および 5：デバイスコントローラモードでのみ設定可能
	ACLRM	自動バッファクリア	パイプ 4～7：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットの設定
	SQMON	シーケンスモニタ	データトグルビットの監視
	PBUSY	パイプビジーステータス	—
	PID	応答 PID	「25.3.4.6. 応答 PID」を参照してください。
PIPEnTRE	TRENB	トランザクションカウンタ許可	パイプ 4 および 5：設定可能
	TRCLR	トランザクションカウンタのクリア	パイプ 4 および 5：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ 4 および 5：設定可能

25.3.4.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が禁止 (PID = NAK) されているときのみ書き換えが可能になります。

USB 通信が許可 (PID = BUF) されている状態で、以下のレジスタおよびビットを変更しないでください。

- DCPCFG レジスタ、および DCPMAXP レジスタの各ビット
- DCPCTR.SQCLR、および SQSET ビット

- PIPECFG と PIPEMAXP のビット
- PIPEnCTR.ATREPM、ACLRM、SQCLR、および SQSET ビット
- PIPEnTRE レジスタ、および PIPEnTRN レジスタの各ビット

USB 通信が許可 (PID = BUF) されている状態で、上記の各ビットを設定する場合は、以下の手順で行ってください。

1. パイプコントロールレジスタのビット変更要求が発生する。
2. 関連するパイプの PID[1:0]ビットを NAK にする。
3. 関連するパイプの PBUSY ビットが 0 になるまで待つ。
4. パイプコントロールレジスタのビット設定を開始する。

パイプコントロールレジスタの以下のビットは、CFIFOSEL レジスタの CURPIPE[3:0]ビットに選択パイプ情報が設定されていない場合のみ書き換えが可能です。

CURPIPE[3:0]ビット設定中には以下のレジスタを設定しないでください。

- DCPCFG レジスタ、および DCPMAXP レジスタの各ビット
- PIPECFG と PIPEMAXP のビット

パイプ情報を変更する場合には、ポート選択レジスタの CURPIPE[3:0]ビットの設定を変更パイプ以外に指定してください。DCP についてはパイプ情報修正後、ポートコントロールレジスタの BCLR ビットにてバッファのクリア処理をしてください。

25.3.4.2 転送タイプ

PIPECFG.TYPE[1:0]ビットで各パイプに以下の転送タイプを設定します。

- DCP：設定不要（コントロール転送固定）
- パイプ 4 および 5：バルク転送に設定
- パイプ 6 および 7：インタラプト転送に設定

25.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0]ビットにて、各パイプのエンドポイント番号を設定します。DCP は、エンドポイント 0 に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP：設定不要（エンドポイント 0 固定）
- パイプ 4～7：PIPECFG.DIR ビットと EPNUM[3:0]ビットの組み合わせが重複しないように、エンドポイント番号 1 から 15 までを選択して設定します。

25.3.4.4 最大パケットサイズ設定

DCPMAXP.MXPS[6:0]ビットおよび PIPEMAXP.MXPS[9:0]ビットにて各パイプの最大パケットサイズを設定します。DCP およびパイプ 4 および 5 は USB2.0 規格で定義されているすべての最大パイプサイズに設定が可能です。パイプ 6 および 7 では、64 バイトが最大パケットサイズです。最大パケットサイズは、転送を開始 (PID = BUF) する前に、以下のように設定してください。

- DCP：8、16、32、または 64 から選択して設定
- パイプ 4 および 5：バルク転送時は 8、16、32、または 64 から選択して設定
- パイプ 6 および 7：1～64 を設定

25.3.4.5 トランザクションカウンタ（受信方向パイプ 4 および 5）

USBFS は、データパケット受信方向で、指定回数のトランザクションが終了した場合に、転送終了と認識します。トランザクションカウンタには、実行トランザクション回数を指定する PIPEnTRN レジスタと、実行されたトランザクションを内部でカウントするカレントカウンタがあります。PIPECFG.SHTNAK ビットが 1 の状態でカレントカウンタの値がトランザクションの指定回数と一致すると、関連する PIPEnCTR.PID[1:0]ビットが NAK に設定され、次の転送を禁止状態にします。PIPEnTRE.TRCLR ビットにて、トランザクションカウンタ機能のカ

レントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。PIPEnTRE.TRENB ビットの設定により、PIPEnTRN レジスタ読み出し時のデータは以下のように異なります。

- TRENB ビットが 0：トランザクションカウンタの設定値を読み出し可能
- TRENB ビットが 1：内部でカウントした実行済みトランザクション数を示すカレントカウンタ値を読み出し可能

TRCLR ビットの操作には、以下の制限事項があります。

- トランザクションカウント中かつ PID = BUF の場合、カレントカウンタはクリア不可
- バッファ内にデータが残っている場合、カレントカウンタはクリア不可

25.3.4.6 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID[1:0]ビットで、各パイプの応答 PID を設定します。ここでは、各応答 PID 設定における USBFS の動作について説明します。

(1) ソフトウェア応答 PID の設定

応答 PID を選択して、以下のようにホストからのトランザクションに応答します。

- NAK 設定：発生したすべてのトランザクションに対して NAK 応答を返答
- BUF 設定：FIFO バッファの状態に応じてトランザクションに応答
- STALL 設定：発生したすべてのトランザクションに対して STALL 応答を返答

注. **SETUP トランザクションに対しては、PID[1:0]ビットの設定にかかわらず、常に ACK 応答し、レジスタに USB リクエストを格納します。**

以下の(3)および(4)では、特定のトランザクションの結果に従って USBFS が PID[1:0]ビットに書き込みを行う状況について説明します。

(2) ハードウェア応答 PID の設定

- NAK 設定：以下の場合に PID = NAK となり、トランザクションに対して NAK 応答を返す
  - SETUP トークンを正常に受信したとき（DCP のみ）
  - バルク転送で PIPECFG.SHTNAK ビットが 1 の場合に、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定：USBFS による BUF 書き込みはなし
- STALL 設定：以下の場合に PID = STALL となり、トランザクションに対して STALL 応答を返す
  - 受信したデータのパケットサイズが、最大パケットサイズを超えたとき
  - コントロール転送シーケンスエラーを検出したとき（DCP のみ）

25.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、およびインタラプト転送において正常なデータ転送が行われると、USBFS がデータ PID のシーケンスビットを自動的にトグルします。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は、ACK ハンドシェイク受信のタイミングでシーケンスビットが切り替わります。データ受信時は、ACK ハンドシェイク送信のタイミングでシーケンスビットが切り替わります。DCPCTR レジスタの SQCLR ビット、および PIPEnCTR レジスタの SQSET ビットによって、データ PID シーケンスビットの変更が可能です。

コントロール転送では、ステージ遷移時に USBFS が自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 が返されます。ステータスステージではシーケンスビットは参照せず、PID = DATA1 が返されます。このため、ソフトウェアによる設定は必要ありません。

ClearFeature リクエストの送信または受信時には、ソフトウェアでデータ PID シーケンスビットを設定する必要があります。

25.3.4.8 応答 PID = NAK 機能

USBFS には、トランザクションの最後のデータパケットの受信タイミングで、パイプ動作を禁止（PID 応答 = NAK）する機能があります。USBFS は、ショートパケット受信またはトランザクションカウンタでトランザクションの終了を自動識別します。PIPECFG.SHTNAK ビットが 1 の場合、この機能が有効です。

この機能を使用することで、FIFO バッファをダブルバッファモードで使用している場合に、転送単位でのデータパケットの受信が可能です。パイプ動作が禁止された場合は、ソフトウェアで再度パイプを許可（PID 応答 = BUF）する必要があります。

応答 PID = NAK 機能はバルク転送時のみ動作することが可能です。

25.3.4.9 自動応答モード

バルク転送のパイプ（4 および 5）において、PIPEnCTR.ATREPM ビットを 1 にすると、自動応答モードとなります。OUT 転送時（PIPECFG.DIR ビット = 0）には OUT-NAK モードとなり、IN 転送時（DIR ビット = 1）には Null 自動応答モードとなります。

25.3.4.10 OUT-NAK モード

バルク OUT 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、OUT トークンに対して NAK 応答し、NRDY 割り込みを出力します。ノーマルモードから OUT-NAK モードへ遷移させる場合には、パイプ動作禁止状態（PID[1:0]ビット = 00b（NAK 応答））で、OUT-NAK モードを指定してください。次に、パイプ動作を許可（PID[1:0]ビット = 01b（BUF 応答））します。これにより、OUT-NAK モードが有効になります。パイプ動作禁止にする直前で OUT トークンを受信した場合は、その OUT トークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードからノーマルモードへ遷移させる場合には、パイプ動作禁止状態 (NAK) で、OUT-NAK モードを解除してください。次に、パイプ動作を許可 (BUF) します。ノーマルモードでは、OUT データ受信が可能となります。

25.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、Zero-Length パケットを送信し続けます。

ノーマルモードから Null 自動応答モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）で、Null 自動応答モードを指定してください。次に、パイプ動作を許可（応答 PID = BUF）します。Null 自動応答モードが有効になります。Null 自動応答モードを設定する場合は、バッファ内は空である必要があるため、PIPEnCTR.INBUFM ビットが 0 であることを確認してください。INBUFM ビットが 1 の場合には、PIPEnCTR.ACLRM ビットによりバッファを空にしてください。Null 自動応答モードへの遷移中は、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードからノーマルモードへ遷移させる場合には、Zero-Length パケット送信の期間（約 10 µs）をパイプ動作禁止状態（応答 PID = NAK）にした後、Null 自動応答モードを解除してください。ノーマルモードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（応答 PID = BUF）を行うことにより、ホストへのパケット送信が可能となります。

25.3.5 FIFO バッファ

USBFS はデータ転送用の FIFO バッファを備えており、これによって各パイプに使用されるメモリ領域を管理します。FIFO バッファの状態には、アクセス権がシステム（CPU 側）にある場合と USBFS（SIE 側）にある場合があります。

(1) バッファステータス

表 25.17 および表 25.18 に、USBFS のバッファステータスを示します。FIFO バッファステータスは、DCPCTR.BSTS ビットおよび PIPEnCTR.INBUFM ビットを使用して確認できます。FIFO バッファの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット（DCP 選択時）で指定します。

INBUFM ビットは送信方向のパイプ 0、4、5 で有効です。

送信側の転送パイプがダブルバッファモードを使用している場合、ソフトウェアは BSTS ビットを読み出して CPU 側の FIFO バッファステータスを監視し、INBUFM ビットを読み出して SIE 側の FIFO バッファステータス

を監視します。CPU または DMA/DTC による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空き状態が判別できない場合に、ソフトウェアは INBUFM ビットで送信完了を確認できます。

表 25.17　BSTS ビットが示すバッファステータス

ISEL または DIR	BSTS	FIFO バッファステータス
0（受信方向）	0	受信データなし、または受信中。 FIFO ポートからの読み出し不可能。
0（受信方向）	1	受信データあり、または Zero-Length パケット受信。 FIFO ポートからの読み出し可能。 zero-Length パケット受信時は読み出し不可能のためバッファクリアが必要。
1（送信方向）	0	送信未完了。 FIFO ポートへの書き込み不可能。
1（送信方向）	1	送信完了。 CPU は書き込み可能。

表 25.18　INBUFM ビットが示すバッファステータス

DIR	INBUFM	FIFO バッファステータス
0（受信方向）	無効	無効。
1（送信方向）	0	送信完了。 送信可能データなし。
1（送信方向）	1	データが FIFO ポートからバッファへ書き込まれた。 送信可能データあり。

25.3.6　FIFO バッファクリア

表 25.19 に、FIFO バッファのクリア方式一覧を示します。FIFO バッファは、ポートコントロールレジスタの BCLR ビットまたは PIPEnCTR.ACLRM ビットでクリアできます。

パイプ 4 および 5 は、PIPECFG.DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。

表 25.19　バッファクリア方式一覧

FIFO バッファクリアモード	CPU 側 FIFO バッファクリア	受信パケットをすべて破棄するための自動バッファクリアモード
使用するレジスタ	CFIFOCTR	PIPEnCTR
使用するビット	BCLR	ACLRM
0 になる条件	1 書き込みでクリア	1: モード有効 0: モード無効

(1)　自動バッファクリアモード機能

PIPEnCTR.ACLRM ビットが 1 の場合、USBFS は受信したすべてのデータパケットを破棄します。正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。自動バッファクリアモード機能は、FIFO バッファ読み出し方向にのみ設定可能です。

ACLRM ビットを 1 にし、続けて 0 にすると、アクセス方向に関係なく、選択パイプの FIFO バッファがクリアされます。ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔は 100ns 以上あけてください。

25.3.7　FIFO ポートの機能

表 25.20 に、FIFO ポート機能設定を示します。データ書き込み時は、最大パケットサイズまで書き込みを行うと、自動的にデータが送信可能状態となります。最大パケットサイズ未満のデータを送信可能状態にするには、ポートコントロールレジスタの BVAL フラグを書き込み終了に設定してください。Zero-Length パケットを送信するには、BCLR ビットでバッファをクリアし、BVAL フラグを書き込み終了に設定してください。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケットを受信可能な状態になります。Zero-Length パケット受信時（DTLN[8:0]ビット = 0）は、データは読み出せませんので、BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[8:0]ビットにて確認します。

表 25.20 FIFO ポート機能設定

レジスタ名	ビット名	説明
CFIFOSEL	RCNT	DTLN[11:0]読み出しモード選択
	REW	FIFO バッファリワインド（再読み出し、再書き込み）
	MBW	FIFO ポートアクセスビット幅
	BIGEND	FIFO ポートエンディアン選択
	ISEL	FIFO ポートアクセス方向（DCP 専用）
	CURPIPE	カレントパイプ選択
CFIFOCTR	BVAL	FIFO バッファ書き込み終了
	BCLR	CPU 側 FIFO バッファクリア
	DTLN	受信データ長確認

(1) FIFO ポート選択

表 25.21 に、各 FIFO ポートで選択可能なパイプを示します。ポート選択レジスタの CURPIPE[3:0]ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE[3:0]ビット値が正しく読み出せたかどうかをソフトウェアで確認する必要があります。前回のパイプ番号が読み出された場合には、USBFS がパイプ変更処理中であることを示します。次に、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認します。

また、ポート選択レジスタの MBW ビットでアクセスするバス幅をソフトウェアで指定する必要があります。FIFO バッファアクセス方向は、PIPECFG.DIR ビットの設定値に従います。DCP のみ、ポート選択レジスタの ISEL ビットにより方向を決定します。

表 25.21 パイプ別 FIFO ポートアクセス

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 4～7	CPU アクセス	CFIFO ポートレジスタ

(2) REW ビット

実行中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行ってから、再度最初のパイプの処理を続行することが可能です。このような処理には、ポート選択レジスタの REW ビットを使用します。

ポート選択レジスタの CURPIPE[3:0]ビットでパイプ選択を行うのと同時に REW ビットを 1 にすると、FIFO バッファからの読み出しまたは FIFO バッファへの書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。REW ビットを 0 にしてパイプ選択を行うと、バッファの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み出しおよび書き込みができます。

FIFO ポートにアクセスするには、パイプ選択後、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認する必要があります。

25.3.8 DCP を使用したコントロール転送

コントロール転送データステージのデータ転送には、DCP を使用します。DCP の FIFO バッファは、コントロールリードおよびコントロールライト共用の固定領域を持つ 64 バイトシングルバッファです。FIFO バッファへのアクセスは、CFIFO ポートのみ可能です。

25.3.8.1 コントロール転送

(1) セットアップステージ

USBFS は、USBFS に対する正常な Setup パケットに対して ACK 応答します。セットアップステージの USBFS 動作を以下に示します。

新しい Setup パケットを受信すると、USBFS は以下のビットを設定します。

- INTSTS0.VALID ビットを 1 にする

- DCPCTR.PID[1:0]ビットを NAK にする
- DCPCTR.CCPL ビットを 0 にする

Setup パケットの後にデータパケットを受信すると、USBFS は、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

コントロール転送に対する応答処理は、VALID フラグを 0 にしてから実行してください。VALID ビットが 1 の状態では PID = BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、USBFS は、コントロール転送中に新しい USB リクエストを受信すると、実行中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USBFS は、受信した USB リクエストの方向ビット（bmRequestType のビット 8）と、リクエストデータ長 (wLength) を自動検出します。USBFS は他にも、コントロールリード転送、コントロールライト転送、およびノーデータコントロール転送を判別し、ステージ遷移を管理します。誤ったシーケンスに対しては、コントロール転送ステージ遷移割り込み中にシーケンスエラーが発生し、ソフトウェアに割り込みが報告されます。USBFS のステージ管理を示す図については、 図 25.12 を参照してください。

(2) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。

転送データが DCP の FIFO バッファのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

(3) ステータスステージ

DCPCTR.PID[1:0]ビットが BUF に設定された状態で、DCPCTR.CCPL ビットを 1 にすることによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USBFS が自動的にステータスステージを実行します。手順は以下のとおりです。

- コントロールリード転送の場合

  USBFS は、USB ホストから Zero-Length パケットを受信し、ACK 応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合

  USBFS は、Zero-Length パケットを送信し、USB ホストから ACK 応答を受信します。

(4) コントロール転送自動応答機能

USBFS は、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーのいずれかが発生した場合は、ソフトウェアによる応答が必要です。

- bmRequestType が 0x00 でない場合：コントロールライト転送以外
- wIndex が 0x00 でない場合：リクエストエラー
- wLength が 0x00 でない場合：ノーデータコントロール転送以外
- wValue が 0x7F より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0]ビットが 011b（Configured ステート）の場合：デバイスステートエラーのコントロール転送

SET_ADDRESS リクエスト以外のすべてのリクエストには、対応するソフトウェアによる応答が必要です。

25.3.9 バルク転送（パイプ 4 および 5）

バルク転送は、FIFO バッファ使用方法（シングル／ダブルバッファ設定）の設定ができます。USBFS は、バルク転送専用として下記の機能を備えています。

- BRDY 割り込み機能（PIPECFG.BFRE ビット）：「25.3.3.1. BRDY 割り込み」参照
- トランザクションカウント機能（PIPEnTRE.TRENB ビット、TRCLR ビット、PIPEnTRN.TRNCNT[15:0]ビット）：「25.3.4.5. トランザクションカウンタ（受信方向パイプ 4 および 5）」参照

- 応答 PID = NAK 機能（PIPECFG.SHTNAK ビット）:「25.3.4.8. 応答 PID = NAK 機能」参照
- 自動応答モード（PIPEnCTR.ATREPM ビット）:「25.3.4.9. 自動応答モード」参照

25.3.10 インタラプト転送（パイプ 6、7）

USBFS は、ホストコントローラが指示しているタイミングに基づいてインタラプト転送を行います。

25.3.11 パイプスケジュール

25.3.11.1 転送スケジュール

USBFS のフレーム内の転送スケジューリング方法について説明します。USBFS は、SOF を送信後、以下の順番で転送を行います。

1. 周期的転送の実行：

   パイプ 6→パイプ 7 の順にパイプを検索し、アイソクロナス転送またはインタラプト転送のトランザクションの発行が可能なパイプがあれば、トランザクションを発行します。

2. コントロール転送の SETUP トランザクション：

   DCP を確認して、SETUP トランザクションが可能であれば送信します。

3. バルク転送、コントロール転送データステージ、およびコントロール転送ステータスステージの実行：

   DCP→パイプ 4→パイプ 5 の順にパイプを検索し、バルク転送、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを発行します。

   トランザクションを発行したとき、周辺デバイスからの応答が ACK であっても NAK であっても、処理は次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、ステップ 3 を繰り返します。

25.4 使用上の注意事項

25.4.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、USBFS の動作を禁止／許可することが可能です。USBFS は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除すると、レジスタへのアクセスが可能になります。詳細については、「10. 低消費電力モード」を参照してください。

25.4.2 ソフトウェアスタンバイモード解除時の割り込みステータスレジスタのクリア

ソフトウェアスタンバイモードでは入力バッファが常に有効となるため、下記条件下では、予期せぬ割り込みが発生する場合があります。

- 通常モードで割り込みを許可する場合
- ソフトウェアスタンバイモードで割り込みを禁止する場合
- ソフトウェアスタンバイモードを解除する端子の入力レベルがソフトウェアスタンバイモードで変更されている場合

これらの条件を満たすと、割り込みステータスレジスタの関連する割り込みフラグが予期せず設定されることがあります。MCU がソフトウェアスタンバイモードを解除した後に、予期せぬ割り込みが割り込みコントローラに送信される場合があります。この問題を避けるために、解除シーケンスで INTSTS0 および INTSTS1 レジスタを常にクリアしてください。

25.4.3 ポート機能設定後の割り込みステータスレジスタのクリア

入力バッファは PmnPFS.PSEL および PmnPFS.PMR ポートを設定する前は無効であるため、内部信号はハイまたはローに固定されます。入力バッファはポート設定後に有効にされるので、外部端子の状態が MCU に伝播します。このとき、予期せぬ割り込みが発生する場合があり、INTSTS0 と INTSTS1 レジスタの VBINT と OVRCR ビット、またはその他の割り込みステータスフラグが 1 になります。誤作動を避けるために、ポート設定後は INTSTS0 および INTSTS1 レジスタを必ずクリアしてください。

25.4.4 P814 と P815 の制限事項

USBFS を使用するとき、P814 と P815 の以下のレジスタを初期値から変更しないでください。

- PORT8.PCNTR1/PORT8.PODR/PORT8.PDR
- PORT8.PCNTR2/PORT8.EIDR/PORT8.PIDR
- PORT8.PCNTR3/PORT8.PORR/PORT8.POSR
- PFS.P814PFS/PFS.P814PFS_HA/PFS.P814PFS_BY
- PFS.P815PFS/PFS.P815PFS_HA/PFS.P815PFS_BY

P814 と P815 を汎用入出力ポートとして使用する場合、MSTPCRB.MSTPB11 を 0 にすることは禁止されています。

25.4.5 32 ピン製品の制限事項

32 ピン製品の USBFS 関連レジスタは予約ビットのため、これらのレジスタにはアクセスしないでください。

26. シリアルコミュニケーションインタフェース (SCI)

26.1 概要

シリアルコミュニケーションインタフェース (SCI) × 2 チャネルには調歩同期式および同期式のシリアルインタフェースがあります。

- 調歩同期式インタフェース（UART および調歩同期式通信インタフェースアダプタ (ACIA)）
- 8 ビットクロック同期式インタフェース
- 簡易 IIC（マスタのみ）
- 簡易 SPI
- スマートカードインタフェース
- マンチェスタインタフェース

スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。SCIn (n = 0, 9) は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データ転送速度の個別設定が可能です。

本節では、PCLK = PCLKA を指します。

表 26.1 に SCI の仕様を、図 26.1 に SCI のブロック図を、表 26.3 に SCI の入出力端子を示します。

表 26.1 SCI の仕様 (1/3)

項目		内容
モジュール数		2 (SCIn (n = 0, 9))
シリアル通信方式		• 調歩同期式 • クロック同期式 • 簡易 IIC • 簡易 SPI • スマートカードインタフェース • マンチェスタインタフェース
転送速度		内蔵のボーレートジェネレータにより任意のビットレートを設定可能
全二重通信		• 送信部：ダブルバッファによる連続送信が可能 • 受信部：ダブルバッファによる連続受信が可能
データ転送		LSB ファースト／MSB ファーストの選択が可能
通信端子 (RXDn, TXDn) のためのインバータ		各端子 (RXDn, TXDn) に選択できるインバータ
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、アドレス一致 開始条件、再開始条件、停止条件の生成完了（簡易 IIC モード用）
モジュールストップ機能		チャネルごとにモジュールストップ状態の設定が可能
スヌーズ終了要求		SCI0 アドレス不一致 (SCI0_DCUF)
クロック同期式モード	データ長	8 ビット
	受信エラー検出機能	オーバーランエラー
	クロックソース	内部クロック（マスタモード）または外部クロック（スレーブモード）の選択が可能
	ハードウェアフロー制御	CTSn_RTSn 端子を用いた送受信制御が可能
	送信／受信	1 段レジスタまたは 16 段 FIFO の選択が可能

表 26.1　SCI の仕様 (2/3)

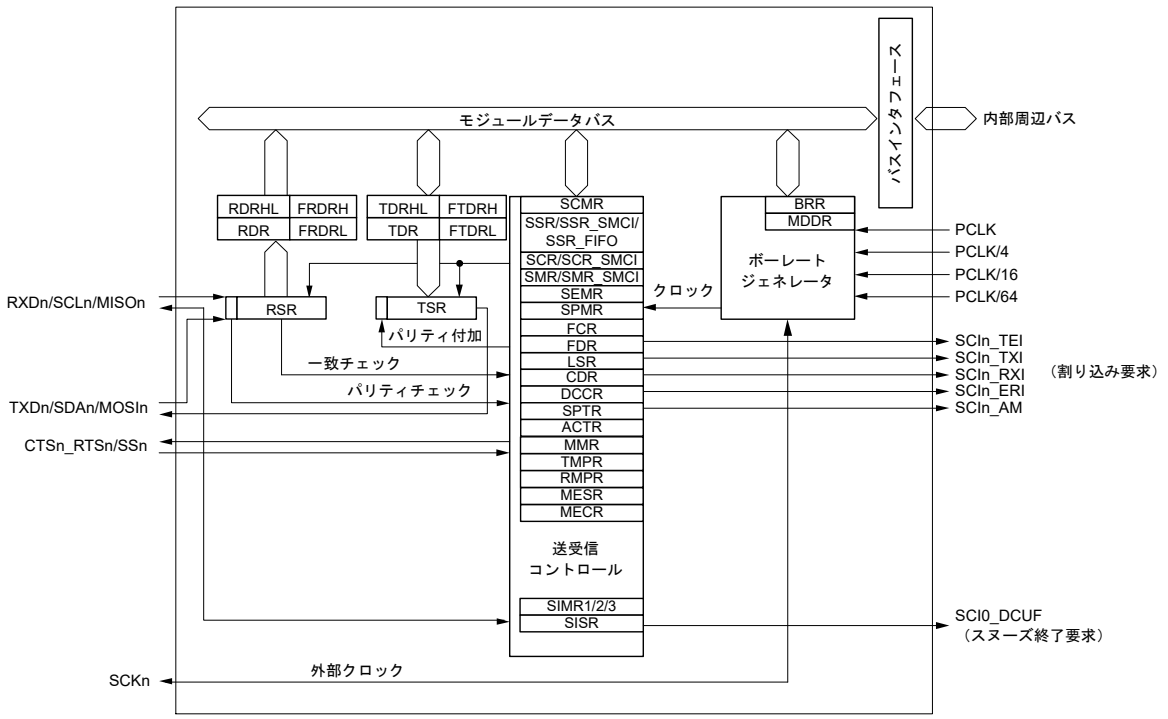
項目		内容
調歩同期式モード	データ長	7 ビット／8 ビット／9 ビット
	送信ストップビット	1 または 2 ビット
	受信サンプリングタイミングの調節	デフォルトタイミングから前または後に調節可能な受信サンプリングタイミング
	送信タイミングの調節	レジスタの設定値によって制御される送信波形の調節可能エッジタイミング
	パリティ	偶数パリティ／奇数パリティ／パリティなし
	受信エラー検出機能	• パリティエラー • オーバーランエラー • フレーミングエラー
	ハードウェアフロー制御	CTSn_RTSn 端子を用いた送受信制御が可能
	送信／受信	1 段レジスタまたは 16 段 FIFO の選択が可能
	アドレス一致	受信データとコンペアマッチレジスタの値が一致したとき、割り込み要求／イベント出力の発行が可能
	アドレス不一致（SCI0 のみ）受信データ	受信データとコンペアマッチレジスタ内の値が一致しないとき、スヌーズ終了要求の発行が可能
	スタートビットの検出	Low 検出／立ち下がりエッジ検出を選択可能
	ブレークの検出	SPTR レジスタを読み出すことで、フレーミングエラーからのブレークの検出が可能
	クロックソース	内部クロックまたは外部クロックの選択が可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数プロセッサ間でシリアル通信が可能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
スマートカードインタフェースモード	エラー処理	受信中にパリティエラーを検出するとエラーシグナルを自動送出
		送信中にエラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション／インバースコンベンションをサポート
マンチェスタモード	通信フォーマット	プレフィスとスタートビットが付加されたマンチェスタコード
	データ長	7 ビット、8 ビット、または 9 ビット
	送信ストップビット	1 または 2 ビット
	パリティ機能	偶数パリティ／奇数パリティ／パリティなし
	受信エラー検出機能	パリティエラー、オーバーランエラー、フレーミングエラー、マンチェスタエラー
	ハードウェアフロー制御	CTSn 端子と RTSn 端子を用いた送信制御が可能
	クロックソース	内部クロックのみが使用可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数プロセッサ間のシリアル通信機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
	プレフィスを設定/検出する機能	設定されたプレフィスパターンを出力し検出する
	スタートビットを設定/検出する機能	設定されたスタートビットパターンを出力し検出する
	受信再タイミング機能	受信信号の各ビットに対してタイミングを補正

表 26.1 SCI の仕様 (3/3)

項目		内容
簡易 IIC モード	通信フォーマット	I²C バスフォーマット（MSB ファーストのみ）
	動作モード	マスタ（シングルマスタ動作のみ）
	転送速度	0～400 kbps
	ノイズ除去	SCLn 端子と SDAn 端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易 SPI モード	データ長	8 ビット
	エラー検出	オーバーランエラー
	クロックソース	内部クロック（マスタモード）または外部クロック（スレーブモード）の選択が可能
	SSn 入力端子機能	SSn 端子を High にすることで、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を 4 種類から選択可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差の低減が可能
イベントリンク機能		受信エラーまたはエラーシグナル検出におけるエラーイベント出力 (SCIn_ERI) (n = 0, 9)
		受信データフルイベント出力 (SCIn_RXI) (n = 0, 9)
		送信データエンプティイベント出力 (SCIn_TXI) (n = 0, 9)
		アドレス一致イベント出力 (SCIn_AM) (n = 0, 9)
		送信終了イベント出力 (SCIn_TEI) (n = 0, 9)
TrustZone フィルタ		各チャネルに対してセキュリティ属性を設定可能

表 26.2 SCI チャネルの機能

項目	SCI0, SCI9
調歩同期式モード	使用可能
クロック同期式モード	使用可能
スマートカードインタフェースモード	使用可能
簡易 I2C モード	使用可能
簡易 SPI モード	使用可能
FIFO モード	使用可能
アドレス一致	使用可能
マンチェスタモード	使用可能



注. n = 0, 9

図 26.1 SCI のブロック図

表 26.3 SCI の入出力端子

機能	端子名	入出力	説明
SCIn (n = 0, 9)	RXDn/SCLn/MISOn	入出力	SCIn の受信データ入力 SCIn の I^2C クロック入出力 SCIn のスレーブ送信データ入出力
	TXDn/SDAn/MOSIn	入出力	SCIn の送信データ出力 SCIn の I^2C データ入出力 SCIn のマスタ送信データ入出力
	SSn/CTSn_RTSn	入出力	SCIn のチップセレクト入力、アクティブ Low SCIn の送受信開始制御用入出力、アクティブ Low
	CTSn	入力	SCIn の送受信開始制御用入力、アクティブ Low
	SCKn	入出力	SCIn のクロック入出力

26.2 レジスタの説明

26.2.1 RSR : 受信シフトレジスタ

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR レジスタ、RDRHL レジスタ、または受信 FIFO レジスタへ転送されます。CPU から RSR レジスタに直接アクセスすることはできません。

26.2.2 RDR : 受信データレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x05

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。1 フレーム分のシリアルデータを受信すると、受信データは RSR レジスタからこのレジスタへ転送され、RSR レジスタは次のデータを受信できるようになります。RSR レジスタと RDR レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

RDR レジスタの読み出しは、受信データフル割り込み (SCIn_RXI) 要求が発生したときに 1 回だけ行ってください。

注. 受信データを RDR レジスタから読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDR レジスタに書き込むことはできません。

26.2.3 RDRHL : 非マンチェスタモード用受信データレジスタ (MMR.MANEN = 0)

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	RDAT[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	RDAT[8:0]	シリアル受信データ	R
15:9	—	読むと 0 が読めます。	R

RDRHL レジスタは、受信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

RDRHL レジスタの下位 8 ビットは RDR レジスタのシャドーレジスタであるため、RDRHL レジスタへアクセスすると RDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、RDRHL レジスタへのアクセスはしないでください。

1 フレーム分のデータを受信すると、受信データは RSR レジスタから RDR/RDRHL レジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDRHL レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。RDRHL レジスタの読み出しは、受信データフル割り込み (SCIn_RXI) 要求が発生した場合にのみ行ってください。受信データを RDRHL から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDRHL レジスタに書き込むことはできません。

26.2.4 RDRHL_MAN : マンチェスタモード用受信データレジスタ (MMR.MANEN = 1)

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	RSYNC	—	—	MPB	RDAT[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	RDAT[8:0]	シリアル受信データ シリアル受信データの読み出しが可能です。	R
9	MPB	マルチプロセッサビット シリアル受信データ (RDATA[8:0]) に対応したマルチプロセッサビットの読み出しが可能です。 0: データ送信サイクル 1: ID 送信サイクル	R
11:10	—	読むと 0 が読めます。書く場合、0 としてください。	R
12	RSYNC	受信 SYNC データビット マンチェスタモードで MMR.SBSEL = 1 であるときに有効です。それ以外の場合 0 が読み出されます。 0: 受信したスタートビットは DATA SYNC です。 1: 受信したスタートビットは COMMAND SYNC です。	R
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R

RDRHL_MAN レジスタは、受信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。RDRHL_MAN レジスタの下位 8 ビットは RDR レジスタのシャドーレジスタであるため、RDRHL_MAN レジスタへアクセスすると RDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、RDRHL_MAN レジスタへアクセスしないでください。

1 フレーム分のデータを受信すると、受信データは RSR レジスタから RDR/RDRHL_MAN レジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDRHL_MAN レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

RDRHL_MAN レジスタの読み出しは、受信データフル割り込み (SCIn_RXI) 要求が発生した場合にのみ行ってください。受信データを RDRHL_MAN レジスタから読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。

CPU から RDRHL_MAN レジスタに書き込むことはできません。

RDAT[8:0]ビット（シリアル受信データ）

シリアル受信データの読み出しが可能です。

MPB ビット（マルチプロセッサビット）

受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが 0 のときは変化しません。

RSYNC ビット（受信 SYNC データビット）

本ビットは、マンチェスタモードで MMR.SBSEL = 1 であるとき、受信したスタートビットの SYNC のタイプを示します。そのほかの設定では、0 に固定されています。

26.2.5 FRDRHL/FRDRH/FRDRL : 受信 FIFO データレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x10 (FRDRHL/FRDRH)
0x11 (FRDRL)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	RDF	ORER	FER	PER	DR	MPB	RDAT[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	RDAT[8:0]	シリアル受信データ シリアル受信データを格納します。 調歩同期式モード（マルチプロセッサモードを含む）およびクロック同期式モードにおいて、FIFO 選択時にのみ有効です。	R

ビット	シンボル	機能	R/W
9	MPB	マルチプロセッサ シリアル受信データ (RDAT[8:0]) に関連するマルチプロセッサビットの値を格納します。 調歩同期式モードにおいて、SMR.MP = 1 および FIFO 選択時にのみ有効です。 0: データ送信サイクル 1: ID 送信サイクル	R
10	DR	受信データレディフラグ このフラグは SSR_FIFO.DR と同じです。 0: 受信中であるか、または正常に受信を完了した後、FRDRH レジスタおよび FRDRL レジスタに受信データが残っていない 1: 正常に受信を完了した後、次の受信データが一定期間来ない	R(注1)
11	PER	パリティエラーフラグ 0: FRDRH および FRDRL の第 1 データにパリティエラーの発生なし 1: FRDRH および FRDRL の第 1 データにパリティエラーの発生あり	R
12	FER	フレーミングエラーフラグ 0: FRDRH および FRDRL の第 1 データにフレームミングエラーの発生なし 1: FRDRH および FRDRL の第 1 データにフレームミングエラーの発生あり	R
13	ORER	オーバーランエラーフラグ このフラグは SSR_FIFO.ORER と同じです。 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R(注1)
14	RDF	受信 FIFO データフルフラグ このフラグは SSR_FIFO.RDF と同じです。 0: FRDRH と FRDRL に書き込まれた受信データ量が指定された受信トリガ数より少ない 1: FRDRH と FRDRL に書き込まれた受信データ量が指定された受信トリガ数以上である	R(注1)
15	—	読むと 0 が読めます。	R

注 1. 本フラグを読むと、SSR_FIFO レジスタと同じ値が読み出されます。フラグをクリアする場合は、SSR_FIFO レジスタに 0 を書いてください。

FRDRHL レジスタは、8 ビットの FRDRH レジスタと FRDRL レジスタからなる 16 ビットのレジスタです。FRDRH は FRDRHL[15:8]ビットに割り当てられ、FRDRHL と同じアドレスに割り付けられます。FRDRL は FRDRHL[7:0]ビットに割り当てられ、FRDRHL のアドレス+1 のアドレスに割り付けられます。

FRDRH と FRDRL は、ソフトウェアで読み出し可能なシリアル受信データと関連するステータス情報を格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

SCI は、受信データを受信シフトレジスタ (RSR) から FRDRH と FRDRL へ転送し格納することで、1 フレーム分のシリアルデータの受信動作を完了します。16 段が格納されるまで連続受信が実行されます。FRDRH と FRDRL に受信データが存在しない場合、データを読み出すと、その値は不定値です。FRDRH と FRDRL がいっぱいになると、それ以降のシリアル受信データは失われます。CPU から FRDRH レジスタと FRDRL レジスタを読み出すことはできますが、書き込むことはできません。

FRDRH レジスタの RDF、ORER、または DR フラグから 1 を読むことは、SSR_FIFO レジスタの対応するビットを読むことと同等です。FRDRH レジスタの読み出し後、SSR_FIFO レジスタのフラグに 0 を書いてクリアする場合は、クリアするフラグにのみ 0 を書いて、他のフラグには 1 を書いてください。

FRDRH レジスタと FRDRL レジスタの両方を読み出す場合は、FRDRH から FRDRL の順に読んでください。FRDRHL レジスタは 16 ビット単位でアクセスが可能です。

26.2.6 TDR : 送信データレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	シリアル送信データ	R/W

TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

SCI は、TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データを TSR レジスタへ転送し、送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば、SCI はそれを TSR レジスタへ転送して送信を続けます。

CPU からいつでも TDR レジスタの読み出し／書き込みが可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCIn_TXI) 要求が発生するごとに 1 回だけ行ってください。

26.2.7 TDRHL : 非マンチェスタモード用送信データレジスタ (MMR.MANEN = 0)

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TDAT[8:0]								
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	TDAT[8:0]	シリアル送信データ	R/W
15:9	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

TDRHL レジスタは、送信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

TDRHL レジスタの下位 8 ビットは TDR レジスタのシャドーレジスタであるため、TDRHL レジスタへアクセスすると TDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、TDRHL レジスタへアクセスしないでください。

TSR レジスタに空きが検出されると、TDRHL レジスタに書き込まれている送信データが TSR レジスタへ転送されて、送信が開始されます。

TSR レジスタと TDRHL レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDRHL レジスタに次の送信データが書き込まれていれば、TSR レジスタへ転送されて、送信動作が継続します。

CPU から TDRHL レジスタの読み出し／書き込みが可能です。TDRHL レジスタのビット[15:9]は 1 に固定されています。これらビットから読むと 1 が読めます。書く場合、1 としてください。

TDRHL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCIn_TXI) 要求が発生したときに 1 回だけ行ってください。

26.2.8 TDRHL_MAN : マンチェスタモード用送信データレジスタ (MMR.MANEN = 1)

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TSYNC	—	—	MPBT	TDAT[8:0]								
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	TDAT[8:0]	シリアル送信データ シリアル送信データの設定が可能です。	R/W
9	MPBT	マルチプロセッサ送信ビットフラグ 送信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID 送信サイクル	R/W
11:10	—	書く場合、1 としてください。	R
12	TSYNC	送信 SYNC データビット マンチェスタモードで MMR.SBSEL = 1 かつ MMR.SYNSEL = 1 であるときに有効です。 0: スタートビットは DATA SYNC として送信されます。 1: スタートビットは COMMAND SYNC として送信されます。	R/W
15:13	—	書く場合、1 としてください。	R

TDRHL_MAN レジスタは、送信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

TDRHL_MAN レジスタの下位 8 ビットは TDR レジスタのシャドーレジスタであるため、TDRHL_MAN レジスタへアクセスすると TDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、TDRHL_MAN レジスタへアクセスしないでください。

TSR レジスタに空きが検出されると、TDRHL_MAN レジスタに書き込まれている送信データが TSR レジスタへ転送されて、送信が開始されます。

TSR レジスタと TDRHL_MAN レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDRHL_MAN レジスタに次の送信データが書き込まれていれば、TSR レジスタへデータが転送されて、送信動作が継続します。

TDRHL_MAN レジスタへの送信データの書き込みは、送信データエンプティ割り込み (SCIn_TXI) 要求が発生したときに 1 回だけ行ってください。

TDAT[8:0]ビット（シリアル送信データ）

シリアル送信データを設定します。

MPBT ビット（マルチプロセッサ送信ビットフラグ）

送信フレームのマルチプロセッサビットを選択します。

TSYNC ビット（送信 SYNC データビット）

マンチェスタモードで、MMR.SBSEL = 1 かつ MMR.SYNSEL = 1 のときには、このビットに従って選択された SYNC のタイプが、送信フレームのスタートビットになります。

26.2.9 FTDRHL/FTDRH/FTDRL : 送信 FIFO データレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x0E (FTDRHL/FTDRH)
0x0F (FTDRL)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	MPBT	TDAT[8:0]								
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
8:0	TDAT[8:0]	シリアル送信データ シリアル送信データを設定します。 調歩同期式モード（マルチプロセッサモードを含む）およびクロック同期式モードにおいて、FIFO 選択時にのみ有効です。	W

ビット	シンボル	機能	R/W
9	MPBT	マルチプロセッサ転送ビットフラグ 送信フレーム中のマルチプロセッサビットを設定します。調歩同期式モードにおいて、SMR.MP = 1 および FIFO 選択時にのみ有効です。調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、および FIFO 選択に対してのみ有効です。 0: データ送信サイクル 1: ID 送信サイクル	W
15:10	—	書く場合、1 としてください。	W

FTDRHL レジスタは、8 ビットの FTDRH レジスタと FTDRL レジスタからなる 16 ビットのレジスタです。FTDRH は FTDRHL[15:8]ビットに割り当てられ、FTDRHL と同じアドレスに割り付けられます。FTDRL は FTDRHL[7:0]ビットに割り当てられ、FTDRHL のアドレス+1 のアドレスに割り付られます。

FTDRH と FTDRL は、シリアル送信データとマルチプロセッサ転送ビットを格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

SCI は、送信シフトレジスタ (TSR) に空きを検出すると、FTDRH レジスタと FTDRL レジスタに書き込まれたデータを TSR レジスタに転送し、シリアル送信を開始します。FTDRH と FTDRL に送信データが残っていない状態になるまで、連続シリアル送信が実行されます。FTDRHL レジスタが送信データでいっぱいになると、次のデータを書き込むことはできません。新たに書き込みを試みても、そのデータは無視されます。CPU から FTDRH と FTDRL に書き込むことはできますが、読み出すことはできません。

FTDRH レジスタと FTDRL レジスタの両方に書き込む場合は、FTDRH から FTDRL の順に書いてください。

TDAT[8:0]ビット（シリアル送信データ）

TDAT[8:0]ビットは、シリアル送信データを設定します。調歩同期式モード（マルチプロセッサを含む）またはクロック同期式モードにおいて、FIFO 選択時にのみ有効です。

MPBT フラグ（マルチプロセッサ転送ビットフラグ）

MPBT フラグは、送信フレームのマルチプロセッサビットの値を指定します。FCR.FM = 1 の場合、SSR.MPBT ビットは無効です。

26.2.10 TSR : 送信シフトレジスタ

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。シリアルデータ送信を行う場合、SCI は最初、TDR、TDRHL、または送信 FIFO から TSR レジスタへ送信データを自動転送し、その後、そのデータを TXDn 端子に送出します。CPU から TSR レジスタに直接アクセスすることはできません。

26.2.11 SMR : 非スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 0)

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CKS[1:0]	クロック選択 0 0: PCLK クロック (n = 0)(注1) 0 1: PCLK/4 クロック (n = 1)(注1) 1 0: PCLK/16 クロック (n = 2)(注1) 1 1: PCLK/64 クロック (n = 3)(注1)	R/W(注4)

ビット	シンボル	機能	R/W
2	MP	マルチプロセッサモード 調歩同期式モードでのみ有効です。 0: マルチプロセッサ通信機能は無効 1: マルチプロセッサ通信機能は有効	R/W(注4)
3	STOP	ストップビット長 調歩同期式モードでのみ有効です。 0: 1 ストップビット 1: 2 ストップビット	R/W(注4)
4	PM	パリティモード PE ビット = 1 の場合にのみ有効です。 0: 偶数パリティ 1: 奇数パリティ	R/W(注4)
5	PE	パリティ許可 調歩同期式モードでのみ有効です。 0: 送信時パリティビットを付加しない 受信時パリティビットをチェックしない 1: 送信時パリティビットを付加する 受信時パリティビットをチェックする	R/W(注4)
6	CHR	キャラクタ長 調歩同期式モードでのみ有効です。(注2) SCMR.CHR1 ビットと組み合わせて送受信キャラクタ長を選択します。 0: SCMR.CHR1 = 0: データ長 9 ビットで送受信 SCMR.CHR1 = 1: データ長 8 ビットで送受信（初期値） 1: SCMR.CHR1 = 0: データ長 9 ビットで送受信 SCMR.CHR1 = 1: データ長 7 ビットで送受信(注3)	R/W(注4)
7	CM	通信モード 0: 調歩同期式モード、または簡易 IIC モード 1: クロック同期式モード、または簡易 SPI モード	R/W(注4)

注 1. n は BRR レジスタの設定値を 10 進表記で示します。「26.2.20. BRR : ビットレートレジスタ」を参照してください。
注 2. 調歩同期式モード以外では、本ビットの設定は無効であり、データ長は 8 ビット固定です。
注 3. LSB ファースト固定となり、送信モードでは TDR レジスタの MSB（ビット[7]）は送信されません。
注 4. SCR.TE ビットと SCR.RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

SMR レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

CKS[1:0]ビット（クロック選択）

CKS[1:0]ビットは内蔵ボーレートジェネレータのクロックソースを選択します。これらのビットの設定値とボーレートの関係については、「26.2.20. BRR : ビットレートレジスタ」を参照してください。

MP ビット（マルチプロセッサモード）

MP ビットは、マルチプロセッサ通信機能を有効または無効にします。マルチプロセッサモードでは、PE および PM ビットの設定は無効です。

STOP ビット（ストップビット長）

STOP ビットは、送信データのストップビット長を選択します。

受信時には、このビットの設定にかかわらず、受信したストップビットの 1 ビット目のみがチェックされます。2 ビット目が 0 の場合は、次の送信フレームのスタートビットと見なされます。

PM ビット（パリティモード）

PM ビットは、送受信時のパリティ（偶数パリティ／奇数パリティ）を選択します。マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット（パリティ許可）

PE ビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットでは、PE ビットの設定にかかわらず、パリティビットの付加、チェックは行いません。

CHR ビット（キャラクタ長）

CHR ビットは、SCMR.CHR1 ビットと組み合わせて、送受信データのデータ長を選択します。調歩同期式モード以外では、データ長は 8 ビット固定です。

CM ビット（通信モード）

CM ビットは、通信モードを以下から選択します。

- 調歩同期式モード、または簡易 IIC モード
- クロック同期式モード、または簡易 SPI モード

26.2.12 SMR_SMCI : スマートカードインタフェースモード用シリアルモードレジスタ (SCMR.SMIF = 1)

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CKS[1:0]	クロック選択 0 0: PCLK クロック (n = 0)(注1) 0 1: PCLK/4 クロック (n = 1)(注1) 1 0: PCLK/16 クロック (n = 2)(注1) 1 1: PCLK/64 クロック (n = 3)(注1)	R/W(注2)
3:2	BCP[1:0]	基本クロックパルス SCMR.BCP2 ビットと組み合わせて基本クロックのサイクル数を選択します。 表 26.4 に、SCMR.BCP2 ビットと SMR.BCP[1:0]ビットの組み合わせを示します。	R/W(注2)
4	PM	パリティモード PE ビット = 1 の場合にのみ有効です。 0: 偶数パリティ 1: 奇数パリティ	R/W(注2)
5	PE	パリティ許可 PE ビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、本ビットを 1 にしてください。	R/W(注2)
6	BLK	ブロック転送モード 0: 通常モードで動作します 1: ブロック転送モードで動作	R/W(注2)
7	GM	GSM モード 0: 通常モードで動作します 1: GSM モードで動作	R/W(注2)

注 1. n は BRR レジスタの設定値を 10 進表記で示します。「26.2.20. BRR : ビットレートレジスタ」を参照してください。
注 2. SCR_SMCI.TE ビットと SCR_SMCI.RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

SMR_SMCI レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

CKS[1:0]ビット（クロック選択）

CKS[1:0]ビットは内蔵ボーレートジェネレータのクロックソースを選択します。これらのビットの設定値とボーレートの関係については、「26.2.20. BRR : ビットレートレジスタ」を参照してください。

BCP[1:0]ビット（基本クロックパルス）

BCP[1:0]ビットは、スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロック数を選択します。SCMR.BCP2 ビットと組み合わせて設定します。

詳細は「26.7.4. 受信データサンプリングタイミングと受信マージン」を参照してください。

表 26.4　SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0]ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0]ビット	1 ビット転送時間中の基本クロック数(注1)
0	00b ビット	93 クロック (S = 93)
0	01b ビット	128 クロック (S = 128)
0	10b ビット	186 クロック (S = 186)
0	11b ビット	512 クロック (S = 512)
1	00b ビット	32 クロック (S = 32)（初期値）
1	01b ビット	64 クロック (S = 64)
1	10b ビット	372 クロック (S = 372)
1	11b ビット	256 クロック (S = 256)

注 1.　S は BRR レジスタの S の値を表します（「26.2.20. BRR : ビットレートレジスタ」を参照してください）。

PM ビット（パリティモード）

PM ビットは、送受信時のパリティモード（偶数パリティ／奇数パリティ）を選択します。スマートカードインタフェースモードにおけるこのビットの使用方法については、「26.7.2. データフォーマット（ブロック転送モード時を除く）」を参照してください。

PE ビット（パリティ許可）

PE ビットを 1 にする。送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット（ブロック転送モード）

BLK ビットを 1 にすると、ブロック転送モードで動作します。詳細は「26.7.3. ブロック転送モード」を参照してください。

GM ビット（GSM モード）

GM ビットを 1 にすると、GSM モードで動作します。GSM モードでは、SSR_SMCI.TEND フラグのセットタイミングが、先頭ビットから 11.0 ETU（Elementary Time Unit = 1 ビット転送時間）に繰り上げられ、クロック出力制御が追加されます。詳細は、「26.7.6. シリアルデータの送信（ブロック転送モードを除く）」および「26.7.8. クロック出力制御」を参照してください。

26.2.13　SCR : 非スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 0)

Base address:　SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address:　0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CKE[1:0]	クロック許可 0 0:　調歩同期式モードでは、入出力ポートの設定に基づき、SCKn 端子は入出力ポートとして使用できます。 クロック同期モードでは、SCKn 端子はクロック出力端子となります。 0 1:　調歩同期式モードでは、SCKn 端子からビットレートと同じ周波数のクロックを出力します。 クロック同期モードでは、SCKn 端子はクロック出力端子となります。 その他:　調歩同期式モードでは、SEMR.ABCS ビットが 0 の場合、SCKn 端子からビットレートの 16 倍の周波数のクロックを入力してください。SEMR.ABCS ビットが 1 の場合、ビットレートの 8 倍の周波数のクロック信号を入力してください。 クロック同期モードでは、SCKn 端子はクロック入力端子となります。	R/W(注1)

ビット	シンボル	機能	R/W
2	TEIE	送信終了割り込み許可 0: SCIn_TEI 割り込み要求を禁止 1: SCIn_TEI 割り込み要求を許可	R/W
3	MPIE	マルチプロセッサ割り込み許可 調歩同期式モードで、SMR.MP ビット = 1 のとき有効です。 0: 通常の受信動作 1: マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み飛ばし、SSR レジスタの RDRF、ORER および FER の各ステータスフラグを 1 にすることはできません。また、MESR 内のステータスフラグ SYER、PFER、および SBER が無効になります。 マルチプロセッサビットが 1 のデータを受信した場合、MPIE ビットは自動的に 0 にクリアされ、通常の受信動作に戻ります。	R/W(注3)
4	RE	受信許可 0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W(注2)
5	TE	送信許可 0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W(注2)
6	RIE	受信割り込み許可 0: SCIn_RXI および SCIn_ERI 割り込み要求を禁止 1: SCIn_RXI および SCIn_ERI 割り込み要求を許可	R/W
7	TIE	送信割り込み許可 0: SCIn_TXI 割り込み要求を禁止 1: SCIn_TXI 割り込み要求を許可	R/W

注 1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。
注 2. SMR.CM ビットが 1 のとき、TE ビット = 0 かつ RE ビット = 0 の場合にのみ 1 の書き込みが可能です。TE ビットまたは RE ビットを 1 にした後は、TE ビットと RE ビットには 0 の書き込みのみが可能です。SMR.CM ビットが 0、かつ SIMR1.IICM ビットが 0 の場合、任意のタイミングで書き込みが可能です。
注 3. マルチプロセッサモード（SMR.MP ビット = 1）では、このレジスタの MPIE ビット以外のビットに新しい値を書き込む場合、ビット操作命令を用いたときにリードモディファイライト命令によって MPIE ビットが誤って 1 になってしまうのを防ぐため、ストア命令を用いて MPIE ビットに 0 を書いてください。

SCR レジスタは、送受信の制御とクロックソース選択を行うためのレジスタです。

CKE[1:0]ビット（クロック許可）

CKE[1:0]ビットは、クロックソースと SCKn 端子機能を選択します。

TEIE ビット（送信終了割り込み許可）

TEIE ビットは、SCIn_TEI 割り込み要求を許可または禁止します。SCIn_TEI 割り込み要求を禁止にするには、TEIE ビットを 0 にしてください。

簡易 IIC モードでは、開始／再開始／停止条件の発行完了時の割り込み（STIn 割り込み）に SCIn_TEI 割り込みが割り当てられます。この場合、TEIE ビットによって STI 割り込み要求を許可または禁止することが可能です。

MPIE ビット（マルチプロセッサ割り込み許可）

MPIE ビットを 1 にすると、マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み出されず、SSR/SSR_FIFO レジスタの RDRF、ORER、FER、RDF、および DR の各ステータスフラグを 1 にすることはできません。マルチプロセッサビットが 1 のデータを受信した場合、MPIE ビットは自動的に 0 になり、通常の受信動作が再開されます。詳細は「26.4. マルチプロセッサ通信機能」を参照してください。

SSR レジスタの MPB ビットが 0 のときは、RSR レジスタから RDR レジスタへ受信データは転送されず、受信エラーも検出されません。また、ORER および FER フラグを 1 にすることはできません。

MPB ビットが 1 であると、MPIE ビットは自動的に 0 に設定され、SCIn_RXI および SCIn_ERI 割り込み要求が許可されます（SCR.RIE ビットが 1 の場合）。また、ORER および FER フラグを 1 に設定できます。

マルチプロセッサ通信機能を使用しない場合、MPIE ビットを 0 にしてください。

RE ビット（受信許可）

RE ビットは、シリアル受信動作を許可または禁止します。RE ビットを 1 にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を検出することによって、シリアル受信を開始します。RE ビットを 1 にする前に、SMR レジスタに受信フォーマットを設定してください。

非 FIFO 動作では、RE ビットを 0 にして受信動作を停止させても、SSR レジスタの RDRF、ORER、FER、および PER の各フラグは影響を受けず、以前の値が保持されます。

FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR_FIFO レジスタの RDF、ORER、FER、PER、および DR の各フラグは影響を受けず、以前の値が保持されます。

TE ビット（送信許可）

TE ビットはシリアル送信動作を許可または禁止します。

TE ビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。TE ビットを 1 にする前に、SMR レジスタに送信フォーマットを設定してください。

RIE ビット（受信割り込み許可）

RIE ビットは、SCIn_RXI および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI および SCIn_ERI 割り込み要求が禁止されます。

SCIn_ERI 割り込み要求の解除は、SSR/SSR_FIFO レジスタの ORER、FER、または PER フラグから 1 を読み出した後に 0 にするか、RIE ビットを 0 にすることで行うことができます。

TIE ビット（送信割り込み許可）

TIE ビットは SCIn_TXI 割り込み要求を許可または禁止します。TIE ビットを 0 にすると、SCIn_TXI 割り込み要求が禁止されます。

注. FIFO モードで TIE ビット値を 0 から 1 に切り替えるには、TIE ビットと TE ビットを同時に 1 に設定するか、TE = 1 のときに TIE ビットを 1 に設定します。FIFO モードで TE = 0 の場合、TIE ビットを 1 に設定することは禁止されています。

26.2.14 SCR_SMCI : スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1)

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CKE[1:0]	クロック許可 0 0: SMR_SMCI.GM = 0 の場合：出力禁止 SCKn 端子は、入出力ポートの設定でセットアップされている場合は入出力ポートとして使用できます。 SMR_SMCI.GM = 1 の場合：出力を Low に固定 0 1: SMR_SMCI.GM = 0 の場合：出力クロック SMR_SMCI.GM = 1 の場合：出力クロック 1 0: SMR_SMCI.GM = 0 の場合：設定禁止 SMR_SMCI.GM = 1 の場合：出力を High に固定 1 1: SMR_SMCI.GM = 0 の場合：設定禁止 SMR_SMCI.GM = 1 の場合：出力クロック	R/W(注1)
2	TEIE	送信終了割り込み許可 スマートカードインタフェースモードでは、このビットを 0 にしてください。	R/W
3	MPIE	マルチプロセッサ割り込み許可 スマートカードインタフェースモードでは、本ビットを 0 にしてください。	R/W

ビット	シンボル	機能	R/W
4	RE	受信許可 0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W(注2)
5	TE	送信許可 0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W(注2)
6	RIE	レシーブインタラプト許可 0: SCIn_RXI および SCIn_ERI 割り込み要求を禁止 1: SCIn_RXI および SCIn_ERI 割り込み要求を許可	R/W
7	TIE	送信割り込み許可 0: SCIn_TXI 割り込み要求を禁止 1: SCIn_TXI 割り込み要求を許可	R/W

注 1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。
注 2. TE ビット = 0 かつ RE ビット = 0 の場合にのみ、1 の書き込みが可能です。TE ビットまたは RE ビットを 1 にした後は、TE ビットと RE ビットには 0 の書き込みのみが可能です。

SCR_SMCI レジスタは、送受信制御、割り込み制御、および送受信のクロックソース選択を行うためのレジスタです。

各割り込み要求については、「26.11. 割り込み要因」を参照してください。

CKE[1:0]ビット（クロック許可）

CKE[1:0]ビットは SCKn 端子からのクロック出力を制御します。GSM モードでは、クロック出力を動的に切り替えることが可能です。詳細は、「26.7.8. クロック出力制御」を参照してください。

TEIE ビット（送信終了割り込み許可）

スマートカードインタフェースモードでは、TEIE ビットを 0 にしてください。

MPIE ビット（マルチプロセッサ割り込み許可）

スマートカードインタフェースモードでは、MPIE ビットを 0 にしてください。

RE ビット（受信許可）

RE ビットはシリアル受信動作を許可または禁止します。RE ビットを 1 にすると、スタートビットを検出することでシリアル受信を開始します。RE ビットを 1 にする前に、SMR_SMCI レジスタに受信フォーマットを設定してください。

RE ビットを 0 にして受信動作を停止しても、SSR_SMCI レジスタの ORER、FER、および PER の各フラグは影響を受けず、以前の値を保持します。

TE ビット（送信許可）

TE ビットはシリアル送信動作を許可または禁止します。TE ビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。TE ビットを 1 にする前に、SMR_SMCI レジスタに送信フォーマットを設定してください。

RIE ビット（レシーブインタラプト許可）

RIE ビットは SCIn_RXI および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI および SCIn_ERI 割り込み要求が禁止されます。

SCIn_ERI 割り込み要求の解除は、SSR_SMCI レジスタの ORER、FER、または PER フラグから 1 を読み出した後にフラグを 0 にするか、あるいは RIE ビットを 0 にすることで行うことができます。

TIE ビット（送信割り込み許可）

TIE ビットは SCIn_TXI 割り込み要求を許可または禁止します。TIE ビットを 0 にすると、SCIn_TXI 割り込み要求が禁止されます。

26.2.15 SSR : 非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ（SCMR.SMIF = 0、FCR.FM = 0、および MMR.MANEN = 0）

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
Value after reset:	1	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
0	MPBT	マルチプロセッサビット転送 送信フレーム中のマルチプロセッサビットの値を設定します。 0: データ送信サイクル 1: ID 送信サイクル	R/W
1	MPB	マルチプロセッサ 受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID 送信サイクル	R
2	TEND	送信終了フラグ 0: キャラクタを送信中 1: キャラクタを送信終了	R
3	PER	パリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R(/W) (注1)
4	FER	フレーミングエラーフラグ 0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R(/W) (注1)
5	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R(/W) (注1)
6	RDRF	受信データフルフラグ 0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R(/W) (注1)
7	TDRE	送信データエンプティフラグ 0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R(/W) (注1)

注 1.　フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR レジスタは、SCI ステータスフラグと送受信マルチプロセッサビットを設定するためのレジスタです。

MPBT ビット（マルチプロセッサビット転送）

MPBT ビットは、送信フレームのマルチプロセッサビットの値を設定します。

MPB ビット（マルチプロセッサ）

MPB ビットは受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが 0 のときは変化しません。

TEND フラグ（送信終了フラグ）

TEND フラグは、送信が終了したことを示します。

[1 になる条件]

- SCR.TE ビットが 0（シリアル送信動作を禁止）、かつ FCR.FM ビットが 0（非 FIFO 選択時）のとき SCR.TE ビットが 1 のときは、TEND フラグは影響を受けず、1 の値を保持します
- 送信キャラクタの末尾ビットの送信時、TDR レジスタが更新されないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TDRE = 1 を読んだ後、TDRE に 0 を書いたとき

PER フラグ（パリティエラーフラグ）

PER フラグは調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、パリティエラーが検出されたとき

  パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCIn_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- PER = 1 を読んだ後、PER = 0 を書いたとき。PER フラグに 0 を書いた後は、PER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず、以前の値を保持します。

FER フラグ（フレーミングエラーフラグ）

FER フラグは、調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、ストップビットとして 0 がサンプリングされたとき

  2 ストップビットモードでは、ストップビットの 1 ビット目のみがチェックされます。2 ビット目はチェックされません。フレーミングエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCIn_RXI 割り込み要求は発生しません。FER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- FER = 1 を読んだ後、FER = 0 を書いたとき。FER フラグに 0 を書いた後は、FER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、FER フラグは影響を受けず、以前の値を保持します。

ORER フラグ（オーバーランエラーフラグ）

ORER フラグは受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーもフレーミングエラーもない受信データを読み出す前に、次のデータを受信したとき

  オーバーランエラーが発生する前に受信したデータは RDR レジスタに保持されますが、発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。クロック同期式モードでは、シリアル送受信は停止します。

[0 になる条件]

- ORER = 1 を読んだ後、ORER = 0 を書いたとき。ORER フラグに 0 を書いた後は、ORER フラグを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ（受信データフルフラグ）

RDRF レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- RDRF = 1 を読んだ後、RDRF = 0 を書いたとき
- RDR レジスタからデータを転送したとき

TDRE フラグ（送信データエンプティフラグ）

TDRE フラグは TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- TDRE = 1 を読んだ後、TDRE = 0 を書いたとき
- SCR.TE ビットが 1 の状態で、データを TDR レジスタに書き込んだとき

26.2.16　SSR_FIFO : 非スマートカードインタフェースおよび FIFO モード用シリアルステータスレジスタ（SCMR.SMIF = 0、FCR.FM = 1、および MMR.MANEN = 0）

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDFE	RDF	ORER	FER	PER	TEND	—	DR
Value after reset:	1	0	0	0	0	0	x	0

ビット	シンボル	機能	R/W
0	DR	受信データレディフラグ 0: 受信中であるか、または正常に受信を完了した後、FRDRHL に受信データが残っていない（受信 FIFO が空である） 1: FIFO に格納されているデータ数が受信トリガ数以下であるとき、正常に受信を完了した後、次の受信データが一定期間来ない	R/W(注1)
1	—	読み出し値は不定です。書く場合、1 としてください。	R/W
2	TEND	送信終了フラグ 0: キャラクタを送信中 1: キャラクタを送信終了	R/W(注1)
3	PER	パリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W(注1)
4	FER	フレーミングエラーフラグ 0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/W(注1)
5	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W(注1)
6	RDF	受信 FIFO データフルフラグ 0: FRDRHL に書き込まれた受信データ量が指定された受信トリガ数より少ない 1: FRDRHL に書き込まれた受信データ量が指定された受信トリガ数以上である	R/W(注1)
7	TDFE	送信 FIFO データエンプティフラグ 0: FTDRHL に書き込まれた送信データ量が指定された送信トリガ数を超えている 1: FTDRHL に書き込まれた送信データ量が指定された送信トリガ数以下である	R/W(注1)

注 1.　フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR_FIFO レジスタは、FIFO モード用のステータスフラグのためのレジスタです。

DR フラグ（受信データレディフラグ）

DR フラグは、受信 FIFO データレジスタ (FRDRHL) に格納されたデータ量が指定された受信トリガ数より少ないこと、および、調歩同期式モードにおいて最後のストップビットから 15 ETU (Elementary Time Unit) 経過しても次のデータが受信されていないことを示します。本フラグは、調歩同期式モード（マルチプロセッサモードを含む）において、FIFO 選択時にのみ有効です。

クロック同期式モードでは、DR フラグは 1 になりません。

[1 になる条件]

- FRDRHL 内のデータ数が指定された受信トリガ数より少なく、最後のストップビットから 15 ETU(注1)経過しても次のデータが受信されておらず、SSR_FIFO.FER および SSR_FIFO.PER フラグが 0 のとき

[0 になる条件]

- 受信データをすべて読み出した後、DR フラグから 1 を読み出したとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

注 1. 15ETU は、8 ビットフォーマットで 1 ストップビットが選択されている場合の 1.5 フレーム分に相当します。

DR フラグは、調歩同期式モード（マルチプロセッサモードを含む）において、FIFO 選択時にのみ 1 になります。他の動作モードでは 1 になりません。

TEND フラグ（送信終了フラグ）

TEND フラグは、シリアルキャラクタの最後尾ビットの送信時に、FTDRHL レジスタに有効なデータがなく、送信が停止したことを示します。

[1 になる条件]

- 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に、FTDRHL レジスタに送信データがないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、FTDRHL レジスタ(注1)に送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TEND から 1 を読み出した後、TEND に 0 を書き込んだとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

注 1. SCIn_TXI 割り込み要求に応じて DTC が FTDRHL レジスタにデータを書き込む場合は、TEND ビットを送信終了フラグとして使用しないでください。

PER フラグ（パリティエラーフラグ）

PER フラグは、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき、調歩同期式モードで FRDRHL レジスタから読み出したデータにパリティエラーが存在するか否かを示します。

[1 になる条件]

- アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、データ受信時にパリティエラーが検出されたとき

[0 になる条件]

- PER = 1 を読んだ後、PER = 0 を書いたとき

データ受信中にパリティエラーが発生しても、受信動作は継続し、受信データが FRDRHL レジスタに格納されます。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず、以前の値を保持します。

FER フラグ（フレーミングエラーフラグ）

FER フラグは、アドレス一致検出機能が無効 (DCCR.DCME = 0) のとき、調歩同期式モードで FRDRHL レジスタから読み出したデータにフレーミングエラーが存在するか否かを示します。

[1 になる条件]

- アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、受信時にストップビットとして 0 がサンプリングされたとき

[0 になる条件]

- FER = 1 を読んだ後、FER = 0 を書いたとき

データ受信中にフレーミングエラーが発生しても、受信動作は継続し、受信データが FRDRHL レジスタに格納されます。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、FER フラグは影響を受けず、以前の値を保持します。

ORER フラグ（オーバーランエラーフラグ）

ORER フラグは、オーバーランエラーの発生が原因で受信動作が異常停止したことを示します。

[1 になる条件]

- 受信 FIFO が 16 バイトの受信データでフルになった状態で、次のシリアル受信を完了したとき

[0 になる条件]

- ORER = 1 を読んだ後、ORER = 0 を書いたとき

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDF フラグ（受信 FIFO データフルフラグ）

RDF フラグは、受信データが FRDRHL レジスタへ転送されて、FRDRHL 内のデータ量が指定された受信トリガ数と等しいか、または超えたことを示します。RTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、RDF フラグは 1 になりません。

[1 になる条件]

- 指定された受信トリガ数以上の受信データ量が FRDRHL レジスタ(注1)に格納され、かつ FIFO が空状態ではないとき

[0 になる条件]

- RDF = 1 を読んだ後、RDF = 0 を書いたとき
- FRDRHL レジスタが DTC によって読み出されたとき（ブロック転送が最終送信の場合のみ）
- 1 になる条件と 0 になる条件が同時に発生したとき この場合、RDF フラグは 0 になります。その後、FRDRHL レジスタに格納されたデータ量が RTRG の値以上になると、1PCLK 後に RDF フラグは 1 になります。

注 1. FRDRHL は 16 段の FIFO レジスタであるため、RDF が 1 のときに読み出し可能な最大のデータ数は、指定された受信トリガ数と同等です。FRDRHL 内のデータをすべて読み出した後に、さらに読み出しを実行すると、不定値が読み出されます。

TDFE フラグ（送信 FIFO データエンプティフラグ）

TDFE フラグは、データが FTDRHL レジスタから TSR レジスタへ転送され、FTDRHL 内のデータ量が指定された送信トリガ数を下回り、FTDRHL への送信データの書き込みが可能になったことを示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- FTDRHL に書き込まれた送信データ量が、指定された送信トリガ数以下であるとき(注1)

[0 になる条件]

- DTC が起動している状態で、最終送信に対する FTDRHL への書き込みが実行されたとき
- TDFE = 1 を読んだ後、TDFE フラグに 0 を書いたとき(注2)
  TE = 0 のときは、1 になる条件が優先されます。1 になる条件と 0 になる条件が同時に発生した場合、TDFE フラグは 0 になります。その後、FTDRHL レジスタに格納されたデータ量が TTRG の値以下になると、1PCLK 後に TDFE フラグは 1 になります。

注 1. FTDRHL レジスタは 16 段の FIFO レジスタであるため、TDFE フラグが 1 のときに FTDRHL レジスタに書き込み可能なデータの最大バイト数は“16 - FDR.T[4:0]”になります。さらにデータを書き込んでも、そのデータは破棄されます。

注 2. DTC によるブロック転送処理中には、TDFE フラグをクリアしないでください。

26.2.17 SSR_SMCI : スマートカードインタフェースモード用シリアルステータスレジスタ（SCMR.SMIF = 1 かつ MMR.MANEN = 0）

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
Value after reset:	1	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
0	MPBT	マルチプロセッサビット転送 スマートカードインタフェースモードでは、本ビットを 0 にしてください。	R/W
1	MPB	マルチプロセッサ スマートカードインタフェースモードでは、本ビットを 0 にしてください。	R
2	TEND	送信終了フラグ 0: キャラクタを送信中 1: キャラクタを送信終了	R
3	PER	パリティエラーフラグ 0: パリティエラーなし 1: パリティエラーの発生あり	R/W(注1)
4	ERS	エラーシグナルステータスフラグ 0: エラーシグナル Low 応答なし 1: エラーシグナル Low 応答あり	R/W(注1)
5	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W(注1)
6	RDRF	受信データフルフラグ 0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R/W(注1)
7	TDRE	送信データエンプティフラグ 0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R/W(注1)

注 1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR_SMCI レジスタは、スマートカードインタフェースモード用のステータスフラグのためのレジスタです。

TEND フラグ（送信終了フラグ）

受信側からエラー信号がなく、次の送信データが TDR レジスタに転送可能となったとき、TEND フラグは 1 になります。

[1 になる条件]

- SCR_SMCI.TE ビット = 0（シリアル送信動作を禁止）のとき
  SCR_SMCI.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、1 の値を保持します。
- 1 バイトのデータを送信してから指定した期間が経過した後、ERS フラグが 0 で、TDR レジスタが更新されないとき

  1 になるタイミングは、以下のように、レジスタの設定値によって決定されます。
  - SMR_SMCI.GM = 0、SMR_SMCI.BLK = 0 のとき、送信開始から 12.5 ETU 経過後
  - SMR_SMCI.GM = 0、SMR_SMCI.BLK = 1 のとき、送信開始から 11.5 ETU 経過後
  - SMR_SMCI.GM = 1、SMR_SMCI.BLK = 0 のとき、送信開始から 11.0 ETU 経過後
  - SMR_SMCI.GM = 1、SMR_SMCI.BLK = 1 のとき、送信開始から 11.0 ETU 経過後

[0 になる条件]

- SCR_SMCI.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR_SMCI.TE ビットが 1 の状態で、TDRE = 1 を読んだ後、TDRE に 0 を書いたとき

PER フラグ（パリティエラーフラグ）

PER フラグは調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 受信中にパリティエラーが検出されたとき。パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCIn_RXI 割り込み要求は発生しません。PER フラグが 1 になった後は、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- PER = 1 を読んだ後、PER = 0 を書いたとき。PER フラグに 0 を書いた後は、フラグを読み出して、実際に 0 になっていることを確認してください。

SCR_SMCI.RE ビットを 0（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず、以前の値を保持します。

ERS フラグ（エラーシグナルステータスフラグ）

[1 になる条件]

- エラーシグナル Low をサンプリングしたとき

[0 になる条件]

- ERS = 1 を読んだ後、ERS = 0 を書いたとき

ORER フラグ（オーバーランエラーフラグ）

ORER フラグは受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタからパリティエラーのない受信データを読み出す前に、次のデータを受信したとき。オーバーランエラーが発生する前に受信したデータは RDR レジスタに保持されますが、発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。

[0 になる条件]

- ORER = 1 を読んだ後、ORER = 0 を書いたとき。ORER フラグに 0 を書いた後は、フラグを読み出して、実際に 0 になっていることを確認してください。

SCR_SMCI.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ（受信データフルフラグ）

RDRF レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[0 になる条件]

- RDRF = 1 を読んだ後、RDRF = 0 を書いたとき
- RDR レジスタからデータを転送したとき

TDRE フラグ（送信データエンプティフラグ）

TDRE フラグは TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR_SMCI.TE ビットが 0 のとき

- TDR レジスタから TSR レジスタへデータが転送されたとき

[0 になる条件]

- TDRE = 1 を読んだ後、TDRE = 0 を書いたとき
- SCR_SMCI.TE ビットが 1 の状態でデータを TDR レジスタに書き込んだとき

26.2.18　SSR_MANC : マンチェスタモード用シリアルステータスレジスタ（SCMR.SMIF = 0 かつ MMR.MANEN = 1）

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MER
Value after reset:	1	0	0	0	0	1	0	0

ビット	シンボル	機能	R/W
0	MER	マンチェスタエラーフラグ マンチェスタモードでのみ有効 0: マンチェスタエラーの発生なし 1: マンチェスタエラーの発生あり	R/(W) (注1)
1	MPB	マルチプロセッサ 受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID 送信サイクル	R
2	TEND	送信終了フラグ 0: キャラクタを送信中 1: キャラクタを送信終了	R
3	PER	パリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
4	FER	フレーミングエラーフラグ 0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
5	ORER	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/(W) (注1)
6	RDRF	受信データフルフラグ 0: RDR レジスタに受信データなし 1: RDR レジスタに受信データあり	R/(W) (注1)
7	TDRE	送信データエンプティフラグ 0: TDR レジスタに送信データあり 1: TDR レジスタに送信データなし	R/(W) (注1)

注 1.　フラグが 1 になっていることを確認した（読み出した）後、フラグをクリアするために 0 のみ書き込みが可能です。

SSR は SCI のステータスフラグと受信マルチプロセッサビット内に構成されます。

MER フラグ（マンチェスタエラーフラグ）

マンチェスタモードでデータを受信すると、マンチェスタエラーが検出され表示されます。

[1 になる条件]

- マンチェスタモードでの受信中に、受信フレームのデータ領域でマンチェスタコードエラーを検出したとき。
  エラー発生時は受信データが RDR レジスタに転送されますが、RXI 割り込み要求は発生せず、ERI 割り込み要求が発生します。
  マンチェスタエラーフラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。
  マンチェスタエラーの詳細については、「26.5.11. マンチェスタモードにおけるエラー」を参照してください。

[0 になる条件]

- MER = 1 を読んだ後、MER に 0 を書いたとき（0 を書いた後は、 MER ビットを読んで実際に 0 になっていることを確認してください。）
  SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、MER フラグは影響を受けず、以前の値を保持します。

MPB フラグ（マルチプロセッサ）

受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが 0 のときは変化しません。

TEND フラグ（送信終了フラグ）

送信が終了したことを示します。

[1 になる条件]

- SCR.TE ビットが 0（シリアル送信動作を禁止）、かつ FCR.FM ビットが 0（非 FIFO 選択時）のとき
  SCR.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、1 の値を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TDRE = 1 を読んだ後、TDRE に 0 を書いたとき

PER フラグ（パリティエラーフラグ）

調歩同期式モードでの受信時に、パリティエラーが発生して異常終了したことを示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、パリティエラーが検出されたとき
  パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

[0 になる条件]

- PER = 1 を読んだ後、PER に 0 を書いたとき（0 を書いた後は、 PER ビットを読んで実際に 0 になっていることを確認してください。）

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず、以前の値を保持します。

FER フラグ（フレーミングエラーフラグ）

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

[1 になる条件]

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効 (DCCR.DCME = 0) の状態で、ストップビットとして 0 がサンプリングされたとき
  2 ストップビットモードでは、ストップビットの 1 ビット目のみが 1 であるかチェックされ、2 ビット目はチェックされません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが 1 にされた状態では、以降の受信データは RDR レジスタに転送されません。

[0 になる条件]

- FER = 1 を読んだ後、FER に 0 を書いたとき（0 を書いた後は、 FER ビットを読んで実際に 0 になっていることを確認してください。）

SCR.RE ビットを 0 にしても、FER フラグは影響を受けず、以前の値を保持します。

ORER フラグ（オーバーランエラーフラグ）

受信時にオーバーランエラーが発生して異常終了したことを示します。

[1 になる条件]

- RDR レジスタから受信エラーのない受信データを読み出す前に次のデータを受信したとき
  RDR レジスタは、オーバーランエラーが発生する前の受信データを保持しますが、後から受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。クロック同期式モードでは、シリアル送受信は停止することに注意してください。

[0 になる条件]

- ORER = 1 を読んだ後、ORER に 0 を書いたとき（0 を書いた後は、 ORER ビットを読んで実際に 0 になっていることを確認してください。）

SCR.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ（受信データフルフラグ）

RDR レジスタ内の受信データの有無を示します。

[1 になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタに受信データが転送されたとき

[0 になる条件]

- 1 を読んだ後に、0 を書いたとき
- RDR レジスタからデータを読み出したとき

TDRE フラグ（送信データエンプティフラグ）

TDR レジスタ内の送信データの有無を示します。

[1 になる条件]

- SCR.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタにデータが転送されたとき

[0 になる条件]

- 1 を読み出した後に、0 を書き込んだとき
- SCR.TE ビットが 1 の状態で、TDR レジスタに書き込んだとき

注. 通信が中断されない限り、RDRF と TDRE は SSR レジスタを使用してクリアしないでください。

26.2.19 SCMR : スマートカードモードレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	BCP2	—	—	CHR1	SDIR	SINV	—	SMIF
Value after reset:	1	1	1	1	0	0	1	0

ビット	シンボル	機能	R/W
0	SMIF	スマートカードインタフェースモード選択 0: 非スマートカードインタフェースモード （調歩同期式モード、クロック同期式モード、簡易 SPI モード、または簡易 IIC モード） 1: スマートカードインタフェースモード	R/W(注1)
1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

ビット	シンボル	機能	R/W
2	SINV	送受信データ反転 簡易 IIC モードで動作させる場合は、SINV ビットを 0 にしてください。 通信端子 (RXD, TXD) のレベルは、本ビットと SPTR.TINV/RINV ビットの組み合わせにより制御されます。詳細は図 26.2 を参照してください。 SINV ビットは以下のモードで使用可能です。 ● スマートカードインタフェースモード ● 調歩同期式モード（マルチプロセッサモードを含む） ● クロック同期式モード ● 簡易 SPI モード 0: TDR レジスタの内容をそのまま送信。受信データをそのまま RDR レジスタに格納。 1: TDR レジスタの内容を反転して送信。受信データを反転して RDR レジスタに格納	R/W(注1)
3	SDIR	送受信データ転送方向 簡易 IIC モードで動作させる場合は、SDIR ビットを 1 にしてください。 SDIR ビットは以下のモードで使用可能です。 ● スマートカードインタフェースモード ● 調歩同期式モード（マルチプロセッサモードを含む） ● クロック同期式モード ● 簡易 SPI モード 0: LSB ファースト転送 1: MSB ファースト転送	R/W(注1)
4	CHR1	キャラクタ長 1 調歩同期式モードでのみ有効です。(注2) SMR.CHR ビットと組み合わせて送受信キャラクタ長を選択します。 0: SMR.CHR = 0：データ長 9 ビットで送受信 SMR.CHR = 1：データ長 9 ビットで送受信 1: SMR.CHR = 0：データ長 8 ビットで送受信（初期値） SMR.CHR = 1：データ長 7 ビットで送受信(注3)	R/W(注1)
6:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7	BCP2	基本クロックパルス 2 SMR_SMCI.BCP[1:0]ビットと組み合わせて基本クロックのサイクル数を選択します。 表 26.5 に、SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0]ビットの組み合わせを示します。	R/W(注1)

注 1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。
注 2. 調歩同期式モード以外では、本ビットの設定は無効であり、データ長は 8 ビット固定となります。
注 3. LSB ファーストを選択する必要があります。TDR レジスタの MSB（ビット［7］）の値は送信されません。

SCMR レジスタは、スマートカードインタフェースと通信フォーマットを選択するためのレジスタです。

SMIF ビット（スマートカードインタフェースモード選択）

SMIF ビットを 1 にすると、スマートカードインタフェースモードが選択されます。本ビットを 0 にすると、下記のすべてのモードが選択されます。

- 調歩同期式モード（マルチプロセッサモードを含む）
- クロック同期式モード
- 簡易 SPI モード
- 簡易 IIC モード

SINV ビット（送受信データ反転）

SINV ビットは、送受信データのロジックレベルを反転します。本ビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、SMR または SMR_SMCI レジスタの PM ビットを反転してください。

CHR1 ビット（キャラクタ長 1）

CHR1 ビットは、SMR レジスタの CHR ビットと組み合わせて、送受信データのデータ長を選択します。調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット（基本クロックパルス 2）

BCP2 ビットは、スマートカードインタフェースモードにおける、1 ビット転送時間中の基本クロックのサイクル数を選択します。SMR_SMCI.BCP[1:0]ビットと組み合わせて設定します。

表 26.5　SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0]ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0]ビット	1 ビット転送時間中の基本クロック数
0	00b	93 クロック (S = 93)(注1)
0	01b	128 クロック (S = 128)(注1)
0	10b	186 クロック (S = 186)(注1)
0	11b	512 クロック (S = 512)(注1)
1	00b	32 クロック (S = 32)（初期値）(注1)
1	01b	64 クロック (S = 64)(注1)
1	10b	372 クロック (S = 372)(注1)
1	11b	256 クロック (S = 256)(注1)

注 1.　S は「26.2.20. BRR : ビットレートレジスタ」レジスタの S の値を表します。

26.2.20　BRR : ビットレートレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

BRR レジスタは、ビットレートを調整するための 8 ビットのレジスタです。

SCI はチャネルごとにボーレートジェネレータが独立しているため、それぞれ異なるビットレートの設定が可能です。表 26.6 に通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードにおける、BRR レジスタの設定値 N とビットレート B の関係を示します。

BRR レジスタの初期値は 0xFF です。BRR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR_SMCI レジスタの TE および RE ビットが 0 の場合にのみ可能です。

表 26.6　BRR レジスタの設定値 N とビットレート B の関係 (1/2)

モード	SEMR レジスタの設定			BRR レジスタの設定	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) $= \left\{\frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	1	0	0	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) $= \left\{\frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 (%) $= \left\{\frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLK \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 (%) $= \left\{\frac{PCLK \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1\right\} \times 100$
クロック同期式、簡易 SPI				$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	—

表 26.6　BRR レジスタの設定値 N とビットレート B の関係 (2/2)

モード	SEMR レジスタの設定			BRR レジスタの設定	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
スマートカードインタフェース				$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) $= \left\{\frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1\right\} \times 100$
簡易 IIC(注1)				$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	—

注.　B：ビットレート (bps)
N：内蔵ボーレートジェネレータの BRR の設定値 (0 ≦ N ≦ 255)
PCLK：動作周波数 (MHz)
n および S：表 26.8 と表 26.9 に示すように、SMR/SMR_SMCI レジスタと SCMR レジスタの設定値によって決まります。
注 1.　簡易 IIC モードでは、SCLn 出力の High/Low 幅が I²C バス規格を満たすように、ビットレートを調整してください。

表 26.7　SCLn の High レベル幅と Low レベル幅の計算

モード	SCLn	算出式（結果は秒単位）
IIC	High 幅（min 値）	$(N+1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low 幅（min 値）	$(N+1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 26.8　クロックソースの設定

SMR または SMR_SMCI.CKS[1:0]ビットの設定値		
CKS[1:0]ビット	クロックソース	n
00b	PCLK クロック	0
01b	PCLK/4 クロック	1
10b	PCLK/16 クロック	2
11b	PCLK/64 クロック	3

表 26.9　スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2 ビットの設定値	SMR_SMCI.BCP[1:0]ビットの設定値		
BCP2 ビット	BCP[1:0]ビット	1 ビット期間中の基本クロックサイクル数	S
0	00b	93 クロックサイクル	93
0	01b	128 クロックサイクル	128
0	10b	186 クロックサイクル	186
0	11b	512 クロックサイクル	512
1	00b	32 クロックサイクル	32
1	01b	64 クロックサイクル	64
1	10b	372 クロックサイクル	372
1	11b	256 クロックサイクル	256

表 26.10 と表 26.11 に、通常の調歩同期式モードにおける BRR レジスタ値 N の設定例を示します。表 26.12 に各動作周波数において設定可能な最大ビットレートを示します。表 26.16 にスマートカードインタフェースモードにおける BRR レジスタ値 N の設定例を示します。

スマートカードインタフェースモードでは、1 ビットデータ転送時間における基本クロックのサイクル数 S を選択できます。詳細は、「26.7.4. 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 26.13 と表 26.15 に、外部クロック入力時の最大ビットレートを示します。

調歩同期式モードにおいて、シリアル拡張モードレジスタ (SEMR) の調歩同期基本クロック選択ビット (ABCS) またはボーレートジェネレータ倍速モード選択ビット (BGDM) のいずれか一方を 1 にした場合、ビットレートは

表 26.17 に記載された値の 2 倍になります。両ビットとも 1 にした場合、ビットレートは記載値の 4 倍になります。

表 26.10　各ビットレートに対する BRR の設定例（調歩同期式モード）(1) (1/2)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

表 26.10　各ビットレートに対する BRR の設定例（調歩同期式モード）(1) (2/2)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

注.　この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。
ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 26.11　各ビットレートに対する BRR の設定例（調歩同期式モード） (2) (1/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16

表 26.11　各ビットレートに対する BRR の設定例（調歩同期式モード） (2) (2/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
2400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

表 26.11　各ビットレートに対する BRR の設定例（調歩同期式モード） (2) (3/3)

ビットレート (bps)	動作周波数 PCLK (MHz)								
	50			60			100		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	221	-0.02	—	—	—	3	255	—
150	3	162	-0.15	3	194	0.16	3	255	—
300	3	80	0.47	3	97	-0.35	3	162	-0.15
600	2	162	-0.15	3	48	-0.35	3	80	0.47
1200	2	80	0.47	2	97	-0.35	2	162	-0.15
2400	1	162	-0.15	2	48	-0.35	2	80	0.47
4800	1	80	0.47	1	97	-0.35	1	162	-0.15
9600	0	162	-0.15	1	48	-0.35	1	80	0.47
19200	0	80	0.47	0	97	-0.35	0	162	-0.15
31250	0	49	0.00	0	59	0.00	1	24	0.00
38400	0	40	-0.76	0	48	-0.35	0	80	0.47

注.　この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。
ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 26.12　各動作周波数における最大ビットレート（調歩同期式モード） (1/2)

PCLK (MHz)	SEMR レジスタの設定					最大ビットレート (bps)	PCLK (MHz)	SEMR レジスタの設定					最大ビットレート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250,000	16	0	0	0	0	0	500,000
		1	0	0	0	500,000			1	0	0	0	1,000,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,000,000			1	0	0	0	2,000,000
	Don't care	Don't care	1	0	0	1,333,333		Don't care	Don't care	1	0	0	2,666,666
9.8304	0	0	0	0	0	307,200	17.2032	0	0	0	0	0	537,600
		1	0	0	0	614,400			1	0	0	0	1,075,200
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,228,800			1	0	0	0	2,150,400
	Don't care	Don't care	1	0	0	1,638,400		Don't care	Don't care	1	0	0	2,867,200

表 26.12　各動作周波数における最大ビットレート（調歩同期式モード） (2/2)

PCLK (MHz)	SEMR レジスタの設定					最大ビットレート (bps)	PCLK (MHz)	SEMR レジスタの設定					最大ビットレート (bps)
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
10	0	0	0	0	0	312,500	18	0	0	0	0	0	562,500
		1	0	0	0	625,000			1	0	0	0	1,125,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,250,000			1	0	0	0	2,250,000
	Don't care	Don't care	1	0	0	1,666,666		Don't care	Don't care	1	0	0	3,000,000
12	0	0	0	0	0	375,000	19.6608	0	0	0	0	0	614,400
		1	0	0	0	750,000			1	0	0	0	1,228,800
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,500,000			1	0	0	0	2,457,600
	Don't care	Don't care	1	0	0	2,000,000		Don't care	Don't care	1	0	0	3,276,800
12.288	0	0	0	0	0	384,000	20	0	0	0	0	0	625,000
		1	0	0	0	768,000			1	0	0	0	1,250,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,536,000			1	0	0	0	2,500,000
	Don't care	Don't care	1	0	0	2,048,000		Don't care	Don't care	1	0	0	3,333,333
14	0	0	0	0	0	437,500	25	0	0	0	0	0	781,250
		1	0	0	0	875,000			1	0	0	0	1,562,500
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,750,000			1	0	0	0	3,125,000
	Don't care	Don't care	1	0	0	2,333,333		Don't care	Don't care	1	0	0	4,166,666
30	0	0	0	0	0	937,500	50	0	0	0	0	0	1,562,500
		1	0	0	0	1,875,000			1	0	0	0	3,125,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	3,750,000			1	0	0	0	6,250,000
	Don't care	Don't care	1	0	0	5,000,000		Don't care	Don't care	1	0	0	8,333,333
33	0	0	0	0	0	1,031,250	60	0	0	0	0	0	1,875,000
		1	0	0	0	2,062,500			1	0	0	0	3,750,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	4,125,000			1	0	0	0	7,500,000
	Don't care	Don't care	1	0	0	5,500,000		Don't care	Don't care	1	0	0	10,000,000
40	0	0	0	0	0	1,250,000	100	0	0	0	0	0	3,125,000
		1	0	0	0	2,500,000			1	0	0	0	6,250,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	5,000,000			1	0	0	0	12,500,000
	Don't care	Don't care	1	0	0	6,666,666		Don't care	Don't care	1	0	0	16,666,666

表 26.13　外部クロック入力時の最大ビットレート（調歩同期式モード）

最大ビットレート (bps)			
PCLK (MHz)	**外部入力クロック (MHz)**	**SEMR.ABCS = 0**	**SEMR.ABCS = 1**
8	2.0000	125,000	250,000
9.8304	2.4576	153,600	307,200
10	2.5000	156,250	312,500
12	3.0000	187,500	375,000
12.288	3.0720	192,000	384,000
14	3.5000	218,750	437,500
16	4.0000	250,000	500,000
17.2032	4.3008	268,800	537,600
18	4.5000	281,250	562,500
19.6608	4.9152	307,200	614,400
20	5.0000	312,500	625,000
25	6.2500	390,625	781,250
30	7.5000	468,750	937,500
33	8.2500	515,625	1,031,250
40	10.0000	625,000	1,250,000
50	12.5000	781,250	1,562,500
60	15.0000	937,500	1,875,000
100	25.000	1,562,500	3,125,000

表 26.14　各ビットレートに対する BRR の設定例（クロック同期式モード、簡易 SPI モード） (1/2)

ビットレート (bps)	動作周波数 PCLK (MHz)																					
	8		10		16		20		25		30		33		40		50		60		100	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																						
250	3	124	—	—	3	249																
500	2	249	—	—	3	124	—	—			3	233										
1 k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	155	3	194	3	233		
2.5 k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	249	3	77	3	93	3	155
5 k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	124	2	155	3	46	3	77
10 k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	249	2	77	2	93	3	38
25 k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	99	1	124	1	149	1	249
50 k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	49	1	61	1	74	1	124
100 k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	99	0	124	0	149	0	249
250 k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	39	0	49	0	59	1	24
500 k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	19	0	24	0	29	0	49
1 M	0	1			0	3	0	4	—	—	—	—	—	—	0	9	—	—	0	14	0	24

表 26.14　各ビットレートに対する BRR の設定例（クロック同期式モード、簡易 SPI モード） (2/2)

ビットレート (bps)	動作周波数 PCLK (MHz)																					
	8		10		16		20		25		30		33		40		50		60		100	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
2.5 M			0	0 (注1)			0	1	—	—	0	2	—	—	0	3	0	4	0	5	0	9
5 M							0	0 (注1)	—	—	—	—	—	—	0	1	—	—	0	2	0	4
7.5 M											0	0 (注1)							0	1		
10 M															0	0 (注1)						
15 M																			0	0 (注1)		

注.　空欄：設定禁止
—：設定可能ですが誤差が生じます。

注 1.　連続送受信はできません。1 フレームの送受信後、次のフレームの送受信を開始するまでに 1 ビット期間の間隔が空きます。すなわち、同期クロックの出力が 1 ビット期間停止します。そのため、1 フレーム（8 ビット）のデータ転送に 9 ビット分の時間がかかり、平均転送レートはビットレートの 8/9 倍になります。FIFO 選択時は、この設定（BRR = 0x00 かつ SMR.CKS[1:0] = 00b）は利用できません。

表 26.15　外部クロック入力時の最大ビットレート（クロック同期式モード、簡易 SPI モード）

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
8	1.3333	1.3333333
10	1.6667	1.6666667
12	2.0000	2.0000000
14	2.3333	2.3333333
16	2.6667	2.6666667
18	3.0000	3.0000000
20	3.3333	3.3333333
25	4.1667	4.1666667
30	5.0000	5.0000000
33	5.5000	5.5000000
40	6.6667	6.6666667
50	8.3333	8.3333333
60	10.0000	10.0000000
100	16.6667	16.6666667

表 26.16　各ビットレートに対する BRR の設定（スマートカードインタフェースモード、n = 0、S = 372 の場合） (1/4)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

表 26.16　各ビットレートに対する BRR の設定（スマートカードインタフェースモード、n = 0、S = 372 の場合） (2/4)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.66

表 26.16　各ビットレートに対する BRR の設定（スマートカードインタフェースモード、n = 0、S = 372 の場合） (3/4)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	25.00			30.00			33.00			40.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	12.49	0	3	5.01	0	4	7.59	0	5	-6.66

表 26.16　各ビットレートに対する BRR の設定（スマートカードインタフェースモード、n = 0、S = 372 の場合） (4/4)

ビットレート (bps)	動作周波数 PCLK (MHz)								
	50.00			60.00			100.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	6	0.01	0	7	5.01	0	13	0.01

表 26.17　各動作周波数における最大ビットレート（スマートカードインタフェースモード、S = 32 の場合）

PCLK (MHz)	最大ビットレート (bps)	n	N
10.00	156,250	0	0
10.7136	167,400	0	0
13.00	203,125	0	0
16.00	250,000	0	0
18.00	281,250	0	0
20.00	312,500	0	0
25.00	390,625	0	0
30.00	468,750	0	0
33.00	515,625	0	0
40.00	625,000	0	0
50.00	781,250	0	0
60.00	937,500	0	0
100.00	1,562,500	0	0

表 26.18　各ビットレートに対する BRR の設定例（簡易 IIC モード） (1/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10 k	0	24	0.0	0	31	-2.3	1	12	-3.8	1	15	-2.3	1	19	-2.3
25 k	0	9	0.0	0	12	-3.8	1	4	0.0	1	6	-10.7	1	7	-2.3
50 k	0	4	0.0	0	6	-10.7	1	2	-16.7	1	3	-21.9	1	3	-2.3
100 k	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250 k	0	0	0.0	0	1	-37.5	0	1	0.0	0	2	-16.7	0	3	-21.9
350 k										0	1	-10.7	0	2	-25.6
400 k										0	1	-21.9	0	1	-2.3

表 26.18 各ビットレートに対する BRR の設定例（簡易 IIC モード） (2/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	30			33			40			50			60		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10 k	1	23	-2.3	1	25	-0.8	0	124	0.00	2	9	-2.3	1	46	-0.27
25 k	1	9	-6.3	1	10	-6.3	0	40	0.00	2	3	-2.3	0	74	0.00
50 k	1	4	-6.3	1	5	-14.1	0	24	0.00	2	1	-2.3	0	37	-1.32
100 k	1	2	-21.9	1	2	-14.1	0	12	-3.85	1	3	-2.3	0	18	-1.32
250 k	0	3	-6.3	0	4	-17.5	0	4	0.00	0	6	-10.7	0	7	-6.25
350 k	0	2	-10.7	0	2	-1.8	0	3	-10.71	0	4	-10.7	0	4	7.14
400 k	0	1	17.2	0	2	-14.1	0	2	4.17	0	3	-2.34	0	4	-6.25

表 26.18 各ビットレートに対する BRR の設定例（簡易 IIC モード） (3/3)

ビットレート (bps)	動作周波数 PCLK (MHz)		
	100		
	n	N	誤差 (%)
10 k	1	77	0.16
25 k	0	124	0.00
50 k	0	62	-0.79
100 k	0	30	0.81
250 k	0	12	-3.85
350 k	0	8	-0.79
400 k	0	8	-13.19

表 26.19 複数のビットレート設定での SCL の High/Low 幅最小値（簡易 IIC モード） (1/3)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)	n	N	SCL High/Low 幅最小値 (μs)
10 k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.5/52.00	1	15	44.80/51.20
25 k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50 k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100 k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250 k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350 k										0	1	1.40/1.60
400 k										0	1	1.40/1.60

表 26.19　複数のビットレート設定での SCL の High/Low 幅最小値（簡易 IIC モード） (2/3)

ビットレート (bps)	動作周波数 PCLK (MHz)											
	25			30			33			40		
	n	N	SCL High/Low 幅最小値 (µs)	n	N	SCL High/Low 幅最小値 (µs)	n	N	SCL High/Low 幅最小値 (µs)	n	N	SCL High/Low 幅最小値 (µs)
10 k	1	19	44.80/51.20	1	23	44.80/51.20	1	25	44.12/50.42	1	32	46.20/52.80
25 k	1	7	17.92/20.48	1	9	18.66/21.33	1	10	18.66/21.33	1	12	18.20/20.80
50 k	1	3	8.96/10.24	1	4	9.33/10.66	1	5	10.18/11.63	1	6	9.80/11.20
100 k	1	1	4.48/5.12	1	2	5.60/6.40	1	2	5.09/5.81	0	13	4.90/5.60
250 k	0	3	2.24/2.56	0	3	1.86/2.13	0	4	2.12/2.42	0	4	1.75/2.00
350 k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	0	3	1.40/1.60
400 k	0	1	1.12/1.28	0	1	0.93/1.07	0	2	1.27 /1.45	0	2	1.05/1.20

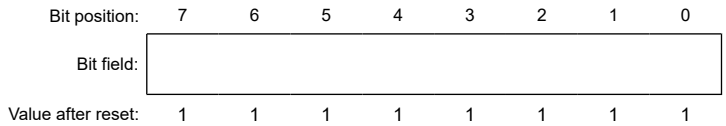
表 26.19　複数のビットレート設定での SCL の High/Low 幅最小値（簡易 IIC モード） (3/3)

ビットレート (bps)	動作周波数 PCLK (MHz)								
	50			60			100		
	n	N	SCL High/Low 幅最小値 (µs)	n	N	SCL High/Low 幅最小値 (µs)	n	N	SCL High/Low 幅最小値 (µs)
10 k	2	9	44.80/51.20	1	46	44.80/51.20	0	0	43.68/49.92
25 k	2	3	17.92/20.48	0	74	17.50/20.00	0	0	17.50/20.00
50 k	2	1	8.96/10.24	0	37	8.87/10.13	0	0	8.82/10.08
100 k	1	3	4.48/5.12	0	18	4.43/5.07	0	0	4.34/4.96
250 k	0	6	1.96/2.24	0	7	1.87/2.13	0	0	1.82/2.08
350 k	0	4	1.40/1.60	0	4	1.17/1.33	0	0	1.26/1.44
400 k	0	3	1.12/1.28	0	4	1.17/1.33	0	0	1.26/1.44

26.2.21　MDDR : 変調デューティーレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x12



MDDR レジスタは、BRR レジスタで調整されたビットレートを補正します。

SEMR.BRME ビットが 1 のとき、内蔵ボーレートジェネレータにより生成されるビットレートは、MDDR レジスタの設定 (M/256) に応じて均等に補正されます。表 26.20 に MDDR レジスタの設定値 M とビットレート B の関係を示します。

MDDR レジスタの初期値は 0xFF です。本レジスタのビット[7]は 1 に固定されています。

MDDR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0 の場合にのみ可能です。

表 26.20　ビットレート変調機能使用時の MDDR レジスタ設定値 M とビットレート B の関係

B：ビットレート (bps)
M: MDDR 設定 (128 ≦ MDDR ≦ 256)
N：ボーレートジェネレータの BRR の設定値 (0 ≦ N ≦ 255)
PCLK：動作周波数 (MHz)
n および S：「26.2.20. BRR：ビットレートレジスタ」の表 26.8 と表 26.9 に示すように、SMR/SMR_SMCI レジスタと SCMR レジスタの設定値によって決まります。

モード	SEMR レジスタの設定			BRR レジスタの設定	誤差
	BGDM ビット	ABCS ビット	ABCSE ビット		
調歩同期式マルチプロセッサ転送	0	0	0	$N = \frac{\mathrm{PCLK} \times 10^6}{64 \times 2^{2n-1} \times \left(256/M\right) \times B} - 1$	誤差(%) $= \left\{\frac{\mathrm{PCLK} \times 10^6}{B \times 64 \times 2^{2n-1} \times \left(256/M\right) \times \left(N+1\right)} - 1\right\} \times 100$
	1	0	0	$N = \frac{\mathrm{PCLK} \times 10^6}{32 \times 2^{2n-1} \times \left(256/M\right) \times B} - 1$	誤差(%) $= \left\{\frac{\mathrm{PCLK} \times 10^6}{B \times 32 \times 2^{2n-1} \times \left(256/M\right) \times \left(N+1\right)} - 1\right\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{\mathrm{PCLK} \times 10^6}{16 \times 2^{2n-1} \times \left(256/M\right) \times B} - 1$	誤差(%) $= \left\{\frac{\mathrm{PCLK} \times 10^6}{B \times 16 \times 2^{2n-1} \times \left(256/M\right) \times \left(N+1\right)} - 1\right\} \times 100$
	×	×	1	$N = \frac{\mathrm{PCLK} \times 10^6}{12 \times 2^{2n-1} \times \left(256/M\right) \times B} - 1$	誤差(%) $= \left\{\frac{\mathrm{PCLK} \times 10^6}{B \times 12 \times 2^{2n-1} \times \left(256/M\right) \times \left(N+1\right)} - 1\right\} \times 100$
クロック同期式、簡易 SPI(注1)				$N = \frac{\mathrm{PCLK} \times 10^6}{8 \times 2^{2n-1} \times \left(256/M\right) \times B} - 1$	—
スマートカードインタフェース				$N = \frac{\mathrm{PCLK} \times 10^6}{S \times 2^{2n+1} \times \left(256/M\right) \times B} - 1$	誤差(%) $= \left\{\frac{\mathrm{PCLK} \times 10^6}{B \times S \times 2^{2n+1} \times \left(256/M\right) \times \left(N+1\right)} - 1\right\} \times 100$
簡易 IIC(注2)				$N = \frac{\mathrm{PCLK} \times 10^6}{64 \times 2^{2n-1} \times \left(256/M\right) \times B} - 1$	—

注 1.　クロック同期式モードまたは簡易 SPI モードの最高速設定（SMR.CKS[1:0] = 00b、SCR.CKE[1] = 0、かつ BRR = 0）では、この機能を使用しないでください。
注 2.　簡易 IIC モードでは、SCLn 出力の High/Low 幅が IIC 規格を満たすように、ビットレートを調整してください。

表 26.21 と表 26.22 に通常の調歩同期式モードにおける、BRR レジスタ値 N と MDDR レジスタ値 M の設定例を示します。

表 26.21　各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (1) (1/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	8					9.8304					10				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	5	236	0	0.03	0	7	(256) (注1)	0	0.00	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

表 26.21　各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (1) (2/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	12					12.288					14				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	8	236	0	0.03	0	9	(256) (注1)	0	0.00	0	16	191	1	0.00
57600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	0.26	0	0	135	1	0.14

表 26.21　各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (1) (3/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	16					17.2032					18				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	11	236	0	0.03	0	13	(256) (注1)	0	0.00	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.20	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.20	0	0	210	0	0.14

注 1.　この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。SEMR.BRME = 0 (M = 256) の場合、ビットレート変調機能は無効になります。

表 26.22　各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (1/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	19.6608					20					25				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	15	(256) (注1)	0	0.00	0	10	173	0	-0.01	0	11	151	0	0.00
57600	0	9	240	0	0.00	0	9	236	0	0.03	0	7	151	0	0.00
115200	0	4	240	0	0.00	0	4	236	0	0.03	0	3	151	0	0.00
230400	0	1	192	0	0.00	0	4	236	1	0.03	0	1	151	0	0.00
460800	0	0	192	0	0.00	0	0	189	0	0.14	0	0	151	0	0.00

表 26.22　各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (2/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	30					33					40				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	36	194	1	0.01	0	14	143	0	0.01	0	21	173	0	-0.01
57600	0	10	173	0	-0.01	0	9	143	0	0.01	0	38	230	1	-0.01
115200	0	10	173	1	-0.01	0	4	143	0	0.01	0	9	236	0	0.03
230400	0	6	220	1	-0.09	0	4	143	1	0.01	0	4	236	0	0.03
460800	0	3	252	1	0.14	0	1	229	0	0.10	0	4	236	1	0.03

表 26.22　各ビットレートに対する BRR と MDDR の設定例（調歩同期式モード） (2) (3/3)

ビットレート (bps)	動作周波数 PCLK (MHz)														
	50					60					120				
	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)	n	N	M	BGDM ビット	誤差 (%)
38400	0	23	151	0	0.00	0	36	194	0	0.01	0	73	194	0	0.01
57600	0	15	151	0	0.00	0	21	173	0	-0.01	0	58	232	0	0.01
115200	0	7	151	0	0.00	0	10	173	0	-0.01	0	21	173	0	-0.01
230400	0	3	151	0	0.00	0	10	173	1	-0.01	0	10	173	0	-0.01
460800	0	1	151	0	0.00	0	6	220	1	-0.09	0	10	173	1	-0.09

注 1.　この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。
SEMR.BRME = 0 (M = 256) の場合、ビットレート変調機能は無効になります。

26.2.22　SEMR : シリアル拡張モードレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x07

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RXDESEL	BGDM	NFEN	ABCS	ABCSE	BRME	PADIS	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	PADIS	プリアンブル機能無効 調歩同期式モードでのみ有効 0: プリアンブル出力機能有効 1: プリアンブル出力機能無効	R/W
2	BRME	ビットレートモジュレーション有効 0: ビットレートモジュレーション機能は無効 1: ビットレートモジュレーション機能は有効	R/W(注1)
3	ABCSE	調歩同期拡張基本クロック選択 1 調歩同期式モードにおいて、SCR.CKE[1] = 0 の場合にのみ有効です。 0: 1 ビット期間のクロックサイクル数は、SEMR レジスタの BGDM ビットと ABCS ビットの組み合わせにより決定 1: ボーレートは 1 ビット期間に対して基本クロックの 6 サイクル	R/W(注1)
4	ABCS	調歩同期基本クロック選択 調歩同期式モードでのみ有効 0: 1 ビット期間に対して基本クロックの 16 サイクルを選択 1: 1 ビット期間に対して基本クロックの 8 サイクルを選択	R/W(注1)
5	NFEN	デジタルノイズフィルタ機能有効 他のすべてのモードでは、NFEN ビットは 0 でなければなりません。 0: 調歩同期式モードの場合 RXDn 入力信号のノイズ除去機能は無効 簡易 I²C モードの場合 SCLn と SDAn の入力信号のノイズ除去機能は無効 1: 調歩同期式モードの場合 RXDn 入力信号のノイズ除去機能は有効 簡易 I²C モードの場合 SCLn と SDAn の入力信号のノイズ除去機能は有効	R/W(注1)
6	BGDM	ボーレートジェネレータ倍速モード選択 調歩同期式モードにおいて、SCR.CKE[1] = 0 の場合にのみ有効です 0: ボーレートジェネレータから通常の周波数のクロックを出力 1: ボーレートジェネレータから 2 倍の周波数のクロックを出力	R/W(注1)
7	RXDESEL	調歩同期スタートビットエッジ検出選択 調歩同期式モードでのみ有効です。 0: RXDn 端子入力の Low レベルでスタートビットを検出 1: RXDn 端子入力の立ち下がりエッジでスタートビットを検出	R/W(注1)

注 1.　SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

SEMR レジスタは、調歩同期式モードにおいて、1 ビット期間のクロックソースを選択するためのレジスタです。

PADIS ビット（プリアンブル機能無効）

調歩同期式モードでは、プリアンブル機能の有効／無効を設定します。マンチェスタモードでは、プリアンブルは本ビットの設定に関係なく出力されません。

BRME ビット（ビットレートモジュレーション有効）

BRME ビットは、ビットレートモジュレーション機能を有効または無効にします。有効にすると、内蔵ボーレートジェネレータにより生成されるビットレートを均一に補正します。マンチェスタモードでは 0 にしてください。

ABCSE ビット（調歩同期拡張基本クロック選択 1）

ABCSE ビットは、1 ビット期間における基本クロックのパルス数を 6 に設定します。ボーレートジェネレータからは 2 倍の周波数のクロックが出力されます。バスクロック周波数を分周しているときにビットレートを 6 にする場合、本ビットを使用し、かつ SMR.CKS[1:0] = 00b、BRR = 0 に設定してください。

本ビットは、調歩同期式モード以外では 0 にしてください。調歩同期式モードにおいても、外部クロックを使っている場合は本ビットを 0 にしてください。

ABCS ビット (調歩同期基本クロック選択)

ABCS ビットは、1 ビット期間のクロックサイクル数を選択します。

調歩同期式モードおよびマンチェスタモード以外では 0 としてください。

NFEN ビット（デジタルノイズフィルタ機能有効）

NFEN ビットは、デジタルノイズフィルタ機能を有効または無効にします。

デジタルノイズフィルタ機能を有効にした場合：

- 調歩同期式モードでは、RXDn 入力信号のノイズを除去する。
- 簡易 I^2C モードでは、SDAn 入力信号と SCLn 入力信号のノイズを除去する。

他のすべてのモードでは、NFEN ビットを 0 にして、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、受信した信号がそのまま内部信号として転送されます。

BGDM ビット（ボーレートジェネレータ倍速モード選択）

BGDM ビットは、ボーレートジェネレータから出力する基本クロックの周波数を 2 倍にするかどうかを選択します

BGDM ビットは、調歩同期式モード（SMR.CM ビット = 0）またはマンチェスタモード (MMR.MANEN ビット = 1) において、クロックソースに内蔵ボーレートジェネレータ（SCR.CKE[1]ビット = 0）を選択したとき有効です。外部クロック選択時（SCR.CKE[1]ビット = 1）、0 にしてください。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビットを 1 にすると、基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

本ビットは、調歩同期式モードまたはマンチェスタモード以外では 0 にしてください。

RXDESEL ビット（調歩同期スタートビットエッジ検出選択）

RXDESEL ビットは、調歩同期式モードで受信する場合のスタートビットの検出方法を選択します。本ビットの設定により、ブレーク時のデータ受信動作が異なります。ブレーク中に受信動作を停止させたい場合、またはブレーク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せずに受信を開始したい場合、本ビットを 1 にしてください。

このビットは、調歩同期式モード以外では 0 にしてください。

26.2.23 SNFR : ノイズフィルタ設定レジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	NFCS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	NFCS[2:0]	ノイズフィルタクロック選択 調歩同期式モードの場合、基本クロックの標準設定を選択します。 簡易 I²C モードの場合、SMR.CKS[1:0]ビットで選択した内蔵ボーレートジェネレータのクロックソースの標準設定を選択します。 0 0 0: 調歩同期式モードの場合：1 分周のクロックをノイズフィルタに使用 簡易 I²C モードの場合：設定禁止 0 0 1: 調歩同期式モードの場合：設定禁止 簡易 I²C モードの場合：1 分周のクロックをノイズフィルタに使用 0 1 0: 調歩同期式モードの場合：設定禁止 簡易 I²C モードの場合：2 分周のクロックをノイズフィルタに使用 0 1 1: 調歩同期式モードの場合：設定禁止 簡易 I²C モードの場合：4 分周のクロックをノイズフィルタに使用 1 0 0: 調歩同期式モードの場合：設定禁止 簡易 I²C モードの場合：8 分周のクロックをノイズフィルタに使用 その他: 設定禁止	R/W(注1)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0（シリアル送信動作を禁止、かつ受信動作を禁止）の場合にのみ書き込み可能です。

SNFR レジスタは、デジタルノイズフィルタのクロックを設定するためのレジスタです。

NFCS[2:0]ビット（ノイズフィルタクロック選択）

NFCS[2:0]ビットは、デジタルノイズフィルタのサンプリングクロックを選択します。調歩同期式モードでノイズフィルタを使用する場合、これらのビットを 000b にしてください。簡易 I²C モードで、SEMR レジスタの基本クロック選択ビットにおいて 32 個のクロックが 1 ビット期間として選択された場合、NFCS[2:0]ビットを 001b～100b の範囲に設定してください。基本クロック選択ビットにおいて他の値が選択されている場合は、NFCS ビットを 001b に設定してください。

26.2.24 SIMR1 : IIC モードレジスタ 1

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x09

Bit position:	7	6	5	4	3	2	1	0
Bit field:	IICDL[4:0]					—	—	IICM
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICM	簡易 IIC モード選択 0: SCMR.SMIF = 0：調歩同期式モード、マルチプロセッサモード、クロック同期式モード、または簡易 SPI モード SCMR.SMIF = 1：スマートカードインタフェースモード 1: SCMR.SMIF = 0：簡易 IIC モード SCMR.SMIF = 1：設定禁止	R/W(注1)
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7:3	IICDL[4:0]	SDAn 遅延出力選択 SDAn 内蔵ボーレートジェネレータからのクロック信号のサイクル数で示す信号出力遅延です。 0x00: 出力遅延なし その他: (IICDL - 1) サイクル～(IICDL) サイクル	R/W(注1)

注 1.　SCR.TE ビットと SCR.RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

SIMR1 レジスタは、簡易 IIC モードと、SDAn 出力の遅延段数を選択するためのレジスタです。

IICM ビット（簡易 IIC モード選択）

IICM ビットは、SCMR.SMIF ビットとの組み合わせで動作モードを選択します。

IICDL[4:0]ビット（SDAn 遅延出力選択）

IICDL[4:0]ビットは、SCLn 端子出力の立ち下がりに対する SDAn 端子出力の遅延を指定します。

内蔵ボーレートジェネレータからのクロック信号を基準として、「遅延なし」から 31 サイクルまでの範囲で設定が可能です。SMR.CKS[1:0]ビットの設定によって分周された PCLK クロックが、内蔵ボーレートジェネレータからのクロック信号として供給されます。簡易 IIC モード以外では、IICDL[4:0]ビットを 00000b に設定してください。簡易 IIC モードでは、これらのビットを 00001b～11111b の範囲で設定してください。

表 26.23　各通信モードで IICDL[4:0]ビットに設定可能な値

通信モード	ABCS	IICDL[4:0]ビットに設定可能な値
簡易 IIC モード以外	Don't care	00000b
簡易 IIC モード	0	00001b～11111b
	1	00001b～00100b

26.2.25　SIMR2 : IIC モードレジスタ 2

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	IICACKT	—	—	—	IICCSC	IICINTM
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICINTM	IIC 割り込みモード選択 0: ACK/NACK 割り込みを使用 1: 受信割り込み、送信割り込みを使用	R/W(注1)
1	IICCSC	クロック同期化 0: クロック信号と同期しない 1: クロック信号と同期する	R/W(注1)
4:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	IICACKT	ACK 送信データ 0: ACK 送信 1: NACK 送信または ACK/NACK 受信	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　SCR.RE ビットと SCR.TE ビットが 0（シリアル受信動作およびシリアル送信動作を禁止）の場合にのみ書き込み可能です。

SIMR2 レジスタは、簡易 IIC モードにおいて、送受信の制御方法を選択するためのレジスタです。

IICINTM ビット（IIC 割り込みモード選択）

IICINTM ビットは、簡易 IIC モードにおいて、割り込み要求の要因を選択します。

IICCSC ビット（クロック同期化）

他のデバイスがウェイトを挿入したため SCLn 端子が Low になったとき、内部で生成する SCLn クロック信号を同期化する場合は、IICCSC ビットを 1 にしてください。

IICCSC ビットを 0 にすると、SCLn クロック信号の同期化を行いません。SCLn 端子の入力レベルにかかわらず、BRR レジスタで選択したビットレートに従って SCLn クロック信号を生成します。

デバッグ時を除いて、IICCSC ビットは 1 にしてください。

IICACKT ビット（ACK 送信データ）

送信データは ACK ビットを含みます。ACK/NACK ビット受信時は、IICACKT ビットを 1 にしてください。

26.2.26 SIMR3 : IIC モードレジスタ 3

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x0B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	IICSCLS[1:0]		IICSDAS[1:0]		IICSTIF	IICSTPREQ	IICRSTAREQ	IICSTAREQ
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IICSTAREQ	開始条件生成 0: 開始条件を生成しない 1: 開始条件を生成する(注1) (注3) (注5) (注6)	R/W
1	IICRSTAREQ	再開始条件生成 0: 再開始条件を生成しない 1: 再開始条件を生成する(注2) (注3) (注5) (注6)	R/W
2	IICSTPREQ	停止条件生成 0: 停止条件を生成しない 1: 停止条件を生成する(注2) (注3) (注5) (注6)	R/W
3	IICSTIF	開始/再開始/停止条件生成完了フラグ 0: 各条件の生成要求がない状態、または生成中の状態 1: 開始条件、再開始条件、停止条件の生成が完了した状態 IICSTIF ビットに 0 を書くと、0 になります。(注4)	R/W(注4)
5:4	IICSDAS[1:0]	SDAn 出力選択 0 0: シリアルデータ出力 0 1: 開始条件、再開始条件、または停止条件の生成 1 0: SDAn 端子には Low を出力 1 1: SDAn 端子はハイインピーダンス状態	R/W
7:6	IICSCLS[1:0]	SCLn 出力選択 0 0: シリアルクロック出力 0 1: 開始条件、再開始条件、または停止条件の生成 1 0: SCLn 端子には Low を出力 1 1: SCLn 端子はハイインピーダンス状態	R/W

注 1. バスの状態を確認し、バスフリー状態のときにのみ開始条件を生成してください。
注 2. バスの状態を確認し、バスビジー状態のときに再開始条件または停止条件を生成してください。
注 3. IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットは、2 つ以上を 1 にしないでください。
注 4. 0 のみを書いてください。1 を書くと、その値は無視されます。
注 5. IICSTIF フラグを 0 にしてから、各条件生成を行ってください。
注 6. 1 の状態にあるとき、0 を書かないでください。このビットが 1 の状態にあるとき 0 を書くと、条件生成が中断します。

SIMR3 レジスタは、簡易 I^2C モードの開始条件、再開始条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット（開始条件生成）

開始条件の生成を行うときは、IICSTAREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット（再開始条件生成）

再開始条件の生成を行うときは、IICRSTAREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 再開始条件の生成が完了したとき

IICSTPREQ ビット（停止条件生成）

停止条件の生成を行うときは、IICSTPREQ ビットを 1 にするとともに、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ（開始/再開始/停止条件生成完了フラグ）

IICSTIF フラグは、各条件の生成後に、生成が完了したことを示します。IICSTAREQ ビット、IICRSTAREQ ビット、または IICSTPREQ ビットを用いて各条件の生成を行うときは、IICSTIF フラグを 0 にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可されているとき、IICSTIF フラグが 1 の場合に STI 要求が出力されます。

[1 になる条件]

- 開始条件、再開始条件、停止条件の生成が完了したとき

  1 になる条件が 0 になる条件と競合した場合は、0 になる条件が優先されます。

[0 になる条件]

- 0 を書いたとき。IICSTIF ビットに 0 を書いた後は、ビットを読み出して、実際に 0 になっていることを確認してください。
- SIMR1.IICM ビットに 0 を書いたとき（簡易 IIC モード以外の場合）
- SCR.TE ビットに 0 を書いたとき

IICSDAS[1:0]ビット（SDAn 出力選択）

IICSDAS[1:0]ビットは、SDAn 端子からの出力を制御します。通常動作時は、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットは同じ値にしてください。

IICSCLS[1:0]ビット（SCLn 出力選択）

IICSCLS[1:0]ビットは、SCLn 端子からの出力を制御します。通常動作時は、IICSDAS[1:0]ビットと IICSCLS[1:0]ビットは同じ値にしてください。

26.2.27 SISR : IIC ステータスレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	IICACKR
Value after reset:	0	0	x	x	0	x	0	0

ビット	シンボル	機能	R/W
0	IICACKR	ACK 受信データフラグ 0: ACK 受信 1: NACK 受信	R
1	—	読むと 0 が読めます。	R
2	—	読み出し値は不定です。	R
3	—	読むと 0 が読めます。	R
5:4	—	読み出し値は不定です。	R
7:6	—	読むと 0 が読めます。	R

SISR レジスタは、簡易 IIC モードにおける状態をモニタするためのレジスタです。

IICACKR フラグ（ACK 受信データフラグ）

IICACKR フラグから、受信された ACK/NACK ビットを読み出すことができます。IICACKR フラグは、ACK/NACK ビット受信時の SCLn クロックの立ち上がりのタイミングで更新されます。

26.2.28 SPMR : SPI モードレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CKPH	CKPOL	—	MFF	CTSPEN	MSS	CTSE	SSE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSE	SSn 端子機能有効 0: SSn 端子機能は無効 1: SSn 端子機能は有効	R/W(注1)
1	CTSE	CTS 有効 0: CTS 機能は無効（RTS 出力機能は有効） 1: CTS 機能は有効	R/W(注1)
2	MSS	マスタスレーブ選択 0: TXDn 端子は送信、RXDn 端子は受信（マスタモード） 1: TXDn 端子は受信、RXDn 端子は送信（スレーブモード）	R/W(注1)
3	CTSPEN	CTS 外部端子許可 0: 1 つの端子で CTS 機能および RTS 機能を交互に使用するための設定 1: CTS 機能および RTS 機能をそれぞれ別の端子で専用に使用するための設定	R/W
4	MFF	モードフォルトフラグ 0: モードフォルトエラーなし 1: モードフォルトエラーあり	R/W(注2)
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
6	CKPOL	クロック極性選択 0: クロック極性反転なし 1: クロック極性反転あり	R/W(注1)
7	CKPH	クロック位相選択 0: クロック遅延なし 1: クロック遅延あり	R/W(注1)

注 1. SCR.TE ビットと SCR.RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。
注 2. フラグをクリアするための 0 書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット（SSn 端子機能有効）

簡易 SPI モードで SSn 端子を用いて送受信制御を行うには、SSE ビットを 1 にしてください。他のすべてのモードでは 0 にしてください。簡易 SPI モードでは、マスタモード（SCR.CKE[1:0] = 00b および SPMR.MSS = 0）選択時にシングルマスタが存在する場合は、送受信制御にマスタ側 SSn 端子は必要ありません。そのような場合は、SSE ビットを 0 にします。SSE ビットと CTSE ビットの両方を 1 にしないでください。両方を有効にした場合、これらのビットを 0 にしたときと同じ動作になります。

CTSE ビット（CTS 有効）

SSn 端子を CTS 制御信号入力として用いて送受信制御を行う場合、CTSE ビットを 1 にしてください。本ビットを 0 にした場合は RTS 信号が出力されます。スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードでは、本ビットを 0 にしてください。CTSE ビットと SSE ビットの両方を 1 にしないでください。両方を有効にした場合、これらのビットを 0 にしたときと同じ動作になります。

MSS ビット（マスタスレーブ選択）

MSS ビットは、簡易 SPI モードにおいて、マスタ動作またはスレーブ動作を選択します。本ビットを 1 にすると、TXDn 端子と RXDn 端子の機能が逆になり、データは TXDn 端子を介して受信され、RXDn 端子を介して送信されます。

簡易 SPI モード以外では 0 にしてください。

CTSPEN ビット（CTS 外部端子許可）

CTS 機能と RTS 機能の両機能使用時、端子の使用方法を選択します。

MFF フラグ（モードフォルトフラグ）

MFF フラグは、モードフォルトエラーが発生したことを示します。マルチマスタ構成では、本フラグを読み出すことでモードフォルトエラーの発生を判定できます。

[1 になる条件]

- 簡易 SPI モードでマスタモード（SSE ビット = 1 かつ MSS ビット = 0）の場合に、SSn 端子入力が Low になったとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

CKPOL ビット（クロック極性選択）

CKPOL ビットは、SCKn 端子からのクロック信号出力の極性を選択します。詳細は、図 26.96 を参照してください。簡易 SPI モードおよびクロック同期式モード以外のすべてのモードで、CKPOL ビットを 0 としてください。

CKPH ビット（クロック位相選択）

CKPH ビットは、SCKn 端子からのクロック信号出力の位相を選択します。詳細は、図 26.96 を参照してください。簡易 SPI モードおよびクロック同期式モード以外のすべてのモードで、CKPH ビットを 0 としてください。

26.2.29　FCR : FIFO コントロールレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x14

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RSTRG[3:0]				RTRG[3:0]				TTRG[3:0]				DRES	TFRST	RFRST	FM
Value after reset:	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FM	FIFO モード選択 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。 0: 非 FIFO モード。 通信には TDR/RDR または TDRHL/RDRHL レジスタが選択されます。 1: FIFO モード 通信には FTDRHL/FRDRHL レジスタが選択されます。	R/W(注1)
1	RFRST	受信 FIFO データレジスタリセット FCR.FM = 1 の場合にのみ有効です。 0: FRDRHL レジスタをリセットしない 1: FRDRHL レジスタをリセットする	R/W
2	TFRST	送信 FIFO データレジスタリセット FCR.FM = 1 の場合にのみ有効です。 0: FTDRHL レジスタをリセットしない 1: FTDRHL レジスタをリセットする	R/W
3	DRES	受信データレディエラー選択 受信データレディ検出時に要求する割り込みを選択します。 0: 受信データフル割り込み (SCIn_RXI) 1: 受信エラー割り込み (SCIn_ERI)	R/W
7:4	TTRG[3:0]	送信 FIFO データトリガ数 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。 トリガ番号は、TTRG[3:0]ビットで指定されます。	R/W
11:8	RTRG[3:0]	受信 FIFO データトリガ数 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。 トリガ番号は、RTRG[3:0]ビットで指定されます。	R/W
15:12	RSTRG[3:0]	RTS 出力アクティブトリガ数選択 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM = 1、SPMR.CTSE = 0、および SPMR.SSE = 0 の場合にのみ有効です。 トリガ番号は、RSTRG[3:0]ビットで指定されます。	R/W

注 1.　TE = 0、RE = 0 の場合のみ書き込み可能です。

FCR レジスタは、FIFO モードの選択、FTDRHL レジスタと FRDRHL レジスタのリセット、送受信用 FIFO データトリガ数の選択、および RTS 出力アクティブトリガ数の選択を行います。

FM ビット（FIFO モード選択）

FM ビットを 1 にすると、通信には FTDRHL と FRDRHL が選択されます。FM ビットを 0 にすると、通信には TDR、RDR もしくは TDRHL、RDRHL が選択されます。

RFRST ビット（受信 FIFO データレジスタリセット）

RFRST ビットを 1 にすると、FRDRHL レジスタがリセットされ、受信データ数は 0 にリセットされます。1 を書いてから 1PCLK 経過後、RFRST ビットは 0 にクリアされます。

TFRST ビット（送信 FIFO データレジスタリセット）

TFRST ビットを 1 にすると、FTDRHL レジスタがリセットされ、送信データ数は 0 にリセットされます。1 を書いてから 1PCLK 経過後、TFRST ビットは 0 にクリアされます。

DRES ビット（受信データレディエラー選択）

受信データレディエラー検出時、SCIn_RXI 割り込み要求または SCIn_ERI 割り込み要求を選択できます。

TTRG[3:0]ビット（送信 FIFO データトリガ数）

FTDRHL レジスタ内の送信データ数が TTRG[3:0]ビットに指定された送信トリガ数以下の場合、TDFE フラグが 1 になり、ソフトウェアによる FTDRHL レジスタへのデータ書き込みが可能になります。SCR.TIE = 1 の場合は、SCIn_TXI 割り込み要求が発生します。

RTRG[3:0]ビット（受信 FIFO データトリガ数）

FRDRHL レジスタ内の受信データ数が RTRG[3:0]ビットに指定された受信トリガ数以上の場合、RDF フラグが 1 になり、ソフトウェアによる FRDRHL レジスタからのデータ読み出しが可能になります。SCR.RIE = 1 の場合は、SCIn_RXI 割り込み要求が発生します。

RTRG[3:0]ビットが 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、RDF フラグはセットされず、SCIn_RXI 割り込み要求も発生しません。

RSTRG[3:0]ビット（RTS 出力アクティブトリガ数選択）

FRDRHL レジスタに格納された受信データ数が RSTRG[3:0]ビットに指定された受信トリガ数以上の場合、RTS 信号は High 状態になります。

RSTRG[3:0]ビットが 0 の場合は、FRDRHL レジスタのデータ数が 0 であっても、RTS 信号は High 状態になりません。

26.2.30 FDR : FIFO データ数レジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x16

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	T[4:0]					—	—	—	R[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	R[4:0]	受信 FIFO データ 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM = 1 の場合にのみ有効です。 FRDRHL レジスタに格納された受信データ量を示します。	R
7:5	—	読むと 0 が読めます。	R
12:8	T[4:0]	送信 FIFO データ数 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM = 1 の場合にのみ有効です。 FTDRHL レジスタに格納された未送信データ量を示します。	R
15:13	—	読むと 0 が読めます。	R

FDR レジスタは、FRDRHL/FTDRHL レジスタに格納されたデータ量を示します。

R[4:0]ビット（受信 FIFO データ）

R[4:0]ビットは、FRDRHL レジスタに格納された受信データ量を示します。値 0x00 は受信データがないことを意味します。また、値 0x10 は最大数の受信データが FRDRHL レジスタに格納されていることを意味します。

T[4:0]ビット（送信 FIFO データ数）

T[4:0]ビットは、FTDRHL レジスタに格納された未送信データ量を示します。値 0x00 は送信データがないことを意味します。また、値 0x10 は全送信データ（最大数）が FTDRHL レジスタに格納されていることを意味します。

26.2.31 LSR : ラインステータスレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x18

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PNUM[4:0]					—	FNUM[4:0]					—	ORER
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ORER	オーバーランエラーフラグ 調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FIFO 選択時にのみ有効です。 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R(注1)
1	—	読むと 0 が読めます。	R
6:2	FNUM[4:0]	フレーミングエラー数 FRDRHL レジスタに格納された受信データ中の、フレーミングエラーのあるデータ数を示します。	R
7	—	読むと 0 が読めます。	R
12:8	PNUM[4:0]	パリティエラー数 FRDRHL レジスタに格納された受信データ中の、パリティエラーのあるデータ数を示します。	R
15:13	—	読むと 0 が読めます。	R

注 1. SSR_FIFO.ORER に 0 を書いて、フラグをクリアしてください。

LSR レジスタは受信エラー状況を示すレジスタです。

ORER フラグ（オーバーランエラーフラグ）

ORER フラグは、SSR_FIFO.ORER の値を反映します。

FNUM[4:0]ビット（フレーミングエラー数）

FNUM[4:0]ビットの値は、FRDRHL レジスタ中のフレーミングエラーのあるデータ数を示します。

PNUM[4:0]ビット（パリティエラー数）

PNUM[4:0]ビットの値は、FRDRHL レジスタ中のパリティエラーのあるデータ数を示します。

26.2.32 CDR : コンペアマッチデータレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x1A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPD[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	CMPD[8:0]	コンペアマッチデータ アドレス一致ウェイクアップ機能用の比較データパターンを格納します。	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CDR レジスタは、アドレス一致検出機能用の比較データを設定するためのレジスタです。

CMPD[8:0]ビット（コンペアマッチデータ）

CMPD[8:0]ビットは、アドレス一致検出機能が有効 (DCCR.DCME = 1) のとき、アドレス一致検出機能で受信データと比較するデータを設定します。

以下の 3 種類のビット長から選択できます。

- 7 ビット長の CMPD[6:0]
- 8 ビット長の CMPD[7:0]
- 9 ビット長の CMPD[8:0]

26.2.33 DCCR : データコンペアマッチコントロールレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x13

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DCME	IDSEL	—	DFER	DPER	—	—	DCMF
Value after reset:	0	1	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DCMF	データコンペアマッチフラグ 0: 不一致 1: 一致	R(/W) (注1)
2:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DPER	データコンペアマッチパリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R(/W) (注1)
4	DFER	データコンペアマッチフレーミングエラーフラグ 0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R(/W) (注1)
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	IDSEL	ID フレーム選択 調歩同期式モード（マルチプロセッサモードを含む）でのみ有効です。 0: MPB ビット値とは無関係に、常にデータを比較する 1: MPB ビットが 1（ID フレーム）の場合にのみデータを比較する	R/W
7	DCME	データコンペアマッチ有効 調歩同期式モード（マルチプロセッサモードを含む）でのみ有効です。 0: アドレス一致検出機能は無効 1: アドレス一致検出機能は有効	R/W

注 1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

DCCR レジスタは、アドレス一致検出機能を制御するためのレジスタです。

DCMF フラグ（データコンペアマッチフラグ）

DCMF フラグは、SCI が受信データと比較データ (CDR.CMPD) の一致を検出したことを示します。

[1 になる条件]

- DCCR.DCME = 1 の状態で、受信データが比較データ (CDR.CMPD) と一致したとき

[0 になる条件]

- DCMF から 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0 にしても、DCMF フラグは影響を受けず、以前の値を保持します。

DPER フラグ（データコンペアマッチパリティエラーフラグ）

DPER フラグは、アドレス一致検出（受信データの一致検出）時に、パリティエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームでパリティエラーが検出されたとき

[0 になる条件]

- DPER から 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、DPER フラグは影響を受けず、以前の値を保持します。

DFER フラグ（データコンペアマッチフレーミングエラーフラグ）

DFER フラグは、アドレス一致検出（受信データの一致検出）時に、フレーミングエラーが発生したことを示します。

[1 になる条件]

- アドレス一致が検出されたフレームのストップビットが 0 のとき

  2 ストップビットモードの場合、ストップビットの 1 ビット目のみが 1 であるかチェックされます（2 ビット目はチェックされません）。

[0 になる条件]

- DFER から 1 を読んだ後、0 を書いたとき

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、DFER フラグは影響を受けず、以前の値を保持します。

IDSEL ビット（ID フレーム選択）

IDSEL ビットは、アドレス一致検出機能が有効な場合、MPB ビットの値とは無関係に比較を行うか、または SSR.MPB ビット = 1（ID フレーム）の場合にのみ比較を行うかを選択します。

DCME ビット（データコンペアマッチ有効）

DCME ビットは、アドレス一致検出機能（データコンペアマッチ機能）の有効／無効を選択します。

SCI によって受信データと比較データ (CDR.CMPD) の一致が検出された場合、DCME ビットは自動的にクリアされ、その後、SCI の動作モードは通常の受信モードになります。「26.3.6. アドレス一致（受信データ一致）検出機能」を参照してください。

調歩同期式モード以外では、書き込み値は 0 にする必要があります。

26.2.34　SPTR : シリアルポートレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	ATEN	ASEN	TINV	RINV	—	SPB2IO	SPB2DT	RXDMON
Value after reset:	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	RXDMON	シリアル入力データモニタ RXDn 端子の状態を示します。 0: RINV が 0 のとき、RXDn 端子は Low になる RINV が 1 のとき、RXDn 端子は High になる 1: RINV が 0 のとき、RXDn 端子は High になる RINV が 1 のとき、RXDn 端子は Low になる	R

ビット	シンボル	機能	R/W
1	SPB2DT	シリアルポートブレークデータ選択 SCR.TE = 0 の場合、TXDn 端子の出力レベルを選択します。 0: TINV が 0 のとき、TXDn 端子は Low を出力する TINV が 1 のとき、TXDn 端子は High を出力する 1: TINV が 0 のとき、TXDn 端子は High を出力する TINV が 1 のとき、TXDn 端子は Low を出力する	R/W
2	SPB2IO	シリアルポートブレーク入出力(注1) TXDn 端子へ SPB2DT の値を出力するか否かを選択します。 0: SPB2DT ビットの値を TXDn 端子に出力しない 1: SPB2DT ビットの値を TXDn 端子に出力する	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	RINV	RXDn 反転 0: RXDn 端子からの受信データを反転せずに入力する(注2) 1: RXDn 端子からの受信データを反転して入力する	R/W(注3)
5	TINV	TXDn 反転 0: 送信データを反転せずに TXDn 端子に出力する(注2) 1: 送信データを反転し TXDn 端子に出力する	R/W(注3)
6	ASEN	受信サンプリングタイミング調節許可 （本ビットは内部クロックを使用して、調歩同期式モードで有効になります。） この機能で受信サンプリングタイミングを調節できます。 内部クロックを使用する調歩同期式モードの詳細については、「26.3.10. 受信サンプリングタイミング調節機能（調歩同期式モード）」を参照してください。 0: サンプリングタイミング調節を禁止 1: サンプリングタイミング調節を許可	R/W(注3)
7	ATEN	送信タイミング調節許可 （本ビットは内部クロックを使用して、調歩同期式モードで有効になります。） この機能で TXDn 波形の送信エッジを調整できます。詳細は「26.3.11. 送信タイミング調節機能（調歩同期式モード）」を参照してください。 0: 送信タイミング調節を禁止 1: 送信タイミング調節を許可	R/W(注3)

注 1.　本ビットを調歩同期式モードおよびマンチェスタモードで使用してください。他のモードでの動作は保証されません。
注 2.　スマートカードインタフェースモード、および簡易 IIC モードでは、RINV/TINV を 0 に設定してください。
注 3.　これらのビット値の変更は、SCR.TE = SCR.RE = 0 の状態で行ってください。

SPTR レジスタは、シリアル受信端子（RXDn 端子）の状態を確認し、送信端子と受信端子の状態を設定するためのレジスタです。

また、SPTR レジスタには受信サンプリングタイミングと送信タイミングの調節機能を許可するビットがあります。

表 26.24 に示すように、TXDn 端子の状態は、SCR.TE ビット、SPTR.SPB2IO ビット、および SPTR.SPB2DT ビットの各設定値の組み合わせで決定されます。

RDR のデータは RINV と SCMR.SINV によって制御されます。また、TXDn 端子からのデータは TINV と SCMR.SINV によって制御されます。RINV/TINV による制御は通信端子 (RXDn/TXDn) に対して実施されます。したがって、制御対象としてデータビットだけでなく他のビット（スタートビット、ストップビット、パリティビット）も含まれます。詳細は図 26.2 を参照してください。

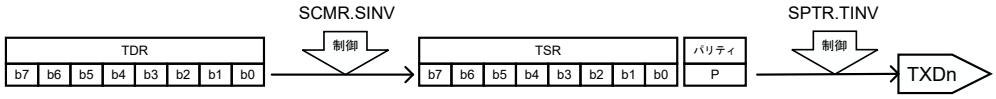
表 26.24　TXDn 端子の状態

SCR.TE ビットの値	SPTR.SPB2IO ビットの値	SPTR.SPB2DT ビットの値	TXDn 端子の状態
0	0	—	Hi-Z（初期値）
0	1	0	Low を出力
0	1	1	High を出力
1	—	—	シリアル送信データを出力

注.　—: Do not care.
注.　SPTR レジスタは調歩同期式モードでのみ使用してください。他のモードでの使用は保証されません。

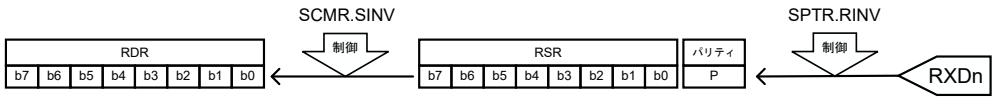
送受信データ制御（データサイズ = 8ビット、偶数パリティ、MSBファースト）

送信データは、SPTR.TINV、SCMR.SINVビットにより制御されます。



SCMR.SINV	SPTR.TINV	TDR	TSR	パリティ（偶数）	TXDn波形
0	0	0xBE	0xBE	0	S b7 b6 b5 b4 b3 b2 b1 b0 P
0	1	0xBE	0xBE	0	S b7 b6 b5 b4 b3 b2 b1 b0 P
1	0	0xBE	0x41	0	S b7 b6 b5 b4 b3 b2 b1 b0 P
1	1	0xBE	0x41	0	S b7 b6 b5 b4 b3 b2 b1 b0 P

受信データは、SPTR.RINV、SCMR.SINVビットにより制御されます。



SCMR.SINV	SPTR.TINV	RDR	RSR	パリティ（偶数）	RXDn波形
0	0	0xBE	0xBE	0	S b7 b6 b5 b4 b3 b2 b1 b0 P
1	0	0x41	0xBE	0	
0	1	0xBE	0xBE	0	S b7 b6 b5 b4 b3 b2 b1 b0 P
1	1	0x41	0xBE	0	

図 26.2　受信/送信データ制御の例

26.2.35　ACTR : 通信タイミング調節レジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x1D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	AET	ATT[2:0]			AJD	AST[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	AST	受信サンプリングタイミングの調整値 RXD 端子のサンプリングタイミングは、次の式によってビットの中心から調節されます。 調整サンプリングタイミング = 基本クロック * AST[2:0]の設定値 このビットは SPTR.ASEN = 1 のときのみ有効です。この設定タイミングは基本クロックサイクル数の設定によって制限されます。詳細については、「26.3.10. 受信サンプリングタイミング調節機能（調歩同期式モード）」を参照してください。	R/W(注1)
3	AJD	受信サンプリングタイミングの調整方向 RXD の受信サンプリングタイミングの調節方向はこのビットによって決定されます。 0: サンプリングタイミングはビットの中心に向かって後ろに調節されます。 1: サンプリングタイミングはビットの中心に向って前に調節されます。 このビットは SPTR.ASEN = 1 のときのみ有効です。詳細については、「26.3.10. 受信サンプリングタイミング調節機能（調歩同期式モード）」を参照してください。	R/W(注1)
6:4	ATT	送信タイミングの調整値 TXD のエッジ選択タイミングは次の式によって調節されます。 調整エッジタイミング = 基本クロック * ATT[2:0]の設定値 このビットは SPTR.ATEN = 1 のときのみ有効です。この設定タイミングは基本クロックサイクル数の設定によって制限されます。詳細については、「26.3.11. 送信タイミング調節機能（調歩同期式モード）」を参照してください。	R/W(注2)
7	AET	送信タイミングの調整エッジ 調節可能エッジはこのビットによって設定されます。 SPTR.TINV ビットが 0 のとき 0: 立ち上がりエッジタイミングを調整します。 1: 立ち下がりエッジタイミングを調整します。 SPTR.TINV ビットが 1 のとき 0: 立ち下がりエッジタイミングを調整します。 1: 立ち上がりエッジタイミングを調整します。 このビットは SPTR.ATEN = 1 のときのみ有効です。詳細については、「26.3.11. 送信タイミング調節機能（調歩同期式モード）」を参照してください。	R/W(注2)

注 1. このビットへの書き込みは、SPTR.ASEN = 0 の場合のみに行ってください。
注 2. このビットへの書き込みは、SPTR.ATEN = 0 の場合のみに行ってください。

このレジスタは受信サンプリングタイミングと送信タイミングの調整を行います。このレジスタは内部クロックを使用した調歩同期式モードの場合にのみ有効になります。

このレジスタによる受信サンプリングタイミングの調整の詳細は、「26.3.10. 受信サンプリングタイミング調節機能（調歩同期式モード）」を参照してください。

このレジスタによる受信サンプリングタイミングの調整の詳細は、「26.3.11. 送信タイミング調節機能（調歩同期式モード）」を参照してください。

注. IP 動作説明（「26.1. 概要」、「26.2. レジスタの説明」、「26.3.10. 受信サンプリングタイミング調節機能（調歩同期式モード）」、および「26.3.11. 送信タイミング調節機能（調歩同期式モード）」を除く）の説明文とタイミングチャートは、受信サンプリングタイミングと送信タイミングの調整機能が無効 (SPTR.ASEN = 0, SPTR.ATEN = 0) の場合を説明したものです。

26.2.36 MMR : マンチェスタモードレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x20

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MANEN	SBSEL	SYNSEL	SYNVAL	—	ERTEN	TMPOL	RMPOL
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RMPOL	受信マンチェスタコードの極性 受信マンチェスタコードの極性を設定します 0: 論理 0 がマンチェスタコードの 0 から 1 の遷移によってコード化されます 論理 1 がマンチェスタコードの 1 から 0 の遷移によってコード化されます 1: 論理 0 がマンチェスタコードの 1 から 0 の遷移によってコード化されます 論理 1 がマンチェスタコードの 0 から 1 の遷移によってコード化されます	R/W(注1)

ビット	シンボル	機能	R/W
1	TMPOL	送信マンチェスタコードの極性 送信マンチェスタコードの極性を設定します 0: 論理 0 がマンチェスタコードの 0 から 1 の遷移によってコード化されます 論理 1 がマンチェスタコードの 1 から 0 の遷移によってコード化されます 1: 論理 0 がマンチェスタコードの 1 から 0 の遷移によってコード化されます 論理 1 がマンチェスタコードの 0 から 1 の遷移によってコード化されます	R/W(注1)
2	ERTEN	マンチェスタエッジ再タイミング有効 受信再タイミング機能を設定します 0: 受信再タイミング機能が無効 1: 受信再タイミング機能が有効	R/W(注1)
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SYNVAL	SYNC 値設定 マンチェスタコードのスタートビットの SYNC タイプを設定します。 スタートビット領域が 1 ビットの場合 (SBSEL = 0) ● 送信時 0: 0 から 1 に遷移するスタートビットが追加されます。 1: 1 から 0 に遷移するスタートビットが追加されます。 ● 受信時 0: スタートビットが 0 から 1 に遷移した場合のみにデータが受信されます。他のケースはエラーと判断されます。 1: スタートビットが 1 から 0 に遷移した場合のみにデータが受信されます。他のケースはエラーと判断されます。 スタートビット領域が 3 ビットの場合 (SBSEL = 1) ● 送信時 0: 0 から 1 に遷移するスタートビットが追加されます。(DATA SYNC) 1: 1 から 0 に遷移するようにスタートビットがコード化されます。(COMMAND SYNC) ● 受信時 スタートビット領域が 3 ビットの場合、このビットとは関係なしにデータが受信されます。	R/W(注1)
5	SYNSEL	SYNC 選択 0: スタートビットパターンが SYNVAL ビットで設定されます。 1: スタートビットパターンが TSYNC ビットで設定されます。	R/W(注1)
6	SBSEL	スタートビットの選択 0: スタートビット領域が 1 ビットで構成されます。 1: スタートビット領域が 3 ビットで構成されます（COMMAND SYNC または DATA SYNC）。	R/W(注1)
7	MANEN	マンチェスタモード有効 マンチェスタモードを設定します 0: マンチェスタモードを無効にします 1: マンチェスタモードを有効にします	R/W(注1)

注. このレジスタのビット 6～0 はマンチェスタモードが有効な場合（MANEN = 1（ビット 7））のみに有効です。
注 1. SCR.TE ビットと SCR.RE ビットが 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合にのみ書き込み可能です。

このレジスタはマンチェスタモードの有効または無効、スタートビット領域の設定、および論理極性の設定のために使用します。

RMPOL ビット（受信マンチェスタコードの極性）

受信マンチェスタコードの極性を設定します。詳細は「26.5.7. シリアルデータの受信（マンチェスタモード）」をご参照ください。

TMPOL ビット（送信マンチェスタコードの極性）

送信マンチェスタコードの極性を設定します。詳細は「26.5.6. シリアルデータの送信（マンチェスタモード）」をご参照ください。

ERTEN ビット（マンチェスタエッジ再タイミング有効）

マンチェスタコードの受信再タイミング機能を設定します。

受信再タイミング機能については、「26.5.9. 受信再タイミング」を参照してください。

SYNVAL ビット（SYNC 値設定）

このビットは、このレジスタの SYNSEL ビットが 0 に設定されている場合に有効です。

SYNC タイプはこのビットと SBSEL ビットを組み合わせることによって設定できます。

このビットと SBSEL ビットを組み合わせることによって決まるスタートビット領域については、図 26.49 と図 26.50 を参照してください。

SYNSEL ビット（SYNC 選択）

このビットは、このレジスタの SBSEL ビットが 1 に設定されている場合に有効です。このビットは、マンチェスタフレームに追加されるスタートビット領域の SYNC タイプを設定する際の、参照先を指定します。

このビットが 0 のとき、このレジスタの SYNVAL ビットが参照されます。

このビットが 1 のとき、TDRH レジスタの TSYNC ビットが参照されます。

詳細については、「26.2.36. MMR : マンチェスタモードレジスタ」のビットテーブルを参照してください。

SBSEL ビット（スタートビットの選択）

このビットはマンチェスタフレームのスタートビット領域を設定します。

このビットが 1 に設定されているときは、各フレームに追加されるスタートビット領域は 3 ビットで構成され、このレジスタの SYNSEL ビットと SYNVAL ビットが有効になります。

このビットが 0 に設定されているときは、各フレームに追加されるスタートビット領域は 1 ビットで構成されます。

MANEN ビット（マンチェスタモード有効）

マンチェスタモードを設定します。

このビットを 0 にすると、マンチェスタモードが無効になります。

このビットを 1 にすると、マンチェスタモードが有効になります。

26.2.37　TMPR : マンチェスタプレフィス設定レジスタの転送

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x22

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	TPPAT[1:0]		TPLEN[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	TPLEN	送信プレフィス長 マンチェスタモードの送信データのプレフィス長を設定します 0x0: 送信プレフィスの生成を無効にします その他: 送信プレフィス長（ビット長）	R/W(注1)
5:4	TPPAT	送信プレフィスパターン 送信データのプレフィスパターンを設定します 0 0: すべて 0 のパターン 0 1: 0-1 のパターン 1 0: 1-0 のパターン 1 1: すべて 1 のパターン	R/W(注1)
7:6	—	読み出し値は不定です。書く場合、0 としてください。	R/W

注.　このレジスタはマンチェスタモードが有効の場合 (MMR.MANEN = 1) のみに有効です。
注 1.　SCR.TE ビットと SCR.RE ビットが 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合にのみ書き込み可能です。

このレジスタは、マンチェスタモードでの送信データのプレフィス長とプレフィスパターンを設定するために使用します。

TPLEN ビット（送信プレフィス長）

これらビットは、マンチェスタモードにおける送信データのプレフィスビット長を設定します。

設定可能な範囲は 0x0～0xF (0～15) です。0x0 の場合は送信プレフィスが無効になり、付加されなくなります。

TPPAT ビット（送信プレフィスパターン）

これらのビットはマンチェスタモードの 4 つのプレフィスパターンのうちのいずれかに設定されます。

これらビットが 00b に設定されている場合、プレフィス領域はすべて 0 に設定されます。

これらビットが 01b に設定されている場合、プレフィス領域は 0-1-0-1 のパターンに設定されます。

これらビットが 10b に設定されている場合、プレフィス領域は 1-0-1-0 のパターンに設定されます。

これらビットが 11b に設定されている場合、プレフィス領域はすべて 1 に設定されます。

注. TPPAT ビットが設定されている場合の送信データと受信データについては、図 26.48 を参照してください。

26.2.38 RMPR : マンチェスタプレフィス設定レジスタの受信

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x23

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	RPPAT[1:0]		RPLEN[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	RPLEN	受信プレフィス長 マンチェスタモードが有効時に、プレフィス長を設定します 0: 受信プレフィスの生成を無効にします その他: 受信プレフィス長（ビット長）	R/W(注1)
5:4	RPPAT	受信プレフィスパターン 受信フレームのプレフィスパターンを設定します 0 0: すべて 0 のパターン 0 1: 0-1 のパターン 1 0: 1-0 のパターン 1 1: すべて 1 のパターン	R/W(注1)
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタはマンチェスタモードが有効の場合 (MMR.MANEN = 1) のみに有効です。
注 1. SCR.TE ビットと SCR.RE ビットが 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合にのみ書き込み可能です。

このレジスタは、マンチェスタモードでの受信フレームのプレフィス長とプレフィスパターンを設定するために使用します。

RPLEN ビット（受信プレフィス長）

これらビットは、マンチェスタモードにおける受信フレームのプレフィスビット長を設定します。

設定可能な範囲は 0x0～0xF (0～15) です。0x0 の場合は受信プレフィスが無効になり、付加されなくなります。0x1～0xF が設定された場合は、設定値が受信プレフィスビット長として扱われます。

RPPAT ビット（受信プレフィスパターン）

これらのビットはマンチェスタモードの 4 つのプレフィスパターンのうちのいずれかに設定されます。

これらビットが 00b に設定されている場合は、プレフィス領域はすべて 0 として扱われます。

これらビットが 01b に設定されている場合、プレフィス領域は 0-1-0-1 のパターンとして扱われます。

これらビットが 10b に設定されている場合、プレフィス領域は 1-0-1-0 のパターンとして扱われます。

これらビットが 11b に設定されている場合は、プレフィス領域はすべて 1 として扱われます。

注. RPPAT ビットが設定されている場合の送信データと受信データについては、図 26.48 を参照してください。

26.2.39 MESR : マンチェスタ拡張エラーステータスレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x24

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SBER	SYER	PFER
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PFER	プレフィスエラーフラグ このビットはプレフィスエラー（パターン不一致）が検出されたときに設定されます。 0: プレフィスエラー未検出 1: プレフィスエラー検出	R/(W) (注1)
1	SYER	SYNC エラーフラグ このビットは受信再タイミング時の調整可能範囲でエッジが検出されなかった場合に設定されます。 0: 受信 SYNC エラーの検出なし 1: 受信 SYNC エラーの検出あり	R/(W) (注1)
2	SBER	スタートビットエラーフラグ このビットはスタートビット領域でパターン不一致が検出されたときに設定されます。 0: スタートビットエラーの検出なし 1: スタートビットエラーの検出あり	R/(W) (注1)
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタはマンチェスタモードが有効の場合 (MMR.MANEN = 1) のみに有効です。
注 1. フラグをクリアするための 0 書き込みのみ可能です。フラグをクリアするには、フラグが 1 であることを確認してから 0 を書いてください。

このレジスタはマンチェスタモードでのフレーム受信時のエラー状態を示します。

プレフィスエラー、受信 SYNC エラー、スタートビットエラーの検出を示します。

PFER ビット（プレフィスエラーフラグ）

このビットはマンチェスタモードでのフレーム受信時にプレフィスエラーを検出したことを示します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時にプレフィスエラーが検出されたとき
  プレフィスエラーが発生したときに以下の動作が行われます。
  (MECR.PFEREN = 1 の場合)
  受信データは RDR レジスタに転送されず、RXI 割り込み要求も発生しません。代わりに ERI 割り込み要求が発生します。なお、PFER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。
  (MECR.PFEREN = 0 の場合)
  受信データが RDR レジスタに転送され、RXI 割り込み要求が発生ます。ERI 割り込み要求は発生しません。
  PFER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- ビットから 1 を読み出した後に 0 を書き込んだとき

SCR.RE ビットを 0 にクリアしても、PFER フラグは影響を受けず、以前の状態を保持します。

SYER ビット（SYNC エラーフラグ）

このビットはマンチェスタモードで MMR.ERTEN = 1（マンチェスタエッジ再タイミング許可）の場合のフレーム受信時に受信 SYNC エラーを検出したことを示します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時に受信 SYNC エラーが検出されたとき
  受信 SYNC エラーが発生したときに以下の動作が行われます。

（MECR.SYEREN = 1 の場合）
受信データが RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。代わりに ERI 割り込み要求が発生します。なお、SYER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。
（MECR.SYEREN = 0 の場合）
受信データが RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。SYER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- ビットから 1 を読み出した後に 0 を書き込んだとき

SCR.RE ビットを 0 にクリアしても、SYER フラグは影響を受けず、以前の状態を保持します。

SBER ビット（スタートビットエラーフラグ）

このビットはマンチェスタモードでのフレーム受信時にスタートビットエラーを検出したことを示します。

[1 になる条件]

- マンチェスタモードでのフレーム受信時にスタートビットエラーが検出されたとき
スタートビットエラーが発生したときに以下の動作が行われます。
（MECR.SBEREN = 1 の場合）
受信データは RDR レジスタに転送されず、RXI 割り込み要求も発生しません。代わりに ERI 割り込み要求が発生します。なお、SBER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。
（MECR.SBEREN = 0 の場合）
受信データが RDR レジスタに転送され、RXI 割り込み要求が発生します。ERI 割り込み要求は発生しません。SBER フラグが 1 になっていても以降の受信動作には影響しません。

[0 になる条件]

- ビットから 1 を読み出した後に 0 を書き込んだとき

SCR.RE ビットを 0 にクリアしても、SBER フラグは影響を受けず、以前の状態を保持します。

26.2.40　MECR : マンチェスタ拡張エラーコントロールレジスタ

Base address: SCIn = 0x4011_8000 + 0x0100 × n (n = 0, 9)

Offset address: 0x25

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SBEREN	SYEREN	PFEREN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PFEREN	プレフィスエラー許可 プレフィスエラーを割り込み要因として扱うかどうかを指定します 0: プレフィスエラーを割り込み要因として扱わない 1: プレフィスエラーを割り込み要因として扱う	R/W
1	SYEREN	受信 SYNC エラー許可 受信 SYNC エラーを割り込み要因として扱うかどうかを指定します 0: 受信 SYNC エラーを割り込み要因として扱わない 1: 受信 SYNC エラーを割り込み要因として扱う	R/W
2	SBEREN	スタートビットエラー許可 スタートビットエラーを割り込み要因として扱うかどうかを指定します 0: スタートビットエラーを割り込み要因として扱わない 1: スタートビットエラーを割り込み要因として扱う	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注.　このレジスタはマンチェスタモードが有効の場合 (MMR.MANEN = 1) のみに有効です。

このレジスタは、マンチェスタモードにおいてプレフィスエラー、受信 SYNC エラー、またはスタートビットエラーを割り込み要因として扱うかどうかを指定します。これらエラーが割り込み要因として扱われると、各エラ

一発生時に割り込み要求とイベント要求が生成され、対応するエラーフラグがクリアされるまで受信が中断します。

MMR.MANEN = 0 の状態でこのレジスタを設定してください。また、通信中はこのレジスタを変更しないでください。

PFEREN ビット（プレフィスエラー許可）

プレフィスエラーを割り込み要因として扱うかどうかを指定します。

0 に設定されると、プレフィスエラーが割り込み要因として扱われません。1 に設定されると、プレフィスエラーが割り込み要因として扱われます。

SYEREN ビット（受信 SYNC エラー許可）

受信 SYNC エラーを割り込み要因として扱うかどうかを指定します。

0 に設定されると、受信 SYNC エラーが割り込み要因として扱われません。1 に設定されると、受信 SYNC エラーが割り込み要因として扱われます。

SBEREN ビット（スタートビットエラー許可）

スタートビットエラーを割り込み要因として扱うかどうかを指定します。

0 に設定されると、スタートビットエラーが割り込み要因として扱われません。1 に設定されると、スタートビットエラーが割り込み要因として扱われます。

26.3　調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 26.3 に示します。1 フレームは、スタートビット (Low) で始まり、送受信データ、パリティビット、ストップビット (High) の順に構成されます。調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High) に保たれています。

SCI は通信回線を監視しています。Low を検出すると、スタートビットと見なしてシリアル通信を開始します。

SCI 内部では送信部と受信部は独立しており、全二重通信が可能です。また、送信部と受信部はどちらも FIFO モードに加えてダブルバッファ構成になっているため、送受信中でもデータの読み出し／書き込みが可能であり、連続送受信動作が実現されます。

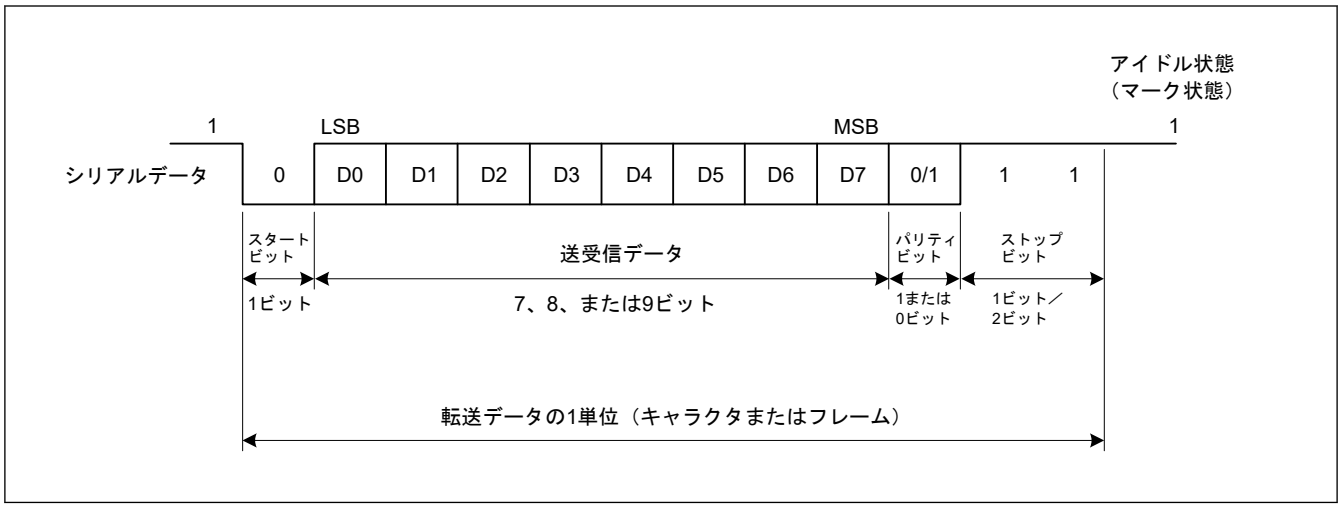


図 26.3　調歩同期式シリアル通信のデータフォーマット（8 ビットデータ／パリティあり／2 ストップビットの場合）

26.3.1　シリアル転送フォーマット

調歩同期式モードで設定できるシリアル送信／受信フォーマットを表 26.25 に示します。フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの設定で選択できます。マルチプロセッサ機能の詳細については「26.4. マルチプロセッサ通信機能」を参照してください。

表 26.25　シリアル転送フォーマット（調歩同期式モード）

SCMR 設定値	SMR 設定値				シリアル送信／受信フォーマットとフレーム長
CHR1	CHR	PE	MP	STOP	1 2 3 4 5 6 7 8 9 10 11 12 13
0	0	0	0	0	ST 9 ビットデータ SP
0	0	0	0	1	ST 9 ビットデータ SP SP
0	0	1	0	0	ST 9 ビットデータ P SP
0	0	1	0	1	ST 9 ビットデータ P SP SP
1	0	0	0	0	ST 8 ビットデータ SP
1	0	0	0	1	ST 8 ビットデータ SP SP
1	0	1	0	0	ST 8 ビットデータ P SP
1	0	1	0	1	ST 8 ビットデータ P SP SP
1	1	0	0	0	ST 7 ビットデータ SP
1	1	0	0	1	ST 7 ビットデータ SP SP
1	1	1	0	0	ST 7 ビットデータ P SP
1	1	1	0	1	ST 7 ビットデータ P SP SP
0	0	—	1	0	ST 9 ビットデータ MPB SP
0	0	—	1	1	ST 9 ビットデータ MPB SP SP
1	0	—	1	0	ST 8 ビットデータ MPB SP
1	0	—	1	1	ST 8 ビットデータ MPB SP SP
1	1	—	1	0	ST 7 ビットデータ MPB SP
1	1	—	1	1	ST 7 ビットデータ MPB SP SP

ST: スタートビット
SP: ストップビット
P: パリティビット
MPB: マルチプロセッサビット

26.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍(注1)の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりエッジを基本クロックでサンプリングして内部を同期化します。(注2)

また、図 26.4 に示すように、受信データは基本クロックの 8 パルス目(注1)の立ち上がりエッジでサンプリングされるため、各ビット（サンプリング時間を調整しない場合（SPTR.ASEN = 0））の中間でデータが取り込まれます。調歩同期式モードでの受信マージンは以下の式 (1) のように表すことができます。

$$M = \left|\left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F)\right| \times 100\ [\%] \quad \ldots \quad \text{式 (1)}$$

注.　M: 受信マージン

N: クロックに対するビットレートの比

（SEMR.ABCSE = 0 かつ SEMR.ABCS = 0 の場合は、N = 16）

SEMR.ABCS = 1 の場合、N = 8

（SEMR.ABCSE = 1 の場合は、N = 6）

D: クロックのデューティーサイクル (D = 0.5～1.0)

L: フレーム長 (L = 9～13)

F: クロック周波数の偏差の絶対値

式（1）で、F = 0、D = 0.5 とすると、受信マージンは下記の式で算出されます。

$M = \{0.5 - 1/(2 \times 16)\} \times 100\ (\%) = 46.875\ \%$

これは計算上の値を表しています。システム設計の際には 20～30%の余裕を持たせることが推奨されます。

注 1.　この例では、SEMR.ABCS ビットと SEMR.ABCSE ビットが 0 です。ABCS ビットが 1 で ABCSE ビットが 0 の場合は、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 パルス目の立ち上がりエッジでサンプリングされます。

ABCSE ビットが 1 の場合は、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 パルス目の立ち上がりエッジでサンプリングされます。

注 2.　スタートビットの決定条件は以下の通りです。

サンプリングタイミング調節機能がオフ (ASEN = 0) :

スタートビットの決定条件は、Low 状態がビットの中間点より後ろまで続くことです。サンプリングタイミングと同様です。図 26.4 では、スタートビットを検出するためには Low 状態が 8 サイクルより長く続く必要があります。Low 状態が 8 サイクルより長く続かなかった場合は、IP はこれをノイズと判断します。したがって IP はスタートビットの受信待機をしません。

サンプリングタイミング調節機能がオン (ASEN = 1) :

スタートビットの決定条件は、Low 状態がサンプリングタイミングまで継続することです。サンプリングタイミングを前に調節 (AJD = 1) すると、ノイズをスタートビットと誤って判断する可能性が増します。

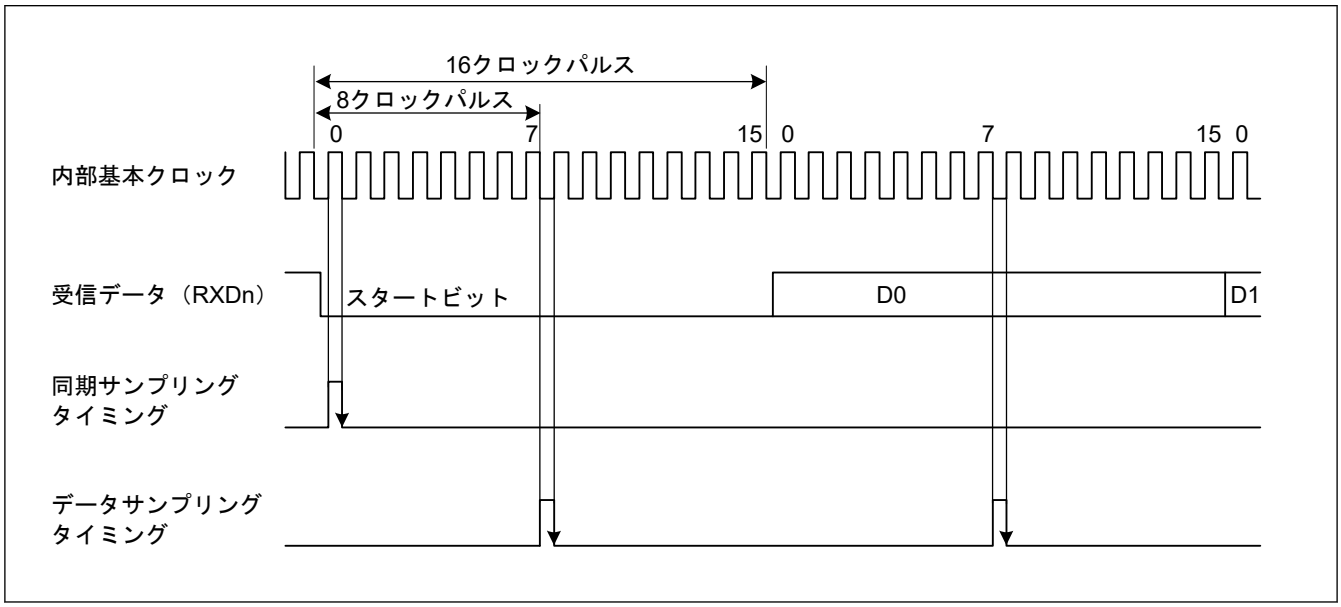


図 26.4　調歩同期式モードでの受信データサンプリングタイミング

26.3.3 クロック

SCI の送受信クロックは、SMR.CM ビットと SCR.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍（SEMR.ABCS ビット = 0 のとき）、または 8 倍（SEMR.ABCS ビット = 1 のとき）の周波数のクロックを入力する必要があります。

内部クロックで動作させるときは、SCKn 端子からクロックを出力させることができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 26.5 に示すように、送信データの中間にクロックの立ち上がりエッジが来るように設定されます。

クロック出力を選択した場合は、SCR.TE = 1 もしくは SCR.RE = 1 に設定した後でクロック出力が行われます。

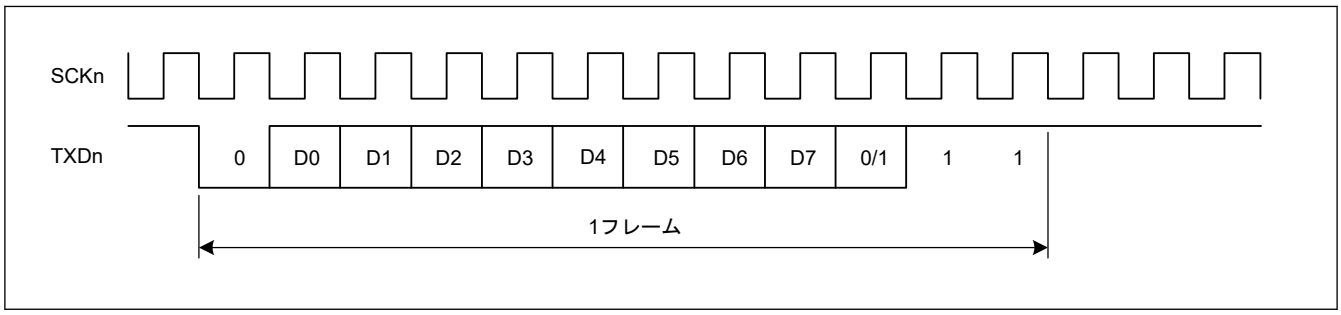


図 26.5 調歩同期式モードにおける出力クロックと送信データの位相関係（SMR.CHR = 0、PE = 1、MP = 0、および STOP = 1 の場合）

26.3.4 倍速動作とビットレートの 6 倍の周波数

SEMR.ABCS ビットを 1 にして、1 ビット期間として基本クロックの 8 パルスを選択した場合、ABCS ビットが 0 の場合に比べて、SCI は 2 倍のビットレートで動作します。SEMR.BGDM ビットが 1 になっていると、基本クロックの周期は 1/2 倍になり、ビットレートは BGDM ビットが 0 の場合の 2 倍になります。SCR.CKE[1]ビットを 0 にして、内蔵ボーレートジェネレータを選択した場合、ABCS ビットと BGDM ビットを 1 にすることにより、ABCS ビットと BGDM ビットが 0 の場合に比べて、SCI は 4 倍のビットレートで動作できるようになります。

SEMR.ABCSE ビットが 1 になっている場合、基本クロックのパルス数は 1 ビット期間中 6 になり、SEMR.ABCS、SEMR.BGDM、および SEMR.ABCSE が 0 の場合に比べて、SCI は 16/3 倍のビットレートで動作します。

「26.3.2. 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式 (1) に示すとおり、SEMR.ABCS ビットまたは SEMR.ABCSE ビットが 1 の場合、受信マージンは減少します。そのため、ABCS ビットまたは ABCSE ビットが 0 の状態で目的とするビットレートが達成できるのであれば、ABCS ビットと ABCSE ビットを 0 にして SCI を使用することが推奨されます。

26.3.5 CTS、RTS 機能

CTS 機能は、CTSn_RTSn 端子入力を使用して送信制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS、RTS 機能に対して、1 端子で片方の機能を使用する設定および 2 端子で各機能を独立に使用する専用設定を選択できます。 これは SPMR.CTSPEN ビットにより設定されます。

CTS 機能が有効な場合、CTSn_RTSn 端子入力が Low になると送信が開始されます。

送信中に CTSn_RTSn 端子入力を High にしても、送信中のフレームは影響を受けません。

RTS 機能は、CTSn_RTSn 端子出力を使用して受信要求を行う機能で、受信可能な状態になると Low を出力します。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

下記条件をすべて満たす場合

非 FIFO 選択時

- SCR.RE ビットが 1
- 受信動作中でない

- 読み出し前の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて 0

FIFO 選択時

- SCR.RE ビットが 1
- FRDRHL に書き込まれた受信データ数が FCRH.RSTRG[3:0]の設定値以下
- SSR_FIFO レジスタの ORER フラグ (FRDRH.ORER) が 0

[High になる条件]

- Low になる条件を満たさない場合

26.3.6 アドレス一致（受信データ一致）検出機能

アドレス一致検出機能は、調歩同期式モードでのみ使用可能です。

DCCR.DCME ビットを 1 にした場合、1 フレーム分のデータを受信すると、SCI は受信データと CDR.CMPD ビットの値を比較します。SCI によって受信データと比較データ（CDR.CMPD(注1)）の一致が検出された場合、SCIn_RXI 割り込み要求を発生させることができます。

SMR.MP ビットが 0 の場合は、受信フォーマットの有効データのみが比較対象になります。マルチプロセッサモード（SMR.MP ビット = 1）では、DCCR.IDSEL ビットが 1 の場合、MPB ビット = 1 の受信データがアドレス一致の比較対象となり、MPB ビット = 0 の受信データは、常に不一致として処理されます。

DCCR.IDSEL ビットが 0 の場合、受信データの MPB ビットの値にかかわらず、SCI はアドレス一致検出を実行します。

受信データと比較データ（CDR.CMPD(注1)）の一致が検出されるまで、受信データが読み飛ばされる（廃棄される）ので、SCI はパリティエラーもフレーミングエラーも検出することができません。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグは 1 になります。DCCR.IDSEL ビットが 1 の場合は、SCR.MPIE ビットが自動的にクリアされます。また、DCCR.IDSEL ビットが 0 であれば、SCR.MPIE ビットの値が保持されます。SCR.RIE ビットが 1 になっていると、SCI は SCIn_RXI 割り込み要求を発行します。

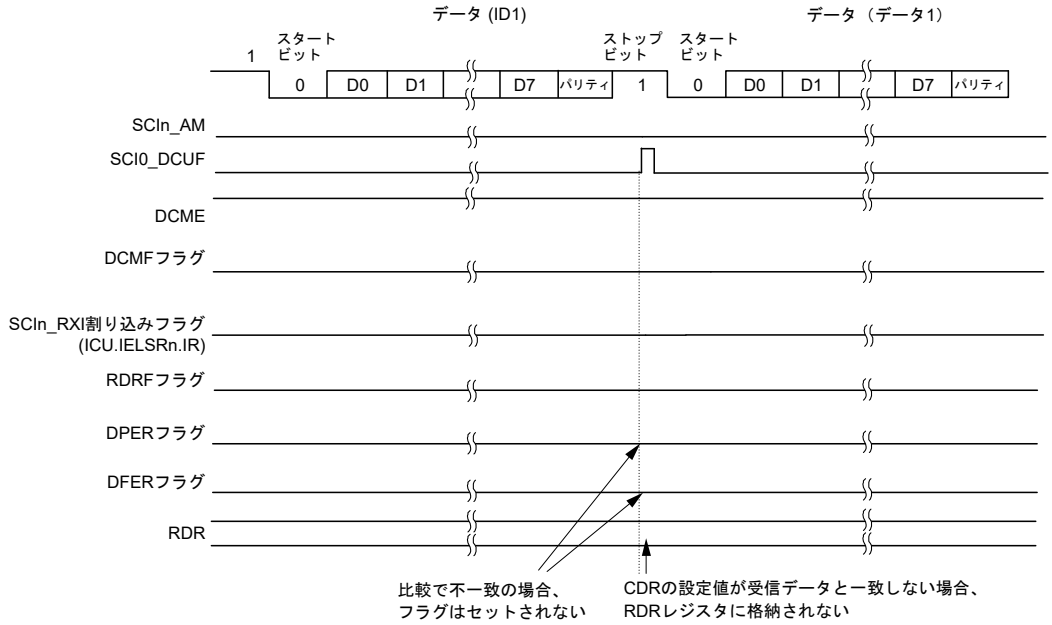
一致が検出された受信データに対して、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。比較された受信データは RDR レジスタに格納されません。また、SSR.RDRF フラグは 0 を保持します。FCR.FM = 1 の場合、RDR レジスタは FRDRHL レジスタを示します。SSR.RDRF フラグは SSR_FIFO.RDF フラグを示します。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、SCI は現在のレジスタ設定に基づいて次のデータを連続して受信します。

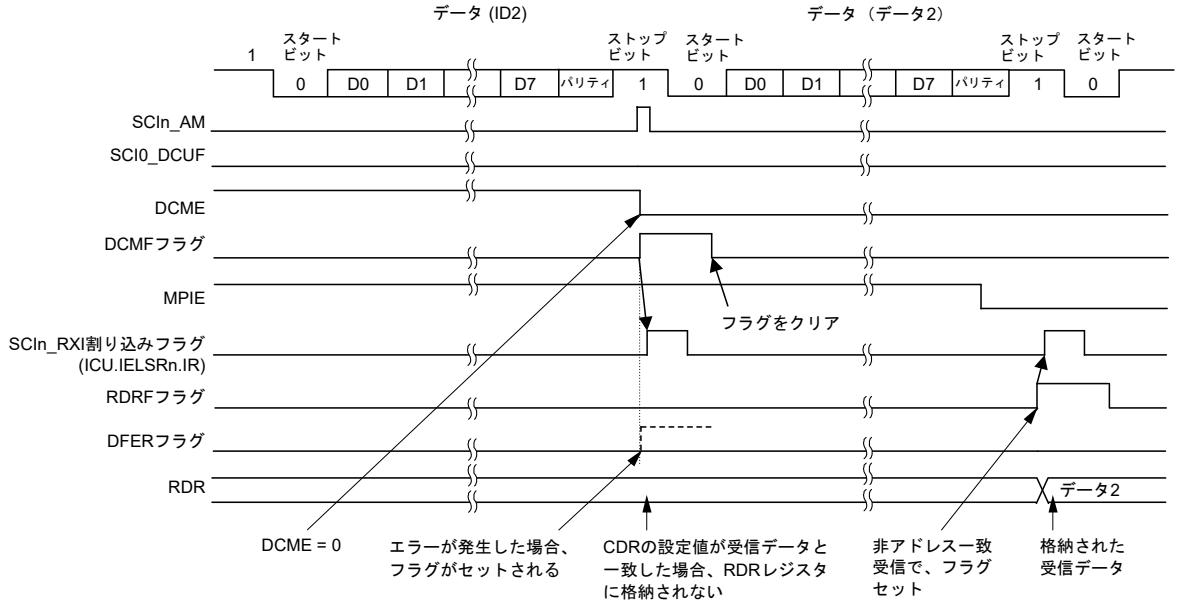
DCCR.DFER フラグまたは DCCR.DPER フラグが 1 の状態では、アドレス一致検出は実行されません。アドレス一致検出機能を有効にする場合は、事前に DCCR.DFER フラグと DCCR.DPER フラグを 0 にしてください。

アドレス一致検出機能の例を図 26.6 および図 26.7 に示します。

注 1. 比較対象は、以下の 3 種類のビット長から選択できます。7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、および 9 ビット長の CMPD[8:0]

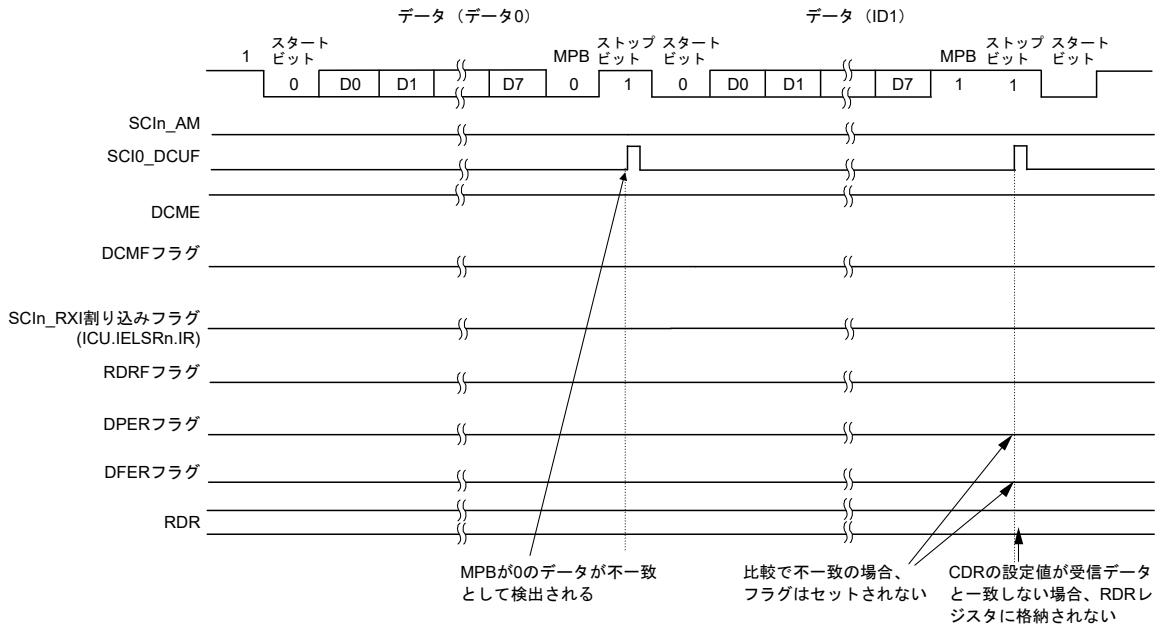


(a) 受信データとCDRの比較結果が不一致の場合の例（8ビット長／パリティ／非マルチプロセッサモード）

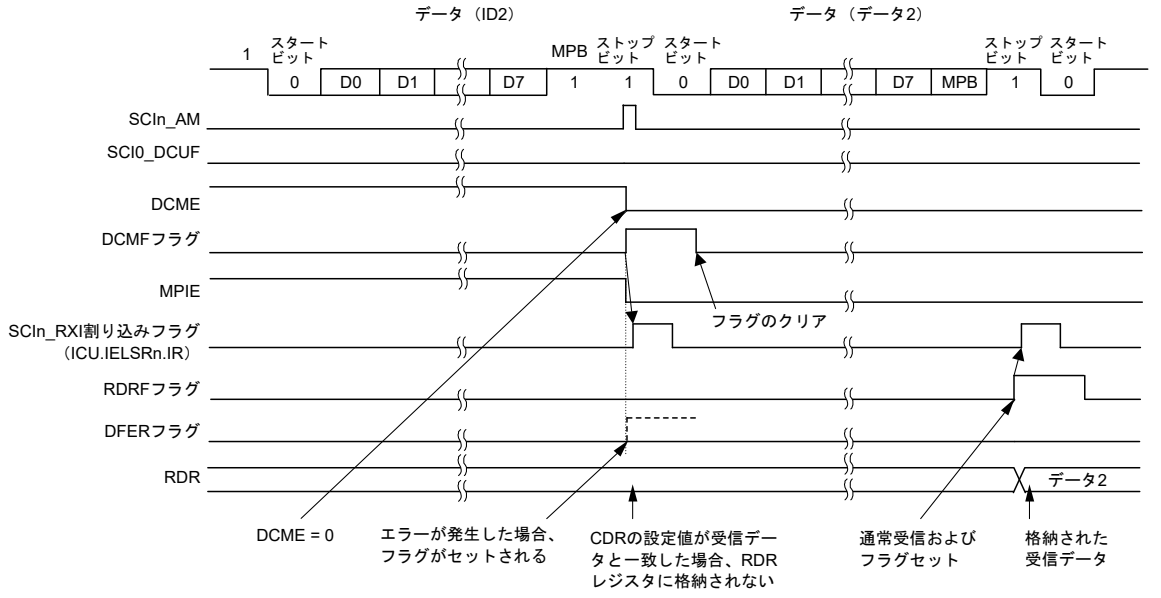


(b) 受信データとCDRの比較結果が一致した場合の例（8ビット長／パリティ／非マルチプロセッサモード）

図 26.6　アドレス一致検出の例 (1)（通常モード）



(a) 受信データとCDRの比較結果が不一致の場合の例 （8ビット長／IDSEL = 1／マルチプロセッサモード）



(b) 受信データとCDRの比較結果が一致した場合の例（8ビット長／IDSEL = 1／マルチプロセッサモード）

図 26.7　アドレス一致検出の例 (2)（マルチプロセッサモード）

26.3.7　SCI の初期化（調歩同期式モード）

データを送受信する前に、最初に初期値 0x00 を SCR レジスタに書き込み、次に SCI の初期設定（非 FIFO 選択時または FIFO 選択時）を表 26.26 と表 26.27 のフローチャートに従って続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

注. SCR.RE ビットを 0 にしても、SSR/SSR_FIFO レジスタ、ならびに RDR レジスタと RDRHL レジスタの ORER、FER、RDRF、RDF、PER、および DR フラグは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。

注. 非 FIFO モードにおいて、SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCIn_TXI 割り込み要求が発生します。

表 26.26 調歩同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時）

番号	ステップ名	説明
1	初期化を開始	
2	SCR.TIE、RIE、TE、RE、および TEIE ビットを 0 に設定	
3	FCR.FM ビットを 0 に設定	FCR.FM ビットを 0 に設定します。
4	SCR.CKE[1:0]ビットを設定	SCR レジスタにクロック選択を設定します。 調歩同期モードでクロック出力を選択した場合は、SCR 設定の完了後、ただちにクロックが出力されます。
5	SIMR1.IICM ビットを 0 に設定 SPMR.CKPH ビットと SPMR.CKPOL ビットを 0 に設定します。	SIMR1.IICM ビットを 0 に設定します。 SPMR.CKPH ビットと SPMR.CKPOL ビットを 0 に設定します。 これらの値が初期値から変更されていない場合、手順 5 は省略できます。
6	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定します。
7	SPTR レジスタおよび ACTR レジスタに値を設定	SPTR レジスタに通信端子状態を、ACTR レジスタに調整可能なサンプリング値を設定します。
8	BRR に値を設定	BRR レジスタにビットレートに対応する値を書き込みます。 外部クロックを使用する場合、この手順は不要です。
9	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットを 0 にした場合、または外部クロックを使用する場合、この手順は不要です。
10	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
11	SCR.TE ビットまたは SCR.RE ビットを 1 にし、SCR.TIE ビットと SCR.RIE ビットを設定	SCR.TE ビットまたは SCR.RE ビットを 1 にします。SCR.TIE ビットおよび SCR.RIE ビットも設定します。 TE ビットおよび RE ビットを設定することで、TXDn 端子および RXDn 端子が使用可能となります。
12	初期化を完了	

表 26.27 調歩同期式モードにおける SCI の初期化フローチャート例（FIFO 選択時） (1/2)

番号	ステップ名	説明
1	初期化を開始	
2	SCR.TIE、RIE、TE、RE、および TEIE ビットを 0 に設定	
3	FCR.FM ビット、FCR.TFRST ビット、および FCR.RFRST ビットを 1 にします。 FCR.TTRG[3:0]ビット、RTRG[3:0]ビット、および RSTRG[3:0]ビットを設定します。	FCR.FM、TFRST、および RFRST ビットを 1 にします（FIFO モードが有効、送信/受信 FIFO がエンプティ）。 FCR.TTRG[3:0]ビット、RTRG[3:0]ビット、および RSTRG[3:0]ビットを設定します。
4	SCR.CKE[1:0]ビットを設定	SCR レジスタにクロック選択を設定します。 調歩同期モードでクロック出力を選択した場合は、SCR 設定の完了後、ただちにクロックが出力されます。
5	SIMR1.IICM ビットを 0 に設定 SPMR.CKPH ビットと SPMR.CKPOL ビットを 0 に設定します。	SIMR1.IICM ビットを 0 に設定します。 SPMR.CKPH ビットと SPMR.CKPOL ビットを 0 に設定します。 これらの値が初期値から変更されていない場合、手順 5 は省略できます。

表 26.27　調歩同期式モードにおける SCI の初期化フローチャート例（FIFO 選択時） (2/2)

番号	ステップ名	説明
6	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定します。
7	SPTR レジスタおよび ACTR レジスタに値を設定	SPTR レジスタに通信端子状態を、ACTR レジスタに調整可能なサンプリング値を設定します。
8	BRR に値を設定	BRR レジスタにビットレートに対応する値を書き込みます。 外部クロックを使用する場合、この手順は不要です。
9	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットを 0 にした場合、または外部クロックを使用する場合、この手順は不要です。
10	FCR.TFRST ビットと FCR.RFRST ビットを 0 に設定	FCR.TFRST ビットと FCR.RFRST ビットを 0 に設定します。
11	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
12	SCR.TE ビットまたは SCR.RE ビットを 1 にし、SCR.TIE ビットと SCR.RIE ビットを設定	SCR.TE ビットまたは SCR.RE ビットを 1 にします。SCR.TIE ビットおよび SCR.RIE ビットも設定します。 TE ビットおよび RE ビットを設定することで、TXDn 端子および RXDn 端子が使用可能となります。
13	初期化を完了	

26.3.8　シリアルデータの送信（調歩同期式モード）

(1) 非 FIFO 選択時

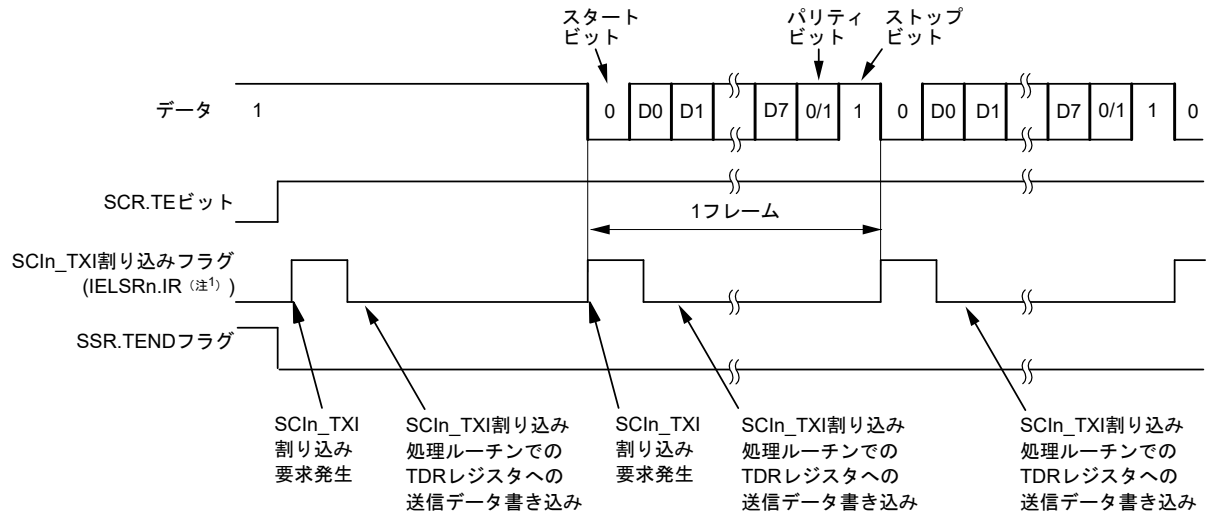
図 26.8、図 26.9、および図 26.10 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

本項では、シリアルデータ送信時の SCI の動作について説明します。SCR.TE ビットが 1 の場合、1 フレーム分の High レベルが TXDn 端子に出力されます。ただし、SEMR.PADIS ビットが 1 の場合、このプリアンブルは出力されません。プリアンブルが出力されない場合の動作例を図 26.11 に示します。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタ(注1)にデータが書き込まれると、SCI は TDR レジスタ(注1)から TSR レジスタへデータを転送します。
   なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. SPMR.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子入力が Low であると、TDR レジスタ(注1)から TSR レジスタへデータが転送され、送信が開始されます。SCR.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタ(注1)に次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタ(注1)に書き込んだ後、SCR.TIE ビットを 0（SCIn_TXI 割り込み要求を禁止）にして、SCR.TEIE ビットを 1（SCIn_TEI 割り込み要求を許可）にします。
3. データは、以下の順に TXDn 端子から送り出されます。
   - スタートビット
   - 送信データ
   - パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
   - ストップビット
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが 0（CTS 機能は無効）、または CTSn_RTSn 端子入力が Low に設定されていれば、次の送信データが TDR レジスタ(注1)から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. TDR レジスタが更新されていない場合は、SSR.TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

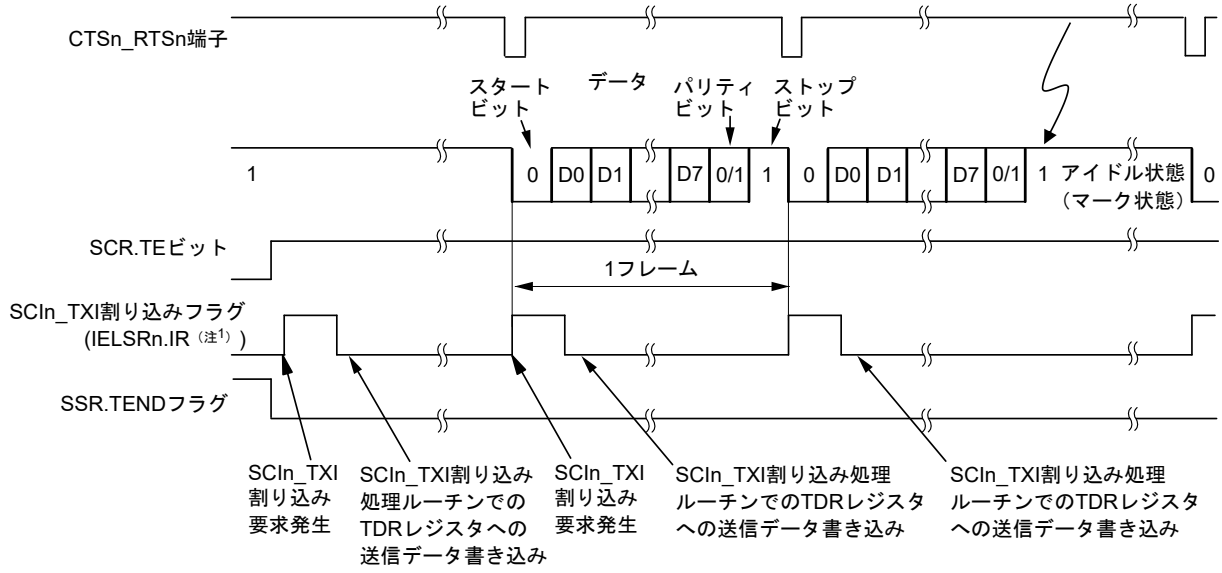
注 1.　データ長 9 ビット選択時は、TDR レジスタは TDRHL レジスタになります。

図 26.8、図 26.9、および図 26.10 に、調歩同期式モードにおけるシリアル送信の動作例を示します。



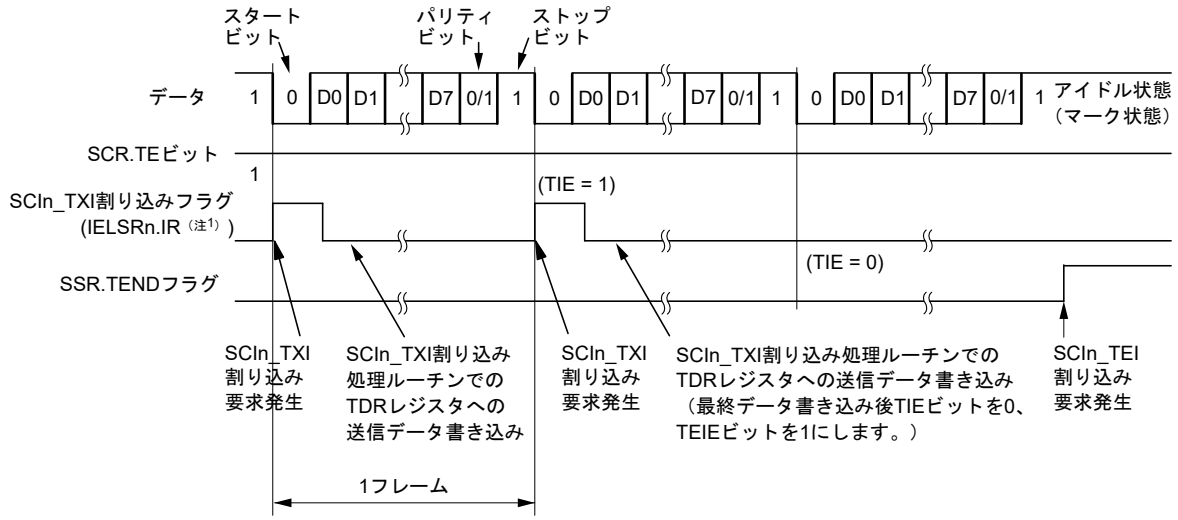
注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.8　調歩同期式モードにおけるシリアル送信の動作例 (1)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能不使用／送信開始時）



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.9　調歩同期式モードにおけるシリアル送信の動作例 (2)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能使用／送信開始時）



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.10　調歩同期式モードにおけるシリアル送信の動作例 (3)（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能不使用／送信中～送信終了時）

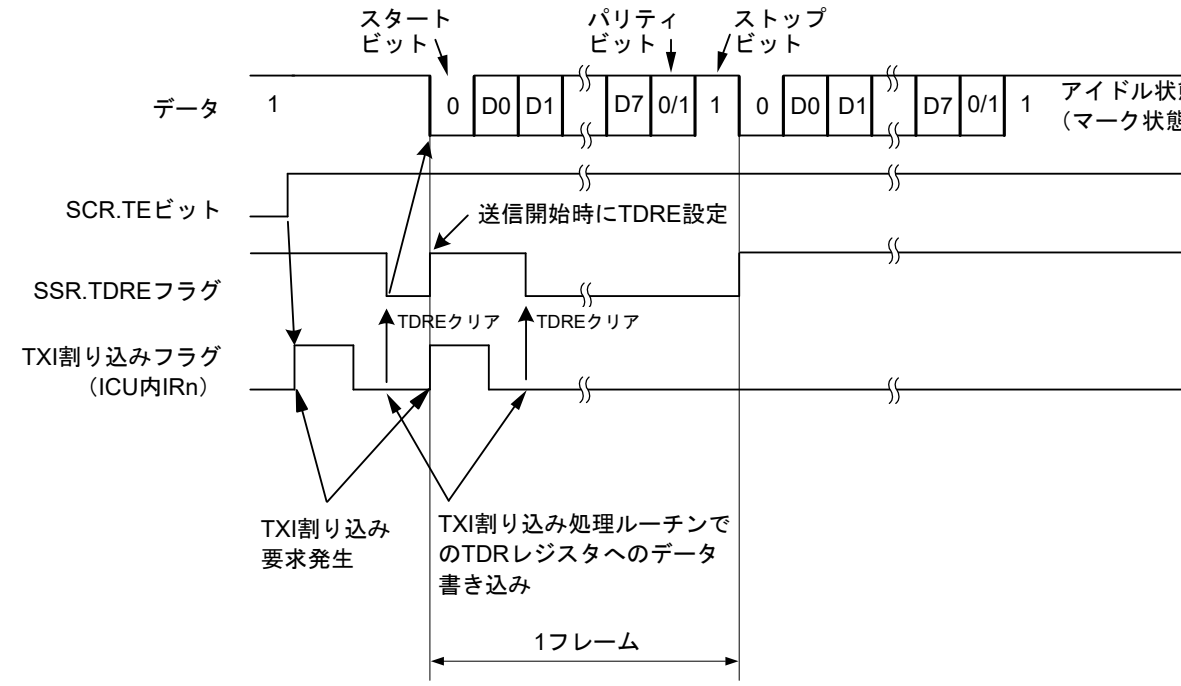


図 26.11　調歩同期式モードにおけるシリアル送信の動作例 (4)
（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能使用しない/送信中～送信終了時、プリアンブル停止）

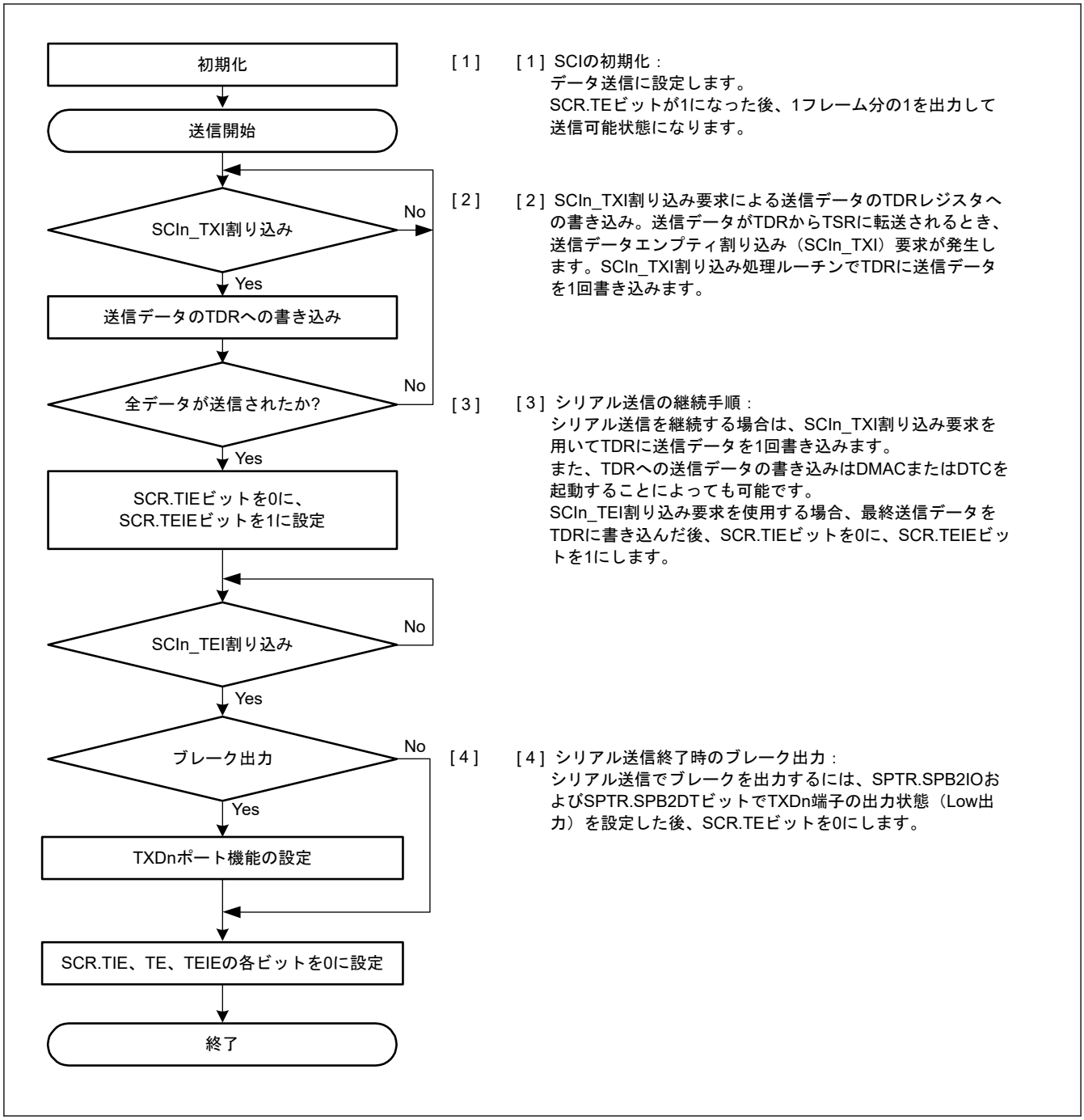


図 26.12　調歩同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 26.13 に、調歩同期式モードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

データ長に対応したデータが FTDRH レジスタと FTDRL レジスタに設定されます。使用しないビットには 0 を書いてください。FTDRH レジスタから FTDRL レジスタの順に書いてください。

データ長	レジスタ設定		FTDRH、FTDRL内の送信データ															
			FTDRHL															
			FTDRH								FTDRL							
	SCMR.CHR1	SMR.CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	–	–	–	–	–	–	–	–	–	7ビットの送信データ						
8ビット	1	1	–	–	–	–	–	–	–	–	8ビットの送信データ							
9ビット	0	Don't care	–	–	–	–	–	–	–	9ビットの送信データ								

注.　—：無効。書く場合、0 としてください。

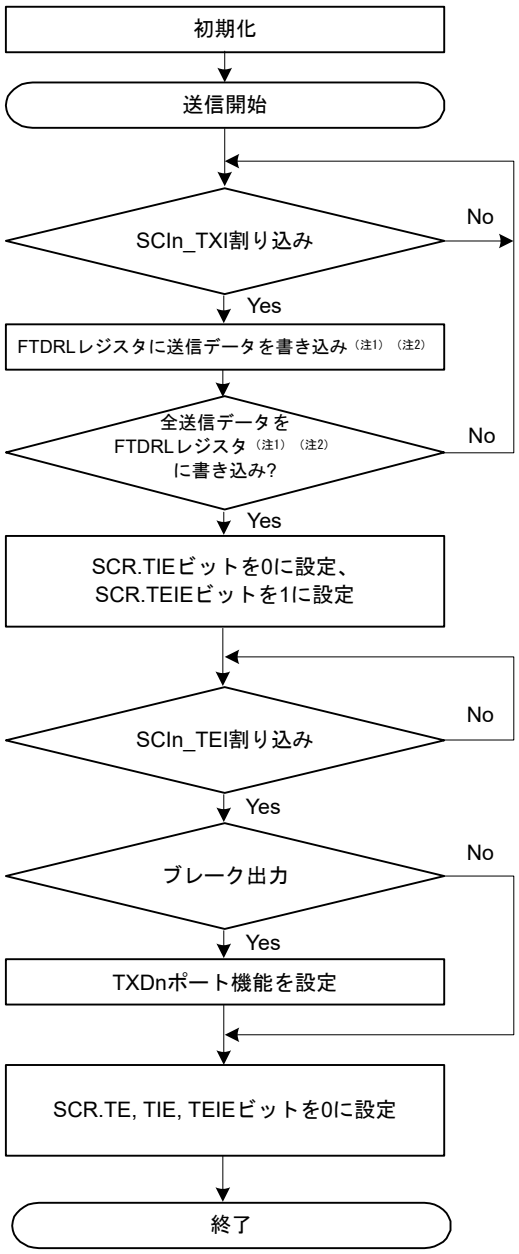
図 26.13　FTDRH と FTDRL に書き込まれるデータフォーマット（FIFO 選択時）

本項では、シリアルデータ送信時の SCI の動作について説明します。TE ビットが 1 の場合、1 フレーム（プリアンブル）分の High レベルが TXDn 端子に出力されます。

1. SCIn_TXI 割り込み処理ルーチンで FTDRL レジスタ(注1)にデータが書き込まれると、SCI は FTDRL レジスタ(注1)から TSR レジスタへデータを転送します。FTDRL レジスタに書き込み可能なデータのバイト数は 16 - FDR.T[4:0]です。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. SPMR.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子入力が Low であると、FTDRL レジスタ(注1)から TSR レジスタへデータが転送され、送信が開始されます。FTDRL レジスタに書き込まれた送信データ数が、指定された送信トリガ数以下のとき、SSR_FIFO.TDFE ビットが 1 になります。SCR.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタ(注1)に次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタ(注1) (注2)に書き込んだ後、SCR.TIE ビットを 0（SCIn_TXI 割り込み要求を禁止）にして、SCR.TEIE ビットを 1（SCIn_TEI 割り込み要求を許可）にします。
3. データは、以下の順に TXDn 端子から送り出されます。
   - スタートビット
   - 送信データ
   - パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
   - ストップビット
4. ストップビットを送り出すタイミングで、SCI は FTDRL レジスタ(注3)に未送信データが残っていないかチェックします。
5. FTDRL レジスタ(注3)にデータがある場合、SPMR.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子入力が Low であると、次の送信データが FTDRL レジスタ(注1)から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. FTDRL レジスタ(注3)にデータがない場合、SSR_FIFO レジスタの TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき、SCR.TEIE ビットが 1 になっていると、SSR_FIFO.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

注 1.　FTDRL レジスタのみへの書き込みデータではなく、FTDRH レジスタと FTDRL レジスタへの書き込みデータになります。
注 2.　9 ビットデータ長選択時、FTDRH レジスタ→FTDRL レジスタの順にデータを書き込んでください。
注 3.　データ長 9 ビット選択時、SCI は FTDRL レジスタの更新のみを確認し、FTDRH レジスタは確認しません。

図 26.14 に、調歩同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。



[1] SCIの初期化：
データ送信に設定します。SCR.TEビットを1にした後、1フレーム分（プリアンブル）の1を出力して送信可能状態になります。

[2] SCIn_TXI割り込み要求で送信データをFTDRL（注1）に書き込み：
送信データがFTDRLからTSRに転送されると、FTDRLに書き込んだ送信データ量が指定の送信トリガ数以下の場合、送信データFIFOエンプティ割り込み（SCIn_TXI）要求が発生します。SCIn_TXI割り込み処理ルーチンでFTDRL（注1）（注2）に送信データを1回だけ書き込みしてください。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、SCIn_TXI割り込み要求でFTDRLに全送信データを書き込みし、SSR_FIFO.TDFEフラグを0にクリアしてください。16ビットの送信データを書き込み可能であり、それは送信FIFOに保存されるデータ数です。また、送信データは、DMACまたはDTCを起動して書き込みすることも可能です。DMACまたはDTCでFTDRLにデータを書き込むと、TDFEフラグは自動的にクリアされるため、TDFEフラグへ書き込みはしないでください。SCIn_TEI割り込み要求を使用する場合、最終送信データをFTDRLに書き込みした後、SCR.TIEビットを0に、SCR.TEIEビットを1にします。

[4] シリアル送信時にブレークを出力するときには、SPTR.SPB2IO, SPTR.SPB2DTビットでTXDn端子を出力状態（Lowレベル出力）に設定した後、SCR.TEビットを0にします

注 1.　データ長が 9 ビットの場合、これは FTDRH レジスタと FTDRL レジスタになります。
注 2.　データ長 9 ビット選択時、FTDRH レジスタ→FTDRL レジスタの順にデータを書き込んでください。

図 26.14　調歩同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

26.3.9　シリアルデータの受信（調歩同期式モード）

(1) 非 FIFO 選択時

図 26.15 と図 26.16 に、調歩同期式モードにおけるシリアルデータ受信の動作例を示します。

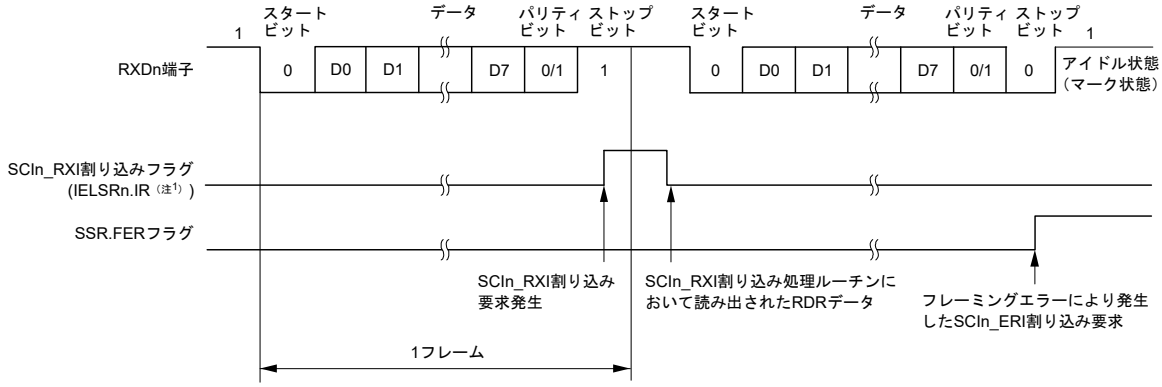
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、SCI は内部を同期化して受信データを RSR レジスタに取り込みます。
3. マルチプロセッサ通信機能が有効 (SMR.MP = 1) の場合、「26.4.2. マルチプロセッサシリアルデータ受信」を参照してください。アドレス一致検出機能（データコンペアマッチ機能）が有効 (DCCR.DCME = 1) の場合、

SCI が受信データとコンペアデータ (CDR.CMPD(注1)) が一致するのを検出するまでの間、受信データは読み飛ばされる（廃棄される）ため、SCI はパリティエラーとフレーミングエラーを検出できません。

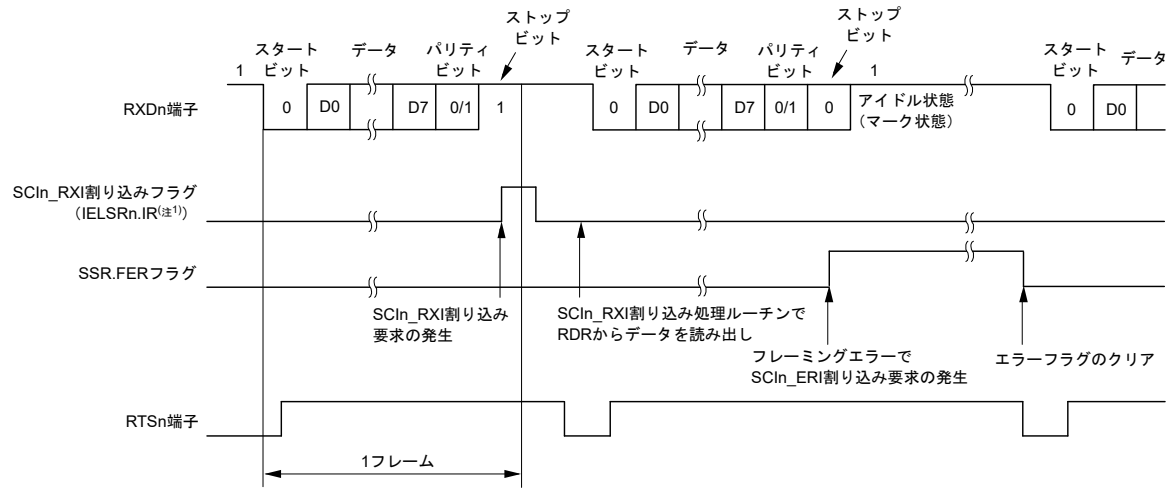
4. SCI がアドレスの一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグが 1 になり、SCIn_AM 割り込み(注2)要求が発生します。SCIn_RXI 割り込み要求の発生を許可する場合は、SCR.RIE ビットを 1 にしてください。比較された受信データは RDR レジスタ(注3)に格納されません。SSR.RDRF フラグは 0 を保持します。
5. アドレスの一致が検出された受信データで、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。SCIn_ERI 割り込み要求の発生を許可する場合は、SCR.RIE ビットを 1 にしてください。
6. SCIn_AM 割り込み処理ルーチン内でフレーミングエラーまたはパリティエラーを検出した場合（DCCR.DFER フラグか DCCR.DPER フラグが 1 の場合）、アドレス一致検出機能を再度有効にするため、DCCR.DFER フラグと DCCR.DPER フラグを 0 にして、DCCR.DCME ビットを 1 にします。フレーミングエラーもパリティエラーも検出されなかった場合（DCCR.DFER フラグも DCCR.DPER フラグもどちらも 0 の場合）、DCCR.DCMF フラグを 0 にしてください。図 26.6 を参照してください。
7. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタ(注3)へ転送されません。
8. パリティエラーが検出された場合は、SSR.PER フラグが 1 になり、受信データが RDR レジスタ(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
9. フレーミングエラーが検出された場合は、SSR.FER フラグが 1 になり、受信データが RDR レジスタ(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
10. 正常に受信したときは、受信データが RDR レジスタ(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データが読み出されると、CTSn_RTSn 端子出力が Low になります。

注 1.　比較範囲は次の 3 種類のビット長から 1 つ選択できます。CMPD[6:0]は 7 ビット長、CMPD[7:0]は 8 ビット長、CMPD[8:0]は 9 ビット長です。
注 2.　SCIn_AM 割り込みには割り込み許可ビットが割り当てられないため、割り込み要求は DCCR.DCMF ビットを 1 にすることにより発生します。
注 3.　データ長 9 ビット選択時は、RDRHL レジスタのデータのみを読み出してください。



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.15　調歩同期式モードにおけるシリアル受信の動作例 (1)（RTS 機能を使用しない場合）（8 ビットデータ／パリティあり／1 ストップビットの場合）



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.16　調歩同期式モードにおけるシリアル受信の動作例 (2)（RTS 機能を使用する場合）（8 ビットデータ／パリティあり／1 ストップビットの場合）

受信エラーを検出した場合の SSR レジスタの各フラグの状態と受信データの処理を表 26.28 に示します。

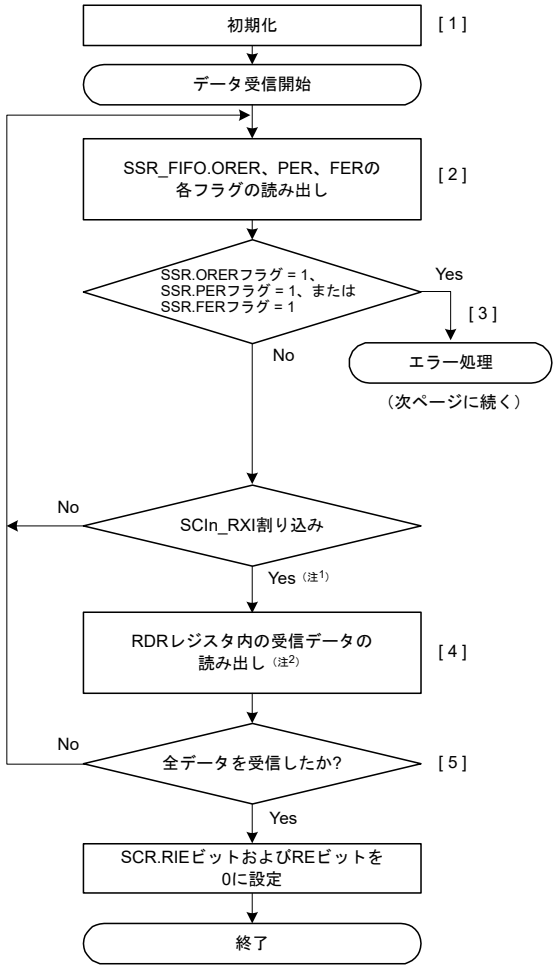
受信エラーが検出されると、SCIn_ERI 割り込み要求は発生しますが、SCIn_RXI 割り込み要求は発生しません。受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR または RDRHL レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR（または RDRHL）レジスタに読み出し前の受信データが残っている可能性があるため、RDR（または RDRHL）レジスタを読み出す必要があります。

図 26.17 と図 26.18 に、シリアル受信のフローチャート例を示します。

表 26.28　SSR ステータスレジスタのフラグの状態と受信データの処理

SSR ステータスレジスタのフラグ			受信データ	受信エラーの種類
ORER	FER	PER		
1	0	0	消失	オーバーランエラー
0	1	0	RDR レジスタ(注1)へ転送	フレーミングエラー
0	0	1	RDR レジスタ(注1)へ転送	パリティエラー
1	1	0	消失	オーバーランエラー＋フレーミングエラー
1	0	1	消失	オーバーランエラー＋パリティエラー
0	1	1	RDR レジスタ(注1)へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー

注 1.　データ長 9 ビット選択時は、RDRHL レジスタのデータのみを読み出してください。



[1] SCIの初期化：
データ受信に設定します。

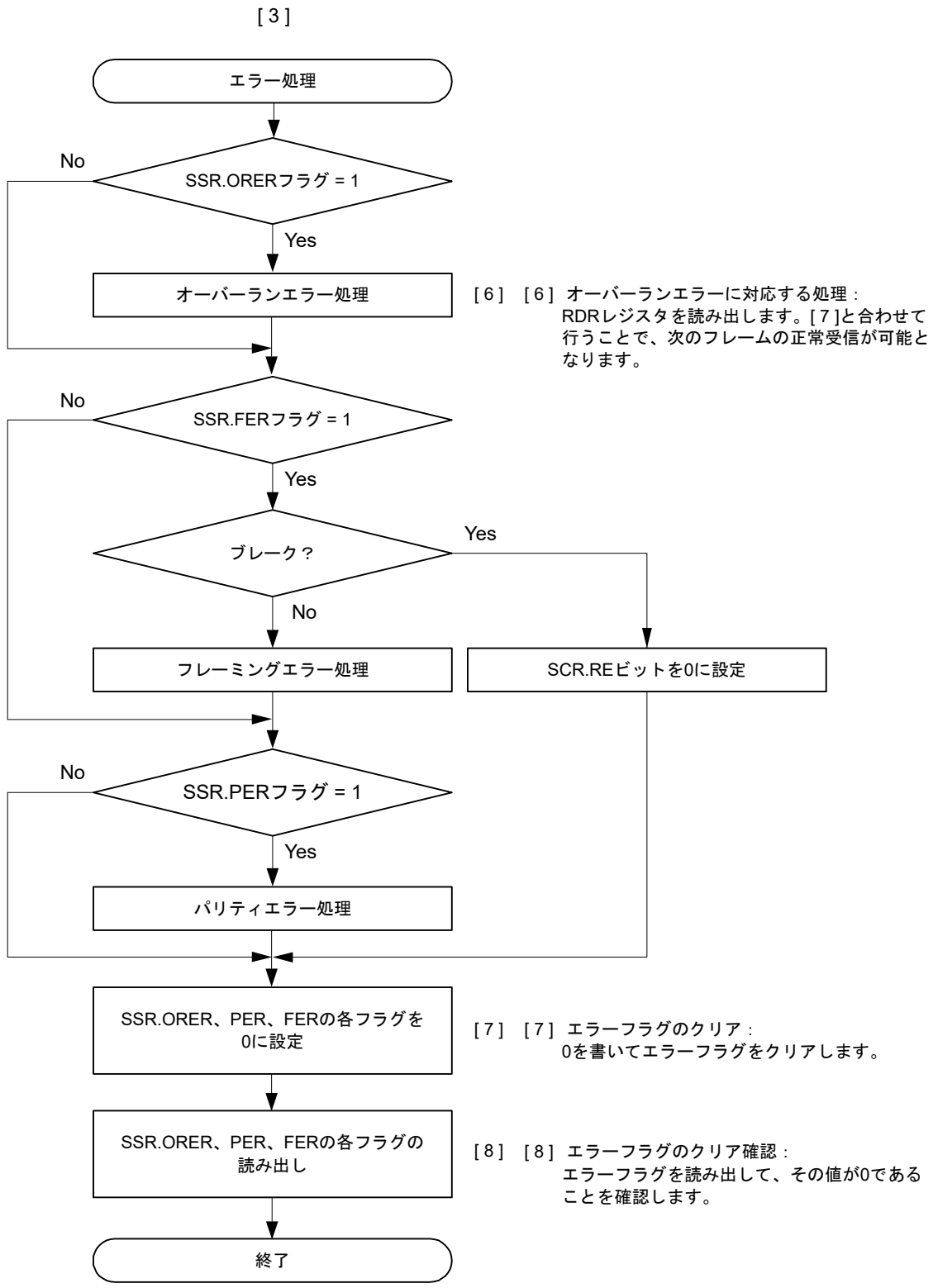
[2][3] 受信エラー処理とブレークの検出：
受信エラーが発生した場合、SCIn_ERI割り込みが発生します。
SSR.ORER、PER、FERの各フラグを読み出すことでエラー種類を判定します。所定のエラー処理を行った後、必ずORER、PER、FERフラグをすべて0にしてください。これらいずれかのフラグが1に設定された状態では受信を再開できません。また、フレーミングエラー時は、RXDn端子に対応する入力ポートの値を読み出すことでブレークの検出が可能です。

[4] SCIn_RXI割り込み処理ルーチンで、RDRレジスタの受信データを1回読み出します。

[5] シリアル受信を継続する場合は、現在のフレームのストップビットを受信する前に、SCIn_RXI割り込み処理ルーチンでRDRレジスタのデータを読み出します。DMACまたはDTCを起動することでも、RDRレジスタのデータを読み出すことが可能です。

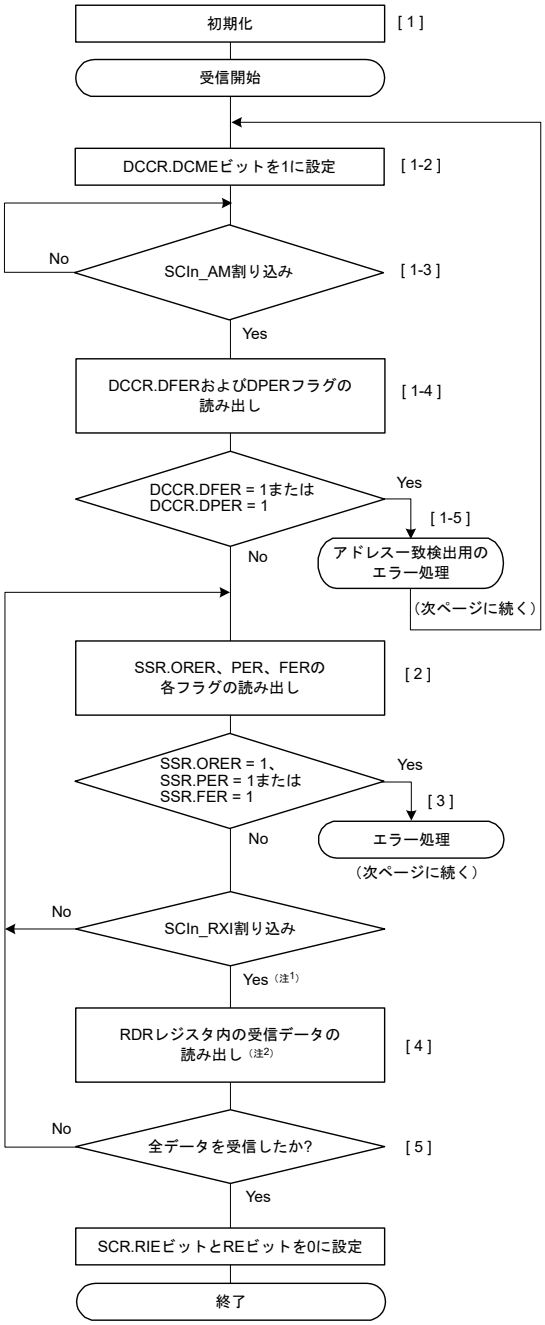
注 1.　RDR レジスタを読み出す前に、RE ビットを 0 にしないでください。
注 2.　データ長 9 ビット選択時は、RDR レジスタは RDRHL レジスタになります。

図 26.17　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出無効時）(1)



注.　データ長 9 ビット選択時は、RDR レジスタは RDRHL レジスタになります。

図 26.18　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出無効時）(2)



[1] SCIの初期化：
データ受信に設定します。

[1-2] アドレス一致検出サイクル：
DCCR.DCMEビットを1にして、アドレス一致検出を許可します。

[1-3] 受信データと比較データ (CDR.CMPD) の比較：
受信データと比較データ (CDR.CMPD) を比較します。
受信データと比較データ (CDR.CMPD) の一致が検出されるまで、受信データが読み飛ばされる（廃棄される）ので、SCIはパリティエラーもフレーミングエラーも検出することができません。
SCIがアドレスの一致を検出すると、DCCR.DCMEビットはクリアされ、DCCR.DCMFフラグは1になり、SCIn_AM割り込み要求が発行されます。

[1-4] [1-5] 受信エラー処理：
SCIn_AM割り込み処理ルーチンにおいて、DCCRレジスタのDFERまたはDPERフラグを読み出すことでエラーを判定します。
エラーを正しく処理後DFERおよびDPERフラグを0にしてください。
これらのフラグのいずれかが1になると、アドレス一致検出は再開できません。

[2] [3] 受信エラー処理およびブレーク検出：
受信エラーが発生した場合、SCIn_ERI割り込みが発生します。
SSR.ORER、PER、FERの各フラグを読み出すことでエラーを判定します。
エラーを正しく処理後ORER、PER、FERの各フラグをすべて0にしてください。これらのフラグのうち一つでも1であると、受信は再開できません。
また、フレーミングエラー時にRXDn端子に対応する入力ポートビットの値を読み出すことでブレークの検出が可能です。

[4] SCIn_RXI割り込み処理ルーチン内でRDRレジスタ内の受信データを読み出します。

[5] シリアル受信継続手順：
シリアル受信を継続するには、ストップビットを受信する前にSCIn_RXI割り込み処理ルーチンにおいてRDRレジスタの値を読み出します。
DMACまたはDTCを起動することでも、RDRレジスタの値を読み出すことが可能です。

注 1.　RDR レジスタを読み出す前に、RE ビットを 0 にしてください。
注 2.　データ長 9 ビット選択時は、RDR レジスタに代えて RDRHL レジスタを使用します。

図 26.19　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出有効時）（1）

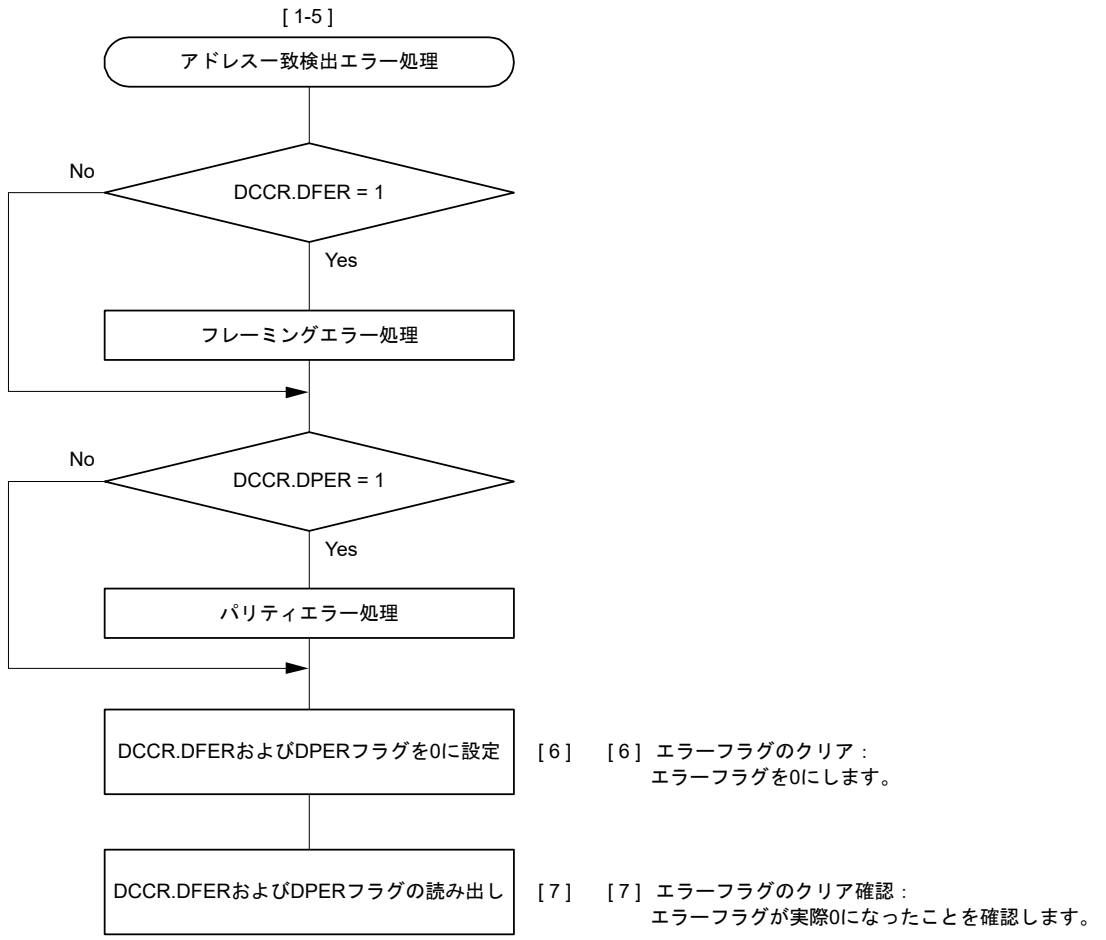
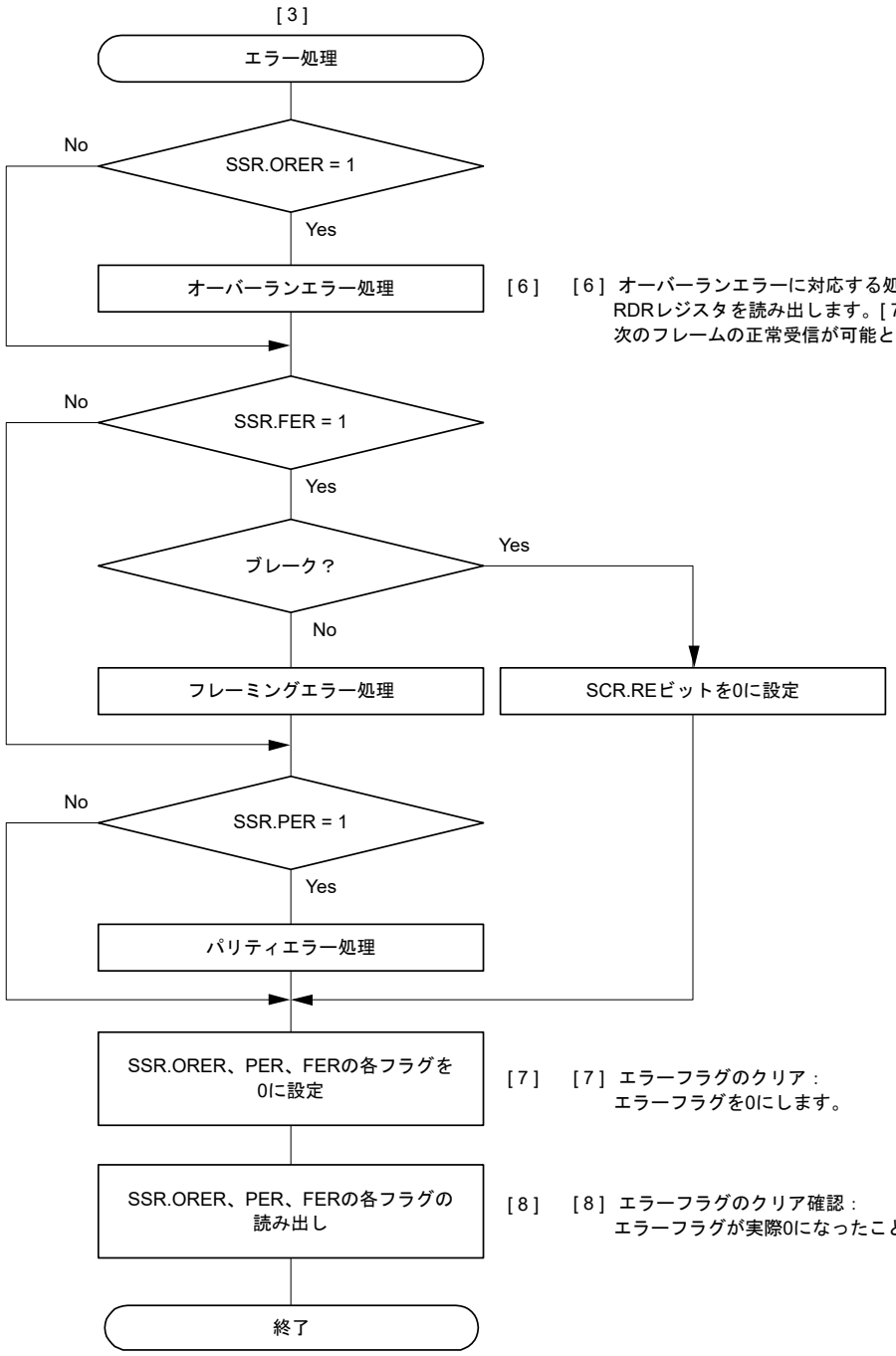


図 26.20 調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出有効時）（2）



注.　データ長 9 ビット選択時は、RDR レジスタに代えて RDRHL レジスタを使用します。

図 26.21　調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択、アドレス一致検出有効時）（3）

(2) FIFO 選択時

図 26.22 に、調歩同期式モードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

調歩同期式モードでは、FRDRH レジスタの MPB ビットに 0 が書き込まれます。データ長に対応したデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH レジスタ→FRDRL レジスタの順に読み出してください。ソフトウェアが FRDRL レジスタを読み出す

と、SCI は FER、PER、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF、ORER、および DR フラグは、常に SSR_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH、FRDRLの受信データ															
			FRDRHL															
			FRDRH								FRDRL							
	SCMR.CHR1	SMR.CHR	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	-	RDF	ORER	FER	PER	DR	0	0	0	7ビットの受信データ						
8ビット	1	1	-	RDF	ORER	FER	PER	DR	0	0	8ビットの受信データ							
9ビット	0	Don't care	-	RDF	ORER	FER	PER	DR	0	9ビットの受信データ								

注.　MPB ビット (FRDRH[1]) では常に 0 が読み出されます。
データ長が 7 ビットの場合、FRDRH[0]と FRDRL[7]では常に 0 が読み出されます。
データ長が 8 ビットの場合、FRDRH[0]では常に 0 が読み出されます。
FRDRH[7]ビットは不定値として読み出されます。

図 26.22　FRDRH レジスタと FRDRL レジスタに格納されるデータフォーマット（FIFO 選択時）

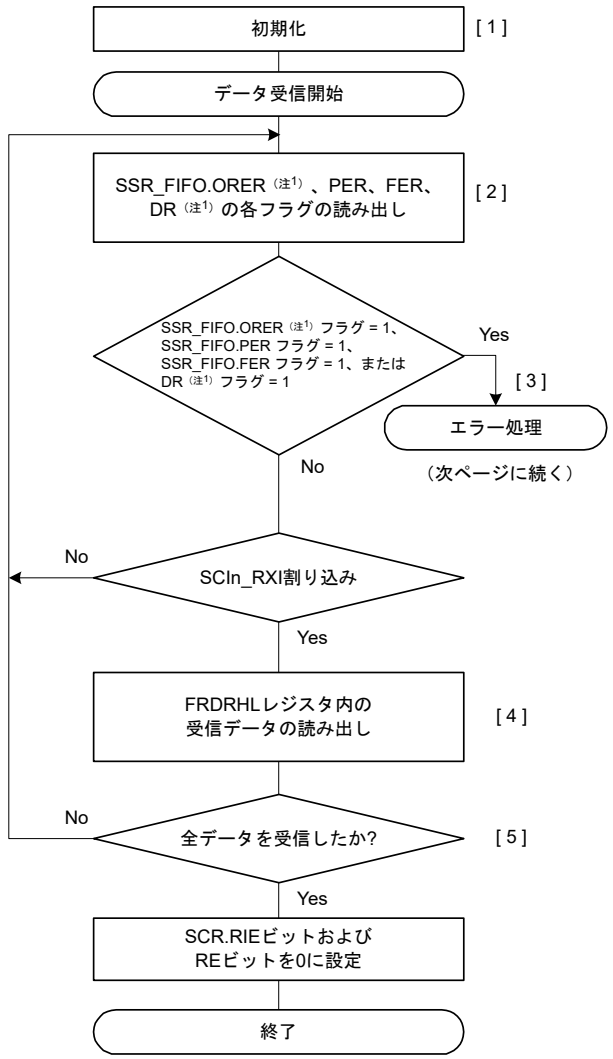
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、SCI は内部を同期化して受信データを RSR レジスタに取り込みます。
3. マルチプロセッサ通信機能が有効 (SMR.MP = 1) の場合、「26.4.2. マルチプロセッサシリアルデータ受信」を参照してください。アドレス一致検出機能（データコンペアマッチ機能）が有効 (DCCR.DCME = 1) の場合、SCI が受信データとコンペアデータ (CDR.CMPD(注1)) が一致するのを検出するまでの間、受信データは読み飛ばされる（廃棄される）ため、SCI はパリティエラーとフレーミングエラーを検出できません。
4. SCI がアドレスの一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグが 1 になり、SCIn_AM 割り込み(注2)要求が発生します。SCIn_RXI 割り込み要求の発生を許可する場合は、SCR.RIE ビットを 1 にしてください。比較された受信データは RDR レジスタ(注3)に格納されません。SSR.RDRF フラグは 0 を保持します。
5. アドレスの一致が検出された受信データで、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になります。また、そのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。SCIn_ERI 割り込み要求の発生を許可する場合は、SCR.RIE ビットを 1 にしてください。
6. SCIn_AM 割り込み処理ルーチン内でフレーミングエラーまたはパリティエラーを検出した場合（DCCR.DFER フラグか DCCR.DPER フラグが 1 の場合）、アドレス一致検出機能を再度有効にするため、DCCR.DFER フラグと DCCR.DPER フラグを 0 にして、DCCR.DCME ビットを 1 にします。フレーミングエラーもパリティエラーも検出されなかった場合（DCCR.DFER フラグも DCCR.DPER フラグもどちらも 0 の場合）、DCCR.DCMF フラグを 0 にしてください。図 26.6 を参照してください。
7. 通常の通信でオーバーランエラーが発生した場合、SSR_FIFO.ORER フラグが 1 になります。SCR の SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ(注3)へ転送されません。
8. パリティエラーが検出された場合は、PER フラグと受信データが FRDRL レジスタ(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
9. フレーミングエラーが検出された場合は、FER フラグと受信データが FRDRL レジスタ(注3)へ転送されます。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。
10. フレーミングエラーが検出された後、SCI によって連続受信データが 1 フレーム分 0 であることが検出された場合、受信動作が停止します。
11. FRDRL レジスタに格納されたデータ数が、指定された受信トリガ数より少なく、かつ調歩同期式モードにおいて最後のストップビットから 15 etu 経過しても次のデータが受信されていない場合は、SSR_FIFO.DR フラ

グが 1 になります。SCR.RIE ビットが 1 で、FCR.DRES ビットが 0 の場合、SCI は SCIn_RXI 割り込み要求を発生させます。FCR.DRES ビットが 1 の場合、SCI は SCIn_ERI 割り込み要求を発生させます。

12. 正常に受信したときは、受信データが FRDRL レジスタ(注3)へ転送されます。FRDRHL に書き込まれた受信データ数が、指定された受信トリガ数以上であると、RDF ビットが 1 になります。SCR の SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ(注4)へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタ(注5)へ転送された受信データ数が RTS トリガ数未満であると、CTSn_RTSn 端子出力が Low になります。

注 1.　比較の対象として、次の 3 種類のビット長から 1 つ選択できます。CMPD[6:0]は 7 ビット長、CMPD[7:0]は 8 ビット長、CMPD[8:0]は 9 ビット長です。
注 2.　SCIn_AM 割り込みには割り込み許可ビットが割り当てられないため、割り込み要求は DCCR.DCMF ビットを 1 にすることにより発生します。
注 3.　9 ビットデータ長選択時、FRDRH レジスタと FRDRL レジスタのデータのみを読み出してください。
注 4.　9 ビットデータ長選択時、FRDRH レジスタ→FRDRL レジスタの順にデータを読み出してください。
注 5.　データ長 9 ビット選択時、SCI は FRDRL レジスタの更新のみを確認し、FRDRH レジスタは確認しません。



[1] SCIの初期化：
データ受信に設定します。

[2] [3] 受信エラー処理とブレークの検出：
受信エラーが発生した場合、SCIn_ERI割り込みが発生します。SPTR.RXDMONフラグを読み出すことでブレークの検出が可能です。SSR_FIFO.ORER (注1)、PER、DR (注1)、FERの各フラグを読み出すことでエラーを判定します。所定のエラー処理を行った後、必ずORER (注1) フラグを0にしてください。ORER (注1) フラグが1の状態では受信を再開できません。
FER = 1、PER = 1、またはDR (注1) = 1であっても、受信動作は継続します。

[4] SCIn_RXI割り込み処理ルーチンで、FRDRHLレジスタの受信データを読み出します。FRDRHLレジスタに格納された受信データは、格納データ数がFCR.RTRGの値未満になるまで読み出されます。FDR.Rビットを読み出し、FIFO内の受信データ数を確認してください。

[5] シリアル受信の継続手順：
シリアル受信を継続する場合は、オーバーランエラーが発生する前に、SCIn_RXI割り込み処理ルーチンでFRDRHLレジスタからデータを読み出して、RDFフラグとDRフラグを0にクリアします。
DMAまたはDTCを起動することでも、FRDRHLレジスタの値を読み出すことが可能です。この場合、RDFフラグは自動的にクリアされるため、RDFフラグには書き込まないでください。

注 1.　FRDRHL.ORER フラグと FRDRHL.DR フラグによって読み出し可能です。

図 26.23　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出有効時）(1)

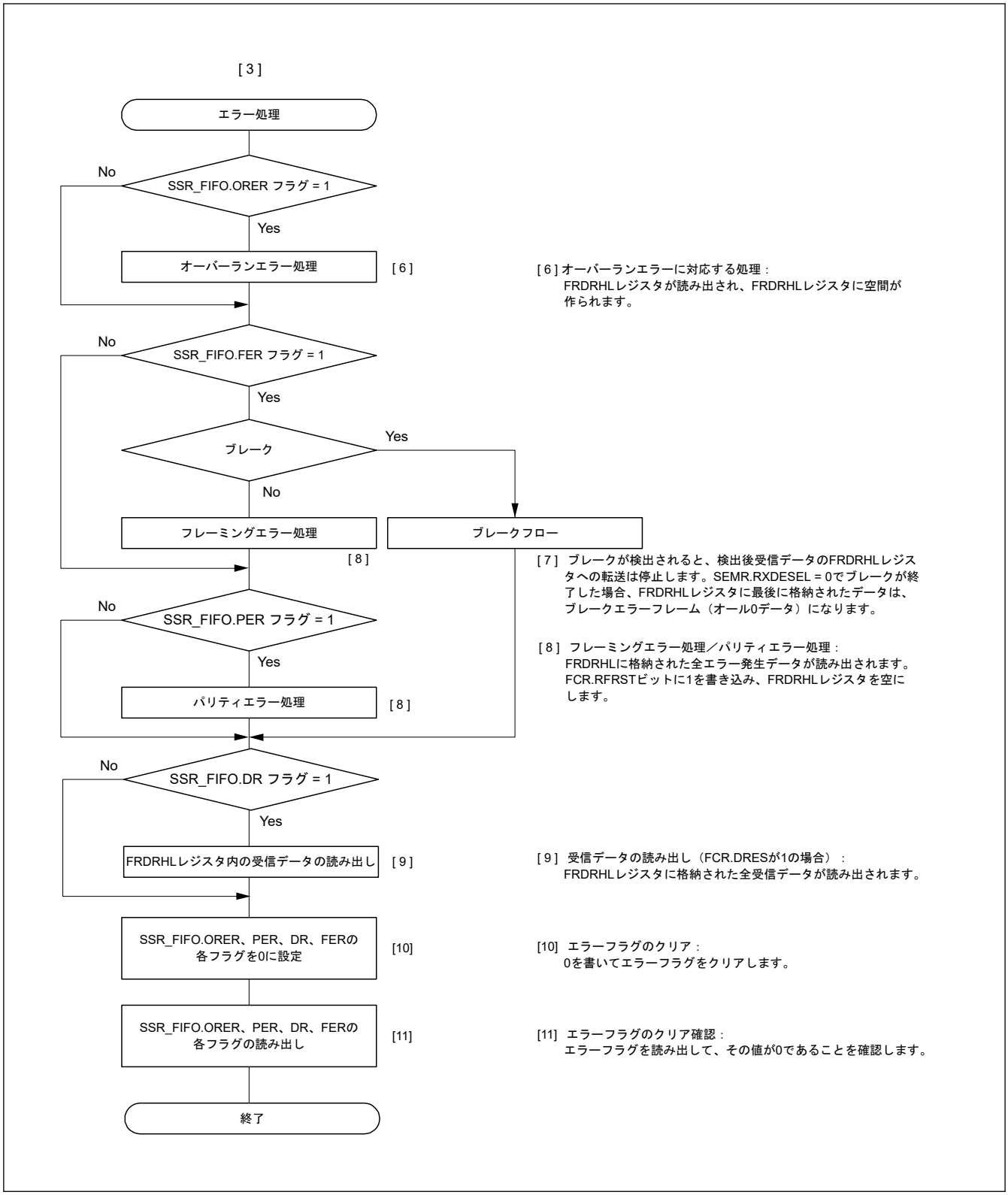
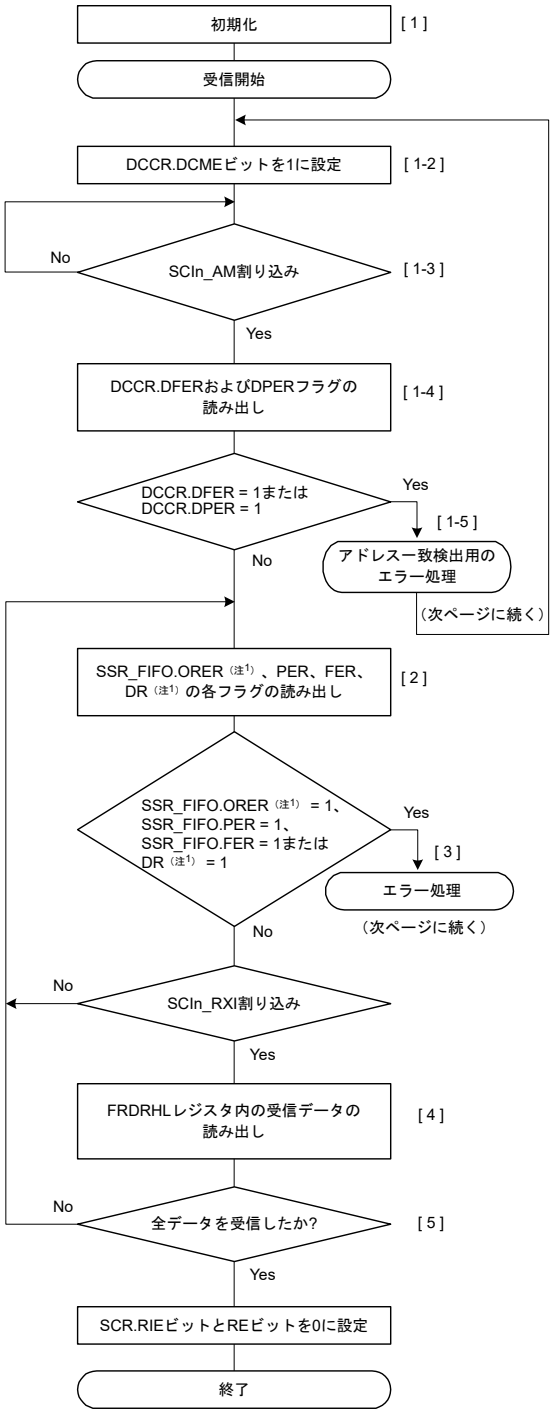


図 26.24　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出無効時）(2)



[1] SCIの初期化：
データ受信に設定します。

[1-2] アドレス一致検出サイクル：
DCCR.DCMEビットを1にして、アドレス一致検出を許可します。

[1-3] 受信データと比較データ (CDR.CMPD) の比較：
受信データと比較データを比較します。
受信データと比較データ (CDR.CMPD) の一致が検出されるまで、受信データが読み飛ばされる（廃棄される）ので、SCIはパリティエラーもフレーミングエラーも検出することができません。
SCIがアドレスの一致を検出すると、DCCR.DCMEビットは自動的にクリアされ、DCCR.DCMFフラグは1になり、SCIn_AM割り込み要求が発生します。

[1-4] [1-5] 受信エラー処理：
SCIn_AM割り込み処理ルーチンにおいて、DCCRレジスタのDFERまたはDPERフラグを読み出すことでエラーを判定します。
エラーを正しく処理後DFERおよびDPERフラグを0にしてください。
これらのフラグのうち一つでも1であると、アドレス一致検出は再開できません。

[2] [3] 受信エラー処理とブレークの検出：
受信エラーが発生した場合、SCIn_ERI割り込みが発生します。
SPTR.RXDMONを読み出すことでブレークを判定します。
SSR_FIFO.ORER (注1) 、PER、FER、DR (注1) の各フラグを読み出すことでエラーを判定します。
エラーを正しく処理後ORERフラグ (注1) を0にしてください。
ORERフラグ (注1) が1のままだと受信は再開できません。
FER = 1、PER = 1、またはDR (注1) = 1であっても、受信動作は継続します。

[4] SCIn_RXI割り込み処理ルーチン内でのFRDRHLレジスタ内の受信データの読み出し：
FRDRHLレジスタに格納された受信データは、格納データ数がFCR.RTRG[3:0]ビットの値未満になるまで読み出されます。
FDR.R[4:0]ビットでFIFO内の受信データ数を確認してください。

[5] シリアル受信の継続手順：
シリアル受信を継続する場合は、オーバーランエラーが発生する前に、SCIn_RXI割り込み処理ルーチン内でFRDRHLレジスタ内のデータの読み出しを終了させ、RDFフラグとDRフラグを0にします。DMACまたはDTCを起動することでも、FRDRHLレジスタのデータを読み出すことが可能です。この場合、RDFフラグには書き込みを行わないでください。フラグは自動的にクリアされます。

注 1.　FRDRHL.ORER フラグと FRDRHL.DR フラグを読み出し可能です。

図 26.25　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出有効時）(1)

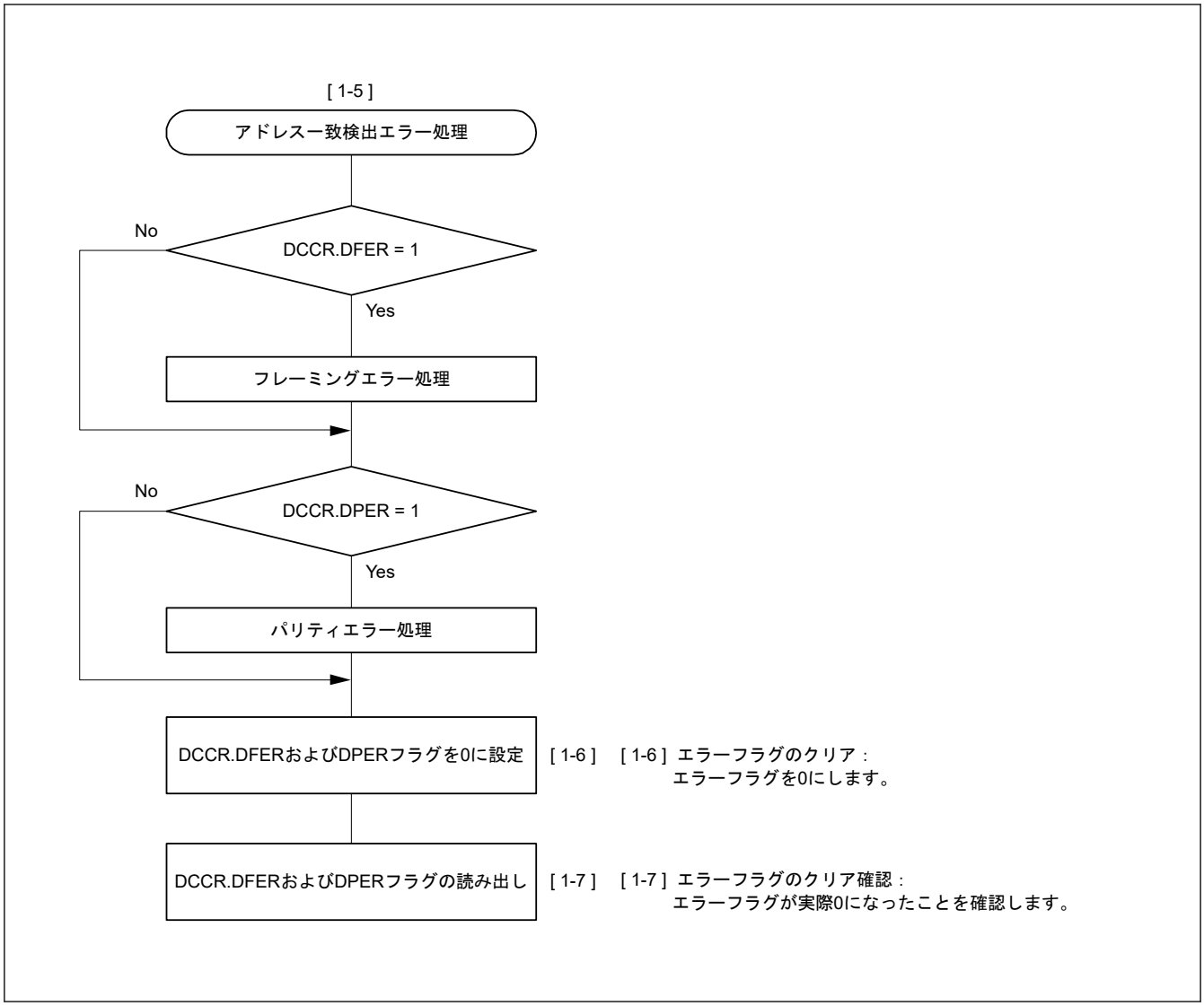


図 26.26　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出有効時）(2)

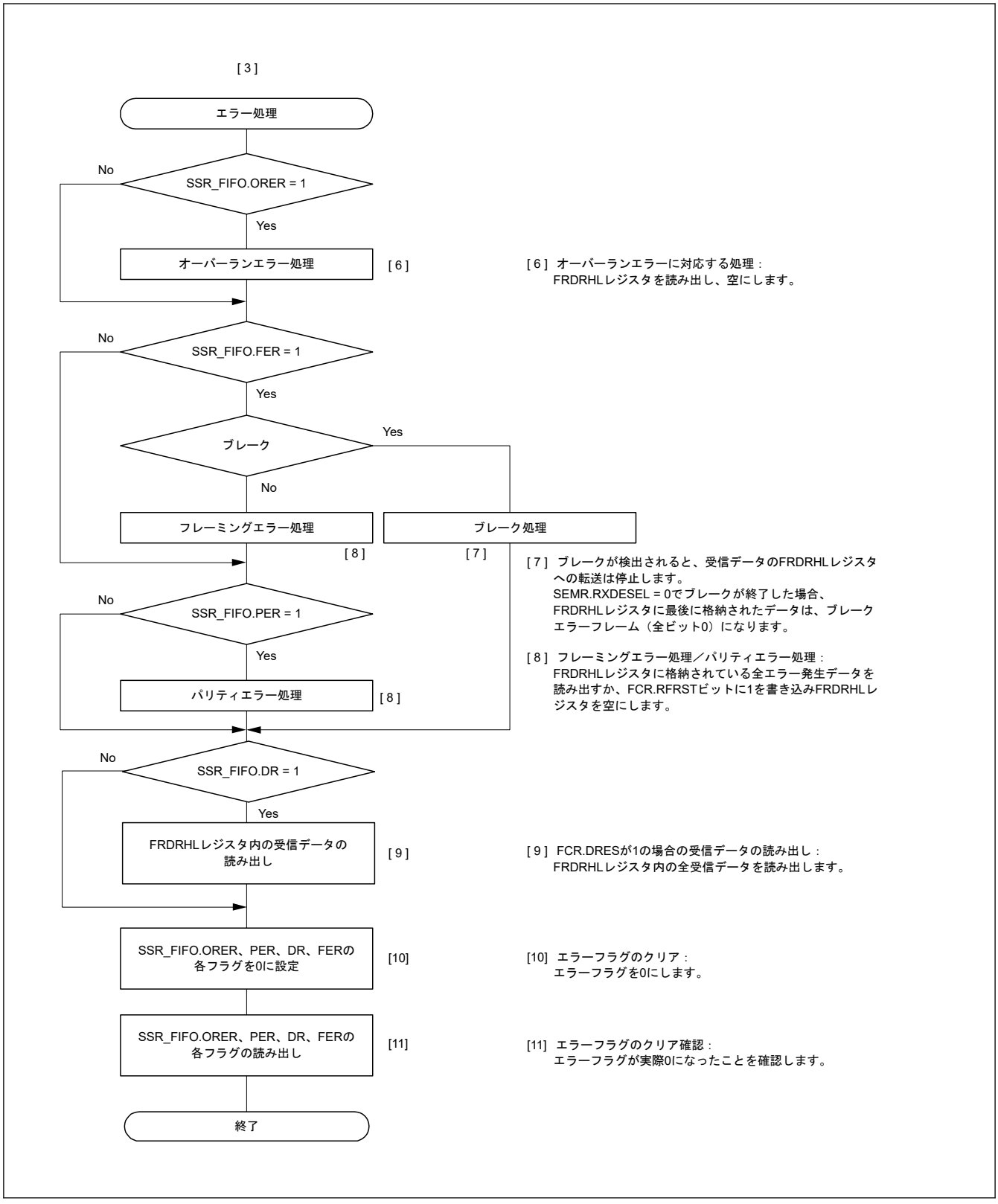


図 26.27　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択、アドレス一致検出有効時）(3)

26.3.10　受信サンプリングタイミング調節機能（調歩同期式モード）

フォトカプラ通過後の波形で立ち上がり転送時間と立ち下がり転送時間の差がある場合、ビットの中間部分での受信サンプリングタイミングが受信マージンに影響します。この場合、この機能を利用することで受信サンプリングタイミングをビットの中間部分から最適なタイミングに調整できます。

受信サンプリングタイミングは、下記の式によりビットの中間部分から調整します。また、調整方向はACTR.AJD により設定されます。後ろ方向に調整 (ACTR.AJD = 0) の場合は AJD = +1 とし、前方向に調整 (ACTR.AJD = 1) の場合は AJD = -1 とします。

サンプリングタイミング調整 = ビットの中間 + AJD × （基本クロック × ACTR.AST[2:0]設定値）

設定タイミングは、1 ビットごとの基本クロックサイクル数により制限されます。詳細は、表 26.29 を参照してください。

この機能を使用した場合の、フォトカプラを通過する通信の受信動作の概要を図 26.28、図 26.29 と図 26.30 に、本機能の動作の説明を図 26.31 に示します。

立ち上がり転送時間と立ち下がり転送時間に差がない場合はこの機能を使用しないでください。受信マージンに悪影響を及ぼす可能性があります。

表 26.29　ACTR レジスタの許容値（内部クロックを使用した調歩同期式モード）

SEMR.ABCSE	SEMR.ABCS	1 ビットごとの基本クロックサイクル数	ACTR の許容値	
			ACTR.AJD	ACTR.AST
1	x	6	0	000b～010b(注1)
			1	
0	1	8	0	000b～011b(注1)
			1	
0	0	16	0	000b～111b
			1	

注.　x: Don’t care
注 1.　ACTR.AST の値が許容値を超えている場合、サンプリングはデフォルトのタイミングで行われます。（サンプリングの調整は行われません。）

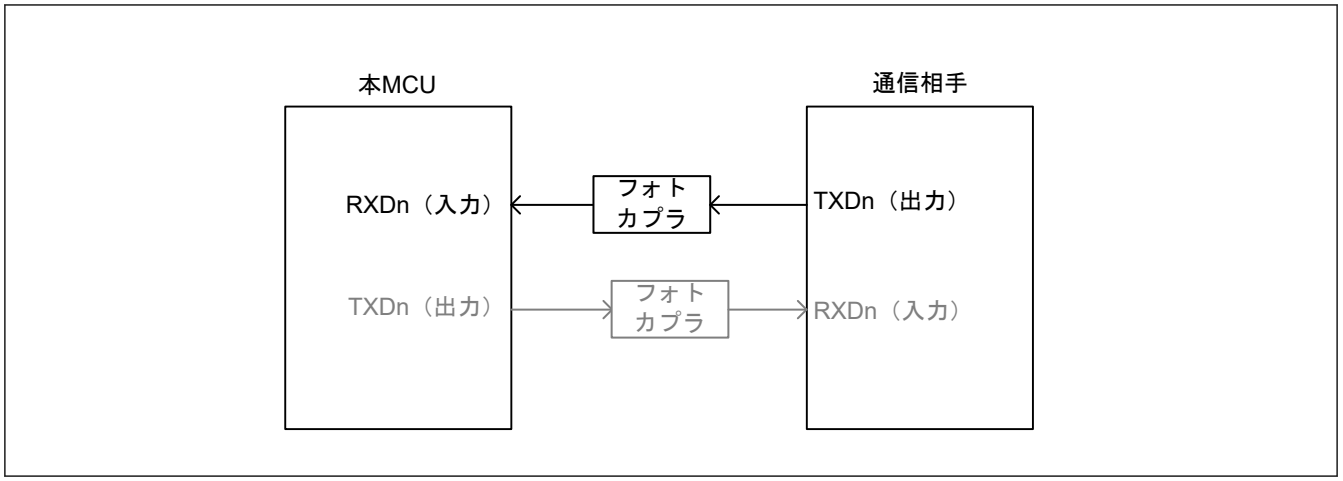
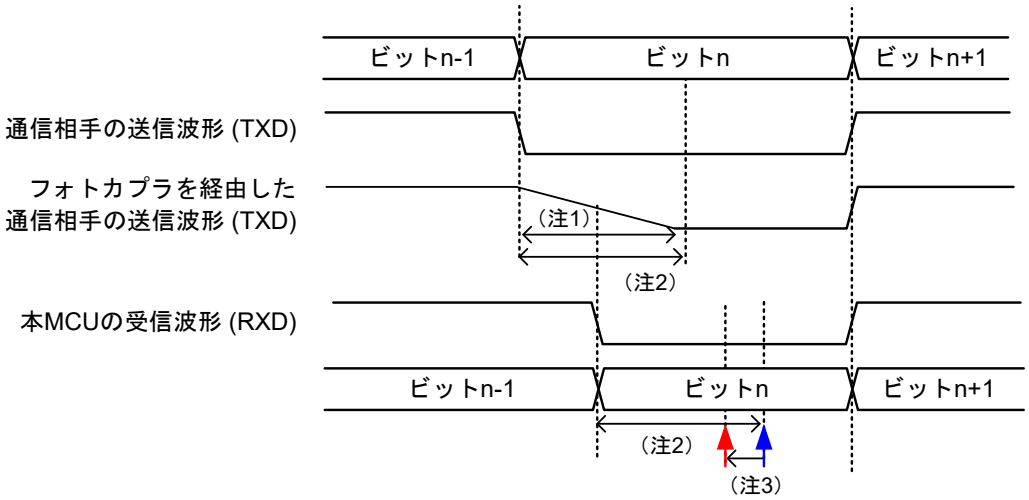


図 26.28　フォトカプラを通過する受信のブロック図イメージ

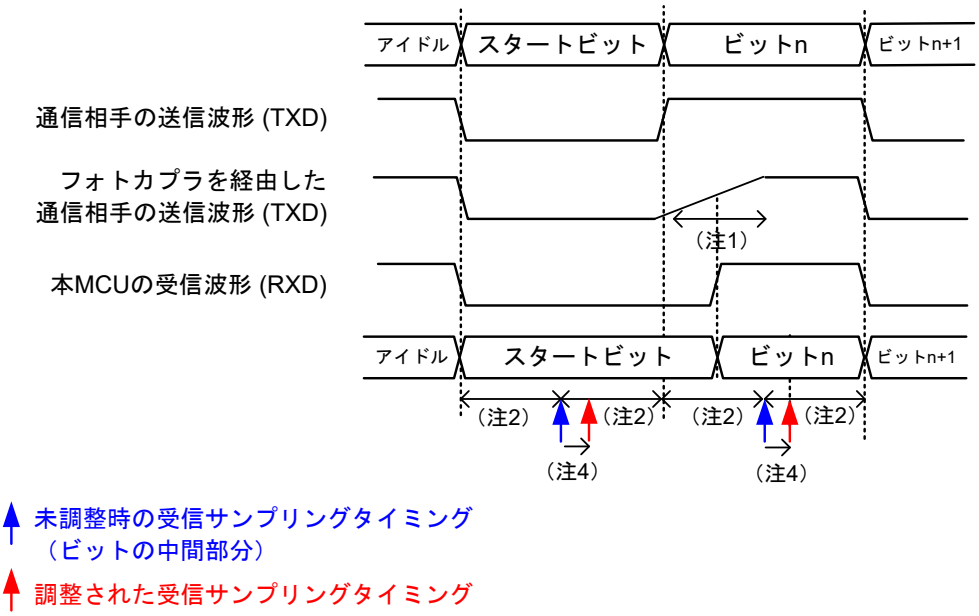
(a) 「立ち下がり転送時間 >> 立ち上がり転送時間」の場合

受信波形の立ち下がりエッジは下図に示すように鈍くなります。
この場合、受信サンプリングタイミングを前方向に調整すると (AJD = 1)、
ビットの中間でサンプリング可能です。



(b) 「立ち下がり転送時間 << 立ち上がり転送時間」の場合

受信波形の立ち上がりエッジは下図に示すように鈍くなります。したがって、通信相手の
受信マージンは悪化します。この場合、受信サンプリングタイミングを後方向に調整する
ことにより受信マージンを改善できます。



未調整時の受信サンプリングタイミング
（ビットの中間部分）

調整された受信サンプリングタイミング

注.　この波形は受信サンプリングタイミング調整の動作イメージを示します。
注 1.　フォトカプラの不感時間設定
注 2.　通信レートでのビット中央タイミング
注 3.　ACTR.AJD が 1 の場合、受信サンプリングタイミングを、ACTR.AST[2:0]ビットの設定値により前方向にシフトします。
注 4.　ACTR.AJD が 0 の場合、受信サンプリングタイミングを、ACTR.AST[2:0]ビットの設定値により後ろ方向にシフトします。

図 26.29　フォトカプラを通過する通信の受信動作の概要

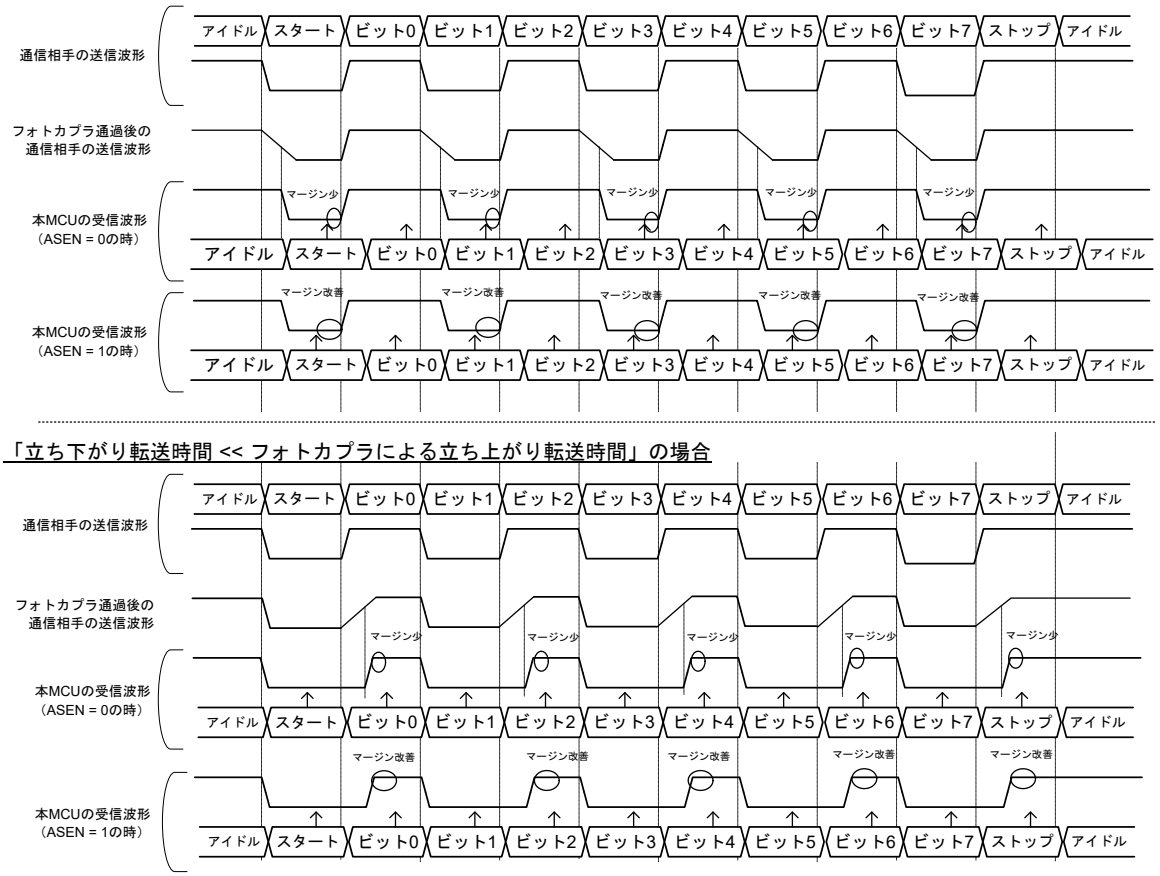


図 26.30　受信サンプリングタイミング調整機能による受信マージン向上の例

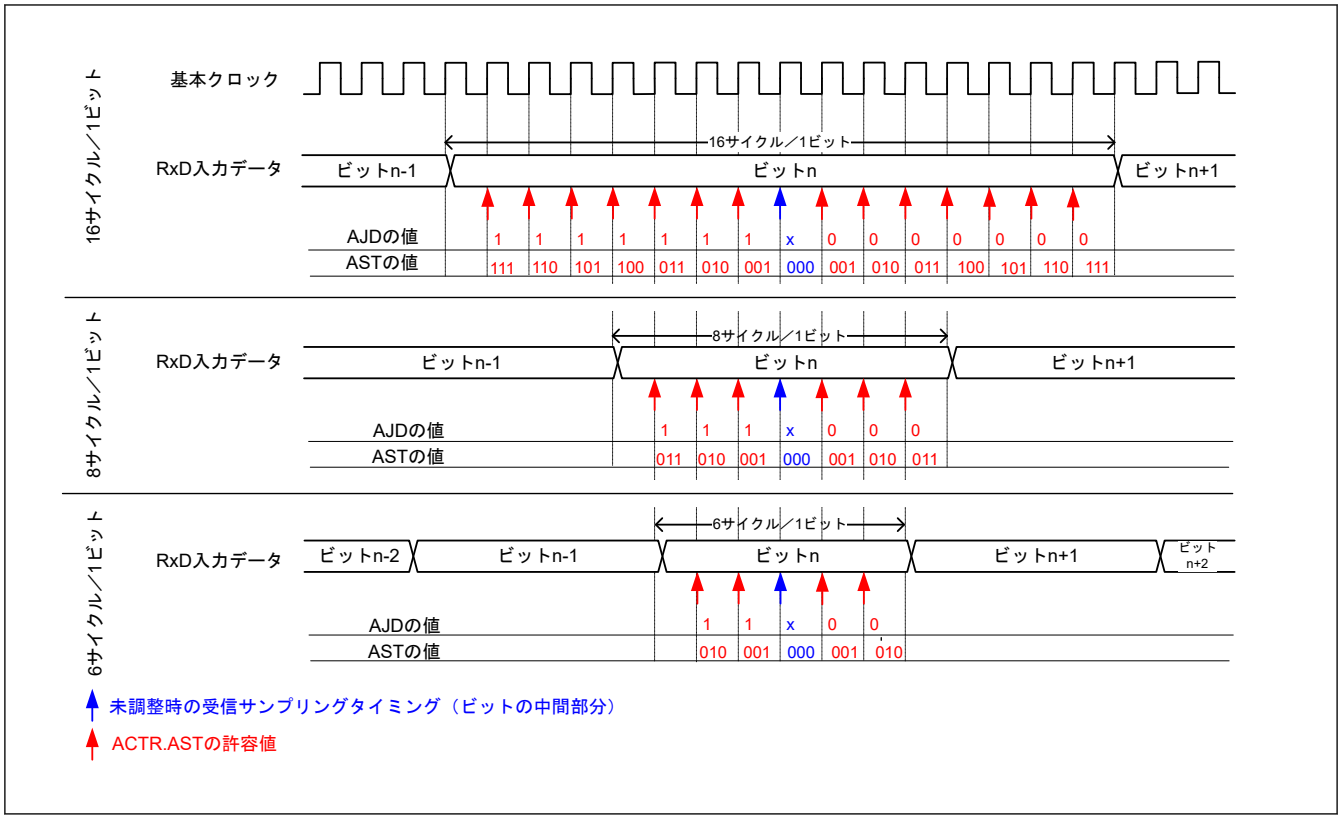


図 26.31　受信サンプリングタイミングの調整動作の概要（内部クロックを使用した調歩同期式モード）

26.3.11　送信タイミング調節機能（調歩同期式モード）

フォトカプラなどを経由した通信では、TXDn 出力信号の立ち上がりまたは立ち下がりの遷移時間が長い場合に、通信先で受信する波形が鈍くなります。この場合、受信マージンに影響する可能性があります。

このような場合は、通信先で送信タイミング調節機能を使用してビットの中間部分でサンプリングするようにします。

SPTR.ATEN が 1 の場合に、この機能により、ACTR.AET により設定されたエッジに対してエッジタイミングを次の式で算出されるタイミングに調節できます。

調節エッジタイミング = 基本クロック × ACTR.ATT[2:0]

さらに、調節エッジタイミングの上限は基本クロックの設定によって制限されます。詳細は、表 26.30 を参照してください。

この機能を使用した場合の、フォトカプラを通過する通信の送信動作イメージ図を図 26.32、図 26.33 と図 26.34 に、本機能の動作の概要を図 26.35 と図 26.36 に示します。

立ち上がり転送時間と立ち下がり転送時間に差がない場合はこの機能を使用しないでください。通信相手の受信マージンに悪影響を及ぼす可能性があります。

表 26.30　ACTR.AET と ACTR.ATT の許容値（内部クロックを使用した調歩同期式モード）

ABCSE	ABCS	1 ビットごとの基本クロックサイクル数	ACTR の許容値	
			AET	ATT[2:0]
1	x	6	0	000b～101b
			1	
0	1	8	0	000b～111b
			1	
0	0	16	0	000b～111b
			1	

注.　x: Don’t care

注. ACTR.AET または ATT の値が許容範囲内にない場合、この SCI モジュールは送信タイミングの調節を行いません。

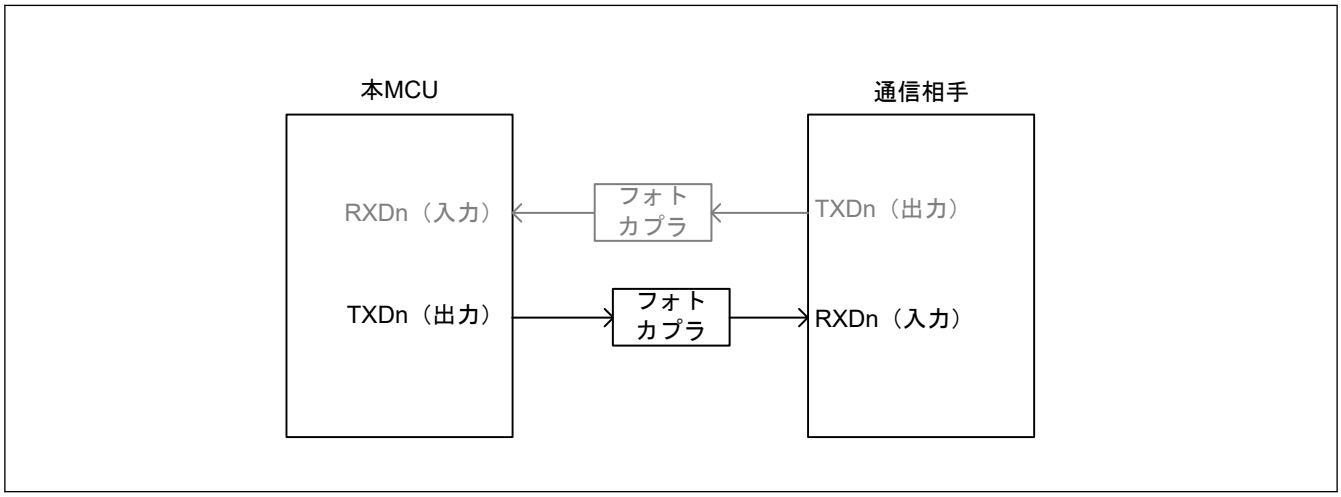
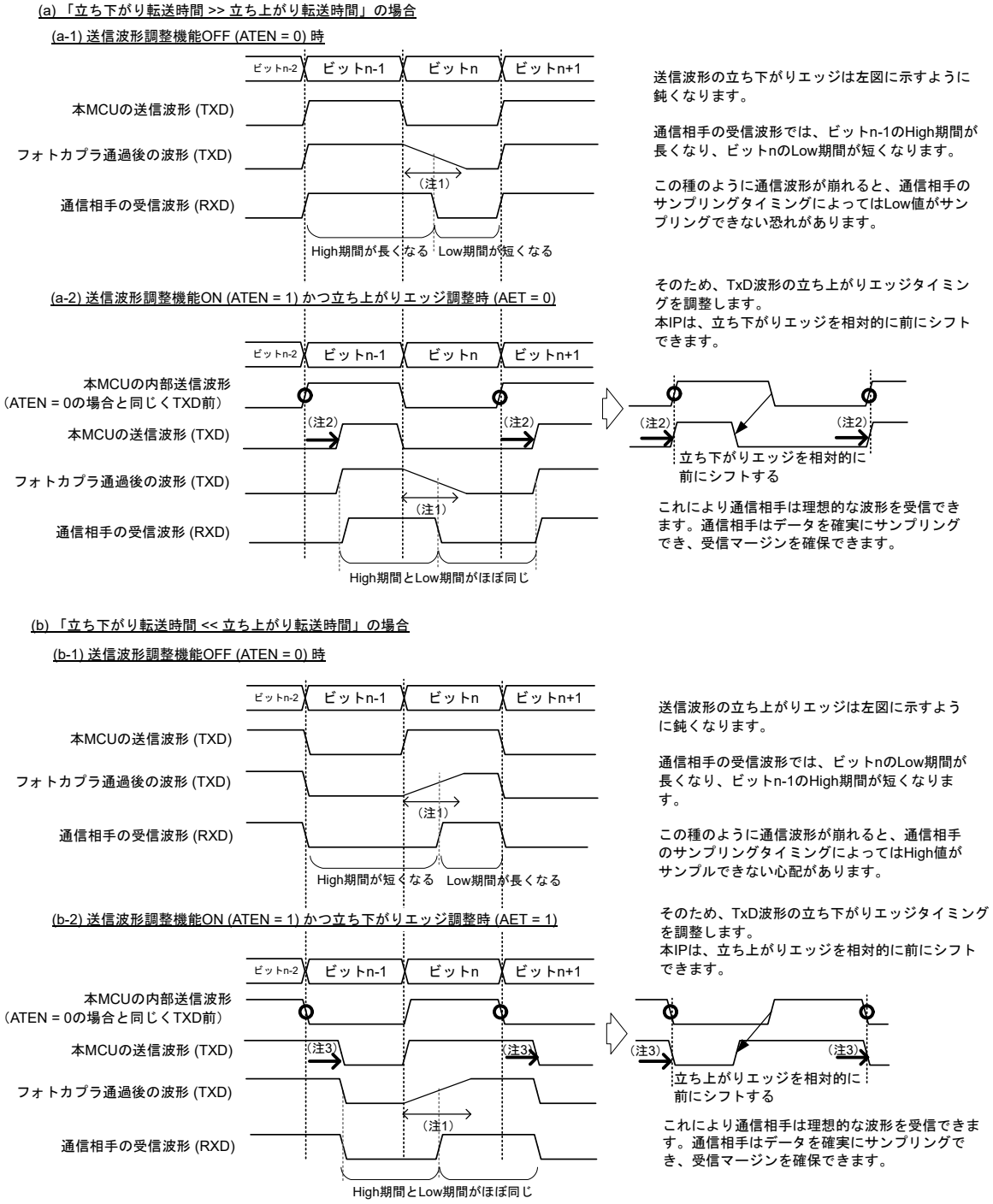


図 26.32 フォトカプラを通過する送信のブロック図イメージ



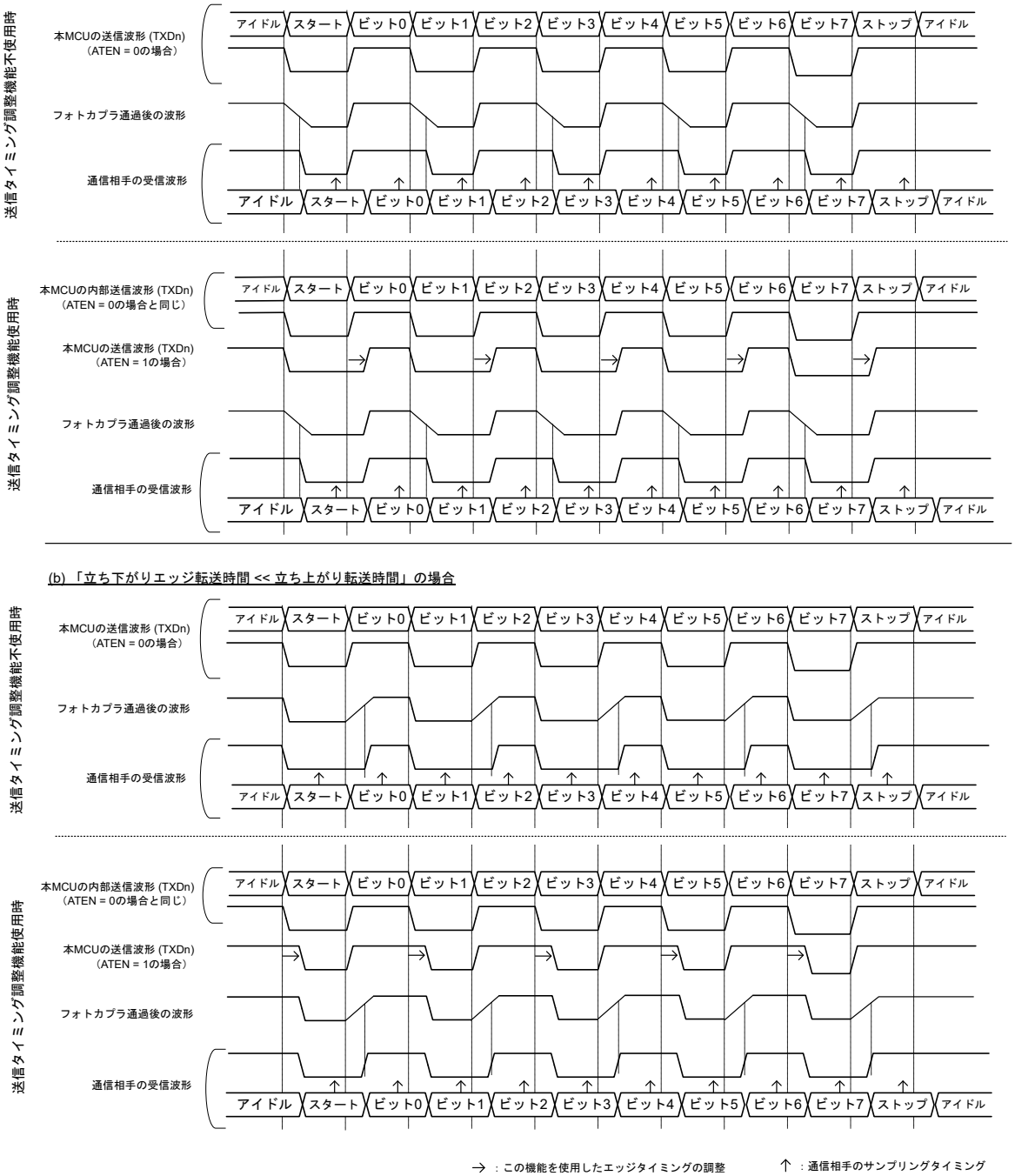
注.　この波形は送信タイミング調節の動作イメージを示します。
注 1.　フォトカプラの不感時間
注 2.　ACTR.AET が 0 の場合、送信波形タイミングの立ち上がりエッジを、ACTR.ATT[2:0]ビットの設定値により後ろにシフトします。この IP 送信波形は、立ち下がりエッジを相対的に前にシフトします。
注 3.　ACTR.AET が 1 の場合、送信波形タイミングの立ち下がりエッジを、ACTR.ATT[2:0]ビットの設定値により後ろにシフトします。この IP 送信波形は、立ち下がりエッジを相対的に前にシフトします。

図 26.33　フォトカプラを通過する通信の送信動作の概要

送信タイミング調整機能使用時のフォトカプラを経由した通信の送信波形の説明

送信タイミング調整機能の使用時は、送信波形のエッジタイミングを調整し、通信相手の受信波形を補正してください。
次の例は、8ビット長のデータの場合です。

(a) 「立ち下がりエッジ転送時間 >> 立ち上がり転送時間」の場合



(b) 「立ち下がりエッジ転送時間 << 立ち上がり転送時間」の場合

→ ：この機能を使用したエッジタイミングの調整　　↑ ：通信相手のサンプリングタイミング

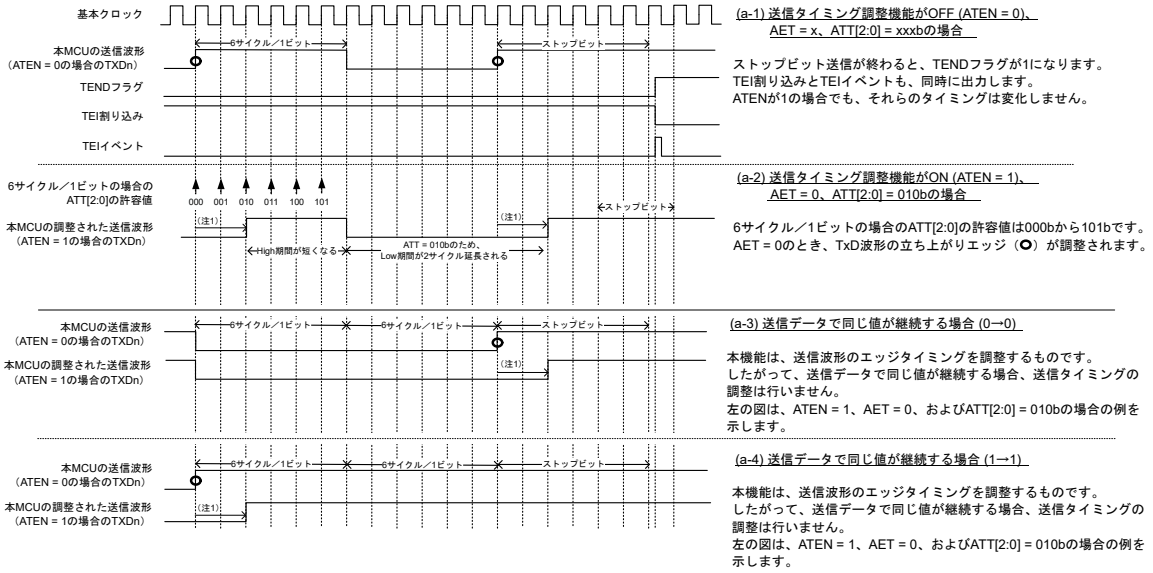
図 26.34　フォトカプラを経由する送信波形の説明

送信タイミング調整動作の説明

(a)「立ち下がり転送時間 >> 立ち上がり転送時間」の場合

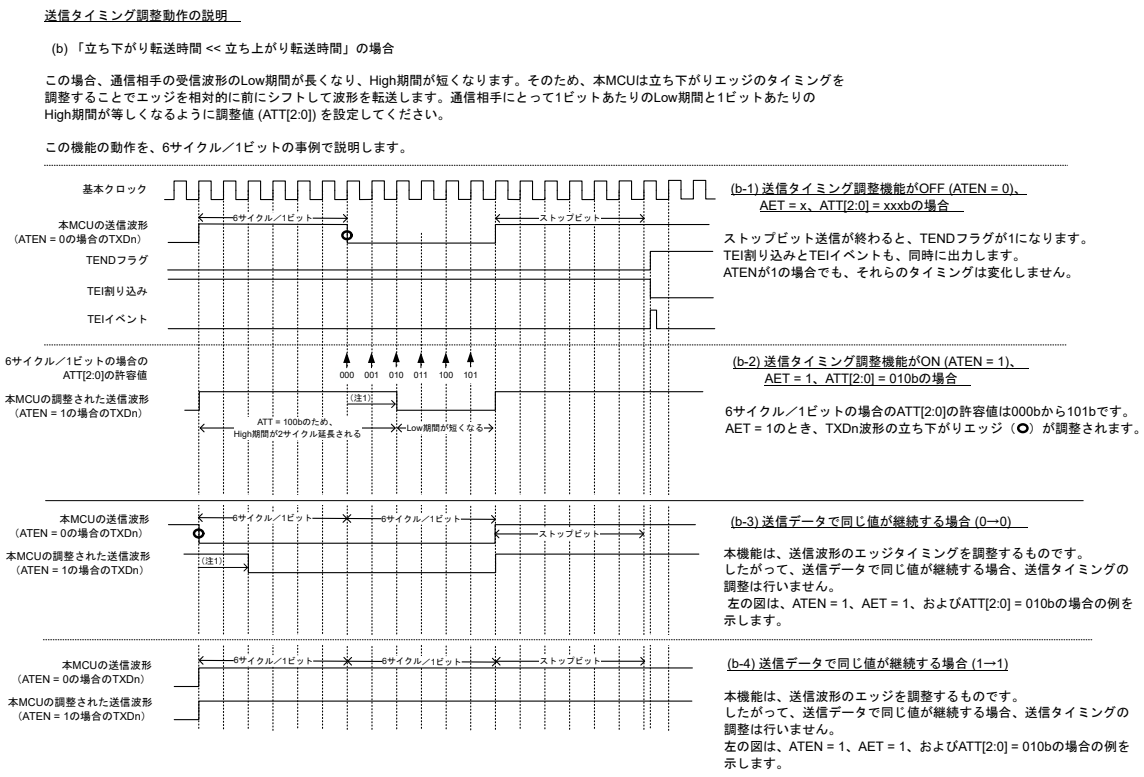
この場合、通信相手の受信波形のHigh期間が長くなり、Low期間が短くなります。そのため、本MCUは立ち下がりエッジのタイミングを調整することでエッジを相対的に前にシフトして波形を転送します。通信相手にとって1ビットあたりのLow期間と1ビットあたりのHigh期間が等しくなるように調整値 (ATT[2:0]) を設定してください。

この機能の動作を、6サイクル／1ビットの事例で説明します。



注 1.　送信タイミング立ち上がりエッジを、ACTR.ATT[2:0]ビットの設定値により後ろにシフトします。

図 26.35　AET が 0 の場合の送信タイミング調節動作の説明



注 1.　送信タイミング立ち下がりエッジを、ACTR.ATT[2:0]ビットの設定値により後ろにシフトします。

図 26.36　AET が 1 の場合の送信タイミング調節動作の説明

26.4　マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信の回線を共有することにより、複数のプロセッサ間でデータの送受信が可能になります。マルチプロセッサ通信では、各受信局にそれぞれ固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局にデータを送信するためのデータ送信サイクルで構成されます。

ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。

- マルチプロセッサビットが 1 のとき、送信サイクルは ID 送信サイクル
- マルチプロセッサビットが 0 のとき、送信サイクルはデータ送信サイクル

図 26.37 に、マルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードに 1 を設定したマルチプロセッサビットを付加した通信データを送信します。続いて、送信データに 0 を設定したマルチプロセッサビットを付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、受信した ID を自局の ID と比較します。2 つが一致した場合、受信局は、続いて送信される通信データを受信します。一致しなかった場合、マルチプロセッサビットが 1 の通信データを受信するまで、受信局は通信データを読み飛ばします。

(1) 非 FIFO 選択時

この機能をサポートするため、SCI は SCR.MPIE ビットを用意しています。MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）への受信データの転送
- 受信エラーの検出
- SSR レジスタの RDRF、ORER、FER の各ステータスフラグの設定

マルチプロセッサビットが 1 のキャラクタを受信すると、SSR.MPBT ビットが 1 になるとともに、SCR.MPIE ビットが自動的にクリアされ、SCI は通常の受信動作に戻ります。SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は、通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも、通常の調歩同期式モードで使用するクロックと同一です。

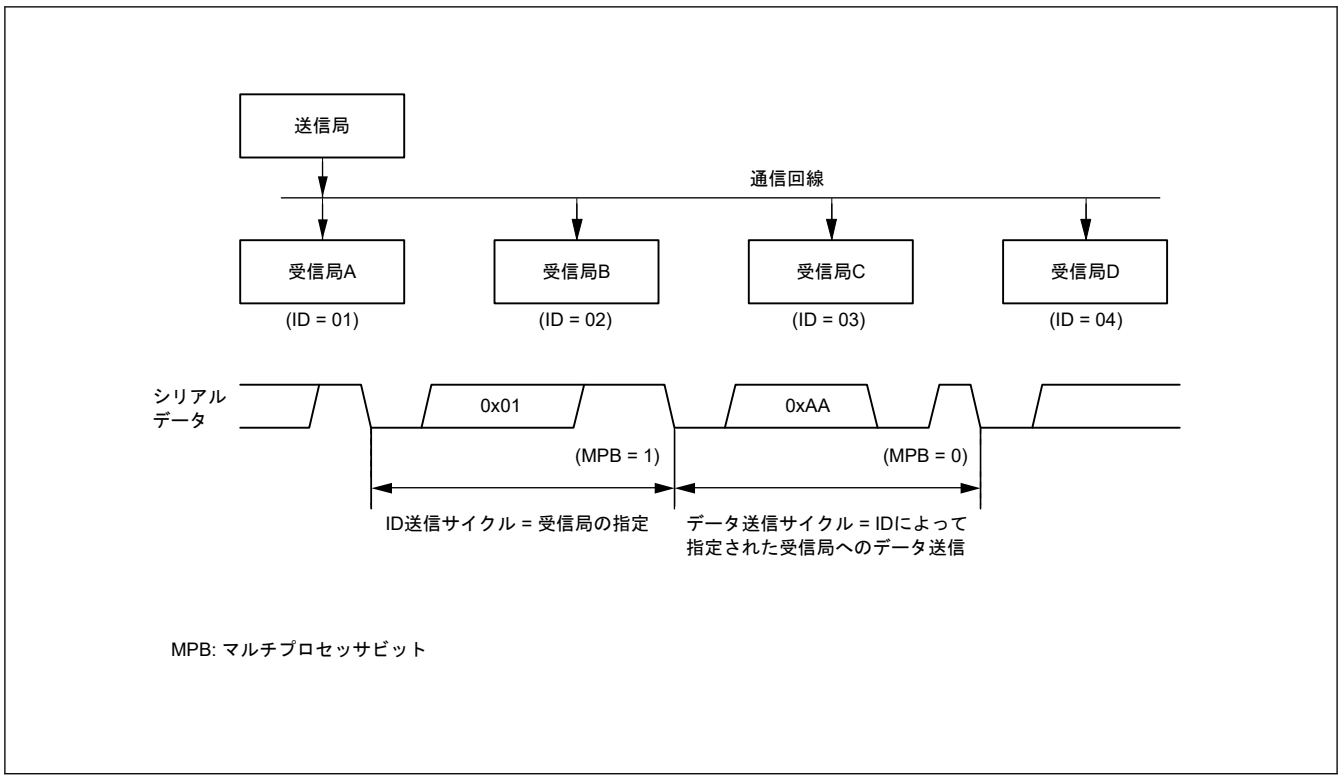


図 26.37　マルチプロセッサフォーマットを使用した通信例（データ 0xAA を受信局 A に送信する場合）

(2) FIFO 選択時

データ送信では、ソフトウェアにおいて、FTDRHL.TDAT 内の送信データに対応する FTDRHL.MPBT ビットにデータを書き込む必要があります。データ受信では、受信データの一部であるマルチプロセッサビットが FTDRHL.MPB ビットに書き込まれ、受信データは FRDRL レジスタに書き込まれます。

MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから FRDRHL レジスタへの受信データの転送
- 受信エラーの検出
- ブレーク
- SSR_FIFO レジスタの RDF、ORER、FER の各ステータスフラグの設定

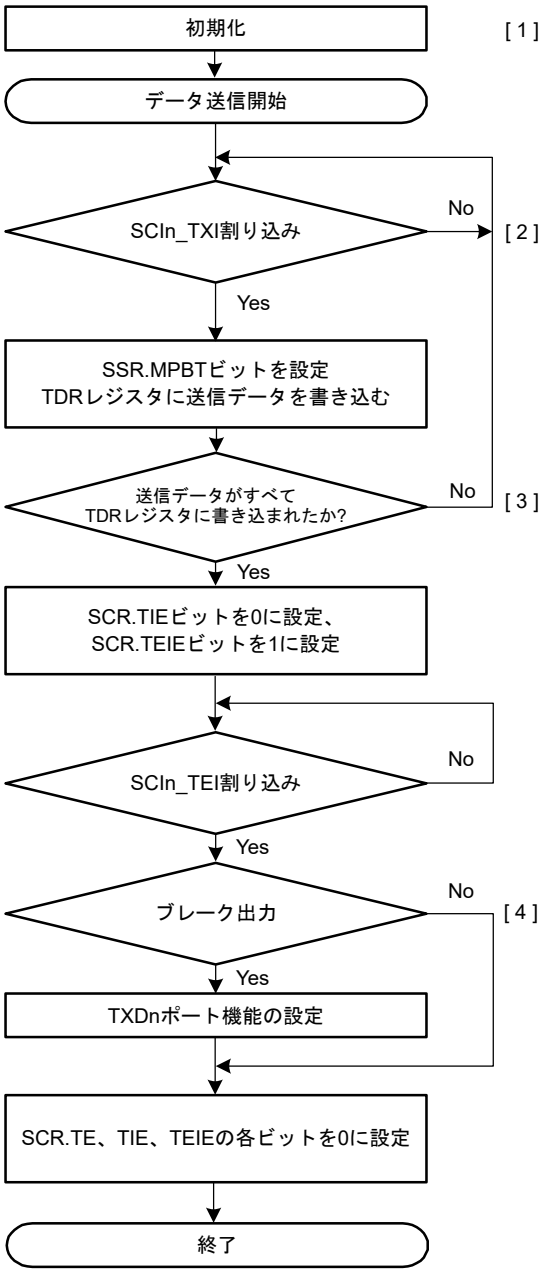
マルチプロセッサビットが 1 の 8 ビットキャラクタを SCI が受信すると、FTDRHL.MPB ビットが 1 になるとともに、受信データが FRDRHL.RDAT に書き込まれます。SCR.MPIE ビットが自動的にクリアされ、SCI は通常の受信動作に戻ります。SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビット機能は無効です。それ以外は通常の調歩同期式モードの FIFO 選択時と変わりません。

26.4.1　マルチプロセッサシリアルデータ送信

(1) 非 FIFO 選択時

図 26.38 に、マルチプロセッサデータ送信のフロー例を示します。ID 送信サイクルでは、SSR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードの動作と同じです。FTDRH から FTDRL の順に書いてください。



[1] SCIの初期化：
データ送信に設定します。
SCR.TEビットを1にした後、1フレーム分のHighレベルを出力して送信可能状態になります。

[2] SCIn_TXI割り込み要求：
送信データがTDRからTSRに転送されると、送信データエンプティ割り込み (SCIn_TXI) 要求が発生します。
SSR.MPBTビットを0または1に設定し、SCIn_TXI割り込み処理ルーチンでTDRレジスタに送信データを1回だけ書き込みしてください。

[3] シリアル送信の継続手順：
シリアル送信を継続する場合は、SCIn_TXI割り込み要求を用いてTDRに送信データを1回だけ書き込みしてください。
DMACまたはDTCを起動し、TDRレジスタにデータを書き込むことも可能です。
SCIn_TEI割り込み要求を使用する場合は、最終送信データをTDRレジスタに書き込んだ後、SCR.TIEビットを0にし、SCR.TEIEビットを1にします。

[4] シリアル送信終了時のブレーク出力：
シリアル送信でブレークを出力する場合、SPTR.SPB2IOビットとSPTR.SPB2DTビットを用いてTXDn端子の出力状態（Lowレベル出力）を設定後、SCR.TEビットを0にしてください。

図 26.38　マルチプロセッサシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

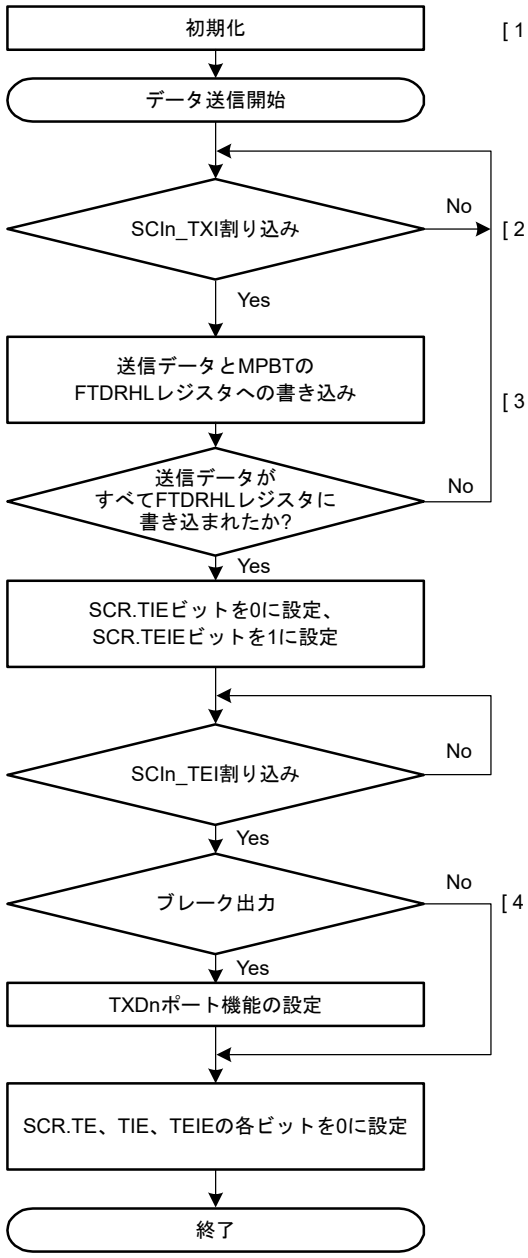
図 26.39 に、マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。FTDRH.MPBT ビットは 1 になります。適切なデータ長のデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH レジスタ→FTDRL レジスタの順に書いてください。

データ長	レジスタ設定		FTDRH、FTDRLの送信データ															
			FTDRHL															
			FTDRH								FTDRL							
	SCMR.CHR1	SMR.CHR	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	–	–	–	–	–	–	MPBT	–	–	7ビットの送信データ						
8ビット	1	1	–	–	–	–	–	–	MPBT	–	8ビットの送信データ							
9ビット	0	Don't care	–	–	–	–	–	–	MPBT	9ビットの送信データ								

注.　—：無効。書く場合、0 としてください。

図 26.39　マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマット（FIFO 選択時）

図 26.40 に、FIFO 選択時のマルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、FTDRH.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。



[1] SCIの初期化：
データ送信に設定します。
SCR.TEビットを1にした後、1フレーム分のHighレベルを出力して送信可能状態になります。

[2] SCIn_TXI割り込み要求による送信データのFTDRHLレジスタへの書き込み：
送信データがFTDRHLからTSRに転送されると、FTDRHLレジスタに書き込んだ送信データ量が指定の送信トリガ数以下の場合、送信データエンプティ割り込み (SCIn_TXI) 要求が発生します。

[3] シリアル送信の継続手順：
シリアル送信を継続するときには、SCIn_TXI割り込み要求でFTDRHLレジスタに送信データとMPBTを1回だけ書き込みしてください。
DMACまたはDTCを起動し、FTDRHLレジスタにデータを書き込むことも可能です。
SCIn_TEI割り込み要求を使用する場合、最終送信データをFTDRHLに書き込んだ後、SCR.TIEビットを0にして、SCR.TEIEビットを1にします。

[4] シリアル送信終了時のブレーク出力：
シリアル送信でブレークを出力するには、SPTR.SPB2IOビットおよびSPTR.SPB2DTビットでTXDn端子の出力状態（Lowレベル出力）を設定後、SCR.TEビットを0にしてください。

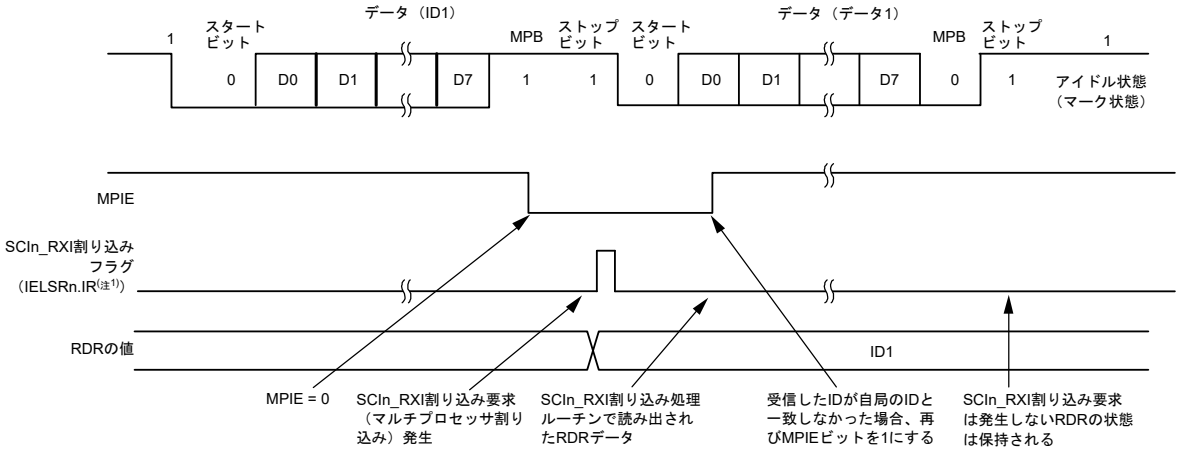
図 26.40　マルチプロセッサモードにおけるシリアル送信のフローチャート例（FIFO 選択時）

26.4.2　マルチプロセッサシリアルデータ受信

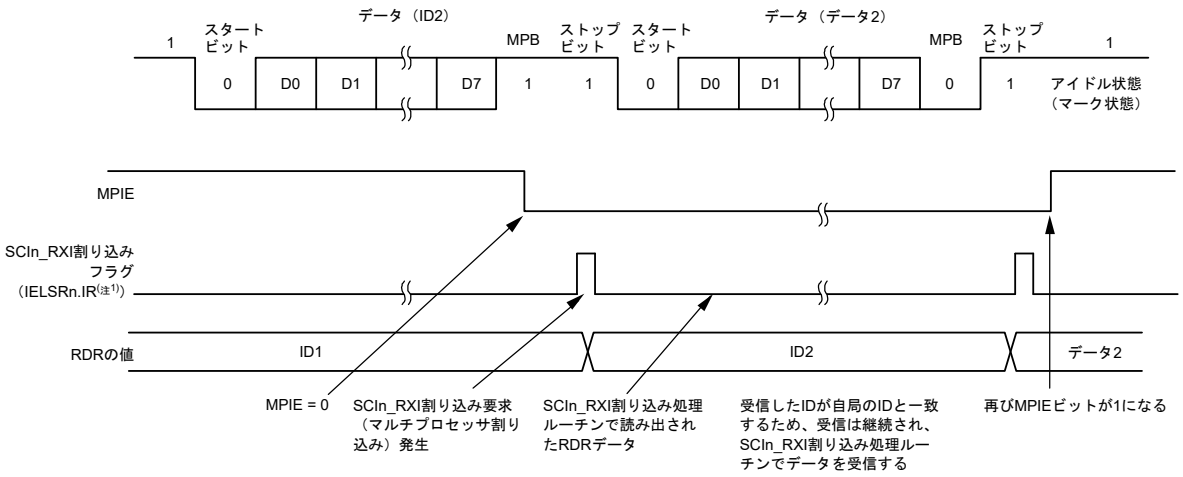
(1) 非 FIFO 選択時

図 26.42 と図 26.43 に、マルチプロセッサシリアル受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データは RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）へ転送され、SCIn_RXI 割り込み要求が発生します。その他の動作は、調歩同期式モードの動作と同じです。FRDRH から FRDRL の順に読み出してください。

図 26.41 に、データ受信時の動作例を示します。



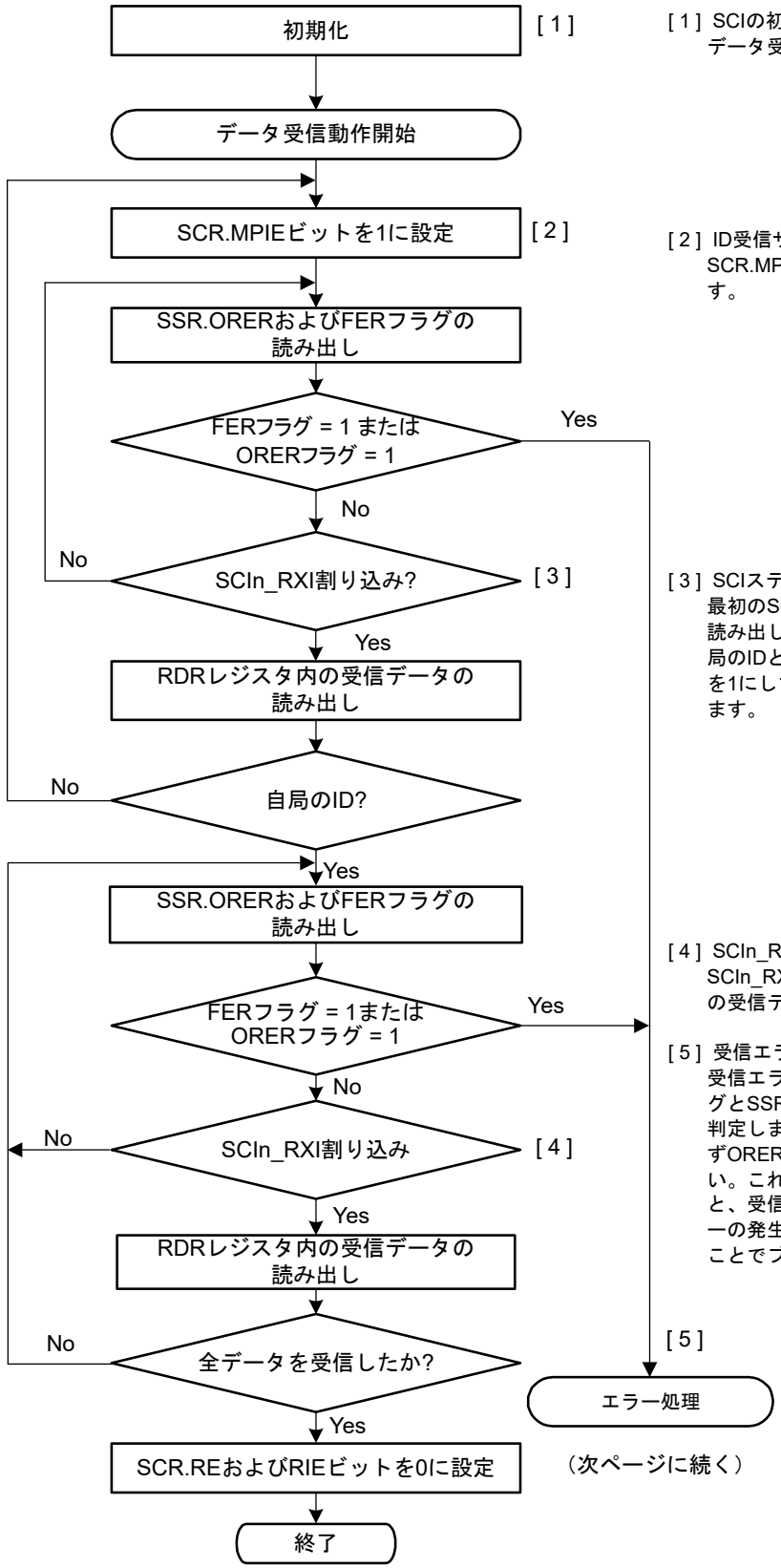
(a) 受信したIDが自局のIDと一致しない場合



(b) 受信したIDが自局のIDと一致する場合

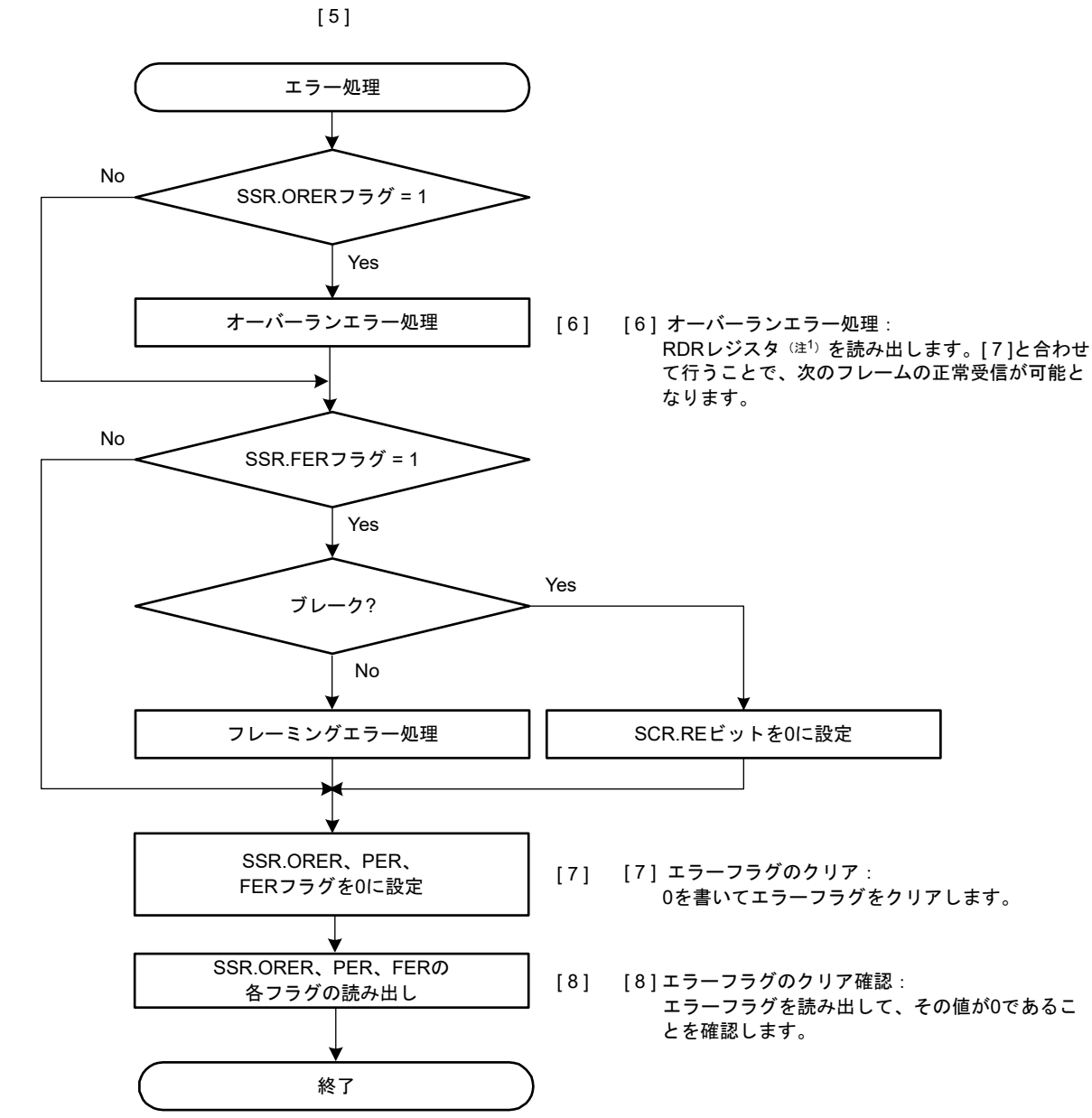
注 1. 対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.41 SCI の受信時の動作例（8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの場合）



注 1.　データ長 9 ビット選択時は、RDR レジスタは RDRHL レジスタになります。

図 26.42　マルチプロセッサシリアル受信のフローチャート例（非 FIFO 選択時）(1)



注 1.　データ長 9 ビット選択時は、RDR レジスタは RDRHL レジスタになります。

図 26.43　マルチプロセッサシリアル受信のフローチャート例（非 FIFO 選択時）(2)

(2) FIFO 選択時

図 26.44 に、マルチプロセッサモードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

マルチプロセッサモードでは、受信データの一部である MPB の値が FRDRH.MPB ビットに書き込まれます。FRDRH.PER フラグに 0 が書き込まれます。適切なデータ長のデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH レジスタ→FRDRL レジスタの順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、MPB フラグ、および FRDRL レジスタの受信データ (RDAT[8:0]) を次のデータで更新します。FRDRH レジスタの RDF、ORER、DR フラグは、常に SSR_FIFO レジスタの対応するフラグを反映しています。

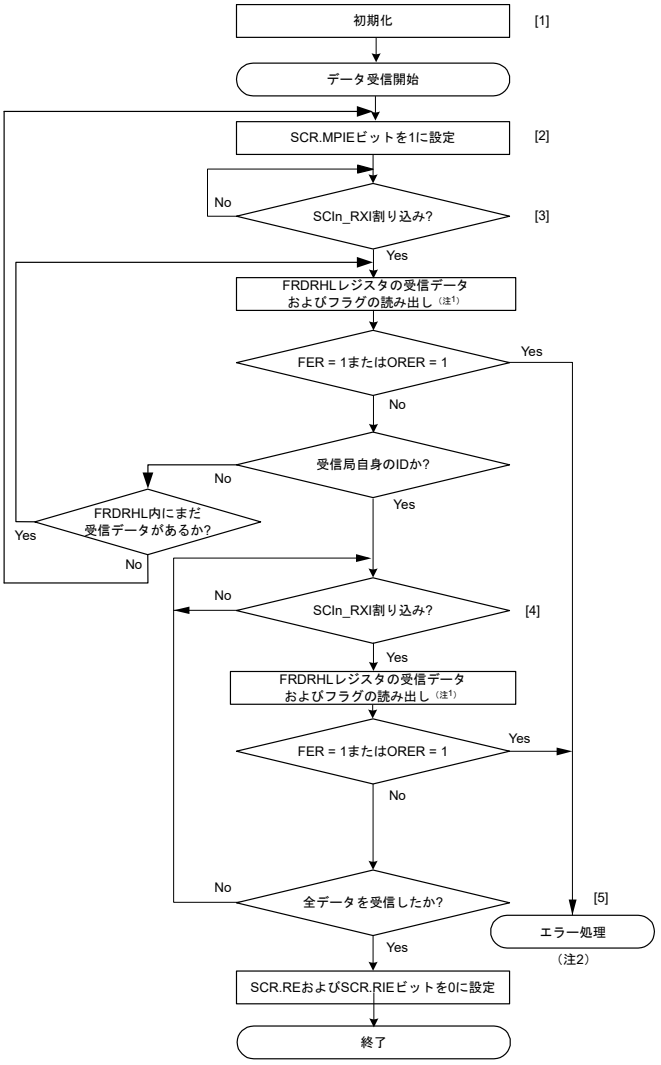
データ長	レジスタ設定		FRDRH、FRDRLの受信データ															
			FRDRHL															
			FRDRH								FRDRL							
	SCMR.CHR1	SMR.CHR	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	–	RDF	ORER	FER	0	DR	MPB	0	0	7ビットの受信データ						
8ビット	1	1	–	RDF	ORER	FER	0	DR	MPB	0	8ビットの受信データ							
9ビット	0	Don't care	–	RDF	ORER	FER	0	DR	MPB	9ビットの受信データ								

注.　データ長が 7 ビットの場合、FRDRH[0]と FRDRL[7]では常に 0 が読み出されます。
データ長が 8 ビットの場合、FRDRH[0]では常に 0 が読み出されます。
FRDRHL[15]ビットは不定値として読み出されます。

図 26.44　マルチプロセッサモードにおいて FRDRH と FRDRL に格納されるデータフォーマット（FIFO 選択時）

図 26.45 に、FIFO 選択時のマルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データ、MPB、および関連のエラーが FRDRHL レジスタへ転送されます。SCR.MPIE ビットは自動的にクリアされ、通常の受信動作が継続します。

フレーミングエラーが発生して SSR_FIFO.FER フラグが 1 になると、SCI はデータ受信を継続します。その他の動作は、調歩同期式モードにおける FIFO 選択時の動作と同じです。



[1] SCIの初期化：
データ受信に設定します。

[2] ID受信サイクル：
SCR.MPIEビットを1にして、IDの受信を待ちます。

[3] SCIステータス確認およびIDの受信と比較：
SCIは、FRDRHLレジスタの最初のデータ (MPB = 1) とそれ以降の受信データを格納します。
指定した受信トリガ数以上の受信データ量がFRDRHLレジスタに格納されると、RDFが1にセットされ、SCIn_RXI割り込み要求が発生します。
FRDRHLレジスタに格納されたデータ量が指定した受信トリガ数を下回り、受信データが1以上であり、かつ最終ストップビットから15 etu経過後に次のデータを受信しない場合、SSR_FIFO.DRは1にセットされます。
FCR.DRESビットが0のとき、SCIn_RXI割り込み要求が発生します。
最初のSCIn_RXI割り込みでFRDRHLレジスタのデータを読み出して、それを受信局自身のIDと比較します。
受信局自身のIDと一致しなかった場合、MPBが1のデータまで読みだした後、次のIDと比較します。MPBが1でFRDRHLレジスタのデータがない場合、再びMPIEビットを1にして、次のSCIn_RXI割り込み要求を待ちます。

[4] SCIn_RXI割り込みでのデータ受信：
SCIn_RXI割り込みルーチンで、FRDRHLレジスタのデータを1回読み出します。

[5] 受信エラー処理とブレークの検出：
受信エラーが発生した場合、SSR_FIFOのORERフラグとFERフラグを読み出すことでエラーを判定します。所定のエラー処理を行った後、必ずSSR_FIFO.ORERフラグとSSR_FIFO.FERフラグを0にしてください。
SSR_FIFO.ORERフラグが1の場合、受信を再開できません。フレーミングエラーの検出時、SPTR.RXDMONフラグを読み出すことでブレークの検出が可能です。

注 1.　FRDRHL の代わりに FRDRH と FRDRL が用いられる場合は、FRDRH から FRDRL の順に読み出してください。
注 2.　図 26.43 と同様です。

図 26.45　マルチプロセッサモードにおけるシリアル受信のフローチャート例（FIFO 選択時）

26.5　マンチェスタモードの動作

マンチェスタモードにおいては、受信または送信されるシリアルデータはマンチェスタエンコードによってコード化されます。

図 26.46 にマンチェスタエンコードのイメージを示します。

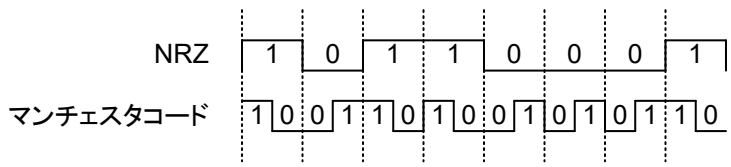


図 26.46　マンチェスタエンコードの例

マンチェスタモードでは、プレフィスとスタートビット領域がレジスタ内の送信データに追加され、送信フレームが構成されます。送信時に、データはマンチェスタエンコードでコード化されます。データが受信される時に、送信フレームと同じフォーマットのフレームが検出され、マンチェスタデコードが行われます。

フレームフォーマットの詳細については、「26.5.1. フレームフォーマット」を参照してください。

26.5.1　フレームフォーマット

図 26.47 にマンチェスタモードでのフレームフォーマットを示します。

図の上半分に関係する設定レジスタを示します。

プレフィス領域とデータ領域はマンチェスタエンコーディングでコーディングされます。

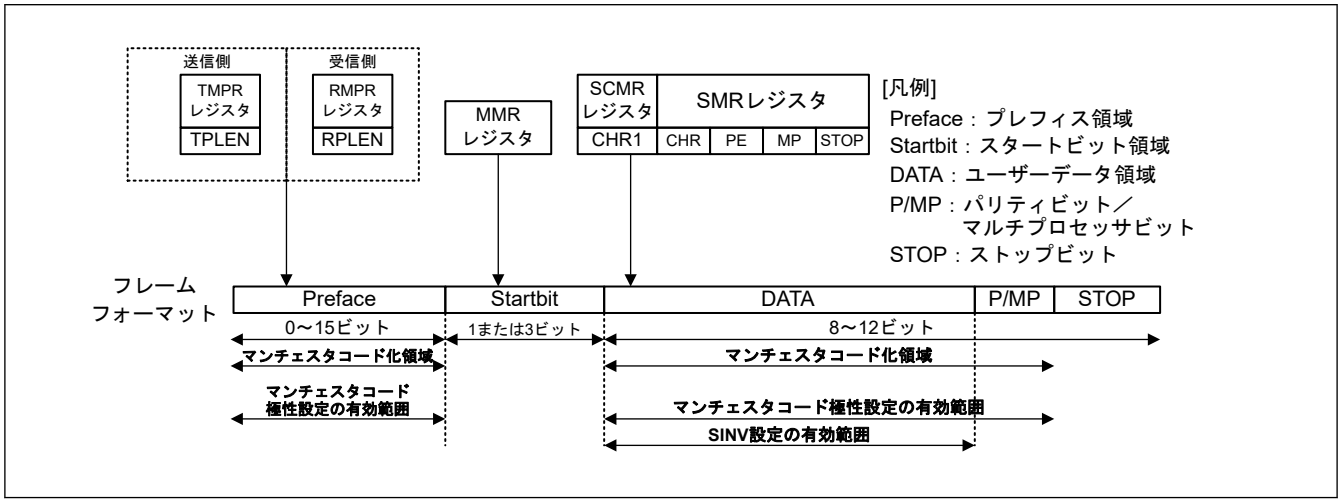


図 26.47　マンチェスタモードでのフレームフォーマット

(1)　プレフィス領域

この領域は固定パターンであり、各フレームの先頭に位置しています。

プレフィス領域の送信と受信の設定のためにいくつかのレジスタが使用されます。送信時のプレフィス長は TMPR.TPLEN[3:0]の設定で決まります。受信については RMPR.RPLEN[3:0]の設定で決まります。

0 に設定されると、送信プレフィスは無効になり付加されません。

1d～15d に設定されると、この設定で決まる長さのプレフィスが付加されます。

（例えば 1d に設定されると 1 ビット長のプレフィスが付加されます。15d に設定されると 15 ビット長のプレフィスが付加されます。）

送信時と受信時のプレフィスパターンは、それぞれ TMPR.TPPAT[1:0]と RMPR.RPPAT[1:0]により 4 パターンから選択されます。

図 26.48 にプレフィスがどのように設定されるかを示します。プレフィス領域とスタートビット領域が各通信フレームに付加されます。

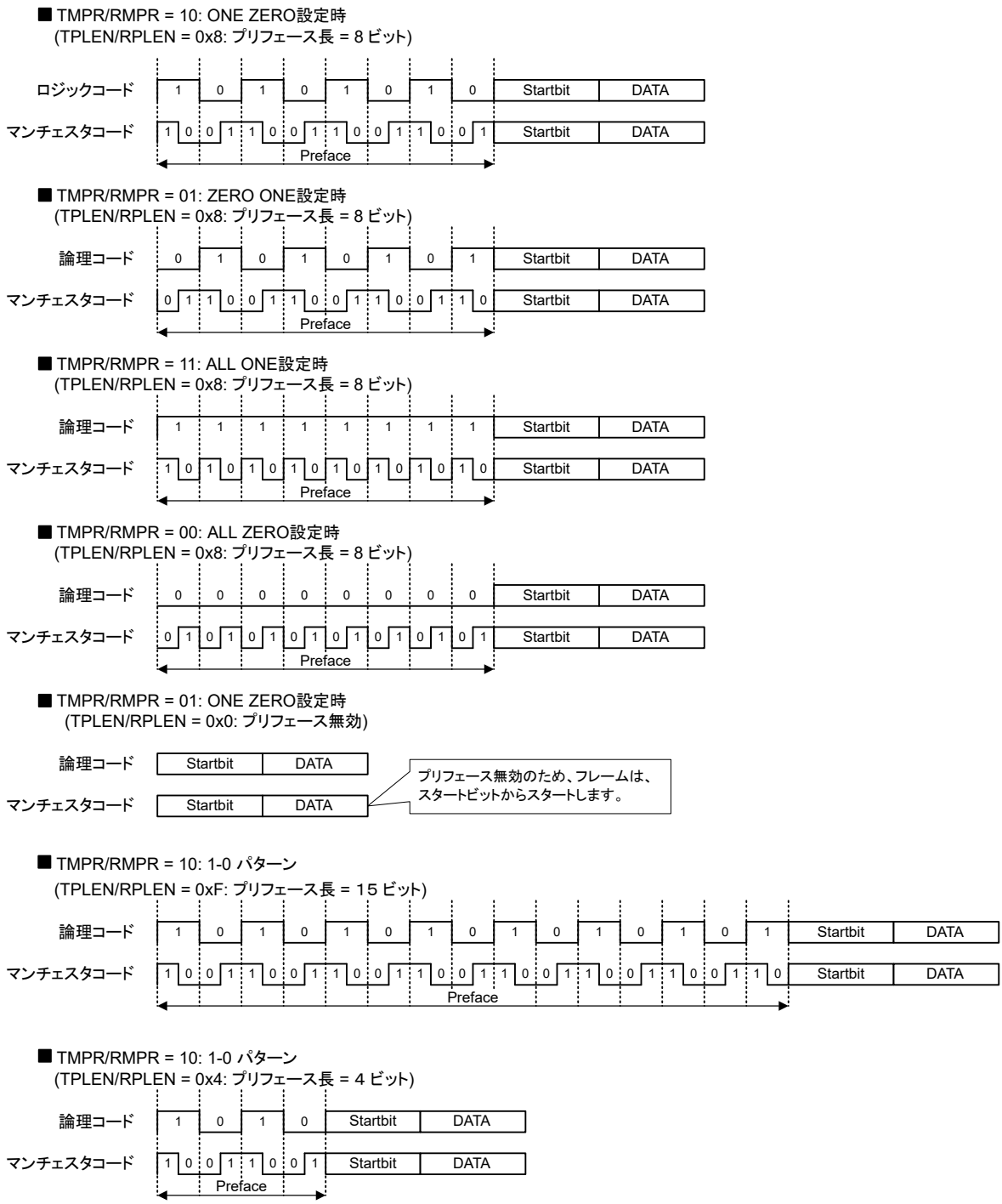


図 26.48　プレフィスパターンの設定例

(2)　スタートビット領域

フレーム内の有効データの開始を示します。この領域はプレフィス領域の後に追加されます。

スタートビット長は MMR.SBSEL の設定によって決まります。MMR.SBSEL = 0 の場合は、スタートビット長が 1 ビットです。

MMR.SBSEL = 1 の場合は、スタートビット長が 3 ビットです。

MMR.SBSEL = 1 の場合は、SYNC タイプをコマンド SYNC とデータ SYNC から選択できます。

コマンド SYNC は 3 ビットが 1 から 0 への遷移として付加されることを意味します。

データ SYNC は 3 ビットが 0 から 1 への遷移として付加されることを意味します。

SYNC タイプは MMR.SYNSEL、MMR.SYNVAL、および TDRH_MAN.TSYNC の設定で決まります。

（受信時は、RDRH_MAN.RSYNC に受信結果が適用されます。）

MMR.SBSEL = 0 の場合は、スタートビットが 0 から 1 または 1 から 0 への遷移として付加されます。

どちらにするかは MMR.SYNVAL の設定によって選択されます。

MMR.SYNSEL ビットは送信設定時の参照先を示します。

MMR.SYNSEL ビットが 1 のときは MMR.SYNVAL の設定が参照されます。MMR.SYNSEL ビットが 0 のときは TDRH_MAN.TSYNC の設定が参照されます。

図 26.49 に MMR.SYNSEL レジスタ、MMR.SYNVAL レジスタ、および TDRH_MAN.TSYNC レジスタの設定によって決まる送信時のスタートビット領域の状態を示します。図 26.50 に受信の場合を示します。

スタートビットは MMR.TMPOL または MMR.RMPOL の設定の影響を受けません。

* d.c.=don't care、Preface=プレフィス領域、START=スタートビット領域、Data=ユーザーデータ領域、
P=パリティビット、MP=マルチプロセッサビット、STOP=ストップビット

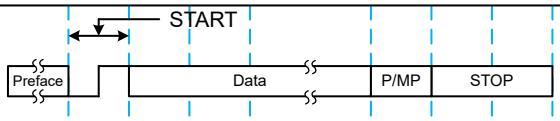
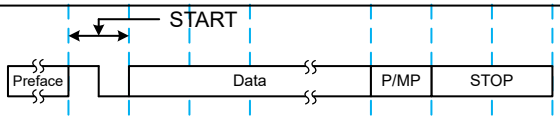
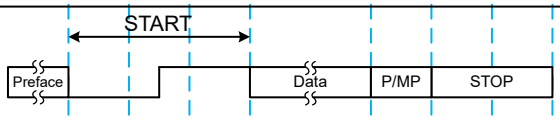
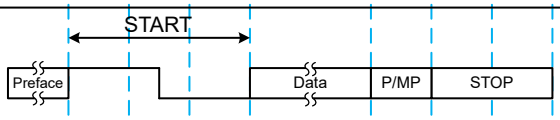
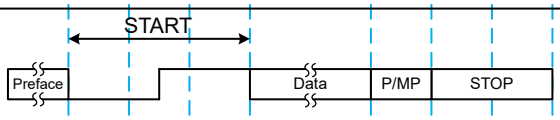
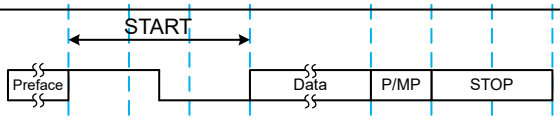
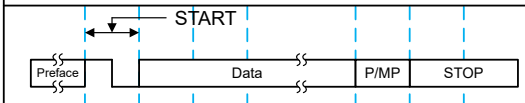
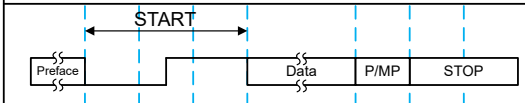
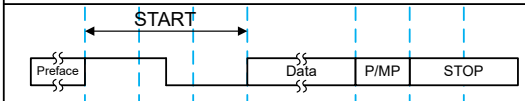
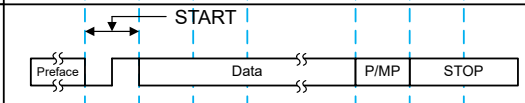
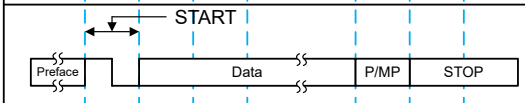
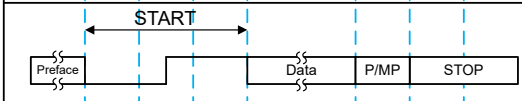
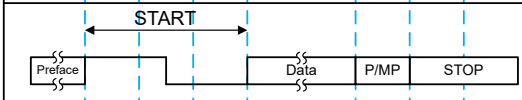
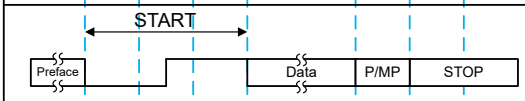
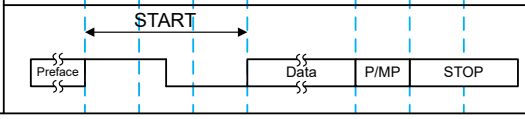
レジスタ設定				出力信号	スタートビット出力
MMR			TDRHL_MAN	TXDn出力波形	
SBSEL	SYNSEL	SYNVAL	TSYNC		
0	d.c.	0	d.c.		1ビット 0->1遷移
0	d.c.	1	d.c.		1ビット 1->0遷移
1	0	0	d.c.		3ビット 0->1遷移 （データ同期）
1	0	1	d.c.		3ビット 1->0遷移 （コマンド同期）
1	1	d.c.	0		3ビット 0->1遷移 （データ同期）
1	1	d.c.	1		3ビット 1->0遷移 （コマンド同期）

図 26.49　送信時のスタートビット領域に関する設定とフォーマット

スタートビット領域が3ビット長の場合、SYNVALビットは参照されません。

d.c.=don't care、Preface=プレフィス領域、START=スタートビット領域、Data=データ領域
P=パリティビット、MP=マルチプロセッサビット、STOP=ストップビット

レジスタ設定				入力信号	スタートビット検出結果 (注1)	レジスタ表示
MMR			TDRHL_MAN	RXDn入力波形		RDRHL_MAN.RSYNC
SBSEL	SYNSEL	SYNVAL	TSYNC			
0	d.c.	0	d.c.		スタートビット正常（1ビット：0->1遷移）	0
					スタートビットエラー	0
					スタートビットエラー	0
					スタートビットエラー	0
0	d.c.	1	d.c.		スタートビットエラー	0
					スタートビット正常（1ビット：1->0遷移）	0
					スタートビットエラー	0
					スタートビットエラー	0
1	d.c.	d.c.	d.c.		スタートビットエラー	0
					スタートビットエラー	0
					データ同期	0
					コマンド同期	1

注 1.　スタートビット以外のデータは正常であると仮定します。

図 26.50　受信時のスタートビット領域に関する設定と判定

(3) DATA

データ領域のフォーマットについては、調歩同期式モードと同様ですので「26.3.1. シリアル転送フォーマット」を参照してください。

図 26.46 マンチェスタモードでのフレームフォーマットに示される通り、ストップビットはマンチェスタエンコーディングの範囲に含まれません。

26.5.2 クロック

SMR.CKS[1:0]を設定することによって、マンチェスタモードでの送受信クロックとして内蔵ボーレートジェネレータから生成されるクロックが使用されます。

また、SEMR.ABCS ビットによってオーバーサンプリング（1 ビット時間の転送速度）を設定することも可能です。

SMER.ABCS ビットが 0 に設定されると、1 ビット時間を基本クロックの 16 サイクルとして、オーバーサンプリング x16 が選択されます。SMER.ABCS ビットが 1 に設定されると、1 ビット時間を基本クロックの 8 サイクルとして、オーバーサンプリング x8 が選択されます。

26.5.3 マンチェスタモードにおける SCI の初期化

データの送受信前に、SCR レジスタに初期値 0x00 を書き込み、図 26.51 のフローチャート例に従って、SCI を初期化してください。

動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを 0 にしても、SSR_MANC レジスタの ORER、FER、PER、MER、RDRF フラグ、MESR レジスタの SYER、PFER、SBER フラグ、ならびに RDR レジスタ、RDRHL_MAN レジスタは初期化されません。

また、SCR.TIE が 1 のときに SCR.TE の値を 0 から 1 に変化させると、SCIn_TXI 割り込み要求が生成されます。

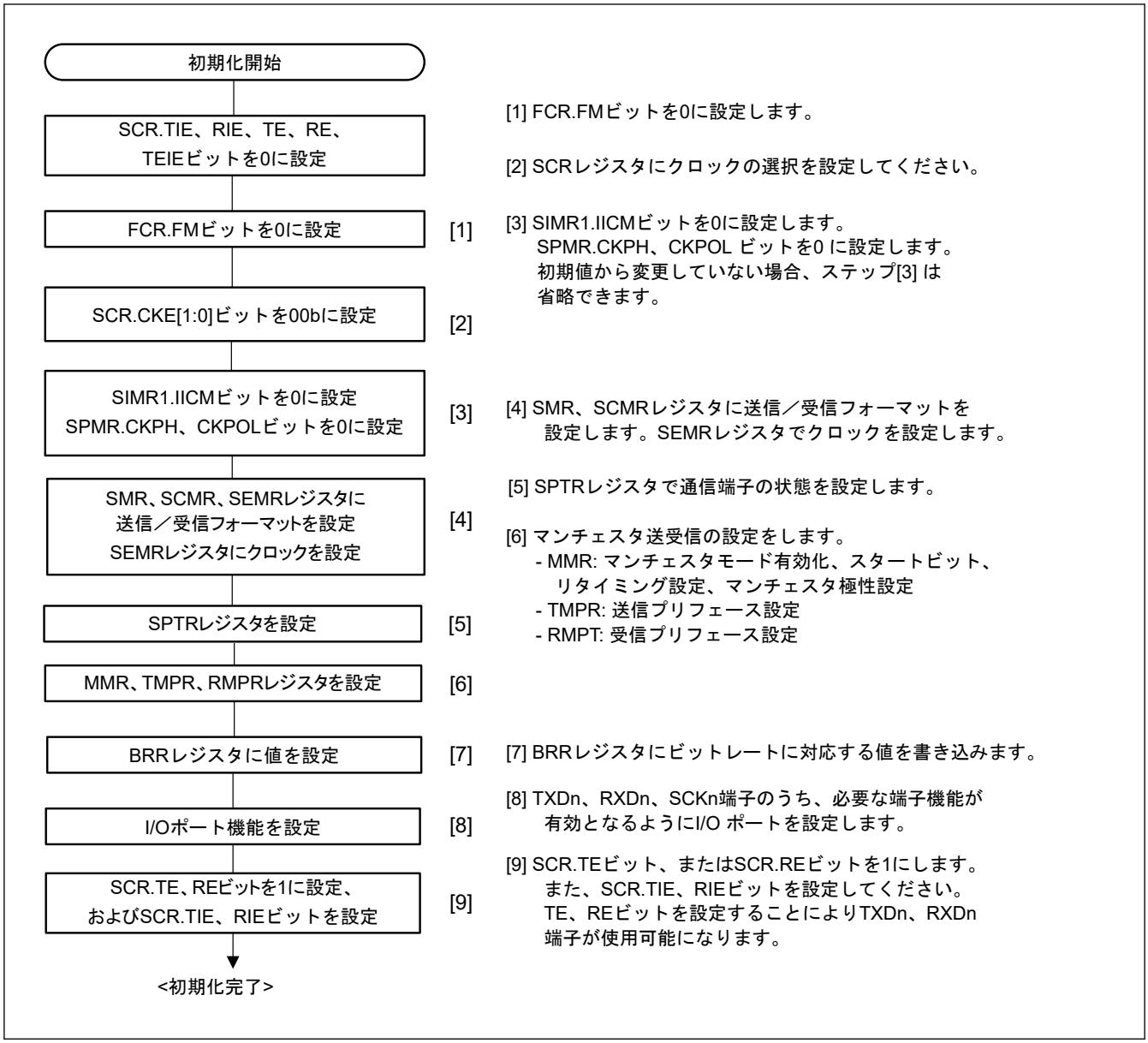


図 26.51 SCI の初期化フロー（マンチェスタモード）

26.5.4 倍速動作

SEMR.ABCS ビットを 1 にして、1 ビット期間として基本クロックの 8 パルスを選択した場合、ABCS ビットが 0 の場合に比べて、SCI は 2 倍のビットレートで動作します。

SEMR.BGDM ビットが 1 になっていると、基本クロックの周期は 1/2 倍に減少し、SCI のビットレートは ABCS ビットが 0 の場合の 2 倍になります。

SEMR レジスタの ABCS、BGDM ビットが 1 に設定されているときは、SEMR レジスタの ABCS、BGDM ビットが 0 に設定されているときと比べて、SCI は 4 倍のビットレートで動作します。

26.5.5 CTS、RTS 機能

CTS 機能は、CTSn_RTSn 端子入力を使用して送信制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTSn_RTSn 端子は、1 つの端子がいずれの機能にも使用できる兼用端子としても設定できますし、各端子が単一の機能に対応する専用端子としても設定できます。この設定を行うには、SPMR.CTSPEN ビットを使ってください。

CTS 機能有効時、CTSn_RTSn 端子が Low の場合のみ受信開始します。

送信開始後に CTSn_RTSn 端子入力を High にしても、送信中のフレームは影響を受けず、送信を継続します。

RTS 機能は、CTSn_RTSn 端子出力を使用して送信要求を行います。SCI は受信可能になると、CTSn_RTSn 端子に Low を出力します。Low および High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件がすべて満たされる場合：

- SCR.RE ビットが 1
- SCI が受信可能状態
- 読み出し前の受信データがない
- 以下のすべてのフラグが 0 になっている：SSR_MANC レジスタの ORER、FER、PER、MER フラグ、MESR レジスタの SYER フラグ（SYEREN = 1 の場合）、PFER フラグ（PFEREN = 1 の場合）、SBER フラグ（SBEREN = 1 の場合）

[High になる条件]

- Low になる条件を満たさない場合

26.5.6 シリアルデータの送信（マンチェスタモード）

SCI はマンチェスタエンコーディングによりデータをコード化し、その結果をマンチェスタモードで送信します。

極性設定 (MMR.TMPOL) が 0 の場合、論理 0 はマンチェスタコード内での 0 から 1 への遷移、論理 1 はマンチェスタコード内での 1 から 0 への遷移としてエンコーディングされます。

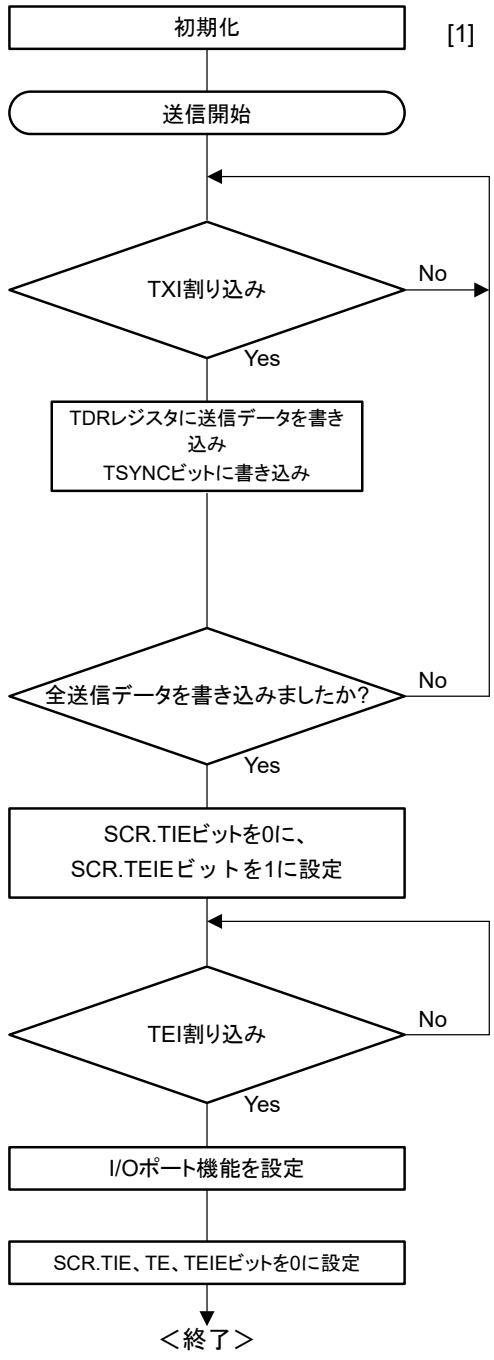
極性設定 (MMR.TMPOL) が 1 の場合、論理 0 はマンチェスタコード内での 1 から 0 への遷移、論理 1 はマンチェスタコード内での 0 から 1 への遷移としてエンコーディングされます。

そのため、マンチェスタエンコードされたデータのレベル遷移が各論理データの中間で発生します。（図 26.46 を参照してください。）

送信部はデータにプレフィスを付加し極性設定に従ってスタートビットを設定したうえで、特定のフォーマットで送信フレームを作成します。そして作成されたシリアルデータを送信します。

フレームフォーマットの詳細については、「26.5.1. フレームフォーマット」を参照してください。

図 26.52 に送信のフローチャートを示します。図 26.53、図 26.54、および図 26.55 にマンチェスタモードのシリアル送信の動作例を示します。



[1] SCIの初期化

データ送信に設定します。SCR.TEビットを1にして送信可能状態にします。

[2] 割り込み

送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み (TXI) 要求が発生します。

[3] TDR設定

TDRレジスタに送信データを書き込み。TSYNCビットを使用する場合は、TDRHL_MAN.TYSNCビットも設定してください。

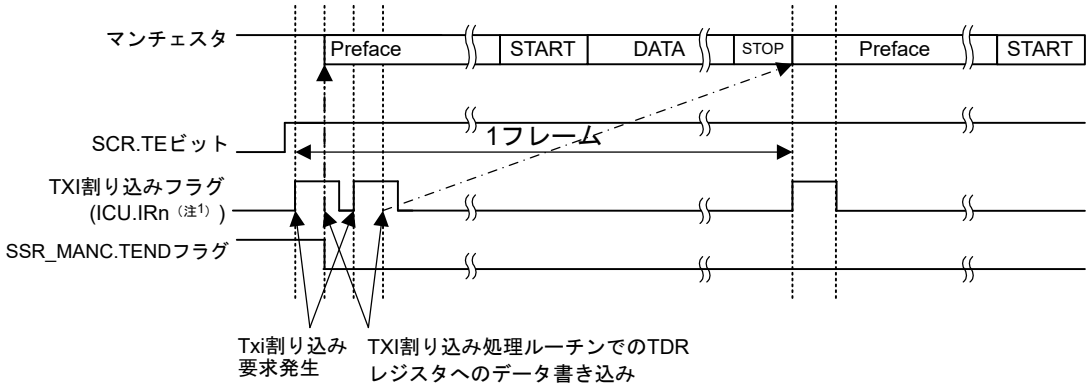
[4] シリアル送信継続手順

シリアル送信を続ける場合は、TXI割り込み要求でTDRレジスタにデータを1回だけ書き込んでください。

TXI割り込み要求中にDMACまたはDTCを起動して送信データをTDRレジスタに書き込むことも可能です。

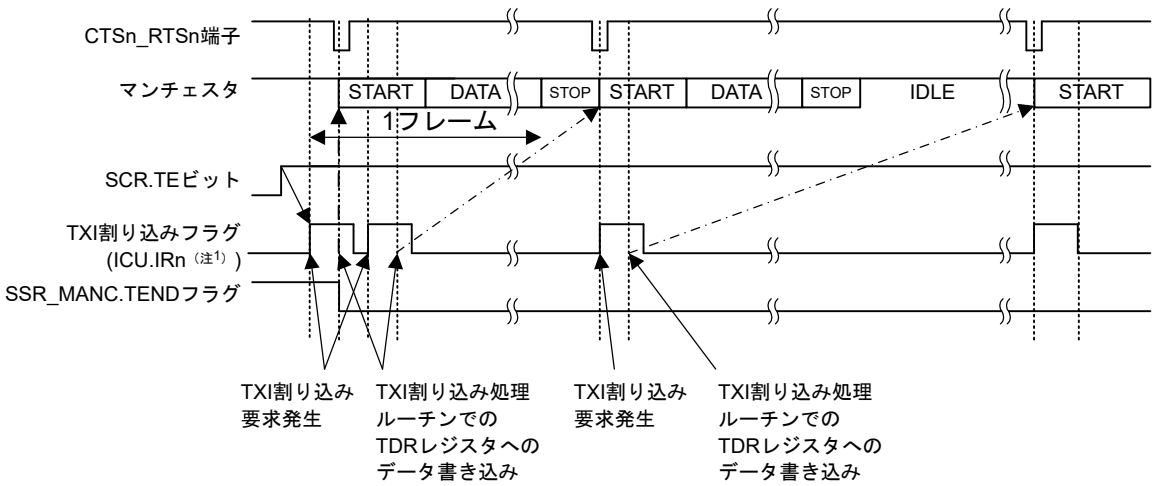
TEI割り込み要求を使用しているときは、送信対象の最終データをTDRレジスタに書き込み後、SCR.TIEビットを0、SCR.TEIEビットを1に設定してください。

図 26.52 マンチェスタモードのシリアル送信のフローチャート例



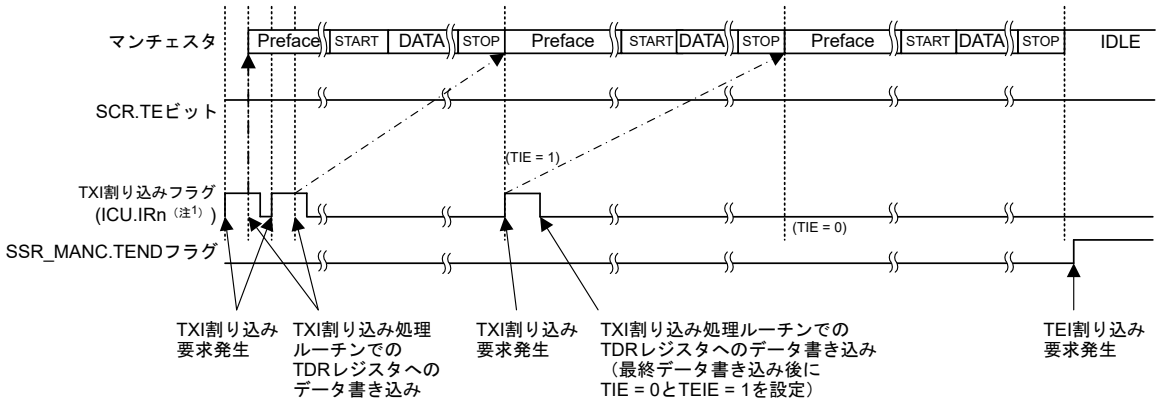
注 1. 対応する割り込み番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.53 マンチェスタモードにおけるシリアル送信の送信開始動作の例（プレフィスあり、CTS 機能なし）



注 1. 対応する割り込み番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.54 マンチェスタモードにおけるシリアル送信の送信開始動作の例（プレフィスなし、CTS 機能あり）



注 1.　対応する割り込み番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.55　マンチェスタモードにおけるシリアル送信の終了動作の例（プレフィスあり、CTS 機能なし）

26.5.7　シリアルデータの受信（マンチェスタモード）

マンチェスタモードでは、SCI はビットレートの 16 倍(注1)の周波数の基本クロックで動作します。受信は、基本クロックでの受信データの立ち下がりエッジのサンプリングによって開始します。図 26.56 に示す通り、受信は受信データの立ち下がりエッジで開始し、受信データが 1/4 ビットの間 Low 状態を維持すると受信が継続します。受信データが 1/4 ビットの間で High になると、SCI はエラーと判断し、次の立ち下がりエッジを待機します。

受信データの前半において High レベルであることが予想されると、SCI は 1 基本クロックサイクルの Low レベルをエラーと判断し、Low レベルへの変化を無視します。

注 1.　これは SEMR.ABCS = 0 の場合です。SEMR.ABCS = 1 の場合、SCI はビットレートの 8 倍の周波数の基本クロックで動作します。

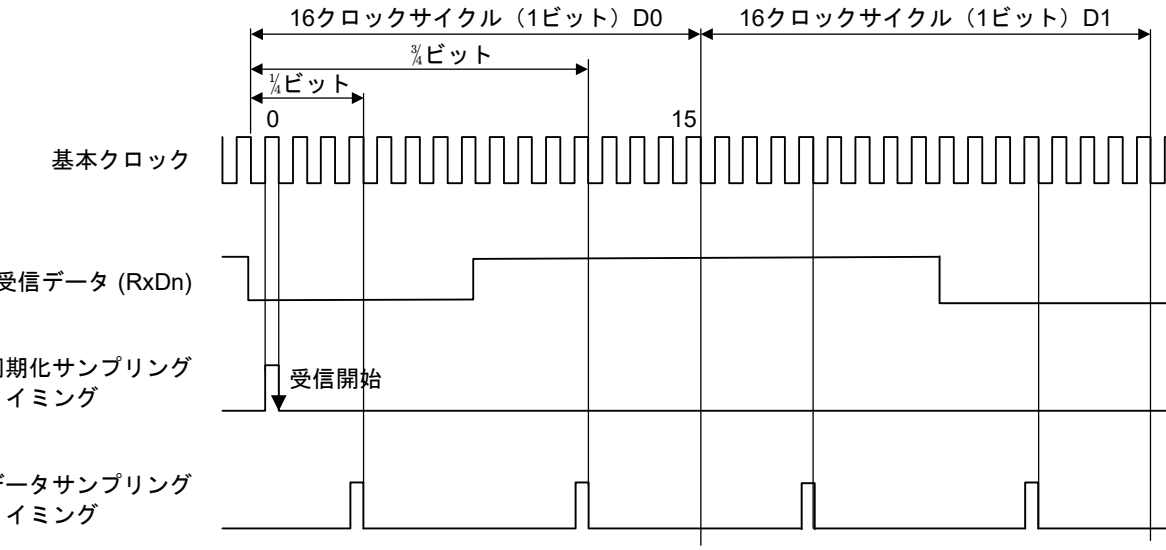


図 26.56　マンチェスタモードでのデータ受信サンプリングタイミング

マンチェスタモードでは、データ受信はプレフィスとスタートビット領域の検出で開始します。

SCI は RXDn 端子からの入力をチェックし、RMPR.RPLEN の値に基づいてプレフィスが追加されているかどうかを判断します。

プレフィスが無効の場合 (RMPR.RPLEN = 0)、プレフィス検出は行わずスタートビット領域の検出動作に移ります。

プレフィスが有効の場合、RMPR.RPPAT の設定値に基づいてプレフィスパターン設定を特定し、それを RXDn 入力と比較してプレフィスパターンの検出を行います。

プレフィスパターンの一致を検出すると、それを正常プレフィスと判断し、スタートビット領域の検出動作に移ります。

プレフィス領域においてプレフィスパターンの不一致またはマンチェスタコードエラーを検出すると、プレフィスエラーと判断してプレフィスエラー (PFER) をアサートします。

スタートビットの検出のために、SCI はレジスタ設定（MMR.SBSEL と SYNVAL）に基づいて期待値を選択し、これと RXDn とのパターンマッチングによってスタートビット領域を検出します。スタートビットのパターン一致を検出すると、これを正常なスタートビット領域と判断してデータ処理動作に移行します。

プレフィスとスタートビット領域を正常に検出した場合のみ、データ受信の次のフェーズに移行します。

スタートビットのパターン不一致を検出すると、スタートビットエラーフラグ (SBER) をアサートします。

データ処理において、SCI はレジスタ設定（SCMR.CHR1 と SMR.CHR）に基づいて、RSR レジスタによって期待受信データ長だけデータをシフトします。受信データの 1 ビット内の 2 つのサンプル点が一致すると、SCI はこれをマンチェスタコードエラーと判断します。

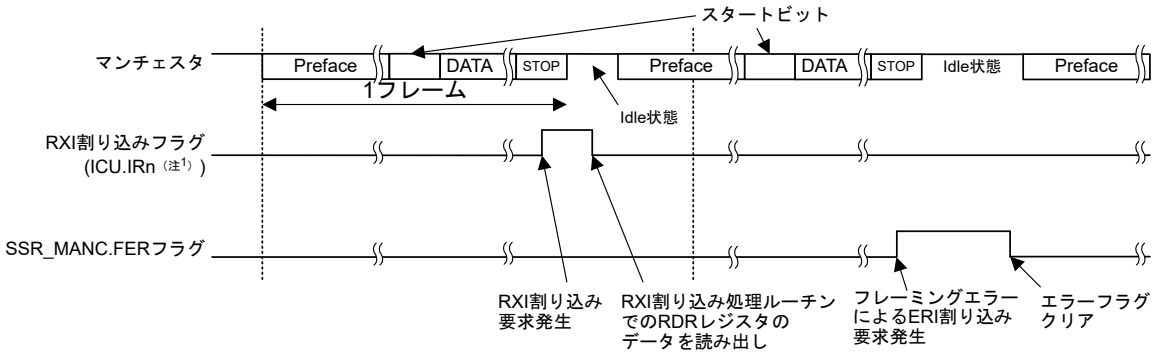
詳細については、「26.5.11. マンチェスタモードにおけるエラー」 (4) を参照してください。

パリティ機能が無効の場合 (SMR.PE = 0) は、SCI はストップビット検出の次のフェーズに移行します。パリティ機能が有効の場合 (SMR.PE = 1) は、SCI はパリティチェックを行います。パリティエラーを検出すると、パリティエラーフラグ (PER) をアサートしてストップビット検出動作に移行します。

ストップビットの検出においては、SCI は受信フレームのストップビット領域内で以下をチェックします。

ビット内に 2 つのサンプリング点があります。両方のサンプリング点が High レベルの場合、そのビットは正常なストップビットとみなされ、データが RDR レジスタに保存されます。Low レベル点が少なくとも 1 つあると異常ストップビットと判断され、フレームエラーフラグ (FER) が設定されます。エラーが検出された場合でも、受信データは異常データとして RDR レジスタに保存されます。

図 26.57 にマンチェスタモードにおけるシリアル受信の動作例を示します。



注 1.　対応する割り込み番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.57　マンチェスタモードにおけるシリアルデータ受信の動作例（プレフィスあり）

受信エラーが検出された場合の SSR レジスタの各ステータスフラグの状態と RXDn 入力処理については、「26.5.11. マンチェスタモードにおけるエラー」を参照してください。

受信エラーが検出されると、SCIn_ERI 割り込み要求は発生しますが、SCIn_RXI 割り込み要求は発生しません。

受信エラーフラグが 1 の状態では受信動作を再開できません。したがって、ORER、FER、PER、MER、SYER(注1)、PFER(注1)、および SBER(注1)フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR（または RDRHL_MAN）レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR（または RDRHL_MAN）レジスタに読み出し前の受信データが残っている可能性があるため、RDR（または RDRHL_MAN）レジスタを読み出す必要があります。

図 26.58 と図 26.59 に、マンチェスタモードにおけるシリアルデータ受信フローチャートの例を示します。

注 1.　対応するビットが有効のときに有効になります。

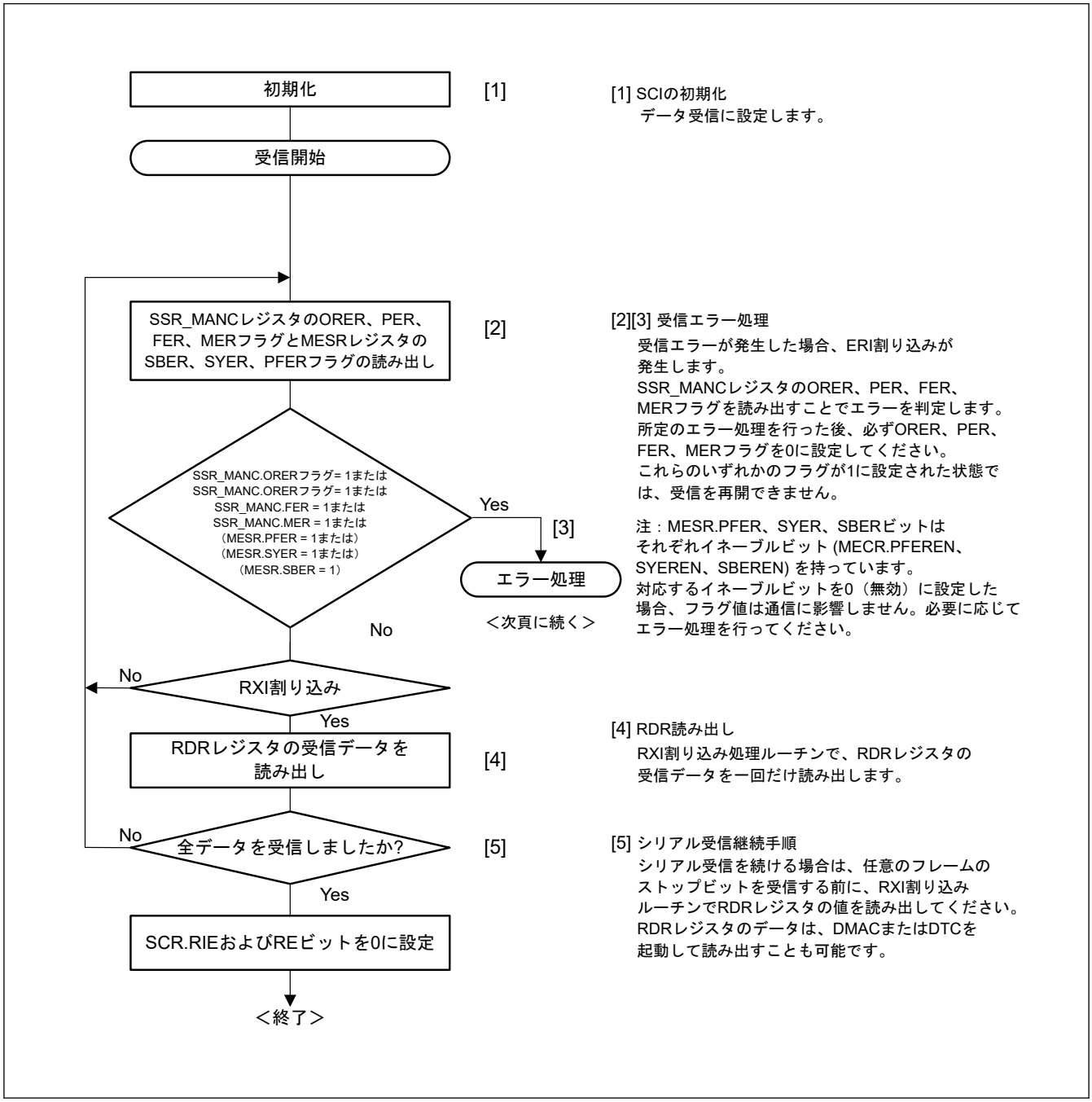


図 26.58　マンチェスタモードにおけるシリアルデータ受信フローチャートの例（正常受信）

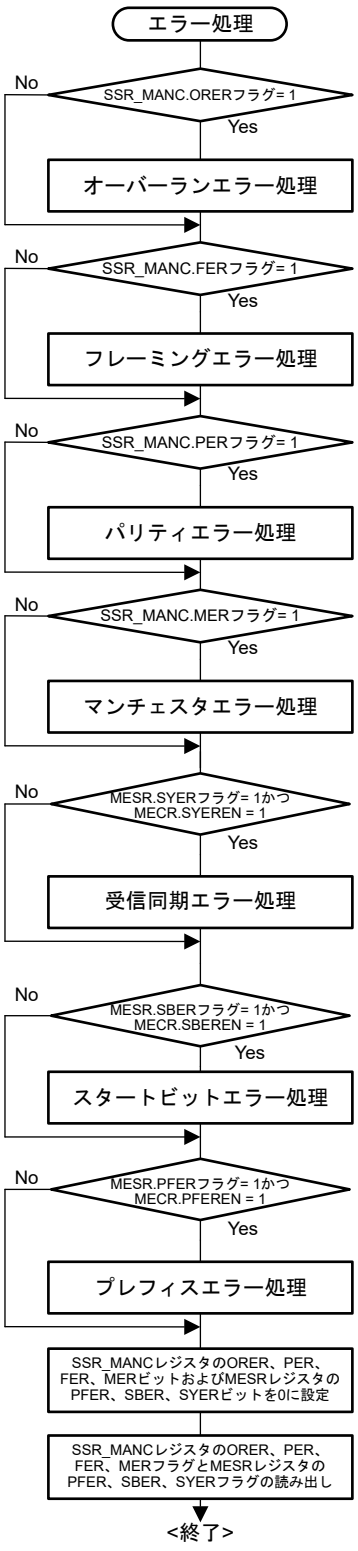


図 26.59　マンチェスタモードにおけるシリアル受信フローチャートの例（エラー処理）

26.5.8 マルチプロセッサが使用されている場合の動作

マルチプロセッサが使用されている場合のマンチェスタモードにおける動作については、「26.4. マルチプロセッサ通信機能」(1) の場合と同じなのでこれを参照してください。

マンチェスタモードではフレームフォーマットにプレフィスとスタートビット領域が追加されます。受信フローチャートのマンチェスタモードにおけるエラー処理については、図 26.59 を参照してください（図 26.43)。各種エラーを検出した際の動作状態については、表 26.33 を参照してください。

26.5.9 受信再タイミング

この機能は、マンチェスタコードにおいてビットのエッジが中央にあることを利用して、各ビットの中央エッジのタイミングを補正します。

受信再タイミング機能は MMR レジスタの ERTEN ビットの設定によってオンまたはオフにできます。

受信再タイミング機能がオフのとき (MMR.ERTEN = 0) は再タイミングが実施されません。その結果内部クロックと RXDn 入力のずれが蓄積し受信マージンが減少します。

受信再タイミング機能がオンのとき (MMR.ERTEN = 1) は、再タイミングがプレフィス領域、スタートビット領域(注1)、データ領域（ストップビットを除く）に対して実施されます。

注 1. プレフィス長が 0 でスタートビット長が 3 のときは、スタートビット領域の再タイミングが実施されません。

例として、オーバーサンプリング x16 が選択されているときの受信再タイミングを以下に示します。

RXDn 入力エッジを期待位置よりも 2～4 サイクル前で検出したときは、1 サンプリング CLK サイクルだけ受信処理が短くなります。

RXDn 入力エッジを期待位置よりも 2～3 サイクル後ろで検出したときは、1 サンプリング CLK サイクルだけ受信処理が長くなります。

（クロックとデータのずれが 2 サイクルより大きくても、各ビットで 1 サイクルだけ補正されます。）

図 26.60 に受信再タイミング範囲の概念図を示します。

エッジを図の許容領域で検出したときは、補正なしでデータをそのまま受信します。

エッジを図の SyncJump 領域で検出したときは、補正してデータを受信します。

エッジを図の SyncError 領域で検出したときは、補正を行わず異常データとして受信します。

マンチェスタコードエラー（1/4 相と 3/4 相のサンプリングポイントでデータが一致したとき）に対しては、SCI がコードエラーを報告します。

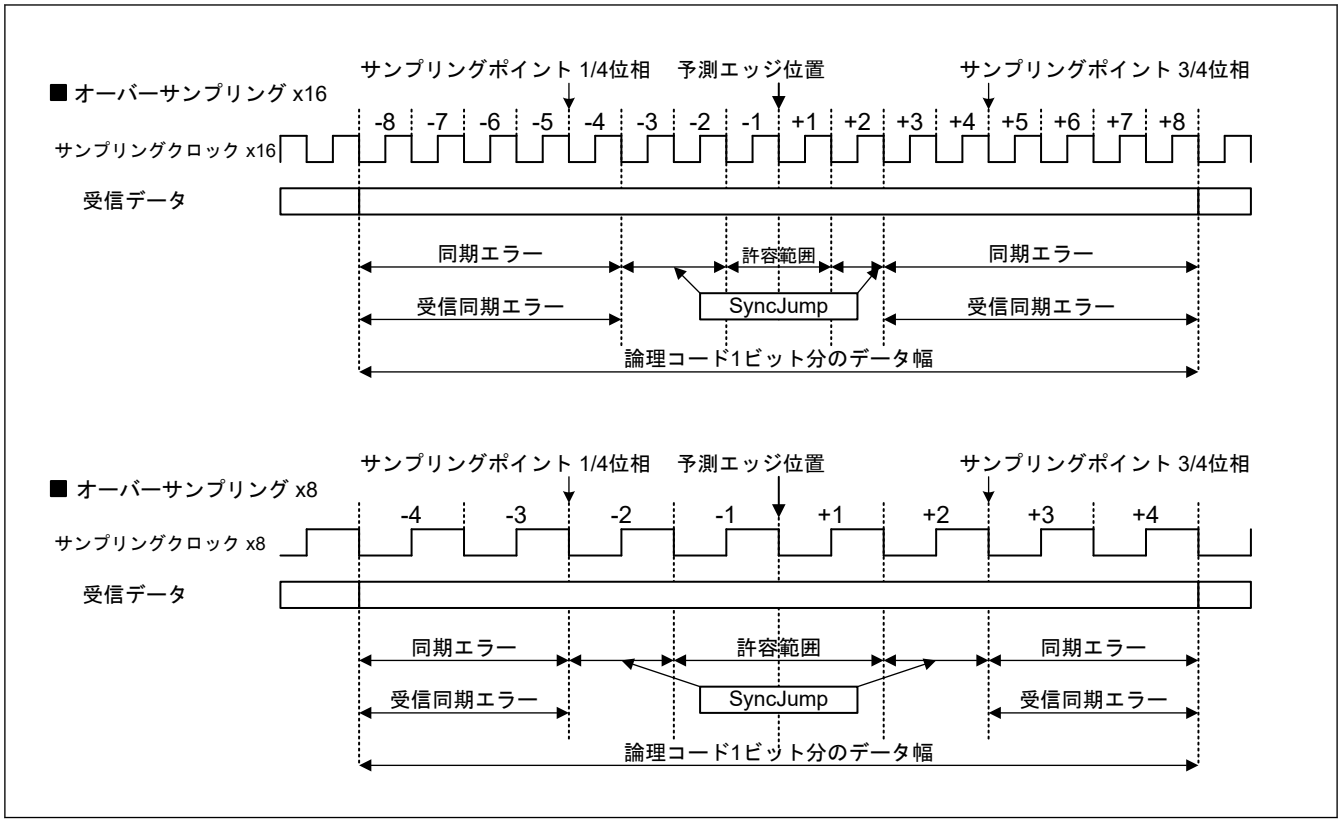


図 26.60　受信再タイミング範囲の概念図

26.5.10　マンチェスタコードの極性設定

マンチェスタコードの極性はマンチェスタモードレジスタ(MMR) で設定できます。

極性は送信と受信に対して個別に設定できます。送信の極性は MMR.TMPOL ビット、受信の極性は MMR.RMPOL ビットを使用して設定します。

マンチェスタコードの極性設定は、プレフィス領域、データ領域、およびパリティまたはマルチプロセッサ領域で有効です。

マンチェスタコードの極性に初期設定値 (TMPOL/RMPOL = 0) が使用される場合、論理 0 はマンチェスタコード内での 0 から 1 への遷移、論理 1 はマンチェスタコード内での 1 から 0 への遷移としてエンコーディングされます。設定が TMPOL/RMPOL = 1 に変更されると、論理 0 はマンチェスタコード内での 1 から 0 への遷移、論理 1 はマンチェスタコード内での 0 から 1 への遷移としてエンコーディングされます。図 26.61 に設定と動作の概念図を示します。

上記の機能とは別に、データ領域内の送信データと受信データは受信/送信データ反転機能 (SCMR.SINV) によって反転できます。マンチェスタコードの極性 (MMR.TMPOL/RMPOL) は送信/受信データ反転機能 (SCMR.SINV) とは別に設定できるので、これら両方を反転に設定すると (MMR.TMPOL/RMPOL = 1 かつ SCMR.SINV = 1)、送信データと受信データが初期状態（反転 + 反転 = 正常）になります。

スタートビット領域の極性は上記のレジスタとは別のレジスタにより設定されます。

別のレジスタが使用されるので、スタートビット領域の極性は上記のマンチェスタコード極性設定の影響を受けません。

スタートビット領域の設定については、「26.5.1. フレームフォーマット」の (2) を参照してください。

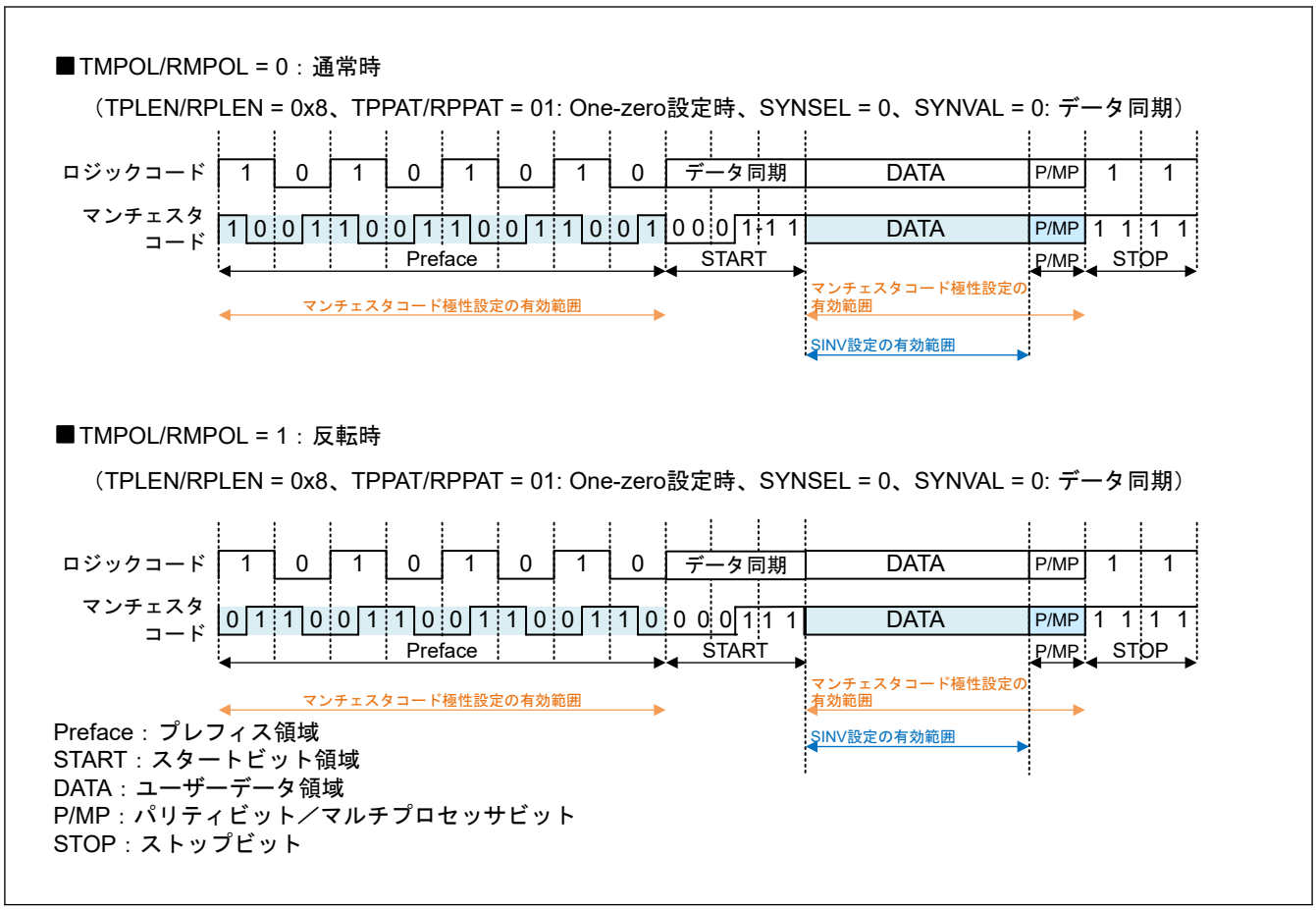


図 26.61　　マンチェスタコード極性設定の有効範囲

26.5.11　　マンチェスタモードにおけるエラー

マンチェスタモードには以下のエラーがあります。

1. パリティエラー
2. オーバーランエラー
3. フレーミングエラー
4. マンチェスタエラー
5. プレフィスエラー
6. スタートビットエラー
7. 受信 SYNC エラー

(1)～(3) のエラーについては調歩同期式モードと同様ですので「26.3.9. シリアルデータの受信（調歩同期式モード)」(1) を参照してください。

各エラーは個別の領域で判定されますが、フラグと動作への反映はストップビット領域の 3/4 ビットサンプリングのタイミングで実施されます。プレフィスエラーまたはスタートビットエラーが検出されると、後続データは受信されません。したがって他のエラーは検出されず、エラーフラグは前の情報を保持します。

表 26.31 にエラーを検出した時のシリアルステータスレジスタの状態と RDR へのデータ保存の判断について示します。

表 26.32 にマンチェスタフレームの各領域で検出される可能性のあるエラーを示します。

プレフィスエラーまたはスタートビットエラーが検出されると、後続データは受信されません。したがって他のエラーは検出されず、エラーフラグは前のフレームを受信した結果を保持します。また、前のフレームでエラーが検出されると、データ受信は行われませんがプレフィス領域とスタートビット領域のエラーによるフラグの更新は行われます。 表 26.33 にそれぞれの場合におけるフラグと動作について示します。

(4) マンチェスタエラー

マンチェスタエラーはマンチェスタコードにエラーが検出されたときに生成されます。

マンチェスタコードでは、ビットの中心にエッジ（遷移）が存在する必要があります。

受信フレームのデータ領域（パリティ/マルチプロセッサコードを含む）において、1/4-ビットと 3/4-ビットのサンプリングポイント値が各受信ビットでチェックされ、これら 2 つの値が一致するとマンチェスタコードエラーと判定されます。

マンチェスタコードエラーが検出されると、マンチェスタエラーフラグ (SSR_MANC.MER) がアサートされます。

マンチェスタエラーが発生すると、割り込み要因およびイベント要因として扱われます。マンチェスタエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

(5) プレフィスエラー

プレフィスエラーは、プレフィスパターンと一致しない場合またはプレフィス領域でマンチェスタコードエラーが検出された場合に生成されます。プレフィスエラーが検出されると、プレフィスエラーフラグ (SSR_MANC.PFER) がアサートされます。

MECR レジスタの設定によって、このエラーフラグを割り込み要因として使用するかどうかを指定できます。

MECR.PFEREN = 1 の場合は、プレフィスエラーが割り込み要因またはイベント要因として扱われます。プレフィスエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MECR.PFEREN = 0 の場合はプレフィスエラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、プレフィスエラーは MESR.PFER に通知されます。

(6) スタートビットエラー

スタートビットエラーは、受信フレームのスタートビット領域が事前設定されたスタートビットパターンに一致しない場合に生成されます。スタートビットエラーが検出されると、スタートビットエラーフラグ (MESR.SBER) がアサートされます。

MECR レジスタの設定によって、スタートビットエラーを割り込み要因として使用するかどうかを指定できます。

MECR.SBEREN = 1 の場合は、スタートビットエラーが割り込み要因またはイベント要因として扱われます。スタートビットエラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MECR.SBEREN = 0 の場合はスタートビットエラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、スタートビットエラーは MESR.SBER に通知されます。

(7) 受信 SYNC エラー

「26.5.9. 受信再タイミング」で説明されている受信再タイミング機能が有効化されている場合に、受信再タイミング動作が実行されます。

受信タイミング動作中に受信再タイミング範囲（図 26.60 の Sync エラー領域）でエッジが検出されない場合に、受信 SYNC エラーが生成されます。受信 SYNC エラーが検出されると、受信 SYNC エラーフラグ (MESR.SYER) がアサートされます。再タイミングの対象でない領域については、受信 SYNC エラーが検出されません。

受信再タイミング動作が実行されるプレフィス領域(注1)、スタートビット領域(注1)、(注2)、およびデータ領域（ストップビットを除く）がチェックされます。

MECR レジスタの設定によって、受信 SYNC エラーを割り込み要因として使用するかどうかを指定できます。

MECR.SYEREN = 1 の場合は、受信 SYNC エラーが割り込み要因またはイベント要因として扱われます。受信 SYNC エラーが検出されると、対応するエラーフラグがクリアされるまで次の受信処理は実施されません。

MECR.SYEREN = 0 の場合は受信 SYNC エラーが割り込み要因またはイベント要因として扱われず、受信処理が継続します。ただし、受信 SYNC エラーは MESR.SYER に通知されます。

注 1. 最初のビットが High であると期待されるパターンで開始するフレームの場合は再タイミングの対象外です。
注 2. スタートビット領域にプレフィス長と 3 ビットのスタートビットが存在しない場合は再タイミングの対象外です。
また、3 ビットのスタートビットが設定されている場合は、第 1 ビットと第 2 ビットは再タイミングの対象外です。

表 26.31　マンチェスタモードにおける SSR_MANC レジスタのフラグと受信データ処理

SSR_MANC レジスタのフラグ				MESR レジスタのフラグ			受信データ	受信エラーの状態（ERI 割り込み/イベントの生成）
ORER	FER	PER	MER	SBER(注1)	PFER(注1)	SYER		
0	0	0	0	0	0	0	RDR へ転送	エラーなし
0	1	0	0	0	0	0	RDR へ転送	フレーミングエラー
0	0	1	0	0	0	0	RDR へ転送	パリティエラー
0	1	1	0	0	0	0	RDR へ転送	フレーミングエラー＋パリティエラー
0	0	0	1	0	0	0	RDR へ転送	マンチェスタエラー
0	1	0	1	0	0	0	RDR へ転送	フレーミングエラー＋マンチェスタエラー
0	0	1	1	0	0	0	RDR へ転送	パリティエラー＋マンチェスタエラー
0	1	1	1	0	0	0	RDR へ転送	フレーミングエラー＋パリティエラー＋マンチェスタエラー
1	0	0	0	0	0	0	消失	オーバーランエラー
1	1	0	0	0	0	0	消失	オーバーランエラー＋フレーミングエラー
1	0	1	0	0	0	0	消失	オーバーランエラー＋パリティエラー
1	1	1	0	0	0	0	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー
1	0	0	1	0	0	0	消失	オーバーランエラー＋マンチェスタエラー
1	1	0	1	0	0	0	消失	オーバーランエラー＋フレーミングエラー＋マンチェスタエラー
1	0	1	1	0	0	0	消失	オーバーランエラー＋パリティエラー＋マンチェスタエラー
1	1	1	1	0	0	0	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー＋マンチェスタエラー
0	上記の組み合わせ			0	0	0	RDR へ転送	上記のエラー＋受信 SYNC エラー(注2)
1				0	0	0	消失	上記のエラー＋受信 SYNC エラー(注2)
保持	保持	保持	保持	0	1	0	消失	プレフィスエラー(注3)
保持	保持	保持	保持	1	0	0	消失	スタートビットエラー(注3)
保持	保持	保持	保持	0	1	1	消失	プレフィスエラー(注3)＋受信 SYNC エラー(注2)
保持	保持	保持	保持	1	0	1	消失	スタートビットエラー(注3)＋受信 SYNC エラー(注2)

注 1.　スタートビットエラーとプレフィスエラーが同時に 1 になることはありません。
注 2.　MECR.SYEREN = 1 の場合、SCIn_ERI 割り込み/イベントが SYER ファクタによって生成されます。
注 3.　MECR.PFEREN = 1 または MECR.SBEREN = 1 の場合、対応するフラグが設定されているときに SCIn_ERI 割り込み/イベントが生成されます。

表 26.32　各領域で検出されるエラー

	プレフィスエラー (PFER)	スタートビットエラー (SBER)	マンチェスタエラー (MER)	受信 SYNC エラー (SYER)	パリティエラー (PER)	フレーミングエラー (FER)
プレフィス領域	✓	—	—(注1)	✓(注2)	—	—
スタートビット領域	—	✓	—	✓(注2)	—	—
データ領域	—	—	✓	✓	—	—
パリティ領域	—	—	✓	✓	✓	—
マルチプロセッサ領域	—	—	✓	✓	—	—
ストップビット領域	—	—	—	—	—	✓

注.　✓：検出、—：検出せず

注 1.　プレフィス領域でマンチェスタコードエラーが発生すると、プレフィスエラーとして扱われます。
注 2.　受信 SYNC エラーの検出対象ではありません。詳細については「26.5.11. マンチェスタモードにおけるエラー」（7）の説明を参照してください。

表 26.33　前のフレームのエラーの有無による動作状態およびマルチプロセッサモードにおける動作状態のリスト (1/2)

前のフレーム	フレームの各領域					PFERE N	SBERE N	SYERE N	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィス	スタートビット	データ	パリティ	ストップ							
エラーなし	PFER SYER なし(注1)	エラーなし	Don't care	Don't care	Don't care	0	Don't care	Don't care	消失	PFER を設定(注1)	出力なし	出力なし
						1					出力	出力
	エラーなし	SBER SYER なし(注1)	Don't care	Don't care	Don't care	Don't care	0	Don't care	消失	SBER を設定(注1)	出力なし	出力なし
							1				出力	出力
	SYER PFER なし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
								1	消失		出力	出力
	エラーなし	SYER SBER なし	Don't care	Don't care	Don't care	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
								1	消失		出力	出力
	エラーなし	エラーなし	SYER		エラーなし	Don't care	Don't care	0	RDR へ転送	SYER を設定	出力なし	出力なし
								1	消失		出力	出力
	エラーなし	エラーなし	MER		エラーなし	Don't care	Don't care	Don't care	RDR へ転送	MER を設定	出力	出力
	エラーなし	エラーなし	Don't care	PER	エラーなし	Don't care	Don't care	Don't care	RDR へ転送	PER を設定	出力	出力
	エラーなし	エラーなし	Don't care	Don't care	FER	Don't care	Don't care	Don't care	RDR へ転送	FER を設定	出力	出力
	エラーあり ORER					Don't care	Don't care	Don't care	消失	フラグを設定(注2)	出力	出力
	エラーなし	エラーなし	エラーなし	エラーなし	エラーなし ORER	Don't care	Don't care	Don't care	消失	ORER を設定	出力	出力

表 26.33　前のフレームのエラーの有無による動作状態およびマルチプロセッサモードにおける動作状態のリスト (2/2)

前のフレーム	フレームの各領域					PFEREN	SBEREN	SYEREN	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィス	スタートビット	データ	パリティ	ストップ							
エラーあり(注3) (注6)	PFER SYER なし(注1)	エラーなし	Don't care	Don't care	Don't care	0	Don't care	Don't care	消失	PFER を設定(注1)	出力(注4)	出力なし(注5)
						1						
	エラーなし	SBER SYER なし(注1)	Don't care	Don't care	Don't care	Don't care	0	Don't care		SBER を設定(注1)		
							1					
	SYER PFER なし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	0		SYER を設定		
								1				
	エラーなし	SYER SBER なし	Don't care	Don't care	Don't care	Don't care	Don't care	0		SYER を設定		
								1				
	エラーなし	エラーなし	SYER		エラーなし	Don't care	Don't care	0		フラグを設定しない		
								1				
	エラーなし	エラーなし	MER		エラーなし	Don't care	Don't care	Don't care				
	エラーなし	エラーなし	Don't care	PER	エラーなし	Don't care	Don't care	Don't care				
	エラーなし	エラーなし	Don't care	Don't care	FER	Don't care	Don't care	Don't care				
	エラーあり ORER					Don't care	Don't care	Don't care				
	エラーなし	エラーなし	エラーなし	エラーなし	エラーなし ORER	Don't care	Don't care	Don't care				

注 1.　SYER が検出されると SYER フラグも設定されます。他の動作についてはこの表に示す通りです。
注 2.　検出された他のエラーフラグ（ORER など）も設定されます。
注 3.　ストップビット判定の前にすべてのエラーフラグがクリアされると、この表に示される、前のフレームにエラーがなかった場合の動作と同様になります。
注 4.　SCIn_ERI 割り込み要求はレベル出力であるため、対象フレームにおけるエラーの有無にかかわらず前のフレームのエラーによってアクティブの状態が継続します。
注 5.　エラー要因の検出は継続的に実施されるため、対象フレームにおけるエラーの有無にかかわらず、SCIn_ERI イベントが新たに出力されることはありません。
注 6.　PFER、SBER、および SYER は、それぞれの許可ビットが禁止に設定されているとエラーなしとして扱われます。

表 26.34　マルチプロセッサモード (MPIE = 0) で MPIE = 1 の場合の動作

MPB (注1)	フレームの各領域					PFEREN	SBEREN	SYEREN	受信データ	エラーフラグ	割り込み要求	イベント信号
	プレフィス	スタートビット	データ	パリティ	ストップ							
1	エラーなし	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	Don't care	RDR へ転送	フラグを設定	出力(注2)	出力(注2)
	PFER なし	SBER なし	Don't care	Don't care	Don't care	Don't care	Don't care	0				
	SYER (注3)	SYER (注3)						1	消失	フラグを設定しない	出力なし	出力なし
	PFER	エラーなし	Don't care	Don't care	Don't care	Don't care	Don't care	Don't care				
	エラーなし	SBER	Don't care	Don't care	Don't care	Don't care	Don't care					

注 1.　受信 MPB ビットが 0 の場合はフレームを受信しておらず、動作はこの表における受信データの消失の場合と同様になります。

注 2.　エラーが検出されない場合は SCIn_RXI の割り込み要求またはイベントが出力されます。それが検出されると、SCIn_ERI の割り込み要求またはイベントが出力されます。
注 3.　プレフィス領域またはスタートビット領域で SYER が検出された場合は、エラーとしての処理の動作は SYEREN ビットの変化に依存します。

26.6　クロック同期式モードの動作

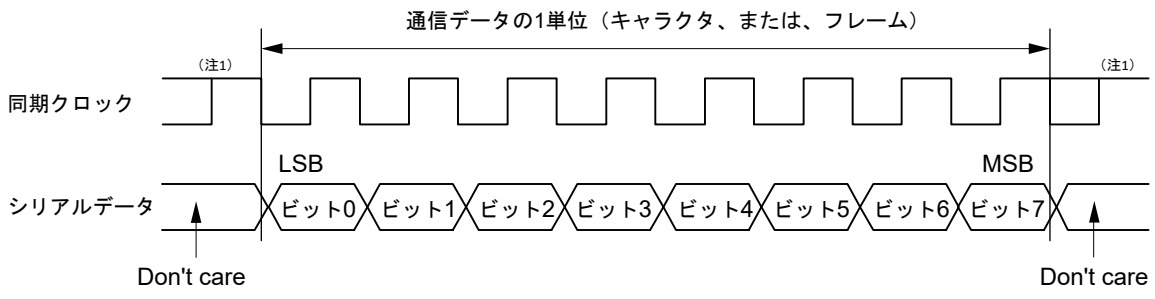
図 26.62 にクロック同期式シリアル通信のデータフォーマットを示します。

クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりエッジから次の立ち下がりエッジまで出力します。データ受信時は同期クロックの立ち上がりエッジに同期してデータを取り込みます。8 ビット出力後の送信ラインは最終ビット出力状態を保ちます。スレーブモードにおいて SPMR.CKPH ビットが 1 の場合、送信ラインは第 1 ビットの出力状態を保ちます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもダブルバッファ構成になっているため、送信中に次の送信データの書き込み、受信中に前の受信データの読み出しが可能であり、連続送受信動作が実現されます。

ただし、最高速ビットレートの設定（BRR[7:0] = 0x00 かつ SMR.CKS[1:0] = 00b）では、連続送受信動作が不可能です。そのため FIFO 選択時は、この設定（BRR[7:0] = 0x00 かつ SMR.CKS[1:0] = 00b）は利用できません。



注 1.　連続送受信動作時以外に High レベルを保持します。

図 26.62　クロック同期式シリアル通信のデータフォーマット（LSB ファーストの並び順の場合）

26.6.1　クロック

SCR.CKE[1:0]ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部同期クロックのいずれかを選択できます。

SCI が内部クロックで動作する場合、SCKn 端子から同期クロックが出力されます。1 キャラクタの送受信で 8 パルスの同期クロックが出力されます。送受信を行わないとき、クロックは High に固定されます。ただし、受信動作のみで CTS 機能が無効な場合、SCR.RE ビットが 1 になると、同期クロックの出力が始まります。オーバーランエラーが発生するか、または SCR.RE ビットが 0 になると、同期クロックは High レベル(注1)になったところで停止します。

受信動作のみで CTS 機能が有効な場合は、SCR.RE ビットが 1 になっても CTSn_RTSn 端子入力が High であれば、クロック出力は始まりません。SCR.RE ビットが 1 になったとき、CTSn_RTSn 端子入力が Low であれば、同期クロックの出力が始まります。その後、フレームの受信が完了した時点で CTSn_RTSn 端子入力が High であれば、同期クロック出力は High レベルになったところで停止します。CTSn_RTSn 端子入力が引き続き Low であれば、オーバーランエラーが発生するか、または SCR.RE ビットが 0 になったときに、同期クロックは High レベル(注1)になったところで停止します。

注 1.　（SPMR.CKPH = 0 かつ SPMR.CKPOL = 1）または（SPMR.CKPH = 1 かつ SPMR.CKPOL = 1）の状態にあるとき、信号は High に固定されます。（SPMR.CKPH = 0 かつ SPMR.CKPOL = 1）または（SPMR.CKPH = 1 かつ SPMR.CKPOL = 0）の状態にあるとき Low に固定されます。

26.6.2 CTS、RTS 機能

CTS 機能では、クロックソースが内部クロックの場合に、CTSn_RTSn 端子入力を使用してデータ送受信の開始制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTSn_RTSn 端子入力が Low になると、データの送受信が開始されます。

送受信中に CTSn_RTSn 端子入力を High にしても、処理中のフレームの送受信には影響を与えません。

RTS 機能では、クロックソースが外部同期クロックの場合に、CTSn_RTSn 端子出力を使用してデータ送受信の開始要求を行います。シリアル通信が可能な状態になると、CTSn_RTSn 出力が Low になります。CTSn_RTSn が Low および High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件がすべて満たされる場合：

非 FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットまたは SCR.TE ビットが 1
- 送受信動作中でない
- 読み出し前の受信データがない（SCR.RE ビットが 1 のとき）
- 送信データを書き込み済み（SCR.TE ビットが 1、かつ SCR.CKE[1]ビットが 0 の場合）
- TSR レジスタに送信用データがある（SCR.TE ビットが 1、SCR.CKE[1]ビットが 1 の場合）
- SSR.ORER フラグが 0

FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットまたは SCR.TE ビットが 1
- 送受信動作中でない
- FRDRHL に書き込まれた受信データ数が、FCRH.RSTRG[3:0]の設定値より少ない（SCR.RE = 1 の場合）
- FTDRHL に未送信データがある（SCR.TE ビットが 1、SCR.CKE[1]ビットが 0 の場合）
- TSR レジスタに送信用データがある（SCR.TE ビットが 1、SCR.CKE[1]ビットが 1 の場合）
- SSR_FIFO.ORER フラグが 0

[High になる条件]

- Low になる条件を満たさない場合

26.6.3 SCI の初期化（クロック同期式モード）

データを送受信する前に、最初に SCR レジスタに初期値 0x00 を書き込み、次に「26.6.2. CTS、RTS 機能」の非 FIFO と FIFO の選択を説明した項目に従って SCI の初期設定を続けてください。動作モードまたは通信フォーマットを変更する場合も必ず、SCR レジスタを初期値にしてから変更してください。

注. SCR.RE ビットを 0 にしても、SSR/SSR_FIFO レジスタの ORER、FER、PER の各フラグ、ならびに RDR レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。

注. 非 FIFO モードにおいて、SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCIn_TXI 割り込み要求が発生します。

表 26.35 クロック同期式モードにおける SCI 初期化の手順例（非 FIFO 選択時） (1/2)

番号	ステップ名	説明
1	初期化を開始	
2	SCR.TIE、RIE、TE、RE、および TEIE ビットを 0 に設定	
3	FCR.FM ビットを 0 に設定	FCR.FM ビットを 0 にします。
4	SCR.CKE[1:0]ビットを設定	SCR レジスタにクロック選択を設定します。

表 26.35　クロック同期式モードにおける SCI 初期化の手順例（非 FIFO 選択時） (2/2)

番号	ステップ名	説明
5	SIMR1.IICM ビットを 0 にします。 また、SPMR.CKPH ビットと SPMR.CKPOL ビットを設定します。	SIMR1.IICM ビットを 0 にします。 また、SPMR.CKPH ビットと SPMR.CKPOL ビットを設定します。 これらの値が初期値から変更されていない場合、手順 5 は省略できます。
6	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定します。
7	SPTR に値を設定	SPTR に通信端子状態を設定します。
8	BRR に値を設定	BRR レジスタにビットレートに対応する値を書き込みます。 外部クロックを使用する場合、この手順は不要です。
9	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットを 0 にした場合、または外部クロックを使用する場合、この手順は不要です。
10	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
11	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 にし、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR.TE ビットまたは SCR.RE ビットを 1 にします。SCR.TIE ビットおよび SCR.RIE ビットも設定します。 TE ビットおよび RE ビットを設定することで、TXDn および RXDn 端子が使用可能となります。
12	初期化の完了	

注.　同時送受信動作では、SCR.TE ビットと SCR.RE ビットの両方を同時に 0 または 1 にする必要があります。

表 26.36　FIFO を選択したクロック同期式モードにおける SCI 初期化の手順例

番号	ステップ名	説明
1	初期化を開始	
2	SCR.TIE、RIE、TE、RE、および TEIE ビットを 0 に設定	
3	FCR.FM ビット、FCR.TFRST ビット、および FCR.RFRST ビットを 1 にします。 FCR.TTRG[3:0]ビット、RTRG[3:0]ビット、および RSTRG[3:0]ビットを設定します。	FCR.FM、TFRST、および RFRST ビットを 1 にします（FIFO モードが有効、送信/受信 FIFO が空）。 FCR.TTRG[3:0]ビット、RTRG[3:0]ビット、および RSTRG[3:0]ビットを設定します。
4	SCR.CKE[1:0]ビットを設定	SCR レジスタにクロック選択を設定します。
5	SIMR1.IICM ビットを 0 にします。 また、SPMR.CKPH ビットと SPMR.CKPOL ビットを設定します。	SIMR1.IICM ビットを 0 にします。 また、SPMR.CKPH ビットと SPMR.CKPOL ビットを設定します。 これらの値が初期値から変更されていない場合、手順 5 は省略できます。
6	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定	SMR、SCMR、および SEMR レジスタに送信／受信フォーマットを設定します。
7	SPTR に値を設定	SPTR に通信端子状態を設定します。
8	BRR に値を設定	BRR レジスタにビットレートに対応する値を書き込みます。 外部クロックを使用する場合、この手順は不要です。
9	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットを 0 にした場合、または外部クロックを使用する場合、この手順は不要です。
10	FCR.TFRST ビットと FCR.RFRST ビットを 0 に設定	FCR.TFRST ビットと FCR.RFRST ビットを 0 にします。
11	I/O ポート機能を設定	I/O ポートを設定して、TXDn、RXDn、および SCKn 端子に必要な入出力機能を有効にします。
12	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 にし、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR.TE ビットまたは SCR.RE ビットを 1 にします。SCR.TIE ビットおよび SCR.RIE ビットも設定します。 TE ビットおよび RE ビットを設定することで、TXDn および RXDn 端子が使用可能となります。
13	初期化の完了	

注. 同時送受信動作では、SCR.TE ビットと SCR.RE ビットの両方を同時に 0 または 1 にする必要があります。

26.6.4 シリアルデータの送信（クロック同期式モード）

(1) 非 FIFO 選択時

図 26.63、図 26.64、および図 26.65 に、クロック同期式モードにおけるシリアル送信の動作例を示します。

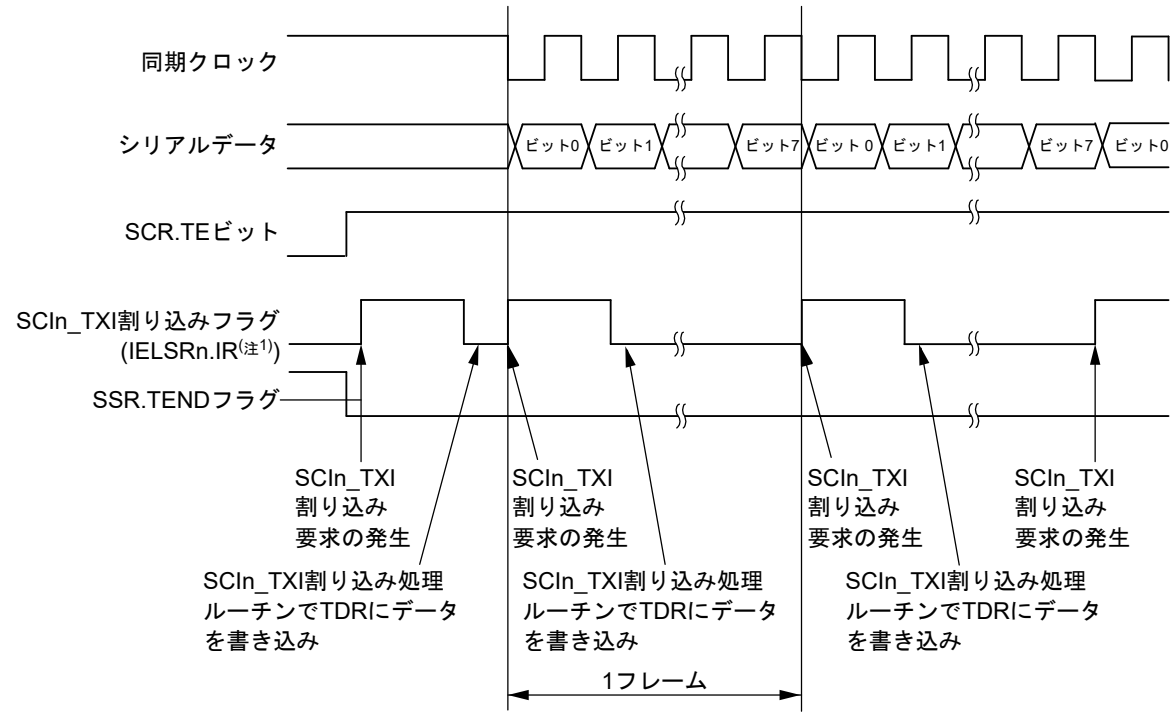
シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR レジスタの TIE ビットを 1 にした後に TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、TDR レジスタから TSR レジスタへデータを転送した後、送信を開始します。SCR.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS 信号入力が Low になるまで待機します。
4. 最終ビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタに次の送信データを転送し、次のフレームのシリアル送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

図 26.63、図 26.64、および図 26.65 に、シリアルデータ送信の例を示します。

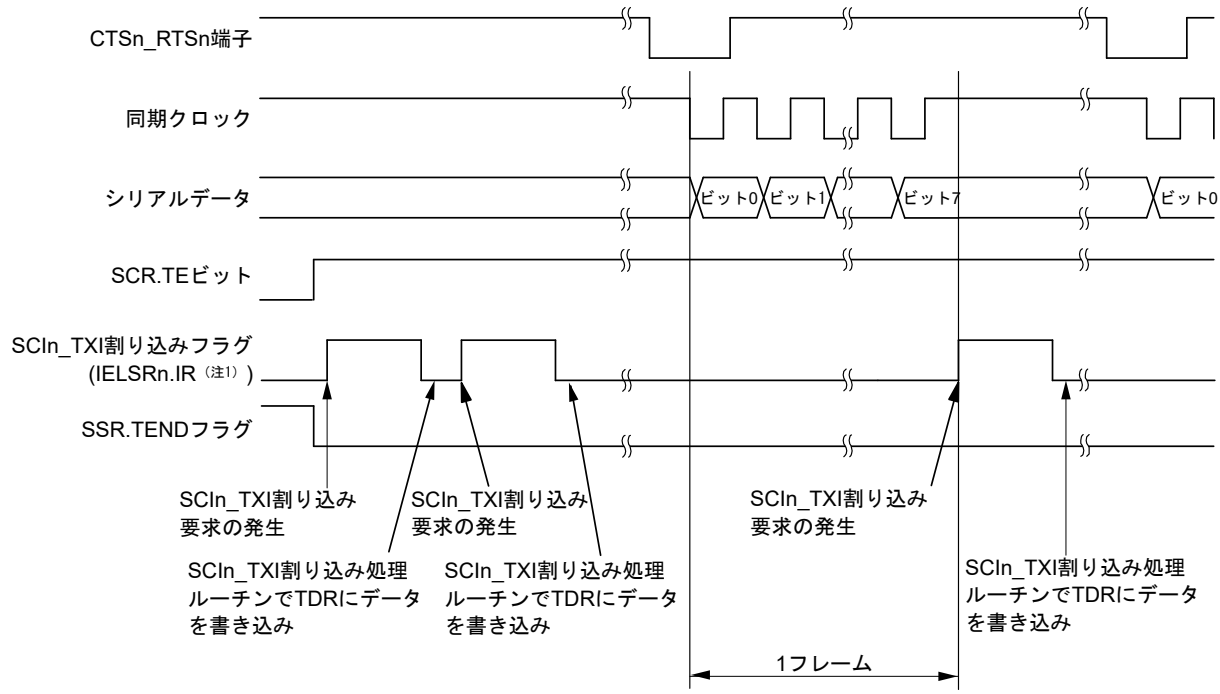
受信エラーフラグ（SSR.ORER、FER、または PER）が 1 の状態では、送信は開始されません。送信を開始する前に、受信エラーフラグは必ず 0 にしてください。

注. 受信エラーフラグは、SCR.RE ビットを 0 にしてもクリアされません。



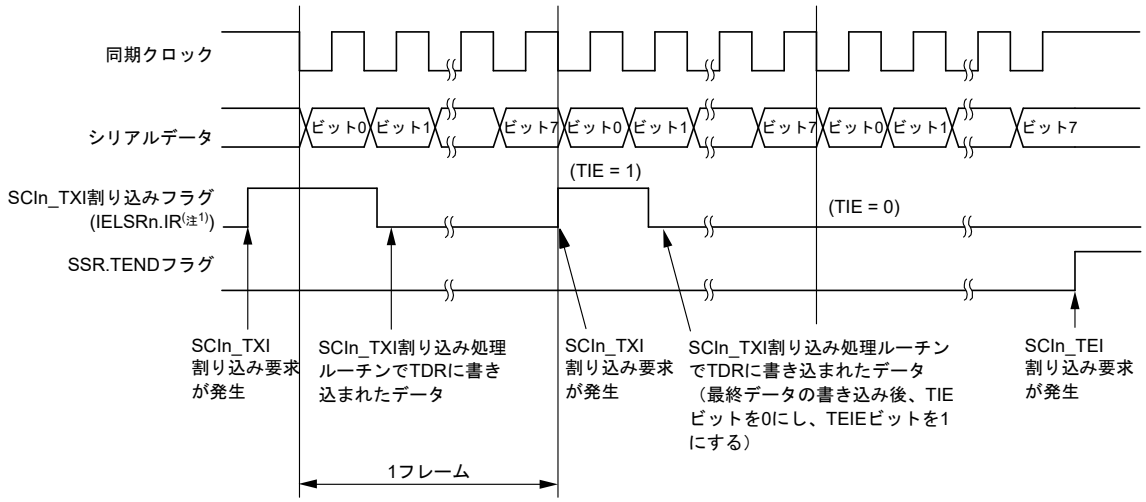
注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.63　クロック同期式モードにおけるシリアル送信の動作例（送信開始時に CTS 機能を使用しない場合）



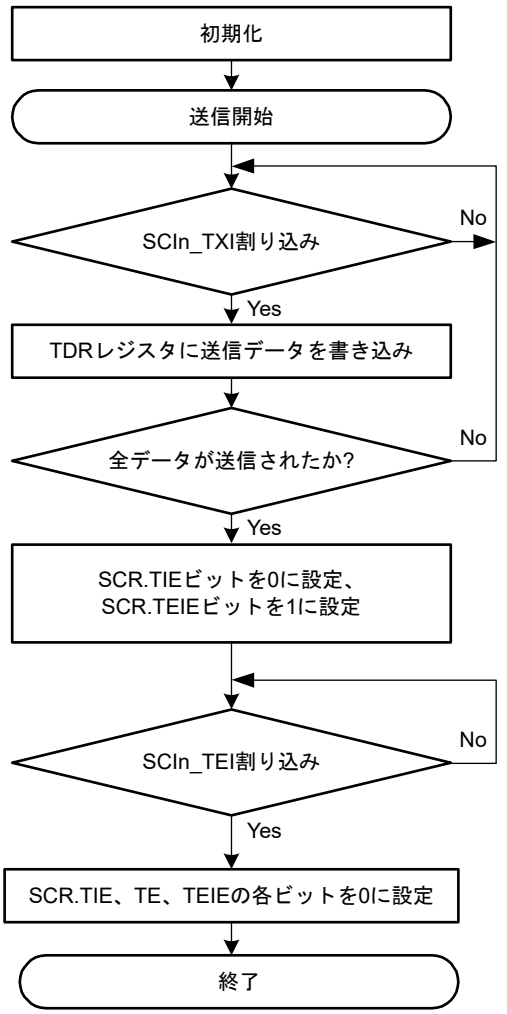
注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.64　クロック同期式モードにおけるシリアル送信の動作例（送信開始時に CTS 機能を使用する場合）



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.65　クロック同期式モードにおけるシリアル送信の動作例（送信中～送信終了時）



[1] [1] SCIの初期化：
データ送信に設定します。

[2] [2] SCIn_TXI割り込み要求による送信データのTDRレジスタへの書き込み：
送信データがTDRレジスタからTSRレジスタへ送信されると、送信データエンプティ割り込み (SCIn_TXI) 要求が発生します。
SCIn_TXI要求に対応する処理ルーチン内でTDRレジスタに送信データを1回書き込みます。

[3] [3] シリアル送信の継続手順：
シリアル送信を継続するときは、送信データエンプティ割り込み要求 (SCIn_TXI) により、TDRレジスタに送信データを書き込んでください。送信データはSCIn_TXI割り込み要求でDMACあるいはDTCを起動してTDRレジスタに書き込むことも可能です。
SCIn_TEI割り込み要求を使用するときには、最終送信データをTDRレジスタに書き込んだ後、SCR.TIEビットを0に、SCR.TEIEビットを1にしてください。

注.　外部クロックを使用する (SCR.CKE[1:0]ビット = 10b または 11b) 場合、最終ビットの SCKn 端子立ち上がりで SSR.TEND フラグが 1 になります。この直後に SCR.TE ビットを 0 にすると、受信デバイス側の受信データホールド時間が不足する場合があります。

図 26.66　クロック同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

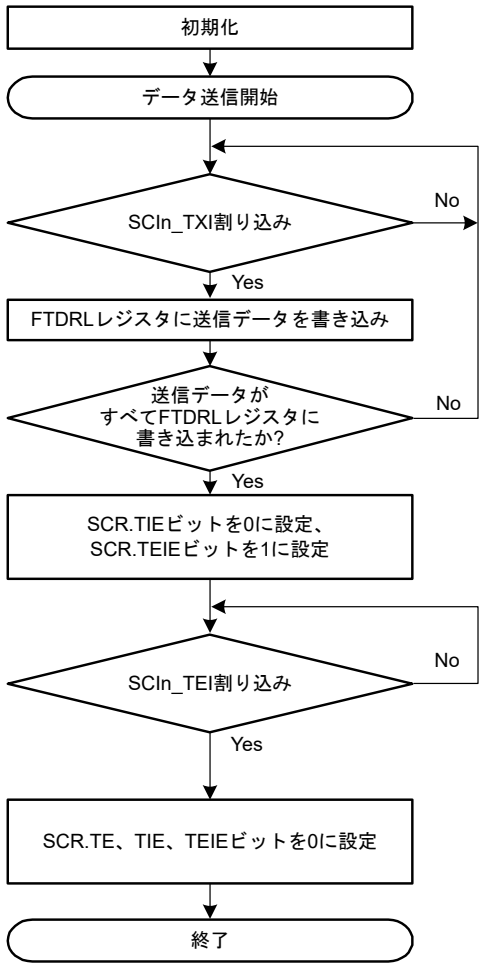
図 26.67 に、クロック同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンで FTDRL レジスタ(注1)にデータが書き込まれると、SCI は FTDRL レジスタ(注1)から TSR レジスタへデータを転送します。FTDRL レジスタに書き込み可能なデータのバイト数は 16 - FDR.T[4:0]です。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TIE ビットを 1 にした後に SCR.TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、FTDRL レジスタから TSR レジスタへデータを転送した後、送信を開始します。FTDRL レジスタに書き込まれた送信データ数が、指定された送信トリガ数以下のとき、SSR_FIFO.TDFE ビットが 1 になります。SCR.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS 信号入力が Low になるまで待機します。

4. ストップビットを送り出すタイミングで、SCI は FTDRL レジスタに未送信データが残っていないかチェックします。
5. FTDRL レジスタが更新されていれば、FTDRL レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. FTDRL レジスタが更新されていなければ、SSR_FIFO.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

注 1.　クロック同期式モードでは、FTDRH レジスタを使用しません。



[1]

[2]

[3]

[1] SCIの初期化：
データ送信に設定します。
SCR.TEビットを1にした後、1フレーム分の1を出力して送信可能状態になります。

[2] SCIn_TXI割り込み要求で送信データをFTDRLレジスタへ書き込み：
送信データがFTDRLレジスタからTSRレジスタへ送信されると、送信FIFOデータエンプティ割り込み要求 (SCIn_TXI) が発生します。SCIn_TXI割り込み処理ルーチンで送信データをFTDRLレジスタに書き込んでください。書き込み可能な送信データ数は（16 - 送信FIFOに格納されているデータ数）です。

[3] シリアル送信の継続手順：
シリアル送信を継続するときには、SCIn_TXI割り込み処理ルーチンで、FTDRLレジスタに次の送信データを書き込み、現在のデータ送信が完了する前に、SSR_FIFO.TDFEフラグを0にクリアします。送信データはDMACまたはDTCを起動して、FTDRLレジスタに書き込むことも可能です。このとき、TDFEフラグは自動でクリアされます。TDFEフラグへの書き込みは行わないでください。
SCIn_TEI割り込み要求を使用するときには、最終送信データをFTDRLレジスタに書き込んだ後に、SCR.TIEビットを0に、SCR.TEIEビットを1にしてください。

注.　外部クロックを使用する（SCR.CKE[1:0]ビット = 10b または 11b）場合、最終ビットの SCKn 端子立ち上がりで SSR_FIFO.TEND フラグが 1 になります。この直後に SCR.TE ビットを 0 にすると、受信デバイス側の受信データホールド時間が不足する場合があります。

図 26.67　クロック同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

26.6.5　シリアルデータの受信（クロック同期式モード）

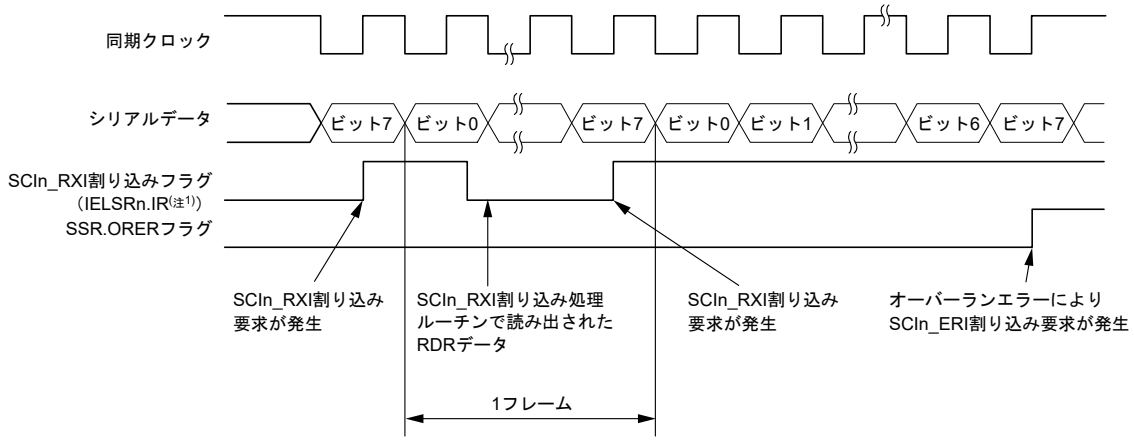
(1) 非 FIFO 選択時

図 26.68 と図 26.69 に、クロック同期式モードにおけるシリアル受信の SCI 動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

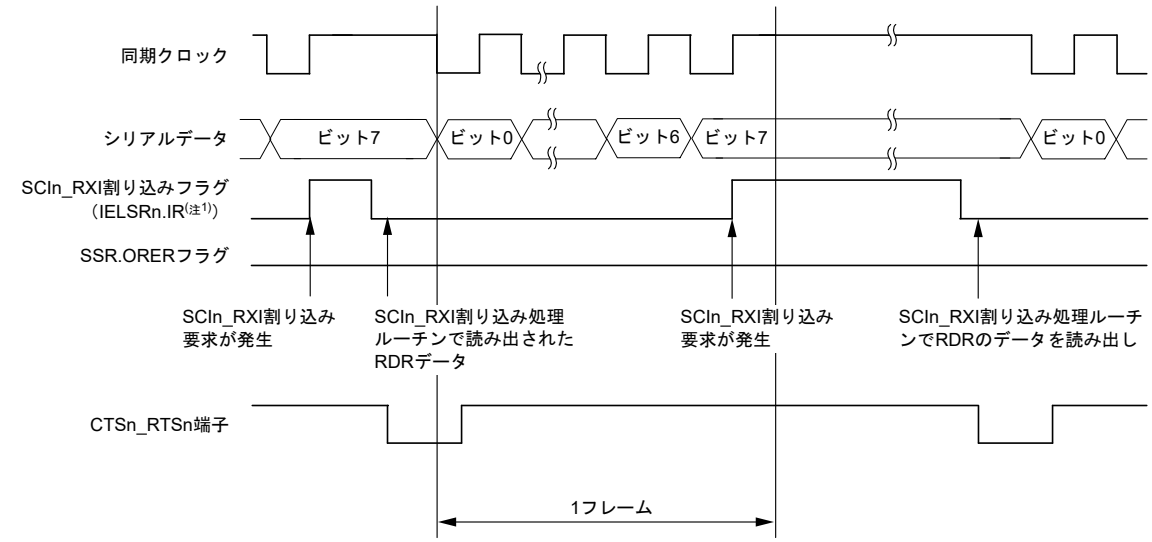
1. SCR.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。

3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. 正常に受信したときは、受信データが RDR レジスタへ転送されます。SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データが読み出されると、CTSn_RTSn 端子出力が Low になります。



注 1.　対応する割り込みイベント番号は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.68　クロック同期式モードにおけるシリアル受信の動作例（1）（RTS 機能を使用しない場合）



注 1.　対応する割り込みイベント番号は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.69　クロック同期式モードにおけるシリアル受信の動作例（2）（RTS 機能を使用する場合）

受信エラーフラグが 1 の状態では、送受信動作を再開できません。したがって、SSR レジスタの ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に SCR.RE ビットに 0 を書いてデータ受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 26.70 に、シリアル受信のフローチャート例を示します。

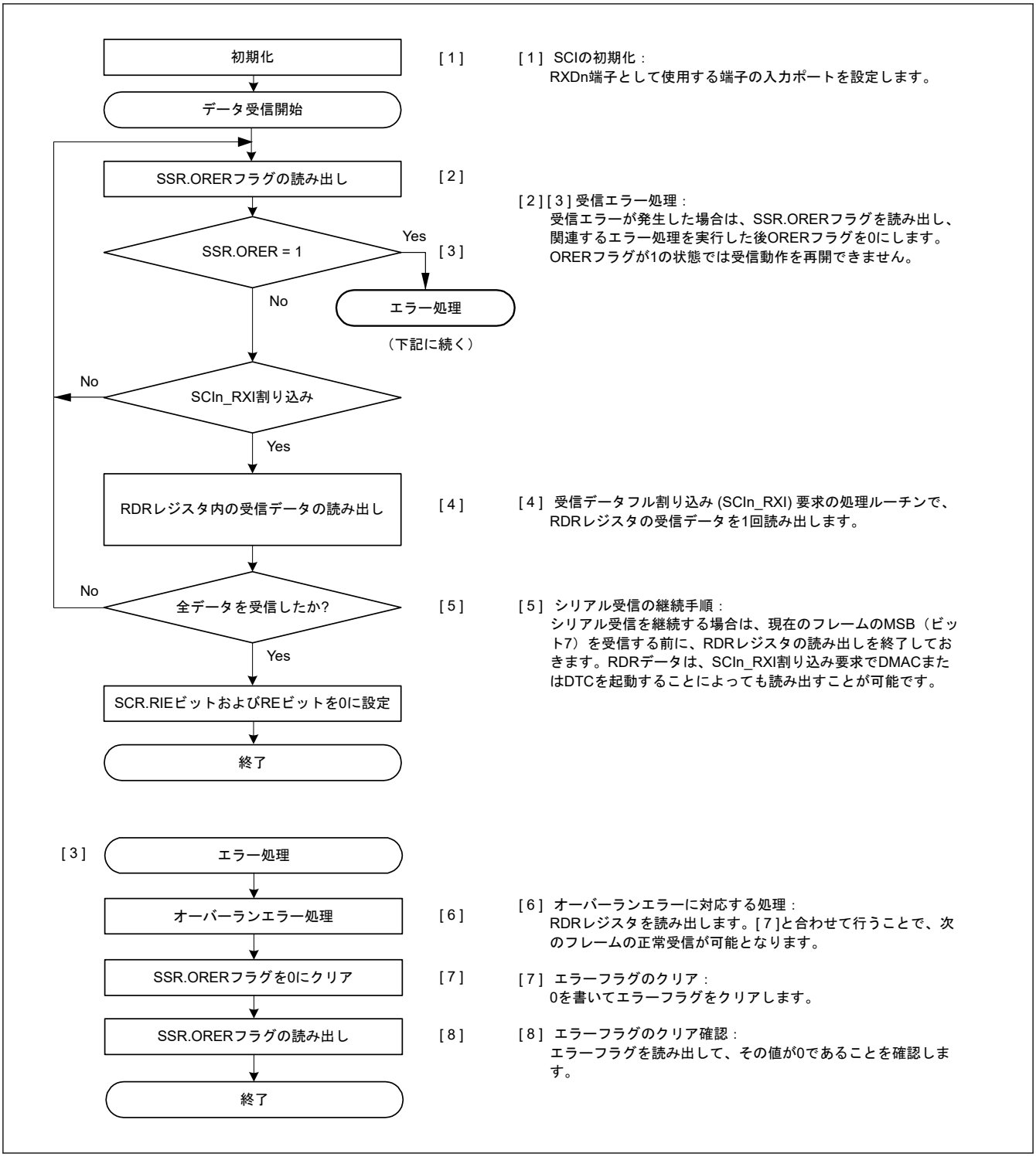


図 26.70　クロック同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

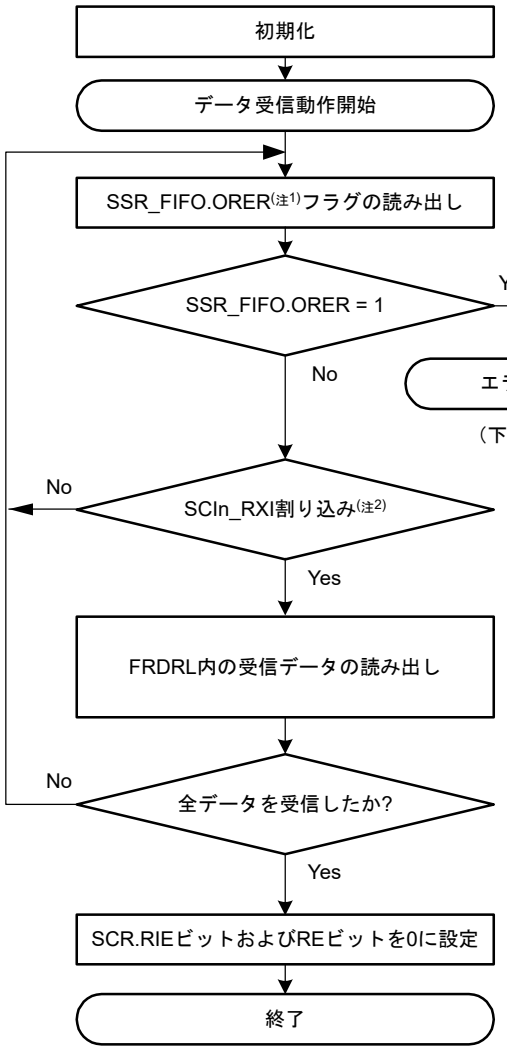
図 26.71 に、クロック同期式モードにおける FIFO 選択時のシリアル受信のフローチャート例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR_FIFO.ORER フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ(注1)へ転送されません。

4. 正常に受信したときは、受信データが FRDRL レジスタ(注1)へ転送されます。FRDRL に格納された受信データ数が、指定された受信トリガ数以上であると、RDF フラグが 1 になります。SCR.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ(注2)へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタへ転送された受信データ数が指定の受信トリガ数未満であると、CTSn_RTSn 端子出力が Low になります。

注 1. クロック同期式モードでは、FRDRH レジスタを使用しません。
注 2. RDF と ORER を受信データとともに読み出す場合は、FRDRH→FRDRL の順に読み出してください。

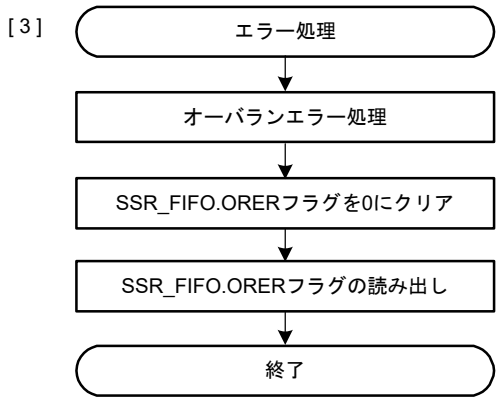


[1] [1] SCIの初期化：
RXDn端子として使用する入力ポート端子を設定します。

[2] [2] [3] 受信エラー処理：
受信エラーが発生したときは、SSR_FIFOレジスタのORERフラグを読み出して、所定のエラー処理を行った後、SSR_FIFO.ORERフラグを0にしてください。ORERフラグが1の状態では受信動作を再開できません。

[4] [4] FRDRLレジスタに格納された受信データは、格納データ量がFCR.RTRG[3:0]の値未満になるまで読み出されます。ソフトウェアによってFDR.R[4:0]ビットの読み出し可能なデータ数を確認できます。

[5] [5] シリアル受信の継続手順：
シリアル受信を継続する場合は、オーバランエラーが発生する前に、FRDRL内の受信データの読み出しを終了させ、SSR_FIFO.RDFフラグを0にクリアします。FRDRLデータは、SCIn_RXI割り込み要求でDMACまたはDTCを起動することによっても読み出すことが可能です。この場合、RDFフラグは自動的にクリアされます。RDFフラグには書き込みを行わないでください。



[6] [6] オーバランエラー処理：
FRDRLレジスタを読み出します。[7]と合わせて行うことで、次のフレームの正常受信が可能となります。

[7] [7] エラーフラグのクリア：
0を書いてエラーフラグをクリアします。

[8] [8] エラーフラグのクリア確認：
エラーフラグを読み出して、その値が0であることを確認します。

注 1.　FRDRHL.ORER フラグから読み出しが可能です。しかし、ORER フラグをクリアするには、SSR_FIFO レジスタの関連するビットに 0 を書き込んでください。
注 2.　それは、受信データ全てであることと、FIFO トリガ値の整数倍である必要があります。

図 26.71　クロック同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択時）

26.6.6 シリアルデータの同時送受信（クロック同期式モード）

(1) 非 FIFO 選択時

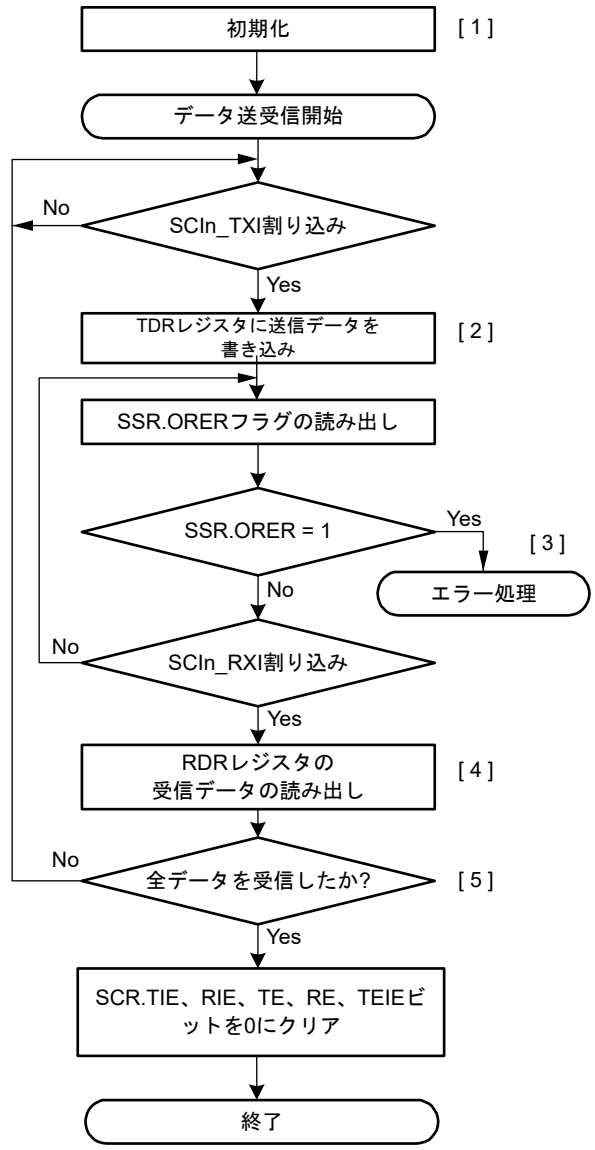
図 26.72 に、クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例を示します。シリアル同時送受信動作は、SCI の初期化後、以下の手順に従ってください。

送信モードから同時送受信モードへ切り替えるとき、

1. SCI が送信完了状態であることを SSR.TEND フラグが 1 になっていることで確認してください。
2. SCR レジスタを初期化してから、SCR レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI がデータ受信完了状態であることを確認してください。
2. SCR.RIE ビットと SCR.RE ビットを 0 にした後、受信エラーフラグ (SSR.ORER) が 0 になっていることを確認してください。
3. SCR レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。



[1] SCIの初期化：
TXDn端子は送信時に出力端子として、RXDn端子は受信時に入力端子として、同時に機能します。

[2] 送信データ書き込み：
SCIn_TXI割り込み処理ルーチンでTDRレジスタに送信データを1回書き込みます。

[3] 受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグを読み出して、所定のエラー処理を行った後、ORERフラグを0にしてください。ORERフラグが1の間はデータ受信を再開できません。

[4] 受信データ読み出し：
SCIn_RXI割り込み要求処理ルーチンでRDRレジスタ内の受信データを1回読み出します。

[5] シリアル送受信の継続手順：
シリアル送受信を継続するときには、現在のフレームのMSB（ビット7）を受信する前に、SCIn_RXI割り込みでRDRレジスタ内の受信データの読み出しを完了させてください。また、現在のフレームのMSB（ビット7）を送信する前に、SCIn_TXI割り込みでTDRレジスタへデータを書き込んでください。
送信データは、送信データエンプティ割り込み要求 (SCIn_TXI) でDMACやDTCを起動して、TDRレジスタに書き込むことも可能です。同様に、受信データフル割り込み要求 (SCIn_RXI) でDMACやDTCを起動して、RDRレジスタのデータを読み出すことも可能です。

注.　送信または受信動作から同時送受信動作に切り替える場合、まず SCR.TIE、RIE、TE、RE、TEIE ビットを 0 にした後、SCR.TIE、RIE、TE、RE ビットを同時に 1 にしてください。

図 26.72　クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 26.73 に、クロック同期式モードにおける FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。

SCI の初期化後、シリアルデータ同時送受信動作は以下の手順に従ってください。

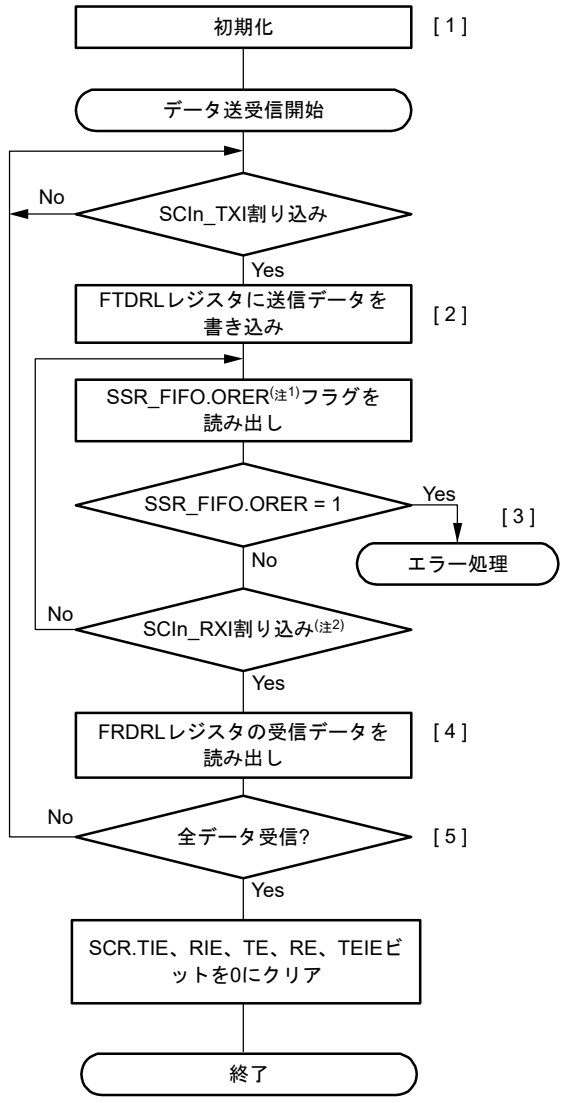
送信モードから同時送受信モードへ切り替えるとき、

1. SCI が送信完了状態であることを SSR_FIFO.TEND フラグが 1 になっていることで確認してください。
2. SCR レジスタを初期化してから、SCR レジスタの TIE、RIE、TE、および RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI が受信完了状態であることを確認してください。
2. RIE ビットと RE ビットを 0 にしてください。

3. 受信エラーフラグ (SSR_FIFO.ORER) が 0 になっていることを確認した後、SCR.TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。



[1] SCIの初期化：
TXDn端子は送信時に出力端子として、RXDn端子は受信時に入力端子として、同時に機能します。

[2] 送信データ書き込み：
SCIn_TXI割り込み処理ルーチンでFTDRLレジスタに送信データを書き込んでください。書き込み可能な送信データ数は、（16 - 送信FIFOに格納されているデータ数）です。

[3] 受信エラー処理：
受信エラーが発生したときには、SSR_FIFO.ORERフラグを読み出して、所定のエラー処理を行った後、ORERフラグを0にしてください。ORERフラグが1の間はデータ受信を再開できません。

[4] 受信データ読み出し：
FRDRLレジスタに格納された受信データを格納データ数がFCR.RTRG[3:0]の値よりも小さくなるまで読みます。ソフトウェアでFDR.R[4:0]ビットを読み出して、読み出し可能なデータ数を確認できます。

[5] シリアル送受信の継続手順：
シリアル受信を継続するときには、オーバランエラーが発生する前に、FRDRLレジスタ内の受信データの読み出しを完了し、SSR_FIFO.RDFフラグを0にしてください。シリアル送信を継続するときには、現在のデータ送信が完了する前に、SCIn_TXI割り込み処理ルーチンで、FTDRLレジスタに次の送信データを書き込み、SSR_FIFO.TDFEフラグを0にクリアしてください。
送信データは、送信FIFOデータエンプティ割り込み要求 (SCIn_TXI) でDMACやDTCを起動して、FTDRLレジスタに書き込むことも可能です。同様に、受信FIFOデータフル割り込み要求 (SCIn_RXI) でDMACやDTCを起動して、FRDRLレジスタのデータを読み出すことも可能です。
この場合、RDFフラグとTDFEフラグは自動でクリアされるので、RDFフラグとTDFEフラグには書き込まないでください。

注 1.　FRDRHL.ORER フラグから読み出しが可能です。しかし、ORER フラグをクリアするには、SSR_FIFO レジスタの関連するビットに 0 を書き込んでください。
注 2.　すべての受信データは FIFO トリガ数の整数倍の数でなければなりません。

図 26.73　クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（FIFO 選択時）

26.7　スマートカードインタフェースモードの動作

SCI は拡張機能として、ISO/IEC 7816-3（Identification Card 規格）に対応したスマートカード（IC カード）インタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

26.7.1　接続例

図 26.74 に、スマートカード（IC カード）と本 MCU の接続例を示します。図 26.74 に示すように、MCU と IC カードは 1 本のデータ伝送線で通信を行うため、TXDn 端子と RXDn 端子を結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR_SMCI.TE ビットと SCR_SMCI.RE ビットを 1 にすると、閉ループの送受信が実現され、自己診断が可能になります。SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には、MCU の出力ポートを使用できます。

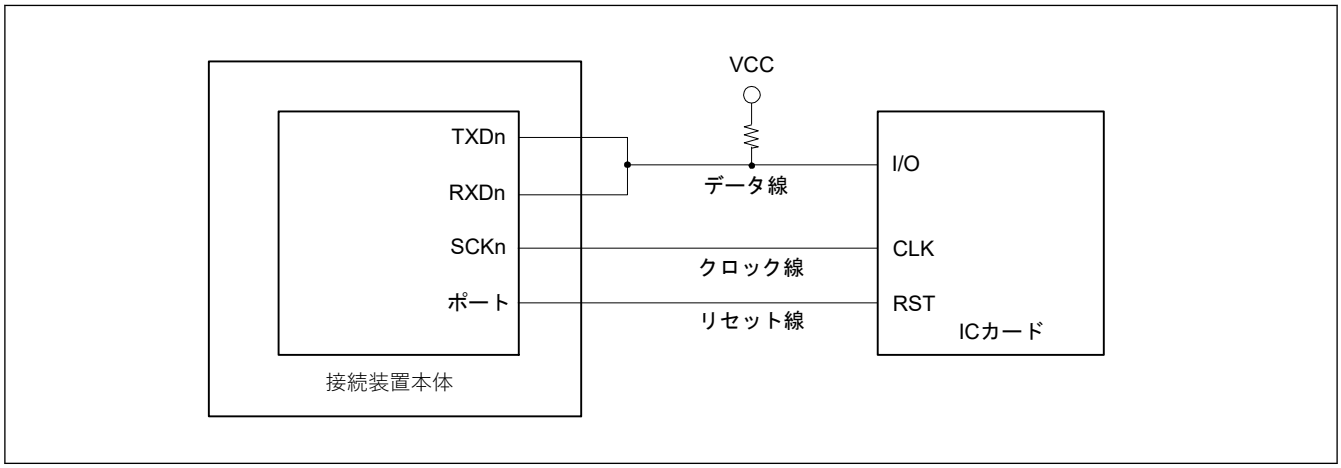


図 26.74　スマートカード（IC カード）との接続例

26.7.2　データフォーマット（ブロック転送モード時を除く）

図 26.75 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式モードでは、1 フレームは 8 ビットデータとパリティビットで構成
- 送信中は、パリティビットの終了から次のフレーム開始まで、2 etu（elementary time unit = 1 ビット転送時間）以上のガードタイムが必要
- 受信中にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力
- 送信中にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信

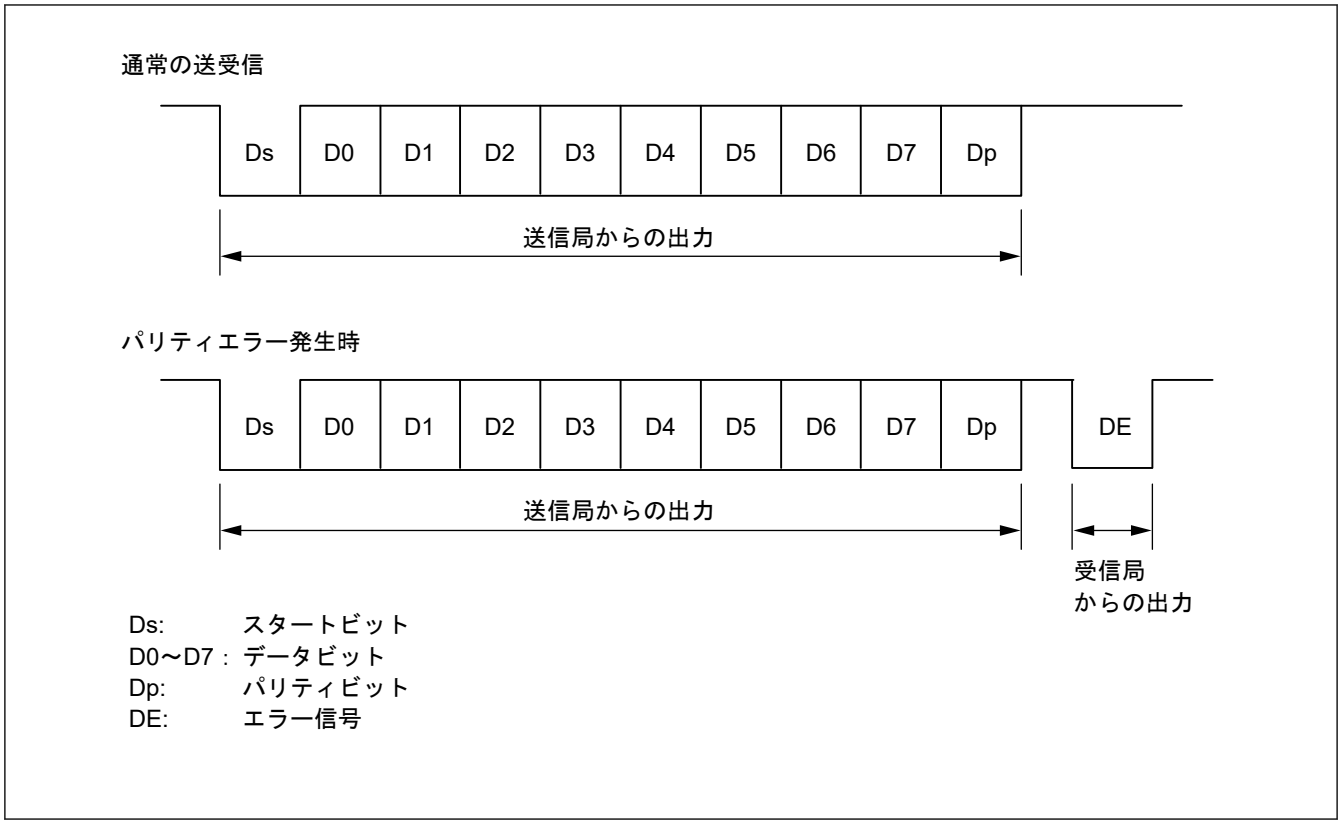


図 26.75 スマートカードインタフェースモードにおけるデータフォーマット

本節では、ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードと送受信する場合について説明します。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプでは、図 26.76 に示すように、ロジックレベル 1 は状態 Z を、ロジックレベル 0 は状態 A をそれぞれ表し、開始キャラクタに対して LSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 0x3B となります。

ダイレクトコンベンションタイプを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 0 にしてください。また、スマートカードの規格に従って偶数パリティとするため、SMR_SMCI.PM ビットは 0 にしてください。

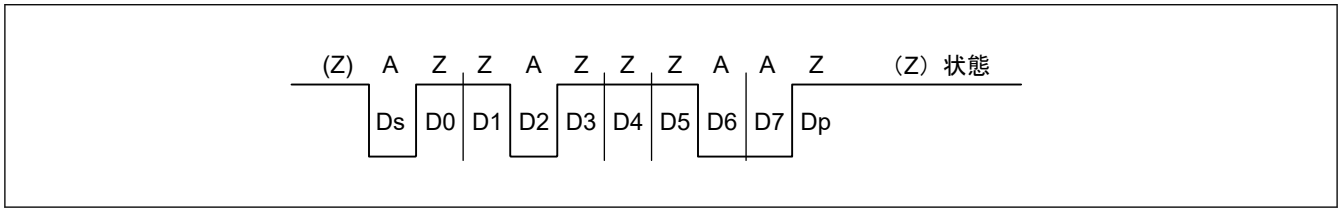


図 26.76 ダイレクトコンベンション（SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR_SMCI.PM ビット = 0）

(2) インバースコンベンションタイプ

インバースコンベンションタイプでは、図 26.77 に示すように、ロジックレベル 1 は状態 A を、ロジックレベル 0 は状態 Z をそれぞれ表し、開始キャラクタに対して MSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 0x3F となります。

インバースコンベンションタイプを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 1 にしてください。また、スマートカード規格に従って偶数パリティとするため、パリティビットは状態 Z に対応するロジックレベル 0 になります。本 MCU では、SINV ビットはデータビット D7～D0 のみを反転させます。そのため、送信時と受信時の両方において、SMR_SMCI.PM ビットに 1 を書いてパリティビットを反転させてください。

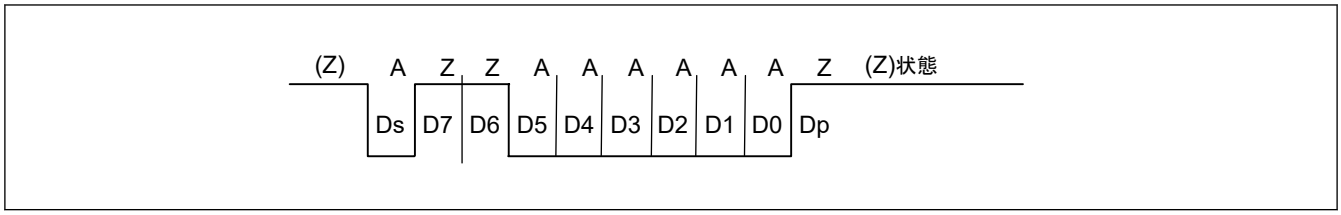


図 26.77 インバースコンベンション（SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR_SMCI.PM ビット = 1）

26.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信中にパリティエラーが検出されても、エラーシグナルは出力されません。エラー検出時に SSR_SMCI.PER フラグがセットされるので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信中は、パリティビットの終了から次のフレーム開始までのガードタイムとして 1 etu 以上が必要です。
- 同じデータの再送信を行わないため、送信開始から 11.5 etu 経過後に、SSR_SMCI レジスタの TEND フラグがセットされます。
- ブロック転送モードでは、SSR_SMCI レジスタの ERS フラグは通常のスマートカードインタフェースモードと同じエラーシグナル状態を示します。ただし、エラーシグナルの送受信を行わないため、読むと 0 が読めます。

26.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータが生成する内部クロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0]ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、または 512 倍の周波数の基本クロックで動作します。通常の調歩同期式モードでは、周波数はビットレートの 16 倍に固定されています。

受信時は、スタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。

また、図 26.78 に示すように、受信データは基本クロックのそれぞれ 16 番目、32 番目、186 番目、128 番目、46 番目、64 番目、93 番目、256 番目の立ち上がりエッジでサンプリングされるため、各ビットの中間でデータが取り込まれます。受信マージンは次式で表すことができます。

$$M = \left|\left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F)\right| \times 100\ [\%]$$

M：**受信マージン** (%)

N：**クロックに対するビットレートの比** ($N = 32, 64, 372, 256$)

D：**クロックのデューティー** ($D = 0 \sim 1.0$)

L：**フレーム長** ($L = 10$)

F：**クロック周波数の偏差の絶対値**

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次式のようになります。

$M = \{0.5 - 1/(2 \times 372)\} \times 100\ [\%] = 49.866\ \%$

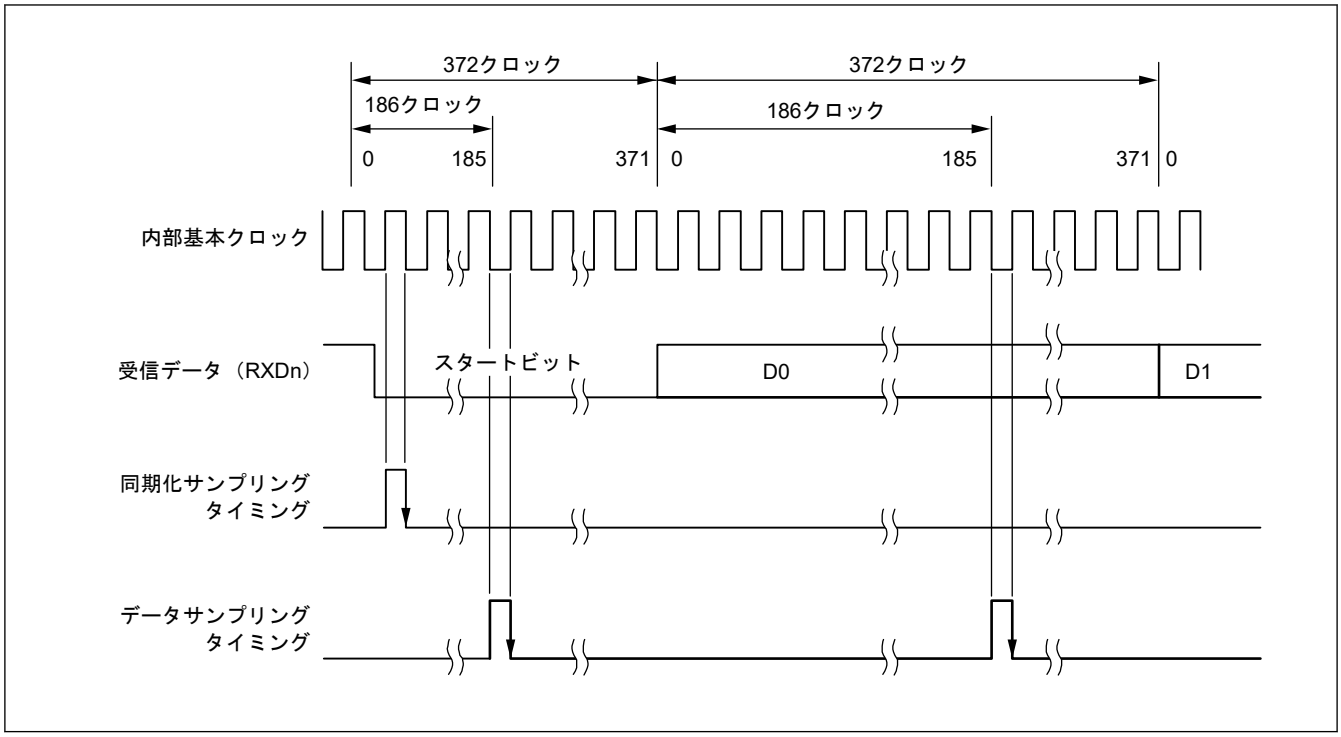


図 26.78　スマートカードインタフェースモードにおける受信データのサンプリングタイミング（ビットレートの 372 倍のクロック周波数の場合）

26.7.5　SCI の初期化（スマートカードインタフェースモード）

データの送受信前に、SCR_SMCI レジスタに初期値 0x00 を書き込み、表 26.37 に示すフローチャートの例に従って、SCI を初期化してください。

送信モードから受信モードへ（またはその逆へ）切り替える場合、必ず事前に SCR_SMCI レジスタの TIE、RIE、TE、RE、および TEIE ビットに初期値を設定してください。なお、SCR_SMCI.RE ビットを 0 にしても RDR レジスタは初期化されません。

受信モードから送信モードへ切り替える場合、受信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、SCR_SMCI.TE = 1、SCR_SMCI.RE = 0 にしてください。受信動作の完了は、SCIn_RXI 割り込み要求、SSR_SMCI レジスタの ORER フラグ、あるいは PER フラグで確認できます。

送信モードから受信モードへ切り替える場合、送信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、SCR_SMCI.TE = 0、SCR_SMCI.RE = 1 にしてください。送信動作の完了は SSR_SMCI.TEND フラグで確認できます。

表 26.37　スマートカードインタフェースモードにおける SCI 初期化の手順例 (1/2)

番号	ステップ名	説明
1	初期化を開始	
2	SCR_SMCI の TIE、RIE、TE、RE、TEIE、および CKE[1:0]ビットを 0 に設定	通信を停止し、SKE[1:0]を初期化します。
3	SIMR1.IICM ビットを 0 に設定 SCMR.SMIF ビットを 1 に設定	スマートカードインタフェースモードにします。
4	SSR_SMCI の ORER、ERS、PER ビットを 0 に設定	SSR_SMCI レジスタを読み出した後に、SSR_SMCI レジスタに書き込みを行います。
5	SPMR.CKPH ビットと SPMR.CKPOL ビットを設定	SPMR レジスタに送信または受信フォーマットを設定します。
6	SMR_SMCI の GM、BLK、PM、BCP[1:0]、CKS[1:0]を設定し、SMR_SMCI.PE を 1 に設定	SMR_SMCI レジスタに動作モードおよび送信または受信フォーマットを設定します。

表 26.37　スマートカードインタフェースモードにおける SCI 初期化の手順例 (2/2)

番号	ステップ名	説明
7	SCMR.BCP2、SDIR、SINV ビットを設定	SCMR レジスタに送信または受信フォーマットを設定します。
8	SPTR を初期値に設定	SPTR を初期値に設定します。
9	SEMR.BRME ビットと SEMR.RXDESEL ビットを 0 に設定	SEMR.BRME ビットと SEMR.RXDESEL ビットを 0 に設定します。
10	BRR に値を設定	ビットレートに対応する値を BRR レジスタに書き込みます。
11	I/O ポート機能を設定	I/O ポート機能を TXDn、RXDn、および SCKn に設定します。
12	SCR_SMCI.CKE[1:0]に値を設定	SCR_SMCI.CKE[1:0]を設定します。SMR_SMCI.GM に依存する機能であっても、CKE[0]ビットを 1 にした場合は、SCKn 端子からクロックが出力されます。
13	SCR_SMCI.TE ビットまたは SCR_SMCI.RE ビットを 1 にし、SCR_SMCI.TIE ビットと SCR_SMCI.RIE ビットを設定	SCR_SMCI レジスタの TE ビットまたは RE ビットを 1 にし、次に TIE ビットおよび RIE ビットを設定します。自己診断以外は TE ビットと RE ビットを同時に 1 にしないでください。
14	初期化の完了	

26.7.6　シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信（ブロック転送モード時を除く）では、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードと動作が異なります。送信中の再転送動作を図 26.79 に示します。

1. 1 フレーム分の送信を完了した後、受信側からのエラーシグナルがサンプリングされると、SSR_SMCI.ERS フラグが 1 になります。SCR_SMCI.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、ERS フラグを 0 にクリアしてください。
2. エラーシグナルを受信したフレームでは、SSR_SMCI.TEND フラグはセットされません。TDR レジスタから TSR レジスタへ再度データが転送され、自動的に再送信が行われます。
3. 受信側からエラーシグナルが返ってこない場合、ERS フラグは 1 になりません。
4. この場合、SCI は再転送を含む 1 フレーム分の送信が完了したと判断し、TEND フラグがセットされます。SCR_SMCI.TIE ビットが 1 であれば、SCIn_TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

図 26.81 に、シリアル送信のフローチャート例を示します。これら一連の処理は、SCIn_TXI 割り込み要求で DTC または DMAC を起動することによって、自動的に行うことができます。

送信動作では、SSR_SMCI.TEND フラグが 1 になっていると、SCR_SMCI.TIE ビットが 1 の場合、SCIn_TXI 割り込み要求が発生します。

あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中、TEND フラグは 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が、指定されたバイト数を自動的に送信します。ただし、ERS フラグは自動的にはクリアされないため、RIE ビットを 1 にしておくことで、エラー発生時に SCIn_ERI 割り込み要求を発生させて、ERS フラグをクリアしてください。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法については、「16. データトランスファコントローラ (DTC)」と「15. DMA コントローラ (DMAC)」を参照してください。

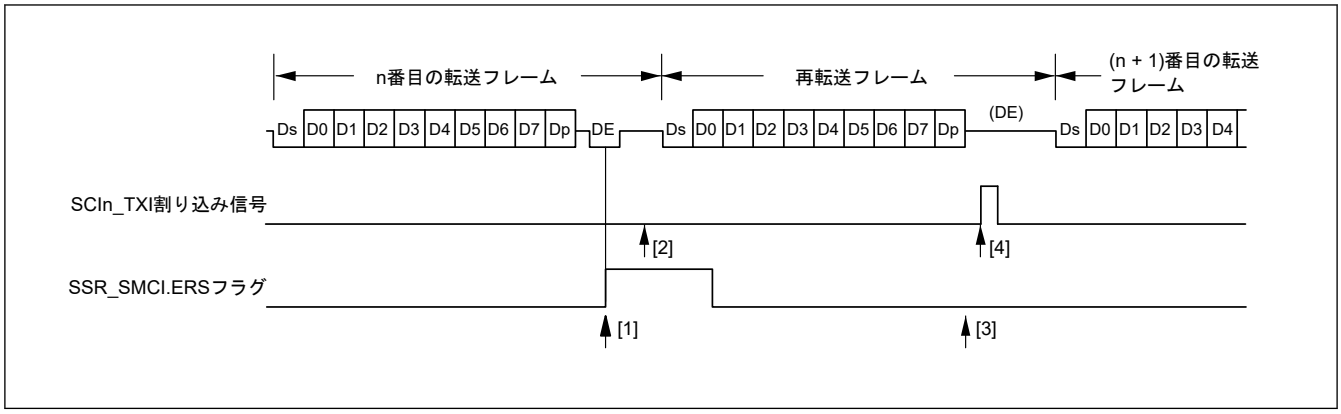


図 26.79　スマートカードインタフェース送信モードでのデータ再送信動作

SMR_SMCI.GM ビットの設定によっては、SSR_SMCI.TEND フラグのセットタイミングが異なります。図 26.80 に、TEND フラグの発生タイミングを示します。

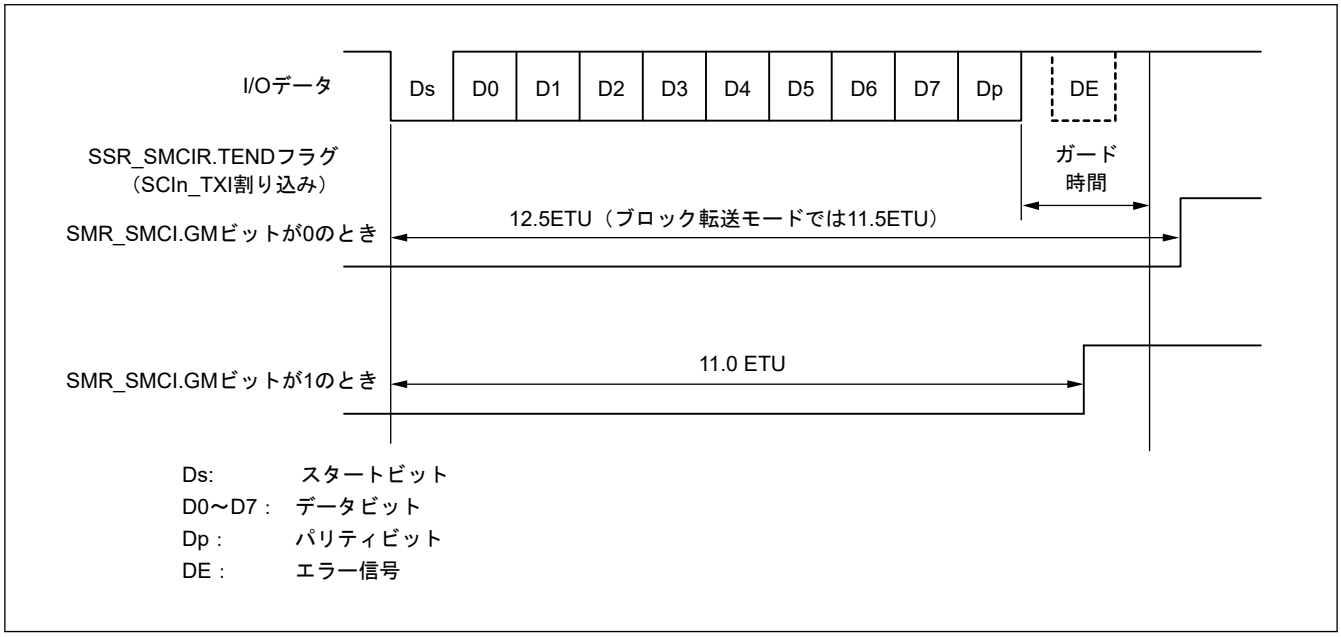


図 26.80　送信中の SSR.TEND フラグの発生タイミング

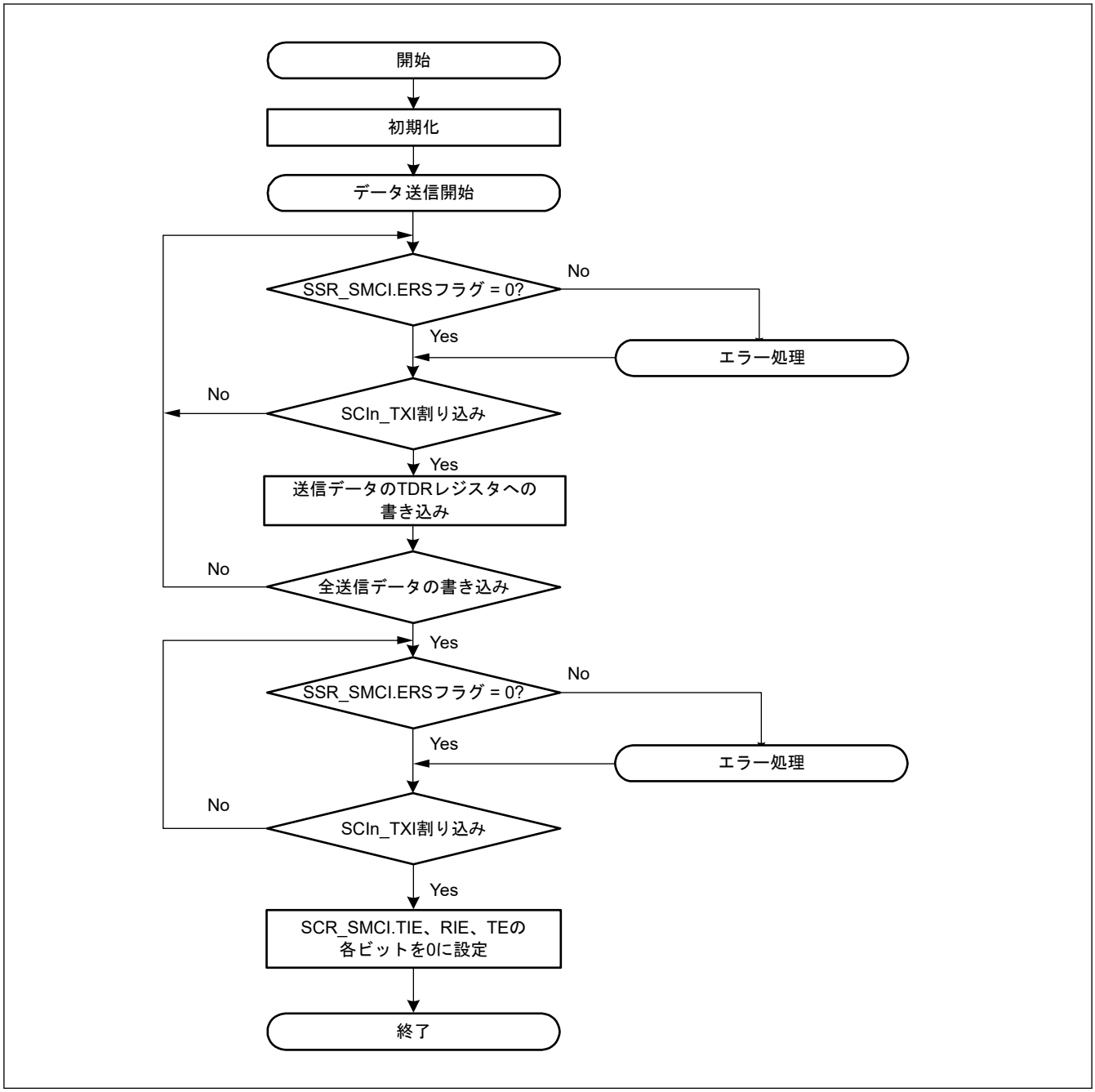


図 26.81　スマートカードインタフェース送信のフローチャート例

26.7.7　シリアルデータの受信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードでの再転送動作を図 26.82 に示します。

1. 受信データにパリティエラーが検出されると、SSR_SMCI.PER フラグが 1 になります。SCR_SMCI.RIE ビットが 1 であれば、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、PER フラグを 0 にクリアしてください。
2. パリティエラーが検出されたフレームに対しては、SCIn_RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合、SCR_SMCI.PER フラグは 1 になりません。
4. この場合、正常に受信が完了したと判断されます。SCR_SMCI.RIE ビットが 1 であれば、SCIn_RXI 割り込み要求が発生します。

図 26.83 に、シリアルデータ受信のフローチャート例を示します。これら一連の処理は、SCIn_RXI 割り込み要求で DTC または DMAC を起動することによって、自動的に行うことができます。

受信動作では、RIE ビットを 1 にしておくと、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。

また、受信時にエラーが発生して SSR_SMCI レジスタの ORER フラグまたは PER フラグのいずれかが 1 になると、受信エラー割り込み (SCIn_ERI) 要求が発生します。エラー発生後に、エラーフラグをクリアしてください。エラーが発生した場合、DTC または DMAC は起動されず、受信データはスキップされます。そのため、DTC または DMAC に指定されたバイト数だけ受信データが転送されます。

なお、受信中にパリティエラーが発生して PER フラグが 1 になった場合でも、受信したデータは RDR レジスタへ転送されるので、このデータを読み出すことは可能です。

また、受信動作中に SCR_SMCI.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

注.　ブロック転送モードの場合は、「26.3.9. シリアルデータの受信（調歩同期式モード）」を参照してください。

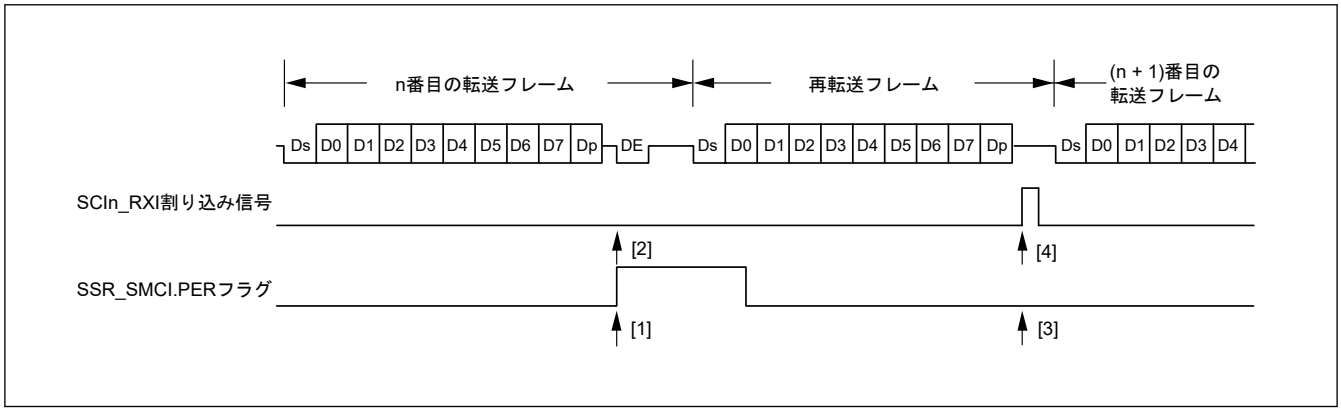


図 26.82　スマートカードインタフェース受信モードでの再転送動作

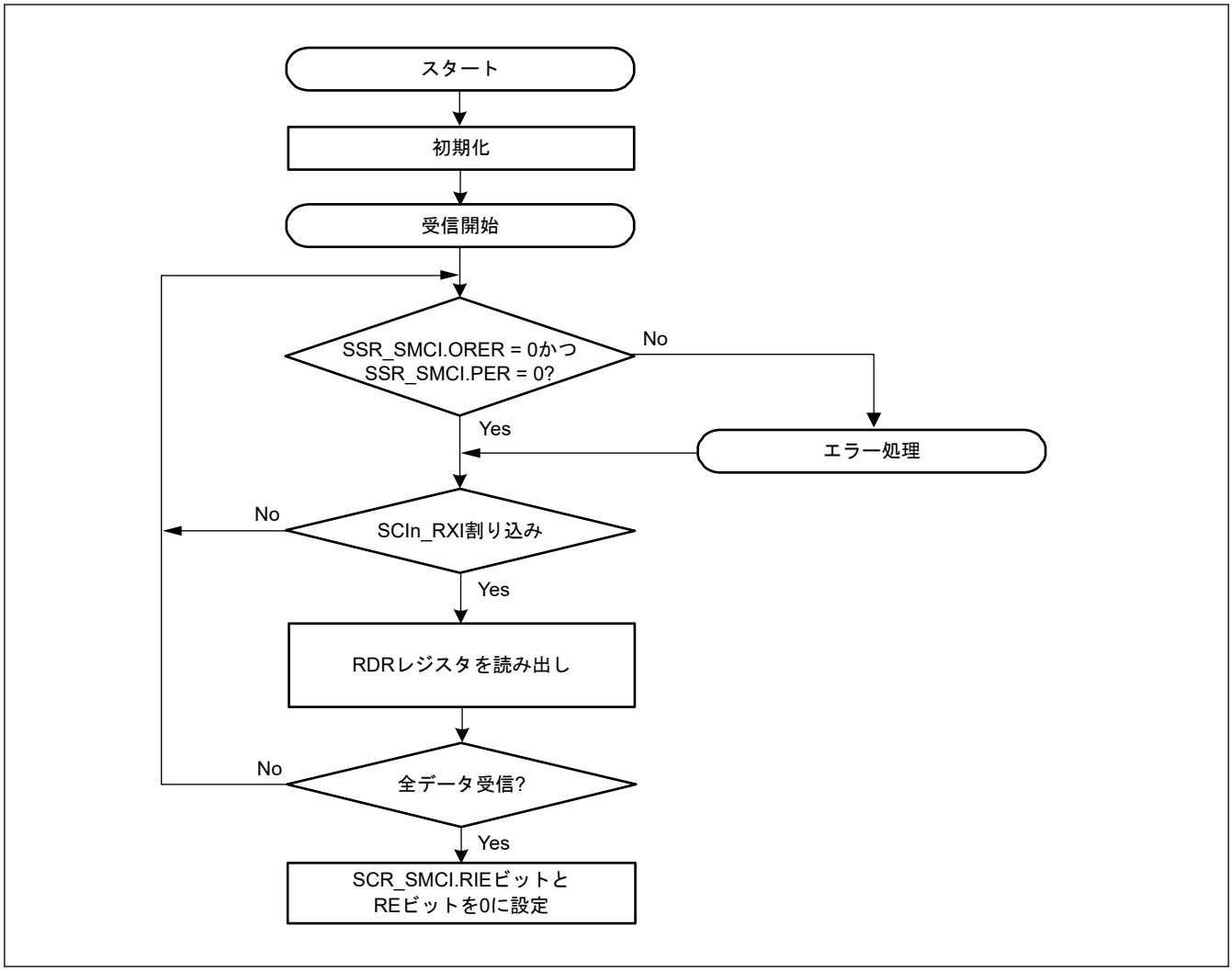


図 26.83　スマートカードインタフェース受信のフローチャート例

26.7.8　クロック出力制御

SMR_SMCI.GM ビットを 1 にすると、SCR_SMCI.CKE[1:0]ビットでクロック出力の制御が行えます。CKE[1:0]ビットの詳細については、「26.2.14. SCR_SMCI : スマートカードインタフェースモード用シリアルコントロールレジスタ (SCMR.SMIF = 1)」を参照してください。クロック出力を設定すると、「26.7.4. 受信データサンプリングタイミングと受信マージン」で説明されている基本クロックになります。

図 26.84 に、SCR_SMCI レジスタの CKE[1]ビットを 0 にして SCR_SMCI レジスタの CKE[0]ビットを制御する場合のクロック出力制御のタイミング例を示します。

SMR_SMCI レジスタの GM ビットが 0 の場合、SCR_SMCI レジスタの CKE[0]ビットで制御される出力は、SCKn 端子にただちに反映されます。したがって、意図しない幅のパルスが SCKn 端子から出力される可能性があります。

SMR_SMCI.GM ビットを 1 にすると、SCR_SMCI レジスタの CKE[0]ビットが変更されても基本クロックと同じパルス幅のクロックが出力されます。

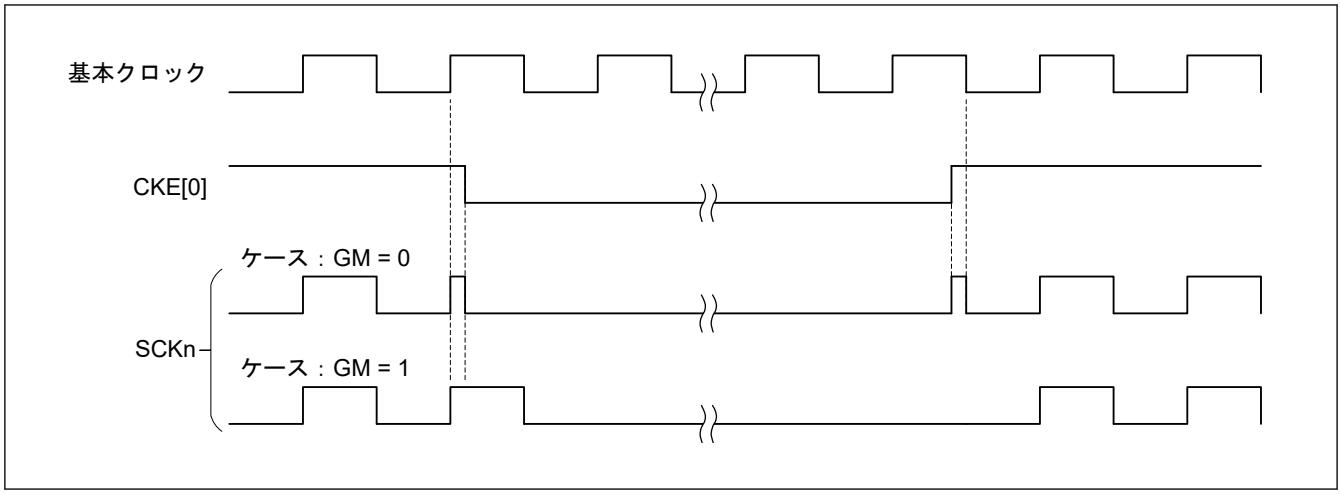


図 26.84　クロック出力固定タイミング

26.8　簡易 IIC モードの動作

簡易 IIC モードフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開始条件に続くフレームはスレーブアドレスのフレームであり、マスタデバイスは、通信先であるスレーブデバイスを指定するために使用します。指定されたスレーブデバイスは、新たにスレーブデバイスが指定されるか、または停止条件が満たされるまで有効です。各フレーム内の 8 ビットのデータは、MSB から順に送信されます。

図 26.85 に、I²C バスフォーマットを、図 26.86 に、I²C バスタイミングを示します。

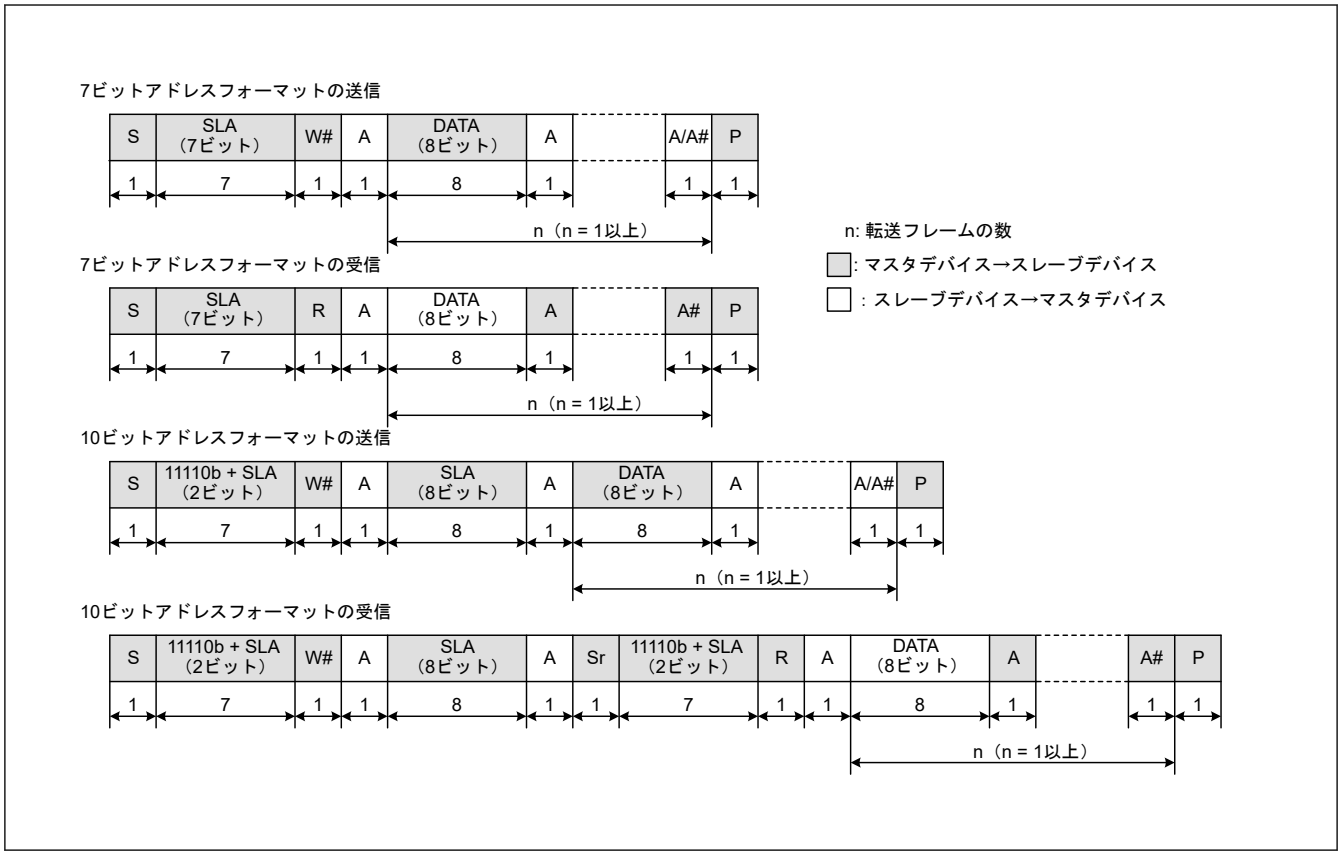


図 26.85　I²C バスフォーマット

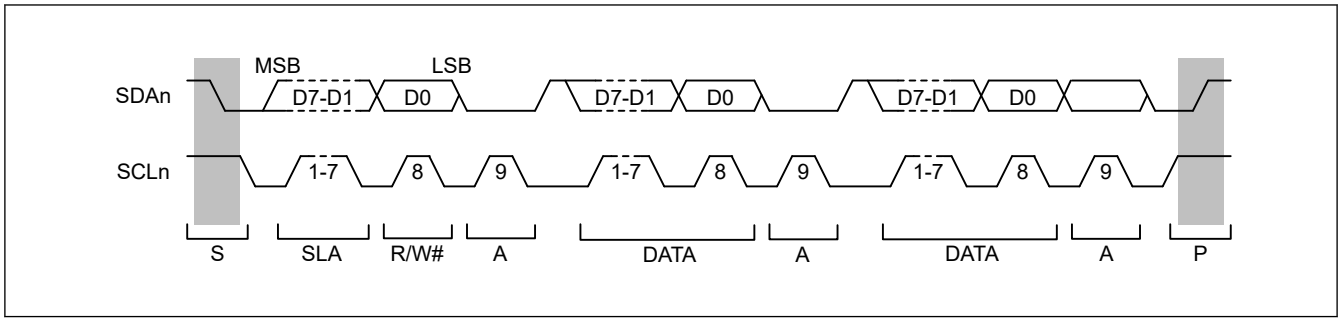


図 26.86　I²C バスタイミング（SLA = 7 ビットの場合）

- S：開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを High から Low へ変化させます。
- SLA：スレーブアドレスを示します。これによってマスタデバイスがスレーブデバイスを選択します。
- R/W#: 転送方向（送信／受信）を示します。値 1 のときはスレーブデバイスからマスタデバイスへ、値 0 のときはマスタデバイスからスレーブデバイスへデータを送信します。
- A/A#：アクノリッジを示します。マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。Low を返すことで ACK を、High を返すことで NACK を示します。
- Sr：再開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、セットアップ時間経過後に SDAn ラインのレベルを High から Low へ変化させます
- DATA：送受信データを示します。
- P：停止条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを Low から High へ変化させます。

26.8.1　開始条件、再開始条件、停止条件の生成

SIMR3.IICSTAREQ ビットに 1 を書き込むことにより、開始条件の生成を行います。開始条件の生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ（High から Low へ変化）、SCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、開始条件のホールド時間に設定
- SCLn ラインを立ち下げ（High から Low へ変化）、SIMR3.IICSTAREQ ビットを 0 にして、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに 1 を書き込むことにより、再開始条件の生成を行います。再開始条件の生成では、以下の動作が行われます。

- SDAn ラインを開放、SCLn ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定
- SCLn ラインを開放（Low から High へ変化）
- SCLn ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開始条件のセットアップ時間に設定
- SDAn ラインを立ち下げ（High から Low へ変化）
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開始条件のホールド時間に設定
- SCLn ラインを立ち下げ（High から Low へ変化）、SIMR3.IICRSTAREQ ビットを 0 にして、再開始条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに 1 を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ（High から Low へ変化）、SCLn ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定

- SCLn ラインを開放（Low から High へ変化）
- SCLn ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、停止条件のセットアップ時間に設定
- SDAn ラインを開放（Low から High へ変化）、SIMR3.IICSTPREQ ビットを 0 にして、停止条件生成割り込み要求を出力

図 26.87 に開始条件、再開始条件、停止条件生成の動作タイミングを示します。

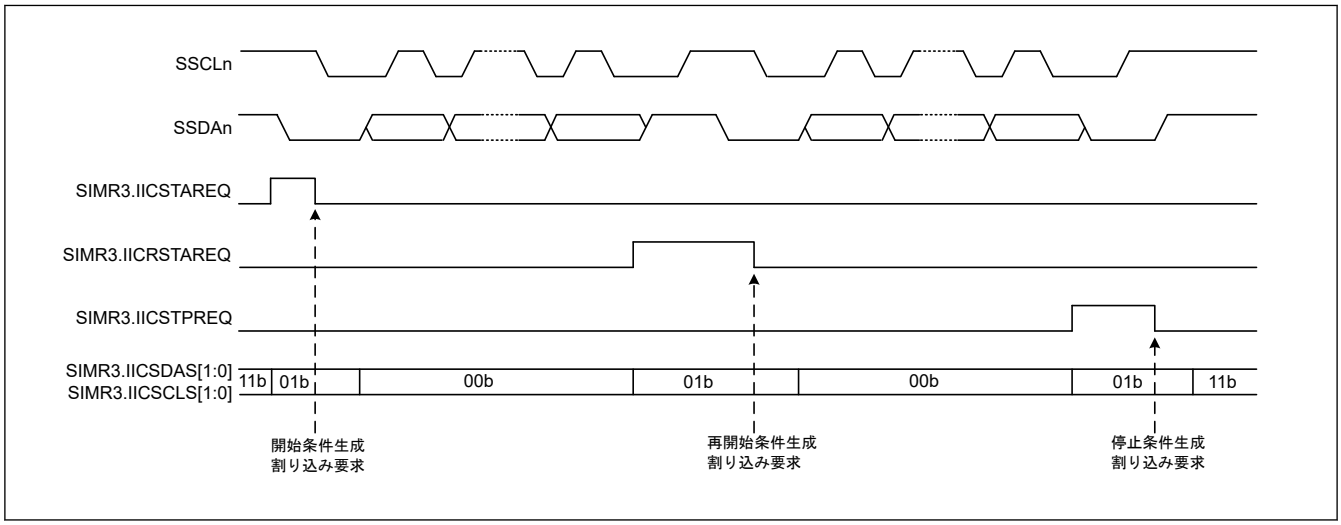


図 26.87　開始条件、再開始条件、停止条件生成の動作タイミング

26.8.2　クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で、SCLn ラインを Low にする場合があります。SIMR2.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が SCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が Low から High へ変化します。SCLn 端子入力が Low の間は High 期間のカウントを停止し、SCLn 端子入力が High へ変化すると、High 期間のカウントを開始します。

このとき、SCLn 端子が High へ変化して High 期間のカウントを開始するまでの間隔は、SCLn 端子出力遅延、SCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2～3 サイクル）、内部処理遅延（PCLK で 1～2 サイクル）の合計になります。この間、他のデバイスが SCLn ラインを Low にしていなくても、内部 SCLn クロックの High 期間が延長されます。

SIMR2.IICCSC ビットが 1 の場合、データの送受信は、SCLn 端子入力と内部 SCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが 0 の場合は、データの送受信は、内部 SCLn クロックに同期して行われます。

開始条件、再開始条件、または停止条件の生成要求発行後、内部 SCLn クロックが Low から High へ変化するまでの間にスレーブデバイスからウェイトが挿入された場合、その期間分、生成までの時間が延長されます。

内部 SCLn クロックが Low から High へ変化した後、スレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 26.88 に、クロック同期化の動作例を示します。

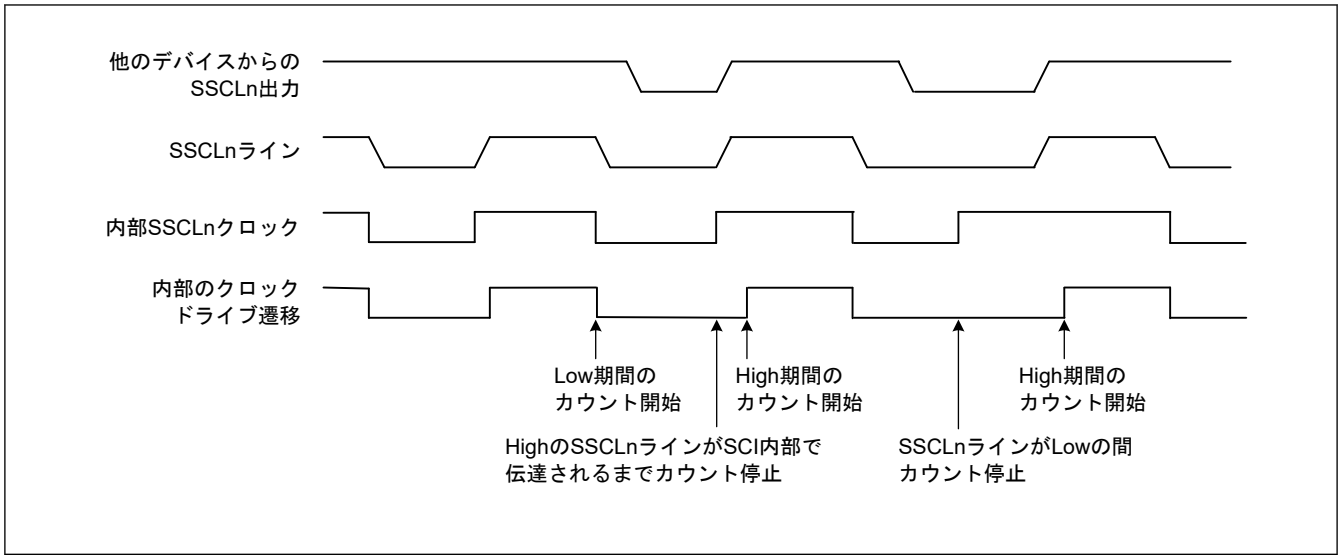


図 26.88　クロック同期化の動作例

26.8.3　SDAn 出力遅延

SIMR1.IICDL[4:0]ビットを用いて、SCLn 端子出力の立ち下がりに対し、SDAn 端子出力を遅延させることが可能です。遅延時間は 0～31 サイクルから選択できます。これは、対応する内蔵ボーレートジェネレータからのクロック信号のサイクル数を表します（SMR.CKS[1:0]ビットで選択した分周ベースクロック (PCLK) を基準とします）。SDAn 端子出力の遅延は、開始条件／再開始条件／停止条件の各信号、8 ビットの送信データ、およびアクノリッジビットに適用されます。

SDAn 出力遅延が SCLn 端子出力の立ち下がり時間より短い場合、SCLn 端子出力の立ち下がり中に SDAn 端子出力が変化を開始して、スレーブデバイスが誤動作する可能性があります。SDAn 端子出力遅延は、SCLn 端子出力の立ち下がり時間の最大値（IIC の標準モードとファストモードでは 300 ns）より大きくなるように設定してください。

図 26.89 に、SDAn 出力遅延のタイミングを示します。

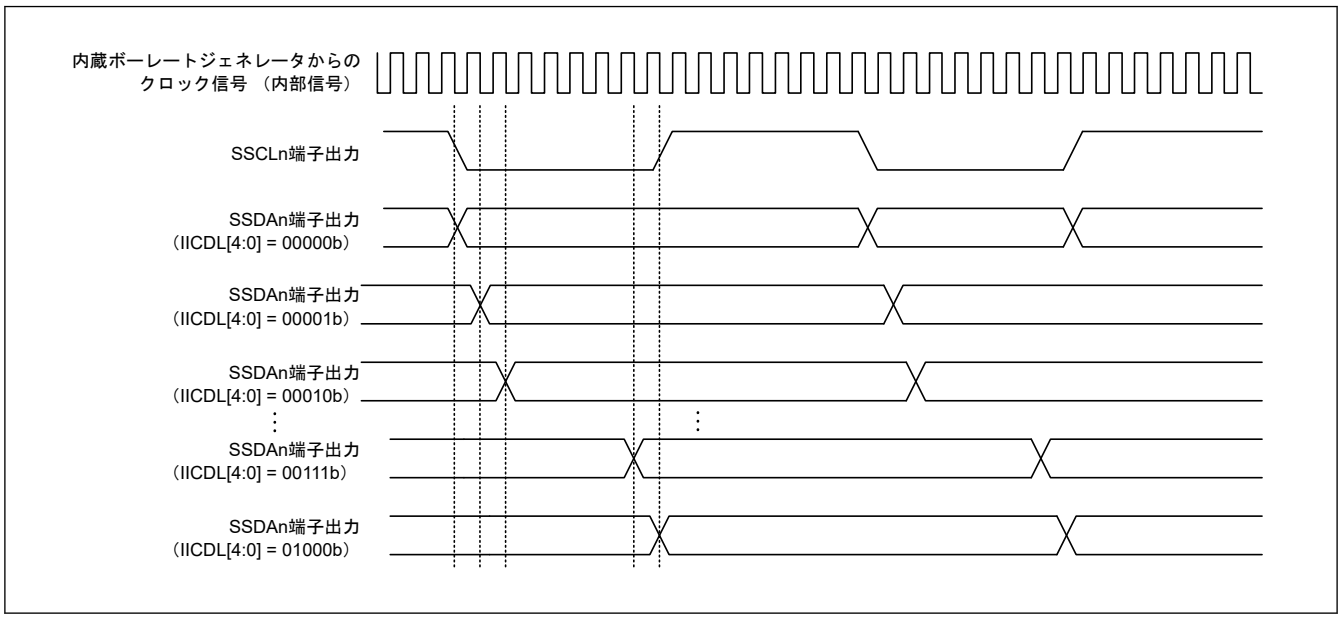


図 26.89　SDAn 出力遅延のタイミング

26.8.4　SCI の初期化（簡易 IIC モード）

データの送受信前に、SCR レジスタに初期値 0x00 を書き込み、表 26.38 のフローチャート例に従って、インタフェースを初期化してください。

動作モードまたは通信フォーマットを変更する前に、必ず SCR レジスタを初期値にしてください。また、簡易 IIC モード時の通信ポートのオープンドレイン設定は、ポート側で行ってください。

表 26.38　簡易 IIC モードにおける SCI 初期化の手順例

番号	ステップ名	説明
1	初期化を開始	
2	SCR の TIE、RIE、TE、RE、TEIE、および CKE[1:0]ビットを 0 に設定	
3	I/O ポート機能を設定	SSCLn および SSDAn 端子の機能が（N チャネルオープンドレイン出力端子で）使用可能となるように I/O ポートを設定します。
4	SIMR3 の IICSDAS[1:0]ビットと IICSCLS[1:0]ビットを 11b に設定	SSCLn および SSDAn 端子を、開始条件生成を行うときまでハイインピーダンス状態にします。
5	SMR レジスタと SCMR レジスタに送信／受信フォーマットを設定	SMR および SCMR に送信／受信フォーマットを設定します。 SMR では、CKS[1:0]ビットを目的の値にし、その他のビットを 0 にします。 SCMR では、SDIR ビットを 1 にし、SINV ビットと SMIF ビットを 0 にします。
6	SPTR を初期値に設定します。	SPTR を初期値に設定します。
7	BRR に値を設定	BRR レジスタに目的のビットレート値を書き込みます。
8	MDDR に値を設定	MDDR レジスタにビットレート誤差補正値を書き込みます。SEMR.BRME ビットが 0 に設定されている場合、この手順は不要です。
9	SEMR、SNFR、SIMR1、SIMR2、および SPMR に値を設定	SEMR、SNFR、SIMR1、SIMR2、および SPMR に値を設定します。 NFEN ビットと BRME ビットを SEMR に設定します。SNFR に、NFCS[2:0]ビットを設定します。 SIMR1 では、IICM ビットを 1 にし、IICDL[4:0]ビットには必要に応じた値を設定します。 SIMR2 では、IICACKT ビットと IICCSC ビットを 1 にし、IICINTM ビットには必要に応じた値を設定します。 SPMR レジスタでは、すべてのビットを 0 にします。
10	SCR.RE ビットおよび SCR.TE ビットを 1 にし、SCR.TIE ビット、SCR.RIE ビット、および SCR.TEIE ビットを設定	SCR レジスタの RE ビットと TE ビットを 1 にしてください。その後で、SCR.TIE、RIE、TEIE ビットを設定します(送信用で SIMR2.IICINTM ビットが 1 の状態の場合は、RIE ビットを 0 にします)。TE ビットと RE ビットを 1 にすることで、SSCLn および SSDAn 端子の機能が有効となります。
11	送信または受信の開始	

26.8.5　マスタ送信動作（簡易 IIC モード）

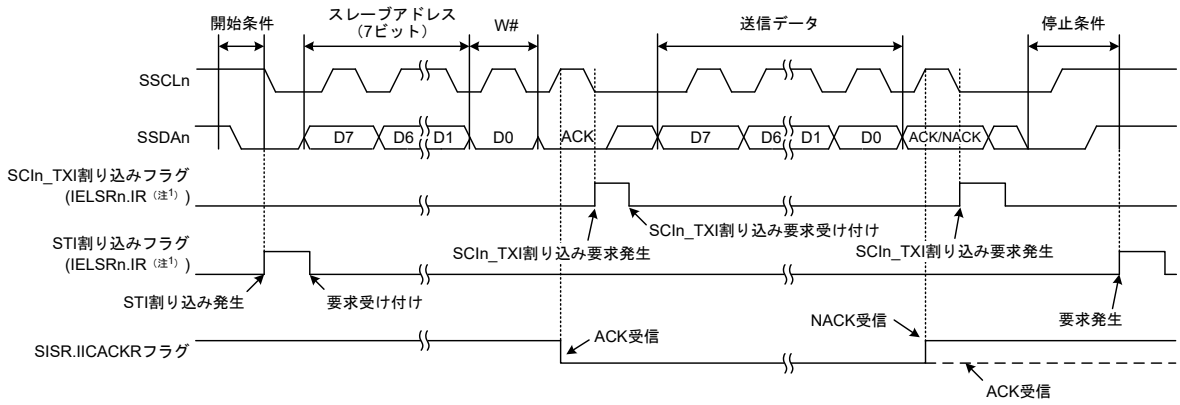
図 26.90 と図 26.91 にマスタ送信の動作例を、図 26.92 にデータ送信のフローチャート例を示します。

図 26.90 に、SIMR2.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）で、かつ SCR.RIE ビットが 0（SCIn_RXI および SCIn_ERI 割り込み要求を禁止）の場合の動作例を示します。

STI 割り込みについては、表 26.43 を参照してください。

図 26.92 に、SIMR2.IICINTM が 1 の状態で、CPU によるアドレス送信と DTC または DMAC によるデータ送信の場合のフローチャートを示します。10 ビットスレーブアドレス使用時は、［3］と［4］の手順を 2 回繰り返します。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。



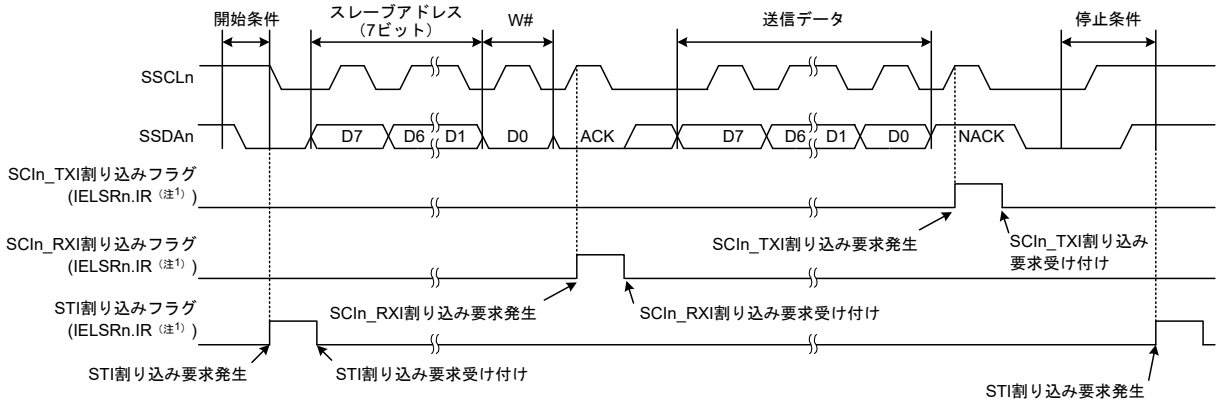
注 1.　対応する割り込みイベント番号は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.90　簡易 IIC モードにおけるマスタ送信の動作例 1（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時）

マスタ送信で、SIMR2.IICINTM ビットを 0（ACK 割り込み、NACK 割り込みを使用）にした場合、ACK 割り込みをトリガにして DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は、NACK 割り込みをトリガにして、送信中止や再送信などのエラー処理を行います。

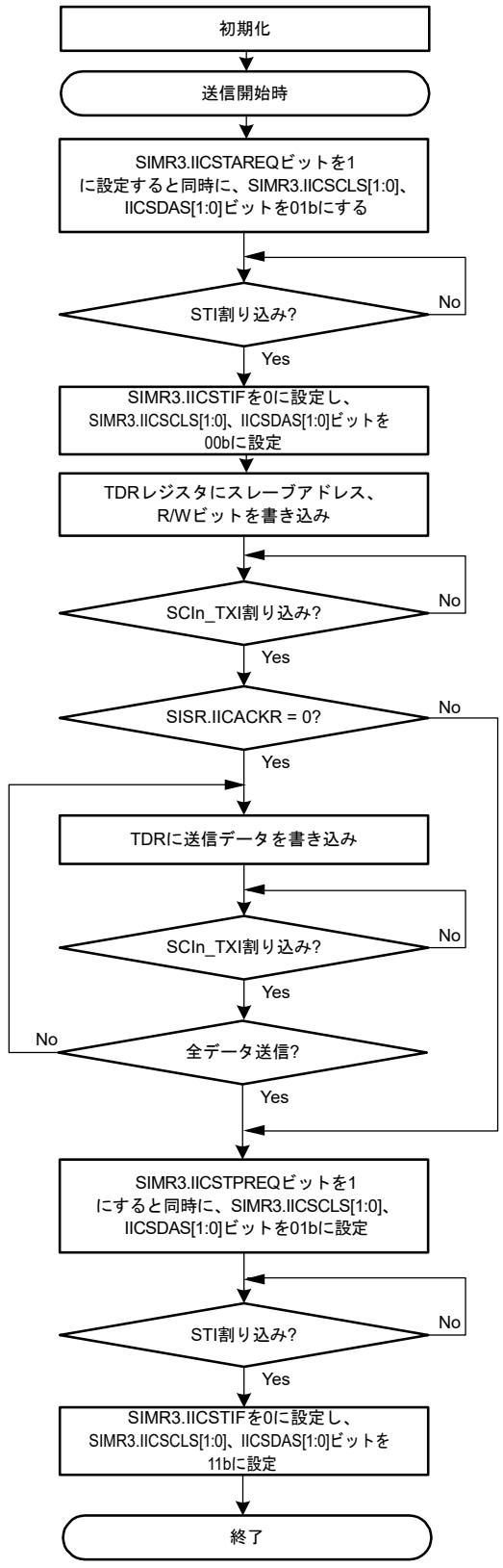
TDR レジスタにデータを書き込んだ後に、何らかの理由で通信をリスタートさせたい場合は以下の手順に従ってください。

1. SCR レジスタの TE、RE ビットを 0 にして通信停止させてください。
2. SIMR3 レジスタに 0xF0 を設定し、I^2C バスを解放し、各条件生成をクリアしてください。
3. SSR レジスタの RDRF フラグが 1 にセットされている場合、RDRF フラグをクリアしてください。
4. SCR レジスタの TE、RE ビットに 1 を設定し、次の通信を開始してください。



注 1.　対応する割り込みイベント番号は、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.91　簡易 IIC モードにおけるマスタ送信の動作例 2（7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時）



[1] [1] SCIの初期化（簡易IICモード）：
送信するには、SCR.RIEを0にしてSCIn_RXIおよびSCIn_ERI割り込みを禁止します。

[2] [2] 開始条件の生成

[3] [3] TDRへの書き込み：
スレーブアドレスとR/Wビット値をTDRに書き込みます。

[4] [4] スレーブデバイスからのACK応答の確認：
SISR.IICACKRビットを確認します。SISR.IICACKRが0の場合、スレーブアドレスがACK応答を返し、処理が行われることを示します。SISR.IICACKRが1の場合、スレーブデバイスからの応答がなく、次の遷移は停止条件の生成であることを示します。

[3]～[4] 10ビットスレーブアドレス使用時は、[3]～[4]の手順を2回繰り返します。

[5] [5] シリアル送受信の継続手順：
送信を継続する場合、追加の送信データをTDRに書き込みます。最初の送信データを除き、SCIn_TXI割り込み要求を用いてDMACまたはDTCを起動し、TDRへのデータ書き込みを処理できます。

[6] [6] 停止条件の生成

注.　簡易 IIC モードでは、通信を完了した時点で SCIn_TXI 割り込みが発生します。

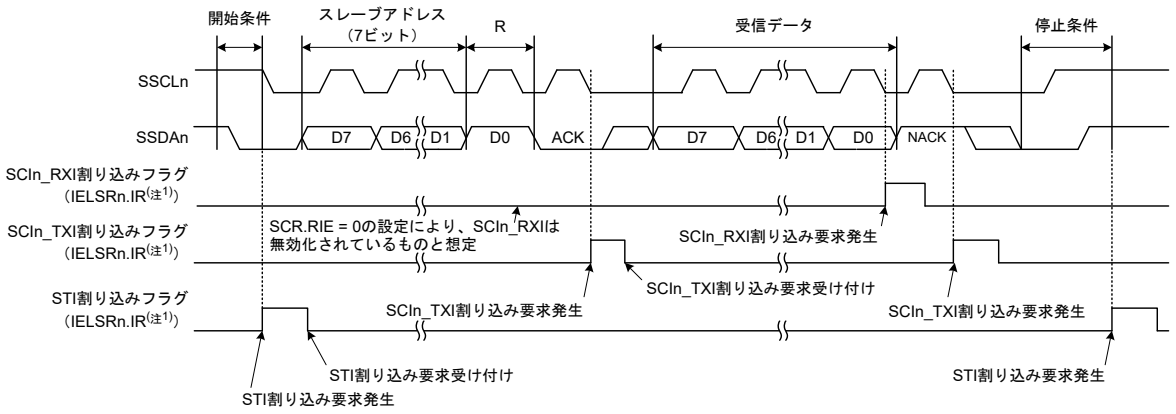
図 26.92　簡易 IIC モードにおけるマスタ送信のフローチャート例（送信割り込み、受信割り込み使用時）

26.8.6　マスタ受信動作（簡易 IIC モード）

図 26.93 に簡易 IIC モードにおけるマスタ受信の動作例を、図 26.94 にマスタ受信のフローチャート例を示します。

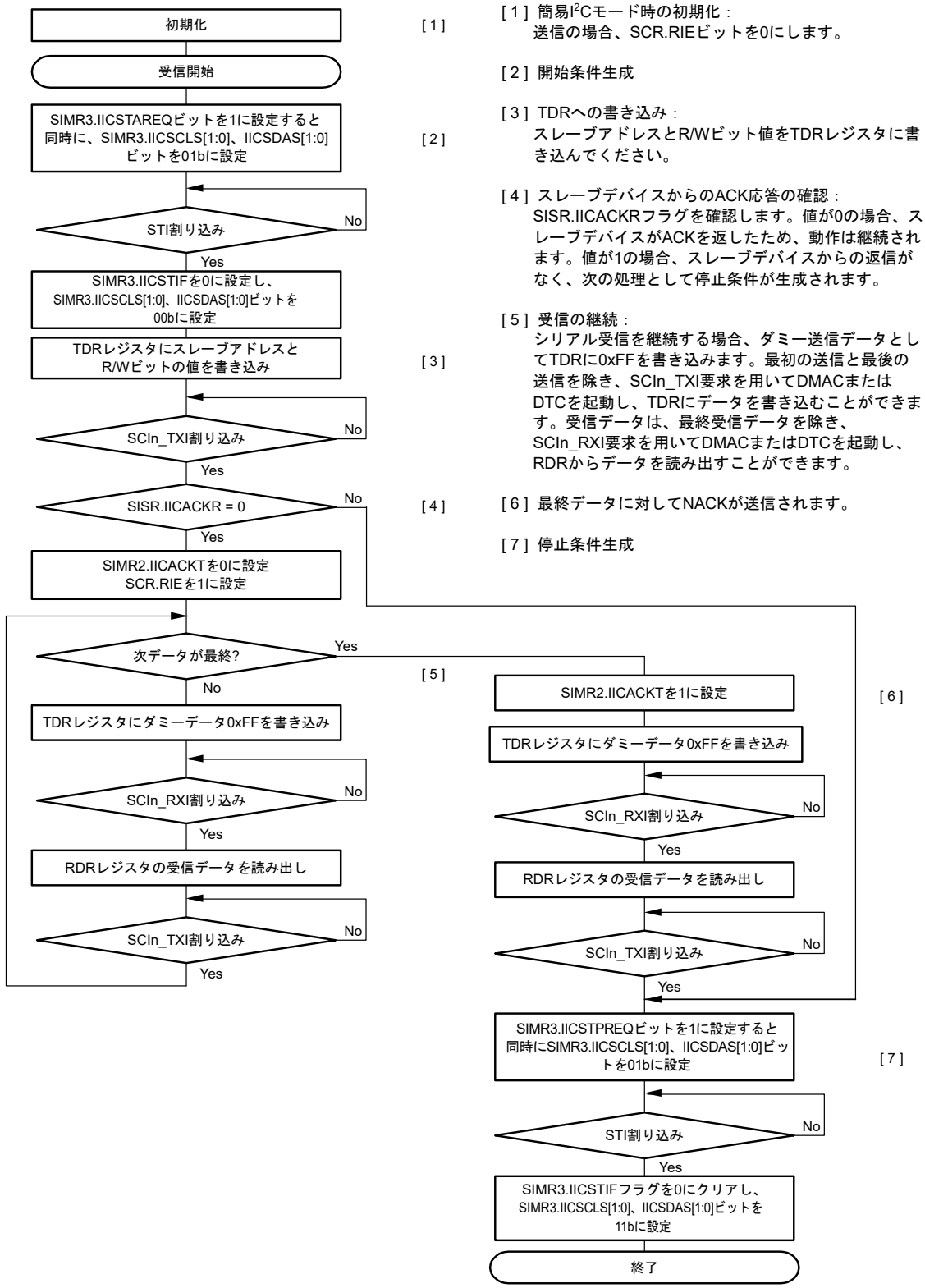
下図では、SIMR2.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）の場合を想定しています。

簡易 IIC モードでの送信データエンプティ割り込み (SCIn_TXI) は、クロック同期式送信時の SCIn_TXI 割り込み要求発生のタイミングとは異なり、1 フレームの通信を完了した時点で発生します。



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.93　簡易 IIC モードにおけるマスタ受信の動作例（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時）



[1] 簡易I²Cモード時の初期化：
送信の場合、SCR.RIEビットを0にします。

[2] 開始条件生成

[3] TDRへの書き込み：
スレーブアドレスとR/Wビット値をTDRレジスタに書き込んでください。

[4] スレーブデバイスからのACK応答の確認：
SISR.IICACKRフラグを確認します。値が0の場合、スレーブデバイスがACKを返したため、動作は継続されます。値が1の場合、スレーブデバイスからの返信がなく、次の処理として停止条件が生成されます。

[5] 受信の継続：
シリアル受信を継続する場合、ダミー送信データとしてTDRに0xFFを書き込みます。最初の送信と最後の送信を除き、SCIn_TXI要求を用いてDMACまたはDTCを起動し、TDRにデータを書き込むことができます。受信データは、最終受信データを除き、SCIn_RXI要求を用いてDMACまたはDTCを起動し、RDRからデータを読み出すことができます。

[6] 最終データに対してNACKが送信されます。

[7] 停止条件生成

注.　簡易 IIC モードでは、通信を完了した時点で SCIn_TXI 割り込み要求が発生します。

図 26.94　簡易 IIC モードにおけるマスタ受信のフローチャート例（送信割り込み、受信割り込み使用時）

26.9　簡易 SPI モードの動作

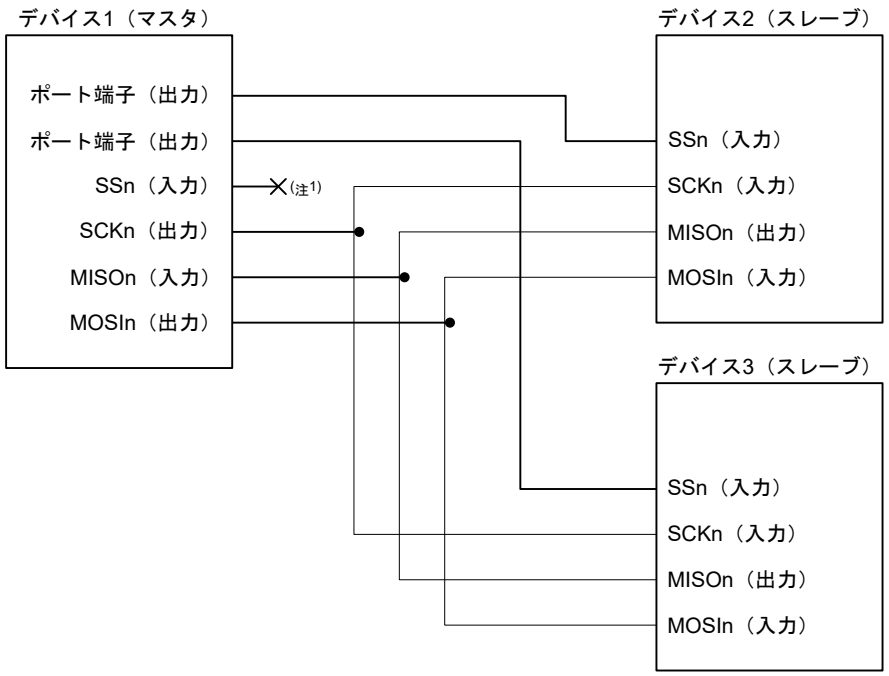
SCI は拡張機能として、1 つまたは複数のマスタと複数のスレーブとの間で通信が可能な、簡易 SPI モードをサポートしています。

クロック同期式モードの設定（SCMR.SMIF = 0、SIMR1.IICM = 0、SMR.CM = 1）を使用するとともに、SPMR.SSE ビットを 1 にすることによって、SCI は簡易 SPI モードになります。なお、構成がシングルマスタのみの場合は、簡易 SPI モードでマスタとして使用されるデバイスの接続に、マスタ側の SSn 端子機能は不要です。よって、そのような場合は、SPMR.SSE ビットを 0 にしてください。

図 26.95 に、簡易 SPI モードの接続例を示します。マスタからの SSn 信号出力については、汎用ポートで制御してください。

簡易 SPI モードでは、クロック同期式モードと同様に、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを 1 にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み込むことが可能です。これにより、連続転送が可能となります。



注 1.　SSn 端子入力はシングルマスタシステムでは不要です（インタフェースは SPMR.SSE = 0 の設定で使用されます）。

図 26.95　簡易 SPI モードでの接続例（シングルマスタ時、SPMR.SSE ビット = 0）

26.9.1　マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード（SCR.CKE[1:0] = 00b または 01b、かつ SPMR.MSS = 0）と、スレーブモード（SCR.CKE[1:0] = 10b または 11b、かつ SPMR.MSS = 1）で、各端子の入出力方向が異なります。

表 26.39 に、端子状態、モード、および SSn 端子入力レベルの間の関係を示します。

表 26.39　モードおよび SSn 端子入力と各端子状態の関係

モード	SSn 端子入力	MOSIn 端子状態	MISOn 端子状態	SCKn 端子状態
マスタモード(注1)	High（通信可能）	送信データ出力(注2)	受信データ入力	クロック出力(注3)
	Low（通信不可）	ハイインピーダンス	受信データ入力（無効）	ハイインピーダンス
スレーブモード	High レベル（通信不可）	受信データ入力（無効）	ハイインピーダンス	クロック入力（無効）
	Low レベル（通信可能）	受信データ入力	送信データ出力	クロック入力

注 1.　シングルマスタ構成（SPMR.SSE = 0）のみの場合、SSn 端子の入力レベルにかかわらず、通信可能となります。これは、SSn 端子入力が High のときと等価です。
注 2.　シリアル送信禁止（SCR.TE ビット = 0）の場合、MOSIn 端子出力はハイインピーダンスです。
注 3.　マルチマスタ構成 (SPMR.SSE = 1) では、シリアル送受信禁止 (SCR.TE = 0 および SCR.RE = 0) の場合、SCKn 端子出力はハイインピーダンスです。

26.9.2　マスタモード時の SS 機能

SCR.CKE[1:0]ビットを 00b または 01b にして、SPMR.MSS ビットを 0 にすると、マスタモードになります。シングルマスタ構成（SPMR.SSE ビット = 0）では SSn 端子が使用されないため、SSn 端子の値にかかわらず送受信動作が可能です。

マルチマスタ構成（SPMR.SSE ビット = 1）において SSn 端子入力が High の場合、他にマスタが存在しないこと、あるいは別のマスタが送受信動作を行っていることを示すために、マスタデバイスは SCKn 端子からクロックを出力した後、送受信動作を開始します。

マルチマスタ構成（SPMR.SSE ビット = 1）において SSn 端子入力が Low の場合は、別のマスタが存在し、送受信動作中です。MOSIn 端子出力と SCKn 端子出力はハイインピーダンスになり、送受信動作を開始することができません。また、モードフォルトエラーとして SPMR.MFF ビットが 1 になります。マルチマスタ構成では、SPMR.MFF フラグを読むことでエラー処理を開始してください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止しませんが、送受信動作完了後の MOSIn 出力と SCKn 出力はハイインピーダンス状態です。

汎用ポート端子を使用して、マスタからの SS 出力信号を生成してください。

26.9.3　スレーブモード時の SS 機能

SCR.CKE[1:0]ビットを 10b または 11b にして、SPMR.MSS ビットを 1 にすると、スレーブモードになります。SSn 端子入力が High のとき、MISOn 出力端子の状態はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送信または受信動作が可能になります。

送信または受信動作中に SSn 端子入力が Low から High に変化した場合、MISOn 出力端子の状態をハイインピーダンスにします。なお、内部的な送信または受信処理は、SCKn 端子から入力されるクロックレートで継続し、1 キャラクタ分の送受信が完了すると、動作が停止して、割り込み（SCIn_TXI、SCIn_RXI、SCIn_TEI のいずれか）が発生します。

26.9.4　クロックと送受信データの関係

SPMR レジスタの CKPOL ビットと CKPH ビットを用いて、送受信に用いるクロックを 4 種類から選択できます。クロック信号と送受信データの関係を図 26.96 に示します。マスタモードとスレーブモードの両方で、クロックと送受信データの関係は同一です。これは、SSn 端子入力が High のときと等価です。

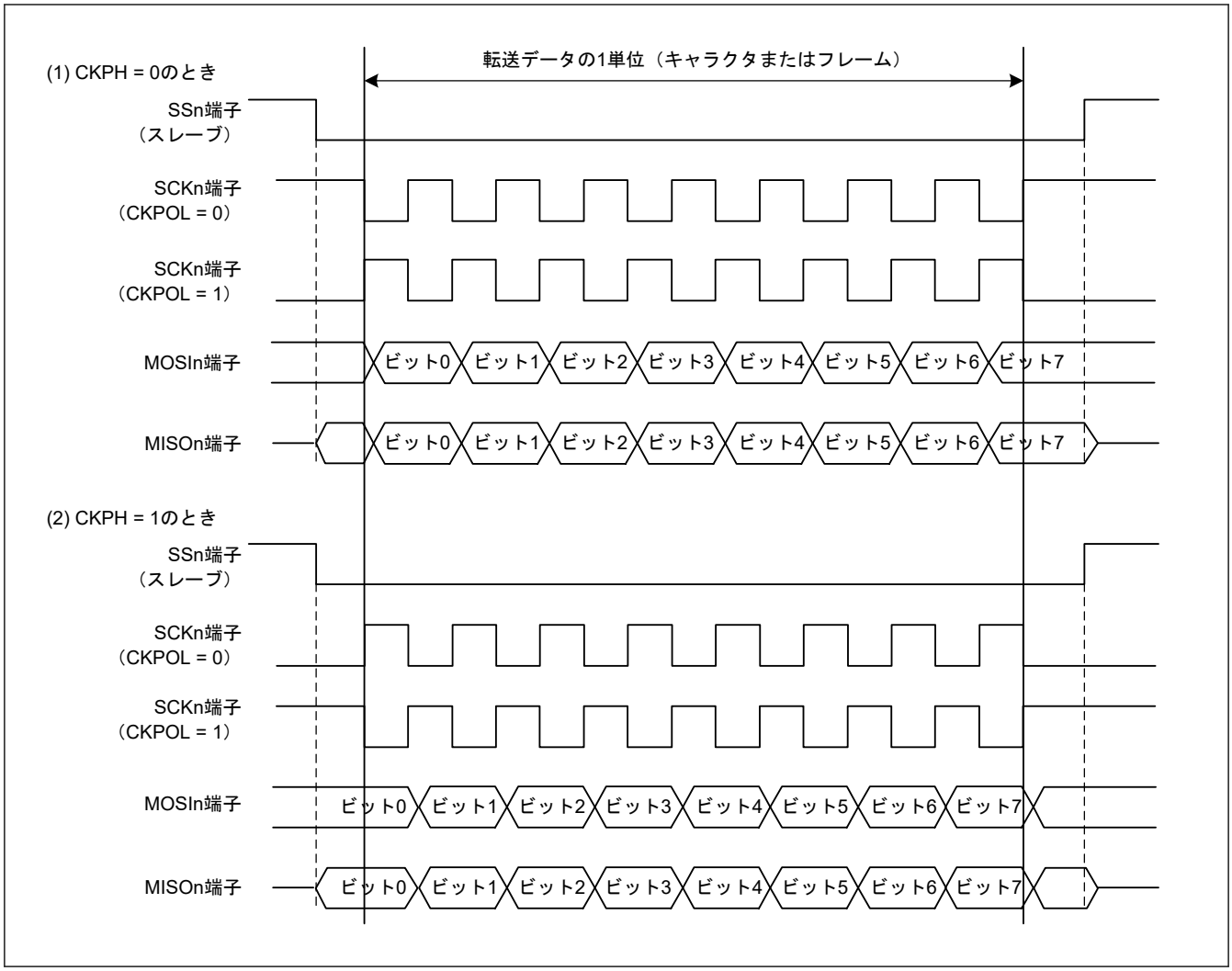


図 26.96　簡易 SPI モードにおけるクロックと送受信データの関係

26.9.5　SCI の初期化（簡易 SPI モード）

簡易 SPI モードでの初期化は、クロック同期式モードの場合と同じです。初期化フローの例は、「26.6.3. SCI の初期化（クロック同期式モード）」を参照してください。SPMR レジスタの CKPOL ビットと CKPH ビットは、マスタデバイスとスレーブデバイスの両方に適切なクロック信号となるように設定する必要があります。

動作モードや転送フォーマットに変更を加える場合は、必ず SCR レジスタを初期化してから行ってください。

注.　0 になるのは RE ビットのみです。SSR.ORER、FER、PER、RDR の各フラグは初期化されません。

SCR レジスタの TIE ビットが 1 のときに、TE ビットの値を 1 から 0、または 0 から 1 に変更すると、送信データエンプティ割り込み (SCIn_TXI) が発生します。

26.9.6　シリアルデータの送受信（簡易 SPI モード）

マスタモードでは、送受信先のスレーブデバイスの SSn 端子を、送受信開始前に Low にして、送受信終了後に High にしてください。それ以外の手順はクロック同期式モードと同様です。

26.10　ビットレート変調機能

ビットレート変調機能では、SMR/SMR_SMCI レジスタの CKS[1:0]ビットで選択された内部クロックの 256 クロックサイクルの間で、MDDR レジスタで指定した数を用いて、ビットレートを均一に補正することが可能です。

調歩同期式モードにおいて、PCLK が SMR/SMR_SMCI レジスタの CKS[1:0]ビットで選択されたとき、BRR と MDDR がそれぞれ 0 と 160 の場合の例を図 26.97 に示します。この例では、基本クロックの周期が均一に 256/160 に補正され、同時にビットレートも 160/256 に補正されています。

注.　内部クロックを有効にするとバイアスが発生し、内部基本クロックのパルス幅に伸縮が生じます。

クロック同期式モードと、簡易 SPI モードでの最高速設定（SMR.CKS[1:0] = 00b、SCR.CKE[1] = 0、および BRR = 0）では、この機能を使用しないでください。

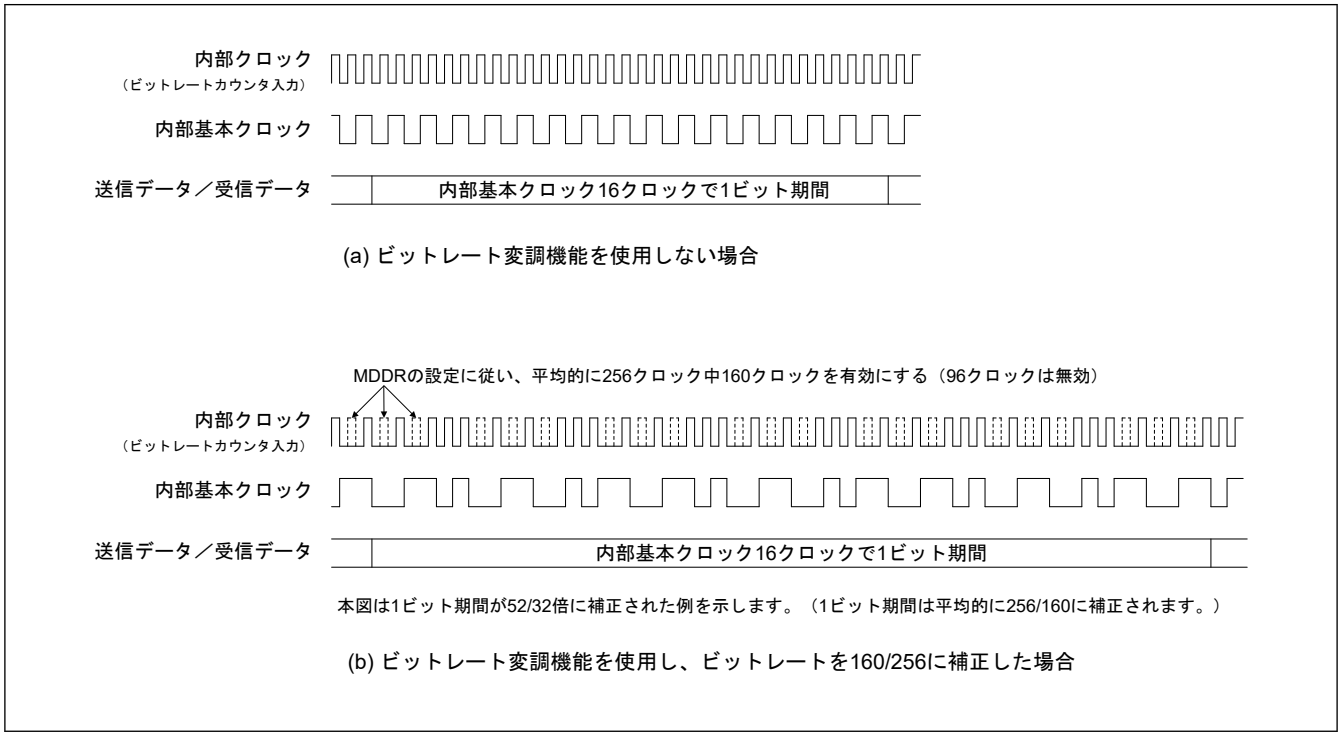


図 26.97　ビットレート変調機能使用時の内部基本クロックの例

26.11　割り込み要因

26.11.1　SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（非 FIFO 選択時）

ICU の割り込みステータスフラグが 1 のときは、SCIn_TXI 割り込みと SCIn_RXI 割り込みの発生条件が成立していても、ICU は割り込み要求を出力せず、内部で保存します（内部で保存できる容量は、1 要因ごとに 1 要求までです）。

ICU の割り込みステータスフラグが 0 になると、ICU 内に保持されていた割り込み要求が出力されます。割り込み要求が出力されると、内部で保持されていた割り込みは自動的に破棄されます。また、内部で保持されていた割り込み要求は、対応する割り込み許可ビット（SCR/SCR_SMCI レジスタの TIE ビットまたは RIE ビット）をクリアすることでも破棄できます。

26.11.2　SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（FIFO 選択時）

ICU の割り込みステータスフラグを 1 にすると、SCIn_TXI 割り込みと SCIn_RXI 割り込みは、ICU に対して割り込み要求を出力しません。ICU の割り込みステータスフラグを 0 にした場合に、SCIn_TXI 割り込みと SCIn_RXI 割り込みの条件が満たされていれば、割り込み要求が発生します。

26.11.3　調歩同期式モード、マンチェスタモード、クロック同期式モード、および簡易 SPI モードにおける割り込み

(1) 非 FIFO 選択時

表 26.40 に調歩同期式モード、マンチェスタモード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。

各割り込み要因には、異なる割り込みベクタの割り当てが可能です。SCR レジスタの許可ビットによって、割り込み要因を個別に許可または禁止することができます。

SCR.TIE ビットが 1 のとき、送信データが TDR レジスタまたは TDRHL レジスタ(注1)から TSR レジスタへ転送されると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることでも発生します。SCIn_TXI 割り込み要求を用いて DTC または DMAC を起動し、データ転送を行うことができます。

SCIn_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。(注2)

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが書き込まれていないと、SSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。また、SCR.TE ビットを 1 にしてから TDR レジスタまたは TDRHL レジスタ(注1)に送信データを書き込むまでの間は、SSR.TEND フラグは 1 を保持しており、SCR.TEIE ビットを 1 にすると SCIn_TEI 割り込み要求が発生します。

TDR レジスタまたは TDRHL レジスタ(注1)にデータを書き込むと、SSR.TEND フラグがクリアされて SCIn_TEI 割り込み要求は取り消されますが、取り消されるまである程度時間がかかります。

SCR.RIE ビットが 1 のとき、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。SCIn_RXI 割り込み要求を用いて DTC または DMAC を起動し、データ転送を行うことができます。

SCR.RIE ビットが 1 のとき、SSR レジスタの ORER、FER、PER、MER(注3)のいずれかのフラグが 1 になると、SCIn_ERI 割り込み要求が発生します。

このとき、SCIn_RXI 割り込み要求は発生しません。これら全てのフラグ（ORER、FER、PER、MER(注3)、SYER(注3)、PFER(注3)、SBER(注3)）のすべてをクリアすることによって、SCIn_ERI 割り込み要求を取り消すことができます。

注 1.　調歩同期式モードにおいて、データ長 9 ビットを選択した場合です。
注 2.　最終データの送信時に SCIn_TXI 割り込みを一時的に禁止して、送信終了割り込みによる処理を行った後、新たにデータ送信を開始したい場合は、SCR.TIE ビットではなく、ICU の割り込み要求許可ビットを用いて、割り込みの発行を制御してください。この方法によって、新しいデータの送信時に、SCIn_TXI 割り込み要求の発生が抑止されるのを防ぐことができます。
注 3.　MER、SYER、PFER、および SBER は、マンチェスタモードにおいてのみ SCIn_ERI 割り込み要因になります。SYER、PFER、および SBER はまた、その許可ビット（MECR の SYEREN、PFEREN、SBEREN）が 1 の場合のみ機能します。

(2) FIFO 選択時

表 26.41 に、FIFO モード選択時の割り込み要因を示します。

SCR.TIE ビットが 1 のとき、FTDRL レジスタに格納されたデータ量が FCR.TTRG で示されたしきい値以下になると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に 1 にする、または SCR.TE が 1 のときに SCR.TIE を 1 にすることでも発生します。

SCIn_TXI 割り込み要求は、SCR.TIE が 0 の状態で SCR.TE を 1 にした場合は発生しません。

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが FTDRL レジスタに書き込まれていないと、SSR_FIFO.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

SCR.RIE ビットが 1 のとき、FRDRL レジスタに格納されたデータ数が FCR.RTRG で指示されたしきい値以上になると、SCIn_RXI 割り込み要求が発生します。RTRG が 0 の場合は、受信 FIFO 内のデータ数が 0 であっても、SCIn_RXI 割り込み要求は発生しません。

SCR.RIE ビットが 1 のとき、SSR_FIFO.ORER フラグが 1 になるか、あるいは、フレーミングエラーまたはパリティエラーのあるデータが FRDRL レジスタに格納されると、SCIn_ERI 割り込み要求が発生します。FRDRL レジスに格納されたデータ数がしきい値以上であると、同時に SCIn_RXI 割り込み要求も発生します。SSR_FIFO の ORER、FER、PER フラグをすべてクリアすることで、SCIn_ERI 割り込み要求を取り消すことができます。

表 26.40　SCI の割り込み要因（非 FIFO 選択時） (1/2)

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI（n = 0, 9）	受信エラー(注1)	SSR.ORER、SSR.FER、SSR.PER、DCCR.DFER、DCCR.DPER、（SSR.MER、MESR.SYER、MESR.PFER、MESR.SBER）(注2)	SCR.RIE	不可

表 26.40　SCI の割り込み要因（非 FIFO 選択時） (2/2)

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_RXI（n = 0, 9）	受信データフル	SSR.RDRF	SCR.RIE	可能
	アドレス一致	DCCR.DCMF	SCR.RIE	可能
SCIn_AM (n = 0, 9)	アドレス一致	DCCR.DCMF	—	不可
SCIn_TXI（n = 0, 9）	受信データエンプティ	SSR.TDRE	SCR.TIE	可能
SCIn_TEI（n = 0, 9）	送信完了	SSR.TEND	SCR.TEIE	不可

注 1.　割り込みフラグが ORER になるのはクロック同期式モードおよび簡易 SPI モードのみです。
注 2.　MER、SYER、PFER、および SBER は、マンチェスタモードにおいてのみ ERI 割り込み要因になります。SYER、PFER、および SBER はまた、その許可ビット（MECR の SYEREN、PFEREN、SBEREN）が 1 の場合のみ機能します。

表 26.41　SCI の割り込み要因（FIFO 選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI（n = 0, 9）	受信エラー(注1)	SSR_FIFO.ORER, SSR_FIFO.FER, SSR_FIFO.PER, DCCR.DFER, DCCR.DPER	SCR.RIE	不可
		SSR_FIFO.DR （FCR.DRES = 1 の場合）	SCR.RIE	不可
SCIn_RXI（n = 0, 9）	受信データフル	SSR_FIFO.RDF	SCR.RIE	可能
	受信データレディ	SSR_FIFO.DR （FCR.DRES = 0 の場合）	SCR.RIE	可能
	アドレス一致	DCCR.DCMF	SCR.RIE	可能
SCIn_AM (n = 0, 9)	アドレス一致	DCCR.DCMF	—	不可
SCIn_TXI（n = 0, 9）	受信データエンプティ	SSR_FIFO.TDFE	SCR.TIE	可能
SCIn_TEI（n = 0, 9）	送信完了	SSR_FIFO.TEND	SCR.TEIE	不可

注 1.　割り込みフラグが ORER になるのはクロック同期式モードおよび簡易 SPI モードのみです。

26.11.4　スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 26.42 の割り込み要因があります。このモードでは、送信終了割り込み (SCIn_TEI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

表 26.42　SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_ERI（n = 0, 9）	受信エラー、エラーシグナル検出	SSR_SMCI.ORER, SSR_SMCI.PER, SSR_SMCI.ERS	SCR_SMCI.RIE	不可
SCIn_RXI（n = 0, 9）	受信データフル	SSR_SMCI.RDRF	SCR_SMCI.RIE	可能
SCIn_TXI（n = 0, 9）	送信データエンプティ	SSR_SMCI.TEND	SCR_SMCI.TIE	可能

スマートカードインタフェースモードの場合も、通常の SCI モードと同様に、DTC または DMAC を使用した送受信が可能です。送信時に SSR_SMCI.TEND フラグが 1 であれば、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中は、TEND フラグが 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生後の再送信を含め、SCI と DTC または DMAC が、指定されたバイト数を自動的に送信します。ただし、エラー発生時に SSR_SMCI.ERS フラグは自動的に 0 になりません。そのため、あらかじめ SCR_SMCI.RIE ビットを 1 にしておき、エラー発生時に SCIn_ERI 割り込み要求を発生させることで、ERS フラグをクリアしてください。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。DTC または DMAC の設定方法については、「16. データトランスファコントローラ (DTC)」、「15. DMA コントローラ (DMAC)」を参照してください。

受信動作では、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。エラーが発生した場合は、エラーフラグがセットされます。そのため、DTC または DMAC は起動せず、代わりに CPU に対して SCIn_ERI 割り込み要求が発行されます。エラーフラグをクリアしてください。

26.11.5　簡易 IIC モードにおける割り込み

表 26.43 に、簡易 IIC モードにおける割り込み要因を示します。STI 割り込みは、送信終了割り込み (SCIn_TEI) 要求に割り当てられます。受信エラー割り込み (SCIn_ERI) 要求とアドレス一致 (SCIn_AM) 要求は使用できません。

簡易 IIC モードにおいても、DTC または DMAC を使用した送受信が可能です。

IMR2.IICINTM ビットが 1 のとき

- SCLn 信号の 8 ビット目の立ち下がりで、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。
- また、SCLn 信号の 9 ビット目（アクノリッジビット）の立ち下がりエッジで、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。

IMR2.IICINTM ビットが 0 のとき

- SCLn 信号の 9th ビット目（アクノリッジビット）の立ち上がりで、SDAn 端子入力が Low であると、SCIn_RXI 割り込み要求（ACK 検出）が発生します。
- SCLn 信号の 9th ビット目（アクノリッジビット）の立ち上がりで、SDAn 端子入力が High であると、SCIn_TXI 割り込み要求（NACK 検出）が発生します。
- あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開始条件、または停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 26.43　SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTC または DMAC の起動
SCIn_RXI（n = 0, 9）	受信、ACK 検出	—	SCMR.RIE	可能(注1)
SCIn_TXI（n = 0, 9）	送信、NACK 検出	—	SCMR.TIE	可能
SCIn_TEI (STIn)（n = 0, 9）	開始条件、再開始条件、停止条件生成終了	SIMR3.IICSTIF	SCMR.TEIE	不可

注 1.　SIMR2.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）の場合にのみ、DTC または DMAC の起動が可能です。

26.12　イベントリンク機能

SCIn は、各割り込み要因をイベントとしてイベントリンクコントローラ (ELC) へ出力し、あらかじめ設定しておいたモジュールを動作させることが可能です。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力させることが可能です。

(1) エラーイベント出力（受信エラーまたはエラーシグナル検出時）（SCIn_ERI、n = 0, 9）

- 調歩同期式モードで、受信中にパリティエラーが発生して異常終了したことを示します。
- 調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します。
- 受信中にオーバーランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで、送信時にエラー信号が検出されたことを示します。
- FIFO 選択時かつ FCR.DRES ビットが 1 の場合、SSR_FIFO レジスタの FER フラグと PER フラグが 0 であり、受信 FIFO データトリガ数より少ない受信データが受信 FIFO バッファに格納され、15 ETU 経過したことを示します。

(2) 受信データフルイベント出力（SCIn_RXI、n = 0, 9）

- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、ACK が検出されたことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 8 ビット目の立ち下がりが検出されたことを示します。
- 簡易 IIC モードでのマスタ送信時に、SIMR2.IICINTM ビットが 1 のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ (ELC) を設定してください。

非 FIFO 選択時

- 受信データが受信データレジスタ（RDR または RDRHL）に格納されたことを示します。

FIFO 選択時

- このイベント出力は使用しないでください。

(3) 送信データエンプティイベント出力（SCIn_TXI、n = 0, 9）

- SCR/SCR_SMCI.TE ビットが 0 から 1 に変化したことを示します。
- スマートカードインタフェースモードで、送信が完了したことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、NACK が検出されたことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 9 ビット目の立ち下がりが検出されたことを示します。

非 FIFO 選択時

- 送信データが送信データレジスタ（TDR または TDRHL）から送信シフトレジスタ (TSR) へ転送されたことを示します。

FIFO 選択時

- このイベント出力は使用しないでください。

(4) 送信終了イベント出力（SCIn_TEI、n = 0, 9）

- 送信が完了したことを示します。
- 簡易 IIC モードで、開始条件、再開始条件、停止条件の生成が完了したことを示します。

注. FIFO が選択されている場合、このイベント出力は使用しないでください。

(5) アドレス一致イベント出力（SCIn_AM、n = 0, 9）

- 調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが 1 の場合、比較データ (CDR.CMPD) と受信データの 1 フレームが一致したことを示します。

26.13　アドレス不一致イベント出力 (SCI0_DCUF)

調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが 1 の場合、比較データ (CDR.CMPD) と受信データの 1 フレームが一致しなかったことを示します。このイベントは、スヌーズ終了要求に対してのみ使用可能です。詳細は、「10. 低消費電力モード」を参照してください。

26.14　ノイズ除去機能

図 26.98 にノイズ除去機能に用いるノイズフィルタの構成を示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号と、2 段のフリップフロップ回路の出力信号が完全に一致したとき、一致したレベルが内部信号として伝えられます。一致しない場合は前の値が保持されます。ノイズフィルタのサンプリングクロックで、同じレベルが 3 サイクル以上保持された場合、有効な受信信号とみなされます。3 サイクルに達する前にパルスが変化した場合、それは受信信号ではなく、ノイズとみなされます。

調歩同期式モードでは、RXDn 端子に入力される受信信号にノイズ除去機能を使用できます。RXDn 端子の受信レベルは、調歩同期式モードの基本クロックを使用して、ノイズフィルタのフリップフロップ回路に取り込まれます。

- SEMR.ABCS = 0 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット期間の 1/16 となります。
- SEMR.ABCS = 1 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット期間の 1/8 となります。
- SEMR.ABCSE = 1 の場合、周期は 1 ビット期間の 1/6 となります。

簡易 IIC モードでは、SDAn 端子と SCLn 端子の各入力信号に、この機能を使用できます。サンプリングクロックは、ボーレートジェネレータの分周クロックの設定 SNFR.NFCS[2:0]ビットから選択されます。

ノイズフィルタが有効な状態で基本クロックをいったん停止させ、その後、基本クロック入力を再開させた場合、ノイズフィルタは、クロック停止時の状態から動作を再開します。基本クロックの入力中に SCR.TE ビットと SCR.RE ビットを 0 にすると、ノイズフィルタのフリップフロップ値はすべて 1 に初期化されます。したがって、受信再開時の入力データが 1 の場合は、レベル一致が検出されたと判断され、その結果が内部信号として伝えられます。入力レベルが 0 の場合は、サンプリングサイクルで連続して 3 回信号のレベルが一致するまで、ノイズフィルタの最初の出力値が保持されます。

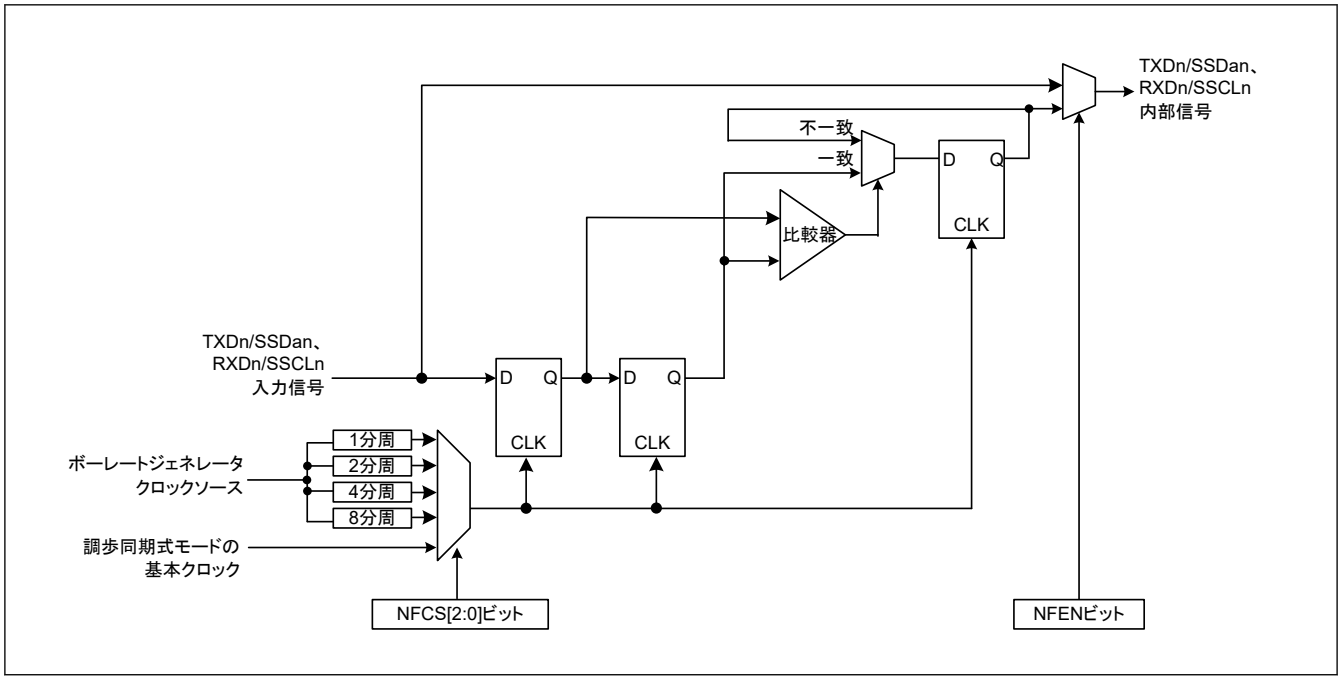


図 26.98　デジタルノイズフィルタ回路のブロック図

26.15 使用上の注意

26.15.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作禁止／許可を設定できます。SCI は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

26.15.2 低消費電力状態での SCI の動作について

(1) 送信

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、TXDn 端子を汎用入出力ポート機能に切り替えた後、送信動作を停止（SCR/SCR_SMCI レジスタの TIE、TE、TEIE ビットを 0）にしてください。入出力ポートを SCI 接続に設定すると、SPTR レジスタによって TXDn 端子状態の制御が可能になります。TE ビットを 0 にすることにより、TSR レジスタが初期化され、SSR/SSR_SMCI レジスタの TEND ビットは、1 にリセットされます（非 FIFO 選択時）。また、FIFO 選択時には値が保持されます。モジュールストップ状態またはソフトウェアスタンバイモードから復帰した後の出力端子の状態は、ポートの設定と SPTR レジスタの設定に依存し、低消費電力状態へ遷移する前のレベルを出力する場合があります。送信中に低消費電力状態へ遷移すると、送信中のデータは不定になります。

低消費電力状態を解除した後、同じ送信モードで送信する場合は、以下の手順を実行します。

1. TE ビットを 1 にします。
2. SSR/SSR_FIFO/SSR_SMCI レジスタを読み出します。
3. 連続して TDR レジスタへの書き込みを行い、データ送信を開始します。

異なる送信モードで送信する場合は、SCI の初期化からやり直してください。

図 26.99 に、送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。図 26.100 と図 26.101 に、ソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

DTC 転送または DMAC 転送による送信モードから、モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、事前に送信動作を停止 (TE = 0) にしてください。低消費電力状態の解除後に DTC または DMAC による送信を開始する場合は、TE ビットを 1 にしてください。SCIn_TXI 割り込みフラグが 1 になり、DTC または DMAC による送信が開始します。

(2) 受信

ウェイクアップ条件としてアドレス一致検出機能を使用しない場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、事前に受信動作を停止 (SCR/SCR_SMCI.RE = 0) にしてください。データ受信中に遷移すると、受信中のデータは無効になります。

図 26.102 に、受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

ウェイクアップ条件としてアドレス一致検出機能を使用する場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、事前に以下の手順を実行します。

1. 低消費電力状態解除後の動作を設定します。
2. CDR.CMPD ビットと DCCR.DCME ビットを 1 にします。
3. 受信動作を許可 (SCR/SCR_SMCI.RE = 1) にします。
4. モジュールストップ状態またはソフトウェアスタンバイモードを設定します。

SCI が低消費電力モードへ遷移するとき、受信データ端子 (RXDn) が Low であれば、SEMR.RXDESEL を 0 にしてください。

SEMR.RXDESEL が 1 になっていると、低消費電力モードの解除時にスタートビット（RXDn 端子の立ち下がり）が検出されない可能性があります。

図 26.103 に、アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合のフロー例を示します。

SCI0 をスヌーズモードで使用する場合

SCI0 をスヌーズモードで使用する場合は、最大ビットレートなどのいくつかの制約事項があります。詳細は「10. 低消費電力モード」を参照してください。

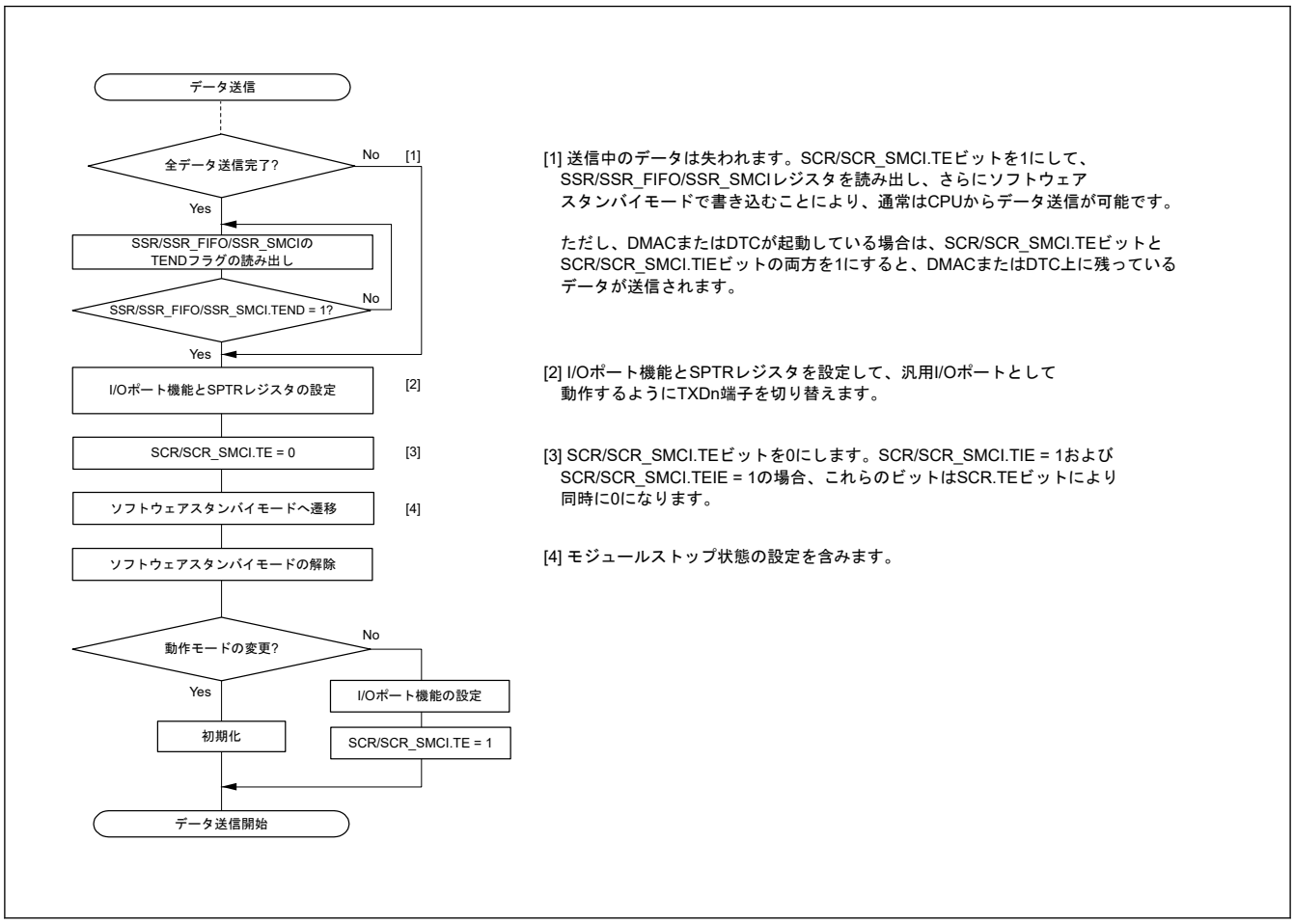


図 26.99 送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

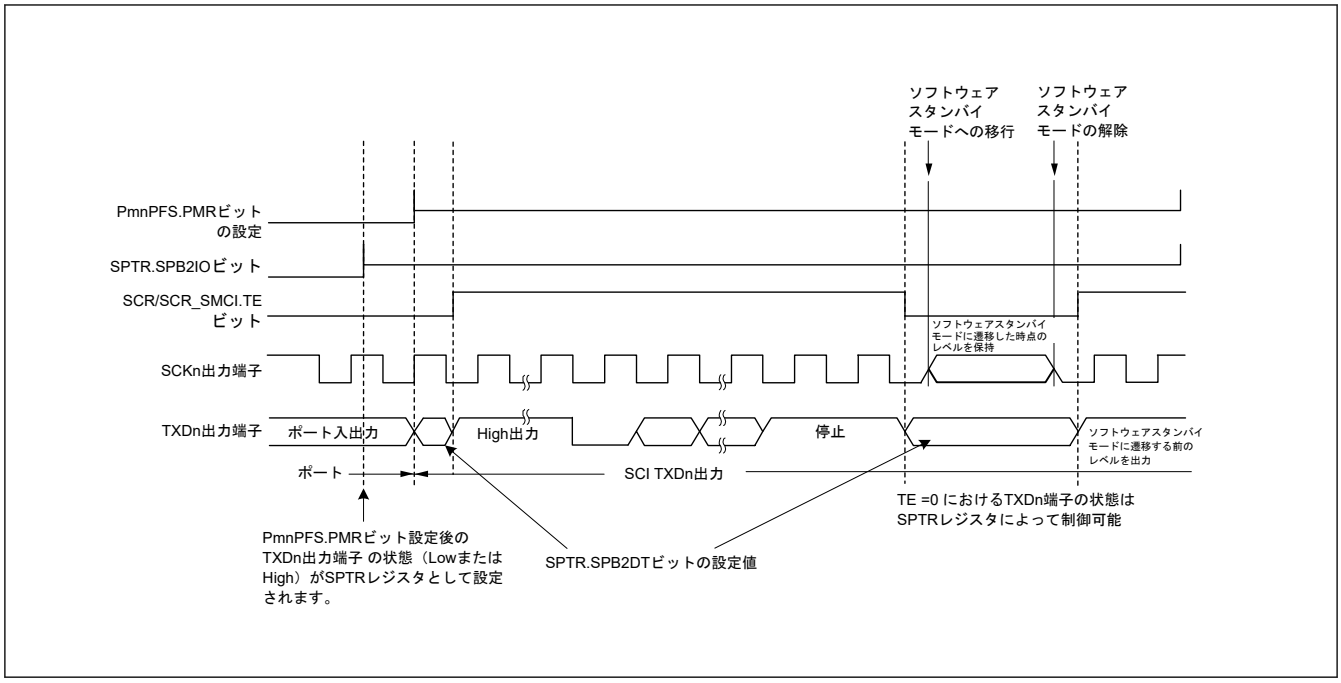


図 26.100　ソフトウェアスタンバイモード遷移中のポートの端子状態（内部クロック、調歩同期式送信）

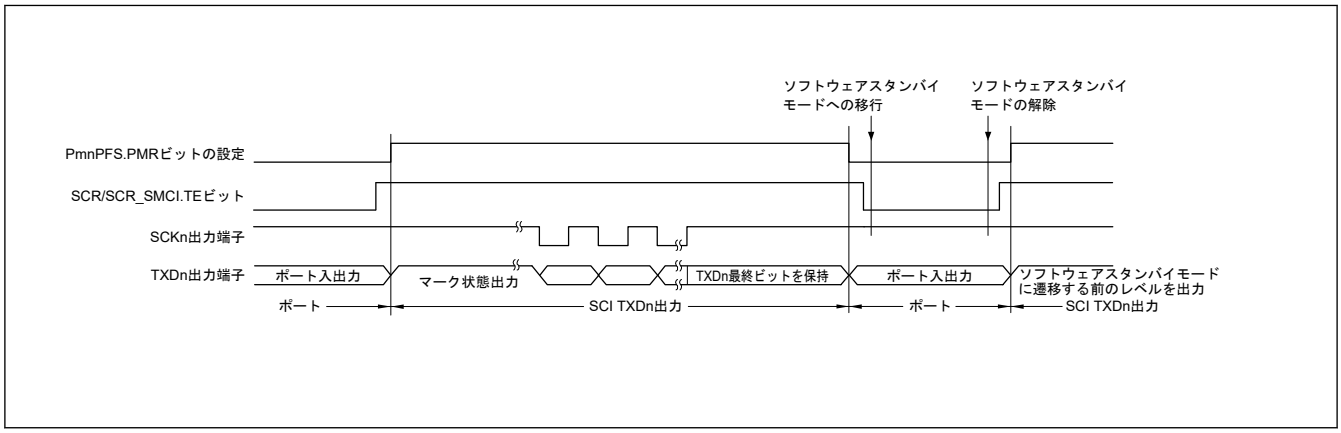


図 26.101　ソフトウェアスタンバイモード遷移中のポートの端子状態（内部クロック、クロック同期式送信）

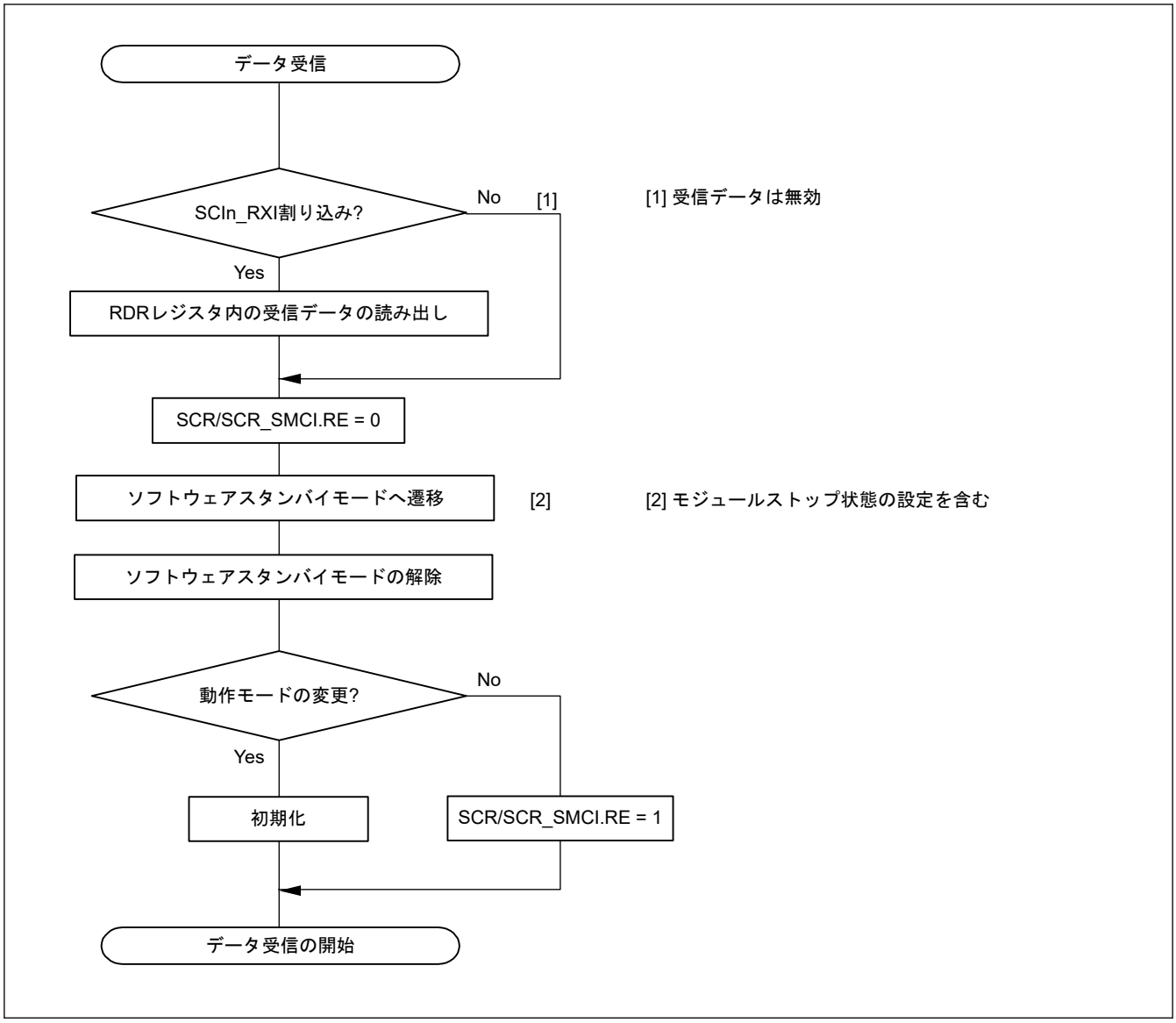


図 26.102　受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

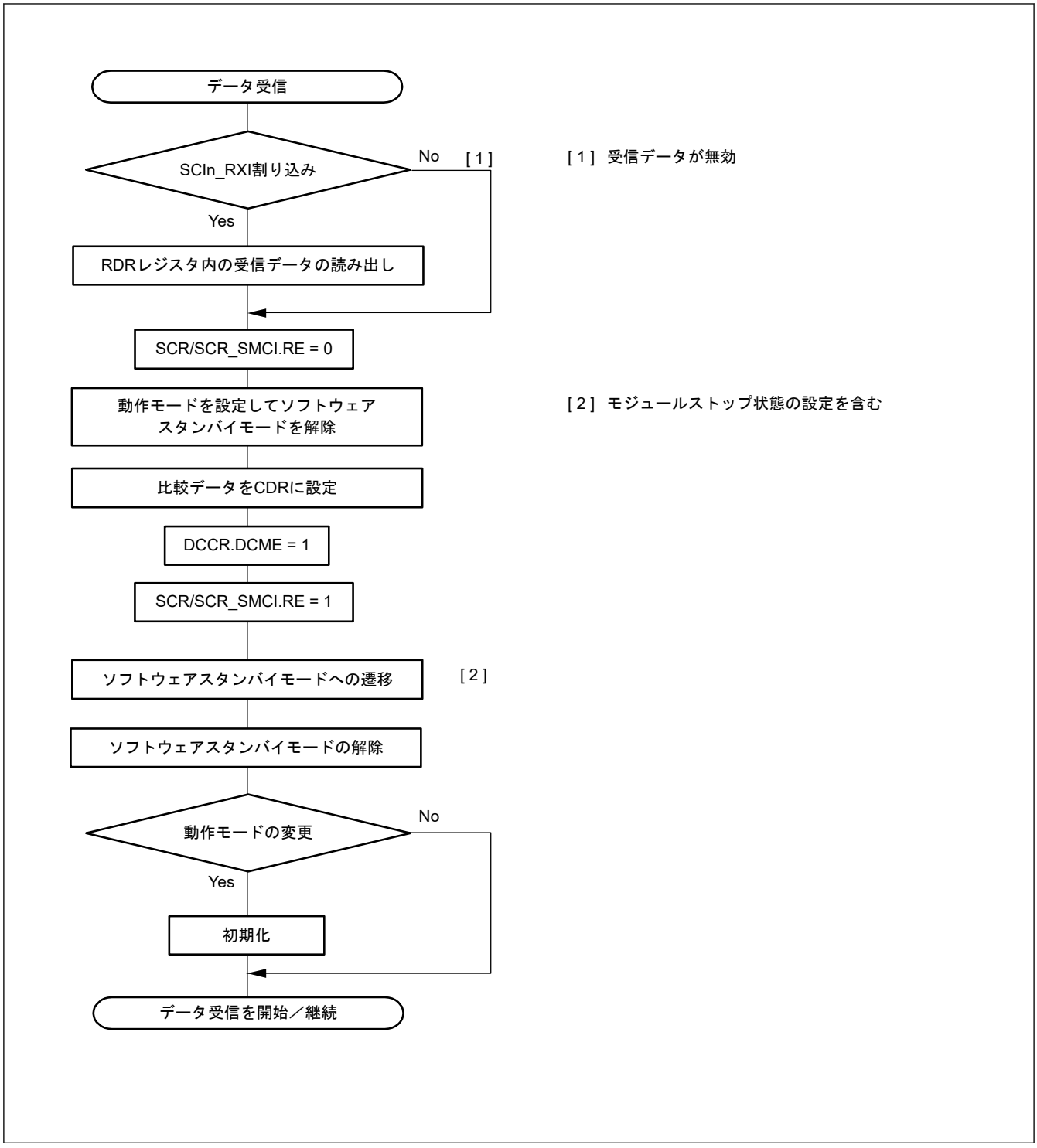


図 26.103　アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

26.15.3　ブレークの検出と処理について

(1) 非 FIFO 選択時

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できます。ブレークでは、RXDn 端子からの入力がすべて 0 になるため、SSR.FER フラグが 1（フレーミングエラーの発生あり）になり、さらに SSR.PER フラグも 1（パリティエラーの発生あり）になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0（フレーミングエラーの発生なし）にしても、再び FER フラグが 1 になります。SEMR.RXDESEL ビットが 1 のとき、SCI は、SSR.FER フラグを 1 にして、次のデ

ータフレームのスタートビットが検出されるまで、受信動作を停止します。このとき、SSR.FER フラグが 0 であれば、ブレーク中は SSR.FER フラグは 0 を保持します。

RXDn 端子が 1 になってブレークが終了した後、最初の RXDn 端子の立ち下がりエッジでスタートビットの先頭を検出すれば、受信動作を開始させることが可能です。

(2) FIFO 選択時

フレーミングエラーが検出された後、SCI によって 1 フレーム分の連続する受信データが 0 であることが検出された場合、受信動作が停止します。フレーミングエラー検出時に、SPTR.RXDMON フラグの値を読み出すことでブレークの検出が可能です。RXDn 信号が High になってブレークが終了した後、FRDRHL レジスタへのデータ受信が再開されます。

26.15.4 マーク状態とブレークの送出

SCR/SCR_SMCI.TE ビットが 0（シリアル送信動作を禁止）のとき、SPTR.SPB2IO ビットと SPTR.SPB2DT ビットを用いて TXDn 端子状態の設定が可能です。この方法により、TXDn 端子をマーク状態にして、ブレークを送出できます。

SCR/SCR_SMCI.TE ビットを 1（シリアル送信動作を許可）にする前に、SPB2IO ビットと SPB2DT ビットによって通信回線をマーク状態（1 の状態）に設定し、I/O ポート機能を用いて TXDn 端子を変更してください。データ送信時にブレークを出力したいときは、SPB2IO ビットと SPB2DT ビットによって TXDn 端子を 0 出力に設定した後、I/O ポート機能を用いて TXDn 端子を変更し、SCR/SCR_SMCI.TE ビットを 0 にしてください。SCR/SCR_SMCI.TE ビットを 0 にすると、現在の送信状態とは無関係に送信部は初期化されます。

26.15.5 受信エラーフラグと送信動作について（クロック同期式モードおよび簡易 SPI モード）

受信エラーフラグ (SSR/SSR_FIFO.ORER) が 1 の状態では、TDR または FTDRL(注1)レジスタにデータを書き込んでも、送信は開始されません。送信を開始する前に、受信エラーフラグは必ず 0 にしてください。

注. SCR/SCR_SMCI.RE ビットを 0（シリアル受信動作を禁止）にしても、受信エラーフラグは 0 になりません。

注 1. 簡易 SPI モードでは、FTDRH レジスタを使用しないでください。

26.15.6 クロック同期送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード）

同期クロックに外部クロックソースを使用する場合、以下の制限事項があります。

(1) 送信開始時

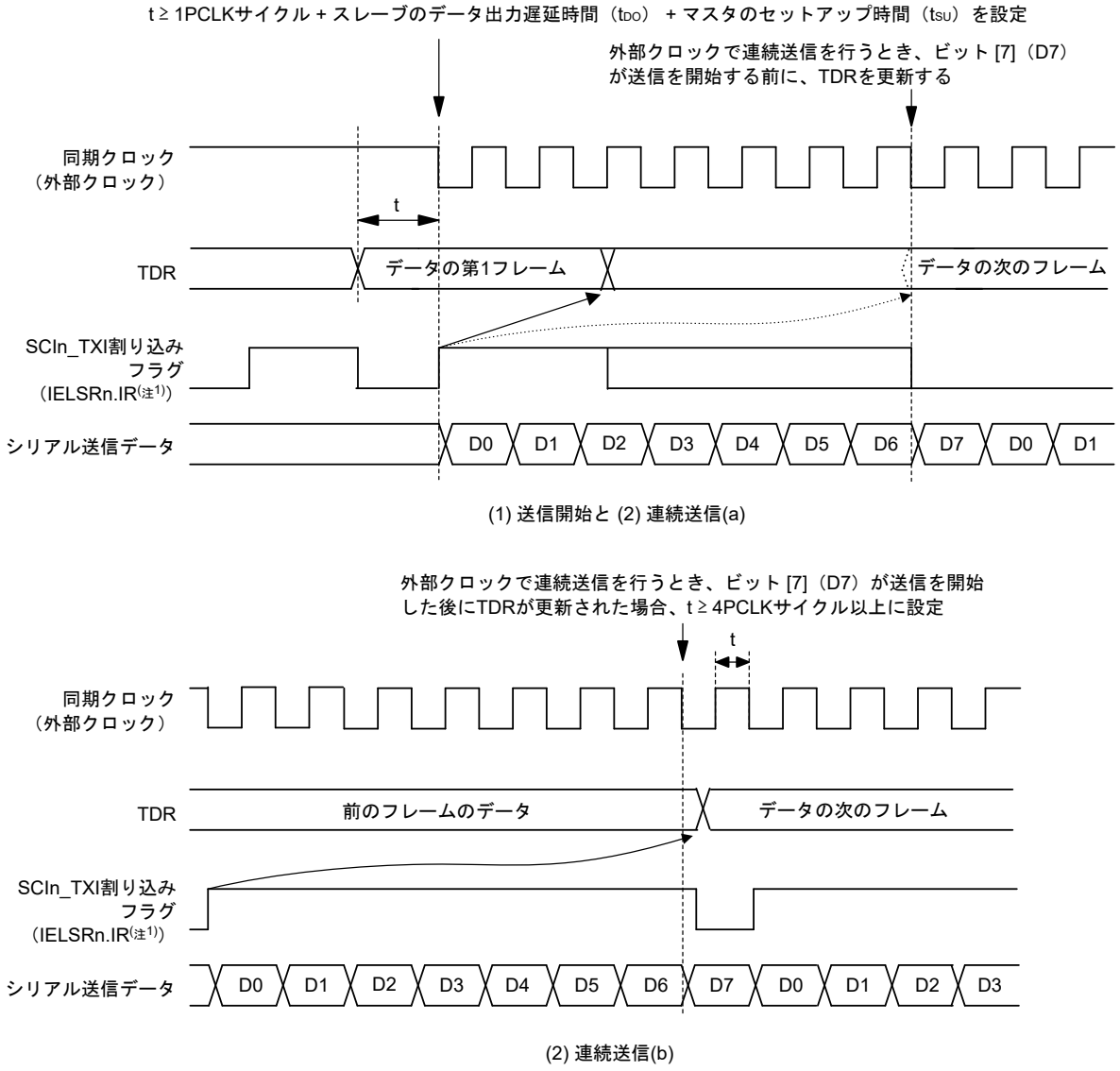
TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください。

1PCLK + スレーブのデータ出力遅延時間 (t_{DO}) + マスタのセットアップ時間 (t_{SU}) 図 26.104 を参照してください。

(2) 連続送信時

送信クロックのビット[7]の立ち下がりエッジ以前に、TDR または TDRHL レジスタに次の送信データを書き込んでください。図 26.104 を参照してください。

ビット[7]送信開始以降に TDR レジスタを更新する場合は、同期クロックが Low の期間に TDR を更新し、かつ送信クロックの 7 ビット目の High 幅を、4PCLK サイクル以上にしてください。図 26.104 を参照してください。



注 1.　対応する割り込みイベント番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

図 26.104　クロック同期式送信時の外部クロック使用に関する制約事項

26.15.7　DTC または DMAC 使用時の制約事項

DTC または DMAC による送受信動作中は、DTC または DMAC に転送データを設定しないでください。

(1)　TDR (FTDRHL) レジスタへの書き込み

非 FIFO 選択時

TDR および TDRHL レジスタにデータを書き込むことが可能です。ただし、TDR または TDRHL レジスタに送信データが残っている状態で、TDR または TDRHL レジスタに新しいデータを書き込むと、残っていたデータは TSR レジスタへ転送されず、失われます。DTC または DMAC を使用する場合、TDR または TDRHL レジスタへの送信データの書き込みは、必ず SCIn_TXI 割り込み要求の処理ルーチンで行ってください。

FIFO 選択時

SCR.TE ビットが 1 の場合に、FTDRH および FTDRL レジスタにデータを書き込むことが可能です。FDR.T[4:0] ビットによって、書き込み可能なデータ数を確認してください。

(2) RDR (FRDRHL) レジスタからの読み出し

DTC または DMAC を用いて RDR および RDRHL レジスタを読み出すときは、対応する SCI の起動要因として、必ず受信データフル割り込み (SCIn_RXI) を設定してください。

26.15.8 通信の開始に関する注意事項

通信開始時点で ICU の割り込みステータスフラグ（IELSRn.IR フラグ）が 1 のときは、動作許可（SCR/SCR_SMCI.TE ビットまたは SCR/SCR_SMCI.RE ビットを 1）にする前に、以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

1. 通信が停止していること（SCR/SCR_SMCI.TE ビットまたは SCR/SCR_SMCI.RE ビットが 0 になっていること）を確認します。
2. 対応する割り込み許可ビット（SCR/SCR_SMCI.TIE ビットまたは SCR/SCR_SMCI.RIE ビット）を 0 にします。
3. 対応する割り込み許可ビット（SCR/SCR_SMCI.TIE ビットまたは SCR/SCR_SMCI.RIE ビット）を読み出して、実際に 0 になっていることを確認します。
4. ICU の割り込みステータスフラグ（IELSRn.IR フラグ）を 0 にします。

26.15.9 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードと簡易 SPI モードでは、外部クロック SCKn 入力を下記のように設定してください。

High パルス期間および Low パルス期間は 2PCLK 以上、周期は 6PCLK 以上

26.15.10 簡易 SPI モードに関する制限事項

(1) マスタモード

- SPMR.SSE ビットが 1 の場合、SPMR.CKPH ビットと CKPOL ビットで設定した送受信クロックの初期値に合わせて、クロック線を抵抗でプルアップまたはプルダウンしてください。

  これによって、SCR.TE ビットを 0 にしたときにクロック線がハイインピーダンス状態になったり、SCR.TE ビットを 0 から 1 に変更したときにクロック線に意図しないエッジが発生したりするのを防止できます。シングルマスタモードで SPMR.SSE ビットが 0 の場合は、SCR.TE ビットを 0 にしてもクロック線はハイインピーダンスにならないので、プルアップまたはプルダウンは不要です。
- クロック遅れあり（SPMR.CKPH ビット = 1）では、図 26.105 に示すように、SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (SCIn_RXI) が発生します。SCR レジスタの TE ビットと RE ビットを SCKn 端子の最終クロックエッジより前に 0 にすると、SCKn 端子出力がハイインピーダンスとなり、送受信クロックの最後のクロックパルス幅が短くなります。また、SCIn_RXI 割り込みの発生によって、SCKn 端子の最終クロックエッジより前に接続先スレーブの SSn 端子入力信号が High になった場合、スレーブが誤動作する可能性があります。
- マルチマスタ構成では、キャラクタ転送中にモードフォルトエラーが発生すると、SSn 端子入力が Low の間に、SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

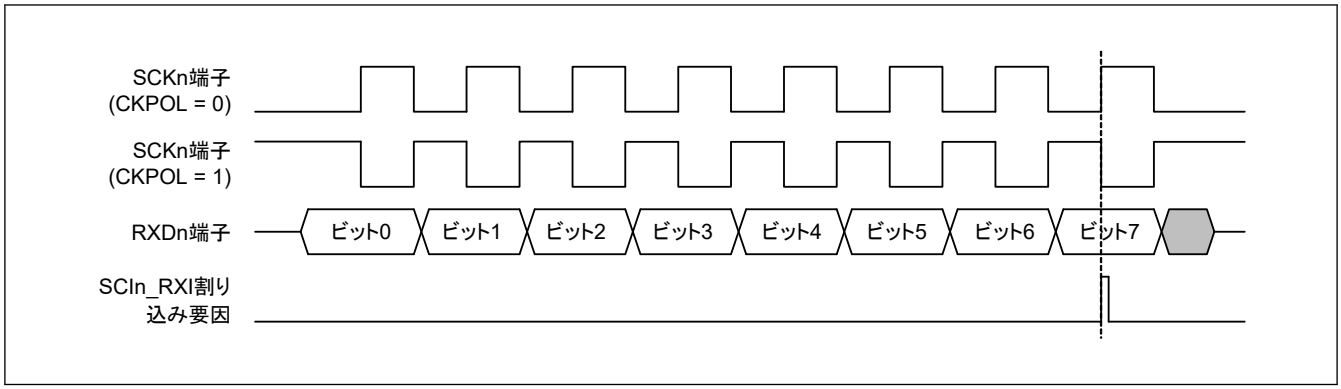


図 26.105　簡易 SPI モードにおける SCIn_RXI 割り込みの発生タイミング（クロック遅れあり）

(2)　スレーブモード

- TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください。

  1PCLK + スレーブのデータ出力遅延時間 (t_{DO}) + マスタのセットアップ時間 (t_{SU})

  また、SSn 端子への Low 入力から、外部クロック入力の開始までについても、5PCLK 以上の待機時間を確保してください。
- マスタからの外部クロックの供給は、転送データ長に合わせてください。
- SSn 端子入力は、データ転送開始前と完了後に制御してください。
- キャラクタの転送中に SSn 端子への入力レベルが Low から High に変化した場合は、SCR レジスタの TE ビットと RE ビットを 0 にして、設定を回復後に 1 バイト目から転送をやり直してください。

26.15.11　送信許可ビット (SCR.TE) に関する注意事項

SCR.TE ビットが 0 のとき、初期レジスタ値において、TXDn 端子の状態がハイインピーダンスになります。以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

1. プルアップ抵抗を TXDn ラインに接続する。
2. SCR.TE ビットを 0 にする前に、端子機能を汎用の出力ポートに変更する。その後、SCR.TE ビットを 1 にした後、端子機能を TXDn に変更する。
3. 調歩同期式モードにおいて SCR.TE ビットが 0 の場合に、SPTR を設定し、TXDn 端子に対して決定されたレベルを設定します。

簡易 SPI モードのスレーブ動作では、MISOn 端子は上記 TXDn 端子と同様の動作をします。MISOn 端子は TXDn 端子と同様に、上記の 1.と 2.により、ハイインピーダンスにしないでください。

26.15.12　調歩同期式モードで RTS 機能を使用した時の受信の停止について

調歩同期式モードにおいて、SCR.RE ビットを 0 に設定してから RTS 信号ジェネレータを停止するまでに PCLK の 1 クロックサイクルが必要です。

SCR.RE ビットを 0 に設定した後で RDR（または RDRHL）レジスタから読み出すときは、これら 2 つの処理が続けて実行されることを防ぐために、RDR（または RDRHL）レジスタから読み出す前に SCR.RE ビットが 0 に設定されていることを確認してください。

27. I3C バスインタフェース (I3C)

27.1 概要

27.1.1 機能概要

I3C バスインタフェース (I3C) には 1 チャネルあります。I3C は、NXP 社の I^{2}C (Inter-Integrated Circuit) および MIPI 社の I3C バスインタフェース方式に準拠しており、それらのサブセット機能を備えています。

本章では、PCLK は PCLKA を指し、TCLK は I3CCLK を指します。

表 27.1 に I^{2}C の仕様を、表 27.2 に I3C の仕様を示します。

表 27.1 I^{2}C の仕様 (1/2)

項目	説明
動作モード	マスタ／スレーブモードを選択可能
データハンドラ	シングルバッファ転送
通信プロトコル	• I^{2}C バスフォーマット – スタンダードモード (Sm) : 0～100 kbps – ファストモード (Fm) : 0～400 kbps – ファストモードプラス (Fm+) : 0～1 Mbps – High-speed モード（Hs モード）: 0～3.4 Mbps • SMBus フォーマット : 10～100 kbps
アドレスフォーマット	• 7 ビットアドレス • 10 ビットアドレス
アドレス検出	• スレーブアドレス（スタティックアドレス）（最大 3 アドレス） • ジェネラルコールアドレス • Hs モードマスタコード • デバイス ID • ホストアドレス • 10 ビットスレーブアドレッシング
クロックストレッチ	クロックストレッチ能力
ノイズフィルタ	• アナログノイズフィルタ • デジタルノイズフィルタ
割り込み要因	• 受信データバッファフル • 送信データバッファエンプティ • スタートコンディション検出 • ストップコンディション検出 • 送信終了 • NACK 検出 • アービトレーションロスト • タイムアウト検出 • ウェイクアップ条件検出
エラー検出	• 回復不能内部エラー • NACK 受信 • 受信オーバーフローエラー／転送アンダーフローエラー • アービトレーションロストエラー • タイムアウトエラー
イベントリンク出力	• 受信データバッファフルイベント • 送信データバッファエンプティイベント • スタートコンディションイベント • ストップコンディションイベント • 送信終了イベント • NACK イベント • アービトレーションロストイベント • タイムアウトイベント
ウェイクアップ要因	スレーブアドレスのアドレス検出

表 27.1 I²C の仕様 (2/2)

項目	説明
TrustZone フィルタ	セキュリティおよび特権属性を設定できます。

表 27.2 I3C 仕様 (1/2)

パラメータ	仕様
動作モード	マスタ（メインマスタ／セカンダリマスタ）モード／スレーブモードを選択可能
データハンドラ	● マスタ： – 優先 FIFO バッファ転送 – 通常 FIFO バッファ転送 ● スレーブ： – 通常 FIFO バッファ転送
通信プロトコル	● SDR（I3C シングルデータレート）モード – プライベートメッセージ – ブロードキャストメッセージ（共通コマンドコード） – ダイレクトメッセージ（共通コマンドコード） ● レガシー I²C メッセージ – ファストモード (Fm)：0～400 kbps – ファストモードプラス (Fm+)：0～1 Mbps
In-band 割り込み	● スレーブ割り込み要求 ● バス権要求（セカンダリマスタのみ）
アドレスフォーマット	7 ビットアドレス
アドレス検出	● スレーブアドレス（スタティックアドレスまたはダイナミックアドレス） ● ブロードキャストアドレス (0x7E)
クロックストール	クロックストール能力
タイミングコントロール	● 同期タイミングコントロール – 同期モード：同期基本モード ● 非同期タイミングコントロール – 非同期モード 0：非同期基本モード – 非同期モード 1：非同期拡張モード
割り込み要因	● 回復不能内部エラー ● 通信エラー ● 転送アボート ● レスポンスキューフル ● コマンドキューエンプティ ● IBI ステータスキューフル ● 受信データバッファフル ● 送信データバッファエンプティ ● 受信ステータスキューフル ● スタートコンディション検出 ● ストップコンディション検出 ● HDR 終了パターン検出 ● タイムアウト検出 ● ウェイクアップ条件検出
エラー検出	● 回復不能内部エラー ● CRC エラー ● パリティエラー ● フレームエラー ● アドレスヘッダエラー ● アドレス NACK／ダイナミックアドレス割り当て NACK ● 受信オーバーフローエラー／転送アンダーフローエラー ● 中断 ● I²C 書き込みデータ転送に対し、NACK 受信 ● タイムアウトエラー

表 27.2 I3C 仕様 (2/2)

パラメータ	仕様
イベントリンク出力	• レスポンスバッファフルイベント • コマンドバッファエンプティイベント • IBI ステータスバッファフルイベント • 受信データバッファフルイベント • 送信データバッファエンプティイベント • 受信ステータスバッファフルイベント • スタートコンディションイベント • ストップコンディションイベント • タイムアウトイベント • 同期タイミングイベント • MREF カウンタオーバーフローイベント • MREF キャプチャイベント • 追加マスタによるバスイベント
ウェイクアップ要因	• マスタ：IBI（START 条件検出）による SDA アサート • スレーブ：ブロードキャストアドレス (0x7E) とスレーブアドレスのアドレス検出
TrustZone フィルタ	セキュリティおよび特権属性を設定できます。

表 27.3 I3C 入出力端子

チャネル	端子名	I/O	機能
I3C	SCLn	I/O	I2C シリアルクロック入出力端子
	SDAn	入出力	I2C シリアルクロック入出力端子
	I3C_SCL	入出力	I3C シリアルクロック入出力端子
	I3C_SDA	I/O	I3C シリアルデータ入出力端子

27.1.2 ブロック図［I²C/I3C 共通］

図 27.1 に、本 I3C の主なコンポーネントを示します。

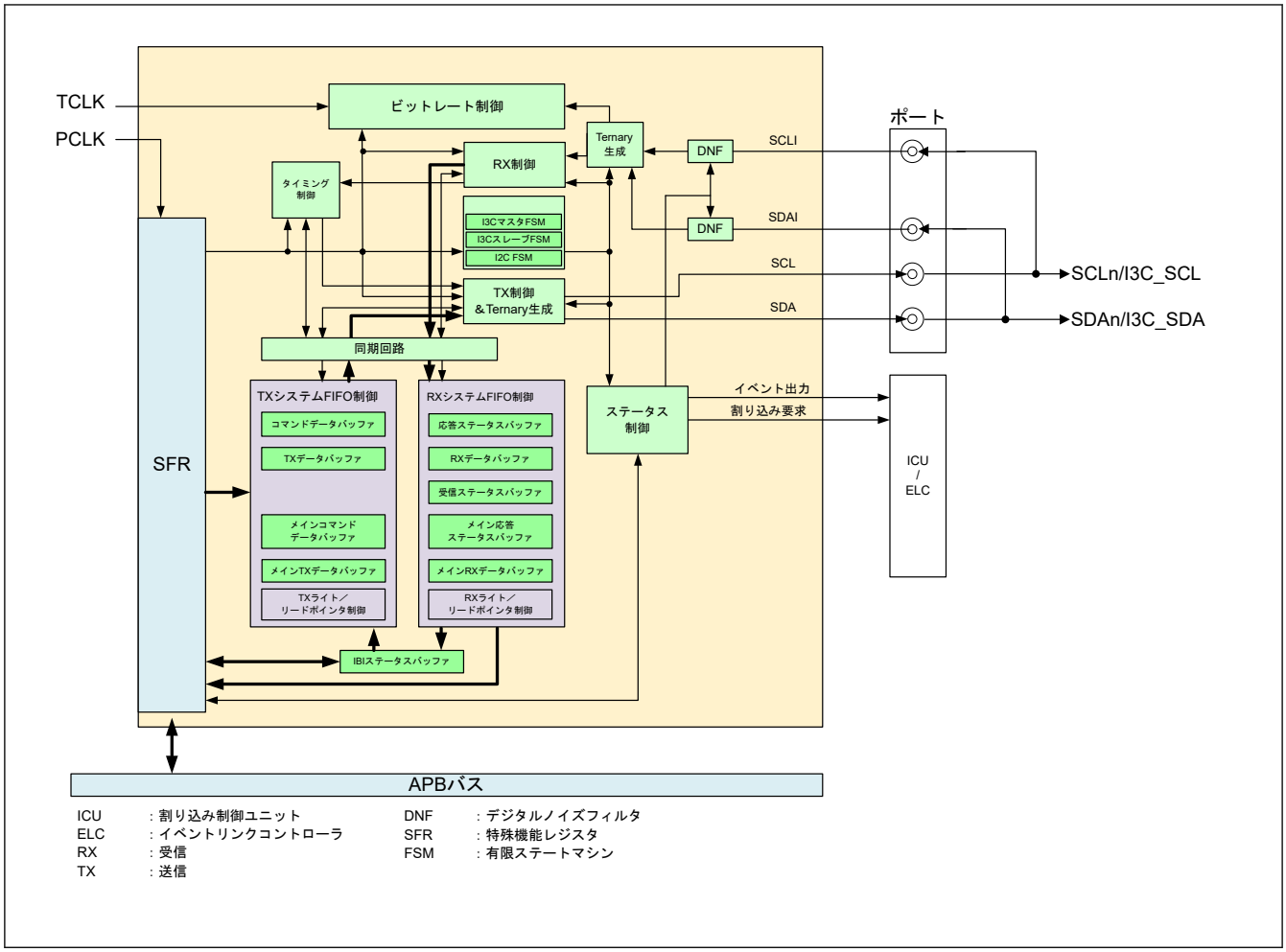


図 27.1　I3C ブロック図

27.2　レジスタの説明

27.2.1　PRTS : プロトコル選択レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x000

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PRTMD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	PRTMD	プロトコルモード 0: I3C プロトコルモード 1: I^2C プロトコルモード	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

PRTMD ビット（プロトコルモード）

PRTMD = 0 : I3C FIFO バッファ転送（HCI と同等）

PRTMD = 1 : I^2C シングルバッファ転送

27.2.2 BCTL : バスコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BUSE	RSM	ABT	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INCBA
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	INCBA	I3C ブロードキャストアドレスの包含(注1) 0: プライベート転送で、I3C ブロードキャストアドレスを含めない 1: プライベート転送で、I3C ブロードキャストアドレスを含める	R/W
28:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29	ABT	中断(注1) 0: I3C が実行中 1: I3C が転送を中断	R/W
30	RSM	レジューム(注2) 読み出し時の値： 0: I3C が実行中 1: I3C がサスペンド状態	R/W
31	BUSE	バスイネーブル 0: I3C バス動作を禁止 1: I3C バス動作を許可	R/W

注 1. このビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。
注 2. このビットはすべての I3C モードをサポートします。

INCBA ビット（I3C ブロードキャストアドレスの包含）

本ビットは、I3C ブロードキャストアドレス (0x7E) をプライベート転送に包含するかどうかを制御します。

I3C ブロードキャストアドレスをプライベート転送に包含しない場合、IBI のスレーブからの駆動ではアービトレーションできず、IBI の受信が遅延する可能性があります。

ABT ビット（中断）

本ビットに 1 を設定すると、I3C は今発行している転送を完了する前に、I3C バスの制御を放棄します。

I3C は、アボート要求に対して、データバイトの転送または受信が完了した後で I3C バスに STOP コンディションを発行します。

ドライバは、バス動作ができるように ABT ビットをクリアします。

BCTL.ABT を設定して ABORT 処理をしたときは、応答デスクリプターの ERR_STATUS を無視してください。

RSM ビット（レジューム）

本ビットは、停止ステートに続けて I3C 動作を再開するために使用します。

I3C は、転送時に発生するいずれかの種類のエラーの結果として、PRSTDBG レジスタで示されたように停止ステートに遷移します。

エラーの種類は、NRSPQP、HRSPQP、NRSQP、および NIBIQP レジスタの ERR_STATUS フィールドで示されます。

I3C が停止ステートに遷移したら、RSM ビットに値 1 を書き込む必要があります。それにより、I3C 動作を再開します。（次のコマンドによって）一旦転送を再開すると、I3C は RSM ビットを自動的にクリアします。

BUSE ビット（バスイネーブル）

I3C によって、I3C バスの動作を許可または禁止します。

I3C を使用するときは、BUSE ビットを 1 にしてください。BUSE ビットが 1 のとき、SCL、SDA 端子は駆動状態になります。I3C を使用しないときは、BUSE ビットを 0 にしてください。BUSE ビットが 0 のとき、SCL および SDA 端子は非駆動状態になります。

ソフトウェアで本ビットを設定すると、初期化が完了したことと、I3C がプログラムされたレジスタ値を使用できる（例えば、IBI 検出での SCL 生成など）ことも確認されます。本ビットが設定されないと、I3C は IBI 受信による SCL 生成を行いません。

I3C バスの動作は、それが動作中でもソフトウェアで禁止にできます。しかし、

- IBI 受信中に禁止要求が発生した場合、IBI 受信が完了するまで実際の禁止処理は発生しません。
- ソフトウェアがこのフィールドから値 0 を読み出したら、I3C バス動作の禁止処理が完了したことを示します。
  コマンドがコマンドキューに残っていたら、BUSE を 0 に設定しないでください。

27.2.3 MSDVAD : マスタデバイスアドレスレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x018

Bit position:	31	30	29	28	27	26	25	24	23	22						16
Bit field:	MDYADV	—	—	—	—	—	—	—	—	MDYAD[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:16	MDYAD[6:0]	マスタダイナミックアドレス	R/W
30:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	MDYADV	マスタダイナミックアドレス有効 0: マスタダイナミックアドレスフィールドが無効である 1: マスタダイナミックアドレスフィールドが有効である	R/W

注. このレジスタは I3C マスタモードをサポートします。

MDYAD[6:0]ビット（マスタダイナミックアドレス）

本フィールドは、I3C マスタダイナミックアドレスをプログラムするために使用します。I3C は、本アドレスを I3C インタフェースモード（スレーブまたはセカンダリマスタの役割）でのマスタトランザクションへの応答に使用します。

I3C メインマスタモードでは、ソフトウェアはそのダイナミックアドレスをセルフアサインするようにダイナミックアドレスをプログラムします。

MDYADV ビット（マスタダイナミックアドレス有効）

本ビットは、MDYAD フィールドが有効であるかどうかを示します。

I3C メインマスタモードでは、ユーザーはダイナミックアドレスをセルフアサインするように本ビットを 1 に設定します。

注. MSDVAD と BCTL の設定後 BUSE = 1 で、デバイスはメインマスタとして動作します。

MSDVAD 設定をしないで、SVDCT.TBCR76[1:0] = 00b（デバイスロールがスレーブ）設定、および BCTL.BUSE = 1 設定をすると、デバイスはスレーブとして動作します。

MSDVAD 設定をしないで、MSDCTm.RBCR76[1:0] = 01b（デバイスロールがマスタ）設定、および BCTL.BUSE = 1 設定をすると、デバイスはスレーブとして動作します。

27.2.4 RSTCTL : リセットコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INTLRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	HRDBRST	HTDBRST	HRSPQRST	HCMDQRST	—	—	RSQRST	IBIQRST	RDBRST	TDBRST	RSPQRST	CMDQRST	RI3CRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RI3CRST	I3C ソフトウェアリセット 0: I3C リセットを解除する 1: I3C リセットを行う	R/W
1	CMDQRST	コマンドキューソフトウェアリセット(注1) 0: I3C のコマンドキューをフラッシュしない 1: I3C のコマンドキューをフラッシュする	R/W
2	RSPQRST	応答キューソフトウェアリセット(注1) 0: I3C の応答キューをフラッシュしない 1: I3C の応答キューをフラッシュする	R/W
3	TDBRST	送信データバッファソフトウェアリセット(注1) 0: I3C の送信キューをフラッシュしない 1: I3C の送信キューをフラッシュする	R/W
4	RDBRST	受信データバッファソフトウェアリセット(注1) 0: I3C の受信キューをフラッシュしない 1: I3C の受信キューをフラッシュする	R/W
5	IBIQRST	IBI キューソフトウェアリセット(注1) 0: I3C の IBI キューをフラッシュしない 1: I3C の IBI キューをフラッシュする	R/W
6	RSQRST	受信ステータスキューソフトウェアリセット(注2) 0: I3C の受信ステータスキューをフラッシュしない 1: I3C の受信ステータスキューをフラッシュする	R/W
8:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	HCMDQRST	優先コマンドキューソフトウェアリセット(注3) 0: I3C の優先コマンドキューをフラッシュしない 1: I3C の優先コマンドキューをフラッシュする	R/W
10	HRSPQRST	優先応答キューソフトウェアリセット(注3) 0: I3C の優先応答キューをフラッシュしない 1: I3C の優先応答キューをフラッシュする	R/W
11	HTDBRST	優先送信データバッファソフトウェアリセット(注3) 0: I3C の優先送信キューをフラッシュしない 1: I3C の優先送信キューをフラッシュする	R/W

ビット	シンボル	機能	R/W
12	HRDBRST	優先受信データバッファソフトウェアリセット(注3) 0: I3C の優先受信キューをフラッシュしない 1: I3C の優先受信キューをフラッシュする	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	INTLRST	内部ソフトウェアリセット 0: 一部のレジスタおよび内部状態の解放 1: 一部のレジスタおよび内部状態のリセット	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 3. このビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

各レジスタのリセットについては、「27.6. リセットの説明」を参照してください。

RI3CRST ビット（I3C ソフトウェアリセット）

ドライバでこのビットを 1 にすると、I3C はリセットし無効になります。

全レジスタはリセット値に復帰し、ソフトウェアは I3C を再度初期化します。

I3C のリセット完了時に、このフィールドは自動的にクリアされます。また、このフィールドは I3C のすべてのキューもリセットします。

注. このフィールドに 1 の値を含む書き込みを行うと、不定の動作となることがあります。

CMDQRST ビット（コマンドキューソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C のコマンドキューをフラッシュします。

コマンドキューのリセット完了時に、このフィールドは自動的にクリアされます。

RSPQRST ビット（応答キューソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の応答キューをフラッシュします。

応答キューのリセット完了時に、このフィールドは自動的にクリアされます。

TDBRST ビット（送信データバッファソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の送信データバッファをフラッシュします。

送信データバッファのリセット完了時に、このフィールドは自動的にクリアされます。

RDBRST ビット（受信データバッファソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の受信データバッファをフラッシュします。

受信データバッファのリセット完了時に、このフィールドは自動的にクリアされます。

IBIQRST ビット（IBI キューソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の IBI キューをフラッシュします。

IBI キューのリセット完了時に、このフィールドは自動的にクリアされます。

RSQRST ビット（受信ステータスキューソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の受信ステータスキューをフラッシュします。

受信ステータスキューのリセット完了時に、このフィールドは自動的にクリアされます。

HCMDQRST ビット（優先コマンドキューソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の優先コマンドキューをフラッシュします。

優先コマンドキューのリセット完了時に、このフィールドは自動的にクリアされます。

HRSPQRST ビット（優先応答キューソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の優先応答キューをフラッシュします。

優先応答キューのリセット完了時に、このフィールドは自動的にクリアされます。

HTDBRST ビット（優先送信データバッファソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の優先送信データバッファをフラッシュします。

優先送信データバッファのリセット完了時に、このフィールドは自動的にクリアされます。

HRDBRST ビット（優先受信データバッファソフトウェアリセット）

ソフトウェアでこのビットを 1 にすると、I3C の優先受信データバッファをフラッシュします。

優先受信データバッファのリセット完了時に、このフィールドは自動的にクリアされます。

INTLRST ビット（内部ソフトウェアリセット）

このビットを 1 にすると、一部のレジスタをリセットします。リセットされるレジスタの詳細は、「27.6. リセットの説明」を参照してください。

注. バス動作許可中に内部ソフトウェアリセットを設定するときは、I3C バスに接続された I3C スレーブからの IBI との競合を防ぐため、あらかじめ DISEC CCC を使用して I3C スレーブへの IBI 送信を禁止しておきます。

27.2.5 PRSST : 現在ステートレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x024

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	PRSSTWP	—	—	TRMD	—	CRMS	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	CRMS	現在のマスタ(注2) 0: マスタが現在のマスタではなく、転送を行う前にバスオーナーシップを要求し取得する必要がある 1: マスタが現在のマスタであり、その結果、転送を行うことができる	R/W(注1)
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TRMD	送信／受信モード 0: 受信モード 1: 送信モード	R
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	PRSSTWP	現在ステートライトプロテクト(注2) 0: CRMS ビットは保護されます 1: CRMS ビットは書き込み可能である（対象ビットの値と同時に書き込みするとき）	W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. PRSSTWP ビットが 1 のとき、CRMS ビットへの書き込みが可能です。
注 2. このビットは I²C モード、I3C マスタモード、および I3C セカンダリマスタモードをサポートします。
注 3. このビットは I²C モードをサポートします。

CRMS ビット（現在のマスタ）

各動作モードでの設定条件とリセット条件を示します。

動作モード［I²C/I3C 共通］

［0 になる条件］

- ソフトウェアで PRSST.CRMS に 0 を書いたとき

[1 になる条件]

- ソフトウェアで PRSST.CRMS に 1 を書いたとき

動作モード [I^2C]

[0 になる条件]

- STOP 発行時
- マスタアービトレーションロスト時

[1 になる条件]

- START 発行時

動作モード [I3C メインマスタ]

[0 になる条件]

- ソフトウェアで MSDVAD.MDYADV に 0 を書いたとき
- セカンダリマスタから受信したバス権要求に ACK を応答した後、STOP を発行することで GETACCMST 送信が正常に終了したとき

[1 になる条件]

- ソフトウェアで MSDVAD.MDYADV に 1 を書いたとき
- セカンダリマスタに送信したバス権要求に ACK が応答された後、STOP を発行することで GETACCMST 受信が正常に終了したとき

動作モード [I3C セカンダリマスタ]

[0 になる条件]

- カレントマスタでないマスタから受信したバス権要求に ACK を応答した後、STOP を発行することで GETACCMST 送信が正常に終了したとき

[1 になる条件]

- カレントマスタに送信したバス権要求に ACK が応答された後、STOP を発行することで GETACCMST 受信が正常に終了したとき

PRSST レジスタが、I3C の現在の状態を返します。

ステートには 2 つの部分があります。必須のレジスタと、デバッグ目的で追加オプションの PRSST_DEBUG レジスタ（拡張機能リストのデバッグ機能レジスタを参照）です。

TRMD ビット（送信／受信モード）

送信モードであるか、受信モードであるかを示します。

I3C は、TRMD ビットが 0 のときは受信モード、1 のときは送信モードになります。このビットと CRMS ビットの組み合わせで I3C の動作モードを示します。

スタートコンディションの発行または検出時、および R/W#ビットの設定時に、TRMD ビットの値は自動的に 1（送信モード）または 0（受信モード）に変化します。

[1 になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき（CNDCTL.STCND ビットが 1 の状態で、スタートコンディションを検出したとき）
- 繰り返しのスタートコンディション発行要求による繰り返しのスタートコンディションが正常に発行されたとき（CNDCTL.SRCND ビットが 1 の状態で、繰り返しのスタートコンディションを検出したとき）
- マスタモード時、スレーブアドレスに付加した R/W#ビットが 0 になったとき

- スレーブモードで受信したアドレスが SVCTL レジスタで有効にしたアドレスと一致し、かつ R/W#ビットが 1 になったとき

[0 になる条件]

- ストップコンディションが検出されたとき
- BST.ALF フラグが 1 になったとき（アービトレーションロスト）
- マスタモード時、値が 1 の R/W#ビットが付加されたスレーブアドレスを受信したとき
- スレーブモード時、受信したスレーブアドレスが SVCTL レジスタで有効にしたアドレスと一致し、かつ受信した R/W#ビットの値が 0 のとき（ジェネラルコールアドレスを受信した場合を含む）
- スレーブモード時、繰り返しのスタートコンディションが検出されたとき （BCST.BFREF = 0、CRMS = 0 の状態で繰り返しのスタートコンディションが検出されたとき）

PRSSTWP ビット（現在ステートライトプロテクト）

PRSSTWP は読むと 0 が読めます。

PRSST に書き込む場合、このビットに 1 を書き込むと同時に、CRMS ビットに書き込みが可能です。

27.2.6 INST : 内部ステータスレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x030

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	INEF	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	INEF	内部エラーフラグ 0: I3C 内部エラー未検出 1: I3C 内部エラー検出	R/W(注1)
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタはすべての I3C モードをサポートします。
注 1. 0 になる条件 : 1 の状態を読んだ後、0 を書き込んだとき

割り込みステータスレジスタは、発生した割り込みの状態を反映します。

ステータスフィールドは、0 を書いてクリアするか、もしくはキュー動作に基づいてクリアされます。

INEF ビット（内部エラーフラグ）

本ビットが 1 のとき、I3C 内部エラーが検出されたことを示します。

本ビットが 0 のとき、I3C 内部エラーが検出されていないことを示します。

[1 になる条件]

- 下記 1.が満たされ、かつ下記 2.～9.のいずれかが満たされたとき
  1. INSTE.INEE ビットが 1 であるとき
  2. 完全にフルになっている送信データバッファに送信データを書いたとき
  3. 完全にエンプティになっている受信データバッファから受信データを読んだとき
  4. 完全にフルになっているコマンドキューにコマンドディスクリプタを書いたとき

5. 完全にエンプティになっているレスポンスステータスキューからレスポンスディスクリプタを読んだとき
6. 完全にエンプティになっている受信ステータスキューから受信ステータスディスクリプタを読んだとき
7. IBI キューが完全にエンプティでありかつ PRSST.CRMS = 1 の状態で、IBI キューから IBI ステータスディスクリプタを読んだとき
8. IBI キューが完全にフルでありかつ PRSST.CRMS = 0 の状態で、IBI キューに IBI データを書いたとき
9. レスポンスステータスキュー、IBI ステータスキュー、または受信ステータスキューがオーバーフローしたとき

[0 になる条件]

- INEF ビット = 1 を読んだ後、INEF ビットに 0 を書いたとき

27.2.7 INSTE : 内部ステータス有効レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x034

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	INEE	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	INEE	内部エラー有効 0: INST.INEF 無効 1: INST.INEF 有効	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタはすべての I3C モードをサポートします。

INEE ビット（内部エラー有効）

本ビットが 1 のとき、I3C 内部エラー検出は有効です。

本ビットが 0 のとき、I3C 内部エラー検出は無効です。

27.2.8 INIE : 内部割り込み許可レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x038

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	INEIE	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	INEIE	内部エラー割り込み許可 0: 回復不能内部エラー割り込み信号を禁止する 1: 回復不能内部エラー割り込み信号を許可する	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタはすべての I3C モードをサポートします。

INEIE ビット（内部エラー割り込み許可）

本ビットを 1 に設定し、INEF を設定したとき、ハードウェアコントローラはホストに割り込みをアサートします。

27.2.9 INSTFC : 内部ステータス強制レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x03C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	INEFC	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	—	書く場合、0 としてください。	W
10	INEFC	内部エラー強制 0: 特定の割り込みを強制しない 1: 特定の割り込みを強制する	W
31:11	—	書く場合、0 としてください。	W

注. このレジスタはすべての I3C モードをサポートします。

INEFC ビット（内部エラー強制）

デバッグ用に、この割り込みを強制できるようにします。

27.2.10 DVCT : デバイス特性テーブルレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x044

Bit position:	31	30	29	28	27	26	25	24	23	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	IDX[4:0]		—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
18:0	—	読むと 0 が読めます。	R

ビット	シンボル	機能	R/W
23:19	IDX[4:0]	DCT テーブルインデックス I3C ENTDAA CCC のスタートインデックスとして使う、DCT の現在のインデックス	R
31:24	—	読むと 0 が読めます。	R

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

IDX[4:0]ビット（DCT テーブルインデックス）

アドレス配置コマンドを用いた ENTDAA の際に、アービトレーションを取得したデバイスのすべての特性が一旦 DCT に書き込まれたら、このインデックスは 1 インクリメントします。

注. 本ビットによる ENTDAA の進捗の確認方法

1. ENTDAA コマンド発行のためのコマンドディスクリプタを設定する前に本ビットの値を読み出します。
2. ENTDAA コマンドを開始してから、本ビットの値が改訂されるまで（すなわち、前もって読み出した値から変化するまで）、それは最初のインデックス値（コマンドディスクリプタの DEV_INDEX[4:0]に設定された値）で指定されたデバイスに割り当てられたダイナミックアドレスを示します。
3. 本ビットの値が更新された後、それはダイナミックアドレスがコマンドディスクリプタの DEV_INDEX[4:0]と DEV_COUNT[3:0]に設定された値に従って、最初のインデックス値以降のデバイスに割り当てられることを示します。

27.2.11 IBINCTL : IBI 通知コントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x058

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	NRSIR CTL	—	NRMR CTL	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	NRMRCTL	拒否されたマスタ要求コントロールの通知 0: 受信したマスタ要求が NACK されて、関連する DAT エントリの DVMRRJ フィールドに基づいて自動的に拒否されたとき、拒否された IBI ステータスを IBI キュー/リングにパスしない 1: 受信したマスタ要求が NACK されて、関連する DAT エントリの DVMRRJ フィールドに基づいて自動的に拒否されたとき、拒否された IBI ステータスを IBI キューにパスする	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	NRSIRCTL	拒否されたスレーブ割り込み要求コントロールの通知 0: 受信した SIR が NACK されて、関連する DAT エントリの DVSIRRJ フィールドに基づいて自動的に拒否されたとき、拒否された IBI ステータスを IBI キュー/リングにパスしない 1: 受信した SIR が NACK されて、関連する DAT エントリの DVSIRRJ フィールドに基づいて自動的に拒否されたとき、拒否された IBI ステータスを IBI キュー/リングにパスする	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

NRMRCTL ビット（拒否されたマスタ要求コントロールの通知）

それぞれのマスタ要求拒否のレポートを有効または無効にします。

NRSIRCTL ビット（拒否されたスレーブ割り込み要求コントロールの通知）

それぞれのスレーブ割り込み要求 (SIR) 拒否のレポートを有効または無効にします。

27.2.12 BFCTL : バス機能コントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x060

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	HSME	FMPE	—	SMBS	—	—	—	SCSYNE	—	—	—	—	—	SALE	NALE	MALE
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	MALE	マスタアービトレーションロスト検出有効 0: マスタアービトレーションロスト検出は無効 アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生による PRSST.CRMS、TRMD ビットの自動クリアを行わない 1: マスタアービトレーションロスト検出は有効 アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生による PRSST.CRMS、TRMD ビットの自動クリアを行う	R/W
1	NALE	NACK 送信アービトレーションロスト検出有効 0: NACK 送信アービトレーションロスト検出は無効 1: NACK 送信アービトレーションロスト検出は有効	R/W
2	SALE	スレーブアービトレーションロスト検出有効 0: スレーブアービトレーションロスト検出は無効 1: スレーブアービトレーションロスト検出は有効	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	SCSYNE	SCL 同期回路有効 0: SCL 同期回路を使用しない 1: SCL 同期回路を使用する	R/W
11:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	SMBS	SMBus/I^2C バス選択 0: I^2C バスを選択 1: SMBus を選択	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	FMPE	ファストモードプラス有効 0: I3C_SCL 端子と I3C_SDA 端子に対して Fm+のスロープ制御回路を使用しない (n = 0) 1: I3C_SCL 端子と I3C_SDA 端子に対して Fm+のスロープ制御回路を使用する (n = 0)	R/W
15	HSME	High-speed モード 0: High-speed モードは無効 1: High-speed モードは有効	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I2C モードをサポートします。

MALE ビット（マスタアービトレーションロスト検出有効）

マスタモード時にアービトレーションロスト検出機能を使用するかどうかを指定します。通常は、このビットを 1 にしてください。

NALE ビット（NACK 送信アービトレーションロスト検出有効）

受信モード時、NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など）にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット（スレーブアービトレーションロスト検出有効）

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など）にアービトレーションロストを発生させるかどうかを選択します。

SCSYNE ビット（SCL 同期回路有効）

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は、このビットを 1 にしてください。

SCSYNE ビットを 0（SCL 同期回路を使用しない）にすると、I3C は SCL クロックを SCL 入力クロックと同期させません。この設定の場合、I3C_SCL ラインの状態にかかわらず、I3C は、STDBR および EXTBR レジスタで設定した転送速度の SCL クロックを出力します。そのため、I^2C バスラインのバス負荷が規格値よりも大幅に大きい場合や、複数のマスタにおいて SCL クロック出力が重なった場合に、規格外の短い SCL クロックが出力される場合があります。また SCL 同期回路無効の場合、スタートコンディション・繰り返しのスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

本ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き 0 にしないでください。

FMPE ビット（ファストモードプラス有効）

スロープ制御回路をファストモードプラス[Fm+]用のスロープ制御回路を使用するかどうかを選択します。

FMPE ビットを 1 にすると I3C バスのファストモードプラス[Fm+]のスロープ制御仕様 (tof) に準拠したスロープ制御回路が選択されます。FMPE ビットを 0 にすると、I3C バスのスタンダードモード[Sm]およびファストモード[Fm]のスロープ制御仕様 (tof) に準拠したスロープ制御回路が選択されます。

通信速度を I3C バス仕様の～1 Mbps（ファストモードプラス[Fm+]）の範囲内で使用する場合は、本ビットを 1 にしてください。それ以外の通信速度（～100 kbps[Sm]、～400 kbps[Fm]）または SMBus（10 kbps～100 kbps）で使用する場合は、本ビットを 0 にしてください。

注. Hs モードで通信するとき、以下のように設定してください。
- Hs モードマスタコード (0000 1XXXb) をファストモードで送るとき、FMPE を 0 に設定します。
- Hs モードマスタコード (0000 1XXXb) をファストモードプラスで送るとき、FMPE を 1 に設定します。

HSME ビット（High-speed モード）

このビットは Hs モードで通信するために使用します。

このビットが 1 の場合、Hs モードマスタコードを認識し、Hs モード通信が可能です。

スタートコンディションを検出後、Hs モードマスタコード (0000 1XXXb) の送信を認識すると、NACK 応答を受信した後、繰り返しのスタートコンディションから Hs モード通信を開始します。

NACK 応答まで、STDBR に設定されたビットレートで通信します。そして、NACK 応答の受信後繰り返しのスタートコンディション発行から、EXTBR に設定されたビットレートに自動的に切り替わります。

ストップコンディションが検出されるまで Hs モードが継続します。

ストップコンディションを検出したとき、ビットレートは STDBR に設定されたビットレートに自動的に切り替わります。

注. このビットを 1 にした場合、Hs モードマスタコードを送信した後 NACK 応答を受信しても、BST.NACKDF ビットは設定されません。

27.2.13 SVCTL : スレーブコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x064

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18		16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SVAE[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	HOAE	—	—	—	—	—	—	—	—	DVIDE	HSMCE	—	—	—	—	GCAE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GCAE	ジェネラルコールアドレス有効(注1) 0: ジェネラルコールアドレス検出は無効 1: ジェネラルコールアドレス検出は有効	R/W
4:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	HSMCE	Hs モードマスタコード有効(注1) 0: Hs モードマスタコード検出は無効 1: Hs モードマスタコード検出は有効	R/W
6	DVIDE	デバイス ID アドレス有効(注1) 0: デバイス ID アドレス検出は無効 1: デバイス ID アドレス検出は有効	R/W
14:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	HOAE	ホストアドレス有効(注1) 0: ホストアドレス検出は無効 1: ホストアドレス検出は有効	R/W
18:16	SVAE[2:0]	スレーブアドレス有効 n (n = 0～2)(注2) 0: スレーブ n は無効 1: スレーブ n は有効	R/W
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは I²C モードをサポートします。
注 2. これらのビットは I²C、I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

GCAE ビット（ジェネラルコールアドレス有効）

ジェネラルコールアドレス (0000 000 + 0 (write): All0) を受信した場合、無視するかどうかを選択します。このビットを 1 にした場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、I3C は、SVDVADn.SVAD[9:0]ビット (n = 0～2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。

本ビットを 0 にした場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されます。

HSMCE ビット（Hs モードマスタコード有効）

スタートコンディション検出後の第 1 バイトに Hs モードマスタコード (00001xxxb) を受信したことを認識して動作させるかどうかを選択します。

このビットが 1 の場合、受信した第 1 バイトが Hs モードマスタコードと一致した場合、I²C は Hs モードマスタコードを受信したと認識します。

Hs モードマスタコードへの NACK 応答後の繰り返しのスタート後の 1 バイト目はスレーブアドレスとして認識し、SVDVADn.SVAD[9:0]ビット (n = 0～2) で設定されるスレーブアドレスと比較します。

アドレスが一致すると、R/W#ビット値に従って送信／受信動作を継続します。

ストップコンディションが検出されるまで Hs モードが継続します。

このビットを 0 にした場合、それが Hs モードマスタコードと一致しても、ストップコンディションを検出するまで I3C はパターンを無視します。

注. 本ビットを 1 にした場合、必ず SCSTRCTL.ACKTWE ビットを 0、SCSTRCTL.RWE ビットを 1 に設定してください。

DVIDE ビット（デバイス ID アドレス有効）

スタートコンディションまたは繰り返しのスタートコンディション検出後の第 1 バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

このビットが 1 の場合、受信した第 1 バイトがデバイス ID アドレスと一致した場合、I3C はデバイス ID アドレスを受信したと認識します。続く R/W#ビットが 0 (write) の場合、I3C は第 2 バイト以降をスレーブアドレスとみなして、受信動作を継続します。

このビットが 0 の場合、I3C は受信した第 1 バイトがデバイス ID アドレスと一致してもそれを無視し、第 1 バイトを通常のスレーブアドレスと認識します。

デバイス ID アドレス検出機能の詳細については、(3) デバイス ID アドレス検出機能［I2C モード］を参照してください。

HOAE ビット（ホストアドレス有効）

BFCTL.SMBS ビットが 1 の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

SMBS ビット = 1 であるときにこのビットを 1 にした場合、受信したスレーブアドレスがホストアドレスと一致すると、I3C は、SVDVADn.SVAD[9:0]ビット (n = 0～2) で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスと認識し、受信動作を行います。

SMBS ビットまたは HOAE ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

SVAE[2:0]ビット（スレーブアドレス有効 n (n = 0～2)）

SVDVADn.SVAD[9:0]ビットで設定したスレーブアドレスを有効にするかどうかを選択します。

本ビットを 1 にすると、SVAD[9:0]ビットで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較されます。

本ビットを 0 にすると、SVAD[9:0]ビットで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

27.2.14 REFCKCTL：リファレンスクロックコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x070

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	IREFCKS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	IREFCKS[2:0](注1)	内部基準クロック選択 I3C の内部基準クロックソース (I3Cφ) を選択します。 0 0 0: TCLK/1 クロック 0 0 1: TCLK/2 クロック 0 1 0: TCLK/4 クロック 0 1 1: TCLK/8 クロック 1 0 0: TCLK/16 クロック 1 0 1: TCLK/32 クロック 1 1 0: TCLK/64 クロック 1 1 1: TCLK/128 クロック	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. I3C モードでは IREFCKS[2:0]ビットを 000b にしてください。

27.2.15 STDBR : スタンダードビットレートレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x074

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DSBRPO	—	SBRHP[5:0]						—	—	SBRLP[5:0]					
Value after reset:	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SBRHO[7:0]								SBRLO[7:0]							
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	SBRLO[7:0]	オープンドレインでのスタンダードビットレート Low 幅 SCL クロックの Low 幅のカウント値(注1)	R/W
15:8	SBRHO[7:0]	オープンドレインでのスタンダードビットレート High 幅 SCL クロックの High 幅のカウント値(注1)	R/W
21:16	SBRLP[5:0]	プッシュプルでのスタンダードビットレート Low 幅(注2) SCL クロックの Low 幅のカウント値	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:24	SBRHP[5:0]	プッシュプルでのスタンダードビットレート High 幅(注3) SCL クロックの High 幅のカウント値	R/W
30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	DSBRPO	オープンドレインでのスタンダードビットレート幅の 2 倍化(注4) 0: SBRHO[7:0]と SBRLO[7:0]に設定された時間幅の値を 2 倍の値にしない 1: SBRHO[7:0]と SBRLO[7:0]に設定された時間幅の値を 2 倍の値にする	R/W

注 1. これらのビットは I2C モード、I3C マスタモード、および I3C セカンダリマスタモードをサポートします。
注 2. これらのビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。
注 3. これらのビットはすべての I3C モードをサポートします。
注 4. このビットは I2C モード、I3C マスタモード、および I3C セカンダリマスタモードをサポートします。

STDBR レジスタは、動作スピードに応じてビットレートを設定します。

- I2C モード：スタンダードモード／ファストモード／ファストモード+で通信するときのビットレート設定
- I3C マスタモード：コマンドディスクリプタのモードビットで選択されたビットレート設定
- I3C スレーブモード：I3C ビットレート設定

I2C 転送速度および SCL クロックのデューティー比は以下の式で算定します。

転送レート = 1 / {[(High 幅 + α(注1)) + (Low 幅 + α)] / I3Cφ(注2) + I3C_SCL ライン立ち上がり時間[tr](注3) + I3C_SCL ライン立ち下がり時間[tf](注3)}

デューティー比 = {I3C_SCL ライン立ち上がり時間[tr] + (High 幅 + α) / I3Cφ} / {I3C_SCL ライン立ち下がり時間[tf] + (Low 幅 + α) / I3Cφ}

注 1. α は、ノイズフィルタの段数に依存します。
注 2. I3Cφ = TCLK × 分周比
注 3. I3C_SCL ライン立ち上がり時間[tr]および I3C_SCL ライン立ち下がり時間[tf]は、バスライン総容量[Cb]とプルアップ抵抗[Rp]に依存します。詳細については、NXP 社の I2C バス仕様書を参照してください。

I3C 転送速度と SCL クロックのデューティー比は、次式で計算されます。

転送レート = 1 / [(High 幅 + Low 幅) / I3Cφ + I3C_SCL ライン立ち上がり時間[tr] + I3C_SCL ライン立ち下がり時間[tf]]

デューティーサイクル = [I3C_SCL ライン立ち上がり時間[tr] + High 幅 / I3Cφ] / [I3C_SCL ライン立ち下がり時間[tf] + Low 幅 / I3Cφ]

SBRLO[7:0] ビット（オープンドレインでのスタンダードビットレート Low 幅）

SBRLO[7:0]ビットは、オープンドレインモードで SCL クロックの Low 幅の設定に使用するビットです。

I3C は、REFCKCTL.IREFCKS[2:0]ビットで指定した内部基準クロックソース (I3Cφ) で Low 幅をカウントします。またこのビットは、SCL 自動 Low ホールド発生時（「27.3.2.3.6. クロックストレッチ機能［I2C モード］」参照）のデータセットアップ時間確保に使用します。そのため I3C を I2C スレーブモードで使用する場合には、このビットにデータセットアップ時間(注1)より大きな値を設定する必要があります。

デジタルノイズフィルタ回路を有効 (INCTL.DNFE = 1) にした場合、SBRLO[7:0]ビットにはノイズフィルタの段数＋ 1 以上の値を設定してください。ノイズフィルタの段数については、INCTL.DNFS[3:0]ビットを参照してください。

注 1. データセットアップ時間 (tSU: DAT)
250 ns（～ 100 kbps：スタンダードモード [Sm]）
100 ns（～ 400 kbps：ファストモード [Fm]）
50 ns（～ 1 Mbps：ファストモードプラス [Fm+]）
10 ns（～ 3.4 Mbps：Hs モード[HS]）

SBRHO[7:0]ビット（オープンドレインでのスタンダードビットレート High 幅）

SBRHO[7:0]ビットは、オープンドレインモードで SCL クロックの High 幅の設定に使用されます。SBRHO[7:0]ビットはマスタモードで有効になります。I3C を常に I2C スレーブモードで使用する場合には、High 幅を設定する必要はありません。

I3C は、REFCKCTL.IREFCKS[2:0]ビットで指定した内部基準クロックソース (I3Cφ) で High 幅をカウントします。

デジタルノイズフィルタ回路を有効 (INCTL.DNFE = 1) にした場合、SBRHO[7:0]ビットにはノイズフィルタの段数＋ 1 以上の値を設定してください。ノイズフィルタの段数については、INCTL.DNFS[3:0]ビットを参照してください。

SBRLP[5:0]ビット（プッシュプルでのスタンダードビットレート Low 幅）

SBRLP[5:0]ビットは、プッシュプルモードで SCL クロックの Low 幅の設定に使用するビットです。

I3C は、REFCKCTL.IREFCKS[2:0]ビットで指定した内部基準クロックソース (I3Cφ) で Low 幅をカウントします。

デジタルノイズフィルタ回路を有効 (INCTL.DNFE = 1) にした場合、SBRLP[5:0]ビットにはノイズフィルタの段数＋ 1 以上の値を設定してください。ノイズフィルタの段数については、INCTL.DNFS[3:0]ビットを参照してください。

SBRHP[5:0]ビット（プッシュプルでのスタンダードビットレート High 幅）

SBRHP[5:0]ビットは、プッシュプルモードで SCL クロックの High 幅の設定に使用されます。

SBRHP[5:0]ビットはマスタモードで有効になります。I3C を常に I2C スレーブモードで使用する場合には、High 幅を設定する必要はありません。

I3C は、REFCKCTL.IREFCKS[2:0]ビットで指定した内部基準クロックソース (I3Cφ) で High 幅をカウントします。

デジタルノイズフィルタ回路を有効 (INCTL.DNFE = 1) にした場合、SBRHP[5:0]ビットにはノイズフィルタの段数＋ 1 以上の値を設定してください。ノイズフィルタの段数については、INCTL.DNFS[3:0]ビットを参照してください。

DSBRPO ビット（オープンドレインでのスタンダードビットレート幅の 2 倍化）

DSBRPO = 1 のとき、SBRHO[7:0]に設定された High 幅の値を 2 倍の値にして使用し、SBRLO[7:0]に設定された Low 幅の値を 2 倍の値にして使用してください。

表 27.4　各モードでの設定の要件と使用法

ビット名	デバイスモード				
	I²C マスタ	I²C スレーブ	I3C マスタ	I3C セカンダリマスタ	I3C スレーブ
SBRHP[5:0]	使用禁止	使用禁止	設定要(注3)	設定要(注4)	使用禁止
SBRLP[5:0]	使用禁止	使用禁止	設定要(注3)	設定要(注5)	使用禁止
SBRHO[7:0]	設定要(注1)	使用禁止	設定要(注3)	設定要(注5)	使用禁止
SBRLO[7:0]	設定要(注1)	設定要(注2)	設定要(注3)	設定要(注5)	使用禁止

注 1.　設定値は、スタンダードモード、ファストモード、およびファストモード+のデータレートに使用されます。
注 2.　設定値は、SCL 自動 Low ホールド動作のデータセットアップ時間に使用されます。
注 3.　設定値は、各通信モードのデータレートに使用されます。
注 4.　I3C マスタで動作するとき、設定値は各通信モードのデータレートに使用されます。
注 5.　I3C マスタで動作するとき、設定値は各通信モードのデータレートに使用されます。
　　I3C スレーブで動作するときは、使用しないでください。

27.2.16　EXTBR : 拡張ビットレートレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x078

Bit position:	31	30	29 … 24	23	22	21 … 16	15 … 8	7 … 0
Bit field:	—	—	EBRHP[5:0]	—	—	EBRLP[5:0]	EBRHO[7:0]	EBRLO[7:0]
Value after reset:	0	0	1 1 1 1 1 1	0	0	1 1 1 1 1 1	1 1 1 1 1 1 1 1	1 1 1 1 1 1 1 1

ビット	シンボル	機能	R/W
7:0	EBRLO[7:0]	オープンドレインでの拡張ビットレート Low 幅(注1) SCL クロックの Low 幅のカウント値	R/W
15:8	EBRHO[7:0]	オープンドレインでの拡張ビットレート High 幅(注1) SCL クロックの High 幅のカウント値	R/W
21:16	EBRLP[5:0]	プッシュプルでの拡張ビットレート Low 幅(注2) SCL クロックの Low 幅のカウント値	R/W
23:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
29:24	EBRHP[5:0]	プッシュプルでの拡張ビットレート High 幅(注2) SCL クロックの High 幅のカウント値	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　これらのビットは I²C モード、I3C マスタモード、および I3C セカンダリマスタモードをサポートします。
注 2.　これらのビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

EXTBR レジスタは、動作スピードに応じてビットレートを設定します。

- I²C モード：ハイスピードモードでの通信用ビットレート設定
- I3C マスタモード：コマンドディスクリプタのモードビットで選択されたビットレート設定
- I3C スレーブモード：不使用

EBRLO[7:0]ビット（オープンドレインでの拡張ビットレート Low 幅）

詳細は、「27.2.15. STDBR : スタンダードビットレートレジスタ」の SBRLO[7:0]ビットを参照してください。
SBRHO と SBRLO は EBRHO[7:0]と EBRLO[7:0]とみなしてください。

EBRHO[7:0]ビット（オープンドレインでの拡張ビットレート High 幅）

詳細は、「27.2.15. STDBR : スタンダードビットレートレジスタ」の SBRHO[7:0]ビットを参照してください。
SBRHO と SBRLO は EBRHO[7:0]と EBRLO[7:0]とみなしてください。

EBRLP[5:0]ビット（プッシュプルでの拡張ビットレート Low 幅）

詳細は、「27.2.15. STDBR : スタンダードビットレートレジスタ」の SBRLP[5:0]ビットを参照してください。
SBRHP と SBRLP は EBRHP[5:0]と EBRLP[5:0]とみなしてください。

EBRHP[5:0]ビット（プッシュプルでの拡張ビットレート High 幅）

詳細は、「27.2.15. STDBR : スタンダードビットレートレジスタ」の SBRHP[5:0]ビットを参照してください。
SBRHP と SBRLP は EBRHP[5:0]と EBRLP[5:0]とみなしてください。

表 27.5　各モードでの設定の要件と使用法

ビット名	デバイスモード				
	I²C マスタ	I²C スレーブ	I3C マスタ	I3C セカンダリマスタ	I3C スレーブ
EBRHP[5:0]	使用禁止	使用禁止	設定要(注3)	設定要(注4)	使用禁止
EBRLP[5:0]	使用禁止	使用禁止	設定要(注3)	設定要(注4)	使用禁止
EBRHO[7:0]	設定要(注1)	使用禁止	設定要(注3)	設定要(注4)	使用禁止
EBRLO[7:0]	設定要(注1)	設定要(注2)	設定要(注3)	設定要(注4)	使用禁止

注 1.　設定値は、High-Speed モードのデータレートに使用されます。
注 2.　設定値は、Hs モードでの SCL 自動 Low ホールド動作のデータセットアップ時間に使用されます。
注 3.　設定値は、各通信モードのデータレートに使用されます。
注 4.　I3C マスタで動作するとき、設定値は各通信モードのデータレートに使用されます。
　　I3C スレーブで動作するときは、使用しないでください。

27.2.17　BFRECDT : バスフリー状態検出時間レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x07C

Bit position:	31																						9	8								0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FRECYC[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	FRECYC[8:0]	バスフリー状態検出サイクル カウント値は、バスフリー状態を検出する期間	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FRECYC[8:0]ビット（バスフリー状態検出サイクル）

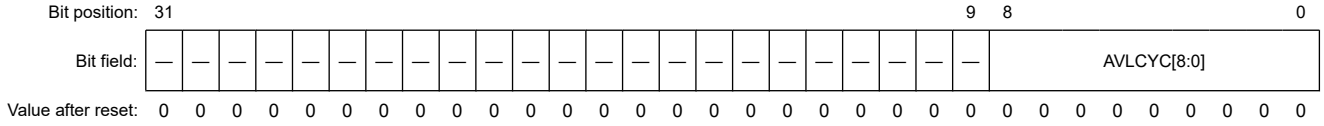
I3C は、I3Cφ でバスフリー状態を検出する期間をカウントします。

バスフリー期間を設定します。このバスフリー期間は、REFCKCTL.IREFCKS[2:0]ビットで指定した内部基準クロック (I3Cφ) でカウントします。バスフリー検出の動作については、BCST.BFREF フラグを参照してください。

27.2.18 BAVLCDT : バス利用可能状態検出時間レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x080



ビット	シンボル	機能	R/W
8:0	AVLCYC[8:0]	バス利用可能状態検出サイクル カウント値は、バス利用可能状態を検出する期間	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタはすべての I3C モードをサポートします。

AVLCYC[8:0]ビット（バス利用可能状態検出サイクル）

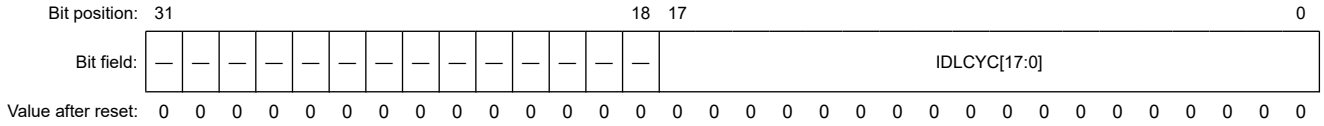
I3C は、I3Cφ でバス利用可能状態を検出する期間をカウントします。

これらのビットは、バス利用可能期間を設定します。このバス利用可能期間は、REFCKCTL.IREFCKS[2:0]ビットで指定した内部基準クロック (I3Cφ) でカウントします。バス利用可能検出の動作については、BCST.BAVLF フラグを参照してください。

27.2.19 BIDLCDT : バスアイドル状態検出時間レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x084



ビット	シンボル	機能	R/W
17:0	IDLCYC[17:0]	バスアイドル状態検出サイクル カウント値は、バスアイドル状態を検出する期間	R/W
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタはすべての I3C モードをサポートします。

IDLCYC[17:0]ビット（バスアイドル状態検出サイクル）

I3C は、I3Cφ でバスアイドル状態を検出する期間をカウントします。

これらのビットは、バスアイドル期間を設定します。このバスアイドル期間は、REFCKCTL.IREFCKS[2:0]ビットで指定した内部基準クロック (I3Cφ) でカウントします。バスアイドル検出の動作については、BCST.BAVLF フラグを参照してください。

27.2.20 OUTCTL : 出力コントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x088

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	8	7	6	5	4	3	2	1	0
Bit field:	SDODCS	—	—	—	—	SDOD[2:0]		—	—	—	EXCYC	—	SOCWP	SCOC	SDOC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
0	SDOC	SDA 出力制御(注1) 0: I3C は I3C_SDA 端子を Low にする 1: I3C は I3C_SDA 端子を解放する	R/W
1	SCOC	SCL 出力制御(注1) 外部プルアップ抵抗により High 出力 0: I3C は I3C_SCL 端子を Low にする 1: I3C は I3C_SCL 端子を解放する	R/W
2	SOCWP	SCL/SDA 出力制御ライトプロテクト(注1) 0: SCOC、SDOC ビットを保護 1: ビット SCOC および SDOC は書き込み可能である（対象ビットの値と同時に書き込みするとき） 読むと 0 が読めます。	W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	EXCYC	SCL クロック追加出力(注3) 1 クロック出力後、自動的に 0 になる 0: SCL クロックを追加で出力しない（通常状態） 1: SCL クロックを追加で出力する	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	SDOD[2:0]	SDA 出力遅延(注2) 0 0 0: 出力遅延なし 0 0 1: 1 I3Cφ サイクル（OUTCTL.SDODCS = 0 のとき (I3Cφ)） 1 または 2 I3Cφ サイクル（OUTCTL.SDODCS = 1 のとき (I3Cφ/2)） 0 1 0: 2 I3Cφ サイクル（OUTCTL.SDODCS = 0 のとき (I3Cφ)） 3 または 4 I3Cφ サイクル（OUTCTL.SDODCS = 1 のとき (I3Cφ/2)） 0 1 1: 3 I3Cφ サイクル（OUTCTL.SDODCS = 0 のとき (I3Cφ)） 5 または 6 I3Cφ サイクル（OUTCTL.SDODCS = 1 のとき (I3Cφ/2)） 1 0 0: 4 I3Cφ サイクル（OUTCTL.SDODCS = 0 のとき (I3Cφ)） 7 または 8 I3Cφ サイクル（OUTCTL.SDODCS = 1 のとき (I3Cφ/2)） 1 0 1: 5 I3Cφ サイクル（OUTCTL.SDODCS = 0 のとき (I3Cφ)） 9 または 10 I3Cφ サイクル（OUTCTL.SDODCS = 1 のとき (I3Cφ/2)） 1 1 0: 6 I3Cφ サイクル（OUTCTL.SDODCS = 0 のとき (I3Cφ)） 11 または 12 I3Cφ サイクル（OUTCTL.SDODCS = 1 のとき (I3Cφ/2)） 1 1 1: 7 I3Cφ サイクル（OUTCTL.SDODCS = 0 のとき (I3Cφ)） 13 または 14 I3Cφ サイクル（OUTCTL.SDODCS = 1 のとき (I3Cφ/2)）	R/W
14:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	SDODCS	SDA 出力遅延クロックソース選択(注3) 0: SDA 出力遅延カウンタのクロックソースに内部基準クロック (I3Cφ) を選択 1: SDA 出力遅延カウンタのクロックソースに内部基準クロックの 2 分周 (I3Cφ/2) を選択(注4)	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは I²C モード、I3C マスタモード、および I3C セカンダリマスタモードをサポートします。
注 2. これらのビットは I²C モードをサポートします。
注 3. このビットは I²C モードをサポートします。

注 4. SCL が Low のときのみ SDODCS = 1 (I3Cφ/2) の設定が有効になります。SCL が High のとき SDODCS = 1 の設定は無効となり、クロックソースは内部基準クロック (I3Cφ) となります。

SDOC ビット（SDA 出力制御）、SCOC ビット（SCL 出力制御）

本 I3C が出力する SDAn 信号、I3C_SDA および I3C_SCL 信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時に SOCWP ビットにも 1 を書いてください。

これらのビットを設定した結果は、入力バッファを介して I3C に入力されます。スレーブモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、繰り返しスタートコンディションの期間中、または送受信中に、これらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証されません。

EXCYC ビット（SCL クロック追加出力）

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時またはエラー処理時に使用します。

通常動作では、本ビットを 0 にしてください。通常の通信状態でこのビットを 1 にすると、通信エラーの原因になります。

この機能の詳細については、「27.3.2.3.10. ポートコントロール」、(1) SCL クロック追加出力機能を参照してください。

27.2.21 INCTL : 入力コントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x08C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	DNFE	DNFS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	1	1	0	1	0	0	0	0

ビット	シンボル	機能	R/W
3:0	DNFS[3:0]	デジタルノイズフィルタ段数選択 0x0: 1 I3Cφ サイクル以下のノイズを除去（フィルタは 1 段） 0x1: 2 I3Cφ サイクル以下のノイズを除去（フィルタは 2 段） 0x2: 3 I3Cφ サイクル以下のノイズを除去（フィルタは 3 段） 0x3: 4 I3Cφ サイクル以下のノイズを除去（フィルタは 4 段） 0x4: 5 I3Cφ サイクル以下のノイズを除去（フィルタは 5 段） ⋮ 0xF: 16 I3Cφ サイクル以下のノイズを除去（フィルタは 16 段）	R/W
4	DNFE	デジタルノイズフィルタ回路イネーブル 0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:6	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I^2C モードをサポートします。

DNFS[3:0]ビット（デジタルノイズフィルタ段数選択）

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「27.3.2.6.3. デジタルノイズフィルタ回路［I^2C モード］」を参照してください。

I2C High-speed モードでは、I3C はノイズフィルタの段数をその 1/4 に自動的に変更します。

注.
- ノイズフィルタで除去するノイズ幅は、I3C_SCL ラインの High 幅または Low 幅よりも狭くなるように設定してください。ノイズ幅の設定が（SCL クロックの幅：High 幅または Low 幅のいずれか短い方）-［1.5 内部基準クロック (I3Cφ) サイクル］の値以上の場合、SCL クロックは I3C のノイズフィルタ機能によりノイズとみなされ、I3C が正常に動作しない可能性ことがあります。
- I2C High-speed モードでは、DNFS [3:0]ビットは無視され、フィルタの段数の 1～4 はその上位 2 ビットで選択されます。

27.2.22 TMOCTL : タイムアウトコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x090

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	TOMDS[1:0]		TOHCTL	TOLCTL	—	—	TODTS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0

ビット	シンボル	機能	R/W
1:0	TODTS[1:0]	タイムアウト検出時間選択 0 0: 16 ビットタイムアウト 0 1: 14 ビットタイムアウト 1 0: 8 ビットタイムアウト 1 1: 6 ビットタイムアウト	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TOLCTL	タイムアウト L カウント制御 0: I3C_SCL ラインが Low の間カウント無効 1: I3C_SCL ラインが Low の間カウント有効	R/W
5	TOHCTL	タイムアウト H カウント制御 0: I3C_SCL ラインが High の間カウント無効 1: I3C_SCL ラインが High の間カウント有効	R/W
7:6	TOMDS[1:0]	タイムアウト動作モード選択 0 0: タイムアウトを以下の条件で検出します。 ● マスタモードで、バスビジー (BCST.BFREF = 0) ● スレーブモードで、I3C 自身のスレーブアドレスが検出され、バスビジー ● スタートコンディション発行要求中 (CNDCTL.STCND = 1) で、バスフリー (BCST.BFREF = 1) 0 1: タイムアウトをバスビジーのときに検出する 1 0: タイムアウトをバスフリーのときに検出する 1 1: 設定禁止	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TODTS[1:0]ビット（タイムアウト検出時間選択）

タイムアウト検出機能有効時 (BSTE.TODE = 1) に、タイムアウト検出時間を選択するビットです。

本ビットが 00b に設定されているとき、タイムアウト検出用の内部カウンタは 16 ビットカウンタとして機能します。

本ビットが 01b に設定されているとき、このカウンタは 14 ビットカウンタとして機能します。

これらのビットが 10b に設定されているとき、このカウンタは 8 ビットカウンタとして機能します。

本ビットが 11b に設定されているとき、このカウンタは 6 ビットカウンタとして機能します。

I3C_SCL ラインが、このカウンタを TOHCTL ビットと TOLCTL ビットの指定通り動作させる状態にあるとき、このカウンタは内部基準クロック (I3Cφ) をカウントソースとして同期してアップカウントを行います。

タイムアウト検出機能の詳細については、「27.3.2.4.3. タイムアウトエラー検出機能」を参照してください。

TOLCTL ビット（タイムアウト L カウント制御）

このビットはタイムアウト機能有効時（BSTE.TODE ビット = 1）に、I3C_SCL ラインが Low 期間中にタイムアウト機能の内部カウンタのカウントアップを有効にするか無効にするかを選択するために使用されます。

TOHCTL ビット（タイムアウト H カウント制御）

このビットはタイムアウト機能有効時（BSTE.TODE ビット = 1）に、I3C_SCL ラインが High 期間中にタイムアウト機能の内部カウンタのカウントアップを有効にするか無効にするかを選択するために使用されます。

TOMDS[1:0]ビット（タイムアウト動作モード選択）

これらのビットはタイムアウト機能有効時に、タイムアウト検出条件を選択するために使用されます。

注. I²C スレーブと動作するとき、10 ビットアドレスフォーマットでの通信時に上位アドレス一致を検出すると、タイムアウトカウントを開始します。

27.2.23 WUCTL : ウェイクアップユニットコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	WUFE	WUFSYNE	—	WUANFS	—	—	—	WUACKS
Value after reset:	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	WUACKS	ウェイクアップアクノリッジ選択(注1) RSTCTL.INTLRST ビット、WUACKS ビットを組み合わせた 4 つの応答モードを選択します。詳細を、表 27.6 に示します。	R/W
3:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	WUANFS	ウェイクアップアナログノイズフィルタ選択(注1) 0: ウェイクアップアナログフィルタを追加しない 1: ウェイクアップアナログフィルタを追加する	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	WUFSYNE	ウェイクアップ機能 PCLK 同期有効 0: I3C 非同期回路有効 1: I3C 同期回路有効	R/W
7	WUFE	ウェイクアップ機能有効 ウェイクアップ動作中は、WUFE = 0 に設定しないでください。 0: ウェイクアップ機能無効 1: ウェイクアップ機能有効	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは I²C モードをサポートします。

表 27.6 ウェイクアップモード (1/2)

INTLRST	WUACKS	動作モード	内容
0	0	ノーマルウェイクアップモード 1	SCL の 9 クロック目で ACK 応答し、9 クロック目の後に SCL の Low ホールドを行う。

表 27.6 ウェイクアップモード (2/2)

INTLRST	WUACKS	動作モード	内容
0	1	ノーマルウェイクアップモード 2	即時 ACK 応答せず、SCL クロックの 8 クロック目と 9 クロック目の間で SCL の Low ホールドを行う。SCL クロックの 9 クロック目で SCL の Low ホールドを解除し ACK 応答する。
1	0	コマンドリカバリモード	SCL クロックの 9 クロック目で ACK 応答し、SCL の Low ホールドは行わない。
1	1	EEP 応答モード	SCL クロックの 9 クロック目で NACK 応答し、SCL の Low ホールドは行わない。

注. ウェイクアップモード 2 では、HS モードを使用できません。

WUFSYNE ビット（ウェイクアップ機能 PCLK 同期有効）

PCLK 同期動作と PCLK 非同期動作の間の切り替えに使用します。

ウェイクアップ機能有効 (WUCTL.WUFE ビット = 1) のとき、WUASYNF フラグと組み合わせて使用します。

[PCLK 同期動作から PCLK 非同期動作に切り替え時]

WUFSYNE = 0 である間に WUASYNF フラグが 1 に設定されたとき、I3C 動作は BCST.BFREF フラグ = 1 である間に PCLK 非同期動作に変わります。

受信は、PCLK 非同期動作（ウェイクアップイベント検出動作）に切り替わった後は PCLK の動作状態に関係なく（PCLK 停止状態で）実行されます。

[PCLK 非同期動作から PCLK 同期動作に切り替え時]

以下の条件で、I3C 動作は PCLK 同期動作に変わります。（同時に WUFSYNE フラグは 0 になります。）

ウェイクアップイベントを検出した場合：WUFSYNE ビットを 1 にした直後

ウェイクアップイベントを検出しない場合 : WUFSYNE ビットを 1 にした後にストップコンディションを検出したとき

[1 になる条件]

- WUFSYNE ビットに 1 を書いたとき
- WUCTL.WUFE = 0 のとき

[0 になる条件]

- WUFSYNE ビットに 0 を書いたとき

27.2.24 ACKCTL : アクノリッジコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x0A0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	ACKTWP	ACKT	ACKR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ACKR	Acknowledge 受信 0: アクノリッジビットに 0 を受信（ACK 受信） 1: アクノリッジビットに 1 を受信（NACK 受信）	R

ビット	シンボル	機能	R/W
1	ACKT	Acknowledge 送信 0: アクノリッジビットに 0 を送出（ACK 送信） 1: アクノリッジビットに 1 を送出（NACK 送信）	R/W
2	ACKTWP	ACKT ライトプロテクト 0: ACKT ビットは保護される 1: ACKT ビットは書き込み可能である（対象ビットの値と同時に書き込みするとき） 読むと 0 が読めます。	W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I2C モードをサポートします。

ACKR ビット（Acknowledge 受信）

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[1 になる条件]

- PRSST.TRMD ビットが 1 の状態で、アクノリッジビットに 1 を受信したとき

[0 になる条件]

- PRSST.TRMD ビットが 1 の状態で、アクノリッジビットに 0 を受信したとき

ACKT ビット（Acknowledge 送信）

[1 になる条件]

- ACKT ビットに 1 を書いて、同時に ACKTWP ビットにも 1 を書いたとき

[0 になる条件]

- ACKT ビットに 0 を書いて、同時に ACKTWP ビットにも 1 を書いたとき
- ストップコンディションが検出されたとき（CNDCTL.SPCND ビットが 1 の状態で、ストップコンディションが検出されたとき）

注. ACKT ビットは I2C スレーブモード時に 0 にしてください。

ACKTWP ビット（ACKT ライトプロテクト）

ACKT ビットへの書き込みを制御します。

ACKT ビットに書き込む場合、このビットに 1 を書き込むと同時に、ACKT ビットに書き込みが可能です。

読むと 0 が読めます。

27.2.25 SCSTRCTL : SCL ストレッチコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x0A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RWE	ACKTWE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ACKTWE	アクノリッジ送信ウェイト許可 0: SCL クロックの 9 クロック目の立ち上がり時に NTST.RDBFF0 を設定（8 クロック目の立ち下がりで I3C_SCL ラインの Low ホールドを行わない） 1: SCL クロックの 8 クロック目の立ち上がり時に NTST.RDBFF0 を設定（8 クロック目の立ち下がりで I3C_SCL ラインの Low ホールドを行う） Low ホールドは ACKCTL.ACKT ビットへの書き込みで解除	R/W
1	RWE	受信ウェイト許可 0: ウェイトなし（9 クロック目と 1 クロック目の間に Low ホールドを行わない） 1: ウェイトあり（9 クロック目と 1 クロック目の間に Low ホールドを行う） Low ホールドは NTDTBP0 レジスタの読み出しで解除	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I^2C モードをサポートします。

ACKTWE ビット（アクノリッジ送信ウェイト許可）

受信モードにおいて NTST.RDBFF0 フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで I3C_SCL ラインの Low ホールドを行うかどうかを選択します。

ACKTWE ビットが 0 のとき、SCL クロックの 8 クロック目の立ち下がりで I3C_SCL ラインの Low ホールドは行わず、SCL クロックの 9 クロック目の立ち上がりで NTST.RDBFF0 フラグを 1 にします。

ACKTWE ビットが 1 のとき、SCL クロックの 8 クロック目の立ち上がりで NTST.RDBFF0 フラグを 1 にし、SCL クロックの 8 クロック目の立ち下がりで I3C_SCL ラインの Low ホールドを行います。この I3C_SCL ラインの Low ホールドは ACKCTL.ACKT ビットへの書き込みにより解除されます。

この設定でデータを受信した後、アクノリッジビット送出前に、I3C_SCL ラインは自動的に Low ホールドされます。これにより、受信データの内容に応じて ACK（ACKCTL.ACKT ビットが 0）または NACK（ACKCTL.ACKT ビットが 1）を送出する処理が可能となります。

RWE ビット（受信ウェイト許可）

受信モードにおいて 1 バイト受信ごとに、受信データバッファ（NTDTBP0 レジスタ）の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

RWE ビットが 0 のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。ACKTWE ビットと RWE ビットがともに 0 のとき、ダブルバッファによる連続受信動作が可能です。

RWE ビットが 1 のとき、1 バイト受信ごとに、9 クロック目の立ち下がり以降、NTDTBP0 レジスタ値が読み出されるまでの間、I3C_SCL ラインを Low にホールドします。

これによって、1 バイトごとの受信動作が可能になります。

注. RWE ビットを読み出す場合は、NTDTBP0 レジスタを先に読んでください。

27.2.26 SCSTLCTL : SCL ストールコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x0B0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ACKPE	PARPE	—	AAPE	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	0
Bit field:	STLCYC[15:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
15:0	STLCYC[15:0]	ストールサイクル ストール期間のカウンタ設定（I3Cφ サイクル）。各フェーズ共通用。	R/W
27:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	AAPE	アドレス配置フェーズイネーブル アドレス配置の最初のビットでストール可能なビットを有効にします。 0: アドレス配置フェーズで、SCL クロックをストールしない 1: アドレス配置フェーズで、SCL クロックをストールする	R/W
29	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30	PARPE	パリティフェーズイネーブル パリティビット期間のストール許可ビット 0: パリティビット期間で、SCL クロックをストールしない 1: パリティビット期間で、SCL クロックをストールする	R/W
31	ACKPE	ACK フェーズイネーブル ACK/NACK フェーズのストール許可ビット 0: ACK/NACK フェーズで、SCL クロックをストールしない 1: ACK/NACK フェーズで、SCL クロックをストールする	R/W

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

レジスタの設定は、5.1.2.5 MIPI I3C 仕様 v1.0 のマスタクロックストール に従います。バス性能が低下するため、その使用は必要時のみにしてください。

STLCYC[15:0]ビット（ストールサイクル）

これらのビットは、SCL ストール期間を設定します。この SCL ストール期間は、内部基準クロック (I3Cφ) でカウントします。これは、各フェーズの許可ビットに共通のカウンタです。

AAPE ビット（アドレス配置フェーズイネーブル）

入力ダイナミックアドレス配置 CCC コマンドのアドレス配置フェーズの最初のビットの Low 期間の間、マスタが SCL をストールできます。スレーブの BCR と DCR に基づいてダイナミックアドレスをデバイスに配置することで、時間を稼ぐことができます。しかし、ダイナミックアドレス配置手順は DATBASm (m = 0～7) レジスタに設定されたダイナミックアドレスを順に送付するため、このビットを設定することは不要であり、禁止されています。

PARPE ビット（パリティフェーズイネーブル）

送信データ FIFO のアンダーランを回避するため、SCL ストールに I3C 書き込み転送の送信データのパリティビットを使用できます。しかし、I3C マスタの送信データ FIFO がエンプティになるとき、このビットの設定にかかわらず SCL ストールを行うため、このビットを設定することは不要であり禁止されています。I3C スレーブが受信データに対する準備時間を必要とするときは、このビットを設定する必要があります。

ACKPE ビット（ACK フェーズイネーブル）

以下の判断基準を基に、ACK/NACK フェーズにおいて SCL ストールの要否を決定してください。

- バスに接続している I3C スレーブと I2C スレーブがデータを送受信するための準備時間を必要とするときは、このビットを設定する必要があります。
- レガシー I^2C 通信で、I3C マスタのデータ FIFO がアンダーランもしくはオーバーランする可能性がある場合、このビットの設定にかかわらず FIFO エンプティまたはフルによって SCL ストールが実施されるので、このビットを設定する必要はありません。
- レガシー I^2C 通信以外で、I3C マスタのデータ FIFO がアンダーランもしくはオーバーランする可能性があり、ACK フェーズで SCL ストールが必要になる場合、このビットを設定できます。ただし、FIFO スレッショルド設定 (NQTHCTL, NTBTHCTL0, NRQTHCTL, HQTHCTL, HTBTHCTL) に従って発生した割り込みによって、FIFO がアンダーランやオーバーフローをしないように、ソフトウェアを構成する必要があります。
- I3C マスタが ACK/NACK を IBI に対して応答するとき、ACK/NACK 応答を DATBASm.DVMRRJ および DATBASm.DVSIRRJ (m = 0～7) により前もって設定できるので、このビットを設定する必要はありません。
- バスに接続している I3C スレーブがダイレクト GET CCC にデータを送信するための準備時間を必要とするときは、このビットを設定する必要があります。

27.2.27 SVTDLG0 : スレーブ転送データ長レジスタ 0

Base address: I3C = 0x4011_F000

Offset address: 0x0C0

Bit position:	31															16														0
Bit field:	STDLG[15:0]																—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:16	STDLG[15:0]	スレーブ転送データ長 転送するバイト数を表示します。	R/W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

27.2.28 STCTL : 同期タイミングコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x120

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STOE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STOE	同期タイミング出力有効 0: 無効 1: 有効	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタはすべての I3C モードをサポートします。

27.2.29 ATCTL : 非同期タイミングコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x124

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CDIV[7:0]								—	—	—	—	—	AMEOE	MREFOE	ATTRGS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ATTRGS	非同期タイミングトリガ選択(注1) 0: ソフトウェアトリガ 1: ハードウェアトリガ	R/W
1	MREFOE	MREF 出力有効（キャプチャイベント/カウンタオーバーフロー）(注2) 0: 無効 1: 有効	R/W
2	AMEOE	追加マスタによるバスイベント出力有効(注2) 0: 無効 1: 有効	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	CDIV[7:0]	TCLK カウンタ分周設定(注3)	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 2. このビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。
注 3. これらのビットはすべての I3C モードをサポートします。

27.2.30 ATTRG : 非同期タイミングトリガレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x128

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ATSTRG
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ATSTRG	非同期タイミングソフトウェアトリガ 0: 何もしない 1: ソフトウェアトリガ（ワンショットパルス）出力 読むと 0 が読めます。	W
31:1	—	書く場合、0 としてください。	W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

27.2.31 ATCCNTE : 非同期タイミングコントロールカウンタイネーブルレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x12C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ATCE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ATCE	MREF、MC2、SC1、SC2 用非同期タイミングカウンタ有効 0: 無効 1: 有効	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタはすべての I3C モードをサポートします。

27.2.32 CNDCTL : 条件コントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x140

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SPCND	SRCND	STCND
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCND	スタート (S) コンディション発行 0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
1	SRCND	繰り返しのスタート (Sr) コンディション発行 0: 繰り返しのスタートコンディションの発行を要求しない 1: 繰り返しのスタートコンディションの発行を要求する	R/W
2	SPCND	ストップ (P) コンディション発行 0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I^2C モードをサポートします。

STCND ビット（スタート (S) コンディション発行）

マスタモードへの遷移およびスタートコンディションの発行を要求します。

スタートコンディション発行の詳細については、「27.3.2.3.3. スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- STCND ビットに 1 を書いたとき

[0 になる条件]

- STCND ビットに 0 を書いたとき
- スタートコンディションの発行が完了したとき（スタートコンディションを検出したとき）
- BST.ALF（アービトレーションロスト）フラグが 1 になったとき

注. STCND ビットは、BCST.BFREF フラグが 1（バスフリー）のとき、1（スタートコンディション発行要求）にしてください。

BFREF フラグが 1（バスビジー）のとき、STCND ビットを 1（スタートコンディション発行要求）にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

SRCND ビット（繰り返しのスタート (Sr) コンディション発行）

マスタモードで繰り返しのスタートコンディションの発行を要求します。

本ビットが 1 になると繰り返しのスタートコンディションの発行を要求し、BFREF フラグが 0（バスビジー）でかつ PRSST.CRMS ビットが 1（マスタモード）のとき、繰り返しのスタートコンディションの発行を行います。

繰り返しのスタートコンディション発行の詳細については、「27.3.2.3.3. スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- BCST.BFREF フラグが 0 の状態で、SRCND ビットに 1 を書いたとき

[0 になる条件]

- SRCND ビットに 0 を書いたとき
- 繰り返しのスタートコンディションの発行が完了したとき（繰り返しのスタートコンディションを検出したとき）
- BST.ALF（アービトレーションロスト）フラグが 1 になったとき

注. ストップコンディション発行中に SRCND ビットを 1 にしないでください。

注. スレーブモードでは SRCND ビットに 1（繰り返しのスタートコンディション発行要求）を書いた場合、繰り返しのスタートコンディションは発行されずに SRCND ビットは 1 のままになります。
このビットをクリアせずにマスタモードに遷移させた場合、繰り返しのスタートコンディションが発行される可能性がありますので注意してください。

SPCND ビット（ストップ (P) コンディション発行）

マスタモードでストップコンディションの発行を要求します。

本ビットが 1 になるとストップコンディションの発行を要求し、BCST.BFREF フラグが 0（バスビジー）でかつ PRSST.CRMS ビットが 1（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細については、「27.3.2.3.3. スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能」を参照してください。

[1 になる条件]

- BCST.BFREF フラグが 0、PRSST.CRMS ビットが 1 の状態で、SPCND ビットに 1 を書いたとき

[0 になる条件]

- SPCND ビットに 0 を書いたとき
- ストップコンディションの発行が完了したとき（ストップコンディションを検出したとき）
- BST.ALF（アービトレーションロスト）フラグが 1 になったとき
- スタートコンディションおよび繰り返しのスタートコンディションが検出されたとき

注. BCST.BFREF フラグが 1（バスフリー）のとき、SPCND ビットへの書き込みはできません。

注. 繰り返しのスタートコンディション発行中に SPCND ビットを 1 にしないでください。

27.2.33 NCMDQP : 通常コマンドキューポートレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x150

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	通常コマンドキューポートレジスタ	W

注. このレジスタはすべての I3C モードをサポートします。

32 ビットメールボックスレジスタ NCMDQP には、要求された転送タイプに応じたコマンドディスクリプタ構造を含んでいます。

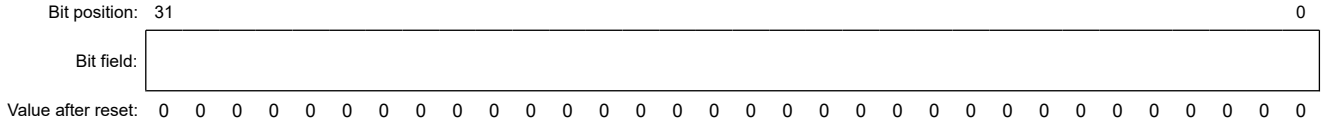
1. アドレス配置コマンド（「27.3.1.1.1. アドレス配置コマンド」参照）
2. 即時データ転送（「27.3.1.1.2. 即時データ転送コマンド」参照）
3. 通常データ転送（「27.3.1.1.3. 通常データ転送コマンド」参照）
4. 書き込み+書き込み／読み出しコンボデータ転送（「27.3.1.1.4. コンボデータ転送コマンド」参照）
5. 内部コントロールコマンド（「27.3.1.1.5. 内部コントロールコマンド」参照）

コマンドディスクリプタ内で、最下位 DWORD で始まり最上位 DWORD で終わる DWORD が現れます。

27.2.34 NRSPQP : 通常レスポンスキューポートレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x154



ビット	シンボル	機能	R/W
31:0	n/a	通常レスポンスキューポート	R

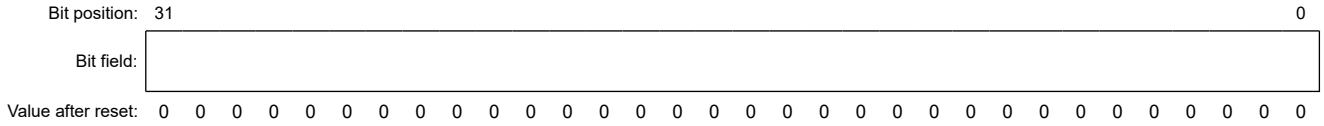
注. このレジスタはすべての I3C モードをサポートします。

32 ビットメールボックスレジスタ NRSPQP には、レスポンス構造（「27.3.1.4. 受信ステータスディスクリプタ」参照）を含んでいます。

27.2.35 NTDTBP0/NTDTBP0_BY : 通常転送データバッファポートレジスタ 0

Base address: I3C = 0x4011_F000

Offset address: 0x158



ビット	シンボル	機能	R/W
31:0	n/a	通常転送データバッファポート NTDTBP0 レジスタは、32 ビットの読み出し／書き込みレジスタです。 NTDTBP0_BY (NTDTBP0[7:0]) レジスタは、8 ビットの読み出し／書き込みレジスタです。	R/W

注. NTDTBP0 レジスタは、I3C モードでは 32 ビットアクセスです。

NTDTBP0_BY レジスタは、I^2C モードでは 8 ビットアクセスです。

32 ビットメールボックスレジスタ NTDTBP0 は、32 ビットの双方向性データ転送レジスタで、通常受信データバッファからの読み出しと通常送信データバッファへの書き込みの両方に使用します。

言い換えれば、通常受信データバッファと通常送信データバッファは、I3C データを送受信する 1 つの双方向ポートを形成する同一のオフセットを有します。

読み出し動作

[I3C プロトコルモード]

通常受信データバッファからのデータ読み出し通常キューステータスレベル表示に基づいて読み出す必要があります。受信データは常に 4 バイト境界で整列し、通常受信データバッファに保存されます。データ転送の長さ

が 4 バイト境界に揃っていないと、余分な（使用されない）バイトが転送データの末尾に存在することになります。有効なデータは、応答ディスクリプタの DATA_LENGTH フィールドを使用して識別する必要があります。

[I2C プロトコルモード]

1 バイトのデータの受信が終了すると、受信したデータは内部シフトレジスタから NTDTBP0 レジスタへ転送されて、次のデータの受信が可能になります。内部シフトレジスタと NTDTBP0 レジスタはダブルバッファ構造になっているため、内部シフトレジスタのデータ受信中に、すでに受信したデータを NTDTBP0 レジスタから読んでおくと連続受信動作が可能になります。NTDTBP0 レジスタからの読み出しは、受信データフル割り込み (I3C_RX) 要求が発生したときに 1 回だけ行ってください。受信データを NTDTBP0 レジスタから読み出さないまま（NTST.RDBFF0 フラグが 1 の状態のまま）NTDTBP0 レジスタが次の受信データを受け取ると、本モジュールは RDBFF0 フラグが再び 1 になるタイミングの 1 つ手前の SCL クロックで自動的に Low ホールドを行います。32 ビットリードデータの下位 8 ビットは、受信データとして有効です。

書き込み動作

[I3C プロトコルモード]

通常送信データバッファへのデータ書き込み通常送信データバッファへ書き込むデータ DWORD は、DWORD LSB から順に、I3C バスに一度に 1 バイトづつ置かれます。各バイト内のビットは、I3C バスにビット 7 から始まるビッグエンディアンの順で出力されます。送信データは常に 4 バイト境界で整列して始まり、NTDTBP0 レジスタに書き込まれます。転送のデータ長が 4 バイト境界に揃っていない場合、転送されるデータの末尾に追加の（未使用の）バイトが付加されます。I3C は、コマンドディスクリプタの DATA_LENGTH フィールドに示される有効なバイト数のみを送信します。

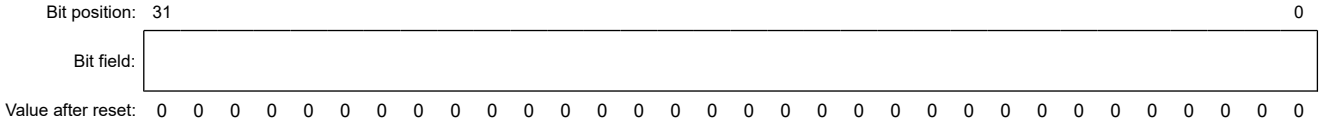
[I2C プロトコルモード]

NTDTBP0 レジスタが内部シフトレジスタの空きを検出すると、NTDTBP0 レジスタに書き込まれた送信データが内部シフトレジスタへ転送され、送信モードでデータ送信を開始します。NTDTBP0 レジスタと内部シフトレジスタはダブルバッファ構造になっているため、内部シフトレジスタのデータ送信中に、次に送信するデータを NTDTBP0 レジスタに書いておくと連続送信動作が可能です。NTDTBP0 レジスタへの送信データの書き込みは、送信データエンプティ割り込み (I3C_TX) 要求が発生したときに 1 回だけ行ってください。書き込まれた 32 ビットデータの下位 8 ビットは、送信データとして有効です。

27.2.36 NIBIQP : 通常 IBI キューポートレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x17C



ビット	シンボル	機能	R/W
31:0	n/a	通常 IBI キューポート	R/W

注. このレジスタはすべての I3C モードをサポートします。

IBI の受信時、32 ビットメールボックスレジスタ NIBIQP を以下の両方に使用します。

- IBI ステータスディスクリプタの読み出し（「27.3.1.3. IBI ステータスディスクリプタ」参照）
- IBI データの読み出し（Raw または Opaque のデータ）

IBI ステータスディスクリプタは、I3C バスのスレーブデバイスから受信した IBI イベントを表すリードオンリーの構造をしています。

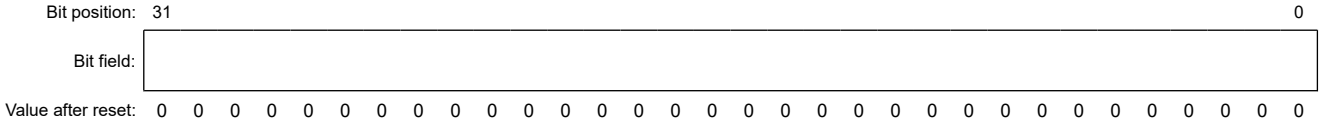
注. I3C HCI 自動読み出し機能を使用した場合、IBI データは自動生成のプライベートリード動作で受信したデータを含みます。

LAST_STATUS を 0 としても、ドライバソフトウェアは CHUNKS フィールドを確認してデータのペイロード長を評価します。

27.2.37 NRSQP : 通常受信ステータスキューポートレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x180



ビット	シンボル	機能	R/W
31:0	n/a	通常受信ステータスキューポート	R

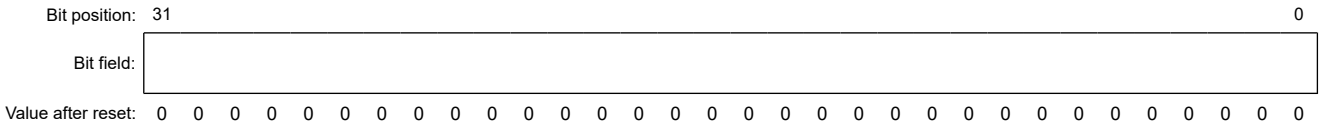
注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

32 ビットメールボックスレジスタ NRSQP には、受信ステータス構造（「27.3.1.4. 受信ステータスディスクリプタ」参照）を含んでいます。

27.2.38 HCMDQP : 優先コマンドキューポートレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x184



ビット	シンボル	機能	R/W
31:0	n/a	優先コマンドキューポート	W

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

32 ビットメールボックスレジスタ HCMDQP には、要求された転送タイプに応じたコマンドディスクリプタ構造を含んでいます。

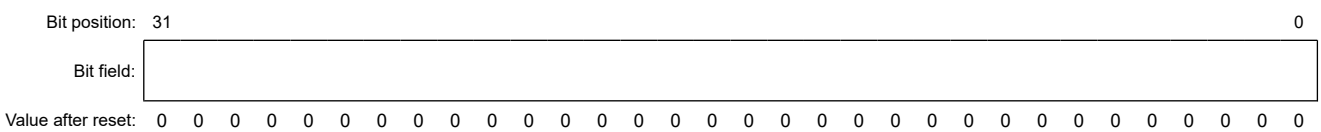
1. アドレス配置コマンド（「27.3.1.1.1. アドレス配置コマンド」参照）
2. 即時データ転送（「27.3.1.1.2. 即時データ転送コマンド」参照）
3. 通常データ転送（「27.3.1.1.3. 通常データ転送コマンド」参照）
4. 書き込み+書き込み／読み出しコンボ転送（「27.3.1.1.4. コンボデータ転送コマンド」参照）
5. 内部コントロールコマンド（「27.3.1.1.5. 内部コントロールコマンド」参照）

コマンドディスクリプタ内で、最下位 DWORD で始まり最上位 DWORD で終わる DWORD が現れます。

27.2.39 HRSPQP : 優先レスポンスキューポートレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x188



ビット	シンボル	機能	R/W
31:0	n/a	優先レスポンスキューポート	R

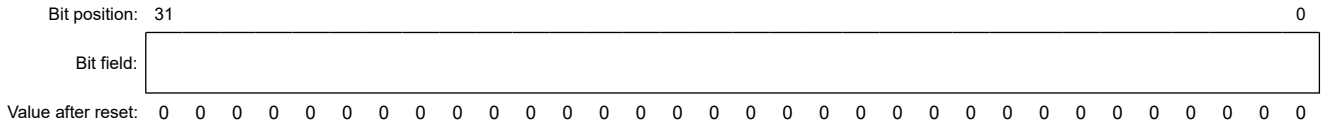
注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

32 ビットメールボックスレジスタ HRSPQP には、レスポンス構造を含んでいます。(「27.3.1.2. レスポンスディスクリプタ」を参照してください。)

27.2.40 HTDTBP : 優先転送データバッファポートレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x18C



ビット	シンボル	機能	R/W
31:0	n/a	優先転送データバッファポート	R/W

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

HTDTBP レジスタは、32 ビットの双方向性データ転送レジスタで、優先受信データバッファからの読み出しと優先送信データバッファへの書き込みの両方に使用します。

読み出し動作

優先 RX バッファからデータを受信し、HTDTBP レジスタから読み出します。キューステータス表示に基づいて読み出す必要があります。

受信データは常に 4 バイトバウンダリで整列し、優先受信データバッファに保存されます。

送信データの長さが 4 バイトバウンダリで整列していない場合、追加の（未使用の）バイトが送信データの末尾に付加されます。

有効なデータは、レスポンスディスクリプタの DATA_LENGTH フィールドを使って表されなければなりません。

書き込み動作

優先 TX バッファにデータを送信し、HTDTBP レジスタに書き込みます。データポートへ書き込むデータ DWORD は、DWORD LSB から順に I3C バスに一度に 1 バイトづつ置かれます。各バイト内のビットは、I3C バスにビット 7 から始まるビッグエンディアンの順で出力されます。

優先送信データポートは優先送信データバッファにマッピングされます。

送信データは常に 4 バイトバウンダリで始まるように整列し、送信データポートレジスタに書き込まれます。

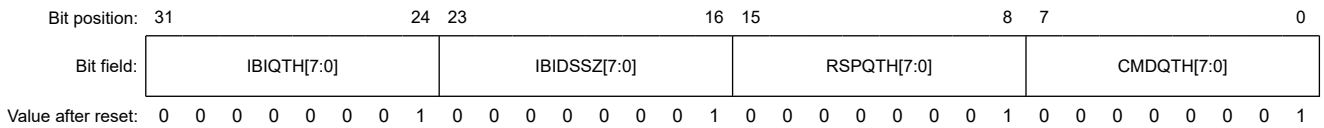
送信データの長さが 4 バイトバウンダリで整列していない場合、追加の（未使用の）バイトが送信データの末尾に付加されます。

I3C は常に、コマンドディスクリプタの DATA_LENGTH フィールドに示される有効なバイト数で送ります。

27.2.41 NQTHCTL : 通常キュースレッショルドコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x190



ビット	シンボル	機能	R/W
7:0	CMDQTH[7:0]	通常コマンドレディキュースレッショルド(注1) 0x00: コマンドキューが完全にエンプティのとき割り込みを発行する その他: コマンドキューに N 個のエンプティがあるとき割り込みを発行する(N = CMDQTH[7:0])	R/W

ビット	シンボル	機能	R/W
15:8	RSPQTH[7:0]	通常レスポンスキュースレッショルド(注1) 0x00: レスポンスキューに 1 個のエントリ (DWORD) があるとき割り込みを発行する その他: レスポンスキューに N+1 個のエントリ (DWORD) があるとき割り込みをトリガする(N = CMDQTH[7:0])	R/W
23:16	IBIDSSZ[7:0]	通常 IBI データセグメントサイズ(注2) 使用可能な値 Min: 1（4 バイト） Max: 63（252 バイト）ただし、構成した IBI キュー深度が 64 以上である場合 ATCCNTE.ATCE = 1 の場合、スライス数が 2 以上であること	R/W
31:24	IBIQTH[7:0]	通常 IBI キュースレッショルド(注1) 0x00: I3C プロトコルモード（マスタ）: 発生した IBI ステータス数が 1 以上のとき、割り込みを発行する I3C プロトコルモード（スレーブ）: IBI データバッファが完全にエンプティのとき、割り込みを発行する その他: I3C プロトコルモード（マスタ）: 発生した IBI ステータス数が N + 1 以上のとき、割り込みを発行する(N = CMDQTH[7:0]) I3C プロトコルモード（スレーブ）: データバッファに N 個のエンプティがあるとき割り込みを発行する	R/W

注 1. これらのビットはすべての I3C モードをサポートします。
注 2. これらのビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

キュースレッショルドコントロールレジスタは、コマンドキュー、レスポンスキュー、IBI キューの割り込みトリガスレッショルドをコントロールします。

特定のリセット値で指示し、ハードウェア実装固有のものにできます。

CMDQTH[7:0]ビット（通常コマンドレディキュースレッショルド）

I3C_CMD 割り込みをトリガするために必要な最小のコマンドキューエンプティの数を制御します。

フィールドが（コマンドキューサイズ(注1) – 1）より大きい場合、フルバッファ深度をアドレスするのに必要なビット数のみが考慮されます。

RSPQTH[7:0]ビット（通常レスポンスキュースレッショルド）

I3C_RESP 割り込みをトリガするために必要な最小の応答キューエントリの数を制御します。

フィールドが（レスポンスステータスキューサイズ(注2) – 1）より大きい場合、フルバッファ深度をアドレスするのに必要なビット数のみが考慮されます。

IBIDSSZ[7:0]ビット（通常 IBI データセグメントサイズ）

DWORD（4 バイト）の IBI データセグメントサイズです。

PIO モードでは、このフィールドによって、受信した IBI データを複数のセグメントにスライスして、個別にステータスを生成できるため、長い IBI ペイロードデータのカットスルー読み出しが可能になります。

非同期タイミングコントロールモードを使用するとき、1 つのデータセグメントがマスタタイムスタンプ値全体（例、MREF と MC2 の両方）を含むようにするため、このフィールドは 1 と 3 以外の値に設定します。

IBIQTH[7:0]ビット（通常 IBI キュースレッショルド）

I3C プロトコルモード（マスタ）: PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 1

IBI キューの発生した IBI ステータス数の値に基づいて、I3C_IBI 割り込みの生成を制御します。

それぞれの IBI ステータスエントリは、IBI ペイロード全体（IBI ペイロードバイトサイズが 4×IBIDSSZ 以下の場合）または、IBI ペイロードの 1 つのセグメント（IBI ペイロードのバイトサイズが 4×IBIDSSZ より大きい場合）のいずれかを表します。

I3C プロトコルモード（スレーブ）: PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 0

I3C_IBI 割り込みをトリガするために必要な最小限の IBI データバッファエンプティ数を制御します。

フィールドが（IBI データバッファサイズ(注3) – 1）より大きい場合、フルバッファ深度をアドレスするのに必要なビット数のみが考慮されます。

注 1. コマンドキューのサイズは 4 です。

注 2. 応答ステータスキューのサイズは 4 です。
注 3. IBI データバッファのサイズは 8 です。

注. I3C が確実に 1 つのコマンドキュー、1 つの応答キュー、および 1 つの IBI キューを有することを前提としています。

27.2.42 NTBTHCTL0 : 通常転送データバッファスレッショルドコントロールレジスタ 0

Base address: I3C = 0x4011_F000

Offset address: 0x194

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	RXSTTH[2:0]			—	—	—	—	—	TXSTTH[2:0]		
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	RXDBTH[2:0]			—	—	—	—	—	TXDBTH[2:0]		
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	TXDBTH[2:0]	通常送信データバッファスレッショルド(注1) 0 0 0: 2 個の Tx バッファのエンプティ DWORD で割り込みをトリガする 0 0 1: 4 個の Tx バッファのエンプティ DWORD で割り込みをトリガする 0 1 0: 8 個の Tx バッファのエンプティ DWORD で割り込みをトリガする 0 1 1: 16 個の Tx バッファのエンプティ DWORD で割り込みをトリガする その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	RXDBTH[2:0]	通常受信データバッファスレッショルド(注1) 0 0 0: 2 個の Rx バッファのエントリ DWORD で割り込みをトリガする 0 0 1: 4 個の Rx バッファのエントリ DWORD で割り込みをトリガする 0 1 0: 8 個の Rx バッファのエントリ DWORD で割り込みをトリガする 0 1 1: 16 個の Rx バッファのエントリ DWORD で割り込みをトリガする その他: 設定禁止	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	TXSTTH[2:0]	通常 Tx スタートスレッショルド(注2) 0 0 0: 2 個のエントリ DWOR を待つ 0 0 1: 4 個のエントリ DWOR を待つ 0 1 0: 8 個のエントリ DWOR を待つ 0 1 1: 16 個のエントリ DWOR を待つ その他: 設定禁止	R/W
23:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	RXSTTH[2:0]	通常 Rx スタートスレッショルド(注2) 0 0 0: 2 個のエンプティ DWORD を待つ 0 0 1: 4 個のエンプティ DWORD を待つ 0 1 0: 8 個のエンプティ DWORD を待つ 0 1 1: 16 個のエンプティ DWORD を待つ その他: 設定禁止	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. これらのビットはすべての I3C モードをサポートします。
注 2. これらのビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

データバッファコントロールレジスタは、受信データバッファキューと送信データバッファキューの割り込みトリガスレッショルドをコントロールします。

TXDBTH[2:0]ビット（通常送信データバッファスレッショルド）

DWORD において、I3C_TX 割り込みをトリガする、送信 FIFO エンプティの最小数。

ソフトウェアは、送信データバッファサイズより小さい値を本レジスタにプログラムする必要があります。

RXDBTH[2:0]ビット（通常受信データバッファスレッショルド）

DWORD において、I3C_RX 割り込みをトリガする、受信 FIFO エントリの最小数。

ソフトウェアは、受信データバッファサイズより小さい値を本レジスタにプログラムする必要があります。

TXSTTH[2:0]ビット（通常 Tx スタートスレッショルド）

I3C バスで書き込み転送をする準備をするとき、I3C は送信バッファが少なくともロケーションの数より多く使用可能になるまで待つ必要があります。

以下の 2 つの構成可能なモードのオプションがあります。

1. ストアアンドフォワードモード
   TXSTTH[2:0]フィールドが送信バッファサイズに設定されている場合、I3C はライトコマンドの実行を以下のように遅延させることとします。
   - 送信するデータ長が送信バッファサイズより大きい場合、本モジュールは送信 FIFO が完全にフルになるまで待ちます。
   - 送信するデータ長が送信バッファサイズより小さい場合、I3C は送信するデータを格納できる送信 FIFO のロケーションが十分確保できるまで待ちます。
2. スレッショルドモード
   TXSTTH[2:0]フィールド値が送信バッファサイズより小さい場合、I3C は表示された送信 FIFO ロケーションがエントリされたらすぐにライトコマンドを実行します。

RXSTTH[2:0]ビット（通常 Rx スタートスレッショルド）

I3C バスで読み出し転送をする準備をするとき、I3C は DWORD において受信バッファが少なくともエンプティロケーションの数より多くなるまで待つ必要があります。

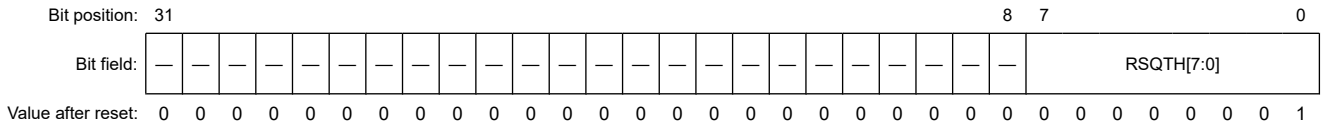
以下の 2 つの構成可能なモードのオプションがあります。

1. ストアアンドフォワードモード
   RXSTTH[2:0]フィールドが受信バッファサイズに設定されている場合、I3C はリードコマンドの実行を以下のように遅延させることとします。
   - 送信するデータ長が受信バッファサイズより大きい場合、本モジュールは受信 FIFO が完全にエンプティになるまで待ちます。
   - 送信するデータ長が受信バッファサイズより小さい場合、I3C は送信するデータを格納できる受信 FIFO のロケーションが十分確保できるまで待ちます。
2. スレッショルドモード
   RXSTTH[2:0]フィールド値が受信バッファサイズより小さい場合、I3C は表示された受信 FIFO ロケーションがエンプティになったらすぐにリードコマンドを実行します。

27.2.43 NRQTHCTL : 通常受信ステータスキュースレッショルドコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x1C0



ビット	シンボル	機能	R/W
7:0	RSQTH[7:0]	通常受信ステータスキュースレッショルド 0x00: 受信ステータスキューに 1 個のエントリ (DWORD) があるとき割り込みを発行する その他: 受信ステータスキューに N+1 個のエントリ (DWORD) があるとき割り込みをトリガする(N = RSQTH[7:0])	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. 本レジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

RSQTH[7:0]ビット（通常受信ステータスキュースレッショルド）

I3C_RCV 割り込みをトリガするために必要な最小の受信ステータスキューエントリの数をコントロールします。

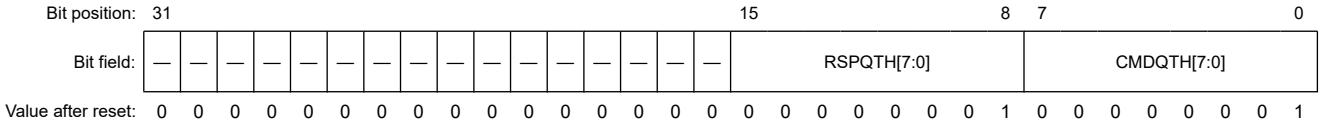
フィールドが（受信ステータスキューサイズ(注1) – 1）より大きい場合、フルバッファ深度をアドレスするのに必要なビット数のみが考慮されます。

注 1. 受信ステータスキューのサイズは 2 です。

27.2.44 HQTHCTL : 優先キュースレッショルドコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x1C4



ビット	シンボル	機能	R/W
7:0	CMDQTH[7:0]	優先コマンドレディキュースレッショルド 0x00: 優先コマンドキューが完全にエンプティのとき割り込みを発行する その他: 優先コマンドキューに N 個のエントリがあるとき割り込みを発行する (N = CMDQTH[7:0])	R/W
15:8	RSPQTH[7:0]	優先レスポンスレディキュースレッショルド 0x00: 優先レスポンスキューに 1 個のエントリ (DWORD) があるとき割り込みを発行する その他: 優先レスポンスキューに N+1 個のエントリ (DWORD) があるとき割り込みをトリガする (N = RSPQTH[7:0])	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

優先キュースレッショルドコントロールレジスタは、優先コマンドキュー、優先レスポンスキュー、IBI キューの割り込みトリガスレッショルドをコントロールします。

特定のリセット値で指示し、ハードウェア実装固有のものにできます。

CMDQTH[7:0]ビット（優先コマンドレディキュースレッショルド）

I3C_HCMD 割り込みをトリガするために必要な最小のエンプティ優先コマンドキューエントリの数をコントロールします。

フィールドが（優先コマンドキューサイズ(注1) – 1）より大きい場合、フルバッファ深度をアドレスするのに必要なビット数のみが考慮されます。

RSPQTH[7:0]ビット（優先レスポンスレディキュースレッショルド）

I3C_HRESP 割り込みをトリガするために必要な最小の優先レスポンスキューエントリの数をコントロールします。

フィールドが（優先レスポンスステータスキューサイズ(注2) – 1）より大きい場合、フルバッファ深度をアドレスするのに必要なビット数のみが考慮されます。

注 1. 優先コマンドキューのサイズは 2 です。
注 2. 優先レスポンスステータスキューのサイズは 2 です。

注. I3C が確実に 1 つの優先コマンドキュー、1 つの優先レスポンスキュー、1 つの IBI キューを有することを前提としています。

27.2.45 HTBTHCTL : 優先転送データバッファスレッショルドコントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x1C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	RXSTTH[2:0]			—	—	—	—	—	TXSTTH[2:0]		
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	RXDBTH[2:0]			—	—	—	—	—	TXDBTH[2:0]		
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
2:0	TXDBTH[2:0]	優先送信データバッファスレッショルド 0 0 0: 2 個の優先送信バッファエンプティ DWORD で割り込みをトリガする 0 0 1: 予約 その他 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	RXDBTH[2:0]	優先受信データバッファスレッショルド 0 0 0: 2 個の優先 Rx バッファのエントリ DWORD で割り込みをトリガする 0 0 1: 予約 その他 設定禁止	R/W
15:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	TXSTTH[2:0]	優先 Tx スタートスレッショルド 0 0 0: 2 個のエントリ DWORD を待つ 0 0 1: 予約 その他 設定禁止	R/W
23:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
26:24	RXSTTH[2:0]	優先 Rx スタートスレッショルド 0 0 0: 2 個のエンプティ DWORD を待つ 0 0 1: 予約 その他 設定禁止	R/W
31:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

TXDBTH[2:0]ビット（優先送信データバッファスレッショルド）

DWORD において、I3C_HTX 割り込みをトリガする、優先送信 FIFO エンプティの最小数。ソフトウェアは、優先送信データバッファサイズより小さい値を本レジスタにプログラムする必要があります。

RXDBTH[2:0]ビット（優先受信データバッファスレッショルド）

DWORD において、I3C_HRX 割り込みをトリガする、優先受信 FIFO エントリの最小数。ソフトウェアは、優先受信データバッファサイズより小さい値を本レジスタにプログラムする必要があります。

TXSTTH[2:0]ビット（優先 Tx スタートスレッショルド）

I3C バスで書き込み転送をする準備をするとき、I3C は優先送信バッファが少なくともロケーションの数より多く使用可能になるまで待つ必要があります。

以下の 2 つの構成可能なモードのオプションがあります。

1. ストアアンドフォワードモード
   TXSTTH[2:0]フィールドが優先送信バッファサイズに設定されている場合、I3C はライトコマンドの実行を以下のように遅延させることとします。
   - 送信するデータ長が優先送信バッファサイズより大きい場合、I3C は優先送信 FIFO が完全にフルになるまで待ちます。

- 送信するデータ長が優先送信バッファサイズより小さい場合、I3C は送信するデータを格納できる優先送信 FIFO のロケーションが十分確保できるまで待ちます。

2. スレッショルドモード
TXSTTH[2:0]フィールド値が優先送信バッファサイズより小さい場合、I3C は表示された優先送信 FIFO ロケーションがエントリされたらすぐにライトコマンドを実行します。

RXSTTH[2:0]ビット（優先 Rx スタートスレッショルド）

I3C バスで読み出し転送をする準備をするとき、I3C は DWORD において優先受信バッファが少なくともエンプティロケーションの数より多くなるまで待つ必要があります。

以下の 2 つの構成可能なモードのオプションがあります。

1. ストアアンドフォワードモード
RXSTTH[2:0]フィールドが優先受信バッファサイズに設定されている場合、I3C はリードコマンドの実行を以下のように遅延させることとします。
   - 受信するデータ長が優先受信バッファサイズより大きい場合、I3C は優先受信 FIFO が完全にエンプティになるまで待ちます。
   - 送信するデータ長が優先受信バッファサイズより小さい場合、I3C は送信するデータを格納できる優先受信 FIFO のロケーションが十分確保できるまで待ちます。
2. スレッショルドモード
RXSTTH[2:0]フィールド値が優先受信バッファサイズより小さい場合、I3C は表示された優先受信 FIFO ロケーションがエントリされたらすぐにリードコマンドを実行します。

27.2.46 BST : バスステータスレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x1D0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	WUCNDDF	—	—	—	TODF	—	—	—	ALF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDF	—	—	—	NACKDF	—	HDREXDF	SPCNDDF	STCNDDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDF	スタートコンディション検出フラグ 0: スタートコンディション未検出 1: スタートコンディション検出	R/W(注3)
1	SPCNDDF	ストップコンディション検出フラグ 0: ストップコンディション未検出 1: ストップコンディション検出	R/W(注3)
2	HDREXDF	HDR 終了パターン検出フラグ(注1) 0: HDR 終了パターンを検出していない 1: HDR 終了パターンを検出した	R/W(注3)
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	NACKDF	NACK 検出フラグ(注2) 0: NACK 未検出 1: NACK 検出	R/W(注3)
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TENDF	送信終了フラグ(注2) 0: データ送信中 1: データ送信終了	R/W(注3)

ビット	シンボル	機能	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ALF	アービトレーションロストフラグ(注2) 0: アービトレーションロスト未発生 1: アービトレーションロスト発生	R/W(注3)
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	TODF	タイムアウト検出フラグ 0: タイムアウト未検出 1: タイムアウト検出	R/W(注3)
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	WUCNDDF	ウェイクアップコンディション検出フラグ 0: ウェイクアップ未検出 1: ウェイクアップ検出	R/W(注3)
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I^2C モードをサポートします。
注 3. 0 になる条件：1 を読んだ後、0 を書き込んだとき

STCNDDF ビット（スタートコンディション検出フラグ）

[1 になる条件]

- 以下がすべて満たされたとき：
  1. BSTE.STCNDDE ビットが 1 である
  2. スタートコンディション（または繰り返しのスタートコンディション）が検出された

[0 になる条件]

- STCNDDF = 1 を読んだ後、STCNDDF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき

SPCNDDF ビット（ストップコンディション検出フラグ）

[1 になる条件]

- 以下がすべて満たされたとき：
  1. BSTE.SPCNDDE ビットが 1 である
  2. ストップコンディションが検出された

[0 になる条件]

- SPCNDDF = 1 を読んだ後、SPCNDDF フラグに 0 を書いたとき

HDREXDF ビット（HDR 終了パターン検出フラグ）

[1 になる条件]

- 以下がすべて満たされたとき：
  1. BSTE.HDREXDE ビットが 1 である
  2. HDR 終了パターンを検出した

[0 になる条件]

- HDREXDF = 1 を読んだ後、HDREXDF フラグに 0 を書いたとき

NACKDF ビット（NACK 検出フラグ）

[1 になる条件]

- 以下がすべて満たされたとき：
  1. PRTS.PRTMD ビットが 1 である（I^2C プロトコルモード）

2. BSTE.NACKDE ビットが 1 である（NACK 検出割り込みステータスログが有効）
3. 送信モード時に受信デバイスからアクノリッジを受信しない（NACK を受信した）

[0 になる条件]

- NACKDF = 1 を読んだ後、NACKDF フラグに 0 を書いたとき

TENDF ビット（送信終了フラグ）

[1 になる条件]

- 以下のすべてが満たされたとき：
  1. PRTS.PRTMD ビットが 1 である（I^2C プロトコルモード）
  2. BSTE.TENDE ビットが 1 である（送信終了割り込みステータスログが有効）
  3. NTST.TDBEF0 フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時点である（ただし、アドレス送信時を除く）

[0 になる条件]

- TENDF = 1 を読んだ後、TENDF フラグに 0 を書いたとき
- NTDTBP0 レジスタへデータを書いたとき
- ストップコンディションが検出されたとき

ALF ビット（アービトレーションロストフラグ）

[1 になる条件]

マスタアービトレーションロスト検出有効時：BSTE.ALE = 1、BFCTL.MALE = 1

- マスタ送信モード時のデータ（スレーブアドレスを含む）送信中に、ACK 期間を除く SCL クロックの立ち上がりエッジで内部の SDA 出力状態が SDA ラインレベルと不一致のとき（内部 SDA 出力が High 出力（SDA 端子がハイインピーダンス）の状態で、SDA ラインに Low を検出したとき）
- 以下のすべてが満たされたとき
  1. CNDCTL.STCND ビットが 1 の状態で、スタートコンディションが検出された
  2. 内部の SDA 出力状態が SDA ラインレベルと不一致である
- BCST.BFREF フラグが 0 の状態で CNDCTL.STCND ビットが 1（スタートコンディション発行要求）のとき

NACK アービトレーションロスト検出有効時：BSTE.ALE = 1、BFCTL.NALE = 1

- 受信モードでの NACK 送信中の ACK 期間において、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA ラインレベルと不一致のとき

スレーブアービトレーションロスト検出有効時：BSTE.ALE = 1、BFCTL.SALE = 1

- スレーブ送信モード時のデータ送信中の ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDA ラインレベルと不一致のとき

[0 になる条件]

- ALF = 1 を読んだ後、ALF フラグに 0 を書いたとき

TODF ビット（タイムアウト検出フラグ）

[1 になる条件]

- 以下がすべて満たされたとき
  1. BSTE.TODE ビットが 1 である（タイムアウト検出割り込みステータスログを許可）
  2. マスタモードであるとき、または、スレーブモードで受信したスレーブアドレスがスレーブアドレス n (n = 0〜2) と一致するとき
  3. SCL ライン状態が TMOCTL レジスタに指定された期間変わらないとき

[0 になる条件]

- TODF = 1 を読んだ後、TODF フラグに 0 を書いたとき

WUCNDDF ビット（ウェイクアップコンディション検出フラグ）

[1 になる条件]

I^2C プロトコルモード：PRTS.PRTMD = 1

- 以下がすべて満たされたうえで、PCLK と TCLK が供給されたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. BSTE.WUCNDDE ビットが 1（ウェイクアップ状態検出ステータスログが有効）である
  3. WUST.WUASYNF フラグ = 1
  4. スレーブモードで受信したアドレスが SVCTL.SVAE[2:0]ビットで有効にしたスレーブのアドレスと一致する（デバイス ID アドレスを除く）

I3C プロトコルモード（マスタ）：PRTS.PRTMD = 0、PRSST.CRMS = 1

- 以下の全てが満たされたうえで、PCLK と TCLK が供給されたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. BSTE.WUCNDDE ビットが 1（ウェイクアップ状態検出ステータスログが有効）である
  3. WUST.WUASYNF フラグ = 1
  4. SDA ラインの Low レベルを検出したとき（スタートコンディションを検出したとき）

I3C プロトコルモード（スレーブ）：PRTS.PRTMD = 0、PRSST.CRMS = 0

- 以下がすべて満たされたうえで、PCLK と TCLK が供給されたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. BSTE.WUCNDDE ビットが 1（ウェイクアップ状態検出ステータスログが有効）である
  3. WUST.WUASYNF フラグ = 1
  4. スタートコンディション（または繰り返しのスタートコンディション）の後にブロードキャストアドレス (0x7E) が検出され、そのブロードキャストアドレスに続く繰り返しのスタートコンディションの後にそれ自身のダイナミックアドレスが検出されたとき

[0 になる条件]

- WUST.WUASYNF フラグが 0 である状態で、WUCNDDF = 1 を読んだ後、WUCNDDF フラグに 0 を書いたとき

27.2.47 BSTE : バスステータス許可レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x1D4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	WUCNDDE	—	—	—	TODE	—	—	—	ALE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDE	—	—	—	NACKDE	—	HDREXDE	SPCNDDE	STCNDDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDE	スタートコンディション検出許可 0: スタートコンディション検出割り込みステータスログを禁止 1: スタートコンディション検出割り込みステータスログを許可	R/W
1	SPCNDDE	ストップコンディション検出許可 0: ストップコンディション検出割り込みステータスログを禁止 1: ストップコンディション検出割り込みステータスログを許可	R/W
2	HDREXDE	HDR 終了パターン検出許可(注1) 0: HDR 終了パターン検出割り込みステータスログを禁止 1: HDR 終了パターン検出割り込みステータスログを許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	NACKDE	NACK 検出許可(注2) 0: NACK 検出割り込みステータスログを禁止 1: NACK 検出割り込みステータスログを許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TENDE	送信終了許可(注2) 0: 送信終了割り込みステータスログを禁止 1: 送信終了割り込みステータスログを許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ALE	アービトレーションロスト許可(注2) 0: アービトレーションロスト割り込みステータスログを禁止 1: アービトレーションロスト割り込みステータスログを許可	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	TODE	タイムアウト検出許可 0: タイムアウト検出割り込みステータスログを禁止 1: タイムアウト検出割り込みステータスログを許可	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
24	WUCNDDE	ウェイクアップコンディション検出許可 0: ウェイクアップコンディション検出ステータスログを禁止 1: ウェイクアップコンディション検出ステータスログを許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I^2C モードをサポートします。

STCNDDE ビット（スタートコンディション検出許可）

このビットが 1 のとき、BST.STCNDDF の動作が有効になります。BST.STCNDDF フラグの 1 になる条件、0 になる条件については、BST.STCNDDF フラグの詳細を参照してください。

SPCNDDE ビット（ストップコンディション検出許可）

このビットが 1 のとき、BST.SPCNDDF の動作が有効になります。BST.SPCNDDF フラグの 1 になる条件、0 になる条件については、BST.SPCNDDF フラグの詳細を参照してください。

HDREXDE ビット（HDR 終了パターン検出許可）

このビットが 1 のとき、BST.HDREXDF の動作が有効になります。BST.HDREXDF フラグの 1 になる条件、0 になる条件については、BST.HDREXDF フラグの詳細を参照してください。

NACKDE ビット（NACK 検出許可）

このビットが 1 のとき、BST.NACKDF の動作が有効になります。送信モードのスレーブデバイスから NACK を受信した場合、転送動作を継続するか中断するかを指定するために使用されます。通常は、このビットを 1 にしてください。BST.NACKDF フラグの 1 になる条件、0 になる条件については、BST.NACKDF フラグの詳細を参照してください。

TENDE ビット（送信終了許可）

このビットが 1 のとき、BST.TENDF の動作が有効になります。BST.TENDF フラグの 1 になる条件、0 になる条件については、BST.TENDF フラグの詳細を参照してください。

ALE ビット（アービトレーションロスト許可）

このビットが 1 のとき、BST.ALF の動作が有効になります。BST.ALF フラグの 1 になる条件、0 になる条件については、BST.ALF フラグの詳細を参照してください。

TODE ビット（タイムアウト検出許可）

このビットが 1 のとき、BST.TODF の動作が有効になります。BST.TODF フラグの 1 になる条件、0 になる条件については、BST.TODF フラグの詳細を参照してください。

WUCNDDE ビット（ウェイクアップコンディション検出許可）

このビットが 1 のとき、BST.WUCNDDF の動作が有効になります。BST.WUCNDDF フラグの 1 になる条件、0 になる条件については、BST.WUCNDDF フラグの詳細を参照してください。

27.2.48 BIE : バス割り込み許可レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x1D8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	WUCNDDIE	—	—	—	TODIE	—	—	—	ALIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDIE	—	—	—	NACKDIE	—	HDREXDIE	SPCNDDIE	STCNDDIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDIE	スタートコンディション検出割り込み許可 0: スタートコンディション検出割り込み信号を禁止 1: スタートコンディション検出割り込み信号を許可	R/W
1	SPCNDDIE	ストップコンディション検出割り込み許可 0: ストップコンディション検出割り込み信号を禁止 1: ストップコンディション検出割り込み信号を許可	R/W
2	HDREXDIE	HDR 終了パターン検出割り込み許可(注1) 0: HDR 終了パターン検出割り込み信号を禁止 1: HDR 終了パターン検出割り込み信号を許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	NACKDIE	NACK 検出割り込み許可(注2) 0: NACK 検出割り込み信号を禁止 1: NACK 検出割り込み信号を許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TENDIE	送信終了割り込み許可(注2) 0: 送信終了割り込み信号を禁止 1: 送信終了割り込み信号を許可	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	ALIE	アービトレーションロスト割り込み許可(注2) 0: アービトレーションロスト割り込み信号を禁止 1: アービトレーションロスト割り込み信号を許可	R/W
19:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	TODIE	タイムアウト検出割り込み許可 0: タイムアウト検出割り込み信号を禁止 1: タイムアウト検出割り込み信号を許可	R/W
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
24	WUCNDDIE	ウェイクアップコンディション検出割り込み許可 0: ウェイクアップコンディション検出割り込み信号を禁止 1: ウェイクアップコンディション検出割り込み信号を許可	R/W
31:25	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I2C モードをサポートします。

BIE は、I3C で受信したバス割り込み発生の信号を許可します。

STCNDDIE ビット（スタートコンディション検出割り込み許可）

BST.STCNDDF フラグが 1 のとき、スタートコンディション検出割り込み要求を許可または禁止します。

SPCNDDIE ビット（ストップコンディション検出割り込み許可）

BST.SPCNDDF フラグが 1 のとき、ストップコンディション検出割り込み要求を許可または禁止します。

HDREXDIE ビット（HDR 終了パターン検出割り込み許可）

BST.HDREXDF フラグが 1 になったとき、HDR 終了パターン検出割り込み要求を許可または禁止します。

NACKDIE ビット（NACK 検出割り込み許可）

BST.NACKDF フラグが 1 のとき、NACK 検出割り込み要求を許可または禁止します。

TENDIE ビット（送信終了割り込み許可）

BST.TENDF フラグが 1 のとき、送信終了割り込み(I3C_TEND) 要求を許可または禁止します。

ALIE ビット（アービトレーションロスト割り込み許可）

BST.ALF フラグが 1 のとき、アービトレーションロスト割り込み要求を許可または禁止します。

TODIE ビット（タイムアウト検出割り込み許可）

BST.TODF フラグが 1 のとき、タイムアウト検出割り込み要求を許可または禁止します。

WUCNDDIE ビット（ウェイクアップコンディション検出割り込み許可）

BST.WUCNDDF フラグが 1 のとき、ウェイクアップコンディション検出割り込み (I3C_WU) 要求を許可または禁止します。

27.2.49 BSTFC : バスステータス強制レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x1DC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	WUCNDDFC	—	—	—	TODFC	—	—	—	ALFC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TENDFC	—	—	—	NACKDFC	—	HDREXDFC	SPCNDDFC	STCNDDFC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	STCNDDFC	スタートコンディション検出強制 0: ソフトウェアテスト用にスタートコンディション検出割り込みを強制しない 1: ソフトウェアテスト用にスタートコンディション検出割り込みを強制する	W
1	SPCNDDFC	ストップコンディション検出強制 0: ソフトウェアテスト用にストップコンディション検出割り込みを強制しない 1: ソフトウェアテスト用にストップコンディション検出割り込みを強制する	W

ビット	シンボル	機能	R/W
2	HDREXDFC	HDR 終了パターン検出強制(注1) 0: ソフトウェアテスト用に HDR 終了パターン検出割り込みを強制しない 1: ソフトウェアテスト用に HDR 終了パターン検出割り込みを強制する	W
3	—	読むと 0 が読めます。	R
4	NACKDFC	NACK 検出強制(注2) 0: ソフトウェアテスト用に NACK 検出割り込みを強制しない 1: ソフトウェアテスト用に NACK 検出割り込みを強制する	W
7:5	—	読むと 0 が読めます。	R
8	TENDFC(注3)	送信終了強制(注2) 0: ソフトウェアテスト用に送信終了割り込みを強制しない 1: ソフトウェアテスト用に送信終了割り込みを強制する	W
15:9	—	読むと 0 が読めます。	R
16	ALFC	アービトレーションロスト強制(注2) 0: ソフトウェアテスト用にアービトレーションロスト割り込みを強制しない 1: ソフトウェアテスト用にアービトレーションロスト割り込みを強制する	W
19:17	—	読むと 0 が読めます。	R
20	TODFC	タイムアウト検出強制 0: ソフトウェアテスト用にタイムアウト検出割り込みを強制しない 1: ソフトウェアテスト用にタイムアウト検出割り込みを強制する	W
23:21	—	読むと 0 が読めます。	R
24	WUCNDDFC	ウェイクアップコンディション検出強制 0: ソフトウェアテスト用にウェイクアップコンディション検出割り込みを強制しない 1: ソフトウェアテスト用にウェイクアップコンディション検出割り込みを強制する	W
31:25	—	読むと 0 が読めます。	R

注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I2C モードをサポートします。
注 3. TDBEF0 ビットが 1 でない限り、TENDFC は無効です。

27.2.50 NTST : 通常転送ステータスレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x1E0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RSQFF	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEF	—	—	—	TABTF	RSPQFF	CMDQEF	IBIQEFF	RDBFF0	TDBEF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEF0	通常送信データバッファエンプティフラグ 0 0: I2C プロトコルモード : PRTS.PRTMD ビット = 1 通常送信データバッファ 0 に送信データが格納されている I3C プロトコルモード : PRTS.PRTMD ビット = 0 通常送信データバッファ 0 のエンプティの数が NTBTHCTL0.TXDBTH[2:0]スレッショルドより小さい 1: I2C プロトコルモード : PRTS.PRTMD ビット = 1 通常送信データバッファ 0 に送信データが格納されていない I3C プロトコルモード : PRTS.PRTMD ビット = 0 通常送信データバッファ 0 のエンプティの数が NTBTHCTL0.TXDBTH[2:0]スレッショルドと同じか、より大きい	R/W(注3)

ビット	シンボル	機能	R/W
1	RDBFF0	通常受信データバッファフルフラグ 0 0: I2C プロトコルモード：PRTS.PRTMD ビット = 1 通常受信データバッファ 0 に受信データが格納されていない I3C プロトコルモード：PRTS.PRTMD ビット = 0 通常受信データバッファ 0 のエントリの数が NTBTHCTL0.RXDBTH[2:0]スレッショルドより小さい 1: I2C プロトコルモード：PRTS.PRTMD ビット = 1 通常受信データバッファ 0 に受信データが格納されている I3C プロトコルモード：PRTS.PRTMD ビット = 0 通常受信データバッファ 0 のエントリの数が NTBTHCTL0.RXDBTH[2:0]スレッショルドと同じか、より大きい	R/W(注3)
2	IBIQEFF	通常 IBI キューエンプティ／フルフラグ(注1) 0: I3C プロトコルモード（マスタ）：PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 1 IBI ステータスキューエントリの数は、NQTHCTL.IBIQTH スレッショルドと同じか、より小さい I3C プロトコルモード（スレーブ）：PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 0 NQTHCTL.IBIQTH ビット = 0 の場合： IBI データバッファエンプティの数は、IBI データバッファサイズより小さい NQTHCTL.IBIQTH ビットが 0 以外の場合： IBI データバッファエンプティの数は、NQTHCTL.IBIQTH スレッショルドより小さい 1: I3C プロトコルモード（マスタ）：PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 1 IBI ステータスキューエントリの数は、NQTHCTL.IBIQTH スレッショルドより大きい I3C プロトコルモード（スレーブ）：PRTS.PRTMD ビット = 0、PRSST.CRMS ビット = 0 NQTHCTL.IBIQTH ビット = 0 の場合： IBI データバッファエンプティの数は、IBI データバッファサイズと同じである NQTHCTL.IBIQTH ビットが 0 以外の場合： IBI データバッファエンプティの数は、NQTHCTL.IBIQTH スレッショルドと同じか、より大きい	R/W(注3)
3	CMDQEF	通常コマンドキューエンプティフラグ(注1) 0: NQTHCTL.CMDQTH ビット = 0 の場合： コマンドキューエンプティの数は、コマンドキューサイズより小さい NQTHCTL.CMDQTH ビットが 0 以外の場合： コマンドキューエンプティの数は、NQTHCTL.CMDQTH スレッショルドより小さい 1: NQTHCTL.CMDQTH ビット = 0 の場合： コマンドキューエンプティの数は、コマンドキューサイズと同じである NQTHCTL.CMDQTH ビットが 0 以外の場合： 1: コマンドキューエンプティの数は、NQTHCTL.CMDQTH スレッショルドと同じか、より大きい	R/W(注3)
4	RSPQFF	通常レスポンスキューフルフラグ(注1) 0: レスポンスキューエントリの数は、NQTHCTL.RSPQTH スレッショルドと同じか、より小さい 1: レスポンスキューエントリの数は、NQTHCTL.RSPQTH スレッショルドより大きい	R/W(注3)
5	TABTF	通常転送中断フラグ(注1) 0: 転送中断が発生しない 1: 転送中断が発生する 本ビットを 0 にするには、1 のステートを読んだ後、0 を書いてください。	R/W(注3)
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEF	通常転送エラーフラグ(注1) 0: 転送エラーが発生しない 1: 転送エラーが発生する 本ビットを 0 にするには、1 のステートを読んだ後、0 を書いてください。	R/W(注3)
19:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
20	RSQFF	通常受信ステータスキューフルフラグ(注2) 0: 受信ステータスキューエントリの数は、NRQTHCTL.RSQTH スレッショルドと同じか、より小さい 1: 受信ステータスキューエントリの数は、NRQTHCTL.RSQTH スレッショルドより大きい	R/W(注3)
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 3. 0 になる条件：1 の状態を読んだ後、0 を書き込んだとき

TDBEF0 ビット（通常送信データバッファエンプティフラグ 0）

[1 になる条件]

I2C プロトコルモード：PRTS.PRTMD ビット = 1

下記の 1.の条件が満たされ、かつ下記 2.～4.のいずれかの条件が満たされたとき

1. NTSTE.TDBEE0 ビットが 1 である（Tx0 データバッファエンプティ割り込みステータスログを許可）
2. 通常送信データバッファ 0 からシフトレジスタにデータが転送され、通常送信データバッファ 0 がエンプティになったとき(注1)
3. PRSST.TRMD ビットを 1 にしたとき
4. TRMD ビットが 1 の状態で、受信したスレーブアドレスが一致したとき

I3C プロトコルモード：PRTS.PRTMD ビット = 0

以下の 1.と 2.の条件を満たしたとき

1. NTSTE.TDBEE0 ビットが 1 である（Tx0 データバッファエンプティ割り込みステータスログを許可）
2. 通常送信データバッファ 0 のエンプティの数が NTBTHCTL0.TXDBTH[2:0]スレッショルド（NTBTHCTL0 レジスタを参照）と同じか、より大きい

[0 になる条件]

I2C プロトコルモード：PRTS.PRTMD ビット = 1

- NTDTBP0 レジスタへデータが書き込まれたとき
- PRSST.TRMD ビットが 0 になったとき

I3C プロトコルモード：PRTS.PRTMD ビット = 0

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による通常送信データへの直近の書き込みアクセスが完了したとき

注 1. BSTE.NACKDE ビットが 1 のとき、BST.NACKDF フラグが 1 になると、I3C はデータ送受信動作を中断します。TDBEF0 フラグが 0（次の送信データがすでに書き込まれている状態）の場合、9 クロック目の立ち上がりエッジでシフトレジスタへデータが転送されて、通常送信データバッファレジスタ 0 はエンプティになりますが、TDBEF0 フラグは 1 になりません。

RDBFF0 ビット（通常受信データバッファフルフラグ 0）

[1 になる条件]

I2C プロトコルモード：PRTS.PRTMD ビット = 1

下記の 1.の条件が満たされ、かつ下記 2.または 3.のいずれかの条件が満たされたとき

1. NTSTE.RDBFE0 ビットが 1 である（Rx0 データバッファフル割り込みステータスログを許可）
2. シフトレジスタから通常受信データバッファ 0 に受信データが転送されたとき
   RDBFF0 フラグは、SCL クロックの 8 クロック目または 9 クロック目（SCSTRCTL レジスタの ACKTWE ビットで選択）の立ち上がりエッジで 1 になる
3. PRSST.TRMD ビットが 0 の状態で、スタートコンディションまたは繰り返しのスタートコンディション検出後、受信したスレーブアドレスが一致したとき

I3C プロトコルモード：PRTS.PRTMD ビット＝0

以下の 1.と 2.の条件を満たしたとき

1. NTSTE.RDBFE0 ビットが 1 である（Rx0 データバッファフル割り込みステータスログを許可）
2. 通常受信データバッファ 0 のエントリの数が NTBTHCTL0.RXDBTH[2:0]スレッショルド（NTBTHCTL0 レジスタを参照）と同じか、より大きいとき

［0 になる条件］

I^2C プロトコルモード：PRTS.PRTMD ビット＝1

- NTDTBP0 レジスタからデータを読んだとき

I3C プロトコルモード：PRTS.PRTMD ビット＝0

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による通常受信データへの直近の読み出しアクセスが完了したとき

IBIQEFF ビット（通常 IBI キューエンプティ／フルフラグ）

［1 になる条件］

以下 2 つの条件を満たしたとき

1. NTSTE.IBIQEFE ビットが 1 である（IBI ステータスバッファエンプティ／フル割り込みステータスログを許可）
2. I3C プロトコルモード（マスタ）：PRTS.PRTMD ビット＝0、PRSST.CRMS ビット＝1
   - IBI ステータスキューエントリの数が、NQTHCTL.IBIQTH スレッショルド（NQTHCTL レジスタを参照）より大きいとき

   I3C プロトコルモード（スレーブ）：PRTS.PRTMD ビット＝0、PRSST.CRMS ビット＝0
   NQTHCTL.IBIQTH ビット＝0 の場合：
   - IBI データバッファが完全にエンプティのとき

   NQTHCTL.IBIQTH ビットが 0 以外の場合：
   - IBI データバッファエンプティの数が、NQTHCTL.IBIQTH スレッショルド（NQTHCTL レジスタを参照）と同じか、より大きいとき

［0 になる条件］

I3C プロトコルモード（マスタ）：PRTS.PRTMD ビット＝0、PRSST.CRMS ビット＝1

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による IBI ステータスへの直近の読み出しアクセスが完了したとき

I3C プロトコルモード（スレーブ）：PRTS.PRTMD ビット＝0、PRSST.CRMS ビット＝0

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による IBI ステータスへの直近の書き込みアクセスが完了したとき

CMDQEF ビット（通常コマンドキューエンプティフラグ）

［1 になる条件］

以下の 2 つの条件を満たしたとき

1. NTSTE.CMDQEE ビットが 1 である（コマンドバッファエンプティ割り込みステータスログを許可）
2. NQTHCTL.CMDQTH ビット＝0 の場合：
   - コマンドキューが完全にエンプティのとき

   NQTHCTL.CMDQTH ビットが 0 以外の場合：

- コマンドキューエンプティの数が、NQTHCTL.CMDQTH スレッショルド（NQTHCTL レジスタを参照）と同じか、より大きいとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による通常コマンドへの直近の書き込みアクセスが完了したとき

RSPQFF ビット（通常レスポンスキューフルフラグ）

[1 になる条件]

以下の 2 つの条件を満たしたとき

1. NTSTE.RSPQFE ビットが 1 である（レスポンスバッファフル割り込みステータスログを許可）
2. レスポンスキューエントリの数が、NQTHCTL.RSPQTH スレッショルド（NQTHCTL レジスタを参照）より大きいとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による通常受信ステータスへの直近の読み出しアクセスが完了したとき

TABTF ビット（通常転送中断フラグ）

[1 になる条件]

以下 2 つの条件を満たしたとき

1. NTSTE.TABTE ビットが 1 である（転送中断割り込みステータスログを許可）
2. いずれかの転送が中断されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

TEF ビット（通常転送エラーフラグ）

[1 になる条件]

以下 2 つの条件を満たしたとき

1. NTSTE.TEE ビットが 1 である（転送エラー割り込みステータスログを許可）
2. I3C バスで転送エラーが発生したとき、このエラーのエラータイプは、この送信コマンドに対応するレスポンスまたは受信ステータス構造から得られます。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

RSQFF ビット（通常受信ステータスキューフルフラグ）

[1 になる条件]

以下 2 つの条件を満たしたとき

1. NTSTE.RSQFE ビットが 1 である（通常受信ステータスキューフルを許可）
2. 受信ステータスキューエントリの数が、NRQTHCTL.RSQTH スレッショルド（NRQTHCTL レジスタを参照）より大きいとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による通常受信ステータスへの直近の読み出しアクセスが完了したとき

27.2.51 NTSTE : 通常転送ステータス許可レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x1E4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RSQFE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEE	—	—	—	TABTE	RSPQFE	CMDQEE	IBIQEFE	RDBFE0	TDBEE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEE0	通常送信データバッファエンプティ許可 0 0: Tx0 データバッファエンプティ割り込みステータスログを禁止 1: Tx0 データバッファエンプティ割り込みステータスログを許可	R/W
1	RDBFE0	通常受信データバッファフル許可 0 0: Rx0 データバッファフル割り込みステータスログを禁止 1: Rx0 データバッファフル割り込みステータスログを許可	R/W
2	IBIQEFE	通常 IBI キューエンプティ／フル許可(注1) 0: IBI ステータスバッファエンプティ／フル割り込みステータスログを禁止 1: IBI ステータスバッファエンプティ／フル割り込みステータスログを許可	R/W
3	CMDQEE	通常コマンドキューエンプティ許可(注1) 0: コマンドバッファエンプティ割り込みステータスログを禁止 1: コマンドバッファエンプティ割り込みステータスログを許可	R/W
4	RSPQFE	通常レスポンスキューフル許可(注1) 0: レスポンスバッファフル割り込みステータスログを禁止 1: レスポンスバッファフル割り込みステータスログを許可	R/W
5	TABTE	通常転送中断許可(注1) 0: 転送中断割り込みステータスログを禁止 1: 転送中断割り込みステータスログを許可	R/W
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEE	通常転送エラー許可(注1) 0: 転送エラー割り込みステータスログを禁止 1: 転送エラー割り込みステータスログを許可	R/W
19:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	RSQFE	通常受信ステータスキューフル許可(注2) 0: 受信ステータスバッファフル割り込みステータスログを禁止 1: 受信ステータスバッファフル割り込みステータスログを許可	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

TDBEE0 ビット（通常送信データバッファエンプティ許可 0）

このビットが 1 のとき、NTST.TDBEF0 の動作が有効になります。

NTST.TDBEF0 フラグの 1 になる条件、0 になる条件については、NTST.TDBEF0 フラグの詳細を参照してください。

RDBFE0 ビット（通常受信データバッファフル許可 0）

このビットが 1 のとき、NTST.RDBFF0 の動作が有効になります。

NTST.RDBFF0 フラグの 1 になる条件、0 になる条件については、NTST.RDBFF0 フラグの詳細を参照してください。

IBIQEFE ビット（通常 IBI キューエンプティ／フル許可）

このビットが 1 のとき、NTST.IBIQEFF の動作が有効になります。

NTST.IBIQEFF フラグの 1 になる条件、0 になる条件については、NTST.IBIQEFF フラグの詳細を参照してください。

CMDQEE ビット（通常コマンドキューエンプティ許可）

このビットが 1 のとき、NTST.CMDQEF の動作が有効になります。

NTST.CMDQEF フラグの 1 になる条件、0 になる条件については、NTST.CMDQEF フラグの詳細を参照してください。

RSPQFE ビット（通常レスポンスキューフル許可）

このビットが 1 のとき、NTST.RSPQFF の動作が有効になります。

NTST.RSPQFF フラグの 1 になる条件、0 になる条件については、NTST.RSPQFF フラグの詳細を参照してください。

TABTE ビット（通常転送中断許可）

このビットが 1 のとき、NTST.TABTF の動作が有効になります。

NTST.TABTF フラグの 1 になる条件、0 になる条件については、NTST.TABTF フラグの詳細を参照してください。

TEE ビット（通常転送エラー許可）

このビットが 1 のとき、NTST.TEF の動作が有効になります。

NTST.TEF フラグの 1 になる条件、0 になる条件については、NTST.TEF フラグの詳細を参照してください。

RSQFE ビット（通常受信ステータスキューフル許可）

このビットが 1 のとき、NTST.RSQFF の動作が有効になります。

NTST.RSQFF フラグの 1 になる条件、0 になる条件については、NTST.RSQFF フラグの詳細を参照してください。

27.2.52 NTIE : 通常転送割り込み許可レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x1E8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RSQFIE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEIE	—	—	—	TABTIE	RSPQFIE	CMDQEIE	IBIQEFIE	RDBFIE0	TDBEIE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEIE0	通常送信データバッファエンプティ割り込み許可 0 0: Tx0 データバッファエンプティ割り込み信号を禁止 1: Tx0 データバッファエンプティ割り込み信号を許可	R/W
1	RDBFIE0	通常受信データバッファフル割り込み許可 0 0: Rx0 データバッファフル割り込み信号を禁止 1: Rx0 データバッファフル割り込み信号を許可	R/W
2	IBIQEFIE	通常 IBI キューエンプティ／フル割り込み許可(注1) 0: IBI ステータスバッファエンプティ／フル割り込み信号を禁止 1: IBI ステータスバッファエンプティ／フル割り込み信号を許可	R/W

ビット	シンボル	機能	R/W
3	CMDQEIE	通常コマンドキューエンプティ割り込み許可(注1) 0: コマンドバッファエンプティ割り込み信号を禁止 1: コマンドバッファエンプティ割り込み信号を許可	R/W
4	RSPQFIE	通常レスポンスキューフル割り込み許可(注1) 0: レスポンスバッファフル割り込み信号を禁止 1: レスポンスバッファフル割り込み信号を許可	R/W
5	TABTIE	通常転送中断割り込み許可(注1) 0: 転送中断割り込み信号を禁止 1: 転送中断割り込み信号を許可	R/W
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEIE	通常転送エラー割り込み許可(注1) 0: 転送エラー割り込み信号を禁止 1: 転送エラー割り込み信号を許可	R/W
19:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	RSQFIE	通常受信ステータスキューフル割り込み許可(注2) 0: 受信ステータスバッファフル割り込み信号を禁止 1: 受信ステータスバッファフル割り込み信号を許可	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

PIO 割り込み信号許可レジスタは、I3C で受信した割り込み発生の信号を許可します。

TDBEIE0 ビット（通常送信データバッファエンプティ割り込み許可 0）

NTST.TDBEF0 フラグが 1 になったとき、通常送信データバッファ 0 エンプティ割り込み (I3C_TX) 要求を許可または禁止するために使用します。

RDBFIE0 ビット（通常受信データバッファフル割り込み許可 0）

NTST.RDBFF0 フラグが 1 になったとき、通常受信データバッファ 0 フル割り込み (I3C_RX) 要求を許可または禁止するために使用します。

IBIQEFIE ビット（通常 IBI キューエンプティ／フル割り込み許可）

NTST.IBIQEFF フラグが 1 になったとき、通常 IBI ステータスバッファフル割り込み (I3C_IBI) 要求を許可または禁止するのに使用されます。

CMDQEIE ビット（通常コマンドキューエンプティ割り込み許可）

NTST.CMDQEF フラグが 1 になったとき、通常コマンドバッファエンプティ割り込み (I3C_CMD) 要求を許可または禁止するのに使用されます。

RSPQFIE ビット（通常レスポンスキューフル割り込み許可）

NTST.RSPQFF フラグが 1 になったとき、通常レスポンスステータスバッファフル割り込み (I3C_RESP) 要求を許可または禁止するのに使用されます。

TABTIE ビット（通常転送中断割り込み許可）

NTST.TABTF フラグが 1 になったとき、通常転送中断割り込み (I3C_EEI) 要求を許可または禁止するのに使用されます。

TEIE ビット（通常転送エラー割り込み許可）

NTST.TEF フラグが 1 になったとき、通常転送エラー割り込み (I3C_EEI) 要求を許可または禁止するのに使用されます。

RSQFIE ビット（通常受信ステータスキューフル割り込み許可）

NTST.RSQFF フラグが 1 になったとき、通常受信ステータスバッファフル割り込み (I3C_RCV) 要求を許可または禁止するのに使用されます。

27.2.53 NTSTFC : 通常転送ステータス強制レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x1EC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	RSQFFC	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEFC	—	—	—	TABTFC	RSPQFFC	CMDQEFC	IBIQEFFC	RDBFFC0	TDBEFC0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEFC0	通常送信データバッファエンプティ強制 0 0: ソフトウェアテスト用に Tx0 データバッファエンプティ割り込みを強制しない 1: ソフトウェアテスト用に Tx0 データバッファエンプティ割り込みを強制する	W
1	RDBFFC0	通常受信データバッファフル強制 0 0: ソフトウェアテスト用に Rx0 データバッファフル割り込みを強制しない 1: ソフトウェアテスト用に Rx0 データバッファフル割り込みを強制する	W
2	IBIQEFFC	通常 IBI キューエンプティ／フル強制(注1) 0: ソフトウェアテスト用に IBI ステータスバッファフル割り込みを強制しない 1: ソフトウェアテスト用に IBI ステータスバッファフル割り込みを強制する	W
3	CMDQEFC	通常コマンドキューエンプティ強制(注1) 0: ソフトウェアテスト用にコマンドバッファエンプティ割り込みを強制しない 1: ソフトウェアテスト用にコマンドバッファエンプティ割り込みを強制する	W
4	RSPQFFC	通常レスポンスキューフル強制(注1) 0: ソフトウェアテスト用にレスポンスバッファフル割り込みを強制しない 1: ソフトウェアテスト用にレスポンスバッファフル割り込みを強制する	W
5	TABTFC	通常転送中断強制(注1) 0: ソフトウェアテスト用に転送中断割り込みを強制しない 1: ソフトウェアテスト用に転送中断割り込みを強制する	W
8:6	—	読むと 0 が読めます。	R
9	TEFC	通常転送エラー強制(注1) 0: ソフトウェアテスト用に転送エラー割り込みを強制しない 1: ソフトウェアテスト用に転送エラー割り込みを強制する	W
19:10	—	書く場合、0 としてください。	W
20	RSQFFC	通常受信ステータスキューフル強制(注2) 0: ソフトウェアテスト用に受信ステータスバッファフル割り込みを強制しない 1: ソフトウェアテスト用に受信ステータスバッファフル割り込みを強制する	W
31:21	—	書く場合、0 としてください。	W

注 1. このビットはすべての I3C モードをサポートします。
注 2. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

PIO 割り込み強制レジスタは、特定の割り込みを強制するのに使用します。デバッグ目的で使用できます。

TDBEFC0 ビット（通常送信データバッファエンプティ強制 0）

本ビットが 1 に設定されたとき、TDBEE0 ビットと TDBEIE0 ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

RDBFFC0 ビット（通常受信データバッファフル強制 0）

本ビットが 1 に設定されたとき、RDBFE0 ビットと RDBFIE0 ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

IBIQEFFC ビット（通常 IBI キューエンプティ／フル強制）

本ビットが 1 に設定されたとき、IBIQEFE ビットと IBIQEFIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

CMDQEFC ビット（通常コマンドキューエンプティ強制）

本ビットが 1 に設定されたとき、CMDQEE ビットと CMDQEIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

RSPQFFC ビット（通常レスポンスキューフル強制）

本ビットが 1 に設定されたとき、RSPQFE ビットと RSPQFIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

TABTFC ビット（通常転送中断強制）

TABTE ビットと TABTIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

TEFC ビット（通常転送エラー強制）

本ビットが 1 に設定されたとき、TEE ビットと TEIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

RSQFFC ビット（通常受信ステータスキューフル強制）

本ビットが 1 に設定されたとき、RSQFE ビットと RSQFIE ビットの設定に従い、ソフトウェアテスト用に対応する割り込みを強制します。

27.2.54 HTST : 優先転送ステータスレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x200

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEF	—	—	—	TABTF	RSPQFF	CMDQEF	—	RDBFF	TDBEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEF	優先送信データバッファエンプティフラグ 0: 優先送信データバッファのエンプティの数が HTBTHCTL.TXDBTH[2:0]スレッショルドより小さいとき 1: 優先送信データバッファのエンプティの数が HTBTHCTL.TXDBTH[2:0]スレッショルド以上のとき	R/W(注1)
1	RDBFF	優先受信データバッファフルフラグ 0: 優先受信データバッファのエントリの数が HTBTHCTL.RXDBTH[2:0]スレッショルドより小さいとき 1: 優先受信データバッファのエントリの数が HTBTHCTL.RXDBTH[2:0]スレッショルド以上のとき	R/W(注1)
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
3	CMDQEF	優先コマンドキューエンプティフラグ 0: HQTHCTL.CMDQTH が 0 のとき、コマンドキューエンプティの数がコマンドキューサイズより小さい HQTHCTL.CMDQTH が 0 以外のとき、優先コマンドキューエンプティの数が HQTHCTL.CMDQTH スレッショルドより小さい 1: HQTHCTL.CMDQTH が 0 のとき、コマンドキューエンプティの数がコマンドキューサイズと同じである HQTHCTL.CMDQTH が 0 以外のとき、優先コマンドキューエンプティの数が HQTHCTL.CMDQTH スレッショルド以上である	R/W(注1)
4	RSPQFF	優先応答キューフルフラグ 0: 優先応答キューエントリの数が HQTHCTL.RSPQTH スレッショルドより小さい 1: 優先応答キューエントリの数が HQTHCTL.RSPQTH スレッショルド以上のとき	R/W(注1)
5	TABTF	優先転送中断フラグ 0: 優先転送中断が発生しない 1: 優先転送中断が発生する 本ビットを 0 にするには、1 を読んだ後、0 を書いてください。	R/W(注1)
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEF	優先転送エラーフラグ 0: 優先転送エラーが発生しない 1: 優先転送エラーが発生する 本ビットを 0 にするには、1 を読んだ後、0 を書いてください。	R/W(注1)
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。
注 1. 0 になる条件 : 1 の状態を読んだ後、0 を書き込んだとき

TDBEF ビット（優先送信データバッファエンプティフラグ）

[1 になる条件]

以下の 2 つの条件を満たしたとき

1. HTSTE.TDBEE ビット = 1（優先送信データバッファエンプティ割り込みステータスログを許可）
2. 優先送信データバッファのエンプティの数が HTBTHCTL.TXDBTH[2:0]スレッショルド（レジスタ HTBTHCTL を参照）と同じか、より大きいとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による「優先送信データ」への直近の書き込みアクセスが完了したとき

RDBFF ビット（優先受信データバッファフルフラグ）

[1 になる条件]

以下の 2 つの条件を満たしたとき

1. HTSTE.RDBFE ビット = 1（優先受信データバッファフル割り込みステータスログを許可）
2. 優先受信データバッファのエントリの数が HTBTHCTL.RXDBTH[2:0]スレッショルド（レジスタ HTBTHCTL を参照）と同じか、より大きいとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による「優先受信データ」への直近の読み出しアクセスが完了したとき

CMDQEF ビット（優先コマンドキューエンプティフラグ）

[1 になる条件]

以下の 2 つの条件を満たしたとき

1. HTSTE.CMDQEE ビット = 1（優先コマンドバッファエンプティ割り込みステータスログを許可）
2. HQTHCTL.CMDQTH ビット = 0 の場合 :

- コマンドキューが完全にエンプティのとき

HQTHCTL.CMDQTH ビットが 0 以外の場合：

- コマンドキューエントリの数が、HQTHCTL.CMDQTH スレッショルド（レジスタ HQTHCTL を参照）と同じか、より大きいとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による「優先コマンド」への直近の書き込みアクセスが完了したとき

RSPQFF ビット（優先応答キューフルフラグ）

[1 になる条件]

以下の 2 つの条件を満たしたとき

1. HTSTE.RSPQFE ビット = 1（優先応答バッファフル割り込みステータスログを許可）
2. 応答キューエントリの数が、HQTHCTL.RSPQTH スレッショルド（レジスタ HQTHCTL を参照）より大きいとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DMAC/DTC による「優先受信ステータス」への直近の読み出しアクセスが完了したとき

使用要素については、RSPQFF ビットの説明を参照してください。

TABTF ビット（優先転送中断フラグ）

[1 になる条件]

以下 2 つの条件を満たしたとき

1. HTSTE.TABTE ビット = 1（優先転送中断割り込みステータスログを許可）
2. いずれかの転送が中断されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

TEF ビット（優先転送エラーフラグ）

[1 になる条件]

以下 2 つの条件を満たしたとき

1. HTSTE.TEE ビット = 1（優先転送エラー割り込みステータスログを許可）
2. I3C バスで転送エラーが発生したとき。このエラーのエラータイプは、この転送／コマンドに対応するレスポンス構造から得られます。

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

27.2.55 HTSTE : 優先転送ステータスイネーブルレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x204

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEE	—	—	—	TABTE	RSPQFE	CMDQEE	—	RDBFE	TDBEE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEE	優先送信データバッファエンプティ許可 0: 優先送信データバッファエンプティ割り込みステータスログを禁止 1: 優先送信データバッファエンプティ割り込みステータスログを許可	R/W
1	RDBFE	優先受信データバッファフル許可 0: 優先受信データバッファフル割り込みステータスログを禁止 1: 優先受信データバッファフル割り込みステータスログを許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	CMDQEE	優先コマンドキューエンプティ許可 0: 優先コマンドバッファエンプティ割り込みステータスログを禁止 1: 優先コマンドバッファエンプティ割り込みステータスログを許可	R/W
4	RSPQFE	優先応答キューフル許可 0: 優先応答バッファフル割り込みステータスログを禁止 1: 優先応答バッファフル割り込みステータスログを許可	R/W
5	TABTE	優先転送中断許可 0: 優先転送中断割り込みステータスログを禁止 1: 優先転送中断割り込みステータスログを許可	R/W
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEE	優先転送エラー許可 0: 優先転送エラー割り込みステータスログを禁止 1: 優先転送エラー割り込みステータスログを許可	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

TDBEE ビット（優先送信データバッファエンプティ許可）

TDBEE ビットが 1 のとき、HTST.TDBEF の動作が有効になります。

HTST.TDBEF フラグの 1 になる条件、0 になる条件については、HTST.TDBEF フラグの詳細を参照してください。

RDBFE ビット（優先受信データバッファフル許可）

RDBFE ビットが 1 のとき、HTST.RDBFF の動作が有効になります。

HTST.RDBFF フラグの 1 になる条件、0 になる条件については、HTST.RDBFF フラグの詳細を参照してください。

CMDQEE ビット（優先コマンドキューエンプティ許可）

CMDQEE ビットが 1 のとき、HTST.CMDQEF の動作が有効になります。

HTST.CMDQEF フラグの 1 になる条件、0 になる条件については、HTST.CMDQEF フラグの詳細を参照してください。

RSPQFE ビット（優先応答キューフル許可）

RSPQFE ビットが 1 のとき、HTST.RSPQFF の動作が有効になります。

HTST.RSPQFF フラグの 1 になる条件、0 になる条件については、HTST.RSPQFF フラグの詳細を参照してください。

TABTE ビット（優先転送中断許可）

TABTE ビットが 1 のとき、HTST.TABTF の動作が有効になります。

HTST.TABTF フラグの 1 になる条件、0 になる条件については、HTST.TABTF フラグの詳細を参照してください。

TEE ビット（優先転送エラー許可）

TEE ビットが 1 のとき、HTST.TEF の動作が有効になります。

HTST.TEF フラグの 1 になる条件、0 になる条件については、HTST.TEF フラグの詳細を参照してください。

27.2.56 HTIE : 優先転送割り込み許可レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x208

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEIE	—	—	—	TABTIE	RSPQFIE	CMDQEIE	—	RDBFIE	TDBEIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEIE	優先送信データバッファエンプティ許可 0: 優先送信データバッファエンプティ割り込み信号を禁止 1: 優先送信データバッファエンプティ割り込み信号を許可	R/W
1	RDBFIE	優先受信データバッファフル割り込み許可 0: 優先受信データバッファフル割り込み信号を禁止 1: 優先受信データバッファフル割り込み信号を許可	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	CMDQEIE	優先コマンドキューエンプティ割り込み許可 0: 優先コマンドバッファエンプティ割り込み信号を禁止 1: 優先コマンドバッファエンプティ割り込み信号を許可	R/W
4	RSPQFIE	優先レスポンスキューフル割り込み許可 0: 優先レスポンスバッファフル割り込み信号を禁止 1: 優先レスポンスバッファフル割り込み信号を許可	R/W
5	TABTIE	優先転送中断割り込み許可 0: 優先転送中断割り込み信号を禁止 1: 優先転送中断割り込み信号を許可	R/W
8:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	TEIE	優先転送エラー割り込み許可 0: 優先転送エラー割り込み信号を禁止 1: 優先転送エラー割り込み信号を許可	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

優先割り込み信号許可レジスタは、I3C で受信した優先割り込み発生の信号を許可します。

TDBEIE ビット（優先送信データバッファエンプティ許可）

TDBEIE ビットは、HTST.TDBEF フラグが 1 になったとき、優先 Tx データバッファ 0 エンプティ割り込み (I3C_HTX) 要求の許可／禁止を選択します。

RDBFIE ビット（優先受信データバッファフル割り込み許可）

RDBFIE ビットは、HTST.RDBFF フラグが 1 になったとき、優先 Rx データバッファ 0 フル割り込み (I3C_HRX) 要求の許可／禁止を選択します。

CMDQEIE ビット（優先コマンドキューエンプティ割り込み許可）

CMDQEIE ビットは、HTST.CMDQEF フラグが 1 になったとき、優先コマンドバッファエンプティ割り込み (I3C_HCMD) 要求の許可／禁止を選択します。

RSPQFIE ビット（優先レスポンスキューフル割り込み許可）

RSPQFIE ビットは、HTST.RSPQFF フラグが 1 になったとき、優先レスポンスステータスバッファフル割り込み (I3C_HRESP) 要求の許可／禁止を選択します。

TABTIE ビット（優先転送中断割り込み許可）

TABTIE ビットは、HTST.TABTF フラグが 1 になったとき、優先転送アボート割り込み (I3C_EEI) 要求の許可／禁止を選択します。

TEIE ビット（優先転送エラー割り込み許可）

TEIE ビットは、HTST.TEF フラグが 1 になったとき、優先転送エラー割り込み (I3C_EEI) 要求の許可／禁止を選択します。

27.2.57 HTSTFC : 優先転送ステータス強制レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x20C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TEFC	—	—	—	TABTFC	RSPQFFC	CMDQEFC	—	RDBFFC	TDBEFC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TDBEFC	優先送信データバッファエンプティ強制 0: ソフトウェアテスト用に優先送信データバッファエンプティ割り込みを強制しない 1: ソフトウェアテスト用に優先送信データバッファエンプティ割り込みを強制する	W
1	RDBFFC	優先受信データバッファフル強制 0: ソフトウェアテスト用に優先受信データバッファフル割り込みを強制しない 1: ソフトウェアテスト用に優先受信データバッファフル割り込みを強制する	W
2	—	読むと 0 が読めます。	R
3	CMDQEFC	優先コマンドキューエンプティ強制 0: ソフトウェアテスト用に優先コマンドバッファエンプティ割り込みを強制しない 1: ソフトウェアテスト用に優先コマンドバッファエンプティ割り込みを強制する	W
4	RSPQFFC	優先レスポンスキューフル強制 0: ソフトウェアテスト用に優先レスポンスバッファフル割り込みを強制しない 1: ソフトウェアテスト用に優先レスポンスバッファフル割り込みを強制する	W

ビット	シンボル	機能	R/W
5	TABTFC	優先転送中断強制 0: ソフトウェアテスト用に優先転送中断割り込みを強制しない 1: ソフトウェアテスト用に優先転送中断割り込みを強制する	W
8:6	—	読むと 0 が読めます。	R
9	TEFC	優先転送エラー強制 0: ソフトウェアテスト用に優先転送エラー割り込みを強制しない 1: ソフトウェアテスト用に優先転送エラー割り込みを強制する	W
31:10	—	読むと 0 が読めます。	R

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

27.2.58 BCST : バス状態ステータスレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x210

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	BIDLF	BAVLF	BFREF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BFREF	バスフリー検出フラグ 0: バスフリーを検出していない 1: バスフリーを検出した	R
1	BAVLF	バス使用可能検出フラグ(注1) 0: バス使用可能を検出していない 1: バス使用可能を検出した	R
2	BIDLF	バスアイドル検出フラグ(注1) 0: バスアイドルを検出していない 1: バスアイドルを検出した	R
31:3	—	読むと 0 が読めます。	R

注 1. このビットはすべての I3C モードをサポートします。

BFREF ビット（バスフリー検出フラグ）

バスフリー状態は、STOP の後、START の前に以下の長さで生じる期間です。

- I3C のみのバスの場合：少なくとも tCAS の長さ以上の期間
- 混合バスの場合（少なくとも 1 つのレガシ I^2C が I3C バス上に混じって存在する場合）：少なくとも tBUF の長さ以上の期間

[1 になる条件]

- STOP コンディション検出後、SCL = SDA = 1 の状態で、BFRECDT.FRECYC[8:0]で設定した数の (I3Cφ) サイクルが経過したとき
- BCTL.BUSE を 1 に設定した後、SCL = SDA = 1 の状態で、BFRECDT.FRECYC[8:0]で設定した数の (I3Cφ) サイクルが経過したとき

[0 になる条件]

- SCL と SDA が High 以外であるとき

- BCTL.BUSE ビットを 0 にしたとき

BAVLF ビット（バス使用可能検出フラグ）

バス利用可能状態は、バスフリー状態が少なくとも tAVAL 以上の時間、連続して継続している期間です。スレーブは、バス利用可能状態の後、（In-band 割り込みまたはマスタ移管要求のため）スタート要求のみを発行できます。

[1 になる条件]

- STOP コンディション検出後、SCL = SDA = 1 の状態で、BAVLCDT.AVLCYC[8:0]で設定した数の (I3Cφ) サイクルが経過したとき
- BCTL.BUSE を 1 に設定した後、SCL = SDA = 1 の状態で、BAVLCDT.AVLCYC[8:0]で設定した数の (I3Cφ) サイクルが経過したとき

[0 になる条件]

- SCL と SDA が High 以外であるとき
- BCTL.BUSE ビットを 0 にしたとき

BIDLF ビット（バスアイドル検出フラグ）

バスアイドル状態は、バス利用可能状態が少なくとも tIDLE 以上の時間継続している期間です。

[1 になる条件]

- STOP コンディション検出後、SCL = SDA = 1 の状態で、BIDLCDT.IDLCYC[17:0]で設定した数の (I3Cφ) サイクルが経過したとき
- BCTL.BUSE を 1 に設定した後、SCL = SDA = 1 の状態で、BIDLCDT.IDLCYC[17:0]で設定した数の (I3Cφ) サイクルが経過したとき

[0 になる条件]

- SCL と SDA が High 以外であるとき
- BCTL.BUSE ビットを 0 にしたとき

27.2.59 SVST : スレーブステータスレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x214

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SVAF[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	HOAF	—	—	—	—	—	—	—	—	DVIDF	HSMCF	—	—	—	—	GCAF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GCAF	ジェネラルコールアドレス検出フラグ 0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/W(注1)
4:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	HSMCF	Hs モードマスタコード検出フラグ 0: Hs モードマスタコード未検出 1: Hs モードマスタコード検出	R/W(注1)

ビット	シンボル	機能	R/W
6	DVIDF	デバイス ID アドレス検出フラグ 0: デバイス ID コマンド未検出 1: デバイス ID コマンド検出 ● スタートコンディション検出直後に受信した第 1 フレームが、[デバイス ID (1111 100b) + 0[W]]の値と一致した場合、1 になります。	R/W(注1)
14:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	HOAF	ホストアドレス検出フラグ 0: ホストアドレス未検出 1: ホストアドレス検出 ● 受信したスレーブアドレスが、ホストアドレス (0001 000b) と一致した場合、1 になります。	R/W(注1)
18:16	SVAF[2:0]	スレーブアドレス検出フラグ n (n = 0～2) 0: スレーブ n 未検出 1: スレーブ n 検出	R/W(注1)
31:19	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I²C モードをサポートします。
注 1. 0 になる条件 : 1 の状態を読んだ後、0 を書き込んだとき

GCAF フラグ（ジェネラルコールアドレス検出フラグ）

非同期動作から同期ユニットへ移行するときに、I²C ノーマルウェイクアップモード 1/2 が GCAF に 1 を設定します。

[1 になる条件]

- 本フラグは、以下すべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 1 になります。
  1. SVCTL.GCAE ビット = 1（ジェネラルコールアドレス検出は有効）である
  2. 受信したスレーブアドレスが、ジェネラルコールアドレス (0000 000 + 0[W]) と一致している

[0 になる条件]

- GCAF フラグ = 1 を読んだ後、GCAF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- 繰り返しのスタートコンディションが検出されたとき

HSMCF フラグ（Hs モードマスタコード検出フラグ）

非同期動作から同期ユニットへ移行するときに、I²C ノーマルウェイクアップモード 1/2 が HSMCF に 1 を設定します。

[1 になる条件]

- 本フラグは、以下すべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 1 になります。
  1. SVCTL.HSMCE ビット = 1（Hs モードマスタコード検出は有効）である
  2. スタートコンディション検出直後に受信した第 1 バイトが、Hs モードマスタコード (0000 1XXX) + 1 (NACK) の値と一致している

[0 になる条件]

- HSMCF フラグ = 1 を読んだ後、HSMCF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき

DVIDF フラグ（デバイス ID アドレス検出フラグ）

[1 になる条件]

- 本フラグは、以下すべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 1 になります。

1. SVCTL.DVIDE ビット = 1（デバイス ID アドレス検出は有効）である
2. スタートコンディション検出直後または繰り返しのスタートコンディション検出直後に受信した第 1 バイトが、[デバイス ID (1111 100) + 0[W]]の値と一致している

[0 になる条件]

- DVIDF フラグ = 1 を読んだ後、DVIDF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- 本フラグは、以下の 1.と 2.または 1.と 3.を満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 0 になります。
  1. SVCTL.DVIDE ビット = 1（デバイス ID アドレス検出は有効）である
  2. スタートコンディション検出直後または繰り返しのスタートコンディション検出直後に受信した第 1 バイトが、デバイス ID (1111 100) の値と一致しない
  3. スタートコンディション検出直後または繰り返しのスタートコンディション検出直後に受信した第 1 バイトが、[デバイス ID (1111 100) + 0 [W]]の値と一致し、第 2 バイトがスレーブアドレス 0～2 のいずれとも一致しない

HOAF フラグ（ホストアドレス検出フラグ）

非同期動作から同期ユニットへ移行するときに、I^2C ノーマルウェイクアップモード 1/2 が HOAF に 1 を設定します。

[1 になる条件]

- 本フラグは、以下すべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 1 になります。
  1. SVCTL.HOAE ビット = 1（ホストアドレス検出は有効）である
  2. 受信したスレーブアドレスが、ホストアドレス (0001 000) と一致している

[0 になる条件]

- HOAF フラグ = 1 を読んだ後、HOAF フラグに 0 を書いたとき
- ストップコンディションが検出されたとき
- 繰り返しのスタートコンディションが検出されたとき

SVAF[2:0]フラグ（スレーブアドレス検出フラグ n (n = 0～2)）

非同期動作から同期ユニットに移行するときに、I^2C 通常ウェイクアップモード 1/2 が SVAF2 / 1 / 0 に 1 を設定します。

[1 になる条件]

7 ビットアドレスフォーマット選択時：SVDVADn.SADLG ビット = 0

- 本フラグは、以下すべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 1 になります。
  1. SVCTL.SVAEn ビット = 1（スレーブ n は有効）である
  2. 受信したスレーブアドレスが、SVDVADn.SVAD[6:0]ビットの値と一致している

10 ビットアドレスフォーマット選択時：SVDVADn.SADLG ビット = 1

- 本フラグは、以下のすべてを満たすときに、2 番目のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 1 になります。
  1. SVCTL.SVAEn ビット = 1（スレーブ n は有効）である
  2. 受信したスレーブアドレスが、11110b + SVDVADn.SVAD[9:8]ビットの値と一致し、以下のアドレスが SVDVADn.SVAD[7:0]ビットの値と一致している

[0 になる条件]

- SVAF[2:0]フラグ = 1 を読んだ後、SVAF[2:0]フラグに 0 を書いたとき

- ストップコンディションが検出されたとき

7 ビットアドレスフォーマット選択時：SVDVADn.SADLG ビット = 0

- 本フラグは、以下すべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 0 になります。
  1. SVCTL.SVAEn ビット = 1（スレーブ n は有効）である
  2. 受信したスレーブアドレスが、SVDVADn.SVAD[6:0]ビットの値と一致しない

10 ビットアドレスフォーマット選択時：SVDVADn.SADLG ビット = 1

- 本フラグは、以下すべてを満たすときに、最初のバイトの SCL クロックの 9 クロック目の立ち上がりエッジで 0 になります。
  1. SVCTL.SVAEn ビット = 1（スレーブ n は有効）である
  2. 受信したスレーブアドレスが、11110b + SVDVADn.SVAD[9:8]ビットの値と一致しない
- 本フラグは、以下すべてを満たすときに、2 番目のバイトの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
  1. SVCTL.SVAEn ビット = 1（スレーブ n は有効）である
  2. 受信したスレーブアドレスが、11110b + SVDVADn.SVAD[9:8]ビットの値と一致し、以下のアドレスが SVDVADn.SVAD[7:0]ビットの値と一致しない

27.2.60 WUST : ウェイクアップユニット動作ステータスレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x218

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	WUASYNF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	WUASYNF	ウェイクアップ機能非同期動作ステータスフラグ 0: I3C 同期回路有効条件 1: I3C 非同期回路有効条件	R
31:1	—	読むと 0 が読めます。	R

WUASYNF フラグ（ウェイクアップ機能非同期動作ステータスフラグ）

I3C が TCLK 非同期動作（WUCTL.WUFE ビット = 1）であるかどうかを示します。

[1 になる条件]

- 以下がすべて満たされたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. WUCTL.WUFSYNE ビットに 0 を書いた後、BCST.BFREF フラグが 1 である

[0 になる条件：I^2C スレーブ]

- WUCTL.WUFE ビットが 0（ウェイクアップ機能が無効）であるとき
- 以下がすべて満たされたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である

2. ウェイクアップイベントが検出された
3. WUASYNF フラグ = 1 である状態で、WUCTL.WUFSYNE ビットに 1 を書いた

[0 になる条件 : I3C スレーブ]

- WUCTL.WUFE ビットが 0（ウェイクアップ機能が無効）であるとき
- 以下がすべて満たされたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. ウェイクアップイベントが検出された
  3. WUASYNF フラグ = 1 である状態で、WUCTL.WUFSYNE ビットに 1 を書いた
  4. ストップコンディションが検出された

[0 になる条件 : I^2C/I3C スレーブ]

- 以下がすべて満たされたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. ウェイクアップイベントが検出されていない
  3. WUASYNF フラグが 1 である
  4. WUCTL.WUFSYNE ビットが 1 である
  5. ストップコンディションが検出された

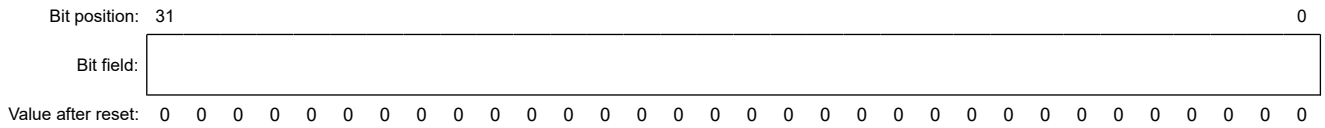
[0 になる条件 : I3C マスタ]

- WUCTL.WUFE ビットが 0（ウェイクアップ機能が無効）であるとき
- 以下がすべて満たされたとき
  1. WUCTL.WUFE ビットが 1（ウェイクアップ機能が有効）である
  2. ウェイクアップイベントが検出された
  3. WUASYNF フラグが 1 である
  4. WUCTL.WUFSYNE ビットが 1 である

27.2.61 MRCCPT : MsyncCNT カウンタキャプチャレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x21C



ビット	シンボル	機能	R/W
31:0	n/a	MsyncCNT カウンタキャプチャ 非同期モード 1 で使用し、非同期モード 0 では使用しません。	R

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

MRCCPT[31:0]ビット

- 非同期モード 1（非同期拡張モード）
  ATCCNTE.ATCE ビットが有効になると、カウントを開始します。各 aME（START コンディションの SDA 立ち下がりエッジ）で MSyncCNT をキャプチャし、それをキャプチャレジスタに格納します。

27.2.62 DATBASm : デバイスアドレステーブル基本レジスタ m (m = 0～7)

Base address: I3C = 0x4011_F000

Offset address: 0x224 + 0x08 × m

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DVTYP	DVNACK[1:0]		—	—	—	—	—	DVDYAD[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DVIBITS	DVMRRJ	DVSIRRJ	DVIBIPL	—	—	—	—	—	DVSTAD[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	DVSTAD[6:0]	デバイススタティックアドレス I2C/I3C スタティックアドレス	R/W
11:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	DVIBIPL	デバイス IBI ペイロード 0: このデバイスからの IBI はデータペイロードをもたない 1: このデバイスからの IBI はデータペイロードをもつ	R/W
13	DVSIRRJ	デバイスバンド内スレーブ割り込み要求拒否 0: このデバイスは、SIR を ACK する 1: このデバイスは SIR を NACK し、自動拒否 CCC を送信する。	R/W
14	DVMRRJ	デバイスバンド内マスタ要求拒否 0: このデバイスは、マスタ要求を ACK する 1: このデバイスはマスタ要求を NACK し、自動拒否コマンドを送信する。	R/W
15	DVIBITS	デバイス IBI タイムスタンプ 0: マスタはこのデバイスからの IBI をマスタタイムスタンプでタイムスタンプしない 1: マスタはこのデバイスへの IBI をマスタタイムスタンプでタイムスタンプする	R/W
23:16	DVDYAD[7:0]	デバイス I3C ダイナミックアドレス I3C 仕様に従い、ビット 23 はパリティビットで、ソフトウェアドライバにより計算され更新されます。	R/W
28:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:29	DVNACK[1:0]	デバイス NACK リトライカウント デバイス固有のリトライカウント	R/W
31	DVTYP	デバイスタイプ 0: I3C デバイス 1: I2C デバイス	R/W

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

DVIBIPL ビット（デバイス IBI ペイロード）

このデバイスからの IBI がデータペイロードをもつかどうかを示します。このフィールドは、デバイスのバス特性レジスタ (BCR) の IBI ペイロードビットを示します。

このデバイスの IBI 処理の際に、マスタはこのフィールドを使って IBI データペイロードの受信を行うかどうかを決定します。データ通信は、T-ビットで示します。

DVSIRRJ ビット（デバイスバンド内スレーブ割り込み要求拒否）

マスタとして動作しているときに、このデバイスが他のデバイスからのスレーブ割り込み要求を受け付けるか拒否するかを制御します。

DVMRRJ ビット（デバイスバンド内マスタ要求拒否）

マスタとして動作しているときに、このデバイスが他のデバイスからのマスタ要求を受け付けるか拒否するかを制御します。

I3C が、カレントマスタでないマスタケイパビリティであることを宣言している場合にのみ有効です。

DVIBITS ビット（デバイス IBI タイムスタンプ）

特定のデバイスの IBI タイムスタンプを有効または無効にします。

注. 各 IBI イベントの IBI ステータスディスクリプタは、各 IBI イベントが実際にタイムスタンプされたかどうかを示します。タイミングコントロールの非同期モード 0 と非同期モード 1 を除き、0 を設定してください。

DVNACK[1:0]ビット（デバイス NACK リトライカウント）

これらのビットは、コマンドディスクリプタに設定されたトランザクションに対して NACK 応答をスレーブから受信したときのリトライの数を設定します。

注. アドレス配置コマンドによって ENTDAA を実行するとき、NACK を一回受信すると本ビットの設定は無視され、トランザクションが終了します。

注. I3C は、ブロードキャストアドレスに対して NACK を受信しても、DVNACK[1:0]ビットの設定に従ってリトライします。

注. DVNACK[1:0]ビットが 0x0 の場合、ダイレクト CCC の場合でも I3C はリトライしません。

27.2.63 EXDATBAS : 拡張デバイスアドレステーブル基本レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x2A0

Bit position:	31	30	29	28	27	26	25	24	23							16
Bit field:	EDTYP	EDNACK[1:0]		—	—	—	—	—	EDDYAD[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6						0
Bit field:	—	—	—	—	—	—	—	—	—	EDSTAD[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	EDSTAD[6:0]	拡張デバイススタティックアドレス I^2C/I3C スタティックアドレス	R/W
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	EDDYAD[7:0]	拡張デバイス I3C ダイナミックアドレス I3C 仕様に従い、ビット 23 はパリティビットで、ソフトウェアドライバにより計算され更新されます。	R/W
28:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:29	EDNACK[1:0]	拡張デバイス NACK リトライカウント デバイス固有のリトライカウント	R/W
31	EDTYP	拡張デバイスタイプ 0: I3C デバイス 1: I^2C デバイス	R/W

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

27.2.64 SDATBASn : スレーブデバイスアドレステーブル基本レジスタ n (n = 0～2)

Base address: I3C = 0x4011_F000

Offset address: 0x2B0

Bit position:	31	30	29	28	27	26	25	24	23	22						16
Bit field:	—	—	—	—	—	—	—	—	—	SDDYAD[6:0]						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9									0
Bit field:	—	—	—	SDIBIPL	—	SDADLS	SDSTAD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
9:0	SDSTAD[9:0]	スレーブデバイススタティックアドレス(注2) I3C スタティックアドレス	R/W
10	SDADLS	スレーブデバイスアドレス長選択(注3) 0: スレーブデバイスアドレス長 7 ビットを選択 1: スレーブデバイスアドレス長 10 ビットを選択（I2C デバイスのみ）	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	SDIBIPL(注1)	スレーブデバイス IBI ペイロード(注4) このビットは SVDCT.TBCR2 のミラービットです。 0: このデバイスからの IBI はデータペイロードをもたない 1: このデバイスからの IBI はデータペイロードをもつ	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:16	SDDYAD[6:0](注1)	スレーブデバイス I3C ダイナミックアドレス(注5)	R/W
31:23	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. メインマスタの SDATBAS レジスタへの SW 書き込みは禁止です。
注 1. このビットは、SDATBAS0 レジスタでのみ有効です。
注 2. これらのビットは I2C、I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 3. このビットは I2C モードをサポートします。
注 4. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 5. これらのビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

SDSTAD[9:0]ビット（スレーブデバイススタティックアドレス）

7 ビットアドレスフォーマット選択時（SDADLS ビット = 0）、SDSTAD[9:0]ビットの下位 7 ビットは 7 ビットアドレスとして機能します。

10 ビットアドレスフォーマット選択時（SDADLS ビット = 1）、SDSTAD[9:0]ビットは 10 ビットアドレスとして機能します。SVCTL.SVAEn ビットが 0 の場合、このビットの設定は無視されます。

SDIBIPL ビット（スレーブデバイス IBI ペイロード）

このデバイスからの IBI がデータペイロードをもつかどうかを示します。このフィールドは、デバイスのバス特性レジスタ (BCR) の IBI ペイロードビットを示します。

このデバイスの IBI 処理の際に、マスタはこのフィールドを使って IBI データペイロードの受信を行うかどうかを決定します。データ通信は、T-ビットで示します。

SDDYAD[6:0]ビット（スレーブデバイス I3C ダイナミックアドレス）

[更新する条件]

- ダイナミックアドレス値を書き込んだとき
- スレーブアドレス値が SETDASA CCC (Direct) を受信時のそれ自身のスタティックアドレスであるとき、ダイナミックアドレス値に更新されます。(注1)

- ENTDAA CCC（ブロードキャスト）の受信により始まるダイナミックアドレス割り当て手順が確立したとき (注1)
- RSTDAA CCC（ブロードキャスト）の受信時、全てのビットは 0 にクリアされます。(注1)
- スレーブアドレス値が RSTDAA CCC (Direct) を受信時のそれ自身のダイナミックアドレスであるとき、全てのビットは 0 にクリアされます。(注1)
- スレーブアドレス値が SETNEWDA CCC (Direct) を受信時のそれ自身のダイナミックアドレスであるとき、そのダイナミックアドレス値に更新されます。(注1)
- SETAASA CCC（ブロードキャスト）の受信時、それらのビットは SDSTAD[6:0]ビットの値に更新されます。(注2)

注 1. MIPI I3C 仕様 v1.0 を参照してください。
注 2. MIPI I3C 基本仕様 v1.0 を参照してください。

27.2.65 MSDCTm : マスタデバイス特性テーブルレジスタ m (m = 0～7)

Base address: I3C = 0x4011_F000

Offset address: 0x2D0 + 0x04 × m

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RBCR76[1:0]		—	RBCR4	RBCR3	RBCR2	RBCR1	RBCR0	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	RBCR0	最大データ速度制限(注1) 0: 制限なし 1: 制限あり	R/W
9	RBCR1	IBI 要求可否 0: 不可 1: 可	R/W
10	RBCR2	IBI ペイロード 0: 受信した IBI にデータバイトが続いていない 1: 受信した IBI に 1 バイト以上のデータバイトが必ず続いているデータバイトが続いていることは、T-ビットで示している	R/W
11	RBCR3	オフライン可否(注2) 0: デバイスは I3C コマンドに常に応答する 1: デバイスは I3C コマンドに常に応答するとは限らない	R/W
12	RBCR4	ブリッジ識別(注3) 0: ブリッジデバイス以外 1: ブリッジデバイス	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	RBCR76[1:0]	デバイスロール 0 0: I3C スレーブ 0 1: I3C マスタ(注4) その他: 設定禁止	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。
注 1. マスタは、GETMXDS CCC を使い、スレーブの特性上の制限を問い合わせます。
注 2. オフラインの使用可能デバイスは、ダイナミックアドレスを保持します。

注 3. ブリッジデバイスは、MIPI I3C 仕様に従う必要があります。
注 4. I3C メインマスタとして動作する I3C デバイスについては、BCR デバイスロールビットの値が 01b になります。

DCT テーブルは、デバイス特性（PID、BCR、DCR）およびダイナミックアドレス割り当て (ENTDAA) 手順に準拠する I3C バス上で割り当てられたダイナミックアドレスを取り込みます。

RBCRn ビット（受信バス特性レジスタ）

I3C バスに接続した各 I3C デバイスには、対応するリードオンリーのバス特性レジスタ (BCR) があります。このリードオンリーのレジスタは、I3C 準拠のデバイスロールと、ダイナミックアドレス割り当てと共通コマンドコードを使用できる機能を示します。

注. RBCR2 が 0 である場合に、DATBASm.DVSIRRJ = 0 (m = 0～7) による I3C スレーブからのスレーブ割り込み要求に対して ACK 応答をするとき、ACK 応答の後、ストップコンディションを発行します。RBCR2 が 1 である場合に、DATBASm.DVSIRRJ = 0 (m = 0～7) による I3C スレーブからのスレーブ割り込み要求に対して ACK 応答をするとき、ACK 応答の後、IBI ペイロードを受信します。IBI ペイロードの終了後、ストップコンディションが発行されます。

［更新する条件］

- ENTDAA CCC（ブロードキャスト）受信で開始するダイナミックアドレス割り当て手順において、デバイスからバス特性レジスタ (BCR) を受信するとき(注1)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

27.2.66 SVDCT : スレーブデバイス特性テーブルレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x320

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TBCR76[1:0]		—	TBCR4	TBCR3	TBCR2	TBCR1	TBCR0	TDCR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TDCR[7:0]	転送デバイス特性レジスタ センサやデバイスのタイプを示すコードを 255 使用可能 例：加速度計、ジャイロスコープ、複合デバイス デフォルト値は 0：ジェネリックデバイス	R/W
8	TBCR0	最大データ速度制限(注1) 0: 制限なし 1: 制限あり	R/W
9	TBCR1	IBI 要求可否 0: 不可 1: 可	R/W
10	TBCR2	IBI ペイロード 0: 受信した IBI にデータバイトが続いていない 1: 受信した IBI に 1 バイト以上のデータバイトが必ず続いているデータバイトが続いていることは、T-ビットで示している	R/W
11	TBCR3	オフライン可否(注2) 0: デバイスは I3C コマンドに常に応答する 1: デバイスは I3C コマンドに常に応答するとは限らない	R/W
12	TBCR4	ブリッジ識別(注3) 0: ブリッジデバイス以外 1: ブリッジデバイス	R/W

ビット	シンボル	機能	R/W
13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	TBCR76[1:0]	デバイスロール 0 0: I3C スレーブ 0 1: I3C マスタ(注4) その他: 設定禁止	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 1. マスタは、GETMXDS CCC を使い、スレーブの特性上の制限を問い合わせます。
注 2. オフラインの使用可能デバイスは、ダイナミックアドレスを保持します。
注 3. ブリッジデバイスは、MIPI I3C 仕様に従う必要があります。
注 4. I3C メインマスタとして動作する I3C デバイスについては、BCR デバイスロールビットの値が 01 になります。

DCT テーブルは、デバイス特性（PID、BCR、DCR）およびダイナミックアドレス割り当て (ENTDAA) 手順に準拠する I3C バス上で割り当てられたダイナミックアドレスを取り込みます。

TDCR[7:0]ビット（転送デバイス特性レジスタ）

I3C バスに接続した各 I3C デバイスには、対応するデバイス特性レジスタ (DCR) があります。このレジスタは、ダイナミックアドレス割り当てと共通コマンドコードで使用する I3C 準拠のデバイスタイプ（加速度計、ジャイロスコープ、など）を示します。

TBCRn ビット（送信バス特性レジスタ）

I3C バスに接続した各 I3C デバイスには、対応するバス特性レジスタ (BCR) があります。このレジスタは、ダイナミックアドレス割り当てと共通コマンドコードで使用する I3C 準拠のデバイスのロールと機能を示します。

I3C スレーブがコマンドディスクリプタで IBI を発行するときの TBCRn の状態を以下に示します。

[スレーブ割り込み要求：受信した IBI に IBI ペイロードが続いていない]

- TBCR1 = 1
- TBCR2 = 0

注. コマンドディスクリプタの DATA_LENGTH[15:0]を 0 に設定する。

[スレーブ割り込み要求：受信した IBI に IBI ペイロードが続いている]

- TBCR1 = 1
- TBCR2 = 1

注. コマンドディスクリプタの DATA_LENGTH[15:0]を任意の値に設定する。

[バス権要求]

- TBCR1 = 1
- TBCR76[1:0] = 01b

スレーブが I3C マスタからの CCC を受信したとき、TBCRn の設定に従って以下の動作をします。

- TBCR2 = 1 のとき、I3C マスタから GETMRL CCC に 3 番目のバイトのデータとして CMRLG.IBIPSZ[7:0]を送る。
- TBCR0 = 0 のとき、I3C マスタから GETMXDS CCC に NACK を応答する。
- TBCR0 = 1 のとき、I3C マスタから GETMXDS CCC に ACK を応答し、CMDSPW、CMDSPR、および CMDSPT レジスタからデータを送る。

27.2.67 SDCTPIDL : スレーブデバイス特性テーブル暫定 ID Low レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x324

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	転送デバイス暫定 ID Low ビット 31～16 は読むと 0 が読めます。 ビット 15～0 は、デバイスの I3C PID のビット[15:0]です。	R/W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

27.2.68 SDCTPIDH : スレーブデバイス特性テーブル暫定 ID High レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x328

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	転送デバイス暫定 ID High デバイスの I3C PID のビット[47:16]です。	R/W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

27.2.69 SVDVADn : スレーブデバイスアドレスレジスタ n (n = 0～2)

Base address: I3C = 0x4011_F000

Offset address: 0x330 + 0x04 × n

Bit position:	31	30	29	28	27	26	25									16
Bit field:	SDYADV	SSTADV	—	—	SADLG	—	SVAD[9:0]									
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。	R
25:16	SVAD[9:0]	スレーブアドレス(注1) スレーブアドレスを設定します。 SVAD 書き換えの際は、SVAE に 0 を書いてから書き換えてください。	R
26	—	読むと 0 が読めます。	R
27	SADLG	スレーブアドレス長(注2) 0: 7 ビットアドレスフォーマットを選択 1: 10 ビットアドレスフォーマットを選択	R

ビット	シンボル	機能	R/W
29:28	—	読むと 0 が読めます。	R
30	SSTADV	スレーブスタティックアドレス有効(注1) 0: スレーブアドレスは無効 1: スレーブアドレスは有効	R
31	SDYADV(注4)	スレーブダイナミックアドレス有効(注3) 0: ダイナミックアドレスは無効 1: ダイナミックアドレスは有効	R

注 1. これらのビットは I2C、I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 2. このビットは I2C モードをサポートします。
注 3. このビットは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。
注 4. このビットは、SVDVAD0 レジスタでのみ有効です。

SVAD[9:0]ビット（スレーブアドレス）

SVAD[9:0]ビットは、有効なスレーブアドレスを示します。

［SVDVAD0.SDYADV ビット = 1］

注. この条件は、SVDVAD0.SVAD[9:0]だけに対するものです。

- SVAD[9:7]ビット = 0
- SVAD[6:0]ビット = SDATBAS0.SDDYAD[6:0]ビット

［SVDVADn.SSTADV ビット = 1 かつ SVDVADn.SADLG ビット = 0］

- SVAD[9:7]ビット = 0
- SVAD[6:0]ビット = SDATBASn.SDSTAD[6:0]ビット

［SVDVADn.SSTADV ビット = 1 かつ SVDVADn.SADLG ビット = 1］

- SVAD[9:0]ビット = SDATBASn.SDSTAD[9:0]ビット

SADLG ビット（スレーブアドレス長）

［1 になる条件］

- 以下がすべて満たされたとき：

1. PRTS.PRTMD ビット= 1（I2C プロトコルモード）
2. SVCTL.SVAEn ビット = 1（スレーブ n は有効）である
3. SDATBASn .SDADLS ビット = 1（アドレス長が 10 ビット）である

［0 になる条件］

- ［1 になる条件］を満たさないとき

SSTADV ビット（スレーブスタティックアドレス有効）

［1 になる条件］

- 以下がすべて満たされたとき：

1. SVCTL.SVAEn ビット = 1（スレーブ n は有効）である
2. SVDVAD0.SDYADV ビット= 0（ダイナミックアドレスが無効）である

   注. この条件は、SVDVAD0.SSTADV だけに対するものです。
3. SVDVADn.SADLG ビット = 0 である場合、SDATBASn .SDSTAD[6:0]ビットの全てが 0、ではない
   SVDVADn.SADLG ビット = 1 である場合、SDATBASn .SDSTAD[9:0]ビットの全てが 0、ではない

［0 になる条件］

- ［1 になる条件］を満たさないとき

SDYADV ビット（スレーブダイナミックアドレス有効）

[1 になる条件]

- 以下がすべて満たされたとき：

1. PRTS.PRTMD ビット= 0（I3C プロトコルモード）
2. SVCTL.SVAEn ビット = 1（スレーブ n は有効）である
3. SDATBAS0.SDDYAD[6:0]ビットの全てが 0、ではない

注. この条件は、SVDVAD0.SDYADV だけに対するものです。

[0 になる条件]

- [1 になる条件] を満たさないとき

27.2.70 CSECMD : CCC スレーブイベントコマンドレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x350

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSRQE	SVIRQE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SVIRQE	スレーブ割り込み要求許可 0: 禁止：スレーブからの割り込みはマスタの制御により禁止 1: 許可：スレーブからの割り込みはマスタの制御により許可	R/W
1	MSRQE	バス権要求許可 0: 禁止：セカンダリマスタからのバス権要求はカレントマスタの制御により禁止 1: 許可：セカンダリマスタからのバス権要求はカレントマスタの制御により許可	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

SVIRQE ビット（スレーブ割り込み要求許可）

本ビットにより、I3C バス上でスレーブからの割り込みを許可されたとき、マスタによる制御が許可される

これら 4 つのダイレクト（ENEC/DISEC フォーマット 1）CCC またはブロードキャスト（ENEC/DISEC フォーマット 2）CCC は、I3C バス上でマスタがスレーブからのトラフィックを許可するか禁止するかの制御をできるようにします。この制御は、スレーブによる割り込み要求 (ENI) またはバス権の要求 (ENMR) も包含します。

[1 になる条件]

- 1 を書いたとき
- ENINT ビット = 1 の状態で、ENEC CCC（ブロードキャスト）を受信したとき(注1)
- 受信した ENEC CCCENEC CCC (Direct) 自体のスレーブアドレスで、ENINT ビット = 1 のとき(注1)

[0 になる条件]

- 0 を書いたとき
- DISINT ビット = 1 の状態で、DISEC CCC（ブロードキャスト）を受信したとき(注1)
- 受信した DISEC CCC (Direct) 自体のスレーブアドレスで、DISINT ビット = 1 のとき(注1)

MSRQE ビット（バス権要求許可）

本ビットにより、カレントマスタが I3C バス上でセカンダリマスタからのバス権要求を許可します。

[1 になる条件]

- 1 を書いたとき
- ENMR ビット = 1 の状態で、ENEC CCC（ブロードキャスト）を受信したとき(注1)
- 受信した ENEC CCC (Direct) 自体のスレーブアドレスで、ENMR ビット = 1 のとき(注1)

[0 になる条件]

- 0 を書いたとき
- DISMR ビット = 1 の状態で、DISEC CCC（ブロードキャスト）を受信したとき(注1)
- 受信した DISEC CCC (Direct) 自体のスレーブアドレスで、DISMR ビット = 1 のとき(注1)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

27.2.71 CEACTST : CCC 遷移アクティビティステートレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x354

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ACTST[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ACTST[3:0]	アクティビティステート 0x1: ENTAS0（1µs：レイテンシフリー動作） 0x2: ENTAS1 (100 µs) 0x4: ENTAS2 (2 ms) 0x8: ENTAS3（50 ms：最少アクティビティ動作） その他: 設定禁止	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

ACTST[3:0]ビット（アクティビティステート）

[更新する条件]

- アクティビティステート値を書き込んだとき
- ENTAS0 CCC（ブロードキャスト）の受信時、本ビットが 0x1 に更新されます。(注1)
- ENTAS1 CCC（ブロードキャスト）の受信時、本ビットが 0x2 に更新されます。(注1)
- ENTAS2 CCC（ブロードキャスト）の受信時、本ビットが 0x4 に更新されます。(注1)
- ENTAS3 CCC（ブロードキャスト）の受信時、本ビットが 0x8 に更新されます。(注1)
- スレーブアドレス値が ENTAS0 CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、本ビットが 0x1 に更新されます。(注1)
- スレーブアドレス値が ENTAS1 CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、本ビットが 0x2 に更新されます。(注1)
- スレーブアドレス値が ENTAS2 CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、本ビットが 0x4 に更新されます。(注1)
- スレーブアドレス値が ENTAS3 CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、本ビットが 0x8 に更新されます。(注1)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

27.2.72 CMWLG : CCC 最大書き込み長レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x358

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MWLG[15:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	MWLG[15:0]	最大書き込み長	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

MWLG[15:0]ビット（最大書き込み長）

これらのビットは、I3C マスタに 1 つのスレーブデバイスに対してのバイト単位の最大書き込み長を設定するか取得するために使用します。

この最大書き込み長は、ブロードキャスト CCC のデータ書き込み長には影響しません。最大書き込み長設定／取得の値は、MSB ファーストで 2 バイトで転送されます。最大書き込み長で設定可能な最小の値は 8 です。

[更新する条件]

- 最大書き込み長を書き込むとき
- SETMWL CCC（ブロードキャスト）を受信しているとき、それらのビットは MWL 値に更新されます。(注1)
- スレーブアドレス値が SETMWL CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、それらビットが MWL 値に更新されます。(注1)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

27.2.73 CMRLG : CCC 最大読み出し長レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x35C

Bit position:	31	30	29	28	27	26	25	24	23	16	15	0
Bit field:	—	—	—	—	—	—	—	—	IBIPSZ[7:0]		MRLG[15:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	MRLG[15:0]	最大読み出し長	R/W
23:16	IBIPSZ[7:0]	IBI ペイロードサイズ	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

MRLG[15:0]ビット（最大読み出し長）

これらのビットは、I3C マスタに 1 つのスレーブデバイスに対しての最大読み出し長を設定するか取得するために使用します。

最大読み出し長設定／取得の値は、MSB ファーストで最初の 2 バイトで転送されます。最大読み出し長で設定可能な最小の値は 16 です。

［更新する条件］

- 最大読み出し長を書き込むとき
- SETMRL CCC（ブロードキャスト）を受信しているとき、それらのビットは MRL 値に更新されます。(注1)
- スレーブアドレス値が SETMRL CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、それらビットが MRL 値に更新されます。(注1)

IBIPSZ[7:0]ビット（IBI ペイロードサイズ）

これらのビットは、I3C マスタにオプションで最大 IBI ペイロードサイズを設定するか取得するために使用します。

BCR ビット 2 が 1 に設定されているデバイスでは、最大 IBI ペイロードサイズの値が 3 番目のバイトとして追加され、値が 0 の場合はペイロードサイズが無制限であることを示します。タイミングコントロールを使う場合、最小の IBI ペイロードサイズは、4 バイトか 5 バイトのいずれかです。タイミングコントロールを使わない場合、最小の IBI ペイロードサイズは、1（1 バイト）です。

2 つの例外を除いて、この CCC はスレーブに対してオプションです。

1. (a) スレーブによって実行されたプライベート読み出し要求メッセージと拡張読み出し要求 CCC の両方またはいずれかがスレーブがメッセージあたりで返せるデータバイト数の最大値をサポートしていて、(b) その値が 16 バイトより大きい、の両方の場合、CCC が必要です。
2. (a) スレーブが（BCR ビット 1 に示す）IBI ペイロードをサポートし、(b) スレーブが 1 バイトより大きいプライベートペイロードを送信する（タイミングコントロールバイトを数えるのではなく、タイミングコントロールを使用する場合）、の両方の場合、CCC が必要です。

［更新する条件］

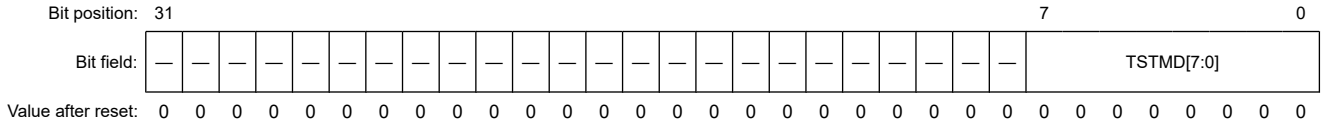
- 最大 IBI ペイロードサイズ値を書き込むとき
- SETMRL CCC（ブロードキャスト）を受信しているとき、それらのビットは IBI ペイロードサイズ値に更新されます。(注1)
- スレーブアドレス値が SETMRL CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき、それらビットが IBI ペイロードサイズ値に更新されます。(注1)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

27.2.74 CETSTMD : CCC 遷移テストモードレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x360



ビット	シンボル	機能	R/W
7:0	TSTMD[7:0]	テストモード 0x00: テストモード終了 この値で、全ての I3C デバイスがテストモードから脱します。 0x01: ベンダテストモード この値は、ダイナミックアドレス割り当て手順の状態で、I3C デバイスがランダムな 32 ビット値を暫定 ID で返すことを示します。 その他: 設定禁止	R
31:8	—	読むと 0 が読めます。	R

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

TSTMD[7:0]ビット（テストモード）

本ビットが 0x00 のとき、全ての I3C デバイスはテストモードから脱します。

本ビットが 0x01 のとき、ダイナミックアドレス割り当て手順の状態で、I3C デバイスがランダムな 32 ビット値を暫定 ID で返すことを示します。

ブロードキャスト CCC は全ての I3C デバイスに対し、マスタが製造段階またはデバイステスト時の特定のテストモードにあることを通知します。テストモード遷移コマンドフレームフォーマットは、どのテストモードに遷移するかを示すバイトを含みます。テストモード遷移 CCC 受信時に、I3C デバイスが示されたテストモードに遷移するのをサポートします。

[更新する条件]

- ENTTM CCC（ブロードキャスト）を受信しているとき、本ビットはテストモードバイト値に更新されます。(注1)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

27.2.75 CGDVST : CCC デバイスステータス取得レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x364

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	8	7	6	5	4	3	0
Bit field:	VDRSV[7:0]		ACTMD[1:0]		PRTE	—	PNDINT[3:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	PNDINT[3:0]	保留割り込み 保留割り込みの割り込み番号を保持し、保留中の割り込みがない場合は 0 になります。最大 15 の割り込み番号をナンバリングできます。2 つ以上の割り込みを設定すると、最も優先度が高い割り込みを返します。	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	PRTE	プロトコルエラー 0: スレーブが前回のステータス読み出し以降のプロトコルエラーを検出しなかった 1: スレーブが前回のステータス読み出し以降のプロトコルエラーを検出した	R/W
7:6	ACTMD[1:0]	スレーブデバイスカレントアクティビティモード 0 0: アクティビティモード 0 : 0 1: アクティビティモード 1 : 1 0: アクティビティモード 2 : 1 1: アクティビティモード 3 :	R/W
15:8	VDRSV[7:0]	ベンダ予約 ベンダの特定用途目的の予約	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

PRTE ビット（プロトコルエラー）

1 に設定すると、スレーブが前回のステータス読み出し以降のプロトコルエラーを検出します。

スレーブは、そのようなエラーを確認します。この値は、スレーブステータスのマスタ読み出しの正常な終了ごとにハードウェアにより自動的にクリアされる点に注意してください。

ダイレクト CCC は、1 つの I3C スレーブデバイスに対してそのカレントステータスを返させるための Get リクエストで、2 バイトのフォーマットからなります。バイト 0 は LSB、バイト 1 は MSB である点に注意してください。

[1 になる条件]

- スレーブがプロトコルエラーを検出したとき(注1)

[0 になる条件]

- GETSTATUS CCC (Direct) を受信した後、自身のスレーブアドレスによる送信がエラーなく完了したとき (注1)

ACTMD[1:0]ビット（スレーブデバイスカレントアクティビティモード）

スレーブデバイスのカレントアクティビティモードの 2 ビットの ID を保持します。(センサや関連する情報のデータ読み出しをサポートする準備)

注 1. MIPI I3C 仕様 v1.0 を参照してください。

27.2.76 CMDSPW : CCC 最大データ速度 W（書き込み）レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x368

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2		0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	MSWDR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	MSWDR[2:0]	最大連続書き込みデータレート 0 0 0: fscl 値最大（初期値） 0 0 1: 8 MHz 0 1 0: 6 MHz 0 1 1: 4 MHz 1 0 0: 2 MHz その他: 設定禁止	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

27.2.77 CMDSPR : CCC 最大データ速度 R（読み出し）レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x36C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5		3	2		0
Bit field:	—	—	—	—	—	—	—	—	—	—	CDTTIM[2:0]			MSRDR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	MSRDR[2:0]	最大連続読み出しデータレート 0 0 0: fscl 値最大（初期値） 0 0 1: 8 MHz 0 1 0: 6 MHz 0 1 1: 4 MHz 1 0 0: 2 MHz その他: 設定禁止	R/W
5:3	CDTTIM[2:0]	クロック～データ切り替え時間 (TSCO) 0 0 0: 8 ns 以下（初期値） 0 0 1: 9 ns 以下 0 1 0: 10 ns 以下 0 1 1: 11 ns 以下 1 0 0: 12 ns 以下 1 1 1: TSCO は 12 ns より大きい（個別の契約に従う） その他 設定禁止	R/W
31:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

27.2.78 CMDSPT : CCC 最大データ速度 T（切り替え）レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x370

Bit position:	31								23																						0
Bit field:	MRTE	—	—	—	—	—	—	—	MRTTIM[23:0]																						
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
23:0	MRTTIM[23:0]	最大読み出し切り替え時間 0.0 秒から 16 秒の範囲の切り替え時間を、24 ビットフィールドにエンコードできます。 0x000000: 0 µs（最小値） 0x000001: 1 µs（分解能） ⋮ 0xF42400: 16 s（最大値） その他: 設定禁止	R/W
30:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	MRTE	最大読み出し切り替え時間許可 0: 最大読み出し切り替え時間の転送を禁止します。 （GETMXDS フォーマット 1：切り替えなし） 1: 最大読み出し切り替え時間の転送を許可します。 （GETMXDS フォーマット 2：切り替えあり）	R/W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

27.2.79 CETSM : CCC 交換タイミングサポート情報 M（モード）レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x374

Bit position:	31								23								16	15							8						2	1	0
Bit field:	—	—	—	—	—	—	—	—	INAC[7:0]									FREQ[7:0]							—	—	—	—	—	SPTASYN1	SPTASYN0	SPTSYN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPTSYN	同期モードサポート 0: 同期モードをサポートしない 1: 同期モードをサポートする	R/W
1	SPTASYN0	非同期モード 0 サポート 0: 非同期モード 0 をサポートしない 1: 非同期モード 0 をサポートする	R/W
2	SPTASYN1	非同期モード 1 サポート 0: 非同期モード 1 をサポートしない 1: 非同期モード 1 をサポートする	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	FREQ[7:0]	周波数バイト スレーブの内部発振周波数を 0.5 MHz (500 kHz) 刻み、最高 127.5 MHz までで表します。 0x00: 32.0 kHz 0x01: 0.5 MHz 0x02: 1.0 MHz ⋮ 0xFD: 126.5 MHz 0xFE: 127.0 MHz 0xFF: 127.5 MHz	R/W
23:16	INAC[7:0]	変動量バイト スレーブの内部発振周波数の最高変動量を、1/10 パーセント (0.1%) 刻み、最大 25.5%で表します。 0x00: 0.0% 0x01: 0.1% 0x02: 0.2% ⋮ 0xFD: 25.3% 0xFE: 25.4% 0xFF: 25.5%	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

SPTSYN ビット（同期モードサポート）

対象のスレーブがサポートするタイミングコントロールモードのサポート同期モードを表すビットマスクです。

本ビットが 1 に設定された場合、そのスレーブは対応するタイミングコントロールモードのサポート同期モードをサポートしています。

SPTASYN0 ビット（非同期モード 0 サポート）

対象のスレーブがサポートするタイミングコントロールモードの非同期モード 0 をサポートするビットマスク表示です。

本ビットが 1 に設定された場合、そのスレーブは対応するタイミングコントロールモードのサポート非同期モード 0 をサポートしています。

SPTASYN1 ビット（非同期モード 1 サポート）

対象のスレーブがサポートするタイミングコントロールモードの非同期モード 1 をサポートするビットマスク表示です。

本ビットが 1 に設定された場合、そのスレーブは対応するタイミングコントロールモードのサポート非同期モード 1 をサポートしています。

ダイレクト CCC は、その I3C スレーブがサポートする交換タイミング情報をマスタがスレーブ側に照会するためのフレームワークを提供します。交換タイミングサポート情報取得 CCC の発行により、指定されたスレーブはそのスレーブがサポートするタイミングコントロールモード、カレントステート、内部発振／クロック周波数とその変動量に関するキー情報を含む 4 個のデータバイトを返します。

27.2.80 CETSS : CCC 交換タイミングサポート情報 S（ステート）レジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x378

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	ICOVF	—	—	—	—	ASYNE[1:0]		SYNE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SYNE	同期モード許可 0: 同期モードを禁止する 1: 同期モードを許可する	R/W
2:1	ASYNE[1:0]	非同期モード許可 非同期モード 3、2 はサポートされていないため、0 に設定します。 0 0: 全モードを禁止する 0 1: 非同期モード 0 を許可する 1 0: 非同期モード 1 を許可する その他: 設定禁止	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	ICOVF	内部カウンタオーバーフロー 0: 最新のチェックで、スレーブのカウンタオーバーフローが発生していない 1: 最新のチェックで、スレーブのカウンタオーバーフローが発生している	R/W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

対象のスレーブに対してどのタイミングコントロールモードが現在有効であるか、および、最新のチェックでカウンタオーバーフローが発生していないか、を示すビットマスクです。タイミングコントロールモードビットが 1 に設定されている場合、そのスレーブは現在対応するタイミングコントロールモードを有効にしています。オーバーフロービットが 1 に設定された場合、最新のチェックで、スレーブのカウンタオーバーフローが発生していることを示します。

ASYNE[0]ビット（非同期モード 0 許可）

スレーブタイミングコントロール非同期モード 0 を許可します。

[1 になる条件]

- 1 を書いたとき
- CETSM.SPTASYN[0]ビットが 1 で、かつ下記 1.または 2.のどちらかが満たされたとき

1. 定義バイト値が 0xDF の状態で、SETXTIME CCC（ブロードキャスト）を受信したとき
2. 定義バイト値が 0xDF の状態で、スレーブアドレス値が SETXTIME CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき

[0 になる条件]

- 0 を書いたとき
- CETSM.SPTASYN[0]ビットが 1 で、かつ下記 1.または 2.のどちらかが満たされたとき

1. 定義バイト値が 0xEF の状態で、SETXTIME CCC（ブロードキャスト）を受信したとき
2. 定義バイト値が 0xEF の状態で、スレーブアドレス値が SETXTIME CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき

ASYNE[1]ビット（非同期モード 1 許可）

スレーブタイミングコントロール非同期モード 1 を許可します。

[1 になる条件]

- 1 を書いたとき
- CETSM.SPTASYN[1]ビットが 1 で、かつ下記 1.または 2.のどちらかが満たされたとき

1. 定義バイト値が 0xEF の状態で、SETXTIME CCC（ブロードキャスト）を受信したとき
2. 定義バイト値が 0xEF の状態で、スレーブアドレス値が SETXTIME CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき

[0 になる条件]

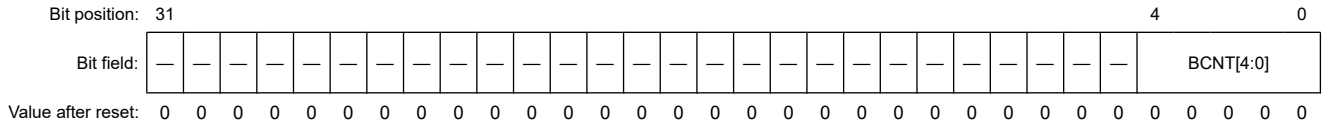
- 0 を書いたとき
- CETSM.SPTASYN[1]ビットが 1 で、かつ下記 1.または 2.のどちらかが満たされたとき

1. 定義バイト値が 0xDF の状態で、SETXTIME CCC（ブロードキャスト）を受信したとき
2. 定義バイト値が 0xDF の状態で、スレーブアドレス値が SETXTIME CCC (Direct) を受信時のそれ自身のスレーブアドレスであるとき

27.2.81 BITCNT : ビットカウントレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x380



ビット	シンボル	機能	R/W
4:0	BCNT[4:0]	ビットカウンタ 残りの転送ビット数を表示します。 値についての詳細は、表 27.7 および表 27.8 を参照してください。	R
31:5	—	読むと 0 が読めます。	R

BCNT[4:0]ビット（ビットカウンタ）

I3C_SCL ラインのサンプリングエッジの検出時に、残りの転送ビット数を示すカウンタです。

表 27.7 I^2C 転送

	マスタ		スレーブ	
BCNT[4:0]	アドレスフェーズ	データフェーズ	アドレスフェーズ	データフェーズ
0x00	2～1 ビット	2～1 ビット	3～1 ビット	2～1 ビット
0x01	3 ビット	3 ビット	4 ビット	3 ビット
0x02	4 ビット	4 ビット	5 ビット	4 ビット
0x03	5 ビット	5 ビット	6 ビット	5 ビット
0x04	6 ビット	6 ビット	7 ビット	6 ビット
0x05	7 ビット	7 ビット	8 ビット	7 ビット
0x06	8 ビット	8 ビット	9 ビット	8 ビット
0x07	9 ビット	9 ビット	—	9 ビット

表 27.8 I3C 転送

BCNT[4:0]	SDR(注1)	
	送信	受信
0x00	1 ビット	2～1 ビット
0x01	2 ビット	3 ビット
0x02	3 ビット	4 ビット
0x03	4 ビット	5 ビット
0x04	5 ビット	6 ビット
0x05	6 ビット	7 ビット
0x06	7 ビット	8 ビット
0x07	8 ビット	9 ビット
0x08	9 ビット	—
0x09	—	—
0x0A	—	—
0x0B	—	—
0x0C	—	—
0x0D	—	—
0x0E	—	—
0x0F	—	—
0x10	—	—
0x11	—	—

注 1. アドレスフェーズは表 27.7 の場合と同じです。

27.2.82 NQSTLV : 通常キューステータスレベルレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x394

Bit position:	31			28				24	23							16	15							8	7							0
Bit field:	—		—	—	—	IBISCNT[4:0]			IBIQLV[7:0]								RSPQLV[7:0]								CMDQFLV[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	

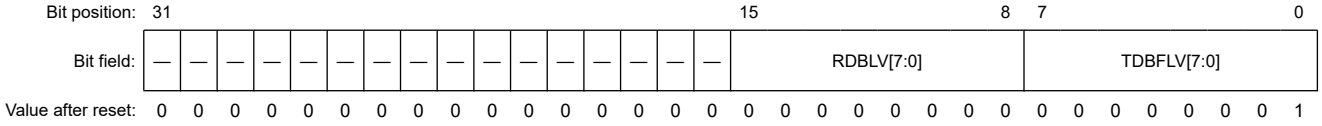
ビット	シンボル	機能	R/W
7:0	CMDQFLV[7:0]	通常コマンドキューフリーレベル(注1) コマンドキュー内の現在のフリーバッファエントリの数です。 リセット値は、コマンドキューの深度です。	R
15:8	RSPQLV[7:0]	通常レスポンスキューレベル(注1) レスポンスキュー内の現在のバッファエントリの数です。	R
23:16	IBIQLV[7:0]	通常 IBI キューレベル(注1) IBI キュー内の現在のバッファエントリの数です。	R
28:24	IBISCNT[4:0]	通常 IBI ステータスカウント(注2) IBI キュー内の現在の IBI ステータスエントリの数です。	R
31:29	—	読むと 0 が読めます。	R

注 1. これらのビットはすべての I3C モードをサポートします。
注 2. これらのビットは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

27.2.83 NDBSTLV0 : 通常データバッファステータスレベルレジスタ 0

Base address: I3C = 0x4011_F000

Offset address: 0x398



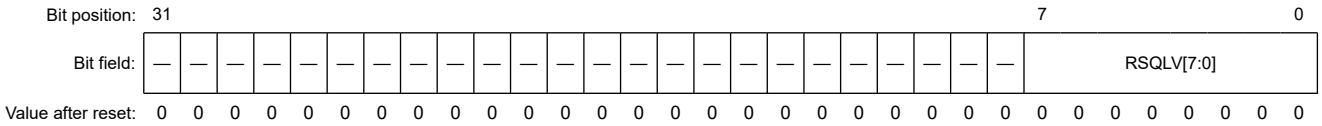
ビット	シンボル	機能	R/W
7:0	TDBFLV[7:0]	通常送信データバッファフリーレベル 送信データキュー内のフリー送信データバッファエントリの数を示します。 リセット値は、送信データキューの深度です。	R
15:8	RDBLV[7:0]	通常受信データバッファレベル 受信データキュー内の受信データバッファエントリの数を示します。	R
31:16	—	読むと 0 が読めます。	R

注. このレジスタはすべての I3C モードをサポートします。

27.2.84 NRSQSTLV : 通常受信ステータスキューステータスレベルレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x3C0



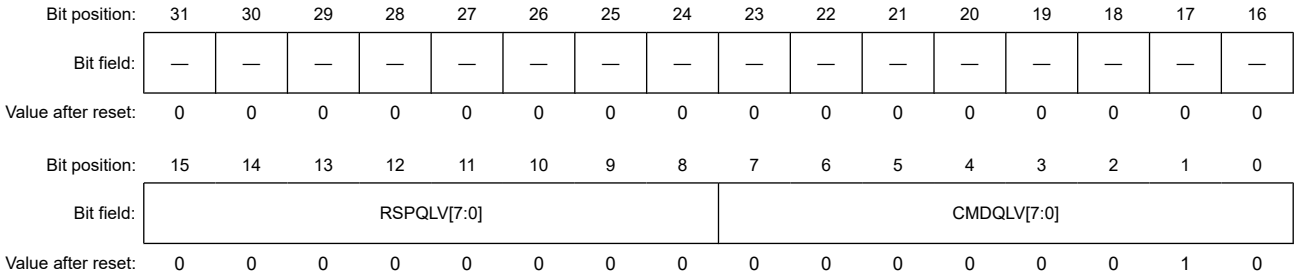
ビット	シンボル	機能	R/W
7:0	RSQLV[7:0]	通常受信ステータスキューレベル	R
31:8	—	読むと 0 が読めます。	R

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

27.2.85 HQSTLV : 優先キューステータスレベルレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x3C4



ビット	シンボル	機能	R/W
7:0	CMDQLV[7:0]	優先コマンドキューレベル 優先コマンドキュー内の現在のフリーバッファエントリの数です。 リセット値は、優先コマンドキューの深度です。	R
15:8	RSPQLV[7:0]	優先レスポンスキューレベル 優先レスポンスキュー内の現在のバッファエントリの数です。	R

ビット	シンボル	機能	R/W
31:16	—	読むと 0 が読めます。	R

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

27.2.86 HDBSTLV : 優先データバッファステータスレベルレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x3C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RDBLV[7:0]								TDBFLV[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
7:0	TDBFLV[7:0]	優先送信データバッファフリーレベル 優先送信データキュー内のフリー優先送信データバッファエントリの数を示します。 リセット値は、優先送信データキューの深度です。	R
15:8	RDBLV[7:0]	優先受信データバッファレベル 優先受信データキュー内の優先受信データバッファエントリの数を示します。	R
31:16	—	読むと 0 が読めます。	R

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

27.2.87 PRSTDBG : 現在ステートデバッグレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x3CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	SDOLV	SCOLV	SDILV	SCILV
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

ビット	シンボル	機能	R/W
0	SCILV	SCL ライン信号レベル エラーからの復帰やデバッグの際に、SCL ラインレベルの確認に使用します。	R
1	SDILV	SDA ライン信号レベル エラーからの復帰やデバッグの際に、SDA ラインレベルの確認に使用します。	R
2	SCOLV	SCL 出力レベル 0: I3C は SCL 端子を Low にした 1: I3C は SCL 端子を解放した	R
3	SDOLV	SDA 出力レベル 0: I3C は SDA 端子を Low にした 1: I3C は SDA 端子を解放した	R
31:4	—	読むと 0 が読めます。	R

SCILV ビット（SCL ライン信号レベル）

エラーからの復帰やデバッグの際に、SCL ラインレベルの確認に使用します。

SDILV ビット（SDA ライン信号レベル）

エラーからの復帰やデバッグの際に、SDA ラインレベルの確認に使用します。

SCOLV ビット（SCL 出力レベル）

SCL 端子の出力レベルを選択するのに使用します。

SDOLV ビット（SDA 出力レベル）

SDA 端子の出力レベルを選択するのに使用します。

27.2.88 MSERRCNT : マスタエラーカウンタレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x3D0

Bit position:	31																						7							0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	M2ECNT[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	M2ECNT[7:0]	M2 エラーカウンタ I3C バス上の I3C タイプ M2 エラーをカウントします。 読み出し時にクリアされます。	R
31:8	—	読むと 0 が読めます。	R

注. このレジスタは I3C マスタモードと I3C セカンダリマスタモードをサポートします。

27.2.89 SC1CPT : SC1 キャプチャモニタレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x3E0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SC1C[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	SC1C[15:0]	SC1 キャプチャ	R
31:16	—	読むと 0 が読めます。	R

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

SC1C[15:0]ビット（SC1 キャプチャ）

- 非同期モード 0（非同期基本モード）
  ATCCNTE.ATCE を有効にした後、SC1C[15:0]カウンタは SC1C[15:0]カウントトリガ(注1)から IBI に対する ACK の次の SCL 立ち上がりエッジまでカウントアップし、それを SC1C[15:0]としてキャプチャします。
- 非同期モード 1（非同期拡張モード）

ATCCNTE.ATCE を有効にした後、SC1C[15:0]カウンタは、SC1C[15:0]カウントトリガ(注1)から最初の aME までカウントアップし、それを SC1C[15:0]としてキャプチャします。

注. タイミングコントロールの仕様上、SC1C[15:0]カウンタの値は IBI データとして IBI フレームに含まれて I3C マスタに送信されます。そのため、I3C スレーブはこのレジスタを読み出す必要はありません。I3C スレーブがこのレジスタを読み出す必要がある場合、IBI フレーム完了後に読み出します。

注 1. SW または外部トリガは選択ビットで選択可能です。

27.2.90 SC2CPT : SC2 キャプチャモニタレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x3E4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SC2C[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	SC2C[15:0]	SC2 キャプチャ	R
31:16	—	読むと 0 が読めます。	R

注. このレジスタは I3C セカンダリマスタモードと I3C スレーブモードをサポートします。

SC2C[15:0]ビット（SC2 キャプチャ）

- 非同期モード 0（非同期基本モード）
  ATCCNTE.ATCE を有効にした後、SC2C[15:0]カウンタは I3C スレーブから送信された IBI に対する ACK の次の SCL 立ち上がりエッジから必須のバイトの後の T ビットの次の SCL 立ち上がりエッジまでカウントアップし、それを SC2C[15:0]としてキャプチャします。
- 非同期モード 1（非同期拡張モード）
  ATCCNTE.ATCE を有効にした後、SC2C[15:0]カウンタは I3C スレーブから送信された IBI に対する ACK の次の SCL 立ち上がりエッジから必須のバイトの後の T ビットの次の SCL 立ち上がりエッジまでカウントアップし、それを SC2C[15:0]としてキャプチャします。

注. タイミングコントロールの仕様上、SC2C[15:0]カウンタの値は IBI データとして IBI フレームに含まれて I3C マスタに送信されます。そのため、I3C スレーブはこのレジスタを読み出す必要はありません。I3C スレーブがこのレジスタを読み出す必要がある場合、IBI フレーム完了後に読み出します。

27.2.91 CECTL : クロック許可コントロールレジスタ

Base address: I3C = 0x4011_F000

Offset address: 0x010

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CLKE	クロック許可 0: クロックを禁止する 1: クロックを許可する	R/W
31:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CLKE ビット（クロック許可）

- 通信機能のクロック供給許可／禁止を制御します。

27.3 動作説明

27.3.1 データ構造

27.3.1.1 コマンドディスクリプタ

ライトオンリーのコマンドディスクリプタ構造は、64 ビットのビット長です。コマンドディスクリプタは、コマンドキューポート（優先、または通常）への書き込みにより、コマンドキューに置かれます。

コマンドキューポート（優先、または通常）への書き込みは、以下の順で行います。

1. 最初の書き込み：最下位の DWORD（コマンドディスクリプタ構造 Low）
2. 2 番目の書き込み：最上位の DWORD（コマンドディスクリプタ構造 High）

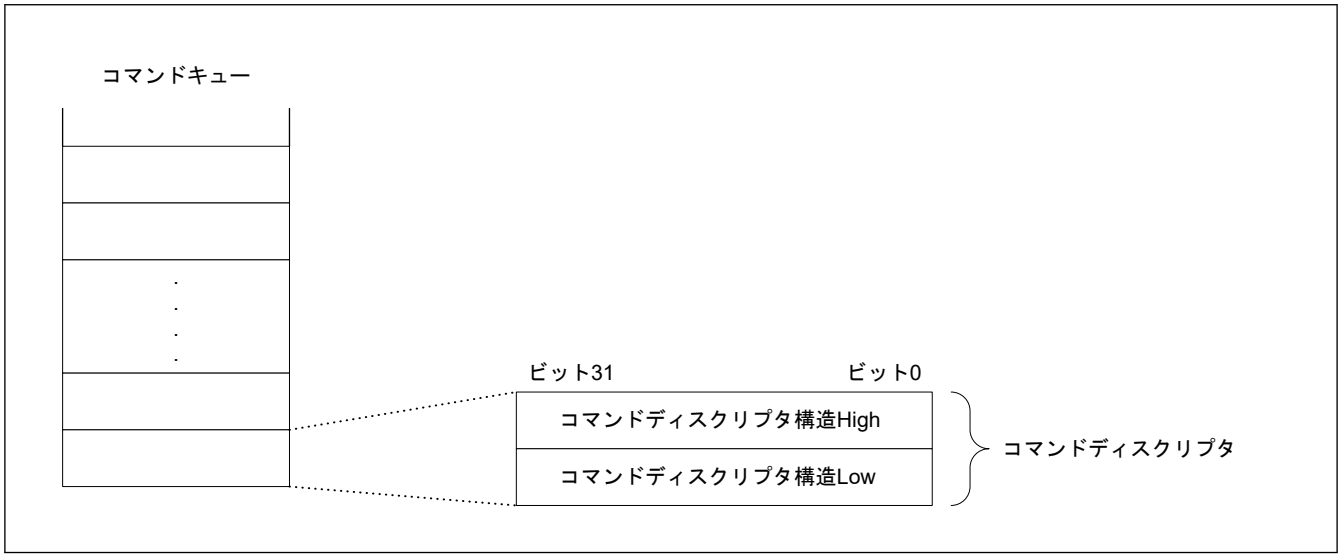


図 27.2 コマンドディスクリプタデータ構造

I3C は、以下の各コマンドタイプに対するコマンドディスクリプタ構造を示します。

- アドレス配置コマンド
- 即時データ転送コマンド
- 通常データ転送コマンド
- コンボデータ転送コマンド
- 内部コントロールコマンド

詳細は、次章以降に説明します。

27.3.1.1.1 アドレス配置コマンド

本コマンドはアドレス配置（ENTDAA、SETDASA）に使用します。

注. SETAASA CCC の発行時に、即時転送コマンドを使用します。

I3C は、以下のモードに対してアドレス配置コマンドを提供します。

- I3C マスタモード

アドレス配置コマンド構造の詳細を以下に示します。

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TOC	ROC	DEV_COUNT[3:0]				—	—	—	—	EXT_DEVICE	DEV_INDEX[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	CMD[7:0]								TID[3:0]				CMD_ATTR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	コマンド属性 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み／読み出しコンボデータ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	トランザクション ID	W
14:7	CMD[7:0]	転送コマンド CCC 値	W
15	—	書く場合、0 としてください。	W
20:16	DEV_INDEX[4:0]	デバイスインデックス	W
21	EXT_DEVICE	拡張デバイスインデックス 0: DEV_INDEX[4:0]で示される DATBASm テーブルを使用する 1: EXDATBAS テーブルを使用する	W
25:22	—	書く場合、0 としてください。	W
29:26	DEV_COUNT[3:0]	デバイスカウント	W
30	ROC	完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
31	TOC	完了時終了 0: RESTART: 転送完了時に、繰り返しのスタート (Sr) を発行する 1: STOP: 転送完了時に、停止 (P) を発行する	W
63:32	—	書く場合、0 としてください。	W

CMD_ATTR[2:0]ビット（コマンド属性）

他のフィールドのフォーマットを定義するコマンドタイプです。

TID[3:0]ビット（トランザクション ID）

本コマンドの ID タグとして使用します。このフィールドは、ソフトウェアドライバで配置され、同じ値がレスポンスディスクリプタに反映されます。

CMD[7:0]ビット（転送コマンド CCC 値）

アドレス配置が ENTDAA コマンドか SETDASA コマンドを使用するかどうかを示す CCC コードを指定します。フィールドは、コマンドコード（ENTDAA または SETDASA）全体を含みます。

DEV_INDEX[4:0]ビット（デバイスインデックス）

転送時に指定されたスレーブデバイスの DATBASm テーブルインデックスを示します。スタティックアドレッシングとデバイスアドレッシングの関連情報は、DATBASm のこのインデックスに格納されます。

DEV_COUNT[3:0]ビット（デバイスカウント）

ダイナミックアドレスが配置されるデバイスの数を示します。

ROC ビット（完了時レスポンス）

転送コマンドが正常に完了した後で、レスポンスステータスを送るかどうかをコントロールします。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスが送られます。

TOC ビット（完了時終了）

転送コマンドの完了後に、どのバスコンディションを発行するかをコントロールします。

ENTDAA の場合、TOC の設定値にかかわらずストップコンディションを発行します。これは、SETDASA 転送に関し、重要なことです。

TOC = 0 (RESTART) により SETDASA CCC を送る場合、次のコマンドはアドレス配置コマンドによって SETDASA CCC に設定されなければなりません。

次のコマンドが、同じ SETDASA CCC フレームでないとき、TOC = 1 (STOP) に設定されなければなりません。

27.3.1.1.2 即時データ転送コマンド

この構造は、転送されるデータ（最大 4 バイト）を直接格納します。そのため、データを書き込む転送／CCC に対してのみ有効です。この構造は、読み出し動作（例、データ受信）には使えません。

4 バイト以下のデータを送信する場合、通信に即時データ転送コマンドを使用してください。

5 バイト以上のデータを送信する場合、通信に通常データ転送コマンドを使用してください。

通常データ転送コマンドについては、「27.3.1.1.3. 通常データ転送コマンド」を参照してください。

I3C は、以下の各モードに対して即時データ転送コマンドを提供します。

- I3C マスタモード

各モードの即時データ転送コマンド構造の詳細を以下に示します。

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	DATA_BYTE_4[7:0]								DATA_BYTE_3[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	DATA_BYTE_2[7:0]								DATA_BYTE_1[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TOC	ROC	RNW	MODE[2:0]			BYTE_CNT[2:0]			—	EXT_DEVICE	DEV_INDEX[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CP	CMD[7:0]								TID[3:0]				CMD_ATTR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	即時データ転送コマンド属性 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み／読み出しコンボ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	即時データ転送トランザクション ID	W
14:7	CMD[7:0]	即時データ転送 CCC 値 CCC 用: 8 ビット	W
15	CP	即時データ転送コマンドの有無 0: TRANFSER: この構造は SDR 転送を記述するため、CMD フィールドは無効 1: CCC: この構造は CCC 転送を記述するため、CMD フィールドは有効	W
20:16	DEV_INDEX[4:0]	即時データ転送デバイスインデックス	W
21	EXT_DEVICE	即時データ転送拡張デバイスインデックス 0: DEV_INDEX[4:0]で示される DATBASm テーブルを使用する 1: EXDATBAS テーブルを使用する	W
22	—	書く場合、0 としてください。	W
25:23	BYTE_CNT[2:0]	即時データ転送バイトカウント 0x0: ペイロードなし 0x1～ 0x4: N バイト有効 その他: 設定禁止	W
28:26	MODE[2:0]	即時データ転送モードおよびスピード値 0x0: I3C SDR0／データレート: STDBR（I3C モード） I^2C メッセージ 0／データレート: STDBR（I^2C モード） 0x1: I3C SDR1／データレート: EXTBR（I3C モード） I^2C メッセージ 0／データレート: EXTBR（I2C モード） 0x2: I3C SDR2／データレート: STDBR × 2（I3C モード） 予約（I^2C モード） 0x3: I3C SDR3／データレート: EXTBR × 2（I3C モード） 予約（I^2C モード） 0x4: I3C SDR4／データレート: EXTBR × 4（I3C モード） 予約（I^2C モード） その他: 設定禁止	W
29	RNW	即時データ転送 R/W 0: WRITE: 書き込み転送 1: READ: 読み出し転送	W
30	ROC	即時データ転送完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
31	TOC	即時データ転送完了時終了 0: RESTART: データ転送完了時に、繰り返しのスタート (Sr) を発行する 1: STOP: データ転送完了時に、停止 (P) を発行する	W
39:32	DATA_BYTE_1[7:0]	即時データ転送バイト 1 直接引数	W

ビット	シンボル	機能	R/W
47:40	DATA_BYTE_2[7:0]	即時データ転送バイト 2 直接引数	W
55:48	DATA_BYTE_3[7:0]	即時データ転送バイト 3 直接引数	W
63:56	DATA_BYTE_4[7:0]	即時データ転送バイト 4 直接引数	W

CMD_ATTR[2:0]ビット（即時データ転送コマンド属性）

他のフィールドのフォーマットを定義するコマンドタイプです。

TID[3:0]ビット（即時データ転送トランザクション ID）

本コマンドの ID タグとして使用します。このフィールドは、ソフトウェアドライバで配置され、同じ値がレスポンスディスクリプタに反映されます。

CP ビット（即時データ転送コマンドの有無）

CMD フィールドが、CCC 転送に対して有効であるかどうかを示します。

DEV_INDEX[4:0]ビット（即時データ転送デバイスインデックス）

転送時に指定されたスレーブデバイスの DATBASm テーブルインデックスを示します。スタティックアドレッシングとデバイスアドレッシングの関連情報は、DATBASm のこのインデックスに格納されます。

BYTE_CNT[2:0]ビット（即時データ転送バイトカウント）

即時データ転送ディスクリプタで使用する有効なデータバイトの数です。

定義されたペイロードが存在しない CCC の場合を除いて、このフィールドは 0 以外の値に設定される必要があります。

MODE[2:0]ビット（即時データ転送モードおよびスピード値）

I3C 転送または I^2C 転送のモードと速度を設定します。

このフィールドの解釈は、デバイスが I3C モードであるか I^2C モードであるかに依存します。（フィールド DEV_INDEX でインデックス付けされた DATBASm テーブルエントリの DEVICE フィールドを参照）

RNW ビット（即時データ転送 R/W）

転送方向を指定します。

即時データ転送は書き込みトランザクションのみに有効であるため、常に 0 に設定する必要があります。

ROC ビット（即時データ転送完了時レスポンス）

データ転送コマンドが正常に完了した後で、レスポンスステータスが必要かどうかをコントロールします。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスは常に送られます。

TOC ビット（即時データ転送完了時終了）

データ転送が完了した後で、どのバスコンディションを発行するかをコントロールします。

TOC = 0 (RESTART) によりダイレクト CCC を送る場合、次のコマンドは同じダイレクト CCC に設定されなければなりません。

次のコマンドが、同じダイレクト CCC でないとき、TOC = 1 (STOP) に設定されなければなりません。

27.3.1.1.3 通常データ転送コマンド

この構造は、転送するデータ自体は含みません。

マスタモードの場合、転送データキューポート（受信データキューポートと送信データキューポート）を経由してデータバッファを使用可能です。

5 バイト以上のデータを送信する場合、通信にこの通常データ転送コマンドを使用してください。

4 バイト以下のデータを送信する場合、通信に即時データ転送コマンドを使用してください。

即時データ転送コマンドについては、「27.3.1.1.2. 即時データ転送コマンド」を参照してください。

I3C スレーブモードの場合、IBI ステータスキューポートを経由して IBI ペイロードバッファを使用可能です。

I3C は、以下の各モードに対して通常データ転送コマンドを提供します。

- I3C マスタモード
- I3C スレーブモード

各モードの通常データ転送コマンド構造の詳細を以下に示します。

(1) I3C マスタモード

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TOC	ROC	RNW	MODE[2:0]			—	—	—	—	EXT_DEVICE	DEV_INDEX[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CP	CMD[7:0]								TID[3:0]				CMD_ATTR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	データ転送コマンド属性 他のフィールドのフォーマットを定義するコマンドタイプです。 値 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み／読み出しコンボ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	データ転送トランザクション ID コマンド用確認タグ	W
14:7	CMD[7:0]	データ転送 CCC コード値 I3C コマンドコードを指定します。 CCC の場合: 8 ビット	W
15	CP	データ転送コマンドの有無 0: TRANFSER: この構造は SDR 転送を記述するため、CMD フィールドは無効 1: CCC: この構造は CCC 転送を記述するため、CMD フィールドは有効	W
20:16	DEV_INDEX[4:0]	データ転送デバイスインデックス	W
21	EXT_DEVICE	データ転送拡張デバイスインデックス 0: DEV_INDEX[4:0]で示される DATBASm テーブルを使用する 1: EXDATBAS テーブルを使用する	W
25:22	—	書く場合、0 としてください。	W

ビット	シンボル	機能	R/W
28:26	MODE[2:0]	データ転送スピードおよびモード 0x0: I3C SDR0／データレート: STDBR（I3C モード） I2C メッセージ 0／データレート: STDBR（I2C モード） 0x1: I3C SDR1／データレート: EXTBR（I3C モード） I2C メッセージ 0／データレート: EXTBR（I2C モード） 0x2: I3C SDR2／データレート: STDBR × 2（I3C モード） 予約（I2C モード） 0x3: I3C SDR3／データレート: EXTBR × 2（I3C モード） 予約（I2C モード） 0x4: I3C SDR4／データレート: EXTBR × 4（I3C モード） 予約（I2C モード） その他: 設定禁止	W
29	RNW	データ転送 R/W 0: WRITE: 書き込み転送 1: READ: 読み出し転送	W
30	ROC	データ転送完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
31	TOC	データ転送完了時終了 0: RESTART: 転送完了時に、繰り返しのスタート (Sr) を発行する 1: STOP: 転送完了時に、停止 (P) を発行する	W
47:32	—	書く場合、0 としてください。	W
63:48	DATA_LENGTH [15:0]	データ転送データ長 転送するバイト数を表示します。 定義されたペイロードが存在しない CCC の場合を除いて、このフィールドは 0 以外の値に設定される必要があります。	W

CMD_ATTR[2:0]ビット（データ転送コマンド属性）

他のフィールドのフォーマットを定義するコマンドタイプです。

TID[3:0]ビット（データ転送トランザクション ID）

本コマンドの ID タグとして使用します。このフィールドは、ソフトウェアドライバで配置され、同じ値がレスポンスディスクリプタに反映されます。

CP ビット（データ転送コマンドの有無）

CMD フィールドの内容が、CCC 転送に対して有効であるかどうかを示します。

DEV_INDEX[4:0]ビット（データ転送デバイスインデックス）

転送時に指定されたスレーブデバイスの DATBASm テーブルインデックスを示します。スタティックアドレッシングとデバイスアドレッシングの関連情報は、DATBASm のこのインデックスに格納されます。

MODE[2:0]ビット（データ転送スピードおよびモード）

I3C 転送または I2C 転送のモードと速度を設定します。

このフィールドの解釈は、デバイスが I3C モードであるか I2C モードであるかに依存します。（フィールド DEV_INDEX でインデックス付けされた DATBASm テーブルエントリの DEVICE フィールドを参照）

RNW ビット（データ転送 R/W）

転送方向を指定します。

ROC ビット（データ転送完了時レスポンス）

転送コマンドが正常に完了した後で、レスポンスステータスが必要かどうかをコントロールします。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスは常に送られます。

TOC ビット（データ転送完了時終了）

転送が完了した後で、どのバスコンディションを発行するかをコントロールします。

TOC = 0 (RESTART) によりダイレクト CCC を送る場合、次のコマンドは同じダイレクト CCC に設定されなければなりません。

次のコマンドが、同じダイレクト CCC でないとき、TOC = 1 (STOP) に設定されなければなりません。

DATA_LENGTH[15:0]ビット（データ転送データ長）

通常データ転送ディスクリプタで使用する有効なデータバイトの数です。

定義されたペイロードが存在しない CCC の場合を除いて、このフィールドは 0 以外の値に設定される必要があります。

GETMXDS コマンドの長さ設定は固定値 5 になります。

(2) I3C スレーブモード

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	ROC	RNW	—	—	—	—	—	—	ITS	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	TID[3:0]				CMD_ATTR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	データ転送コマンド属性 他のフィールドのフォーマットを定義するコマンドタイプです。 値 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み／読み出しコンボ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	データ転送トランザクション コマンド用 ID 確認タグ	W
21:7	—	書く場合、0 としてください。	W
22	ITS	非同期モード用のタイムスタンプの有無 0: タイムスタンプなし 1: タイムスタンプあり	W
28:23	—	書く場合、0 としてください。	W

ビット	シンボル	機能	R/W
29	RNW	データ転送 R/W 0: WRITE: 書き込み転送（バス権要求） 1: READ: 読み出し転送（スレーブ割り込み要求）	W
30	ROC	データ転送完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
47:31	—	書く場合、0 としてください。	W
63:48	DATA_LENGTH [15:0]	データ転送データ長 転送するバイト数を表示します。 定義されたペイロードが存在しない CCC の場合を除いて、このフィールドは 0 以外の値に設定される必要があります。	W

CMD_ATTR[2:0]ビット（データ転送コマンド属性）

他のフィールドのフォーマットを定義するコマンドタイプです。

TID[3:0]ビット（データ転送トランザクション ID）

本コマンドの ID タグとして使用します。このフィールドは、ソフトウェアドライバで配置され、同じ値がレスポンスディスクリプタに反映されます。

RNW ビット（データ転送 R/W）

転送方向を指定します。

ROC ビット（データ転送完了時レスポンス）

転送コマンドが正常に完了した後で、レスポンスステータスが必要かどうかをコントロールします。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスは常に送られます。

27.3.1.1.4 コンボデータ転送コマンド

この構造は、書き込み+書き込み／読み出し動作を組み合わせています。

転送データキューポート（受信データキューポートと送信データキューポート）を経由してデータバッファを使用可能です。

I3C は、以下の各モードに対してコンボデータ転送コマンドを提供します。

- I3C マスタモード

各モードのコンボデータ転送コマンド構造の詳細を以下に示します。

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	OFFSET[15:0]/SUBOFFSET[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TOC	ROC	RNW	MODE[2:0]			16_BIT_SUBOFFSET	FIRST_PHASE_MODE	—	—	EXT_DEVICE	DEV_INDEX[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CP	CMD[7:0]								TID[3:0]				CMD_ATTR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	コンボデータ転送コマンド属性 他のフィールドのフォーマットを定義するコマンドタイプです。 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み／読み出しコンボデータ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	コンボデータ転送トランザクション コマンド用 ID 確認タグ	W
14:7	CMD[7:0]	コンボデータ転送 HDR コマンドコード値 I3C コマンドコード（7 ビット）を指定します。	W
15	CP	コンボデータ転送コマンドの有無 CMD フィールドが HDR 転送に対して有効であるかどうかを示します。 0: TRANFSER: この構造は SDR 転送を記述するため、CMD フィールドは無効 1: CCC: この構造は HDR 転送を記述するため、CMD フィールドは有効	W
20:16	DEV_INDEX[4:0]	コンボデータ転送デバイスインデックス	W
21	EXT_DEVICE	コンボデータ転送拡張デバイスインデックス 0: DEV_INDEX[4:0]で示される DATBASm テーブルを使用する 1: EXDATBAS テーブルを使用する	W
23:22	—	書く場合、0 としてください。	W
24	FIRST_PHASE_MODE	コンボデータ転送ファーストフェーズモード 0: SDR: ファーストフェーズは SDR モードで実行する 1: MODE: ファーストフェーズは MODE フィールドに示すモードで実行する	W
25	16_BIT_SUBOFFSET	コンボデータ転送サブオフセットサイズ 0: 8_BIT_SUBOFFSET: サブオフセットサイズは 8 ビット長である。値は、OFFSET / SUBOFFSET フィールドの下位バイトでエンコードする 1: 16_BIT_SUBOFFSET: サブオフセットサイズは 16 ビット長である	W
28:26	MODE[2:0]	I3C モード用コンボデータ転送速度とモード値 0x0: I3C SDR0／データレート: STDBR 0x1: I3C SDR1 : データレート: EXTBR 0x2: I3C SDR2／データレート: STDBR × 2 0x3: I3C SDR3／データレート: EXTBR × 2 0x4: I3C SDR4／データレート: EXTBR × 4 その他: 設定禁止	W
29	RNW	コンボデータ転送 R/W は、転送方向を指定します。 0: WRITE: 書き込み転送 1: READ: 読み出し転送	W
30	ROC	コンボデータ転送完了時レスポンス 0: NOT_REQUIRED: レスポンスステータスは不要 1: REQUIRED: レスポンスステータスは必要	W
31	TOC	コンボデータ転送完了時レスポンス 0: RESTART: 転送完了時に、繰り返しのスタート (Sr) を発行する 1: STOP: 転送完了時に、停止 (P) を発行する	W

ビット	シンボル	機能	R/W
47:32	OFFSET[15:0]/ SUBOFFSET[15:0]	対象動作のコンボデータ転送オフセット／サブオフセット、オフセット	W
63:48	DATA_LENGTH [15:0]	コンボデータ転送データ長 転送するバイト数。このフィールドは 0 以外の値に設定される必要があります。	W

CMD_ATTR[2:0]ビット（コンボデータ転送コマンド属性）

他のフィールドのフォーマットを定義するコマンドタイプです。

TID[3:0]ビット（コンボデータ転送トランザクション）

本コマンドの ID タグとして使用します。このフィールドは、ソフトウェアドライバで配置され、同じ値がレスポンスディスクリプタに反映されます。

CP ビット（コンボデータ転送コマンドの有無）

CMD フィールドの内容が、HDR 転送に対して有効であるかどうかを示します。

DEV_INDEX[4:0]ビット（コンボデータ転送デバイスインデックス）

転送時に指定されたスレーブデバイスの DATBASm テーブルインデックスを示します。スタティックアドレッシングとデバイスアドレッシングの関連情報は、DATBASm のこのインデックスに格納されます。

FIRST_PHASE_MODE ビット（コンボデータ転送ファーストフェーズモード）

コンボデータ転送のファーストフェーズを SDR モードで実行するか、MODE フィールドに示すモードで実行するかを示します。

MODE[2:0]ビット（I3C モード用コンボデータ転送速度とモード値）

I3C 転送または I^2C 転送のモードと速度を設定します。

このフィールドの解釈は、デバイスが I3C モードであるか I^2C モードであるかに依存します（フィールド DEV_INDEX でインデックス付けされた DATBASm テーブルエントリの DEVICE フィールドを参照）。

RNW ビット（コンボデータ転送 R/W は、転送方向を指定します。）

転送方向を指定します。

ROC ビット（コンボデータ転送完了時レスポンス）

データ転送コマンドが正常に完了した後で、レスポンスステータスが必要かどうかを制御します。正常な完了は、NRSPQP レジスタから読み出されます。異常転送の場合、レスポンスステータスは常に送られます。

TOC ビット（コンボデータ転送完了時レスポンス）

データ転送が完了した後で、どのバスコンディションを発行するかをコントロールします。

次のコマンドが SDR モードであるとき、TOC = 1 (STOP) に設定されなければなりません。

DATA_LENGTH[15:0]ビット（コンボデータ転送データ長）

コンボデータ転送ディスクリプタで使用する有効なデータバイトの数です。

このフィールドは 0 以外の値に設定される必要があります。

27.3.1.1.5 内部コントロールコマンド

この構造は、転送コマンドのためではなく I3C 自体をコントロールするために使用します。

I3C は、以下のモードに対して内部コントロールコマンドを提供します。

- I3C マスタモード

内部コントロールコマンド構造の詳細を以下に示します。

Bit position:	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	ON_OFF	MIPI_CMD[3:0]				—	TID[3:0]				CMD_ATTR[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	CMD_ATTR[2:0]	コマンド属性(注2) 他のフィールドのフォーマットを定義するコマンドタイプです。 0x0: XFER: 通常データ転送 0x1: IMMED_DATA_XFER: 即時データ転送 0x2: ADDR_ASSGN_CMD: アドレス配置コマンド 0x3: WWR_COMBO_XFER: 書き込み+書き込み／読み出しコンボデータ転送 0x7: INTERNAL_CONTROL: 内部コントロールコマンド その他: 設定禁止	W
6:3	TID[3:0]	コマンド用トランザクション ID 確認タグ	W
7	—	書く場合、0 としてください。	W
11:8	MIPI_CMD[3:0]	MIPI アライアンスコマンド 0x00: NoOp であり、ON_OFF フィールドは無効 0x02: 7E (IBA) を含むため、ON_OFF フィールドは有効 その他: 設定禁止	W
12	ON_OFF	バスインスタンス 7E On / Off(注1) この I3C インスタンスにおける全てのスタートコンディションの後の、I3C ブロードキャストヘッダの自動送信を有効／無効にします。 0: IBA_INCLUDE オフ 1: IBA_INCLUDE オン	W
63:13	—	書く場合、0 としてください。	W

注 1. MIPI_CMD[3:0] = 0x2 かつ ON_OFF = 1 により設定される状態の IBA_INCLUDE は、RSTCTL.INTLRST を 1 にすることによりクリアされます。
注 2. 内部コントロールコマンドを実行しているとき、レスポンスディスクリプタは格納されません。

27.3.1.2 レスポンスディスクリプタ

レスポンスディスクリプタは、正しくコマンドが実行されたかどうか、および転送されたデータ量を記述するリードオンリーの構造です。

レスポンスディスクリプタは、レスポンスキューポートからの読み出しによりレスポンスキューから読み出します。

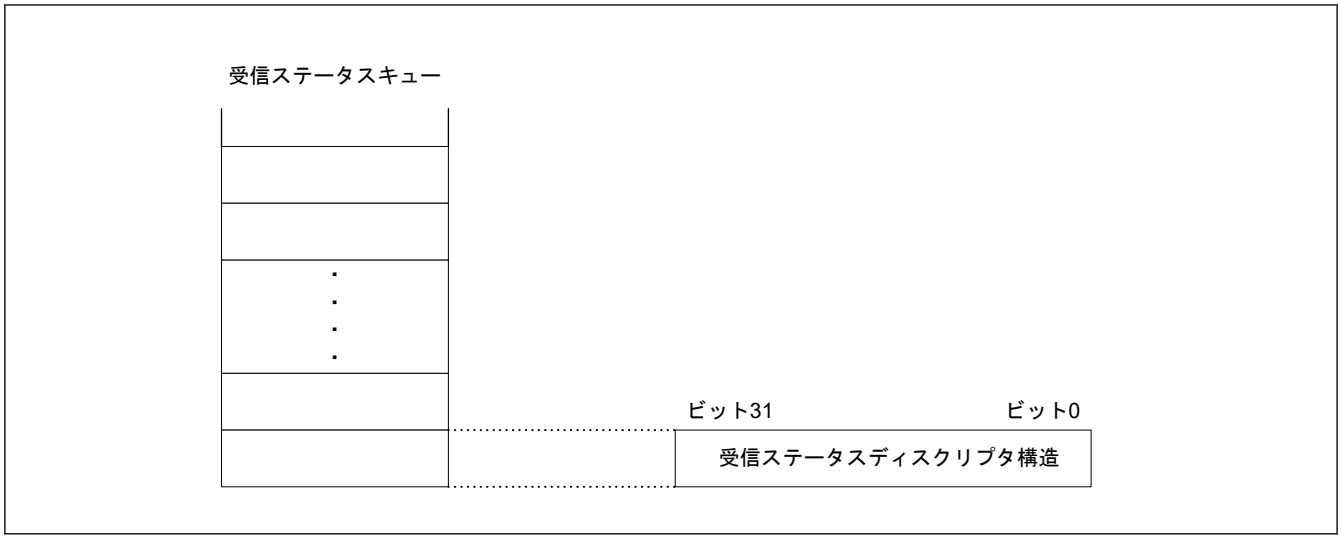


図 27.3　レスポンスディスクリプタデータ構造

I3C は、以下の各モードに対してレスポンスディスクリプタを提供します。

- I3C マスタモード
- I3C スレーブモード

各モードのレスポンスディスクリプタ構造の詳細を以下に示します。

(1)　I3C マスタモード

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ERR_STATUS[3:0]				TID[3:0]				—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA_LENGTH [15:0]	データ長／デバイスカウント このフィールドの意味は、コンテクストに依存します。 書き込み転送時：残りのデータ長（バイト数） 読み出し転送時：受信データ長（バイト数） アドレス配置時：残りのデバイスカウント	R
23:16	—	読むと 0 が読めます。	R
27:24	TID[3:0]	コマンド／レスポンストランザクション ID コマンド用確認タグ この値は、バス上で送られたコマンドの 1 つと一致します。 0x0～ 0x7: 有効なトランザクション ID その他: 設定禁止	R

ビット	シンボル	機能	R/W
31:28	ERR_STATUS[3:0]	レスポンスエラーステータス 0x0: SUCCESS: 正常転送、エラーなし 0x1: CRC: CRC エラー 0x2: PARITY: パリティエラー 0x3: FRAME: フレームエラー 0x4: ADDR_HEADER: アドレスヘッダエラー 0x5: NACK: アドレス NACK／ダイナミックアドレス割り当て NACK 0x6: OVL: 受信オーバーフローエラー／転送アンダーフローエラー 0x8: ABORTED: 中断 0x9: I^2C_WR_DATA_NACK: I^2C 書き込みデータ転送に対し、NACK 受信 0xA: NOT_SUPPORTED: I3C 実装においてサポートされていない特定のパラメータを有するコマンド（例えば、特定の内部コントロールコードはサポートされていないことがある） その他: 設定禁止	R

注. I3C マスタモードにおいて、コマンドディスクリプタにサポートされていない特定のパラメータをもつ異常なコマンドが格納されていた場合、それらは ERR_STATUS[3:0]に NOT_SUPPORTED (0xA) と示されます。

(2) I3C スレーブモード

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ERR_STATUS[3:0]				TID[3:0]				—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA_LENGTH [15:0]	データ長 スレーブ割り込み要求に対し、残りのデータ長（バイト数）	R
23:16	—	読むと 0 が読めます。	R
27:24	TID[3:0]	コマンド／レスポンストランザクション ID コマンド用確認タグ この値は、バス上で送られたコマンドの 1 つと一致します。 0x0～0x7: 有効なトランザクション ID その他: 設定禁止	R
31:28	ERR_STATUS[3:0]	レスポンスエラーステータス 0x0: SUCCESS: 正常転送、エラーなし 0x3: FRAME: フレームエラー 0x4: ADDR_HEADER: アドレスヘッダエラー 0x5: NACK: アドレス NACK／ダイナミックアドレス割り当て NACK 0x6: OVL: 受信オーバーフローエラー／転送アンダーフローエラー 0x8: ABORTED: 中断 0xA: NOT_SUPPORTED: I3C 実装においてサポートされていない特定のパラメータを有するコマンド（例えば、特定の内部コントロールコードはサポートされていないことがある） その他: 設定禁止	R

注. I3C スレーブモードにおいて、以下の場合では ERR_STATUS[3:0]で NOT_SUPPORTED (0xA) と示されます。
- コマンドディスクリプタにサポートされていない、特定のパラメータをもつ異常なコマンドが格納されていた場合
- 送信される IBI が CSECMD レジスタで無効になっていた場合
- コマンドキューで IBI 送信のための通常コマンド準備ができた後で、その IBI が I3C マスタからの DISEC CCC フレームにより CSECMD レジスタで無効になった場合

27.3.1.3 IBI ステータスディスクリプタ

IBI ステータスディスクリプタは、I3C バスのスレーブデバイスから受信した IBI イベントを表すリードオンリーの構造をしています。

IBI ステータスディスクリプタは、IBI ステータスキューポートからの読み出しにより IBI ステータスキューから読み出します。

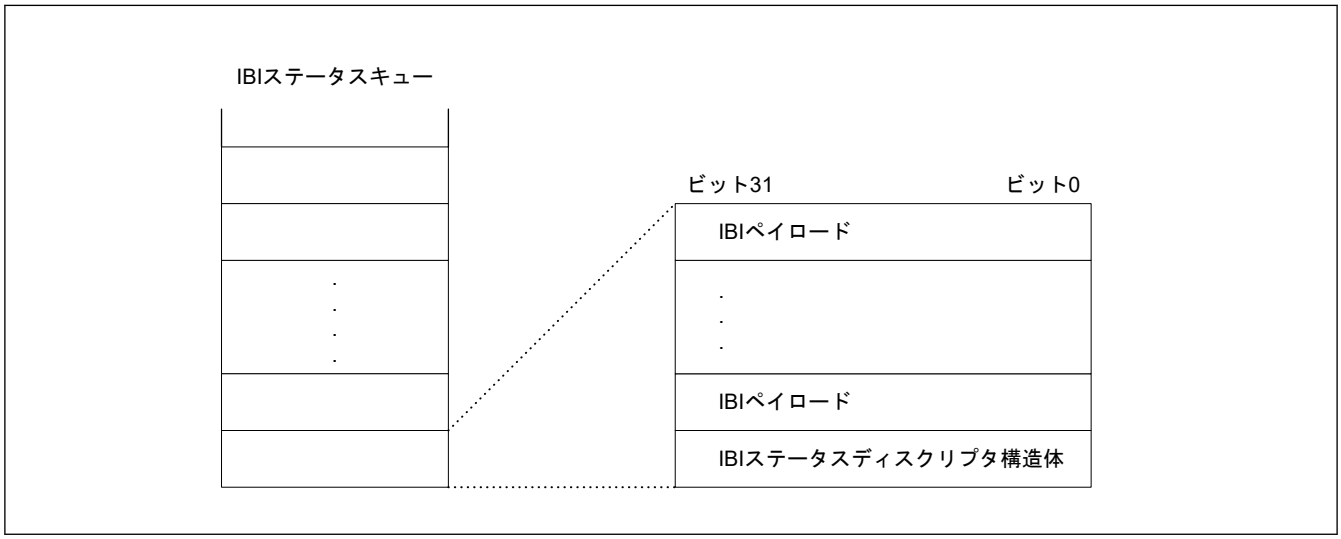


図 27.4 IBI ステータスディスクリプタデータ構造

I3C は、以下の各モードに対して IBI ステータスディスクリプタを提供します。

- I3C マスタモード

IBI ステータスディスクリプタ構造の詳細を以下に示します。

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	IBI_ST	—	—	ERR_STATUS[2:0]			TS	LAST_STATUS	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	IBI_ID[7:0]								DATA_LENGTH[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	DATA_LENGTH[7:0]	IBI データ長 IBI データのバイト数	R
15:8	IBI_ID[7:0]	IBI 受信 ID このフィールドの意味は、コンテクストに依存します。 スレーブ割り込み時、またはマスタ要求時: ビット 15:9 はスレーブのデバイスアドレスを格納し、ビット 8 は R/W ビットを格納	R
23:16	—	読むと 0 が読めます。書く場合、0 としてください。	R
24	LAST_STATUS	最新 IBI ステータス IBI トランザクションの最新 IBI ステータス	R
25	TS	IBI タイムスタンプ有無 IBI にタイムスタンプが利用可能かどうかを示します 0: OFF：IBI にタイムスタンプがない 1: ON：IBI にタイムスタンプがある	R

ビット	シンボル	機能	R/W
28:26	ERR_STATUS[2:0]	IBI エラーステータス 0x0: SUCCESS 0x3: ERROR: FRAME（フレームエラー） 0x4: ERROR: ADDR_HEADER（アドレスヘッダエラー） 0x5: NACK: アドレス NACK 0x7: ERROR : ABORT（マスタに対し中断） その他: 設定禁止	R
30:29	—	読むと 0 が読めます。	R
31	IBI_ST	IBI 受信ステータス 受信した IBI をどのように処理したかを示します。 0: IBI は ACK で処理した 1: NACK: IBI は NACK で処理し、自動的に無効とした	R

LAST_STATUS ビット（最新 IBI ステータス）

LAST_STATUS を 0 としても、ソフトウェアドライバは DATA_LENGTH フィールドを確認してデータのペイロード長を評価します。

27.3.1.4 受信ステータスディスクリプタ

受信ステータスディスクリプタは、正しくマスタからの読み出し／書き込みの操作が実行されたかどうか、および転送されたデータ量を記述するリードオンリーの構造です。

受信ステータスディスクリプタは、受信ステータスキューポートからの読み出しにより受信ステータスキューから読み出します。

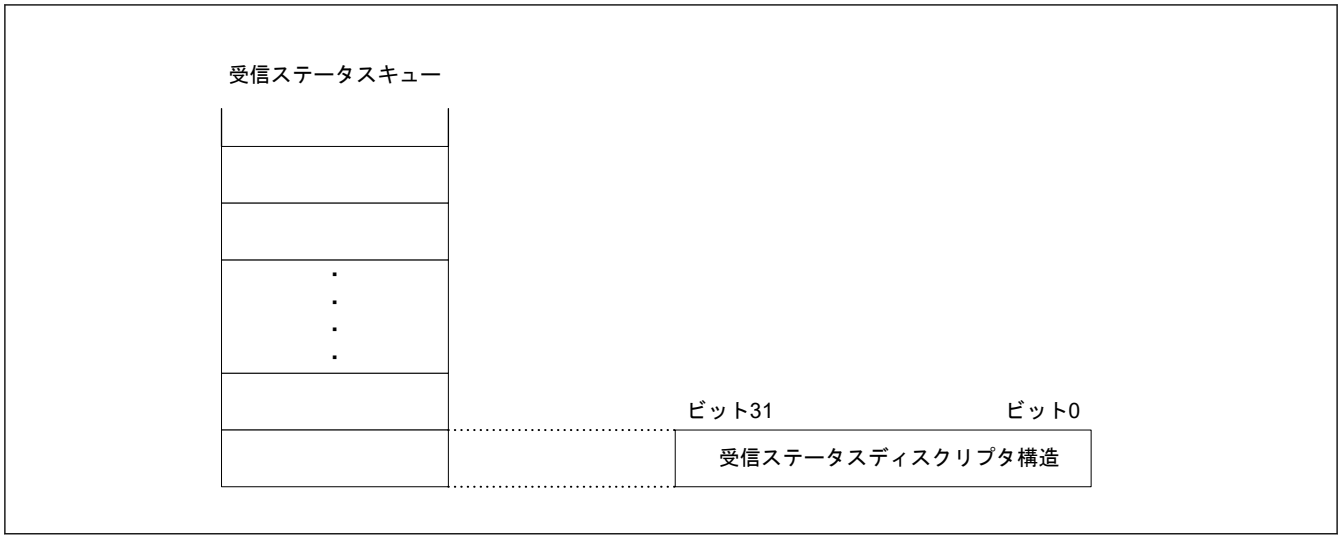


図 27.5 受信ステータスディスクリプタデータ構造

I3C は、以下の各モードに対して受信ステータスディスクリプタを提供します。

- I3C スレーブモード

各モードの受信ステータスディスクリプタ構造の詳細を以下に示します。

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	DEV_INDEX[2:0]			TRANSFER_TYPE[1:0]		ERR_STATUS[2:0]			CMD[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DATA_LENGTH[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	DATA_LENGTH [15:0]	データ長 このフィールドの意味は、コンテクストに依存します。 書き込み転送時：受信データ長（バイト数） 読み出し転送時：送信データ長（バイト数）	R
23:16	CMD[7:0]	動作モードによって内容が異なります。以下に詳細を示します。 [SDR プライベートメッセージモード] CMD[7]: R/W タイプ CMD[6:4]: 予約 CMD[3]: I3C_I2C タイプ CMD[2:0]: 予約 [SDR CCC モード] CCC コード[7:0]	R
26:24	ERR_STATUS[2:0]	エラーステータス 0x0: SUCCESS 0x1: ERROR: CRC（CRC エラー） 0x2: ERROR: PARITY（パリティエラー） 0x3: ERROR: FRAME（フレームエラー） 0x4: ERROR: ADDR_HEADER（アドレスヘッダエラー） 0x5: ERROR: NACK（スレーブ NACK） 0x6: ERROR: OVL（FIFO オーバーフロー／アンダーフロー） 0x7: ERROR: ABORT（マスタに対し中断）	R
28:27	TRANSFER_TYPE [1:0]	転送タイプ 0 0: I3C SDR/I2C メッセージ 0 1: I3C CCC 1 0: 設定禁止 1 1: 設定禁止	R
31:29	DEV_INDEX[2:0]	デバイスインデックス 転送時に応答された SVDVADn インデックスを示します。	R

27.3.2 機能詳細

27.3.2.1 動作モード

モード選択（I3C モード／I2C モード）と、I3C バスまたは I2C バス上の動作モード（マスタ／スレーブ）のサポートの対応関係を表 27.9 に示します。

表 27.9 動作モードのサポート

	I3C モード		I2C モード	
I3C バス／I2C バス	マスタ	スレーブ	マスタ	スレーブ
I3C バス	✓	✓	—	✓
I2C バス	—	—	✓	✓

注. ✓：あり
—：なし

27.3.2.1.1 マスタモード動作

(1) I²C マスタ動作

(a) データ書き込み転送（シングルバッファ転送）

マスタ送信動作では、マスタデバイスである I3C が SCL クロックと送信データ信号を出力し、スレーブデバイスがアクノリッジを返します。図 27.116 にマスタ送信の使用例を、図 27.6～図 27.8 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

1. 初期設定。詳細は、「27.3.3.1. 初期設定フロー」を参照してください。
2. BCST.BFREF フラグを読んでバスが解放状態であることを確認した後、CNDCTL.STCND ビットを 1（スタートコンディション要求）にします。I3C はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。同時に、BFREF フラグが自動的に 0 になり、BST.STCNDDF フラグが自動的に 1 になり、STCND ビットが自動的に 0 になります。このとき、STCND ビットが 1 の状態でスタートコンディションが検出され、かつ、SDA 出力状態の内部レベルと I3C_SDA インのレベルが一致していれば、I3C は STCND ビットによるスタートコンディション発行が正しく行われたと認識し、PRSST.CRMS、TRMD ビットが自動的に 1 になり、I3C はマスタ送信モードになります。NTST.TDBEF0 フラグは、TRMD ビットが 1 になることにより自動的に 1 になります。
3. NTST.TDBEF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ（スレーブアドレスと R/W#ビット）を書いてください。NTDTBP0 レジスタに送信データが書き込まれると、TDBEF0 フラグは自動的に 0 になり、通常送信データバッファ 0 からシフトレジスタへデータが転送されて、再び TDBEF0 フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトの送信が完了すると、送信された R/W#ビットの値に応じて自動的に TRMD ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W#ビットの値が 0 であったなら、I3C はマスタ送信モードの状態を継続します。このとき BST.NACKDF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、CNDCTL.SPCND ビットに 1 を書いて、ストップコンディションを発行してください。なお、データを 10 ビットフォーマットのアドレスで送信する場合は、1 回目のアドレス送信処理で NTDTBP0 レジスタに 1111 0b、スレーブアドレスの上位 2 ビット、および W を書きます。次に、2 回目のアドレス送信処理では、NTDTBP0 レジスタにスレーブアドレスの下位 8 ビットを書き込んでください。
4. NTST.TDBEF0 フラグが 1 であることを確認した後、送信データを NTDTBP0 レジスタに書き込んでください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間、I3C は自動的に I3C_SCL ラインを Low にホールドします。
5. 送信する全バイトを NTDTBP0 レジスタに書いた後、BST.TENDF フラグが 1 になるまで待ってから CNDCTL.SPCND ビットに 1 を書いてください（ストップコンディション発行要求）。I3C はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
6. I3C はストップコンディションを検出すると、PRSST.CRMS ビットと PRSST.TRMD ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。さらに、TDBEF0 フラグと TENDF フラグを自動的に 0 にして、BST.SPCNDDF フラグを 1 にします。
7. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.NACKDF フラグと SPCNDDF フラグを 0 にしてください。

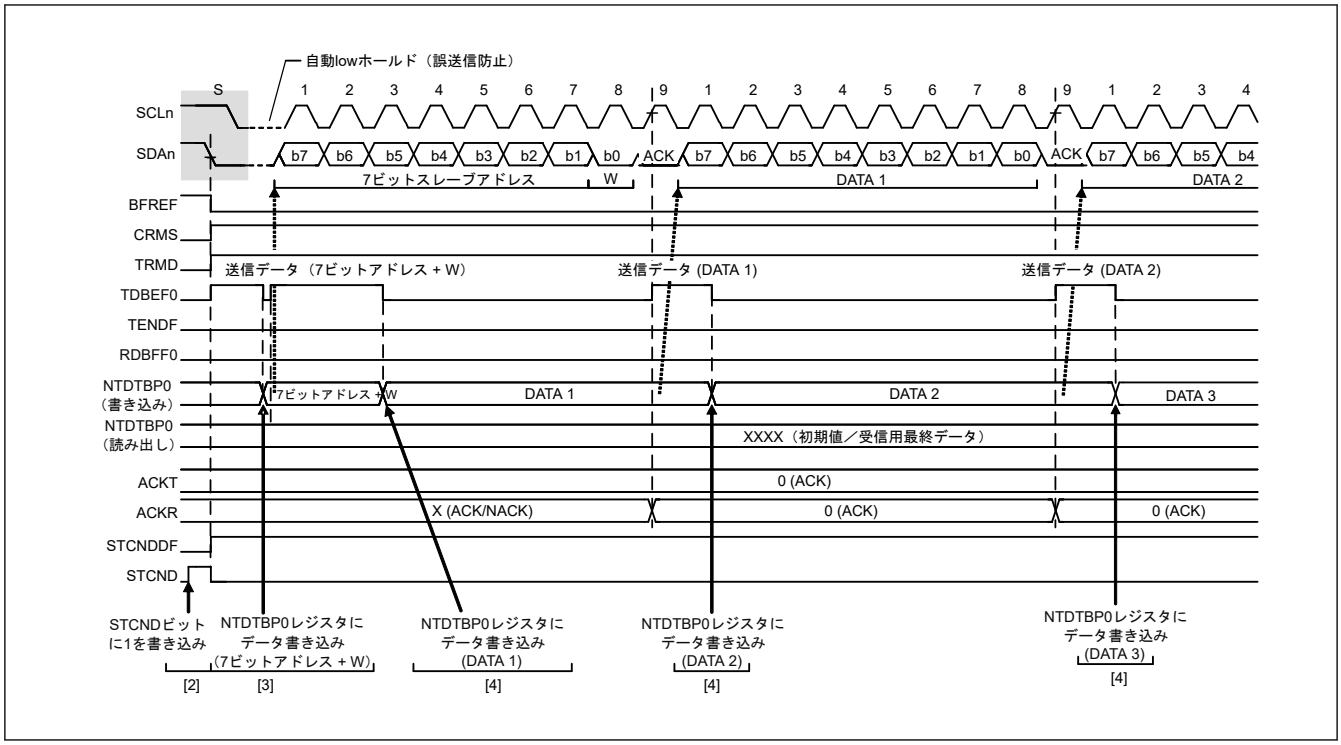


図 27.6　マスタ送信の動作タイミング (1)（7 ビットアドレスフォーマット）

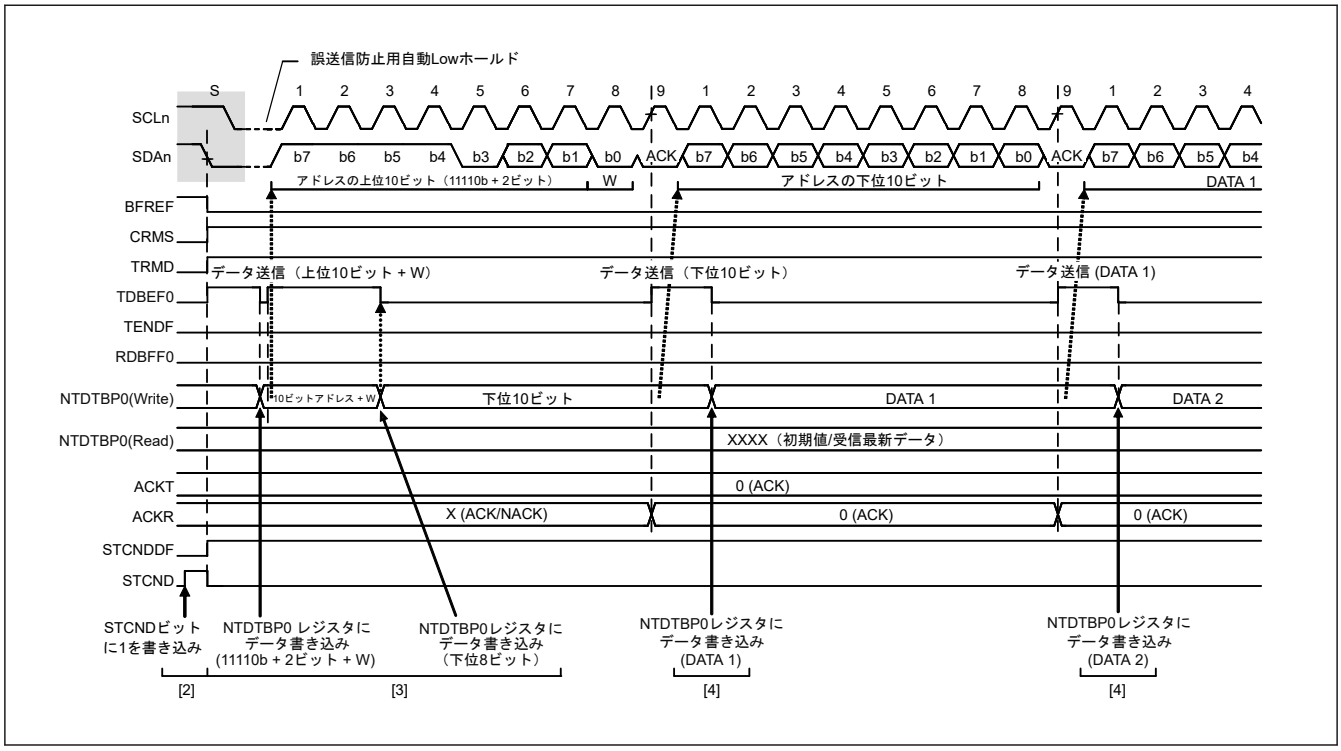


図 27.7　マスタ送信の動作タイミング (2)（10 ビットアドレスフォーマット）

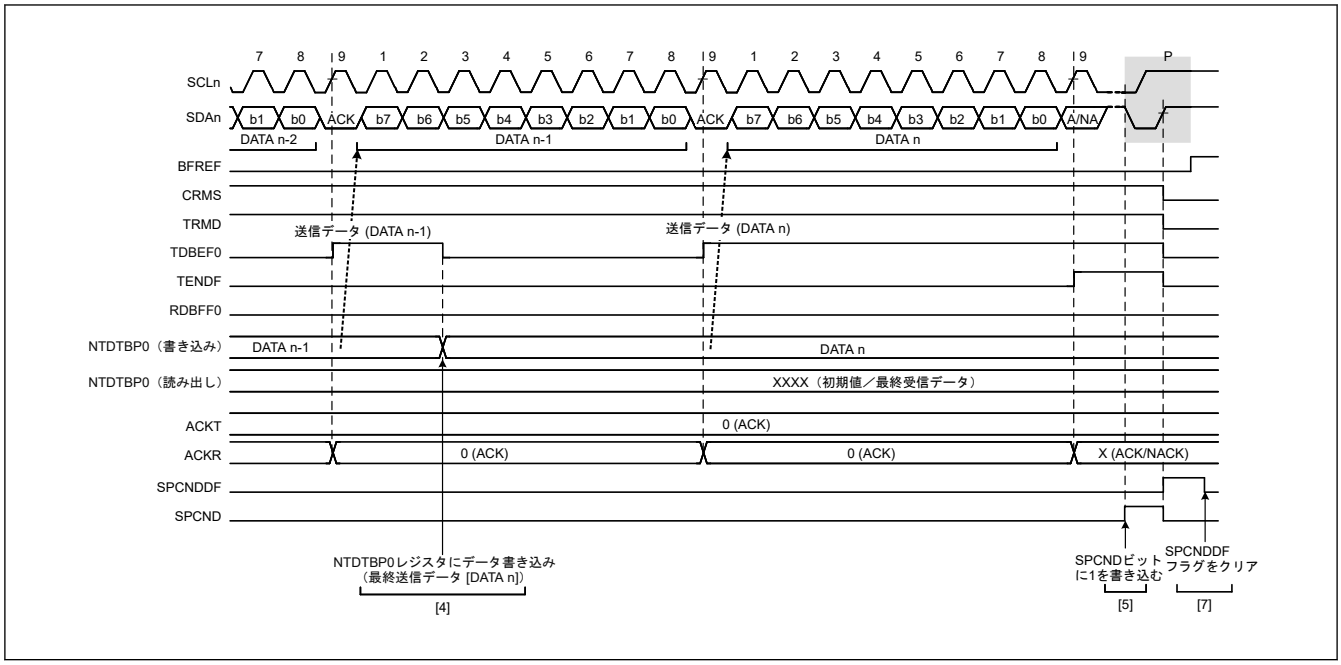


図 27.8　マスタ送信の動作タイミング (3)

(b) データ読み出し転送（シングルバッファ転送）

マスタ受信動作では、マスタデバイスである I3C が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。I3C は、最初に対応するスレーブデバイスにスレーブアドレスを送信する必要があるため、手順のこの部分ではマスタ送信モードで実行し、その後の手順ではマスタ受信モードで実行します。

図 27.117、図 27.118 にマスタ受信の使用例（7 ビットアドレスフォーマットの場合）を、図 27.9～図 27.11 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

1. 初期設定。詳細は、「27.3.3.1. 初期設定フロー」を参照してください。
2. BCST.BFREF フラグを読んでバスが解放状態であることを確認した後、CNDCTL.STCND ビットを 1（スタートコンディション要求）にします。I3C はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。I3C がスタートコンディションを検出すると、BFREF フラグが自動的に 0 になり、BST.STCNDDF フラグが自動的に 1 になり、STCND ビットが自動的に 0 になります。このとき、STCND ビットが 1 の状態でスタートコンディションが検出され、かつ、SDA 出力のレベルと I3C_SDA ラインのレベルが一致していれば、I3C は STCND ビットによるスタートコンディション発行が正しく行われたと認識し、PRSST.CRMS、TRMD ビットが自動的に 1 になり、I3C はマスタ送信モードになります。NTST.TDBEF0 フラグは、TRMD ビットが 1 になることにより自動的に 1 になります。
3. NTST.TDBEF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ（1 バイト目はスレーブアドレスと R/W#ビットの値を示す）を書いてください。NTDTBP0 レジスタに送信データが書き込まれると、TDBEF0 フラグは自動的に 0 になり、通常送信データバッファ 0 からシフトレジスタへデータが転送されて、再び TDBEF0 フラグが 1 になります。一旦スレーブアドレスと R/W#ビットを含むバイトの送信が完了すると、送信された R/W#ビットの値に応じて自動的に PRSST.TRMD ビットの値が更新され、送信モードまたは受信モードが選択されます。R/W#ビットの値が 1 の場合、SCL クロックの 9 クロック目の立ち上がりで TRMD ビットが 0 になり、I3C はマスタ受信モードになります。このとき TDBEF0 フラグが 0 になります。ACK 応答をスレーブデバイスから受信したとき、NTST.RDBFF0 フラグは自動的に 1 になります。スレーブデバイスが認識されないか、通信障害が発生した場合、BST.NACKDF フラグが 1 になります。このとき CNDCTL.SPCND ビットを 1 にして、ストップコンディションを発行してください。なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、繰り返しスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビットと R ビットを送信することで、I3C はマスタ受信モードになります。
4. NTST.RDBFF0 フラグが 1 であることを確認した後、ダミーで NTDTBP0 レジスタを読むと、I3C は SCL クロックを出力して受信動作を開始します。

5. 1 バイトのデータ受信が終了し、SCSTRCTL.ACKTWE ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、NTST.RDBFF0 フラグが 1 になります。このとき NTDTBP0 レジスタを読むと、受信したデータを読むことができ、同時に RDBFF0 フラグは自動的に 0 になります。さらに、SCL クロックの 9 クロック目のアクノリッジビットには、ACKCTL.ACKT ビットに設定した値が返信されます。さらに、次の受信バイトが最終バイト−1 の場合、NTDTBP0 レジスタ（最後から 2 番目のバイトを含む）を読む前に SCSTRCTL.RWE ビットを 1（ウェイトあり）にしてください。これにより、続く 6.の ACKCTL.ACKT ビットを 1 (NACK) にする処理が他の割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がりで I3C_SCL ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
6. SCSTRCTL.ACKTWE ビットが 0 で、かつスレーブデバイスに対して、次の最終バイトの転送でデータ受信が終了することを通知する必要がある場合は、ACKCTL.ACKT ビットを 1 (NACK) にしてください。
7. 最後から 2 番目のバイトを NTDTBP0 レジスタから読み出した後、NTST.RDBFF0 フラグが 1 であることを確認してから、CNDCTL.SPCND ビットを 1（ストップコンディション発行要求）にした後、NTDTBP0 レジスタから最終バイトを読み出してください。CNDCTL.SPCND ビットに 1 を書くとき、I3C は WAIT 状態から解除され、9 クロック目の Low 出力完了後または I3C_SCL ラインの Low ホールド解除後に、ストップコンディションを発行します。
8. I3C はストップコンディションを検出すると、PRSST.CRMS ビットと PRSST.TRMD ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。また、ストップコンディションの検出によって、BST.SPCNDDF フラグが 1 になります。
9. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.NACKDF フラグと SPCNDDF フラグを 0 にしてください。

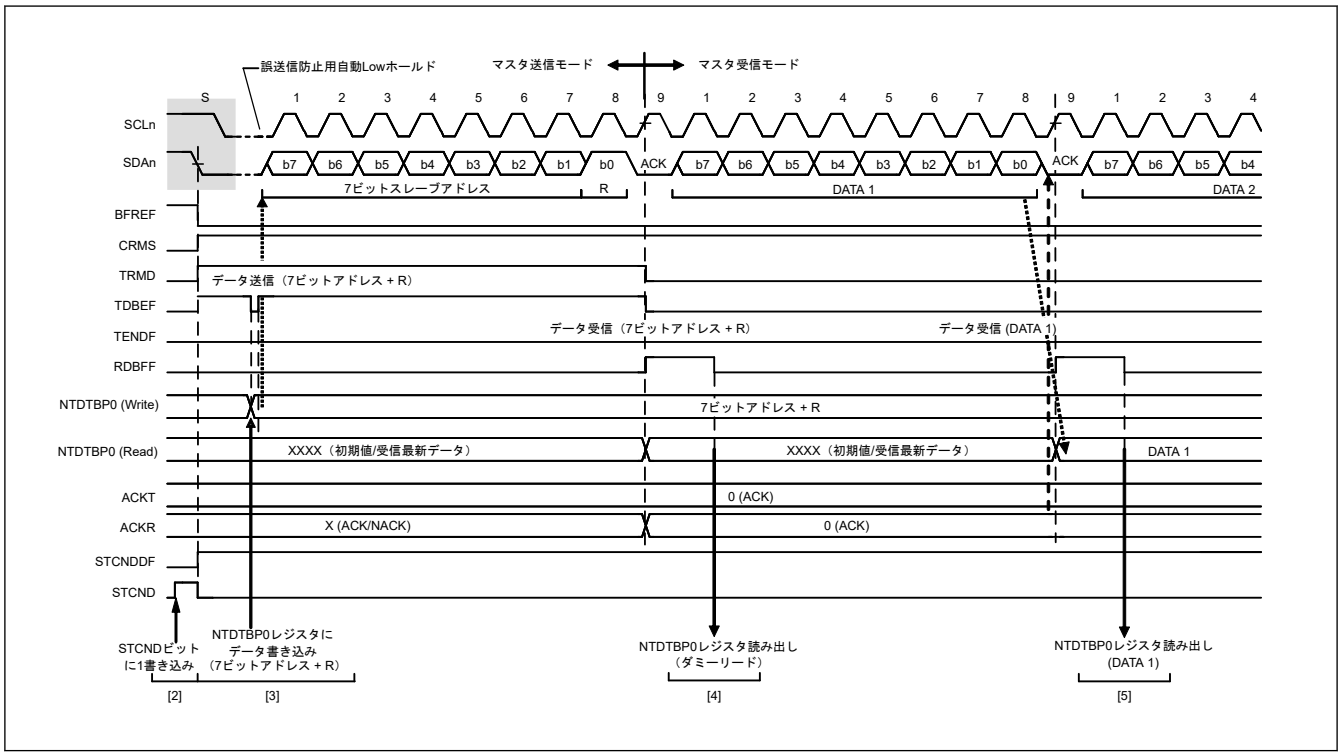


図 27.9　マスタ受信の動作タイミング (1)（7 ビットアドレスフォーマットで ACKTWE = 0 の場合）

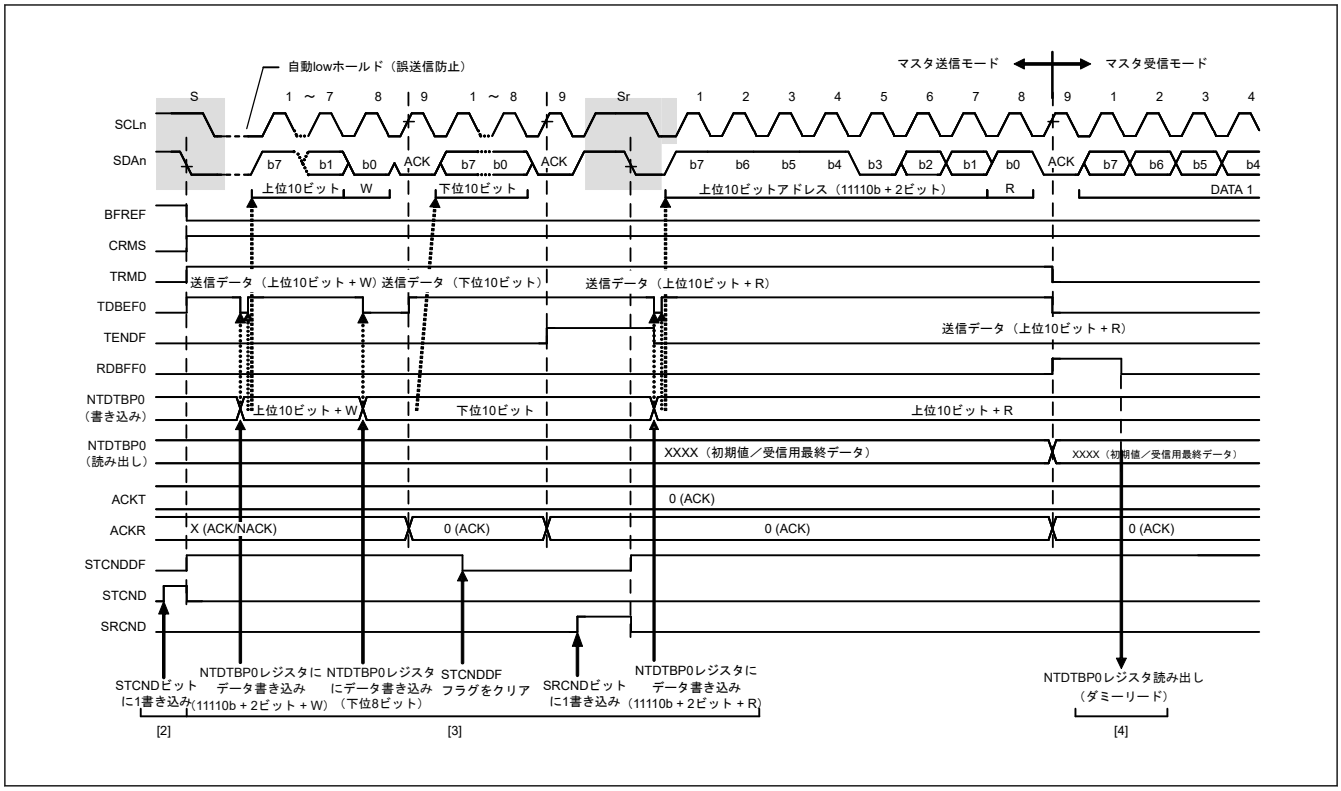


図 27.10　マスタ受信の動作タイミング (2)（10 ビットアドレスフォーマットで ACKTWE = 0 の場合）

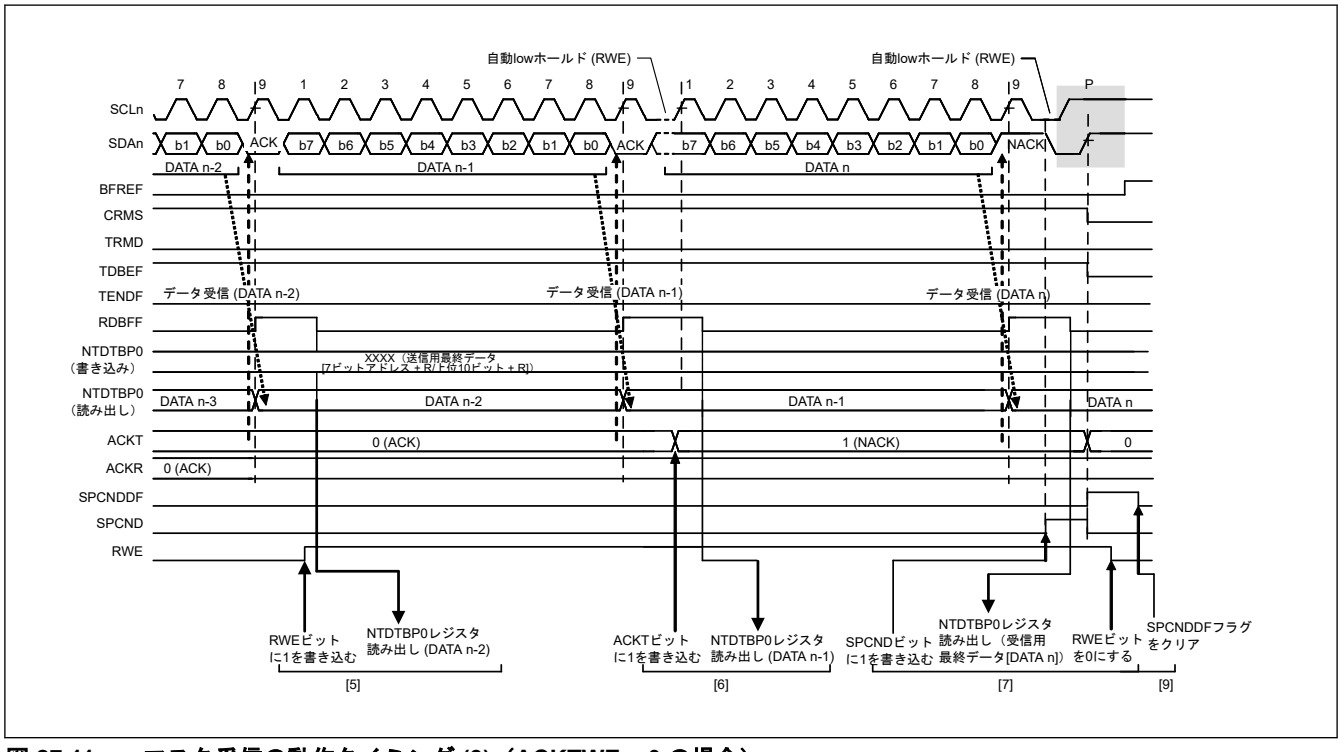


図 27.11　マスタ受信の動作タイミング (3)（ACKTWE = 0 の場合）

(2)　I3C マスタ動作

(a) ダイナミックアドレス配置手順

I3C を初期化してから、まず I3C バス上に接続した I3C スレーブに対してダイナミックアドレス配置手順を実行します。以下に手順を示します。

1. 初期設定（詳細は、「27.3.3.1.2. I3C 初期設定フロー」を参照してください。）

2. DAT（DATBASm レジスタ）に設定された I3C スレーブに対して、ENTDAA または SETDASA 共通コマンドコード (CCC) によりダイナミックアドレス配置を実行します。
   NCMDQP レジスタを介して、コマンドディスクリプタ（アドレス配置コマンド）をコマンドバッファに書き込みます。
3. コマンドバッファにコマンドディスクリプタを書くと、トランザクションが I3C バスに発行されます。
4. アドレス配置コマンドの CMD[7:0]に ENTDAA が指定されたとき：
   アドレス配置コマンドの DEV_INDEX[4:0]で指定された DAT で始まる DEV_COUNT[3:0]で指定される DAT の個数分、I3C スレーブに対しダイナミックアドレス配置を実行します。
   アドレス配置コマンドの CMD[7:0]に SETDASA が指定されたとき：
   アドレス配置コマンドの DEV_INDEX[4:0]で指定される DAT に示される I3C スレーブに対しダイナミックアドレス配置を実行します。
5. ENTDAA の場合、I3C スレーブから転送された暫定 ID、BCR、DCR が受信データバッファに格納されます。（BCR は MSDCTm レジスタにも自動的に格納されます。）
   RDBFF0 = 1 による割り込みで、NTDTBPn を介して受信データバッファから暫定 ID、BCR、DCR を読み出します。
6. ダイナミックアドレス配置の実行が完了したら、ストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
7. NRSPQP レジスタを介してレスポンスディスクリプタを読み出し、ステータスを確認します。
8. レスポンスディスクリプタの DATA_LENGTH[15:0]ビットの値が、アドレス配置コマンドの DEV_COUNT[3:0]の値と一致しているかどうかを確認します。

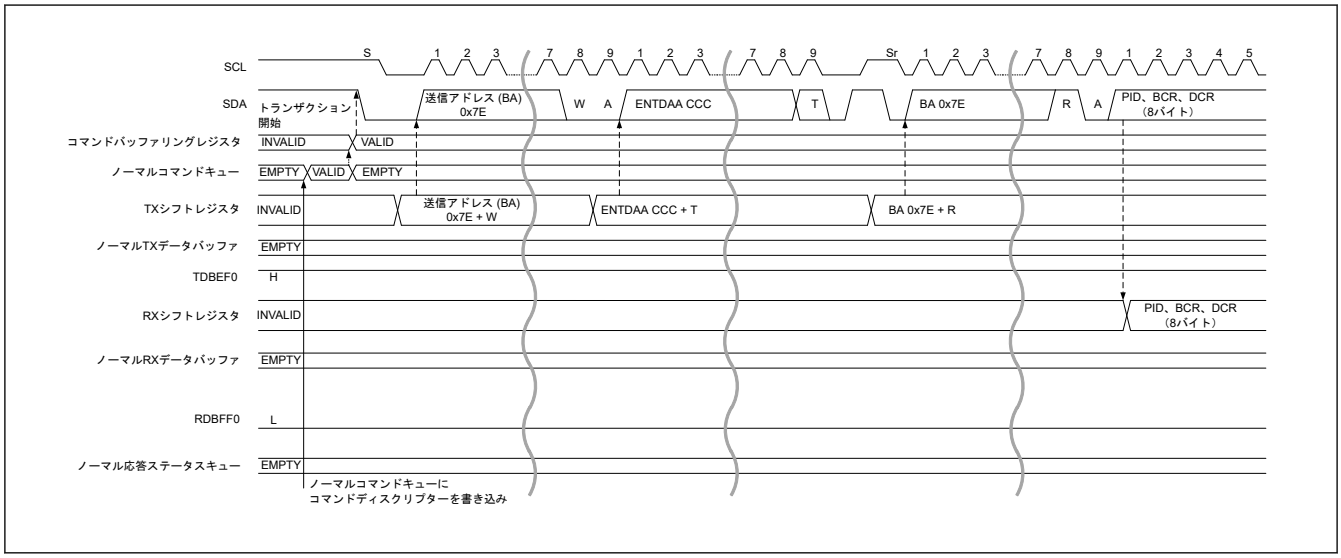


図 27.12　ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (1/3)

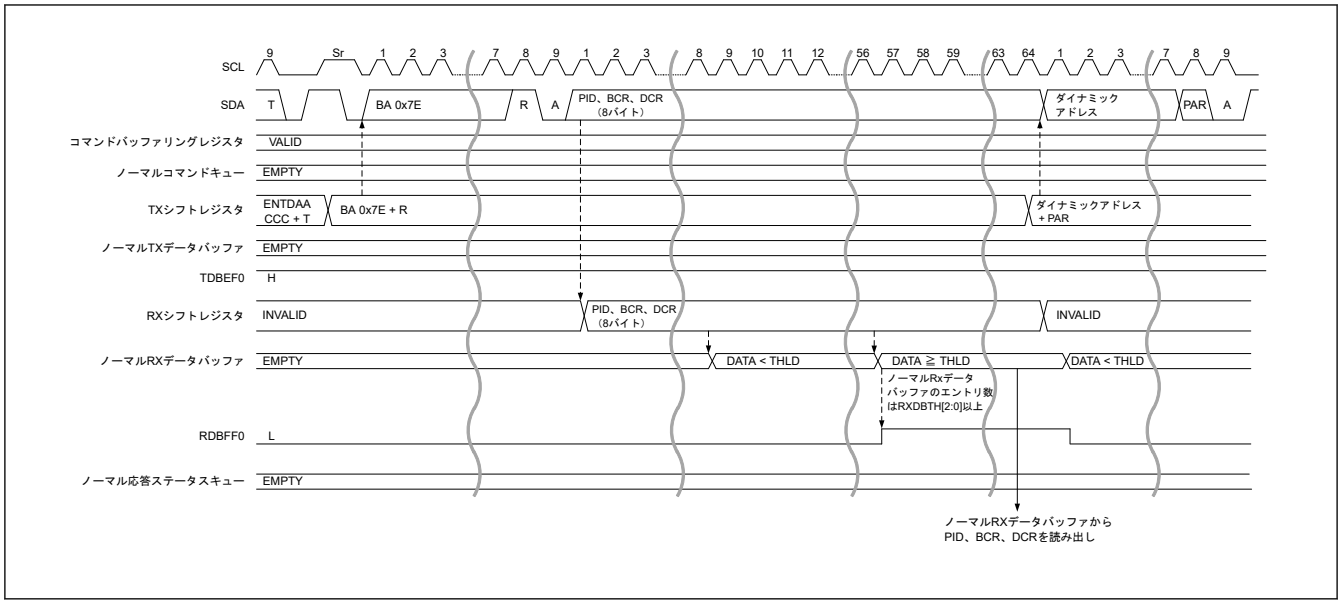


図 27.13　ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (2/3)

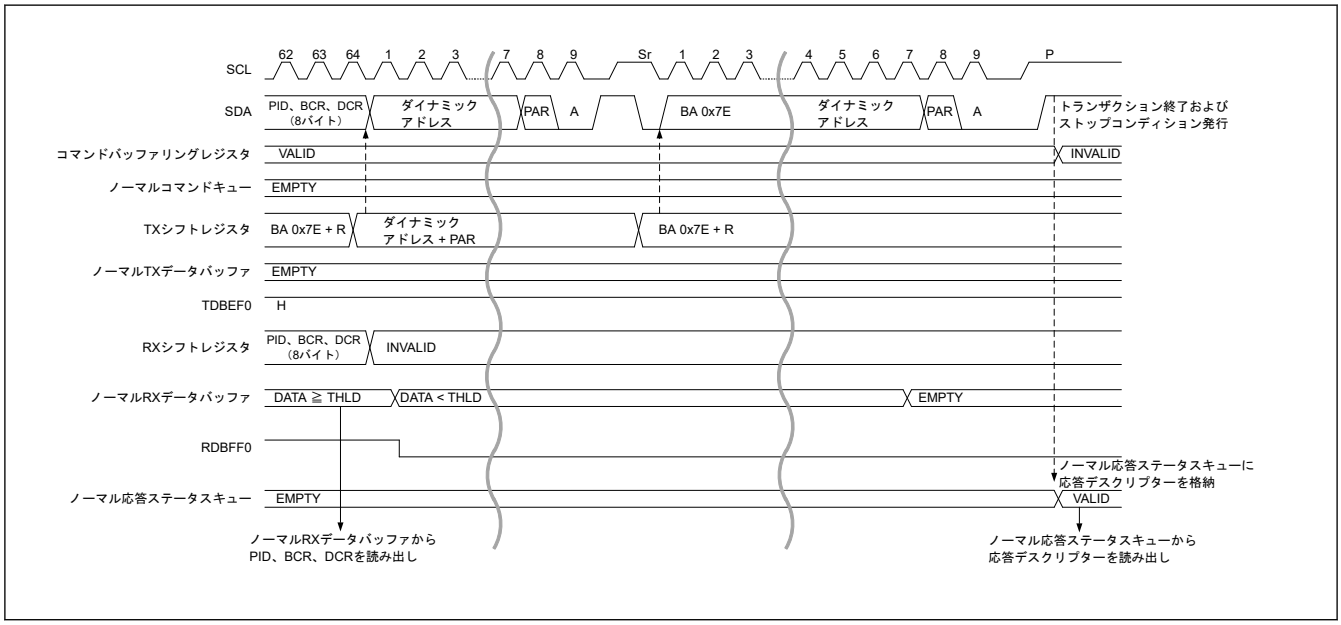


図 27.14　ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (3/3)

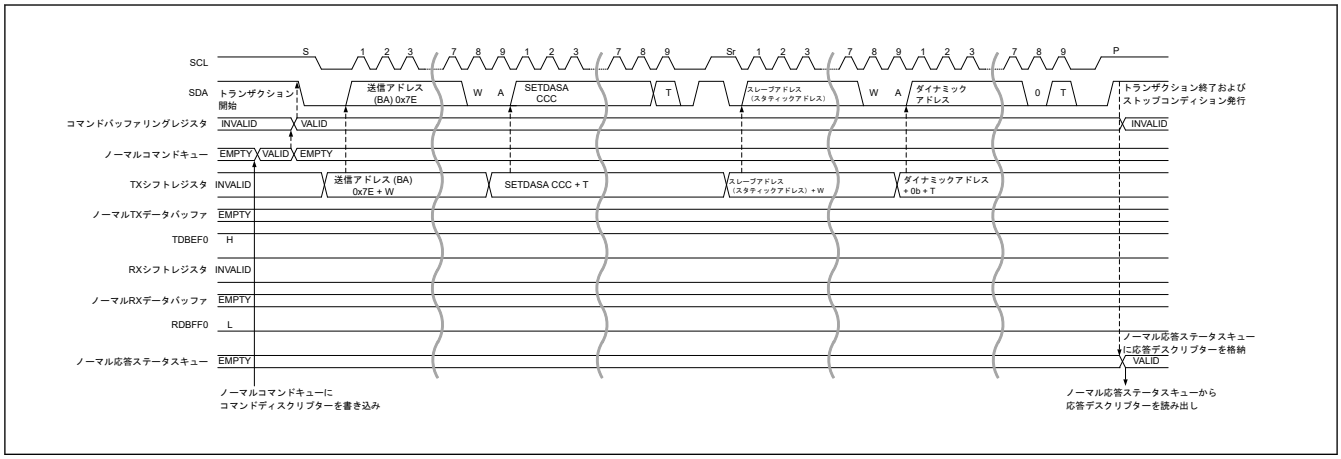


図 27.15　ダイナミックアドレス配置手順 (SETDASA CCC) タイミング

(b) SDR データ書き込み転送

1. 送信用データを NTDTBPn レジスタを介して送信データバッファに書き込みます。
2. データ転送用のコマンドディスクリプタ（即時データ転送コマンド、通常データ転送コマンド、コンボデータ転送コマンド）を、NCMDQP レジスタを介してコマンドバッファに書き込みます。
3. コマンドバッファにコマンドディスクリプタを書くと、トランザクションが I3C バスに発行されます。アドレスヘッダで NACK を受信したら、DAT の NACK リトライカウント値 (DATBASm.DVNACK) に従って同じコマンドのトランザクションが自動的に発行されます。
4. 送信用データがまだ残っている場合、TDBEF0 = 1 による割り込みで、送信用データを NTDTBPn レジスタを介して送信データバッファに書き込みます。
5. コマンドディスクリプタの DATA_LENGTH[15:0]ビットに指定したデータ長の数のデータ送信が完了したら、繰り返しのスタートコンディションまたはストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
6. NRSPQP レジスタを介してレスポンスディスクリプタを読み出し、ステータスを確認します。
7. レスポンスディスクリプタの DATA_LENGTH[15:0]ビットの値が 0 であることを確認します。

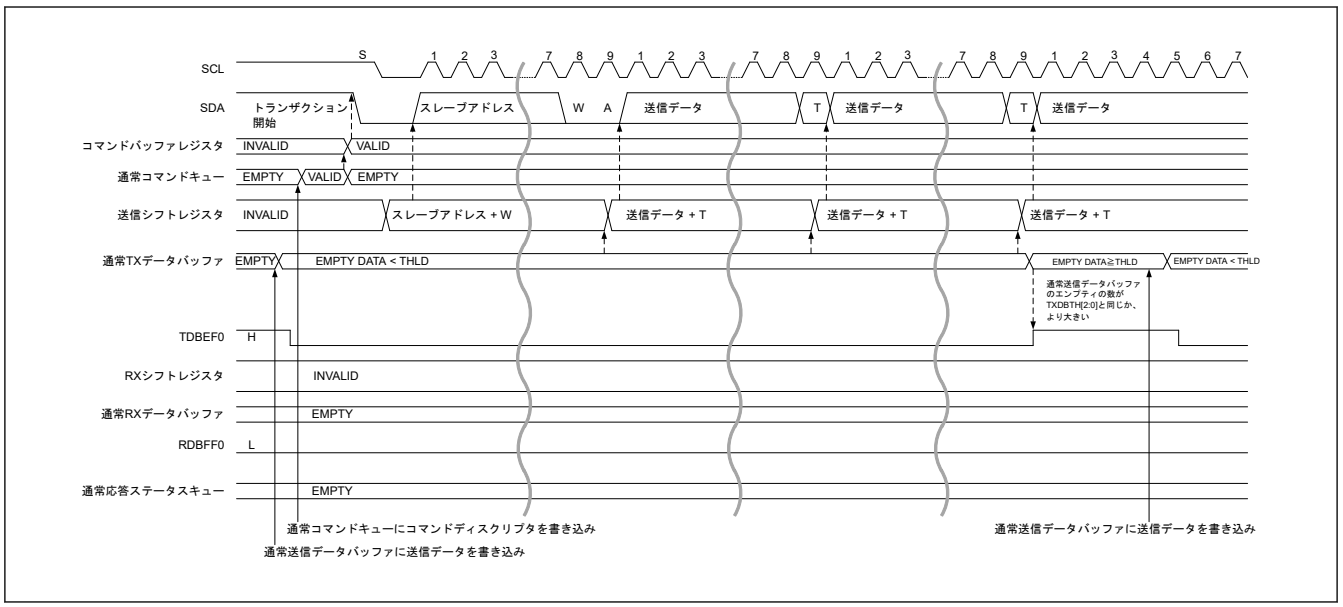


図 27.16　SDR データ書き込み転送タイミング (1/2)

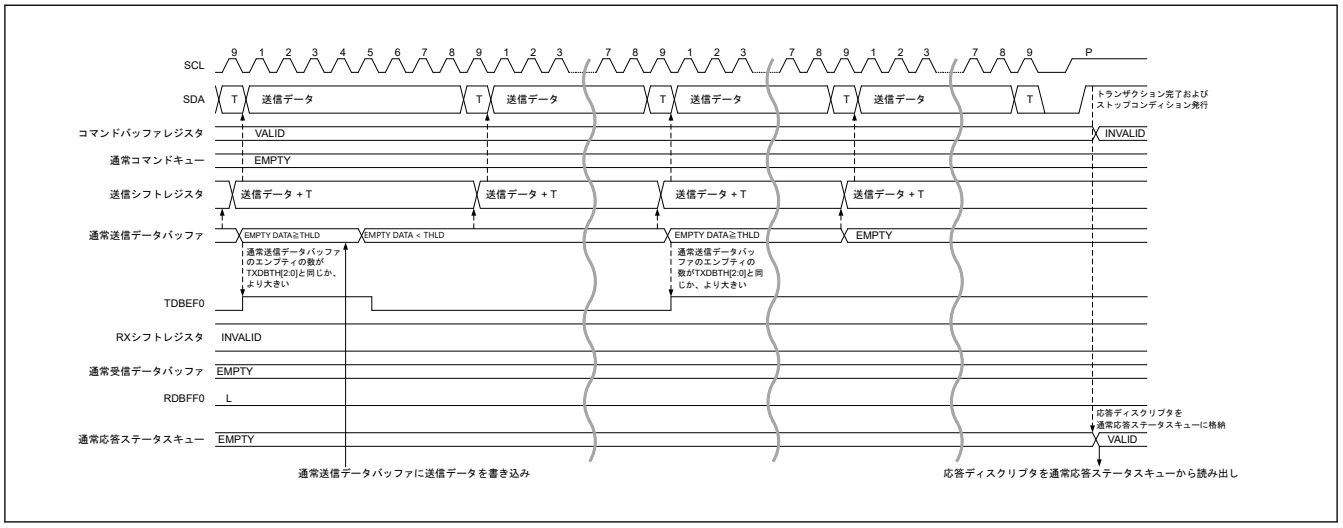


図 27.17　SDR データ書き込み転送タイミング (2/2)

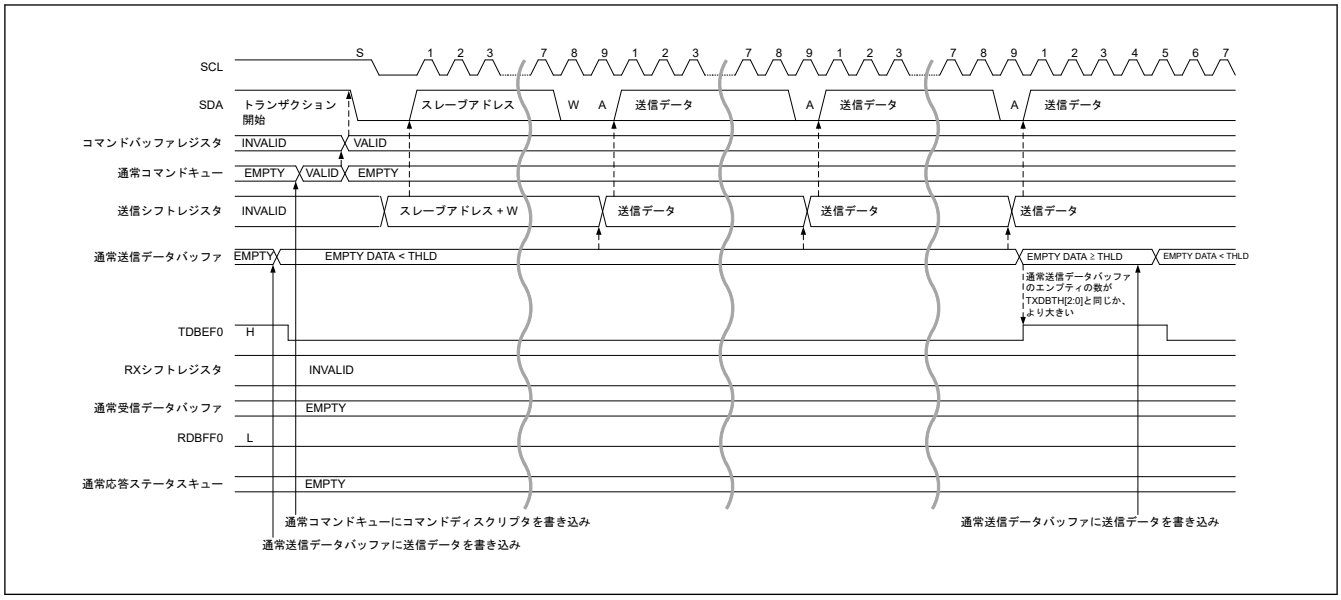


図 27.18　レガシー I²C メッセージデータ書き込みタイミング (1/2)

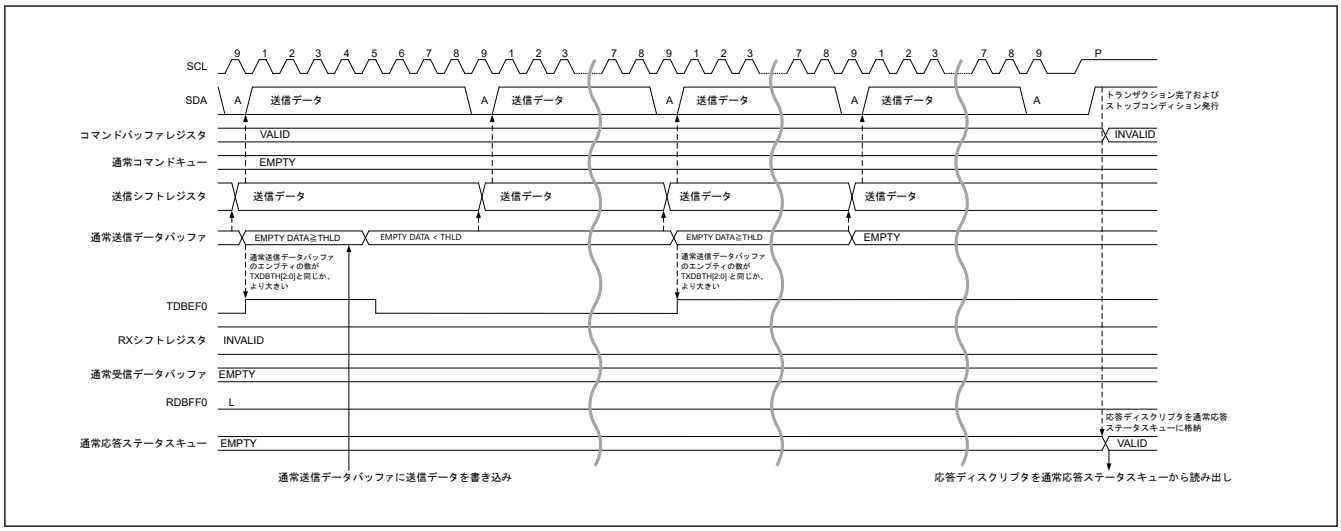


図 27.19　レガシー I²C メッセージデータ書き込みタイミング (2/2)

(c) SDR データ読み出し転送

1. データ転送用のコマンドディスクリプタ（即時データ転送コマンド、通常データ転送コマンド、コンボデータ転送コマンド）を、NCMDQP レジスタを介してコマンドバッファに書き込みます。
2. コマンドバッファにコマンドディスクリプタを書くと、トランザクションが I3C バスに発行されます。
   アドレスヘッダで NACK を受信したら、DAT の NACK リトライカウント値 (DATBASm.DVNACK) に従って同じコマンドのトランザクションが自動的に発行されます。
3. I3C スレーブから受信したデータを、受信データバッファに格納します。
4. RDBFF0 = 1 割り込みで、受信データを受信データバッファから NTDTBPn レジスタを介して読み出します。
5. SDR：
   T ビットが Low であることを検出するか、コマンドディスクリプタの DATA_LENGTH[15:0]ビットに指定したデータ長の数のデータ受信が完了したら、繰り返しのスタートコンディションまたはストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
   レガシー I²C メッセージ：
   コマンドディスクリプタの DATA_LENGTH[15:0]ビットに指定したデータ長の数のデータ受信が完了したら、NACK を発行します。その後、繰り返しのスタートコンディションまたはストップコンディションを発行し、レスポンスディスクリプタをレスポンスバッファに格納します。
6. NRSPQP レジスタを介してレスポンスディスクリプタを読み出し、ステータスを確認します。

7. レスポンスディスクリプタの DATA_LENGTH[15:0]ビットの値が、コマンドディスクリプタのデータ長設定値と一致しているかどうかを確認します。

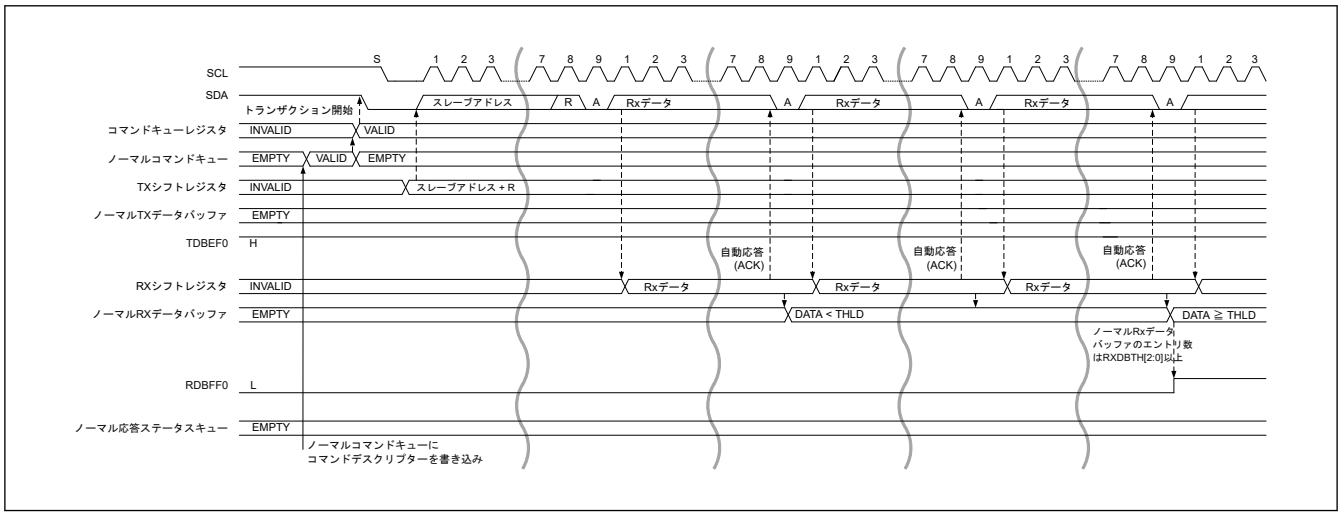


図 27.20　SDR データ読み出し転送タイミング (1/2)

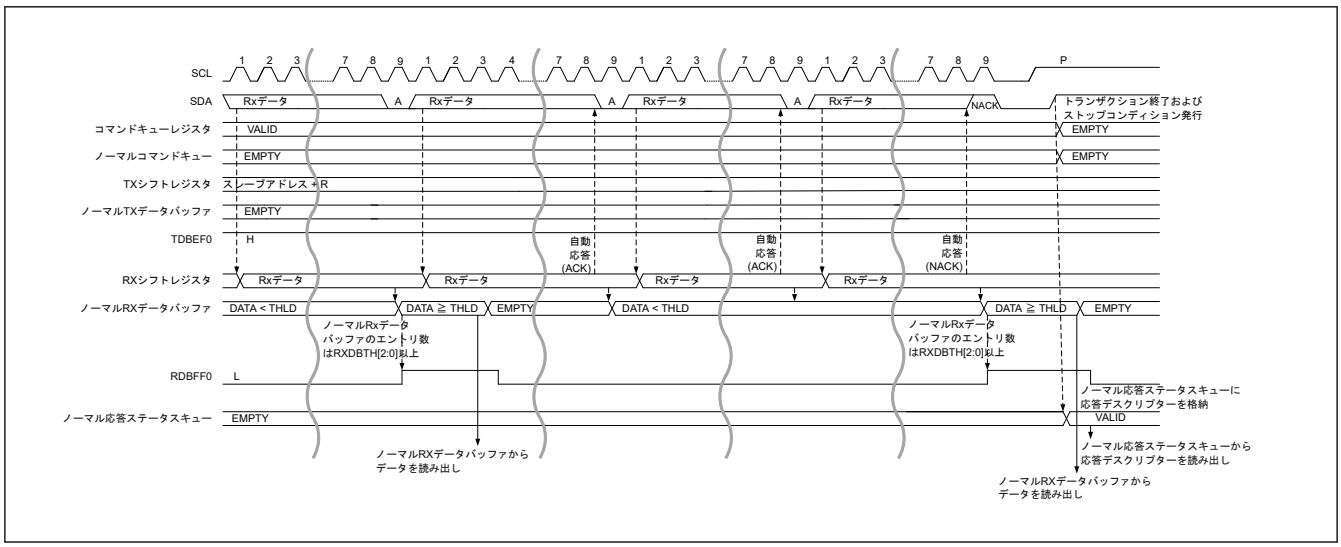


図 27.21　SDR データ読み出し転送タイミング (2/2)

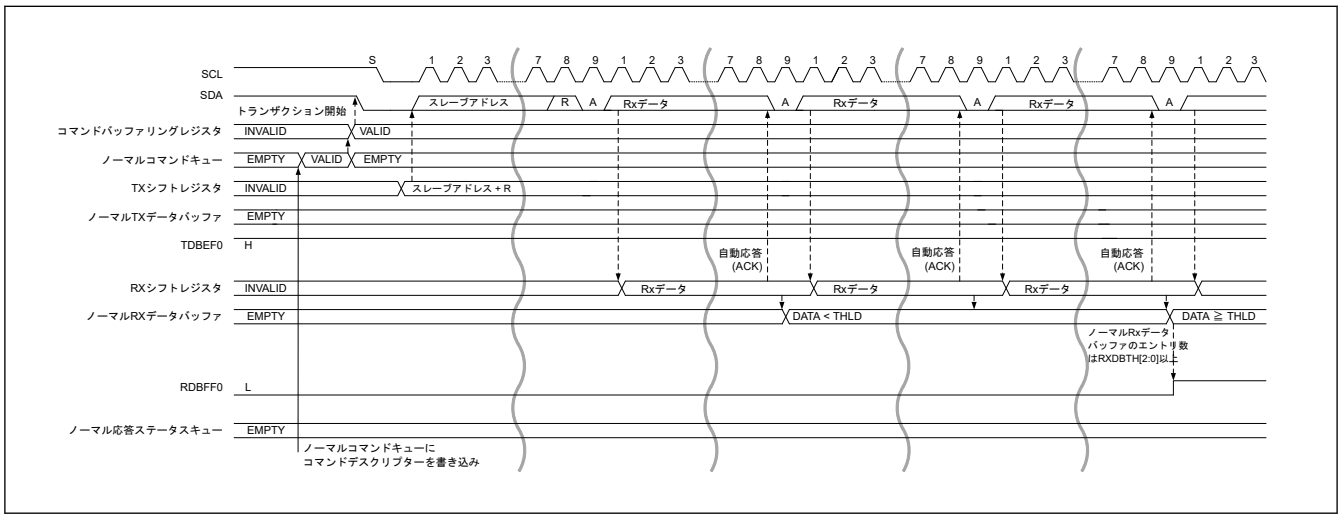


図 27.22　レガシー I²C メッセージデータ読み出し転送タイミング (1/2)

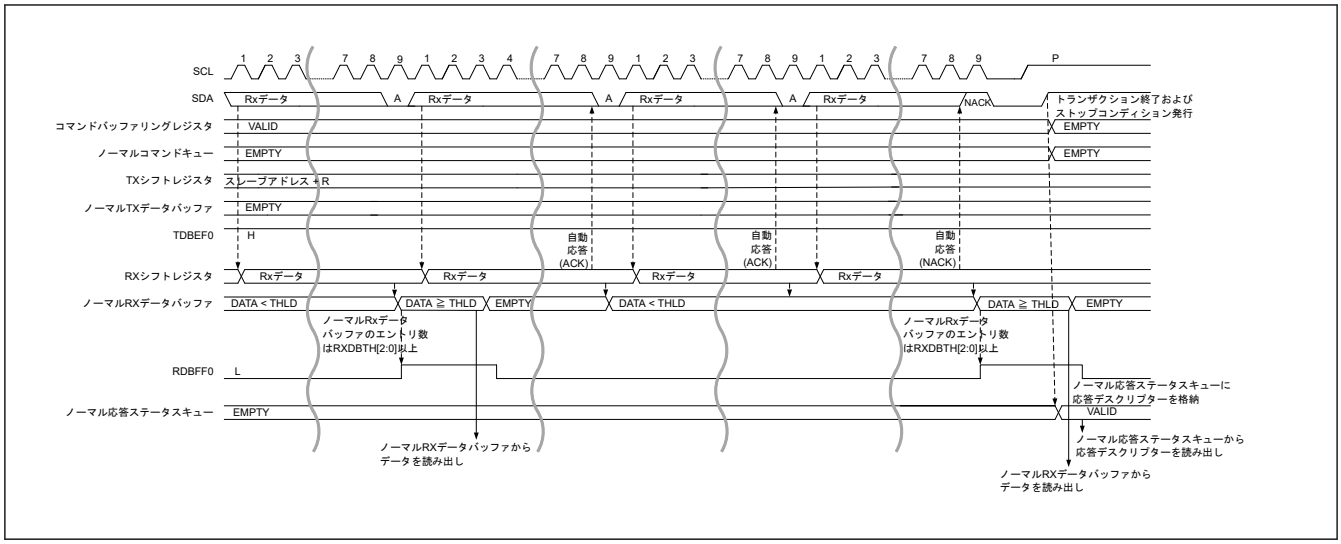


図 27.23 レガシー I²C メッセージデータ読み出し転送タイミング (2/2)

(d) IBI 転送

1. コマンドディスクリプタをコマンドバッファに書き込み、トランザクションを I3C バスに発行します。
   スレーブデバイスからスタート要求（SDA が Low）が発行され場合、I3C は SCL を Low にして、スタートコンディションを完了します。
   そのため、SCL を供給し、In-band 割り込み要求を受信します。
2. アドレスヘッダの RnW を伴うスレーブアドレスで、I3C スレーブから In-band 割り込みを発行することでアービトレーションロストとなる場合、トランザクションの発行を停止します。
3. 「27.3.2.3.8. In-band 割り込み［I3C モード］」に従い、In-band 割り込みとプロセスを検出します。
4. IBIQEFF = 1 による割り込みにおいて、NIBIQP レジスタを介して IBI ステータスバッファから IBI ステータスディスクリプタを読み出し、ステータスを確認します。
   スレーブ割り込み要求を検出し ACK を応答したとき、IBI ステータスディスクリプタの DATA_LENGTH[15:0]ビットに示されるデータ長の IBI データを NIBIQP レジスタを介して IBI データバッファから読み出します。
5. 1.のコマンドのトランザクション発行をリスタートします。

In-band 割り込み検出後の処理手順の例を以下に示します。

バス権要求検出とマスタ権のセカンダリマスタへの転送の処理手順

1. I3C セカンダリマスタがアービトレーションを獲得した場合、DEFSLVS CCC を発行し、スレーブ情報をセカンダリマスタに通知します。
2. GETACCMST CCC を発行し、ストップコンディションにより CCC を完了します。

図 27.26 に、バス権処理のフローを示します。

注.
- セカンダリマスタにマスタ権を転送した後、再びマスタ権を得るには、(2) I3C スレーブ動作の (f) IBI 転送に従ってバス権要求を発行します。
- バス権要求をカレントマスタが受け入れた場合、GETACCMST CCC 受信時にマスタ権を再度得るために、ストップコンディションにより CCC を完了します。

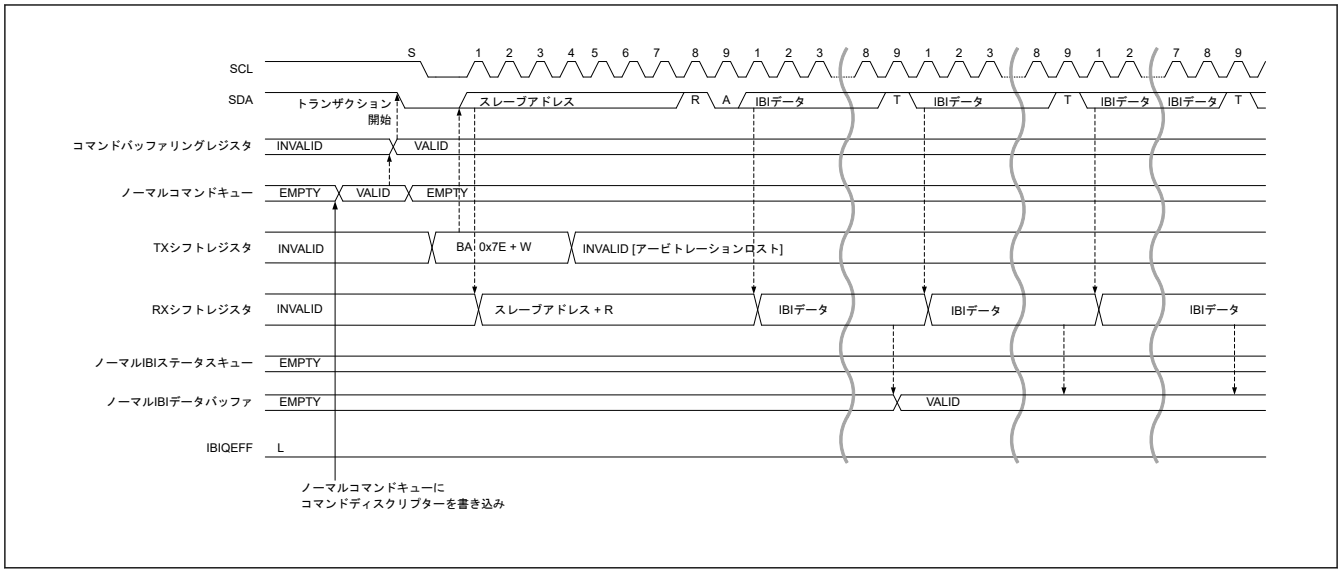


図 27.24　I3C マスタ IBI 転送タイミング (1/2)

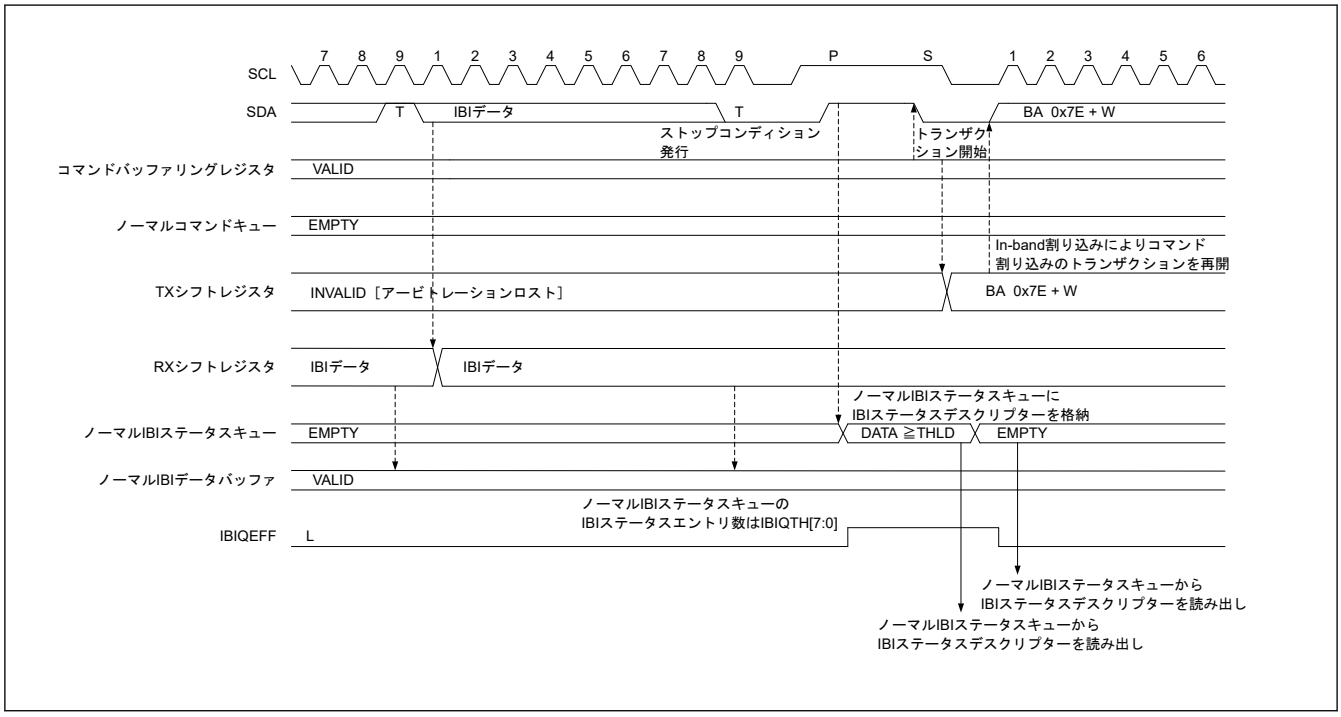


図 27.25　I3C マスタ IBI 転送タイミング (2/2)

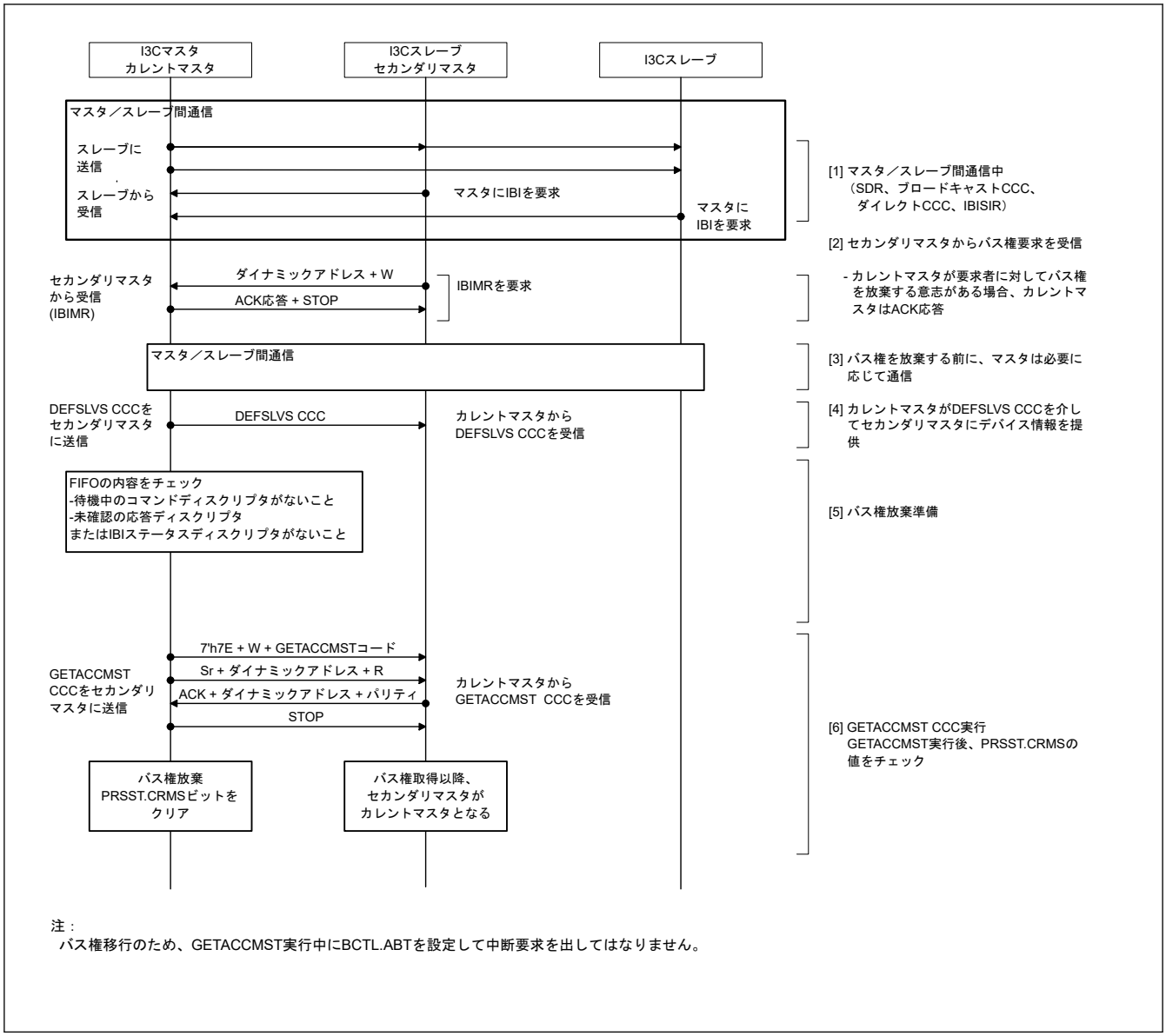


図 27.26　I3C マスタバス権処理フロー

27.3.2.1.2　スレーブモード動作

(1)　I²C スレーブ動作

(a) データ書き込み転送（シングルバッファ転送）

スレーブ受信動作では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである I3C がアクノリッジを返します。

図 27.126 にスレーブ受信の使用例を示します。図 27.27 と図 27.28 にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

1. 初期設定。詳細は、「27.3.3.1. 初期設定フロー」を参照してください。初期設定後、I3C は受信したスレーブアドレスが一致するまで待機状態となります。
2. I3C はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する SVST.HOAF、GCAF、および SVAF[n] (n = 0～2) のいずれかを 1 にし、SCL クロックの 9 クロック目でアクノリッジビット (ACK) を出力します。このとき、同時に受信した R/W#ビットの値が 0 であれば、I3C はスレーブ受信モードを継続し、NTST.RDBFF0 フラグを 1 にします。

3. BST.SPCNDDF フラグが 0 であることと、NTST.RDBFF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタをダミーリードしてください (ダミーリードする値は、7 ビットアドレスフォーマット選択時はスレーブアドレス＋ R/W#ビット、10 ビットアドレスフォーマット選択時は下位 8 ビットアドレスです)。
4. NTDTBP0 レジスタが読み出されると、I3C は NTST.RDBFF0 フラグを自動的に 0 にします。なお、NTDTBP0 レジスタの読み出しが遅れて、RDBFF0 フラグが 1 になった状態で次のバイトを受信すると、I3C は RDBFF0 フラグが設定される必要があるポイントの 1 つ手前の SCL クロックまで I3C_SCL ラインを Low にホールドします。この場合、NTDTBP0 レジスタを読み出すと、I3C_SCL ラインが Low ホールド状態から解放されます。BST.SPCNDDF フラグが 1 で、かつ NTST.RDBFF0 フラグが 1 の場合、全データの受信が完了するまで NTDTBP0 レジスタを読み出してください。
5. I3C はストップコンディションを検出すると、SVST.HOAF、GCAF、および SVAF[n]ビット (n = 0～2) を自動的に 0 にします。
6. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.SPCNDDF フラグを 0 にしてください。

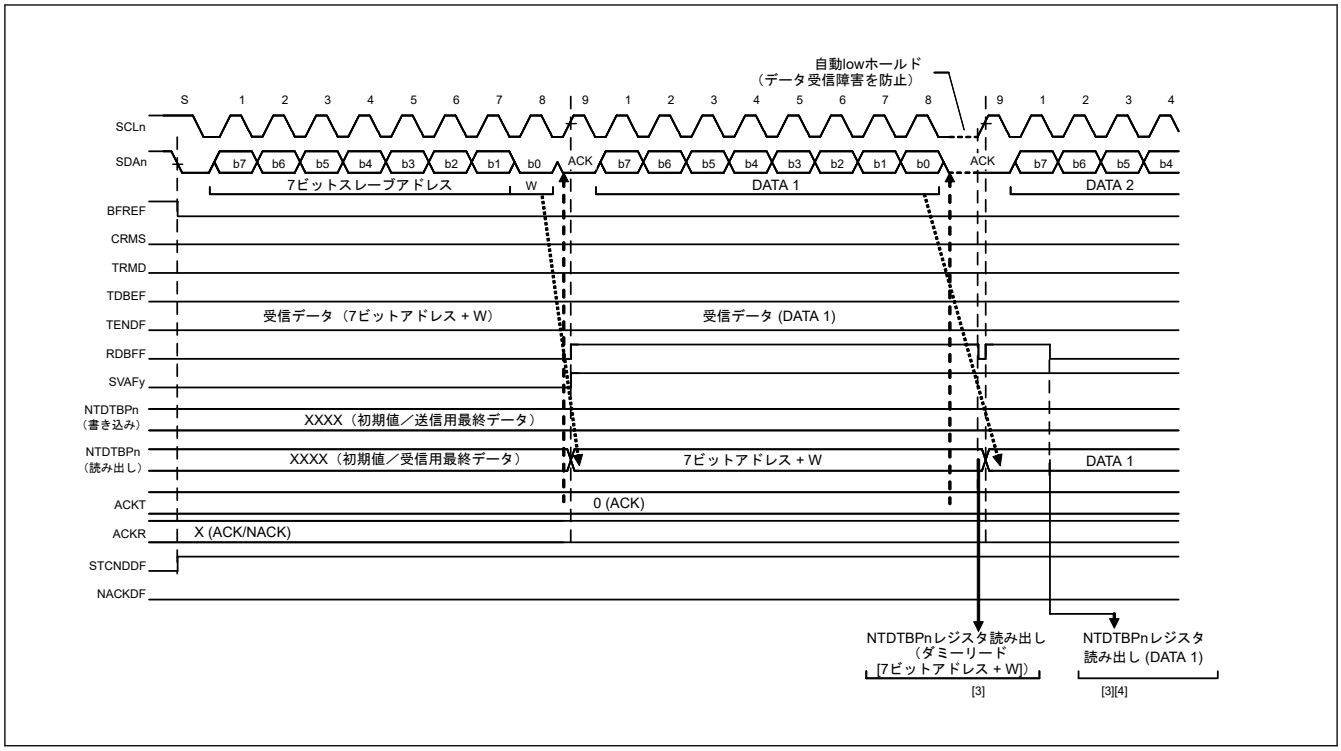


図 27.27　スレーブ受信の動作タイミング (1)（7 ビットアドレスフォーマットで ACKTWE = 0 の場合）

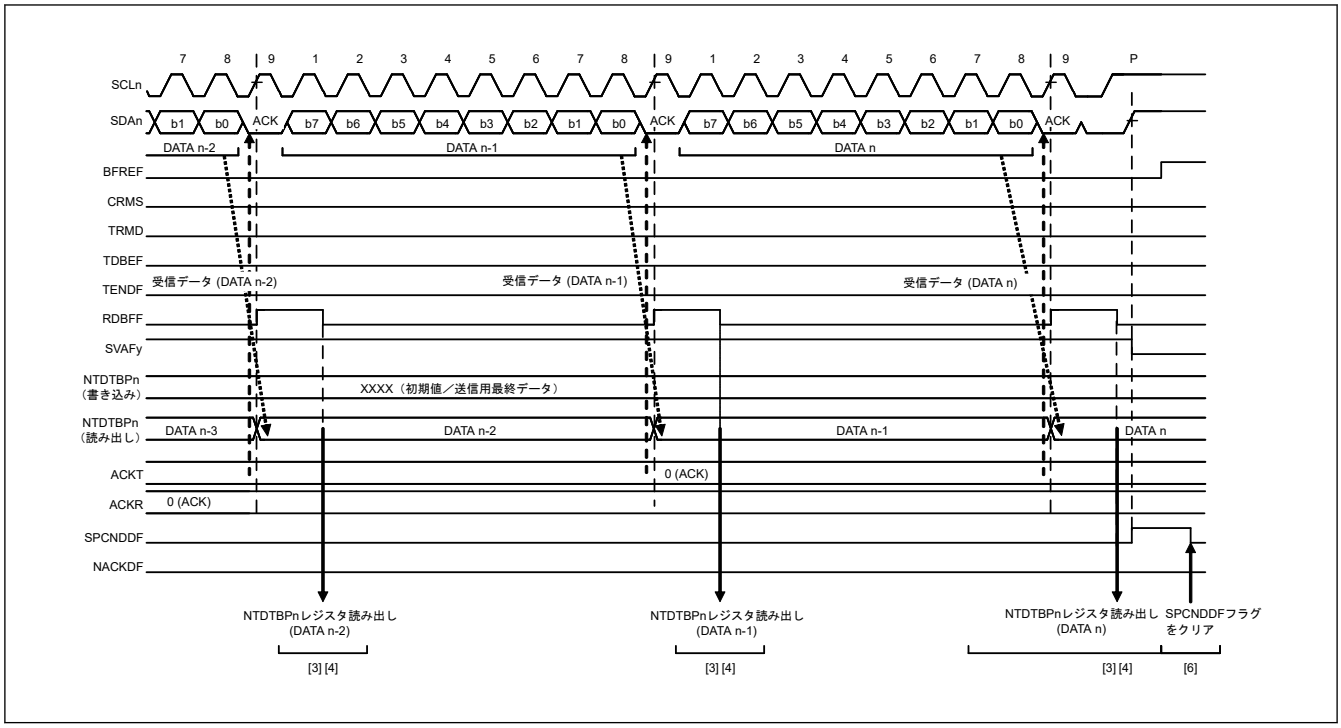


図 27.28　スレーブ受信の動作タイミング (2)（ACKTWE = 0 の場合）

(b) データ読み出し転送（シングルバッファ転送）

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである I3C がデータを送信し、マスタデバイスがアクノリッジを返します。

図 27.125 にスレーブ送信の使用例を示します。図 27.29 と図 27.30 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

1. 初期設定。詳細は、「27.3.3.1. 初期設定フロー」を参照してください。
   初期設定後、I3C は受信したスレーブアドレスが一致するまで待機状態となります。
2. I3C はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する SVST.HOAF、GCAF、および SVAF[n] (n = 0～2) のいずれかを 1 にし、SCL クロックの 9 クロック目でアクノリッジビット (ACK) を出力します。このとき、同時に受信した R/W#ビットの値が 1 であれば、I3C は PRSST.TRMD ビットと NTST.TDBEF0 フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
3. NTST.TDBEF0 フラグが 1 であることを確認した後、送信データを NTDTBP0 レジスタに書いてください。このとき、I3C が BSTE.NACKDE ビットが 1 の状態でマスタデバイスからアクノリッジを受信しなかった（NACK を受信した）場合、I3C は次の転送動作を中断します。
4. 以下の (a) または (b) のいずれかの条件が満たされるまで待ちます。
   (a) BST.NACKDF フラグが 1 になる
   (b) NTST.TDBEF0 フラグが 1 の状態で、最終送信バイトを NTDTBP0 レジスタに書いた後で、BST.TENDF フラグが 1 になる
5. BST.NACKDF フラグが 1 または BST.TENDF フラグが 1 の場合、完了処理のため NTDTBP0 レジスタをダミーリードしてください。これによって I3C_SCL ラインが解放されます。
6. I3C はストップコンディションを検出すると、SVST.HOAF ビット、GCAF ビット、および SVAF[n] (n = 0～2) ビット、NTST.TDBEF0 フラグ、BST.TENDF フラグ、および PRSST.TRMD ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。
7. BST.SPCNDDF フラグが 1 であることを確認した後、次の転送動作のために、BST.NACKDF フラグと SPCNDDF フラグを 0 にしてください。

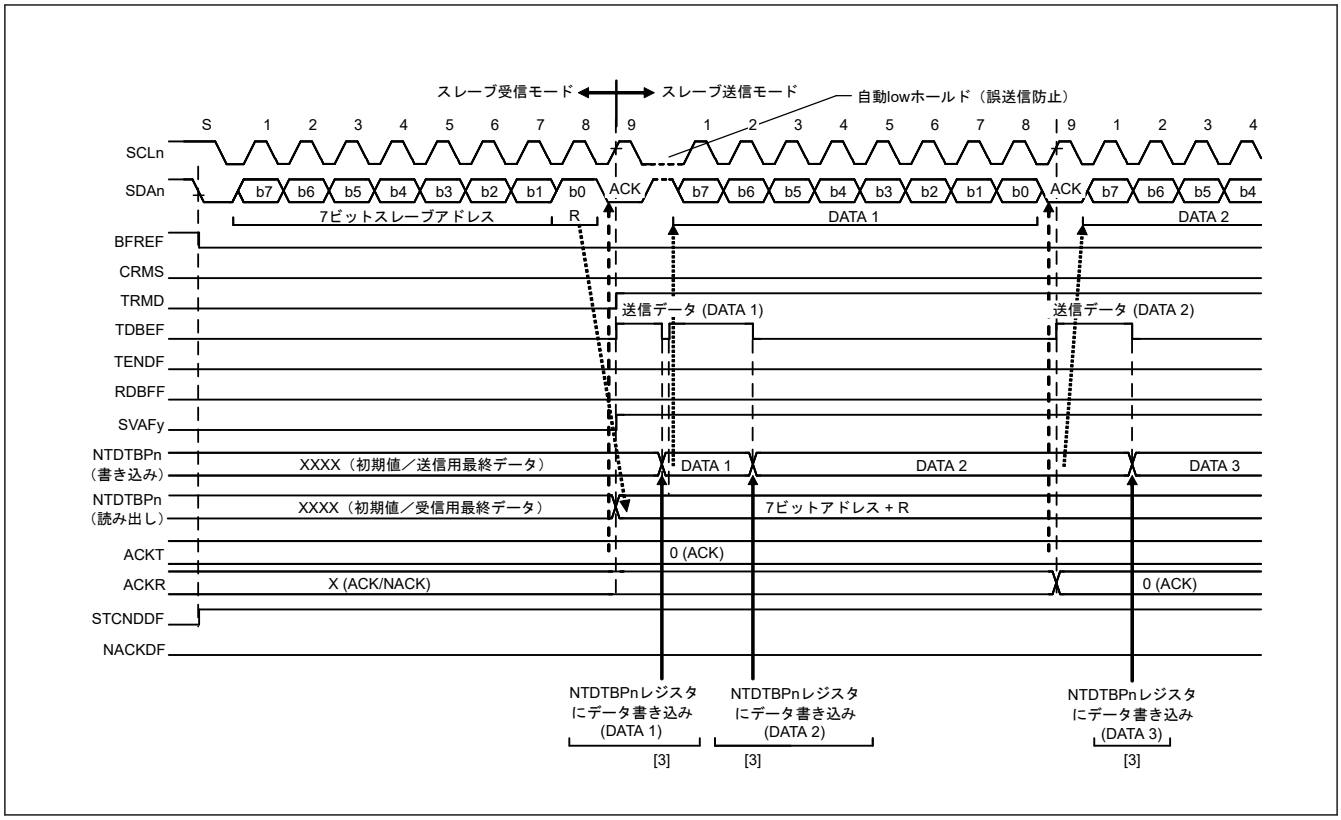


図 27.29　スレーブ送信の動作タイミング (1)（7 ビットアドレスフォーマット）

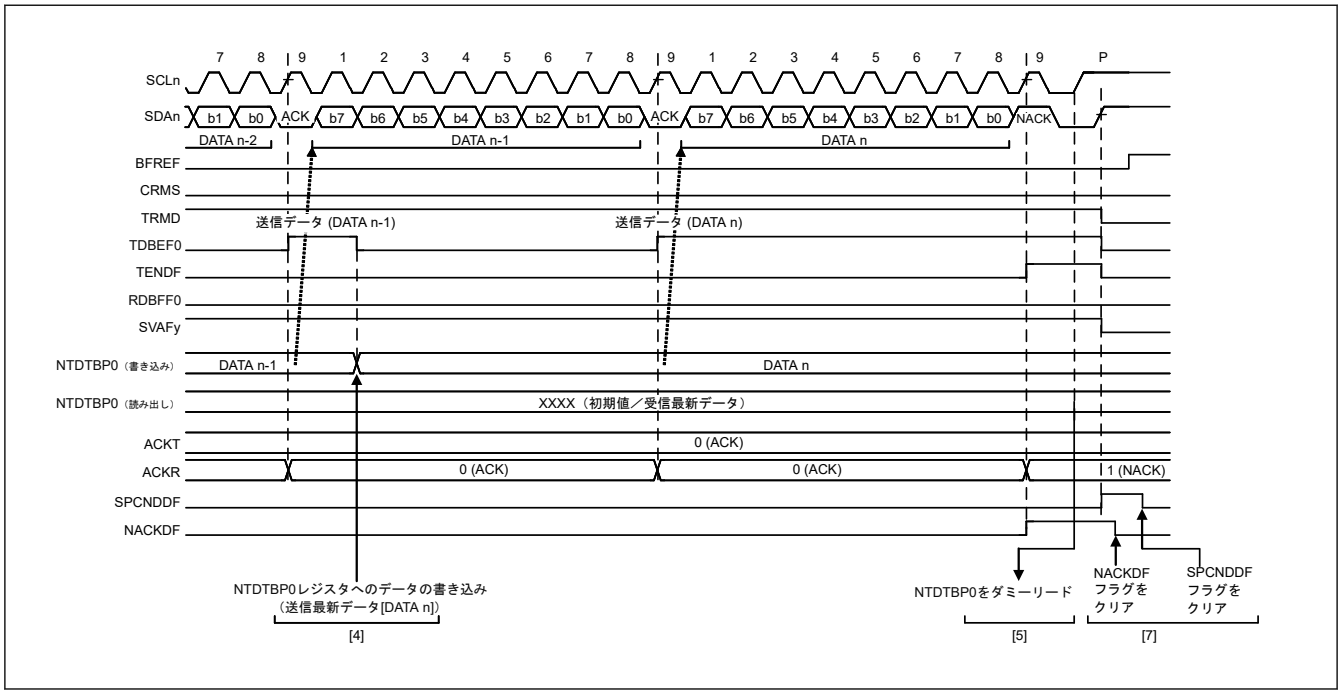


図 27.30　スレーブ送信の動作タイミング (2)

(2)　I3C スレーブ動作

(a) ダイナミックアドレス配置手順

I3C を初期化した後、I3C マスタはまずダイナミックアドレス配置手順を行います。

ENTDAA CCC によるダイナミックアドレス配置手順実行中の R-I3 の動作を以下に説明します。

1. 初期設定（詳細は、「27.3.3.1.2. I3C 初期設定フロー」を参照してください。）

2. ENTDAA CCC を受信すると、I3C はダイナミックアドレスが配置されるまで暫定 ID (SDCTPIDH[31:0], SDCTPIDL[15:0])、BCR (SVDCT.TBCRn)、DCR (SVDCT.TDCR[7:0]) を送信します。（詳細は、(6) CCC 検出機能［I3C モード］の「ブロードキャスト CCC (ENTDAA) の場合」を参照してください。）
3. ENTDAA CCC が完了し、ストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスバッファに格納されます。
4. NRSQP レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。
5. 受信ステータスディスクリプタの DATA_LENGTH[15:0]ビットに示されるデータ長のデータを NTDTBP0 レジスタを介して受信データバッファから読み出します。

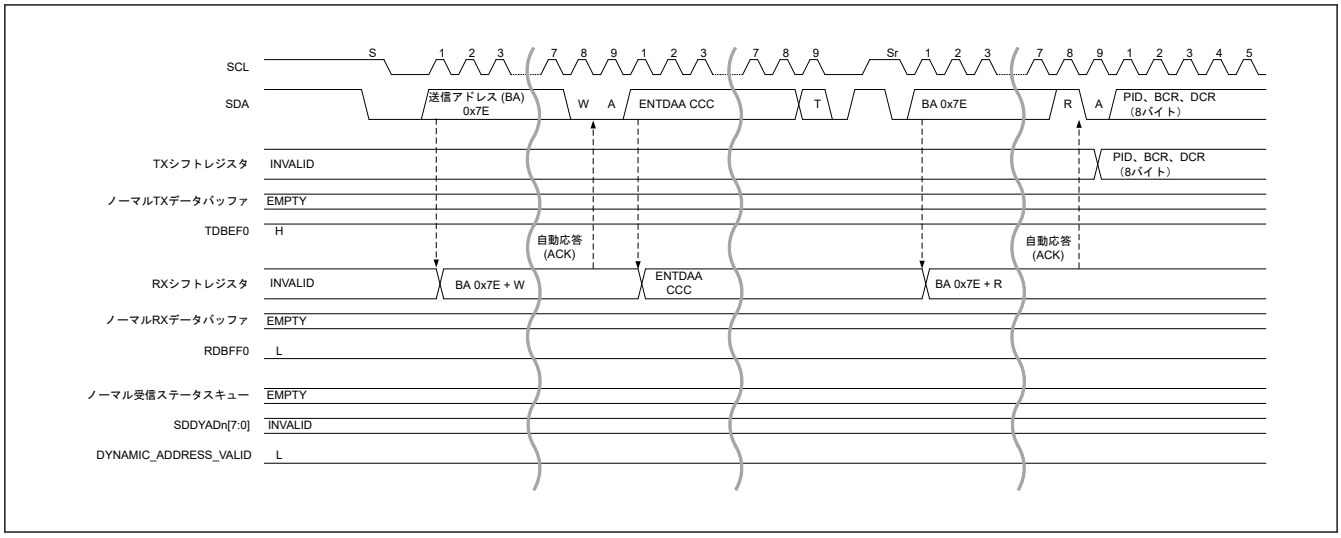


図 27.31　ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (1/3)

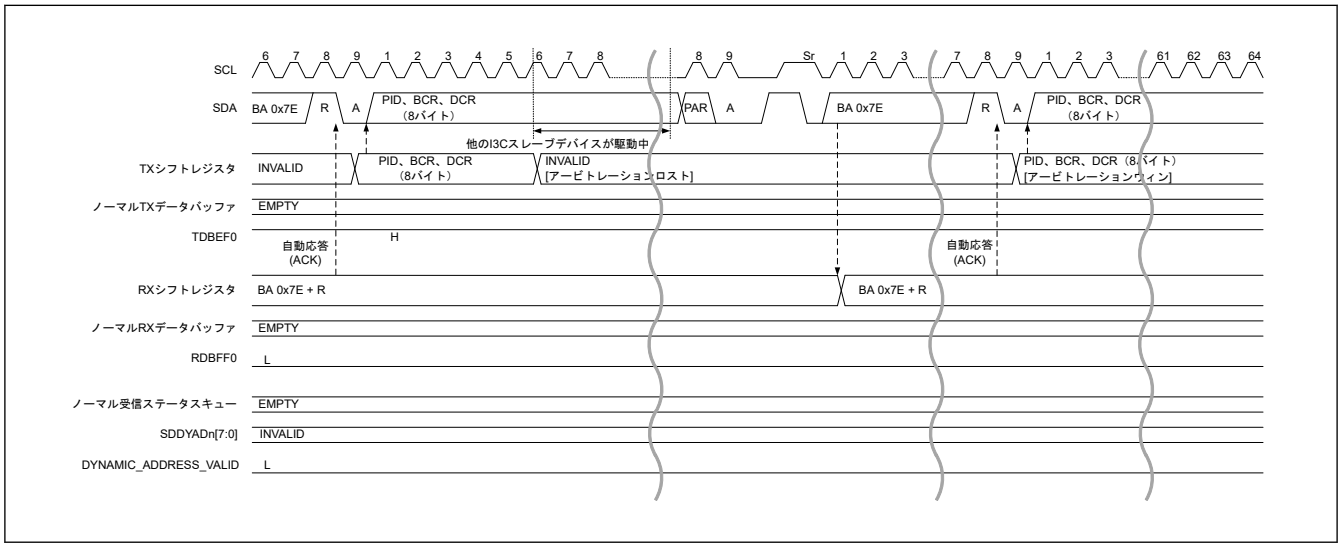


図 27.32　ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (2/3)

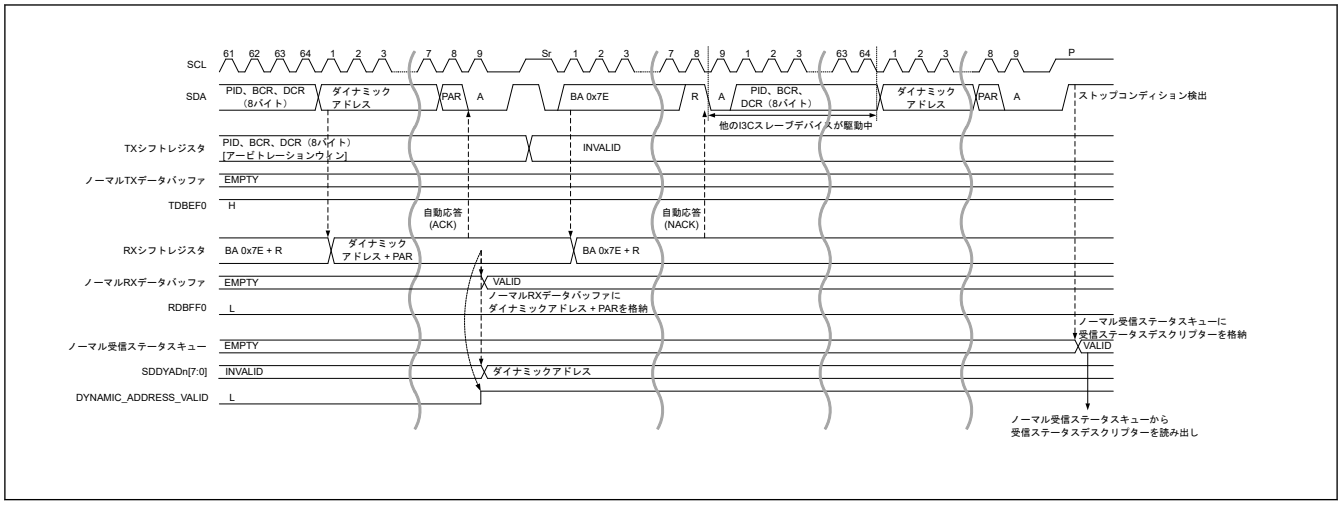


図 27.33　ダイナミックアドレス配置手順 (ENTDAA CCC) タイミング (3/3)

I3C マスタからダイナミックアドレスを配置されるまで、スタティックアドレスで通信する場合、DAT（SDATBASn レジスタ）の DVSTAD[6:0]ビットを設定することで、SVDVADn レジスタの SSTADV ビットが 1 に設定され、スタティックアドレスが有効になります。

I3C スレーブがスタティックアドレスを有し、I3C マスタがダイナミックアドレス配置手順を実行する場合、ダイナミックアドレスを SETDASA CCC で配置することができます。

SETDASA CCC ダイナミックアドレス配置手順実行中の I3C の動作を以下に説明します。

1. 初期設定（詳細は、「27.3.3.1.2. I3C 初期設定フロー」を参照してください。）
2. 受信した SETDASA CCC がそれ自身のスタティックアドレスと一致するとき、DAT（SDATBAS0 レジスタ）の SDDYAD[7:0]ビットを更新し、SVDVAD0 レジスタの SDYADV ビットを 1 に設定します。（詳細は、(6) CCC 検出機能［I3C モード］の「ダイレクトライト CCC の場合」を参照してください。）
3. SETDASA CCC が完了し、ストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスバッファに格納されます。
4. NRSQP レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。

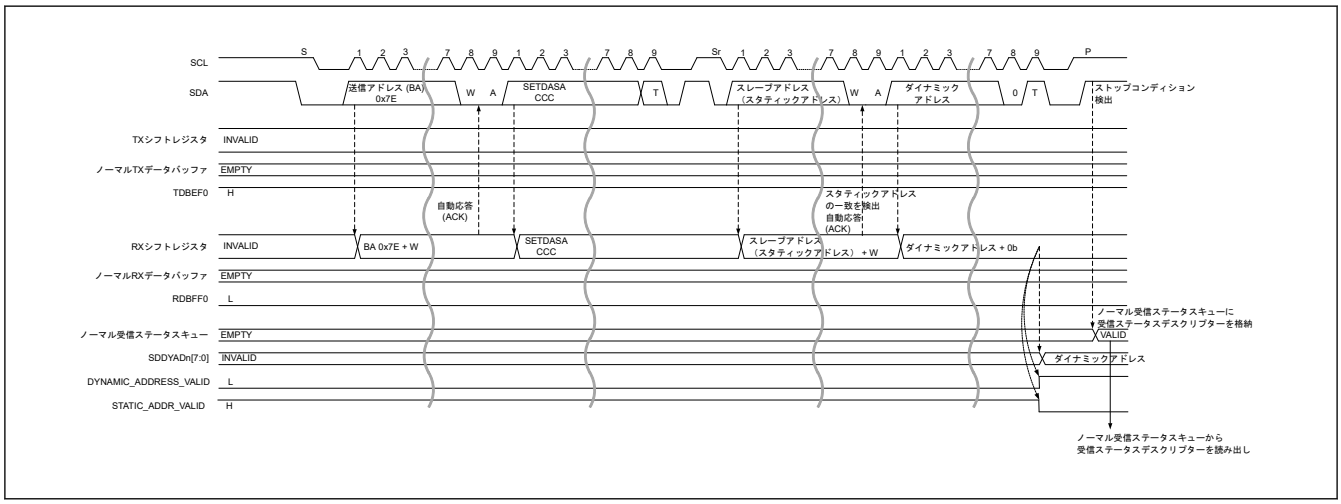


図 27.34　ダイナミックアドレス配置手順 (SETDASA CCC) タイミング

(b) SDR データ書き込み転送

1. I3C マスタからトランザクションが発行されたとき、アドレスヘッダのスレーブアドレスをそれ自身のスレーブアドレスと比較し、一致した場合、I3C はアクノリッジを応答します。
   トランザクションを受信したとき、受信データバッファがフルであれば、I3C スレーブはアドレスヘッダで NACK を応答します。
   I3C マスタのリトライ準備において、NTDTBPn を介して受信データバッファからデータを読み出し、受信データバッファを空にします。

2. I3C マスタから受信したデータは、受信データバッファに格納します。
3. RDBFF0 = 1 割り込みで、受信データを受信データバッファから NTDTBPn レジスタを介して読み出します。
4. 繰り返しのスタートコンディションまたはストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスバッファに格納されます。
5. NRSQP レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。

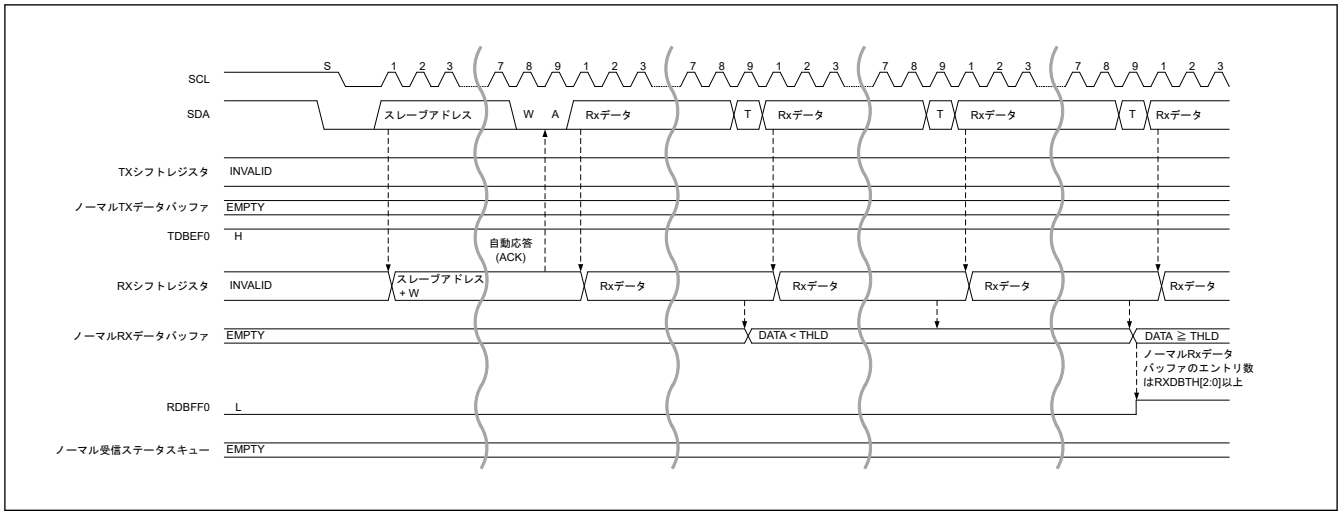


図 27.35　SDR データ書き込み転送タイミング (1/2)

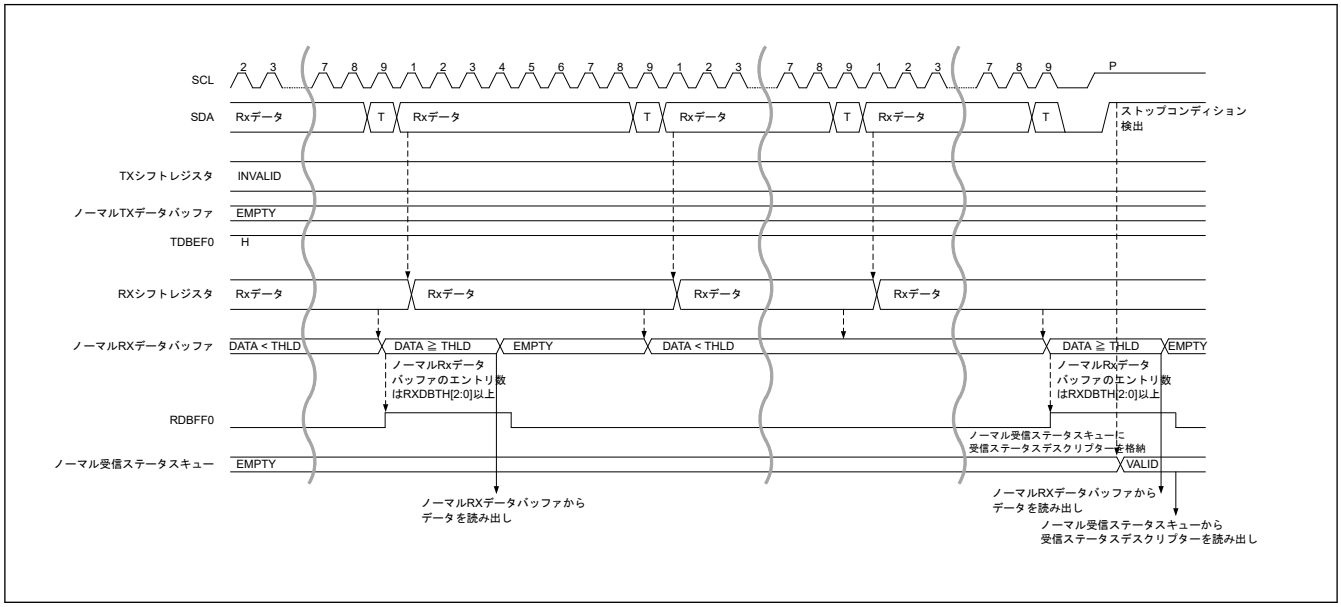


図 27.36　SDR データ書き込み転送タイミング (2/2)

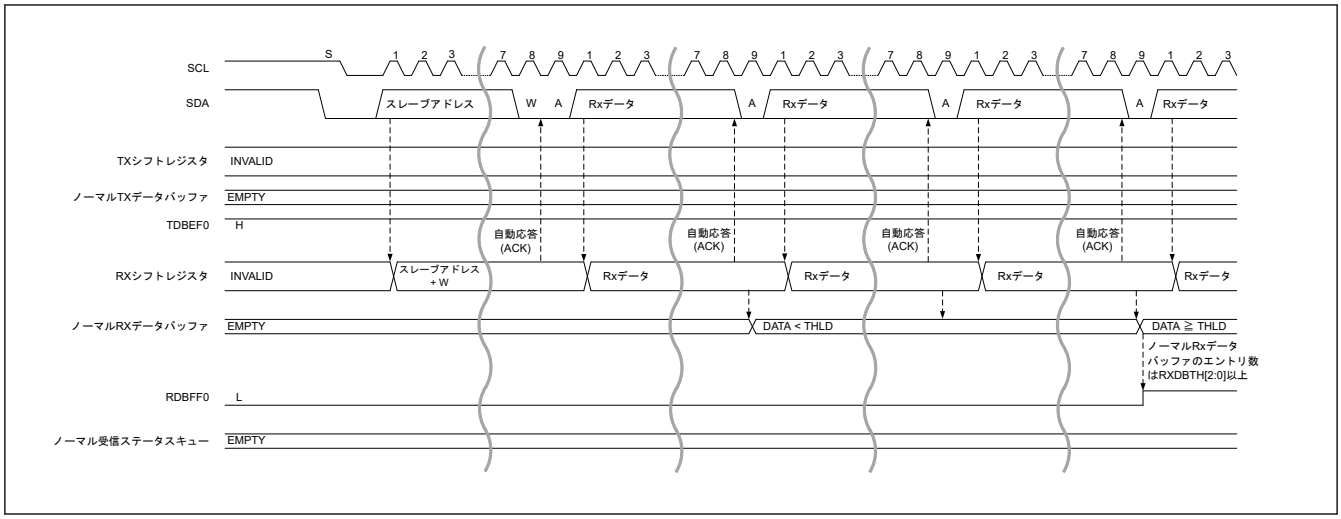


図 27.37　レガシー I²C メッセージデータ書き込み転送タイミング (1/2)

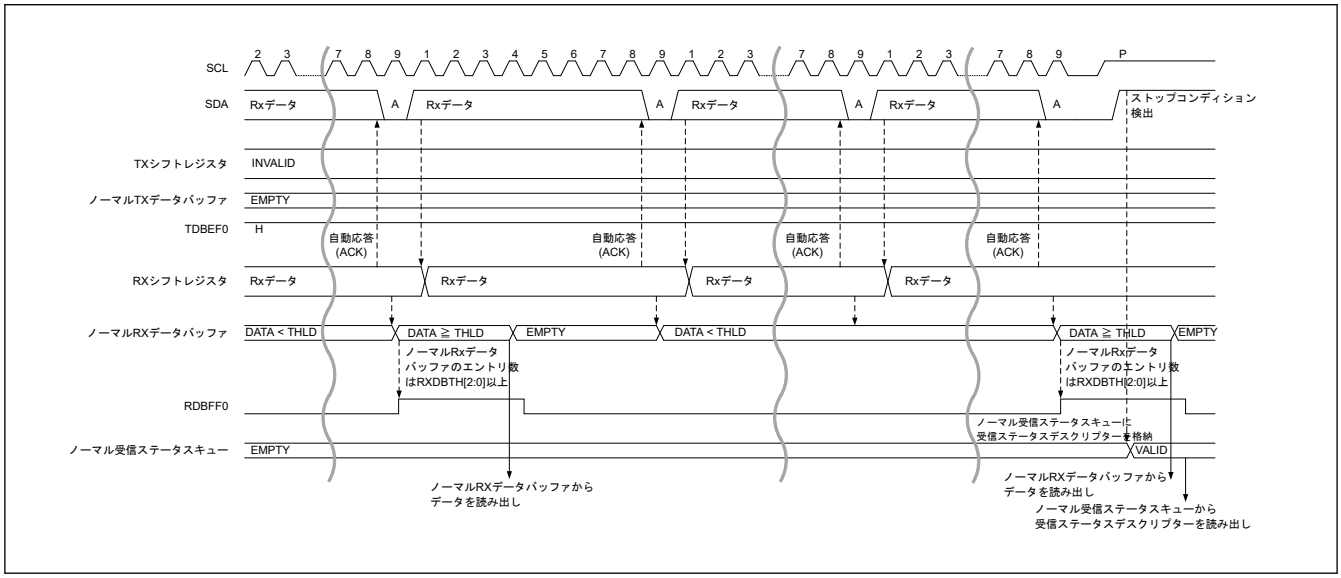


図 27.38　レガシー I²C メッセージデータ書き込み転送タイミング (2/2)

(c) SDR データ読み出し転送

1. I3C マスタから要求されたデータを NTDTBPn レジスタを介して送信データバッファに書き込みます。
2. I3C マスタからトランザクションが発行されたとき、アドレスヘッダのスレーブアドレスをそれ自身のスレーブアドレスと比較し、一致した場合、I3C はアクノリッジを応答します。
   トランザクションを受信したとき、送信データバッファがエンプティであれば、I3C スレーブはアドレスヘッダで NACK を応答します。
   I3C マスタのリトライ準備において、NTDTBPn を介して送信データバッファにデータを書き込みます。
3. 送信データバッファに格納されたデータを送信します。
4. 送信用データがまだ残っている場合、TDBEF0 = 1 による割り込みで、送信用データを NTDTBPn レジスタを介して送信データバッファに書き込みます。
5. SDR：
   送信データバッファに格納されたデータの送信が完了したとき、データに続けて T ビットに Low が出力され、それが最終のデータであることを I3C マスタに通知します。
   レガシー I²C メッセージ：
   NACK が検出されたとき、データ送信は終了します。
6. 繰り返しのスタートコンディションまたはストップコンディションを検出すると、受信ステータスディスクリプタが受信ステータスバッファに格納されます。

7. NRSQP レジスタを介して受信ステータスディスクリプタを読み出し、ステータスを確認します。

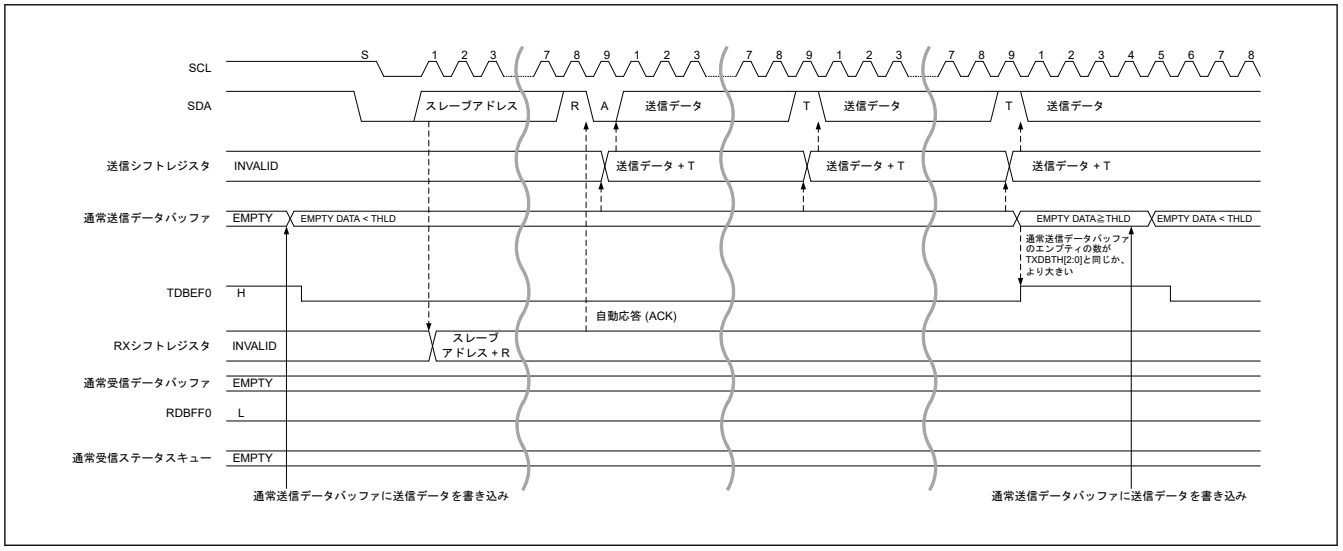


図 27.39　SDR データ読み出し転送タイミング (1/2)

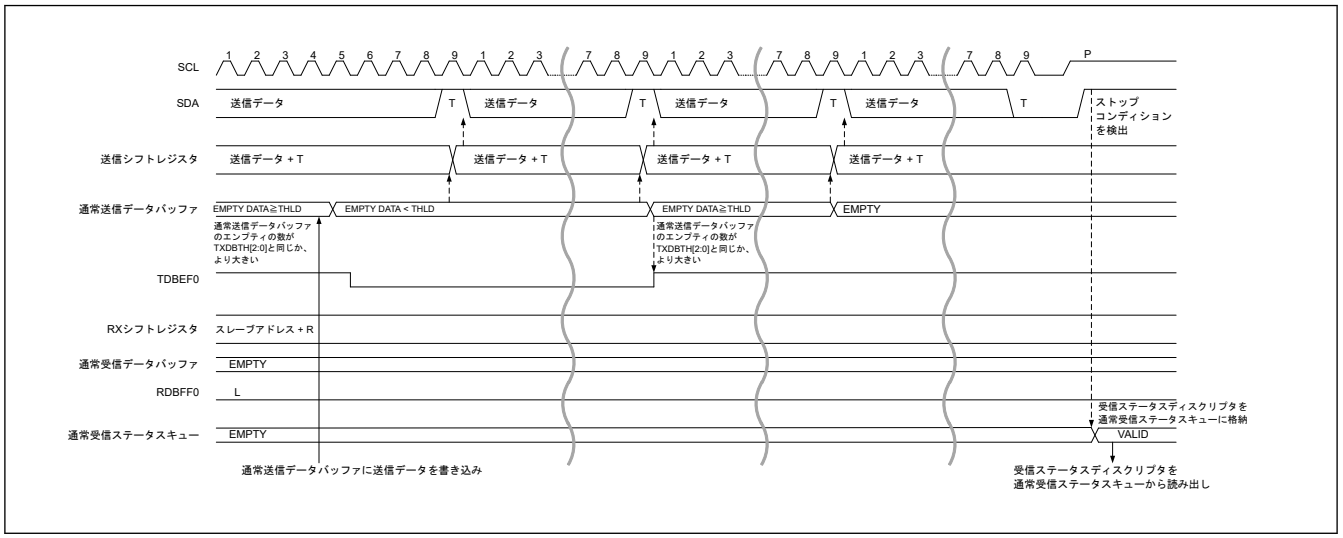


図 27.40　SDR データ読み出し転送タイミング (2/2)

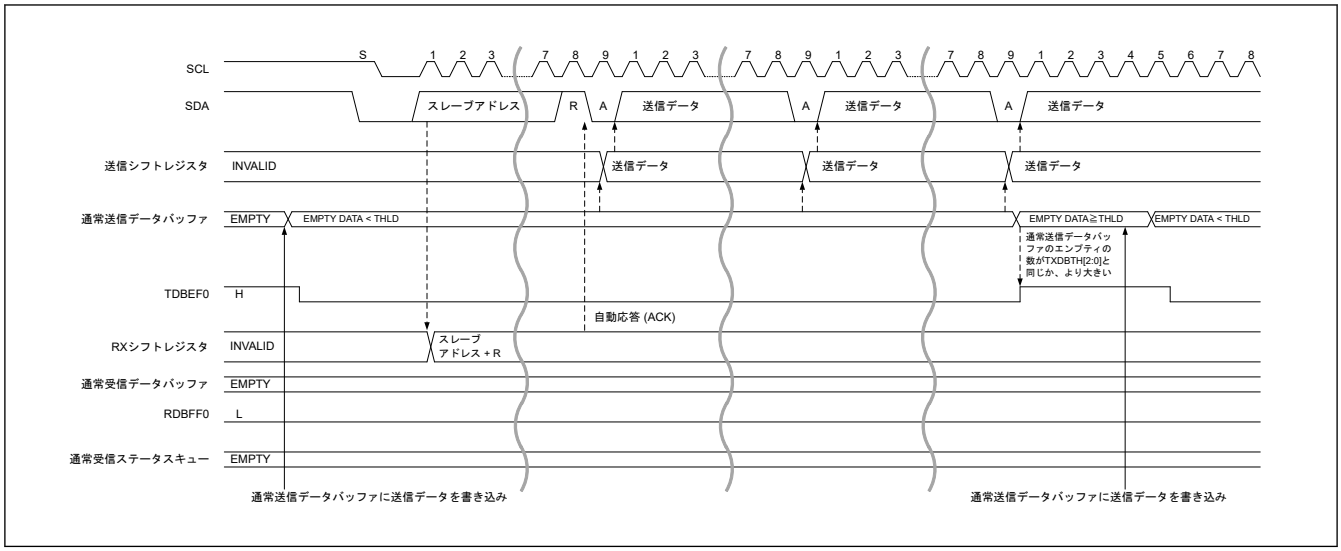


図 27.41　レガシー I²C メッセージデータ読み出し転送タイミング (1/2)

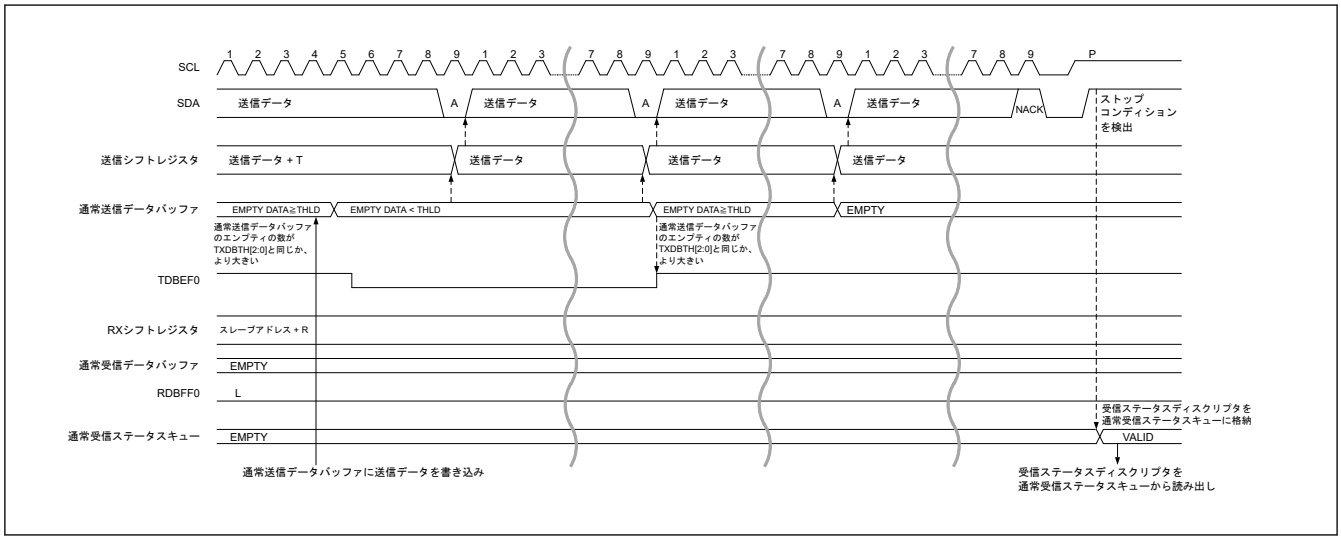


図 27.42　レガシー I²C メッセージデータ読み出し転送タイミング (2/2)

(d) IBI 転送

1. スレーブ割り込み要求を送る場合
   IBI データを送信する場合、IBI データを NIBIQP レジスタを介して IBI データバッファに書き込みます。
2. データ転送用のコマンドディスクリプタ（即時データ転送コマンド、または通常データ転送コマンド）を、NCMDQP レジスタを介して IBI 転送用のコマンドバッファに書き込みます。
3. コマンドバッファにコマンドディスクリプタを書くと、以下の条件で IBI トランザクションが発行されます。
   - スレーブ割り込み要求またはバス権要求でスタートコンディションが検出されたとき（繰り返しのスタートコンディションは対象外）
   - 以下のバスコンディションのなかでスタートが現れない場合、本モジュールは SDA ラインを Low にしてスタート要求を発行します。
   - (a)　スレーブ割り込み要求、バス権要求：バス利用可能
4. アドレスヘッダが RnW であるスレーブアドレスにおいて、I3C マスタからのトランザクション発行によりアービトレーションロストとなったとき、トランザクション発行を停止します。
   繰り返しのスタートコンディションまたはストップコンディションを検出したとき、レスポンスディスクリプタをレスポンスバッファに格納します。
5. スレーブ割り込み要求を送ったとき：

- 送信用の IBI データがまだ残っているとき、IBI データを IBIQEFF = 1 による割り込みで NIBIQP レジスタを介して IBI データバッファに書き込みます。
- コマンドディスクリプタの DATA_LENGTH[15:0]ビットに指定したデータ長の数の IBI データの送信が完了したら、IBI データに続けて T ビットに Low が出力され、それが最終の IBI データであることを I3C マスタに通知します。

6. 繰り返しのスタートコンディションまたはストップコンディションを検出したとき、レスポンスディスクリプタをレスポンスバッファに格納します。
7. NRSPQP レジスタでレスポンスバッファからレスポンスディスクリプタを読み出し、ステータスを確認します。NACK 応答の場合、手順 1～7 を再度行ってください。
8. スレーブ割り込み要求を送ったとき：
   レスポンスディスクリプタの DATA_LENGTH[15:0]ビットの値が 0 であることを確認します。

図 27.45 に、バス権処理のフローを示します。

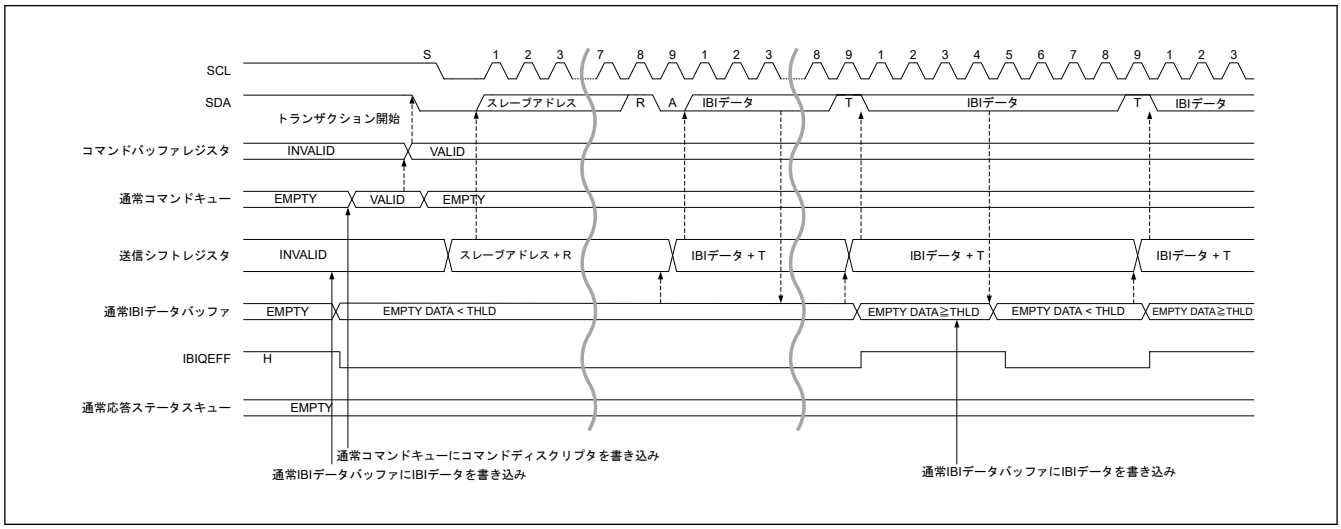


図 27.43　I3C スレーブ IBI 転送タイミング (1/2)

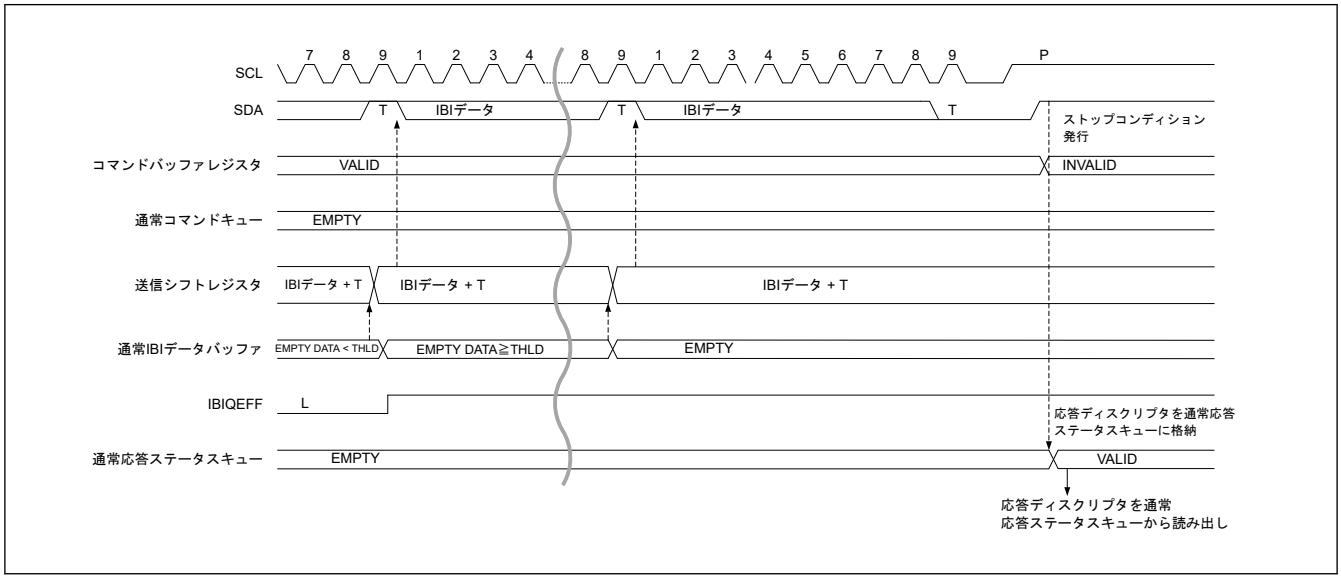


図 27.44　I3C スレーブ IBI 転送タイミング (2/2)

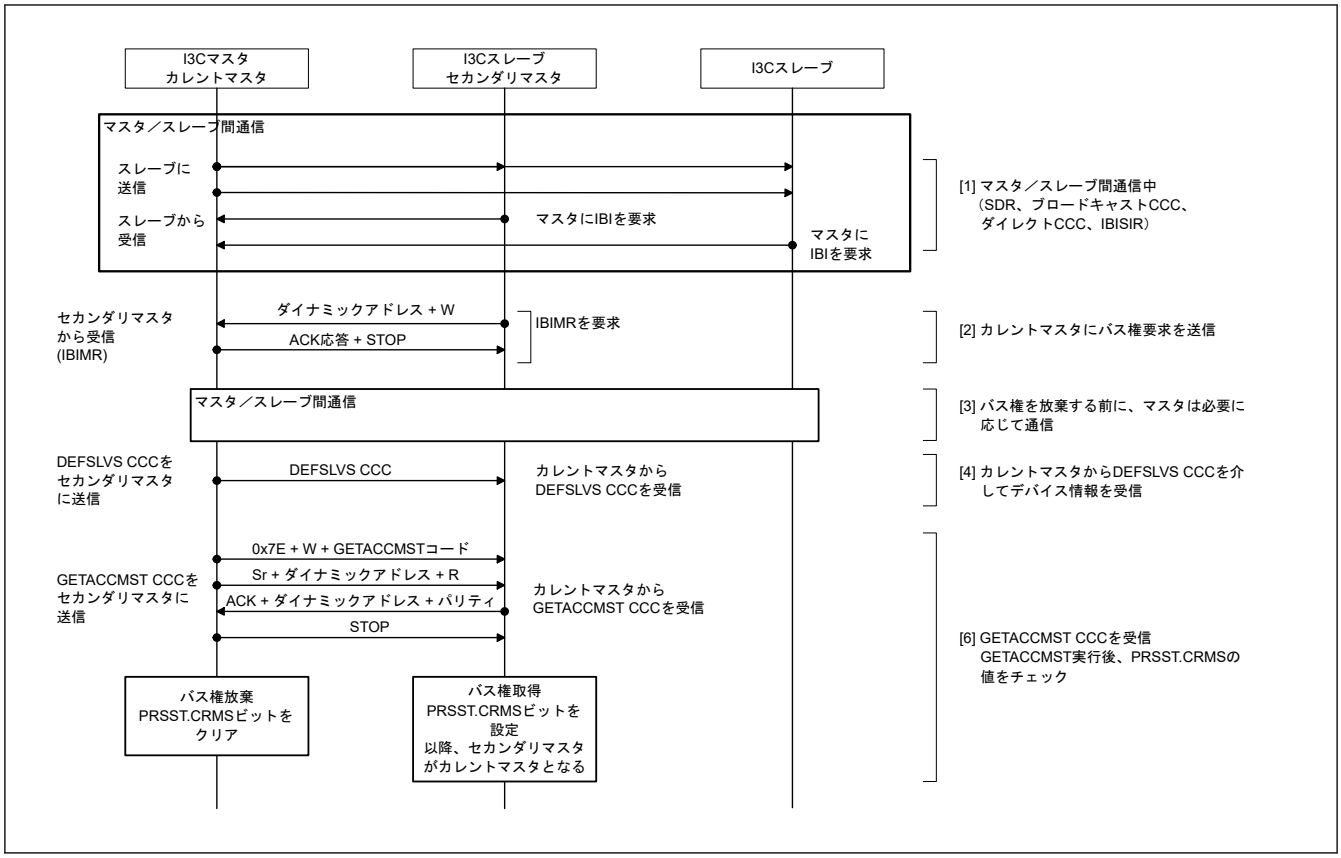


図 27.45　I3C スレーブバス権処理フロー

27.3.2.2　データハンドラ

表 27.10 に転送方法とキューの関係を示します。

表 27.10　転送方法とキュー

プロトコル	転送方法	キュー／バッファ	サイズ	マスタ	スレーブ	セカンダリマスタ
I^2C モード	シングルバッファ転送	通常送信データ	1 バイト	✓	✓	—
		通常受信データ	1 バイト	✓	✓	—
I3C モード	通常 FIFO バッファ転送	通常コマンド	4 キュー	✓	✓	✓
		通常応答ステータス	4 キュー	✓	✓	✓
		通常送信データ	16 DWORD	✓	✓	✓
		通常受信データ	16 DWORD	✓	✓	✓
		通常受信ステータス	2 キュー	—	✓	✓
		通常 IBI ステータス	2 キュー	✓	—	✓
		通常 IBI データ	8 DWORD	✓	✓	✓
	優先 FIFO バッファ転送（マスタモードのみ）	優先コマンド	2 キュー	✓	—	✓
		優先応答ステータス	2 キュー	✓	—	✓
		優先送信データ	2 DWORD	✓	—	✓
		優先受信データ	2 DWORD	✓	—	✓

27.3.2.2.1 I²C モードの転送方法

(1) シングルバッファ転送

各プロセス（コンディション発行、データ転送、ACK／NACK 応答）はソフトウェアでコントロールします。

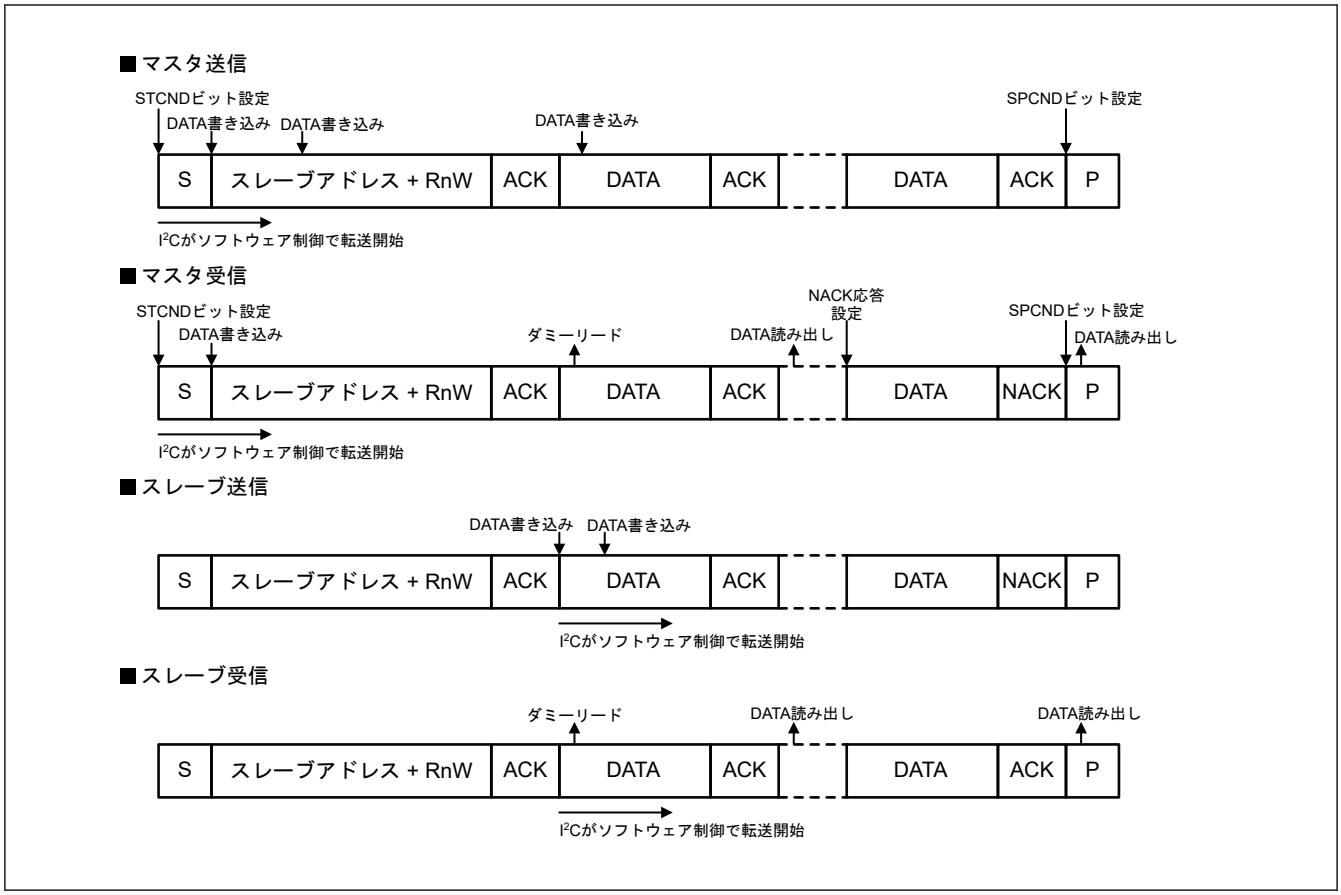


図 27.46 シングルバッファ転送のデータハンドラ

27.3.2.2.2 I3C モードの転送方法

(1) 通常 FIFO バッファ転送

データとコマンドが書き込まれると、I3C は自律的に転送を開始します。

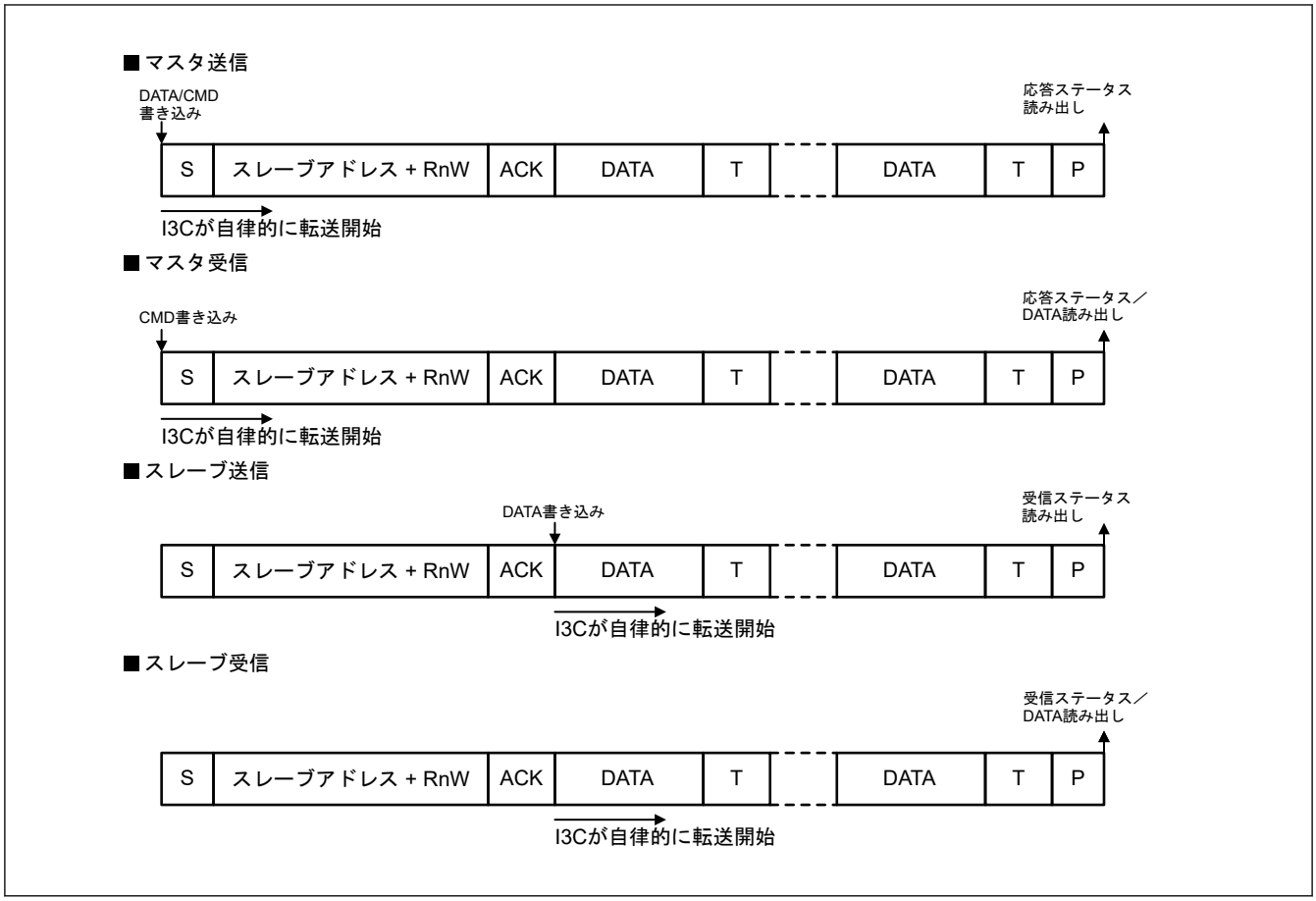


図 27.47　通常 FIFO バッファ転送のデータハンドラ

(2)　優先 FIFO バッファ転送

I3C は優先 FIFO バッファ転送のコマンドを通常 FIFO バッファ転送のコマンドよりも高い優先度で扱います。

通常 FIFO バッファ転送の最中に、優先 FIFO バッファにデータとコマンドが書き込まれると、I3C はストップコンディションを待ち、それから優先 FIFO バッファのコマンドを処理します。

優先 FIFO バッファのコマンド処理完了の後、通常 FIFO バッファにコマンドが残っていたら、I3C は通常 FIFO バッファのコマンド処理を再開します。

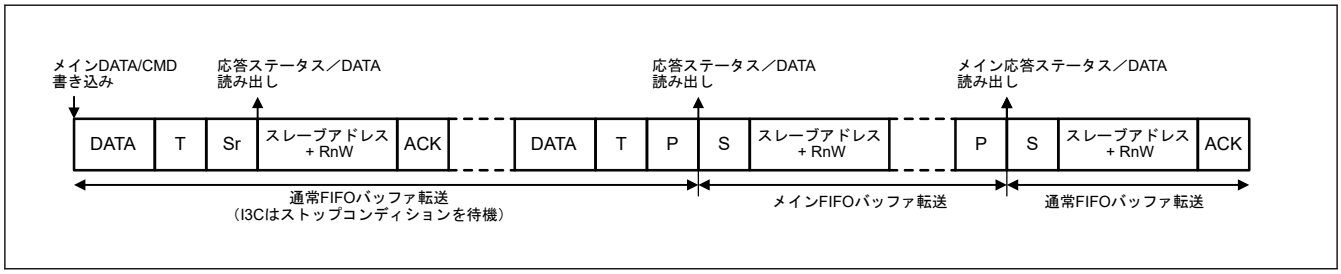


図 27.48　優先 FIFO バッファ転送のデータハンドラ

27.3.2.3　I²C/I3C プロトコル

27.3.2.3.1　通信プロトコル

(1)　I²C 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションまたは繰り返しのスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデ

バイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 27.49 に I²C バスフォーマットを、図 27.50 に I²C バスタイミングを示します。

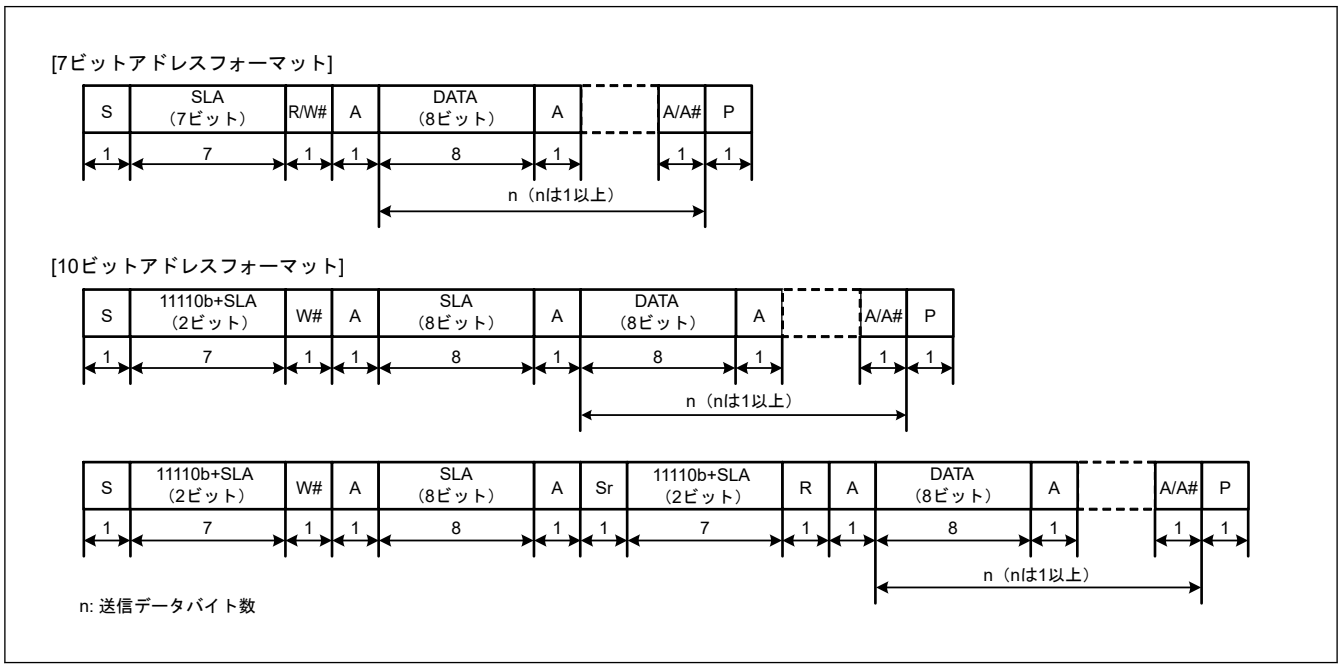


図 27.49　I²C バスフォーマット

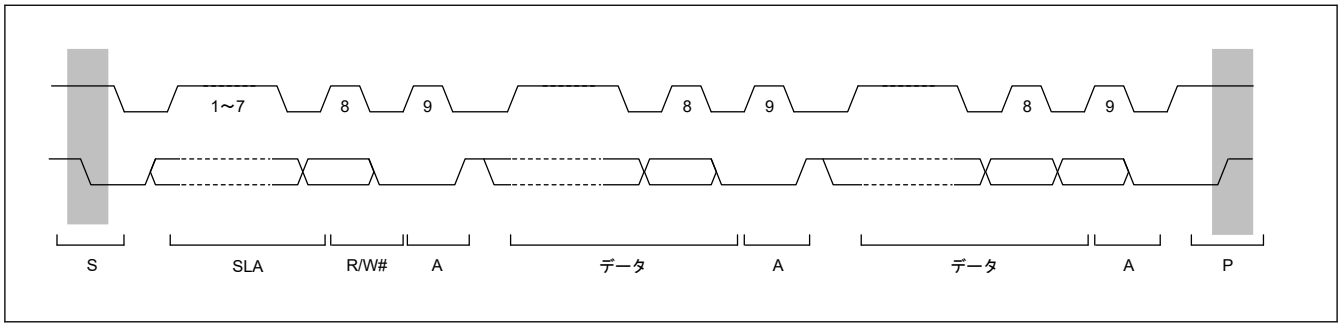


図 27.50　I²C バスタイミング（SLA = 7 ビットの場合）

S: スタートコンディションを表します。I3C_SCL ラインが High の状態で、マスタデバイスが I3C_SDA ラインを High から Low に変化させます。

SLA: スレーブアドレスを表します。これによって、マスタデバイスがスレーブデバイスを選択します。

R/W#: データ転送の方向を表します。1 のとき、スレーブデバイスからマスタデバイスの方向、0 のとき、マスタデバイスからスレーブデバイスの方向になります。

A: アクノリッジを表します。受信デバイスが I3C_SDA ラインを Low にします。（マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。）

A#: ノットアクノリッジを表します。受信デバイスが I3C_SDA ラインを High にします。

Sr: 繰り返しのスタートコンディションを表します。I3C_SCL ラインが High の状態でセットアップ時間経過後に、マスタデバイスが I3C_SDAI3C_SDA ラインを High から Low に変化させます。

DATA: 送信データまたは受信データを表します。

P: ストップコンディションを表します。I3C_SCL ラインが High の状態で、マスタデバイスが I3C_SDA ラインを Low から High に変化させます。

(2) I3C 通信データフォーマット

図 27.51 から、の各図は 6 種類の I3C プロトコルそれぞれの標準的な通信を説明するものです。これらの図だけでは I3C で実行できる全ての通信を説明できませんが、各 I3C プロトコルで使う信号と送信フォーマットに関する便利な入門編としてご利用いただけます。

図 27.51 に、ブロードキャスト (0x7E) を含む I3C シングルデータレート (SDR) コーディングを使用した通信の例を示します。これは、SDR モードでアドレス 0x2B のスレーブから 1 バイトのデータをマスタが読み出す事例です。バスフリー条件から SCL ラインを High に保った状態で SDA ラインを Low にして、マスタはスタートコンディションを発行します。そして、ブロードキャストアドレス (0x7E) 、続けて RnW（0：書き込み方向）を発行します。それから、マスタはプルアップ抵抗を On にして、オープンドレインになります。

これにより全てのスレーブが SDA ラインを Low にすることによりアクノリッジを発行できるようになります。（この図で、ピンク色の網掛けは、このとき SDA ラインがスレーブ側のコントロール下にあることを意味しています。）それから、マスタは繰り返しのスタートコンディションを発行し、そして読み出しをしたいスレーブのアドレス (0x2B)、続けて RnW（1：読み出し方向）を発行します。マスタはそれからプルアップ抵抗を On にし、オープンドレインになります。それにより、スレーブは SDA ラインを Low にしてアクノリッジを発行できます。この時点で、マスタは SCL ラインをトグルし続け、SDA ラインを開放します。これにより、スレーブが SDA ラインを駆動して 1 バイト分のデータ (0x4A)、続けて T を送ります。マスタに対して T = 1 は続きのデータがあることを、T = 0 はデータが終わりであることを通知します。ここで、追加のデータがある場合、スレーブは SCL が High になって SDA が解放されるまで SDA を High にします。マスタには、弱いプルアップで SDA を High に保つオプションがあり、これによりマスタはさらに送信されるデータのバイトを受信できることをスレーブに対して知らせます。もう一つのオプションは、（SCL が High、繰り返しのスタートコンディションの状態で）SDA を Low にプルして、スレーブに対してマスタが読み出しを終了しコントロールを取り返したことを知らせます。

SCL パルスの High 時間は常に 50 ns より短く、I2C 50 ns スパイクフィルタにより SCL は常に Low に見えるため、SDR モードはレガシー I2C デバイスに対して下位互換性があります。

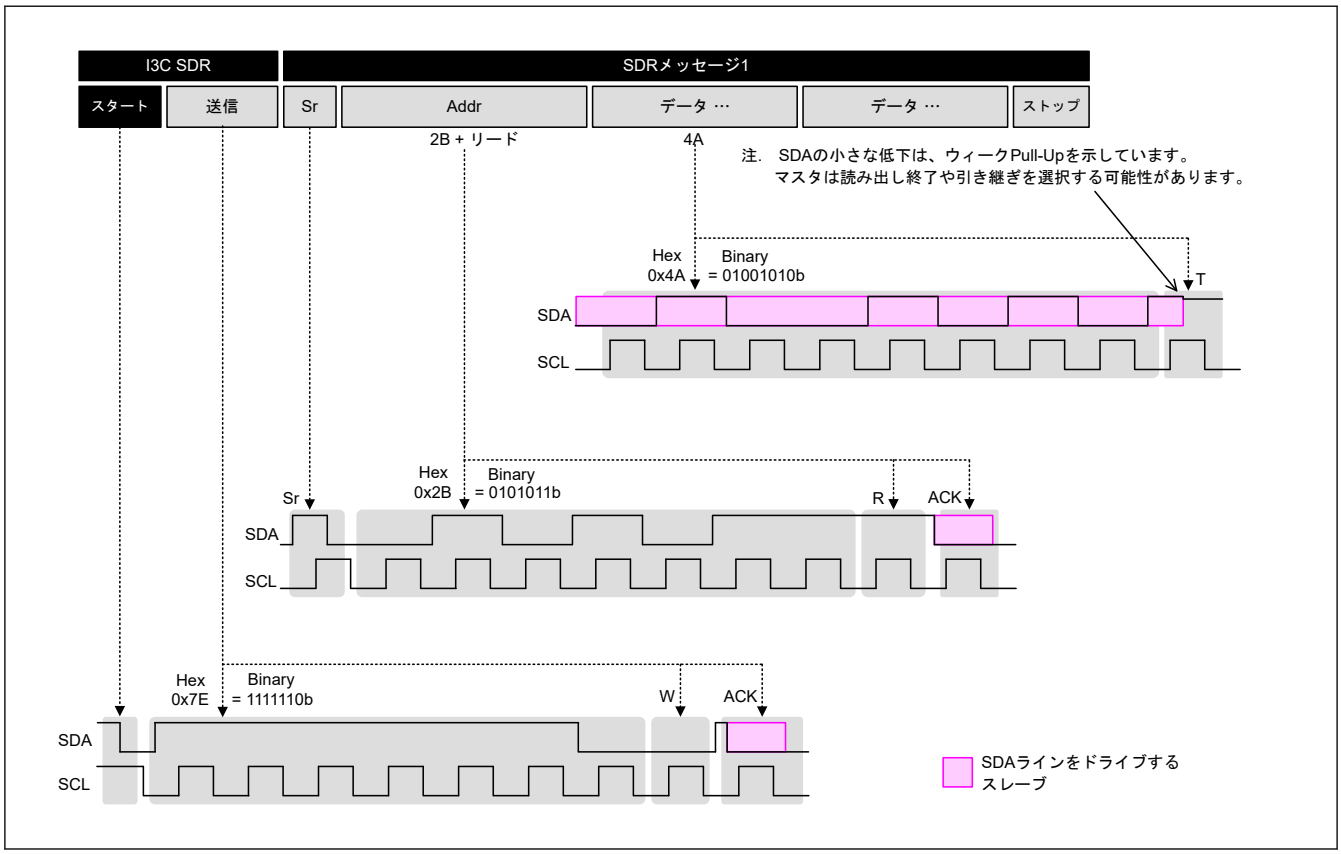


図 27.51 ブロードキャスト (0x7E) を含む I3C SDR コーディングを使用した通信の例

図 27.52 に、ブロードキャスト (0x7E) を含まない I3C シングルデータレート (SDR) コーディングを使用した通信の例を示します。これは、SDR モードでアドレス 0x2B のスレーブから 1 バイトのデータをマスタが読み出す事例です。バスフリー条件から、マスタはスタートコンディションを発行し、そして読み出しをしたいスレーブのアドレス (0x2B)、続けて RnW（1：読み出し方向）を発行します。

マスタはそれからプルアップ抵抗を On にし、オープンドレインになります。それにより、スレーブは SDA ラインを Low にしてアクノリッジを発行できます。この時点で、マスタは SCL ラインをトグルし続け、SDA ラインを開放します。これにより、スレーブが SDA ラインを駆動して 1 バイト分のデータ (0x4A)、続けて T を送ります。マスタに対して T = 1 は続きのデータがあることを、T = 0 はデータが終わりであることを通知します。ここで、追加のデータがある場合、スレーブは SCL が High になって SDA が解放されるまで SDA を High にします。マスタには、弱いプルアップで SDA を High に保つオプションがあり、これによりマスタはさらに送信されるデータのバイトを受信できることをスレーブに対して知らせます。もう一つのオプションは、(SCL が High、繰り返しのスタートコンディションの状態で) SDA を Low にプルして、スレーブに対してマスタが読み出しを終了しコントロールを取り返したことを知らせます。

SCL パルスの High 時間は常に 50 ns より短く、I2C 50 ns スパイクフィルタにより SCL は常に Low に見えるため、SDR モードはレガシー I2C デバイスに対して下位互換性があります。

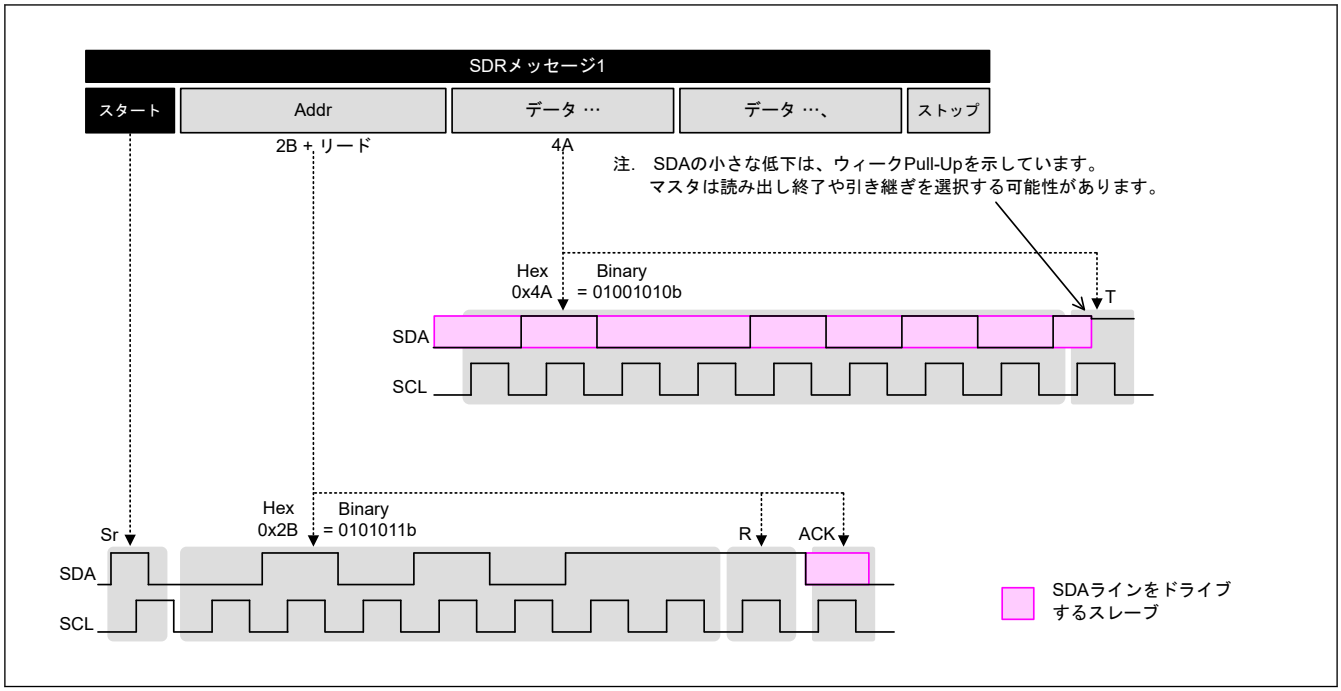


図 27.52 ブロードキャスト (0x7E) を含まない I3C SDR コーディングを使用した通信の例

図 27.53 に、マスタが CCC ダイレクトコマンドを一つのスレーブに対して発行する例を示します。この特別なコマンド (GETPID) は、スレーブの暫定 ID を読み出します。

バスフリー条件から SCL ラインを High に保った状態で SDA ラインを Low にして、マスタはスタートコンディションを発行します。そして、ブロードキャストアドレス (0x7E) 、続けて RnW（0：書き込み方向）を発行します。それから、マスタはプルアップ抵抗を On にして、オープンドレインになります。これにより全てのスレーブが SDA ラインを Low にすることによりアクノリッジを発行できるようになります。(この図で、ピンク色の網掛けは、このとき SDA ラインがスレーブ側のコントロール下にあることを意味しています。) それから、マスタはダイレクト共通コマンドコード GETPID (0x8C) とパリティビット T（0x8C の奇数パリティ = 0）を発行し、次いでスレーブの 7 ビットダイナミックアドレス（任意に選択、ここでは 0x2B）と RnW ビット（1：読み出し方向）を発行します。マスタはそれからプルアップ抵抗を On にし、オープンドレインになります。それにより、アドレス 0x2B のスレーブは SDA ラインを Low にして ACK を発行し、スレーブがコマンドをアクノリッジし、これに従うことをマスタに対して通知します。(その代わりに、スレーブは SDA を Low にしないことで NACK を発行でき、これによりスレーブがコマンドに従わないことをマスタに通知します。この場合ではエラーが発生します。) ACK に続いて、スレーブはその 48 ビット PID を 1 度に 1 バイト出力し、それからマスタは繰り返しのスタートコンディションを発行します。(この部分の波形シーケンスは図に示されていません。)

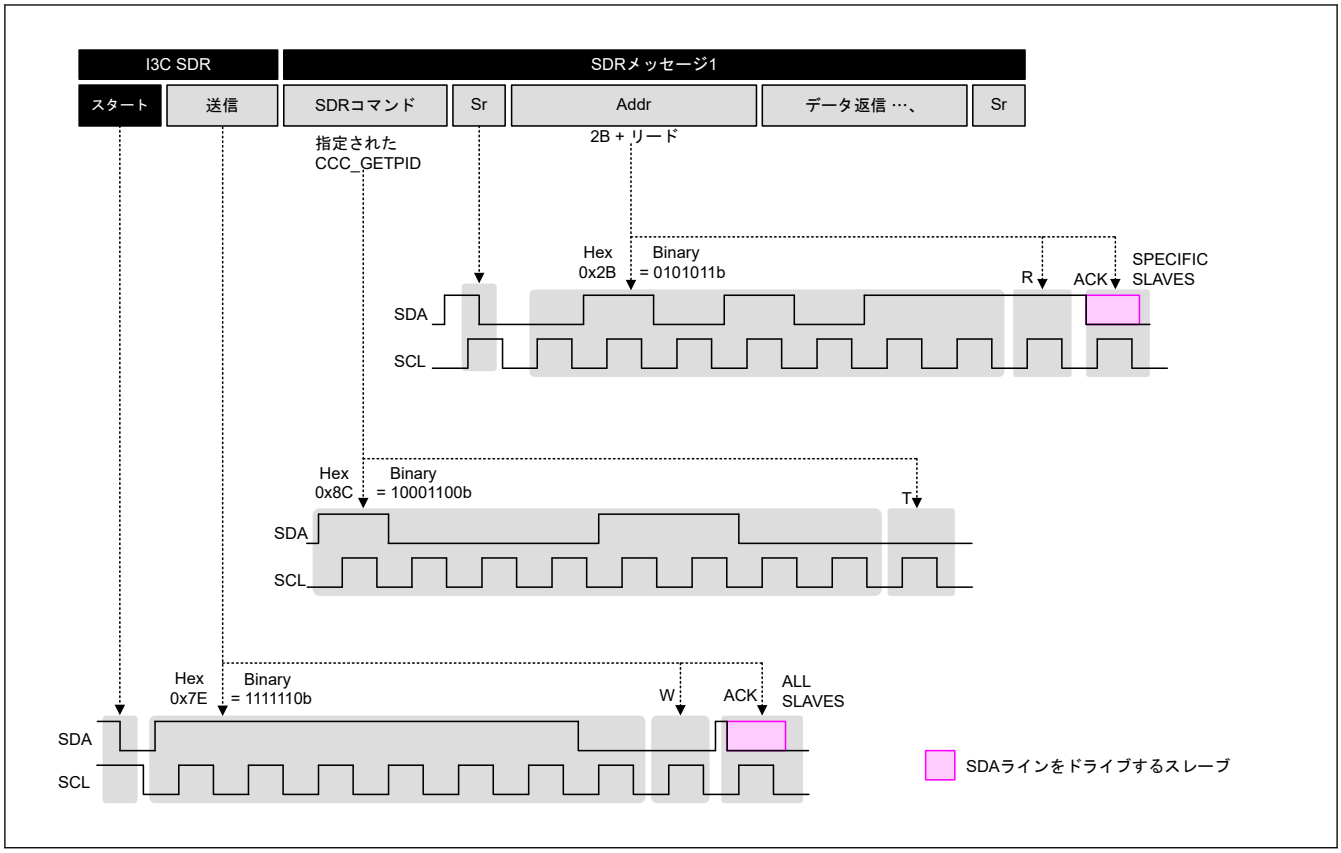


図 27.53　CCC ダイレクトアドレッシングを含む I3C SDR コーディングを使用した通信の例

図 27.54 に、CCC ブロードキャストコマンドを含む SDR 通信の例を示します。この例で使用するコマンドは、スレーブの最大読み出し長を 43 バイト (0x002B) に設定します。

バスフリー条件から SCL ラインを High に保った状態で SDA ラインを Low にして、マスタはスタートコンディションを発行します。そして、ブロードキャストアドレス (0x7E) 、続けて RnW（0：書き込み方向）を発行します。それから、マスタはプルアップ抵抗を On にして、オープンドレインになります。これにより全てのスレーブが SDA ラインを Low にすることによりアクノリッジを発行できるようになります。(この図で、ピンク色の網掛けは、このとき SDA ラインがスレーブ側のコントロール下にあることを意味しています。) それから、マスタはブロードキャスト共通コマンドコード SETMRL (0x09) とパリティビット T（0x09 の奇数パリティ = 1）を、次いでスレーブから 1 回の読み出しで読み出し可能な最大バイト数を定義するスレーブの 2 つのデータバイト（MSB ファースト）を発行します。各データバイトには、T ビット（パリティビット、奇数パリティ）が続きます。この後、マスタは繰り返しのスタートコンディションを発行します。

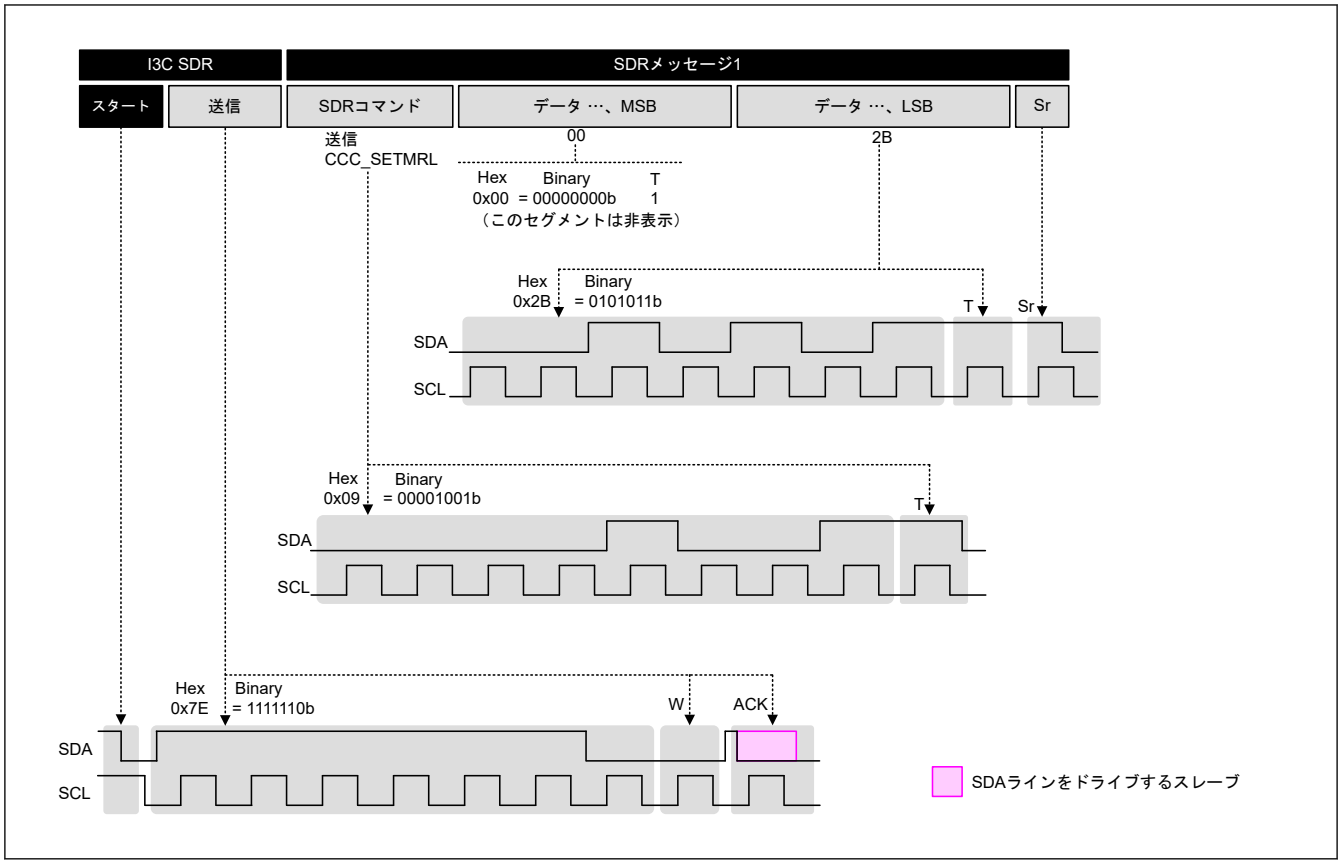


図 27.54　CCC ブロードキャストを含む I3C SDR コーディングを使用した通信の例

27.3.2.3.2　バス状態

I3C は、I3C バスが非アクティブであると考えられる 3 つの識別状態を定義します。バスフリー状態、バス利用可能状態、バスアイドル状態（図 27.55 参照）です。

(1)　バスフリー状態

少なくとも BFRECDT.FRECYC[8:0]ビットに設定されている時間より長い時間 SCL ラインと SDA ライン両方が High である、I3C バスの状態です。

(2)　バス利用可能状態［I3C モード］

少なくとも BAVLCDT.AVLCYC[8:0]ビットに設定されている時間より長い時間 SCL ラインと SDA ライン両方が High である、I3C バスの状態です。

スレーブは、バス利用可能状態の後、（例えば、In-band 割り込みまたはマスタ移管要求のため）スタート要求のみを発行できます。

(3)　バスアイドル状態［I3C モード］

少なくとも BIDLCDT.IDLCYC[17:0]ビットに設定されている時間より長い時間 SCL ラインと SDA ライン両方が High である、I3C バスの状態です。

スレーブは、バスアイドル状態の後、スタート要求のみを発行できます。

仕様は以下のとおりです。IDLE が最大である必要があります。

BFRECDT.FRECYC[8:0] < BAVLCDT.AVLCYC[8:0] < BIDLCDT.IDLCYC[17:0]

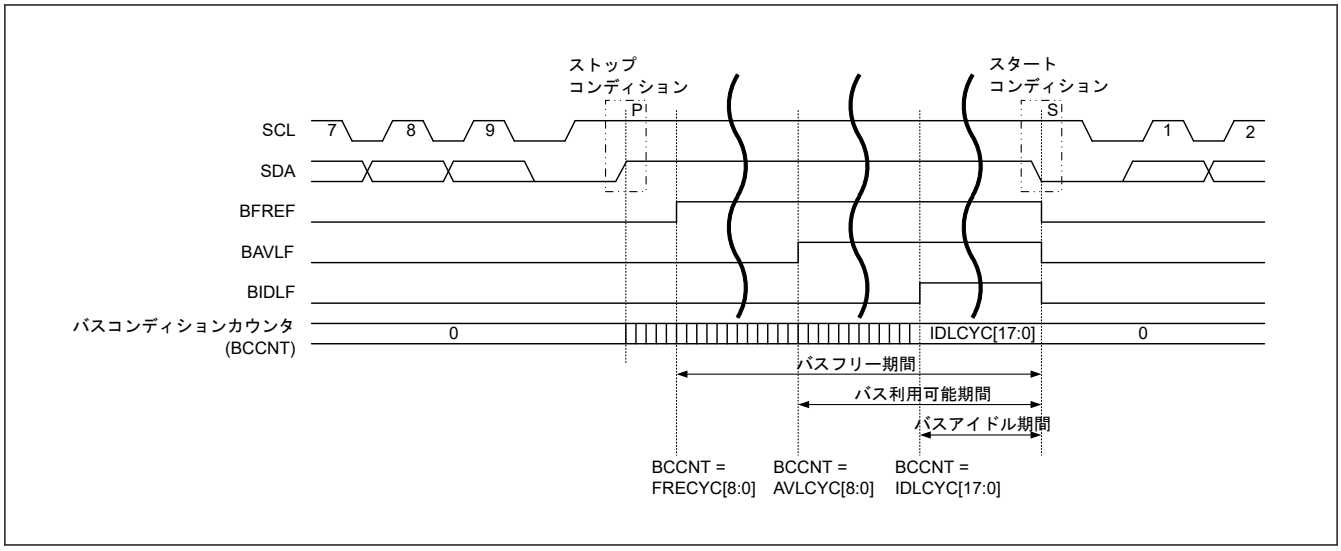


図 27.55　バス状態

27.3.2.3.3　スタートコンディション、繰り返しのスタートコンディション、ストップコンディション発行機能

(1)　スタートコンディション発行動作

I3C は、CNDCTL.STCND ビットが 1 のときにスタートコンディションを発行します。

STCND ビットは、BCST.BFREF フラグが 1（バスフリー状態）のとき、1（スタートコンディション発行要求）にしてください。

I3C は、スタートコンディションを発行します。

スタートコンディションが正常に発行された場合、I3C は自動的にマスタ送信モードへ遷移します。スタートコンディションの発行は、以下のシーケンスに従って行われます。

[スタートコンディション発行動作]

- I3C_SDA ラインを立ち下げる（High から Low に遷移）。
- STDBR.SBRHO[7:0]で設定した時間とスタートコンディションのホールド時間を確保する。
- I3C_SCL ラインを立ち下げる（High から Low に遷移）。
- I3C_SCL ラインの Low を検出し、STDBR.SBRLO[7:0]で設定した I3C_SCL ラインの Low 幅を確保する。

(2)　繰り返しのスタートコンディション発行動作

I3C は、CNDCTL.SRCND ビットが 1 のときに繰り返しのスタートコンディションを発行します。

SRCND ビットを 1 にすると、繰り返しのスタートコンディション発行要求が行われ、BCST.BFREF フラグが 0（バスビジー状態）で、かつ PRSST.CRMS ビットが 1（マスタモード）の場合、I3C は繰り返しのスタートコンディションを発行します。

繰り返しのスタートコンディションの発行は、以下のシーケンスに従って行われます。

[繰り返しのスタートコンディション発行動作]

- I3C_SDA ラインを解放する。
- STDBR.SBRLO[7:0]または EXTBR.EBRLO[7:0]で設定した I3C_SCL ラインの Low 幅が経過したことを確認する。
- I3C_SCL ラインを解放する（Low から High に遷移）。
- I3C_SCL ラインの High を検出し、STDBR.SBRLO[7:0]または EXTBR.EBRLO[7:0]で設定した時間と繰り返しのスタートコンディションのセットアップ時間を確保する。
- I3C_SDA ラインを立ち下げる（High から Low に遷移）。

- STDBR.SBRHO[7:0]または EXTBR.EBRHO[7:0]または EXTBR.EBRHO[7:0]で設定した時間と繰り返しのスタートコンディションのホールド時間を確保する。
- I3C_SCL ラインを立ち下げる（High から Low に遷移）。
- I3C_SCL ラインの Low を検出し、STDBR.SBRLO[7:0]または EXTBR.EBRLO[7:0]で設定した I3C_SCL ラインの Low 幅を確保する。

注. 繰り返しのスタートコンディション要求の発行時、CNDCTL.SRCND が 0 であることを確認してから、NTDTBP0 レジスタにスレーブアドレスを書いてください。CNDCTL.SRCND が 1 のときに書き込まれたデータは、以前の再送条件と判断されるため、転送されません。

Hs モードで繰り返しのスタートコンディションを発行するには、以下の手順を使用します。

1. PRSTDBG.SCOLV = 0 を待機します。
2. 繰り返しのスタートコンディションのホールド時間を満たすように、EXTBR.EBRHO[7:0]を設定します。
3. CNDCTL.SRCND ビットを 1 にします。
4. CNDCTL.SRCND = 0 であることを確認してから、PRSTDBG.SCOLV = 0 を待機します。
5. Hs モードの SCL クロックの High 期間に従って、EXTBR.EBRHO[7:0]を設定します。
6. NTDTBP0 にスレーブアドレスを書き込みます。

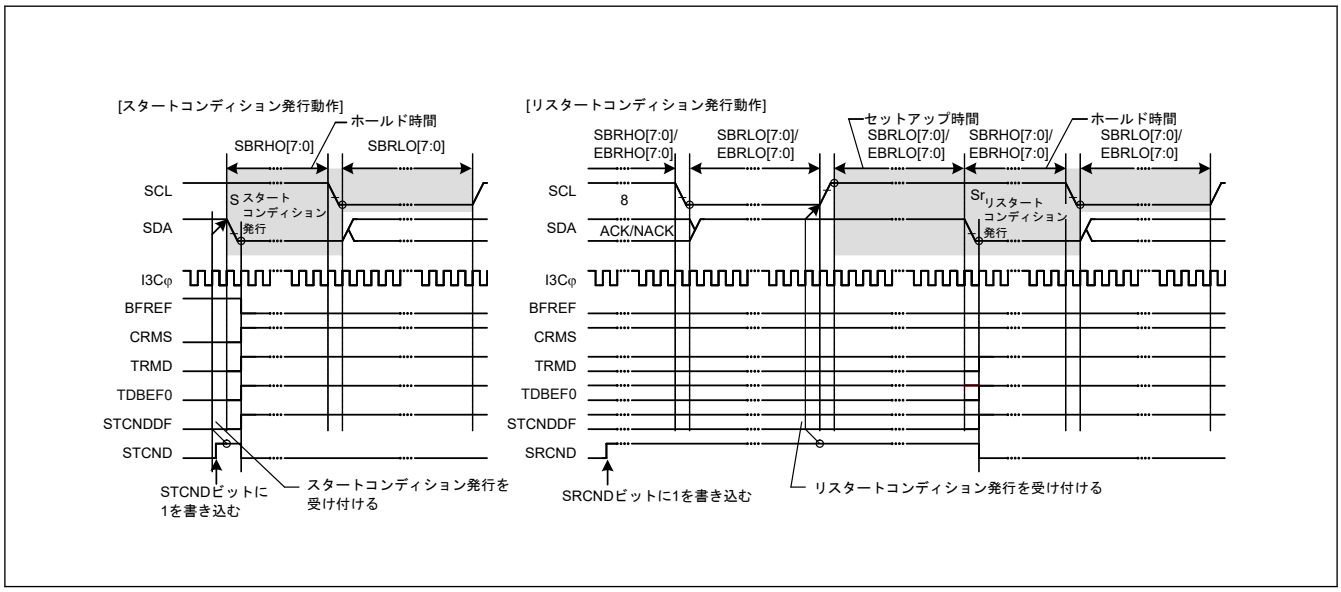


図 27.56 スタートコンディション／繰り返しのスタートコンディション発行動作タイミング（STCND、SRCND ビット）

図 27.57 に、マスタ送信後に繰り返しのスタートコンディションが発行されたときの動作タイミングを示します。

[マスタ送信後の繰り返しのスタートコンディション発行動作]

- 初期設定。詳細は、「27.3.3.1. 初期設定フロー」を参照してください。
- BCST.BFREF フラグを読んでバスが解放状態であることを確認した後、CNDCTL.STCND ビットに 1 を書きます（スタートコンディション発行要求）。I3C はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。同時に、BFREF フラグが自動的に 0 になり、BST.STCNDDF フラグが自動的に 1 になり、STCND ビットが自動的に 0 になります。このとき、STCND ビットが 1 の状態でスタートコンディションが検出され、かつ、SDA 出力状態の内部レベルと I3C_SDA ラインのレベルが一致していれば、I3C は STCND ビットによるスタートコンディション発行が正しく行われたと認識し、PRSST.CRMS、TRMD ビットが自動的に 1 になり、I3C はマスタ送信モードになります。NTST.TDBEF0 フラグは、TRMD ビットが 1 になることにより自動的に 1 になります。
- NTST.TDBEF0 フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ（スレーブアドレスと R/W#ビット）を書いてください。NTDTBP0 レジスタに送信データが書き込まれると、TDBEF0 フラグは自動的に 0 になり、NTDTBP0 レジスタからデータが転送されて、再び TDBEF0 フラグが 1 になります。スレーブアドレスと R/W#ビットを含むバイトの送信が完了すると、送信された R/W#ビットの値に応じて自動的に TRMD ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W#ビット

の値が 0 であった場合、I3C はマスタ送信モードの状態を継続します。このとき BST.NACKDF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、CNDCTL.SPCND ビットに 1 を書いて、ストップコンディションを発行してください。なお、データを 10 ビットフォーマットのアドレスで送信する場合は、1 回目のアドレス送信処理で NTDTBP0 レジスタに 1111 0b、スレーブアドレスの上位 2 ビット、および W を書きます。次に、2 回目のアドレス送信処理では、NTDTBP0 レジスタにスレーブアドレスの下位 8 ビットを書いてください。

- NTST.TDBEF0 フラグが 1 であることを確認した後、送信データを NTDTBP0 レジスタに書き込んでください。なお、送信データの準備ができるまで、繰り返しのスタートコンディションを発行するまで、またはストップコンディションを発行するまでの間、I3C は自動的に I3C_SCL ラインを Low にホールドします。
- 送信する全バイトを NTDTBP0 レジスタに書いた後、BST.TENDF フラグが 1 に戻るのを待ってから、BST.STCNDDF フラグが 1 であることを確認した後、BST.STCNDDF フラグを 0 にしてください。
- CNDCTL.SRCND ビットを 1（繰り返しのスタートコンディション発行要求）にします。I3C は繰り返しのスタートコンディション発行要求を受け付けると、繰り返しのスタートコンディションを発行します。
- BST.STCNDDF フラグが 1 であることを確認した後、NTDTBP0 レジスタに送信データ（スレーブアドレスと R/W#ビット）を書いてください。

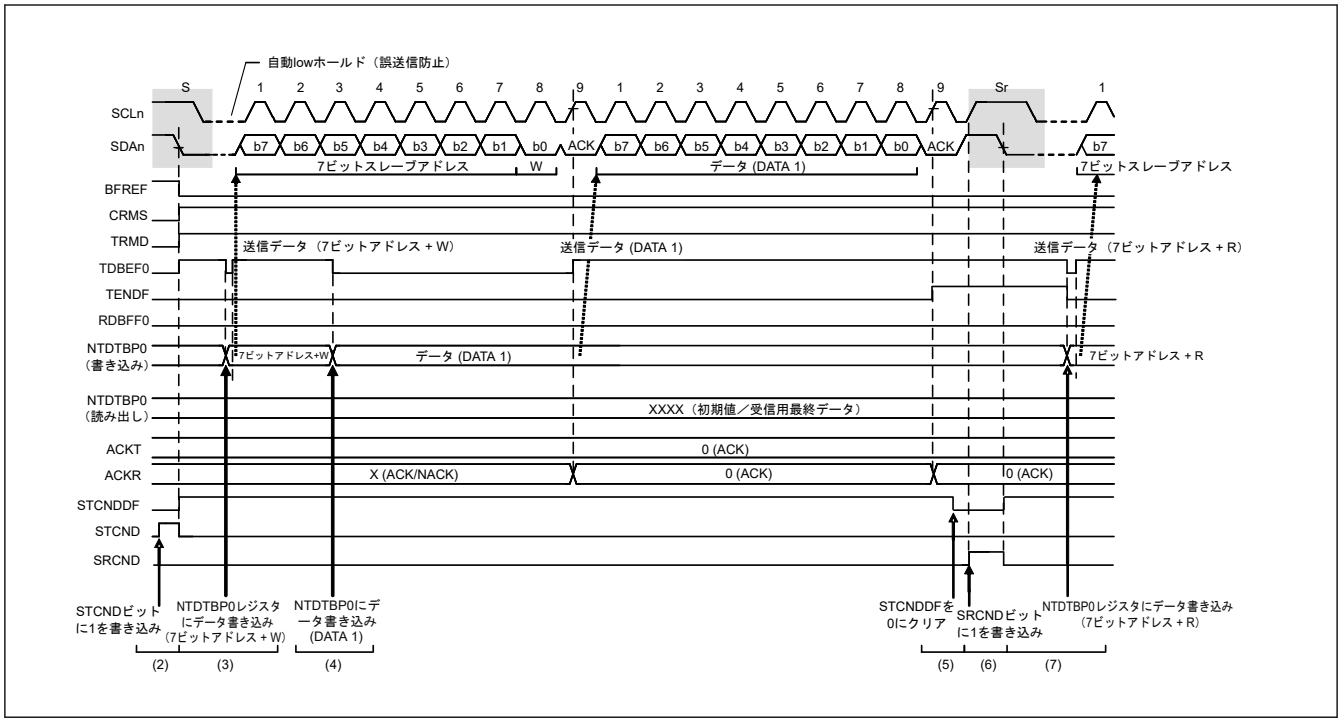


図 27.57　マスタ送信後の繰り返しのスタートコンディション発行タイミング

(3)　ストップコンディション発行動作

I3C は、CNDCTL.SPCND ビットが 1 のときにストップコンディションを発行します。

SPCND ビットを 1 にすると、ストップコンディション発行要求が行われ、BCST.BFREF フラグが 0（バスビジー状態）で、かつ PRSST.MST ビットが 1（マスタモード）の場合、I3C はストップコンディションを発行します。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

[ストップコンディション発行動作]

- I3C_SDA ラインを立ち下げる（High から Low に遷移）。
- STDBR.SBRLO[7:0]または EXTBR.EBRLO[7:0]で設定した I3C_SCL ラインの Low 幅が経過したことを確認する。
- I3C_SCL ラインを解放する（Low から High に遷移）。
- I3C_SCL ラインの High を検出し、STDBR.SBRHO[7:0]または EXTBR.EBRHO[7:0]で設定した時間とストップコンディションのセットアップ時間を確保する。

- I3C_SDA ラインを解放する（Low から High に遷移）。
- BFRECDT.FRECYC[8:0]で設定した時間とバスフリー時間を確保する。
- BFREF フラグを 1 にしてバス権を解放する。

注. Hs モードでストップコンディションコンディションを発行するには、以下の手順を使用します。

1. PRSTDBG.SCOLV = 0 を待機します。
2. ストップコンディションのセットアップ時間を満たすように EXTBR.EBRHO[7:0]を設定します。
3. CNDCTL.SPCND ビットを 1 にします。
4. CNDCTL.SPCND = 0 を待機します。
5. Hs モードの SCL クロックの High 期間に従って、EXTBR.EBRHO[7:0]を設定します。

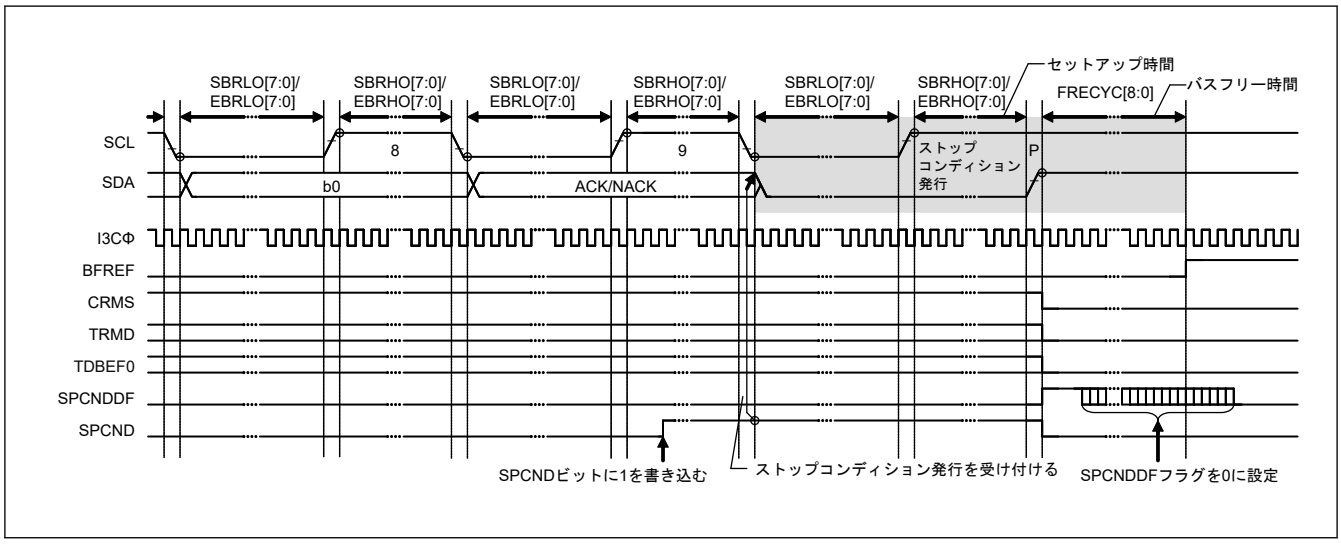


図 27.58 ストップコンディション発行タイミング（SPCND ビット）

27.3.2.3.4 アドレス一致検出機能

I3C は、ジェネラルコールアドレス、ホストアドレスの他に 3 種類の固有のスレーブアドレスの設定が可能です。またスレーブアドレスには、7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

(1) スレーブアドレス一致検出機能［I²C モード］

I3C は 3 種類の固有のスレーブアドレスの設定が可能であり、それぞれに対してスレーブアドレス検出機能を備えています。

SVCTL.SVAEy ビット (y = 0～2) が 1 のとき、SVDVAD[y]レジスタ (y = 0～2) に設定されたスレーブアドレスを検出できます。

I3C は設定されたスレーブアドレス一致を検出すると、SCL クロックの 9 クロック目の立ち上がりエッジで該当する SVST.SVAF[y]フラグ (y = 0～2) を 1 にし、続く R/W#ビットにより NTST.RDBFF0 フラグまたは NTST.TDBEF0 フラグを 1 にします。これによって、受信データフル割り込み (I3C_RX) または送信データエンプティ割り込み (I3C_TX) を発生させることができます。SVAF[y]フラグを確認することでどのスレーブアドレスが指定されたかを識別できます。

図 27.59～図 27.61 に SVAF[y]フラグが 1 になるタイミングを 3 つのケースで示します。

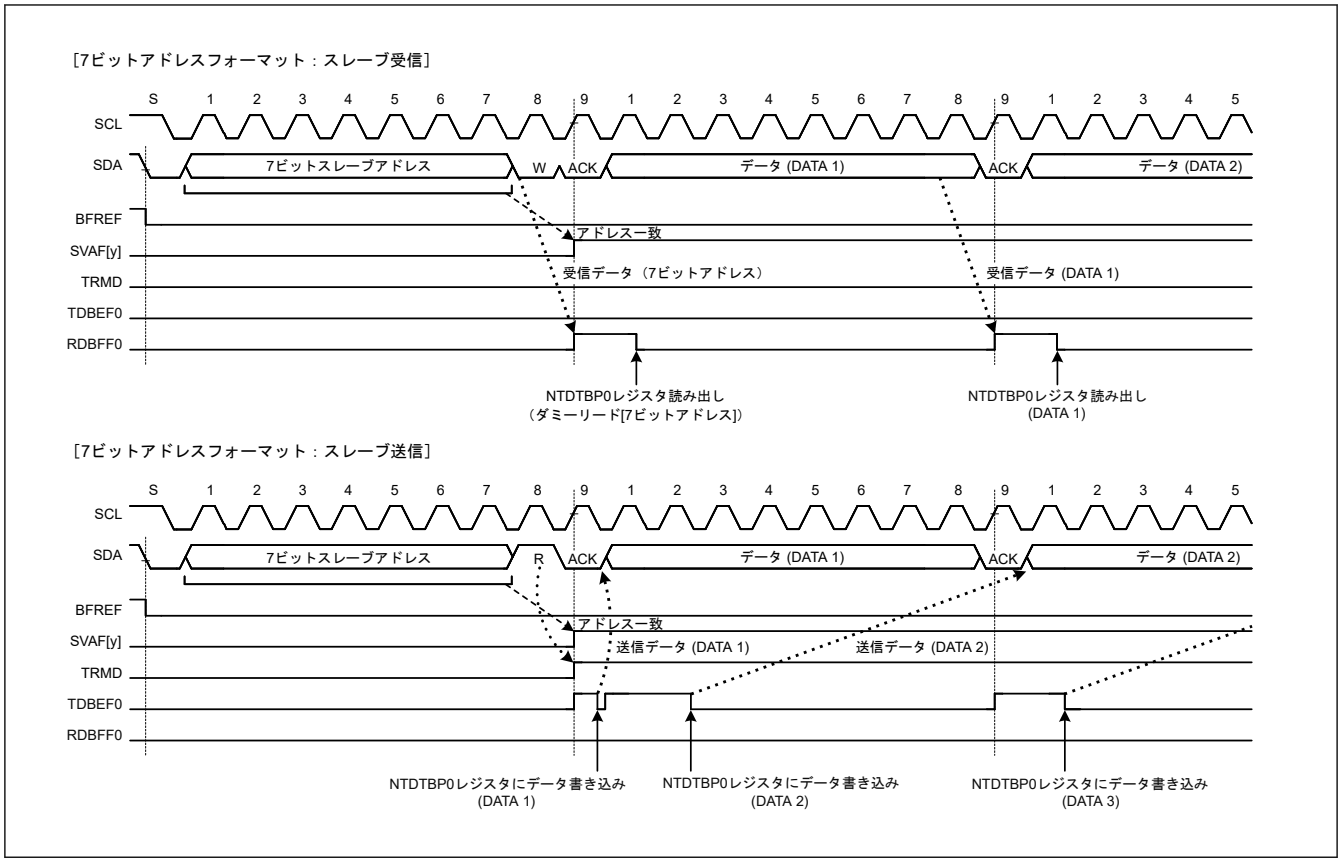


図 27.59　SVAF[y]フラグが 1 になるタイミング（7 ビットアドレスフォーマット選択時）

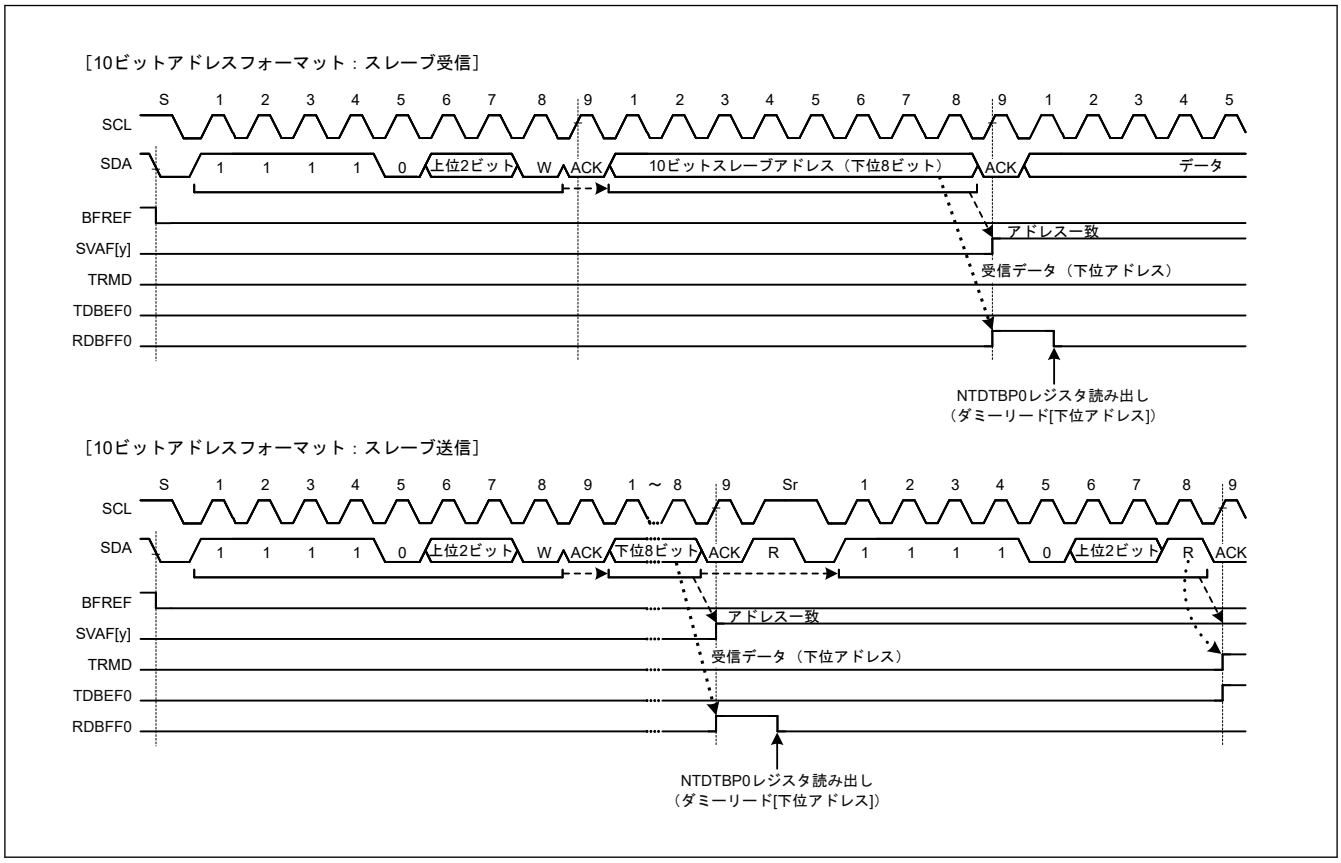


図 27.60　SVAF[y]フラグが 1 になるタイミング（10 ビットアドレスフォーマット選択時）

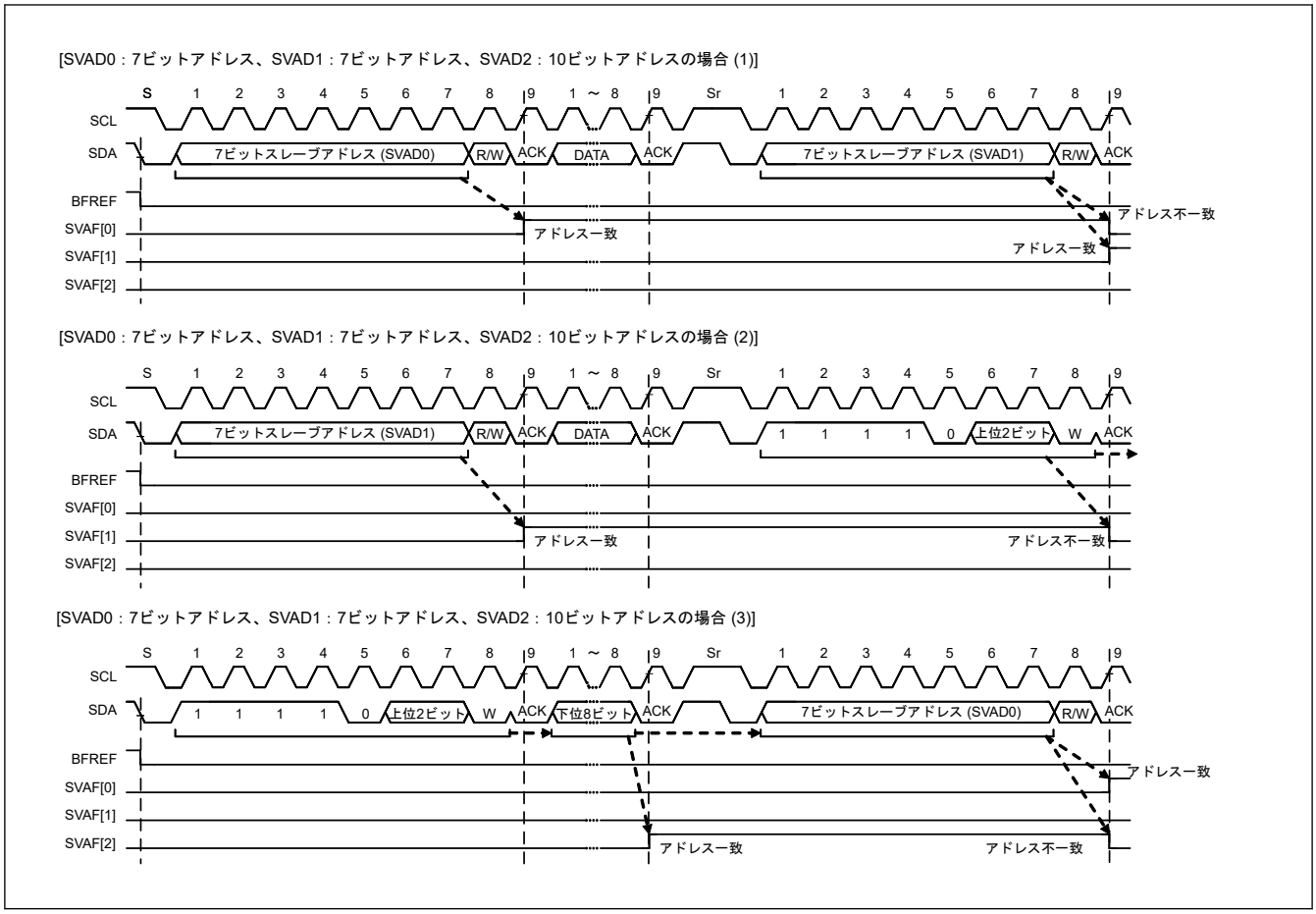


図 27.61　SVAF[y]フラグが 1 または 0 になるタイミング（7 ビット／10 ビットアドレスフォーマット混在時）

(2)　ジェネラルコールアドレス検出機能［I2C モード］

I3C は、ジェネラルコールアドレス (0000 000b ＋ 0[W]) の検出機能を備えています。この機能は、SVCTL.GCAE ビットを 1 にすることで有効になります。

スタートコンディションまたは繰り返しのスタートコンディション発行後に受信したアドレスが 0000 000b ＋ 1[R]（開始バイト）の場合は、I3C はスレーブアドレスの内容はすべて 0 であるとみなし、ジェネラルコールアドレスは認識しません。

I3C がジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで SVST.GCAF フラグと NTST.RDBFF0 フラグが 1 になります。これによって、受信データフル割り込み (I3Cn_RX) が発生します。GCAF フラグを確認することで、ジェネラルコールアドレスが送信されたことを認識できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。

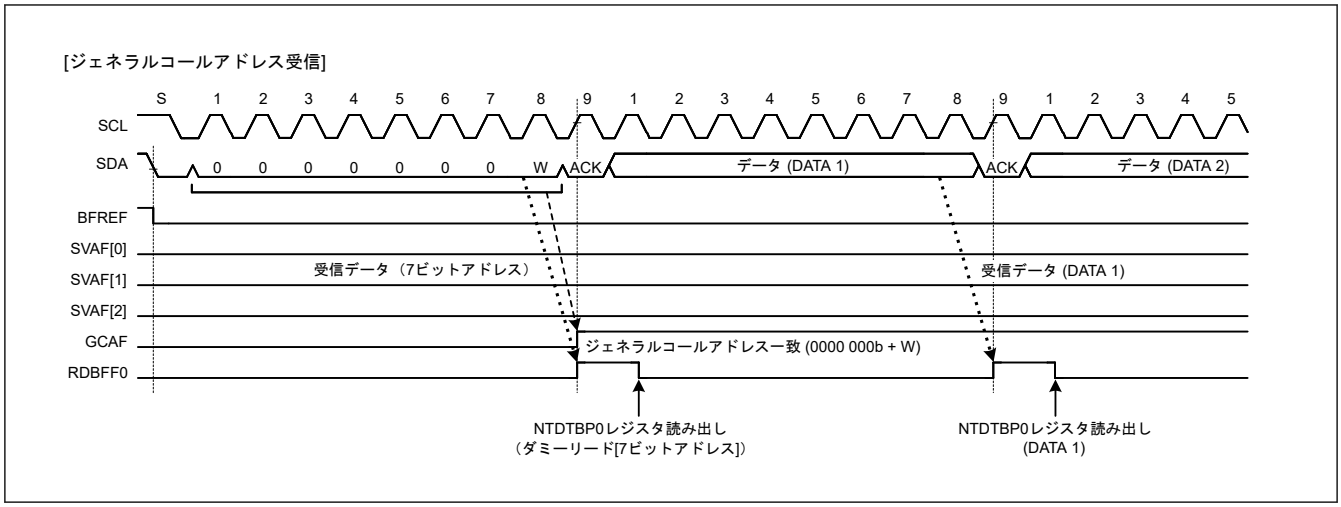


図 27.62　ジェネラルコールアドレス受信時に GCAF フラグが 1 になるタイミング

(3)　デバイス ID アドレス検出機能［I²C モード］

I3C は I²C バスの仕様 (Rev.03) に準拠したデバイス ID アドレスの検出機能を備えています。I3C が SVCTL.DVIDE ビットを 1 にした状態で、スタートコンディションまたは繰り返しのスタートコンディション後の 1 バイト目に 1111 100 を受信すると、I3C はこのアドレスをデバイス ID アドレスと認識し、続く R/W#ビットが 0 のとき SCL クロックの 9 クロック目の立ち上がりエッジで SVST.DVIDF フラグを 1 にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、I3C は該当する SVST.SVAF[y]フラグ (y = 0～2) を 1 にします。

その後スタートコンディションまたは繰り返しのスタートコンディション後の 1 バイト目が再びデバイス ID アドレス (1111 100b) と一致し、続く R/W#ビットが 1 のとき I3C は続く 2 バイト目以降はアドレス比較動作を行わず、NTST.TDBEF0 フラグを 1 にします。

デバイス ID アドレス検出機能では、I3C のスレーブアドレスと一致しなかった場合、あるいは I3C のスレーブアドレスと一致し、繰り返しのスタートコンディションの検出時にデバイス ID アドレスと一致しなかった場合、I3C は DVIDF フラグを 0 にします。スタートコンディションまたは繰り返しのスタートコンディション検出後の 1 バイト目がデバイス ID アドレス (1111 100b) と一致し、かつ R/W#ビットが 0 の場合は、I3C は DVIDF フラグを 1 にして、続く 2 バイト目以降を I3C のスレーブアドレスと比較します。R/W#ビットが 1 の場合、DVIDF フラグは前値の状態を継続し、I3C は 2 バイト目以降の比較を行いません。このようにして、TDBEF0 = 1 の確認後、DVIDF フラグを読むことで、デバイス ID アドレスを受信したことを確認することができます。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして、必要な情報（3 バイトデータ：メーカ情報［12 ビット］＋部品識別［9 ビット］＋リビジョン［3 ビット］）を、通常の送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP 社にお問い合わせください。

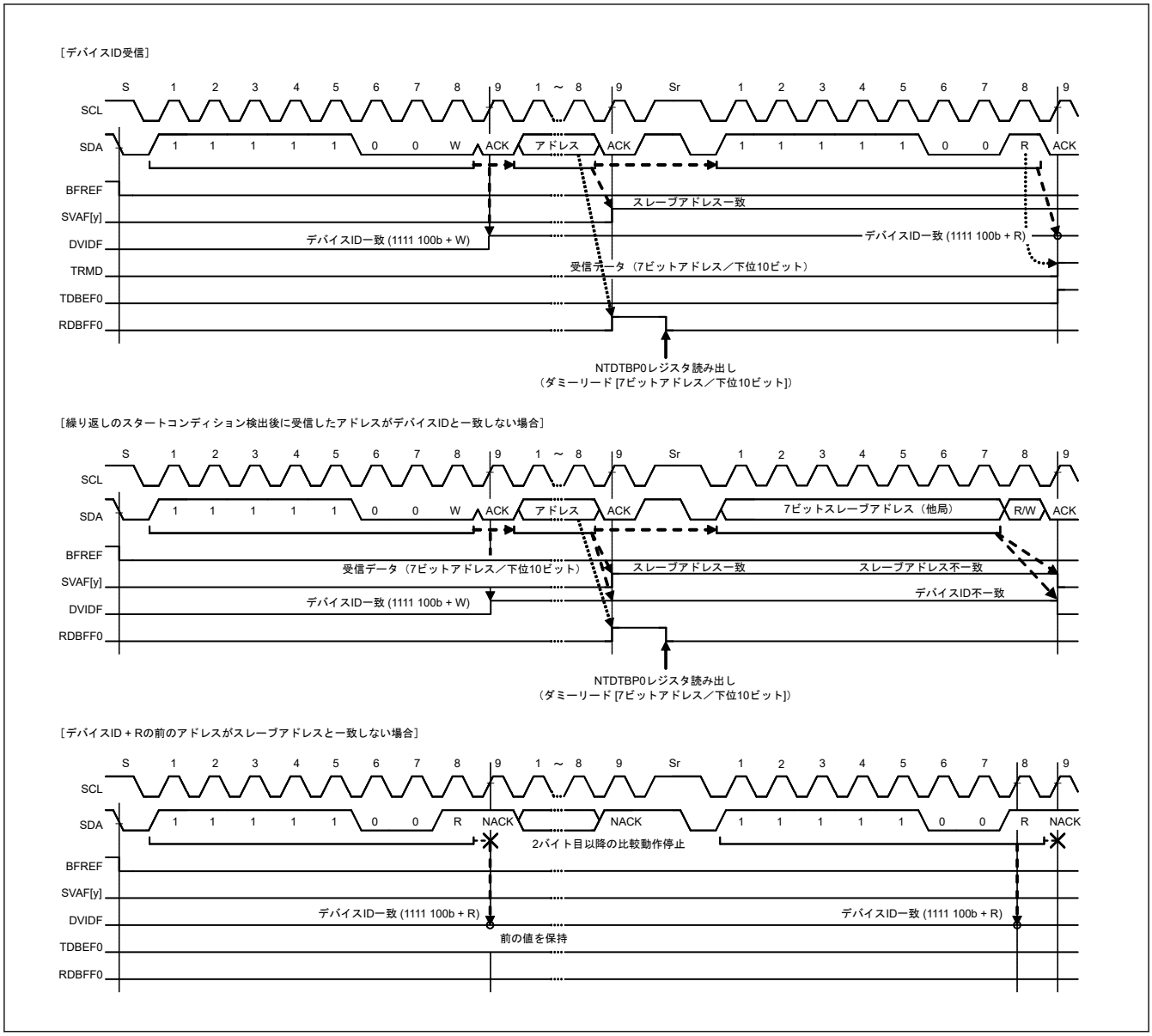


図 27.63　デバイス ID 受信時の SVAF[y]、DVIDF フラグのセット／クリアタイミング

(4)　ホストアドレス検出機能［I2C モード］

I3C には SMBus 動作時にホストアドレスを検出する機能を備えています。BFCTL.SMBS ビットが 1 のとき SVCTL.HOAE ビットを 1 にすると、I3C はスレーブ受信モード（PRSST.CRMS、TRMD = 00b）時に、ホストアドレス (0001 000b) の検出が可能です。

I3C がホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで SVST.HOAF フラグが 1 になり、R/W# ビットが 0（Wr ビット）のとき、NTST.RDBFF0 フラグが 1 になります。これによって、受信データフル割り込み (I3C_RX) が発生します。HOAF フラグを用いて、スマートバッテリなど他のデバイスからホストアドレスが送信されたことを識別できます。

なお I3C は、ホストアドレス (0001 000b) に続くビットが Rd ビット（R/W#ビットが 1）の場合にも、ホストアドレスの検出が可能です。ホストアドレス検出後の I3C 動作は、通常のスレーブ動作と同じです。

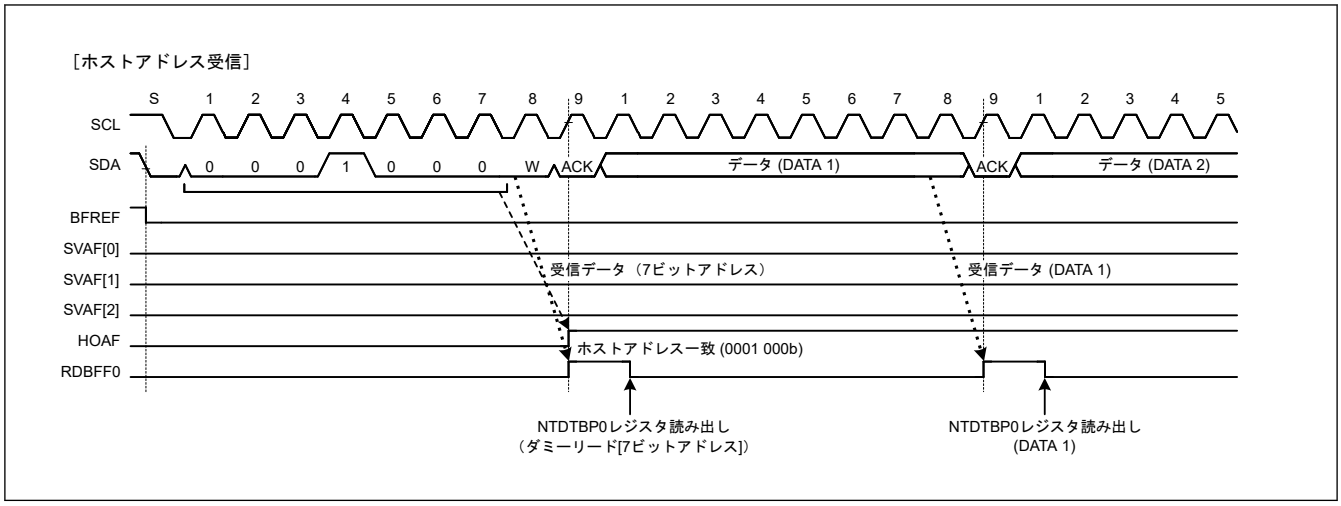


図 27.64　ホストアドレス受信時に HOAF フラグが 1 になるタイミング

(5)　Hs モードマスタコード検出機能［I²C モード］

IIC は、Hs モードマスタコード (0000 1XXXb) の検出機能を備えています。SVCTL.HSMCE ビットを 1 にした状態で、IIC がスタートコンディション発行後の 1 バイト目に Hs モードマスタコード (0000 1XXXb) を受信すると、このモジュールはこのアドレスを Hs モードマスタコードと認識し、SCL クロックの 9 クロック目の立ち上がりで SVST.HSMCF フラグを 1 にします。Hs モードマスタコードへの NACK 応答後の繰り返しのスタート後の 1 バイト目はスレーブアドレスとして認識し、SVDVADy.SVAD[9:0] (y = 0～2) で設定されるスレーブアドレスと比較します。IIC は設定されたスレーブアドレス一致を検出すると、SCL クロックの 9 クロック目の立ち上がりエッジで該当する SVST.SVAF[y]フラグ (y = 0～2) を 1 にし、続く R/W#ビットにより NTST.RDBFF0 フラグまたは NTST.TDBEF0 フラグを 1 にします。これによって、受信データフル割り込み (I3C_RX) または送信データエンプティ割り込み (I3C_TX) を発生させることができます。SVAF[y]フラグを確認することでどのスレーブアドレスが指定されたかを識別できます。SVST.HSMCF フラグは、ストップコンディションを検出すると 0 になります。

注.　SVCTL.HSMCE ビットが 0 のときに Hs モードマスタコード (0000 1XXXb) を受信する場合、ストップコンディションを検出するまで他のパターンは無視されます。

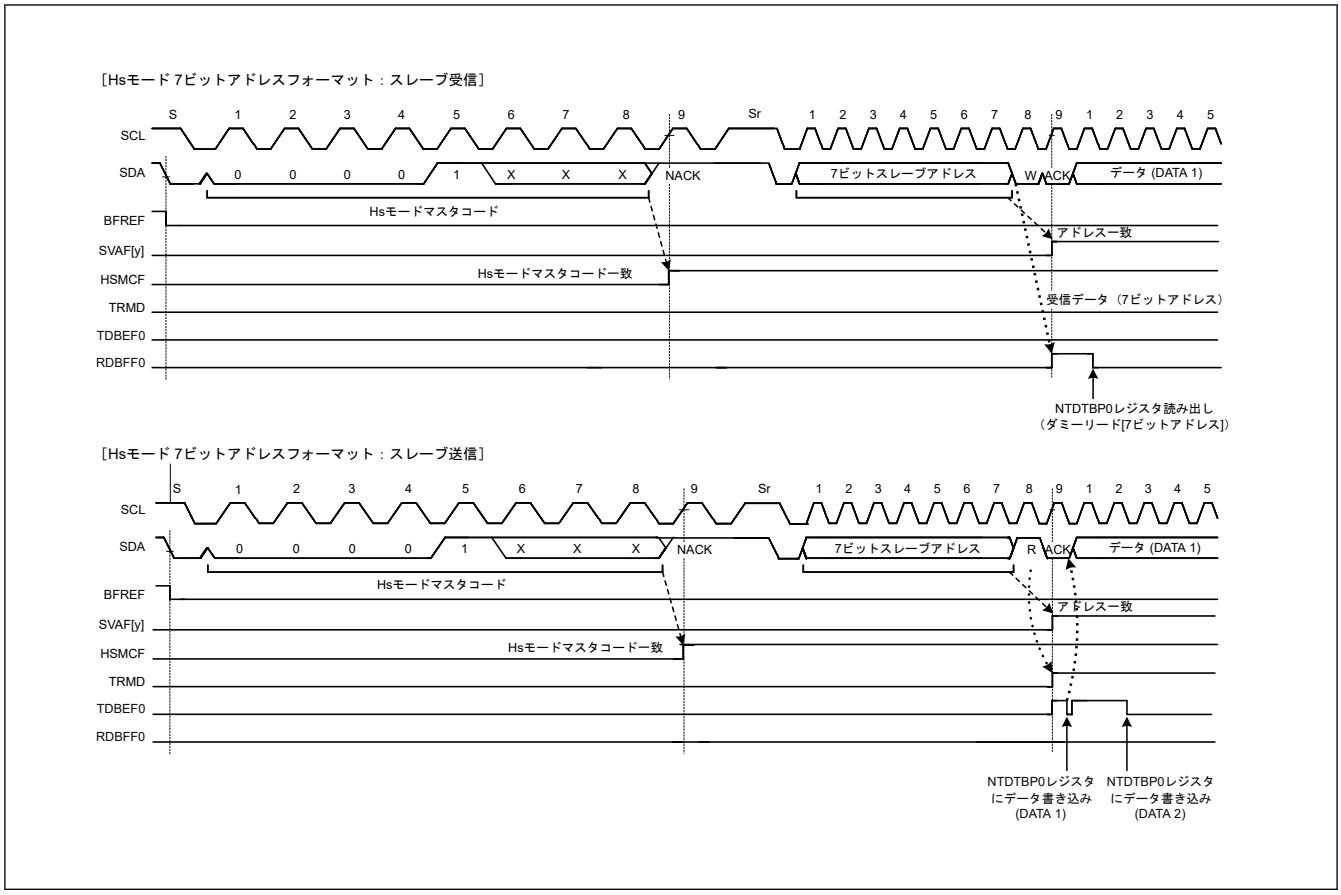


図 27.65　Hs モードマスタコード受信時に SVAF[y]、HSMCF フラグが 1 になるタイミング

(6)　CCC 検出機能［I3C モード］

- ブロードキャスト CCC の場合
  1. スタートコンディションまたは繰り返しのスタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W# = 0 を受信します。
  2. ACK に応答します。
  3. 共通コマンドコード (CCC) を受信します。
  4. CCC に従い、以下のデータを格納します。（格納先は、表 27.11 を参照。）
  5. 受信ステータスディスクリプタを受信ステータスキューに格納します。
- ブロードキャスト CCC (ENTDAA) の場合
  1. スタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W# = 0 を受信します。
  2. ACK に応答します。
  3. ENTDAA を受信します。
  4. 繰り返しのスタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W# = 1 を受信した場合。
  5. ダイナミックアドレスが配置されない場合、ACK 応答をします。
  6. この暫定 ID (SDCTPIDH[31:0], SDCTPIDL[15:0])、BCR (SVDCT.TBCRn)、DCR (SVDCT.TDCR[7:0]) を送信します。
  7. 上記 6.の送信でアービトレーションを獲得したら、それに続くダイナミックアドレスを受信します。
     上記 6.の送信でアービトレーションをロストしたら、4.から 6.の処理を繰り返します。
  8. ダイナミックアドレスのパリティが正しい場合、ACK 応答をします。
  9. ダイナミックアドレスのパリティが正くない場合、NACK 応答をして、4.から 7.の処理を繰り返します。
  10. SDATBAS0.SDDYAD[7:0]を更新し、SVDVAD0.SDYADV ビットを 1 にします。

11. ストップコンディションを検出したら、受信ステータスディスクリプタを受信ステータスキューに格納します。

- ダイレクトライト CCC の場合
  1. スタートコンディションまたは繰り返しのスタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W# = 0 を受信します。
  2. ACK に応答します。
  3. 共通コマンドコード (CCC) を受信します。
  4. 繰り返しのスタートコンディションの後、ダイナミックアドレスと R/W# = 0 を受信します。
  5. 受信したダイナミックアドレスを配置されたダイナミックアドレスと比較し、一致した場合、I3C はアクノリッジを応答します。
     一致しない場合、NACK を応答し、繰り返しスタートコンディションまたはストップコンディションを待ちます。
  6. CCC に従い、以下のデータを格納します。(格納先は、表 27.11 を参照。)
  7. 受信ステータスディスクリプタを受信ステータスキューに格納します。
- ダイレクトリード CCC の場合
  1. スタートコンディションまたは繰り返しのスタートコンディションの後、ブロードキャストアドレス (0x7E) と R/W# = 1 を受信します。
  2. ACK に応答します。
  3. 共通コマンドコード (CCC) を受信します。
  4. 繰り返しのスタートコンディションの後、ダイナミックアドレスと R/W# = 1 を受信します。
  5. 受信したダイナミックアドレスを配置されたダイナミックアドレスと比較し、一致した場合、I3C はアクノリッジを応答します。
     一致しない場合、NACK を応答し、繰り返しスタートコンディションまたはストップコンディションを待ちます。
  6. CCC に従い、SFR から応答します。(応答 CCC については、表 27.11 を参照。)
  7. 受信ステータスディスクリプタを受信ステータスキューに格納します。

表 27.11 共通コマンドコード動作 (1/2)

コマンドコード	CCC の種類	コマンド名	データの有無	自動応答	格納先
0x00	Broadcast	ENEC	あり	—	SFR
0x01	Broadcast	DISEC	あり	—	SFR
0x02	Broadcast	ENTAS0	なし	—	SFR
0x03	Broadcast	ENTAS1	なし	—	SFR
0x04	Broadcast	ENTAS2	なし	—	SFR
0x05	Broadcast	ENTAS3	なし	—	SFR
0x06	Broadcast	RSTDAA	なし	—	SFR
0x07	Broadcast	ENTDAA	あり	あり	SFR
0x08	Broadcast	DEFSLVS	あり	—	FIFO
0x09	Broadcast	SETMWL	あり	—	SFR
0x0A	Broadcast	SETMRL	あり	—	SFR
0x0B	Broadcast	ENTTM	あり	—	SFR
0x28	Broadcast	SETXTIME	あり	—	FIFO
0x29	Broadcast	SETAASA	なし	—	SFR
0x80	Direct Write	ENEC	あり	—	SFR
0x81	Direct Write	DISEC	あり	—	SFR

表 27.11 共通コマンドコード動作 (2/2)

コマンドコード	CCC の種類	コマンド名	データの有無	自動応答	格納先
0x82	Direct Write	ENTAS0	なし	—	SFR
0x83	Direct Write	ENTAS1	なし	—	SFR
0x84	Direct Write	ENTAS2	なし	—	SFR
0x85	Direct Write	ENTAS3	なし	—	SFR
0x86	Direct Write	RSTDAA	なし	—	SFR
0x87	Direct Write	SETDASA	あり	—	SFR
0x88	Direct Write	SETNEWDA	あり	—	SFR
0x89	Direct Write	SETMWL	あり	—	SFR
0x8A	Direct Write	SETMRL	あり	—	SFR
0x8B	Direct Read	GETMWL	—	あり	SFR
0x8C	Direct Read	GETMRL	—	あり	SFR
0x8D	Direct Read	GETPID	—	あり	SFR
0x8E	Direct Read	GETBCR	—	あり	SFR
0x8F	Direct Read	GETDCR	—	あり	SFR
0x90	Direct Read	GETSTATUS	—	あり	SFR
0x91	Direct Read	GETACCMST	—	あり	SFR
0x94	Direct Read	GETMXDS	—	あり	SFR
0x98	Direct Write	SETXTIME	あり	—	FIFO
0x99	Direct Read	GETXTIME	—	あり	SFR

27.3.2.3.5 アービトレーションロスト検出機能［I²C モード］

I3C には I²C バス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

(1) マスタアービトレーションロスト検出機能（MALE ビット）

I3C はスタートコンディション発行の際、I3C_SDA ラインを Low にします。しかし、これよりも早く他のマスタデバイスがスタートコンディションを発行して I3C_SDA ラインを Low にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様に BCST.BFREF フラグが 0（バスビジー中）のときに CNDCTL.STCND ビットを 1 にすると、アービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレスビットを含む送信データ（内部 SDA 出力レベル）と I3C_SDA ラインに不一致が生じた場合（内部 SDA 出力が High 出力（SDA0 端子はハイインピーダンス）で、I3C_SDA ラインに Low を検出したとき）、I3C はアービトレーションロストを発生させます。

BSTE.ALE ビットが 1 かつ BFCTL.MALE ビットが 1（マスタアービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、I3C はマスタアービトレーションロストを検出します。

バス権のアービトレーションがロストしたとき、I3C はただちにスレーブ受信モードに遷移します。

このとき、ジェネラルコールアドレスを含むスレーブアドレスが自身のアドレスと一致していれば、I3C はスレーブ動作を継続します。

［マスタアービトレーションロスト条件］

- BCST.BFREF フラグが 1 の状態で CNDCTL.STCND ビットを 1 にしてスタートコンディションを発行した後、SDA の内部出力レベルと I3C_SDA ラインのレベルが不一致のとき（スタートコンディション発行エラー）
- BFREF フラグが 0 の状態で CNDCTL.STCND ビットを 1 にしたとき（スタートコンディション二重発行エラー）

注. I3C がスタートコンディションを発行しないとき

- マスタ送信モード時（PRSST レジスタの CRMS と TRMD = 11b）、アクノリッジを除く送信データ（内部の SDA 出力レベル）と I3C_SDA ラインのレベルが不一致のとき

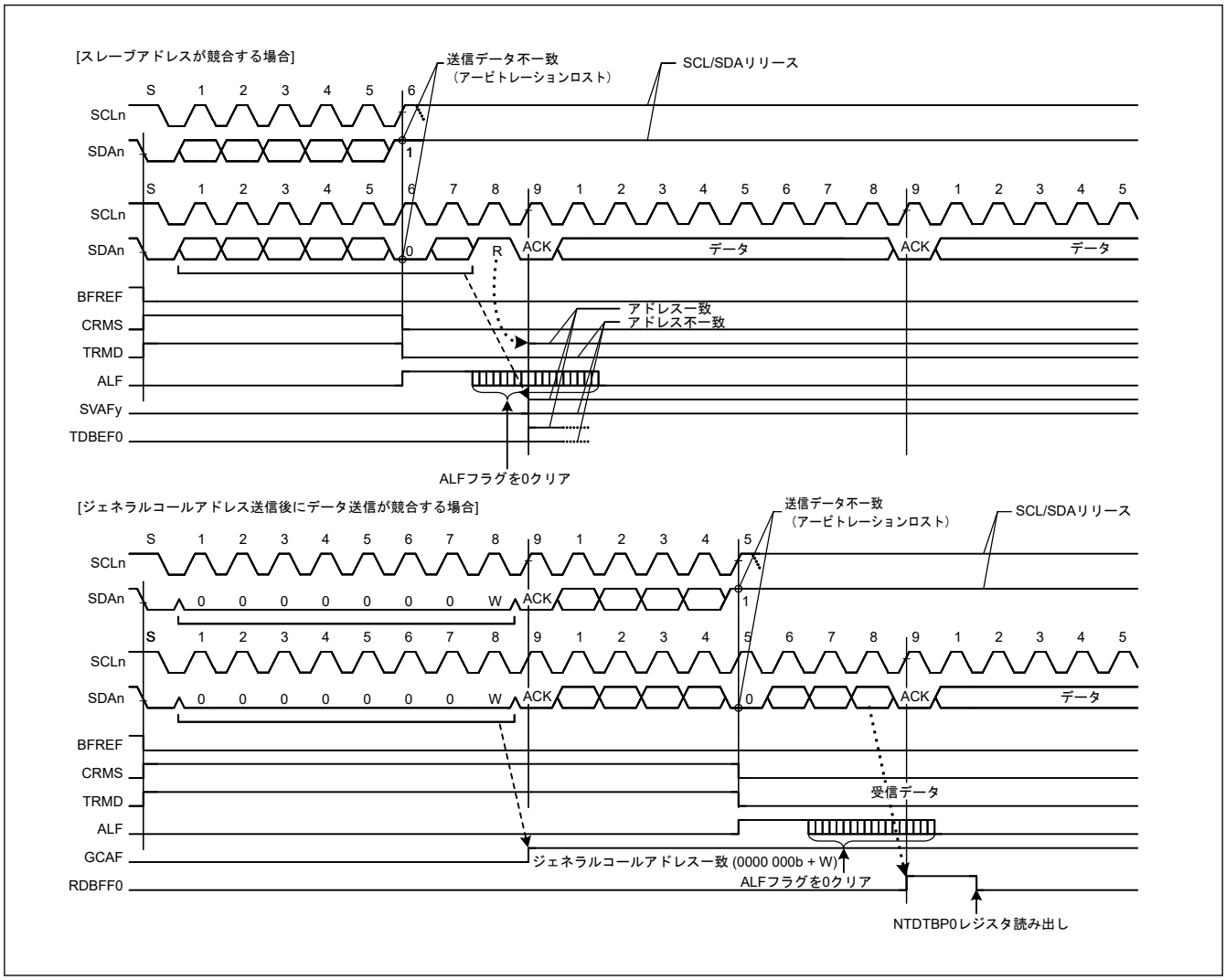


図 27.66 マスタアービトレーションロスト検出動作例（MALE = 1 の場合）

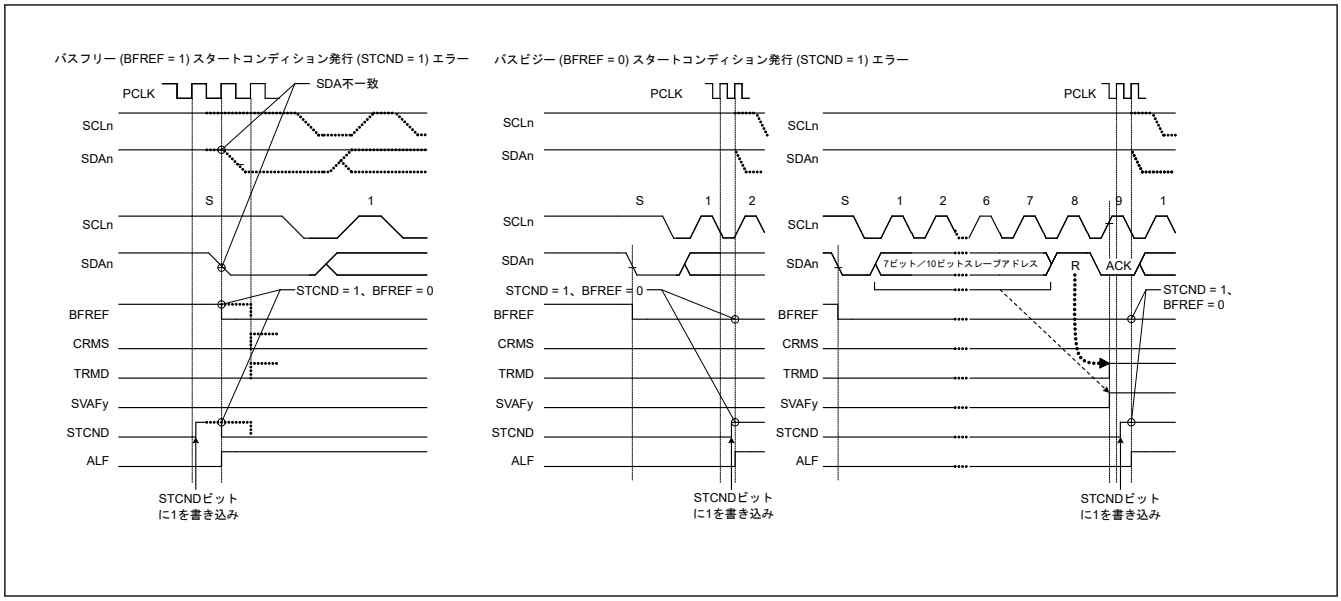


図 27.67　スタートコンディション発行時のアービトレーションロスト検出動作例（MALE = 1 の場合）

(2)　NACK 送信中のアービトレーションロスト検出機能（NALE ビット）

受信モード時で NACK 送信時に出力した SDA 信号と I3C_SDA ライン上の信号の状態が不一致の場合（内部 SDA 出力が High 出力（I3C_SDA 端子はハイインピーダンス）で、I3C_SDA ラインに Low を検出したとき）、I3C はアービトレーションロストを発生させる機能を備えています。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスに対して同じ情報を送受信する際に生じます。

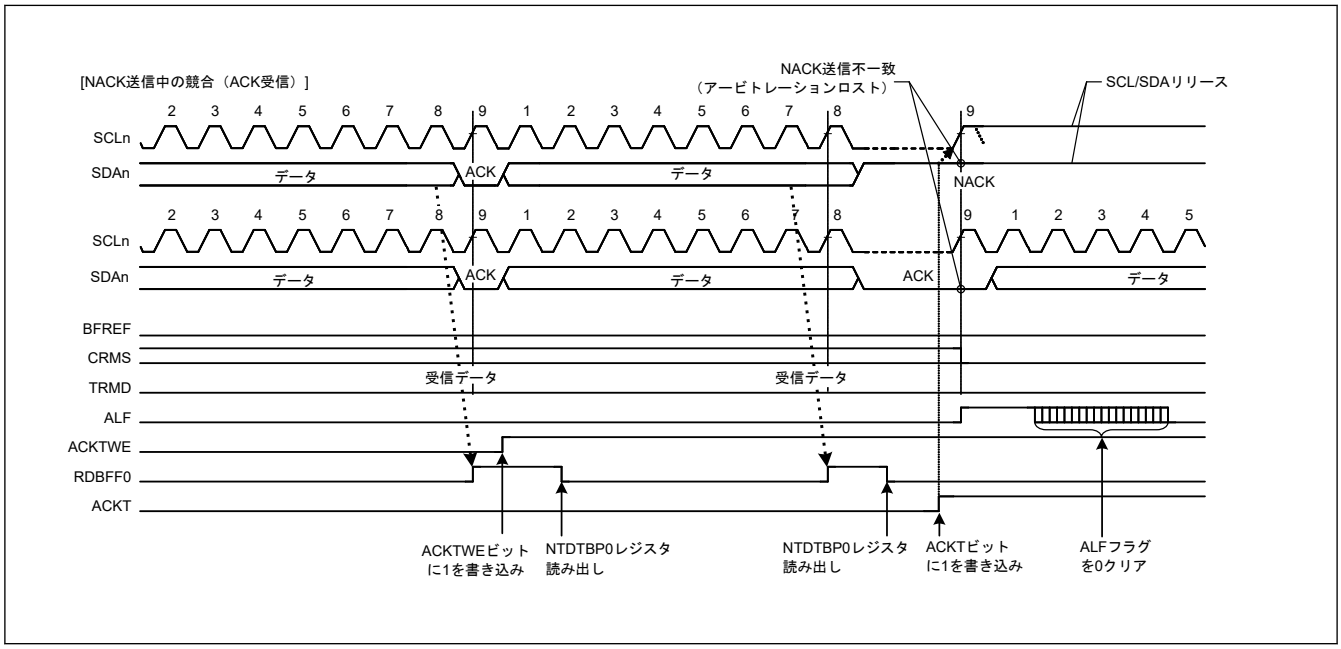


図 27.68　NACK 送信中のアービトレーションロスト検出の動作例（NALE = 1 の場合）

以下では、2 つのマスタデバイス（マスタ A、B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げてアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。そのため、マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。この例でマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブ

デバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。そのため、このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

本モジュールは、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。

NACK 送信時にアービトレーションロストが発生すると、本モジュールはただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、アサインアドレスコマンド後の Get UDID（汎用）処理でアサインアドレスの UDID（ユニークデバイス ID）が不一致の場合に、追加クロック処理（0xFF 送信処理など）を省くことができます。

BSTE.ALE ビットが 1 かつ BFCTL.NALE ビットが 1（NACK 送信中アービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、I3C は NACK 送信中のアービトレーションロストを検出します。

［NACK 送信中アービトレーションロスト条件］

- NACK 送信時 (ACKCTL.ACKT = 1)、内部の SDA 出力レベルと I3C_SDA ラインの状態（ACK 受信）が不一致のとき

(3) スレーブアービトレーションロスト検出機能（SALE ビット）

I3C は、スレーブ送信時に送信データ（出力した SDA 信号）と I3C_SDA ライン上の信号の状態に不一致が生じた場合（出力した SDA 信号が High 出力（I3C_SDA 端子はハイインピーダンス）で、I3C_SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト検出機能は、主に SMBus での UDID（ユニークデバイス ID）送信時に使用します。

DATA 送信時にアービトレーションロストが発生すると、本モジュールはただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な 0xFF 送信処理を省くことができます。

BSTE.ALE ビットが 1 かつ BFCTL.SALE ビットが 1（スレーブアービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、I3C はスレーブアービトレーションロストを検出します。

［スレーブアービトレーションロスト条件］

- スレーブ送信モード時（PRSST レジスタの CRMS と TRMD = 01b）、アクノリッジを除く送信データ（内部の SDA 出力レベル）と I3C_SDA ラインのレベルが不一致のとき

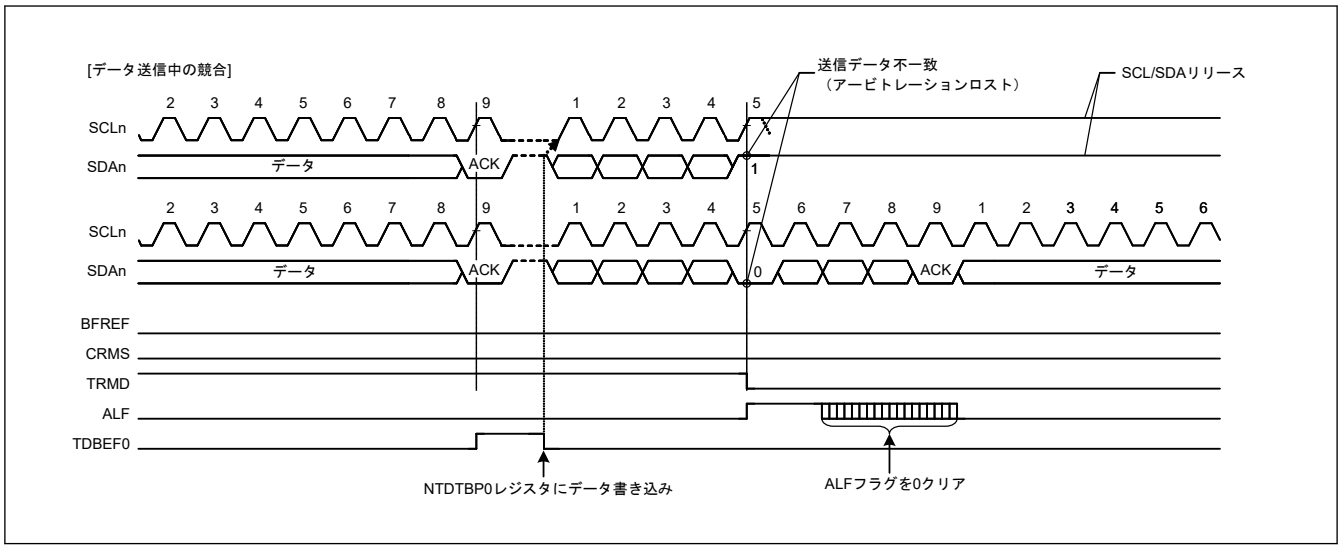


図 27.69 スレーブアービトレーションロスト検出動作例（SALE = 1 の場合）

27.3.2.3.6 クロックストレッチ機能［I²C モード］

(1) 送信データの誤送信防止機能

I3C は送信モード時（PRSST.TRMD ビット=1）、I²C バス送信データレジスタ（NTDTBP0 レジスタ）にデータが書かれていない場合、以下に示す区間、自動的に I3C_SCL ラインの Low ホールドを行います。この Low ホールド期間は、送信データの書き込みが行われるまで延長されて、意図しない送信データの誤送信を防止します。

マスタ送信モード

- スタートコンディション／繰り返しのスタートコンディション発行後の Low 区間
- 9 クロック目と次の転送の 1 クロック目の間の Low 区間

スレーブ送信モード

- 9 クロック目と次の転送の 1 クロック目の間の Low 区間

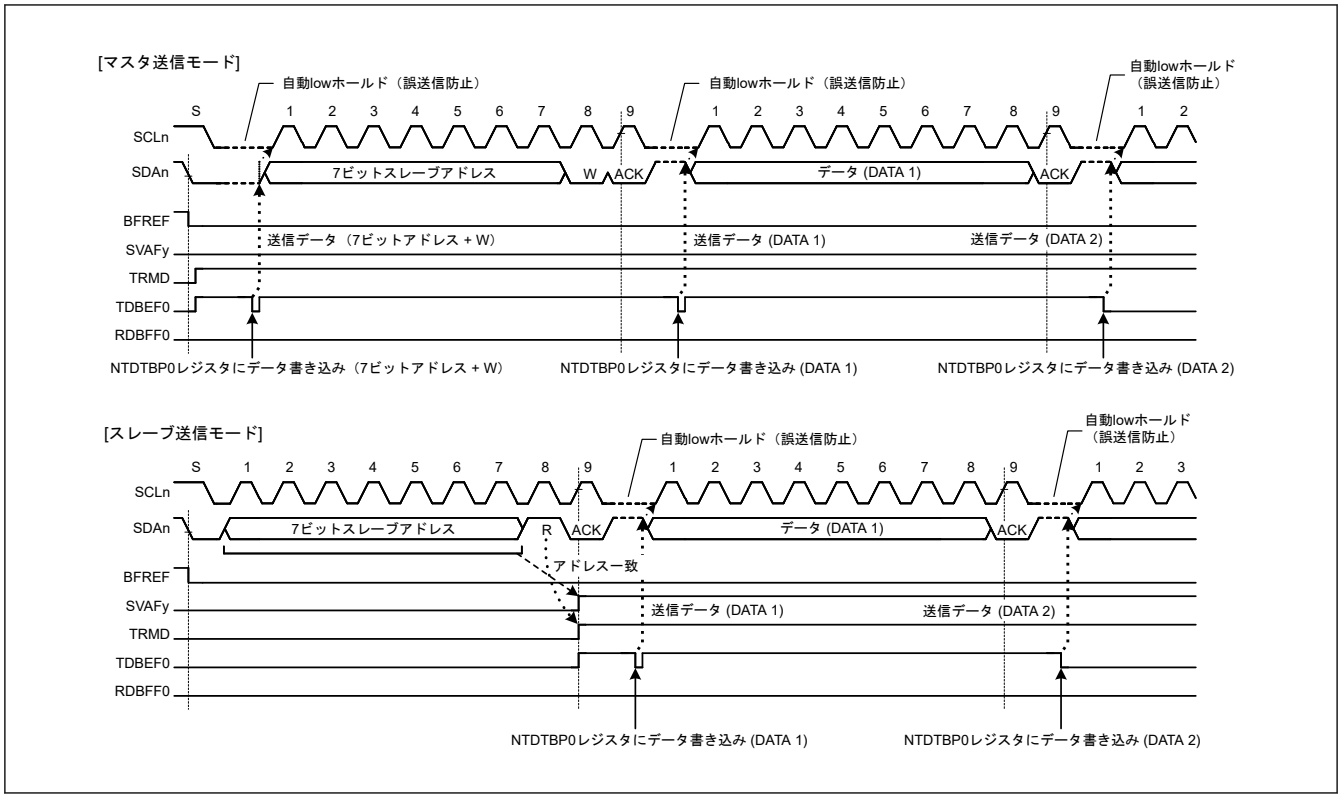


図 27.70 送信モード時の自動 Low ホールド動作

(2) NACK 受信転送中断機能

I3C は送信モード時（PRSST.TRMD ビット = 1）に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は、BSTE.NACKDE ビットが 1（転送中断許可）のとき有効になります。NACK 受信時にすでに次の送信データが書き込まれていた場合（NTST.TDBEF0 フラグ = 0 の状態）、SCL クロックの 9 クロック目の立ち下がりで次のデータ送信を自動的に中断します。これによって、次送信データの MSB が 0 の場合、I3C_SDA ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合（BST.NACKDF フラグ=1）、以後の送信動作および受信動作は行いません。送受信動作を再開するには NACKDF フラグを 0 にしてください。マスタ送信モードでは、以下のいずれかの方法で動作を再開してください。

- 繰り返しのスタートコンディション発行後に、NACKDF フラグを 0 にする。
- ストップコンディション発行後に、NACKDF フラグを 0 にしてから、スタートコンディションを発行する。

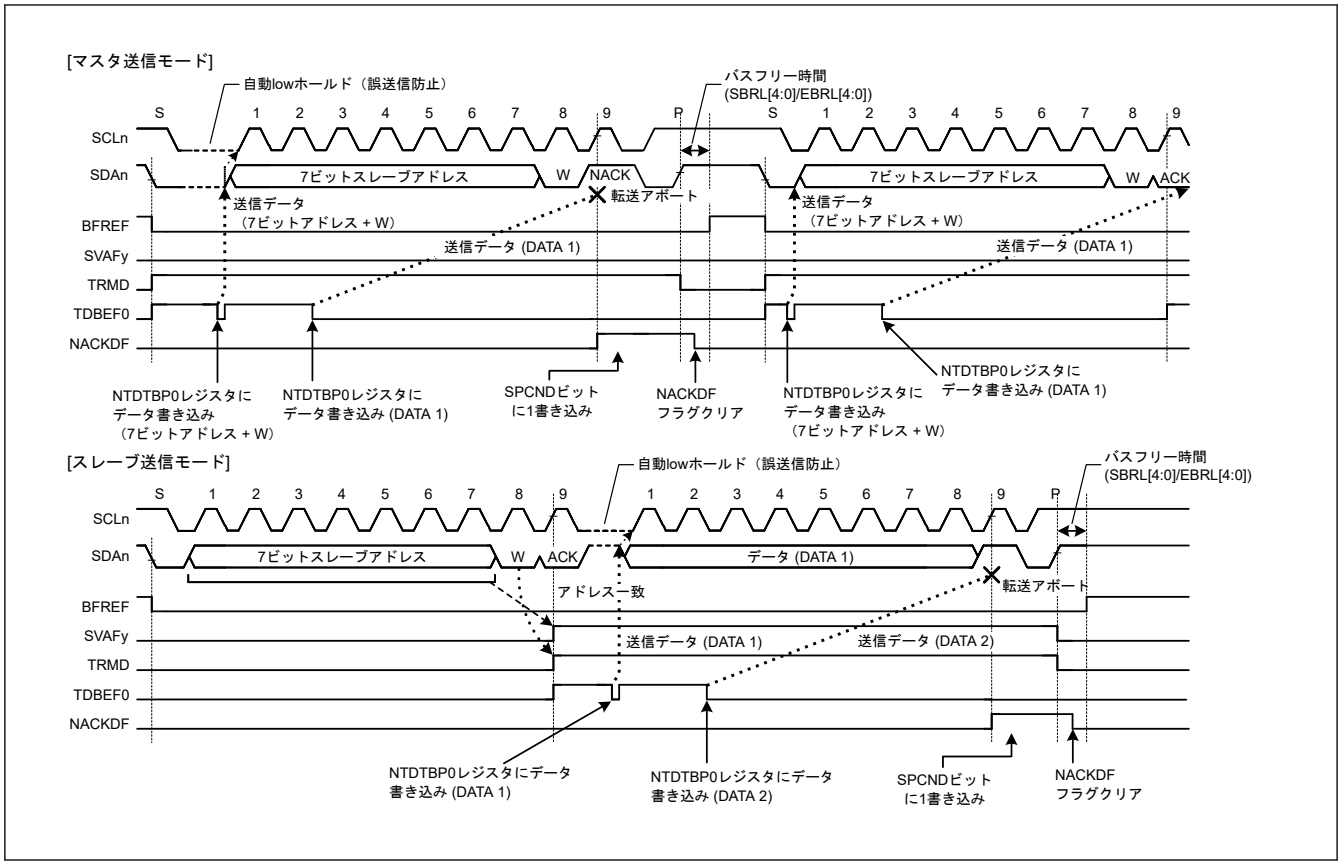


図 27.71　NACK 受信時のデータ転送中断動作（NACKE = 1 の場合）

(3)　受信データ取りこぼし防止機能

受信モード時 (PRSST.TRMD = 0) に、受信データフル (NTST.RDBFF0 = 1) の状態で受信データ（NTDTBP0 レジスタ）の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、I3C は次のデータ受信の直前で自動的に I3C_SCL ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

この自動 Low ホールド機能による取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディションが発行された後、I3C 自身のスレーブアドレス、またはそのほかのスレーブアドレスを受信した場合にも有効です。

また、SCSTRCTL レジスタの RWE ビットと ACKTWE ビットの組み合わせにより、I3C_SCL ラインが Low ホールドされる期間を選択できます。

(a) RWE ビットによる 1 バイト受信動作／自動 Low ホールド機能

SCSTRCTL.RWE ビットを 1 にすると、I3C は RWE ビット機能を用いた 1 バイト受信動作を行います。

SCSTRCTL.ACKTWE ビットが 0 のとき、I3C は SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に ACKCTL.ACKT ビットの内容を送出し、9 クロック目の立ち下がりを検出すると RWE ビット機能により自動的に I3C_SCL ラインの Low ホールドを行います。この Low ホールドは、NTDTBP0 レジスタからデータを読み出すことで解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお RWE ビット機能は、マスタ受信モード時またはスレーブ受信モード時に、I3C 自身のスレーブアドレス（ジェネラルコールアドレスとホストアドレス含む）との一致があった以降の受信フレームから有効になります。

(b) ACKTWE ビットによる 1 バイト受信動作（ACK/NACK 送出制御）／自動 Low ホールド機能

SCSTRCTL.ACKTWE ビットを 1 にすると、I3C は ACKTWE ビット機能を用いた 1 バイト受信動作を行います。

ACKTWE ビットを 1 にすると、SCL クロックサイクルの 8 クロック目の立ち上がりで NTST.RDBFF0 フラグ（受信データフル）が 1 になり、8 クロック目の立ち下がりで自動的に I3C_SCL ラインの Low ホールドが行われます。この Low ホールドは、ACKCTL.ACKT ビットに値を書き込むことで解除されますが、NTDTBP0 レジスタか

らデータを読み出しても解除されません。そのため、1 バイトごとに受信したデータの内容に応じて ACK/NACK の送信を制御することにより、受信動作が可能となります。

なお ACKTWE ビット機能は、マスタ受信モード時またはスレーブ受信モード時に、I3C 自身のスレーブアドレス（ジェネラルコールアドレスとホストアドレス含む）との一致があった以降の受信フレームから有効になります。

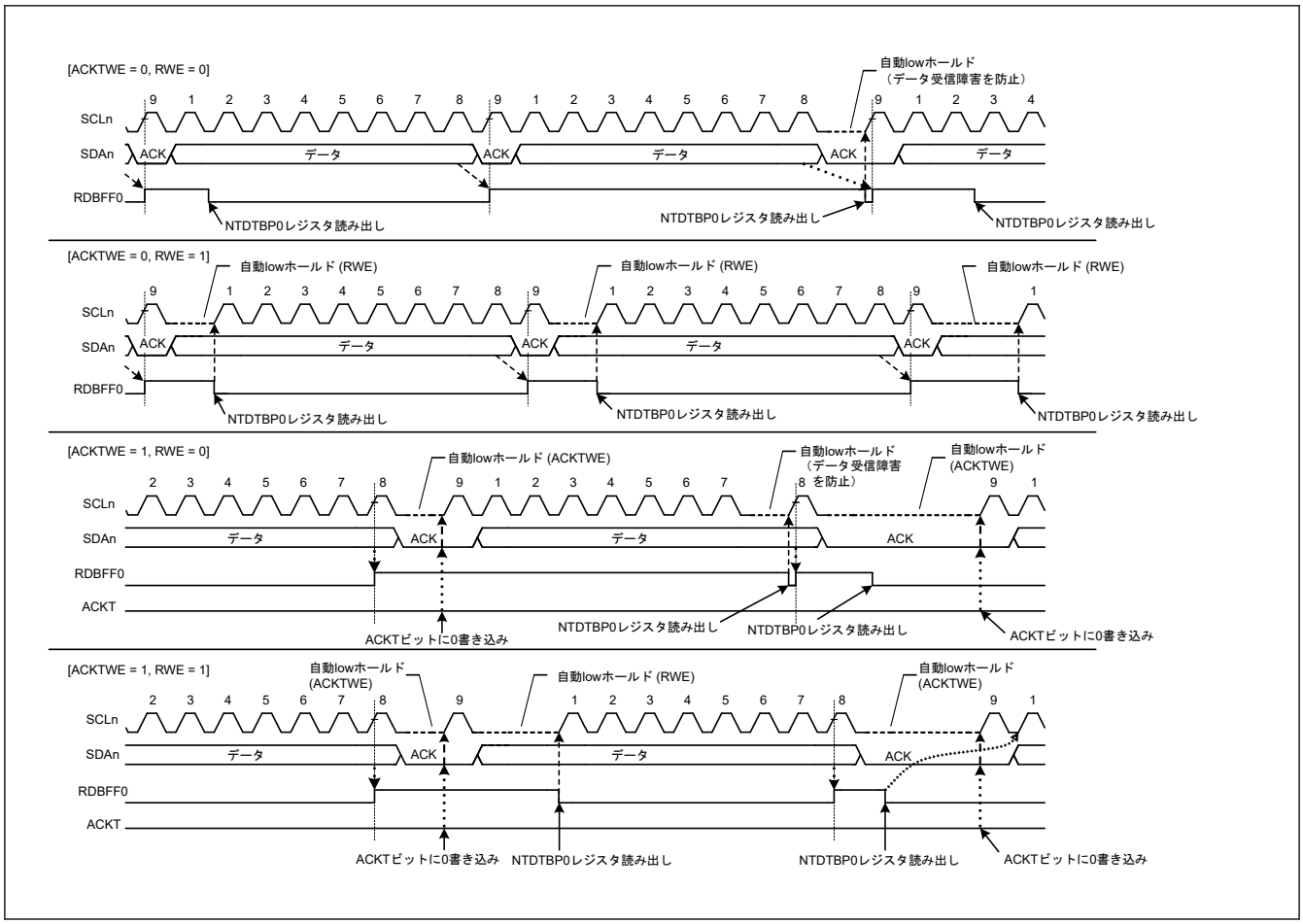


図 27.72　受信モード時の自動 Low ホールド動作（ACKTWE および RWE ビットを使用）

27.3.2.3.7　クロックストール［I3C モード］

I3C には、SCL の Low 期間に SCL をストールする機能があります。

SCL ストールコントロールについて、以下の表で説明します。

表 27.12　I3C クロックストール (1/2)

クロックストール条件	クロックストールコントロール	クロックストール期間
I3C 転送、ACK/NACK フェーズ	SCSTLCTL.ACKPE ビットの設定値	SCSTLCTL.STLCYC [15:0]値のカウント期間の間
	送信データ FIFO エンプティ	TX FIFO へデータが書き込まれるまで
	受信データ FIFO フル	RX FIFO レジスタからデータが読み出されるまで
I3C 書き込みデータ転送、パリティビット	SCSTLCTL.PARPE ビットの設定値	SCSTLCTL.STLCYC [15:0]値のカウント期間の間
	送信データ FIFO エンプティ	TX FIFO へデータが書き込まれるまで
I3C 読み出し転送、遷移ビット	受信データ FIFO フル	RX FIFO レジスタからデータが読み出されるまで

表 27.12 I3C クロックストール (2/2)

クロックストール条件	クロックストールコントロール	クロックストール期間
アドレス配置フェーズ	SCSTLCTL.AAPE ビットの設定値	SCSTLCTL.STLCYC [15:0]値のカウント期間の間

条件ごとのストールタイミングを以下の図に示します。

(1) I3C 転送、ACK/NACK フェーズ

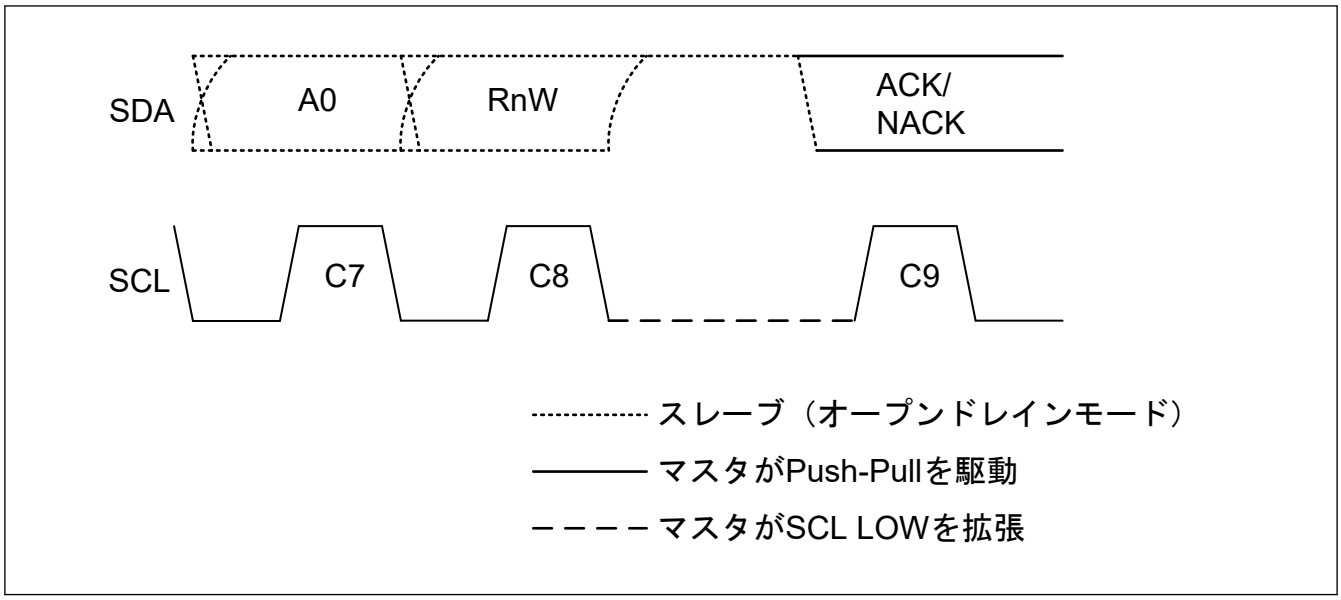


図 27.73 ACK フェーズのマスタクロックストール

(2) I3C 書き込みデータ転送、パリティビット

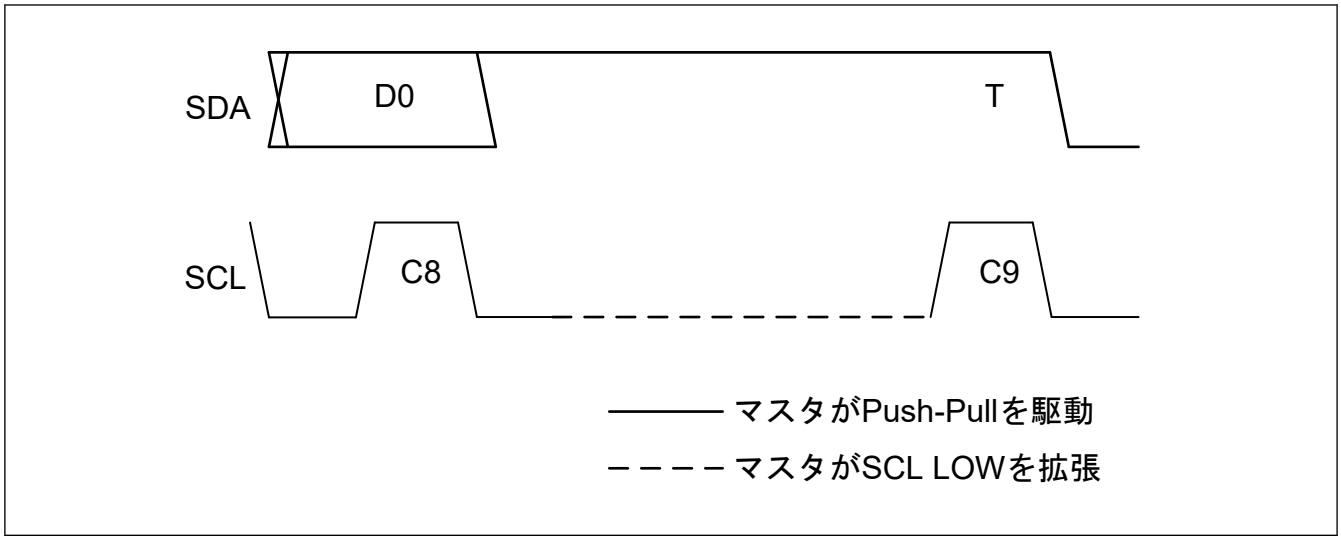


図 27.74 書き込みパリティビットのマスタクロックストール

(3) I3C 読み出し転送、遷移ビット

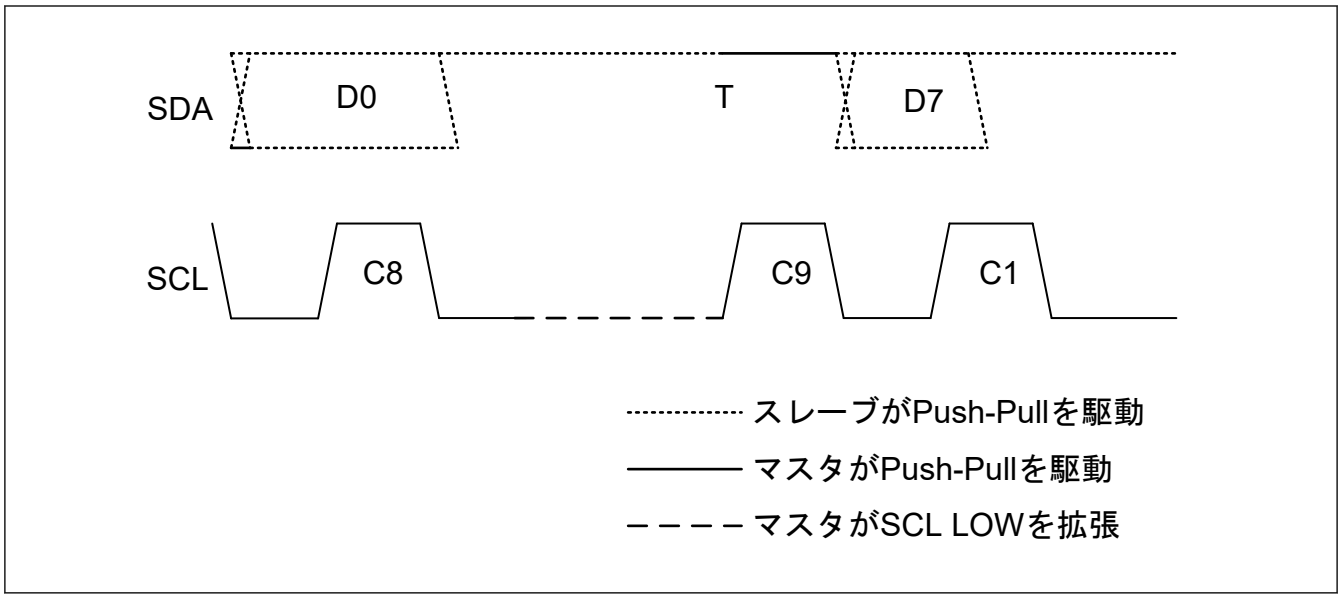


図 27.75 次の読み出しデータの前の T ビットでのマスタクロックストール

(4) ダイナミックアドレス配置、配置アドレスの最初のビット

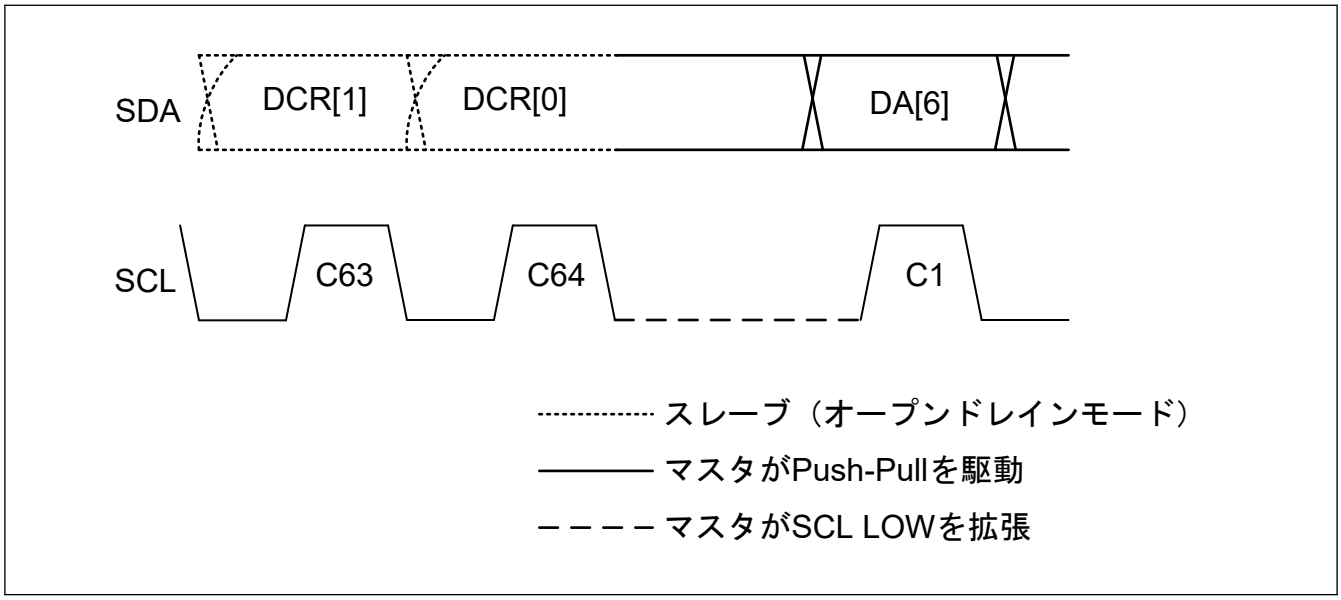


図 27.76 ダイナミックアドレスの最初のビットでのマスタクロックストール

27.3.2.3.8 In-band 割り込み［I3C モード］

I3C は、スタートコンディション（ただし繰り返しのスタートコンディションは除く）に続くアービトレーション獲得済みのアドレスヘッダで、In-band 割り込みを検出します。スレーブデバイスからスタート要求（SDA が Low）が発行された場合、I3C は SCL を Low にして、スタートコンディションを完了します。それから、SCL を供給し、In-band 割り込み要求を受信します。

検出される In-band 割り込みは、以下の 3 種類に分類されます。

- スレーブ割り込み要求
- バス権要求

各 In-band 割り込み検出時の動作について以下に説明します。

(1) スレーブ割り込み要求

1. アドレスヘッダの RnW ビットが High でスレーブアドレスを検出します。
2. 検出したスレーブアドレスを、各 DAT（DATBASm レジスタ）の DVDYAD[7:0]ビットと比較します。
3. DAT.DVDYAD[7:0]ビットの値と一致しない場合：
   NACK を応答し、ストップコンディションを発行します。
   DAT.DVDYAD[7:0]ビットの値と一致し、かつ DAT.DVSIRRJ ビットが 1 の場合：
   以下の順で動作します。
   (a) NACK を応答します。
   (b) 繰り返しのスタートコンディションを発行し、ダイレクト DISEC CCC を検出したスレーブに対し自動的に発行します。
   (c) ストップコンディションを発行します。

   DAT.DVDYAD[7:0]ビットの値と一致し、かつ DAT.DVSIRRJ ビットが 0 の場合：
   ACK を応答します。
4. DAT.DVIBIPL = 0 のとき：
   ストップコンディションを発行します。
   DAT.DVIBIPL = 1 のとき：
   ACK 応答に続けてスレーブから IBI データを受信するため SCL を駆動し、IBI データを受信します。
   受信した IBI データを IBI データキューに格納します。
   NQTHCTL.IBIDSSZ[7:0]ビットに設定されたサイズの IBI データを受信するごとに、IBI ステータスディスクリプタが IBI ステータスキューに格納されます。
5. IBI データに続いて T ビットの Low を検出した後、ストップコンディションを発行します。
6. ストップコンディションの発行後
   NACK 応答：
   - IBINCTL.NRSIRCTL ビットが 0 の場合、IBI ステータスディスクリプタを IBI ステータスキューに格納しません。
   - IBINCTL.NRSIRCTL ビットが 1 の場合、IBI ステータスディスクリプタを IBI ステータスキューに格納します。

   ACK 応答：
   IBI ステータスディスクリプタを IBI ステータスキューに格納します。

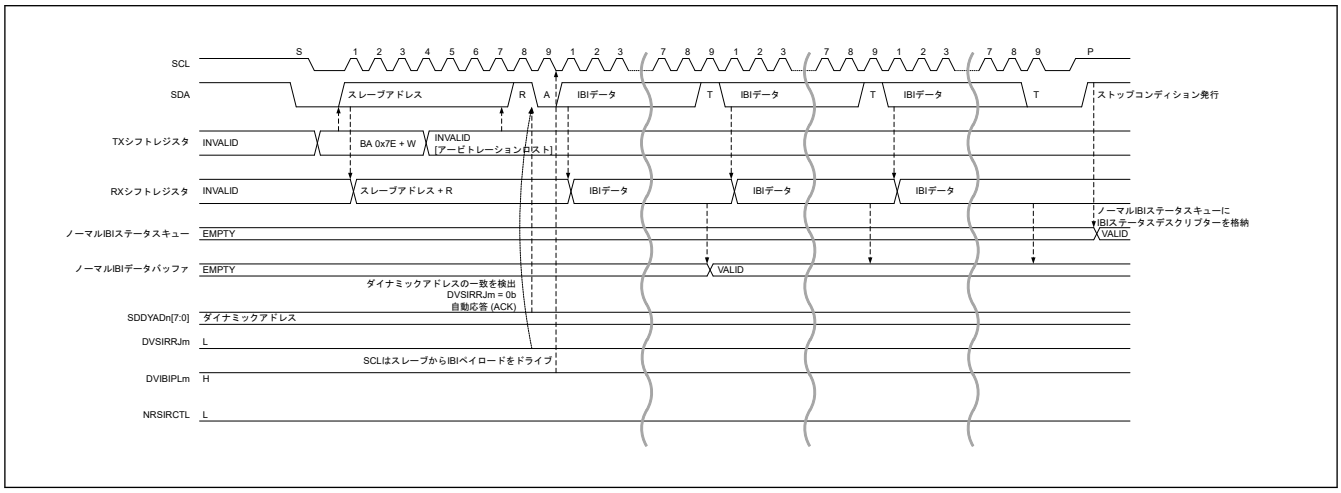


図 27.77 スレーブ割り込み要求：ACK かつ DVIBIPL が 1 の場合

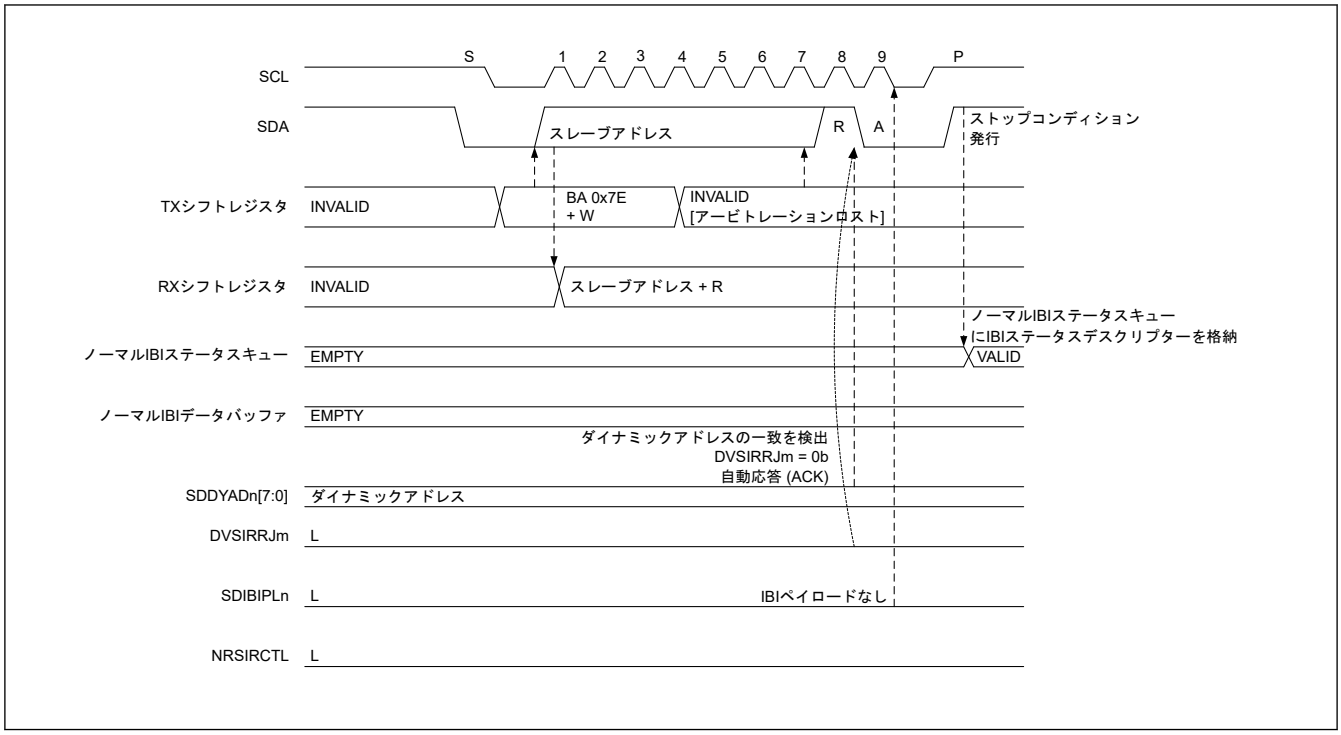


図 27.78　スレーブ割り込み要求：ACK かつ DVIBIPL が 0 の場合

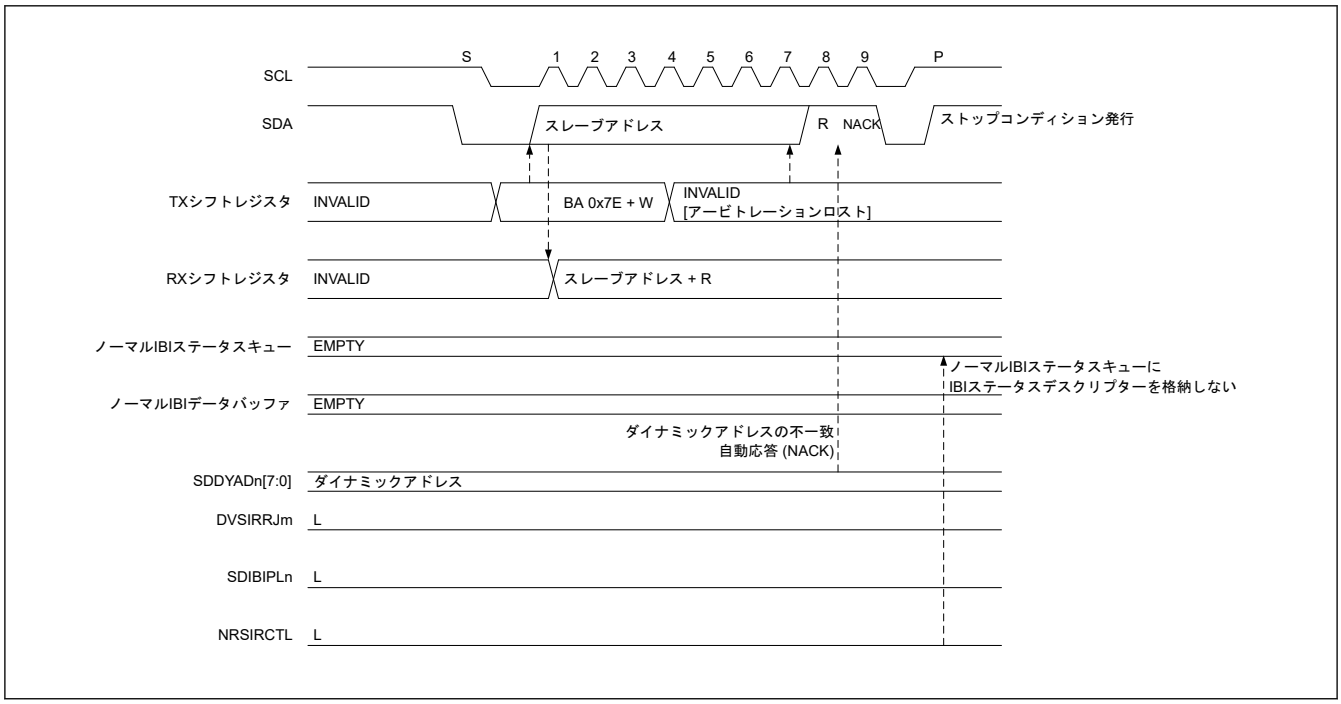


図 27.79　スレーブ割り込み要求：NACK（DAT.SDDYAD[7:0]ビットが一致しない）かつ NRSIRCTL が 0 の場合

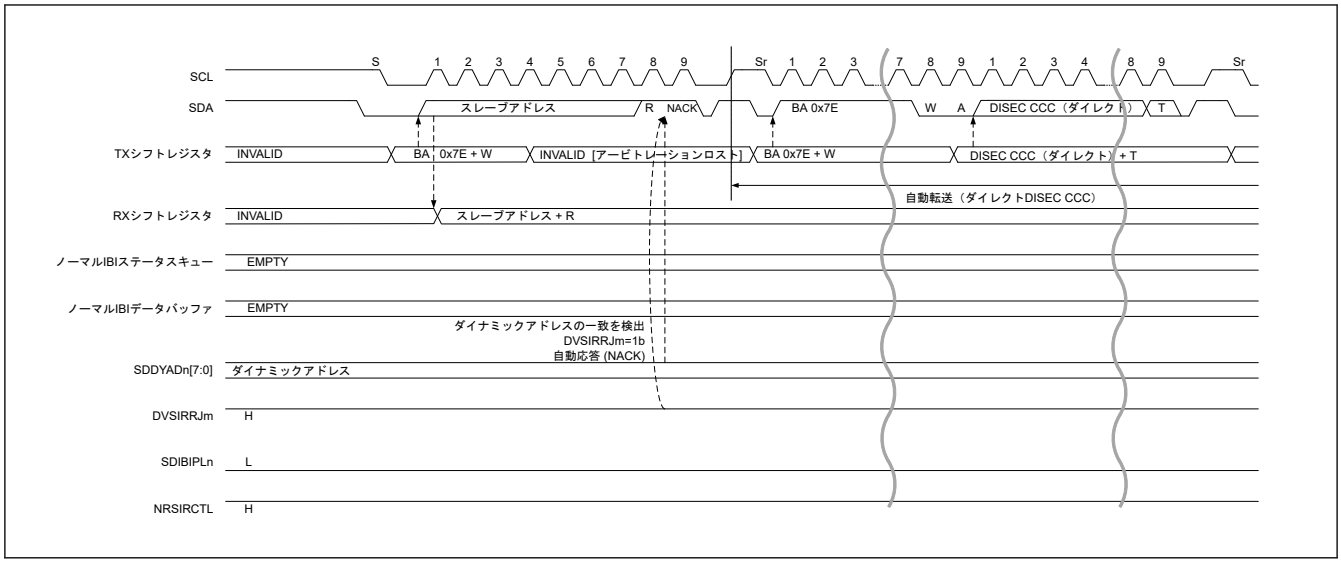


図 27.80　スレーブ割り込み要求：NACK（DVSIRRJ が 1）かつ NRSIRCTL が 1 の場合 (1/2)

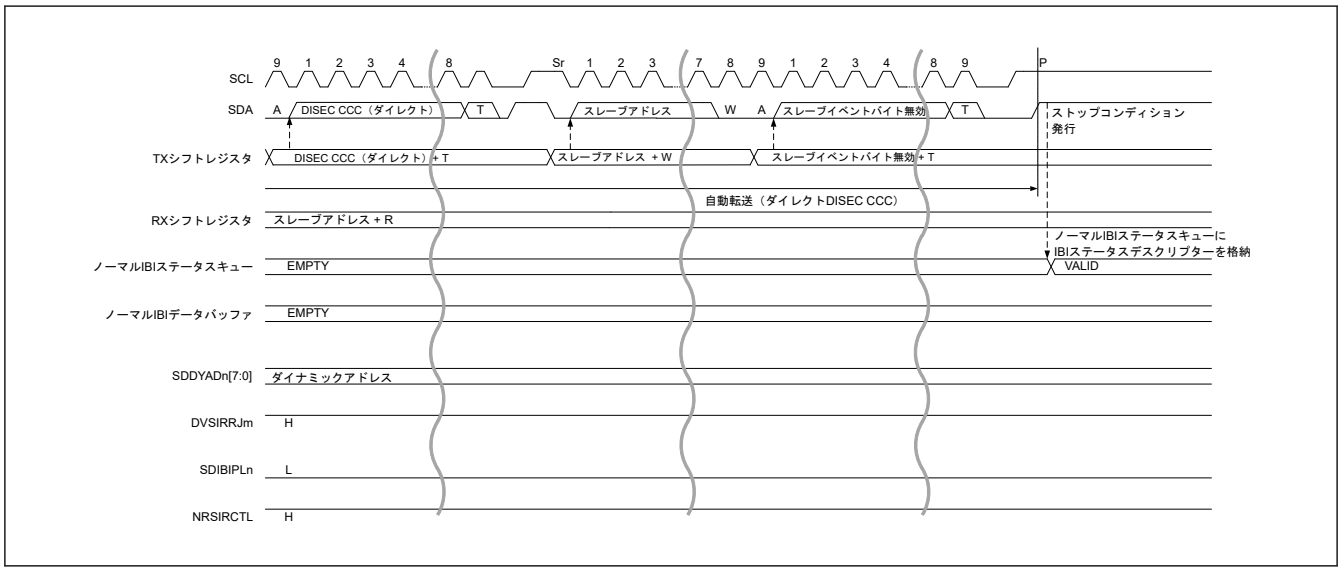


図 27.81　スレーブ割り込み要求：NACK（DVSIRRJ が 1）かつ NRSIRCTL が 1 の場合 (2/2)

(2)　バス権要求

1. アドレスヘッダの RnW ビットが Low でスレーブアドレスを検出します。
2. 検出したスレーブアドレスを、各 DAT（DATBAS レジスタ）の DVDYAD[7:0]ビットと比較します。
3. DAT.DVDYAD[7:0]ビットの値と一致しない場合：
   NACK を応答し、ストップコンディションを発行します。
   DAT.DVDYAD[7:0]ビットの値と一致し、かつ RBCR (MSDCTm) レジスタのデバイスロール[1:0]ビットが、I3C マスタ (01b) 以外である場合：
   NACK を応答し、ストップコンディションを発行します。
   DAT.DVDYAD[7:0]ビットの値と一致し、かつ RBCR (MSDCTm) レジスタのデバイスロール[1:0]ビットが、I3C マスタ (01b) の場合：
   - DAT.DVMRRJ = 1 のとき：
     以下の順で動作します。
     (a)　NACK を応答します。
     (b)　繰り返しのスタートコンディションを発行し、ダイレクト DISEC CCC を検出したスレーブに対し自動的に発行します。
     (c)　ストップコンディションを発行します。

- DAT.DVMRRJ = 0 のとき：
  ACK を応答し、ストップコンディションを発行します。

4. ストップコンディションの発行後、
   NACK 応答：
   - IBINCTL.NRMRCTL ビットが 0 の場合、IBI ステータスディスクリプタを IBI ステータスキューに格納しません。
   - IBINCTL.NRMRCTL ビットが 1 の場合、IBI ステータスディスクリプタを IBI ステータスキューに格納します。

   ACK 応答：
   IBI ステータスディスクリプタを IBI ステータスキューに格納します。

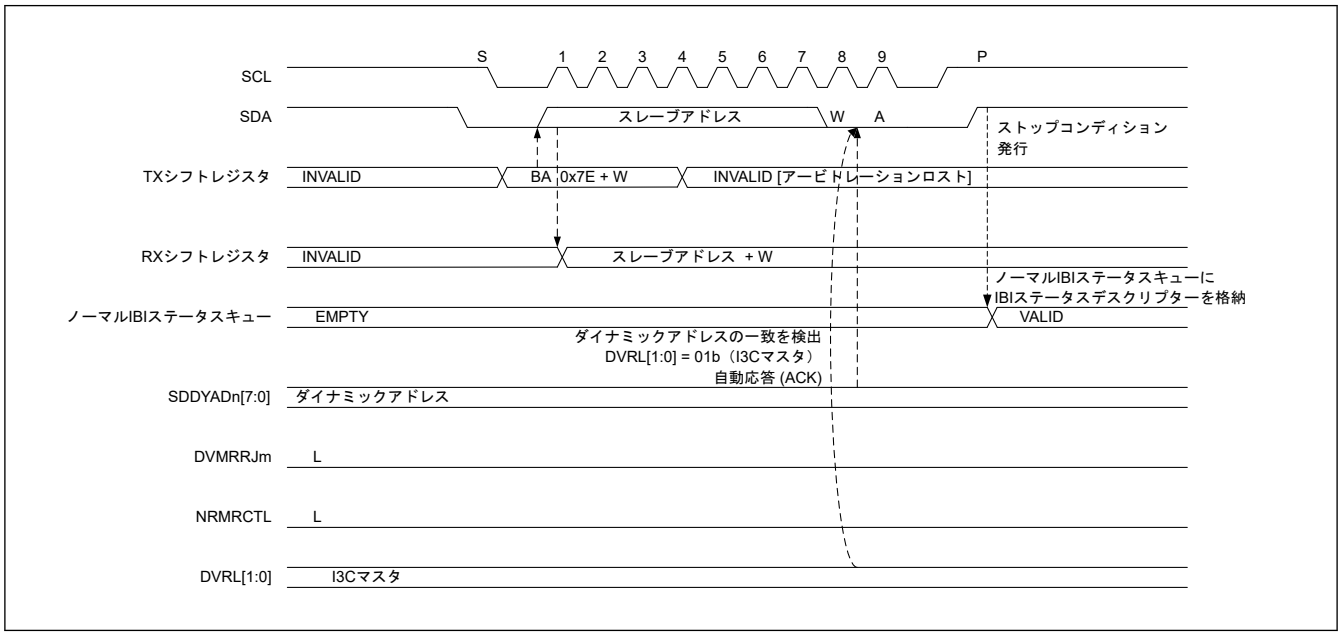


図 27.82　バス権要求：ACK

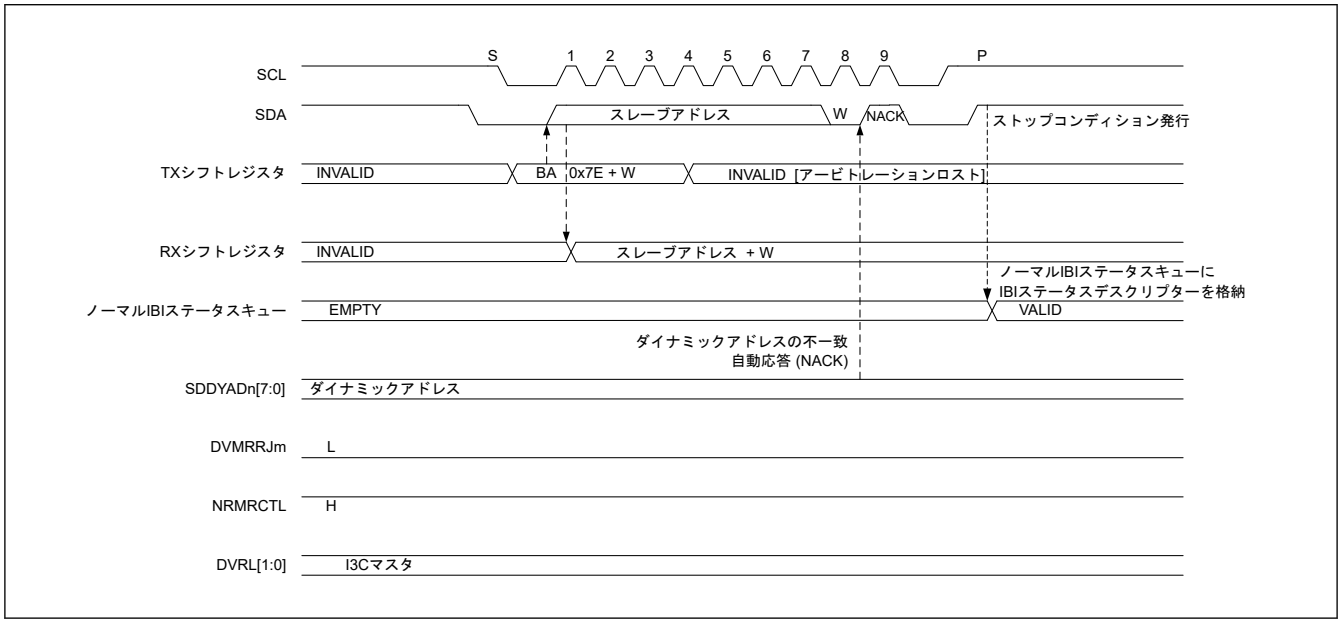


図 27.83　バス権要求：NACK（DAT.DVDYAD[7:0]ビットが一致しない）かつ NRMRCTL が 1 の場合

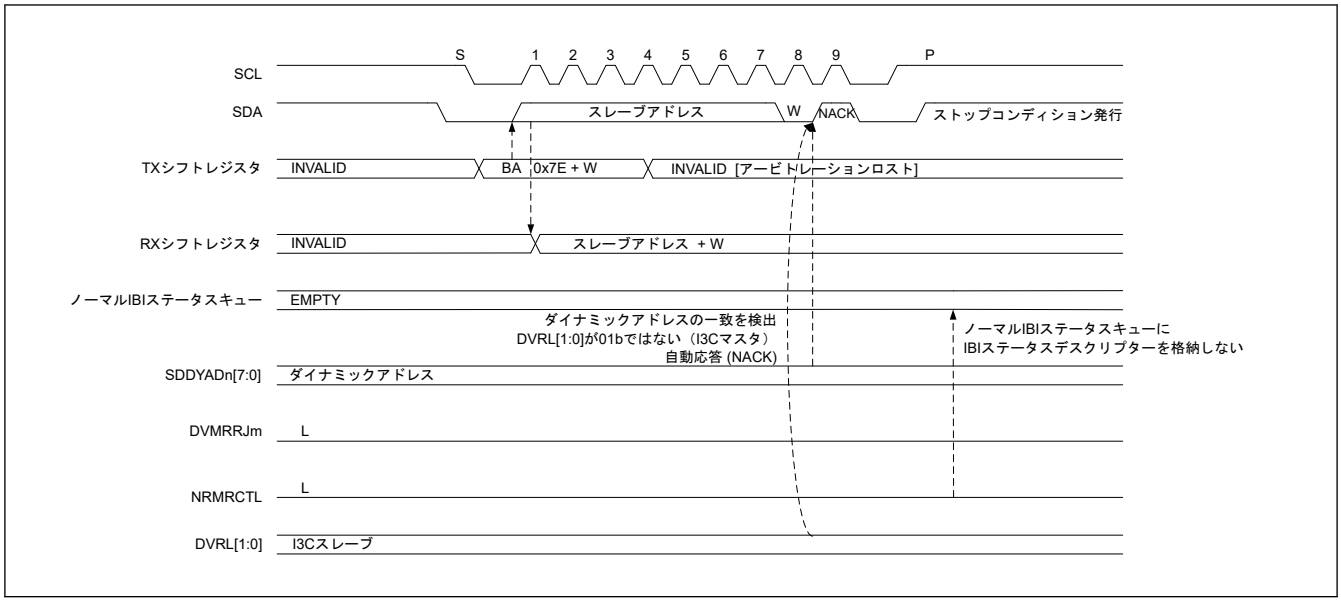


図 27.84　バス権要求：NACK（デバイスロール[1:0]ビットが 01b（I3C マスタ）以外である）かつ NRMRCTL が 0 の場合

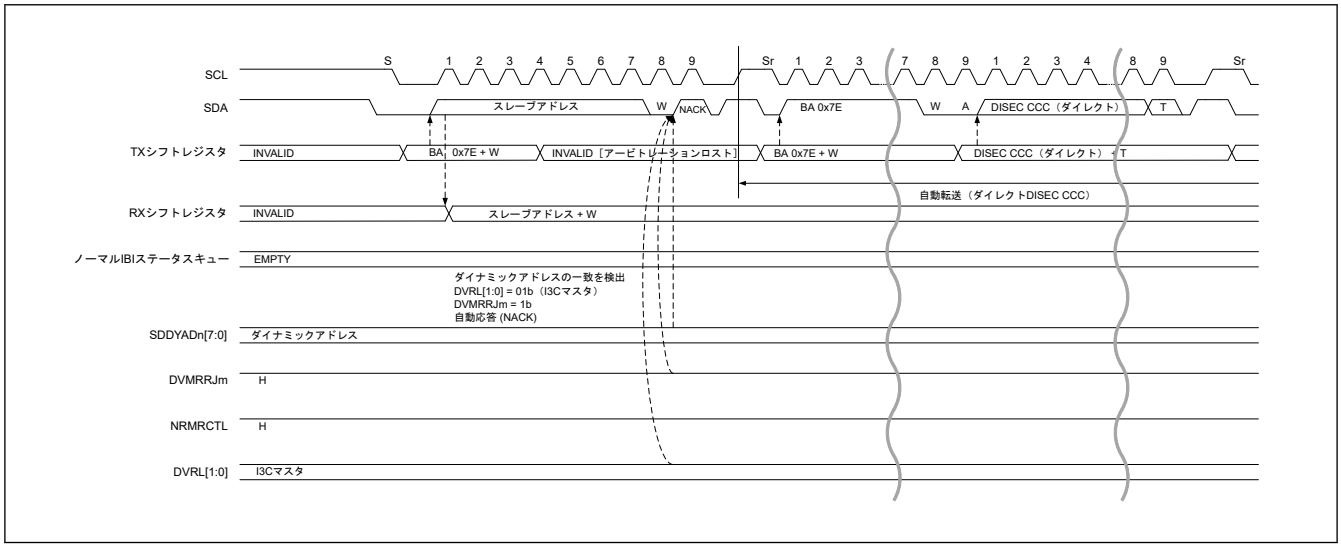


図 27.85　バス権要求：NACK（DVMRRJ が 1）かつ NRMRCTL が 1 の場合 (1/2)

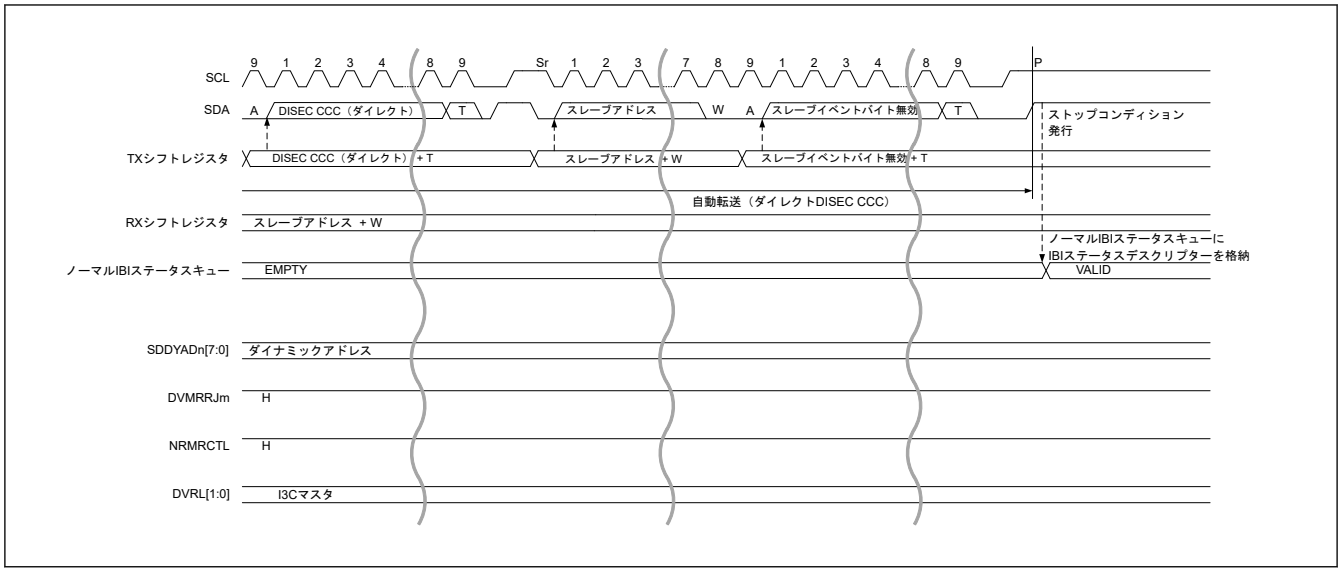


図 27.86　バス権要求：NACK（DVMRRJ が 1）かつ NRMRCTL が 1 の場合 (2/2)

27.3.2.3.9　タイミングコントロール

タイミングコントロールは、スレーブデバイスがセンサ値をサンプリングするタイミングを制御および把握することによって、マスタがスレーブからデータを効率的に読み出せるようにする機能です。

詳細は、「5.1.8 MIPI I3C 仕様 v1.0 のタイミングコントロール」を参照してください。

I3C では、タイミングコントロールは以下の 3 つのモードがあります。

- 同期モード
- 非同期モード 0（非同期基本モード）
- 非同期モード 1（非同期拡張モード）

各モードのタイミングコントロールを実現するためのリソースを以下に説明します。

(1)　同期モード

1. I3C マスタ
   - STCTL.STOE が 1 のとき、マスタが ST メッセージ（SETXTIME CCC + ST サブコマンド）を送信するとき、ST メッセージのスタートコンディション下で同期タイミングイベントを発行する機能があります。
     外部タイマで T_ph 期間を計測しながら、同期タイミングイベントでカウント値をキャプチャすることで、T_ph の開始と ST メッセージの遅延時間[DT]を計測できます。
     遅延時間の計測値は、ST メッセージに続けて DT メッセージ（SETXTIME CCC + DT サブコマンド）として送信されます。
2. I3C スレーブ
   - STCTL.STOE が 1 のとき、各スタートコンディションに対し同期タイミングイベントを発行する機能があります。ST メッセージを受信すると（ST サブコマンドを使用する SETXTIME CCC）、STCTL.STOE がクリアされます。
     ST メッセージの受信を受信ステータスディスクリプタで確認し、同期タイミングイベントでキャプチャされたカウント値と DT メッセージから取得した遅延時間に基づいて、外部タイマを使用して T_ph 期間を補正します。
     外部タイマで T_ph 期間を計測しながら、同期タイミングイベントでカウント値をキャプチャすることで、T_ph の開始と ST メッセージの遅延時間[DT]を計測できます。
     サンプリング時間は、正しい T_ph を使用して再計算されます。

(2)　非同期モード 0（非同期基本モード）

非同期モード 0 でタイミング制御を行う場合、必要に応じて ATCTL レジスタを設定します。

1. I3C マスタ

I3C には、非同期モード 0 用に MREF（32 ビット）と MC2（16 ビット）のカウンタがあります。

- MREF カウンタ
  ATCCNTE.ATCE ビットが有効になると、カウントを開始します。
  このカウンタは、I3C スレーブから送信された IBI に対する ACK に続く SCL 立ち上がりエッジの MREF をキャプチャします。
- MC2 カウンタ
  ATCCNTE.ATCE を有効にした後、カウンタは I3C スレーブから送信された IBI に対する ACK の次の SCL 立ち上がりエッジから必須のバイトの後の T ビットの次の SCL 立ち上がりエッジまでカウントアップし、それを MC2 としてキャプチャします。

DATBASm.DVIBITS ビットが 1 の状態で IBI が I3C スレーブから受信されたとき、MREF と MC2 のキャプチャ値は、IBI ステータスディスクリプタの次に格納されます。
I3C に実装されている MREF カウンタは 32 ビットカウンタです。
ただし、システム要件上 32 ビットカウンタでは不十分な場合、I3C には拡張用の MREF カウンタオーバーフローと MREF キャプチャイベントが用意されています。これらのイベントを有効にするには、ATCTL.MREFOE を 1 にします。
MREF カウンタオーバーフローは、内部 MREF カウンタがオーバーフローしたときに出力されます。
MREF カウンタは、外部タイマのカウントイベントとして使用することで拡張できます。MREF キャプチャイベントは、内部 MREF カウンタのキャプチャと同じタイミングで出力されます。これを外部タイマのキャプチャタイミングとして使用することで、IBI データバッファに格納された値と連結された MREF カウンタとして使用できます。

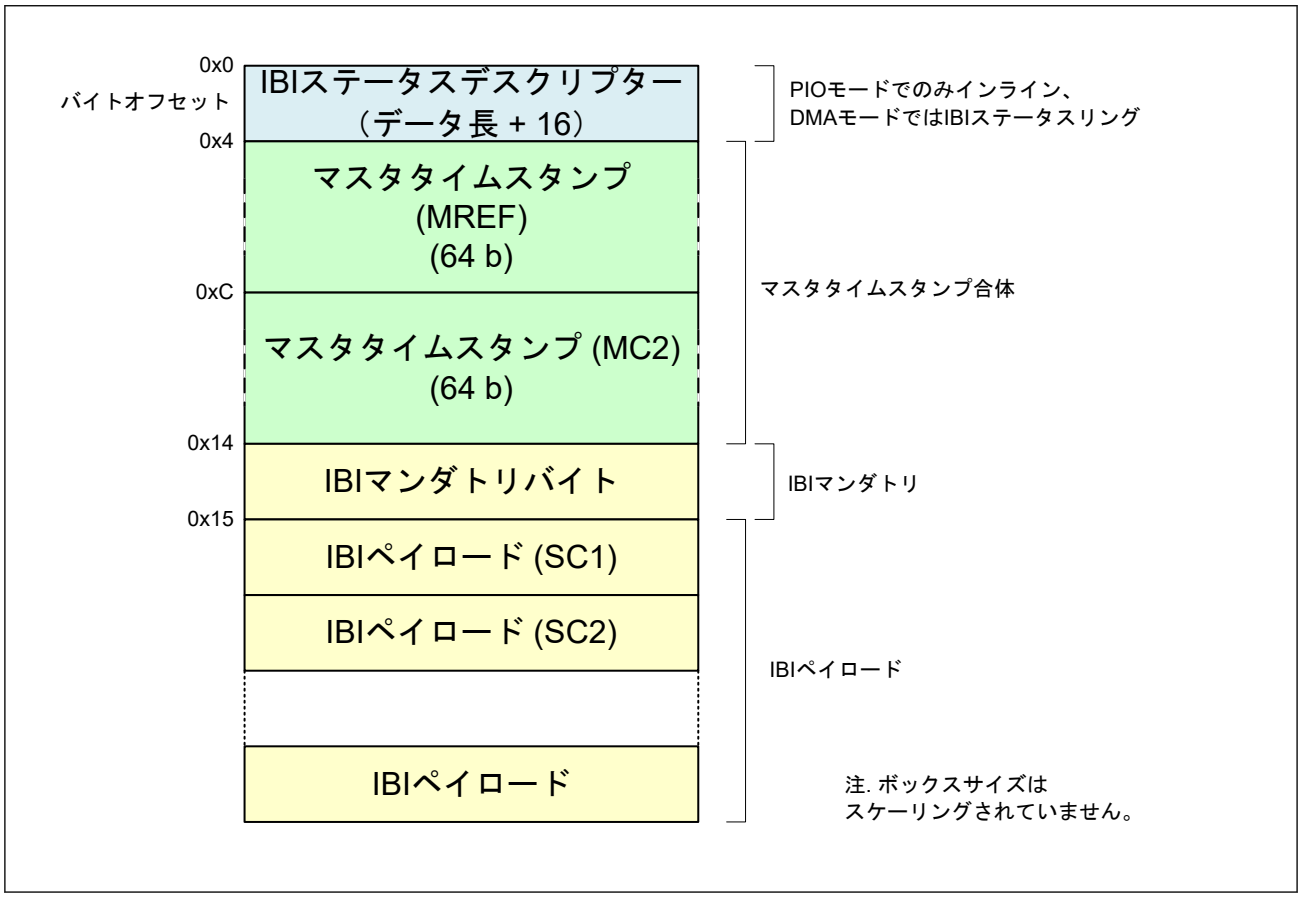


図 27.87 IBI イベント用のマスタタイムスタンプカウンタ

注. MIPI I3C 仕様 v1.0 ドキュメントにある計算式に従って、I3C スレーブのセンサイベントタイムを評価してください。

2. I3C スレーブ
   I3C には、非同期モード 0 用に SC1（16 ビット）と SC2（8 ビット）のカウンタがあります。
   - SC1 カウンタ

ATCCNTE.ATCE を有効にした後、カウンタは SC1 カウントトリガ(注1)から IBI に対する ACK の次の SCL 立ち上がりエッジまでカウントアップし、それを SC1 としてキャプチャします。

注 1. SW または外部トリガは選択ビットで選択可能です。

- SC2 カウンタ
  ATCCNTE.ATCE を有効にした後、カウンタは I3C スレーブから送信された IBI に対する ACK の次の SCL 立ち上がりエッジから必須のバイトの後の T ビットの次の SCL 立ち上がりエッジまでカウントアップし、それを SC2 としてキャプチャします。

CETSS.ASYNE [0]ビットが 1 かつ IBI 発行のためのコマンドディスクリプタの ITS ビットが 1 のとき、SC1 と SC2 のキャプチャ値は、以下の図に示すように IBI 必須バイトに続いて送信されます。
SC1 カウンタと SC2 カウンタがオーバーフローすると、0xFFFF と 0xFF がキャプチャされ、CETSS.ICOVF が 1 になります。
コマンドディスクリプタの DATA_LENGTH[15:0]ビット値は、SC1 と SC2 のデータ数と送信データ数を加えて得られた値を設定します。

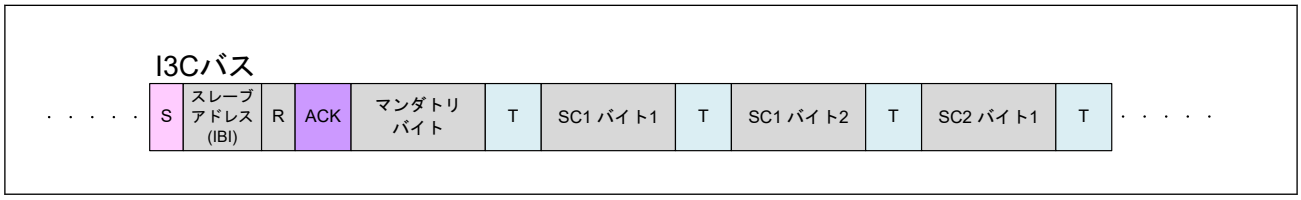


図 27.88 非同期モード 0 のタイムスタンプデータ転送動作例

(3) 非同期モード 1（非同期拡張モード）

非同期モード 1 でタイミングコントロールを行う場合、必要に応じて ATCTL レジスタを設定します。

1. I3C マスタ
   I3C には、非同期モード 1 用に MREF（32 ビット）、MSyncCNT（32 ビット）、および MC2（16 ビット）のカウンタがあります。
   - MREF カウンタ
     ATCCNTE.ATCE ビットが有効になると、カウントを開始します。
     このカウンタは、I3C スレーブから送信された IBI に対する ACK に続く SCL 立ち上がりエッジの MREF をキャプチャします。
   - MsyncCNT カウンタ
     ATCCNTE.ATCE ビットが有効になると、カウントを開始します。
     各 aME（START コンディションの SDA 立ち下がりエッジ）で MSyncCNT をキャプチャし、それをキャプチャレジスタに格納します。
   - MC2 カウンタ
     ATCCNTE.ATCE を有効にした後、カウンタは I3C スレーブから送信された IBI に対する ACK の次の SCL 立ち上がりエッジから必須のバイトの後の T ビットの次の SCL 立ち上がりエッジまでカウントアップし、それを MC2 としてキャプチャします。

   DATBASm.DVIBITS ビットが 1 の状態で IBI が I3C スレーブから受信されたとき、MREF と MC2 のキャプチャ値は、IBI ステータスディスクリプタの次に格納されます。（非同期モード 0 と同様）
   ATCTL.AMEOE が有効のとき、各 aME について aME イベントが発行されます。そのイベントをトリガとして、MRCCPT レジスタから MSyncCNT キャプチャ値を読み出し、外部メモリに保持します。
2. I3C スレーブ
   I3C には、非同期モード 1 用に SC1（16 ビット）、SC2（8 ビット）、および aME_TICK（8 ビット）のカウンタがあります。
   - SC1 カウンタ
     ATCCNTE.ATCE を有効にした後、カウンタは、SC1 カウントトリガ(注1)から最初の aME までカウントアップし、それを SC1 としてキャプチャします。

     注 1. SW または外部トリガは選択ビットで選択可能です。
   - SC2 カウンタ

ATCCNTE.ATCE を有効にした後、カウンタは I3C スレーブから送信された IBI に対する ACK の次の SCL 立ち上がりエッジから必須のバイトの後の T ビットの次の SCL 立ち上がりエッジまでカウントアップし、それを SC2 としてキャプチャします。

- aME_TICK カウンタ
  ATCCNTE.ATCE を有効にした後、カウンタは全ての aME をカウントし、それを IBI 用の ACK の次の SCL 立ち上がりエッジの aME_TICK としてキャプチャします。
  aME_TICK カウンタは、SC1 カウントトリガの後の最初の aME でクリアされます。

CETSS.ASYNE [1]ビットが 1 かつ IBI 発行のためのコマンドディスクリプタの ITS ビットが 1 のとき、SC1、SC2、aME_TICK のキャプチャ値は、以下の図に示すように IBI 必須バイトに続いて送信されます。

SC1 カウンタと SC2 カウンタがオーバーフローすると、0xFFFF と 0xFF がキャプチャされ、CETSS.ICOVF が 1 になります。

コマンドディスクリプタの DATA_LENGTH[15:0]ビット値は、SC1、SC2、aME_TICK のデータ数と送信データ数を加えて得られた値を設定します。

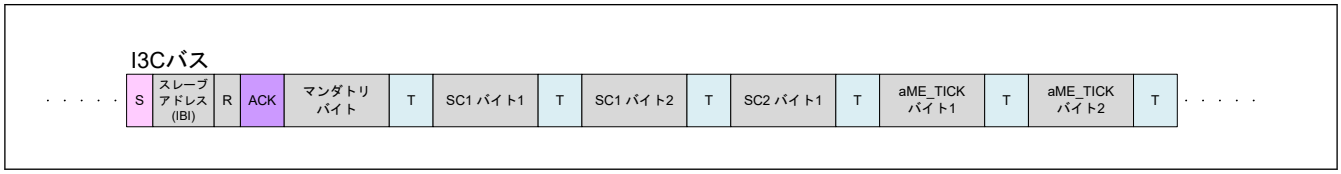


図 27.89　非同期モード 1 のタイムスタンプデータ転送動作例

27.3.2.3.10　ポートコントロール

(1)　SCL クロック追加出力機能

I3C モジュールは、マスタモード時、マスタデバイスとスレーブデバイスとの同期ズレによるスレーブデバイスの I3C_SDA ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

この機能は、I3C から SCL クロックを 1 クロック単位で追加出力させる機能であり、主にマスタモード時に、スレーブデバイスが I3C_SDA ラインを Low 固定しているため、I3C が繰り返しのスタートコンディションまたはストップコンディションを発行できないバスエラー発生時に、スレーブデバイスの I3C_SDA ラインを Low 固定状態から開放するために使用されます。通常はこの機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

OUTCTL.EXCYC ビットが 1 のとき、REFCKCTL.IREFCKS[2:0]ビットと STDBR.SBRHO[7:0]レジスタ、STDBR.SBRLO[7:0]レジスタに設定された周波数の追加のクロックパルスが I3C_SCL 端子から出力されます。このクロックパルスの出力が終了すると、EXCYC ビットは自動的に 0 になります。EXCYC ビットが 0 になったことを確認した後、繰り返しのスタートコンディションまたはストップコンディションのセットアップ時間を待機します。それから、繰り返しのスタートコンディションまたはストップコンディションの検出を確認します。繰り返しのスタートコンディションまたはストップコンディションを検出しない場合、再び EXCYC ビットに 1 を書き込むことで、続けて追加のクロックパルスを出力できます。

I3C がマスタモードであるとき、ノイズなどによるスレーブデバイスとの同期ズレが原因で、スレーブデバイスが I3C_SDA ラインを Low に固定したままであると、繰り返しのスタートコンディションまたはストップコンディションを出力できません。この SCL 追加サイクルを出力する機能を使用して SCL 追加クロックを 1 クロックずつ出力することで、スレーブデバイスの I3C_SDA ラインの Low 固定状態を解除させ、バスを使用できない状態から回復させることができます。スレーブデバイスによる I3C_SDA ラインの解放は、PRSTDBG.SDILV フラグを読みだすことで確認できます。I3C_SDA ラインがスレーブデバイスにより解放された後、繰り返しのスタートコンディションまたはストップコンディションのプリセットを発行します。

この機能を使用する場合、BFCTL.MALE ビットを 0（マスタアービトレーションロスト検出無効）にしてください。

[OUTCTL.EXCYC ビット使用時の出力条件]

- バスフリー状態 (BCST.BFREF フラグ = 1) またはマスタモード（PRSST.CRMS ビット = 1、BCST.BFREF フラグ = 0）のとき
- 通信デバイスが I3C_SCL ラインを Low ホールドにしていない状態のとき

図 27.90 に SCL クロック追加出力機能（EXCYC ビット）の動作タイミングを示します。

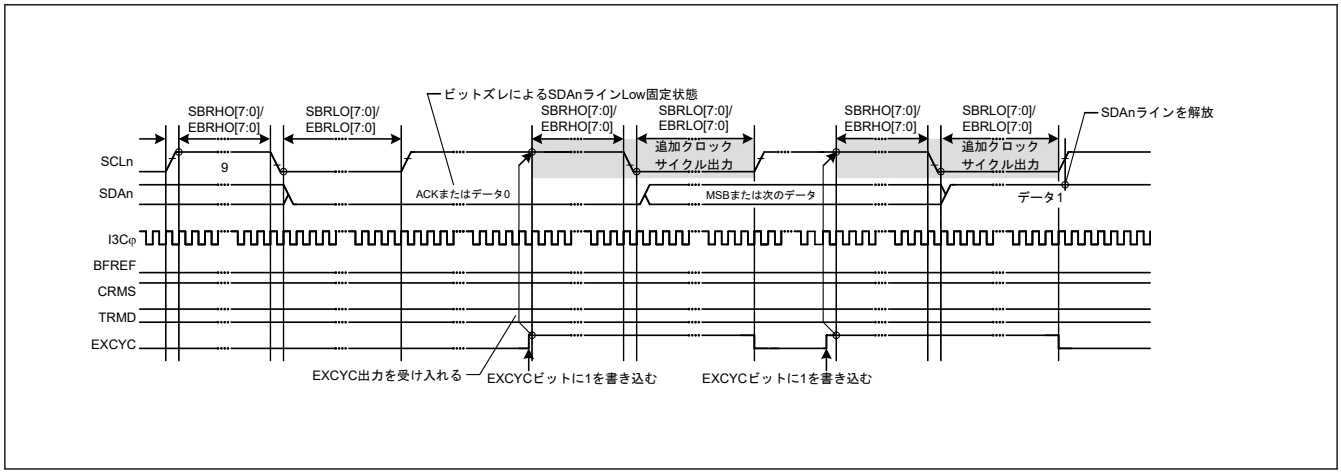


図 27.90　SCL クロック追加出力機能（EXCYC ビット）

27.3.2.3.11　SMBus 動作［I²C モード］

I3C は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、BFCTL.SMBS ビットを 1 にしてください。転送速度が SMBus 仕様の 10kbps～100kbps の範囲に収まるように、REFCKCTL.IREFCKS[2:0]ビット、STDBR.SBRHO[7:0]ビットおよび STDBR.SBRLO[7:0]ビットを設定してください。また、データホールド時間の規定値 300 ns 以上を満たすように、OUTCTL.SDODCS ビットおよび OUTCTL.SDOD[2:0]ビットの値を決定してください。I3C を I²C スレーブデバイスとしてのみ使用する場合は、転送レートの設定は不要ですが、STDBR.SBRLO[7:0]ビットにはデータセットアップ時間 (250 ns) 以上の値を設定する必要があります。

なお、SMBus デバイスデフォルトアドレス (1100 001b) には、スレーブデバイスアドレステーブル基本レジスタ 0～2（SDATBASn.SDSTAD[6:0]ビット (y = 0～2)）のいずれか 1 つを使用し、対応する SDATBASn.SDADLS ビット（7 ビット／10 ビットアドレスフォーマット選択）(y = 0～2) を 0（7 ビットアドレスフォーマット）にしてください。

また、UDID（ユニークデバイス ID）送信時には、BFCTL.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

(1)　SMBus タイムアウト測定

(a) スレーブデバイスのタイムアウト測定

下記に示す区間（タイムアウト間隔：$T_{LOW:SEXT}$）を SMBus 通信のスレーブデバイスにおいて計測する必要があります。

- スタートコンディションからストップコンディションまで

スレーブデバイスでタイムアウト測定を行うには、I3C のスタートコンディション検出割り込み (I3C_EEI) とストップコンディション検出割り込み (I3C_EEI) を利用して、スタートコンディション検出からストップコンディション検出までの期間を GPT タイマを使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間（スレーブデバイス）$T_{LOW: SEXT}$（最大 25 ms）以内である必要があります。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$（最小 25 ms）を超えた場合、スレーブデバイスは RSTCTL.INTLRST ビットに 1 を書き込み I3C の内部リセットを発行してバス解放動作を行う必要があります。内部リセットを行うと、I3C は I3C_SCL 端子／I3C_SDA 端子のバス駆動を中止し、I3C_SCL/I3C_SDA 端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(b) マスタデバイスのタイムアウト測定

下記に示す区間（タイムアウト間隔：$T_{LOW:MEXT}$）を SMBus 通信のマスタデバイスにおいて計測する必要があります。

- スタートコンディションからアクノリッジビットまで
- アクノリッジビットから次のアクノリッジビットまで

- アクノリッジビットからストップコンディションまで

マスタデバイスでタイムアウトを測定するには、I3C のスタートコンディション検出割り込み (I3C_EEI)、ストップコンディション検出割り込み (I3C_EEI)、送信終了割り込み (I3C_TEND)、または受信データバッファフル割り込み (I3C_RX) を使用して、GPT タイマでそれらの時間を計測してください。測定したタイムアウト時間は、SMBus 仕様の合計クロック Low 拡張時間（マスタデバイス）$T_{LOW:MEXT}$ 以内（最大 10 ms）でなければならず、スタートコンディションからストップコンディションまでのすべての $T_{LOW:MEXT}$ の合計は $T_{LOW:SEXT}$ 以内（最大 25 ms）でなければなりません。

ACK 受信タイミング（SCL クロックの 9 クロック目の立ち上がり）は、マスタ送信モード時（マスタトランスミッタ）は BST.TENDF フラグ、マスタ受信モード時（マスタレシーバ）は NTST.RDBFF0 フラグで監視します。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは SCSTRCTL.ACKTWE ビットを 0 で使用してください。ACKTWE ビットが 0 のとき、RDBFF0 フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長期間（マスタデバイス）$T_{LOW:MEXT}$: 10 ms (max) を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$: 25 ms (min) を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作（NTDTBP0 レジスタへの書き込み）を中止してください。

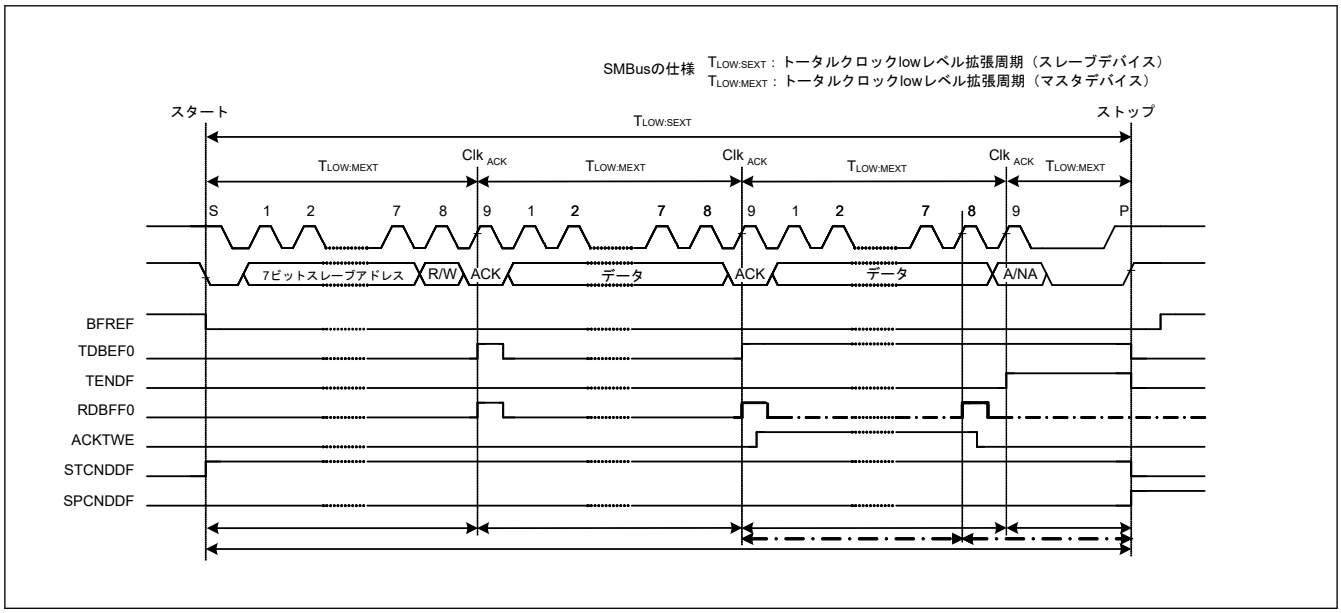


図 27.91　SMBus タイムアウト測定

(2)　パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。I3C の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の CRC 生成多項式については「33. 巡回冗長検査 (CRC)」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き、取得した CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として、最終バイト受信時の結果（一致または不一致）に応じた ACK/NACK 送出を行う場合は、最終バイト受信中の SCL の 8 クロック目の立ち上がりまでに SCSTRCTL.ACKTWE ビットを 1 にし、8 クロック目の立ち下がりで I3C_SCL ラインを Low にホールドしてください。

(3)　SMBus ホスト通知プロトコル（Notify ARP Master コマンド）

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホスト（または ARP マスタ）に対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を SMBus ホスト（または ARP マスタ）として動作させる場合、スレーブデバイスから送られたホストアドレス (0001 000b) をスレーブアドレスとして検出する必要があるため、I3C はこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、BFCTL.SMBS ビットを 1、かつ SVCTL.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

27.3.2.3.12 共通コマンドコード (CCC)［I3C モード］

共通コマンドコード (CCC) については、MIPI I3C 仕様 v1.0 の「5.1.9 共通コマンドコード (CCC)」を参照してください。I3C は、MIPI I3C 仕様 v1.0 の「5.1.9.3 共通コマンド定義」の「表 15 I3C 共通コマンドコード」に基づいています。

コマンドコードの MIPI 予約領域とベンダ拡張領域は、以下のようになります。

I3C マスタモード：

I3C マスタから MIPI 予約領域とベンダ拡張領域の CCC を送信する場合、即時データ転送コマンドを使用してブロードキャスト／ダイレクト SET CCC のみ送信できます。

ダイレクト GET CCC の送信はサポートされていません。

I3C スレーブモード：

MIPI 予約領域およびベンダ拡張領域の CCC について、ブロードキャスト／ダイレクト SET CCC のみ受信できます。

ダイレクト GET CCC の受信はサポートされていません。

27.3.2.4 エラー検出機能

27.3.2.4.1 SDR エラー検出および復帰方法（I3C スレーブデバイス）［I3C モード］

表 27.13 にまとめた 7 つのエラー種別は、全ての I3C スレーブデバイスに対しサポートされています。各エラー種別はさらに表の下で説明しています。

表 27.13 SDR スレーブエラー種別 (1/2)

エラー種別	内容	エラーの検出方法	エラーの復帰方法
S0	ブロードキャストアドレス/W (= 0x7E/W) またはダイナミックアドレス/RW	以下のいずれかを検出： 0x3E / W 0x5E / W 0x6E / W 0x76 / W 0x7A / W 0x7C / W 0x7F / W 0x7E / R	HDR 終了ディテクタを有効にし、全ての他のパターンを無視する
S1	CCC コード	T ビットを使ったパリティチェック	HDR 終了ディテクタを有効にし、他のパターンを無視する
S2	ライトデータ	T ビットを使ったパリティチェック	ストップコンディションディテクタを有効にし、他のパターンを無視する
S3	ダイナミックアドレスアービトレーションで配置されたアドレス	PAR ビットを使ったパリティチェック	PAR の後、NACK を生成し、暫定 ID を再送するため、ほかの繰り返しのスタートコンディションと 0x7E/R を待機する
S4	Sr の後、ダイナミックアドレスアービトレーションの間の 0x7E/R	Sr の後、ダイナミックアドレスアービトレーションの間に、0x7E/R 以外の値を検出する	0x7E/R の後、NACK を生成し、それからストップコンディションディテクタを有効にし、ほかのすべてのパターンを無視する
S5	CCC 検出後のトランザクション	不正なフォーマットの CCC を検出する	スレーブアドレスの後、NACK を生成し、それからストップコンディションディテクタを有効にし、ほかのすべてのパターンを無視する

表 27.13 SDR スレーブエラー種別 (2/2)

エラー種別	内容	エラーの検出方法	エラーの復帰方法
S6（オプション）	監視エラー	送信されたデータが送ろうとしていたデータと異なることを、スレーブが監視を通じて検出する（ダイナミックアドレスアービトレーションの間は適用しない）	送信を停止し、それからストップコンディションディテクタを有効にし、ほかのすべてのパターンを無視する

27.3.2.4.2 SDR エラー検出および復帰方法（I3C マスタデバイス）[I3C モード]

表 27.14 にまとめた 2 つのエラー種別は、全ての I3C マスタデバイスに対しサポートされています。各エラー種別はさらに表の下で説明しています。

表 27.14 SDR マスタエラー種別

エラー種別	内容	エラーの検出方法	エラーの復帰方法
M0	CCC 送信後のトランザクション	不正なフォーマットの CCC を検出する	送信を停止する。それからストップコンディションを送信し、送信を再試行する
M1（オプション）	監視エラー	送信されたデータが送ろうとしていたデータと異なることを、マスタが監視を通じて検出する（ダイナミックアドレスアービトレーションの間は適用しない）	送信を停止する。それからストップコンディションを送信し、送信を再試行する
M2	ブロードキャストアドレス (0x7E) に対して応答しない	マスタは、ブロードキャストアドレス (0x7E) の後の NACK を検出する	NACK の検出時、マスタは HDR 終了パターンに続けて、ストップコンディションを送信する

27.3.2.4.3 タイムアウトエラー検出機能

I3C は I3C_SCL ラインに一定時間以上変化が見られない状態を検出するタイムアウト機能を備えています。I3C は、I3C_SCL ラインが Low または High に固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することができます。

タイムアウト機能は I3C_SCL ラインの状態を監視し、Low の時間または High の時間を内部カウンタでカウントします。タイムアウト機能は、I3C_SCL ラインの変化（立ち上がりまたは立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。I3C_SCL ラインに変化がないために内部カウンタがオーバーフローすると、I3C はタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト機能は、BSTE.TODE ビットが 1 のとき有効です。以下の条件で I3C_SCL ラインが Low 固定または High 固定の場合にバスハングアップを検出します。（TMOCTL.TOMDS[1:0] = 00b のとき）

- マスタモード (PRSST.CRMS = 1) で、バスビジー (BCST.BFREF = 0)
- スレーブモード (PRSST.CRMS = 0) で、I3C 自身のスレーブアドレス検出（SVST レジスタが 0x0000 でない）かつバスビジー (BCST.BFREF = 0)
- スタートコンディション発行要求中 (CNDCTL.STCND = 1) で、バスフリー (BCST.BFREF = 1)

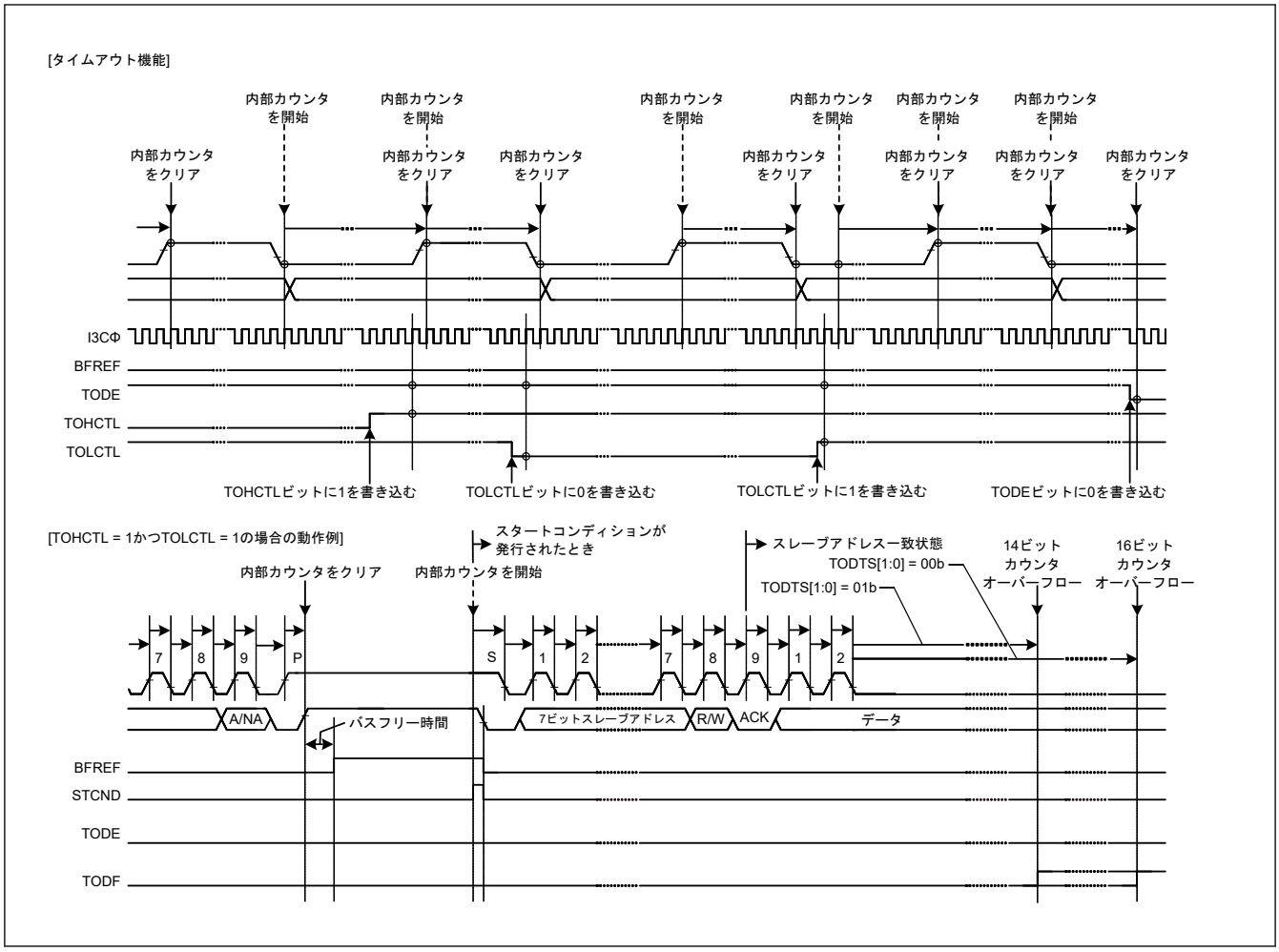


図 27.92　タイムアウトエラー検出機能（TODE、TODTS[1:0]、TOHCTL、TOLCTL ビットの使用）

27.3.2.4.4　レジューム動作機能［I3C モード］

I3C は、転送時に発生するいずれかの種類のエラーの結果として、Halt ステートに遷移します。

エラーの種類は、レスポンスディスクリプタか受信ステータスディスクリプタの ERR_STATUS フィールドに示します。I3C が Halt ステートに遷移したら、ユーザーは RSM ビットに値 1 を書き込む必要があります。それにより、動作を再開します。一旦次のコマンド転送を実行するか、スタートコンディションを検出すると、I3C は RSM ビットを自動的にクリアします。

27.3.2.4.5　中断動作機能［I3C モード］

BCTL.ABT ビットに 1 を設定すると、I3C は今発行している転送を完了する前に、バスの制御を放棄します。中断リクエストに対しては、I3C はデータバイトの転送または受信が完了した後で、バスに STOP コンディションを発行します。I3C が中断した後、ユーザーはバス動作ができるように BCTL.ABT ビットをクリアします。

注.　読み出しトランザクションでは、BCTL.ABT ビットが 1 に設定されると、その受信データは受信データバッファに格納されます。

略称

Pa :　パリティ

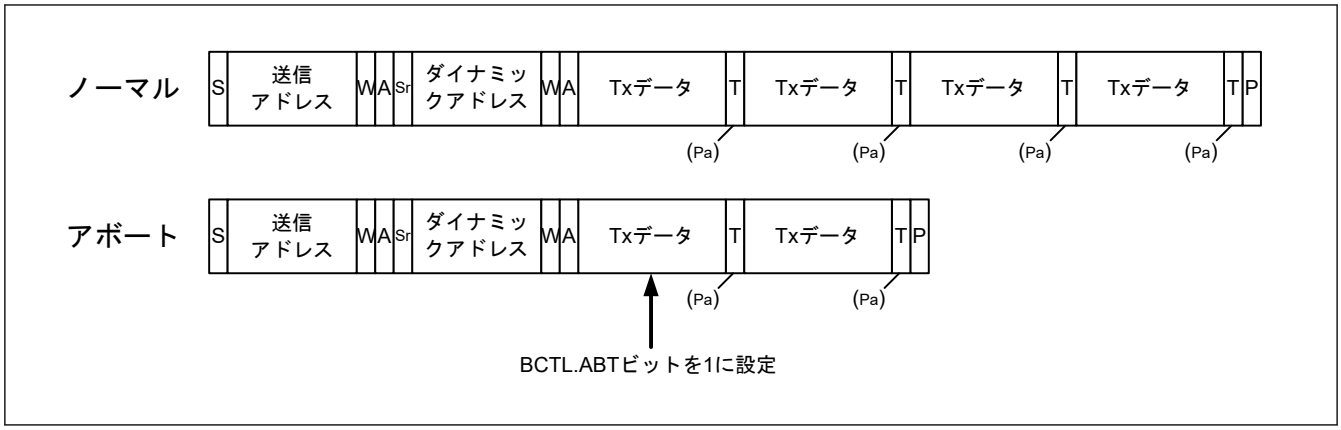


図 27.93　SDR 書き込み転送の中断動作

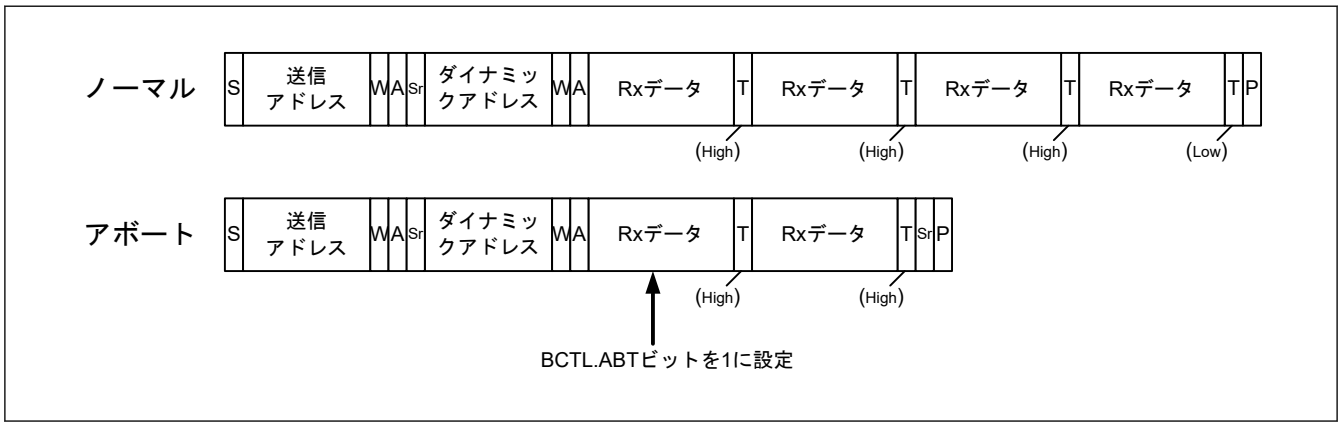


図 27.94　SDR 読み出し転送の中断動作

27.3.2.4.6　エラー復帰動作

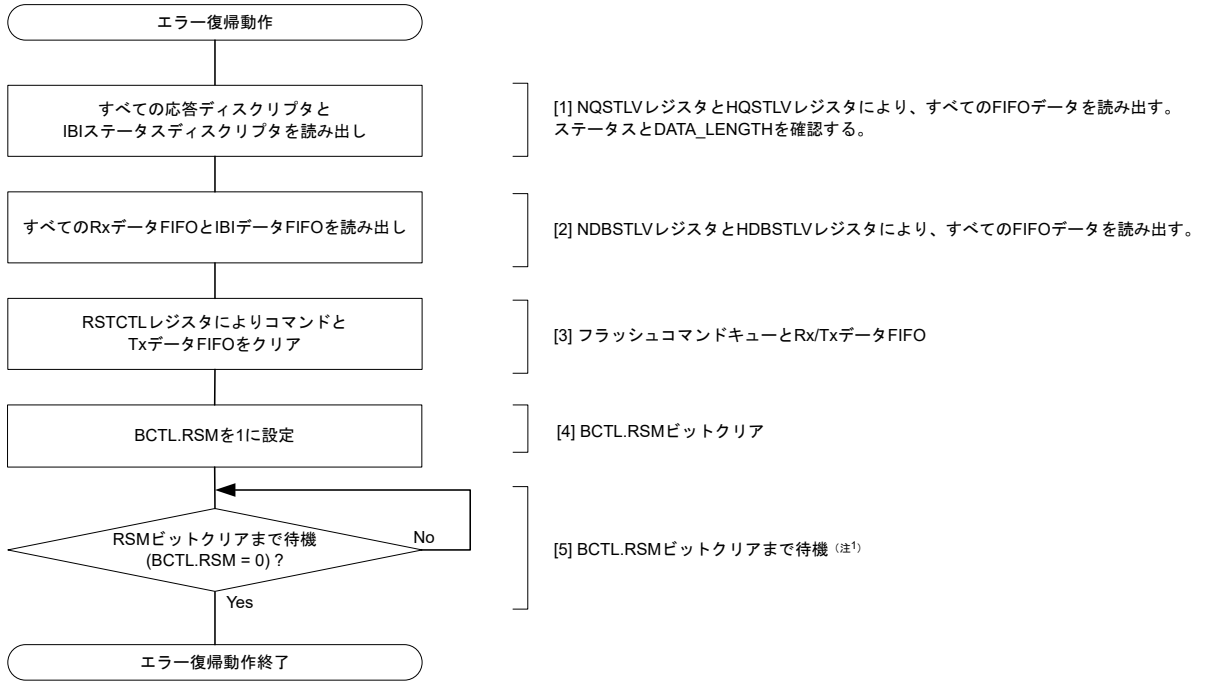
(1) エラー復帰動作

エラーが発生すると、エラーの要因に従って INST.INEF、NTST.TEF、NTST.TABTF、HTST.TEF、および HTST.TABTF フラグが 1 に設定されます。または各フラグに対応する割り込みがアサートされます（検出と割り込みが許可されている場合）。

通信エラーか内部モジュールエラーが発生する可能性があります。

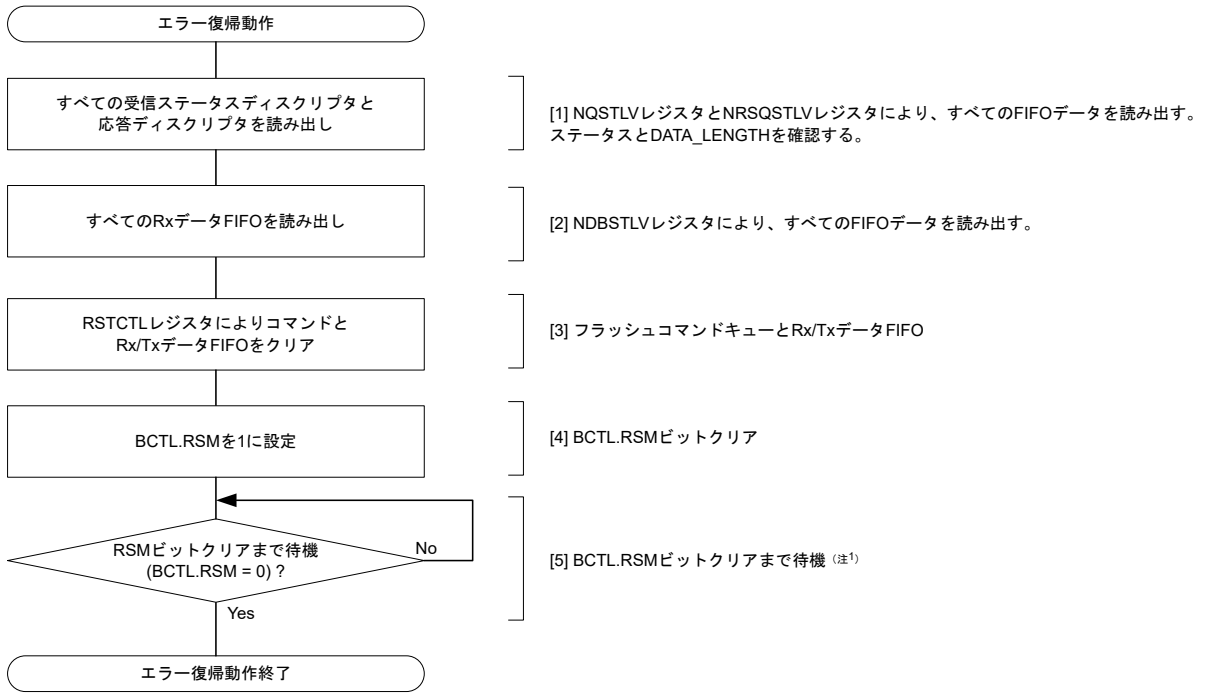
注.　エラーが発生した場合は、I3C がサスペンドされます（BCTL.RSM が 1 になる）。I3C がサスペンド状態になった後に、I3C が動作を再開し、サスペンド状態から復帰するためには、アプリケーションが BCTL.RSM ビットに 1 を書き込む必要があります。

エラー復帰フローを図 27.95 と図 27.96 に示します。



注 1. RSM ビットがクリアされる前に、コマンドキューポート（NCMDQP または HCMDQP）への書き込みを介して、コマンドディスクリプタをコマンドキューに書き込むことができます。

図 27.95 I3C マスタのエラー復帰動作フローの例



注 1. RSM ビットがクリアされる前に、コマンドキューポート (NCMDQP) への書き込みを介して、IBI 発行用コマンドディスクリプタをコマンドキューに書き込むことができます。

図 27.96 I3C スレーブでのエラー復帰動作フローチャート例

I3C スレーブがエラー復帰フローに従ってエラーから復帰するとき、BCTL.RSM を 1 にしてた後、I3C バス上でバス利用可能期間に通信が行われていない状態を検出すると、BCTL.RSM が 0 になります。

I3C バス上でバス利用可能期間中に通信が行われた場合、BCTL.RSM は 0 にならず、エラー復帰は完了せず、通信には NACK 応答が返されます。

(2) マスタエラー検出とエスカレーション処理

マスタがスレーブに送信したプライベートメッセージの ACK を受信せず、MIPI I3C 仕様 v1.0 の 5.1.10.2.4 に記載されているステップ 1 と 2 が失敗する場合、ステップ 3 の処理フローを図 27.97 と図 27.98 に示します。

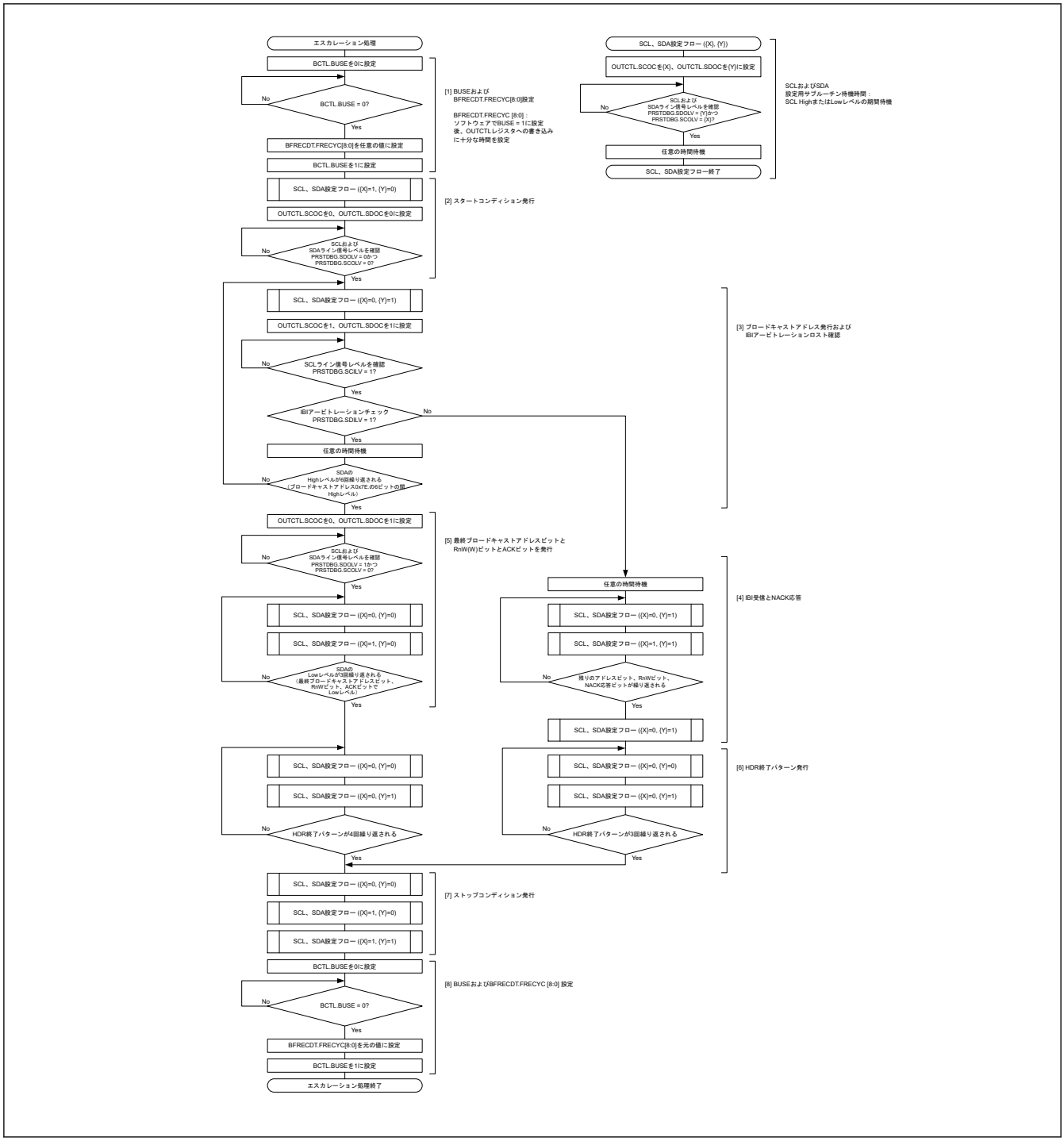


図 27.97　I3C マスタのエスカレーション処理フローチャート

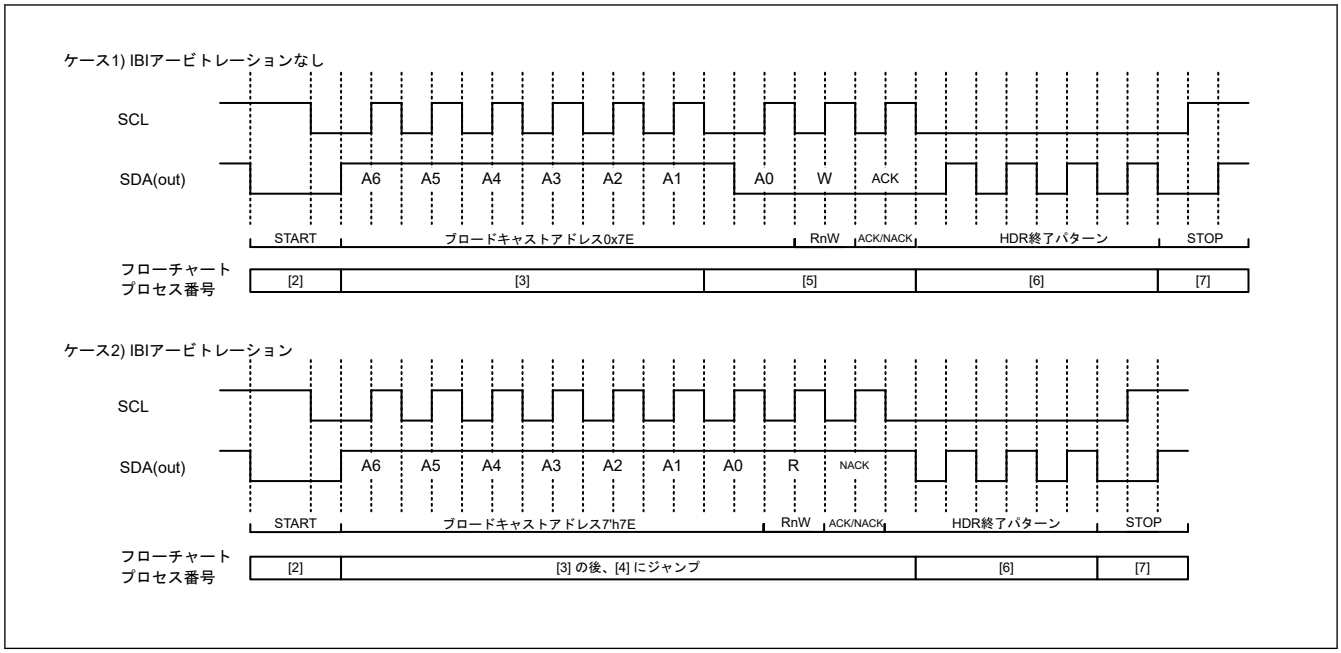


図 27.98 I3C マスタの I3C エスカレーション処理タイミングチャート

27.3.2.5 低消費電力機能

27.3.2.5.1 ウェイクアップ機能［I²C モード］

I3C は MCU をシステムクロックが停止している低消費電力モード（ソフトウェアスタンバイモードなど）から通常動作に遷移させるウェイクアップ機能を備えています。ウェイクアップ機能は、受信データがウェイクアップ割り込み要因に設定されたアドレスに一致するとき、また、動作クロック (PCLK/TCLK) が停止している（PCLK/TCLK 非同期動作）状態でデータを受信したとき、ウェイクアップ割り込み信号を生成するのに使用します。このウェイクアップ割り込み信号が、MCU を通常動作へ遷移させます。ウェイクアップ割り込みが発生すると、I3C を PCLK/TCLK 同期動作に切り替え、通信動作を継続できるようにします。

ウェイクアップ機能には、ノーマル WU モード 1、ノーマル WU モード 2、コマンドリカバリモード、および EEP 応答モードの 4 つのウェイクアップ動作モードがあります。下の表にそれら 4 つのウェイクアップ動作モードの動作について説明します。

表 27.15 ウェイクアップ動作モード

	ACK 応答タイミング	PCLK/TCLK 同期動作へのリカバリ前に応答した ACK の種別	PCLK/TCLK 同期動作へのリカバリ前の SCL 状態
通常ウェイクアップモード 1	PCLK/TCLK 同期動作へのリカバリ前(注1)	ACK	Low に固定
通常ウェイクアップモード 2	PCLK/TCLK 同期動作へのリカバリ後(注2)	リカバリ前：応答なし（NACK レベル保持） リカバリ後：ACK 応答	Low に固定
コマンドリカバリモード	PCLK/TCLK 同期動作へのリカバリ前(注1)	ACK	オープン
EEP 応答モード	PCLK/TCLK 同期動作へのリカバリ前(注1)	NACK	オープン

注 1. PCLK/TCLK 非同期動作から PCLK/TCLK 同期動作へのタイミング切り替えは、9 番目の SCL クロックの立ち下がりで発生します。
注 2. PCLK/TCLK 非同期動作から PCLK/TCLK 同期動作へのタイミング切り替えは、8 番目の SCL クロックの立ち下がりで発生します。

ウェイクアップ割り込み要因として以下の要因が選択可能です。

- ホストアドレス検出（SVCTL.HOAE = 1 の場合に有効）
- ジェネラルコールアドレス検出（SVCTL.GCAE = 1 の場合に有効）
- スレーブアドレス 0(注1)検出（SVCTL.SVAF[0] = 1 の場合に有効）

- スレーブアドレス 1(注1)検出（SVCTL.SVAF[1] = 1 の場合に有効）
- スレーブアドレス 2(注1)検出（SVCTL.SVAF[2] = 1 の場合に有効）

注 1. 7 ビットアドレスのみが設定可能。SDATBASn.SDADLS ビットを 0 にしてください。

(1) ノーマル WU モード 1

以下では、通常ウェイクアップモード 1 の動作、タイミング、および使用例について説明します。

スレーブアドレスの一致によるウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。図 27.101 に、詳細なタイミングを示します。

ウェイクアップリカバリ前： 自スレーブアドレスとともに受信したデータに対して ACK を送信する。

ウェイクアップリカバリ時： SCL の 9 クロック目で ACK 応答を行ってから、SCL の Low ホールドを行う(注1)。

ウェイクアップリカバリ後： 通常動作が継続する。

注 1. ウェイクアップリカバリ時の 9 クロック目と 1 クロック目の間では、SCSTRCTL.RWE = 1 は無効です。

スレーブアドレスが不一致の場合、SCL の 9 クロック目の立ち下り後に SCL ラインの Low ホールドを行わず、スレーブ動作を継続します。

使用例について、以下の図 27.99 を参照してください。

スレーブアドレス一致で生成されたウェイクアップ割り込み信号以外の要因（他のリカバリ要因 (IRQ)）で通常動作へ遷移した場合、ウェイクアップ割り込みは発生しません。この場合 BST.WUCNDDF は設定されません。図 27.100 に従って以下の手順を実施してください。

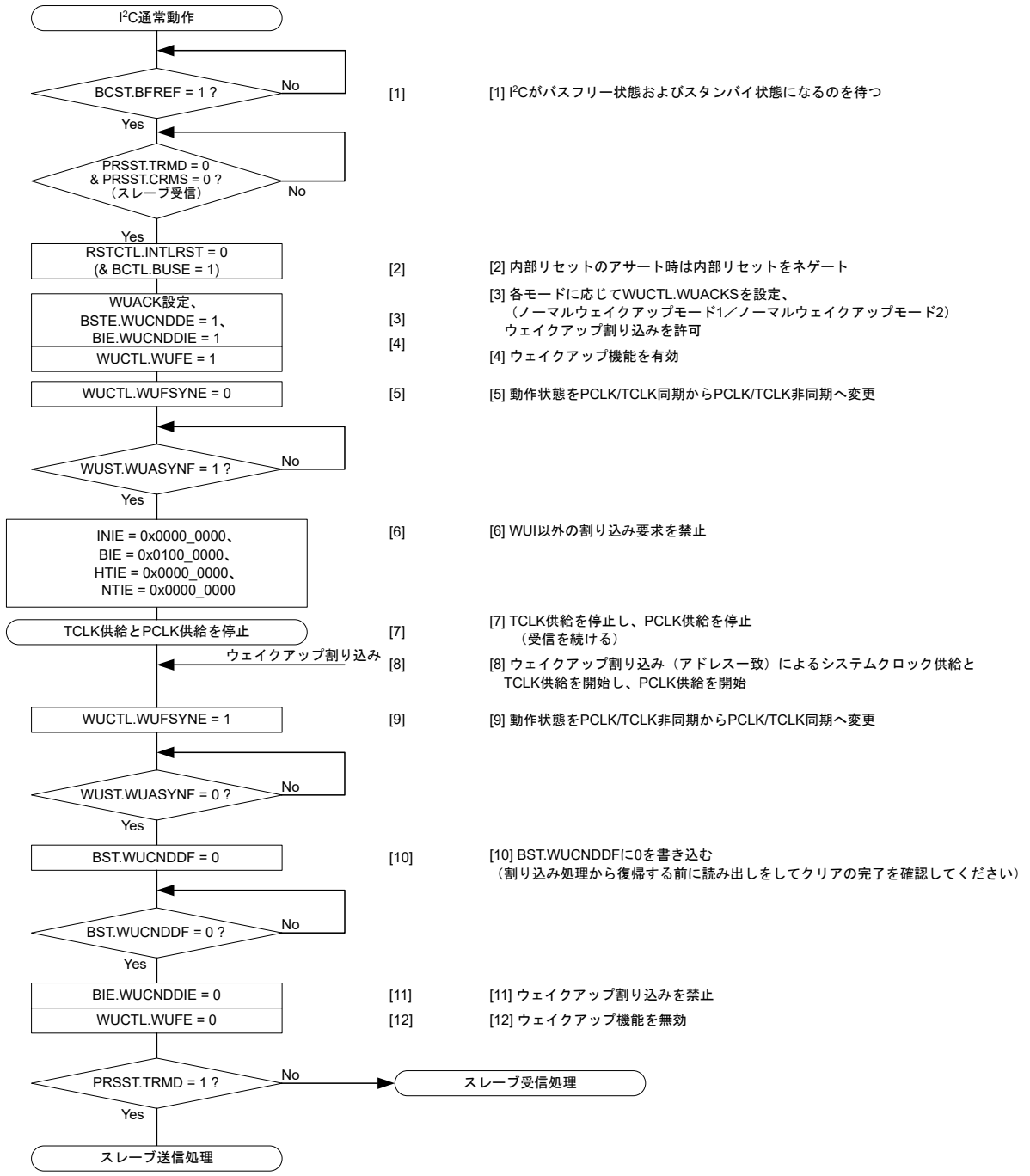


図 27.99　ノーマル WU モード 1 の使用例（スレーブアドレス一致に起因するウェイクアップ割り込みによるウェイクアップリカバリの場合）

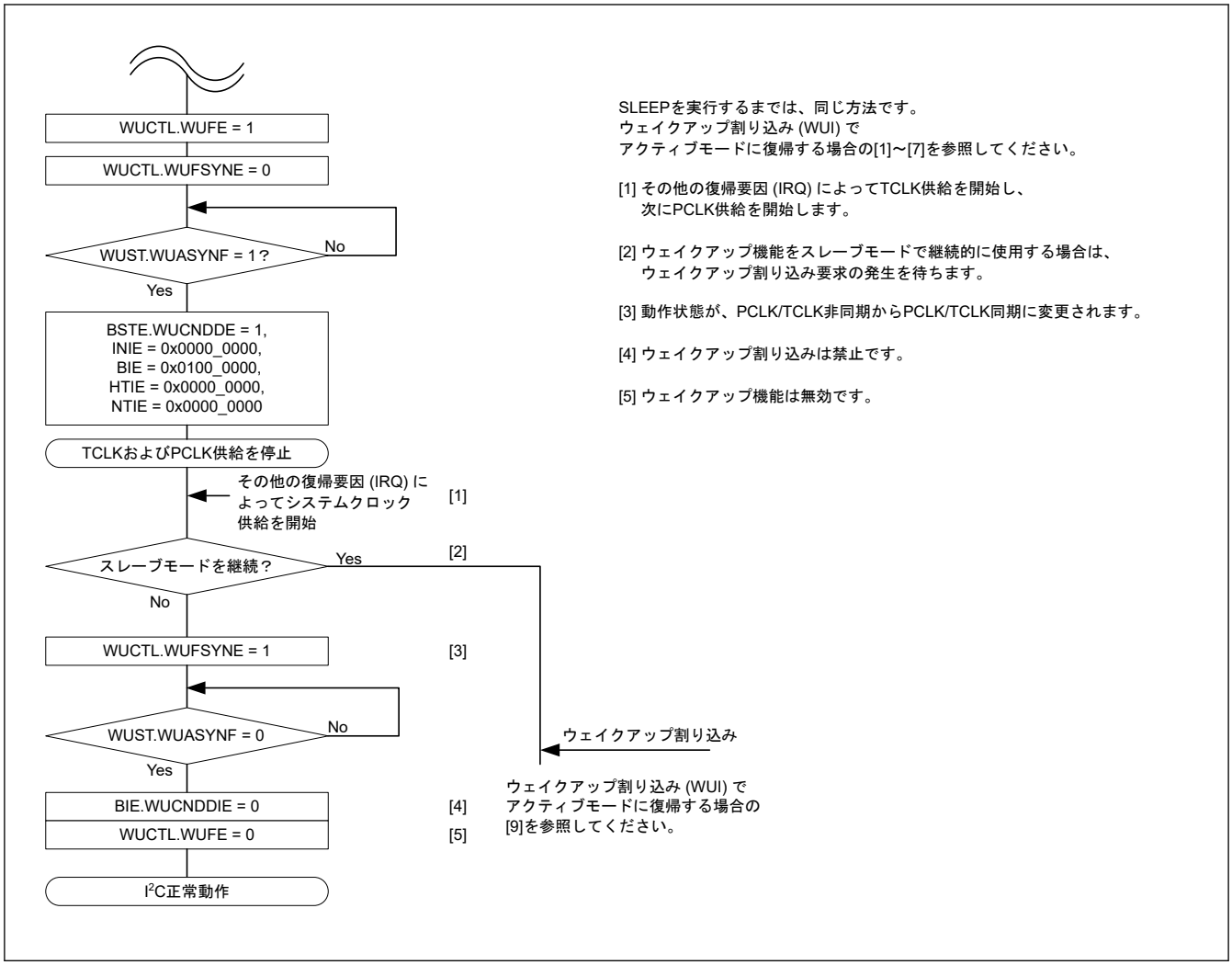


図 27.100 ノーマル WU モード 1 および 2 の使用例（他のリカバリ要因 (IRQ) によるウェイクアップリカバリの場合）

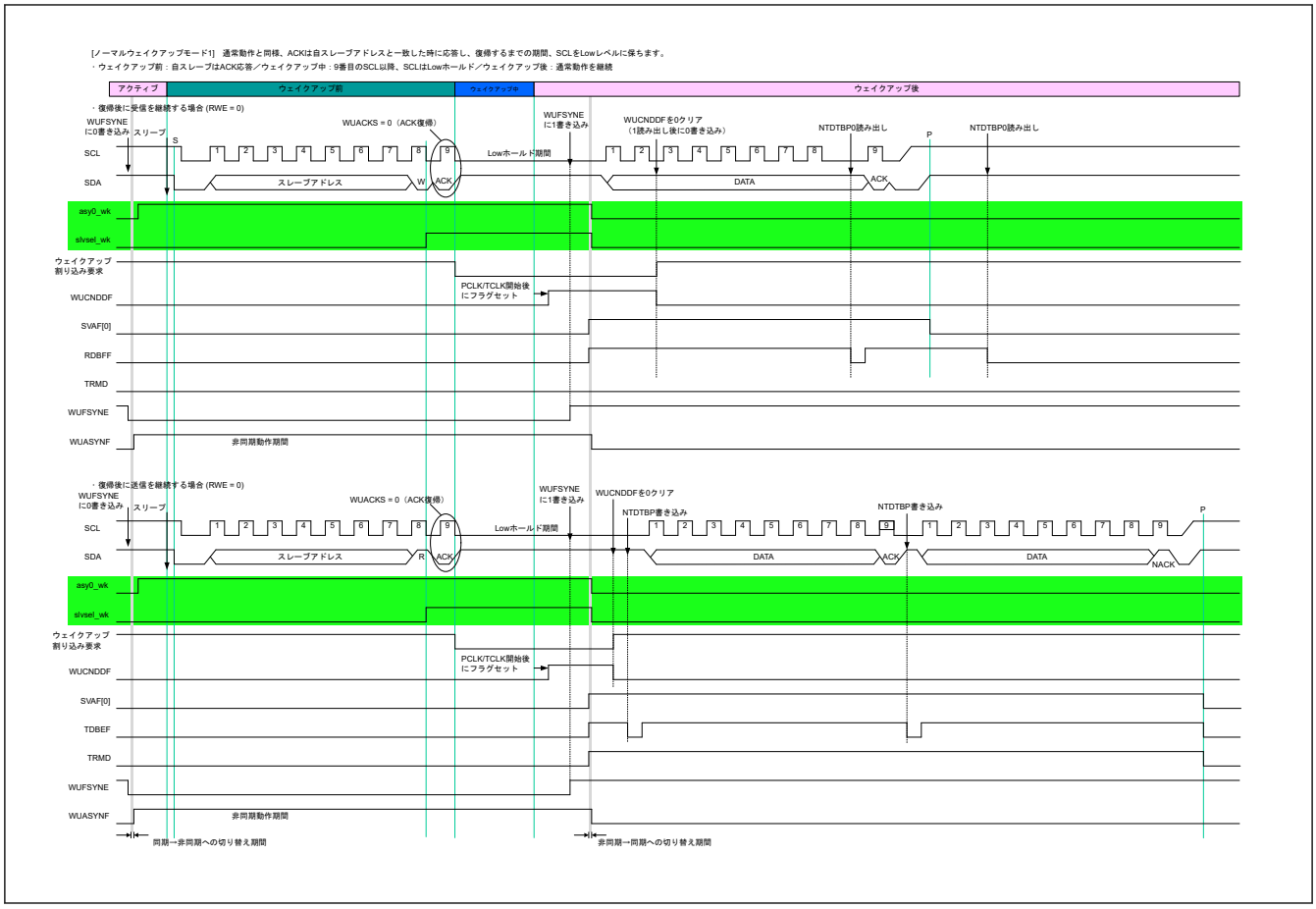


図 27.101　ノーマル WU モード 1 のタイミング

(2)　ノーマル WU モード 2

以下では、通常ウェイクアップモード 2 の動作、タイミング、および使用例について説明します。

スレーブアドレスの一致によるウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。

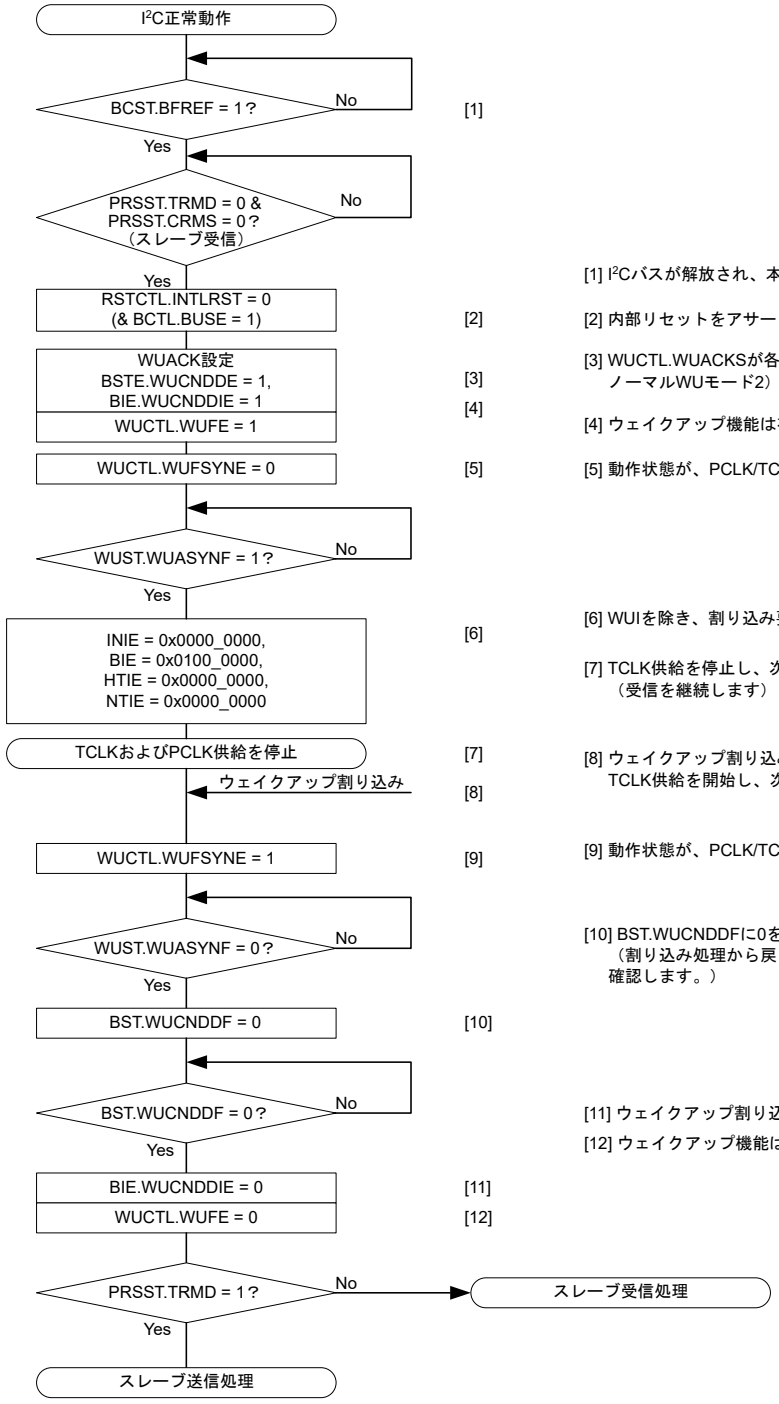
図 27.103 に、詳細なタイミングを示します。

ウェイクアップリカバリ前：	自スレーブアドレスとともに受信したデータに対して SCL の 8 クロック目の終わりまで応答しない。
ウェイクアップリカバリ時：	8 クロック目と 9 クロック目の間で SCL ラインの Low ホールドを行う。
ウェイクアップリカバリ後：	SCL の 9 クロック目で ACK を返し、通常動作が継続する。

スレーブアドレスが不一致の場合、SCL の 8 クロック目の立ち下り後に SCL ラインの Low ホールドは行われません。スレーブ動作が継続します。

使用例について、以下の図 27.102 を参照してください。

スレーブアドレス一致で生成されたウェイクアップ割り込み信号以外の要因（他のリカバリ要因 (IRQ)）で通常動作へ遷移した場合、ウェイクアップ割り込みは発生しません。この場合 BST.WUCNDDF は設定されません。図 27.100 に従って以下の手順を実施してください。



[1] I²Cバスが解放され、本モジュールがスタンバイ状態になるのを待ちます。

[2] 内部リセットをアサートする場合は、内部リセットをネゲートします。

[3] WUCTL.WUACKSが各モードに応じて設定されます。（ノーマルWUモード1／ノーマルWUモード2）ウェイクアップ割り込みが許可されます。

[4] ウェイクアップ機能は有効です。

[5] 動作状態が、PCLK/TCLK同期からPCLK/TCLK非同期に変更されます。

[6] WUIを除き、割り込み要求が禁止されます。

[7] TCLK供給を停止し、次にPCLK供給を停止します。
（受信を継続します）

[8] ウェイクアップ割り込み（アドレスマッチ）により、システムクロックおよびTCLK供給を開始し、次にPCLK供給を開始します。

[9] 動作状態が、PCLK/TCLK非同期からPCLK/TCLK同期に変更されます。

[10] BST.WUCNDDFに0を書き込みます。
（割り込み処理から戻る前に読み出して、クリアが完了しているかどうかを確認します。）

[11] ウェイクアップ割り込みは禁止です。

[12] ウェイクアップ機能は無効です。

図 27.102 ノーマル WU モード 2 の使用例（スレーブアドレス一致に起因するウェイクアップ割り込みによるウェイクアップリカバリの場合）

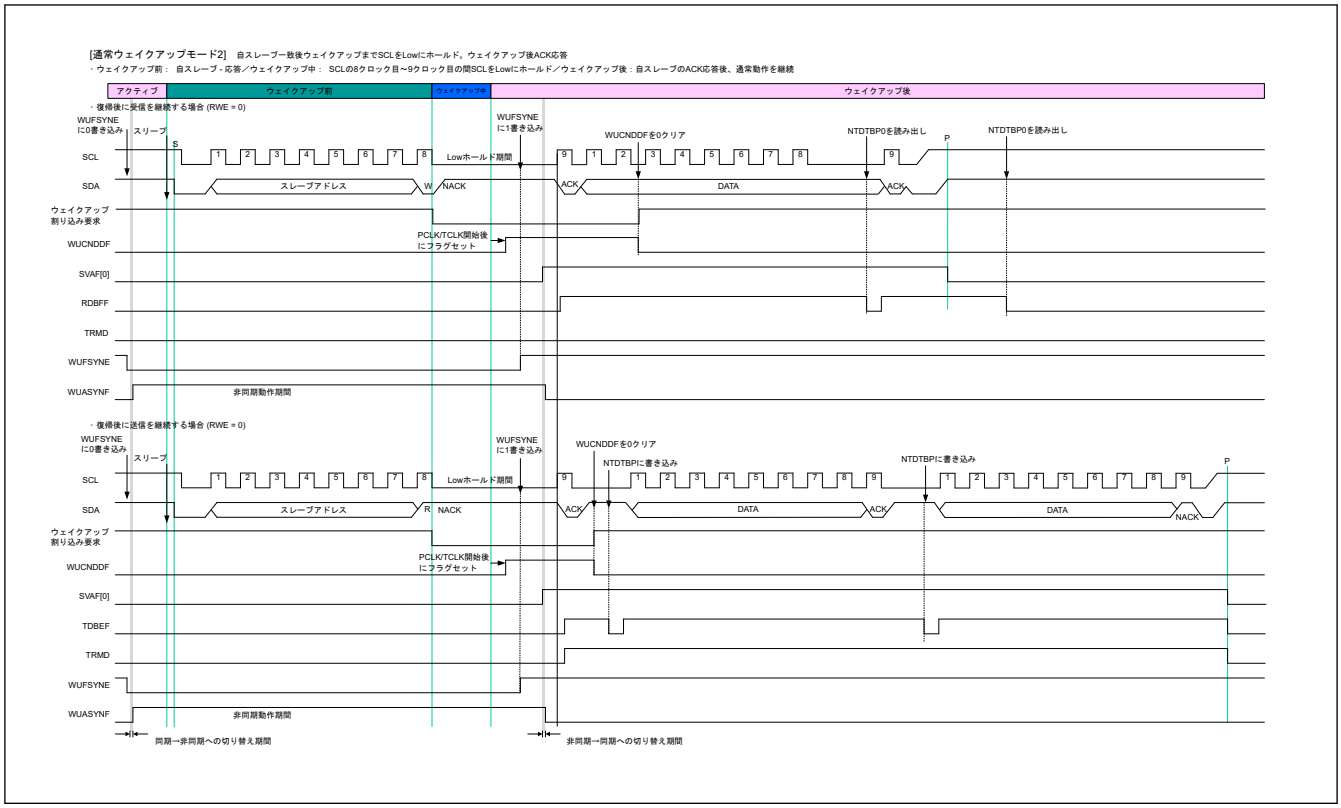


図 27.103　ノーマル WU モード 2 のタイミング

(3)　コマンドリカバリモードと EEP 応答モード（特殊ウェイクアップモード）

コマンドリカバリモードと EEP 応答モードでは、ウェイクアップリカバリ期間中（SCL の 9 クロック目の立ち上がり後）に SCL ラインの Low ホールドを行わないので、他の I^2C/I3C デバイスはこの期間に I^2C バスを利用できます。以下では、コマンドリカバリモードと EEP 応答モードの動作、タイミング、および使用例について説明します。

スレーブアドレスの一致によるウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。図 27.106 に、詳細なタイミングを示します。

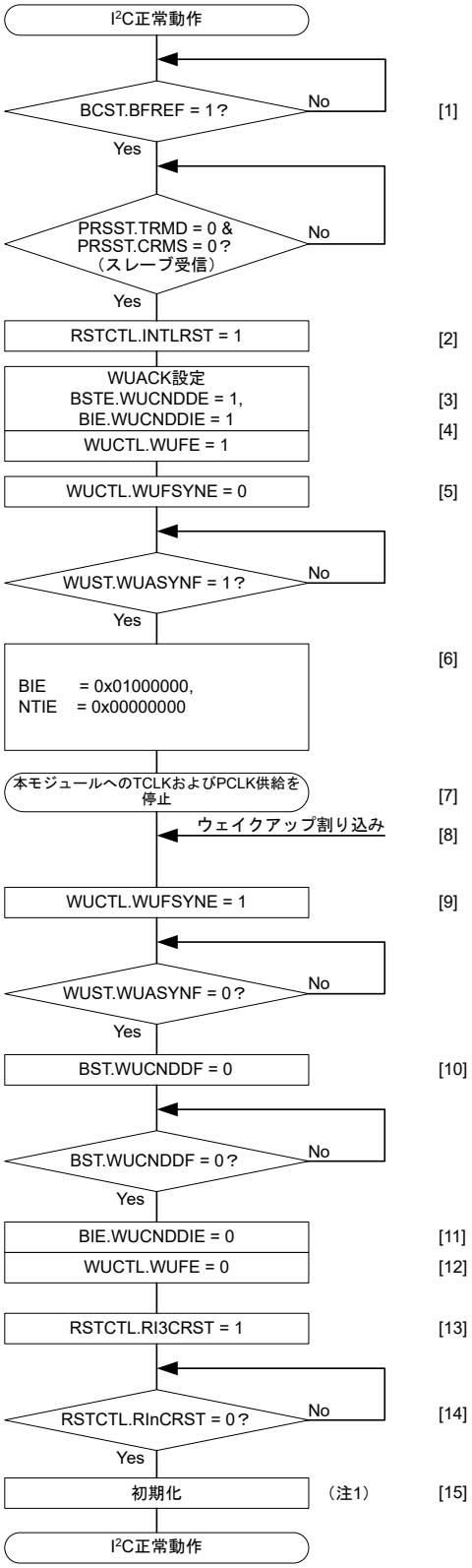
ウェイクアップリカバリ前：	自スレーブアドレスとともに受信したデータに対して ACK（コマンドリカバリモードの場合）または NACK（EEP 応答モードの場合）を返す。
ウェイクアップリカバリ時：	SCL ラインの Low ホールドを行わない。
ウェイクアップリカバリ後：	I3C の初期設定後、通常動作が継続する。

注.　ウェイクアップリカバリ中に SCL ラインの Low ホールドは行われないので、スレーブアドレスの後続データは送受信できません。
注.　コマンドリカバリモードと EEP 応答モードは、内部リセット状態 (RSTCTL.INTLRST = 1) です。そのため、スレーブアドレスが一致しても、SVST レジスタのフラグ（HOAF、GCAF、および SVAF[3:0]）は設定されません。

スレーブアドレスが不一致の場合、スレーブ動作が継続します。

使用例について、以下の図 27.105 を参照してください。

スレーブアドレス一致で生成されたウェイクアップ割り込み信号以外の要因（他のリカバリ要因 (IRQ)）で通常動作へ遷移した場合、ウェイクアップ割り込みは発生しません。この場合 BST.WUCNDDF は設定されません。図 27.105 に従って以下の手順を実施してください。



[1] I²Cバスが解放され、本モジュールがスタンバイ状態になるのを待ちます。

[2] 内部リセットをアサートします。

[3] WUCTL.WUACKSが各モードに応じて設定されます。（コマンド復帰モード／EEP応答モード）ウェイクアップ割り込みが許可されます。

[4] ウェイクアップ機能は有効です。

[5] このモジュールの動作状態が、PCLK/TCLK同期からPCLK/TCLK非同期に変更されます。

[6] WUIを除き、割り込み要求が禁止されます。

[7] 本モジュールへのTCLK供給を停止し、次に本モジュールへのPCLK供給を停止します。（本モジュールは受信を継続します）

[8] ウェイクアップ割り込み（アドレスマッチ）により、本モジュールへのシステムクロックおよびTCLK供給を開始し、次に本モジュールへのPCLK供給を開始します。

[9] このモジュールの動作状態が、PCLK/TCLK非同期からPCLK/TCLK同期に変更されます。

[10] BST.WUCNDDFに0を書き込みます。
（割り込み処理から戻る前に読み出して、クリアが完了しているかどうかを確認します。）

[11] ウェイクアップ割り込みは禁止です。

[12] ウェイクアップ機能は無効です。

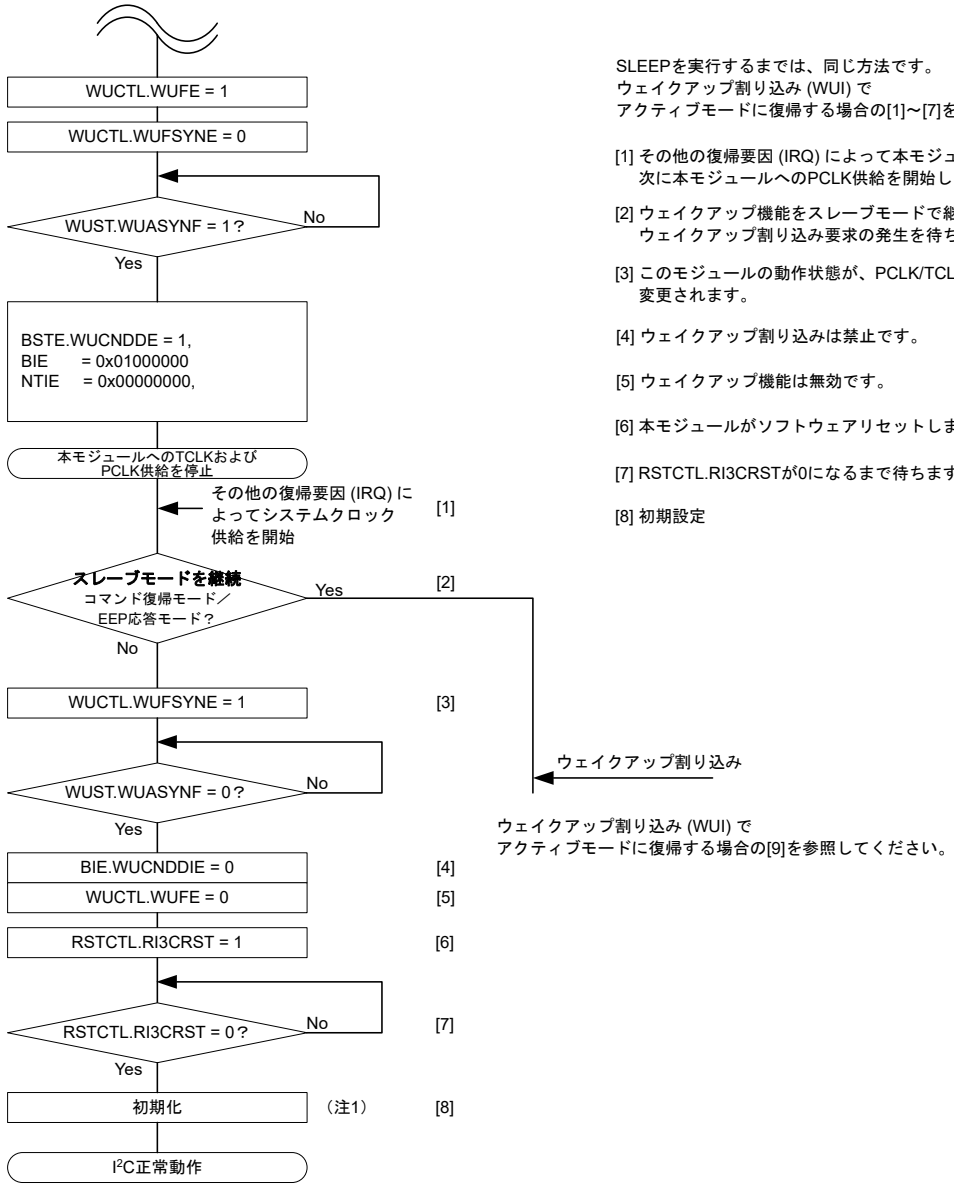
[13] ソフトウェアがリセットされます。

[14] RSTCTL.RI3CRSTが0になるまで待ちます。

[15] 初期設定

注 1. 初期化処理の詳細は、「27.3.3.1. 初期設定フロー」を参照してください。

図 27.104 コマンドリカバリモードと EEP 応答モードの使用例（スレーブアドレス一致に起因するウェイクアップ割り込みによるウェイクアップリカバリの場合）



注 1. 初期化処理の詳細は、「27.3.3.1. 初期設定フロー」を参照してください。

図 27.105 コマンドリカバリモードと EEP 応答モードの使用例（他のリカバリ要因 (IRQ) によるウェイクアップリカバリの場合）

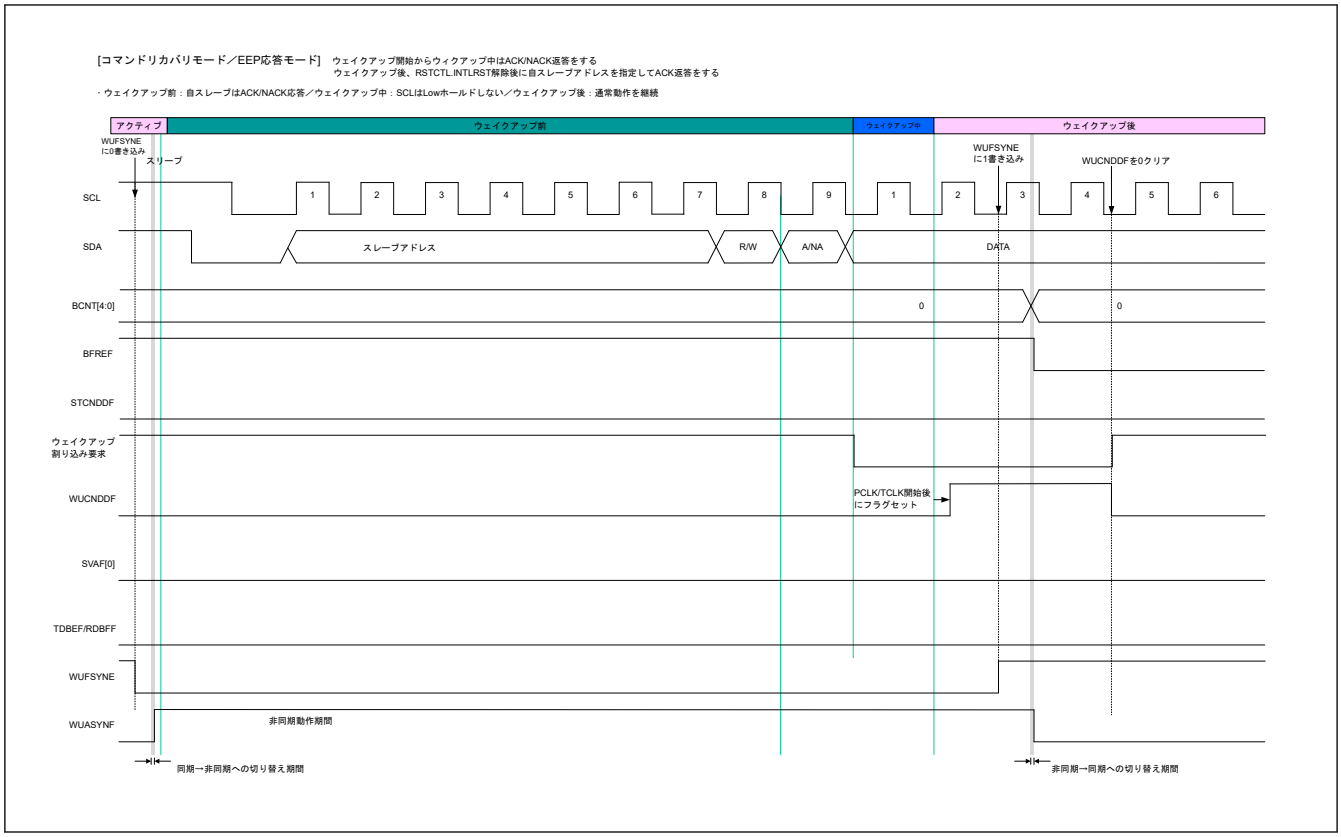


図 27.106　コマンドリカバリモードと EEP 応答モードのタイミング

(4)　ウェイクアップ機能使用時の注意事項

ウェイクアップ機能使用時の注意事項を以下に示します。

- WUST.WUASYNF フラグが 1（PCLK/TCLK 非同期動作時）の間は、WUCTL.WUFSYNE ビットを除き、I3C のレジスタの内容を変更しないでください。
- PCLK/TCLK 非同期モードに切り替える前に、WUCTL.WUFE ビット、BSTE.WUCNDDE ビット、BIE.WUCNDDIE ビットを 1 に、PRSST.CRMS ビット、PRSST.TRMD ビットを 0（スレーブ受信モード）にしてください。
- デバイス ID および 10 ビットスレーブアドレスはウェイクアップ割り込み要因に選択できません。SVCTL レジスタの DVIDE ビット、および SDATBASn (n = 0〜2) レジスタの SDADLS ビットを 0 に設定してください。
- 非同期動作に切り替える前に、BIE レジスタの全ビット (TENDIE, NACKDIE, SPCNDDIE, STCNDDIE, ALIE, TODIE) および NTIE レジスタの TDBEIE0 ビットと RDBFIE0 ビットを 0（割り込み禁止）にしてください。
- ウェイクアップ機能有効時 (WUCTL.WUFE = 1) は、タイムアウト機能を使用しないでください。
- ウェイクアップ割り込みは、PCLK/TCLK 非同期動作中（WUST.WUASYNF が 1 のとき）に生成します。PCLK/TCLK 同期動作モード (WUST.WUASYNF = 0) でスレーブアドレスの一致を検出した場合、ウェイクアップ割り込みは発生せず、BST.WUCNDDF フラグも設定されません。
- WUCTL.WUFSYNE ビットに 0 を書き込むタイミングとスタートコンディションを検出するタイミングが競合する場合、I3C は PCLK/TCLK 同期動作モードで次の受信を開始する可能性があります。この場合、データ通信完了時に WUST.WUASYNF フラグは 1 になり（PCLK/TCLK 非同期モードへ切り替え）、データ通信が完了してストップコンディションを検出したとき、ウェイクアップイベントの検出を開始します。
- アドレス一致の検出なしに PCLK/TCLK 非同期動作から PCLK/TCLK 同期動作に遷移したい場合は、ストップコンディションの検出で遷移します。バスフリー状態で WUCTL.WUFSYNE ビットを 1 にすると、PCLK/TCLK 非同期動作（受信動作 : 通信フレームの待機）を継続します。I3C が次の通信フレームのストップコンディションを検出したとき、WUST.WUASYNF フラグは 0 になります。そして I3C は、PCLK/TCLK 同期動作に遷移します。

- WUCTL.WUFSYNE ビットに 0 を書き込んだ後、動作モードが PCLK/TCLK 同期動作から PCLK/TCLK 非同期動作に切り替わるまで（WUST.WUASYNF フラグが 1 の間）、I3C 動作モード設定に関連するレジスタ（BFCTL、SCSTRCTL、ACKCTL、INCTL、SVCTL、SDATBASn (n = 0～2) レジスタ）を変更しないでください。この期間に割り込み処理などでレジスタ値が変わると、I3C は非同期動作の設定に遷移する前に誤動作となることがあります。
- PCLK/TCLK 非同期動作（WUST.WUASYNF が 1 である）の間、SVST、BST、NTST、HTST レジスタの各フラグと BCST.BFREF フラグを参照しないでください。
- ノーマル WU モード 2 でスレーブアドレス一致によるウェイクアップを行うときに同期ユニットの ACK 応答を生成させるため、ACKCTL.ACKT を 1 に設定しないでください。

27.3.2.5.2 ウェイクアップ機能

(1) I3C マスタウェイクアップ機能

I3C マスタのウェイクアップ割り込み要因を以下に示します。

- SDA Low 検出（I3C スレーブからの IBI 要求）

SDA Low 検出によりアクティブモード（通常動作）に遷移する場合の動作を以下に示します。

ウェイクアップリカバリ前：	SDA Low 駆動を検出し、I3C_WU 割り込みがアサートされる。
ウェイクアップリカバリ時：	SCL ラインを High に保つ。
ウェイクアップリカバリ後：	SCL を Low に駆動し、スタートコンディションを完了する。 SCL が I3C バスの供給され、I3C スレーブからの IBI を受信する。

他の要因によりアクティブモード（通常動作）に遷移する場合は、必要に応じてウェイクアップ機能を無効にしてください。

PRSTDBG.SDILV が 1 であることを確認した後、WUCTL.WUFE を 0 にしてください。

ウェイクアップ機能有効時 (WUCTL.WUFE = 1) は、タイムアウト機能を使用しないでください。

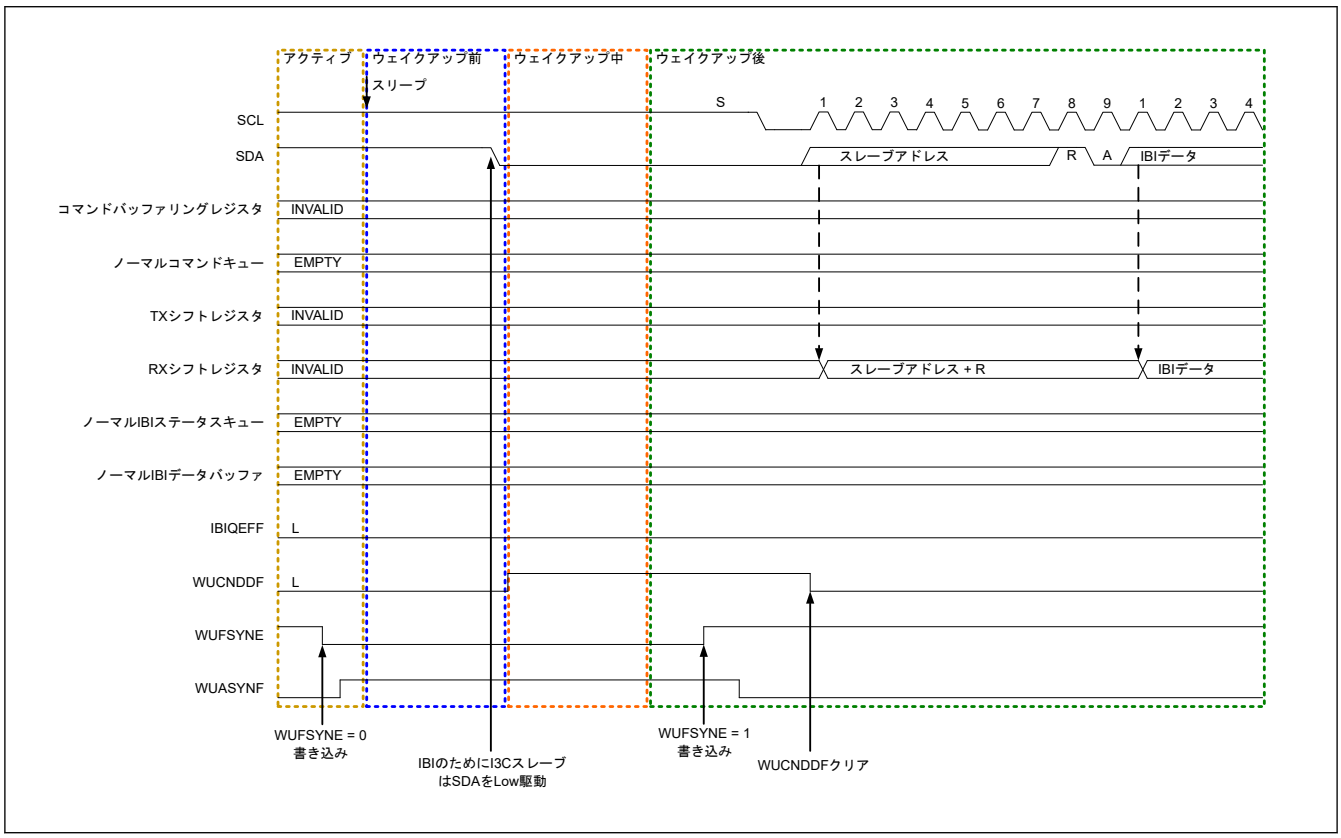


図 27.107 I3C マスタウェイクアップ動作

(2) I3C スレーブウェイクアップ機能

I3C スレーブのウェイクアップ割り込み要因を以下に示します。

- ブロードキャストアドレス (0x7E) と自身のスレーブアドレスの一致

ブロードキャストアドレス (0x7E) と、自身のスレーブアドレスとの一致検出によるウェイクアップ割り込みによってアクティブモード（通常動作）に遷移する場合の動作を以下に示します。

ウェイクアップリカバリ前：	1. I3C がスタートコンディションまたは繰り返しのスタートコンディションに続けて BA (0x7E/W) を検出した場合、I3C は 0x7E/W の後に ACK を生成する。 2. I3C が、1.に続けて繰り返しのスタートコンディションの後に自身のダイナミックアドレスを検出した場合、I3C は自身のダイナミックアドレスの後に NACK を生成し、I3C_WU 割り込みを生成する。
ウェイクアップリカバリ時：	I3C は常に NACK を生成する。
ウェイクアップリカバリ後：	通常動作が継続する。

他の要因によりアクティブモード（通常動作）に遷移する場合は、必要に応じてウェイクアップ機能を無効にしてください。ウェイクアップ機能有効時 (WUCTL.WUFE = 1) は、タイムアウト機能を使用しないでください。

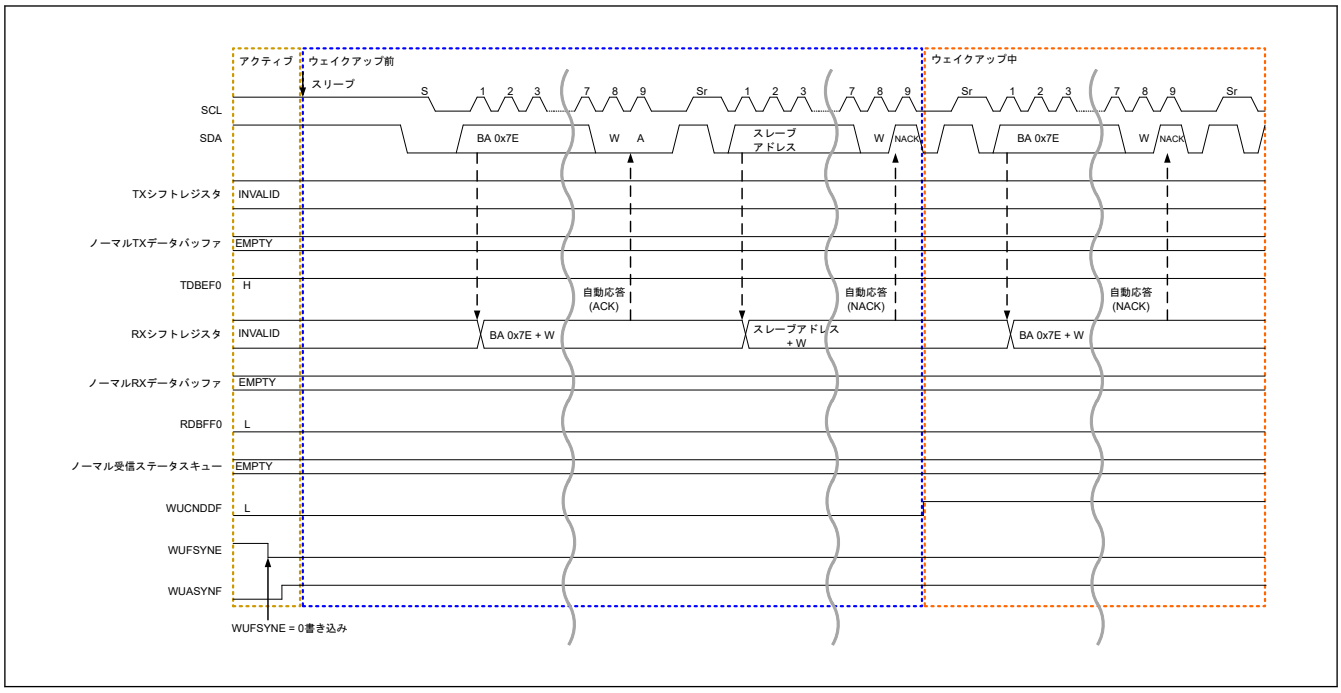


図 27.108 I3C スレーブウェイクアップ動作 (1/2)

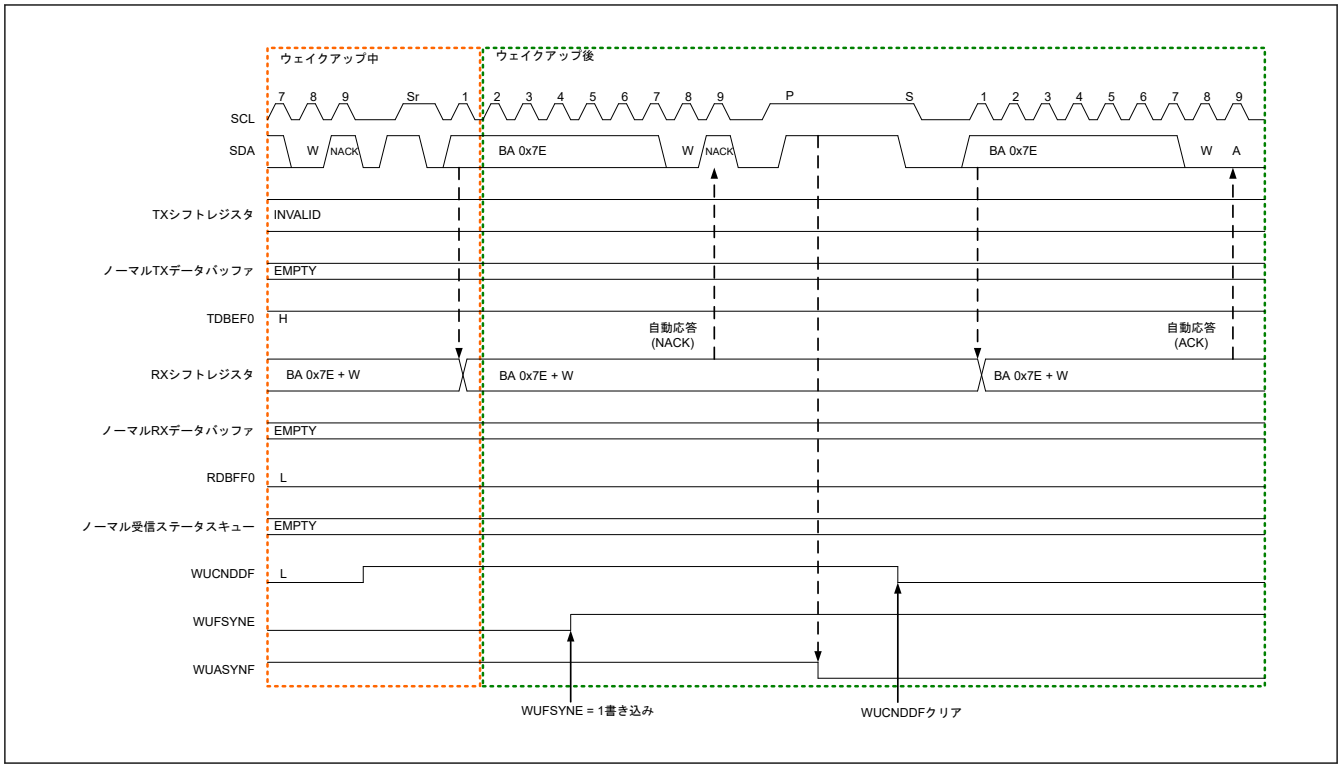


図 27.109　I3C スレーブウェイクアップ動作 (2/2)

27.3.2.6　その他の機能

27.3.2.6.1　SCL 同期回路［I²C モード］

この機能は、PRTS.PRTMD ビットが 1 のとき有効になります。

SCL クロック生成では、I3C が I3C_SCL ラインの立ち上がりを検出すると、STDBR.SBRHO[7:0]ビットで設定した High 幅のカウントを開始し、カウントが完了すると I3C_SCL ラインを Low にします。

また、I3C が I3C_SCL ラインの立ち下がりを検出すると、STDBR.SBRLO[7:0]ビットで設定した Low 幅のカウントを開始し、カウントが完了すると I3C_SCL ラインを解放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL 信号同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期はビットごとに行う必要があるため、I3C はマスタモード時に I3C_SCL ラインを監視することで、ビットごとに SCL クロック信号の同期を取る機能である SCL 同期回路を備えています。

I3C が SCLn ラインの立ち上がりを検出し STDBR.SBRHO[7:0]ビットで設定された High 幅のカウント中に他のマスタデバイスの SCL クロック出力により I3C_SCL ラインが立ち下げられた場合、I3C は I3C_SCL ラインの立ち下がりを検出すると High 幅のカウントアップ動作を中断し、I3C_SCL ラインの Low ドライブを行うのと同時に STDBR.SBRLO[7:0]ビットで設定された Low 幅のカウントアップを開始します。Low 幅のカウントが終了すると、I3C は I3C_SCL ラインを解放します。このとき他のマスタデバイスの SCL クロックの Low 幅が本モジュールで設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、I3C_SCL ラインの解放によって SCL クロックが立ち上がります。I3C が SCL クロックの Low 幅の出力を終了すると、I3C_SCL ラインが解放され、SCL クロックが立ち上がります。すなわち、複数のマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。この SCL 同期は、BFCTL.SCSYNE ビットが 1 のときのみ有効です。

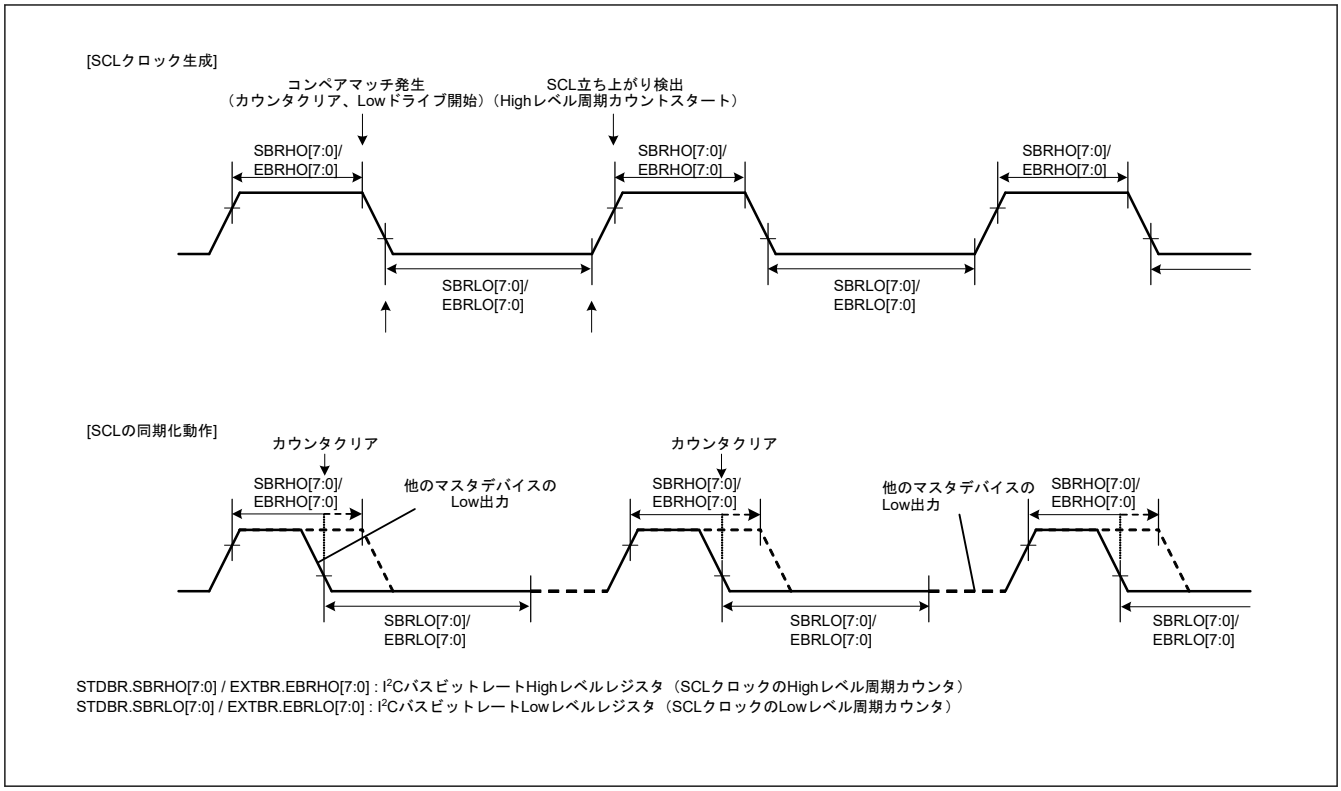


図 27.110　SCL クロック生成および SCL 同期化動作

27.3.2.6.2　SDA 出力遅延機能［I²C モード］

I3C は SDA 出力遅延機能を備えています。SDA 出力遅延機能は、SDA ライン上のすべての SDA 出力タイミング（スタート／繰り返しのスタート／ストップコンディションの発行、データ出力、ACK/NACK 出力）を遅延させることができます。

この SDA 出力遅延機能は、SCL 信号の立ち下がり検出から SDA 出力を遅延させ、SCL クロックが Low である期間中に確実に SDA 信号が出力されるようにします。この方法により、SMBus 仕様の最小データホールド時間 (300 ns) の要件を満たして、通信デバイスの誤動作を防止できるようになります。

この SDA 出力遅延機能は、OUTCTL.SDOD[2:0]ビットが 000b 以外のとき有効で、OUTCTL.SDOD[2:0]ビットが 000b のとき無効です。

SDA 出力遅延機能が有効（OUTCTL.SDOD[2:0] ビットが 000b 以外）になっているとき、OUTCTL.SDODCS ビットでは、SDA 出力遅延カウンタが使用するクロックソースを、I3C の内部基準クロック (I3Cφ) またはその 2 分周クロック (I3Cφ/2) として選択します。カウンタは、OUTCTL.SDOD[2:0]ビットに設定されたサイクル数をカウントします。遅延サイクルのカウント終了後、I3C は SDA ライン上で必要な出力（スタート／繰り返しのスタート／ストップコンディション、データ、ACK/NACK 信号）を行います。

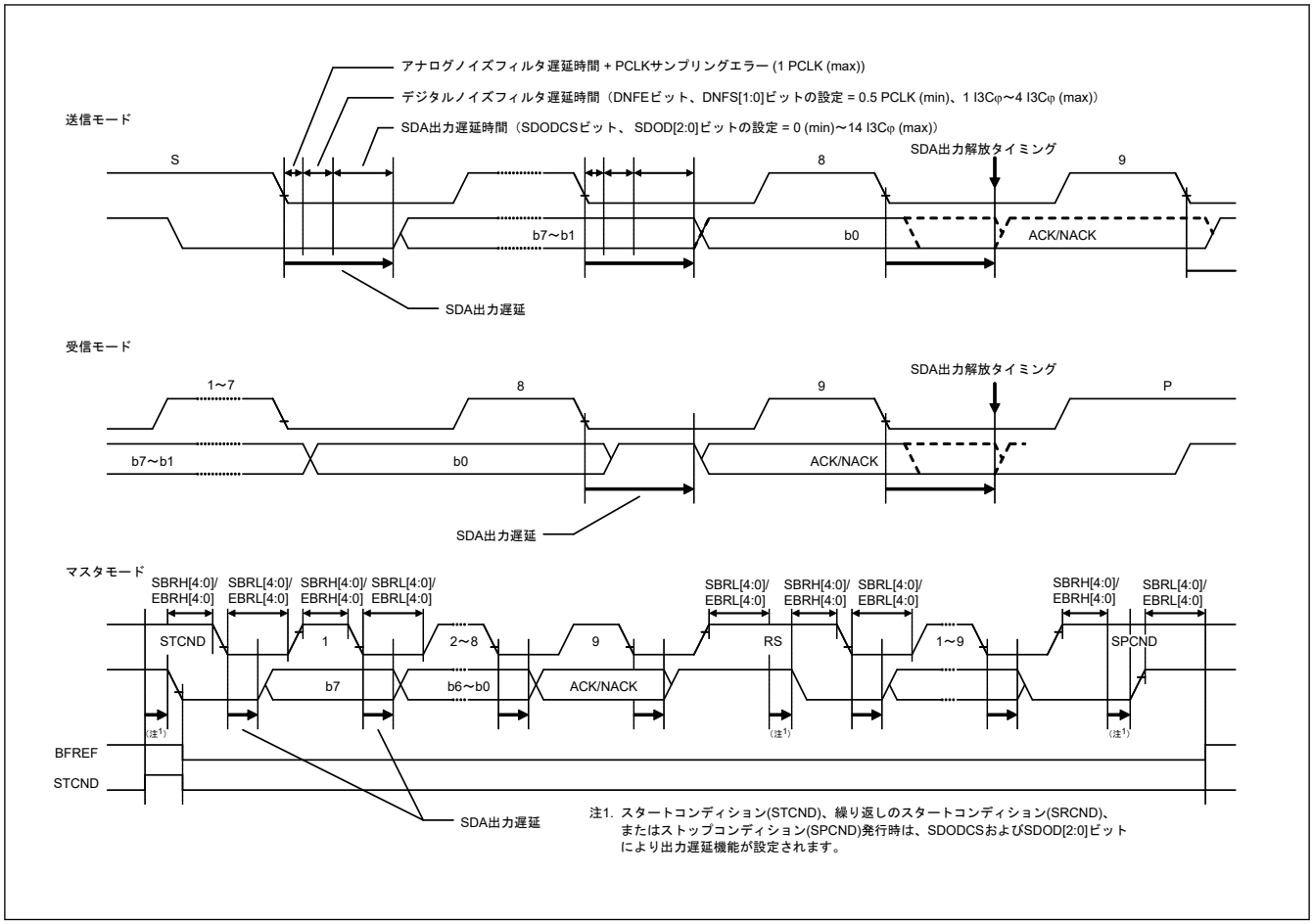


図 27.111　SDA 出力遅延機能

27.3.2.6.3　デジタルノイズフィルタ回路［I^2C モード］

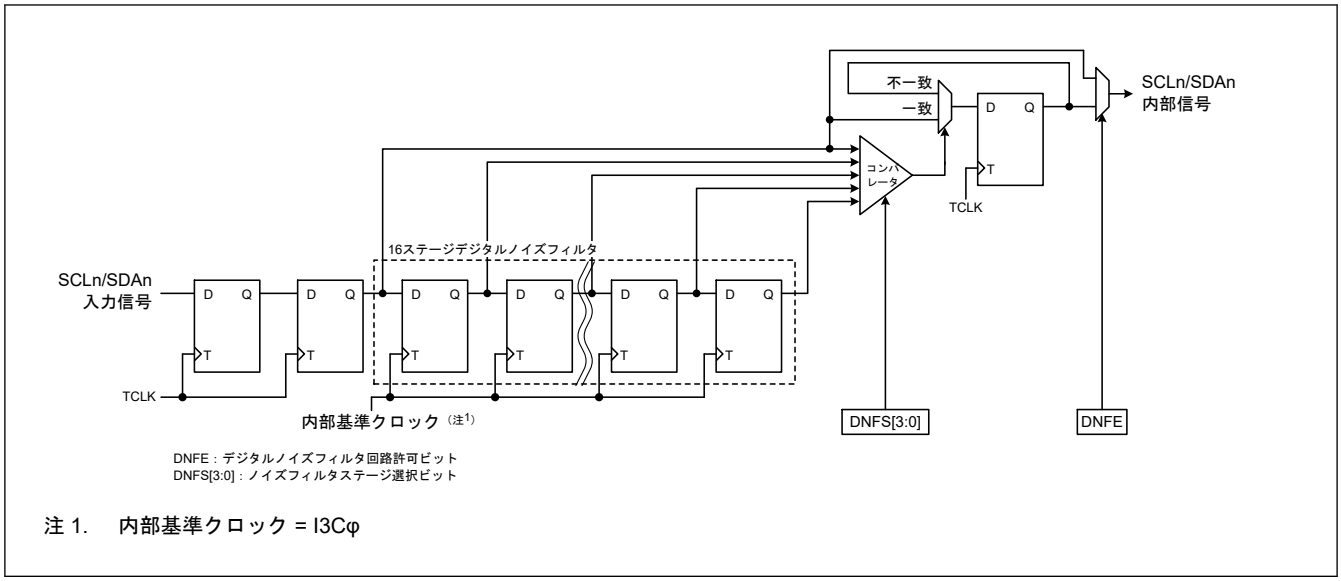
I3C_SCL 端子および I3C_SDA 端子の状態は、デジタルノイズフィルタ回路を経由して内部に取り込まれます。図 27.112 にデジタルノイズフィルタ回路のブロック図を示します。

I3C に内蔵されているデジタルノイズフィルタ回路は、16 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。HS モードを選択したときは、最初の 4 段のフリップフロップ回路のみが有効です。

デジタルノイズフィルタの有効段数は INCTL.DNFS[3:0]ビットで選択します。ノイズ除去能力は、選択した有効段数に応じて 1～16I3Cφ サイクル分となります。

I3C_SCL 端子入力信号（または I3C_SDA 端子入力信号）は I3Cφ の立ち上がりでサンプリングされます。入力信号レベルが、INCTL.DNFS[3:0]ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルが後続の段数に伝えられます。一致しない場合は前のレベルを保持します。

なお、たとえば TCLK = 4 MHz 時の 400 kbps のデータ転送のように、内部動作クロック (TCLK) と転送速度の比が小さい場合、デジタルノイズフィルタは有効信号をノイズとして除去する可能性があります。



注 1. 内部基準クロック = I3Cφ

図 27.112 デジタルノイズフィルタ回路のブロック図

27.3.3 動作

27.3.3.1 初期設定フロー

27.3.3.1.1 I²C 初期設定フロー（シングルバッファ転送）

I²C プロトコルモードでデータの送受信を開始する前に、I3C モジュールを初期化します。

まず、BCTL.BUSE ビットを 0（I3C_SCL、I3C_SDA 端子を駆動しない）に設定します。

次に、RSTCTL.RI3CRST ビットを 1 にします。これにより各レジスタおよび I3C モジュールの内部状態を初期化します。次いで、RI3CRST ビットが 0 になるのを待ちます。この動作による初期化対象のフラグおよびレジスタについては、「27.6. リセットの説明」を参照してください。

その後、動作に必要な各レジスタを設定します。詳細な手順は図 27.113 を参照してください。

注. n = 0～2

注 1. I3C をスレーブモードのみで動作させる場合は、STDBR レジスタにデータセットアップ時間以上の値を設定してください。

注 2. これらのレジスタは必要に応じて設定してください。

注 3. 以下のいずれかの条件を満たす場合、この構成は不要です。

1. PRTS.PRTMD ビットが初期値の 1（I2C プロトコルモード）から 0（I3C プロトコルモード）に変更されていない場合。
2. SCKSCR.CKSEL[2:0]および I3CCKCR.I3CCKSEL[3:0]で選択されたクロックソースが同じである場合。
3. マスタモード時、以下に示す条件下でタイムアウトエラー検出機能が有効になっていて、意図しない低出力を解除するための I3C エラー割り込みルーチンでソフトウェアリセットが設定されている場合。
   (a) BSTE.TODE ビットを 1 にしてタイムアウトエラー検出を有効にする。
   (b) タイムアウト動作モードとして TMOCTL.TOMDS[1:0] = 00b または 01b を選択し、TMOCTL.TOLCTL ビットを 1 に、TMOCTL.TOHCTL ビットを 1 に設定して、Low および High に固定された SCL ラインをエラーとして扱う。
   (c) I3C エラー割り込みルーチンで、RSTCTL.RI3CRST ビットを 1 にして I3C ソフトウェアリセットを実行するか、RSTCTL.INTLRST ビットを 1 にして内部ソフトウェアリセットを実行する。
4. スレーブモード時、以下に示す条件下でタイムアウトエラー検出機能が有効になっていて、意図しない低出力を解除するための I3C エラー割り込みルーチンでソフトウェアリセットが設定されている場合。
   (a) BSTE.TODE ビットを 1 にしてタイムアウトエラー検出を有効にする。
   (b) タイムアウト動作モードとして TMOCTL.TOMDS[1:0] = 01b を選択し、TMOCTL.TOLCTL = 1 および TMOCTL.TOHCTL = 1 を設定して、Low および High に固定された SCL ラインをエラーとして扱う。
   (c) I3C エラー割り込みルーチンで、RSTCTL.RI3CRST ビットを 1 にして I3C ソフトウェアリセットを実行するか、RSTCTL.INTLRST ビットを 1 にして内部ソフトウェアリセットを実行する。

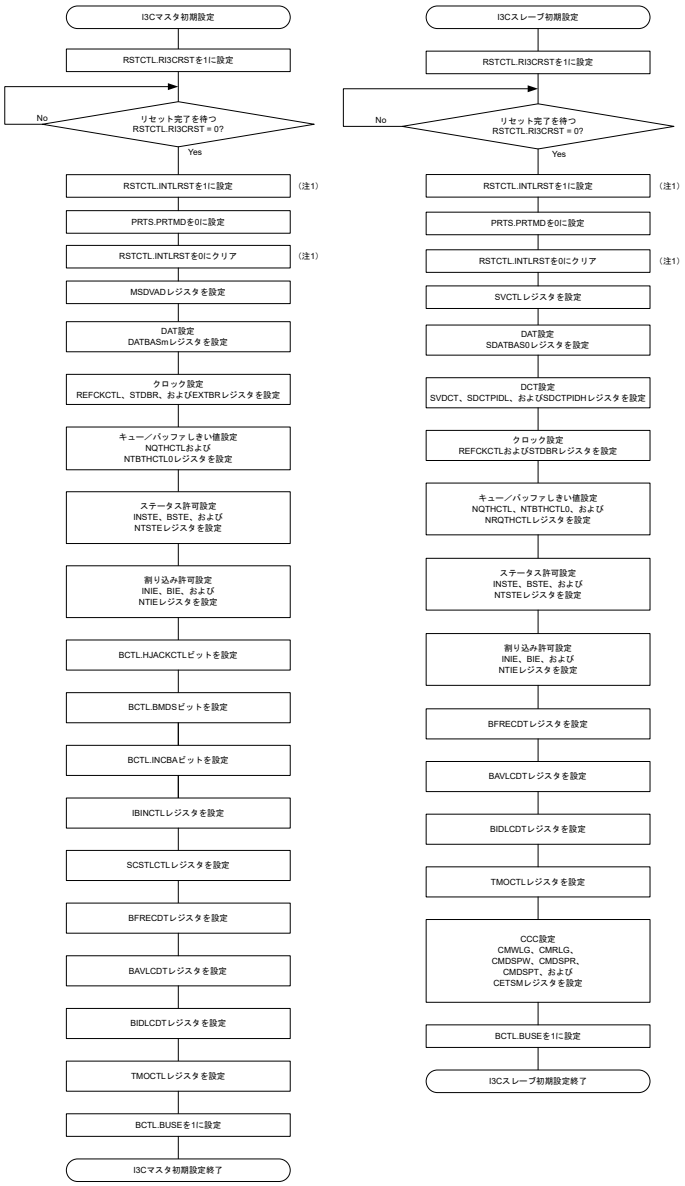
図 27.113 I²C 初期化のフローチャート例（シングルバッファ転送）

27.3.3.1.2 I3C 初期設定フロー

I3C プロトコルモードでデータの送受信を開始する前に、I3C モジュールを初期化してください。

RSTCTL.RI3CRST ビットを 1 に設定します。これにより各レジスタおよび I3C モジュールの内部状態を初期化します。次いで、RI3CRST ビットが 0 になるのを待ちます。この動作による初期化対象のフラグおよびレジスタについては、「27.6. リセットの説明」を参照してください。

その後、動作に必要な各レジスタを設定します。マスタモードとスレーブモードのそれぞれの詳細な手順については、図 27.114 を参照してください。



注 1. 以下のいずれかの条件を満たす場合、この構成は不要です。
1. PRTS.PRTMD ビットが初期値の 1（I2C プロトコルモード）から 0（I3C プロトコルモード）に変更されていない場合。
2. SCKSCR.CKSEL[2:0]および I3CCKCR.I3CCKSEL[3:0]で選択されたクロックソースが同じである場合。
3. マスタモード時、以下に示す条件下でタイムアウトエラー検出機能が有効になっていて、意図しない低出力を解除するための I3C エラー割り込みルーチンでソフトウェアリセットが設定されている場合。
   (a) BSTE.TODE ビットを 1 にしてタイムアウトエラー検出を有効にする。
   (b) タイムアウト動作モードとして TMOCTL.TOMDS[1:0] = 00b または 01b を選択し、TMOCTL.TOLCTL ビットを 1 に、TMOCTL.TOHCTL ビットを 1 に設定して、Low および High に固定された SCL ラインをエラーとして扱う。
   (c) I3C エラー割り込みルーチンで、RSTCTL.RI3CRST ビットを 1 にして I3C ソフトウェアリセットを実行するか、RSTCTL.INTLRST ビットを 1 にして内部ソフトウェアリセットを実行する。
4. スレーブモード時、以下に示す条件下でタイムアウトエラー検出機能が有効になっていて、意図しない低出力を解除するための I3C エラー割り込みルーチンでソフトウェアリセットが設定されている場合。
   (a) BSTE.TODE ビットを 1 にしてタイムアウトエラー検出を有効にする。
   (b) タイムアウト動作モードとして TMOCTL.TOMDS[1:0] = 01b を選択し、TMOCTL.TOLCTL = 1 および TMOCTL.TOHCTL = 1 を設定して、Low および High に固定された SCL ラインをエラーとして扱う。
   (c) I3C エラー割り込みルーチンで、RSTCTL.RI3CRST ビットを 1 にして I3C ソフトウェアリセットを実行するか、RSTCTL.INTLRST ビットを 1 にして内部ソフトウェアリセットを実行する。

図 27.114 I3C マスタモードとスレーブモードの初期化フローチャートの例

27.3.3.2 I3C 通信フロー

図 27.115 に、I3C 通信のフローを示します。

- 全ての I3C 通信は、フレームの中で行われます。フレームは、スタートコンディションで始まり、1 つ以上の転送があり、ストップコンディションで終わります。

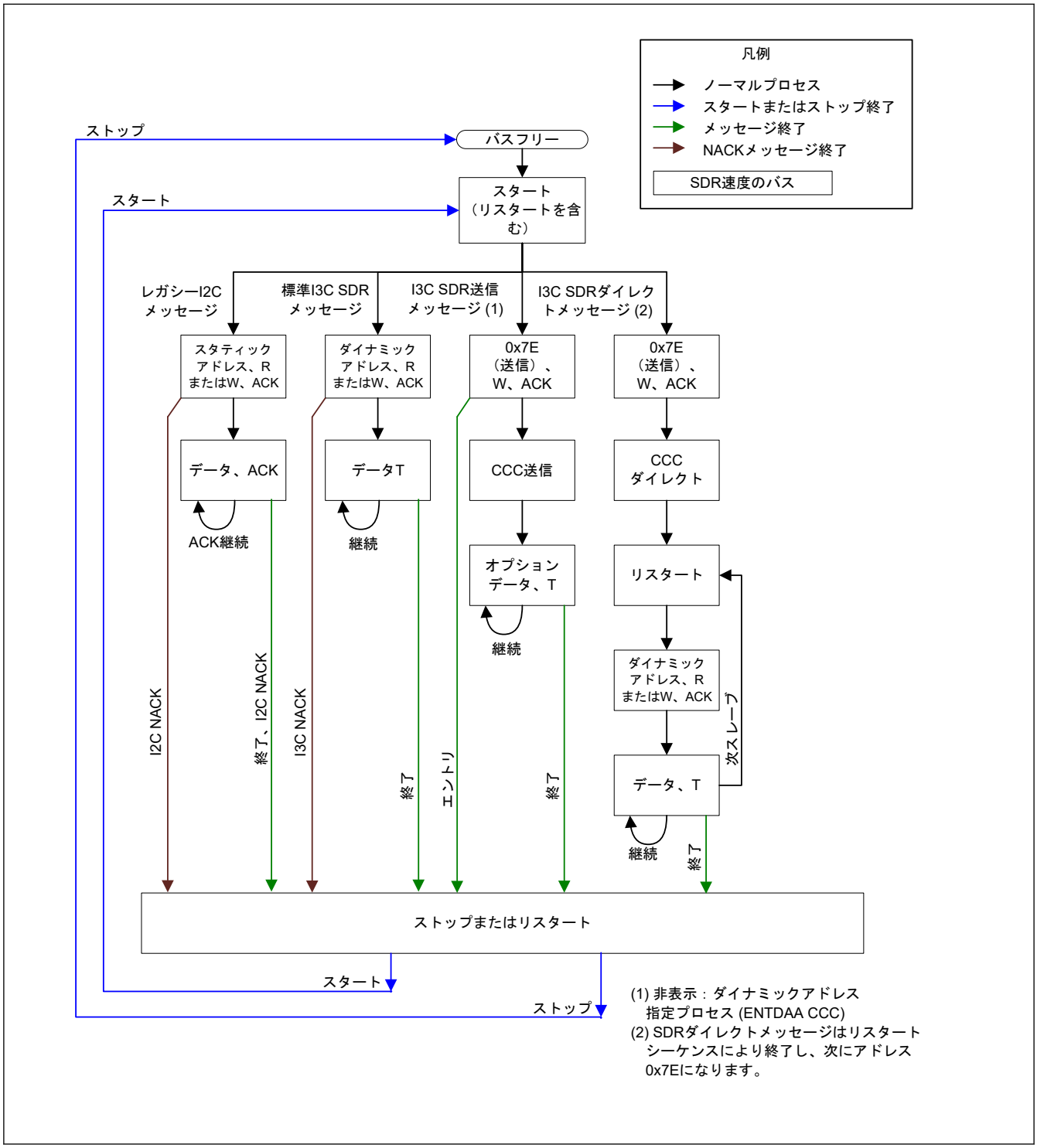


図 27.115 I3C 通信フロー

I3C は、フレームカプセル化方式に基づきます。フレームにはデータペイロードがあります。データペイロードに対する転送プロトコルは、SDR です。フレームは、I^2C 的なバス制御で区切られています。

I3C フレームは常に少なくともスタートコンディション、ヘッダ、データ、およびストップコンディションを含みます。スタートコンディションに続くヘッダは、バスアービトレーションを行うためのものです。マスタは、ヘッダでスレーブデバイスを指定します。スレーブデバイスは、ヘッダアービトレーションを複数の目的（In-band 割り込みやセカンダリマスタ機能）で使うことができます。

I3C は、その時の I3C バスの制御をただ一つのマスタに対してのみ許容します。マスタの役割を一つのデバイスから他のデバイスに受け渡す機能を備えています。

27.3.3.3 マスタモード通信フロー

27.3.3.3.1 I²C マスタ送信フロー（シングルバッファ転送）

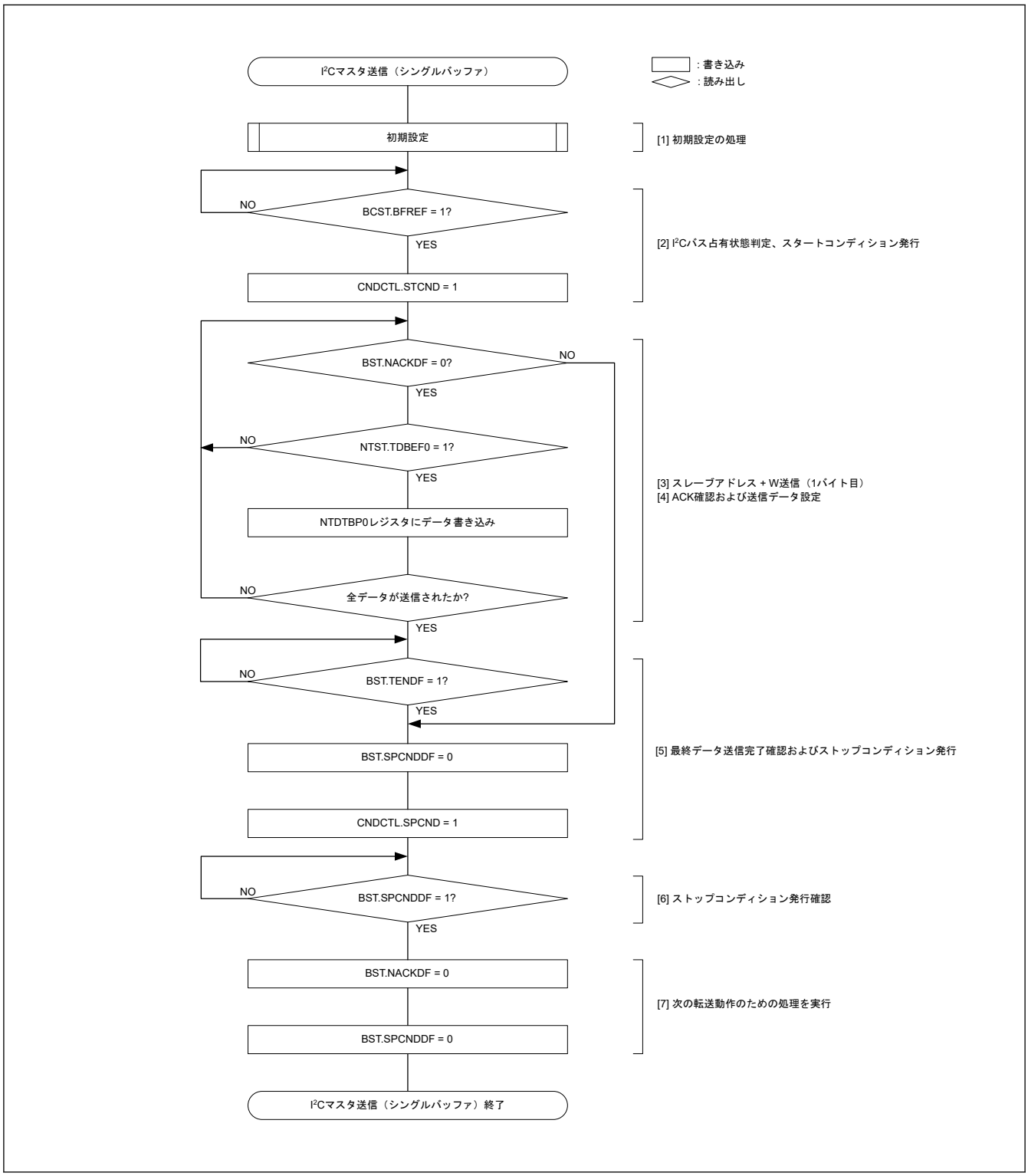


図 27.116 I²C マスタ送信のフローチャート例（シングルバッファ転送）

27.3.3.3.2 I²C マスタ受信フロー（シングルバッファ転送）

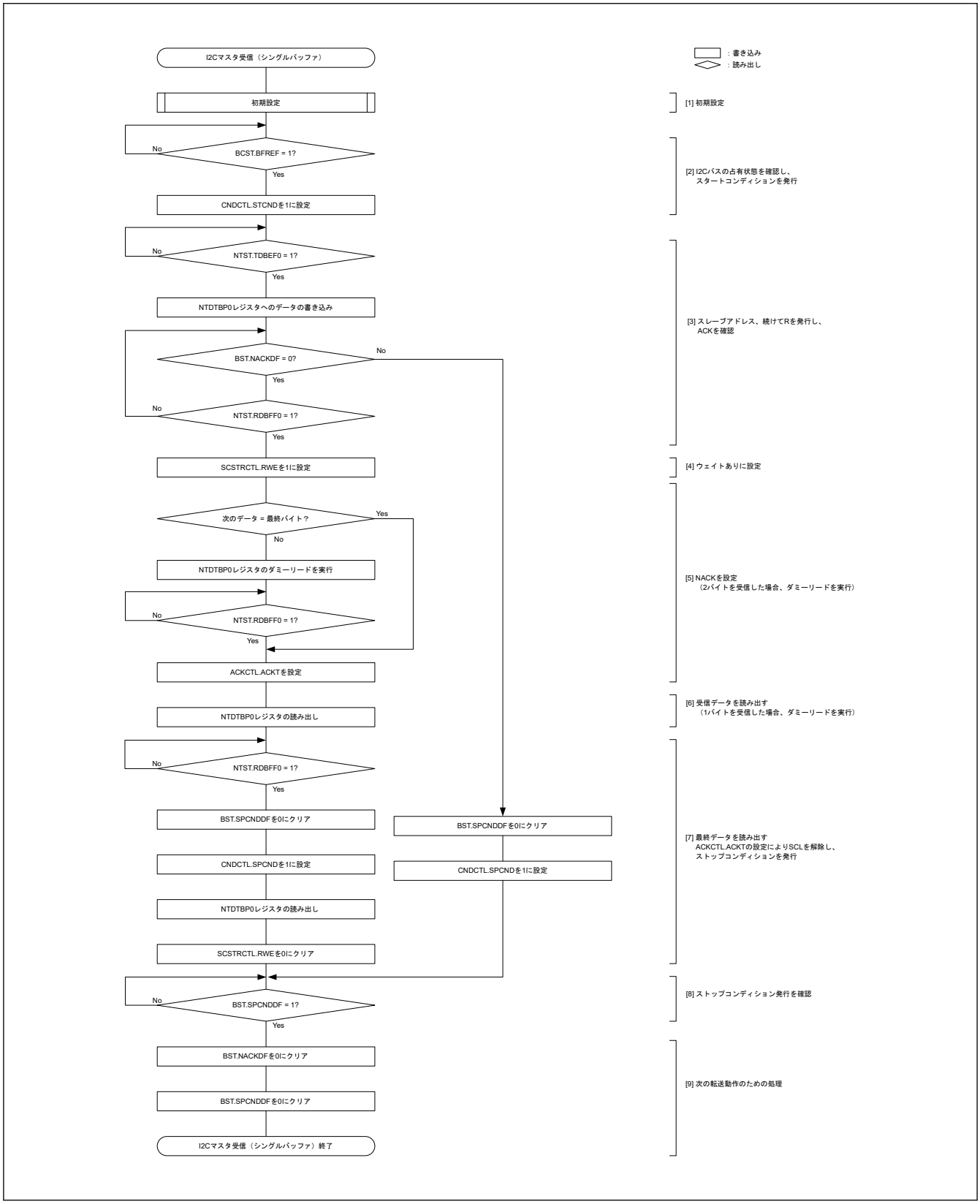


図 27.117 I²C マスタ受信のフローチャート例（7 ビットアドレスフォーマット、1 または 2 バイト受信時）

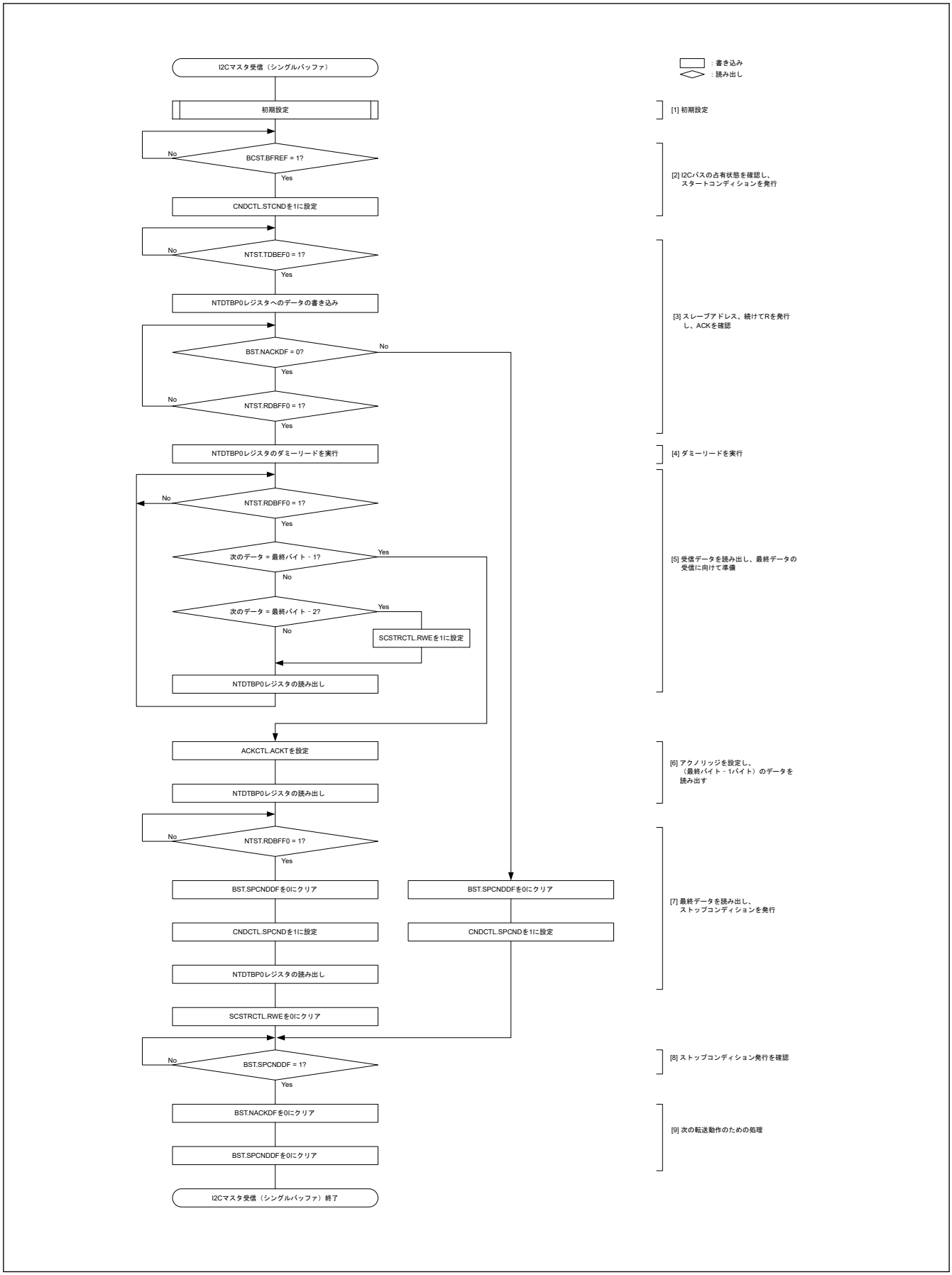
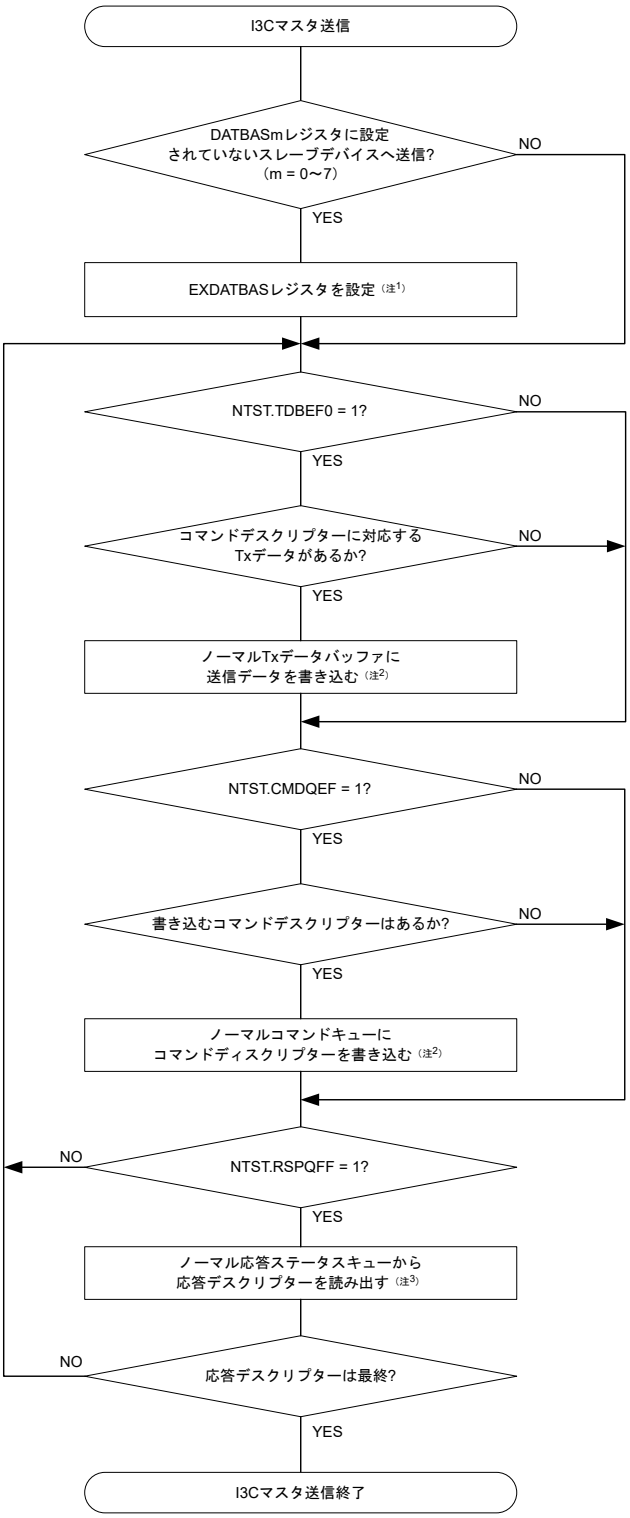


図 27.118 I²C マスタ受信のフローチャート例（7 ビットアドレスフォーマット、3 バイト以上受信時）

27.3.3.3.3 I3C マスタ送信フロー（通常 FIFO バッファ転送）

I3C 通常 FIFO バッファ転送のマスタ送信フローは、レガシー I^2C、SDR（プライベート転送、ブロードキャスト CCC、ダイレクト CCC）に共通です。

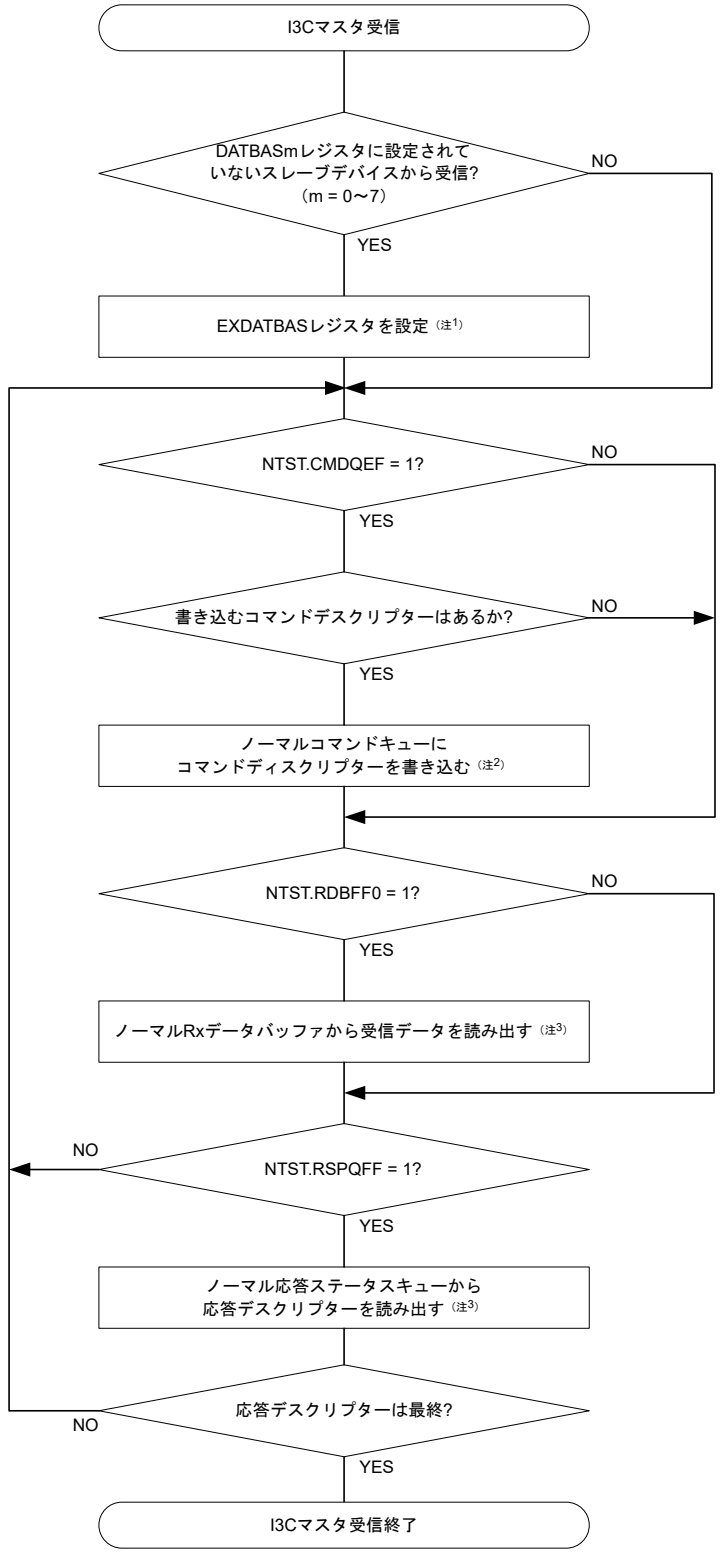


注 1. EXDATBAS レジスタに設定されているスレーブデバイスに対するコマンドの全てのレスポンスディスクリプタが格納されるまでの間、EXDATBAS レジスタの変更は禁止です。
注 2. DMAC/DTC 以外の方法でレジスタに書き込む場合、書き込みアクセスの後で対応するフラグをクリアしてください。
注 3. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 27.119 I3C マスタ送信のフローチャート例（通常 FIFO バッファ転送）

27.3.3.3.4 I3C マスタ受信フロー（通常 FIFO バッファ転送）

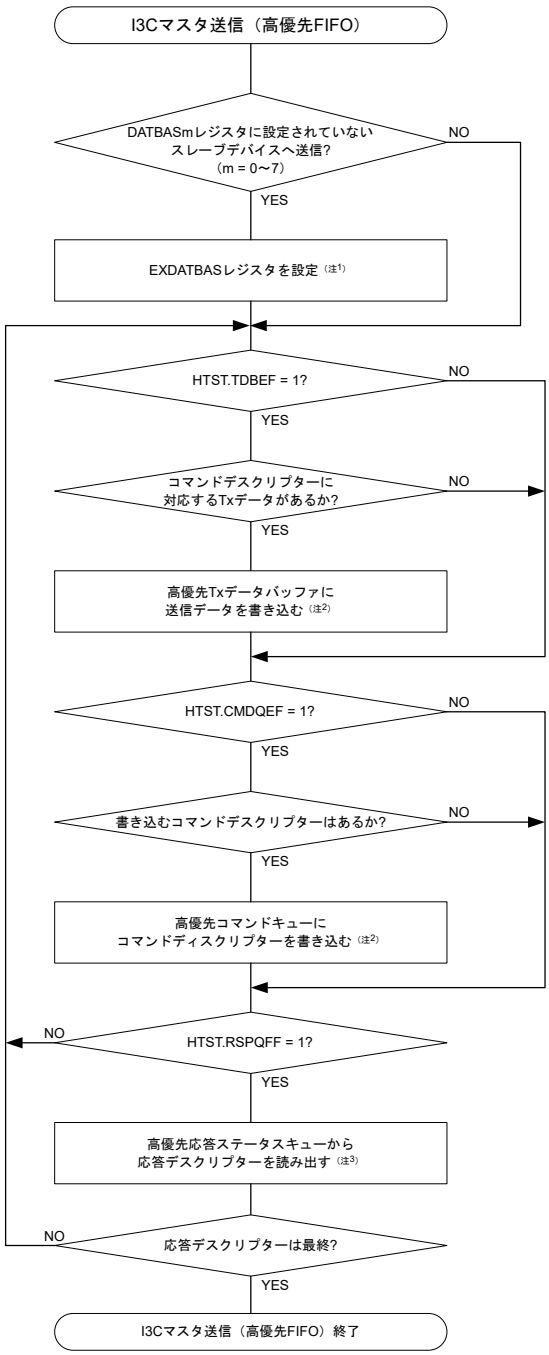
I3C 通常 FIFO バッファ転送のマスタ受信フローは、レガシー I^2C、SDR（プライベート転送、ブロードキャスト CCC、ダイレクト CCC）に共通です。



注 1. EXDATBAS レジスタに設定されているスレーブデバイスに対するコマンドの全てのレスポンスディスクリプタが格納されるまでの間、EXDATBAS レジスタの変更は禁止です。
注 2. DMAC/DTC 以外の方法でレジスタに書き込む場合、書き込みアクセスの後で対応するフラグをクリアしてください。
注 3. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 27.120 I3C マスタ受信のフローチャート例（通常 FIFO バッファ転送）

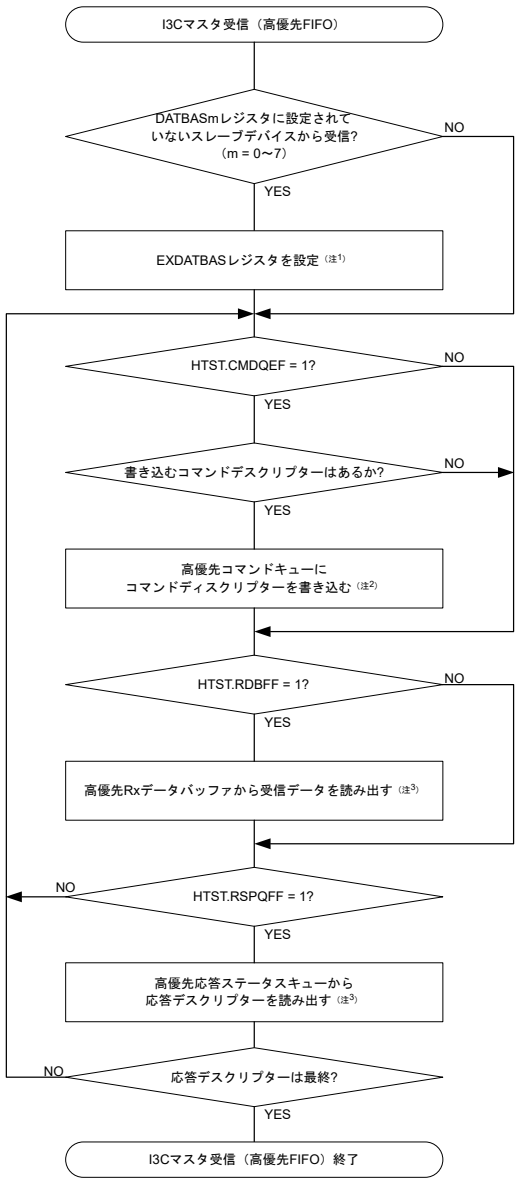
27.3.3.3.5 I3C マスタ送信フロー（優先 FIFO バッファ転送）



注 1. EXDATBAS レジスタに設定されているスレーブデバイスに対するコマンドの全てのレスポンスディスクリプタが格納されるまでの間、EXDATBAS レジスタの変更は禁止です。
注 2. DMAC/DTC 以外の方法でレジスタに書き込む場合、書き込みアクセスの後で対応するフラグをクリアしてください。
注 3. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 27.121 I3C マスタ送信のフローチャート例（優先 FIFO バッファ転送）

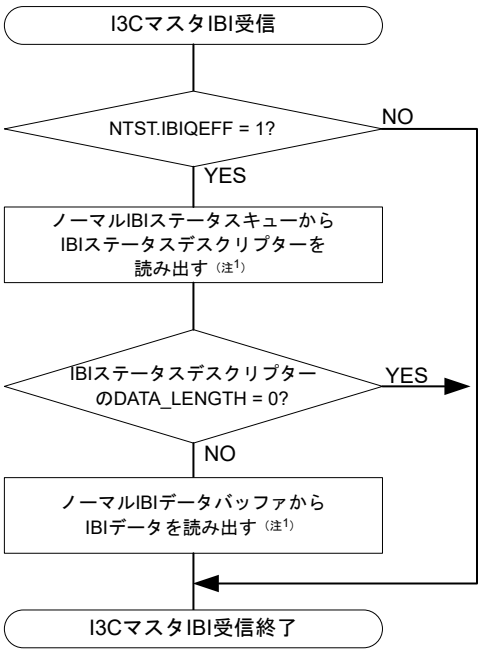
27.3.3.3.6 I3C マスタ受信フロー（優先 FIFO バッファ転送）



注 1. EXDATBAS レジスタに設定されているスレーブデバイスに対するコマンドの全てのレスポンスディスクリプタが格納されるまでの間、EXDATBAS レジスタの変更は禁止です。
注 2. DMAC/DTC 以外の方法でレジスタに書き込む場合、書き込みアクセスの後で対応するフラグをクリアしてください。
注 3. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 27.122 I3C マスタ受信のフローチャート例（優先 FIFO バッファ転送）

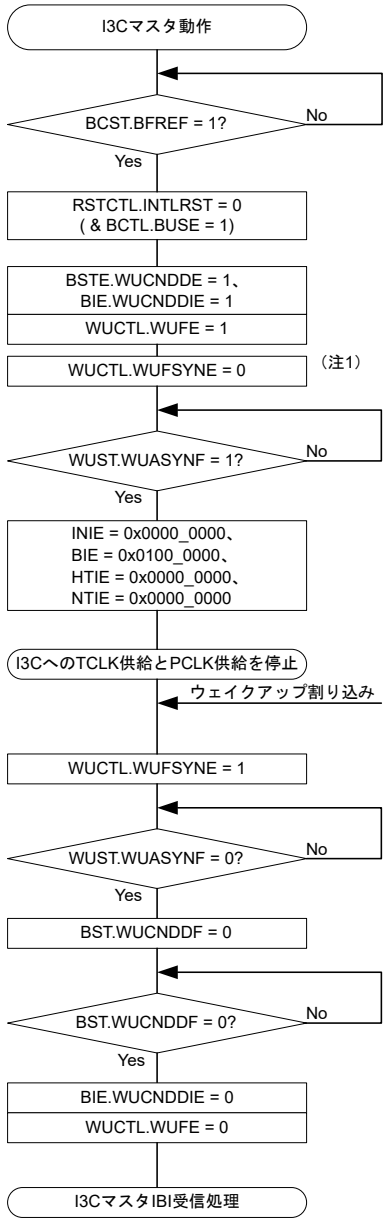
27.3.3.3.7 I3C マスタ IBI 受信フロー



注 1. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 27.123 I3C マスタ IBI 受信のフローチャート例

27.3.3.3.8 I3C マスタウェイクアップフロー



[1] I3Cがバスフリー状態およびスタンバイ状態になるのを待つ

[2] 内部リセットのアサート時は内部リセットをネゲート

[3] ウェイクアップ割り込みを許可

[4] ウェイクアップ機能を有効

[5] I3C動作状態をPCLK/TCLK同期からPCLK/TCLK非同期へ変更

[6] WUI以外の割り込み要求を禁止

[7] I3CへのTCLK供給を停止し、PCLK供給を停止（I3Cは受信を続ける）

[8] ウェイクアップ割り込みによるI3Cへのシステムクロック供給とTCLK供給を開始し、PCLK供給を開始

[9] I3C動作状態をPCLK/TCLK非同期からPCLK/TCLK同期へ変更

[10] BST.WUCNDDFに0を書き込む
（割り込み処理から復帰する前に読み出しをしてクリアの完了を確認してください）

[11] ウェイクアップ割り込みを禁止

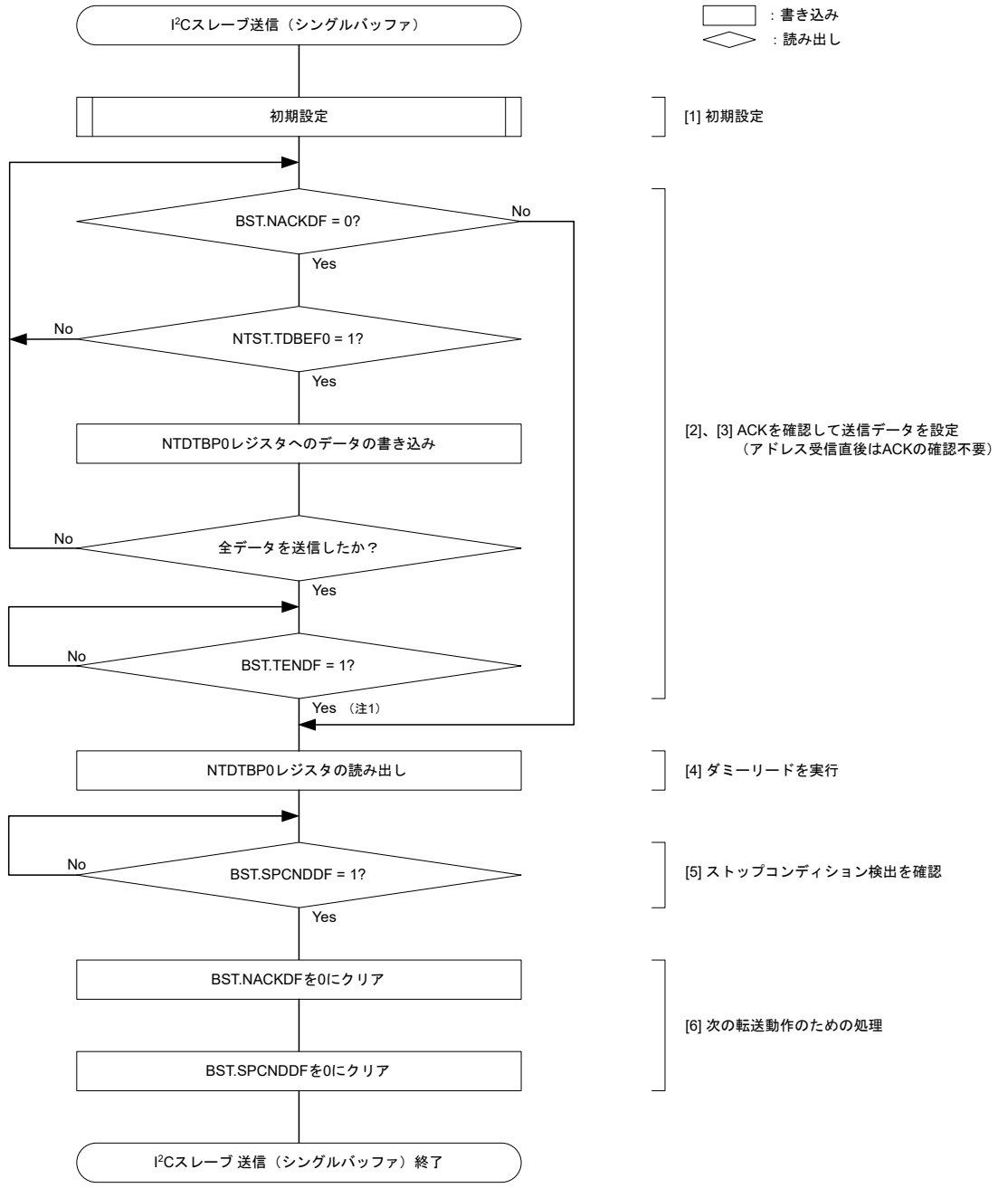
[12] ウェイクアップ機能を無効

注 1. I/O ポート機能設定で I3C_SDA 端子を汎用入出力ポート（入力）に切り替えた後、WUCTL.WUFSYNE を 1 にします。WUST.WUASYNF = 1 になるまで待機した後、I/O ポート機能設定で I3C_SDA 端子を周辺機能に切り替えます。

図 27.124 I3C マスタウェイクアップの使用例

27.3.3.4 スレーブモード通信フロー

27.3.3.4.1 I²C スレーブ送信フロー（シングルバッファ転送）



注 1. 通常、マスタは最終バイトに NACK で応答するため、BST.TENDF=1 のとき、BST.NACKDF も 1 になります。
BST.TENDF=1 になっても、BST.NACKDF が 0 の場合、マスタがハングアップしている可能性があります。そのため、
RSTCTL.INTLRST で I3C をリセットします。

図 27.125 I²C スレーブ送信のフローチャート例（シングルバッファ転送）

27.3.3.4.2 I²C スレーブ受信フロー（シングルバッファ転送）

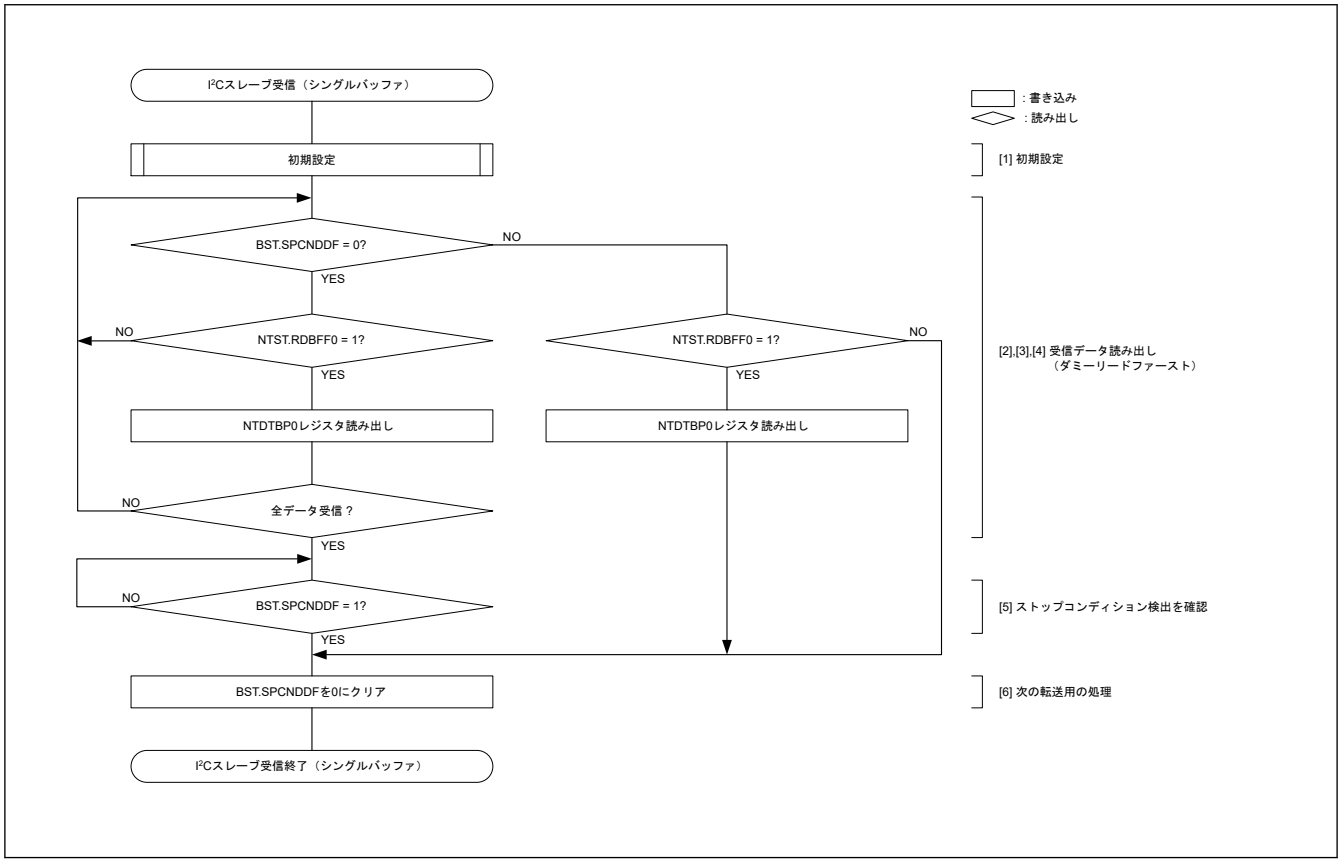
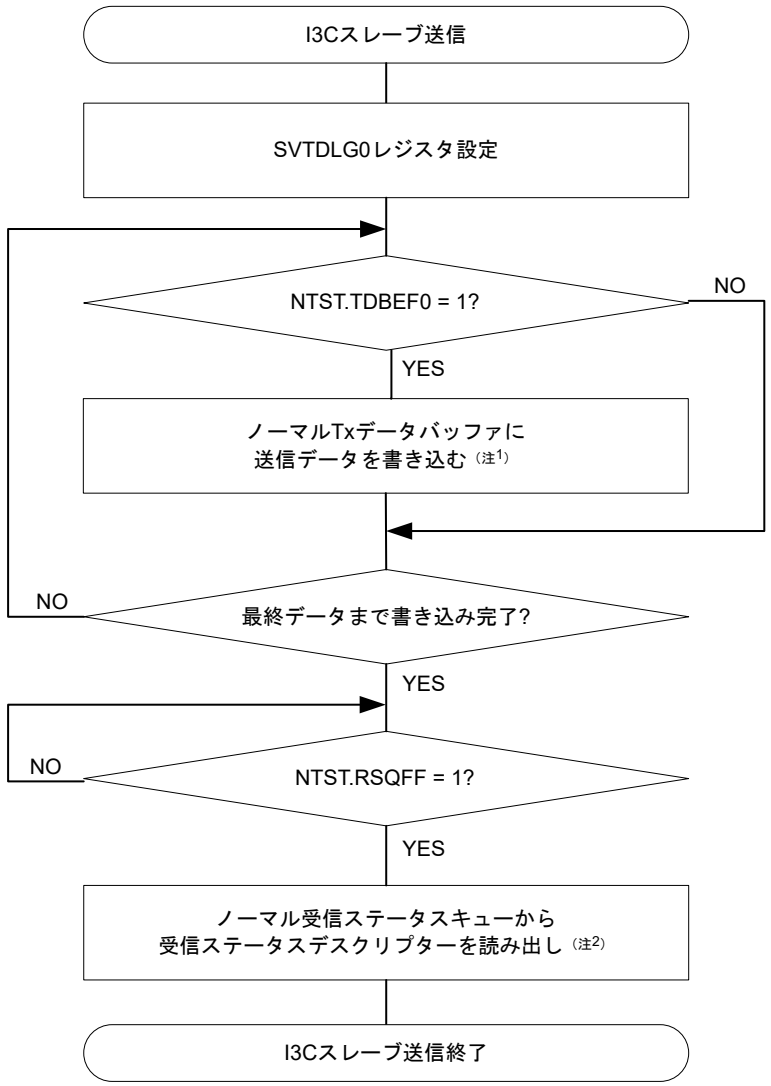


図 27.126 I²C スレーブ受信のフローチャート例（シングルバッファ転送）

27.3.3.4.3 I3C スレーブ送信フロー（通常 FIFO バッファ転送）

I3C 通常 FIFO バッファ転送のスレーブ送信フローは、レガシー I²C、SDR（プライベート転送、ブロードキャスト CCC、ダイレクト CCC）に共通です。

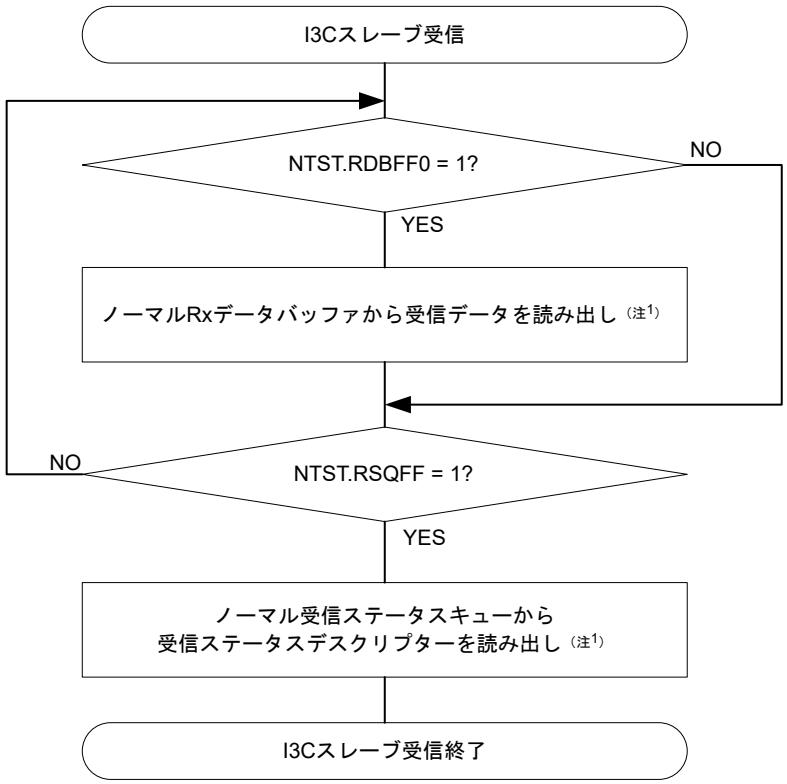


注 1. DMAC/DTC 以外の方法でレジスタに書き込む場合、書き込みアクセスの後で対応するフラグをクリアしてください。
注 2. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 27.127 I3C スレーブ送信のフローチャート例（通常 FIFO バッファ転送）

27.3.3.4.4 I3C スレーブ受信フロー（通常 FIFO バッファ転送）

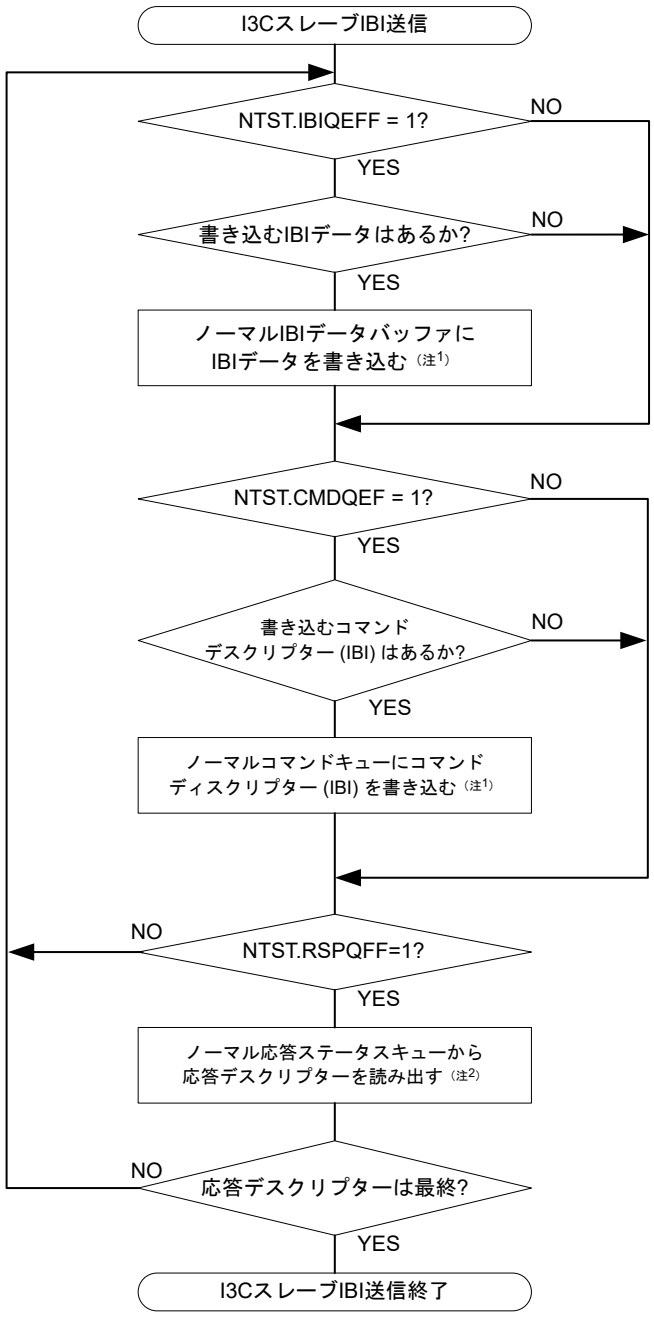
I3C 通常 FIFO バッファ転送のスレーブ受信フローは、レガシー I^2C、SDR（プライベート転送、ブロードキャスト CCC、ダイレクト CCC）に共通です。



注 1. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 27.128 I3C スレーブ受信のフローチャート例（通常 FIFO バッファ転送）

27.3.3.4.5 I3C スレーブ IBI 送信フロー



注 1. DMAC/DTC 以外の方法でレジスタに書き込む場合、書き込みアクセスの後で対応するフラグをクリアしてください。
注 2. DMAC/DTC 以外の方法でレジスタから読み出す場合、読み出しアクセスの後で対応するフラグをクリアしてください。

図 27.129 I3C スレーブ IBI 送信のフローチャート例

27.3.3.4.6 I3C スレーブウェイクアップフロー

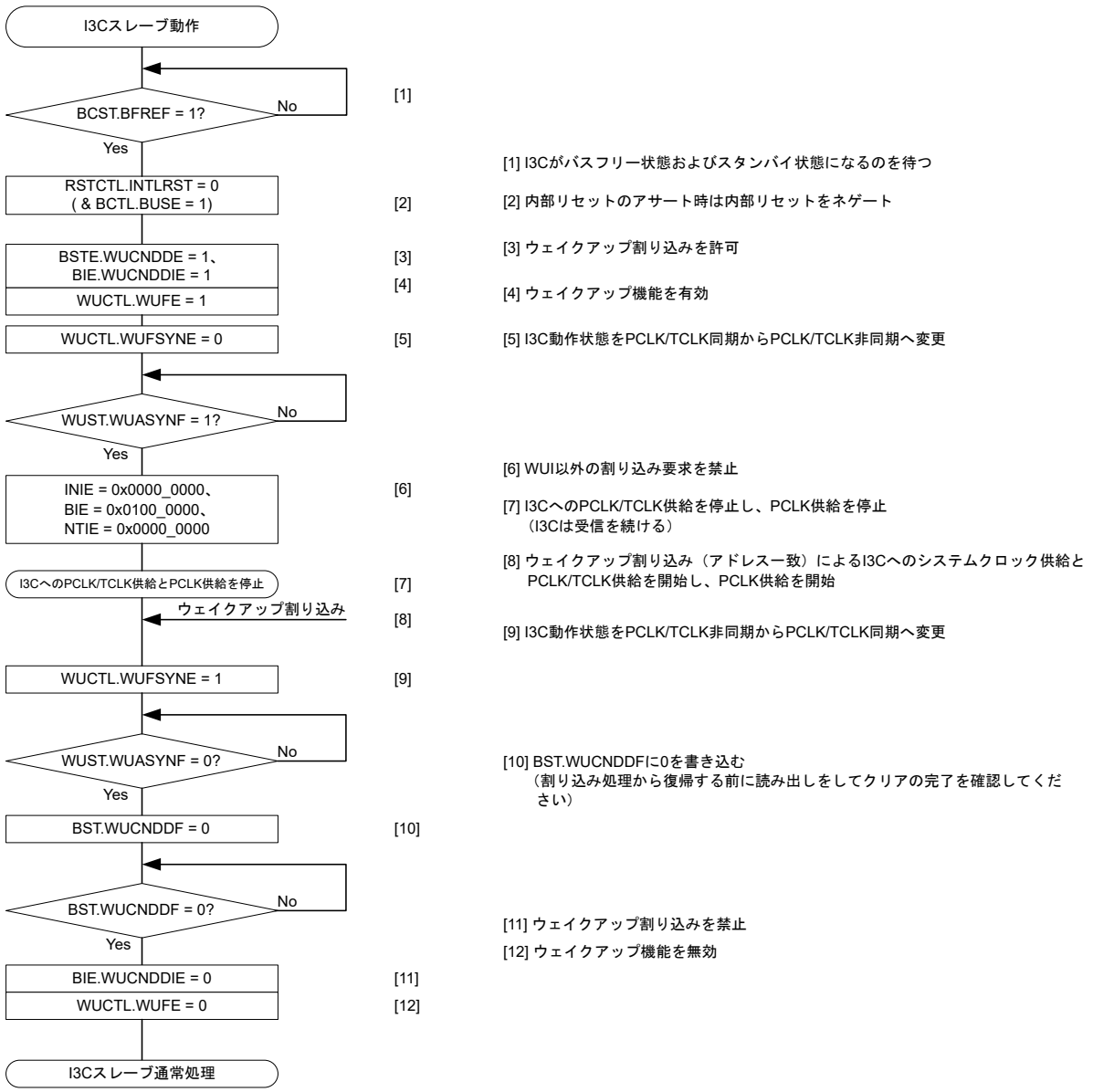


図 27.130 I3C スレーブウェイクアップの使用例（スレーブアドレス一致に起因するウェイクアップ割り込みによるウェイクアップリカバリの場合）

27.4 割り込み要因

I3C が発行する割り込み要求を、以下に示します。

27.4.1 概要

I3C には、表 27.16 に示す割り込み要因があります。

表 27.16 割り込み発生 (1/2)

シンボル	割り込み要因	対応			
		I2C	I3CM	I3C2M	I3CS
I3C_RESP	通常応答ステータスバッファフル	—	✓	✓	✓

表 27.16 割り込み発生 (2/2)

シンボル	割り込み要因	対応			
		I2C	I3CM	I3C2M	I3CS
I3C_CMD	通常コマンドバッファエンプティ	—	✓	✓	✓
I3C_IBI	通常 IBI ステータスバッファフル	—	✓	✓	✓
I3C_RX	通常受信データバッファフル	✓	✓	✓	✓
I3C_TX	通常送信データバッファエンプティ	✓	✓	✓	✓
I3C_RCV	通常受信ステータスバッファフル	—	—	✓	✓
I3C_HRESP	優先応答ステータスバッファフル	—	✓	✓	—
I3C_HCMD	優先コマンドバッファエンプティ	—	✓	✓	—
I3C_HRX	優先受信データバッファフル	—	✓	✓	—
I3C_HTX	優先送信データバッファフル	—	✓	✓	—
I3C_TEND	送信終了	✓	—	—	—
I3C_EEI	回復不能内部エラー	—	✓	✓	✓
	通常転送エラー	—	✓	✓	✓
	通常転送中断	—	✓	✓	✓
	優先転送エラー	—	✓	✓	—
	優先転送中断	—	✓	✓	—
	スタートコンディション検出	✓	✓	✓	✓
	ストップコンディション検出	✓	✓	✓	✓
	HDR 終了パターン検出	—	✓	✓	✓
	NACK 検出	✓	—	—	—
	アービトレーションロスト	✓	—	—	—
	タイムアウト検出	✓	✓	✓	✓
I3C_STEV	同期タイミング	—	✓	✓	✓
I3C_MREFOVF	MREF カウンタオーバーフロー	—	✓	✓	—
I3C_MREFCPT	MREF キャプチャ	—	✓	✓	—
I3C_AMEV	追加マスタによるバスイベント	—	✓	✓	—
I3C_WU	ウェイクアップコンディション検出	✓	✓	✓	✓

注. ✓ : 対応
— : 非対応

注. I^2C: I^2C マスタ／スレーブ（シングルバッファ）
I3CM: I3C マスタ
I3C2M: I3C セカンダリマスタ
I3CS: I3C スレーブ

注. CPU による周辺モジュールへの書き込み命令の実行と、実際にモジュールに書き込まれるタイミングとの間には、遅延時間があります。割り込みフラグをクリアした場合は、関連するフラグを再度読み出し、クリア処理の完了を確認した後、割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

I2C プロトコルモード：

- I3C_TX はエッジ検出割り込みであるため、クリアの必要はありません。また、NTST.TDBEF0 フラグ（I3C_TX の条件）は、NTDTBP0 への送信データの書き込み、あるいはストップコンディションの検出（BST.SPCNDDF フラグ = 1）で自動的に 0 になります。

- I3C_RX はエッジ検出割り込みであるため、クリアの必要はありません。また、NTST.RDBFF0 フラグ（I3C_RX の条件）は、NTDTBP0 レジスタからのデータの読み出しで自動的に 0 になります。

I3C プロトコルモード：

詳細については、各フラグ、各ビットの詳細説明を参照してください。

- I3C_CMD、I3C_TX、I3C_HCMD、I3C_HTX、および I3C_IBI（I3C スレーブ）割り込みは、次の条件でクリアされます。
  DMAC/DTC による直近の書き込みアクセスが完了したとき
  CPU により 1 のステートを読んだ後、本ビットに 0 を書いたとき
- I3C_RESP、I3C_IBI（I3C マスタ）、I3C_RX、I3C_RCV、I3C_HRESP、および I3C_HRX 割り込みは、次の条件でクリアされます。
  DMAC/DTC による直近の読み出しアクセスが完了したとき
  CPU により 1 のステートを読んだ後、本ビットに 0 を書いたとき

27.4.2 バッファフル割り込み／エンプティ割り込みのバッファ動作

対応する IR フラグが 1 のときに、バッファフル割り込み／エンプティ割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保持されます（1 要因あたり 1 要求を内部に保持できます）。

IELSRn.IR フラグが 0 になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。内部的に保持されていた割り込み要求は、対応する周辺側の割り込み許可ビットを 0 にすることでもクリアが可能です。

27.5 イベントリンク出力機能

I3C は、ELC に対して以下の要因によってイベント出力を行います。

(1) 通信イベント

通信イベント（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）が発生すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(2) 受信データフル

受信データレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(3) 送信データエンプティ

送信データレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(4) 送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

27.5.1 割り込み処理とイベントリンクの関係

I3C モジュールは、4 種類の割り込み（通信イベント割り込み（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル割り込み、送信データエンプティ割り込み、送信終了割り込み）を生成します。それらの各割り込みには、割り込み信号の許可または禁止を制御する許可ビットがあります。対応する割り込み許可ビットがセットされている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。各割り込み要因については、「27.4.1. 概要」を参照してください。

27.6 リセットの説明

表 27.17 各コンディション発行時のリセット、レジスタ、機能の状態 (1) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
PRTS	PRTMD	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BCTL	BUSE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSM	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ABT	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	INCBA	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
MSDVAD	MDYADV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	MDYAD[6:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
RSTCTL	INTLRST	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HRDBRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HTDBRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HRSPQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HCMDQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	IBIQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RDBRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDBRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQRST	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RI3CRST	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
PRSST	PRSSTWP	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TRMD	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CRMS(注1)	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 27.17 各コンディション発行時のリセット、レジスタ、機能の状態 (1) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
INST	INEF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
INSTE	INEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
INIE	INEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
INSTFC	INEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
DVCT	IDX[4:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
IBINCTL	NRSIRCTL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	NRMRCTL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BFCTL	HSME	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	FMPE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SMBS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SCSYNE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SALE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	NALE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	MALE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセット対象です。（本レジスタに対応する FIFO がクリアされます。）
注 1. I3C モードでは、CRMS は INTLRST によってリセットされません。I2C モードでは、CRMS は INTLRST によってリセットされます。

表 27.18　各コンディション発行時のリセット、レジスタ、機能の状態 (2) (1/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
SVCTL	SVAE[2]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SVAE[1]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SVAE[0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HOAE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVIDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HSMCE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	GCAE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
REFCKCTL	IREFCKS[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
STDBR	DSBRPO	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SBRHP[5:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SBRLP[5:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SBRHO[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SBRLO[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
EXTBR	EBRHP[5:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EBRLP[5:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EBRHO[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EBRLO[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BFRECDT	FRECYC[8:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BAVLCDT	AVLCYC[8:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BIDLCDT	IDLCYC[17:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 27.18 各コンディション発行時のリセット、レジスタ、機能の状態 (2) (2/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
OUTCTL	SDODCS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SDOD[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EXCYC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SOCWP	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SCOC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SDOC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
INCTL	SDID[1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DNFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DNFS[3:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
TMOCTL	TOMDS[1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TOHCTL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TOLCTL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TODTS[1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
WUCTL	WUFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	WUFSYNE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	WUANFS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	WUACKS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
ACKCTL	ACKTWP	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ACKT	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ACKR	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SCSTRCTL	RWE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ACKTWE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 27.18 各コンディション発行時のリセット、レジスタ、機能の状態 (2) (3/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
SCSTLCTL	ACKPE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	PARPE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	AAPE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	STLCYC [15:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SVTDLG0	STDLG[15:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセット対象です。（本レジスタに対応する FIFO がクリアされます。）

表 27.19 各コンディション発行時のリセット、レジスタ、機能の状態 (3) (1/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
STCTL	STOE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
ATCTL	CDIV[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	AMEOE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	MREFOE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ATTRGS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
ATTRG	ATSTRG	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
ATCCNTE	ATCE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CNDCTL	SPCND	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SRCND	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	STCND	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
NCMDQP	NCMDQP [31:0]	リセット	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持
NRSPQP	NRSPQP [31:0]	リセット	リセット	リセット	保持	リセット	保持	保持	保持	保持	保持	保持	保持	保持
NTDTBP0	NTDTBP0 [31:0]	リセット	リセット	リセット	保持	保持	リセット	リセット	保持	保持	保持	保持	保持	保持

表 27.19 各コンディション発行時のリセット、レジスタ、機能の状態 (3) (2/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
NIBIQP	NIBIQP[31:0]	リセット	リセット	リセット	保持	保持	保持	保持	リセット	保持	保持	保持	保持	保持
NRSQP	NRSQP[31:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	リセット	保持	保持	保持	保持
HCMDQP	HCMDQP[31:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	リセット	保持	保持	保持
HRSPQP	HRSPQP[31:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	リセット	保持	保持
HTDTBP	HTDTBP[31:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	リセット	リセット
NQTHCTL	IBIQTH[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	IBIDSSZ[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQTH[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQTH[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
NTBTHCTL0	RXSTTH[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TXSTTH[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RXDBTH[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TXDBTH[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
NRQTHCTL	RSQTH[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
HQTHCTL	RSPQTH[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQTH[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
HTBTHCTL	RXSTTH[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TXSTTH[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RXDBTH[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TXDBTH[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 27.19　各コンディション発行時のリセット、レジスタ、機能の状態 (3) (3/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
BST	WUCNDDF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TODF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ALF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TENDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	NACKDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HDREXDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SPCNDDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	STCNDDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BSTE	WUCNDDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TODE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ALE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TENDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	NACKDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HDREXDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SPCNDDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	STCNDDE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注.　リセット：リセット対象です。（本レジスタに対応する FIFO がクリアされます。）

表 27.20 各コンディション発行時のリセット、レジスタ、機能の状態 (4) (1/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
BIE	WUCNDDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TODIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ALIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TENDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	NACKDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HDREXDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SPCNDDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	STCNDDIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BSTFC	WUCNDDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TODFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ALFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TENDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	NACKDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HDREXDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SPCNDDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	STCNDDFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 27.20 各コンディション発行時のリセット、レジスタ、機能の状態 (4) (2/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
NTST	RSQFF	リセット	リセット	リセット	保持	保持	保持	保持	保持	リセット	保持	保持	保持	保持
	TEF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFF	リセット	リセット	リセット	保持	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEF	リセット	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持
	IBIQEFF	リセット	リセット	リセット	保持	保持	保持	保持	リセット	保持	保持	保持	保持	保持
	RDBFF0	リセット	リセット	リセット	保持	保持	保持	リセット	保持	保持	保持	保持	保持	保持
	TDBEF0	リセット	リセット	リセット	保持	保持	リセット	保持	保持	保持	保持	保持	保持	保持
NTSTE	RSQFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	IBIQEFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFE0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEE0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 27.20 各コンディション発行時のリセット、レジスタ、機能の状態 (4) (3/3)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
NTIE	RSQFIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	IBIQEFIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFIE0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEIE0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセット対象です。（本レジスタに対応する FIFO がクリアされます。）

表 27.21 各コンディション発行時のリセット、レジスタ、機能の状態 (5) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
NTSTFC	RSQFFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	IBIQEFFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFFC0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEFC0	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 27.21 各コンディション発行時のリセット、レジスタ、機能の状態 (5) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
HTST	TEF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	リセット	保持	保持
	CMDQEF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	リセット	保持	保持	保持
	RDBFF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	リセット
	TDBEF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	リセット	保持
HTSTE	TEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
HTIE	TEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEIE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセット対象です。（本レジスタに対応する FIFO がクリアされます。）

表 27.22 各コンディション発行時のリセット、レジスタ、機能の状態 (6) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
HTSTFC	TEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TABTFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RSPQFFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	RDBFFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDBEFC	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BCST	BIDLF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	BAVLF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	BFREF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SVST	SVAF[2]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SVAF[1]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SVAF[0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HOAF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVIDF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	HSMCF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	GCAF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
WUST	WUASYNF	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
MRCCPT	MRCCPT [31:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 27.22　各コンディション発行時のリセット、レジスタ、機能の状態 (6) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
DATBASm (m = 0～7)	DVTYP	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVNACK [1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVDYAD [7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVIBITS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVMRRJ	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVSIRRJ	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVIBIPL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVADLS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	DVSTAD [9:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注.　リセット：リセット対象です。（本レジスタに対応する FIFO がクリアされます。）

表 27.23　各コンディション発行時のリセット、レジスタ、機能の状態 (7) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
EXDATBAS	EDTYP	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EDNACK [1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EDDYAD [7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EDADLS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	EDSTAD [9:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SDATBASn (y = 0～2)	SDDYAD [6:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SDIBIPL	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SDADLS	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SDSTAD [9:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 27.23 各コンディション発行時のリセット、レジスタ、機能の状態 (7) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
MSDCTm (m = 0～7)	RBCRn	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SVDCT	TBCRn	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	TDCR[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセット対象です。（本レジスタに対応する FIFO がクリアされます。）

表 27.24 各コンディション発行時のリセット、レジスタ、機能の状態 (8) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
SDCTPIDL	SDCTPIDL [31:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SDCTPIDH	SDCTPIDH [31:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SVDVADn (n = 0～2)	SDYADV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SSTADV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SADLG	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SVAD[9:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CSECMD	MSRQE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SVIRQE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CEACTST	ACTST[3:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CMWLG	MWLG[15:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CMRLG	IBIPSZ[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	MRLG[15:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CETSTMD	TSTMD[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 27.24 各コンディション発行時のリセット、レジスタ、機能の状態 (8) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
CGDVST	VDRSV[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ACTMD[1:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	PRTE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	PNDINT[3:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CMDSPW	MSWDR[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CMDSPR	CDTTIM[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	MSRDR[2:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CMDSPT	MRTE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	MRTTIM[23:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセット対象です。（本レジスタに対応する FIFO がクリアされます。）

表 27.25 各コンディション発行時のリセット、レジスタ、機能の状態 (9) (1/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
CETSM	INAC[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	FREQ[7:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SPTASYN[3:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SPTSYN	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CETSS	ICOVF	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	ASYNE[3:0]	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SYNE	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
BITCNT	BCNT[4:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

表 27.25 各コンディション発行時のリセット、レジスタ、機能の状態 (9) (2/2)

レジスタシンボル	レジスタビット名	システムリセット	RSTCTL レジスタ											
			RI3CRST	INTLRST	CMDQRST	RSPQRST	TDBRST	RDBRST	IBIQRST	RSQRST	HCMDQRST	HRSPQRST	HTDBRST	HRDBRST
NQSTLV	IBISCNT[4:0]	リセット	リセット	リセット	保持	保持	保持	保持	リセット	保持	保持	保持	保持	保持
	IBIQLV[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	リセット	保持	保持	保持	保持	保持
	RSPQLV[7:0]	リセット	リセット	リセット	保持	リセット	保持	保持	保持	保持	保持	保持	保持	保持
	CMDQFLV[7:0]	リセット	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持
NDBSTLV0	RDBLV[7:0]	リセット	リセット	リセット	保持	保持	保持	リセット	保持	保持	保持	保持	保持	保持
	TDBFLV[7:0]	リセット	リセット	リセット	保持	保持	リセット	保持	保持	保持	保持	保持	保持	保持
NRSQSTLV	RSQLV[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	リセット	保持	保持	保持	保持
HQSTLV	RSPQLV[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	リセット	保持	保持
	CMDQLV[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	リセット	保持	保持	保持
HDBSTLV	RDBLV[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	リセット
	TDBFLV[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	リセット	保持
PRSTDBG	SDOLV	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SCOLV	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SDILV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
	SCILV	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
MSERRCNT	M2ECNT[7:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SC1CPT	SC1C[15:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
SC2CPT	SC2C[15:0]	リセット	リセット	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持
CECTL	CLKE	リセット	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持	保持

注. リセット：リセット対象です。（本レジスタに対応する FIFO がクリアされます。）

27.7 使用上の注意事項

27.7.1 動作クロックの設定

バスクロック (PCLK) と転送クロック (TCLK) との間には以下の周波数関係が必要です。

TCLK/2 ≦ PCLK ≦ TCLK

28. CAN フレキシブルデータレート (CANFD)

CANFD モジュールの CANFD_B バージョンです。

この章では、CANFD_B を CANFD と表記します。

28.1 概要

フレキシブルデータレート付き CAN (CANFD) は以下の機能をサポートします。

- CAN フレキシブルデータレート(注1)

注 1. この機能は、クラシカル CAN 機能では使用できません。

CANFD モジュールは、各種アプリケーションの要件を満たすフレキシブルなメッセージバッファおよび FIFO 構造を持っています。本モジュールは、モジュールの高試験性能を実現する各種テストモードも提供し、パワーオンテストに使用可能です。

本仕様書は、CANFD モジュールについて説明します。

28.1.1 CANFD モジュール

表 28.1 CANFD モジュールの仕様 (1/2)

項目		仕様
通信		CANFD ISO 11898-1 (2015) に準拠した CAN 機能
プロトコルエンジンのバージョン		RS-CANFD_PE V3.0
データ転送レート	CANFD(注1)	アービトレーションフェーズに最大 1 Mbps、データフェーズに最大 8 Mbps
	クラシカル CAN	最大 1 Mbps
動作周波数／周辺クロック		50 MHz (PCLKB) RAM クロック：100 MHz (PCLKA)
データリンクレイヤ (DLL) クロック		最高 ≦ 40 MHz
入出力端子		CTX0/CRX0
CAN チャネル		1 チャネル
選択可能な ID タイプ		11 ビットの標準 ID
		11 ビットの標準 ID + 18 ビットの拡張 ID
選択可能なフレームタイプ		データフレーム (RTR = 0)（CAN フレームと CANFD フレーム）
		リモートフレーム (RTR = 1)（CAN フレームのみ）
データフレームの可変データバイト数		DLC 範囲：0～F
メッセージバッファ		最大 32 個の受信メッセージバッファ
		4 個の送信メッセージバッファ
		1 個の送信キュー 送信キューへの自動メッセージ転送をサポート
FIFO 番号		2 個の受信 FIFO バッファ 1 個の共通 FIFO を個々に下記のように設定可能 ● 受信 FIFO ● 送信 FIFO
送信用自動遅延インターバルタイマ		遅延タイマは下記に適用可能 ● 送信 FIFO

表 28.1 CANFD モジュールの仕様 (2/2)

項目	仕様
拡張受信フィルタ	11 ビットおよび 29 ビットの CAN ID をサポート
	各エントリに、プログラム可能 29 ビット CAN ID アクセプタンスフィルタマスク
	各 FIFO および受信メッセージバッファに、プログラム可能ルーティング機能（最大 2 つのルーティング先）
	RTR および IDE マスキング
	データ長コード (DLC) フィルタ
	メッセージバッファペイロードのオーバーロード保護
	通信中のアクセプタンスフィルタリスト (AFL) エントリ更新
一般ソフトウェアサポート	受信メッセージに自動ラベル情報付加（上位ソフトウェアレイヤサポート用）
タイマ	TX および RX タイムスタンプ機能
パワーダウン機能	CAN ノードにモジュールスタートストップ機能（チャネルモードおよびグローバルスリープモード）
RAM	RAM ECC 保護（2 ビットエラー検出および 1 ビットエラー訂正）
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. 通信可能なビットレートは、ボードの設計や外部環境によって変わりますので、実際の対象ハードウェアに対して十分な評価の上、決定してください。

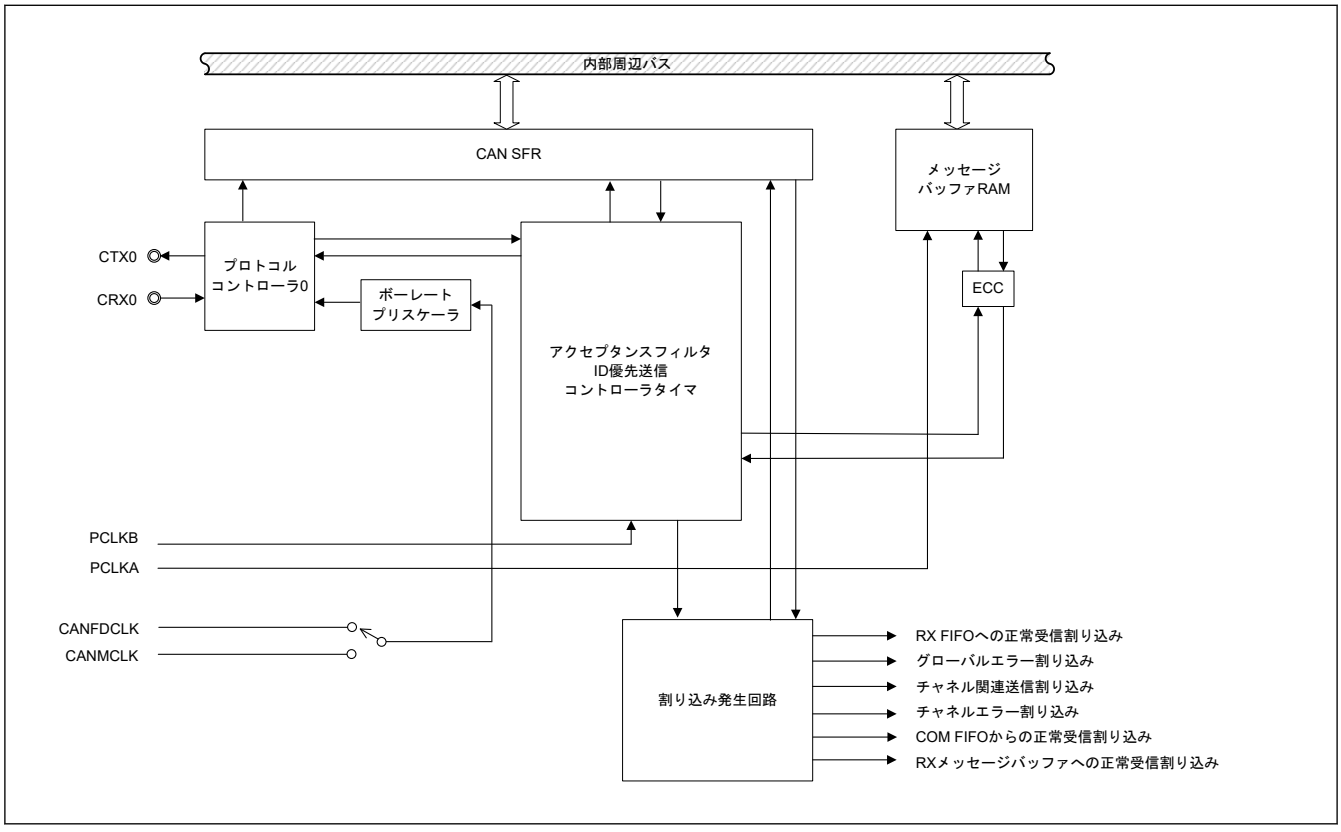


図 28.1 CANFD モジュールの概要

- CTX0/CRX0:
  CANFD モジュールの入出力端子
- プロトコルコントローラ：
  バスアービトレーションや送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。

- メッセージバッファ RAM：
  本 RAM は、受信後のメッセージを格納するため、および通常のメッセージバッファまたは FIFO を使って送信するために使用されます。各メッセージエントリは、上位レイヤアプリケーション用およびタイムスタンプ用に個別の ID、データ長コード、データフィールド、メッセージポインタを持っています。
  本 RAM は、メッセージアクセプタンスフィルタエントリを格納するのに使用されます。各アクセプタンスフィルタエントリは、上位レイヤアプリケーション用およびメッセージ方向ポインタ用に個別の ID、データ長コード、データフィールド、メッセージポインタを持っています。
- アクセプタンスフィルタ：
  受信メッセージのフィルタ処理を行います。アクセプタンスフィルタリスト RAM のエントリは、フィルタ処理に使用されます。
- 2 つのタイマ：
  - 受信タイムスタンプ機能
  - FIFO バッファ用送信セパレーション時間
- 割り込み発生回路：
  各種グローバル割り込みおよびチャネル割り込みを発生します。
- CAN 特殊機能レジスタ (SFR)：
  CAN 関連レジスタ：「28.2. レジスタの説明」を参照してください。

28.1.2 クロックの制限事項

CAN 通信において、以下のクロックの制限事項を満たす必要があります。

- PCLKA / 2 = PCLKB ≧ CANFDCLK
- PCLKA / 2 = PCLKB ≧ CANMCLK

イベントの消失を避けるため、CAN エンジンのクロック（CANFDCLK または CANMCLK）の周波数は PCLKB クロック周波数より必ず低くしなければなりません。

CAN メッセージの損失を避けるため、PCLKB は CAN 通信ボーレートに従った周波数のクロックに設定する必要があります。このボーレートと PCLKB クロックの間の制限を、表 28.2 に示します。

表 28.2 クロックの制限事項

	ボーレート	PCLKB
CANFD	1 Mbps（公称） 8 Mbps（データ）(注1)	PCLKB ≧ 40 MHz
	500 Kbps（公称） 5 Mbps（データ）	PCLKB ≧ 32 MHz
クラシカル CAN	1 Mbps（データ）	PCLKB ≧ 32 MHz

注 1. 通信可能なビットレートは、ボードの設計や外部環境によって変わりますので、実際の対象ハードウェアに対して十分な評価の上、決定してください。

CANFD と CANMCLK の周波数は、必要なボーレートに依存します。ボーレートの設定方法については、「28.4.1.3. ボーレート」を参照してください。

28.2 レジスタの説明

28.2.1 レジスタ表

RAM 領域 (CFDGAFLIDr, CFDGAFLMr, CFDGAFLP0r, CFDGAFLP1r, CFDRMBCPb, CFDRFMBCPb, CFDCFMBCP0, CFDTMBCPb, CFDTHLACC0, CFDTHLACC1, CFDRPGACCk) について示されるリセット値は、ハードウェアリセットの初期化後有効です。初期化処理の詳細は、「28.4.2. ハードウェアリセット後の CAN モジュールの構成」を参照してください。

8 ビットまたは 16 ビットサイズで RAM 領域に書き込みを行うと、RAM は ECC モジュールを介した 32 ビットアクセスが必要なため、CANFD モジュールはその RAM 位置にリードモディファイライトを実行します。

1 ビットエラーの場合は、正しいデータがライトバックされます。複数ビットエラーの場合は、不定データがライトバックされます。

レジスタが割り当てられていないアドレス空間のアクセスは禁止です。

レジスタが割り当てられていないアドレス空間からの読み出しデータは不定です。

28.2.2 凡例

同類のレジスタおよびビットで、小文字のインデックスはどの部分が参照中かを示すのに使用されます。インデックスが使用されている場合、使用されているレジスタ表で定義、記述されます。

全レジスタおよびビットを通して使用されるグローバルインデックスが 1 つあります。

表 28.3 CANFD レジスタ (1/4)

レジスタ名	シンボル	リセット後の値	オフセットアドレス	アクセスサイズ
チャネル 0 公称ビットレートコンフィグレーションレジスタ	CFDC0NCFG	0x00000000	0x0000	8, 16, 32
チャネル 0 コントロールレジスタ	CFDC0CTR	0x00000005	0x0004	8, 16, 32
チャネル 0 ステータスレジスタ	CFDC0STS	0x00000005	0x0008	8, 16, 32
チャネル 0 エラーフラグレジスタ	CFDC0ERFL	0x00000000	0x000C	8, 16, 32
グローバルコンフィグレーションレジスタ	CFDGCFG	0x00000000	0x0014	8, 16, 32
グローバルコントロールレジスタ	CFDGCTR	0x00000005	0x0018	8, 16, 32
グローバルステータスレジスタ	CFDGSTS	0x0000000D	0x001C	8, 16, 32
グローバルエラーフラグレジスタ	CFDGERFL	0x00000000	0x0020	8, 16, 32
グローバルタイムスタンプカウンタレジスタ	CFDGTSC	0x00000000	0x0024	16, 32
グローバルアクセプタンスフィルタリストエントリコントロールレジスタ	CFDGAFLECTR	0x00000000	0x0028	8, 16, 32
グローバルアクセプタンスフィルタリストコンフィグレーションレジスタ	CFDGAFLCFG	0x00000000	0x002C	8, 16, 32
RX メッセージバッファ数レジスタ	CFDRMNB	0x00000000	0x0030	8, 16, 32
RX メッセージバッファ新規データレジスタ	CFDRMND	0x00000000	0x0034	8, 16, 32
RX メッセージバッファ割り込み許可コンフィグレーションレジスタ	CFDRMIEC	0x00000000	0x0038	8, 16, 32
RX FIFO コンフィグレーション／コントロールレジスタ a = [0:1]	CFDRFCCa	0x00000000	0x003C + a × 0x0004	8, 16, 32
RX FIFO ステータスレジスタ a = [0:1]	CFDRFSTSa	0x00000001	0x0044 + a × 0x0004	8, 16, 32
RX FIFO ポインタコントロールレジスタ a = [0:1]	CFDRFPCTRa	0x00000000	0x004C + a × 0x0004	8, 16, 32
共通 FIFO コンフィグレーション／コントロールレジスタ	CFDCFCC	0x00000000	0x0054	8, 16, 32
共通 FIFO ステータスレジスタ	CFDCFSTS	0x00000001	0x0058	8, 16, 32
共通 FIFO ポインタコントロールレジスタ	CFDCFPCTR	0x00000000	0x005C	8, 16, 32
FIFO エンプティステータスレジスタ	CFDFESTS	0x00000103	0x0060	8, 16, 32
FIFO フルステータスレジスタ	CFDFFSTS	0x00000000	0x0064	8, 16, 32
FIFO メッセージロストステータスレジスタ	CFDFMSTS	0x00000000	0x0068	8, 16, 32
RX FIFO 割り込みフラグステータスレジスタ	CFDRFISTS	0x00000000	0x006C	8, 16, 32
TX メッセージバッファコントロールレジスタ i（i = 0～3）	CFDTMCi	0x00	0x0070 + i × 0x0001	8

表 28.3 CANFD レジスタ (2/4)

レジスタ名	シンボル	リセット後の値	オフセットアドレス	アクセスサイズ
TX メッセージバッファステータスレジスタ j（j = 0～3）	CFDTMSTSj	0x00	0x0074 + j × 0x0001	8
TX メッセージバッファ送信要求ステータスレジスタ	CFDTMTRSTS	0x00000000	0x0078	8, 16, 32
TX メッセージバッファ送信中断要求ステータスレジスタ	CFDTMTARSTS	0x00000000	0x007C	8, 16, 32
TX メッセージバッファ送信完了ステータスレジスタ	CFDTMTCSTS	0x00000000	0x0080	8, 16, 32
TX メッセージバッファ送信中断ステータスレジスタ	CFDTMTASTS	0x00000000	0x0084	8, 16, 32
TX メッセージバッファ割り込み許可コンフィグレーションレジスタ	CFDTMIEC	0x00000000	0x0088	8, 16, 32
TX キューコンフィグレーション／コントロールレジスタ	CFDTXQCC	0x00000000	0x008C	8, 16, 32
TX キューステータスレジスタ	CFDTXQSTS	0x00000001	0x0090	8, 16, 32
TX キューポインタコントロールレジスタ	CFDTXQPCTR	0x00000000	0x0094	8, 16, 32
TX 履歴リストコンフィグレーション／コントロールレジスタ	CFDTHLCC	0x00000000	0x0098	8, 16, 32
TX 履歴リストステータスレジスタ	CFDTHLSTS	0x00000001	0x009C	8, 16, 32
TX 履歴リストポインタコントロールレジスタ	CFDTHLPCTR	0x00000000	0x00A0	8, 16, 32
グローバル TX 割り込みステータスレジスタ	CFDGTINTSTS	0x00000000	0x00A4	8, 16, 32
グローバルテストコンフィグレーションレジスタ	CFDGTSTCFG	0x00000000	0x00A8	8, 16, 32
グローバルテストコントロールレジスタ	CFDGTSTCTR	0x00000000	0x00AC	8, 16, 32
グローバル FD コンフィグレーションレジスタ	CFDGFDCFG	0x00000000	0x00B0	8, 16, 32
グローバルロックキーレジスタ	CFDGLOCKK	0x00000000	0x00B8	16, 32
グローバル AFL 無視エントリレジスタ	CFDGAFLIGNENT	0x00000000	0x00C0	8, 16, 32
グローバル AFL 無視コントロールレジスタ	CFDGAFLIGNCTR	0x00000000	0x00C4	16, 32
DMA 転送コントロールレジスタ	CFDCDTCT	0x00000000	0x00C8	8, 16, 32
DMA 転送ステータスレジスタ	CFDCDTSTS	0x00000000	0x00CC	8, 16, 32
グローバル SW リセットレジスタ	CFDGRSTC	0x00000000	0x00D8	16, 32
チャネル 0 データビットレートコンフィグレーションレジスタ	CFDC0DCFG	0x00000000	0x0100	8, 16, 32
チャネル 0 CANFD コンフィグレーションレジスタ	CFDC0FDCFG	0x00000000	0x0104	8, 16, 32
チャネル 0 CANFD コントロールレジスタ	CFDC0FDCTR	0x00000000	0x0108	8, 16, 32
チャネル 0 CANFD ステータスレジスタ	CFDC0FDSTS	0x00000000	0x010C	8, 16, 32
チャネル 0 CANFD CRC レジスタ	CFDC0FDCRC	0x00000000	0x0110	8, 16, 32
グローバルアクセプタンスフィルタリスト ID レジスタ r = [1…16]	CFDGAFLIDr	0x00000000(注1)	0x0120 + (r-1) × 0x0010	8, 16, 32
グローバルアクセプタンスフィルタリストマスクレジスタ r = [1…16]	CFDGAFLMr	0x00000000(注1)	0x0124 + (r-1) × 0x0010	8, 16, 32

表 28.3 CANFD レジスタ (3/4)

レジスタ名	シンボル	リセット後の値	オフセットアドレス	アクセスサイズ
グローバルアクセプタンスフィルタリストポインタ 0 レジスタ r = [1…16]	CFDGAFLP0r	0x00000000(注1)	0x0128 + (r-1) × 0x0010	8, 16, 32
グローバルアクセプタンスフィルタリストポインタ 1 レジスタ r = [1…16]	CFDGAFLP1r	0x00000000(注1)	0x012C + (r-1) × 0x0010	8, 16, 32
RAM テストページアクセスレジスタ k = [0…63]	CFDRPGACCk	0x00000000(注1)	0x0280 + k × 0x0004	8, 16, 32
RX FIFO アクセス ID レジスタ b（b = 0、1）	CFDRFIDb	0x00000000(注1)	0x0520 + b × 0x004C	8, 16, 32
RX FIFO アクセスポインタレジスタ b（b = 0、1）	CFDRFPTRb	0x00000000(注1)	0x0524 + b × 0x004C	8, 16, 32
RX FIFO アクセス CANFD ステータスレジスタ b = [0…1]	CFDRFFDSTSb	0x00000000(注1)	0x0528 + b × 0x004C	8, 16, 32
RX FIFO アクセスデータフィールド p レジスタ b = [0…1] p = [0…15]	CFDRFDFbp	0x00000000(注1)	0x052C + p × 0x0004 + b × 0x004C	8, 16, 32
共通 FIFO アクセス ID レジスタ	CFDCFID	0x00000000(注1)	0x05B8	8, 16, 32
共通 FIFO アクセスポインタレジスタ	CFDCFPTR	0x00000000(注1)	0x05BC	8, 16, 32
共通 FIFO アクセス CANFD コントロール／ステータスレジスタ	CFDCFFDCSTS	0x00000000(注1)	0x05C0	8, 16, 32
共通 FIFO アクセスデータフィールド p レジスタ p = [0…15]	CFDCFDFp	0x00000000(注1)	0x05C4 + p × 0x0004	8, 16, 32
TX メッセージバッファ ID レジスタ b（b = 0～3）	CFDTMIDb	0x00000000(注1)	0x0604 + b × 0x004C	8, 16, 32
TX メッセージバッファポインタレジスタ b（b = 0～3）	CFDTMPTRb	0x00000000(注1)	0x0608 + b × 0x004C	8, 16, 32
TX メッセージバッファ CANFD コントロールレジスタ b = [0…3]	CFDTMFDCTRb	0x00000000(注1)	0x060C + b × 0x004C	8, 16, 32
TX メッセージバッファデータフィールド p レジスタ b = [0…3] p = [0…15]	CFDTMDFbp	0x00000000(注1)	0x0610 + p × 0x0004 + b × 0x004C	8, 16, 32
チャネル 0 TX 履歴リストアクセスレジスタ 0	CFDTHLACC0	0x00000000(注1)	0x0740	8, 16, 32
チャネル 0 TX 履歴リストアクセスレジスタ 1	CFDTHLACC1	0x00000000(注1)	0x0744	8, 16, 32
RX メッセージバッファ ID レジスタ b（b = 0～7）	CFDRMIDb	0x00000000(注1)	0x0920 + b × 0x004C	8, 16, 32
RX メッセージバッファポインタレジスタ b（b = 0～7）	CFDRMPTRb	0x00000000(注1)	0x0924 + b × 0x004C	8, 16, 32
RX メッセージバッファ CANFD ステータスレジスタ b = [0…7]	CFDRMFDSTSb	0x00000000(注1)	0x0928 + b × 0x004C	8, 16, 32
RX メッセージバッファデータフィールド p レジスタ b = [0…7] p = [0…15]	CFDRMDFbp	0x00000000(注1)	0x092C + p × 0x0004 + b × 0x004C	8, 16, 32
RX メッセージバッファ ID レジスタ b（b = 8～15）	CFDRMIDb	0x00000000(注1)	0x0D20 + (b - 8) × 0x004C	8, 16, 32
RX メッセージバッファポインタレジスタ b（b = 8～15）	CFDRMPTRb	0x00000000(注1)	0x0D24 + (b - 8) × 0x004C	8, 16, 32
RX メッセージバッファ CANFD ステータスレジスタ b = [8…15]	CFDRMFDSTSb	0x00000000(注1)	0x0D28 + (b - 8) × 0x004C	8, 16, 32
RX メッセージバッファデータフィールド p レジスタ b = [8…15] p = [0…15]	CFDRMDFbp	0x00000000(注1)	0x0D2C + p × 0x0004 + (b - 8) × 0x004C	8, 16, 32
RX メッセージバッファ ID レジスタ b（b = 16～23）	CFDRMIDb	0x00000000(注1)	0x1120 + (b - 16) × 0x004C	8, 16, 32

表 28.3 CANFD レジスタ (4/4)

レジスタ名	シンボル	リセット後の値	オフセットアドレス	アクセスサイズ
RX メッセージバッファポインタレジスタ b（b = 16～23）	CFDRMPTRb	0x00000000(注1)	0x1124 + (b - 16) × 0x004C	8, 16, 32
RX メッセージバッファ CANFD ステータスレジスタ b = [16…23]	CFDRMFDSTSb	0x00000000(注1)	0x1128 + (b - 16) × 0x004C	8, 16, 32
RX メッセージバッファデータフィールド p レジスタ b = [16…23] p = [0…15]	CFDRMDFbp	0x00000000(注1)	0x112C + p × 0004 + (b - 16) × 0x004C	8, 16, 32
RX メッセージバッファ ID レジスタ b（b = 24～31）	CFDRMIDb	0x00000000(注1)	0x1520 + (b - 24) × 0x004C	8, 16, 32
RX メッセージバッファポインタレジスタ b（b = 24～31）	CFDRMPTRb	0x00000000(注1)	0x1524 + (b - 24) × 0x004C	8, 16, 32
RX メッセージバッファ CANFD ステータスレジスタ b = [24…31]	CFDRMFDSTSb	0x00000000(注1)	0x1528 + (b - 24) × 0x004C	8, 16, 32
RX メッセージバッファデータフィールド p レジスタ b = [24…31] p = [0…15]	CFDRMDFbp	0x00000000(注1)	0x152C + p × 0x0004 + (b - 24) × 0x004C	8, 16, 32

注 1. RAM 領域はハードウェアリセット後に初期化されます。「28.4.2. ハードウェアリセット後の CAN モジュールの構成」参照。

28.2.3 CFDC0NCFG : チャネル 0 公称ビットレートコンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0000

Bit position:	31 … 25	24 … 17	16 … 10	9 … 0
Bit field:	NTSEG2[6:0]	NTSEG1[7:0]	NSJW[6:0]	NBRP[9:0]
Value after reset:	0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0	0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
9:0	NBRP[9:0]	チャネル公称ボーレートプリスケーラ 公称ボーレートプリスケーラ分周比	R/W
16:10	NSJW[6:0]	再同期ジャンプ幅 0x00: 1 Tq 0x01: 2 Tq ⋮ 0x7E: 127 Tq 0x7F: 128 Tq	R/W
24:17	NTSEG1[7:0]	タイミングセグメント 1 0x00: 予約 0x01: 2 Tq 0x02: 3 Tq 0x03: 4 Tq ⋮ 0xFE: 255 Tq 0xFF: 256 Tq	R/W
31:25	NTSEG2[6:0]	タイミングセグメント 2 0x00: 予約 0x01: 2 Tq ⋮ 0x7E: 127 Tq 0x7F: 128 Tq	R/W

注. Tq はタイムクォンタム (time quantum) を表します。

本レジスタは、チャネルの送受信公称ボーレートパラメータを設定します。

NBRP[9:0]ビット（チャネル公称ボーレートプリスケーラ）

NBRP[9:0]ビットは、Tq (Time Quantum) に含まれる周辺バスクロック期間を定義するのに使用されます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

NSJW[6:0]ビット（再同期ジャンプ幅）

NSJW[6:0]ビットは同期ジャンプ幅を指定します。1～128Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

NTSEG1[7:0]ビット（タイミングセグメント 1）

NTSEG1[7:0]ビットは、正相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG1 を設定します。これらのビットには、伝播時間セグメントが含まれます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

また、Tq 値は 2～256（2 と 256 を含む）の範囲で設定してください。詳細は、「28.4.1.2. CAN のビットタイミング」を参照してください。

NTSEG2[6:0]ビット（タイミングセグメント 2）

NTSEG2[6:0]ビットは、逆相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG2 を設定します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

また、Tq 値は 2～128（2 と 128 を含む）の範囲で設定してください。

28.2.4 CFDC0CTR : チャネル 0 コントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0004

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ROM	BFT	—	—	—	CTMS[1:0]		CTME	ERRD	BOM[1:0]		—	TDCV FIE	SOCO IE	EOCO IE	TAIE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLP R	CHMDC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
1:0	CHMDC[1:0]	チャネルモード制御 0 0: チャネルオペレーションモード要求 0 1: チャネルリセット要求 1 0: チャネル halt 要求 1 1: 現在値を維持	R/W
2	CSLPR	チャネルスリープ要求 0: チャネルスリープ要求禁止 1: チャネルスリープ要求許可	R/W
3	RTBO	バスオフからの復帰 0: チャネルはバスオフからの復帰を強制されていない 1: チャネルはバスオフからの復帰を強制されている	R/W

ビット	シンボル	機能	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	BEIE	バスエラー割り込み許可 0: バスエラー割り込み禁止 1: バスエラー割り込み許可	R/W
9	EWIE	エラーワーニング割り込み許可 0: エラーワーニング割り込み禁止 1: エラーワーニング割り込み許可	R/W
10	EPIE	エラーパッシブ割り込み許可 0: エラーパッシブ割り込み禁止 1: エラーパッシブ割り込み許可	R/W
11	BOEIE	バスオフ開始割り込み許可 0: バスオフ開始割り込み禁止 1: バスオフ開始割り込み許可	R/W
12	BORIE	バスオフ復帰割り込み許可 0: バスオフ復帰割り込み禁止 1: バスオフ復帰割り込み許可	R/W
13	OLIE	オーバーロード割り込み許可 0: オーバーロード割り込み禁止 1: オーバーロード割り込み許可	R/W
14	BLIE	バスロック割り込み許可 0: バスロック割り込み禁止 1: バスロック割り込み許可	R/W
15	ALIE	アービトレーションロスト割り込み許可 0: アービトレーションロスト割り込み禁止 1: アービトレーションロスト割り込み許可	R/W
16	TAIE	送信アボート割り込み許可 0: TX アボート割り込み禁止 1: TX アボート割り込み許可	R/W
17	EOCOIE	エラー発生カウンタオーバーフロー割り込み許可 0: エラー発生カウンタオーバーフロー割り込み禁止 1: エラー発生カウンタオーバーフロー割り込み許可	R/W
18	SOCOIE	成功発生カウンタオーバーフロー割り込み許可 0: 成功発生カウンタオーバーフロー割り込み禁止 1: 成功発生カウンタオーバーフロー割り込み許可	R/W
19	TDCVFIE(注1)	トランシーバ遅延補償違反割り込み許可 0: トランシーバ遅延補償違反割り込み禁止 1: トランシーバ遅延補償違反割り込み許可	R/W
20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
22:21	BOM[1:0]	チャネルバスオフモード 0 0: 通常モード（ISO 11898-1 に準拠） 0 1: バスオフ開始で自動的に halt モードへ遷移 1 0: バスオフ終了で自動的に halt モードへ遷移 1 1: ソフトウェア要求により（バスオフ復帰期間中に）halt モードへ遷移	R/W
23	ERRD	チャネルエラー表示 0: エラーコードの最初のセットのみ表示 1: 蓄積したエラーコードを表示	R/W
24	CTME	チャネルテストモード許可 0: チャネルテストモード禁止 1: チャネルテストモード許可	R/W
26:25	CTMS[1:0]	チャネルテストモード選択 0 0: 基本テストモード 0 1: リッスンオンリーモード 1 0: セルフテストモード 0（外部ループバックモード） 1 1: セルフテストモード 1（内部ループバックモード）	R/W
29:27	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
30	BFT	ビットフリップテスト 0: 受信ストリームの最初のデータビットを反転しない 1: 受信ストリームの最初のデータビットを反転する	R/W
31	ROM(注1)	制限付きオペレーションモード 0: 制限オペレーションモード禁止 1: 制限オペレーションモード許可	R/W

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

チャネルコントロールレジスタは、関連するチャネルのモードを制御します。本チャネルに接続された CAN バスでエラーが発生した場合、割り込みの発生を許可するのに使用されます。チャネルをテストモードに設定するのにも使用されます。

CHMDC[1:0]ビット（チャネルモード制御）

CHMDC[1:0]ビットを使用して、CAN チャネルのモードを設定することができます。

CAN モードの遷移については「28.3.3. チャネルモード」に詳述しています。

CHMDC[1:0]ビットの 11b への設定は無効です。CANFD モジュールが GL_HALT モードの場合、これらのビットは 10b か 01b にしか設定できません。これらのビットは CH_SLEEP モードでは設定できません。

これらのビットは、CFDC0CTR.BOM を設定することにより halt モードに遷移すると自動的に変更されます。

CAN チャネルが halt モードに遷移するのと同時（CFDC0CTR.BOM = 01b の場合、バスオフ開始時、CFDC0CTR.BOM = 10b の場合、バスオフ終了時）に、CFDC0CTR.CHMDC への CPU 書き込みアクセスが発生すると、CPU 書き込みアクセスが最も優先されます。

CFDC0CTR.CHMDC 値が 00b（オペレーションモード）の場合のみ、CAN チャネルは、指定されたケースでチャネルコントロールレジスタの CFDC0CTR.CHMDC の値を変更します。

CSLPR ビット（チャネルスリープ要求）

CSLPR ビットが 1 のとき、対応する CAN チャネルに対してスリープモード要求が発生します。

本ビットが 0 のとき、関連する CANFD チャネルに対してスリープモードからの復帰要求が発生します。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合のみ本ビットへの書き込みを行ってください。

RTBO ビット（バスオフからの復帰）

CAN チャネルのプロトコルコントローラがバスオフ状態になると、チャネルコントロールレジスタの RTBO ビットを 1 にすることによりバスオフ状態からの復帰を強制できます。

最大 1 CAN ビット時間を統合するために、バスオフ状態からエラー状態に変わります。

RTBO ビットが 1 のとき、REC レジスタおよび TEC レジスタは初期化され、バスオフステータスビット（チャネルバスオフ状態、CFDC0STS.BOSTS）が 0 になります。

REC レジスタおよび TEC レジスタ以外のレジスタは、本コマンドにより初期化されません。CFDC0CTR.BORIE が 1 の場合でも、このバスオフ状態からの復帰によって、バスオフ復帰割り込み要求は発生しません。

RTBO ビットは CH_SLEEP モードでは設定できません。バスオフ状態以外の状態で本ビットを 1 にしても無効で、ビットはただちにクリアされます。読むと常に 0 が読めます。

バスオフ復帰コマンドは、CFDC0CTR.BOM が 00b に設定されている場合のみ使用してください。

関連する CANFD チャネルが CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。本ビットは、ソフトウェアにより自動的にクリアされます。

BEIE ビット（バスエラー割り込み許可）

BEIE ビットと CFDC0ERFL.BEF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

このビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EWIE ビット（エラーワーニング割り込み許可）

EWIE ビットと CFDC0ERFL.EWF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

EWIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EPIE ビット（エラーパッシブ割り込み許可）

EPIE ビットと CFDC0ERFL.EPF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

EPIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BOEIE ビット（バスオフ開始割り込み許可）

BOEIE ビットと CFDC0ERFL.BOEF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

BOEIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BORIE ビット（バスオフ復帰割り込み許可）

BORIE ビットと CFDC0ERFL.BORF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

BORIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

OLIE ビット（オーバーロード割り込み許可）

OLIE ビットと CFDC0ERFL.OVLF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

BLIE ビット（バスロック割り込み許可）

BLIE ビットと CFDC0ERFL.BLF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

ALIE ビット（アービトレーションロスト割り込み許可）

ALIE ビットと CFDC0ERFL.ALF ビットが両方とも 1 の場合、エラー割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TAIE ビット（送信アボート割り込み許可）

TAIE ビットが 1 で、対応する CAN チャネルに属する TX MB からの送信アボートに成功した場合、割り込み要求が発生します。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

EOCOIE ビット（エラー発生カウンタオーバーフロー割り込み許可）

EOCOIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.EOCO ビットが 1 の場合、エラー割り込み要求が発生します。

EOCOIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

SOCOIE ビット（成功発生カウンタオーバーフロー割り込み許可）

SOCOIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.SOCO ビットが 1 の場合、エラー割り込み要求が発生します。

SOCOIE ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TDCVFIE ビット（トランシーバ遅延補償違反割り込み許可）

TDCVFIE ビットが 1 で、対応する CAN チャネルに属する CFDC0FDSTS.TDCVF ビットが 1 の場合、エラー割り込み要求が発生します。

TDCVFIE ビットは CH_SLEEP モードでは設定できません。

関連する CANFD チャネルが CH_RESET モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

BOM[1:0]ビット（チャネルバスオフモード）

BOM[1:0]ビットは、CANFD チャネルのバスオフモードからの復帰のタイミングを制御します。

CH_SLEEP モードのとき、これらのビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

関連する CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

ERRD ビット（チャネルエラー表示）

ERRD ビットは、チャネルエラーフラグレジスタ (CFDC0ERFL) のエラーフラグビット[14:8]の表示モードを制御します。

ERRD ビットが 0 で、同時に 2 つ以上のエラーが起きると、エラーフラグビットが、同時に発生したエラーすべてに対して設定されます。CFDC0ERFL[14:8]がクリアされるまでこれ以上エラーフラグは立ちません。

CH_SLEEP モードのとき、ERRD ビットに書き込まないでください。関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CTME ビット（チャネルテストモード許可）

CTME ビットは、チャネルテストモードを有効にします。

CH_SLEEP モードのとき、本ビットに書き込まないでください。関連する CANFD チャネルが CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CTMS[1:0]ビット（チャネルテストモード選択）

CTMS[1:0]ビットは、必要なテストモードを選択するのに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、これらのビットに書き込まないでください。関連する CANFD チャネルが CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

BFT ビット（ビットフリップテスト）

BFT ビットは、プロトコルコントローラの内部 CRC 生成器ロジックをチェックします。

受信中の CAN メッセージデータストリームの第 1 ビット（ID ビット）を反転するので、内部で生成した CRC 結果がフレームの受信した CRC 値と一致しなくなります。本機能を使用する場合、(反転のため) CRC エラーではなくスタッフエラーを受信する可能性があるため、ビットスタッフィングルールを参照してください。

内部で生成した CRC 値は、常に下記のレジスタで確認できます。

- CFDC0ERFL.CRCREG（クラシカル CAN フレーム）
- CFDC0FDCRC.CRCREG（CANFD フレーム）(注1)

注 1. この機能は、クラシカル CAN 機能では使用できません。

本ビット使用する上ではいくつかの制限があります。

他の CAN ノードが基準メッセージを送信し、受信ノードは着信ビットストリームの 1 つのビットを反転可能です。

注. 送信部と受信部のモードでは同じ CRC 生成器が共有されるため、テストするときにモードを別々に検討する必要はありません。

BFT ビット（ビットストリームの第 1 ビットを反転する新規の制御信号）および CTME ビットが 1 でありかつ CFDC0CTR.CTMS ビットが 0x00 のとき、ビットフリップテストモードが有効です。

この機能を送信ノードで使用すると、ビットエラーまたはアービトレーションロストが発生します。

CH_SLEEP モードのとき、BFT ビットに書き込まないでください。セルフテストモード 1（内部ループバックモード）のときは、この機能を使わないでください。関連する CANFD チャネルが CH_HALT モードの場合のみ、本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

ROM ビット（制限付きオペレーションモード）

ROM ビットと CTME ビットが両方とも 1 の場合、制限付きのオペレーションモードが有効になります。本モードは、基本テストモード (CFDC0CTR.CTMS[1:0] = 00b) でのみ使用してください。

ROM ビットは CH_SLEEP モードでは設定できません。関連する CANFD チャネルが CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。クラシカル CAN モードのとき本ビットを設定しないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

28.2.5 CFDC0STS : チャネル 0 ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0008

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TEC[7:0]								REC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ESIF	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
0	CRSTSTS	チャネルリセットステータス 0: チャネルはリセットモード中ではない 1: チャネルはリセットモード中	R
1	CHLTSTS	チャネル halt ステータス 0: チャネルは halt モード中ではない 1: チャネルは halt モード中	R
2	CSLPSTS	チャネルスリープステータス 0: チャネルはスリープモード中ではない 1: チャネルはスリープモード中	R
3	EPSTS	チャネルエラーパッシブステータス 0: チャネルはエラーパッシブ状態ではない 1: チャネルはエラーパッシブ状態	R
4	BOSTS	チャネルバスオフステータス 0: チャネルはバスオフ状態ではない 1: チャネルはバスオフ状態	R
5	TRMSTS	チャネル送信ステータス 0: チャネルは送信中ではない 1: チャネルは送信中	R
6	RECSTS	チャネル受信ステータス 0: チャネルは受信中ではない 1: チャネルは受信中	R

ビット	シンボル	機能	R/W
7	COMSTS	チャネル通信ステータス 0: チャネルは通信可状態ではない 1: チャネルは通信可状態	R
8	ESIF(注1)	エラー状態表示フラグ 0: ESI フラグが設定されているときに CANFD メッセージは 1 つも受信されていない 1: ESI フラグが設定されているときに少なくとも 1 つの CANFD メッセージが受信された	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	REC[7:0]	受信エラー数 これらのビットは、受信中の CAN チャネルのエラー状態によってカウンタ値を増減させます。	R
31:24	TEC[7:0]	送信エラー数 これらのビットは、送信中の CAN チャネルのエラー状態によってカウンタ値を増減させます。	R

注 1. このビットは、クラシカル CAN 機能では使用できません。

チャネルステータスレジスタは、関連するチャネルのモード、エラー状態および送受信状態を、送受信エラー数の値とともに示します。

CRSTSTS ビット（チャネルリセットステータス）

CRSTSTS ビットは、関連する CAN チャネルがリセットモードかどうかを示します。

本ビットは、関連する CAN チャネルがチャネルリセットモードになると自動的に 1 になります。モードがリセットモードからスリープモードに遷移しても、CRSTSTS ビットは 1 のままです。

本ビットは、スリープモードへの遷移の場合を除いて、関連する CAN チャネルがチャネルリセットモードを抜けると自動的にクリアされます

CHLTSTS ビット（チャネル halt ステータス）

CRSTSTS ビットは、関連する CAN チャネルが halt モードかどうかを示します。

本ビットは、関連する CAN モジュールが halt モードになると自動的に 1 になり、halt モードを抜けると自動的にクリアされます。

CSLPSTS ビット（チャネルスリープステータス）

CSLPSTS ビットは、関連する CAN チャネルがスリープモードかどうかを示します。

本ビットは、関連する CANFD チャネルがスリープモードになると自動的に 1 になり、スリープモードを抜けると自動的にクリアされます。

EPSTS ビット（チャネルエラーパッシブステータス）

EPSTS ビットは、関連する CANFD チャネルがエラーパッシブ状態になったかどうかを示します。

本ビットは、CAN 送受信カウンタレジスタの値が 0x7F を超えた場合自動的に 1 になります。

本ビットは、関連する CANFD チャネルがエラーパッシブ状態を抜けるかリセットモードになると自動的にクリアされます

BOSTS ビット（チャネルバスオフステータス）

BOSTS ビットは、関連する CANFD チャネルがエラーバスオフ状態になったかどうかを示します。

本ビットは、関連する CAN 送信エラー数レジスタの値が 0xFF を超え、関連する CANFD チャネルがバスオフ状態になる（CAN 送信エラー数レジスタ > 0xFF）と自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスオフ状態を抜けると自動的にクリアされます。

TRMSTS ビット（チャネル送信ステータス）

TRMSTS ビットは、関連する CANFD チャネルがメッセージを送信中かどうかを示します。

本ビットは、関連する CANFD チャネルが送信ノードとして動作するかバスオフ状態になると自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスアイドル状態になるか受信ノードとして動作開始すると自動的にクリアされます。

RECSTS ビット（チャネル受信ステータス）

RECSTS ビットは、関連する CANFD チャネルがメッセージを受信中かどうかを示します。

本ビットは、関連する CANFD チャネルが受信ノードとして動作中の場合、自動的に 1 になります。

本ビットは、関連する CANFD チャネルがバスアイドル状態になるか送信ノードとして動作開始すると自動的にクリアされます。

COMSTS ビット（チャネル通信ステータス）

COMSTS ビットは、関連する CANFD チャネルが通信可能状態かどうかを示します。

本ビットは、リセットモードか halt モードを抜けて、11 個の連続レセシブビットの検出後、関連する CANFD チャネルが通信可能状態であると、自動的に 1 になります。

本ビットは、関連する CANFD チャネルが CH_RESET モードまたは CD_HALT になると自動的にクリアされます。

注. 本ビットはバスオフ状態中 1 です。

ESIF ビット（エラー状態表示フラグ）

ESIF ビットは、ESI ビットがエラーのない受信 CAN メッセージに対してレセシブとしてサンプリングされると 1 になります。ループバックモードまたはミラーモード時、自分で送信したメッセージが受信メッセージと見なされます。

CANFD チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 になります。

また、0 を書くことによってクリアされます。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

注. このビットは、クラシカル CAN 機能では使用できません。

REC[7:0]ビット（受信エラー数）

REC[7:0]ビットは、受信中の CANFD チャネルのエラー状態によってカウンタ値を増減させ、REC エラーカウンタの値を表示します。

バスオフ状態時の値は不定になります。

これらのビットは、CANFD モジュールが GL_RESET モードになるか、CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

TEC[7:0]ビット（送信エラー数）

TEC[7:0]ビットは、送信中の CANFD チャネルのエラー状態によってカウンタ値を増減させ、TEC エラーカウンタの値を表示します。

テストモード時でかつ CANFD チャネルが CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、CANFD モジュールが GL_RESET モードになるか、CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

28.2.6 CFDC0ERFL : チャネル 0 エラーフラグレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x000C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CRCREG[14:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BEF	バスエラーフラグ 0: チャネルバスエラー未検出 1: チャネルバスエラー検出	R/W
1	EWF	エラーワーニングフラグ 0: チャネルエラーワーニング未検出 1: チャネルエラーワーニング検出	R/W
2	EPF	エラーパッシブフラグ 0: チャネルエラーパッシブ未検出 1: チャネルエラーパッシブ検出	R/W
3	BOEF	バスオフ開始フラグ 0: チャネルバスオフ開始未検出 1: チャネルバスオフ開始検出	R/W
4	BORF	バスオフ復帰フラグ 0: チャネルバスオフ復帰未検出 1: チャネルバスオフ復帰検出	R/W
5	OVLF	オーバーロードフラグ 0: チャネルオーバーロード未検出 1: チャネルオーバーロード検出	R/W
6	BLF	バスロックフラグ 0: チャネルバスロック未検出 1: チャネルバスロック検出	R/W
7	ALF	アービトレーションロストフラグ 0: チャネルアービトレーションロスト未検出 1: チャネルアービトレーションロスト検出	R/W
8	SERR	スタッフエラー 0: チャネルスタッフエラー未検出 1: チャネルスタッフエラー検出	R/W
9	FERR	フォームエラー 0: チャネルフォームエラー未検出 1: チャネルフォームエラー検出	R/W
10	AERR	ACK エラー 0: チャネル ACK エラー未検出 1: チャネル ACK エラー検出	R/W
11	CERR	CRC エラー 0: チャネル CRC エラー未検出 1: チャネル CRC エラー検出	R/W
12	B1ERR	ビット 1 エラー 0: チャネルビット 1 エラー未検出 1: チャネルビット 1 エラー検出	R/W

ビット	シンボル	機能	R/W
13	B0ERR	ビット 0 エラー 0: チャネルビット 0 エラー未検出 1: チャネルビット 0 エラー検出	R/W
14	ADERR	ACK デリミタエラー 0: チャネル ACK デリミタエラー未検出 1: チャネル ACK デリミタエラー検出	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
30:16	CRCREG[14:0]	CRC レジスタ値 これらのビットは、CAN2.0 CAN フレームに対して計算された CRC 値を示します。	R
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

チャネルエラーフラグレジスタは、関連する CAN チャネルエラー割り込み許可レジスタの設定にかかわらず検出可能な各種エラー条件の状態を示します。それらのレジスタは、CAN チャネルにより検出可能な各種バスエラーの状態も示します。各エラー条件がいつ発生するかを確認するには CAN 仕様 (ISO 11898-1) を参照してください。

本レジスタについては、ソフトウェアによりクリア可能なのは 1 ビットのみです。ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

アセンブリ言語で CFDC0ERFL.BEF ビットをクリアする例：

```
mov.b #0x0FE, CFDC0ERFL ;
```

BEF ビット（バスエラーフラグ）

BEF ビットは、本レジスタのビット[14:8]により示される CAN チャネルバスエラー状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、バスエラー検出時自動的に設定され、また関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 に設定されます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

EWF ビット（エラーワーニングフラグ）

EWF ビットは、CAN チャネルに対してエラーワーニング条件が検出されたかどうかを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、TEC または REC が 0x5F を超えると自動的に 1 になります。

本ビットが 1 になるのは、TEC または REC が初めて 0x5F を超えた場合のみです。したがって、TEC または REC が＞ 0x5F のままで EWF ビットがソフトウェアによりクリアされた場合、TEC と REC の両方が 0x60 以下になるか、または TEC または REC が再び 0x5F から＞ 0x5F になるまで、本ビットは再び 1 になりません。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

EPF ビット（エラーパッシブフラグ）

EPF ビットは、CAN チャネルのエラーパッシブ状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、CAN エラー状態がパッシブ状態になると自動的に 1 になります。

本ビットが 1 になるのは、TEC または REC が初めて 0x7F を超えた場合のみです。したがって、TEC または REC が＞ 0x7F のままで本ビットがソフトウェアによりクリアされた場合、TEC と REC の両方が 0x80 以下になるか、または TEC または REC が再び≦ 0x7F から＞ 0x7F になるまで、本ビットは再び 1 になりません。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

BOEF ビット（バスオフ開始フラグ）

BOEF ビットは、CAN チャネルのバスオフ開始状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、CAN エラー状態がバスオフ状態になると自動的に 1 になります。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

BORF ビット（バスオフ復帰フラグ）

BORF ビットは、CAN チャネルのバスオフ復帰状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャネルが、下記の条件下で、バスオフ状態から復帰した場合、本ビットは自動的に 1 になります。

- CFDC0CTR.BOM が 00b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき
- CFDC0CTR.BOM が 10b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき
- CFDC0CTR.BOM が 11b で、通常復帰（11 個の連続レセシブビット x128 回検出）が発生したとき

CAN チャネルが、下記の条件下で、バスオフ状態から復帰した場合、本ビットは 1 になりません。

- CAN リセットモードが要求されたとき
- CFDC0CTR.RTBO が 1 に設定されたとき（CAN チャネルはエラーアクティブに戻る）
- CFDC0CTR.BOM が 01b のとき
- CFDC0CTR.BOM が 11b で、CAN チャネルがバスオフ状態終了に達する前に Halt 要求がアサートされたとき

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。1 になる条件と 0 になる条件が同時に発生した場合、フラグは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

OVLF ビット（オーバーロードフラグ）

OVLF ビットは、CAN チャネルのオーバーロード状態が検出されたことを示します。

OVLF ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットは、オーバーロード状態が検出されると自動的に 1 になります。1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ、本ビットへの書き込みを行ってください。

BLF ビット（バスロックフラグ）

BLF ビットは、CAN チャネルのバスロック状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャネルがオペレーションモードのとき、CAN バス上に 32 個の連続するドミナントビットが検出されると、本ビットは自動的に 1 になります。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

ALF ビット（アービトレーションロストフラグ）

ALF ビットは、CAN チャネルのバスアービトレーションロスト状態が検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

CAN チャネルがオペレーションモードのとき、CAN バス上にアービトレーションロスト状態が検出されると、本ビットは自動的に 1 になります。

1 になる条件と 0 になる条件が同時に発生した場合、ビットは 1 になります。本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

SERR ビット（スタッフエラー）

SERR ビットは、CAN スタッフエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、スタッフエラーが検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。
CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

FERR ビット（フォームエラー）

FERR ビットは、CAN フォームエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

フォームエラーを検出すると、本ビットは自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。
CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

AERR ビット（ACK エラー）

AERR ビットは、CAN ACK エラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

ACK エラーを検出すると、本ビットは 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。
CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

CERR ビット（CRC エラー）

CERR ビットは、CAN CRC エラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

CRC エラーを検出すると、本ビットは自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。
CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

B1ERR ビット（ビット 1 エラー）

B1ERR ビットは、レセシブビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す

3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、レセシブビットエラー（期待されたレセシブビットがドミナントビットとしてサンプリングされた）が検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

B0ERR ビット（ビット 0 エラー）

B0ERR ビットは、ドミナントビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

本ビットは、ドミナントビットエラー（期待されたドミナントビットがレセシブビットとしてサンプリングされた）が検出されると自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

ADERR ビット（ACK デリミタエラー）

ADERR ビットは、ACK デリミタビットエラーが検出されたことを示します。

本ビットは、0 を書き込むことによりクリアされ、CANFD モジュールロジックによってのみ 1 に設定可能です。1 の書き込みは無効です。

本ビットをクリアするには、下記のシーケンスを実行してください。

1. 対応するフラグビットをクリアする
2. フラグビットがクリアされたかどうかを読み出す
3. クリアされている場合、継続する。クリアされていなければ、ステップ 1 に戻る

フレーム送信の ACK デリミタ状態中にフォームエラーを検出すると、本ビットは自動的に 1 になります。CFDC0CTR.ERRD が 1 で、このビットの 1 になる条件と 0 になる条件が同時に発生した場合、本ビットは 1 に設定されます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。CFDC0CTR.ERRD が 0 で、本ビットの 1 になる条件と 0 になる条件が同時に発生した場合、CFDC0ERFL[14:8]のうち一つでもビットがすでに 1 の場合本ビットはクリアされます。CFDC0ERFL[14:8]が 0000000b の場合は、本ビットは 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

CRCREG[14:0]ビット（CRC レジスタ値）

CRCREG[14:0]ビットは、該当チャネルに対して CFDC0CTR.CTME ビットが 1 のとき、計算された CRC 値を読み出します。

CFDC0CTR.CTME ビットが 0 の場合、これらのビットは読むと常に 0 が読み出されます。

これらのビットは、CTME ビットが有効のとき、CANFD チャネルロジックにより計算された CAN2.0 CRC 値を示します。

CFDC0ERFL.CRCREG 値は、CAN フレーム（送受信）の CRC フィールドの第一ビットにおいて更新されます。

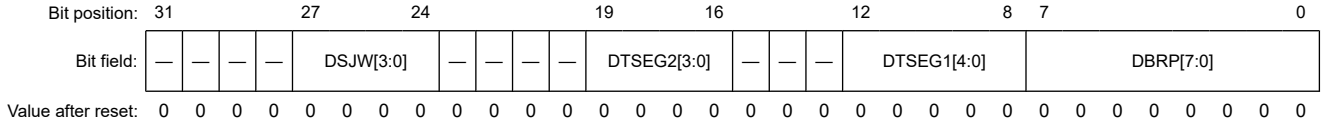
これらのビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

28.2.7 CFDC0DCFG : チャネル 0 データビットレートコンフィグレーションレジスタ

このレジスタは、クラシカル CAN 機能では使用できません。

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0100



ビット	シンボル	機能	R/W
7:0	DBRP[7:0]	チャネルデータボーレートプリスケーラ データボーレートプリスケーラ分周比	R/W
12:8	DTSEG1[4:0]	タイミングセグメント 1 0x00: 予約 0x01: 2Tq 0x02: 3Tq 0x03: 4Tq ⋮ 0x1E: 31Tq 0x1F: 32Tq	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:16	DTSEG2[3:0]	タイミングセグメント 2 0x0: 予約 0x1: 2Tq ⋮ 0xE: 15Tq 0xF: 16Tq	R/W
23:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:24	DSJW[3:0]	再同期ジャンプ幅 0x0: 1Tq 0x1: 2Tq ⋮ 0xF: 16Tq	R/W
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. Tq はタイムクォンタム (time quantum) を表します。

チャネル 0 データビットレートコンフィグレーションレジスタ は、そのチャネルの送受信データのボーレートパラメータを設定します。

クラシカル CAN モードのチャネルは、本レジスタの設定を行いません。

DBRP[7:0]ビット（チャネルデータボーレートプリスケーラ）

DBRP[7:0]ビットは、Tq (Time Quantum) に含まれる周辺バスクロック期間を定義します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

DTSEG1[4:0]ビット（タイミングセグメント 1）

DTSEG1[4:0]ビットは、正相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG1 を設定します。2～32Tq の値が設定可能です。

DTSEG1[4:0]ビットは、伝播時間セグメントを設定するのにも使用されます。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。これらのビットに上記以外の値を書き込まないでください。詳細は、「28.4.1.2. CAN のビットタイミング」を参照してください。

DTSEG2[3:0]ビット（タイミングセグメント 2）

DTSEG2[3:0]ビットは、逆相エラーが起きた CAN バス上でエッジを補償するためにセグメント TSEG2 を設定します。2～16Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。これらのビットに上記以外の値を書き込まないでください。

DSJW[3:0]ビット（再同期ジャンプ幅）

DSJW[3:0]ビットは、同期ジャンプ幅を設定します。1～16Tq の値が設定可能です。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

28.2.8 CFDC0FDCFG : チャネル 0 CANFD コンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0104

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	CLOE	REFE	FDOE	—	—	—	—	TDCO[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ESIC	TDCE	TDCOC	—	—	—	—	—	EOCCFG[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	EOCCFG[2:0]	エラー発生カウンタ構成 0 0 0: すべての送受信 CAN フレーム 0 0 1: すべての送信 CAN フレーム 0 1 0: すべての受信 CAN フレーム 0 1 1: 予約 1 0 0: 送受信 CANFD データ相 (fast bits) のみ 1 0 1: 送信 CANFD データ相 (fast bits) のみ 1 1 0: 受信 CANFD データ相 (fast bits) のみ 1 1 1: 予約	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TDCOC(注1)	トランシーバ遅延補償オフセット構成 0: 測定値 + オフセット 1: オフセットのみ	R/W

ビット	シンボル	機能	R/W
9	TDCE(注1)	トランシーバ遅延補償許可 0: トランシーバ遅延補償禁止 1: トランシーバ遅延補償許可	R/W
10	ESIC(注1)	エラー状態表示構成 0: フレーム内に ESI ビットがあると、ノード自体がエラー状態であることを示します。 1: フレーム内に ESI ビットがあると、ノード自体がエラーパッシブ状態である場合、メッセージバッファがエラー状態であることを示します。ノードがエラーパッシブ状態であると、ESI ビットはノード自体により駆動されます。	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:16	TDCO[7:0](注1)	トランシーバ遅延補償オフセット	R/W
27:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
28	FDOE(注1)	FD only 許可 0: FD only モード禁止 1: FD only モード許可	R/W
29	REFE	RX エッジフィルタ有効 0: RX エッジフィルタ無効 1: RX エッジフィルタ有効	R/W
30	CLOE(注1)	クラシカル CAN 許可 0: クラシカル CAN モード禁止 1: クラシカル CAN モード許可	R/W
31	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

チャネル n CANFD コンフィグレーションレジスタは、カウントするエラーの通信方向（送信／受信）を設定します。

EOCCFG[2:0]ビット（エラー発生カウンタ構成）

EOCCFG[2:0]ビットは、プロトコルエラーを含めて、どの種類の CAN フレーム設定と方向をカウントするかを選択します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、これらのビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

TDCOC ビット（トランシーバ遅延補償オフセット構成）(注1)

TDCOC ビットは、CANFD チャネルの第二サンプルポイント (SSP) の位置を定義する場合にどのオフセットを使用するかを選択します。本ビットが 0 に設定されると、SSP の位置は測定されたトランシーバ遅延+固定オフセットです。本ビットが 1 に設定されている場合、SSP の位置はオフセットのみで決まります。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

TDCE ビット（トランシーバ遅延補償許可）(注1)

TDCE ビットは、CANFD チャネルのトランシーバ遅延補償を有効にします。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

ESIC ビット（エラー状態表示構成）(注1)

ESIC ビットは、ESI フラグ情報または ESI フラグ情報のメッセージ（CFDCFFDCSTS.CFESI ないし CFDTMFDCTRb.TMESI）のどちらを送信するかを選択します。

CH_OPERATION モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ本ビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

TDCO[7:0]ビット（トランシーバ遅延補償オフセット）(注1)

TDCO[7:0]ビットは、二次サンプルポイントのオフセットを設定します。この値がどのように使用されるかは CFDC0FDCFG.TDCOC の設定によります。

CFDC0FDCFG.TDCOC = 0 の場合、トランシーバ遅延補償結果は、Trv_Delay（測定された遅延） + CFDC0FDCFG.TDCO の値（Tq の最も近い整数に切り捨て）です。CFDC0FDCFG.TDCOC = 0 でない場合、結果は CFDC0FDCFG.TDCO の値と等しくなります。CFDC0FDCFG.TDCO がどのように使用されるかは、「28.4.1.5. トランスミッタ遅延補償」を参照してください。

実際のオフセット値は、TDCO + 1 と判断されます。たとえば、TDCO に 4 が設定されている場合、オフセットは 5 クロックサイクルです。クロックサイクルは、CAN チャネル DLL クロックの 1 サイクルです。

CH_OPERATION モードまたは CH_SLEEP モードのとき、TDCO[7:0]ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。クラシカル CAN モードのとき本ビットを設定しないでください。

FDOE ビット（FD only 許可）(注1)

FDOE ビットは、CANFD only フレームの送受信を有効にします。有効時、クラシカル CAN フレームフォーマットでの通信はできません。メッセージバッファの FDF ビットが Don't care ビット (CFDCFFDCSTS.CFFDF/CFDTMFDCTRb.TMFDF) なので、クラシカル CAN フレームは送信できません。

クラシカル CAN フレームフォーマットのメッセージを受信した場合、プロトコルコントローラは、このようなメッセージを無効フレームとして取り扱い、エラーフレームで応答します。クラシカル CAN フレームが送信に設定されている場合、FDF ビットはレセシブとして送信され、その結果 FD フレームが送信されます。データ長コード (DLC) が 9 バイト以上に設定されている場合、残りのデータバイトは 0xCC でパディングされます。

FDOE ビットは CH_OPERATION モード、CH_HALT モードまたは CH_SLEEP モードでは書き込みできません。

CFDC0FDCFG.FDOE と CFDC0FDCFG.CLOE を同時に 1 にしないでください。

REFE ビット（RX エッジフィルタ有効）

REFE ビットは、IDLE 検出（バス統合）中、RX エッジフィルタを有効にします。ビット有効時、同期エッジを検出するには、ドミナント Tq が 2 つ連続することが必要です。

REFE ビットは CH_OPERATION モード、CH_HALT モードおよび CH_SLEEP モードでは書き込みできません。クラシカル CAN モードのとき本ビットを設定しないでください。

CLOE ビット（クラシカル CAN 許可）(注1)

CLOE ビットは、クラシカル CAN モードを許可にします。本ビットが 1 のとき、プロトコルコントローラは、クラシカルフレームのみを送信可能で、FD フレームのフォームエラーまたは CRC エラーで応答します。

CFDC0FDCFG.CLOE と CFDC0FDCFG.FDOE を同時に 1 にしないでください。

CFDC0FDCFG.CLOE	CFDC0FDCFG.FDOE	チャネルモード
0	0	CANFD モード
0	1	FD only モード
1	0	クラシカル CAN モード
1	1	予約

CH_OPERATION モード、CH_HALT モードまたは CH_SLEEP モードのとき、本ビットに書き込まないでください。

CANFD チャネルが CH_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

28.2.9 CFDC0FDCTR : チャネル 0 CANFD コントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0108

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOCCLR	EOCCLR
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EOCCLR	エラー発生カウンタクリア 0: エラー発生カウンタをクリアしない 1: エラー発生カウンタをクリア	R/W
1	SOCCLR	成功発生カウンタクリア 0: 成功発生カウンタをクリアしない 1: 成功発生カウンタをクリア	R/W
31:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

チャネル n CANFD コントロールレジスタ (n = 0) は、エラー発生と成功発生のカウンタを制御します。

EOCCLR ビット（エラー発生カウンタクリア）

EOCCLR ビットは、エラー発生カウンタのクリアに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、本ビットに書き込まないでください。読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックによって、かつ関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

SOCCLR ビット（成功発生カウンタクリア）

SOCCLR ビットは、成功発生カウンタのクリアに使用されます。

CH_SLEEP モードまたは CH_RESET モードのとき、本ビットに書き込まないでください。読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックによって、かつ関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

28.2.10 CFDC0FDSTS : チャネル 0 CANFD ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x010C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	SOC[7:0]								EOC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TDCVF	—	—	—	—	—	SOCO	EOCO	TDCR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TDCR[7:0](注1)	トランシーバ遅延補償結果	R
8	EOCO	エラー発生カウンタオーバーフロー 0: エラー発生カウンタがオーバーフローしていない 1: エラー発生カウンタがオーバーフローした	R/W
9	SOCO	成功発生カウンタオーバーフロー 0: 成功発生カウンタがオーバーフローしていない 1: 成功発生カウンタがオーバーフローした	R/W
14:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	TDCVF(注1)	トランシーバ遅延補償違反フラグ 0: トランシーバ遅延補償違反は発生していない 1: トランシーバ遅延補償違反が発生した	R/W
23:16	EOC[7:0]	エラー発生カウンタ これらのビットは、エラー発生カウンタ値を示します。	R
31:24	SOC[7:0]	成功発生カウンタ これらのビットは、成功発生カウンタ値を示します。	R

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

チャネル 0 CANFD ステータスレジスタは、トランシーバ遅延補償結果および関連する FIFO メッセージロストステータスを示します。

TDCR[7:0]ビット（トランシーバ遅延補償結果）

TDCR[7:0]ビットは、トランシーバ遅延の測定が完了したときに設定されます。

測定された遅延は、CAN チャネル DLL クロックの倍数です。結果は CFDC0FDCFG.TDCOC の設定と CFDC0FDCFG.TDCO のオフセット値によって異なります。この値がどのように導出されるかについては、「28.4.1.5. トランスミッタ遅延補償」を参照してください。

TDCR[7:0]ビットは、CFDC0FDCFG.TDCOC = 0 でトランシーバ遅延補償が許可されているとき (CFDC0FDCFG.TDCE = 1)、FDF ビットと RES ビット間の立ち下がりエッジで更新されます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

注. これらのビットは、クラシカル CAN 機能では使用できません。

EOCO ビット（エラー発生カウンタオーバーフロー）

EOCO ビットは、関連する CAN チャネルのエラー発生カウンタがオーバーフローしたかどうかを示します。このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

本ビットは、CFDC0FDSTS.EOC が 0xFF の状態で、CFDC0FDCFG.EOCCFG で定義されている設定に基づき CAN バスエラーが検出されると自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

SOCO ビット（成功発生カウンタオーバーフロー）

SOCO ビットは、関連する CAN チャネルの成功発生カウンタがオーバーフローしたかどうかを示します。このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

本ビットは、CFDC0FDSTS.SOC が 0xFF で、メッセージ受信成功またはメッセージ送信成功が発生すると自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

TDCVF ビット（トランシーバ遅延補償違反フラグ）

CANFD モジュールは、送信データをビット単位で内部でキャプチャします。本データは次に、トランシーバループ遅延分だけ遅延している受信 CAN バスレベルと比較されます。

トランシーバ遅延は、温度のような物理パラメータにより多少変動します。結果ビット CFDC0FDSTS.TDCR は、各メッセージによって更新されます。しかしながら、一時的な最大遅延違反は見逃される場合があります。したがって、TDCVF ビットは本違反をキャプチャします。

このビットは 0 を書き込むことによってクリアされます。1 の書き込みは無効です。

本ビットは、トランシーバ遅延補償が最大遅延補償より大きく（6 データビット時間 - 2 clk_dlc）、内部ビットがオーバーランした場合に自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

注. このビットは、クラシカル CAN 機能では使用できません。

EOC[7:0]ビット（エラー発生カウンタ）

EOC[7:0]ビットは、SOC[7:0]ビットと一緒に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合、ホスト制御により、アービトレーションビットレートと等しいペイロードビットレートまでフォールバックするオプションをサポートします。

高くなったエラー率は、CFDC0FDCFG.EOCCFG ビットの設定により検出可能です。

EOC[7:0]ビットは、CANFD モジュールロジックによってのみ設定されます。これらのビットは、CFDC0FDCTR.EOCCLR に 1 を書くことによってクリアされます。他の値の書き込みは無効です。

これらのビットは、CFDC0FDCFG.EOCCFG ビットの設定により、エラー発生時に更新されます。カウンタ値が 0xFF に達すると、更新は停止します。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

SOC[7:0]ビット（成功発生カウンタ）

SOC[7:0]ビットは、EOC[7:0]ビットと一緒に使用され、縮小ペイロードビット長を利用するメッセージが他のメッセージと比べてエラー率が著しく高くなっている場合、ホスト制御により、アービトレーションビットレートと等しいペイロードビットレートまでフォールバックするオプションをサポートします。

SOC[7:0]ビットは、CANFD モジュールロジックによってのみ設定されます。他の値の書き込みは無効です。

これらのビットは、送受信においてバス上にエラーのないメッセージの発生が検出されると更新されます。カウンタ値が 0xFF に達すると、更新は停止します。

注. ループバックモードでは、カウンタは 2 回インクリメントされます。

これらのビットは、CFDC0FDCTR.SOCCLR に 1 を書き込むことによってクリアされます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

28.2.11 CFDC0FDCRC : チャネル 0 CANFD CRC レジスタ

このレジスタは、クラシカル CAN 機能では使用できません。

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0110

Bit position:	31				27			24			20																			0
Bit field:	—	—	—	—	SCNT[3:0]				—	—	—	CRCREG[20:0]																			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
20:0	CRCREG[20:0]	CRC レジスタ値 これらのビットは、CANFD フレームに対して計算された CRC 値を示します。	R
23:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
27:24	SCNT[3:0]	スタッフビット数 これらのビットは、CANFD フレームのスタッフビット数 (mod 8) を示します。	R
31:28	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

チャネル 0 CANFD CRC レジスタは、CANFD フレームについて計算された CRC 値を保持します。

CRCREG[20:0]ビット（CRC レジスタ値）

CRCREG[20:0]ビットは、CFDC0CTR.CTME ビットが有効のとき、CANFD チャネルロジックにより計算された CRC 値を示します。

CFDC0FDCRC.CRCREG 値は、CANFD フレーム（送受信）の CRC フィールドの第 1 ビットにおいて更新されます。

CFDC0CTR.CTME ビットが 0 の場合、CRCREG[20:0]ビットは読むと常に 0 が読み出されます。

CRC フィールドの 17 番目のビットが使用されると、CRCREG[20:17]ビットは読むと常に 0 が読み出されます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

SCNT[3:0]ビット（スタッフビット数）

SCNT[3:0]ビットは、CANFD フレームのスタッフカウント値を示します。これらのビットは、CFDC0FDCRC.SCNT[3:1]において CFDC0CTR.CTME ビットが有効になっていると、CANFD フレームの挿入されたスタッフビット数（モジュロ 8、グレイコード化）を示します。SCNT[0]はパリティビットです。

CFDC0CTR.CTME ビットが 0 の場合、SCNT[3:0]ビットは読むと常に 0 が読み出されます。

SCNT 値は、CANFD フレーム（送受信）の CRC フィールドの第 1 ビットにおいて更新されます。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

28.2.12 CFDGCFG : グローバルコンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	ITRCP[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TSSS	TSP[3:0]				—	—	CMPOC	DCS	MME	DRE	DCE	TPRI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TPRI	送信優先順位 0: ID 優先 1: メッセージバッファ番号優先	R/W
1	DCE	DLC チェック有効 0: DLC チェック無効 1: DLC チェック有効	R/W
2	DRE	DLC 置換有効 0: DLC 置換無効 1: DLC 置換有効	R/W
3	MME	ミラーモード有効 0: ミラーモード無効 1: ミラーモード有効	R/W
4	DCS	データリンクコントローラクロック選択 0: 内部クリーンクロック 1: CANMCLK 端子に接続された外部クロックソース	R/W
5	CMPOC(注1)	CANFD メッセージペイロードオーバーフロー設定 0: メッセージを拒否 1: メッセージペイロードを設定メッセージサイズにカット	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	TSP[3:0]	タイムスタンププリスケーラ 0x0: タイムスタンププリスケーラ = 1 0x1: タイムスタンププリスケーラ = 2 0x2: タイムスタンププリスケーラ = 4 0x3 : タイムスタンププリスケーラ = 8 ⋮ 0xD: タイムスタンププリスケーラ = 8192 0xE: タイムスタンププリスケーラ = 16384 0xF: タイムスタンププリスケーラ = 32768	R/W
12	TSSS	タイムスタンプソース選択 0: タイムスタンプカウンタのソースクロックは周辺クロック 1: タイムスタンプカウンタのソースクロックはビットタイムクロック	R/W
15:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:16	ITRCP[15:0]	インターバルタイマ基準クロックプリスケーラ FIFO インターバルタイマプリスケーラ値	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルコンフィグレーションレジスタは、全 TX メッセージバッファで使用される送信優先および CAN チャネルの CAN プロトコルエンジンのクロックソースを選択するのに使用されます。CFDGCFG レジスタは、タイムスタンプクロックのソースを選択したり、タイムスタンプクロックおよびインターバルタイマ基準クロックの周波数を設定するのにも使用されます。

TPRI ビット（送信優先順位）

TPRI ビットは、CAN チャネルの送信優先を選択します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

メッセージバッファ番号優先は、TX キュー送信と一緒に使用しないでください。

DCE ビット（DLC チェック有効）

DCE ビットは、CAN チャネルのデータ長コード (DLC) チェックを有効にします。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

DRE ビット（DLC 置換有効）

DRE ビットも DCE ビットも 1 のとき、CANFD は、DLC チェックにパスした場合、DLC の設定値 (CFDGAFLP0r.GAFLDLC) を RX メッセージの宛先バッファまたは FIFO バッファに格納します。その他の場合は、RX メッセージの宛先バッファまたは FIFO バッファの DLC 値は変化しません。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

MME ビット（ミラーモード有効）

MME ビットは、CAN チャネルのミラーモードを有効にします。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

DCS ビット（データリンクコントローラクロック選択）

DCS ビットは、CAN 通信のクロックソースを選択します。内部クリーンクロックは、周辺クロック B (PCLKB) よりもクロックジッタが小さくなっています。

GL_SLEEP モードまたは GL_OPERATION モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CMPOC ビット（CANFD メッセージペイロードオーバーフロー設定）

CMPOC ビットは、受信したペイロードがメッセージバッファペイロードサイズ (CFDRMNB.RMPLS, CFDRFCCa.RFPLS, CFDCFCC.CFPLS) より大きい場合、メッセージペイロードアクセプタンスメカニズムを制御します。受信したメッセージのペイロードは、常にメッセージバッファの使用可能なメッセージペイロードサイズと比較されます。

GL_SLEEP モードまたは GL_OPERATION モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

本ビットが 1 のときにペイロードオーバーフローが起こると、DLC 値は変更されずに RX メッセージバッファまたは FIFO バッファに格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

TSP[3:0]ビット（タイムスタンププリスケーラ）

TSP[3:0]ビットに設定された値は、タイムスタンプカウンタで使用されるクロックソースの期間を定義します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TSSS ビット（タイムスタンプソース選択）

TSSS ビットでは、タイムスタンプカウンタのクロックソースを選択できます。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。さらに、CANFD 通信使用中は本ビットを 1 にしないでください。(注1)

注. ビットタイムクロックは、公称およびデータレートビット設定に応じて変わります。

注 1. この機能は、クラシカル CAN 機能では使用できません。

ITRCP[15:0]ビット（インターバルタイマ基準クロックプリスケーラ）

ITRCP[15:0]ビットでは、FIFO インターバルタイマソースクロックの基準クロックを定義できます。

これらのビットが 0x0000 のとき、タイマは無効です。

GL_SLEEP モードのとき、本ビットに書き込まないでください。CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

28.2.13 CFDGCTR : グローバルコントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0018

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	CMPOFIE	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

ビット	シンボル	機能	R/W
1:0	GMDC[1:0]	グローバルモード制御 0 0: グローバルオペレーションモード要求 0 1: グローバルリセットモード要求 1 0: グローバル halt モード要求 1 1: 現在値を維持	R/W
2	GSLPR	グローバルスリープ要求 0: グローバルスリープ要求禁止 1: グローバルスリープ要求許可	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	DEIE	DLC チェック割り込み許可 0: DLC チェック割り込み禁止 1: DLC チェック割り込み許可	R/W
9	MEIE	メッセージロストエラー割り込み許可 0: メッセージロストエラー割り込み禁止 1: メッセージロストエラー割り込み許可	R/W
10	THLEIE	TX 履歴リストエントリロスト割り込み許可 0: TX 履歴リストエントリロスト割り込み禁止 1: TX 履歴リストエントリロスト割り込み許可	R/W
11	CMPOFIE(注1)	CANFD メッセージペイロードオーバーフローフラグ割り込み許可 0: CANFD メッセージペイロードオーバーフローフラグ割り込み禁止 1: CANFD メッセージペイロードオーバーフローフラグ割り込み許可	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	TSRST	タイムスタンプリセット 0: タイムスタンプはリセットされない 1: タイムスタンプはリセットされる	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルコントロールレジスタは、CANFD モジュールのグローバルモードおよびタイムスタンプ機能を制御します。本レジスタは、グローバルエラー割り込みの許可および禁止も行います。

GMDC ビット（グローバルモード制御）

GMDC ビットを使用して、CANFD モジュールのモードを設定することができます。さらに、CANFD モジュールがリセットモードのとき CFDGCTR.GSLPR ビットが 1 であれば、CANFD モジュールはグローバルスリープモードに遷移します。

GMDC ビットの 11b への設定は無効です。モードの遷移については「28.3.2. グローバルモード」に詳述しています。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

GSLPR ビット（グローバルスリープ要求）

GSLPR ビットは、CAN チャネルを含めて、CANFD モジュールへのスリープ要求をグローバルに選択します。チャネルスリープ要求は自動でチャネルに設定されます。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合のみ本ビットへの書き込みを行ってください。

DEIE ビット（DLC チェック割り込み許可）

DEIE ビットが 1 のとき、受信フレームに DLC エラーが検出された場合割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

MEIE ビット（メッセージロストエラー割り込み許可）

MEIE ビットが 1 のとき、メッセージロスト状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

THLEIE ビット（TX 履歴リストエントリロスト割り込み許可）

THLEIE ビットが 1 のとき、TX 履歴リストエントリロスト状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CMPOFIE ビット（CANFD メッセージペイロードオーバーフローフラグ割り込み許可）

CMPOFIE ビットが 1 のとき、CANFD メッセージペイロードオーバーフロー状態が起きると割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TSRST ビット（タイムスタンプリセット）

TSRST ビットが 1 のとき、グローバルタイムスタンプレジスタは 0x0000 にリセットされます。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。

読むと常に 0 が読めます。

本ビットは、CANFD モジュールロジックにより自動的にクリアされます。

28.2.14 CFDGSTS : グローバルステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x001C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	GRAM INIT	GSLP STS	GHLT STS	GRST STS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1

ビット	シンボル	機能	R/W
0	GRSTSTS	グローバルリセットステータス 0: リセットモードではない 1: リセットモードである	R

ビット	シンボル	機能	R/W
1	GHLTSTS	グローバル halt ステータス 0: halt モードではない 1: halt モードである	R
2	GSLPSTS	グローバルスリープステータス 0: スリープモードではない 1: スリープモードである	R
3	GRAMINIT	グローバル RAM 初期化 0: RAM 初期化完了 1: RAM 初期化実行中	R
31:4	—	読むと 0 が読めます。	R

グローバルステータスレジスタは CANFD モジュールのグローバルステータスを表示するレジスタです。

GRSTSTS ビット（グローバルリセットステータス）

GRSTSTS ビットは、グローバル CANFD モジュールリセットモードの状態を表示します。

本ビットは、CANFD モジュールが GL_RESET モードになると自動的に 1 になります。モードが GL_RESET から GL_SLEEP に遷移しても、本ビットは 1 のままです。

本ビットは、CANFD モジュールが GL_RESET モードから抜けると自動的にクリアされます。

GHLTSTS ビット（グローバル halt ステータス）

GHLTSTS ビットは、グローバル CANFD モジュール halt モードの状態を表示します。

本ビットは、CANFD モジュールが GL_HALT モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが GL_HALT モードから抜けると自動的にクリアされます。

GSLPSTS ビット（グローバルスリープステータス）

GSLPSTS ビットは、グローバル CANFD モジュールスリープモードの状態を表示します。

本ビットは、CANFD モジュールが GL_SLEEP モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが GL_SLEEP モードから抜けると自動的にクリアされます。

GRAMINIT ビット（グローバル RAM 初期化）

GRAMINIT ビットは、グローバル CANFD モジュール RAM 初期化の状態を表示します。

本ビットは、CANFD モジュールがハードウェアリセット後 GL_SLEEP モードになると自動的に 1 になります。

本ビットは、CANFD モジュールが RAM 初期化を完了すると自動的にクリアされます。

本ビットは、テストモード入力ポートが 1 に設定されるとクリアされます。

28.2.15 CFDGERFL : グローバルエラーフラグレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0020

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EEF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	CMPOF	THLES	MES	DEF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	DEF	DLC エラーフラグ 0: DLC エラー未検出 1: DLC エラー検出	R/W
1	MES	メッセージロストエラーステータス 0: メッセージロストエラー未検出 1: メッセージロストエラー検出	R
2	THLES	TX 履歴リストエントリロストエラーステータス 0: TX 履歴リストエントリロストエラー未検出 1: TX 履歴リストエントリロストエラー検出	R
3	CMPOF(注1)	CANFD メッセージペイロードオーバーフローフラグ 0: CANFD メッセージペイロードオーバーフロー未検出 1: CANFD メッセージペイロードオーバーフロー検出	R/W
4	—	読むと 0 が読めます。書く場合、0 としてください。	R
5	—	読むと 0 が読めます。書く場合、0 としてください。	R
6	—	読むと 0 が読めます。書く場合、0 としてください。	R
15:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	EEF0	ECC エラーフラグ 0: TX-SCAN 中 ECC エラー未検出 1: TX-SCAN 中 ECC エラー検出	R/W
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

グローバルエラーフラグレジスタは、グローバルエラーが検出されたことを示します。

DEF ビット（DLC エラーフラグ）

DEF ビットは、DLC のエラー状態を示します。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

受信フレームに DLC エラーを検出すると、本ビットは自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

また、0 を書くことによって 0 になります。

このビットは GL_RESET モードで自動的にクリアされます。

MES ビット（メッセージロストエラーステータス）

MES ビットは、メッセージロストエラーの状態を示します。

FIFO メッセージロストエラーを検出すると、本ビットは自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- FIFO メッセージロストフラグがすべてクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき

THLES ビット（TX 履歴リストエントリロストエラーステータス）

THLES ビットは、TX 履歴リストエントリロストエラーの状態を示します。

TX 履歴リストエントリロストエラーを検出すると、本ビットは自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- TX 履歴リストエントリロストフラグがすべてクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき

CMPOF ビット（CANFD メッセージペイロードオーバーフローフラグ）

CMPOF ビットは、少なくとも 1 つのチャネルで CANFD メッセージペイロードオーバーフローが検出されると自動的に 1 になります。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。

また、0 を書くことによって 0 になります。1 の書き込みは無効です。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

このビットは GL_RESET モードで自動的にクリアされます。

注. このビットは、クラシカル CAN 機能では使用できません。

EEF0 ビット（ECC エラーフラグ）

EEF0 ビットは、チャネル 0 で ECC エラーが発生したかどうかを指定します。

CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合は本ビットへの書き込みは行わないでください。1 の書き込みは無効です。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

また、0 を書くことによって 0 になります。このビットは GL_RESET モードで自動的にクリアされます。

28.2.16 CFDGTINTSTS : グローバル TX 割り込みステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00A4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	THIF0	CFTIF0	TQIF0	TAI0	TSIF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSIF0	TX 成功割り込みフラグ 0: チャネル n の TX 成功割り込みフラグ未設定 1: チャネル n の TX 成功割り込みフラグ設定	R
1	TAI0	TX アボート割り込みフラグ 0: チャネル n の TX アボート割り込みフラグ未設定 1: チャネル n の TX アボート割り込みフラグ設定	R
2	TQIF0	TX キュー割り込みフラグ 0: チャネル n の TX キュー割り込みフラグ未設定 1: チャネル n の TX キュー割り込みフラグ設定	R
3	CFTIF0	COM FIFO TX モード割り込みフラグ 0: チャネル n の COM FIFO TX モード割り込みフラグ未設定 1: チャネル n の COM FIFO TX モード割り込みフラグ設定	R

ビット	シンボル	機能	R/W
4	THIF0	TX 履歴リスト割り込み 0: チャネル n の TX 履歴リスト割り込みフラグ未設定 1: チャネル n の TX 履歴リスト割り込みフラグ設定	R
31:5	—	読むと 0 が読めます。	R

グローバル TX 割り込みステータスレジスタは、送信固有の割り込みの検出を示します。

TSIF0 ビット（TX 成功割り込みフラグ）

TSIF0 ビットは、(割り込みが許可されているとき）関連するチャネルの TX 成功割り込みフラグが設定されると 1 になります。
本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する TX MB 結果ステータスビットがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TAI0 ビット（TX アボート割り込みフラグ）

TAIF0 ビットは、(割り込みが許可されているとき）関連するチャネルの TX アボート割り込みフラグが設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する TX MB 結果ステータスビットがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

TQIF0 ビット（TX キュー割り込みフラグ）

TQIF0 ビットは、(割り込みが許可されているとき）関連するチャネルの TX キュー割り込みフラグが設定されると 1 になります。
本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する TX キュー割り込みフラグがクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

CFTIF0 ビット（COM FIFO TX モード割り込みフラグ）

CFTIF0 ビットは、(割り込みが許可されているとき）関連する COM TX FIFO モード割り込みフラグ (CFDCFSTS.CFTXIF) が設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する COM TX FIFO モード割り込みフラグ (CFDCFSTS.CFTXIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

THIF0 ビット（TX 履歴リスト割り込み）

THIF0 ビットは、(割り込みが許可されているとき）関連する TX 履歴リスト割り込みフラグ (CFDTHLSTS.THLIF) が設定されると 1 になります。

本ビットは以下の場合に自動的にクリアされます。

- (割り込み許可が無効な場合）関連する TX 履歴リスト割り込みフラグ (CFDTHLSTS.THLIF) がクリアされたとき
- GL_RESET モードまたは CH_RESET モードのとき

28.2.17 CFDGTSC : グローバルタイムスタンプカウンタレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0024

Bit position:	31															15														0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TS[15:0]														
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TS[15:0]	タイムスタンプ値	R
31:16	—	読むと 0 が読めます。	R

グローバルタイムスタンプカウンタレジスタは、選択された設定に基づきタイムスタンプを格納します。

TS[15:0]ビット（タイムスタンプ値）

タイムスタンプ値は、TSSS、TSBTCS および TSP の設定に基づきグローバルタイムスタンプカウンタレジスタに格納されます。halt 状態に遷移中はタイムスタンプカウンタの精度は保証されません。

タイムスタンプ値は、TSSS、TSBTCS および TSP の設定に基づき本レジスタに格納されます。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合は TS[15:0]ビットへの書き込みは行わないでください。

TS[15:0]ビットは、GL_RESET モードのとき自動的にクリアされます。

28.2.18 CFDGAFLECTR : グローバルアクセプタンスフィルタリストエントリコントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0028

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	AFLDAE	—	—	—	—	—	—	—	AFLPN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	AFLPN	アクセプタンスフィルタリストページ番号 アクセプタンスフィルタリストページを選択します。	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	AFLDAE	アクセプタンスフィルタリストデータアクセス許可 0: アクセプタンスフィルタリストデータアクセス禁止 1: アクセプタンスフィルタリストデータアクセス許可	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

グローバルアクセプタンスフィルタリストエントリコントロールレジスタは、グローバルアクセプタンスフィルタリストからエントリを読み出したり書き込んだりするグローバルアクセプタンスフィルタリストページを選択するのに使用されます。

AFLPN ビット（アクセプタンスフィルタリストページ番号）

AFLPN ビットは、アクセプタンスフィルタリストの希望 RAM 領域へアクセスするためのページ番号を選択します。アクセプタンスフィルタリストページは、16 個のアクセプタンスフィルタリストエントリで構成されます。

アクセプタンスフィルタリストからの読み出しおよび書き込みは、固定ウィンドウを通してのみ実行可能です。

CANFD モジュールが GL_SLEEP モードの場合はこれらのビットへの書き込みは行わないでください。0 と 1（0 と 1 を含む）の間の値のみ入力してください。

AFLDAE ビット（アクセプタンスフィルタリストデータアクセス許可）

AFLDAE ビットは、アクセプタンスフィルタリストの設定後クリアされた場合、アクセプタンスフィルタリストへの書き込みを防止します。

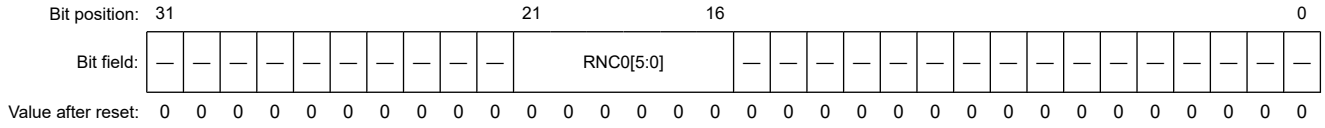
本ビットの状態に関係なくアクセプタンスフィルタリストからデータを読み出し可能です。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。アクセプタンスフィルタリストへの書き込みを許可するには本ビットを 1 にしてください。

28.2.19 CFDGAFLCFG: グローバルアクセプタンスフィルタリストコンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x002C



ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
21:16	RNC0[5:0]	ルール番号 チャネル 0 専用ルール数	R/W
31:22	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

グローバルアクセプタンスフィルタリストコンフィグレーションレジスタは、アクセプタンスフィルタリスト内のエントリ用ルール数を定義するのに使用されます。

アクセプタンスフィルタリスト内で使用可能なエントリの総数は、32 です。

RNC0[5:0]ビット（ルール番号）

RNC0[5:0]ビットは、チャネル n について、アクセプタンスフィルタリスト内のルール数を定義します。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。32 ルールの場合、これらのビットは 6 に設定できます。

28.2.20 CFDGAFLIDr : グローバルアクセプタンスフィルタリスト ID レジスタ (r = 1～16)

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0120 + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GAFLID[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	GAFLID[28:0]	グローバルアクセプタンスフィルタリストエントリ ID フィールド グローバルアクセプタンスフィルタリストエントリの ID 部分	R/W
29	GAFLLB	グローバルアクセプタンスフィルタリストエントリループバック設定 0: 属性 RX によるアクセプタンスフィルタ処理用グローバルアクセプタンスフィルタリストエントリ ID 1: 属性 TX によるアクセプタンスフィルタ処理用グローバルアクセプタンスフィルタリストエントリ ID	R/W
30	GAFLRTR	グローバルアクセプタンスフィルタリストエントリ RTR フィールド 0: データフレーム 1: リモートフレーム	R/W
31	GAFLIDE	グローバルアクセプタンスフィルタリストエントリ IDE フィールド 0: ルールエントリ ID の標準 ID がアクセプタンスフィルタ処理に有効 1: ルールエントリ ID の拡張 ID がアクセプタンスフィルタ処理に有効	R/W

グローバルアクセプタンスフィルタリスト ID レジスタは、グローバルアクセプタンスフィルタリストにおけるエントリルール用 ID フィールドを設定するのに使用されます。

GAFLID[28:0]ビット（グローバルアクセプタンスフィルタリストエントリ ID フィールド）

GAFLID[28:0]ビットは、グローバルアクセプタンスフィルタリスト内の各エントリの CAN ID フィールドを表します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、これらのビットへの書き込みを行ってください。

GAFLLB ビット（グローバルアクセプタンスフィルタリストエントリループバック設定）

GAFLLB ビットは、グローバルアクセプタンスフィルタリスト内のエントリの属性が RX なのか TX なのかを選択します。

本属性は、ミラーモード、ループバックモード、および標準（非ループバック）受信の際、エントリが有効かどうかを決定します。送受信、ループバックモードのタイプ、および RX/TX 属性別の、グローバルアクセプタンスフィルタリストエントリの有効性についての詳しい説明は「28.5.5. ループバックモード」を参照してください。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、本ビットへの書き込みを行ってください。

GAFLRTR ビット（グローバルアクセプタンスフィルタリストエントリ RTR フィールド）

GAFLRTR ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、指定されたフレームフォーマット（データフレームまたはリモートフレーム）が設定できます。CAN チャネルの各ルールエントリについて、アクセプタンスフィルタ処理は、受信した CAN メッセージの RTR ビットと本ビットを比較します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、本ビットへの書き込みを行ってください。

GAFLIDE ビット（グローバルアクセプタンスフィルタリストエントリ IDE フィールド）

GAFLIDE ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、ID フォーマット（標準 ID または拡張 ID）が設定できます。CAN チャネルの各ルールエントリについて、アクセプタンスフィルタ処理は、受信した CAN メッセージの IDE ビットと本ビットを比較します。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、本ビットへの書き込みを行ってください。

28.2.21 CFDGAFLMr : グローバルアクセプタンスフィルタリストマスクレジスタ (r = 1 ～16)

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0124 + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GAFLIDEM	GAFLRTRM	GAFLIFL1	GAFLIDM[28:16]												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GAFLIDM[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	GAFLIDM[28:0]	グローバルアクセプタンスフィルタリスト ID マスクフィールド ID フィールド用グローバルアクセプタンスフィルタリストマスクフィールドビット	R/W
29	GAFLIFL1	グローバルアクセプタンスフィルタリスト情報ラベル 1 グローバルアクセプタンスフィルタリスト情報ラベルビット 1	R/W
30	GAFLRTRM	グローバルアクセプタンスフィルタリストエントリ RTR マスク 0: RTR ビットは ID 一致に使用されない 1: RTR ビットは ID 一致に使用される	R/W
31	GAFLIDEM	グローバルアクセプタンスフィルタリスト IDE マスク 0: IDE ビットは ID 一致に使用されない 1: IDE ビットは ID 一致に使用される	R/W

グローバルアクセプタンスフィルタリストマスクレジスタは、グローバルアクセプタンスフィルタリストにおける各エントリルールのマスクフィールドを設定するのに使用されます。

GAFLIDM[28:0]ビット（グローバルアクセプタンスフィルタリスト ID マスクフィールド）

GAFLIDM[28:0]ビットは、各グローバルアクセプタンスフィルタリストエントリの CAN ID フィールド内の関連ビットのフィルタマスクビットです。

0	対応する STD-ID/EXT-ID ビットは ID 一致に使用されない
1	対応する STD-ID/EXT-ID ビットは ID 一致に使用される

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、これらのビットへの書き込みを行ってください。

GAFLIFL1 ビット（グローバルアクセプタンスフィルタリスト情報ラベル 1）

GAFLIFL1 ビットにより、グローバルアクセプタンスフィルタリスト内の関連エントリにより受け付けられた受信メッセージに付けられる 2 ビットの情報ラベルが設定できます。本ビットは、情報ラベルの MSB ビットです。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、本ビットへの書き込みを行ってください。

本ビットは、着信メッセージの格納位置の情報ラベルフィールド[1] (CFDRMFDSTSb.RMIFL [1], CFDRFFDSTSb.RFIFL [1], CFDCFFDCSTS.CFIFL [1]) に格納されます。

GAFLRTRM ビット（グローバルアクセプタンスフィルタリストエントリ RTR マスク）

GAFLRTRM ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、RTR マスクビットが設定できます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、本ビットへの書き込みを行ってください。

GAFLIDEM ビット（グローバルアクセプタンスフィルタリスト IDE マスク）

GAFLIDEM ビットにより、グローバルアクセプタンスフィルタリストの各エントリについて、IDE マスクビットが設定できます。

IDE マスクビットが 0 のとき、ID 比較は受信した IDE ビットによります。

受信した IDE ビットが 0 の場合、STD-ID 比較が行われます。

受信した IDE ビットが 1 の場合、EXT-ID 比較が行われます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、本ビットへの書き込みを行ってください。

28.2.22 CFDGAFLP0r : グローバルアクセプタンスフィルタリストポインタ 0 レジスタ (r = 1～16)

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0128 + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	GAFLPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GAFLRMV	—	—	GAFLRMDP[4:0]					GAFLIFL0	—	—	—	GAFLDLC[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	GAFLDLC[3:0]	グローバルアクセプタンスフィルタリスト DLC フィールド 受け付けに必要なデータフレーム内の最小データバイト数	R/W
6:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	GAFLIFL0	グローバルアクセプタンスフィルタリスト情報ラベル 0	R/W
12:8	GAFLRMDP[4:0]	グローバルアクセプタンスフィルタリスト RX メッセージバッファ方向ポインタ 受信メッセージ格納用 RX メッセージバッファ番号	R/W
14:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
15	GAFLRMV	グローバルアクセプタンスフィルタリスト RX メッセージバッファ有効 0: 単一のメッセージバッファ方向ポインタは無効 1: 単一のメッセージバッファ方向ポインタは有効	R/W
31:16	GAFLPTR[15:0]	グローバルアクセプタンスフィルタリストポインタ	R/W

グローバルアクセプタンスフィルタリストポインタ 0 レジスタは、グローバルアクセプタンスフィルタリスト内の各ルールエントリについて、データ長コード (DLC)、ソフトウェアポインタ、単一メッセージバッファ選択、およびメッセージバッファ方向ポインタを設定するのに使用されます。

GAFLDLC[3:0]ビット（グローバルアクセプタンスフィルタリスト DLC フィールド）

GAFLDLC[3:0]ビットにより、グローバルアクセプタンスフィルタリスト（自動 DLC フィルタ機能）内の関連エントリにより受け付けられるメッセージについて、最小データ長コード (DLC) 値が設定できます。

グローバルアクセプタンスフィルタリスト内のエントリにより受け付けられたメッセージの DLC 値が、本関連グローバルアクセプタンスフィルタリストエントリに設定された DLC 値以上の場合のみ、DLC フィルタ処理は合格となります。本フィールドが 0 の場合、対応するルールエントリについて自動 DLC フィルタ機能は無効です。

表 28.4 に、設定可能な DLC 値を示します。

表 28.4 DLC 値の設定

フォーマット	DLC[3]	DLC[2]	DLC[1]	DLC[0]	説明
CAN および CANFD	0	0	0	0	受信メッセージの DLC = 0 以上（DLC フィルタチェックは無効）
CAN および CANFD	0	0	0	1	受信メッセージの DLC = 1 以上
CAN および CANFD	0	0	1	0	受信メッセージの DLC = 2 以上
CAN および CANFD	0	0	1	1	受信メッセージの DLC = 3 以上
CAN および CANFD	0	1	0	0	受信メッセージの DLC = 4 以上
CAN および CANFD	0	1	0	1	受信メッセージの DLC = 5 以上
CAN および CANFD	0	1	1	0	受信メッセージの DLC = 6 以上
CAN および CANFD	0	1	1	1	受信メッセージの DLC = 7 以上
CAN	1	x	x	x	受信メッセージの DLC = 8 以上
CANFD	1	0	0	0	受信メッセージの DLC = 8 以上(注1)
CANFD	1	0	0	1	受信メッセージの DLC = 12 以上(注1)
CANFD	1	0	1	0	受信メッセージの DLC = 16 以上(注1)
CANFD	1	0	1	1	受信メッセージの DLC = 20 以上(注1)
CANFD	1	1	0	0	受信メッセージの DLC = 24 以上(注1)
CANFD	1	1	0	1	受信メッセージの DLC = 32 以上(注1)
CANFD	1	1	1	0	受信メッセージの DLC = 48 以上(注1)
CANFD	1	1	1	1	受信メッセージの DLC = 64(注1)

注 1. この設定は、クラシカル CAN 機能では使用できません。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、これらのビットへの書き込みを行ってください。

GAFLIFL0 ビット（グローバルアクセプタンスフィルタリスト情報ラベル 0）

GAFLIFL0 ビットにより、関連するグローバルアクセプタンスフィルタリストエントリにより受け付けられた受信メッセージに付けられる 2 ビットの情報ラベルが設定できます。本ビットは、情報ラベルの LSB ビットです。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、このビットへの書き込みを行ってください。

本ビットは、着信メッセージの格納位置の情報ラベルフィールド[0] (CFDRMFDSTSb.RMIFL[0], CFDRFFDSTSb.RFIFL[0], CFDCFFDCSTS.CFIFL[0]) に格納されます。

GAFLRMDP[4:0]ビット（グローバルアクセプタンスフィルタリスト RX メッセージバッファ方向ポインタ）

GAFLRMDP[4:0]ビットにより、関連するグローバルアクセプタンスフィルタリストエントリのアクセプタンスチェックを合格した受信メッセージに対して、単一の受信メッセージバッファを宛先に設定できます。入力される値は、単一の宛先メッセージバッファ番号です。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、これらのビットへの書き込みを行ってください。

CFDRMNB.NRXMB[5:0]は、RX メッセージバッファ数を設定するために RX メッセージバッファ数レジスタで入力された値です。CFDGAFLP0r.GAFLRMDP[4:0]ビットで入力できる値は、0x00 と CFDMNB.NMB[5:0]～1 間の値のみです。

CFDRMNB.NRXMB[5:0] = 0x00 の場合、GAFLRMV ビットは 0 に設定してください。

GAFLRMV ビット（グローバルアクセプタンスフィルタリスト RX メッセージバッファ有効）

GAFLRMV ビットにより、関連するグローバルアクセプタンスフィルタリストエントリのアクセプタンスチェックを合格した受信メッセージに対して、宛先としての単一の受信メッセージバッファを有効または無効にできます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、これらのビットへの書き込みを行ってください。

GAFLPTR[15:0]ビット（グローバルアクセプタンスフィルタリストポインタ）

GAFLPTR[15:0]ビットにより、関連するグローバルアクセプタンスフィルタリストエントリにより受け付けられた受信メッセージに付けられる 16 ビットのポインタが設定できます。ポインタは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用可能です。ポインタ情報は、たとえば、AUTOSAR システムにおける受信メッセージの PDU ID 割り当てをサポートするのに使用可能です。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、本ビットに書き込まないでください。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみ、これらのビットへの書き込みを行ってください。

28.2.23 CFDGAFLP1r : グローバルアクセプタンスフィルタリストポインタ 1 レジスタ（r = 1～16）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x012C + 0x0010 × (r - 1)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	GAFL FDP8	—	—	—	—	—	—	GAFL FDP1	GAFL FDP0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	GAFLFDP0	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: RX FIFO 0 を受信宛先として無効にする 1: RX FIFO 0 を受信宛先として有効にする	R/W
1	GAFLFDP1	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: RX FIFO 1 を受信宛先として無効にする 1: RX FIFO 1 を受信宛先として有効にする	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	GAFLFDP8	グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ 受信メッセージ格納用の FIFO 方向ポインタビット 0: 共通 FIFO を受信宛先として無効にする 1: 共通 FIFO を受信宛先として有効にする	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

グローバルアクセプタンスフィルタリストポインタ 1 レジスタは、グローバルアクセプタンスフィルタリストにおける各ルールエントリの FIFO 方向ポインタフィールドを設定するのに使用されます。

GAFLFDP8、GAFLFDP1、GAFLFDP0 ビット（グローバルアクセプタンスフィルタリスト FIFO 方向ポインタ）

これらのビットにより、関連するグローバルアクセプタンスフィルタリストエントリのアクセプタンスチェックを合格した受信メッセージに対して、FIFO バッファを宛先に設定できます。GAFLFDP8、GAFLFDP1、GAFLFDP0 の各ビットは、専用 FIFO として設定されます。

CFDGAFLECTR.AFLDAE ビットが 0 のとき、これらのビットに書き込みできません。

共通 FIFO での格納については、受信先は、RX FIFO として設定された共通 FIFO バッファのみが可能です。

関連する CANFD チャネルが CH_RESET モードまたは CH_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

最大 2 個の宛先 FIFO バッファ、または 1 個の宛先 FIFO バッファ+RX メッセージバッファ 1 個のみ構成する必要があります。

28.2.24 CFDRMNB : RX メッセージバッファ数レジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0030

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RMPLS[2:0]			—	—	NRXMB[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	NRXMB[5:0]	RX メッセージバッファ数	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	RMPLS[2:0]	受信メッセージバッファペイロードデータサイズ 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RX メッセージバッファ数レジスタは、チャネルに割り当てられた RX メッセージバッファの総数を設定するのに使用されます。

NRXMB[5:0]ビット（RX メッセージバッファ数）

NRXMB[5:0]ビットは、RX メッセージバッファ数を設定するのに使用されます。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

0～32（0 と 32 を含む）の範囲でのみ値を設定してください。ここで、0x00 は、RX メッセージバッファは割り当てられないことを示します。

RMPLS[2:0]ビット（受信メッセージバッファペイロードデータサイズ）

RMPLS[2:0]ビットは、メッセージバッファペイロードデータサイズを設定するのに使用されます。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

28.2.25 CFDRMND : RX メッセージバッファ新規データレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0034

Bit position:	31																												0
Bit field:	RMNS[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	RMNS[31:0]	RX メッセージバッファ新規データステータス 0: 新規データは対応する RX メッセージバッファに格納されない 1: 新規データは対応する RX メッセージバッファに格納される	R/W

RX メッセージバッファ新規データステータスレジスタは、RX メッセージバッファの新規データ格納状態を指定します。

RMNS[31:0]ビット（RX メッセージバッファ新規データステータス）

RMNS[31:0]ビットは、対応する RX メッセージバッファの新規データの状態を示します。RMNS ビット[0]は、RX メッセージバッファ[0]に対応し、順次同様に対応します。

CFDRMND のビット位置は、RXMB のバッファ番号に対応します。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合は、これらのビットへの書き込みは行わないでください。1 の書き込みは無効です。

これらのビットは、対応する RX メッセージバッファへのメッセージ格納が実行中の場合はクリアできません。これらのビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

これらのビットは、新規メッセージの格納が対応する RX メッセージバッファに行われる場合自動的に 1 になります。これらのビットは、0 を書くことによってクリアされます。これらのビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

CFDRMNB.RMPLS = 000b（最大 8 バイトのペイロード）の場合、メッセージ格納期間は PCLKB で 6 サイクルです。

CFDRMNB.RMPLS ＞ 000b の場合、メッセージ格納期間は、PCLKB で 6 サイクル + 4 バイトごとに 1（64 バイトの場合 PCLKB で最大 20 サイクル）

注. この機能は、クラシカル CAN 機能では使用できません。

28.2.26 CFDRFCCa : RX FIFO コンフィグレーション／コントロールレジスタ a (a = 0, 1)

Base address: CANFD_B = 0x400B_0000

Offset address: 0x003C + 0x04 × a

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RFIGCV[2:0]			RFIM	—	RFDC[2:0]			—	RFPLS[2:0]			—	—	RFIE	RFE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFE	RX FIFO 許可 0: FIFO 禁止 1: FIFO 許可	R/W
1	RFIE	RX FIFO 割り込み許可 0: FIFO 割り込み発生禁止 1: FIFO 割り込み発生許可	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	RFPLS[2:0](注1)	Rx FIFO ペイロードデータサイズコンフィグレーション 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	RFDC[2:0]	RX FIFO 容量構成 0 0 0: FIFO 容量 = 0 メッセージ 0 0 1: FIFO 容量 = 4 メッセージ 0 1 0: FIFO 容量 = 8 メッセージ 0 1 1: FIFO 容量 = 16 メッセージ 1 0 0: FIFO 容量 = 32 メッセージ 1 0 1: FIFO 容量 = 48 メッセージ 1 1 0: 予約 1 1 1: 予約	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R

ビット	シンボル	機能	R/W
12	RFIM	RX FIFO 割り込みモード 0: RX FIFO カウンタが、RFIGCV より小さい値から RFIGCV に達したとき割り込み発生 1: 各受信メッセージの格納終了時に割り込み発生	R/W
15:13	RFIGCV[2:0]	RX FIFO 割り込み発生カウンタ値 0 0 0: FIFO が 1/8 フルになると割り込み発生 0 0 1: FIFO が 1/4 フルになると割り込み発生 0 1 0: FIFO が 3/8 フルになると割り込み発生 0 1 1: FIFO が 1/2 フルになると割り込み発生 1 0 0: FIFO が 5/8 フルになると割り込み発生 1 0 1: FIFO が 3/4 フルになると割り込み発生 1 1 0: FIFO が 7/8 フルになると割り込み発生 1 1 1: FIFO がフルになると割り込み発生	R/W
16	—	読むと 0 が読めます。書く場合、0 としてください。	R
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

RX FIFO コンフィグレーション／コントロールレジスタは、2 つの RX FIFO を設定および制御するのに使用されます。

RFE ビット（RX FIFO 許可）

RFE ビットは、FIFO を有効にします。本ビットを 0 にすると、RX FIFO がクリアされエンプティになります。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ本ビットへの書き込みを行ってください。

本ビットは、設定された FIFO 容量が 0x000 より大きい (CFDRFCCa.RFDC > 0x000) 、かつ 0x110 より小さい場合のみ 1 に設定できます。

RFE ビットは、CFDRFCCa レジスタの他のビットが全部 1 に設定された後、CFDRFCCa レジスタに個別に書き込んで 1 に設定してください。

本ビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

RFIE ビット（RX FIFO 割り込み許可）

RFIE ビットは、FIFO 割り込みの発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

RFPLS[2:0]ビット（Rx FIFO ペイロードデータサイズコンフィグレーション）

RFPLS[2:0]ビットは、RAM 内のメッセージデータペイロード割り当てを定義します。

これは、本 FIFO が受信できる最大バイト数です。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

注. これらのビットは、クラシカル CAN 機能では使用できません。

RFDC[2:0]ビット（RX FIFO 容量構成）

RFDC[2:0]ビットは、FIFO の容量をメッセージ数で選択します。FIFO 容量が 0 メッセージに設定されている場合、FIFO は使用できません。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

RFIM ビット（RX FIFO 割り込みモード）

RFIM ビットは、FIFO の割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

RFIGCV[2:0]ビット（RX FIFO 割り込み発生カウンタ値）

RFIGCV[2:0]ビットは、FIFO 割り込みを発生させる FIFO のカウンタ値を選択します。これらの値は、割り込みが発生する FIFO 容量の分数を表します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

RFIGCV[2:0]ビットの設定は、RFDC[2:0]ビットと同期している必要があります。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

28.2.27 CFDRFSTSa : RX FIFO ステータスレジスタ a（a = 0, 1）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0044 + 0x04 × a

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RFMC[5:0]						—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	RFEMP	RX FIFO エンプティ 0: FIFO はエンプティではない 1: FIFO はエンプティ	R
1	RFFLL	RX FIFO フル 0: FIFO はフルではない 1: FIFO はフル	R
2	RFMLT	RX FIFO メッセージロスト 0: FIFO メッセージロスト発生なし 1: FIFO メッセージロスト発生あり	R/W
3	RFIF	RX FIFO 割り込みフラグ 0: FIFO 割り込み条件は成立していない 1: FIFO 割り込み条件は成立している	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	RFMC[5:0]	RX FIFO メッセージ数 FIFO に格納されているメッセージ数	R
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RX FIFO ステータスレジスタは、対応する FIFO バッファに格納されているメッセージの状態を示します。

RFEMP ビット（RX FIFO エンプティ）

RFEMP ビットは、以下の場合自動的に 1 になります。

- RFMC ビットが 0 のとき
- CFDRFCCa.RFE ビットを 0 に設定することにより RX FIFO が禁止されたとき
- CANFD モジュールが GL_RESET モードであるとき

RFEMP ビットは、最初のメッセージが RX FIFO バッファに格納されると自動的にクリアされます。

RFFLL ビット（RX FIFO フル）

RFFLL ビットは、FIFO バッファに格納されている CAN メッセージ数が設定されている FIFO 容量と一致すると自動的に 1 になります。

RFFLL ビットは以下の場合自動的にクリアされます。

- FIFO バッファに格納されている CAN メッセージ数が設定されている FIFO 容量以下になったとき
- CFDRFCCa.RFE ビットを 0 に設定することにより RX FIFO が禁止されたとき
- CANFD モジュールが GL_RESET モードであるとき

RFMLT ビット（RX FIFO メッセージロスト）

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ RFMLT ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、FIFO がすでに満杯のときに格納しようとしたことにより、メッセージが失われた場合、自動的に 1 になります。CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、ビットは 1 に設定されます。

本ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき

RFIF ビット（RX FIFO 割り込みフラグ）

RFIF ビットは、設定されている割り込み条件が成立すると自動的に 1 になります。本ビットは、RX FIFO バッファが禁止されると自動的にクリアされます。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION の場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、本ビットは 1 に設定されます。

本ビットは、0 を書き込むことによってクリアされます。本ビットは、CANFD モジュールが GL_RESET モードのときも自動的にクリアされます。

RFMC[5:0]ビット（RX FIFO メッセージ数）

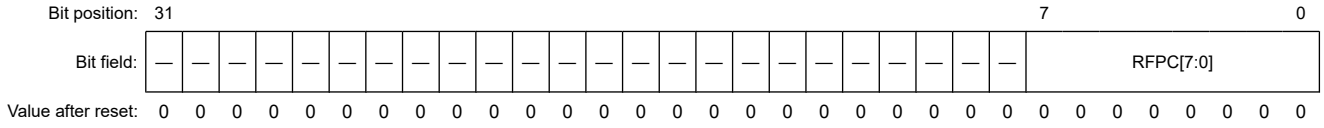
RFMC[5:0]ビットは、CPU が読み出し可能な RX FIFO バッファに格納されている CAN メッセージ数を示します。

これらのビットは、FIFO が禁止され、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

28.2.28 CFDRFPCTRa : RX FIFO ポインタコントロールレジスタ a（a = 0、1）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x004C + 0x04 × a



ビット	シンボル	機能	R/W
7:0	RFPC[7:0]	RX FIFO ポインタ制御 対応する RX FIFO バッファの読み出しポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

RX FIFO ポインタコントロールレジスタ使って、対応する RX FIFO バッファの読み出しポインタをインクリメントできます。

RFPC ビット（RX FIFO ポインタ制御）

値 0xFF が RFPC ビットに書き込まれると、対応する RX FIFO バッファのポインタが次の FIFO エントリに移されます。対応する RX FIFO バッファが許可されておりエンプティでない場合のみ、これらのレジスタには 0xFF を書き込んでください。

読み取り値は常に 0x00 です。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

DMA 有効時、RX FIFO ポインタコントロールレジスタに書き込まないでください。

28.2.29 CFDCFCC : 共通 FIFO コンフィグレーション／コントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0054

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CFITT[7:0]								CFDC[2:0]			—	—	—	CFTML[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CFIGCV[2:0]			CFIM	CFITR	CFITSS	—	CFM	—	CFPLS[2:0]			—	CFTXIE	CFRXIE	CFE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CFE	共通 FIFO 許可 0: FIFO 禁止 1: FIFO 許可	R/W
1	CFRXIE	共通 FIFO RX 割り込み許可 0: フレーム RX に対して FIFO 割り込み発生を禁止 1: フレーム RX に対して FIFO 割り込み発生を許可	R/W
2	CFTXIE	共通 FIFO TX 割り込み許可 0: フレーム TX に対して FIFO 割り込み発生を禁止 1: フレーム TX に対して FIFO 割り込み発生を許可	R/W
3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6:4	CFPLS[2:0](注1)	共通 FIFO ペイロードデータサイズコンフィグレーション 0 0 0: 8 バイト 0 0 1: 12 バイト 0 1 0: 16 バイト 0 1 1: 20 バイト 1 0 0: 24 バイト 1 0 1: 32 バイト 1 1 0: 48 バイト 1 1 1: 64 バイト	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	CFM	共通 FIFO モード 0: RX FIFO モード 1: TX FIFO モード	R/W
9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10	CFITSS	共通 FIFO インターバルタイマソース選択 0: 基準クロック（× 1 / × 10 期間） 1: 関連チャネルのビットタイムクロック（FIFO は固定チャネルにリンク付け）	R/W
11	CFITR	共通 FIFO インターバルタイマ分解能 0: 基準クロック期間 × 1 1: 基準クロック期間 × 10	R/W

ビット	シンボル	機能	R/W
12	CFIM	共通 FIFO 割り込みモード 0: RX FIFO モード：共通 FIFO カウンタが下位の値から CFIGCV 値に達したときに RX 割り込み発生 TX FIFO モード：共通 FIFO が最後のメッセージ送信に成功したとき TX 割り込み発生 1: RX FIFO モード：各受信メッセージの格納終了時に RX 割り込み発生 TX FIFO モード：メッセージ送信成功ごとに割り込み発生	R/W
15:13	CFIGCV[2:0]	共通 FIFO 割り込み発生カウンタ値 0 0 0: FIFO が 1/8 フルになると割り込み発生 0 0 1: FIFO が 1/4 フルになると割り込み発生 0 1 0: FIFO が 3/8 フルになると割り込み発生 0 1 1: FIFO が 1/2 フルになると割り込み発生 1 0 0: FIFO が 5/8 フルになると割り込み発生 1 0 1: FIFO が 3/4 フルになると割り込み発生 1 1 0: FIFO が 7/8 フルになると割り込み発生 1 1 1: FIFO がフルになると割り込み発生	R/W
17:16	CFTML[1:0]	共通 FIFO TX メッセージバッファリンク 対応するチャネルの送信スキャンリンク位置	R/W
20:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:21	CFDC[2:0]	共通 FIFO 容量構成 0 0 0: FIFO 容量 = 0 メッセージ 0 0 1: FIFO 容量 = 4 メッセージ 0 1 0: FIFO 容量 = 8 メッセージ 0 1 1: FIFO 容量 = 16 メッセージ 1 0 0: FIFO 容量 = 32 メッセージ 1 0 1: FIFO 容量 = 48 メッセージ 1 1 0: FIFO 容量 = 予約 1 1 1: FIFO 容量 = 予約	R/W
31:24	CFITT[7:0]	共通 FIFO インターバル送信時間 TX モードに設定時 FIFO からの送信開始を遅らせます。遅延は、基本インターバルタイマクロックソース単位の倍数です。	R/W

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

CFE ビット（共通 FIFO 許可）

CFE ビットを 1 にすると、FIFO が許可されます。CFE ビットを 0 にクリアすると、FIFO が禁止されます。

本ビットを 0 にクリアすることにより、TX モードに設定時共通 FIFO からの送信をアボートしたり、RX モードに設定時共通 FIFO への受信を停止するのにも使用されます。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。

本ビットは、設定された FIFO 容量が 0x000 より大きい (CFDCFCC.CFDC > 0x000)、かつ 0x110 より小さい (0x110 > CFDCFCC.CFDC > 0x000) 場合のみ 1 に設定できます。

CFE ビットは、本レジスタの他のビットが全部 1 に設定された後、CFDCFCC レジスタに個別に書き込んで 1 に設定してください。

本ビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

本ビットは、FIFO が TX モードに設定されている場合、関連するチャネルが CH_RESET モードのときも自動的にクリアされます。

CFRXIE ビット（共通 FIFO RX 割り込み許可）

CFRXIE ビットは、対応する FIFO バッファでフレームを受信後に割り込みフラグが設定されると FIFO 割り込み発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFTXIE ビット（共通 FIFO TX 割り込み許可）

CFTXIE ビットは、対応する FIFO バッファからフレームを送信後に割り込みフラグが設定されると共通 FIFO 割り込み発生を許可します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFPLS[2:0]ビット（共通 FIFO ペイロードデータサイズコンフィグレーション）

CFPLS[2:0]ビットは、RAM 内のメッセージデータペイロード割り当てを定義します。これは、FIFO バッファが送受信できる最大バイト数です。

詳細は、「28.6. FIFO バッファと通常のメッセージバッファの構成」を参照してください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

注. これらのビットは、クラシカル CAN 機能では使用できません。

CFM ビット（共通 FIFO モード）

CFM ビットは、FIFO のモードを選択します。ハードウェアリセットが適用されると、共通 FIFO バッファはすべて RX FIFO モードに設定されます。

GL_OPERATION モードまたは GL_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFITSS ビット（共通 FIFO インターバルタイマソース選択）

CFITSS ビットは、インターバル送信タイマの基本クロックソースを選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。また、CFE ビットが 1 の場合も本ビットに書き込まないでください。

CANFD 通信使用時に本ビットに 1 を書き込まないでください。(注1)

注. ビットタイムクロックは、公称およびデータレートビット設定に応じて変わります。

注 1. この機能は、クラシカル CAN 機能では使用できません。

CFITR ビット（共通 FIFO インターバルタイマ分解能）

CFITR ビットは、インターバル送信タイマの基準クロックの分解能を選択します（周辺クロックが基準クロックのソースです）。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。また、CFE ビットが 1 の場合も本ビットに書き込まないでください。

CFIM ビット（共通 FIFO 割り込みモード）

CFIM ビットは、FIFO バッファの割り込み発生条件を選択します。

GL_SLEEP モードのとき、本ビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CFIGCV[2:0]ビット（共通 FIFO 割り込み発生カウンタ値）

CFIGCV[2:0]ビットは、FIFO 割り込み発生のメッセージカウンタ値を選択します。これらの値は、割り込み発生対象の FIFO 容量の分数を表します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

これらのビットの設定は、CFDC[2:0]ビットと同期している必要があります。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFTML[1:0]ビット（共通 FIFO TX メッセージバッファリンク）

CFTML[1:0]ビットは、送信スキャン用に、TX FIFO のリンク先である通常の送信メッセージバッファ位置を選択します。

GL_OPERATION モードまたは GL_SLEEP モードのとき、これらのビットに書き込まないでください。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

CFDC[2:0]ビット（共通 FIFO 容量構成）

CFDC[2:0]ビットは、共通 FIFO の容量をメッセージ数で選択します。FIFO 容量が 0 メッセージに設定されている場合、FIFO は使用できません。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

CFITT[7:0]ビット（共通 FIFO インターバル送信時間）

CFITT[7:0]ビットは、TX モードに設定時、本 FIFO バッファから送信される全メッセージの送信開始遅延を選択します。遅延は、基本インターバルタイマクロックソース期間の倍数です（基準クロック × 1、基準クロック × 10、または関連 CAN チャネルのビットタイムクロック）。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへの書き込みは行わないでください。

CFE ビットが 1 のとき、これらのビットに書き込まないでください。

CFDGCFG.ITRCP[15:0] = 0x0000 のとき、CFITT[7:0]ビットは 0x0000 に設定してください。

28.2.30 CFDCFSTS : 共通 FIFO ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0058

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	CFMC[5:0]						—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	CFEMP	共通 FIFO エンプティ 0: FIFO はエンプティではない 1: FIFO はエンプティ	R
1	CFFLL	共通 FIFO フル 0: FIFO はフルではない 1: FIFO はフル	R
2	CFMLT	共通 FIFO メッセージロスト 0: FIFO で失われたメッセージ数 1: FIFO メッセージロスト発生あり	R/W
3	CFRXIF	共通 RX FIFO 割り込みフラグ 0: フレーム受信後 FIFO 割り込み条件が不成立 1: フレーム受信後 FIFO 割り込み条件が成立	R/W
4	CFTXIF	共通 TX FIFO 割り込みフラグ 0: フレーム送信後 FIFO 割り込み条件が不成立 1: フレーム送信後 FIFO 割り込み条件が成立	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	CFMC[5:0]	共通 FIFO メッセージ数 FIFO に格納されているメッセージ数	R
31:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CFEMP ビット（共通 FIFO エンプティ）

CFEMP ビットは、以下の場合自動的に 1 になります。

- CPU が RX モードに設定されている FIFO からのメッセージをすべて読み出したとき
- すべてのメッセージが TX モードに設定されている FIFO から送信されたとき
- CFE ビットを 0 に設定することにより FIFO が禁止されているとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO が TX モードに設定されているときに、関連する CANFD チャネルが CH_RESET モードであるとき

CFEMP ビットは、以下の場合自動的にクリアされます。

- RX モードに設定時最初の受信メッセージが FIFO バッファに格納されたとき
- TX モードに設定時最初の送信メッセージが FIFO バッファに格納されたとき

CFFLL ビット（共通 FIFO フル）

CFFLL ビットは、FIFO に格納されている CAN メッセージ数が設定されている FIFO 容量と一致すると自動的に 1 になります。

CFFLL ビットは、以下の場合自動的にクリアされます。

- FIFO に格納されている CAN メッセージ数が設定されている FIFO 容量以下になったとき
- CFE ビットを 0 に設定することにより FIFO が禁止されているとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されているときに、関連する CANFD チャネルが CH_RESET モードであるとき

CFMLT ビット（共通 FIFO メッセージロスト）

CFMLT ビットは、RX モードで FIFO がすでに満杯のときに新しいメッセージを格納しようとしたことにより、メッセージが失われた場合、自動的に 1 になります。

CAN チャネルからの設定と書き込みによるクリアが同時に起きた場合は、本ビットは 1 に設定されます。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CFMLT ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されている場合に、関連する CANFD チャネルが CH_RESET モードであるとき

CFRXIF ビット（共通 RX FIFO 割り込みフラグ）

CFRXIF ビットは、共通 FIFO バッファが禁止されても自動的にクリアされません。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO に対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、RX モードに設定されているときに、共通 FIFO バッファに設定されている割り込み条件が成立したとき自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

CFRXIF ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき

CFTXIF ビット（共通 TX FIFO 割り込みフラグ）

CFTXIF ビットは、共通 FIFO バッファが禁止されても自動的にクリアされません。

本ビットへの書き込みは、CANFD モジュールが GL_HALT モードか GL_OPERATION モードで、かつ関連する CANFD チャネルが TX FIFO として設定されている FIFO バッファに対して CH_RESET モードでない場合のみ行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

本ビットは、TX モードに設定されている共通 FIFO バッファに対して設定されている割り込み条件が成立したとき自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

CFTXIF ビットは以下の場合クリアされます。

- 0 を書いたとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されている場合に、関連する CANFD チャネルが CH_RESET モードであるとき

CFMC[5:0]ビット（共通 FIFO メッセージ数）

CFMC[5:0]ビットは以下を示します。

- TX モードに設定されている FIFO バッファ内で送信を待っている、CPU により格納された CAN メッセージ数
- RX モードに設定されている FIFO バッファ内で CPU 読み出しを待っている、CANFD モジュールにより格納された CAN メッセージ数

CFMC[5:0]ビットは、以下の場合自動的にクリアされます。

- FIFO が禁止されているとき
- CANFD モジュールが GL_RESET モードであるとき
- FIFO バッファが TX モードに設定されている場合に、関連する CANFD チャネルが CH_RESET モードであるとき

28.2.31 CFDCFPCTR : 共通 FIFO ポインタコントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x005C

Bit position:	31																							7							0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFPC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	CFPC[7:0]	共通 FIFO ポインタ制御 モード設定により、対応する共通 FIFO バッファの読み出し／書き込みポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

共通 FIFO ポインタコントロールレジスタを使って、対応する共通 FIFO バッファの読み出し／書き込みポインタをインクリメントできます。

CFPC[7:0]ビット（共通 FIFO ポインタ制御）

値 0xFF が CFPC[7:0]ビットに書き込まれると、（RX モードに設定時）対応する共通 FIFO バッファの読み出しポインタ、または（TX モードに設定時）対応する FIFO バッファの書き込みポインタが次の FIFO エントリに移動します。

読み取り値は常に 0x00 です。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

以下の場合のみ本レジスタに 0xFF を書き込んでください。

- RX モードに設定されている場合、共通 FIFO バッファが許可されており、エンプティではないとき
- TX モードに設定されている場合、共通 FIFO バッファが許可されており、満杯ではないとき

DMA 有効時、共通 FIFO ポインタコントロールレジスタに書き込まないでください。

28.2.32 CFDFESTS : FIFO エンプティステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0060

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFEMP	—	—	—	—	—	—	RFXEMP[1:0]	
Value after reset:	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	1

ビット	シンボル	機能	R/W
1:0	RFXEMP[1:0]	RX FIFO 空ステータス 0: 対応 FIFO はエンプティではない 1 : 対応 FIFO はエンプティ	R
7:2	—	読むと 0 が読めます。	R
8	CFEMP	共通 FIFO 空ステータス 0: 対応 FIFO はエンプティではない 1 : 対応 FIFO はエンプティ	R
31:9	—	読むと 0 が読めます。	R

FIFO エンプティステータスレジスタは、FIFO バッファのエンプティビットの状態を示します。

RFXEMP[1:0]ビット（RX FIFO 空ステータス）

RFXEMP[1:0]ビットは、CANFD モジュールが GL_RESET モードのときにセットされます。

各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFEMP ビット（共通 FIFO 空ステータス）

CFEMP ビットは、CANFD モジュールが GL_RESET モードのときにセットされます。

各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

28.2.33 CFDFFSTS : FIFO フルステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0064

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFFLL	—	—	—	—	—	—	RFXFLL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXFLL[1:0]	RX FIFO フルステータス 0: 対応 FIFO はフルではない 1: 対応 FIFO はフル	R
7:2	—	読むと 0 が読めます。	R
8	CFFLL	共通 FIFO フルステータス 0: 対応 FIFO はフルではない 1: 対応 FIFO はフル	R
31:9	—	読むと 0 が読めます。	R

FIFO フルステータスレジスタは、FIFO バッファのフルビットの状態を示します。

RFXFLL[1:0]ビット（RX FIFO フルステータス）

RFXFLL[1:0]ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFFLL ビット（共通 FIFO フルステータス）

CFFLL ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

28.2.34 CFDFMSTS : FIFO メッセージロストステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0068

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFMLT	—	—	—	—	—	—	RFXMLT[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXMLT[1:0]	RX FIFO メッセージロストステータス 0: 対応する FIFO メッセージロストフラグが設定されていない 1 : 対応する FIFO メッセージロストフラグが設定されている	R
7:2	—	読むと 0 が読めます。	R
8	CFMLT	共通 FIFO メッセージロストステータス 0: 対応する FIFO メッセージロストフラグが設定されていない 1 : 対応する FIFO メッセージロストフラグが設定されている	R
31:9	—	読むと 0 が読めます。	R

FIFO メッセージロストステータスレジスタは、FIFO バッファのメッセージロストビットの状態を示します。

RFXMLT[1:0]ビット（RX FIFO メッセージロストステータス）

RFXMLT[1:0]ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

各ビットは、RX FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、RX FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

CFMLT ビット（共通 FIFO メッセージロストステータス）

CFMLT ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

各ビットは、共通 FIFO ステータスレジスタの対応するビットを 1 にすると自動的に 1 になります。

各ビットは、共通 FIFO ステータスレジスタの対応するビットがクリアされると自動的にクリアされます。

28.2.35 CFDRFISTS : RX FIFO 割り込みフラグステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x006C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFXIF[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	RFXIF[1:0]	RX FIFO[x]割り込みフラグステータス 0: 対応する RX FIFO 割り込みフラグが設定されていない 1: 対応する RX FIFO 割り込みフラグが設定されている	R
31:2	—	読むと 0 が読めます。	R

FIFO 割り込みフラグステータスレジスタは、RX FIFO バッファの割り込みフラグビットの状態を示します。

RFXIF[1:0]ビット（RX FIFO[x]割り込みフラグステータス）

各ビットは、RX FIFO ステータスレジスタの対応する割り込みフラグビットを 1 にすると自動的に 1 になります。

RFXIF[1:0]ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

各ビットは、RX FIFO ステータスレジスタの対応する割り込みフラグビットがクリアされると自動的にクリアされます。

28.2.36 CFDCDTCT : DMA 転送コントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00C8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFDMAE	—	—	—	—	—	—	RFDMAE1	RFDMAE0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFDMAE0	RXFIFO 0 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
1	RFDMAE1	RXFIFO 1 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	CFDMAE	共通 FIFO 0 の DMA 転送許可 0: DMA 転送要求を禁止 1: DMA 転送要求を許可	R/W
31:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

DMA 転送コントロールレジスタは、DMA 転送動作の開始と停止を制御します。

RFDMAEe（e = 0, 1）ビット（RXFIFOe の DMA 転送許可）

RFDMAEe ビットは GL_SLEEP モードまたは GL_RESET モードでは設定できません。

本ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

CFDMAE ビット（共通 FIFO の DMA 転送許可）

CFDMAE ビットは、共通 FIFO に対して DMA 転送要求を許可または禁止します。

CFDMAE ビットは GL_SLEEP モードまたは GL_RESET モードでは設定できません。

TX FIFO として設定されている共通 FIFO に対して DMA 転送を許可しないでください。

本ビットは、CANFD モジュールが GL_RESET モードのときクリアされます。

28.2.37 CFDCDTSTS : DMA 転送ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00CC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CFDMASTS	—	—	—	—	—	—	RFDMASTS1	RFDMASTS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFDMASTS0	RX FIFO 0 の DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
1	RFDMASTS1	RX FIFO 1 の DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
7:2	—	読むと 0 が読めます。	R
8	CFDMASTS	共通 FIFO のみの DMA 転送ステータス 0: DMA 転送停止 1: DMA 転送実行中	R
31:9	—	読むと 0 が読めます。	R

DMA 転送ステータスレジスタは、DMA 転送の状態を示します。

RFDMASTSe（e = 0、1）ビット（RX FIFO e の DMA 転送ステータス)

各ビットは、対応する DMA 許可ビットが設定され、対応する DMA FIFO がエンプティでない場合自動的に 1 になります。

各ビットは、DMA が禁止されるか DMA FIFO がエンプティになったため DMA 転送が停止すると自動的にクリアされます。

対応する FIFO に対して DMA 転送実行中に CFDCDTCT.RFDMAEe（「28.2.36. CFDCDTCT : DMA 転送コントロールレジスタ」の CFDCDTCT.RFDMAEe ビット参照）が 0 に設定されると、DMA 転送完了時 RFDMASTSe ビットは 0 になります。

本ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

CFDMASTS ビット（共通 FIFO のみの DMA 転送ステータス）

各ビットは、対応する DMA 許可ビットが設定され、対応する DMA FIFO がエンプティでない場合自動的に 1 になります。

各ビットは、DMA が禁止されるか DMA FIFO がエンプティになったため DMA 転送が停止すると自動的にクリアされます。

対応する FIFO に対して DMA 転送実行中に CFDCDTCT.CFDMAE（「28.2.36. CFDCDTCT : DMA 転送コントロールレジスタ」の CFDCDTCT.CFDMAE ビット参照）が 0 に設定されると、DMA 転送完了時 CFDMASTS ビットは 0 になります。

本ビットは、CANFD モジュールが GL_RESET モードのときにクリアされます。

28.2.38 CFDTMCi : TX メッセージバッファコントロールレジスタ i（i = 0～3）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0070 + 0x01 × i

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TMOM	TMTAR	TMTR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMTR	TX メッセージバッファ送信要求 0: TX メッセージバッファ送信の要求なし 1: TX メッセージバッファ送信の要求あり	R/W
1	TMTAR	TX メッセージバッファ送信アボート要求 0: TX メッセージバッファ送信要求アボートの要求なし 1: TX メッセージバッファ送信要求アボートの要求あり	R/W

ビット	シンボル	機能	R/W
2	TMOM	TX メッセージバッファワンショットモード 0: TX メッセージバッファはワンショットモードに設定されていない 1: TX メッセージバッファはワンショットモードに設定されている	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TX メッセージバッファコントロールレジスタは、TX メッセージバッファ機能を設定します。

TMTR ビット（TX メッセージバッファ送信要求）

TMTR ビットを 1 にすると、CANFD モジュールロジックは、対応するメッセージバッファに格納されているメッセージの送信を試みます。

関連する CANFD モジュールが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

対応する TX メッセージバッファが TX モードの COM FIFO にリンクされている、または TX キューの一部である場合、本ビットを 1 にしないでください。

本ビットは、CPU 書き込みによる直接クリアはできません。

本ビットは、メッセージバッファに対応する CFDTMSTSj レジスタの送信結果フラグビット (CFDTMSTSj.TMTRF) が 00b にクリアされた場合のみ 1 にできます。

TMTR ビットは、以下により自動的にクリアされます。

- 送信成功後の CANFD モジュールロジック
- 対応する CFDTMCi.TMTAR ビットにより要求された、送信アボート完了後の CANFD モジュールロジック
- メッセージバッファに対して CFDTMCi.TMOM ビットが設定されている場合、CAN バスエラーまたはアービトレーションロスト検出時の CANFD モジュールロジック
- CANFD モジュールが GL_RESET モードまたは関連するチャネルが CH_RESET モードの場合の CANFD モジュールロジック

TMTAR ビット（TX メッセージバッファ送信アボート要求）

TMTAR ビットを 1 にすると、CANFD モジュールロジックは、対応するメッセージバッファに格納されているフレーム送信のアボートを試みます。

多くの場合、送信のための内部スキャンが完了し、メッセージバッファがすでに送信用に選択済みの場合、送信はアボートできません。この場合、フレームはメッセージバッファからの送信に成功する可能性があります。メッセージバッファの選択は、CH_HALT モードになると解除されます。

しかしながら、CAN ノードが、選択されたメッセージバッファから送信を開始する前にバス（RX 端子）上に新しいメッセージを検出した場合、送信用に選択されたメッセージバッファはアボート要求によりアボート可能です。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ TMTAR ビットへの書き込みを行ってください。本ビットは、関連する送信要求 TMTR ビットが 1 の場合のみ 1 にすることができます。

TMTAR ビットは、CPU 書き込みによる直接クリアはできません。CANFD による本ビットのクリアは、CPU 書き込みによる設定に優先されます。

TMTAR ビットは、以下により自動的にクリアされます。

- 送信成功後の CANFD モジュールロジック
- 送信アボート後の CANFD モジュールロジック
- CAN バスエラーまたはアービトレーションロスト検出時の CANFD モジュールロジック
- CANFD モジュールが GL_RESET モードまたは関連するチャネルが CH_RESET モードに遷移した場合の CANFD モジュールロジック

TMOM ビット（TX メッセージバッファワンショットモード）

TMOM ビットを 1 にすると、CANFD モジュールロジックはメッセージの送信を 1 回だけ試みます。

送信に成功すると、CFDTMSTSj.TMTRF ビットは 10b または 11b に設定されます。バスエラーまたはアービトレーションロストにより送信に失敗した場合、送信は自動的にアボートされ、CFDTMSTSj.TMTRF ビットは 01b に設定されます。

送信成功時またはエラーやアービトレーションロストによりアボートされた場合、TMOM ビットは 1 のままです。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。

本ビットは、TMTR ビットと同時に設定してください。また、本ビットのクリアは書き込みで行ってください。

あるメッセージの送信がすでに要求されている場合、そのメッセージ送信が成功するかアボートされるまで本ビットに書き込みを行わないでください。

TMOM ビットは、CANFD モジュールが GL_RESET モードまたは関連するチャネルが CH_RESET モードの場合、CANFD モジュールロジックにより自動的にクリアされます。

28.2.39 CFDTMSTSj : TX メッセージバッファステータスレジスタ j（j = 0～3）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0074 + 0x01 × j

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMTSTS	TX メッセージバッファ送信ステータス 0: 実行中の送信なし 1: 送信実行中	R
2:1	TMTRF[1:0]	TX メッセージバッファ送信結果フラグ 0 0: 結果なし 0 1: TX メッセージバッファからの送信アボート 1 0: TX メッセージバッファからの送信成功かつ送信アボートの要求なし 1 1: TX メッセージバッファからの送信成功かつ送信アボートの要求あり	R/W
3	TMTRM	TX メッセージバッファ送信要求のミラー 0: TX メッセージバッファ送信の要求なし 1: TX メッセージバッファ送信の要求あり	R
4	TMTARM	TX メッセージバッファ送信アボート要求のミラー 0: TX メッセージバッファ送信要求アボートの要求なし 1: TX メッセージバッファ送信要求アボートの要求あり	R
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TX メッセージバッファステータスレジスタは、対応するメッセージバッファの送信状態および送信アボートの状態を示します。

TMTSTS ビット（TX メッセージバッファ送信ステータス）

TMTSTS ビットは、対応する TX メッセージバッファからの送信開始で自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- 送信が停止したとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

TMTRF[1:0]ビット（TX メッセージバッファ送信結果フラグ）

TMTRF[1:0]ビットは、対応する TX メッセージバッファの結果を示します。状態は以下のとおりです。

- 00: 送信実行中または要求されてない

- 01: 対応する TX メッセージバッファからの送信アボート
- 10: 対応する TX メッセージバッファからの送信が成功し、本 TX メッセージバッファに対し CFDTMCi.TMTAR ビットが 1 でない
- 11: 対応する TX メッセージバッファからの送信が成功したが、本 TX メッセージバッファに対し CFDTMCi.TMTAR ビットが 1 である

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

CANFD モジュールが GL_RESET モードになるか、関連するチャネルが CH_RESET モードになると TMTRF[1:0] ビットは自動的にクリアされます。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合、本ビットは 1 が設定されます。

TMTRM ビット（TX メッセージバッファ送信要求のミラー）

TMTRM ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTR ビットが 1 のとき 1 になります。

本ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTR ビットがクリアされるとクリアされます。

TMTARM ビット（TX メッセージバッファ送信アボート要求のミラー）

TMTARM ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTAR ビットが 1 のとき 1 になります。

本ビットは、対応する CFDTMCi レジスタの CFDTMCi.TMTAR ビットがクリアされるとクリアされます。

28.2.40 CFDTMTRSTS : TX メッセージバッファ送信要求ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0078

Bit position:	31																												3	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CFDTMTRSTS [3:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	CFDTMTRSTS[3:0]	TX メッセージバッファ送信要求ステータス 0: 対応する TX メッセージバッファへの送信要求なし 1: 対応する TX メッセージバッファへの送信要求あり	R
31:4	—	読むと 0 が読めます。	R

これらのビットは、対応する TX メッセージバッファの TX メッセージバッファ送信要求ステータスを示します。CFDTMTRSTS レジスタのビット 0 は TX メッセージバッファ 0 に対応します。

CFDTMTRSTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTRSTS[3:0]ビット（TX メッセージバッファ送信要求ステータス）

CFDTMTRSTS[3:0]ビットは、TX メッセージバッファコントロールレジスタの CFDTMCi.TMTR ビットの状態を示します。

各ビットは、TX メッセージバッファコントロールレジスタ (CFDTMCi) の対応するビットが 1 で、メッセージバッファが TX キューに属していない場合のみ自動的に 1 になります。

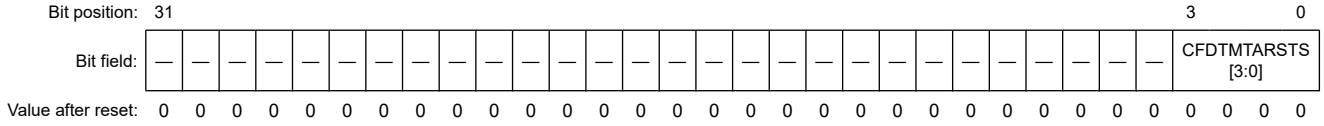
各ビットは以下の場合自動的にクリアされます。

- TX メッセージバッファコントロールレジスタの対応ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

28.2.41 CFDTMTARSTS : TX メッセージバッファ送信中断要求ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x007C



ビット	シンボル	機能	R/W
3:0	CFDTMTARSTS[3:0]	TX メッセージバッファ送信アボート要求ステータス 0: 対応する TX メッセージバッファへの送信アボート要求なし 1: 対応する TX メッセージバッファへの送信アボート要求あり	R
31:4	—	読むと 0 が読めます。	R

これらのビットは、対応する TX メッセージバッファの TX メッセージバッファ送信中断要求ステータスを示します。CFDTMTARSTS レジスタのビット 0 は TX メッセージバッファ 0 に対応します。

CFDTMTARSTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTARSTS[3:0]ビット（TX メッセージバッファ送信アボート要求ステータス）

CFDTMTARSTS[3:0]ビットは、TX メッセージバッファコントロールレジスタの CFDTMCi.TMTAR ビットの状態を示します。

各ビットは、TX メッセージバッファコントロールレジスタの対応するビットが 1 で、メッセージバッファが TX キューに属している場合自動的に 1 になります。

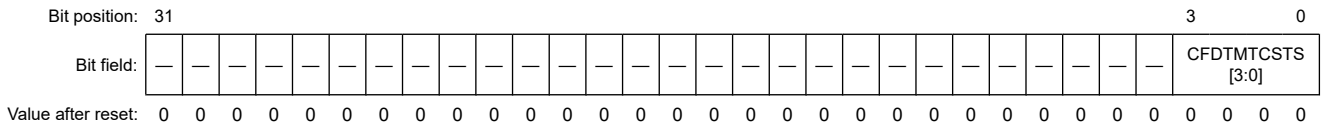
各ビットは以下の場合自動的にクリアされます。

- TX メッセージバッファコントロールレジスタの対応ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

28.2.42 CFDTMTCSTS : TX メッセージバッファ送信完了ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0080



ビット	シンボル	機能	R/W
3:0	CFDTMTCSTS[3:0]	TX メッセージバッファ送信完了ステータス 0: 対応する TX メッセージバッファへの送信は完了していない 1: 対応する TX メッセージバッファへの送信は完了した	R
31:4	—	読むと 0 が読めます。	R

これらのビットは、対応する TX メッセージバッファに対して TX メッセージバッファの送信完了状態を示します。CFDTMTCSTS レジスタのビット 0 は、TX メッセージバッファ 0 に対応します。

CFDTMTCSTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTCSTS[3:0]ビット（TX メッセージバッファ送信完了ステータス）

CFDTMTCSTS[3:0]ビットは、TX メッセージバッファステータスレジスタの送信完了状態を示します。

各ビットは、TX メッセージバッファステータスレジスタの対応するビットが 1 になると自動的に 1 になります。

各ビットは以下の場合、自動的にクリアされます。

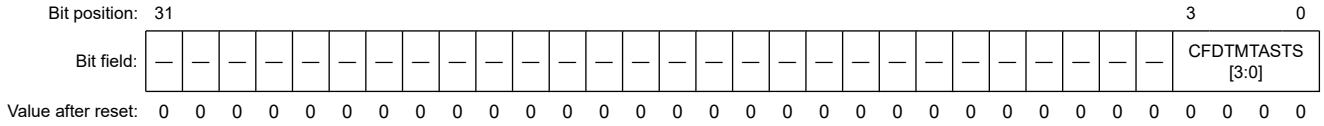
- TX メッセージバッファステータスレジスタの対応ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

CAN チャネルが CH_RESET モードになると、そのチャネルに関連するビットはクリアされます。

28.2.43 CFDTMTASTS : TX メッセージバッファ送信中断ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0084



ビット	シンボル	機能	R/W
3:0	CFDTMTASTS[3:0]	TX メッセージバッファ送信アボートステータス 0: 対応する TX メッセージバッファへの送信はアボートしていない 1 : 対応する TX メッセージバッファへの送信がアボートした	R
31:4	—	読むと 0 が読めます。	R

これらのビットは、対応する TX メッセージバッファに対して TX メッセージバッファの送信アボート状態を示します。CFDTMTASTS レジスタのビット 0 は、TX メッセージバッファ 0 に対応します。

CFDTMTASTS のビット位置は、TX メッセージバッファのバッファ番号に対応します。

CFDTMTASTS[3:0]ビット（TX メッセージバッファ送信アボートステータス）

CFDTMTASTS[3:0]ビットは、対応する TX メッセージバッファの送信アボート成功状態を示します。

各ビットは､対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF ビットが 01b になると自動的に 1 になります。

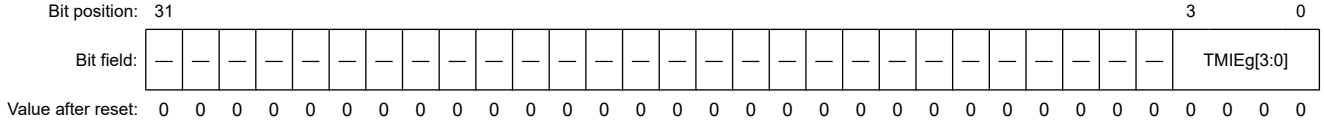
各ビットは以下の場合、自動的にクリアされます。

- 対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF ビットがクリアされたとき
- CANFD モジュールが GL_RESET モードであるとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

28.2.44 CFDTMIEC : TX メッセージバッファ割り込み許可コンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0088



ビット	シンボル	機能	R/W
3:0	TMIEg[3:0]	TX メッセージバッファ割り込み許可 0: 対応する TX メッセージバッファに対して TX メッセージバッファ割り込みを禁止 1: 対応する TX メッセージバッファに対して TX メッセージバッファ割り込みを許可	R/W
31:4	—	読むと 0 が読めます。書く場合、0 としてください。	R

これらのビットは、対応する TX メッセージバッファの TX メッセージバッファ割り込み許可を示します。
CFDTMIEC レジスタのビット 0 は TX メッセージバッファ 0 に対応します。
CFDTMIEC のビット位置は、TX メッセージバッファのバッファ番号に対応します。
g = [0…3]

TMIEg[3:0]ビット（TX メッセージバッファ割り込み許可）

TMIEg[3:0]ビットを 1 にすると、対応するメッセージバッファからの送信完了時割り込みが発生します。
TX メッセージバッファ割り込みの仕様については、「28.7. 割り込みと DMA」を参照してください。
以下のとき、TMIEg[7:0]ビットに書き込まないでください。

- CANFD モジュールが GL_SLEEP モードであるとき
- 関連する CANFD チャネルが CH_SLEEP モードであるとき
- 対応する TX メッセージバッファが TX キューの一部であるとき
- 対応する TX メッセージバッファが CFDCFCC.CFTML ビットで共通 FIFO にリンクされているとき

28.2.45 CFDTXQCC : TX キューコンフィグレーション／コントロールレジスタ

Base address: CANFD_B = 0x400B_0000
Offset address: 0x008C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TXQDC[1:0]		TXQIM	—	TXQTXIE	—	—	—	—	TXQE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TXQE	TX キュー許可 0: TX キュー禁止 1: TX キュー許可	R/W
4:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	TXQTXIE	TX キュー TX 割り込み許可 0: TX キュー TX 割り込み禁止 1: TX キュー TX 割り込み許可	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TXQIM	TX キュー割り込みモード 0: 最後のメッセージの送信に成功したとき 1: 各送信成功時	R/W

ビット	シンボル	機能	R/W
9:8	TXQDC[1:0]	TX キュー深さ構成 0x00: 0 メッセージ 0x01: 予約 0x10: 3 メッセージ 0x11: 4 メッセージ	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TX キューコンフィグレーション／コントロールレジスタは、TX キュー送信を設定するのに使用されます。

TXQE が許可に設定されているとき、TXQ は、TXMB0～TXMB3（最大）から構成されています。

TXQE ビット（TX キュー許可）

TXQE ビットは、設定されている TX キュー容量が 0x00 (CFDTXQCC.TXQDC == 0x00) の場合 1 に設定できません。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TXQE ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

TXQTXIE ビット（TX キュー TX 割り込み許可）

TXQTXIE ビットを 1 にすると、TXQIM ビットの設定に基づき割り込みが発生します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TXQIM ビット（TX キュー割り込みモード）

TXQIM ビットは、TX キューの割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが下記のモードのいずれかの場合、本ビットへ書き込みを行わないでください。

- CH_SLEEP
- CH_HALT
- CH_OPERATION

TXQDC[1:0]ビット（TX キュー深さ構成）

TXQDC[1:0]ビットは、送信キューの容量を指定します。メッセージバッファ選択は、設定容量に従って MB[0]から開始し、最高 MB[3]までです。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

関連する CANFD チャネルが下記のモードのいずれかの場合、本ビットへ書き込みを行わないでください。

- CH_SLEEP
- CH_HALT
- CH_OPERATION

28.2.46 CFDTXQSTS : TX キューステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0090

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	TXQMC[2:0]			—	—	—	—	—	TXQTXIF	TXQFLL	TXQEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	TXQEMP	TX キューエンプティ 0: TX キューはエンプティではない 1: TX キューはエンプティ	R
1	TXQFLL	TX キューフル 0: TX キューはフルではない 1: TX キューはフル	R
2	TXQTXIF	TX キュー TX 割り込みフラグ 0: フレーム送信後 TX キュー割り込み条件が不成立 1: フレーム送信後 TX キュー割り込み条件が成立	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
10:8	TXQMC[2:0]	TX キューメッセージ数 TX キュー内のメッセージ数	R
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TX キューステータスレジスタは、対応する CAN チャネルの TX キューの状態を示します。

TXQEMP ビット（TX キューエンプティ）

TXQEMP ビットは、TX キューが禁止されている、または TX キューにメッセージが格納されていない場合、自動的に 1 になります。

本ビットは以下の場合自動的に 1 になります。

- TX キューから最後のメッセージが送信されたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

本ビットは、送信対象の最初のメッセージが TX キューに格納されると自動的にクリアされます。

TXQFLL ビット（TX キューフル）

TXQFLL ビットは、TX キューに格納されている CAN メッセージ数が設定されている TX キュー容量と一致すると自動的に 1 になります。

本ビットは以下の場合自動的にクリアされます。

- TX キューに格納されている CAN メッセージ数が設定されている TX キュー容量以下になったとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

TXQTXIF ビット（TX キュー TX 割り込みフラグ）

TXQTXIF ビットは、TX キューが禁止されても自動的にクリアされません。

TX キューを停止する場合、TXQE を禁止し、TX キューがエンプティであることを確認後、本ビットをクリアしてください。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。1 の書き込みは無効です。

本ビットは、TX キューに対して設定されている割り込み条件が成立すると自動的に 1 になります。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

関連する CANFD チャネルが CH_SLEEP モードまたは CH_RESET モードの場合、本ビットへは書き込みできません。

本ビットは以下の場合クリアされます。

- 0 を書いたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

TXQMC[2:0][13:8]ビット（TX キューメッセージ数）

TXQMC[2:0]ビットは、TX キュー内の CAN メッセージの数を示します。

これらのビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

28.2.47 CFDTXQPCTR : TX キューポインタコントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0094

Bit position:	31																							7							0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQPC[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	TXQPC[7:0]	TX キューポインタコントロール 対応するチャネルの TX キューバッファへの書き込みポインタをインクリメントします。	W
31:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TX キューポインタコントロールレジスタは、対応する TX キューバッファに 1 つのメッセージ全体が格納されたことを確認するのに使用されます。

TXQPC[7:0]ビット（TX キューポインタコントロール）

値 0xFF が TXQPC[7:0]ビットに書き込まれると、対応する TX キューバッファの書き込みポインタが更新され、本メッセージに対して送信要求が起動します。

読み取り値は常に 0x00 です。DMA 有効時、FIFO コントロールレジスタに書き込まないでください。

関連する CANFD チャネルが CH_SLEEP モードまたは CH_RESET モードの場合、これらのビットへは書き込みできません。

以下の場合のみ本レジスタに 0xFF を書き込んでください。

- 対応する TX キューが許可されており、フルではないとき
- 共通 FIFO が許可されているとき

28.2.48 CFDTHLCC : TX 履歴リストコンフィグレーション／コントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0098

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	THLE	TX 履歴リスト許可 0: TX 履歴リスト禁止 1: TX 履歴リスト許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	THLIE	TX 履歴リスト割り込み許可 0: TX 履歴リスト割り込み禁止 1: TX 履歴リスト割り込み許可	R/W
9	THLIM	TX 履歴リスト割り込みモード 0: TX 履歴リストレベルが TX 履歴リスト容量の¾になると割り込み発生 1: エントリ格納に成功するたびに割り込み発生	R/W
10	THLDTE	TX 履歴リスト専用 TX 許可 0: TX FIFO + TX キュー 1: フラット TX MB + TX FIFO + TX キュー	R/W
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TX 履歴リストコンフィグレーション／コントロールレジスタは、TX 履歴リスト機能を設定します。

THLE ビット（TX 履歴リスト許可）

THLE ビットを 1 にすると、TX 履歴リストバッファが許可されます。

関連する CANFD チャネルが CH_RESET モードまたは CH_SLEEP モードの場合、本ビットへは書き込みできません。

本ビットは、関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

THLIE ビット（TX 履歴リスト割り込み許可）

THLIE ビットを 1 にすると、TX 履歴リスト割り込み発生が許可されます。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

THLIM ビット（TX 履歴リスト割り込みモード）

THLIM ビットは、FIFO の割り込み発生条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合は本ビットへの書き込みは行わないでください。

THLDTE ビット（TX 履歴リスト専用 TX 許可）

THLDTE ビットは、送信成功後 TX 履歴リストにエントリを格納する条件を選択します。

CANFD モジュールが GL_SLEEP モードの場合は本ビットへは書き込みできません。

CANFD モジュールが GL_HALT モードまたは GL_OPERATION モードの場合は本ビットへの書き込みは行わないでください。

28.2.49 CFDTHLSTS : TX 履歴リストステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x009C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	THLMC[3:0]				—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	THLEMP	TX 履歴リストがエンプティ 0: TX 履歴リストがエンプティではない 1: TX 履歴リストがエンプティ	R
1	THLFLL	TX 履歴リストがフル 0: TX 履歴リストがフルではない 1: TX 履歴リストがフル	R
2	THLELT	TX 履歴リストのエントリロスト 0: TX 履歴リストにエントリロストなし 1: TX 履歴リストにエントリロストあり	R/W
3	THLIF	TX 履歴リスト割り込みフラグ 0: TX 履歴リスト割り込み条件が不成立 1: TX 履歴リスト割り込み条件が成立	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11:8	THLMC[3:0]	TX 履歴リストメッセージ数 TX 履歴リストに格納されているメッセージ数	R
31:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TX 履歴リストステータスレジスタは、TX 履歴リストバッファに格納されているデータの状態を示します。

THLEMP ビット（TX 履歴リストがエンプティ）

THLEMP ビットは、CPU が TX 履歴リストバッファから全エントリの読み出しを完了すると自動的に 1 になります

本ビットは、最初のエントリが TX 履歴リストに格納されると自動的にクリアされます。

本ビットは以下の場合、自動的に 1 になります。

- TX 履歴リストが禁止されているとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

THLFLL ビット（TX 履歴リストがフル）

THLFLL ビットは、TX 履歴リストバッファに格納されているエントリ数が設定されている TX 履歴リスト容量と一致すると自動的に 1 になります。

各 TX 履歴リストには最大 8 個のエントリを格納できます。

本ビットは以下の場合、自動的にクリアされます。

- TX 履歴リストバッファ内のエントリ数が TX 履歴リスト容量より小さいとき
- TX 履歴リストが禁止されているとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

THLELT ビット（TX 履歴リストのエントリロスト）

THLELT ビットは、関連する TX 履歴リストバッファがすでに満杯のため新規エントリが保存できない場合 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは以下の場合、クリアされます。

- 0 を書いたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

THLIF ビット（TX 履歴リスト割り込みフラグ）

THLIF ビットは、設定されている割り込み条件が成立すると 1 になります。

関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみ本ビットへの書き込みを行ってください。1 の書き込みは無効です。

本ビットをクリアするのにビットクリア命令を使用しないでください。指定したビットのみがクリアされるように MOV 命令を使用してください。その他のビットは 1 のままです。

CAN チャネルからの 1 の設定動作と書き込みアクセスによる 0 のクリア動作が同時に生じた場合は、本ビットがセットされます。

本ビットは以下の場合、クリアされます。

- 0 を書いたとき
- 関連する CANFD チャネルが CH_RESET モードであるとき

このビットは、0 を書き込むことによってクリアされます。

本ビットは CH_RESET モードでは自動的にクリアされます。

THLMC[3:0]ビット（TX 履歴リストメッセージ数）

THLMC[3:0]ビットは、TX 履歴リストに格納された送信済みメッセージの数を示します。

これらのビットは関連する CANFD チャネルが CH_RESET モードになると自動的にクリアされます。

28.2.50 CFDTHLACC0 : TX 履歴リストアクセスレジスタ 0

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0740

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TMTS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	BN[1:0]		BT[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	BT[2:0]	バッファタイプ 0 0 1: フラット TX メッセージバッファ 0 1 0: TX FIFO メッセージバッファ番号 1 0 0: TX キューメッセージバッファ番号	R
4:3	BN[1:0]	バッファ番号 メッセージバッファ番号	R
15:5	—	読むと 0 が読めます。	R
31:16	TMTS[15:0]	送信タイムスタンプ ソフトウェアドライバの送信タイムスタンプ値	R

TX 履歴リストアクセスレジスタ 0 は、読み出したタイムスタンプ値に基づき、TX 履歴リスト内エントリへのアクセスを提供します。

BT[2:0]ビット（バッファタイプ）

BT[2:0]ビットは、FIFO バッファ、TX キューまたは TX メッセージバッファからの送信に引き続き、データが格納されたかどうかを示します。

BN[1:0]ビット（バッファ番号）

BN[1:0]ビットは、送信が成功したメッセージバッファを示します。共通 FIFO からメッセージが送信された場合、これらのビットは、送信のために共通 FIFO にリンクされているメッセージバッファを示します。

TMTS[15:0]ビット（送信タイムスタンプ）

TMTS[15:0]ビットは、ソフトウェアドライバで使用するタイムスタンプを示します。

28.2.51 CFDTHLACC1 : TX 履歴リストアクセスレジスタ 1

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0744

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TIFL[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TID[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	TID[15:0]	送信 ID これらのビットは、メッセージバッファリファレンス ID、TX FIFO リファレンス ID、または AFL ポインタフィールドがソフトウェアドライバ用に格納されたことを示します。	R
17:16	TIFL[1:0]	送信情報ラベル これらのビットは、メッセージバッファ情報ラベル、TX FIFO 情報ラベル、または AFL 情報ラベルがソフトウェアドライバ用に格納されたことを示します。	R
31:18	—	読むと 0 が読めます。	R

TX 履歴リストアクセスレジスタ 1 は、読み出したポインタ値に基づき、TX 履歴リスト内エントリへのアクセスを提供します。

TID[15:0]ビット（送信 ID）

TID[15:0]ビットは、ソフトウェアドライバがメッセージバッファリファレンス ID (CFDTMFDCTRb.TMPTR) または TX FIFO リファレンス ID (CFDCFFDCSTS.CFPTR) を使用可能かどうかを示します。

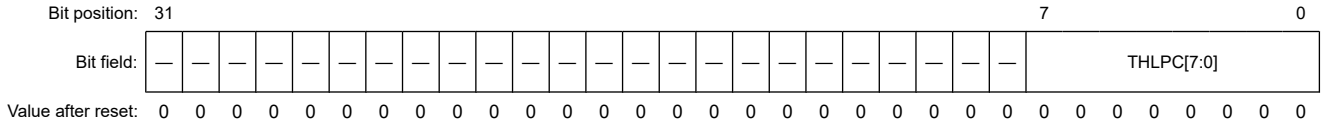
TIFL[1:0]ビット（送信情報ラベル）

TIFL[1:0]ビットは、ソフトウェアドライバがメッセージバッファ情報ラベル (CFDTMFDCTRb.TMIFL) または TX FIFO 情報ラベル (CFDCFFDCSTS.CFIFL) を使用可能かどうかを示します。

28.2.52 CFDTHLPCTR : TX 履歴リストポインタコントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00A0



ビット	シンボル	機能	R/W
7:0	THLPC[7:0]	TX 履歴リストポインタコントロール 対応するチャネルの TX 履歴リストへの書き込みポインタをインクリメントします。	W
31:8	—	書く場合、0 としてください。	W

TX 履歴リストポインタコントロールレジスタを使って、対応する TX 履歴リストの読み出しポインタをインクリメントします。

THLPC[7:0]ビット（TX 履歴リストポインタコントロール）

THLPC[7:0]ビットに 0xFF が書き込まれると、TX 履歴リストの読み出しポインタが次の TX 履歴リストエントリアドレスに移動します。

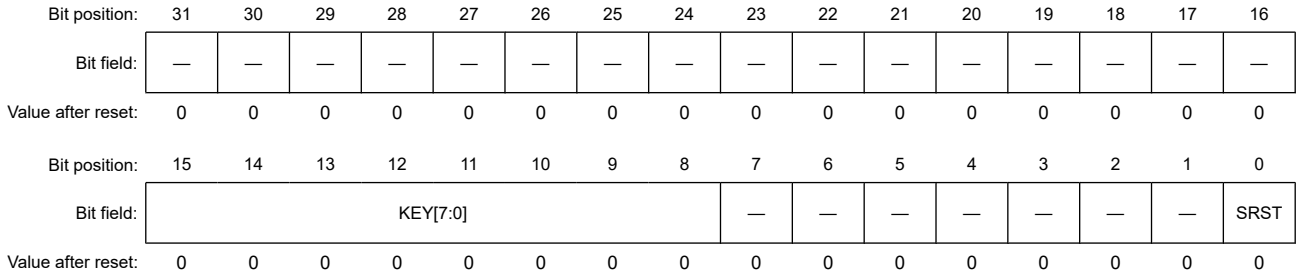
これらのビットの読み出し値は常に 0x00 です。関連する CANFD チャネルが CH_HALT モードまたは CH_OPERATION モードの場合のみこれらのビットへの書き込みを行ってください。

対応する TX 履歴リストが有効でエンプティでない場合のみ、これらのレジスタには 0xFF を書き込んでください。

28.2.53 CFDGRSTC : グローバル SW リセットレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00D8



ビット	シンボル	機能	R/W
0	SRST	SW リセット 0: 通常状態 1: SW リセット状態	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード これらのビットは SRST ビット書き換えの有効性を制御します。	W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SRST ビット（SW リセット）

SRST ビットを 1 にすると、CANFD モジュールはハードウェアリセットと同じ状態になります。リセットが必要な場合は、本ビットに 1 を書いた後 0 を書きます。

本ビットは、CANFD モジュールが GL_SLEEP モードのときクリアされます。

本ビットがクリアされると、RAM 初期化シーケンスは動作しません。RAM の設定はソフトウェアが行います。

RAM 初期化中にソフトウェアリセットが実行されると、RAM は初期化されません。ソフトウェアは、RAM の初期化を実行する必要があります。

KEY[7:0]ビット（キーコード）

0xC4 が KEY[15:8]ビットに書き込まれると、SRST ビットへの書き込みが有効になります。

読み取り値は常に 0x00 です。

CFDGRSTC.SRST ビットと CFDGRSTC.KEY ビットは同時に書いてください。

28.2.54 CFDGTSTCFG : グローバルテストコンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00A8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	RTMPS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
19:16	RTMPS[3:0]	RAM テストモードページ選択 RAM テストモードページを選択します。	R/W
31:20	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

グローバルテストコンフィグレーションレジスタは、RAM テストモードページを設定するのに使用されます。

RTMPS[3:0]ビット（RAM テストモードページ選択）

RTMPS[3:0]ビットは、CANFD モジュールが RAM テストモードに設定されているとき、CPU 読み出し／書き込みアクセスの RAM ページモードを選択します。

RAM のテストモード仕様については、「28.9.2.1. RAM テストモード」を参照してください。

CANFD モジュールが GL_RESET モードまたは GL_SLEEP モードの場合はこれらのビットへの書き込みは行わないでください。

メッセージバッファ RAM については 0～9 (0x009) の値のみを入力してください。

CANFD モジュールが GL_HALT モードの場合のみこれらのビットへの書き込みを行ってください。

これらのビットは、関連する CANFD チャネルが GL_RESET モードになると自動的にクリアされます。

28.2.55 CFDGTSTCTR : グローバルテストコントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00AC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	RTME	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2	RTME	RAM テストモード許可 0: RAM テストモード禁止 1: RAM テストモード許可	R/W
31:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

グローバルテストコントロールレジスタは、CANFD モジュールのグローバルテストモードを制御するのに使用されます。

RTME ビット（RAM テストモード許可）

RTME ビットを 1 にすると、CANFD モジュールは RAM テストモードに設定されます。RAM のテストモード仕様については、「28.9.2.1. RAM テストモード」を参照してください。

CANFD モジュールが GL_HALT モードの場合のみ本ビットへの書き込みを行ってください。

CANFD モジュールが GL_HALT モードの場合、本ビットをクリアしてください。

本ビットは、CANFD モジュールが GL_RESET モードのときに自動的にクリアされます。

28.2.56 CFDGFDCFG : グローバル FD コンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00B0

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TSCCFG[1:0]		—	—	—	—	—	—	—	RPED
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RPED	RES ビットプロトコル例外禁止 0: プロトコル例外事象検出許可 1: プロトコル例外事象検出禁止	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
9:8	TSCCFG[1:0]	タイムスタンプキャプチャ設定 0 0: SOF（フレーム先頭）のサンプルポイントでタイムスタンプキャプチャ 0 1: フレーム有効表示時タイムスタンプキャプチャ 1 0: RES ビットのサンプルポイントでタイムスタンプキャプチャ 1 1: 予約ビット	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

RPED ビット（RES ビットプロトコル例外禁止）

RPED ビットは、ISO 11898-1 に従って、プロトコル例外事象処理を設定します。

本ビットが有効に設定されていると、プロトコル例外事象検出時（RES ビットはレセシブとしてサンプリングされる）、プロトコル例外事象検出は禁止され、プロトコルコントローラはエラーフレームを送信します。

CANFD モジュールが GL_RESET モードの場合のみ本ビットへの書き込みを行ってください。

TSCCFG[1:0]ビット（タイムスタンプキャプチャ設定）

TSCCFG[1:0]ビットは、送受信に対して異なるタイムスタンプキャプチャポイントを設定します。

CFDGFDCFG.TSCCFG[1:0]が 10b のとき、RES ビットで CANFD フレームのタイムスタンプキャプチャを、そしてフレーム先頭でクラシカルフレームのタイムスタンプキャプチャを実行します。

CANFD モジュールが GL_RESET モードの場合のみこれらのビットへの書き込みを行ってください。

28.2.57 CFDGLOCKK : グローバルロックキーレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00B8

Bit position:	31															15															0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LOCK[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	LOCK[15:0]	ロックキー テストモード保護をロック解除するためのキービット	W
31:16	—	書く場合、0 としてください。	W

グローバルロックキーレジスタは、特殊なテストビットの保護をロック解除するのに使用される書き込み専用のレジスタです。

ロックキー仕様については、「28.9.2. グローバルテストモード」を参照してください。

LOCK[15:0]ビット（ロックキー）

キーロック解除シーケンスを LOCK[15:0]ビットに書き込み、CANFD モジュールを RAM テストモードに設定する必要があります。

読み取り値は常に 0x0000 です。

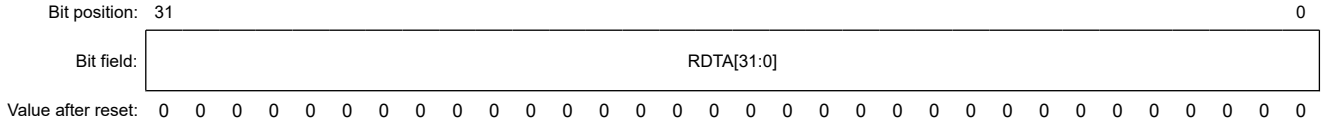
CANFD モジュールが GL_SLEEP モードまたは GL_RESET モードの場合はこれらのビットへ書き込みできません。

CANFD モジュールが GL_OPERATION モードの場合はこれらのビットへの書き込みは行わないでください。

28.2.58 CFDRPGACCk: RAM テストページアクセスレジスタ k（k = 0～63）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0280 + 0x0004 × k



ビット	シンボル	機能	R/W
31:0	RDTA[31:0]	RAM データテストアクセス RAM データバイト	R/W

RDTA[31:0]ビット（RAM データテストアクセス）

CANFD モジュールが RAM テストモードに設定されている場合、RDTA[31:0]ビットからのデータの読み出しまたは書き込みが可能です。

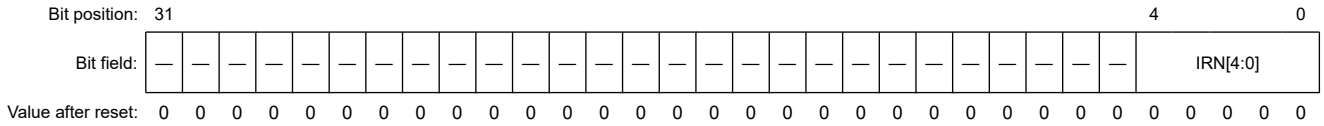
CANFD モジュールが GL_HALT モードで RAM テストモードが許可されている場合のみ本ビットへの書き込みを行ってください。

RAM テストモード時ソフトウェアは RAM テストページアクセスレジスタから読み出し／書き込みを行うものとします。

28.2.59 CFDGAFLIGNENT: グローバル AFL 無視エントリレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00C0



ビット	シンボル	機能	R/W
4:0	IRN[4:0]	イグノアルール番号 AFL エントリを無視するルール番号を定義します。	R/W
31:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

IRN[4:0]ビット（イグノアルール番号）

IRN[4:0]ビットは、AFL エントリを更新するルール番号を定義します。

入力する値は 0～31 (0x1F)（0 と 1 を含む）間の値のみとします。

CFDGAFLIGNCTR.IREN ビットが 0 の場合のみ、これらのビットに書き込んでください。

CANFD モジュールが GL_SLEEP モードの場合はこれらのビットへは書き込みできません。

28.2.60 CFDGAFLIGNCTR : グローバル AFL 無視コントロールレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x00C4

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	IREN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	IREN	無視ルール許可 0: AFL エントリ番号は無視されない 1: AFL エントリ番号は無視される	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード これらのビットは IREN ビット書き換えの有効性を制御します。	W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

IREN ビット（無視ルール許可）

IREN ビットを 1 にすると、（CFDGAFLIGNENT レジスタで選択された）エントリ番号は無視されます。

本ビットは、CANFD モジュールが GL_RESET モードのとき自動的にクリアされます。

KEY[7:0]ビット（キーコード）

0xC4 が KEY[7:0]ビットに書き込まれると、IREN ビットへの書き込みが有効になります。

読み取り値は常に 0x00 です。

CFDGAFLIGNCTR.IREN ビットと CFDGAFLIGNCTR.KEY ビットは同時に書いてください。

28.2.61 CFDRMIEC : RX メッセージバッファ割り込み許可コンフィグレーションレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0038

Bit position:	31	0
Bit field:	RMIEg[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	RMIEg[31:0]	RX メッセージバッファ割り込み許可 0: 対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを禁止 1: 対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを許可	R/W

これらのビットは、対応する RX メッセージバッファに対して RX メッセージバッファ割り込みを許可するかどうかを示します。CFDRMIEC ビット 0 は、RX メッセージバッファ 0 に対応し、順次同様に対応します。

CFDRMIEC のビット位置は、RXMB のバッファ番号に対応します。

RMIEg[31:0]ビット（RX メッセージバッファ割り込み許可）

本ビットを 1 にすると、対応するメッセージバッファからの受信完了時割り込みが発生します。

詳細は、「28.7.1. 割り込み」を参照してください。

CANFD モジュールが GL_SLEEP モードの場合は、本ビットへは書き込みできません。

28.2.62 メッセージバッファコンポーネントの構造

28.2.62.1 開始アドレス

各メッセージバッファコンポーネントの開始アドレスは、関連するメッセージバッファコンポーネント数を使って計算されます。

メッセージバッファコンポーネント内の各レジスタの開始アドレスを表 28.5 に示します。

表 28.5 メッセージバッファコンポーネントレジスタの開始アドレス (1/2)

b = メッセージバッファコンポーネントインデックス	MBCP	p	レジスタ	開始アドレス
[0…31] b = [0…7]	RMBCPb[0]	x	RMID	0x0920 + b × 0x004C
		x	RMPTR	0x0924 + b × 0x004C
		x	RMFDSTSb	0x0928 + b × 0x004C
		[1…15]	RMDFbp	0x092C + b × 0x004C + p × 0x0004
[0…31] b = [8…15]	RMBCPb[0]	x	RMIDb	0x0D20 + (b-8) × 0x004C
		x	RMPTRb	0x0D24 + (b-8) × 0x004C
		x	RMFDSTSb	0x0D28 + (b-8) × 0x004C
		[1…15]	RMDFbp	0x0D2C + (b-8) × 0x004C + p × 0x0004
[0…31] b = [16…23]	RMBCPb[0]	x	RMIDb	0x1120 + (b-16) × 0x004C
		x	RMPTRb	0x1124 + (b-16) × 0x004C
		x	RMFDSTSb	0x1128 + (b-16) × 0x004C
		[1…15]	RMDFbp	0x112C + (b-16) × 0x004C + p × 0x0004
[0…31] b = [24…31]	RMBCPb[0]	x	RMIDb	0x1520 + (b-24) × 0x004C
		x	RMPTRb	0x1524 + (b-24) × 0x004C
		x	RMFDSTSb	0x1528 + (b-24) × 0x004C
		[1…15]	RMDFbp	0x152C + (b-24) × 0x004C + p × 0x0004
[0…1]	RFMBCPb[0]	x	RFIDb	0x0520 + b × 0x004C
		x	RFPTRb	0x0524 + b × 0x004C
		x	RFFDSTSb	0x0528 + b × 0x004C
		[1…15]	RFDFbp	0x052C + b × 0x004C + p × 0x0004
[0]	CFMBCPb[0]	x	CFID	0x05B8
		x	CFPTR0	0x05BC
		x	CFFDCSTS0	0x05C0
		[1…15]	CFDFp0	0x05C4 + p × 0x0004

表 28.5 メッセージバッファコンポーネントレジスタの開始アドレス (2/2)

b = メッセージバッファコンポーネントインデックス	MBCP	p	レジスタ	開始アドレス
[0…3]	TMBCPb[0]	x	TMIDb	0x0604 + b × 0x004C
		x	TMPTRb	0x0608 + b × 0x004C
		x	TMFDCTRb	0x060C + b × 0x004C
		[1…15]	TMDFbp	0x0610 + b × 0x004C + p × 0x0004

メッセージバッファの構成は、4 種類のメッセージバッファコンポーネントで構成されます。

- RX メッセージバッファコンポーネント (CFDRMBCPb[0])
- RX FIFO アクセスメッセージバッファコンポーネント (CFDRFMBCPb[0])
- 共通 FIFO アクセスメッセージバッファコンポーネント (CFDCFMBCPb[0])
- TX メッセージバッファコンポーネント (CFDTMBCPb[0])

ここで、b はメッセージバッファコンポーネントの種類により範囲が変わるメッセージバッファコンポーネントインデックスです。

本構成の概要については、図 28.29 を参照してください。メッセージバッファ数および種類についての詳細な説明については、「28.6. FIFO バッファと通常のメッセージバッファの構成」を参照してください。

「28.2. レジスタの説明」に示すように、各メッセージバッファコンポーネントは下記のレジスタから構成されます。

- 識別子 (ID)
- ポインタ (PTR)
- データフィールド (DFp)

ここで、p はメッセージバッファコンポーネントの種類により範囲が変わるデータフィールドレジスタインデックスです。

Rc はメッセージバッファコンポーネントレジスタですが、ここで c はメッセージバッファコンポーネントの種類により範囲が変わるメッセージバッファコンポーネントレジスタインデックスです。

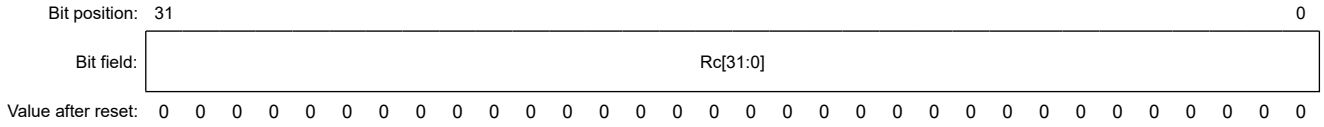
レジスタおよび関連するビットとそのアクセスの説明を、下記の概要と各コンポーネントの詳細図に示します。

各図において、'-'を含むセルは予約済みを意味し、「28.2.62. メッセージバッファコンポーネントの構造」のレジスタの予約ビットと同じ動作をします。

28.2.62.2 CFDRMBCPb[0] : RX メッセージバッファコンポーネント b（b = 0～31）

Base address: CANFD_B = 0x400B_0000

Offset address: 表 28.5 を参照



ビット	シンボル	機能	R/W
31:0	Rc[31:0]	RX メッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 28.6、表 28.7 および以下の説明を参照してください。	R/W

ここで、図 28.29 に示すように、CFDRMBCPb の合計数 = 32 です（c = RX メッセージバッファコンポーネントレジスタインデックス = [0...18]）。

Rc[31:0]ビット（RX メッセージバッファコンポーネント c）

RX メッセージバッファコンポーネントは下記のレジスタより構成されます。CFDRMIDb、CFDRMPTRb、CFDRMFDSTSb、CFDRMDFbp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 28.7 を参照してください。

表 28.6　RX メッセージバッファコンポーネントの概要

RX メッセージバッファコンポーネント (RMBCP)	
Rc	**CANFD モード (CAN_FD_MODE = 1)**
R0	RX メッセージバッファ (b) ID レジスタ
R1	RX メッセージバッファ (b) ポインタレジスタ
R2	RX メッセージバッファ (b) CANFD ステータスレジスタ
R3	RX メッセージバッファ (b) データフィールド 0 レジスタ
R4	RX メッセージバッファ (b) データフィールド 1 レジスタ
R5	RX メッセージバッファ (b) データフィールド 2 レジスタ
R6	RX メッセージバッファ (b) データフィールド 3 レジスタ
R7	RX メッセージバッファ (b) データフィールド 4 レジスタ
R8	RX メッセージバッファ (b) データフィールド 5 レジスタ
R9	RX メッセージバッファ (b) データフィールド 6 レジスタ
R10	RX メッセージバッファ (b) データフィールド 7 レジスタ
R11	RX メッセージバッファ (b) データフィールド 8 レジスタ
R12	RX メッセージバッファ (b) データフィールド 9 レジスタ
R13	RX メッセージバッファ (b) データフィールド 10 レジスタ
R14	RX メッセージバッファ (b) データフィールド 11 レジスタ
R15	RX メッセージバッファ (b) データフィールド 12 レジスタ
R16	RX メッセージバッファ (b) データフィールド 13 レジスタ
R17	RX メッセージバッファ (b) データフィールド 14 レジスタ
R18	RX メッセージバッファ (b) データフィールド 15 レジスタ
R[19...31]	—

表 28.7　RX メッセージバッファコンポーネント (RMBCP) の詳細

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDRMIDb	RMIDE	RMRTR	—	RMID																												
R1	x	CFDRMPTRb	RMDLC				—	—	—	—	—	—	—	—	—	—	—	—	RMTS															
R2	x	CFDRMFDSTSb	RMPTR																—	—	—	—	—	—	RMIFL		—	—	—	—	—	RMFDF	RMBRS	RMESI
R3	0	CFDRMDFbp	RMDB_HH										RMDB_HL						RMDB_LH								RMDB_LL							
R[4…18]	[1…15]	CFDRMDFbp	RMDB_HH										RMDB_HL						RMDB_LH								RMDB_LL							

28.2.62.3 CFDRMIDb : RX メッセージバッファ ID レジスタ（b = 0～31）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0920 + 0x004C × b (b = 0～7)
0x0D20 + 0x004C × (b - 8) (b = 8～15)
0x01120 + 0x004C × (b - 16) (b = 16～23)
0x01520 + 0x004C × (b - 24) (b = 24～31)

Bit position:	31	30	28	0
Bit field:	RMIDE	RMRTR	—	RMID[28:0]
Value after reset:	0	0	0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
28:0	RMID[28:0]	RX メッセージバッファ ID フィールド STD-ID/EXT-ID フィールド	R
29	—	読むと 0 が読めます。書く場合、0 としてください。	R
30	RMRTR	RX メッセージバッファ RTR 0: データフレーム 1: リモートフレーム	R
31	RMIDE	RX メッセージバッファ IDE 0: STD-ID が格納される 1: EXT-ID が格納される	R

RX メッセージバッファ ID レジスタ b（b = 0～31）は、受信メッセージの ID フィールド、IDE ビットおよび RTR ビットを格納します。

RMID[28:0]ビット（RX メッセージバッファ ID フィールド）

RMID[28:0]ビットは、RX メッセージバッファに格納されているメッセージの STD-ID/EXT-ID フィールドのビットです。

本バッファコンポーネントの構造の解釈方法の詳細については、「28.2.62.1. 開始アドレス」を参照してください。

RMRTR ビット（RX メッセージバッファ RTR）

RMRTR ビットは、データフレームまたはリモートフレームのいずれが RX メッセージバッファに格納されたかを示します。

注. CANFD フォーマットにはリモートフレームはありません。CANFD フレームを受信すると、レジスタは受信値（FD フレームフォーマットの RRS ビット）の状態を反映します。

RMIDE ビット（RX メッセージバッファ IDE）

RMIDE ビットは、標準 ID または拡張 ID のメッセージのいずれが RX メッセージバッファに格納されたかを示します。

28.2.62.4 CFDRMPTRb : RX メッセージバッファポインタレジスタ（b = 0～31）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0924 + 0x004C × b (b = 0～7)
0x0D24 + 0x004C × (b - 8) (b = 8～15)
0x01124 + 0x004C × (b - 16) (b = 16～23)
0x01524 + 0x004C × (b - 24) (b = 24～31)

Bit position:	31	28	15	0
Bit field:	RMDLC[3:0]	— — — — — — — — — — — —		RMTS[15:0]
Value after reset:	0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0		0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
15:0	RMTS[15:0]	RX メッセージバッファタイムスタンプフィールド RX メッセージバッファ内のメッセージ用に格納されたタイムスタンプ値	R
27:16	—	読むと 0 が読めます。書く場合、0 としてください。	R
31:28	RMDLC[3:0]	RX メッセージバッファ DLC フィールド CAN フレームで受信されたデータバイト数	R

RX メッセージバッファポインタレジスタ b（b = 0～31）は、受信メッセージの DLC およびタイムスタンプフィールドを格納します。

RMTS[15:0]ビット（RX メッセージバッファタイムスタンプフィールド）

RMTS[15:0]ビットは、受信メッセージの CFDGFDCFG.TSCCFG により設定されたキャプチャポイントで取得されたタイムスタンプ値を格納します。

RMDLC[3:0]ビット（RX メッセージバッファ DLC フィールド）

RMDLC[3:0]ビットは、RX メッセージバッファで受信されたデータバイト数を格納します。

受信データバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

注. バッファの最大容量は CFDRMNB.RMPLS に属します。これは、クラシカル CAN 機能では使用できません。

28.2.62.5 CFDRMFDSTSb : RX メッセージバッファ CANFD ステータスレジスタ（b = 0～31）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0928 + 0x004C × b (b = 0～7)
0x0D28 + 0x004C × (b - 8) (b = 8～15)
0x01128 + 0x004C × (b - 16) (b = 16～23)
0x01528 + 0x004C × (b - 24) (b = 24～31)

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	RMPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	RMIFL[1:0]		—	—	—	—	—	RMFDF	RMBRS	RMESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RMESI(注1)	エラー状態表示 0: エラーアクティブノードから受信した CANFD フレーム 1: エラーパッシブノードから受信した CANFD フレーム	R
1	RMBRS(注1)	ビットレートスイッチ 0: ビットレートスイッチなしで受信した CANFD フレーム 1: ビットレートスイッチ付きで受信した CANFD フレーム	R
2	RMFDF(注1)	CAN-FD フォーマット 0: 非 CANFD フレーム受信 1: CANFD フレーム受信	R
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R
9:8	RMIFL[1:0]	RX メッセージバッファ情報ラベルフィールド	R
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R
31:16	RMPTR[15:0]	RX メッセージバッファポインタフィールド	R

注 1. このビットは、クラシカル CAN 機能では使用できません。

RX メッセージバッファ CANFD ステータスレジスタ b（b = 0～31）は、受信した CANFD フレームの FDF ビット、BRS ビット、ESI ビットの状態およびポインタを示します。

RMESI ビット（エラー状態表示）

RMESI ビットは受信した CANFD フレームの ESI ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RMBRS ビット（ビットレートスイッチ）

RMBRS ビットは受信した CANFD フレームの BRS ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RMFDF ビット（CAN-FD フォーマット）

RMFDF ビットは受信した CANFD フレームの FDF ビットと同じ値になります。

注. このビットは、クラシカル CAN 機能では使用できません。

RMIFL[1:0]ビット（RX メッセージバッファ情報ラベルフィールド）

RMIFL[1:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値を格納します。

RMPTR[15:0]ビット（RX メッセージバッファポインタフィールド）

RMPTR[15:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリのポインタ値を格納します。

28.2.62.6 CFDRMDFb_p : RX メッセージバッファデータフィールド p レジスタ (p = 0～15, b = 0～31)

Base address: CANFD_B = 0x400B_0000

Offset address: 0x092C + 0x004C × b + 0x0004 × p (b = 0～7, p = 0～15)
0x0D2C + 0x004C × (b - 8) + 0x0004 × p (b = 8～15, p = 0～15)
0x0112C + 0x004C × (b - 16) + 0x0004 × p (b = 16～23, p = 0～15)
0x0152C + 0x004C × (b - 24) + 0x0004 × p (b = 24～31, p = 0～15)

Bit position:	31 … 24	23 … 16	15 … 8	7 … 0
Bit field:	RMDB_HH[7:0]	RMDB_HL[7:0]	RMDB_LH[7:0]	RMDB_LL[7:0]
Value after reset:	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	RMDB_LL[7:0]	RX メッセージバッファデータバイト (p × 4)	R
15:8	RMDB_LH[7:0]	RX メッセージバッファデータバイト ((p × 4) + 1)	R
23:16	RMDB_HL[7:0]	RX メッセージバッファデータバイト ((p × 4) + 2)	R
31:24	RMDB_HH[7:0](注1)	RX メッセージバッファデータバイト ((p × 4) + 3)	R

注 1. これらのビットは、クラシカル CAN 機能では使用できません。

RX メッセージバッファデータフィールド p レジスタ b (p = 0～15, b = 0～31) は、受信メッセージのデータバイト (p × 4) ～データバイト ((p × 4) + 3) を格納します。

RMDB_LL[7:0]ビット（RX メッセージバッファデータバイト (p × 4)）

RMDB_LL[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト (p × 4) を格納します。

未使用データバイトは 0x00 で埋められます。

RMDB_LH[7:0]ビット（RX メッセージバッファデータバイト ((p × 4) + 1)）

RMDB_LH[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 1) を格納します。

未使用データバイトは 0x00 で埋められます。

RMDB_HL[7:0]ビット（RX メッセージバッファデータバイト ((p × 4) + 2)）

RMDB_HL[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 2) を格納します。未使用データバイトは 0x00 で埋められます。

RMDB_HH[7:0]ビット（RX メッセージバッファデータバイト ((p × 4) + 3)）

RMDB_HH[7:0]ビットは、RX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 3) を格納します。未使用データバイトは 0x00 で埋められます。

28.2.62.7 CFDRFMBCPb[0] : RX FIFO アクセスメッセージバッファコンポーネント b (b = 0～1)

Base address: CANFD_B = 0x400B_0000

Offset address: 表 28.5 を参照

Bit position:	31																												0
Bit field:	Rc[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	RX FIFO アクセスメッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 28.8、表 28.9 および以下の説明を参照してください。	R

ここで、図 28.29 に示すように、CFDRFMBCPb の合計数 = 2 です（c = RX FIFO アクセスメッセージバッファコンポーネントレジスタインデックス = [0...18]）。

Rc[31:0]ビット（RX FIFO アクセスメッセージバッファコンポーネント c）

RX FIFO アクセスメッセージバッファコンポーネントは下記のレジスタから構成されます。

- CFDRFIDb
- CFDRFPTRb
- CFDRFFDSTSb
- CFDRFDFbp

本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 28.9 を参照してください。

表 28.8 RX FIFO アクセスメッセージバッファコンポーネントの概要 (1/2)

Rc	
R0	RX FIFO アクセス ID レジスタ
R1	RX FIFO アクセスポインタレジスタ
R2	RX FIFO アクセス CANFD ステータスレジスタ
R3	RX FIFO アクセスデータフィールド 0 レジスタ
R4	RX FIFO アクセスデータフィールド 1 レジスタ
R5	RX FIFO アクセスデータフィールド 2 レジスタ
R6	RX FIFO アクセスデータフィールド 3 レジスタ
R7	RX FIFO アクセスデータフィールド 4 レジスタ
R8	RX FIFO アクセスデータフィールド 5 レジスタ
R9	RX FIFO アクセスデータフィールド 6 レジスタ
R10	RX FIFO アクセスデータフィールド 7 レジスタ

表 28.8 RX FIFO アクセスメッセージバッファコンポーネントの概要 (2/2)

Rc	
R11	RX FIFO アクセスデータフィールド 8 レジスタ
R12	RX FIFO アクセスデータフィールド 9 レジスタ
R13	RX FIFO アクセスデータフィールド 10 レジスタ
R14	RX FIFO アクセスデータフィールド 11 レジスタ
R15	RX FIFO アクセスデータフィールド 12 レジスタ
R16	RX FIFO アクセスデータフィールド 13 レジスタ
R17	RX FIFO アクセスデータフィールド 14 レジスタ
R18	RX FIFO アクセスデータフィールド 15 レジスタ
R[19...31]	—

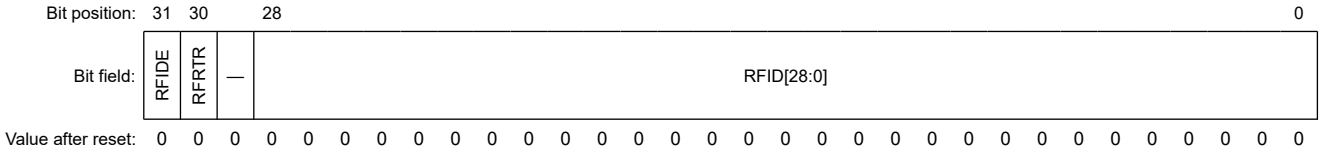
表 28.9 RX メッセージバッファコンポーネント (RMBCP) の詳細

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDRMIDb	RMIDE	RMRTR	—	RMID																												
R1	x	CFDRMPTRb	RMDLC				—	—	—	—	—	—	—	—	—	—	—	—	RMTS															
R2	x	CFDRMFDSTSb	RMPTR																—	—	—	—	—	—	RMIFL		—	—	—	—	—	RMFDF	RMBRS	RMESI
R3	0	CFDRMDFbp	RMDB_HH								RMDB_HL								RMDB_LH								RMDB_LL							
R[4…18]	[1…15]	CFDRMDFbp	RMDB_HH								RMDB_HL								RMDB_LH								RMDB_LL							

28.2.62.8 CFDRFIDb : RX FIFO アクセス ID レジスタ b（b = 0, 1）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0520 + 0x004C × b



ビット	シンボル	機能	R/W
28:0	RFID[28:0]	RX FIFO バッファ ID フィールド STD-ID/EXT-ID フィールド	R
29	—	読むと 0 が読めます。	R
30	RFRTR	RX FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム	R
31	RFIDE	RX FIFO バッファ IDE ビット 0: STD-ID が受信された 1: EXT-ID が受信された	R

RX FIFO アクセス ID レジスタ b（b = 0, 1）は、メッセージの ID フィールド、IDE ビットおよび RTR ビットを格納します。

RFID[28:0]ビット（RX FIFO バッファ ID フィールド）

RFID[28:0]ビットは、FIFO バッファにあるメッセージの STD-ID/EXT-ID フィールドのビットです。

標準フレームフォーマットおよび拡張フレームフォーマットにおけるビットアライメントについては、ID ビットアライメントを参照してください。

RFRTR ビット（RX FIFO バッファ RTR ビット）

RFRTR ビットは、データフレームまたはリモートフレームのいずれが FIFO バッファに格納されたかを示します。

注. CANFD フォーマットにはリモートフレームはありません。CANFD フレームを受信すると、レジスタは、受信値（FD フレームフォーマットの RRS ビット）の状態を反映します。

RFIDE ビット（RX FIFO バッファ IDE ビット）

RFIDE ビットは、標準 ID または拡張 ID のメッセージのいずれが FIFO バッファに受信されたかを示します。

28.2.62.9 CFDRFPTRb : RX FIFO アクセスポインタレジスタ b（b = 0、1）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0524 + 0x004C × b

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	RFDLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—	RFTS[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	RFTS[15:0]	RX FIFO タイムスタンプ値 受信した CAN フレームのタイムスタンプ値	R
27:16	—	読むと 0 が読めます。	R
31:28	RFDLC[3:0]	RX FIFO バッファ DLC フィールド CAN フレームで受信されたデータバイト数	R

FIFO アクセスポインタレジスタ b（b = 0、1）は、受信メッセージの DLC およびタイムスタンプフィールドを格納します。

RFTS[15:0]ビット（RX FIFO タイムスタンプ値）

RFTS[15:0]ビットは、受信メッセージの CFDGFDCFG.TSCCFG ビットにより設定されたキャプチャポイントで取得されたタイムスタンプ値を格納します。

RFDLC[3:0]ビット（RX FIFO バッファ DLC フィールド）

RFDLC[3:0]ビットは、RX FIFO バッファで受信されたデータバイト数を格納します。

受信データバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

28.2.62.10 CFDRFFDSTSb : RX FIFO アクセス CANFD ステータスレジスタ b（b = 0、1）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0528 + 0x004C × b

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	CFDRFPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	RFIFL[1:0]		—	—	—	—	—	RFFDF	RFBRS	RFESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFESI(注1)	エラー状態表示 0: エラーアクティブノードから受信した CANFD フレーム 1: エラーパッシブノードから受信した CANFD フレーム	R
1	RFBRS(注1)	ビットレートスイッチ 0: ビットレートスイッチなしで受信した CANFD フレーム 1: ビットレートスイッチ付きで受信した CANFD フレーム	R
2	RFFDF(注1)	CAN FD フォーマット 0: 非 CANFD フレーム受信 1: CANFD フレーム受信	R
7:3	—	読むと 0 が読めます。	R
9:8	RFIFL[1:0]	RX FIFO バッファ情報ラベルフィールド	R
15:10	—	読むと 0 が読めます。	R
31:16	CFDRFPTR[15:0]	RX FIFO バッファポインタフィールド	R

注 1. このビットは、クラシカル CAN 機能では使用できません。

RX FIFO アクセス CANFD ステータスレジスタ b（b = 0、1） は、受信した CANFD フレームのポインタを含めて、FDF ビット、BRS ビット、ESI ビットの状態を示します。

RFESI ビット（エラー状態表示）

RFESI ビットは受信した CANFD フレームの ESI ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RFBRS ビット（ビットレートスイッチ）

RFBRS ビットは受信した CANFD フレームの BRS ビットと同じ値になります。

受信した FDF ビットが 0 のとき、CAN2.0 フレームが受信されたことを意味し、本ビットに 0 が格納されます。

注. このビットは、クラシカル CAN 機能では使用できません。

RFFDF ビット（CAN FD フォーマット）

RFFDF ビットは受信した CANFD フレームの FDF ビットと同じ値になります。

注. このビットは、クラシカル CAN 機能では使用できません。

RFIFL[1:0]ビット（RX FIFO バッファ情報ラベルフィールド）

RFIFL[1:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値を格納します。

CFDRFPTR[15:0]ビット（RX FIFO バッファポインタフィールド）

CFDRFPTR[15:0]ビットは、関連するグローバルアクセプタンスフィルタリストエントリのポインタ値を格納します。

28.2.62.11 CFDRFDFb_p : RX FIFO アクセスデータフィールド p レジスタ b (p = 0～15, b = 0, 1)

Base address: CANFD_B = 0x400B_0000

Offset address: 0x052C + 0x004 × p + 0x04C × b

Bit position:	31								24	23							16	15							8	7							0
Bit field:	RFDB_HH[7:0]									RFDB_HL[7:0]								RFDB_LH[7:0]								RFDB_LL[7:0]							
Value after reset:	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	RFDB_LL[7:0]	RX FIFO バッファデータバイト (p × 4)	R
15:8	RFDB_LH[7:0]	RX FIFO バッファデータバイト ((p × 4) + 1)	R
23:16	RFDB_HL[7:0]	RX FIFO バッファデータバイト ((p × 4) + 2)	R
31:24	RFDB_HH[7:0]	RX FIFO バッファデータバイト ((p × 4) + 3)	R

28.2.62.12 CFDCFMBCP0[0] : 共通 FIFO アクセスメッセージバッファコンポーネント

Base address: CANFD_B = 0x400B_0000

Offset address: 表 28.5 を参照

Bit position:	31																															0
Bit field:	Rc[31:0]																															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	共通 FIFO アクセスメッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 28.10、表 28.11、および以下の説明を参照してください。	R

ここで、図 28.29 に示すように CFDCFMBCP0 の合計数 = 1（c = 共通 FIFO メッセージバッファコンポーネントレジスタインデックス = [0…18]）

Rc[31:0]ビット（共通 FIFO アクセスメッセージバッファコンポーネント c）

共通 FIFO アクセスメッセージバッファコンポーネントは次のレジスタより構成されます：CFDCFID、CFDCFPTR、CFFDSTS0、および CFDCFDFp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 28.11 を参照してください。

表 28.10 共通 FIFO アクセスメッセージバッファコンポーネントの概要 (1/2)

共通 FIFO アクセスメッセージバッファコンポーネント (CFMBCP)	
Rc	**CANFD モード (CAN_FD_MODE = 1)**
R0	共通 FIFO アクセス ID レジスタ
R1	共通 FIFO アクセスポインタレジスタ
R2	共通 FIFO アクセス CANFD ステータスレジスタ
R3	共通 FIFO アクセスデータフィールド 0 レジスタ
R4	共通 FIFO アクセスデータフィールド 1 レジスタ

表 28.10　共通 FIFO アクセスメッセージバッファコンポーネントの概要 (2/2)

共通 FIFO アクセスメッセージバッファコンポーネント (CFMBCP)	
Rc	**CANFD モード (CAN_FD_MODE = 1)**
R5	共通 FIFO アクセスデータフィールド 2 レジスタ
R6	共通 FIFO アクセスデータフィールド 3 レジスタ
R7	共通 FIFO アクセスデータフィールド 4 レジスタ
R8	共通 FIFO アクセスデータフィールド 5 レジスタ
R9	共通 FIFO アクセスデータフィールド 6 レジスタ
R10	共通 FIFO アクセスデータフィールド 7 レジスタ
R11	共通 FIFO アクセスデータフィールド 8 レジスタ
R12	共通 FIFO アクセスデータフィールド 9 レジスタ
R13	共通 FIFO アクセスデータフィールド 10 レジスタ
R14	共通 FIFO アクセスデータフィールド 11 レジスタ
R15	共通 FIFO アクセスデータフィールド 12 レジスタ
R16	共通 FIFO アクセスデータフィールド 13 レジスタ
R17	共通 FIFO アクセスデータフィールド 14 レジスタ
R18	共通 FIFO アクセスデータフィールド 15 レジスタ
R[19...31]	—

表 28.11　共通 FIFO アクセスメッセージバッファコンポーネント (CFMBCP) の詳細

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDCFID	CFIDE	CFRTR	THLEN	CFID																												
R1	x	CFDCFPTR	CFDLC				—	—	—	—	—	—	—	—	—	—	—	—	CFTS															
R2	x	CFDCFFDCSTS	CFPTR																—	—	—	—	—	—	CFIFL		—	—	—	—	—	CFFDF	CFBRS	CFESI
R3	0	CFDCFDFp	CFDB_HH																CFDB_LH								CFDB_LL							
R[4...18]	[1...15]	CFDCFDFp	CFDB_HH																CFDB_LH								CFDB_LL							
R[19...31]	x	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

28.2.62.13　CFDCFID : 共通 FIFO アクセス ID レジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x05B8

Bit position:	31	30	29	28																												0
Bit field:	CFIDE	CFRTR	THLEN	CFID[28:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	CFID[28:0]	共通 FIFO バッファ ID フィールド STD-ID/EXT-ID フィールド	R/W
29	THLEN	THL エントリ許可 TX FIFO モード : 0: TX 成功後エントリを THL に格納しない 1: TX 成功後エントリを THL に格納する RX FIFO モード : 予約ビット。読むと 0 が読めます。	R/W
30	CFRTR	共通 FIFO バッファ RTR ビット 0: データフレーム 1: リモートフレーム	R/W
31	CFIDE	共通 FIFO バッファ IDE ビット 0: STD-ID を送信予定あるいは受信済み 1: EXT-ID を送信予定あるいは受信済み	R/W

共通 FIFO アクセス ID レジスタは、メッセージの ID フィールド、IDE ビット、および RTR ビットを格納します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFID[28:0]ビット（共通 FIFO バッファ ID フィールド）

これらのビットは、FIFO バッファにあるメッセージの STD-ID/EXT-ID フィールドのビットです。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

THLEN ビット（THL エントリ許可）

このビットは、送信成功後、TX 履歴リストにある送信メッセージに対応するエントリの格納を制御します。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFRTR ビット（共通 FIFO バッファ RTR ビット）

このビットは、データフレームまたはリモートフレームを FIFO バッファから送信するのか、または FIFO バッファに受信したのかを示します。

注.CANFD フォーマットにはリモートフレームはありません。CANFD フレームを受信すると（RX モード）、レジスタは受信値（FD フレームフォーマットの RRS ビット）の状態を反映します。CANFD 送信時（TX モード、CFDCFID.CFFDF = 1）、本ビットは常にドミナント（データフレーム）として送信されます。

TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFIDE ビット（共通 FIFO バッファ IDE ビット）

このビットは、EXT-ID または STD-ID のメッセージを FIFO バッファから送信するのか、または FIFO バッファに受信したのかを示します。

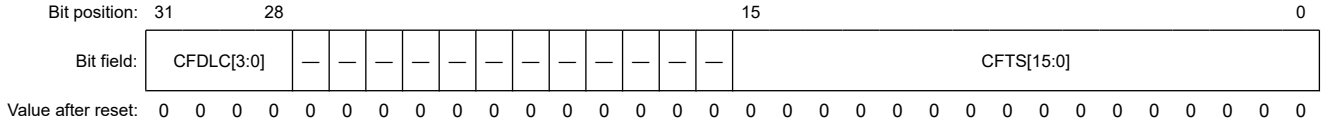
TX モードでは、FIFO バッファに対して書き込みおよび読み出しが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

28.2.62.14 CFDCFPTR : 共通 FIFO アクセスポインタレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x05BC



ビット	シンボル	機能	R/W
15:0	CFTS[15:0]	共通 FIFO タイムスタンプ値 受信した CAN フレームのタイムスタンプ値（FIFO は RX モード）	R/W
27:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:28	CFDLC[3:0]	共通 FIFO バッファ DLC フィールド CAN フレームで受信された、または CAN フレームで送信されるデータバイト数	R/W

共通 FIFO アクセスポインタレジスタは、DLC およびタイムスタンプフィールドを格納します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO バッファからデータを読み出し可能です。

CFTS[15:0]ビット（共通 FIFO タイムスタンプ値）

CFTS[15:0]ビットは、受信メッセージの CFDGFDCFG.TSCCFG ビットにより設定されたキャプチャポイントで取得されたタイムスタンプ値を格納します（FIFO が RX モードに設定されている場合）。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFDLC[3:0]ビット（共通 FIFO バッファ DLC フィールド）

CFDLC[3:0]ビットは、FIFO バッファで受信された、または送信予定のデータバイト数を格納します。

データバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

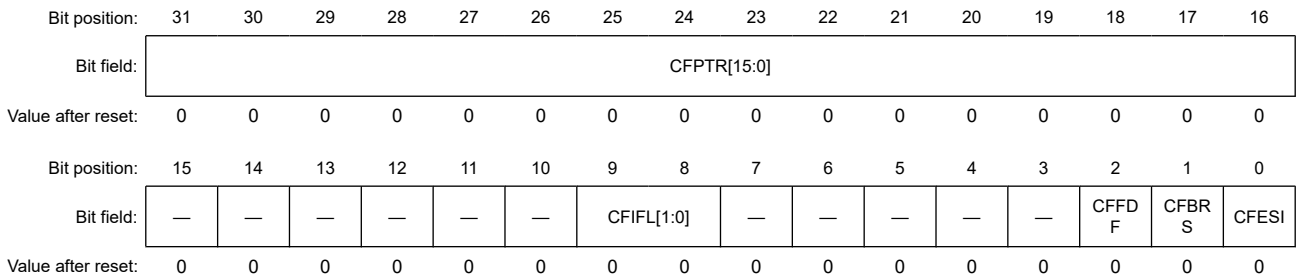
TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。TX モードに設定時、FIFO 内の他のエントリ用のデータを読み出さないでください。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

28.2.62.15 CFDCFFDCSTS : 共通 FIFO アクセス CANFD コントロール／ステータスレジスタ

Base address: CANFD_B = 0x400B_0000

Offset address: 0x05C0



ビット	シンボル	機能	R/W
0	CFESI(注1)	エラー状態表示ビット 0: エラーアクティブノードにより受信または送信する CANFD フレーム 1: エラーパッシブノードにより受信または送信する CANFD フレーム	R/W

ビット	シンボル	機能	R/W
1	CFBRS(注1)	ビットレートスイッチビット 0: ビットレートスイッチなしで受信または送信する CANFD フレーム 1: ビットレートスイッチ付きで受信または送信する CANFD フレーム	R/W
2	CFFDF(注1)	CAN FD フォーマットビット 0: 非 CANFD フレーム受信または送信 1: CANFD フレーム受信または送信	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	CFIFL[1:0]	共通 FIFO バッファ情報ラベルフィールド	R/W
15:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31:16	CFPTR[15:0]	共通 FIFO バッファポインタフィールド	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

共通 FIFO アクセス CANFD コントロール／ステータスレジスタは、受信したまたは送信する CANFD フレームのポインタを含めて、FDF ビット、BRS ビット、ESI ビットの状態を示します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFESI ビット（エラー状態表示ビット）

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードでは、CANFD モジュールがエラーパッシブでない場合、CFESI ビットは書き込み値と等しくなります。CANFD モジュールがエラーパッシブの場合、本ビットは Don't care ビットとなり、CAN バス上を 1（エラーパッシブノードであることを示す）として送信されます。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CANFD フレームを受信すると、CFESI ビットは CANFD フレームの ESI ビット値で更新され、送信ノードのエラー状態を示します。RX モード時、受信した FDF ビットが 0 の場合本ビットに 0 が格納され、これは CAN 2.0 フレームが受信されたことを意味します。

注. このビットは、クラシカル CAN 機能では使用できません。

CFBRS ビット（ビットレートスイッチビット）

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードで CANFD モジュールは、0 を送信しフレーム内でビットレートスイッチは送信されないことを示すか、または 1 を送信しフレーム内でビットレートスイッチを送信することを示します。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CANFD フレームを受信すると、CFBRS ビットは CANFD フレームの BRS ビット値で更新され、ビットレートスイッチの (1) または (0) のいずれが存在するか示します。

RX モード時、受信した FDF ビットが 0 の場合は CFBRS ビットに 0 が格納され、これは CAN 2.0 フレームが受信されたことを意味します。

注. このビットは、クラシカル CAN 機能では使用できません。

CFFDF ビット（CAN FD フォーマットビット）

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。本モードで CANFD モジュールは、0 を送信し CAN 2.0 フレームが送信されることを示すか、または 1 を送信し CANFD フレームが送信されることを示します。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モード時、CAN フレームを受信すると、CFFDF ビットは CAN フレームの FDF ビット値で更新され、それが CAN 2.0 フレーム (0) であるか CANFD フレーム (1) であるかを示します。

注. このビットは、クラシカル CAN 機能では使用できません。

CFIFL[1:0]ビット（共通 FIFO バッファ情報ラベルフィールド）

共通 FIFO が TX モードに設定されている場合、メッセージ送信成功後、CFDCFFDCSTS.CFIFL[1:0]に書かれている値が追加のメッセージ情報と一緒に TX 履歴リストに格納されます。

関連するグローバルアクセプタンスフィルタリストエントリの情報ラベル値がこれらのビットに格納されます（FIFO が RX モードに設定時）。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

CFPTR[15:0]ビット（共通 FIFO バッファポインタフィールド）

共通 FIFO が TX モードに設定されている場合、メッセージ送信成功後、CFDCFFDCSTS.CFPTR[15:0]に書かれている値が追加のメッセージ情報と一緒に TX 履歴リストに格納されます。

関連するグローバルアクセプタンスフィルタリストエントリのポインタ値がこれらのビットに格納されます（FIFO が RX モードに設定時）。

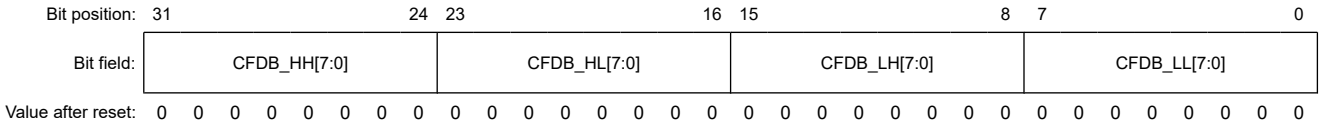
TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

28.2.62.16 CFDCFDFp : 共通 FIFO アクセスデータフィールド p レジスタ（p = 0～15）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x05C4 + 0x004 × p



ビット	シンボル	機能	R/W
7:0	CFDB_LL[7:0]	共通 FIFO バッファデータバイト (p * 4)	R/W
15:8	CFDB_LH[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 1)	R/W
23:16	CFDB_HL[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 2)	R/W
31:24	CFDB_HH[7:0]	共通 FIFO バッファデータバイト ((p * 4) + 3)	R/W

FIFO アクセスデータフィールド p レジスタ（p = 0～15）は、メッセージのデータバイト (p * 4) ～データバイト ((p * 4) + 3) を格納します。

TX モードでは、書き込みポインタ値に基づき、（他のエントリではなく）現在のエントリに対してのみ FIFO からデータを読み出し可能です。

CFDB_LL[7:0]ビット（共通 FIFO バッファデータバイト (p * 4)）

CFDB_LL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト (p * 4) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_LH[7:0]ビット（共通 FIFO バッファデータバイト ((p * 4) + 1)）

CFDB_LH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 1) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_HL[7:0]ビット（共通 FIFO バッファデータバイト ((p * 4) + 2)）

CFDB_HL[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 2) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

CFDB_HH[7:0]ビット（共通 FIFO バッファデータバイト ((p * 4) + 3)）

CFDB_HH[7:0]ビットは、FIFO バッファにあるメッセージのデータバイト ((p * 4) + 3) を格納します。

TX モードでは、FIFO バッファに対して読み出しおよび書き込みが可能です。

RX モードでは、FIFO バッファからデータの読み出しのみが可能です。

RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。(注1)

注 1. RX モードでは、未使用データバイトは、CFDCFCC.CFPLS で設定されたデータペイロードサイズに従って、0x00 で埋められます。これは、クラシカル CAN 機能にはない CANFD 機能です。

28.2.62.17 CFDTMBCPb[0] : Tx メッセージバッファコンポーネント b（b = 0～3）

Base address: CANFD_B = 0x400B_0000

Offset address: 表 28.5 を参照

Bit position:	31																												0
Bit field:	Rc[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	Rc[31:0]	TX メッセージバッファコンポーネント c 本メッセージバッファコンポーネント内に含まれる各レジスタとその関連するビットの詳細については、表 28.12、表 28.13 および以下の説明を参照してください。	R

ここで、図 28.29 に示すように、CFDTMBCPn の合計数 = 4 です（c = TX メッセージバッファコンポーネントレジスタインデックス = [0...18]）。

Rc[31:0]ビット（TX メッセージバッファコンポーネント c）

TX メッセージバッファコンポーネント c

TX メッセージバッファコンポーネントは下記のレジスタより構成されます。CFDTMIDb、CFDTMPTRb、CFDTMFDCTRb、および CFDTMDFbp。本バッファコンポーネントの構造の解釈方法およびそれぞれのレジスタへのアクセス方法の詳細については、表 28.13 を参照してください。

表 28.12 TX メッセージバッファコンポーネントの概要 (1/2)

TX メッセージバッファコンポーネント (TMBCP)	
Rc	**CANFD モード (CAN_FD_MODE = 1)**
R0	TX メッセージバッファ (b) ID レジスタ CHn
R1	TX メッセージバッファ (b) ポインタレジスタ CHn
R2	TX メッセージバッファ (b) CANFD ステータスレジスタ CHn
R3	TX メッセージバッファ (b) データフィールド 0 レジスタ CHn
R4	TX メッセージバッファ (b) データフィールド 1 レジスタ CHn
R5	TX メッセージバッファ (b) データフィールド 2 レジスタ CHn
R6	TX メッセージバッファ (b) データフィールド 3 レジスタ CHn

表 28.12　TX メッセージバッファコンポーネントの概要 (2/2)

TX メッセージバッファコンポーネント (TMBCP)	
Rc	**CANFD モード (CAN_FD_MODE = 1)**
R7	TX メッセージバッファ (b) データフィールド 4 レジスタ CHn
R8	TX メッセージバッファ (b) データフィールド 5 レジスタ CHn
R9	TX メッセージバッファ (b) データフィールド 6 レジスタ CHn
R10	TX メッセージバッファ (b) データフィールド 7 レジスタ CHn
R11	TX メッセージバッファ (b) データフィールド 8 レジスタ CHn
R12	TX メッセージバッファ (b) データフィールド 9 レジスタ CHn
R13	TX メッセージバッファ (b) データフィールド 10 レジスタ CHn
R14	TX メッセージバッファ (b) データフィールド 11 レジスタ CHn
R15	TX メッセージバッファ (b) データフィールド 12 レジスタ CHn
R16	TX メッセージバッファ (b) データフィールド 13 レジスタ CHn
R17	TX メッセージバッファ (b) データフィールド 14 レジスタ CHn
R18	TX メッセージバッファ (b) データフィールド 15 レジスタ CHn
R[19...31]	—

表 28.13　TX メッセージバッファコンポーネント (TMBCP) の詳細

Rc	p	シンボル	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	x	CFDTMIDb	TMIDE	TMRTR	THLEN	TMID																												
R1	x	CFDTMPTRb	TMDLC				—	—	—	—	—	—	—	—	—	—	—	—	CFTS															
R2	x	CFDTMFDCTRb	TMPTR																—	—	—	—	—	—	TMIFL		—	—	—	—	—	TMFDF	TMBRS	TMESI
R3	0	CFDTMDFbp	TMDB_HH								TMDB_HL								TMDB_LH								TMDB_LL						
R[4...18]	[1...15]	CFDTMDFbp	TMDB_HH								TMDB_HL								TMDB_LH								TMDB_LL						

28.2.62.18　CFDTMIDb : TX メッセージバッファ ID レジスタ（b = 0〜3）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0604 + 0x004C × b

Bit position:	31	30	29	28																												0
Bit field:	TMIDE	TMRTR	THLEN	TMID[28:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
28:0	TMID[28:0]	TX メッセージバッファ ID フィールド STD-ID/EXT-ID フィールド	R/W

ビット	シンボル	機能	R/W
29	THLEN	Tx 履歴リストエントリ 0: TX 成功後エントリを THL に格納しない 1: TX 成功後エントリを THL に格納する	R/W
30	TMRTR	TX メッセージバッファ RTR 0: データフレーム 1: リモートフレーム	R/W
31	TMIDE	TX メッセージバッファ IDE 0: STD-ID が送信される 1: EXT-ID が送信される	R/W

各 TX メッセージバッファ ID レジスタ b（b = 0～3）は、関連するバッファから送信するメッセージの ID、IDE、RTR の各フィールドおよび履歴構成を格納するのに使用されます。

TMID[28:0]ビット（TX メッセージバッファ ID フィールド）

TMID[28:0]ビットは、本 TX メッセージバッファに格納されているメッセージの STD-ID/EXT-ID フィールドのビットです。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

THLEN ビット（Tx 履歴リストエントリ）

THLEN ビットは、送信成功後、TX 履歴リストにある送信メッセージに対応するエントリの格納を制御します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMRTR ビット（TX メッセージバッファ RTR）

TMRTR ビットは、本 TX メッセージバッファからデータフレームを送信するのかまたはリモートフレームを送信するのかを選択します。

注. CANFD フォーマットにはリモートフレームはありません。CANFD 送信時 (CFDTMFDCTRb.CFFDF = 1)、本ビットは常にドミナント（データフレーム）として送信されます。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMIDE ビット（TX メッセージバッファ IDE）

TMIDE ビットは、本 TX バッファから EXT-ID 付きのメッセージを送信するのかまたは STD-ID 付きのメッセージを送信するのかを選択します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

28.2.62.19 CFDTMPTRb : TX メッセージバッファポインタレジスタ（b = 0～3）

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0608 + 0x004C × b

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TMDLC[3:0]				—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
27:0	—	読み出し値は不定です。書く場合、0 としてください。	R/W
31:28	TMDLC[3:0]	TX メッセージバッファ DLC フィールド CAN フレームで送信するデータバイト数	R/W

各 TX メッセージバッファポインタレジスタ b（b = 0～3）は、対応するバッファから送信するためのメッセージの DLC フィールドを格納するために使用されます。

TMDLC[3:0]ビット（TX メッセージバッファ DLC フィールド）

TMDLC[3:0]ビットは、対応する TMRTR ビットが 0 に設定されているとき、本 TX メッセージバッファから送信するデータバイト数を選択します。

送信するデータバイト数の定義の詳細については、ISO 11898-1 (2015) 仕様の表 5 を参照してください。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

28.2.62.20 CFDTMFDCTRb : TX メッセージバッファ CANFD コントロールレジスタ (b = 0～3)

Base address: CANFD_B = 0x400B_0000

Offset address: 0x060C + 0x004C × b

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	TMPTR[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	TMIFL[1:0]		—	—	—	—	—	TMFDF	TMBRS	TMESI
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TMESI(注1)	エラー状態表示ビット 0: エラーアクティブノードにより送信する CANFD フレーム 1: エラーパッシブノードにより送信する CANFD フレーム	R/W
1	TMBRS(注1)	ビットレートスイッチビット 0: ビットレートスイッチなしで送信する CANFD フレーム 1: ビットレートスイッチ付きで送信する CANFD フレーム	R/W
2	TMFDF(注1)	CAN FD フォーマットビット 0: 非 CANFD フレームを送信 1: CANFD フレームを送信	R/W
7:3	—	読み出し値は不定です。書く場合、0 としてください。	R/W
9:8	TMIFL[1:0]	TX メッセージバッファ情報ラベルフィールド	R/W
15:10	—	読み出し値は不定です。書く場合、0 としてください。	R/W
31:16	TMPTR[15:0]	TX メッセージバッファポインタフィールド	R/W

注 1. このビットは、クラシカル CAN 機能では使用できません。

TX メッセージバッファ CANFD コントロールレジスタ b (b = 0～3) は、送信する CANFD フレームのポインタフィールドを含めて、FDF ビット、BRS ビット、および ESI ビットの状態を示します。

TMESI ビット（エラー状態表示ビット）

チャネルがエラーパッシブでない場合、TMESI ビットは書き込み値と等しくなります。チャネルがエラーパッシブの場合、本ビットは Don't care ビットとなり、CAN バス上を 1（エラーパッシブノードであることを示す）として送信されます。

関連する CANFD チャネルが CH_SLEEP モードの場合、TMESI ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TMBRS ビット（ビットレートスイッチビット）

関連する CANFD チャネルが CH_SLEEP モードの場合、TMBRS ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TMFDF ビット（CAN FD フォーマットビット）

関連する CANFD チャネルが CH_SLEEP モードの場合、TMFDF ビットへ書き込みを行わないでください。

注. このビットは、クラシカル CAN 機能では使用できません。

TMIFL[1:0]ビット（TX メッセージバッファ情報ラベルフィールド）

TMIFL[1:0]ビットは、メッセージの送信成功後、コピー対象の情報ラベル値を追加のメッセージ情報とともに TX 履歴リストに格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

TMPTR[15:0]ビット（TX メッセージバッファポインタフィールド）

TMPTR[15:0]ビットは、メッセージの送信成功後、コピー対象のポインタ値を追加のメッセージ情報とともに TX 履歴リストに格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、これらのビットへ書き込みを行わないでください。

28.2.62.21 CFDTMDFb_p : TX メッセージバッファデータフィールドレジスタ (p = 0～15, b = 0～3)

Base address: CANFD_B = 0x400B_0000

Offset address: 0x0610 + 0x004 × p + 0x004C × b

Bit position:	31 … 24	23 … 16	15 … 8	7 … 0
Bit field:	TMDB_HH[7:0]	TMDB_HL[7:0]	TMDB_LH[7:0]	TMDB_LL[7:0]
Value after reset:	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0	0 0 0 0 0 0 0 0

ビット	シンボル	機能	R/W
7:0	TMDB_LL[7:0]	TX メッセージバッファデータバイト (p × 4)	R/W
15:8	TMDB_LH[7:0]	TX メッセージバッファデータバイト ((p × 4) + 1)	R/W
23:16	TMDB_HL[7:0]	TX メッセージバッファデータバイト ((p × 4) + 2)	R/W
31:24	TMDB_HH[7:0]	TX メッセージバッファデータバイト ((p × 4) + 3)	R/W

各 TX メッセージバッファデータフィールド p レジスタ b (p = 0～15, b = 0～3) は、関連するバッファから送信するメッセージのデータバイト (p × 4)～データバイト ((p × 4) + 3) を格納します。

TMDB_LL[7:0]ビット（TX メッセージバッファデータバイト (p × 4)）

TMDB_LL[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト (p × 4) を格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_LH[7:0]ビット（TX メッセージバッファデータバイト ((p × 4) + 1)）

TMDB_LH[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 1) を格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_HL[7:0]ビット（TX メッセージバッファデータバイト ((p × 4) + 2)）

TMDB_HL[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 2) を格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

TMDB_HH[7:0]ビット（TX メッセージバッファデータバイト ((p × 4) + 3)）

TMDB_HH[7:0]ビットは、TX メッセージバッファにあるメッセージのデータバイト ((p × 4) + 3) を格納します。

関連する CANFD チャネルが CH_SLEEP モードの場合、本ビットへ書き込みを行わないでください。

28.3 動作の概要

28.3.1 概要

CANFD モジュールのモードは、次の 2 つのグループに分けられます。

- グローバルモード
- チャネルモード

28.3.2 グローバルモード

これらのモードは、CANFD モジュール全体に適用されることから、グローバルモードと呼ばれます。CANFD モジュールのグローバルモードには、以下のものがあります。

- グローバルスリープ
- グローバルリセット
- グローバル Halt
- グローバルオペレーション

図 28.2 に、グローバルモード間で行うことができる遷移を示します。

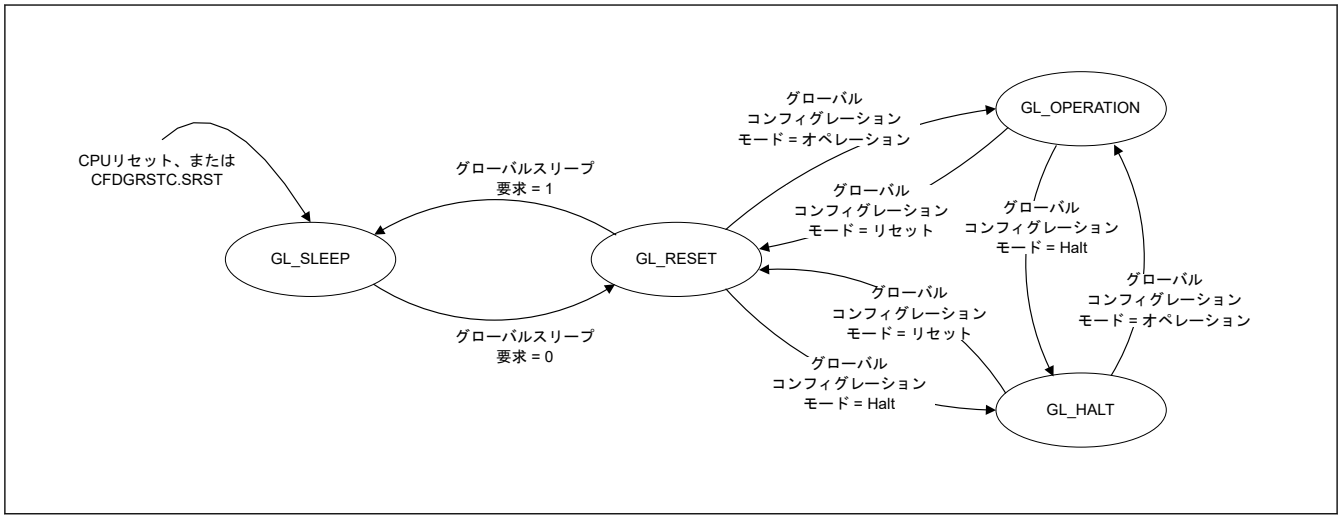


図 28.2 CANFD グローバルモード間の遷移

グローバルモードを変更すると、チャネルモードに影響を与えることがあります。表 28.14 に、グローバルモードの遷移がチャネルモードに与える影響を示します。

表 28.14 可能な CANFD チャネルモードとグローバルモード (1/2)

現在のグローバルモード	ターゲットグローバルモード			
	スリープ	リセット	Halt	オペレーション
スリープ		チャネルスリープ：Keep チャネルリセット：なし チャネル Halt：なし チャネルオペレーション：なし		
リセット	チャネルスリープ：Keep チャネルリセット：→ チャネルスリープ チャネル Halt：なし チャネルオペレーション：なし		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：なし チャネルオペレーション：なし	チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：なし チャネルオペレーション：なし

表 28.14 可能な CANFD チャネルモードとグローバルモード (2/2)

現在のグローバルモード	ターゲットグローバルモード			
	スリープ	リセット	Halt	オペレーション
Halt		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：→ チャネルリセット チャネルオペレーション：なし		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：Keep チャネルオペレーション：なし
オペレーション		チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：→ チャネルリセット チャネルオペレーション：→ チャネルリセット	チャネルスリープ：Keep チャネルリセット：Keep チャネル Halt：Keep チャネルオペレーション：→ チャネル Halt	

28.3.2.1 グローバルスリープモード

ハードウェアリセットが解除された後、または CFDGRSTC.SRST ビットがセット／クリアされた後、CANFD モジュールは自動的にグローバルスリープモードに遷移します。

CANFD モジュールは、グローバルリセットモード中にグローバルスリープ要求ビットがセットされたときも、グローバルスリープモードに遷移します。グローバル Halt モードやグローバルオペレーションモードでは、この制御ビットはセットできません。

グローバルスリープ要求ビットをセットすると、チャネルスリープ要求ビットがセットされ、チャネルが強制的にチャネルスリープモードになります。

スリープモードは、消費電力を削減するために使用されます。CANFD モジュールがグローバルスリープモードのとき、グローバルスリープモード要求ビットへの CPU 書き込み用のクロックのみがアクティブになります。その他すべてのクロックは停止され、CANFD モジュールのその他すべての機能はサスペンド状態になります。

すべてのレジスタの読み出しは可能で、すべてのレジスタ値は保持されます。

グローバルスリープ要求ビットをセットした後、このビットを再度クリアする前に、グローバルスリープステータスが更新されていること、つまり、グローバルスリープモードへの遷移が正常に行われたことを確認する必要があります。

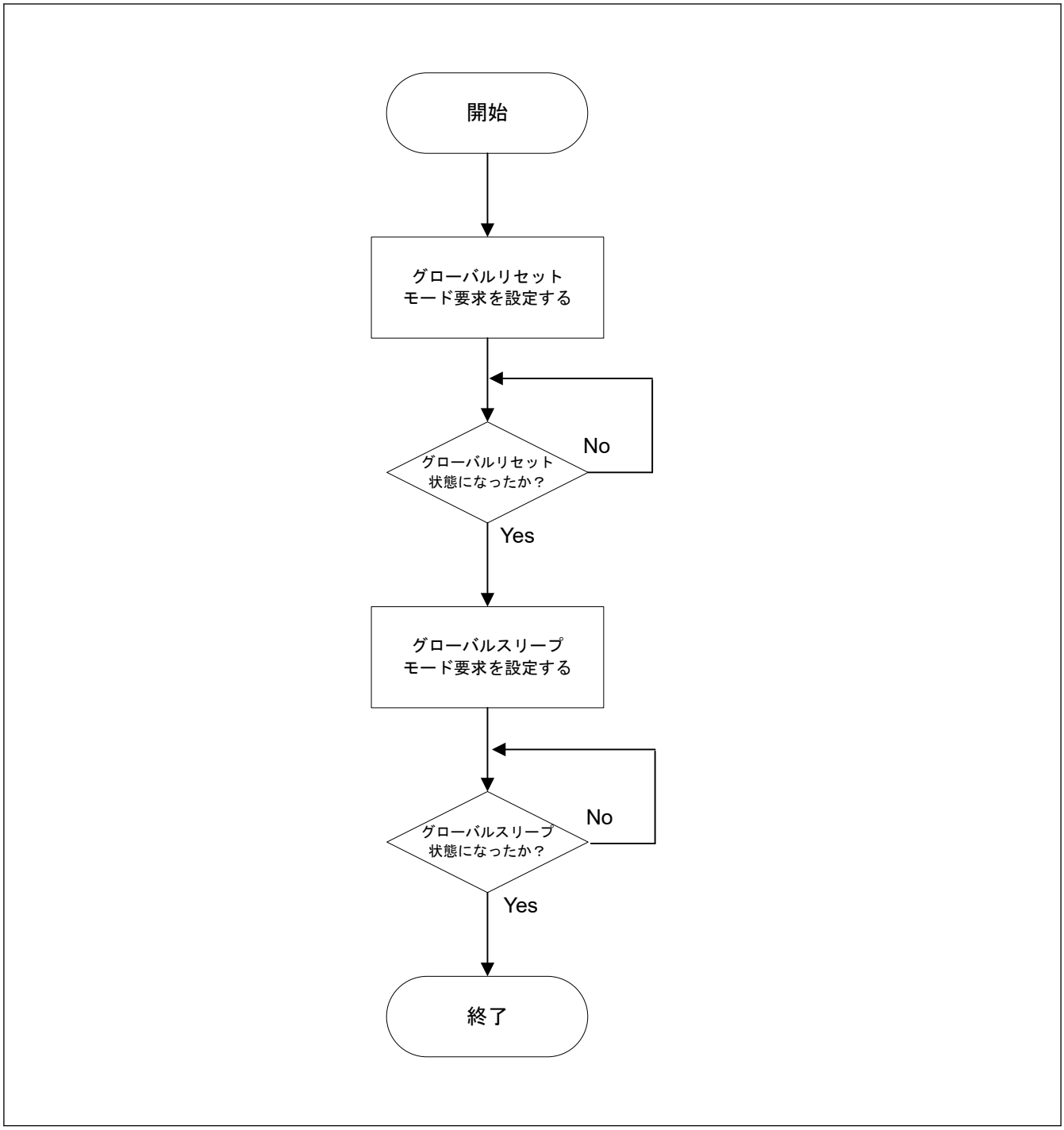


図 28.3　グローバルスリープモードへの遷移手順

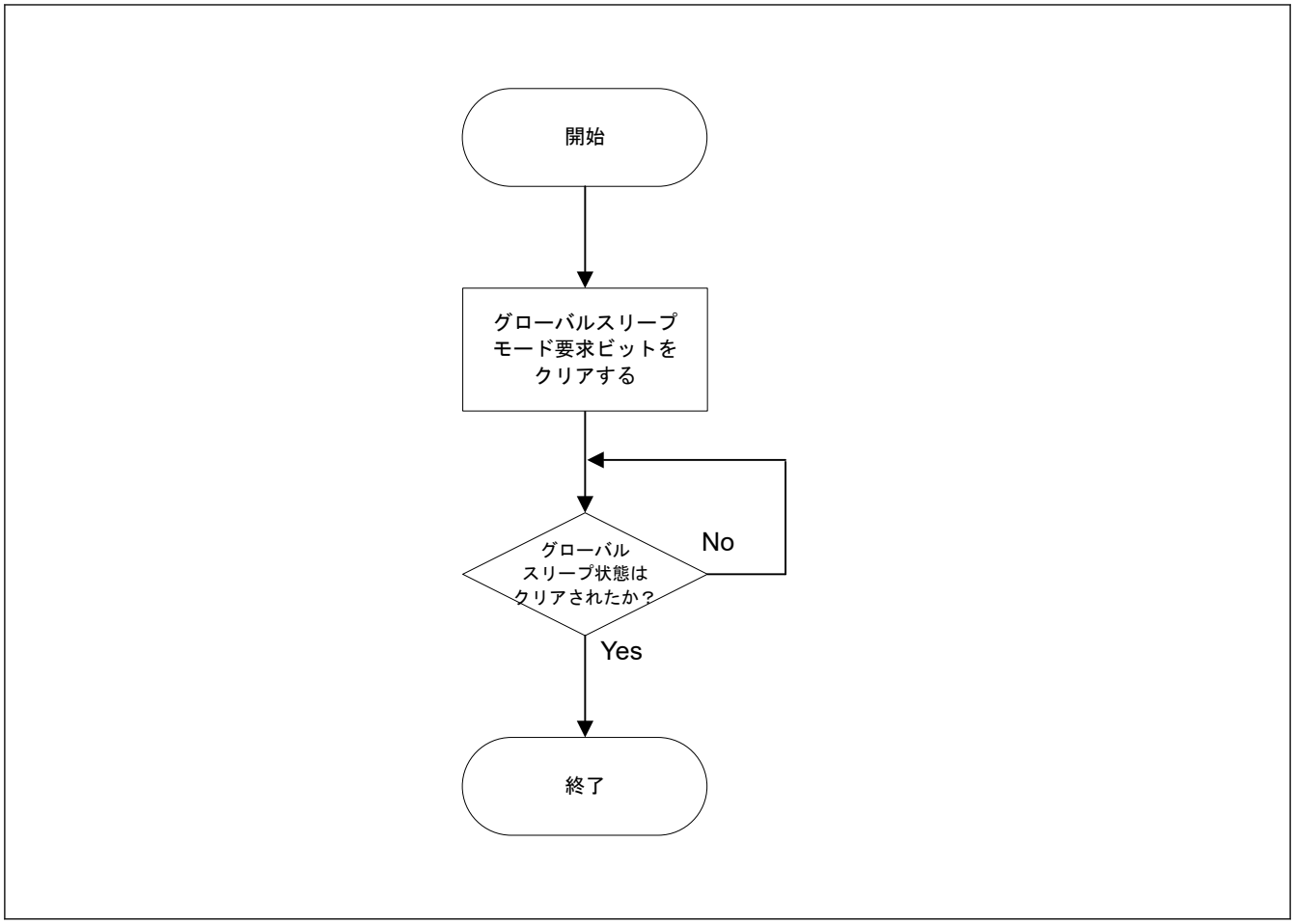


図 28.4　グローバルスリープモードの解除手順

28.3.2.2　グローバルリセットモード

CANFD モジュールは、以下の方法でこのモードに遷移します。

- CANFD モジュールがグローバル Halt モードまたはグローバルオペレーションモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC がグローバルリセットモードに設定される。
- CANFD モジュールがグローバルスリープモードのとき、グローバルスリープモード要求ビットがクリアされる。

グローバルリセットモードでは、CANFD モジュールのすべての機能がサスペンド状態になり、すべてのステータスレジスタおよびフラグレジスタが初期化されます。

さらに、すべての FIFO および TX キューが無効になり、送信制御ビットがクリアされます。

このモードでは、コンフィグレーションレジスタ（テストモードレジスタを除く）は MCU リセット値に初期化されないため、CANFD モジュールの構成は可能です。

グローバルリセットモードへの遷移が行われるときの全レジスタの動作の詳細については、「28.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC を 01b にセットすることにより、グローバルモードをリセットに設定すると、チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC が 01b にセットされ、チャネルが強制的にチャネルリセットモードになります。

すでにチャネルリセットモードまたはチャネルスリープモードになっているチャネルについては、この自動遷移は行われません（関連するチャネルの CFDC0CTR.CHMDC がすでに 01b にセットされている場合）。

グローバルモード制御ビット CFDGCTR.GMDC をリセットモードに設定した後、CFDGCTR.GMDC を再度変更する前に、グローバルステータスレジスタのリセットモードステータスビット CFDGSTS.GRSTSTS が更新されていること、つまり、グローバルリセットモードへの遷移が正常に行われたことを確認する必要があります。

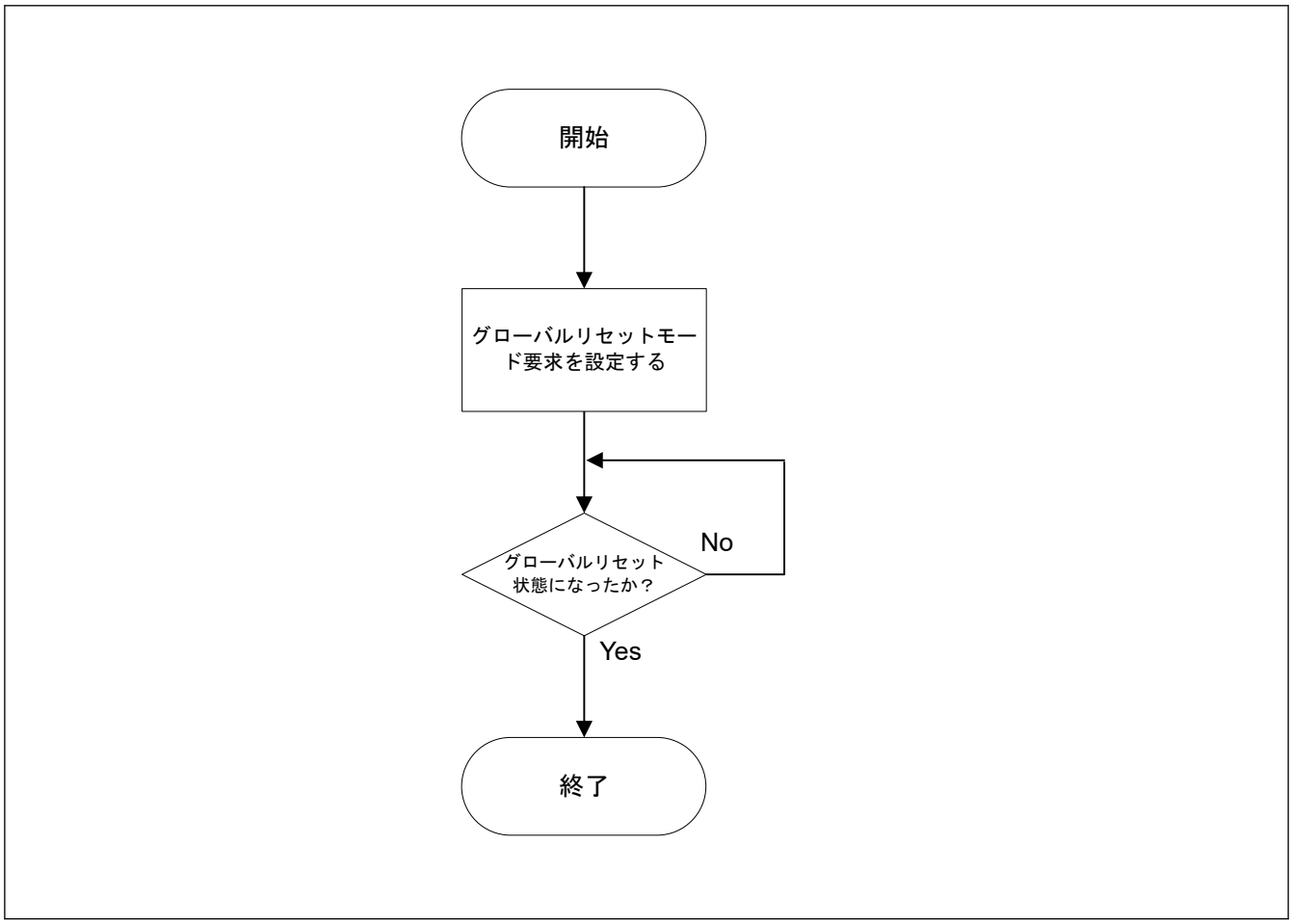


図 28.5　グローバルリセットモードへの遷移手順

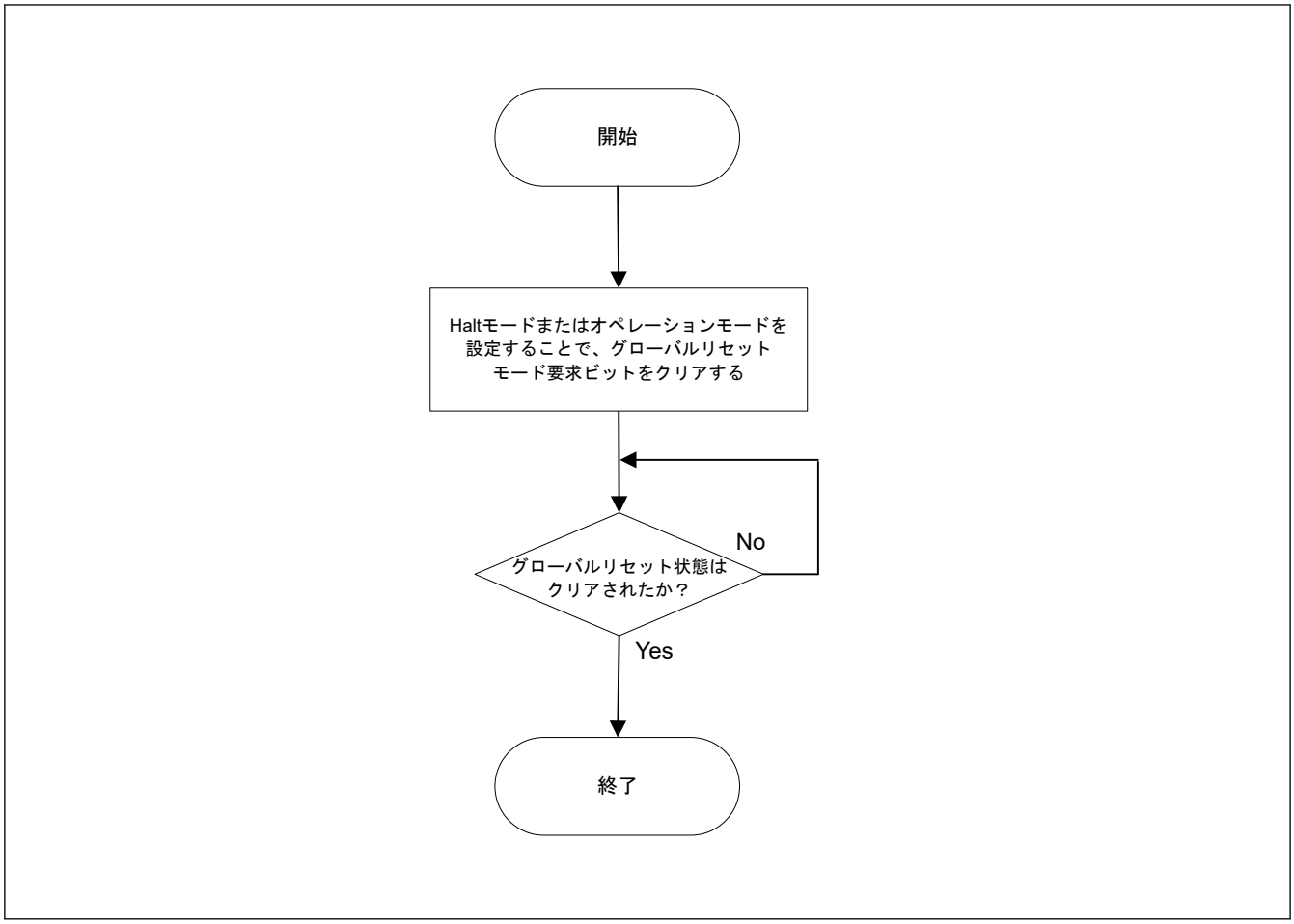


図 28.6　グローバルリセットモードの解除手順

28.3.2.3　グローバル Halt モード

CANFD モジュールは、以下の方法でこのモードに遷移します。

- CANFD モジュールがグローバルリセットモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC がグローバル Halt モードに設定される。
  - チャネルリセットモードまたはチャネルスリープモードのいずれかのチャネルは、そのモードのまま保たれる。
- CANFD モジュールがグローバルオペレーションモードのとき、グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC がグローバル Halt モードに設定される。
  - チャネルリセットモード、チャネル Halt モード、チャネルスリープモードのチャネルは、そのモードのまま保たれる。
  - チャネルオペレーションモードのチャネルは、チャネル Halt モードに遷移する。
  - チャネルがチャネルオペレーションモードから遷移すると、グローバル Halt モードステータスビットがセットされる。

チャネルが送信または受信を実行中の場合、通信が完了するまでチャネル Halt モードへの遷移は遅延されます。

同様に、チャネルがバスオフ状態の場合、チャネルの構成に応じて、完全なバスオフ復帰シーケンスが遅延されることがあります。

グローバル Halt モードでは、すべての通信がサスペンド状態になり、CANFD ロジックによりステータスレジスタおよびフラグレジスタが変更されることはありません（チャネルがバスオフ状態であるときのみ、REC 値と TEC 値がクリアされます）。また、このモードでは、テストモードの構成やコントロールレジスタは初期化されません。

グローバル Halt モードは、グローバルモジュールテストモードを構成するために使用します。

グローバル Halt モードへの遷移が行われるときの全レジスタの動作の詳細については、「28.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

グローバルコントロールレジスタのグローバルモード制御ビット CFDGCTR.GMDC を 10b にセットすることによってグローバルモードを Halt に設定すると、チャネルオペレーションモードになっているチャネルのチャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC が 10b にセットされ、強制的にチャネル Halt モードになります。

すでにチャネルリセットモード、チャネル Halt モード、またはチャネルスリープモードになっているチャネルについては、この自動遷移は行われません。

したがって、グローバル Halt モード要求は、メッセージをロストしたり関連する CAN バスを混乱させることなく（チャネル上の受信／送信プロセスを中断せずに）、すべての CANFD チャネル通信を遮断するために使用できます。

グローバルモード制御ビット CFDGCTR.GMDC を Halt モードに設定した後、グローバルステータスレジスタの Halt モードステータスビット CFDGSTS.GHLTSTS が更新されていること、つまり、グローバル Halt モードへの遷移が正常に行われたことを確認する必要があります。CFDGSTS.GHLTSTS がセットされていることを確認するまでは、他の SFR 設定を指定しないでください。

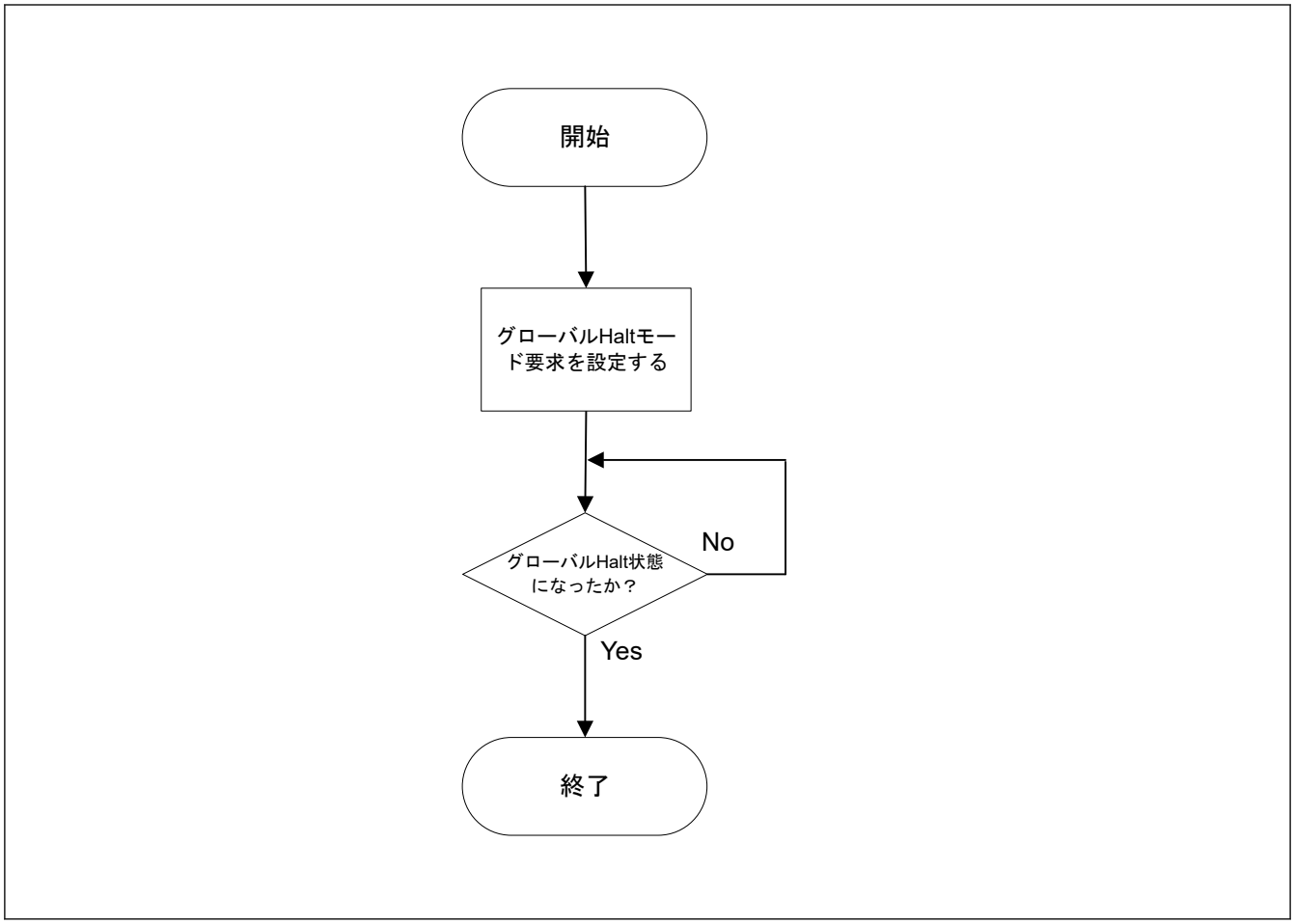


図 28.7　グローバル Halt モードへの遷移手順

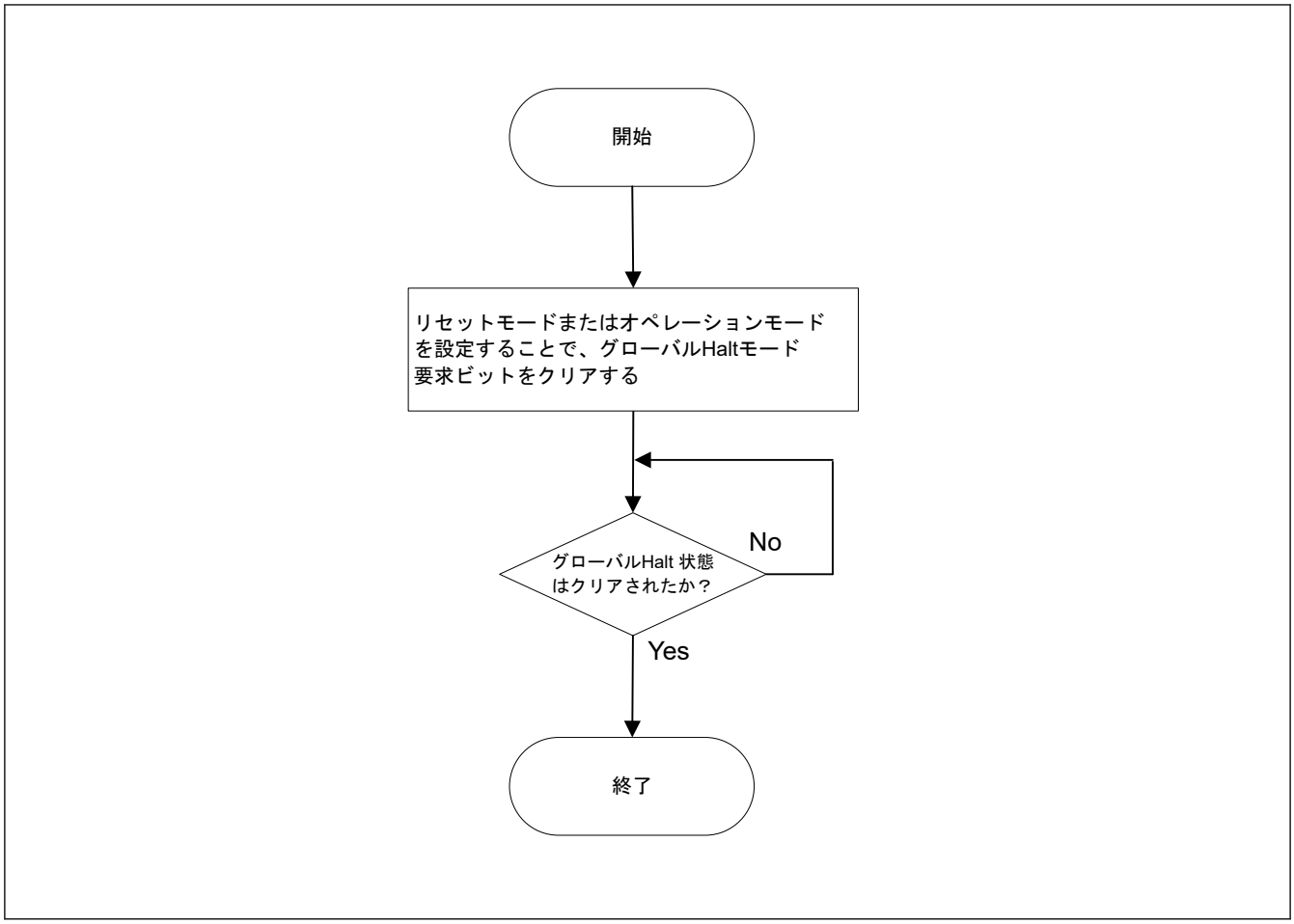


図 28.8　グローバル Halt モードの解除手順

28.3.2.4　グローバルオペレーションモード

CANFD モジュールは、グローバルモードコンフィグレーションビットがグローバルオペレーションモードに設定されたとき、このモードに遷移します。

CANFD がグローバルオペレーションモードのときのみ、CANFD チャネルをチャネルオペレーションモードに設定して、CAN 通信を開始することができます。

グローバルモード制御ビット CFDGCTR.GMDC をグローバルオペレーションモードに設定した後、CFDGCTR.GMDC を再度変更する前に、グローバルステータスレジスタのグローバルリセットモードステータスビット CFDGSTS.GRSTSTS およびグローバル Halt モードステータスビット CFDGSTS.GHLTSTS が更新されていること、つまり、グローバルオペレーションモードへの遷移が正常に行われたことを確認する必要があります。

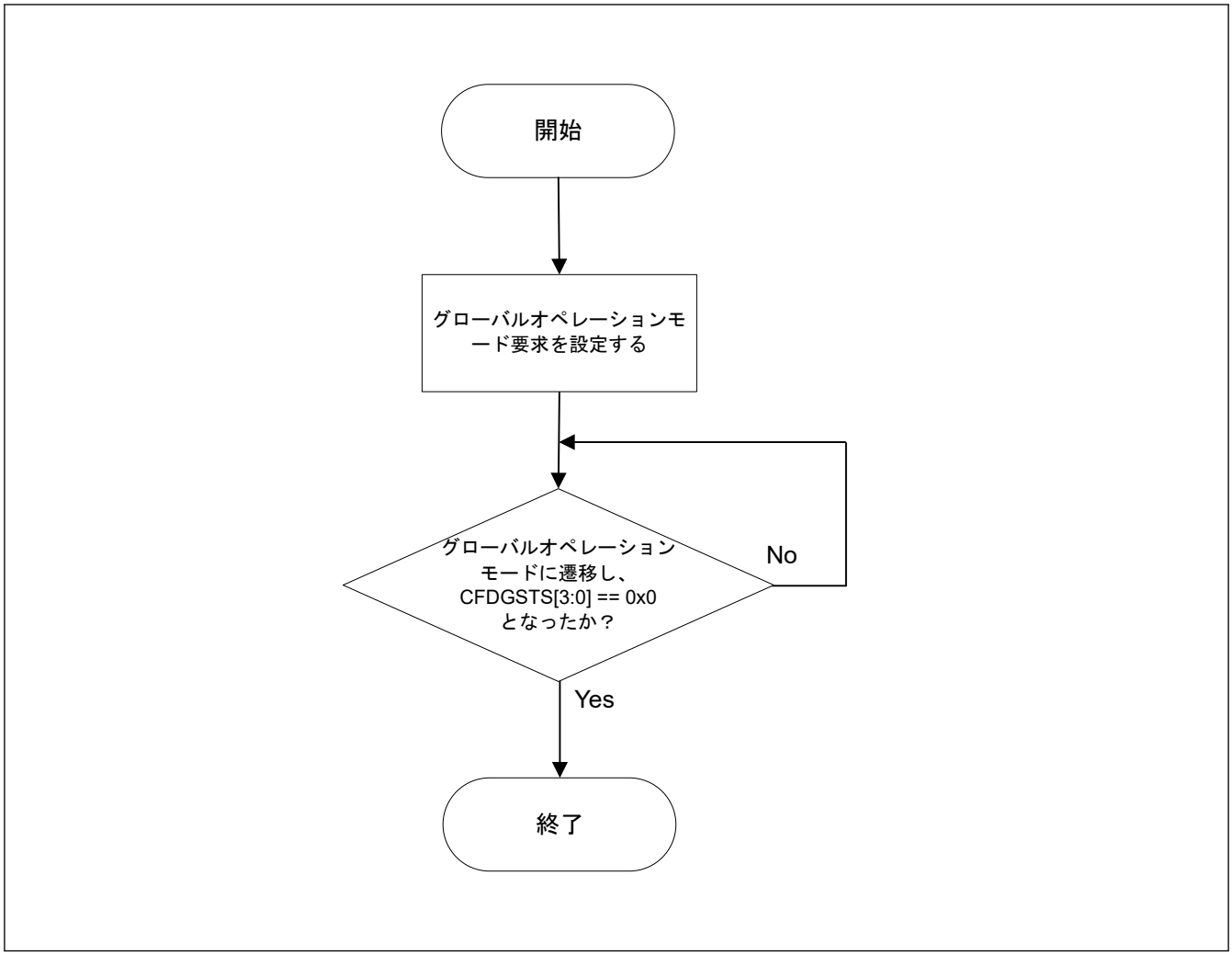


図 28.9　グローバルオペレーションモードへの遷移手順

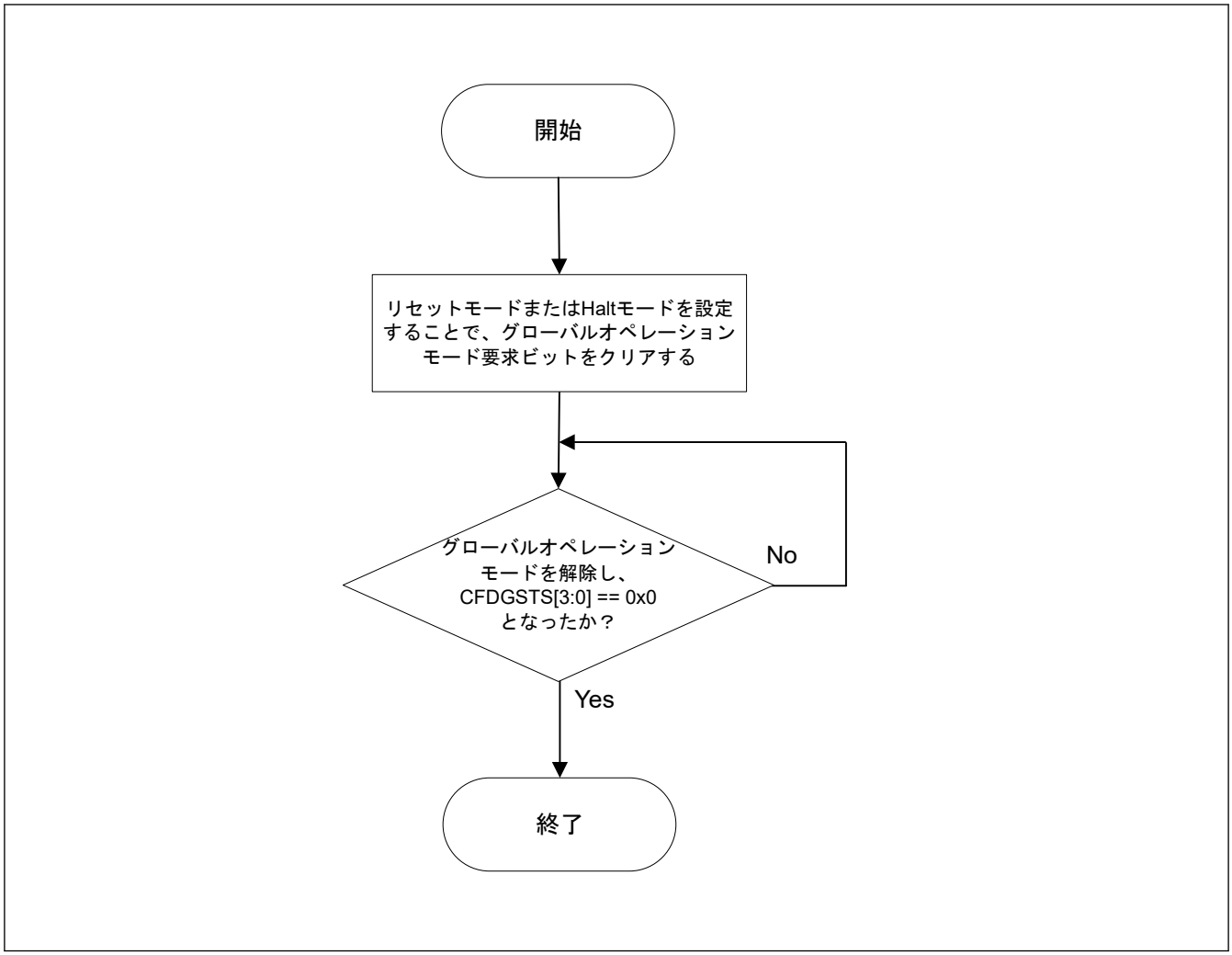


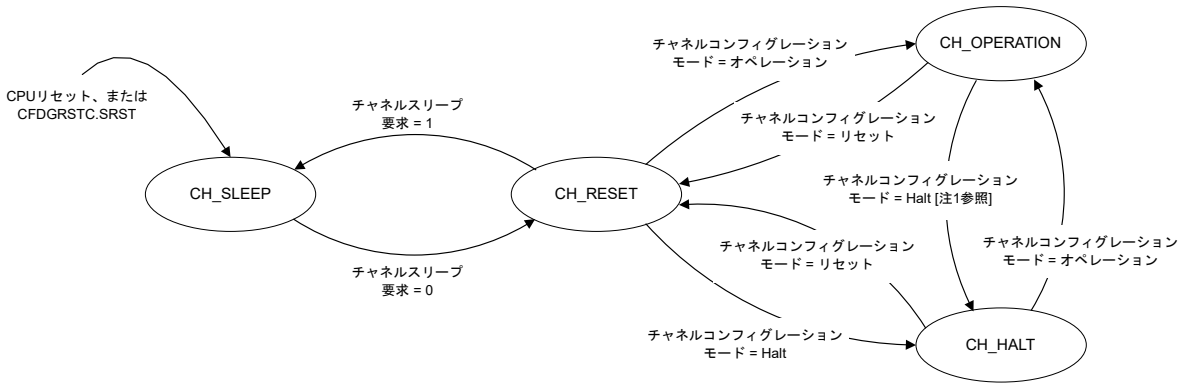
図 28.10　グローバルオペレーションモードの解除手順

28.3.3　チャネルモード

CAN チャネルは、以下の 4 つのチャネルモードのいずれかにできます。

- リセット
- Halt
- オペレーション
- スリープ

図 28.11 に、チャネルモード間で行うことができる遷移を示します。



注 1. 遷移のタイミングは、チャネルコンフィグレーションレジスタの BOM の設定によって決まります。
- BOM = 01b のとき、状態遷移のタイミングは、バスオフ状態に遷移した直後です。
- BOM = 10b のとき、状態遷移のタイミングは、バスオフ状態の終了時です。
- BOM = 11b のとき、状態遷移のタイミングは、CHMDC の停止モードへの設定に一致します。

図 28.11 CAN チャネルモード間の遷移

28.3.3.1 CAN チャネルスリープモード

ハードウェアリセットが解除された後、または CFDGRSTC.SRST ビットがセット／クリアされた後、CANFD モジュールの CAN チャネルは自動的にチャネルスリープモードに遷移します。

CAN チャネルは、チャネルリセットモード中にチャネルスリープモード要求ビットがセットされたときも、チャネルスリープモードに遷移します。チャネル Halt モードやチャネルオペレーションモードでは、この制御ビットをセットしないでください。

CAN チャネルスリープモードに遷移すると、即座に CAN チャネルユニットへのクロック供給が停止され、消費電力が低減されます。

チャネルスリープモード要求ビットをセットした後、このビットを再度クリアする前に、チャネルスリープモードステータスが更新されていること、つまり、チャネルスリープモードへの遷移が正常に行われたことを確認する必要があります。

チャネルスリープモード中は、チャネル関連のレジスタに書き込みを行わないでください。読み出し動作は可能です。

28.3.3.2 CAN チャネルリセットモード

CANFD CAN チャネルは、以下の方法でこのモードに遷移します。

- 関連する CAN チャネルがチャネル Halt モードまたはチャネルオペレーションモードのとき、チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC がチャネルリセットモードに設定される。
- 関連する CAN チャネルがチャネルスリープモードのとき、チャネルスリープモード要求ビットがクリアされる。
- グローバルモード制御ビット CFDGCTR.GMDC がグローバルリセットモードに設定され、かつ、CAN チャネルがチャネルスリープモードまたはチャネルリセットモードではない。

チャネルリセットモードでは、CAN チャネルのすべてのステータスレジスタとフラグレジスタが初期化されます。

さらに、すべてのチャネル関連の送信制御ビットがクリアされ、チャネル関連の TX キューが無効になります。

このモードでは、コンフィグレーションレジスタ（チャネルテストモードレジスタを除く）は初期化されないため、CAN チャネルの通信を構成することは可能です。

チャネルリセットモードへの遷移が行われるときの全レジスタの動作の詳細については、「28.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

チャネルモード制御ビット CFDC0CTR.CHMDC をチャネルリセットモードに設定した後、関連する CFDC0CTR.CHMDC ビットを再度変更する前に、関連するチャネルステータスレジスタのリセットモードステータスビット CFDC0STS.CRSTSTS が更新されていること、つまり、チャネルリセットモードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中にチャネルリセットモードに遷移する動作については、表 28.15 を参照してください。

28.3.3.3 CAN チャネル Halt モード

CANFD CAN チャネルは、以下の方法でこのモードに遷移します。

- 関連する CAN チャネルがチャネルリセットモードまたはチャネルオペレーションモードのとき、チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC がチャネル Halt モードに設定される。
- グローバルモード制御ビット CFDGCTR.GMDC がグローバル Halt モードに設定され、かつ、CAN チャネルがチャネルオペレーションモードである。

チャネル Halt モードでは、すべてのチャネル CAN 通信がサスペンド状態になりますが、すべてのステータスレジスタとフラグレジスタはチャネル Halt モードに遷移する間変化しません (バスオフの場合を除きます。バスオフの場合、そのチャネルの REC 値と TEC 値がクリアされます)。

また、このモードでは、チャネルテストモードの構成やコントロールレジスタは初期化されません。

チャネル Halt モードは、チャネルテストモードを構成するために使用します。

チャネル Halt モードへの遷移が行われるときの全レジスタの動作の詳細については、「28.3.4. グローバルモード遷移とチャネルモード遷移の相互作用」を参照してください。

チャネルモード制御ビット CFDC0CTR.CHMDC をチャネル Halt モードに設定した後、関連する CFDC0CTR.CHMDC を再度変更する前に、関連するチャネルステータスレジスタの Halt モードステータスビット CFDC0STS.CHLTSTS が更新されていること、つまり、チャネル Halt モードへの遷移が正常に行われたことを確認する必要があります。

CAN 通信中にチャネル Halt モードに遷移する動作については、表 28.15 を参照してください。

表 28.15 CAN リセットモードおよび Halt モードの遷移動作

モード	状態		
	受信	送信	バスオフ
CAN チャネルリセットモード (CFDC0CTR.CHMDC = 01b)	CAN チャネルは実行中の受信の完了を待たずに、チャネルリセットモードに遷移します。(注1)	CAN チャネルは実行中の送信の完了を待たずに、チャネルリセットモードに遷移します。(注1)	CAN チャネルは、バスオフ復帰の完了を待たずにチャネルリセットモードに遷移します。
CAN チャネル Halt モード (CFDC0CTR.CHMDC = 10b)	CAN チャネルは、実行中の受信またはエラーの終了時にチャネル Halt モードに遷移します。(注2)	CAN チャネルは、実行中の送信の完了後にチャネル Halt モードに遷移します。	CFDC0CTR.BOM が 00b のとき、チャネル Halt モード要求は、完全なバスオフ復帰シーケンスが完了した後でのみ受け付けられます。 CFDC0CTR.BOM が 10b のとき、CAN チャネルはバスオフ復帰の完了を待ってから、チャネル Halt モードに自動的に遷移します。 CFDC0CTR.BOM が 01b のとき、CAN チャネルはバスオフ復帰の完了を待たずに、チャネル Halt モードに自動的に遷移します。 CFDC0CTR.BOM が 11b のとき、CAN チャネルはチャネル Halt モードが要求されるとすぐに (バスオフ復帰の完了を待たずに) チャネル Halt モードに遷移します。

注 1. 現在実行中の通信の終了時にチャネルリセットモードに遷移すればよい場合、先にチャネル Halt モードを要求することで、チャネルリセットモードに直接遷移して CAN 通信が中断するのを防ぐことができます。CAN チャネルがチャネル Halt モードに遷移した後、チャネルリセットモードを要求することができます。

注 2. エラーフラグ後に CAN 通信がドミナントレベルでロックされている場合、ソフトウェアでチャネル関連のバスロックフラグを監視することでこの状況を検出し、CAN チャネルをチャネルリセットモードに設定してロック状態を解除できます。

28.3.3.4 CAN チャネルオペレーションモード

チャネルオペレーションモードは、CFDC0CTR.CHMDC ビットを 00b にセットすることでアクティブになります。CAN オペレーションモードに遷移した後、11 の連続するレセシブビットを検出すると、CFDC0STS.COMSTS ビットがセットされ、CAN チャネルは以下を行います。

- チャネルを CAN ネットワーク上のアクティブノードにすることで、チャネル通信の機能を有効にする。
- 受信および送信エラーカウンタを含む、内部の障害隔離ロジックを解除する。

この時点で、CAN チャネルは CAN メッセージの送受信を開始できます。

チャネルは、実行している機能のタイプによって、CAN チャネルオペレーションモード内でさらに 4 種類のサブモードに分けられます（図 28.12 を参照）。

- チャネルアイドル: CAN チャネルは受信も送信も行っていない
- チャネル受信：チャネルは別の CAN ノードから送信された CAN メッセージを受信している
- チャネル送信：チャネルは CAN メッセージを送信している

注. セルフテストモードが有効な場合、チャネルは同時に自メッセージを受信する可能性があります。

- チャネルがバスオフ状態：CAN チャネルが CAN バス通信から切り離されている

チャネルモード制御ビット CFDC0CTR.CHMDC をチャネルオペレーションモードに設定した後、関連する CFDC0CTR.CHMDC ビットを再度変更する前に、チャネルステータスレジスタのチャネルリセットモードステータスビット CFDC0STS.CRSTSTS およびチャネル停止モードステータスビット CFDC0STS.CHLTSTS が更新されていること、つまり、チャネルオペレーションモードへの遷移が正常に行われたことを確認する必要があります。

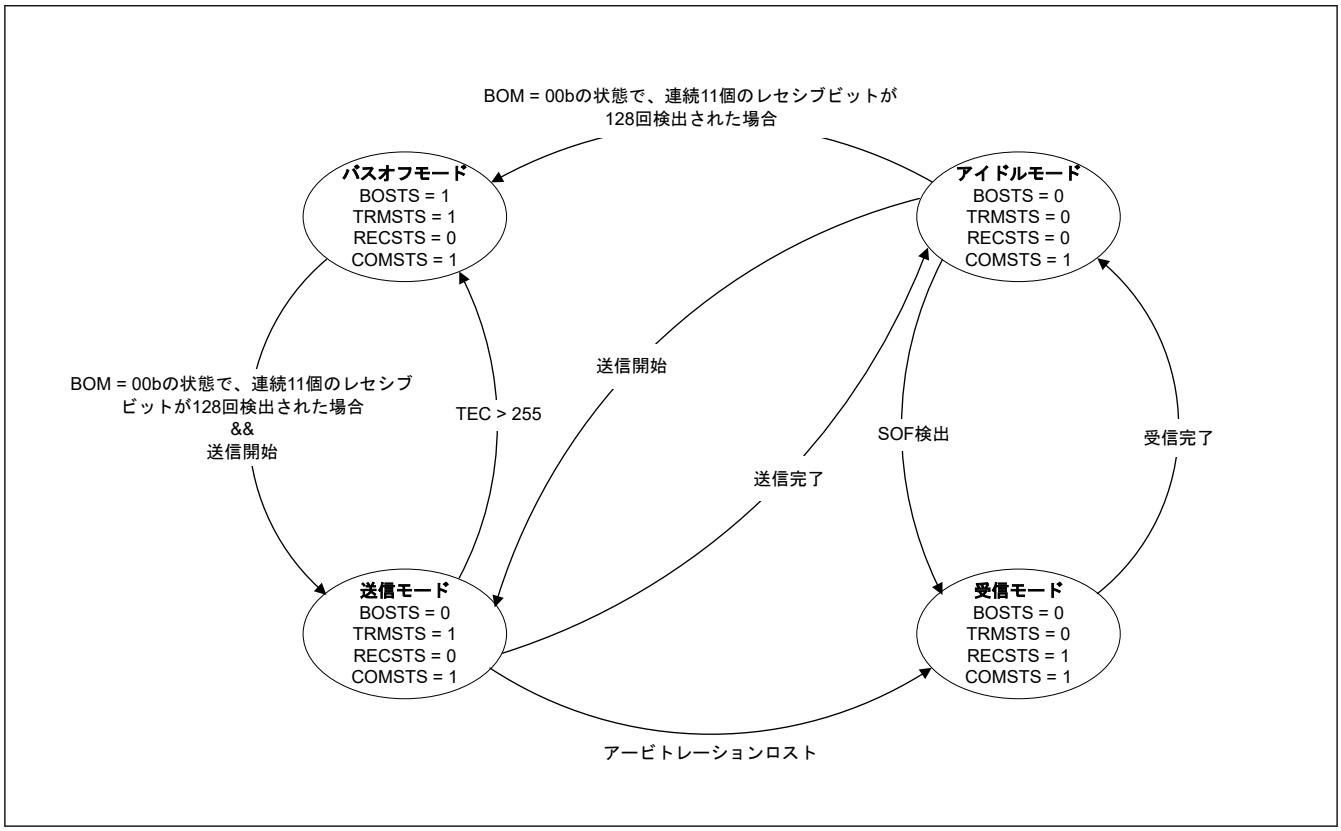


図 28.12 CAN チャネルオペレーションモードのサブモード（BOM = 00b のときのみ）

28.3.3.5 CAN チャネルバスオフ状態

CAN チャネルバスオフ状態へは、CAN 仕様のフォルト隔離規則に従って遷移します。バスオフ状態から CAN チャネルオペレーションモードへの復帰について、以下のモードを構成できます。

- CFDC0CTR.BOM = 00b:
  バスオフからの復帰は ISO 11898-1 に準拠します。すなわち、CAN チャネルは、11 個の連続するレセシブビットを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。
- CFDC0CTR.BOM = 01b:
  CAN チャネルは、バスオフ状態に遷移すると、CAN チャネルコントロールレジスタ内の CFDC0CTR.CHMDC ビットの値を 10b に変更した後、自動的にチャネル停止モードに即座に遷移します。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF はセットされません。
- CFDC0CTR.BOM = 10b:
  CAN チャネルは、バスオフ状態に遷移すると、即座に CAN チャネルコントロールレジスタの CFDC0CTR.CHMDC ビットの値を 10b に変更し、CAN チャネルがバスオフ復帰シーケンス（11 個の連続するレセシブビットを 128 回検出）を完了した後、チャネル停止モードに自動的に遷移します。TEC カウンタと REC カウンタは 0 に初期化されます。この場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。
- CFDC0CTR.BOM = 11b:
  バスオフ復帰が開始されますが、チャネル停止モードへの遷移が要求された場合、CAN チャネルはバスオフ状態であっても即座にチャネル停止モードに遷移することができます。
  TEC カウンタと REC カウンタは 0 に初期化されます。バスオフ復帰フラグ CFDC0ERFL.BORF はセットされません。
  CFDC0CTR.CHMDC [1:0] = 10b に設定せずに、11 個のレセシブビットが 128 回連続で検出された場合、遷移条件は CFDC0CTR.BOM = 00b と同じになります。

注. このモードで、バスオフ復帰が正常に（11 個の連続するレセシブビット 128 回のシーケンスを待機した後で）行われた場合、かつ、その間に停止要求が発生しなかった場合、バスオフ復帰フラグ CFDC0ERFL.BORF がセットされます。

CAN チャネルが停止モードに遷移するのと同時（CFDC0CTR.BOM = 01b の場合、バスオフ開始時、CFDC0CTR.BOM = 10b の場合、バスオフ終了時）に、ソフトウェアが CFDC0CTR.CHMDC ビットに書き込みを行うと、ソフトウェア要求が最も優先されます。

注. 上記の場合、CFDC0CTR.CHMDC ビットをチャネル停止モードに設定する要求の自動設定は、CFDC0CTR.CHMDC ビットの値があらかじめ 00b（チャネルオペレーションモード）に設定されていたときに実行されます。

さらに、CFDC0CTR.RTBO を 1 にセットすると、CAN チャネルをバスオフ状態から強制的に復帰させることができます。最大で 1 CAN ビット時間の遅延時間でエラー状態がバスオフ状態から統合状態に変わり、11 個の連続するレセシブビットが検出された後に、CAN 通信が再度可能になります。この場合、バスオフ復帰フラグはセットされません。TEC カウンタと REC カウンタは 0 に初期化されます。

CFDC0CTR.RTBO を 1 にセットする前に、TX メッセージバッファ、TX キュー、または TX モードの共通 FIFO からの保留中の送信を無効にしなければなりません。

保留中の送信メッセージバッファ、TX キュー、または FIFO が無効化されたことを、対応するアクノリッジフラグで確認する必要があります。

TX メッセージバッファの場合、アクノリッジフラグは送信結果フラグ (CFDTMSTSj.TMTRF) です。TX キューの場合、TX キューエンプティフラグ (CFDTXQSTS.TXQEMP) です。FIFO の場合、FIFO エンプティフラグ (CFDCFSTS.CFEMP) です。

CFDC0CTR.RTBO ビットは、CFDC0CTR.BOM が 00b にセットされているときに限り、バスオフ復帰のために使用します。

このビットをバスオフ以外の状態でセットしても無効で、即座にクリアされます。

表 28.16 に、CFDC0CTR.BOM のさまざまな構成に対する、バスオフ開始フラグ CFDC0ERFL.BOEF とバスオフ復帰フラグ CFDC0ERFL.BORF の設定を示します。

表 28.16　バスオフ開始フラグとバスオフ復帰フラグの動作

BOM	BOEF ビットの設定	BORF ビットの設定
00b	常に設定（バスオフ開始時）	常に設定（バスオフ終了時）
00b CFDC0CTR.RTBO が 1	常に設定（バスオフ開始時）	ソフトウェアによって CFDC0CTR.RTBO が 1 にセットされる前に通常のバスオフ復帰が発生した場合のみ
01b	常に設定（バスオフ開始時）	設定しない
10b	常に設定（バスオフ開始時）	常に設定（バスオフ終了時）
11b	常に設定（バスオフ開始時）	ソフトウェアが Halt 要求を発行する前に通常のバスオフ復帰が発生した場合のみ

効率的なソフトウェア手順のために、バスオフ復帰シーケンスの終了を待つ必要はありません。

バスオフ復帰中、送信の再初期化を行うことができます。これを行うには、図 28.13 に示す推奨ソフトウェアフローに従います。

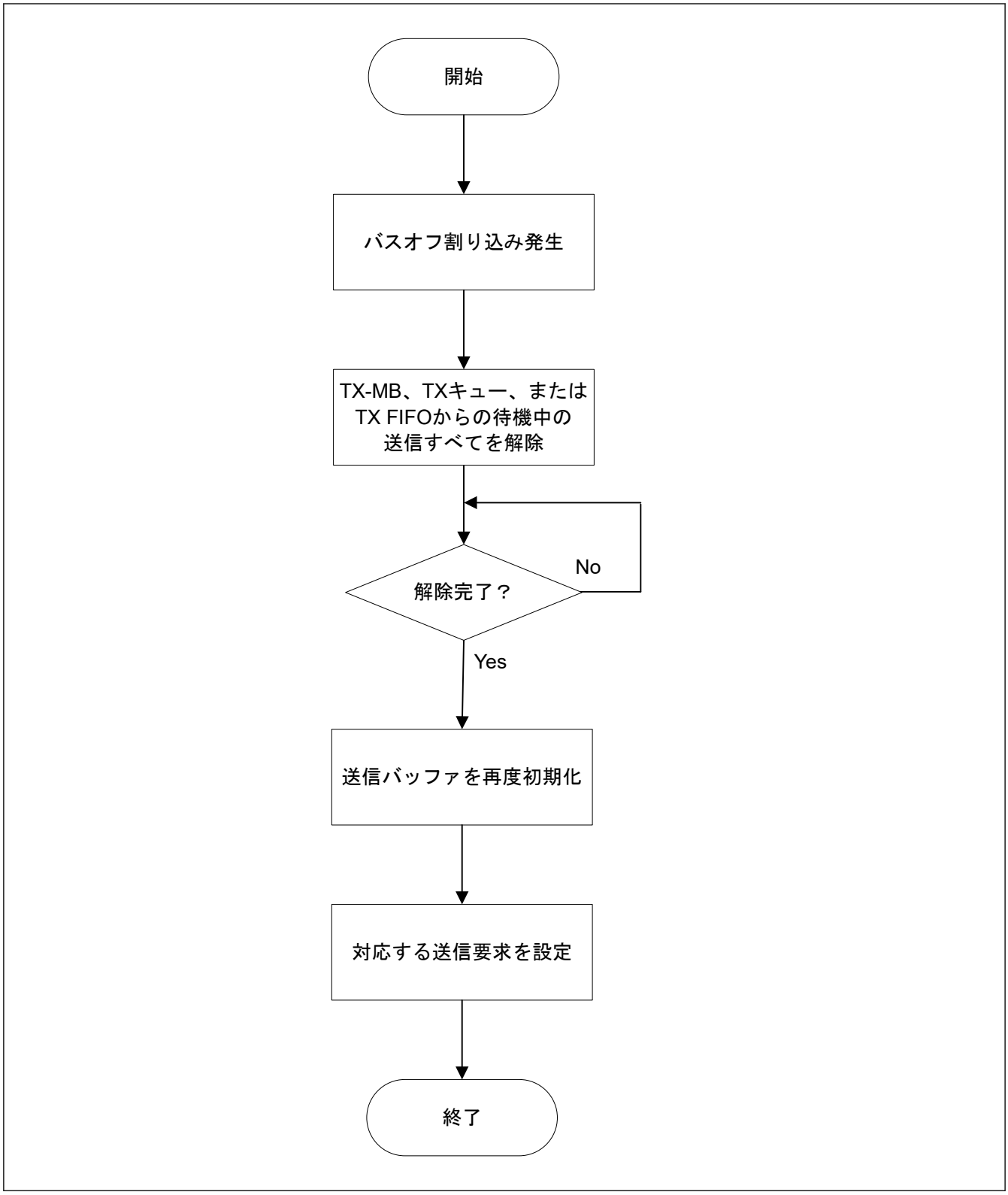


図 28.13　バスオフ中の送信の再初期化

28.3.4　グローバルモード遷移とチャネルモード遷移の相互作用

グローバルモード設定とチャネルモード設定の間には、以下のような相互作用があります。

- チャネルコントロールレジスタのチャネルモード制御ビット CFDC0CTR.CHMDC を変更しても、グローバルモード制御ビット CFDGCTR.GMDC は変化しない。

- グローバルモード制御ビット CFDGCTR.GMDC を変更すると、表 28.17 に示すようにチャネルモードの制御が変化する。

表 28.17 グローバルモード遷移とチャネルモード遷移の相互作用

グローバルモードの変更	チャネルモード	チャネルモードの遷移動作
スリープ → リセット	スリープ	チャネルはスリープモードのまま
スリープ → Halt	— （グローバルモード変更不可能）	
スリープ → オペレーション	— （グローバルモード変更不可能）	
リセット → スリープ	スリープ	チャネルはスリープモードのまま
	リセット	チャネルスリープ要求ビットが自動的にセットされ、チャネルはスリープモードに遷移
リセット → Halt	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
リセット → オペレーション	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
Halt → スリープ	— （グローバルモード変更不可能）	
Halt → リセット	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルモード制御がリセットモードにセットされ、チャネルはリセットモードに遷移
Halt → オペレーション	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルは Halt モードのまま
オペレーション → スリープ	— （グローバルモード変更不可能）	
オペレーション → リセット	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルモード制御がリセットモードにセットされ、チャネルはリセットモードに遷移
	オペレーション	チャネルモード制御がリセットモードにセットされ、チャネルはリセットモードに遷移
オペレーション → Halt	スリープ	チャネルはスリープモードのまま
	リセット	チャネルはリセットモードのまま
	Halt	チャネルは Halt モードのまま
	オペレーション	チャネルモード制御が Halt モードにセットされ、チャネルは通信終了後に Halt モードに遷移

28.3.4.1 グローバルモード変更のタイミング

グローバルモード変更時の遷移時間を以下の表に示します。

表 28.18 グローバルモード変更時の最大遷移時間 (1/2)

遷移前	遷移後	最大遷移時間
GL_SLEEP	GL_RESET	3 周辺クロックサイクル(注2)
GL_RESET	GL_SLEEP	3 周辺クロックサイクル
GL_RESET	GL_HALT	10 周辺クロックサイクル
GL_RESET	GL_OPERATION	10 周辺クロックサイクル
GL_HALT	GL_RESET	2CAN ビット時間
GL_HALT	GL_OPERATION	3 周辺クロックサイクル

表 28.18 グローバルモード変更時の最大遷移時間 (2/2)

遷移前	遷移後	最大遷移時間
GL_OPERATION	GL_RESET	2CAN ビット時間
GL_OPERATION	GL_HALT	3CAN フレーム(注1) (注3)

注 1. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間は予測不可能なほど長くなることがあります。遷移時間は、RX ラインのロックまたは継続的なエラー状態によって膠着状態になることがあります。
注 2. GL_SLEEP モードからの遷移は、CFDGSTS.GRAMINIT がクリアされているときのみ行ってください。
注 3. TQ、CAN フレーム、および CAN ビットは、個々のチャネルに関連しています。最大遷移時間を得るには、ボーレートが最も低いチャネルを使用する必要があります。

28.3.4.2 チャネルモード変更のタイミング

チャネルモード変更時の遷移時間を以下の表に示します。

表 28.19 チャネルモード変更時の最大遷移時間

遷移前	遷移後	最大遷移時間
CH_SLEEP	CH_RESET	3 周辺クロックサイクル
CH_RESET	CH_SLEEP	3 周辺クロックサイクル
CH_RESET	CH_HALT	3 CAN ビット時間
CH_RESET	CH_OPERATION	4 CAN ビット時間
CH_HALT	CH_RESET	2 CAN ビット時間
CH_HALT	CH_OPERATION	4 CAN ビット時間(注3)
CH_OPERATION	CH_RESET	2 CAN ビット時間
CH_OPERATION	CH_HALT	2 CAN フレーム(注1) (注2)

注 1. この遷移で指定した時間には、チャネルがバスオフ状態に入った場合を含みません。バスオフの場合、タイミングは CFDC0CTR.BOM[1:0]ビットの設定によって変わります。
注 2. ここに示す遷移時間は、バスにエラーが発生していない場合の値です。エラーが発生した場合、遷移時間は予測不可能なほど長くなることがあります。遷移時間は、RX ラインのロックまたは継続的なエラー状態によって膠着状態になることがあります。
注 3. 一般に、CH_HALT モードでボーレートプリスケーラ値 CFDC0NCFG.NBRP が変更されると、遷移時間がずれることがあります。内部プリスケーラは TQ クロックを生成するフリーランニングダウンカウンタで、カウンタが値 0 に到達したときに新しい BRP 値がキャプチャされます。

28.4 初期化

CAN 通信に参加する前に、以下の設定を行います。

- クロックの設定
- ビットタイミングの設定（公称レートとデータレート）
- ボーレートの設定（公称レートとデータレート）
- CANFD 設定
- アクセプタンスフィルタの設定（グローバルアクセプタンスフィルタリストの構成）
- 送信、受信、および GW FIFO の設定
- CAN オペレーションモードの設定

28.4.1 CAN クロック、ビットタイミング、ボーレートの初期化

28.4.1.1 ビットタイミングの条件

各セグメントの構成と、セグメントの設定に適用される制約条件を以下に示します。

1. 各セグメントの設定
   SS = 1 TQ 固定
   TSEG1 = (CFDC0NCFG) および (CFDC0DCFG)(注1)を参照
   TSEG2 = (CFDC0NCFG) および (CFDC0DCFG)(注1)を参照

SJW = (CFDC0NCFG) および (CFDC0DCFG)(注1)を参照
SS + TSEG1 + TSEG2 = 5～49 TQ（データビットレートの場合）／8～385 TQ（公称ビットレートの場合）

2. TSEG1、TSEG2、SJW の制約条件
TSEG1(N) > TSEG2(N) ≥ SJW(N)
TSEG1(D) ≥ TSEG2(D) ≥ SJW(D)(注1)
従来型のフレームのみを使用する場合、CFDC0DCFG のビットフィールド TSEG1 および TSEG2 に有効な値を設定します。

注 1. この機能は、クラシカル CAN 機能では使用できません。

表 28.20 に、必要なサンプルポイント設定を得るためのビットタイミング設定方法の例を示します。

表 28.20 ビットタイミングの例

1 ビット	設定値（TQ）				サンプルポイント (%)
	SS	TSEG1	TSEG2	SJW	
5TQ	1	2	2	1	60.00
8TQ	1	4	3	1	62.50
	1	5	2	1	75.00
10TQ	1	6	3	1	70.00
	1	7	2	1	80.00
12TQ	1	8	3	1	75.00
	1	9	2	1	83.33
15TQ	1	10	4	1	73.33
	1	11	3	1	80.00
16TQ	1	10	5	1	68.75
	1	11	4	1	75.00
20TQ	1	12	7	1	65.00
	1	13	6	1	70.00
24TQ	1	15	8	1	66.66
	1	16	7	1	70.83
50TQ	1	39	10	4	80.00

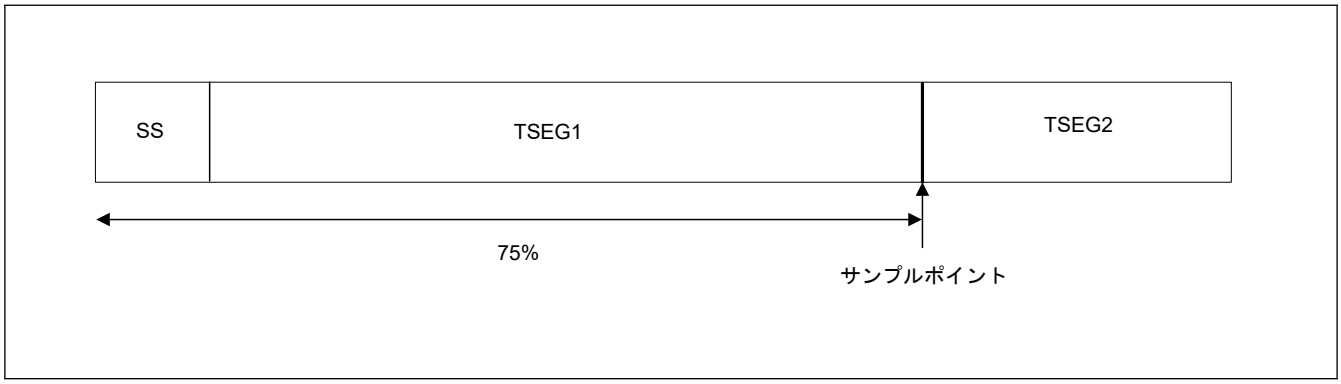


図 28.14 サンプルポイント（75%の場合）

28.4.1.2 CAN のビットタイミング

CAN プロトコルの通信フレームの各ビットでは、3 つのセグメントで構成されます。各セグメントは、関連する CFDC0NCFG レジスタおよび CFDC0DCFG(注1)レジスタを使用して、チャネルごとに独立して構成できます。

注 1. このレジスタは、クラシカル CAN 機能では使用できません。

図 28.15 に、各ビットのセグメント構成と、ビット内のサンプルポイントを示します。

これらのセグメントのうち、タイムセグメント 1（TSEG1）とタイムセグメント 2（TSEG2）は、サンプルポイントの位置を指定するために使用されます。TSEG1 と TSEG2 の値を変更することで、CAN バス上の各ビットをサンプリングするタイミングを変えることができます。

このタイミングの最小単位を TQ（Time Quantum）と呼びます。TQ の長さは、CAN チャネルに供給されるクロック周波数と、ボーレートプリスケーラの N 分周値（公称レートおよびデータレート）によって決まります。

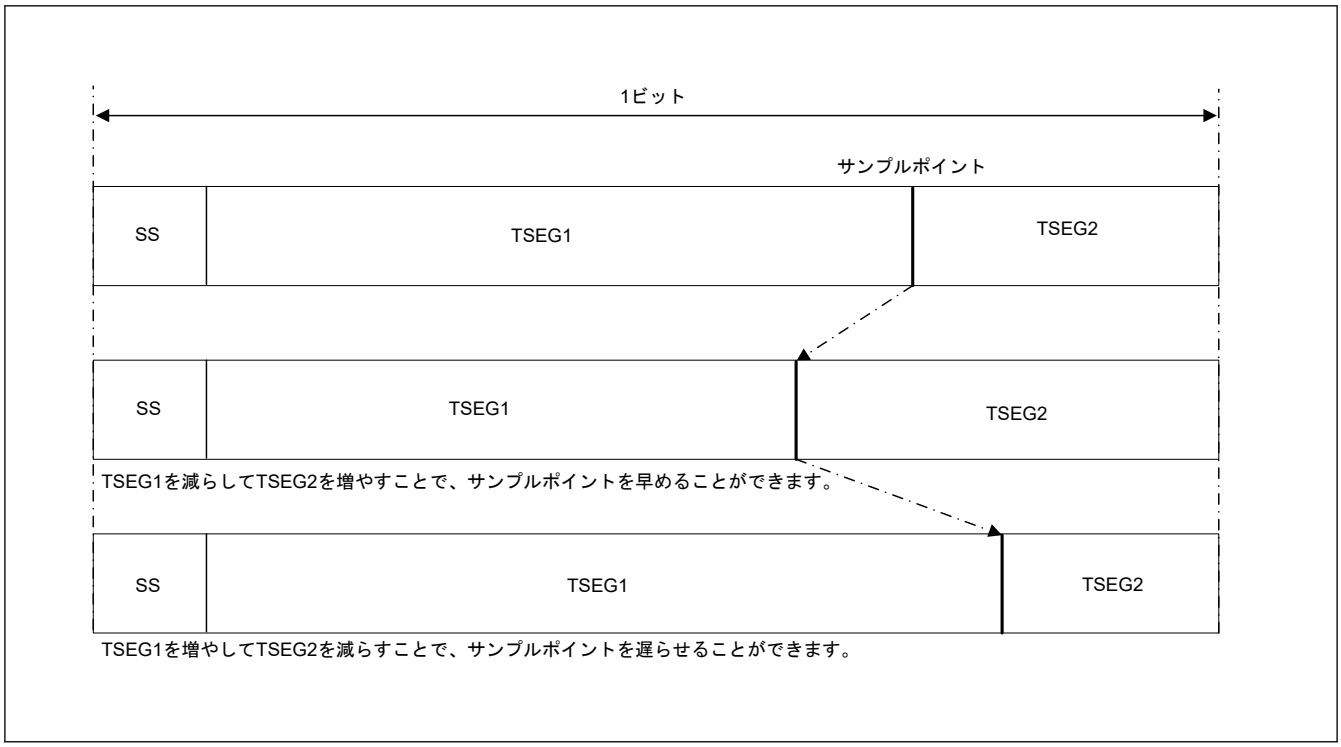


図 28.15　ビット内のセグメント構成とサンプルポイント

1. SS：シンクロナイゼーションセグメント
   インターフレームスペース中のレセシブからドミナントへのエッジをモニタして、ビットを同期するセグメントです。インターフレームスペースは、インターミッション、サスペンドトランスミッション、バスアイドルで構成され、バスアイドル中に全ノードが送信を開始することができます。
2. TSEG1: タイムセグメント 1
   CAN ネットワーク上の物理的な遅延を吸収するセグメントです。ネットワーク上の物理的な遅延は、バス上の遅延、入力コンパレータの遅延、出力ドライバの遅延の総和の 2 倍になります。SJW によって伸ばすことができます。
3. TSEG2：タイムセグメント 2
   再同期を実行してフェーズエラーを補償するセグメントです。SJW によって縮めることができます。メッセージの送受信中、発振器の周波数ドリフトや伝送路の遅延により、一部ノード間の通信フレームの同期がずれる場合があります。これをフェーズエラーと言います。
4. SJW：再同期ジャンプ幅
   フェーズエラーによる同期ズレを補償できる最大ビット幅です。

図 28.15 には、1 つのシンボル的なサンプルポイントのみを示しています。

28.4.1.3　ボーレート

CAN 通信クロックとして、CAN チャネルのシステムクロック（クリーンクロック）または外部発振器クロックのいずれかをグローバルに選択することができます。

転送速度は、DLL クロック、ボーレートプリスケーラの N 分周値、および 1 ビットに含まれる TQ の数によって決まります。

$$\text{ボーレート} = \frac{\text{DLLクロック}}{(\text{1ビット当たりのTQ数}) \times (\text{BRP} + 1)}$$

図 28.16 に CAN チャネルシステムクロックを生成する回路のブロック図を示します。表 28.21 にボーレートの例を示します。

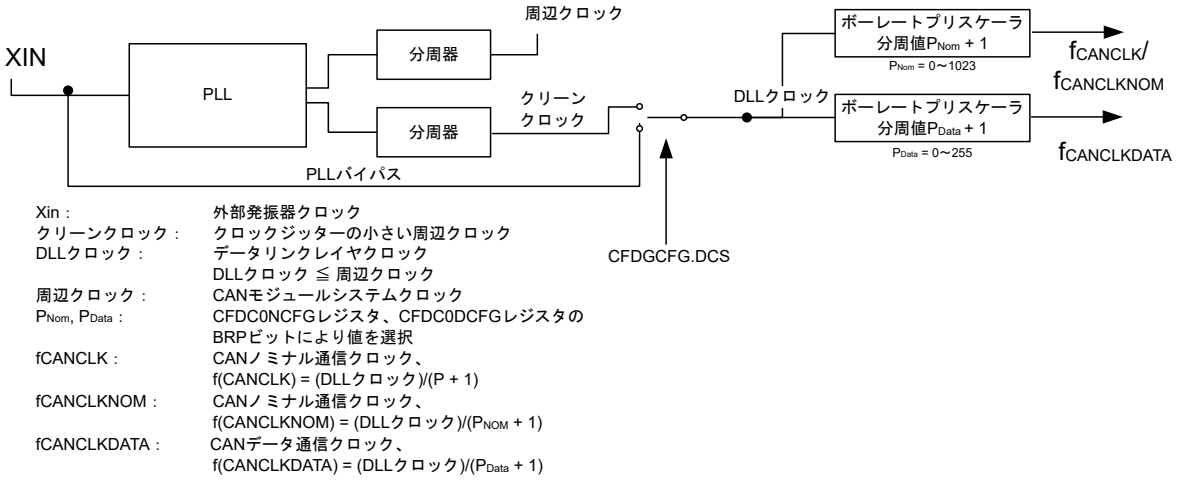


図 28.16 CAN チャネルの通信クロックを生成する回路のブロック図

表 28.21 公称ボーレートの計算式と CAN 通信の構成例

ボーレートの計算式	(DLL クロック) (ボーレートプリスケーラの N 分周値(注1)) × (1 ビット当たりの TQ 数)							
	40 MHz	32 MHz	30 MHz	24 MHz	20 MHz	16 MHz	10 MHz	8 MHz(注2)
1 Mbps	8TQ (5) 20TQ (2)	8TQ (4) 16TQ (2)	10TQ (3) 15TQ (2)	8TQ (3) 12TQ (2) 24TQ (1)	10TQ (2) 20TQ (1)	8TQ (2) 16TQ (1)	10TQ (1)	8TQ (1)
500 Kbps	8TQ (10) 20TQ (4)	8TQ (8) 16TQ (4)	10TQ (6) 15TQ (4) 20TQ (3)	8TQ (6) 12TQ (4) 24TQ (2)	10TQ (4) 20TQ (2)	8TQ (4) 16TQ (2)	10TQ (2) 20TQ (1)	8TQ (2) 16TQ (1)
250 Kbps	8TQ (20) 20TQ (8)	8TQ (16) 16TQ (8)	10TQ (12) 15TQ (8) 20TQ (6)	8TQ (12) 12TQ (8) 24TQ (4)	10TQ (8) 20TQ (4)	8TQ (8) 16TQ (4)	10TQ (4) 20TQ (2)	8TQ (4) 16TQ (2)
125 Kbps	8TQ (40) 20TQ (16)	8TQ (32) 16TQ (16)	10TQ (24) 15TQ (16) 20TQ (12)	8TQ (24) 12TQ (16) 24TQ (8)	10TQ (16) 20TQ (8)	8TQ (16) 16TQ (8)	10TQ (8) 20TQ (4)	8TQ (8) 16TQ (4)
83.3 Kbps	8TQ (60) 12TQ (40) 16TQ (30) 24TQ (20)	8TQ (48) 12TQ (32) 16TQ (24) 24TQ (16)	8TQ (45) 10TQ (36) 12TQ (30) 15TQ (24) 20TQ (18) 24TQ (15)	8TQ (36) 12TQ (24) 16TQ (18) 24TQ (12)	8TQ (30) 10TQ (24) 12TQ (20) 15TQ (16) 16TQ (15) 20TQ (12) 24TQ (10)	8TQ (24) 12TQ (16) 16TQ (12) 24TQ (8)	8TQ (15) 10TQ (12) 12TQ (10) 15TQ (8) 20TQ (6) 24TQ (5)	8TQ (12)
33.3 Kbps	8TQ (150) 12TQ (100) 16TQ (75) 20TQ (60) 24TQ (50)	8TQ (120) 10TQ (96) 12TQ (80) 15TQ (64) 16TQ (60) 20TQ (48) 24TQ (40)	10TQ (90) 12TQ (75) 15TQ (60) 20TQ (45)	8TQ (90) 10TQ (72) 12TQ (60) 15TQ (48) 16TQ (45) 20TQ (36) 24TQ (30)	8TQ (75) 10TQ (60) 12TQ (50) 15TQ (40) 20TQ (30) 24TQ (25)	8TQ (60) 10TQ (48) 12TQ (40) 15TQ (32) 16TQ (30) 20TQ (24) 24TQ (20)	10TQ (30) 12TQ (25) 15TQ (20) 20TQ (15)	8TQ (30)

注. 括弧内の数字はボーレートプリスケーラの N 分周値を示しています。
注 1. ボーレートプリスケーラの N 分周値 = P + 1 (P = 0～1023)。ここで、P はチャネルコンフィグレーションレジスタの BRP ビットによって選択された値です。
注 2. 最大公称ボーレート 1 Mbps を実現するための最小周波数です。

表 28.22　公称ビットレートおよびデータビットレート CAN 通信構成に対するボーレートの計算例

ボーレートの計算式	(DLL クロック) (ボーレートプリスケーラの N 分周値(注1)) × (1 ビット当たりの TQ 数)	
	40 MHz	20 MHz
公称 1 Mbps データ 5 Mbps	40TQ (1)	20TQ (1)
	8TQ (1)	不可
公称 500 Kbps データ 2 Mbps	80TQ (1)	40TQ (1)
	20TQ (1)	10TQ (1)

注.　括弧内の数字はボーレートプリスケーラの N 分周値を示しています。この表は、クラシカル CAN 機能では使用できません。
注 1.　ボーレートプリスケーラの N 分周値 = P + 1 (P = 0～1023)。ここで、P はチャネルコンフィグレーションレジスタの BRP ビットによって選択された値です。

FD フレームフォーマットを使用するネットワークで、最適なクロックトレランスを実現するには、公称ビット時間とデータビット時間とで TQ の長さを同じにしなければなりません。つまり、CFDC0NCFG.NBRP = CFDC0DCFG.DBRP にします。

また、トランシーバ遅延補償を使用する場合は、CFDC0DCFG.DBRP ビットを 1 より大きい値に設定してはなりません。1 は、2 で割ることを意味するためです。

28.4.1.4　CAN のクロック、ビットタイミング、ボーレートの設定

図 28.17 に、CAN の各チャネルのクロックとボーレートを設定する手順を示します。

これらの設定は、該当する CAN チャネルがチャネルリセットモード（コンフィグレーションモード）のときに行う必要があります。

ボーレートは、チャネル通信状態に入る前に設定しなければなりません。ボーレートが設定されていない場合、モードの切り替えが正しく行われません。

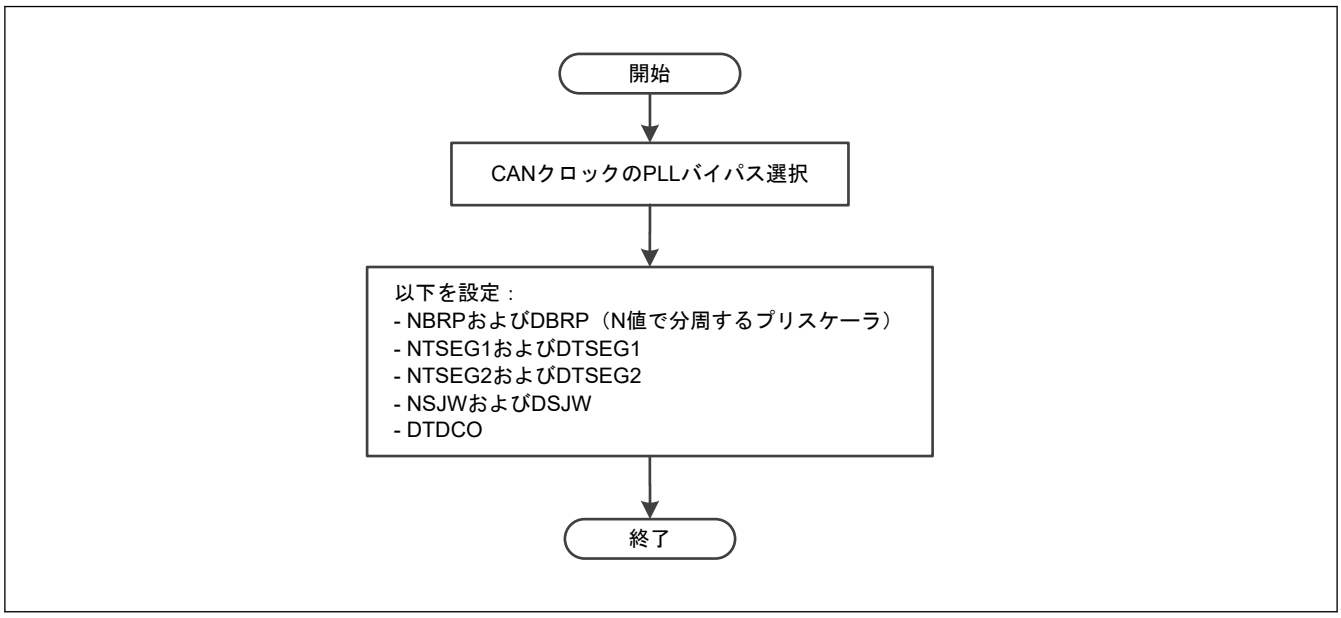


図 28.17　CAN のビットタイミングとボーレートを設定する手順

28.4.1.5　トランスミッタ遅延補償

この章は、クラシカル CAN 機能に対しては適用されません。

データフェーズに 5～8 Mbps のような高いボーレートを使用した場合、トランスミッタ遅延が TSEG1 より大きくなる場合があります。この場合、トランスミッタは CANFD フレームのデータフェーズのビットエラーを常に検出します。TDC は、トランスミッタ自身が送信したビットを、そのビットのサンプルポイントで受信できない場合を補償します。

もう 1 つのシンボル的なサンプルポイントとして、CANFD フレームのデータフェーズのみで使用されるセカンダリサンプルポイント (SSP) があります。図 28.18 に示すように、SSP はトランシーバ遅延補償結果ビット (CFDC0FDSTS.TDCR) によって設定されます。

構成の分解能、測定値およびオフセット値は、CAN チャネルの DLL クロックに基づきます。

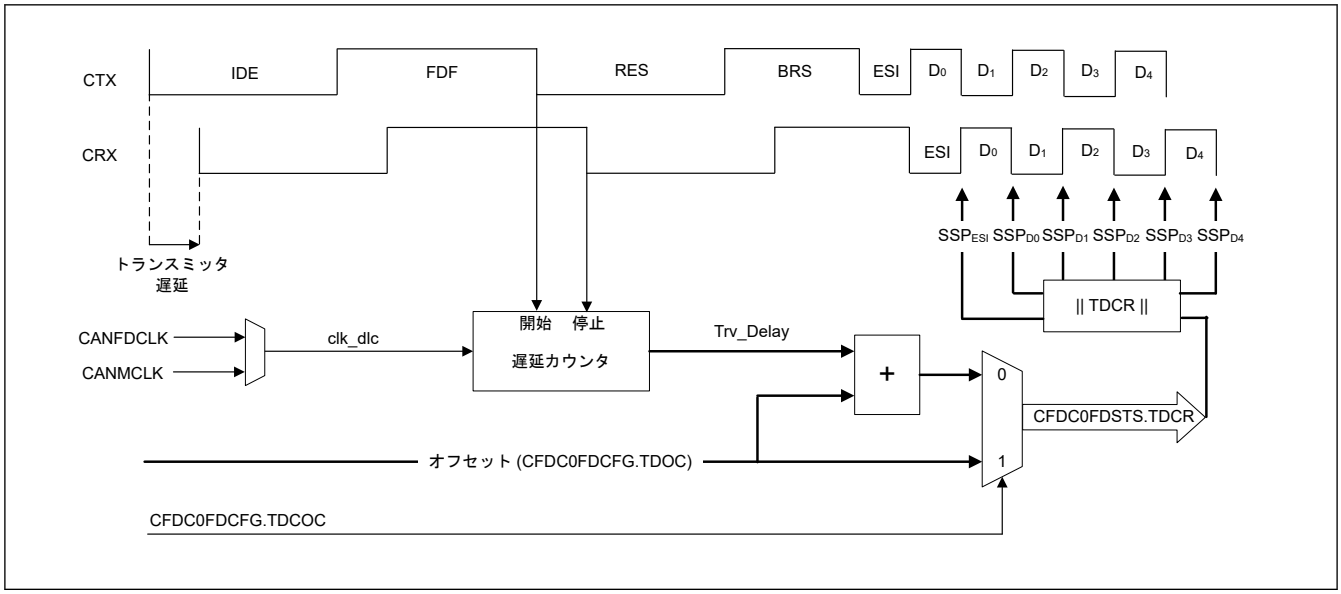


図 28.18 トランスミッタ遅延補償

測定された遅延時間である Trv_Delay は、clk_dlc クロックサイクル数に基づきます。この遅延時間は、ドミナント値が CAN_RX に現れるまで、開始されるクロックごとに 1 ずつカウントアップされます。図 28.19 に測定結果を示します。Trv_Delay が各 clk_dlc クロックで最大 127 までカウントされます。

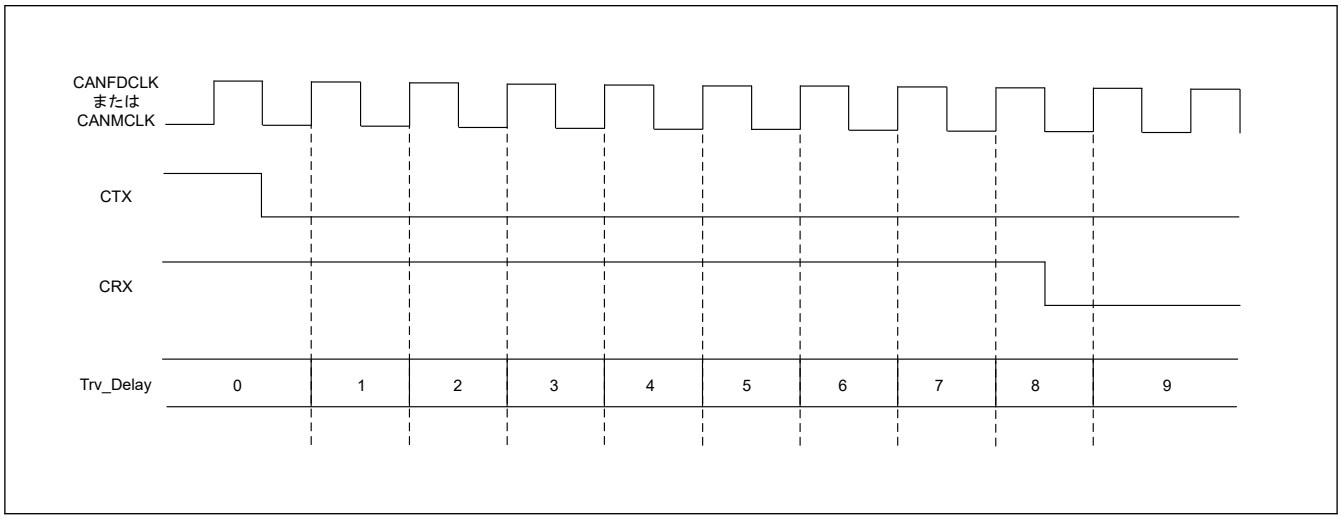


図 28.19 Trv_Delay の測定例

SSP は、CFDC0FDSTS.TDCR の結果を取り、その値をデータ TQ の最も近い整数値に切り捨てることで計算されます。

図 28.20 にセカンダリサンプルポイントの位置を示します。CFDC0FDCFG.TDCOC が 0 のとき、SSP は Trv_Delay（測定された遅延時間）+ CFDC0FDCFG.TDCO を、TQ の最も近い整数値に切り捨てた値と等しくなります。通常、TDCO の値は、SSP をサンプルポイントの理論上の位置に配置するため、(SyncSegmentdata + TSEG1data) の大きさを持ちます。

CFDC0FDCFG.TDCOC が 1 のとき、SSP は CFDC0FDCFG.TDCO によって決まります。CFDC0DCFG.DBRP が 0 より大きい場合、この値も TQ の最も近い整数値に切り捨てられます。

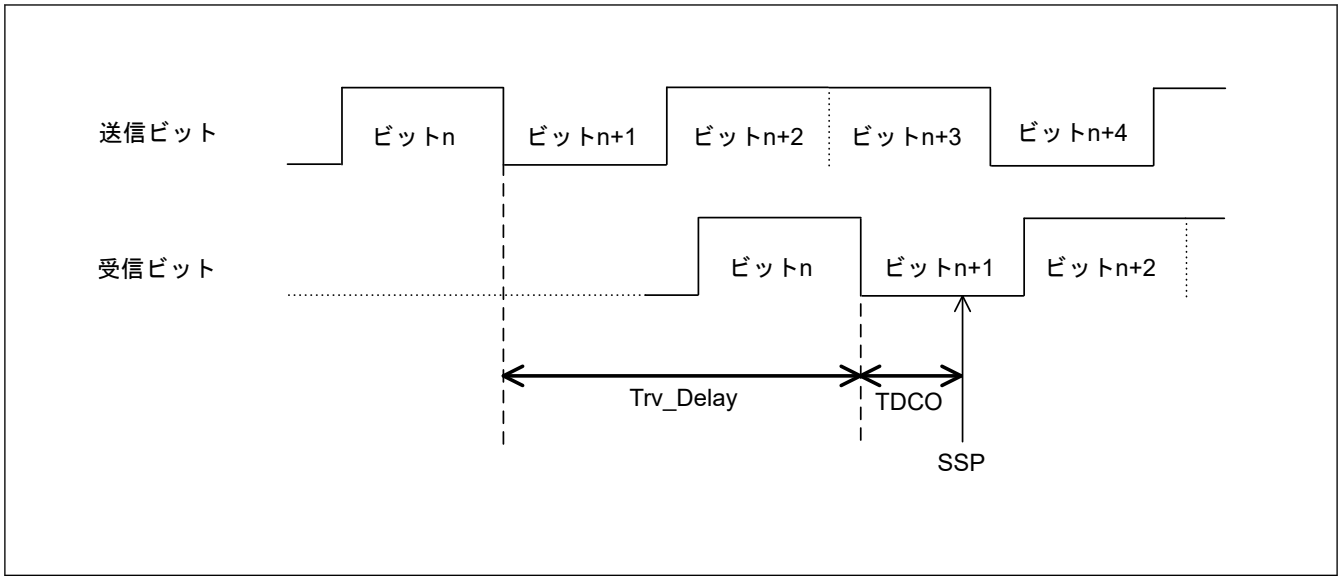


図 28.20　セカンダリサンプルポイントの位置

CANFD モジュールによって補償可能な最大遅延時間 (Trv_Delay + TDCO) は、(6 データビット - 2clk_dlc) です。

ISO 11898-1 では、BRP_data と BRP_nom に異なる値を設定することが許容されています。

CFDC0NCFG.NBRP と CFDC0DCFG.DBRP に異なる値を使用した場合、BRS ビットのサンプルポイントの後で、ビットレートが公称ビットレートからデータビットレートに変化した時点で、2 つの CAN ノードの同期がずれることがあります。この条件を図 28.21 に示します。

公称ビット時間とデータビット時間で、TQ の長さを同じにする必要があります。これは、CFDC0NCFG.NBRP = CFDC0DCFG.DBRP を意味します。

タイムセグメントに異なる設定値を選択することで、ビットレートを変えることができます。公称ビットレートは 8～385 TQ の間、データビットレートは 5～49 TQ の間で設定できます。

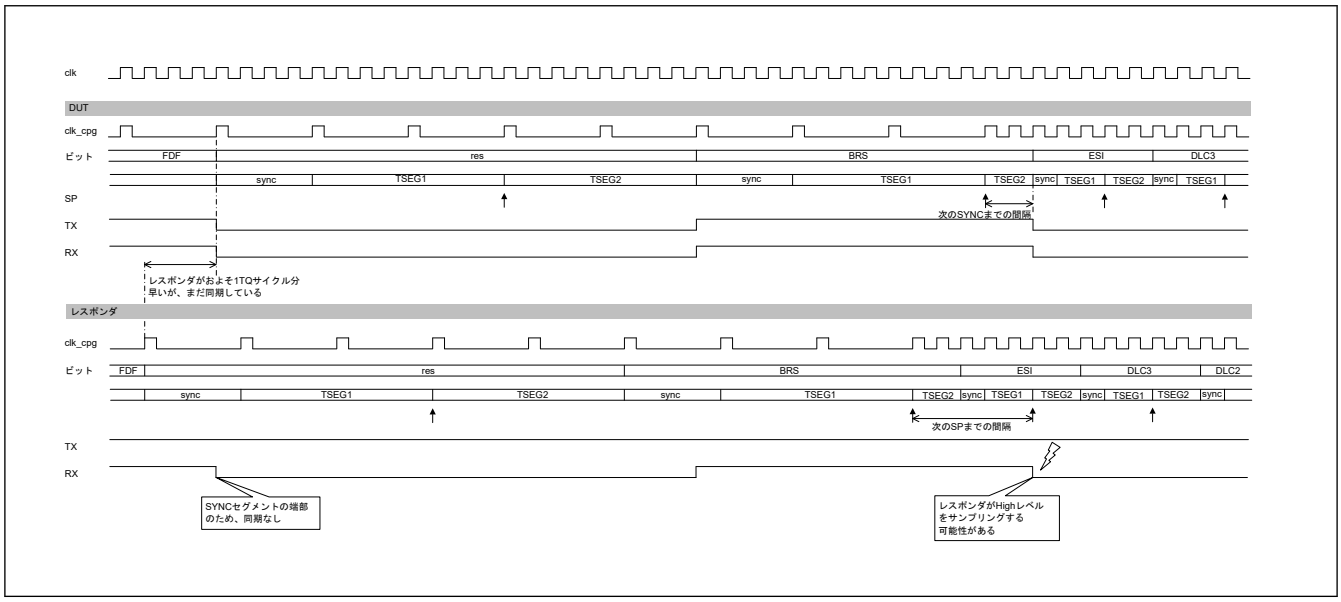


図 28.21　2 つの CAN ノード間の同期ズレ

適切に構成した場合 (CFDC0FDCFG.TDCE = 1, CFDC0FDCFG.TDCOC = 0)、トランスミッタ遅延補償の測定結果は、FDF ビットから RES ビットへの立ち下がりエッジで更新されます。

図 28.22 は、トランスミッタ遅延補償測定結果を取得するための読み出しフローを示しています。

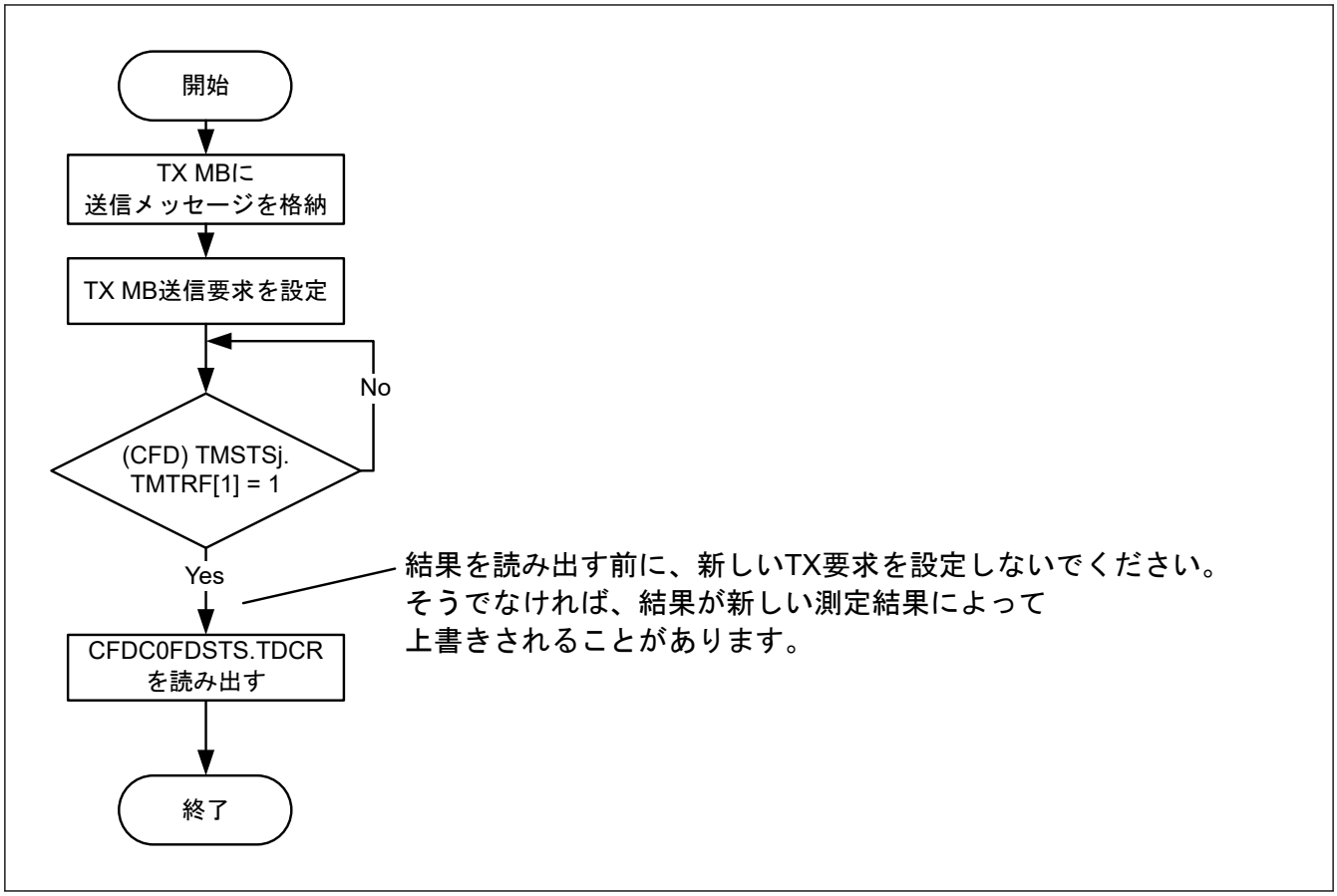


図 28.22　TDC 結果読み出しフロー

28.4.2　ハードウェアリセット後の CAN モジュールの構成

ハードウェアリセット（パワーオンリセット）後、または CFDGRSTC.SRST ビットがセット／クリアされた後、CANFD モジュールは自動的にグローバルスリープモードに遷移します。

CANFD モジュールの構成を行うには、グローバルスリープ要求ビット CFDGCTR.GSLPR を 0 にクリアして、スリープモードを解除する必要があります。

ハードウェアリセット後、モジュールは RAM の初期化を開始します。このとき、グローバルステータスレジスタの CFDGSTS.GRAMINIT ビットが自動的にセットされ、CANFD ロジックが RAM を初期化中であることを示します。

このビットは、RAM の初期化が完了すると自動的にクリアされます。

RAM の初期化は、ハードウェアリセットで RAM に存在するランダムデータがリセットされた後に誤って ECC エラーフラグがセットされるのを防ぐために必要です。

RAM の初期化が終わり、CFDGSTS.GRAMINIT ビットがクリアされるまでは、読み出しか書き込みかを問わず、CANFD のレジスタにアクセスしてはなりません。

通信モードに入る前に、グローバルアクセプタンスフィルタリストとメッセージ FIFO バッファを構成する必要があります。また、CAN のビットタイミングなど、CAN チャネルの構成を行う必要があります。この構成を行うには、CAN チャネルにおいて、チャネルスリープモードを解除し、チャネルリセットモード（コンフィグレーションモード）に通信を構成する必要があります。

図 28.23 に構成手順を示します。各ステップの詳細については、「28.5. グローバルアクセプタンスフィルタリスト（AFL）を使用したアクセプタンスフィルタ機能」、「28.6. FIFO バッファと通常のメッセージバッファの構成」、「28.7. 割り込みと DMA」、および「28.4.1.3. ボーレート」を参照してください。

CFDGRSTC.SRST を設定することによってソフトウェアリセットが行われた場合、CANFD モジュールは RAM 初期化シーケンスを実行しません。

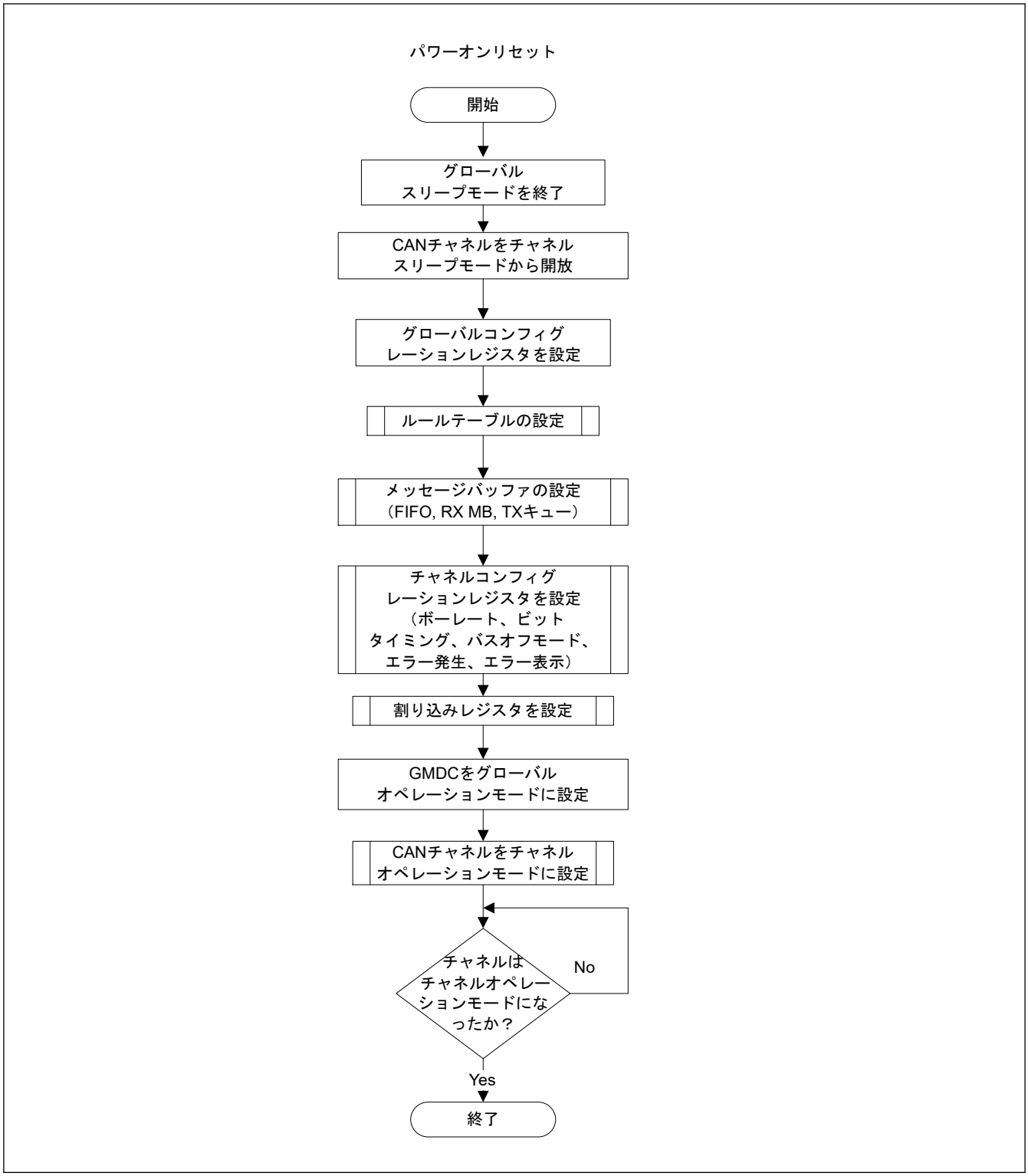


図 28.23　ハードウェアリセット後の構成手順

28.5　グローバルアクセプタンスフィルタリスト（AFL）を使用したアクセプタンスフィルタ機能

28.5.1　概要

CANFD モジュールでは、グローバルアクセプタンスフィルタリスト（以後、AFL と呼ぶ）を使用して、メッセージのアクセプタンスフィルタ処理を行うことができます。AFL の各要素により、特定のチャネルで受信メッセージに対するフィルタルールが定義されます。

AFL のエントリに基づき、以下のアクションが実行されます。

- 受信 CAN ID およびマスクに基づくアクセプタンスフィルタ処理
- 受信 DLC 値に基づく DLC フィルタ処理
- CFDGCFG.CMPOC ビットによるメッセージデータペイロード(注1)
- 受け入れたメッセージを、関連する AFL エントリに定義されたメッセージバッファオブジェクトに格納
- 16 ビットのポインタを関連する AFL エントリに定義された格納されるメッセージに付加（例 : AUTOSAR アプリケーションをサポートするため）
- 2 ビットの情報ラベルを関連する AFL エントリに定義された格納されるメッセージに付加

注 1. この機能は、クラシカル CAN 機能では使用できません。

CANFD モジュールでは、最大 32 個の AFL エントリを設定可能です。

アクセプタンスフィルタの処理中、アクセプタンスフィルタユニットは、チャネル内の各 AFL エントリを、受信メッセージと照らし合わせてチェックします。チェックは､そのチャネルで最も小さい AFL エントリ番号を持つエントリから開始されます。

受信した ID が設定した ID／マスクの組み合わせと一致したとき、あるいは、受信した ID が関連するチャネルのすべての AFL エントリと照合されたとき、AFL 検索は停止します。一致しない場合、受信メッセージは拒否されます。この場合、アプリケーションに通知は送られません。

さらに、DLC チェックがグローバルに有効化されている場合、受け入れた各メッセージについて、自動 DLC フィルタ処理が行われます。受信メッセージの DLC 値が、一致した AFL エントリに設定された DLC 値以上の場合、DLC チェックはパスします。

DLC 置換（CFDGCFG.DRE ビット）が有効で、一致した AFL エントリに設定された DLC 値が 0x0 より大きく、DLC チェックにパスした場合、一致した AFL エントリに設定された DLC 値が格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信した DLC 値が一致した AFL エントリに設定された DLC 値よりも大きい場合、CAN バス上で受信した追加のデータバイトは格納先の RX メッセージバッファまたは FIFO バッファに格納されません。これらの追加データバイトは、格納先の RX メッセージバッファまたは FIFO バッファに、0x00 として格納されます。

DLC 置換が有効で、一致する AFL エントリの DLC 値が 0x0 の場合、受信した DLC 値が格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

DLC 置換（CFDGCFG.DRE ビット）が無効で、DLC チェックにパスした場合、CAN バス上で受信した DLC 値が、格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信した DLC 値が、一致した AFL エントリに設定された DLC 値より大きい場合、CAN バスから受信した追加のデータバイトも、格納先の RX メッセージバッファまたは FIFO バッファに格納されます。

受信メッセージの DLC 値が、一致した AFL エントリに設定された DLC 値より小さい場合、DLC チェックは失敗します。その場合、受信メッセージは拒否され、RX メッセージバッファまたは FIFO バッファに格納されません。

また、DLC チェックに失敗すると、グローバルエラーフラグレジスタで DLC エラーフラグが設定されます。設定されている場合、エラー割り込みも発生します。DLC チェックに失敗した場合、DLC 置換の設定は影響しません。

メッセージがアクセプタンスフィルタ処理と DLC フィルタ処理の両方にパスした場合、受信メッセージ用のシングルバッファおよび／または受信機能に構成された FIFO バッファにメッセージが格納されます。

このメッセージ格納先情報も、同じ AFL エントリに定義されています。構成されていない AFL エントリに対してターゲットを設定してはなりません。

受け入れた各受信メッセージは、最大で 2 つの格納先（受信メッセージ用のシングルバッファおよび／または FIFO バッファ）に格納できます。

格納先は 2 つまでしか設定することはできません。これより多い格納先を設定した場合、内部タイミングで競合状態が発生し、受信メッセージがメッセージ RAM に格納されない場合があります。この格納先の数は、アプリケーション側で正しく設定する必要があります。

受信メッセージに、格納先（CFDRMNB.RMPLS、CFDRFCCa.RFPLS、または CFDCFCC.CFPLS）に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合のために、追加の保護機構があります。

CFDGCFG.CMPOC = 0 の場合、メッセージ全体が拒否され、格納先に保存されます。CFDGCFG.CMPOC = 0 であり、受信メッセージを含む RX FIFO または共通 FIFO フルに格納先（CFDRMNB.RMPLS、CFDRFCCa.RFPLS、または CFDCFCC.CFPLS）に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合、対応する CFDFMSTS.RFxMLT または CFDFMSTS.CFxMLT ビットは 1 に設定されません。

CFDGCFG.CMPOC = 1 のとき、CFDRMNB.RMPLS を超える受信データバイトが拒否されます。
CFDGCFG.CMPOC = 1 であり、受信メッセージを含む RX FIFO または共通 FIFO フルに格納先（CFDRMNB.RMPLS、CFDRFCCa.RFPLS、または CFDCFCC.CFPLS）に保存可能なサイズよりも多くのデータペイロードバイトが含まれる場合、対応する CFDFMSTS.RFxMLT または CFDFMSTS.CFxMLT ビットは 1 に設定されます。

CFDGCFG.DRE ビットの設定に応じて、受信した元の DLC 値か、AFL エントリに設定された DLC 値のいずれかが格納されます。

CFDGCFG.CMPOC ビットの設定にかかわらず、ペイロードオーバーフロー条件が検出された場合、CFDGERFL.CMPOF は 1 に設定されます。

DLC フィルタ処理は、ペイロードオーバーフロー機能より前に実行されます。そのため、1 つの受信フレームについて、CFDGERFL.DEF または CFDGERFL.CMPOF(注1)によって同時に 1 つのフラグのみを設定できます。

注 1. このビットは、クラシカル CAN 機能では使用できません。

28.5.2 AFL エントリの割り当て

チャネルごとの AFL エントリの数は、関連するグローバルアクセプタンスフィルタコンフィグレーションレジスタの専用のフィールドを使用して設定できます（図 28.24 を参照）。

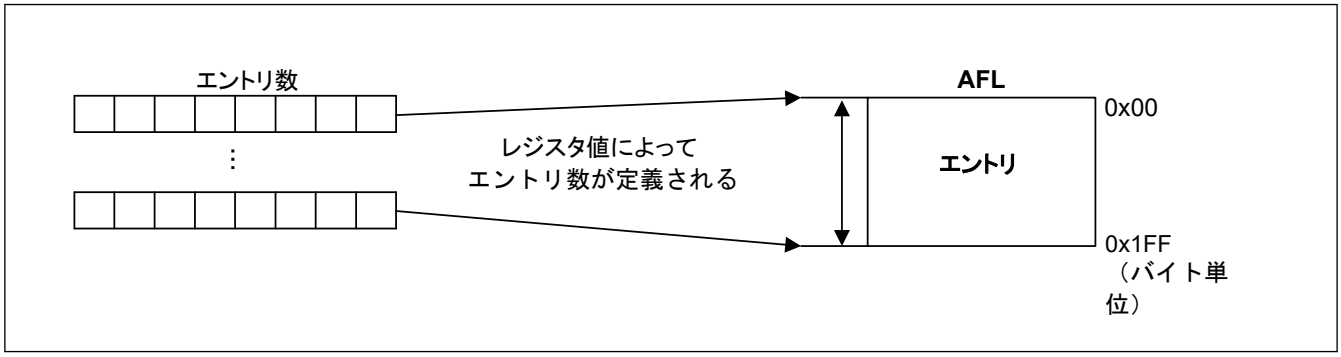


図 28.24 各チャネルの AFL の構成

1 チャネル当たりの最小エントリ数は 0（チャネルにエントリが定義されていない状態）で、最大エントリ数は 32 です。

1 つのチャネルの全エントリは一意で、エントリの重複や共有はサポートされていません。AFL を正しく構成することは、アプリケーションの責任です。

CANFD モジュールは、AFL の構成に関連するエラーにフラグを立てません。

28.5.3 AFL エントリの説明

各 AFL エントリは、16 バイトで構成されます。すべてのエントリで、フィールドは同一です。

各エントリには、アクセプタンスフィルタ処理と DLC フィルタ処理に使用される以下の情報が含まれます。

- ID（標準フレームフォーマットでは 11 ビット、拡張フレームフォーマットでは 29 ビット）：
  アクセプタンスフィルタユニットは、受信したメッセージの ID フィールドを、各 AFL エントリの ID フィールドと照合します（ID ビットに対してフル 29 ビットマスク処理が可能です。下記の情報を参照してください）。

- IDE ビット：
  アクセプタンスフィルタユニットは、受信したメッセージの IDE ビットをこのビットと照合し、ID フィールドからアクセプタンスフィルタ処理に関連する部分を選択します（IDE ビットに対してマスク処理が可能です。下記の情報を参照してください）。

- RTR ビット：

アクセプタンスフィルタユニットは、このビットの設定に従って、データフレーム（RTR = 0）またはリモートフレーム（RTR = 1）のみを受け入れます（RTR ビットに対してマスク処理が可能です。下記の情報を参照してください）。

- ループバックコンフィグレーションビット：
  このビットにより、ループバック構成またはミラーモード条件に応じて AFL エントリの有効／無効を設定できます。

- ID ビットのマスク（29 ビット）：
  ID マスクの各ビットは、アクセプタンスフィルタ処理中、AFL エントリ内の対応する ID ビットをマスクできます。図 28.25 を参照してください。

- IDE ビットのマスク：
  標準 ID フォーマットと拡張 ID フォーマットの両方において、このマスクビットで AFL エントリの IDE ビットをマスクした場合、この AFL エントリでメッセージが受け入れられます。標準 ID フォーマットのメッセージの場合、受信したメッセージの ID が AFL エントリの標準 ID 部分と比較されます。拡張 ID フォーマットのメッセージの場合、受信したメッセージの ID が AFL エントリの拡張 ID 部分と比較されます。

- RTR ビットのマスク：
  両方のフレームフォーマットにおいて、このマスクビットは、AFL エントリの RTR ビットをマスクします。この AFL エントリでは、データフレームとリモートフレームフォーマットが受け入れられます。

- ポインタ情報（16 ビット）：
  この 16 ビットのポインタは、関連する AFL エントリによって受け入れられた受信メッセージに付加されます。このポインタは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用できます。たとえば、ポインタ情報を使用して、AUTOSAR システムにおける受信メッセージへの PDU ID 割り当てをサポートできます。

- 情報ラベル（2 ビット）：
  この 2 ビットのラベルは、関連する AFL エントリによって受け入れられたメッセージに付加されます。このラベルは、メッセージバッファ領域へのメッセージ格納中に追加され、アプリケーションによりサポート機能として使用できます。

- 自動 DLC フィルタ処理のための DLC 値：
  受信したメッセージの DLC 値が設定した DLC 値以上である場合、DLC チェックにパスします。

この AFL エントリの DLC 値を 0 に設定すると、そのエントリについて DLC フィルタ処理が実質的に無効化されます（受け入れられたすべてのメッセージが DLC フィルタ処理をパスします）。

各 AFL エントリは、受信したメッセージを処理するために以下の情報を含みます。

- 受信したメッセージの格納先として使用される単一の受信メッセージバッファのメッセージバッファ番号
- 受信したメッセージの格納先として、単一の受信メッセージバッファ番号の有効または無効を設定する単一受信メッセージバッファ有効ビット
- FIFO 宛先ポインタ - FIFO 宛先ポインタの各ビットは、受信したメッセージの格納先の候補として、専用の FIFO を構成します。

このようなメッセージの格納に対するハードウェア保護は提供されていません。そのため、FIFO 宛先ポインタを設定する際は注意が必要です。

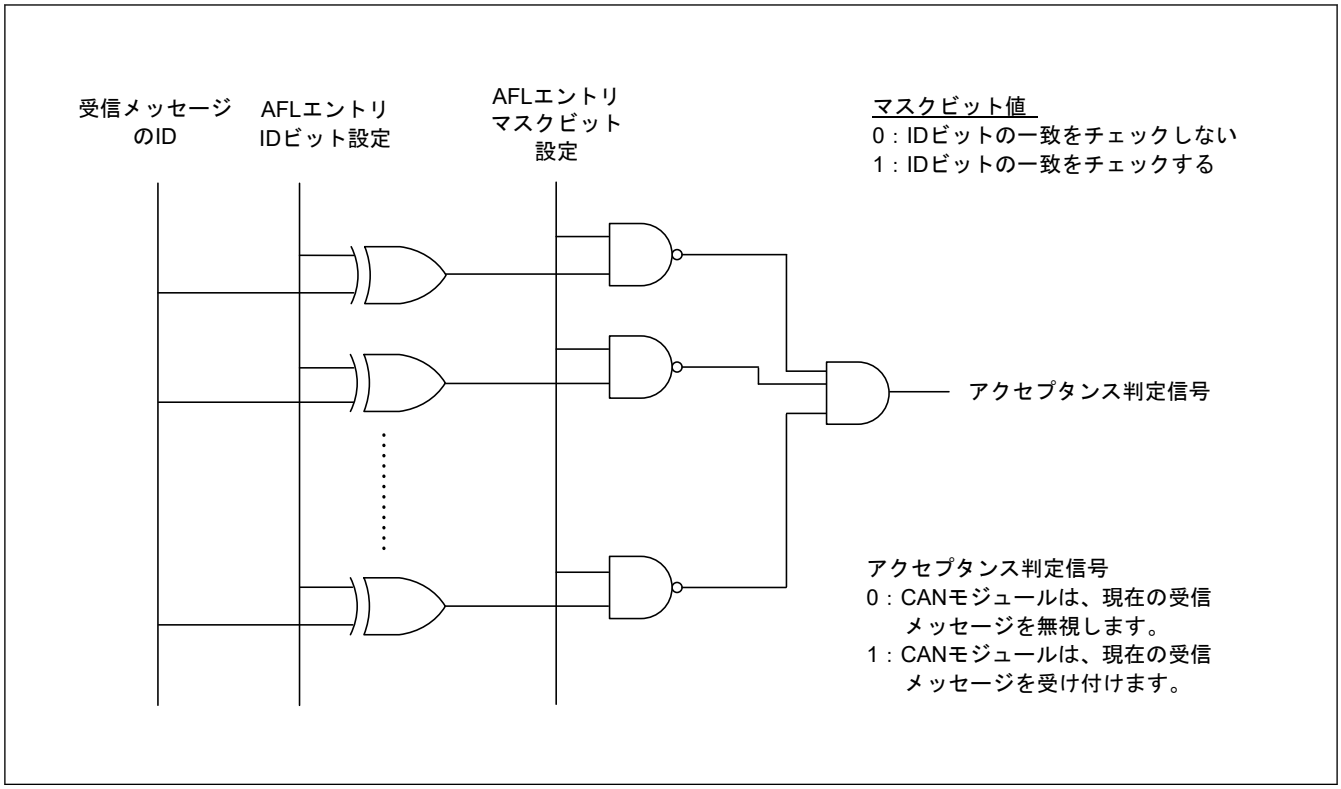


図 28.25　アクセプタンス機能

28.5.4　AFL へのエントリの入力

アプリケーションソフトウェアは、以下のレジスタを使用して AFL に 1 つのエントリ全体を入力できます。

- グローバル AFL ID エントリレジスタ：AFL エントリのパート 1
- グローバル AFL マスクエントリレジスタ：AFL エントリのパート 2
- グローバル AFL ポインタ 0 エントリレジスタ：AFL エントリのパート 3
- グローバル AFL ポインタ 1 エントリレジスタ：AFL エントリのパート 4

これらのレジスタ 16 組で、1 つの AFL エントリのグループを構成します。各グループには、ページ機構を介してアクセスできます。CANFD モジュールでは、AFL 範囲全体にアクセスできるよう、32 のページが存在します。AFL は CH_RESET モードまたは CH_HALT モードのみで構成するものとします。ページは以下のように AFL エントリにリンクされます。

ページ 0	エントリ 0～15
ページ 1	エントリ 16～31

AFL アクセスページの選択は、グローバルアクセプタンスフィルタリストエントリコントロールレジスタ (CFDGAFLECTR) によって行われます（図 28.26 参照）。このレジスタには以下のフィールドがあります。

- AFL ページ番号を選択するために使用される 1 ビット
- AFL への不要な書き込みを防止するため、AFL データアクセスの有効／無効を選択するために使用される 1 ビット

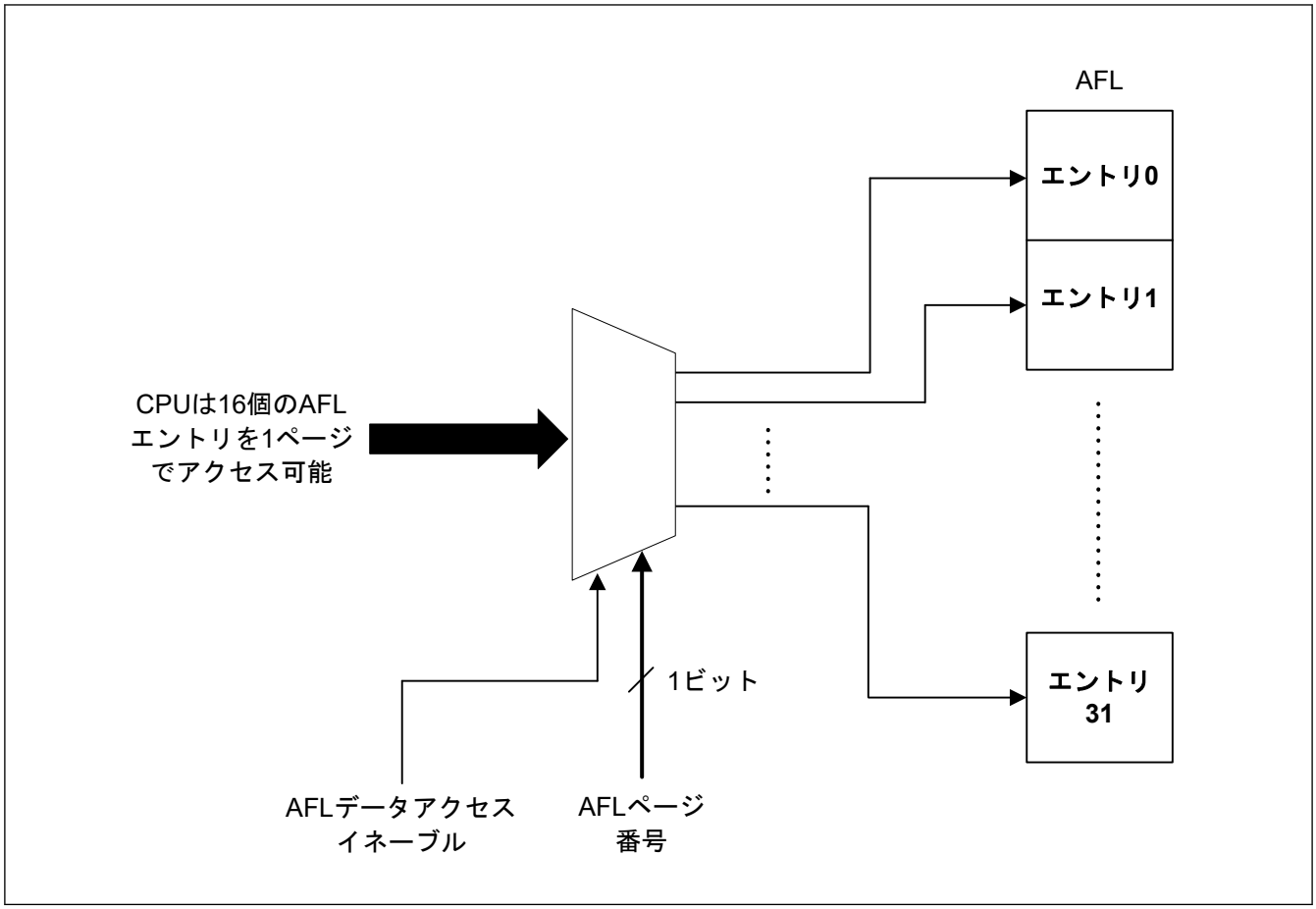


図 28.26 AFL ページアクセス

アプリケーションソフトウェアは、AFL ページ番号に 0x1 よりも大きい番号を書き込んではなりません。

AFL をプログラムするには、図 28.27 に示す構成に従ってください。

AFL への不要な書き込みを防止するため、コンフィグレーションモードですべてのエントリを入力した後、AFL アクセスをロックする必要があります。

ロックビットがセットされている場合、すべてのグローバルモード (GL_RESET, GL_HALT, GL_OPERATION) 中、書き込み保護が有効になります。

すべてのグローバルモード中、AFL データアクセスが無効であっても、AFL の読み出しは可能です（実行時に AFL の内容の整合性チェックが可能です）。

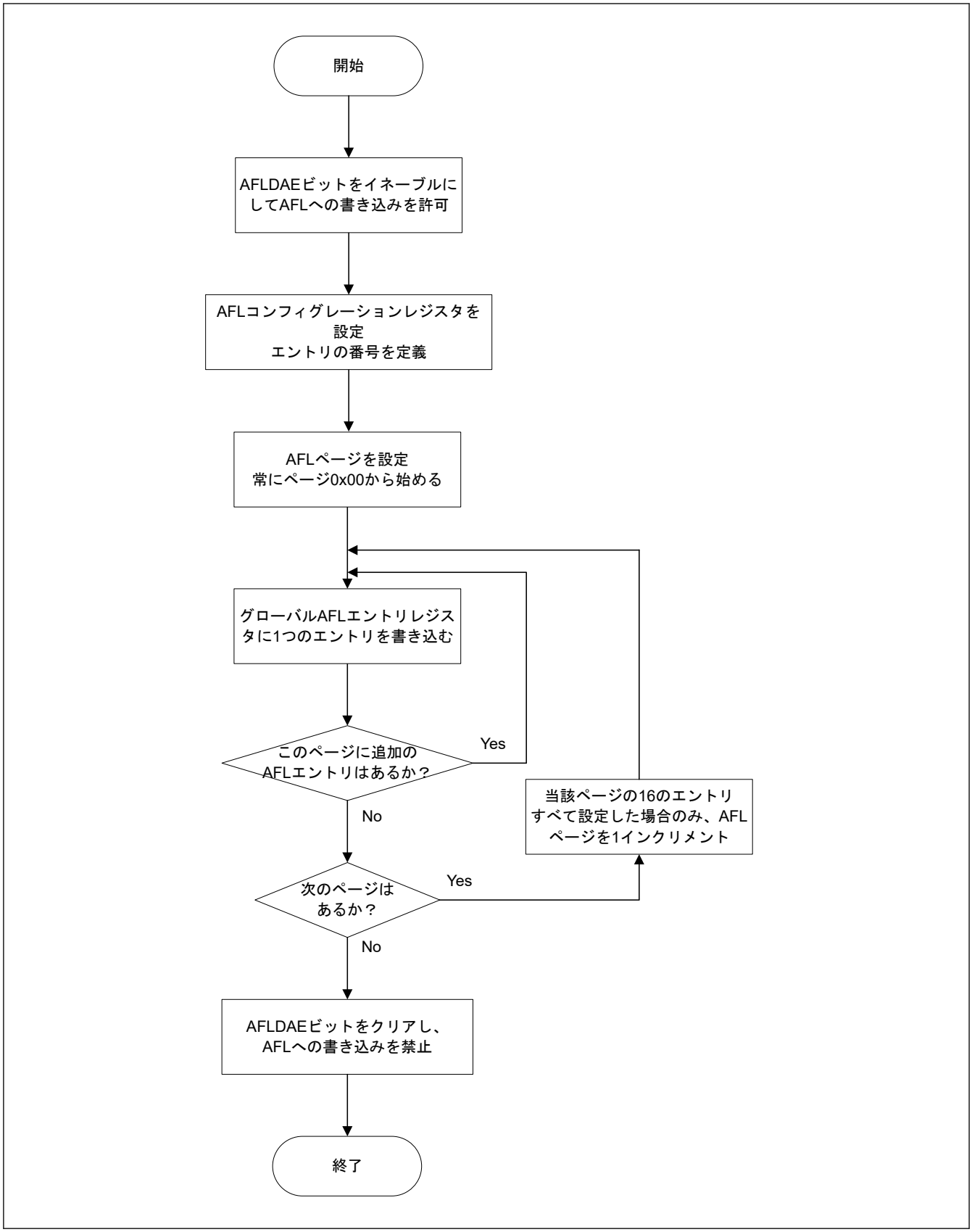


図 28.27 AFL の構成フロー

28.5.5 ループバックモード

ループバックコンフィグレーションビットがセットされている場合、AFL エントリは、CAN チャネル自らが送信したメッセージを受信する、ループバックテストモード（セルフテストモード 0 またはセルフテストモード 1）またはミラーモードのみで有効になります。

AFL エントリは、ループバックモードで受信した、バス上のその他の CAN ノードによって送信されたメッセージについては無効です。ここで、関連するエントリが有効、無効という表現は、その AFL エントリが受信したメッセージ ID と照合されるかどうかを示します。

ループバックコンフィグレーションビットが 0 の場合、その AFL エントリは以下のときのみ有効になります。

- 通常のモード（ループバック以外のモード）およびミラーモードで受信した、バス上のその他の CAN ノードによって送信されたメッセージ
- ループバックテストモードで受信した、他の CAN ノードまたは CAN チャネル自らが送信したメッセージ

ミラーモードは、グローバルコンフィグレーションレジスタの CFDGCFG.MME ビットで有効化できます。CFDGCFG.MME ビットがセットされている場合、そのチャネルの AFL に一致するエントリが設定されていれば、送信に成功したメッセージが RX メッセージバッファまたは FIFO バッファに格納されます。

このフレームを格納するには、一致する AFL エントリのループバックコンフィグレーションビットがセットされている必要があります。

ミラーモードとループバックテストモードが同時に構成されている場合、ループバックテストモードの動作が適用されます。

表 28.23 に、関連する入力信号の設定に応じたアクセプタンスフィルタユニットの動作を示します。

表 28.23 AFL エントリ内のループバックコンフィグレーションの設定に基づくアクセプタンスフィルタの動作

ミラーモード有効（MME コンフィグレーションビット）	テストモード（セルフテストモード 0 またはセルフテストモード 1）のループバック	チャネルモード	AFL エントリのループバックコンフィグレーションビット	AFL エントリ
0	0	受信	0	有効
			1	無効
		送信	0	無効
			1	無効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効
1	0	受信	0	有効
			1	無効
		送信	0	無効
			1	有効
	1	受信	0	有効
			1	無効
		送信	0	有効
			1	有効

注. ここで、関連するエントリが有効、無効という表現は、その AFL エントリが受信したメッセージ ID と照合されるかどうかを示します。

28.5.6 IDE マスク処理

AFL エントリの GAFLIDEM ビットが 0 のとき、その AFL エントリに設定された IDE ビットは ID のマッチングに使用されません。この場合、受信した IDE ビットに基づいて、ID[10:0]または ID[28:0]マッチングの使用が選択されます。

次の例を考えてみましょう。

- AFL エントリ x の ID フィールドとマスクフィールドが次のように設定されているとします。
  - CFDGAFLID [x] = 0xC0553A20 → IDE = 1、RTR = 1、LLB = 0、ID[10:0] = 0x220 / ID[28:0] = 0x00553A20
  - CFDGAFLMr = 0x0000FFFF → IDEM = 0. RTRM = 0、IDM[10:0] = 0x7FF／IDM[28:0] = 0x0000FFFF
- AFL エントリ x での 4 つの異なる受信 ID の比較結果を以下に示します。
  - IDE = 0、ID = 0x220 のフレームを受信した場合、一致とみなされます。
  - IDE = 0、ID = 0x320 のフレームを受信した場合、不一致とみなされます。
  - IDE = 1、ID = 0x1FFF3A20 のフレームを受信した場合、一致とみなされます。
  - IDE = 1、ID = 0x08803220 のフレームを受信した場合、不一致とみなされます。

28.5.7 通信中の AFL エントリの更新

AFL エントリは、CAN 通信を阻害することなく更新できます。AFL エントリ番号を設定して更新するエントリ番号を選択し、イネーブルビットは無視します。

エントリの更新中、このエントリ番号は AFL マッチングから無視されます。

図 28.28 に AFL エントリの更新フローを示します。

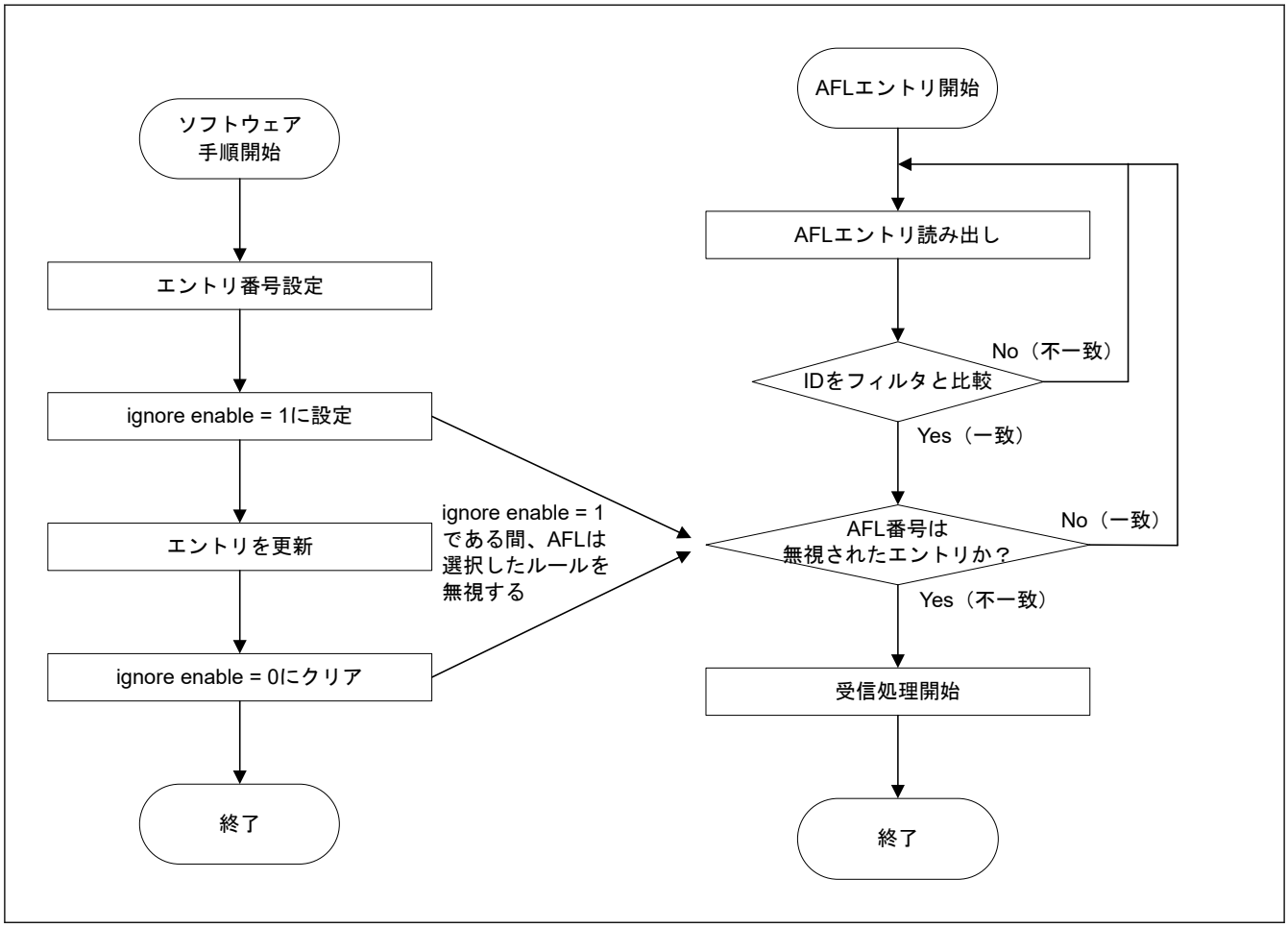


図 28.28 AFL エントリの更新フロー

AFL エントリを更新する方法は以下のとおりです。

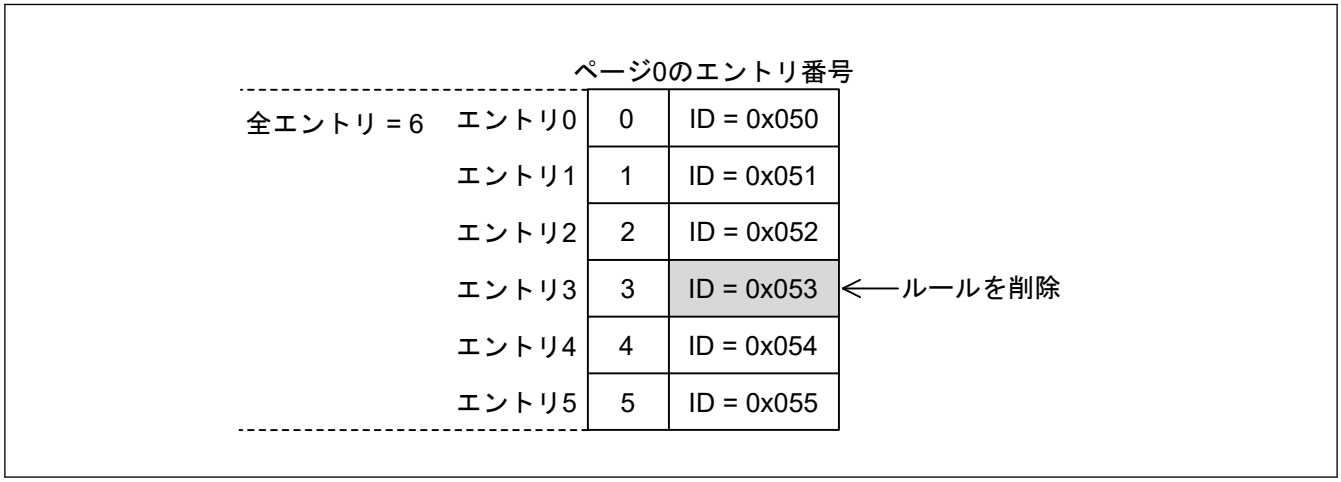
1. エントリ番号を CFDGAFLIGNENT レジスタに設定します。
2. CFDGAFLIGNCTR レジスタに値 0xC401（キーコードと有効ビット）を設定します。
3. CFDGAFLECTR レジスタにエントリページを設定します。このページに選択したエントリが含まれます。CFDGAFLECTR.AFLDAE が 1 にセットされます。

4. CFDGAFLIDr、CFDGAFLMr、CFDGAFLP0r、CFDGAFLP1r レジスタに新しいルールを設定します。
5. CFDGAFLECTR.AFLDAE が 0 にクリアされます。
6. CFDGAFLIGNCTR レジスタに値 0xC400（キーコードおよびクリア有効ビット）を設定します。

注. このエントリ番号は (2) から (5) までの期間、無視されます。

(1) 例 1：エントリの削除

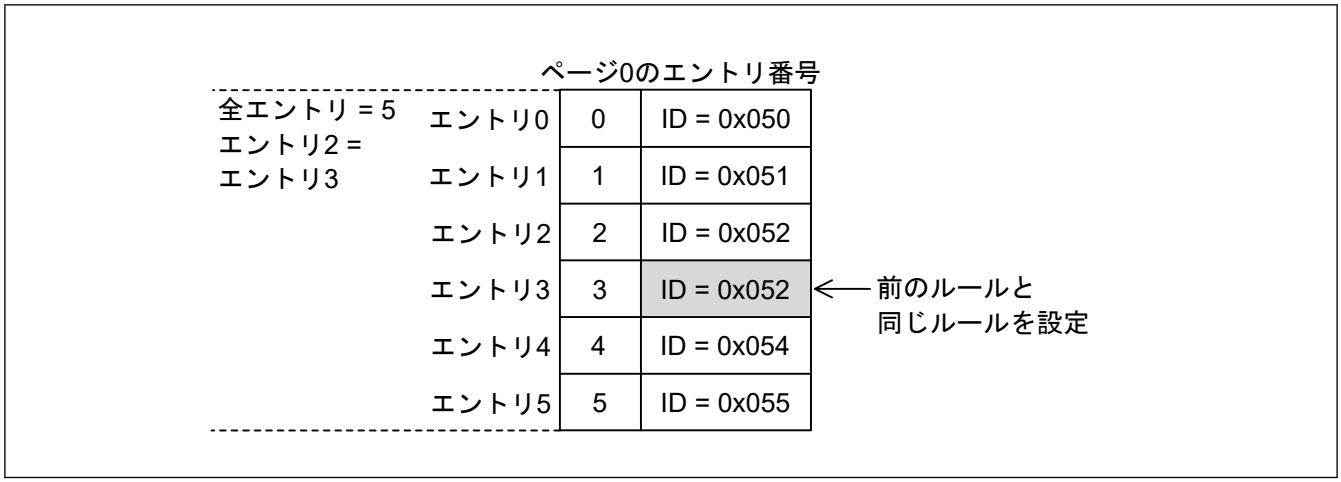
エントリ数の合計が 6 個の場合、エントリ 3 を削除します。



エントリを削除する方法

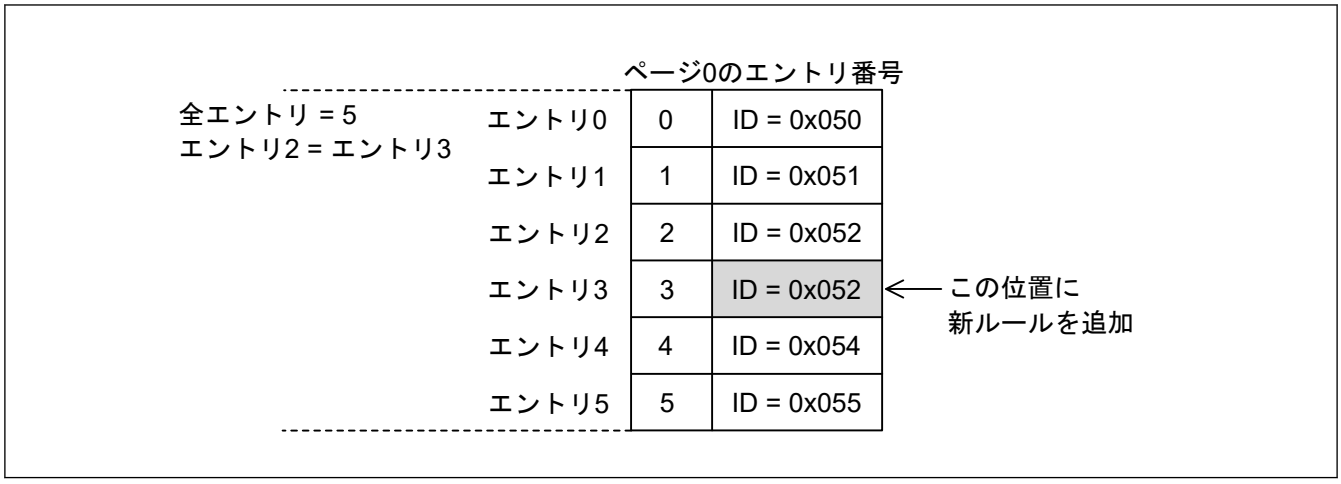
1. CFDGAFLIGNENT レジスタに 0x00000003 を設定します。
2. CFDGAFLIGNCTR レジスタに 0x0000C401 を設定します。
3. CFDGAFLECTR レジスタに 0x00000100 を設定します。
4. CFDGAFLIDr、CFDGAFLMr、CFDGAFLP0r、CFDGAFLP1r にアクセスして、前と同じルールを設定します。（r = 3 の場合、エントリ 3 を示します。）
5. CFDGAFLECTR レジスタに 0x00000000 を設定します。
6. CFDGAFLIGNCTR レジスタに 0x0000C400 を設定します。

これで、エントリ 3 が削除されました。



(2) 例 2：エントリの追加

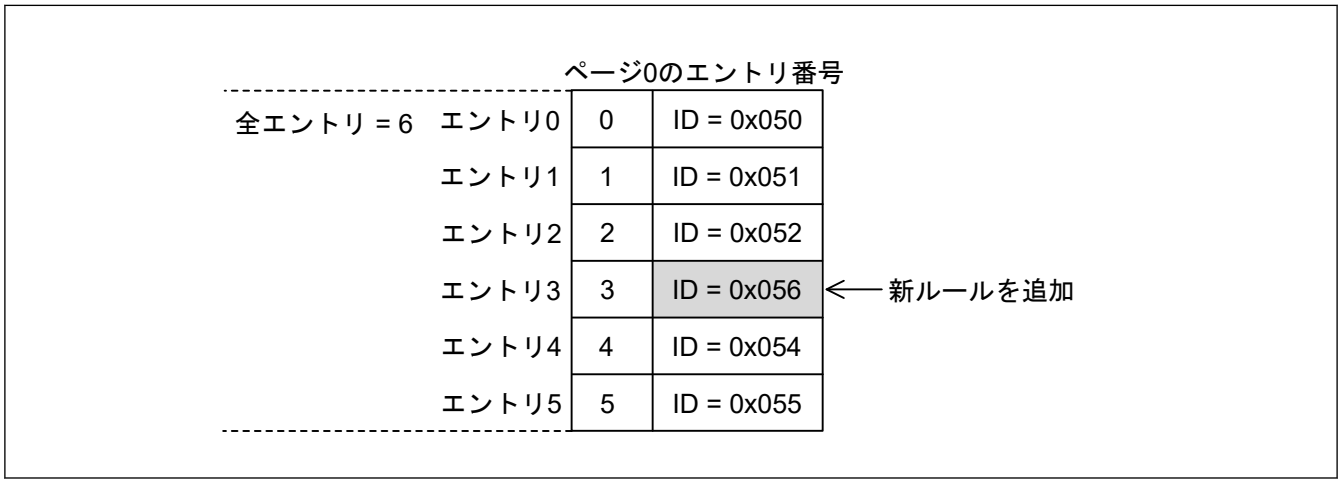
エントリ数の合計が 6 個の場合、エントリ 3 に新しいエントリを追加します。



エントリを追加する方法

1. CFDGAFLIGNENT レジスタに 0x00000003 を設定します。
2. CFDGAFLIGNCTR レジスタに 0x0000C401 を設定します。
3. CFDGAFLECTR レジスタに 0x00000100 を設定します。
4. CFDGAFLIDr、CFDGAFLMr、CFDGAFLP0r、CFDGAFLP1r にアクセスして、新しいルールを設定します。（r = 3 の場合、エントリ 3 を示します。）
5. CFDGAFLECTR レジスタに 0x00000000 を設定します。
6. CFDGAFLIGNCTR レジスタに 0x0000C400 を設定します。

これで、新しいエントリが追加されました。



AFL フィルタは CFDGAFLCFG を設定するために使用でき、エントリの追加／削除が可能です。そのため、CFDGAFLCFG に使用できる最大数を設定する必要があります。

28.6 FIFO バッファと通常のメッセージバッファの構成

本項では、CANFD モジュールの RX メッセージバッファ、FIFO バッファ、およびフラット TX メッセージバッファの数を構成する手順を説明します。メッセージバッファは、図 28.29 に示すようにマッピングされています。

RX メッセージバッファには、RX メッセージバッファレジスタでアクセスできます。

RX FIFO バッファと、RX モード、または TX モードで構成された共通 FIFO バッファは、FIFO アクセスレジスタでのみアクセスできます。

共通 FIFO が TX モードで構成されている場合、FIFO アクセスレジスタによる FIFO バッファへのデータの書き込みのみが可能です。

共通 FIFO が RX モードで構成されている場合、FIFO アクセスレジスタからのデータの読み込みのみが可能です。

TX メッセージバッファには、TX メッセージバッファレジスタでアクセスできます。

未使用のメッセージバッファ位置を読み出した場合、そのメッセージバッファ位置は不明な値として読み出されます。

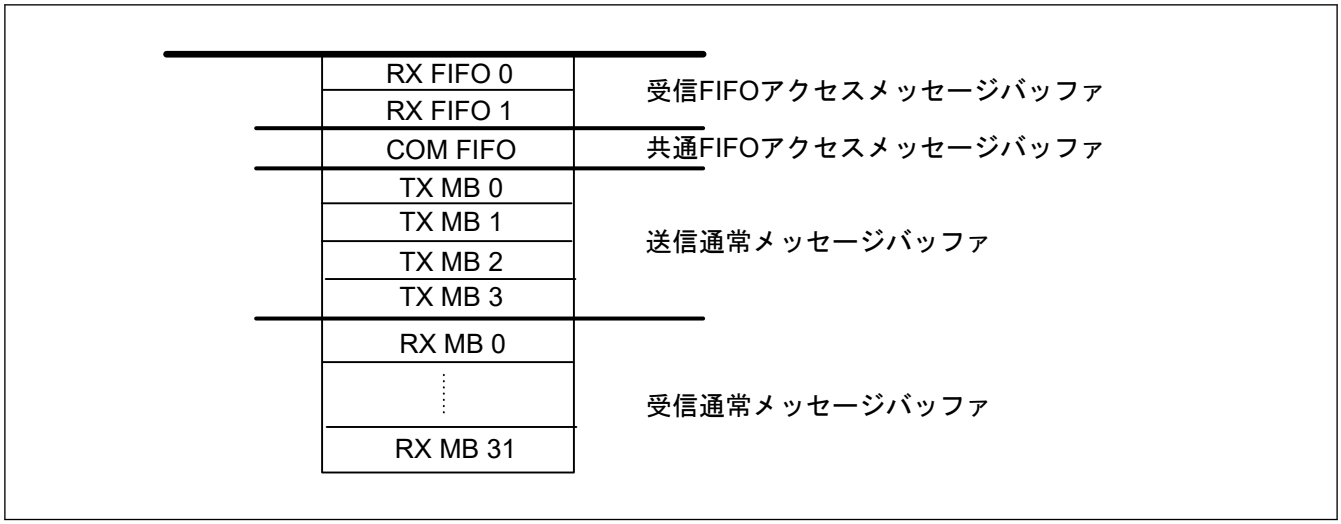


図 28.29　メッセージバッファの構成

28.6.1　通常の RX メッセージバッファ

CANFD モジュールでは受信したフレームを、AFL エントリの構成に基づいて通常の RX メッセージバッファに格納することができます。

また、システムに必要な通常の RX メッセージバッファの数を、固定された最大数までの間で選択できます。

28.6.1.1　通常の RX メッセージバッファの構成

CANFD モジュールの通常の RX メッセージバッファの数は、RX メッセージバッファ数レジスタへの書き込みによって設定できます。

メッセージバッファ数は、以下の範囲内で構成します。

- 最小数 = 0x00（通常の RX メッセージバッファなし）
- 最大値 = 0x20

上記範囲外の値を使用してはなりません。

システム要件に合わせて AFL エントリを構成し、受信したメッセージを通常の RX メッセージバッファにルーティングできるようにする必要があります。

また、AFL エントリの構成は正しく行ってください。通常の RX メッセージバッファを指定する AFL エントリの数が、RX メッセージバッファ数レジスタに構成されたメッセージバッファ数を超えてはなりません。

注.　CANFD モジュールには、AFL の間違った設定を発見するための内部チェック手順がありません。

RX メッセージバッファのデータフィールドサイズは、CFDRMNB.RMPLS ビットで構成できます。デフォルトサイズは 8 バイトで、最大データペイロードサイズは 64 バイトです。

受信フレームがこのデータフィールドサイズを上回る場合、受け入れ（メッセージを拒否するか、データペイロードを切り捨てるか）は CFDGCFG.CMPOC の構成によって決まります。

注.　RMPLS ビットおよび CMPOC ビットは、クラシカル CAN 機能では使用できません。これらの特長はクラシカル CAN では有効ではありません。

28.6.2 FIFO バッファ

CANFD モジュールには、受信および送信機能のフレームの格納をサポートするために、決まった数の FIFO バッファがあります。

受信専用の FIFO バッファ数は 2 に固定されています。ただし、送信または受信機能のためのメッセージを格納するために共通 FIFO バッファチャネルを設定できます。

これらの FIFO バッファは許可または禁止でき、システム要件に合わせて以下のパラメータを設定できます。

- サイズ
- 割り込み構造
- メッセージロスト機構
- FIFO バッファのメッセージ上書き機構
- TX FIFO のロケーション

受信フレームがこのデータフィールドサイズを上回る場合、受け入れ（メッセージを拒否するか、データペイロードを切り捨てるか）は CFDGCFG.CMPOC ビットの構成によって決まります。

28.6.2.1 FIFO バッファの構成

CANFD モジュールでは、FIFO バッファをシステム要件に合わせて構成できます。

FIFO バッファの総数 = RX FIFO バッファ 2 個 + 共通 FIFO バッファ 1 個 = FIFO バッファ 3 個

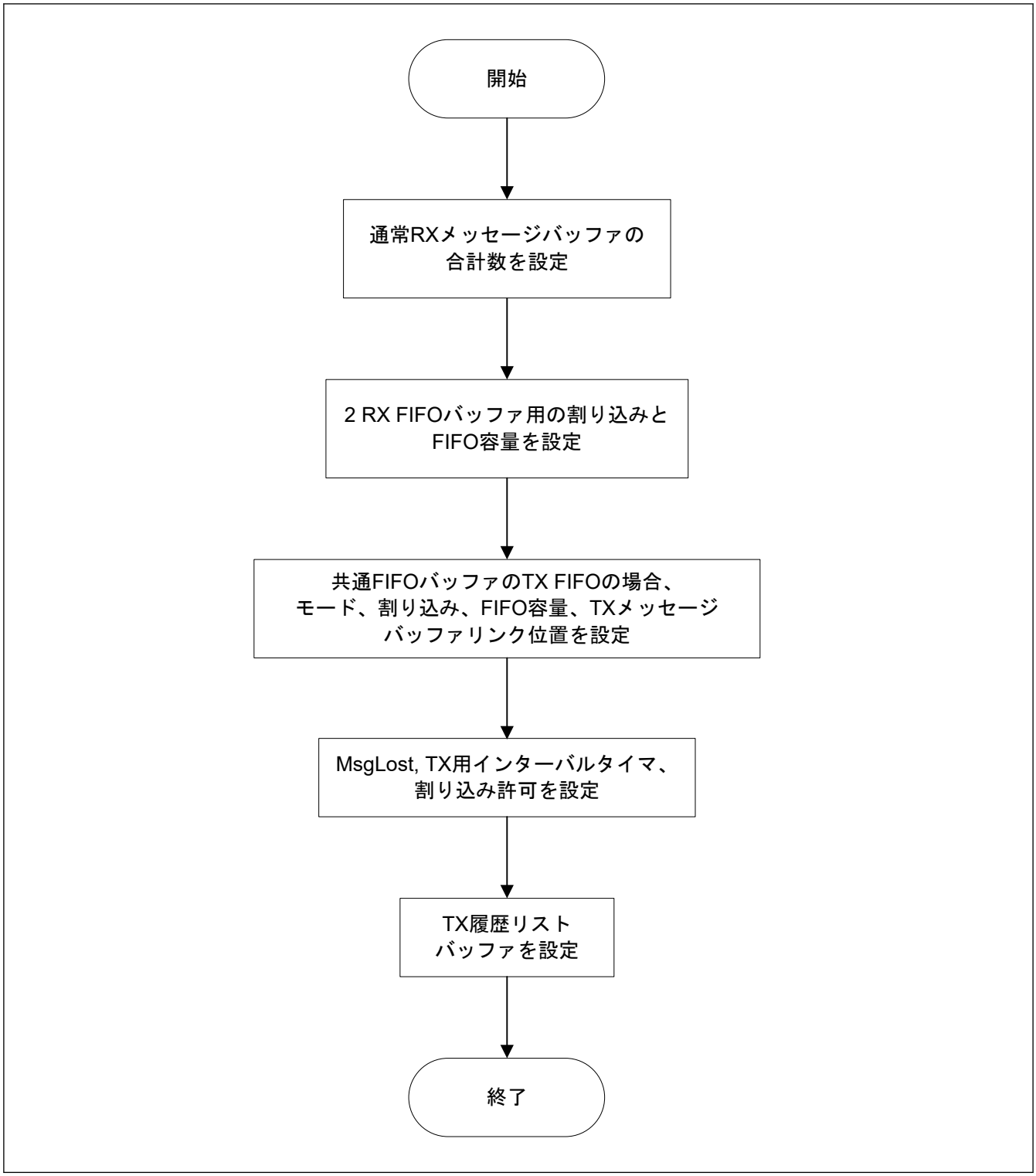


図 28.30 CANFD モジュールにおける FIFO バッファの構成フロー

図 28.30 に示すように、RX FIFO コンフィグレーション／コントロールレジスタと共通 FIFO コンフィグレーション／コントロールレジスタへの書き込みによって、さまざまな FIFO バッファを構成することができます。

2 つの RX FIFO バッファに対しては、以下のパラメータを構成できます。

- 割り込み
- FIFO 容量
- FIFO ペイロードデータサイズ

共通 FIFO バッファに対しては、以下のパラメータを構成できます。

- モード
- 割り込み FIFO 容量
- FIFO ペイロードデータサイズ
- FIFO TX リンク位置

(1) 共通 FIFO バッファの FIFO モード構成

共通 FIFO バッファのモードは、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFM[1:0]ビットへの書き込みによって構成できます。共通 FIFO バッファに構成可能なモードは以下のとおりです。

- 0b RX モード（ハードウェアリセット後のデフォルトモード）
- 1b TX モード

RX FIFO バッファと、RX モードに構成された共通 FIFO バッファからは、メッセージの読み出しのみが可能です。これらの FIFO バッファには、AFL エントリに基づいて、CAN モジュールによってメッセージが格納されます。

TX モードに構成された共通 FIFO バッファでは、メッセージの読み出しと書き込みが可能です。これらのメッセージは、適切な CAN チャネル上で送信されます。

ポインタは、新しいメッセージが FIFO バッファに格納されたときにのみインクリメントでき、CANFD モジュールによりメッセージが対応する CAN チャネル上に送信されたときにのみデクリメントできます。

ハードウェアリセット後、共通 FIFO バッファはデフォルトで RX モードに設定されます。共通 FIFO バッファを必要なモードに構成してから、FIFO バッファを有効にするようにしてください。

(2) FIFO TX メッセージバッファとのリンクの構成

共通 FIFO を TX FIFO として構成するとき、CAN チャネルの送信スキャンに参加するため、FIFO バッファを通常の TX メッセージバッファにリンクする必要があります。

いずれかの共通 FIFO バッファにリンクされた TX メッセージバッファにデータを書き込んではなりません。また、いずれかの共通 FIFO バッファにリンクされた TX メッセージバッファを TX キューの構成要素にしてはなりません。

各共通 FIFO バッファの TX メッセージバッファとのリンクは、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFTML[1:0]ビットへの書き込みによって構成できます。TX メッセージバッファのリンク構成では、以下のオプションを使用できます。

- 0x00: TX メッセージバッファ 0
- 0x01: TX メッセージバッファ 1
- 0x10: TX メッセージバッファ 2
- 0x11: TX メッセージバッファ 3

(3) FIFO 容量の構成

各 FIFO バッファの容量は、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFDC[2:0]ビットと、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFDC[2:0]ビットへの書き込みによって構成できます。容量の構成には、以下の 6 つのオプションを使用できます。

- 0x000: 0 メッセージ（FIFO バッファを有効にできない）
- 0x001: 4 メッセージ
- 0x010: 8 メッセージ
- 0x011: 16 メッセージ
- 0x100: 32 メッセージ
- 0x101: 48 メッセージ

RX メッセージバッファおよび FIFO バッファに割り当てられる RAM は、64 データバイトの 16 メッセージに制限されます。この上限を超える RX メッセージバッファおよび FIFO バッファを構成してはなりません。

CANFD モジュールのロジックでは、構成が正しいかどうかはチェックされません。

注. 共通 FIFO の FIFO 容量が 4 メッセージ以上 (CFDCFCC.CFDC[2:0] > 000b) の場合、この FIFO が無効の場合も有効の場合も、共通 FIFO と TX メッセージバッファのリンクは有効になります。

FIFO 容量が 0 メッセージの場合、この FIFO が無効の場合も有効の場合も、共通 FIFO と TX メッセージバッファのリンクは無効です。

(4) FIFO ペイロードサイズの構成

各 FIFO バッファのデータサイズは、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFPLS[2:0]ビットと、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFPLS[2:0]ビットへの書き込みによって構成できます。容量の構成には、以下の 8 つのオプションを使用できます。

- 000b: 8 バイト
- 001b: 12 バイト
- 010b: 16 バイト
- 011b: 20 バイト
- 100b: 24 バイト
- 101b: 32 バイト
- 110b: 48 バイト
- 111b: 64 バイト

RX メッセージバッファおよび FIFO バッファに割り当てられる RAM は、64 データバイトの 16 メッセージに制限されます。この上限を超える RX メッセージバッファおよび FIFO バッファを構成してはなりません。

CANFD モジュールのロジックでは、構成が正しいかどうかはチェックされません。

注. この機能は、クラシカル CAN 機能では使用できません。

(5) FIFO 割り込みの構成

FIFO バッファの割り込み発生条件は、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFIM ビットと、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFIM ビットへの書き込みによって構成できます。以下の 2 つのオプションを使用できます。

- 0:
  - RX FIFO モード：共通 FIFO カウンタが CFDRFCCa.RFIGCV/CFDCFCC.CFIGCV の値に達したとき、割り込みが発生します。
  - TX FIFO モード：共通 FIFO が最後のメッセージを正常に送信したとき、割り込みが発生します。
- 1:
  - RX FIFO モード：各受信メッセージの格納が終了したとき、割り込みが発生します。
  - TX FIFO モード：メッセージが正常に送信されるたびに、割り込みが発生します。

RX FIFO の割り込みモードビットが 0 の場合、CFDRFCCa.RFIGCV[2:0]ビットの設定に従って割り込みが発生します。

同様に、RX モードに構成された共通 FIFO の割り込みモードビットが 0 の場合、CFDCFCC.CFIGCV[2:0]ビットの設定に従って割り込みが発生します。

割り込みを発生させる FIFO カウンタの値を構成するには、以下の 8 つのオプションを使用できます。

- 000b: FIFO が 1/8 フルになると割り込み発生
- 001b: FIFO が 1/4 フルになると割り込み発生
- 010b: FIFO が 3/8 フルになると割り込み発生

- 011b: FIFO が 1/2 フルになると割り込み発生
- 100b: FIFO が 5/8 フルになると割り込み発生
- 101b: FIFO が 3/4 フルになると割り込み発生
- 110b: FIFO が 7/8 フルになると割り込み発生
- 111b: FIFO がフルになると割り込み発生

この場合、メッセージ数が設定した値と一致すると、割り込みが発生します。

ただし、CFDRFCCa.RFIGCV[2:0]ビットと CFDCFCC.CFIGCV[2:0]ビットの構成には、FDC[2:0]ビット（FIFO 容量の構成）に応じて、いくらかの制限があります。表 28.24 を参照してください。

表 28.24 FIFO 割り込み発生カウンタと FIFO 容量の構成

RFDC[2:0] (CFDC[2:0])	RFIGCV[2:0] (CFIGCV[2:0])							
	111b	110b	101b	100b	011b	010b	001b	000b
000b	Don't care（FIFO を有効化できない）							
001b	可能	不可能	可能	不可能	可能	不可能	可能	不可能
010b	可能							
011b	可能							
100b	可能							
101b	可能							
110b	可能							
111b	可能							

28.6.2.2 FIFO バッファの制御

FIFO 割り込みを有効にするには、RX FIFO コンフィグレーション／コントロールレジスタの以下のビットのいずれかをセットする必要があります。

- CFDRFCCa.RFIE

また、FIFO 割り込みを有効にするには、共通 FIFO コンフィグレーション／コントロールレジスタの以下のビットのいずれかをセットする必要があります。

- CFDCFCC.CFRXIE
- CFDCFCC.CFTXIE

コンフィグレーションの完了後、各 FIFO を有効にするには、RX FIFO コンフィグレーション／コントロールレジスタおよび共通 FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFE ビットおよび CFDCFCC.CFE ビットを設定して、メッセージの送受信を可能にします。

28.7 割り込みと DMA

28.7.1 割り込み

CANFD モジュールは、いくつかの割り込みを発生させます。割り込み出力は、割り込みコントローラユニット (ICU) に接続されており、対応する割り込み許可ビットによって制御できます。

ステータスフラグは、この許可ビットとは無関係にセットされます。

チャネル送信割り込みには、もう 1 つ別のステータスフラグレジスタがあり、そのステータスビットは対応する割り込み許可がセットされている場合のみセットされます。

この割り込みはいくつかのトリガ要因によって発生するため、このレジスタはチャネル送信に対する割り込み要因の特定をサポートします。

CANFD モジュールの割り込みは、グローバル割り込みとチャネル割り込みの 2 つのグループに分けられます。

- グローバル割り込み：

CANFD モジュールは、3 種類のグローバル割り込みを発生させることができます。

- 2 つの RX FIFO バッファへの正常受信のグローバル割り込み
- グローバルエラー割り込み
- 32 個の RX メッセージバッファへの正常受信のグローバル割り込み

- チャネル割り込み：
  CANFD モジュールの各チャネルは、3 種類のチャネル割り込みを発生させることができます。
  1. チャネル送信
     - チャネルからの送信完了
     - チャネルからの送信アボート
     - チャネルの TX キューからの送信
     - チャネル THL 割り込み
     - チャネルの TX モードの共通 FIFO からの正常送信
  2. チャネルエラー割り込み
  3. チャネルの RX モードの共通 FIFO からの正常受信

対応するフラグビットがクリアされるか、割り込み許可ビットがクリアされると、割り込みはクリアされます。

以下の表 28.25 に、さまざまな割り込み出力に対する割り込み要因の概要をまとめます。割り込み出力はアクティブ High です。

表 28.25　割り込み要因の概要 (1/2)

項目	割り込み	名称	割り込み要因	割り込みのクリア
グローバル割り込み	少なくとも 1 つの RX FIFO への正常受信	CAN_RXF	割り込みが許可されている対応する RX FIFO の割り込みフラグ	割り込みが許可されている対応する RX FIFO バッファの割り込みフラグのクリア
	グローバルエラー	CAN_GLR	以下のいずれか： • DLC エラーフラグ • メッセージロストステータスビット • TX 履歴エントリロストステータスビット • CANFD メッセージペイロードオーバーフローフラグ	以下をすべてクリア： • DLC エラーフラグ • すべての FIFO ステータスレジスタのメッセージロストフラグ • TX 履歴リストエントリロストフラグ • CANFD メッセージペイロードオーバーフローフラグ
	少なくとも 1 つの RXMB への正常受信	CAN0_RXMB	割り込みが許可されている対応する RXMB の割り込みフラグ	割り込みが許可されている対応する RXMB バッファの割り込みフラグのクリア
チャネル送信割り込み	チャネル正常送信	CAN0_TX	割り込みが許可されているとき、任意のチャネル関連の TXMB 正常フラグ(注1)	割り込みが許可されている、すべてのチャネル関連の TXMB 結果ステータスビットのクリア
	チャネルアボート		割り込みが許可されているとき、任意のチャネル関連の TXMB アボートフラグ(注1)	グローバルで割り込みが許可されている、すべてのチャネル関連の TXMB 結果ステータスビットのクリア
	TX キューからのチャネル送信		関連するチャネルの TX キュー割り込みフラグ	関連するチャネルの TX キュー割り込みフラグのクリア
	チャネル THL 割り込み		チャネル THL 割り込みステータスフラグ	関連する THL 割り込みステータスフラグのクリア
	チャネル共通 FIFO TX 割り込み		関連するチャネルに属する TX モードの共通 FIFO の割り込みフラグ	関連するチャネルに属する TX モードの共通 FIFO の割り込みフラグのクリア

表 28.25　割り込み要因の概要 (2/2)

項目	割り込み	名称	割り込み要因	割り込みのクリア
チャネルエラー割り込み	チャネルエラー	CAN0_CHERR	チャネルエラー割り込み許可レジスタで割り込みが許可されている、チャネルエラーフラグレジスタの任意のチャネル関連のエラーフラグ	チャネルエラー割り込み許可レジスタで割り込みが許可されている、チャネルエラーフラグレジスタのすべてのチャネル関連のエラーフラグのクリア
チャネル共通 RX FIFO 割り込み	チャネル共通 FIFO RX 割り込み	CAN0_COMFRX	関連するチャネルに属する RX モードの共通 FIFO の割り込みフラグ	関連するチャネルに属する RX モードの共通 FIFO の割り込みフラグのクリア

注 1.　これらの割り込みは、許可された TX キューに属しておらず、共通 FIFO を参照していない TX メッセージバッファのみに設定されます。
共通 FIFO バッファと TX キューには、別々の割り込みが提供されます。

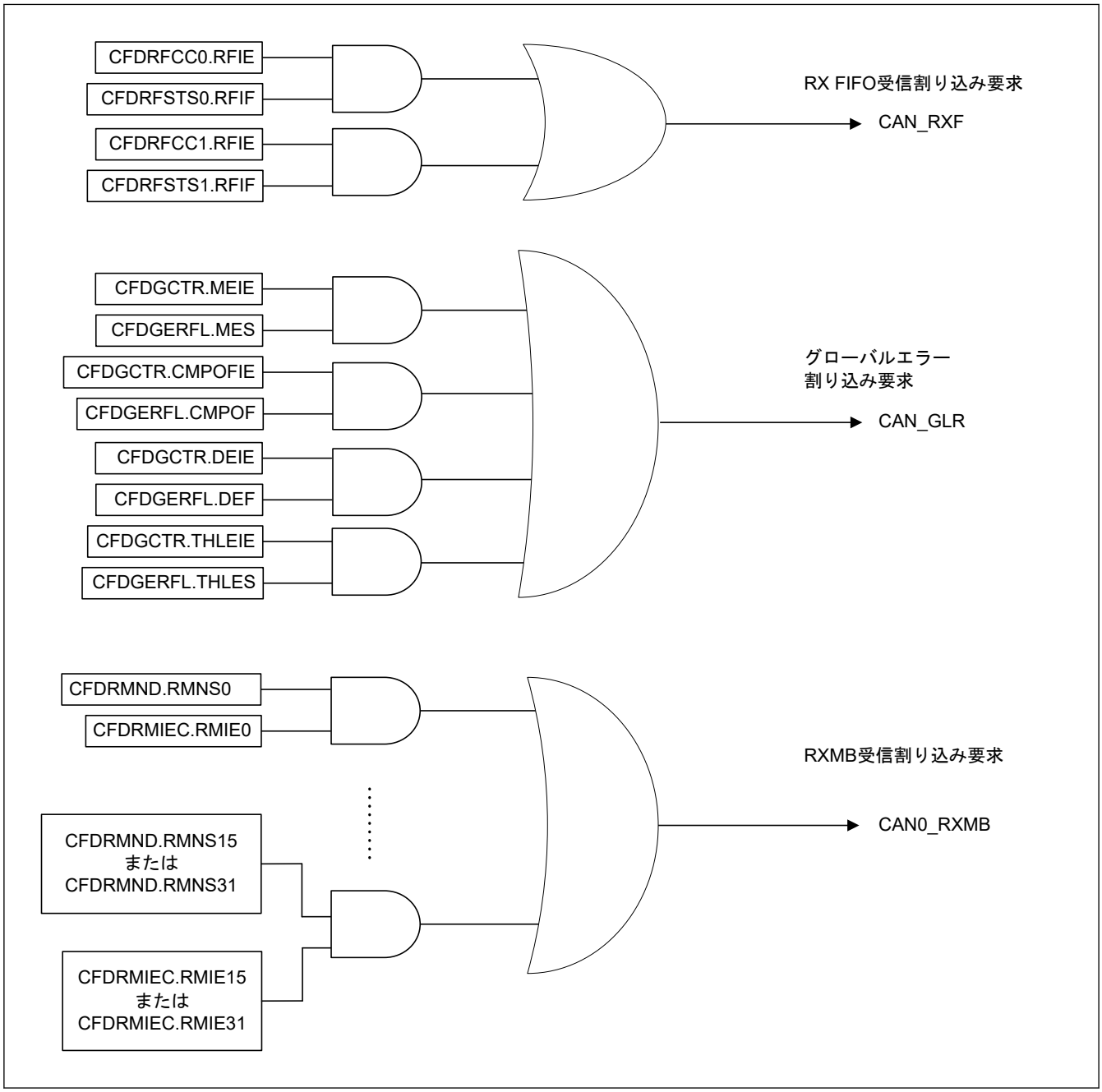


図 28.31　グローバル割り込みのブロック図

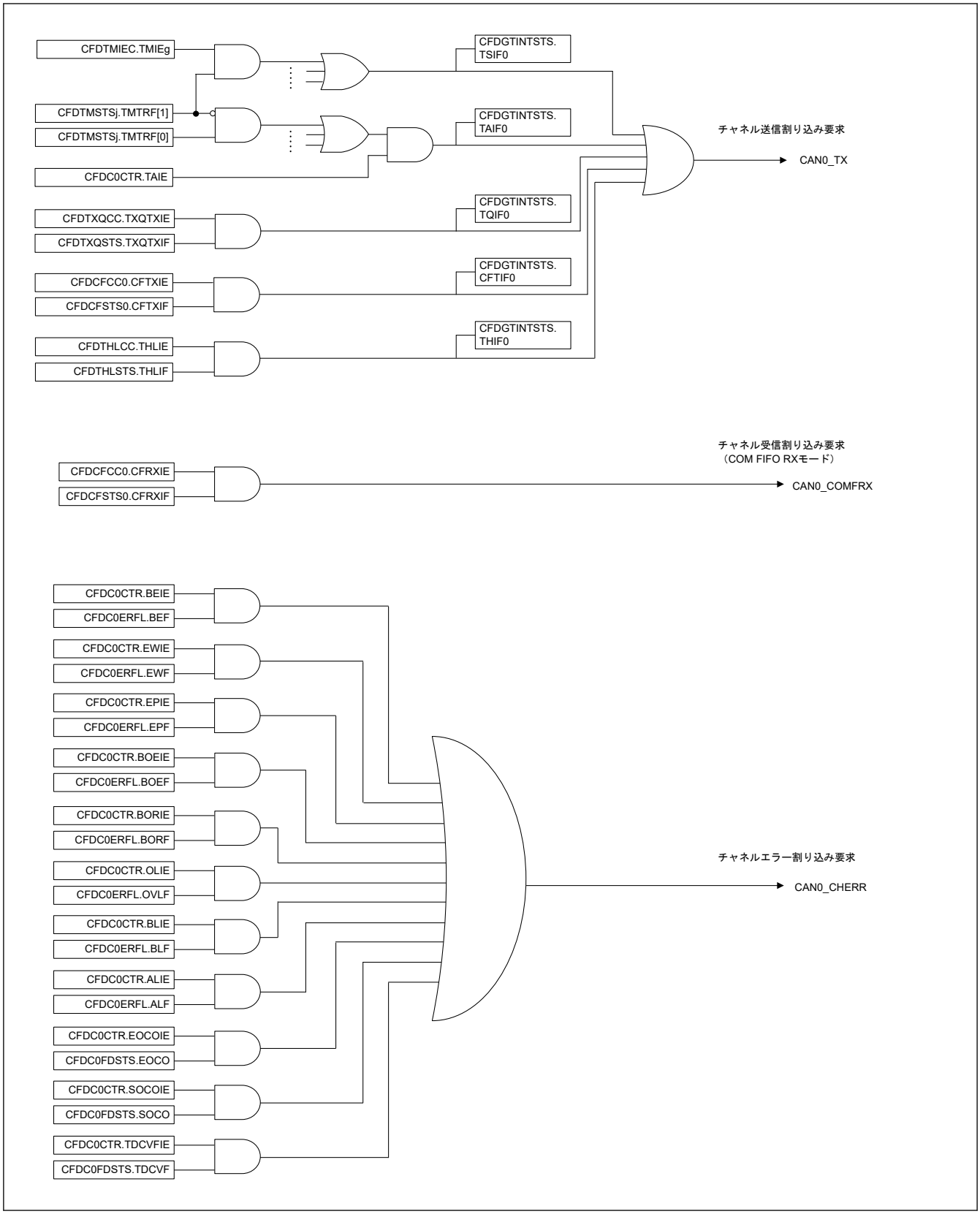


図 28.32　チャネル割り込みのブロック図

28.7.2　DMA 転送

CANFD モジュールには、DMA チャネルと関連付け可能ないくつかのメッセージバッファがあります。

- 受信 DMA

– 2 つの RX FIFO メッセージバッファ
– 共通 FIFO メッセージバッファ

図 28.33 は、可能な DMA チャネルを示しています。

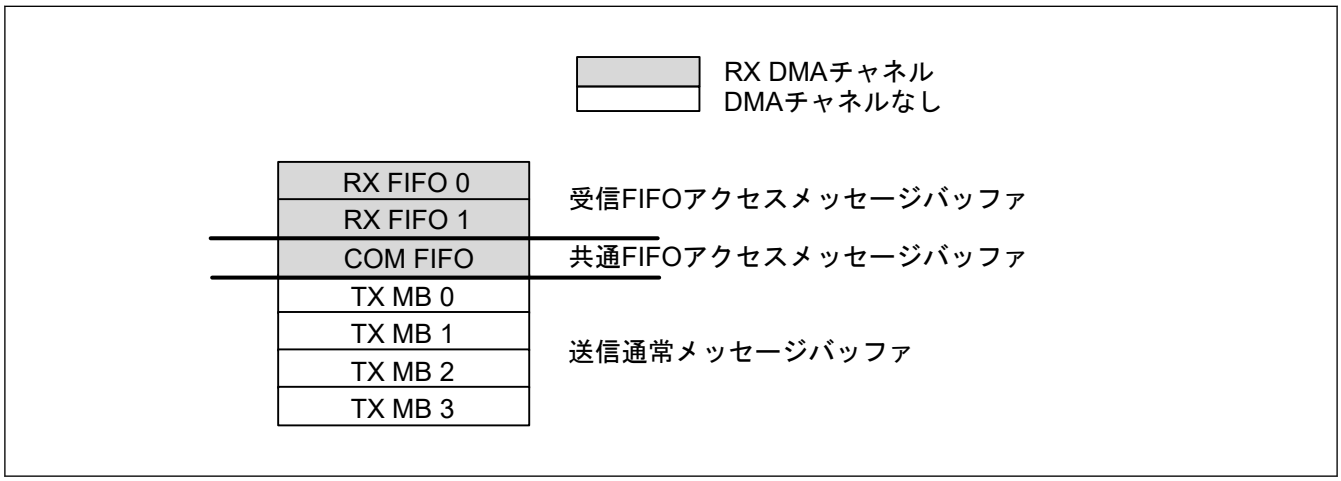


図 28.33 DMA チャネルに接続可能なメッセージバッファ

DMA チャネル転送要求は、関連する CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE が 1 にセットされ、属する FIFO がエンプティでないときに、DMAC への各 FIFO エントリについて生成されます。

この特定の FIFO（CFDRFCCa.RFIE または CFDCFCC.CFRXIE）については、受信 FIFO 割り込みを無効にする必要があります。

DMA アクセスウィンドウのアドレスには通常の開始アドレスを使用します。図 28.34 を参照してください。

表 28.26 DMA チャネルのアクセスウィンドウのアドレス

b = メッセージバッファコンポーネントインデックス	メッセージバッファコンポーネント	レジスタ	P	通常の開始アドレス
b = [0…1]	RFMBCPb[0]	CFDRFIDb	x	0x0520 + b × 0x004C
		CFDRFPTRb	x	0x0524 + b × 0x004C
		CFDRFFDSTSb	x	0x0528 + b × 0x004C
		CFDRFDFbp	[0…15]	0x052C + p × 0x0004 + b × 0x004C
—	CFMBCP0[0]	CFDCFID	x	0x05B8
		CFDCFPTR	x	0x05BC
		CFDCFFDCSTS	x	0x05C0
		CFDCFDFp	[0…15]	0x05C4 + p × 0x0004

データペイロードバイト（CFDRFCCa.RFPLS または CFDCFCC.CFPLS）の末尾を読み出すと、DMA FIFO ポインタのデクリメントが自動的に行われます。

注. DMA は、構成されたデータペイロードサイズ（CFDRFCCa.RFPLS または CFDCFCC.CFPLS）の長さを正確に読み出す必要があります。

注. CFDRFCCa.RFPLS と CFDCFCC.CFPLS はクラシカル CAN 機能にないため、この機能はクラシカル CAN 機能では使用できません。

DMA 有効時、FIFO コントロールレジスタに書き込まないでください。特定の DMA FIFO（CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE）の DMA 許可はいつでも設定できます。図 28.34 に、初期セットアップ時の構成手順を示します。

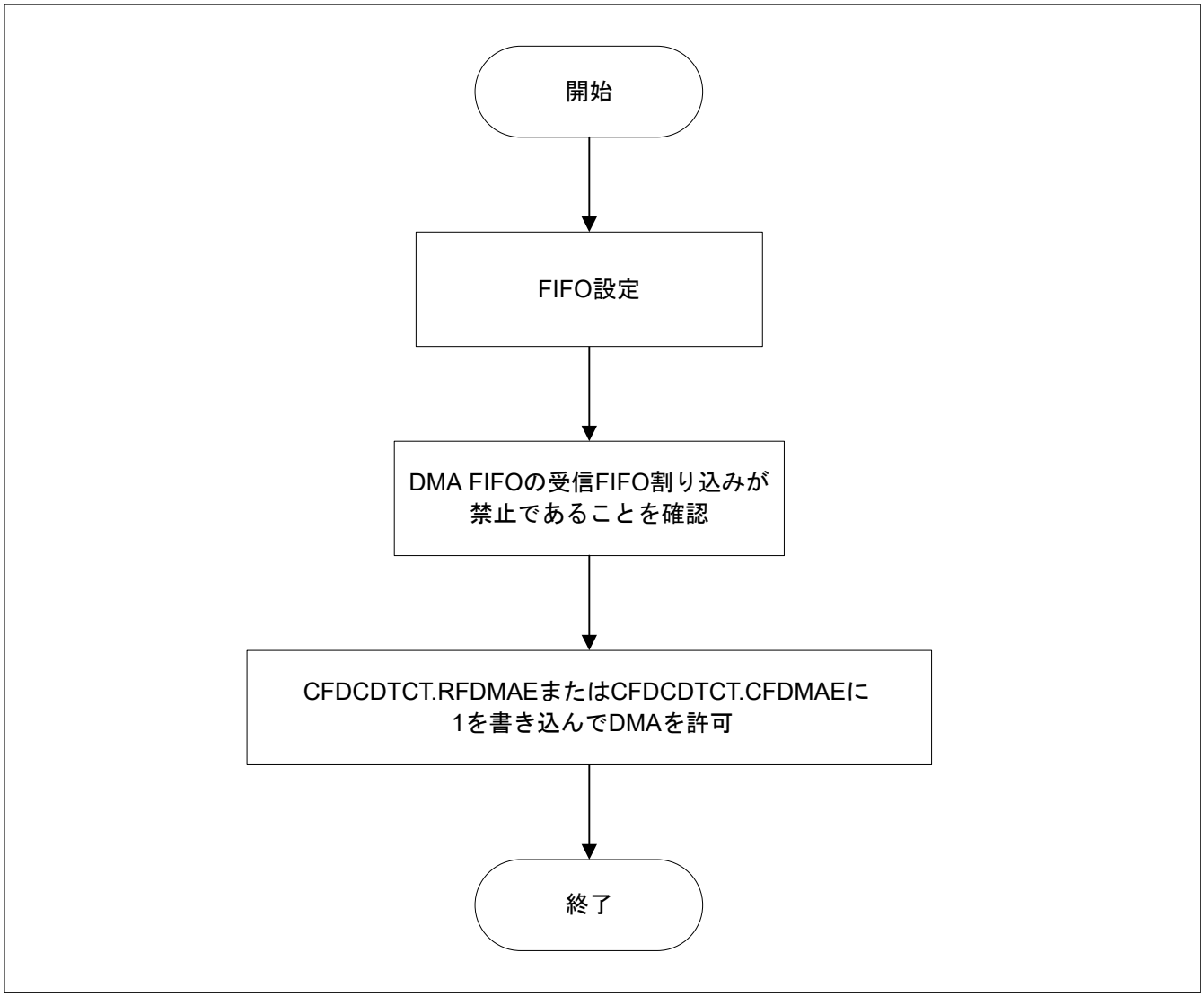


図 28.34 DMA 許可手順

DMA 転送要求を禁止するには、特定の DMA 許可ビット（CFDCDTCT.RFDMAE または CFDCDTCT.CFDMAE）を禁止に設定してください。転送中に禁止を設定した場合、その後の操作は、転送が完了してから行う必要があります。転送のステータスは、CFDCDTSTS.RFDMASTS ビットまたは CFDCDTSTS.CFDMASTS ビットで確認できます。DMA 禁止の手順については、図 28.35 を参照してください。DMA が禁止されている場合、その受信 FIFO 宛ての残りのメッセージや新しく受信するメッセージの扱い方の検討が必要です。

FIFO が禁止されていない場合、FIFO の受信は続行されます。

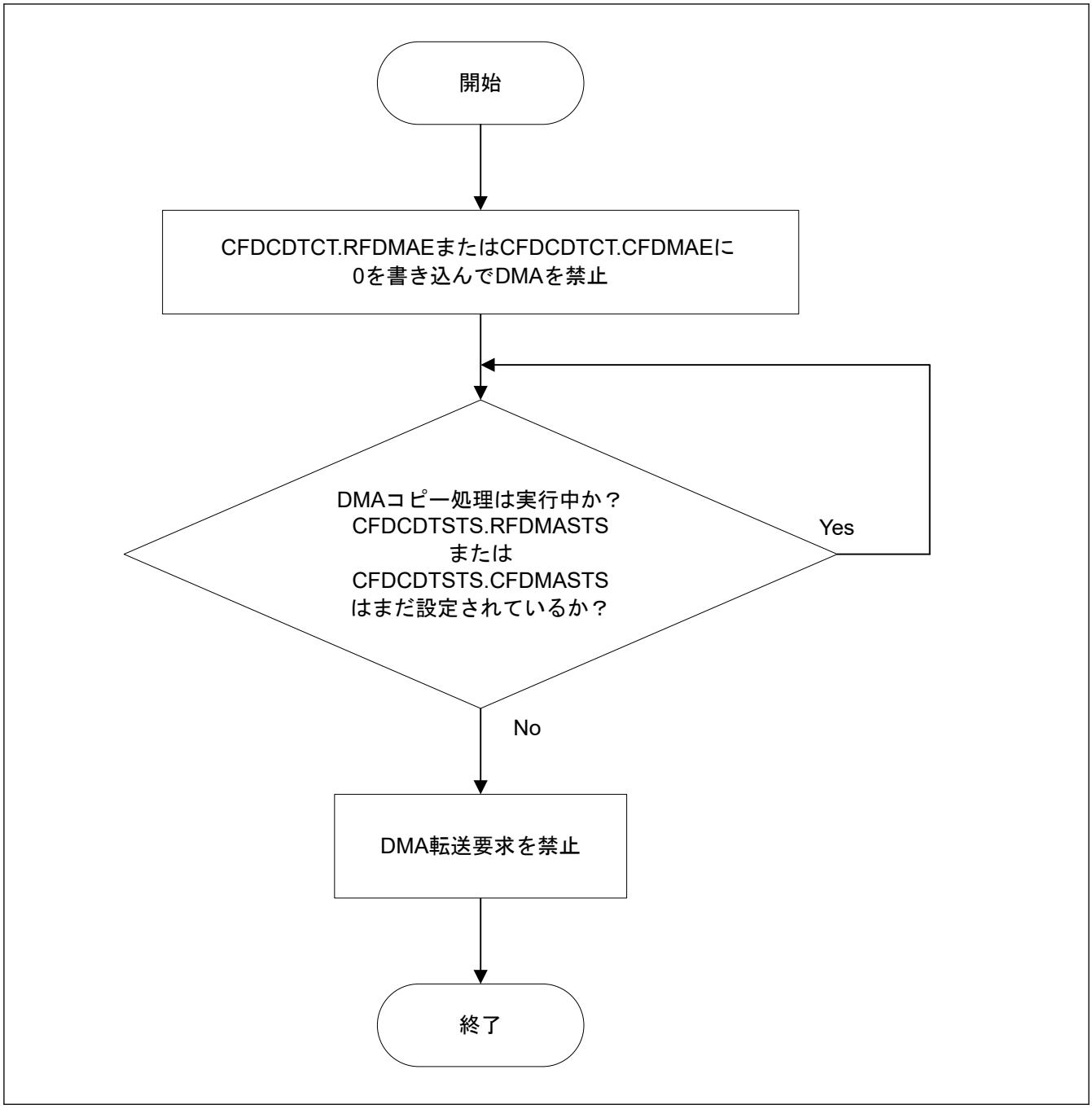


図 28.35 DMA 禁止手順

28.8 受信／送信

28.8.1 受信

CANFD モジュールでは、任意のチャネルで受信した CAN メッセージを、アクセプタンスフィルタリストのエントリに従い、RX メッセージバッファ、RX FIFO バッファ、または RX モードで構成された共通 FIFO バッファに格納されます。

- 構成可能な RX メッセージバッファの数は最大 32 個
- 利用可能な RX FIFO バッファの数は 2 個
- RX モードに構成可能な共通 FIFO バッファの数は 1 個

28.8.1.1 RX メッセージバッファへのメッセージの格納

メッセージが正常に受信されて RX メッセージバッファに格納されると、RX メッセージバッファ新規データレジスタに、対応する新規データフラグがセットされます。

格納された CAN メッセージは、対応する RX メッセージバッファから読み出しできます。

RX メッセージバッファに格納されたメッセージが読み出される前に、その RX メッセージバッファに新しいメッセージが格納されると、元のメッセージは上書きされます。新しいメッセージによって RX メッセージバッファの現在のメッセージが上書きされるのを防止するための機構は存在しません。このようなメッセージの消失を許容できない場合、RX FIFO を使用して関連するメッセージを格納する必要があります。

注. 割り込みを使用する場合も、既存のソフトウェア手順と同様の処理を行ってください。（図 28.37 を参照してください。）

注. 未使用のデータバイトは、DLC の値に応じて 0x00 によって埋められます。

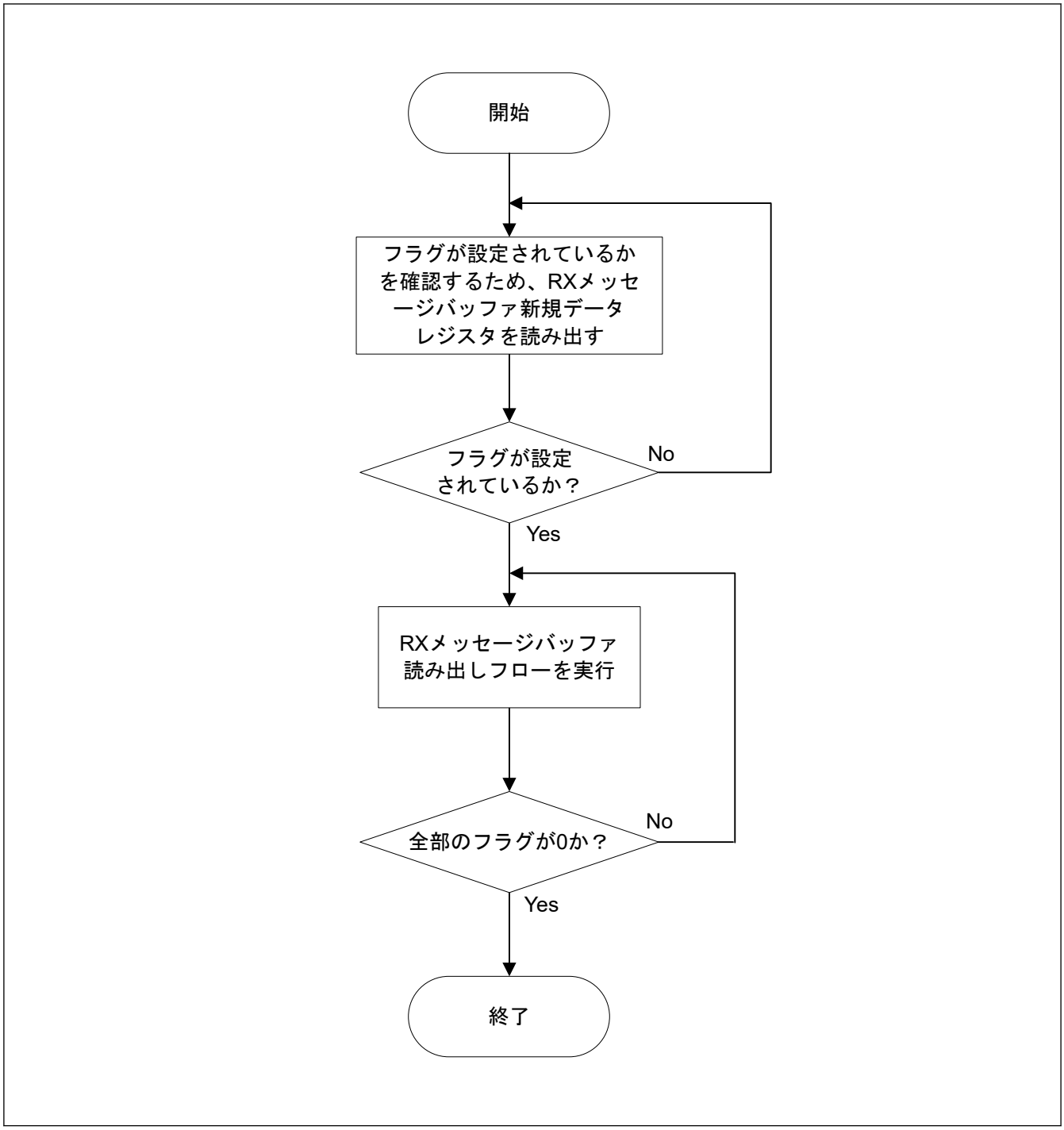


図 28.36　RX メッセージバッファのアクセスフロー（ポーリング）

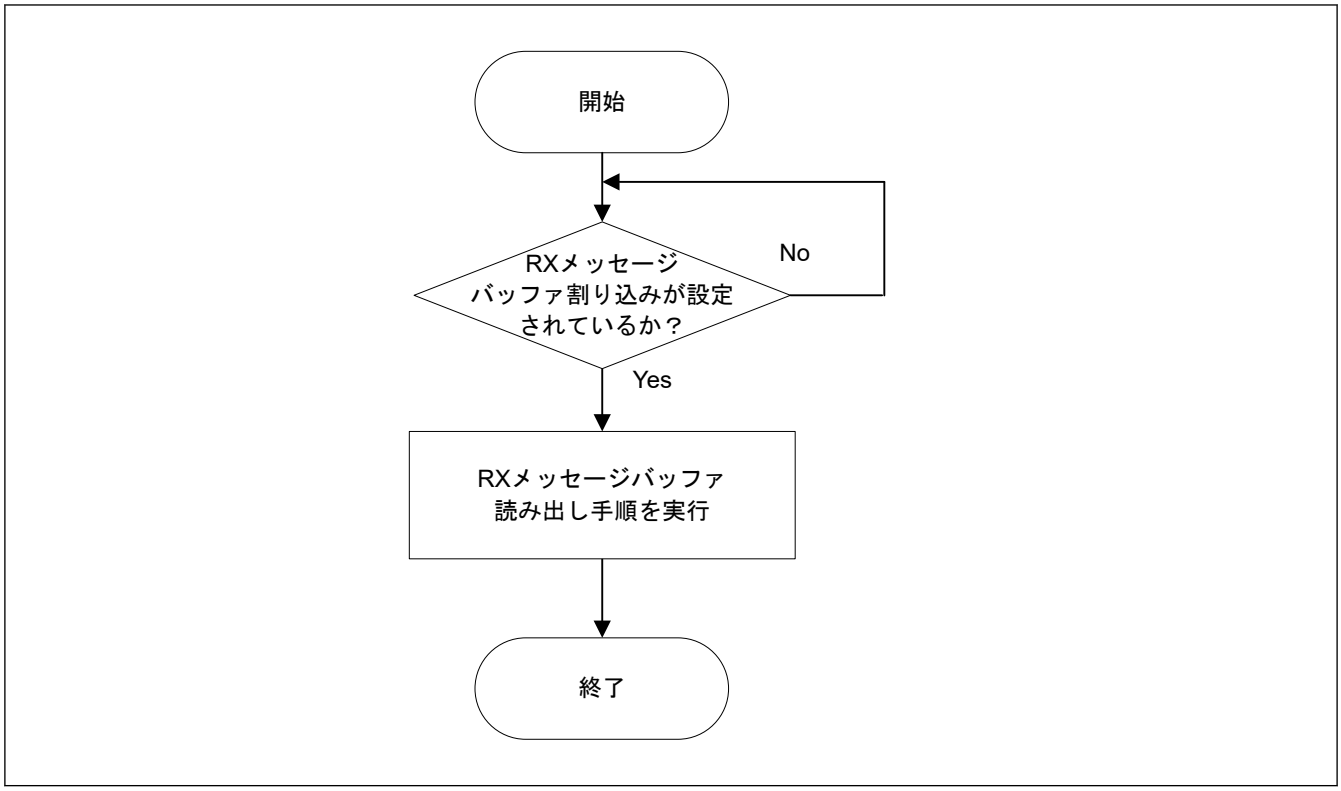


図 28.37　RX メッセージバッファのメッセージアクセスフロー（割り込み）

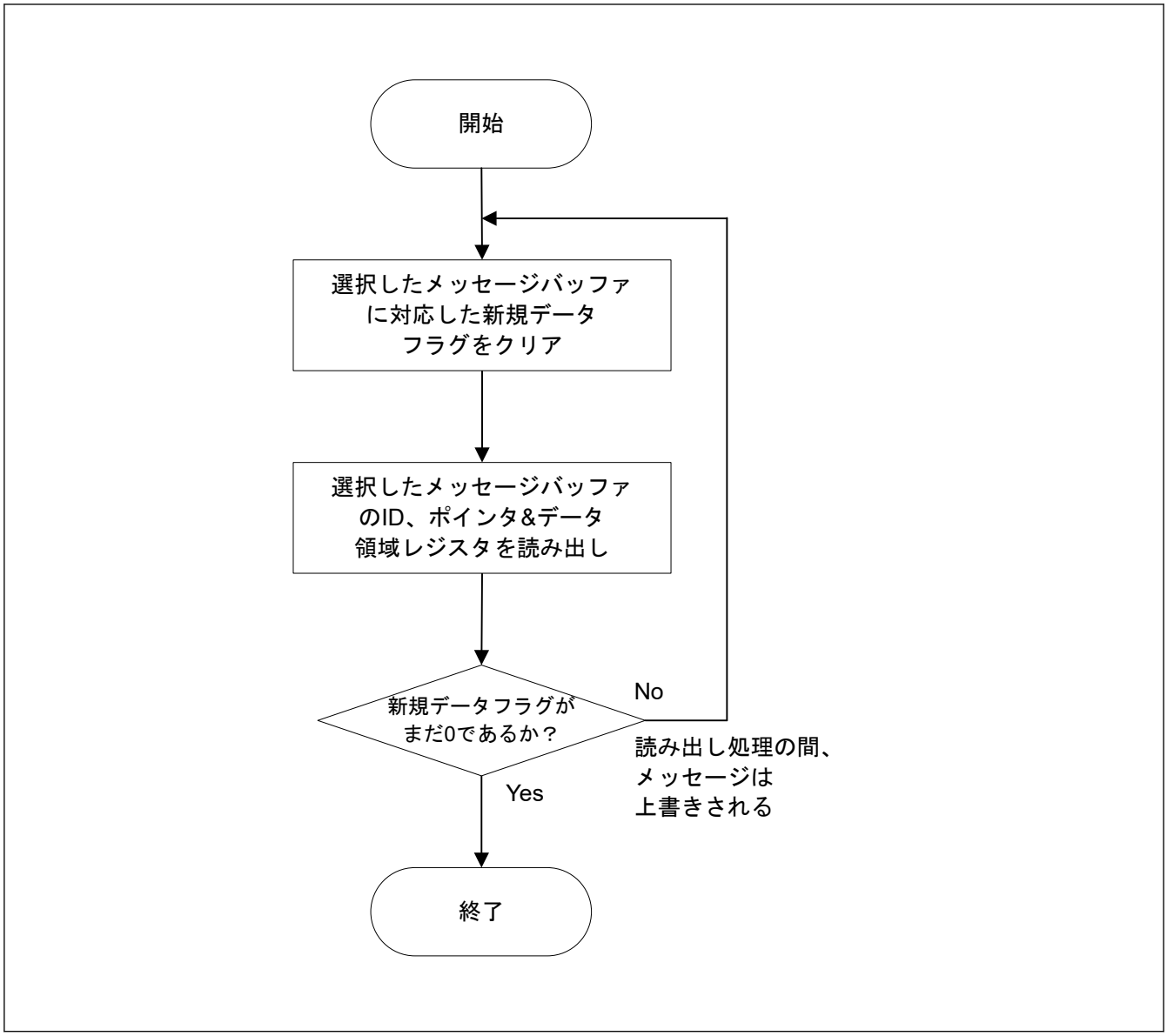


図 28.38 RX メッセージバッファの読み出しフロー

28.8.1.2 FIFO バッファへのメッセージの格納

システム要件に合わせて AFL エントリを構成し、受信したメッセージを、RX FIFO バッファ、または RX モードに構成された共通 FIFO にルーティングできるようにする必要があります。

一致した AFL エントリの CFDGAFLP1r.GAFLFDP[8,1:0]フィールドによって、関連する受信メッセージを格納する FIFO バッファが選択されます。

1 つ以上の RX FIFO バッファまたは RX モードに構成された共通 FIFO に受信メッセージが格納されると、対応する RX FIFO ステータスレジスタまたは共通 FIFO ステータスのメッセージカウンタの値がインクリメントされます。

FIFO バッファの構成によっては、割り込みが発生することもあります。

メッセージは、対応する FIFO アクセスレジスタから読み出せます。

注. FIFO バッファには多くのメッセージを格納できるため、FIFO バッファに格納されている最新のメッセージを読み出すには、複数のメッセージの読み出しが必要になる場合があります。

メッセージ数が FIFO 容量と一致すると、FIFO フルフラグがセットされます。

対応する FIFO ポインタコントロールレジスタに値 0xFF が書き込まれると、メッセージ数は 1 デクリメントされます。

FIFO ポインタコントロールレジスタへの 0xFF を書き込むときは、対応する FIFO の FIFO アクセスレジスタからメッセージを完全に読み出した後に行ってください。

FIFO に格納されたすべてのメッセージが読み出されると、FIFO エンプティフラグがセットされます。

FIFO メッセージ数が FIFO 容量と一致するとき（FIFO フル条件）に FIFO に新しいメッセージが格納されると、FIFO メッセージロストフラグがセットされ、新しいメッセージは失われます（既に格納されているメッセージの上書きは行われません）。

警告レベルとして適切な値を設定し、FIFO フル条件になる前に割り込みを発生させ、オーバーラン条件によるメッセージの消失を防ぐことができます。

注. メッセージロストフラグは、RX モードのときに、CAN 側によってのみセットできます。CPU 側が FIFO バッファをオーバーロードしているときはメッセージロストフラグはセットされません。

RX FIFO バッファと、RX モードに構成された共通 FIFO バッファはいつでも無効化できます。無効化するには、それぞれ、RX FIFO コンフィグレーション／コントロールレジスタの CFDRFCCa.RFE ビット、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFE ビットをクリアします。

CFDRFCCa.RFE ビットまたは CFDCFCC.CFE ビットがクリアされると、FIFO のメッセージリードポインタおよびライトポインタがクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO にメッセージを格納することはできなくなります。

RX FIFO バッファまたは RX モードに構成された共通 FIFO が、DMA チャネルとして割り当てられている場合、ソフトウェアでその FIFO バッファの FIFO アクセスレジスタにアクセスしたり、FIFO ポインタコントロールレジスタ（CFDCFPCTR.CFPC または CFDRFPCTRa.RFPC）に 0xFF を書き込んではなりません。意図せずに FIFO メッセージがデクリメントされる恐れがあります。DMA チャネルでは、FIFO のデクリメントが自動的に制御されます。

注. 割り込みフラグがセットされている FIFO バッファを無効化した場合、割り込みフラグは自動的にクリアされません。FIFO を無効化する前に、割り込みフラグをクリアしてください。

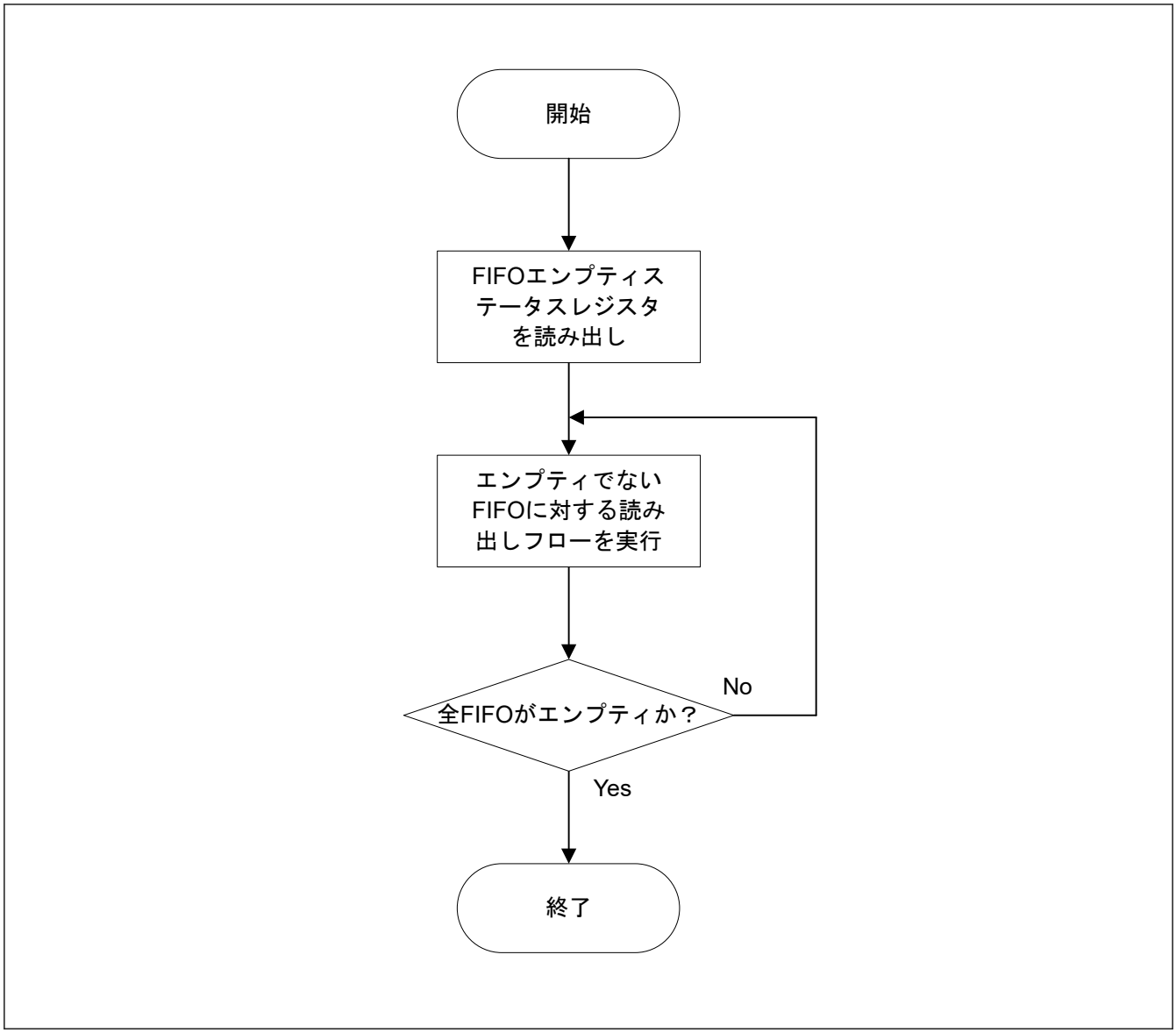


図 28.39　FIFO バッファのメッセージアクセスフロー（ポーリングの場合の例）

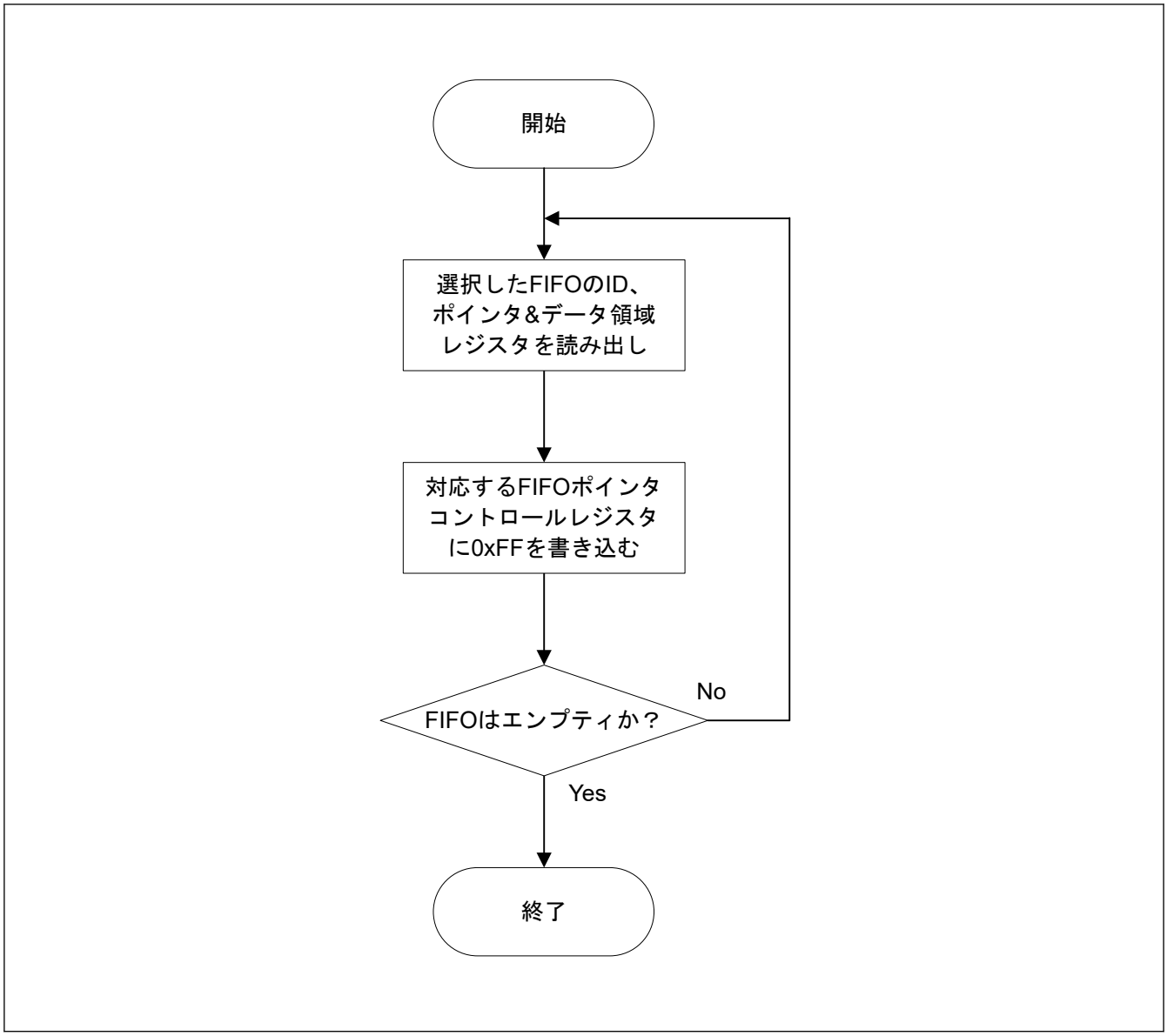


図 28.40 RX FIFO バッファの読み出しフロー（ポーリングの場合の例）

注. 受信の完了割り込みフラグをクリアする前に次のフレームを受信した場合、受信の完了割り込みは再度セットされません。

受信処理の完了後に「割り込みフラグ」をクリアしたとしても、すでに受信済みである割り込みフラグはセットされません。

受信完了処理は、次のフレーム受信完了前に行い、割り込みフラグをクリアしておく必要があります。

処理が間に合わない場合、受信データが空であることを確認してから、割り込みフラグをクリアし、受信データが空であることをもう一度確認します。

28.8.1.3 タイムスタンプ

タイムスタンプカウンタは、受信したメッセージの受信時間、または正常に送信されたメッセージの送信時間をチェックするために使用可能なフリーランニングカウンタです。タイムスタンプカウンタの値は、CFDGFDCFG.TSCCFG[1:0]の設定に基づいて（SOF (Start of Frame) のサンプルポイント、またはフレームが有効な時点、または CANFD フレームでは RES ビットのサンプルポイントで）キャプチャされます。受信時のタイムスタンプカウンタ値は、メッセージ ID およびデータと一緒に、格納先の RX メッセージバッファまたは RX FIFO に格納されます。

メッセージ送信時のタイムスタンプカウンタ値は、TX 履歴リストエントリの一部として格納されます。

カウンタには、周辺クロックから、または CAN チャネルのビットタイミングクロックからクロックを供給できます。カウンタのソースクロックは、グローバルコンフィグレーションレジスタの CFDGCFG.TSSS ビットで構成できます。このビットが 0 の場合、周辺クロックが使用されます。このビットが 1 の場合、選択した CAN チャネルのビット時間クロックが使用されます。

チャネルの選択は、グローバルコンフィグレーションレジスタの CFDGCFG.TSBTCS ビットによって行います。

クロックソースとして、選択した CAN チャネルのビット時間クロックを使用する場合は、注意が必要です。そのチャネルがチャネル Halt モードまたはチャネルリセットモードに遷移した場合、タイムスタンプカウンタは停止してしまいます。つまり、その他の CAN チャネルについても、タイムスタンプカウンタの値が更新されなくなります。

タイムスタンプカウンタのクロックソースとして周辺クロックを選択した場合は、タイムスタンプカウンタの機能がチャネルモードの影響を受けることはありません。

タイムスタンプカウンタのソースクロックは、グローバルコンフィグレーションレジスタの CFDGCFG.TSP ビット（タイムスタンププリスケーラ）で定義された分周比で分周できます。

タイムスタンプカウンタは、CFDGCTR.TSRST ビット（タイムスタンプリセット）によって、0x0000 にリセットすることができます。

28.8.2 送信

以下の複数の送信構成が可能です。

- 通常送信
- FIFO 送信
- TX キュー送信
  専用に決まった数の送信メッセージバッファ（4 個の TX メッセージバッファ）が用意されています。これらのメッセージバッファは送信専用で、受信用に構成することはできません。
  さらに、TX キュー、または TX モードの共通 FIFO から送信するよう構成することができます。構成方法は次のとおりです（図 28.41 を参照）。
  - TX キュー：最大 4 個の送信メッセージバッファをグループ化して、1 つのアクセスウィンドウを共有する TX キューを構成できます。
    上部の送信メッセージバッファを使用して、TXQ が構成されます。
    TX キューはアクセスウィンドウを持ちます。
    - TXQ は、送信メッセージバッファ 0 です。
- 共通 FIFO（TX モード）：TX モードの共通 FIFO が専用のチャネルにリンクされます。
  チャネルに 1 つ（数は固定）の共通 FIFO が割り当てられます。チャネル内で、TX モードに構成された共通 FIFO を、送信メッセージバッファ 0～3 に自由にリンク（割り当て）できます（1 つの送信メッセージバッファに対して 1 つの FIFO のみリンク可能）。
  リンク先の送信メッセージバッファは、その共通 FIFO バッファによって置き換えられます。
  これらの送信メッセージバッファについて、送信コントロールレジスタや送信ステータスレジスタを使用してはなりません。

関連するチャネルへの共通 FIFO バッファの割り当てについては、図 28.29 を参照してください。

注. 共通 FIFO バッファは、すでに TX キューの構成要素になっている TX メッセージバッファに対してリンクしてはなりません。

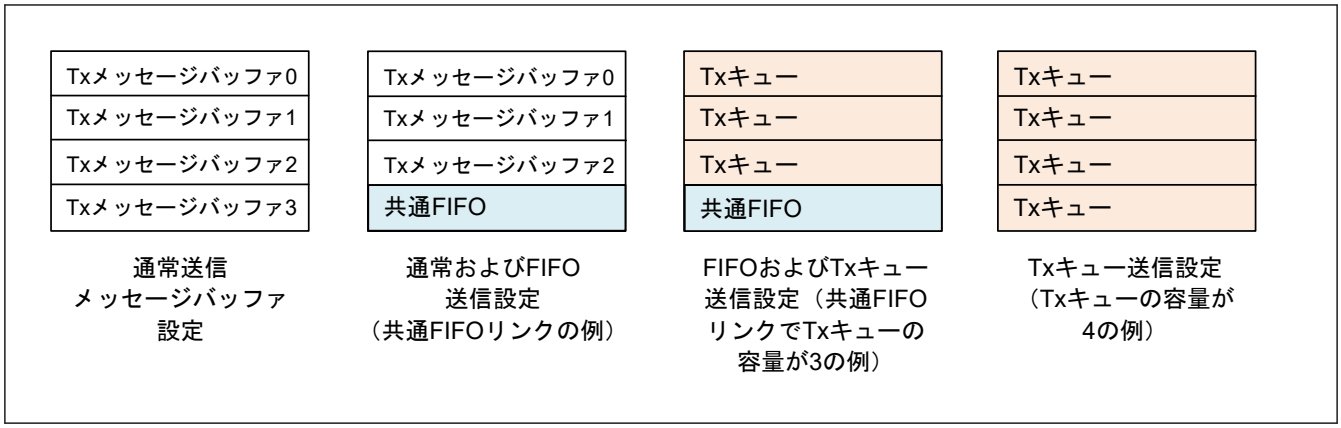


図 28.41　チャネル送信メッセージバッファの構成

28.8.2.1　送信優先順位

1 つのチャネルで 2 つ以上の送信メッセージバッファが送信用に構成されている場合、CANFD モジュール内の送信優先順位は、以下の 2 つのモードから選択できます。

- CAN ID 優先
- メッセージバッファ番号優先

送信優先順位モードは、すべてのメッセージバッファで共通です。グローバルコンフィグレーションレジスタの CFDGCFG.TPRI ビットで構成できます。

メッセージバッファ番号優先送信の場合、送信要求がある中で最も小さいメッセージバッファ番号が、最も高い送信優先順位を持ちます。これには、TX モードに構成された共通 FIFO バッファにリンクされた TX メッセージバッファも含まれます。

ただし、TX キューが有効化されている場合は、メッセージバッファ番号優先モードを使用してはなりません。

CAN ID 優先送信の場合、ID の優先順位は、（ISO 11898-1 仕様に定められた）CAN バスアービトレーションルールに準拠します。送信用に構成されたメッセージバッファの ID 優先順位の比較対象には、すべての TX メッセージバッファを含めることができます。これには、TX モードに構成された共通 FIFO バッファにリンクされた TX メッセージバッファや、TX キューメッセージバッファも含まれます。

同じ ID をもつメッセージバッファが 2 つ以上存在する場合、メッセージバッファ番号が小さい方が、高い送信優先順位を持ちます。

注.　TX モードに構成された共通 FIFO バッファの場合、現在 FIFO リードポインタが指しているメッセージのみを送信アービトレーションに含めることができます。

その FIFO がメッセージ送信中の場合、その FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

これに対して TX キューでは、TX キューのすべての送信メッセージバッファが内部送信アービトレーションの対象となります。

図 28.42 に、送信構成フローを示します。

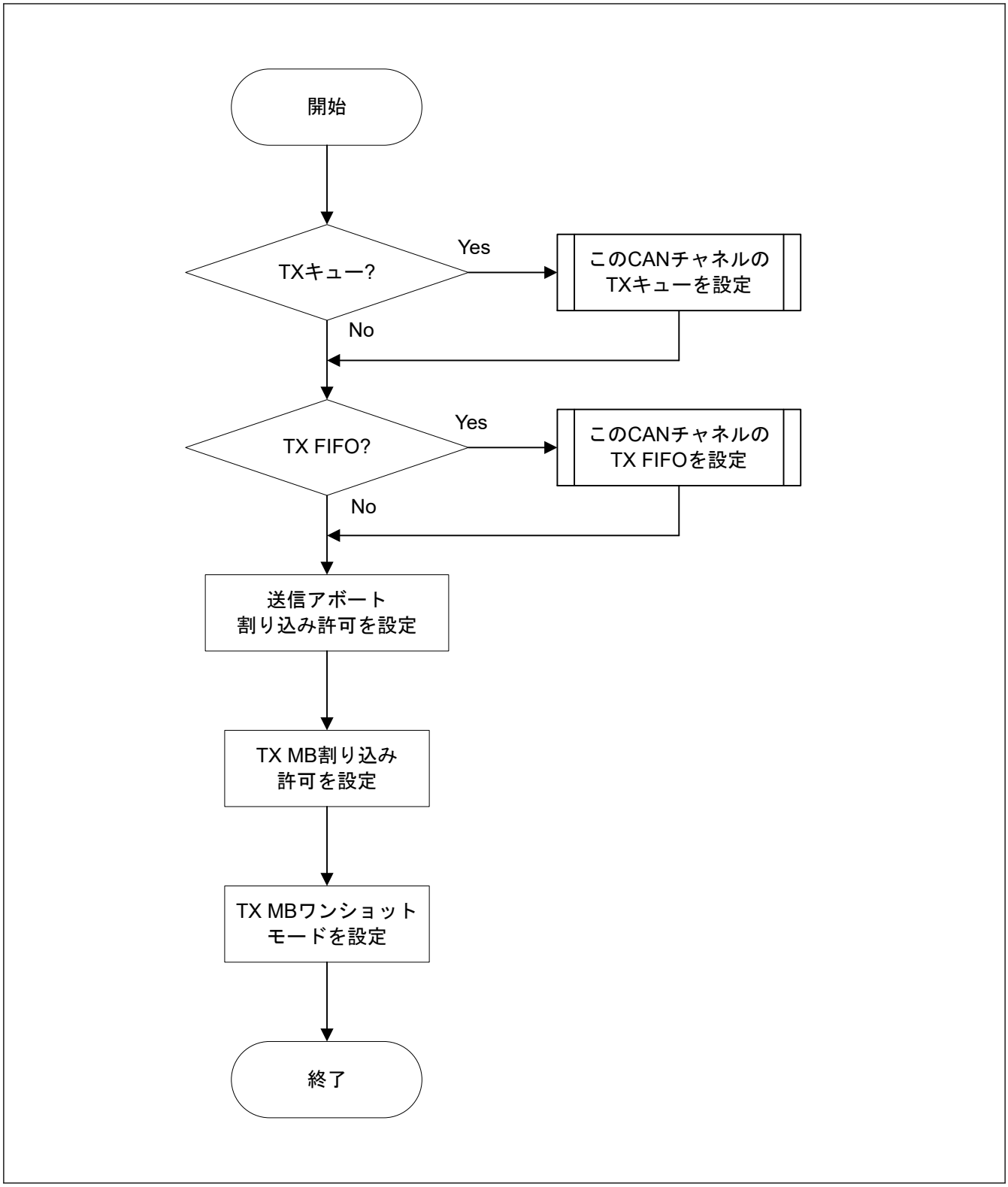


図 28.42　送信構成フロー

28.8.2.2　通常送信

各送信メッセージバッファには、次の 2 つのメッセージ送信モードがあります。

1. 通常送信モード
   メッセージバッファが通常送信モードに設定されている場合、メッセージバッファに設定されたデータフレームまたはリモートフレームを送信できます。

通常送信が完了したかどうかは、関連する TX メッセージバッファステータスレジスタの TX メッセージバッファ送信結果フラグビット (CFDTMSTSj.TMTRF) によってチェックできます。これらのビットは、通常送信が正常に行われると、10b または 11b にセットされます。
アービトレーションが失われるか、エラーが発生した場合、その送信メッセージバッファに送信アボート要求が設定されていなければ、メッセージの送信が再試行されます。
送信要求があるすべてのメッセージバッファを対象に、そのチャネルで新しい内部送信アービトレーションが行われます。

2. ワンショット送信モード

TX メッセージバッファコントロールレジスタの CFDTMCi.TMOM ビットがセットされている場合、その送信メッセージバッファはワンショット送信モードに設定されます。このモードでは、メッセージの送信を 1 回のみ試みます。

ワンショット送信が完了したかどうかは、関連する TX メッセージバッファステータスレジスタの TX メッセージバッファ送信結果フラグビット (CFDTMSTSj.TMTRF) によってチェックできます。ワンショット送信が正常に行われると、CFDTMSTSj.TMTRF ビットが 10b または 11b にセットされます。

アービトレーションが失われるか、関連するメッセージバッファの送信中にエラーが発生すると、CFDTMSTSj.TMTRF ビットは 01b にセットされます。

この場合、メッセージ送信は再試行されません。

構成後の通常送信要求手順を図 28.43 に示します。

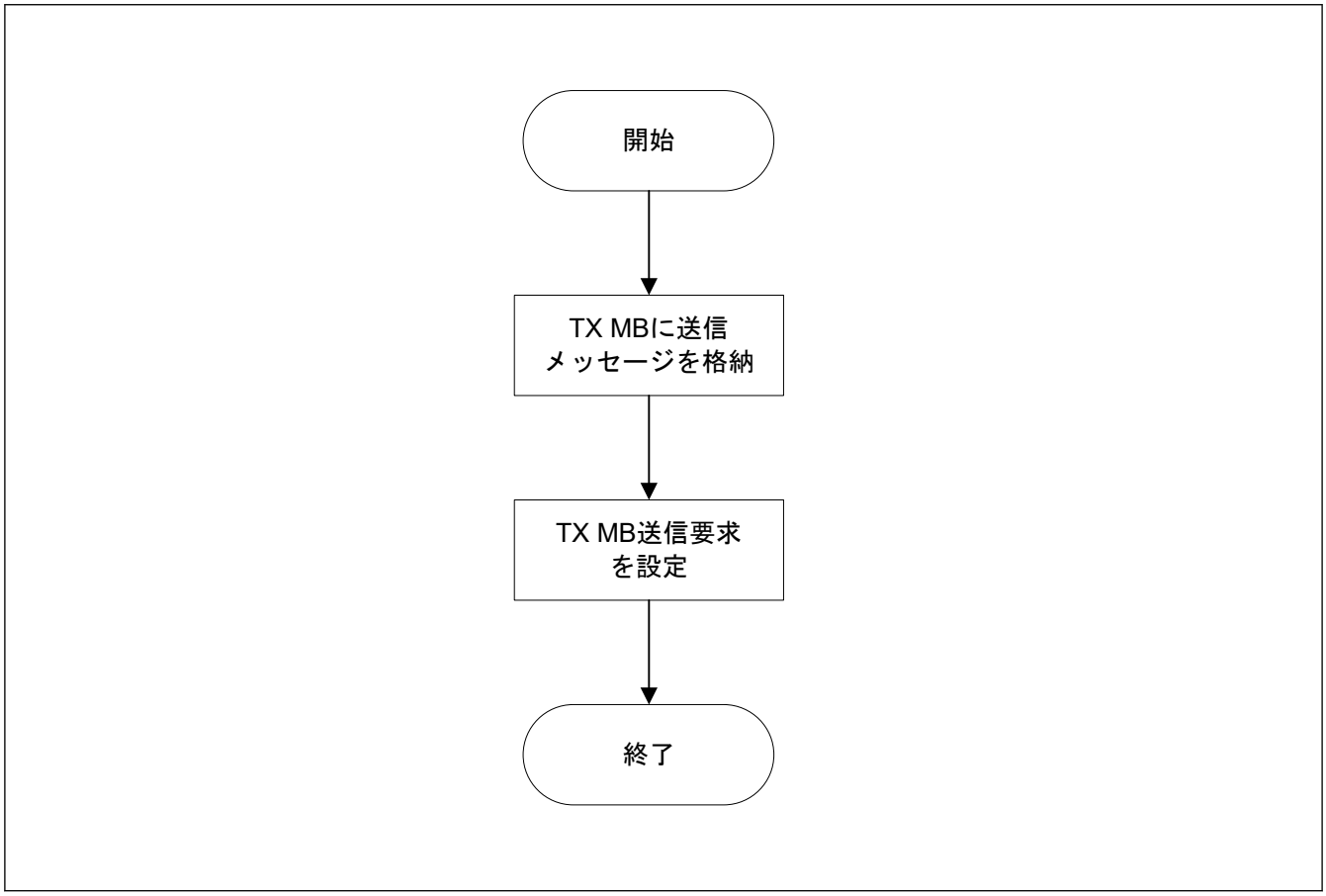


図 28.43　通常 TX メッセージバッファモードを使用した送信要求手順

(1)　TX メッセージバッファコントロールレジスタの設定

表 28.27 に、通常 CAN 送信モードの構成を示します。

表 28.27 CAN 送信モードの構成

送信要求 CFDTMCi.TMTR	送信アボート要求 CFDTMCi.TMTAR	ワンショット許可 CFDTMCi.TMOM	通信アクティビティ
0	0	0	メッセージバッファは無効
0	0	1	メッセージバッファは無効
1	0	0	データフレームまたはリモートフレーム用の送信メッセージバッファとして設定されている
1	0	1	データフレームまたはリモートフレーム用のワンショット送信メッセージバッファとして設定されている
1	1	0	送信アボートが要求されている
1	1	1	ワンショット送信アボートが要求されている

これらのコンフィグレーションビットは、TX メッセージバッファコントロールレジスタで構成できます。

図 28.44 に、上の 2 つのメッセージバッファの正常送信のタイミングを示します。

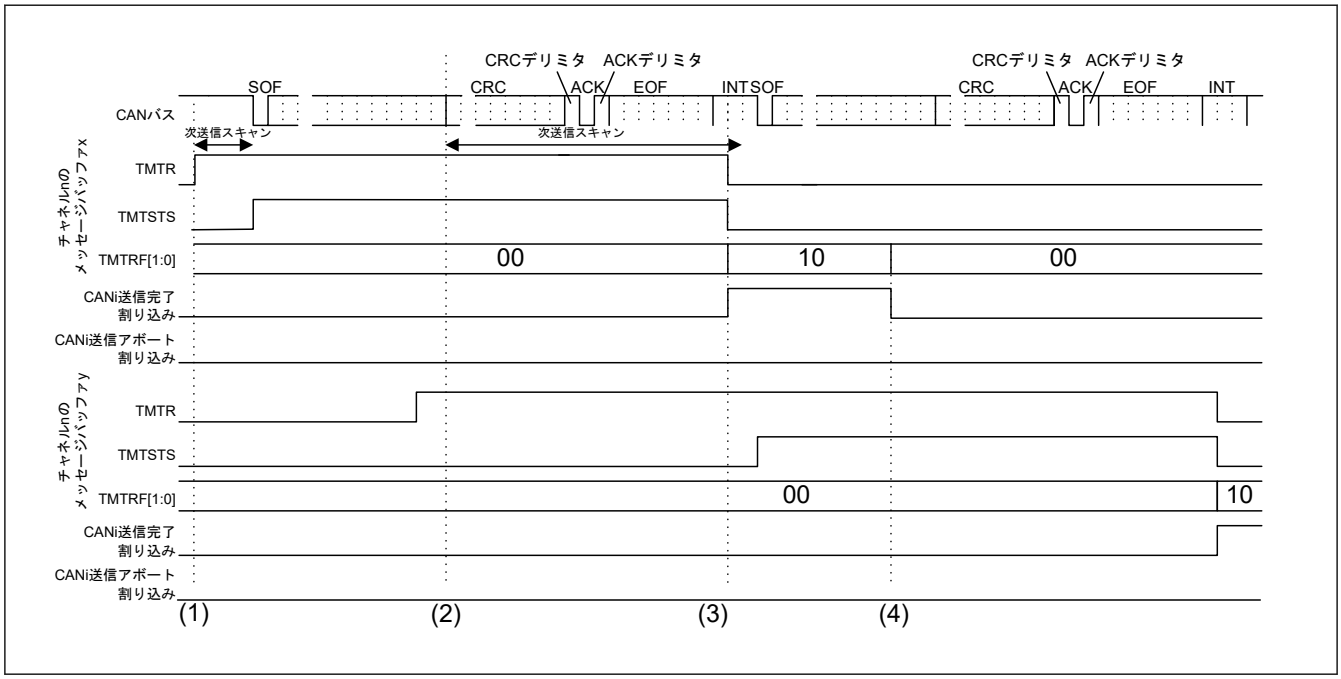


図 28.44 正常送信の要求およびフラグビットのタイミング

1. TX メッセージバッファコントロールレジスタの CFDTMCi.TMTR ビットがバスアイドル状態に設定されている場合、メッセージバッファスキャン手順が開始され、送信優先順位が最も高いメッセージバッファが決定されます。
   送信メッセージバッファが決定されると、関連する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTSTS ビットがセットされ（送信側／トランスミッタ）、CAN チャネルが送信を開始します(注1)。
2. 保留中の送信要求が存在する場合、CRC の 1 ビット目で、次の送信用の送信スキャン手順が開始されます。
3. メッセージが正常に送信されると、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットが 10b にセットされ、CFDTMSTSj.TMTSTS ビットと CFDTMCi.TMTR ビットがクリアされます。
   TX メッセージバッファ割り込み許可コンフィグレーションレジスタの TMIE ビットがセットされる（割り込みが許可される）と、CAN 正常送信割り込み要求が発生します。
   関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF フラグビットをクリアする必要があります。
4. 次の送信を開始する前に、CFDTMSTSj.TMTRF ビットをクリアしてください。送信メッセージバッファ内の次のメッセージを読み込み、CFDTMCi.TMTR ビットを再度セットします。
   CFDTMSTSj.TMTRF[1:0]ビットをクリアする前に CFDTMCi.TMTR ビットを再セットすることはできません。

注 1. CAN チャネルが送信を開始した後にアービトレーションが失われると、CFDTMSTSj.TMTSTS ビットがクリアされます。

1 つ目の CRC ビットの先頭から、もう一度送信スキャン手順が行われ、優先順位が最も高い送信メッセージバッファが検索されます。

送信中またはアービトレーションロスト後にエラーが発生した場合は、エラーフレーム中に送信スキャン手順が再度行われ、最も優先順位の高い送信メッセージバッファが検索されます。

注. CFDTMSTSj.TMTSTS が設定されるポイントが、常に SOF の先頭になるとは限りません。PLL バイパス用に実装された同期ロジックにより、最大で、標準 ID の開始点まで遅れることがあります。

図 28.45 に、2 つのメッセージバッファの送信アボートのタイミングを示します。

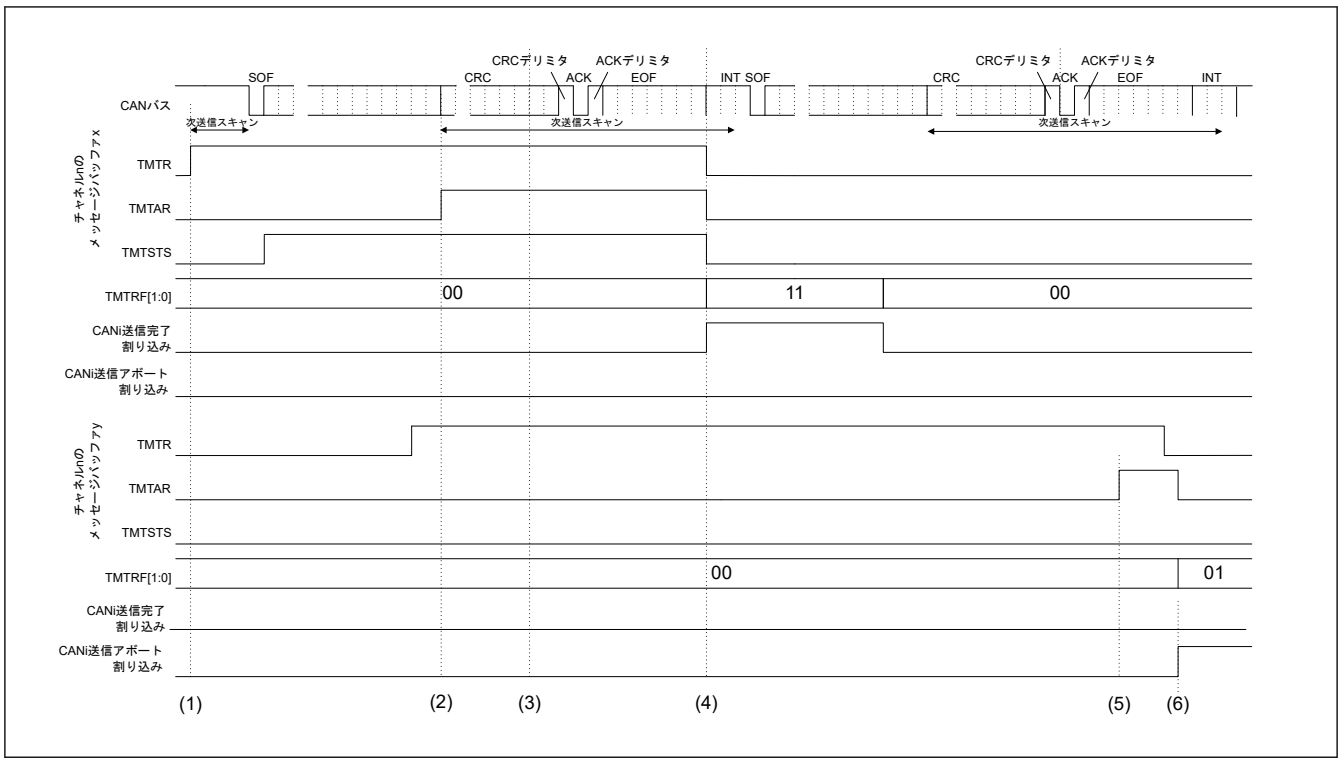


図 28.45 送信アボートの要求およびフラグビットのタイミング

1. TX メッセージバッファコントロールレジスタの CFDTMCi.TMTR ビットがバスアイドル状態に設定されている場合、メッセージバッファスキャン手順が開始され、送信優先順位が最も高いメッセージバッファが決定されます。
   送信メッセージバッファが決定されると、TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTSTS ビットがセットされ（送信側／トランスミッタ）、CAN チャネルが送信を開始します (注1)。
2. すでに送信用に選択されているか、現在送信中のメッセージバッファに対して CFDTMCi.TMTAR ビットがセットされた場合は、エラーが発生したりアービトレーションが失われたりしない限り、メッセージはアボートされません。
3. 1 つ目の CRC ビットで、次の送信用の送信スキャン手順が開始されます。このタイミングチャート例では、メッセージバッファ y は次の送信メッセージバッファとして選択されていません。
4. メッセージが正常に送信されると、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットが 11b にセットされ、CFDTMSTSj.TMTSTS ビットと CFDTMCi.TMTR ビットがクリアされます。
   TX メッセージバッファ割り込み許可コンフィグレーションレジスタの TMIE ビットがセットされる（割り込みが許可される）と、CAN 正常送信割り込み要求が発生します。
   関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF[1:0]ビットをクリアする必要があります。
5. CAN バス上では、別の CAN ノードが送信中です（CFDTMSTSj.TMTSTSS はセットされていません）。関連するチャネルの送信スキャン中に CFDTMCi.TMTAR ビットがセットされた場合、送信要求をクリアすることはできません。

6. 内部処理時間が経過した後、送信はアボートされ、CFDTMSTSj.TMTRF[1:0]ビットが 01b にセットされます。
そのメッセージバッファが送信中でなく、次の送信メッセージバッファとして選択されてもおらず、送信スキャン中でもない場合、アボートは即座に受け入れられ、対応する TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットが 01b にセットされます。
さらに、CFDTMCi.TMTR ビットと CFDTMCi.TMTAR ビットが自動的にクリアされます。
関連するチャネルコントロールレジスタの送信アボート割り込み許可 (TAIE) ビットがセットされている場合は、送信が正常にアボートされると割り込みが生成されます。
関連する割り込みラインをクリアするには、CFDTMSTSj.TMTRF[1:0]ビットをクリアする必要があります。

注 1. CAN チャネルが送信を開始した後にアービトレーションが失われると、CFDTMSTSj.TMTSTS ビットがクリアされます。
1 つ目の CRC ビットの先頭から、もう一度送信スキャン手順が行われ、優先順位が最も高い送信メッセージバッファが検索されます。
送信中またはアービトレーションロスト後にエラーが発生した場合は、エラーフレーム中に送信スキャン手順が再度行われ、最も優先順位の高い送信メッセージバッファが検索されます。

28.8.2.3 TX FIFO 送信

CANFD モジュールに、1 つの共通 FIFO バッファが割り当てられています。この FIFO バッファは、TX モードに構成された場合、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFTML ビットによって、そのチャネルの任意の通常の TX メッセージバッファ位置にリンクできます。

送信スキャンが開始したときに、その TX メッセージバッファに対応する FIFO バッファが有効化されている場合、その FIFO バッファ内の関連するメッセージが送信スキャンの対象となります。

TX モードの FIFO バッファにリンクされた TX メッセージバッファに対して構成を行ってはなりません。

(1) TX FIFO の動作

TX FIFO に CAN メッセージを書き込むには、対応する FIFO アクセスレジスタに書き込みます。

対応する FIFO ポインタコントロールレジスタに値 0xFF が書き込まれると、関連する FIFO のメッセージ数が 1 インクリメントされます。

FIFO ポインタコントロールレジスタに書き込むときは、対応する FIFO アクセスレジスタにメッセージを完全に書き終わってから行ってください。メッセージ数が FIFO 容量と一致すると、FIFO フルフラグがセットされます。

対応する CANFD モジュールチャネルロジックにより、TX FIFO 内の最も古いメッセージが送信スキャン対象に含まれます。

TX FIFO がメッセージを正常に送信すると、メッセージ数の値が 1 デクリメントされます。FIFO からすべてのメッセージが送信されると、FIFO エンプティフラグがセットされます。

TX FIFO バッファの割り込み発生条件は、対応する共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFIM ビットによって設定できます。

CFDCFCC.CFIM ビットが 0 の場合、TX FIFO バッファから最後のメッセージが正常に送信されたときに割り込みが発生します。

CFDCFCC.CFIM ビットが 1 の場合、TX FIFO バッファからメッセージが正常に送信されるたびに、割り込みが発生します。

共通 FIFO は、CAN フレームの送信が完了したときに割り込みを設定できます。

TX モードに構成された共通 FIFO バッファは、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFE ビットをクリアすることで、無効化できます。このビットが 0 にクリアされると、以下のタイミングで FIFO エンプティフラグがセットされます。

- TX FIFO からの次の送信予定がなく、また送信中でもない場合：即時
- TX FIFO からの次の送信予定があるか、現在送信中の場合：送信完了後、または CAN バスエラー検出後、またはアービトレーションロスト後、またはチャネルまたはグローバル Halt モード遷移後

注. CFDCFCC.CFE ビットクリア後に共通 FIFO バッファが無効とみなされるのは、対応する共通 FIFO バッファにエンプティフラグがセットされている場合のみです。

TX FIFO にその他の送信保留中メッセージがある場合、そのメッセージは失われるため、送信を再度要求する必要があります。再び CFDCFCC.CFE をセットする前に、CFDCFSTS.CFEMP ビットがセットされており、かつ、その TX FIFO に保留中のアボートがないことを確認してください。

CFDCFCC.CFE ビットがクリアされると、FIFO のメッセージ読み出しポインタおよび書き込みポインタがクリアされ、非アクティブになります。そのため、FIFO バッファ内のすべてのメッセージが失われ、以降その FIFO にメッセージを格納することはできなくなります。

構成後の FIFO 送信要求手順を図 28.46 に示します。

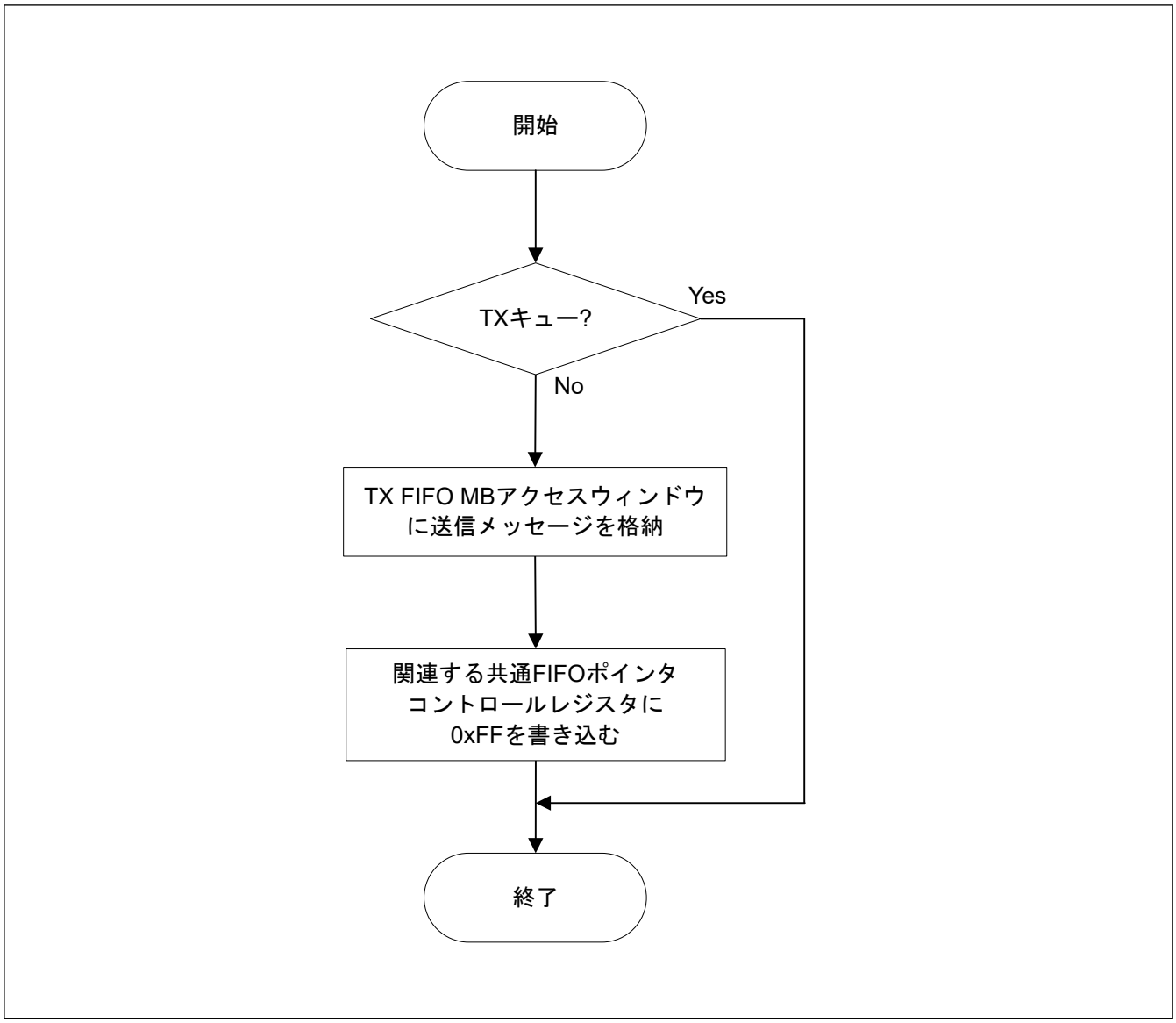


図 28.46 TX FIFO の送信要求手順

(2) FIFO 送信のインターバルタイマ

TX モードの各共通 FIFO において、1 つの FIFO バッファから送信されるよう構成された 2 つの連続するメッセージ間の遅延を指定することができます。この遅延をインターバル時間と呼びます。このインターバル時間は、CFDCFCC.CFE ビットがセットされ、FIFO バッファの最初のメッセージが正常に送信された後に開始されます。

TX モードの共通 FIFO が有効の場合、最初のメッセージは、このインターバル時間を考慮することなく送信されます。

以下のとき、インターバルタイマはカウントを停止します。

- CFDCFCC.CFE ビットのクリアによって FIFO が無効化されたとき
- CAN チャネルが CH_RESET モードのとき

インターバル時間は、共通 FIFO コンフィグレーション／コントロールレジスタの CFDCFCC.CFITT の値により、0～255 のタイマ単位で指定されます。

タイマ単位は、インターバルタイマ用の 2 つの異なるソースクロックに基づいて定義できます。FIFO 送信のインターバルタイマを無効にするには、値 0 を選択します。

タイマソースは、共通 FIFO コンフィグレーション／コントロールレジスタのコンフィグレーションビット CFITSS によって選択できます。

クロックソースとして CAN チャネルビット時間クロックを選択し、CAN チャネルが CH_HALT モードまたは CH_RESET モードまたは CH_SLEEP モードに遷移した場合、そのチャネルのインターバルタイマは停止します。

インターバルタイマのクロックソースとして周辺クロックを選択した場合、インターバルタイマが停止するのは、CAN チャネルが CH_RESET モードまたは CH_SLEEP モードになったときのみです。

基準クロックを使用して、インターバル時間を固定の時間単位で構成できます。これは、周辺クロックに基づきます。グローバルコンフィグレーションレジスタの基準クロックプリスケーラ値 CFDGCFG.ITRCP は、周辺クロックの周波数／周期と基準クロック周期の関係を定義します。

周辺クロックの周波数／周期に基づいて異なる基準クロック周期を実現するための CFDGCFG.ITRCP の設定値については、表 28.28 を参照してください。

表 28.28　FIFO インターバルタイマの基準クロックの構成例

基準クロック 周辺クロック	1 µs	100 µs	500 µs
16 MHz/62.5 ns	16	1600	8000
20 MHz/50 ns	20	2000	10000
32 MHz/31.25 ns	32	3200	16000
50 MHz/20 ns	50	5000	25000

さらに、共通 FIFO コンフィグレーション／コントロールレジスタのインターバルタイマ基準クロック分解能値 CFDCFCC.CFITR を使用して、基準クロックの分解能を指定できます。

インターバル時間は、基準クロック周期を設定値で逓倍（x1 または x10）した値に基づきます。基準クロックベースのインターバルタイマを使用すると、ISO 15765-2 のセパレーション時間の要件に準拠することができます。100 µs～127 ms の全範囲のセパレーション時間をカバーできます。

指定したインターバル時間は、正常送信イベント後（CAN プロトコルの EOF7 状態の後）に開始されます。

インターバル時間が経過すると、関連する TX FIFO によって次の送信要求が出されます。したがって、インターバル時間により、1 つの FIFO から送信される 2 つのメッセージ間の最小間隔が定義されます。

次のメッセージが送信されるのは、最も早くても、このインターバル時間の後になります。図 28.47 に内部処理のタイミング例を示します。

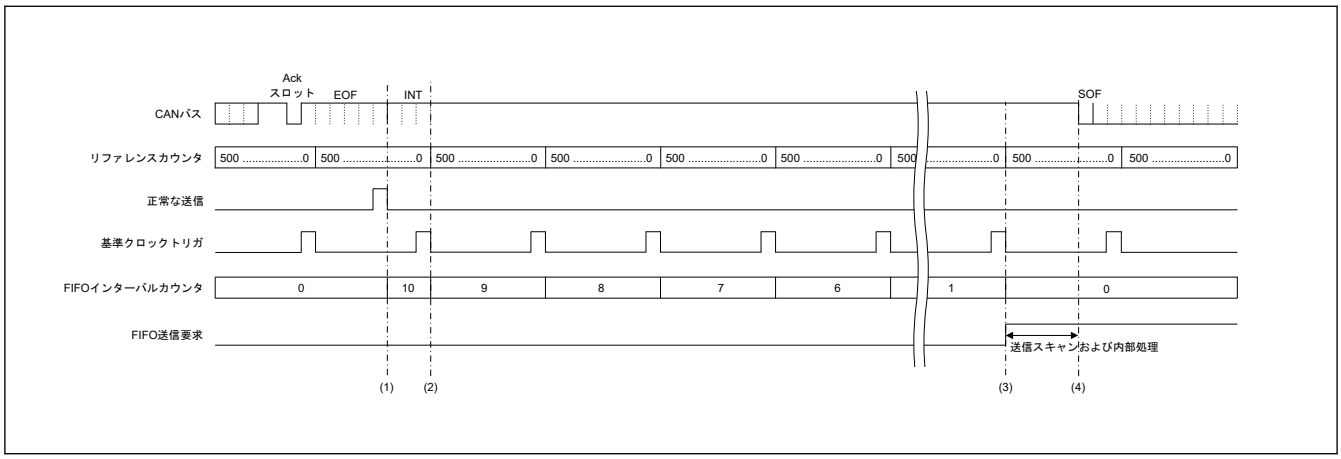


図 28.47　インターバル処理時間の例

図 28.47 のタイミングの構成は以下のとおりです。

- 周辺クロック周波数 = 50 MHz

- インターバルタイマ基準クロック (CFDGCFG.ITRCP) = 500 カウント
- 図 28.47 の設定による基準クロック = 10 µs
- 共通 FIFO インターバルタイマソース選択 (CFDCFCC.CFITSS) = 0
- 共通 FIFO インターバルタイマ分解能 (CFDCFCC.CFITR) = 0
- 共通 FIFO インターバル送信時間 (CFDCFCC.CFITT) = 10 回
- 理論上のメッセージセパレーションインターバル = 100 µs

1. 正常送信結果が発生すると、内部 FIFO インターバルタイマはリスタートされます。このリスタートは、基準クロックのトリガとは同期されません。そのため、最初のインターバルのカウントは、1 基準クロックインターバルと同じか、それ以下になります。
2. 次の基準クロックトリガで、FIFO インターバルタイマはデクリメントされます。
3. FIFO インターバルタイマが値 0 に達すると、FIFO 送信要求がセットされます。
4. FIFO が送信用に選択されている場合、送信はほどなく開始されます。内部処理のため、通常、3.で内部 FIFO 送信要求がセットされてから、実際に送信されるまでに 3CAN ビット時間未満の時間がかかります。

すべてのチャネル上で受信スキャン、内部メッセージルーティング、送信スキャンなどの複数のイベントが同時に発生するワーストケースでは、最大で 126 周辺クロックサイクルかかる場合があります。

図 28.47 に示すように、最小インターバル時間が常に設定値と等しくなる保証はありません。最小時間を決して逸脱してはならない場合は、CFDCFCC.CFITT を必要な最小値+1 に設定する必要があります。

1 つのチャネルに対して、その他の TX メッセージバッファまたは TX FIFO が送信用に構成されている場合、TX FIFO から送信される 2 つのメッセージ間の実際の遅延時間は、インターバル時間に設定した時間よりもかなり長くなることがあります。これは、TX メッセージバッファまたは TX FIFO から高優先順位のメッセージが送信されることによります。

図 28.48 に FIFO インターバル時間生成回路のブロック図を示します。

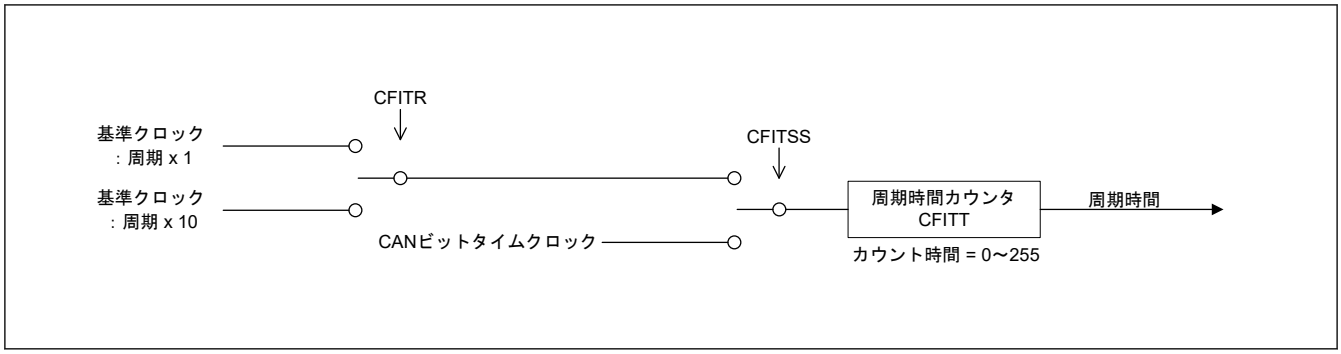


図 28.48 FIFO インターバルタイマのブロック図

28.8.2.4 TX キュー

ある特定のチャネルに対して有効化される各 TX キューは、3～4 個の TX メッセージバッファによって構成され、1 つのアクセスウィンドウを介してアクセスされます。

- 1 つ目の TX キューは、容量 3 の最大 4 つのバッファによって構成され、TX メッセージバッファ No. 0 をアクセスウィンドウとして使用します（これを TXQ と呼びます）。

TXQ のすべてのメッセージは、送信優先順位比較の対象になります。この場合、ID 優先 (CFDGCFG.TPRI = 0) のみを使用するものとします。

TXQ 用のレジスタを以下に示します。

- CFDTXQCC
- CFDTXQSTS
- CFDTXQPCTR

アクセスウィンドウ TXQ0 を使用する場合、関連するアクセスレジスタ TX メッセージバッファ ID レジスタ (TMID[m])、TX メッセージバッファポインタレジスタ (TMPTR[m])、TX メッセージバッファデータフィールド 0 レジスタおよび TX メッセージバッファデータフィールド 1 レジスタ (TMDF[0:1][m]) を参照してください。

各 TXQ バッファの容量は、TX キューコンフィグレーション／コントロールレジスタの CFDTXQCC.TXQDC[1:0] ビットへの書き込みによって構成できます。TXQ は、最大で TXMB0 から TXMB3 までを 1 つのキューバッファとして設定できます。

TXQ バッファの容量の構成には、以下の 4 個のオプションを使用できます。

- 0x00: TX キュー禁止
- 0x01：予約
- 0x10: 3 メッセージ
- 0x11: 4 メッセージ

TX キューを構成するすべての TX メッセージバッファには、直接アクセスしないでください（TX キューのアクセスウィンドウとして機能する TX メッセージバッファ No. 0 を除く）。

システムが TX キューに書き込む際、システムは TX キューの状態をチェックした後に、送信データを書き込む必要があります。

また、関連する TX メッセージバッファコントロールレジスタへのユーザーによるアクセスおよび構成は禁止されています。

TX キューのアクセスウィンドウに格納されたメッセージは、その TX キュー内の空いているバッファに内部的に格納されます。

バッファがフルになると、フルの状態が解除されるまで、キューへのアクセスは行われません。TX キューのバッファがフルのときにソフトウェア書き込みによってアクセスされた場合、送信データは上書きされます。

TX キューは、TX キューコンフィグレーション／コントロールレジスタの TXQE ビットをクリアすることによって無効化できます。このビットがクリアされると、以下のように TX キューエンプティフラグがセットされます。

- TX キューからの次の送信予定がなく、また送信中でもない場合：即時
- TX キューからの次の送信予定があるか、現在送信中の場合：送信完了後、または CAN バスエラー検出後、またはアービトレーションロスト後、またはチャネルまたはグローバル Halt モード遷移後

注. TX キューが無効化されるのは、対応する TX キューの TXQE ビットがクリアされた後、エンプティフラグがセットされたときのみです。

TX キューにその他の送信保留中メッセージがある場合、そのメッセージは失われるため、送信を再度要求する必要があります。

再び TXQE をセットする前に、CFDTXQSTS.TXQEMP ビットがセットされていること、およびその TX キューに保留中のアボートがないことを確認してください。

TXQE ビットがクリアされると、TX キューバッファ内のすべてのメッセージが失われ、以降その TX キューにメッセージを格納することはできなくなります。

TX キューにすでにメッセージが格納されている状態で、TX キューポインタコントロールレジスタに 0xFF を書き込んでください。これにより、送信要求が自動的に設定され、内部メッセージバッファポインタが TX キュー内の次の空いているメッセージバッファ位置に変更されます。

注. 同じ ID を持つ 2 つのメッセージが TX キューに格納された場合、これらのメッセージの送信順序が、TX キューに格納された順序とは変わる可能性があります。

この条件を回避するため、同じ ID を持つ新しいメッセージを TX キューに格納する前に、同じ ID を持つ前のメッセージが正常に送信されたことを確認することが重要です。

TX キューでは、TX キューコンフィグレーション／コントロールレジスタの TXQIE ビットをセットすることにより、専用の割り込みを有効化できます。

割り込みモードについては、同じレジスタの CFDTXQCC.TXQIM ビットによって、メッセージが送信されるごとに割り込みを発生させるか、最後に送信されるメッセージに対して割り込みを発生させるかを選択できます。

構成後の TX キュー送信要求手順を図 28.49 に示します。

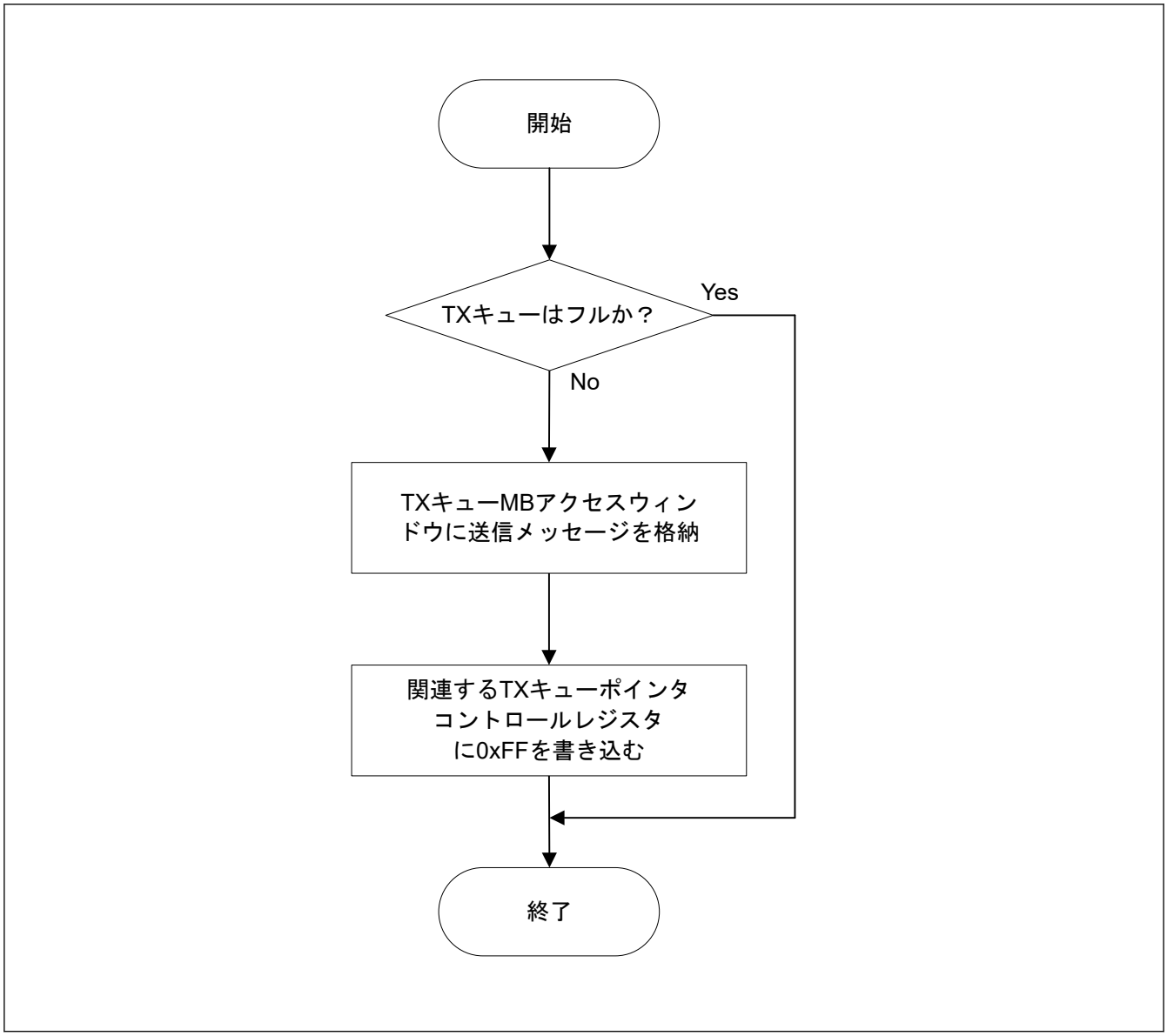


図 28.49　TX キュー送信要求

28.8.2.5　TX 履歴リスト

TX 履歴リスト機能は、正常に送信されたメッセージの情報を TX 履歴リストバッファ（THL バッファ）に記録する機能です。2 つの TX 履歴リストバッファがあります。THL バッファには、最大 8 個の TX 履歴リストエントリを格納できます。

TX 履歴リストコンフィグレーション／コントロールレジスタの CFDTHLCC.THLDTE ビットを使用して、TX FIFO／TX キューから送信されたメッセージの情報のみを TX 履歴リストに格納するか、TX キュー、TX FIFO、または通常の TX メッセージバッファから送信されたすべてのメッセージに関する情報を格納するかを設定できます。

メッセージバッファポインタレジスタの CFDCFID.THLEN ビットを使用すると、各送信メッセージの TX 履歴リストへの受け入れを個別に設定できます。

メッセージ情報は、メッセージが正常に送信された後、CAN チャネルの TX 履歴リストバッファに格納されます。

リストへの格納は、TX メッセージバッファステータスレジスタの CFDTMSTSj.TMTRF[1:0]ビットのステータスとは同期されません。

内部処理のため、正常送信が通知された後、リストに格納されるまでに遅延が生じることがあります。

TX 履歴リストにデータが格納されたかどうかは、THLIE が 1 に設定されている場合は THLIF が 1 にセットされたことによって、または TX 履歴リストカウンタ CFDTHLSTS.THLMC[5:0]が増分されたことによって認識できます。

受信スキャンや内部メッセージルーティングなどの複数のイベントが発生するワーストケースでは、次のようになります。

- CFDTMSTSj.TMTRF をセットしてから TX 履歴リストデータが格納されるまでの最大遅延時間は、76 周辺バスクロックサイクルです。

履歴リストは、送信したメッセージについて次の情報を記録します。

- バッファの種類：
  - 001: TX メッセージバッファ
  - 010: TX FIFO
  - 100: TX キュー
- バッファ番号：
  送信が発生した TX メッセージバッファ、TX キューメッセージバッファ、または共通 FIFO バッファの TX メッセージバッファリンク。この番号は、バッファの種類によって決まります。表 28.29 を参照してください。
- 送信 ID：
  送信メッセージに格納された送信ポインタ
- 送信タイムスタンプ：
  CFDGFDCFG.TSCCFG によって構成されたキャプチャポイントで取得されたメッセージのタイムスタンプ。
- 送信情報ラベル：
  送信メッセージに格納された送信情報ラベル

表 28.29 TX 履歴リストバッファ番号エントリ

バッファ番号	BT[2:0]バッファの種類		
	001b TX メッセージバッファ	101b TX FIFO	100b TX キュー
00b	メッセージバッファ 0	表示の番号は、関連する共通 FIFO 構成の共通 FIFO TX メッセージバッファリンク CFTML に対応します。	表示の番号は、フレームが送信された TX キューに属するメッセージバッファに対応します。
01b	メッセージバッファ 1		
10b	メッセージバッファ 2		
11b	メッセージバッファ 3		

TX FIFO または TX キューの番号だけでは識別に不十分なため、送信 ID エントリを使用して、TX FIFO または TX キューのどのメッセージが正常に送信されたかを識別します。

そのため、TX FIFO または TX キューに格納された各送信メッセージに一意の番号を付加できます。この一意の ID 番号は、TX FIFO の場合は共通 FIFO アクセスポインタレジスタの CFDCFFDCSTS.CFPTR[15:0]部分、また、TX キューアクセスウィンドウメッセージバッファの場合は TX メッセージバッファポインタレジスタの CFDTMFDCTRb.TMPTR[15:0]部分に書き込みます。

メッセージが正常に送信されると、この ID 番号は他のメッセージ関連情報とともに TX 履歴リストに格納され、TX 履歴リストアクセスレジスタの送信 ID (TID) を介して読み出すことができます。

通常の TX メッセージバッファの場合、TX メッセージバッファポインタレジスタの CFDTMFDCTRb.TMPTR[15:0]部分も送信履歴リストに格納されます。情報ラベルも同様です。

図 28.50 に、TX 履歴リストを使用する場合の送信準備フローを示します。

TX 履歴リストアクセスレジスタへのリードアクセスは、すべてのエントリに対して行われます。

1 つのエントリを読み出した後、対応する TX 履歴リストポインタコントロールレジスタに 0xFF を書き込んで、次のエントリにアクセスできるようにする必要があります。これを TX 履歴リストがエンプティになるまで続けます。

図 28.51 に、TX 履歴リスト情報の処理フローの例を示します。

TX 履歴リストには専用の割り込みがあり、対応する TX 履歴リストコンフィグレーション／コントロールレジスタの CFDTHLCC.THLIM ビットで構成できます。この割り込みは、同じレジスタの CFDTHLCC.THLIE ビットで有効化でき、履歴リストが充填レベル 75%に達したときに割り込みを発生させるか、新しい TX 履歴リストエントリで毎回割り込みを発生させるかを選択できます。

エントリロストの表示は、TX 履歴リストステータスレジスタの CFDTHLSTS.THLELT ビットによりフラグが立てられます。このビットのステータスは、グローバルエラーフラグレジスタの THLES ビットによっても示されます。

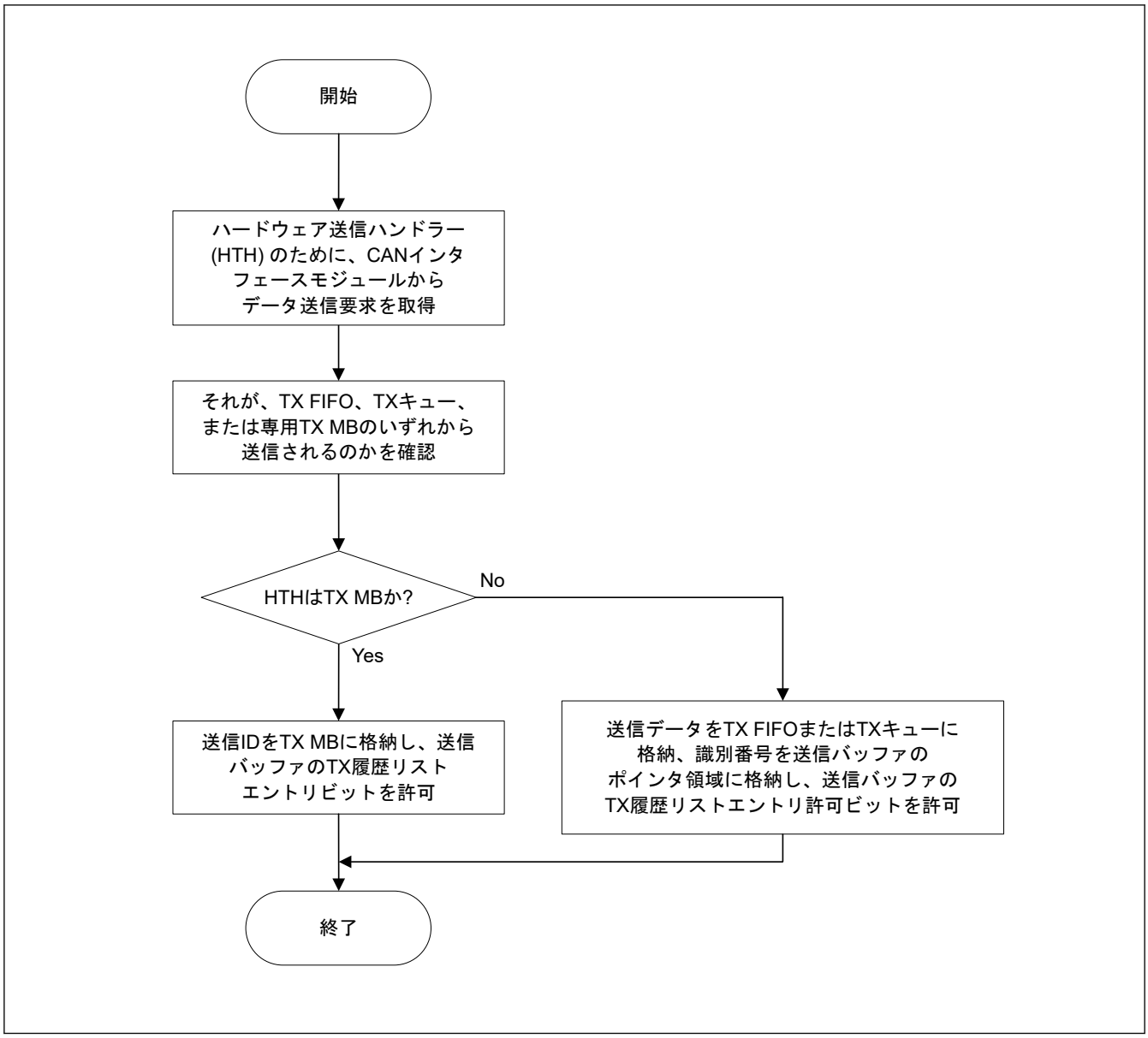


図 28.50 TX 履歴リストの準備手順

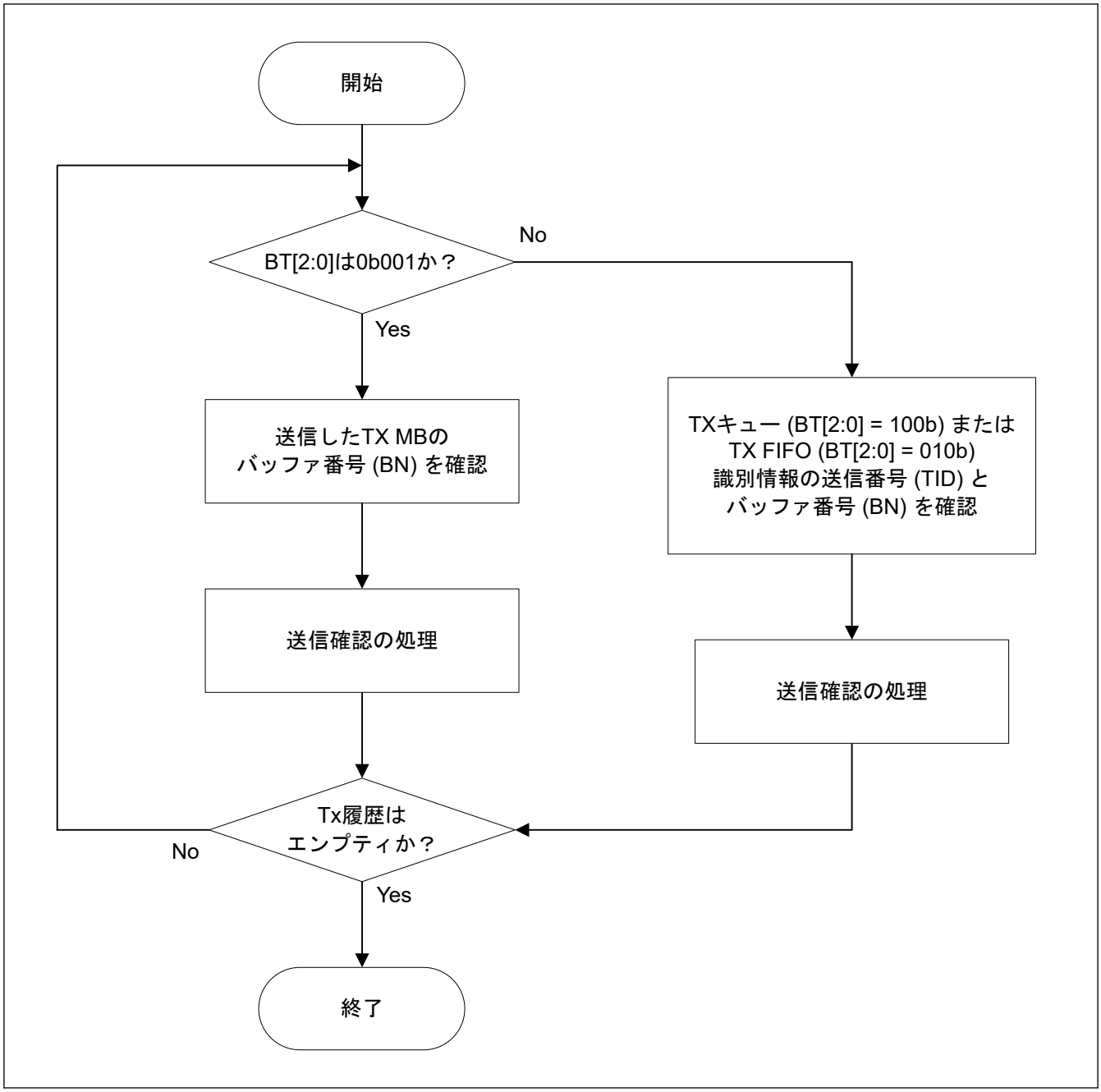


図 28.51 TX 履歴リストの処理手順

28.8.2.6 送信データパディング

この章は、クラシカル CAN 機能に対しては適用されません。

送信メッセージのデータ長コード (DLC) のデータバイト数がバッファサイズより大きい場合、制限範囲を超えるデータバイトは、0xCC 値のバイトによって置き換えられます。

これは、TX モードに構成された共通 FIFO において、送信メッセージの DLC が CFDCFCC.CFPLS よりも大きいときに発生することがあります。

また、FD only モードでも、クラシカルフレームが 8 より大きい DLC で構成されている場合に発生することがあります。

28.9 テストモード

特定の機能のテストを行うために、CANFD モジュールをテストモードに設定することができます。これらの機能は、特別な目的のためにのみ提供されているものであり、CANFD モジュールをテストモードに設定する際には注意が必要です。

注. 一部機能が他のテストモードでも有効化できると明示的に記載されていない限り、すべてのテストモードは相互排他的関係にあります。

本項に記載する複数のテストモードを同時に有効にしないでください。

テストモードは、次の 2 つのグループに大きく分けられます。

- チャネル固有のテストモード
- グローバルテストモード

28.9.1 チャネル固有のテストモード

CAN チャネルは、次のテストモードに構成することができます。

- 基本テストモード
- リッスンオンリモード
- セルフテストモード 0（外部ループバックモード）
- セルフテストモード 1（内部ループバックモード）
- 制限付きオペレーションモード

28.9.1.1 基本テストモード

基本テストモードは、リッスンオンリモードやセルフテストモード以外の特定のテスト設定を有効にする必要がある場合に使用します。

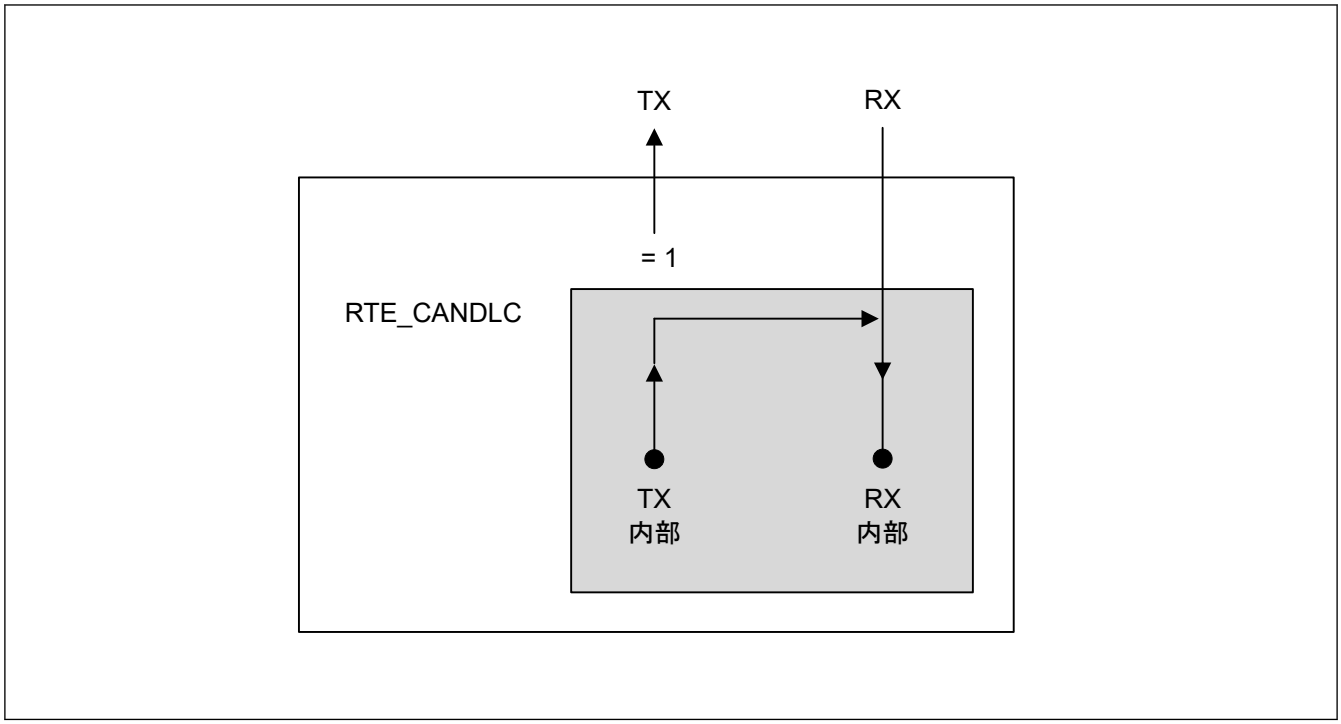
28.9.1.2 リッスンオンリモード

ISO 11898-1 では、オプションのバスモニタモードが推奨されています。このモードでは、CAN チャネルは有効なデータフレームおよび有効なリモートフレームを受信できます。しかし、CAN バス上でレセシブビットを送信するのみで、データの送信は許可されません。

CAN エンジンがドミナントビット（ACK ビット、オーバーロードフラグ、アクティブエラーフラグ）を送信する必要がある場合、ビットが内部的にルーティングされ、CAN エンジンはそれをドミナントビットとしてモニタします。外部の TX 端子はレセシブ状態のままです。

このモードは、ボーレート検出に使用できます。このモードでは、バスエラーが発生し、かつ割り込みが許可されている場合、エラー割り込みが発生します。

このモードでは、該当するチャネルの通常の TX メッセージバッファや TX FIFO。

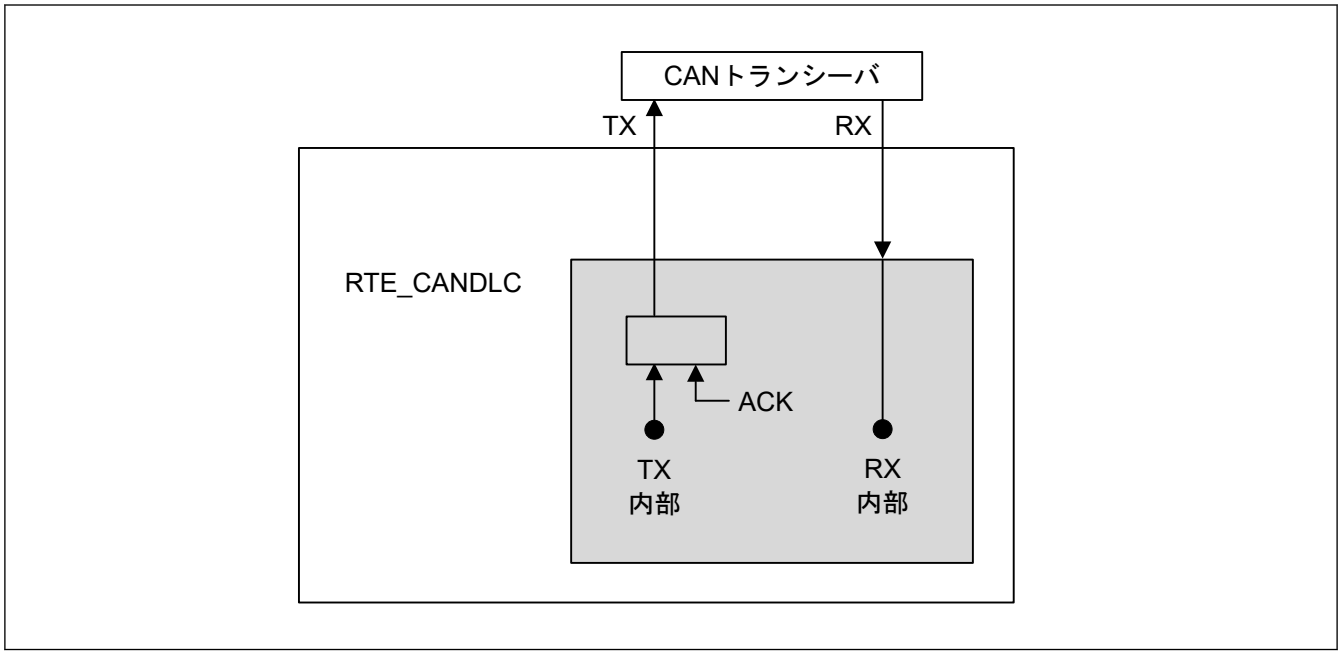


28.9.1.3 セルフテストモード 0（外部ループバックモード）

セルフテストモード 0 では、CAN エンジンは自らが送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、受信メッセージバッファに格納します。

外部の刺激に影響されないようにするため、CAN エンジンは独自のアクノリッジビットを生成します。

このテストは、CAN トランシーバのテストに使用できます。Rx 端子/Tx 端子をトランシーバに接続する必要があります。



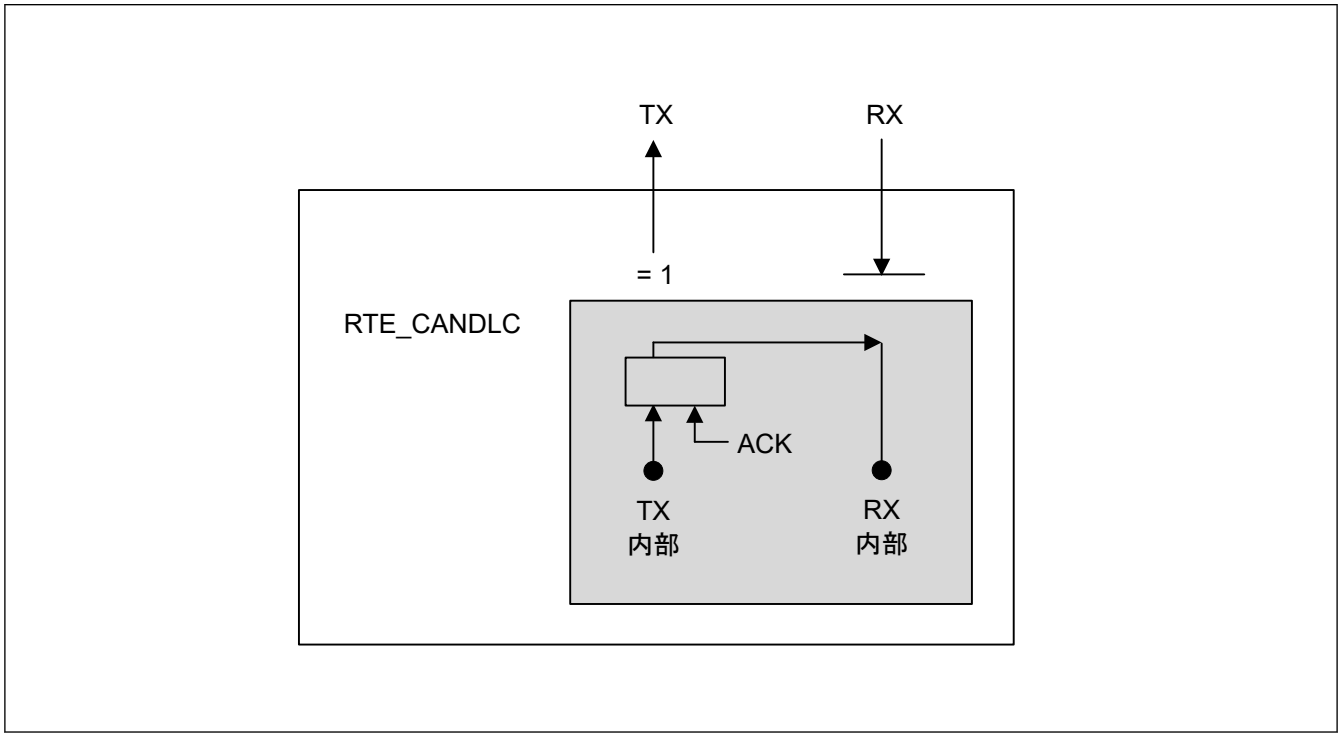
28.9.1.4 セルフテストモード 1（内部ループバックモード）

セルフテストモード 1 では、CAN エンジンは自らが送信したメッセージを受信したメッセージとして取り扱い、受信バッファに格納します。このモードは、セルフテスト機能用です。外部の刺激に影響されないようにするた

め、CAN エンジンは独自のアクノリッジビットを生成します。このモードでは、CAN エンジンは Tx 内部から Rx 内部への内部フィードバックを実行します。外部 Rx 入力の実際の値は、CAN エンジンによって無視されます。

外部 TX 端子はレセシブビットのみを出力します。Rx 端子/TX 端子は、CAN バスや他のどの外部デバイスにも接続する必要がありません。

注. チャネルの各端子は、内部 CAN バス通信ラインからも切り離されます。



28.9.1.5 制限付きオペレーションモード

この章は、クラシカル CAN 機能に対しては適用されません。

制限付きオペレーションモードでは、CAN ノードは有効なデータフレームとリモートフレームを受信して、アクノリッジビットを生成することができます。

アクティブエラーフレームとオーバーロードフレームは送信できません。その代わり、エラー条件またはオーバーロード条件が発生した後、バスアイドル状態になるまで待機してから CAN 通信に再同期します。

さらに、受信エラーカウンタ (REC) と送信エラーカウンタ (TEC) は、エラーの発生とは無関係にフリーズされています。このモードの仕様は ISO 11898-1 に準拠します。また、任意の送信要求を設定することができます。

28.9.2 グローバルテストモード

CANFD モジュールは、以下のテストモードに構成できます。

- RAM テストモード
- ビットフリップテスト

以下の表に示すテストモードは、モードの有効化が特別なソフトウェア手順によって保護されています。このソフトウェア手順は、以下の表に示す特定のロック解除キーによって、テストモードへの書き込みを許可します。

テストモード	ロック解除キー 1	ロック解除キー 2
RAM テストモード	0x7575	0x8A8A

2 つの連続するロック解除キー書き込み（ハーフワードまたはワードアクセス）のソフトウェアシーケンスが、レジスタへのその他の書き込みによって中断された場合、またはグローバルロック解除キーレジスタに不正なデ

ータが書かれた場合、対応するテストモードは設定できず、シーケンスを初めからやり直さなければなりません。

2 つのロック解除キーを書き込んだ後、続けて対応するテストモード許可ビットをセットする書き込みを行う必要があります。これが守られない場合、ロック解除機構はリセットされ、テストモード許可ビットはセットできず、ロック解除シーケンスを初めからやり直さなければなりません。

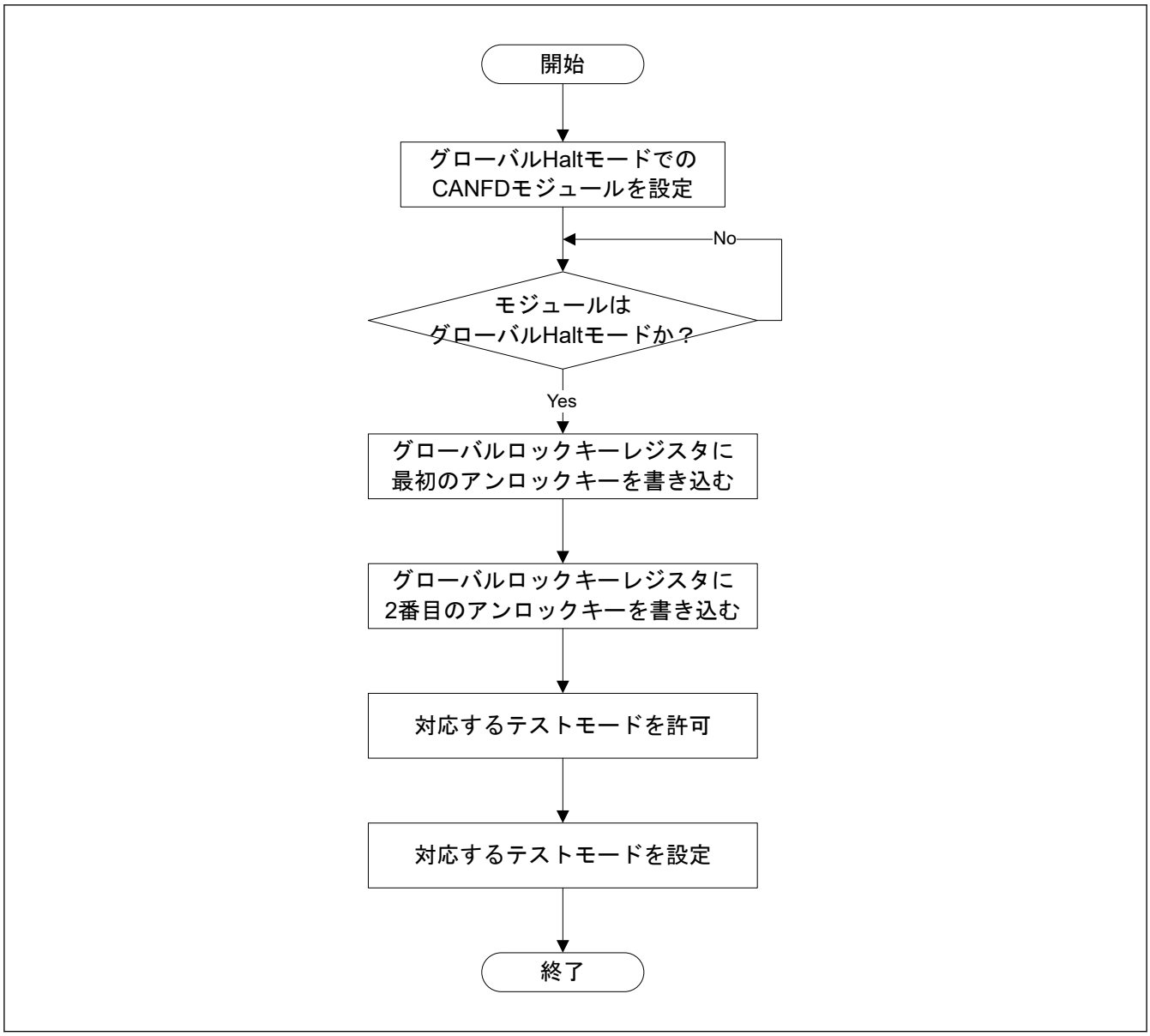


図 28.52 ソフトウェア保護のロック解除ルーチン

28.9.2.1 RAM テストモード

対応するロックキーを先に書き込んでから、グローバルテストコントロールレジスタの CFDGTSTCTR.RTME ビットをセットすることにより、CANFD モジュールを RAM テストモードに設定できます。このモードは特別なテストモードであり、RAM 領域全体にアクセスできます。

注. 実際の RAM は、ハードウェアリセット後に初期化される RAM 領域よりも大きいサイズを持っています。そのため、CANFD モジュールを RAM テストモードにしたとき、CPU がこの初期化されていない RAM 領域からデータを読み出すことで、（ECC マクロの）ECC エラーフラグがセットされることがあります。

このモードでは、RAM 領域は各 256 バイトの複数のページ (pn) に分割されます。これには、CFDRPGACCk レジスタでアクセスできます。

グローバルテストコントロールレジスタの CFDGTSTCFG.RTMPS[3:0]ビットに書き込み、ページのリードアクセス／ライトアクセスを選択します。すると、RAM テストページアクセスレジスタのデータの読み出しまたは書き込みが可能になります。

図 28.53 に、RAM テストモード実行時の RAM 内のページ構造を示します。

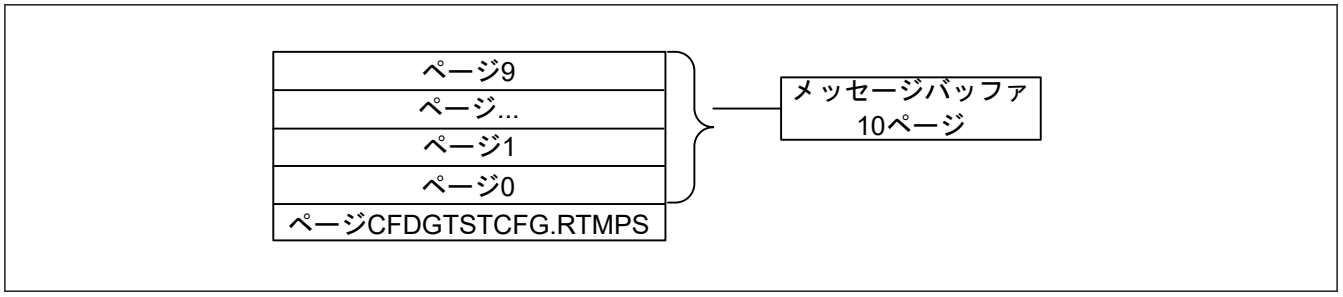


図 28.53 RAM のページ構造

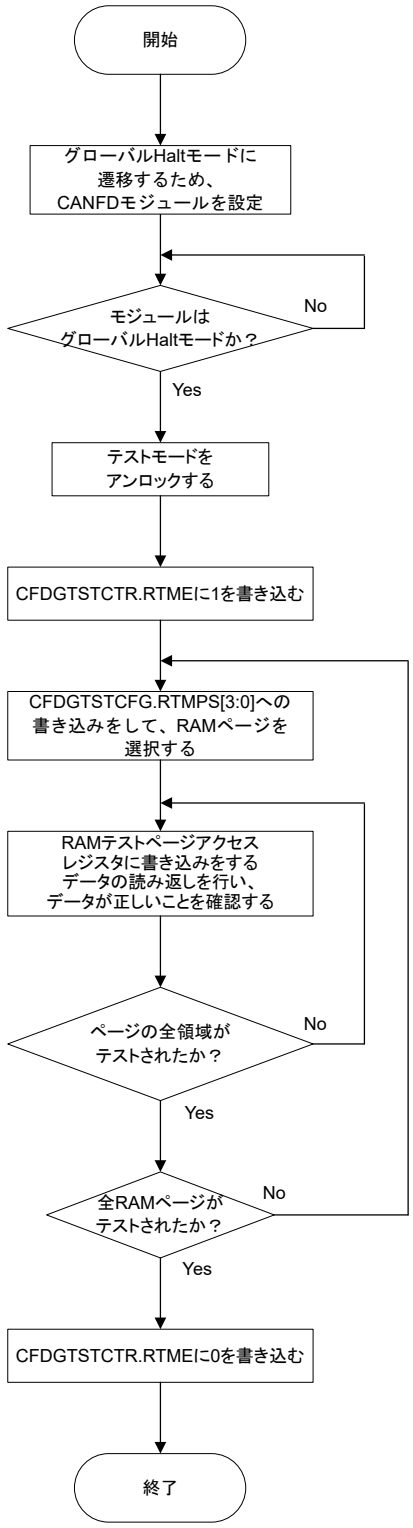
で利用可能な総 RAM サイズは、メッセージバッファ RAM が 2328 バイトです。

MB RAM の pn および CFDGTSTCFG.RTMPS[3:0]の値は、次の方法で計算されます。

pn = ceil（総 RAM サイズ[バイト]／ページ当たりバイト数）

- MB RAM：
  pn = ceil (2328 / 256) = 10 ページ
  CFDGTSTCFG.RTMPS[3:0] = 0～9（0 と 9 を含む）

図 28.54 に、RAM テストモードのソフトウェアフローを示します。



注 1. RAM テストモードに変更する前に、以下のステータスに変更してください。
- 送信要求をキャンセルする
- すべての FIFO および TX キューを無効化する
- 受信バッファの受信フラグをクリアする

図 28.54 RAM テストモードのソフトウェアフロー

このテストモードを解除するには、CFDGTSTCTR.RTME ビットをクリアしなければなりません。
CFDGTSTCTR.RTME ビットは、0 を書き込むことによりクリアされます。

CANFD モジュールがテストモードからグローバルリセットモードに遷移すると、CFDGTSTCTR.RTME ビットは自動的にクリアされます。

28.9.2.2 ビットフリップテスト

ビットフリップテストは、受信するビットストリームの最初のビット（ID の 1 番目のビット）を反転できます。

この機能を送信ノードで使用すると、ビットエラーまたはアービトレーションロストが発生します。

この機能を受信ノードで使用すると、CRC エラーまたはスタッフエラーが発生します。

本機能を使用する場合、（反転のため）CRC エラーではなくスタッフエラーを受信する可能性があるため、ビットスタッフィングルールを参照する必要があります。

CRC エラーテストを実施するには、以下のシーケンスを使う必要があります。以下のシーケンスで、CANFD モジュールが受信側です。

1. 送信ノードから受信するビットストリームの 1 番目のビットを反転するために、CFDC0CTR.BFT ビットを 1 に設定します。
2. can_cherr_int 出力信号が 1 になるのを待ちます。
3. CFDC0ERFL.CRCREG ビットまたは CFDC0FDCRC.CRCREG ビットのいずれか（受信したフレームのタイプが従来型か FD かによる）を読み出します。値は、送信側ノードから受信した基準メッセージの CRC 値とは異なっていなければなりません。
4. CFDC0ERFL.CERR ビットが 1 であることを確認します。

CRC 生成ロジックは RX と TX で共有されているため、TX CRC エラーテストを別に作成する必要はありません。

29. CANFD ECC (CNECC)

29.1 概要

MBRAM は、2 ビット ECC エラー検出および 1 ビット ECC エラー検出および訂正の ECC 機能を持っています。(注1)ECC モジュールは、32 ビット RAM データに 7 ビット ECC データを付加します。

注 1. ECC モジュールは 3 ビット以上のエラー検出はできません。この場合、ECC モジュールは設定により、1 ビットまたは 2 ビットエラーを検出するか、エラーを検出しないか、または間違っているビットを間違ったデータに訂正します。すべての RAM データが 0 または 1 に固定されている場合、2 ビット ECC エラーとして検出されます。

29.2 レジスタの説明

29.2.1 EC710CTL : ECC コントロールレジスタ

Base address: ECCMB = 0x4012_F200

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ECDEDF0	ECSEDF0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	EMCA[1:0]		—	—	ECOVFF	ECER2C	ECER1C	—	—	ECERVF	EC1ECP	EC2EDIC	EC1EDIC	ECER2F	ECER1F	ECEMF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	機能	R/W
0	ECEMF	ECC エラーメッセージフラグ 0: 現在の RAM 出力データにビットエラーはない 1: 現在の RAM 出力データにビットエラーがある	R
1	ECER1F	ECC エラー検出および訂正ステータスフラグ 0: 本ビットクリア後、1 ビットエラー訂正は起きていない 1: 1 ビットエラー発生	R
2	ECER2F	2 ビット ECC エラー検出フラグ 0: 本ビットクリア後、2 ビットエラーは起きていない 1: 2 ビットエラー発生	R
3	EC1EDIC	ECC 1 ビットエラー検出割り込み制御 0: 1 ビットエラー検出割り込み要求禁止 1: 1 ビットエラー検出割り込み要求許可	R/W
4	EC2EDIC	ECC 2 ビットエラー検出割り込み制御 0: 2 ビットエラー検出割り込み要求禁止 1: 2 ビットエラー検出割り込み要求許可	R/W
5	EC1ECP	ECC 1 ビットエラー訂正許可 0: 1 ビットエラー検出時、エラー訂正を実行する 1: 1 ビットエラー検出時、エラー訂正を実行しない	R/W
6	ECERVF	ECC エラー判定許可フラグ 0: エラー判定禁止 1: エラー判定許可	R/W
8:7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	ECER1C	蓄積 ECC エラー検出および訂正フラグクリア 0: 無効 1: 蓄積 ECC エラー検出および訂正フラグをクリア	R/W
10	ECER2C	2 ビット ECC エラー検出フラグクリア 0: 無効 1: 2 ビット ECC エラー検出フラグをクリア	R/W

ビット	シンボル	機能	R/W
11	ECOVFF	ECC オーバーフロー検出フラグ 0: 無効 1: ECC オーバーフロー検出フラグ	R
13:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	EMCA[1:0]	ECC モード選択ビットへのアクセス制御 ECERVF ビットへの書き込みを許可または禁止します。	R/W
16	ECSEDF0	ECC 1 ビットエラーアドレス検出フラグ 0: リセットまたは ECER1F ビットクリア後に EC710EAD0 にビットエラーなし 1: EC710EAD0 にキャプチャされているアドレスが 1 ビットエラーが発生しキャプチャされたことを示す	R
17	ECDEDF0	ECC デュアルビットエラーアドレス検出フラグ 0: リセットまたは ECER2F ビットクリア後に EC710EAD0 にビットエラーなし 1: EC710EAD0 にキャプチャされているアドレスが 2 ビットエラーが発生しキャプチャされたことを示す	R
31:18	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ECEMF ビット（ECC エラーメッセージフラグ）

ECEMF ビットは現在の読み出しデータバスにエラーがあることを示します。本ビットは、RAM 出力データごとに更新されます。

RAM 出力データが不定で ECERVF ビットが 1 の場合、本ビットの値は不定です。

[1 になる条件]

エラー判定が有効で、現在の RAM 出力データにビットエラーがある

[0 になる条件]

- デコーダへの入力データに 1 ビットエラーがない
- ECC エラー判定が無効なとき (ECERVF = 0)

ECER1F ビット（ECC エラー検出および訂正ステータスフラグ）

ECER1F ビットは、エラー判定が有効時、RAM 読み出しで RAM 読み出しデータ[38:0]の 1 つの部分にビットエラーが検出されたことを示します。

1 ビットエラー割り込み出力が有効時、本フラグの設定でエラー割り込みが発生します。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

クリア時、ECER1C ビットに 1 を書き込む必要があります。

本ビットがセットされているときは 1 ビットエラーが再度検出されても、割り込みは発生しません。

[1 になる条件]

エラー判定が有効で、RAM 出力データに 1 ビットエラーがあるとき（ECER1C = 1 を書き込まない場合）

[0 になる条件]

- ECER1C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

ECER2F ビット（2 ビット ECC エラー検出フラグ）

ECER2F ビットは、エラー判定が有効時、RAM 読み出しで RAM 読み出しデータ[38:0]の 2 つの部分にビットエラーが検出されたことを示します。

2 ビットエラー割り込み出力が有効時、本フラグの設定でエラー割り込みが発生します。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

クリア時、ECER2C ビットに 1 を書き込む必要があります。

本ビットがセットされているときは 2 ビットエラーが再度検出されても、割り込みは発生しません。

[1 になる条件]

エラー判定が有効で、RAM 出力データに 2 ビットエラーがあるとき（ECER2C = 1 を書き込まない場合）

[0 になる条件]

- ECER2C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

EC1EDIC ビット（ECC 1 ビットエラー検出割り込み制御）

EC1EDIC ビットは、1 ビットエラー検出時の割り込み出力を制御します。本ビットを 1 に設定すると、1 ビットエラー検出時、1 ビットエラー割り込みが出力されます。

EC2EDIC ビット（ECC 2 ビットエラー検出割り込み制御）

EC2EDIC ビットは、2 ビットエラー検出時の割り込み出力を制御します。本ビットを 1 に設定すると、2 ビットエラー検出時、2 ビットエラー割り込みが出力されます。

EC1ECP ビット（ECC 1 ビットエラー訂正許可）

EC1ECP ビットは、ECC エラー検出および訂正が有効時、1 ビットエラーの訂正を有効または無効にします。本ビットを 1 に設定すると、1 ビットエラー検出時、訂正されていないデータが出力されます。

ECERVF ビット（ECC エラー判定許可フラグ）

ECERVF ビットを 1 にすることで、エラー判定を有効にします。出力データの訂正および割り込み出力は、EC1ECP ビット、EC2EDIC ビット、および EC1EDIC ビットに依存します。

EMCA[1:0]の書き込み値が 01b の場合、本ビットへの書き込みは有効です。したがって、本ビットへの書き込みは、16 ビットまたは 32 ビット動作コマンドのみ有効です。

ECER1C ビット（蓄積 ECC エラー検出および訂正フラグクリア）

ECER1C ビットは、ECER1F ビットのステータスフラグをクリアします。

読むと常に 0 が読めます。0 を書き込んでも内部状態に変化はありません。本ビットへの 1 書き込みと ECER1F ビットが競合した場合、前者が優先されます。

ECER1F ビットは、ECER1F ビットが設定されているときに、本ビットに 1 を書き込むことでクリアされます。さらに、オーバーフロー検出フラグ (ECOVFF)、ECC デュアルビットエラーフラグ (ECDEDF0) および ECC シングルビットエラーフラグ (ECSEDF0) もクリアされます。

ECER2C ビット（2 ビット ECC エラー検出フラグクリア）

ECER2C ビットは、ECER2F ビットのステータスフラグをクリアします。

読むと常に 0 が読めます。0 を書き込んでも内部状態に変化はありません。本ビットへの 1 書き込みと ECER2F ビットが競合した場合、前者が優先されます。

ECER2F ビットは、ECER2F ビットが設定されているときに、本ビットに 1 を書き込むことでクリアされます。さらに、オーバーフロー検出フラグ (ECOVFF)、ECC デュアルビットエラーフラグ (ECDEDF0) および ECC シングルビットエラーフラグ (ECSEDF0) もクリアされます。

ECOVFF ビット（ECC オーバーフロー検出フラグ）

エラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされている場合、新規のエラーアドレスが検出されると ECOVFF ビットがセットされ、オーバーフロー割り込みが出力されます。本ビットがセットされ、新しいエラーが検出されると、オーバーフロー割り込みが再び出力されます。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。

本ビットをクリアするには、ECER2C ビットおよび ECER1C ビットに 1 を書き込む必要があります。

[1 になる条件]

エラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされているときに新しいエラーアドレスがキャプチャされた場合（ECER2C = 1 または ECER1C = 1 を書き込まない場合）

[0 になる条件]

- ECER2C = 1 または ECER1C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

EMCA[1:0]ビット（ECC モード選択ビットへのアクセス制御）

EMCA[1:0]ビットは、ECERVF ビットへの書き込みトリガ予約ビットです。読むと常に 0 が読めます。これらのビットの値が 01b の場合、ECERVF ビットに書き込み可能です。これらのビットの値が 01b でない場合、ECERVF ビットへの書き込みは無視され、値は書き込まれません。

ECSEDF0 ビット（ECC 1 ビットエラーアドレス検出フラグ）

ECSEDF0 ビットは、エラー検出有効時、エラーがエラーアドレスレジスタにキャプチャされていることを示します。本ビットは、1 ビットエラー検出により設定されます。

2 ビットエラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされた後に 1 ビットエラーが検出されると、本ビットは更新されず、EC710EAD0 レジスタが更新されます。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。これらのビットをクリアするには、ECER1C ビットに 1 を書き込む必要があります。

[1 になる条件]

エラー判定が許可されているときに、RAM 出力データに 1 ビットエラーがあり、かつエラーアドレスが EC710EAD0 にキャプチャされている場合（ECER1C = 1 を書き込まない場合）

[0 になる条件]

- ECER1C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

ECDEDF0 ビット（ECC デュアルビットエラーアドレス検出フラグ）

ECDEDF0 ビットは、エラー検出有効時、エラーがエラーアドレスレジスタにキャプチャされていることを示します。本ビットは、2 ビットエラー検出により設定されます。

1 ビットエラーアドレスがすでに EC710EAD0 レジスタ内にキャプチャされた後に 2 ビットエラーが検出されると、本ビットは更新されず、EC710EAD0 レジスタが更新されます。

本ビットは読み出し専用なので、1 や 0 を書いても影響を受けません。これらのビットをクリアするには、ECER2C ビットに 1 を書き込む必要があります。

[1 になる条件]

エラー判定が許可されているときに、RAM 出力データに 2 ビットエラーがあり、かつエラーアドレスが EC710EAD0 にキャプチャされている場合（ECER2C = 1 を書き込まない場合）

[0 になる条件]

- ECER2C = 1 書き込み時
- ECC エラー判定が無効なとき (ECERVF = 0)

29.2.2 EC710TMC : ECC テストモードコントロールレジスタ

Base address: ECCMB = 0x4012_F200

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ETMA[1:0]		—	—	—	—	—	—	ECTMCE	—	—	—	—	—	ECDCS	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
1	ECDCS	ECC デコーダ入力選択 0: デコーダのデータ領域に RAM 出力データの下位 32 ビットを入力する 1: デコーダのデータ領域に EC710TED レジスタの ECEDB31-0 を入力する	R/W
6:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
7	ECTMCE	ECC テストモードコントロール許可 0: テストモードレジスタおよびビットへのアクセスは無効 1: テストモードレジスタおよびビットへのアクセスは有効	R/W
13:8	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:14	ETMA[1:0]	ECC テストモードビットアクセスコントロール これらのビットは、ECTMCE ビットへの書き込みを有効または無効にします。	R/W

ECDCS ビット（ECC デコーダ入力選択）

ECDCS ビットは、デコーダへの入力信号として、RAM からの下位 32 ビットデータ値か内部テストレジスタからの値（EC710TED 内の EDEDB[31:0]）のいずれかを選択します。

ECTMCE = 1 の場合、本ビットへの書き込みは有効です。（それらを同時に設定することも可能です。）

本ビットは、ECTMCE = 0 によりクリアされます。

ECTMCE ビット（ECC テストモードコントロール許可）

ECTMCE ビットは、テストレジスタおよびテストコントロールビットへのアクセス有効または無効を選択します。

ETMA[1:0]ビットの値が 10b の場合、本ビットへの書き込みは有効です。

ETMA[1:0]ビット（ECC テストモードビットアクセスコントロール）

ETMA[1:0]ビットは、ECTMCE ビットへの書き込みトリガ予約ビットです。読むと常に 0 が読めます。これらのビットの値が 10b の場合、ECTMCE ビットに書き込み可能です。これらのビットの値が 10b でない場合、ECTMCE ビットへの書き込みは無視され、値は書き込まれません。

29.2.3 EC710TED : ECC テスト置換データレジスタ

Base address: ECCMB = 0x4012_F200

Offset address: 0x0C

Bit position:	31																												0
Bit field:	ECEDB[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	ECEDB[31:0]	ECC テスト置換データ ECC テストモードでの置換データ	R/W

本レジスタは、ECC デコーダ用の 32 ビットデータ用のレジスタです。ECTMCE = 1 状態での 32 ビット動作コマンドにより読み書きが可能です。ECTMCE = 0 の場合は、すべてのビットが常に 0 です。

ECEDB[31:0]ビット（ECC テスト置換データ）

EC710TMC レジスタの ECDCS が 1 の場合、本レジスタの値は、デコーダへの入力データのビット[31:0]です。

29.2.4 EC710EAD0 : ECC エラーアドレスレジスタ

Base address: ECCMB = 0x4012_F200

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	ECEAD[10:0]										
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
10:0	ECEAD[10:0]	ECC エラーアドレス	R
31:11	—	読むと 0 が読めます。書く場合、0 としてください。	R

本レジスタは、ECC エラーが発生したアドレスを保持する読み出し専用レジスタです。

ECEAD[10:0]ビット（ECC エラーアドレス）

ECC エラー判定が許可されている場合に ECC エラーが検出されると、検出信号をトリガとして RAM アドレスがキャプチャされ、エラー発生アドレスとして保持されます。同じ要因で保持されているアドレスに再びエラーが発生するとエラーアドレスはキャプチャされません。

1 ビットエラーアドレスがすでにキャプチャされているときに 2 ビットエラーが発生すると、2 ビットエラーアドレスは上書きされ、ECDEDF0 ビットは 1 になります。

2 ビットエラーアドレスがすでにキャプチャされているときに 1 ビットエラーが発生した場合は、1 ビットエラーアドレスは上書きされず、ECSEDF0 ビットも 1 になりません。

29.3 動作説明

29.3.1 ECC 機能設定

図 29.1 に、ECC 機能設定の手順を示します。

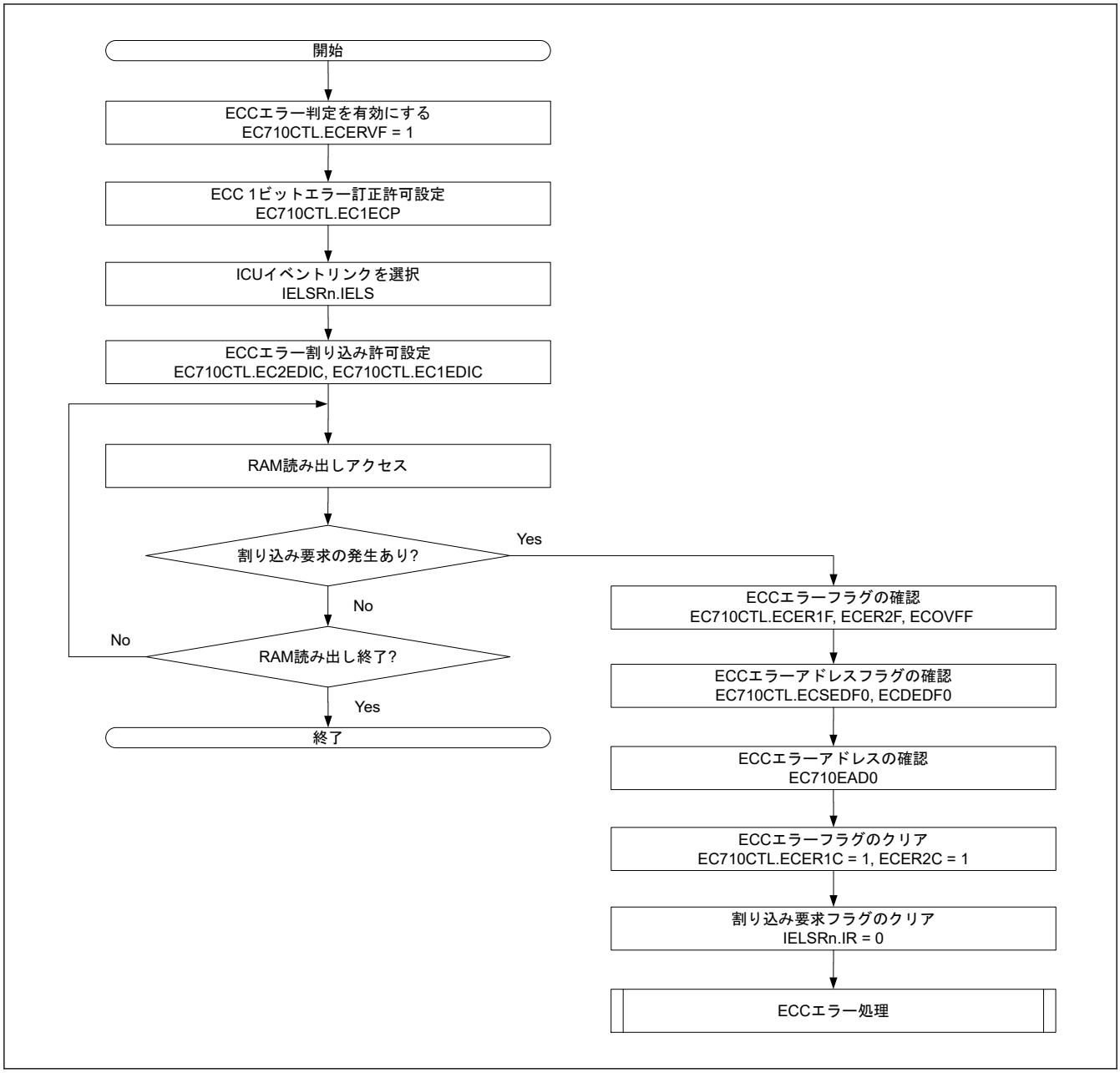


図 29.1 ECC 機能設定手順

29.3.2 ECC デコーダのテスト方法

ECC 割り込みは、ECC テストモードにより意図的に発生させることができます。図 29.2 に、ECC デコーダのテスト手順を示します。

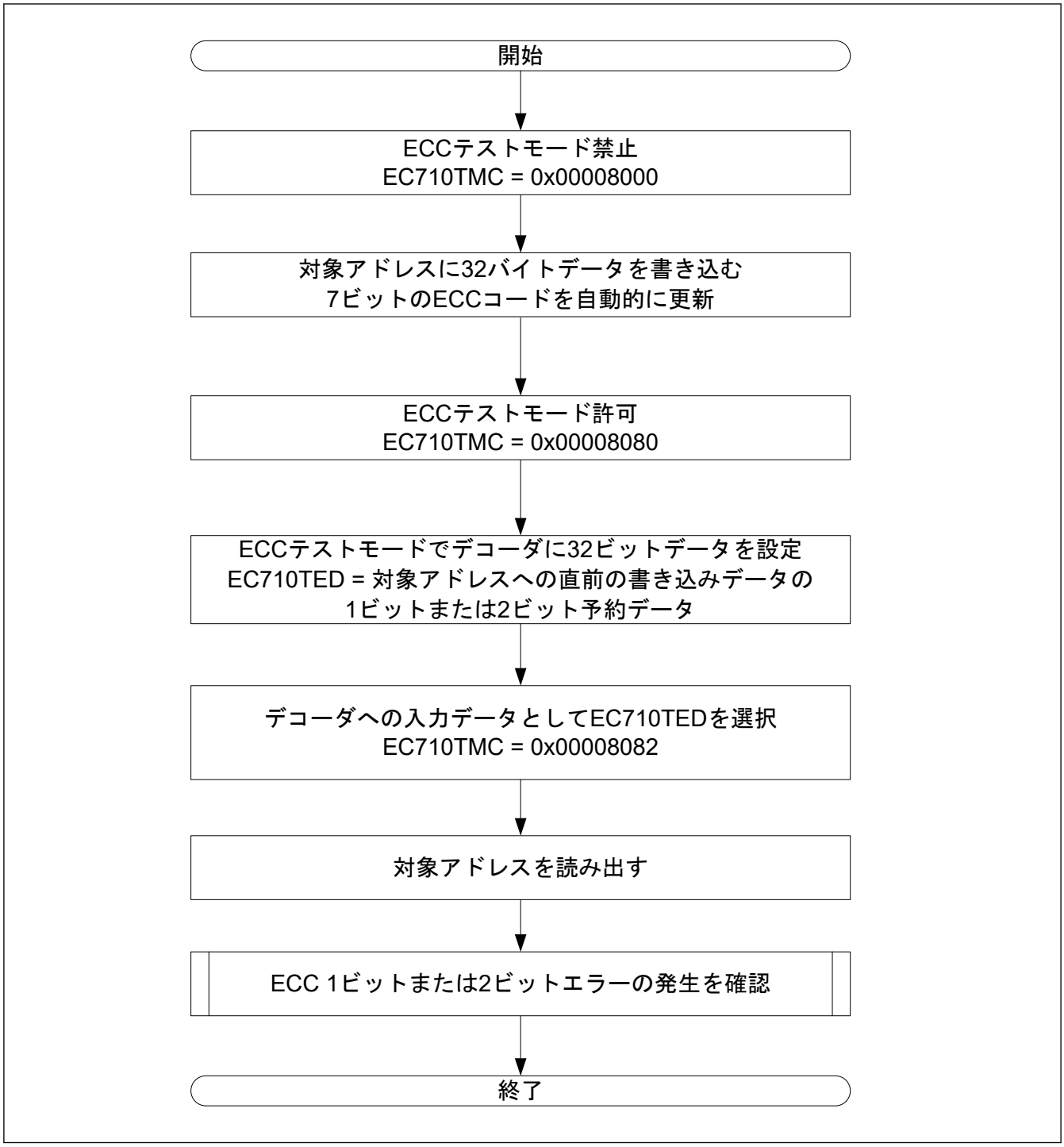


図 29.2 ECC デコーダのテスト手順

29.4 割り込み

ECC モジュールは次の 1 種類の割り込み要求を出します。

- CAN_MRAM_ERI

各割り込み要求の割り込み要因には下記があります。

- 1 ビット ECC エラー
- 2 ビット ECC エラー
- ECC エラーオーバーフロー

30. シリアルペリフェラルインタフェース (SPI)

30.1 概要

シリアルペリフェラルインタフェース (SPI) にはチャネルが 2 つあります。SPI によって、複数のプロセッサおよび周辺デバイスとの高速な全二重同期式シリアル通信が可能です。表 30.1 に SPI の仕様、図 30.1 にブロック図、表 30.2 に入出力端子を示します。

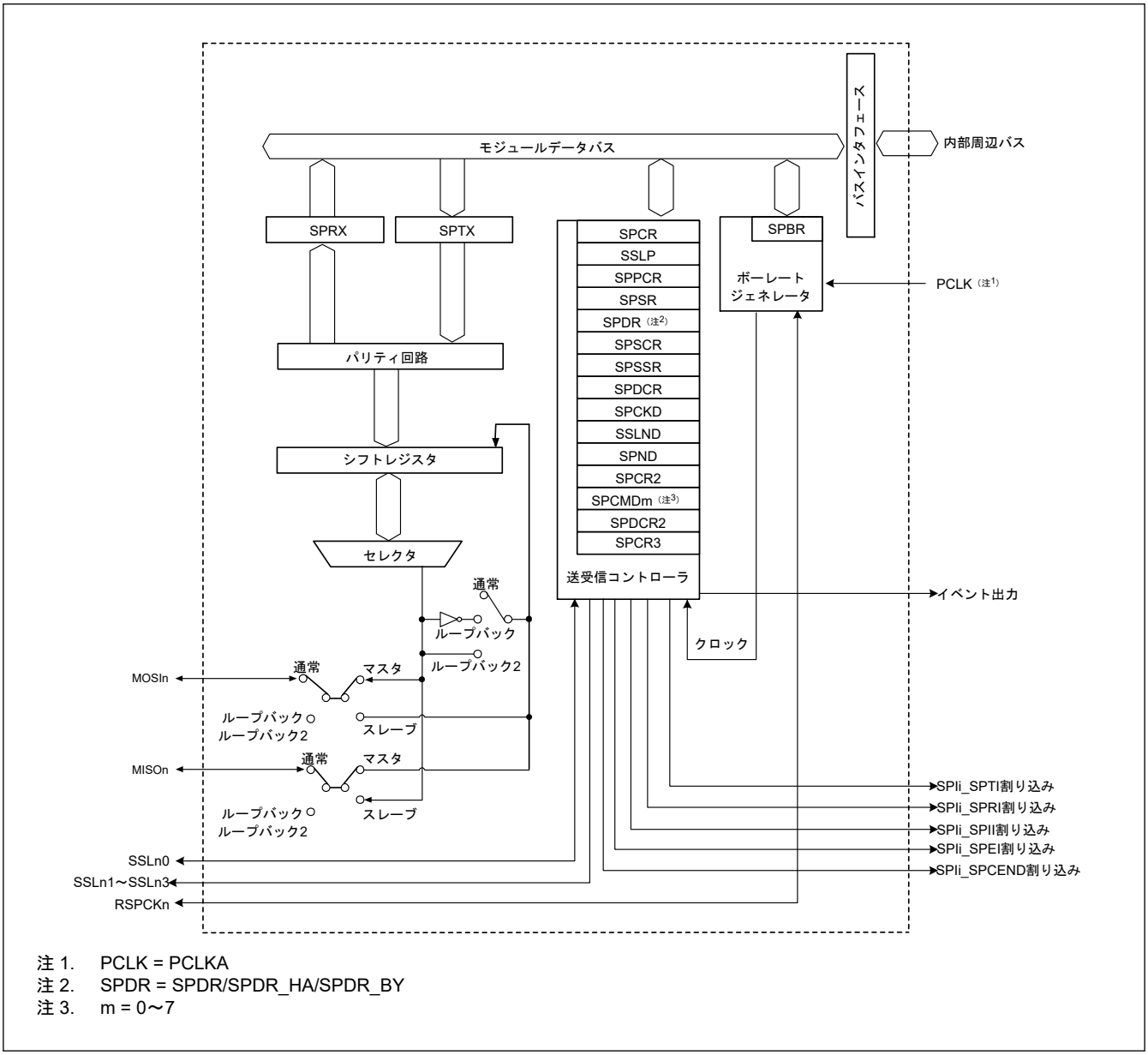
表 30.1 SPI の仕様 (1/2)

項目	内容
チャネル数	2 チャネル
SPI 転送機能	• MOSI (Master Out/Slave In)、MISO (Master In/Slave Out)、SSL (Slave Select)、RSPCK (SPI Clock) の各信号を使用して、SPI 動作（4 線式）またはクロック同期式動作（3 線式）によるシリアル通信が可能 • 送信のみの動作が可能 • 受信のみの動作が可能（スレーブモードのみ） • 通信モード：全二重または送信のみを選択可能 • RSPCK 極性切り替え • RSPCK 位相切り替え
データフォーマット	• MSB ファーストまたは LSB ファーストを選択可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 128 ビット送信／受信バッファ • 一度の送受信で最大 4 フレームを転送（1 フレームは最大 32 ビット） • バイトスワップ動作機能 • 送信データと受信データは反転可能
ビットレート	• マスタモード時、内蔵ボーレートジェネレータで PCLKA を分周して RSPCK を生成（分周比は 2～4096 分周） • スレーブモード時は、PCLKA の最小 4 分周のクロックを、RSPCK として入力可能（RSPCK の最高周波数は PCLKA の 4 分周） High 幅：2 PCLKA サイクル、Low 幅：2 PCLKA サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは 128 ビット
エラー検出	• モードフォルトエラー検出 • アンダーランエラー検出 • オーバーランエラー検出(注1) • パリティエラー検出
SSL 制御機能	• 4 SSL 端子（SSLni: SSLn0～SSLn3） (n = A, B)（1 チャネルあたり） • シングルマスタモード時、SSLn0～SSLn3 端子は出力 • マルチマスタモード時、SSLn0 端子は入力、SSLn1～SSLn3 端子は出力または未使用 • スレーブモード時、SSLn0 端子は入力、SSLn1～SSLn3 端子は未使用 • SSL 出力のアサートから RSPCK 動作までの遅延（RSPCK 遅延）を制御可能 設定範囲：1～8 RSPCK 周期（設定単位：1 RSPCK 周期） • RSPCK 停止から SSL 出力のネゲートまでの遅延（SSL ネゲート遅延）を制御可能 設定範囲：1～8 RSPCK 周期（設定単位：1 RSPCK 周期） • 次アクセスの SSL 出力アサートのウェイト（次アクセス遅延）を制御可能 設定範囲：1～8RSPCK 周期（設定単位：1RSPCK 周期） • SSL 極性変更機能 • バースト転送時のフレーム間遅延を設定可能
マスタ転送時の制御方式	• 最大 8 コマンドで構成された転送を連続してループ実行可能 • 各コマンドに以下の項目を設定可能： SSL 信号値、ビットレート、RSPCK 極性と位相、転送データ長、MSB/LSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 • 送信バッファへの書き込みによる転送起動 • SSL ネゲート時の MOSI 信号値を設定可能 • RSPCK 自動停止機能
割り込み要因	割り込み要因： • 受信バッファフル割り込み • 送信バッファエンプティ割り込み • SPI エラー割り込み（モードフォルトエラー、オーバーランエラー、パリティエラー） • SPI アイドル割り込み（SPI アイドル） • 送信完了割り込み

表 30.1 SPI の仕様 (2/2)

項目	内容
イベントリンク機能	以下のイベントをイベントリンクコントローラ (ELC) へ出力可能： ● 受信バッファフル信号 ● 送信バッファエンプティ信号 ● モードフォルト／アンダーラン／オーバーラン／パリティエラー信号 ● SPI アイドル信号 ● 通信終了信号
その他	● CMOS 出力／オープンドレイン出力の切り替え ● SPI 初期化機能 ● ループバックモード
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. マスタ受信時に RSPCK 自動停止機能が有効な場合は、オーバーランエラーが検出されると転送クロックが停止するため、オーバーランエラーは発生しません。



注 1. PCLK = PCLKA
注 2. SPDR = SPDR/SPDR_HA/SPDR_BY
注 3. m = 0～7

図 30.1 SPI のブロック図

SSLn0 端子の入出力方向は、SPI が自動的に切り替えます。SSLn0 端子は、SPI がシングルマスタの場合は出力状態、マルチマスタまたはスレーブの場合は入力状態になります。RSPCKn、MOSIn、および MISOn 端子の入出力方向は、マスタ／スレーブ設定と SSLn0 端子の入力レベルに応じて、SPI が自動的に切り替えます。詳細は、「30.3.2. SPI 端子の制御」を参照してください。

表 30.2　SPI の端子構成

チャネル	端子名	入出力	内容
SPI0	RSPCKA	入出力	クロック入出力端子
	SSLA0	入出力	スレーブ選択入出力
	SSLA1～SSLA3	出力	スレーブ選択出力
	MOSIA	入出力	マスタ送信データ入出力
	MISOA	入出力	スレーブ送信データ入出力
SPI1	RSPCKB	入出力	クロック入出力端子
	MOSIB	入出力	マスタ送信データ入出力
	MISOB	入出力	スレーブ送信データ入出力
	SSLB0	入出力	スレーブ選択入出力
	SSLB1～SSLB3	出力	スレーブ選択出力

注.　端子名の表示は、SPI0：「...A」または「...An」、SPI1：「...B」または「...Bn」（n = 0、1、2、または 3）のように示しています。

30.2　レジスタの説明

30.2.1　SPCR : SPI コントロールレジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPMS	SPI モード選択 0: SPI 動作（4 線式）を選択 1: クロック同期式動作（3 線式）を選択	R/W
1	TXMD	通信動作モード選択 0: 全二重同期式シリアル通信を選択 1: 送信のみのシリアル通信を選択	R/W
2	MODFEN	モードフォルトエラー検出許可 0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
3	MSTR	SPI マスタ/スレーブモード選択 0: スレーブモードを選択 1: マスタモードを選択	R/W
4	SPEIE	SPI エラー割り込み許可 0: SPI エラー割り込み要求を禁止 1: SPI エラー割り込み要求を許可	R/W
5	SPTIE	送信バッファエンプティ割り込み許可 0: 送信バッファエンプティ割り込み要求を禁止 1: 送信バッファエンプティ割り込み要求を許可	R/W
6	SPE	SPI 機能有効 0: SPI 機能を無効 1: SPI 機能を有効	R/W

ビット	シンボル	機能	R/W
7	SPRIE	SPI 受信バッファフル割り込み許可 0: SPI 受信バッファフル割り込み要求を禁止 1: SPI 受信バッファフル割り込み要求を許可	R/W

SPMS ビット（SPI モード選択）

SPMS ビットは SPI 動作（4 線式）またはクロック同期式動作（3 線式）を選択します。

クロック同期式動作では、SSLn0～SSLn3 端子は使用されません。RSPCKn 端子、MOSIn 端子、MISOn 端子の 3 端子を用いて通信を行います。また、マスタモード (MSTR = 1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを 0 または 1 にしてください。スレーブモード (MSTR = 0) でクロック同期式動作を行う場合は、必ず CPHA ビットを 1 にしてください。スレーブモード (MSTR = 0) でクロック同期式動作を行う場合、CPHA ビットが 0 であれば、動作を行わないでください。

TXMD ビット（通信動作モード選択）

TXMD ビットは全二重同期式のシリアル通信または送信のみのシリアル通信を選択します。TXMD ビットを 1 にして通信を行う場合、SPI は送信のみを行い、受信動作を行いません（「30.3.6. データ転送モード」を参照してください）。また、TXMD ビットを 1 にした場合、受信バッファフルの割り込み要求を使用することはできません。

受信専用スレーブモードでは、TXMD の設定は無効です。

MODFEN ビット（モードフォルトエラー検出許可）

MODFEN ビットはモードフォルトエラーの検出を許可または禁止します（「30.3.9. エラー検出」を参照）。また、SPI は MODFEN ビットと MSTR ビットとの組み合わせに基づいて、SSLni 端子の入出力方向を決定します（「30.3.2. SPI 端子の制御」を参照）。

MSTR ビット（SPI マスタ/スレーブモード選択）

MSTR ビットは SPI に対してマスタモードまたはスレーブモードを選択します。SPI は MSTR ビットの設定に従って、RSPCKn、MOSIn、MISOn、および SSLni 端子の方向を決定します。

SPEIE ビット（SPI エラー割り込み許可）

SPEIE ビットは、以下の場合に、SPI エラー割り込み要求の発生を許可または禁止します。

- SPI がモードフォルトエラーまたはアンダーランエラーを検出し、SPSR.MODF フラグを 1 にした場合
- SPI がオーバーランエラーを検出し、SPSR.OVRF フラグを 1 にした場合
- SPI がパリティエラーを検出し、SPSR.PERF フラグを 1 にした場合

詳細は「30.3.9. エラー検出」を参照してください。

SPTIE ビット（送信バッファエンプティ割り込み許可）

SPTIE ビットは SPI が送信バッファエンプティを検出したときの、送信バッファエンプティ割り込み要求の発生を許可または禁止します。送信開始時の送信バッファエンプティ割り込み要求は、SPE ビットと SPTIE ビットを同時に 1 にするか、または SPTIE ビットを 1 にした後、SPE ビットを 1 にすることで発生します。

SPI 機能を無効（SPE ビットを 0 に変更）にしても、SPTIE ビットが 1 であると、割り込みが発生します。

SPE ビット（SPI 機能有効）

SPE ビットは SPI 機能を有効または無効にします。SPSR.MODF フラグが 1 の場合、SPE ビットを 1 にすることはできません。詳細は、「30.3.9. エラー検出」を参照してください。

SPE ビットを 0 にすると、SPI 機能が無効になり、このモジュール機能の一部が初期化されます。詳細は、「30.3.10. SPI の初期化」を参照してください。また、SPE ビットを 0 から 1 へまたは 1 から 0 へ切り替えると、送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット（SPI 受信バッファフル割り込み許可）

SPRIE ビットは SPI がシリアル転送完了後の受信バッファフルを検出したときの、SPI 受信バッファフル割り込み要求の発生を許可または禁止します。

30.2.2 SSLP : SPI スレーブ選択極性レジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x01

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SSL0P	SSLn0 端子の信号極性設定 0: SSLn0 端子の信号はアクティブ Low 1: SSLn0 端子の信号はアクティブ High	R/W
1	SSL1P	SSLn1 端子の信号極性設定 0: SSLn1 端子の信号はアクティブ Low 1: SSLn1 端子の信号はアクティブ High	R/W
2	SSL2P	SSLn2 端子の信号極性設定 0: SSLn2 端子の信号はアクティブ Low 1: SSLn2 端子の信号はアクティブ High	R/W
3	SSL3P	SSLn3 端子の信号極性設定 0: SSLn3 端子の信号はアクティブ Low 1: SSLn3 端子の信号はアクティブ High	R/W
7:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

30.2.3 SPPCR : SPI 端子コントロールレジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPLP	SPI ループバック 0: 通常モード 1: ループバックモード（受信データ = 送信データの反転）	R/W
1	SPLP2	SPI ループバック 2 0: 通常モード 1: ループバックモード（受信データ = 送信データ）	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	MOIFV	MOSI アイドル固定値 0: MOSI アイドル時の MOSIn 端子の出力レベルを Low に設定 1: MOSI アイドル時の MOSIn 端子の出力レベルを High に設定	R/W
5	MOIFE	MOSI アイドル値固定許可 0: MOSI 出力値は前回転送の最終データに設定 1: MOSI 出力値は MOIFV ビットの設定値に設定	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPLP ビット（SPI ループバック）

SPLP ビットは SPI の端子モードを選択します。SPLP ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISOn 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路の値を反転し、出力経路に接続します（ループバックモード）。詳細は、「30.3.13. ループバックモード」を参照してください。

SPLP2 ビット（SPI ループバック 2）

SPLP2 ビットは SPI の端子モードを選択します。SPLP2 ビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISOn 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路の値を反転せず出力経路に接続します（ループバックモード）。詳細は、「30.3.13. ループバックモード」を参照してください。

MOIFV ビット（MOSI アイドル固定値）

マスタモードで MOIFE ビットが 1 の場合、MOIFV ビットは SSL ネゲート期間（バースト転送における SSL 保持期間を含む）における MOSIn 端子の出力値を決定します。

MOIFE ビット（MOSI アイドル値固定許可）

MOIFE ビットは、SPI がマスタモードで SSL ネゲート期間（バースト転送における SSL 保持期間を含む）である場合、MOSIn 端子の出力値を固定します。MOIFE ビットが 0 の場合、SPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIn 端子に出力します。MOIFE ビットが 1 の場合、SPI は MOIFV ビットに設定された固定値を MOSIn 端子に出力します。

30.2.4 SPSR : SPI ステータスレジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x03

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SPRF	CENDF	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF
Value after reset:	0	0	1	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OVRF	オーバーランエラーフラグ 0: オーバーランエラーの発生なし 1: オーバーランエラーの発生あり	R/W(注1)
1	IDLNF	SPI アイドルフラグ 0: SPI がアイドル状態 1: SPI が転送状態	R
2	MODF	モードフォルトエラーフラグ 0: モードフォルトエラーおよびアンダーランエラーの発生なし 1: モードフォルトエラーおよびアンダーランエラーの発生あり	R/W(注1)
3	PERF	パリティエラーフラグ 0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/W(注1)
4	UDRF	アンダーランエラーフラグ MODF フラグが 1 の場合、UDRF ビットは有効です。 0: モードフォルトエラー発生 (MODF = 1) 1: アンダーランエラー発生 (MODF = 1)	R/W(注1)(注2)
5	SPTEF	SPI 送信バッファエンプティフラグ 0: 送信バッファにデータあり 1: 送信バッファにデータなし	R/W(注3)
6	CENDF	通信終了フラグ 0: 通信中または通信なし 1: 通信終了	R/W(注1)
7	SPRF	SPI 受信バッファフルフラグ 0: SPDR レジスタに有効なデータなし 1: SPDR レジスタに有効なデータあり	R/W(注3)

注 1. フラグをクリアするため、1 を読んだあとに 0 を書き込むことのみ可能です。
注 2. MODF フラグをクリアすると同時に、UDRF フラグをクリアしてください。
注 3. 書く場合、1 としてください。

OVRF フラグ（オーバーランエラーフラグ）

OVRF フラグはオーバーランエラーの発生を示します。マスタモード（SPCR.MSTR = 1）かつ RSPCK クロック自動停止機能有効（SPCR1.SCKASE = 1）の場合、オーバーランエラーは発生せず、このフラグは 1 になりません。詳細は、「30.3.9.1. オーバーランエラー」を参照してください。

［1 になる条件］

受信バッファフルの状態で、次のシリアル転送が終了し、かつ以下の 1 つを満たしたとき

- SPCR.TXMD = 0（送受信マスタモード、送受信スレーブモード、または受信専用スレーブモード）
- SPCR.MSTR = 0 かつ SPCR3.ETXMD = 1（受信専用スレーブモード）

［0 になる条件］

- OVRF フラグが 1 の状態で SPSR レジスタを読んだ後、OVRF フラグに 0 を書いたとき

IDLNF フラグ（SPI アイドルフラグ）

IDLNF フラグは SPI の転送状況を示します。

［1 になる条件］

マスタモード

- 本フラグの［0 になる条件］に示した、マスタモード時のいずれの条件も満たさないとき

スレーブモード

- SPCR.SPE ビットが 1（SPI 機能が有効）のとき

［0 になる条件］

マスタモード

条件 1 が満たされたとき、または他のすべての条件が満たされたとき

条件 1： SPCR.SPE ビットが 0（SPI 初期化）のとき

条件 2： 送信バッファ (SPTX) がエンプティである（次転送データがセットされていない）とき

条件 3： SPI 内部シーケンサがアイドル状態へ遷移したとき（次アクセス遅延までの動作が完了した状態）

条件 4： SPSSR.SPCP[2:0]ビットが 000b（シーケンス制御の先頭）のとき

スレーブモード

- 条件 1 が満たされたとき

MODF フラグ（モードフォルトエラーフラグ）

MODF フラグはモードフォルトエラーまたはアンダーランエラーの発生を示します。発生したエラーの種類は UDRF フラグによって示されます。

［1 になる条件］

マルチマスタモード

- SPCR.MSTR ビットが 1（マスタモード）、SPCR.MODFEN ビットが 1（モードフォルトエラー検出を許可）の状態で、SSLni 端子の入力レベルがアクティブレベルになり、モードフォルトエラーが発生したとき

スレーブモード

- 条件 1 または条件 2 が満たされたとき

条件 1： SPCR.MSTR ビットが 0（スレーブモード）、かつ SPCR.MODFEN ビットが 1（モードフォルトエラー検出許可）の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLni 端子がネゲートされ、モードフォルトエラーが発生した場合

条件 2： SPCR.MSTR ビットが 0（スレーブモード）、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生した場合

なお、SSLni 信号のアクティブレベルは、SSLP.SSLiP ビット（SSLi 信号極性設定ビット）によって決定されます。

[0 になる条件]

- このフラグが 1 の状態で SPSR レジスタを読んだ後、本フラグに 0 を書いたとき

PERF フラグ（パリティエラーフラグ）

PERF フラグはパリティエラーの発生を示します。

[1 になる条件]

SPCR2.SPPE ビットが 1 の状態で、シリアル転送が終了し、パリティエラーが発生し、かつ以下の 1 つを満たしたとき

- SPCR.TXMD = 0（送受信マスタモード、送受信スレーブモード、または受信専用スレーブモード）
- SPCR.MSTR = 0 かつ SPCR3.ETXMD = 1（受信専用スレーブモード）

[0 になる条件]

- 本フラグが 1 の状態で SPSR レジスタを読んだ後、本フラグに 0 を書いたとき

UDRF フラグ（アンダーランエラーフラグ）

UDRF フラグはアンダーランエラーの発生を示します。

[1 になる条件]

- SPCR.MSTR ビットが 0（スレーブモード）、SPCR3.ETXMD ビットが 0（送受信スレーブモードまたは送信スレーブモード）、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態で、シリアル転送が開始されたため、アンダーランエラーが発生したとき

[0 になる条件]

- 本フラグが 1 の状態で SPSR レジスタを読んだ後、本フラグに 0 を書いたとき

SPTEF フラグ（SPI 送信バッファエンプティフラグ）

SPTEF フラグは SPI データレジスタ (SPDR/SPDR_HA) の送信バッファの状態を示します。

[1 になる条件]

- 以下の条件 1 または条件 2 が満たされたとき
  1. SPCR.SPE ビットが 0（SPI 初期化）であるとき
  2. 送信データ（SPDCR.SPFC[1:0]ビットで指定されるフレームサイズ）が送信バッファからシフトレジスタへ転送されたとき

[0 になる条件]

- SPDR/SPDR_HA/SPDR_BY レジスタに書き込まれたデータが、SPI データコントロールレジスタ (SPDCR) の SPFC[1:0]ビットに設定したフレーム数に等しいとき

なお、SPTEF フラグが 1 の場合のみ、データを SPDR/SPDR_HA/SPDR_BY レジスタに書き込むことができます。SPTEF フラグが 0 のときに SPDR/SPDR_HA レジスタの送信バッファにデータが書き込まれた場合、送信バッファのデータは更新されません。

CENDF フラグ（通信終了フラグ）

本フラグは、SPI の通信終了ステータスを示します。通信終了時に 1 となり、次の通信開始時に 0 となります。

[1 になる条件]

マスタモード

以下の 3 つの条件を満たしたとき

- 送信バッファ (SPTX) がエンプティである（次の送信データが存在しない）
- SPSSR.SPCP[2:0]ビットが 000b である（連続制御の先頭を意味する）

- SPI 内部シーケンサがアイドル状態に遷移した（次アクセス遅延完了を意味する）

SPI シリアル通信、送受信／送信のみスレーブモード（4 線式：SPCR.SPMS = 0 のとき）
以下の 3 つの条件を満たしたとき
- 送信バッファ (SPTX) がエンプティである（次の送信データが存在しない）
- 送信シフトレジスタがエンプティである（SPI がシリアル転送をしないことを意味する）
- SSL0 がネゲートされた

クロック同期モード、送受信／送信のみスレーブモード（3 線式：SPCR.SPMS = 1 のとき）
以下の 3 つの条件を満たしたとき
- 送信バッファ (SPTX) がエンプティである（次の送信データが存在しない）
- 送信シフトレジスタがエンプティである（SPI がシリアル転送をしないことを意味する）
- 最終データの RSPCK の最終偶数エッジを検出した（SPCMD.CPHA = 1 のとき）

SPI シリアル通信、受信のみスレーブモード（4 線式：SPCR.SPMS = 0 のとき）
以下の条件を満たしたとき
- 受信バッファに最終データが書き込まれた後、SSL0 がネゲートされた

クロック同期モード、受信のみスレーブモード（3 線式：SPCR.SPMS = 1 のとき）
以下の条件を満たしたとき
- 最終データの RSPCK の最終偶数エッジを検出した（SPCMD.CPHA = 1 のとき）

[0 になる条件]
マスタモード
以下のいずれかの条件を満たしたとき
- 送信バッファ (SPTX) に次の送信データが書き込まれた
- CENDF フラグが 1 のとき SPSR レジスタ読み出し後に CENDF フラグが 0 になった

送受信／送信専用スレーブモード
以下のいずれかの条件を満たしたとき
- 送信バッファ (SPTX) に次の送信データが書き込まれた
- CENDF フラグが 1 のとき SPSR レジスタ読み出し後に CENDF フラグが 0 になった

SPI シリアル通信、受信のみスレーブモード（4 線式：SPCR.SPMS = 0 のとき）
以下のいずれかの条件を満たしたとき
- 次のデータの SSL0 アサートを検出した
- CENDF フラグが 1 のとき SPSR レジスタ読み出し後に CENDF フラグが 0 になった

クロック同期モード、受信のみスレーブモード（3 線式：SPCR.SPMS = 1 のとき）
以下のいずれかの条件を満たしたとき
- 次のデータの RSPCK の最初のエッジを検出した
- CENDF フラグが 1 のとき SPSR レジスタ読み出し後に CENDF フラグが 0 になった

SPRF フラグ（SPI 受信バッファフルフラグ）
SPRF フラグは、SPI データレジスタ (SPDR/SPDR_HA) の受信バッファの状態を示します。
[1 になる条件]

- SPRF フラグが 0 の状態で、SPDCR.SPFC[1:0]ビットで指定されるフレームサイズの受信データがシフトレジスタから SPDR レジスタへ転送されたとき。また、以下のうちいずれかを満たしたとき。ただし、OVRF フラグが 1 の場合、SPRF フラグは 0 から 1 に変更されません。
  - SPCR.TXMD = 0（送受信マスタモード、送受信スレーブモード、または受信専用スレーブモード）
  - SPCR.MSTR = 0 かつ SPCR3.ETXMD = 1（受信専用スレーブモード）

[0 になる条件]

- 受信データが SPDR/SPDR_HA レジスタから読み出されたとき

30.2.5　SPDR/SPDR_HA/SPDR_BY : SPI データレジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

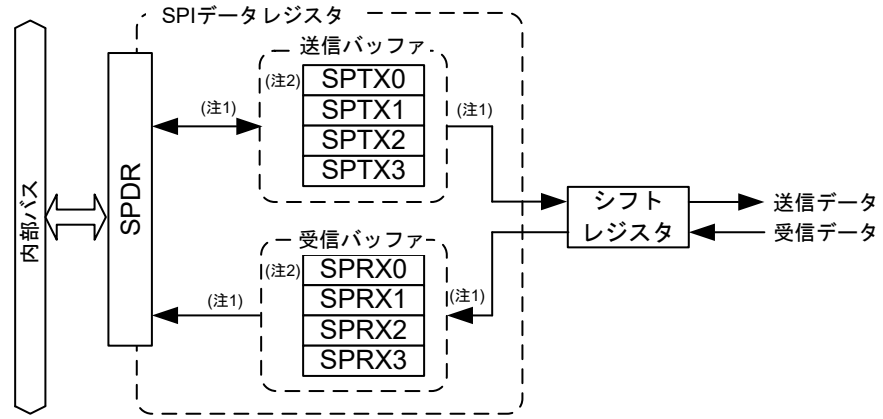
Offset address: 0x04

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	SPI データ	R/W

SPDR/SPDR_HA/SPDR_BY レジスタは、SPI 送受信用のデータを格納するバッファとのインタフェースです。ワードアクセス（SPDCR.SPLW ビットが 1）の場合は、SPDR レジスタにアクセスしてください。ハーフワードアクセス（SPLW ビットが 0）の場合は、SPDR_HA レジスタにアクセスしてください。バイトアクセス（SPDCR.SPBYT ビットが 1）の場合は、SPDR_BY レジスタにアクセスしてください。

送信バッファ (SPTX) と受信バッファ (SPRX) は独立したバッファですが、SPDR レジスタにマッピングされています。 図 30.2 に、SPDR レジスタの構成図を示します。



注.　SPDR = SPDR/SPDR_HA/SPDR_BY
注 1.　アクセス先のバッファやステージはハードウェアにより自動的に切り替えます。

図 30.2　SPDR/SPDR_HA/SPDR_BY レジスタの構成図

送信バッファと受信バッファそれぞれに 4 個ずつのステージあります。SPDR/SPDR_HA/SPDR_BY レジスタの 1 アドレスに、この 8 バッファステージすべてがマッピングされます。

SPDR/SPDR_HA/SPDR_BY レジスタへ書き込まれたデータは、送信バッファステージ (SPTXn) (n = 0～3) へ書き込まれた後、バッファから送信されます。受信バッファは、受信完了時に受信データを格納します。オーバーランが発生すると、受信バッファは更新されません。

データ長が 32 ビット以外の場合、SPRXn (n = 0～3) の関連ビットには、SPTXn (n = 0～3) の非参照ビットが格納されます。たとえば、データ長が 9 ビットのデータを受信した場合、SPRXn[8:0]ビットには受信データが格納され、SPRXn[31:9]ビットには SPTXn[31:9]ビットが格納されます。

(1) バスインタフェース

SPDR/SPDR_HA/SPDR_BY レジスタは、32 ビットの送信および受信バッファとのインタフェースであり、それぞれのバッファが 1 ステージを持ち、合計 32 バイトになります。これらの 32 バイトを SPDR/SPDR_HA/SPDR_BY レジスタの 4 バイトのアドレス空間にマッピングしています。SPDR/SPDR_HA/SPDR_BY レジスタへのアクセスは、SPI データコントロールレジスタの SPI ワードアクセス／ハーフワードアクセス設定ビット (SPDCR.SPLW) で設定したアクセスサイズで行ってください。SPDR レジスタへのアクセスは､SPI データコントロールレジスタの SPI バイトアクセスビット (SPDCR.SPBYT) で設定したアクセスサイズでも行うことができます。

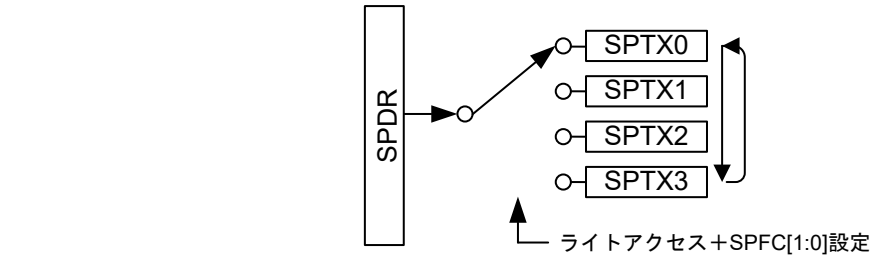
送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

以下では、SPDR/SPDR_HA/SPDR_BY レジスタに対する書き込みおよび読み出しに関連する動作について説明します。

書き込み

SPDR/SPDR_HA/SPDR_BY レジスタに書き込むことによって、送信バッファ (SPTX) にデータを書くことができます。SPDR/SPDR_HA/SPDR_BY レジスタの読み出し時と異なり、書き込みは SPDCR.SPRDTD ビットの値に影響されません。送信バッファには送信バッファライトポインタがあり､SPDR/SPDR_HA/SPDR_BY レジスタへデータを書き込むたびに、ポインタが自動更新され、次のステージを参照するようになります。

図 30.3 に SPDR/SPDR_HA/SPDR_BY レジスタへの書き込み時の送信バッファ付きバスインタフェースの構成を示します。



注. SPDR = SPDR/SPDR_HA/SPDR_BY

図 30.3 書き込み時の SPDR/SPDR_HA/SPDR_BY レジスタの構成図

送信バッファライトポインタの切り替えシーケンスは、SPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定と異なります。SPFC[1:0]の設定と SPTX0～SPTX3 のポインタ切り替えのシーケンスの関係は以下の通りです。

- SPFC[1:0] = 00b の場合 SPTX0 → SPTX0 → SPTX0 → …
- SPFC[1:0] = 01b の場合 SPTX0 → SPTX1 → SPTX0 → SPTX1 → …
- SPFC[1:0] = 10b の場合 SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → …
- SPFC[1:0] = 11b の場合 SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → …

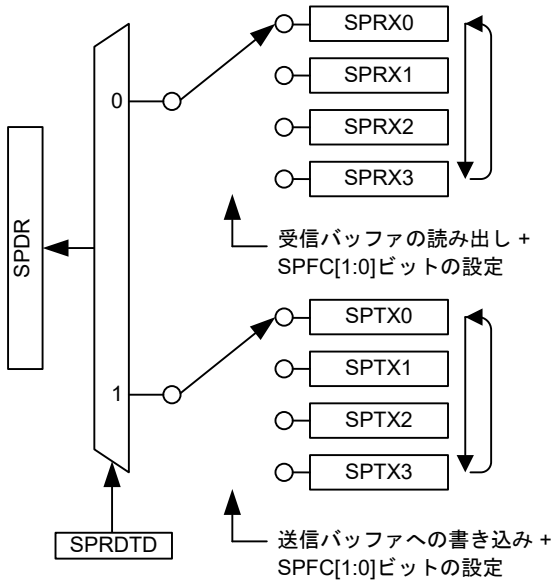
SPI コントロールレジスタの SPI 機能有効ビット (SPCR.SPE) の値が 0 の状態で、同ビットに 1 を書くと、次の書き込み先は SPTX0 になります。

送信バッファエンプティ割り込みの発生後 (SPSR.SPTEF = 1)、送信バッファ (SPTXn) へ書き込む際は、SPI データコントロールレジスタ (SPDCR) の SPFC[1:0]ビットで設定したフレーム数分を書き込んでください。送信バッファ (SPTXn) に指定したフレーム数を書き込んでも、書き込み完了後、次の送信バッファエンプティ割り込みが発生するまでの期間 (SPTEF = 0) は、バッファの値は更新されません。

読み出し

SPDR/SPDR_HA/SPDR_BY レジスタにアクセスすることによって、受信バッファ (SPRX) または送信バッファ (SPTX) の値を読み出すことができます。SPI データコントロールレジスタの SPI 受信／送信データ選択ビット (SPDCR.SPRDTD) の設定によって、受信バッファと送信バッファのどちらの内容を読み出すかが決まります。SPDR/SPDR_HA/SPDR_BY レジスタの読み出し順序は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 30.4 に、SPDR/SPDR_HA/SPDR_BY レジスタからの読み出し時の受信および送信バッファのバスインタフェースの構成図を示します。



注. SPDR = SPDR/SPDR_HA/SPDR_BY

図 30.4 読み出し時の SPDR/SPDR_HA/SPDR_BY レジスタの構成図

受信バッファを読み出すと、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同じです。ただし、SPI コントロールレジスタの SPI 機能有効ビット (SPCR.SPE) が 1 の状態で、本ビットに 1 を書くと、次の読み出し時はバッファリードポインタによって SPRX0 が参照されます。

送信バッファリードポインタは、SPDR/SPDR_HA/SPDR_BY レジスタへの書き込み時に更新され、送信バッファからの読み出し時には更新されません。送信バッファを読み出すと、SPDR/SPDR_HA/SPDR_BY レジスタに最後に書き込まれた値が読み出せます。

ただし、送信バッファエンプティ割り込み発生後、SPDCR.SPFC[1:0]ビットで設定したフレーム数分のデータ書き込み完了から次の送信バッファエンプティ割り込み発生 (SPTEF = 0) までの期間は、送信バッファからの読み出し値がすべて 0 となります。

30.2.6 SPSCR : SPI シーケンスコントロールレジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SPSLN[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SPSLN[2:0]	SPI シーケンス長設定 これらのビットで設定したシーケンス長によって、SPCMD0～SPCMD7 レジスタの参照順序が決まります。また、シーケンス長と、SPI が参照する SPCMD0～SPCMD7 レジスタの関係が定義されます。スレーブモードでは、SPI は SPCMD0 レジスタを参照します。 0 0 0: 1 0→0→… 0 0 1: 2 0→1→0→… 0 1 0: 3 0→1→2→0→… 0 1 1: 4 0→1→2→3→0→… 1 0 0: 5 0→1→2→3→4→0→… 1 0 1: 6 0→1→2→3→4→5→0→… 1 1 0: 7 0→1→2→3→4→5→6→0→… 1 1 1: 8 0→1→2→3→4→5→6→7→0→…	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPSCR レジスタは、SPI がマスタモードで動作する場合のシーケンス長を指定するためのレジスタです。SPCR.MSTR および SPCR.SPE ビットがともに 1 の状態で SPSLN[2:0] ビットを変更する場合、事前に SPSR.IDLNF フラグが 0 であることを確認してください。

SPSLN[2:0]ビット（SPI シーケンス長設定）

SPSLN[2:0]ビットはマスタモードの SPI がシーケンス動作する場合のシーケンス長を指定します。マスタモードの SPI は、このシーケンス長の設定に応じて、参照する SPCMD0～SPCMD7 レジスタとその参照順序を変更します。スレーブモードでは、SPCMD0 レジスタが参照されます。

30.2.7 SPSSR : SPI シーケンスステータスレジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x09

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SPECM[2:0]			—	SPCP[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SPCP[2:0]	SPI コマンドポインタ 0 0 0: SPCMD0 0 0 1: SPCMD1 0 1 0: SPCMD2 0 1 1: SPCMD3 1 0 0: SPCMD4 1 0 1: SPCMD5 1 1 0: SPCMD6 1 1 1: SPCMD7	R
3	—	読むと 0 が読めます。	R
6:4	SPECM[2:0]	SPI エラーコマンド 0 0 0: SPCMD0 0 0 1: SPCMD1 0 1 0: SPCMD2 0 1 1: SPCMD3 1 0 0: SPCMD4 1 0 1: SPCMD5 1 1 0: SPCMD6 1 1 1: SPCMD7	R
7	—	読むと 0 が読めます。	R

SPSSR レジスタは、SPI がマスタモードで動作する場合のシーケンス制御の状態を示します。SPSSR レジスタへの書き込みは無効です。

SPCP[2:0]ビット（SPI コマンドポインタ）

SPCP[2:0]ビットは SPI によるシーケンス制御中に、ポインタで参照されている SPCMDm レジスタを示します。SPI のシーケンス制御については、「30.3.11.1. マスタモード動作」を参照してください。

SPECM[2:0]ビット（SPI エラーコマンド）

SPECM[2:0]ビットは SPI によるシーケンス制御中にエラーが検出されたとき、SPCP[2:0]ビットで指定した SPCMDm レジスタを示します。SPI は、エラー検出時にのみ SPECM[2:0]ビットを更新します。SPSR.OVRF および SPSR.MODF フラグがともに 0 で、エラーが発生していない場合、SPECM[2:0]ビット値には意味がありません。

SPI のエラー検出機能については、「30.3.9. エラー検出」を参照してください。SPI のシーケンス制御については、「30.3.11.1. マスタモード動作」を参照してください。

30.2.8 SPBR : SPI ビットレートレジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0A

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
7:0	n/a	ビットレート	R/W

SPBR レジスタは、マスタモード時のビットレートを設定するレジスタです。

SPI をスレーブモードで使用する場合、SPBR レジスタと SPCMDm.BRDV[1:0]ビット（ビットレート分周設定ビット）の設定に関係なく、ビットレートは入力クロックのビットレートに依存します。入力クロックには、常にデバイスの電気的特性を満たすビットレートを選択してください。

ビットレートは、SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。次式でビットレートを計算してください。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n+1) \times 2^N}$$

(PCLK = PCLKA)

この式で、n は SPBR レジスタの設定値 (0, 1, 2, …, 255)、N は SPCMDm.BRDV[1:0] ビットの設定値 (0, 1, 2, 3) です。

SPBR レジスタの設定値、BRDV[1:0]ビットの設定値、およびビットレートの関係の例を表 30.3 に示します。

表 30.3 SPBR レジスタ設定値、BRDV[1:0]ビット設定値、およびビットレートの関係 (1/2)

SPBR(n)	BRDV[1:0]ビット (N)	分周比	ビットレート PCLKA = 32 MHz
0	0	2	16.0 Mbps
1	0	4	8.00 Mbps
2	0	6	5.33 Mbps
3	0	8	4.00 Mbps
4	0	10	3.20 Mbps
5	0	12	2.67 Mbps
5	1	24	1.33 Mbps
5	2	48	667 kbps
5	3	96	333 kbps

表 30.3 SPBR レジスタ設定値、BRDV[1:0]ビット設定値、およびビットレートの関係 (2/2)

SPBR(n)	BRDV[1:0]ビット (N)	分周比	ビットレート PCLKA = 32 MHz
255	3	4096	7.81 kbps

30.2.9 SPDCR : SPI データコントロールレジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0B

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	SPBYT	SPLW	SPRDTD	—	—	SPFC[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SPFC[1:0]	フレーム数設定 0 0: 1 フレーム 0 1: 2 フレーム 1 0: 3 フレーム 1 1: 4 フレーム	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	SPRDTD	SPI 受信／送信データ選択 0: SPDR/SPDR_HA レジスタの値は受信バッファから読み出す 1: SPDR/SPDR_HA レジスタの値は送信バッファから読み出す（ただし、送信バッファがエンプティの場合）	R/W
5	SPLW	SPI ワードアクセス／ハーフワードアクセス設定 0: SPDR_HA レジスタが有効（ハーフワードアクセス） 1: SPDR レジスタが有効（ワードアクセス）	R/W
6	SPBYT	SPI バイトアクセス設定 0: SPDR/SPDR_HA レジスタへのアクセスはハーフワードアクセスまたはワードアクセス（SPLW 有効） 1: SPDR_BY へのアクセスはバイトアクセス（SPLW 無効）	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPI データコントロールレジスタ (SPDCR) は、SPDR レジスタに格納できるフレーム数と、SPDR レジスタを読み出し、SPDR レジスタへのアクセス幅をワードアクセス／ハーフワードアクセス／バイトアクセスに設定するためのレジスタです。1 回の送受信で最大 4 フレームを送受信できます。各転送におけるデータ量は、SPCMDm.SPB[3:0]ビット、SPSCR.SPSLN[2:0]ビット、および SPFC[1:0]ビットの組み合わせで制御されます。

SPCR.SPE ビットが 1 の状態で、SPFC[1:0]ビットを変更する場合、SPSR.IDLNF フラグが 0 であることを確認してください。

SPFC[1:0]ビット（フレーム数設定）

SPFC[1:0]ビットは 1 回の転送起動で SPDR/SPDR_HA レジスタに格納できるフレーム数を設定します。1 回の送受信で最大 4 フレームを送受信できます。

SPFC[1:0]ビットで指定したフレーム数分の送信データが、SPDR/SPDR_HA レジスタに書き込まれると、SPI は SPSR.SPTEF フラグを 0 にして送信を開始します。その後、SPFC[1:0]ビットで指定されたフレーム数分の送信データがシフトレジスタに送信されると、SPI は送信バッファエンプティ割り込みを発生させます（SPSR.SPTEF が 1 になります）。

SPFC[1:0]ビットで指定されたフレーム数分のデータが受信されると、SPI は受信バッファフル割り込みを発生させます（SPSR.SPRF が 1 になります）。

表 30.4 SPSLN[2:0]ビットと SPFC[1:0]ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1 シーケンスで転送するフレーム数	送信バッファまたは受信バッファがフルになるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット（SPI 受信／送信データ選択）

SPRDTD ビットは SPDR/SPDR_HA レジスタが、値を受信バッファと送信バッファのどちらから読み出すかを選択します。送信バッファから読み出す場合、SPDR/SPDR_HA レジスタへ最後に書き込まれた値が読み出されます。送信バッファの読み出しは、SPI 送信バッファエンプティ割り込みの発生後、SPFC[1:0]ビットで設定したフレーム数のデータの書き込み終了前（SPSR.SPTEF = 1 のとき）までに行ってください。

詳細は、「30.2.5. SPDR/SPDR_HA/SPDR_BY : SPI データレジスタ」を参照してください。

SPLW ビット（SPI ワードアクセス／ハーフワードアクセス設定）

SPLW ビットは SPDR レジスタへのアクセス幅を設定します。SPLW ビットが 0 の場合、SPDR_HA レジスタへのハーフワードアクセスが有効となり、SPLW ビットが 1 の場合、SPDR レジスタへのワードアクセスが有効となります。また、このビットが 0 のとき、SPI データ長設定ビット（SPCMDm.SPB[3:0]ビット）は 8～16 ビットに設定してください。20、24、または 32 ビットのデータ長に設定した場合、いかなる動作も行わないでください。

SPBYT ビット（SPI バイトアクセス設定）

SPBYT ビットは、SPI データレジスタ (SPDR) にアクセスする際のデータ幅を設定するのに使用します。SPBYT = 0 のとき、SPDR/SPDR_HA レジスタへのアクセスは、ワードアクセスまたはハーフワードアクセスを使用してください。SPBYT = 1（この場合 SPLW は無効）の場合、SPDR_BY レジスタへのアクセスにはバイトアクセスを使用してください。

SPBYT = 1 の場合、SPI コマンドレジスタ m (SPCMDm) の SPI データ長ビット (SPB[3:0]) を 8 ビットに設定してください。SPB[3:0]を 9～16、20、24 または 32 ビットに設定した場合、その後の動作は保証されません。

30.2.10 SPCKD : SPI クロック遅延レジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SCKDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SCKDL[2:0]	RSPCK 遅延設定 0 0 0: 1 RSPCK 0 0 1: 2 RSPCK 0 1 0: 3 RSPCK 0 1 1: 4 RSPCK 1 0 0: 5 RSPCK 1 0 1: 6 RSPCK 1 1 0: 7 RSPCK 1 1 1: 8 RSPCK	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが 1 の場合、SSLni 信号アサート開始から RSPCK 発振までの期間（RSPCK 遅延）を設定するためのレジスタです。

SCKDL[2:0]ビット（RSPCK 遅延設定）

SCKDL[2:0]ビットは SPCMDm.SCKDEN ビットが 1 の場合の RSPCK 遅延値を設定します。SPI をスレーブモードで使用する場合は、SCKDL[2:0]ビットを 000b にしてください。

30.2.11 SSLND : SPI スレーブ選択ネゲート遅延レジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0D

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SLNDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SLNDL[2:0]	SSL ネゲート遅延設定 0 0 0: 1 RSPCK 0 0 1: 2 RSPCK 0 1 0: 3 RSPCK 0 1 1: 4 RSPCK 1 0 0: 5 RSPCK 1 0 1: 6 RSPCK 1 1 0: 7 RSPCK 1 1 1: 8 RSPCK	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SSLND レジスタは、SPI コマンドレジスタ m (SPCMDm) の SLNDEN ビットが 1 の場合に、マスタモードの SPI がシリアル転送の最終 RSPCK エッジを送信してから SSLni 信号をネゲートするまでの期間（SSL ネゲート遅延）を設定するためのレジスタです。

SLNDL[2:0]ビット（SSL ネゲート遅延設定）

SLNDL[2:0]ビットは SPI がマスタモードのとき、SSL ネゲート遅延値を設定します。SPI をスレーブモードで使用する場合は、SLNDL[2:0]ビットを 000b にしてください。

30.2.12 SPND : SPI 次アクセス遅延レジスタ

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0E

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	SPNDL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	SPNDL[2:0]	SPI 次アクセス遅延設定 0 0 0: 1 RSPCK + 2 PCLKA 0 0 1: 2 RSPCK + 2 PCLKA 0 1 0: 3 RSPCK + 2 PCLKA 0 1 1: 4 RSPCK + 2 PCLKA 1 0 0: 5 RSPCK + 2 PCLKA 1 0 1: 6 RSPCK + 2 PCLKA 1 1 0: 7 RSPCK + 2 PCLKA 1 1 1: 8 RSPCK + 2 PCLKA	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが 1 の場合、シリアル転送終了後の SSLni 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。

SPNDL[2:0]ビット（SPI 次アクセス遅延設定）

SPNDL[2:0]ビットは SPCMDm.SPNDEN ビットが 1 の場合に、次アクセス遅延を設定します。SPI をスレーブモードで使用する場合は、SPNDL[2:0]ビットを 000b にしてください。

30.2.13 SPCR2 : SPI コントロールレジスタ 2

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x0F

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	SCKASE	PTE	SPIIE	SPOE	SPPE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SPPE	パリティ許可 0: 送信データにパリティビットを付加せず、受信データのパリティビットをチェックしない 1: （SPCR.TXMD = 0 の場合）送信データにパリティビットを付加し、受信データのパリティビットをチェックする （SPCR.TXMD = 1 の場合）送信データにパリティビットを付加するが、受信データのパリティビットをチェックしない	R/W
1	SPOE	パリティモード 0: 送受信用に偶数パリティを選択 1: 送受信用に奇数パリティを選択	R/W
2	SPIIE	SPI アイドル割り込み許可 0: アイドル割り込み要求禁止 1: アイドル割り込み要求許可	R/W
3	PTE	パリティ自己診断 0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能は有効	R/W
4	SCKASE	RSPCK 自動停止機能有効 0: RSPCK 自動停止機能は無効 1: RSPCK 自動停止機能は有効	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPPE ビット（パリティ許可）

SPPE ビットはパリティ機能を有効または無効にします。

SPCR.TXMD ビットが 0 で、SPCR2.SPPE ビットが 1 のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが 1 で、SPCR2.SPPE ビットが 1 のとき、送信データにパリティビットを付加しますが、受信データのパリティチェックは行いません。

SPOE ビット（パリティモード）

SPOE ビットは偶数パリティまたは奇数パリティを設定します。

偶数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が偶数になるようにパリティビットが付加されます。同様に、奇数パリティを設定すると、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの総数が奇数になるようにパリティビットが付加されます。

SPOE ビットは、SPPE ビットが 1 の場合にのみ有効です。

SPIIE ビット（SPI アイドル割り込み許可）

SPIIE ビットは SPI のアイドル状態が検出されて SPSR.IDLNF フラグが 0 になった場合の、SPI アイドル割り込み要求の発生を許可または禁止します。

PTE ビット（パリティ自己診断）

PTE ビットはパリティ機能が正常であることを確認するための、パリティ回路の自己診断機能を有効または無効にします。

SCKASE ビット（RSPCK 自動停止機能有効）

SCKASE ビットは RSPCK 自動停止機能を有効または無効にします。この機能を有効にした場合、マスタモードでのデータ受信時に、オーバーランエラーが発生する前に RSPCK クロックが停止します。詳細は、「30.3.9.1. オーバーランエラー」を参照してください。

30.2.14 SPCMDm : SPI コマンドレジスタ m （m = 0～7）

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x10 + 0x02 × m

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]				SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
Value after reset:	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	機能	R/W
0	CPHA	RSPCK 位相設定 0: データが奇数エッジでサンプリングされ、偶数エッジで変更される 1: データが奇数エッジで変更され、偶数エッジでサンプリングされる	R/W
1	CPOL	RSPCK 極性設定 0: アイドル時の RSPCK が Low 1: アイドル時の RSPCK が High	R/W
3:2	BRDV[1:0]	ビットレート分周設定 0 0: ベースのビットレート 0 1: ベースのビットレートの 2 分周 1 0: ベースのビットレートの 4 分周 1 1: ベースのビットレートの 8 分周	R/W
6:4	SSLA[2:0]	SSL 端子の信号アサート設定 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 その他: 設定禁止	R/W
7	SSLKP	SSL 端子の信号レベル保持 0: 転送完了時にすべての SSL 信号をネゲート 1: SSL 信号レベルを転送後から次のアクセス開始まで保持	R/W

ビット	シンボル	機能	R/W
11:8	SPB[3:0]	SPI データ長設定 0x0: 20 ビット 0x1: 24 ビット 0x2: 32 ビット 0x3: 32 ビット 0x8: 9 ビット 0x9: 10 ビット 0xA: 11 ビット 0xB: 12 ビット 0xC: 13 ビット 0xD: 14 ビット 0xE: 15 ビット 0xF: 16 ビット その他: 8 ビット	R/W
12	LSBF	SPI LSB ファースト 0: MSB ファースト 1: LSB ファースト	R/W
13	SPNDEN	SPI 次アクセス遅延許可 0: 次アクセス遅延は 1 RSPCK + 2 PCLKA 1: 次アクセス遅延は SPI 次アクセス遅延レジスタ (SPND) の設定値	R/W
14	SLNDEN	SSL ネゲート遅延設定許可 0: SSL ネゲート遅延は 1RSPCK 1: SSL ネゲート遅延は SPI スレーブ選択ネゲート遅延レジスタ (SSLND) の設定値	R/W
15	SCKDEN	RSPCK 遅延設定許可 0: RSPCK 遅延は 1RSPCK 1: RSPCK 遅延は SPI クロック遅延レジスタ (SPCKD) の設定値	R/W

SPCMDm レジスタは、マスタモードの SPI に対して転送フォーマットを指定するレジスタです。チャネルごとに 8 つの SPCMDm（m = 0～7）があります。SPCMD0 レジスタの一部のビットは、スレーブモードの SPI に対して転送モードを設定するために使用されます。マスタモードの SPI は、SPSCR.SPSLN[2:0]ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファがエンプティの（SPSR.SPTEF = 1 で、次転送のデータがセットされていない）状態で、その SPCMDm レジスタが参照されたときに送信されるデータの設定前に行ってください。

マスタモードの SPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットで確認できます。

CPHA ビット（RSPCK 位相設定）

CPHA ビットはマスタモードまたはスレーブモードの SPI に対して、RSPCK の位相を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 位相を設定する必要があります。

CPOL ビット（RSPCK 極性設定）

CPOL ビットはマスタモードまたはスレーブモードの SPI に対して、RSPCK の極性を設定します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 極性を設定する必要があります。

BRDV[1:0]ビット（ビットレート分周設定）

BRDV[1:0]ビットは SPBR レジスタの設定値との組み合わせでビットレートを決定します。（「30.2.8. SPBR : SPI ビットレートレジスタ」を参照してください）。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0]ビットの設定値は、ベースのビットレートに対して分周なし／2 分周／4 分周／8 分周したビットレートを選択します。SPCMD0 レジスタには、それぞれ異なる BRDV[1:0]ビット値を指定できます。これにより、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0]ビット（SSL 端子の信号アサート設定）

SSLA[2:0]ビットはマスタモードの SPI がシリアル転送を行う際の、SSLni 信号のアサートを制御します。SSLni 信号アサート時の信号極性は、関連する SSLP レジスタの設定値で決定されます。マルチマスタモードで SSLA[2:0]ビットを 000b にした場合、SSLn0 端子は入力になるため、全 SSL 信号がネゲート状態でシリアル転送が実行されます。

SPI をスレーブモードで使用する場合は、SSLA[2:0]ビットを 000b にしてください。

SSLKP ビット（SSL 端子の信号レベル保持）

SSLKP ビットは、マスタモードの SPI がシリアル転送を行う際、現在のコマンドに関連する SSL ネゲートおよび次のコマンドに関連する SSL アサーション間と、現在の SSLni 信号のレベルをキープするか、またはネゲートするかを指定します。SSLKP ビットを 1 にすると、バースト転送が有効になります。詳細は、「30.3.11.1. マスタモード動作」の (4) バースト転送（SPI0 のみ）を参照してください。SPI スレーブモードを使用する際は SSLKP ビットを 0 にしてください。

SPB[3:0]ビット（SPI データ長設定）

SPB[3:0] ビットは、マスタモードまたはスレーブモードの SPI に対して、転送データ長を設定します。

LSBF ビット（SPI LSB ファースト）

LSBF ビットはマスタモードまたはスレーブモードの SPI に対して、そのデータフォーマットを MSB ファーストまたは LSB ファーストに設定します。

SPNDEN ビット（SPI 次アクセス遅延許可）

SPNDEN ビットはマスタモードの SPI がシリアル転送を終了して SSLni 信号を非アクティブにしてから、次アクセスの SSLni 信号のアサートを可能にするまでの期間（次アクセス遅延）を設定します。SPNDEN ビットが 0 のとき、SPI は次アクセス遅延を 1RSPCK + 2PCLKA に設定します。SPNDEN ビットが 1 のとき、SPI は SPND レジスタの設定に従った次アクセス遅延を挿入します。

SPI をスレーブモードで使用する場合は、SPNDEN ビットを 0 にする必要があります。

SLNDEN ビット（SSL ネゲート遅延設定許可）

SLNDEN ビットはマスタモードの SPI が、RSPCK を発振停止してから SSLni 信号を非アクティブにするまでの期間（SSL ネゲート遅延）を設定します。SLNDEN ビットが 0 のとき、SPI は SSL ネゲート遅延を 1RSPCK に設定します。SLNDEN ビットが 1 のとき、SPI は SSLND レジスタの設定に従った SSL ネゲート遅延で SSLni 信号をネゲートします。

SPI をスレーブモードで使用する場合は、SLNDEN ビットを 0 にする必要があります。

SCKDEN ビット（RSPCK 遅延設定許可）

SCKDEN ビットはマスタモードの SPI が、SSLni 信号をアクティブにしてから RSPCK の発振を開始するまでの期間（SPI クロック遅延）を設定します。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を 1RSPCK にします。SCKDEN ビットが 1 のとき、SPI は SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

SPI をスレーブモードで使用する場合は、SCKDEN ビットを 0 にする必要があります。

30.2.15 SPDCR2 : SPI データコントロールレジスタ 2

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x20

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	SINV	BYSW
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BYSW	バイトスワップ動作モード選択 0: バイトスワップ OFF 1: バイトスワップ ON	R/W
1	SINV	シリアルデータ反転ビット 0: シリアルデータ反転なし 1: シリアルデータ反転あり	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPDCR2 は、送受信データをバイト単位でスワップするために使用され、シリアルデータを反転するために使用される設定レジスタです。スレーブモードで SPI が有効 (SPCR.SPE = 1) な状態でこれらのビットが修正されると、その後の動作は保証されません。

BYSW ビット（バイトスワップ動作モード選択）

BYSW ビットは、送受信データをバイト単位でスワップするために使用されます。バイトアクセスが有効 (SPDCR.SPBYT = 1) な状態ではバイトスワップは無効です。バイトスワップが有効なとき、パリティ機能は無効（SPCR2.SPPE = 0）でなければなりません。BYSW ビットの設定変更は、SPCR.SPE ビット = 0 でなければなりません。

バイトスワップ後のデータは、指定のデータ長だけ異なります（SPCMD.SPB[3:0]の設定）。

バイトスワップでは、データ長（SPB[3:0]ビットの設定）は 32 ビットか 16 ビットでなければなりません。他のデータ長（8～15、20、24 ビットなど）では、バイトスワップ動作は保証されません。スワップ前と後の状態を以下に示します（32 ビット／16 ビットのデータ長）。

- 32 ビットのデータ長（SPB[3:0] = 0010b または 0011b）

  スワップ前：[31:24] [23:16] [15:8] [7:0]

  スワップ後：[7:0] [15:8] [23:16] [31:24]
- 16 ビットのデータ長 (SPB[3:0] = 1111b)

  スワップ前：[31:24] [23:16]

  スワップ後：[23:16] [31:24]

バイトアクセスモード (SPDCR.SPBT = 1) では、バイトスワップ設定は無効です。

バイトスワップが有効の場合は、パリティ機能を無効に設定してください (SPCR2.SPPE = 0)。パリティ機能を有効に設定すると、動作は保証されません。

SINV ビット（シリアルデータ反転ビット）

SINV ビットは、送信データと受信データを反転するために使用されます。

SINV ビットが 1 に設定されるとき、送信バッファ (SPTX) データは送信データと受信データを反転するために反転されます。それから、反転したデータを受信バッファに格納します。パリティビットは、反転した送受信データに対応した値になります。

30.2.16 SPCR3 : SPI コントロールレジスタ 3

Base address: SPIn = 0x4011_A000 + 0x0100 × n (n = 0, 1)

Offset address: 0x21

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	CENDIE	—	—	BFDS	ETXMD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ETXMD	拡張通信モード選択 0: 全二重同期式または送信のみシリアル通信 [SPCR.TXMD ビットが有効] 1: スレーブモードの受信のみシリアル通信（SPCR.MSTR = 0） [SPCR.TXMD ビットが無効] マスタモードでは設定禁止（SPCR.MSTR = 1）	R/W
1	BFDS	バースト転送フレーム間遅延選択 0: バースト転送時、フレーム間に遅延（RSPCK 遅延、SSL ネゲート遅延、および次アクセス遅延）を挿入する 1: バースト転送時にフレーム間の遅延を挿入しない	R/W
3:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
4	CENDIE	SPI 通信終了割り込み許可 0: 通信終了割り込み要求を禁止 1: 通信終了割り込み要求を許可	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPCR3 は動作モードのレジスタです。SPCR.SPE ビットの値が 1 の状態で ETXMD と BFDS の値を変更すると、SPI 動作は保証されません。

ETXMD ビット（拡張通信モード選択）

ETXMD ビットは、スレーブモード時のみ有効です（SPCR.MSTR = 0）。このビットは受信のみ動作の選択をします。スレーブモードで ETXMD ビットが 1 のとき、通信は受信のみとなり送信をしません（「30.3.6. データ転送モード」を参照）。ETXMD ビットが 1 のとき、送信データエンプティ割り込みを使用できません。

表 30.5 に、マスタモードおよびスレーブモードでの通信状態を示します。これは ETXMD ビット、SPCR.MSTR ビット、TXMD ビットで制御します。

表 30.5 SPI 通信状態（マスタ／スレーブモード）

SPCR.MSTR ビット	SPCR3.ETXMD ビット	SPCR.TXMD ビット	通信状態
1	0	0	送受信マスタモード
1	0	1	送信マスタモード
0	0	0	送受信スレーブモード（デフォルト）
0	0	1	送信スレーブモード
0	1	—	受信スレーブモード

BFDS ビット（バースト転送フレーム間遅延選択）

BFDS ビットは、バースト転送フレーム間に遅延時間を挿入するかどうかを制御します。

マスタモード（SPCR.MSTR ビットが 1）で SPCMD.SSLKP ビットが 1 のとき有効です。

本ビットはスレーブモードでは 0 に設定してください。表 30.6 に、転送フレーム間 SSL 遅延制御の使用方法を示します。詳細は、(4) バースト転送を参照してください。

表 30.6 転送フレーム間 SSL 遅延制御の使用方法（マスタモード）

送信		SPCMD.SSLKP ビット	SPCR3.BFDS ビット	SSL 遅延制御レジスタ(注1)（RSPCK クロック遅延、SSL ネゲート遅延、次アクセス遅延）
非バースト転送		0	0	任意値。RSPCK クロック遅延、SSL ネゲート遅延、および次アクセス遅延の設定に従い、各遅延の値を制御可能です。
フレーム間遅延ありバースト転送	最初のフレームから最後の一つ手前のフレームまで	1	0	
	最後のフレーム	0	0	
フレーム間遅延なしバースト転送	最初のフレームから最後の一つ手前のフレームまで	1	1	任意値。ただし、遅延は次のようにのみ挿入されます： • 最初のフレームの RSPCK クロック遅延 • 最後のフレームの SSL ネゲート遅延と次アクセス遅延
	最後のフレーム	0	1	

注 1. 以下のビットの設定値が有効であるかどうかは、SPCMD.SPNDEN ビットの設定値によります（「30.2.14. SPCMDm : SPI コマンドレジスタ m （m = 0～7）」を参照）。
SPCKD.SCKDL[2:0]ビット：RSPCK 遅延
SSLND.SLNDL[2:0]ビット：SSL ネゲート遅延
SPND.SPNDL[2:0]ビット：次アクセス遅延

CENDIE ビット（SPI 通信終了割り込み許可）

CENDIE ビットは、通信終了割り込み要求の発生を制御します。

30.3 動作説明

本節では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

30.3.1 SPI 動作の概要

SPI は、下記のモードでの同期式シリアル転送が可能です。

- スレーブモード（SPI 動作）
- シングルマスタモード（SPI 動作）
- マルチマスタモード（SPI 動作）
- スレーブモード（クロック同期式動作）
- マスタモード（クロック同期式動作）

SPI のモードは、SPCR.MSTR、SPCR.MODFEN、および SPCR.SPMS ビットで選択できます。表 30.7 に SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要を示します。

表 30.7 SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要

モード	スレーブ（SPI 動作）	シングルマスタ（SPI 動作）	マルチマスタ（SPI 動作）	スレーブ（クロック同期式動作）	マスタ（クロック同期式動作）
MSTR ビットの設定値	0	1	1	0	1
MODFEN ビットの設定値	0 または 1	0	1	0	0
SPMS ビットの設定値	0	0	0	1	1
RSPCKn 端子	入力	出力	出力／Hi-Z	入力	出力
MOSIn 端子	入力	出力	出力／Hi-Z	入力	出力
MISOn 端子	出力／Hi-Z	入力	入力	出力	入力
SSLn0 端子	入力	出力	入力	Hi-Z(注1)	Hi-Z(注1)
SSLn1～SSLn3 端子	Hi-Z(注1)	出力	出力／Hi-Z	Hi-Z(注1)	Hi-Z(注1)
SSL 極性変更機能	あり	あり	あり	—	—
最高転送速度	PCLKA/4	PCLKA/2	PCLKA/2	PCLKA/4	PCLKA/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2 種				
クロック位相	2 種	2 種	2 種	1 種 (CPHA = 1)	2 種
先頭転送ビット	MSB/LSB				
転送データ長	8～16、20、24、32 ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0, 1)	可能 (CPHA = 0, 1)	—	—
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送トリガ	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)	RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファに書き込み (SPTEF = 1)
シーケンス制御	なし	あり	あり	なし	サポートあり
送信バッファエンプティ検出	あり(注5)				
受信バッファフル検出	あり(注2)				
オーバーランエラー検出	あり(注2)	あり(注2)(注4)	あり(注2)(注4)	あり(注2)	あり(注2)
パリティエラー検出	あり(注2)(注3)				
モードフォルトエラー検出	あり (MODFEN = 1)	なし	あり	なし	なし
アンダーランエラー検出	あり(注5)	なし	なし	あり(注5)	なし

注 1.　この機能は本モードでは使用しません。
注 2.　SPCR.TXMD ビットが 1 のときは、受信バッファフル検出、オーバーランエラー検出、およびパリティエラー検出を行いません。
注 3.　SPCR2.SPPE ビットが 0 のときは、パリティエラー検出を行いません。
注 4.　SPCR2.SCKASE ビットが 1 のときは、オーバーランエラー検出を行いません。
注 5.　SPI が受信専用スレーブモードの場合、送信バッファエンプティエラーとアンダーランエラーはいずれも検出されません。

30.3.2　SPI 端子の制御

SPCR.MSTR、SPCR.MODFEN、SPCR.SPMS ビットの設定と入出力ポートの PmnPFS.NCODR ビットの設定に基づき、SPI は端子の状態を切り替えることができます。端子状態と各ビットの設定値との関係を表 30.8 に示します。入出力ポートの PmnPFS.NCODR ビットの設定値を 0 にすると、CMOS 出力となります。設定値を 1 にするとオープンドレイン出力となります。入出力ポートの設定も同じとなるよう設定してください。

表 30.8　端子状態とビット設定値の関係

モード	端子	端子状態(注2)	
		入出力ポートの PmnPFS.NCODR = 0	入出力ポートの PmnPFS.NCODR = 1
シングルマスタモード（SPI 動作） (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0～SSLn3	CMOS 出力	オープンドレイン出力
	MOSIn	CMOS 出力	オープンドレイン出力
	MISOn	入力	入力
マルチマスタモード（SPI 動作） (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKn(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	SSLn0	入力	入力
	SSLn1～SSLn3(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	MOSIn(注3)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
	MISOn	入力	入力
スレーブモード（SPI 動作） (MSTR = 0, SPMS = 0)	RSPCKn	入力	入力
	SSLn0	入力	入力
	SSLn1～SSLn3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIn	入力	入力
	MISOn(注4)	CMOS 出力／Hi-Z	オープンドレイン出力／Hi-Z
マスタモード （クロック同期式動作） (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKn	CMOS 出力	オープンドレイン出力
	SSLn0～SSLn3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIn	CMOS 出力	オープンドレイン出力
	MISOn	入力	入力
スレーブモード （クロック同期式動作） (MSTR = 0, SPMS = 1)	RSPCKn	入力	入力
	SSLn0～SSLn3(注5)	Hi-Z(注1)	Hi-Z(注1)
	MOSIn	入力	入力
	MISOn	CMOS 出力	オープンドレイン出力

注 1.　この機能は本モードでは使用しません。
注 2.　SPI 機能が選択されていない兼用端子には、SPI の設定値は反映されません。
注 3.　SSLn0 端子がアクティブレベルの場合、端子の状態は Hi-Z になります。入力信号がアクティブレベルかどうかは、SSLP.SSL0P ビットの設定値で決まります。
注 4.　SSLn0 端子が非アクティブレベルまたは SPCR.SPE ビットが 0 の場合、端子の状態は Hi-Z になります。入力信号がアクティブレベルかどうかによって、SSLP.SSL0P ビットの設定が決まります。
注 5.　これらの端子は入出力ポート端子として使用できます。

シングルマスタモード（SPI 動作）またはマルチマスタモード（SPI 動作）の SPI は、SPPCR レジスタの MOIFE ビットと MOIFV ビットの設定値に基づいて、SSL ネゲート期間（バースト転送中の SSL 保持期間を含む）の MOSI 信号値を表 30.9 のように決定します。

表 30.9　SSL ネゲート期間の MOSI 端子の信号値の決定方法

SPPCR.MOIFE ビット	SPPCR.MOIFV ビット	SSL ネゲート期間の MOSIn 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

30.3.3　SPI システム構成例

30.3.3.1　シングルマスタとシングルスレーブ（MCU はマスタ）

図 30.5 に、MCU がマスタである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。シングルマスタとシングルスレーブの構成では、MCU（マスタ）の SSLni 出力は使用されません。SPI スレーブの SSL 入力は Low レベルに固定され、SPI スレーブは選択された状態で維持されます。(注1)

注 1.　SPCMDm.CPHA ビットが 0 のときに構成された転送フォーマットでは、一部のスレーブデバイスに対する SSL 信号をアクティブレベルに固定できません。このような場合は、常に MCU の SSLni 出力をスレーブデバイスの SSL 入力に接続してください。

MCU（マスタ）は、RSPCKn と MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

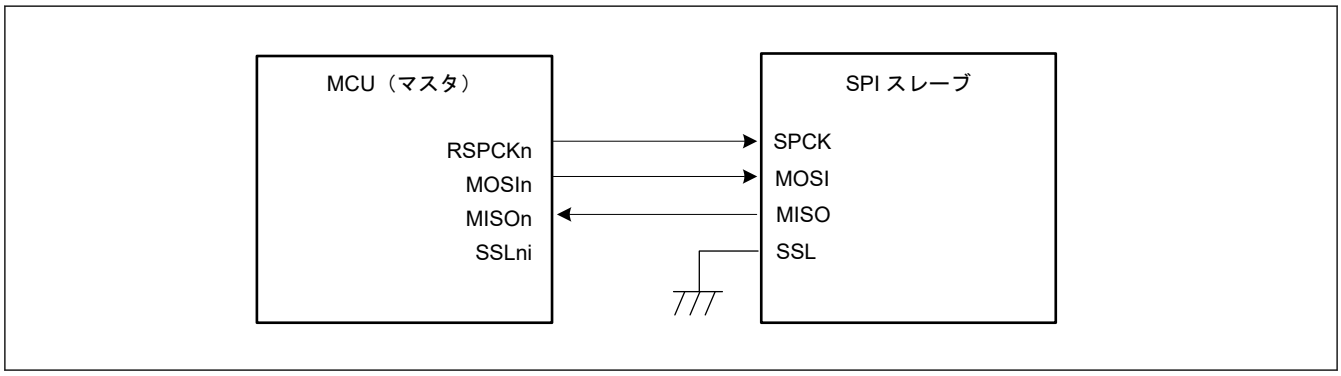


図 30.5　シングルマスタとシングルスレーブの構成例（MCU はマスタ）

30.3.3.2　シングルマスタとシングルスレーブ（MCU はスレーブ）

図 30.6 に、MCU がスレーブである場合のシングルマスタとシングルスレーブの SPI システム構成例を示します。MCU がスレーブとして動作する場合は、SSLn0 端子を SSL 入力として使用します。SPI マスタは、RSPCK および MOSI 信号をドライブします。MCU スレーブは、MISOn 信号をドライブします。(注1)

注 1.　SSLn0 端子が非アクティブレベルの場合、端子状態は Hi-Z になります。

SPCMDm.CPHA ビットが 1 のときのシングルスレーブ構成では、MCU（スレーブ）の SSLn0 入力は Low レベルに固定され、MCU（スレーブ）は選択された状態で維持されます。これによりシリアル転送の実行が可能になります（図 30.7）。ただし、SSL0 入力が図 30.7 のように固定されると、通信終了割り込みは出力されません。

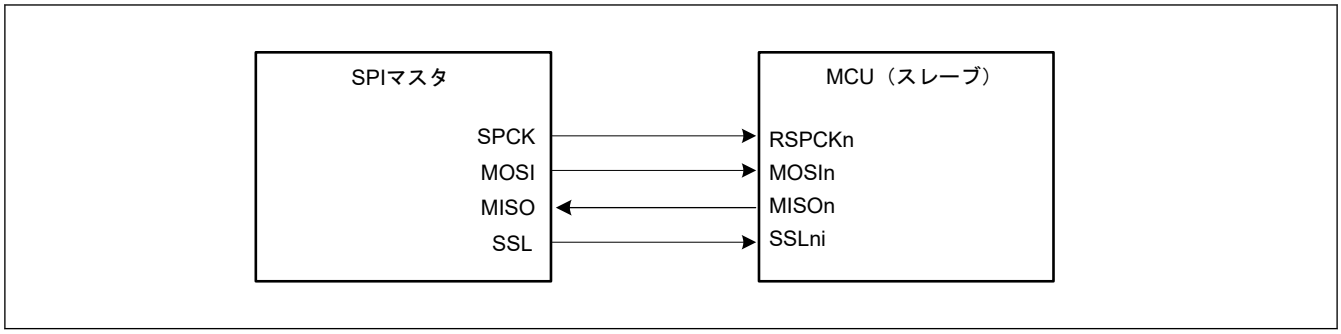


図 30.6　シングルマスタとシングルスレーブの構成例（MCU はスレーブ、SPCMDm.CPHA = 0）

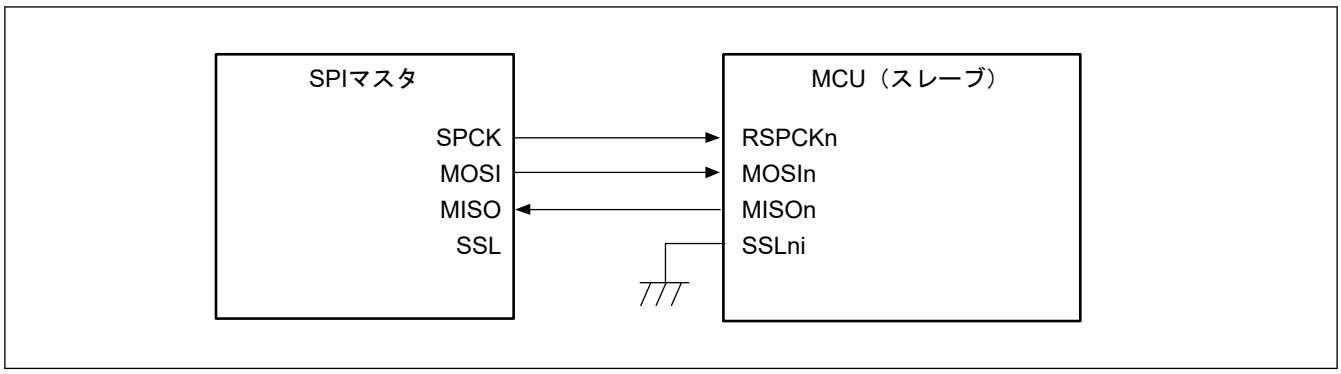


図 30.7　シングルマスタとシングルスレーブの構成例（MCU はスレーブ、SPCMDm.CPHA = 1）

30.3.3.3　シングルマスタとマルチスレーブ（MCU はマスタ）

図 30.8 に、MCU がマスタである場合のシングルマスタとマルチスレーブの SPI システム構成例を示します。この例では、MCU（マスタ）と 4 つのスレーブ（SPI スレーブ 0～SPI スレーブ 3）から SPI システムを構成しています。

MCU（マスタ）の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 0～SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0～SPI スレーブ 3 の MISO 出力は、すべて MCU（マスタ）の MISOn 入力に接続します。MCU（マスタ）の SSLn0～SSLn3 出力は、それぞれ SPI スレーブ 0～SPI スレーブ 3 の SSL 入力に接続します。

MCU（マスタ）は、RSPCKn、MOSIn、SSLn0～SSLn3 信号をドライブします。SPI スレーブ 0～SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

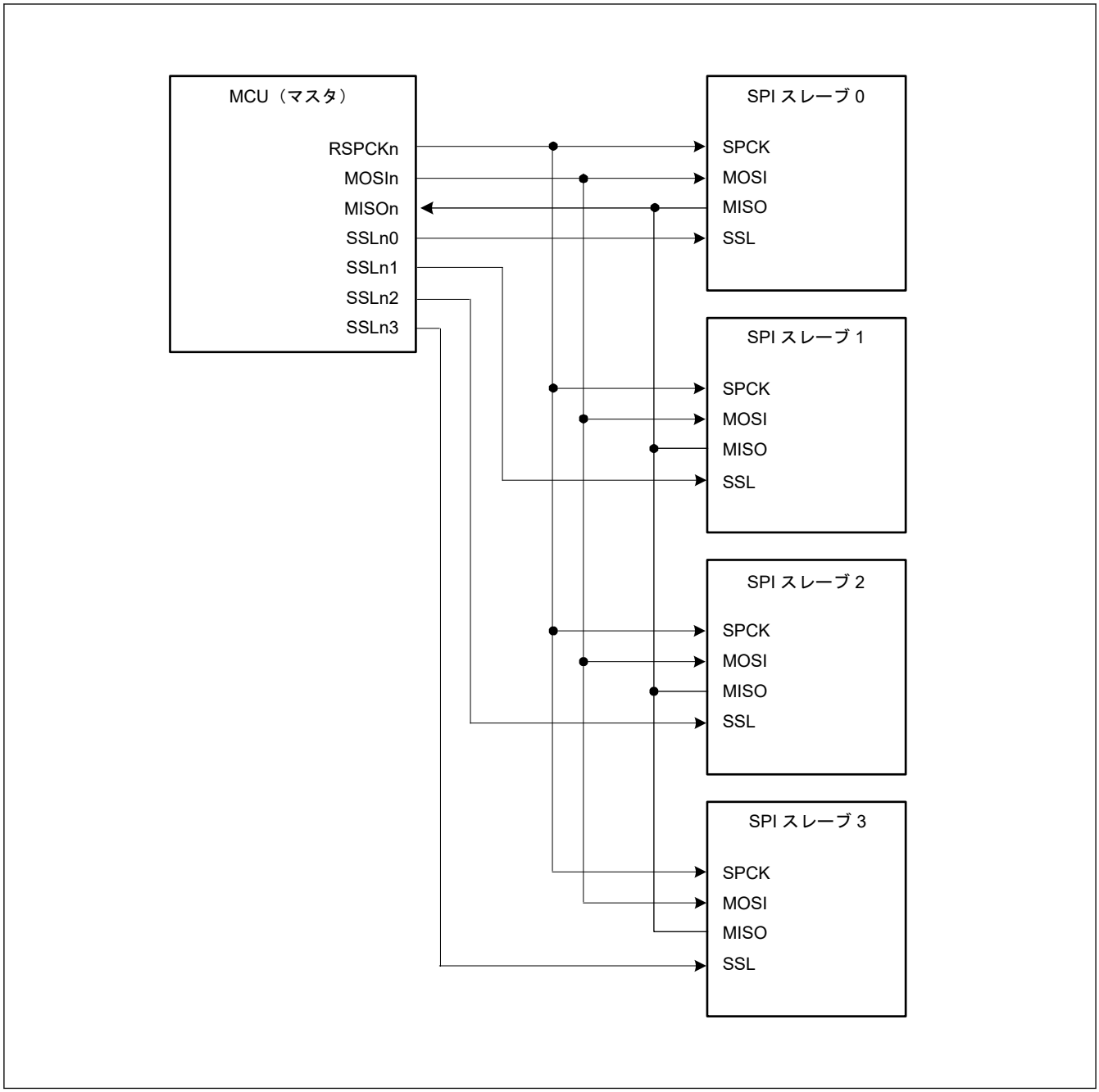


図 30.8　シングルマスタとマルチスレーブの構成例（MCU はマスタ）

30.3.3.4　シングルマスタとマルチスレーブ（MCU はスレーブ）

図 30.9 に、MCU がスレーブである場合のシングルマスタ／マルチスレーブの SPI システム構成例を示します。この例では、SPI マスタと 2 つの MCU（スレーブ X、スレーブ Y）から SPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、MCU（スレーブ X、スレーブ Y）の RSPCKn 入力と MOSIn 入力に接続します。MCU（スレーブ X、スレーブ Y）の MISOn 出力は、すべて SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、それぞれ MCU（スレーブ X、スレーブ Y）の SSLn0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。MCU（スレーブ X、スレーブ Y）のうち、SSLn0 入力に Low を入力されているスレーブが、MISOn をドライブします。

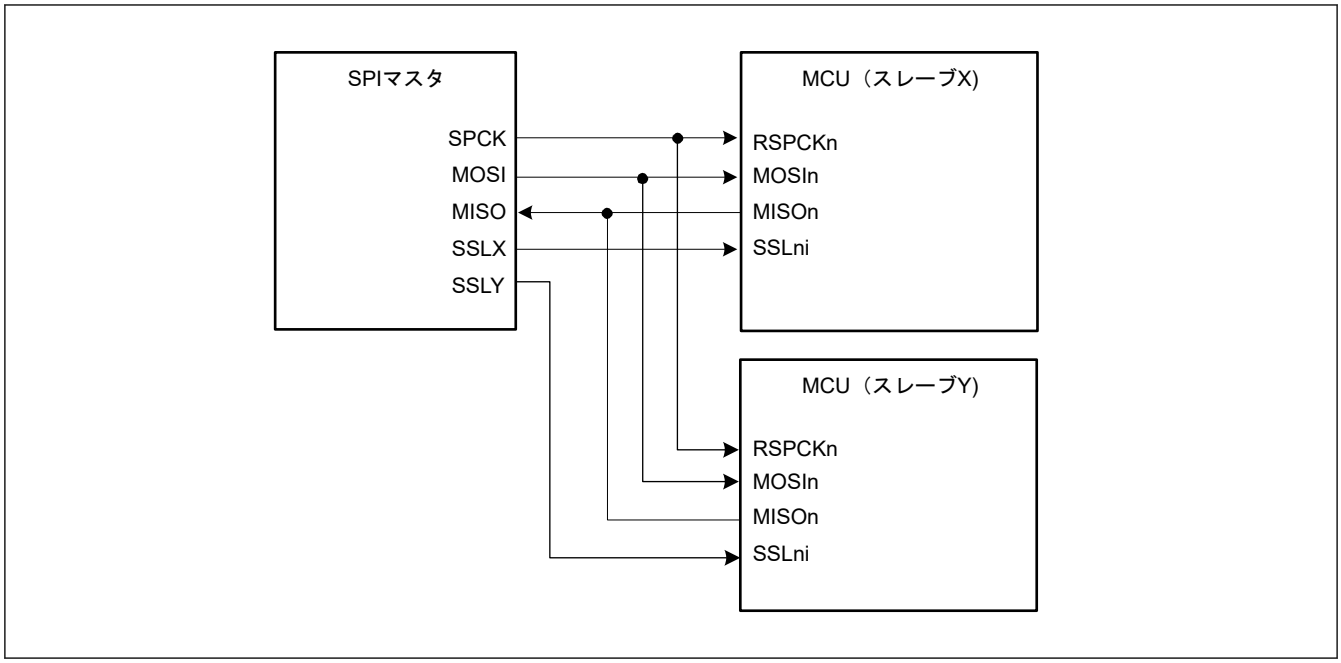


図 30.9　シングルマスタとマルチスレーブの構成例（MCU はスレーブ）

30.3.3.5　マルチマスタとマルチスレーブ（MCU はマスタ）

図 30.10 に、MCU がマスタである場合のマルチマスタ／マルチスレーブの SPI システム構成例を示します。この例では、2 つの MCU（マスタ X、マスタ Y）と 2 つの SPI スレーブ（SPI スレーブ 1、SPI スレーブ 2）から SPI システムを構成しています。

MCU（マスタ X、マスタ Y）の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、MCU（マスタ X、マスタ Y）の MISOn 入力に接続します。MCU（マスタ X）の任意の汎用ポート Y 出力は、MCU（マスタ Y）の SSLn0 入力に接続します。MCU（マスタ Y）の任意の汎用ポート X 出力は、MCU（マスタ X）の SSLn0 入力に接続します。MCU（マスタ X、マスタ Y）の SSLn1 出力と SSLn2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLn0 入力と、スレーブ接続用の SSLn1 出力および SSLn2 出力のみでシステムを構成できるため、MCU の SSLn3 出力は必要ありません。

MCU は、SSLn0 入力レベルが High の場合には、RSPCKn、MOSIn、SSLn1、SSLn2 信号をドライブします。SSLn0 入力レベルが Low の場合、MCU はモードフォルトエラーを検出し、RSPCKn、MOSIn、SSLn1、および SSLn2 を Hi-Z にして、他方のマスタに SPI バスを直接解放します。SPI スレーブ 1 または SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

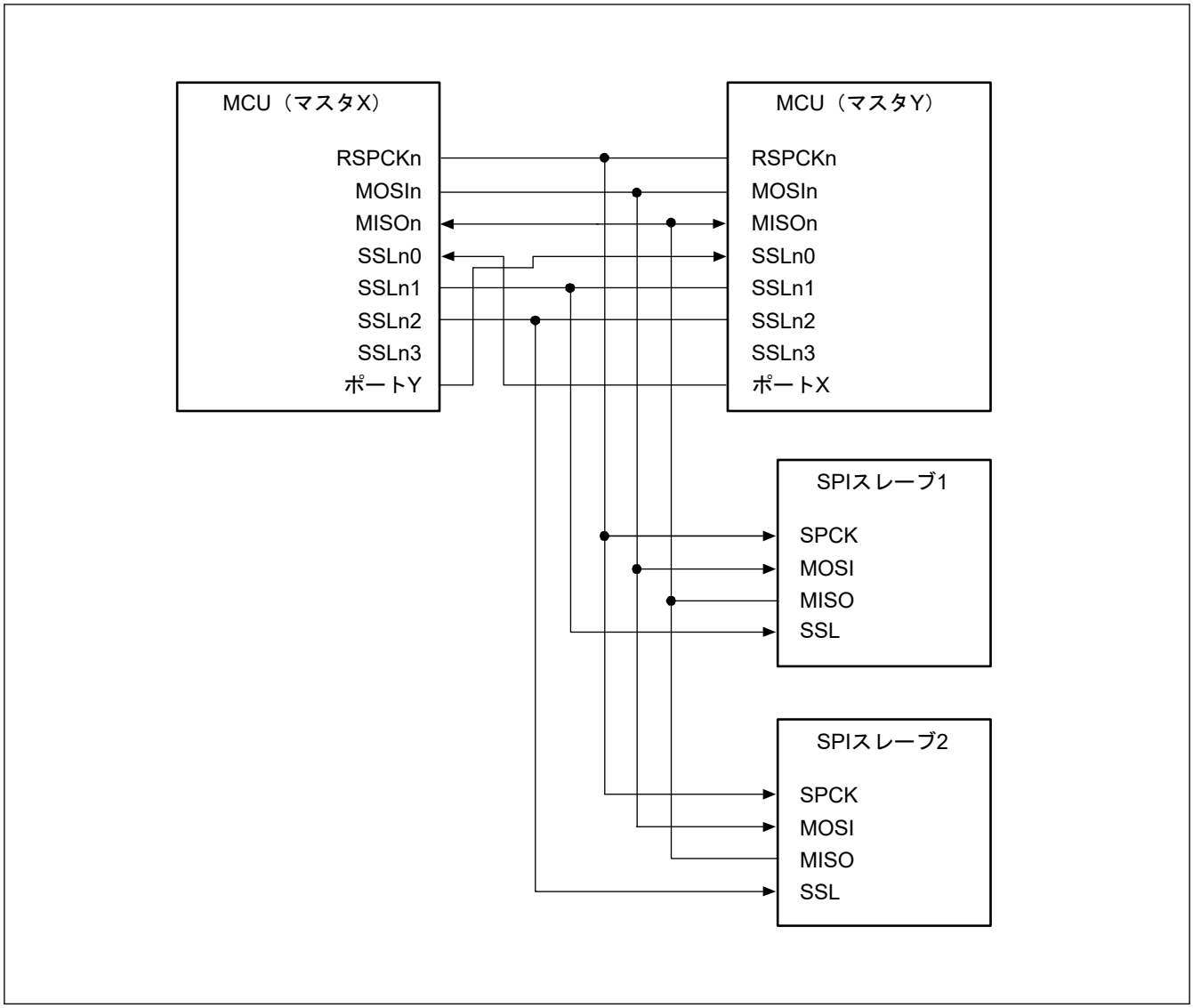


図 30.10　マルチマスタとマルチスレーブの構成例（MCU はマスタ）

30.3.3.6　クロック同期式モードのマスタとスレーブ（MCU はマスタ）

図 30.11 に、MCU がマスタである場合のクロック同期式モードのマスタ／スレーブの構成例を示します。この構成では、MCU（マスタ）の SSLni は使用しません。

MCU（マスタ）は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

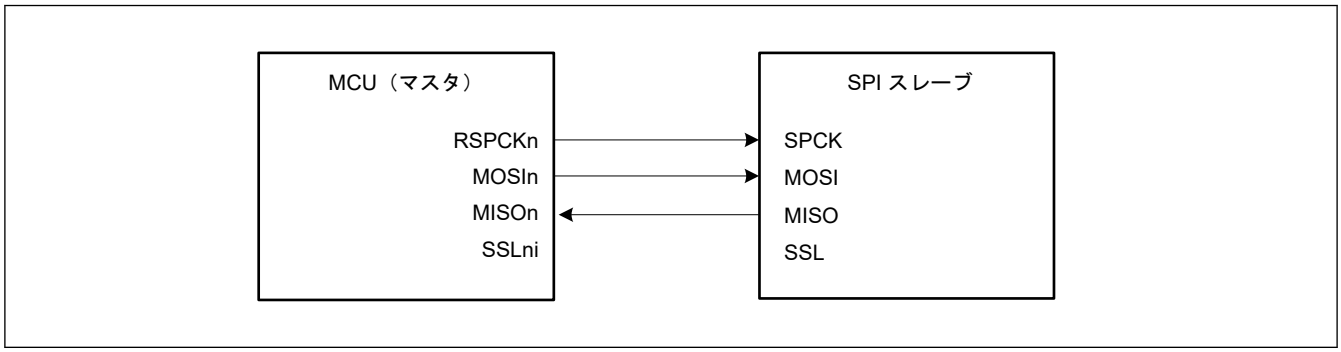


図 30.11　クロック同期式動作のマスタとスレーブの構成例（MCU はマスタ）

30.3.3.7 クロック同期式動作のマスタとスレーブ（MCU はスレーブ）

図 30.12 に、MCU がスレーブである場合のクロック同期式モードのマスタ／スレーブの構成例を示します。MCU をスレーブ（クロック同期式動作）として使用する場合は、MCU（スレーブ）は MISOn 信号をドライブし、SPI マスタは SPCK 信号と MOSI 信号をドライブします。また、MCU（スレーブ）の SSLn0～SSLn3 は使用しません。

SPCMDm.CPHA ビットが 1 でシングルスレーブ構成の場合のみ、MCU（スレーブ）はシリアル転送を実行できます。

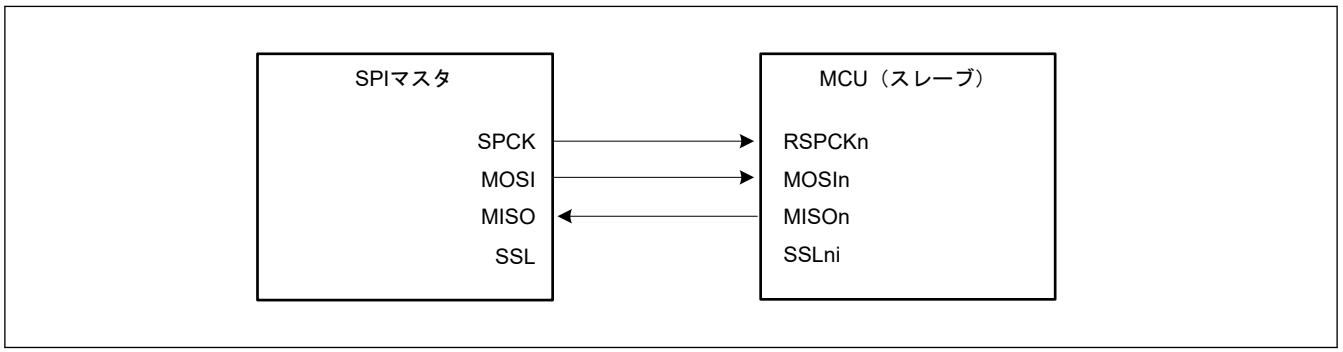


図 30.12 クロック同期式動作のマスタとスレーブの構成例（MCU はスレーブ、CPHA = 1）

30.3.4 データフォーマット

SPI のデータフォーマットは、SPI コマンドレジスタ m (SPCMDm)と SPI コントロールレジスタ 2 (SPCR2) のパリティ許可ビット (SPPE) の設定値に依存します。MSB ファーストか LSB ファーストかにかかわらず、SPI は SPI データレジスタ (SPDR/SPDR_HA) の LSB ビットから設定データ長に該当するビット分の範囲を転送データとして扱います。

以下では、転送前または転送後のデータの 1 フレーム分のデータフォーマットについて説明します。

パリティ機能無効時のデータフォーマット

パリティ機能無効時は、SPI データ長設定ビット（SPI コマンドレジスタ m (SPCMDm.SPB[3:0])）で設定したビット長のデータの送受信を行います。

パリティ機能有効時のデータフォーマット

パリティ機能有効時は、SPI データ長設定ビット（SPI コマンドレジスタ m (SPCMDm.SPB[3:0])）で設定したビット長のデータの送受信を行います。ただし、最終ビットはパリティビットです。

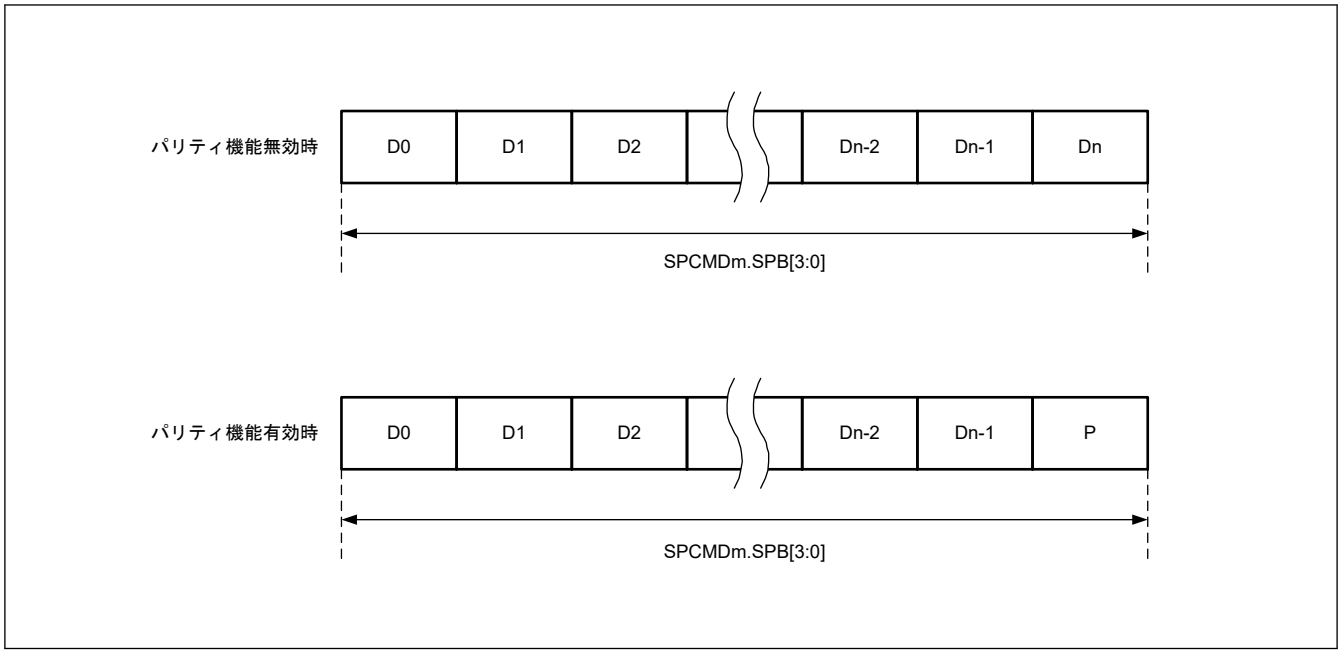


図 30.13　パリティ機能無効時と有効時のデータフォーマット

30.3.4.1　パリティ機能無効時 (SPCR2.SPPE = 0) の動作

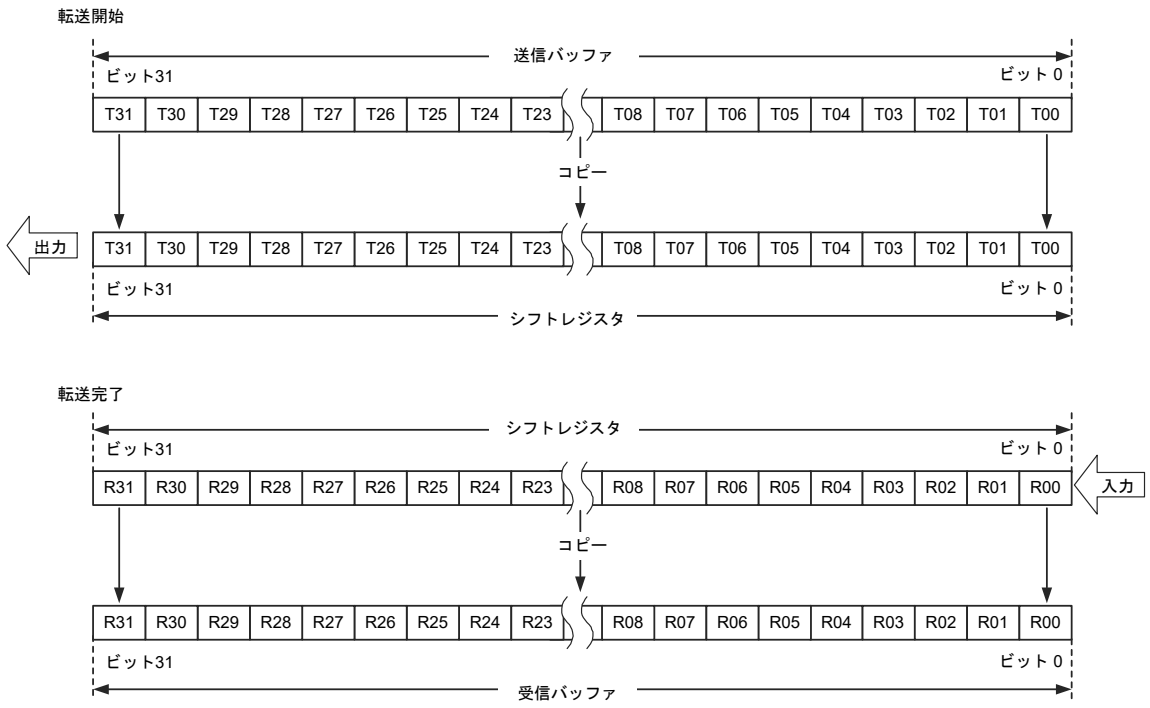
パリティ機能が無効の場合、送信用データは前処理なしでシフトレジスタにコピーされます。本項では、MSB/LSB ファーストオーダーとデータ長の組み合わせの観点から、SPI データレジスタ (SPDR/SPDR_HA) とシフトレジスタの間の接続について説明します。

(1)　MSB ファースト転送（32 ビットデータ）

図 30.14 に、パリティ機能無効時に、SPI データ長が 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの T31～T00 ビットをシフトレジスタにコピーします。送信データは、T31 → T30 → ・・・T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R31～R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

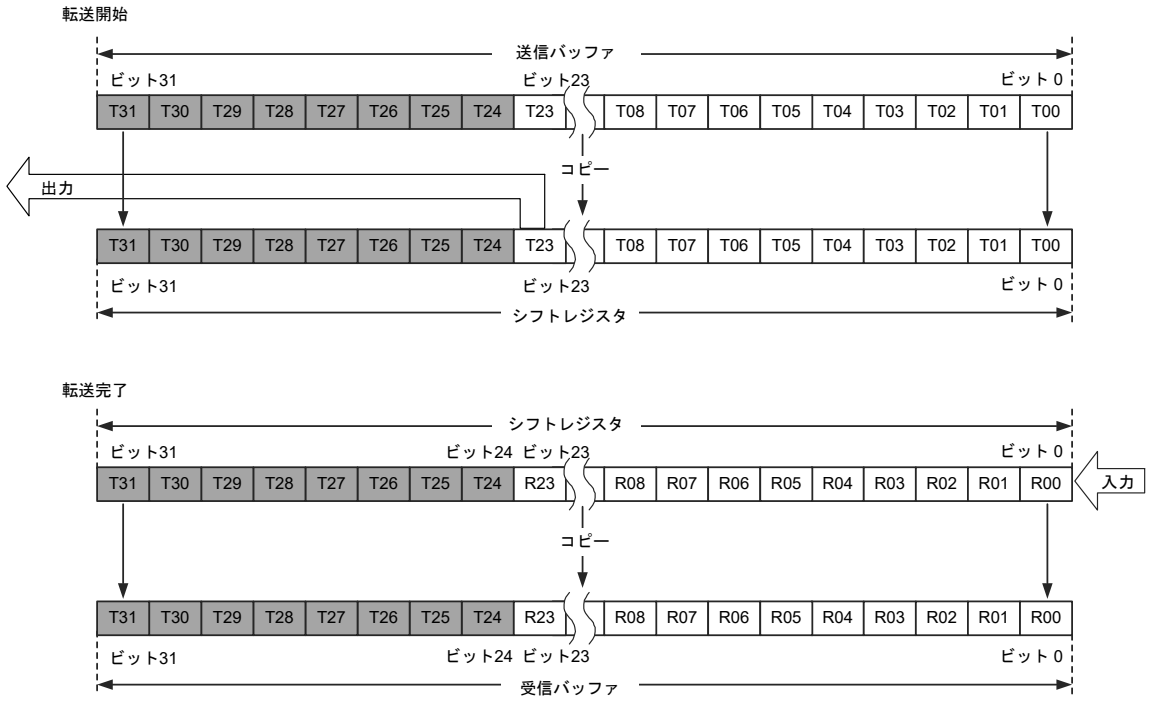
図 30.14 MSB ファースト転送（32 ビットデータ／パリティ機能無効）

(2) MSB ファースト転送（24 ビットデータ）

図 30.15 に、パリティ機能無効時に、SPI データ長が 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23～T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → ・・・T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R23～R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。送受信動作の場合、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31～T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。また、受信動作のみの場合は、受信バッファの上位 8 ビットに 0 が書き込まれます。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

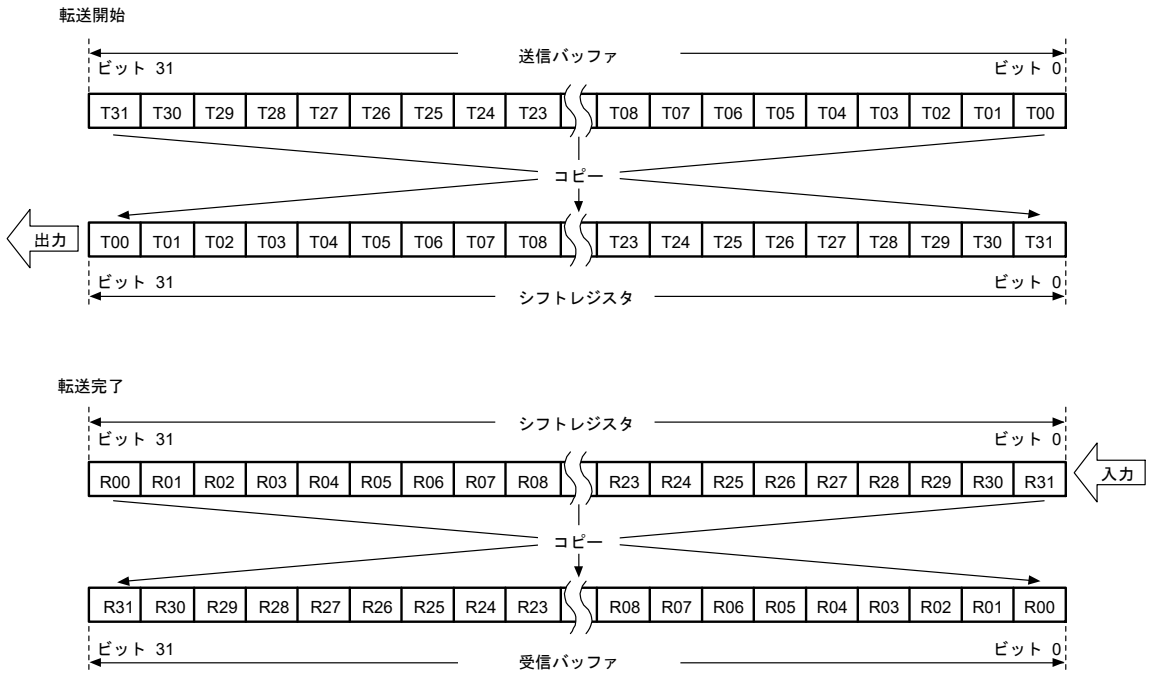
図 30.15 MSB ファースト転送（24 ビットデータ／パリティ機能無効）

(3) LSB ファースト転送（32 ビットデータ）

図 30.16 に、パリティ機能無効時に、SPI データ長が 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31～T00 をビット単位で T00～T31 の順序に並び替えて、シフトレジスタにコピーします。送信データは、T00 → T01 → ・・・T31 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～R31 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

図 30.16 LSB ファースト転送（32 ビットデータ／パリティ機能無効）

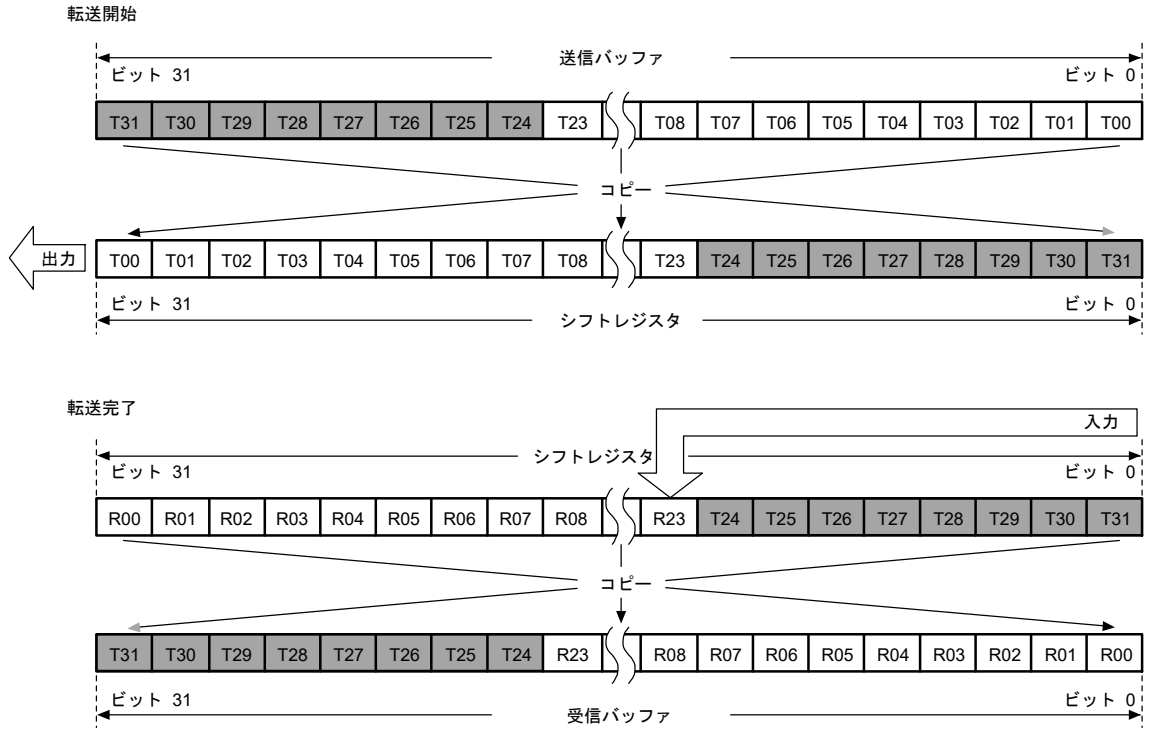
(4) LSB ファースト転送（24 ビットデータ）

図 30.17 に、パリティ機能無効時に、SPI データ長が 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット (T23～T00) をビット単位で T00～T23 の順序に並び換えて、シフトレジスタにコピーします。送信データは、T00 → T01 → ・・・T23 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～R23 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。

送受信動作の場合、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31～T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。また、受信動作のみの場合は、受信バッファの上位 8 ビットに 0 が書き込まれます。



注. 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

図 30.17 LSB ファースト転送（24 ビットデータ／パリティ機能無効）

30.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1) の動作

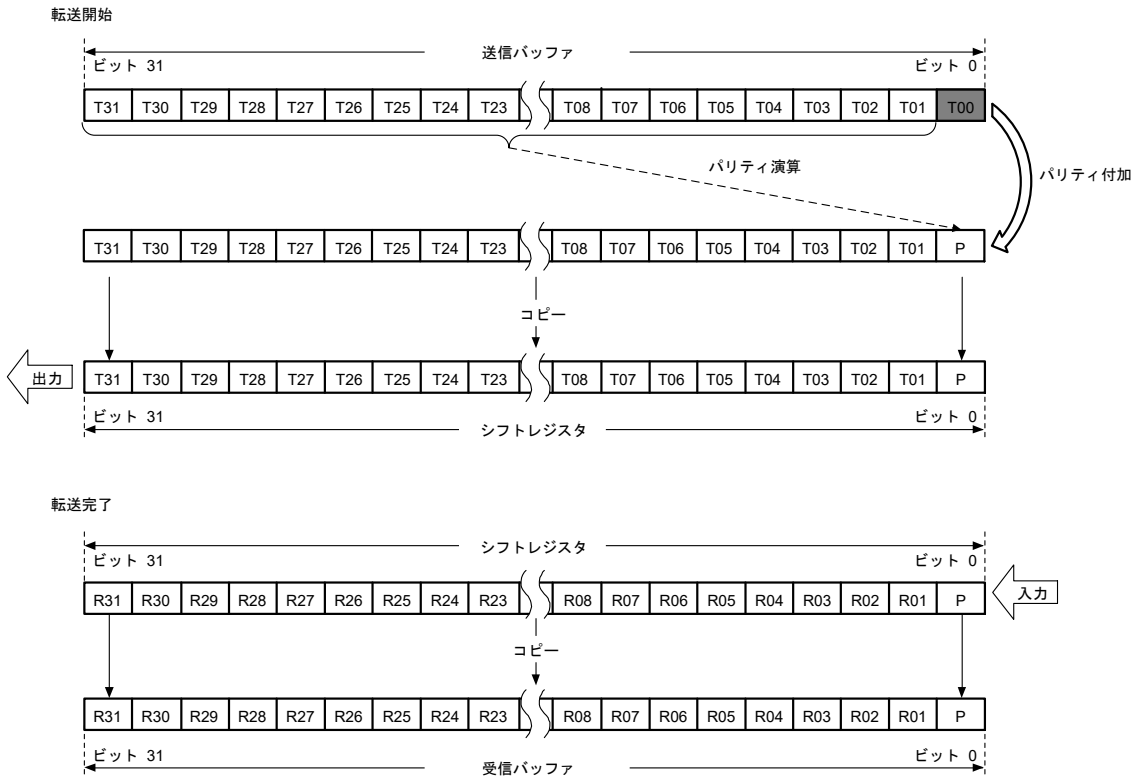
パリティ機能が有効の場合、送信データの最下位ビットはパリティビットになります。パリティビットの値は、ハードウェアが計算します。

(1) MSB ファースト転送（32 ビットデータ）

図 30.18 に、パリティ機能有効時に、SPI データ長が 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ～ T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T31 → T30 →・・・T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R31～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R31～P ビットのデータをチェックします。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

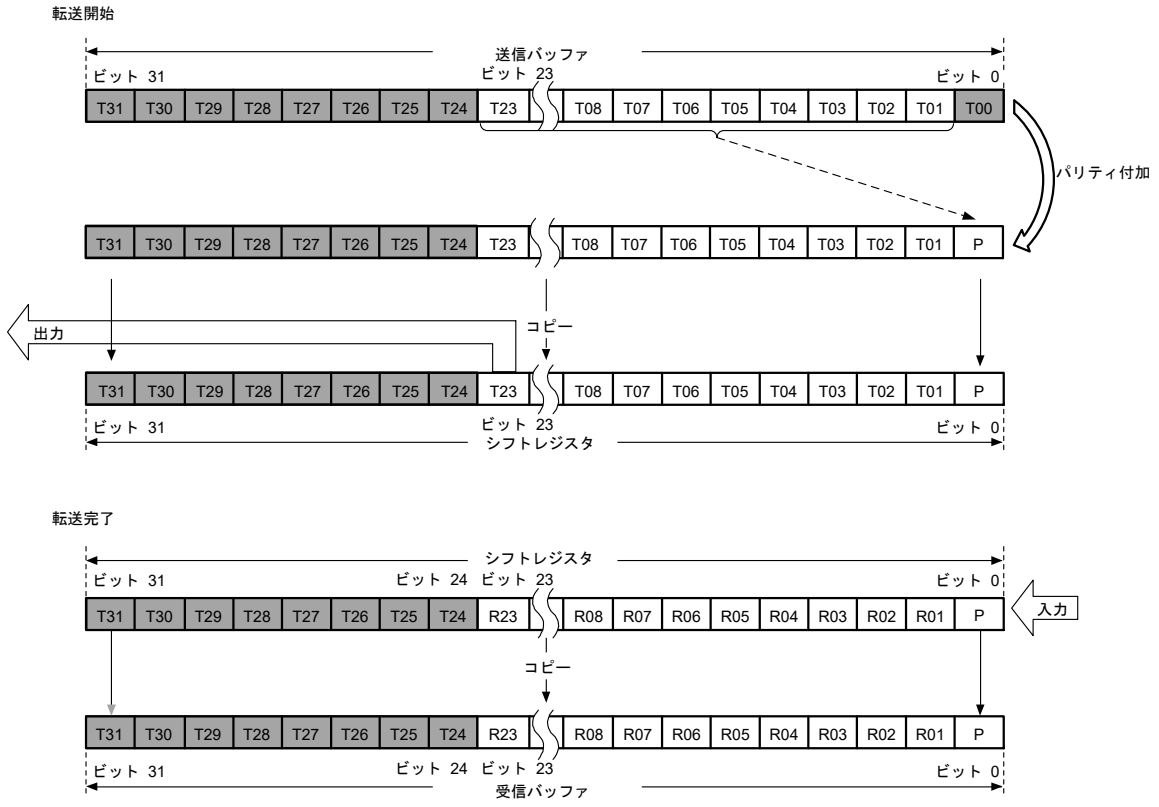
図 30.18 MSB ファースト転送（32 ビットデータ／パリティ機能有効）

(2) MSB ファースト転送（24 ビットデータ）

図 30.19 に、パリティ機能有効時に、SPI データ長が 24 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T23～T01 ビットからパリティビット (P) の値を計算し、最終ビットである T00 と置き換えて、値全体をシフトレジスタにコピーします。データは、T23 → T22 →・・・T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R23～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R23～P ビットのデータをチェックします。送受信動作の場合、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31～T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。また、受信動作のみの場合は、受信バッファの上位 8 ビットに 0 が書き込まれます。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

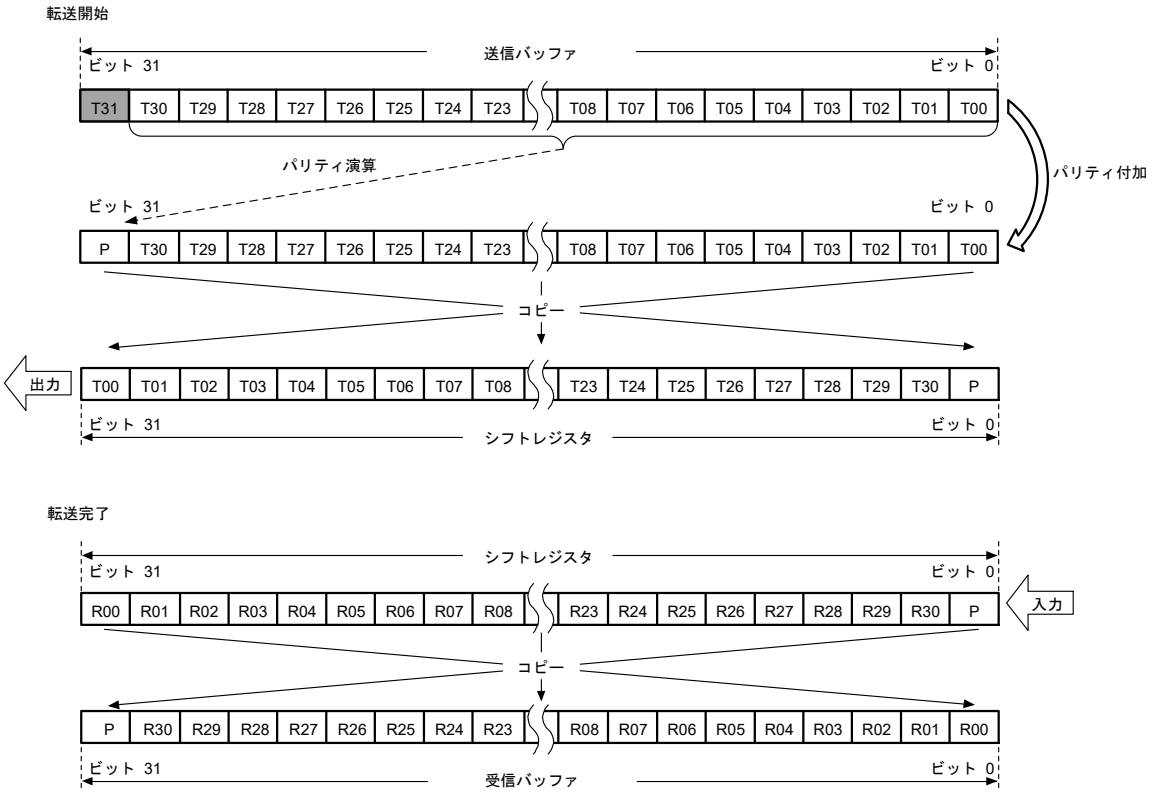
図 30.19 MSB ファースト転送（24 ビットデータ／パリティ機能有効）

(3) LSB ファースト転送（32 ビットデータ）

図 30.20 に、パリティ機能有効時に、SPI データ長が 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T30～T00 ビットからパリティビット (P) の値を計算し、最終ビットである T31 と置き換えて、値全体をシフトレジスタにコピーします。送信データは、T00 → T01 →・・・T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00～P ビットのデータをチェックします。



注.　出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

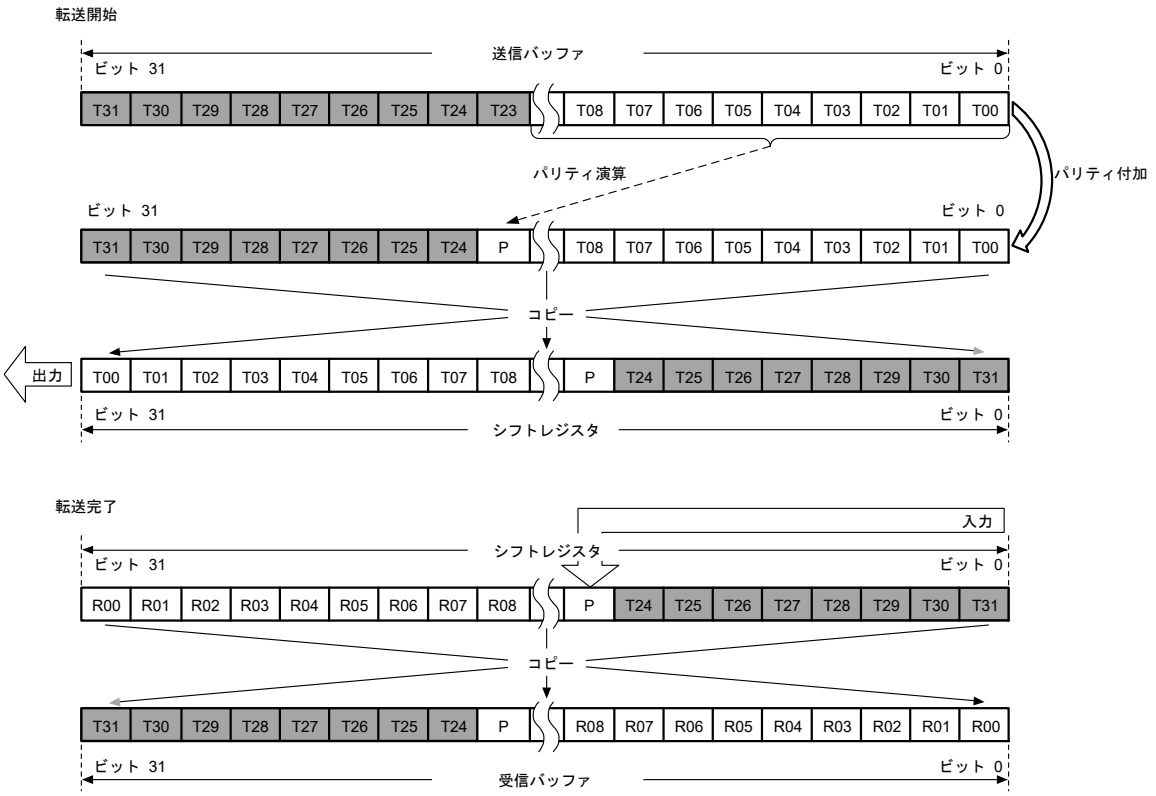
図 30.20　LSB ファースト転送（32 ビットデータ／パリティ機能有効）

(4)　LSB ファースト転送（24 ビットデータ）

図 30.21 に、パリティ機能有効時に、SPI データ長が 24 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、T22～T00 ビットからパリティビット (P) の値を計算し、最終ビットである T23 と置き換えて、値全体をシフトレジスタにコピーします。データは、T00 → T01 →・・・T22 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し、1 ビットごとに受信データをシフトします。必要数分の RSPCK 周期が入力され、R00～P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00～P ビットのデータをチェックします。送受信動作の場合、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31～T24 ビットに 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。また、受信動作のみの場合は、受信バッファの上位 8 ビットに 0 が書き込まれます。



注. 出力 = MOSI（マスタ）／MISO （スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

図 30.21 LSB ファースト転送（24 ビットデータ／パリティ機能有効）

30.3.4.3 バイトスワップ送信

(1) MSB ファースト転送（バイトスワップ無効時）

送信バッファ (Byte0 [T31～T24]～Byte3 [T07～T00]) のデータがシフトレジスタにコピーされます。

シフトレジスタのビット値が T31 → T30 → … → T00 の順に送信データとしてシフトし送信されます。

(2) MSB ファースト転送（バイトスワップ有効時）

送信バッファ (Byte0 [T31～T24]～Byte3 [T07～T00]) のバイト値がバイト単位で反転し、Byte3 [T07～T00]～Byte0 [T31～T24]の順でシフトレジスタにコピーされます。

シフトレジスタのビット値が T07 → T06 → … → T00 → T15 → T14 → … → T08 → T23 → T22 → … → T16 → T31 → T30 → … → T24 の順に送信データとしてシフトし送信されます。

(3) LSB ファースト転送（バイトスワップ無効時）

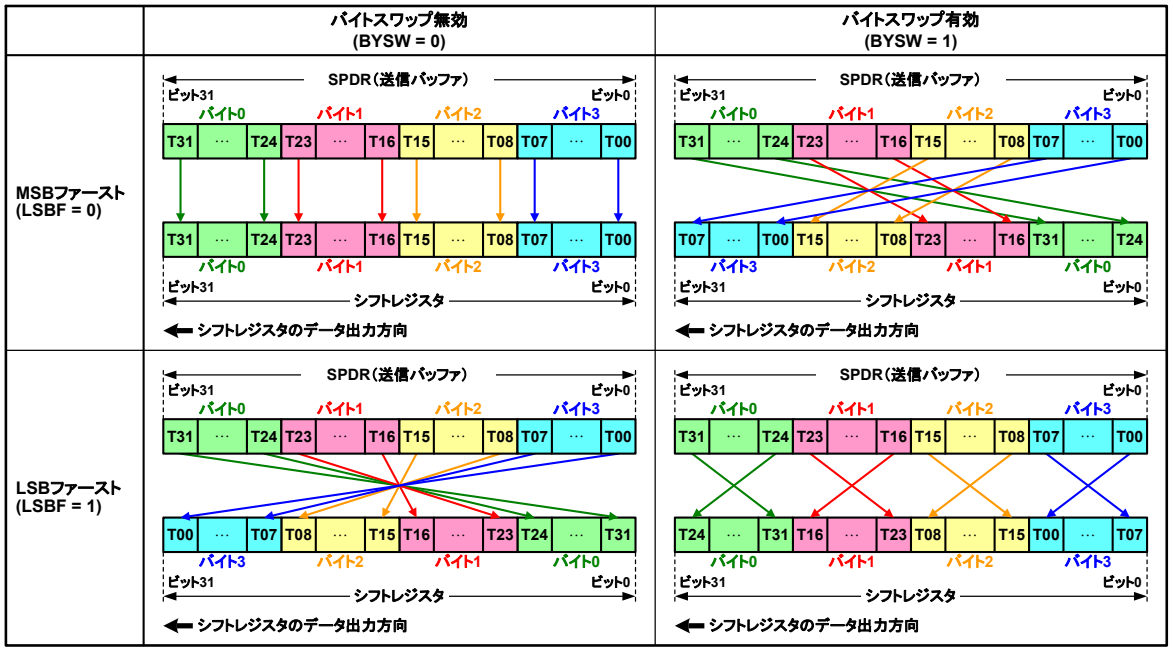
送信バッファ (Byte0 [T31～T24]～Byte3 [T07～T00]) のビット値がビット単位で反転し、Byte3 [T00～T07]～Byte0 [T24～T31]の順でシフトレジスタにコピーされます。

シフトレジスタのビット値が T00 → T01 → … → T31 の順に送信データとしてシフトし送信されます。

(4) LSB ファースト転送（バイトスワップ有効時）

送信バッファ (Byte0 [T31～T24]～Byte3 [T07～T00]) の各バイトのビット値がビット単位で反転し、Byte0 [T24～T31]～Byte3 [T00～T07]の順でシフトレジスタにコピーされます。

シフトレジスタのビット値が T24 → T25 → … → T31 → T16 → T17 → … → T23 → T08 → T09 → … → T15 → T00 → T01 → … → T07 の順に送信データとしてシフトし送信されます。



注.
1. バイトスワップを使用時、データ長（SPCMD.SPB[3:0]ビットの設定）は 16 ビットか 32 ビットとしてください。他のデータ長（8～15、20、24 ビット長）を設定した場合の動作は保証されません。
2. バイトスワップが有効の場合、パリティ機能は無効に設定してください (SPCR2.SPPE = 0)。パリティ機能を有効に設定した場合 (SPPE = 1) の動作は保証されません。
3. SPDCR2.BYSW ビットの設定は、SPCR.SPE ビットが 0 の状態で行ってください。SPE ビットが 1 の状態で BYSW ビットを書き換えた場合、その後の動作は保証されません。

図 30.22　MSB/LSB 転送でのバイトスワップ

30.3.4.4　バイトスワップ受信

(1)　MSB ファースト転送（バイトスワップ無効時）

最初の受信データ (R31) をシフトレジスタのビット 0 に格納し、受信データは R31 → R30 → … → R00 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte0 [R31～R24]～Byte3 [R07～R00]にデータがたまると、シフトレジスタの値を受信バッファにコピーします。

(2)　MSB ファースト転送（バイトスワップ有効時）

最初の受信データ (R07) をシフトレジスタのビット 0 に格納し、受信データは R07 → R06 → … → R00 → R15 → R14 → … → R08 → R23 → R22 → … → R16 → R31 → R30 → … → R24 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte3 [R07～R00]～Byte0 [R31～R24]にデータがたまると、シフトレジスタのバイト値がバイト単位で反転し、Byte0 [R31～R24]～Byte3 [R07～R00]の順で受信バッファにコピーされます。

(3)　LSB ファースト転送（バイトスワップ無効時）

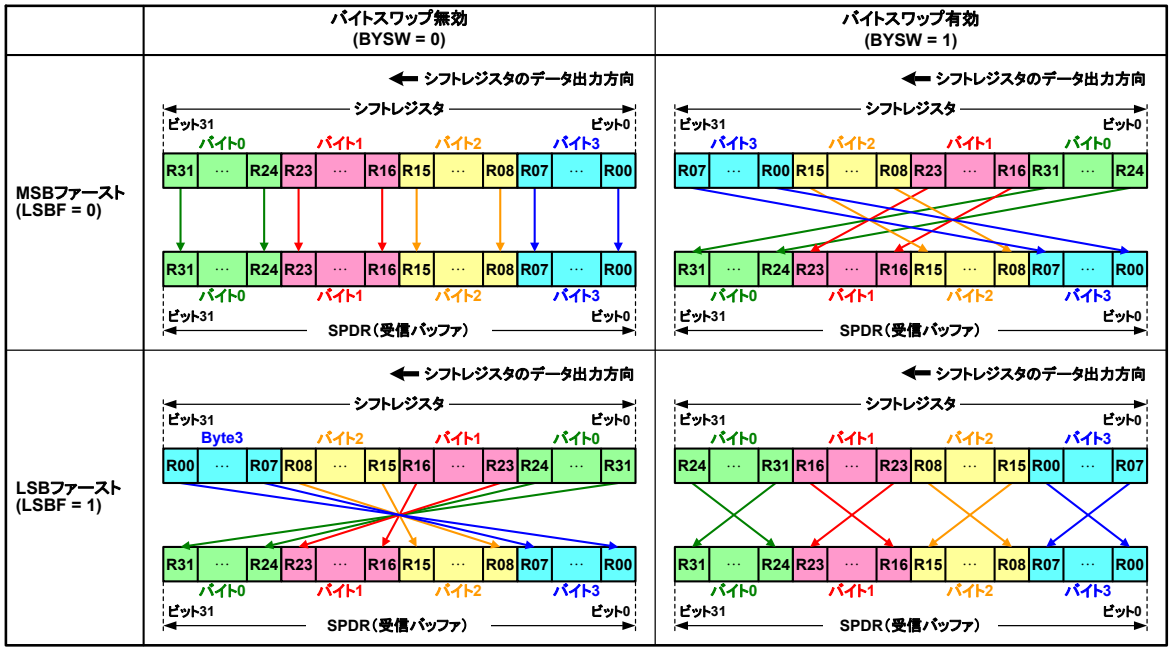
最初の受信データ (R00) をシフトレジスタのビット 0 に格納し、受信データは R00 → R01 → … → R31 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte3 [R00～R07]～Byte0 [R24～R31]にデータがたまると、シフトレジスタのビット値がビット単位で反転し、Byte0 [R31～R24]～Byte3 [R07～R00]の順で受信バッファにコピーされます。

(4)　LSB ファースト転送（バイトスワップ有効時）

最初の受信データ (R24) をシフトレジスタのビット 0 に格納し、受信データは R24 → R25 → … → R31 → R16 → R17 → … → R23 → R08 → R09 → … → R15 → R00 → R01 → … → R07 の順にシフトします。

必要数分の RSPCK 周期が入力され、Byte0 [R24～R31]～Byte3 [R00～R07]にデータがたまると、シフトレジスタの各バイトのビット値がビット単位で反転し、Byte0 [R31～R24]～Byte3 [R07～R00]の順で受信バッファにコピーされます。



注. 1. バイトスワップを使用時、データ長（SPCMD.SPB[3:0]ビットの設定）は 16 ビットか 32 ビットとしてください。他のデータ長（8～15、20、24 ビット長）を設定した場合の動作は保証されません。
2. バイトスワップが有効の場合、パリティ機能は無効に設定してください (SPCR2.SPPE = 0)。パリティ機能を有効に設定した場合 (SPPE = 1) の動作は保証されません。
3. SPDCR2.BYSW ビットの設定は、SPCR.SPE ビットが 0 の状態で行ってください。SPE ビットが 1 の状態で BYSW ビットを書き換えた場合、その後の動作は保証されません。

図 30.23 MSB/LSB 転送でのバイトスワップ

30.3.5 転送フォーマット

30.3.5.1 CPHA = 0 の場合

図 30.24 に SPCMDm.CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。SPI がスレーブモード (SPCR.MSTR = 0) で、CPHA ビットが 0 の場合、クロック同期式動作 (SPCR.SPMS = 1) は行わないでください。図 30.24 において、RSPCKn (CPOL = 0) は、 SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCKn (CPOL = 1) は、CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI の設定に依存します。詳細は、「30.3.2. SPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが 0 の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOn 信号への有効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号の変化が、最初の転送データ取り込みになります。これ以降、1RSPCKn 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOn 信号の変化タイミングは、転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間（RSPCK 遅延）を示します。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間（SSL ネゲート遅延）を示します。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制する期間（次アクセス遅延）を示します。t1、t2、t3 は、SPI システム上のマスタデバイスによって制御されます。MCU の SPI がマスタモードである場合の t1、t2、t3 については、「30.3.11.1. マスタモード動作」を参照してください。

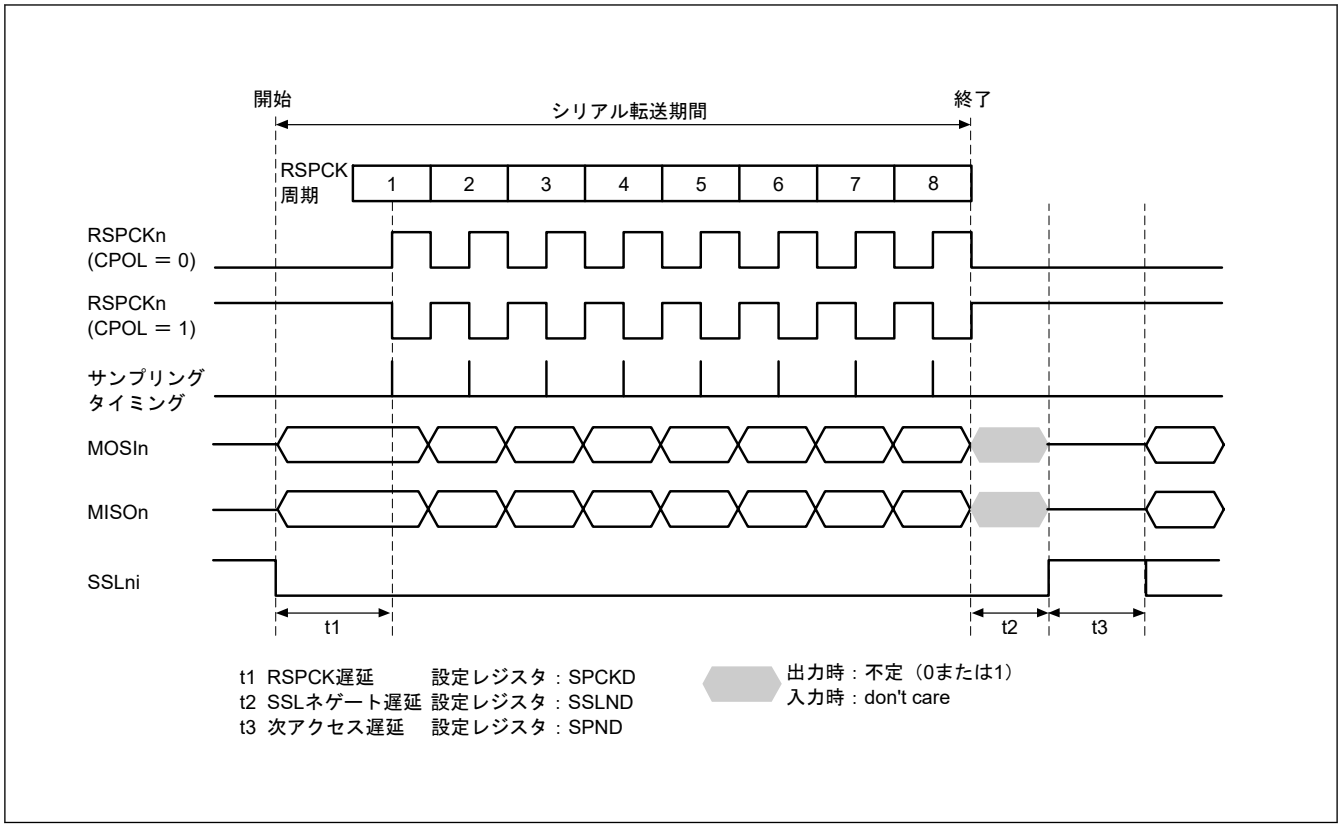


図 30.24 SPI 転送フォーマット（CPHA = 0 の場合）

30.3.5.2 CPHA = 1 の場合

図 30.25 に SPCMDm.CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが 1 の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、MISOn 信号の 3 つの信号のみで通信を行います。図 30.25 において、RSPCK (CPOL = 0) は、SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示します。また、RSPCK (CPOL = 1) は、CPOL ビットが 1 の場合の RSPCKn 信号波形を表します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、SPI のモード（マスタ／スレーブ）に依存します。詳細は、「30.3.2. SPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが 1 の場合には、SSLni 信号のアサートタイミングで、MISOn 信号への無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化で、MOSIn 信号と MISOn 信号への有効データの出力が開始され、これ以降、1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このデータ更新タイミングの 1/2RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は、RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビットが 0 の場合と同様です。MCU の SPI がマスタモードである場合の t1、t2、t3 については、「30.3.11.1. マスタモード動作」を参照してください。

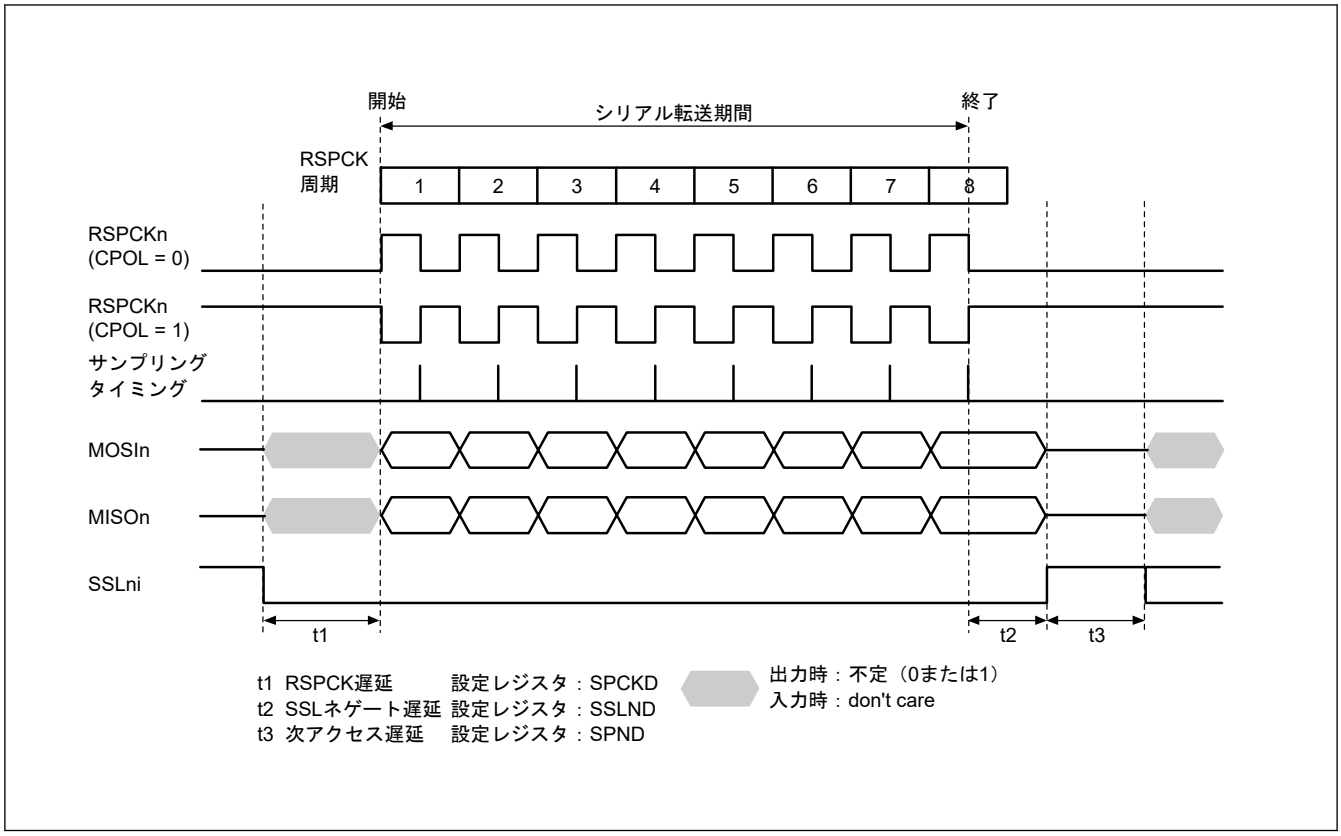


図 30.25 SPI 転送フォーマット（CPHA = 1 の場合）

30.3.6 データ転送モード

通信動作モード選択ビット (SPCR.TXMD) の設定により、全二重同期式シリアル通信または送信のみの動作が選択できます（拡張通信モード選択ビット (SPCR3.ETXMD) が 0 の場合）。SPCR3.ETXMD ビットが 1 の場合、スレーブモード (SPCR.MSTR = 0) で SPI の動作は受信専用です。これは SPCR.TXMD ビットが SPI の動作に影響を及ぼさないためです。図 30.26、図 30.27、および図 30.28 に記載したレジスタアクセスは、SPDR/SPDR_HA レジスタへのアクセスの条件を示します。W は書き込みサイクルを示します。

30.3.6.1 全二重同期式シリアル通信（SPCR3.ETXMD = 0、SPCR.TXMD = 0）

図 30.26 に、SPI コントロールレジスタ 3 (SPCR3) の拡張通信モード選択ビット (ETXMD) を 0、通信動作モード選択ビット (SPCR.TXMD) を 0 にした場合の動作例を示します。この例では、SPDCR.SPFC[1:0]ビットが 00b、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数（= 転送ビット数）を示しています。

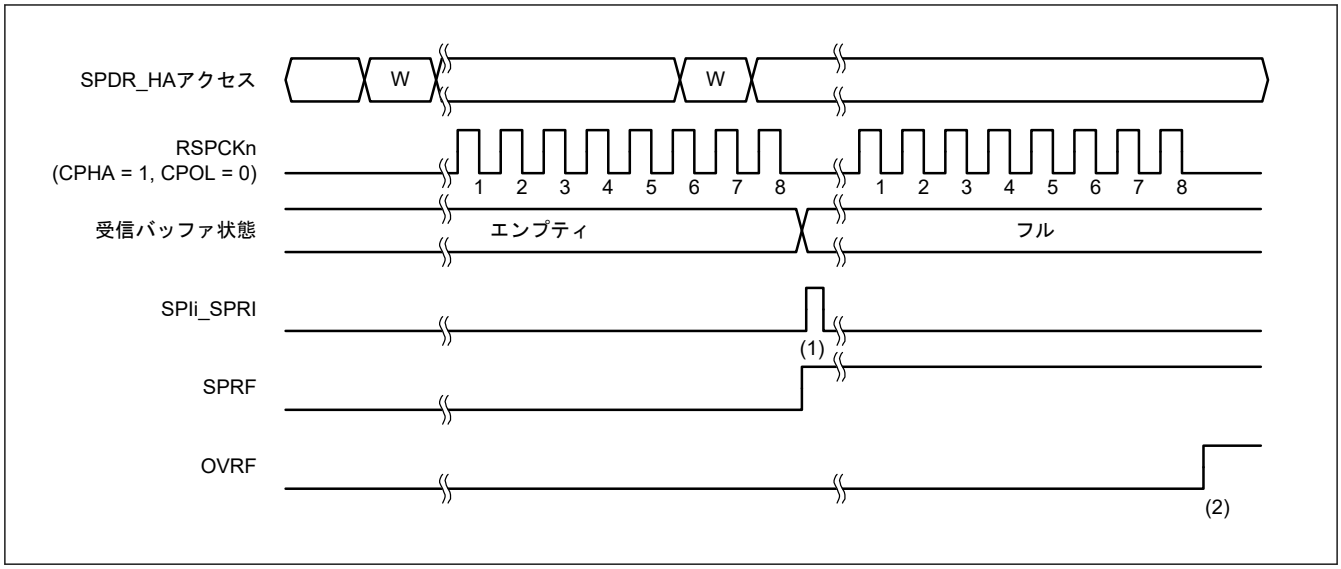


図 30.26 SPCR3.ETXMD = 0 かつ SPCR.TXMD = 0 の動作例

以下に、図 30.26 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. SPDR_HA レジスタの受信バッファが空の状態でシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPIi_SPRI) を発生させ、SPSR.SPRF フラグを 1 にして、シフトレジスタの受信データを受信バッファにコピーします。
2. SPDR_HA レジスタの受信バッファに以前のシリアル転送の受信データがある状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にして、シフトレジスタの受信データを破棄します。SPSR.OVRF フラグの詳細動作については「30.3.9.1. オーバーランエラー」をご参照ください。

30.3.6.2 送信のみのシリアル通信 (SPCR3.ETXMD = 0, SPCR.TXMD = 1)

図 30.27 に、SPI コントロールレジスタ 3 (SPCR3) の拡張通信モード選択ビット (ETXMD) を 0、通信動作モード選択ビット (SPCR.TXMD) を 1 にした場合の動作例を示します。この例では、SPDCR.SPFC[1:0]ビットが 00b、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

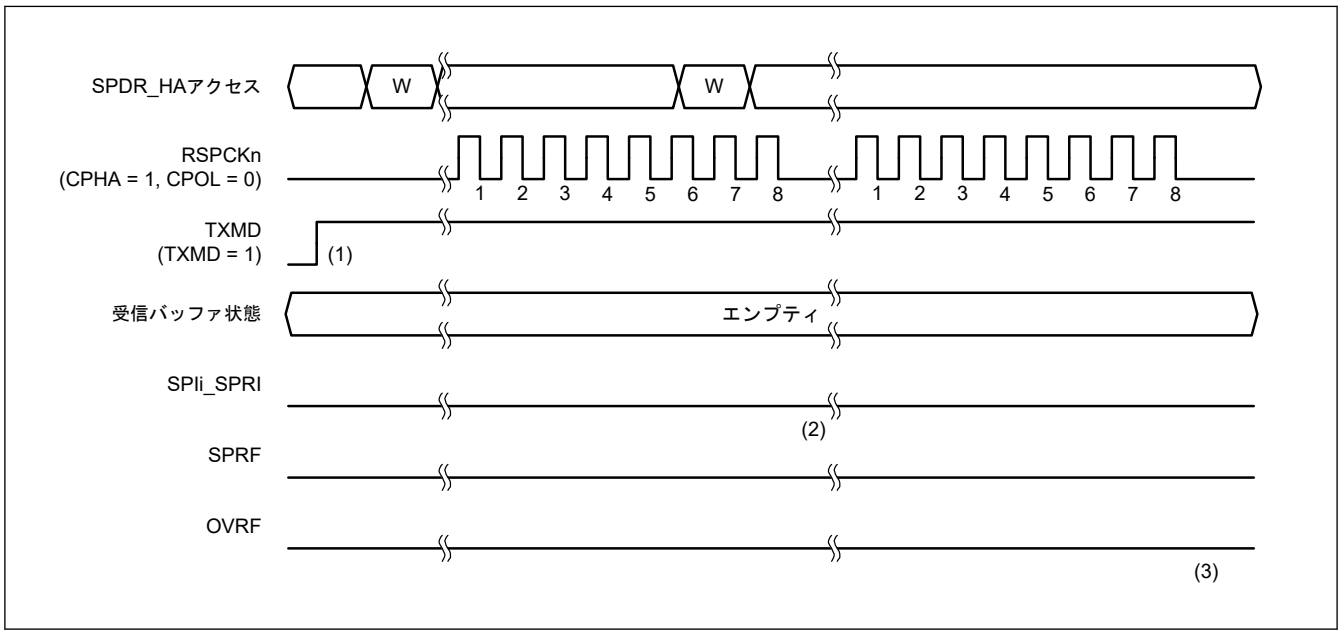


図 30.27 SPCR3.ETXMD = 0 かつ SPCR.TXMD = 1 の動作例

以下に、図 30.27 の (1)～(3) に示したタイミングでのフラグの動作内容を説明します。

1. 送信のみのシリアル通信 (SPCR3.ETXMD = 0, SPCR.TXMD = 1) へ遷移する前に、受信バッファにデータが残っていないこと（SPSR.SPRF フラグ = 0）、および SPSR.OVRF フラグが 0 であることを確認してください。
2. SPDR_HA レジスタの受信バッファが空の状態でシリアル転送が終了すると、送信のみのシリアル通信 (SPCR3.ETXMD = 0, SPCR.TXMD = 1) を選択している場合、SPSR.SPRF フラグは 0 を保持し、SPI はシフトレジスタのデータを受信バッファへコピーしません。
3. SPDR_HA レジスタの受信バッファに以前のシリアル転送の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは 0 を保持し、シフトレジスタのデータを受信バッファへコピーされません。

送信のみのシリアル通信動作 (SPCR3.ETXMD = 0, SPCR.TXMD = 1) では、SPI はデータを送信しますが、受信はしません。そのため、SPSR.SPRF フラグと SPSR.OVRF フラグは (1)～(3) のタイミングで 0 を保持します。

30.3.6.3　受信のみシリアル通信 (MSTR = 0, ETXMD = 1)

図 30.28 に、SPI コントロールレジスタ (SPCR) の SPI マスタ／スレーブモード選択ビット (MSTR) を 0 に設定し、SPI コントロールレジスタ 3 (SPCR3) の拡張通信モード選択ビット (ETXMD) を 1 に設定した場合の動作例を示します。SPI データコントロールレジスタ (SPDCR) の SPFC[1:0]ビット = 00b、SPI コマンドレジスタ (SPCMD) の CPHA ビット = 1、SPCMD の CPOL ビット = 0 の設定で、SPI が 8 ビットデータシリアル転送をする例を図 30.28 に示します。RSPCK 波形の下の番号は、RSPCK 周期の番号（転送ビットの番号）を示しています。

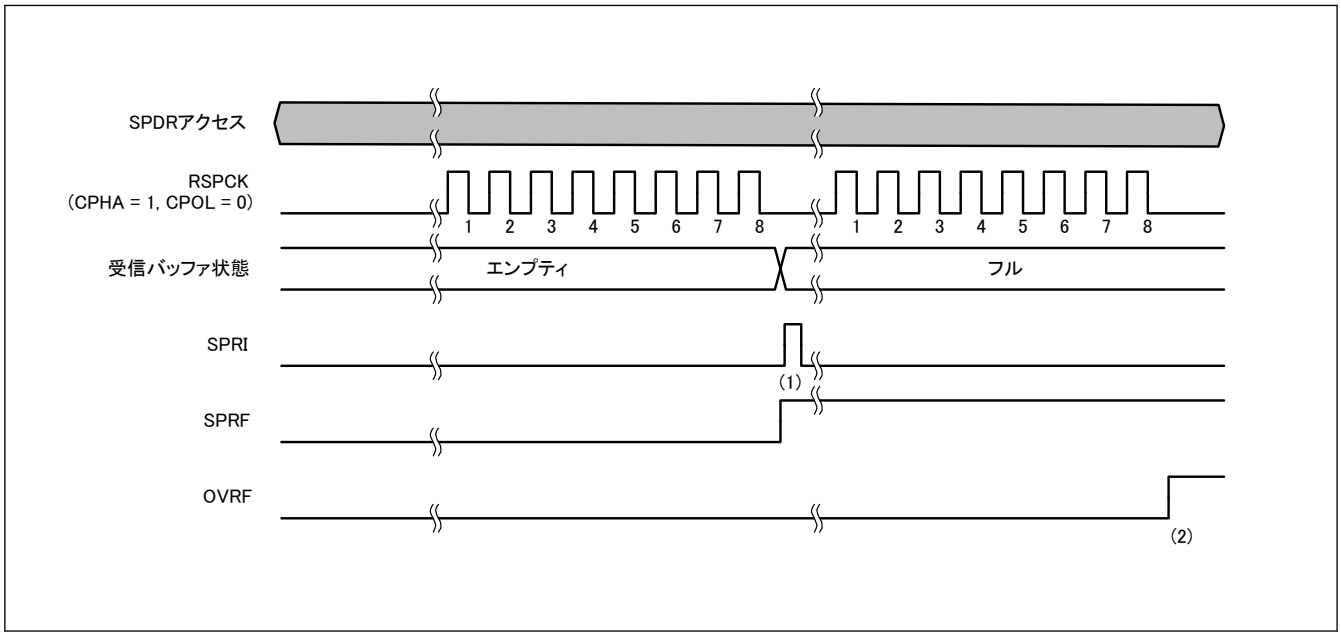


図 30.28　MSTR = 0 かつ ETXMD = 1 の場合の動作例

上図のタイミング (1) と (2) における動作を以下に説明します。

(1) SPDR レジスタの受信バッファが空の状態でシリアル転送が終了すると、SPI は受信バッファフル割り込み要求 (SPRI) を発生して（SPSR.SPRF フラグを 1 にする）、シフトレジスタの受信データを受信バッファにコピーします。

(2) SPDR レジスタの受信バッファに以前の受信データが残っている状態でシリアル転送が終了すると、SPI は SPI ステータスレジスタ (SPSR) の OVRF フラグを 1 にしてシフトレジスタの受信データを破棄します。

30.3.7　送信バッファエンプティ／受信バッファフル割り込み

図 30.29 および図 30.30 に、送信バッファエンプティ割り込み (SPIi_SPTI) と受信バッファフル割り込み (SPIi_SPRI) の動作例を示します。図 38.26 および図 38.27 に記載した SPDR レジスタアクセスは、SPDR_HA レジスタへのアクセス状況を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。図 30.29 では、SPCR.TXMD ビットが 0、SPDCR.SPFC[1:0]ビットが 00b、SPCMDm.CPHA ビットが 0、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。図 30.30 では、SPCR.TXMD ビットが 0、SPDCR.SPFC[1:0]ビットが 00b、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数（= 転送ビット数）を示しています。

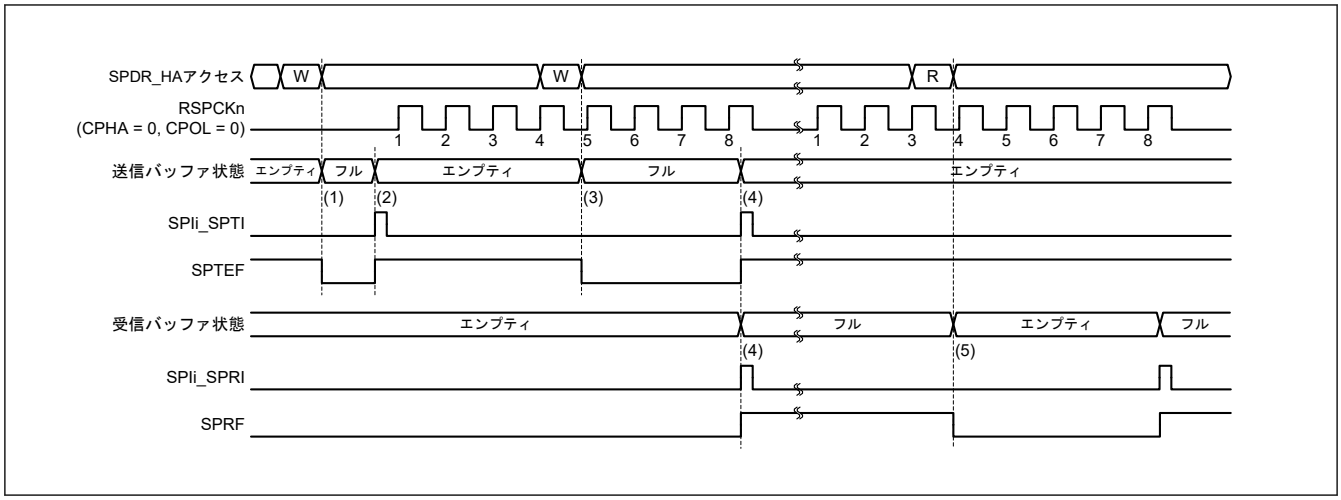


図 30.29　SPIi_SPTI、SPIi_SPRI 割り込みの動作例（CPHA = 0、CPOL = 0）

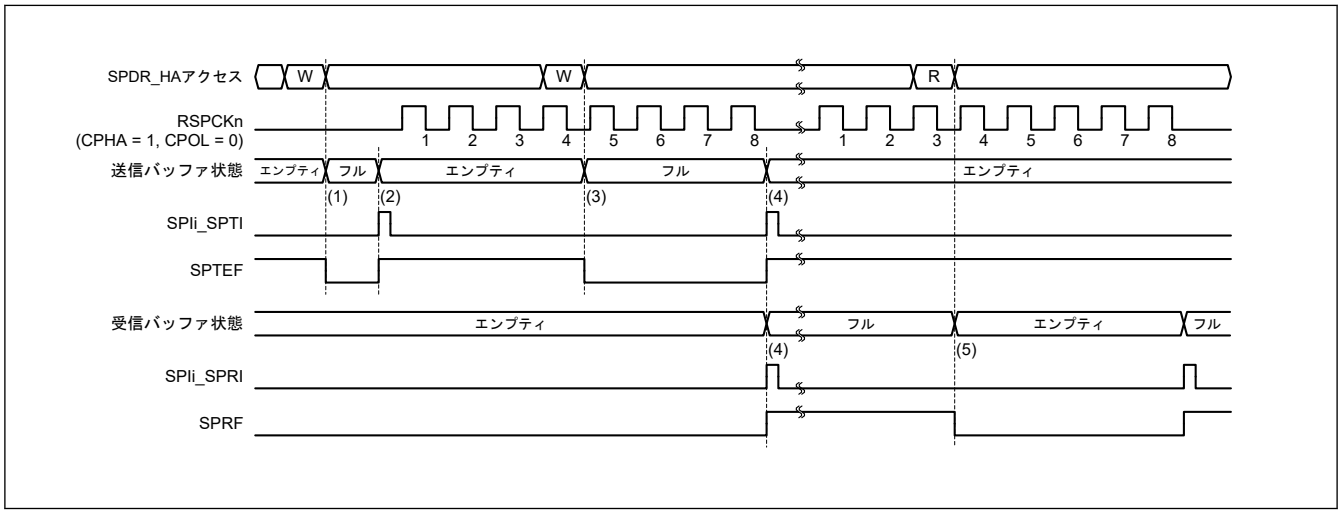


図 30.30　SPIi_SPTI、SPIi_SPRI 割り込みの動作例（CPHA = 1、CPOL = 0）

以下に、図 30.29 および図 30.30 の (1)～(5) での SPI の動作内容を説明します。

1. SPDR_HA レジスタの送信バッファが空の（次転送のデータがセットされていない）状態で、SPDR_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを 0 にクリアします。
2. シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPIi_SPTI) を発生させ、SPSR.SPTEF フラグを 1 にします。なお、シリアル転送の開始方法は、SPI のモードに依存します。詳細は、「30.3. 動作説明」および「30.3.12. クロック同期式動作」を参照してください。
3. 送信バッファエンプティ割り込みルーチン、または SPSR.SPTEF フラグによる送信バッファエンプティの処理で SPDR_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを 0 にクリアします。シフトレジスタにはシリアル転送中のデータが格納されているため、SPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR_HA レジスタの受信バッファが空の状態でシリアル転送が終了すると、SPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPIi_SPRI) を発生させ、SPSR.SPRF フラグを 1 にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、SPI が SPSR.SPTEF フラグを 1 にし、送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタが空であると判断し、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
5. 受信バッファフル割り込みルーチン、または SPSR.SPRF フラグによる受信バッファフルの処理で SPDR_HA レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある状態 (SPSR.SPTEF = 0) で、SPDR_HA レジスタへ書き込みが行われた場合には、SPI は送信バッファのデータを更新しません。SPDR_HA レジスタへ書き込む場合は、送信バッファエンプティ割り込み要求を使用するか、または SPSR.SPTEF フラグによる送信バッファエンプティ割り込みの処理で行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR.SPTIE ビットを 1 にしてください。SPI 機能が無効 (SPCR.SPE = 0) の場合には、SPCR.SPTIE ビットを 0 にしてください。

受信バッファフルの状態 (SPSR.SPRF = 1) で、シリアル転送が終了した場合には、SPI はシフトレジスタから受信バッファへデータをコピーせず、オーバーランエラーを検出します（「30.3.9. エラー検出」を参照してください）。受信データのオーバーランエラーを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また、SPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを 1 にしてください。

送信／受信バッファの状態は、送信／受信割り込み、または関連する ICU の IELSRn.IR フラグ（n は割り込みベクタ番号）によって確認することができます。

同様に、SPSR.SPTEF および SPSR.SPRF フラグによっても、送信／受信バッファの状態を確認できます。割り込みベクタ番号については、「12. 割り込みコントローラユニット (ICU)」を参照してください。

30.3.8 通信終了割り込み

30.3.8.1 マスタモードでの送受信／送信

送受信マスタモードや送信マスタモードにおいて以下の条件を満たす場合、通信終了割り込み (SPIi_SPCEND) が発生し、CENDF フラグを 1 に設定します。CENDF フラグの設定タイミングは、IDLNF フラグと同じです。通信終了割り込み (SPIi_SPCEND) は、1 PCLKA 幅、アクティブ Low です。

- SPSSR.SPCP[2:0]ビットの値が、SPSCR.SPSLN[2:0]ビットの値と同じとき
- 次の送信データが存在しないとき

CENDF フラグが 1 になった後 SPCR.SPE ビットがクリアされても CENDF フラグはクリアされません。CENDF フラグは下記条件のいずれかの場合にクリアされます。

- 次の送信データが送信バッファ (SPTX) に書き込まれたとき
- CENDF フラグが 1 のとき SPSR レジスタを読み出し後に CENDF フラグに 0 が書き込まれたとき

図 30.31 に、送受信／送信マスタモードでの通信終了割り込み動作例を示します。

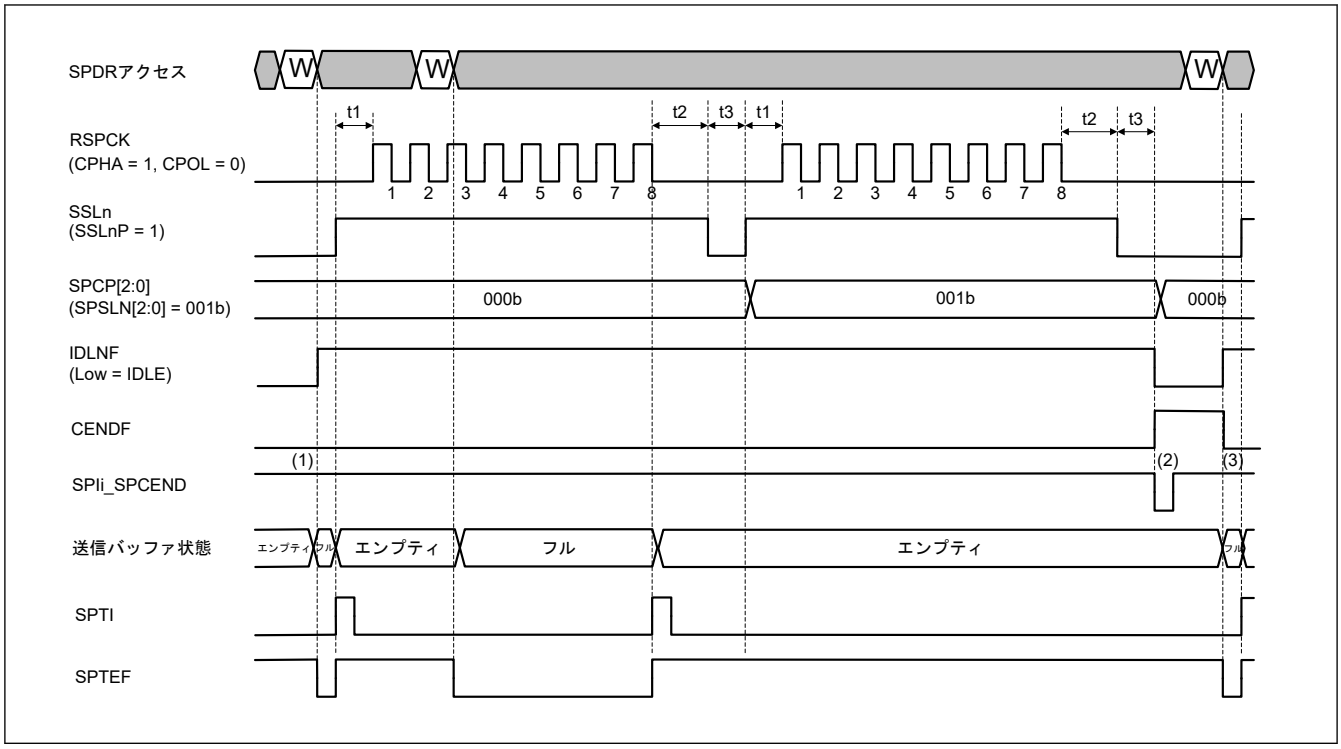


図 30.31　通信終了割り込み動作例（送受信／送信マスタモード）

1. 通信開始前は CNEDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中に維持されます。
2. 次のコマンドが 000b であり、次の送信データがないため、t3 期間の終わりで CENDF フラグは 1（通信終了）になり、CENDIE ビットが 1 になると SPIi_SPCEND 割り込みが出力されます。
3. 次の送信データが送信バッファ (SPTX) に書かれると、CENDF フラグがクリアされます。または CENDF フラグが 1 のとき SPCR レジスタを読み出し後に CENDF フラグに 0 が書き込まれると、CENDF フラグはクリアされます。

スレーブモード動作において、通信終了割り込みの出力タイミングは SPCR.SPMS ビット（SPI モード選択ビット）の値によって異なり、通信終了割り込みのクリアタイミングは通信モード（送受信、送信のみ、または受信のみ）によって異なります。

30.3.8.2　SPI 動作（4 線式）時のスレーブモードでの送受信／送信

SPI 動作（4 線式）時の送受信／送信スレーブモードにおいて、SPTX バッファと送信シフトバッファの両方がエンプティのとき、通信終了割り込み (SPIi_SPCEND) が発生し、CENDF フラグが 1 に設定されます。CENDF フラグの設定タイミングは、SSL0 ネゲートタイミングと同じです。通信終了割り込み (SPIi_SPCEND) は、1 PCLKA 幅、Low アクティブです。

CENDF フラグが 1 になった後に SPCR.SPE ビットがクリアされても、CENDF フラグはクリアされません。
CENDF フラグは以下の 2 条件のいずれかの場合にクリアされます。

- 次の送信データが送信バッファ (SPTX) に書かれたとき
- CENDF フラグが 1 のとき SPSR レジスタ読み出し後 CENDF フラグに 0 が書き込まれたとき

図 30.32 に、SPI 動作時の送受信／送信スレーブモードでの通信終了割り込み動作例を示します。

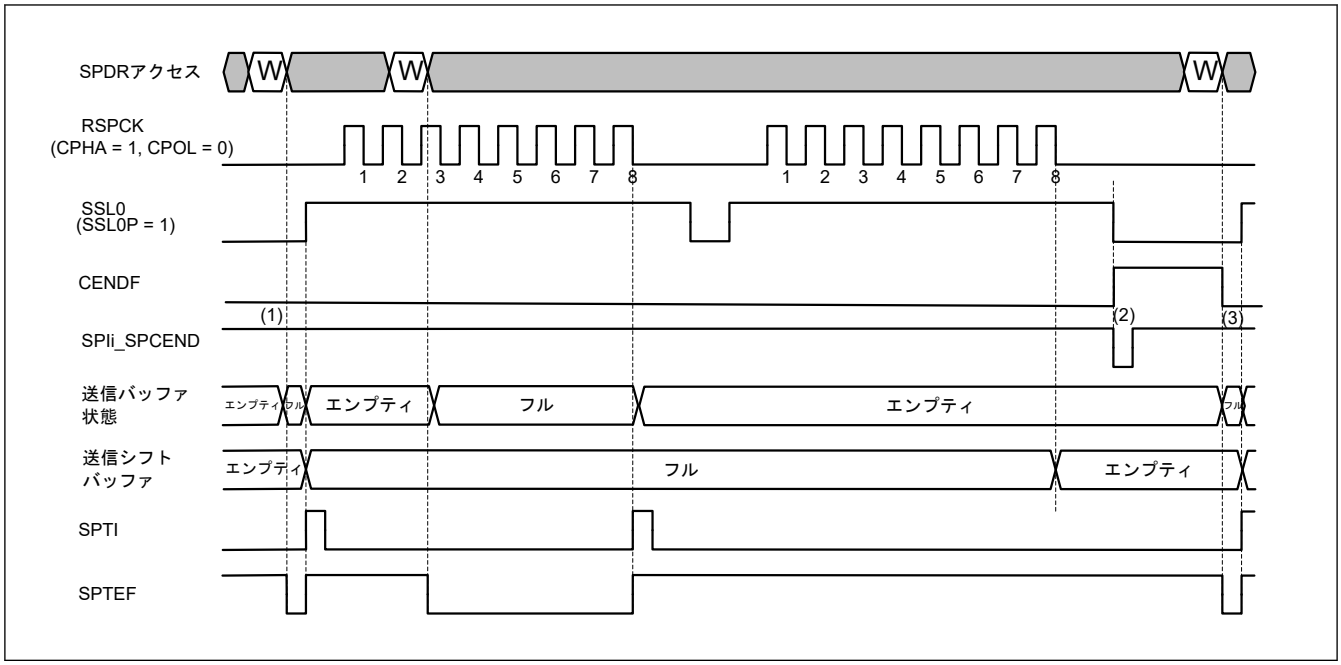


図 30.32　通信終了割り込み動作例（SPI 動作時の送受信／送信スレーブモード）

1. 通信開始前は CNEDF フラグは 0、SPIi_SPCEND のレベルは 1 です。通信期間中に維持されます。
2. SPTX バッファと送信シフトバッファの両方がエンプティの場合、SSL0 ネゲートのタイミングで CENDF フラグは 1（通信終了）になり、CENDIE ビットが 1 になると SPIi_SPCEND 割り込みが出力されます。
3. 次の送信データが送信バッファ (SPTX) に書かれると、CENDF フラグがクリアされます。あるいは CENDF フラグが 1 のとき、SPCR レジスタを読み出し後に CENDF フラグに 0 が書き込まれると、CENDF フラグはクリアされます。

30.3.8.3　SPI 動作（4 線式）時のスレーブモードでの受信専用

SPI 動作（4 線式）時の受信専用スレーブモードにおいて、SSL0 ネゲートのタイミングで通信終了割り込み (SPIi_SPCEND) が発生し、CENDF フラグが 1 に設定されます。送信フレーム数は、SPDCR.SPFC[1:0]ビットで設定します。それから最後のフレームの送信終了時に SSL0 をネゲートします。通信終了割り込み (SPIi_SPCEND) は、1 PCLKA 幅、アクティブ Low です。

CENDF フラグが 1 になった後に SPCR.SPE ビットがクリアされても CENDF フラグはクリアされません。CENDF フラグは下記条件のいずれかの場合にクリアされます。

- 次送信の SSL0 アサートタイミング
- CENDF フラグが 1 のとき SPSR レジスタを読み出し後に CENDF フラグに 0 が書き込まれたとき

図 30.33 に、SPI 動作（4 線式）時の受信専用スレーブモードでの通信終了割り込み動作例を示します。

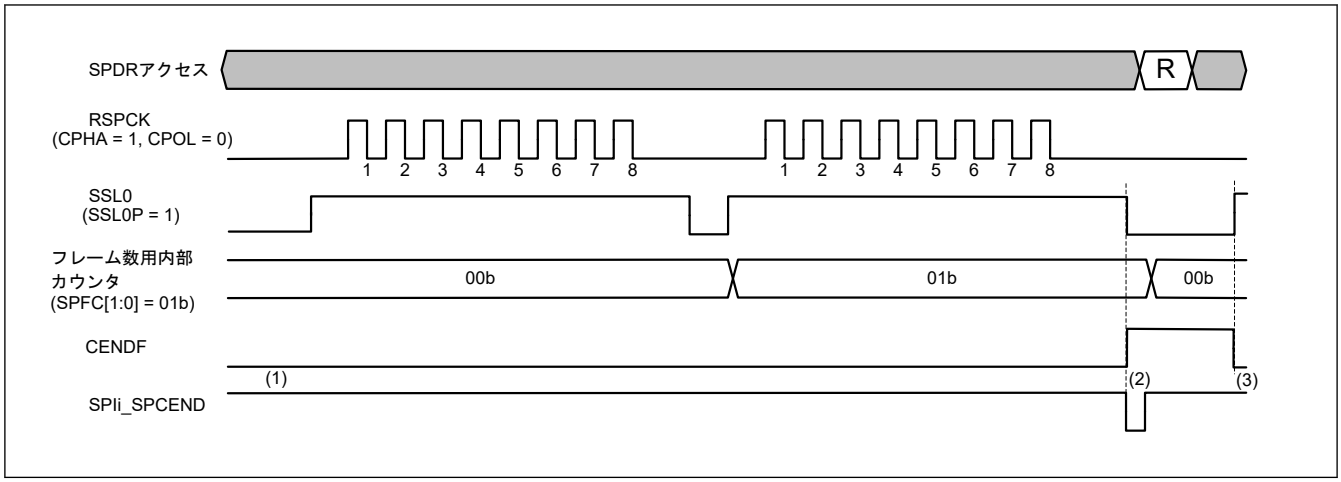


図 30.33　通信終了割り込み動作例（SPI 動作時の受信専用スレーブモード）

1. 通信開始前は CNEDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 最後のフレームの送信終了時、SSL0 ネゲートのタイミングで CENDF フラグは 1（通信終了）になり、CENDIE ビットが 1 になると SPIi_SPCEND 割り込みが出力されます。
3. 次の送信がスタートしたとき、SSL0 アサート時に CENDF フラグがクリアされます。または CENDF フラグが 1 のとき SPCR レジスタを読み出し後に CENDF フラグに 0 が書き込まれると、CENDF フラグはクリアされます。

30.3.8.4　クロック同期式動作（3 線式）時のスレーブモードでの送受信／送信

クロック同期式動作（3 線式）時送受信／送信スレーブモードで SPTX バッファと送信シフトレジスタの両方が空の場合、通信終了割り込み (SPIi_SPCEND) が行われ、CENDF フラグが 1 になります。CENDF フラグの設定タイミングは、RSPCK の最終データサンプリングと同じ（SPCMD0.CPHA ビットが 0 のとき RSPCK の最終奇数エッジ、SPCMD0.CPHA ビットが 1 のとき RSPCK の最終偶数エッジ）です。通信終了割り込み (SPIi_SPCEND) は、1 PCLKA 幅、アクティブ Low です。

CENDF フラグが 1 になった後 SPCR.SPE ビットがクリアされても CENDF フラグはクリアされません。CENDF フラグは下記条件のいずれかの場合にクリアされます。

- 次送信の SSL0 アサートタイミング
- CENDF フラグが 1 のとき SPSR レジスタを読み出し後に CENDF フラグに 0 が書き込まれたとき

図 30.34 に、クロック同期式動作（3 線式）時の送受信／送信スレーブモードでの通信終了割り込み動作例を示します。

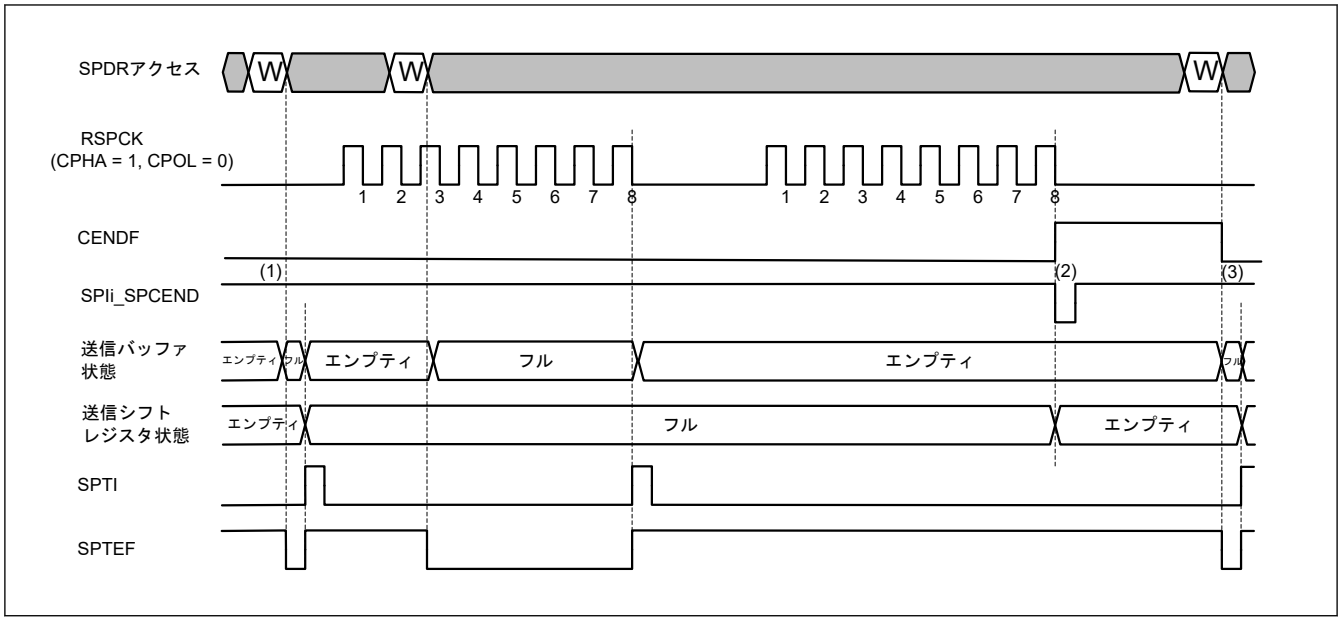


図 30.34　通信終了割り込み動作例（クロック同期式動作時の送受信／送信スレーブモード）

1. 通信開始前は CNEDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中に維持されます。
2. SPTX バッファと送信シフトバッファの両方が空の場合、RSPCK の最終データサンプリングタイミングで CENDF フラグは 1（通信終了）になり、CENDIE ビットが 1 になると SPIi_SPCEND 割り込みが出力されます。
3. 次の送信データが送信バッファ (SPTX) に書かれると、CENDF フラグがクリアされます。または CENDF フラグが 1 のとき SPCR レジスタを読み出し後に CENDF フラグに 0 が書き込まれると、CENDF フラグはクリアされます。

30.3.8.5　クロック同期式動作（3 線式）時のスレーブモードでの受信専用

クロック同期式動作（3 線式）時の受信専用スレーブモードにおいて、最終送信フレームの最終データサンプリングで通信終了割り込み (SPIi_SPCEND) が発生し、CENDF フラグが 1 に設定されます。サンプリングタイミングは、SPCMD0.CPHA ビットが 0 のとき RSPCK の最終奇数エッジ、SPCMD0.CPHA ビットが 1 のとき RSPCK の最終偶数エッジです。送信フレーム数は、SPDCR.SPFC[1:0]ビットで設定します。通信終了割り込み (SPIi_SPCEND) は、1 PCLKA 幅、アクティブ Low です。

CENDF フラグが 1 になった後に SPCR.SPE ビットがクリアされても CENDF フラグはクリアされません。CENDF フラグは下記 2 条件のいずれかの場合にクリアされます。

- 次の送信の RSPCK の最初のエッジ
- CENDF フラグが 1 のとき SPSR レジスタを読み出し後に CENDF フラグに 0 が書き込まれたとき

図 30.35 に、クロック同期動作時の受信専用スレーブモードでの通信終了割り込み動作例を示します。

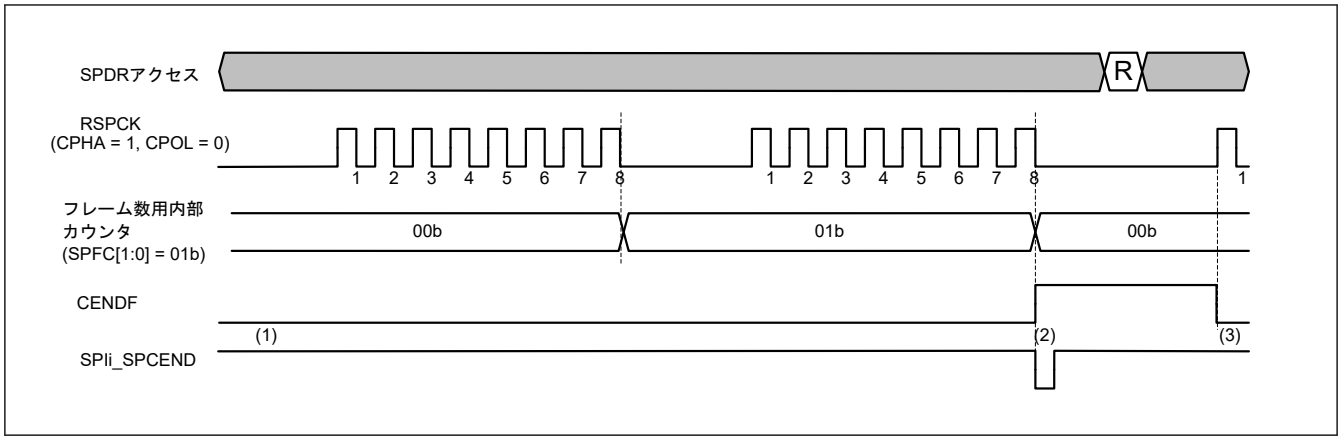


図 30.35　通信終了割り込み動作例（クロック同期式動作時の受信のみスレーブモード）

1. 通信開始前は CNEDF フラグは 0、SPIi_SPCEND のレベルは 1 です。これらは通信期間中維持されます。
2. 最終フレーム送信終了時に、RSPCK の最終データサンプリングのタイミングで CENDF フラグが 1（通信終了）になります。送信フレーム数は、SPDCR.SPFC[1:0]ビットで設定し、CENDIE ビットが 1 の場合に SPIi_SPCEND 割り込みが出力されます。
3. 次の送信の RSPCK の最初のエッジで、CENDF フラグがクリアされます。または CENDF フラグが 1 のとき SPCR レジスタを読み出し後に CENDF フラグに 0 が書き込まれると、CENDF フラグはクリアされます。

30.3.8.6　共通動作

この章では、「30.3.8.1. マスタモードでの送受信／送信」～「30.3.8.5. クロック同期式動作（3 線式）時のスレーブモードでの受信専用」に記載の各モード／領域オプション通信に共通する動作について説明します。通信完了時 SPI 通信終了割り込みイネーブルビット (CENDIE) が 0 の場合、通信終了フラグ (CENDF) がセットされ、通信終了のイベント (sp_elccend) が出力されますが、割り込みは出力されません。しかし、SPI 機能許可 (SPE) が 1 のときに通信終了フラグ (CENDF) がクリアされる前に通信終了割り込み許可 (CENDIE) が 1 になると、通信終了割り込みが出力されます。

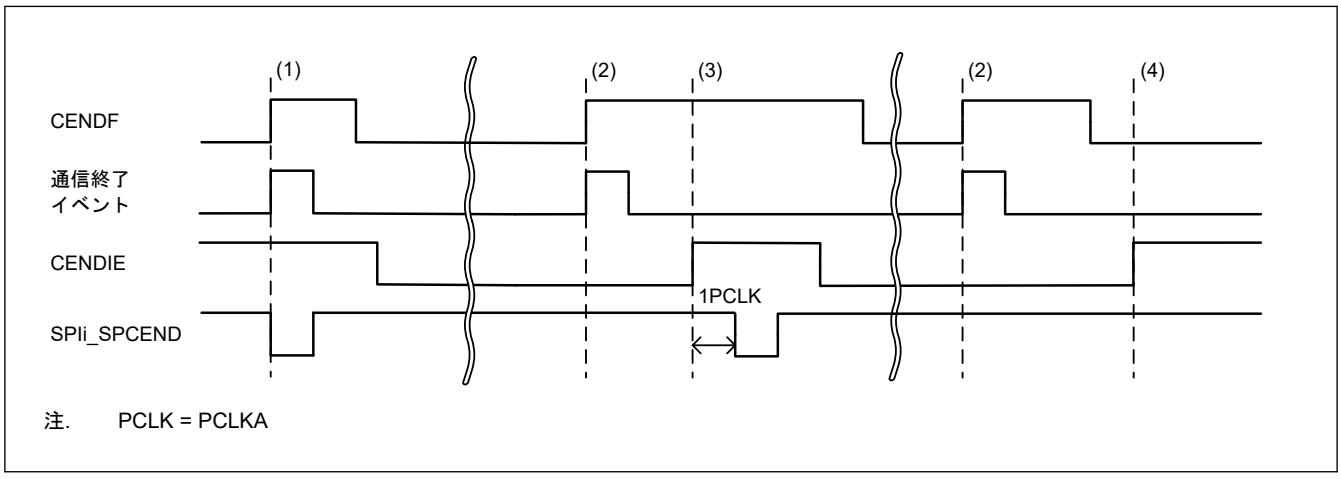


図 30.36　通信終了割り込みの動作例（許可制御）

1. 通信完了時 SPI 通信終了割り込み許可ビット (CENDIE) が 1 の場合、下記は同じタイミングになります。
   - 通信終了フラグ (CENDF)
   - 通信終了イベント (sp_elccend)
   - 通信終了割り込み
2. 通信完了時 SPI 通信終了割り込み許可ビット (CENDIE) が 0 の場合、下記は同じタイミングになりますが、割り込みは発生しません。
   - 通信終了フラグ (CENDF)
   - 通信終了イベント (sp_elccend)

3. (2) の後、SPI 機能有効ビット (SPE) および通信終了フラグ (CENDF) が 1 のとき、通信終了割り込み許可ビット (CENDIE) がセットされると、1 PCLKA 後に通信終了割り込みが出力されます。
4. (2) の後、SPI 機能有効ビット (SPE) または通信終了フラグ (CENDF) が 0 のときは通信終了割り込み許可ビット (CENDIE) がセットされても、通信終了割り込みは出力されません。

30.3.9 エラー検出

通常の SPI シリアル転送では、SPDR/SPDR_HA レジスタの送信バッファに書き込まれたデータは送信され、受信データは SPDR/SPDR_HA レジスタの受信バッファから読み出し可能です。SPDR/SPDR_HA レジスタへアクセスする場合、送信または受信バッファの状態、またはシリアル転送の始めと終わりの SPI の状態によっては異常な転送が起こることがあります。

通常以外の転送が発生した場合には、SPI はアンダーランエラー、オーバーランエラー、パリティエラー、またはモードフォルトエラーとして検出します。 表 30.10 に、通常以外の転送動作と SPI のエラー検出機能の関係を示します。

表 30.10 通常以外の転送動作と SPI のエラー検出機能の関係

動作	発生条件	SPI 動作	エラー検出
1	送信バッファがフルのとき、SPDR/SPDR_HA に書き込み	• 送信バッファ内容を保持 • 書き込みデータ欠落	なし
2	受信バッファがエンプティのとき、SPDR/SPDR_HA を読み出し	受信バッファ内容および受信済みデータを出力	なし
3	SPI がデータ送信不能のときに、スレーブモードでシリアル転送が開始	• シリアル転送を中断 • 送受信データ欠落 • MISOn 端子の出力信号のドライブ停止 • SPI 機能は無効	アンダーランエラー
4	受信バッファがフルのとき、シリアル転送が終了	• 受信バッファの内容を保持 • 受信データ欠落	オーバーランエラー
5	以下のモードで、全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信 • 送受信マスタモード • 送受信スレーブモード • 受信専用スレーブモード	パリティエラーフラグのアサート	パリティエラー
6	マルチマスタモードでシリアル転送アイドル時に SSLn0 端子の入力信号をアサート	• RSPCKn、MOSIn、SSLn1～SSLn3 端子の出力信号のドライブ停止 • SPI 機能は無効	モードフォルトエラー
7	マルチマスタモードでシリアル転送中に SSLn0 端子の入力信号をアサート	• シリアル転送を中断 • 送受信データ欠落 • RSPCKn、MOSIn、SSLn1～SSLn3 端子の出力信号のドライブ停止 • SPI 機能は無効	モードフォルトエラー
8	スレーブモードでシリアル転送中に SSLn0 端子の入力信号をネゲート	• シリアル転送を中断 • 送受信データ欠落 • MISOn 端子の出力信号のドライブ停止 • SPI 機能は無効	モードフォルトエラー

表 30.10 に説明されている動作 1 で、SPI はエラーを検出しません。SPDR/SPDR_HA への書き込み時のデータ欠落を防ぐため、SPDR/SPDR_HA への書き込みは送信バッファエンプティ割り込み要求を使用して実行する必要があります（SPSR.SPTEF フラグが 1 の場合）。

同様に、動作 2 で SPI はエラーを検出しません。異質なデータが読み出されるのを防ぐため、SPDR/SPDR_HA の読み出しは SPI 受信バッファフル割り込み要求で実行する必要があります（SPSR.SPRF フラグが 1 の場合）。

表中のその他のエラーについては、下記の節を参照してください。

- 動作 3 に示したアンダーランエラーについては、「30.3.9.4. アンダーランエラー」を参照してください。
- 動作 4 に示したオーバーランエラーについては、「30.3.9.1. オーバーランエラー」を参照してください。
- 動作 5 に示したパリティエラーについては、「30.3.9.2. パリティエラー」を参照してください。

- 動作 6～8 に示したモードフォルトエラーについては、「30.3.9.3. モードフォルトエラー」を参照してください。
- 送信および受信割り込みについては、「30.3.7. 送信バッファエンプティ／受信バッファフル割り込み」を参照してください。

30.3.9.1　オーバーランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して SPSR.OVRF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR.OVRF フラグを 0 にするためには、SPSR.OVRF フラグが 1 の状態の SPSR レジスタを CPU が読み出した後に、SPSR.OVRF フラグに 0 を書く必要があります。

図 30.37 に、SPSR.OVRF フラグと SPRF フラグの動作例を示します。図 30.37 に記載した SPSR アクセスと SPDR_HA アクセスは、それぞれ SPSR、SPDR_HA レジスタへのアクセス状況を示しています。W は書き込みサイクル、R は読み出しサイクルを示しています。この例では、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数（= 転送ビット数）を示しています。

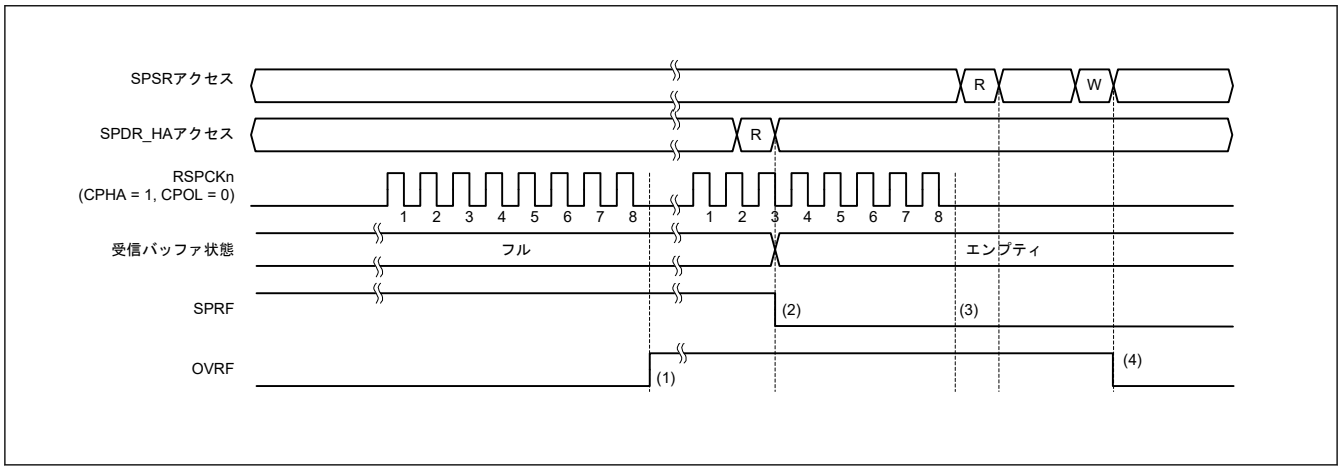


図 30.37　OVRF フラグおよび SPRF フラグの動作例

以下に、図 30.37 の (1)～(4) に示したタイミングでのフラグの動作内容を説明します。

1. SPSR.SPRF フラグが 1（受信バッファフル）の状態でシリアル転送が終了すると、SPI がオーバーランエラーを検出し、SPSR.OVRF フラグを 1 にします。SPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPCR2.SPPE ビットが 1 であってもパリティエラーの検出は行いません。
2. SPDR レジスタを読み出すと、SPI は受信バッファのデータを出力します。その後、SPSR.SPRF フラグが 0 になります。受信バッファが空になっても、SPSR.OVRF フラグは 0 になりません。
3. OVRF フラグが 1 の状態（オーバーランエラー）でシリアル転送が終了した場合には、SPI はシフトレジスタのデータを受信バッファにコピーしません (SPSR.SPRF フラグは 1 になりません)。受信バッファフル割り込みも発生しません。また、SPSR.SPPE ビットが 1 であってもパリティエラーの検出は行いません。 オーバーランエラー発生状態で、SPI がシフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると SPI はシフトレジスタを空であると判定します。これにより、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
4. SPSR.OVRF フラグが 1 の状態で SPSR レジスタを読んだ後、SPSR.OVRF フラグに 0 を書くと、SPSR.OVRF フラグは 0 になります。

オーバーランエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。マスタモードでは、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバーランエラーが発生して SPSR.OVRF フラグが 1 になると、SPSR.OVRF フラグが 0 になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効 (SPCR2.SCKASE = 1) にした場合は、オーバーランエラーが発生しません。図 30.38、図 30.39 にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

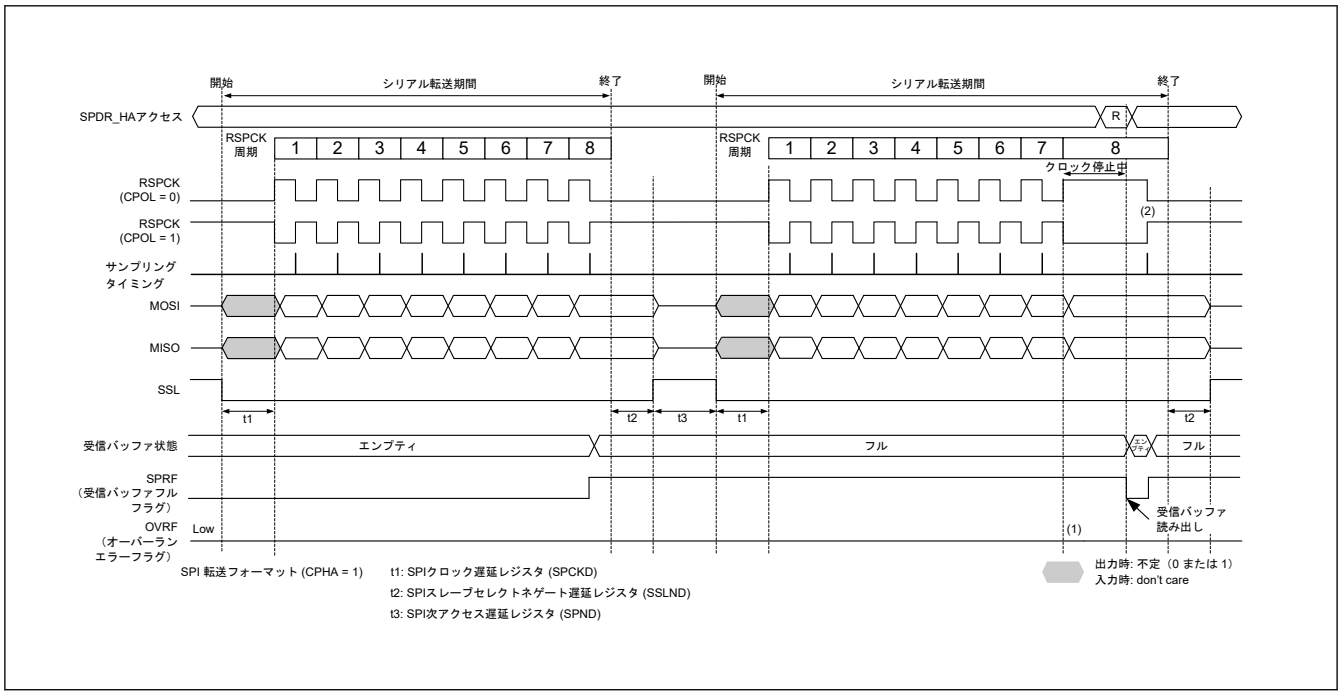


図 30.38　マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (SPCMDm.CPHA = 1)

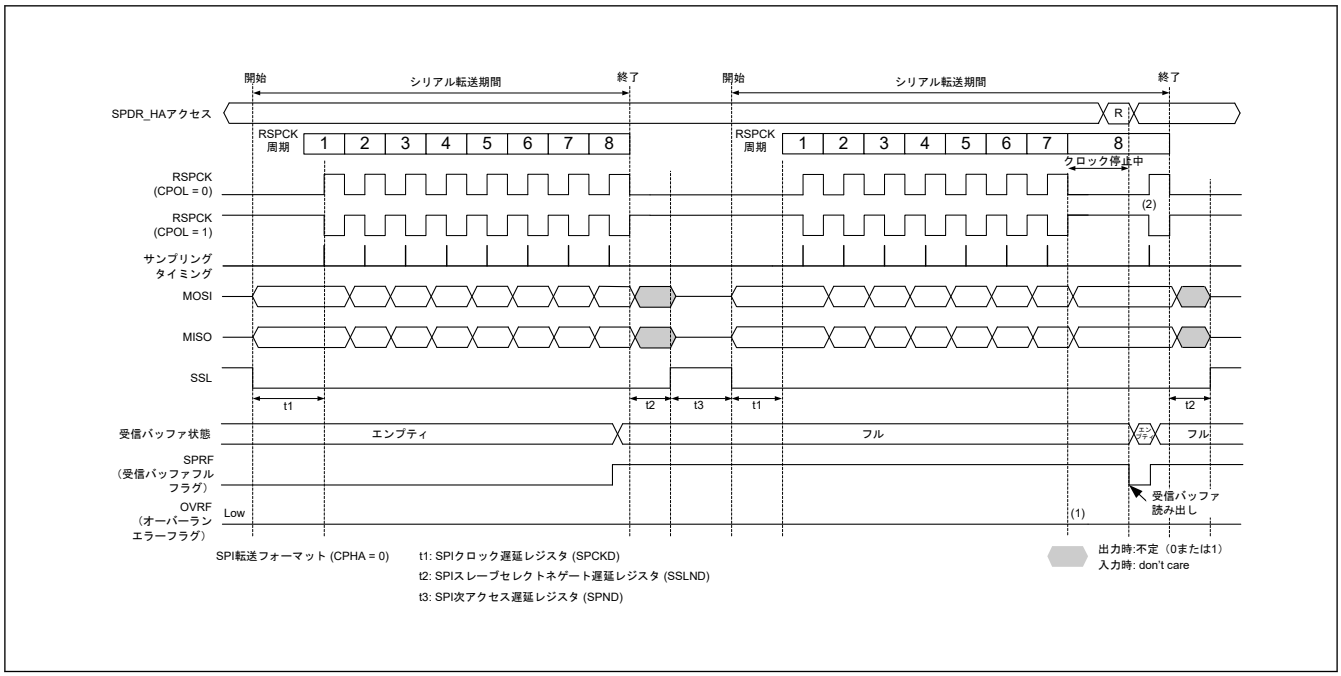


図 30.39　マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (SPCMDm.CPHA = 0)

以下に、図 30.38 および図 30.39 の (1)、(2) に示したタイミングでのフラグ動作を説明します。

1. 受信バッファフルの場合は、RSPCK クロックが停止するためオーバーランエラーは発生しません。
2. クロック停止中に SPDR レジスタを読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後（SPSR.SPRF フラグが 0 にされた後）、RSPCK クロックが再開します。

マスタモードにおけるバースト転送の際、フレーム間遅延なしの転送に対し自動停止機能が有効であるとき、オーバーランエラーは発生しません。図 30.40 と図 30.41 に、バースト転送のフレーム間遅延なしで、かつ受信バッファフル状態でシリアル転送が継続する場合のクロック停止波形を示します。

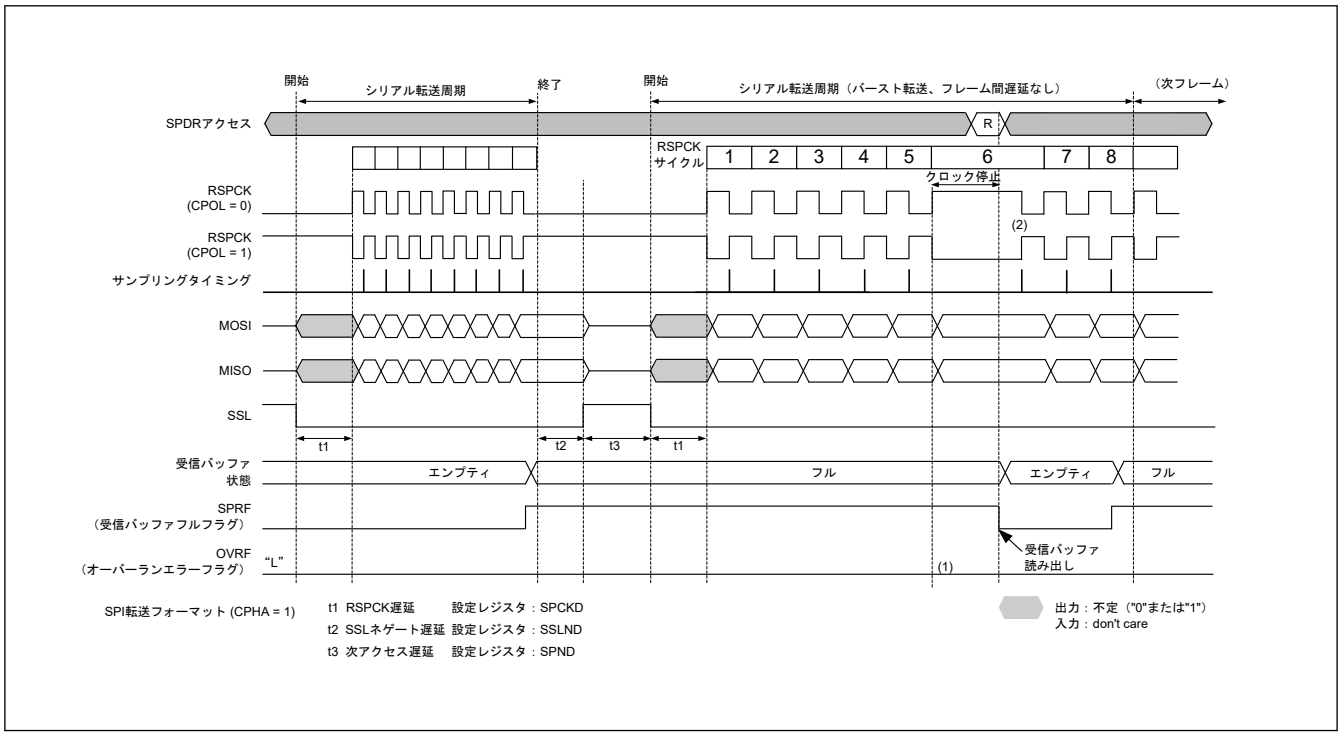


図 30.40　マスタモードの受信バッファフル状態でシリアル転送が継続する場合のクロック停止波形（バースト転送でフレーム間遅延なし、CPHA = 1）

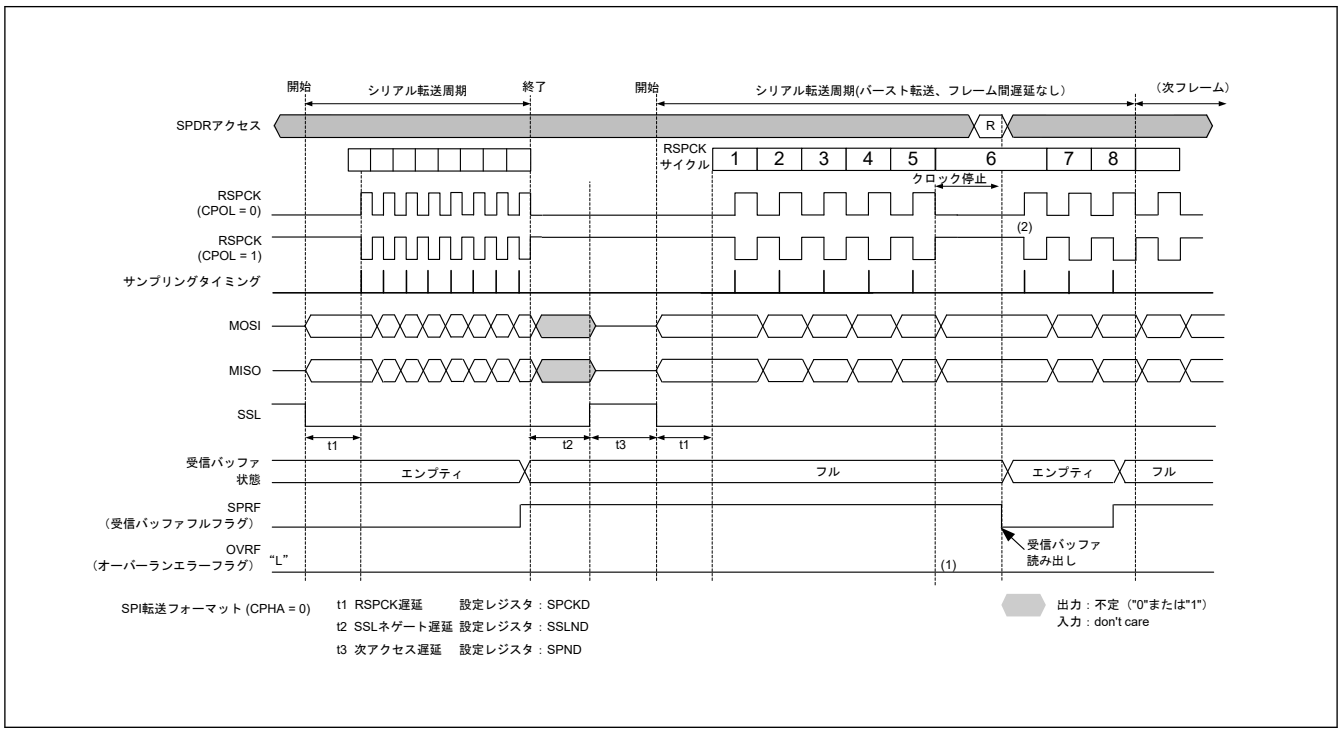


図 30.41　マスタモードの受信バッファフル状態でシリアル転送が継続する場合のクロック停止波形（バースト転送でフレーム間遅延なし、CPHA = 0）

上図のタイミング (1) と (2) における動作を以下に説明します。

1. 受信バッファフルのとき、RSPCK が発振停止になってオーバーランエラーが発生しません。

2. クロック発振停止中、SPDR を読み出すことで受信バッファデータを読み出せます。受信バッファデータを読み出した後（SPSR.SPRF フラグが 0 にクリアされた後）、RSPCK クロックが発振再開します。

30.3.9.2　パリティエラー

SPCR.TXMD ビットが 0、かつ SPCR2.SPPE ビットが 1 の状態で、全二重同期式シリアル通信を行い、シリアル転送が終了すると、SPI はパリティエラーの判定を行います。SPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを 0 にするためには、PERF フラグが 1 の状態の SPSR レジスタを読んだ後、PERF フラグに 0 を書いてください。

図 30.42 に OVRF フラグと PERF フラグの動作例を示します。図 30.42 に記載の SPSR アクセスは、SPSR レジスタへのアクセス条件を示します。W は書き込みサイクル、R は読み出しサイクルを示します。この例では、SPCR2.SPPE ビットが 1 の状態で全二重シリアル通信を行います。SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は RSPCK サイクル数（= 転送ビット数）を示しています。

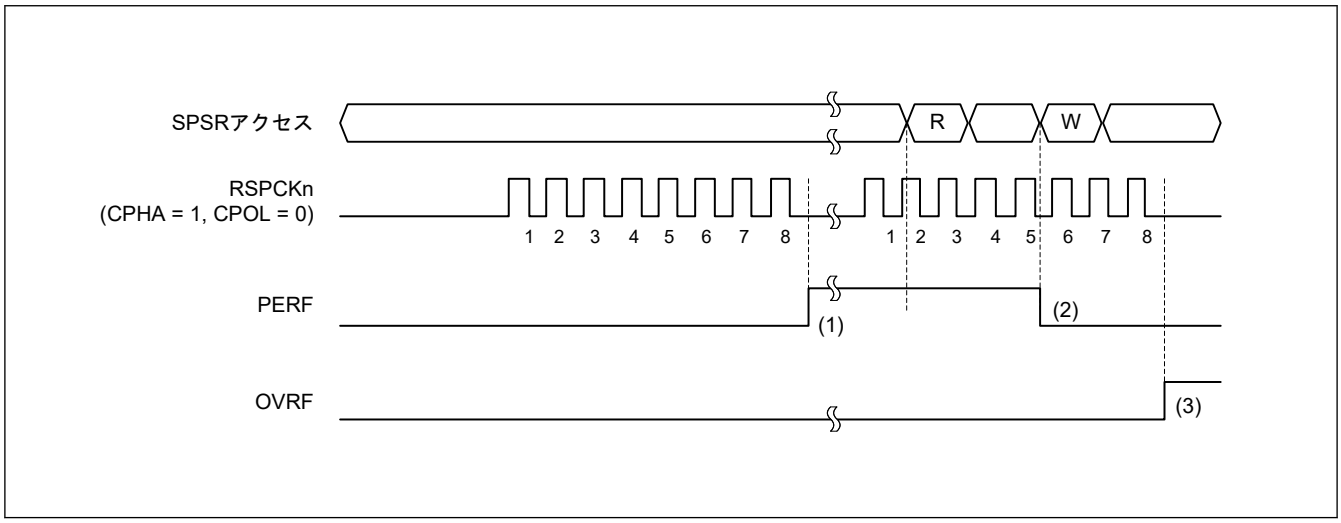


図 30.42　OVRF フラグおよび PERF フラグの動作例

以下に、図 30.42 の (1)～(3) に示したタイミングでのフラグの動作内容を説明します。

1. SPI がオーバーランエラーを検出せず、シリアル転送が終了すると、SPI はシフトレジスタのデータを受信バッファにコピーします。このとき、SPI が受信データをチェックし、パリティエラーを検出すると PERF フラグを 1 にします。
2. PERF フラグが 1 の状態で SPSR レジスタを読んだ後、PERF フラグに 0 を書くと、PERF フラグは 0 になります。
3. SPI がオーバーランエラーを検出した状態でシリアル転送が終了すると、シフトレジスタのデータは受信バッファにコピーされません。このとき、SPI はパリティエラー検出を行いません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって、確認できます。シリアル転送を実行する場合には、このようなチェック方法でパリティエラー発生を早期に検出できるようにする必要があります。SPI をマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます（SPI0 のみ）。

30.3.9.3　モードフォルトエラー

SPCR.MSTR ビットが 1、SPCR.SPMS ビットが 0、かつ SPCR.MODFEN ビットが 1 の場合には、SPI はマルチマスタモードで動作します。マルチマスタモードの SPI の SSLn0 端子へ入力される信号に対してアクティブレベルが入力されると、シリアル転送の状態にかかわらず、SPI はモードフォルトエラーを検出して SPSR.MODF フラグを 1 にします。SPI はモードフォルトエラーを検出すると、SPCMDm レジスタに対するポインタの値を SPSSR.SPECM[2:0]ビットにコピーします。SSLn0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが 0 の場合には、SPI はスレーブモードで動作します。スレーブモードの SPI の MODFEN ビットが 1、SPMS ビットが 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSLn0 端子へ入力される信号がネゲートされると、SPI はモードフォルトエラーを検出します。

SPI はモードフォルトエラーを検出すると、出力信号のドライブを停止して、SPCR.SPE ビットを 0 にクリアします（「30.3.10. SPI の初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーの検出によって出力信号のドライブと SPI 機能を停止させ、マスタであることを解除できます。

モードフォルトエラーの発生は、SPSR の読み出し、あるいは SPI エラー割り込みと SPSR の読み出しによって確認できます。SPI エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR をポーリングする必要があります。SPI をマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にする必要があります。

30.3.9.4 アンダーランエラー

SPI がスレーブモードで動作しているときに (SPCR.MSTR = 0)、SPI コントロールレジスタ 3 (SPCR3) の拡張通信モード選択ビット (ETXMD) が 0 の場合、SPCR.SPE ビットが 1（SPI 機能有効）の状態で送信データ出力の準備ができる前にシリアル転送を開始すると、SPI はアンダーランエラーを検出し、SPSR.MODF フラグと SPSR.UDRF フラグを 1 にします。

SPI はアンダーランエラーを検出すると、出力信号のドライブ停止および SPCR.SPE ビットを 0 にクリアします（「30.3.10. SPI の初期化」を参照）。

アンダーランエラーは、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにアンダーランエラーを検出するためには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPCR.SPE ビットへの 1 の書き込みを無視します。アンダーランエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にしてください。

30.3.10 SPI の初期化

SPCR.SPE ビットに 0 を書いた場合、あるいは SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPCR.SPE ビットを 0 にした場合は、SPI は SPI 機能を無効にして、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、SPI はモジュール機能をすべて初期化します。以下では、SPCR.SPE ビットのクリアによる初期化と、システムリセットによる初期化について説明します。

30.3.10.1 SPCR.SPE ビットのクリアによる初期化

SPCR.SPE ビットを 0 にしたとき、SPI は以下に示す方法で初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- SPI 内部ステートの初期化
- SPI 送信バッファの初期化（SPSR.SPTEF フラグが 1 になります）

SPE ビットのクリアによる初期化では、SPI の制御ビットは初期化されません。このため、再度 SPE ビットを 1 にすれば初期化前と同じ転送モードで SPI を起動できます。

SPSR.CENDF、SPSR.SPRF、SPSR.OVRF、SPSR.MODF、SPSR.PERF、および SPSR.UDRF フラグは初期化されません。SPI シーケンスステータスレジスタ (SPSSR) の値も初期化されません。このため、SPI の初期化後も受信バッファからデータを読み出すことで、SPI 転送時の通信完了状況とエラー発生状況を確認できます。

送信バッファは空の状態に初期化されます（SPSR.SPTEF フラグが 1 になります）。このため、SPI 初期化後に SPCR.SPTIE ビットを 1 にしていると、送信バッファエンプティ割り込みが発生します。SPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPCR.SPE ビットへの 0 書き込みと同時に SPCR.SPTIE ビットにも 0 を書き込んでください。

30.3.10.2 システムリセットによる初期化

システムリセットでは、すべての SPI 制御ビット、ステータスビット、およびデータレジスタが初期化され、SPI が完全に初期化されます。このとき、「30.3.10.1. SPCR.SPE ビットのクリアによる初期化」に記載の要件も満たされます。

30.3.11 SPI 動作

30.3.11.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出の有無のみです（「30.3.9. エラー検出」を参照）。SPI は、シングルマスタモードではモードフォルトエラーを検出しませんが、マルチマスタモードでは検出します。以下では、シングル／マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

SPI 送信バッファがエンプティで、次転送のデータがセットされていない（SPSR.SPTEF フラグ = 0）状態で、SPI データレジスタ (SPDR/SPDR_HA) へデータを書き込むと、SPI は送信バッファ (SPTX) のデータを更新します。SPDCR.SPFC[1:0]ビットで設定したフレーム数分のデータを SPDR/SPDR_HA/SPDR_BY レジスタへ書き込んだ後、シフトレジスタがエンプティの場合は、SPI はデータを送信バッファからシフトレジスタにコピーしてシリアル転送を開始します。SPI はシフトレジスタに送信データをコピーすると、シフトレジスタのステータスをフルに変更します。シリアル転送が終了すると、シフトレジスタのステータスをエンプティに変更します。シフトレジスタのステータスを参照することはできません。

SSLni 出力端子の極性は、SSLP レジスタの設定に依存します。SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。

(2) シリアル転送の終了

SPCMDm.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) がエンプティ (SPSR.SPRF = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファにデータをコピーします。

最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMDm.SPB[3:0]ビットの設定値で決まります。SSLni 出力端子の極性は、SSLP レジスタの設定に依存します。SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、および SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定します。SPCMDm レジスタでは、以下の項目を設定します。

- SSLni 端子の出力信号値
- MSB/LSB ファースト
- データ長
- ビットレート設定の一部
- RSPCK 極性と位相
- SPCKD レジスタの参照要否
- SSLND レジスタの参照要否
- SPND レジスタの参照要否

SPBR レジスタは、SPCKD レジスタ（SPI クロック遅延）、SSLND レジスタ（SSL ネゲート遅延）、および SPND レジスタ（次アクセス遅延）などの、ビットレート設定の一部を保持しています。

SPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部または全部からなるシーケンスを構成します。SPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0]ビットの読み出しによって確認できます。SPCR.SPE ビットを 1 にして

SPI 機能を有効にすると、SPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。SPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスの最終コマンドに対応するシリアル転送が終了すると、SPI はポインタを SPCMD0 レジスタにセットするため、シーケンスが繰り返し実行されます。

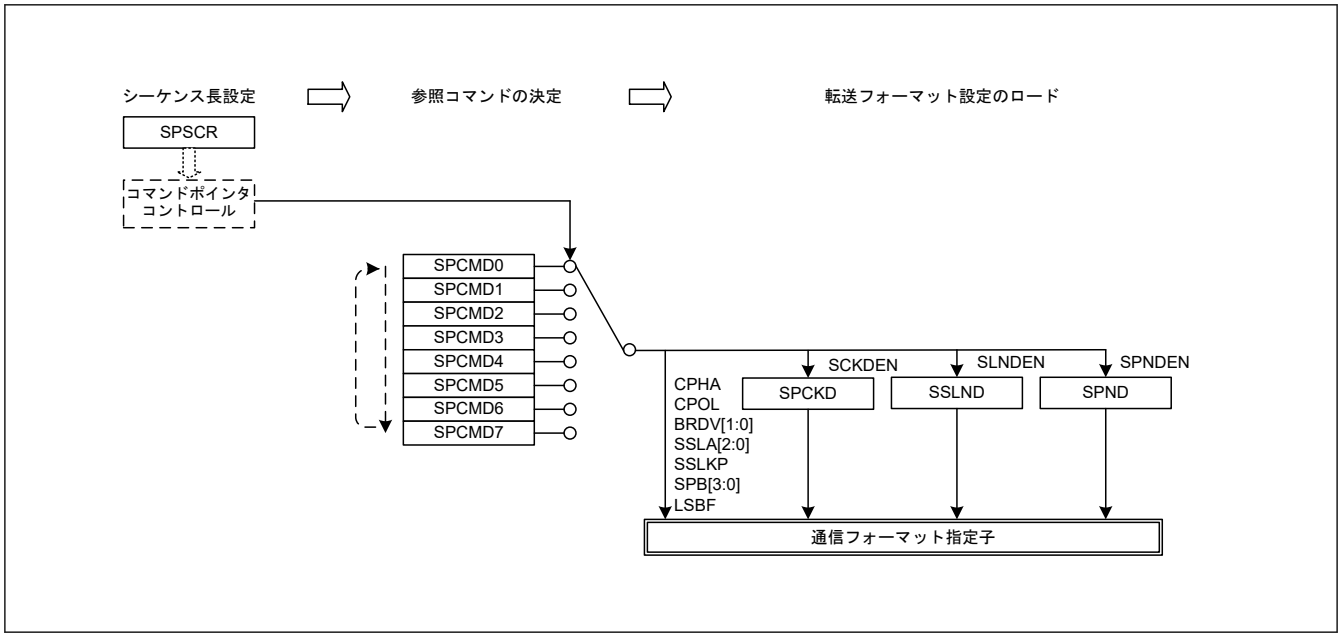


図 30.43　マスタモードでのシリアル転送方式の決定方法

本項では、データ (SPDR/SPDR_HA) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

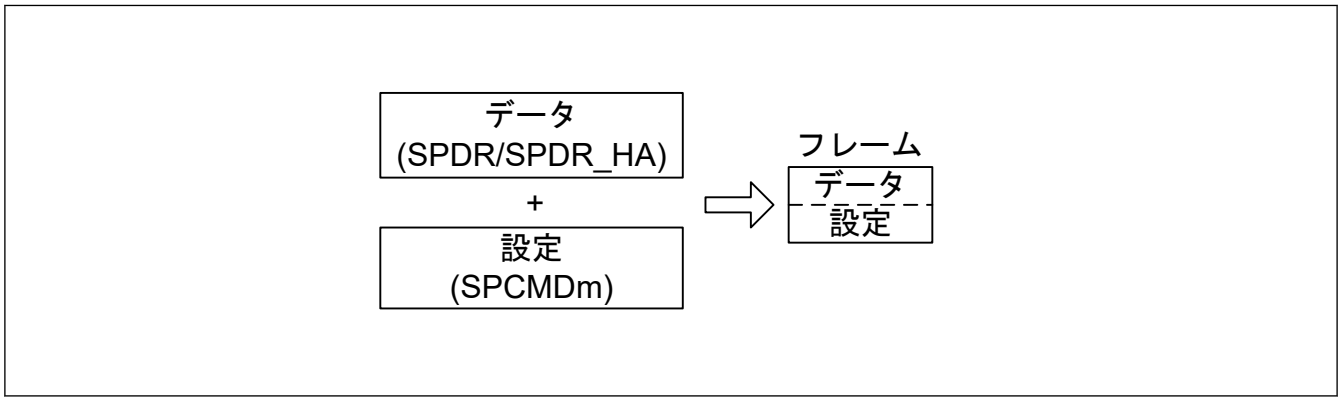


図 30.44　フレームの概念図

図 30.45 は、表 30.4 の設定で指定されたシーケンス動作を行ったときのコマンドと送信バッファ／受信バッファの対応関係を示します。

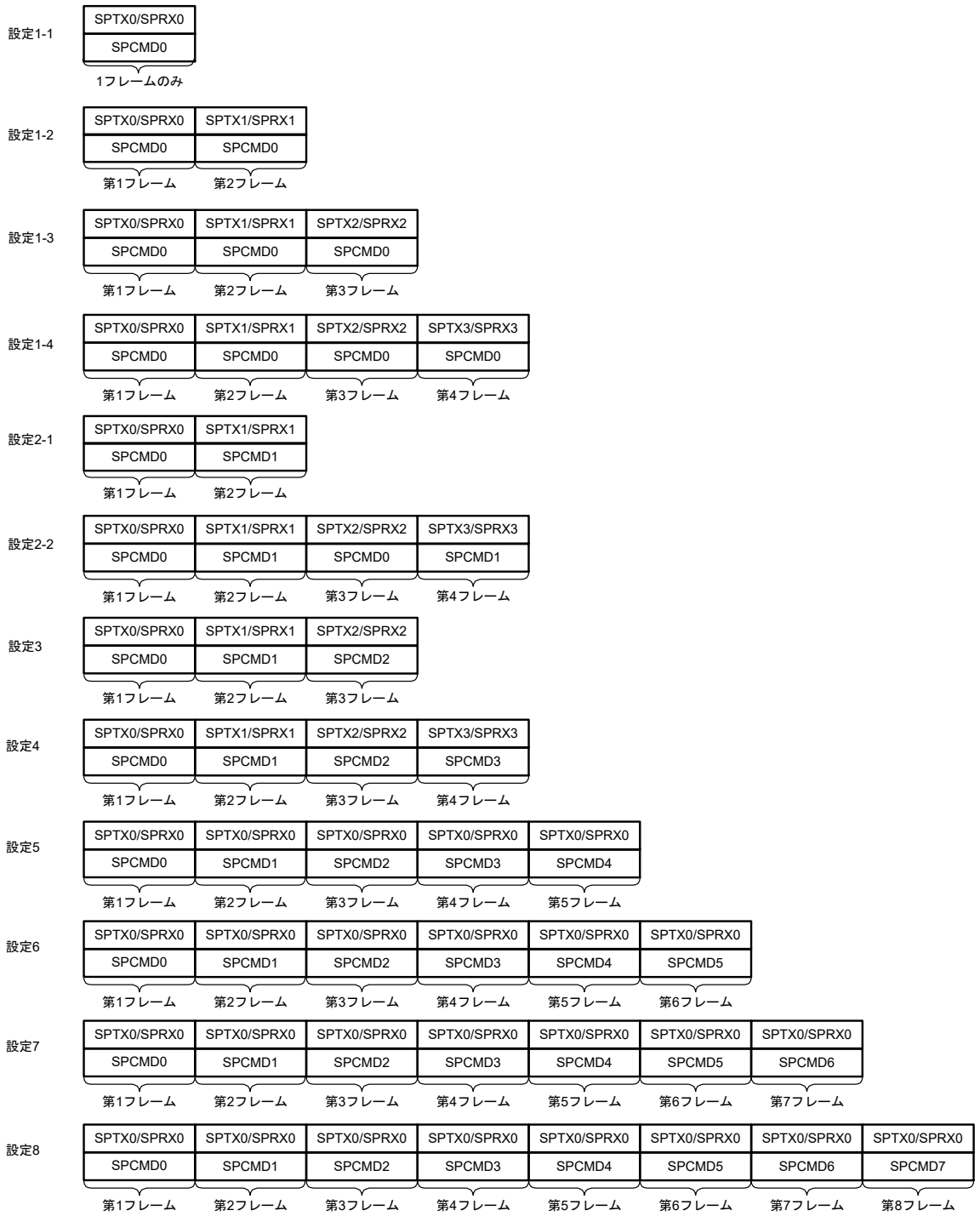


図 30.45　シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応関係

(4)　バースト転送

SPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが 1 の場合には、SPI はシリアル転送中の SSLni 信号レベルを次のシリアル転送の SSLni 信号のアサート開始まで保持します。次のシリアル転送での SSLni 信号レベルが、現在のシリアル転送での SSLni 信号レベルと同じであれば、SPI は SSLni 信号のアサート状態を保持したまま連続的にシリアル転送を実行することが可能です（バースト転送）。

- SPI コントロールレジスタ 3 (SPCR3) のバースト転送フレーム間遅延選択ビット (BFDS) が 0 の場合

図 30.46 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。以下では、図 30.46 に示す (1)～(8) の SPI 動作内容について説明します。

注. SSLni 端子の出力信号の極性は、SSLP レジスタの設定値で決まります。

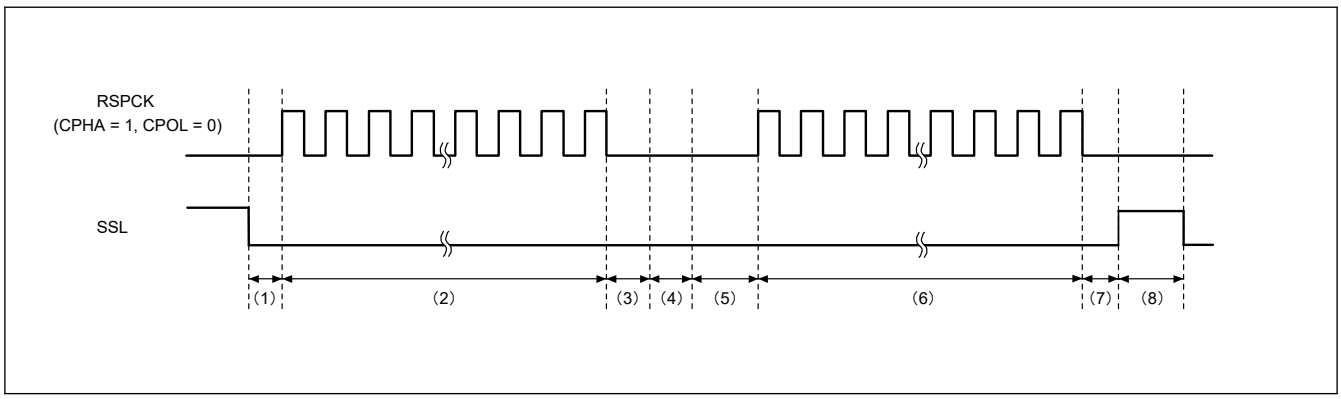


図 30.46 SSLKP ビットを利用したバースト転送の動作例 (BFDS = 0)

図中の (1)～(8) に示したタイミングでの SPI の動作は以下のとおりです。

1. SPI は、SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
2. SPI は SPCMD0 レジスタの設定に従ったシリアル転送を実行します。
3. SPI は、SSL ネゲート遅延を挿入します。
4. SPCMD0.SSLKP ビットが 1 であるため、SPI は SPCMD0 レジスタで指定した SSLni 信号値を保持します。この期間は、最短でも SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間が経過してもシフトレジスタがエンプティの場合は、次転送のための送信データがシフトレジスタに格納されるまで、この期間は継続します。
5. SPI は、SPCMD1 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
6. SPI は SPCMD1 レジスタの設定に従ったシリアル転送を実行します。
7. SPI は、SSL ネゲート遅延を挿入します。
8. SPCMD1.SSLKP ビットが 0 であるため、SPI は SSLni 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを 1 にした SPCMDm レジスタでの SSLni 端子の信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLni 端子の信号出力設定が異なる場合、SPI は図 30.46 の (5) で示すように、SSLni 信号状態を SSLni 信号のアサートに切り替えます。この SSLni 信号は次転送のコマンドに対応しています。

注. このような SSLni 信号の切り替えが発生した場合、MISOn 信号をドライブするスレーブが競合して信号レベルの衝突が発生することがあります。

マスタモードの SPI は、SSLKP ビットを使用しない場合は、SSLni 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが 0 であると、SPI は内部で検出した次転送の SSLni 信号のアサートを使用してシリアル転送を正確に開始できます。

- SPI コントロールレジスタ 3 (SPCR3) のバースト転送フレーム間遅延選択ビット (BFDS) が 1 の場合

図 30.47 に SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSL 信号の動作例を示します。以下では、図 30.47 に示す (1)～(6) の SPI 動作内容について説明します。SSL 出力信号の極性は、SPI スレーブ選択極性レジスタ (SSLP) の設定値に依存します。

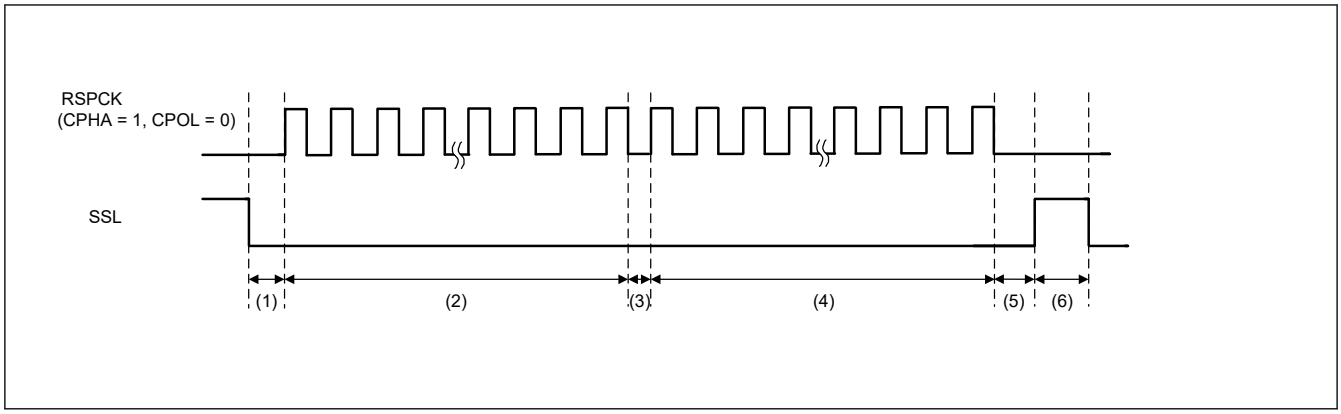


図 30.47　SSLKP ビットを利用したバースト転送の動作例 (BFDS = 1)

1. SPI は SPCMD0 レジスタの設定値に従って SSL 信号をアサートし、RSPCK 遅延を挿入します。RSPCK 遅延はバースト転送の最初のフレームのみに挿入されます。
2. SPI は、SPCMD0 レジスタの設定に従ってシリアル転送を実行します。フレーム間の RSPCK ネゲート期間中にシフトレジスタがエンプティの場合は、次の送信データがシフトレジスタに格納されるまで、最後のクロックを待ちます。
3. SPCMD0.SSLKP ビットが 1 であるため、SPI は SPCMD0 レジスタで指定した SSL 端子の信号値を保持します。シフトレジスタがエンプティではない場合、フレーム間の RSPCK ネゲート期間は 0.5 × RSPCK です。
4. SPI は、SPCMD1 レジスタの設定に従ってシリアル転送を実行します。
5. SPI は、最後のフレームに対して SSL ネゲート遅延を挿入します。
6. SPCMD1.SSLKP ビットが 0 であるため、SPI は SSL 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

(5)　RSPCK 遅延 (t1)

マスタモードの SPI の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD.SCKDL[2:0]ビットの設定で決まります。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SCKDEN ビットと SPCKD.SCKDL[2:0]ビットを使用して、表 30.11 に示すように RSPCK 遅延を決定します。RSPCK 遅延の定義については、「30.3.5. 転送フォーマット」を参照してください。

“バースト転送フレーム間遅延”なしで送信する場合、RSPCK 遅延はバースト転送の最初のフレームにのみ挿入されます。（SPCMD.SSLKP ビットは 1、および SPCR3.BFDS ビットは 1。）

表 30.11　SPCMDm.SCKDEN ビット、SPCKD.SCKDL[2:0]ビット、および RSPCK 遅延の関係

SPCMDm.SCKDEN ビット	SPCKD.SCKDL[2:0]ビット	RSPCK 遅延
0	000b～111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(6)　SSL ネゲート遅延 (t2)

マスタモードの SPI の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND.SLNDL[2:0]ビットの設定で決まります。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SLNDEN ビットと SSLND.SLNDL[2:0]ビットを使用して、表 30.12 に示すように SSL ネゲート遅延値を決定します。SSL ネゲート遅延の定義については、「30.3.5. 転送フォーマット」を参照してください。

SSL ネゲート遅延はバースト転送の最後のフレームのみに挿入されます。つまり、「バースト転送フレーム間遅延」なしで送信されます。（SPCMD.SSLKP ビットは 1、および SPCR3.BFDS ビットは 1。）

表 30.12　SPCMDm.SLNDEN ビット、SSLND.SLNDL[2:0]ビット、および SSL ネゲート遅延の関係

SPCMDm.SLNDEN ビット	SSLND.SLNDL[2:0]ビット	SSL ネゲート遅延
0	000b～111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7)　次アクセス遅延 (t3)

マスタモードの SPI の次アクセス遅延値は、SPCMDm.SPNDEN ビットの設定と SPND.SPNDL[2:0]ビットの設定で決まります。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SPNDEN ビットと SPND.SPNDL[2:0]ビットを使用して、表 30.13 に示すようにシリアル転送中の次アクセス遅延を決定します。次アクセス遅延の定義については、「30.3.5. 転送フォーマット」を参照してください。

次アクセス遅延はバースト転送の最後のフレームのみに挿入されます。つまり、「バースト転送フレーム間遅延」なしで送信されます（SPCMD.SSLKP ビットは 1、および SPCR3.BFDS ビットは 1。）

表 30.13　SPCMDm.SPNDEN ビット、SPND.SPNDL[2:0]ビット、および次アクセス遅延の関係

SPCMDm.SPNDEN ビット	SPND.SPNDL[2:0]ビット	次アクセス遅延
0	000b～111b	1 RSPCK + 2 PCLKA
1	000b	1 RSPCK + 2 PCLKA
	001b	2 RSPCK + 2 PCLKA
	010b	3 RSPCK + 2 PCLKA
	011b	4 RSPCK + 2 PCLKA
	100b	5 RSPCK + 2 PCLKA
	101b	6 RSPCK + 2 PCLKA
	110b	7 RSPCK + 2 PCLKA
	111b	8 RSPCK + 2 PCLKA

(8)　初期化フロー

図 30.48 に、SPI をマスタモードで使用する場合の SPI 初期化フローの例を示します。なお、割り込みコントローラユニット (ICU)、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

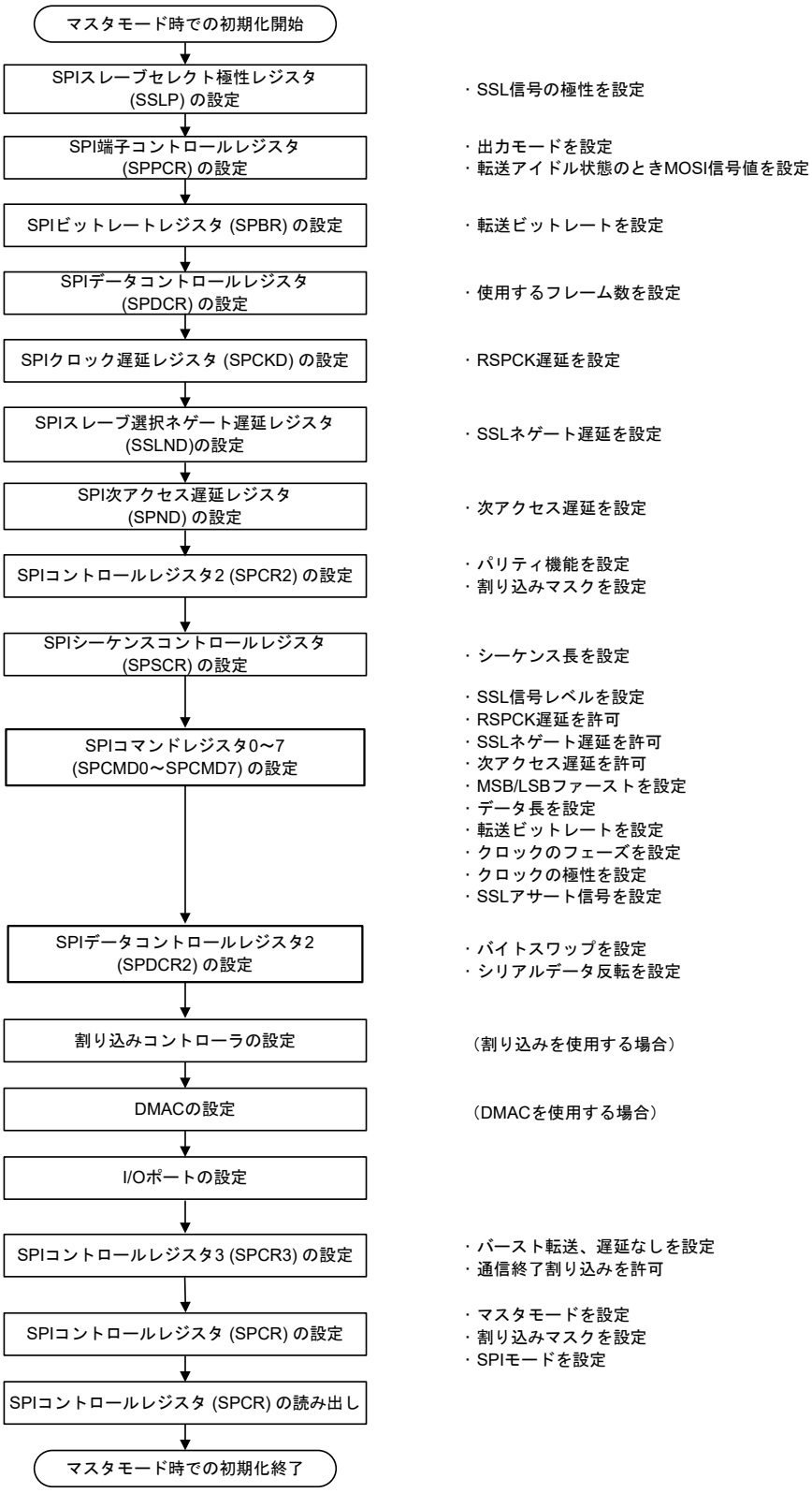


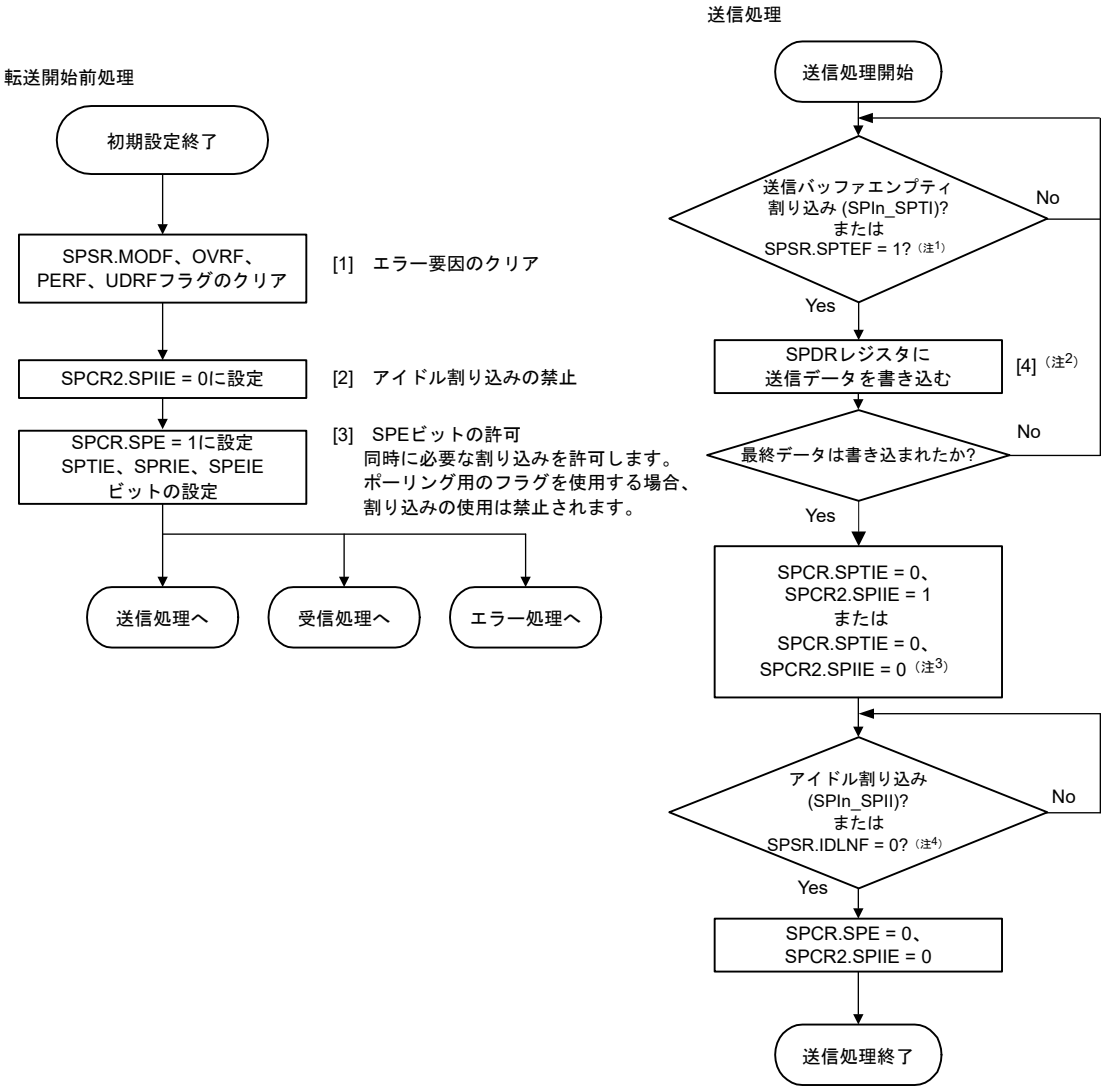
図 30.48　マスタモード時の SPI 動作の初期化フロー例

(9)　ソフトウェア処理フロー

図 30.49 ～図 30.51 にソフトウェア処理フローの例を示します。

送信処理フロー

データの送信時、SPIi_SPII 割り込みが許可されていれば、最終データの書き込み後にデータ送信完了を CPU に通知します。

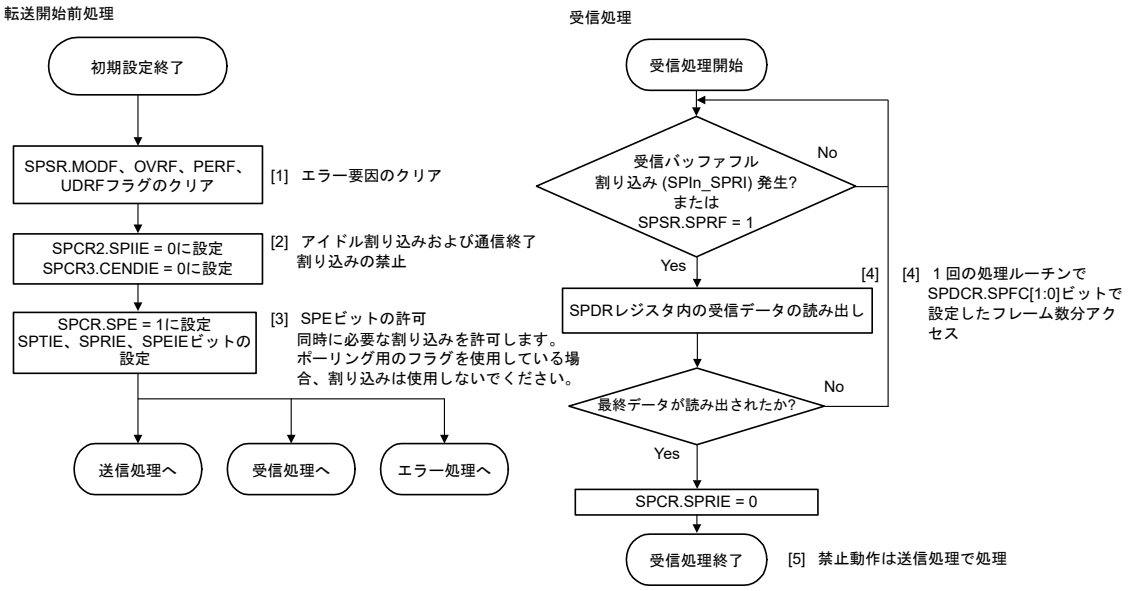


注 1.　ポーリング用のフラグを使用する場合、SPSR.SPTEF フラグを読み込んで送信バッファがエンプティであることを確認してから、SPDR/SPDR_HA/SPDR_BY への送信データ書き込みを行ってください。
注 2.　SPDR = SPDR/SPDR_HA/SPDR_BY
1 回の処理ルーチンで SPDCR.SPFC[1:0]ビットで設定したフレーム数分アクセスします。
注 3.　ポーリング用のフラグを使用する場合、SPCR2.SPIIE と SPCR3.CENDIE を 0 に設定することは禁止されます。
注 4.　ポーリング用のフラグを使用する場合、SPDR に送信データを書き込んだ後、SPSR.IDLNF または SPSR.CENDF フラグのポーリングを開始する前に、1 PCLKA 以上待ってください。

図 30.49　　マスタモードでの送信フロー

受信処理フロー

SPI には、スレーブモードでの受信専用の動作があります。



注 1. SPDR = SPDR/SPDR_HA/SPDR_BY

図 30.50 マスタモードでの受信フロー

エラー処理フロー

SPI は以下のエラーの検出を行います。

- モードフォルトエラー
- アンダーランエラー
- オーバーランエラー
- パリティエラー

モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送受信動作を停止させます。その他のエラー要因では、SPCR.SPE ビットはクリアされず、送受信動作は継続します。よって、モードフォルトエラー以外のエラーの場合は、SPCR.SPE ビットをクリアし、動作を停止することが推奨されます。動作を停止しないと、SPSSR.SPECM[2:0]ビットが更新されます。

割り込みによるエラー発生時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込み (SPIi_SPTI) または受信バッファフル割り込み (SPIi_SPRI) 要求が保持されていることがあります。また、SPIi_SPRI 割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

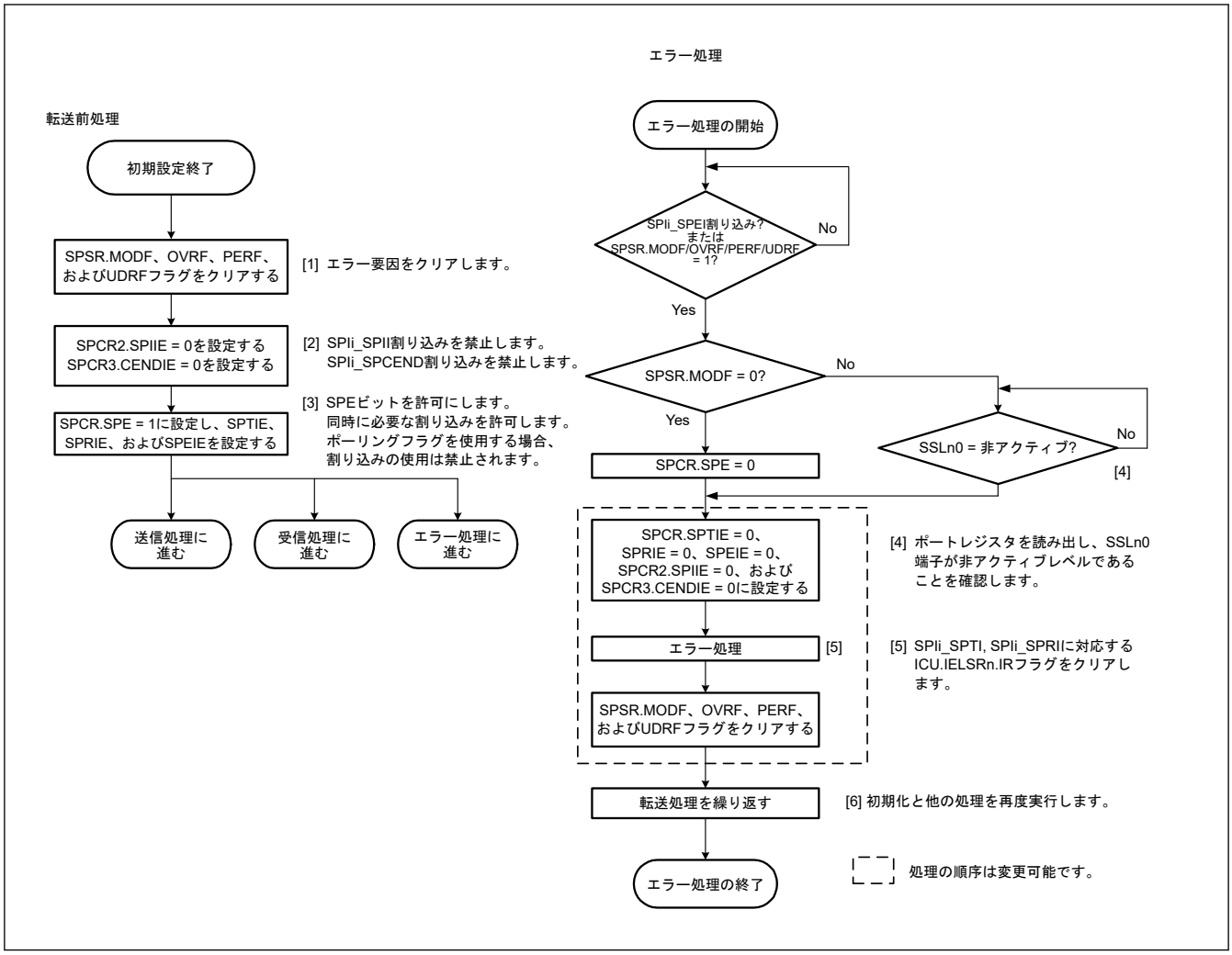


図 30.51　マスタモードでのエラー処理フロー

30.3.11.2　スレーブモード動作

(1)　シリアル転送の開始

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 端子へ入力される信号のアサートを検出すると、MISOn 出力信号への有効データをドライブする必要があります。このため、SPCMD0.CPHA ビットが 0 の場合には、SSLn0 端子へ入力される信号のアサートがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットが 1 の場合には、SPI は SSLn0 端子へ入力される信号のアサート状態で最初の RSPCKn エッジを検出すると、MISOn 出力信号への有効データをドライブする必要があります。SPCMD0.CPHA ビットが 1 の場合には、SSLn0 端子へ入力される信号のアサート状態における最初の RSPCKn エッジがシリアル転送開始のトリガになります。

SPCMD0.CPHA ビットの設定にかかわらず、SPI は SSLn0 端子へ入力される信号のアサート時に、MISOn 出力信号のドライブを実行します。SPCMD0.CPHA ビットの設定によって、SPI が出力するデータの有効／無効が異なります。

SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。SSLn0 端子へ入力される信号の極性は、SSLP.SSL0P ビットの設定値に依存します。

(2)　シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出するとシリアル転送を終了します。受信バッファがエンプティ (SPSR.SPRF = 0) の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファに受信データをコピーします。受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態をエンプティに変更します。

シリアル転送開始からシリアル転送終了までの間に SPI が SSLn0 端子へ入力される信号のネゲートを検出すると、モードフォルトエラーが発生します（「30.3.9. エラー検出」を参照）。

最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は、SPCMD0.SPB[3:0]ビットの設定で決まります。SSLn0 端子へ入力される信号の極性は、SSLP.SSL0P ビットの設定で決まります。SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。

(3) シングルスレーブ動作時の注意点

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 端子へ入力される信号のアサートエッジを検出するとシリアル転送を開始します。図 30.7 に示す構成で SPI をシングルスレーブモードで使用する場合には、SSLn0 端子への入力信号がアクティブ状態に固定されます。そのため、CPHA ビットを 0 に設定した場合、SPI はシリアル転送を正しく開始できません。SSLn0 端子への入力信号がアクティブ状態に固定された場合に、スレーブモードの SPI の送受信動作を正しく実行するには、CPHA ビットを 1 にする必要があります。CPHA ビットを 0 にする必要がある場合、SSLn0 端子への入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが 1 であれば、SSLn0 端子へ入力される信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。SPCMDm.CPHA ビットが 1 の場合、シリアル転送期間は、SSLn0 端子への入力信号がアクティブ状態において、最初の RSPCKn エッジから、最終ビット受信のためのサンプリングタイミングまでとなります。SSLn0 端子への入力信号がアクティブレベルのままであっても、SPI はアクセスの開始を検出できるため、バースト転送に対応できます。

SPCMD0.CPHA ビットが 0 の場合、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 30.52 に、SPI がスレーブモードの場合の SPI 動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

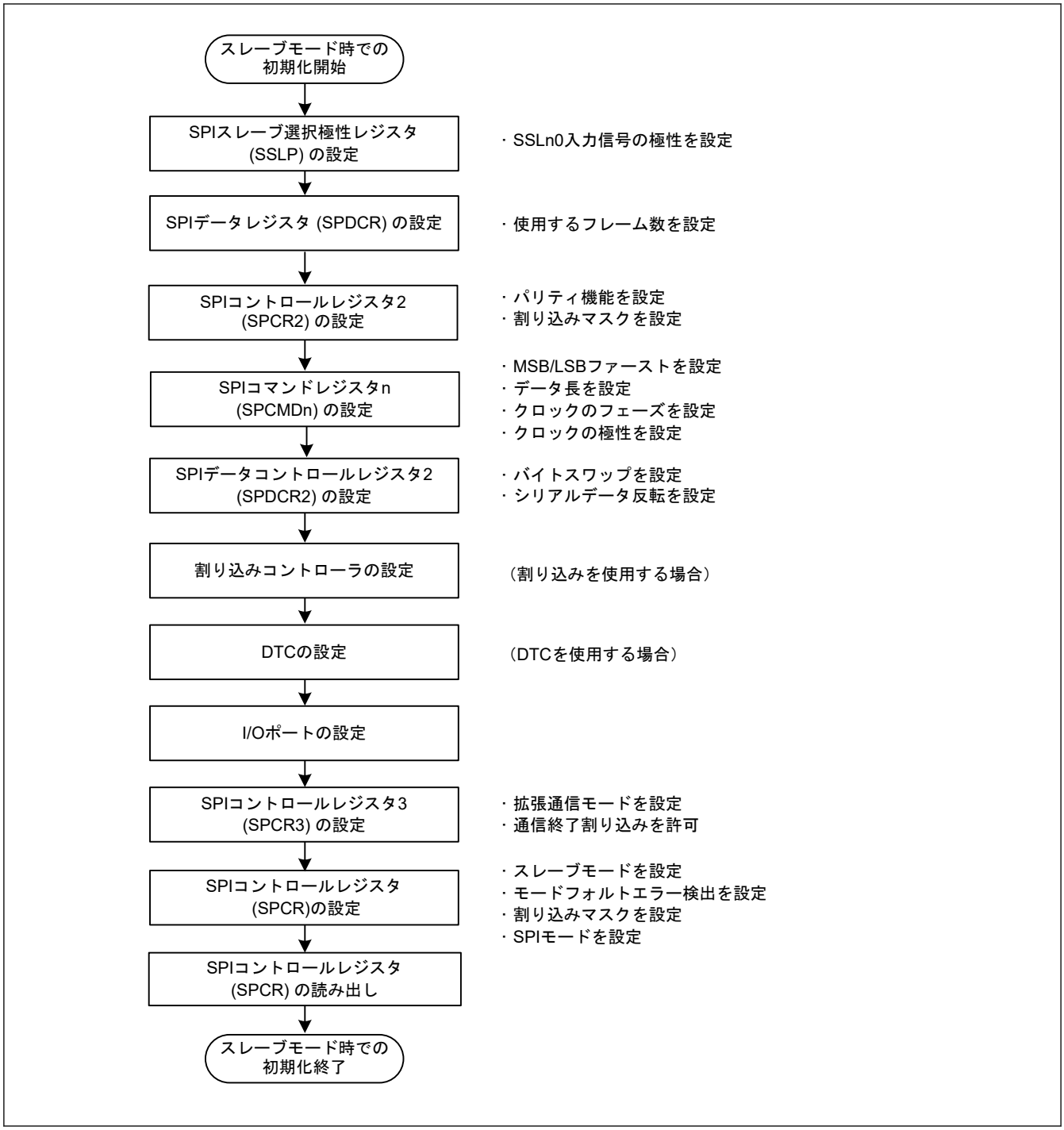
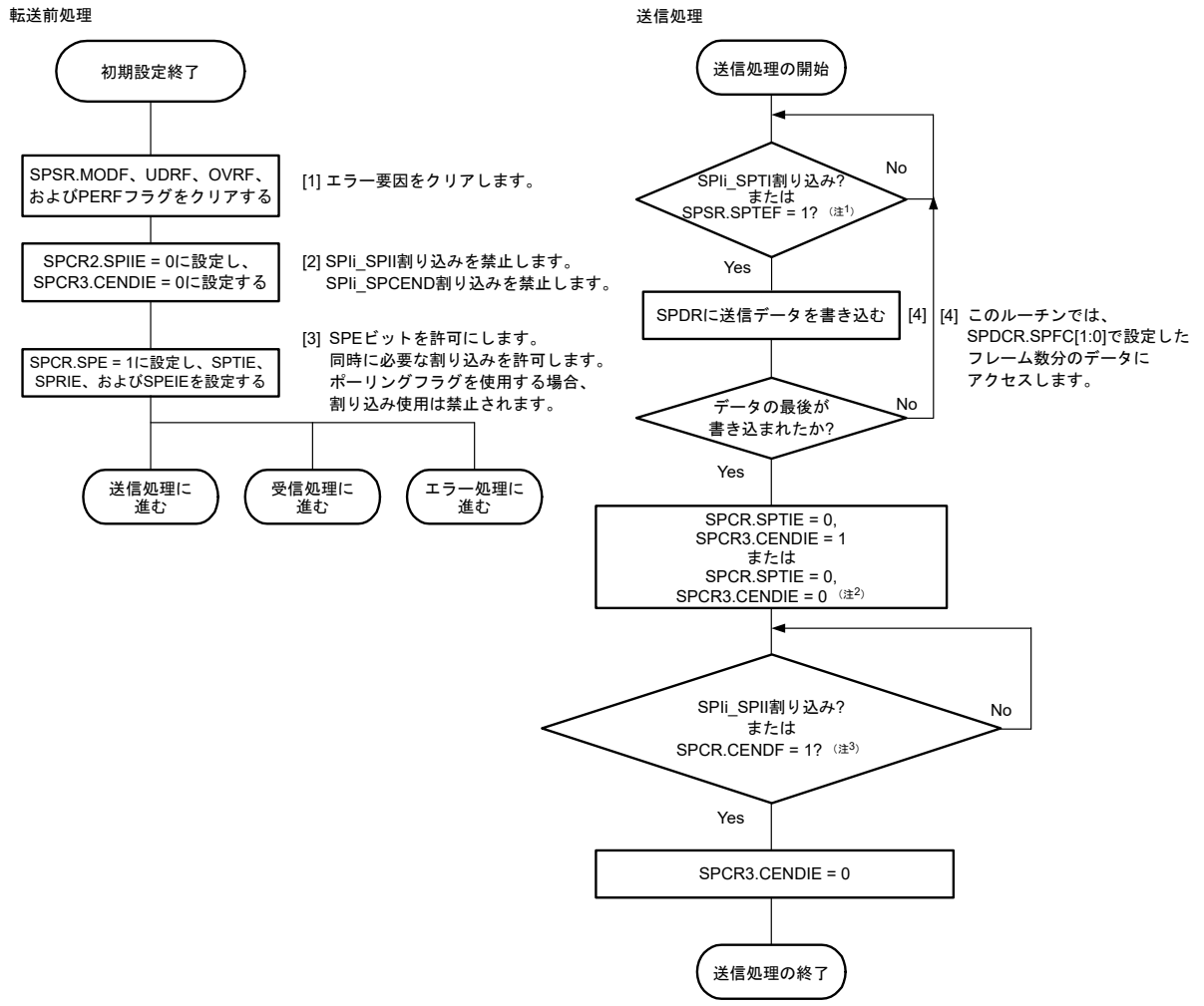


図 30.52　スレーブモード時の SPI 動作の初期化フロー例

(6)　ソフトウェア処理フロー

図 30.53～図 30.55 にソフトウェア処理フローの例を示します。

送信処理フロー



注 1. ポーリング用のフラグを使用する場合、SPSR.SPTEF フラグを読み出して送信バッファがエンプティであることを確認してから、SPDR レジスタへの送信データ書き込みを行ってください。
注 2. ポーリング用のフラグを使用する場合は、SPIi_SPCEND 割り込み禁止 (SPCR3.CENDIE = 0) の設定にしてください。
注 3. ポーリング用のフラグを使用する場合は、SPDR に送信データを書き込んだ後、1 PCLK 以上待ってから、SPSR.IDLNF または SPSR.CENDF のポーリングを開始してください。

図 30.53 スレーブモードでの送信フロー

受信処理フロー

SPI は受信処理のみで実行することができないため、送信処理を行う必要があります。

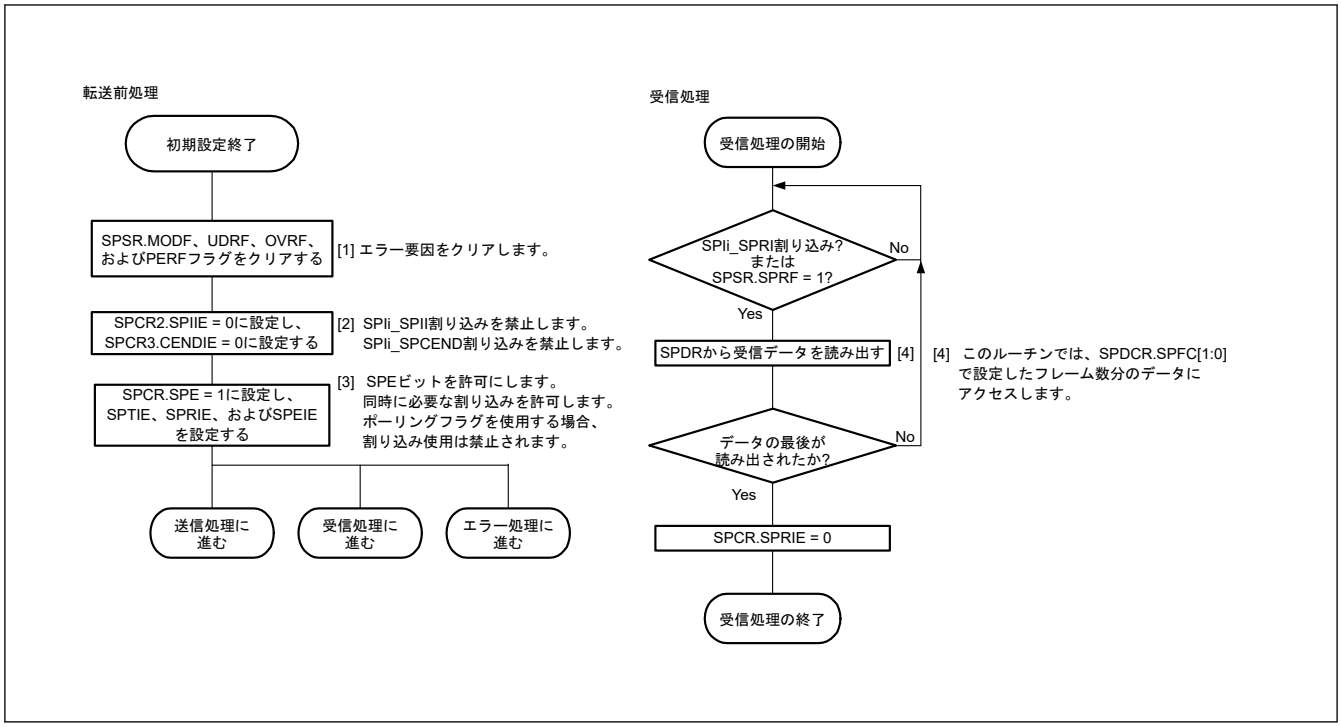


図 30.54　スレーブモードでの受信フロー

エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても、SSLn0 端子の状態にかかわらず SPSR.MODF フラグをクリアすることができます。

割り込みによるエラー検出時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに送信バッファエンプティ割り込み (SPIi_SPTI) または受信バッファフル割り込み (SPIi_SPRI) 要求が保持されていることがあります。また、SPIi_SPRI 割り込み要求が保持されている場合、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

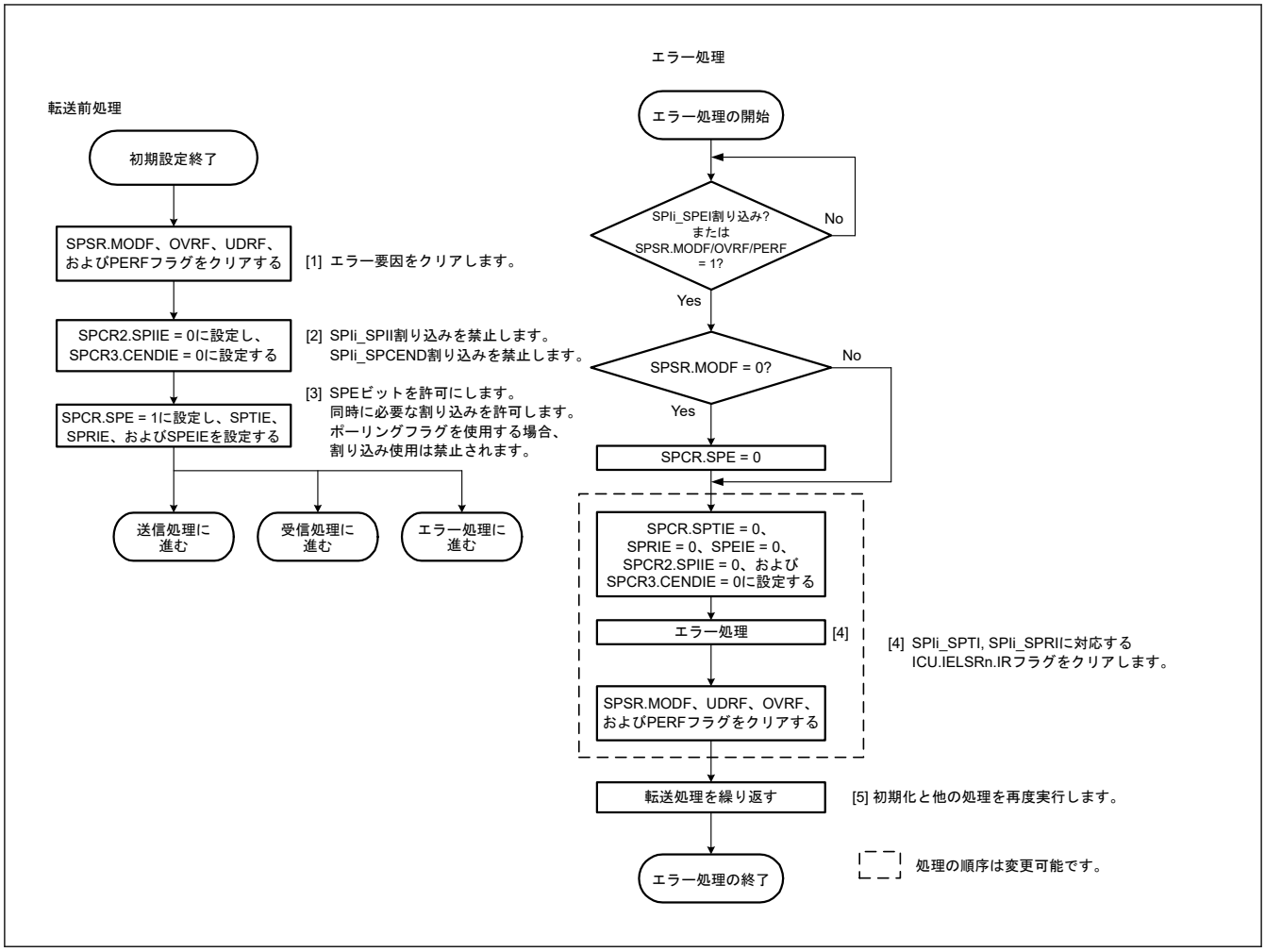


図 30.55　スレーブモードでのエラー処理フロー

30.3.12　クロック同期式動作

SPI は、SPCR.SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSLni 端子を使用せず、RSPCKn、MOSIn、MISOn の 3 本の端子を用いて通信を行います。各 SSLni 端子は入出力ポートとして使用することができます。

クロック同期式動作は、SSLni 端子を使用せずに通信を行いますが、モジュールの動作は SPI 動作と同様です。すなわち、マスタモード動作とスレーブモード動作では、モードフォルトエラーの検出が行われないことを除いて、同様のフローで通信を行うことができます。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを 0 にした場合の動作はしないでください。

30.3.12.1　マスタモード動作

(1)　シリアル転送の開始

送信バッファがエンプティで、次転送のデータがセットされていない (SPSR.SPTEF = 1) 状態で SPDR/SPDR_HA レジスタへデータを書き込むと、SPI は SPDR/SPDR_HA の送信バッファ (SPTX) のデータを更新します。SPDCR.SPFC[1:0]ビットで設定したフレーム数分のデータを、SPDR/SPDR_HA レジスタへ書き込んだ後、シフトレジスタが空の場合は、SPI は送信バッファのデータをシフトレジスタにコピーしてシリアル送信を開始します。SPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスをエンプティに変更します。シフトレジスタのステータスを参照することはできません。

クロック同期式動作時は、SSLn0 端子の出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。

(2) シリアル転送の終了

SPI はサンプリングタイミングに対応する RSPCKn エッジを送出すると、シリアル転送を終了します。受信バッファがエンプティ (SPSR.SPRF = 0) の場合、シリアル転送終了後に、SPI はシフトレジスタから SPI データレジスタ (SPDR/SPDR_HA) の受信バッファにデータをコピーします。

最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMDm.SPB[3:0]ビットの設定値で決まります。クロック同期式動作時は、SSLn0 端子の出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、および SPND レジスタによって決定されます。クロック同期式動作時は、SSLni 端子へ信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定します。SPCMDm レジスタでは、以下の項目を設定します。

- SSLni 端子の出力信号値
- MSB ファーストまたは LSB ファースト
- データ長
- ビットレート設定の一部
- RSPCKn 極性と位相
- SPCKD レジスタの参照要否
- SSLND レジスタの参照要否
- SPND レジスタの参照要否

SPBR レジスタは、SPCKD レジスタ（SPI クロック遅延）、SSLND レジスタ（SSL ネゲート遅延）、SPND レジスタ（次アクセス遅延）などの、ビットレート設定の一部を保持しています。

SPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部または全部からなるシーケンスを構成します。SPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0]ビットの読み出しによって確認できます。SPCR.SPE ビットを 1 にして SPI 機能を有効にすると、SPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。SPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスの最終コマンドに対応するシリアル転送が終了すると、SPI はポインタを SPCMD0 レジスタにセットするため、シーケンスが繰り返し実行されます。

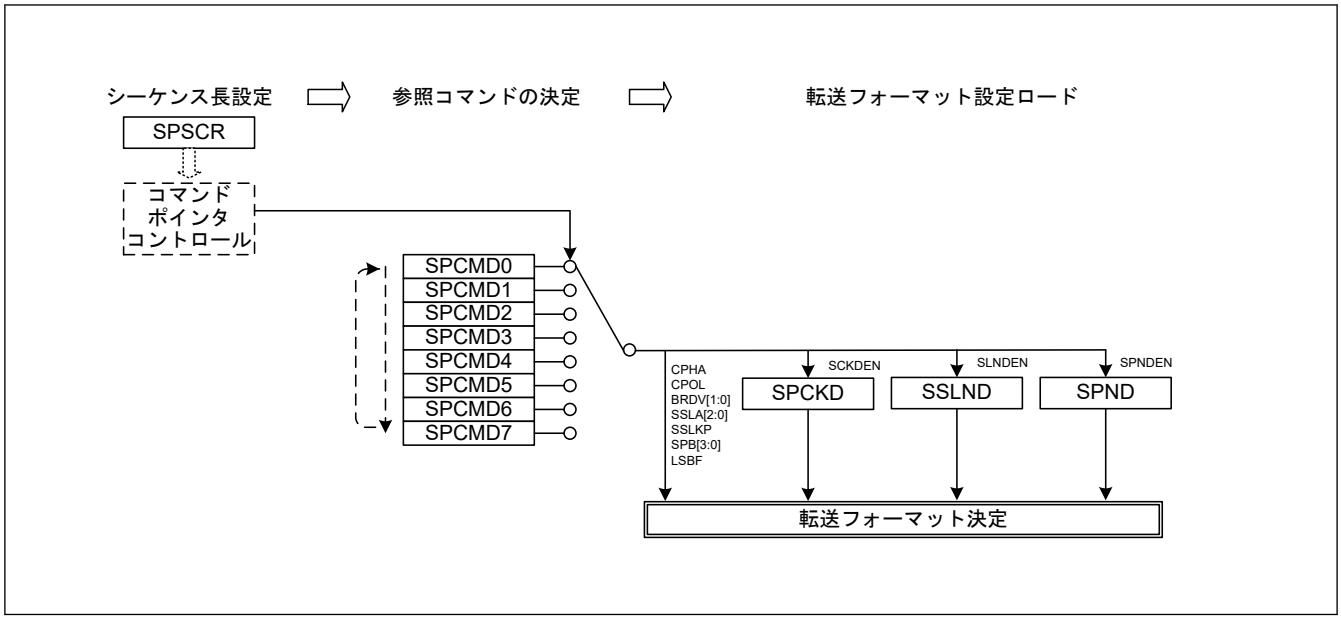


図 30.56　マスタモードでのシリアル転送方式の決定方法

ここでは、データ (SPDR/SPDR_HA) と設定 (SPCMDm) の 2 つを合わせてフレームとします。

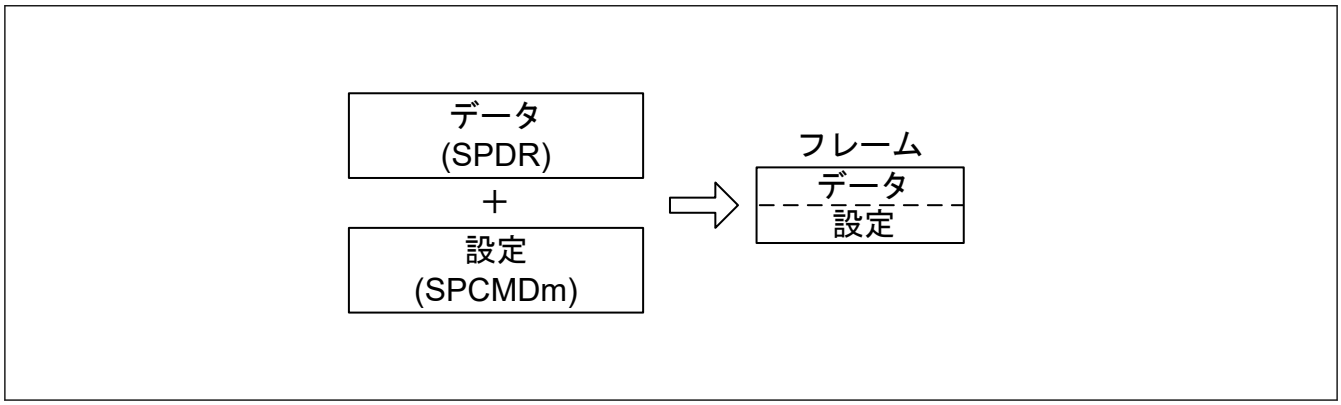


図 30.57　フレームの概念図

図 30.58 に表 30.4 の設定で指定されたシーケンス動作を行ったときのコマンドと送信バッファ／受信バッファの関係を示します。

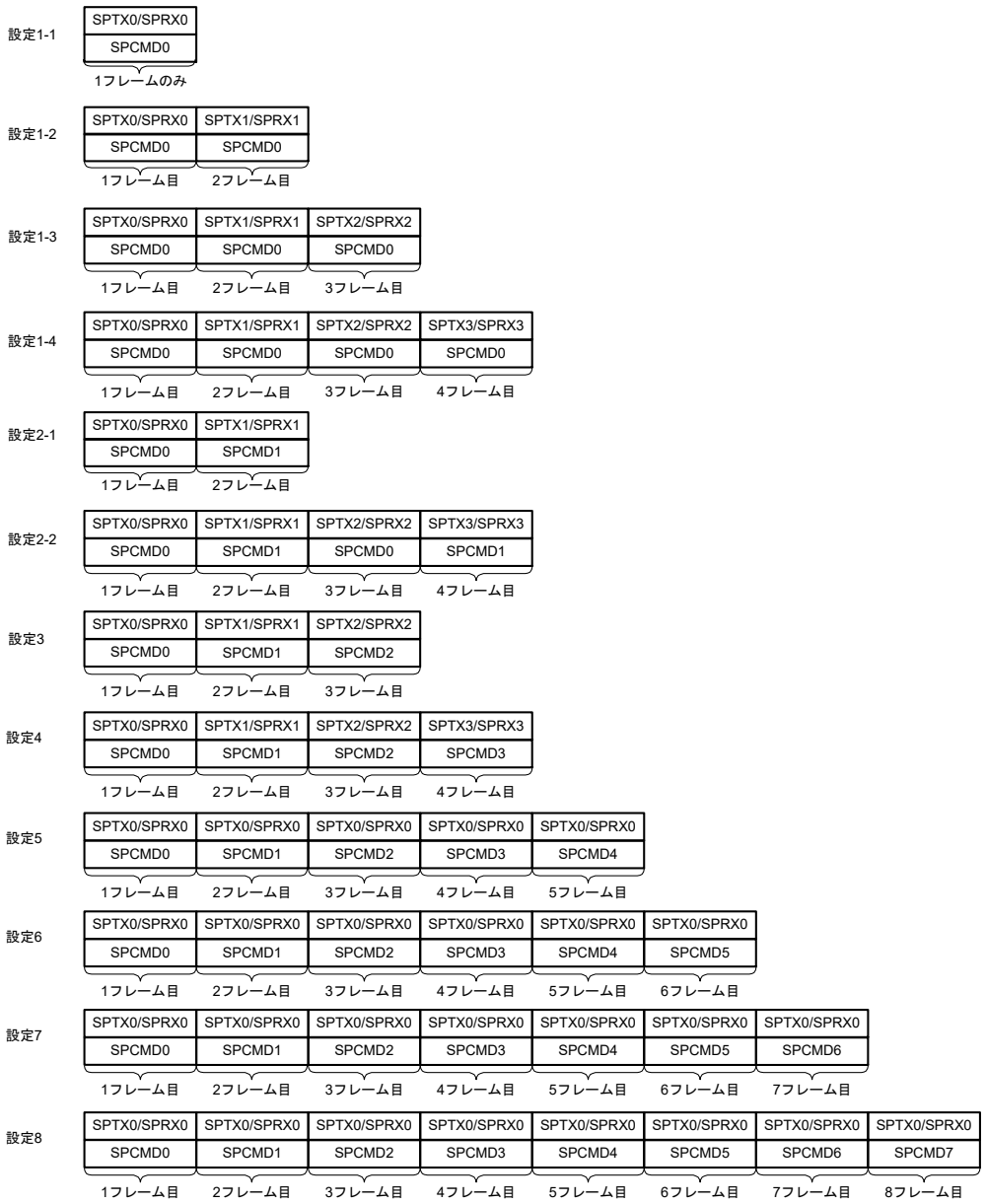


図 30.58　シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応関係

(4)　初期化フロー

図 30.59 に、SPI がマスタモードである場合のクロック同期式動作の初期化フローの例を示します。なお、ICU、DMAC、DTC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

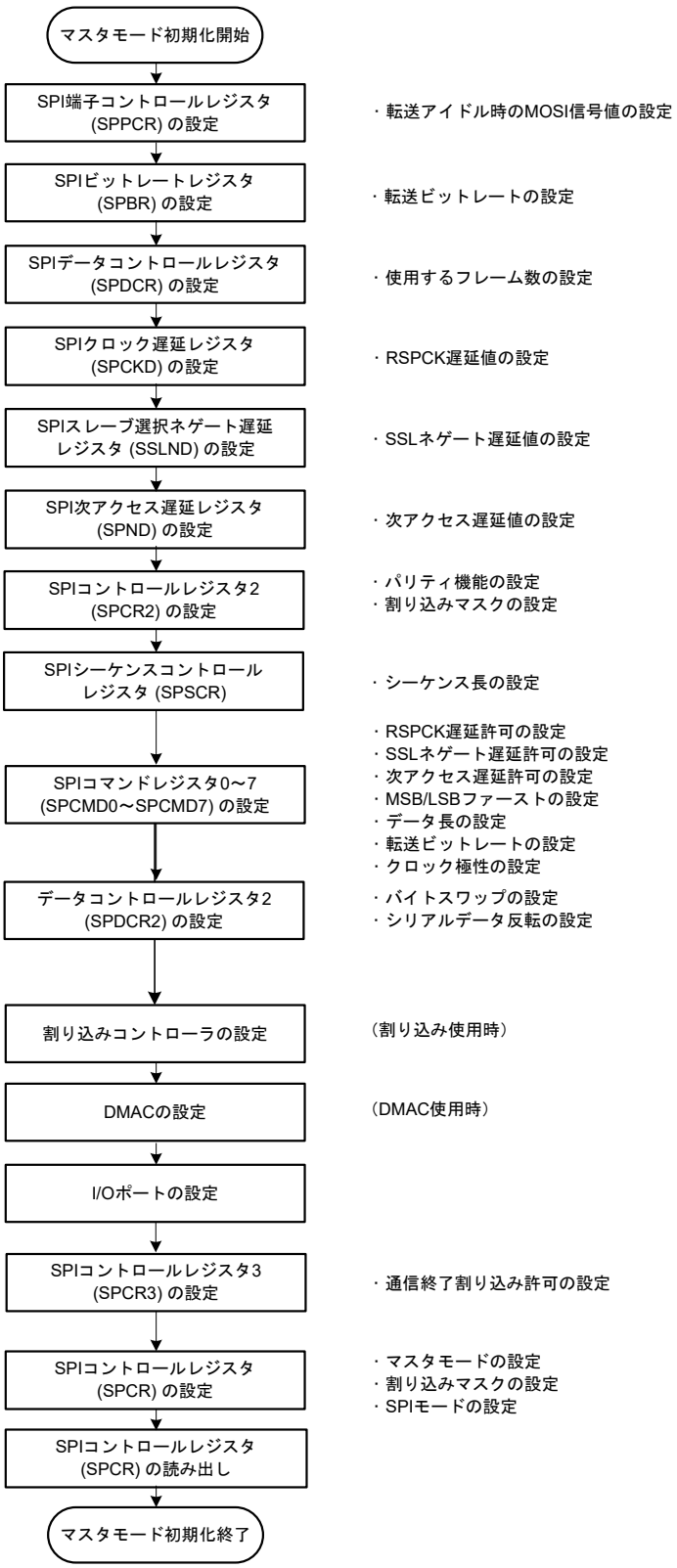


図 30.59　マスタモード時のクロック同期式動作の初期化フロー例

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモードでのソフトウェア処理は、SPI 動作時のマスタモードでのソフトウェア処理と同様になります。詳細は、「30.3.11.1. マスタモード動作」の (9) ソフトウェア処理フローを参照してください。クロック同期動作ではモードフォルトエラーは発生しません。

30.3.12.2 スレーブモード動作

(1) シリアル転送の開始

SPCR.SPMS ビットが 1 であるとき、最初の RSPCKn エッジが SPI のシリアル転送開始のトリガになり、SPI は MISOn 出力信号をドライブします。クロック同期式動作では SSL0 入力信号は使用しません。SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。

(2) シリアル転送の終了

SPI は最終のサンプリングタイミングに対応する RSPCKn エッジを検出すると、シリアル転送を終了します。受信バッファがエンプティ (SPSR.SPRF = 0) の場合は、シリアル転送終了後に、SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファに受信データをコピーします。受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態をエンプティに変更します。

最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードでは、SPI のデータ長は、SPCMD0.SPB[3:0]ビットの設定に依存します。SPI の転送フォーマットの詳細については、「30.3.5. 転送フォーマット」を参照してください。

(3) 初期化フロー

図 30.60 に、SPI がスレーブモードである場合のクロック同期式動作の初期化フローの例を示します。なお、割り込みコントローラユニット、DTC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

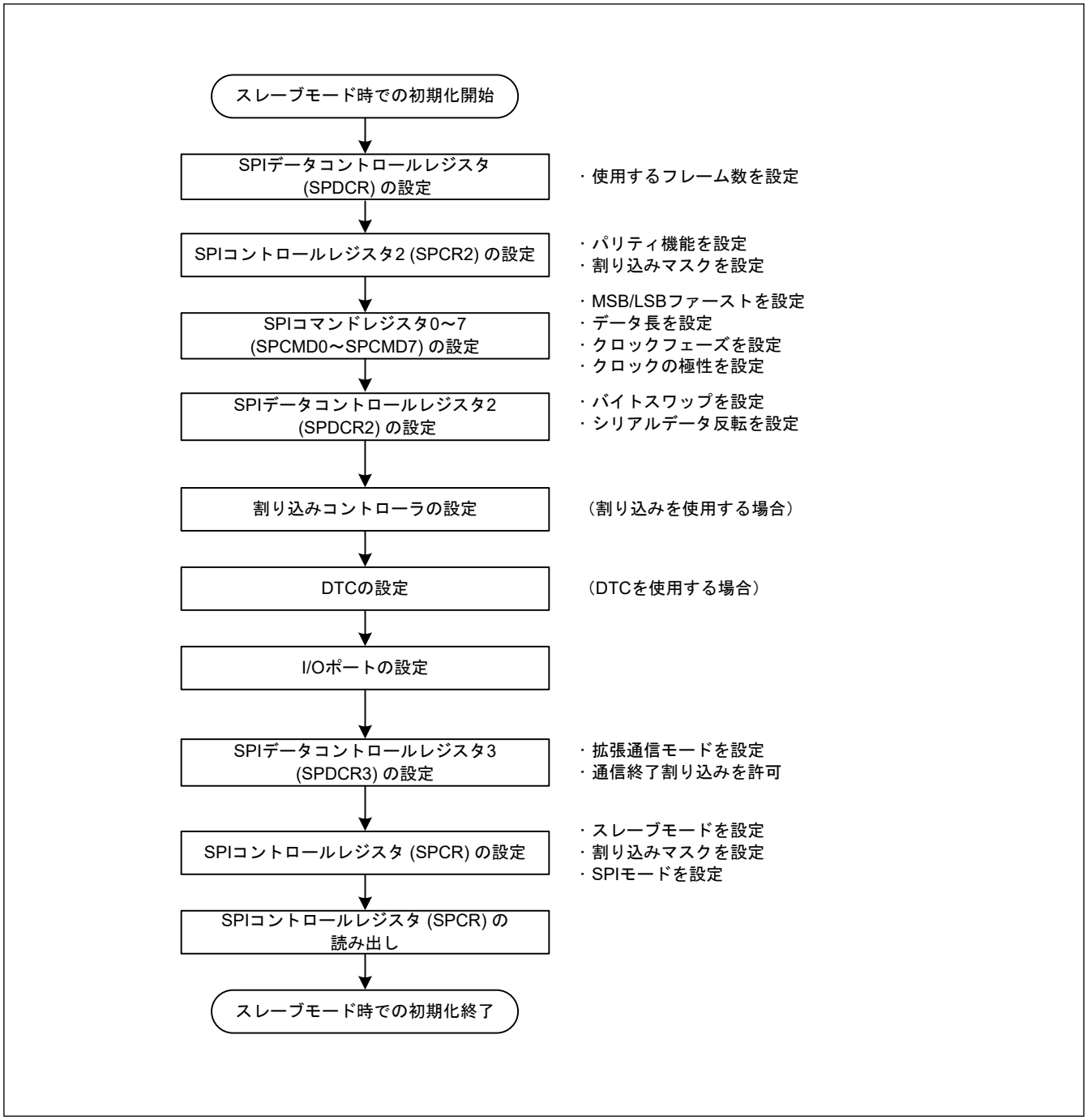


図 30.60　スレーブモード時のクロック同期式動作の初期化フロー例

(4)　ソフトウェア処理フロー

クロック同期式動作時のスレーブモードでのソフトウェア処理は、SPI 動作時のスレーブモードでのソフトウェア処理と同様になります。詳細は、(6) ソフトウェア処理フローを参照してください。この条件下ではモードフォルトエラーは発生しません。

30.3.13　ループバックモード

SPPCR.SPLP2 ビットまたは SPPCR.SPLP ビットに 1 を書き込むと、SPI は、SPCR.MSTR ビットが 1 であれば、MISOn 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断して、シフトレジスタの入力経路と出力経路を接続し、ループバックモードを構成します。また、SPCR.MSTR ビットが 1 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断せず、SPCR.MSTR ビットが 0 であれば、MISOn 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。

ループバックモードでシリアル転送を実行すると、SPI の送信データまたは送信データの反転が SPI の受信データになります。

表 30.14 に、SPLP2 ビット、SPLP ビット、および受信データの関係を示します。また、図 30.61 にマスタモードの SPI をループバックモード (SPPCR.SPLP2 = 0, SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 30.14　SPPCR.SPLP2 ビット、SPPCR.SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIn 端子または MISOn 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

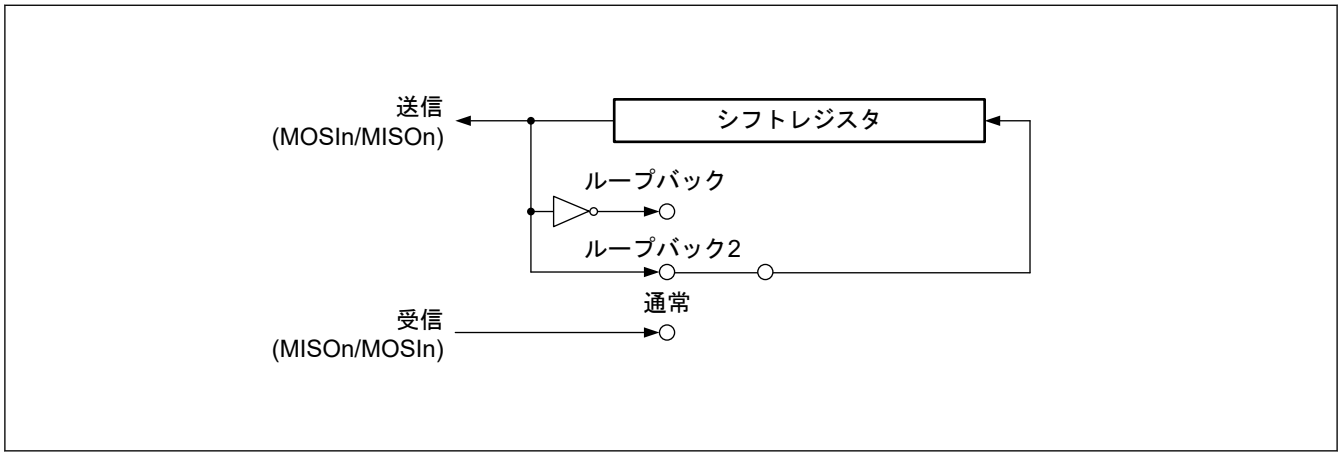


図 30.61　ループバックモード時のシフトレジスタ入出力経路の構成（マスタモード）

30.3.14　パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と、受信データに対するエラー検出部で構成されます。パリティ付加部とエラー検出部の故障を検出するため、パリティ回路は図 30.62 に示す自己診断を実行します。

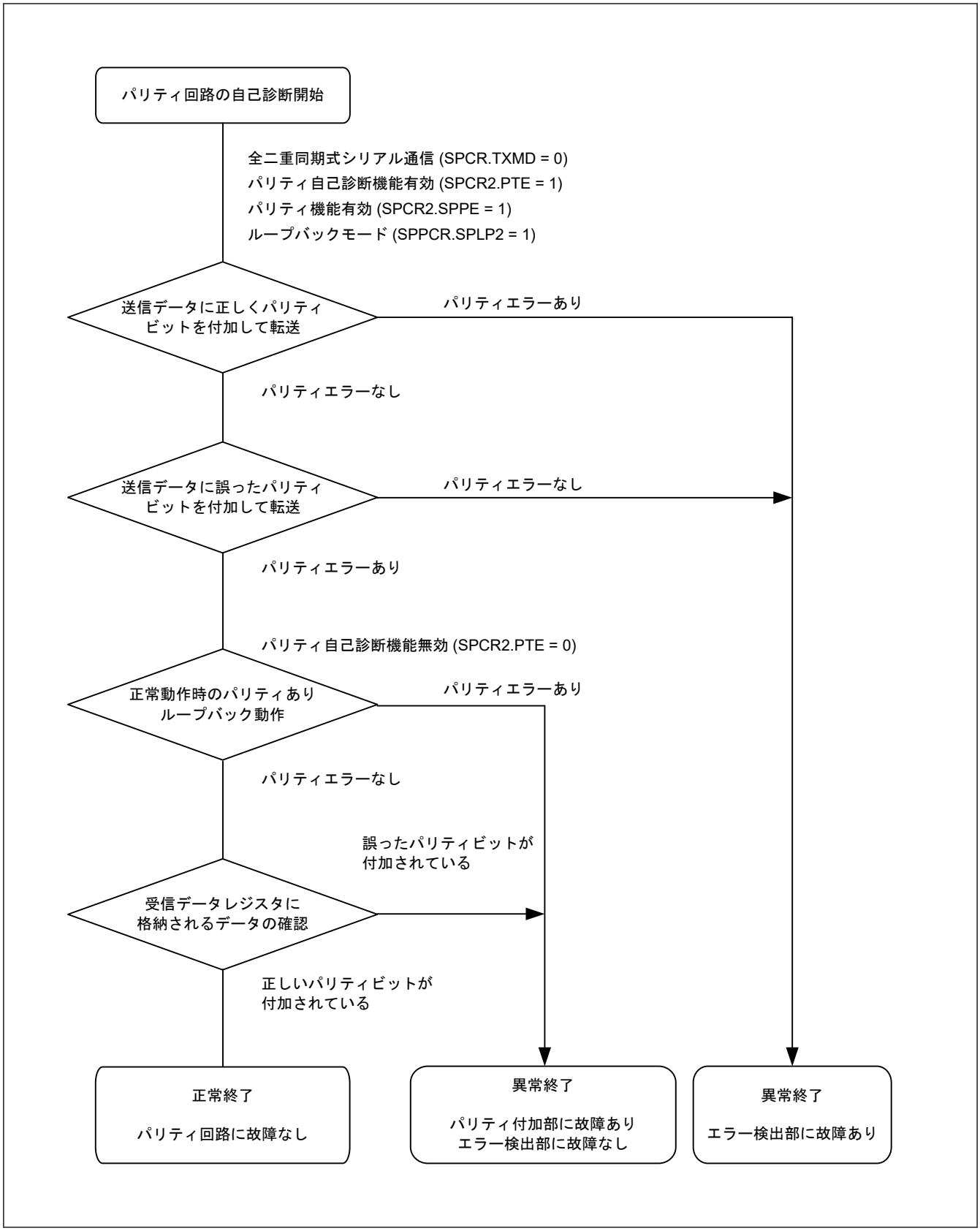


図 30.62　パリティ回路の自己診断フロー

30.3.15　割り込み要因

SPI には以下の割り込み要因があります。

- 受信バッファフル
- 送信バッファエンプティ
- SPI エラー（モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラー）
- SPI アイドル
- 通信終了

受信バッファフルまたは送信バッファエンプティの割り込みで DMAC または DTC を起動し、データ転送を行うことができます。

SPIn_SPEI のベクタアドレスは、モードフォルトエラー、アンダーランエラー、オーバーランエラー、およびパリティエラーでトリガされる割り込み要求に割り付けられるため、実際の割り込み要因は、フラグから判断する必要があります。表 30.15 に SPI の割り込み要因に対応するフラグを示します。表 30.15 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因に対しては、データ転送でクリアしてください。

DMAC または DTC を使用してデータの送受信を行う場合、最初に DMAC または DTC を転送許可状態に設定してから SPI の設定を行ってください。DMAC または DTC の設定については、「15. DMA コントローラ (DMAC)」と「16. データトランスファコントローラ (DTC)」を参照してください。

ICU.IELSRn.IR フラグが 1 の状態で、送信バッファエンプティ割り込みまたは受信バッファフル割り込みの発生条件が生じても、ICU に対して割り込み要求は出力されず、内部で保持されます（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IELSRn.IR フラグが 0 になると、保持されていた割り込み要求が出力されます。保持されていた割り込み要求が出力されると、その割り込み要求は自動的に破棄されます。また、内部で保持されている割り込み要求は、対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を 0 にすることでもクリアできます。

表 30.15 SPI の割り込み要因

割り込み要因	シンボル	割り込み発生条件	DTC/DMAC の起動
受信バッファフル	SPIi_SPRI	SPCR.SPRIE ビットが 1 の状態で受信バッファフル（SPSR.SPRF フラグが 1）になったとき	可能
送信バッファエンプティ	SPIi_SPTI	SPCR.SPTIE ビットが 1 の状態で送信バッファエンプティ（SPSR.SPTEF フラグが 1）になったとき	可能
SPI エラー（モードフォルトエラー、アンダーランエラー、オーバーランエラー、またはパリティエラー）	SPIi_SPEI	SPCR.SPEIE ビットが 1 の状態で SPSR.MODF、OVRF、UDRF、または PERF フラグが 1 になったとき	不可能
SPI アイドル	SPIi_SPII	SPCR2.SPIIE ビットが 1 の状態で SPSR.IDLNF フラグが 0 になったとき	不可能
通信終了	SPIi_SPCEND	CENDIE = 1 かつ CENDF = 1	不可能

30.4 イベントリンクコントローラ (ELC) への出力

イベントリンクコントローラ (ELC) は、次のイベント出力信号を生成することができます。

- 受信バッファフルイベント出力
- 送信バッファエンプティイベント出力
- モードフォルトエラー／アンダーランエラー／オーバーランエラー／パリティエラーイベント出力
- SPI アイドルイベント出力
- 送信完了イベント出力

イベントリンク出力信号は、割り込み許可ビットの設定に関係なく出力されます。

30.4.1 受信バッファフルイベント出力

このイベント信号は、シリアル転送の終了時に、受信したデータがシフトレジスタから SPDR レジスタへ転送されたときにイベント信号を出力します。

30.4.2 送信バッファエンプティイベント出力

このイベント信号は、送信バッファからシフトレジスタに送信データが転送されたとき、および SPCR.SPE ビットが 0 から 1 に変化したときにイベント信号を出力します。

30.4.3 モードフォルト、アンダーラン、オーバーラン、またはパリティエラーイベント出力

このイベント信号は、モードフォルトエラー、アンダーランエラー、オーバーランエラー、パリティエラーを検出したときに出力されます。このイベント信号を使用する場合は、「30.5.4. モードフォルトエラー、アンダーランエラー、オーバーランエラー、またはパリティエラーイベント出力の制限事項」を参照してください。

(1) モードフォルトエラー

表 30.16 にモードフォルトエラーイベントの発生条件を示します。

表 30.16 モードフォルトエラーの発生条件

SPI モード	SPCR.MODFEN ビット	SSLn0 端子	備考
SPI 動作 (SPCR.SPMS = 0) スレーブ (SPCR.MSTR = 0)	1	非アクティブ	通信動作中に SSLn0 端子が非アクティブになった場合のみイベント出力

(2) アンダーランエラー

アンダーランエラーイベント信号は、SPCR.MSTR ビットが 0、SPCR.SPE ビットが 1、かつ送信データが準備されていない状態でシリアル転送を開始したときに出力されます。この条件下では、SPSR.MODF フラグおよび SPSR.UDRF フラグが 1 となります。

(3) オーバーランエラー

オーバーランエラーイベント信号は、SPCR.TXMD ビットが 0、かつ受信バッファに未読データがある状態でシリアル転送が終了したときのオーバーランに対応して出力されます。この条件下では、OVRF フラグが 1 になります。

(4) パリティエラー

パリティエラーイベント信号は、SPCR.TXMD ビットが 0 かつ SPCR2.SPPE ビットが 1 の状態でシリアル転送が終了したときに検出されるパリティエラーに対応して出力されます。

30.4.4 SPI アイドルイベント出力

(1) マスタモード時

マスタモードの場合、IDLNF フラグ（SPI アイドルフラグ）が 0 になる条件が成立すると、イベントが出力されます。

(2) スレーブモード時

スレーブモードの場合、SPCR.SPE ビットが 0（SPI 初期化）のとき、イベントが出力されます。

30.4.5 通信終了イベント出力

マスタモード時、IDLNF フラグ（SPI アイドルフラグ）が 1 から 0 になるとイベントを出力します。スレーブモード時、表 30.17 と表 30.18 に示す条件でイベントが発生します。

表 30.17 通信終了イベント発生条件（送受信／送信スレーブモード）

	送信バッファ状態	シフトレジスタ状態	その他
SPI 動作 (SPMS = 0)	エンプティ	エンプティ	SSL0 入力がネゲート
クロック同期式動作 (SPMS = 1)	エンプティ	エンプティ	最終データの RSPCK の最終偶数エッジを検出 (CPHA = 1)

表 30.18　通信終了イベント発生条件（受信専用スレーブモード）

	その他
SPI 動作 (SPMS = 0)	SSL0 入力がネゲート
クロック同期式動作 (SPMS = 1)	最終データの RSPCK の最終偶数エッジを検出 (CPHA = 1)

マスタモード、スレーブモードのどちらであっても、送信中に SPCR.SPE ビットに 0 が書き込まれた場合、あるいは、モードフォルトエラーまたはアンダーランエラーの発生によって SPCR.SPE ビットがクリアされた場合、イベントは出力されません。

通信終了イベントは、以下のタイミングで出力します。マスタ動作における通信終了イベント出力タイミングは、アイドルイベントと同じタイミングで出力されるため、省略します。

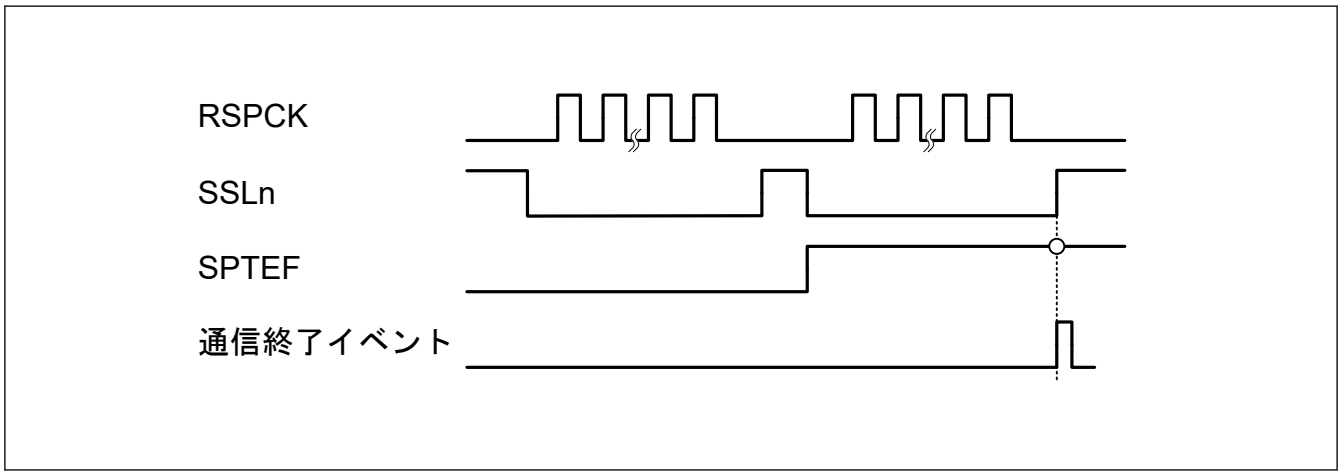


図 30.63　通信終了イベント出力タイミング（送信スレーブモード、SPI 動作）

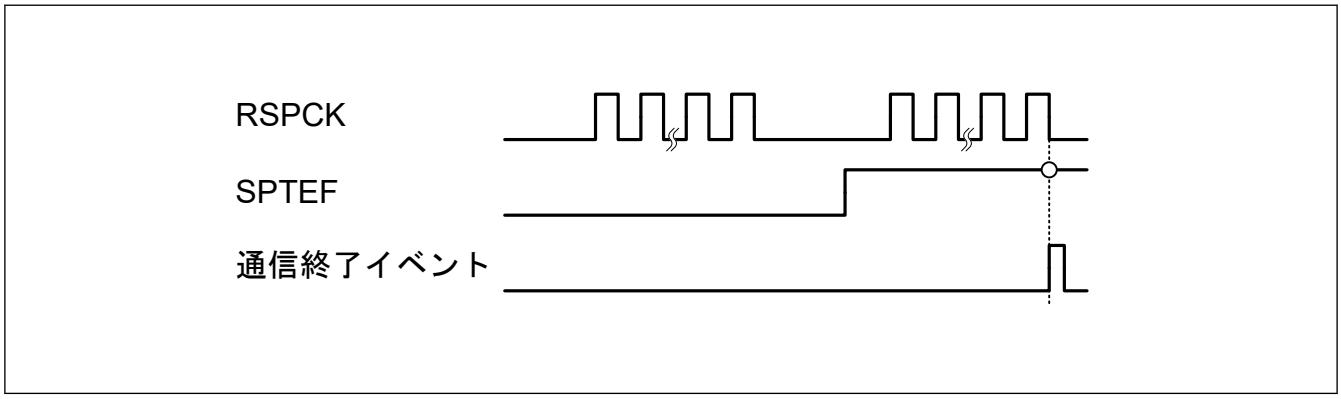


図 30.64　通信終了イベント出力タイミング（送信スレーブモード、クロック同期式動作）

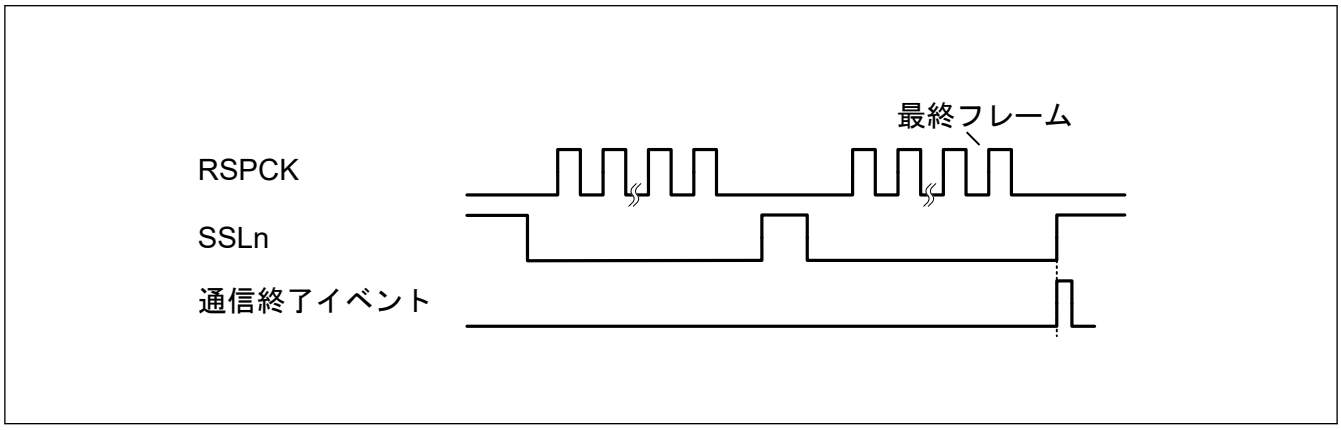


図 30.65　通信終了イベント出力タイミング（受信専用スレーブモード、SPI 動作）

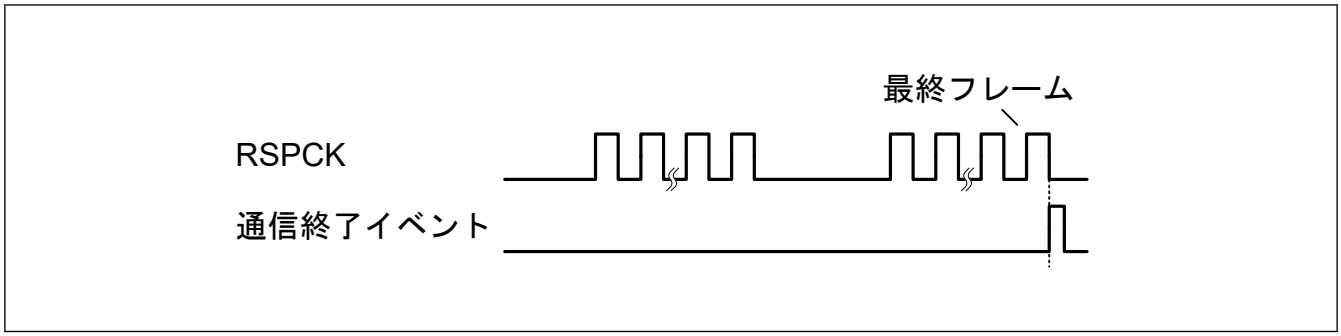


図 30.66 通信終了イベント出力タイミング（受信専用スレーブモード、クロック同期式動作）

30.5 使用上の注意事項

30.5.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SPI の動作禁止／許可を設定することが可能です。リセット後の値では、SPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

30.5.2 低消費電力機能に関する制約

モジュールストップ機能を使用する場合、およびスリープモード以外の低消費電力モードへ遷移する場合は、あらかじめ SPCR.SPE ビットを 0 にしてから通信を終了させてください。

30.5.3 転送の開始に関する制約

ICU.IELSRn.IR フラグが 1 の状態で転送を開始すると、転送開始後も割り込み要求が内部で保持されるため、ICU.IELSRn.IR フラグが予期しない挙動となることがあります。

これを避けるには、動作を許可する（SPCR.SPE ビットを 1 にする）前に、下記の手順で割り込み要求をクリアしてください。

1. 転送が停止していること（SPCR.SPE ビットが 0 であること）を確認する。
2. 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を 0 にする。
3. 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を読み出して、0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

30.5.4 モードフォルトエラー、アンダーランエラー、オーバーランエラー、またはパリティエラーイベント出力の制限事項

SPI がマルチマスタモードである場合は、モードフォルトエラー、アンダーランエラー、オーバーランエラー、またはパリティエラーイベントの使用は禁止されています（SPCR.SPMS = 0、SPCR.MSTR = 1、および SPCR.MODFEN = 1 の場合）。

30.5.5 SPSR.SPRF および SPSR.SPTEF フラグに関する制約

SPRF および SPTEF というポーリングフラグが使用されている場合は、割り込みの使用は禁止されます。したがって、SPCR.SPRIE ビットと SPCR.SPTIE ビットを 0 にしてください。割り込みまたはこれらのフラグのどちらかを使用できますが、両方は使用できません。

31. CEC 送受信回路 (CEC)

31.1 概要

CEC 送受信回路は、CEC (Consumer Electronics Control) 規格に対応した CEC 信号の生成と受信ができ、さらに通信状態の検出を CEC が自動的に行います。これらの機能により、CEC 送受信の制御を簡単に行うことができます。

表 31.1 に CEC の仕様を、図 31.1 にブロック図を示します。

表 31.1 CEC の仕様

項目	内容
通信方式	HDMI (High-Difinition Multimedia Interface Ver1.4b) の CEC (Consumer Electoronics Control) 規格に準拠したシリアル通信が可能
CEC 動作クロック (f_{CEC})	PCLKB/2^5、PCLKB/2^6、PCLKB/2^7、PCLKB/2^8、PCLKB/2^9、PCLKB/2^{10}、CECCLK、CECCLK/2^8 から選択可能
割り込み要因	• データ割り込み (INTDA) • 通信完了割り込み (INTCE) • エラー割り込み (INTERR) （送信エラー、ACK エラー、アービトレーションエラー、タイミングエラー、アンダーランエラー、オーバーランエラー、バスロックエラー）
その他の機能	• 通信ビット幅調整機能 送信時 CEC データフレームを構成するスタートビットとデータビットの Low 幅およびビット幅を設定可能 • シグナルフリータイムのカウント機能 CEC の規格で規定されているシグナルフリータイム（送信禁止期間）のカウントおよびカウント期間を設定可能 • エラー処理機能 データビットのタイミングエラー検出によるエラー処理パルスを出力可能 • 受信中のスタートビット検知による再受信機能

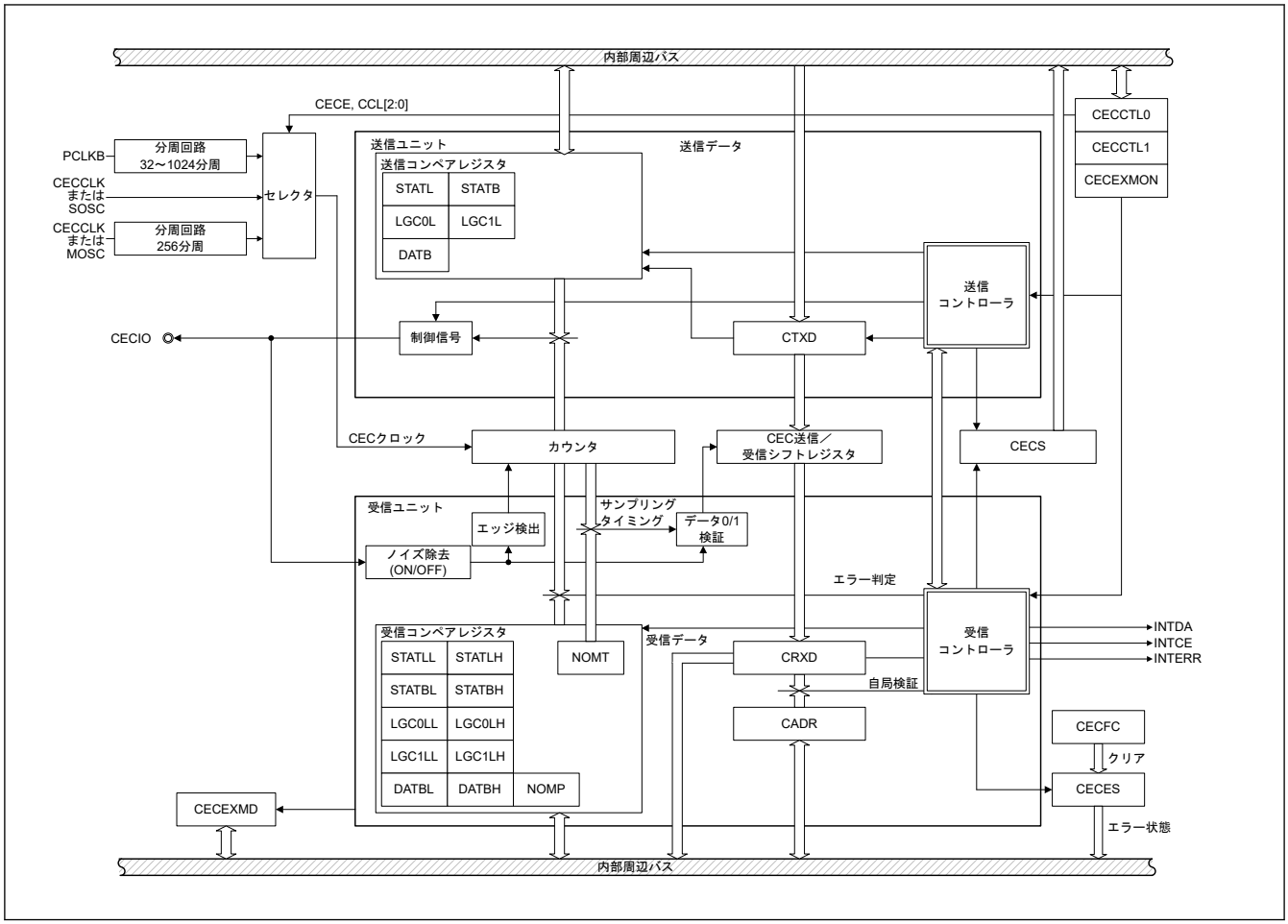
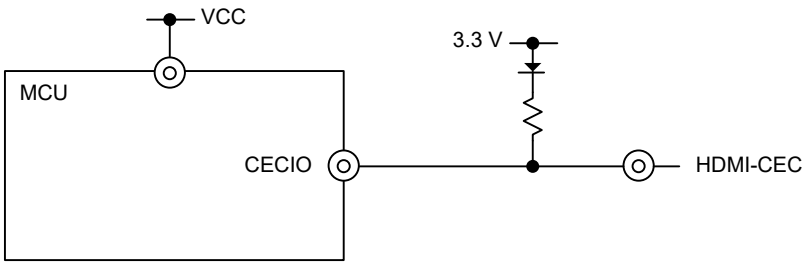


図 31.1　CEC のブロック図

図 31.2 に、入出力端子の外部回路接続例を示します。表 31.2 に、CEC で使用する入出力端子を示します。



注.　VCC = 3.3 V ± 10%以外の値で CEC 送受信機能を使用する場合、外部回路は CEC 基準値に合致することが要求されます。

図 31.2　外部回路への I/O 端子の接続例（VCC = 3.3 V ± 10%の場合）

表 31.2　CEC の入出力端子

端子名	入出力	機能
CECIO	入出力	CEC データ通信

31.1.1　用語説明

- イニシエータ：CEC メッセージを送信する、または送信中のデバイス
- フォロワー：CEC メッセージを受信する、または受信中のデバイス

- メッセージ：スタートビットからオペランドまでのすべてのデータ
- イニシエータアドレス：転送元アドレス
- デスティネーションアドレス：転送先アドレス
- ダイレクトアドレス通信（ダイレクトアドレスメッセージ）：フォロワーが 1 つの通信
- ブロードキャスト通信（ブロードキャストメッセージ）：フォロワーが複数の通信
- アービトレーション：複数のイニシエータがある場合、CEC ラインに Low を出力したデバイスを優先すること
- アービトレーションロスト：競合デバイスが優先された状態。このとき、自局は送信を停止する。
- バスフリー：通信が行われていない状態。送信可能状態。
- バスビジー：通信中
- エラー処理：設定したデータビットのビット幅よりも短いビット幅を受信した場合、エラー処理パルス（ビット幅×1.5 倍の幅の Low）を出力し、通信待機状態に遷移する。
- ACK/NACK：ACK ビットのタイミングで受信する論理レベルは次のように表記します。
  ACK：ロジカル 0 を出力
  NACK：ロジカル 1 を出力

（例） ACK ビット期間にイニシエータがロジカル 1 を、フォロワーがロジカル 0 を出力する場合
イニシエータ：NACK を送信
フォロワー：ACK を送信

図 31.3 に ACK ビット出力例を示します。

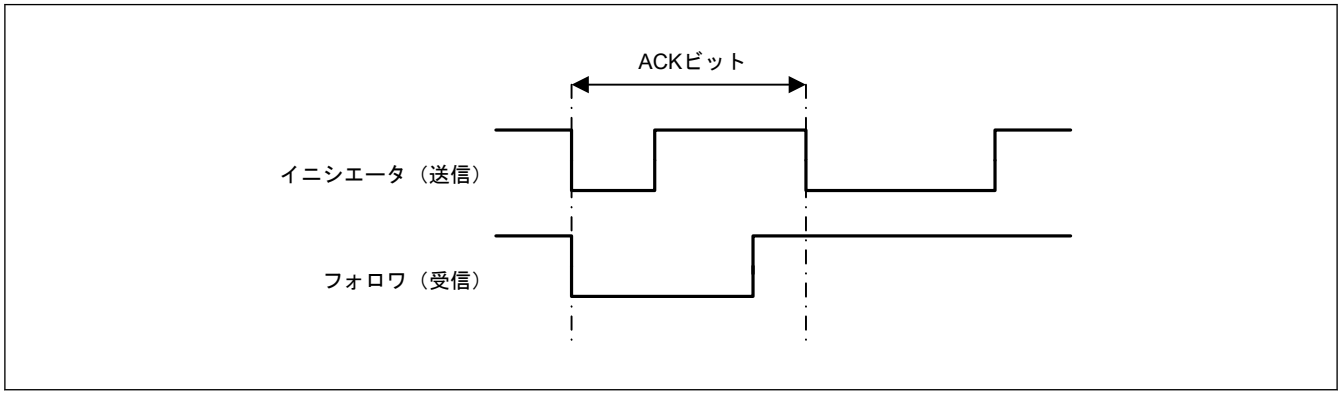


図 31.3 イニシエータ／フォロワー ACK ビット出力例

31.2 レジスタの説明

31.2.1 CADR : CEC 自局アドレス設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x00

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	ADR14	ADR13	ADR12	ADR11	ADR10	ADR09	ADR08	ADR07	ADR06	ADR05	ADR04	ADR03	ADR02	ADR01	ADR00
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADR00	アドレス 0 (TV) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W

ビット	シンボル	機能	R/W
1	ADR01	アドレス 1 (Recording Device1) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W
2	ADR02	アドレス 2 (Recording Device2) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W
3	ADR03	アドレス 3 (Tuner1) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W
4	ADR04	アドレス 4 (Playback Device1) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W
5	ADR05	アドレス 5 (Audio System) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W
6	ADR06	アドレス 6 (Tuner2) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W
7	ADR07	アドレス 7 (Tuner3) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W
8	ADR08	アドレス 8 (Playback Device2) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W
9	ADR09	アドレス 9 (Recording Device3) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W
10	ADR10	アドレス 10 (Tuner4) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W
11	ADR11	アドレス 11 (Playback Device3) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W
12	ADR12	アドレス 12 (Reserved) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W
13	ADR13	アドレス 13 (Reserved) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W
14	ADR14	アドレス 14 (Specific Use) の自局アドレス設定 0: 自局アドレスに設定しない 1: 自局アドレスに設定する	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. アドレス 15 (Unregistered) を自局アドレスに設定する場合は、ADR00～ADR14 ビットをすべて 0 に設定してください。
注. 通信中 (CECS.BUSST = 1) の設定値書き換えは禁止です。

CADR レジスタは自局アドレスを設定する 16 ビットのレジスタです。CADR は受信時にのみ有効となるレジスタで、ADR00～ADR14 ビットがそれぞれ CEC のロジカルアドレス 0～14 に対応し、最大 15 個の自局アドレスを設定できます。アドレス 15 を CEC 自局アドレスに設定する場合は、ADR00～ADR14 ビットをすべて 0 に設定してください。なお、ブロードキャストアドレスは常に自局アドレスとして動作します。

たとえば、アドレス 0 を自局アドレスとして使用する場合は、ADR00 ビットを 1 にします。

31.2.2 CTXD : CEC 送信バッファレジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x40

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

CTXD は、MSB ファーストでビット 7 から順に 8 ビット分のデータを送信します。ヘッダブロック、データブロックの先頭のタイミングで送受信割り込み要求信号 (INTDA) が発生します。INTDA 発生後、送信が完了するまでに CTXD レジスタに次のデータを書き込むことで連続した送信が可能です。

アンダーランエラーが発生 (UERR = 1) した場合、送信は継続しません。エラー割り込みを発生し送信待ち状態になります。

最終ブロック送信時のデータ割り込み (INTDA) 発生後、本レジスタへ送信データを書き込んだ場合、そのデータは無効となります。

31.2.3 CRXD : CEC 受信バッファレジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x41

Bit position:	7	6	5	4	3	2	1	0
Bit field:								
Value after reset:	0	0	0	0	0	0	0	0

CRXD は、本レジスタをリードすることで読み出し可能な受信データ保持します。データを 1 バイト受信するごとに CEC 受信シフトレジスタから新たなデータが転送されます。

オーバーランエラーが発生 (CECES.OERR = 1) した場合、受信バッファレジスタのデータは上書きされます。

31.2.4 CECCTL0 : CEC コントロールレジスタ 0

Base address: CEC = 0x400A_C000

Offset address: 0x45

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CECE	ACKTEN	CCL[2:0]			TXTRG	CECRXEN	EOM
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	EOM	EOM 設定 0: 送信継続 1: 最終フレーム	R/W
1	CECRXEN	受信許可制御 0: 受信継続を中止または異常受信を通知する 1: 受信継続を許可または正常受信を通知する 表 31.3 に受信状態と ACK/NACK タイミング出力を示します。	R/W
2	TXTRG	送信開始トリガ 0: 無効 1: CEC 送信を開始する	W

ビット	シンボル	機能	R/W
5:3	CCL[2:0]	CEC クロック選択(注1) 0 0 0 : PCLKB/2^5 0 0 1 : PCLKB/2^6 0 1 0 : PCLKB/2^7 0 1 1 : PCLKB/2^8 1 0 0 : PCLKB/2^9 1 0 1 : PCLKB/2^{10} 1 1 0 : CECCLK（SOSC 使用時） 1 1 1 : CECCLK/2^8（MOSC 使用時）	R/W
6	ACKTEN	ACK ビットタイミングエラー（ビット幅）チェック許可(注1) 0: ACK ビットのタイミングエラーを検出しない 1: ACK ビットのタイミングエラーを検出する	R/W
7	CECE	CEC 動作イネーブルフラグ 0: CEC 動作禁止 1: CEC 動作許可	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

CECCTL0 は、動作許可、送信開始、動作クロックの選択を行うレジスタです。

EOM ビット（EOM 設定）

このビットに 1 を書いた次のフレームが最終フレームとなります。

EOM ビットは CEC 送信バッファレジスタ (CTXD) に送信データを書き込む前に設定してください。

EOM ビットおよび CEC 送信バッファレジスタ (CTXD) の書き込みはデータ割り込み (INTDA) 発生から次のデータ割り込み (INTDA) 発生のタイミング（EOM ビット送信完了タイミング）までに設定してください。ただし、最終ブロックのデータ割り込み (INTDA) 発生時は設定不要です。

CECRXEN ビット（受信許可制御）

CECRXEN ビットを 1 にして、受信を許可します。自局アドレス決定後（CADR レジスタ設定後）、このビットを 1 に設定してください。通信中 (CECS.BUSST = 1）の設定値書き換えは禁止です。

表 31.3 受信許可制御ビット状態での受信状態と ACK/NACK タイミング出力

CECRXEN	受信許可制御ビット		
1	受信状態		ACK/NACK タイミングの出力
	ダイレクトアドレス受信時（自局宛）	通常の受信動作	ACK
		タイミングエラー発生	NACK
	ブロードキャスト受信時	通常の受信動作	NACK
		タイミングエラー発生	ACK
	ダイレクトアドレス受信時（他局宛）	通信不参加（ハイインピーダンス）	
0	受信状態		ACK/NACK タイミングの出力
	ダイレクトアドレス受信時（自局宛）	通常の受信動作	NACK
		タイミングエラー発生	NACK
	ブロードキャスト受信	通常の受信動作	ACK
		タイミングエラー発生	ACK
	ダイレクトアドレス受信時（他局宛）	通信不参加（ハイインピーダンス）	

TXTRG ビット（送信開始トリガ）

TXTRG ビットを 1 にすることで、送信を開始します。

このビットはトリガビットです。リード値は 0 になります。

CECCTL0.TXTRG = 1 にセットするときは CEC 動作許可 (CECCTL0.CECE = 1) かつ、バスフリー状態 (CECS.BUSST = 0) のときに設定してください。CECCTL0.TXTRG = 1 にセット後、CEC クロック 3 サイクル以内に送信が始まります。

CCL[2:0]ビット（CEC クロック選択）

CCL[2:0]ビットは CEC クロックを選択します。CEC クロックは 23.4375 kHz～78.125 kHz の範囲で設定してください。表 31.4 と表 31.5 に CEC クロックの設定例を示します。

表 31.4 CEC クロックの設定例 (1)

CEC クロック選択	CEC 動作クロック (f_{CEC})					
	PCLKB = 50 MHz 時	PCLKB = 40 MHz 時	PCLKB = 30 MHz 時	PCLKB = 20 MHz 時	PCLKB = 10 MHz 時	PCLKB = 1 MHz 時
PCLKB/2^5	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	31.250 kHz
PCLKB/2^6	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
PCLKB/2^7	設定禁止	設定禁止	設定禁止	設定禁止	78.125 kHz	設定禁止
PCLKB/2^8	設定禁止	設定禁止	設定禁止	78.125 kHz	39.062 kHz	設定禁止
PCLKB/2^9	設定禁止	78.125 kHz	58.593 kHz	39.062 kHz	設定禁止	設定禁止
PCLKB/2^{10}	48.828 kHz	39.062 kHz	29.296 kHz	設定禁止	設定禁止	設定禁止

表 31.5 CEC クロックの設定例 (2)

CEC クロック選択	CEC 動作クロック (f_{CEC})
CECCLK	32.768 kHz（SOSC 選択）
CECCLK/2^8	31.250 kHz～78.125 kHz（MOSC 選択）

ACKTEN ビット（ACK ビットタイミングエラー（ビット幅）チェック許可）

ACKTEN ビットを 1 にすることで、ACK ビットの Low 幅（LGC0LL/LGC0LH/LGC1LL/LGC1LH 設定値）に加え、ビット幅（DATBL/DATBH 設定値）のタイミングエラーを検出します。ただし、最終フレーム (EOM = 1) の ACK ビットは、ACKTEN = 1 でもビット幅 MAX 値 (DATBH) のタイミングチェックを行いません。

CECE フラグ（CEC 動作イネーブルフラグ）

CECE フラグを 1 にすることで、CEC の動作を許可します。このフラグを 0 にすると、内部はリセットされますが、制御レジスタはリセットされません。

31.2.5 CECCTL1 : CEC コントロールレジスタ 1

Base address: CEC = 0x400A_C000

Offset address: 0x02

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CDFC	CINTMK	BLERRD	STERRD	CESEL[1:0]		SFT[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SFT[1:0]	シグナルフリータイムデータビット幅選択 0 0: 3 データビット幅 0 1: 5 データビット幅 1 0: 7 データビット幅 1 1: シグナルフリータイムを検出しない	R/W
3:2	CESEL[1:0]	通信完了割り込み (INTCE) 発生タイミング選択(注1) 0 0: 最終フレーム (EOM = 1) の ACK 送信（受信）完了後およびシグナルフリータイムの検出後の両方で通信完了割り込みを発生 0 1: 最終フレーム (EOM = 1) の ACK 送信（受信）完了後に通信完了割り込みを発生 1 0: シグナルフリータイムの検出後に通信完了割り込みを発生 1 1: 設定禁止	R/W

ビット	シンボル	機能	R/W
4	STERRD	スタートビットエラー検出選択(注1) 0: スタートビット受信中のタイミングエラーを検出しない 1: スタートビット受信中のタイミングエラーを検出する	R/W
5	BLERRD	バスロック検出選択(注1) 0: 受信データの High および Low 張り付きを検出しない 1: 受信データの High および Low 張り付きを検出する	R/W
6	CINTMK	CEC データ割り込み (INTDA) 発生選択(注1) 0: アドレス不一致の場合、割り込みを発生しない 1: アドレス不一致の場合、割り込みを発生する	R/W
7	CDFC	デジタルフィルタ選択(注1) 0: デジタルフィルタを使用しない 1: デジタルフィルタを使用する	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

CECCTL1 レジスタは、デジタルフィルタの選択、データ割り込み発生の選択、スタートビットのエラー割り込みの選択、通信完了割り込みの発生有無、および発生タイミングを選択するレジスタです。

SFT[1:0]ビット（シグナルフリータイムデータビット幅選択）

シグナルフリータイムの 1 データビット幅は、NOMP レジスタの SFT[1:0]ビット設定により選択されます。なお、本ビットの書き換えは、シグナルフリータイム書き換え禁止通知フラグ (CECS.SFTST) が 0 であることを確認してから行ってください。

CESEL[1:0]ビット（通信完了割り込み (INTCE) 発生タイミング選択）

CESEL[1:0]ビットの設定により通信完了割り込み (INTCE) 発生のタイミングを選択します。

STERRD ビット（スタートビットエラー検出選択）

STERRD ビットを 1 に設定することにより、STATLL/STATLH/STATBL/STATBH 各レジスタ設定値に従って、スタートビット受信時のタイミングエラーを検出することが可能です。

タイミングエラーが発生した場合、そのスタートビットを無効と判断し通信待機状態になります。

STERRD ビットが 0 の場合、タイミングエラーを検出しません。すべてのパルスをスタートビットと判定します。

BLERRD ビット（バスロック検出選択）

BLERRD ビットを 1 に設定すると、CEC ラインのバスロック状態を検出できます。通信待機状態を除いた CEC ラインの立ち下がりエッジ待ち状態で、NOMP レジスタで設定した 1 データビット幅の 2.5 倍の期間、次の立ち下がりエッジが入力されない場合、エラー割り込み (INTERR) を発生し、バスロックエラー検出フラグ (BLERR) をセットします。その後、通信待機状態に遷移します。

CINTMK ビット（CEC データ割り込み (INTDA) 発生選択）

CINTMK ビットは、受信時においてデスティネーションアドレスが自局アドレスと不一致の場合のヘッダブロックの INTDA、通信完了時の INTCE 発生有無を選択します。

CDFC ビット（デジタルフィルタ選択）

CDFC ビットは、デジタルフィルタにより CEC クロックの 1 サイクル分のノイズを除去します。

31.2.6 CECS : CEC 通信ステータスレジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x43

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SFTST	—	—	ITCEF	EOMF	TXST	BUSST	ADRF
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ADRF	アドレス一致検出フラグ 0: 他局間通信中、もしくは通信停止中、もしくは自局送信中 1: 自局宛の受信中	R
1	BUSST	バスビジー検出フラグ 0: バスフリー状態 1: バスビジー状態	R
2	TXST	送信ステータスフラグ 0: 通信待機中、もしくは受信動作中（フォロワー動作中） 1: 送信動作中（イニシエータ動作中）	R
3	EOMF	EOM フラグ 0: 直前に受信した EOM フラグがロジカル 0 1: 直前に受信した EOM フラグがロジカル 1	R
4	ITCEF	INTCE 発生要因フラグ 0: シグナルフリータイムのカウント完了で通信完了割り込み (INTCE) が発生 1: 通信完了またはエラー検出で INTCE が発生	R
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	SFTST	シグナルフリータイム書き換え禁止通知フラグ 0: CECCTL1.SFT[1:0]書き換え許可 1: CECCTL1.SFT[1:0]書き換え禁止	R

CECS レジスタは、CEC の通信ステータスを示すレジスタです。

ADRF フラグ（アドレス一致検出フラグ）

ADRF フラグにより、自局宛の通信か否かを確認できます。

[1 になる条件]

- 自局アドレスと受信デスティネーションアドレスが一致したとき
- ブロードキャストアドレスを受信したとき

[0 になる条件]

- CEC 動作停止 (CECCTL0.CECE = 0) としたとき
- 受信が完了したとき

BUSST フラグ（バスビジー検出フラグ）

BUSST フラグにより CEC バスの状態が確認できます。

[1 になる条件]

- CEC ラインの立ち下がりを検出したとき
- CEC 動作停止から CEC 動作許可（CECCTL0.CECE = 0 から 1）にしたとき

[0 になる条件]

- CEC 動作停止 (CECCTL0.CECE = 0) としたとき
- 通信終了後、シグナルフリータイムを経過したとき

TXST フラグ（送信ステータスフラグ）

TXST フラグにより送信中か否かを判断できます。

EOMF フラグ（EOM フラグ）

EOMF フラグにより、直前に受信した EOM ビットの値が確認できます。データ割り込み (INTDA) 発生タイミングごとに値が更新されます。

ITCEF フラグ（INTCE 発生要因フラグ）

INTCE 発生後に ITCEF フラグを確認することで、シグナルフリータイムのカウント完了での割り込み発生か、通信完了またはエラー検出での割り込み発生かを判定できます。CECCTL1.CESEL[1:0] = 00b のときのみこのフラグの値は有効です。

SFTST フラグ（シグナルフリータイム書き換え禁止通知フラグ）

SFTST フラグにより、CECCTL1.SFT[1:0]の書き換え許可、禁止状態を確認することができます。

[1 になる条件]

- CECCTL1 へのライトアクセス時

[0 になる条件]

- CEC 動作停止 (CECCTL0.CECE = 0) としたとき
- CECCTL1.SFT[1:0]の書き変え禁止期間を経過したとき

31.2.7 CECES : CEC 通信エラーステータスレジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x42

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	BLERR	AERR	TXERR	TERR	ACKERR	UERR	OERR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OERR	オーバーランエラー検出フラグ 0: オーバーランエラーが発生していない 1: オーバーランエラーが発生	R
1	UERR	アンダーランエラー検出フラグ 0: アンダーランエラーが発生していない 1: アンダーランエラーが発生	R
2	ACKERR	ACK エラー検出フラグ 0: ACK エラーが発生していない 1: ACK エラーが発生	R
3	TERR	タイミングエラー検出フラグ 0: タイミングエラーが発生していない 1: タイミングエラーが発生	R
4	TXERR	送信エラー検出フラグ(注1) 0: 送信エラーが発生していない 1: 送信エラーが発生	R
5	AERR	アービトレーションロスト検出フラグ 0: アービトレーションロストが発生していない 1: アービトレーションロストが発生	R
6	BLERR	バスロックエラー検出フラグ 0: バスロックエラーが発生していない 1: バスロックエラーが発生	R
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. スタートビット、ACK ビットの期間は送信エラーを検出しません。

CECES は、バスロックエラー検出、アービトレーションロスト検出、送信エラー検出、タイミングエラー検出、ACK エラー検出、アンダーランエラー検出、オーバーランエラー検出を示すレジスタです。

OERR フラグ（オーバーランエラー検出フラグ）

OERR フラグによりオーバーランエラー発生の有無を確認できます。

[1 になる条件]

- 受信バッファレジスタ (CRXD) に格納された受信データを読み出す前に、次の受信動作が完了したとき

[0 になる条件]

- CECFC.OCTRG に 1 を書き込んだとき

UERR フラグ（アンダーランエラー検出フラグ）

UERR フラグによりアンダーラン発生の有無を確認できます。

[1 になる条件]

- データ割り込み (INTDA) 発生後、次のデータ割り込み (INTDA) が発生するまでに、送信バッファレジスタ (CTXD) に送信データを書かなかったとき

[0 になる条件]

- CECFC.UCTRG に 1 を書き込んだとき

ACKERR フラグ（ACK エラー検出フラグ）

ACKERR フラグにより ACK エラー発生の有無を確認できます。

[1 になる条件]

- ダイレクトアドレス通信時に、ACK ビットでロジカル 1 を受信したとき
- ブロードキャスト通信時に、ACK ビットでロジカル 0 を受信したとき
- ロジカルアドレスアロケーション送信時に、ACK ビットでロジカル 1 を受信したとき

[0 になる条件]

- CECFC.ACKCTRG に 1 を書き込んだとき

TERR フラグ（タイミングエラー検出フラグ）

TERR フラグによりタイミングエラー発生の有無を確認できます。

[1 になる条件]

- 受信したデータのタイミングチェックで違反が検出されたとき

[0 になる条件]

- CECFC.TCTRG に 1 を書き込んだとき

TXERR フラグ（送信エラー検出フラグ）

TXERR フラグにより送信エラー発生の有無を確認できます。

[1 になる条件]

- イニシエータ動作時、送信データと受信データの論理比較を行い異なった場合

[0 になる条件]

- CECFC.TXCTRG に 1 を書き込んだとき

AERR フラグ（アービトレーションロスト検出フラグ）

AERR フラグによりアービトレーションロストの有無を確認できます。

[1 になる条件]

- スタートビット送信中からイニシエータアドレス送信中の期間に、アービトレーションロストしたとき

[0 になる条件]

- CECFC.ACTRG に 1 を書き込んだとき

BLERR フラグ（バスロックエラー検出フラグ）

BLERR フラグにより、バスロックエラー発生の有無を確認できます。

[1 になる条件]

- フレームの途中で CEC 受信信号が Low、または High に固定された状態で、CEC 受信信号立ち下がりエッジから、NOMP レジスタで設定した 1 データビット幅の 2.5 倍の時間、次の立ち下がりエッジが入力されないとき

[0 になる条件]

- CECFC.BLCTRG に 1 を書き込んだとき

31.2.8 CECFC : CEC 通信エラーフラグクリアトリガレジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x44

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	BLCTRG	ACTRG	TXCTRG	TCTRG	ACKCTRG	UCTRG	OCTRG
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OCTRG	オーバーランエラー検出フラグクリアトリガ(注1) 0: オーバーランエラー検出フラグをクリアしない 1: オーバーランエラー検出フラグをクリアする	W
1	UCTRG	アンダーランエラー検出フラグクリアトリガ(注1) 0: アンダーランエラー検出フラグをクリアしない 1: アンダーランエラー検出フラグをクリアする	W
2	ACKCTRG	ACK エラー検出フラグクリアトリガ(注1) 0: ACK エラー検出フラグをクリアしない 1: ACK エラー検出フラグをクリアする	W
3	TCTRG	タイミングエラー検出フラグクリアトリガ(注1) 0: タイミングエラー検出フラグをクリアしない 1: タイミングエラー検出フラグをクリアする	W
4	TXCTRG	送信エラー検出フラグクリアトリガ(注1) 0: 送信エラー検出フラグをクリアしない 1: 送信エラー検出フラグをクリアする	W
5	ACTRG	アービトレーションロスト検出フラグクリアトリガ(注1) 0: アービトレーションロスト検出フラグをクリアしない 1: アービトレーションロスト検出フラグをクリアする	W
6	BLCTRG	バスロックエラー検出フラグクリアトリガ(注1) 0: バスロックエラー検出フラグをクリアしない 1: バスロックエラー検出フラグをクリアする	W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. 読むと 0 が読めます。

CECFC レジスタは、通信エラーステータスレジスタ (CECES) に書かれたエラー検出フラグをクリアするレジスタです。各フラグに 1 をセットすることで、セットされたビットのみクリアすることができます。

31.2.9 STATL : CEC 送信スタートビットの Low 幅設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x06

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	STATL[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	STATL[8:0]	CEC 送信スタートビット Low 幅設定用(注1) 送信時のスタートビットの Low 幅 Low 幅 = （STATL[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.10 STATB : CEC 送信スタートビットのビット幅設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	STATB[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	STATB[8:0]	CEC 送信スタートビットのビット幅設定用(注1) 送信時のスタートビットのビット幅 ビット幅 = （STATB[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.11 LGC0L : CEC 送信ロジカル 0 の Low 幅設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x08

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LGC0L[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LGC0L[8:0]	CEC 送信ロジカル 0 Low 幅設定用(注1) 送信時のロジカル 0 の Low 幅 Low 幅 = （LGC0L[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.12 LGC1L : CEC 送信ロジカル 1 の Low 幅設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x0A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LGC1L[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LGC1L[8:0]	CEC 送信ロジカル 1 Low 幅設定用(注1) 送信時のロジカル 1 の Low 幅 Low 幅 = （LGC1L[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.13 DATB : CEC 送信データビットのビット幅設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x0C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DATB[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	DATB[8:0]	CEC 送信データビットのビット幅設定用(注1) 送信時のデータビットのビット幅 1 データビット幅 = （DATB[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.14 STATLL : CEC 受信スタートビットの Low 幅の MIN 値設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x10

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	STATLL[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	STATLL[8:0]	CEC 受信スタートビットの Low 幅の MIN 値設定用(注1) 受信時のスタートビットの Low 幅の MIN 値 Low 幅 = （STATLL[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. スタートビットのタイミングチェックをしない (CECCTL1.STERRD = 0)、かつスタート検出再受信許可しない (CECEXMOD.RERCVEN = 0) のときは、本レジスタ値は使用しません。設定値は無効です。

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.15 STATLH : CEC 受信スタートビットの Low 幅の MAX 値設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x12

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	STATLH[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	STATLH[8:0]	CEC 受信スタートビットのビット幅 MAX 値設定用(注1) 受信時のスタートビットの Low 幅の MAX 値 Low 幅 = （STATLH[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. スタートビットのタイミングチェックをしない (CECCTL1.STERRD = 0)、かつスタート検出再受信許可しない (CECEXMOD.RERCVEN = 0) のときは、本レジスタ値は使用しません。設定値は無効です。
注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.16 STATBL : CEC 受信スタートビットのビット幅の MIN 値設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x14

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	STATBL[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	STATBL[8:0]	CEC 受信スタートビットのビット幅の MIN 値設定用(注1) 受信時のスタートビットのビット幅の MIN 値 ビット幅 = （STATBL[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. スタートビットのタイミングチェックをしない (CECCTL1.STERRD = 0)、かつスタート検出再受信許可しない (CECEXMOD.RERCVEN = 0) のときは、本レジスタ値は使用しません。設定値は無効です。
注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.17 STATBH : CEC 受信スタートビットのビット幅の MAX 値設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x16

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	STATBH[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	STATBH[8:0]	CEC 受信スタートビットのビット幅 MAX 値設定用(注1) 受信時のスタートビットのビット幅の MAX 値 受信ビット幅 = （STATBH[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. スタートビットのタイミングチェックをしない (CECCTL1.STERRD = 0)、かつスタート検出再受信許可しない (CECEXMOD.RERCVEN = 0) のときは、本レジスタ値は使用しません。設定値は無効です。
注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.18 LGC0LL : CEC 受信ロジカル 0 の Low 幅の MIN 値設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x18

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LGC0LL[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LGC0LL[8:0]	CEC 受信ロジカル 0 Low 幅 MIN 値設定用(注1) 受信時のロジカル 0 の Low 幅の MIN 値 Low 幅 = （LGC0LL[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.19 LGC0LH : CEC 受信ロジカル 0 の Low 幅の MAX 値設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x1A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LGC0LH[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LGC0LH[8:0]	CEC 受信ロジカル 0 Low 幅 MAX 値設定用(注1) 受信時のロジカル 0 の Low 幅の MAX 値 Low 幅 = （LGC0LH[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.20 LGC1LL : CEC 受信ロジカル 1 の Low 幅の MIN 値設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x1C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LGC1LL[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LGC1LL[8:0]	CEC 受信ロジカル 1 Low 幅 MIN 値設定用(注1) 受信時のロジカル 1 の Low 幅の MIN 値 Low 幅 = （LGC1LL[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.21 LGC1LH : CEC 受信ロジカル 1 の Low 幅の MAX 値設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x1E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	LGC1LH[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	LGC1LH[8:0]	CEC 受信ロジカル 1 Low 幅 MAX 値設定用(注1) 受信時のロジカル 1 の Low 幅の MAX 値 Low 幅 = （LGC1LH[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.22 DATBL : CEC 受信データビットのビット幅の MIN 値設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x20

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DATBL[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	DATBL[8:0]	CEC 受信データビットのビット幅 MIN 値設定用(注1) 受信時のデータビットのビット幅の MIN 値 ビット幅 = （DATBL[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.23 DATBH : CEC 受信データビットのビット幅の MAX 値設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x22

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	DATBH[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	DATBH[8:0]	CEC 受信データビットのビット幅 MAX 値設定用(注1) 受信時のデータビットのビット幅の MAX 値 ビット幅 = （DATBH[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

31.2.24 NOMT : CEC 受信データサンプリング時間設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x0E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	NOMT[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	NOMT[8:0]	CEC 受信データサンプリング時間設定用(注1), (注2) 受信データのサンプリング時間 サンプリング時間 = （NOMT[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。
注 2. LGC1LH < NOMT < LGC0LL となるように設定してください。

31.2.25 NOMP : CEC データビット基準幅設定レジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x24

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	NOMP[8:0]								
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
8:0	NOMP[8:0]	CEC データビット基準幅設定用(注1) 1 データビット幅 ビット幅 = （NOMP[8:0]ビットの設定値 + 1） × CEC クロックのサイクル	R/W
15:9	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

この 1 データビット幅は、エラー処理、シグナルフリータイム、バスロック検出でビット数をカウントする際に使用します。

31.2.26 CECEXMD : CEC 拡張モードレジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x28

Bit position:	7	6	5	4	3	2	1	0
Bit field:	RCVINTDSEL	—	RERCVEN	LERPLEN	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	LERPLEN	長ビット幅エラーによるパルス出力機能許可(注1) 0: 長ビット幅エラー検出のみ 1: 長ビット幅エラー検出し、エラー処理パルス出力をする	R/W
5	RERCVEN	スタート検出再受信許可(注1) 0: 受信中のスタートビット検出で再受信しない 1: 受信中のスタートビット検出で再受信する	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	RCVINTDSEL	INTDA 受信割り込みタイミング変更(注1) 0: EOM タイミング（データ 9 ビット目） 1: ACK タイミング（データ 10 ビット目）	R/W

注 1. CEC 動作停止 (CECCTL0.CECE = 0) のときのみ書き換え可能です。

長ビットエラー検出時のエラー処理制御、スタートビット検出による再受信制御、受信割り込み発生タイミング制御の選択を行うレジスタです。

31.2.27 CECEXMON : CEC 拡張モニタレジスタ

Base address: CEC = 0x400A_C000

Offset address: 0x2A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ACKF	CECLNMON
Value after reset:	0	0	0	0	0	0	0	x

ビット	シンボル	機能	R/W
0	CECLNMON	CEC ラインモニタ(注1) 0: Low レベル 1: High レベル	R
1	ACKF	ACK フラグ(注2) 受信した ACK ビットの値が読み出されます。 送信／受信や受信時のアドレス一致／不一致に関わらず、ACK 受信のタイミングで値が更新されます。ただし、ACK 受信までにエラーを検出した場合は更新されません。次の通信の ACK 受信にて更新されます。	R
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. CECEXMON.CECLNMON ビットの値を使用する場合は 2 度一致または 3 度一致にて値を判定してください。
注 2. CECEXMON.ACKF ビットを使用する場合は、CECEXMD.RCVINTDSEL ビットの値により読み出しタイミングと読み出し値の関係が変わります。

CEC ラインの読み出し、ACK フラグの読み出しを行うレジスタです。

CECLNMON ビット（CEC ラインモニタ）

このビットをリードすると、CEC 端子の状態が読み出されます。このビットの値を使用する場合は、2 度一致または 3 度一致にて値を判定してください。

ACKF フラグ（ACK フラグ）

このビットをリードすると、受信した ACK ビットの値が読み出されます。本ビットを使用する場合は、CECEXMD.RCVINTDSEL ビットの値により読み出しタイミングと読み出し値の関係が変わります。

図 31.4 に ACKF フラグの更新タイミングと受信割り込み発生タイミングの関係を示します。

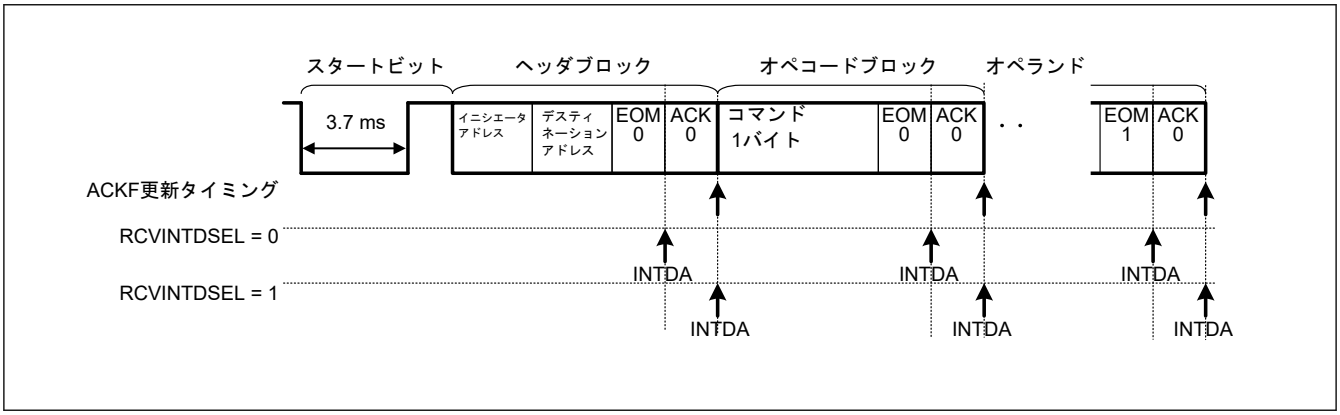


図 31.4 ACKF 更新タイミングと受信割り込みの発生タイミング

RCVINTDSEL = 0 で ACKF ビットを読み出す場合は受信割り込み発生後、1 ビット時間 WAIT をおいて読み出すことで、受信した ACK 状態が読み出せます。受信割り込み後に読み出した場合、1 つ前に受信したデータの ACK が読み出されます。

RCVINTDSEL = 1 で ACKF ビットを読み出す場合は、受信割り込み発生後、読み出してください。最新の受信データの ACK を読み出すことができます。

31.3 動作説明

31.3.1 CEC 送受信回路の動作

31.3.1.1 CEC 送受信データフォーマット

図 31.5 に CEC 通信の基本フォーマットを示します。CEC データフレームは、スタートビット、ヘッダブロック、データブロック 1（オペコード）、データブロック 2（オペランド）の 4 つで構成されています。スタートビット以外の 3 つのブロックは 10 ビットで構成されています。

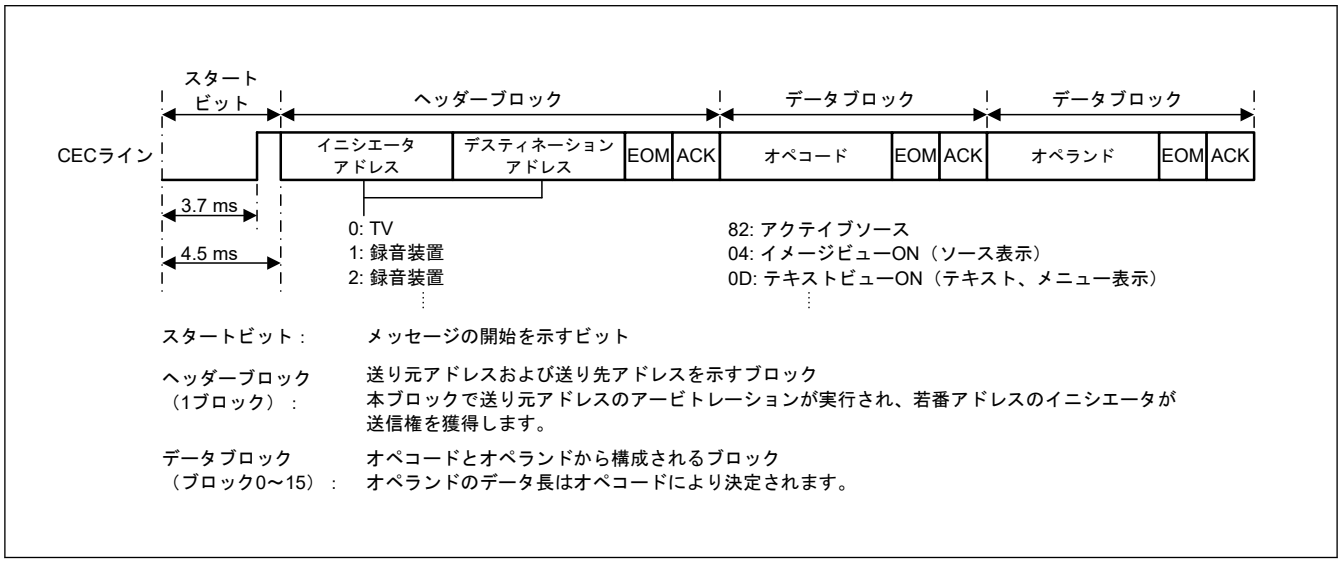


図 31.5 CEC 通信フォーマット

31.3.1.2 通信種別

CEC 送受信には、ダイレクトアドレスメッセージとブロードキャストメッセージの 2 つの通信状態があります。CEC 通信において送信側はスタートビットを含むメッセージ（データ）を送信し、受信側はメッセージを受け取り、所望のアクノリッジを送信側に返信します。CEC 送受信は、スタートビットとデータの 2 種類のビットで構成され、CEC のすべての送受信を行います。

31.3.1.3 ビットタイミング

図 31.6 にスタートビットのパルスフォーマット例を示します。スタートビットは Low 期間 (a) とビット期間 (b) でスタートビットの有効／無効を判断します。

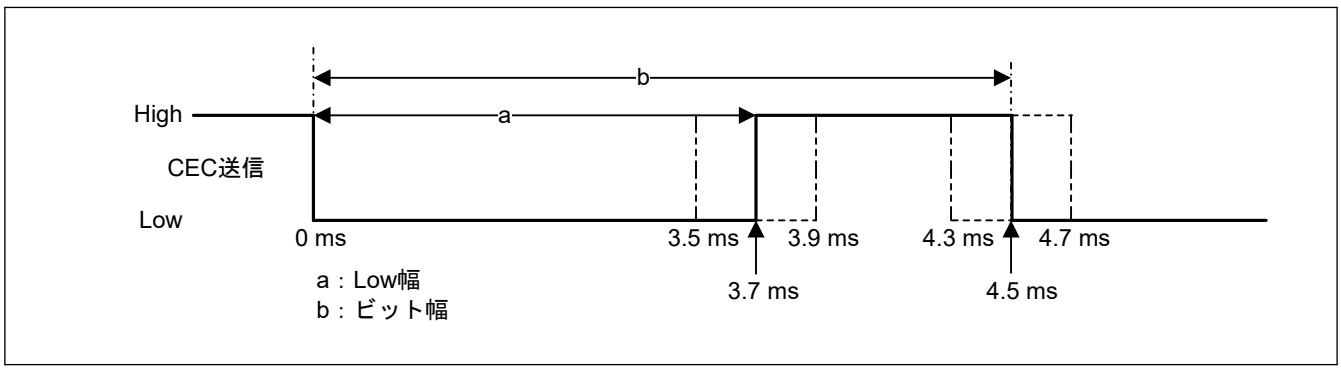
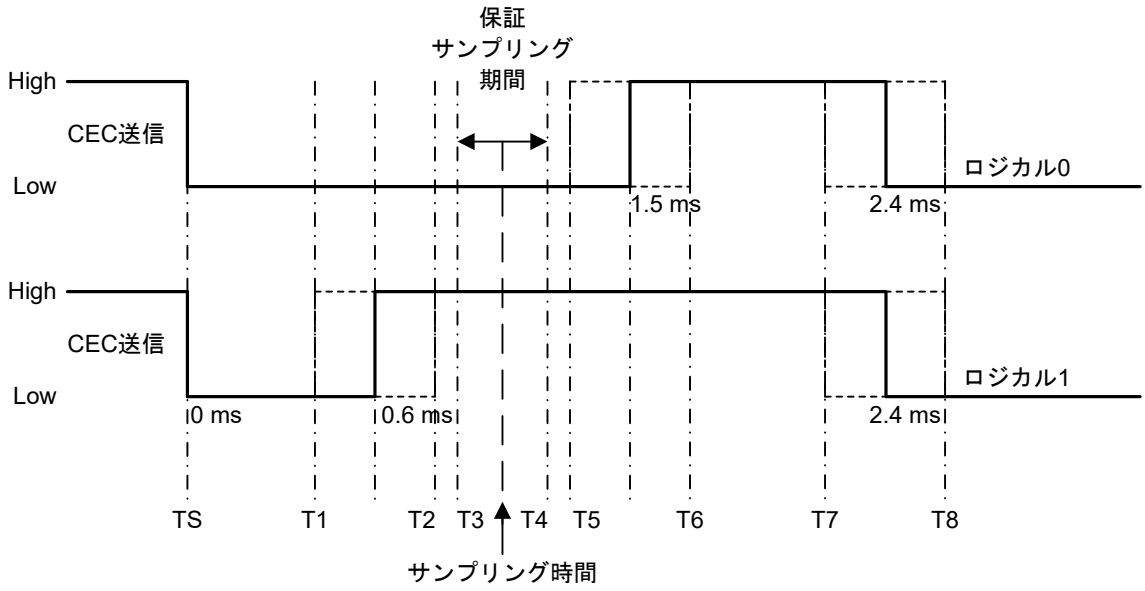


図 31.6 スタートビットのフォーマット例

図 31.7 にデータビットタイミングのパルスフォーマット例を示します。データビットは CEC 受信データサンプリング時間設定レジスタ (NOMT) で設定したサンプリングタイミングでサンプリングされます。その結果が Low だった場合はロジカル 0、High だったらロジカル 1 となります。データビットの最後の High から Low への変化は、次のデータビットのスタートとなります。よって、最後のデータビットは、High のままです。



Ts	0 ms	ビットスタートイベント
T1	0.4 ms	ロジカル1が示された場合にLow/High遷移の最も早い時間
T2	0.8 ms	ロジカル1が示された場合にLow/High遷移の最も遅い時間
T3	0.85 ms	状態を判定するのに信号線を安全にサンプリングするための最も早い時間
T4	1.25 ms	状態を判定するのに信号線を安全にサンプリングするための最も遅い時間
T5	1.3 ms	デバイスが高インピーダンス状態（ロジカル0）に戻れる最も早い時間
T6	1.7 ms	デバイスが高インピーダンス状態（ロジカル0）に戻れる最も遅い時間
T7	2.05 ms	次のビットの開始の最も早い時間
	2.4 ms	公称データビット期間
T8	2.75 ms	次のビットの開始の最も遅い時間

図 31.7　スタートビットのフォーマット例

31.3.1.4　ヘッダブロックおよびデータブロック

すべてのデータブロックは 10 ビットで構成され、同じ構造です。図 31.8 にヘッダブロックおよびデータブロックのフォーマットを示します。インフォメーションビットはヘッダブロックとデータブロックでは意味が異なり、データ、オペコード、アドレスを示しています。EOM (End of Message) と ACK (Acknowledge) はコントロールビットであり、ヘッダブロックとデータブロックでは、同じ意味を持ちます。

ヘッダブロック／データブロック									
7	6	5	4	3	2	1	0	–	–
インフォメーションビット								EOM	ACK

図 31.8　ヘッダブロック、データブロックのフォーマット

ヘッダブロックは、送信元ロジカルアドレス (Initiator logical Address) と送信先ロジカルアドレス (Destination logical Address)、EOM (End of Message)、ACK (Acknowledge) の 4 つで構成されます。インフォメーションビットのビット 7～4 が送信元ロジカルアドレス (Initiator logical Address) を示し、ビット 3～0 が送信先ロジカルアドレス (Destination logical Address) を示します。ヘッダブロックでの EOM は、他のデバイスとの‘ping’に使用されま

す（他のデバイスが、電源オン状態であるかを確認）。EOM = 1 としてヘッダブロックのみを送信（データブロックなしのメッセージを送信）することによって確認できます。ダイレクトアドレス送信の場合、ACK が返ってくれば、送信先のデバイスは電源オン状態であることがわかります。

31.3.1.5 EOM (End of Message)

送信したブロックが、メッセージの最終ブロックか最終ブロックではないかを示します。インフォメーションビットに付加され出力します。

EOM ビット= 0：さらにブロックが続くとき

EOM ビット= 1：最終ブロック送信のとき

31.3.1.6 ACK (Acknowledge)

ACK は送信相手がダイレクトアドレスメッセージかブロードキャストメッセージかによって意味が異なります。受信したデータと CEC ラインのデータを比較した結果を送信側に、ACK または NACK 送信します。

ACK ビットのタイミングでイニシエータは、ロジカル 1 を出力します。よって、フォロワーが ACK ビットの論理レベルを決定します。

- ダイレクトアドレスメッセージの場合、ACK（ACK = ロジカル 0）が正常の値です。
  1. ヘッダブロックでエラーなし、かつ自アドレスのとき→ACK ビットはロジカル 0
  2. データブロックでエラーなしのとき→ACK ビットはロジカル 0
  3. ヘッダブロックで、エラーあり、または他のアドレスのとき→ACK ビットはロジカル 1
  4. データブロックで、エラーありのとき→ACK ビットはロジカル 1
- ブロードキャストメッセージの場合、NACK（ACK = ロジカル 1）が正常の値です。
  1. 1 つ以上のフォロワーがメッセージを破棄したとき→ACK ビットはロジカル 0
  2. すべてのフォロワーがメッセージを破棄しないとき→ACK ビットはロジカル 1

31.3.2 動作クロック

CEC は動作クロックとして、周辺モジュールクロック (PCLKB) の分周クロック、あるいはメインクロックまたはサブクロック発振器から直接供給される CECCLK クロックを選択して使用することができます。CECCLOCK を CEC 動作クロックとして使用する場合は、それぞれのクロック供給方法に注意が必要です。それぞれの動作クロック供給方法について説明します。

CEC クロックは PCLKB/2^5、PCLKB/2^6、PCLKB/2^7、PCLKB/2^8、PCLKB/2^9、PCLKB/2^{10}、CECCLK（SOSC 使用時）、CECCLK/2^8 （MOSC 使用時）から選択可能です。

31.3.3 CEC 通信機能

31.3.3.1 通信ビット幅調整機能

送信時のスタートビット、データビットの Low 幅、ビット幅を設定できます。それぞれのレジスタ設定値には、大小関係が必須のレジスタが存在します。以下の関係を守るようにレジスタ設定してください。

- STATL ＜ STATB
- LGC1L ＜ LGC0L ＜ DATB

(1)～(3) に各種幅設定レジスタ（「31.2.9. STATL : CEC 送信スタートビットの Low 幅設定レジスタ」～「31.2.13. DATB : CEC 送信データビットのビット幅設定レジスタ」参照）とビットタイミングの関係を示します。

(1) スタートビット

スタートビットは、STATL レジスタで Low 幅を、STATB レジスタでビット幅を設定します。図 31.9 にスタートビットの出力波形を示します。

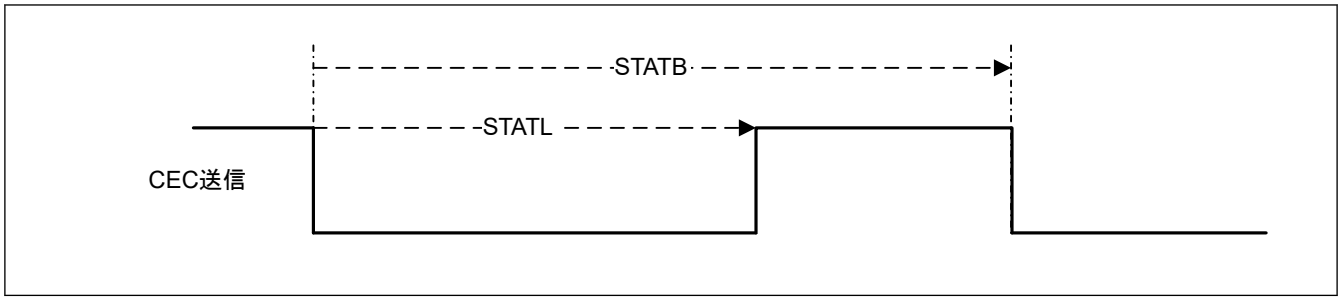


図 31.9　スタートビットの出力波形

(2)　データビット（ロジカル 0）

ロジカル 0 のデータビットは、LGC0L レジスタで Low 幅を、DATB レジスタでビット幅を設定します。図 31.10 にデータビット（ロジカル 0）の出力波形を示します。

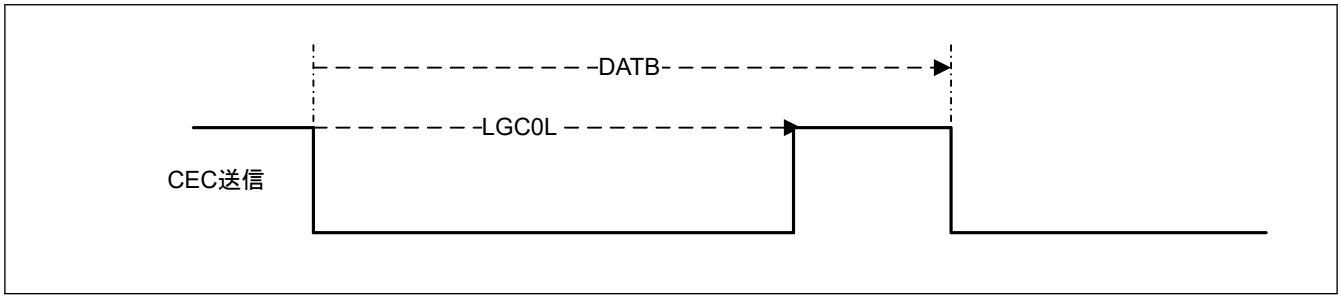


図 31.10　データビット（ロジカル 0）の出力波形

(3)　データビット（ロジカル 1）

ロジカル 1 のデータビットは、LGC1L レジスタで Low 幅を、DATB レジスタでビット幅を設定します。図 31.11 にデータビット（ロジカル 1）の出力波形を示します。

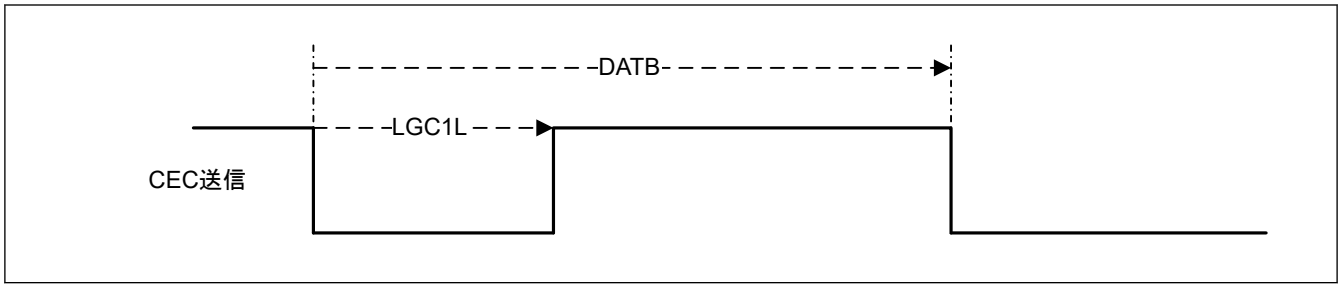


図 31.11　データビット（ロジカル 1）の出力波形

31.3.3.2　受信ビットタイミングチェック機能

CEC 送受信回路は、受信時のスタートビット、データビットの Low 幅、ビット幅が設定の範囲内であるか否かを判定するタイミングチェック機能を持ちます。タイミングチェック期間は各種タイミング判定レジスタ（「31.2.14. STATLL : CEC 受信スタートビットの Low 幅の MIN 値設定レジスタ」～「31.2.23. DATBH : CEC 受信データビットのビット幅の MAX 値設定レジスタ」参照）で設定できます。

それぞれのレジスタ設定値には、大小関係が必須のレジスタが存在します。以下の関係を守るようにレジスタ設定してください。

- STATLL ＜ STATLH
- STATBL ＜ STATBH
- LGC0LL ＜ LGC0LH
- LGC1LL ＜ LGC1LH
- DATBL ＜ DATBH

(1)～(3) にタイミング判定レジスタとビットタイミングの関係を示します。

(1) スタートビット

スタートビットの Low 幅 MIN 値は STATLL レジスタ、Low 幅 MAX 値は STATLH レジスタ、スタートビット幅の MIN 値は STATBL レジスタ、スタートビット幅の MAX 値は STATBH レジスタで設定します。図 31.12 にスタートビットの受信タイミングを示します。

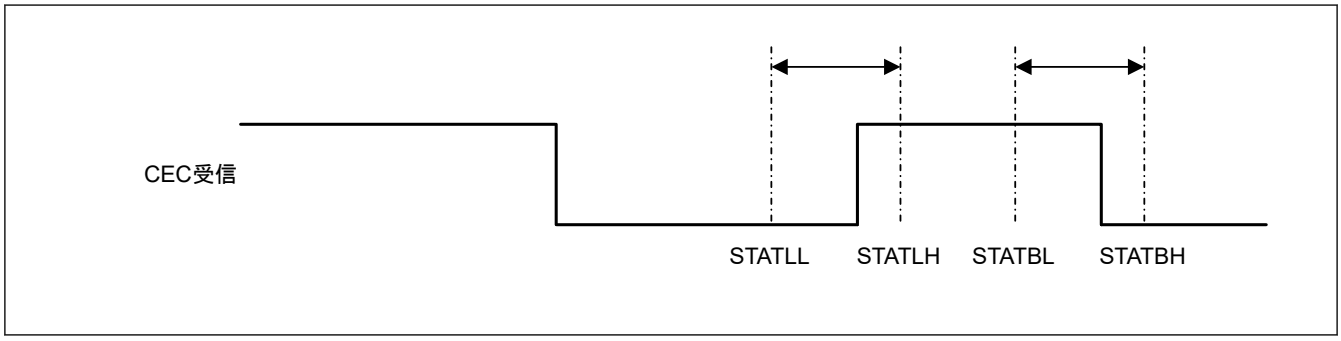


図 31.12 スタートビットの受信タイミング

(2) データビット（ロジカル 0）

データビット（ロジカル 0）の Low 幅 MIN 値は LGC0LL レジスタ、Low 幅 MAX 値は LGC0LH レジスタ、データビット幅の MIN 値は DATBL レジスタ、データビット幅の MAX 値は DATBH レジスタで設定します。図 31.13 にデータビット（ロジカル 0）の受信タイミングを示します。

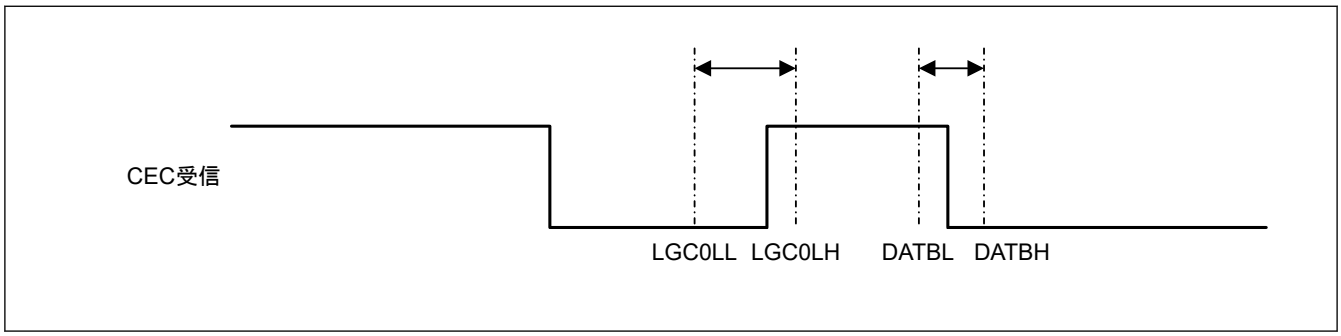


図 31.13 データビット（ロジカル 0）の受信タイミング

(3) データビット（ロジカル 1）

データビット（ロジカル 1）の Low 幅 MIN 値は LGC1LL レジスタ、Low 幅 MAX 値は LGC1LH レジスタ、データビット幅の MIN 値は DATBL レジスタ、データビット幅の MAX 値は DATBH レジスタで設定します。図 31.14 にデータビット（ロジカル 1）の受信タイミングを示します。

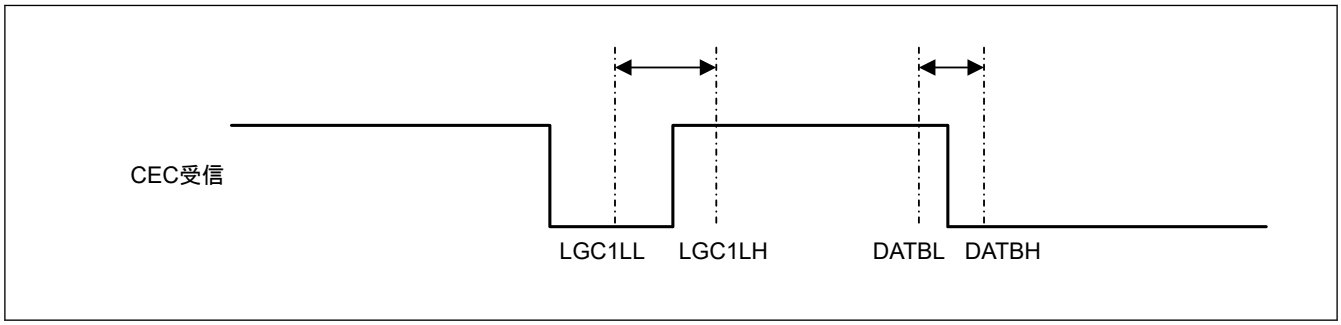


図 31.14 データビット（ロジカル 1）の受信タイミング

31.3.3.3 CEC 通信初期設定

CEC 通信の初期設定フローについて説明します。リセット後、各種制御レジスタの設定を行い、ダイレクトアドレス送信を利用して、ロジカルアドレスの取得フローを実行します。ロジカルアドレス取得送信では、送り元アドレスと送り先アドレスを同一に設定し、ヘッダブロックのみの送信となるため、EOM = 1 に設定します。また、自局アドレス確定前に誤ったアドレス一致が発生することを防ぐため、CADR レジスタ設定前に、CECRXEN = 0 に設定しておく必要があります。図 31.15 にロジカルアロケーションタイミング図を、表 31.6 に操作手順と動作説明を示します。

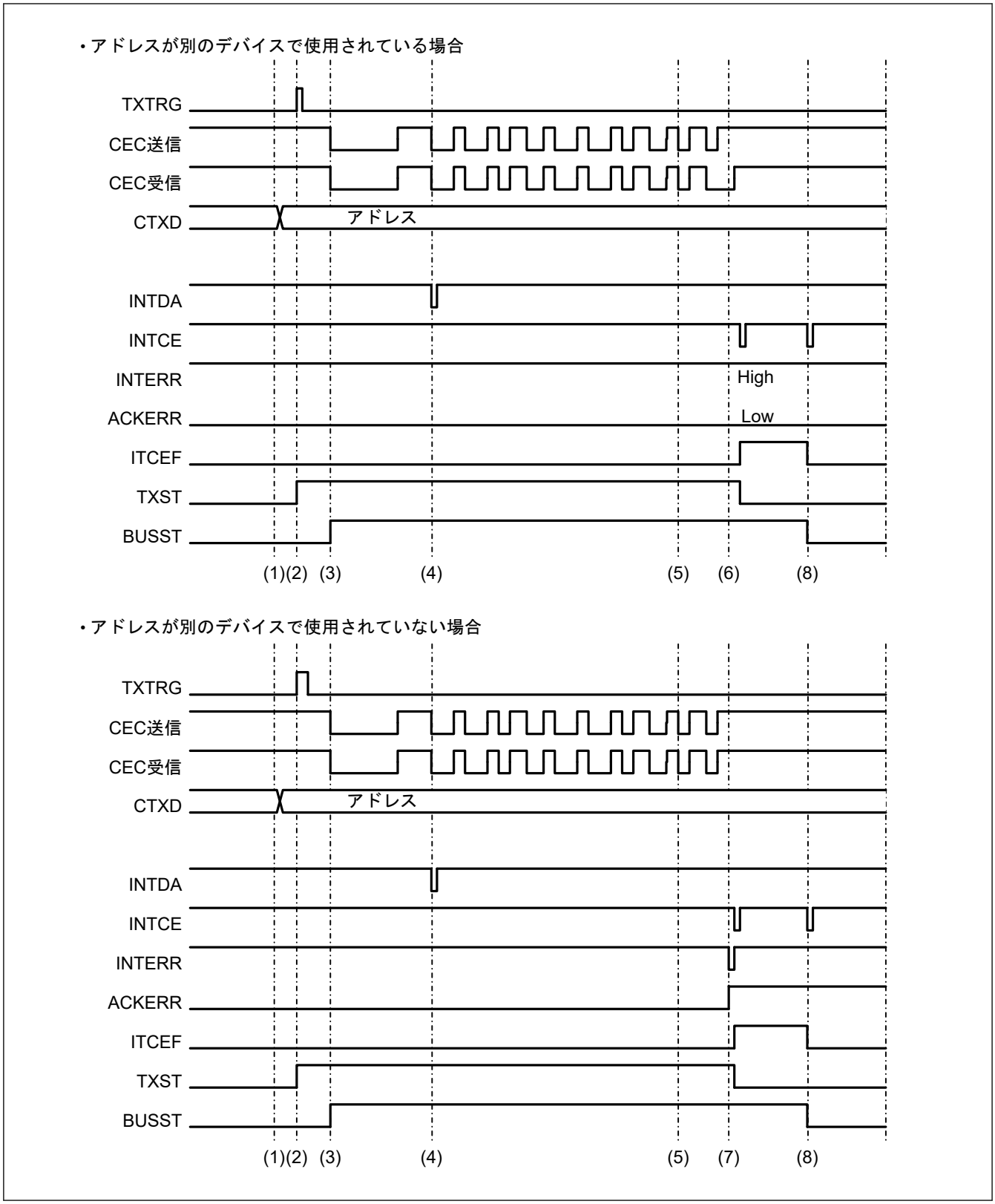


図 31.15　ロジカルアロケーション（CECCTL1.CESEL[1:0] = 00b のとき）

表 31.6 CEC 通信の初期設定手順 (1/2)

ステージ	手順	ソフトウエア操作	CEC の状態
CEC 初期設定	1	[IO 初期設定] P206 または P706 に対する CECIO 機能を選択 NMOS オープンドレイン出力を設定 [CEC クロックの設定] CCL[2:0]ビットを設定 [受信拒否制御の設定] CECRXEN を 0 に設定 [アドレス不一致の場合の通知設定] CINTMK を設定 [ノイズ除去の選択] CDFC を設定（ノイズフィルタを使用するかを設定） [スタートビットの Low 幅／ビット幅の設定] STATL/STATB に Low 幅／ビット幅を設定 [ロジカル 0/1 の Low 幅／ビット幅の設定] LGC0L/LGC1L/DATB に Low 幅／ビット幅を設定 [サンプリング時間の設定] NOMT に受信データをサンプリングする時間を設定 [データビットの 1 ビット幅設定] NOMP に 1 データビット幅を設定 [タイミングチェック用レジスタの設定] STATLL/STATLH にスタートビットの Low 幅タイミングチェック期間を設定 STATBL/STATBH にスタートビットのビット幅タイミングチェック期間を設定 LGC0LL/LGC0LH にデータビット（ロジカル 0）の Low 幅タイミングチェック期間を設定 LGC1LL/LGC1LH にデータビット（ロジカル 1）の Low 幅タイミングチェック期間を設定 DATBL/DATBH にデータビットのビット幅タイミングチェック期間を設定 [バスロック検出の設定] BLERRD の設定（バスロック検出するかを選択） [スタートビットのタイミングエラー検出の設定] STERRD の設定（スタートビットのタイミングエラーを検出するか選択） [通信完了割り込みの設定] CESEL[1:0]ビットを設定 [シグナルフリータイムの設定] SFT[1:0]ビットを設定（シグナルフリータイムの検出時間を設定） [CEC クロックの供給] CECE を 1 に設定	CEC クロック停止中
	2	—	CEC クロックを供給。送信可能状態。シグナルフリータイムを開始。BUSST が 1 となる。 SFT[1:0]ビットの設定値までカウント後、BUSST が 0 になり、通信待機状態となる。

表 31.6 CEC 通信の初期設定手順 (2/2)

ステージ	手順	ソフトウエア操作	CEC の状態
ロジカルアドレスアロケーション	3	[EOM の設定] EOM を 1 に設定 [送信データの設定] (1) CTXD に送信データ（ロジカルアドレス）を設定 [バスフリー状態の確認] BUSST が 0 になっていることを確認 [送信動作の開始] (2) TXTRG を 1 に設定	—
	4	—	送信開始。スタートビットを出力する (3)
	5	—	ヘッダブロック出力開始時に INTDA を出力、同時に、CTXD レジスタに設定された値を順次出力 (4)
	6	ヘッダブロックのみの送信であるため、次データの書き込みは行わない	—
	7	—	EOM ビットで 1 を出力する (5)
	8	[自局アドレスの設定]	ACK ビットを受信
	8-1	ACK : 送信したアドレスは他局が使用しているので、送信アドレスを変更して再送操作を行う	ロジカル 0 を受信した場合、INTERR を出力せず、ACKERR フラグをセットしない (6)
	8-2	NACK : 送信したアドレスは他局が使用していないので、送信したアドレスを自局アドレスとして使用する（CADR 設定）	ロジカル 1 を受信した場合、INTERR を出力し、ACKERR フラグをセットする (7)
	9	—	CESEL[1:0]ビット、SFT[1:0]ビット設定に従って INTCE を出力する (8)
受信拒否	10	[受信拒否制御の設定] CECRXEN を 1 に設定	—
	11	—	通信待機状態となる

31.3.3.4 CEC 送信

CEC 送信は、送信時にも受信動作を行い、アービトレーションチェック、データチェック、タイミングチェックを行います。

ただし、送信動作時の受信バッファレジスタ (CRXD) の値は保証されません。

送信途中（スタートビット検出完了から最終フレームの EOM 受信完了まで）の新たなスタートビットは無視されタイミングエラーとして検出し、通信の再スタートは行いません。図 31.16 に送信基本タイミング図を、表 31.7 に CEC 送信操作手順を示します。

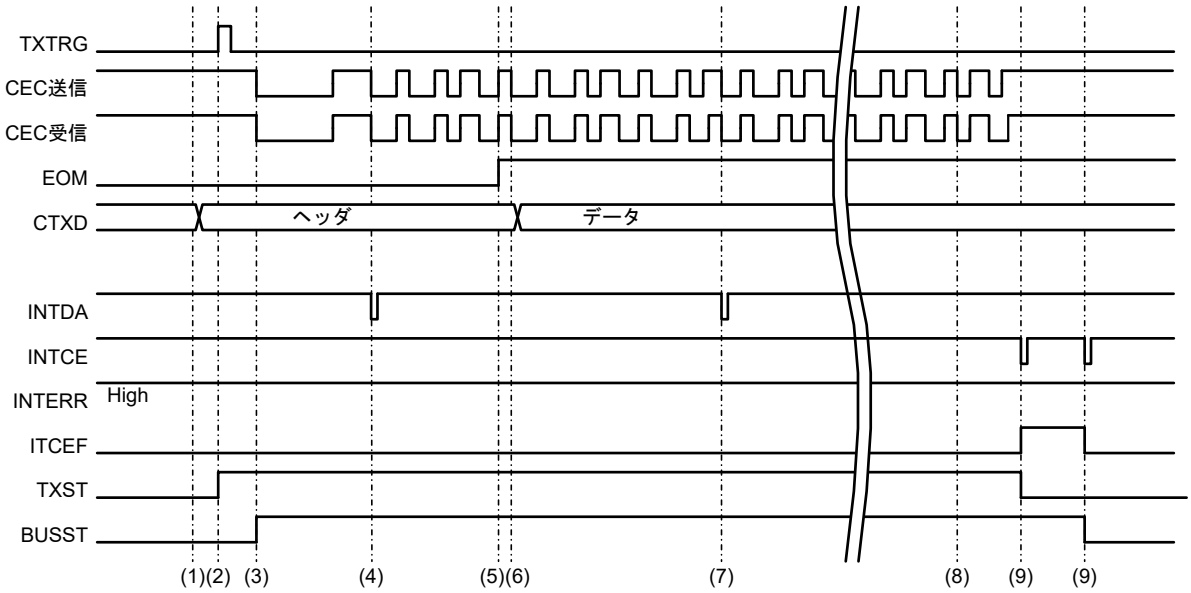


図 31.16　送信基本タイミング（ダイレクトアドレス送信）（CECCTL1.CESEL[1:0] = 00b のとき）

(1)　CEC 送信操作手順

表 31.7　CEC 送信操作手順

ステージ	手順	ソフトウエア操作	CEC の状態
CEC 初期設定	1	表 31.6 を参照してください。	—
CEC 送信動作	2	［シグナルフリータイムの設定］ SFT[1:0]を設定 （シグナルフリータイムの検出時間を設定） ［EOM の設定］ (1) EOM を設定 (EOM = 0) ［送信データの設定］ (1) CTXD に送信データを設定 ［バスフリー状態の確認］ BUSST が 0 になっていることを確認 ［送信動作の開始］ (2) TXTRG を 1 に設定	—
	3	—	送信開始スタートビットを出力する (3)
	4	—	ヘッダブロック出力開始時に INTDA を出力、同時に、CTXD レジスタに設定された値を順次出力 (4)
	5	［EOM の設定］ (5) 次のフレーム開始 (7) までに次フレームの EOM を設定する (EOM = 1) ［送信データの設定］ (6) CTXD に送信データを設定	—
	6	—	2 フレーム目のデータ出力を開始する (7) 最終フレームなので EOM ビット位置で 1 を出力する (8) CESEL[1:0]ビット、SFT[1:0]ビット設定に従って INTCE を出力する (9) 通信待機状態となる

(2) ブロードキャスト送信

ヘッダブロック送信データ (CTXD) のデスティネーションアドレス（送り先アドレス）に“0xF”を設定すると、CEC は現在の送信をブロードキャスト送信と認識して動作します。通常、ACK ビットのタイミングでロジカル 0 を受信すると、通信成功と判断されます。しかしながら、ブロードキャスト通信時は、ACK ビットのタイミングでロジカル 1 を受信すると、通信成功と判断されます。

CEC は、ヘッダブロックの送信データを見て、ダイレクト通信かブロードキャスト通信かを判断し、自動的にロジカル 0／ロジカル 1 どちらが受信成功かを決定します。

(3) CEC 送信割り込み

CEC は、データ割り込み (INTDA)、通信終了割り込み (INTCE)、エラー割り込み (INTERR) の 3 つの割り込み機能を有しています。図 31.17 に送信時の割り込み発生タイミングを示します。

データ割り込み (INTDA) は、各ブロックの先頭で発生します。

通信終了割り込み (INTCE) は、CECCTL1.CESEL[1:0]ビットの設定によって、EOM = 1 であるデータブロックの ACK 受信完了時に発生する場合と、CECCTL1.SFT[1:0]ビットで設定したシグナルフリータイム経過後に発生する場合と、その両方で発生する場合とが選択できます。

任意の通信期間において、下記エラーのいずれかを検出するとエラー割り込み (INTERR) が発生します。

- タイミング
- ACK
- アンダーラン
- 送信

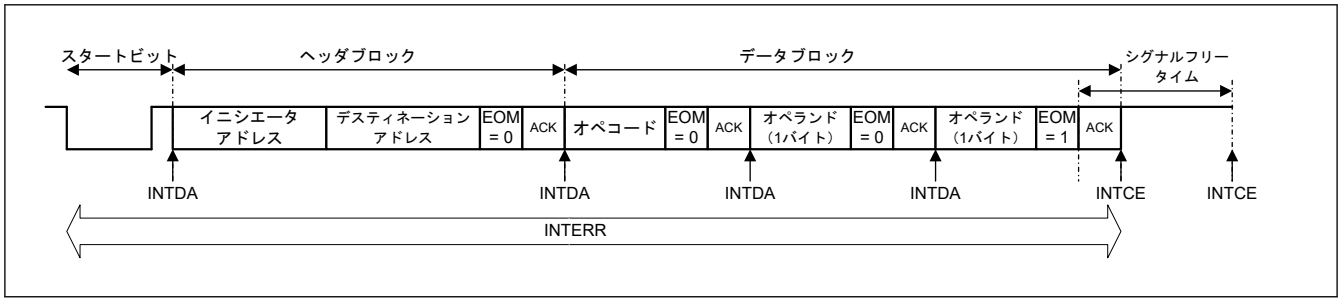


図 31.17 割り込みの発生タイミング

EOM = 1 の ACK ビット受信途中（ACK ビット完了前）に CEC ラインの立ち下がりエッジを検出した場合は、そのタイミングによってに表 31.8 示すように通常と異なる動作になります。

表 31.8 ACK ビット完了前に CEC ラインの立ち下がりエッジを検出した場合の動作

CEC ラインの立ち下がりタイミング	CECCTL1.CESEL[1:0]ビットの設定	INTCE の発生	ACK ビットの扱い	CEC ライン立下り後の動作
データビット MIN 値以降（DATBL≦カウンタ）の場合	CESEL[1:0] = 00b、CESEL[1:0] = 01b	CEC ラインの立ち下がり時点で 1 回のみ発生する	既定のビット幅を満たしているため有効（ACK/NACK は正しく判定される）	次の通信開始と認識して、スタートビット受信判定を開始します
	CESEL[1:0] = 10b	INTCE の発生なし		
データビット MIN 値以前（カウンタ < DATBL）の場合	CESEL[1:0] = 00b、CESEL[1:0] = 01b	CEC ラインの立ち下がり時点で 1 回のみ発生する	既定のビット幅を満たしていないため、ACK の判定が正しくできません（ACKTEN = 1 設定時はタイミングエラーが発生します）	
	CESEL[1:0] = 10b	INTCE の発生なし		

(4) エラー処理パルス受信

イニシエータ動作時、ロジカル 0 の Low 幅 MAX 設定値に達したタイミングで、受信データが Low だった場合、図 31.18 に示すように、エラー処理パルスを受信したと判断し、タイミングエラーを発生、送信動作を停止して通信待機状態に遷移します。

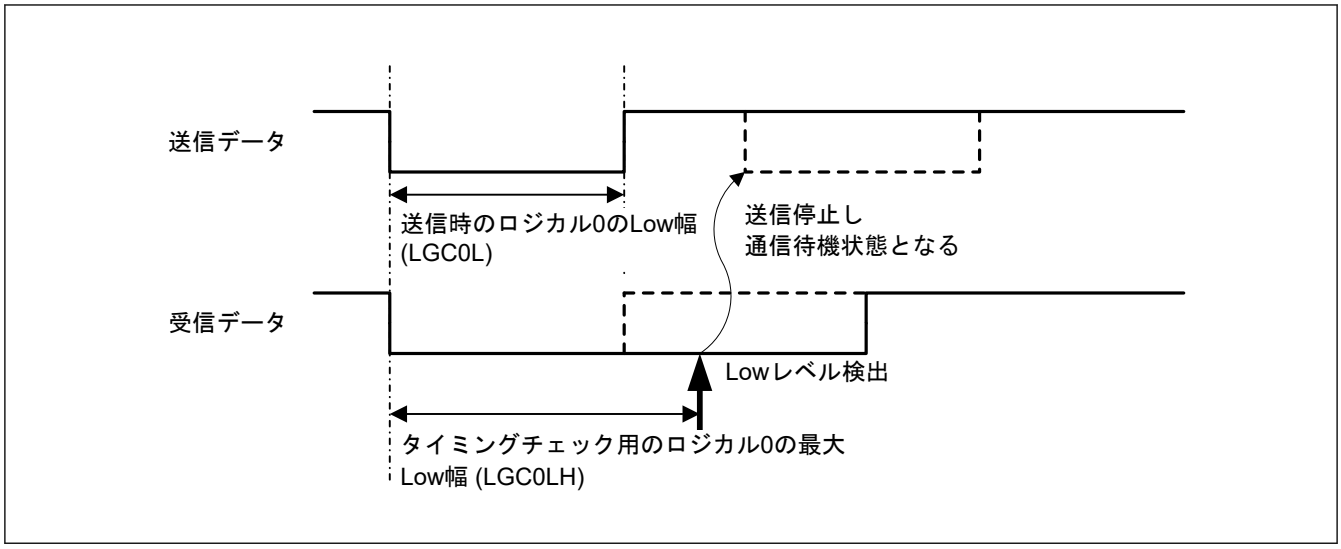


図 31.18　エラー処理パルス受信動作

31.3.3.5　CEC 受信

受信時は、CEC 受信データサンプリング時間設定レジスタ (NOMT) にて設定した、サンプリングタイミングでデータを受信し、受信バッファレジスタ (CRXD) に格納します。

また、受信動作は、CECCTL0.CECRXEN ビット設定値、CECCTL1.CINTMK ビット設定値、通信種別（ダイレクトアドレス通信／ブロードキャスト通信）、受信アドレスと自局アドレスの一致／不一致によって異なります。

表 31.9 に各種条件と動作の対応表を示します。

送信途中（スタートビット検出完了から最終フレームの EOM 受信完了まで）の新たなスタートビットは無視されタイミングエラーとして検出します。ただし、スタートビット検知での再受信機能使用時 (CECEXMOD.RERCVEN = 1) は、タイミングエラーは検知し、新たな受信開始と判断して再度受信動作を行います。

表 31.9　CEC 受信時の動作対応表 (1/2)

CEC RXEN	0	1							
通信種別	—	スタートビット	ヘッダ			ダイレクトデータ			ブロードキャストデータ
アドレス一致／不一致	—	—	不一致		一致	不一致		一致	—
CINTMK ビット	—	—	0	1	—	0	1	—	—
BUSST 動作	あり	あり	あり	あり	あり	あり	あり	あり	あり
INTDA 出力	なし	なし	なし	あり	あり	なし	あり	あり	あり
INTCE 出力	なし	あり(注3)	あり(注3)	あり	あり	なし	あり	あり	あり
INTERR 出力	なし	なし	あり	あり	あり	なし	あり	あり	あり
エラーフラグ動作	なし	なし	あり	あり	あり	なし	あり	あり	あり
エラー検出（短いビット幅の検出以外）	なし	あり(注4)	あり	あり	あり	なし	あり	あり	あり
エラー検出（短いビット幅の検出）	なし	あり(注4)	あり	あり	あり	あり	あり	あり	あり

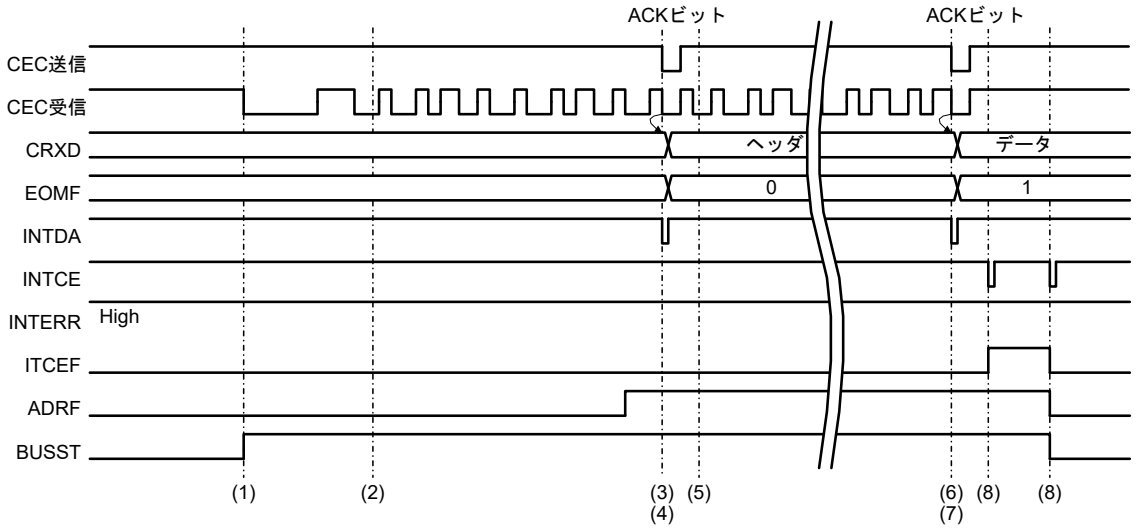
表 31.9 CEC 受信時の動作対応表 (2/2)

CEC RXEN	0	1							
通信種別	—	スタートビット	ヘッダ			ダイレクトデータ			ブロードキャストデータ
アドレス一致／不一致	—	—	不一致		一致	不一致		一致	—
CINTMK ビット	—	—	0	1	—	0	1	—	—
エラー処理出力	なし	なし	あり	あり	あり	あり	あり	あり	あり
バスロック検出(注1)	あり(注2)	あり	あり	あり	あり	あり	あり	あり	あり
ACK/NACK 出力	なし	なし	あり	あり	あり	なし	なし	あり	あり
シグナルフリータイムカウント	なし	あり	あり	あり	あり	あり	あり	あり	あり

注 1. バスロックエラーは CECCTL1.BLERRD をセットすることで検出します。
注 2. バスロックエラーを検出しますがフラグは立ちません。
注 3. エラー検出時のみ発生します。
注 4. スタートビットのタイミングエラーを検出する場合 (CECCTL1.STERRD = 1) のみ対応。エラーを検出しますがフラグは立ちません。

(1) CEC 受信操作手順

ダイレクトアドレスメッセージの受信動作について、図 31.19、表 31.10 にアドレスが一致した場合の動作を、図 31.20、表 31.11 にアドレスが不一致の場合の動作を示します。



注. 図 31.19 の (1)～(8) は、表 31.10 の (1)～(8) に対応しています。

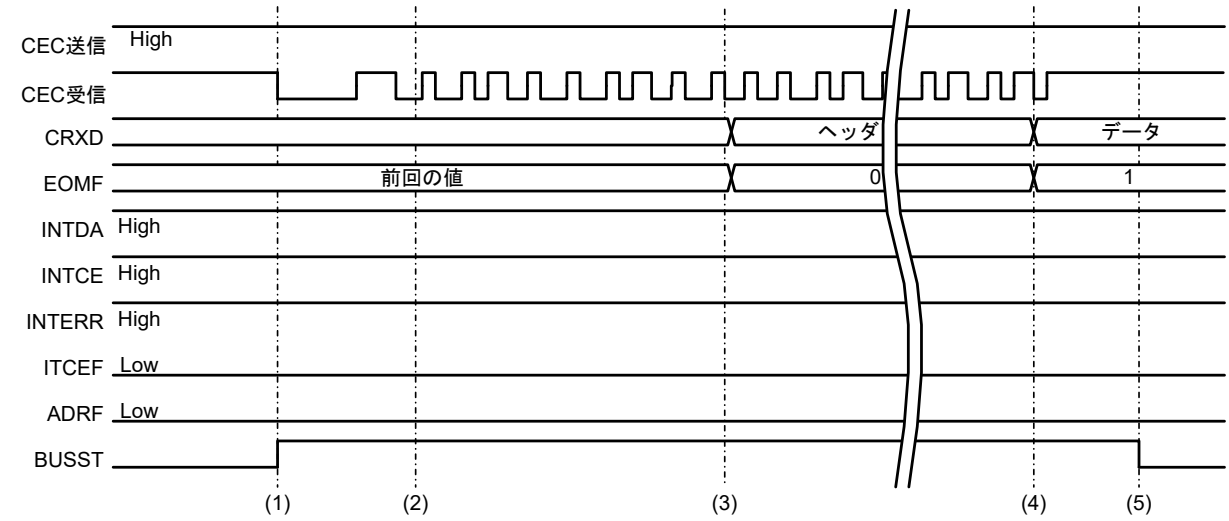
図 31.19 受信基本タイミング (1) （ダイレクトアドレス受信、CECCTL1.CESEL[1:0] = 00b のとき）

表 31.10 CEC 受信操作手順 (1) (1/2)

ステージ	手順	ソフトウエア操作	CEC の状態
CEC 初期設定	1	表 31.6 を参照してください。	—

表 31.10 CEC 受信操作手順 (1) (2/2)

ステージ	手順	ソフトウエア操作	CEC の状態
CEC 受信動作	2	—	[スタートビットの検出] CEC 受信信号の立ち下がりエッジを検出し、受信動作を開始 (1) [サンプリング] NOMT の設定時間でデータをサンプリングし、順次シフトレジスタに格納 (2) [アドレス一致割り込み] ヘッダブロックで受信したアドレスと、自局アドレスが一致したので、INTDA を発生する (3)
	3	INTDA 発生を受け、低消費電力モードからの復帰など受信準備を行う。EOMF により送信継続か最終フレームかを確認する。	—
	4	—	[ACK ビット送信] 受信が成功したので、ACK ビットタイミングでロジカル 0 を送信する (4)
	5	—	[受信継続] 続けて 2 フレーム目のデータを受信する (5) [受信データ割り込み] 8 ビットのデータ受信が完了すると、CRXD にデータを転送し、INTDA を発生する (6)
	6	INTDA 発生を受け、CRXD から受信データを読み出す。EOMF により送信継続か最終フレームかを確認する。	
	7	—	[ACK ビット送信] 受信が成功したので、ACK ビットタイミングでロジカル 0 を送信する (7) [受信完了] EOM = 1 を受信したので、受信完了と判断し、CECCTL1.CESEL[1:0]ビット、CECCTL1.SFT[1:0]ビット設定に従って INTCE を出力する (8)



注. 図 31.20 の (1)～(5) は、表 31.11 の (1)～(5) に対応しています。

図 31.20 受信基本タイミング (2) （CECCTL0.CECRXEN = 1、ダイレクトアドレス、アドレス不一致、CECCTL1.CINTMK = 0）

表 31.11 CEC 受信操作手順 (2)

ステージ	手順	ソフトウエア操作	CEC の状態
CEC 受信動作	1	—	[スタートビットの検出] CEC 受信信号の立ち下がりエッジを検出し、受信動作を開始。BUSST フラグをセット (1) [サンプリング] NOMT の設定時間でデータをサンプリングし、順次シフトレジスタに格納 (2) [アドレス一致割り込み] ヘッダブロックで受信したアドレスと自局アドレスが不一致、CINTMK = 0 なので INTDA を発生せず、ACK/NACK も返さない (3) ただし、ビット長チェック、通信完了を検出するため、CEC ラインのモニタ動作は継続する。 [ACK ビット送信] 他者間通信なので、ACK/NACK は返さない (4) [受信完了] EOM = 1 を受信したので、他者間通信完了と判断し、SFT[1:0]ビット設定に従ってシグナルフリータイムをカウントし BUSST を 0 にする (5)

(2) ブロードキャスト受信

受信フロー、タイミングチェック期間はダイレクトアドレス受信と同様です。イニシエータが送信した送り先アドレスが 0xF であれば、ブロードキャスト受信として動作します。

ダイレクトアドレス受信との違いは、以下のとおりです。

- 正常動作の場合、ACK ビットのタイミングでロジカル 1 を送信します。
- 受信失敗、もしくは CECRXEN = 0 が設定されていた場合、ACK ビットのタイミングでロジカル 0 を送信します。

(3) CEC 受信割り込み

データ割り込み (INTDA)、通信終了割り込み (INTCE)、エラー割り込み (INTERR) の 3 つの割り込み機能を有しています。図 31.21 に CEC 受信時の割り込み発生タイミングを示します。

受信（フォロワー）時、データ割り込み (INTDA) は次のタイミングで出力します。

- ダイレクトアドレス通信のヘッダブロックで受信したアドレスと、自局アドレスが一致したとき
- CECCTL1.CINTMK = 1 設定時、ダイレクトアドレス通信のヘッダブロックでアドレス受信を完了したとき
- ヘッダブロックでブロードキャスト通信のアドレス受信を完了したとき
- データブロックでデータ受信を完了し、CRXD レジスタに受信データを格納したとき

受信（フォロワー）時、通信終了割り込み INTCE は次のタイミングで出力します。

- CECCTL1.CESEL[1:0] = 00b のとき
  最終フレーム (EOM = 1) の ACK ビット完了時とシグナルフリータイムカウント時。または、最終フレームの ACK ビットの High 期間からシグナルフリータイムカウント中に CEC ラインの立ち下がりエッジを検出したとき。
- CECCTL1.CESEL[1:0] = 01b のとき
  最終フレーム (EOM = 1) の ACK ビット完了時。または、最終フレームの ACK ビットの High 期間からシグナルフリータイムカウント中に CEC ラインの立ち下がりエッジを検出したとき。
- CECCTL1.CESEL[1:0] = 10b のとき
  シグナルフリータイムカウント時。

受信（フォロワー）時、エラー割り込み (INTERR) は以下のタイミングで出力します。

- タイミングエラーを検出したとき
- オーバーランエラーを検出したとき
- CECCTL1.BLERRD = 1 設定時にバスロックエラーを検出したとき

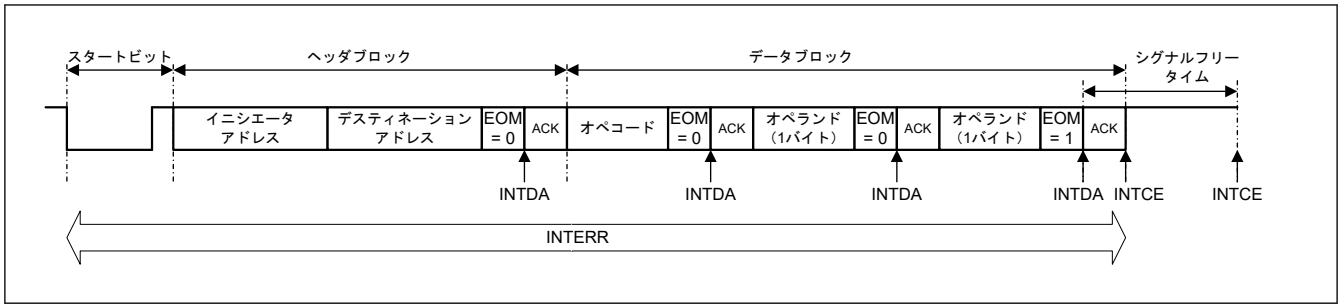


図 31.21　受信割り込みタイミング基本タイミング

31.3.3.6　ステータスフラグ機能

表 31.12 にステータスフラグを示します。

表 31.12　ステータスフラグ

No.	ステータスフラグ	レジスタ.ビットシンボル
1	アドレス一致検出フラグ	CECS.ADRF
2	バスビジー検出フラグ	CECS.BUSST
3	送信ステータスフラグ	CECS.TXST
4	EOM フラグ	CECS.EOMF
5	INTCE 発生要因フラグ	CECS.ITCEF
6	シグナルフリータイム書き換え禁止通知フラグ	CECS.SFTST
7	CEC ラインモニタ	CECEXMON.CECLNMON
8	ACK フラグ	CECEXMON.ACKF

(1)　アドレス一致検出フラグ

図 31.22 に示すように、フォロワー動作時、ダイレクトアドレス通信時に受信したヘッダブロックのデスティネーションアドレスが、CEC 自局アドレス設定レジスタ (CADR) で設定したアドレスと一致した場合、またはブロードキャスト通信時に、ヘッダブロックのデータ割り込み (INTDA) 発生とともにアドレス一致フラグ (CECS.ADRF) がセットされます。

アドレス一致フラグは、最終フレーム (EOM = 1) 受信後、シグナルフリータイムカウント完了時に発生する通信完了割り込み (INTCE) のタイミングでクリアされます。

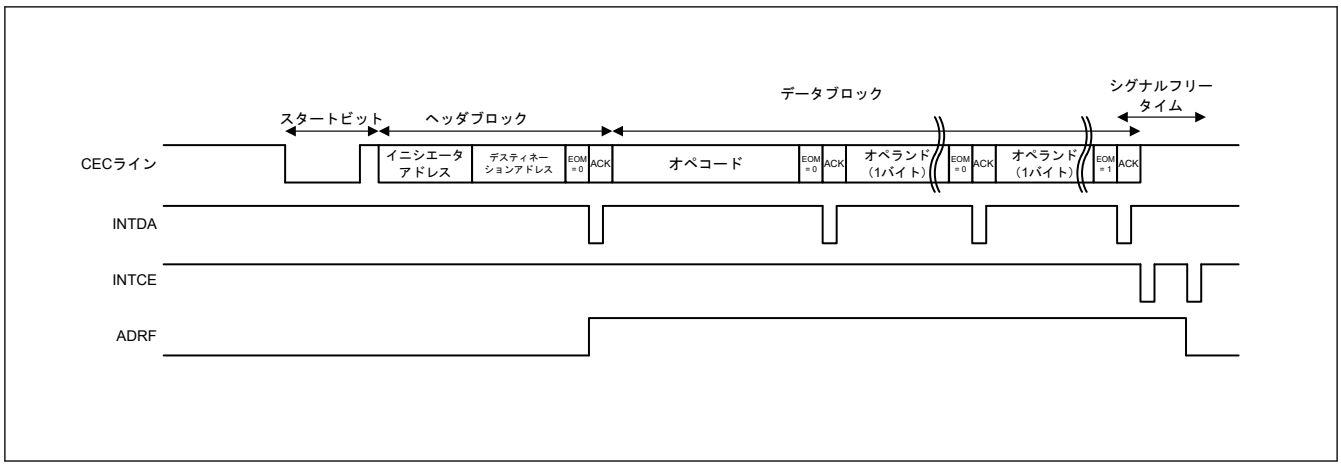
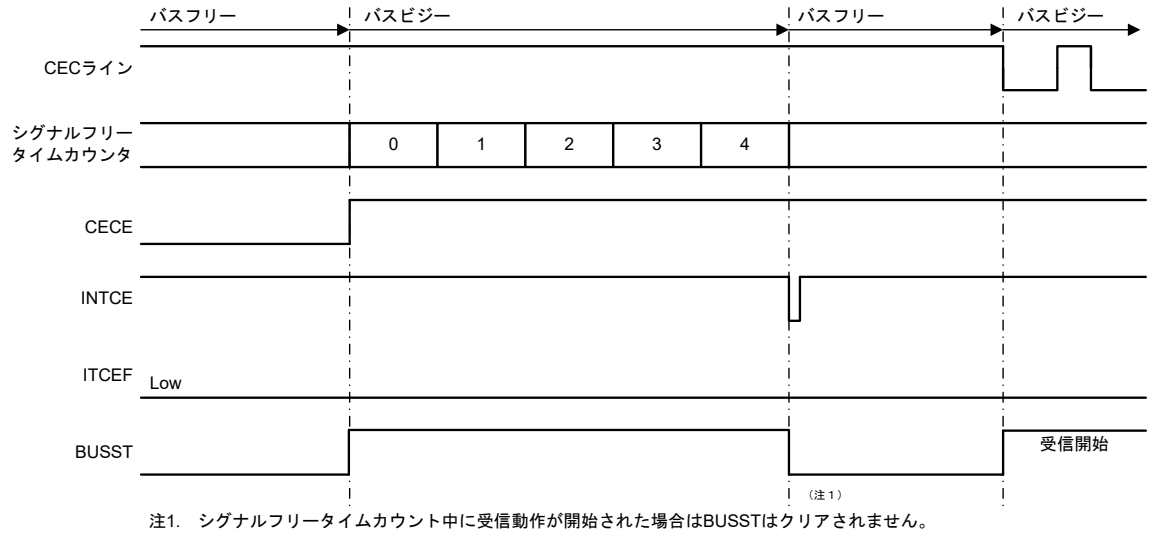


図 31.22　ADRF ビットの動作タイミング

(2) バスビジー検出フラグ

図 31.23～図 31.25 にバスビジーフラグ (CECS.BUSST) の動作タイミングを示します。CEC を動作許可したとき (CECCTL0.CECE = 0→1)、または CEC ラインの動作を検知したときにバスビジーフラグ (CECS.BUSST) がセットされます。

バスビジーフラグは通信が完了し、シグナルフリータイム経過後にクリアされます。



注1. シグナルフリータイムカウント中に受信動作が開始された場合はBUSSTはクリアされません。

図 31.23 CECE = 1 時の受信開始時のタイミング

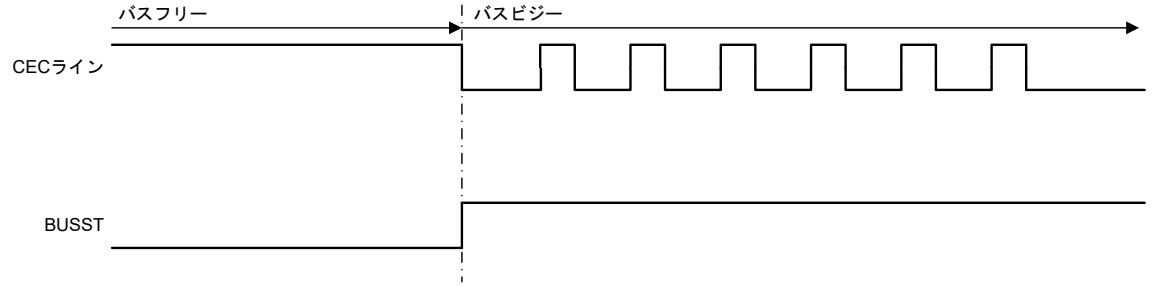


図 31.24 CEC ラインの立ち下がり検出タイミング

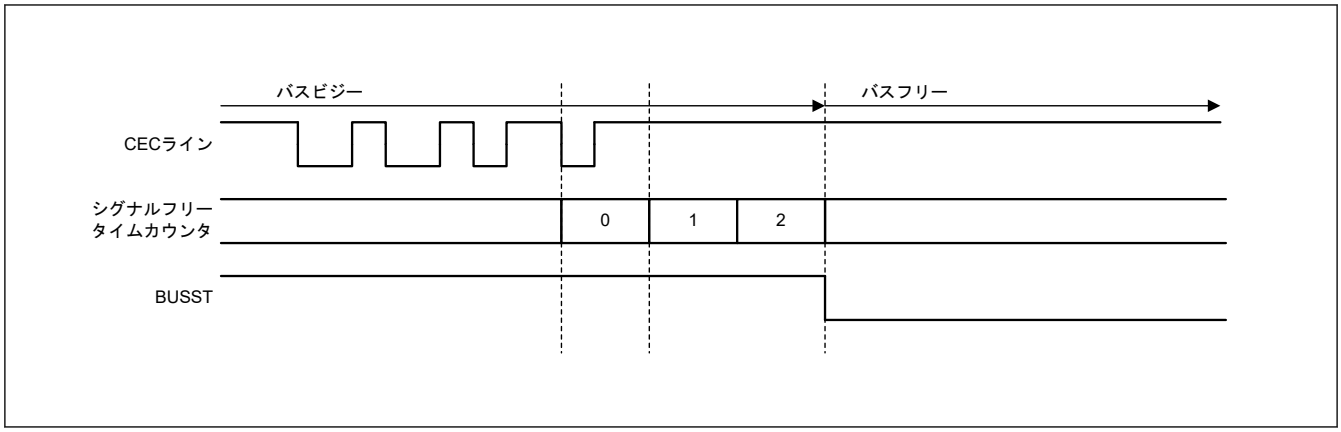


図 31.25　通信終了後、CECCTL1.SFT[1:0]ビットで設定したシグナルフリータイムを経過した場合のタイミング

(3)　送信ステータスフラグ

図 31.26 に示すように、イニシエータ動作時に送信開始トリガビット (CECCTL0.TXTRG) への 1 書き込みしたときに、送信ステータスフラグ (CECS.TXST) がセットされます。

送信ステータスフラグは、EOM = 1 であるデータブロックの ACK 受信完了時に発生する通信完了割り込み (INTCE) のタイミングでクリアされます。ただし、図 31.27 に示すように、アービトレーションロストが発生した場合は、エラー割り込み (INTERR) を発生、アービトレーションロスト検出フラグ (CECES.AERR) のセットとともに送信ステータスフラグがクリアされます。

アンダーランエラーが発生した場合も同様に、エラー割り込み (INTERR) の発生とともに送信ステータスフラグがクリアされます。

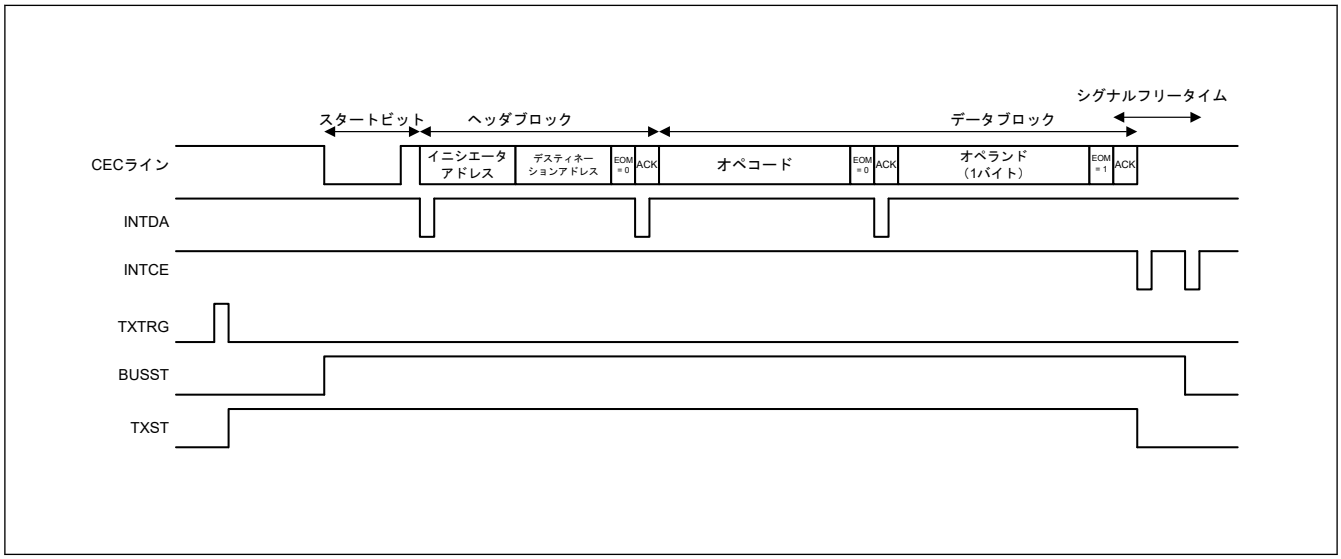


図 31.26　通常送信動作中の送信ステータスフラグのタイミング

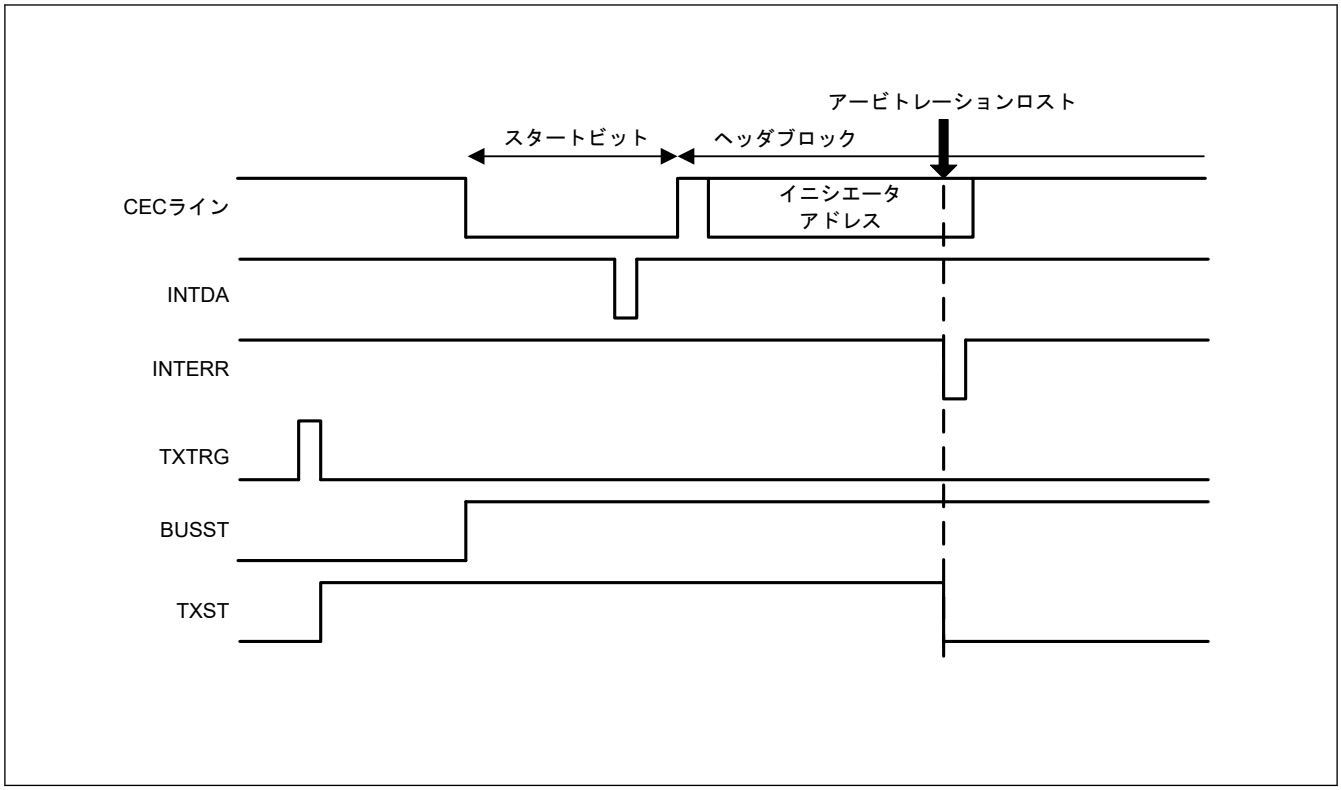


図 31.27　アービトレーションロスト発生時の送信ステータスフラグのタイミング

(4)　EOM フラグ

図 31.28 に示すように、フォロワー動作時、データ割り込み (INTDA) 発生とともに EOM フラグ (CECS.EOMF) が更新されます。

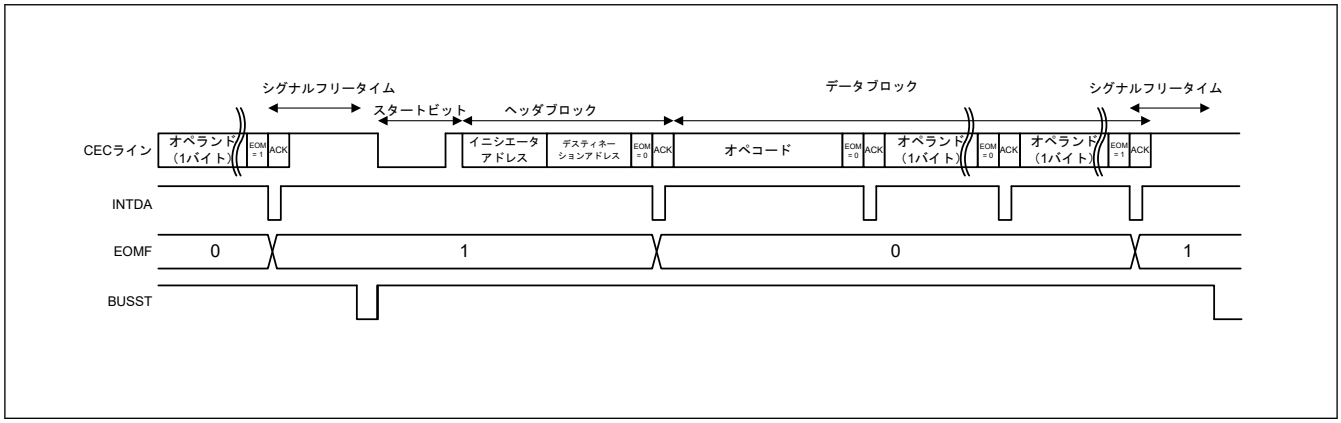
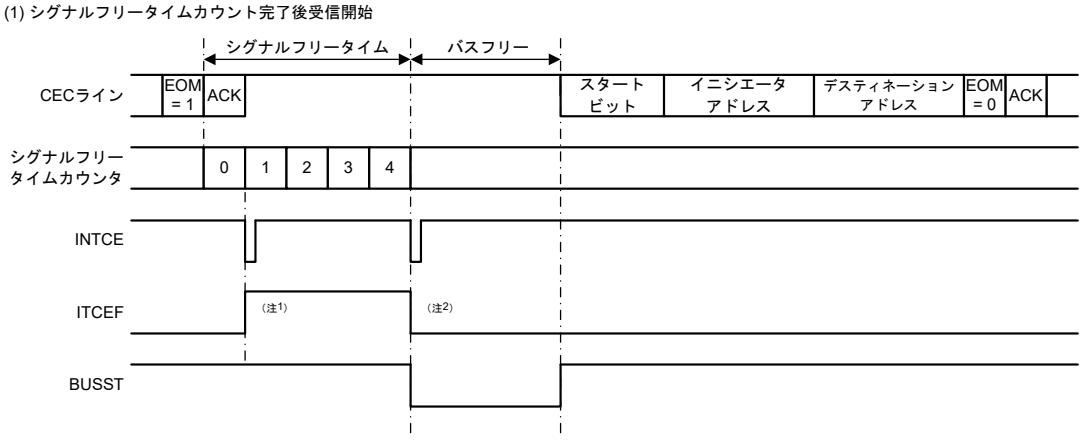


図 31.28　EOMF フラグのタイミング

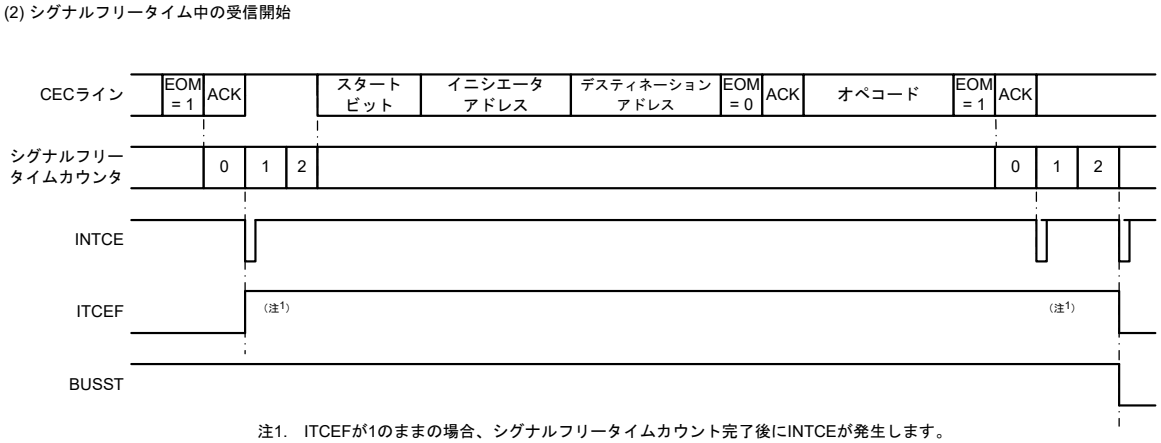
(5)　INTCE 発生要因フラグ

通信完了割り込み (INTCE) 発生時に発生要因を示すフラグです。最終ブロックの ACK 受信タイミングまたはエラー発生時に通信完了割り込み (INTCE) とともに INTCE 発生要因フラグ (CECS.ITCEF) がセットされます。

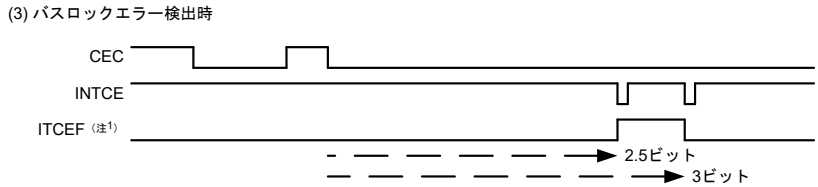
通信完了後、シグナルフリータイム経過により、INTCE 発生要因フラグはクリアされます。ただし、シグナルフリータイム中に受信動作が始まった場合は、INTCE 発生要因フラグはクリアされず、1 の状態を継続します。図 31.29 に、INTCE 発生要因フラグ (CECS.ITCEF) による INTCE 発生要因確認例を示します。



注1. ITCEFが1の場合、ACK受信後にINTCEが発生します。
注2. ITCEFが0の場合、シグナルフリータイムカウント完了後にINTCEが発生します。



注1. ITCEFが1のままの場合、シグナルフリータイムカウント完了後にINTCEが発生します。



注1. 本ビットが1の場合、バスロックエラー検出時にINTCEが発生し、シグナルフリータイムカウント完了後にINTCEが発生すると0にクリアされます。

図 31.29 CECCTL1.CESEL[1:0] = 00b のときの ITCEF による INTCE 発生要因確認

(6) シグナルフリータイム書き換え禁止通知フラグ

シグナルフリータイムデータビット幅選択ビット (CECCTL1.SFT[1:0]) の書き換え動作禁止期間を示すフラグです。図 31.30 に示すように、CECCTL1.SFT[1:0]レジスタへのアクセス時にシグナルフリータイム書き換え禁止通知フラグ (CECS.SFTST) がセットされます。

CECCTL1.SFT[1:0]レジスタ設定値が CEC 内部制御回路へ反映された後、シグナルフリータイム書き換え禁止通知フラグはクリアされます。

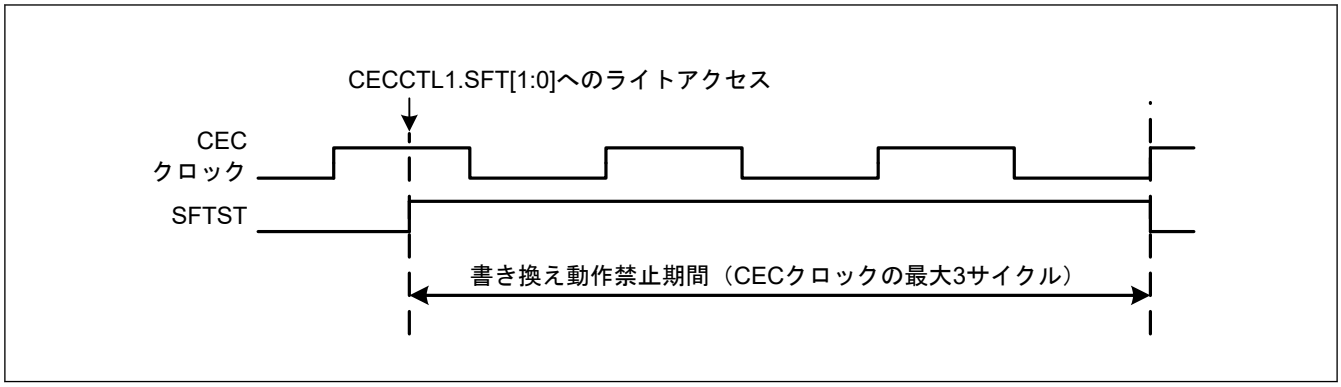


図 31.30　SFTST ビットのタイミング

(7)　CEC ラインモニタ

図 31.31 に、CECEXMON.CECLNMON ビットの動作タイミングを示します。

CECEXMON.CECLNMON ビットをリードすると、CEC 端子の状態が読めます。

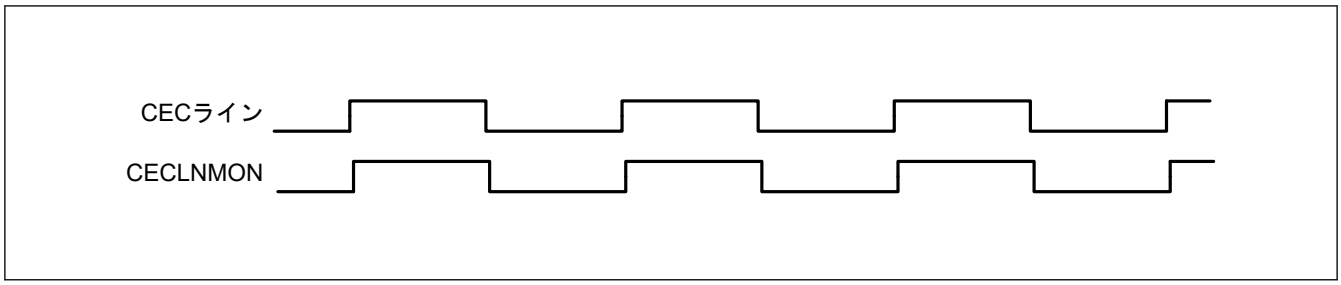


図 31.31　CECLNMON ビットのタイミング

(8)　ACK フラグ

フォロワー動作時、ACK ビット受信のタイミングで ACK フラグ (CECEXMON.ACKF) が更新されます。

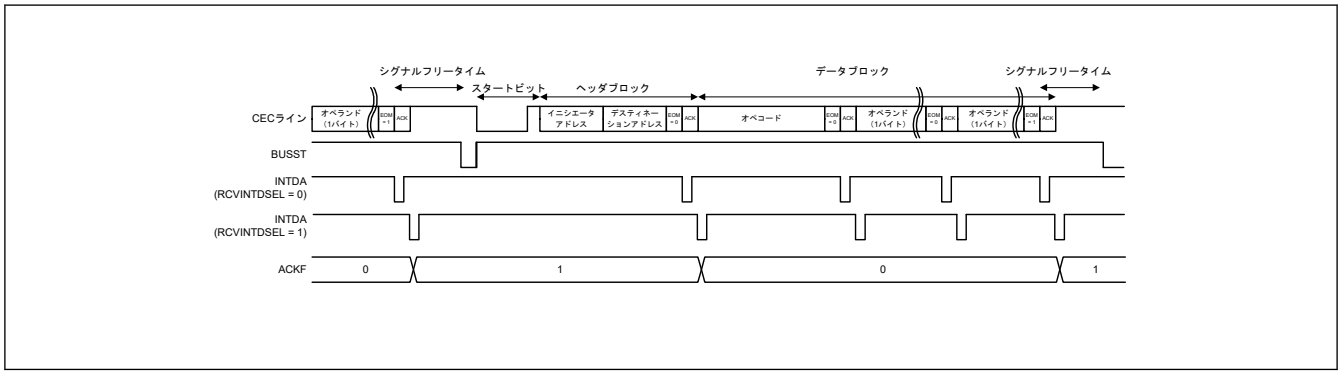


図 31.32　ACKF ビットのタイミング

図 31.32 に示すように、CECEXMD.RCVINTDSEL = 0 で ACKF ビットを読み出す場合はデータ割り込み (INTDA) 発生後、1 ビット時間 WAIT をおいて読み出すことで、受信した ACK 状態が読み出せます。（データ割り込み後に読み出した場合、1 つ前に受信したデータの ACK が読み出されます。）

CECEXMD.RCVINTDSEL = 1 で ACKF ビットを読み出す場合は、データ割り込み (INTDA) 発生後、読み出してください。最新の受信データの ACK を読み出すことができます。

31.3.3.7　CEC 割り込み

CEC 送受信回路は 3 種類の割り込み要求を発生します。

- データ割り込み (INTDA)

送信時は各ブロック送信開始のタイミングで発生します。受信時は受信割り込みタイミング変更ビットの値により、CECEXMD.RCVINTDSEL = 0 の場合は各 EOM ビット受信完了のタイミング、CECEXMD.RCVINTDSEL = 1 の場合は各 ACK ビット送信完了タイミングで発生します。

- 通信完了割り込み (INTCE)
  送信／受信共にメッセージ完了およびシグナルフリータイム完了で割り込みが発生します。通信完了割り込み発生タイミング変更ビット (CECCTL1.CESEL[1:0]) によりいずれかのみ（メッセージ完了またはシグナルフリータイム）とすることも可能です。
- エラー割り込み (INTERR)
  エラー発生時に割り込みが発生します。

各割り込みの発生タイミングを図 31.33 に示します。

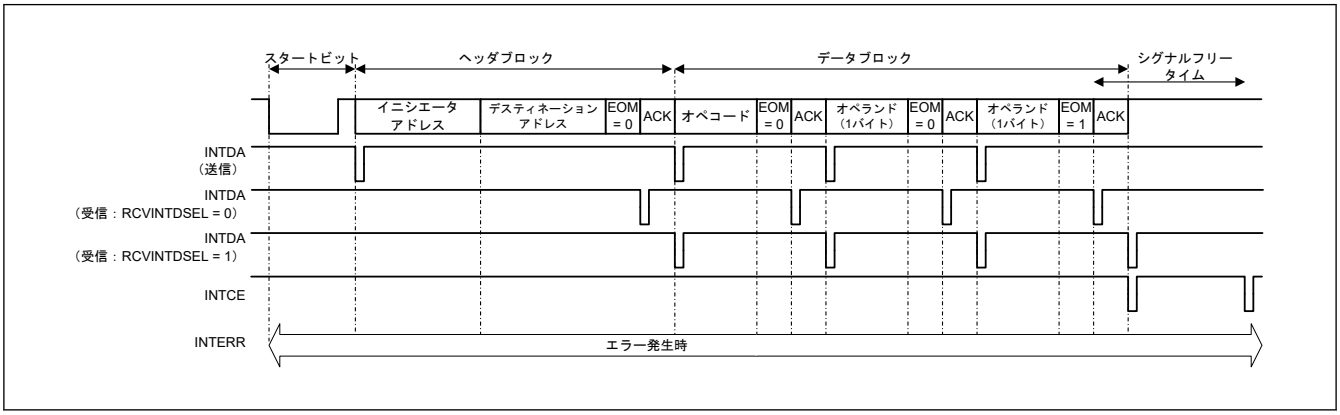


図 31.33　割り込みの発生タイミング

3 種類の割り込み要求には、それぞれ 2 系統の割り込み要求を出力することができます。割り込み要求の使用用途に応じて、2 系統を排他的に使用してください。それぞれの CEC 割り込み要求が対応する使用用途については表 31.13 を参照してください。

表 31.13　CEC の割り込み要因

名称	対応する要因				
	CPU 割り込み	DTC の起動	DMAC 起動	ソフトウェアスタンバイモードからの復帰	全モジュールクロックストップモードからの復帰
INTDA	可能	可能	可能	不可能	不可能
INTCE	可能	可能	可能	不可能	不可能
INTERR	可能	不可能	不可能	不可能	不可能

31.3.3.7.1　エラー割り込み要因

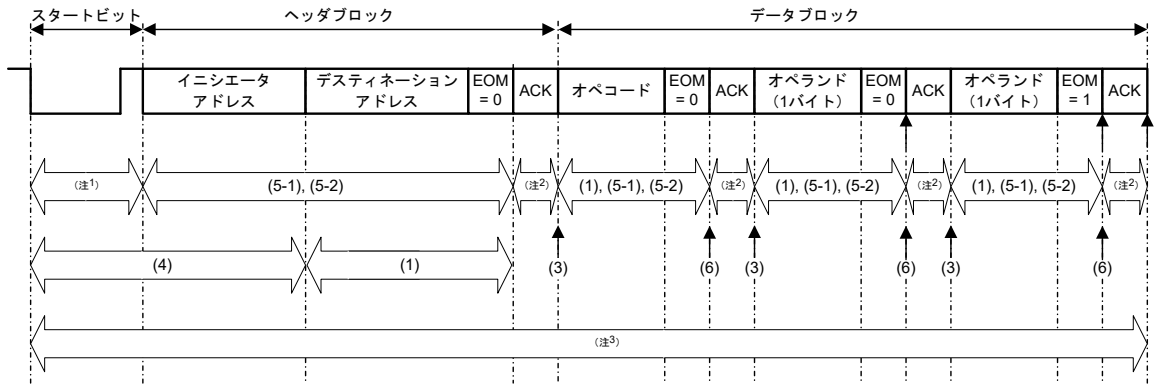
表 31.14 にイニシエータ／フォロワー別の CEC で検出可能な 7 種類のエラーを、図 31.34 にエラー検出期間を示します。

表 31.14　イニシエータ／フォロワー別の検出可能エラー (1/2)

エラー	イニシエータ	フォロワー
(1) 送信エラー	検出	未検出
(2) ACK エラー	検出	未検出
(3) アンダーランエラー	検出	未検出
(4) アービトレーションエラー	検出	未検出
(5-1) タイミングエラー（Low 幅）	検出	検出
(5-2) タイミングエラー（ビット幅）	検出	検出
(6) オーバーランエラー	未検出	検出

表 31.14　イニシエータ／フォロワー別の検出可能エラー (2/2)

エラー	イニシエータ	フォロワー
(7) バスロックエラー	未検出	検出



注1.　スタートビットのタイミングエラーを検出する場合 (CECCTL1.STERRD = 1)、(5-1)および(5-2)
注2.　(2)および(5-1)に加えて、ACKビットのタイミングエラーを検出する場合 (CECCTL0.ACKTEN = 1)、(5-2)
注3.　バスロックエラーを検出する場合 (CECCTL1.BLERRD = 1)、(7)

図 31.34　エラーの検出期間

以降に各エラーの詳細を示します。

(1)　送信エラー

図 31.35 に示すように、イニシエータ動作時、自身が送信したデータと、CEC ラインの受信データの論理比較を行い、異なる場合に送信エラーとなります。CEC 受信データサンプリング時間設定レジスタ (NOMT) の設定値のタイミングでエラー判定をします。エラー判定区間は、EOM ビットを含むフレームのデータビット期間でエラー判定を行います。エラー検出後、エラー割り込み (INTERR) を発生させ、送信エラー検出フラグ (CECES.TXERR) をセットし、そのフラグの値で送信を停止します。

通信完了割り込み (INTCE) は CECCTL1.CESEL[1:0]の設定により、停止したビットの最後および、シグナルフリータイムカウント後で発生します。

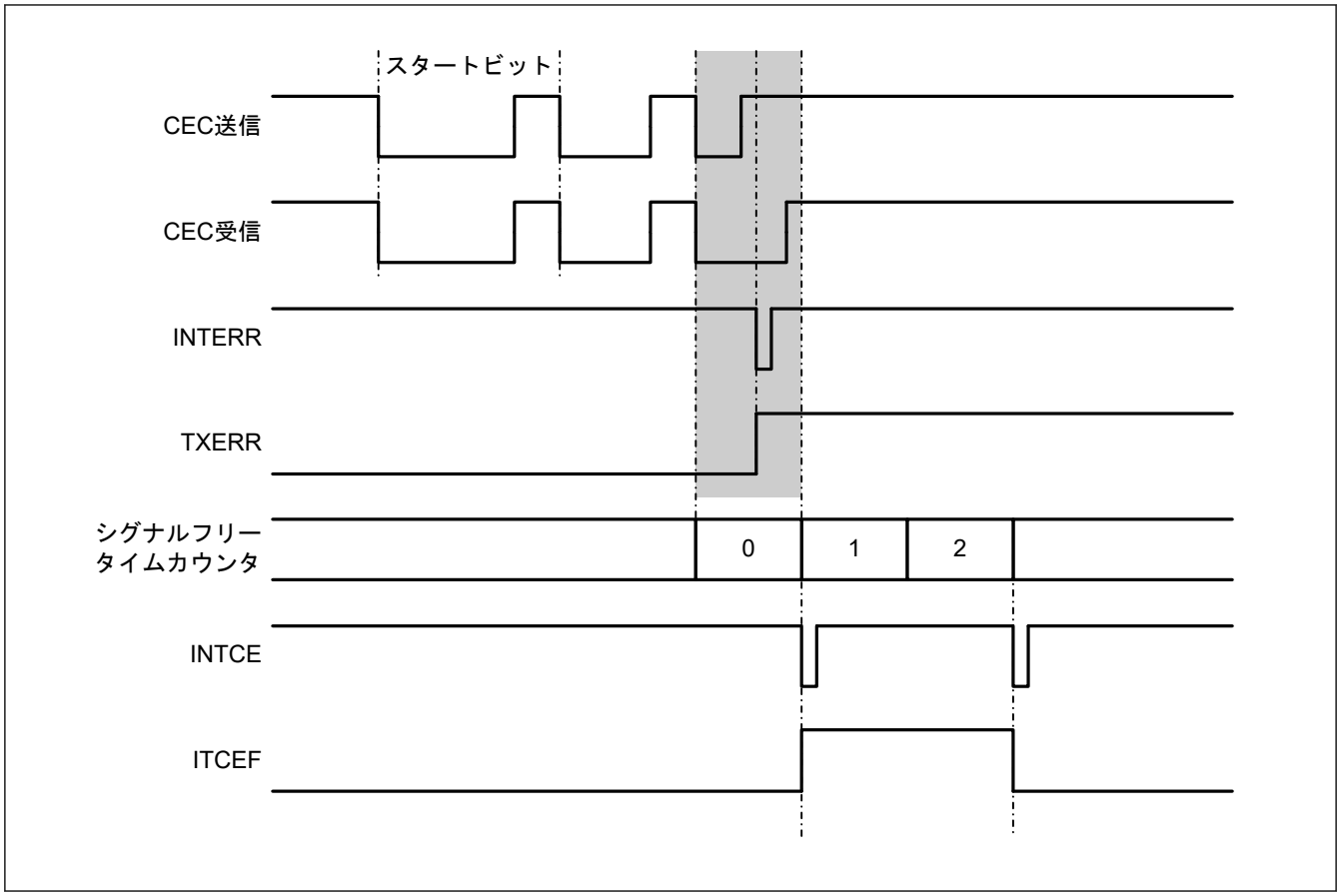


図 31.35　送信エラー検出波形（シグナルフリータイム＝ 3 ビット幅設定時）

送信エラーを検出すると、CECCTL0.EOM ビット設定値に関わらず、エラーを検出したビットで送信動作を停止します。

イニシエータが EOM = 1 を送信しているにも関わらず、EOM = 0 を受信した場合、送信エラーと判断して送信を停止します。フォロワーは EOM = 0 なので送信が継続すると判断し、データ受信を待ちます。
CECCTL1.BLERRD = 1 に設定している場合は、受信データの High および Low 張り付きを検出できます。

(2)　ACK エラー

ダイレクトアドレス送信時は、ACK ビットタイミングでイニシエータがロジカル 1 を受信した場合 ACK エラーとなります。ブロードキャスト送信時は、ACK ビットタイミングでイニシエータがロジカル 0 を受信した場合に ACK エラーとなります。図 31.36 に ACK エラー検出タイミングを示します。

CEC 受信データサンプリング時間設定レジスタ (NOMT) の設定値のタイミングでエラー判定をします。エラー検出後、エラー割り込み (INTERR) を発生させ、ACK エラー検出フラグ (CECES.ACKERR) をセットします。ACK ビット終了時、通信待機状態になり、シグナルフリータイムをカウントします。通信完了割り込み (INTCE) は CECCTL1.CESEL[1:0]ビットの設定値により、1 回もしくは 2 回発生します。

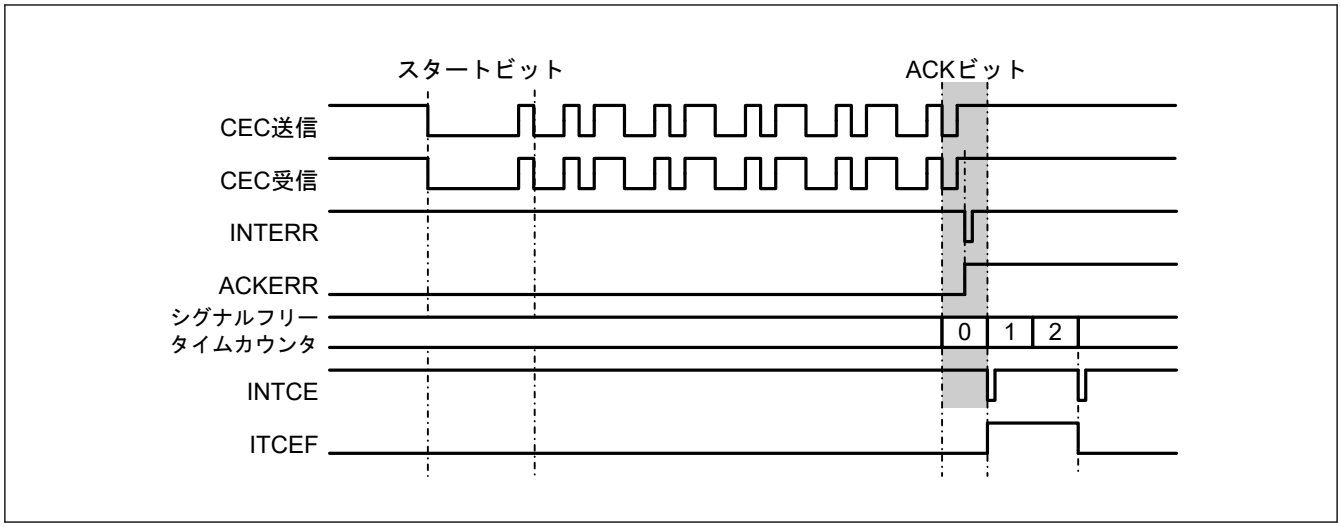


図 31.36　ダイレクトアドレス通信時の ACK エラー（シグナルフリータイム＝3 ビット幅設定時）

(3)　アンダーランエラー

次のデータ送信を開始するタイミングで、送信バッファにデータが設定されていない場合にアンダーランエラーとなります。図 31.37 に示すようにアンダーランエラーを検出した場合、エラー割り込み (INTERR) を発生させ、アンダーランエラー検出フラグ (CECES.UERR) をセットし、送信を中断し通信待機状態となります。通信完了割り込み (INTCE) は CECCTL1.CESEL[1:0]ビットの設定値により、1 回もしくは 2 回発生します。

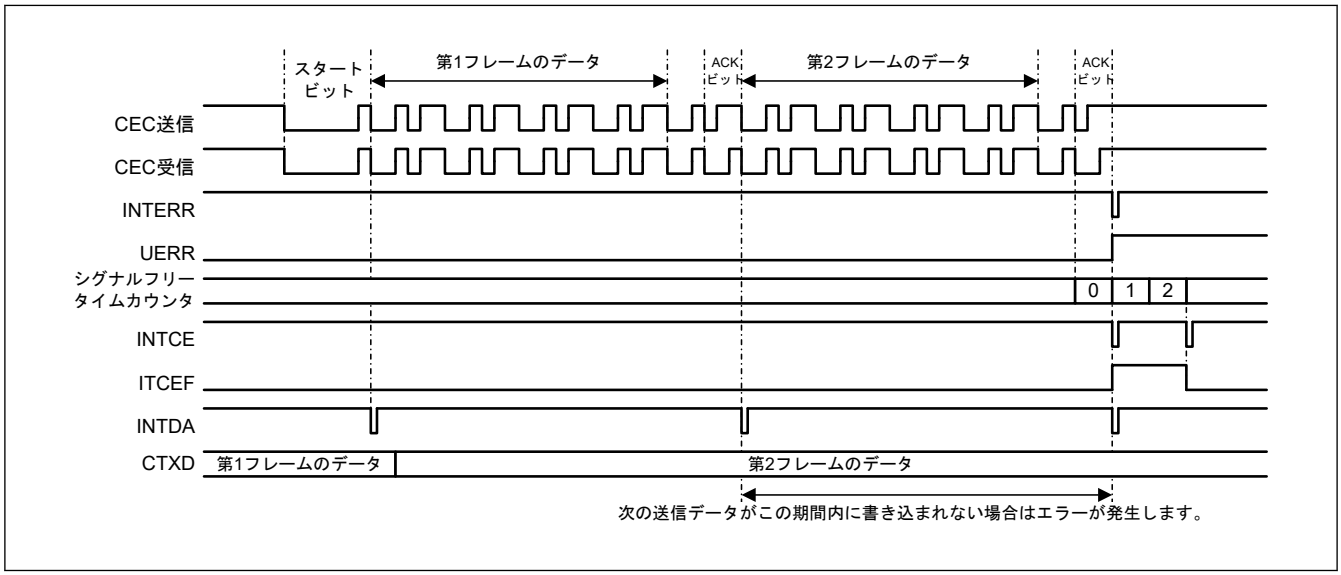


図 31.37　アンダーランエラータイミング

(4)　アービトレーションエラー

図 31.38 に示すように、送信開始トリガ (CECCTL0.TXTRG) の設定から送り元アドレス送信中の期間に、ロジカル 1 送信に対して、ロジカル 0 を受信した場合は、アービトレーションエラーとなります。送信開始トリガ設定からスタートビット出力までのエラー判定は、CEC 送信信号に Low を出力するタイミングでエラー判定をします。送り元アドレス送信中は CEC 受信データサンプリング時間設定レジスタ (NOMT) の設定値のタイミングでエラー判定をします。エラー検出後、エラー割り込み (INTERR) を発生させ、アービトレーションロスト検出フラグ (CECES.AERR) をセットします。このとき、送信は中断しますが、受信動作は継続します。送り元アドレス検出期間までは、図 31.39 に示すように、複数同時にエラーフラグを検出する場合があります。

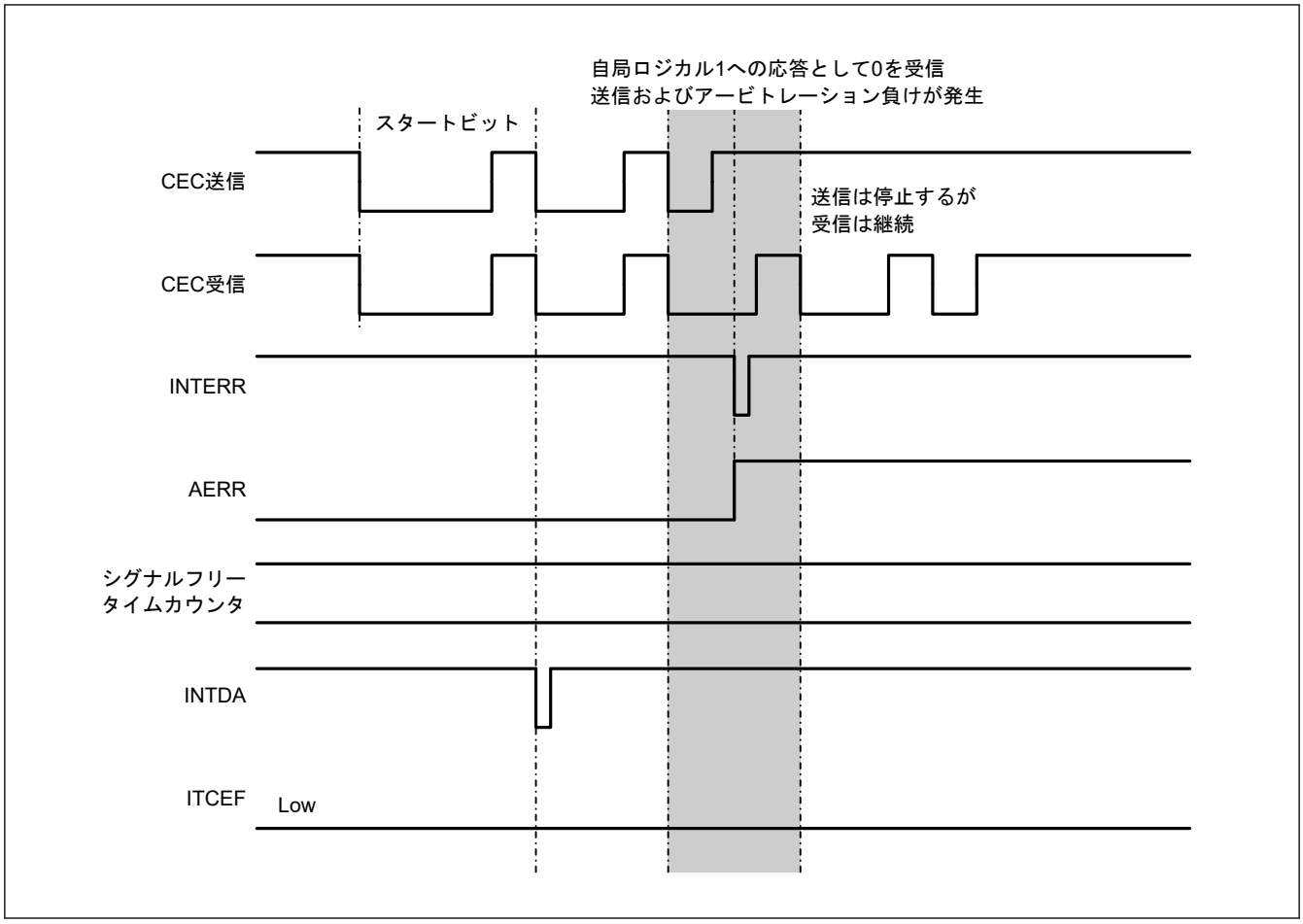
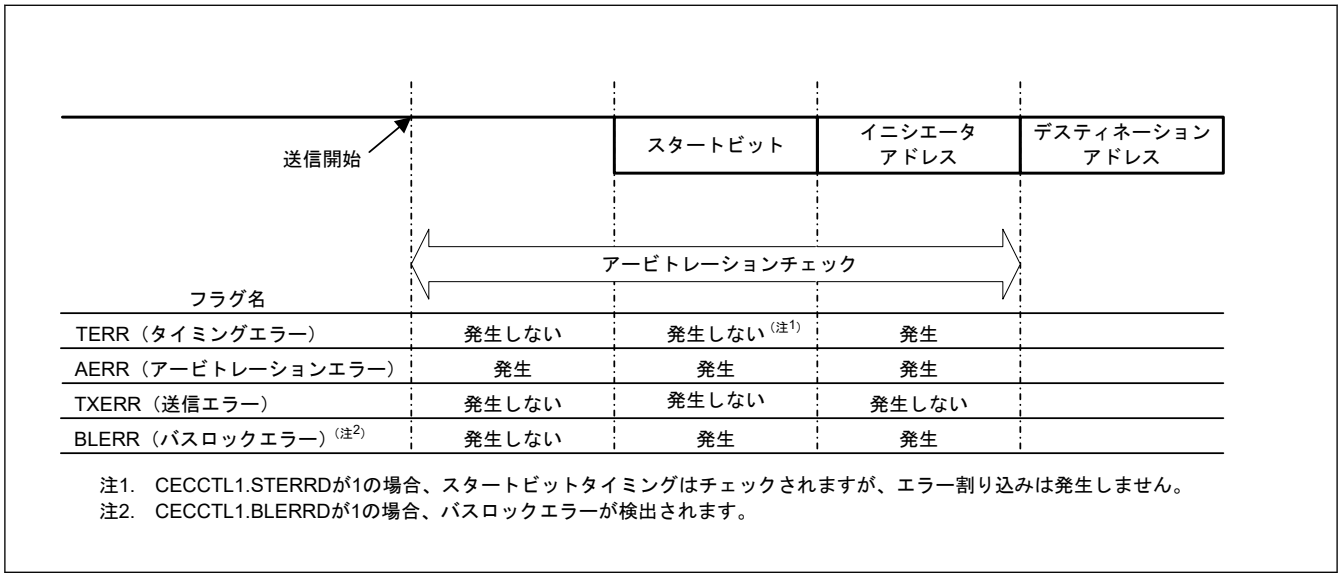


図 31.38　アービトレーションタイミング



フラグ名			
TERR（タイミングエラー）	発生しない	発生しない (注1)	発生
AERR（アービトレーションエラー）	発生	発生	発生
TXERR（送信エラー）	発生しない	発生しない	発生しない
BLERR（バスロックエラー）(注2)	発生しない	発生	発生

注1.　CECCTL1.STERRDが1の場合、スタートビットタイミングはチェックされますが、エラー割り込みは発生しません。
注2.　CECCTL1.BLERRDが1の場合、バスロックエラーが検出されます。

図 31.39　アービトレーションエラーと他のエラーの関係

【アービトレーションエラー詳細説明】

送信開始トリガ (CECCTL0.TXTRG) をセットしてから、イニシエータアドレス出力期間までのアービトレーションチェックの詳細を以下に示します。

送信開始トリガ (CECCTL0.TXTRG) セットでのアービトレーションチェック

送信開始トリガ (CECCTL0.TXTRG) をセットしてから、CEC クロックの 2 サイクル後にアービトレーションチェックをします。アービトレーションロストと判断すると、エラー割り込み (INTERR) を発生し、アービトレーションロスト検出フラグ (CECES.AERR) をセットし、受信モードに切り変わります。

スタートビット出力期間

送信開始トリガ (CECCTL0.TXTRG) をセットして、実際にスタートビットが出力される際に、受信ラインに Low を検出するとアービトレーションロスト検出フラグ (CECES.AERR) をセットし、受信モードに切り変わります。また、STATLH で設定したスタートビットの Low 幅 MAX 値を越えて、受信ラインの立ち上がりエッジを検出した場合、アービトレーションロスト検出フラグ (CECES.AERR) をセットし、受信モードに切り変わります。

イニシエータアドレス出力期間

スタートビット送信完了後、イニシエータアドレス送信開始と同時に論理チェックを行います。自局アドレスよりも若いアドレスを検出した場合、エラー割り込み (INTERR) を発生し、アービトレーションロスト検出フラグ (CECES.AERR) をセットし、受信モードに切り変わります。

(5) タイミングエラー

イニシエータ／フォロワーの動作時でも、CEC 受信信号のタイミングエラーチェックを行います。設定したレジスタの範囲外であればタイミングエラーとなります。図 31.40 に示すように、Low 幅のタイミングエラーの場合は、立ち上がりエッジを検出したタイミングで検出します。ビット幅のタイミングエラーの場合は、MIN 側は立ち下がりエッジを検出したタイミングでエラーを検出し、MAX 側はビット幅 MAX 設定値を越えても立ち下がりエッジが来ない場合にエラーを検出します。ACK ビットのタイミングチェックを行うか否かは CECCTL0.ACKTEN ビットで選択できます。ただし、CECCTL0.ACKTEN = 1 に設定したときでも、最終データブロック (CECCTL0.EOM = 1 のとき）の ACK ビットのみビット幅 MAX 側のチェックを行いません。ビット幅の MIN 側はチェックを行います。図 31.41 に示すように、ビット幅が短いタイミングエラーを検出すると、フォロワー動作時は NOMP レジスタで設定した 1 ビット幅の 1.5 倍の期間 Low パルス（エラー処理パルス）を送信します。

エラー処理パルスの送信はスタートビットのタイミングエラー検出では行いません。

ビット幅が短い以外のタイミングエラーを検出した場合、イニシエータ動作時は送信を停止します。フォロワー動作時は、図 31.42 に示すように受信を継続し ACK ビットタイミングでダイレクトアドレス通信時はロジカル 1、ブロードキャスト通信時はロジカル 0 を送信します。通信完了割り込み (INTCE) の発生タイミングは CECCTL1.CESEL[1:0]の設定値に依存します。最終 ACK ビット幅 MIN のタイミングエラーを検出したら、エラー割り込み (INTERR) と同時に通信完了割り込み (INTCE) も出力します。

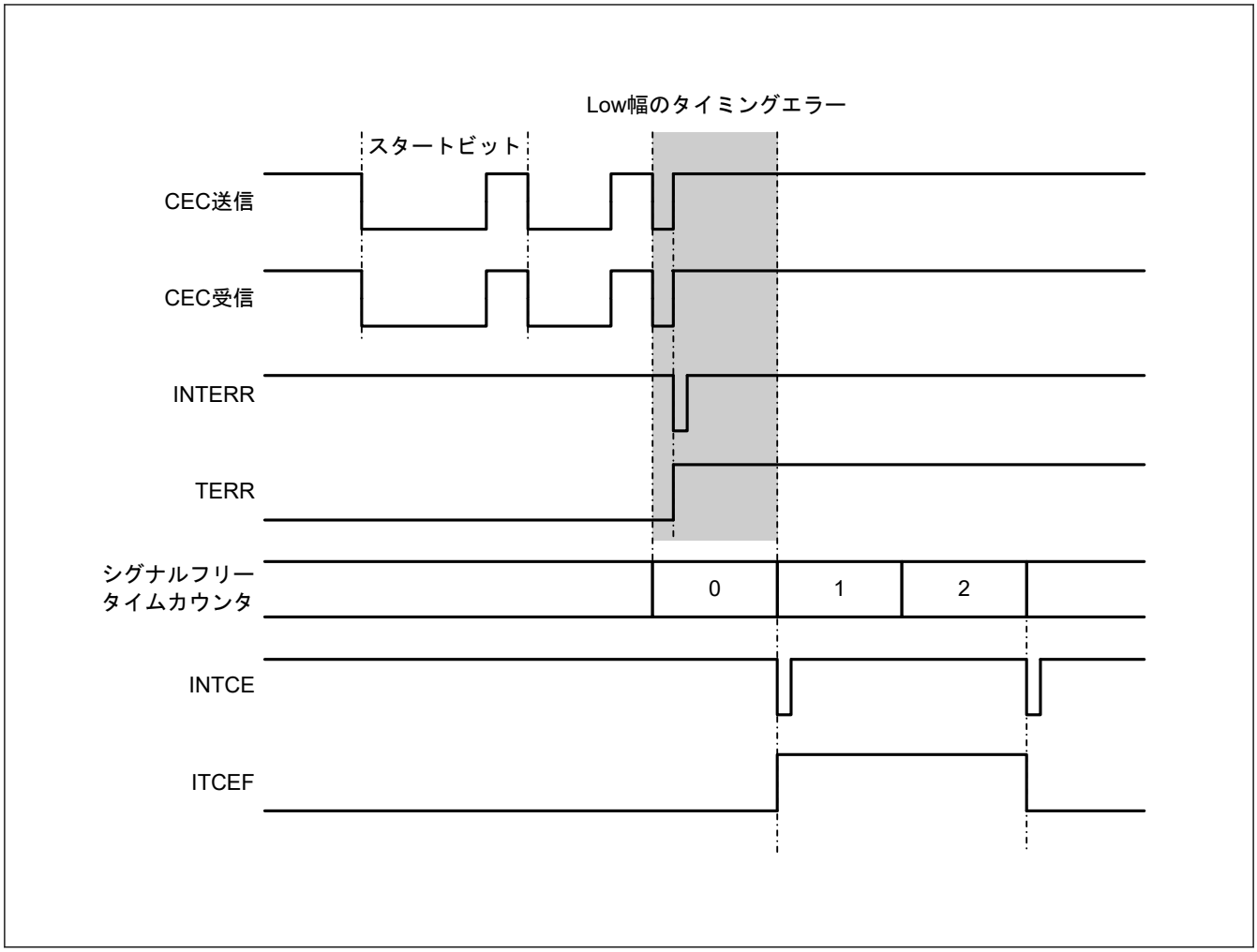


図 31.40　イニシエータ動作時のタイミングエラー

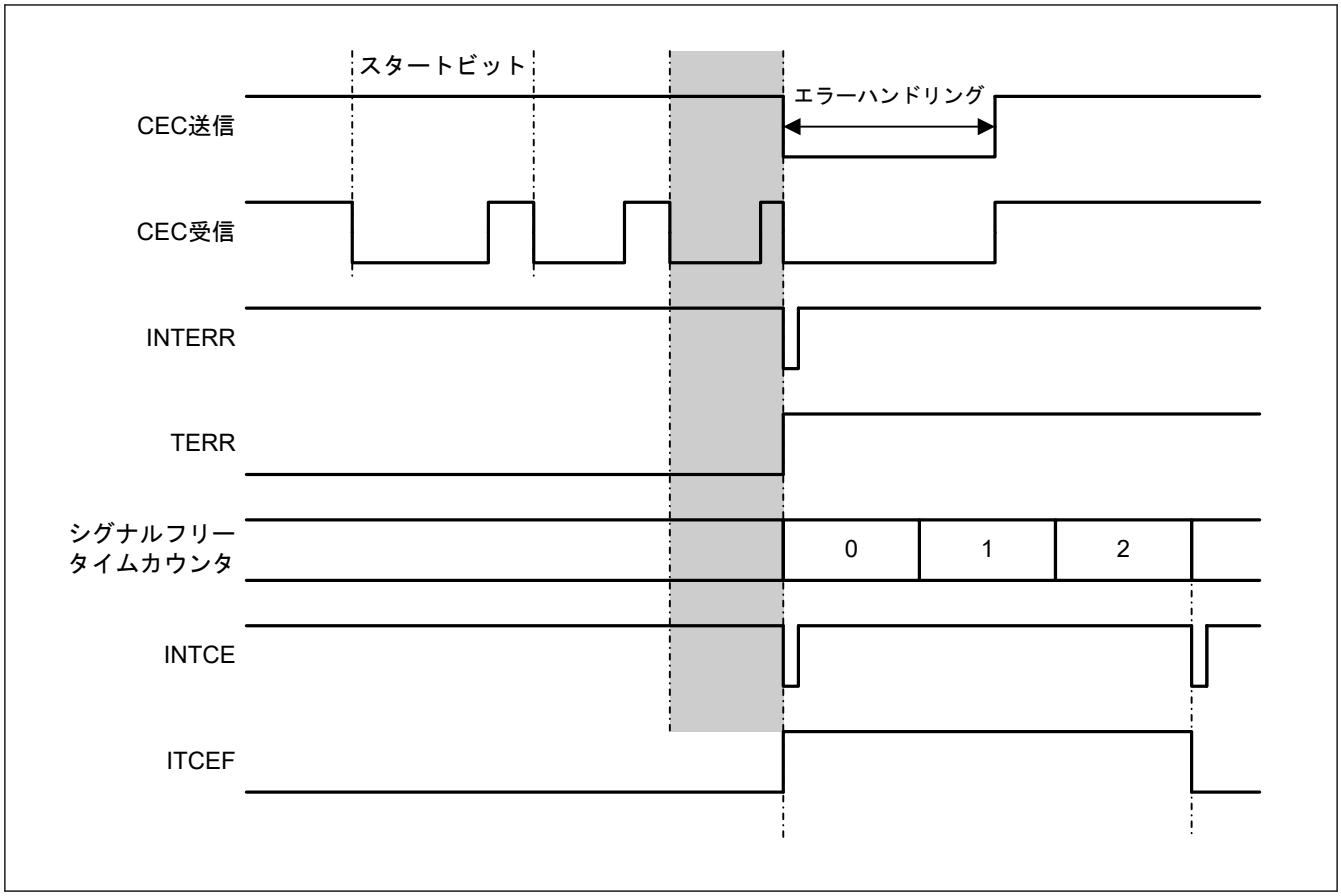


図 31.41　フォロワー動作時のビット幅が短い場合のタイミングエラー

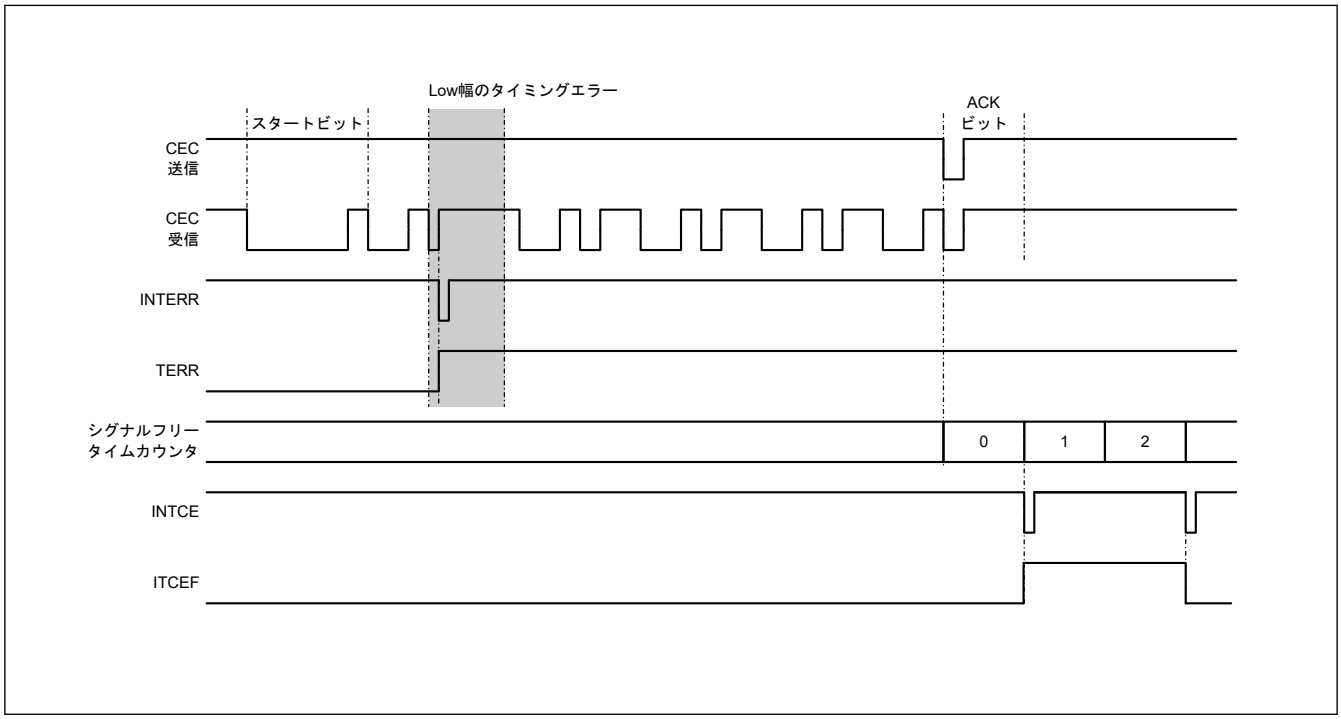


図 31.42　フォロワー動作時のビット幅が短い場合以外のタイミングエラー

(6)　オーバーランエラー

フォロワー動作時に、受信バッファレジスタ (CRXD) からデータをリードする前に、次のデータ受信が完了した場合にオーバーランエラーとなります。図 31.43 に示すように、エラー割り込み (INTERR) を発生させ、オーバ

ーランエラー検出フラグ (CECES.OERR) をセットします。その後、オーバーランエラーが発生したブロックの ACK 送信タイミングで、ダイレクトアドレス通信時はロジカル 1、ブロードキャスト通信時はロジカル 0 を返信し、イニシエータに受信が失敗したことを伝え受信待機状態に遷移します。通信完了割り込み (INTCE) は CECCTL1.CESEL[1:0]ビットの設定に依存して動作します。

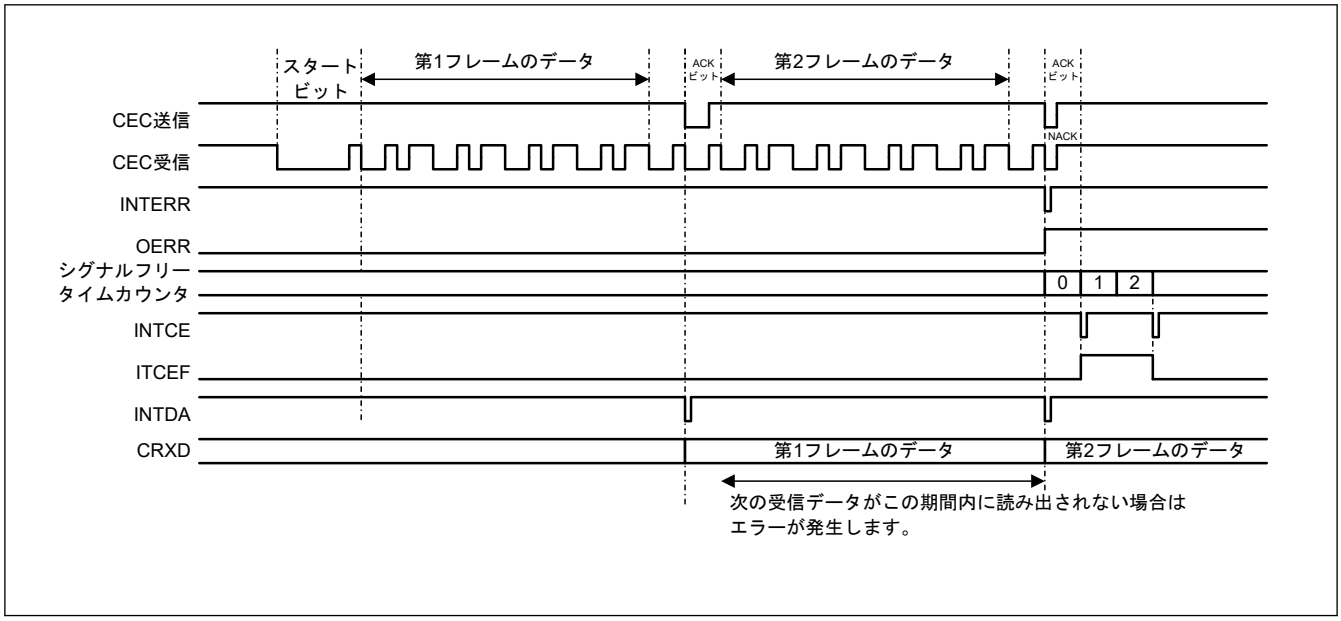


図 31.43　オーバーランエラー（シグナルフリータイム＝ 3 ビット幅設定時）

(7)　バスロックエラー

バスロックエラーを検出する (CECCTL1.BLERRD = 1) 設定とした場合、通信状態 (CECS.BUSST = 1) で、NOMP で設定した 1 データビット幅の 2.5 倍の期間、CEC 受信信号が High/Low に張り付いている場合にバスロックエラーとなります。図 31.44 にバスロックエラー検出タイミングを示します。

エラーを検出すると、エラー割り込み (INTERR) を発生させバスロックエラー検出フラグ (CECES.BLERR) をセットし、通信待機状態となり、シグナルフリータイムをカウントします。通信完了割り込み (INTCE) は CECCTL1.CESEL[1:0]ビットの設定に依存して動作します。バスロックエラーの検出はフォロワーのみとなります。

バスロックエラーを検出しない (CECCTL1.BLERRD = 0) 設定とした場合はバスロックエラーを検出しません。バスロックの判定は CECEXMON.CECLNMON ビットをモニタし、ソフトウエアにてバスロックの判定、および処理を行ってください。

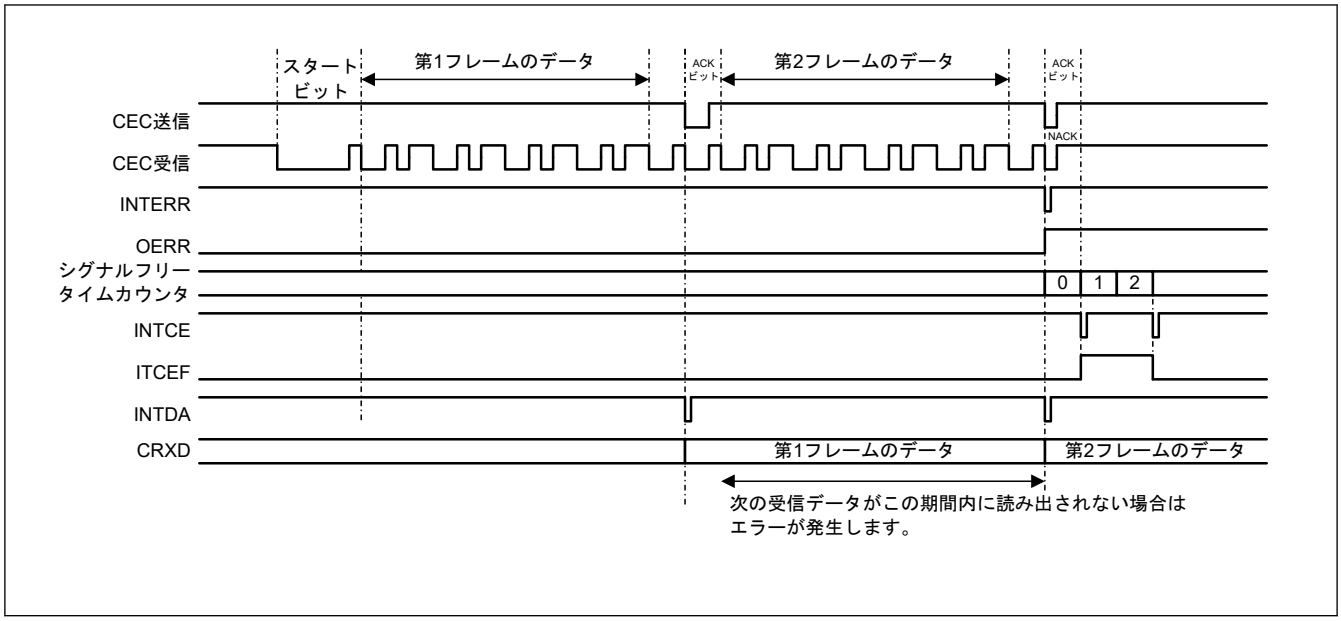
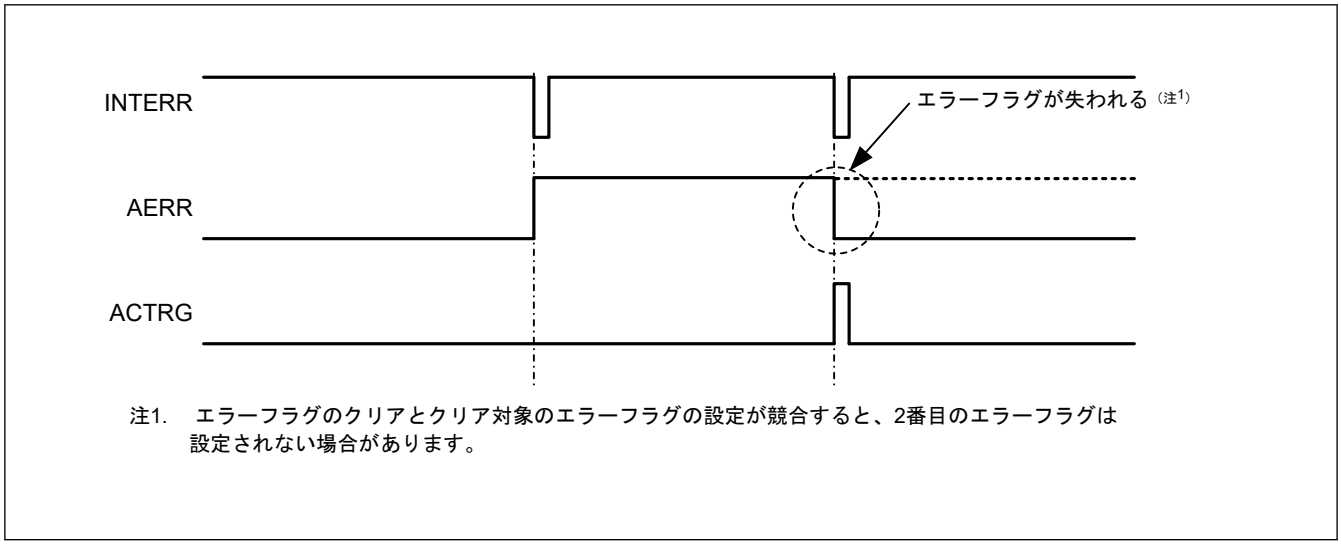


図 31.44　フォロワー動作時のバスロックエラーのタイミング（シグナルフリータイム＝ 5 ビット幅設定時）

31.3.3.7.2　エラーフラグのクリア方法

CEC 通信エラーステータスレジスタ (CECES) にセットされたエラーフラグは、CEC 通信エラーフラグクリアトリガレジスタ (CECFC) の対象ビットに 1 をセットすることでクリアが可能です。図 31.45 はアービトレーションエラーが発生した場合の例を示しています。CECFC レジスタに 0x20 を設定することで、アービトレーションロスト検出フラグをクリアできます。



注1.　エラーフラグのクリアとクリア対象のエラーフラグの設定が競合すると、2番目のエラーフラグは設定されない場合があります。

図 31.45　同一エラーが 2 回発生し、クリアトリガと競合したとき

31.3.3.8　シグナルフリータイム

シグナルフリータイムの完了は、設定した時間（NOMP レジスタで設定した 1 ビット幅の 3/5/7 ビット分）との一致検出により、通信完了割り込みを発生することで通知します。シグナルフリータイムのビット数は CECCTL1.SFT[1:0]ビットで設定します。CECCTL1.CESEL[1:0]ビットを設定すると通信完了割り込みが発生します。カウント開始タイミングは受信データの立ち下がり検出時です。通常の通信では、CECCTL0.EOM = 1 の ACK ビット立ち下がりエッジ検出後にシグナルフリータイムのカウントを開始します。

エラーが発生した場合も、通信停止後にシグナルフリータイムのカウントを開始します。

エラー処理パルス（ビット幅 1.5 倍の Low パルス）を受け付けた場合は、エラー処理パルスの立ち下がりエッジからカウント動作を開始します。図 31.46 は CECCTL1.CESEL[1:0] = 00b, CECCTL1.SFT[1:0] = 10b に設定し、7 データビット幅のシグナルフリータイム検出とした場合の動作例です。

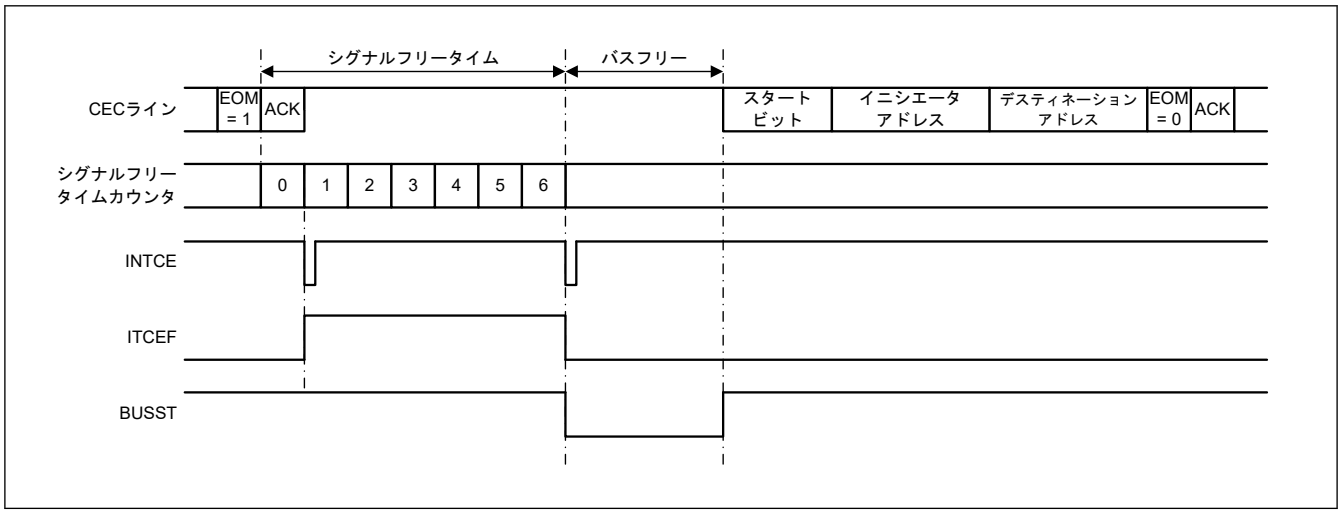


図 31.46　シグナルフリータイムの動作

シグナルフリータイムカウント中に CECCTL1.SFT[1:0]ビットの値を、現在のビット数より小さく書き換える場合、書き換え後のビットカウント値までに書き換えを完了してください。書き換えが間に合わなかった場合、カウンタがオーバーフローして、再度ビット数が一致するまで、シグナルフリータイム期間となります。図 31.47 に 5 データビット幅から 3 データビット幅に変更する場合の例を示します。

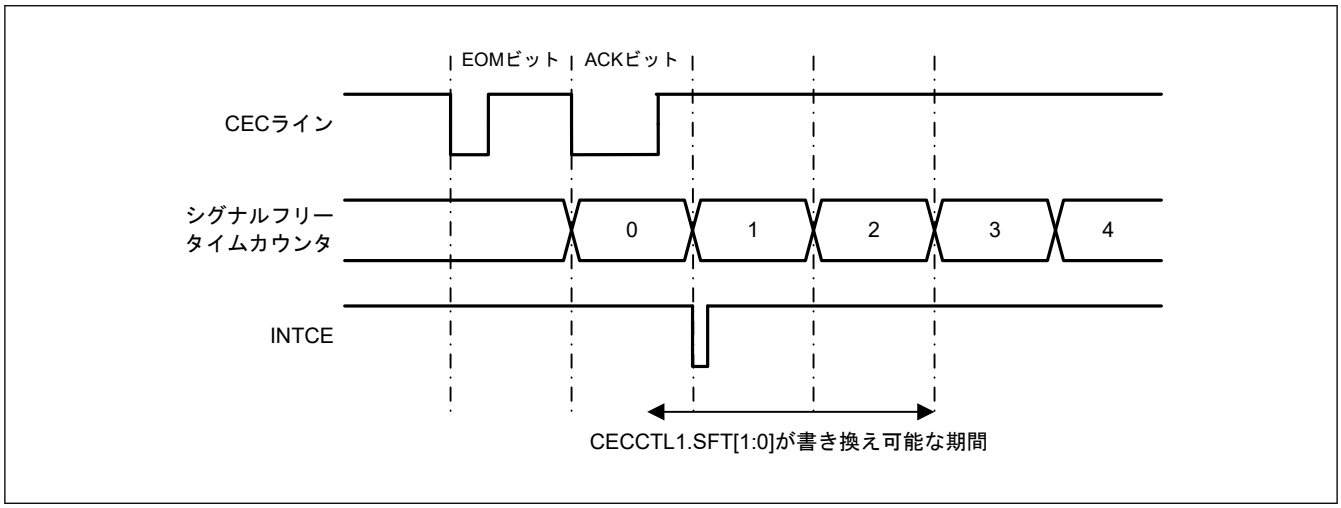


図 31.47　シグナルフリータイムカウント中の CECCTL1.SFT[1:0]ビット書き換え有効期間

シグナルフリータイム中の受信動作開始

シグナルフリータイムカウント中に、CEC 受信信号に立ち下がりエッジを検出した場合、図 31.48 に示すように受信動作を開始します。このときシグナルフリータイムカウンタのカウント動作は停止するので、シグナルフリータイムカウント後に通信完了割り込み (INTCE) を出力する設定でも通信完了割り込み (INTCE) は出力されません。

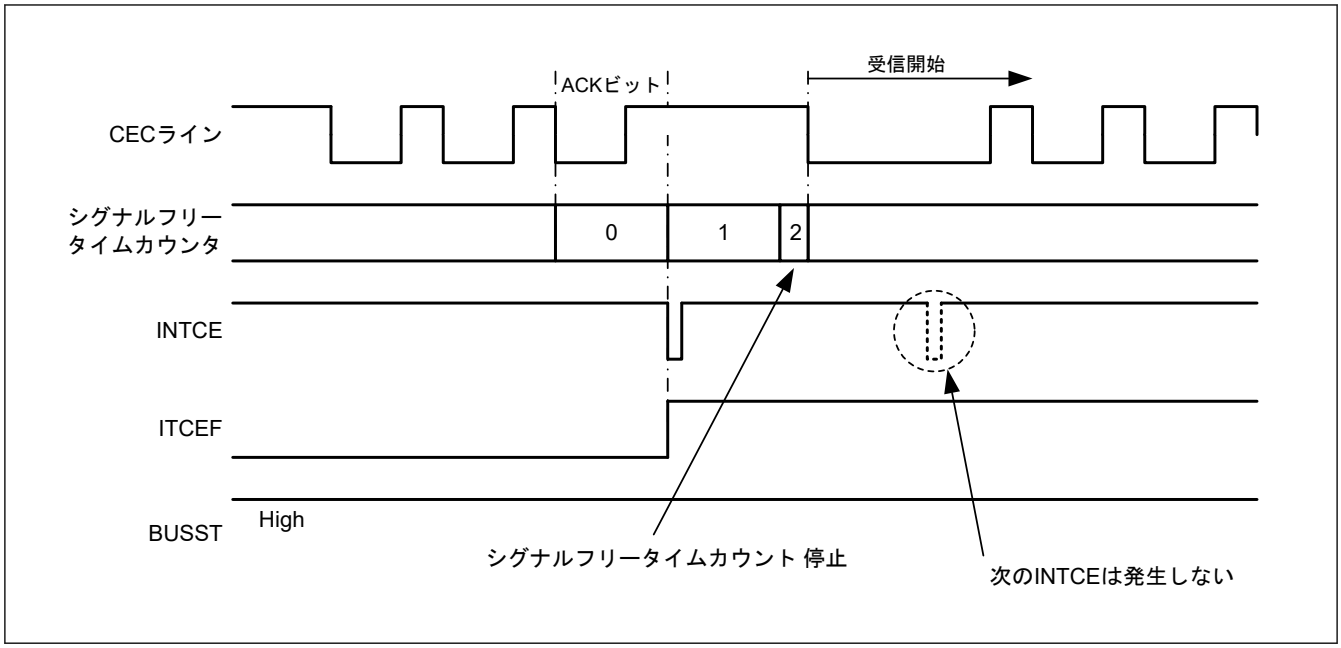


図 31.48　シグナルフリータイム中の受信動作開始

31.3.3.9　受信中のスタートビット検出による再受信機能

受信中のスタートビット検出による再受信機能とは、図 31.49 に示すように受信動作中（フォロワ動作中）に新しいスタートビットを検出した場合、検出したスタートビットから再度受信を開始する機能です。本機能はスタート検出再受信許可ビットを許可 (CECEXMD.RERCVEN = 1) することで有効となります。

スタートビットの検出は受信スタートビット幅の各レジスタ (STATLL, STATLH, STATBL, STATBH) の設定値に一致するデータを受信したときにスタートビットと判断し、再受信を行います。

受信中でのスタートビット受信のため、タイミングエラーが発生します。エラー発生タイミングはスタートビット開始の立ち下がりタイミングまたは、ヘッダブロック開始の立ち下がりタイミングとなります。

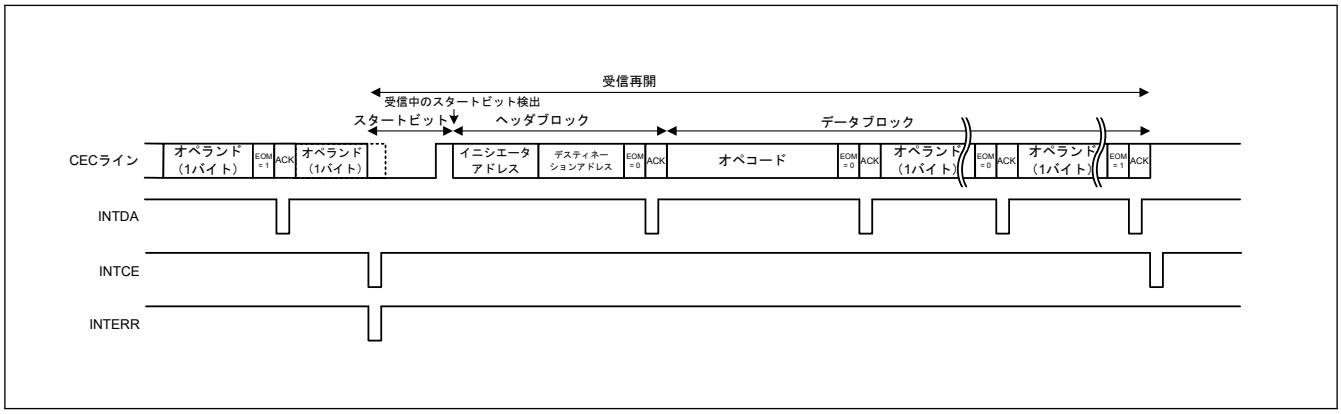


図 31.49　再受信機能動作

31.4　使用上の注意事項

31.4.1　低消費電力状態からの復帰

CECIO 端子は IRQ 入力端子として使用可能です。対応する IRQ 割り込みに対して、割り込み要求が許可され、ICU の IRQCRi.IRQMD[1:0]ビットが 01b（立ち下がりエッジ）になり、電力消費が低消費電力状態になると、立ち下がりエッジで低消費電力状態から復帰します。ソフトウェアスタンバイモードでは CEC 動作クロックは停止するので、スタートビットのタイミングチェックを禁止してください。CEC 動作クロックとして MOSC が選

択される場合、スタートビットの L 期間中に MOSC 供給がリスタートするように、MOSCWTCR.MSTS ビットの設定値を調整してください。

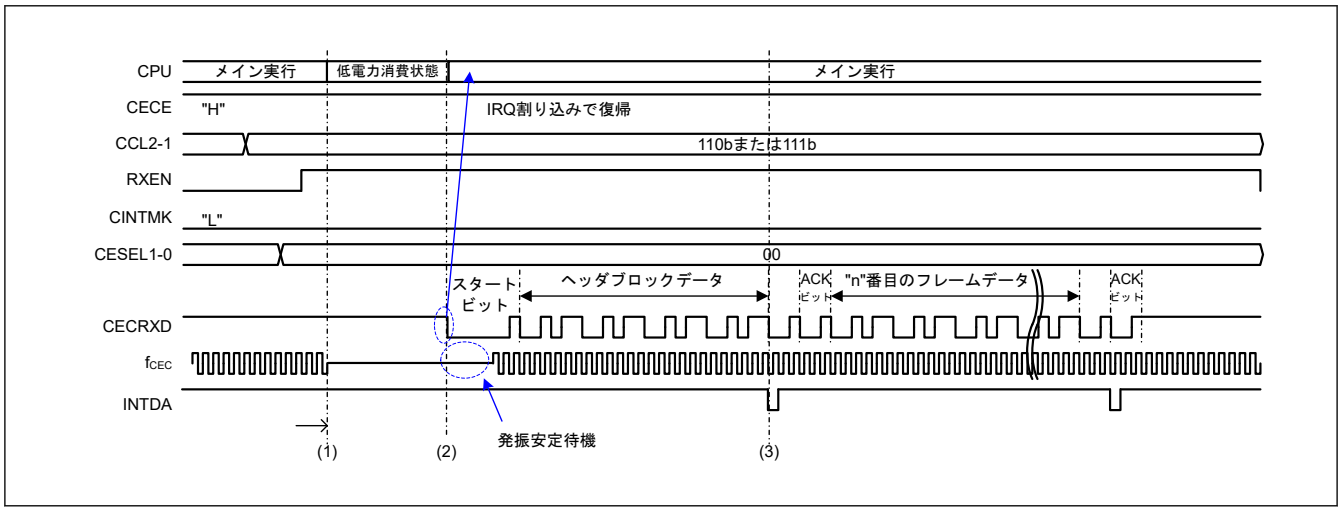


図 31.50　スタートビットの立ち下がりエッジによる低消費電力状態からの復帰動作

スタートビットの立ち下がりエッジによる低消費電力状態からの復帰動作では、自局アドレス以外のデータをダイレクトアドレス受信により受信した場合でも、低消費電力状態から復帰します。

CECCTL1.CINTMK ビットが 1 のとき、自局アドレス以外のデータを受信した場合でも、CEC 割り込みを生成可能です。データ受信割り込み処理中に CECS.ADRF ビットを確認することにより、データがローカル局アドレスに受信したか否かを確認可能です。

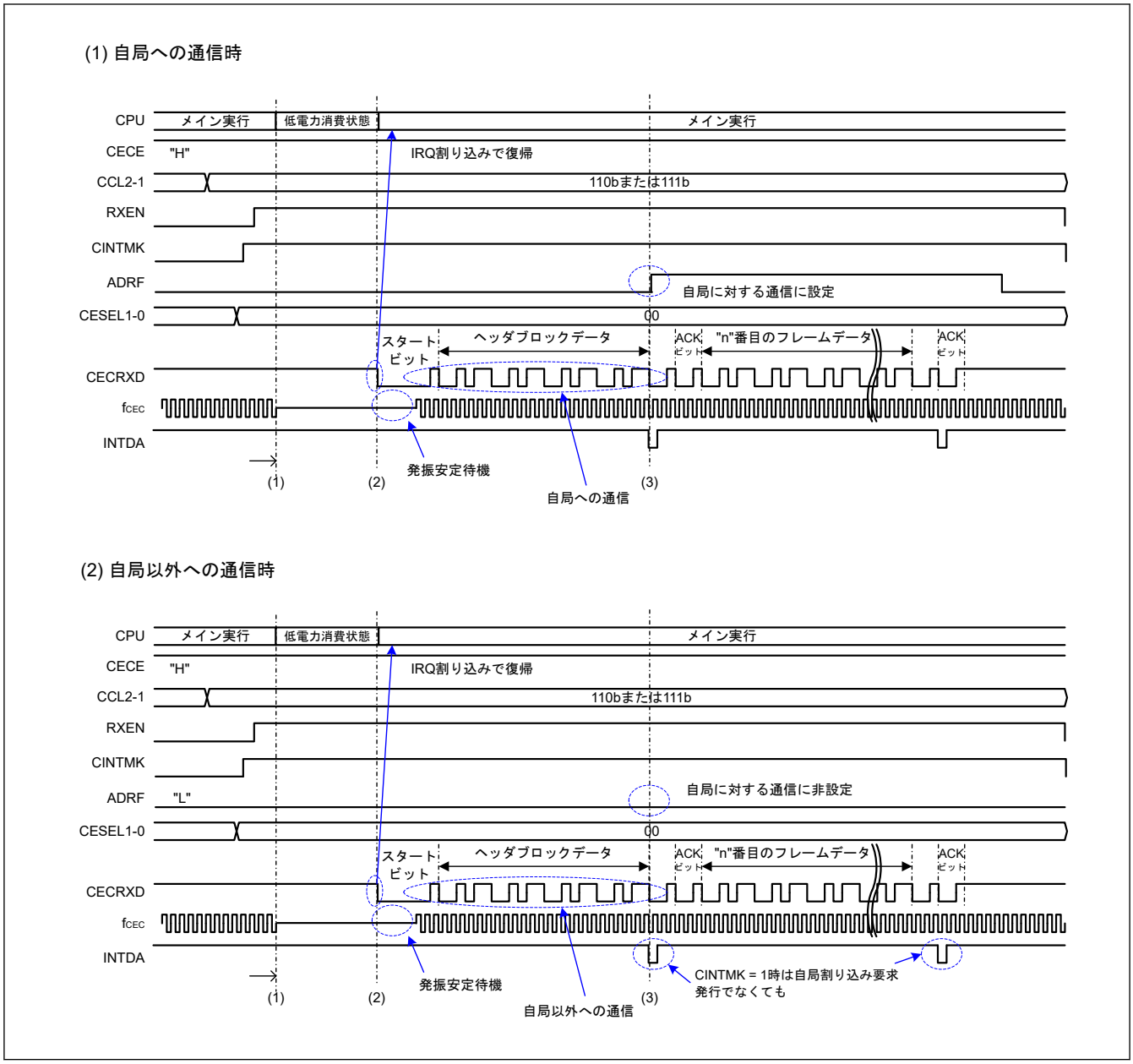


図 31.51　スタートビット立ち下がりエッジによる低消費電力状態からの復帰動作（自局判定）

31.4.2　モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CEC の動作を許可または禁止することができます。リセット後の初期状態では、CEC モジュールは停止しています。

モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「「10. 低消費電力モード」」を参照してください。

31.4.3　クロック分周比設定

周辺モジュールクロック周波数 (PCLKB)＞ CEC 動作クロック周波数となるように設定してください。

31.4.4　受信中のスタートビット検出による再受信に関する注意事項

31.4.4.1　受信中のスタートビット検出による再受信に関する注意事項

受信動作中（フォロワ動作中）に新しいスタートビットが検出されると、CEC ラインは Low に固定される場合があるので、以下の注意事項に注意してください。

- CEC ラインの High/Low 固定（バスロック）状態を検出できるように、CECCTL1.BLERRD を 1 に設定し、バスロック検出機能を有効にします。
- INTERR 割り込みの原因がバスロックエラー (CECES.BLERR = 1) の場合、INTERR 割り込み処理において、いったん CECCTL0.CECE を 0 にクリアして、CEC 送受信回路の内部シーケンサを初期化します。次に、CECCTL0.CECE を再び 1 にします。CECCTL0.CECE が 0 にクリアされても CEC レジスタはリセットされません。バスロックエラー発生時の INTERR 割り込み処理フローの例については、図 31.52 を参照してください。

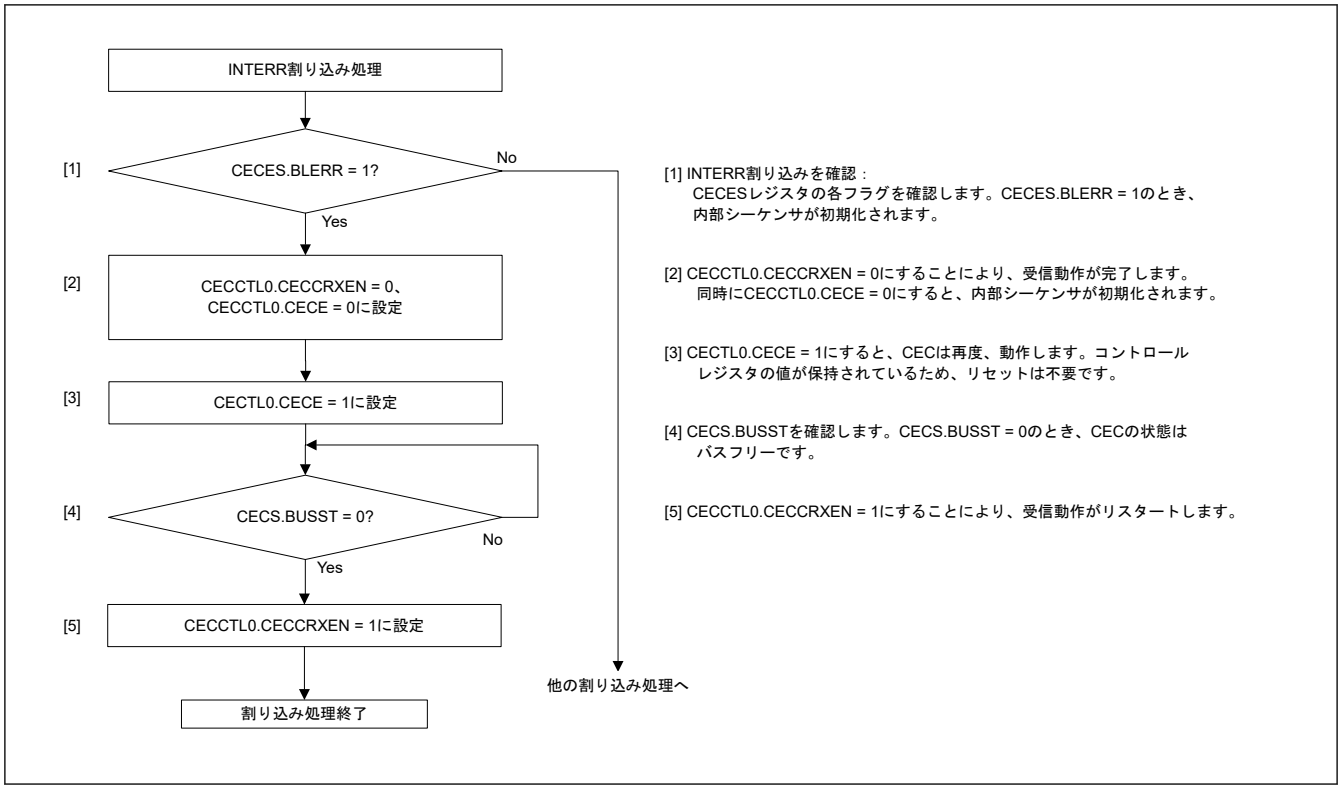


図 31.52　バスロックエラー発生時の INTERR 割り込み処理フローの例

32. 拡張シリアルサウンドインタフェース (SSIE)

32.1 概要

拡張シリアルサウンドインタフェース (SSIE) は、I^2S、モノラル、TDM などのオーディオデータフォーマットに対応するさまざまなデバイスとの送受信を行うことができます。

32.2 特徴

表 32.1 SSIE の特徴

項目		説明
チャネル数		1 チャネル、SSIE0
通信モード		• マスタ／スレーブ • 送信／受信（SSIE0 全二重通信または半二重通信）
通信フォーマット		• I^2S フォーマット • モノラルフォーマット • TDM フォーマット
シリアルデータ		• MSB ファースト • データは左詰めまたは右詰めが可能 • SSILRCK0/SSIFS0 から SSITXD0/SSIRXD0/SSIDATA0 までの期間は、データ遅延（1 クロックサイクル）、または遅延なしを選択可能 • システムワード長：8、16、24、32、48、64、128、または 256 ビット • データワード長：8、16、18、20、22、24、または 32 ビット • パディングの極性：Low または High
ビットクロック (SSIBCK0)	マスタモードの場合	• クロックソース分周比：1/1、1/2、1/4、1/6、1/8、1/12、1/16、1/24、1/32、1/48、1/64、1/96、1/128 • 通信停止時は供給／停止を選択可能
	マスタ／スレーブモードの場合	• 極性（立ち上がりエッジまたは立ち下がりエッジ）を選択可能
LR クロック／フレーム同期 (SSILRCK0/ SSIFS0)	マスタモードの場合	• 極性（Low レベルまたは High レベル）を選択可能 • 通信停止時は供給／停止を選択可能
送信データ (SSITXD0/ SSIDATA0) および受信データ (SSIRXD0/ SSIDATA0)	送信	• ミュート手法（送信 FIFO データの送信または 0 固定データの送信）を選択可能
FIFO	容量	• 送信 FIFO／受信 FIFO：4 バイト×32 段
	データアライメント	• FIFO とシフトレジスタ間のデータ転送に関するデータアライメント手法（左詰めまたは右詰め）を選択可能
割り込み	割り込み出力	• 通信エラー／アイドルモード • 受信データフル • 送信データエンプティ
低電力消費機能		• マスタモードではオーディオクロックを供給するかどうかを選択可能
モジュール停止機能	• モジュールストップ状態に設定して消費電力を削減	
TrustZone フィルタ	• セキュリティ属性を設定可能	

下表に、SSIE が使用可能な通信フォーマットで使用される用語の一覧および定義を示します。

表 32.2 用語の定義

用語	定義
開始トリガ	通信を有効にするために信号が LRCKP で指定した値に設定されたときの SSILRCK0/SSIFS0 端子上の信号の最初のエッジ
フレーム境界	SSIE がフレーム最初のデータを送信し始めるポイントまたは SSIE がフレーム最後のデータを送信し終えるポイント
フレームワード数	フレーム当たりのサウンドチャネル数
システムワード長	チャネル当たりのビット数
データワード長	チャネル当たりの有効ビット数
通信フォーマットに関するコントロールビット	• SSICR レジスタ：FRM、DWL、SWL、LRCKP、SPDP、SDTA、PDTA、DEL ビット • SSIFCR レジスタ：BSW ビット • SSIOFR レジスタ：OMOD ビット • SSISCR レジスタ：TDES[4:0]および RDFS[4:0]ビット

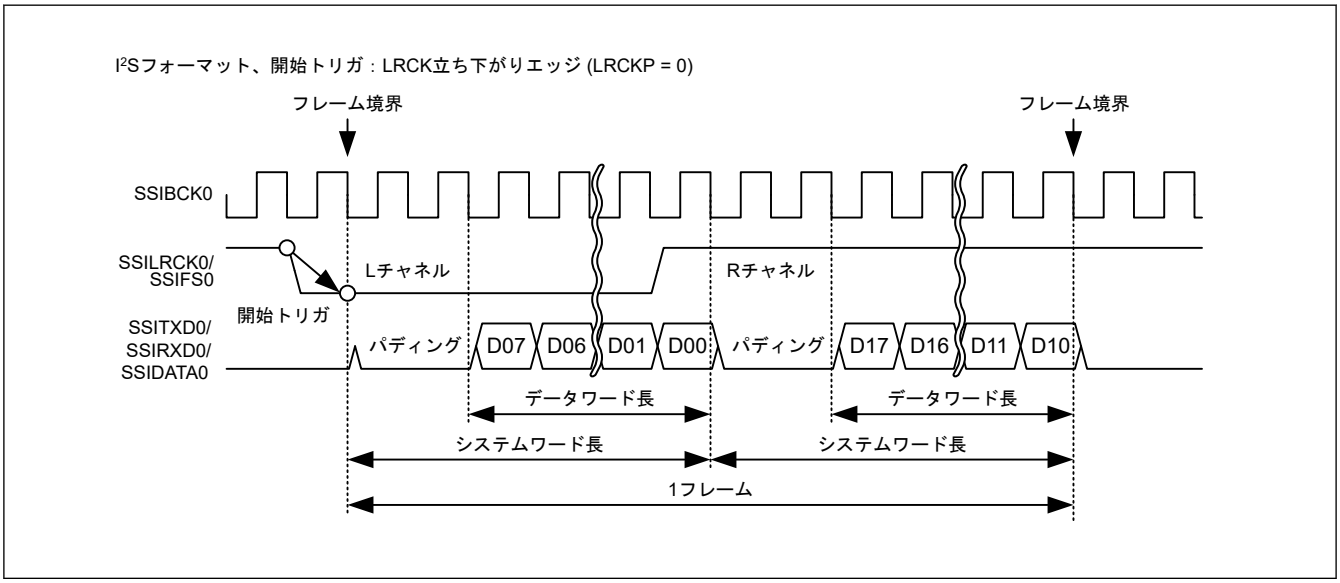


図 32.1 通信フォーマットの定義

32.3 ブロック図

図 32.2 と図 32.3 に SSIE のブロック図を示します。

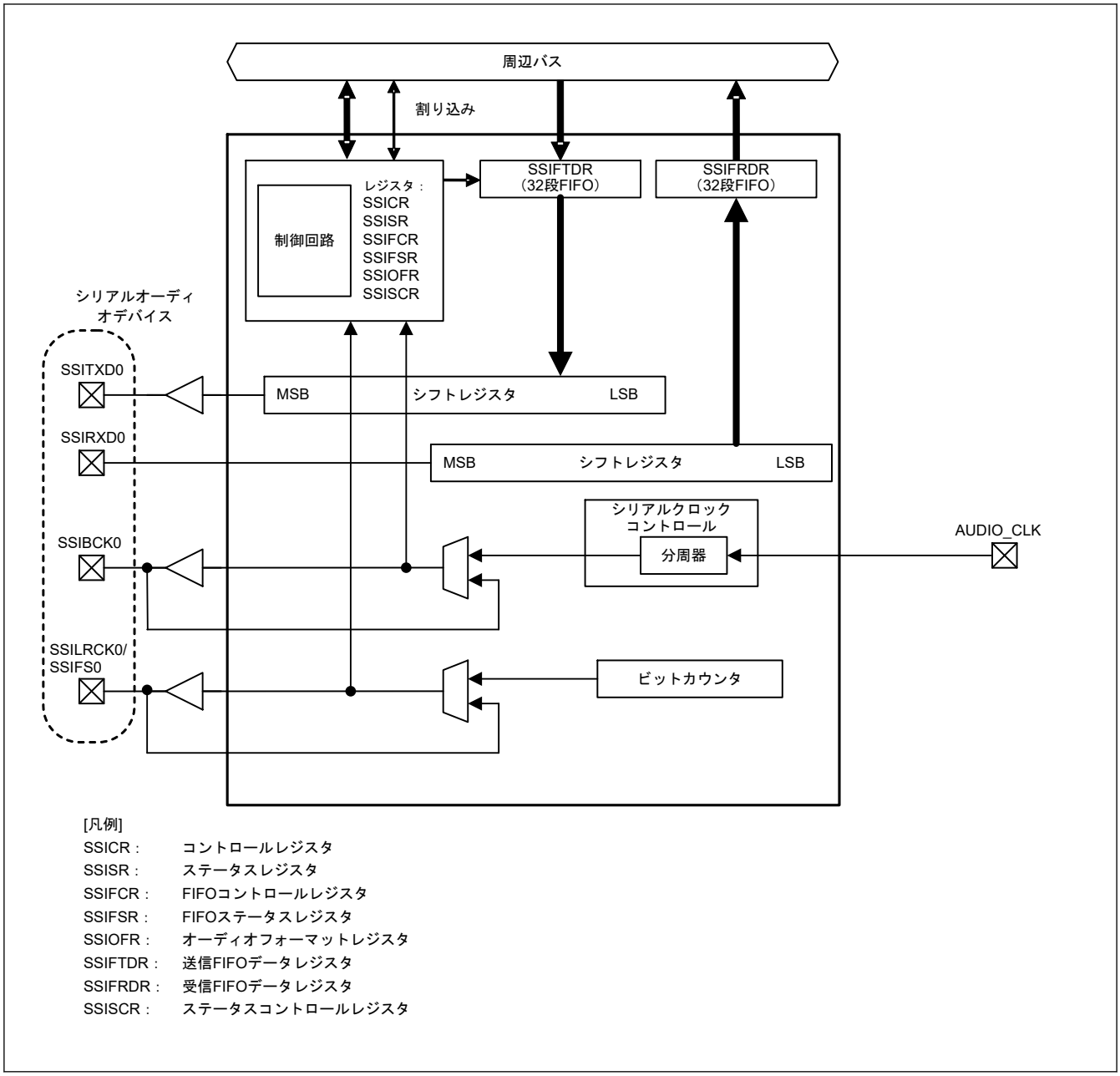


図 32.2　全二重通信の SSIE のブロック図

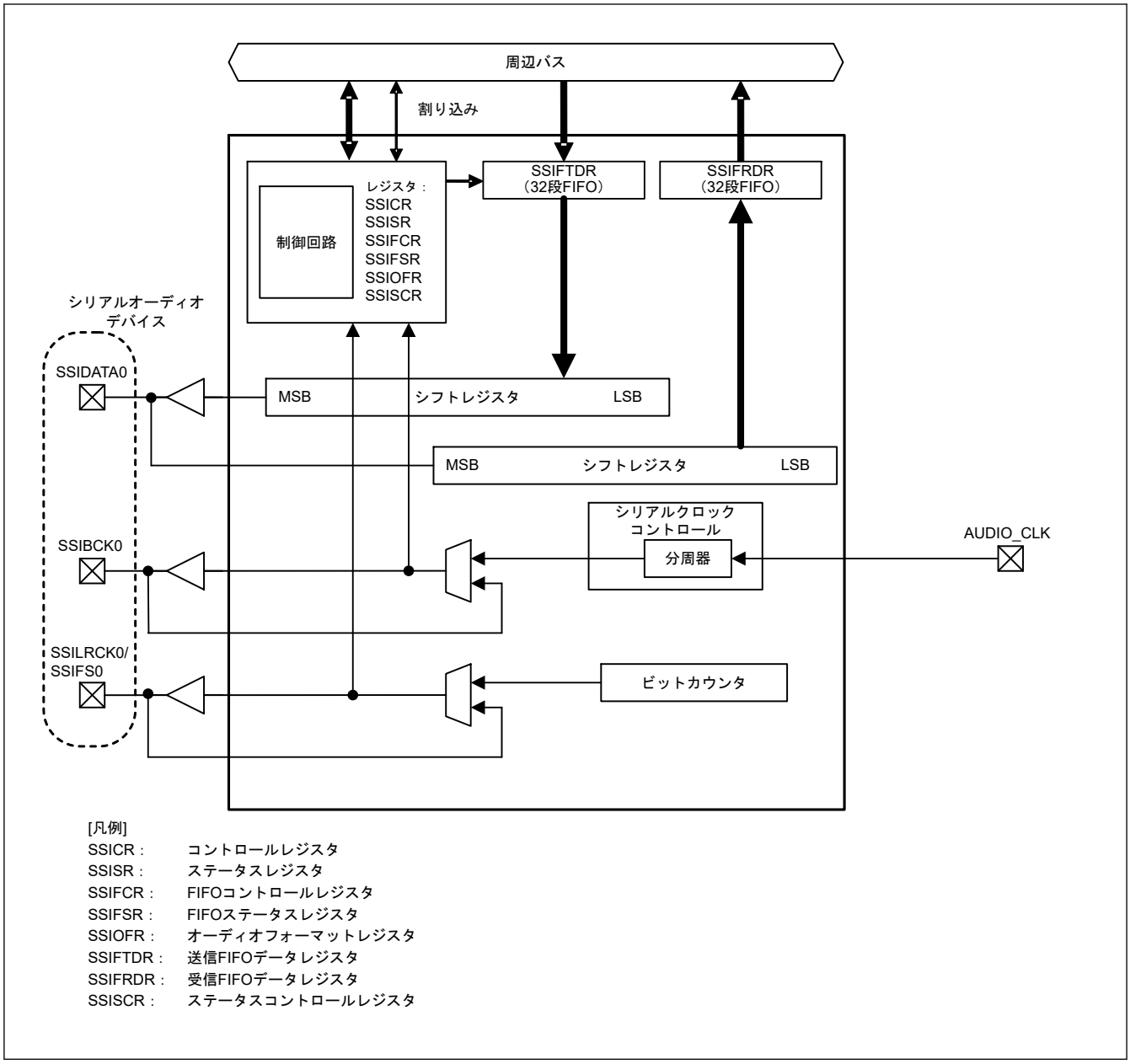


図 32.3　半二重通信の SSIE ブロック図

図 32.4 に、SSIE のクロック構成を示します。

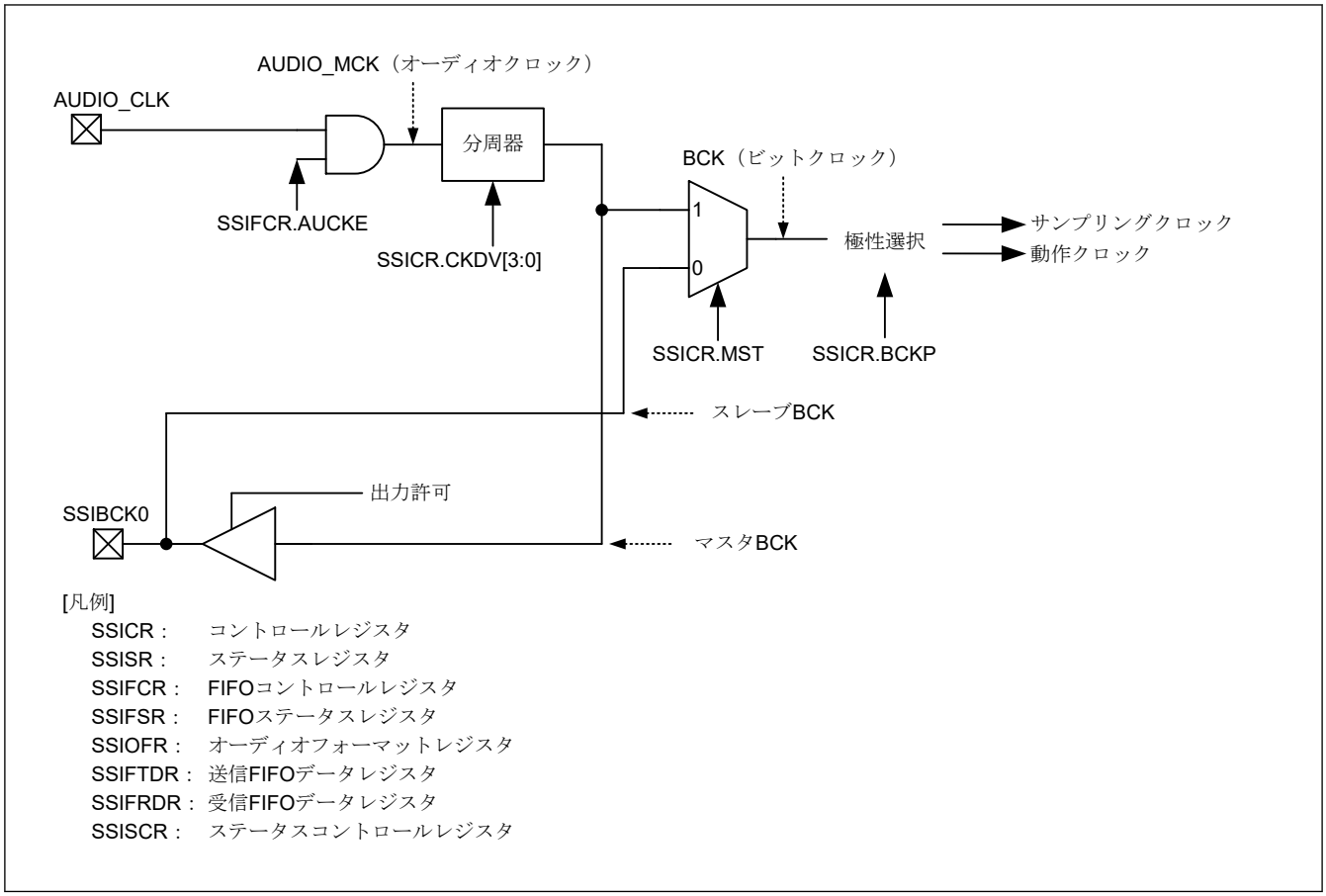


図 32.4 SSIE クロック構成

32.4 レジスタの説明

32.4.1 SSICR : コントロールレジスタ

Base address: SSIE0 = 0x4009_D000

Offset address: 0x00

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	REN	受信許可(注2) 0: 受信禁止 1: 受信許可（受信開始）	R/W
1	TEN	送信許可(注2) 0: 送信禁止 1: 送信許可（送信開始）	R/W
2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
3	MUEN	ミュート許可 0: 次のフレーム境界でミュート禁止 1: 次のフレーム境界でミュート許可	R/W
7:4	CKDV[3:0]	ビットクロック分周比選択(注1) 0x0: AUDIO_MCK 0x1: AUDIO_MCK/2 0x2: AUDIO_MCK/4 0x3: AUDIO_MCK/8 0x4: AUDIO_MCK/16 0x5: AUDIO_MCK/32 0x6: AUDIO_MCK/64 0x7: AUDIO_MCK/128 0x8: AUDIO_MCK/6 0x9: AUDIO_MCK/12 0xA: AUDIO_MCK/24 0xB: AUDIO_MCK/48 0xC: AUDIO_MCK/96 その他: 設定禁止	R/W
8	DEL	シリアルデータ遅延の選択(注1) モノラルフォーマットでは、このビットが SSILRCK0/SSIFS0 の波形をコントロールする。詳細については、「32.5.2. モノラルフォーマット」を参照してください。 0: SSILRCK0/SSIFS0 と SSITXD0/SSIRXD0/SSIDATA0 の間に、SSIBCK0 の 1 サイクル分の遅延あり 1: SSILRCK0/SSIFS0 と SSITXD0/SSIRXD0/SSIDATA0 の間に遅延なし	R/W
9	PDTA	プレースメントデータアライメントの選択(注1) 0: プレースメントデータを左詰めにする（SSIFTDR、SSIFRDR） 1: プレースメントデータを右詰めにする（SSIFTDR、SSIFRDR）	R/W
10	SDTA	シリアルデータアライメントの選択(注1) 0: シリアルデータの次にパディングビットを送受信する 1: パディングビットの次にシリアルデータを送受信する	R/W
11	SPDP	シリアルパディング極性の選択(注1) 0: パディングデータは Low レベル 1: パディングデータは High レベル	R/W
12	LRCKP	LR クロック／フレーム同期信号の初期値および極性の選択(注1) 0: 初期値は High レベル フレームの開始トリガは SSILRCK0/SSIFS0 の立ち下がりエッジと同期される 1: 初期値は Low レベル フレームの開始トリガは SSILRCK0/SSIFS0 の立ち上がりエッジと同期される	R/W
13	BCKP	ビットクロック極性の選択(注1) 0: SSILRCK0/SSIFS0 と SSITXD0/SSIRXD0/SSIDATA0 は、立ち下がりエッジで変化（SSILRCK0/SSIFS0 と SSIRXD0/SSIDATA0 は、SSIBCK0 の立ち上がりエッジでサンプリング） 1: SSILRCK0/SSIFS0 と SSITXD0/SSIRXD0/SSIDATA0 は、立ち上がりエッジで変化（SSILRCK0/SSIFS0 と SSIRXD0/SSIDATA0 は、SSIBCK0 の立ち下がりエッジでサンプリング）	R/W
14	MST	マスタ有効化(注1) 0: スレーブモード通信 1: マスタモード通信	R/W
15	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
18:16	SWL[2:0]	システムワード長の選択(注1) 0 0 0: 8 ビット 0 0 1: 16 ビット 0 1 0: 24 ビット 0 1 1: 32 ビット 1 0 0: 48 ビット 1 0 1: 64 ビット 1 1 0: 128 ビット 1 1 1: 256 ビット	R/W

<table>
<tr><th>ビット</th><th>シンボル</th><th>機能</th><th>R/W</th></tr>
<tr><td>21:19</td><td>DWL[2:0]</td><td>データワード長の選択(注1)
0 0 0: 8 ビット
0 0 1: 16 ビット
0 1 0: 18 ビット
0 1 1: 20 ビット
1 0 0: 22 ビット
1 0 1: 24 ビット
1 1 0: 32 ビット
1 1 1: 設定禁止</td><td>R/W</td></tr>
<tr><td>23:22</td><td>FRM[1:0]</td><td>フレームワード数の選択(注1)
<table><tr><th colspan="4">通信フォーマット (SSIOFR.OMOD[1:0])</th></tr><tr><th>FRM[1:0]</th><th>I²S (00b)</th><th>モノラル (10b)</th><th>TDM (01b)</th></tr><tr><td>00b</td><td>2</td><td>1</td><td>設定禁止</td></tr><tr><td>01b</td><td rowspan="3">設定禁止</td><td rowspan="3">設定禁止</td><td>4</td></tr><tr><td>10b</td><td>6</td></tr><tr><td>11b</td><td>8</td></tr></table></td><td>R/W</td></tr>
<tr><td>24</td><td>—</td><td>読むと 0 が読めます。書く場合、0 としてください。</td><td>R/W</td></tr>
<tr><td>25</td><td>IIEN</td><td>アイドルモード割り込み出力の許可
0: アイドルモード割り込み出力禁止
1: アイドルモード割り込み出力許可</td><td>R/W</td></tr>
<tr><td>26</td><td>ROIEN</td><td>受信オーバーフロー割り込み出力の許可
0: 受信オーバーフロー割り込み出力禁止
1: 受信オーバーフロー割り込み出力許可</td><td>R/W</td></tr>
<tr><td>27</td><td>RUIEN</td><td>受信アンダーフロー割り込み出力の許可
0: 受信アンダーフロー割り込み出力禁止
1: 受信アンダーフロー割り込み出力許可</td><td>R/W</td></tr>
<tr><td>28</td><td>TOIEN</td><td>送信オーバーフロー割り込み出力許可
0: 送信オーバーフロー割り込み出力禁止
1: 送信オーバーフロー割り込み出力許可</td><td>R/W</td></tr>
<tr><td>29</td><td>TUIEN</td><td>送信アンダーフロー割り込み出力の許可
0: 送信アンダーフロー割り込み出力禁止
1: 送信アンダーフロー割り込み出力許可</td><td>R/W</td></tr>
<tr><td>30</td><td>—</td><td>読むと 0 が読めます。書く場合、0 としてください。</td><td>R/W</td></tr>
<tr><td>31</td><td>—</td><td>読むと 0 が読めます。書く場合、0 としてください。</td><td>R/W</td></tr>
</table>

注 1. SSIE が通信状態 (SSISR.IIRQ = 0) の間、これらのビットへの書き込みは禁止されています。書き換えによってこれらのビットの値が変化した場合、以降の動作は予測できません。
注 2. TEN ビットまたは REN ビットが書き換えられた場合は、SSISR.IIRQ ビットが目的の状態になっていることを確認してください。書き換えによって TEN または REN ビットの値が変化した場合、以降の動作は予測できません。たとえば、送受信許可のときは SSISR.IIRQ が 0 であることを、送受信禁止のときは SSISR.IIRQ が 1 であることを確認してください。

このレジスタは、オーディオクロックの選択、割り込み要求のコントロール、データフォーマットの選択、動作モードの設定を行います。

TEN および REN ビット（送信および受信の許可）

TEN および REN ビットは送信および受信を許可／禁止します。これらのビットのいずれかに 1 が書き込まれると、SSILRCK0/SSIFS0 信号による開始トリガと同期して、対応する通信動作が始まります。詳細は「32.8.2. 送信」～「32.8.4. 送受信」を参照してください。このビットに 0 が書き込まれると、現在の通信動作が次のフレーム境界で停止します。送信および受信の両方で SSIE を使用するには、両方のビットに常に 1 を書き込みます。SSIE を使った通信を停止するときは、常に送信および受信の両方を禁止します（TEN および REN ビットに 0 を書き込む）。

フレーム境界の到達前に SSIE を停止したい場合は、ソフトウェアリセット手順を実行します。

MUEN ビット（ミュート許可）

MUEN ビットは、SSITXD0/SSIDATA0 端子からの出力データのミュート機能を設定／解除します。フレームの中間部分でビットを 1 にすると、SSITXD0/SSIDATA0 出力は、次のフレーム境界で 0 に変わります。フレームの中間部分でビットを 0 にすると、SSITXD0/SSIDATA0 出力は、次のフレーム境界で送信 FIFO データレジスタのデータに変わります。MUEN ビットは、データに対してのみ制御します。ステータスフラグと割り込み信号が、通常は生成されます。

このビットの値変更は、使用する通信フォーマットの設定後に実行されなければなりません。

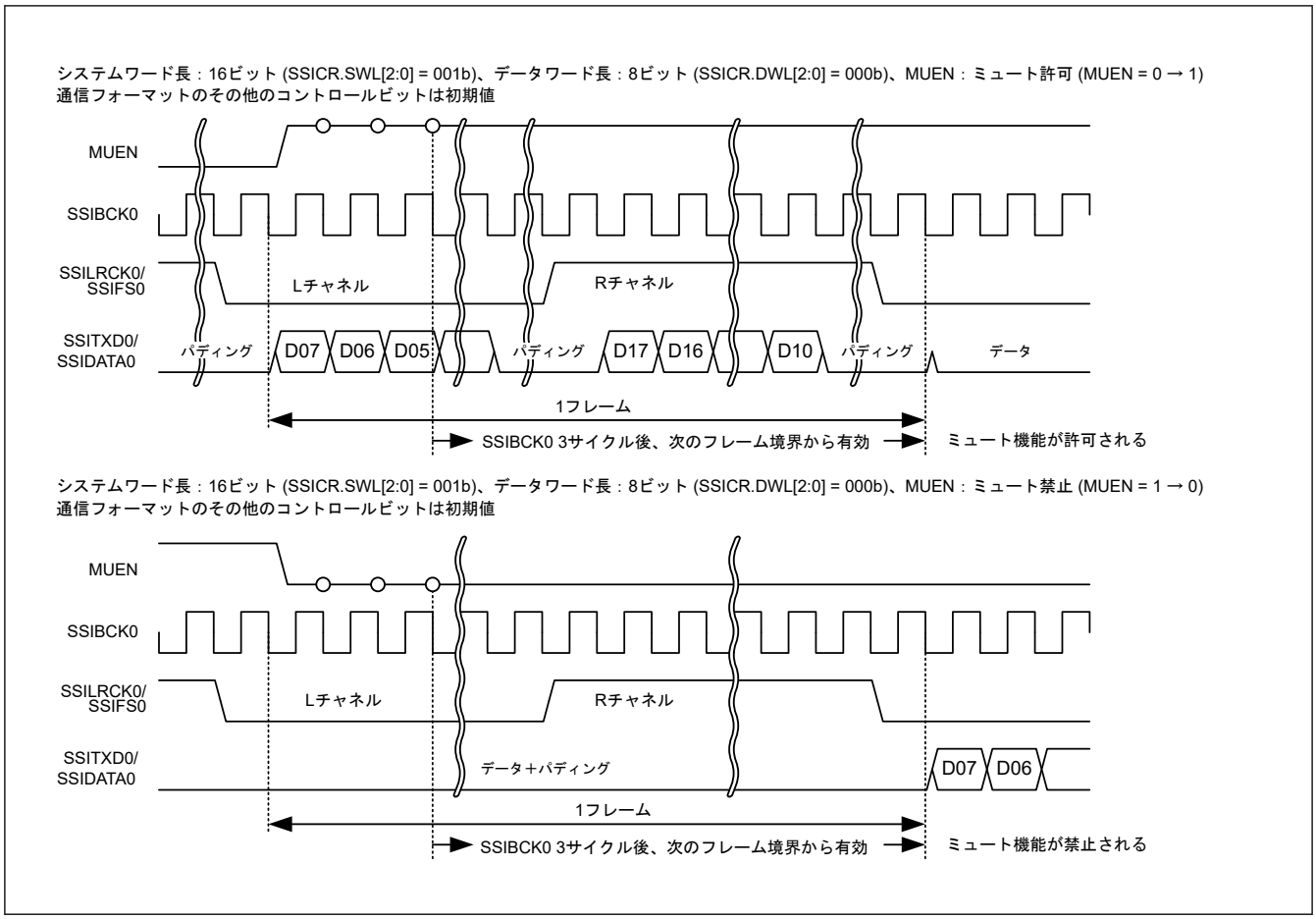


図 32.5　ミュート機能設定時のデータ送信

CKDV[3:0]ビット（ビットクロック分周比選択）

CKDV[3:0]ビットは、マスタモード通信時 (MST = 1) に AUDIO_MCK に基づいてビットクロックの分周比を設定します。スレーブモード通信時 (MST = 0) は、これらのビット設定は無効です。

このビットへの書き込みは、AUDIO_MCK の供給停止中に実行されなければなりません。タイミングの詳細については、「32.4.3. SSIFCR : FIFO コントロールレジスタ」の AUCKE ビットに関する詳細説明を参照してください。

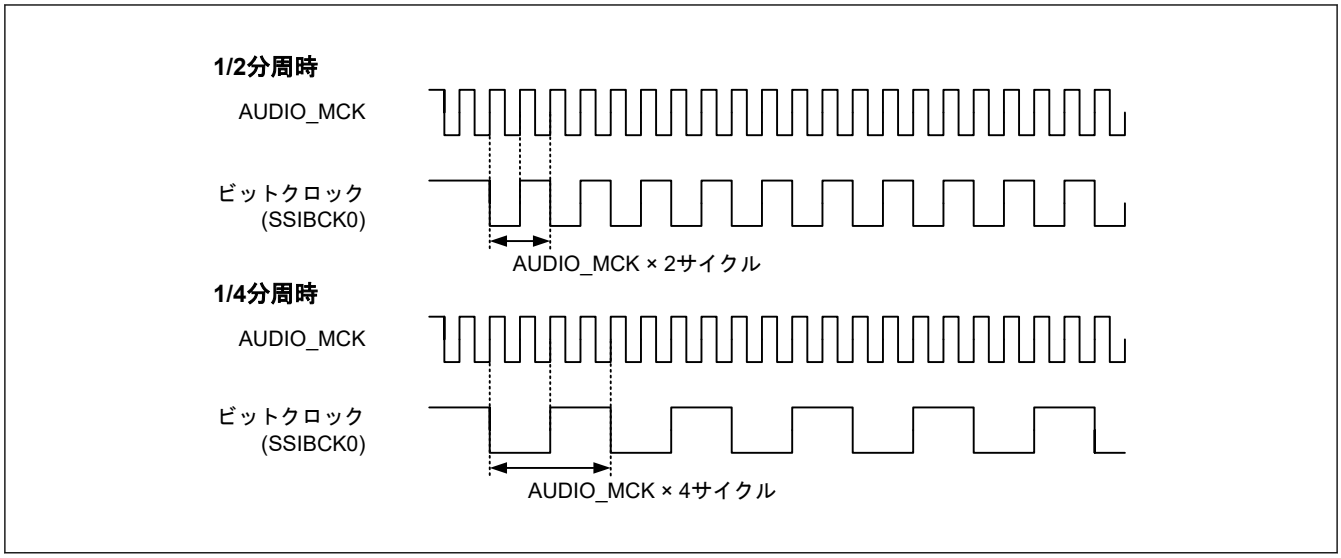


図 32.6　マスタモード通信時のサンプリング周波数

DEL ビット（シリアルデータ遅延の選択）

DEL ビットは、SSILRCK0/SSIFS0 と SSITXD0/SSIRXD0/SSIDATA0 の間の、遅延の有無を設定します。

I^2S または TDM フォーマットの場合は、DEL ビットを 0 に設定します。モノラルフォーマット使用時は、このビットを設定することで、SSILRCK0/SSIFS0 が High になっている期間の幅を変更します。詳細は「32.5.2. モノラルフォーマット」を参照してください。互換性のある通信フォーマット使用時は、通信が許可されるように本ビットを設定してください。

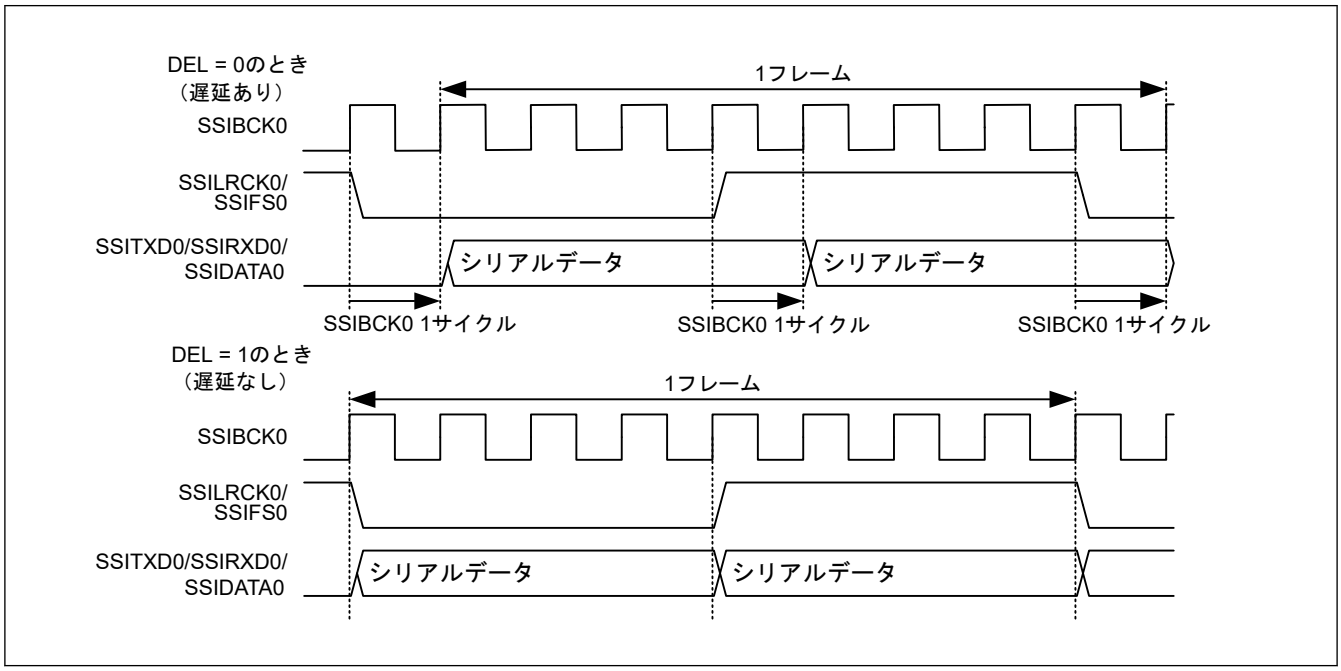


図 32.7　シリアルデータにおける遅延の設定

PDTA ビット（プレースメントデータアライメントの選択）

PDTA ビットは、プレースメントデータのアライメント方法を設定します。データワード長を 32 ビットに設定しているとき (SSICR.DWL[2:0] = 110b) は、このビットは無効です。

送信時については、図 32.8 を参照してください。

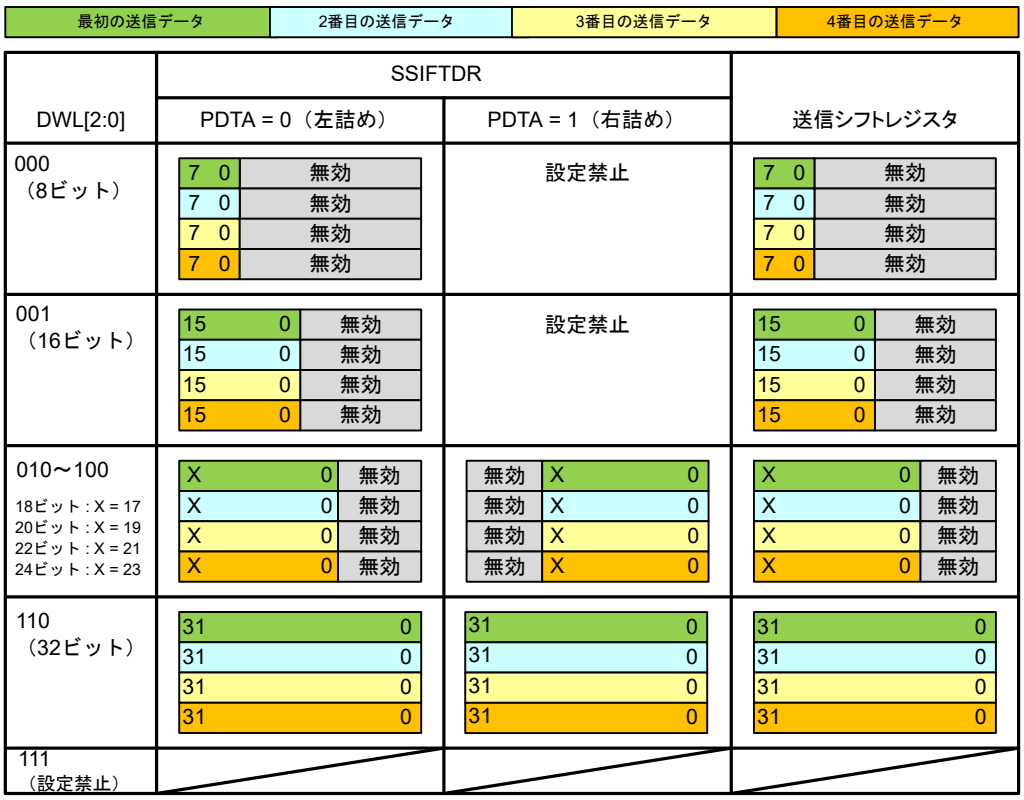


図 32.8　送信時のプレースメントデータのアライメント

受信時については、図 32.9 を参照してください。

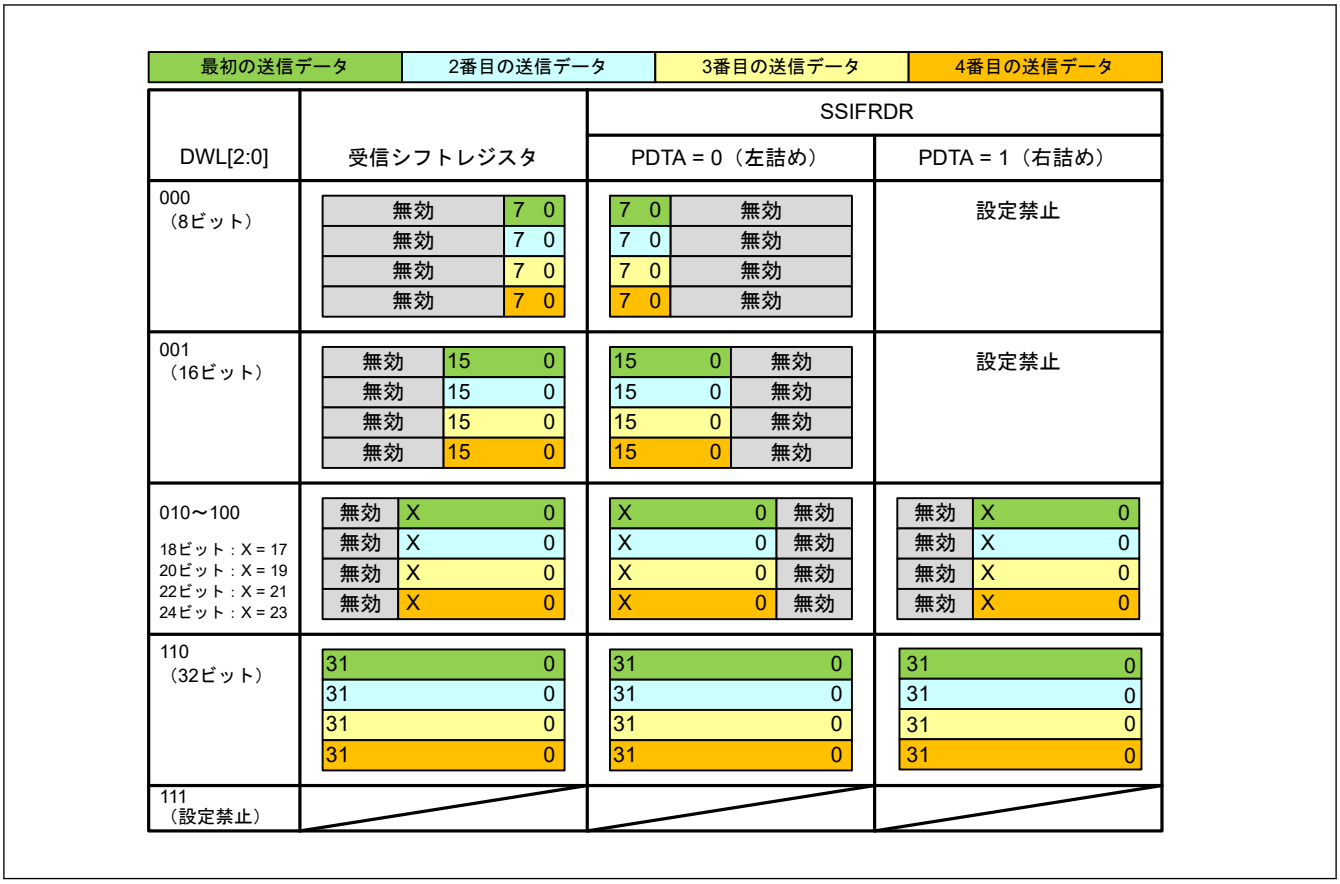


図 32.9　受信時のプレースメントデータのアライメント

SDTA ビット（シリアルデータ遅延の選択）

SDTA ビットは、シリアルデータおよびパディングビットのアライメント方法を設定します。パディングビットのない通信時は、このビットは無効です。

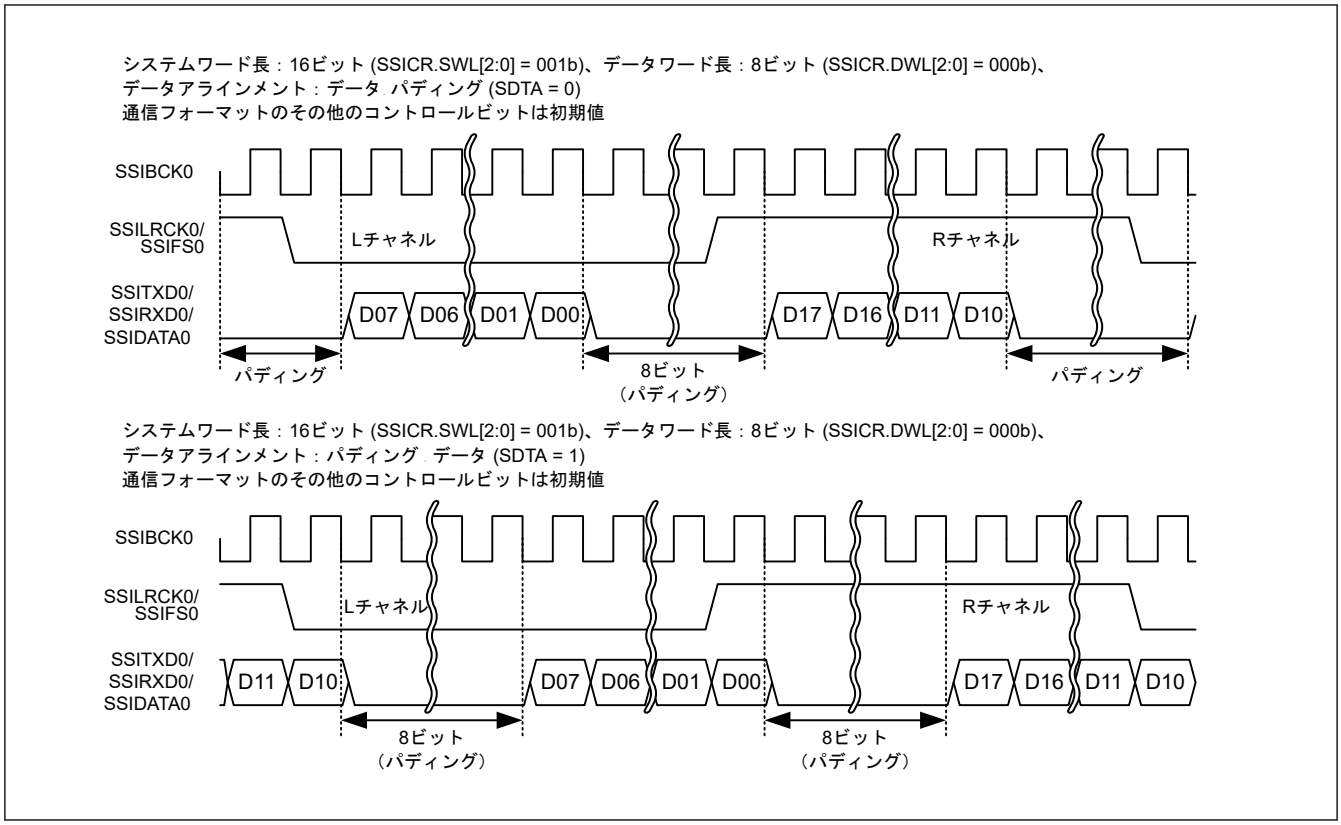


図 32.10　パディングビットを伴うシリアルデータのアライメント設定

SPDP ビット（シリアルパディング極性の選択）

SPDP ビットは、パディングビットの極性を設定します。

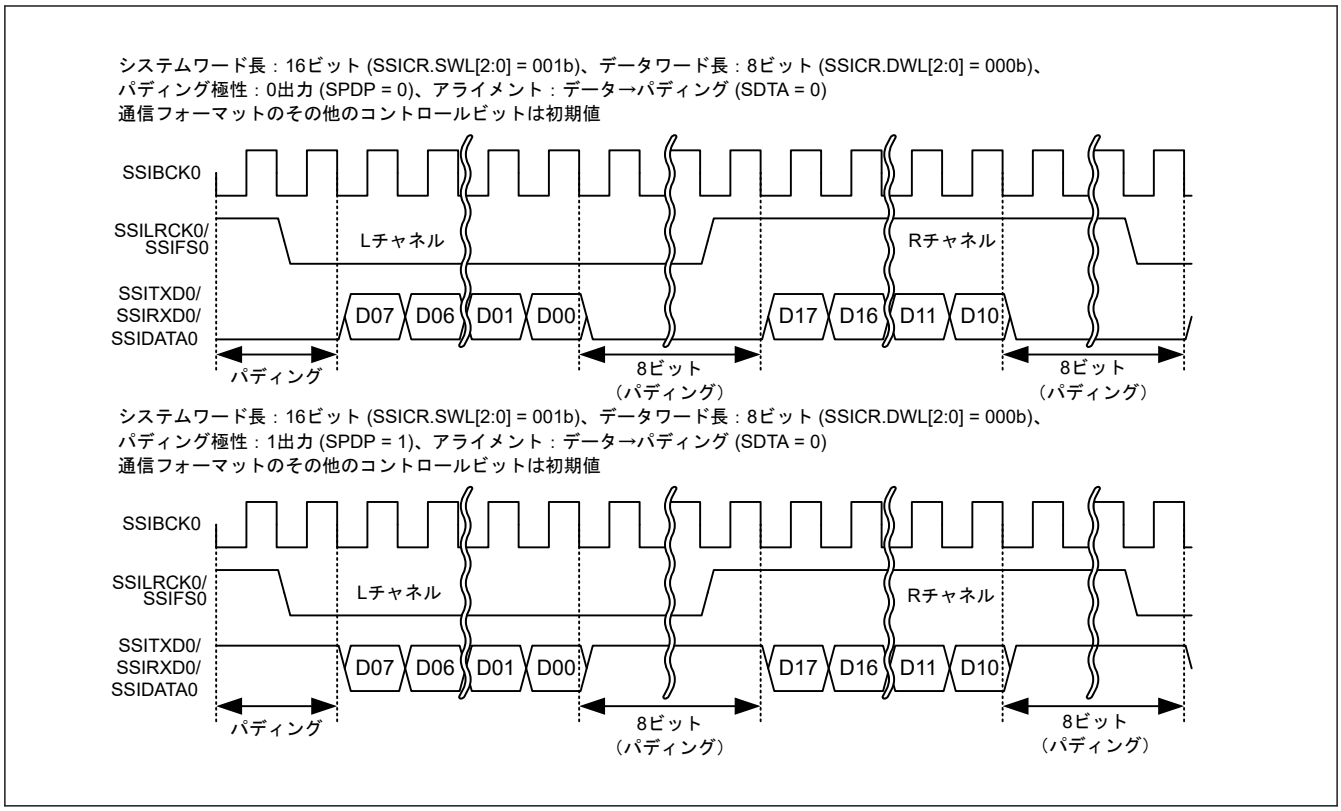


図 32.11　パディングビットの極性

LRCKP ビット（LR クロック／フレーム同期信号の初期値および極性の選択）

LRCKP ビットは、SSILRCK0/SSIFS0 の初期値および極性を設定します。このビットは、SSIE で使用する通信フォーマットに基づいて設定してください。表 32.3 SSILRCK0/SSIFS0 端子の初期出力値および極性を参照してください。スレーブモード通信時 (MST = 0) に使用されるのは開始トリガのみです。

これらのビットへの書き込みは、SSILRCK0/SSIFS0 端子への LR クロックの供給停止中に実行しなければなりません。LR クロックの出力に関する詳細は、「32.4.7. SSIOFR : オーディオフォーマットレジスタ」の LRCONT ビットの詳細説明を参照してください。

表 32.3　SSILRCK0/SSIFS0 端子の初期出力値および極性

通信フォーマット	期待される初期状態	LRCKP の設定値
I^2S	High	0
モノラル	Low	1
TDM	Low	1

注.　使用するフォーマットが I^2S、モノラル、または TDM フォーマットと互換性がある場合、各フォーマットとの通信を有効化する設定を指定してください。

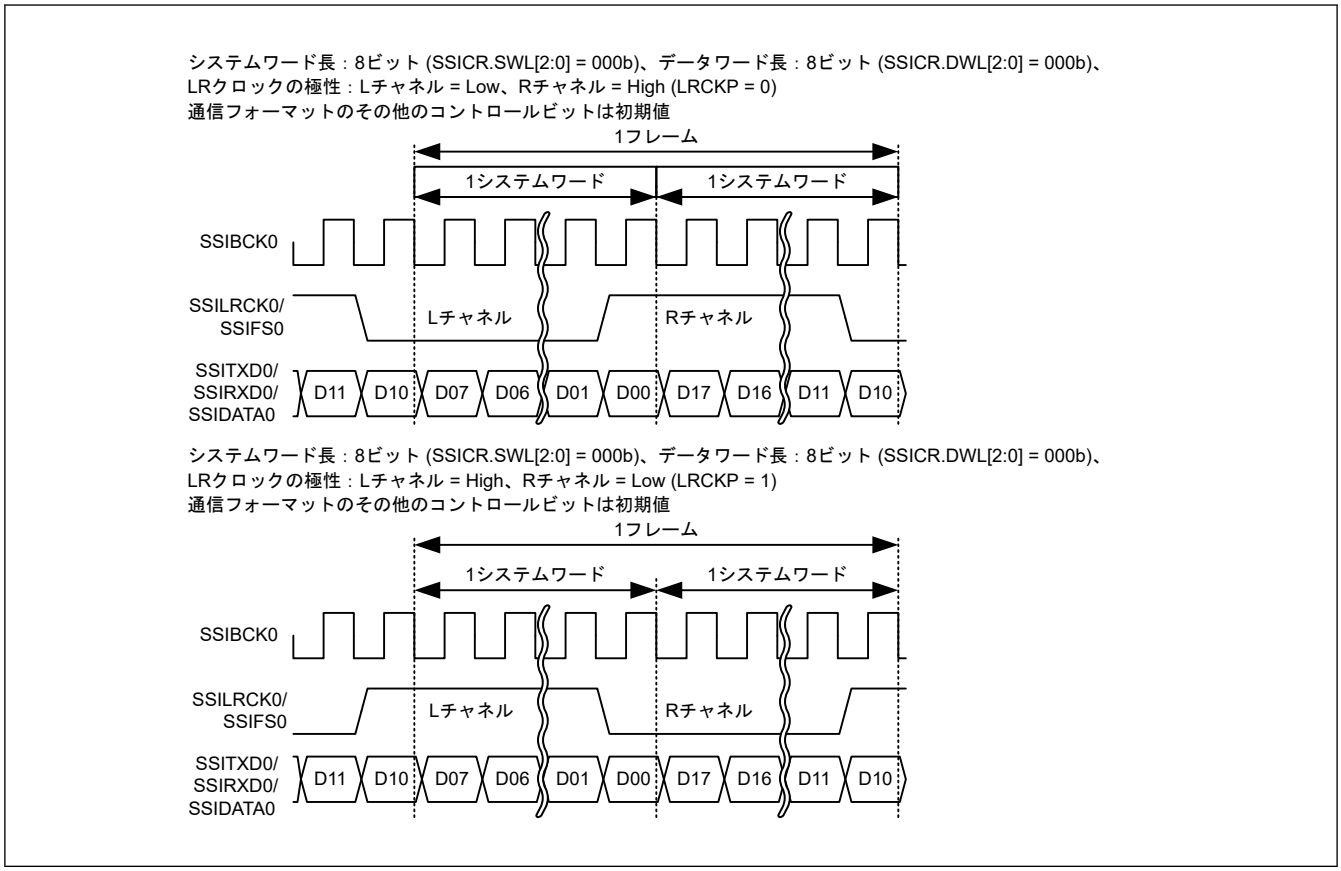


図 32.12　LR クロック／フレーム同期極性設定

BCKP ビット（ビットクロック極性の選択）

BCKP ビットは、ビットクロックの極性を設定します。

このビットへの書き込みは、AUDIO_MCK の供給停止中に実行されなければなりません。タイミングの詳細については、「32.4.3. SSIFCR : FIFO コントロールレジスタ」の AUCKE ビットに関する詳細説明を参照してください。

表 32.4　ビットクロックの極性

通信	マスタ／スレーブ	タイミング	BCKP = 0	BCKP = 1
受信	スレーブ	SSILRCK0/SSIFS0 サンプリング時	SSIBCK0 立ち上がりエッジ	SSIBCK0 立ち下がりエッジ
	マスタ／スレーブ	SSIRXD0/SSIDATA0 サンプリング時	SSIBCK0 立ち上がりエッジ	SSIBCK0 立ち下がりエッジ
送信	マスタ	SSILRCK0/SSIFS0 出力の変化時	SSIBCK0 立ち下がりエッジ	SSIBCK0 立ち上がりエッジ
	マスタ／スレーブ	SSITXD0/SSIDATA0 出力の変化時	SSIBCK0 立ち下がりエッジ	SSIBCK0 立ち上がりエッジ

MST ビット（マスタ有効化）

MST ビットは、マスタ／スレーブモード通信を設定します。

このビットへの書き込みは、AUDIO_MCK の供給停止中に実行されなければなりません。タイミングの詳細については、「32.4.3. SSIFCR : FIFO コントロールレジスタ」の AUCKE ビットに関する詳細説明を参照してください。

SWL[2:0]ビット（システムワード長の選択）

SWL[2:0]ビットは、1 システムワードのビット数を設定します。パディングビットは、DWL[2:0]で設定される 1 データワードと関連して送受信されます。詳細については、表 32.11 を参照してください。

これらのビットへの書き込みは、SSILRCK0/SSIFS0 端子への LR クロックの供給停止中に実行しなければなりません。LR クロックの出力に関する詳細は、「32.4.7. SSIOFR : オーディオフォーマットレジスタ」の LRCONT ビットの詳細説明を参照してください。

DWL[2:0]ビット（データワード長の選択）

DWL[2:0]ビットは、1 データワードのビット数を設定します。データワード長（データワードあたりのビット数）は、システムワード長（システムワードあたりのビット数）を超えてはいけません。詳細については、表 32.11 を参照してください。

FRM[1:0]ビット（フレームワード数の選択）

FRM[1:0]ビットは、各通信フォーマットのフレームワード数を設定します。

これらのビットへの書き込みは、SSILRCK0/SSIFS0 端子への LR クロックの供給停止中に実行しなければなりません。LR クロックの出力に関する詳細は、「32.4.7. SSIOFR : オーディオフォーマットレジスタ」の LRCONT ビットの詳細説明を参照してください。

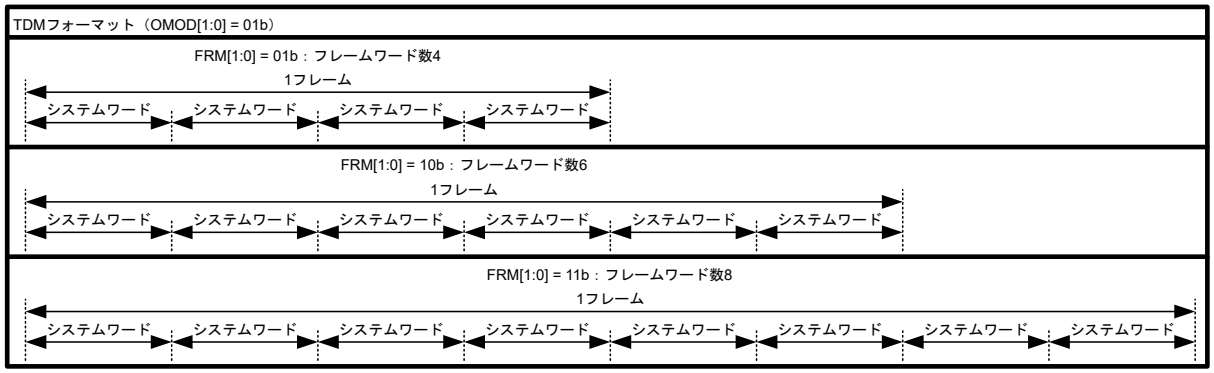


図 32.13　フレームワード数

IIEN ビット（アイドルモード割り込み出力の許可）

IIEN ビットは、アイドルモード割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.IIRQ = 1 の立ち上がりエッジで割り込みが出力されます。SSISR.IIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

ROIEN ビット（受信オーバーフロー割り込み出力の許可）

ROIEN ビットは、受信オーバーフロー割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.ROIRQ = 1 の立ち上がりエッジで割り込みが出力されます。SSISR.ROIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

RUIEN ビット（受信アンダーフロー割り込み出力の許可）

RUIEN ビットは、受信アンダーフロー割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.RUIRQ = 1 の立ち上がりエッジで割り込みが出力されます。SSISR.RUIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

TOIEN ビット（送信オーバーフロー割り込み出力許可）

TOIEN ビットは、送信オーバーフロー割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.TOIRQ = 1 の立ち上がりエッジで割り込みが出力されます。SSISR.TOIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

TUIEN ビット（送信アンダーフロー割り込み出力の許可）

TUIEN ビットは、送信アンダーフロー割り込み出力を許可／禁止します。このビットを許可（1 に設定）すると、SSISR.TUIRQ=1 の立ち上がりエッジで割り込みが出力されます。SSISR.TUIRQ = 1 の間にこのビットが 0 から 1 に変化したときにも、割り込みが出力されます。

32.4.2 SSISR : ステータスレジスタ

Base address: SSIE0 = 0x4009_D000

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
24:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
25	IIRQ	アイドルモードステータスフラグ 0: 通信状態 1: アイドル状態	R
26	ROIRQ	受信オーバーフローエラーステータスフラグ 0: 受信オーバーフローエラーは発生していない 1: 受信オーバーフローエラーが発生している	R/W
27	RUIRQ	受信アンダーフローエラーステータスフラグ 0: 受信アンダーフローエラーは発生していない 1: 受信アンダーフローエラーが発生している	R/W
28	TOIRQ	送信オーバーフローエラーステータスフラグ 0: 送信オーバーフローエラーは発生していない 1: 送信オーバーフローエラーが発生している	R/W
29	TUIRQ	送信アンダーフローエラーステータスフラグ 0: 送信アンダーフローエラーは発生していない 1: 送信アンダーフローエラーが発生している	R/W
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

このレジスタは、SSIE の動作状態を示すステータスフラグによって構成されます。

IIRQ フラグ（アイドルモードステータスフラグ）

IIRQ フラグは、アイドル状態を示すステータスフラグです。SSIE がアイドル状態にあるか、通信状態にあるかを示します。

詳細については、図 32.14 および図 32.15 を参照してください。

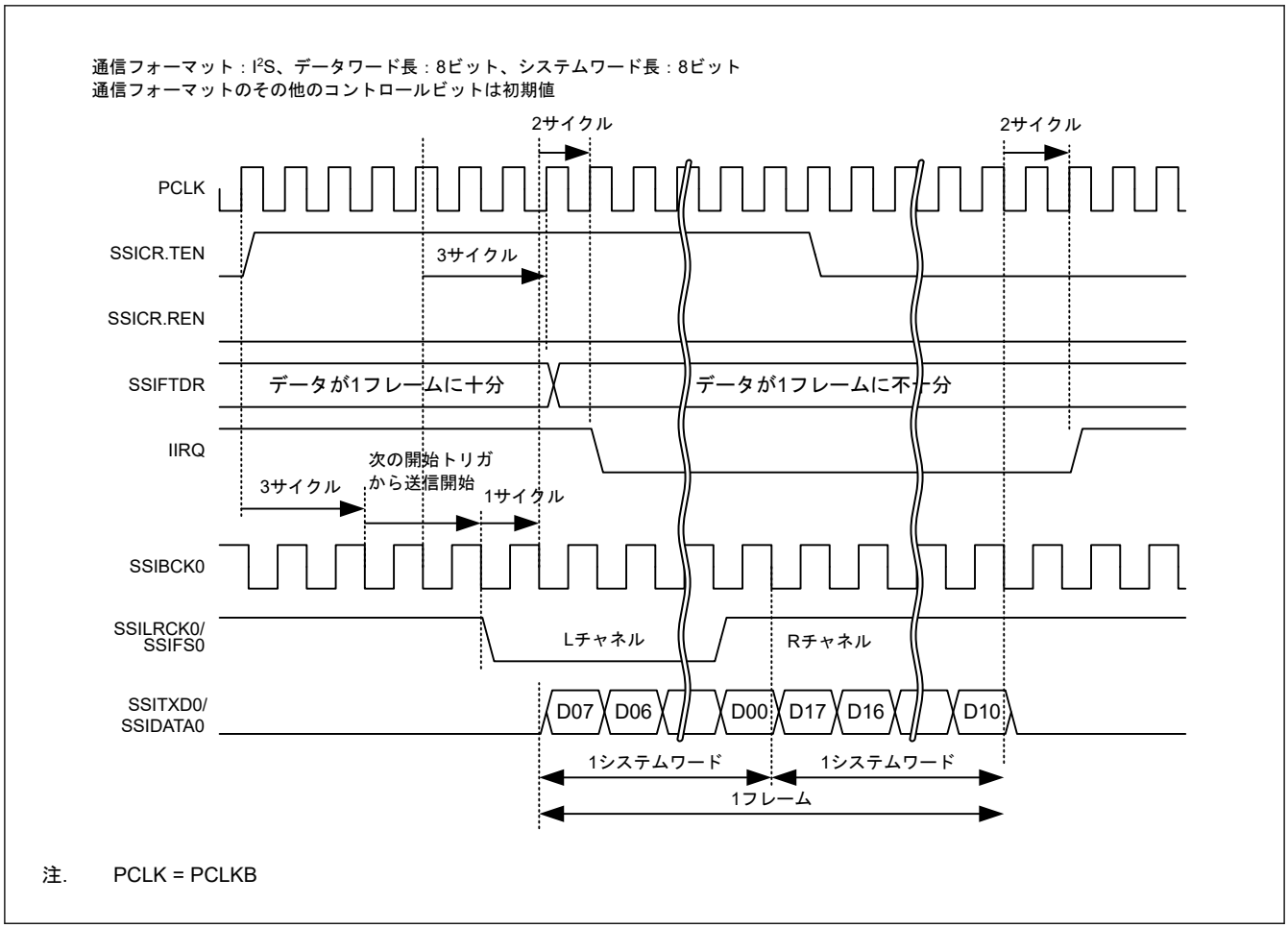


図 32.14　IIRQ 設定タイミング（送信）

- トランスミッタ（送信専用）

[0 になる条件]

送信が許可されている場合（SSICR.TEN = 1 かつ SSICR.REN = 0）に、送信フレームの送信データが SSIFTDR レジスタに書き込まれ、開始トリガが SSILRCK0/SSIFS0 信号によって生成されたとき

[0 になるタイミング]

0 になる条件である開始トリガの生成から、「SSIBCK0 1 サイクル + 2 PCLKB サイクル」が経過したとき

[1 になる条件]

送信と受信が禁止されている場合（SSICR.TEN = 0 かつ SSICR.REN = 0）に、1 つのフレームの送信が完了したとき

[1 になるタイミング]

1 になる条件である送信の終了（フレーム境界）から、PCLKB の 2 サイクルが経過したとき

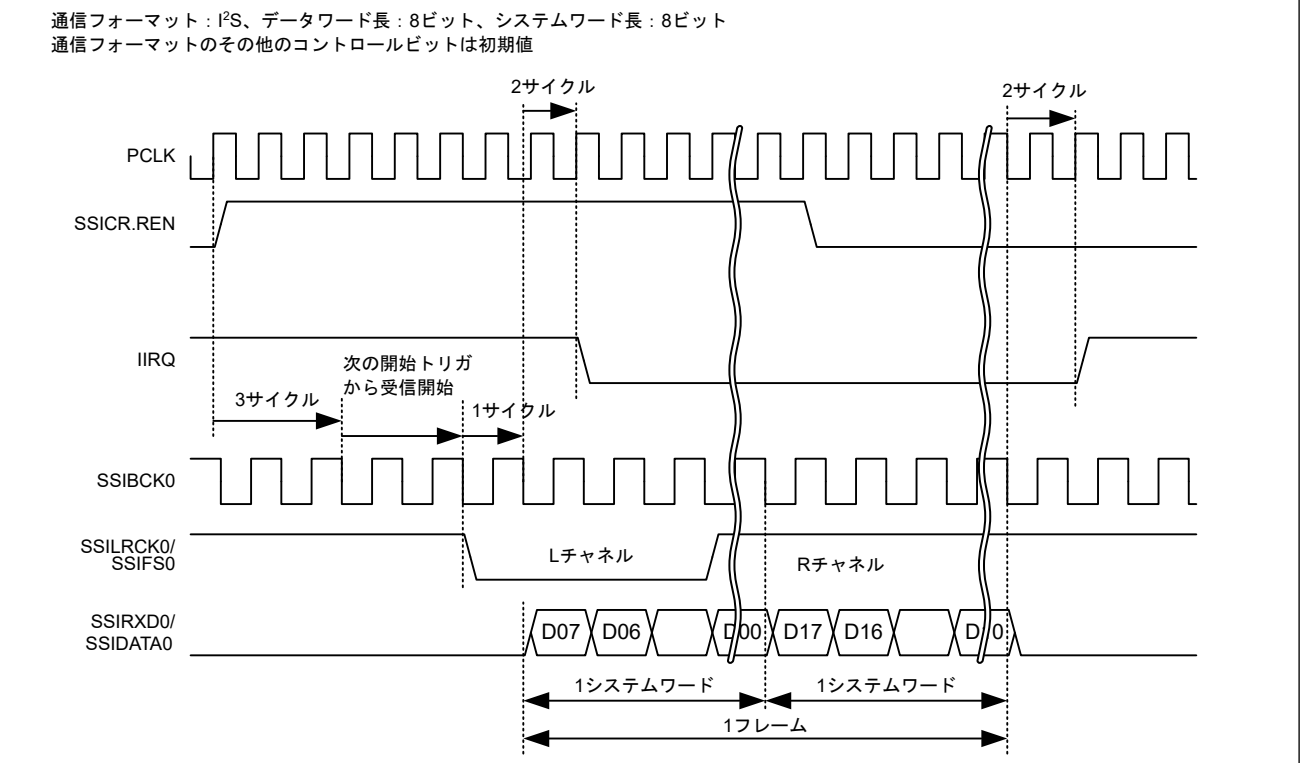


図 32.15 IIRQ 設定タイミング（受信）

- レシーバ（受信専用）

[0 になる条件]

受信が許可されている場合（SSICR.TEN = 0 かつ SSICR.REN = 01）に、開始トリガが SSILRCK0/SSIFS0 信号によって生成されたとき

[0 になるタイミング]

0 になる条件である開始トリガの生成から、「SSIBCK0 1 サイクル + 2 PCLKB サイクル」が経過したとき

[1 になる条件]

送信と受信が禁止されている場合（SSICR.TEN = 0 かつ SSICR.REN = 0）に、1 つのフレームの受信が完了したとき

[1 になるタイミング]

1 になる条件である受信の終了（フレーム境界）から、PCLKB の 2 サイクルが経過したとき

- トランシーバ（送信および受信）

[0 になる条件]

送信と受信が許可されている場合（SSICR.TEN = 1 かつ SSICR.REN = 1）に、送信フレームの送信データが SSIFTDR レジスタに書き込まれ、開始トリガが SSILRCK0/SSIFS0 信号によって生成されたとき

[0 になるタイミング]

0 になる条件である開始トリガの生成から、「SSIBCK0 1 サイクル + 2 PCLKB サイクル」が経過したとき

[1 になる条件]

送信と受信が禁止されている場合（SSICR.TEN = 0 かつ SSICR.REN = 0）に、1 つのフレームの送信が完了したとき

[1 になるタイミング]

1 になる条件である送信の終了（フレーム境界）から、PCLKB の 2 サイクルが経過したとき

ROIRQ フラグ（受信オーバーフローエラーステータスフラグ）

ROIRQ フラグは､受信オーバーフローエラーを示すステータスフラグです。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。このフラグは、受信データが要求レートよりも速い速度で供給されていることを示します。受信オーバーフローエラー発生中は、受信シフトレジスタから SSIFRDR にデータは送信されません。オーバーフローエラーからの復旧手順については、「32.8.6. エラー処理」を参照してください。このフラグは、受信 FIFO データレジスタリセット (SSIFCR.RFRST) ではクリアされません。

[設定およびクリアの優先順位]

設定が優先されます。(注1)

[0 になる条件]

次の動作のいずれかが行われたとき

1. このビットから 1 を読み出したあとに 0 を書き込む(注2)
2. 通信を許可（SSICR.REN を 0 から 1 に変更）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 を書き込んだとき（図 32.19 のタイミングと同じ）
2. SSICR.REN に 1 を書き込んでから PCLKB の 1 サイクル後(注3)

[1 になる条件]
SSIFRDR がフルの状態で次のデータの受信が完了したとき

[1 になるタイミング]
受信が完了した後に、PCLKB の 3 サイクルが経過したとき

注 1. このビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) によってクリアされます。ソフトウェアリセットは、上述のどの 0 になる条件より優先されます。

注 2. 本ビットから 1 を読み出した後、以下の 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- SSICR.REN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき

注 3. 通信を許可（SSICR.REN ビットの値を 0 から 1 に変更）してから、受信エラーフラグ（SSISR レジスタの RUIRQ および ROIRQ）がクリアされます。ただし、SSISR レジスタが継続して読み出されるとき、受信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

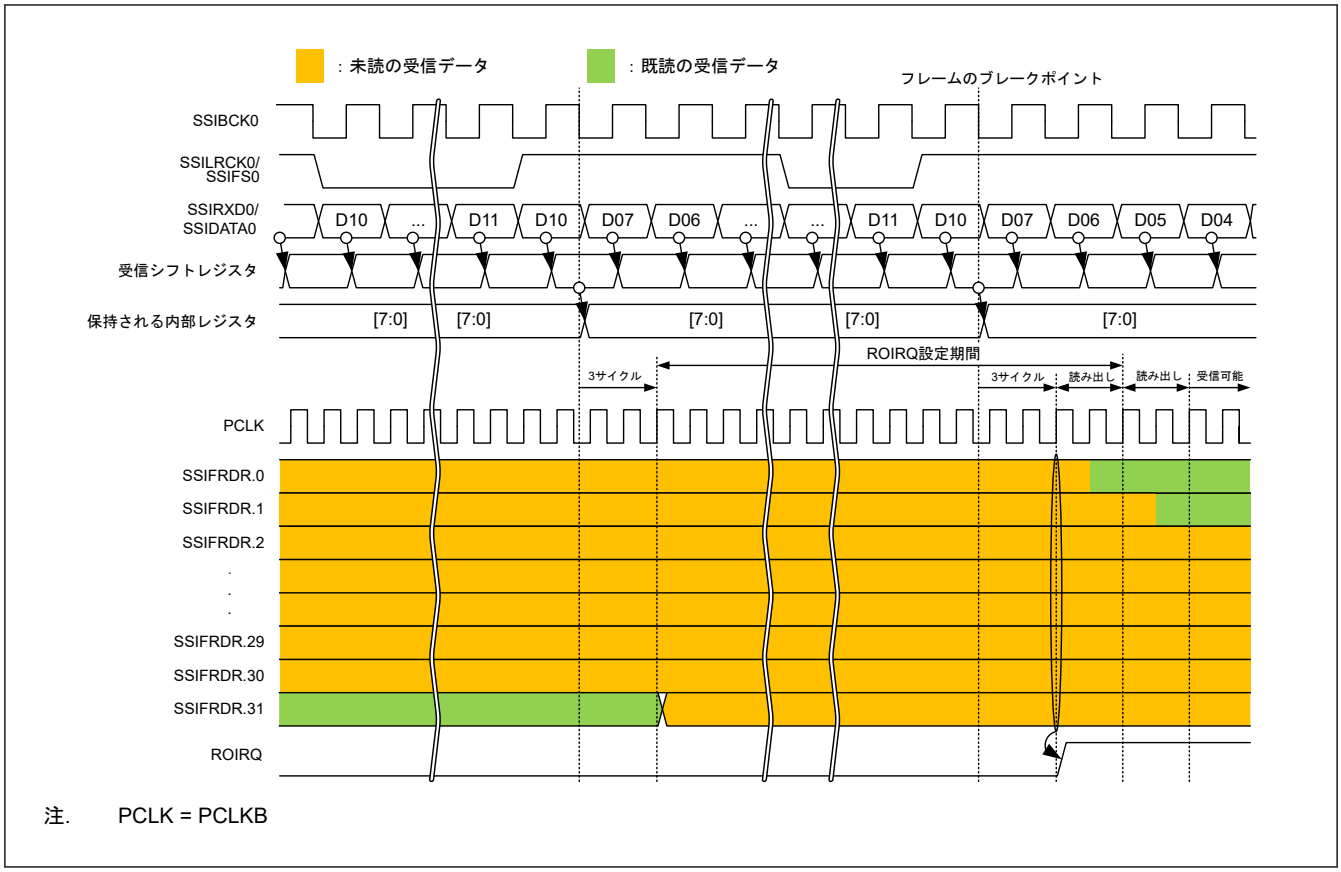


図 32.16　ROIRQ 設定タイミング

RUIRQ フラグ（受信アンダーフローエラーステータスフラグ）

RUIRQ フラグは、受信アンダーフローエラーを示すステータスフラグです。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。このフラグは、SSIFRDR がエンプティの間に読み出されることを示します。受信アンダーフローエラー発生中、SSIFRDR からのデータ読み出しは無効です。エラーからの復旧手順については、「32.8.6. エラー処理」を参照してください。このフラグは、受信 FIFO データレジスタリセット (SSIFCR.RFRST) ではクリアされません。ただし、受信 FIFO データレジスタのリセット中に SSIFRDR レジスタが読み出されたとしても、このフラグは設定されません。

[設定およびクリアの優先順位]

設定が優先されます。(注1)

[0 になる条件]

次の動作のいずれかが行われたとき

1. このビットから 1 を読み出したあとに 0 を書き込む(注2)
2. 通信の許可（SSICR.REN を 0 から 1 に変更）

[0 になるタイミング]
前述の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 を書き込んだとき（図 32.19 のタイミングと同じ）
2. SSICR.REN に 1 を書き込んでから PCLKB の 1 サイクル後(注3)

[1 になる条件]

SSIFRDR が空の間に SSIFRDR からの読み出し

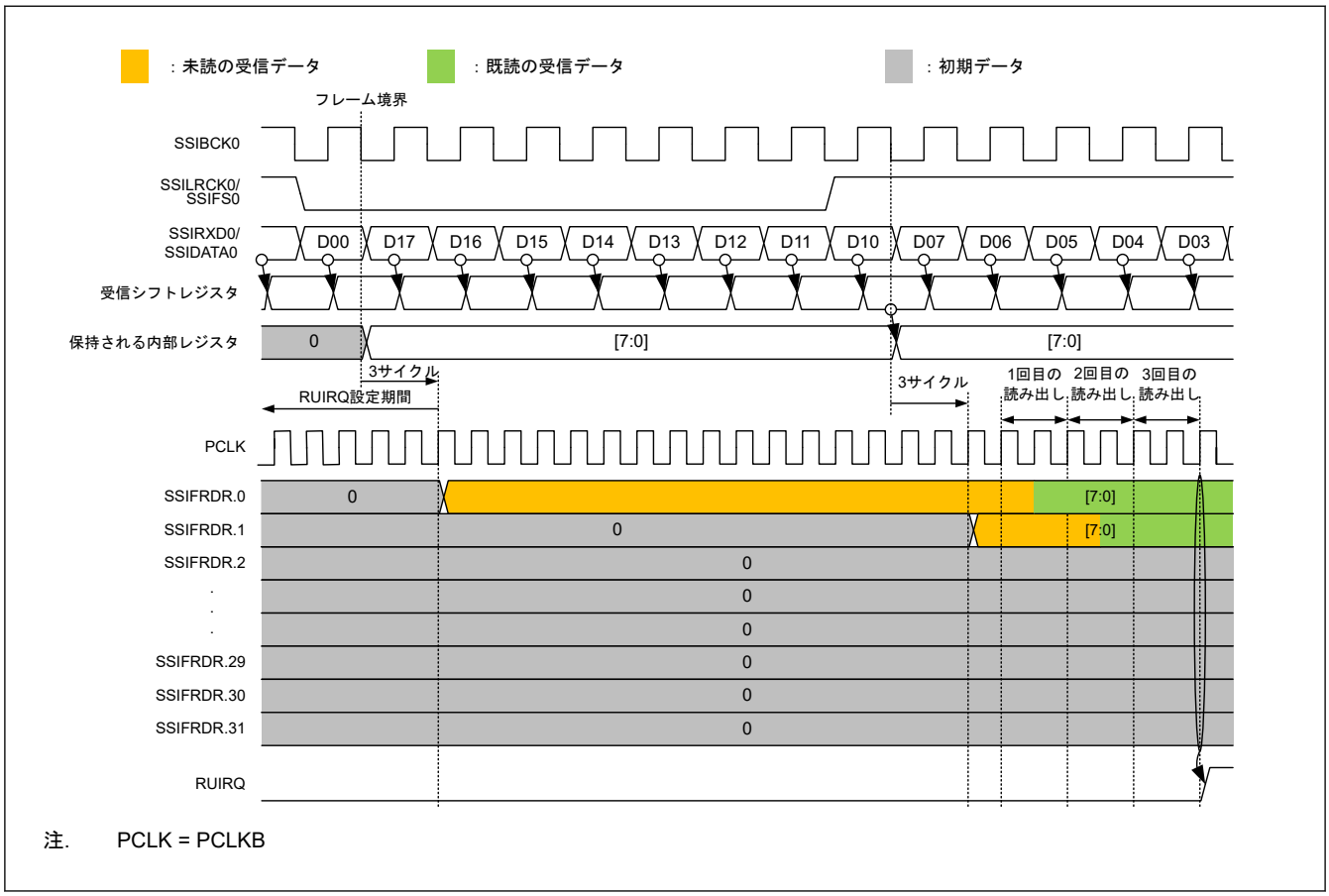
[1 になるタイミング]

SSIFRDR からの読み出し完了時図 32.17 を参照してください。

注 1. このビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) によってクリアされます。ソフトウェアリセットは、上述のどの 0 になる条件より優先されます。

注 2. 本ビットから 1 を読み出した後、以下の 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- SSICR.REN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき

注 3. 通信を許可した後（SSICR.REN ビットを 0 から 1 に変更）、受信エラーフラグ（RUIRQ レジスタの ROIRQ および SSISR）はクリアされます。ただし、SSISR レジスタが継続して読み出されるとき、受信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。



注. PCLK = PCLKB

図 32.17 RUIRQ 設定タイミング

TOIRQ フラグ（送信オーバーフローエラーステータスフラグ）

TOIRQ フラグは、送信オーバーフローエラーを示すステータスフラグです。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。このフラグは、SSIFTDR レジスタがデータフルのときに同レジスタにデータを書き込む試みがなされたことを示します。送信オーバーフローを引き起こすこのデータ書き込みは無視されます。オーバーフローエラーからの復旧手順については、「32.8.6. エラー処理」を参照してください。このフラグは、送信 FIFO データレジスタリセット (SSIFCR.TFRST) ではクリアされません。

[設定およびクリアの優先順位]

設定が優先されます。(注1)

[0 になる条件]

次の動作のいずれかが行われたとき

1. このビットから 1 を読み出したあとに 0 を書き込む(注2)
2. 通信の許可（SSICR.TEN を 0 から 1 に変更）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 を書き込んだとき（図 32.19 のタイミングと同じ）
2. SSICR.TEN に 1 を書き込んでから PCLKB の 1 サイクル後(注3)

[1 になる条件]

SSIFTDR レジスタがデータフルのときに同レジスタにデータを書き込む試みがなされた。

[1 になるタイミング]

SSIFTDR への書き込み完了時。詳細については、図 32.18 を参照してください。

注 1. このビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) によってクリアされます。ソフトウェアリセットは、上述のどの 0 になる条件より優先されます。

注 2. 本ビットから 1 を読み出した後、以下の 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- SSICR.TEN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき

注 3. 通信の許可（SSICR.TEN ビットの値を 0 から 1 に変更）後、送信エラーフラグ（SSISR レジスタの TOIRQ と TUIRQ）がクリアされる。ただし、SSISR レジスタが継続して読み出されるとき、送信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

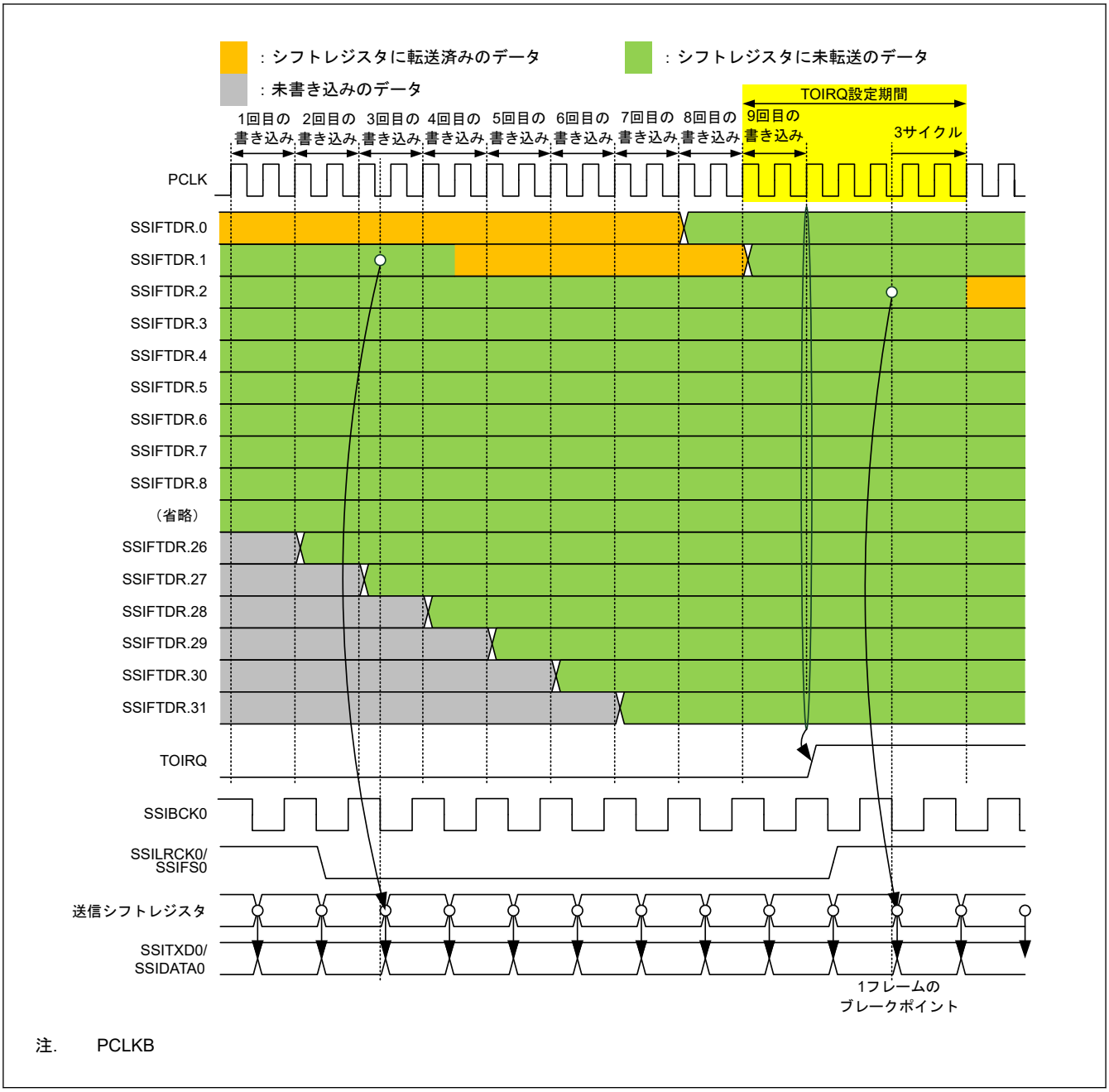


図 32.18 TOIRQ 設定タイミング

TUIRQ フラグ（送信アンダーフローエラーステータスフラグ）

TUIRQ フラグは、送信アンダーフローエラーを示すステータスフラグです。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。フレームに必要なシリアルデータの SSIFTDR への書き込みが、フレームの送信に追いつかなかったことを示します。設定されたフラグをクリアしても、SSITXD0/SSIDATA0 出力は 0 のままです。送信 FIFO データレジスタ (SSIFTDR) へ書き込まれたデータを、SSITXD0/SSIDATA0 端子へ出力するには、図 32.56 の通信停止の手順、および図 32.57 のエラー処理手順に従ってください。エラーから回復する手順は、「32.8.6. エラー処理」を参照してください。このフラグは、送信 FIFO データレジスタリセット（SSIFCR.TFRST 信号）ではクリアできません。

[設定およびクリアの優先順位]

設定が優先されます。(注1)

[0 になる条件]

次の動作のいずれかが行われたとき

1. このビットから 1 を読み出したあとに 0 を書き込む(注2)
2. 通信の許可（SSICR.TEN を 0 から 1 に変更）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 が書き込まれたとき
2. SSICR.TEN に 1 を書き込んでから PCLKB の 1 サイクル後(注3)

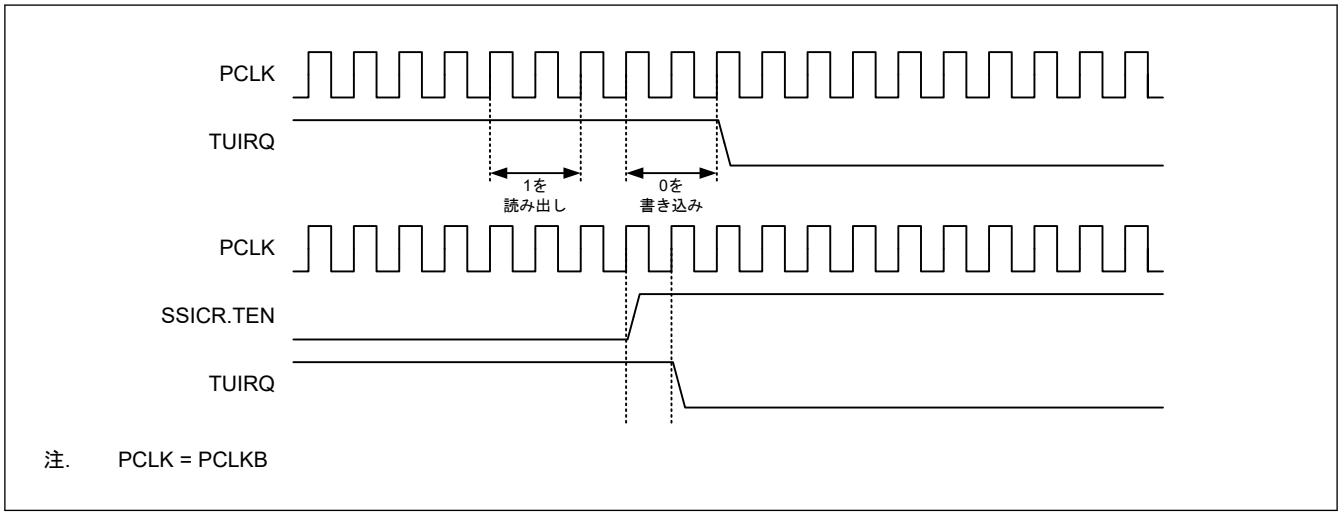


図 32.19　TUIRQ クリアタイミング

注 1.　このビットは、ソフトウェアリセット（SSIFCR.SSIRST = 1）によってクリアされます。ソフトウェアリセットは、上述のどの 0 になる条件より優先されます。

注 2.　本ビットから 1 を読み出した後、以下の 3 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- SSICR.TEN に 1 を書き込んだ後、PCLKB の 1 サイクルが経過したとき

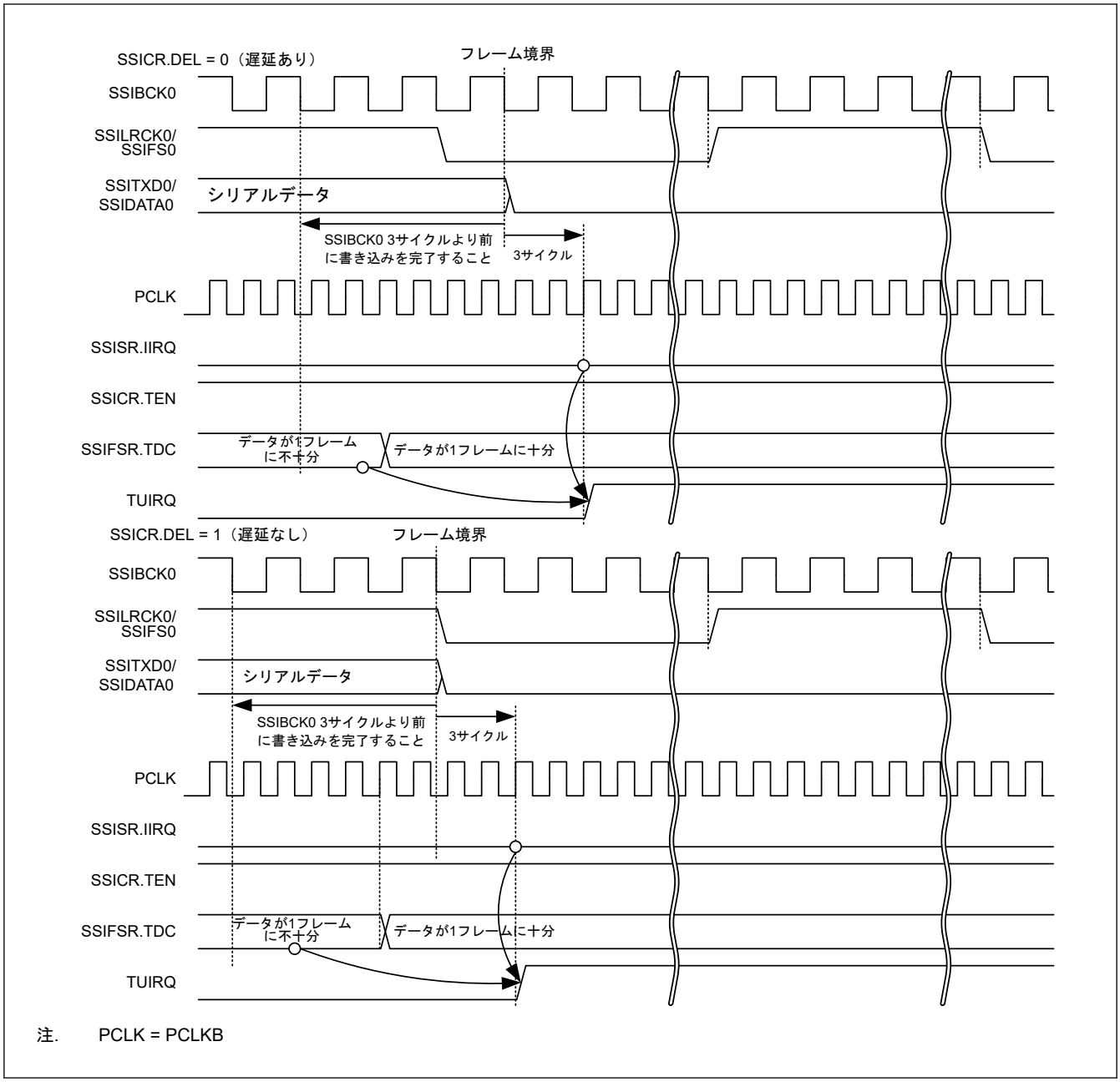
注 3.　通信の許可（SSICR.TEN ビットの値を 0 から 1 に変更）後、送信エラーフラグ（TOIRQ レジスタの TUIRQ と SSISR）がクリアされる。ただし、SSISR レジスタが継続して読み出されるとき、送信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

[1 になる条件]

フレーム境界を越えて通信が続く場合で、次のフレームに必要な送信データが SSIFTDR に書き込まれていない。詳細については、図 32.20 および図 32.21 を参照してください。

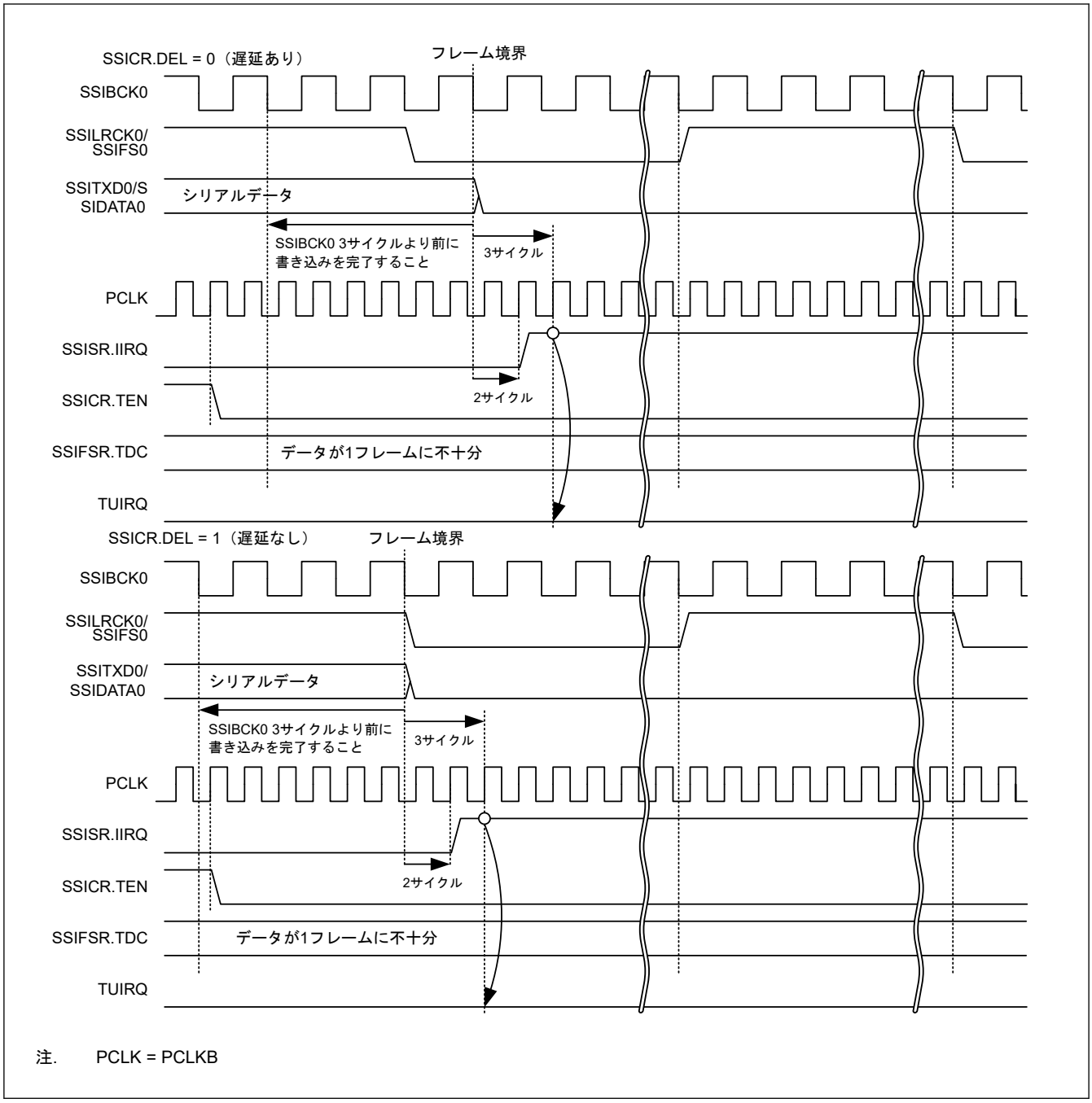
[1 になるタイミング]

フレーム境界から PCLKB の 3 サイクル後。詳細は、図 32.20 を参照してください。



注. PCLK = PCLKB

図 32.20 TUIRQ 設定タイミング（通信継続時）



注. PCLK = PCLKB

図 32.21 TUIRQ 設定タイミング（通信中断時）

32.4.3 SSIFCR : FIFO コントロールレジスタ

Base address: SSIE0 = 0x4009_D000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RFRST	受信 FIFO データレジスタリセット(注1) 0: 受信データ FIFO リセット条件をクリアする 1: 受信データ FIFO リセット条件を設定する	R/W
1	TFRST	送信 FIFO データレジスタリセット(注1) 0: 送信データ FIFO リセット条件をクリアする 1: 送信データ FIFO リセット条件を設定する	R/W
2	RIE	受信データフル割り込み出力許可 0: 受信データフル割り込みを禁止する 1: 受信データフル割り込みを許可する	R/W
3	TIE	送信データエンプティ割り込み出力許可 0: 送信データエンプティ割り込みを禁止する 1: 送信データエンプティ割り込みを許可する	R/W
10:4	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	BSW	バイトスワップ許可(注1) 0: バイトスワップを禁止する 1: バイトスワップを許可する	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	SSIRST	ソフトウェアリセット 0: ソフトウェアリセット条件をクリアする 1: ソフトウェアリセット条件を設定する	R/W
30:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
31	AUCKE	マスタモード通信時の AUDIO_MCK 許可(注1) 0: AUDIO_MCK の供給を禁止する 1: AUDIO_MCK の供給を許可する	R/W

注 1. SSIE が通信状態 (SSISR.IIRQ = 0) の間、これらのビットへの書き込みは禁止されています。書き換えによってこれらのビットの値が変化した場合、以降の動作は予測できません。

このレジスタは、ソフトウェアリセット、バイトスワップ、割り込み要求の許可／禁止を設定します。

RFRST ビット（受信 FIFO データレジスタリセット）

RFRST ビットは、受信 FIFO データレジスタ（SSIFRDR）のソフトウェアリセットを設定します。このビットに 1 を書き込むと、SSIFRDR に関連する内部状態を初期化します。表 32.5 に、このビットでトリガされるソフトウェアリセットの対象となるレジスタビットを網掛けで示します。本ビットは設定すると自動的にクリアされないため、0 を書き込んでソフトウェアリセットからレジスタビットを解放してください。0 を書き込んだ後、本ビットが 0 になったことを確認してから次の手順を開始してください。

このビットは、SSIRST ビットによるソフトウェアリセットの対象となります。SSIRST ビットによるソフトウェアリセットはこのビットによるリセットより優先順位が高いため、SSIRST ビットが設定されるとこのビットの設定は無視されます。

表 32.5　RFRST ビットによるソフトウェアリセットの対象となるビット

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	—	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
SSISR	0x04	+0	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SSIFCR	0x10	+0	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
		+2	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
SSIFSR	0x14	+0	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	0x1C	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

TFRST ビット（送信 FIFO データレジスタリセット）

TFRST ビットは、送信 FIFO データレジスタ (SSIFTDR) のソフトウェアリセットを設定します。このビットに 1 を書き込むと、SSIFTDR に関連する内部状態を初期化します。表 32.6 に、このビットでトリガされるソフトウェアリセットの対象となるレジスタビットを網掛けで示します。本ビットは設定すると自動的にクリアされないため、0 を書き込んでソフトウェアリセットからレジスタビットを解放してください。0 を書き込んだ後、本ビットが 0 になったことを確認してから次の手順を開始してください。

このビットは、SSIRST ビットによるソフトウェアリセットの対象となります。SSIRST ビットによるソフトウェアリセットはこのビットによるリセットより優先順位が高いため、SSIRST ビットが設定されるとこのビットの設定は無視されます。

表 32.6　TFRST ビットによるソフトウェアリセットの対象となるビット (1/2)

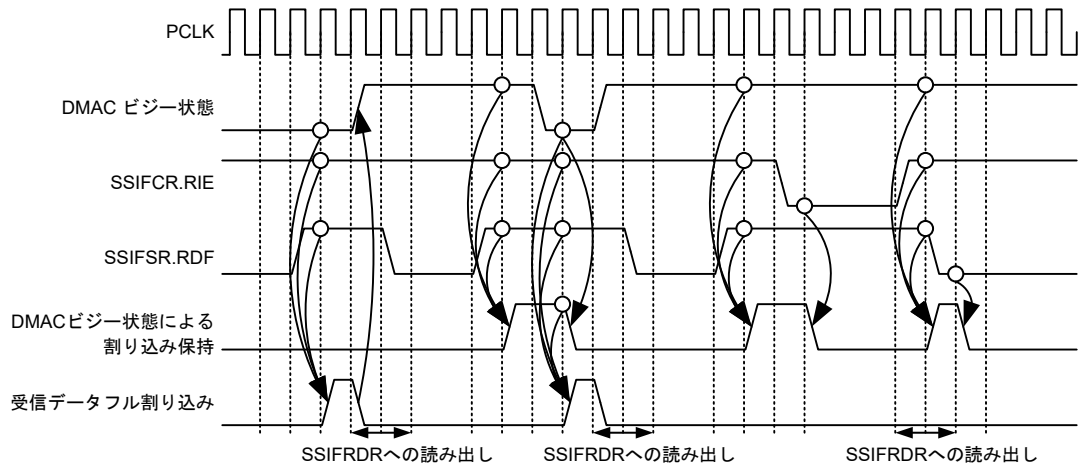
シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	—	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
SSISR	0x04	+0	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

表 32.6　TFRST ビットによるソフトウェアリセットの対象となるビット (2/2)

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSIFCR	0x10	+0	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
		+2	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
SSIFSR	0x14	+0	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	0x1C	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

RIE ビット（受信データフル割り込み出力許可）

RIE ビットは、受信データフル割り込み出力を許可／禁止します。受信データフル割り込みは、受信 FIFO データレジスタからのデータ読み出しをトリガするための割り込みとして使用します。受信データフル割り込みの設定条件（1 になる条件）を指定してから（SSISCR.RDFS ビットを使用）、本ビットに 1 を書き込んでください。図 32.22 に、受信データフル割り込みの発生タイミングを示します。

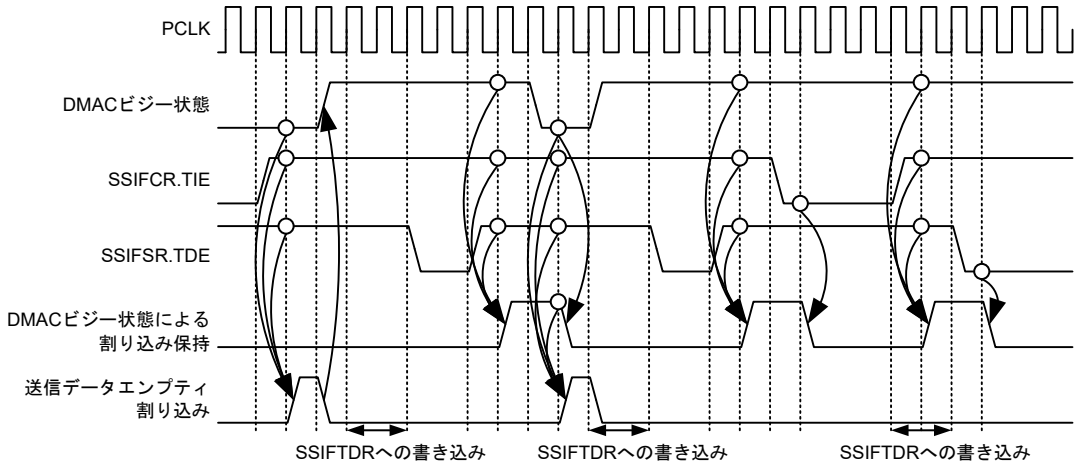


注.　PCLK = PCLKB

図 32.22　受信データフル割り込みのタイミング

TIE ビット（送信データエンプティ割り込み出力許可）

TIE ビットは、送信データエンプティ割り込み出力を許可／禁止します。送信データエンプティ割り込みは、送信 FIFO データレジスタへのデータ書き込みをトリガする割り込みとして使用します。送信データエンプティ割り込みの設定条件（1 になる条件）を指定してから（SSISCR.TDES[4:0]ビットを使用）、本ビットに 1 を書き込んでください。図 32.23 に送信データエンプティ割り込みの発生タイミングを示します。



注.　PCLK = PCLKB

図 32.23　送信データエンプティ割り込みのタイミング

BSW ビット（バイトスワップ許可）

BSW ビットは、送信 FIFO データレジスタ (SSIFTDR) および受信 FIFO データレジスタ (SSIFRDR) に関するレジスタアクセスのバイトスワップを許可／禁止します。このビットは、SSIFTDR および SSIFRDR への 16 ビットアクセスまたは 32 ビットアクセスのみに有効です。詳細については、図 32.24 を参照してください。

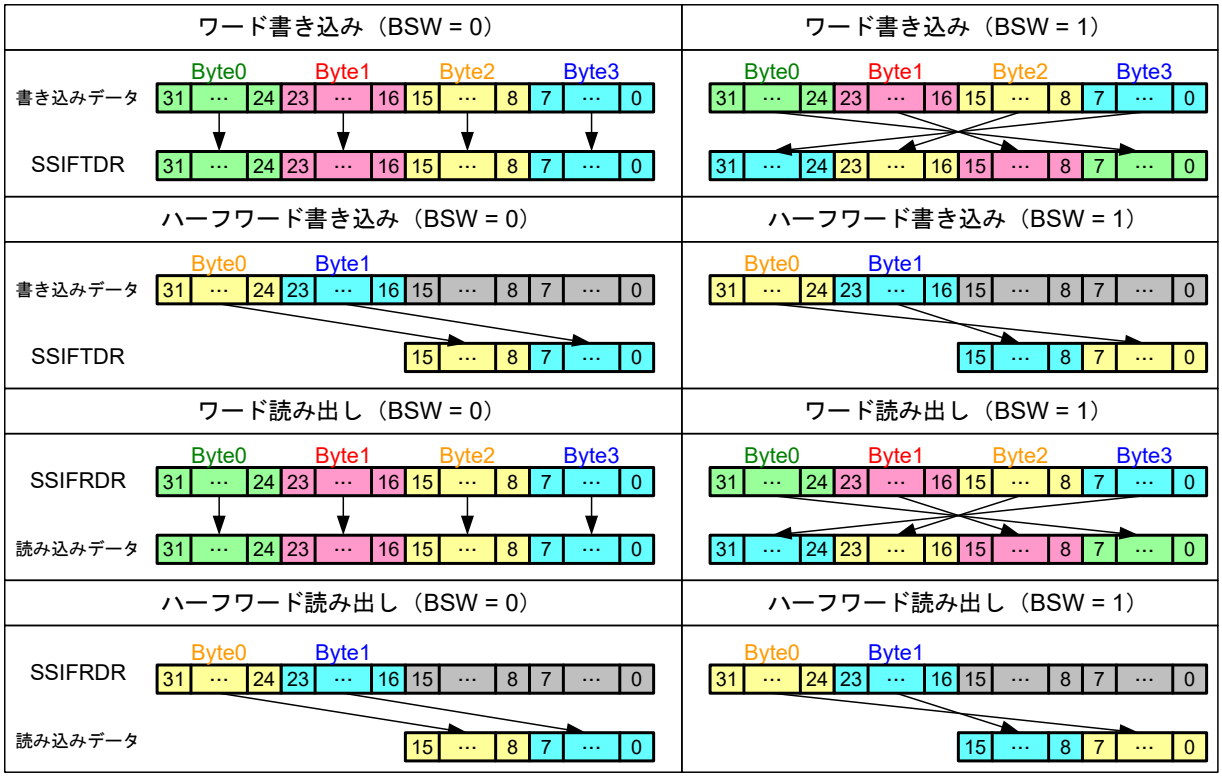


図 32.24　バイトスワップの動作例

SSIRST ビット（ソフトウェアリセット）

SSIRST ビットは、SSIE のソフトウェアリセットを設定します。このビットに 1 を書き込むと、SSIE の内部状態を初期化します。表 32.7 に、このビットでトリガされるソフトウェアリセットの対象となるレジスタビットを網

掛けで示します。本ビットは設定すると自動的にクリアされないため、0 を書き込んでソフトウェアリセットからレジスタビットを解放してください。0 を書き込んだ後、本ビットが 0 になったことを確認してから次の手順を開始してください。

SSIE の通信をすぐに停止するには、周辺機能をオフにしてからこのビットに 1 を書き込みます。ソフトウェアリセットによる初期化は、ビットクロックとは関係なく実行されます。

表 32.7　SSIRST ビットによるソフトウェアリセットの対象となるビット

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	—	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
SSISR	0x04	+0	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SSIFCR	0x10	+0	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
		+2	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
SSIFSR	0x14	+0	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	0x1C	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

AUCKE ビット（マスタモード通信時の AUDIO_MCK 許可）

AUCKE ビットは、マスタモード通信 (MST = 1) 中の AUDIO_MCK への供給を許可／禁止します。

AUDIO_MCK に関連する設定を指定してから（SSICR レジスタの MST、BCKP、および CKDV ビットを使用）、本ビットを変更してください。

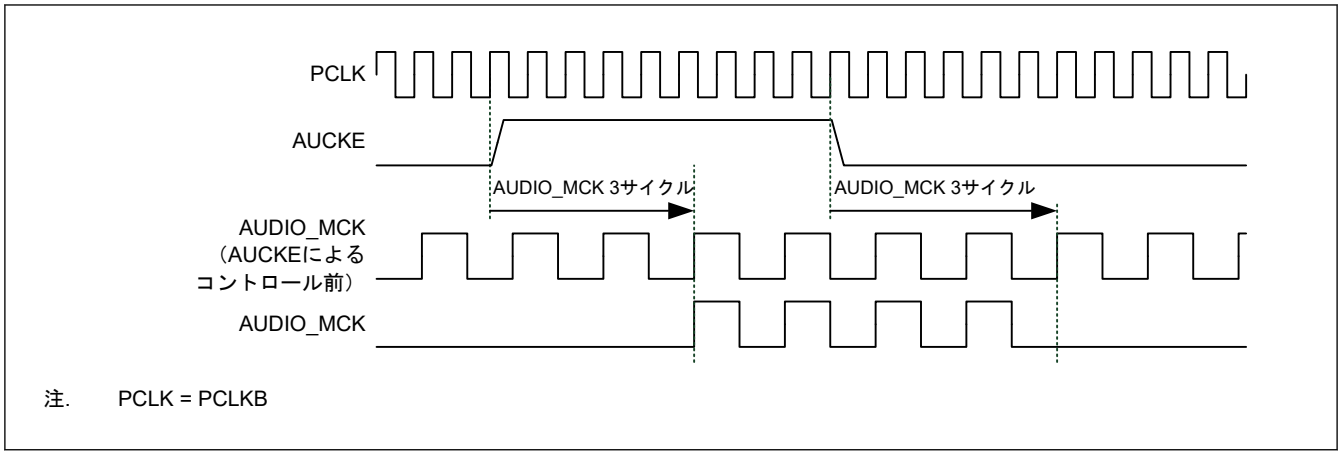


図 32.25　AUDIO_MCK の停止／再開

注.　スレーブモード通信中 (SSICR.MST = 0)、SSIE には SSIBCK0 の供給が必要です。マスタ側で BCK を停止するには、SSIE がアイドル状態 (SSISR.IIRQ = 1) であることを確認してください。SSIE がアイドルになる前に BCK が停止されたときは、図 32.52 の通信を開始する手順を取るか、図 32.58 の通信を再開する手順を取ることでアイドル状態になるまで待機してください。

マスタモード通信中 (SSICR.MST = 1)、SSIE はオーディオクロック (AUDIO_MCK) によって動作します。SSIE を完全に停止するには、SSIE がアイドル状態 (SSISR.IIRQ = 1) であることを確認してから、SSIFCR.AUCKE に 0 を書き込んでください。SSIE がアイドルになる前に SSIFCR.AUCKE に 0 が書き込まれた場合、図 32.52 の通信を開始する手順を取ってください。

図 32.26 および図 32.27 は、このビットを 1 に設定してから SSIBCK0 端子出力までの期間の信号動作のタイミングを示しています。

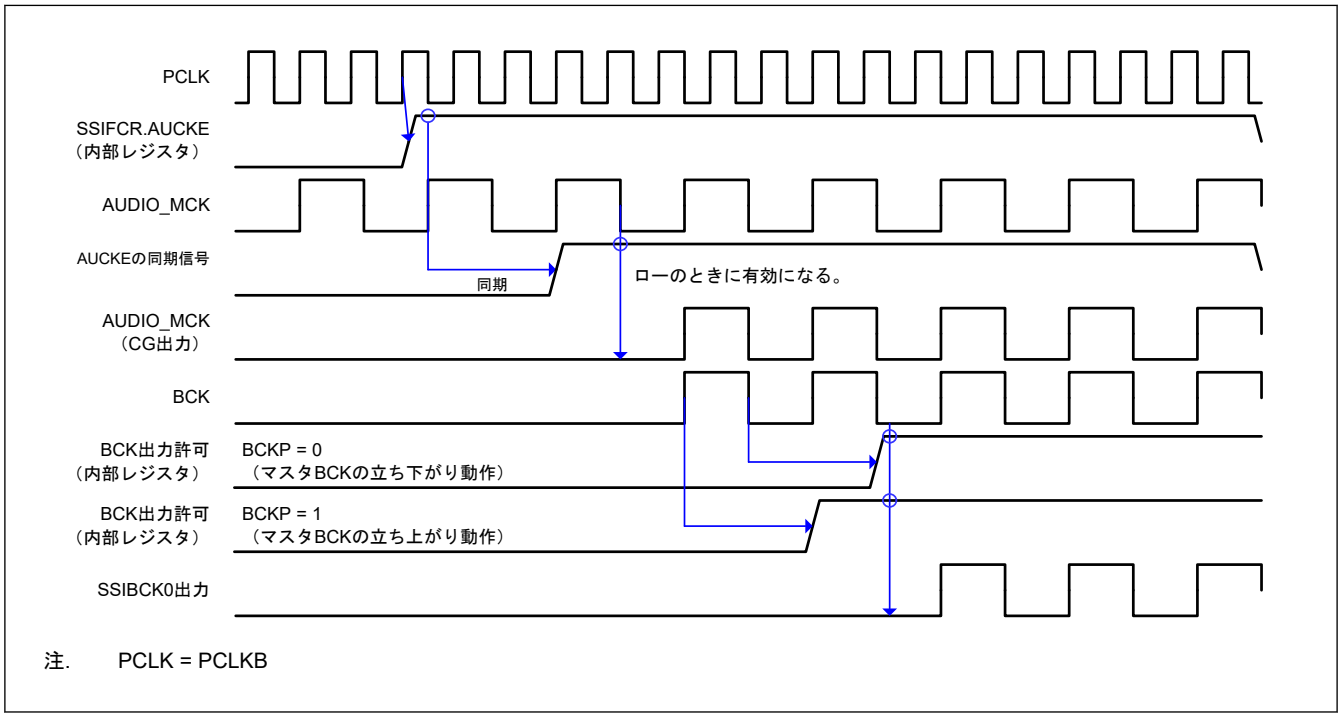
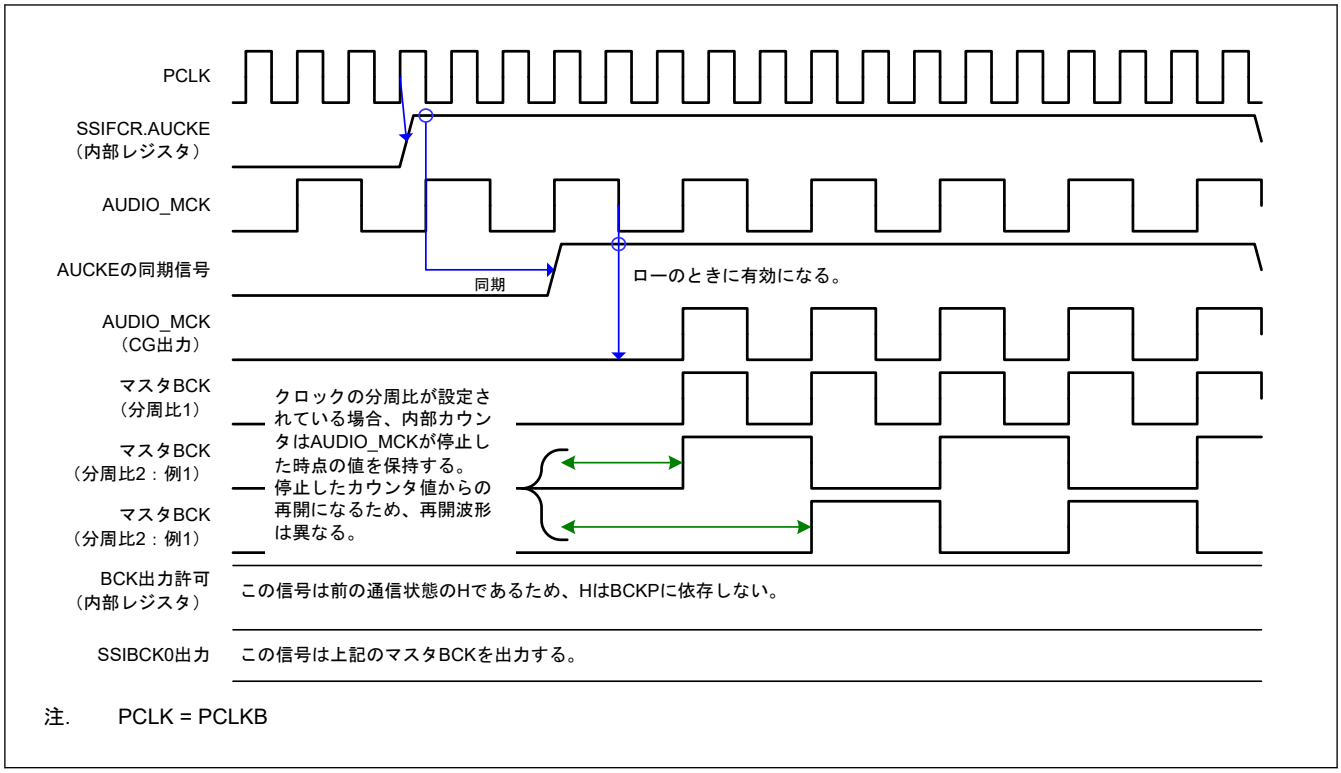


図 32.26　システムリセットからマスタモード通信開始までの動作のタイミング図



注.　PCLK = PCLKB

図 32.27　通信停止からマスタモード通信開始までの動作のタイミング図

注.　AUDIO_MCK の供給が途切れたときは、SSIBCK0 端子の値が保持されます。したがって、SSIBCK0 信号は、H（ハイレベル）状態で停止する可能性があります。

32.4.4　SSIFSR : FIFO ステータスレジスタ

Base address:　SSIE0 = 0x4009_D000

Offset address:　0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	RDF	受信データフルフラグ 0: SSIFRDR の受信データのサイズが SSISCR.RDFS の値以下 1: SSIFRDR の受信データのサイズが SSISCR.RDFS+1 の値以上	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	RDC[5:0]	受信データ数 受信 FIFO データレジスタに保存された有効データの数	R
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
16	TDE	送信データエンプティフラグ 0: SSIFTDR の空きスペースが SSISCR.TDES の値以下 1: SSIFTDR の空きスペースが SSISCR.TDES+1 の値以上	R/W
23:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ビット	シンボル	機能	R/W
29:24	TDC[5:0]	送信データ数 送信 FIFO データレジスタに保存された有効データの数	R
31:30	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

このレジスタは、送信 FIFO データレジスタおよび受信 FIFO データレジスタの状態を示すステータスフラグで構成されます。

RDF フラグ（受信データフルフラグ）

RDF フラグは、受信 FIFO データレジスタ (SSIFRDR) に、SSISCR.RDFS ビット+1 の値以上の未読の受信データがあることを示します。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。

[設定およびクリアの優先順位]

クリアが優先されます。

[0 になる条件]

次の 2 つのいずれかの場合(注1)

1. このビットから 1 を読み出したあとに 0 を書き込む（CPU 動作）(注2)
2. DTC および DMAC を用いた割り込みルーチンによる、SSIFRDR からデータを読み出すための最後のアクセス（DTC/DMAC 動作）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとに 0 が書き込まれる（図 32.19 のタイミングと同じ）
2. DTC および DMAC を用いた割り込みルーチンによって SSIFRDR からデータを読み出すための最後のアクセス指示が出された PCLKB サイクル後

[1 になる条件]

SSIFRDR の空きスペースが、SSISCR.RDFS ビット+1 の値以上である。

[1 になるタイミング]

シフトレジスタからの送信が完了した結果、SSIFRDR が持つデータが SSISCR.RDFS ビット+1 の値以上となったとき。

注 1. これらのビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) および受信 FIFO データレジスタリセット (SSIFCR.RFRST = 1) によってクリアされます。これらのビットで使用可能なリセット条件は、ソフトウェアリセットおよび受信 FIFO データレジスタリセットのほか、上述の 0 になる条件があります。

注 2. 本ビットから 1 を読み出した後、以下の 4 つの条件のうちいずれかを満たしたときに、本ビットはクリアされます。
- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 受信 FIFO データレジスタリセット (SSIFCR.RFRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- DTC および DMAC を使用した割り込みルーチンによる、SSIFRDR からのデータ読み出しの最終アクセスを行ったとき

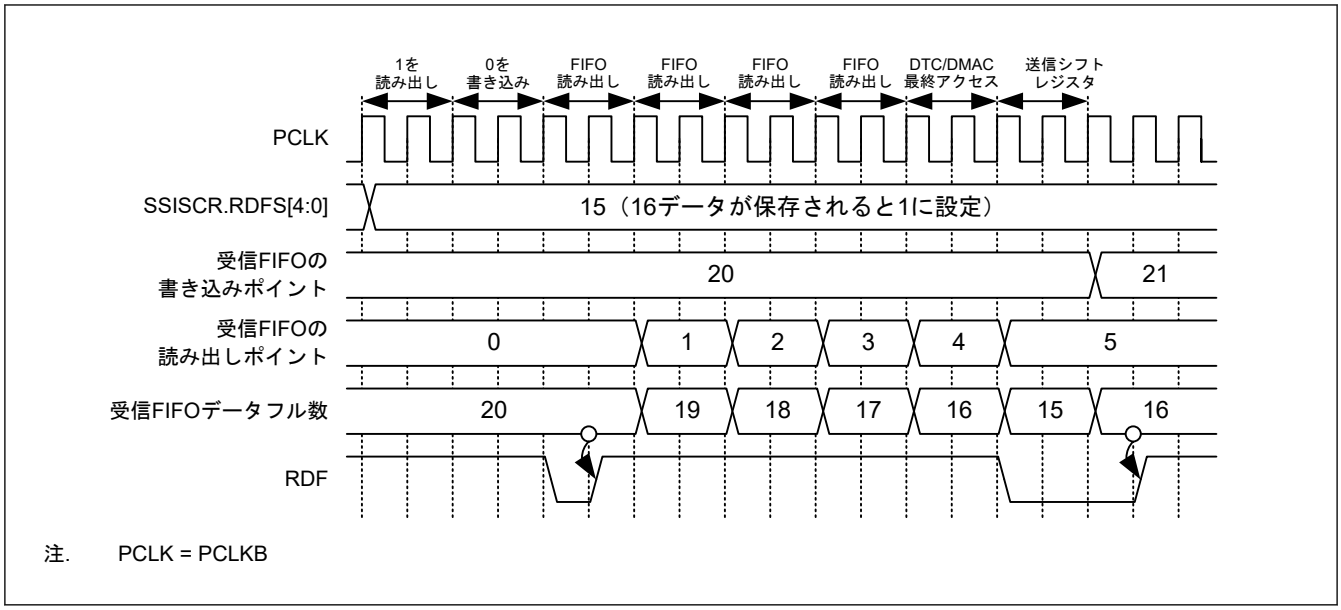


図 32.28　RDF の設定およびクリアに関するタイミング図

RDC[5:0]ビット（受信データ数）

RDC[5:0]ビットは、受信 FIFO データレジスタ (SSIFRDR) に保存されている有効データ数を示します。このビットが 0x00 のとき、受信データはありません。0x20 のとき、レジスタは受信データでいっぱいであり、空きスペースがありません。

TDE フラグ（送信データエンプティフラグ）

TDE フラグは、送信 FIFO データレジスタ (SSIFTDR) の空きスペースが、SSISCR.TDES ビット+1 の値以上であることを意味します。このフラグは自動判定により設定されますが、レジスタアクセスによってクリアされなければなりません。

[設定およびクリアの優先順位]

クリアが優先されます。(注1)

[0 になる条件]

次の 2 つのいずれかの場合

1. このビットから 1 を読み出したあとに 0 を書き込む（CPU 動作）(注2)
2. DTC および DMAC を用いた割り込みルーチンによる、SSIFTDR へのデータを書き込むための最後のアクセス（DTC/DMAC 動作）

[0 になるタイミング]

上記の 0 になる条件に対応して 0 になるタイミング

1. このビットから 1 を読み出したあとにこのビットに 0 が書き込まれる（図 32.19 のタイミングと同じ）
2. DTC および DMAC を用いた割り込みルーチンによる、SSIFTDR へのデータを書き込むための最後のアクセス（DTC/DMAC 動作）

[1 になる条件]

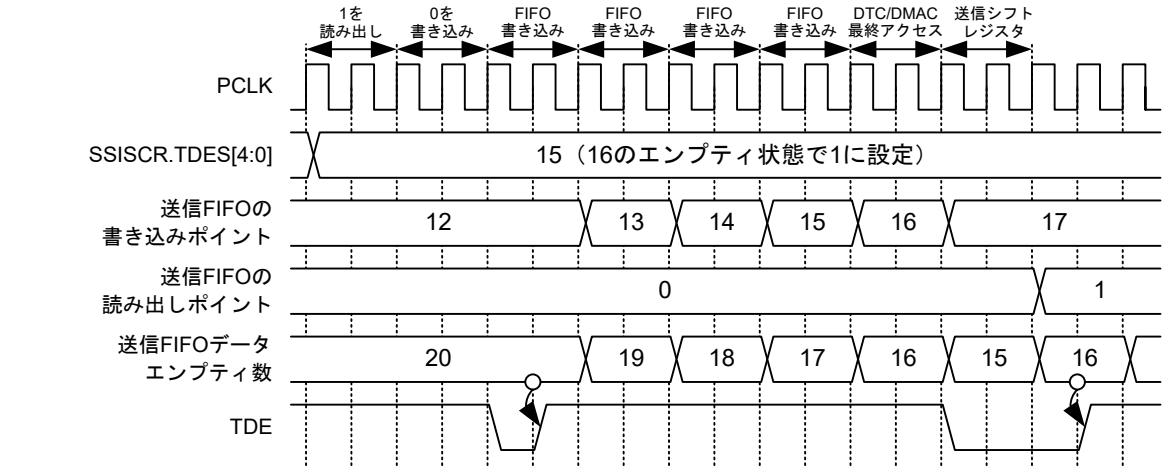
SSIFTDR の空きスペースが、SSISCR.TDES ビット+1 の値以上である。

[1 になるタイミング]

PCLKB での動作中、SSIFTDR の空きスペースが「SSISCR.TDES ビットに 1 を足した値で設定されるサイズ」以上であることが判明した。

注 1.　このビットは、ソフトウェアリセット (SSIFCR.SSIRST = 1) および送信 FIFO データレジスタリセット (SSIFCR.TFRST = 1) によってクリアされます。このソフトウェアリセットと送信 FIFO データレジスタリセットは、上述のどの 0 になる条件より優先されます。
注 2.　このビットから 1 を読み出したあと、次の 4 つの条件のうち 1 つが満たされるとこのビットがクリアされます。

- ソフトウェアリセット (SSIFCR.SSIRST = 1) を行ったとき
- 送信 FIFO データレジスタリセット (SSIFCR.TFRST = 1) を行ったとき
- 1 を読み出した後、0 の書き込みが完了したとき
- DTC および DMAC を使用した割り込みルーチンによる、SSIFTDR へのデータ書き込みの最終アクセスを行ったとき



注.　PCLK = PCLKB

図 32.29　TDE の設定およびクリアに関するタイミング図

TDC[5:0]ビット（送信データ数）

TDC[5:0]ビットは、送信 FIFO データレジスタ (SSIFTDR) に保存されている有効データ数を示します。このビットが 0x00 のとき、データは送信されません。0x20 のときは、データを書き込むスペースがありません。

32.4.5　SSIFTDR : 送信 FIFO データレジスタ

Base address:　SSIE0 = 0x4009_D000

Offset address:　0x18

Bit position:	31																												0
Bit field:	SSIFTDR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SSIFTDR[31:0]	送信 FIFO データ	W

このレジスタは、シリアル送信されるデータを格納します。このレジスタを読み出すとき、0 が返されます。

このレジスタを送信に使うときは、このレジスタに書き込むデータを、送信データエンプティ割り込みによってトリガされる DTC/DMAC 動作として指定します。このレジスタへのアクセスサイズは、表 32.8 で通信されるデータワード長に従って決定します。

表 32.8　FIFO へのレジスタアクセス制限 (1/2)

アクセスサイズ				
SSICR.DWL[2:0]	データワード長	バイト	ハーフワード	ワード
000b	8	○	—	—
001b	16	—	○	—
010b	18	—	—	○

表 32.8 FIFO へのレジスタアクセス制限 (2/2)

アクセスサイズ		バイト	ハーフワード	ワード
SSICR.DWL[2:0]	データワード長			
011b	20	—	—	○
100b	22	—	—	○
101b	24	—	—	○
110b	32	—	—	○
111b	設定禁止	—	—	—

図 32.30 に、送信 FIFO データレジスタへのレジスタアクセスを示します。

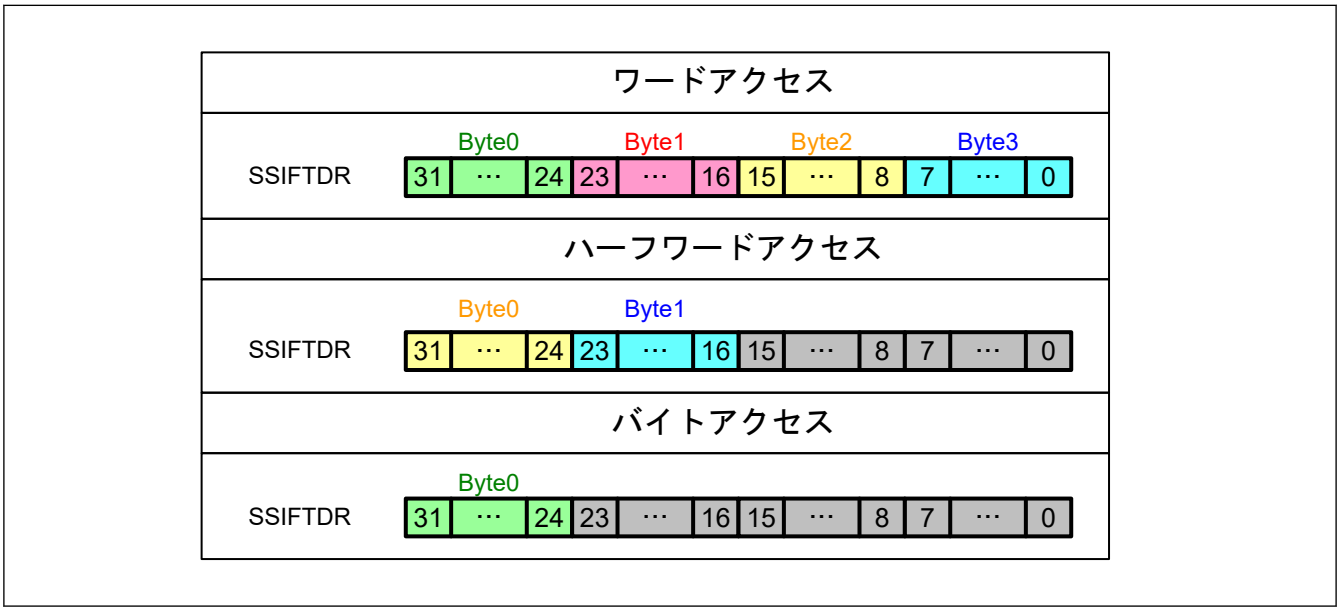


図 32.30 送信 FIFO データレジスタへのレジスタアクセスの例

図 32.31 に、送信 FIFO データレジスタおよび送信シフトレジスタの構成および動作例を示します。この構成は FIFO へのデータ格納が目的であり、通信とは無関係です。

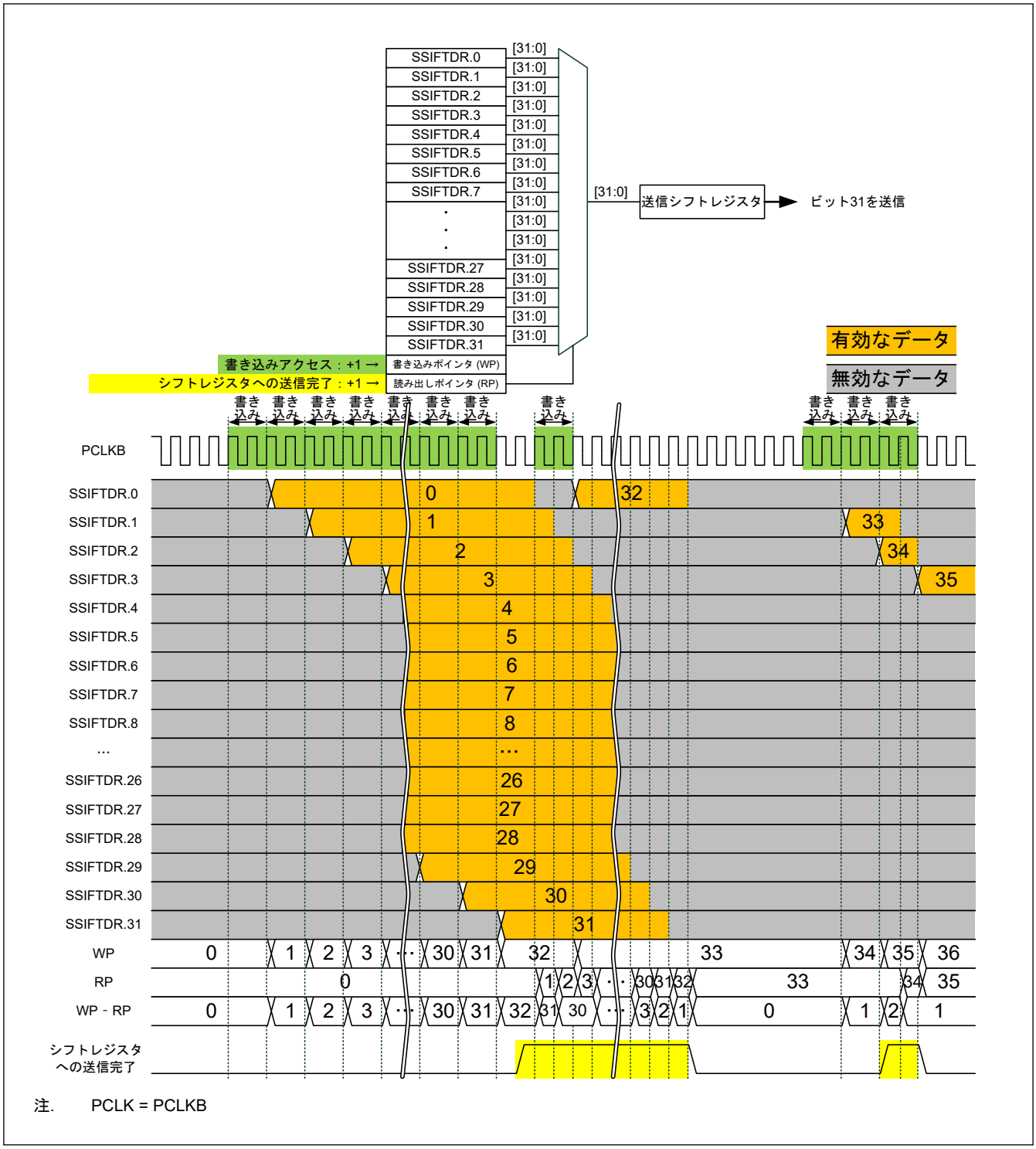


図 32.31 送信 FIFO データレジスタと送信シフトレジスタの構成、および FIFO の動作例

32.4.6 SSIFRDR : 受信 FIFO データレジスタ

Base address: SSIE0 = 0x4009_D000

Offset address: 0x1C

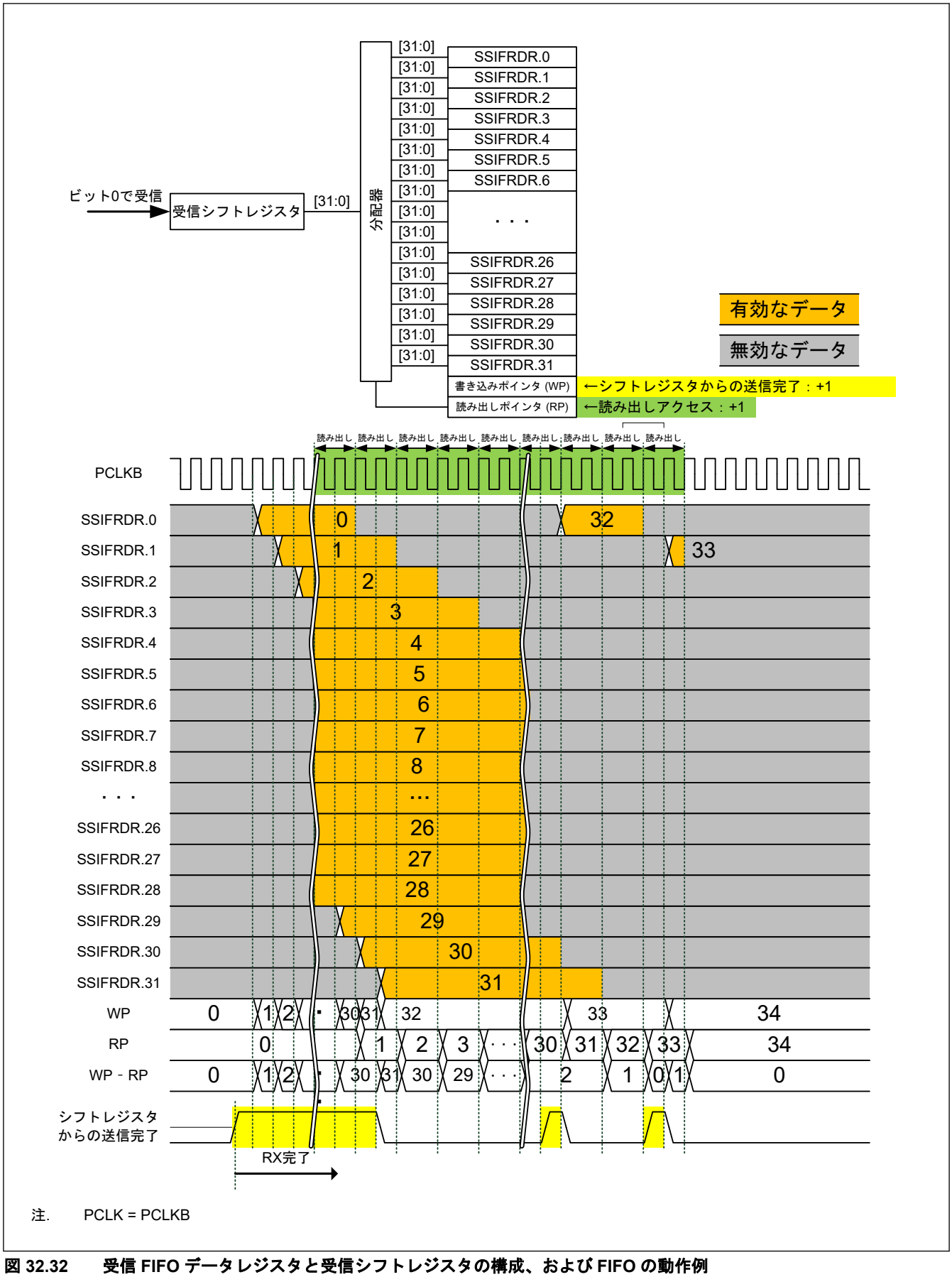
Bit position:	31																													0
Bit field:	SSIFRDR[31:0]																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	SSIFRDR[31:0]	受信 FIFO データ	R

このレジスタを受信に使うときは、このレジスタから読み出すデータを、送信データエンプティ割り込みによってトリガされる DTC/DMAC 動作として指定します。このレジスタへのアクセスサイズは、表 32.8 で通信されるデータワード長に従って決定します。

受信 FIFO データレジスタへのレジスタアクセスは、送信 FIFO データレジスタと同じです。

図 32.32 に受信 FIFO データレジスタおよび受信シフトレジスタの構成および動作例を示します。



注. PCLK = PCLKB

図 32.32 受信 FIFO データレジスタと受信シフトレジスタの構成、および FIFO の動作例

32.4.7 SSIOFR : オーディオフォーマットレジスタ

Base address: SSIE0 = 0x4009_D000

Offset address: 0x20

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OMOD[1:0]	オーディオフォーマットの選択(注3) (注4) 0 0: I²S フォーマット 0 1: TDM フォーマット 1 0: モノラルフォーマット 1 1: 設定禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	LRCONT	LRCK/FS 継続の許可／禁止(注1) (注2) 0: LRCK/FS 継続を禁止 1: LRCK/FS 継続を許可	R/W
9	BCKASTP	SSIE がアイドル状態のときの BCK 出力停止の許可／禁止(注1) (注2) 0: SSIBCK0 端子に BCK を常に出力 1: SSIBCK0 端子への BCK 出力を自動コントロール	R/W
31:10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは、マスタモード通信 (SSICR.MST = 1) でのみ有効です。スレーブモード通信 (SSICR.MST = 0) では無効です。
注 2. BCKASTP と LRCONT ビットは、同時に 1 に設定することはできません。
注 3. SSIE の通信時 (SSISR.IIRQ = 0) は、書き込みは禁止されています。これらのビットの値を変更した場合、以降の動作は予測できません。
注 4. 相手側デバイスの通信フォーマットと SSIE の通信フォーマットに互換性がある場合、相手方デバイスとの通信が可能になるような通信フォーマットを指定して使用してください。

本レジスタは、オーディオフォーマットを設定するために使用します（通信フォーマット、LR クロック／フレーム同期継続モード、および BCK 出力停止の設定を含む）。

OMOD[1:0]ビット（オーディオフォーマットの選択）

OMOD[1:0]ビットはオーディオフォーマットを設定します。これらのビットへの書き込みは、SSILRCK0/SSIFS0 端子への LR クロックの供給停止中に実行しなければなりません。LR クロック出力の詳細は、「32.4.7. SSIOFR : オーディオフォーマットレジスタ」の LRCONT ビットについての説明を参照してください。

LRCONT ビット（LRCK/FS 継続の許可／禁止）

LRCONT ビットは、マスタモード通信 (SSICR.MST = 1) かつ SSIE がアイドル状態 (SSISR.IIRQ = 1) のとき、SSILRCK0/SSIFS0 端子からの出力を許可または禁止します。

アイドル状態のときでも、マスタモード (SSICR.MST = 1) で本ビットを 1 にした場合（LR クロック／フレーム同期継続を許可）、SSILRCK0/SSIFS0 端子からの信号出力が可能です。

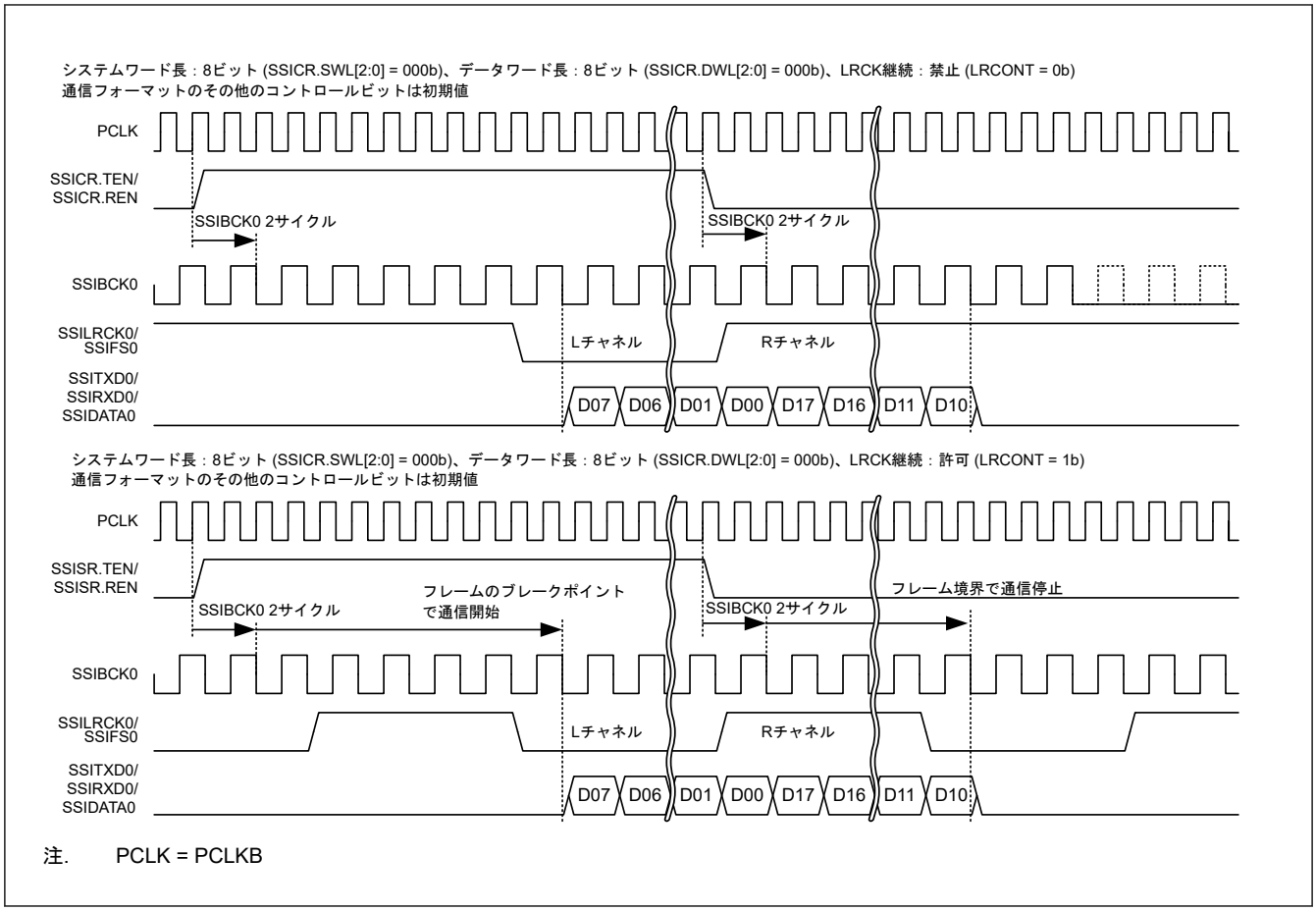


図 32.33 LR クロック／フレーム同期継続の動作例

BCKASTP ビット（SSIE がアイドル状態のときの BCK 出力停止の許可／禁止）

BCKASTP ビットは、図 32.34 および図 32.35 に示したマスタモード通信 (SSICR.MST = 1) で、SSIBCK0 端子への BCK 出力機能をオン／オフにします。

本ビットの値を変更する場合は、使用する通信フォーマットを設定してからにしてください。

本ビットの使用方法は、以下のとおりです。

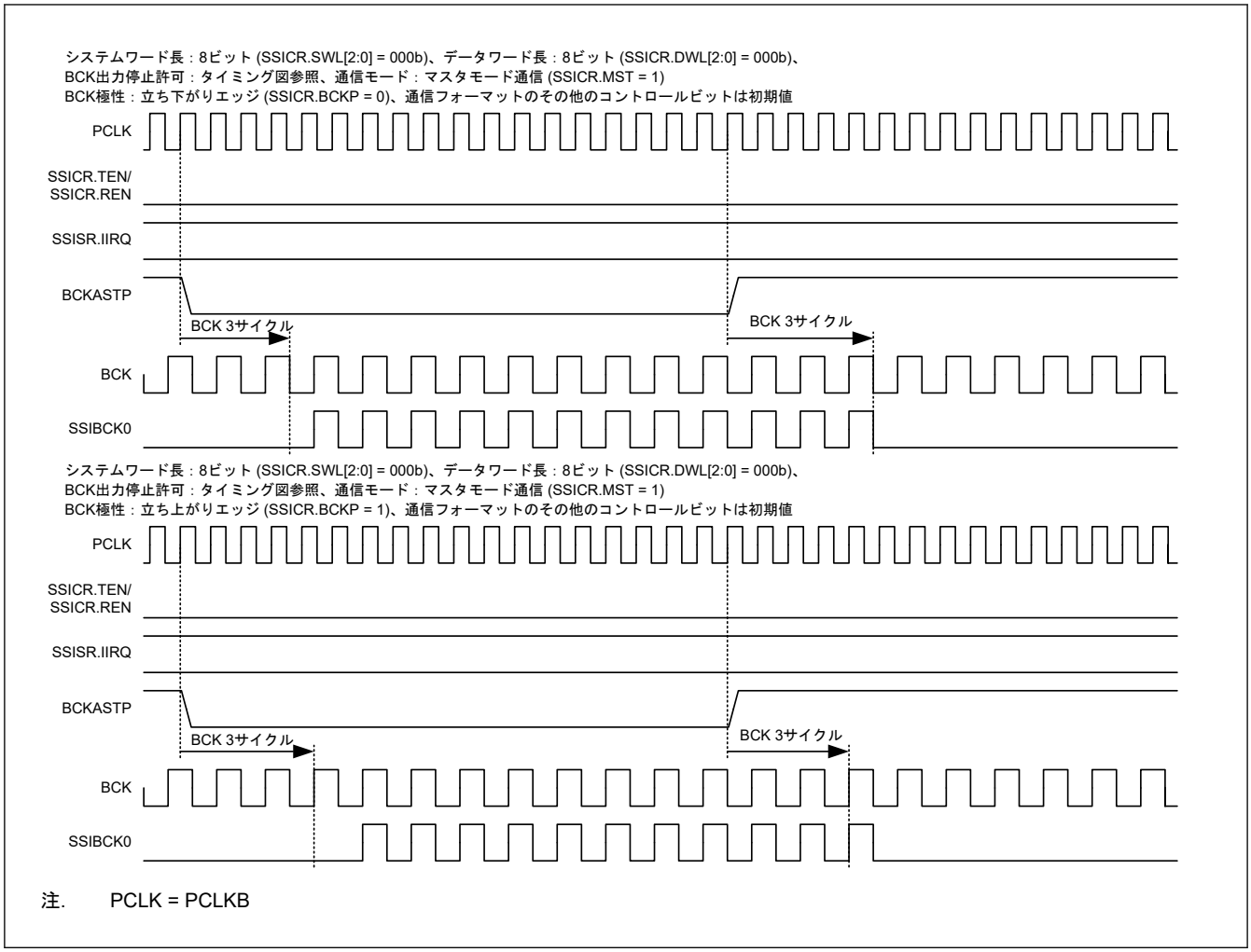
BCKASTP ビットに 0 を書き込むと、通信を開始します。通信中に、BCKASTP ビットに 1 を書き込んでください。この動作により、SSIBCK0 端子へのビットクロック出力は、通信が停止したときに自動的に停止します。通信を再開するには、SSIE をアイドル状態にして (SSICR.IIRQ = 1) 、AUDIO_MCK 供給を許可 (SSIFCR.AUCKE = 1) してから BCKASTP ビットに 0 を書き込んでください。

マスタモード通信 (SSICR.MST = 1) かつアイドル状態 (SSICR.IIRQ = 1) のとき：

表 32.9 BCKASTP ビットステータスと SSIBCK0 端子出力

BCKASTP ビット	SSIBCK0 端子出力ステータス
0	出力
1	停止

注. 相手側デバイス（スレーブ側）が、通信前および通信中に SSIBCK0 端子からのクロック出力を要求するとき、BCKASTP ビットは使用できません。この場合、通信が終了してから BCKASTP ビットでクロックを停止してください。クロック停止機能の許可タイミングの詳細は、図 32.34 を参照してください。



注. PCLK = PCLKB

図 32.34 BCKASTP ビットの動作例（アイドル状態の場合）

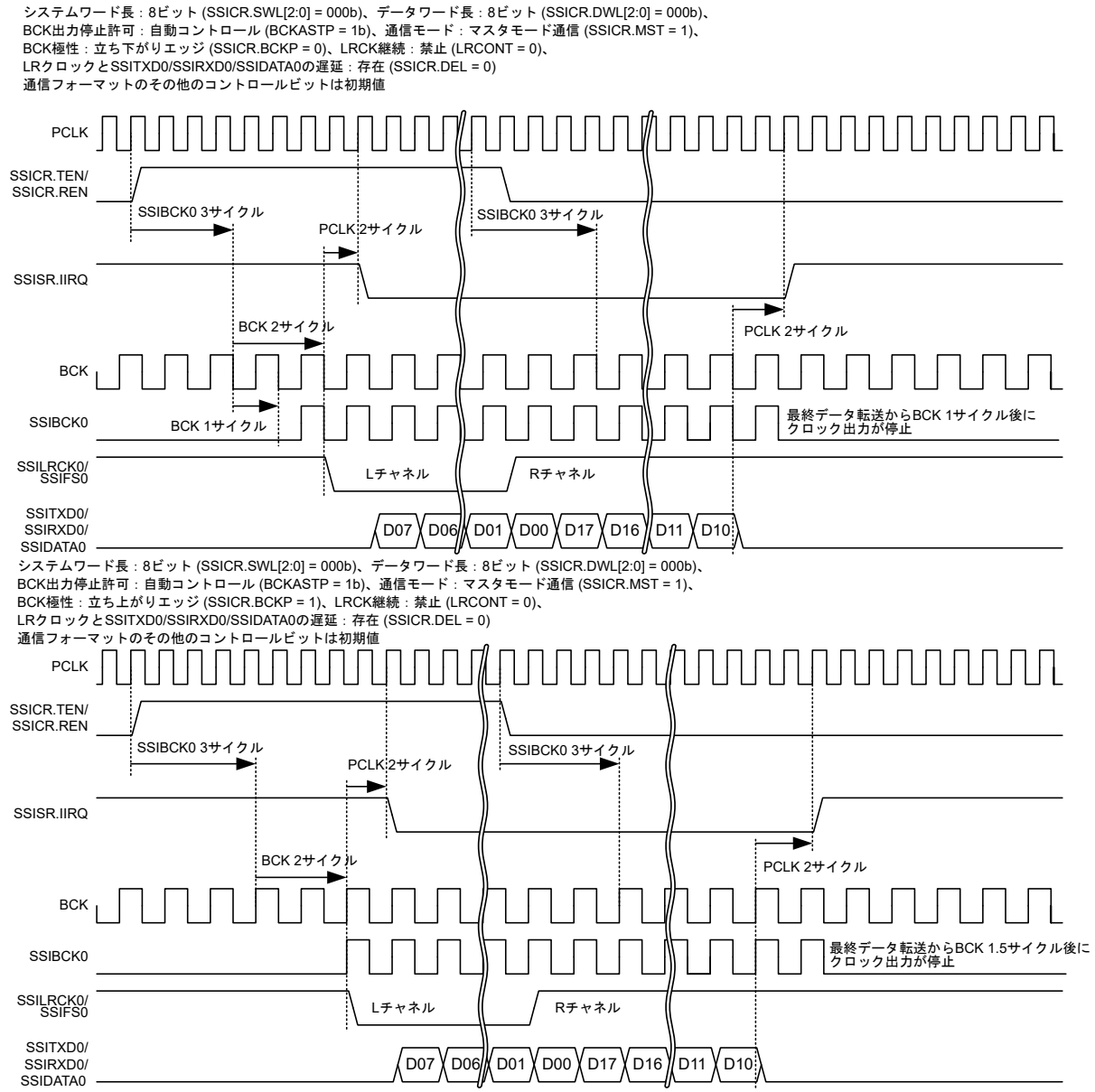
マスタモード通信 (SSICR.MST = 1) かつ BCK 出力停止機能が許可されているとき (BCKASTP = 1) :

SSIBCK0 端子への BCK 出力の詳細は、以下のとおりです。

出力開始タイミング：LR クロック／フレーム同期信号が有効な値に変換されたときに有効エッジが生成されるよう、BCK は適切なタイミングで出力されます。

出力停止タイミング：フレーム境界の 1～1.5 クロックサイクル後

それぞれのタイミングの詳細は、図 32.35 のタイミング図を参照してください。



注. PCLK = PCLKB

図 32.35 BCKASTP ビットの動作例（BCKASTP = 1 での通信動作の場合）

32.4.8　SSISCR : ステータスコントロールレジスタ

Base address: SSIE0 = 0x4009_D000

Offset address: 0x24

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	RDFS[4:0]	RDF 設定条件選択(注1) 0x00: SSIFRDR のデータサイズは 1 段以上 0x01: SSIFRDR のデータサイズは 2 段以上 ⋮ 0x1E: SSIFRDR のデータサイズは 31 段以上 0x1F: SSIFRDR のデータサイズは 32 段以上	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12:8	TDES[4:0]	TDE 設定条件選択(注1) 0x00: SSIFTDR の空きスペースは 1 段以上 0x01: SSIFTDR の空きスペースは 2 段以上 ⋮ 0x1E: SSIFTDR の空きスペースは 31 段以上 0x1F: SSIFTDR の空きスペースは 32 段以上	R/W
31:13	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1.　SSIE が通信状態 (SSISR.IIRQ = 0) の間、これらのビットへの書き込みは禁止されています。書き込みが行われた場合、書き込み直後の動作は保証されません。

RDFS[4:0]ビット（RDF 設定条件選択）

RDFS[4:0]ビットは受信データフルフラグ (RDF) の設定条件（1 になる条件）を設定します。

TDES[4:0]ビット（TDE 設定条件選択）

TDES[4:0]ビットは送信データエンプティフラグ (TDE) の設定条件（1 になる条件）を設定します。

32.5　通信フォーマット

SSIE は 3 つの通信フォーマットに対応しています。表 32.10 対応する通信フォーマットを示します。

表 32.10　対応する通信フォーマット

通信フォーマット	SSIOFR.OMOD[1:0]
I^2S フォーマット	00
TDM フォーマット	01
モノラルフォーマット	10

以下に、通信フォーマットが共有するシリアルデータ構造について説明します。シリアルデータ構造は、システムワード長 (SSICR.SWL[2:0]) およびデータワード長 (SSICR.DWL[2:0]) によって定義されます。データワード長がシステムワード長よりも短い場合、シリアルデータではパディングビットが転送されます。詳細については、図 32.36 を参照してください。

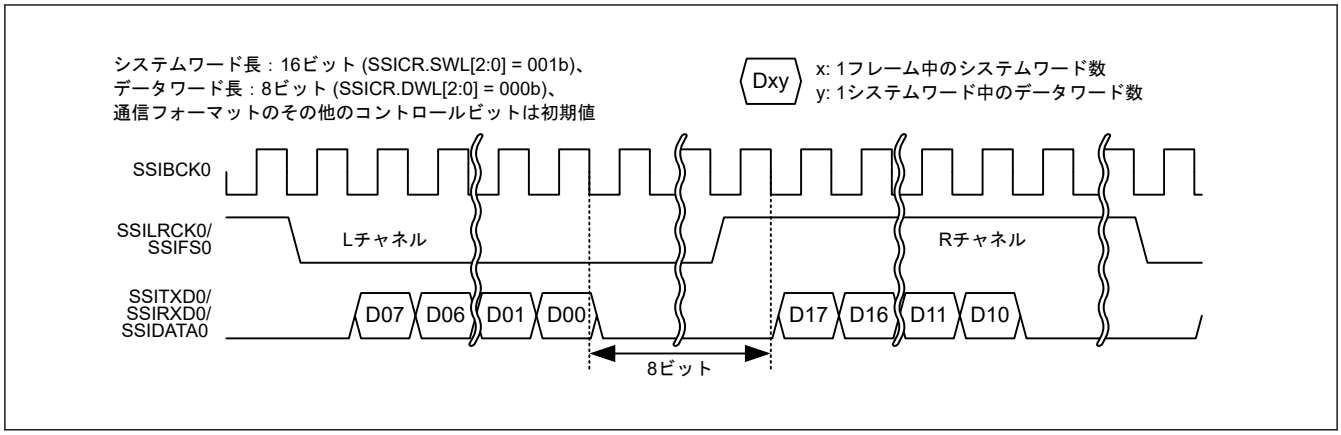


図 32.36　パディングビット転送の例（I²S フォーマット、システムワード長 > データワード長）

表 32.11 システムワード長 (SSICR.SWL[2:0]) およびデータワード長 (SSICR.DWL[2:0]) の各組合せによって送信されるパディングビットの数を示します。「-」は、その設定が禁止されていることを示します。

表 32.11　パディングビット数

	SSICR.DWL[2:0]	000b	001b	010b	011b	100b	101b	110b	111b
SSICR.SWL[2:0]	**システムワード長**	**8**	**16**	**18**	**20**	**22**	**24**	**32**	**設定禁止**
000b	8	0	—	—	—	—	—	—	—
001b	16	8	0	—	—	—	—	—	—
010b	24	16	8	6	4	2	0	—	—
011b	32	24	16	14	12	10	8	0	—
100b	48	40	32	30	28	26	24	16	—
101b	64	56	48	46	44	42	40	32	—
110b	128	120	112	110	108	106	104	96	—
111b	256	248	240	238	236	234	232	224	—

32.5.1　I²S フォーマット

I²S フォーマットは、I²S 互換シリアルデバイスとの通信に用いられる通信フォーマットです。このフォーマット設定 (SSIOFR.OMOD[1:0] = 00b) では、1 つのフレームが 2 つのシステムワードで構成されます。一方がチャネル L で、他方がチャネル R です。SSILRCK0/SSIFS0 信号は、チャネル L ではロー、チャネル R ではハイになります。SSICR.LRCKP ビットで信号の極性を設定します。図 32.37 に、パディングのない I²S フォーマットを示します。パディングありのフォーマットについては、図 32.36 を参照してください。

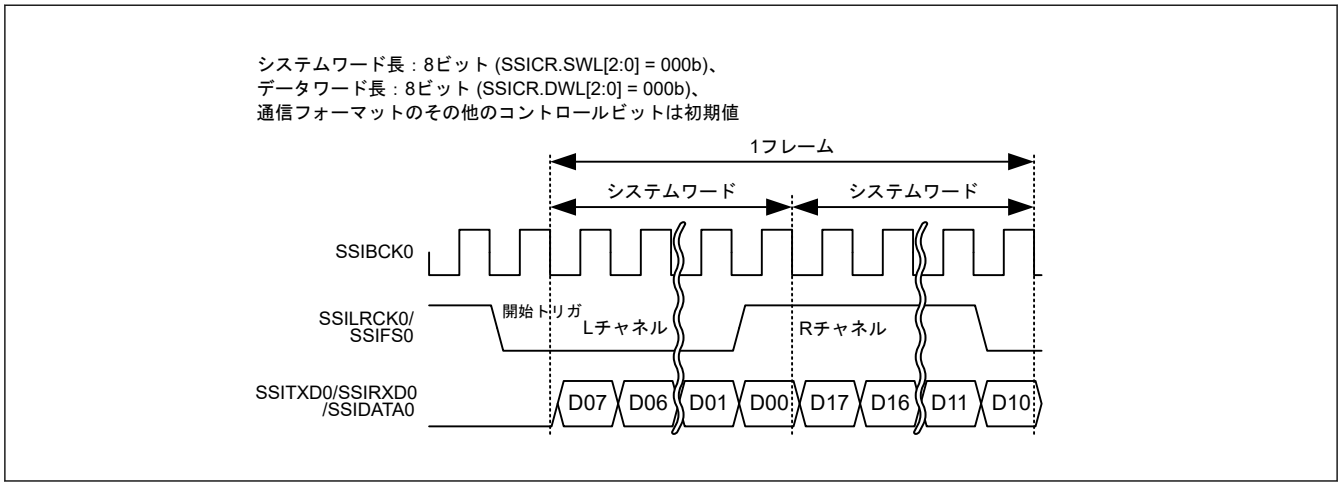


図 32.37　I²S フォーマット（パディングなし、システムワード長 = データワード長）

SSIE がアイドル状態のときの外部端子の状態については、「32.7.1. アイドル状態」を参照してください。

注.　SSIE には、通信の同期を示す SSILRCK0/SSIFS0 端子があります。SSIE がスレーブモード (SSICR.MST = 0) のとき、SSIE が使用する通信フォーマットは、相手方デバイスの通信フォーマットと一致していなければなりません。SSIE は、SSILRCK0/SSIFS0 端子の信号入力を、通信開始のトリガとしてのみ使用します。

32.5.2　モノラルフォーマット

モノラルフォーマットは、モノラル互換シリアルデバイスとの通信に用いられる通信フォーマットです。モノラルフォーマットを使用する設定 (SSIOFR.OMOD[1:0] = 10b) では、1 フレームは 1 システムワードで構成されます。また、SSILRCK0/SSIFS0 信号の立ち上がりエッジが通信開始のトリガを意味します。図 32.38 および図 32.39 に、それぞれパディングなしおよびパディングありのモノラルフォーマットを示します。

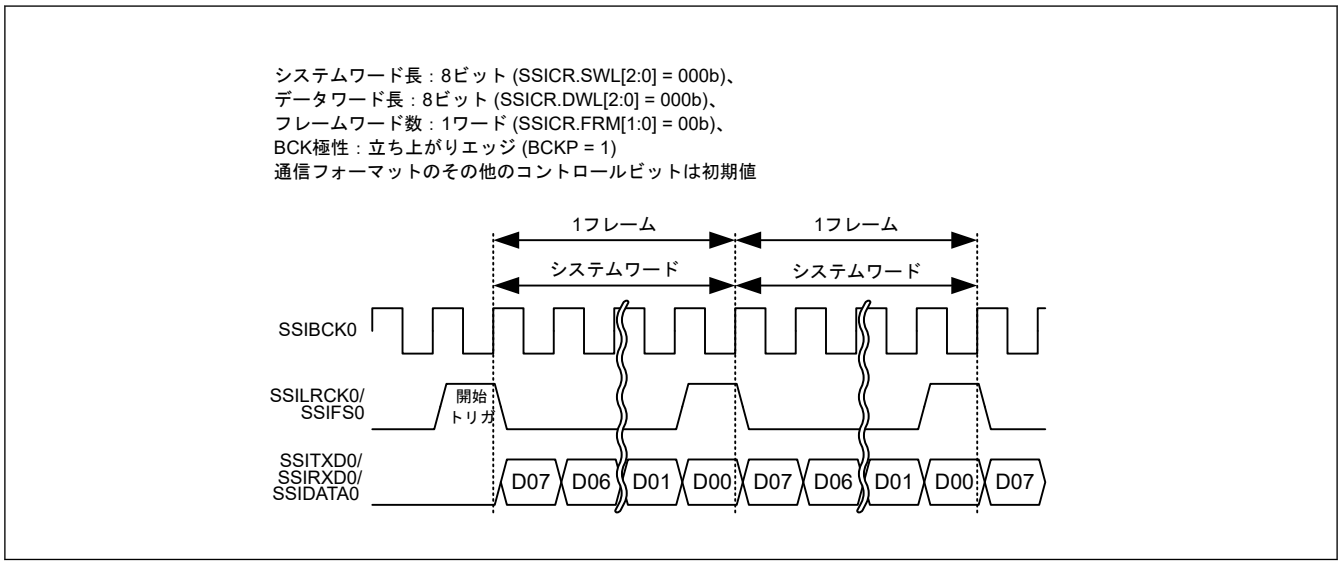


図 32.38　モノラルフォーマットにおけるショートフレーム（パディングなし、システムワード長 = データワード長）

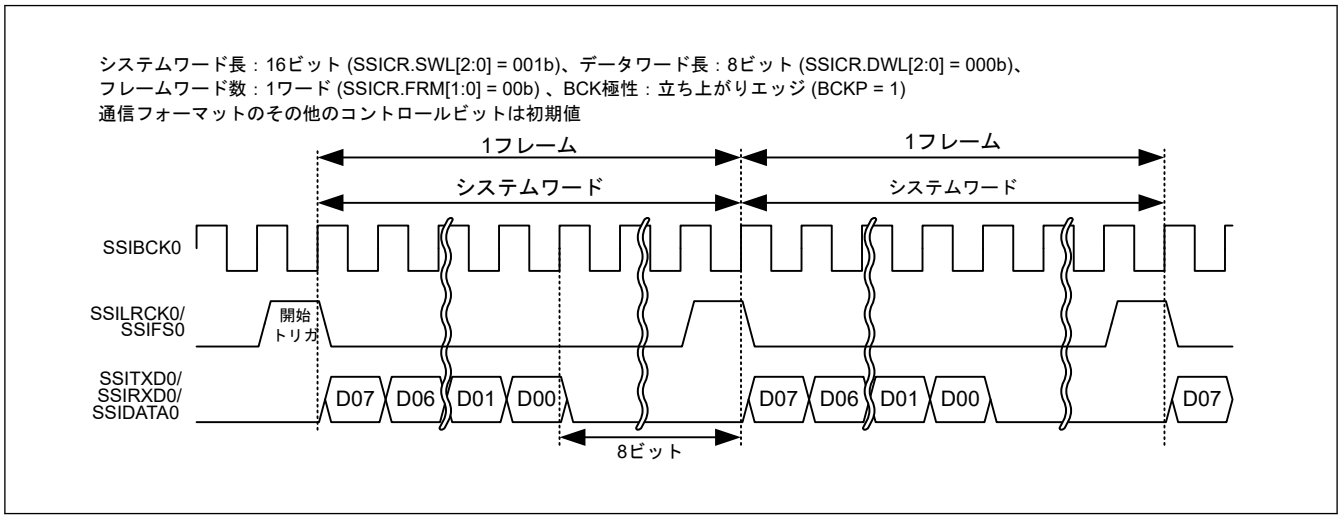


図 32.39　モノラルフォーマットにおけるショートフレーム（パディングあり、システムワード長 > データワード長）

SSIE が対応するモノラルフォーマットは、ショートフレームおよびロングフレームで構成されます。2 つのフレームの違いについては、「32.5.2.1. ショートフレーム」および「32.5.2.2. ロングフレーム」を参照してください。

SSIE がアイドル状態のときの外部端子の状態については、「32.7.1. アイドル状態」を参照してください。

注.　SSIE には、通信の同期を示す SSILRCK0/SSIFS0 端子があります。SSIE がスレーブモード (SSICR.MST = 0) のとき、SSIE が使用する通信フォーマットは、相手方デバイスの通信フォーマットと一致していなければなりません。SSIE は、SSILRCK0/SSIFS0 端子の信号入力を、通信開始のトリガとしてのみ使用します。

32.5.2.1　ショートフレーム

ショートフレームの使用中 (SSICR.DEL = 0)、シリアルデータの開始を示す SSILRCK0/SSIFS0 信号は、SSIBCK0 1 サイクルだけハイレベルに設定されます。データ送信は、信号の立ち下がりエッジで開始します。

32.5.2.2　ロングフレーム

ロングフレームの使用中 (SSICR.DEL = 1)、シリアルデータの開始を示す SSILRCK0/SSIFS0 信号は、SSIBCK0 2 サイクルだけハイレベルに設定されます。図 32.40 を参照してください。データ転送は、信号の立ち上がりエッジで開始します。

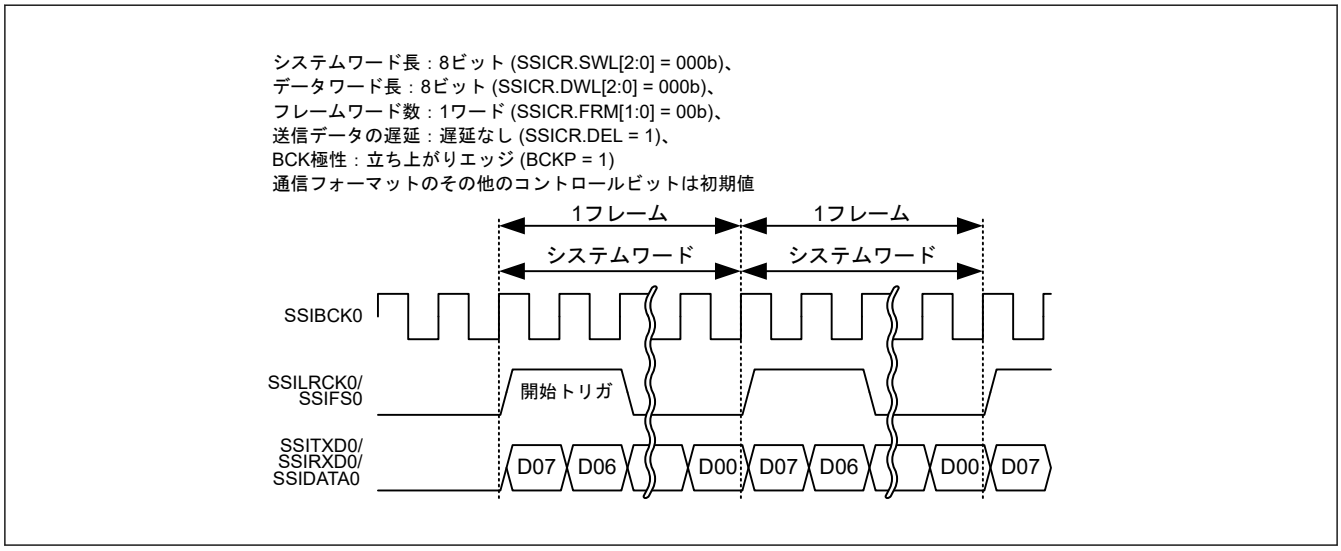


図 32.40　モノラルフォーマットにおけるロングフレーム（パディングなし）

32.5.3　TDM フォーマット

TDM フォーマットは、TDM 互換マルチチャネルデバイスとの通信に用いられる通信フォーマットです。このフォーマット設定 (SSIOFR.OMOD[1:0] = 01b) では、SSICR.FRM[1:0]ビットで設定される 4～8 のシステムワードで 1 フレームが構成されます。このフォーマットでは、SSILRCK0/SSIFS0 信号は最初のシステムワードでハイレベル、それ以外ではローレベルとなります。SSILRCK0/SSIFS0 信号上で生成されるパルスは SYNC パルスと定義され、その立ち上がりエッジが 1 フレームの開始を意味します。図 32.41 および図 32.42 に、それぞれパディングなしおよびありの TDM フォーマットを示します。

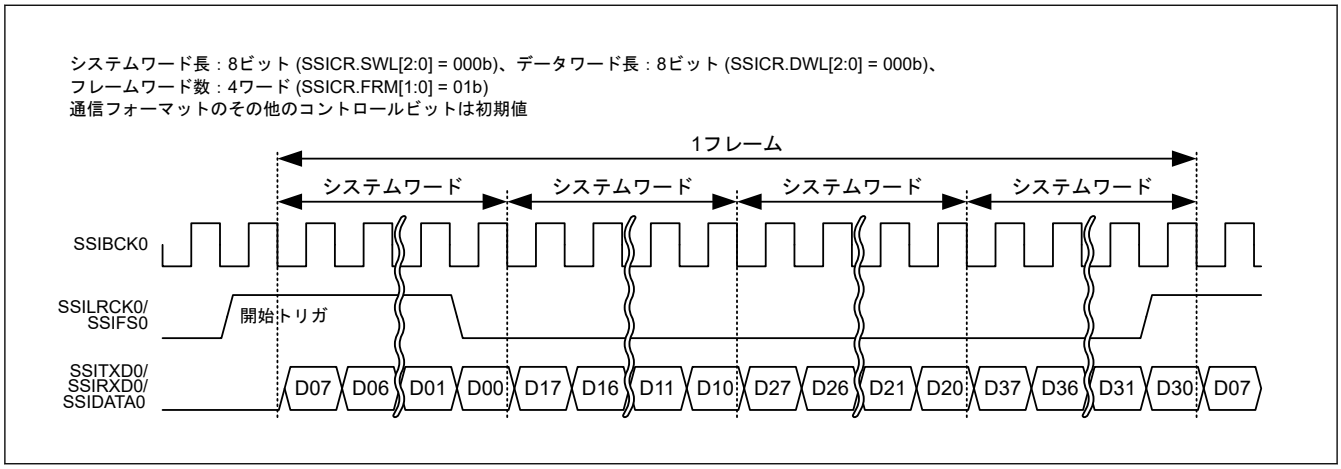


図 32.41　TDM フォーマット（パディングなし、システムワード長 = データワード長）

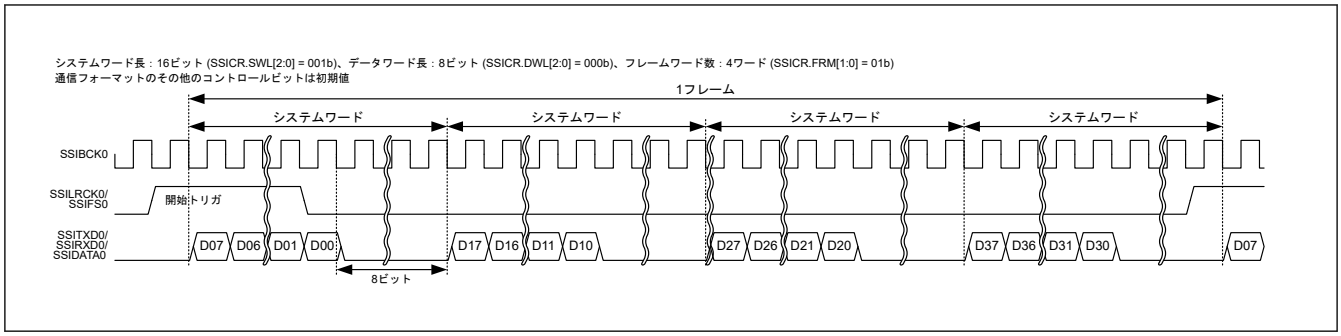


図 32.42　TDM フォーマット（パディングあり、システムワード長 > データワード長）

SSIE がアイドル状態のときの外部端子の状態については、「32.7.1. アイドル状態」を参照してください。

注.　SSIE には、通信の同期を示す SSILRCK0/SSIFS0 端子があります。SSIE がスレーブモード (SSICR.MST = 0) のとき、SSIE が使用する通信フォーマットは、相手方デバイスの通信フォーマットと一致していなければなりません。SSIE は、SSILRCK0/SSIFS0 端子の信号入力を、通信開始のトリガとしてのみ使用します。

32.6　通信モード

SSIE は以下の通信モードに対応しています。 表 32.13 に、各通信モードで使用できないコントロールビットを示します。これらの通信モードの詳細については、「32.6.1. スレーブモード通信」から「32.6.5. 送受信」を参照してください。

表 32.12　通信モード

通信モード	SSICR.MST ビット	SSICR.REN ビット	SSICR.TEN ビット
スレーブモード送信	0	0	1
スレーブモード受信	0	1	0
スレーブモード送受信	0	1	1
マスタモード送信	1	0	1
マスタモード受信	1	1	0
マスタモード送受信	1	1	1

表 32.13　各通信モードで使用できないコントロールビット

コントロールビット	スレーブモード受信	スレーブモード送信	スレーブモード送受信	マスタモード受信	マスタモード送信	マスタモード送受信
SSICR.CKDV	無効	無効	無効	使用可能	使用可能	使用可能
SSICR.MUEN	無効	使用可能	使用可能	無効	使用可能	使用可能
SSICR.TEN	無効	使用可能	使用可能	無効	使用可能	使用可能
SSICR.REN	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIFCR.AUCKEN	無効	無効	無効	使用可能	使用可能	使用可能
SSIFCR.TIE	無効	使用可能	使用可能	無効	使用可能	使用可能
SSIFCR.RIE	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIFCR.TFRST	無効	使用可能	使用可能	無効	使用可能	使用可能
SSIFCR.RFRST	使用可能	無効	使用可能	使用可能	無効	使用可能
SSIOFR.BCKASTP	無効	無効	無効	使用可能	使用可能	使用可能
SSIOFR.LRCONT	無効	無効	無効	使用可能	使用可能	使用可能
SSIOFR.OMOD	使用可能	使用可能	使用可能	使用可能	使用可能	使用可能
SSISCR.TDES	無効	使用可能	使用可能	無効	使用可能	使用可能
SSISCR.RDFS	使用可能	無効	使用可能	使用可能	無効	使用可能

「無効」は、動作への影響がないことを意味します。書き込みは可能です。

32.6.1 スレーブモード通信

SSICR.MST = 0 のとき、SSIE はスレーブモードで動作します。シリアルデータ通信で使用する SSIBCK0 および SSILRCK0/SSIFS0 信号は、外部デバイスから供給されなければなりません。これらの信号が SSIE の通信フォーマット設定と一致しない場合、動作は保証できません。

32.6.2 マスタモード通信

SSICR.MST = 1 のとき、SSIE はマスタモードで動作します。シリアルデータ通信で使用する SSIBCK0 および SSILRCK0/SSIFS0 信号は、内部のオーディオクロックから生成されなければなりません。これらの信号は、SSIE の設定に応じたフォーマットを使用します。スレーブデバイスが使用する通信フォーマットが SSIE の通信フォーマットと一致しない場合、動作は予測できません。

32.6.3 送信

SSICR.TEN ビットが 1 かつ SSICR.REN ビットが 0 のとき、SSIE は相手方デバイスにシリアルデータを送信します。相手方デバイスが使用する通信フォーマットが SSIE の通信フォーマットと一致しない場合、動作は予測できません。

32.6.4 受信

SSICR.TEN ビットが 0 かつ SSICR.REN ビットが 1 のとき、SSIE は相手方デバイスからシリアルデータを受信します。相手方デバイスが使用する通信フォーマットが SSIE の通信フォーマットと一致しない場合、動作は予測できません。

32.6.5 送受信

SSICR.TEN ビットが 1 かつ SSICR.REN ビットが 1 のとき、SSIE は相手方デバイスとの間でシリアルデータを送受信します。相手方デバイスが使用する通信フォーマットが SSIE の通信フォーマットと一致しない場合、動作は予測できません。

32.7 動作説明

SSIE には主な動作状態が 2 つあります。図 32.43 に、SSIE の状態遷移を示します。

- アイドル状態 (SSISR.IIRQ = 1)
- 通信状態 (SSISR.IIRQ = 0)

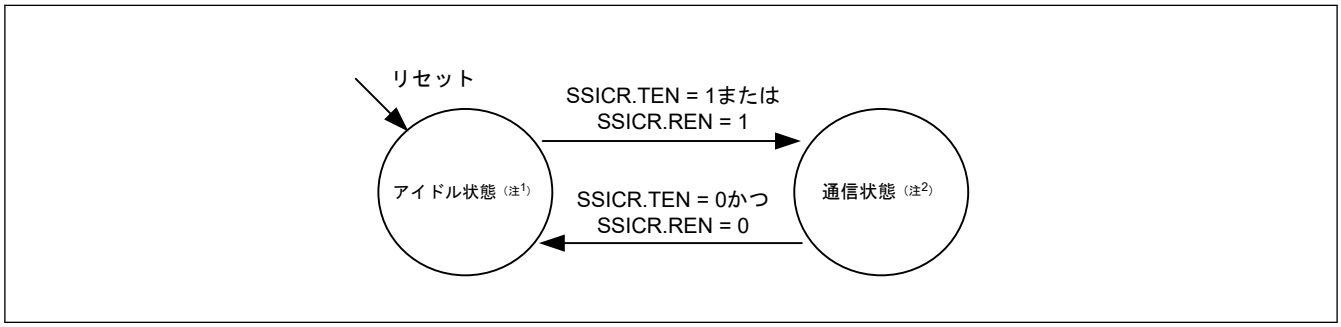


図 32.43 SSIE の状態遷移

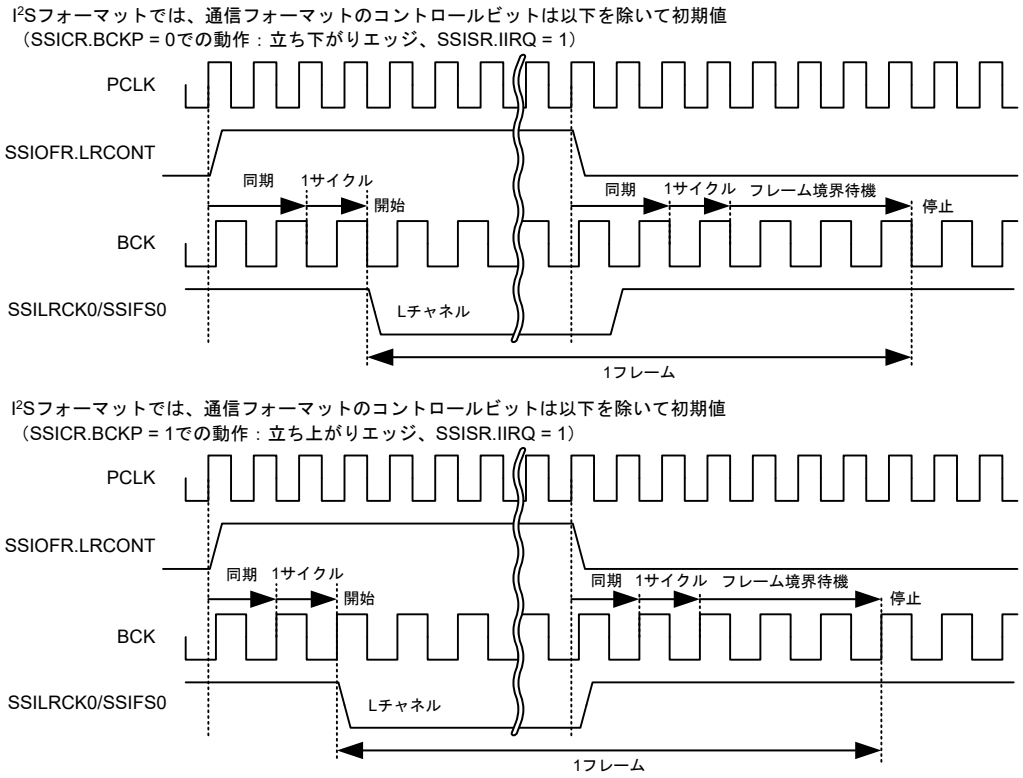
注. アイドル状態の詳細については、「32.8.1. 通信開始」を参照してください。
通信状態の詳細については、「32.8.2. 送信」を参照してください。

32.7.1 アイドル状態

この状態では、SSIE の通信は停止しています。ただし、SSICR.MST ビットが 1 のときは、外部端子への BCK および LR クロック／フレームの同期信号の出力を、SSIOFR.BCKASTP および SSIOFR.LRCONT ビットの設定によってコントロールできます。この機能は、すべてのフォーマットに共通です。詳細については、表 32.14 を参照してください。

表 32.14　アイドル状態における外部端子からの出力

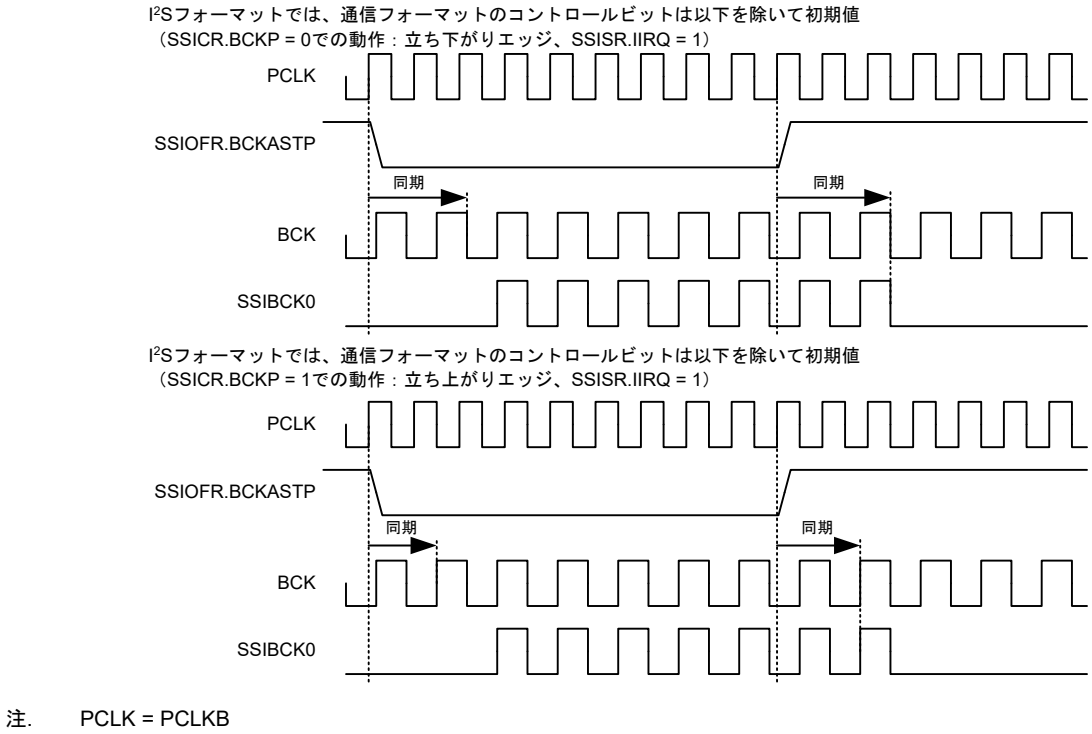
SSICR.MST	SSIOFR.BCKASTP	SSIOFR.LRCONT	端子からの出力		
			SSIBCK0	SSILRCK0/SSIFS0	SSITXD0/SSIDATA0
0	—	—	停止	停止	停止
1	0	0	供給	停止	停止
1	0	1	供給	供給	停止
1	1	0	停止	停止	停止
1	1	1	停止	供給	停止



注.　PCLK = PCLKB

図 32.44　SSIOFR.LRCONT による LR クロック／フレーム同期継続禁止の例

注.　マスタモード通信 (SSICR.MST = 1) 時、SSIE がアイドル状態のときに SSIOFR.LRCONT で SSILRCK0/SSIFS0 端子への出力を停止するには、以下に留意してください。SSIOFR.LRCONT ビットの値が 1 から 0 に変化したときに出力が停止します。相手方デバイスへの影響がないことを確認してください。



注. PCLK = PCLKB

図 32.45 SSIOFR.BCKASTP による SSIBCK0 停止の例

注. マスタモード通信 (SSICR.MST = 1) 時、SSIE がアイドル状態のときに SSIOFR.BCKASTP で SSIBCK0 端子への出力を停止するには、以下に留意してください。SSIOFR.BCKASTP ビットの値が 0 から 1 に変化したときに出力が停止します。相手方デバイスへの影響がないことを確認してください。

32.7.2 通信状態

この状態では、SSIE は通信中です。 図 32.46 に通信状態の遷移を、表 32.15 に遷移条件を示します。遷移条件が満たされないと、状態は遷移しません。

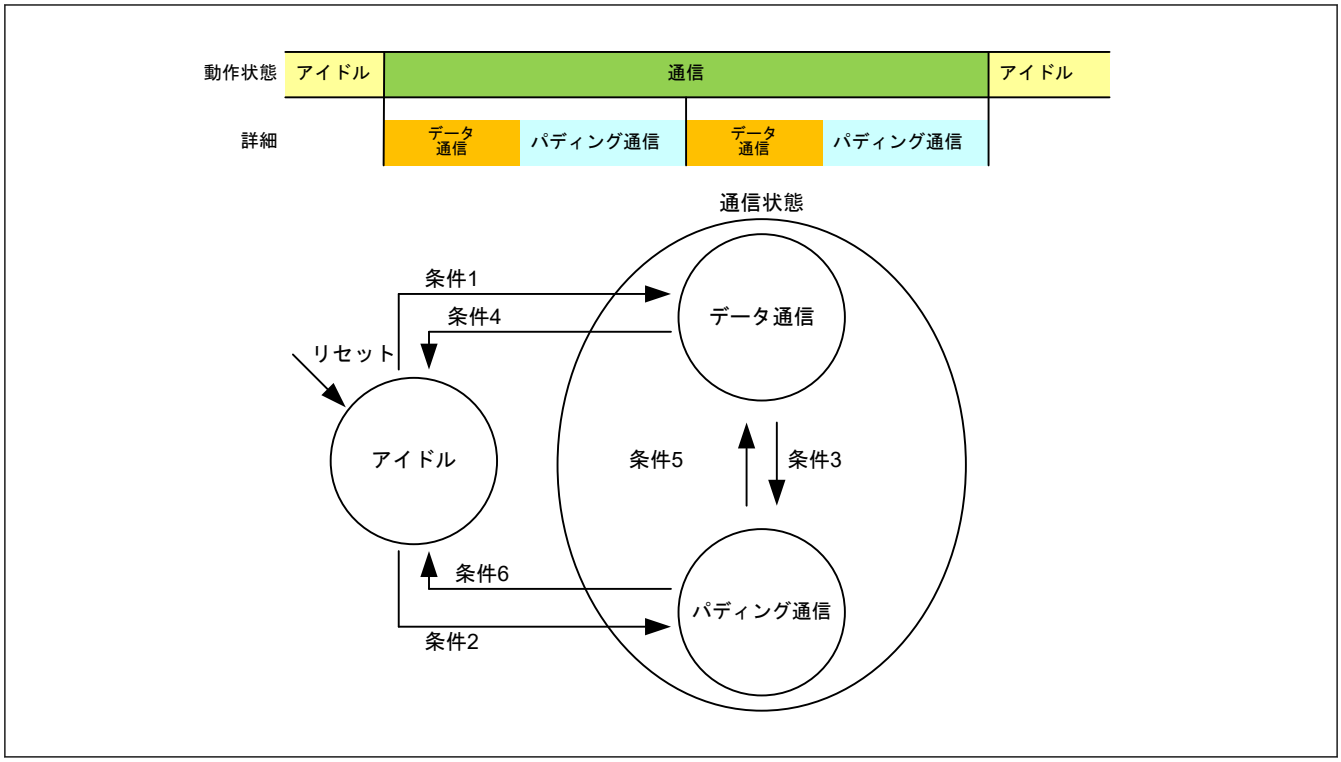


図 32.46　通信状態の遷移

表 32.15　通信状態の遷移条件

条件番号	遷移条件
1	SSICR.SDTA = 0 またはパディングビットなしの設定時に、SSICR.TEN = 1 または SSICR.REN = 1 を書き込んだとき
2	SSICR.SDTA = 1 かつパディングビットありの設定時に、SSICR.TEN = 1 または SSICR.REN = 1 を書き込んだとき
3	次の 3 つの条件がすべて満たされたとき ● SSICR.TEN = 1 または SSICR.REN = 1 ● パディングビットありの設定 ● データワードの最終ビットの転送が完了した
4	次の 2 つの条件が両方満たされたとき ● SSICR.SDTA = 1 またはパディングビットなし ● SSICR.TEN = 0 かつ SSICR.REN = 0 の間に、フレームのデータワードの最終ビットの転送が完了した
5	SSICR.TEN = 1 または SSICR.REN = 1 の間に、最終パディングビットの転送が完了した
6	次の 2 つの条件が両方満たされたとき ● SSICR.SDTA = 0 かつパディングビットあり ● SSICR.TEN = 0 かつ SSICR.REN = 0 の間に、最終パディングビットの転送が完了した

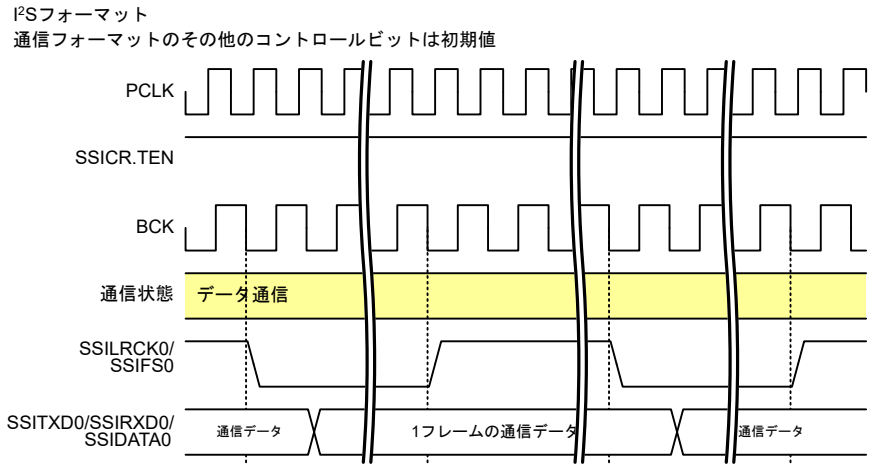
パディング有無の設定については、表 32.11 を参照してください。

32.7.2.1　データ通信状態

この状態では、SSIE は通信中です。SSICR.DWL[2:0]で設定されたデータワード長のデータが、送信、受信、または送受信されます。

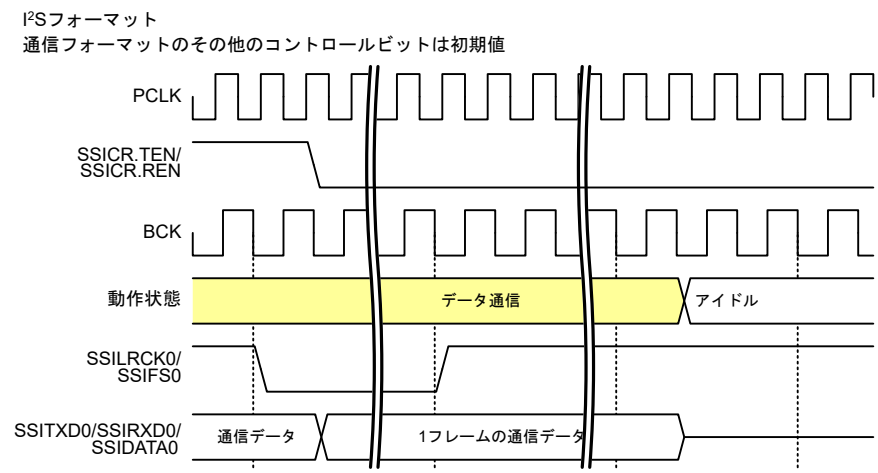
- パディングビットなし設定時の状態遷移

通信中 (SSISR.IIRQ = 0)、SSIE は常時データ通信を行っています。送受信を禁止する（SSICR.TEN = 0、SSICR.REN = 0）ことで、SSIE はアイドル状態に遷移します。詳細については、図 32.47 および図 32.48 を参照してください。



注. PCLK = PCLKB

図 32.47 データ通信の継続

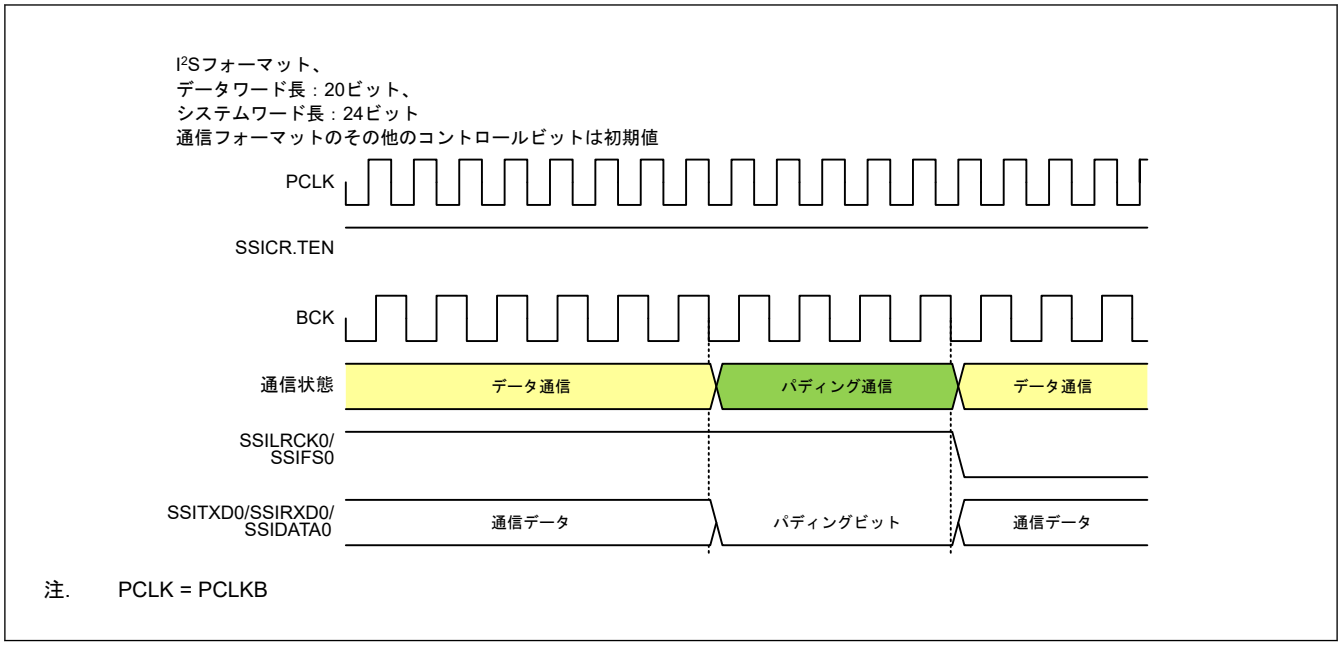


注. PCLK = PCLKB

図 32.48 データ通信からの停止（パディングビットなし）

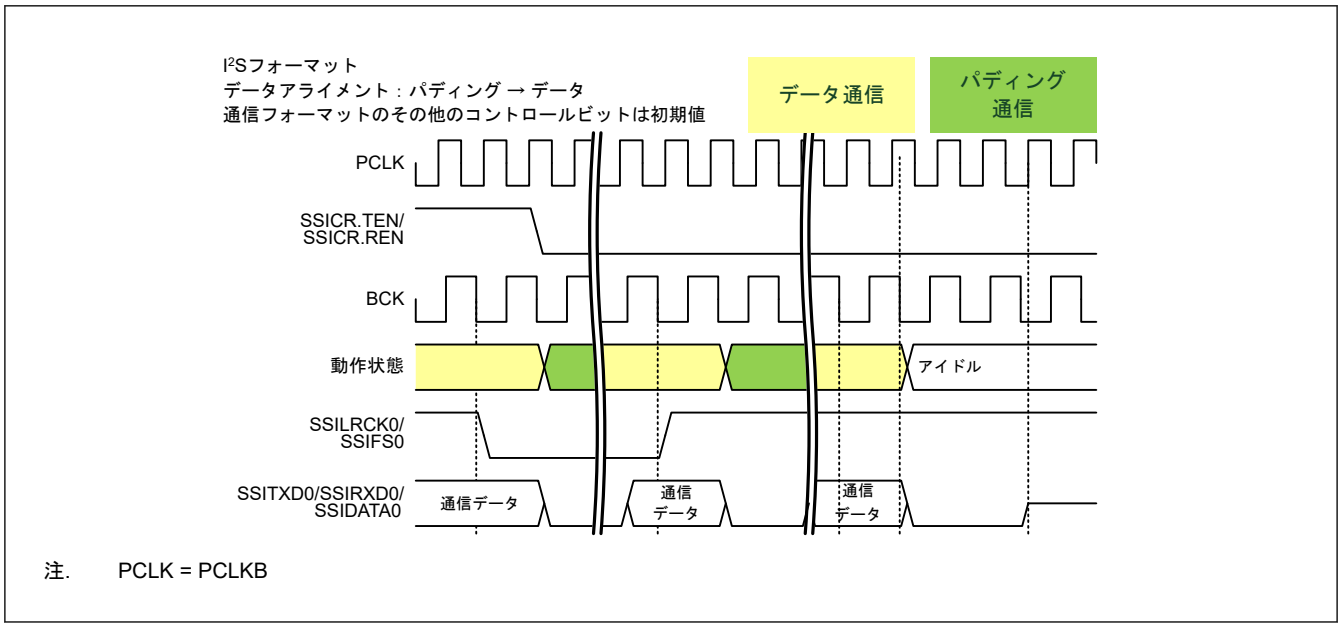
- パディングビットあり設定時の状態遷移

図 32.49 に示すとおり、通信中 (SSISR.IIRQ = 0) にデータワードの最終ビットの送信が完了すると、SSIE はデータ通信状態からパディング通信状態に遷移します。SSICR.SDTA=1 かつ送受信が禁止（SSISR.TEN = 0 かつ SSICR.REN = 0）の状態を除き、図 32.50 に示すとおり、SSIE は通信を停止するとデータ通信状態からアイドル状態に遷移します。



注. PCLK = PCLKB

図 32.49 データ通信からパディング通信への遷移



注. PCLK = PCLKB

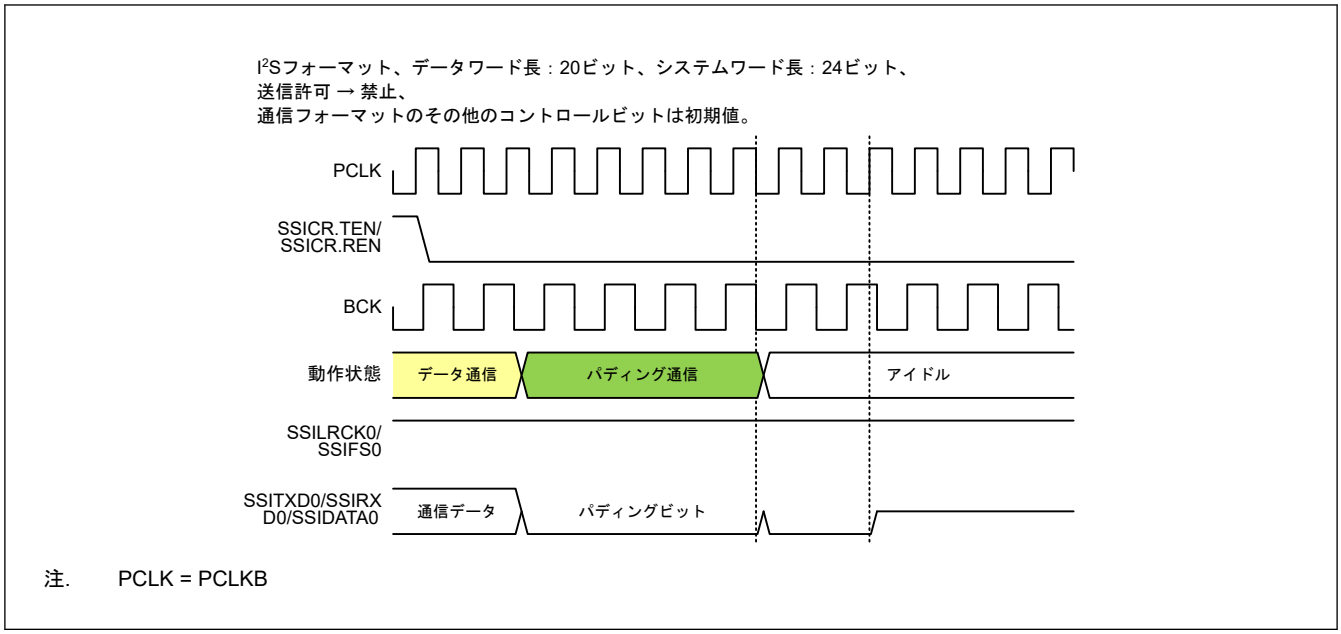
図 32.50 データ通信からの停止（パディングビットあり）

32.7.2.2 パディング通信

この状態では、SSIE は通信中です。SSICR.SWL[2:0]ビットおよび SSICR.DWL[2:0]で設定されたパディングビットが、送信、受信、または送受信されます。

- パディングビットあり設定時の状態遷移

図 32.49 に示すとおり、通信中 (SSISR.IIRQ = 0) に最終パディングビットの送信が完了すると、SSIE はデータ通信状態に遷移します。SSICR.SDTA = 0 かつ送受信が禁止（SSISR.TEN = 0 かつ SSICR.REN = 0）の状態の場合、図 32.51 に示すとおり、SSIE は通信を停止するとパディング通信状態からアイドル状態に遷移します。



注.　PCLK = PCLKB

図 32.51　パディング通信からの停止

32.8　通信動作

図 32.52 に、SSIE の通信フローを示します。

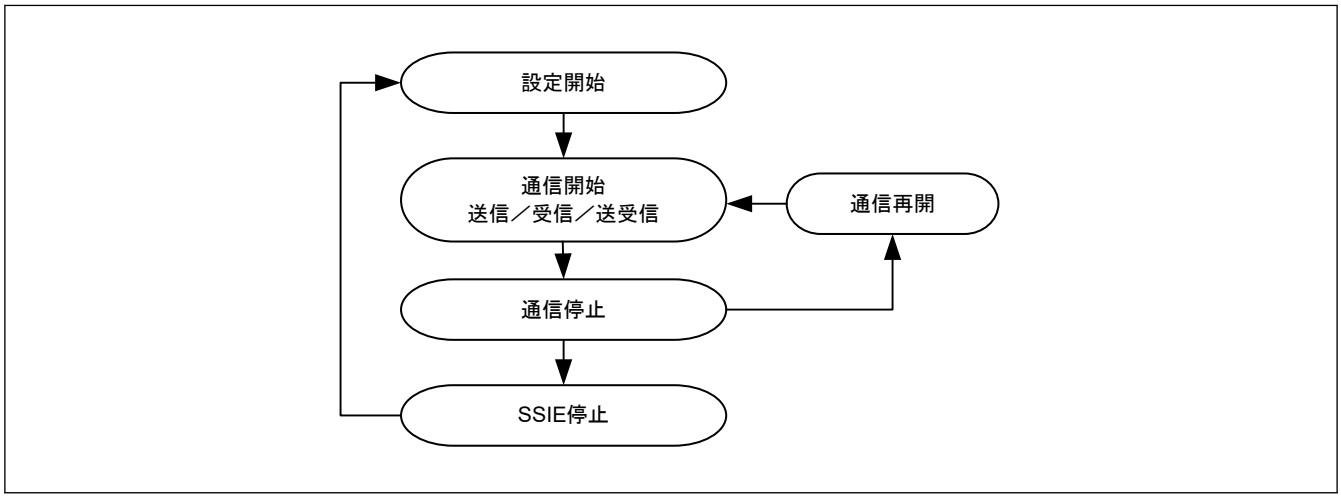
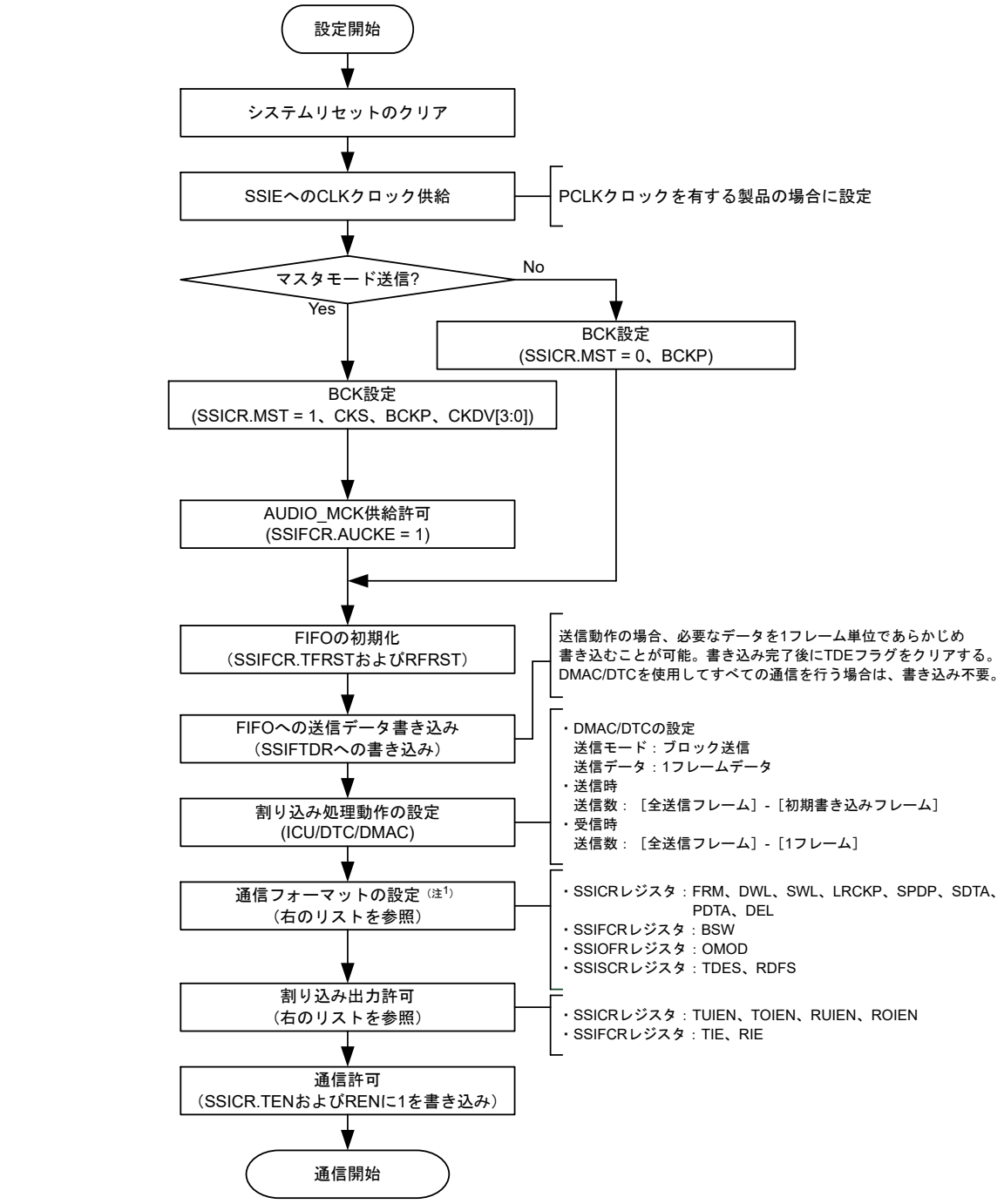


図 32.52　SSIE の通信動作

各動作の手順は、「32.8.1. 通信開始」～「32.8.7. 通信再開」で説明しています。

32.8.1　通信開始

本セクションでは、SSIE の通信を開始する方法について説明します。図 32.53 に、通信開始手順を示します。必ずこの手順に従ってください。送信動作については「32.8.2. 送信」、受信動作については「32.8.3. 受信」を参照してください。



注. PCLK = PCLKB
注 1. 通信フォーマットの設定が完了してから、SSICR.MUEN、SSIOFR.BCKASTP、SSIOFR.LRCONT を設定します。

図 32.53 通信開始手順（CPU 動作手順）

SSIE は、DTC/DMAC 割り込みによる連続通信が可能です。送信するには、SSIFCR.TIE、SSICR.TUIEN、SSICR.TOIEN に 1 を書き込みます。受信するには、SSIFCR.RIE、SSICR.RUIEN、SSICR.ROIEN に 1 を書き込みます。

32.8.2 送信

送信動作全体を通して、図 32.54 に示す送信手順に従う必要があります。

送信を許可（SSICR.TEN = 1 かつ SSICR.REN = 0）にしたあと、SSILRCK0/SSIFS0 によって開始トリガが生成されると、SSIE は送信 FIFO データレジスタ (SSIFTDR) に含まれる少なくとも 1 フレームのシリアルデータで送信を開始します。SSIE は、TDE 設定条件 (SSISCR.TDES) および通信の開始手順で指定した送信データエンプティ割り込み許可ビット (SSIFCR.TIE) の状態に応じて、送信データエンプティ割り込みを DTC/DMAC に出力します。この割り込みは、送信 FIFO データレジスタ (SSIFTDR) への書き込みを要求します。通信開始手順では、送信データエンプティ割り込みに対応する DTC/DMAC 動作として、送信 FIFO データレジスタ (SSIFTDR) への書き込みを指定します。この設定により、SSIE は CPU を経由せずに連続的にデータを送信できます。送信 FIFO データレジスタの空き容量が SSISCR.TDES で設定した値に達したとき、送信データエンプティ割り込みが生成されます。書き込み回数は、送信データエンプティ割り込みによって示される送信 FIFO データレジスタの空き容量に応じて指定してください。エラー発生時は、通信停止手順で説明するエラー処理手順を実行してください。

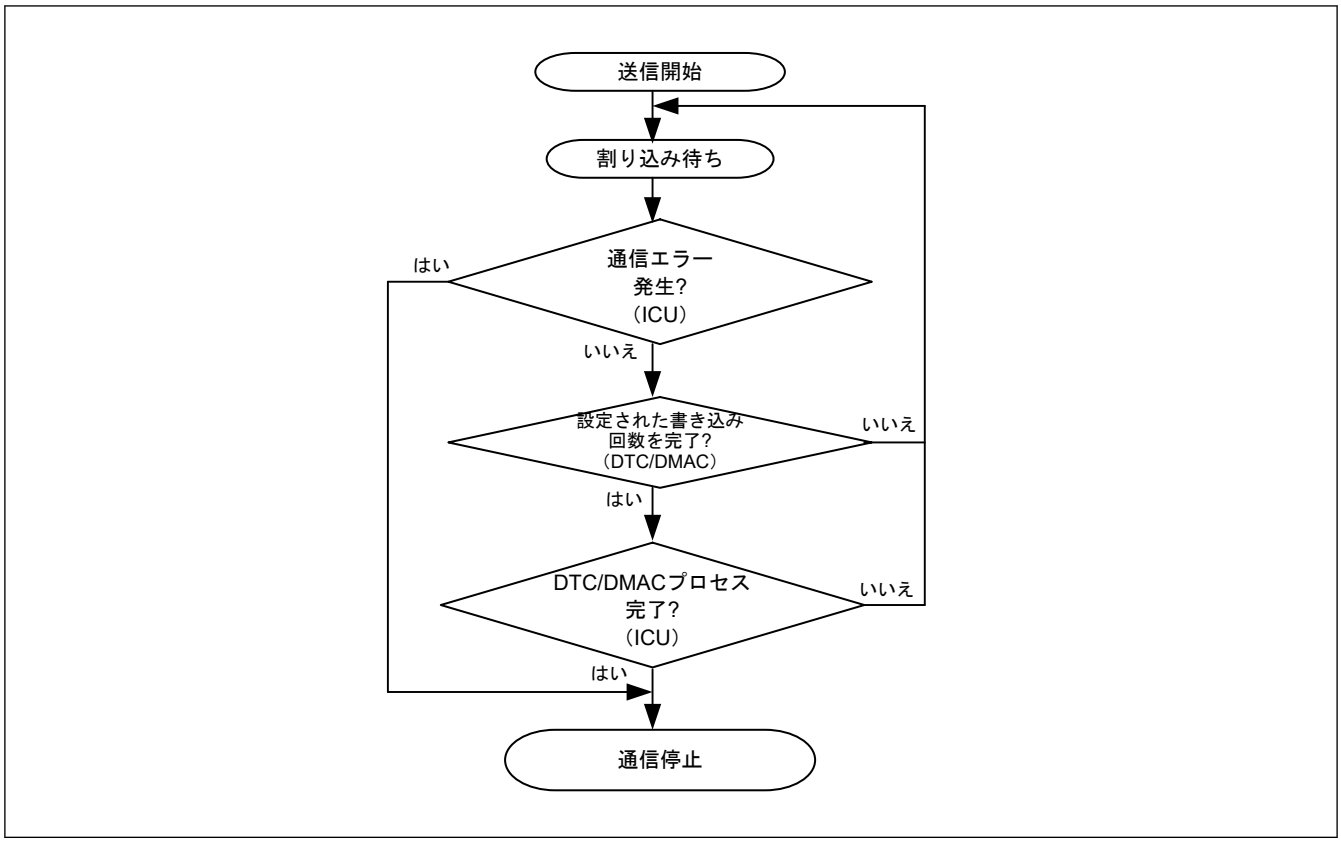


図 32.54　送信手順

注.　SSIE で定義される通信フローは、DTC/DMAC を使用します。DTC/DMAC を使用していないときに SSIFTDR にデータを書き込むには、SSIFSR.TDE の値 1 のポーリングを実行します。SSISCR.TDE の値 1 検出による SSIFTDR へのデータ書き込み回数は、SSISCR.TDES で指定される送信 FIFO データレジスタの空き容量に応じて指定してください。空き容量と同量の送信データが SSIFTDR に書き込まれた場合、SSIFSR.TDE フラグはクリアされなければなりません。データ書き込みを繰り返すことで、連続送信が有効になります。SSIFSR.TDE フラグは、意図的にクリアしない限り自動でクリアされることはありません。

32.8.3　受信

受信動作全体を通して、図 32.55 に示す受信手順に従う必要があります。

受信を許可（SSICR.TEN = 0 かつ SSICR.REN = 1）したあと、SSILRCK0/SSIFS0 によって開始トリガが生成されると、SSIE は受信を開始します。SSIE は、RDF 設定条件 (SSISCR.RDFS) および通信の開始手順で指定した受信データフル割り込み許可ビット (SSIFCR.RIE) の状態に応じて、受信データフル割り込みを DTC/DMAC に出力します。この割り込みは、受信 FIFO データレジスタ (SSIFRDR) からの読み出しを要求します。通信開始手順では、受信データフル割り込みに対応する DTC/DMAC 動作として、受信 FIFO データレジスタ (SSIFRDR) からの読み出しを指定します。この設定により、SSIE は CPU を経由せずに連続的にデータを読み出すことができます。受信データフル割り込みは、受信 FIFO データレジスタの容量と同量のデータが保存されたときに生成されます。

読み込み回数は、受信データフル割り込みによって示される受信 FIFO データレジスタのデータサイズに従って指定されなければなりません。エラー発生時は、通信停止手順で説明するエラー処理手順を実行してください。

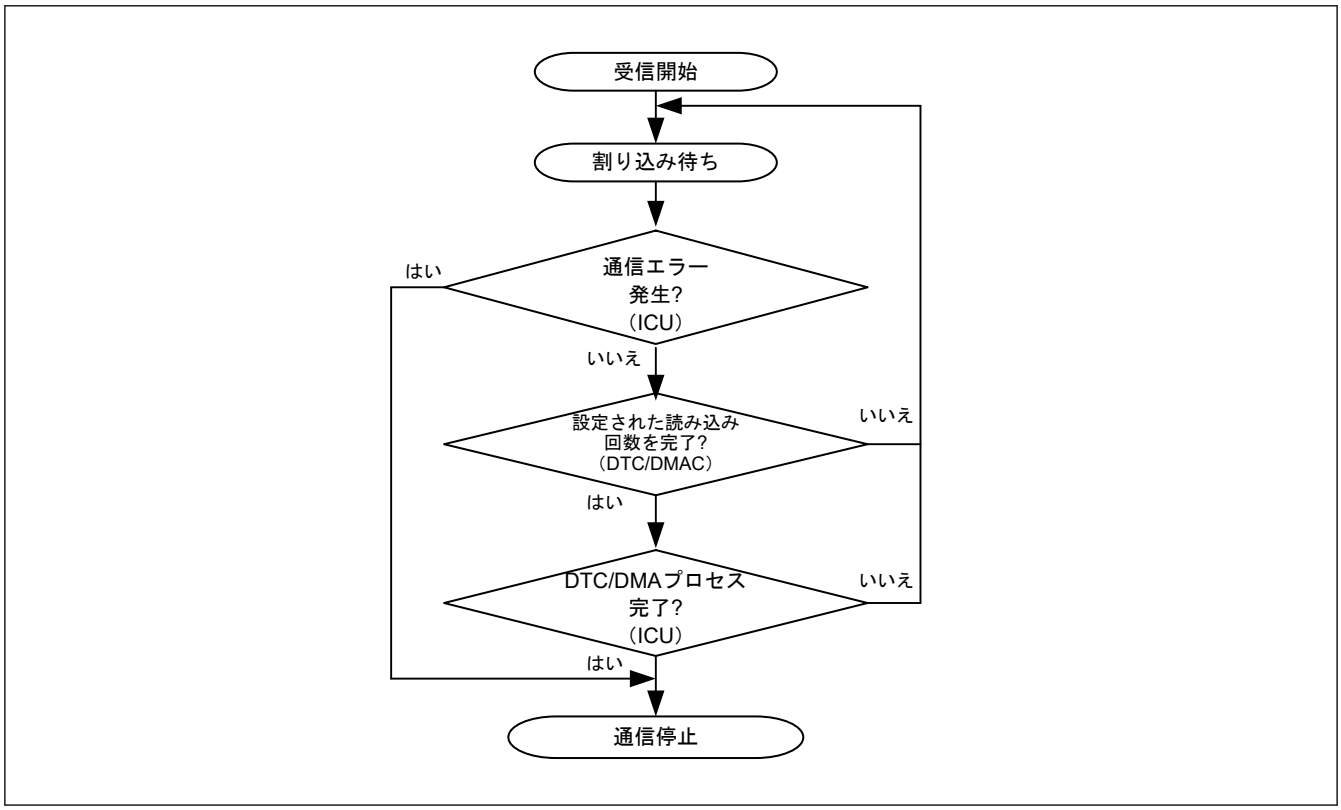


図 32.55　受信手順

注.　SSIE で定義される通信フローは、DTC/DMAC を使用します。DTC/DMAC を使用していないときに SSIFRDR からデータを読み出すには、SSIFSR.RDF の値 1 のポーリングを実行します。SSISCR.RDF の値 1 検出による SSIFRDR からのデータ読み出し回数は、SSISCR.RDFS で指定される受信 FIFO データレジスタの受信データ保存容量に応じて指定してください。受信されたデータが SSIFRDR から読み出されたら、SSIFSR.RDF フラグはクリアされなければなりません。データ読み出しを繰り返すことで、連続受信が有効になります。SSIFSR.RDF フラグは、意図的にクリアしない限り自動でクリアされることはありません。

32.8.4　送受信

送受信を許可（SSICR.TEN = 1 かつ SSICR.REN = 1）したあと、SSILRCK0/SSIFS0 によって開始トリガが生成されると、SSIE は送信 FIFO データレジスタ (SSIFTDR) に含まれる少なくとも 1 フレームのシリアルデータで送受信を開始します。SSIE は、それぞれ「32.8.2. 送信」および「32.8.3. 受信」に記載の手順を実行することで、連続的に送信および受信することが可能です。送受信を停止する方法については、「32.8.5. 通信停止」を参照してください。

32.8.5　通信停止

本セクションでは、SSIE の通信を停止する方法について説明します。 図 32.56 に、通信停止手順を示します。必ず手順に従ってください。

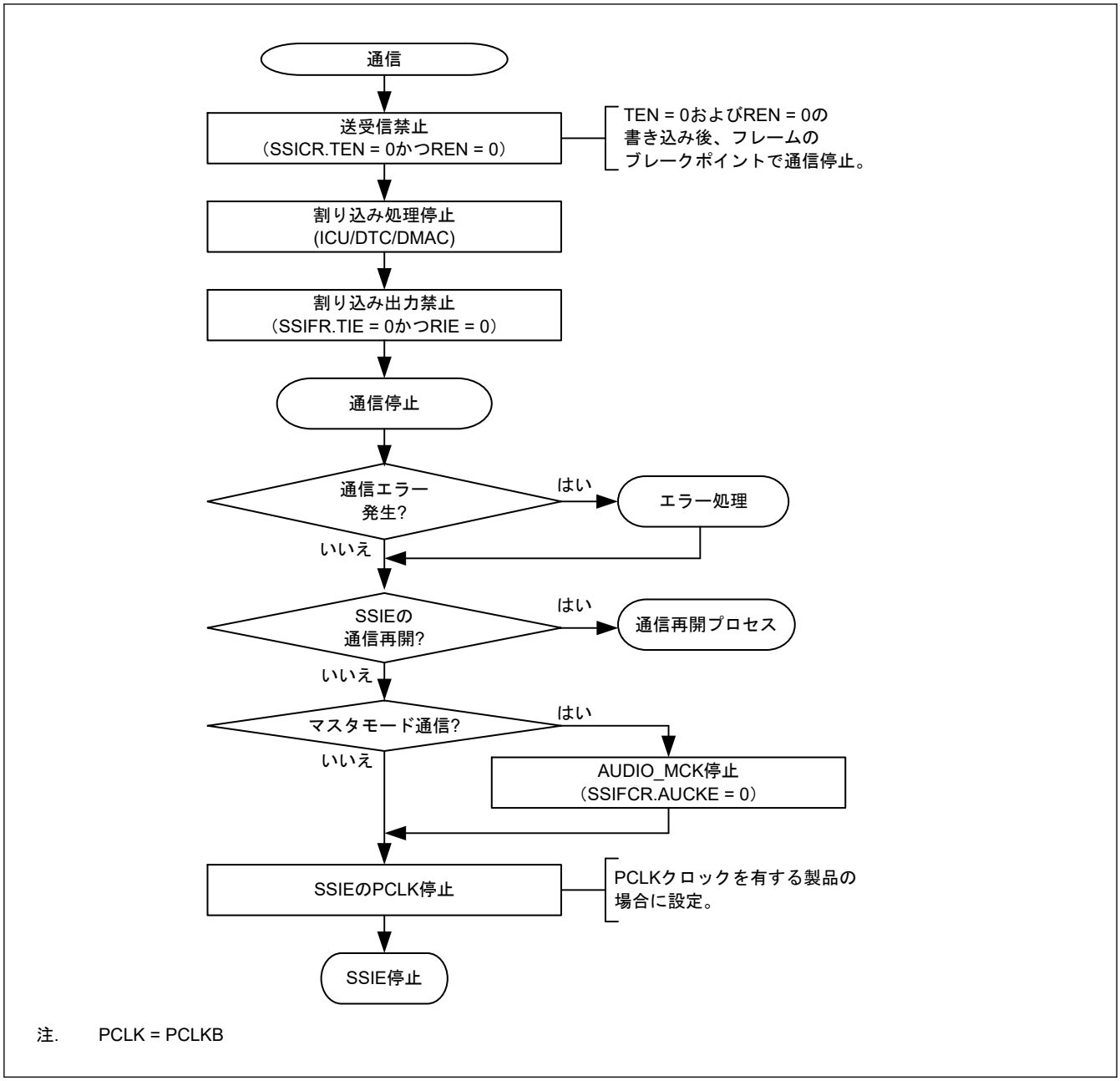


図 32.56 通信停止手順（CPU 動作手順）

SSIE の通信を停止するには、SSISR.IIRQ ビットがアイドル状態を示すまで以下のクロックの供給が必要です。

- SSICR.MST = 0 のとき、SSIBCK0 端子からの入力クロック
- SSICR.MST = 1 のとき、AUDIO_MCK
  元の設定で SSIE の通信を再開するには、「32.8.7. 通信再開」を参照してください。

注. 図 32.56 に示す通信停止手順に従って SSIE の通信が停止されたら、図 32.58 に示す通信再開手順に従って通信を再開します。

32.8.6 エラー処理

SSIE には、以下の 4 つのエラーがあります。

- 送信アンダーフローエラー
- 送信オーバーフローエラー
- 受信アンダーフローエラー

- 受信オーバーフローエラー

アンダーフローエラーまたはオーバーフローエラーが発生した場合、SSIE の再起動が必要です。図 32.56 の通信停止手順および図 32.57 のエラー処理手順に従ってください。

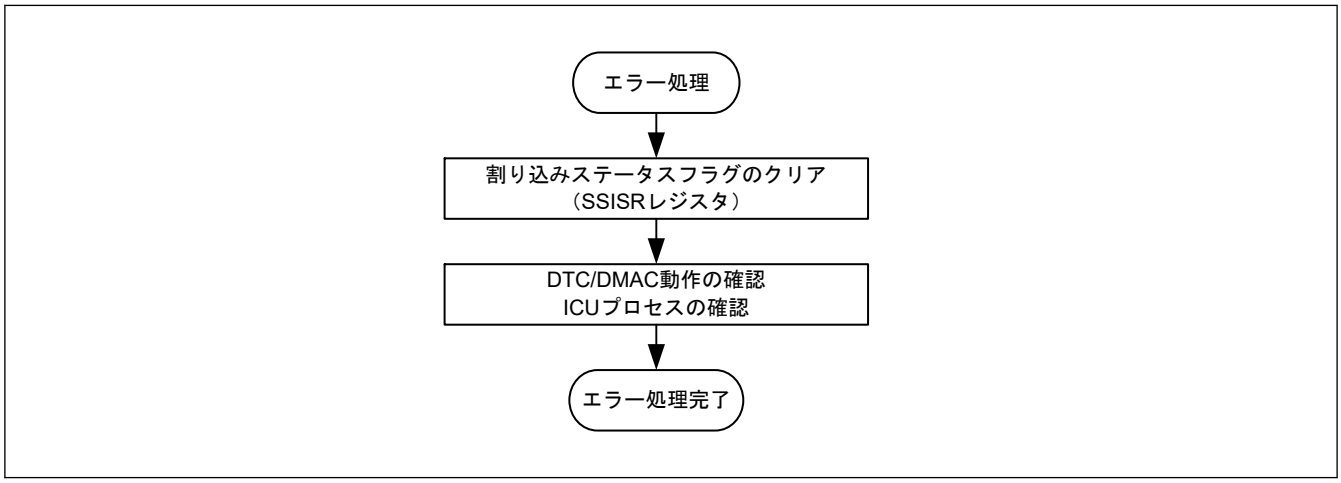


図 32.57　エラー処理手順

4 つのエラー動作について以下に説明します。SSICR レジスタの割り込み出力許可ビットを許可し、エラーフラグが設定されたとき、エラー割り込みが生成されます。エラーフラグの設定条件は、「32.4.2. SSISR : ステータスレジスタ」を参照してください。

(1)　送信アンダーフローエラー

送信アンダーフローエラーが発生した場合、送信データエンプティ割り込みに応じた送信 FIFO データレジスタ (SSIFTDR) への書き込み回数を見直してください。送信アンダーフローエラーが発生すると、SSIE はデータとして 0 を出力します。送信 FIFO データレジスタ (SSIFTDR) へ書き込まれたシリアルデータが、SSITXD0/SSIDATA0 端子へ正常に出力されるようにするには、図 32.56 の通信停止手順と図 32.57 のエラー処理手順に従ってください。エラーが発生するときは、通常はシリアルデータはありません。通信を再開したら、最初からシリアルデータを書いてください。

(2)　送信オーバーフローエラー

送信オーバーフローエラーが発生したときは、送信データエンプティ割り込みに対応する送信 FIFO データレジスタ (SSIFTDR) へのデータ書き込み回数を見直してください。送信オーバーフローエラーを引き起こした送信 FIFO データレジスタ (SSIFTDR) に書き込まれたシリアルデータは、無効になります。このエラーは、送信動作中かどうかを問わず発生します。エラーから復旧するには、図 32.56 の通信停止手順および図 32.57 のエラー処理手順に従ってください。通信再開時には、無効なシリアルデータを適切に扱ってください。

(3)　受信アンダーフローエラー

受信アンダーフローエラーが発生したときは、受信データフル割り込みに対応する受信 FIFO データレジスタ (SSIFRDR) からのデータ読み出し回数を見直してください。受信アンダーフローエラーを引き起こした受信 FIFO データレジスタ (SSIFRDR) から読み出された値は不定です。このエラーは、受信動作中かどうかを問わず発生します。エラーから復旧するには、図 32.56 の通信停止手順および図 32.57 のエラー処理手順に従ってください。

(4)　受信オーバーフローエラー

受信オーバーフローエラーが発生したときは、受信データフル割り込みに対応する受信 FIFO データレジスタ (SSIFRDR) からのデータ読み出し回数を見直してください。受信オーバーフローエラーを引き起こした受信データは、受信 FIFO データレジスタ (SSIFRDR) に格納できません。エラーから復旧するには、図 32.56 の通信停止手順および図 32.57 のエラー処理手順に従ってください。

32.8.7　通信再開

SSIE を用いた通信を再開するには、図 32.58 の通信再開手順に従ってください。通信再開手順は、通信停止手順によって停止した通信を、一切の設定変更なしに再開することを想定して設計されています。クロックおよびス

レーブ／マスタ設定を変更するには、図 32.53 の通信開始手順を用い、これに従ってください。通信開始後の送信動作および受信動作の詳細については、それぞれ「32.8.2. 送信」および「32.8.3. 受信」を参照してください。

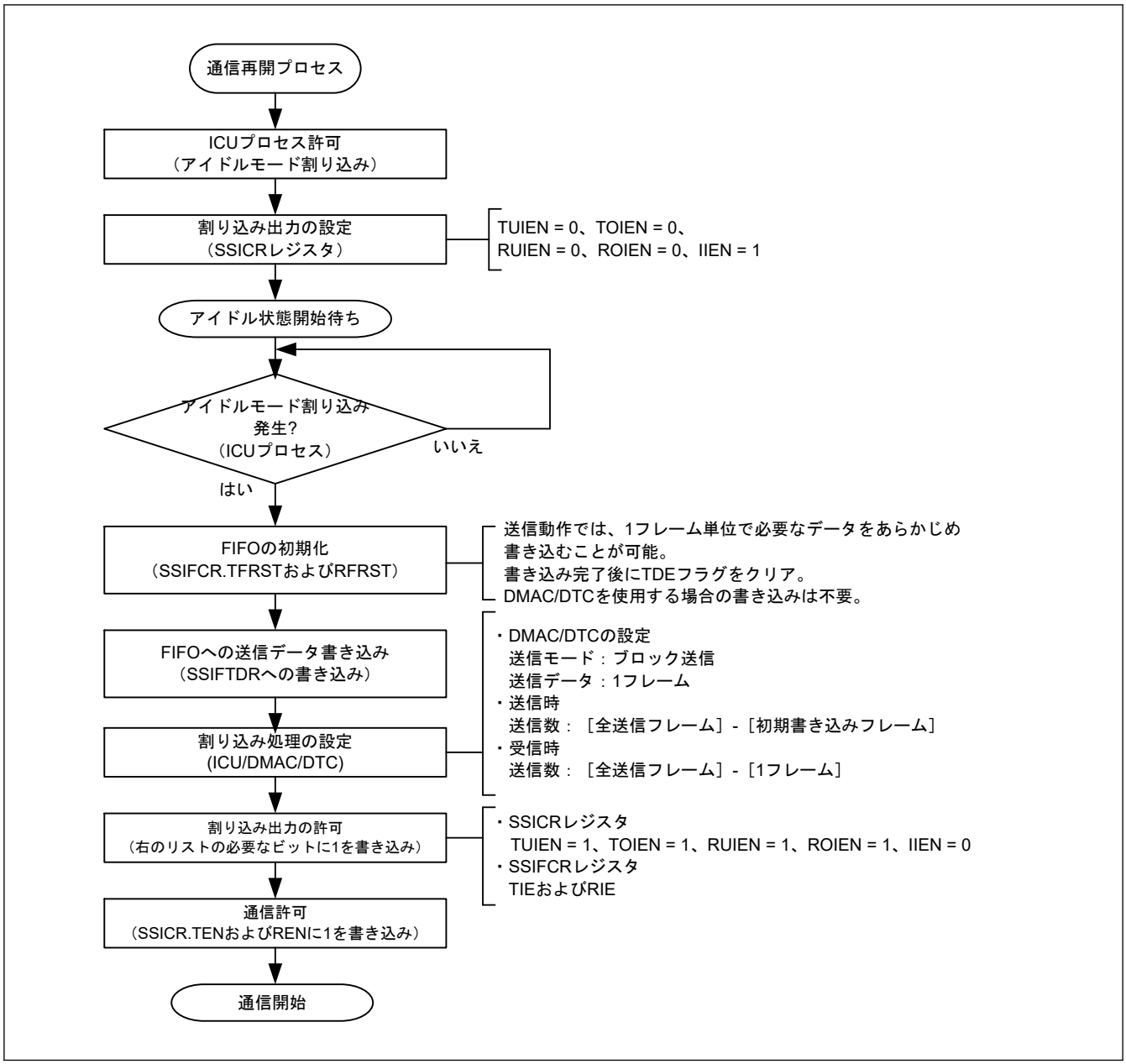


図 32.58　通信再開手順（CPU 動作手順）

32.9　割り込み

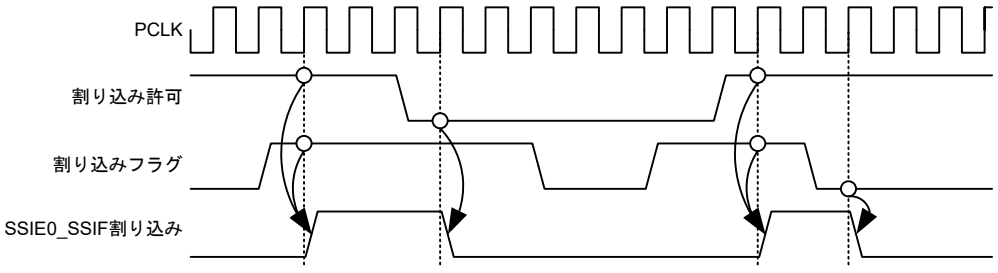
表 32.16 に、割り込み要因の一覧を示します。SSICR レジスタの TUIEN、TOIEN、RUIEN、ROIEN、IIEN ビット 、および SSIFCR レジスタの TIE、RIE ビットにより、各要因の割り込み出力の許可／禁止を設定します。

表 32.16 SSIE の割り込み要因

チャネル	割り込み要因	説明	割り込みフラグ	DMAC/DTC 起動
SSIE0	SSIE0_SSIF	• 送信アンダーフロー割り込み • 送信オーバーフロー割り込み • 受信アンダーフロー割り込み • 受信オーバーフロー割り込み • アイドル割り込み	SSISR.TUIRQ SSISR.TOIRQ SSISR.RUIRQ SSISR.ROIRQ SSISR.IIRQ	不可能
	SSIE0_SSIRXI	受信データフル割り込み	SSIFSR.RDF	可能
	SSIE0_SSITXI	送信データエンプティ割り込み	SSIFSR.TDE	可能

32.9.1 SSIE0_SSIF 割り込み

この割り込み要因は 5 つの割り込みを組み合わせたものです。SSIE を使用する前に、必要な割り込みの出力を許可します。5 つの割り込みは、各割り込みに割り当てられたフラグおよび割り込み出力有許可ビットを使用することで動作します。割り込みをクリアするには、割り込み許可を 0 に設定するか、割り込みフラグを 0 にクリアします。



注. PCLK = PCLKB

図 32.59 共通割り込み要因のタイミング図 (SSIE0_SSIF)

- 送信アンダーフロー割り込み

SSICR.TUIEN = 1 の間、送信アンダーフロー割り込みとして SSISR.TUIRQ が出力されます。SSIE を送信に使用する場合、この割り込み出力を許可 (SSICR.TUIEN = 1) にします。この割り込みが発生したら、図 32.56 の通信停止手順および図 32.57 のエラー処理手順の指示に従ってください。

- 送信オーバーフロー割り込み

SSICR.TOIEN = 1 の間、送信オーバーフロー割り込みとして SSISR.TOIRQ が出力されます。SSIE を送信に使用する場合、この割り込み出力を許可 (SSICR.TOIEN = 1) にします。この割り込みが発生したら、図 32.56 の通信停止手順および図 32.57 のエラー処理手順の指示に従ってください。

- 受信アンダーフロー割り込み

SSICR.RUIEN = 1 の間、受信アンダーフロー割り込みとして SSISR.RUIRQ が出力されます。SSIE を受信に使用する場合、この割り込み出力を許可 (SSICR.RUIEN = 1) にします。この割り込みが発生したら、図 32.56 の通信停止手順および図 32.57 のエラー処理手順の指示に従ってください。

- 受信オーバーフロー割り込み

SSICR.ROIEN = 1 の間、受信オーバーフロー割り込みとして SSISR.ROIRQ が出力されます。SSIE を受信に使用する場合、この割り込み出力を許可 (SSICR.ROIEN = 1) にします。この割り込みが発生したら、図 32.56 の通信停止手順および図 32.57 のエラー処理手順の指示に従ってください。

- アイドルモード割り込み

SSICR.IIEN = 1 の間、アイドルモード割り込みとして SSISR.IIRQ が出力されます。この割り込みは、通信が完全に停止したことを確認するために用いられます。

32.9.2　SSIE0_SSITXI 割り込み

送信データエンプティ割り込みは、以下の条件が満たされたときに出力されるパルス割り込みです。

- SSIFCR.TIE = 1 および SSIFSR.TDE = 1
  SSIE の動作：SSIFCR.TIE の値が 1 の間に、SSIFSR.TDE の値が 0 から 1 に変化したとき
  CPU の命令：SSIFSR.TDE の値が 1 の間に、SSIFCR.TIE の値が 0 から 1 に変化したとき

この割り込みは、割り込み抑制機能の対象です。DTC/DMAC がビジー（DTC/DMAC が割り込みの受け入れ不可）のときにこの割り込みの割り込み条件が発生すると、割り込み抑制機能により、割り込み出力を保持します。保持された割り込みは、DTC/DMAC が割り込みを受け入れ可能になったあとに出力されます。詳細については、図 32.60 を参照してください。

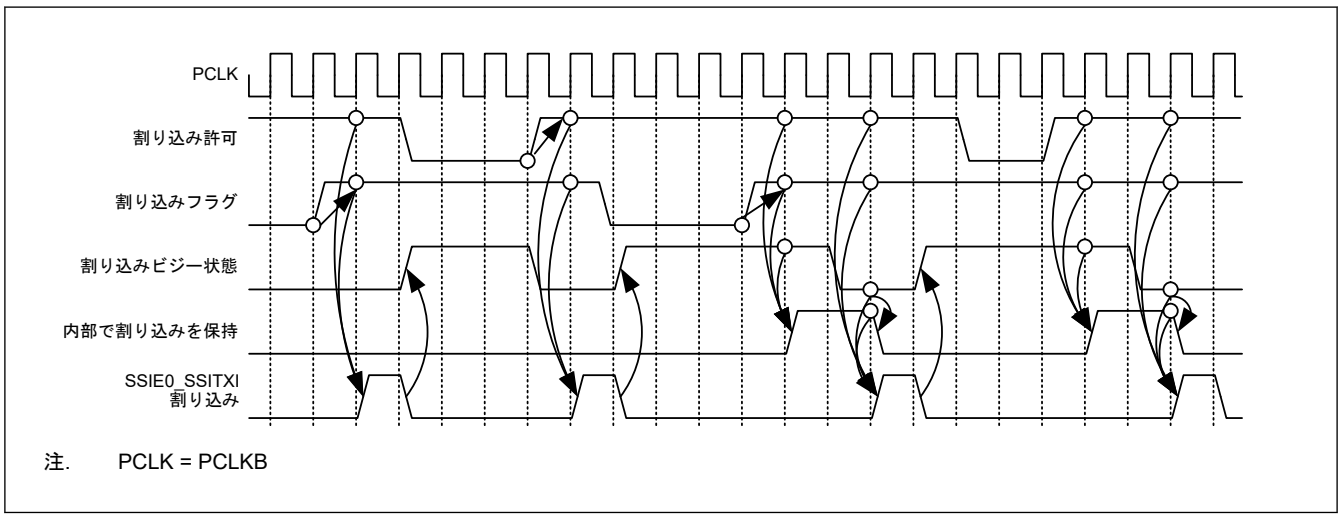


図 32.60　SSIE0_SSITXI 割り込みタイミング図

32.9.3　SSIE0_SSIRXI 割り込み

受信データフル割り込みは、以下の条件が満たされたときに出力されるパルス割り込みです。

- SSIFCR.RIE = 1 および SSIFSR.RDF = 1
  SSIE の動作：SSIFCR.RIE の値が 1 の間に、SSIFSR.RDF の値が 0 から 1 に変化したとき
  CPU の命令：SSIFSR.RDF の値が 1 の間に、SSIFCR.RIE の値が 0 から 1 に変化したとき

この割り込みは、割り込み抑制機能の対象です。DTC/DMAC がビジー（DTC/DMAC が割り込みの受け入れ不可）のときにこの割り込みの割り込み条件が発生すると、割り込み抑制機能により、割り込み出力を保持します。保持された割り込みは、DTC/DMAC が割り込みを受け入れ可能になったあとに出力されます。この割り込みの動作は、図 32.60 に示す動作と同じです。

32.10　ソフトウェアリセット

SSIE には、その状態をリセットするためのソフトウェアリセットビットが 3 つあります。

- SSIE ソフトウェアリセット (SSIFCR.SSIRST)
- 送信 FIFO データレジスタリセット (SSIFCR.TFRST)
- 受信 FIFO データレジスタリセット (SSIFCR.RFRST)

本セクションでは、3 タイプのソフトウェアリセットの手順について説明します。

32.10.1　ソフトウェアリセット手順

(1)　SSIE ソフトウェアリセット

SSIE ソフトウェアリセットビット (SSIFCR.SSIRST) については、図 32.61 に示す手順に従ってください。リセット後に再開されると、同じ設定が適用されます。クロックおよびスレーブ／マスタモードの設定を変更するに

は、図 32.53 の通信開始手順に従います。通信再開後の送信および受信については、それぞれ「32.8.2. 送信」および「32.8.3. 受信」を参照してください。

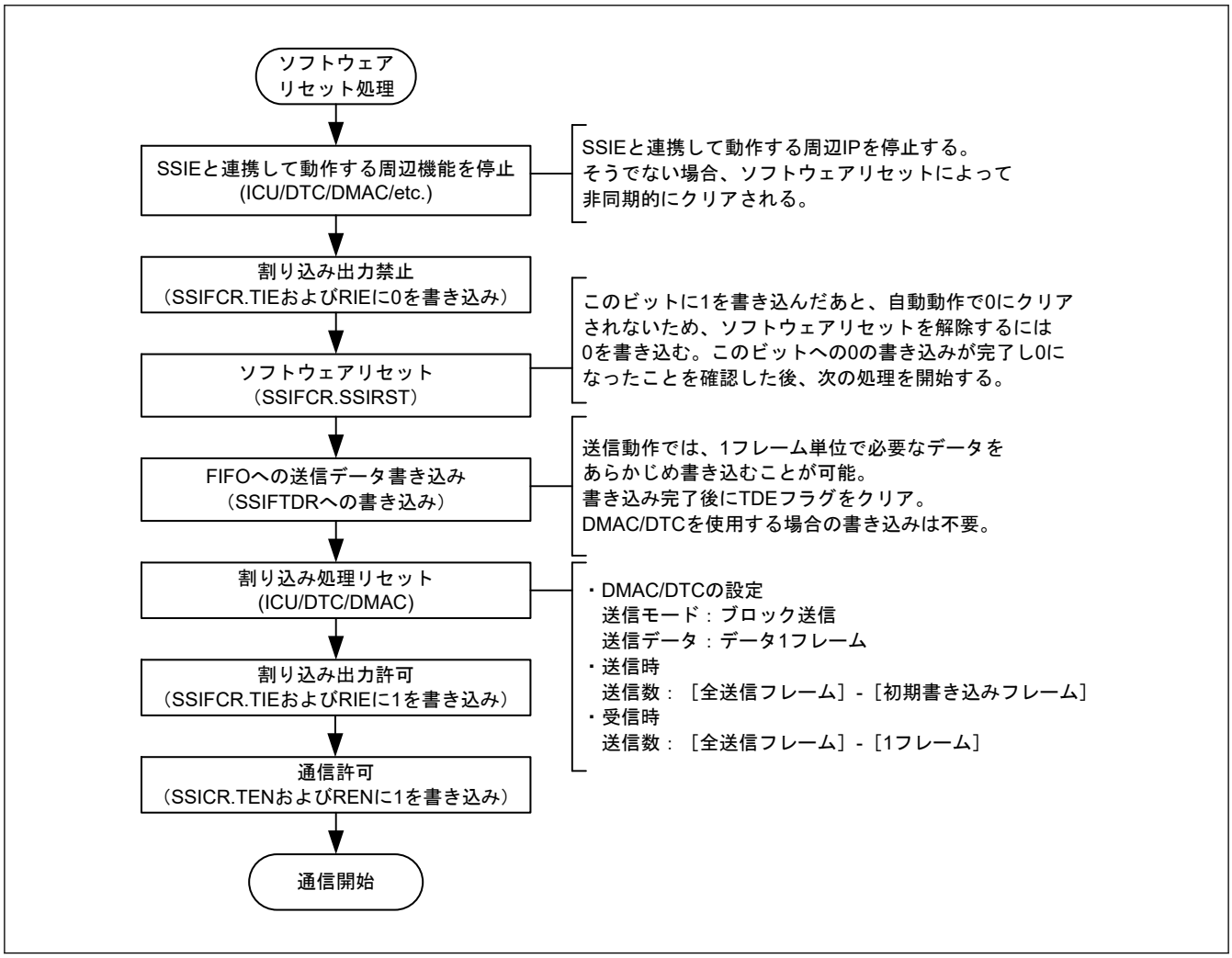


図 32.61　ソフトウェアリセット手順（CPU 動作手順）

(2)　送信 FIFO データレジスタリセット

送信 FIFO データレジスタリセットを実行するには、図 32.53 の通信開始手順および図 32.58 の通信再開手順の指示に従ってください。

(3)　受信 FIFO データレジスタリセット

受信 FIFO データレジスタリセットを実行するには、図 32.53 の通信開始手順および図 32.58 の通信再開手順の指示に従ってください。

32.11　注意事項

32.11.1　スレーブモード通信に関する注意事項

32.11.1.1　SSIBCK0 コントロール

スレーブモード通信中 (SSICR.MST = 0)、SSIE には SSIBCK0 の供給が必要です。マスタ側で BCK を停止するには、SSIE がアイドル状態 (SSISR.IIRQ = 1) であることを確認してください。SSIE がアイドルになる前に BCK が停止した場合、図 32.53 の通信開始手順を実施するか、図 32.58 の通信再開手順を実施してアイドル状態になるのを待ってください。

32.11.1.2 SSILRCK0/SSIFS0 端子

SSIE には、通信の同期を示す SSILRCK0/SSIFS0 端子があります。SSIE がスレーブモード (SSICR.MST = 0) のとき、SSIE が使用する通信フォーマットは、相手方デバイスの通信フォーマットと一致していなければなりません。SSIE は、SSILRCK0/SSIFS0 端子の信号入力を、通信開始のトリガとしてのみ使用します。

32.11.2 マスタモード通信に関する注意事項

32.11.2.1 AUCKE コントロール

マスタモード通信 (SSICR.MST = 1) 時、SSIE はオーディオクロック (AUDIO_MCK) によって動作します。SSIE を完全に停止するには、SSIE がアイドル状態 (SSISR.IIRQ = 1) であることを確認してから、SSIFCR.AUCKE に 0 を書き込んでください。

32.11.2.2 LRCONT コントロール

マスタモード通信 (SSICR.MST = 1) 時、SSIE がアイドル状態のときに SSIOFR.LRCONT で SSILRCK0/SSIFS0 端子への出力を停止するには、以下に留意してください。SSIOFR.LRCONT ビットの値が 1 から 0 に変化したときに出力が停止します。相手方デバイスへの影響がないことを確認してください。詳細は、図 32.44 を参照してください。

32.11.2.3 BCKASTP コントロール

マスタモード通信 (SSICR.MST = 1) 時、SSIE がアイドル状態のときに SSIOFR.BCKASTP で SSIBCK0 端子への出力を停止するには、以下に留意してください。SSIOFR.BCKASTP ビットの値が 0 から 1 に変化したときに出力が停止します。相手方デバイスへの影響がないことを確認してください。詳細は、図 32.45 を参照してください。

BCKASTP ビットは、相手方デバイス（スレーブ側）が通信前および通信中に SSIBCK0 端子からのクロック出力を要求している場合は使用できません。

32.11.3 通信フローに関する注意事項

32.11.3.1 エラー割り込み発生時

SSIE には、以下の 4 つのエラーがあります。

- 送信アンダーフローエラー
- 送信オーバーフローエラー
- 受信アンダーフローエラー
- 受信オーバーフローエラー

アンダーフローエラーまたはオーバーフローエラーが発生した場合、SSIE の再起動が必要です。図 32.56 の通信停止手順および図 32.57 のエラー処理手順に従ってください。

(1) 送信アンダーフローエラー

送信アンダーフローエラーが発生した場合、送信データエンプティ割り込みに応じた送信 FIFO データレジスタ (SSIFTDR) への書き込み回数を見直してください。送信アンダーフローエラーが発生すると、SSIE はデータとして 0 を出力します。送信 FIFO データレジスタ (SSIFTDR) へ書き込まれたシリアルデータが、SSITXD0/SSIDATA0 端子へ正常に出力されるようにするには、図 32.56 の通信停止手順と図 32.57 のエラー処理手順に従ってください。エラーが発生するときは、通常はシリアルデータはありません。通信を再開したら、最初からシリアルデータを書いてください。

(2) 送信オーバーフローエラー

送信オーバーフローエラーが発生したときは、送信データエンプティ割り込みに対応する送信 FIFO データレジスタ (SSIFTDR) へのデータ書き込み回数を見直してください。送信オーバーフローエラーを引き起こした送信 FIFO データレジスタ (SSIFTDR) に書き込まれたシリアルデータは、無効になります。このエラーは、送信動作中かどうかを問わず発生します。エラーから復旧するには、図 32.56 の通信停止手順および図 32.57 のエラー処理手順に従ってください。通信再開時には、無効なシリアルデータを適切に扱ってください。

(3) 受信アンダーフローエラー

受信アンダーフローエラーが発生したときは、受信データフル割り込みに対応する受信 FIFO データレジスタ (SSIFRDR) からのデータ読み出し回数を見直してください。受信アンダーフローエラーを引き起こした受信 FIFO データレジスタ (SSIFRDR) から読み出された値は不定です。このエラーは、受信動作中かどうかを問わず発生します。エラーから復旧するには、図 32.56 の通信停止手順および図 32.57 のエラー処理手順に従ってください。

(4) 受信オーバーフローエラー

受信オーバーフローエラーが発生したときは、受信データフル割り込みに対応する受信 FIFO データレジスタ (SSIFRDR) からのデータ読み出し回数を見直してください。受信オーバーフローエラーを引き起こした受信データは、受信 FIFO データレジスタ (SSIFRDR) に格納できません。エラーから復旧するには、図 32.56 の通信停止手順および図 32.57 のエラー処理手順に従ってください。

32.11.3.2 送信データエンプティ割り込み

SSIE で定義される通信フローは、DTC/DMAC を使用します。DTC/DMAC を使用していないときに SSIFTDR にデータを書き込むには、SSIFSR.TDE の値 1 のポーリングを実行します。SSISCR.TDE の値 1 検出による SSIFTDR へのデータ書き込み回数は、SSISCR.TDES で指定される送信 FIFO データレジスタの空き容量に応じて指定してください。空き容量と同量の送信データが SSIFTDR に書き込まれた場合、SSIFSR.TDE フラグはクリアされなければなりません。データ書き込みを繰り返すことで、連続送信が有効になります。SSIFSR.TDE フラグは、意図的にクリアしない限り自動でクリアされることはありません。

32.11.3.3 受信データフル割り込み

SSIE で定義される通信フローは、DTC/DMAC を使用します。DTC/DMAC を使用していないときに SSIFRDR からデータを読み出すには、SSIFSR.RDF の値 1 のポーリングを実行します。SSISCR.RDF の値 1 検出による SSIFRDR からのデータ読み出し回数は、SSISCR.RDFS で指定される受信 FIFO データレジスタの受信データ保存容量に応じて指定してください。受信されたデータが SSIFRDR から読み出されたら、SSIFSR.RDF フラグはクリアされなければなりません。データ読み出しを繰り返すことで、連続受信が有効になります。SSIFSR.RDF フラグは、意図的にクリアしない限り自動でクリアされることはありません。

32.11.3.4 転送モードの切り替え

1. 送信、受信、および送受信から状態を遷移するには、送信および受信を禁止（SSICR.TEN = 0、SSICR.REN = 0）にします。
2. アイドル状態 (SSISR.IIRQ = 1) であることを確認します。
3. アイドル状態で SSICR.TEN ビットまたは SSICR.REN ビットを再設定し、転送を再開します。

32.11.3.5 SSIE 停止後の通信再開

図 32.56 に示す通信停止手順に従って SSIE の通信が停止されたら、図 32.58 に示す通信再開手順に従って通信を再開します。

32.11.4 書き込みアクセス制限

32.11.4.1 SSICR レジスタ

TEN ビットまたは REN ビットを書き換えたときは、SSISR.IIRQ ビットが希望の状態であることを確認してください。書き換えによって TEN または REN ビットの値が変化した場合、以降の動作は予測できません。たとえば、送信または受信許可のときは SSISR.IIRQ が 0 であることを、送信または受信禁止のときは SSISR.IIRQ が 1 であることをチェックします。

(1) TEN ビットと REN ビット

これらのビットは、送信および受信を許可／禁止します。これらのビットのいずれかに 1 が書き込まれると、SSILRCK0/SSIFS0 信号による開始トリガと同期して、対応する通信動作が始まります。詳細については、「32.8.2. 送信」、「32.8.3. 受信」、および「32.8.4. 送受信」を参照してください。このビットに 0 が書き込まれると、現在の通信動作が次のフレーム境界で停止します。送信および受信の両方で SSIE を使用するには、両方のビットに

常に 1 を書き込みます。SSIE を使用した通信を停止するときは、常に送信および受信の両方を禁止します（TEN および REN ビットに 0 を書き込みます）。

32.11.4.2　SSISR レジスタ

(1)　TUIRQ および TOIRQ のクリア

通信の許可（SSICR.TEN ビットを 0 から 1 に変更）後、送信エラーフラグ（SSISR レジスタの TOIRQ および TUIRQ）はクリアされます。ただし、SSISR レジスタが継続して読み出されるとき、送信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

(2)　RUIRQ および ROIRQ のクリア

通信の許可（SSICR.REN ビットを 0 から 1 に変更）後、受信エラーフラグ（SSISR レジスタの RUIRQ および ROIRQ）はクリアされます。ただし、SSISR レジスタが継続して読み出されるとき、受信エラーフラグをクリアしたステータスは、読み出しできない可能性があります。

32.11.4.3　通信状態

表 32.17 で、オレンジの網掛けで示したビットへの書き込みは禁止されています。書き込みが行われた場合、書き込み直後の動作は保証されません。

表 32.17　通信中書き込みから保護されるビット

シンボル	アドレス (BASE+)		+0								+1							
			31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
			15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSICR	0x00	+0	—	—	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	FRM[1:0]		DWL[2:0]			SWL[2:0]		
		+2	—	MST	BCKP	LRCKP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
SSISR	0x04	+0	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
SSIFCR	0x10	+0	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
		+2	—	—	—	—	BSW	—	—	—	—	—	—	—	TIE	RIE	TFRST	RFRST
SSIFSR	0x14	+0	—	—	TDC[5:0]						—	—	—	—	—	—	—	TDE
		+2	—	—	RDC[5:0]						—	—	—	—	—	—	—	RDF
SSIFTDR	0x18	+0	SSIFTDR[31:16]															
		+2	SSIFTDR[15:0]															
SSIFRDR	0x1C	+0	SSIFRDR[31:16]															
		+2	SSIFRDR[15:0]															
SSIOFR	0x20	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	—	—	—	BCKASTP	LRCONT	—	—	—	—	—	—	OMOD[1:0]	
SSISCR	0x24	+0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
		+2	—	—	—	TDES[4:0]					—	—	—	RDFS[4:0]				

33. 巡回冗長検査 (CRC)

33.1 概要

巡回冗長検査 (CRC: Cyclic Redundancy Check) は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。さらに、さまざまな CRC 生成多項式を使用できます。

表 33.1 に CRC 演算器の仕様を、図 33.1 にブロック図を示します。

表 33.1 CRC 演算器の仕様

項目	内容	
データサイズ	8 ビット	32 ビット
CRC 演算対象データ(注1)	8n ビット単位の任意データに対し CRC コードを生成（n = 自然数）	32n ビット単位の任意データに対し CRC コードを生成（n = 自然数）
CRC 演算処理方式	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの生成多項式から 1 つ選択可能 [8 ビット CRC] • $X^8 + X^2 + X + 1$ (CRC-8) [16 ビット CRC] • $X^{16} + X^{15} + X^2 + 1$ (CRC-16) • $X^{16} + X^{12} + X^5 + 1$ (CRC-CCITT)	2 つの生成多項式から 1 つ選択可能 [32 ビット CRC] • $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$ (CRC-32) • $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$ (CRC-32C)
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダーを切り替えることができます。	
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減が可能	
TrustZone フィルタ	セキュリティ属性を設定可能	

注 1. 本機能は、CRC 演算で使用するデータを分割できません。8 ビット単位または 32 ビット単位で書いてください。

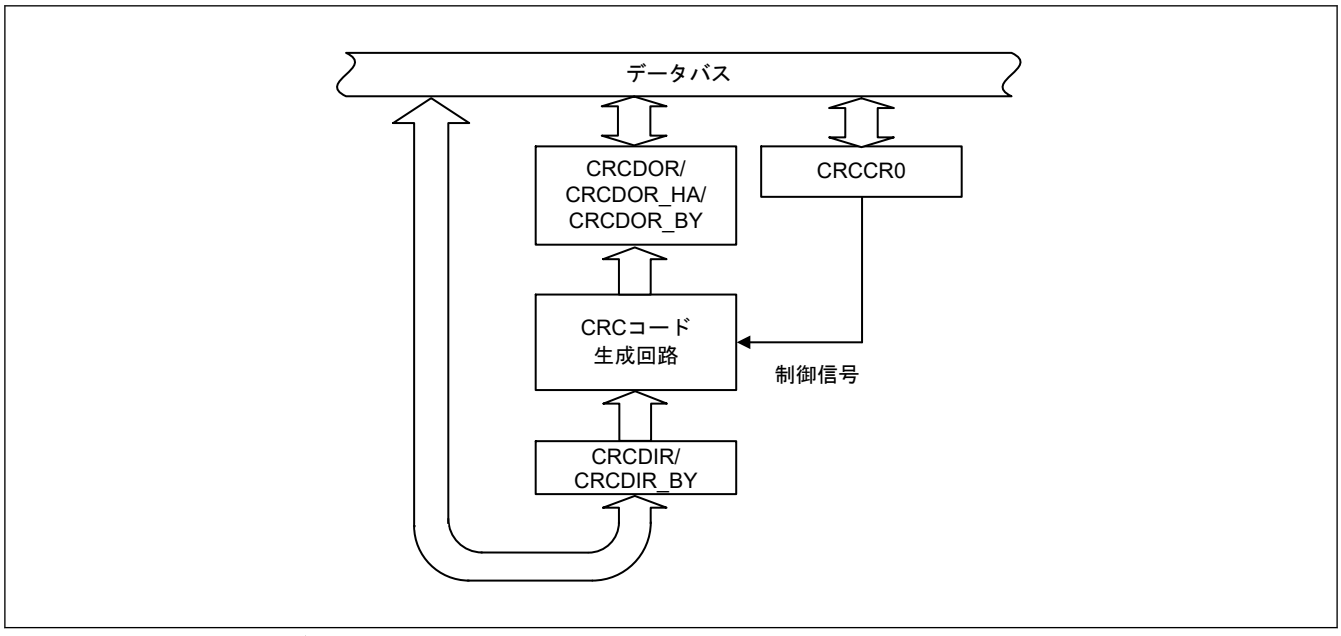


図 33.1 CRC 演算器のブロック図

33.2 レジスタの説明

33.2.1 CRCCR0 : CRC コントロールレジスタ 0

Base address: CRC = 0x4010_8000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DORCLR	LMS	—	—	—	GPS[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	GPS[2:0]	CRC 生成多項式切り替え 0 0 1: 8 ビット CRC-8 ($X^8 + X^2 + X + 1$) 0 1 0: 16 ビット CRC-16 ($X^{16} + X^{15} + X^2 + 1$) 0 1 1: 16 ビット CRC-CCITT ($X^{16} + X^{12} + X^5 + 1$) 1 0 0: 32 ビット CRC-32 ($X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$) 1 0 1: 32 ビット CRC-32C ($X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$) その他: 演算しない	R/W
5:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	LMS	CRC 演算切り替え 0: LSB ファースト通信用に CRC を生成 1: MSB ファースト通信用に CRC を生成	R/W
7	DORCLR	CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア 0: 影響なし 1: CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタをクリア	W

GPS[2:0]ビット（CRC 生成多項式切り替え）

GPS[2:0]ビットは、CRC 生成多項式を選択します。

LMS ビット（CRC 演算切り替え）

LMS ビットは、生成した CRC コードのビットオーダを選択します。LSB ファーストで通信を行う場合は CRC コードの下位バイトから先に、MSB ファーストで通信を行う場合は CRC コードの上位バイトから先に送信してください。CRC コードの送信および受信については、「33.3. 動作説明」を参照してください。

DORCLR ビット（CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタクリア）

DORCLR ビットを 1 にすると、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタが 0x00000000 になります。読むと 0 が読めます。このビットには 1 のみ書けます。

33.2.2 CRCDIR/CRCDIR_BY : CRC データ入力レジスタ

Base address: CRC = 0x4010_8000

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	CRC 入力データ CRCDIR レジスタは、CRC-32 または CRC-32C 演算用データを書き込む 32 ビットの読み出し／書き込みレジスタです。CRCDIR_BY (CRCDIR[31:24]) レジスタは、CRC-8、CRC-16、または CRC-CCITT 演算用データを書き込む 8 ビットの読み出し／書き込みレジスタです。	R/W

33.2.3 CRCDOR/CRCDOR_HA/CRCDOR_BY : CRC データ出力レジスタ

Base address: CRC = 0x4010_8000

Offset address: 0x08

Bit position:	31																												0
Bit field:																													
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	n/a	CRC 出力データ CRCDOR レジスタは、CRC-32 または CRC-32C 用の 32 ビットの読み出し／書き込みレジスタです。 CRCDOR_HA (CRCDOR[31:16]) レジスタは、CRC-16 または CRC-CCITT 演算用の 16 ビットの読み出し／書き込みレジスタです。 CRCDOR_BY (CRCDOR[31:24]) レジスタは、CRC-8 演算用の 8 ビットの読み出し／書き込みレジスタです。初期値は 0x00000000 ですので、初期値以外を用いて演算する場合は、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタを書き換えてください。 CRCDIR/CRCDIR_BY レジスタに書き込まれたデータに対して CRC 演算が実行され、結果が CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタに格納されます。転送されたデータに続いて CRC コードを計算し、その結果が 0x00000000 であると、CRC エラーなしと判断できます。	R/W

33.3 動作説明

33.3.1 基本動作

CRC 演算器は、LSB ファーストまたは MSB ファースト転送で使用する CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (0xF0) に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ (CRCDOR_HA) の値をクリアします。

8 ビット CRC（$X^8 + X^2 + X + 1$ の多項式）を使用している場合は、CRCDOR_BY レジスタに有効な CRC コードのビットが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに有効な CRC コードのビットが得られます。

図 33.2 と図 33.3 に LSB ファーストおよび MSB ファーストのデータ送信例をそれぞれ示します。 図 33.4 と図 33.5 に LSB ファーストおよび MSB ファーストのデータ受信例をそれぞれ示します。

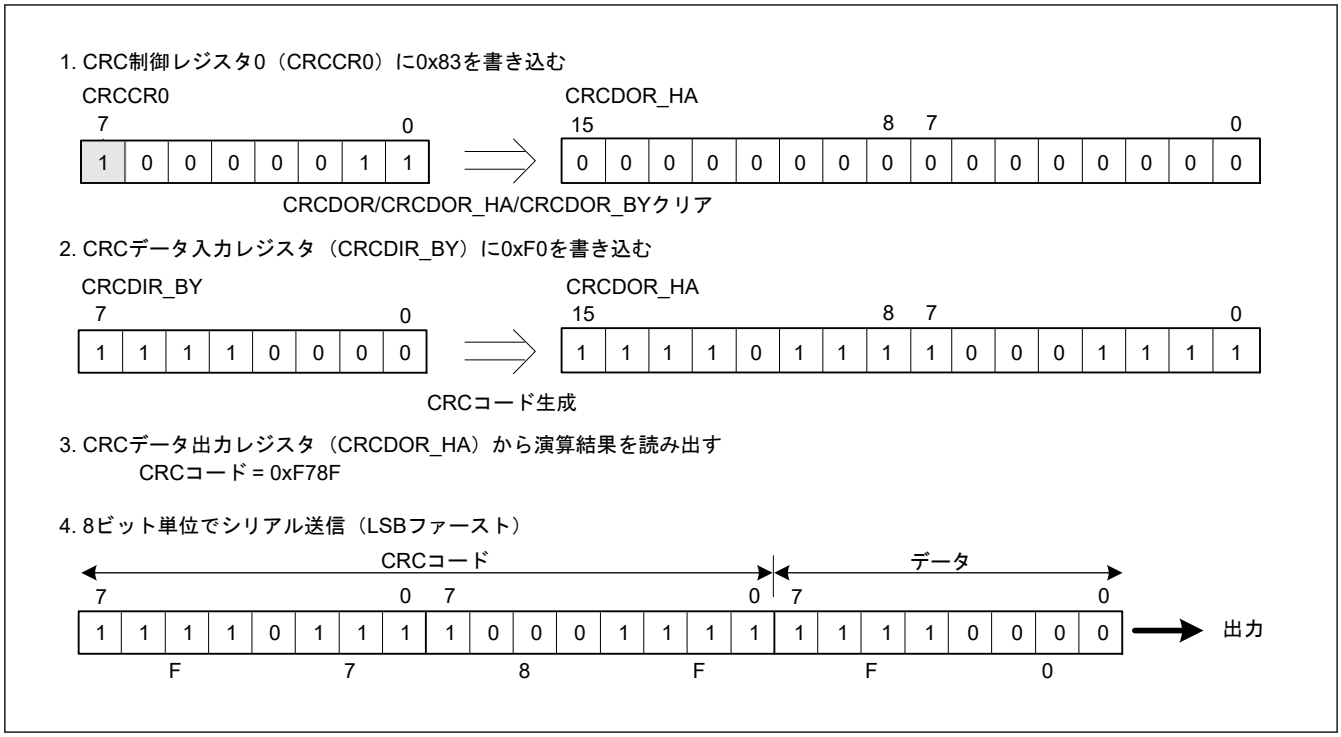


図 33.2　LSB ファーストのデータ送信

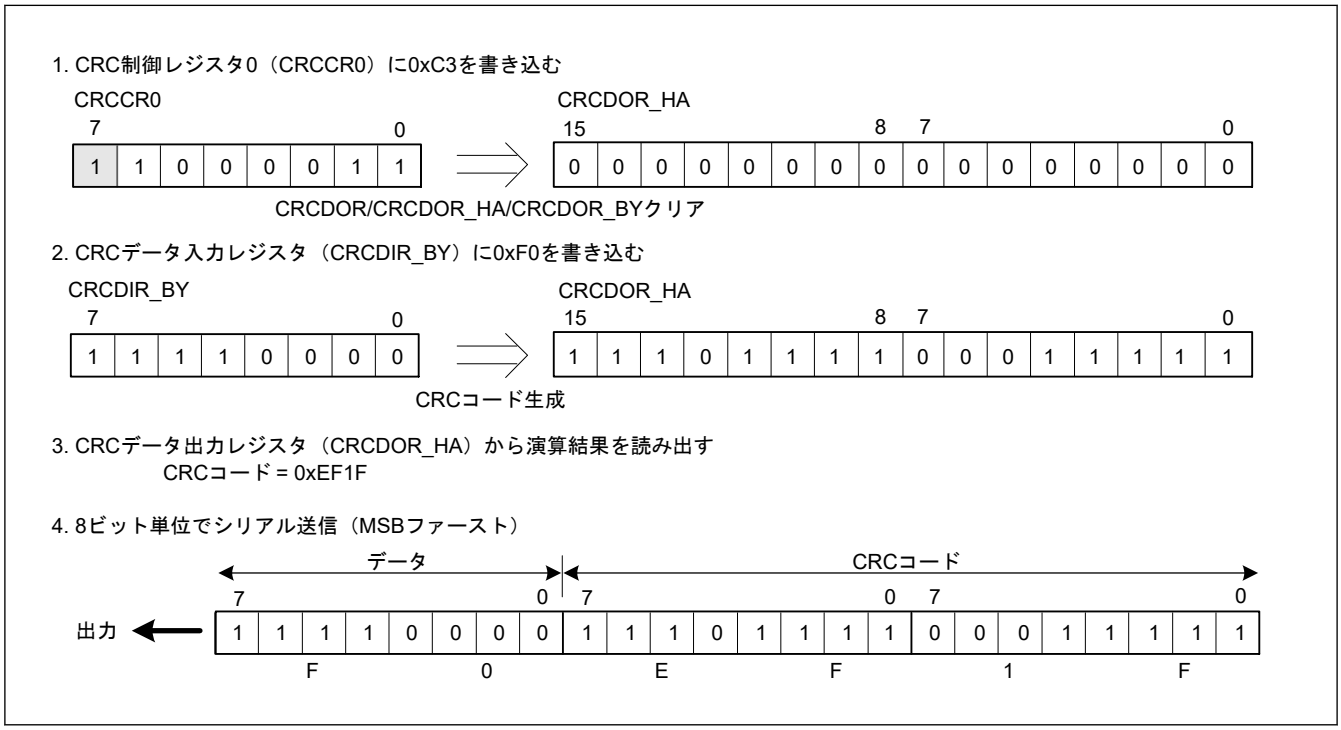


図 33.3　MSB ファーストのデータ送信

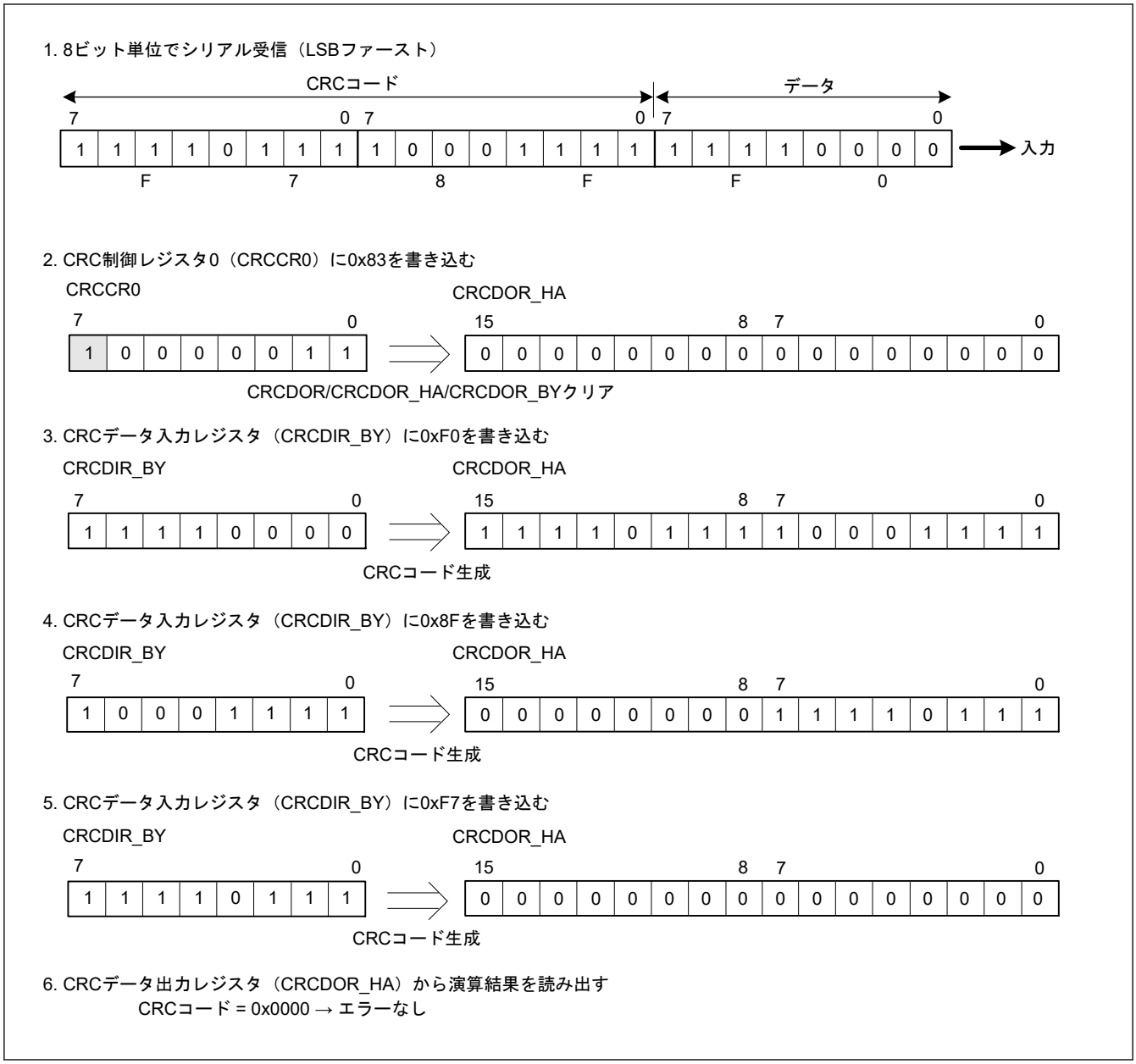


図 33.4　LSB ファーストのデータ受信

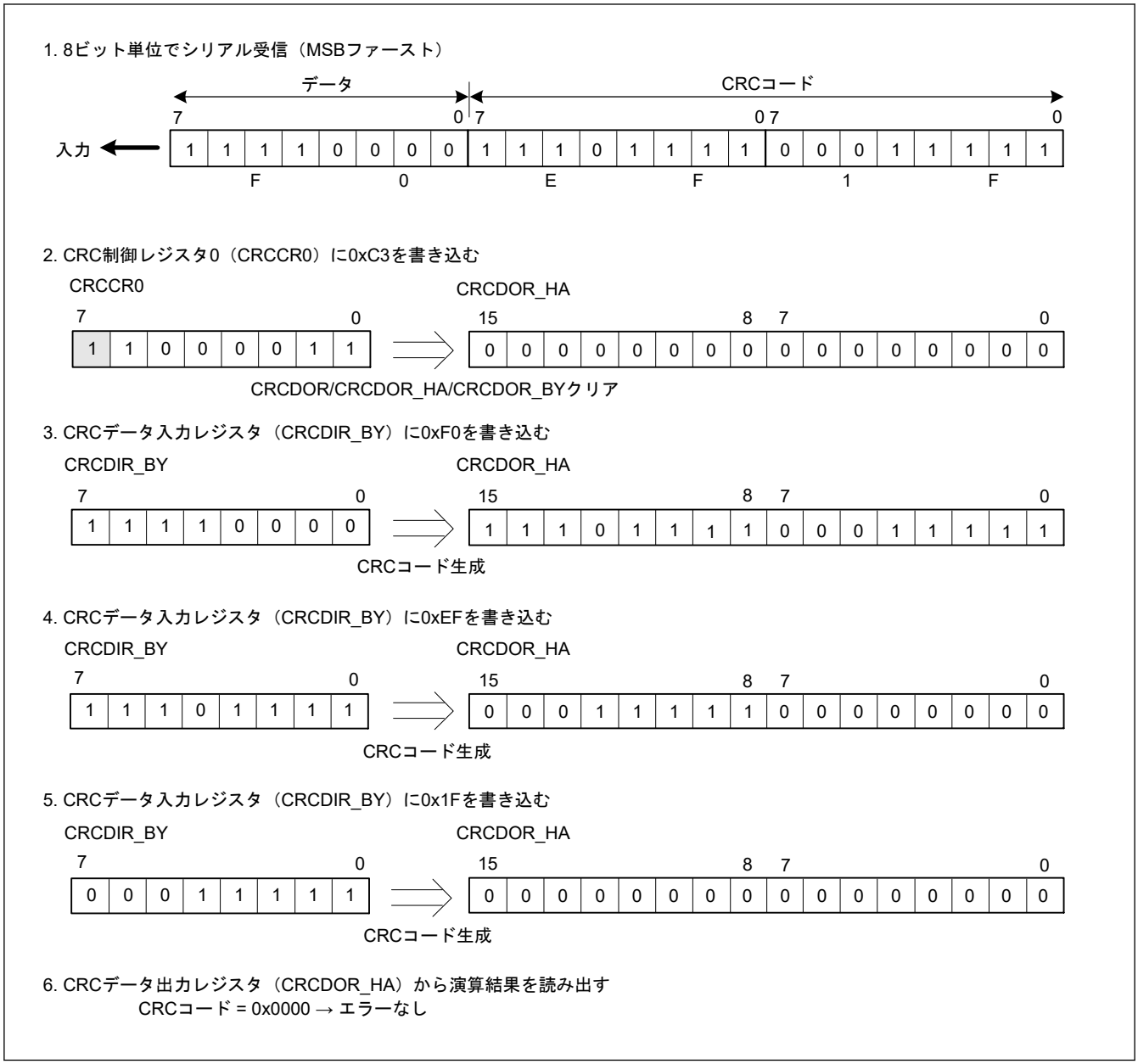


図 33.5　MSB ファーストのデータ受信

33.4　使用上の注意事項

33.4.1　モジュールストップ状態の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、CRC 演算器の動作禁止／許可を設定することが可能です。リセット後の値では、CRC 演算器の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

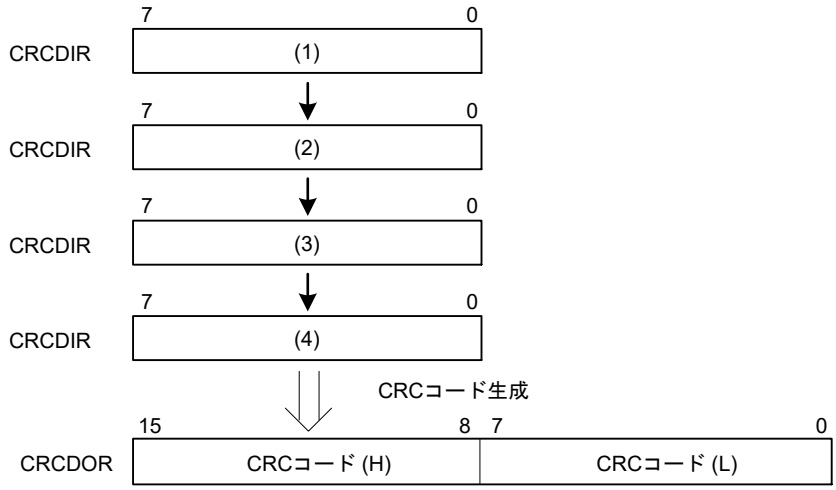
33.4.2　送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードの送信順序が異なります。 図 33.6 に LSB ファーストと MSB ファーストのデータ送信を示します。

32ビットのデータを送信する場合（8ビット単位での並列処理）

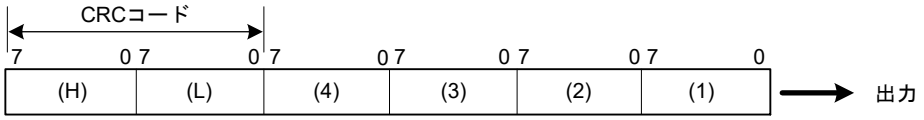
1. CRCコード

生成演算方法を指定後、（1）→（2）→（3）→（4）の順でCRCDIRにデータを書く



2. 送信データ

(i) LSBファーストで送信する場合



(ii) MSBファーストで送信する場合

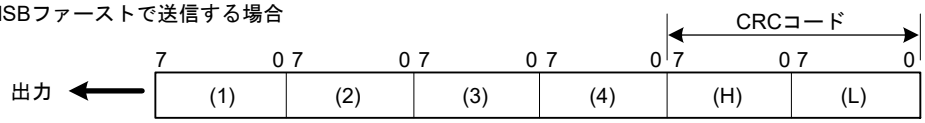


図 33.6 LSB ファーストと MSB ファーストのデータ送信

34. 真性乱数生成器 (TRNG)

34.1 概要

表 34.1 に TRNG（真性乱数生成器）の仕様を示します。

表 34.1 TRNG の仕様

項目	説明
周波数	100 MHz（最高）
SEED 生成速度	0.1～10 Mbps で 32 ビット SEED 生成
バッファリング	なし
インタフェース	8 ビット読み出し + 8 ビット書き込み/1 クロック

TRNG により生成される SEED を暗号化して、乱数（真性乱数）として使用します。

SEED 自身のテストにより生成されるデータと SEED から生成される乱数（NIST FIPS140-2 に記載されている連続乱数生成器テストを使用）は、2 つの生成された乱数のビット長に応じて一定の確率で同じです。

n 番目のビット（理論値）で比較対象の乱数が同一である確率は $1/2^n$ です。

34.2 使用上の注意事項

34.2.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、TRNG の動作を無効または有効に設定することが可能です。リセット後の初期状態では、TRNG モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

35. 12 ビット A/D コンバータ (ADC12)

35.1 概要

本 MCU は、逐次比較方式の 12 ビットの A/D コンバータ (ADC12) ユニットを内蔵しています。アナログ入力チャネルは最大 12 チャネルまで選択可能です。温度センサ出力、内部基準電圧を変換対象として選択できます。

A/D 変換精度には 12 ビット、10 ビット、8 ビット変換を選択でき、デジタル値の生成時に速度と分解能のバランスを最適化することができます。

ADC12 には次の動作モードがあります。

- 任意に選択したチャネルのアナログ入力を、チャネル番号の昇順に変換するシングルスキャンモード
- 選択したチャネルのアナログ入力を、チャネル番号の昇順に連続して変換する連続スキャンモード
- チャネルのアナログ入力を任意に 2 つのグループ（グループ A とグループ B）に分け、グループ単位で選択したチャネルのアナログ入力をチャネル番号の昇順に変換するグループスキャンモード

グループスキャンモードでは、2 つのグループ（グループ A とグループ B）を選択します。各グループ（A、B）のスキャン開始条件を個別に選択し、各グループのスキャンを異なるタイミングで開始することができます。さらに、グループ A の優先制御動作を設定すると、ADC12 はグループ B の A/D 変換動作中にグループ A のスキャン開始を受け付けて、グループ B の A/D 変換動作を中断します。このようにして、グループ A の A/D 変換を優先的に開始することが可能です。

ダブルトリガモードは、任意に選択した 1 チャネルのアナログ入力をシングルスキャンモードかグループスキャンモード（グループ A）で変換し、1 回目の A/D 変換開始トリガで変換したデータと 2 回目の A/D 変換開始トリガで変換したデータを別々のレジスタに格納（A/D 変換データの 2 重化）します。

自己診断は、スキャンごとの最初に 1 回実施され、ADC12 で生成される 3 つの基準電圧値のうち 1 つを A/D 変換します。

温度センサ出力および内部基準電圧はチャネルのアナログ入力として同時に選択可能です。最初の A/D 変換はチャネルのアナログ入力に対して行われます。次の A/D 変換は温度センサ出力および内部基準電圧に対して行われます。

ADC12 はコンペア機能（ウィンドウ A およびウィンドウ B）も搭載しています。コンペア機能は、ウィンドウ A およびウィンドウ B それぞれの上側基準値および下側基準値を指定し、選択したチャネルの A/D 変換値が比較条件に一致すると割り込みを出力します。

A/D データ格納バッファは、A/D 変換データを順番に格納するための 16 個のバッファから構成されるリングバッファです。

表 35.1 に ADC12 の仕様を、表 35.2 にその機能一覧を示します。図 35.1 に ADC12 のブロック図を示します。表 35.3 に入出力端子を示します。

表 35.1 ADC12 の仕様 (1/3)

項目	内容
ユニット数	1 ユニット
入力チャネル	最大 12 チャネル (AN000～AN002, AN004～AN008, AN011～AN013, AN016) 拡張
アナログ機能	温度センサ出力、内部基準電圧
変換方式	逐次比較方式
分解能	12 ビット、10 ビット、8 ビット
変換時間	1 チャネル当たり 0.52 µs（12 ビット A/D 変換クロック PCLKC (ADCLK) が 50 MHz で動作時）
A/D 変換クロック	周辺モジュールクロック PCLKA と A/D 変換クロック PCLKC (ADCLK) を以下の分周比で設定可能：PCLKA と PCLKC (ADCLK) の周波数比 = 1:1、2:1、4:1、8:1、1:2、1:4

表 35.1 ADC12 の仕様 (2/3)

項目	内容
データレジスタ(注1)	● アナログ入力用 12 本 ● ダブルトリガモードでの A/D 変換データ 2 重化用 1 本 ● ダブルトリガモードでの拡張動作時の A/D 変換データ 2 重化用 2 本 ● 温度センサ出力用 1 本 ● 内部基準電圧用 1 本 ● 自己診断用 1 本 ● A/D 変換結果を A/D データレジスタに格納 ● A/D 変換結果の 12 ビット、10 ビット、8 ビット精度出力対応 ● A/D 変換値加算モード（A/D 変換結果の加算値を変換精度ビット数 + 拡張ビット数で A/D データレジスタに格納） ● ダブルトリガモード（シングルスキャンとグループスキャンモードで選択可能）: – 選択した 1 つのチャネルのアナログ入力の A/D 変換データを 1 回目は対象チャネルのデータレジスタに格納、2 回目の A/D 変換データは 2 重化レジスタに格納 ● ダブルトリガモード拡張動作（特定トリガで使用可能）: – 選択した 1 つのチャネルのアナログ入力の A/D 変換データを関連するトリガに準備した 2 重化レジスタに格納
動作モード(注2)	● シングルスキャンモード : – 任意に選択したチャネルのアナログ入力、温度センサ出力、内部基準電圧を 1 回のみ A/D 変換 ● 連続スキャンモード : – 任意に選択したチャネルのアナログ入力、温度センサ出力、内部基準電圧を繰り返し A/D 変換 ● グループスキャンモード : – 任意に選択したチャネルのアナログ入力、温度センサ出力、および内部基準電圧をグループ A、B に分け、グループ単位で選択したアナログ入力を 1 回のみ A/D 変換 – グループ A、グループ B は、各々のスキャン開始条件を選択することで、グループ A、グループ B の A/D 変換をそれぞれ異なるタイミングで開始することが可能 ● グループスキャンモード（グループ優先動作選択時）: – 低優先グループのスキャン中に優先グループのトリガがあった場合、低優先グループのスキャンを中断し、優先グループのスキャンを開始。優先順位は、グループ A（高） > グループ B（低） – 優先グループのスキャン終了後、低優先グループのスキャンを再開（再スキャン）する、またはしないを選択可能。再スキャンは、選択したチャネルの最初のチャネルから開始するか、または A/D 変換未了のチャネルから開始するかも設定可能
A/D 変換開始条件	● ソフトウェアトリガ ● イベントリンクコントローラ (ELC) からの同期トリガ ● 外部トリガ ADTRG0 端子による非同期トリガ
機能	● サンプリングステート数可変機能 ● A/D コンバータの自己診断機能 ● A/D 変換値加算モードと平均モードが選択可能 ● アナログ入力断線検出機能（ディスチャージ機能およびプリチャージ機能） ● ダブルトリガモード（A/D 変換データ 2 重化機能） ● A/D データレジスタオートクリア機能 ● デジタルコンペア機能（コンペアレジスタとデータレジスタの比較、データレジスタ間の比較） ● リングバッファ
割り込み要因	● シングルスキャンモード（ダブルトリガモード非選択）では、1 回のスキャン終了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生 – デジタルコンペア機能の比較条件成立で、コンペア割り込み要求 (ADC120_CMPAI/ADC120_CMPBI) を発生 – デジタルコンペア機能の比較条件成立で、ウィンドウコンペア ELC イベント信号 (ADC120_WCMPM) を発生 – デジタルコンペア機能の比較条件不成立で、ウィンドウコンペア ELC イベント信号 (ADC120_WCMPUM) を発生 ● シングルスキャンモード（ダブルトリガモード選択）では、2 回のスキャン終了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生 ● 連続スキャンモードでは、選択した全チャネルのスキャン終了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生 ● グループスキャンモード（ダブルトリガモード非選択）では、グループ A のスキャン終了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生。グループ B のスキャン終了でグループ B の A/D スキャン終了割り込み要求 (ADC120_GBADI) を発生。 ● グループスキャンモード（ダブルトリガモード選択）では、2 回のグループ A のスキャン終了で A/D スキャン終了割り込み要求 (ADC120_ADI) および ELC イベント信号 (ADC120_ADI) を発生。グループ B のスキャン終了でグループ B の A/D スキャン終了割り込み要求 (ADC120_GBADI) を発生 ● ADC120_ADI、ADC120_GBADI、ADC120_WCMPM、および ADC120_WCMPUM でデータトランスファコントローラ (DTC) を起動可能

表 35.1 ADC12 の仕様 (3/3)

項目	内容
ELC インタフェース	● グループスキャンモードでグループ A のスキャン終了時にイベント発生 ● グループスキャンモードでグループ B のスキャン終了時にイベント発生 ● すべてのスキャン終了時にイベント発生 ● ELC からのトリガでスキャン開始可能 ● シングルスキャンモードでのコンペア機能ウィンドウの条件に応じてイベント発生
基準電圧	● VREFH0 はアナログ基準電圧 ● VREFL0 はアナログ基準グランド
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減可能(注3)
TrustZone フィルタ	セキュリティ属性を設定可能

注 1. A/D 変換精度を変えた場合、A/D 変換時間も変わります。詳細は、「35.3.6. アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。
注 2. 温度センサ出力と内部基準電圧を選択している場合は、連続スキャンモードまたはグループスキャンモードを使用しないでください。
注 3. 詳細は、「10. 低消費電力モード」を参照してください。

表 35.2 ADC12 の機能一覧

項目			機能
アナログ入力チャネル			AN000～AN002, AN004～AN008, AN011～AN013, AN016 内部基準電圧 温度センサ出力
A/D 変換開始条件	ソフトウェア	ソフトウェアトリガ	許可
	非同期トリガ（外部トリガ）	トリガ入力端子	ADTRG0
	同期トリガ（ELC からのトリガ）	ELC トリガ	ELC_AD00、ELC_AD01
割り込み			ADC120_ADI ADC120_GBADI ADC120_CMPAI ADC120_CMPBI
ELC への出力			ADC120_ADI ADC120_WCMPM ADC120_WCMPUM
モジュールストップ機能の設定(注1) (注2)			MSTPCRD.MSTPD16 ビット

注 1. 詳細は、「10. 低消費電力モード」を参照してください。
注 2. モジュールストップ状態の解除後に A/D 変換を開始するのに、1 µs 以上待機します。

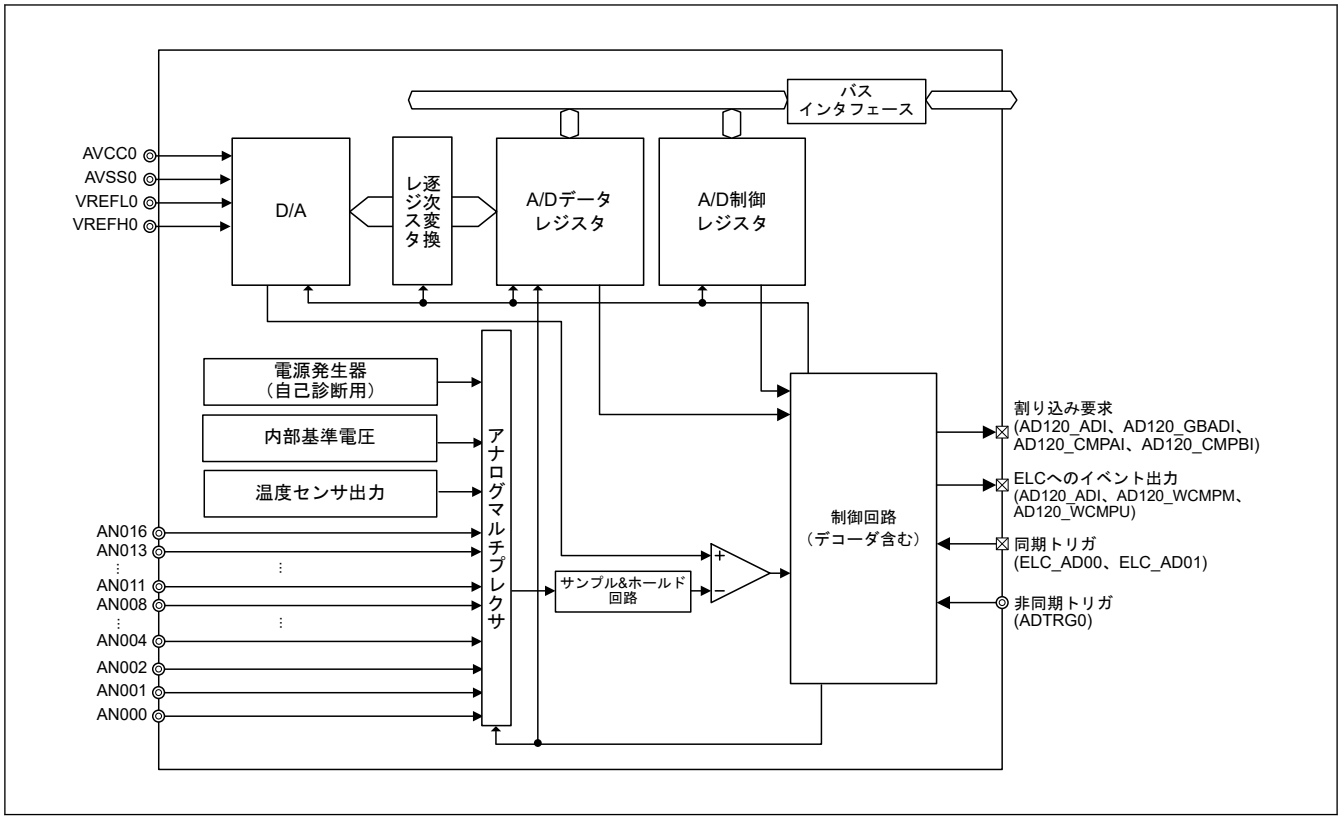


図 35.1　ADC12 のブロック図

表 35.3 に ADC12 の入出力端子の一覧を示します。

表 35.3　ADC12 の入出力端子

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子 （ADC12/DAC12 を使用しないときは VCC に接続してください）
AVSS0	入力	アナログ部の電源グランド端子 （ADC12/DAC12 を使用しないときは VSS に接続してください）
VREFH0	入力	アナログ基準電圧端子
VREFL0	入力	アナログ基準グランド端子
AN000～AN002, AN004～AN008, AN011～AN013, AN016	入力	アナログ入力端子 0～2, 4～8, 11～13, 16
ADTRG0	入力	A/D 変換開始のための外部トリガ入力端子

35.2　レジスタの説明

35.2.1　ADDRn : A/D データレジスタ n (n = 0～2, 4～8, 11～13, 16)

Base address: ADC120 = 0x4017_0000

Offset address: 0x020 + 0x2 × n (n = 0～2, 4～8, 11～13, 16)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADDR [15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 35.4 と表 35.5 を参照してください。	R

ADDRn レジスタは、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- A/D 変換精度選択ビット (ADCER.ADPRC[1:0]) の設定値（12 ビット、10 ビット、8 ビットから選択可能）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回加算）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 35.4 に示します。

表 35.4 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11～0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11～0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビット、10 ビット、8 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 35.5 に示します。

表 35.5 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	変換回数が 1、2、3、または 4 回の場合	読むと 0 が読めます。		加算結果 13～0: 14 ビット A/D 変換値加算結果													
12 ビット精度の左詰めデータ	変換回数 1、2、3、または 4 回が選択された場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	変換回数 16 回が選択された場合	加算結果 13～0: 14 ビット A/D 変換値加算結果														読むと 0 が読めます。	

35.2.2 ADDBLDR : A/D データ 2 重化レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x018

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADDBLDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADDBLDR [15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 35.6 と表 35.7 を参照してください。	R

ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- A/D 変換精度選択ビット (ADCER.ADPRC[1:0]) の設定値（12 ビット、10 ビット、8 ビットから選択可能）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回加算）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 35.6 に示します。

表 35.6 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11～0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11～0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビット、10 ビット、8 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 35.7 に示します。

表 35.7　A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	変換回数が 1、2、3、または 4 回の場合	読むと 0 が読めます。		加算結果 13～0: 14 ビット A/D 変換値加算結果													
12 ビット精度の左詰めデータ	変換回数 1、2、3、または 4 回が選択された場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	変換回数 16 回が選択された場合	加算結果 13～0: 14 ビット A/D 変換値加算結果														読むと 0 が読めます。	

35.2.3　ADDBLDRn : A/DA データ 2 重化レジスタ n（n = A, B）

Base address: ADC120 = 0x4017_0000

Offset address: 0x084 (n = A)
0x086 (n = B)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADDBLDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADDBLDR [15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 35.8 と表 35.9 を参照してください。	R

ADDBLDRn レジスタは、ダブルトリガモード選択時の拡張動作中のトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- A/D 変換精度選択ビット (ADCER.ADPRC[1:0]) の設定値（12 ビット、10 ビット、8 ビットから選択可能）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回加算）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1)　A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 35.8 に示します。

表 35.8　12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11～0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11～0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2)　A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビット、10 ビット、8 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 35.9 に示します。

表 35.9 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	変換回数が 1、2、3、または 4 回の場合	読むと 0 が読めます。		加算結果 13～0: 14 ビット A/D 変換値加算結果													
12 ビット精度の左詰めデータ	変換回数 1、2、3、または 4 回が選択された場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	変換回数 16 回が選択された場合	加算結果 13～0: 14 ビット A/D 変換値加算結果														読むと 0 が読めます。	

35.2.4 ADTSDR : A/D 温度センサデータレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x01A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADTSDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADTSDR [15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 35.10 と表 35.11 を参照してください。	R

ADTSDR レジスタは、温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- A/D 変換精度選択ビット (ADCER.ADPRC[1:0]) の設定値（12 ビット、10 ビット、8 ビットから選択可能）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回加算）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 35.10 に示します。

表 35.10　12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11～0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11～0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2)　A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3)　A/D 変換値加算モードを選択した場合

12 ビット、10 ビット、8 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 35.11 に示します。

表 35.11　A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	変換回数が 1、2、3、または 4 回の場合	読むと 0 が読めます。	加算結果 13～0: 14 ビット A/D 変換値加算結果														
12 ビット精度の左詰めデータ	変換回数 1、2、3、または 4 回が選択された場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	変換回数 16 回が選択された場合	加算結果 13～0: 14 ビット A/D 変換値加算結果														読むと 0 が読めます。	

35.2.5　ADOCDR : A/D 内部基準電圧データレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x01C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADOCDR [15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADOCDR [15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 35.12 と表 35.13 を参照してください。	R

ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

これらの A/D データレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- A/D 変換精度選択ビット (ADCER.ADPRC[1:0]) の設定値（12 ビット、10 ビット、8 ビットから選択可能）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回加算）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードにおけるこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

12 ビット精度でのビット割り当ての例を表 35.12 に示します。

表 35.12 12 ビット精度でのビット割り当ての例

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	読むと 0 が読めます。				変換値 11～0: 12 ビット A/D 変換値											
12 ビット精度の左詰めデータ	変換値 11～0: 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定チャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビット、10 ビット、8 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは同一チャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

12 ビット精度でのビット割り当ての例を表 35.13 に示します。

表 35.13 A/D 変換値加算モードを選択した場合の 12 ビット精度でのビット割り当ての例

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	16 回変換を指定した場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	変換回数が 1、2、3、または 4 回の場合	読むと 0 が読めます。	加算結果 13～0: 14 ビット A/D 変換値加算結果														
12 ビット精度の左詰めデータ	変換回数 1、2、3、または 4 回が選択された場合	加算結果 15～0: 16 ビット A/D 変換結果の合計															
	変換回数 16 回が選択された場合	加算結果 13～0: 14 ビット A/D 変換値加算結果														読むと 0 が読めます。	

35.2.6 ADRD : A/D 自己診断データレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x01E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	DIAGST[1:0]		—	—	AD[11:0]											
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
11:0	AD[11:0]	変換値 11～0 12 ビット A/D 変換値	R
13:12	—	読むと 0 が読めます。	R
15:14	DIAGST[1:0]	自己診断ステータス 自己診断の詳細については、「35.2.15. ADCER : A/D コントロール拡張レジスタ」を参照してください。 0 0: パワーオン後に自己診断を実行していないことを示す 0 1: 0 V の電圧値の自己診断を実行したことを示す 1 0: 基準電圧(注1) × 1/2 の電圧値の自己診断を実行したことを示す 1 1: 基準電圧(注1)の自己診断を実行したことを示す	R

注. 12 ビット精度の右詰めデータのビット配置例を示します。
注 1. 基準電圧は VREFH0（ユニット 0）です。

ADRD レジスタは、ADC12 の自己診断により A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値を示す AD[11:0]ビットに加えて、自己診断ステータスビット (DIAGST[1:0]) が付加されます。

本レジスタのデータフォーマットは、A/D データレジスタフォーマットおよび A/D 変換精度の設定により決定されます。

A/D 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。自己診断の詳細については、「35.2.15. ADCER : A/D コントロール拡張レジスタ」を参照してください。

以下では、各条件のデータフォーマットについて説明します。本節のビット配置図とビット仕様表は、12 ビット精度の左詰めデータおよび右詰めデータのビット配置例を示します。

表 35.14 各精度における右詰め時のビット配置

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の右詰めデータ	DIAGST[1:0]		—		AD[11:0]											

表 35.15 各精度における左詰め時のビット配置

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
12 ビット精度の左詰めデータ	AD[11:0]												—		DIAGST[1:0]	

35.2.7 ADCSR : A/D コントロールレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADST	ADCS[1:0]		—	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]				
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
4:0	DBLANS[4:0]	ダブルトリガ対象チャネル選択 ダブルトリガ対象のアナログ入力を 1 チャネル選択します。ダブルトリガモード選択時のみ有効です。	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	GBADIE	グループ B スキャン終了割り込みおよび ELC イベント許可 グループ B のスキャンは、グループスキャンモードでのみ実行できます。 0: グループ B のスキャン終了後に ADC120_GBADI 割り込み発生を禁止 1: グループ B のスキャン終了後に ADC120_GBADI 割り込み発生を許可	R/W
7	DBLE	ダブルトリガモード選択 0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
8	EXTRG	トリガ選択(注1) 0: 同期トリガ (ELC) により A/D 変換開始 1: 非同期トリガ (ADTRG0) により A/D 変換開始	R/W
9	TRGE	トリガ開始許可 0: 同期、非同期トリガによる A/D 変換の開始を禁止 1: 同期、非同期トリガによる A/D 変換の開始を許可	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14:13	ADCS[1:0]	スキャンモード選択 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
15	ADST	A/D 変換スタート 0: A/D 変換停止 1: A/D 変換開始	R/W

注 1. 外部端子（非同期トリガ）で A/D 変換を起動する方法：
外部端子 (ADTRG0) に High を入力した状態で、ADCSR.TRGE ビットおよび ADCSR.EXTRG ビットを 1 にし、ADTRG0 端子から Low を入力します。ADTRG0 の立ち下がりエッジを検出し、スキャン変換を開始します。Low 入力のパルス幅は、1.5 PCLKA クロック以上必要です。

ADCSR レジスタは、ダブルトリガモードの設定、A/D 変換起動トリガの設定、スキャン終了割り込み許可／禁止、スキャンモードの選択、A/D 変換の開始／停止を行うレジスタです。

DBLANS[4:0]ビット（ダブルトリガ対象チャネル選択）

DBLANS[4:0]ビットは、ダブルトリガモードで A/D 変換データを 2 重化する 1 チャネルを選択します。これは、2 重化するチャネル番号のバイナリ値を設定することで選択できます。DBLANS[4:0]ビットで選択したチャネルのアナログ入力を、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。

ダブルトリガモードを選択した場合は、ADANSA0 レジスタと ADANSA1 レジスタで選択したチャネルは無効になり、DBLANS[4:0]ビットで選択した 1 チャネルが A/D 変換を行うチャネルとなります。

グループスキャンモードでダブルトリガモードを使用する場合、ダブルトリガ制御はグループ A のみに適用され、グループ B には適用されません。そのため、ダブルトリガモードでもグループ B に対してはマルチチャネルアナログ入力を選択できます。

DBLANS[4:0]ビットの設定は、ADST ビットが 0 のときのみ行ってください。DBLANS[4:0]ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

ダブルトリガモード時に A/D 変換値加算／平均モードに遷移するには、DBLANS[4:0]ビットで選択したチャネルを ADADS0 レジスタと ADADS1 レジスタに設定してください。

ダブルトリガモードでは、自己診断機能からの A/D 変換データ、温度センサ出力、および内部基準電圧を使用できません。

GBADIE ビット（グループ B スキャン終了割り込みおよび ELC イベント許可）

GBADIE ビットはグループスキャンモードでのグループ B のスキャン終了割り込み (ADC120_GBADI) の発生を許可または禁止します。

DBLE ビット（ダブルトリガモード選択）

DBLE ビットは、ダブルトリガモードの選択／非選択を指定します。ダブルトリガモードは、ADSTRGR.TRSA[5:0]ビットで選択された同期トリガ (ELC) のみで動作できます。

ダブルトリガは以下のように動作します。

1. 1 回目の変換終了時は ADC120_ADI 割り込みを出力せず、2 回目の変換終了時に出力します。
2. 1 回目のトリガで開始した 2 重化チャネル（DBLANS[4:0]で選択）の A/D 変換結果は、A/D データレジスタ y に格納され、2 回目のトリガで開始した変換結果は、A/D データ 2 重化レジスタに格納されます。

DBLE ビットが設定（ダブルトリガモードを選択）されている場合、ADANSA0 レジスタと ADANSA1 レジスタで指定したチャネルは無効です。DBLE を 0 にすると、ダブルトリガモードは非選択となります。DBLE ビットを再度 1 にすると、ダブルトリガモードの動作は、1.と 2.に示される最初のトリガによる最初のスキャンと同様になります。

ダブルトリガモードは、連続スキャンモードで選択しないでください。ダブルトリガモードでは、ソフトウェアトリガを使用できません。DBLE ビットの設定は、ADST ビットを 0 にしてから行ってください。DBLE ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

EXTRG ビット（トリガ選択）

EXTRG ビットは、A/D 変換を開始するトリガを同期トリガにするか、非同期トリガにするかを選択します。

グループスキャンモードでは、グループ A の選択トリガに対してこのビットの設定が有効です。グループ B は、このビットの設定にかかわらず選択した同期トリガで A/D 変換を開始します。

TRGE ビット（トリガ開始許可）

TRGE ビットは、同期トリガ、非同期トリガによる A/D 変換の起動を許可または禁止します。グループスキャンモード時は本ビットを 1 にしてください。

ADCS[1:0]ビット（スキャンモード選択）

ADCS[1:0]ビットは、スキャンモードを選択します。

シングルスキャンモードでは、ADANSA0 レジスタと ADANSA1 レジスタで選択したアナログ入力に対してチャネル番号の昇順で A/D 変換を実施します。選択したすべてのチャネルの A/D 変換が 1 回終了するとスキャン変換を停止します。

連続スキャンモードでは、ADCSR.ADST ビットが 1 の間、ADANSA0 レジスタと ADANSA1 レジスタで選択したアナログ入力に対してチャネル番号の昇順で A/D 変換を実施します。選択したすべてのチャネルの A/D 変換が 1 回終了すると最初のチャネルに戻り A/D 変換を繰り返します。連続スキャン中に ADCSR.ADST ビットを 0 にすると、スキャン中でも A/D 変換を停止します。

グループスキャンモード時：

- ADSTRGR.TRSA[5:0]ビットで選択された同期トリガ (ELC) で、グループ A のスキャンを開始します。ADANSA0 レジスタと ADANSA1 レジスタで選択したチャネルのグループ A アナログ入力をチャネル番号の昇順で A/D 変換します。選択したすべてのチャネルの A/D 変換が 1 回終了すると A/D 変換を停止します。
- ADSTRGR.TRSB[5:0]ビットで選択された同期トリガ (ELC) で、グループ B のスキャンを開始します。ADANSB0 レジスタと ADANSB1 レジスタで選択したチャネルのグループ B アナログ入力をチャネル番号の昇順で A/D 変換します。選択したすべてのチャネルの A/D 変換が 1 回終了すると A/D 変換を停止します。

このとき、グループ A 側とグループ B 側の変換処理が重なった場合、変換制御は別々に制御することができません。この場合は、A/D グループスキャン優先コントロールレジスタのグループ A 優先制御設定ビット (ADGSPCR.PGS) を 1 にして、変換優先順位をグループ A 側に設定してください。

グループスキャンモードでは、グループ A とグループ B に異なるチャネルとトリガを選択してください。

ADCS[1:0]ビットの設定は、ADST ビットが 0 のときのみ行ってください。ADCS[1:0]ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

表 35.16 スキャンモードおよびダブルトリガモードの設定による A/D 変換の選択対象

スキャンモード設定	ダブルトリガモード設定	A/D 変換対象				
		自己診断	アナログ入力（グループ A）	アナログ入力（グループ B）	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	✓	✓	—	✓	✓
	DBLE = 1	—	✓（1 ch のみ）	—	—	—
連続スキャン	DBLE = 0	✓	✓	—	✓	✓
	DBLE = 1	—	—	—	—	—
グループスキャン	DBLE = 0	✓	✓	✓	✓	✓
	DBLE = 1	—	✓（1 ch のみ）	✓	✓	✓

注. ✓：選択可能、—：選択不可能

ADST ビット（A/D 変換スタート）

ADST ビットは、A/D 変換の開始／停止を制御します。ADST ビットを 1 にする前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

[1 になる条件]

- 1 を書いたとき
- ADCSR.EXTRG ビットを 0、ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガ (ELC) を検出したとき
- グループスキャンモードで ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSB[5:0]ビットで選択した同期トリガ (ELC) を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを 1、ADSTRGR.TRSA[5:0]ビットを 0x00 にし、非同期トリガを検出したとき
- グループ優先動作モード有効時（ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1）に、ADGSPCR.GBRP ビットを 1 に設定し、最も優先度の低いグループの A/D 変換を開始したとき

[0 になる条件]

- 0 を書いたとき
- シングルスキャンモードで、選択したすべてのチャネル、温度センサ出力、内部基準電圧の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループ優先動作モード有効時（ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1）に、ADGSPCR.GBRSCN ビットを 1 に設定し、トリガにより開始した最も優先度の低いグループの A/D 変換が終了したとき

注. グループ優先動作モード有効時（ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1）、ADST ビットを 1 にしないでください。

注. グループ優先動作モード有効時（ADCSR.ADCS[1:0] = 01b かつ ADGSPCR.PGS = 1）、かつ ADGSPCR.GBRP = 1 のとき、ADST ビットを 0 にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

35.2.8 ADANSA0 : A/D チャネル選択レジスタ A0

Base address: ADC120 = 0x4017_0000

Offset address: 0x004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ANSA 15	ANSA 14	ANSA 13	ANSA 12	ANSA 11	ANSA 10	ANSA 9	ANSA 8	ANSA 7	ANSA 6	ANSA 5	ANSA 4	ANSA 3	ANSA 2	ANSA 1	ANSA 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ANSA15～ANSA0	A/D 変換チャネル選択 ビット 15 (ANSA15) は AN015 に、ビット 0 (ANSA0) は AN000 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W

注. n = 0～2, 4～8, 11～13
注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。

ADANSA0 レジスタは A/D 変換を行うアナログ入力チャネルを選択します。グループスキャンモードでは、本レジスタはグループ A チャネルを選択します。

ADANSA0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ANSAn ビット（A/D 変換チャネル選択）

ADANSA0 レジスタは A/D 変換を行うアナログ入力チャネルの組み合わせを選択します。チャネルおよびチャネル数は任意に設定可能です。

ダブルトリガモード時は、ADANSA0 レジスタで選択したチャネルは無効となり、代わりに ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなります。

また、グループスキャンモード選択時は、A/D チャネル選択レジスタ B0 (ADANSB0)、および A/D チャネル選択レジスタ B1 (ADANSB1) で指定したチャネルを選択しないでください。

35.2.9 ADANSA1 : A/D チャネル選択レジスタ A1

Base address: ADC120 = 0x4017_0000

Offset address: 0x006

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ANSA 31	ANSA 30	ANSA 29	ANSA 28	ANSA 27	ANSA 26	ANSA 25	ANSA 24	ANSA 23	ANSA 22	ANSA 21	ANSA 20	ANSA 19	ANSA 18	ANSA 17	ANSA 16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ANSA31～ANSA16	A/D 変換チャネル選択 ビット 15 (ANSA31) は AN031 に、ビット 0 (ANSA16) は AN016 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W

注. n = 16
注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。

ADANSA1 レジスタは A/D 変換のアナログ入力チャネルを選択します。グループスキャンモードでは、本レジスタはグループ A チャネルを選択します。

ADANSA1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ANSAn ビット（A/D 変換チャネル選択）

ADANSA1 レジスタは A/D 変換を行うアナログ入力チャネルの組み合わせを選択します。チャネルおよびチャネル数は任意に設定可能です。

ダブルトリガモード時は、ADANSA1 レジスタで選択したチャネルは無効となり、代わりに ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなります。

また、グループスキャンモード選択時は、A/D チャネル選択レジスタ B0 (ADANSB0)、および A/D チャネル選択レジスタ B1 (ADANSB1) で指定したチャネルを選択しないでください。

35.2.10 ADANSB0 : A/D チャネル選択レジスタ B0

Base address: ADC120 = 0x4017_0000

Offset address: 0x014

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ANSB 15	ANSB 14	ANSB 13	ANSB 12	ANSB 11	ANSB 10	ANSB 9	ANSB 8	ANSB 7	ANSB 6	ANSB 5	ANSB 4	ANSB 3	ANSB 2	ANSB 1	ANSB 0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ANSB15～ANSB0	A/D 変換チャネル選択 ビット 15 (ANSB15) は AN015 に、ビット 0 (ANSB0) は AN000 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W

注. n = 0～2, 4～8, 11～13

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。

ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力を選択するレジスタです。ADANSB0 レジスタは他のスキャンモードでは使用しません。

ADANSB0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ANSBn ビット（A/D 変換チャネル選択）

ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力の組み合わせを選択するレジスタです。ADANSB0 レジスタはグループスキャンモードで使用され、他のスキャンモードでは使用しません。

グループ A で指定したチャネル（ADANSA0、ADANSA1 レジスタで選択またはダブルトリガモード時に ADCSR.DBLANS[4:0]ビットで選択したチャネル）を選択しないでください。

35.2.11 ADANSB1 : A/D チャネル選択レジスタ B1

Base address: ADC120 = 0x4017_0000

Offset address: 0x016

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ANSB 31	ANSB 30	ANSB 29	ANSB 28	ANSB 27	ANSB 26	ANSB 25	ANSB 24	ANSB 23	ANSB 22	ANSB 21	ANSB 20	ANSB 19	ANSB 18	ANSB 17	ANSB 16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ANSB31～ANSB16	A/D 変換チャネル選択 ビット 15 (ANSB31) は AN031 に、ビット 0 (ANSB16) は AN016 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W

注. n = 16

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。

ADANSB1 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力を選択するレジスタです。ADANSB1 レジスタは他のスキャンモードでは使用しません。

ADANSB1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ANSBn ビット（A/D 変換チャネル選択）

ADANSB1 レジスタはグループスキャンモード選択時にグループ B で A/D 変換を行うチャネルのアナログ入力の組み合わせを選択するレジスタです。ADANSB1 レジスタは他のスキャンモードでは使用しません。

グループ A で指定したチャネル（ADANSA0、ADANSA1 レジスタで選択またはダブルトリガモード時に ADCSR.DBLANS[4:0]ビットで選択したチャネル）を選択しないでください。

35.2.12 ADADS0 : A/D 変換値加算／平均チャネル選択レジスタ 0

Base address: ADC120 = 0x4017_0000

Offset address: 0x008

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADS15	ADS14	ADS13	ADS12	ADS11	ADS10	ADS9	ADS8	ADS7	ADS6	ADS5	ADS4	ADS3	ADS2	ADS1	ADS0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADS15～ADS0	A/D 変換値加算／平均チャネル選択 ビット 15 (ADS15) は AN015 に、ビット 0 (ADS0) は AN000 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W

注. n = 0～2, 4～8, 11～13

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。

ADSn ビット（A/D 変換値加算／平均チャネル選択）

ADSn ビットは A/D 変換値加算／平均の対象となる A/D 変換チャネルを決定します。選択した A/D 変換チャネルに対応する ADSn ビットを 1 にすると、選択したチャネルのアナログ入力を、ADADC.ADC[2:0]ビットで指定した回数（1、2、3、4、または 16 回）分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を、A/D データレジスタに格納します。

ADSn ビットは、以下で選択された A/D 変換チャネルのみに適用されます。

- ADANSA0 レジスタの ANSAn ビットまたは ADCSR レジスタの DBLANS[4:0]ビット
- ADANSB0 レジスタの ANSBn ビット

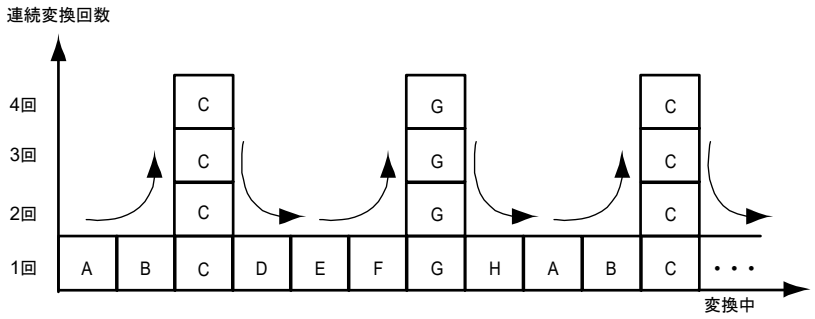
加算／平均モードが非選択の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS0 レジスタのビット設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

図 35.2 に ADADS0 レジスタのビット（チャネル c と g）を 1 にしたときのスキャン動作シーケンスを示します。本図では、以下のような設定になっています。

- 加算モードを選択 (ADADC.AVEE = 0)
- 変換回数を 4 に設定 (ADADC.ADC[1:0] = 11b)
- 連続スキャンモード (ADCSR.ADCS[1:0] = 10b) でアナログ入力チャネル a～h を選択（ADANSA0 レジスタ）

アナログ入力 A（チャネル a）から変換を開始します。アナログ入力 C（チャネル c）の変換は 4 回連続実行し、加算値を A/D データレジスタ c (ADDRc) に返します。その後、アナログ入力 D（チャネル d）の変換を開始し、アナログ入力 G（チャネル g）の変換は 4 回連続実行し、加算値を A/D データレジスタ g (ADDRg) に返します。アナログ入力 H（チャネル h）の変換後、再度アナログ入力 A（チャネル a）から同じシーケンスで動作します。



注. A～H はアナログ入力（チャネル a～h）

図 35.2 ADADC.ADC[2:0] = 011b および ADADS0/1 によるアナログ入力 C と G を 1 に選択時のスキャン変換シーケンス

35.2.13 ADADS1 : A/D 変換値加算／平均チャネル選択レジスタ 1

Base address: ADC120 = 0x4017_0000

Offset address: 0x00A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADS31	ADS30	ADS29	ADS28	ADS27	ADS26	ADS25	ADS24	ADS23	ADS22	ADS21	ADS20	ADS19	ADS18	ADS17	ADS16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADS31～ADS16	A/D 変換値加算／平均チャネル選択 ビット 15 (ADS31) は AN031 に、ビット 0 (ADS16) は AN016 に対応します。 0: 対応する入力チャネルを非選択 1: 対応する入力チャネルを選択	R/W

注. n = 16

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。

ADSn ビット（A/D 変換値加算／平均チャネル選択）

ADSn ビットは A/D 変換値加算／平均の対象となる A/D 変換チャネルを決定します。選択した A/D 変換チャネルに対応する ADSn ビットを 1 にすると、選択したチャネルのアナログ入力を、ADADC.ADC[2:0]ビットで指定した回数（1、2、3、4、または 16 回）分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を、A/D データレジスタに格納します。

本ビットは、以下で選択された A/D 変換チャネルのみに適用されます。

- ADANSA1 レジスタの ANSAn ビットまたは ADCSR レジスタの DBLANS[4:0]ビット
- ADANSB1 レジスタの ANSBn ビット

加算／平均モードが非選択の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ADADS1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

35.2.14 ADADC : A/D 変換値加算／平均回数選択レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x00C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	AVEE	—	—	—	—	ADC[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	ADC[2:0]	加算／平均回数選択 0 0 0: 1 回変換（加算なし。通常変換と同じ。） 0 0 1: 2 回変換（1 回加算を行う） 0 1 0: 3 回変換（2 回加算を行う） 0 1 1: 4 回変換（3 回加算を行う） 1 0 1: 16 回変換（15 回加算を行う） その他: 設定禁止	R/W
6:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	AVEE	平均モードを選択 0: 加算モードを選択 1: 平均モードを選択	R/W

ADADC は加算モードまたは平均モードの選択、および A/D 変換の加算回数を設定します。表 35.17 に、ADADC レジスタの設定可能な組み合わせを示します。

表 35.17 ADADC レジスタの設定可能な組み合わせ

モード選択 (AVEE)	分解能	変換回数				
		1 回	2 回	3 回	4 回	16 回
加算モード (AVEE = 0)	8 ビット	✓	✓	✓	✓	—
	10 ビット	✓	✓	✓	✓	—
	12 ビット	✓	✓	✓	✓	✓
平均モード (AVEE = 1)	8、10、12 ビット	—	✓	—	✓	—

注. ✓：選択可能、—：選択不可能

ADC[2:0]ビット（加算／平均回数選択）

ADC[2:0]ビットはダブルトリガモードでの選択チャネル（ADCSR.DBLANS[4:0]ビットでの選択チャネル）を含む A/D 変換および加算／平均モードが選択されたすべてのチャネルに対して加算回数を設定します。加算回数は温度センサ出力、内部基準電圧、の A/D 変換にも適用されます。
自己診断機能 (ADCER.DIAGM = 1) を実施する場合、ADC[2:0]ビットを 000b 以外の値にしないでください。

AVEE ビット（平均モードを選択）

AVEE ビットはダブルトリガモードでの選択チャネル（ADCSR.DBLANS[4:0]ビットでの選択チャネル）を含む A/D 変換および加算／平均モードが選択されたチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して加算モードまたは平均モードの選択を行います。

35.2.15 ADCER : A/D コントロール拡張レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x00E

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]		—	—	ACE	—	—	ADPRC[1:0]		—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
2:1	ADPRC[1:0]	A/D 変換精度選択 0 0: 12 ビット精度で A/D 変換を実施 0 1: 10 ビット精度で A/D 変換を実施 1 0: 8 ビット精度で A/D 変換を実施 1 1: 設定禁止	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	ACE	A/D データレジスタ自動クリアイネーブル 0: 自動クリアを禁止 1: 自動クリアを許可	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9:8	DIAGVAL[1:0]	自己診断変換電圧選択 0 0: 自己診断有効時は設定禁止 0 1: 0 V 1 0: 基準電圧(注1) × 1/2 1 1: 基準電圧(注1)	R/W
10	DIAGLD	自己診断モード選択 0: 自己診断電圧ローテーションモードを選択 1: 自己診断電圧固定モードを選択	R/W
11	DIAGM	自己診断イネーブル 0: ADC12 の自己診断を実施しない 1: ADC12 の自己診断を実施する	R/W
14:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15	ADRFMT	A/D データレジスタフォーマット選択 0: A/D データレジスタのフォーマットを右詰めにする 1: A/D データレジスタのフォーマットを左詰めにする	R/W

注 1. 基準電圧は VREFH0（ユニット 0） になります。

ADPRC[1:0]ビット（A/D 変換精度選択）

ADPRC[1:0]ビットは A/D 変換の精度を設定します。A/D 変換精度を変更した場合、結果レジスタに格納する有効データのビット幅と A/D 変換時間も変わります。詳細は、「35.3.6. アナログ入力のサンプリング時間とスキャン変換時間」と 45.3.6 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。ADPRC[1:0]ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ACE ビット（A/D データレジスタ自動クリアイネーブル）

ACE ビットは、CPU または DTC によって ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、または ADOCDR レジスタのいずれかを読み出した後、当該レジスタの自動クリア（すべて 0）を行うか行わないかを選択します。A/D データレジスタの自動クリアにより、各 A/D データレジスタの未更新障害を検出することができます。詳細は、「35.3.7. A/D データレジスタの自動クリア機能の使用例」を参照してください。

DIAGVAL[1:0]ビット（自己診断変換電圧選択）

DIAGVAL[1:0]ビットは自己診断電圧固定モードでの電圧値を選択します。詳細は、DIAGLD ビットの説明を参照してください。

DIAGVAL[1:0]ビットが 00b の場合、DIAGLD ビットを 1 にして自己診断を実行しないでください。

DIAGLD ビット（自己診断モード選択）

DIAGLD ビットは、自己診断に使用する 3 つの電圧値をローテーションするか、電圧値を固定するかを選択します。

DIAGLD ビットを 0 にすると、0 V → 基準電圧 × 1/2 → 基準電圧の順番にローテーションして変換していきます。リセット後、および自己診断電圧ローテーションモードを選択した場合は、0 V から自己診断を行います。スキャン変換が終了しても自己診断電圧値は 0 V に戻りません。再びスキャン変換を実行すると、前回に続く電圧値からローテーションを開始します。

DIAGLD ビットを 1 にすることにより固定電圧を選択します。ADCER.DIAGVAL[1:0]ビットで指定した固定電圧が変換されます。固定モードからローテーションモードに切り替えた場合は、固定電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

DIAGM ビット（自己診断イネーブル）

DIAGM ビットは、自己診断を実施するかしないかを選択します。

自己診断は、ADC12 の故障を検出するための機能です。自己診断モードでは、3 つの電圧値（0 V、基準電圧 × 1/2、基準電圧）のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換結果を格納します。その後、ADRD レジスタを読み出し、変換値が正常の範囲にある（正常）かない（異常）かを判断します。

自己診断は、スキャンごとの最初に 1 回実施され、3 つの電圧値のうち 1 つを A/D 変換します。ダブルトリガモード (ADCSR.DBLE = 1) では、自己診断 (DIAGM = 0) は選択されません。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B のそれぞれで自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ADRFMT ビット（A/D データレジスタフォーマット選択）

ADRFMT ビットは、ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR、ADCMPDR0/1、ADWINLLB、ADWINULB、または ADRD レジスタに格納するデータの右詰め／左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

35.2.16 ADSTRGR : A/D 変換開始トリガ選択レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x010

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	TRSA[5:0]						—	—	TRSB[5:0]					
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	TRSB[5:0]	グループ B 用 A/D 変換開始トリガ選択 グループスキャンモードでグループ B の A/D 変換開始トリガを選択します。	R/W
7:6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13:8	TRSA[5:0]	A/D 変換開始トリガ選択 シングルスキャンモード､連続スキャンモードでの A/D 変換開始トリガを選択します。グループスキャンモードではグループ A の A/D 変換開始トリガを選択します。	R/W
15:14	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TRSB[5:0]ビット（グループ B 用 A/D 変換開始トリガ選択）

TRSB[5:0]ビットはグループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0]ビットはグループスキャンモードでのみ使用するビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガとしてソフトウェアトリガまたは非同期トリガは設定しないでください。グループスキャンモードでは、TRSB[5:0]ビットを 0x00 以外の値にし、ADCSR.TRGE ビットを 1 にしてください。

グループスキャンモードのグループ優先動作選択時に、ADGSPCR.GBRP ビットを 1 にすることで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを 1 にする場合は、TRSB[5:0]ビットを 0x3F にしてください。変換トリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} より短い場合は、トリガによる A/D 変換が無効となる場合があります。

表 35.18 に TRSB[5:0]ビットでの A/D 変換起動要因選択一覧を示します。

表 35.18　TRSB[5:0]ビットでの A/D 変換起動要因選択一覧

要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態	—	1	1	1	1	1	1
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00, ELC_AD01	ELC	0	0	1	0	1	1

TRSA[5:0]ビット（A/D 変換開始トリガ選択）

TRSA[5:0]ビットはシングルスキャンモードおよび連続スキャンモードでは A/D 変換開始トリガまたはグループスキャンモードではグループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを行う場合、ソフトウェアトリガや非同期トリガは使用しないでください。

- 同期トリガ (ELC) を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 0 にしてください。
- 非同期トリガ (ADTRG0) を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 1 にしてください。
- ソフトウェアトリガ (ADCSR.ADST) は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0]ビットの設定値にかかわらず有効です。

変換トリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} より短い場合は、トリガによる A/D 変換が無効となる場合があります。

表 35.19 に TRSA[5:0]ビットでの A/D 変換起動要因選択一覧を示します。

表 35.19　TRSA[5:0]ビットでの A/D 変換起動要因選択一覧

要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態	—	1	1	1	1	1	1
ADTRG0	トリガ入力端子	0	0	0	0	0	0
ELC_AD00	ELC	0	0	1	0	0	1
ELC_AD01	ELC	0	0	1	0	1	0
ELC_AD00, ELC_AD01	ELC	0	0	1	0	1	1

35.2.17　ADEXICR : A/D 変換拡張入力コントロールレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x012

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	OCSB	TSSB	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSSAD	温度センサ出力 A/D 変換値加算／平均モード選択 0: 温度センサ出力に対し加算／平均モード非選択 1: 温度センサ出力に対し加算／平均モード選択	R/W
1	OCSAD	内部基準電圧 A/D 変換値加算／平均モード選択 0: 内部基準電圧に対し加算／平均モード非選択 1: 内部基準電圧に対し加算／平均モード選択	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	TSSA	温度センサ出力 A/D 変換選択 0: 温度センサ出力の A/D 変換禁止 1: 温度センサ出力の A/D 変換許可	R/W
9	OCSA	内部基準電圧 A/D 変換選択 0: 内部基準電圧の A/D 変換禁止 1: 内部基準電圧の A/D 変換許可	R/W
10	TSSB	グループ B 専用・温度センサ出力 A/D 変換選択 0: 温度センサ出力の A/D 変換禁止 1: 温度センサ出力の A/D 変換許可	R/W
11	OCSB	グループ B 専用・内部基準電圧 A/D 変換選択 0: 内部基準電圧の A/D 変換禁止 1: 内部基準電圧の A/D 変換許可	R/W
15:12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

TSSAD ビット（温度センサ出力 A/D 変換値加算／平均モード選択）

TSSAD ビットが 1 の場合、ADADC.ADC[2:0]ビットで設定した回数分、連続して温度センサ出力の A/D 変換が行われます。ADADC.AVEE ビットが 0 の場合、加算（積算）した値を A/D 温度センサデータレジスタ (ADTSDR) に返します。ADADC.AVEE ビットが 1 の場合、平均した値を A/D 内部基準電圧データレジスタ (ADTSDR) に返します。

TSSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

OCSAD ビット（内部基準電圧 A/D 変換値加算／平均モード選択）

OCSAD ビットが 1 の場合、ADADC.ADC[2:0]ビットで設定した回数分、連続して内部基準電圧の A/D 変換が行われます。ADADC.AVEE ビットが 0 の場合、加算（積算）した値を A/D 内部基準電圧データレジスタ (ADOCDR) に返します。ADADC.AVEE ビットが 1 の場合、平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に返します。

OCSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

TSSA ビット（温度センサ出力 A/D 変換選択）

TSSA ビットは、シングルスキャンモード、連続スキャンモード、およびグループスキャンモードのグループ A での温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換を行う場合は、ADCSR.DBLE ビットを 0 にしてください。

TSSB ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

OCSA ビット（内部基準電圧 A/D 変換選択）

OCSA ビットは、シングルスキャンモード、連続スキャンモード、およびグループスキャンモードのグループ A での内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換をする場合、ADCSR.DBLE ビットを 0 にしてください。

OCSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。また、OCSA ビットを 1 に設定した場合は、設定後 400 ns 以上待ってから A/D 変換を開始してください。

TSSB ビット（グループ B 専用・温度センサ出力 A/D 変換選択）

TSSB ビットはグループスキャンモードのグループ B での温度センサ出力の A/D 変換を選択します。TSSB ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。TSSA ビットが 1 のときは、TSSB ビットを 1 にしないでください。

OCSB ビット（グループ B 専用・内部基準電圧 A/D 変換選択）

OCSB ビットはグループスキャンモードのグループ B での内部基準電圧の A/D 変換を選択します。OCSB ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。OCSA ビットが 1 のときは、OCSB ビットを 1 にしないでください。さらに、OCSB ビットを 1 にしてから 400 ns 以上待機後に、A/D 変換を開始してください。

35.2.18 ADSSTRn/ADSSTRL/ADSSTRT/ADSSTRO : A/D サンプリングステートレジスタ (n = 0～2, 4～8, 11～13)

Base address: ADC120 = 0x4017_0000

Offset address: 0x0E0 + 0x1 × n (n = 0～2, 4～8, 11～13)
0x0DD (ADSSTRL)
0x0DE (ADSSTRT)
0x0DF (ADSSTRO)

Bit position:	7	6	5	4	3	2	1	0
Bit field:	SST[7:0]							
Value after reset:	0	0	0	0	1	0	1	1

ビット	シンボル	機能	R/W
7:0	SST[7:0]	サンプリング時間設定 5～255 ステートの間でサンプリング時間を設定します。	R/W

ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行うレジスタです。

本レジスタでは、アナログ入力信号源のインピーダンスが高いためにサンプリング時間が不足する場合や、ADCLK が低速な場合に、サンプリング時間を調整することができます。設定値は、1ADCLK サイクルの時間を示し、電圧条件によって規定されます。詳細は、「44.5. ADC12 特性」を参照してください。

サンプリング時間の下限値は分周比によって異なります。

- PCLKA: PCLKC (ADCLK) の分周比が 1:1、2:1、4:1、または 8:1 の場合、サンプリング時間は 5 ステートより長く設定してください。
- PCLKA: PCLKC (ADCLK) の分周比が 1:2 または 1:4 の場合、サンプリング時間は 6 ステートより長く設定してください。

表 35.20 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。詳細は「35.3.6. アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

SST[7:0]ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

表 35.20 A/D サンプリングステートレジスタと関連チャネルの関係

ビット名	関連チャネル
ADSSTRn.SST[7:0]ビット（n = 0～2, 4～8, 11～13）(注1)	AN000～AN002、AN004～AN008、AN011～AN013
ADSSTRL.SST[7:0]ビット	AN016
ADSSTRT.SST[7:0]ビット	温度センサ出力
ADSSTRO.SST[7:0]ビット	内部基準電圧

注 1. 自己診断機能を選択した時は、ADSSTR0.SST[7:0]ビットで設定したサンプリング時間が適用されます。

35.2.19 ADDISCR : A/D 断線検出コントロールレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x07A

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PCHG	ADNDIS[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	ADNDIS[3:0]	断線検出アシスト設定 0x0: 断線検出アシスト機能無効 0x1: 設定禁止 その他: プリチャージ／ディスチャージ期間のステート数	R/W
4	PCHG	プリチャージ／ディスチャージ選択 0: ディスチャージ 1: プリチャージ	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADDISCR レジスタは、A/D 断線検出アシスト機能のプリチャージ／ディスチャージの設定および期間を設定します。ADDISCR レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。温度センサ出力または内部基準電圧を A/D 変換する場合、A/D コンバータは自動的にディスチャージを実行します。

下記の機能のいずれかを使用する場合は断線検出アシスト機能を無効にしてください。

- 温度センサ
- 内部基準電圧
- A/D 自己診断

ADNDIS[3:0]ビット（断線検出アシスト設定）

ADNDIS[3:0]ビットは、プリチャージ／ディスチャージの期間を指定します。ADNDIS[3:0] = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] = 0001b は設定禁止です。ADNDIS[3:0] = 0000b、0001b 以外では、設定した値がプリチャージ／ディスチャージ期間のステート数となります。ADNDIS[3:0]ビットが 0000b 以外の値の場合、断線検出アシスト機能は有効になります。

PCHG ビット（プリチャージ／ディスチャージ選択）

プリチャージまたはディスチャージを選択します。

35.2.20 ADGSPCR : A/D グループスキャン優先コントロールレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x080

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	GBRP	LGRRS	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PGS	グループ優先動作設定(注1) 0: グループ優先制御動作を行わない 1: グループ優先制御動作を行う	R/W
1	GBRSCN	低優先グループ再起動設定 PGS = 1 の時のみ有効。PGS = 0 の時は無効。 0: グループ優先動作で中断されたグループの再スキャンをしない 1: グループ優先動作で中断されたグループの再スキャンをする	R/W

ビット	シンボル	機能	R/W
13:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
14	LGRRS	再開チャネル選択 PGS = 1 かつ GBRSCN = 1 の時のみ有効。 0: スキャン先頭チャネルから再スキャンを行う 1: A/D 変換が未終了のチャネルから再スキャンを行う	R/W
15	GBRP	シングルスキャン連続起動設定(注2) PGS = 1 の時のみ有効。PGS = 0 の時は無効。 0: シングルスキャン連続動作しない 1: 優先度の低いグループがシングルスキャン連続動作する	R/W

注 1. ADCSR.ADCS[1:0]ビットは、PGS を 1 にする前に 01b（グループスキャンモード）にする必要があります。それ以外の値にした場合、動作は保証されません。
注 2. GBRP ビットを 1 にした場合は、GBRSCN ビットの設定にかかわらず、優先度の低いグループがシングルスキャン連続動作を実行します。

PGS ビット（グループ優先動作設定）

PGS ビットはグループスキャンモードでのグループ優先動作を制御します。グループ優先動作を行うために、PGS ビットを 1 にしてください。

ADCSR.ADCS[1:0]ビットは、PGS ビットを 1 にする前に 01b（グループスキャンモード）にする必要があります。それ以外の値にした場合、動作は保証されません。

PGS ビットを 0 にした場合は、「35.6.3. A/D 変換停止に関する制約」に従い、ソフトウェアでのクリアを行ってください。PGS ビットを 1 にした場合は、「35.3.4.3. グループ優先動作」の手順に従い設定を行ってください。

GBRSCN ビット（低優先グループ再起動設定）

GBRSCN ビットは、グループ優先動作時の再スキャン動作を制御します。

GBRSCN ビットを 1 にすると、優先グループのトリガ入力により低優先グループのスキャン動作が中断した後、優先グループのスキャン終了を待ってから、低優先グループのスキャンを再実行します。また、優先グループのスキャン中に低優先グループのトリガ入力があった場合、優先グループのスキャン終了を待って、低優先グループのスキャンを実行します。

GBRSCN ビットを 0 にした場合は、スキャン中に入力されたトリガは無視されます。GBRSCN ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

LGRRS ビット（再開チャネル選択）

グループ優先動作時の、再スキャン開始チャネルを設定します。LGRRS ビットの設定は、PGS ビットと GBRSCN ビットが 1 のときに有効となります。

LGRRS ビットが 0 の時、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後に先頭チャネルからスキャンを再実行します。

LGRRS ビットが 1 の時、グループ優先動作によりスキャンを中断した低優先グループは、優先グループのスキャン終了後に A/D 変換未終了のチャネルからスキャンを再実行します。中断時に加算設定チャネルの A/D 変換が設定回数分終了していなければ、再実行時、加算設定チャネルは再度 A/D 変換を設定回数分実行します。

LGRRS ビットの設定は、ADCSR.ADST ビットが 0 のときに行ってください。

GBRP ビット（シングルスキャン連続起動設定）

GBRP ビットは、グループ優先動作設定で優先度の低いグループをシングルスキャンで連続動作させる場合に設定します。

GBRP ビットを 1 にすると、優先度の低いグループのシングルスキャンが起動します。スキャン終了後、優先度の低いグループのシングルスキャンを自動的に再開します。グループ優先動作でスキャンが中断した後は、優先グループの A/D 変換動作終了後、優先度の低いグループのシングルスキャンを自動的に再開します。

GBRP ビットを 1 にする場合は、事前に優先度の低いグループのトリガ入力を無効にしてください。GBRP ビットを 1 に設定した場合、GBRSCN ビットが 0 でも、優先度の低いグループのみ再スキャンを行います。

35.2.21 ADCMPCR : A/D コンペア機能コントロールレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x090

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPAIE	WCMPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	CMPAB[1:0]	ウィンドウ A/B 複合条件設定 これらのビットは、ウィンドウ A およびウィンドウ B がどちらも有効（CMPAE = 1 および CMPBE = 1）な場合に有効となります。 0 0: ウィンドウ A 比較条件に一致 OR ウィンドウ B 比較条件に一致で ADC120_WCMPM を出力それ以外は ADC120_WCMPUM を出力 0 1: ウィンドウ A 比較条件に一致 EXOR ウィンドウ B 比較条件に一致で ADC120_WCMPM を出力それ以外は ADC120_WCMPUM を出力 1 0: ウィンドウ A 比較条件に一致 AND ウィンドウ B 比較条件に一致で ADC120_WCMPM を出力それ以外は ADC120_WCMPUM を出力 1 1: 設定禁止	R/W
8:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
9	CMPBE	コンペアウィンドウ B 動作許可 0: コンペアウィンドウ B 動作禁止 ADC120_WCMPM および ADC120_WCMPUM の出力不可 1: コンペアウィンドウ B 動作許可	R/W
10	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
11	CMPAE	コンペアウィンドウ A 動作許可 0: コンペアウィンドウ A 動作禁止 ADC120_WCMPM および ADC120_WCMPUM の出力不可 1: コンペアウィンドウ A 動作許可	R/W
12	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
13	CMPBIE	コンペア B 割り込み許可 0: 比較条件（ウィンドウ B）一致による ADC120_CMPBI 割り込み禁止 1: 比較条件（ウィンドウ B）一致による ADC120_CMPBI 割り込み許可	R/W
14	WCMPE	ウィンドウ機能設定 0: ウィンドウ機能無効 ウィンドウ A および B はコンパレータとして動作し、下位の 1 つの値を A/D 変換結果と比較します。 1: ウィンドウ機能有効 ウィンドウ A および B はコンパレータとして動作し、上位および下位の 2 つの値を A/D 変換結果と比較します。	R/W
15	CMPAIE	コンペア A 割り込み許可 0: 比較条件（ウィンドウ A）一致による ADC120_CMPAI 割り込み禁止 1: 比較条件（ウィンドウ A）一致による ADC120_CMPAI 割り込み許可	R/W

CMPAB[1:0]ビット（ウィンドウ A/B 複合条件設定）

CMPAB[1:0]ビットはシングルスキャンモードでウィンドウ A およびウィンドウ B がどちらも有効（CMPAE = 1 および CMPBE = 1）な場合に有効となります。CMPAB[1:0]ビットにより、ADWINMON.MONCOMB のコンペア機能一致／不一致イベント出力条件および監視条件を指定します。CMPAB[1:0]ビットは、ADCSR.ADST ビットが 0 のときのみ設定してください。

CMPBE ビット（コンペアウィンドウ B 動作許可）

CMPBE ビットはコンペアウィンドウ B の動作を許可／禁止します。CMPBE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャネル選択レジスタ A0、A1、B0、B1（ADANSA0、ADANSA1、ADANSB0、ADANSB1）

- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSB、TSSB、OCSA、または TSSA ビット
- ウィンドウ B チャネル選択レジスタ (ADCMPBNSR) の CMPCHB[5:0]ビット

CMPAE ビット（コンペアウィンドウ A 動作許可）

CMPAE ビットはコンペアウィンドウ A の動作を許可／禁止します。CMPAE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャネル選択レジスタ A0、A1、B0、B1（ADANSA0、ADANSA1、ADANSB0、ADANSB1）
- A/D 変換拡張入力コントロールレジスタ (ADEXICR) の OCSB、TSSB、OCSA、または TSSA ビット
- ウィンドウ A チャネル選択レジスタ 0 および 1（ADCMPANSR0 および ADCMPANSR1）
- ウィンドウ A 拡張入力選択レジスタ (ADCMPANSER)

CMPBIE ビット（コンペア B 割り込み許可）

CMPBIE ビットは比較条件（ウィンドウ B）の一致による割り込み出力 ADC120_CMPBI を許可／禁止します。

WCMPE ビット（ウィンドウ機能設定）

WCMPE ビットは、ウィンドウ機能の有効／無効を選択します。WCMPE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

CMPAIE ビット（コンペア A 割り込み許可）

CMPAIE ビットは比較条件（ウィンドウ A）の一致による割り込み出力 ADC120_CMPAI を許可／禁止します。

35.2.22 ADCMPANSR0 : A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0

Base address: ADC120 = 0x4017_0000

Offset address: 0x094

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPCHA15	CMPCHA14	CMPCHA13	CMPCHA12	CMPCHA11	CMPCHA10	CMPCHA9	CMPCHA8	CMPCHA7	CMPCHA6	CMPCHA5	CMPCHA4	CMPCHA3	CMPCHA2	CMPCHA1	CMPCHA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPCHA15～CMPCHA0	コンペアウィンドウ A チャネル選択 ビット 15 (CMPCHA15) は AN015 に、ビット 0 (CMPCHA0) は AN000 に対応します。 0: 関連する入力チャネルに対するコンペア機能を禁止 1: 関連する入力チャネルに対するコンペア機能を許可	R/W

注. n = 0～2, 4～8, 11～13

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。

CMPCHAn ビット（コンペアウィンドウ A チャネル選択）

ADANSA0.ANSAn ビットおよび ADANSB0.ANSBn ビットで選択した A/D 変換チャネルと同一番号の CMPCHAn ビットを 1 にすると、コンペア機能が有効になります。

CMPCHAn ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

35.2.23 ADCMPANSR1 : A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1

Base address: ADC120 = 0x4017_0000

Offset address: 0x096

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPCHA31	CMPCHA30	CMPCHA29	CMPCHA28	CMPCHA27	CMPCHA26	CMPCHA25	CMPCHA24	CMPCHA23	CMPCHA22	CMPCHA21	CMPCHA20	CMPCHA19	CMPCHA18	CMPCHA17	CMPCHA16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPCHA31～CMPCHA16	コンペアウィンドウ A チャネル選択 ビット 15 (CMPCHA31) は AN031 に、ビット 0 (CMPCHA16) は AN016 に対応します。 0: 関連する入力チャネルに対するコンペア機能を禁止 1: 関連する入力チャネルに対するコンペア機能を許可	R/W

注. n = 16

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。

CMPCHAn ビット（コンペアウィンドウ A チャネル選択）

ADANSA1.ANSA ビットおよび ADANSB1.ANSB ビットで選択した A/D 変換チャネルと同一番号の CMPCHAn ビットを 1 にすると、コンペア機能が有効になります。

CMPCHAn ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

35.2.24 ADCMPANSER : A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x092

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPOCA	CMPTSA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPTSA	温度センサ出力コンペア選択 0: 温度センサ出力をコンペアウィンドウ A 対象から外す 1: 温度センサ出力をコンペアウィンドウ A 対象とする	R/W
1	CMPOCA	内部基準電圧コンペア選択 0: 内部基準電圧をコンペアウィンドウ A 対象から外す 1: 内部基準電圧をコンペアウィンドウ A 対象とする	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPTSA ビット（温度センサ出力コンペア選択）

ADEXICR.TSSA ビットまたは ADEXICR.TSSB ビットが 1 の場合、CMPTSA ビットを 1 に設定することにより、コンペア機能ウィンドウ A が有効になります。CMPTSA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

CMPOCA ビット（内部基準電圧コンペア選択）

ADEXICR.OCSA および ADEXICR.OCSB ビットが 1 の場合、CMPOCA ビットを 1 に設定することにより、コンペア機能ウィンドウ A が有効になります。CMPOCA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

35.2.25 ADCMPLR0 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0

Base address: ADC120 = 0x4017_0000

Offset address: 0x098

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPLCHA15	CMPLCHA14	CMPLCHA13	CMPLCHA12	CMPLCHA11	CMPLCHA10	CMPLCHA9	CMPLCHA8	CMPLCHA7	CMPLCHA6	CMPLCHA5	CMPLCHA4	CMPLCHA3	CMPLCHA2	CMPLCHA1	CMPLCHA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPLCHA15～CMPLCHA0	コンペアウィンドウ A 比較条件選択 ウィンドウ A 比較条件を適用するチャネルの比較条件を設定します。 ビット 15 (CMPLCHA15) は AN015 に、ビット 0 (CMPLCHA0) は AN000 に対応します。 比較条件を図 35.3 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) ADCMPDR0 値 > A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) A/D 変換値 < ADCMPDR0 値、 または ADCMPDR1 値 < A/D 変換値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0) ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1) ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W

注. n = 0～2, 4～8, 11～13

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。

CMPLCHAn ビット（コンペアウィンドウ A 比較条件選択）

CMPLCHAn ビットは、ウィンドウ A 比較条件を適用するチャネルの比較条件を設定します。このビットはコンペア対象のアナログ入力ごとに設定可能です。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSR0.CMPSTCHAn フラグは 1 になり、コンペア割り込み (ADC120_CMPAI) が発生します。

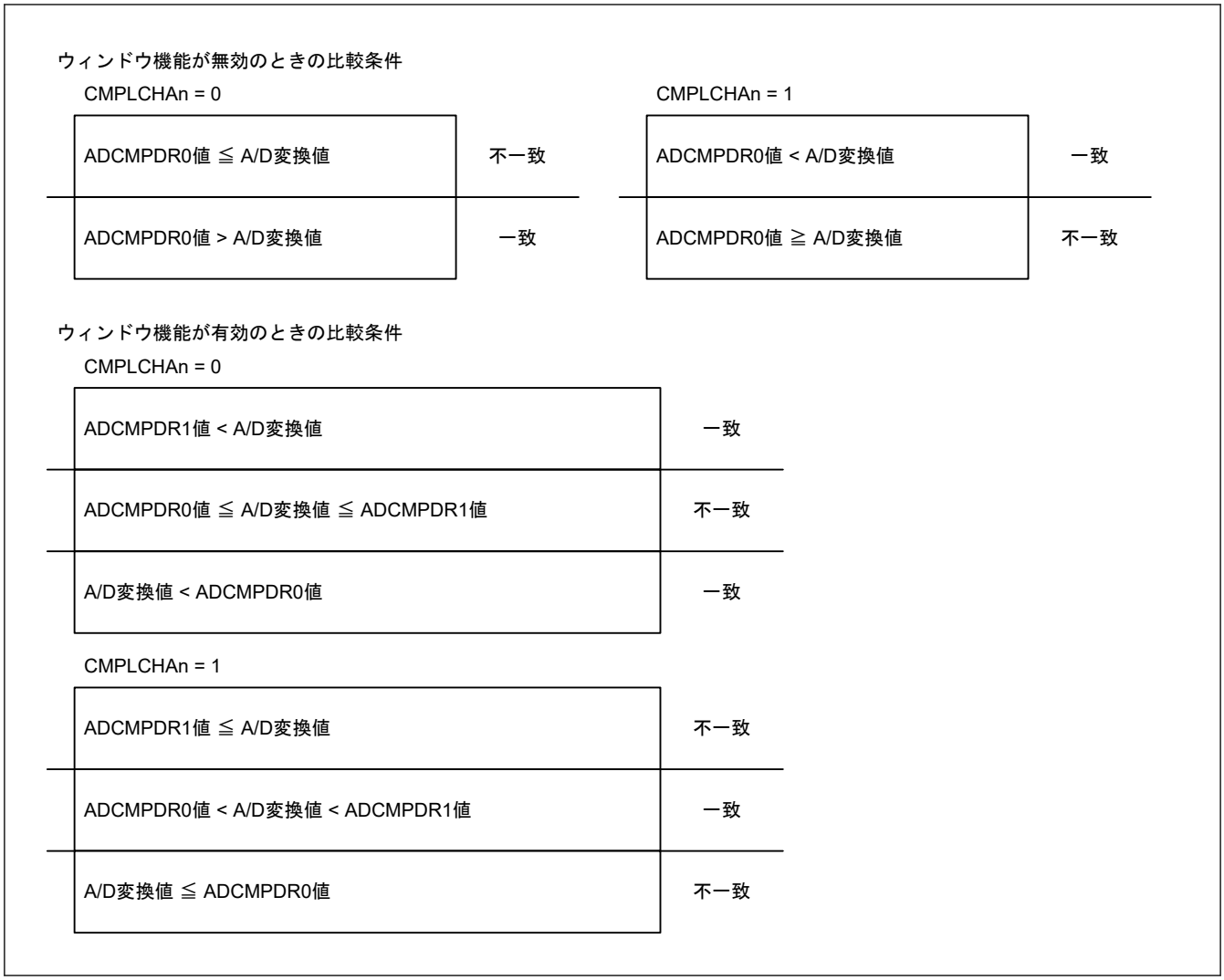


図 35.3　コンペア機能ウィンドウ A 比較条件の説明

35.2.26　ADCMPLR1 : A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1

Base address: ADC120 = 0x4017_0000

Offset address: 0x09A

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPLCHA31	CMPLCHA30	CMPLCHA29	CMPLCHA28	CMPLCHA27	CMPLCHA26	CMPLCHA25	CMPLCHA24	CMPLCHA23	CMPLCHA22	CMPLCHA21	CMPLCHA20	CMPLCHA19	CMPLCHA18	CMPLCHA17	CMPLCHA16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPLCHA31～ CMPLCHA16	コンペアウィンドウ A 比較条件選択 ウィンドウ A 比較条件を適用するチャネルの比較条件を設定します。 ビット 15 (CMPLCHA31) は AN031 に、ビット 0 (CMPLCHA16) は AN016 に対応します。 比較条件を図 35.3 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 > A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): A/D 変換値 < ADCMPDR0 値、 または ADCMPDR1 値 < A/D 変換値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W

注.　n = 16
注.　存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。

CMPLCHAn ビット（コンペアウィンドウ A 比較条件選択）

CMPLCHAn ビットはウィンドウ A 比較条件を適用するアナログチャネルの比較条件を指定します。このビットはコンペア対象のアナログ入力ごとに設定可能です。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSR1.CMPSTCHAn ビットは 1 になり、コンペア割り込み (ADC120_CMPAI) が発生します。

35.2.27　ADCMPLER : A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x093

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPLOCA	CMPLTSA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPLTSA	コンペアウィンドウ A 温度センサ出力比較条件選択 比較条件を図 35.3 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 > A/D 変換値　コンペアウィンドウ A 温度センサ出力比較条件選択 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): コンペアウィンドウ A 温度センサ出力比較条件　A/D 変換値 < ADCMPDR0 値、 または A/D 変換値 > ADCMPDR1 値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
1	CMPLOCA	コンペアウィンドウ A 内部基準電圧比較条件選択 比較条件を図 35.3 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 > A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): A/D 変換値 < ADCMPDR0 値、 または A/D 変換値 > ADCMPDR1 値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADCMPDR0 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADCMPDR0 値 < A/D 変換値 < ADCMPDR1 値	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPLTSA ビット（コンペアウィンドウ A 温度センサ出力比較条件選択）

CMPLTSA ビットは、温度センサ出力がウィンドウ A 比較条件の対象である場合の比較条件を指定します。温度センサ出力の比較結果が設定条件と一致すると、ADCMPSER.CMPSTTSA フラグは 1 になり、コンペア割り込み (ADC120_CMPAI) が発生します。

CMPLOCA ビット（コンペアウィンドウ A 内部基準電圧比較条件選択）

CMPLOCA ビットは、内部基準電圧がウィンドウ A 比較条件の対象である場合の比較条件を指定します。内部基準電圧の比較結果が設定条件と一致すると、ADCMPSER.CMPSTOCA フラグは 1 になり、コンペア割り込み (ADC120_CMPAI) が発生します。

35.2.28 ADCMPDRn : A/D コンペア機能ウィンドウ A 下側／上側レベル設定レジスタ n (n = 0, 1)

Base address: ADC120 = 0x4017_0000

Offset address: 0x09C + (0x2 × n)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADCMPDRy (y = 0, 1) レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを指定するレジスタです。ADCMPDR0 はウィンドウ A の下側基準を設定し、ADCMPDR1 は上側基準を設定します。

ADCMPDRy は読み出し／書き込みレジスタです。

ADCMPDRy の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することができます(注1)。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (ADCMPDR1 ≧ ADCMPDR0)。ADCMPDR1 は、ウィンドウ機能無効時は使用しません。

注 1. 下側基準および上側基準は、それぞれのレジスタが書き込まれる時に変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、本 MCU は上側基準値（変更後）と下側基準値（変更前）を A/D 変換結果と比較します。図 35.4 を参照してください。2 つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および関連するコンペアウィンドウ動作許可ビット（ADCMPCR.CMPAE または ADCMPCR.CMPBE）がどちらも 0 のときに、それらの基準値を書き換えてください。

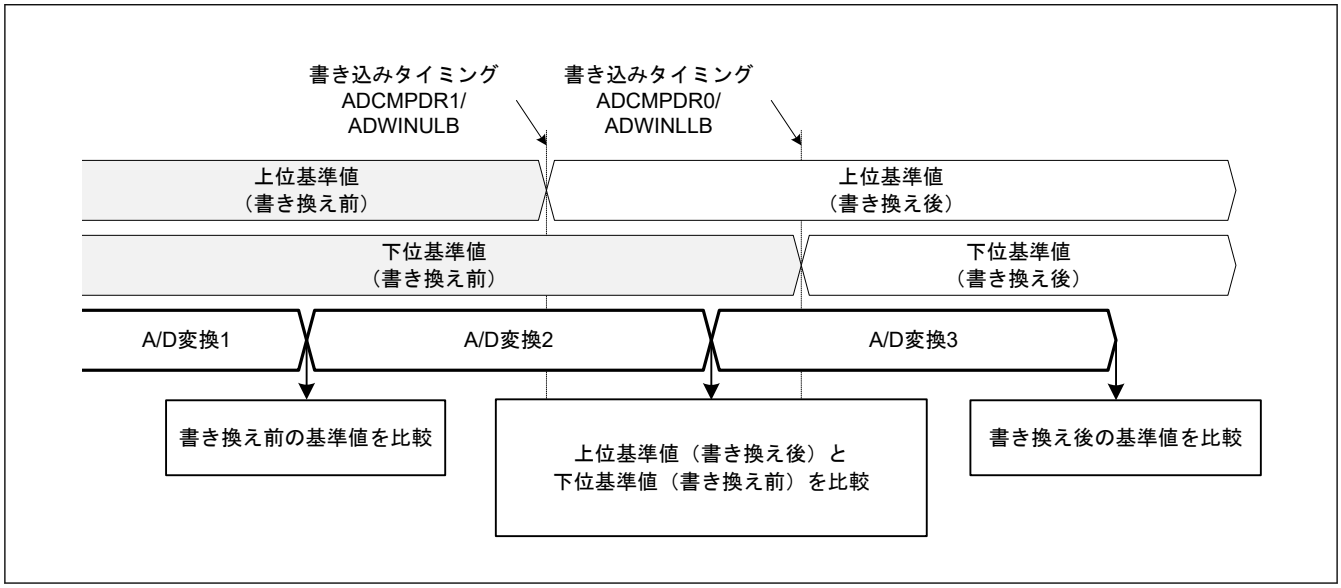


図 35.4 書き換え前後の上側基準値と下側基準値の比較

ADCMPDRy レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値（右詰めまたは左詰め）
- A/D 変換精度選択ビットの設定値（12 ビット、10 ビット、8 ビット）
- A/D 変換値加算／平均チャネル選択ビットの設定値（A/D 変換値加算モード選択、または非選択）

以下、条件ごとのフォーマットを示します。

1. A/D 変換値加算モードを非選択とした場合
   - 右詰めのフォーマット、12 ビット精度の場合：下位 12 ビット ([11:0]) が有効
   - 右詰めのフォーマット、10 ビット精度の場合：下位 10 ビット ([9:0]) が有効
   - 右詰めのフォーマット、8 ビット精度の場合：下位 8 ビット ([7:0]) が有効
   - 左詰めのフォーマット、12 ビット精度の場合：上位 12 ビット ([15:4]) が有効
   - 左詰めのフォーマット、10 ビット精度の場合：上位 10 ビット ([15:6]) が有効
   - 左詰めのフォーマット、8 ビット精度の場合：上位 8 ビット ([15:8]) が有効
2. A/D 変換値加算モードを選択した場合
   - 右詰めのフォーマット、12 ビット精度の場合：下位 14 ビット ([13:0]) または 16 ビット ([15:0]) が有効
   - 右詰めのフォーマット、10 ビット精度の場合：下位 12 ビット ([11:0]) が有効
   - 右詰めのフォーマット、8 ビット精度の場合：下位 10 ビット ([9:0]) が有効
   - 左詰めのフォーマット、12 ビット精度の場合：上位 14 ビット ([15:2]) または 16 ビット ([15:0]) が有効
   - 左詰めのフォーマット、10 ビット精度の場合：上位 12 ビット ([15:4]) が有効
   - 左詰めのフォーマット、8 ビット精度の場合：上位 10 ビット ([15:6]) が有効

注. 加算用の拡張ビット数は、A/D 変換精度および加算回数によって異なります。A/D 変換精度が 8、10、または 12 ビットの場合、2 ビットの拡張ビットでは最大 4 回変換（3 回加算）です。A/D 変換精度が 12 ビットの場合、4 ビットの拡張ビットでは 16 回変換（15 回加算）です。

35.2.29 ADWINnLB : A/D コンペア機能ウィンドウ B 下側／上側レベル設定レジスタ n (n = L, U)

Base address: ADC120 = 0x4017_0000

Offset address: 0x0A8 (n = L)
0x0AA (n = U)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADWINULB および ADWINLLB レジスタは、コンペアウィンドウ B 機能使用時、基準となるデータを指定します。ADWINLLB はウィンドウ B の下側基準を設定し、ADWINULB は上側基準を設定します。

ADWINnLB は読み出し／書き込みレジスタです。

ADWINnLB の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することができます(注1)。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください (ADWINULB ≧ ADWINLLB)。ADWINULB は、ウィンドウ機能無効時は使用しません。

注 1. 下側基準および上側基準は、それぞれのレジスタが書き込まれる時に変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、本 MCU は上側基準値（変更後）と下側基準値（変更前）を A/D 変換結果と比較します。図 35.5 を参照してください。2 つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および関連するコンペアウィンドウ動作許可ビット（ADCMPCR.CMPAE または ADCMPCR.CMPBE）がどちらも 0 のときに、それらの基準値を書き換えてください。

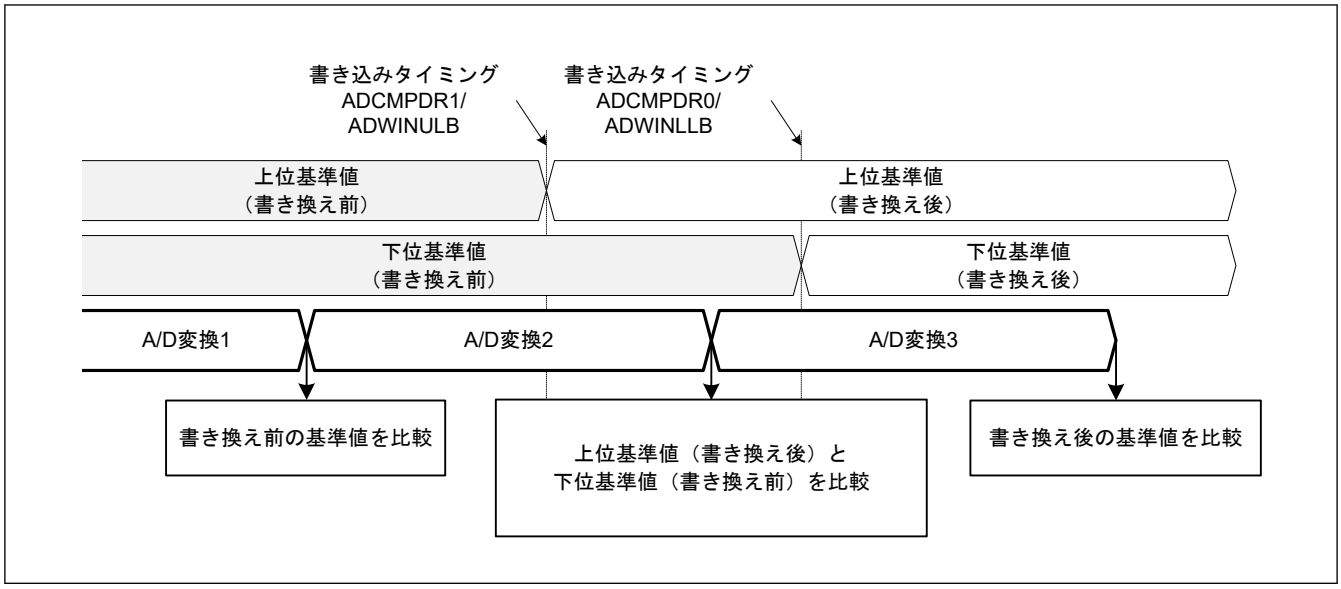


図 35.5　書き換え前後の上側基準値と下側基準値の比較

ADWINnLB レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビットの設定値（右詰めまたは左詰め）
- A/D 変換精度選択ビットの設定値（12 ビット、10 ビット、8 ビット）
- A/D 変換値加算／平均チャネル選択ビットの設定値（A/D 変換値加算モード選択、または非選択）

以下、条件ごとのフォーマットを示します。

1. A/D 変換値加算モードを非選択とした場合
   - 右詰めのフォーマット、12 ビット精度の場合：下位 12 ビット ([11:0]) が有効
   - 右詰めのフォーマット、10 ビット精度の場合：下位 10 ビット ([9:0]) が有効
   - 右詰めのフォーマット、8 ビット精度の場合：下位 8 ビット ([7:0]) が有効
   - 左詰めのフォーマット、12 ビット精度の場合：上位 12 ビット ([15:4]) が有効
   - 左詰めのフォーマット、10 ビット精度の場合：上位 10 ビット ([15:6]) が有効
   - 左詰めのフォーマット、8 ビット精度の場合：上位 8 ビット ([15:8]) が有効
2. A/D 変換値加算モードを選択した場合
   - 右詰めのフォーマット、12 ビット精度の場合：下位 14 ビット ([13:0]) または 16 ビット ([15:0]) が有効
   - 右詰めのフォーマット、10 ビット精度の場合：下位 12 ビット ([11:0]) が有効
   - 右詰めのフォーマット、8 ビット精度の場合：下位 10 ビット ([9:0]) が有効
   - 左詰めのフォーマット、12 ビット精度の場合：上位 14 ビット ([15:2]) または 16 ビット ([15:0]) が有効
   - 左詰めのフォーマット、10 ビット精度の場合：上位 12 ビット ([15:4]) が有効
   - 左詰めのフォーマット、8 ビット精度の場合：上位 10 ビット ([15:6]) が有効

注.　加算用の拡張ビット数は、A/D 変換精度および加算回数によって異なります。A/D 変換精度が 8、10、または 12 ビットの場合、2 ビットの拡張ビットでは最大 4 回変換（3 回加算）です。A/D 変換精度が 12 ビットの場合、4 ビットの拡張ビットでは 16 回変換（15 回加算）です。

35.2.30 ADCMPSR0 : A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0

Base address: ADC120 = 0x4017_0000

Offset address: 0x0A0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPSTCHA15	CMPSTCHA14	CMPSTCHA13	CMPSTCHA12	CMPSTCHA11	CMPSTCHA10	CMPSTCHA9	CMPSTCHA8	CMPSTCHA7	CMPSTCHA6	CMPSTCHA5	CMPSTCHA4	CMPSTCHA3	CMPSTCHA2	CMPSTCHA1	CMPSTCHA0
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPSTCHA15～CMPSTCHA0	コンペアウィンドウ A フラグ ウィンドウ A 動作が有効 (ADCMPCR.CMPAE = 1b) な場合、ウィンドウ A 比較条件を適用するチャネルの比較結果を示します。 ビット 15 (CMPSTCHA15) は AN015 に、ビット 0 (CMPSTCHA0) は AN000 に対応します。 0: 比較条件不成立 1: 比較条件成立	R/W

注. n = 0～2, 4～8, 11～13

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。

CMPSTCHAn フラグ（コンペアウィンドウ A フラグ）

CMPSTCHAn フラグはウィンドウ A 比較条件を適用したチャネルの比較結果を示します。
ADCMPLR0.CMPLCHA ビットで設定した比較条件が A/D 変換終了時に成立すると、対応する CMPSTCHAn フラグが 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、本フラグが 1 になるとコンペア割り込み要求 (ADC120_CMPAI) が発生します。

CMPSTCHAn フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLR0.CMPLCHA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

35.2.31 ADCMPSR1 : A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1

Base address: ADC120 = 0x4017_0000

Offset address: 0x0A2

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMPSTCHA31	CMPSTCHA30	CMPSTCHA29	CMPSTCHA28	CMPSTCHA27	CMPSTCHA26	CMPSTCHA25	CMPSTCHA24	CMPSTCHA23	CMPSTCHA22	CMPSTCHA21	CMPSTCHA20	CMPSTCHA19	CMPSTCHA18	CMPSTCHA17	CMPSTCHA16
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	CMPSTCHA31～CMPSTCHA16	コンペアウィンドウ A フラグ ウィンドウ A 動作が有効 (ADCMPCR.CMPAE = 1) な場合、ウィンドウ A 比較条件を適用するチャネルの比較結果を示します。 ビット 15 (CMPSTCHA31) は AN031 に、ビット 0 (CMPSTCHA16) は AN016 に対応します。 0: 比較条件不成立 1: 比較条件成立	R/W

注. n = 16

注. 存在しない端子に対応するビットは予約ビットです。読むと 0 が読めます。 書く場合、0 としてください。

CMPSTCHAn フラグ（コンペアウィンドウ A フラグ）

CMPSTCHAn フラグはウィンドウ A 比較条件を適用したチャネルの比較結果を示します。
ADCMPLR1.CMPLCHA で設定した比較条件が A/D 変換終了時に成立すると、関連する CMPSTCHAn フラグが 1

になります。ADCMPCR.CMPAIE ビットが 1 の場合、本フラグが 1 になるとコンペア割り込み要求 (ADC120_CMPAI) が発生します。

CMPSTCHAn フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLR1.CMPLCHA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

35.2.32 ADCMPSER : A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x0A4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	CMPSTOCA	CMPSTTSA
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPSTTSA	コンペアウィンドウ A 温度センサ出力コンペアフラグ ウィンドウ A 動作が有効 (ADCMPCR.CMPAE = 1) な場合、温度センサ出力の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
1	CMPSTOCA	コンペアウィンドウ A 内部基準電圧コンペアフラグ ウィンドウ A 動作が有効 (ADCMPCR.CMPAE = 1) な場合、内部基準電圧の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADCMPSER レジスタは、コンペア機能ウィンドウ A の比較結果を格納するレジスタです。

CMPSTTSA フラグ（コンペアウィンドウ A 温度センサ出力コンペアフラグ）

CMPSTTSA フラグは、温度センサ出力の比較結果を示します。ADCMPLER.CMPLTSA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、本フラグが 1 になるとコンペア割り込み要求 (ADC120_CMPAI) が発生します。

CMPSTTSA フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLER.CMPLTSA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

CMPSTOCA フラグ（コンペアウィンドウ A 内部基準電圧コンペアフラグ）

CMPSTOCA は、内部基準電圧の比較結果を示します。ADCMPLER.CMPLOCA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、本フラグが 1 になるとコンペア割り込み要求 (ADC120_CMPAI) が発生します。

CMPSTOCA フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLER.CMPLOCA で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

35.2.33 ADCMPBNSR : A/D コンペア機能ウィンドウ B チャネル選択レジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x0A6

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CMPLB	—	CMPCHB[5:0]					
Value after reset:	0	0	0	0	0	0	0	0

ビット	記号	機能	R/W
5:0	CMPCHB[5:0]	コンペアウィンドウ B チャネル選択 コンペアウィンドウ B 条件と比較するチャネルを選択します。	R/W
6	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	CMPLB	コンペアウィンドウ B 比較条件設定 ウィンドウ B のチャネル比較条件を設定します。比較条件を図 35.6 に示します。 0: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADWINLLB 値 > A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): A/D 変換値 < ADWINLLB 値または ADWINULB 値 < A/D 変換値 1: ウィンドウ機能無効時 (ADCMPCR.WCMPE = 0): ADWINLLB 値 < A/D 変換値 ウィンドウ機能有効時 (ADCMPCR.WCMPE = 1): ADWINLLB 値 < A/D 変換値 < ADWINULB 値	R/W

CMPCHB[5:0]	ユニット 0
0x00	AN000
0x01	AN001
0x02	AN002
0x04	AN004
⋮	⋮
0x08	AN008
0x0B	AN011
0x0C	AN012
0x0D	AN013
0x20	温度センサ
0x21	内部基準電圧
その他	設定禁止

CMPCHB[5:0]ビット（コンペアウィンドウ B チャネル選択）

CMPCHB[5:0]ビットはコンペアウィンドウ B 条件と比較するチャネルを AN000～AN002, AN004～AN008, AN011～AN013, AN016、温度センサ、内部基準電圧から指定します。コンペアウィンドウ B 機能は、ADANSA0、ADANSA1、ADANSB0、ADANSB1 レジスタで選択した A/D 変換チャネルを 16 進数で指定することで有効になります。

CMPCHB[5:0]ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

CMPLB ビット（コンペアウィンドウ B 比較条件設定）

CMPLB ビットはウィンドウ B のチャネル比較条件を指定します。各アナログ入力の比較結果が設定条件と一致すると、対応する ADCMPBSR.CMPSTB フラグは 1 になり、コンペア割り込み要求 (ADC120_CMPBI) が発生します。

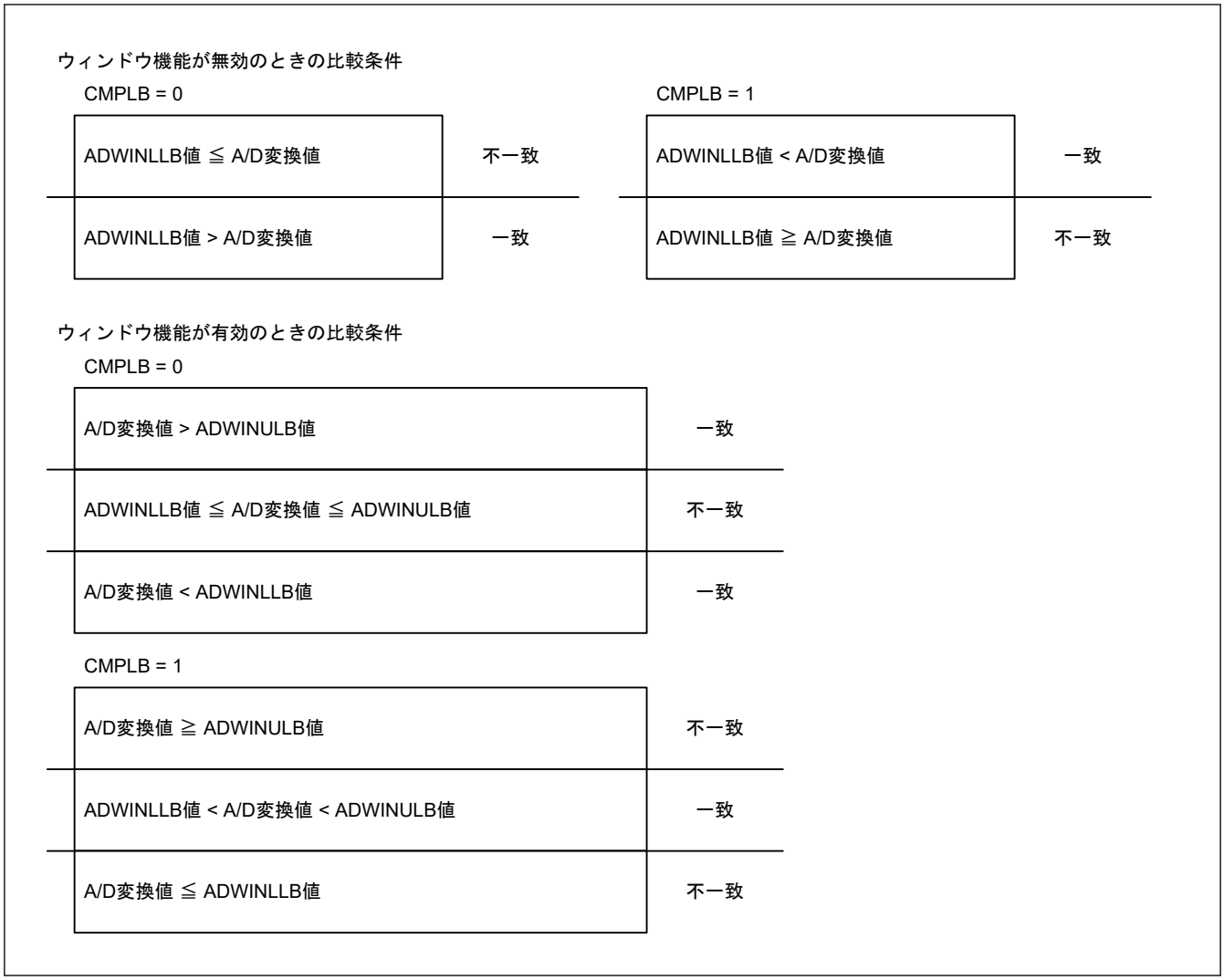


図 35.6　コンペア機能ウィンドウ B 比較条件の説明

35.2.34　ADCMPBSR : A/D コンペア機能ウィンドウ B ステータスレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x0AC

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	CMPSTB
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	CMPSTB	コンペアウィンドウ B フラグ ウィンドウ B の動作が有効 (ADCMPCR.CMPBE = 1) の場合、本ビットはウィンドウ B 比較条件を適用するチャネル、温度センサ出力、内部基準電圧の比較結果を示します。 0: 比較条件不成立 1: 比較条件成立	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

CMPSTB フラグ（コンペアウィンドウ B フラグ）

CMPSTB フラグはウィンドウ B 比較条件を適用するチャネル、温度センサ出力、内部基準電圧の比較結果を示します。ADCMPBNSR.CMPLB で設定した比較条件が A/D 変換終了時に成立すると、本フラグは 1 になります。

ADCMPCR.CMPBIE ビットが 1 の場合、本フラグが 1 になるとコンペア割り込み要求 (ADC120_CMPBI) が発生します。

CMPSTB フラグへの 1 書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、ADCMPBNSR.CMPLB で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

35.2.35 ADWINMON : A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x08C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	MONCMPB	MONCMPA	—	—	—	MONCOMB
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	MONCOMB	組み合わせ結果モニタ 組み合わせ結果を示します。本ビットは、ウィンドウ A とウィンドウ B の動作がどちらも有効な場合に有効となります。 0: ウィンドウ A／ウィンドウ B の複合条件が不成立 1: ウィンドウ A／ウィンドウ B の複合条件が成立	R
3:1	—	読むと 0 が読めます。	R
4	MONCMPA	比較結果モニタ A 0: ウィンドウ A 比較条件が不成立 1: ウィンドウ A 比較条件が成立	R
5	MONCMPB	比較結果モニタ B 0: ウィンドウ B 比較条件が不成立 1: ウィンドウ B 比較条件が成立	R
7:6	—	読むと 0 が読めます。	R

MONCOMB ビット（組み合わせ結果モニタ）

MONCOMB ビットは、は、ADCMPCR.CMPAB[1:0]ビットで設定した複合条件に従って比較条件結果 A および B の組み合わせの結果を示す読み出し専用ビットです。

[1 になる条件]

- ADCMPCR.CMPAE が 1 かつ ADCMPCR.CMPBE が 1 のとき、組み合わせ結果が ADCMPCR.CMPAB[1:0]ビットで設定した複合条件と一致したとき

[0 になる条件]

- 組み合わせ結果が ADCMPCR.CMPAB[1:0]ビットで設定した複合条件と一致しないとき
- ADCMPCR.CMPAE が 0 または ADCMPCR.CMPBE が 0 のとき

MONCMPA ビット（比較結果モニタ A）

読み出し専用の MONCMPA ビットは、ウィンドウ A の対象チャネルの A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER で設定した条件と一致すると 1 が読み出されます。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER レジスタで設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER レジスタで設定した条件と一致しないとき
- ADCMPCR.CMPAE が 0 のとき（ADCMPCR.CMPAE の値が 1 から 0 に変化すると自動的に 0 になる）

MONCMPB ビット（比較結果モニタ B）

MONCMPB ビットは、ウィンドウ B の対象チャネルの A/D 変換値が ADCMPBNSR.CMPLB ビットで設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

[1 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致するとき

[0 になる条件]

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致しないとき
- ADCMPCR.CMPBE = 0 のとき（ADCMPCR.CMPBE = 1→0 に変化すると自動的に 0 になる）

35.2.36 ADBUFEN : A/D データバッファイネーブルレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x0D0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BUFEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BUFEN	データバッファ許可 0: データバッファ不使用 1: データバッファ使用	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADBUFEN レジスタは、データバッファを有効にするかどうかを設定します。

BUFEN ビット（データバッファ許可）

本ビットはデータバッファの使用を許可します。

BUFEN = 1b のとき、自己診断結果以外の A/D 変換結果（加算結果）を ADBUFn に格納します。

ADBUFPTR を読み出す前に、データ格納動作を無効 (BUFEN = 0b) にしてください。

データの二重化またはグループスキャンにはデータバッファは使用しないでください。

35.2.37 ADBUFPTR : A/D データバッファポインタレジスタ

Base address: ADC120 = 0x4017_0000

Offset address: 0x0D2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	PTROVF	BUFPTR[3:0]			
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	BUFPTR[3:0]	データバッファポインタ 次の A/D 変換データの転送先データバッファ番号を示します。	R/W

ビット	シンボル	機能	R/W
4	PTROVF	ポインタオーバーフローフラグ 0: データバッファポインタのオーバーフローが発生していない 1: データバッファポインタのオーバーフローが発生した	R/W
7:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ADBUFPTR は、データバッファポインタとオーバーフローステータスを示すレジスタです。

BUFPTR[3:0]ビット（データバッファポインタ）

次の A/D 変換データの転送先データバッファ番号を示します。

データがデータバッファ 15 に転送された場合、ポインタ値は 0000b になり、PTROVF ビットは 1 になります。

次のデータが転送されると、データバッファ 0 のデータが上書きされます。

このレジスタに 0x00 を書き込むと、ビット値が 0 になります。0x00 以外の値を書き込むことはできません。

PTROVF ビット（ポインタオーバーフローフラグ）

データバッファポインタのオーバーフローが発生したかどうかを示すビットです。ポインタ値が 0000b（オーバーフロー）になるとき、このビットが 1 になります。

このレジスタに 0x00 を書き込むことにより、このビットをクリアできます。0x00 以外の値を書き込むことはできません。

35.2.38 ADBUFn : A/D データバッファレジスタ n (n = 0～15)

Base address: ADC120 = 0x4017_0000

Offset address: 0x0B0 + 0x2 × n (n = 0～15)

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	ADBUF[15:0]															
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	ADBUF[15:0]	変換値 15～0 機能は、選択したモードと精度により異なります。表 35.21 と表 35.22 を参照してください。	R

ADBUFn レジスタはすべての A/D 変換結果を順次格納する 16 ビット読み出し専用レジスタです。これらのレジスタには、自動クリア機能は適用されません。

ADBUFn の設定は A/D データレジスタフォーマット設定と同一です。

ADBUFn レジスタのデータフォーマットは、以下の条件により決定されます。

- レジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値（左詰めまたは右詰め）
- 加算／平均回数選択ビット (ADADC.ADC[2:0]) の設定値（1、2、3、4、または 16 回）
- 平均モード有効ビット (ADADC.AVEE) の設定値（加算または平均）

本節では異なるモードでのこれらの条件に対するデータフォーマットを説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

表 35.21 に各精度のビット配置を示します。

表 35.21 各精度のビット配置 (1/2)

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
右詰めのフォーマット、12 ビット精度にした場合	読むと 0 が読めます。				変換値 11～0 : 12 ビット A/D 変換値											

表 35.21 各精度のビット配置 (2/2)

精度	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
左詰めのフォーマット、12 ビット精度にした場合	変換値 11～0 : 12 ビット A/D 変換値												読むと 0 が読めます。			

(2) A/D 変換値平均モードを選択した場合

A/D 変換値平均モードは、A/D 変換値加算モードで 2 回または 4 回を指定した場合に選択できます。A/D 変換値平均モードを選択した場合、本レジスタは特定のチャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

12 ビット、10 ビット、8 ビットビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 1、2、3、または 4 回を選択できます。A/D 変換結果は、指定された変換精度の 2 ビット分の拡張値として、A/D データレジスタに格納されます。

12 ビットの A/D データレジスタビット精度の場合、A/D 変換値加算モードで 16 回を選択できます。A/D 変換値加算モードを選択したとき、本レジスタは特定のチャネルの A/D 変換値を加算した値を示します。A/D 変換結果は、指定された変換精度の 4 ビット分の拡張値として、A/D データレジスタに格納されます。

A/D 変換値加算モードを選択した場合、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

表 35.22 に各精度のビット配置を示します。

表 35.22 A/D 変換値加算モードを選択した場合の各精度のビット配置

精度		b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
右詰めのフォーマット、12 ビット精度にした場合	変換回数が 16 回の場合	加算結果 15～0 : 16 ビット A/D 変換結果の合計															
	変換回数が 1、2、3、または 4 回の場合	読むと 0 が読めます。	加算結果 13～0 : 14 ビット A/D 変換結果の合計														
左詰めのフォーマット、12 ビット精度にした場合	変換回数が 1、2、3、または 4 回の場合	加算結果 15～0 : 16 ビット A/D 変換結果の合計															
	変換回数が 16 回の場合	加算結果 13～0 : 14 ビット A/D 変換結果の合計														読むと 0 が読めます。	

35.3 動作

35.3.1 スキャンの動作説明

スキャンとは、選択したチャネルのアナログ入力を順次 A/D 変換する動作を指します。

スキャン変換の動作モードには、3 種類の動作モードがあります。

- シングルスキャンモード
- 連続スキャンモード
- グループスキャンモード

シングルスキャンモードは、指定した 1 チャネル以上のスキャンを 1 回実施して終了するモードです。連続スキャンモードは指定した 1 チャネル以上のスキャンを、ソフトウェアで ADCSR.ADST ビットを 0 にするまで繰り返し実行するモードです。グループスキャンモードでは、グループ A、B で選択されたチャネルは、各同期トリガに応じたスキャン開始後に、1 回スキャンされます。

シングルスキャンモードおよび連続スキャンモードでは、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャネル (ANn) に対して、変換順序に従って最小のチャネル番号 n から A/D 変換を開始します。グループスキャンモードでは、ADANSA0、ADANSA1 レジスタで選択したグループ A のアナログ入力チャネル (ANn)、

ADANSB0、ADANSB1 レジスタで選択したグループ B のアナログ入力チャネル (ANn) に対して、変換順序に従って最小のチャネル番号 n から A/D 変換を開始します。

自己診断を選択した場合は、スキャンごとの最初に 1 回実行され、3 つの基準電圧のうち 1 つを A/D 変換します。

温度センサ出力および内部基準電圧はアナログ入力チャネルとして同時に選択可能です。A/D 変換はアナログ入力チャネル、温度センサ出力、内部基準電圧の順番で実行されます。

ダブルトリガモードは、シングルスキャンモードまたはグループスキャンモードで使用可能です。ダブルトリガモードを許可すると (ADCSR.DBLE = 1)、ADSTRGR.TRSA[5:0]ビットで選択した、同期トリガ (ELC) でのスキャン起動でのみ、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換データを 2 重化します。グループスキャンモードでは、ダブルトリガモードを使用できるのはグループ A のみです。

ダブルトリガモードの拡張動作では、ADSTRGR.TRSA[5:0]ビットで選択した同期トリガコンビネーションから A/D 変換動作が発生します。通常のダブルトリガモードでの動作に加えて、奇数番号トリガ (ELC_AD00) の A/D 変換データは A/D データ 2 重化レジスタ A (ADDBLDRA) に格納され、偶数番号トリガ (ELC_AD01) の A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。ダブルトリガモードの拡張動作では、トリガコンビネーションの 1 つが同時発生すると、指定したトリガのデータ 2 重化レジスタ設定が実行されず、A/D 変換データは A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。

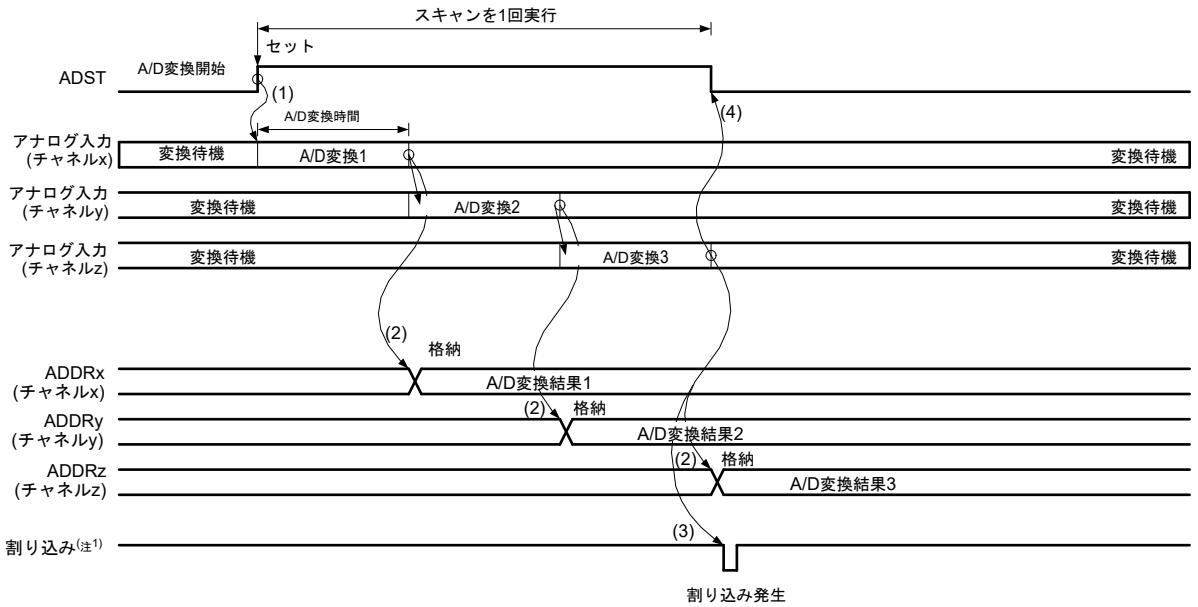
ADC12 は他の同期トリガで開始した A/D 変換の間に生じる同期トリガを無視します。

35.3.2 シングルスキャンモード

35.3.2.1 基本動作

シングルスキャンモードの基本動作は、指定されたチャネルのアナログ入力を以下のように 1 サイクルのみ A/D 変換します。

1. ソフトウェアトリガ、同期トリガ入力 (ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャネル (ANn) に対して最小のチャネル番号 n から A/D 変換を開始します。
2. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
3. 選択されたすべてのチャネルの A/D 変換終了後、ADC120_ADI 割り込み要求が発生します。
4. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に 0 になります。その後、ADC12 は待機状態になります。



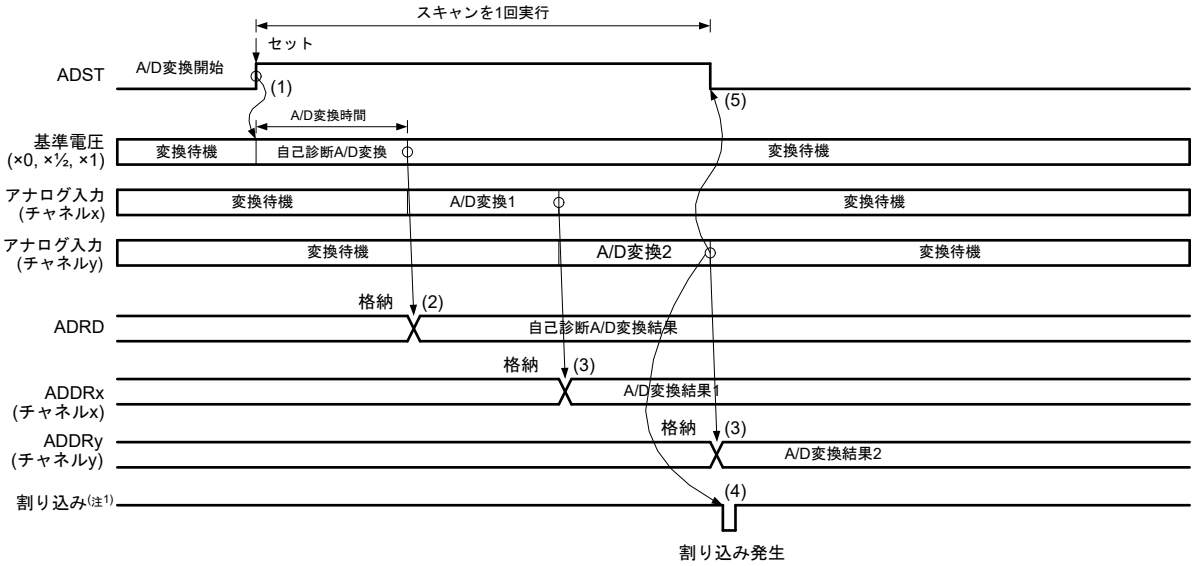
注. x、y、z (x < y < z) は ADANSA0/1 により選択されたチャネル番号です。
注 1. ADC120_ADI

図 35.7 シングルスキャンモードの基本動作例（アナログ入力（チャネル x～z）選択）

35.3.2.2 チャネル選択と自己診断

チャネルと自己診断を選択すると、基準電圧（×0、×1/2、または×1）の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

1. ソフトウェアトリガ入力、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャネル (ANn) を変換順序に従って最小のチャネル番号 n から A/D 変換を開始します。
3. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
4. 選択されたすべてのチャネルの A/D 変換が終了後、ADC120_ADI 割り込み要求が発生します。
5. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的にクリアされ、ADC12 は待機状態になります。



注. x、y (x < y) は ADANSA0/1 により選択されたチャネル番号です。
注 1. ADC120_ADI

図 35.8 シングルスキャンモードの基本動作例（アナログ入力（チャネル x、y）選択+自己診断）

35.3.2.3 温度センサ出力または内部基準電圧の A/D 変換

チャネル選択とともに温度センサ出力または内部基準電圧を選択すると、選択したチャネルのアナログ入力の A/D 変換を行い、その後温度センサ出力または内部基準電圧を 1 回のみ A/D 変換します。チャネル選択とともに温度センサ出力または内部基準電圧を選択すると、選択したチャネルのアナログ入力の A/D 変換を行い、その後温度センサ出力または内部基準電圧を 1 回のみ A/D 変換します。チャネルを非選択とし、温度センサまたは内部基準電圧のみを選択することも可能です。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ (ELC) または非同期トリガによって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
2. チャネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) へ格納され、次に温度センサ出力の A/D 変換を開始します。
3. 温度センサ出力の A/D 変換が終了すると、結果は関連する A/D 温度センサデータレジスタ (ADTSDR) へ格納され、次に内部基準電圧の A/D 変換を開始します。
4. 内部基準電圧の A/D 変換が終了すると、結果は関連する A/D 内部基準電圧データレジスタ (ADOCDR) へ格納され、ADC120_ADI 割り込み要求が発生します（レジスタ設定なし）。
5. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。

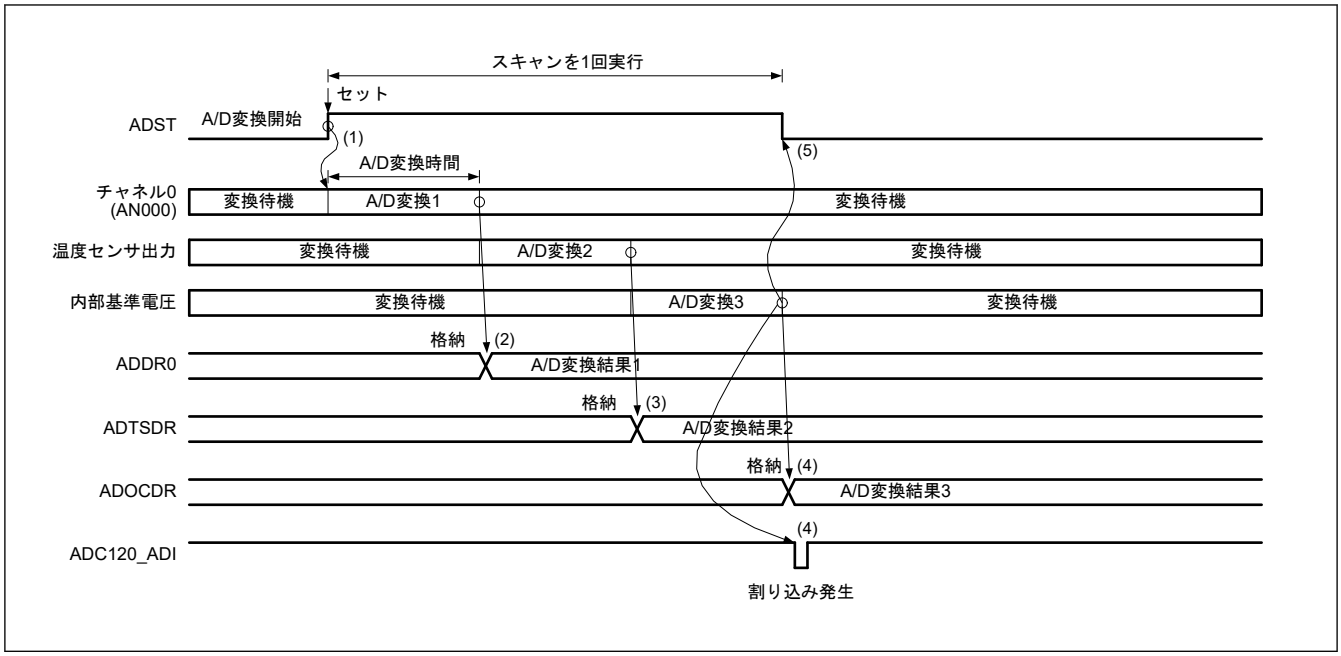


図 35.9　シングルスキャンモードの基本動作例（AN000、温度センサ出力または内部基準電圧選択時）

35.3.2.4　ダブルトリガモード選択時の A/D 変換動作

シングルスキャンモードでダブルトリガモードを選択した場合は、同期トリガ (ELC) で開始するシングルスキャンモードの実行 2 回分を一連の動作として実行します。

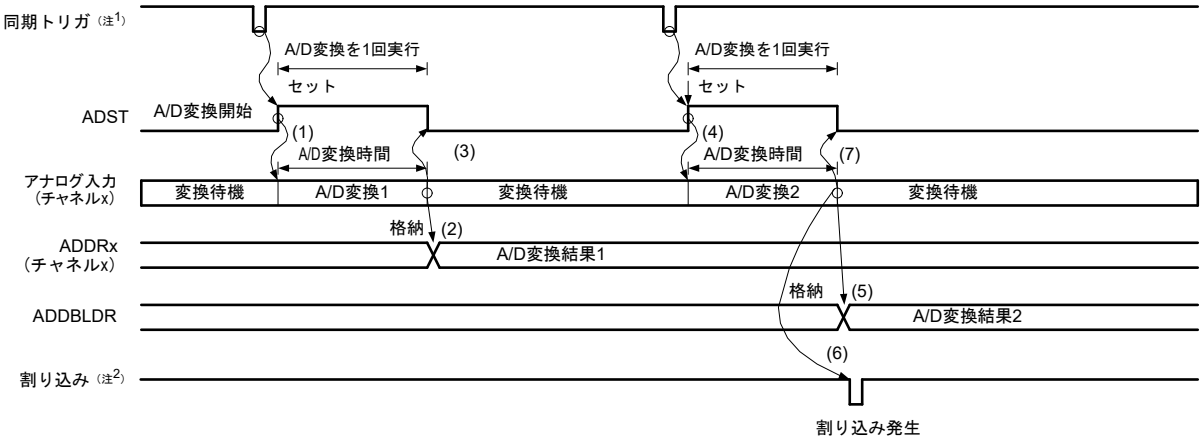
自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット（ADEXICR.TSSA、ADEXICR.TSSB）と内部基準電圧 A/D 変換選択ビット（ADEXICR.OCSA、ADEXICR.OCSB）は 0 に設定してください。

A/D 変換データ 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合は ADANSA0 レジスタと ADANSA1 レジスタのチャネル選択は無効になります。

ダブルトリガモードでは、ADSTRGR.TRSA[5:0]ビットで同期トリガ (ELC) を選択してください。加えて、ADCSR.EXTRG ビットを 0 に、ADCSR.TRGE ビットを 1 にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (ELC) によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換を開始します。
2. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. ADCSR.ADST ビットは自動的に 0 になり、ADC12 は待機状態になります。ADC120_ADI 割り込み要求は発生しません。
4. 2 回目のトリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換を開始します。
5. A/D 変換が終了すると、結果はダブルトリガモード専用の A/D データ 2 重化レジスタ (ADDBLDR) に格納されます。
6. ADC120_ADI 割り込み要求が発生します。
7. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、A/D 変換が終了すると自動的に 0 になり、ADC12 は待機状態になります。



注. x は ADANSA0/1 により選択されたチャネル番号です。
注 1. ELC_AD00/ELC_AD01
注 2. ADC120_ADI

図 35.10 シングルスキャンモードの動作例（ダブルトリガモード選択、アナログ入力（チャネル x）を 2 重化）

35.3.2.5 ダブルトリガモード選択時の拡張動作

シングルスキャンモードでダブルトリガモードを選択した場合に、A/D 変換開始トリガとして同期トリガ（ELC_AD00／ELC_AD01）を選択した場合、シングルスキャンモードの実行 2 回分を行います。

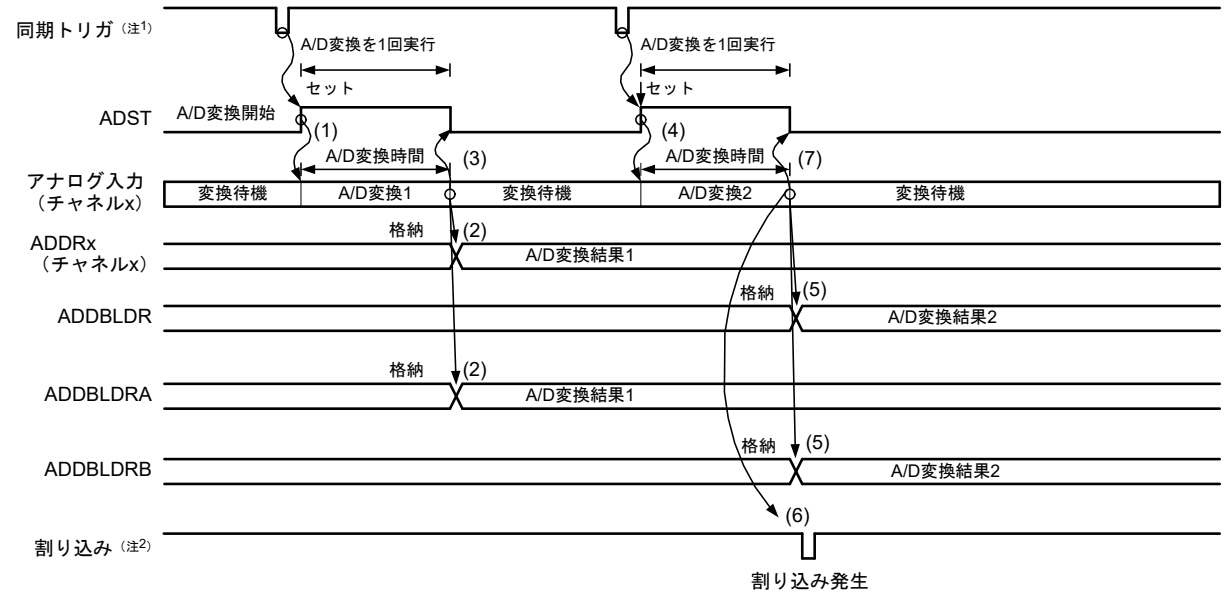
自己診断は非選択とし、温度センサ出力 A/D 変換選択ビット（ADEXICR.TSSA、ADEXICR.TSSB）と内部基準電圧 A/D 変換選択ビット（ADEXICR.OCSA、ADEXICR.OCSB）は 0 にしてください。

A/D 変換データ 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合は ADANSA0 レジスタと ADANSA1 レジスタのチャネル選択は無効になります。

拡張ダブルトリガモードでは、ADSTRGR.TRSA[5:0]ビットを 0x0B に設定することにより同期トリガ組み合わせ ELC_AD00/ELC_AD01 を選択し、ADCSR.EXTRG ビットを 0 に設定し、ADCSR.TRGE ビットを 1 に設定してください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力 (ELC_AD00/ELC_AD01) によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) および A/D データ 2 重化レジスタ A (ADDBLDRA) に格納されます。（ELC_ADi0 または ELC_ADi1 トリガ (i = 0) がそれぞれ入力された場合は A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。）
3. ADCSR.ADST ビットは自動的に 0 になり、ADC12 は待機状態になります。ADC120_ADI 割り込み要求は発生しません。
4. 2 回目のトリガ (ELC_AD00/ELC_AD01) によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADCSR.DBLANS[4:0]ビットで選択した 1 チャネルの A/D 変換を開始します。
5. A/D 変換が終了すると、A/D 変換結果は A/D データ 2 重化レジスタ (ADDBLDR) および A/D データ 2 重化レジスタ A (ADDBLDRA) または A/D データ 2 重化レジスタ B (ADDBLDRB) に格納されます。（ELC_ADi0 または ELC_ADi1 トリガ (i = 0) がそれぞれ入力された場合）
6. ADC120_ADI 割り込み要求が発生します。
7. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、A/D 変換が終了すると自動的に 0 になり、ADC12 は待機状態になります。



注. x は ADANSA0/1 により選択されたチャネル番号です。
注 1. ELC_AD00/ELC_AD01
注 2. ADC120_ADI

図 35.11 アナログ入力（チャネル x）と ELC_AD00/ELC_AD01 の重複選択時のダブルトリガモード拡張動作例

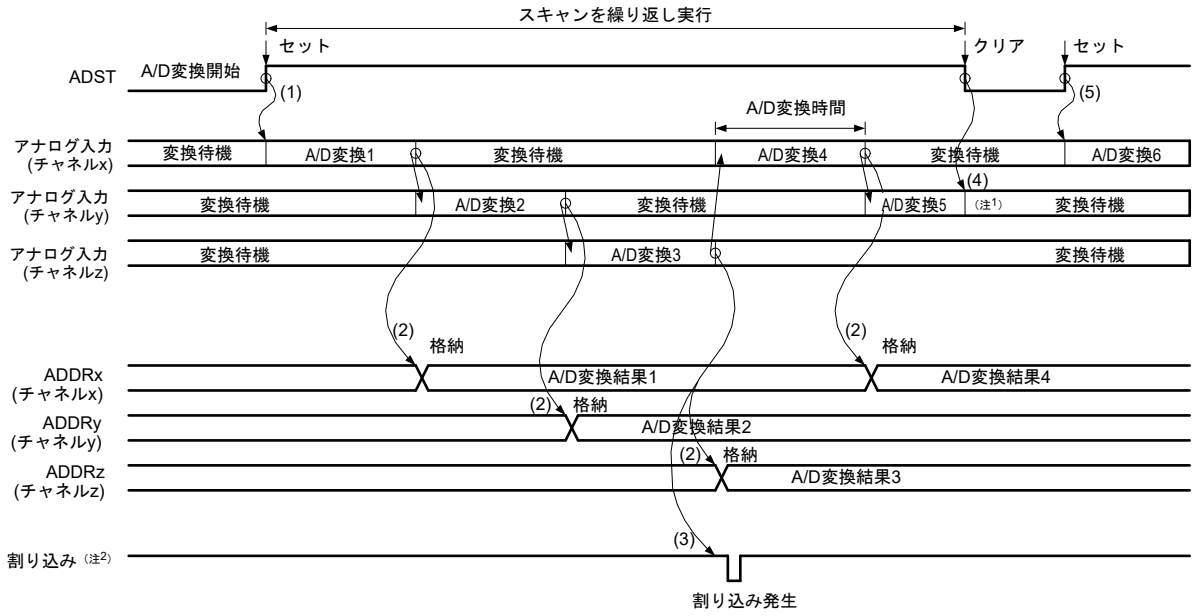
35.3.3 連続スキャンモード

35.3.3.1 基本動作

連続スキャンモードでは、選択されたチャネルのアナログ入力を繰り返し A/D 変換します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力 (ELC) または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャネル (ANn) に対して最小のチャネル番号 n から順に A/D 変換を開始します。
2. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ y (ADDRy) に格納されます。
3. 選択されたすべてのチャネルの A/D 変換終了後、ADC120_ADI 割り込み要求を発生します。また ADC12 は、継続して ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャネルの最小のチャネル番号 n から順に A/D 変換を開始します。
4. ADCSR.ADST ビットは自動的にクリアされず、1（A/D 変換開始）の状態の間は (2)～(3) を繰り返します。ADCSR.ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
5. その後、ADCSR.ADST ビットを 1（A/D 変換開始）にすると、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャネルの最小のチャネル番号 n から順に再び A/D 変換を開始します。



注. x、y、z (x < y < z) は ADANSA0/1 により選択されたチャネル番号です。
注 1. A/D 変換 5 のデータは無視されます。
注 2. ADC120_ADI

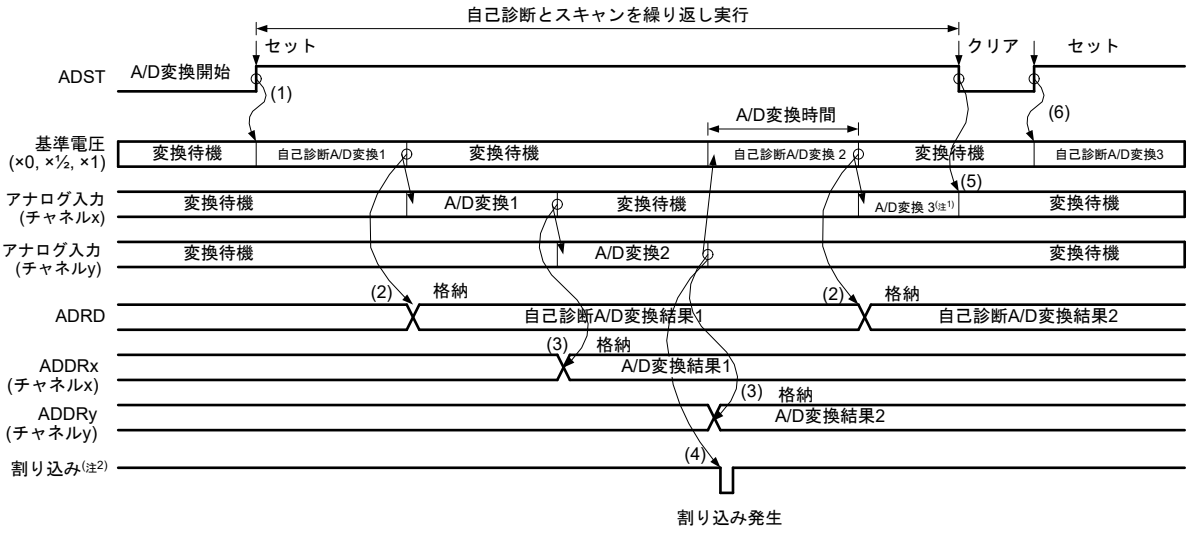
図 35.12 連続スキャンモードの基本動作例（アナログ入力（チャネル x～z）選択）

35.3.3.2 チャネル選択と自己診断

チャネル選択と自己診断を同時に選択すると、ADC12 に供給される基準電圧 （×0、×1/2 または×1）の A/D 変換を行い、その後、選択したチャネルのアナログ入力を A/D 変換します。以下の各項で示すように、このシーケンスを繰り返します。

動作は以下のとおりです。

1. ソフトウェアトリガ入力、同期トリガ入力 (ELC)、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ (ADRD) に格納されます。次に、ADANSA0 レジスタと ADANSA1 レジスタ で選択したアナログ入力チャネル (ANn) を、変換順序に従って最小のチャネル番号 n から A/D 変換を開始します。
3. 1 チャネルの A/D 変換が終了するごとに、A/D 変換結果は関連する A/D データレジスタ (ADDRy) に格納されます。
4. 選択したすべてのチャネルの A/D 変換終了後、ADC120_ADI 割り込み要求が発生します。同時に、ADC12 は自己診断での A/D 変換を開始し、その後、ADANSA0 レジスタと ADANSA1 レジスタ で選択したアナログ入力チャネル (ANn) を、変換順序に従って最小のチャネル番号 n から A/D 変換を開始します。
5. ADCSR.ADST ビットは自動的にクリアされず、ADCSR.ADST ビットが 1 の間は (2)～(4) を繰り返します。ADCSR.ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
6. その後、ADCSR.ADST ビットが 1（A/D 変換開始）に設定されると、再び自己診断での A/D 変換を開始します。



注. x と y (x < y) は ADANSA0/1 により選択されたチャネル番号です。
注 1. A/D 変換 3 の変換データは無視されます。
注 2. ADC120_ADI

図 35.13 連続スキャンモードの基本動作例（アナログ入力（チャネル x、y）選択+自己診断）

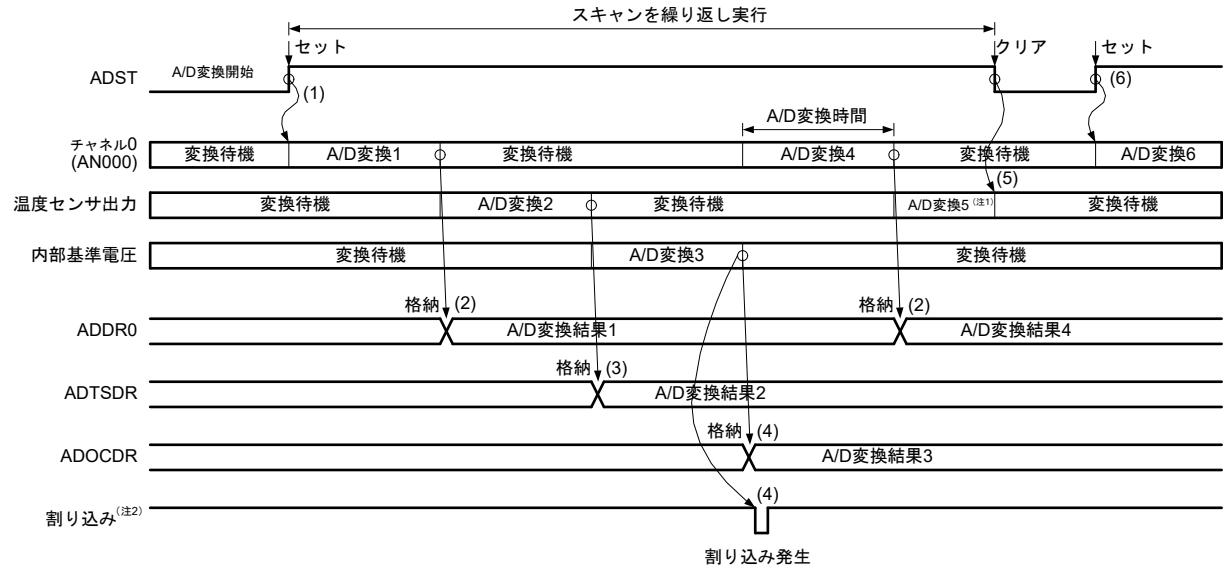
35.3.3.3 温度センサ出力または内部基準電圧の A/D 変換

チャネル選択とともに温度センサ出力または内部基準電圧を選択すると、選択したチャネルのアナログ入力の A/D 変換を行い、その後温度センサ出力または内部基準電圧を繰り返し A/D 変換します。温度センサ出力と内部基準電圧の両方を選択した場合は、温度センサ出力、内部基準電圧の順に A/D 変換します。

チャネルを非選択とし、温度センサ出力または内部基準電圧のみを選択することも可能です。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ (ELC) または非同期トリガによって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0、ADANSA1 レジスタで選択した ANn チャネルの n が小さいチャネル番号順に A/D 変換を開始します。
2. チャネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y (ADDRy) へ格納され、次に温度センサ出力の A/D 変換を開始します。
3. 温度センサ出力の A/D 変換が終了すると、結果は関連する A/D 温度センサデータレジスタ (ADTSDR) へ格納され次に内部基準電圧の A/D 変換を開始します。
4. 内部基準電圧の A/D 変換終了後、内部基準電圧の A/D 変換結果は、対応する A/D 内部基準電圧データレジスタ (ADOCDR) に格納され、ADC120_ADI 割り込み要求が発生します。また、ADC12 は、継続して ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャネルを最小のチャネル番号順に A/D 変換を開始します。
5. ADCSR.ADST ビットは自動的にクリアされず、1（A/D 変換開始）の状態の間は (2)～(4) を繰り返します。ADCSR.ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
6. その後、ADCSR.ADST ビットを 1（A/D 変換開始）にすると、ADANSA0、ADANSA1 レジスタで選択したアナログ入力チャネルを最小のチャネル番号順に再び A/D 変換を開始します。



注 1. A/D 変換 5 のデータは無視されます。
注 2. ADC120_ADI

図 35.14 連続スキャンモードの基本動作例（AN000、温度センサ出力または内部基準電圧選択）

35.3.4 グループスキャンモード

35.3.4.1 基本動作

グループスキャンモードの基本動作は、同期トリガ (ELC) をスキャン開始条件とし、グループ A、B のそれぞれで選択したすべてのチャネルのアナログ入力を 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループ B の同期トリガを選択します。グループ A、B に対して、2 つのグループの A/D 変換を同時に実行するのを防ぐために、異なるトリガを使用してください。ソフトウェアトリガは使用しないでください。

A/D 変換の対象となるグループ A のチャネルは ADANSA0 レジスタ、ADANSA1 レジスタ、および ADEXICR.TSSA ビット、ADEXICR.OCSA ビットを用いて選択されます。A/D 変換の対象となるグループ B のチャネルは ADANSB0 レジスタ、ADANSB1 レジスタ、および ADEXICR.TSSB ビット、ADEXICR.OCSB ビットを用いて選択されます。グループ A とグループ B は同じチャネルを使用できません。

グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B それぞれのスキャンで自己診断が実施されます。

以下に ELC からの同期トリガによるグループスキャンモードの動作例を示します。この例では、グループ A は ELC からの ELC_AD00 トリガで変換開始し、グループ B は ELC からの ELC_AD01 トリガで変換開始します。さらに、ELC_AD00 と ELC_AD01 は対応する ELC.ELSRn レジスタで GPT イベントに対して選択されます。

動作は以下のとおりです。

1. ELC_AD00 でグループ A のスキャンを開始します。
2. グループ A のスキャン終了時に、ADC120_ADI 割り込みが発生します（レジスタ設定なし）。
3. ELC_AD01 でグループ B のスキャンを開始します。
4. グループ B のスキャン終了時に、ADCSR.GBADIE ビットが 1（スキャン終了時に ADC120_GBADI 割り込み許可）に設定されていると、ADC120_GBADI 割り込みが発生します。

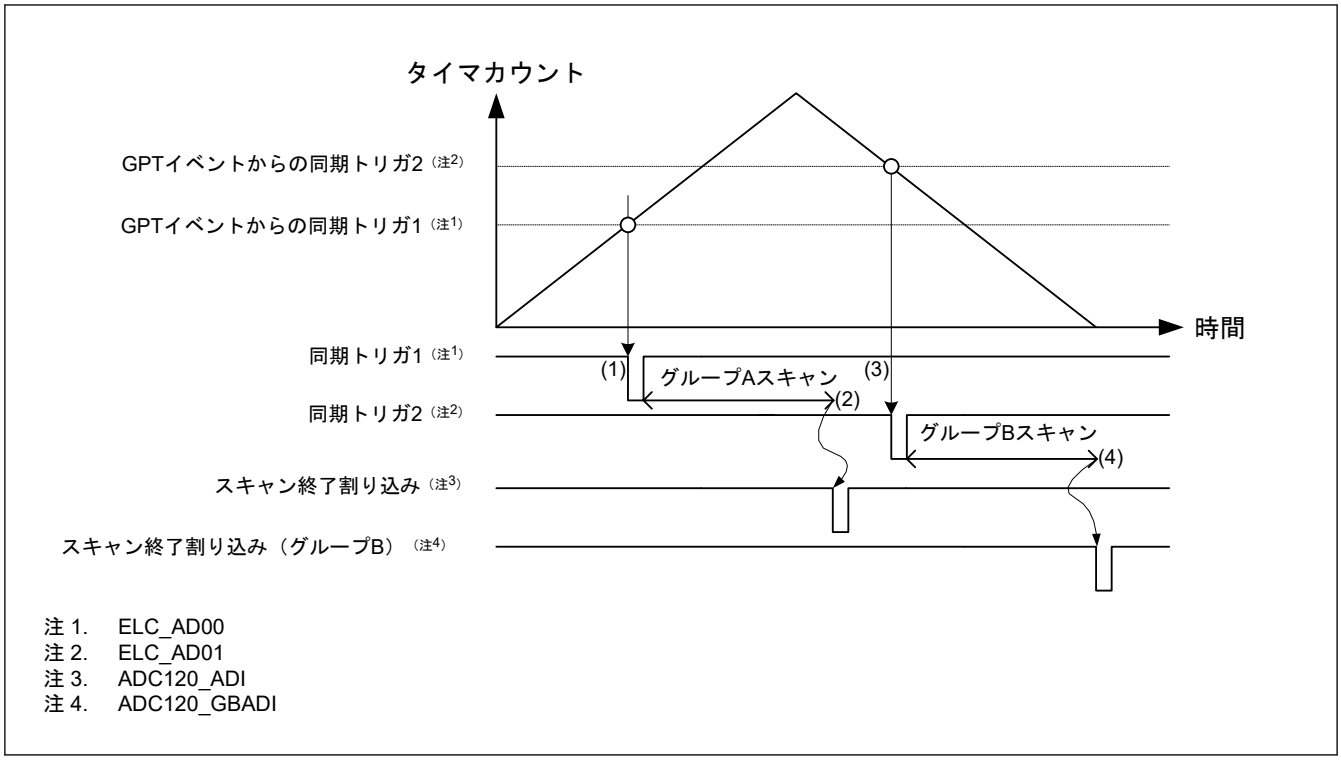


図 35.15 グループスキャンモードの基本動作例（ELC からの同期トリガ使用）

35.3.4.2 ダブルトリガモードでの A/D 変換

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガ (ELC) で開始するシングルスキャン動作の実行 2 回分を一連の動作として実行します。グループ B は同期トリガ (ELC) で開始するシングルスキャン動作が 1 回実行されます。

グループスキャンモードにおいて、同期トリガは、グループ A では ADSTRGR.TRSA[5:0]ビットで選択でき、グループ B では ADSTRGR.TRSB[5:0]ビットで選択できます。2 つのグループで同時に A/D 変換することを防止するために、グループ A とグループ B では異なるトリガを使用してください。また、ソフトウェアトリガまたは非同期トリガは使用しないでください。

ADSTRGR.TRSA[5:0]ビットに 0x0B を設定することにより、グループ A の同期トリガとして ELC_AD00/ELC_AD01 を選択した場合、拡張ダブルトリガモードで動作は進行します。

A/D 変換対象とするチャネルは、ADCSR レジスタの DBLANS[4:0]ビットでグループ A のチャネルを選択し、ADANSB0、ADANSB1 レジスタでグループ B のチャネルを選択します。グループ A とグループ B は同じチャネルを使用できません。

グループスキャンモードでダブルトリガモードを選択した場合、温度センサ出力 A/D 変換選択ビット (ADEXICR.TSSA) と内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) を 0（非選択）に設定してください。

グループスキャンモードでダブルトリガモード選択時は自己診断を選択できません。

A/D 変換データの 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効になります。

以下に ELC からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。この例では、ELC_AD00 トリガがグループ A の変換の開始に使用され、ELC_AD01 トリガがグループ B の変換の開始に使用されます。さらに、ELC_AD00 と ELC_AD01 は関連する ELC.ELSRn レジスタで GPT イベントのために選択されます。

動作は以下のとおりです。

1. ELC からの ELC_AD00 トリガでグループ B のスキャンを開始します。
2. グループ B のスキャン完了時に、ADCSR.GBADIE ビットが 1（スキャン完了時に ADC120_GBADI 割り込み許可）に設定されていると、ADC120_GBADI 割り込みが発生します。
3. 1 回目の ELC_AD01 トリガでグループ A の 1 回目のスキャンを開始します。

4. グループ A の 1 回目のスキャン完了時は、変換結果は対応する A/D データレジスタ y (ADDRy) に格納され、ADC120_ADI 割り込み要求は発生しません。
5. 2 回目の ELC_AD01 トリガでグループ A の 2 回目のスキャンを開始します。
6. グループ A の 2 回目のスキャン完了時は、変換結果は ADDBLDR レジスタに格納されます。ADC120_ADI 割り込みが発生します。

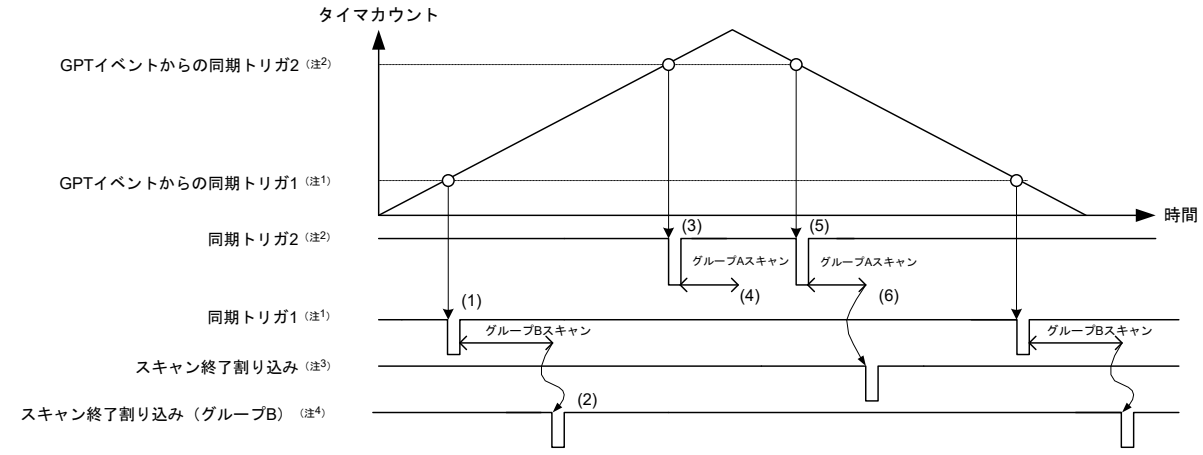


図 35.16 グループスキャンモードでダブルトリガモードを使用する場合の基本動作例（ELC からの同期トリガ使用時）

35.3.4.3 グループ優先動作

グループスキャンモードで ADGSPCR.PGS ビットを 1 にすると、グループ優先動作を行います。グループの優先度は、グループ A > グループ B の順となります。

ADGSPCR レジスタの PGS ビットを 1 にする場合、図 35.17 に記載された手順に従い、設定を実行してください。フローチャート以外の設定をした場合、A/D 変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループ A、B の A/D 変換中に発生したトリガ入力は無視され、各グループの A/D 変換動作は、シングルスキャンモードと同じ動作になります。

グループ優先動作では、低優先グループのスキャン中に優先グループのトリガ入力があった場合、低優先グループの A/D 変換動作を中断して、優先グループの A/D 変換動作を行います。

ADGSPCR.GBRSCN ビットが 0 のとき、優先グループの A/D 変換動作終了後、低優先グループは待機状態となります。また A/D 変換中に発生した低優先グループのトリガ入力は無視されます。

ADGSPCR.GBRSCN ビットが 1 のとき、優先グループの A/D 変換動作終了後、自動的に低優先グループの A/D 変換動作を再実行します。また優先グループの A/D 変換中に発生した低優先グループのトリガ入力は有効となり、優先グループの A/D 変換動作終了後、自動的に低優先グループの A/D 変換動作を実行します。

ADGSPCR.GBRSCN ビットが 1、ADGSPCR.LGRRS が 0 のとき、低優先グループの A/D 変換動作は先頭から再実行します。また、ADGSPCR.LGRRS が 1 のとき、低優先グループの A/D 変換動作は中断したチャネルから再実行します。ただし、自己診断機能を使用した場合は、自己診断後に中断したチャネルから再実行します。

表 35.23 に ADGSPCR.GBRSCN ビットの設定と A/D 変換中のトリガ入力時の動作をまとめます。

ADGSPCR.GBRP ビットに 1 を設定したとき、最も優先度の低いグループの A/D 変換動作は、シングルスキャンを連続で実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループ B の同期トリガを選択してください。各トリガは互いに異なるトリガを

選択する必要があります。ADGSPCR.GBRP ビットを 1 に設定する場合、ADSTRGR.TRSB[5:0]ビットを 0x3F にしてください。

スキャン対象とするチャネルは、「35.3.4. グループスキャンモード」に記載のレジスタで選択します。

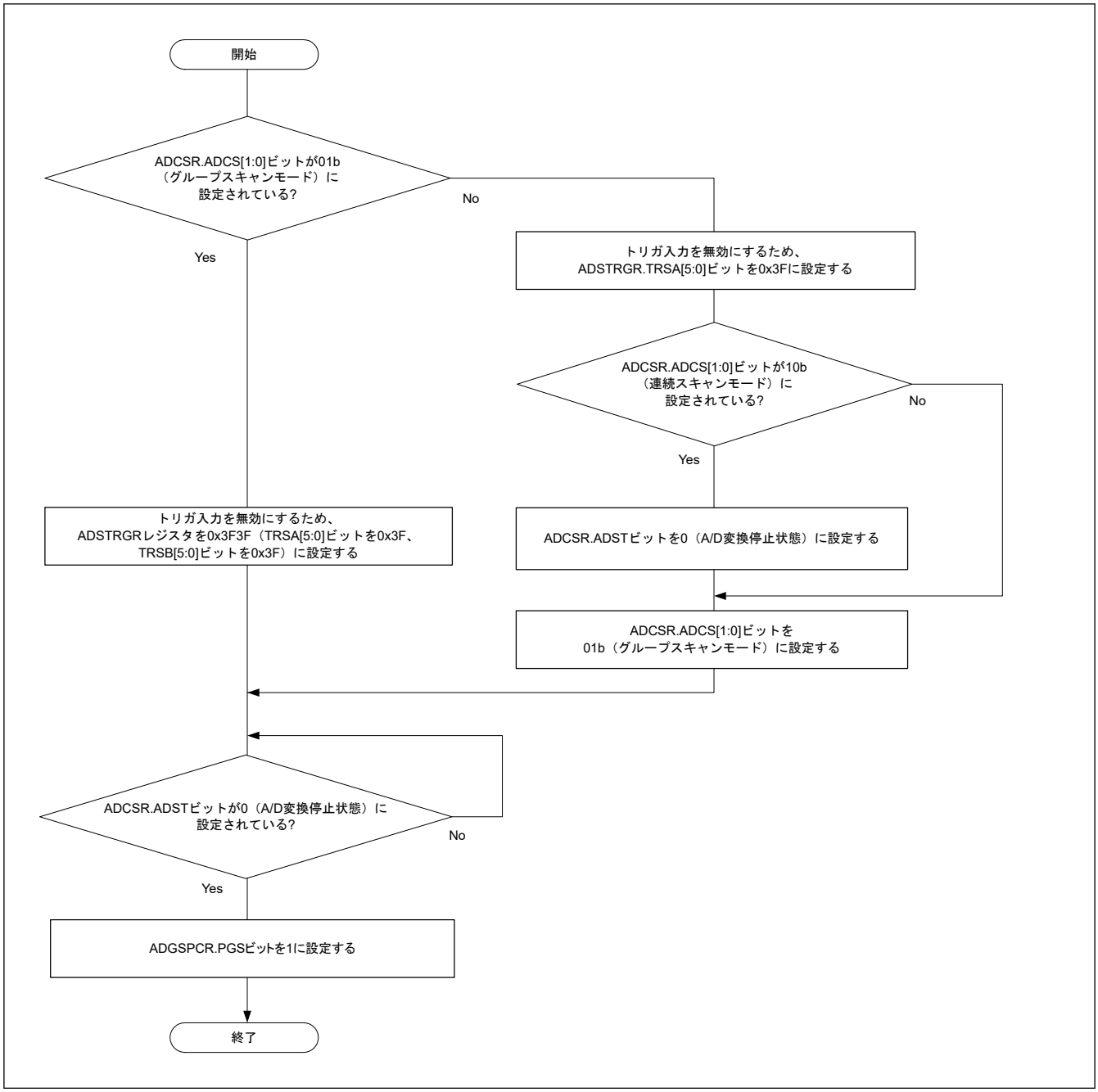


図 35.17　ADGSPCR.PGS ビット設定時のフローチャート

表 35.23　ADGSPCR.GBRSCN ビットの設定による A/D 変換動作制御 (1/2)

A/D 変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループ A の A/D 変換中	グループ A トリガ入力	トリガ入力無効	トリガ入力無効
	グループ B トリガ入力	トリガ入力無効	グループ A の A/D 変換動作終了後、グループ B の A/D 変換動作を行います

表 35.23 ADGSPCR.GBRSCN ビットの設定による A/D 変換動作制御 (2/2)

A/D 変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループ B の A/D 変換中	グループ A トリガ入力	グループ B の A/D 変換を中断し、グループ A の A/D 変換動作開始	• グループ B の A/D 変換を中断し、グループ A の A/D 変換動作開始 • グループ A の A/D 変換終了後、グループ B の A/D 変換を開始します。
	グループ B トリガ入力	トリガ入力無効	トリガ入力無効

グループ優先動作モードを使用する場合、下記の表を参考に実現したい動作モードを選択して、レジスタを設定してください。

表 35.24 2 グループのグループ優先動作設定と動作モード (ADGSPCR.PGS = 1)

ADGSPCR			動作分類
GBRSCN	LGRRS	GBRP	
0	x	0	2 グループ（グループ A、B）のグループ優先動作 • グループ A のトリガが入力されたとき、グループ B の A/D 変換動作は終了する（再実行しない）
1	0	0	2 グループ（グループ A、B）のグループ優先動作 • グループ B の A/D 変換動作が中断された後、グループ B はグループ A の A/D 変換動作終了後に ADANSB0、ADANSB1 レジスタで選択したチャネルを、チャネル番号の小さい順に A/D 変換動作を再開する
1	1	0	2 グループ（グループ A、B）のグループ優先動作 • グループ B の A/D 変換動作が中断された後、グループ B はグループ A の A/D 変換動作終了後に ADANSB0/1 レジスタで選択したチャネルのうち、中断したチャネルからチャネル番号の小さい順に A/D 変換動作を再開する(注1)
x	0	1	2 グループ（グループ A、B）のグループ優先動作 • グループ B は開始トリガ入力なしで、連続でシングルスキャンを実施。グループ B の A/D 変換動作が中断された後、グループ B はグループ A の A/D 変換動作終了後に ADANSB0/1 レジスタで選択したチャネルのうち、中断したチャネルからチャネル番号の小さい順に A/D 変換動作を再開する
1	1	1	2 グループ（グループ A、B）のグループ優先動作 • グループ B は開始トリガ入力なしで、連続でシングルスキャンを実施。グループ B の A/D 変換動作が中断された後は、グループ A の A/D 変換動作終了後に ADANSB0/1 レジスタで選択したチャネルのうち、中断したチャネルからチャネル番号の小さい順にシングルスキャンを再開する(注1)

注. x: Don't care
注 1. 自己診断機能有 (ADCER.DIAGM = 1) では、自己診断を実行してから中断したチャネルの A/D 変換を開始します。

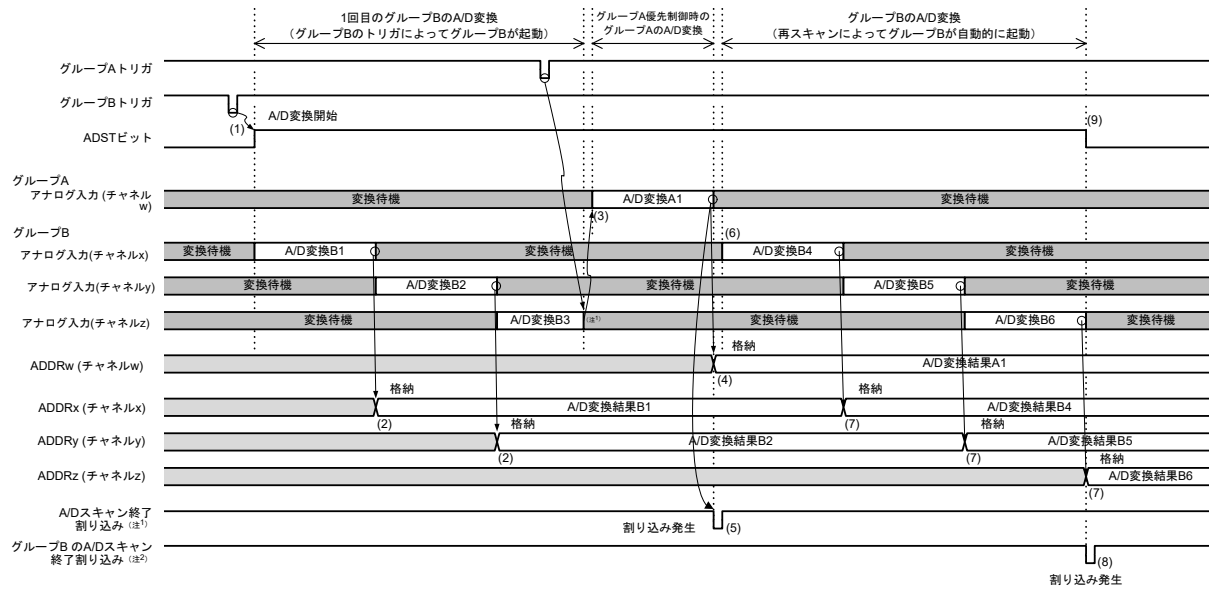
(1) 2 グループのグループ優先動作（ADGSPCR.PGS = 1 設定）

動作例 1-1～1-3 にグループスキャンモードのグループ優先動作を示します。（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、および ADGSPCR.LGRRS = 0 の場合）

動作例 1-1「グループ B スキャン中のグループ A トリガ入力」再スキャンあり

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSB0 レジスタと ADANSB1 レジスタで選択したアナログ入力チャネルを対象にして、最小のチャネル番号 n から A/D 変換動作を開始します。
2. グループ B の各チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換中にグループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したまま、グループ B の A/D 変換が停止します。その後、ADANSA0 レジスタと ADANSA1 レジスタで選択したグループ A のアナログ入力チャネルを対象にして、最小のチャネル番号 n から A/D 変換動作を開始します。中断中に A/D 変換が終了していなければ、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納しません。
4. チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
5. ADC120_ADI 割り込み要求が発生します。

6. ADGSPCR.GBRSCN ビットが 1（グループ優先動作で中断されたグループの再スキャンをする）に設定されていれば、ADCSR.ADST ビットを 1 に保持したまま、ADANSB0 レジスタと ADANSB1 レジスタで選択したアナログ入力チャネルを対象にして、最小のチャネル番号 n から再度グループ B の A/D 変換動作を開始します。
7. チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
8. ADCSR.GBADIE ビットが 1（グループ B のスキャン終了後に割り込み発生の許可）に設定されていると、グループ B スキャン終了割り込み要求を発生します。
9. ADCSR.ADST ビットは、すべての A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。



注. w、x、y、および z (x < y < z) は ADANSA0/1 または ADANSB0/1 により選択されたチャネル番号です。
注 1. ADC120_ADI
注 2. ADC120_GBADI

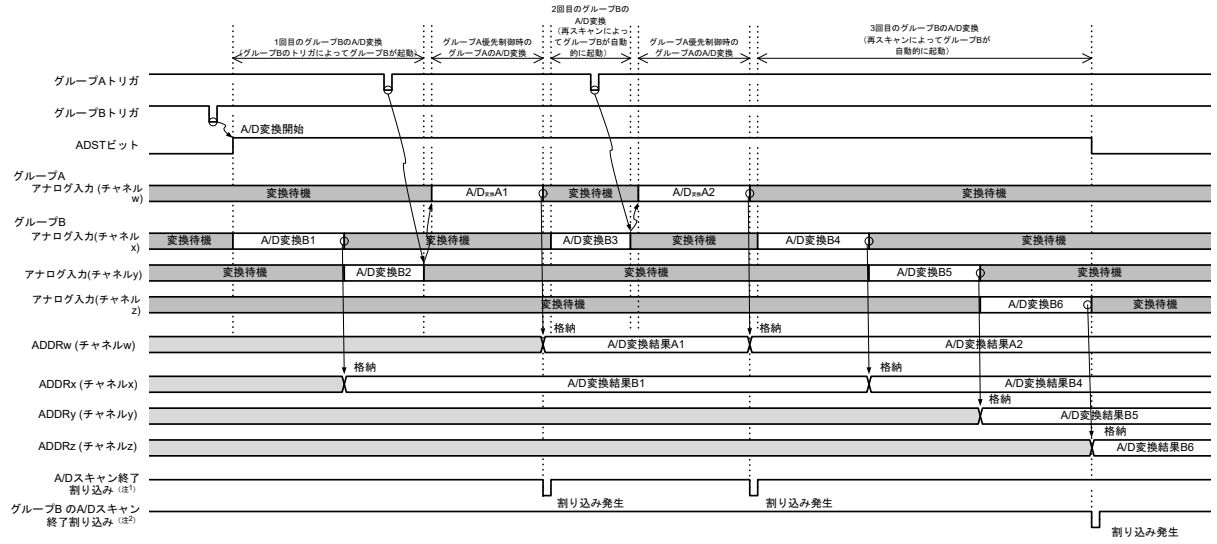
図 35.18 グループ優先動作の例 1-1：グループ B スキャン中のグループ A トリガ入力、再スキャンあり（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、および ADGSPCR.LGRRS = 0 の場合）

動作例 1-2「グループ B 再スキャン中のグループ A トリガ入力」再スキャンあり

図 35.19 にグループ B 再スキャン動作中に、グループ A のトリガが入力された場合を示します。

再スキャン動作中であっても、グループ A のトリガが入力されると、グループ B の A/D 変換動作を中断し、グループ A の A/D 変換動作を開始します。グループ A の A/D 変換終了後、グループ B の A/D 変換を開始します。

ADCSR.ADST ビット、A/D 変換結果は A/D データレジスタ y (ADDRy) への格納、割り込み要求の発生は、動作例 1-1 と同じ動作です。



注. w、x、y、および z (x < y < z) は ADANSA0/1 または ADANSB0/1 により選択されたチャネル番号です。
注 1. ADC120_ADI
注 2. ADC120_GBADI

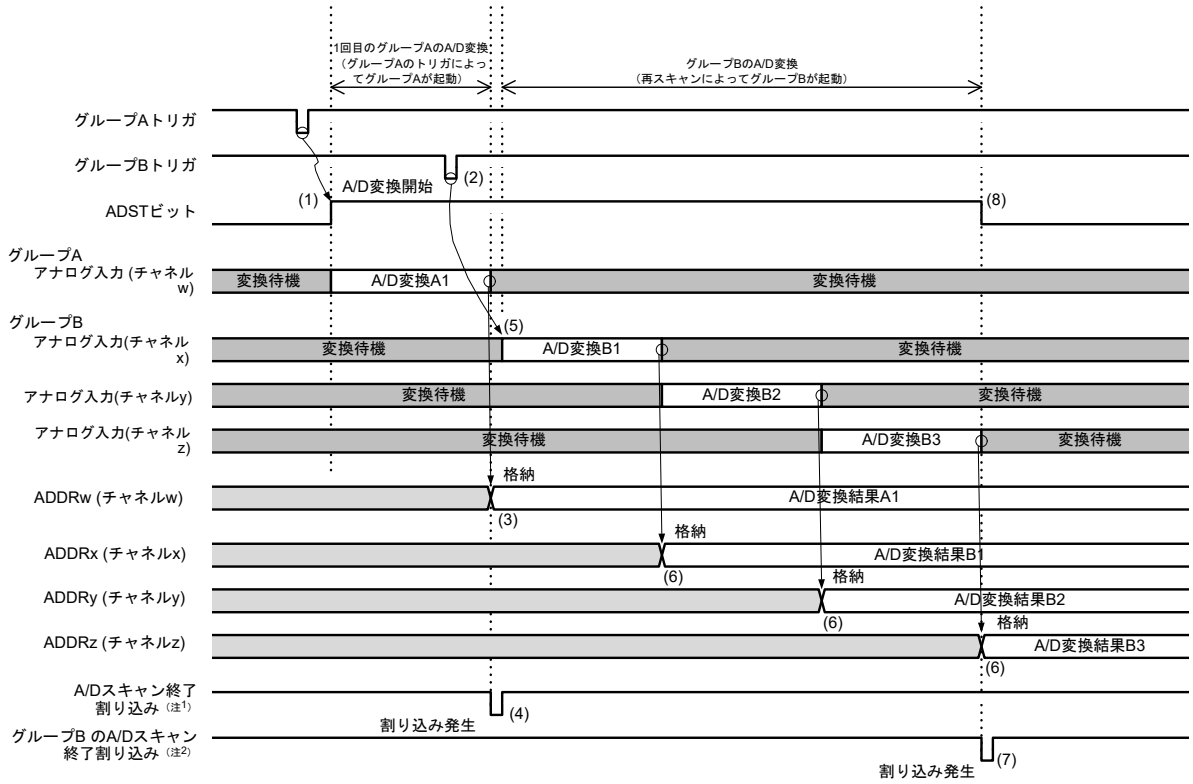
図 35.19 グループ優先動作の例 1-2：グループ B 再スキャン中のグループ A トリガ入力、再スキャンあり（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、および ADGSPCR.LGRRS = 0 の場合）

動作例 1-3「グループ A スキャン中のグループ B トリガ入力」再スキャンあり

ADGSPCR.GBRSCN ビットが 1（グループ優先動作で中断されたグループの再スキャンをする）の設定で、グループ A のスキャン動作中にグループ B のトリガが入力された場合を説明します。

ADGSPCR.GBRSCN ビットが 0 に設定されている場合は、グループ A のスキャン動作中に入力されたグループ B のトリガは全て無効となります。

1. グループ A のトリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0 レジスタと ADANSA1 レジスタで選択したグループ A のアナログ入力チャネルを対象にして、最小のチャネル番号 n から A/D 変換動作を開始します。
2. グループ A の A/D 変換中に、グループ B のトリガ入力が入力されると、グループ B は A/D 変換実行可能状態になります。
3. グループ A の各チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
4. ADC120_ADI 割り込み要求が発生します。
5. グループ A の A/D 変換終了後、ADCSR.ADST ビットを 1 に保持したまま、ADANSB0 レジスタと ADANSB1 レジスタで選択したグループ B のアナログ入力チャネルを対象にして、最小のチャネル番号 n からグループ B の A/D 変換動作を開始します。
（グループ B の A/D 変換中にグループ A のトリガが入力されると、動作例 1-1 と同じくグループ A の A/D 変換を開始し、グループ A の A/D 変換終了後、グループ B の A/D 変換を開始します。）
6. 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
7. グループ B の A/D 変換終了後、ADCSR.GBADIE ビットが 1（グループ B のスキャン終了後の割り込み発生の許可）に設定されていると、グループ B スキャン終了割り込み要求が発生します。
8. ADCSR.ADST ビットは、すべての A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。



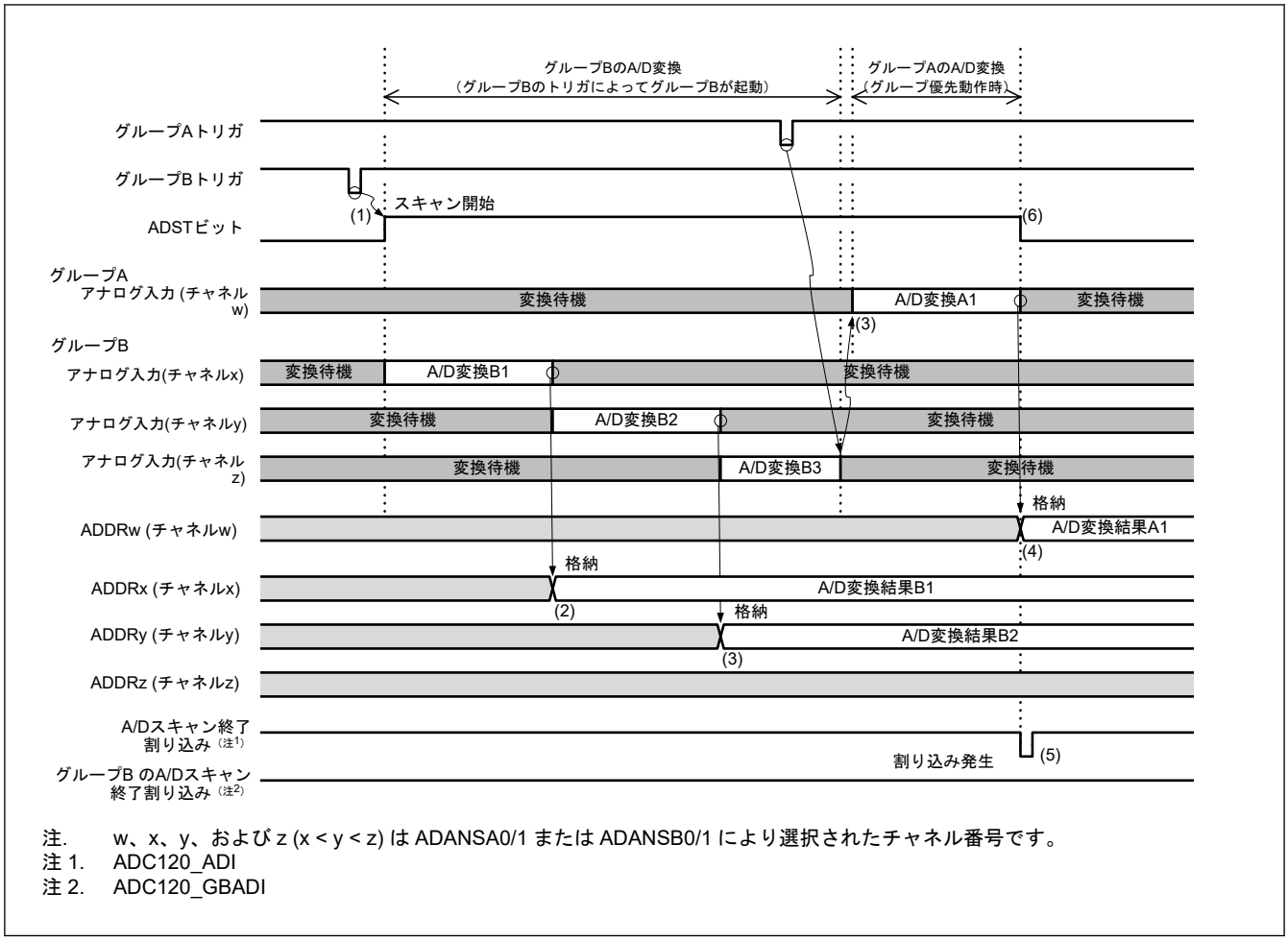
注. w、x、y、および z (x < y < z) は ADANSA0/1 または ADANSB0/1 により選択されたチャネル番号です。
注 1. ADC120_ADI
注 2. ADC120_GBADI

図 35.20 グループ優先動作の例 1-3：グループ A スキャン中のグループ B トリガ入力、再スキャンあり（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0、および ADGSPCR.LGRRS = 0 の場合）

動作例 1-4 にグループスキャンモードのグループ優先動作を示します。（ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、および ADGSPCR.LGRRS = 0 の場合）

動作例 1-4「グループ B スキャン中のグループ A トリガ入力」再スキャンなし

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSB0 レジスタと ADANSB1 レジスタで選択したアナログ入力チャネルを対象にして、最小のチャネル番号 n から A/D 変換動作を開始します。
2. グループ B の各チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したまま、グループ B の A/D 変換動作を中断し、ADANSA0 レジスタと ADANSA1 レジスタで選択したアナログ入力チャネルを対象にして、最小のチャネル番号 n からグループ A の A/D 変換動作を開始します。中断中に A/D 変換が終了していなければ、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納しません。
4. 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
5. グループ A の A/D 変換終了後、ADC120_ADI 割り込み要求が発生します。
6. ADCSR.ADST ビットは、グループ A の A/D 変換結果が終了すると自動的にクリアされ、A/D コンバータは待機状態になります。グループ B は、以降のグループ B トリガ入力まで A/D 変換を行いません。



注. w、x、y、および z (x < y < z) は ADANSA0/1 または ADANSB0/1 により選択されたチャネル番号です。
注 1. ADC120_ADI
注 2. ADC120_GBADI

図 35.21 グループ優先動作の例 1-4：グループ B スキャン中のグループ A トリガ入力、再スキャンなし（ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0、および ADGSPCR.LGRRS = 0 の場合）

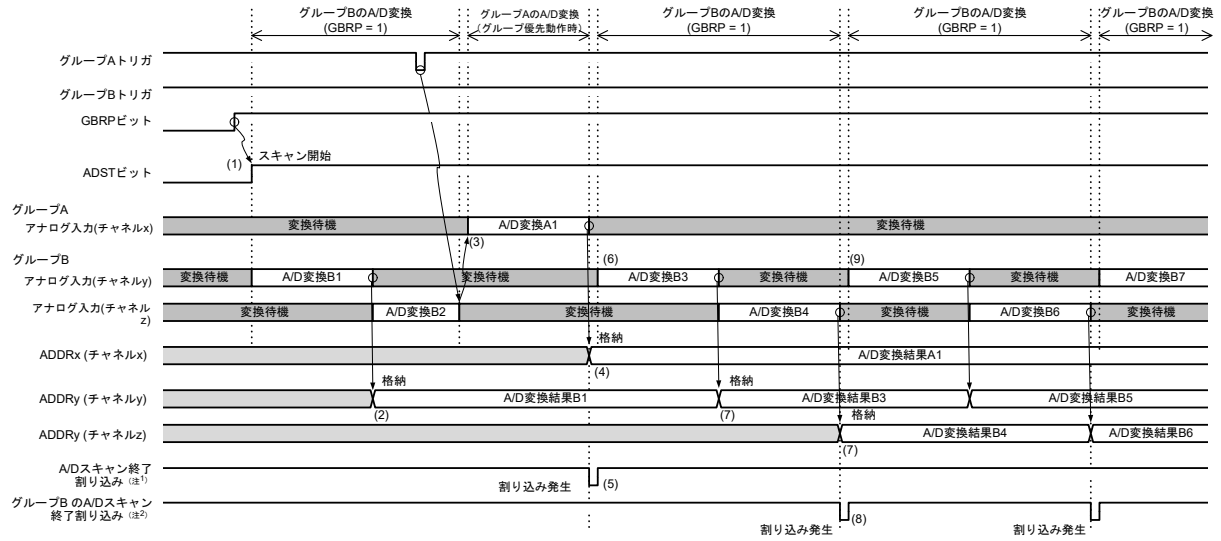
動作例 1-5 にグループスキャンモードのグループ優先動作を示します。（ADGSPCR.GBRP = 1 および ADGSPCR.LGRRS = 0 の場合）

動作例 1-5「グループ B のシングルスキャン連続動作」

1. ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが 1（A/D 変換開始）になり、ADANSB0 レジスタと ADANSB1 レジスタで選択したアナログ入力チャネルを対象にして、最小のチャネル番号 n から A/D 変換動作を開始します。
2. グループ B の各チャネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
3. グループ B の A/D 変換中に、グループ A のトリガが入力されると、ADCSR.ADST ビットを 1 に保持したままグループ B の A/D 変換動作を中断し、ADANSA0 レジスタと ADANSA1 レジスタで選択したアナログ入力チャネルを対象にして、最小のチャネル番号 n からグループ A の A/D 変換動作を開始します。中断中に A/D 変換が終了していなければ、A/D 変換結果は A/D データレジスタ y (ADDRy) に格納しません。
4. 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。
5. グループ A の A/D 変換終了後、ADC120_ADI 割り込み要求が発生します。
6. ADGSPCR.GBRP = 1（シングルスキャン連続動作する）に設定されていると、ADCSR.ADST ビットを 1（A/D 変換開始）に保持したまま、ADANSB0 レジスタと ADANSB1 レジスタで選択したアナログ入力チャネルを対象にして、最小のチャネル番号 n から再度グループ B の A/D 変換動作を開始します。
7. 1 チャネルの A/D 変換が終了すると A/D 変換結果は対応する A/D データレジスタ y (ADDRy) に格納されます。

8. ADCSR.GBADIE ビットが 1（グループ B のスキャン終了後に割り込み発生の許可）に設定されていると、グループ B スキャン終了割り込み要求を発生します。
9. ADGSPCR.GBRP = 1（シングルスキャン連続動作する）に設定されていると、ADCSR.ADST ビットを 1（A/D 変換開始）に保持したまま、ADANSB0 レジスタと ADANSB1 レジスタで選択したアナログ入力チャネルを対象にして、最小のチャネル番号 n から再度グループ B の A/D 変換動作を開始します。

ADGSPCR.GBRP ビットが 1 になっている間は、6～9 の動作を繰り返します。ADGSPCR.GBRP ビットが 1 になっている間は、ADCSR.ADST ビットを 0 にクリアしないでください。ADGSPCR.GBRP = 1 の場合に A/D 変換を強制終了するには、図 35.33 の手順に従ってください。



注. x、y、および z (y < z) は ADANSA0/1 または ADANSB0/1 により選択されたチャネル番号です。
注 1. ADC120_ADI
注 2. ADC120_GBADI

図 35.22 グループ優先動作の例 1-5：グループ B のシングルスキャン連続動作（ADGSPCR.GBRP = 1、ADGSPCR.LGRRS = 0 の場合）

注. グループ B をシングルスキャン連続動作させる場合は、グループ B のトリガ入力を無効にしてください。

35.3.5 コンペア機能（ウィンドウ A、ウィンドウ B）

35.3.5.1 コンペア機能ウィンドウ A/B

コンペア機能は、基準値と A/D 変換結果を比較する機能です。基準値はウィンドウ A およびウィンドウ B それぞれに設定することができます。コンペア機能の使用中は、自己診断機能およびダブルトリガモードは使用できません。ウィンドウ A とウィンドウ B の大きな違いとしては、割り込み出力信号の違いと、ウィンドウ B は 1 つのチャネルしか選択できないという制限が挙げられます。

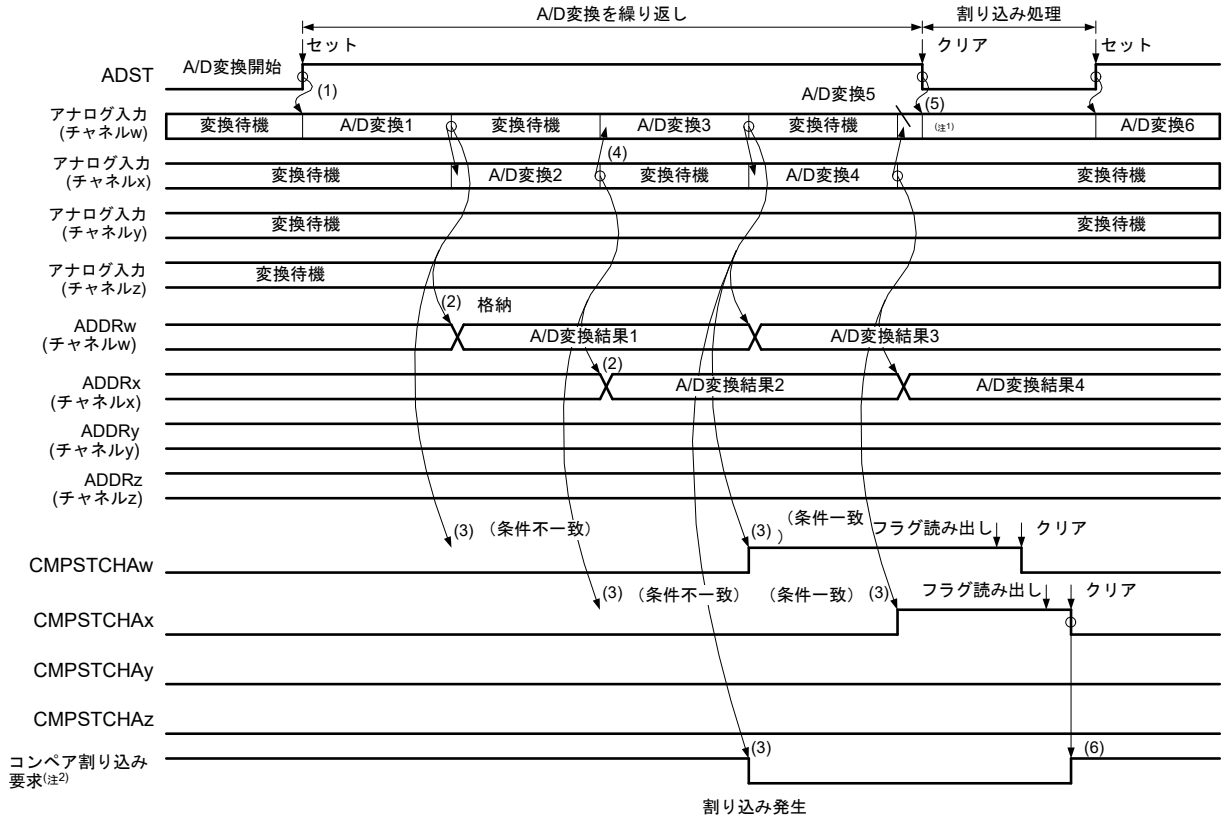
本項では、連続スキャンモードとコンペア機能を組み合わせた動作例を示します。

動作は以下のとおりです。

1. ソフトウェア、同期トリガ (ELC) または非同期トリガ入力によって ADCSR.ADST ビットを 1（A/D 変換開始）にした場合、A/D 変換は選択されたチャネル、温度センサ出力、内部基準電圧の順序で開始します。
2. A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ y（ADDRy、ADTSDR、または ADOCDR）に格納されます。ADCMPCR.CMPAE が 1 のとき、ウィンドウ A に対して ADCMPANSRy または ADCMPANSER レジスタのビットを設定すると、A/D 変換結果を、設定した ADCMPDR0/1 レジスタ値と比較します。ADCMPCR.CMPBE が 1 のとき、ウィンドウ B に対して ADCMPBNSR レジスタのビットを設定すると、A/D 変換結果を、ADWINULB/ADWINLLB レジスタの設定値と比較します。
3. 比較の結果、ウィンドウ A は、ADCMPLR0/1 または ADCMPLER レジスタで設定した条件と一致したとき、コンペア機能ウィンドウ A のフラグ（ADCMPSR0.CMPSTCHAn、ADCMPSR1.CMPSTCHAn、

ADCMPSER.CMPSTTSA、または ADCMPSER.CMPSTOCA）が 1 になります。このとき、ADCMPCR.CMPAIE ビットが 1 に設定されていると、ADC120_CMPAI 割り込み要求が発生します。同様に、ウィンドウ B が ADCMPBNSR.CMPLB に設定された条件と一致すると、コンペア機能ウィンドウ B フラグ (ADCMPBSR.CMPSTB) が 1 になります。このとき、ADCMPCR.CMPBIE ビットが 1 に設定されていると、ADC120_CMPBI 割り込み要求が発生します。

4. 選択したすべての A/D 変換および比較が終了すると、スキャンが再開します。
5. ADC120_CMPAI、ADC120_CMPBI 割り込みを受け付けると、ADCSR.ADST ビットを 0（A/D 変換停止）に設定し、コンペアフラグが 1 であるチャネルの処理を行います。
6. ウィンドウ A のすべてのコンペアフラグをクリアすると、ADC120_CMPAI 割り込み要求が解除されます。同様に、ウィンドウ B のすべてのコンペアフラグをクリアすると、ADC120_CMPBI 割り込み要求が解除されます。再度比較を実行するには、再度 A/D 変換を開始してください。



注. w、x、y、z (w < x < y < z) は ADANSA0/1 により選択されたチャネル番号です。
注 1. 変換中のデータは無視されます。

図 35.23 コンペア機能の動作例（アナログ入力（チャネル w～z）を比較）

35.3.5.2 コンペア機能のイベント出力

コンペア機能のイベント出力は、上側基準電圧値および下側基準電圧値をウィンドウ A およびウィンドウ B それぞれに設定します。選択したチャネルの A/D 変換値を上側／下側基準電圧値と比較して、ウィンドウ A およびウィンドウ B の比較条件成立／不成立からイベント条件（A or B、A and B、A exor B）に応じてイベント (ADC120_WCMPM/ADC120_WCMPUM) を出力します。

ウィンドウ A で複数のチャネルを選択し、チャネルのうち 1 つでも比較条件と一致した場合、ウィンドウ A の比較結果は一致となります。この機能を使用する場合、A/D 変換はシングルスキャンモードで行ってください。

ウィンドウ A の場合、アナログ入力、内部基準電圧、温度センサ出力の中から任意のチャネルを選択できます。

ウィンドウ B の場合、アナログ入力、内部基準電圧、温度センサ出力の中から 1 つのチャネルを選択できます。

コンペア機能のイベント出力使用時の設定手順および設定例を以下に示します。

1. ADCSR.ADCS ビットの値が 00b（シングルスキャンモード）であることを確認します。
2. ADCMPANSR0/1 レジスタおよび ADCMPANSER レジスタでウィンドウ A のチャネルを選択します。
   ADCMPLR0/1 レジスタおよび ADCMPLER レジスタにコンペア機能ウィンドウ条件を設定します。
   ADCMPDR0/1 レジスタに上側および下側基準値を設定してください。
3. ADCMPBNSR レジスタでウィンドウ B のチャネルおよび比較条件を選択し、ADWINULB/ADWINLLB レジスタで上側および下側基準値を設定します。
4. ウィンドウ A/B の複合条件、ウィンドウ A/B 動作許可、および割り込み出力許可を ADCMPCR レジスタに設定してください。

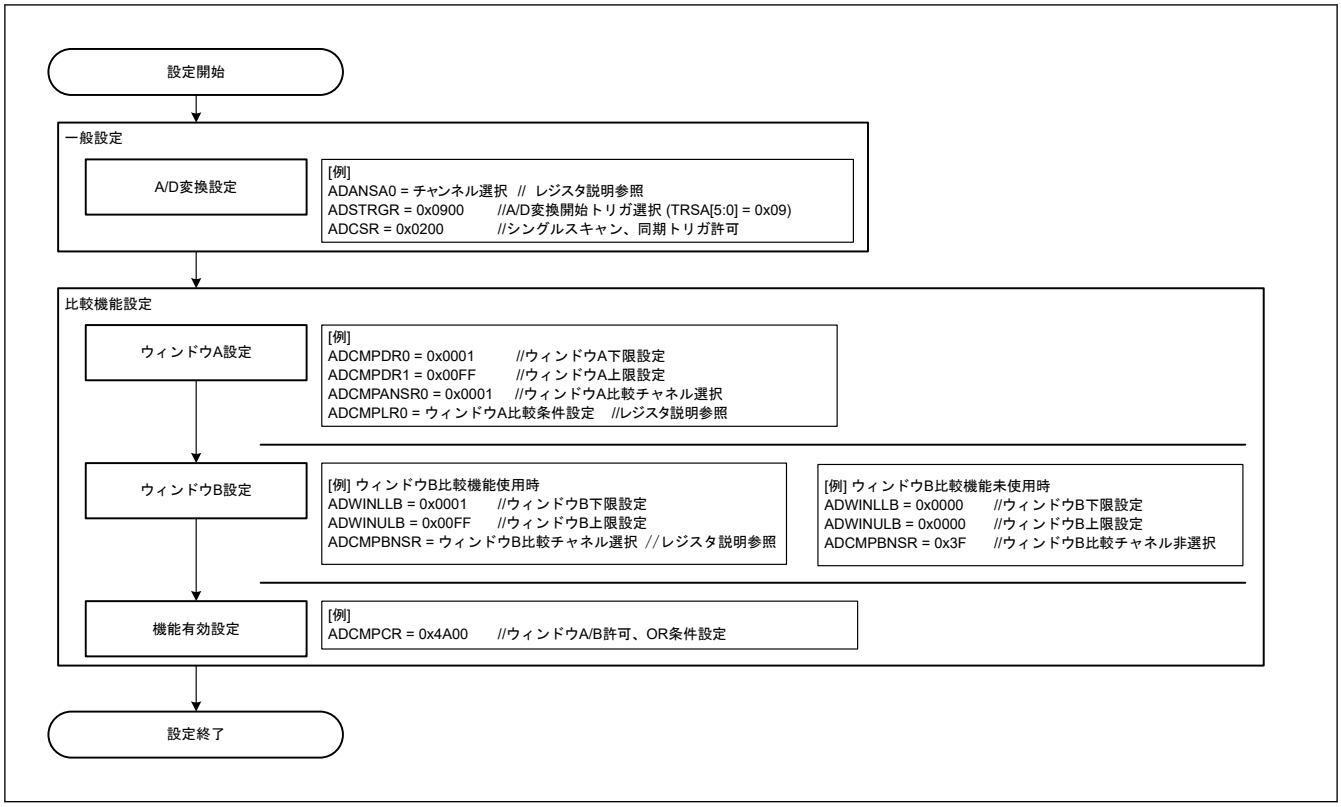


図 35.24 コンペア機能のイベント出力使用時の設定例

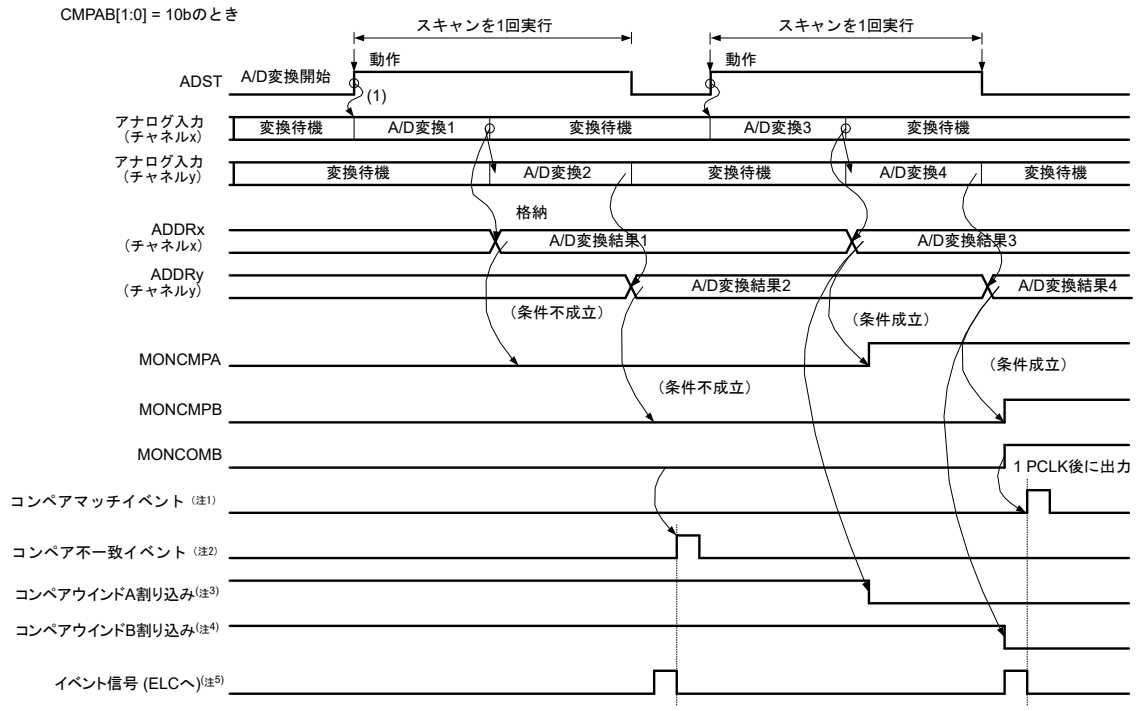
コンペア機能でウィンドウ A のみを使用するときのイベント出力の使用方法について、以下に注意点を示します。

- ウィンドウ A および B をどちらも有効（ADCMPCR.CMPAE = 1、ADCMPCR.CMPBE = 1）にしてください
- ウィンドウ A および B の複合条件を「OR 条件」にしてください (ADCMPCR.CMPAB[1:0] = 00b)
- ウィンドウ B の比較対象チャネルは「非選択」にしてください (ADCMPBNSR.CMPCHB[5:0] = 0x3F)
- ウィンドウ B の比較条件を、常に不一致を表す「0 < 結果 < 0」に設定してください（ADCMPCR.WCMPE = 1、ADWINLLB[15:0] = ADWINULB[15:0] = 0x0000、および ADCMPBNSR.CMPLB = 1）

図 35.25 にコンペア機能のイベント出力動作例を示します。

シングルスキャンが一度終了するタイミングで、スキャン終了イベント (ADC120_ADI) を出力します。その後、ADCMPCR.CMPAB[1:0]の設定に従い、1PCLKA 遅れて一致または不一致イベント (ADC120_WCMPM/ADC120_WCMPUM) を出力します。

注. 一致イベントと不一致イベントは排他的であるため、2 つのイベントを同時に出力することはありません。



注. x、y (x < y) は ADANSA0/1 により選択されたチャネル番号です。
注 1. ADC120_WCMPM
注 2. ADC120_WCMPUM
注 3. ADC120_CMPAI
注 4. ADC120_CMPBI
注 5. ADC120_ADI

図 35.25 コンペア機能のイベント出力の動作例（アナログ入力（チャネル x、y）を比較）

注. コンペア機能のイベント出力は、ADCMPCR.CMPAB[1:0]の設定に従い、ウィンドウ A およびウィンドウ B の比較結果の一致／不一致を出力します。

注. ウィンドウ A の比較結果は、ウィンドウ A の比較対象チャネルの比較結果の論理和です。ウィンドウ A および B の比較結果は、A/D 変換ごとに更新され、シングルスキャンが終了しても保持されます。比較結果をクリアするには、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にしてください。

35.3.5.3 コンペア機能の制限事項

コンペア機能には以下の制限事項があります。

- コンペア機能は、自己診断機能またはダブルトリガモードと一緒には使用できません。（ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB はコンペア機能対象外です。）
- 一致／不一致イベント出力を使用する場合はシングルスキャンモードにしてください。
- ウィンドウ A に温度センサ出力、内部基準電圧を選択した場合、ウィンドウ B 動作は禁止されます。
- ウィンドウ B に温度センサ出力、内部基準電圧を選択した場合、ウィンドウ A 動作は禁止されます。
- ウィンドウ A とウィンドウ B に同じチャネルを設定することはできません
- 基準電圧値を設定する際は、高電位基準電圧値が低電位基準電圧値以上となるように設定してください。

35.3.6 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェアトリガ、同期トリガ (ELC) による起動および非同期トリガ (ADTRG0) による起動が選択できます。スキャン変換開始遅延時間 (t_D) の後に、断線検出アシスト処理、自己診断変換処理をすべて行い、この後に A/D 変換処理が開始されます。

図 35.26 に、ソフトウェアトリガまたは同期トリガ (ELC) 起動によりスキャン変換を行う場合のタイミングを示します。また、図 35.27 に、非同期トリガ (ADTRG0) 起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、断線検出アシスト処理時間 (t_{DIS})(注1)、自己診断変換時間 (t_{DIAG} および t_{DSD})(注2)、A/D 変換処理時間 (t_{CONV})、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D 変換処理時間 (t_{CONV}) は、入力サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプル&ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTRn レジスタでサンプリング時間を調整できます。

逐次変換時間 (t_{SAM}) は以下の通りです。

- 12 ビット変換精度の場合、13 ステート (ADCLK)
- 10 ビット変換精度の場合、11 ステート (ADCLK)
- 8 ビット変換精度の場合、9 ステート (ADCLK)

表 35.25 に逐次変換時間 (t_{SAM}) を示します。

選択チャネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + (t_{DIS} \times n) + t_{DIAG} + t_{ED} + (t_{CONV} \times n)$$ (注3)

連続スキャンの 1 サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省いた時間です。連続スキャンの 2 サイクル目以降のスキャン変換時間以降は、以下のように決まっています。

$$(t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n)$$ (注3)

注 1. 断線検出アシストを設定しない場合は、t_{DIS} = 0 となります。
温度センサまたは内部基準電圧を A/D 変換する場合のみ、15 ステート (ADCLK) の自動ディスチャージ期間が入ります。

注 2. 自己診断機能を使用しない場合は、t_{DIAG} = 0、t_{DSD} = 0 となります。

注 3. 選択したすべてのチャネルの入力サンプリング時間 (t_{SPL}) が同じである場合、この要素は t_{CONV} × n になります。チャネルごとに異なるサンプリング時間の場合、この要素は選択したチャネルごとに設定した t_{SPL} と t_{SAM} の和となります。

表 35.25 にスキャン変換時間を示します。

表 35.25　スキャン変換時間（ADCLK と PCLKA のサイクル数）

項目			シンボル		種別／条件 同期トリガ(注4)	非同期トリガ	ソフトウェアトリガ	単位
スキャン開始処理時間(注1)(注2)	グループ A 優先動作によるグループ A の A/D 変換	グループ B 中断あり（グループ A の A/D 変換要因によってグループ B を停止させた後、グループ A を起動）	t_D		3 PCLKA + 6 ADCLK 5 PCLKA + 3 ADCLK(注5)	—	—	サイクル
		グループ B 中断なし（グループ A の A/D 変換要因によって起動）			2 PCLKA + 4 ADCLK	—	—	
	自己診断有効時の A/D 変換	自己診断変換開始時			2 PCLKA + 6 ADCLK	4 PCLKA + 6 ADCLK	6 ADCLK	
	上記以外				2 PCLKA + 4 ADCLK	2 PCLKA + 4 ADCLK	4 ADCLK	
断線検出アシスト処理時間			t_{DIS}		ADNDIS[3:0]設定値（初期値 = 0x0） × ADCLK			
自己診断変換処理時間(注1)	サンプリング時間		t_{DIAG}	t_{SPL}	ADSSTR00 設定値（初期値 = 0x0B） × ADCLK(注3)	—	—	
	逐次変換時間	12 ビット変換精度		t_{SAM}	15 ADCLK	—	—	
		10 ビット変換精度			13 ADCLK	—	—	
		8 ビット変換精度			11 ADCLK	—	—	
	自己診断変換終了からアナログチャネルサンプリング開始までの待機時間			t_{DED}	2 ADCLK			
	連続スキャンモードでの最後のチャネル変換終了から自己診断サンプリング開始までの待機時間		t_{DSD}		2 ADCLK			
A/D 変換処理時間(注1)	サンプリング時間		t_{CONV}	t_{SPL}	ADSSTRn (n = 0～2, 4～8, 11～13, L, T, O) 設定値（初期値 = 0x0B）× ADCLK + 0.5 ADCLK			
	逐次変換時間	12 ビット変換精度		t_{SAM}	13 ADCLK			
		10 ビット変換精度			11 ADCLK			
		8 ビット変換精度			9 ADCLK			
スキャン終了処理時間(注1)			t_{ED}		1 PCLKA + 3 ADCLK 2 PCLKA + 3 ADCLK(注5)			

注 1.　t_D、t_{DIAG}、t_{CONV}、t_{ED} の各タイミングについては、図 35.26 および図 35.27 を参照してください。
注 2.　ソフトウェア書き込みまたはトリガ入力から A/D 変換開始までの最大時間です。
注 3.　サンプリング時間設定は電気的特性を満たす必要があります。
注 4.　タイマ出力からトリガ入力までの経路で使われる時間は含みません。
注 5.　ADCLK が PCLKA より速い場合（PCLKA：ADCLK の分周率 = 1:2 または 1:4）、スキャン終了処理時間は変わります。

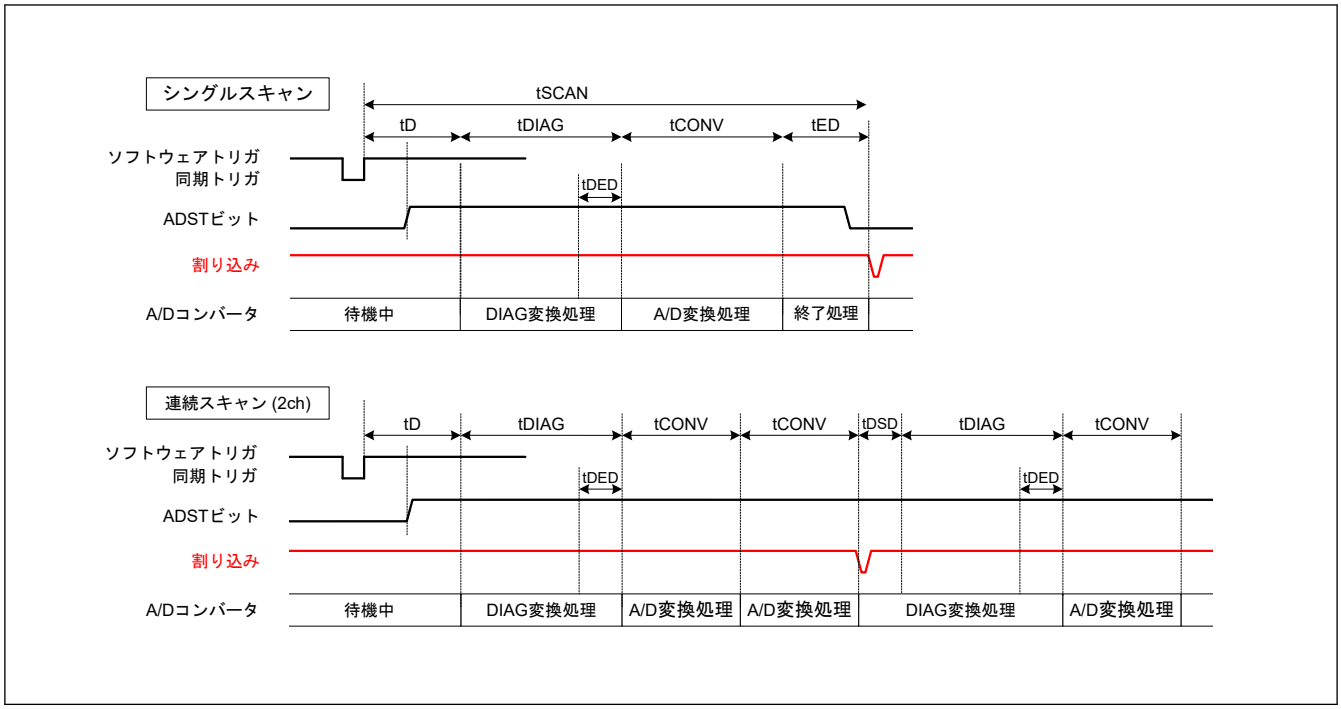


図 35.26　スキャン変換のタイミング（ソフトウェア起動または同期トリガ入力 (ELC) 起動の場合）

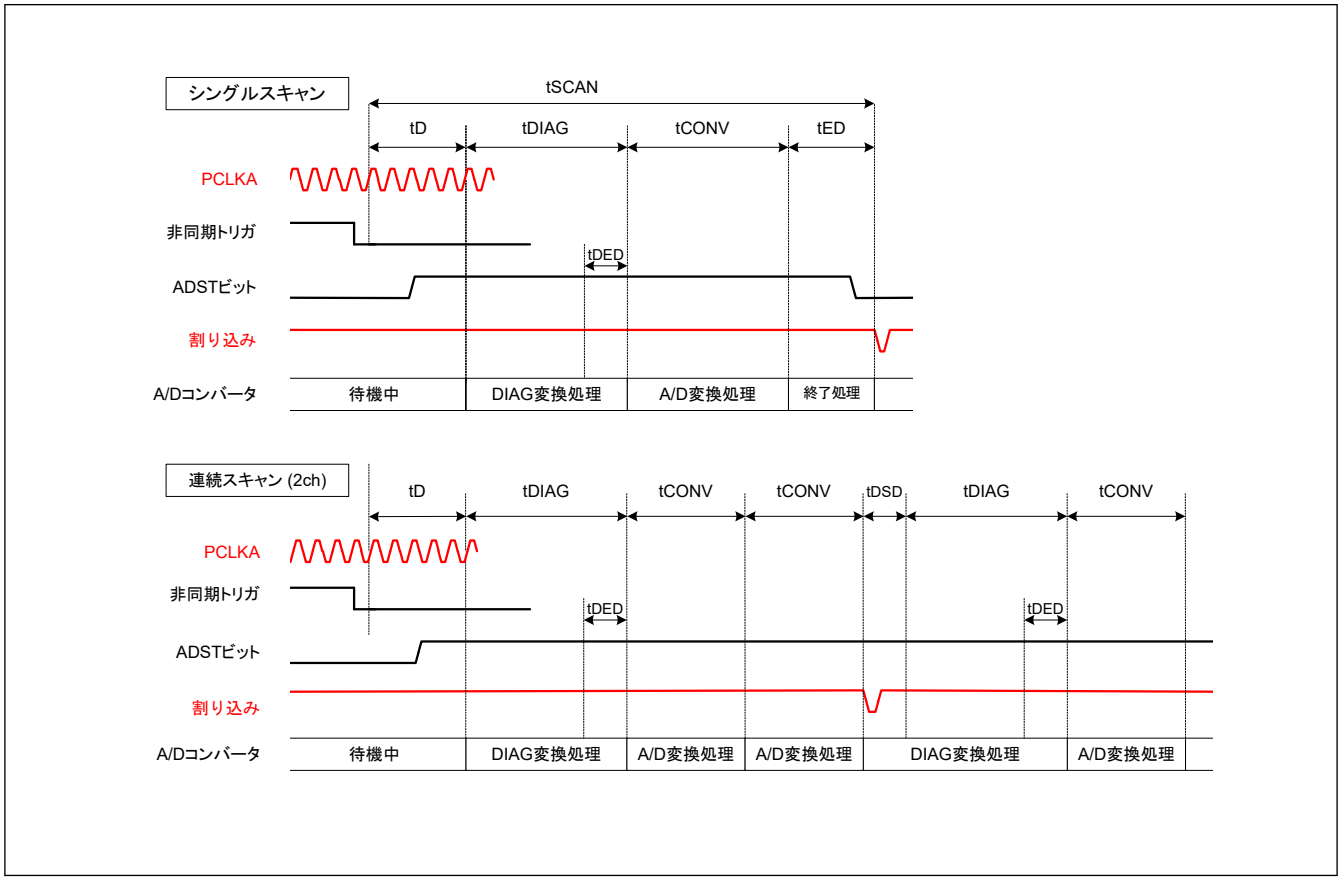


図 35.27　スキャン変換のタイミング（非同期トリガ入力 (ADTRG0) 起動の場合）

35.3.7　A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを 1 にすることにより、CPU、DTC または DMAC によって A/D データレジスタを読み出す際、自動的に A/D データレジスタ (ADDRy, ADRD, ADDBLDR, ADDBLDRA, ADDBLDRB, ADTSDR, ADOCDR) を 0x0000 にクリアできます。

この機能を使うことにより、A/D データレジスタ (ADDRy, ADRD, ADDBLDR, ADDBLDRA, ADDBLDRB, ADTSDR, ADOCDR) の未更新故障を検出することができます。本節では、ADDRy レジスタの自動クリア機能が有効／無効の場合の例を説明します。

- ADCER.ACE ビットが 0（自動クリア禁止）の場合に、A/D 変換結果 (0x0222) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、ADDRy レジスタの値は古いデータ (0x0111) を保持します。さらに A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0x0111) を汎用レジスタに保持できます。ただし、未更新のチェックを行う場合、古いデータを SRAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。
- ADCER.ACE ビットが 1（自動クリア許可）の場合には、ADDRy = 0x0111 を CPU、DTC または DMAC により読み出す際、ADDRy レジスタは自動的に 0x0000 にクリアされます。その後、A/D 変換結果 (0x0222) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0x0000) が ADDRy レジスタ値として残ります。ここで A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合は、0x0000 が汎用レジスタに保持されます。読み出されたデータ値が 0x0000 であることをチェックして、ADDRy レジスタの未更新故障があったことを判断できます。

35.3.8 A/D 変換値加算／平均モード

A/D 変換値加算／平均モードは、チャネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。

A/D 変換値加算モードは、同じチャネルを 1、2、3、4、または 16 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。加算機能の 16 回は、変換精度 12 ビット選択時のみ使用できます。A/D 変換値平均モードは、同じチャネルを 2 回または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、発生しているノイズ成分のタイプによっては A/D 変換精度を向上させることができます。ただし、A/D 変換精度が必ず向上することを保証する機能ではありません。

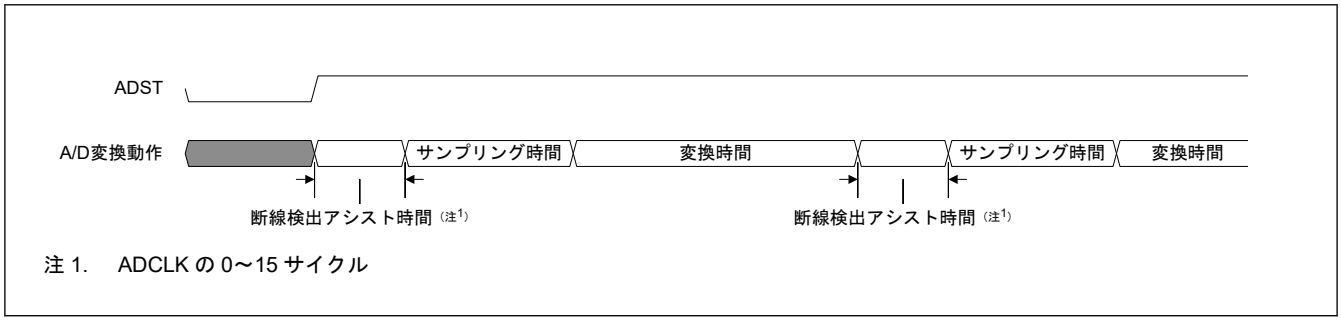
A/D 変換値加算／平均機能は、チャネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、または内部基準電圧 A/D 変換選択時に使用できます。A/D 変換値加算／平均機能は、ダブルトリガ機能選択チャネルにも使用できます。

加算機能は自己診断にはありません。

35.3.9 断線検出アシスト機能

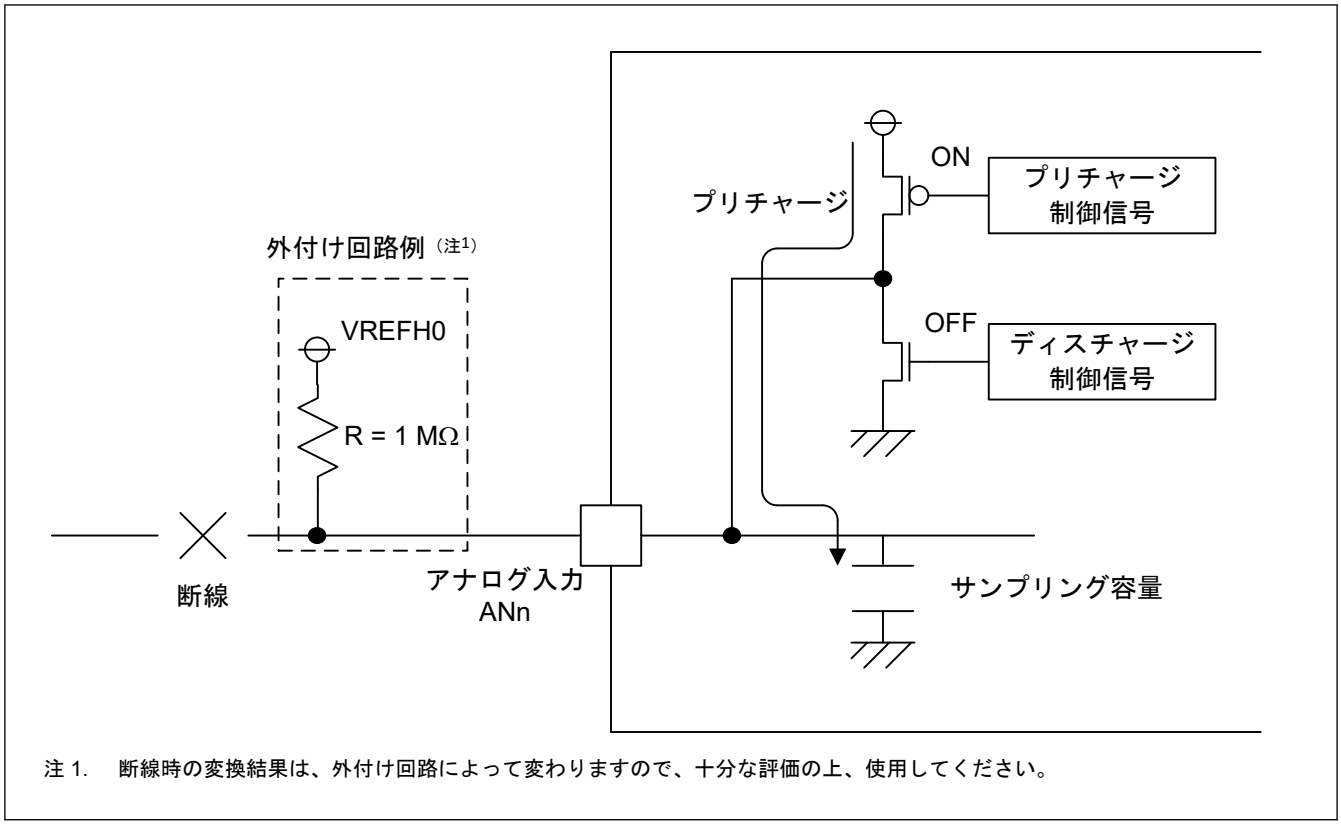
ADC12 は A/D 変換開始前に、サンプリング容量の電荷を所定の状態 VREFH0 または VREFL0 に固定する断線検出アシスト機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 35.28 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。図 35.29 にプリチャージを選択した場合の断線検出例を示します。図 35.30 にディスチャージを選択した場合の断線検出例を示します。



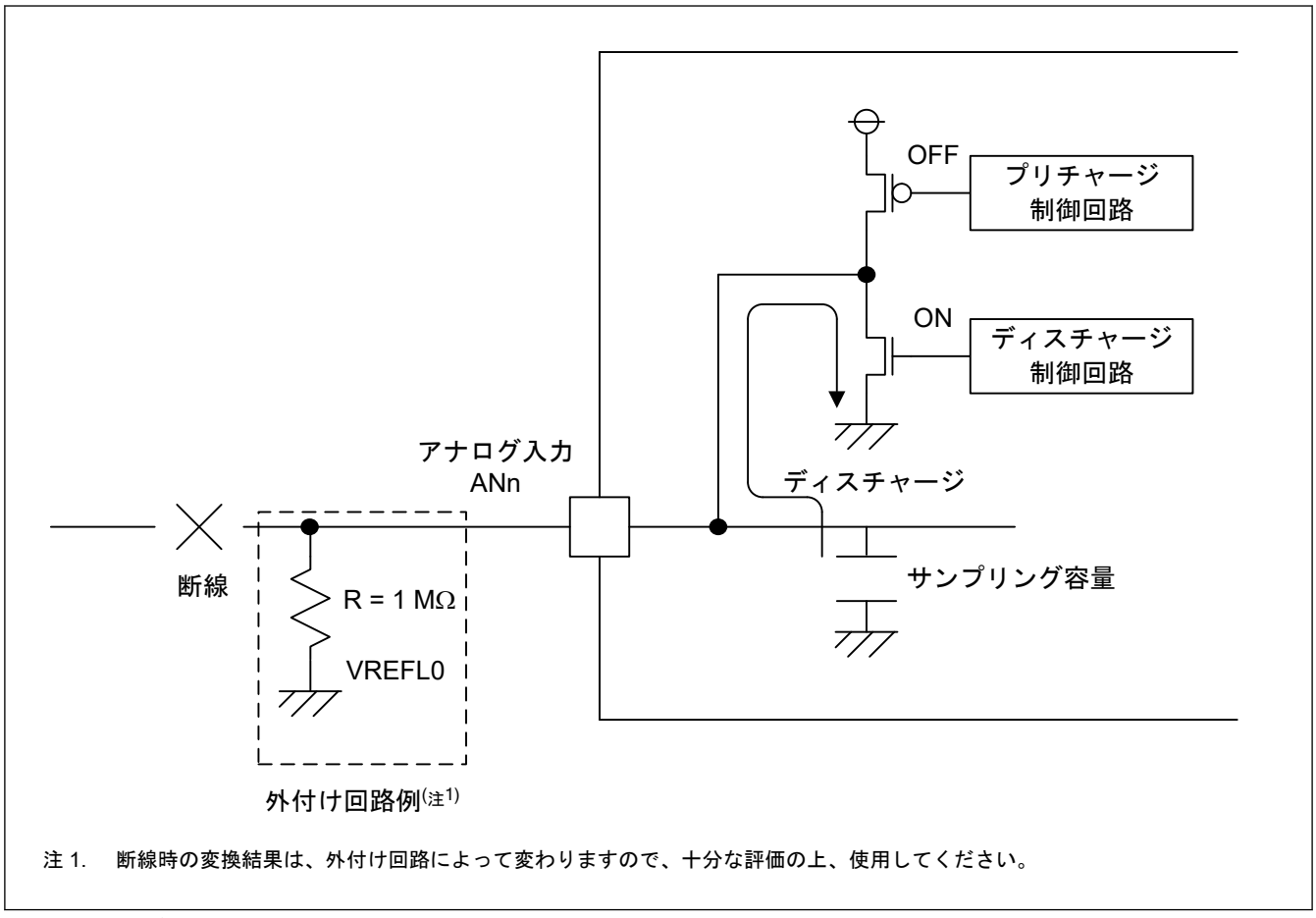
注 1. ADCLK の 0～15 サイクル

図 35.28 断線検出アシスト機能を使用した場合の A/D 変換動作図



注 1. 断線時の変換結果は、外付け回路によって変わりますので、十分な評価の上、使用してください。

図 35.29 プリチャージを選択した場合の断線検出例



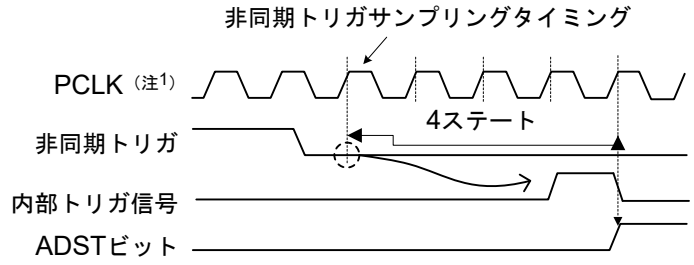
注 1. 断線時の変換結果は、外付け回路によって変わりますので、十分な評価の上、使用してください。

図 35.30 ディスチャージを選択した場合の断線検出例

35.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、PmnPFS レジスタで端子機能を設定し、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を 0x00 に設定し、非同期トリガ（ADTRG0 端子）に High を入力した後、ADCSR.TRGE ビットと ADCSR.EXTRG ビットをどちらも 1 にしてください。図 35.31 に非同期トリガ入力タイミングを示します。

非同期トリガは、グループスキャンモードで使用するグループ B の A/D 変換開始トリガとして選択できません。端子機能の設定については、「18. I/O ポート」を参照してください。



注 1. PCLKA

図 35.31 非同期トリガ入力タイミング

35.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガ (ELC) により、A/D 変換を開始できます。そのためには、ADCSR.TRGE ビットを 1 に、ADCSR.EXTRG ビットを 0 にして、ADSTRGR.TRSA[5:0]ビットおよび ADSTRGR.TRSB[5:0]ビットで該当の要因を選択してください。

35.3.12 データバッファの使用

本 IP には、16 個の A/D データバッファから成るリングバッファ機能があります。この機能は、自己診断結果（加算／平均結果を含む）以外の A/D 変換結果をデータバッファ（ADBUFn、n = 0～15）に順次格納します。

A/D 変換結果をデータレジスタに格納する時に変換結果をそれぞれ格納し、最新の 16 個の変換結果データを保持します。

下図にデータバッファ、ポインタ、およびオーバーフローフラグの動作概略図を示します。BUFEN ビットを 1 にすると、各 A/D 変換終了時に A/D 変換結果を転送します。ポインタは、次の転送データの書き込み先のデータバッファ番号を示します。データがバッファ 15 に書き込まれると、ポインタは 0000b になり、オーバーフローフラグは 1 になります。その後、転送データで既存データを上書きします。

ADBUFPTR レジスタに 0x00 を書き込むことで、オーバーフローフラグを初期値にリセットします。

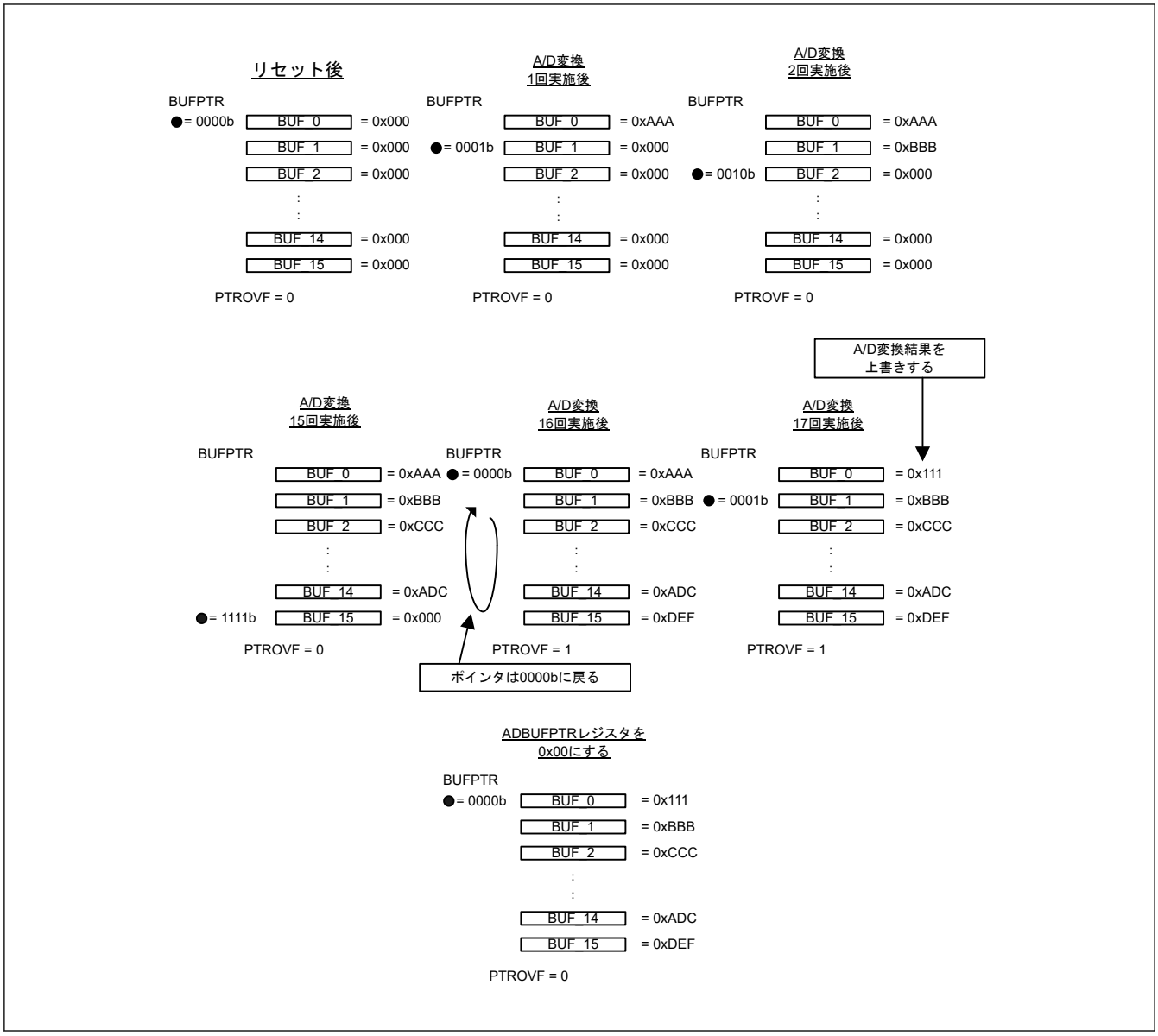


図 35.32　データバッファ、ポインタ、およびオーバーフローフラグの動作概略図

35.4　割り込み要因および DTC、DMAC 転送要求

35.4.1　割り込み要求

ADC12 は、CPU へのスキャン終了割り込み要求である ADC120_ADI/ADC120_GBADI 割り込みを発生することができます。また、ADC12 は CPU へのコンペア条件成立割り込み要求である ADC120_CMPAI/ADC120_CMPBI 割り込みを発生することができます。

ADC120_ADI 割り込みは常時発生します。ADC120_GBADI 割り込みは、ADCSR.GBADIE ビットを 1 にすることで発生させることができます。同様に、ADC120_CMPAI および ADC120_CMPBI 割り込みは ADCMPCR.CMPAIE および ADCMPCR.CMPBIE ビットを 1 にすることで発生させることができます。

また、ADC120_ADI、ADC120_GBADI 発生時に DTC または DMAC を起動できます。ADC120_ADI、ADC120_GBADI 割り込みで変換されたデータの読み出しを DTC または DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。

表 35.26 に割り込み要因と ADC12 に利用可能な ELC イベントを示します。

表 35.26 割り込み要因と ADC12 の ELC イベント

動作			割り込み要求または ELC イベント	割り込み要求	DTC/DMAC の起動	ELC イベント要求	機能
スキャンモード	ダブルトリガモード	コンペア機能ウィンドウ A/B					
シングルスキャンモード	非選択	非選択	ADC120_ADI	✓	✓	✓	シングルスキャンの最後に ADC120_ADI 発生
		選択	ADC120_ADI	✓	✓	✓	シングルスキャンの最後に ADC120_ADI 発生
			ADC120_CMPAI	✓	—	—	ウィンドウ A の比較条件一致で ADC120_CMPAI 発生
			ADC120_CMPBI	✓	—	—	ウィンドウ B の比較条件一致で ADC120_CMPBI 発生
			ADC120_WCMPM	—	✓	✓	ウィンドウ A/B コンペア機能の条件一致で ADC120_WCMPM 発生
			ADC120_WCMPUM	—	✓	✓	ウィンドウ A/B コンペア機能の条件不一致で ADC120_WCMPUM 発生
	選択	非選択	ADC120_ADI	✓	✓	✓	2 回のスキャンの最後に ADC120_ADI 発生
連続スキャンモード	非選択	非選択	ADC120_ADI	✓	✓	✓	選択したすべてのチャネルのスキャン終了時に ADC120_ADI 発生
		選択	ADC120_CMPAI	✓	—	—	ウィンドウ A の比較条件一致で ADC120_CMPAI 発生
			ADC120_CMPBI	✓	—	—	ウィンドウ B の比較条件一致で ADC120_CMPBI 発生
グループスキャンモード	非選択	非選択	ADC120_ADI	✓	✓	✓	グループ A のスキャン終了時に ADC120_ADI 発生
			ADC120_GBADI	✓	✓	—	グループ B のスキャン終了時にグループ B 用の ADC120_GBADI 発生
		選択	ADC120_ADI	✓	✓	✓	グループ A のスキャン終了時に ADC120_ADI 発生
			ADC120_GBADI	✓	✓	—	グループ B のスキャン終了時にグループ B 用の ADC120_GBADI 発生
			ADC120_CMPAI	✓	—	—	ウィンドウ A の比較条件一致で ADC120_CMPAI 発生
			ADC120_CMPBI	✓	—	—	ウィンドウ B の比較条件一致で ADC120_CMPBI 発生
	選択	非選択	ADC120_ADI	✓	✓	✓	偶数回のグループ A スキャン終了時に ADC120_ADI 発生
			ADC120_GBADI	✓	✓	—	グループ B のスキャン終了時にグループ B 用の ADC120_GBADI 発生

注. ✓ 使用可能
— : 使用不可

DTC の設定の詳細は、「16. データトランスファコントローラ (DTC)」を参照してください。

35.5 イベントリンク機能

35.5.1 ELC へのイベント出力動作

ELC は、ADC120_ADI 割り込み要求信号をイベント信号 ADC120_ADI として使用し、事前設定モジュールに対してリンク動作が可能です。ADC120_GBADI 割り込みと ADC120_CMPAI/ADC120_CMPBI 割り込みはイベント信号として使用できません。詳細は表 35.26 を参照してください。

イベント信号は該当する割り込み要求許可ビットの設定に関係なく出力することができます。スキャン終了イベント (ADC120_ADI) は、表 35.26 に示す割り込み出力 (ADC120_ADI) と同じ出力タイミングで 1PCLKA 分の High パルスを出力します。ELC へのコンペア機能一致 (ADC120_WCMPM)／不一致 (ADC120_WCMPUM) イベントは、表 35.26 に示す割り込み出力 (ADC120_ADI) から 1 サイクル (PCLKA) 遅れたタイミングで 1PCLKA 分の High パルスを出力します。

ELC へのコンペア機能一致イベント (ADC120_WCMPM)／不一致イベント (ADC120_WCMPUM) を使用する場合は、シングルスキャンモードに設定してください。

35.5.2 ELC からのイベントによる ADC12 の動作

以下のように、ADC12 は ELSRn で指定された ELC の事前設定イベントにより A/D 変換を開始できます。

- ELC.ELSR8 レジスタで ELC_AD00 信号を選択する
- ELC.ELSR9 レジスタで ELC_AD01 信号を選択する

A/D 変換中に ELC イベントが発生すると、そのイベントは無効です。

35.6 使用上の注意

35.6.1 レジスタ設定時の制限

各レジスタの設定は、ADCSR.ADST ビットが 0 のときに設定してください。

35.6.2 データレジスタの読み出しに関する制約

以下のレジスタの読み出しは、ハーフワード単位で行ってください。

- A/D データレジスタ
- A/D データ 2 重化レジスタ
- A/D データ 2 重化レジスタ A
- A/D データ 2 重化レジスタ B
- A/D 温度センサデータレジスタ
- A/D 内部基準電圧レジスタ
- A/D 自己診断データレジスタ
- A/D データバッファレジスタ n（n = 0～15）

バイト単位で上位バイト／下位バイトの 2 回に分けてレジスタを読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が一致しないことがあります。これを避けるため、バイト単位のデータレジスタの読み出しは行わないでください。

35.6.3 A/D 変換停止に関する制約

(1) A/D 変換停止手順

A/D 変換開始条件に非同期トリガまたは同期トリガを選択している場合、A/D 変換を停止させるためには、図 35.33 のフローチャートの手順に従ってください。

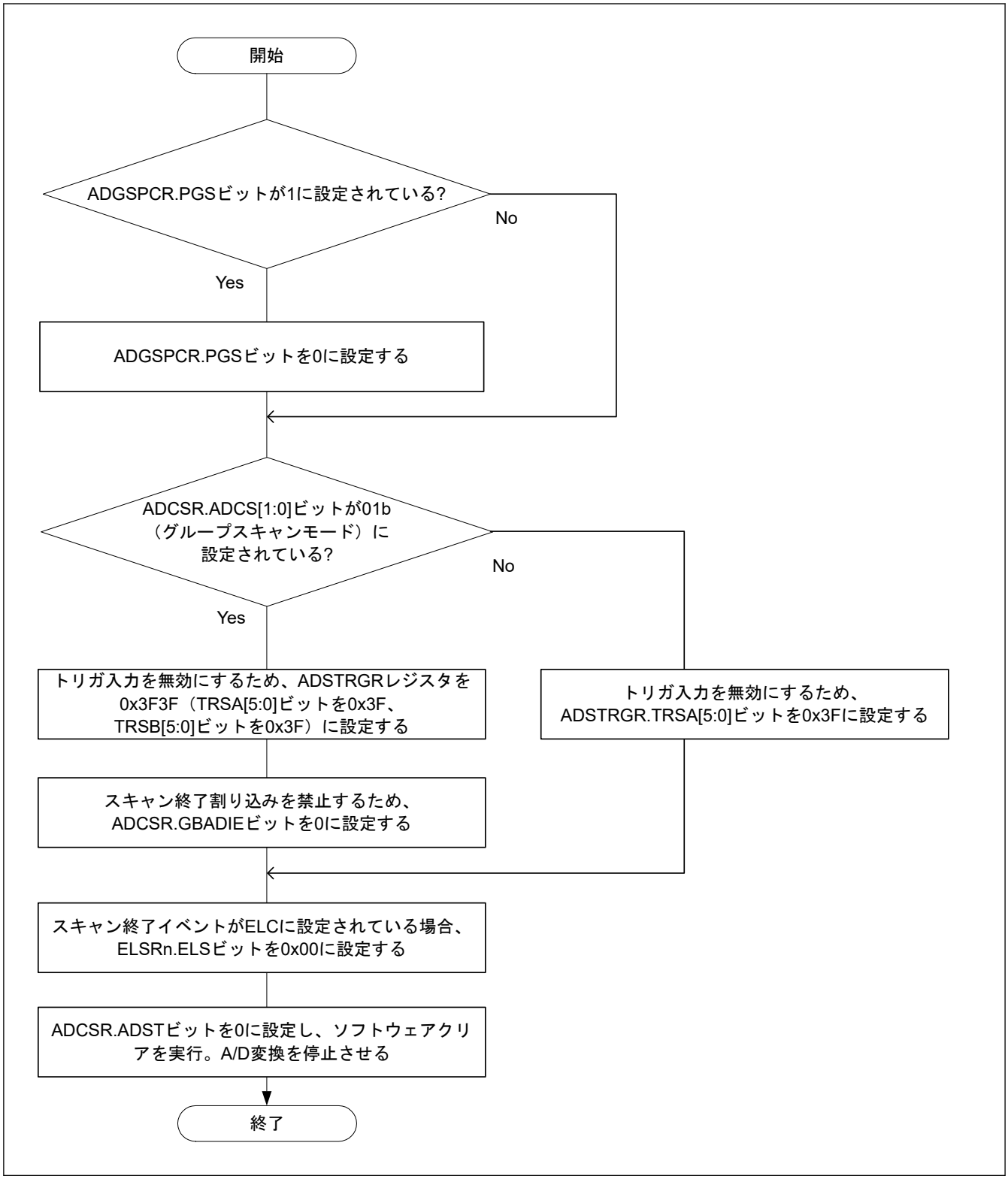


図 35.33　ソフトウェアによる ADCSR.ADST ビットのクリア手順

ソフトウェアクリア実行後に下記を設定する場合は、2ADCLK 以上のウェイトを入れてください。

- スキャン終了割り込み許可
- イベントリンクコントローラのスキャン終了イベント有効設定
- ソフトウェアでの A/D 変換開始
- トリガ入力有効設定

(2) モード／ステータスビットの注意事項

自己診断の電圧ステータスやダブルトリガモードの奇数／偶数判定、コンペア機能のモニタフラグは、必要に応じて個別に初期化または再設定をしてください。

- 自己診断の電圧ステータスの再設定は、ADCER.DIAGLD ビットを 1 とし ADCER.DIAGVAL[1:0]ビットで選択します。
- ダブルトリガモードは、ADCSR.DBLE ビットを 0 から 1 に設定するとスキャン 1 回目の動作から開始します。
- コンペア機能のモニタフラグ（MONCMPA、MONCMPB、MONCOMB）の初期化は、ADCMPCR.CMPAE ビットと ADCMPCR.CMPBE ビットを 0 に設定します。

35.6.4 A/D 変換強制停止と再開時の動作タイミング

12 ビット A/D コンバータのアナログ部が停止した状態で 、ADCSR.ADST ビットを 1 にして ADC12 のアナログ部が動作を開始するのに ADCLK で最大 6 クロックの時間を必要とします。ADCSR.ADST ビットを 0 に設定して A/D 変換を強制停止させると、ADC12 のアナログ部が動作を停止するのに、ADCLK で最大 2 クロックの時間を必要とします。

35.6.5 スキャン終了割り込み処理の制約

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。この現象は、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データを読み出し終えていない場合に発生します。

35.6.6 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、ADC12 の動作禁止／許可を設定できます。ADC12 は、リセット後の初期状態では動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1 µs 以上待ってから A/D 変換を開始してください。詳細は、「10. 低消費電力モード」を参照してください。

35.6.7 低消費電力状態への遷移に関する注意事項

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前に A/D 変換を停止させてください。A/D 変換を停止させる際、ADCSR.ADST ビットを 0 に設定後、ADC12 のアナログ部が停止するまで一定の期間を確保する必要があります。ソフトウェアで ADCSR.ADST ビットをクリアするには、図 35.33 に示す手順に従ってください。その後、ADCLK の 2 クロックサイクル期間待った後、モジュールストップ状態やソフトウェアスタンバイモードへ遷移させてください。

35.6.8 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、ADC12 の絶対精度誤差が生じます。この誤差は、アナログ入力端子にプルアップ／プルダウン抵抗 (Rp) と信号源抵抗 (Rs) の抵抗分圧分の誤差電圧が入力されるために生じます。絶対精度の誤差は下式で表されます。

$$\text{最大絶対精度誤差 (LSB)} = \left(2^{\text{分解能}} - 1\right) \times \text{Rs} / \left(\text{Rs} + \text{Rp}\right)$$

断線検出アシスト機能は、十分な評価の上、使用してください。

35.6.9 AN000～AN002、AN007 のレジスタ設定

P000～P003 の ASEL ビットの初期値は 1 です。これらの端子をアナログ機能として使用しない場合、入力リーク電流を低減するため、ASEL ビットを 0 にする必要があります。

35.6.10 動作モードおよびステータスビットの制約

自己診断の電圧値、ダブルトリガモードでの 1 回目または 2 回目のスキャンの値、データバッファポインタ、コンペア機能のステータスモニタについては、それぞれ必要に応じて初期化または再設定を行ってください。

- 自己診断の電圧値 (ADCER.DIAGVAL[1:0]) は、ADCER.DIAGLD を 1 に設定してから選択してください。

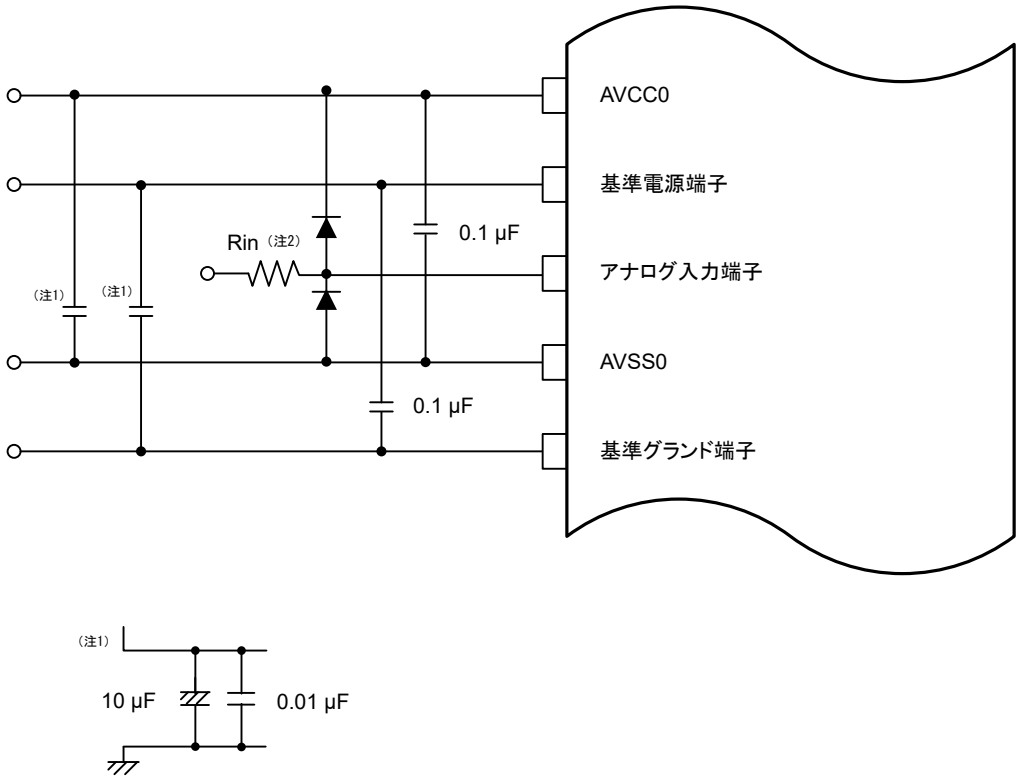
- ダブルトリガモードは、ADCSR.DBLE を 0 から 1 にした後、1 回目のスキャンとして動作します。
- コンペア機能のステータスモニタビット（MONCMPA、MONCMPB、MONCOMB）は、ADCMPCR.CMPAE および ADCMPCR.CMPBE を 0 にした後、初期化されます。

35.6.11 ボード設計に関する注意事項

デジタル回路とアナログ回路の間ができるだけ離れるように、ボードを設計してください。また、デジタル信号線とアナログ信号線は、交差させたり互いに近づけしたりしないでください。これらの規則に従わないと、アナログ信号にノイズが発生し、A/D 変換精度に影響を及ぼします。アナログ入力端子、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、アナログ電源端子 (AVCC0) はデジタル回路から離して、アナロググランド端子 (AVSS0) を使用してください。アナロググランド端子 (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に接続してください（単一グランドプレーン接続）。

35.6.12 ノイズ防止の制限事項

アナログ入力端子が過度のサージのような異常電圧により破壊されるのを防ぐために、AVCC0 と AVSS0 間、VREFH0 と VREFL0 間にキャパシタを挿入してください。さらに、図 35.34 に示されるように、アナログ入力端子を保護するために、保護回路を接続してください。



注 1. ここに示す値は基準値です。
注 2. Rin：信号源インピーダンス

図 35.34 アナログ入力用保護回路例

35.6.13 ADC12 入力使用時のポート設定

高精度チャネルを使用する場合は、PORT0 をデジタル出力ポートとして使用しないでください。通常精度チャネルを使用している場合は、AD アナログ入力とデジタル出力に同じポートを使用しないことを推奨します。AD アナログ入力としても使用しているデジタル出力を出力信号用に使用する場合は、A/D 変換を複数回実行し、最大値と最小値を除いた平均をとってください。

35.6.14 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、使用する発振器の安定時間経過後、さらに 1 µs 以上待ってから A/D 変換を開始してください。詳細は、「10. 低消費電力モード」を参照してください。

35.6.15 サンプリング時間の計算

サンプリング時間は、以下の数値と計算式で容易に概算できます。これは、電圧が LSB の 1/4 の範囲に達するのに要する時間です。

$$t_{SPL} = (R_{EXT} + R_{AD}) \times (C_{EXT} + C_{AD}) \times \ln (C_{AD} / (C_{EXT} + C_{AD}) \times 2^{N+2})$$

R_{EXT} は外部入力信号の信号源インピーダンスを示す
C_{EXT} は外部容量（端子容量(注1) + PCB 寄生容量）を示す
N = 12、10 または 8（変換分解能）
C_{AD} = 5 pF（内部容量）
R_{AD} = 1.0 kΩ（高速チャネルの場合の内部抵抗）
R_{AD} = 2.5 kΩ（通常速度チャネルの場合の内部抵抗）

注 1. アナログ入力端子の標準値は、5 pF です。

例えば、R_{EXT} = 1 kΩ、C_{EXT} = 10 pF、N = 12 ビットである場合、高速チャネルの t_{SPL} は 258 ns となります。

この計算式は一般的な使用事例を鑑み簡素化したものです。この計算式は保証されません。見積りのみに使用してください。

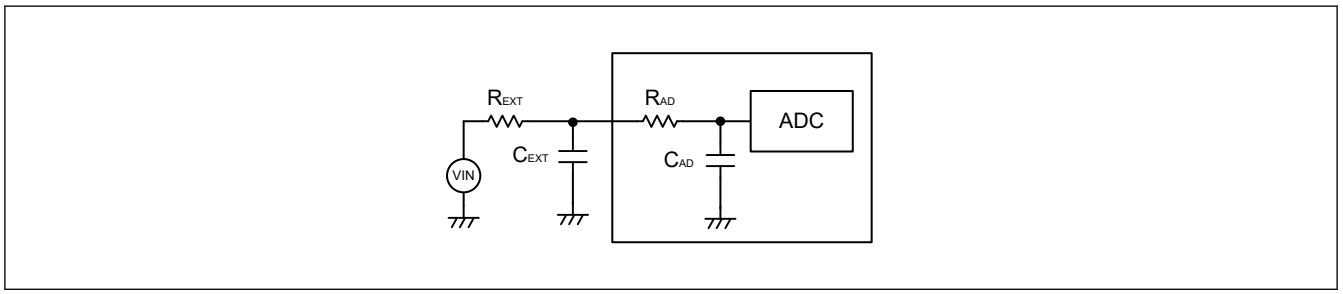


図 35.35 サンプル&ホールド回路の簡略図

36. 12 ビット D/A コンバータ (DAC12)

36.1 概要

本 MCU は、出力アンプ付きの 12 ビット D/A コンバータ (DAC12) を内蔵しています。表 36.1 に DAC12 の仕様、図 36.1 にブロック図、表 36.2 に入出力端子を示します。

表 36.1 DAC12 の仕様

項目	内容
分解能	12 ビット
出力チャネル	1 チャネル
アナログモジュール間の干渉低減	D/A 変換と A/D 変換の干渉を最小化するための対策 • ADC12 からの同期 D/A 変換許可入力信号により、D/A 変換データの更新タイミングを制御 • DAC12 の突入電流発生タイミングを許可信号で制御し、干渉による A/D 変換精度の劣化を低減
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
イベントリンク機能（入力）	イベント信号の入力により、DA0 変換の開始が可能
D/A 出力のアンプ制御機能	出力アンプ（アンプスルー制御およびアンプバイアス制御）の使用／不使用を制御
TrustZone フィルタ	セキュリティ属性を設定可能

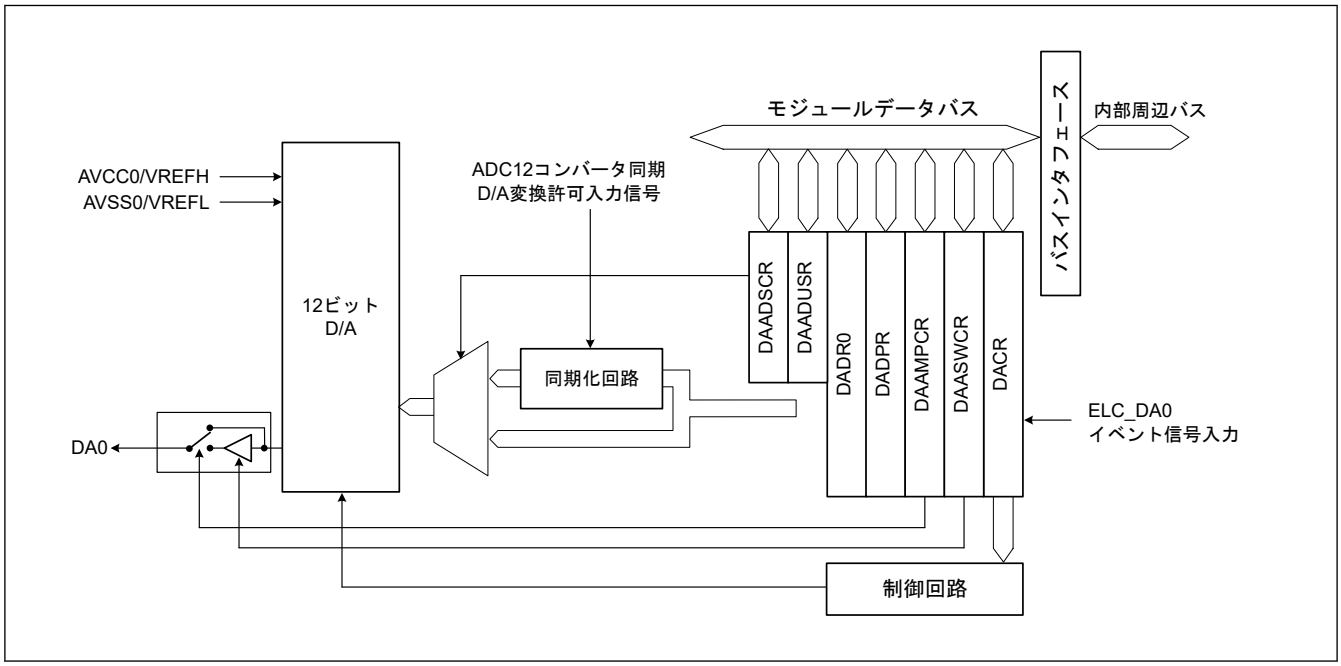


図 36.1 DAC12 のブロック図

表 36.2 に DAC12 の端子構成を示します。

表 36.2 DAC12 の入出力端子 (1/2)

端子名	入出力	機能
AVCC0	入力	• ADC12、DAC12、および TSN 用のアナログ電源およびアナログ基準頂部電圧源端子 • これらのモジュールを使用しない場合は、VCC に接続してください。
AVSS0	入力	• ADC12、DAC12、および TSN 用のアナロググランド端子およびアナログ基準グランド端子 • これらのモジュールを使用しない場合は、VSS に接続してください。
VREFH	入力	DAC12 用のアナログ基準頂部電圧源端子
VREFL	入力	DAC12 用のアナログ基準グランド端子

表 36.2 DAC12 の入出力端子 (2/2)

端子名	入出力	機能
DA0	出力	DAC12 で処理されるアナログ信号用のチャネル 0 出力端子

36.2 レジスタの説明

36.2.1 DADR0 : D/A データレジスタ 0

Base address: DAC12 = 0x4017_1000

Offset address: 0x00

Bit position:	15															0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DADR0 レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し／書き込みレジスタです。アナログ出力を許可すると、DADR0 レジスタの値が変換されアナログ出力端子に出力されます。

12 ビットデータを左詰めにするか右詰めにするかは、DADPR.DPSEL ビットで設定できます。右詰め形式 (DADPR.DPSEL = 0) では、下位 12 ビット ([11:0]) が有効です。左詰め形式 (DADPR.DPSEL = 1) では、上位 12 ビット ([15:4]) が有効です。

36.2.2 DACR : D/A コントロールレジスタ

Base address: DAC12 = 0x4017_1000

Offset address: 0x04

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DAOE	—	—	—	—	—	—
Value after reset:	0	0	0	1	1	1	1	1

ビット	シンボル	機能	R/W
4:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	DAOE0	D/A 出力許可 0 0: チャネル 0 の D/A 変換およびアナログ出力 (DA0) を禁止(注1) 1: チャネル 0 の D/A 変換およびアナログ出力 (DA0) を許可	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. アナログ出力禁止時、アナログ出力信号は Hi-Z 状態になります。

DACR レジスタは、DAADSCR.DAADST ビットが 1（D/A 変換と A/D 変換の干渉低減が有効）の状態で、ADC12 が停止中の場合のみ設定してください。DACR を設定するときは、ADC12 トリガで ADC12 を確実に停止させるために、ADCSR.ADST ビットが 0、かつソフトウェアトリガを選択した状態でのみ行ってください。

DAOE0 ビット（D/A 出力許可 0）

DAOE0 ビットは D/A 変換とアナログ出力を許可します。D/A 変換と A/D 変換の干渉低減が有効 (DAADSCR.DAADST = 1) の状態で、ADC12 が停止中 (ADCSR.ADST = 0) かつ ADC12 トリガとしてソフトウェアトリガが選択されている場合のみ DAOE0 ビットを設定してください。

イベントリンク機能を使用して、DAOE0 ビットを 1 にできます。ELC_DA0 の ELSR12 レジスタで指定されたイベントが発生すると、DAOE0 ビットが 1 になります。

表 36.3 D/A 変換とアナログ出力制御

DACR	DAAMPCR			
DAOEi	DAAMPi	チャネル i の動作	チャネル i アンプ動作	チャネル i アナログ出力
0	0	停止	停止	Hi-Z
	1	停止	停止	Hi-Z
1	0	動作	停止	アンプスルー
	1	動作	動作	アンプ出力

注. i = 0

36.2.3 DADPR : DADR0 フォーマット選択レジスタ

Base address: DAC12 = 0x4017_1000

Offset address: 0x05

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DPSEL	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DPSEL	DADR0 フォーマット選択レジスタ 0: 右詰め 1: 左詰め	R/W

36.2.4 DAADSCR : D/A A/D 同期スタートコントロールレジスタ

Base address: DAC12 = 0x4017_1000

Offset address: 0x06

Bit position:	7	6	5	4	3	2	1	0
Bit field:	DAADST	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
6:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	DAADST	D/A A/D 同期変換 0: DAC12 は ADC12 の動作と同期しない（D/A 変換と A/D 変換の干渉低減が無効） 1: DAC12 は ADC12 の動作と同期する（D/A 変換と A/D 変換の干渉低減が有効）	R/W

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉を最小化するために、D/A 変換の開始タイミングを ADC12 同期 D/A 変換許可入力信号に同期させることができます。

このレジスタの設定は、ADC12 が停止中のとき（ADC12 のトリガ選択をソフトウェアトリガにした後、ADCSR.ADST ビットが 0 のとき）のみ行ってください。

DAADST ビットを 1 にする前に、ADC12 の対象ユニットを選択してください。DAADUSR[0]ビットを 1 にして、ユニット 0 を選択してください。

DAADST ビット（D/A A/D 同期変換）

DAADST ビットを 0 にすると、DADR0 レジスタの値を随時 D/A 変換します。DAADST ビットを 1 にすると、ADC12 からの同期 D/A 変換許可入力信号に同期して D/A 変換が行われます。本ビットを設定した場合、DADR0 レジスタの値を書き換えても、ADC12 の A/D 変換が終了するまで D/A 変換は行われません。

DAADST ビットの設定は ADCSR.ADST ビットが 0 のときに行ってください。このとき、ADC12 を確実に停止させるため、ADC12 のトリガ選択をソフトウェアトリガに設定してください。DAADST ビットを 1 にする場合、DAADUSR.AMADSEL0 ビットを 1 にした後にしてください。

なお、DAADST ビットを 1 にした場合は、イベントリンク機能は使用できません。ELC の ELSR12 レジスタでイベントリンク機能を停止に設定してください。

36.2.5 DAAMPCR : D/A 出力アンプコントロールレジスタ

Base address: DAC12 = 0x4017_1000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DAAMP0	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	DAAMP0	アンプ制御 0 0: チャネル 0 の出力アンプを使用しない 1: チャネル 0 の出力アンプを使用する	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

DAAMPCR レジスタは、D/A 出力に対してアンプを使用するか、使用せずにスルー出力するかを選択します。

DAAMP0 ビット（アンプ制御 0）

DAAMP0 ビットを 0 にすると、チャネル 0 の D/A 出力に対してアンプを介さずにアナログ値を出力します。
DAAMP0 ビットを 1 にすると、チャネル 0 の D/A 出力に対してアンプを介してアナログ値を出力します。

DACR.DAOE0 ビットが 0 の状態では、DAAMP0 ビットの設定にかかわらずアンプは使用されません。詳細は、表 36.3 を参照してください。

36.2.6 DAASWCR : D/A アンプ安定ウェイトコントロールレジスタ

Base address: DAC12 = 0x4017_1000

Offset address: 0x1C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DAASW0	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	DAASW0	D/A アンプ安定待機 0 0: チャネル 0 アンプ安定待機 OFF（出力） 1: チャネル 0 アンプ安定待機 ON (Hi-Z)	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

DAASWCR レジスタは、出力アンプを使用した D/A 出力を制御します。本レジスタは、D/A 出力アンプ安定待機のための初期化手順で使用します。DACR.DAOEi (i = 0) ビットが 0 のとき、DAASWCR の各ビットを 1 にしてください。「36.6.5. 出力アンプを使用した初期化手順」を参照してください。

DAASW0 ビット（D/A アンプ安定待機 0）

チャネル 0 の D/A 出力アンプ安定待機のための初期化手順で、DAASW0 ビットを 1 にしてください。DAASW0 を 1 にすると、D/A 変換は動作しますが、D/A 変換結果は、チャネル 0 から出力されません。DAASW0 ビットを 0 にすると、安定待機時間は終了し、チャネル 0 の D/A 変換結果は出力アンプによって出力されます。

36.2.7 DAADUSR : D/A A/D 同期ユニット選択レジスタ

Base address: DAC12 = 0x4017_1000

Offset address: 0x10C0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	AMADSEL0
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	AMADSEL0	A/D ユニット 0 選択 0: ユニット 0 を選択しない 1: ユニット 0 を選択する	R/W
1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

DAADUSR レジスタは、D/A A/D 同期変換する ADC12 の対象ユニットを選択するレジスタです。MCU で AMADSEL0 ビットを 1 にして、ユニット 0 を同期対象ユニットとして選択してください。DAADSCR.DAADST ビットを 1 にして同期変換する場合は、事前に本レジスタで対象ユニットを選択してください。

DAADUSR レジスタの設定は、ADC12 の ADCSR.ADST ビットが 0 かつ DAADSCR.DAADST ビットが 0 のときのみ行ってください。

36.3 動作

DAC12 には 1 チャネルの D/A 変換回路があります。DACR.DAOEn ビット (n = 0) を 1 にすると、DAC12 が有効になり、変換結果が出力されます。

以下にチャネル 0 での D/A 変換例を示します。図 36.2 に、このときの動作タイミングを示します。

チャネル 0 で D/A 変換を実行する場合の手順は以下のとおりです。

1. DADR0 レジスタに D/A 変換を行うためのデータ、DADPR.DPSEL ビットにデータフォーマットを設定します。
2. DACR.DAOE0 ビットを 1 にすると、D/A 変換を開始します。t_{DCONV} 時間経過後、変換結果をアナログ出力端子 DA0 より出力します。DADR0 レジスタを書き換えるか、DAOE0 ビットを 0 にするまで、この変換結果が出力され続けます。出力値（参考）は以下の式で計算します。

$$\frac{\text{DADR0の設定値}}{4096} \times \text{VREFH}$$

3. 変換を再度開始するため、別の値を DADR0 へ書き込みます。t_{DCONV} 時間経過後、変換結果が出力されます。DAADSCR.DAADST ビットが 1（D/A 変換と A/D 変換の干渉低減が有効）の場合、D/A 変換開始まで最大で A/D 変換 1 回分の時間が必要です。ADCLK が周辺クロックよりも速い場合は、さらに時間が必要となる場合があります。
4. アナログ出力を禁止する場合は、DAOE0 ビットを 0 にしてください。

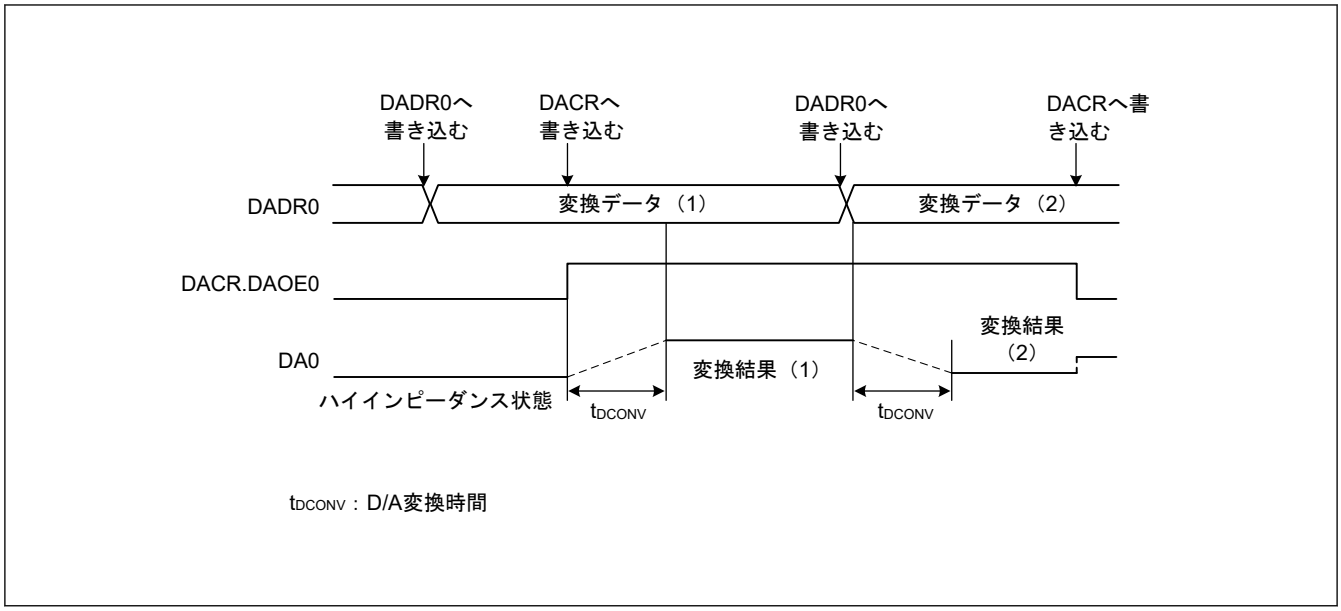


図 36.2　DAC12 の動作例

36.3.1　D/A 変換と A/D 変換の干渉の低減

D/A 変換が開始されると、DAC12 は突入電流を発生させます。DAC12 と ADC12 のアナログ電源が共通のため、発生した突入電流が ADC12 の動作に干渉することがあります。

DAADSCR.DAADST ビットが 1 の場合、DADR0 レジスタのデータが更新されても、D/A 変換はすぐには実施されません。その代わり、

- ADC12 が停止中に DADR0 レジスタのデータが変更されると、1 PCLKA サイクル後に D/A 変換が開始されます。
- ADC12 が 12 ビット A/D 変換実行中に DADR0 レジスタのデータが変更された場合、A/D 変換完了時に D/A 変換が開始されます。したがって、DADR0 レジスタデータの更新が D/A 変換回路の出力に反映されるまで、最大で A/D 変換 1 回分の間の時間が必要です。D/A 変換が完了するまでの間、DADR0 レジスタ値とアナログ出力値は一致しません。

DAADSCR.DAADST ビットが 1 のときに、DADR0 レジスタの値が D/A 変換されたかどうかをソフトウェアで確認することはできません。

以下に、DAC12 を ADC12 に同期して動作させる場合の D/A 変換例を示します。図 36.3 にこの動作のタイミングを示します。

D/A 変換を ADC12 に同期して動作させる場合は、以下の手順で行ってください。

ADC12 が停止中であることを確認し、DAADSCR.DAADST ビットを 0 にします。

1. ADC12 が停止中であることを確認し、DAADUSR.AMADSEL0 ビットを 1 にします。
2. ADC12 が停止中であることを確認し、DAADSCR.DAADST ビットを 1 にします。
3. ADC12 が停止中であることを確認し、DACR.DAOE0 ビットを 1 にします。
4. DADR0 レジスタを設定します。ADCLK が周辺クロックよりも速い場合は、D/A 変換は、A/D 変換 1 回分以上待たされる場合があります。
   - DADR0 レジスタを書き換えたとき、ADC12 が停止していた場合 (ADCSR.ADST = 0)、1PCLKA サイクル後に D/A 変換が開始されます。
   - DADR0 レジスタを書き換えたとき、12 ビット A/D 変換中の場合 (ADCSR.ADST = 1)、A/D 変換終了時に D/A 変換が開始されます。A/D 変換中に DADR0 レジスタを 2 回書き換えた場合、1 回目の更新は、D/A 変換されないことがあります。

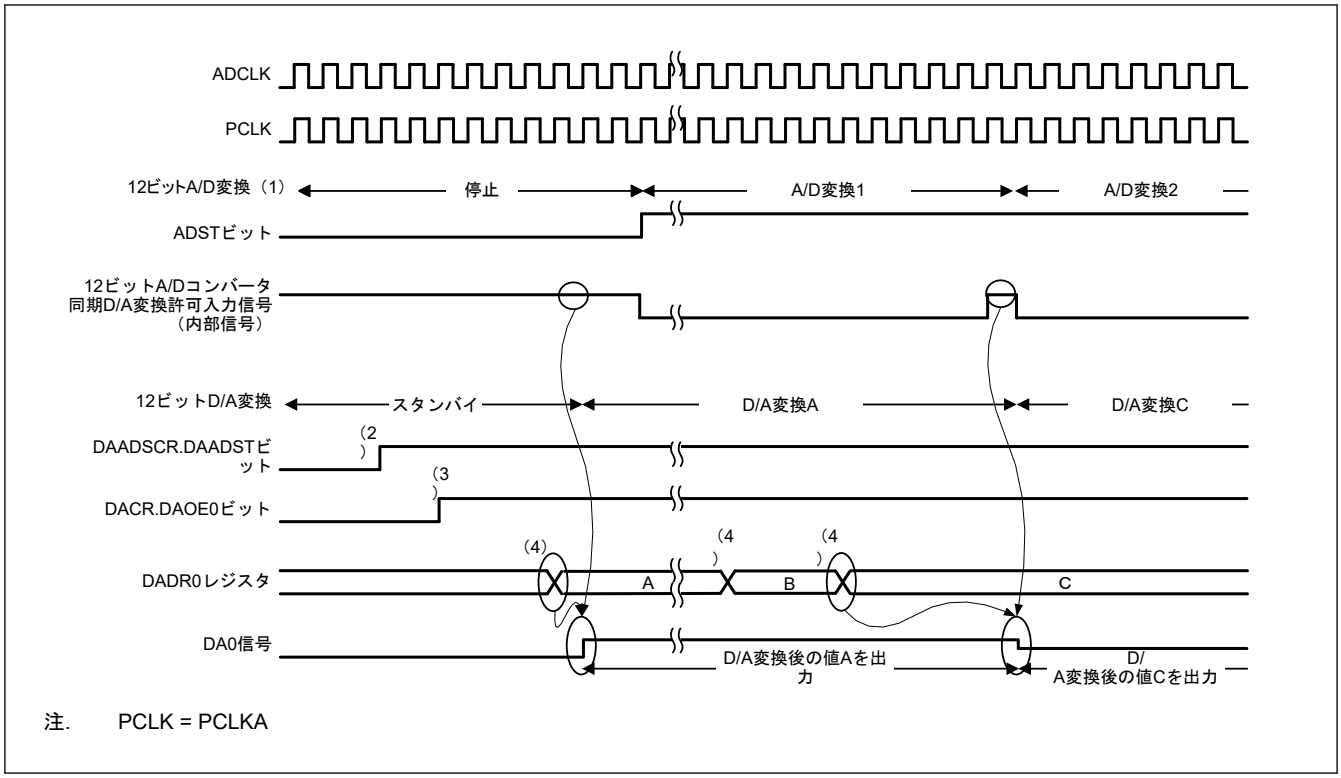


図 36.3 DAC12 を ADC12 に同期して変換する例

図 36.4 に示すように、ADCLK が PCLKA よりも速い場合、A/D 変換 1 と A/D 変換 2 の間に出力される ADCLK 1 サイクル分の ADC12 からの同期 D/A 変換許可入力信号を DAC12 が取り込めない可能性があります。この場合、DA0 信号は D/A 変換値 A の出力を継続します。

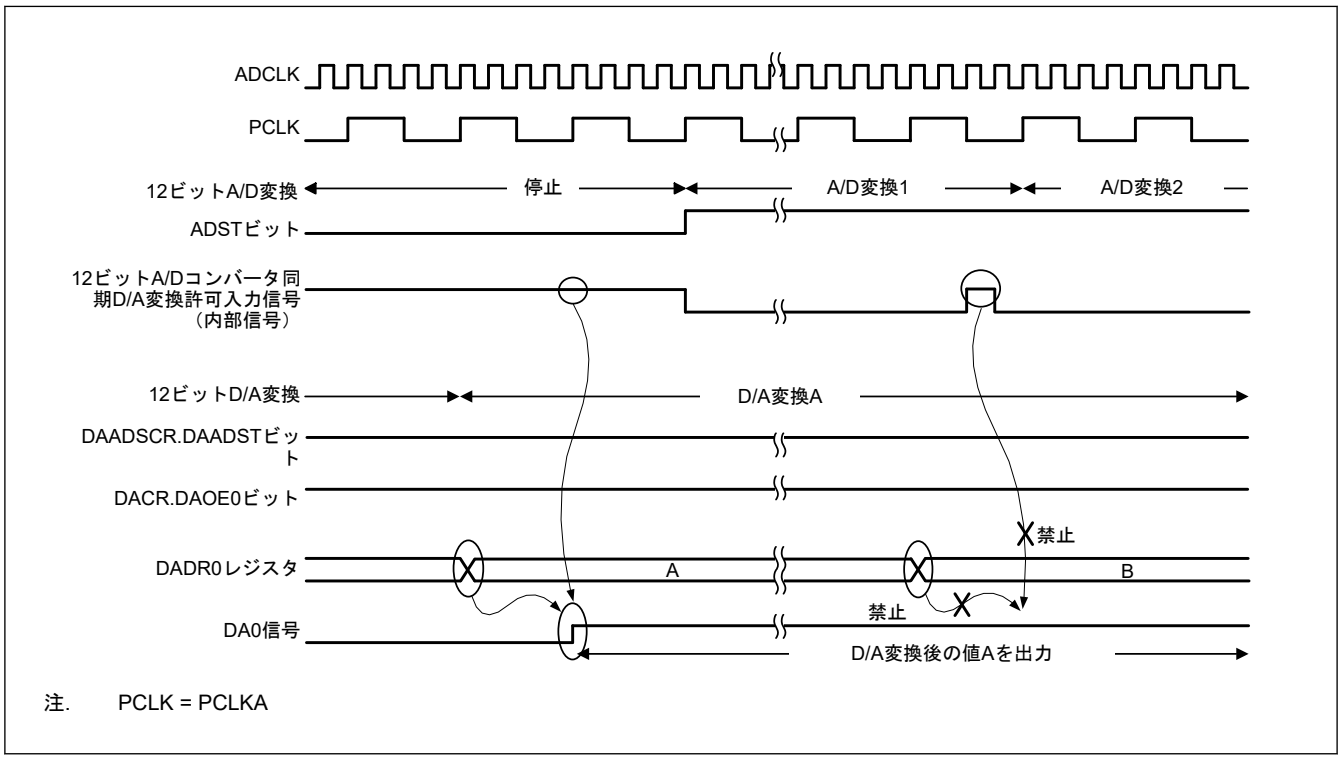


図 36.4 DAC12 が ADC12 からの同期 D/A 変換許可入力信号を取り込めない場合の例

36.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

36.4.1 DA0 イベントリンクの動作設定手順

DA0 イベントリンクの動作を設定する場合は、以下の手順で行います。

1. DADPR.DPSEL ビットを設定し、DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC_DA0 イベント信号が ELSR12 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE0 ビットが 1 になり、チャネル 0 の D/A 変換が開始されます。
5. DAC12 チャネル 0 のイベントリンク動作を停止するときは、ELSR12 レジスタを 0x0000 にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

36.5 イベントリンク動作における注意事項

- イベントリンク機能を使用する場合、アンプ出力機能を使用しないでください。
- DACR.DAOE0 ビットへの書き込み実行中に ELC_DA0 イベント信号で指定されたイベントが発生すると、書き込みサイクルは停止し、発生イベントのビットが優先的に 1 になります。
- D/A 変換と A/D 変換の干渉低減のため DAADSCR.DAADST ビットを 1 にしている場合、イベントリンク機能は使用禁止です。

36.6 使用上の注意

36.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、DAC12 の動作を禁止または許可することが可能です。DAC12 は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

36.6.2 モジュールストップ状態における DAC12 の動作

D/A 変換が許可された状態で MCU がモジュールストップ状態に遷移すると、D/A 出力が保持され、アナログ電源電流は D/A 変換中と同じになります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE0 ビットを 0 にして D/A 変換を禁止してください。

36.6.3 ソフトウェアスタンバイモード時の DAC12 の動作

D/A 変換を許可した状態で MCU がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同様になります。ソフトウェアスタンバイモード時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE0 ビットを 0 にして D/A 変換を禁止してください。

36.6.4 ディープソフトウェアスタンバイモードへの移行に関する制約

D/A 変換を許可した状態で MCU がディープソフトウェアスタンバイモードに遷移すると、DAC12 の出力はハイインピーダンスとなります。

36.6.5 出力アンプを使用した初期化手順

出力アンプを使用して、以下の初期化手順に従ってください。ここではチャネル 0 を例に説明します。

出力アンプを使用して DAC12 を初期化するには、以下の手順を行います。

1. DADR0 レジスタに 0x0000 を書き込みます。
2. DAASWCR.DAASW0 ビットを 1 にします。
3. DAAMPCR.DAAMP0 ビットを 1 にします。
4. DACR.DAOE0 ビットを 1 にして、アンプ動作を開始します。
5. D/A 変換時間 (t_{DCONV}) の期間を待機してから、DAASWCR.DAASW0 ビットを 0 にクリアします。
6. 変換する値を DADR0 レジスタに書き込みます。

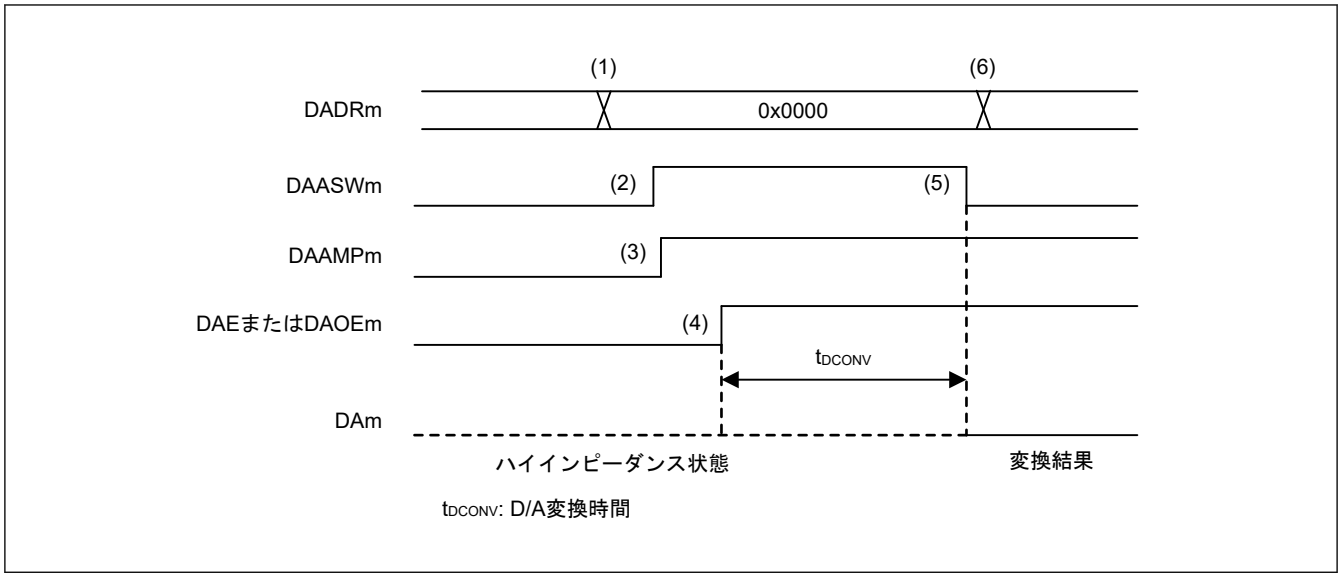


図 36.5　出力アンプを使用した DAC12 の初期化フロー例

なお、アンプが動作している状態で、DACR.DAE ビットと DACR.DAOE0 ビットを 0 にクリアすると、アンプは停止状態になります。再びアンプを使用する場合には、手順 1～6 を再度行ってください。

36.6.6　D/A 変換と A/D 変換の干渉低減有効時の制約

DAADSCR.DAADST ビットが 1（D/A 変換と A/D 変換の干渉低減が有効）の場合、ADC12 をモジュールストップ状態にしないでください。A/D 変換が停止するだけでなく、D/A 変換も停止する可能性があります。

37. 温度センサ回路 (TSN)

37.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサ (TSN) でチップの温度を測定し、監視します。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。

表 37.1 に TSN の仕様を、図 37.1 に TSN のブロック図を示します。

表 37.1 TSN の仕様

項目	内容
温度センサ電圧出力	12 ビット A/D コンバータに電圧を出力
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能
温度センサ校正データ	工場出荷時に個々のチップごとに測定した基準データをレジスタに格納
TrustZone フィルタ	セキュリティ属性を設定可能

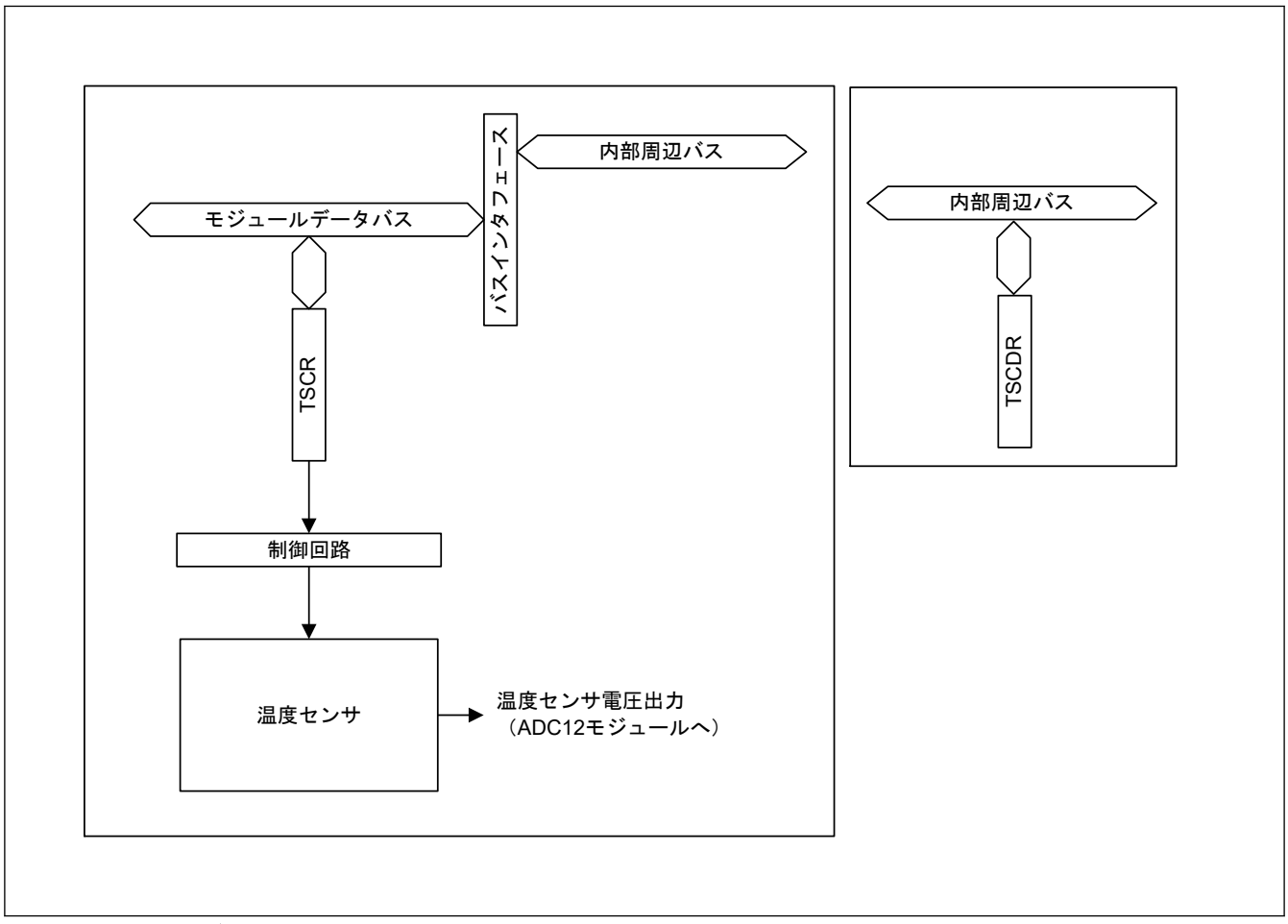


図 37.1 TSN のブロック図

37.2 レジスタの説明

37.2.1 TSCR : 温度センサコントロールレジスタ

Base address: TSN = 0x400F_3000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	TSEN	—	—	TSOE	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
3:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
4	TSOE	温度センサ出力許可 0: 温度センサから ADC12 への出力を禁止 1: 温度センサから ADC12 への出力を許可	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	TSEN	温度センサ許可 0: 温度センサが停止 1: 温度センサが動作	R/W

TSCR は、温度センサの制御を行うレジスタです。図 37.3 に示されるタイミングの制約は、TSCR レジスタの設定に適用されます。

TSOE ビット（温度センサ出力許可）

TSOE ビットは ADC12 への温度センサ出力を許可または禁止します。

TSEN ビット（温度センサ許可）

TSEN ビットは温度センサの動作または停止を選択します。

37.2.2 TSCDR : 温度センサ校正データレジスタ

Base address: TSD = 0x407F_B000

Offset Address: 0x017C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	TSCDR[15:0]															
Value after reset:	チップごとの固有値															

ビット	シンボル	機能	R/W
15:0	TSCDR[15:0]	温度センサ補正データ チップごとの固有値	R
31:16	—	読むと 0 が読めます。	R

TSCDR レジスタは、工場出荷時に個々のチップごとに測定された温度センサ校正データが格納されています。

温度センサ校正データは、Tj = 127°C、AVCC0 = VREFH0 = 3.3 V の条件における温度センサの出力電圧を、12 ビット A/D コンバータでデジタル変換した値です。

TSCDR レジスタは読み出し専用の 32 ビットレジスタです。32 ビット単位で読み出してください。

温度センサ校正データは、TSCDR レジスタの下位 12 ビットに格納されています。

37.3 温度センサ回路の使用方法

温度センサが出力する電圧は、温度により変化します。この電圧は 12 ビット A/D コンバータでデジタル値に変換されます。チップの温度は、この値を温度に変換することで求められます。

37.3.1 使用前の準備

MCU の周囲温度 (T) は温度センサの電圧出力 (Vs) と比例関係にあるため、以下の式で MCU の周囲温度を求められます。

T = (Vs - V1) / slope + T1

- T: 計算結果である MCU の周囲温度 (°C)
- Vs: 温度測定時の温度センサの出力電圧 (V)
- T1: 1 点目の試行測定時の温度 (°C)
- V1: T1 測定時の温度センサの出力電圧 (V)
- T2: 2 点目の試行測定時の温度 (°C)
- V2: T2 測定時の温度センサの出力電圧 (V)
- Slope: 温度センサの温度傾斜 (V/°C) Slope = (V2 - V1)/(T2 - T1)

温度センサには個体間ばらつきがあるため、以下のような異なる温度 2 点の試行測定を実施して温度傾斜を求めておくことを推奨します。

1. 12 ビット A/D コンバータを使用して、温度 T1 で温度センサにより出力される電圧 V1 を測定してください。
2. 再度、12 ビット A/D コンバータを使用して、異なる温度 T2 で温度センサにより出力される電圧 V2 を測定してください。
3. 両者の測定結果から、温度傾斜 (Slope = (V2 - V1)/(T2 - T1)) を求めます。
4. この slope の値を温度特性の式 (T = (Vs - V1)/Slope + T1) に代入し、温度を求めます。

また、「44. 電気的特性」に記載の温度傾斜を slope として用いる場合は、1 回の試行測定で V1 と T1 を決定します。

T = (Vs - V1) / slope + T1

注. ただし、この方法では、2 点を測定する方法よりも測定温度精度が劣ります。

本 MCU は、TSCDR レジスタに、Ta = Tj = 127°C、AVCC0 = VREFH0 = 3.3 V の条件における温度センサの温度測定値 (CAL127) を格納しています。この値を 1 点目の試行測定結果として使用することで、使用前の準備を省略することができます。

CAL127 から V1 を求めると、

V1 = 3.3 × CAL127 / 4096 [V] （12 ビット精度の場合）

となり、これを用いると、測定温度は下記の式にて算出できます。

T = (Vs - V1) / slope + 127 [°C]

- T: 計算結果である MCU の周囲温度 (°C)
- Vs: 温度測定時の温度センサの出力電圧 (V)
- V1: Ta = Tj = 127°C、AVCC0 = VREFH0 = 3.3 V 時の温度センサの出力電圧 (V)
- Slope: 温度センサの温度傾斜(注1) / 1000 (V/°C)

注 1. 「44. 電気的特性」を参照

37.3.2 温度センサ回路の使用手順

図 37.2 に TSN の使用手順例を示します。

詳細は、「35. 12 ビット A/D コンバータ (ADC12)」を参照してください。

注 1. 加算／平均モードを設定しない場合は、設定不要です。
注 2. 加算／平均モードでは ADADC.ADC[2:0]ビットの設定値が限定されます。加算／平均モードで可能な ADADC.ADC[2:0] ビットの設定については、「35. 12 ビット A/D コンバータ (ADC12)」を参照してください。
注 3. サンプリング時間は温度センサ特性のサンプリング時間以上となるように設定してください。詳細は「44. 電気的特性」を参照してください。

図 37.2 TSN の使用手順例

図 37.3 に温度センサの動作開始から A/D 変換完了までのタイミングを示します。ADC12 がシングルスキャンモードで、温度センサ出力のみを A/D 変換対象とした場合です。 表 37.2 に図中に示す時間を説明します。

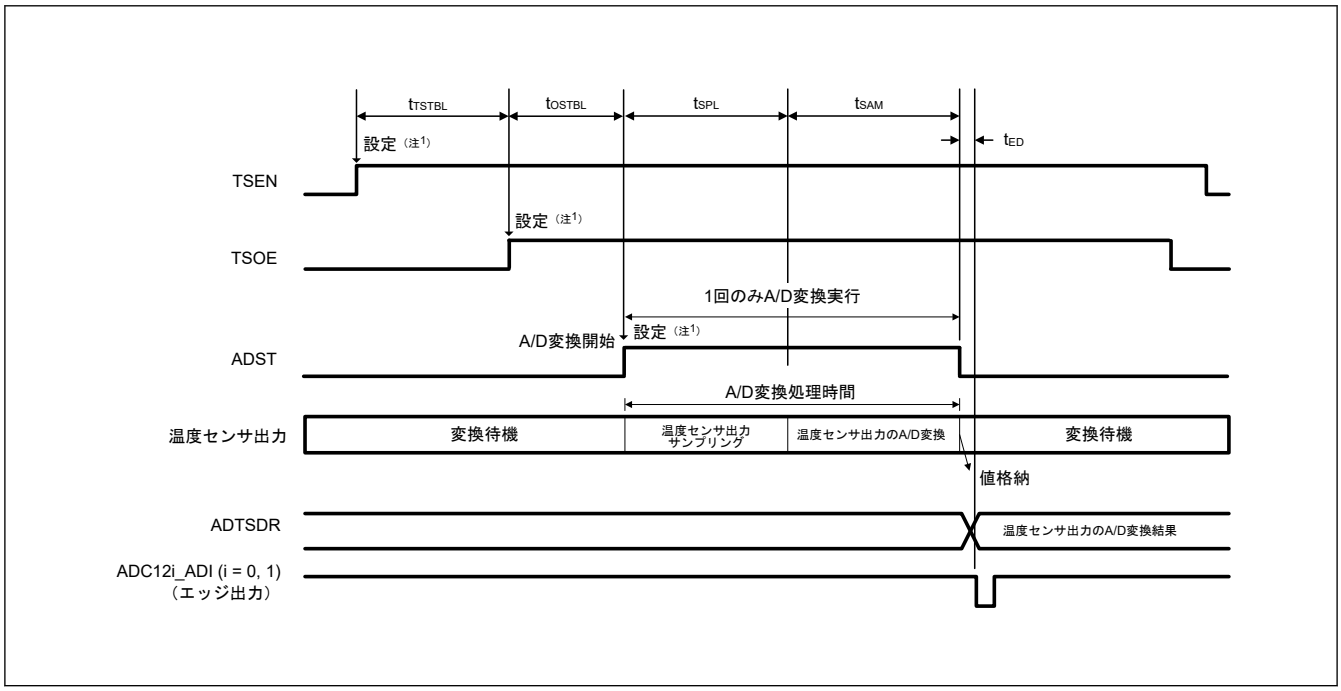


図 37.3　温度センサの動作開始から A/D 変換完了までのタイミング

表 37.2　温度センサの動作開始から A/D 変換完了までの時間

項目	記号	時間
温度センサ起動時間	t_{TSTBL}	30 µs (min)
温度センサ出力安定待ち時間	t_{OSTBL}	0 µs (min)
A/D コンバータ入力サンプリング時間	t_{SPL}	ADSSTRn の設定値 × ADCLK サイクル
A/D 変換時間	t_{SAM}	「35.3.6. アナログ入力のサンプリング時間とスキャン変換時間」の表を参照してください。
スキャン終了処理時間	t_{ED}	

37.4　使用上の注意事項

37.4.1　モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、TSN の動作の禁止または許可を設定することが可能です。リセット後の初期状態では、TSN の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

38. データ演算回路 (DOC)

38.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算、または減算する機能です。選択した条件に一致する場合、割り込み要求が発生します。 表 38.1 に DOC の仕様を、図 38.1 にブロック図を示します。

表 38.1 DOC の仕様

項目	内容
データ演算機能	16 ビットデータの比較、加算、または減算
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
割り込みとイベントリンク機能 (DOC_DOPCI)	割り込み要求の発生条件 • データ比較の結果が一致または不一致のとき • データ加算の結果が 0xFFFF より大きくなったとき • データ減算の結果が 0x0000 より小さくなったとき
TrustZone フィルタ	セキュリティ属性を設定可能

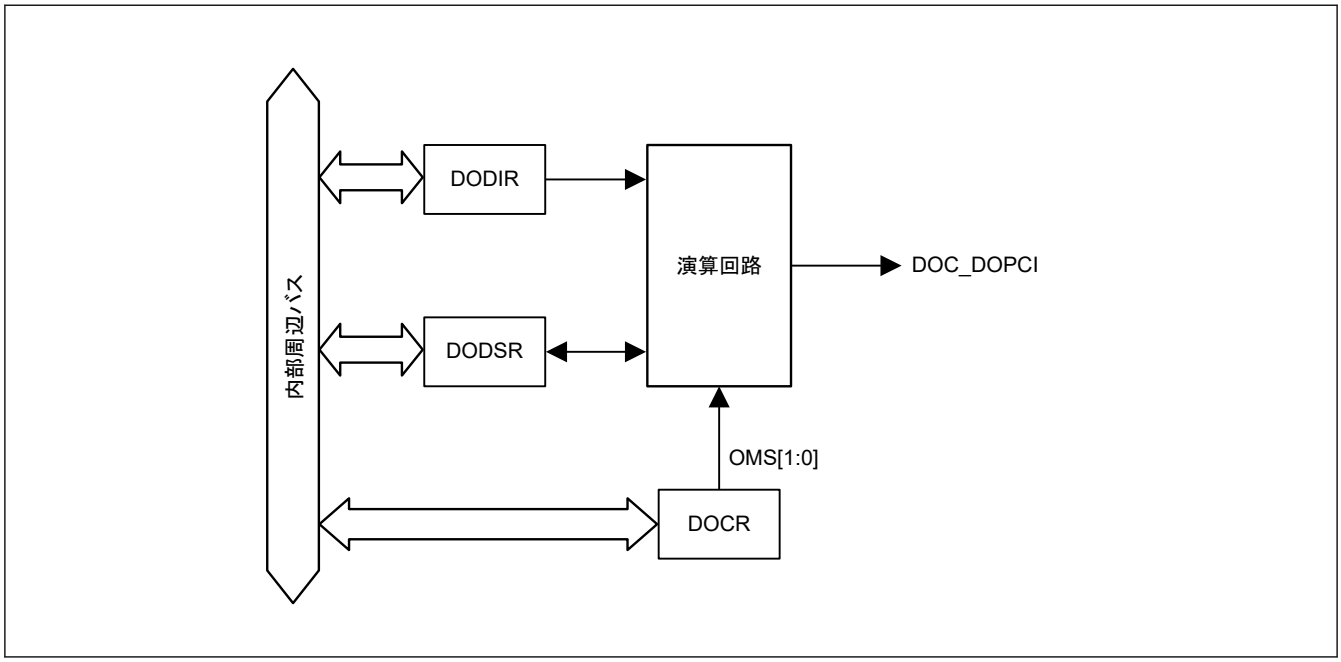


図 38.1 DOC のブロック図

38.2 レジスタの説明

38.2.1 DOCR : DOC コントロールレジスタ

Base address: DOC = 0x4010_9000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	DOPCFCL	DOPCF	—	—	DCSEL	OMS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	OMS[1:0]	動作モード選択 0 0: データ比較モード 0 1: データ加算モード 1 0: データ減算モード 1 1: 設定禁止	R/W
2	DCSEL(注1)	検出条件選択 0: データの不一致検出時に DOPCF フラグを 1 にする 1: データの一致検出時に DOPCF フラグを 1 にする	R/W
4:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
5	DOPCF	DOC フラグ 演算結果を示します。	R
6	DOPCFCL	DOPCF クリア 0: DOPCF フラグ状態を保存 1: DOPCF フラグをクリア	R/W
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. データ比較モード選択時のみ有効

OMS[1:0]ビット（動作モード選択）

OMS[1:0]ビットは DOC の動作モードを選択します。

DCSEL ビット（検出条件選択）

DCSEL ビットはデータ比較モード時の検出条件を選択します。データ比較モード選択時のみ有効です。

DOPCF フラグ（DOC フラグ）

DOPCF フラグは、演算結果を示します。

[1 になる条件]

- データ比較の結果が DCSEL ビットで選択した条件になったとき
- データ加算の結果が 0xFFFF より大きくなったとき
- データ減算の結果が 0x0000 より小さくなったとき

[0 になる条件]

- DOPCFCL ビットに 1 を書き込んだとき

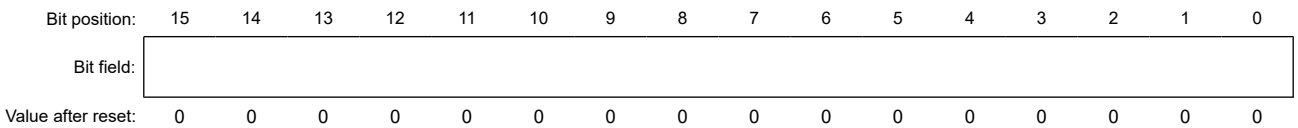
DOPCFCL ビット（DOPCF クリア）

DOPCFCL ビットを 1 にすると DOPCF フラグをクリアします。読むと 0 が読めます。

38.2.2 DODIR : DOC データ入力レジスタ

Base address: DOC = 0x4010_9000

Offset address: 0x02



ビット	シンボル	機能	R/W
15:0	n/a	DODIR レジスタは、演算対象の 16 ビットのデータを格納する 16 ビットの読み書き可能なレジスタです。	R/W

38.2.3 DODSR : DOC データ設定レジスタ

Base address: DOC = 0x4010_9000

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
15:0	n/a	DODSR レジスタは、データ比較モードで基準として使用される 16 ビットのデータを格納する 16 ビットの読み書き可能なレジスタです。また、データ加算モードおよび減算モードでは、演算結果を格納します。	R/W

38.3 動作説明

38.3.1 データ比較モード

図 38.2 にデータ比較モードの動作例を示します。この例では、DCSEL ビットは 0（データ比較の結果、不一致を検出）です。設定方法は以下のとおりです。

1. DOCR.OMS[1:0]ビットに 00b を書き込むと、データ比較モードになります。
2. DODSR レジスタに基準となる 16 ビットのデータを書き込みます。
3. DODIR レジスタに比較する 16 ビットのデータを書き込みます。
4. 比較するすべてのデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. DOCR.DCSEL = 0 のとき、DODIR レジスタに書き込まれたデータが DODSR レジスタ内のデータと一致しなかったとき、DOCR.DOPCF フラグが 1 になります。

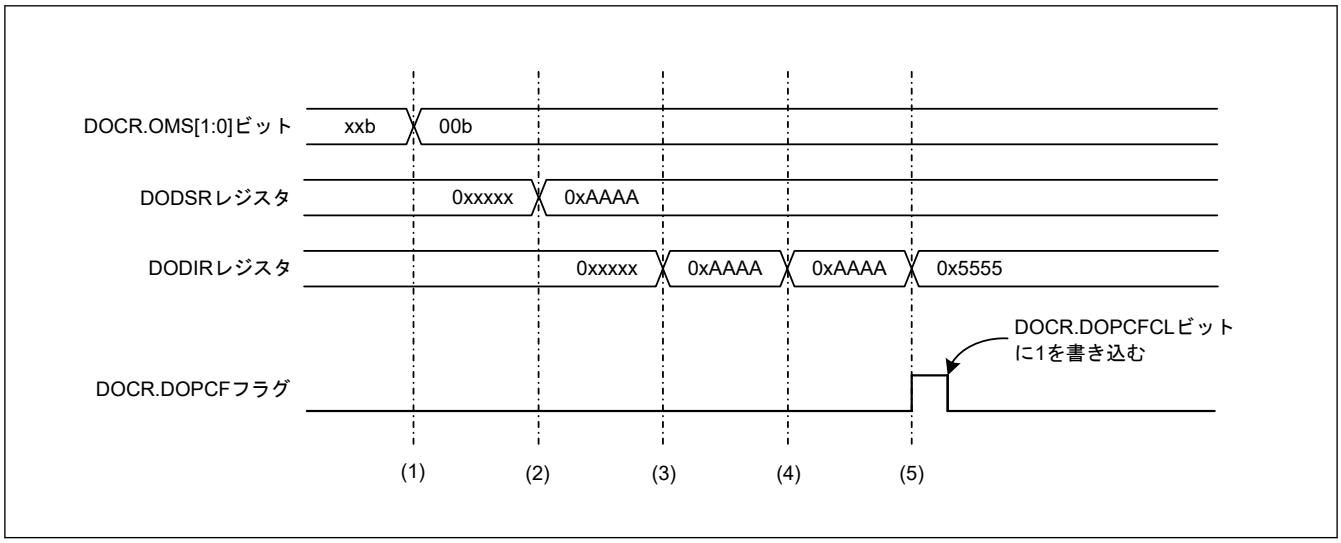


図 38.2 データ比較モードの動作例

38.3.2 データ加算モード

図 38.3 にデータ加算モードの動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0]ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR レジスタの初期値として 16 ビットのデータを書き込みます。
3. DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。

4. 加算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 加算結果が 0xFFFF よりも大きくなったとき DOCR.DOPCF フラグが 1 になります。

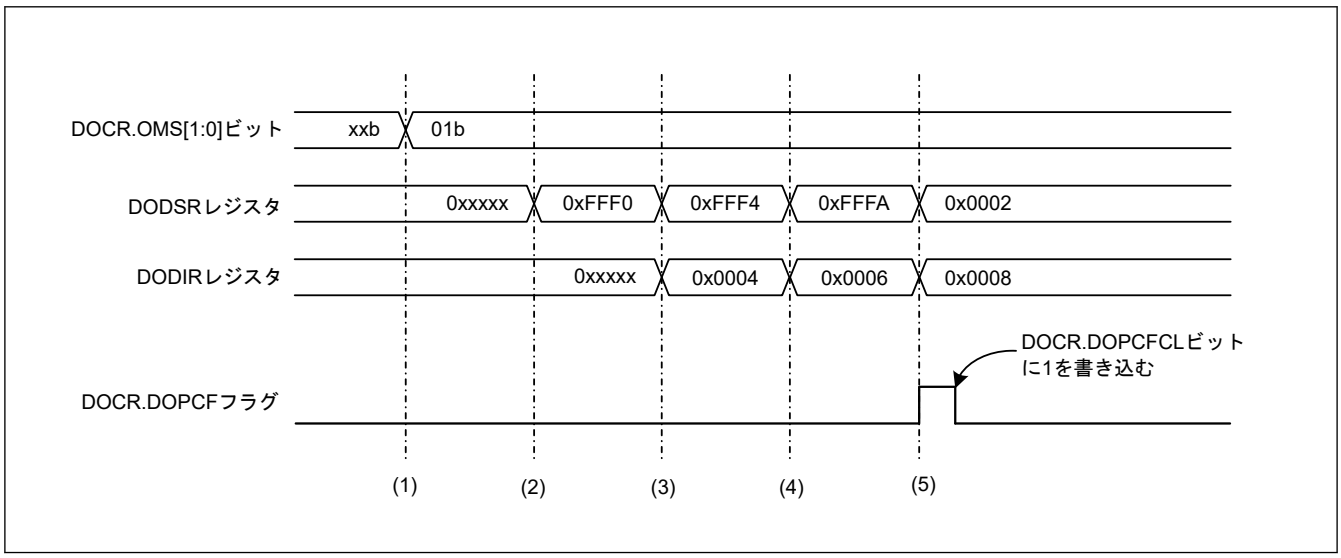


図 38.3　データ加算モードの動作例

38.3.3　データ減算モード

図 38.4 にデータ減算モードの動作例を示します。設定方法は以下のとおりです。

1. DOCR.OMS[1:0]ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR レジスタの初期値として 16 ビットのデータを書き込みます。
3. DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 減算するすべてのデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 減算結果が 0x0000 よりも小さくなったとき DOCR.DOPCF フラグが 1 になります。

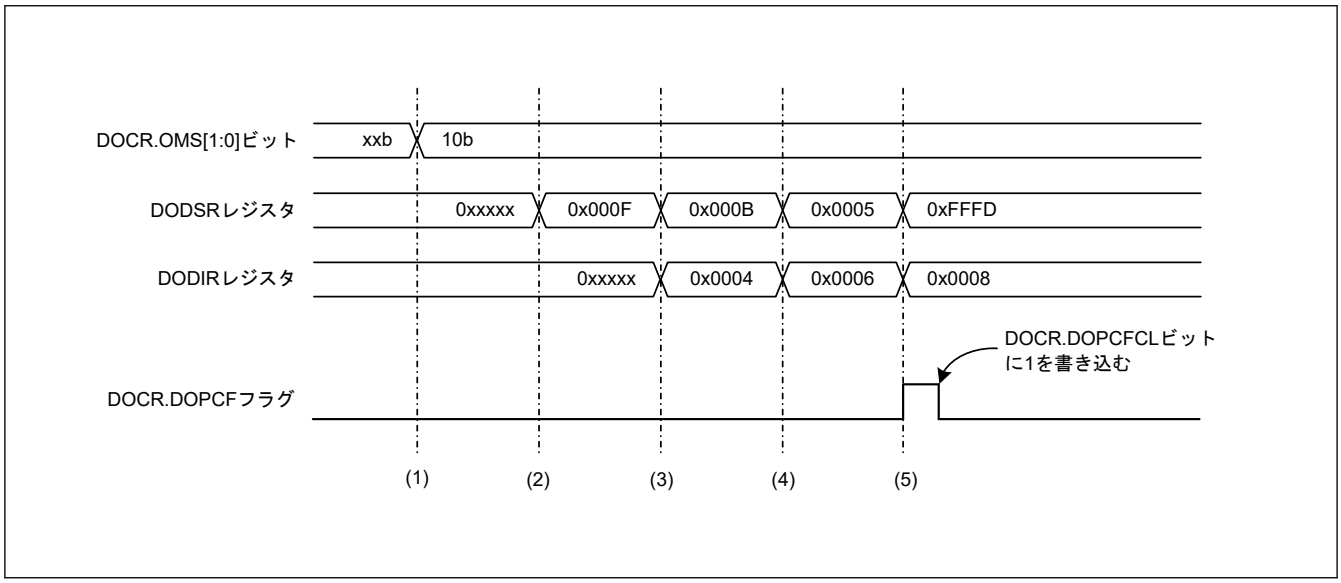


図 38.4　データ減算モードの動作例

38.4 割り込み要因

DOC が生成する割り込み要求には、DOC 割り込み (DOC_DOPCI) があります。表 38.2 に DOC 割り込み要求の内容を示します。

表 38.2 DOC 割り込み要求

割り込み要求	ステータスフラグ	割り込み要因
DOC 割り込み	DOPCF	• データ比較の結果が、DOCR.DCSEL ビットで選択した条件になったとき • データ加算の結果が 0xFFFF より大きくなったとき • データ減算の結果が 0x0000 より小さくなったとき

38.5 イベントリンクコントローラ (ELC) へのイベント信号出力

DOC は以下の条件で ELC にイベント信号を出力します。

- データ比較の結果が一致または不一致のとき
- データの加算結果が 0xFFFF より大きいとき
- データの減算結果が 0x0000 より小さいとき

この信号を使用して、あらかじめ設定していたモジュールの動作を開始させることができます。また、割り込み要求として使用することもできます。イベント信号が発生すると、DOC フラグ (DOCR.DOPCF) が 1 になります。

38.6 使用上の注意事項

38.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、DOC の動作禁止／許可を設定することが可能です。リセット後の値では、DOC の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「10. 低消費電力モード」を参照してください。

39. SRAM

39.1 概要

本 MCU は、パリティビットチェック機能または誤り訂正コード (ECC) を備えた高密度内蔵 SRAM モジュールを搭載しています。ECC の対象は SRAM0 の最初の 8 KB 領域です。パリティチェックは、その他の領域で実行されます。

SRAM の仕様を表 39.1 に示します。

表 39.1 SRAM の仕様

項目	ECC なし	ECC あり
SRAM 容量	SRAM0: 32 KB	SRAM0: 8 KB
SRAM アドレス	SRAM0：0x2000_2000～0x2000_9FFF	SRAM0：0x2000_0000～0x2000_1FFF
アクセス	ウェイトなしのアクセスが可能。初期状態では 1 ウェイトのアクセスを設定。 詳細は「39.3.9. アクセスサイクル」を参照してください。	
データ保持機能	ディープスタンバイモード時のデータ保持機能なし	
モジュールストップ機能	モジュールストップ状態に設定して消費電力の削減が可能。	
パリティ	8 ビットデータと 1 ビットパリティの偶数パリティ	パリティなし
エラーチェック	偶数パリティ（データ：8 ビット、パリティ：1 ビット）	SEC-DED（Single-Error-Correction/Double-Error-Detection：単一誤り訂正／二重誤り検出符号）
セキュリティ	TrustZone フィルタは、メモリアクセスと SFR アクセスを統合します。メモリ空間へのアクセスは、メモリセキュリティ属性 (SA) の設定で制御します。I/O 空間 (SFR) へのアクセスは、レジスタ SA の設定で制御します。「39.3.6. TrustZone フィルタ機能」を参照してください。	

39.2 レジスタの説明

39.2.1 SRAMSAR : SRAM セキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	SRAMSA2	SRAMSA1	SRAMSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	SRAMSA0	SRAM 保護のレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	SRAMSA1	SRAM 保護のレジスタのセキュリティ属性 2 0: セキュア 1: 非セキュア	R/W
2	SRAMSA2	ECC 関連のレジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

SRAMSA0 ビット（SRAM 保護のレジスタのセキュリティ属性）

SRAM 保護のレジスタのセキュリティ属性対象のレジスタを以下に示します。

- PARIOAD
- SRAMPRCR

SRAMSA1 ビット（SRAM 保護のレジスタのセキュリティ属性 2）

SRAM 保護のレジスタのセキュリティ属性 2 対象のレジスタを以下に示します。

- SRAMWTSC
- SRAMPRCR2

SRAMSA2 ビット（ECC 関連のレジスタのセキュリティ属性）

ECC 関連のレジスタのセキュリティ属性対象のレジスタを以下に示します。

- ECCMODE
- ECC2STS
- ECC1STSEN
- ECC1STS
- ECCPRCR
- ECCPRCR2
- ECCETST
- ECCOAD

39.2.2 PARIOAD : SRAM パリティエラー検出後動作レジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0x00

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

PARIOAD レジスタは、パリティエラー検出時の動作を制御します。本レジスタへの書き込みは SRAM プロテクトレジスタ (SRAMPRCR) によって保護されています。このビットに書き込む前に、常に SRAMPRCR レジスタの SRAMPRCR ビットを 1 に設定してください。SRAM にアクセス中は、PARIOAD レジスタへ書き込まないでください。

OAD ビット（検出後の動作）

OAD ビットは、パリティエラーが検出された場合、リセットまたはノンマスカブル割り込みのどちらを発生させるか指定します。一般に、OAD ビットは、SRAM0（ECC なし）／スタンバイ SRAM で使用されます。

39.2.3 SRAMPRCR : SRAM プロテクトレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0x04

Bit position:	7						1	0
Bit field:	KW[6:0]							SRAMPRCR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SRAMPRCR	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコード SRAMPRCR ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

SRAMPRCR ビット（レジスタ書き込み制御）

SRAMPRCR ビットは、PARIOAD レジスタのライトモードを制御します。1 にすると PARIOAD レジスタへの書き込みが許可されます。本ビットに書き込む場合は、常に KW[6:0]ビットに 0x78 を同時に書き込んでください。

KW[6:0]ビット（書き込みキーコード）

KW[6:0]ビットは、SRAMPRCR ビットへの書き込みを許可または禁止します。SRAMPRCR ビットに書き込む場合、常にそれらのビットに 0x78 を同時に書き込んでください。0x78 以外の値を KW[6:0]ビットに書き込むと、SRAMPRCR ビットは更新されません。KW[6:0]ビットは読むと常に 0x00 が読み出されます。

39.2.4 SRAMWTSC : SRAM ウェイトステートコントロールレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0x08

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	SRAM0WTEN
Value after reset:	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	SRAM0WTEN	SRAM0 ウェイト許可 0: ウェイトなし 1: SRAM0 へのリードアクセスサイクルにウェイトステートを追加する	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

このレジスタは、SRAMPRCR2 レジスタの SRAMPRCR2 ビットが 1 のときに限り再書き込み可能です。

本レジスタへの書き込みはプロテクトレジスタ (SRAMPRCR2) によって保護されています。プロテクトレジスタ (SRAMPRCR2) の該当ビットを書き込み許可にしてから本レジスタへの書き込みを行ってください。

SRAMWTSC への書き込みは SRAM へのアクセスを行っていない状態で行ってください。

SRAM0WTEN ビット（SRAM0 ウェイト許可）

SRAM0 の動作領域（パリティ領域と ECC 領域の両方）に対するウェイトサイクルを設定します。SRAM0WTEN ビットを 1 にすると、SRAM0 の動作領域のリードサイクルにウェイトサイクルが 1 サイクル挿入されます。また、SRAM0 の同じ領域のライトからリード／ライトの間の連続サイクルに 1 ウェイトサイクルが挿入されます。リードアクセス周波数が 100 MHz より高い場合、SRAM0WTEN ビットに 1 ウェイトサイクルの設定が必要です。

39.2.5 SRAMPRCR2 : SRAM プロテクトレジスタ 2

Base address: SRAM = 0x4000_2000

Offset address: 0x0C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KW[6:0]							SRAMPRCR2
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SRAMPRCR2	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコード 本ビットは、SRAMPRCR2 ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

SRAMPRCR2 ビット（レジスタ書き込み制御）

SRAMPRCR2 ビットは、SRAMWTSC レジスタのライトモードを制御します。本ビットを 1 にすると SRAMWTSC レジスタへの書き込みが許可されます。本ビットに書き込む場合は、常に KW[6:0]ビットに 0x78 を同時に書き込んでください。

KW[6:0]ビット（書き込みキーコード）

KW[6:0]ビットは、SRAMPRCR2 ビットへの書き込みを許可または禁止します。SRAMPRCR2 ビットに書き込む場合、常にそれらのビットに 0x78 を同時に書き込んでください。0x78 以外の値を KW[6:0]に書き込むと、SRAMPRCR2 ビットは更新されません。KW[6:0]ビットは読むと常に 0x00 が読み出されます。

39.2.6 ECCMODE : ECC 動作モードコントロールレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	ECCMOD[1:0]	
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	ECCMOD[1:0]	ECC 動作モード選択 0 0: ECC 機能は無効 0 1: 設定禁止 1 0: ECC 機能は有効／エラーチェックなし 1 1: ECC 機能は有効／エラーチェックあり	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

ECCMODE レジスタは ECC の動作モードを設定するレジスタです。本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR レジスタの ECCPRCR ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。ECCMODE レジスタへの書き込み中は、SRAM にアクセスしないでください。

ECCMOD[1:0]ビット（ECC 動作モード選択）

ECCMOD[1:0]ビットは SRAM0 の ECC 領域へのアクセスモードを設定します。

39.2.7 ECC2STS : ECC 2 ビットエラーステータスレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC1

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ECC2ERR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECC2ERR	ECC 2 ビットエラーステータス 0: ECC 2 ビットエラー発生なし 1: ECC 2 ビットエラー発生	R/W(注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、

- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

ECC2ERR ビット（ECC 2 ビットエラーステータス）

ECC2ERR ビットは SRAM0 の ECC 領域で ECC 2 ビットエラーが発生したかどうかを示します。ECC 有効／エラーチェックありの場合、2 ビットエラーが検出されると、ECC2ERR ビットが 1 になります。SRAM エラー信号も同時にアサートされます。ECC2ERR ビットに 0 を書き込むことにより、ECC 2 ビットエラーをクリアできます。

SRAM エラーには、ECCOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。このレジスタに 0 を書き込む間、SRAM0 の ECC 領域にはアクセスしないでください。

39.2.8 ECC1STSEN : ECC 1 ビットエラー情報更新イネーブルレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC2

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	E1STSEN
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	E1STSEN	ECC 1 ビットエラー情報更新許可 0: ECC 1 ビットエラー情報の更新禁止 1: ECC 1 ビットエラー情報の更新許可	R/W

ビット	シンボル	機能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ECC1STSEN レジスタは、SRAM0（ECC 領域）の ECC 1 ビットエラー発生時に、ECC 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可／禁止します。

本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR レジスタの ECCPRCR ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。

E1STSEN ビット（ECC 1 ビットエラー情報更新許可）

E1STSEN ビットは、SRAM0 の ECC 領域の 1 ビットエラー発生時に、SRAM（ECC 領域）の 1 ビットエラーステータスレジスタ (ECC1STS) の更新を許可／禁止します。このレジスタは、割り込みまたはリセットマスクとしても機能します。

39.2.9 ECC1STS : ECC 1 ビットエラーステータスレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC3

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	ECC1ERR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECC1ERR	ECC 1 ビットエラーステータス 0: ECC 1 ビットエラー発生なし 1: ECC 1 ビットエラー発生	R/(W) (注1)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

ECC1ERR ビット（ECC 1 ビットエラーステータス）

ECC1ERR ビットは SRAM0 の ECC 領域で ECC 1 ビットエラーが発生したかどうかを示します。ECC 動作が許可され、エラーチェックが選択されている状態で 1 ビットエラーが検出されると、ECC1ERR ビットは 1 になります。SRAM エラー信号も同時にアサートされます。ECC1ERR ビットに 0 を書き込むことにより、ECC 1 ビットエラーをクリアできます。

SRAM エラーには、ECCOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。本レジスタに 0 を書き込む間、SRAM0 の ECC 領域にアクセスしないでください。

39.2.10 ECCPRCR : ECC プロテクトレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xC4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KW[6:0]							ECCPRCR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECCPRCR	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW[6:0]	書き込みキーコード 0x78: ECCPRCR ビットへの書き込み許可 その他: ECCPRCR ビットへの書き込みを禁止	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ECCPRCR ビット（レジスタ書き込み制御）

ECCPRCR ビットは、ECCMODE レジスタ、ECC1STSEN レジスタ、および ECCOAD レジスタの書き込みを制御します。本ビットが 1 のとき、ECCMODE レジスタ、ECC1STSEN レジスタ、ECCOAD レジスタへの書き込みが許可されます。本ビットへ書き込む際は、同時に KW[6:0]ビットに 0x78 を書き込んでください。

KW[6:0]ビット（書き込みキーコード）

KW[6:0]ビットは、ECCPRCR ビットへの書き込みを許可または禁止します。ECCPRCR ビットに書き込む際は、同時に KW[6:0]ビットに 0x78 を書き込んでください。0x78 以外の値を KW[6:0]ビットに書き込むと、ECCPRCR ビットは更新されません。KW[6:0]ビットは、読むと常に 0x00 が読み出されます。

39.2.11 ECCPRCR2 : ECC プロテクトレジスタ 2

Base address: SRAM = 0x4000_2000

Offset address: 0xD0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	KW2[6:0]							ECCPRCR2
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ECCPRCR2	レジスタ書き込み制御 0: 保護対象のレジスタへの書き込みを禁止 1: 保護対象のレジスタへの書き込みを許可	R/W
7:1	KW2[6:0]	書き込みキーコード 0x78: ECCPRCR2 ビットへの書き込みを許可 その他: ECCPRCR2 ビットへの書き込みを禁止	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

ECCPRCR2 ビット（レジスタ書き込み制御）

ECCPRCR2 ビットは、ECCETST レジスタのライトモードを制御します。ECCPRCR2 ビットが 1 のとき、ECCETST レジスタへの書き込みが許可されます。本ビットに書き込む場合、同時に KW2[6:0]ビットに 0x78 を書き込んでください。

KW2[6:0]ビット（書き込みキーコード）

KW2[6:0]ビットは、ECCPRCR2 ビットへの書き込みを許可または禁止します。ECCPRCR2 ビットに書き込む場合、同時に KW2[6:0]ビットに 0x78 を書き込んでください。0x78 以外の値を KW2[6:0]ビットに書き込むと、ECCPRCR2 ビットは更新されません。KW2[6:0]ビットは読むと常に 0x00 が読み出されます。

39.2.12 ECCETST : ECC テストコントロールレジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xD4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	TSTBYP
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	TSTBYP	ECC バイパス選択 0: ECC バイパスは無効 1: ECC バイパスは有効	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

本レジスタへの書き込みは ECC プロテクトレジスタ 2 (ECCPRCR2) によって保護されています。まず、ECCPRCR2 レジスタの ECCPRCR2 ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。ECCETST レジスタへの書き込み中は、SRAM にアクセスしないでください。

TSTBYP ビット（ECC バイパス選択）

TSTBYP ビットは、ECC 機能をバイパスして ECC コードへの直接アクセスを許可します。ECC バイパス機能は、ECCMODE.ECCMOD[1:0]ビットを 00b にして使用します。ECC は、32 ビットデータと同じアドレスで、32 ビットでアクセスしてください。ECC コードは、32 ビットデータの下位 7 ビットに割り当てられます。ECC コード書き込みの際、上位 25 ビットは無視されます。ECC コード読み出しの際、上位 25 ビットは不定値が読み出されます。

注. ECC テストの詳細については、「39.3.4. ECC デコーダのテスト方法」を参照してください。

39.2.13 ECCOAD : SRAM ECC エラー検出後動作レジスタ

Base address: SRAM = 0x4000_2000

Offset address: 0xD8

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

本レジスタへの書き込みは ECC プロテクトレジスタ (ECCPRCR) によって保護されています。まず、ECCPRCR レジスタの ECCPRCR ビットを 1 にして書き込み保護を解除してから、本レジスタへの書き込みを行ってください。ECCOAD レジスタへの書き込み中は、SRAM にアクセスしないでください。

OAD ビット（検出後の動作）

OAD ビットは、ECC エラーが検出された場合にリセットとノンマスカブル割り込みのどちらを発生させるか選択します。ECCOAD.OAD ビットは、SRAM0（ECC 領域）で使用されます。

39.3 動作説明

39.3.1 モジュールストップ機能

モジュールストップコントロールレジスタ A (MSTPCRA) の設定により、SRAM へのクロック供給を停止することで、消費電力を低減することが可能です。

SRAM0 は、MSTPCRA レジスタの SRAM0 ビットで制御し、これを 1 にすると、SRAM0 はクロック停止状態になります。

クロック供給の停止により、SRAM はモジュールストップ状態になります。リセット後は、SRAM は動作します。

モジュールストップ状態になると、SRAM へのアクセスができなくなります。SRAM のアクセス中は、モジュールストップ状態へ遷移しないでください。

モジュールストップ状態のとき、SRAM へのアクセスは禁止です。アクセスした場合の正常動作については保証できません。

MSTPCRA レジスタの詳細については、「10. 低消費電力モード」を参照してください。

39.3.2 ECC 誤り訂正機能

ECCMODE レジスタの設定によって、ECC 誤り訂正の有効・無効を選択することができます。初期状態では、ECC 誤り訂正は無効です。ECC チェックのタイプは、SEC-DED（Single-Error Correction/Double-Error Detection Code：単一誤り訂正／二重誤り検出符号）です。

ECC 機能が有効な場合、書き込み時は、32 ビットのデータに 7 ビットのチェックビットが付与されます。読み出し時には、39 ビット（データ：32 ビット、チェックビット：7 ビット）のデータが SRAM（ECC 領域）から読み出されます。

ECCMODE.ECCMOD[1:0]ビットを 11b に設定して「ECC 有効／エラーチェックあり」とした場合、1 ビットエラーが発生すると誤り訂正が実行され、ECC1STSEN.E1STSEN ビットが 1 のときは ECC1STS.ECC1ERR ビットが 1 になります。2 ビットエラーが発生すると、誤り検出が実行され、ECC2STS.ECC2ERR ビットが 1 になりますが、誤り訂正は実行されません。

「ECC 有効／エラーチェックなし」の場合、1 ビットエラーが発生すると誤り訂正が実行されますが、ECC1STSEN.E1STSEN ビットが 1 でも ECC1STS.ECC1ERR ビットは更新されません。2 ビットエラーが発生すると、この誤りは検出されますが、ECC2STS.ECC2ERR ビットは更新されず、誤り訂正も実行されません。

ECC 機能が無効の場合、1 ビットエラーまたは 2 ビットエラーが発生しても、誤り訂正と誤り検出は実行されません。

そのため、ECC1ERR ビットと ECC2ERR ビットは更新されません。

エラーを検出した場所を確認する方法はありません。したがって、エラー発生後は、全データを更新してください。

エラー発生後の全データ更新時には、32 ビットデータ書き込みだけがサポートされます。

電源投入後およびディープソフトウェアスタンバイモード解除後、SRAM データは不定であるため、ECC 機能が有効でエラーチェックが選択されている場合に SRAM にアクセスを行うと、ECC エラーが発生します。したがって、ECC 機能使用前には、SRAM 内で使用する領域に 32 ビットデータサイズの初期書き込みを行ってください。

書き込みアクセスの後に読み出しアクセスを続けて実行すると、読み出しアクセスが優先的に実行されます。したがって、初期化中は、書き込みアクセスの後に続けて読み出しアクセスを行わないでください。

39.3.3 ECC エラー割り込み機能

SRAM（ECC 領域）が「ECC 有効／エラーチェックあり」の場合、ECC 2 ビットエラーを示す ECC2STS.ECC2ERR ビット、または ECC 1 ビットエラーを示す ECC1STS.ECC1ERR ビットのいずれかが 1 になると、ECC エラーが発生します。

ECC エラーは、ICLK のパルス幅で出力されます。なお、ECC1 ビットエラーをマスクしたい場合は、ECC1STSEN.E1STSEN ビットを 0 にして、ECC1ERR ビットの更新を禁止してください。ECC 機能の無効時、または「ECC 有効／エラーチェックなし」の場合、ECC エラーは発生しません。

ECC エラーは、ノンマスカブル割り込みまたは ECCOAD レジスタによるリセットのいずれかを選択できます。ECCOAD レジスタの OAD ビットが 1 のとき、ECC エラーはリセット機能に出力されます。ECCOAD レジスタの OAD ビットが 0 のとき、ECC エラー割り込みはノンマスカブル割り込みとして ICU に出力されます。

39.3.4 ECC デコーダのテスト方法

図 39.1 に ECC デコーダのテスト方法を示します。

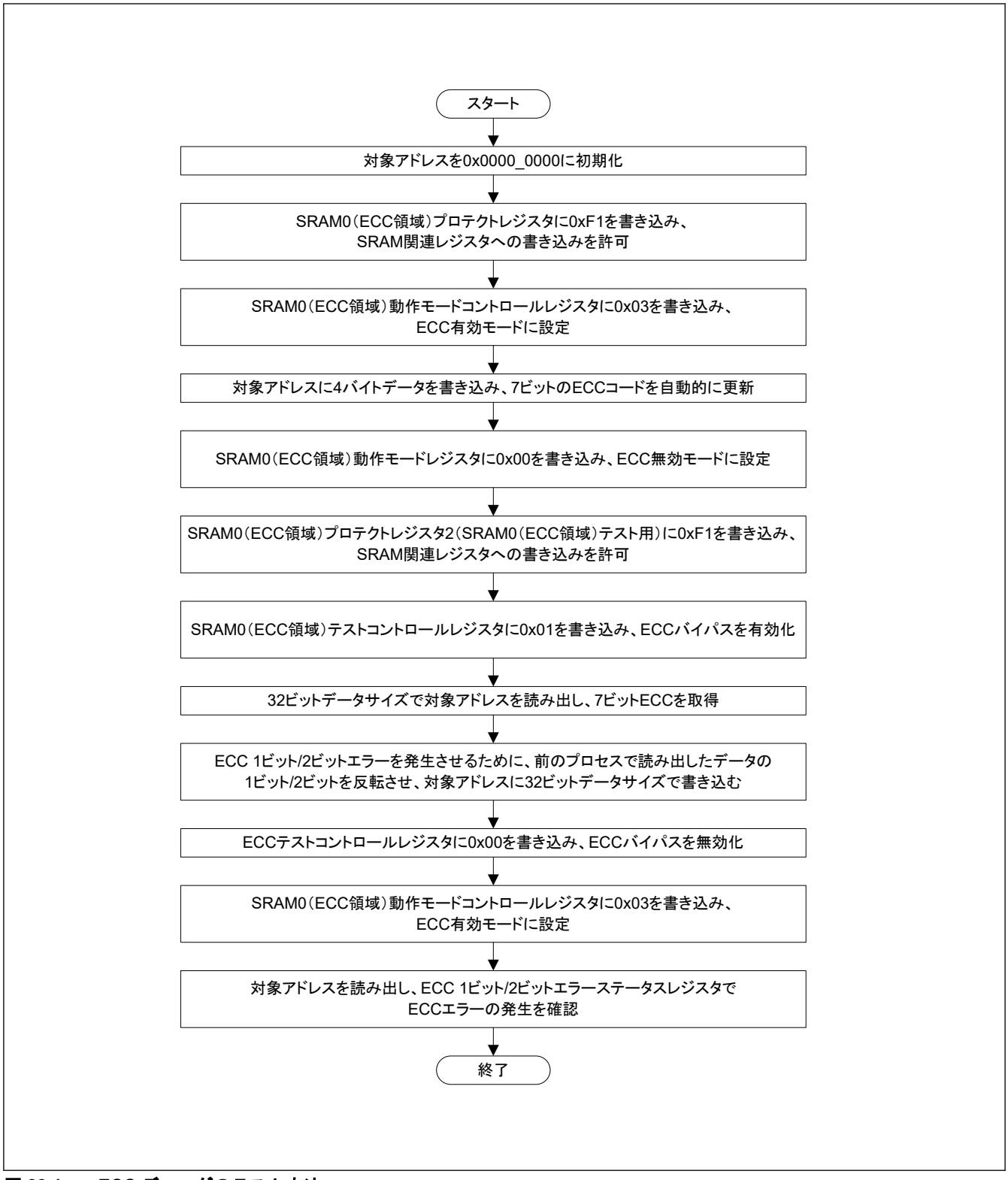


図 39.1　ECC デコーダのテスト方法

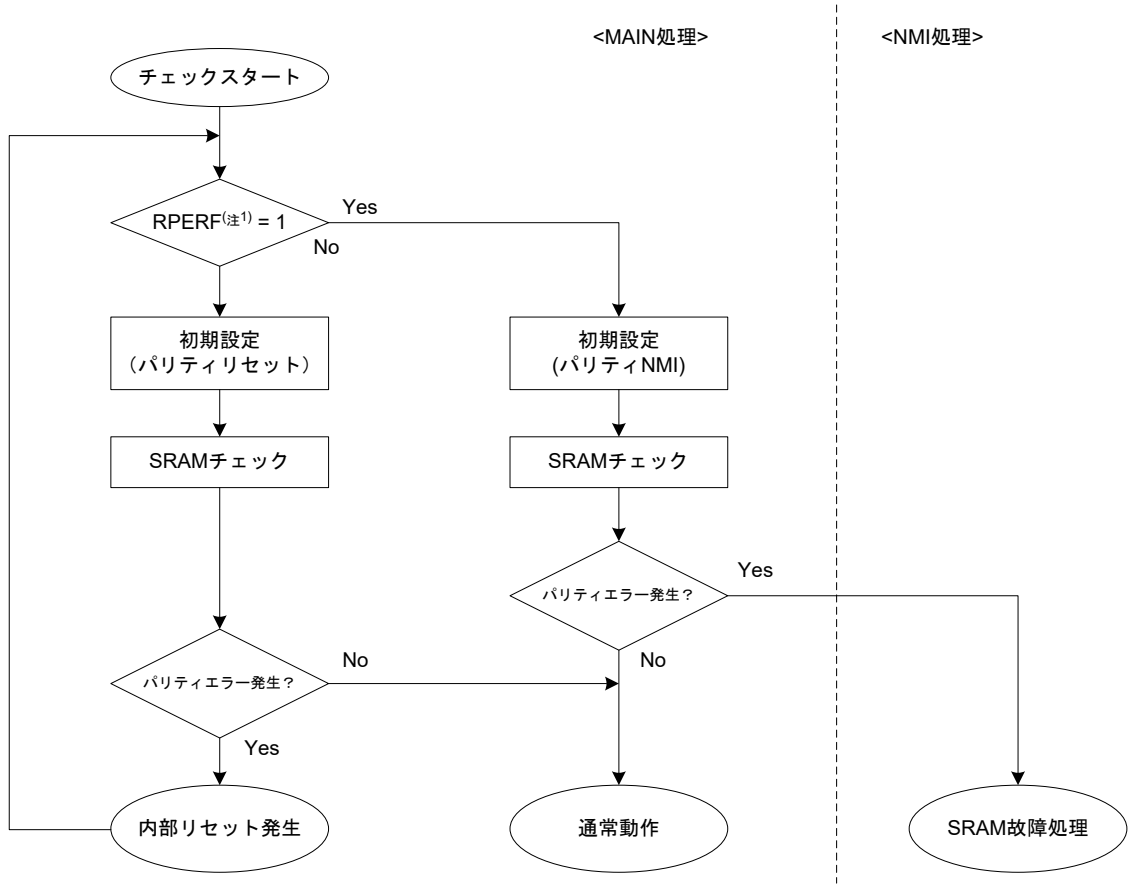
39.3.5　パリティ計算機能

IEC60730 規格に準拠するには、SRAM データのチェックが必要です。データ書き込み時に 32 ビットデータ幅の SRAM に格納されている 8 ビットデータごとにパリティビットが付与され、データ読み出し時にパリティチェックが行われます。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットを実行するためにも使用できます。

パリティエラー通知には、PARIOAD レジスタの OAD ビットで、ノンマスカブル割り込みまたはリセットのいずれかを指定できます。OAD ビットが 1 のとき、パリティエラーはリセット機能に出力されます。OAD ビットが 0 のとき、パリティエラーはノンマスカブル割り込みとして ICU に出力されます。

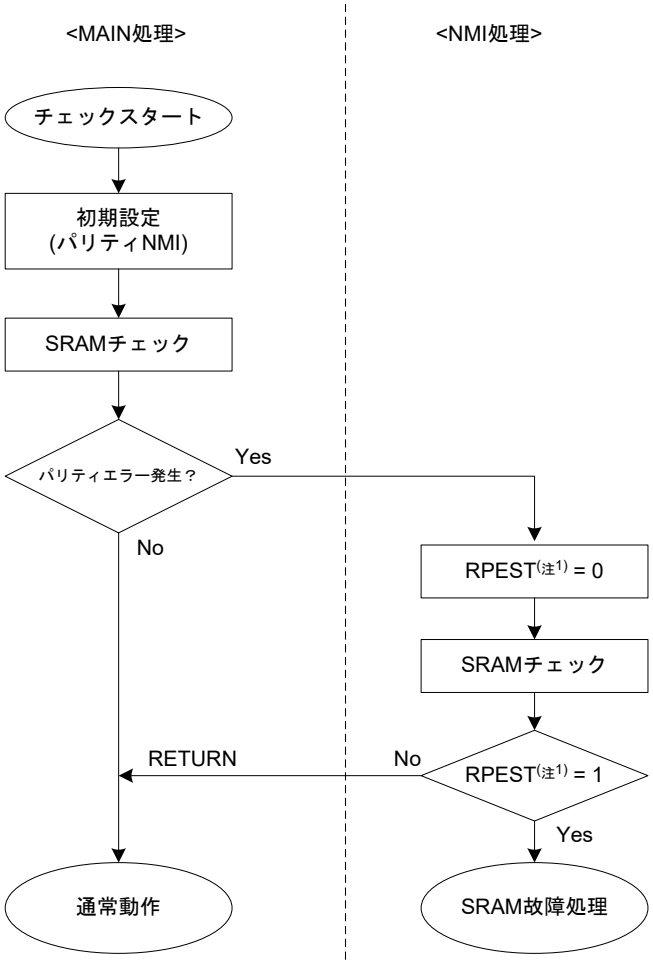
パリティエラーはノイズにより発生することもあります。パリティエラーの原因がノイズか破損かを確認するには、図 39.2 および図 39.3 に示されたパリティチェックフローに従ってください。

ライトアクセスの後にリードアクセスを続けて実行すると、リードアクセスが優先的に実行されます。したがって、初期化中は、ライトアクセスの後に続けてリードアクセスを行わないでください。



注 1. RPERF：SRAM パリティエラーリセット検出フラグ（RSTSR1.RPERF ビット）

図 39.2 SRAM パリティリセット許可の場合の SRAM パリティチェックのフロー



注 1. RPEST：SRAM パリティエラー割り込みステータスフラグ（NMISR.RPEST ビット）

図 39.3 SRAM パリティ割り込み許可の場合の SRAM パリティチェックのフロー

39.3.6 TrustZone フィルタ機能

SRAM には、2 種類の TrustZone フィルタ機能があります。

- SRAM レジスタ保護用 TrustZone フィルタ
- SRAM メモリ保護用 TrustZone フィルタ

39.3.6.1 SRAM レジスタ保護用 TrustZone フィルタ

SRAM レジスタは、セキュリティ属性 (SA) に応じて非セキュアアクセスから保護できます。SRAM レジスタがセキュア状態であることを SA が示しているときは、TrustZone フィルタがエラーを検出し、書き込みアクセスから保護するため、非セキュアアクセスはこのレジスタを上書きできません。SRAM レジスタの SA は、SRAM レジスタ間共通で同一の設定が使用されます。

表 39.2 レジスタの保護 (1/2)

SA	アクセス状態	ライトアクセス	リードアクセス
セキュア	セキュア	許可	許可
	非セキュア	TrustZone フィルタエラー保護	許可

表 39.2　レジスタの保護 (2/2)

SA	アクセス状態	ライトアクセス	リードアクセス
非セキュア	セキュア	許可	許可
	非セキュア	許可	許可

SRAM レジスタアクセスで TrustZone フィルタエラーが発生したときは、エラー通知やエラー応答を生成しません。

39.3.6.2　SRAM メモリ保護用 TrustZone フィルタ

SRAM メモリ、たとえば ECC 領域とパリティを含む SRAM0 は、メモリセキュリティ属性 (Memory Security Attribution: MSA) により、セキュア／非セキュアコーラブル／非セキュアの状態に分けられ、非セキュアアクセスから保護できます。MSA により、SRAM メモリ領域がセキュアまたは非セキュアコーラブルの状態にあることが示されているときには、非セキュアアクセスでそのメモリ領域を上書きすることができません。

表 39.3　メモリプロテクション

SA	アクセス状態	ライトアクセス	リードアクセス
セキュア／非セキュアコーラブル	セキュア	許可	許可
	非セキュア	TrustZone フィルタエラー • 保護 • エラー応答を生成	TrustZone フィルタエラー • 読み出しデータは 0 • エラー応答を生成
非セキュア	セキュア	許可	許可
	非セキュア	許可	許可

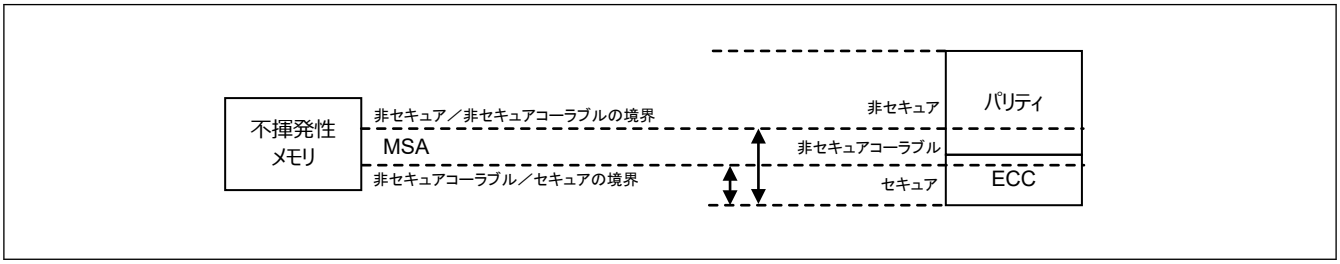


図 39.4　SRAM メモリ用 TrustZone フィルタ

SRAM メモリへのアクセス時に TrustZone フィルタエラーが発生すると、エラー通知が生成されます。この通知により、リセット要求または NMI 要求のいずれかがトリガされます。「43.2. Arm TrustZone セキュリティ」を参照してください。

39.3.7　割り込み要因

SRAM 割り込み要因には、ECC エラー、パリティエラー、TrustZone フィルタエラーがあります。ECC エラーとパリティエラー は、ノンマスカブル割り込みまたは OAD ビットによるリセットのいずれかを選択できます。デバッガが接続されている場合、リセットとノンマスカブル割り込みはマスクできます。また、それらのマスクがデバッガにより設定された場合、ECC エラーが発生しても各ステータスレジスタは設定されません。デバッグモードの詳細は、「2. CPU」を参照してください。

表 39.4　SRAM 割り込み要因

名称	割り込み要因	DTC の起動	DMAC の起動
ECCERR	ECC エラー（SRAM0 の ECC 動作領域）	不可能	不可能
PARITYERR	パリティエラー	不可能	不可能
TZFLT	TrustZone フィルタエラー	不可能	不可能

39.3.8　ウェイトステート

SRAM アクセスのための WAIT 設定は、ICLK の動作周波数によって以下の条件となります。

[ICLK 周波数] (SRAM0):

- 100 MHz ≧ ICLK の場合、ウェイトなし

39.3.9 アクセスサイクル

CPU からのサイクル数：

- キャッシュがヒットしたとき、アクセスは 1 サイクル
- キャッシュオフ、ノンキャッシャブルの場合

表 39.5 SRAM0（ECC 領域）

レジスタ設定		リード（サイクル）		ライト（サイクル）	
		ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
ECC オフ ECCMOD[1] = 0	SRAM0WTEN = 0	3		2(注1)	
	SRAM0WTEN = 1	4		2(注1)	
ECC オン ECCMOD[1] = 1	SRAM0WTEN = 0	3		2(注1)	4
	SRAM0WTEN = 1	4		2(注1)	4

注 1. ライトの後同じメモリへのリードアクセスが生じたとき、アクセス効率のため、先行したライトコマンドによるメモリライトが次のアイドルサイクルか次のライトアクセスまで、そのライトアクセスを待たせます。リードが連続するときは、リードを優先します。

表 39.6 SRAM0（パリティ領域）

レジスタ設定	リード（サイクル）		ライト（サイクル）	
	ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
SRAM0WTEN = 0	3		2(注1)	
SRAM0WTEN = 1	4		2(注1)	

注 1. ライトの後同じメモリへのリードアクセスが生じたとき、アクセス効率のため、先行したライトコマンドによるメモリライトが次のアイドルサイクルか次のライトアクセスまで、そのライトアクセスを待たせます。リードが連続するときは、リードを優先します。

- キャッシュオン、キャッシャブル（キャッシュミスヒット）の場合

表 39.7 SRAM0（ECC 領域）

レジスタ設定		リード（サイクル）		ライト（サイクル）	
		ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
ECC オフ ECCMOD[1] = 0	SRAM0WTEN = 0	3		1(注1)	
	SRAM0WTEN = 1	4		1(注1)	
ECC オン ECCMOD[1] = 1	SRAM0WTEN = 0	3		1(注1)	
	SRAM0WTEN = 1	4		1(注1)	

注 1. ライトの後同じメモリへのリードアクセスが生じたとき、アクセス効率のため、先行したライトコマンドによるメモリライトが次のアイドルサイクルか次のライトアクセスまで、そのライトアクセスを待たせます。リードが連続するときは、リードを優先します。

表 39.8 SRAM0（パリティ領域）

レジスタ設定	リード（サイクル）		ライト（サイクル）	
	ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
SRAM0WTEN = 0	3		1(注1)	
SRAM0WTEN = 1	4		1(注1)	

注 1. ライトの後同じメモリへのリードアクセスが生じたとき、アクセス効率のため、先行したライトコマンドによるメモリライトが次のアイドルサイクルか次のライトアクセスまで、そのライトアクセスを待たせます。リードが連続するときは、リードを優先します。

39.3.10 ECC エンコード仕様

ECC エンコード仕様を以下の表に示します。以下の計算式による ECC コード (eout [6:0]) をライトデータの上位 7 ビット (din [38:32]) に加え、SRAM に書き込んでください。

表 39.9 ECC エンコード

ECC コード	計算式
eout[6]	(din[13] ^ din[12] ^ din[11] ^ din[10] ^ din[9] ^ din[8] ^ din[7] ^ din[6] ^ din[5] ^ din[4] ^ din[3] ^ din[2] ^ din[1] ^ din[0])
eout[5]	(din[23] ^ din[22] ^ din[21] ^ din[20] ^ din[19] ^ din[18] ^ din[17] ^ din[16] ^ din[15] ^ din[14] ^ din[3] ^ din[2] ^ din[1] ^ din[0])
eout[4]	(din[29] ^ din[28] ^ din[27] ^ din[26] ^ din[25] ^ din[24] ^ din[17] ^ din[16] ^ din[15] ^ din[14] ^ din[7] ^ din[6] ^ din[5] ^ din[4])
eout[3]	(din[31] ^ din[30] ^ din[26] ^ din[25] ^ din[24] ^ din[20] ^ din[19] ^ din[18] ^ din[14] ^ din[10] ^ din[9] ^ din[8] ^ din[4] ^ din[0])
eout[2]	(din[31] ^ din[30] ^ din[28] ^ din[27] ^ din[24] ^ din[22] ^ din[21] ^ din[18] ^ din[15] ^ din[12] ^ din[11] ^ din[8] ^ din[5] ^ din[1])
eout[1]	~(din[30] ^ din[29] ^ din[27] ^ din[25] ^ din[23] ^ din[21] ^ din[19] ^ din[16] ^ din[13] ^ din[11] ^ din[9] ^ din[6] ^ din[2] ^ din[0])
eout[0]	~(din[31] ^ din[29] ^ din[28] ^ din[26] ^ din[23] ^ din[22] ^ din[20] ^ din[17] ^ din[13] ^ din[12] ^ din[10] ^ din[7] ^ din[3] ^ din[0])

注. eout[6:0] = ECC コード、din[31:0] = ライトデータ

40. スタンバイ SRAM

40.1 概要

スタンバイ SRAM は、ディープソフトウェアスタンバイモードでデータを保持する内蔵 SRAM です。表 40.1 に、スタンバイ SRAM の仕様を示します。

表 40.1 スタンバイ SRAM の仕様

項目	内容
SRAM 容量	1 KB
SRAM アドレス	0x2800_0000～0x2800_03FF
アクセス	スタンバイ RAM クロックは、PCLKB と同じクロックです。詳細は、「40.3.5. アクセスサイクル」を参照してください。
データ保持機能	ディープソフトウェアスタンバイモード時、データを保持可能です。詳細は、「40.3.1. データ保持」を参照してください。
パリティ	偶数パリティ（データ：8 ビット、パリティ：1 ビット）
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減します。詳細は、「40.3.2. モジュールストップ機能の設定」を参照してください。
セキュリティ	TrustZone フィルタ機能に従うスタンバイ RAM の読み出し、書き出し動作が可能です。詳細は、「40.3.4. TrustZone フィルタ機能」を参照してください。

40.2 レジスタの説明

40.2.1 STBRAMSAR : スタンバイ RAM メモリセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x014

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	NSBSTBR[3:0]			
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0	0

ビット	シンボル	機能	R/W
3:0	NSBSTBR[3:0]	スタンバイ RAM 各領域のセキュリティ属性 0x0: 領域 7～0 は全てセキュア 0x1: 領域 7 は非セキュア、領域 6～0 はセキュア 0x2: 領域 7～6 は非セキュア、領域 5～0 はセキュア 0x3: 領域 7～5 は非セキュア、領域 4～0 はセキュア 0x4: 領域 7～4 は非セキュア、領域 3～0 はセキュア 0x5: 領域 7～3 は非セキュア、領域 2～0 はセキュア 0x6: 領域 7～2 は非セキュア、領域 1～0 はセキュア 0x7: 領域 7～1 は非セキュア、領域 0 はセキュア その他: 領域 7～0 は全て非セキュア	R/W
31:4	—	読むと 1 が読めます。	R

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

NSBSTBR[3:0]ビット（スタンバイ RAM 各領域のセキュリティ属性）

スタンバイ RAM は、8 つの領域に分割されています。各領域は、NSBSTBR[3:0]ビットでセキュア／非セキュアに設定できます。

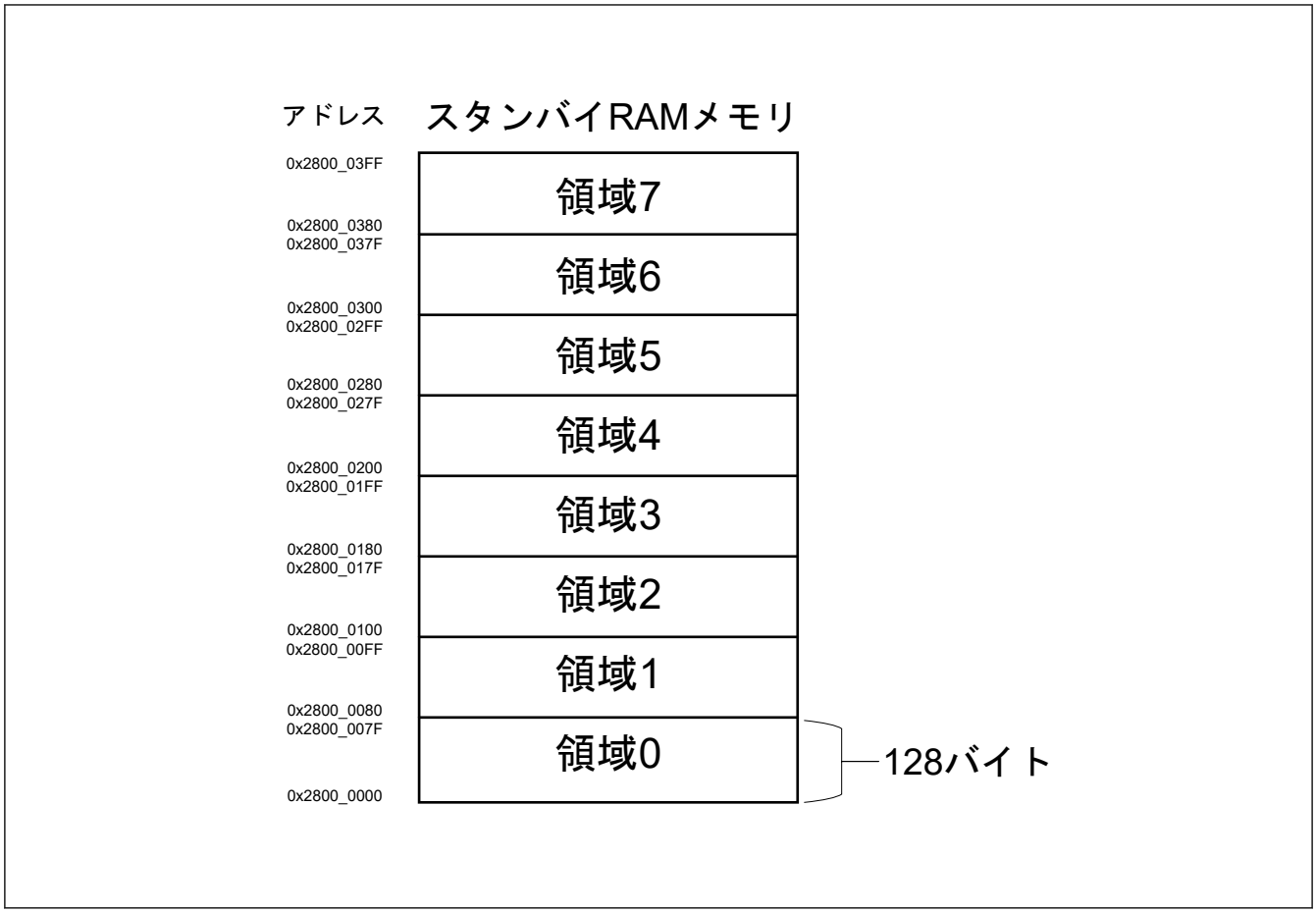


図 40.1　スタンバイ RAM 領域

40.3　動作説明

40.3.1　データ保持

DPSBYCR.DEEPCUT[1:0]ビットの設定により、ディープソフトウェアスタンバイモード時にスタンバイ SRAM へ電源を供給できます。DPSBYCR.DEEPCUT[1:0]ビットが 00b の場合、スタンバイ SRAM のデータをディープソフトウェアスタンバイモードで保持できます。DPSBYCR.DEEPCUT[1:0]ビットの詳細については、「10. 低消費電力モード」を参照してください。

40.3.2　モジュールストップ機能の設定

モジュールストップコントロールレジスタ A (MSTPCRA) の設定により、SRAM へのクロック供給を停止することで、消費電力を低減することが可能です。

MSTPCRA レジスタのスタンバイ SRAM ビットを 1 にすると、スタンバイ SRAM に供給されるクロック信号が停止します。

クロック供給の停止により、スタンバイ SRAM はモジュールストップ状態になります。リセット後は、スタンバイ SRAM は動作状態になります。

モジュールストップ状態になると、スタンバイ SRAM へのアクセスができなくなります。スタンバイ SRAM のアクセス中は、モジュールストップ状態へ遷移しないでください。

MSTPCRA レジスタの詳細については、「10. 低消費電力モード」を参照してください。

40.3.3　パリティ計算機能

スタンバイ SRAM のパリティ計算機能は、ECC なしの SRAM と同じです。

「39.3.5. パリティ計算機能」と「39.3.7. 割り込み要因」を参照してください。

PARIOAD レジスタの OAD ビットは、SRAM0（ECC なし）とスタンバイ SRAM に共通で同一の設定となります。

40.3.4 TrustZone フィルタ機能

スタンバイ SRAM の TrustZone フィルタ機能は、SRAM メモリ保護用 TrustZone フィルタ、1 種類のみです。

40.3.4.1 スタンバイ SRAM メモリ保護用 TrustZone フィルタ

スタンバイ SRAM は、非セキュアアクセスから保護するためのセキュリティ属性 (SA) をもつ各 128 バイトの 8 つの領域に分割できます。スタンバイ SRAM のその領域がセキュア状態であることを SA が示しているときは、TrustZone フィルタがエラーを検出し、書き込みアクセスから保護するため、非セキュアアクセスはこのレジスタを上書きできません。

表 40.2 セキュリティ属性とアクセス状態

SA	アクセス状態	ライトアクセス	リードアクセス
セキュア	セキュア	許可	許可
	非セキュア	TrustZone フィルタエラー - 保護	TrustZone フィルタエラー - 読み出しデータは 0
非セキュア	セキュア	許可	許可
	非セキュア	許可	許可

スタンバイ SRAM アクセスで TrustZone フィルタエラーが発生したときは、エラー通知やエラー応答を生成しません。

40.3.5 アクセスサイクル

CPU からのサイクル数

スタンバイ SRAM のキャッシュについては、常にノンキャッシャブルアクセスとなります。

表 40.3 スタンバイ SRAM（パリティ領域 0x2800_0000～0x2800_03FF）

	リードサイクル		ライトサイクル	
	ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
ICLK ≧ PCLKB	Min.: 2 ICLK + 2 PCLKB Max.: (n + 1) ICLK + 2 PCLKB		Min.: 1 ICLK + 1 PCLKB Max.: n ICLK + 1 PCLKB	

注. 周波数比 ICLK : PCLKB が n : 1 である場合

40.4 使用上の注意事項

40.4.1 スタンバイ SRAM 領域からの命令フェッチ

スタンバイ SRAM を使用してプログラムを実行する場合、スタンバイ SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにします。CPU が初期化されていない領域からプリフェッチすると、パリティエラーが発生する場合があります。4 バイト境界のプログラムの終了アドレスから追加で 12 バイト領域を初期化してください。弊社からは、データの初期化には NOP 命令の使用を推奨します。

41. フラッシュメモリ

本 MCU には、コードフラッシュメモリ、データフラッシュメモリ、およびオプション設定メモリがあります。コードフラッシュメモリは、命令およびオペランドを格納し、データフラッシュメモリはデータを格納します。オプション設定メモリについては、「6. オプション設定メモリ」を参照してください。

41.1 概要

表 41.1 にフラッシュメモリの仕様を、図 41.1 にフラッシュメモリ関連モジュールのブロック図を示します。

表 41.27 にブートモードで使用する入出力端子の一覧を示します。

FCU (Flash Control Unit) はフラッシュメモリのプログラム／イレースの制御を行います。FACI (Flash Application Command Interface) は設定された FACI コマンドに従って、FCU を制御します。

コードフラッシュメモリのメモリ構成については図 41.2 を、データフラッシュメモリのメモリ構成については図 41.3 を参照してください。

表 41.1 フラッシュメモリの仕様 (1/2)

項目	コードフラッシュメモリ	データフラッシュメモリ
メモリ容量	ユーザー領域：最大 128 KB	データ領域：4 KB
リードサイクル	「41.16.3. アクセスサイクル」を参照のこと	「41.16.3. アクセスサイクル」を参照のこと
イレース後の値	0xFF	不定
プログラム／イレース方式	• FACI コマンド発行領域 (0x407E_0000) に設定した FACI コマンドで、コードフラッシュメモリおよびデータフラッシュメモリのプログラム／イレース、オプション設定メモリのプログラムが可能（セルフプログラミング） • シリアルプログラマによるシリアルインタフェース通信を介したプログラム／イレース（シリアルプログラミング）	
プロテクション機能	フラッシュメモリの誤書き換えを防止	
BGO（バックグラウンドオペレーション）機能(注1)	• コードフラッシュメモリのプログラム／イレース中にデータフラッシュメモリの読み出しが可能 • データフラッシュメモリのプログラム／イレース中にコードフラッシュメモリの読み出しが可能	
プログラム／イレース単位	• ユーザー領域へのプログラム：128 バイト • ユーザー領域のイレース：ブロック単位	• データ領域へのプログラム：4/8/16 バイト • データ領域のイレース：64/128/256 バイト
その他の機能	セルフプログラミング中の割り込み受け付け可能 本 MCU の初期設定でオプション設定メモリの拡張領域の設定可能	
オンボードプログラミング（5 種類）	ブートモード（SCI インタフェース）でのプログラム／イレース • 調歩同期式シリアルインタフェース (SCI9) を使用 • 通信速度は自動調整 ブートモード（USB インタフェース）でのプログラム／イレース • USBFS を使用 • 特別なハードウェアが不要で、PC と直結可能 ブートモード（SWD インタフェース）でのプログラム／イレース • SWD インタフェースを使用 オンチップデバッグモードによるプログラム／イレース • SWD インタフェースを使用 セルフプログラミングによるプログラム／イレース • システムをリセットすることなくコードフラッシュメモリのプログラム／イレースが可能	
ユニーク ID	各 MCU に 16 バイトの ID を提供	
FACI コマンド	プログラム：128 バイト ブロックイレース：1 ブロック（8 KB または 32 KB） P/E サスペンド P/E レジューム 強制停止 ステータスクリア コンフィグレーション設定（16 バイト）	プログラム：4/8/16 バイト ブロックイレース：1 ブロック（64 バイト） マルチブロックイレース：64/128/256 バイト P/E サスペンド P/E レジューム 強制停止 ブランクチェック：4 バイト～データフラッシュメモリ容量 ステータスクリア

表 41.1 フラッシュメモリの仕様 (2/2)

項目	コードフラッシュメモリ	データフラッシュメモリ
セキュリティ機能	フラッシュメモリの不正改ざん／不正リードを防止 スタートアップ領域選択設定保護 ● BTFLG レジスタおよび FSUACR レジスタは FSPR ビットにより保護 永久ブロック保護設定保護 ● コードフラッシュメモリは、永久ブロック保護機能によりプログラム／イレース動作から永久に保護されます TrustZone のフラッシュメモリ保護 ● フラッシュメモリ領域の保護 (P/E) ● フラッシュメモリ領域の保護（読み出し） ● レジスタの保護 ● FACI コマンド動作中の保護 ● コードフラッシュ P/E モードエントリ保護 シリアルプログラミングモード保護 ● ID 認証 OCD モード保護 ● ID 認証	
セーフティ機能	ソフトウェアプロテクション ● FENTRYR レジスタによる FACI コマンド保護 ● FWEPROR レジスタによるフラッシュメモリ保護 ● ブロック保護設定によるユーザー領域保護 エラープロテクション ● 意図しないコマンドまたは禁止された設定が行われるとエラーが検出されますエラー検出後 FACI コマンドは受け付けられません ブート領域プロテクション ● スタートアップ領域選択機能によりユーザーはブートファームウェアを安全に更新できます スタートアップ領域のサイズは 8 KB です	
割り込み要求	● FRDYI（フラッシュシーケンサレディ（処理終了））: FRDYIE ビットにより許可 ● FIFERR（フラッシュシーケンサエラー）: CFAEIE/CMDLKIE/DFAEIE ビットにより許可	
アドレス変換	● スタートアップ領域選択機能をサポート	

注 1. プログラム／イレース処理および読み出し処理のアドレス範囲の組み合わせには制限があります。表 41.29 を参照してください。

図 41.1 にフラッシュメモリに関連するモジュールの構成方式を示します。フラッシュシーケンサは FCU および FACI で構成されます。FCU は、フラッシュメモリ書き換えの基本制御を実行します。FACI は、周辺バスを使って FACI コマンドを受信し、コマンドに従って FCU の動作を制御します。

リセットが起こると、FACI はデータをフラッシュメモリからオプションバイト格納レジスタに転送します。

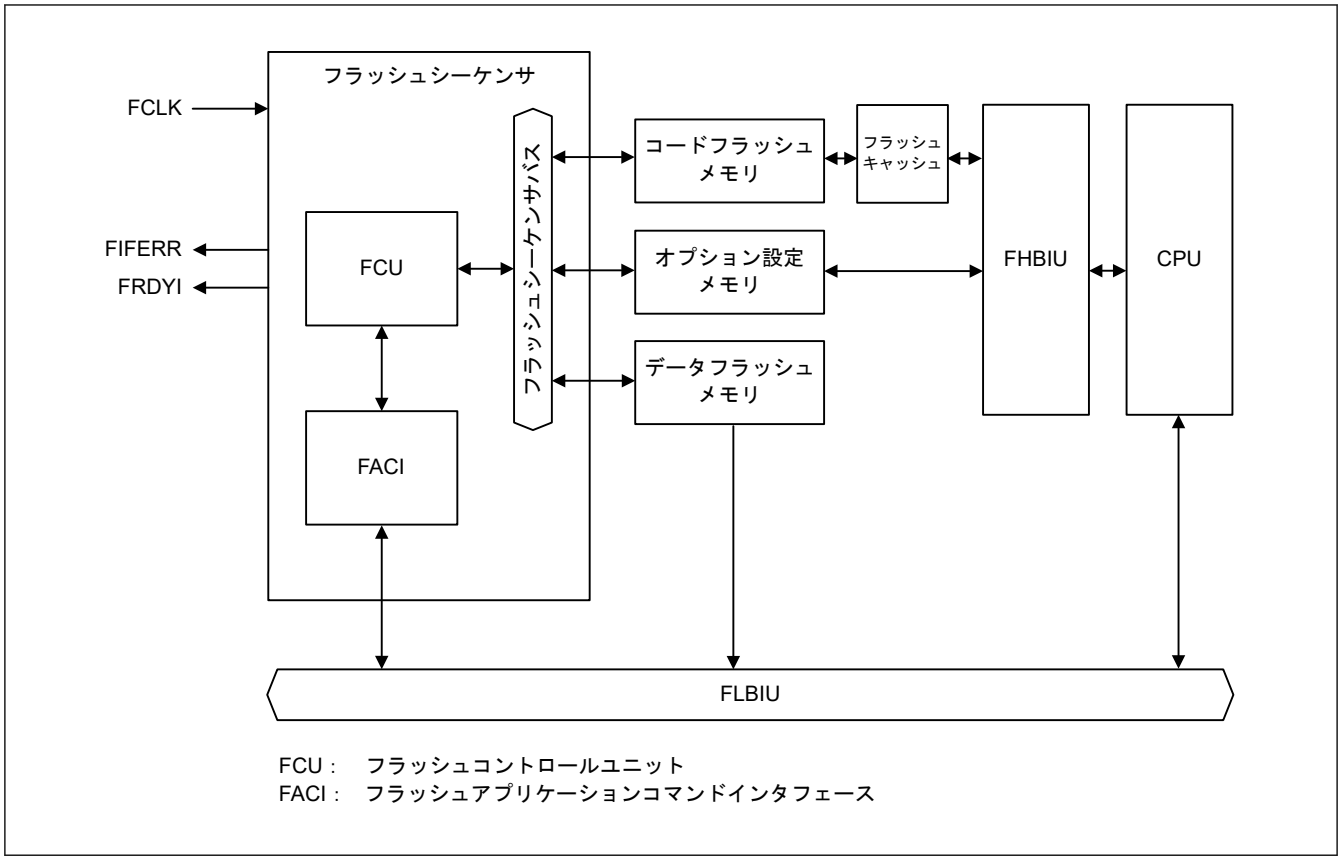


図 41.1 フラッシュメモリ関連モジュールのブロック図

41.2 メモリ構成

図 41.2 にコードフラッシュメモリのメモリマップを示します。

本 MCU のコードフラッシュメモリのユーザー領域は 8 KB または 32 KB のブロックに分割されており、各ブロック単位でイレース可能です。

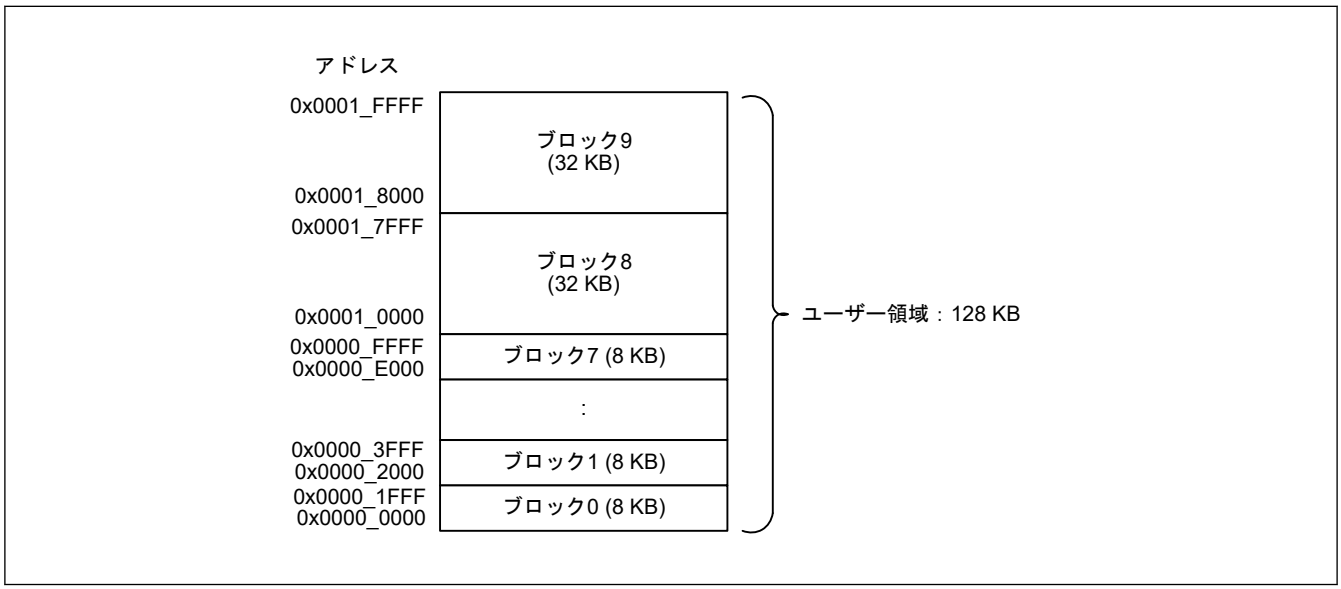


図 41.2 コードフラッシュメモリのマップ

表 41.2 コードフラッシュメモリの製品別読み出しおよびプログラム／イレースアドレス

製品	アドレス	ブロック数
128 K バイト製品	0x0000_0000～0x0001_FFFF	0～9

本 MCU のデータフラッシュメモリのデータ領域は 64 バイトのブロックに分割されており、各ブロック単位でイレース可能です。図 41.3 にデータフラッシュメモリのマッピングを示します。

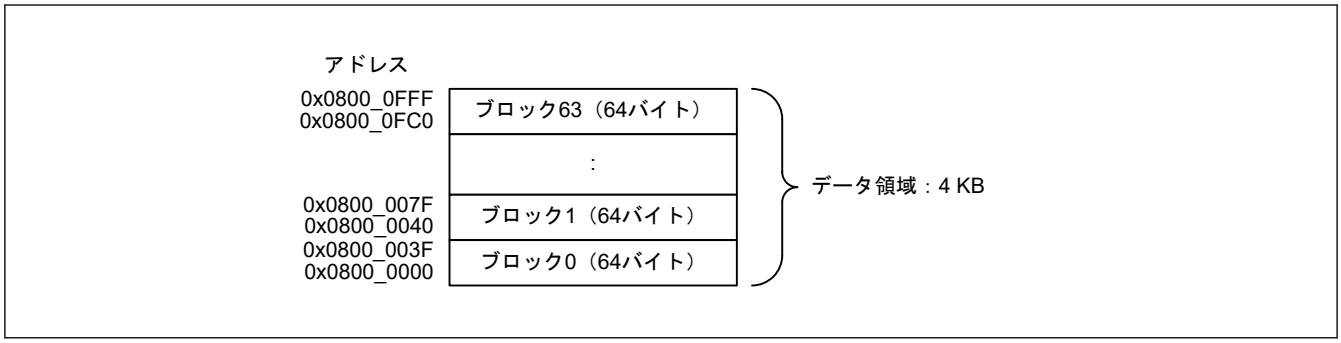


図 41.3 データフラッシュメモリのマップ

41.3 アドレス空間

フラッシュメモリとのハードウェアインタフェースを使用するには、ハードウェアの全レジスタへのアクセスが必要です。これは FACI コマンドを発行するためです。表 41.3 に、ハードウェアインタフェースに関する情報を示します。

表 41.3 ハードウェアインタフェース領域情報

領域	アドレス	容量
ハードウェアの各種レジスタを含む領域	「41.4. レジスタの説明」を参照してください。	「41.4. レジスタの説明」を参照してください。
FACI コマンド発行領域	0x407E_0000	4 バイト

フラッシュメモリのアドレス情報については、図 41.2 を参照してください。

41.4 レジスタの説明

41.4.1 FCACHEE : フラッシュキャッシュイネーブルレジスタ

Base address: FCACHE = 0x4001_C100

Offset address: 0x000

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEEN
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FCACHEEN	フラッシュキャッシュ許可 0: FCACHE を禁止 1: FCACHE を許可	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

本レジスタは、いずれのセキュリティ属性レジスタによっても制御されません。

FCACHEEN ビット（フラッシュキャッシュ許可）

FCACHEE.FCACHEEN ビットは、FCACHE1、FCACHE2、FLPF のフラッシュキャッシュ機能を許可／禁止します。

FCACHEE.FCACHEEN ビットは FCACHEIV.FCACHEIV ビットに影響を与えません。

FCACHE を許可した場合、「キャッシュ可能」なアクセスができるようになります。

FCACHE を許可後、禁止にはできません。

41.4.2 FCACHEIV : フラッシュキャッシュインバリデートレジスタ

Base address: FCACHE = 0x4001_C100

Offset address: 0x004

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEIV
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FCACHEIV	フラッシュキャッシュインバリデート 0: 読み出し時: インバリデートしない 書き込み時: 設定は無視される 1: インバリデートする FCACHE がインバリデートされます。	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

本レジスタは、いずれのセキュリティ属性レジスタによっても制御されません。

FCACHEIV ビット（フラッシュキャッシュインバリデート）

FCACHEIV.FCACHEIV ビットに 1 を書くと、FCACHE1、FCACHE2、FLPF のフラッシュキャッシュデータがインバリデートされます。

コードフラッシュまたはオプション設定メモリを書き換えた後 FCACHE を許可にした状態で FCACHE をインバリデートしてください。

41.4.3 FLWT : フラッシュウェイトサイクルレジスタ

Base address: FCACHE = 0x4001_C100

Offset address: 0x01C

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	FLWT[2:0]		
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	FLWT[2:0]	フラッシュウェイトサイクル 0 0 0: 0 ウェイト (ICLK ≦ 50 MHz) 0 0 1: 1 ウェイト (ICLK ＞ 50 MHz) 0 1 0: 2 ウェイト 未指定 0 1 1: 3 ウェイト 未指定 その他: 設定禁止	R/W
7:3	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

FLWT[2:0]ビット（フラッシュウェイトサイクル）

フラッシュウェイトサイクルレジスタ (FLWT) は、フラッシュメモリのアクセスウェイト数を設定します。

クロック周波数をこれより高くする場合、クロック周波数を変更する前に FLWT.FLWT を設定してください。クロック周波数をこれより低くする場合、クロック周波数を変更した後に FLWT.FLWT を設定してください。

周波数設定の詳細は、「8. クロック発生回路」を参照してください。

41.4.4 FSAR : フラッシュセキュリティ属性レジスタ

Base address: FCACHE = 0x4001_C100

Offset address: 0x040

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FCKMHZSA	—	—	—	—	—	—	—	FLWTSA
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	FLWTSA	FLWT セキュリティ属性 対象レジスタ：FLWT 0: セキュア 1: 非セキュア	R/W
7:1	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	FCKMHZSA	FCKMHZ セキュリティ属性 対象レジスタ：FCKMHZ 0: セキュア 1: 非セキュア	R/W
15:9	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

PRCR.PRC4 ビットが 0 の場合、書き込みは無効です。「11. レジスタライトプロテクション」を参照してください。

FLWTSA ビット（FLWT セキュリティ属性）

FLWT レジスタのセキュリティ属性を設定します。

FCKMHZSA ビット（FCKMHZ セキュリティ属性）

FCKMHZ レジスタのセキュア属性を設定します。

41.4.5 UIDRn : ユニーク ID レジスタ n（n = 0～3）

Address: 0x0100_8190 + n × 4

Bit position:	31	0
Bit field:	UID	
Value after reset:	チップごとのユニーク値	

ビット	シンボル	機能	R/W
31:0	UID	ユニーク ID	R

UIDRn は、個々の MCU を識別するための 16 バイトの ID コード（ユニーク ID）を格納する読み出し専用レジスタです。UIDRn レジスタは 32 ビット単位で設定してください。シリアルプログラミングインタフェースのシグネチャ要求コマンドで読み出す場合、データは大きいアドレスのデータから読み出されます。すなわち、0x0100_819F のデータが最初に読み出され、0x0100_8190 のデータが最後に読み出されます。

41.4.6 PNRn : 型名レジスタ n（n = 0～3）

Address: 0x0100_80F0 + n × 4

Bit position:	31															0
Bit field:	PNR															
Value after reset:	チップごとのユニーク値															

ビット	シンボル	機能	R/W
31:0	PNR	型名	R

PNRn レジスタは、16 バイトの型名を格納する読み出し専用レジスタです。PNRn レジスタは 32 ビット単位で読み出してください。各バイトはに示すように、製品の型名の ASCII コードに対応しています。型名の最初の文字（"R"、ASCII コードの 0x52）は最小のアドレス (0x0100_80F0) のバイトに格納されます。シリアルプログラミングインタフェースのシグネチャ要求コマンドで読み出す場合、データは小さいアドレスのデータから読み出されます。すなわち、0x0100_80F0 のデータが最初に読み出され、0x0100_80FF のデータが最後に読み出されます。

41.4.7 MCUVER : MCU バージョンレジスタ

Address: 0x0100_81B0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	MCUVE							
Value after reset:	チップにより決まる値							

ビット	シンボル	機能	R/W
7:0	MCUVE	MCU バージョン	R

MCUVER レジスタは、MCU バージョンを格納する読み出し専用レジスタです。MCUVER レジスタは 8 ビット単位で読み出してください。

41.4.8 FWEPROR : フラッシュ P/E プロテクトレジスタ

Base address: SYSC = 0x4001_E000

Offset address: 0x416

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	FLWE[1:0]	
Value after reset:	0	0	0	0	0	0	1	0

ビット	シンボル	機能	R/W
1:0	FLWE[1:0]	フラッシュプログラム／イレース 0 0: プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理を禁止 0 1: プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理を許可 1 0: プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理を禁止 1 1: プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理を禁止	R/W
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

ソフトウェアによるプログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理の禁止が可能です。

FWEPROR レジスタは、以下のようなリセットにより初期化されます。

- すべてのリセット要因
- ディープソフトウェアスタンバイモードへの移行
- ソフトウェアスタンバイモードへの移行

FLWE[1:0]ビット（フラッシュプログラム／イレース）

FLWE[1:0]ビットは、フラッシュ P/E 保護を設定するのに使用されます。リセット後の値は 10b です。

これらのビットが 01b 以外に設定され、フラッシュメモリのプログラム／イレースが禁止されると、下記のコマンドは実行できません。下記のコマンドのいずれかが発行されると、FSTATR レジスタの FLWEERR ビットが 1 に設定されます。

プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、コンフィグレーション設定コマンド

41.4.9 FASTAT：フラッシュアクセスステータスレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x10

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CFAE	—	—	CMDLK	DFAE	—	—	—
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DFAE	データフラッシュメモリアクセス違反フラグ 0: データフラッシュメモリアクセス違反なし 1: データフラッシュメモリアクセス違反あり	R/W(注1)
4	CMDLK	コマンドロックフラグ 0: フラッシュシーケンサはコマンドロック状態ではない 1: フラッシュシーケンサはコマンドロック状態である	R
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	CFAE	コードフラッシュメモリアクセス違反フラグ 0: コードフラッシュメモリアクセス違反は発生していない 1: コードフラッシュメモリアクセス違反が発生した	R/W(注1)

注 1. フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

FASTAT レジスタは、コードフラッシュまたはデータフラッシュメモリアクセス違反が起きたかどうかを示します。CFAE ビット、CMDLK ビット、および DFAE ビットのいずれかが 1 になると、フラッシュシーケンサはコマンドロック状態になります（「41.11.2. エラープロテクション」参照）。シーケンサをコマンドロック状態から解放するには、ステータスクリアコマンドまたは強制停止コマンドをフラッシュシーケンサに発行してください。

DFAE ビット（データフラッシュメモリアクセス違反フラグ）

DFAE ビットは、データフラッシュメモリアクセス違反が起きたかどうかを示します。1 の場合、FSTATR レジスタの ILGLERR ビットが 1 になり、フラッシュシーケンサをコマンドロック状態にします。

[1 になる条件]

データフラッシュ P/E モードで発行された FACI コマンドが以下の場合：

- FSADDR レジスタまたは FEADDR レジスタの設定がデータ領域の予約部分であるとき
- FSADDR レジスタまたは FEADDR レジスタの設定がセキュア領域アドレスである場合に非セキュアアクセスの FACI コマンドが発行されたとき

[0 になる条件]

- 本ビットが 1 に設定された後、0 を書き込まれたとき
- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

CMDLK ビット（コマンドロックフラグ）

CMDLK ビットは、フラッシュシーケンサがコマンドロック状態であることを示します。

[1 になる条件]

- フラッシュシーケンサがエラーを検出し、コマンドロック状態になったとき

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

CFAE ビット（コードフラッシュメモリアクセス違反フラグ）

CFAE ビットは、コードフラッシュメモリアクセス違反が起きたかどうかを示します。1 の場合、FSTATR レジスタの ILGLERR ビットが 1 になり、フラッシュシーケンサをコマンドロック状態にします。

[1 になる条件]

コードフラッシュ P/E モードで発行された FACI コマンドが以下の場合：

- FSADDR レジスタの設定がユーザー領域の予約部分であるとき
- セルフプログラミングモードにおいて FSADDR レジスタの設定が 0x0000A100～0x0000A2F0 でコンフィグレーション設定コマンドが発行されたとき
- FSADDR レジスタの設定がセキュア領域アドレスである場合に非セキュアアクセスの FACI コマンドが発行されたとき

[0 になる条件]

- 本ビットが 1 に設定された後、0 を書き込まれたとき
- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

41.4.10 FAEINT : フラッシュアクセスエラー割り込み許可レジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x14

Bit position:	7	6	5	4	3	2	1	0
Bit field:	CFAEIE	—	—	CMDLKIE	DFAEIE	—	—	—
Value after reset:	1	0	0	1	1	0	0	0

ビット	シンボル	機能	R/W
2:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
3	DFAEIE	データフラッシュメモリアクセス違反割り込み許可 0: FASTAT.DFAE ビットが 1 のとき FIFERR 割り込み要求の発生を禁止 1: FASTAT.DFAE ビットが 1 のとき FIFERR 割り込み要求の発生を許可	R/W
4	CMDLKIE	コマンドロック割り込み許可 0: FASTAT.CMDLK ビットが 1 のとき FIFERR 割り込み要求の発生を禁止 1: FASTAT.CMDLK ビットが 1 のとき FIFERR 割り込み要求の発生を許可	R/W
6:5	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	CFAEIE	コードフラッシュメモリアクセス違反割り込み許可 0: FASTAT.CFAE ビットが 1 のとき FIFERR 割り込み要求の発生を禁止 1: FASTAT.CFAE ビットが 1 のとき FIFERR 割り込み要求の発生を許可	R/W

FAEINT レジスタは、フラッシュアクセスエラー (FIFERR) 割り込み要求の発生を許可または禁止します。

DFAEIE ビット（データフラッシュメモリアクセス違反割り込み許可）

DFAEIE ビットは、データフラッシュメモリアクセス違反が起きた場合（FASTAT レジスタの DFAE ビットが 1）の FIFERR 割り込み要求の発生を許可または禁止します。

CMDLKIE ビット（コマンドロック割り込み許可）

CMDLKIE ビットは、フラッシュシーケンサがコマンドロック状態になった場合（FASTAT レジスタの CMDLK ビットが 1）の FIFERR 割り込み要求の発生を許可または禁止します。

CFAEIE ビット（コードフラッシュメモリアクセス違反割り込み許可）

CFAEIE ビットは、コードフラッシュメモリアクセス違反が起きた場合（FASTAT レジスタの CFAE ビットが 1）の FIFERR 割り込み要求の発生を許可または禁止します。

41.4.11 FRDYIE : フラッシュレディ割り込み許可レジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x18

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	FRDYIE
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FRDYIE	フラッシュレディ割り込み許可 0: FRDY 割り込み要求の発生を禁止 1: FRDY 割り込み要求の発生を許可	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FRDYIE レジスタは、フラッシュレディ (FRDY) 割り込み要求の発生を許可または禁止します。

FRDYIE ビット（フラッシュレディ割り込み許可）

FRDYIE ビットは、フラッシュシーケンサによるプログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、およびコンフィグレーション設定コマンドの処理完了時、FSTATR レジスタの FRDY ビットが 0 から 1 に変わったときの FRDY 割り込み要求発生を許可または禁止します。

41.4.12 FSADDR : FACI コマンド開始アドレスレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x30

Bit position:	31	0
Bit field:	FSADDR[31:0]	
Value after reset:	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	

ビット	シンボル	機能	R/W
31:0	FSADDR[31:0]	FACI コマンド処理の開始アドレス	R/W(注1)

注 1. これらのビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合にこれらのビットに書き込んでも無視されます。b0 と b1 は読み出し専用です。

表 41.4 FACI コマンドアドレスバウンダリ (1/2)

コマンド	アドレスバウンダリ
プログラム（コードフラッシュメモリ）	128 バイト
プログラム（データフラッシュメモリ）	4、8、16 バイト

表 41.4 FACI コマンドアドレスバウンダリ (2/2)

コマンド	アドレスバウンダリ
ブロックイレース（コードフラッシュメモリ）	8 KB、32 KB
ブロックイレース（データフラッシュメモリ）	64 バイト
マルチブロックイレース（データフラッシュメモリ）	64 バイト
ブランクチェック（データフラッシュメモリ）	4 バイト
コンフィグレーション設定	16 バイト

FSADDR レジスタは、プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、またはコンフィグレーション設定用の FACI コマンドが発行された場合、コマンド処理の対象領域がどこから開始するかを指定します。

FSUINITR レジスタの SUINIT ビットが 1 になると FSADDR レジスタ値が初期化されます。リセットによっても初期化されます。

FSADDR[31:0]ビット（FACI コマンド処理の開始アドレス）

FSADDR[31:0]ビットは、FACI コマンド処理の開始アドレスを指定します。コードフラッシュメモリに対する FACI コマンド処理の場合、ビット[31:24]は無視されます。データフラッシュメモリに対する FACI コマンド処理の場合、ビット[31:17]は無視されます。表 41.4 に示すアドレスバウンダリ以下のアドレスビットに関連するビットも無視されます。

コードフラッシュメモリおよびデータフラッシュメモリのアドレス情報については、「41.2. メモリ構成」を参照してください。

コンフィグレーション設定のアドレス情報については、「41.9.3.15. コンフィグレーション設定コマンド」を参照してください。

41.4.13 FEADDR : FACI コマンド終了アドレスレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x34

Bit position:	31																												0
Bit field:	FEADDR[31:0]																												
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
31:0	FEADDR[31:0]	FACI コマンド処理の最終アドレス	R/W(注1)

注 1. これらのビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合にこれらのビットに書き込んでも無視されます。ビット[0]とビット[1]は読み出し専用です。

FEADDR レジスタは、マルチブロックイレースおよびブランクチェックコマンド処理の対象領域の最終アドレスを指定します。ブランクチェックのアドレッシングモードがインクリメンタルモードに設定されている場合（すなわち FBCCNT.BCDIR = 0）、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以下のアドレスを指定してください。反対に、ブランクチェックアドレッシングモードがデクリメンタルモードに設定されている場合（すなわち FBCCNT.BCDIR = 1）、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以上のアドレスを指定してください。BCDIR ビット、FSADDR ビット、および FEADDR ビット設定が指定規則に従っていない場合、フラッシュシーケンサはコマンドロック状態になります（「41.11.2. エラープロテクション」参照）。

FEADDR レジスタ値は、FSUINITR レジスタの SUINIT ビットが 1 になったとき初期化されます。リセットによっても初期化されます。

FEADDR[31:0]ビット（FACI コマンド処理の最終アドレス）

FEADDR[31:0]ビットは、マルチブロックイレースおよびブランクチェックコマンド処理の最終アドレスを指定します。コマンド処理において、ビット 31～ビット 17 および「41.4.12. FSADDR : FACI コマンド開始アドレスレジスタ」に挙げたアドレスバウンダリに達しないビットは無視されます。

フラッシュメモリのアドレス情報については、「41.2. メモリ構成」を参照してください。

41.4.14 FMEPROT : フラッシュ P/E モードエントリ保護レジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x44

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	CEPROT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	機能	R/W
0	CEPROT	コードフラッシュ P/E モードエントリ保護 0: FENTRYC ビットは保護されません 1: FENTRYC ビットは保護されます	R/W(注1)(注2)(注4)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 のとき本ビットに書き込んでも無視されます。
注 2. 本ビットへの書き込みは、16 ビットが書き込まれ、KEY ビットに書き込まれた値が 0xD9 の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。
注 4. 本レジスタに書き込みできるのはセキュアアクセスのみです。セキュアアクセス、非セキュアリードアクセスともに許可されます。非セキュアライトアクセスは拒否されますが、TrustZone アクセスエラーは発生しません。

CEPROT ビット（コードフラッシュ P/E モードエントリ保護）

CEPROT ビットは、FENTRYR レジスタの FRNTRYC ビットの保護設定を指定します。

[1 になる条件]

- FMEPROT レジスタへの書き込みが許可されている場合に、CEPROT ビットに 1 を書いたとき

[0 になる条件]

- FMEPROT レジスタへの書き込みが許可されている場合に、CEPROT ビットに 0 を書いたとき

41.4.15 FBPROT1 : セキュア用フラッシュブロック保護レジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x7C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	BPCN1
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BPCN1	セキュア用ブロック保護解除 0: ブロック保護有効 1: ブロック保護無効	R/W(注1)(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 のとき本ビットに書き込んでも無視されます。
注 2. 本ビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0]ビットに書き込まれた値が 0xB1 の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FBPROT1 レジスタは、セキュア開発者用のブロック保護機能を無効にするのに使用されます。ブロック保護設定が永久ブロック設定によりロックされている場合は、本レジスタでは無効にできません。

FBPROT1 レジスタ値は、FSUINITR レジスタの SUINIT ビットが 1 になると初期化されます。なぜなら、その場合、FENTRYR レジスタ値が 0x0000 に初期化されるからです。リセットによっても初期化されます。

BPCN1 ビット（セキュア用ブロック保護解除）

BPCN1 ビットは、セキュア関数用のブロック保護設定を無効にします。

[1 になる条件]

- 書き込み許可条件が満たされており FENTRYR レジスタ値が 0x0000 ではない場合に、BPCN1 ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 のとき FBPROT1 レジスタに 8 ビットを書いたとき
- FRDY ビットが 1 のとき、KEY ビットで指定された 0xB1 以外の値と 16 ビットを FBPROT1 レジスタに書いたとき
- FBPROT1 レジスタへの書き込みが許可されている場合に、BPCN1 ビットに 0 を書いたとき
- FENTRYR レジスタ値が 0x0000 のとき

41.4.16 FSTATR : フラッシュステータスレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x80

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	ILGCOMERR	FESETERR	SECERR	OTERR	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FRDY	ILGLERR	ERSERR	PRGERR	SUSRDY	DBFULL	ERSSPD	PRGSPD	—	FLWEERR	—	—	—	—	—	—
Value after reset:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
5:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
6	FLWEERR	フラッシュライト／イレース保護エラーフラグ 0: エラーの発生なし 1: エラーの発生あり	R
7	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
8	PRGSPD	書き込みサスペンドステータスフラグ 0: フラッシュシーケンサは書き込みサスペンド処理中の状態または書き込みサスペンド状態ではない 1: フラッシュシーケンサは書き込みサスペンド処理中状態または書き込みサスペンド状態である	R
9	ERSSPD	消去サスペンドステータスフラグ 0: フラッシュシーケンサは消去サスペンド処理中の状態または消去サスペンド状態ではない 1: フラッシュシーケンサは消去サスペンド処理中状態または消去サスペンド状態である	R
10	DBFULL	データバッファフルフラグ 0: データバッファエンプティ 1: データバッファフル	R
11	SUSRDY	サスペンドレディフラグ 0: フラッシュシーケンサは P/E サスペンドコマンド受信不可 1: フラッシュシーケンサは P/E サスペンドコマンド受信可	R

ビット	シンボル	機能	R/W
12	PRGERR	書き換えエラーフラグ 0: 書き換えが正常終了 1: 書き換え中にエラー発生	R
13	ERSERR	消去エラーフラグ 0: 消去が正常終了 1: 消去中にエラー発生	R
14	ILGLERR	不正コマンドエラーフラグ 0: フラッシュシーケンサは不正 FACI コマンドまたは不正フラッシュメモリアクセスを未検出 1: フラッシュシーケンサは不正 FACI コマンドまたは不正フラッシュメモリアクセスを検出	R
15	FRDY	フラッシュレディフラグ 0: プログラム、ブロックイレース、マルチブロックイレース、P/E サスペンド、P/E レジューム、強制停止、ブランクチェック、コンフィグレーション設定コマンド処理が進行中 1: 上記のいずれの処理も進行中ではない	R
19:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20	OTERR	その他のエラー 0: ステータスクリアまたは強制停止コマンド処理が完了 1: エラー発生	R
21	SECERR	セキュリティエラー 0: ステータスクリアまたは強制停止コマンド処理が完了 1: エラー発生	R
22	FESETERR	FENTRY 設定エラー 0: ステータスクリアまたは強制停止コマンド処理が完了 1: エラー発生	R
23	ILGCOMERR	不正コマンドエラー 0: ステータスクリアまたは強制停止コマンド処理が完了 1: エラー発生	R
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FSTATR レジスタは、フラッシュシーケンサのステータスを表示するレジスタです。

FLWEERR フラグ（フラッシュライト／イレース保護エラーフラグ）

FLWEERR フラグは、FWEPROR レジスタのフラッシュメモリ上書き保護設定に対する違反を表示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- フラッシュシーケンサが強制停止コマンドの処理を開始したとき

PRGSPD フラグ（書き込みサスペンドステータスフラグ）

PRGSPD フラグは、フラッシュシーケンサが書き込みサスペンド処理中状態または書き込みサスペンド状態であることを示します。

[1 になる条件]

- フラッシュシーケンサが書き込みサスペンドコマンドの処理を開始したとき

[0 になる条件]

- （FACI コマンド発行領域への書き込み完了後）フラッシュシーケンサが P/E レジュームコマンドを受信したとき
- フラッシュシーケンサが強制停止コマンドの処理を開始したとき

ERSSPD フラグ（消去サスペンドステータスフラグ）

ERSSPD フラグは、フラッシュシーケンサが消去サスペンド処理中状態または消去サスペンド状態であることを示します。

[1 になる条件]

- フラッシュシーケンサが消去サスペンドコマンドの処理を開始したとき

[0 になる条件]

- （FACI コマンド発行領域への書き込み完了後）フラッシュシーケンサが P/E レジュームコマンドを受信したとき
- フラッシュシーケンサが強制停止コマンドの処理を開始したとき

DBFULL フラグ（データバッファフルフラグ）

DBFULL フラグは、プログラムコマンド発行後のデータバッファの状態を示します。フラッシュシーケンサは、書き込みデータのバッファ（データバッファ）を内蔵しています。データバッファがフルのときフラッシュメモリへの書き込みデータが FACI コマンド発行領域に書かれると、フラッシュシーケンサは周辺バスにウェイトを 1 サイクル挿入します。

[1 になる条件]

- プログラムコマンド発行時データバッファがフルになったとき

[0 になる条件]

- データバッファがエンプティになったとき

SUSRDY フラグ（サスペンドレディフラグ）

SUSRDY フラグは、フラッシュシーケンサが P/E サスペンドコマンドを受信可能かどうかを示します。

[1 になる条件]

- プログラム／イレース処理開始後フラッシュシーケンサが P/E サスペンドコマンド受信可能状態になったとき

[0 になる条件]

- （FACI コマンド発行領域への書き込み完了後）フラッシュシーケンサが P/E サスペンドコマンドまたは強制停止コマンドを受信したとき
- 書き込みまたは消去中にフラッシュシーケンサがコマンドロック状態になったとき
- 書き込みまたは消去が完了したとき

PRGERR フラグ（書き換えエラーフラグ）

PRGERR フラグは、フラッシュメモリの書き込みの結果を示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- 書き込み中にエラーが発生したとき

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

ERSERR フラグ（消去エラーフラグ）

ERSERR フラグは、フラッシュメモリの消去の結果を示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- 消去中にエラーが発生したとき

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

ILGLERR フラグ（不正コマンドエラーフラグ）

ILGLERR フラグは、フラッシュシーケンサが不正 FACI コマンドまたは不正フラッシュメモリアクセスを検出したことを示します。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- 「41.11.2. エラープロテクション」を参照してください。

[0 になる条件]

- フラッシュシーケンサがステータスクリアコマンドまたは強制停止コマンドの処理を開始したとき

FRDY フラグ（フラッシュレディフラグ）

FRDY フラグは、フラッシュメモリのコマンド処理の状態を示します。

[1 になる条件]

- フラッシュシーケンサがコマンド処理を完了したとき
- フラッシュシーケンサが P/E サスペンドコマンドを受信し、フラッシュメモリの処理を中断したとき
- フラッシュシーケンサが強制停止コマンドを受信し、コマンド処理を終了したとき

注. プログラムコマンド処理の場合、フラッシュシーケンサーがコマンド処理を完了していない状態であっても FRDY フラグが 1 になることがあります。詳細は「41.9.3.7. プログラムコマンド」を参照してください。

[0 になる条件]

- フラッシュシーケンサが FACI コマンドを受信したとき
- プログラムおよびコンフィグレーション設定コマンドの場合、FACI コマンド発行領域への最初の書き込みのとき
- その他のコマンドの場合、FACI コマンド発行領域への最後の書き込みのとき

OTERR フラグ（その他のエラー）

表 41.22 を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

SECERR フラグ（セキュリティエラー）

表 41.22 を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

FESETERR フラグ（FENTRY 設定エラー）

表 41.22 を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

ILGCOMERR フラグ（不正コマンドエラー）

表 41.22 を参照してください。このフラグが 1 になると、フラッシュシーケンサはコマンドロック状態になります。

[1 になる条件]

- エラーが発生したとき

[0 になる条件]

- ステータスクリアまたは強制停止コマンド処理が完了したとき

41.4.17 FENTRYR : フラッシュ P/E モードエントリレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x84

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								FENTRYD	—	—	—	—	—	—	FENTRYC
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	FENTRYC	コードフラッシュ P/E モードエントリ 0: コードフラッシュは読み出しモード 1: コードフラッシュは P/E モード	R/W(注1)(注2)
6:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
7	FENTRYD	データフラッシュ P/E モードエントリ 0: データフラッシュは読み出しモード 1: データフラッシュは P/E モード	R/W(注1)(注2)
15:8	KEY[7:0]	キーコード	W(注3)

注 1. これらのビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合にこれらのビットに書き込んでも無視されます。
注 2. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0]ビットに書き込まれた値が 0xAA の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FENTRYR レジスタは、コードフラッシュ P/E モードまたはデータフラッシュ P/E モードを指定するのに使用されます。コードフラッシュ P/E モードまたはデータフラッシュ P/E モードを指定しフラッシュシーケンサが FACI コマンドを受信できるようにするには、FENTRYD ビットまたは FENTRYC ビットを 1 にし、フラッシュシーケンサを P/E モードにします。

FENTRYR レジスタは、FSUINITR.SUINIT ビットが 1 になると初期化されます。リセットによっても初期化されます。

注. 本レジスタに値 0xAA81 を書き込むと、FSTATR レジスタの ILGLERR ビットが 1 になり、その結果、フラッシュシーケンサがコマンドロック状態になります。

FENTRYC ビット（コードフラッシュ P/E モードエントリ）

FENTRYC ビットは、コードフラッシュメモリに対して P/E モードを指定します。

[1 になる条件]

- FENTRYR レジスタへの書き込みが許可され、かつ FENTRYR レジスタが 0x0000 の場合に、FENTRYC ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 の場合に、FENTRYR レジスタに 8 ビットを書いたとき

- KEY[7:0]ビットに 0xAA 以外の値が指定され、かつ FRDY ビットが 1 の場合に、FENTRYR レジスタに 16 ビットの書き込みをしたとき
- FENTRYR レジスタへの書き込みが許可されている場合に、FENTRYC ビットに 0 を書いたとき
- 書き込みが許可されており、かつ値が 0x0000 以外の場合に、FENTRYR レジスタに書いたとき
- FMEPROT レジスタの保護が有効であるとき

FENTRYD ビット（データフラッシュ P/E モードエントリ）

FENTRYD ビットは、データフラッシュメモリに対して P/E モードを指定します。

[1 になる条件]

- FENTRYR レジスタへの書き込みが許可され、かつ FENTRYR が 0x0000 の場合に、FENTRYD ビットに 1 を書いたとき

[0 になる条件]

- FRDY ビットが 1 の場合に、FENTRYR レジスタに 8 ビットを書いたとき
- KEY[7:0]ビットに 0xAA 以外の値が指定され、かつ FRDY ビットが 1 の場合に、FENTRYR レジスタに 16 ビットの書き込みをしたとき
- FENTRYR レジスタへの書き込みが許可されている場合に、FENTRYD ビットに 0 を書いたとき
- 書き込みが許可されており、かつ値が 0x0000 以外の場合に、FENTRYR レジスタに書いたとき

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、FENTRYD ビットまたは FENTRYC ビットへの書き込み許可を制御します。

41.4.18 FSUINITR : フラッシュシーケンサセットアップ初期化レジスタ

Base address: FACI = 0x407F_E000

Offset address: 0x8C

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	SUINIT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	SUINIT	セットアップ初期化 0: FSADDR、FEADDR、FBPROT1、FENTRYR、FBCCNT、および FCPSR の各フラッシュシーケンサセットアップレジスタは、現在の値を維持 1: FSADDR、FEADDR、FBPROT1、FENTRYR、FBCCNT、および FCPSR の各フラッシュシーケンサセットアップレジスタは、初期化される	R/W(注1)(注2)
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注3)

注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合に本ビットに書き込んでも無視されます。
注 2. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0]ビットに書き込まれた値が 0x2D の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FSUINITR レジスタは、フラッシュシーケンサセットアップの初期化に使用されます。

SUINIT ビット（セットアップ初期化）

SUINIT ビットは、以下のフラッシュシーケンサセットアップレジスタを初期化します。

- FSADDR
- FEADDR
- FBPROT1

- FENTRYR
- FBCCNT
- FCPSR

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、SUINIT ビットへの書き込み許可を制御します。

41.4.19 FCMDR : FACI コマンドレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xA0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	CMDR[7:0]								PCMDR[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
7:0	PCMDR[7:0]	プリコマンドフラグ 最後のコマンドの直前のコマンドが格納されます。	R
15:8	CMDR[7:0]	コマンドフラグ 最後のコマンドが格納されます。	R

FCMDR レジスタは、フラッシュシーケンサが受け取った一番最近の 2 つのコマンドを記録します。

PCMDR[7:0]ビット（プリコマンドフラグ）

PCMDR[7:0]ビットは、フラッシュシーケンサが一番最近受け取ったコマンドの直前に受け取ったコマンドを示します。

CMDR[7:0]ビット（コマンドフラグ）

CMDR[7:0]ビットは、フラッシュシーケンサが一番最近受け取ったコマンドを示します。

表 41.5 コマンド受信後の FCMDR レジスタの状態

コマンド	CMDR	PCMDR
プログラム	0xE8	前回コマンド
ブロックイレース	0xD0	0x20
マルチブロックイレース	0xD0	0x21
P/E サスペンド	0xB0	前回コマンド
P/E レジューム	0xD0	前回コマンド
ステータスクリア	0x50	前回コマンド
強制停止	0xB3	前回コマンド
ブランクチェック	0xD0	0x71
コンフィグレーション設定	0x40	前回コマンド

41.4.20 FBCCNT : ブランクチェックコントロールレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xD0

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BCDIR
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BCDIR	ブランクチェックの方向 0: ブランクチェックは下位アドレスから上位アドレス（インクリメンタルモード）方向に行う 1: ブランクチェックは上位アドレスから下位アドレス（デクリメンタルモード）方向に行う	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FBCCNT レジスタは、ブランクチェックコマンド処理におけるアドレッシングモードを指定します。FBCCNT レジスタは、FSUINITR.SUINIT ビットが 1 になると初期化されます。リセットによっても初期化されます。

BCDIR ビット（ブランクチェックの方向）

BCDIR ビットは、ブランクチェックのアドレッシングモードを指定します。

41.4.21 FBCSTAT : ブランクチェックステータスレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xD4

Bit position:	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	BCST
Value after reset:	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	BCST	ブランクチェックステータスフラグ 0: 対象領域は未プログラム状態（すなわち、領域はイレース後にプログラミングしていない） 1: 対象領域は 0 と 1 でプログラミング済	R
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FBCSTAT レジスタは、ブランクチェックコマンドによるチェックの結果を格納します。

BCST フラグ（ブランクチェックステータスフラグ）

BCST フラグは、ブランクチェックコマンドによるチェックの結果を示します。

41.4.22 FPSADDR : データフラッシュ書き込み開始アドレスレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xD8

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PSADR[16:0]																
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
16:0	PSADR[16:0]	書き込み領域開始アドレス 最初に書き込まれる領域のアドレス	R
31:17	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FPSADDR レジスタは、ブランクチェックコマンドの処理で見つかった最初の書き込み領域のアドレスを示します。

PSADR[16:0]ビット（書き込み領域開始アドレス）

PSADR[16:0]ビットは、ブランクチェックコマンドの処理で見つかった最初の書き込み領域のアドレスを示します。アドレスは、データフラッシュメモリの開始アドレスからのオフセットです。これらのビットは、FBCSTAT レジスタの BCST ビットが 1 で、FSTATR レジスタの FRDY ビットが 1 の場合のみ有効です。FBCSTAT レジスタの BCST ビットが 0 の場合は、PSADR[16:0]ビットは、前のチェックで見つかったアドレスを保持します。

41.4.23 FSUASMON : フラッシュスタートアップ領域選択モニタレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xDC

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	BTFLG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0/1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	FSPR	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0/1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。書く場合、0 としてください。	R
15	FSPR	ブートフラグおよびスタートアップ領域制御設定用保護書き込みフラグ 0: 保護状態 1: 非保護状態	R
30:16	—	読むと 0 が読めます。書く場合、0 としてください。	R
31	BTFLG	ブートスワップ用のスタートアップ領域選択フラグ 0: スタートアップ領域は代替ブロック（ブロック 1） 1: スタートアップ領域はデフォルトブロック（ブロック 0）	R

FSPR ビット（ブートフラグおよびスタートアップ領域制御設定用保護書き込みフラグ）

FSPR ビットは、BTFLG ビットおよび FSUACR レジスタについてコンフィグレーション設定コマンドからの保護状態を示します。

リセットまたはコンフィグレーション設定コマンドに応じて、FACI はデータをフラッシュメモリから本レジスタに転送します。

BTFLG ビット（ブートスワップ用のスタートアップ領域選択フラグ）

BTFLG ビットは、スタートアップ領域のアドレスがブートスワップ機能用に入れ替えられているか否かを示します。

リセットまたはコンフィグレーション設定コマンドに応じて、FACI はデータをフラッシュメモリから本レジスタに転送します。

41.4.24 FCPSR : フラッシュシーケンサ処理切り替えレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xE0

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSPMD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	ESUSPMD	消去サスペンドモード 0: サスペンド優先モード 1: 消去優先モード	R/W
15:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

FCPSR レジスタは、消去サスペンドモードを選択します。FCPSR は、FSUINITR.SUINIT ビットが 1 になると初期化されます。リセットによっても初期化されます。

ESUSPMD ビット（消去サスペンドモード）

ESUSPMD ビットは、フラッシュシーケンサがイレース処理を実行時 P/E サスペンドコマンドが発行された場合、消去サスペンドモードを選択します（「41.9.3.10. P/E サスペンドコマンド」参照）。ブロックイレースコマンドまたはマルチブロックイレースコマンド発行前に本ビットを設定してください。

41.4.25 FPCKAR : フラッシュシーケンサ処理クロック通知レジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xE4

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								PCKA[7:0]							
Value after reset:	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0

ビット	シンボル	機能	R/W
7:0	PCKA[7:0]	フラッシュシーケンサ動作クロック通知 これらのビットは、FACI コマンド処理中のフラッシュシーケンサの動作周波数を設定するのに使用されます。	R/W(注1)(注2)
15:8	KEY[7:0]	キーコード	W(注3)

注 1. 本ビットは、FSTATR レジスタの FRDY ビットが 1 のとき書き込み可能です。FRDY ビットが 0 の場合に本ビットに書き込んでも無視されます。
注 2. これらのビットへの書き込みは、16 ビットが書き込まれ、KEY[7:0]ビットに書き込まれた値が 0x1E の場合のみ可能です。
注 3. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

FPCKAR レジスタは、FACI コマンド処理中のフラッシュシーケンサの動作周波数を指定します。該当製品の最大動作周波数が初期値として設定されています。

PCKA[7:0]ビット（フラッシュシーケンサ動作クロック通知）

PCKA[7:0]ビットは、FACI コマンド処理中のフラッシュシーケンサの動作周波数を指定します。FACI コマンド発行前にこれらのビットに任意の周波数を設定してください。MHz 単位の周波数を 2 進数に変換後これらのビットに設定します。

例：

周波数が 35.9 MHz (PCKA = 0x24) の場合です。

35.9 MHz の小数第 1 位を自然数 (= 36) に丸め、2 進数に変換します。

これらのビットに設定された値がフラッシュシーケンサの実際の動作周波数より小さい場合、フラッシュメモリのプログラミング／イレース特性は保証されません。これらのビットに設定された値がフラッシュシーケンサ

の実際の動作周波数より大きい場合、フラッシュメモリのプログラミング／イレース特性は保証されますが、プログラミング／イレースにかかる時間のような FACI コマンド処理時間は増加します。フラッシュシーケンサの動作周波数が PCKA 値と同じとき FACI コマンド処理時間が最小となります。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PCKA ビットへの書き込み許可を制御します。

41.4.26 FSUACR : フラッシュスタートアップ領域コントロールレジスタ

Base address: FACI = 0x407F_E000

Offset address: 0xE8

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	SAS[1:0]	
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
1:0	SAS[1:0]	スタートアップ領域選択 0 0: スタートアップ領域は BTFLG ビットにより選択 0 1: スタートアップ領域は BTFLG ビットにより選択 1 0: スタートアップ領域はデフォルト領域（ブロック 0）に一時的に切り替え 1 1: スタートアップ領域は代替領域（ブロック 1）に一時的に切り替え	R/W(注1)(注3)
7:2	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード	W(注2)

注 1. これらのビットの書き込み条件を下記に示します（これらの条件は同時に満たす必要があります）。
1. 本レジスタへのアクセスサイズが 16 ビットである
2. KEY[7:0]ビットの値が 0x66 である
3. FSPR ビットが 1 である

注 2. 書き込まれた値はビットにより保持されません（常に 0x00 が読み出されます）。

注 3. 本レジスタに書き込みできるのはセキュアアクセスのみです。セキュアアクセスと非セキュアリードアクセスが許可されます。非セキュアライトアクセスは拒否されますが、TrustZone アクセスエラーは発生しません。

FSUACR レジスタは、ブートスワップ機能のスタートアップ領域を設定します。

SAS[1:0]ビット（スタートアップ領域選択）

SAS[1:0]ビットは、スタートアップ領域を選択します。スタートアップ領域変更方法は 3 つあります。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、SAS[1:0]ビットへの書き込み許可を制御します。

41.4.27 FCKMHZ : データフラッシュアクセス周波数レジスタ

Base address: FLAD = 0x407F_C000

Offset address: 0x40

Bit position:	7	6	5	4	3	2	1	0
Bit field:	FCKMHZ[7:0]							
Value after reset:	0	0	1	1	1	1	0	0

ビット	シンボル	機能	R/W
7:0	FCKMHZ[7:0]	データフラッシュアクセス周波数レジスタ これらのビットは、データフラッシュメモリの読み出し速度を最適化します。	R/W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、

- セキュアアクセスと非セキュアアクセスが許可されています。

本レジスタは、データフラッシュメモリの読み出し速度を最適化します。

データフラッシュメモリにアクセスするためのクロックである内部周辺バスの周辺モジュールクロック (FCLK) の周波数を MHz で設定してください。たとえば、35.9 MHz は丸めて、周波数を 36 に設定してください。データフラッシュメモリアクセスに必要なサイクル数は、この周波数に応じて挿入されます。FCLK の周波数を変更する場合、変更前後で動作周波数が下がるがどうかに応じて次の方法のいずれかを使ってデータフラッシュアクセス周波数レジスタ (FCKMHZ) の値を下記の手順に従い変更します。

- 速度を低速から高速に変える場合：FCKMHZ レジスタを書き換えます。FCKMHZ レジスタを読み出して変更を確認後、周波数を変更します。
- 速度を高速から低速に変える場合:周波数を変更します。周波数が変わったら FCKMHZ レジスタを書き換えます。

41.5 フラッシュキャッシュ

41.5.1 フラッシュキャッシュの特長

FCACHE（フラッシュキャッシュ）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと DMAC/DTC からのアクセスで使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 41.6 フラッシュキャッシュ 1 (FCACHE1) の概要

キャッシュ対象領域	0x0000_0000～0x007F_FFFF
対象バスマスタ	CPU 命令フェッチ
容量	256 バイト
アソシアティブ方式	8 ウェイセットアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、2 エントリ／ウェイ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 41.7 フラッシュキャッシュ 2 (FCACHE2) の概要

キャッシュ対象領域	0x0000_0000～0x007F_FFFF
対象バスマスタ	CPU オペランドアクセスおよび DMAC/DTC からのアクセス
容量	16 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、1 エントリ
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

表 41.8 プリフェッチバッファ (FLPF) の概要

キャッシュ対象領域	0x0000_0000～0x007F_FFFF
容量	32 バイト
アソシアティブ方式	フルアソシアティブ
	128 ビット／エントリ（128 ビット整列データ）、2 エントリ
要求アドレス	前の CPU 命令の次のアドレス
アクセスサイクル	キャッシュヒット：0 ウェイト キャッシュミス：フラッシュウェイトサイクルレジスタのウェイト数

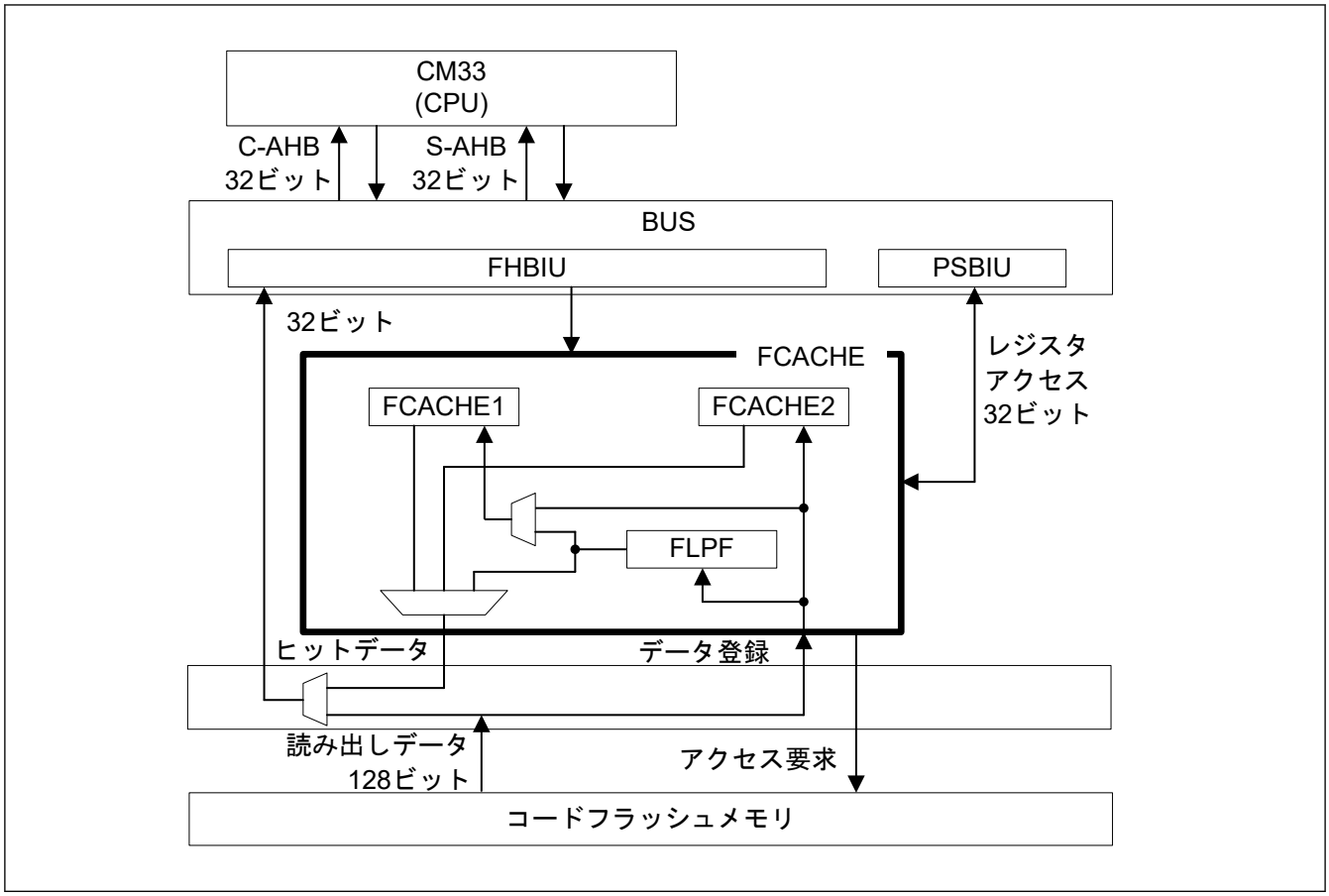


図 41.4　FCACHE のブロック図

41.6　フラッシュメモリ関連の動作モード

図 41.5 にフラッシュメモリに関するモード遷移図を示します。モード設定の方法については「6. オプション設定メモリ」を参照してください。

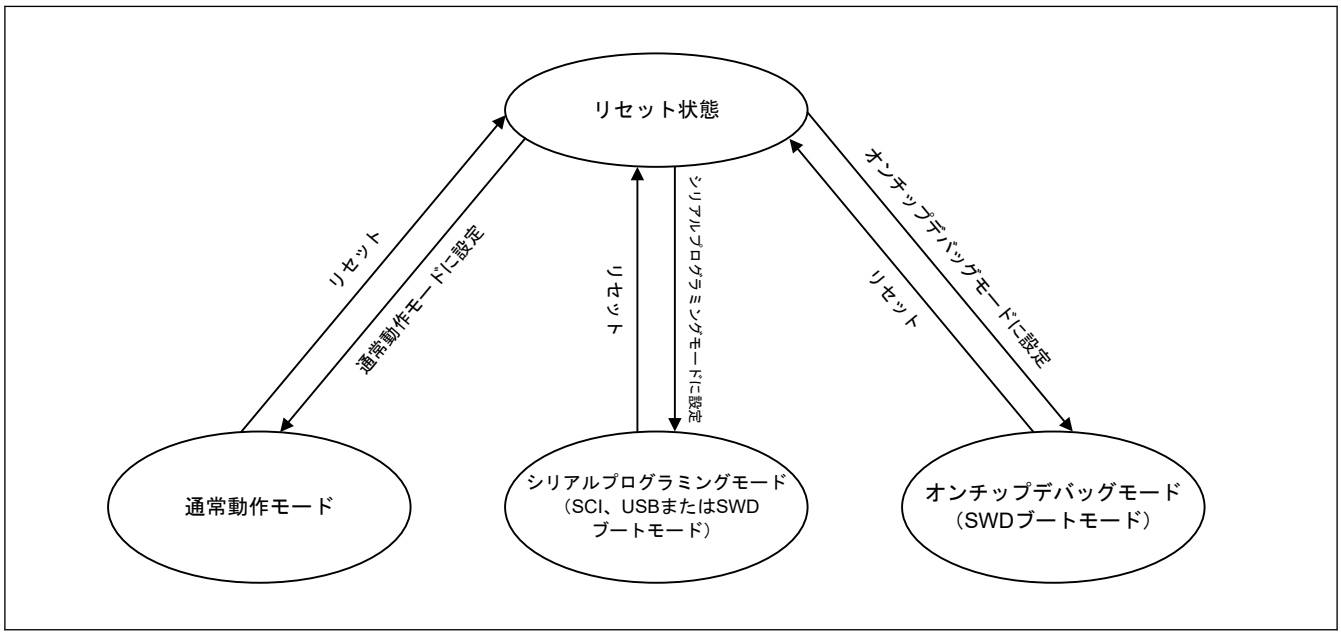


図 41.5　フラッシュメモリに関するモード遷移図

各モードでプログラム／イレースが可能なフラッシュメモリの領域、およびリセット後のブートプログラムは異なります。各モードの相違点を表 41.9 にまとめます。

表 41.9 各モードの相違点

項目	通常動作モード	シリアルプログラミングモード（SCI、USB または SWD ブートモード）	オンチップデバッグモード（SWD ブートモード）
プログラム／イレースが可能な領域	• コードフラッシュメモリ • データフラッシュメモリ • オプション設定メモリ（書き込みのみ、）	• コードフラッシュメモリ • データフラッシュメモリ • オプション設定メモリ（書き込みのみ）	• コードフラッシュメモリ • データフラッシュメモリ • オプション設定メモリ（書き込みのみ、）
ブロック単位イレース	可能	可能	可能
リセット時のブートプログラム	ユーザー領域のプログラム	シリアルプログラミング用組み込みプログラム	デバッグコマンドに依存

41.6.1 ID コードプロテクト

この機能は、書き換えとオンチップデバッギングを禁止するものです。デバイスは、ID コードを有効または無効にし、フラッシュメモリに格納された ID コードに基づき ID コードを決定します。ID コードプロテクト機能が有効の場合、ホストから送られてくるコードとフラッシュメモリの ID コードを比較して一致するか判定します。書き換えとオンチップデバッギングは、この 2 つが一致する場合に限り許可されます。フラッシュメモリの ID コードは、32 ビットワード 4 つで構成されます。

ID コードのビット[127]とビット[126]は、ID コードプロテクト機能の有効／無効を判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 41.10 に示します。

ビット[127] = 0 またはビット[126] = 0 にすると、ルネサスはテストモードにアクセスできなくなります。そのため、ビット[127] = 1 かつビット[126] = 1 にしないと、ルネサスは故障解析を実施できません。ルネサスが保証クレームを処理するためには、故障解析を実行する必要があります。

表 41.10 ID コードプロテクト機能の仕様

ブートアップ時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッガ接続時の動作
シリアルプログラミングモード（SCI/USB/SWD ブートモード） オンチップデバッグモード（SWD ブートモード）	0xFF, …, 0xFF （全バイトが 0xFF）	プロテクト無効	プログラマまたはオンチップデバッガへの接続を許可。プログラマに接続しても ID コードはチェックされません。ID コードは常に一致し、プログラマへの接続が許可されます。オンチップデバッガは接続時に 0xFF, …, 0xFF（全バイトが 0xFF）を送信する必要があります。
	ビット[127] = 1、ビット[126] = 1、かつ 16 バイトのうち少なくとも 1 つが 0xFF 以外	プロテクト有効	ID コード一致：認証を終了し、プログラマまたはオンチップデバッガへの接続を許可 ID コード不一致：ID コードプロテクト待機状態へ遷移 プログラマまたはオンチップデバッガから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) であると、ユーザーフラッシュ領域の内容は消去されます。 ただし、SAS.FSPR(注1)ビットが 0 であるか、または永久ブロック・プロテクションが設定されたブロックがある場合、強制消去は実行されません。
	ビット[127] = 1 およびビット[126] = 0	プロテクト有効	ID コード一致：認証を終了し、プログラマまたはオンチップデバッガへの接続を許可 ID コード不一致：ID コードプロテクト待機状態へ遷移ルネサスはテストモードにアクセスできません。
	ビット[127] = 0	プロテクト有効	ID コードは検証されません。ID コードは常に不一致であり、プログラマまたはオンチップデバッガへの接続は禁止され、ルネサスはテストモードにアクセスできません。

注 1. SAS.FSPR ビットの詳細は、「41.4.23. FSUASMON：フラッシュスタートアップ領域選択モニタレジスタ」を参照してください。

41.7 機能概要

シリアルインタフェース経由（シリアルプログラミングモード）、または SWD インタフェース経由（オンチップデバッグモード）で、専用フラッシュメモリプログラマを使用してフラッシュメモリを書き替えることにより、ターゲットシステムへの実装前／実装後にかかわらずデバイスの書き換えが可能です。

また、フラッシュメモリに書かれたユーザープログラムの書き換えまたは読み出しを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざんや不正リードの防止などに対応可能となっています。

ユーザープログラムによる書き換え（セルフプログラミング）は、ターゲットシステムの製造／出荷後のプログラム変更を想定したアプリケーションに適した書き換え方式です。フラッシュメモリを安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理のサポートにより、外部との通信制御に関する割り込み処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。各プログラミング方式の概要と対応する動作モードを表 41.11 に示します。

表 41.11 プログラミング方式

プログラミング方式	機能概要	動作モード
シリアルプログラミング	SCI、USBFS または SWD インタフェース経由で接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	シリアルプログラミングモード
	SCI、USBFS または SWD インタフェース経由で接続されている専用フラッシュメモリプログラマ、および専用プログラミングアダプタボードを用いて、たとえばデバイスのプログラミングなど、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミング実行前にメモリに書き込まれたユーザープログラムによっても、フラッシュメモリの書き換えが可能です。データフラッシュメモリの書き換え時には、バックグラウンドオペレーション機能によりコードフラッシュメモリからの命令フェッチまたはデータの読み出しが可能です。そのため、コードフラッシュメモリ上のプログラムを実行してデータフラッシュメモリを書き換えることができます。 バックグラウンドオペレーションを利用できない場合は、セルフプログラミングによるコードフラッシュメモリの書き換え中には、コードフラッシュメモリからの命令フェッチおよびデータアクセスはできません。そのような場合、内蔵 SRAM へ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	通常動作モード
SWD プログラミング	SWD を経由した専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボードプログラミングが可能です。 SWD を経由した専用フラッシュメモリプログラマまたはオンチップデバッガ、および専用プログラミングアダプタボードを用いて、たとえばデバイスのプログラミングなど、ターゲットシステム実装前にフラッシュメモリのオフボードプログラミングが可能です。	オンチップデバッグモード

フラッシュメモリの機能一覧を表 41.12 に示します。シリアルプログラミングにおける各機能は、シリアルプログラマのコマンドで実現されます。一方、セルフプログラミングにおける各機能は、FACI コマンドまたはユーザープログラムによるフラッシュメモリの読み出しで実現されます。

表 41.12 基本機能 (1/2)

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレース後にプログラムされていない状態のデータフラッシュメモリの読み出し結果は保証されません。イレース後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	なし	あり（データフラッシュプログラミングのみ）
ブロックイレース	指定したブロックのメモリ内容のイレースを行います。	あり	あり
プログラム	指定したアドレスのプログラムを行います。	あり	あり
CRC	フラッシュメモリの指定範囲の CRC を計算し、その結果をフラッシュプログラマに転送します。	あり	なし

表 41.12 基本機能 (2/2)

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
読み出し	フラッシュメモリにプログラムしたデータの読み出しを行います。	あり	なし (ユーザープログラムにて読み出しは可能)
ID コードチェック	ホストが送信した ID コードとコンフィグレーション領域に格納されているコードとを比較します。これら 2 つが一致する場合、FCU は待機状態に遷移してホストからのプログラミングとイレースコマンドを待ちます。	あり	なし (ID 認証は行わない)
ID コード設定	OSIS レジスタを設定します。	あり	あり
シリアルプログラマ接続の禁止	シリアルプログラマ接続を禁止	あり	あり
デバッガ接続禁止	デバッガの接続を無効にします。	あり	あり
スタートアッププログラムプロテクション機能	スタートアッププログラムプロテクション機能を設定します。	あり	あり
オプション機能選択	オプション機能を選択し、本 MCU の初期設定を変更します。	あり	あり
ブロック保護	ブロック保護の設定	あり	あり
全消去	フラッシュメモリのデータを消去して出荷前の状態に戻す。	あり	なし

フラッシュメモリは、各種のセキュリティ機能をサポートしています。

フラッシュメモリでサポートされるセキュリティ機能を表 41.13 に示します。

表 41.13 セキュリティ機能一覧

機能	内容
不正シリアルプログラミングから ID コードを保護	シリアルプログラマ接続は ID コードを判断することにより制御可能です。
不正デバッガから ID コードを保護	デバッガ接続は ID コードを判断することにより制御可能です。
スタートアップ領域選択のセキュリティフラグ	スタートアップ領域選択は、セキュリティフラグ (FSPR) の設定で保護できます。
永久ブロック保護	コードフラッシュメモリの各ブロックはプログラム／イレースから永久に保護できます。
TrustZone 保護	プログラム／イレース領域、読み出し可能領域、レジスタアクセス、および FACI コマンド動作は、ARM TrustZone セキュリティにより保護されます。
プログラム／イレースモード保護	セキュア開発者のみがコードフラッシュのプログラム／イレースモードに遷移できます。

41.8 フラッシュシーケンサの動作モード

フラッシュシーケンサには図 41.6 に示すように 3 つの動作モードがあります。FENTRYR レジスタの値を変更するとモード間の遷移が起動されます。

FENTRYR レジスタの値が 0x0000 の場合、フラッシュシーケンサは読み出しモードです。このモードでは、FACI コマンドを受信しません。コードフラッシュメモリもデータフラッシュメモリも読み出し可能です。

FENTRYR レジスタの値が 0x0001 の場合、フラッシュシーケンサはコードフラッシュ P/E モードで、コードフラッシュメモリは FACI コマンドにより書き換えまたは消去が可能です。このモードでは、データフラッシュメモリは読み出し可能です。

FENTRYR レジスタの値が 0x0080 の場合、フラッシュシーケンサはデータフラッシュ P/E モードで、データフラッシュメモリは FACI コマンドにより書き換えまたは消去が可能です。このモードでは、データフラッシュメモリは読み出しできません。ただし、コードフラッシュメモリは読み出し可能です。

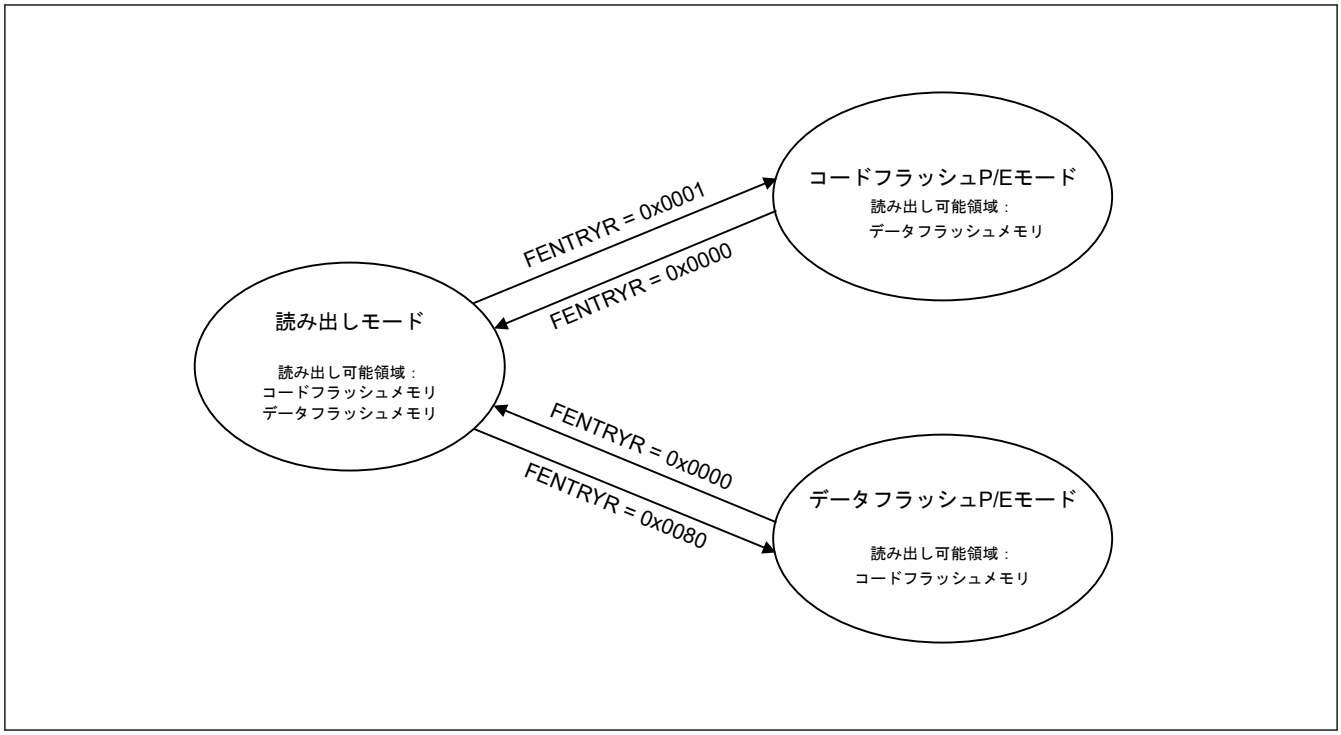


図 41.6　フラッシュシーケンサのモード

41.9　FACI コマンド

41.9.1　FACI コマンド一覧

FACI は設定された FACI コマンドに従って、FCU の制御を行います。

本項では FACI コマンドに関する情報を記述し、表 41.14 に FACI コマンドの一覧を示します。

表 41.14　FACI コマンド

FACI コマンド	機能
プログラム	ユーザー領域およびデータ領域を書き換えます。 ユーザー領域の場合書き換え単位は 128 バイトで、データ領域の場合は 4、8、16 バイトです。
ブロックイレース	ユーザー領域およびデータ領域を消去します。 ユーザー領域の場合消去単位は 8 KB または 32 KB で、データフラッシュの場合は 64 バイトです。
マルチブロックイレース	データ領域を消去します。 データフラッシュの消去単位は、64、128、または 256 バイトです。
P/E サスペンド	プログラム／イレース処理を中断します。
P/E レジューム	中断したプログラム／イレース処理を再開します。
ステータスクリア	FSTATR レジスタの ILGLERR、ERSERR、PRGERR、ILGCOMERR、FESETERR、SECERR、OTERR の各ビット、FASTAT レジスタの CMDLK、CFAE、DFAE の各ビット、およびコマンドロック状態から解除されたフラッシュシーケンサを初期化します。
強制停止	FACI コマンド処理を強制的に中止し、FSTATR レジスタと FASTAT レジスタを初期化します。
ブランクチェック	データ領域がブランクかどうかをチェックします。 ブランクチェックの単位：4 バイト～データフラッシュメモリ容量（4 バイト単位で指定）
コンフィグレーション設定	オプション設定メモリを設定します。 設定単位：16 バイト

FACI コマンドは、FACI コマンド発行領域に書き込むことにより発行されます（表 41.3 参照）。表 41.15 に示すような書き込みが指定の状態で進行すると、フラッシュシーケンサは受信したコマンドに関連する処理を実行します（「41.9.2. フラッシュシーケンサの状態と FACI コマンドの関係」参照）。

表 41.15 FACI コマンドのフォーマット

FACI コマンド	書き込み回数	FACI コマンド発行領域へのデータ書き込み			
		最初のアクセス	2 番目のアクセス	3 番目～(N+2) 番目のアクセス	(N+3) 番目のアクセス
プログラム（ユーザー領域） N = 64	67	0xE8	0x40 (= N)	WD1～WD64	0xD0
プログラム（データ領域） 4 バイトプログラミング： N = 2 8 バイトプログラミング： N = 4 16 バイトプログラミング： N = 8	N+3	0xE8	0x02 (= N) 0x04 (= N) 0x08 (= N)	WD1～WDN	0xD0
ブロックイレース （ユーザー領域 8 KB/32 KB）	2	0x20	0xD0	—	—
ブロックイレース （データ領域 64 バイト）	2	0x20	0xD0	—	—
マルチブロックイレース （データ領域 64/128/256 バイト）	2	0x21	0xD0	—	—
P/E サスペンド	1	0xB0	—	—	—
P/E レジューム	1	0xD0	—	—	—
ステータスクリア	1	0x50	—	—	—
強制停止	1	0xB3	—	—	—
ブランクチェック	2	0x71	0xD0	—	—
コンフィグレーション設定 N = 8	11	0x40	0x08 (= N)	WD1～WD8	0xD0

注. WDN (N = 1, 2, …)：書き換え対象の N 番目の 16 ビットデータ

フラッシュシーケンサは、ステータスクリアコマンド以外のコマンド処理開始時 FSTATR.FRDY ビットを 0 にクリアし、完了時に 1 にします。

FRDYIE.FRDYIE ビット設定が 1 の場合、FSTATR.FRDY ビットが 1 になるとフラッシュレディ (FRDY) 割り込みが発生します。

41.9.2 フラッシュシーケンサの状態と FACI コマンドの関係

FACI コマンドは、フラッシュシーケンサのモード／状態に応じて受け付けられます。FACI コマンドの発行は、フラッシュシーケンサのコードフラッシュ P/E モードまたはデータフラッシュ P/E モードへの遷移後かつフラッシュシーケンサの状態確認後とします。

フラッシュシーケンサの状態を確認するには FSTATR レジスタおよび FASTAT レジスタを使用してください。さらに、一般的にエラー発生は、FASTAT レジスタの CMDLK ビットを読み出すことにより確認できます。CMDLK ビット値は、FSTATR レジスタの下記のビットの論理和です。

- ILGLERR
- ILGCOMERR
- FESETERR
- SECERR
- OTERR
- ERSERR
- PRGERR
- FLWEERR

表 41.16 に、各動作モードで使用可能な FACI コマンドを示します。

表 41.16 動作モードと使用可能な FACI コマンド

動作モード	FENTRYR	使用可能な FACI コマンド
読み出しモード	0x0000	なし
コードフラッシュ P/E モード	0x0001	プログラム ブロックイレース P/E サスペンド P/E レジューム ステータスクリア 強制停止 コンフィグレーション設定
データフラッシュ P/E モード	0x0080	プログラム ブロックイレース マルチブロックイレース P/E サスペンド P/E レジューム ステータスクリア 強制停止 ブランクチェック

表 41.17 に、フラッシュシーケンサの状態および受け付け可能な FACI コマンドを示します。コマンド実行前に適切なモードになっていることとします。

表 41.17 受け付け可能な FACI コマンドとフラッシュシーケンサの状態

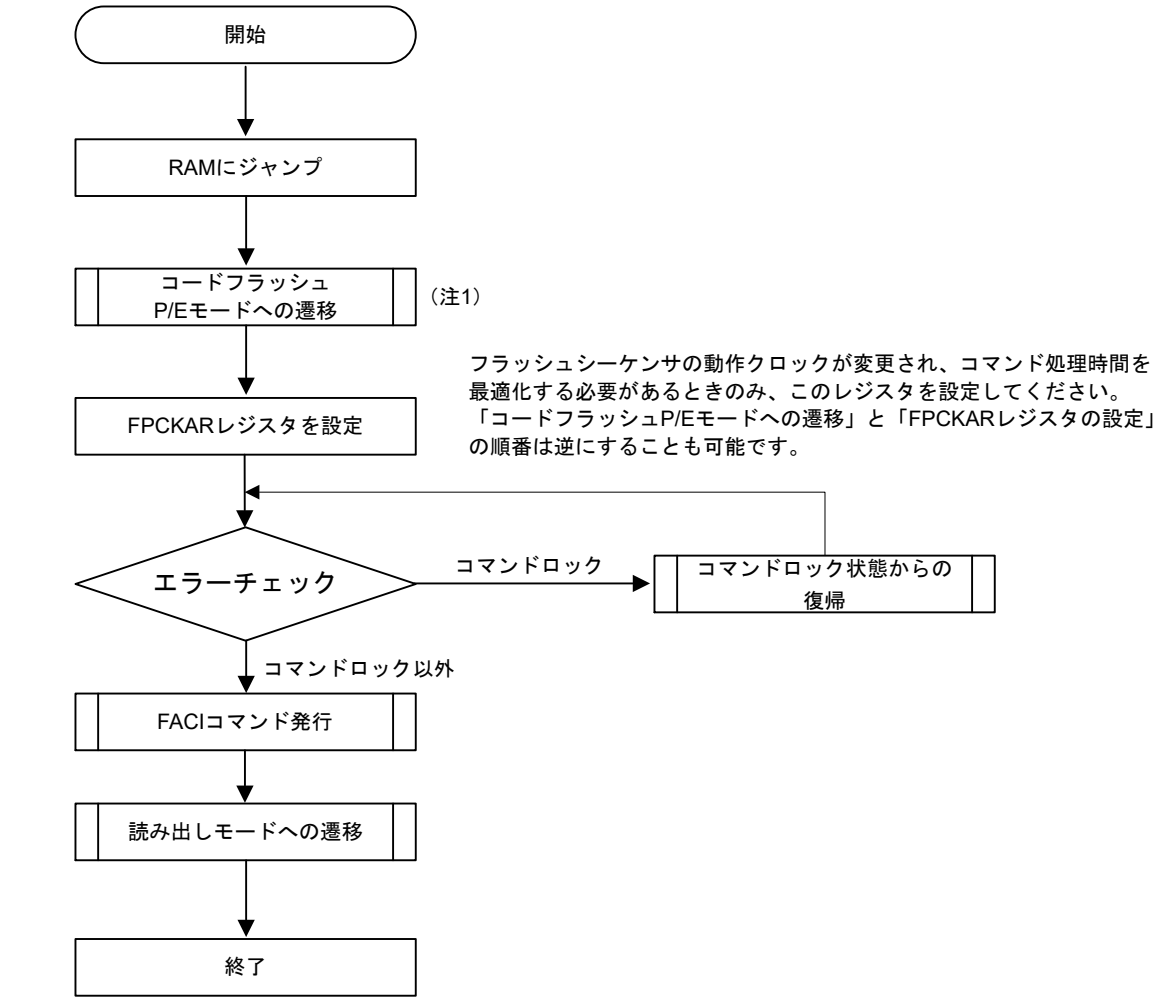
	プログラム、ブロックイレース、またはマルチブロックイレースコマンド処理中	コンフィグレーション設定コマンド処理中	プログラム、ブロックイレース、またはマルチブロックイレースコマンド中断処理中	ブランクチェックコマンド処理中	書き込みサスペンド状態	消去サスペンド状態	消去サスペンド中の書き込み	コマンドロック状態 (FRDY = 1)	コマンドロック状態 (FRDY = 0)	強制停止コマンド処理中	その他の状態
FRDY ビット	0	0	0	0	1	1	0	1	0	0	1
SUSRDY ビット	1	0	0	0	0	0	0	0	0	0	0
ERSSPD ビット	0	0	0/1	0/1	0	1	1	0/1	0/1	0	0
PRGSPD ビット	0	0	0/1	0/1	1	0	0	0/1	0/1	0	0
CMDLK ビット	0	0	0	0	0	0	0	1	1	0	0
プログラム	X	X(注4)	X	X	X	O(注3)	X	X	X	X	O
ブロックイレースまたはマルチブロックイレース	X	X(注4)	X	X	X	X	X	X	X	X	O
P/E サスペンド	O	X(注4)	X	X	X	X	X	—	X	X	—
P/E レジューム	X	X(注4)	X	X	O	O	X	X	X	X	X
ステータスクリア	X	X(注4)	X	X	O	O	X	O	X	X	O
強制停止	O	O(注4)	O	O	O	O	O	O	O	O	O
ブランクチェック	X	X(注4)	X	X	O(注1)	O(注1)	X	X	X	X	O(注1)
コンフィグレーション設定	X	X(注4)	X	X	X	X	X	X	X	X	O(注2)

注. O：受け付け可能
X：受け付け不可（シーケンサはコマンドロック状態になります）
—：無視
注 1. データフラッシュ P/E モードでのみ受け付け可能
注 2. コードフラッシュ P/E モードでのみ受け付け可能
注 3. 書き込み領域が消去サスペンドブロック以外の場合受け付け可能
注 4. コンフィグレーション設定が処理中で FSTATR.DBFULL ビットが 1 の場合、本コマンドを発行しないでください。

41.9.3 FACI コマンドの使用方法

41.9.3.1 コードフラッシュ P/E モードでのコマンド使用概要

コードフラッシュ P/E モードでの FACI コマンド使用概要を図 41.7 に示します。コードフラッシュ P/E モードで使用可能なコマンドについては、表 41.16 を参照してください。

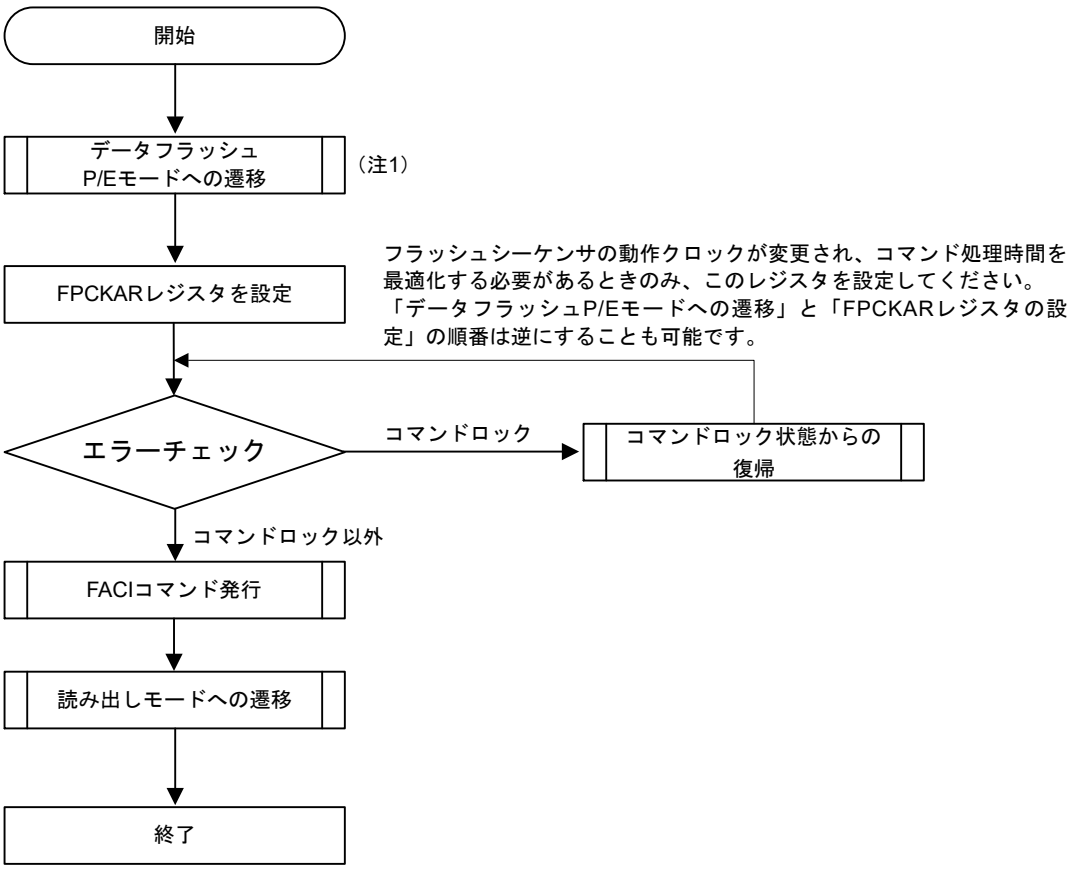


注 1. 「41.9.3.3. コードフラッシュ P/E モードへの遷移」を参照してください。

図 41.7 コードフラッシュ P/E モードでのコマンド使用概要

41.9.3.2 データフラッシュ P/E モードでのコマンド使用概要

データフラッシュ P/E モードでの FACI コマンド使用概要を図 41.8、データフラッシュ P/E モードで使用可能なコマンド一覧を表 41.16 に示します。



注 1. 「41.9.3.4. データフラッシュ P/E モードへの遷移」を参照してください。

図 41.8 データフラッシュ P/E モードでのコマンド使用概要

41.9.3.3 コードフラッシュ P/E モードへの遷移

コードフラッシュメモリに FACI コマンドを発行するには、FENTRYR レジスタの FENTRYC ビットを 1 にすることによりコードフラッシュ P/E モードに遷移する必要があります。

図 41.9 に、コードフラッシュ P/E モードへの遷移手順を示します。

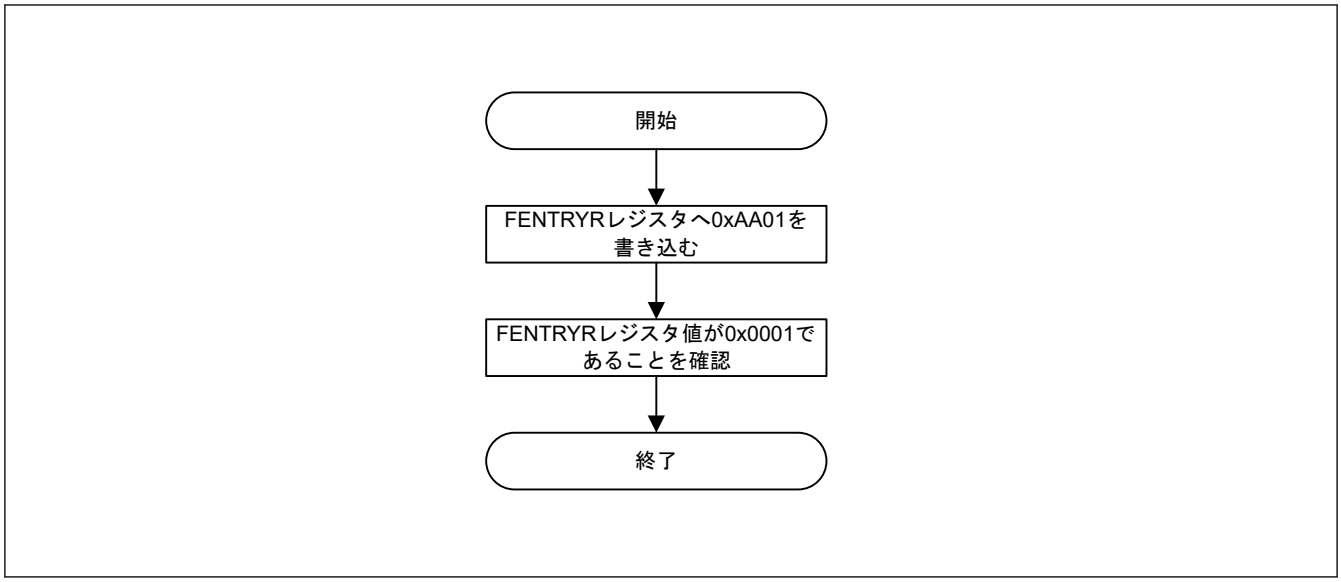


図 41.9　コードフラッシュ P/E モードへの遷移手順

41.9.3.4　データフラッシュ P/E モードへの遷移

データフラッシュメモリに FACI コマンドを発行するには、FENTRYR レジスタの FENTRYD ビットを 1 にすることによりデータフラッシュ P/E モードに遷移する必要があります。

図 41.10 に、データフラッシュ P/E モードへの遷移手順を示します。

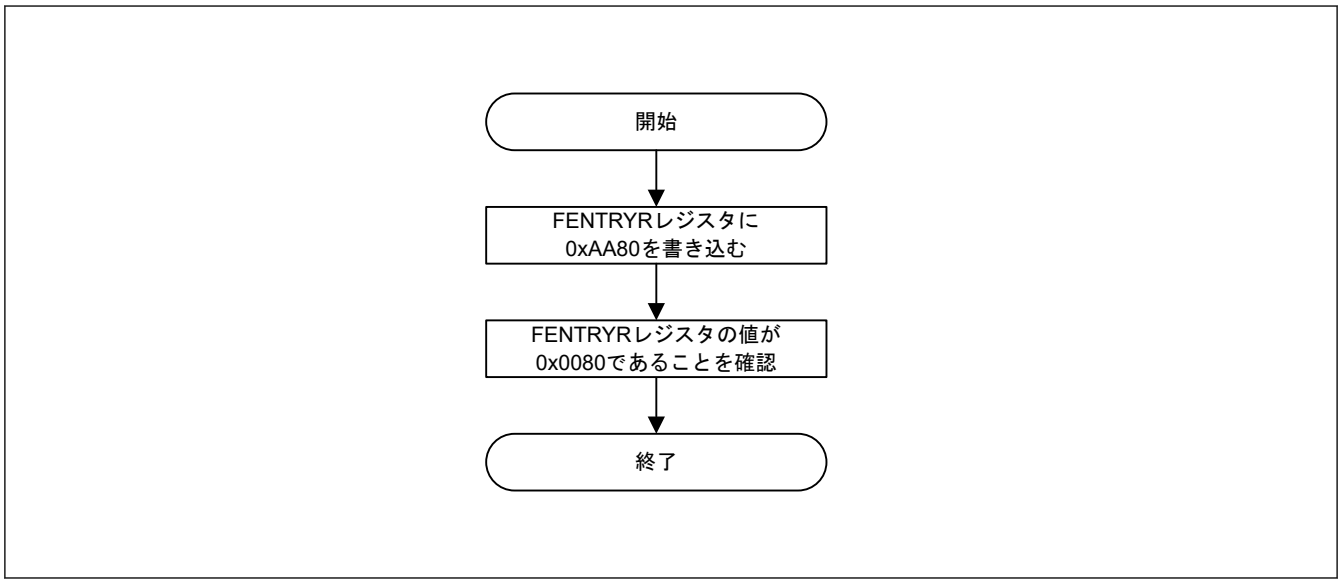
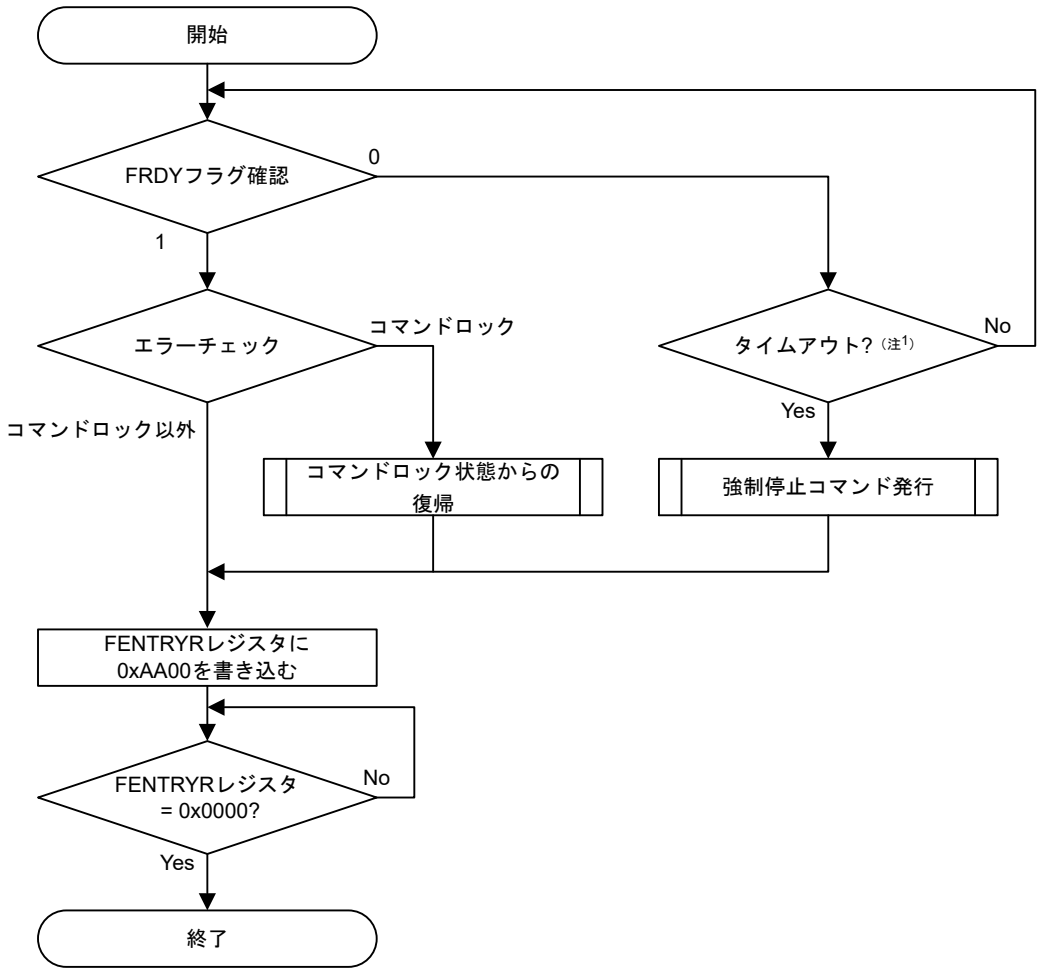


図 41.10　データフラッシュ P/E モードへの遷移手順

41.9.3.5　読み出しモードへの遷移

フラッシュメモリを読み出すには、FENTRYR レジスタを 0x0000 に設定することにより読み出しモードに遷移する必要があります。読み出しモードへの遷移は、フラッシュシーケンサの処理完了後かつコマンドロック状態ではない動作状態で行う必要があります。

図 41.11 に、読み出しモードへの遷移手順を示します。



注 1. 実行中の FACI コマンド処理に要する最大時間の 1.1 倍がタイムアウトの判断に使われます（「44. 電気的特性」参照）。

図 41.11 読み出しモードへの遷移手順

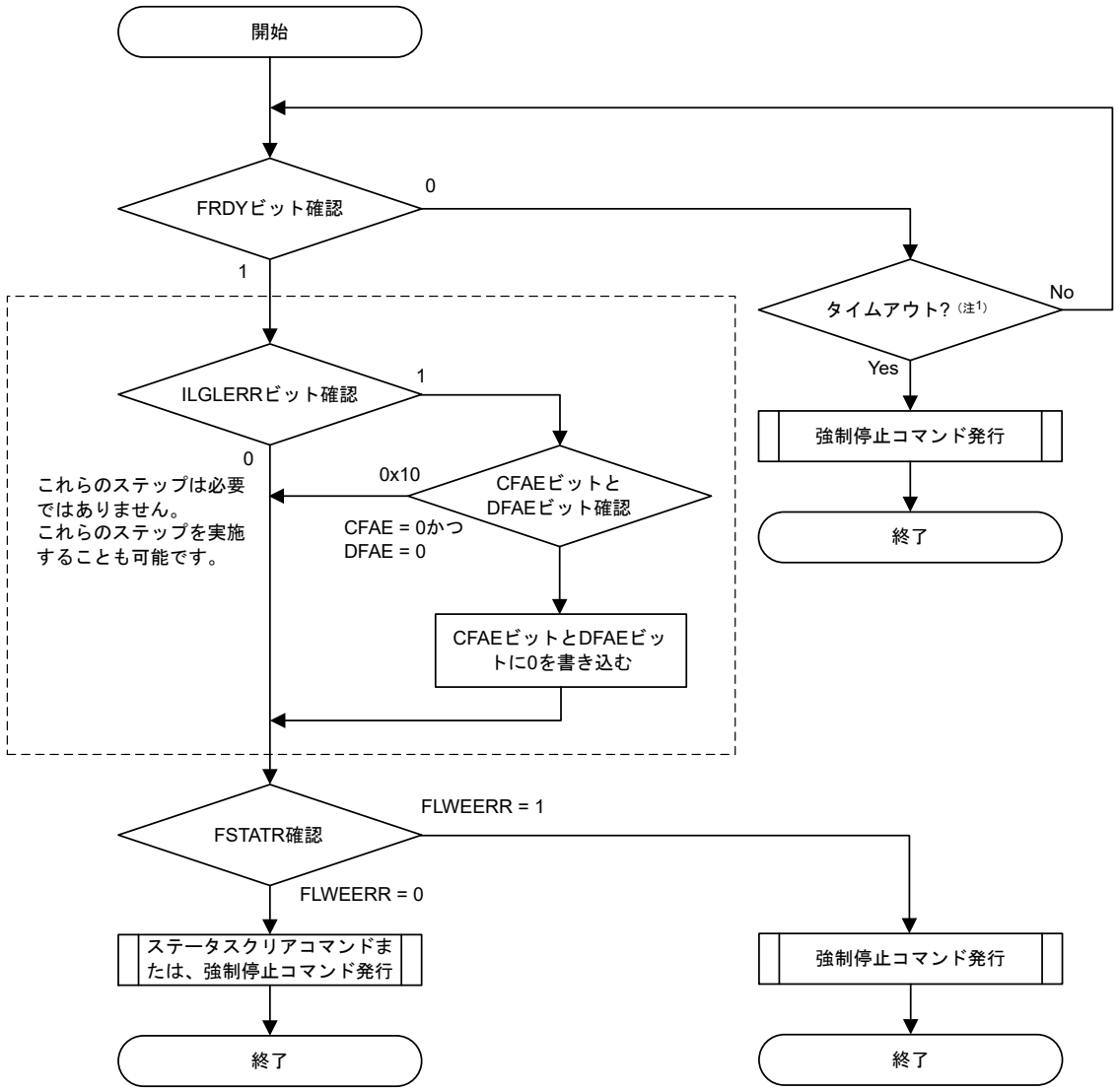
41.9.3.6 コマンドロック状態からの復帰

フラッシュシーケンサがコマンドロック状態になると、FACI コマンドは受け付けられなくなります。シーケンサをコマンドロック状態から解放するには、ステータスクリアコマンド、強制停止コマンド、または FASTAT レジスタを使用してください。

P/E サスペンドコマンドを発行する前のエラーチェックによりコマンドロック状態が検出されると、コマンド処理が完了していなくても FSTATR レジスタの FRDY ビットが 0 になる場合があります。電気的特性で指定されている最大プログラム／イレース時間までに処理が完了しない場合はタイムアウトとなり、強制停止コマンドによりフラッシュシーケンサを停止する必要があります。

FSTATR レジスタの FLWEERR ビットは、ステータスクリアコマンドでは 1 から 0 になりません。これらのビットが 1 の場合、強制停止コマンドを使ってコマンドロック状態を解除してください。コマンドロック状態を示す FSTATR レジスタの FRDY および FLWEERR 以外のビットは、ステータスクリアコマンドまたは強制停止コマンドで 1 から 0 に変更できます。

図 41.12 に、コマンドロック状態からの復帰フローを示します。



注 1. 実行中の FACI コマンド処理に要する最大時間の 1.1 倍がタイムアウトの判断に使われます（「44. 電気的特性」参照）。

図 41.12 コマンドロック状態からの復帰フロー

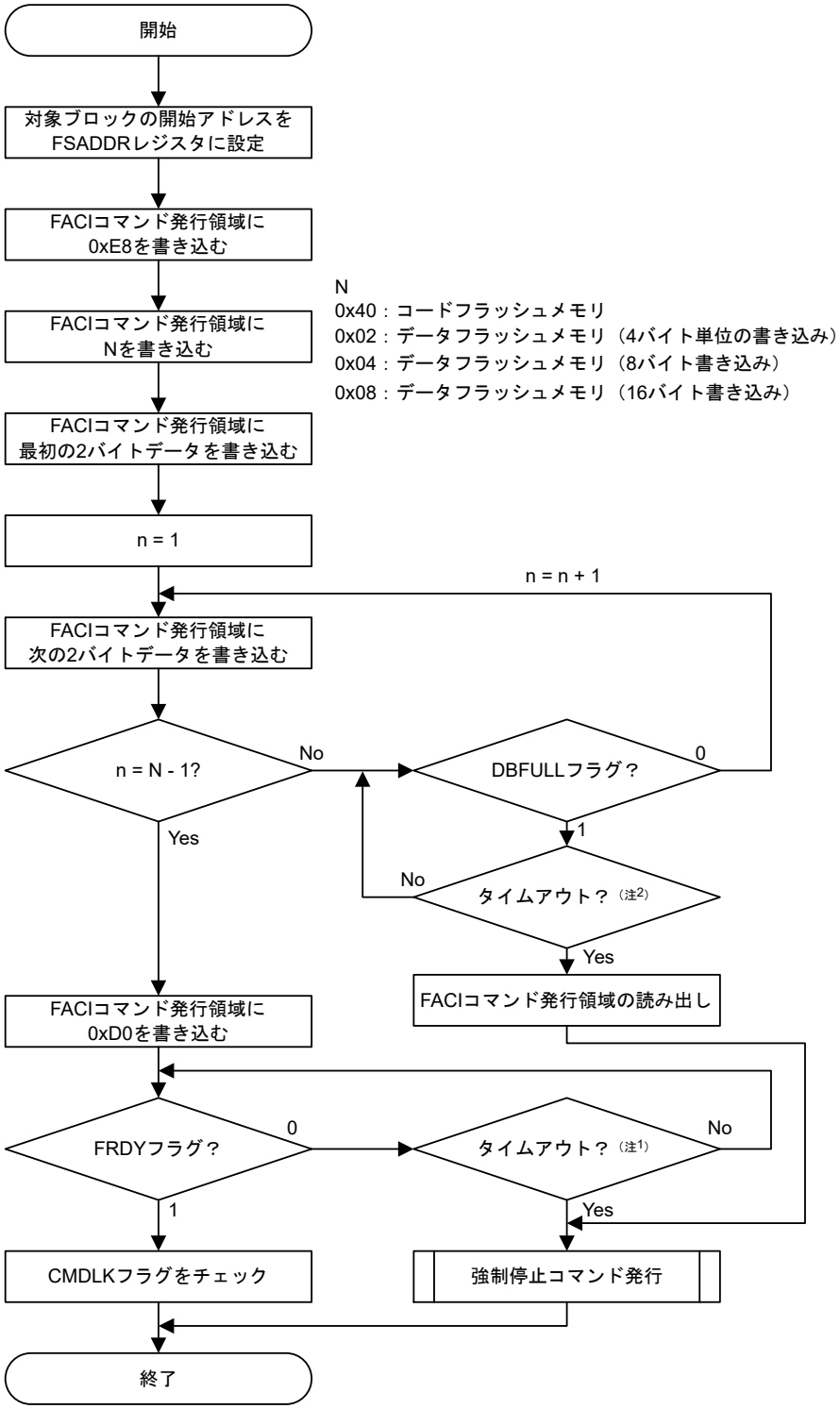
41.9.3.7 プログラムコマンド

プログラムコマンドはユーザー領域およびデータ領域への書き込みに使用されます。FACI プログラムコマンド発行前に、対象ブロックの最初のアドレスを FSADDR レジスタに設定してください。

プログラムデータの最後の 16 ビット（表 41.15 で、コードフラッシュの場合は WD64、データフラッシュの場合は WD2、WD4、または WD8）を FACI コマンド発行領域に書き込むと、コマンドの最終値 0xD0 が書き込まれる前に、プログラム処理を開始します。そのため、プログラムデータの最後の 16 ビットを書いてから最後の FACI コマンド値 0xD0 を書くまでに時間がかかると（例えば割り込み処理によって）、0xD0 がまだ書き込まれていなくてもプログラム処理が完了したときに FSTATR.FRDY ビットが 1 になります。この場合、プログラム処理が完了しても FACI コマンド受信は完了していません。この状態で後続の FACI コマンドが発行されると、不正コマンドエラーが発生します。不正コマンドエラーを避けるためには、プログラムコマンドが発行されている間（0xE8 の書き込みから 0xD0 の書き込みまで）、FACI コマンドを発行する処理を伴う割り込みを無効にしてください。

プログラムコマンド処理の対象領域に書き込み対象外の領域が含まれている場合は、該当領域に 0xFFFF を書き込んでください。FACI 内部データバッファが満杯の状態でプログラムコマンドが発行された場合、周辺バスで待ち時間が発生し、それにより他の周辺モジュールの通信性能に影響を与える可能性があります。待ち時間の発生を回避するためには、FACI コマンド発行時に FSTATR レジスタの DBFULL ビットを 0 に設定してください。データ領域への書き込みによって、データバッファがフルになることはありません。

図 41.13 に、プログラムコマンドの使用方法を示します。



注 1. 書き込みの最大時間の 1.1 倍がタイムアウトの判断に使われます。これらの時間については「44. 電気的特性」を参照してください。
注 2. 1.4 µs (f_{FCLK} ≧ 20 MHz)

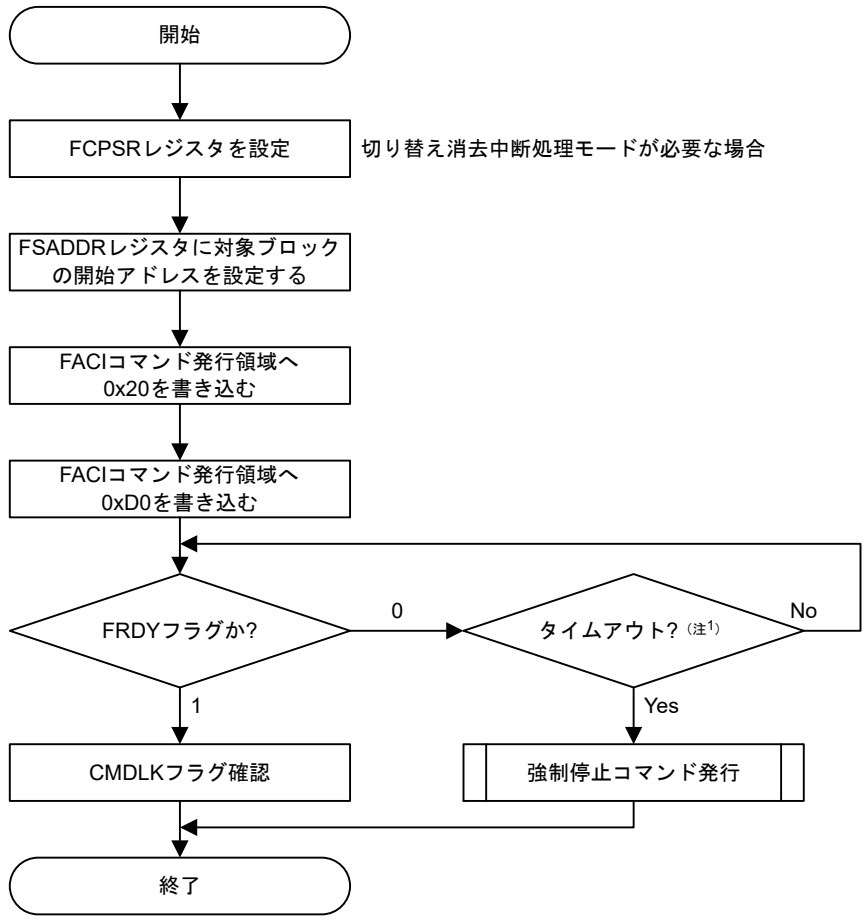
図 41.13 プログラムコマンドの使用フロー

41.9.3.8 ブロックイレースコマンド

ブロックイレースコマンドはユーザー領域またはデータ領域の消去に使用されます。消去はブロック単位です。ブロックイレースコマンド発行前に、対象ブロックの先頭アドレスを FSADDR レジスタに設定してください。FACI コマンドの 2 番目の書き込みで 0xD0 を書き込むと、FACI はブロックイレースコマンド処理を開始します。コマンド処理の完了は、FSTATR レジスタの FRDY ビットで確認できます。

ブロックイレースコマンド発行前に FCPSR レジスタを設定してください。さらに、消去サスペンドモードに切り替わる場合は、FCPSR レジスタが設定されている必要があります。

図 41.14 に、ブロックイレースコマンドの使用方法を示します。



注 1. 消去の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「44. 電気的特性」を参照してください。

図 41.14 ブロックイレースコマンドの使用フロー

41.9.3.9 マルチブロックイレースコマンド

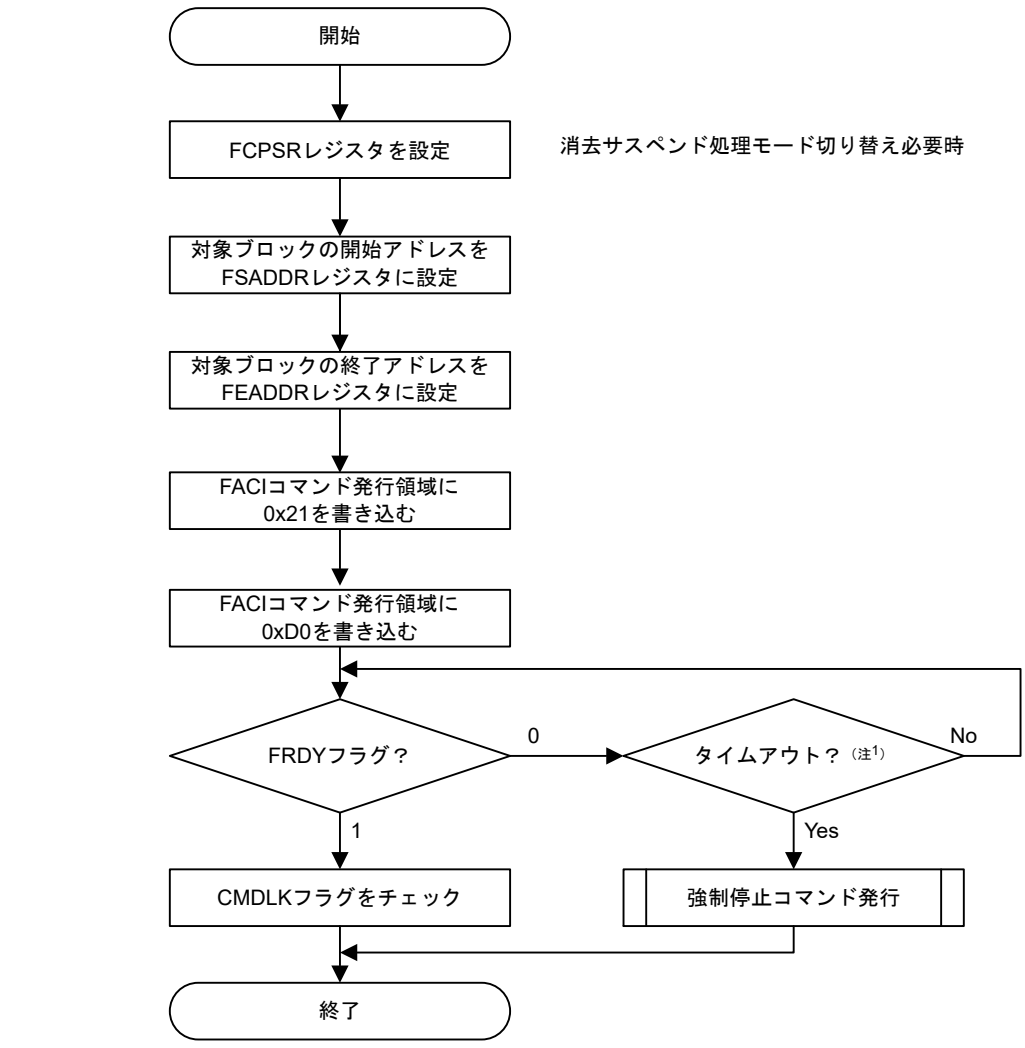
マルチブロックイレースコマンドはデータ領域の消去に使用されます。消去単位は、64 バイト、128 バイト、または 256 バイトです。マルチブロックイレースコマンド発行前に、FSADDR レジスタに開始アドレスを、FEADDR レジスタに終了アドレスを設定してください。FACI コマンドの 2 番目の書き込みで 0xD0 を書き込むと、FACI はマルチブロックイレースコマンド処理を開始します。コマンド処理の完了は、FSTATR レジスタの FRDY ビットで確認できます。

マルチブロックイレースコマンド発行前に FCPSR レジスタを設定してください。さらに、消去サスペンドモードに切り替える場合は、FCPSR レジスタが設定されている必要があります。

消去サイズの指定は、FSADDR レジスタおよび FEADDR レジスタを設定します。FSADDR レジスタおよび FEADDR レジスタの設定方法を表 41.18 に示します。

表 41.18　消去サイズの設定

消去サイズ	FSADDR	FEADDR
64 バイト	FSA0～FSA5 = 0（64 バイト境界）	FSADDR + 0x3C
128 バイト	FSA0～FSA6 = 0（128 バイト境界）	FSADDR + 0x7C
256 バイト	FSA0～FSA7 = 0（256 バイト境界）	FSADDR + 0xFC



注 1.　消去の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「44. 電気的特性」を参照してください。

図 41.15　マルチブロックコマンドの使用フロー

41.9.3.10　P/E サスペンドコマンド

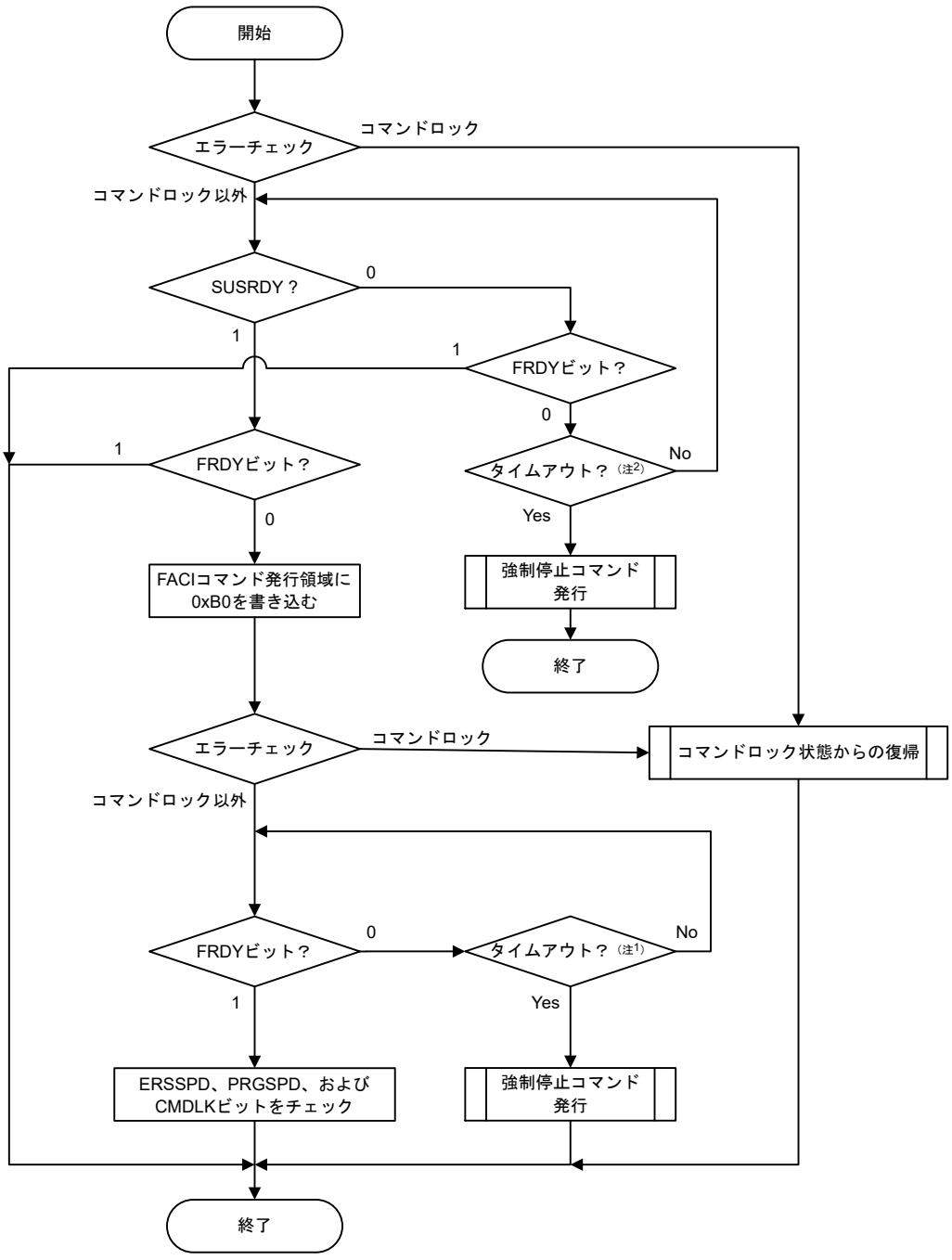
P/E サスペンドコマンドは、プログラム／イレースを中断するのに使用されます。P/E サスペンドコマンド発行前に、FASTAT レジスタの CMDLK ビットが 0 であり、プログラム／イレースが正常に実行されることを確認してください。P/E サスペンドコマンドが受信可能であることを確かめるために、FSTATR レジスタの SUSRDY ビットが 1 であることを確認します。P/E サスペンドコマンド発行後、CMDLK ビットを読み出し、エラーが発生しないことを確認します。

プログラム／イレース中エラーが発生すると、CMDLK ビットが 1 になります。プログラム／イレース処理が SUSRDY ビットが 1 になってから P/E サスペンドコマンドを受信するまでに終了した場合、エラーは発生せず、サスペンド状態に遷移しません（FSTATR レジスタの FRDY ビットは 1 になり、FSTATR レジスタの ERSSPD および PRGSPD ビットは 0 になります）。

P/E サスペンドコマンドを受信しプログラム／イレース中断処理が正常に終了すると、フラッシュシーケンサはサスペンド状態に遷移し、FRDY ビットは 1 になり、ERSSPD または PRGSPD ビットが 1 になります。P/E サスペンドコマンド発行後、ERSSPD または PRGSPD ビットは 1 で、サスペンド状態になっていることを確認し、次のフローに進みます。サスペンド状態にならなかった場合でも次のフローで P/E レジュームコマンドが発行された場合は、不正コマンドエラーとなり、フラッシュシーケンサはコマンドロック状態になります（「41.11.2. エラープロテクション」参照）。

消去サスペンド状態となった場合は、イレース対象ブロック以外のブロックへの書き込みが可能になります。さらに、FENTRYR レジスタをクリアすることによりプログラム／消去サスペンド状態は読み出しモードにシフトできます。

図 41.16 に、P/E サスペンドコマンドの使用方法を示します。



注 1. コードフラッシュおよびデータフラッシュのイレース中のサスペンド遅延の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「44. 電気的特性」を参照してください。
注 2. 4.4 μs (f_{FCLK} ≧ 20 MHz)

図 41.16 P/E サスペンドコマンドの使用フロー

(1) 書き込み中のサスペンド

フラッシュメモリ書き込み中に P/E サスペンドコマンドを発行すると、フラッシュシーケンサは書き込み処理を中断します。図 41.17 に、書き込み中断動作を示します。書き込み関連のコマンドを受信するとフラッシュシーケンサは FSTATR レジスタの FRDY ビットを 0 にクリアし、書き込みを開始します。書き込み開始後フラッシュ

シーケンサが P/E サスペンドコマンド受信可能な状態になると、FSTATR レジスタの SUSRDY ビットを 1 にします。

P/E サスペンドコマンドが発行されると、フラッシュシーケンサはコマンドを受信し、SUSRDY ビットを 0 にクリアします。書き込みパルス印加中にフラッシュシーケンサが P/E サスペンドコマンドを受信した場合には、フラッシュシーケンサはパルスの印加を継続します。既定のパルス印加時間後フラッシュシーケンサはパルス印加を終了し、書き込みの中断処理を開始して FSTATR レジスタの PRGSPD ビットを 1 にします。

中断処理が完了すると、フラッシュシーケンサは FRDY ビットを 1 にして書き込みサスペンド状態に遷移します。書き込みサスペンド状態中に P/E レジュームコマンドを受信すると、フラッシュシーケンサは FRDY ビットと PRGSPD ビットを 0 にクリアして、書き込みを再開します。

書き込み中のサスペンドのタイミングを図 41.17 に示します。

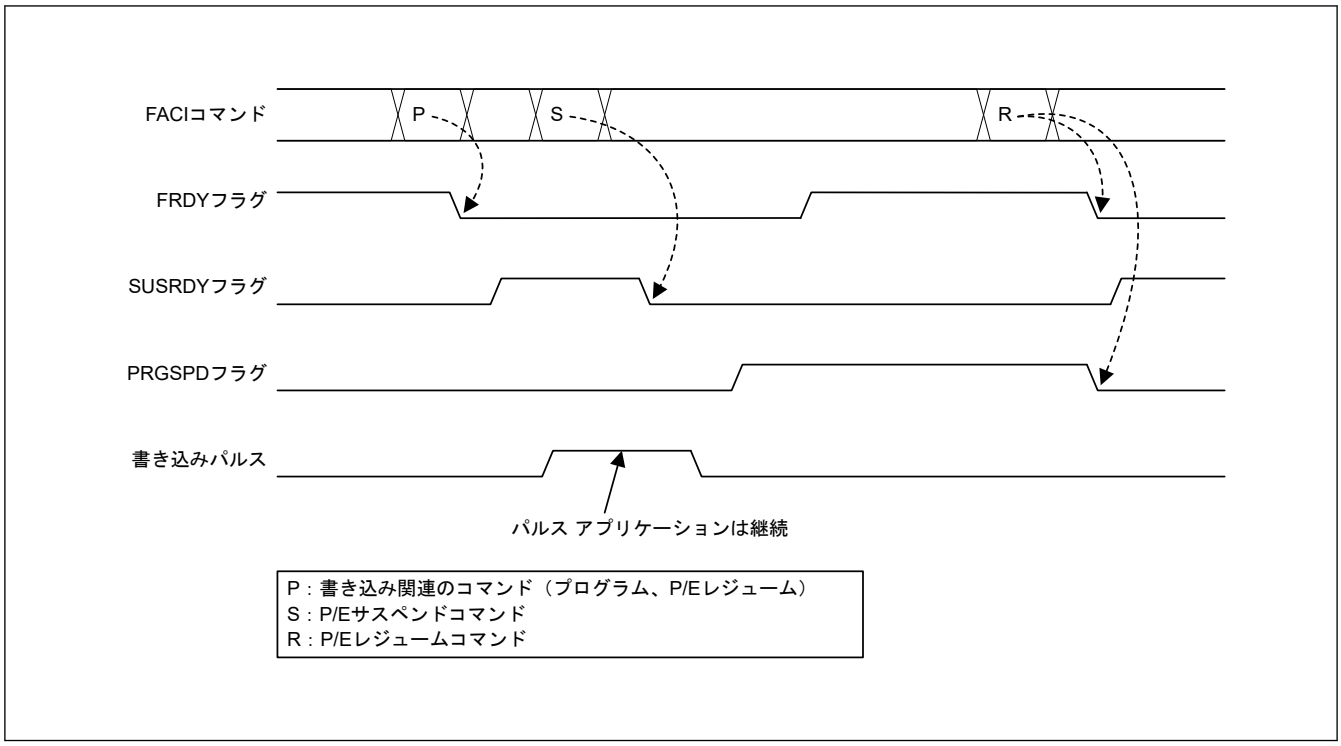


図 41.17　書き込み中のサスペンド

(2)　消去中のサスペンド（サスペンド優先モード）

フラッシュシーケンサは、消去中断用にサスペンド優先モードがあります。消去サスペンドモードがサスペンド優先モードに設定されている場合 (FCPSR.ESUSPMD = 0) の消去中断動作を図 41.18 に示します。

消去関連のコマンドを受信するとフラッシュシーケンサは FSTATR レジスタの FRDY ビットを 0 にクリアし、消去を開始します。消去開始後フラッシュシーケンサが P/E サスペンドコマンド受信可能な状態になると、FSTATR レジスタの SUSRDY ビットを 1 にします。

P/E サスペンドコマンドが発行されると、フラッシュシーケンサはコマンドを受信し、SUSRDY ビットを 0 にクリアします。

消去中にサスペンドコマンドを受信すると、フラッシュシーケンサは消去パルス印加中でも中断処理を開始し、FSTATR レジスタの ERSSPD ビットを 1 にします。中断処理が完了すると、フラッシュシーケンサは FRDY ビットを 1 にして消去サスペンド状態に遷移します。消去サスペンド状態中に P/E レジュームコマンドを受信すると、フラッシュシーケンサは FRDY ビットと ERSSPD ビットを 0 にクリアして、消去を再開します。消去の中断および再開時の FRDY、SUSRDY、ERSSPD の各ビットの動作は、消去サスペンドモードに関係なく同じです。

消去サスペンドモードの設定は消去パルスの制御方法に影響します。サスペンド優先モード時に、以前中断されなかった消去パルス A が印加中に P/E サスペンドコマンドを受信すると、フラッシュシーケンサは消去パルス A の印加を中断し、消去サスペンド状態になります。P/E レジュームコマンドにより消去が再開した後の消去パルス A の再印加中に P/E サスペンドコマンドを受信すると、フラッシュシーケンサは消去パルス A の印加を継続し

ます。既定のパルス印加時間後にフラッシュシーケンサは消去パルス印加を終了し、消去サスペンド状態になります。

フラッシュシーケンサが次に P/E レジュームコマンドを受信し消去パルス B が印加中の場合、フラッシュシーケンサは P/E サスペンドコマンドを再び受信し、消去パルス B の印加は中断します。サスペンド優先モードでは、消去パルス印加はパルス毎に 1 回中断され、中断処理が優先されるので、中断による遅延は最小限に抑えることができます。

再開後の中断時間が t_{REST1}（再開時間：中断優先、同じパルスの最初の中断後の再開）よりも長い場合、中断遅延は常に t_{SESD1}（中断遅延：中断優先、同じパルスの最初の中断）になります。

再開後の中断時間が t_{REST1} よりも短い場合、中断遅延は t_{SESD1} または t_{SESD2}（中断遅延：中断優先、同じパルスの 2 番目の中断）になります。

（t_{REST1} / t_{SESD1} / t_{SESD2} の値については「44. 電気的特性」を参照してください。）

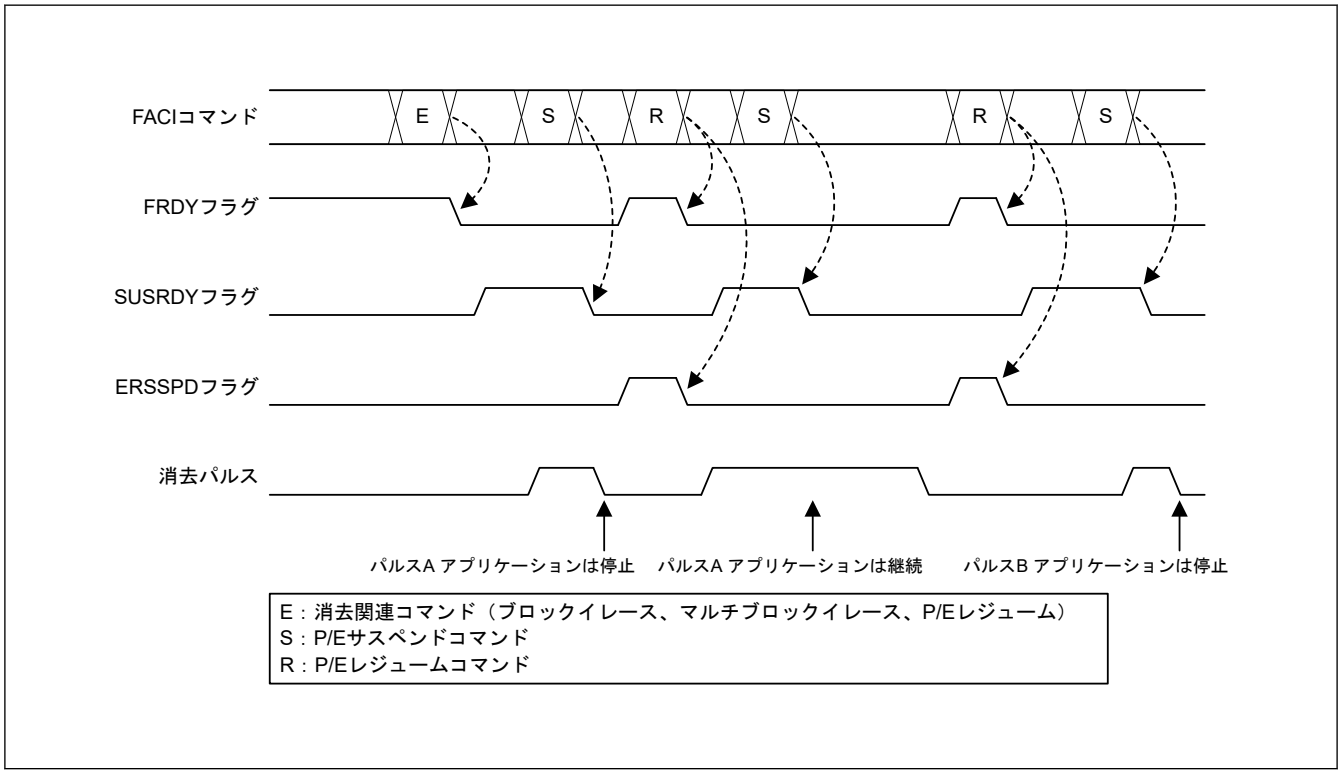


図 41.18　消去中のサスペンド（サスペンド優先モード）

(3)　消去中のサスペンド（イレース優先モード）

フラッシュシーケンサは、消去中断用にイレース優先モードがあります。消去サスペンドモードがイレース優先モードに設定されている場合 (FCPSR.ESUSPMD = 1) の消去中断動作を図 41.19 に示します。イレース優先モード中の消去パルスの制御方法は、書き込み中断処理用の書き込みパルス制御方法と同じです。

消去パルス印加中にフラッシュシーケンサが P/E サスペンドコマンドを受信した場合には、フラッシュシーケンサはパルスの印加を継続します。このモードでは、イレース処理に要する時間は、サスペンド優先モードよりも短縮されます。なぜなら、P/E レジュームコマンド発行時消去パルスの再印加は起きないからです。

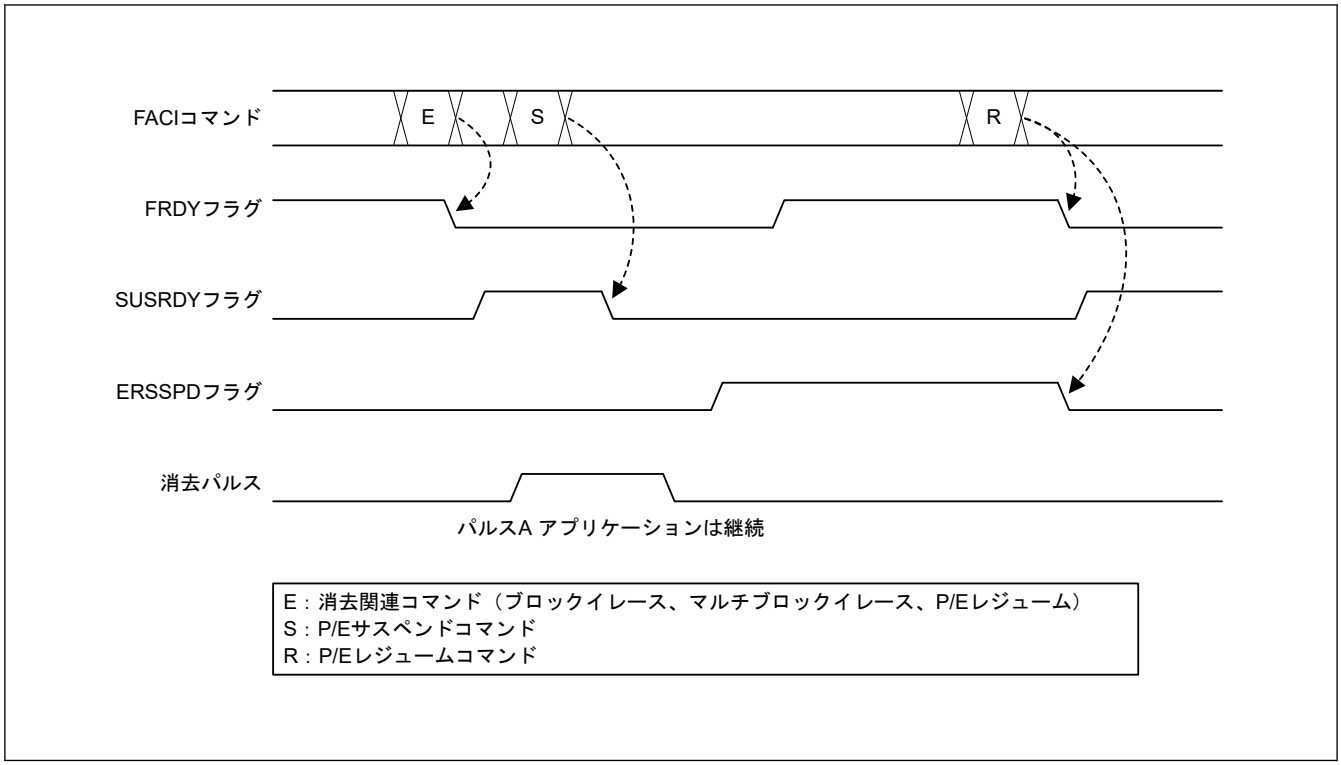
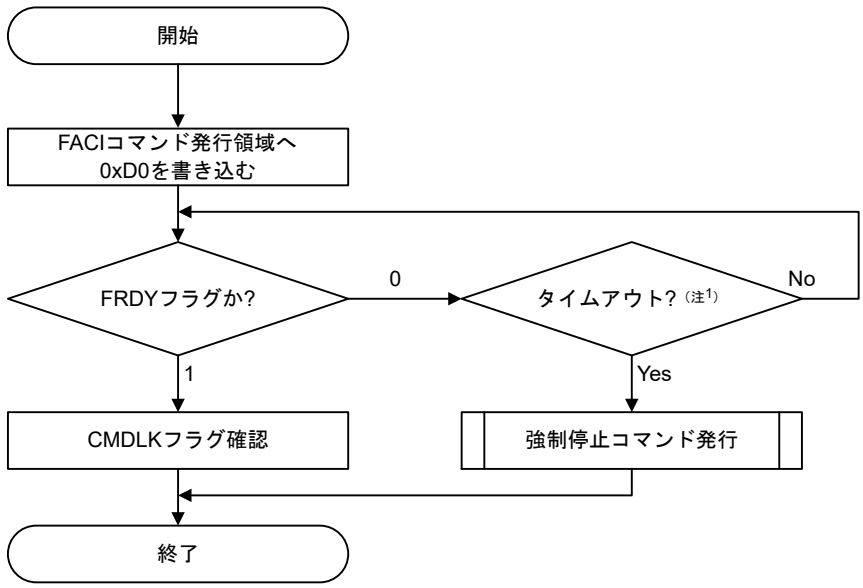


図 41.19　消去中のサスペンド（イレース優先モード）

41.9.3.11　P/E レジュームコマンド

P/E レジュームコマンドは、中断したプログラム／イレース処理を再開するために使用します。FENTRYR レジスタの設定が中断中に変更された場合は、FENTRYR レジスタを P/E サスペンドコマンドが出される前に保持されていた値にリセットした後 P/E レジュームコマンドを発行してください。図 41.20 に、P/E レジュームコマンドの使用方法を示します。



注 1. FACI コマンドの停止された処理の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「44. 電気的特性」を参照してください。

図 41.20 P/E レジュームコマンドの使用フロー

41.9.3.12 ステータスクリアコマンド

ステータスクリアコマンドは、コマンドロック状態をクリアするのに使用されます（「41.9.3.6. コマンドロック状態からの復帰」参照）。

コマンドロック状態のときステータスクリアコマンドを使って FSTATR レジスタの下記ビットをクリアできます。

- ILGLERR
- ILGCOMERR
- FESETERR
- SECERR
- OTERR
- ERSERR
- PRGERR

図 41.21 に、ステータスクリアコマンドの使用方法を示します。

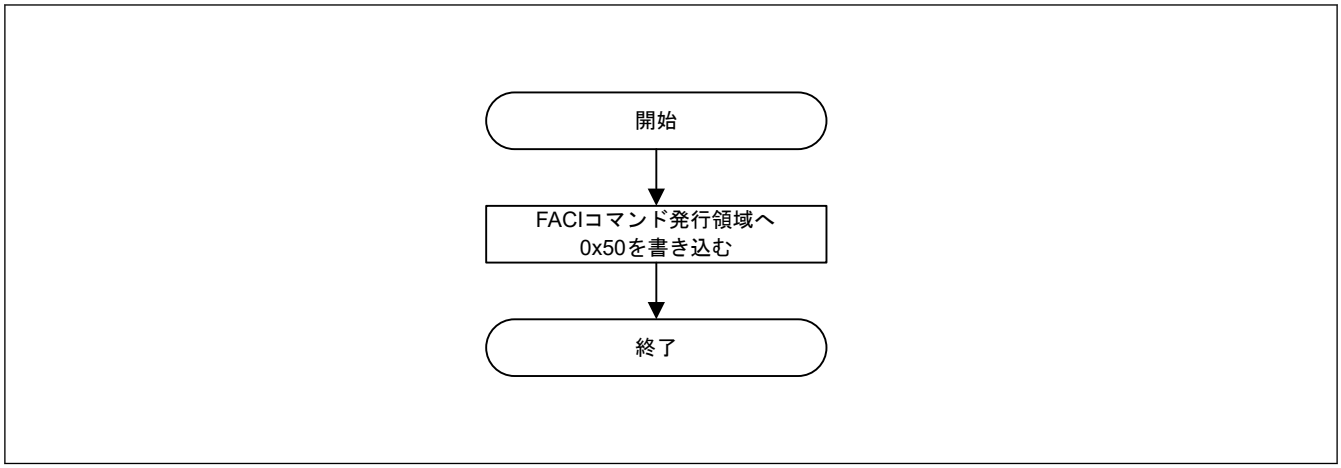


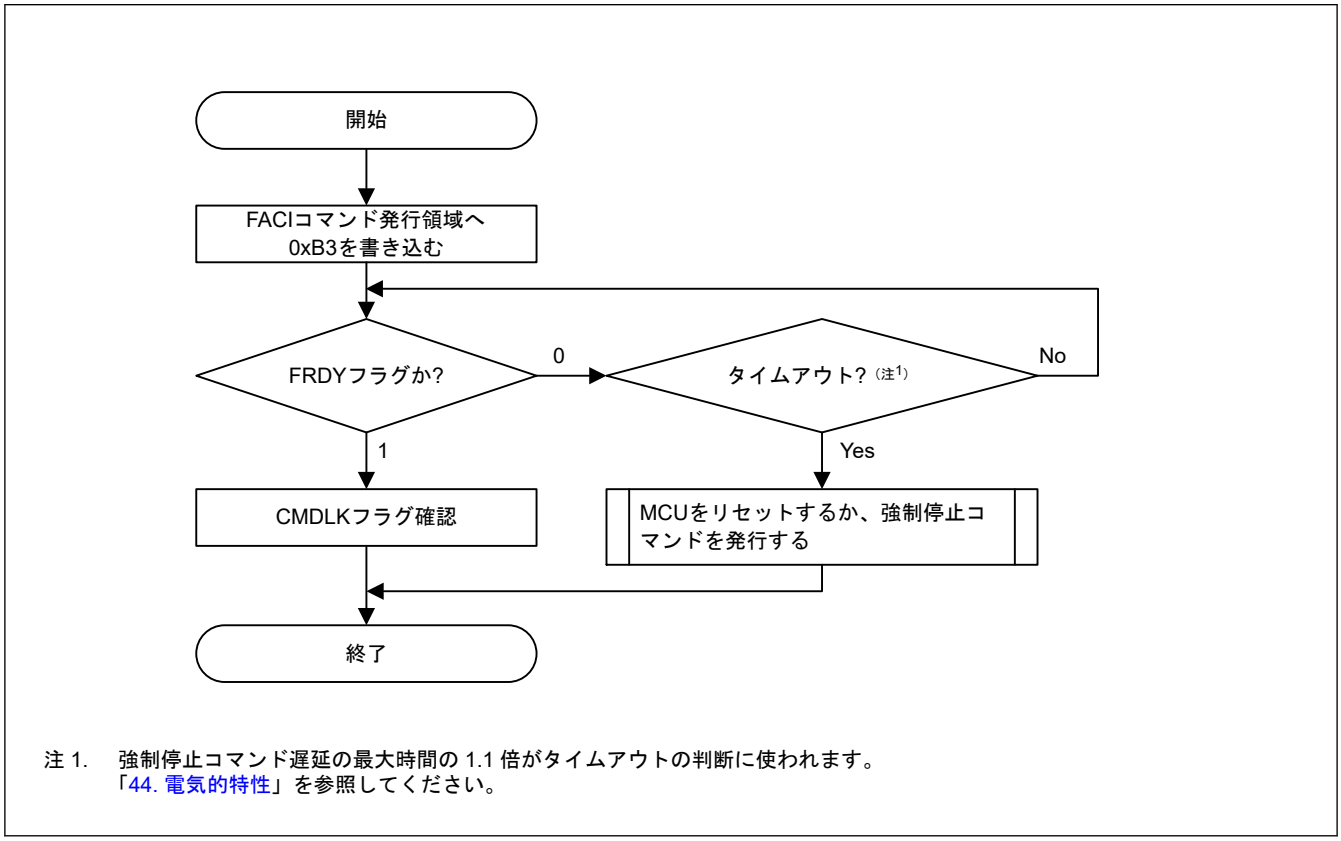
図 41.21　ステータスクリアコマンドの使用フロー

41.9.3.13　強制停止コマンド

強制停止コマンドは、フラッシュシーケンサによるコマンド処理を強制的に終了させる場合に使用します。本コマンドを使用すれば P/E サスペンドコマンドの場合よりも早くコマンド処理を停止させますが、進行中のプログラム／イレースからの値は保証されません。さらに、処理は再開できません。強制停止コマンドで停止させられたプログラム／イレース処理も、一つのプログラミングと定義されます。

強制停止コマンドを実行すると、FACI の一部、FCU 全体、FSTATR レジスタおよび FASTAT レジスタの初期化も行います。本コマンドは、コマンドロック状態からの復帰手順およびフラッシュシーケンサタイムアウトに対する処理手順で使用可能です（「41.9.3.6. コマンドロック状態からの復帰」参照）。

図 41.22 に、強制停止コマンドの使用方法を示します。



注 1.　強制停止コマンド遅延の最大時間の 1.1 倍がタイムアウトの判断に使われます。
「44. 電気的特性」を参照してください。

図 41.22　強制停止コマンドの使用フロー

(1) コマンド発行時に強制停止コマンドを使用する場合の注意事項

プログラムコマンドの DBFULL ビットによるタイムアウト発生時強制停止コマンドを使用すると、FACI コマンド発行領域への書き込みがプログラムコマンドのデータ書き込みと処理されることがあります。コマンドロックを強制するための FACI コマンド発行領域に関する詳細については「41.3. アドレス空間」の表 41.3 を参照してください。次に、コマンドロック状態からの復帰方式を使って強制停止コマンドを発行してください（図 41.13 参照）。FACI コマンド発行領域を読み出す単位が 8、16、または 32 ビットである場合はいずれもコマンドロックが可能です。

41.9.3.14 ブランクチェックコマンド

領域が未プログラム状態かどうかを確認するには、ブランクチェックコマンドを使用してください。イレース後に書き換えられていない（未プログラム状態）データフラッシュメモリを読み出すと、値はすべて不定です。

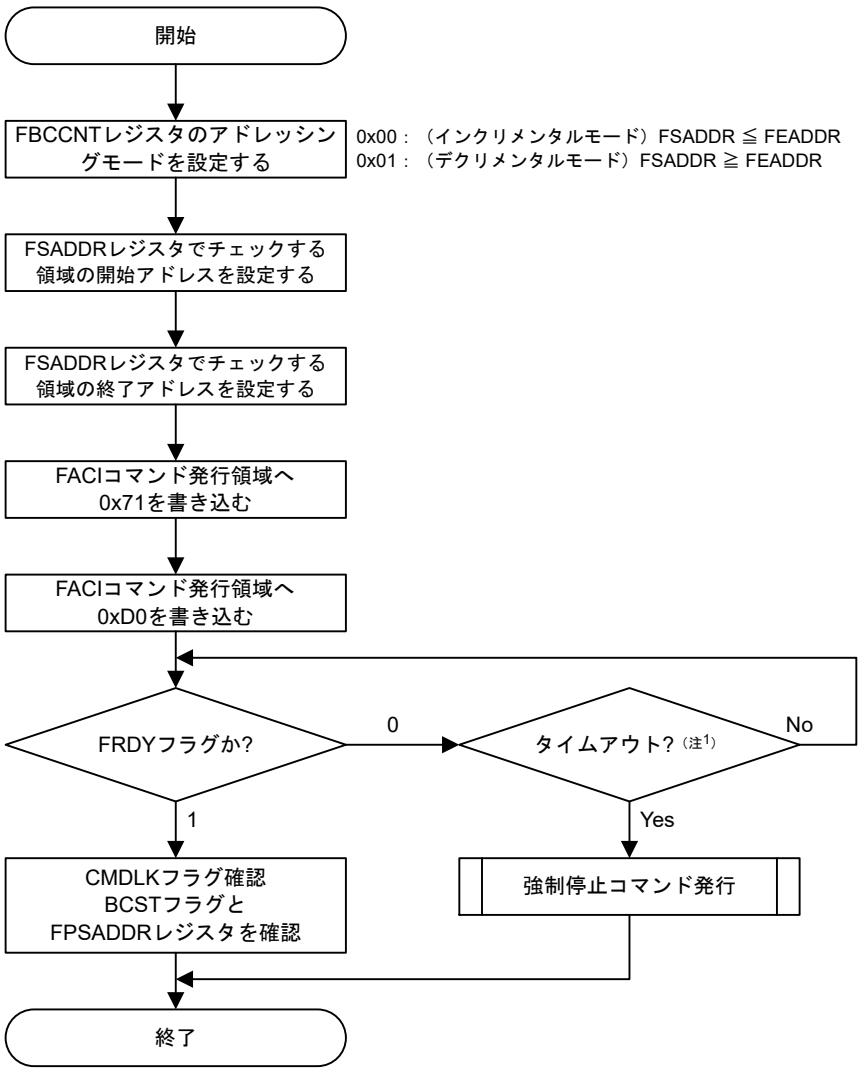
ブランクチェックコマンド発行前に、FBCCNT、FSADDR、FEADDR の各レジスタにアドレッシングモード、ブランクチェック対象領域の開始アドレスと終了アドレスを設定してください。ブランクチェックアドレッシングモードがデクリメンタルモードに設定されている場合（すなわち FBCCNT.BCDIR = 1）、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以上のアドレスを指定してください。

一方、ブランクチェックアドレッシングモードがインクリメンタルモードに設定されている場合（すなわち FBCCNT.BCDIR = 0）、FSADDR レジスタには、FEADDR レジスタに指定されているアドレス以下のアドレスを指定してください。

BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定に矛盾があると、フラッシュシーケンサはコマンドロック状態になります。ブランクチェック対象領域のサイズは、4 バイト～データフラッシュメモリ容量の範囲で、4 バイト単位で設定されます。

ブランクチェックを開始するには、FACI コマンド発行領域に 0x71 および 0xD0 を書き込んでください。処理完了は、FSTATR レジスタの FRDY ビットで確認できます。処理完了時、ブランクチェックの結果は FBCSTAT レジスタの BCST ビットに格納されます。ブランクチェック対象領域内に未プログラムデータが存在する場合、フラッシュシーケンサはブランクチェックコマンドの動作を停止させます。この場合、未プログラムデータのアドレスが FPSADDR レジスタに表示されます。

図 41.23 に、ブランクチェックコマンドの使用方法を示します。



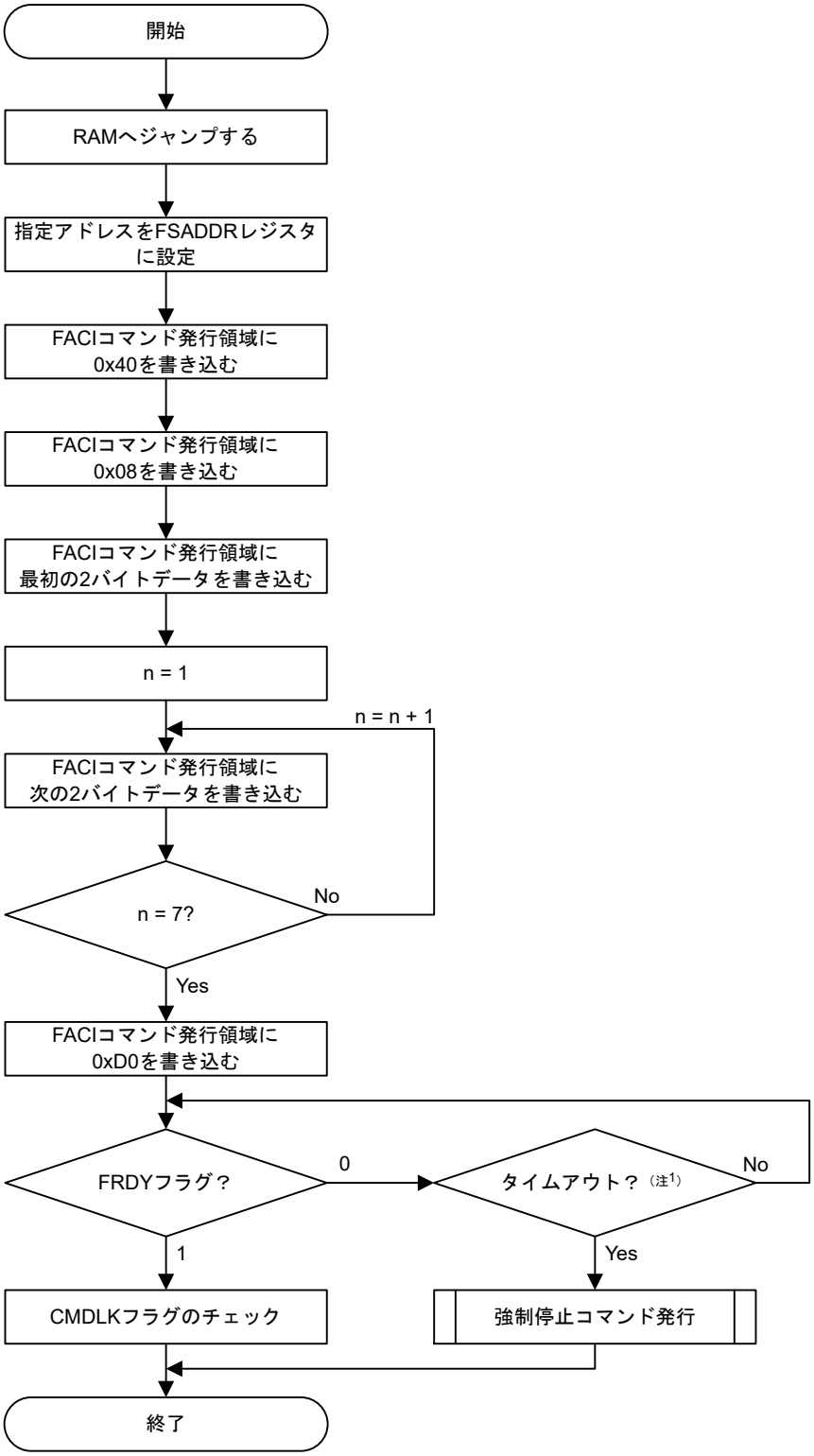
注 1. 全対象範囲のブランクチェックに要する最大時間の 1.1 倍がタイムアウトの判断に使われます。「44. 電気的特性」を参照してください。

図 41.23 ブランクチェックコマンドの使用フロー

41.9.3.15 コンフィグレーション設定コマンド

コンフィグレーション設定コマンドは、オプション設定メモリを設定するのに使用されます。コンフィグレーション設定コマンド発行前に FSADDR レジスタに指定アドレス（表 41.19 に示す）を設定してください。FACI コマンド発行の最終アクセスで FACI コマンド発行領域に 0xD0 を書くと、コンフィグレーション設定コマンドの FACI 処理が開始されます。

図 41.24 に、コンフィグレーション設定コマンドの使用方法を示します。



注 1. オプション設定メモリ内の書き込みの最大時間の 1.1 倍がタイムアウトの判断に使われます。「44. 電気的特性」を参照してください。

図 41.24 コンフィグレーション設定コマンドの使用フロー

コンフィグレーション設定に使用されると思われる対象データと FSADDR レジスタに設定されているアドレス値との関係を表 41.19 に示します。詳細は、「41.4.12. FSADDR : FACI コマンド開始アドレスレジスタ」を参照してください。

表 41.19 コンフィグレーション設定コマンドが使用するアドレス

アドレス	FSADDR レジスタ値	設定データ	追加の書き込み		設定が有効になるタイミング
			SAS.FSPR ビットが 1	SAS.FSPR ビットが 0	
0x0100_A100	0x0100_A100	オプション機能選択レジスタ 0 (OFS0)	書き込み可能	書き込み可能	リセット時
0x0100_A120～0x0100_A12C	0x0100_A120	OCD/シリアルプログラマ ID 設定レジスタ (OSIS)	書き込み可能	書き込み可能	リセット時
0x0100_A134	0x0100_A130	スタートアップ領域設定レジスタ (SAS)	書き込み可能	書き込み不可(注1)	リセットまたはコマンド実行時
0x0100_A200	0x0100_A200	オプション機能選択レジスタ 1 セキュア (OFS1)	書き込み可能	書き込み可能	リセット時
0x0100_A240	0x0100_A240	ブロック保護設定レジスタセキュア (BPS)	書き込み可能(注2)	書き込み可能(注2)	リセットまたはコマンド実行時
0x0100_A260	0x0100_A260	永久ブロック保護設定レジスタセキュア (PBPS)	書き込み可能(注3)（1 から 0 への変更のみ）	書き込み可能(注3)（1 から 0 への変更のみ）	リセットまたはコマンド実行時

注 1. SAS.FSPR ビットは、いったん 0 に設定されると、コンフィグレーション設定コマンドで 1 に戻すことはできません。したがって、スタートアップ領域選択フラグを再び設定できなくなります。（アドレス 0x0100A134 にコンフィグレーション設定コマンドが出されると、コマンドはロックされます。）SAS.FSPR ビットの取り扱いには特に注意してください。
注 2. PBPS[n]ビットをいったん 0 に設定すると、コンフィグレーション設定コマンドで BPS[n]ビットを 1 に戻すことはできません。
注 3. これらのビットは、いったん 0 にするとコンフィグレーション設定コマンドで 1 に戻すことができません。BPS[n]ビットが 1 のとき PBPS[n]ビットをコンフィグレーション設定コマンドで 0 にすることはできません。

41.10 サスペンド動作

プログラム／イレース処理中は、表 41.29 に示すバックグラウンドオペレーションの条件が満たされない場合、フラッシュメモリの読み出しはできません。P/E サスペンドコマンドを発行し、フラッシュメモリへのプログラム／イレース処理を中断させることによって、フラッシュメモリの読み出しが可能になります。P/E サスペンドコマンドには、書き込みに対するサスペンドモードが 1 種類と消去に対するサスペンドモードが 2 種類（サスペンド優先モード、イレース優先モード）存在します。また、中断したプログラム／イレース処理を再開する P/E レジュームコマンドも用意しています。サスペンド動作の詳細は、図 41.16 を参照してください。

41.11 プロテクション機能

41.11.1 ソフトウェアプロテクション

ソフトウェアプロテクションは、コントロールレジスタの設定およびユーザー領域のブロック保護設定によりコードフラッシュメモリの書き換えおよび消去を無効にします。ソフトウェアプロテクションに対して FACI コマンド発行を試みると、フラッシュシーケンサはコマンドロック状態になります。

41.11.1.1 FWEPROR レジスタによるプロテクション

FWEPROR.FLWE[1:0]が 01b でなければ、どのモードでも書き換えはできません。

41.11.1.2 FENTRYR レジスタによるプロテクション

FENTRYR レジスタが 0x0000 に設定されるとフラッシュシーケンサは読み出しモードになります。読み出しモードでは FACI コマンドは受け付けられません。読み出しモードで FACI コマンド発行を試みると、フラッシュシーケンサはコマンドロック状態になります。

41.11.1.3 ブロック保護設定によるプロテクション

ユーザー領域の各ブロックにはブロック保護設定 (BPS) があります。FBPROT1 レジスタが 0x0000 で、ブロック保護ビットが 0 のとき、コードフラッシュのユーザー領域にプログラムコマンドまたはブロックイレースコマン

ドを発行するとコマンドロック状態になります。ブロック保護ビットが 0 のブロックを書き換えまたは消去するためには、FBPROT1 レジスタを 0x0001 に設定してください。

ブロック保護設定は、永久ブロック保護設定 (PBPS) によりロックできます。永久ブロック保護設定およびブロック保護設定が 0 のとき、コードフラッシュのユーザー領域にプログラムコマンドまたはブロックイレースコマンドを発行すると、FBPROT1 レジスタの設定にかかわらず、フラッシュシーケンサはコマンドロック状態になります。

ブロック保護設定および永久ブロック保護設定の詳細については「41.12.4. 永久ブロック保護設定」を参照してください。詳細については「41.4.15. FBPROT1 : セキュア用フラッシュブロック保護レジスタ」を参照してください。

ブロック保護設定 (BPS) の詳細については、「6. オプション設定メモリ」を参照してください。

ブロック保護設定による保護領域は、アドレススワップ機能の設定（スタートアップ領域選択）にかかわらず、常に FSADDR レジスタ設定のアドレスで決まります。表 41.20～表 41.21 に、各機能設定でのユーザー領域とブロック保護設定の関係を示します。

- BPS[0]～BPS[n]は、ユーザー領域のブロックに割り当てられています（たとえば、アドレスは 0x00_0000～最終ブロックアドレスになります）。
- BPS[0]および BPS[1]は、スタートアップ領域選択設定（SAS.BTFLG ビット）に応じてユーザー領域のブロックに割り当てられています。（「41.11.3. スタートアッププログラムプロテクション」を参照してください。）

スタートアップ領域選択が無効（スワップなし）の場合のブロック保護設定を表 41.20 に示します。

アドレス変換機能が使用される場合のブロック保護設定の例を表 41.21 に示します。

表 41.20 SAS.BTFLG ビットが 1 の場合のブロック保護設定例

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
最終ブロックアドレス	32 KB	BPS[n]	ブロック n	—
⋮	⋮	⋮	⋮	—
0x01_8000～0x01_FFFF	32 KB	BPS[9]	ブロック 9	—
0x01_0000～0x01_7FFF	32 KB	BPS[8]	ブロック 8	—
0x00_E000～0x00_FFFF	8 KB	BPS[7]	ブロック 7	—
0x00_C000～0x00_DFFF	8 KB	BPS[6]	ブロック 6	—
⋮	⋮	⋮	⋮	—
0x00_2000～0x00_3FFF	8 KB	BPS[1]	ブロック 1	本スタートアップ領域選択設定ではブロック 0 とブロック 1 をスワップしない
0x00_0000～0x00_1FFF	8 KB	BPS[0]	ブロック 0	本スタートアップ領域選択設定ではブロック 0 とブロック 1 をスワップしない

表 41.21 SAS.BTFLG ビットが 0 の場合のブロック保護設定例 (1/2)

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
最終ブロックアドレス	32 KB	BPS[n]	ブロック n	—
⋮	⋮	⋮	⋮	—
0x01_8000～0x01_FFFF	32 KB	BPS[9]	ブロック 9	—
0x01_0000～0x01_7FFF	32 KB	BPS[8]	ブロック 8	—
0x00_E000～0x00_FFFF	8 KB	BPS[7]	ブロック 7	—
0x00_C000～0x00_DFFF	8 KB	BPS[6]	ブロック 6	—
⋮	⋮	⋮	⋮	—

表 41.21 SAS.BTFLG ビットが 0 の場合のブロック保護設定例 (2/2)

FSADDR[23:0]	ブロックサイズ	ブロック保護設定	ユーザー領域ブロック番号	備考
0x00_2000～0x00_3FFF	8 KB	BPS[1]	ブロック 0	本スタートアップ領域選択設定ではブロック 0 とブロック 1 をスワップ
0x00_0000～0x00_1FFF	8 KB	BPS[0]	ブロック 1	本スタートアップ領域選択設定ではブロック 0 とブロック 1 をスワップ

41.11.2 エラープロテクション

エラープロテクションは、不正 FACI コマンドの発行、不正アクセス、およびフラッシュシーケンサの誤動作を検出します。エラー検出時 FACI コマンドは受け付けられなくなります (コマンドロック状態)。フラッシュシーケンサがコマンドロック状態中、フラッシュメモリは書き込みまたは消去できません。コマンドロック状態から解放するには、ステータスクリアコマンドまたは強制停止コマンドを発行してください。ステータスクリアコマンドは、FSTATR レジスタの FRDY ビットが 1 の場合のみ使用可能です。強制停止コマンドは、FRDY ビットの値に関係なく使用できます。FAEINT レジスタの CMDLKIE ビットが 1 のとき、フラッシュシーケンサがコマンドロック状態（FASTAT レジスタの CMDLK ビットが 1）になるとフラッシュアクセスエラー (FIFERR) 割り込みが発生します。

プログラム／イレース処理中に P/E サスペンドコマンド以外のコマンドによりフラッシュシーケンサがコマンドロック状態になると、フラッシュシーケンサはプログラム／イレース処理を継続します。この状態ではプログラム／イレース処理を中断するのに P/E サスペンドコマンドは使用できません。コマンドロック状態でコマンドが発行されると、ILGLERR ビットが 1 になり、その他のビットは前回のエラー検出時に設定された値を保持します。

表 41.22 に、プロテクション種別とエラー検出後のステータスビット値を示します。

表 41.22 エラープロテクション種別 (1/3)

エラー種別	説明	ILGCOMERR	FESETERR	SECERR	OTERR	ILGLERR	ERSERR	PRGERR	FLWEERR	CFAE	DFAE
FENTRYR 設定エラー	FENTRYR レジスタに設定された値が 0x0000、0x0001、0x0080 のいずれでもない	0	1	0	0	1	0	0	0	0	0
	サスペンド時の FENTRYR レジスタ設定がレジューム時の設定と異なる	0	1	0	0	1	0	0	0	0	0

表 41.22 エラープロテクション種別 (2/3)

エラー種別	説明	ILGCOMERR	FESETERR	SECERR	OTERR	ILGLERR	ERSERR	PRGERR	FLWEERR	CFAE	DFAE
不正コマンドエラー	コマンドの最初のサイクルで不定サイズが指定された（バイト書き込みでない）	1	0	0	0	1	0	0	0	0	0
	FACI コマンドの最初のアクセスで不定コードが書き込まれた	1	0	0	0	1	0	0	0	0	0
	マルチアクセス FACI コマンドの最終アクセスで指定された値が 0xD0 でない	1	0	0	0	1	0	0	0	0	0
	プログラムまたはコンフィグレーション設定コマンドで FACI コマンドの 2 番目の書き込みで指定された値 (N) が間違っている	1	0	0	0	1	0	0	0	0	0
	ブランクチェックコマンドが発行されたが、BCDIR、FSADDR、FEADDR の各レジスタの設定と一致しない（「41.4.13. FEADDR : FACI コマンド終了アドレスレジスタ」参照）	1	0	0	0	1	0	0	0	0	0/1 (注1)
	マルチブロックイレースコマンドが発行されたが、FSADDR レジスタおよび FEADDR レジスタの設定と一致しない ● FSADDR > FEADDR ● FEADDR レジスタは予約領域に設定されている	1	0	0	0	1	0	0	0	0	0/1 (注1)
	各モードで受け付けできない FACI コマンドが発行された（表 41.16 参照）	1	0	0	0	1	0	0	0	0	0
	コマンド受け付け条件が満たされていないときに FACI コマンドが発行された（表 41.17 参照）	0/1	0/1	0/1	0/1	1	0/1	0/1	0/1	0/1	0/1
	ブロック保護設定により保護されている領域にプログラムコマンドまたはブロックイレースコマンドが発行された（「41.11.1.3. ブロック保護設定によるプロテクション」参照）	1	0	0	0	1	0	0	0	0	0
	消去サスペンド中の消去領域にプログラムコマンドが発行された	1	0	0	0	1	0	0	0	0	0
消去エラー	消去中にエラーが発生した	0	0	0	0	0	1	0	0	0	0
書き込みエラー	書き込み中にエラーが発生した	0	0	0	0	0	0	1	0	0	0
コードフラッシュメモリアクセス違反	コードフラッシュ P/E モードでユーザー領域の予約部分に FACI コマンドが発行された	0	0	0	0	1	0	0	0	1	0
	コンフィグレーション設定コマンドが予約オプション設定メモリに発行された	0	0	0	0	1	0	0	0	1	0
	非セキュアアクセスのコンフィグレーション設定コマンドがコードフラッシュ内 TrustZone のセキュア領域に発行された	0	0	0	0	1	0	0	0	1	0
	非セキュアアクセスのプログラムコマンドまたはブロックイレースコマンドがユーザー領域のセキュア領域に発行された	0	0	0	0	1	0	0	0	1	0

表 41.22 エラープロテクション種別 (3/3)

エラー種別	説明	ILGCOMERR	FESETERR	SECERR	OTERR	ILGLERR	ERSERR	PRGERR	FLWEERR	CFAE	DFAE
データフラッシュメモリアクセス違反	データフラッシュ P/E モードでプログラムコマンドまたはブロックイレースコマンドが予約データ領域に発行された	0	0	0	0	1	0	0	0	0	1
	データフラッシュ P/E モードでマルチブロックイレースコマンドが予約データ領域に発行された (FSADDR レジスタは予約データ領域に設定されている)	1	0	0	0	1	0	0	0	0	1
	データフラッシュ P/E モードでブランクチェックコマンドが予約データ領域に発行された (FSADDR レジスタは予約データ領域に設定されている)	1	0	0	0	1	0	0	0	0	1
	非セキュアアクセスのプログラム、ブロックイレース、マルチブロックイレースまたはブランクチェックコマンドがデータ領域のセキュア領域に発行された	0	0	0	0	1	0	0	0	0	1
セキュリティエラー	SAS.FSPR ビットが 0 のとき SAS.BTFLG ビット設定用のコンフィグレーション設定コマンドが発行された (「41.9.3.15. コンフィグレーション設定コマンド」参照)	0	0	1	0	1	0	0	0	0	0
その他	FACI コマンド発行領域が読み出しモードでアクセスされた	0	0	0	1	1	0	0	0	0	0
	コードフラッシュ P/E モードまたはデータフラッシュ P/E モードで FACI コマンド発行領域が読み出された	0	0	0	1	1	0	0	0	0	0
フラッシュライト／イレース保護エラー	フラッシュシーケンサによるコマンド処理中に FWEPROR レジスタ設定(注2)によりフラッシュメモリライトプロテクトエラーが検出された	0	0	0	0	0	0/1	0/1	1	0	0

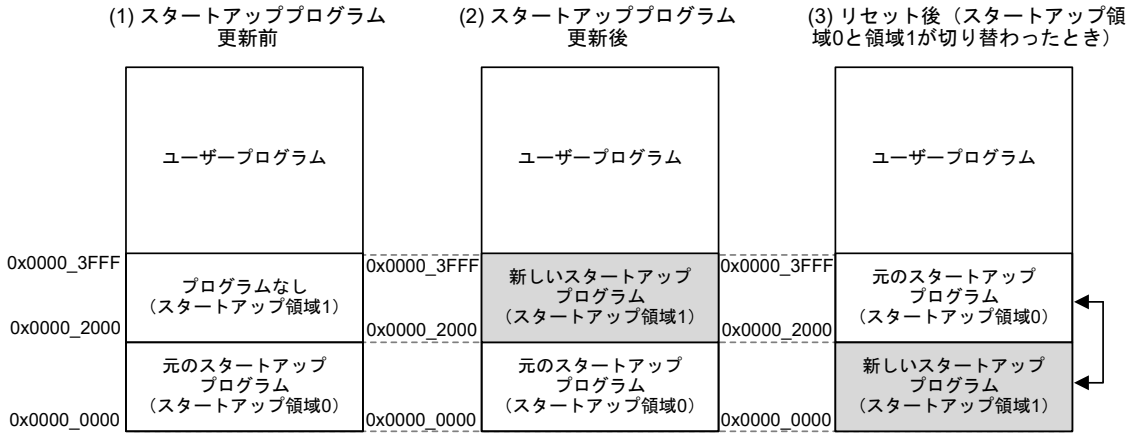
注 1. DFAE ビット値は、FSADDR レジスタ設定に依存します。
注 2. FWEPROR レジスタの詳細については、「41.4.8. FWEPROR : フラッシュ P/E プロテクトレジスタ」を参照してください。

41.11.3 スタートアッププログラムプロテクション

スタートアッププログラムプロテクションとは、リセット後に起動されるプログラム（スタートアッププログラム）の保護のことです。本機能は、リセット中に書き換えが中断されたスタートアッププログラムを安全に更新する手段になります。

スタートアップ領域のサイズは 8 KB で、コードフラッシュメモリのユーザー領域に割り当てられています。本機能は SAS.BTFLG ビットと FSUACR.SAS[1:0]ビット値を使用し、スタートアッププログラムがブロック単位で格納される領域を変更します（図 41.25～図 41.28 参照）。

スタートアッププログラムプロテクションにおいて、スタートアップ領域の選択状態は、FSPR ビットで固定できます。しかしながら、SAS.FSPR ビットはいったん 0 になると、1 に戻せません。SAS.FSPR ビットの取り扱いには特に注意してください。



注. 読み出し、書き込みおよび消去には上記のアドレスが使用されます。項番 3 の割り当てでブロックイレースコマンドがアドレス 0x00000000 に発行されるとスタートアップ領域 0 が消去されます。

1. スタートアッププログラム更新前
   SAS.BTFLG ビットが 1 で FSUACR.SAS[1:0]ビットが 0xb のとき、アドレス範囲 0x00002000～0x00003FFF がスタートアップ領域 1 に、アドレス範囲 0x00000000～0x00001FFF がスタートアップ領域 0 に選択されます。
2. スタートアッププログラム更新後
   新しいスタートアッププログラムをスタートアップ領域 1 に書き込み可能です。このときスタートアップ領域 0 にはまだ前のスタートアッププログラムが残っているので、仮にスタートアップ領域 1 への書き換えが失敗した場合には、スタートアップ領域 0 から起動して書き換えることが可能です。
3. リセット後（スタートアップ領域 0 とスタートアップ領域 1 が切り替わったとき）
   スタートアップ領域の書き換えが成功した場合、コンフィグレーション設定コマンドでスタートアップ領域選択ビット（SAS.BTFLG ビット）を書き換えることによりスタートアップ領域 0 とスタートアップ領域 1 の割り当てを切り替えてください。その後、プログラムはリセット後にスタートアップ領域 1 から起動します。

図 41.25 スタートアッププログラムプロテクションの概念

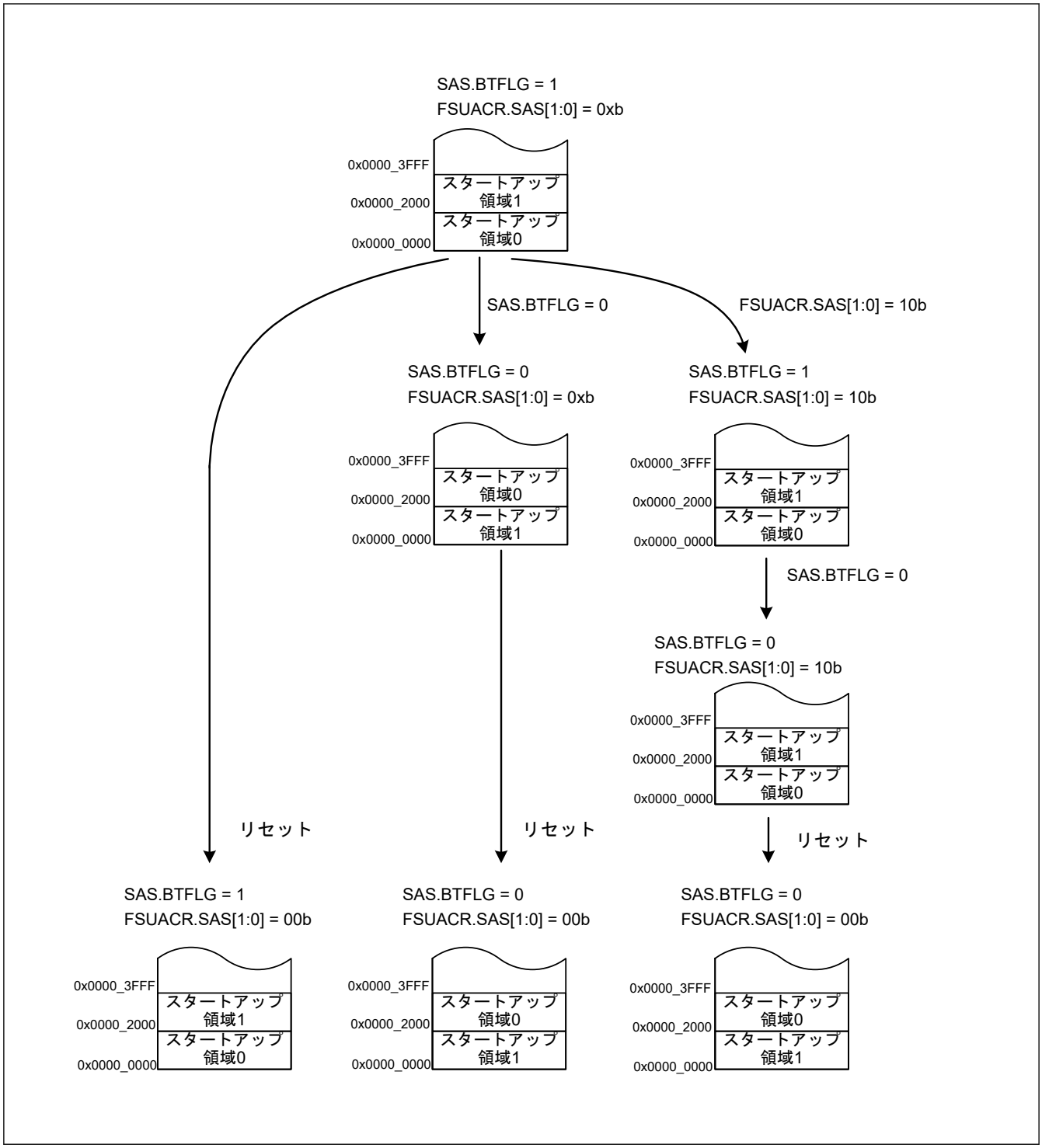


図 41.26　スタートアッププログラムプロテクション設定の遷移例 1

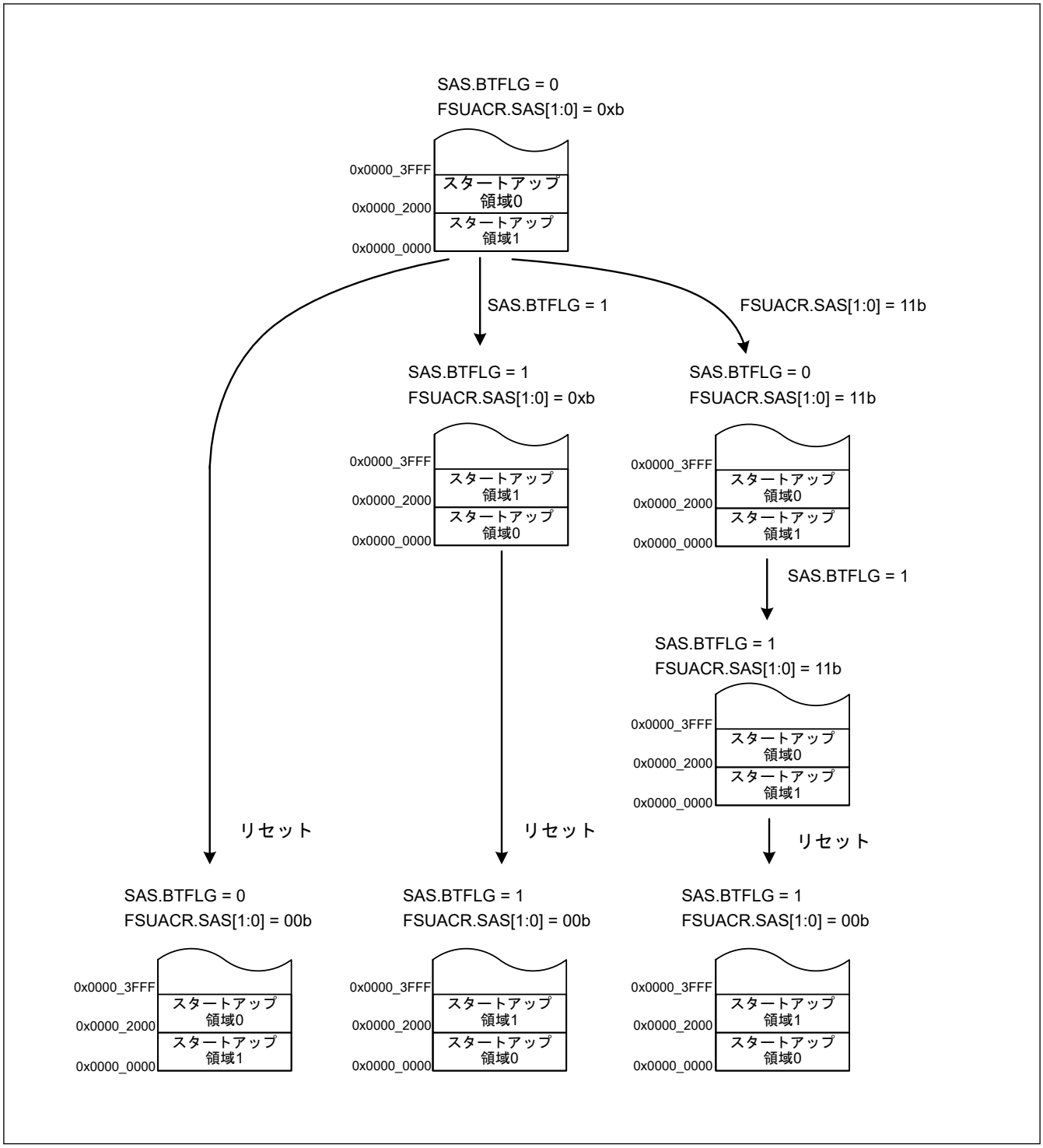
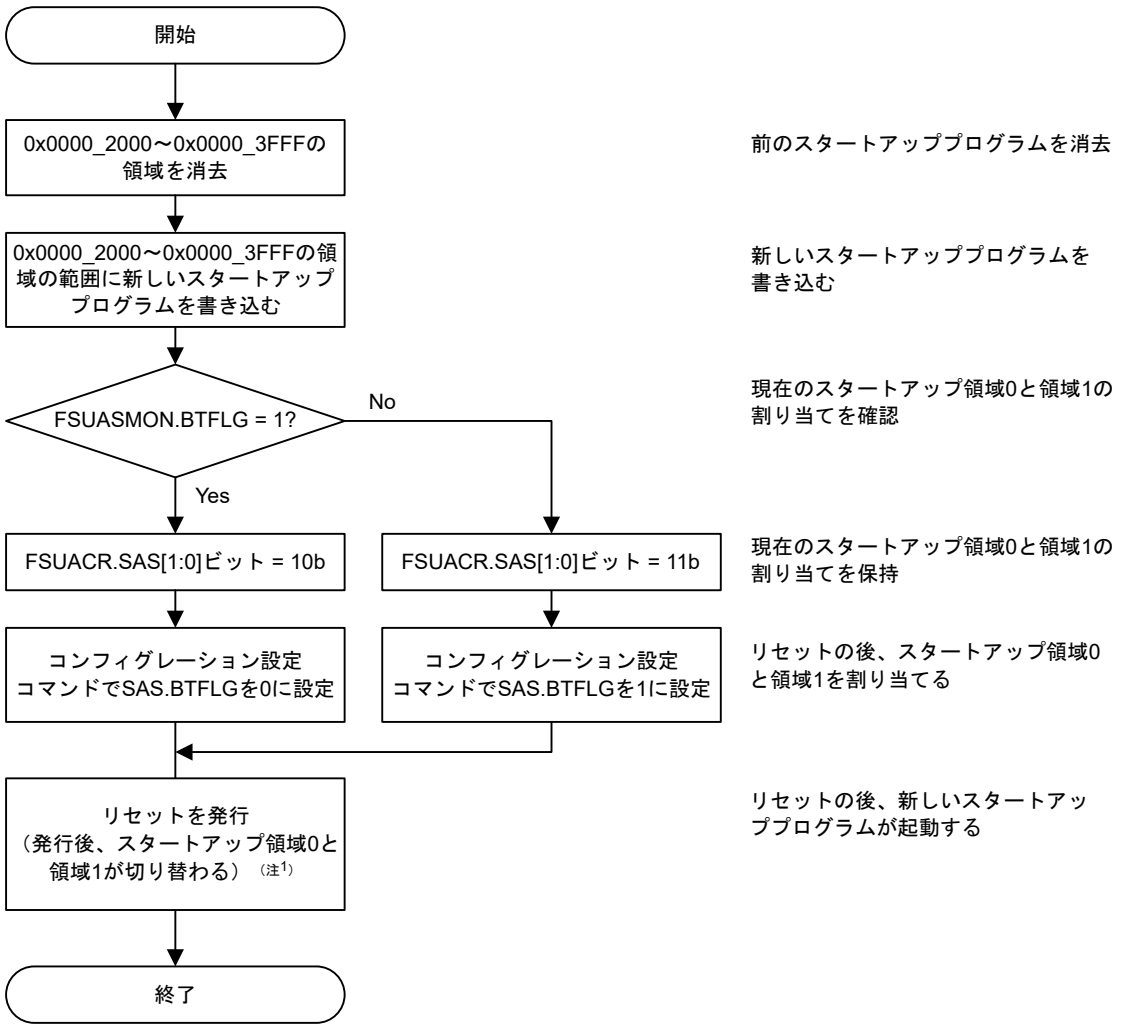


図 41.27　スタートアッププログラムプロテクション設定の遷移例 2



注 1. 詳細は、図 41.26 および図 41.27 を参照してください。

図 41.28 スタートアッププログラムプロテクションの概念

41.12 セキュリティ機能

フラッシュシーケンサは、下記セキュリティ機能をサポートします。

- シリアルプログラミングモード保護
- OCD モード保護
- スタートアップ領域のセキュリティフラグ
- 永久ブロック保護設定
- TrustZone のフラッシュメモリ保護

41.12.1 シリアルプログラミングモード保護

シリアルプログラミングモードは ID 認証を備えています。

FACI は、ID 認証の結果に従って全 FACI コマンドの受信を保護します。ID 認証が有効になり合格すると、FACI は FACI コマンドを有効にします。

41.12.2 OCD モード保護

オンチップデバッガのエントリーシステムが ID 認証による保護を制御します。

41.12.3 スタートアップ領域選択のセキュリティフラグ

スタートアップ領域のセキュリティフラグ (SAS.FSPR) は、オプション設定メモリにあります。

SAS.FSPR ビットが 0 のときコンフィグレーション設定コマンドを発行して SAS.BTFLG ビット値を変更すると、フラッシュシーケンサはコマンドロック状態になります。また、SAS.FSPR ビットが 0 のとき FSUACR レジスタのスタートアップ領域選択ビット (SAS[1:0]) への書き込みは無効です。SAS.FSPR ビットは保護を有効にします。

41.12.4 永久ブロック保護設定

永久ブロック保護設定は、ブロック保護設定のクリア保護です。永久ブロック保護設定が有効の場合、ユーザー領域は FACI コマンドを使っても永久に更新されません。詳細は、「41.11.1.3. ブロック保護設定によるプロテクション」を参照してください。

ブロック保護設定および永久ブロック保護設定をすると、コンフィグレーション設定コマンドに対して書き込み／クリア保護を行います。書き込み／クリア保護設定に対してコンフィグレーション設定コマンドを発行してもフラッシュシーケンサはエラーを検出しません。

図 41.29 および表 41.23 に、ブロック保護設定 (BPS[n]) および永久保護設定 (PBPS[n]) に対する書き込み／クリア保護を示します。

永久ブロック保護設定 (PBPS) の詳細については、「6. オプション設定メモリ」を参照してください。

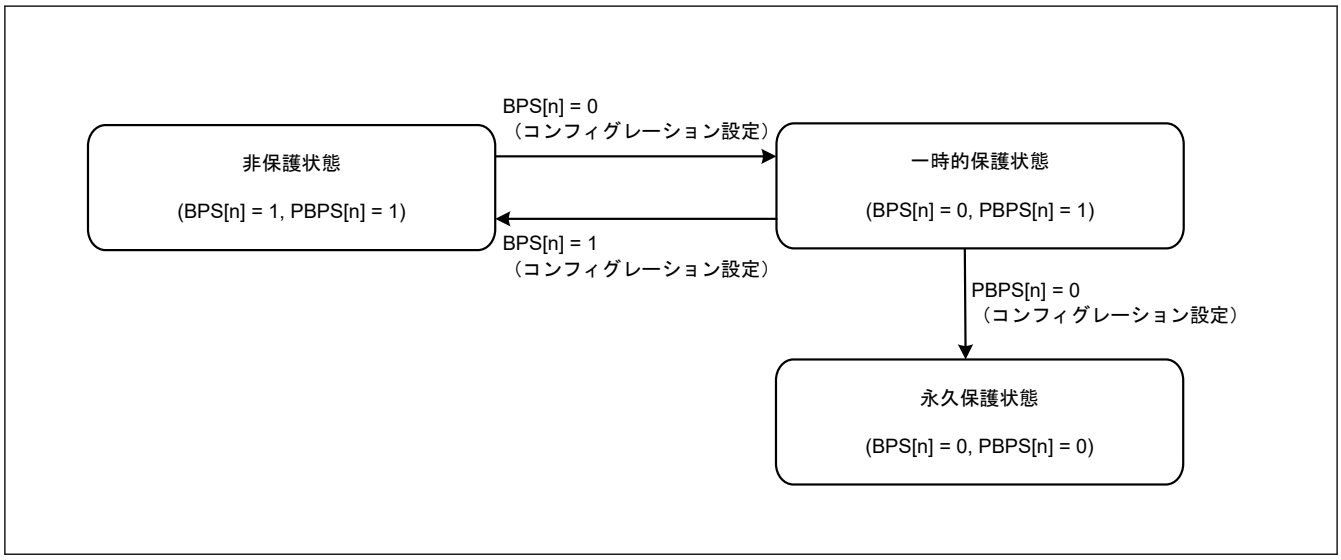


図 41.29 BPS[n]ビットおよび PBPS[n]ビットによるフラッシュシーケンサの状態遷移

表 41.23 BPS[n]ビットおよび PBPS[n]ビットの書き込み／クリア保護

現在の状態		コンフィグレーション設定コマンドによって更新可能			
BPS[n]	PBPS[n]	BPS[n] = 1	BPS[n] = 0	PBPS[n] = 1	PBPS[n] = 0
1	1	✓	✓	✓	X
1	0	—	—	—	—
0	1	✓	✓	✓	✓
0	0	X	✓	X	✓

注.
- ✓は、コンフィグレーション設定コマンドによって更新可能であることを示します。
- X は、コンフィグレーション設定コマンドによっても更新できないことを示します（エラーは発生しません）。
- —は、この状態にならないことを示します。

41.12.5 TrustZone のフラッシュメモリ保護

本項の情報は、フラッシュシーケンサの動作に焦点を当てています。

フラッシュメモリは、非セキュアアクセスに対して下記の保護機能を提供します。

- フラッシュメモリ領域の保護 (P/E)
- フラッシュメモリ領域の保護（読み出し）
- レジスタの保護
- FACI コマンド動作中の保護
- コードフラッシュ P/E モードエントリ保護

41.12.5.1 フラッシュメモリ領域の保護 (P/E)

本機能は、非セキュアアクセスの FACI コマンドからコードフラッシュおよびデータフラッシュのセキュア領域を保護します。保護の条件は、FACI コマンド、アクセス属性、およびメモリの境界設定に依存します。

セキュア領域の詳細については、「43. セキュリティ機能」 を参照してください。

フラッシュメモリ領域の保護 (P/E) の詳細は表 41.24 を参照してください。

表 41.24 フラッシュメモリ領域の保護 (P/E)

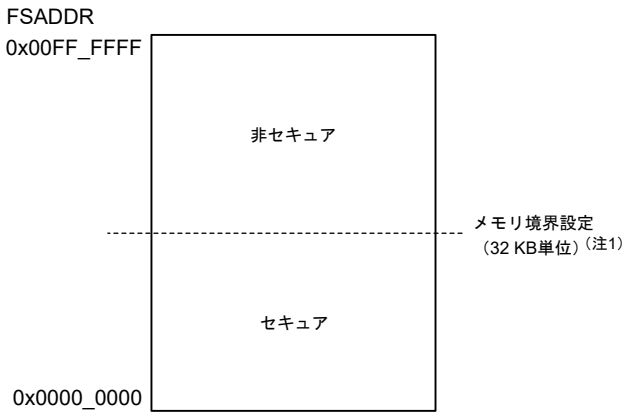
FACI コマンド	対象領域		非セキュアアクセスによる FACI コマンド発行	セキュアアクセスによる FACI コマンド発行
プログラム ブロックイレース	コードフラッシュメモリ	ユーザー領域（非セキュア領域）	✓	✓
		ユーザー領域（セキュア領域）	X	✓
	データフラッシュメモリ	データ領域（非セキュア領域）	✓	✓
		データ領域（セキュア領域）	X	✓
マルチブロックイレース ブランクチェック	データフラッシュメモリ	データ領域（非セキュア領域）	✓	✓
		データ領域（セキュア領域）	X	✓
コンフィグレーション設定	コードフラッシュメモリ	オプション設定メモリ（セキュア領域）	X	✓

注. ● ✓は、FACI コマンド動作が禁止されていないことを示します。
● X は、FACI コマンド動作が禁止されていることを示します。該当領域が選択され、FACI コマンドが実行されるとエラーになります。

FACI コマンドの対象領域がコードフラッシュのユーザー領域の場合、フラッシュシーケンサは、FSADDR レジスタの設定とコードフラッシュのメモリ境界設定を比較し、対象領域がセキュア領域にあるかどうかを判断します。

メモリの境界は、0x0000_0000～0x00FF_8000 の範囲で 32 KB 単位で設定可能です。

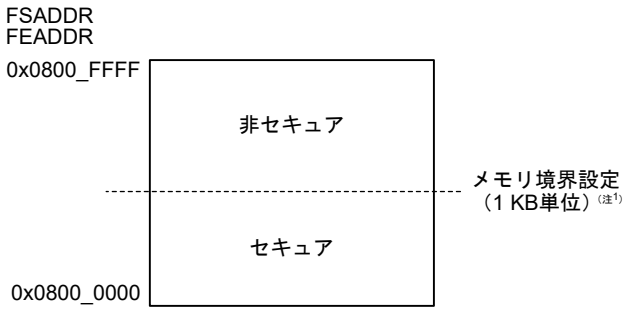
図 41.30 に、コードフラッシュのユーザー領域の非セキュア／セキュア属性の詳細を示します。



注 1. FSADDR レジスタとユーザー領域のメモリ境界設定を比較し、対象領域がセキュア領域にあるかどうかを判断します。

図 41.30 ユーザー領域のセキュア／非セキュア領域

FACI コマンド発行の対象領域がデータフラッシュのデータ領域の場合、フラッシュシーケンサは、FSADDR/FEADDR レジスタの設定とデータフラッシュのメモリ境界設定を比較し、対象領域がセキュア領域にあるかどうかを判断します。メモリの境界は、0x0800_0000～0x0800_FC00 の範囲で 1 KB 単位で設定可能です。図 41.31 に、データフラッシュのデータ領域の非セキュア／セキュア属性の詳細を示します。



注 1. FSADDR/FEADDR レジスタとデータ領域のメモリ境界設定を比較し、対象領域がセキュア領域にあるかどうかを判断します。

図 41.31 データ領域のセキュア／非セキュア領域

オプション設定メモリの非セキュア／セキュア領域の詳細については、図 41.32 を参照してください。フラッシュシーケンサは、FSADDR レジスタの設定から、対象領域がセキュア領域かどうかを判断します。

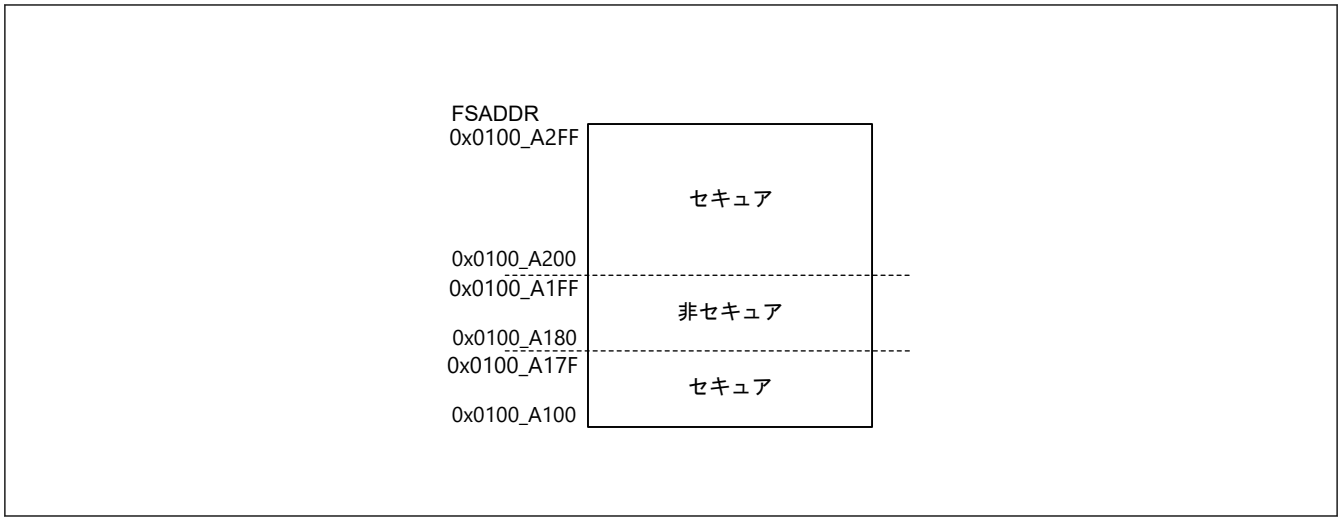


図 41.32 オプション設定メモリのセキュア／非セキュア領域

41.12.5.2 フラッシュメモリ領域の保護（読み出し）

本機能は、非セキュアバスアクセスからコードフラッシュおよびデータフラッシュのセキュア領域を保護します。

セキュア領域の詳細については、「43. セキュリティ機能」 を参照してください。

41.12.5.3 レジスタの保護

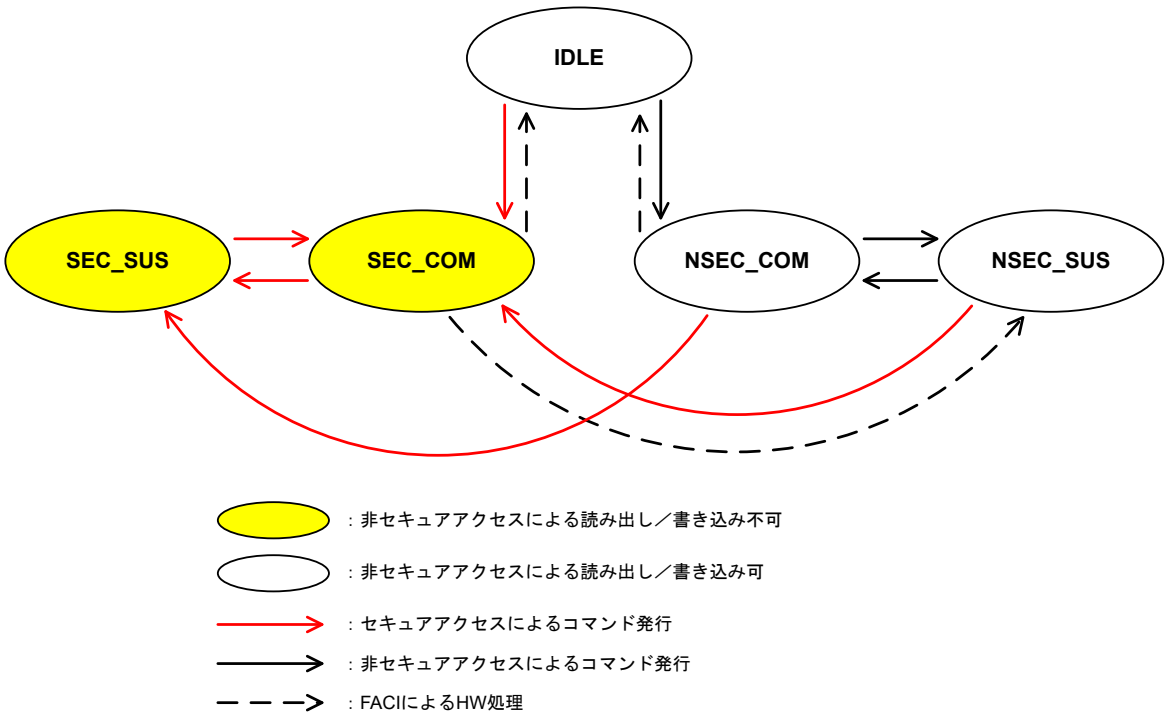
フラッシュシーケンサレジスタには、非セキュアアクセスに対するライトアクセス保護があります。表 41.25 に、フラッシュシーケンサの保護レジスタの詳細を示します。

表 41.25 TrustZone 用フラッシュシーケンサの保護レジスタ

保護対象レジスタ	セキュリティ属性設定	備考
FCKMHZ	セキュリティ属性レジスタ設定 (FSAR.FCKMHZSA)	「41.4.4. FSAR : フラッシュセキュリティ属性レジスタ」を参照してください。
FMEPROT	常にセキュア	「41.4.14. FMEPROT : フラッシュ P/E モードエントリ保護レジスタ」を参照してください。
FBPROT1	常にセキュア	「41.4.15. FBPROT1 : セキュア用フラッシュブロック保護レジスタ」を参照してください。
FSUACR	常にセキュア	「41.4.26. FSUACR : フラッシュスタートアップ領域コントロールレジスタ」を参照してください。
FACI コマンド発行領域、FACI の全レジスタ（ベースアドレスは FACI）、および FWEPROR レジスタ	セキュアアクセスによる FACI コマンド処理中	「41.12.5.4. FACI コマンド動作中の保護」を参照してください。

41.12.5.4 FACI コマンド動作中の保護

本機能は、セキュアアクセスの FACI コマンド処理中、FACI の全レジスタ（ベースアドレスは FACI）および FWEPROR レジスタを含む FACI コマンド発行領域への非セキュアアクセスによる読み出し／書き込みを保護します。保護状態には、セキュアアクセスの P/E サスペンドコマンドによるプログラム、ブロックイレース、マルチブロックイレースコマンドのサスペンド時間が含まれます。FACI コマンド動作中の保護の詳細は、図 41.33 および表 41.26 を参照してください。



注. IDLE：FACI コマンドを実行していない状態
SEC_COM：セキュアアクセスによる FACI コマンド実行状態
SEC_SUS：セキュアアクセスによる P/E サスペンド状態
NSEC_COM：非セキュアアクセスによる FACI コマンド実行状態
NSEC_SUS：非セキュアアクセスによる P/E サスペンド状態

図 41.33 FACI コマンド動作中の保護状態

表 41.26 FACI コマンド動作中の保護 (1/2)

	フラッシュシーケンサは動作していない	プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、またはコンフィグレーション設定コマンド処理		コマンドロック状態		強制停止コマンド処理		プログラム、ブロックイレース、またはマルチブロックイレースコマンド中断中		セキュアアクセスによるブロックイレースまたはマルチブロックイレースコマンド中断中のプログラムコマンド処理		非セキュアアクセスによるブロックイレースまたはマルチブロックイレースコマンド中断中のプログラムコマンド処理		セキュアアクセスによるプログラム、ブロックイレース、またはマルチブロックイレースコマンド中断中の P/E レジュームコマンド処理		非セキュアアクセスによるプログラム、ブロックイレース、またはマルチブロックイレースコマンド中断中の P/E レジュームコマンド処理	
FACI コマンド属性	—	S	NS	S	NS	S	NS	S	NS	S	NS (注1)	S	NS	S	NS (注1)	S	NS
FRDY ビット	1	0	0	1	1	0	0	1	1	0	0	0	0	1	1	0	0
PRGSPD または ERSSPD ビット	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0	0

表 41.26 FACI コマンド動作中の保護 (2/2)

	フラッシュシーケンサは動作していない		プログラム、ブロックイレース、マルチブロックイレース、ブランクチェック、またはコンフィグレーション設定コマンド処理		コマンドロック状態		強制停止コマンド処理		プログラム、ブロックイレース、またはマルチブロックイレースコマンド中断中		セキュアアクセスによるブロックイレースまたはマルチブロックイレースコマンド中断中のプログラムコマンド処理		非セキュアアクセスによるブロックイレースまたはマルチブロックイレースコマンド中断中のプログラムコマンド処理		セキュアアクセスによるプログラム、ブロックイレース、またはマルチブロックイレースコマンド中断中のP/E レジュームコマンド処理		非セキュアアクセスによるプログラム、ブロックイレース、またはマルチブロックイレースコマンド中断中のP/E レジュームコマンド処理	
CMDLK ビット	0		0	0	1	1	1/0	1/0	1/0	1/0	0	0	0	0	0	0	0	0
非セキュアアクセス	✓		X	✓	✓	✓	X	✓	X	✓	X	✓	X	✓	X	✓	X	✓

注. ● S は、セキュアアクセスによる FACI コマンドを示します。
● NS は、非セキュアアクセスによる FACI コマンドを示します。
● ✓は、非セキュアアクセスによる読み出し／書き込みが可能であることを示します。
● X は、非セキュアアクセスによる読み出し／書き込みができないことを示します。書き込みデータは無視され、読み出しデータは常に 0 です。

注 1. 非セキュアアクセスにより発行された FACI コマンドは許可されません。

コードフラッシュのプログラム／イレースは、セキュア関数の FMEPROT レジスタにより保護できます。したがって、非セキュア関数のコードフラッシュプログラム／イレース中にセキュア関数が P/E サスペンドコマンドを発行することは想定されていません。

非セキュアのデータフラッシュプログラム／イレースは、セキュア関数により中断可能です。非セキュア関数のデータフラッシュプログラム／イレース中にセキュア関数が P/E サスペンドコマンドを発行した場合、セキュア関数は P/E レジュームコマンドを発行します。セキュア関数が P/E レジュームコマンドを発行した場合、セキュア関数は、非セキュア関数にデータフラッシュプログラム／イレースが完了したことを通知し、非セキュア関数に戻します。非セキュア関数のプログラム／イレース中のセキュア関数の P/E サスペンド発行例を図 41.34 および図 41.35 に示します。

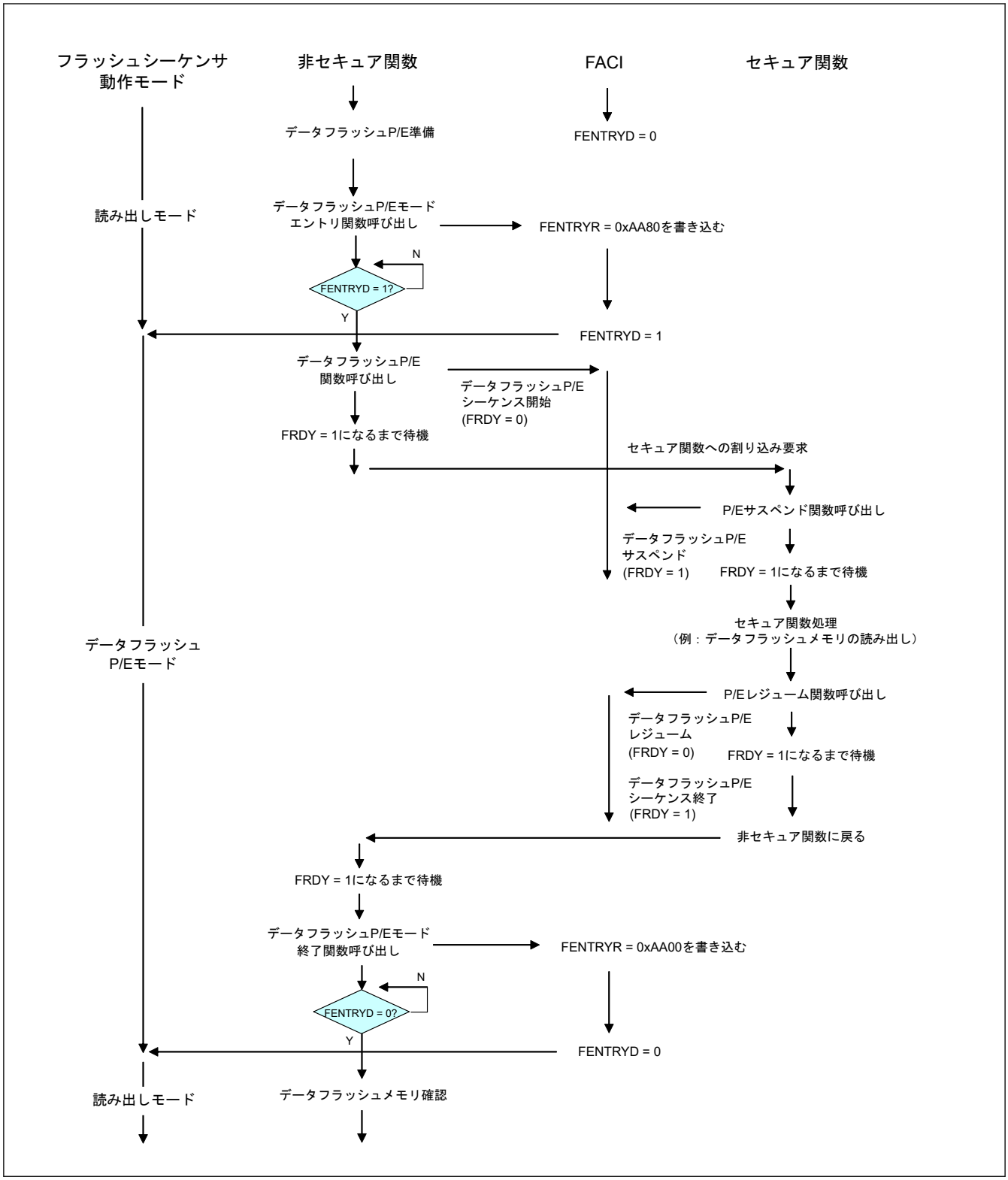


図 41.34　セキュア関数のデータフラッシュ P/E サスペンド例（P/E 終了を検出するには FRDY ビットを確認）

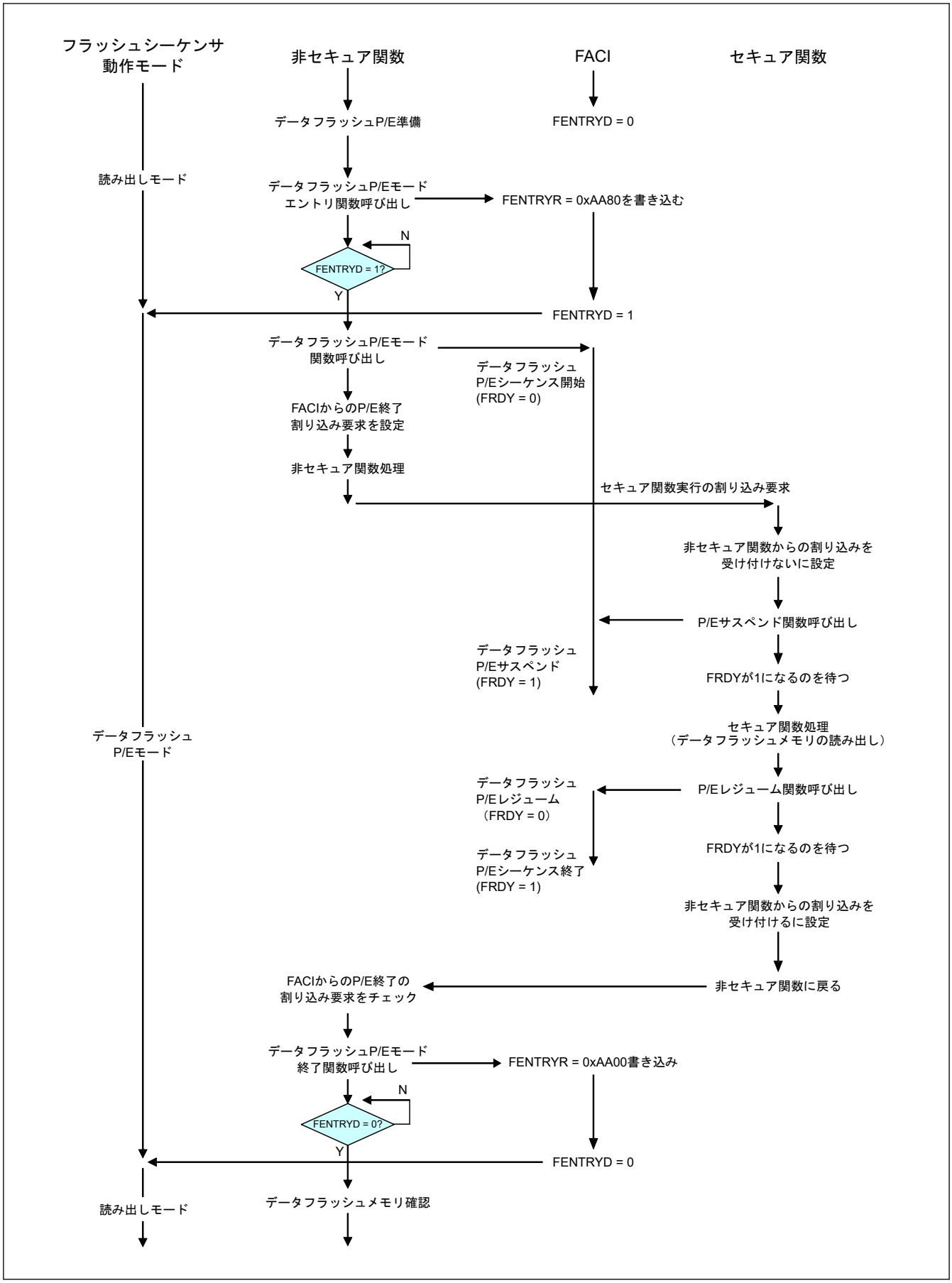


図 41.35　セキュア関数のデータフラッシュ P/E サスペンド例（P/E 終了を検出するには割り込み要求を確認）

41.12.5.5 コードフラッシュ P/E モードエントリ保護

フラッシュシーケンサには、セキュア開発者用に FMEPROT レジスタによるコードフラッシュ P/E のプロテクション機能があります。本プロテクション機能によりセキュア関数がコードフラッシュメモリの読み出しを防止できます。「41.4.14. FMEPROT : フラッシュ P/E モードエントリ保護レジスタ」を参照してください。

セキュア関数以外に非セキュア領域のプログラム／イレースを必要としないアプリケーションでは、FMEPROT レジスタのプロテクション機能を有効にすることによりコードフラッシュプログラム／イレースの非セキュア関数を常に無効にしておくことを推奨します。

非セキュア関数によるコードフラッシュ P/E シーケンス例の詳細については、図 41.36 を参照してください。

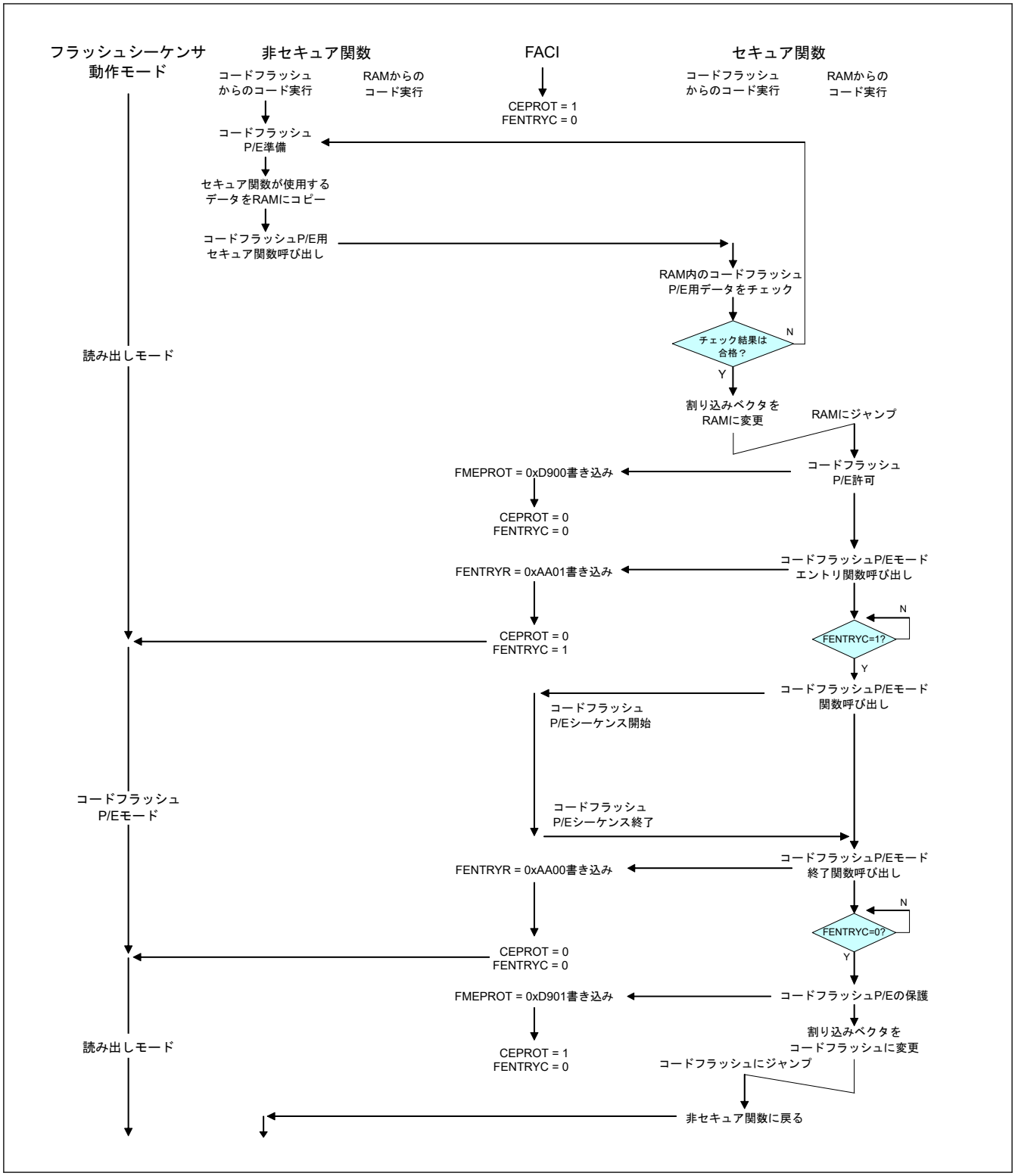


図 41.36　非セキュア関数によるコードフラッシュ P/E シーケンス例（コードフラッシュ P/E 用セキュア関数使用）

41.13　ブートモード

シリアルプログラミングモードには、SCI9 を使用するブートモード（SCI インタフェース）、内蔵 SWD を使用するブートモード（SWD インタフェース）、および USBFS を使用するブートモード（USB インタフェース）の 3 つがあります。使用可能なインタフェースやツールへの接続時間は、MCU に接続されているクロックソースによって異なります。表 41.27 にブートモードで使用する入出力端子の一覧を示します。表 41.28 にブートモードで使用可能な通信インタフェースとクロックソースに応じた接続時間の一覧を示します。

表 41.27　ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
MD	入力	ブートモード（SCI インタフェース） ブートモード（USB インタフェース） ブートモード（SWD インタフェース）	動作モードの選択
P110/RXD9	入力	ブートモード（SCI インタフェース）	ホスト通信用（SCI データ受信用）
P109/TXD9	出力		ホスト通信用（SCI データ送信用）
USB_DP, USB_DM	入出力	ブートモード（USB インタフェース）	USB データの入出力
USB_VBUS	入力		USB ケーブルの接続／切断の検出
SWCLK	入力	ブートモード（SWD インタフェース）	シリアルワイヤクロック端子
SWDIO	入出力		シリアルワイヤデータ入出力端子

表 41.28　クロックソースに応じたツール接続時間

メインクロック発振器	サブクロック発振器	使用可能なインタフェース	ツール接続時間(注2)
接続	Don't care	SCI/USB	最大 1 秒
非接続	接続(注1)	SCI/USB	最大 2 秒
非接続	非接続	SCI	最大 3 秒

注 1.　サブクロック発振器の駆動能力は SOMCR.SODRV ビットにより標準に設定されています。自ボードの低駆動能力に対応した水晶振動子を使用している場合、ブートモードでは水晶振動子が発振しない場合があることに注意してください。
注 2.　ツール接続時間とは、MCU とホスト間の通信が確立されるまでの時間を意味します。詳しくはブートファームウェアのアプリケーションノートを参照してください。

41.13.1　ブートモード（SCI インタフェース）

ブートモード（SCI インタフェース）では、ホストは制御コマンドや書き込み用データを送信して、それに従ってフラッシュメモリはプログラム／イレースされます。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU をブートモード（SCI インタフェース）で起動すると、MCU の専用領域上のプログラムが実行されます。ブートプログラムは、SCI のビットレートの自動調整と、ホストからの制御コマンドを受けてのプログラム／イレースの制御を行います。

図 41.37 にブートモード（SCI インタフェース）時のシステム構成を示します。

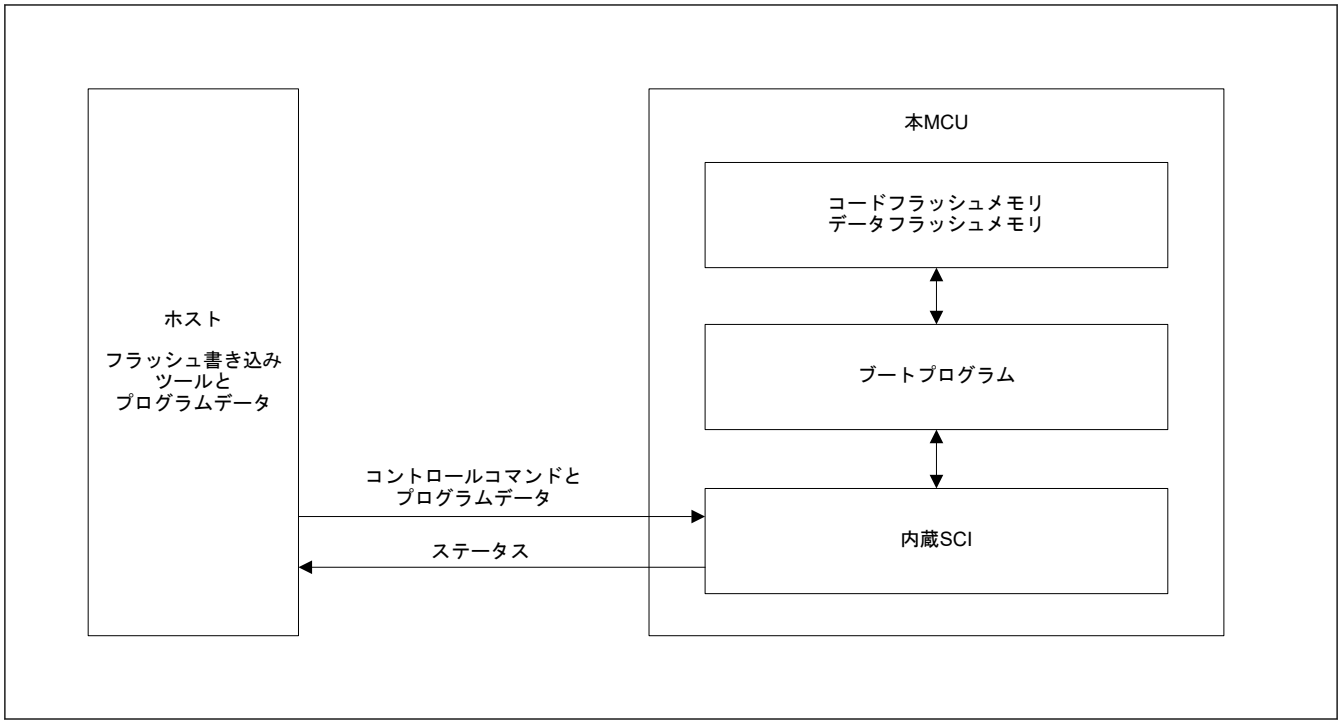


図 41.37　ブートモード（SCI インタフェース）時のシステム構成

41.13.2　ブートモード（USB インタフェース）

ブートモード（USB インタフェース）では、ホストから制御コマンドや書き込みデータを送信することによりフラッシュメモリへの書き込みまたは消去が可能です。ホストと本 MCU 間の通信には内蔵 USB が使用されます。ホストが制御コマンドや書き込み用のデータを送信するにはツールが必要です。図 41.38 にブートモード（USB インタフェース）のシステム構成を示します。リセット解除時、USB ケーブルが接続されていなければいけません。

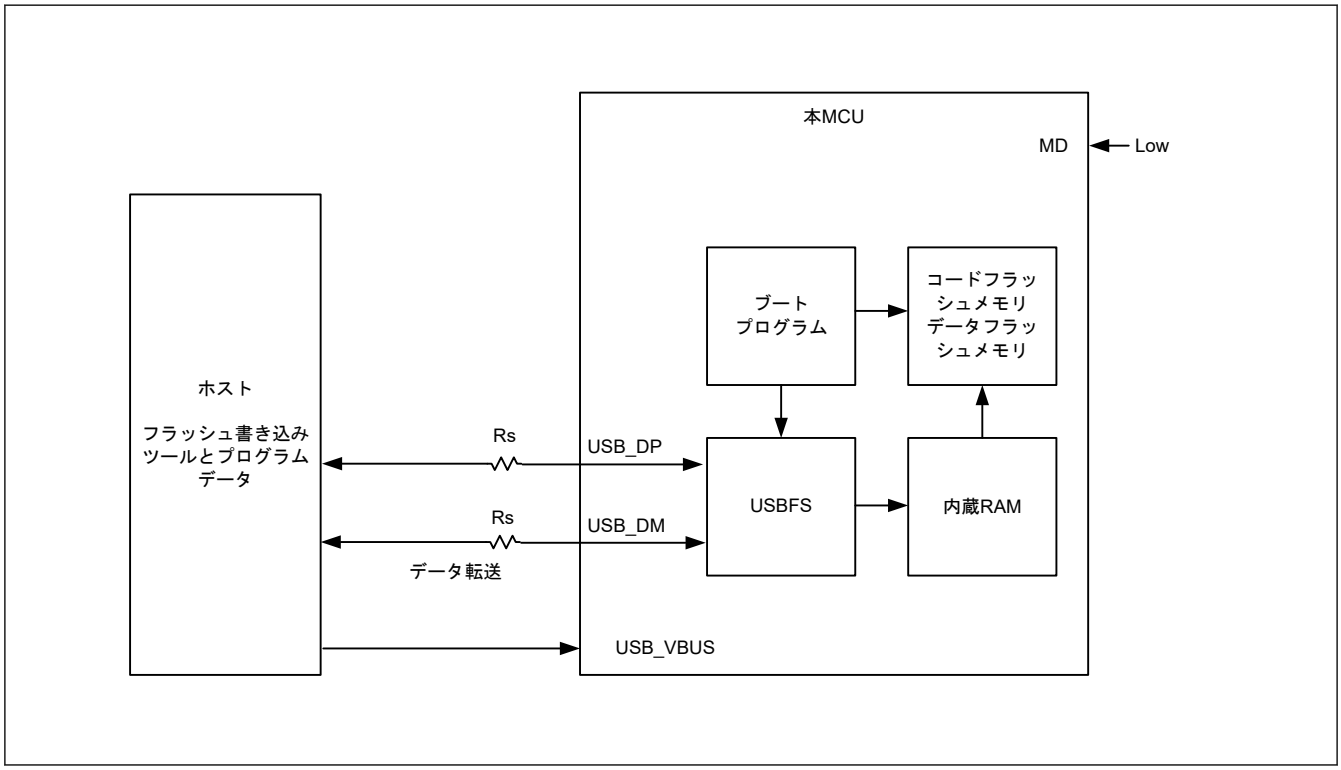


図 41.38　ブートモード（USB インタフェース）のシステム構成図

41.13.3 ブートモード（SWD インタフェース）

ブートモード（SWD インタフェース）では、ホストから制御コマンドや書き込みデータを送信することによりフラッシュメモリへの書き込みまたは消去が可能です。ホストと本 MCU 間の通信には内蔵 SWD が使用されます。ホストが制御コマンドや書き込み用のデータを送信するにはツールが必要です。図 41.39 にブートモード（SWD インタフェース）のシステム構成を示します。リセット解除時、SWD インタフェースが接続されていなければいけません。

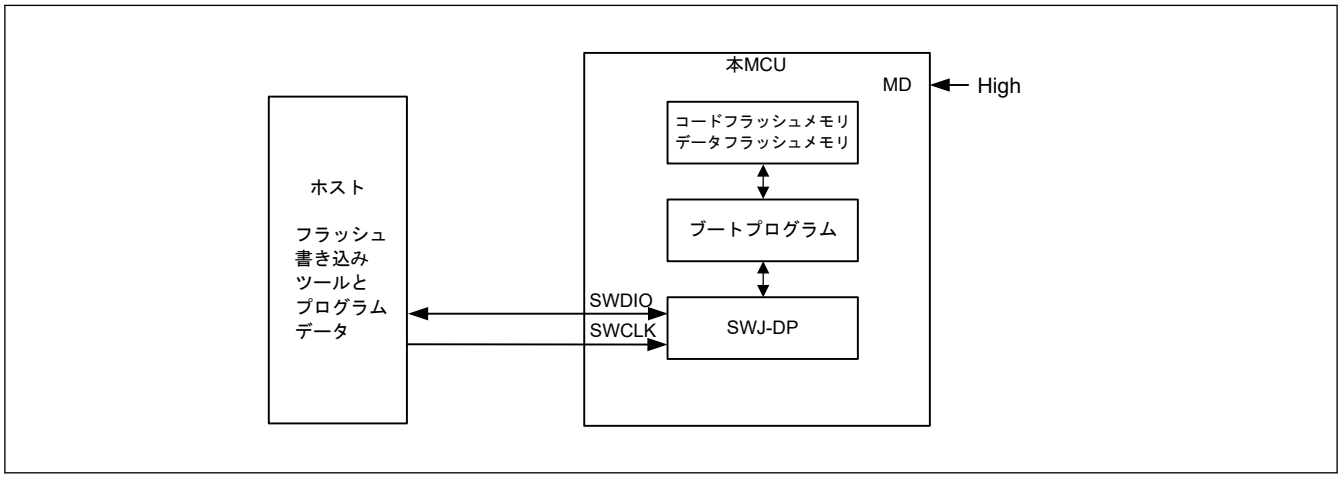


図 41.39 フラッシュメモリ関連モジュールのブロック図

41.14 シリアルプログラマを使用した書き込み

シリアルプログラマを使用して、ブートモードでフラッシュメモリの書き換えを行うことができます。

(1) シリアルプログラミング

シリアルプログラミング時に、本 MCU はボードに装着されています。ボードにコネクタを備えることにより、シリアルプログラマは本 MCU の書き換えを行うことができます。

41.14.1 シリアルプログラミング環境

本 MCU のフラッシュメモリを書き換えるための推奨される環境を次に示します。

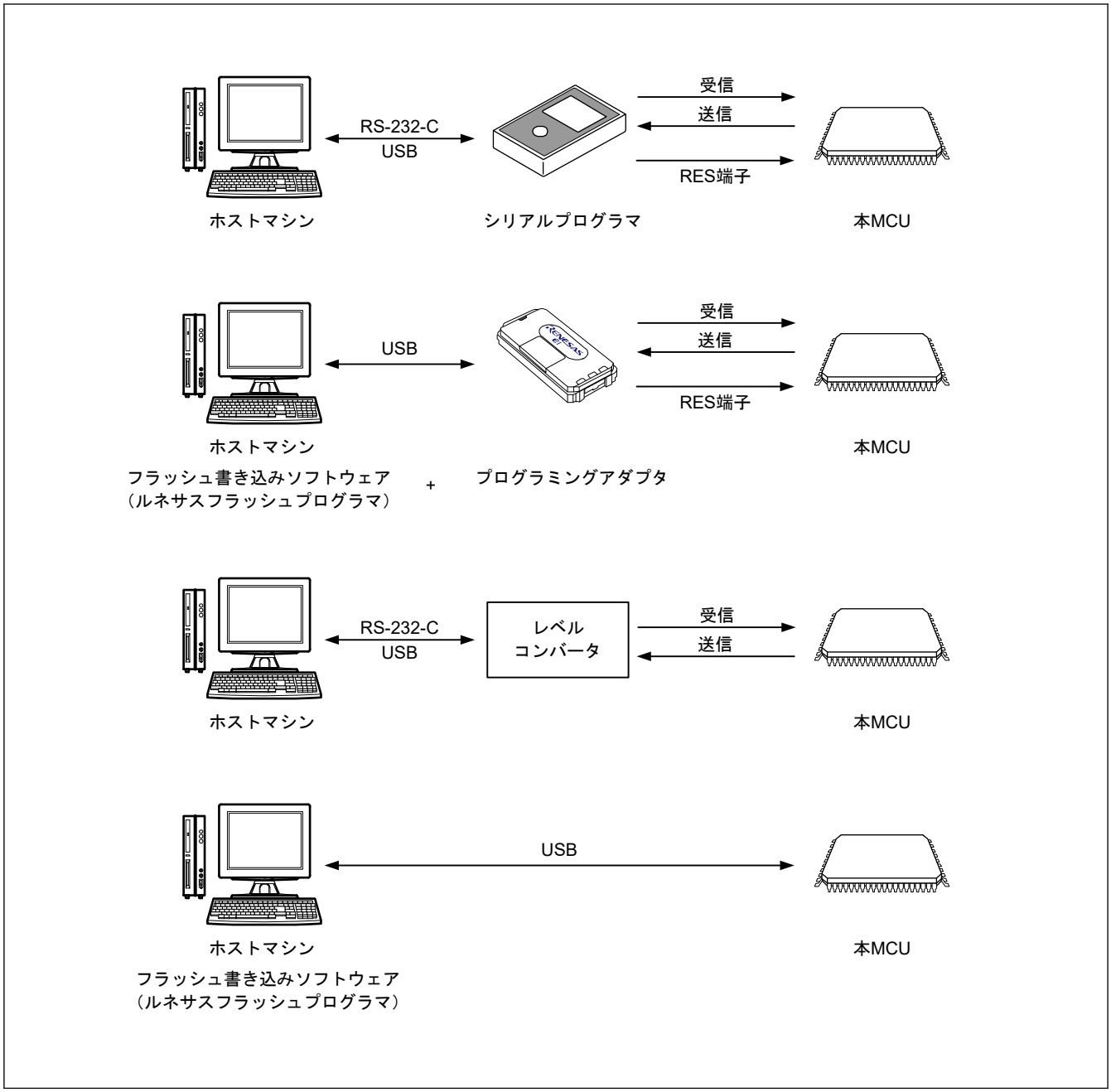


図 41.40　フラッシュメモリを書き換えるための環境

41.15　セルフプログラミングでの書き換え

41.15.1　概要

本 MCU は、ユーザープログラム自体によるフラッシュメモリの書き換えをサポートします。FACI コマンドをユーザーのプログラムで使用することにより、フラッシュメモリに書き込むことができます。これにより、ユーザープログラムのアップグレードと、定数データフィールドの書き換えが可能になります。

BGO が使用できないか、オプション設定メモリを書き換える場合、事前に内蔵 RAM に書き換え用のプログラムを転送する必要があります。

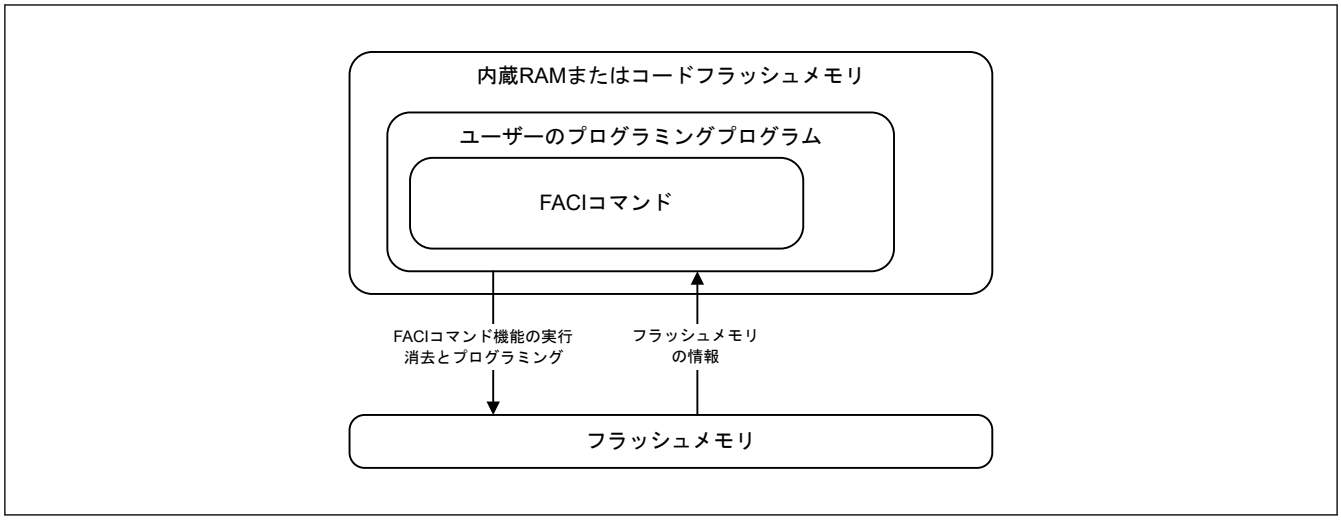


図 41.41　セルフプログラミングの概念

セルフプログラミングの概要情報については、「41.9. FACI コマンド」を参照してください。

41.15.2　バックグラウンドオペレーション

バックグラウンドオペレーション (BGO) は、データフラッシュメモリが書き換えられるときにコードフラッシュメモリ上でフラッシュ書き換えルーチンを実行するのに使用されます。

書き換え対象のフラッシュメモリと読み出し対象のフラッシュメモリが下記に示す組み合わせである場合には、バックグラウンドオペレーションを利用することができます。

表 41.29　バックグラウンドオペレーションの利用可能な条件

	書き換え範囲	読み出し範囲
共通	コードフラッシュメモリ	データフラッシュメモリ
	データフラッシュメモリ	コードフラッシュメモリ

41.16　フラッシュメモリの読み出し

41.16.1　コードフラッシュメモリの読み出し

リセット解除後のコードフラッシュメモリの読み出し時には、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

イレース後にプログラミングしていない状態（未プログラム状態）のコードフラッシュメモリを読み出すと、全ビット 1 が読み出されます。

41.16.2　データフラッシュメモリの読み出し

リセット解除後のデータフラッシュメモリの読み出し時には、特別な設定は必要ありません。データフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。

イレース後にプログラミングしていない状態（未プログラム状態）のデータフラッシュメモリの値は不定です。未プログラム状態の確認には、ブランクチェック機能を使用してください。

41.16.3　アクセスサイクル

CPU キャッシュがヒットの場合、アクセスは 1 サイクルです。

CPU キャッシュ動作が有効で CPU キャッシュがミスとなった場合、または CPU キャッシュが無効の場合のアクセスサイクルを以下に示します。(本動作は AHB プロトコルにおけるラップバーストの最初の読み出しのみ保証します。それ以外の場合、CPU キャッシュがフルになるまでアクセスの待ち時間が発生します。)

表 41.30　コードフラッシュメモリ

フラッシュキャッシュ動作	FLWT レジスタの設定	リードサイクル (ICLK)
有効およびヒット	—	3
無効またはミス	0x00	3
	0x01	4

表 41.31　データフラッシュメモリ

FCKMHZ レジスタの設定	リードサイクル
0x00～0x09	最小：2 ICLK + 3 FCLK 最大：(n + 1) ICLK + 3 FCLK
0x0A～0x13	最小：2 ICLK + 4 FCLK 最大：(n + 1) ICLK + 4 FCLK
0x14～0x1D	最小：2 ICLK + 5 FCLK 最大：(n + 1) ICLK + 5 FCLK
0x1E～0x27	最小：2 ICLK + 6 FCLK 最大：(n + 1) ICLK + 6 FCLK
0x28～0x31	最小：2 ICLK + 7 FCLK 最大：(n + 1) ICLK + 7 FCLK
0x32	最小：2 ICLK + 8 FCLK 最大：(n + 1) ICLK + 8 FCLK

注.　周波数比　ICLK: FCLK が n: 1 の場合

41.17　使用上の注意事項

(1)　プログラム／イレースを中断した領域およびサスペンド対象領域の読み出し

プログラム／イレースを中断した領域およびサスペンドコマンドを使ってプログラム／イレースが中断された領域に格納されたデータは不定です。不定データを読み出すことによる誤動作を回避するために、プログラム／イレースを中断した領域およびサスペンドコマンドを使ってプログラム／イレースが中断された領域から命令をフェッチしたりデータを読み出さないように注意してください。

(2)　プログラム／イレース中のサスペンド

プログラム／イレースの処理が P/E サスペンドコマンドの発行により中止した場合、プログラム／イレース処理は P/E レジュームコマンドを発行することにより再開できます。フラッシュシーケンサが何らかの理由でコマンドロック状態になり、サスペンド処理が正常に完了し ERSSPD フラグまたは PRGSPD フラグが 1 になった後強制停止コマンドを発行すると、サスペンド処理は再開できません。さらに、処理が中断された領域の値は保証されません。その場合は該当領域をイレースしてください。

(3)　追加の書き込み禁止

コードフラッシュメモリまたはデータフラッシュメモリのある領域に 2 回書き込むことはできません。一度書き込まれたコードフラッシュメモリまたはデータフラッシュメモリに書き込むには対象領域を消去します。オプション設定メモリには追加の書き込みが可能です。

(4)　プログラム／イレースまたはブランクチェック中のリセット

プログラム／イレース中の RES 端子の信号またはフラッシュメモリのブランクチェックによりリセットが発生した場合、動作電圧が電気的特性で規定された範囲内で、t_{RESW}（「44. 電気的特性」参照）以上のリセット入力期間の待機後、デバイスをリセット状態から解除してください。

(5)　プログラム／イレース中の割り込み／例外ベクタの配置

プログラム／イレース中に割り込み／例外が発生すると、コードフラッシュメモリからのベクタフェッチが発生する場合があります。BGO が使用できない条件下ではベクタのアドレスをコードフラッシュメモリにないアドレスに設定してください。他の方法として、プログラム／イレース中、割り込みや例外処理が起こらないようにしてください。

(6) プログラム／イレースまたはブランクチェック中の禁止項目

プログラム／イレースまたはブランクチェック中フラッシュメモリには高電圧が印加されます。フラッシュメモリの損傷を防ぐため、以下の動作を実行しないでください。

- 電源を動作電圧範囲外にする
- FWEPROR.FLWE[1:0]ビットを変更する。
- OPCCR.OPCM[2:0]ビットおよび SOPCCR.SOPCM ビットを変更する。
- SCKDIVCR.FCK[2:0]ビットを変更する。
- SCKSCR.CKSEL[2:0]ビットを変更する。
- ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへの遷移。

(7) Low-speed モードおよび Subosc-speed モードでのプログラム／イレース

動作電力コントロールレジスタ（OPCCR または SOPCCR）で Low-speed モードまたは Subosc-speed モードが選択されているとき、フラッシュメモリのプログラム／イレースを行わないでください。

(8) エミュレータ接続

ルネサスは、SWD 通信を使ったデバッグと、SCI または SWD 通信を使ったシリアルプログラミングの両方をサポートするエミュレータを提供しています。

表 41.32 に、本エミュレータを使用する場合の 10 ピンと 20 ピンのソケットピン配列を示します。

表 41.32 エミュレータの端子配置

端子番号	SWD	SCI を使用したシリアルプログラミング
1	VCC	VCC
2	P108/SWDIO	NC
4	P300/SWCLK	P201/MD
6	NC	P109/TXD9
8	NC	P110/RXD9
9	GND 検出	GND 検出
10	nRESET	nRESET
12	NC	NC
14	NC	NC
16	NC	NC
18	NC	NC
20	NC	NC
3, 5, 15, 17, 19	GND	GND
7	NC	NC
11, 13	NC	NC

42. 内部電圧レギュレータ

42.1 概要

本 MCU は 1 つの内部電圧レギュレータを内蔵しています。

- リニアレギュレータ (LDO)

このレギュレータは、I/O、アナログ、USB ドメイン以外のすべての内部回路およびメモリに電圧を供給します。

42.2 動作説明

表 42.1 に LDO モードの端子設定を、図 42.1 に LDO モードの設定を示します。LDO モードでは、内部電圧は VCC から生成します。

表 42.1 LDO モード端子設定

端子	設定内容
全 VCC 端子	• 各端子をシステムの電源に接続してください。 • 各端子を 0.1 µF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。
VCL	各端子を 0.22 µF の積層セラミックコンデンサを介して VSS に接続してください。コンデンサは端子近くに配置してください。

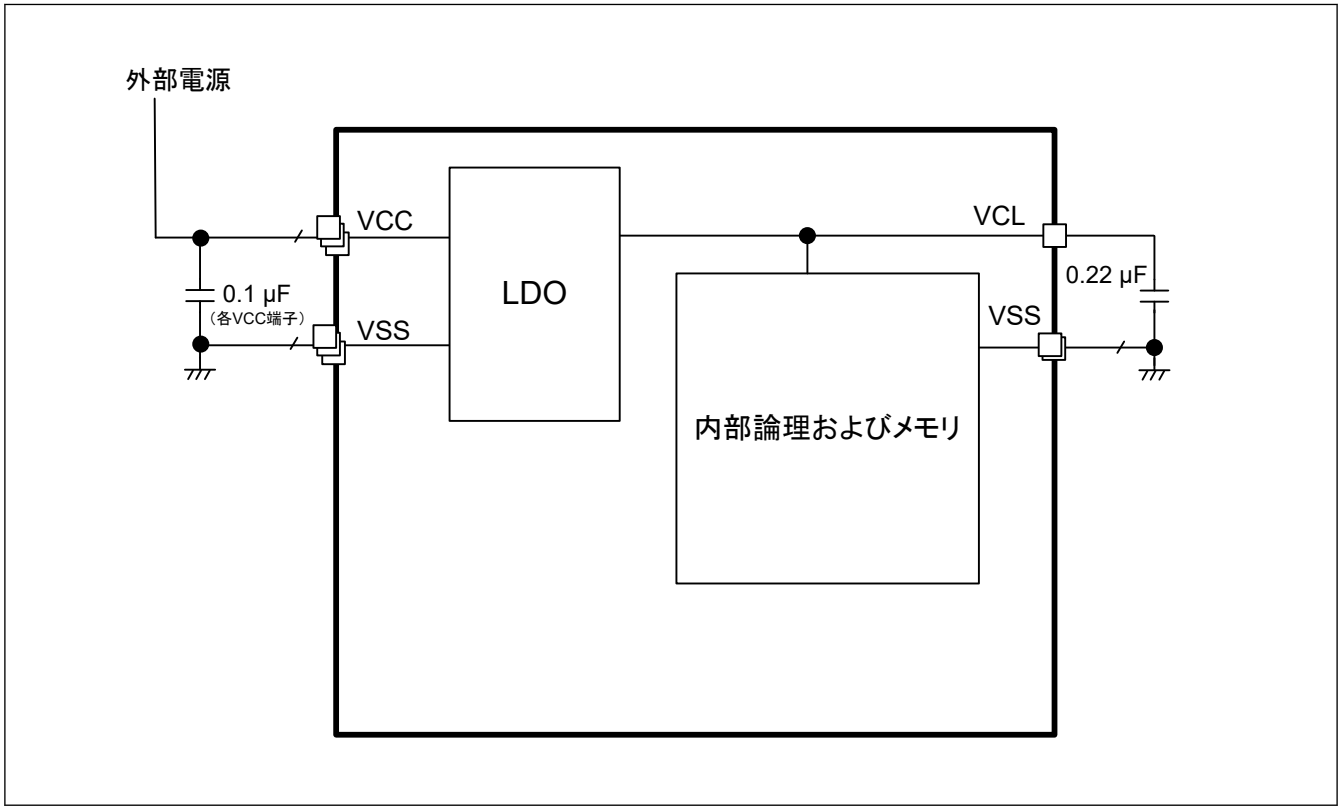


図 42.1 LDO モード設定

43. セキュリティ機能

43.1 特長

- ARMv8-M TrustZone セキュリティ
  - メモリ空間用に 8 領域の IDAU
    - コードフラッシュ用領域：最大 3 領域
    - データフラッシュ用領域：最大 2 領域
    - SRAM 用領域：最大 3 領域
    - IDAU 設定は CPU、DMAC、および DTC に共通
  - SAU 非実装
  - スタンバイ SRAM 用セキュアまたは非セキュア領域
  - 各周辺モジュール用個別セキュア／非セキュアセキュリティ属性
  - 周辺モジュールによってはセキュアセキュリティ属性および非セキュアセキュリティ属性の両方をサポート
- ID 認証
- セキュア兼用端子
  - 全 I/O ポート端子がセキュアまたは非セキュアとして個別に設定可能
  - SPI0、I3C、GPT16E1、および GPT16E5 の端子機能がセキュア端子として設定可能
  - 「18. I/O ポート」を参照してください。

43.2 Arm TrustZone セキュリティ

43.2.1 Arm TrustZone 技術

Arm TrustZone 技術は、システムとアプリケーションをセキュアドメインと非セキュアドメインに分けます。セキュアアプリケーションは、セキュアおよび非セキュアなメモリおよびリソースにアクセス可能です。非セキュアアプリケーションは、非セキュアメモリおよびリソースのみにアクセス可能です。

システムはデフォルトでセキュア状態で起動します。CPU のセキュリティ状態は、セキュアでも非セキュアでもいずれでも可能です。

43.2.2 メモリのセキュリティ属性

コードフラッシュ、データフラッシュ、SRAM はセキュア領域 (S)、非セキュア領域 (NS)、非セキュアコーラブル領域 (NSC) に分割されます。

これらのメモリセキュリティ属性は以下のレジスタに設定されます。

- コードフラッシュセキュリティ属性レジスタ A (CFSAMONA)
- コードフラッシュセキュリティ属性レジスタ B (CFSAMONB)
- データフラッシュセキュリティ属性レジスタ (DFSAMON)
- SRAM セキュリティ属性レジスタ A (SSAMONA)
- SRAM セキュリティ属性レジスタ B (SSAMONB)

コードフラッシュは、最大 3 つの領域に分割可能です。データフラッシュは最大 2 つの領域に分割可能です。SRAM は最大 3 つの領域に分割可能です。図 43.1 にメモリマッピングを示します。表 43.1 にメモリ領域のサイズを示します。

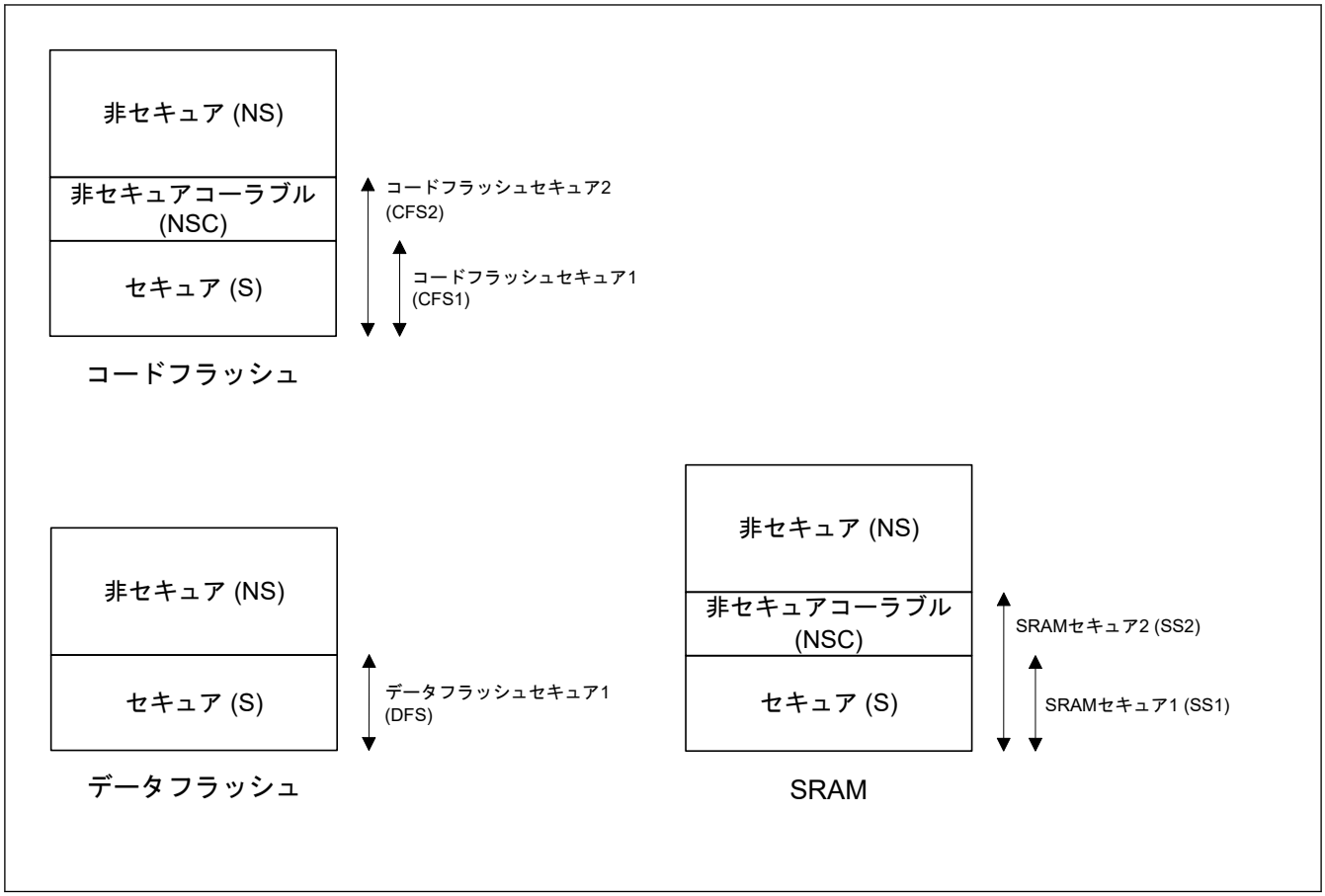


図 43.1　メモリマッピング

表 43.1　メモリ領域サイズ

メモリ領域	開始アドレス	サイズ
コードフラッシュセキュア	0x0000_0000	CFS1 × 1 KB
コードフラッシュ NSC	CFS1 × 1 KB	CFS2 × 32 KB - CFS1 × 1 KB
コードフラッシュ非セキュア	CFS2 × 32 KB	コードフラッシュサイズ - CFS2 × 32 KB
データフラッシュセキュア	0x0800_0000	DFS × 1 KB
データフラッシュ非セキュア	0x0800_0000 + DFS × 1 KB	データフラッシュサイズ - DFS × 1 KB
SRAM セキュア	0x2000_0000	SS1 × 1 KB
SRAM NSC	0x2000_0000 + SS1 × 1 KB	SS2 × 8 KB - SS1 × 1 KB
SRAM 非セキュア	0x2000_0000 + SS2 × 8 KB	SRAM サイズ - SS2 × 8 KB

スタンバイ SRAM は 8 つの領域に分かれています。セキュリティ属性は各領域に設定できますが、セキュア領域と非セキュア領域はともに連続していなければなりません。言い換えれば、スタンバイ SRAM は一つの連続したセキュア領域と一つの連続した非セキュア領域を備えることができます。スタンバイ SRAM のセキュリティ属性は、セキュアアプリケーションにより専用レジスタに設定されます。詳細は、「40. スタンバイ SRAM」を参照してください。

表 43.2 にメモリのアクセス許可を示します。

表 43.2　メモリのアクセス許可 (1/2)

メモリ	セキュアアクセス	非セキュアアクセス
セキュアまたは NSC として設定されたコードフラッシュ、データフラッシュ、SRAM	許可	書き込み無視／読み出し無視 TrustZone アクセスエラー発生

表 43.2 メモリのアクセス許可 (2/2)

メモリ	セキュアアクセス	非セキュアアクセス
非セキュアとして設定されたコードフラッシュ、データフラッシュ、SRAM	許可	許可
セキュアとして設定されたスタンバイ SRAM	許可	書き込み無視／0x00 読み出し TrustZone アクセスエラー発生なし
非セキュアとして設定されたスタンバイ SRAM	許可	許可

43.2.3 周辺モジュールのセキュリティ属性

各周辺モジュールは、セキュアまたは非セキュアに設定可能です。

周辺モジュールは 2 種類に分かれます。

タイプ 1 周辺モジュールは 1 つのセキュリティ属性を持っています。全レジスタへのアクセスが 1 つのセキュリティ属性により制御されます。タイプ 1 周辺モジュールのセキュリティ属性は、セキュアアプリケーションにより PSARx (x = B～E) レジスタに設定されます。

タイプ 2 周辺モジュールは、各レジスタまたは各ビットに対してセキュリティ属性を持っています。各レジスタまたはビットフィールドへのアクセスは、これらのセキュリティ属性に従って制御されます。タイプ 2 周辺モジュールのセキュリティ属性は、セキュアアプリケーションにより各モジュールのセキュリティ属性レジスタに設定されます。セキュリティ属性レジスタについては、各周辺モジュールユーザーズマニュアルの該当章を参照してください。

表 43.3 に周辺モジュール種別の分類を示します。

表 43.3 周辺モジュール種別の分類

種類	周辺モジュール
タイプ 1	SCI, SPI, USBFS, CANFD, I3C, CEC, TRNG, DOC, SSIE, CRC, CAC, TSN, ADC12, DAC12, POEG, AGT, GPT, RTC, IWDT, WDT
タイプ 2	システム制御（リセット、LVD、クロック発生回路、低消費電力モード）、FLASH CACHE、SRAM コントローラ、CPU CACHE、DMAC、DTC、ICU、MPU、BUS、セキュリティ設定、ELC、I/O ポート

表 43.4 にタイプ 1 周辺モジュールのアクセス許可を示します。タイプ 2 周辺モジュールのアクセス許可はモジュールごとに異なります。各周辺モジュールのレジスタの説明を参照してください。

表 43.4 タイプ 1 周辺モジュールのアクセス許可

許可	セキュアアクセス	非セキュアアクセス
セキュアとして設定された周辺モジュール	許可	書き込み無視／読み出し無視 TrustZone アクセスエラー発生
非セキュアとして設定された周辺モジュール	許可	許可

43.2.4 フラッシュシーケンサのセキュリティ属性

フラッシュシーケンサはフラッシュのプログラム／イレースに使用されます。

フラッシュシーケンサは特別なセキュリティ属性を持っています。表 43.5 にフラッシュシーケンサのアクセス許可を示します。

表 43.5 フラッシュシーケンサのアクセス許可 (1/2)

	セキュアアクセス	非セキュアアクセス
FACI コマンド発行領域	許可	FACI コマンドがコードフラッシュ、データフラッシュおよびオプション設定メモリのセキュア領域に発行された場合 ● 発行された FACI コマンドは無効です。 ● フラッシュシーケンサエラーになります。 FACI コマンドがコードフラッシュ、データフラッシュおよびオプション設定メモリの非セキュア領域に発行された場合 ● 発行された FACI コマンドは有効です。

表 43.5 フラッシュシーケンサのアクセス許可 (2/2)

	セキュアアクセス	非セキュアアクセス
FBPROT1、FSUACR、FMEPROT レジスタ	許可	書き込み無視／読み出し可能 TrustZone アクセスエラー発生なし
FCKMHZ レジスタ	許可	フラッシュセキュリティ属性レジスタにより設定 セキュアとして設定された場合 ● 書き込み無視／読み出し可能 ● TrustZone アクセスエラー発生なし 非セキュアとして設定された場合 ● 許可
その他のレジスタ	許可	セキュアアプリケーションによるプログラム／イレース中もしくはプログラム／イレース中断中 ● 書き込み無視／0x00 読み出し ● TrustZone アクセスエラー発生なし その他の状態 ● 許可

43.2.5 アドレス空間のセキュリティ属性

表 43.6 に、アドレス空間のセキュリティ属性を示します。

表 43.6 アドレス空間のセキュリティ属性

領域	属性
コードフラッシュセキュア	セキュア
コードフラッシュ NSC	NSC
コードフラッシュ非セキュア	非セキュア
データフラッシュセキュア	セキュア
データフラッシュ非セキュア	非セキュア
SRAM セキュア	セキュア
SRAM NSC	NSC
SRAM 非セキュア	非セキュア
周辺モジュール	除外
その他のエリア	除外

注. 除外：チェックは行われません。バストランザクションはすべて伝播されます。

43.2.6 TrustZone アクセスエラー

表 43.7 に TrustZone アクセスエラー発生時の動作を示します。動作はアクセス対象のマスタ／スレーブ領域によって変わります。

表 43.7 TrustZone アクセスエラー時の動作

エリア	CPU	DMAC/DTC
コードフラッシュ、データフラッシュ、SRAM	SecureFault 例外検出(注2)	● 転送が開始しない ● NMI またはリセット発生(注1) ● 割り込み発生 (DMA_TRANSERR)
その他のエリア	● BusFault 例外検出(注2) (注3) ● NMI またはリセット発生(注1) (注2) (注3)	● 転送停止(注4) ● NMI またはリセット発生(注1) (注4) ● 割り込み発生 (DMA_TRANSERR)(注4)

注 1. NMI またはリセットが TZFOAD.OAD ビットにより選択されます。
注 2. デバッガアクセスにより TrustZone アクセスエラーが発生した場合、例外、NMI、またはリセットは発生しません。エラー応答のみが返されます。
注 3. ARM MPU によりメモリ属性が「Early Write Acknowledgment」に設定されている PHBIU/PLBIU アドレス空間への書き込みではこのエラー動作は起きません。
注 4. DMBWR.BWE ビットによりバッファラブル書き込みが許可されている場合、DMAC から PHBIU/PLBIU アドレス空間への書き込みではこのエラー動作は起きません。

43.3 ID 認証

この機能は、書き換えとオンチップデバッギングを禁止します。デバイスは、ID コードを有効または無効にし、フラッシュメモリに格納された ID コードに基づき ID コードを決定します。ID コードプロテクト機能が有効の場合、ホストから送られてくるコードとフラッシュメモリの ID コードを比較して一致するか判定します。書き換えとオンチップデバッギングは、この 2 つが一致する場合に限り許可されます。フラッシュメモリの ID コードは、32 ビットワード 4 つで構成されます。

ID コードのビット[127]とビット[126]は、ID コードプロテクト機能の有効／無効を判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 43.8 に示します。

ID コードの設定方法については、「6.2.2. OSIS : OCD／シリアルプログラマ ID 設定レジスタ」を参照してください。

表 43.8 ID コードプロテクト機能の仕様

ブートアップ時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッガ接続時の動作
シリアルプログラミングモード（SCI/USB/SWD ブートモード） オンチップデバッグモード（SWD ブートモード）	0xFF, ..., 0xFF（全バイトが 0xFF）	プロテクト無効	プログラマまたはオンチップデバッガへの接続を許可。プログラマに接続しても ID コードはチェックされません。ID コードは常に一致し、プログラマへの接続が許可されます。オンチップデバッガは 0xFF, ..., 0xFF（全バイトが 0xFF）を送るか、接続時何も送らないことが必要
	ビット[127] = 1、ビット[126] = 1、かつ 16 バイトのうち少なくとも 1 つが 0xFF 以外	プロテクト有効	ID コード一致 : 認証を終了し、プログラマまたはオンチップデバッガへの接続を許可 ID コード不一致 : ID コードプロテクト待機状態へ遷移 プログラマまたはオンチップデバッガから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) であると、ユーザーフラッシュ領域の内容は消去されます。 ただし、SAS.FSPR(注1)ビットが 0 であるか、または永久ブロック・プロテクションが設定されたブロックがある場合、強制消去は実行されません。
	ビット[127] = 1 およびビット[126] = 0	プロテクト有効	ID コード一致 : 認証を終了し、プログラマまたはオンチップデバッガへの接続を許可 ID コード不一致 : ID コードプロテクト待機状態へ遷移 ルネサスはテストモードにアクセスできません。
	ビット[127] = 0	プロテクト有効	ID コードは検証されません。ID コードは常に不一致であり、プログラマまたはオンチップデバッガへの接続は禁止され、ルネサスはテストモードにアクセスできません。

注 1. SAS.FSPR ビットの詳細は、「6.2.3. SAS : スタートアップ領域設定レジスタ」を参照してください。

43.3.1 故障解析

お客様がルネサスに故障解析をご希望の場合は、OSIS レジスタのビット[127:126]を 11b に変更してからデバイスを送付する必要があります。OSIS レジスタのビット[127:126]が 11b でない場合、ルネサスはテストモードにアクセスできなくなります。そのため、OSIS レジスタのビット[127:126]が 11b でない限り、ルネサスは故障解析を行うことができません。

ルネサスに送られたデバイスはお客様に戻されません。デバイスは廃棄されます。

43.4 レジスタの説明

43.4.1 PSARB : 周辺モジュールセキュリティ属性レジスタ B

Base address: PSCU = 0x400E_0000

Offset address: 0x04

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PSARB31	—	—	—	—	—	—	—	—	PSARB22	—	—	PSARB19	PSARB18	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	PSARB11	—	—	—	—	—	—	PSARB4	PSARB3	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
2:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
3	PSARB3	CEC および MSTPCRB.MSTPB3 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
4	PSARB4	I3C および MSTPCRB.MSTPB4 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
10:5	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	PSARB11	USBFS および MSTPCRB.MSTPB11 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
17:12	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
18	PSARB18	SPI1 および MSTPCRB.MSTPB18 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
19	PSARB19	SPI0 および MSTPCRB.MSTPB19 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
21:20	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	PSARB22	SCI9 および MSTPCRB.MSTPB22 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
30:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
31	PSARB31	SCI0 および MSTPCRB.MSTPB31 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. 本表で未定義のビットは予約ビットです。予約ビットは初期値のままとしてください。

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

PSARB レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

43.4.2 PSARC : 周辺モジュールセキュリティ属性レジスタ C

Base address: PSCU = 0x400E_0000

Offset address: 0x08

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	PSARC28	PSARC27	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	PSARC13	—	—	—	—	PSARC8	—	—	—	—	—	—	PSARC1	PSARC0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	PSARC0	CAC および MSTPCRC.MSTPC0 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	PSARC1	CRC および MSTPCRC.MSTPC1 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
7:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
8	PSARC8	SSIE0 および MSTPCRC.MSTPC8 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
11:9	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
12	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
13	PSARC13	DOC および MSTPCRC.MSTPC13 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
19:14	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
20	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
21	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
26:22	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
27	PSARC27	CANFD0 および MSTPCRC.MSTPC27 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
28	PSARC28	TRNG および MSTPCRC.MSTPC28 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:29	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

PSARC レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

43.4.3 PSARD : 周辺モジュールセキュリティ属性レジスタ D

Base address: PSCU = 0x400E_0000

Offset address: 0x0C

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	PSARD22	—	PSARD20	—	—	—	PSARD16
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	PSARD14	PSARD13	PSARD12	PSARD11	—	—	—	—	—	—	—	PSARD3	PSARD2	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
1:0	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
2	PSARD2	AGT1 および MSTPCRD.MSTPD2 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
3	PSARD3	AGT0 および MSTPCRD.MSTPD3 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
10:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
11	PSARD11	POEG グループ D および MSTPCRD.MSTPD11 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
12	PSARD12	POEG グループ C および MSTPCRD.MSTPD12 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
13	PSARD13	POEG グループ B および MSTPCRD.MSTPD13 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
14	PSARD14	POEG グループ A および MSTPCRD.MSTPD14 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
15	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
16	PSARD16	ADC120 および MSTPCRD.MSTPD16 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
19:17	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
20	PSARD20	DAC12 および MSTPCRD.MSTPD20 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
21	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
22	PSARD22	TSN および MSTPCRD.MSTPD22 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:23	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

PSARD レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

43.4.4 PSARE : 周辺モジュールセキュリティ属性レジスタ E

Base address: PSCU = 0x400E_0000

Offset address: 0x10

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	PSARE31	PSARE30	—	—	PSARE27	PSARE26	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	PSARE2	PSARE1	PSARE0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	PSARE0	WDT セキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	PSARE1	IWDT セキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	PSARE2	RTC セキュリティ属性 0: セキュア 1: 非セキュア	R/W
25:3	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
26	PSARE26	GPT5 および MSTPCRE.MSTPE26 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
27	PSARE27	GPT4 および MSTPCRE.MSTPE27 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
29:28	—	読むと 1 が読めます。書く場合、1 としてください。	R/W
30	PSARE30	GPT1 および MSTPCRE.MSTPE30 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31	PSARE31	GPT0、GPT_OPS および MSTPCRE.MSTPE31 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

PSARE レジスタは、各モジュールのセキュリティ属性およびモジュールストップコントロールレジスタの対応ビットを指定します。

43.4.5 MSSAR : モジュールストップセキュリティ属性レジスタ

Base address: PSCU = 0x400E_0000

Offset address: 0x14

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	MSSAR3	MSSAR2	MSSAR1	MSSAR0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	機能	R/W
0	MSSAR0	MSTPCRC.MSTPC14 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
1	MSSAR1	MSTPCRA.MSTPA22 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
2	MSSAR2	MSTPCRA.MSTPA7 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
3	MSSAR3	MSTPCRA.MSTPA0 ビットセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:4	—	読むと 1 が読めます。書く場合、1 としてください。	R/W

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

MSSAR レジスタは、モジュールストップコントロールレジスタの対応ビットのセキュリティ属性を指定します。

43.4.6 CFSAMONA : コードフラッシュセキュリティ属性レジスタ A

Base address: PSCU = 0x400E_0000

Offset address: 0x18

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	CFS2[8:0]								—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
14:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:15	CFS2[8:0]	コードフラッシュセキュアエリア 2 コードフラッシュ用のセキュア領域および NSC 領域の合計エリアを設定します。 エリア設定の最小単位は 32 KB です。 0x000: 0 KB 0x001: 32 KB 0x002: 64 KB 0x003: 96 KB 0x004: 128 KB	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

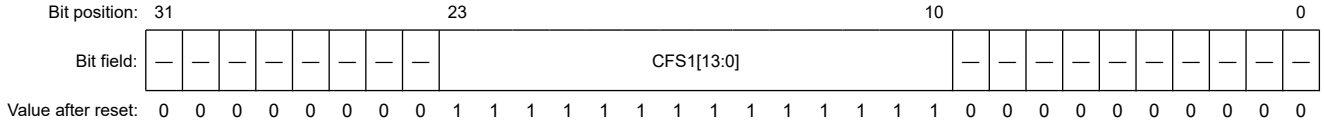
注. セキュアアクセスのみ本レジスタへ書き込み可能です。セキュアアクセスと非セキュア読み出しアクセスは許可されますが、非セキュア書き込みアクセスは許可されず、TrustZone アクセスエラーは発生しません。

注. 本レジスタへの書き込みは、PRCR レジスタにより保護されています。

43.4.7 CFSAMONB: コードフラッシュセキュリティ属性レジスタ B

Base address: PSCU = 0x400E_0000

Offset address: 0x1C



ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
23:10	CFS1[13:0]	コードフラッシュセキュアエリア 1 コードフラッシュのセキュア領域のエリアを設定します。 エリア設定の最小単位は 1 KB です。 0x0000: 0 KB 0x0001: 1 KB 0x0002: 2 KB 0x0003: 3 KB ⋮ 0x0080: 128 KB	R/W
31:24	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

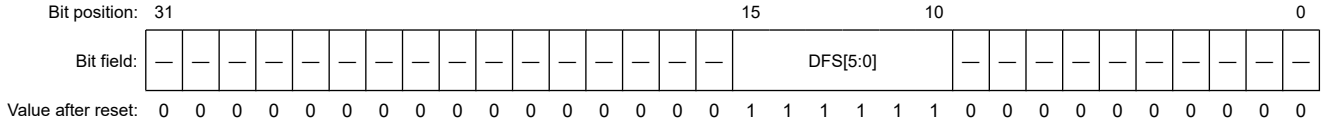
注. セキュアアクセスのみ本レジスタへ書き込み可能です。セキュアアクセスと非セキュア読み出しアクセスは許可されますが、非セキュア書き込みアクセスは許可されず、TrustZone アクセスエラーは発生しません。

注. 本レジスタへの書き込みは、PRCR レジスタにより保護されています。

43.4.8 DFSAMON: データフラッシュセキュリティ属性レジスタ

Base address: PSCU = 0x400E_0000

Offset address: 0x20



ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:10	DFS[5:0]	データフラッシュセキュアエリア データフラッシュのセキュア領域のエリアを設定します。 エリア設定の最小単位は 1 KB です。 0x00: 0 KB 0x01: 1 KB 0x02: 2 KB 0x03: 3 KB 0x04: 4 KB その他: 設定禁止	R/W
31:16	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

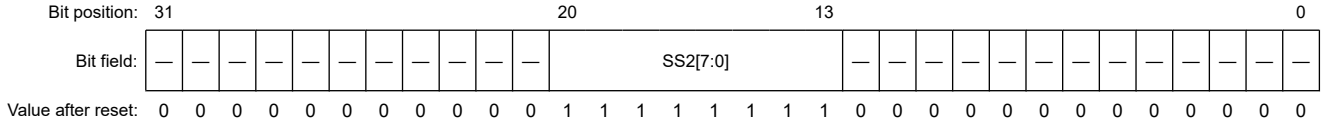
注. セキュアアクセスのみ本レジスタへ書き込み可能です。セキュアアクセス、非セキュアリードアクセスともに許可されますが、非セキュアライトアクセスは許可されず、TrustZone アクセスエラーは発生しません。

注. 本レジスタへの書き込みは、PRCR レジスタにより保護されています。

43.4.9 SSAMONA: SRAM セキュリティ属性レジスタ A

Base address: PSCU = 0x400E_0000

Offset address: 0x24



ビット	シンボル	機能	R/W
12:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:13	SS2[7:0]	SRAM セキュアエリア 2 SRAM 用のセキュア領域および NSC 領域の合計エリアを設定します。 エリア設定の最小単位は 8 KB です。 0x000: 0 KB 0x001: 8 KB 0x002: 16 KB 0x003: 24 KB 0x004: 32 KB 0x005: 40 KB その他: 設定禁止	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

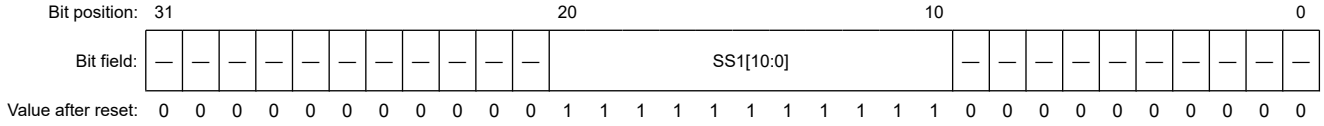
注. セキュアアクセスのみ本レジスタへ書き込み可能です。セキュアアクセス、非セキュアリードアクセスともに許可されますが、非セキュアライトアクセスは許可されず、TrustZone アクセスエラーは発生しません。

注. 本レジスタへの書き込みは、PRCR レジスタにより保護されています。

43.4.10 SSAMONB: SRAM セキュリティ属性レジスタ B

Base address: PSCU = 0x400E_0000

Offset address: 0x28



ビット	シンボル	機能	R/W
9:0	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
20:10	SS1[10:0]	SRAM セキュアエリア 1 SRAM のセキュア領域のエリアを設定します。 エリア設定の最小単位は 1 KB です。 0x000: 0 KB 0x001: 1 KB 0x002: 2 KB 0x003: 3 KB ⋮ 0x028: 40 KB その他: 設定禁止	R/W
31:21	—	読むと 0 が読めます。書く場合、0 としてください。	R/W

注. セキュアアクセスのみ本レジスタへ書き込み可能です。セキュアアクセス、非セキュアリードアクセスともに許可されますが、非セキュアライトアクセスは許可されず、TrustZone アクセスエラーは発生しません。

注. 本レジスタへの書き込みは、PRCR レジスタにより保護されています。

43.4.11 TZFSAR : TrustZone フィルタセキュリティ属性レジスタ

Base address: CPSCU = 0x4000_8000

Offset address: 0x180

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TZFSA0
Value after reset:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

ビット	シンボル	機能	R/W
0	TZFSA0	TrustZone フィルタ用レジスタのセキュリティ属性 0: セキュア 1: 非セキュア	R/W
31:1	—	読むと 1 が読めます。	R

注. セキュアアクセスのみが本レジスタに書き込み可能です。セキュアアクセスと非セキュアリードアクセスの両方が許可されていますが、非セキュアライトアクセスは許可されていません。TrustZone アクセスエラーは発生しません。

注. このレジスタは PRCR レジスタによって書き込み保護されています。

TZFSA0 ビット（TrustZone フィルタ用レジスタのセキュリティ属性）

TZFOAD レジスタおよび TZFPT レジスタ用のセキュリティ属性を指定します。

43.4.12 TZFOAD : 検出後の TrustZone フィルタ動作レジスタ

Base address: TZF = 0x4000_0E00

Offset address: 0x00

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	OAD
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	OAD	検出後の動作 0: ノンマスカブル割り込み 1: リセット	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード 本ビットは、OAD ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

OAD ビット（検出後の動作）

OAD ビットを指定すると、保護領域へのアクセスが TrustZone フィルタにより検出されると、リセットまたはノンマスカブル割り込みが発生します。

OAD ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、OAD ビットへの書き込みを禁止／許可します。OAD ビットを書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の KEY[7:0]ビット値が書き込まれると、OAD ビットは更新されません。

KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

43.4.13 TZFPT : TrustZone フィルタ保護レジスタ

Base address: TZF = 0x4000_0E00

Offset address: 0x04

Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	機能	R/W
0	PROTECT	レジスタの保護 0: 全バス TrustZone フィルタレジスタの書き込み保護。読み出しは可能 1: 全バス TrustZone フィルタレジスタの書き込み可能	R/W
7:1	—	読むと 0 が読めます。書く場合、0 としてください。	R/W
15:8	KEY[7:0]	キーコード PROTECT ビットへの書き込みを許可または禁止します。	W

注. セキュリティ属性がセキュアに設定されている場合、
- セキュアアクセスと非セキュアリードアクセスが許可されています。
- 非セキュアライトアクセスは無視されます。TrustZone アクセスエラーは発生しません。

セキュリティ属性が非セキュアに設定されている場合、
- セキュアアクセスと非セキュアアクセスが許可されています。

PROTECT ビット（レジスタの保護）

PROTECT ビットは、保護するレジスタへの書き込みを許可または禁止します。TZFOAD レジスタは PROTECT レジスタにより保護されます。

PROTECT ビットを設定する際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

KEY[7:0]ビット（キーコード）

KEY[7:0]ビットは、PROTECT ビットへの書き込みを禁止／許可します。PROTECT ビットに書き込む際は、同時に KEY[7:0]ビットに 0xA5 を書き込んでください。

0xA5 以外の KEY[7:0]ビット値が書き込まれると、PROTECT ビットは更新されません。

KEY[7:0]ビットは読むと常に 0x00 が読み出されます。

43.5 使用上の注意事項

43.5.1 SAU 設定

リセット後、アドレス空間のすべてが SAU デフォルト設定により「セキュア」になります。SAU_CTRL レジスタを 0x2 に設定し、IDAU セキュリティ属性を有効にしてください。すなわち、SAU_CTRL レジスタを 0x2 に設定後、アドレス空間のセキュリティ属性は表 43.6 に示すようになります。

43.5.2 FACI レジスタ設定中の非セキュア例外

表 43.5 に示すように、FACI に関連したレジスタは、プログラム／イレース中もしくはプログラム／イレース中断中のみ非セキュアアクセスから保護されます。この状態以外では、非セキュア領域からのアクセスから保護されません。たとえば、セキュアユーザーのプログラミング中、図 41.13 に示した「対象ブロックの開始アドレスを FSADDR レジスタに設定」というフローの直後に非セキュア例外が起きた場合、非セキュアユーザーは FSADDR レジスタを書き換えることができます。非セキュア例外の処理完了後に FACI コマンドが発行され、

CPU 状態がセキュア状態に戻った場合、データが書き込まれるアドレスは、セキュアユーザーが意図していないアドレスになります。

このような事態を避けるために、セキュアユーザーは下記の期間、非セキュア例外を受け付けないように設定する必要があります。

- FWEPROR レジスタを 0x01 に設定する前、または FENTRYR レジスタを 0x0000 以外の値に設定する前（すなわち、FWEPROR レジスタまたは FENTRYR レジスタの保護を解除する前）は、非セキュア例外を受け付けないように設定
- FACI コマンド発行領域へのすべての書き込み完了後に非セキュア例外を受け付けるように設定

43.5.3 FCU 割り込みの使用

セキュアユーザーは FCU 割り込みを使用しないで、代わりにレジスタポーリングを使用することをお勧めします。非セキュアユーザーは、セキュアゲートウェイを呼び出さずにデータフラッシュをプログラム／イレースできるので、セキュアユーザーが FCU 割り込みを使用した場合、非セキュアユーザーによるデータフラッシュのプログラム／イレース中に意図しない例外処理が実行される可能性があります。

44. 電気的特性

サポートする周辺機能と端子は、製品型名によって異なります。

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

- VCC = AVCC0 = VCC_USB = 2.7～3.6
- 2.7 ≦ VREFH0/VREFH ≦ AVCC0
- VSS = AVSS0 = VREFL0/VREFL = VSS_USB = 0 V
- $T_a = T_{opr}$

図 44.1 は、タイミング条件を示しています。

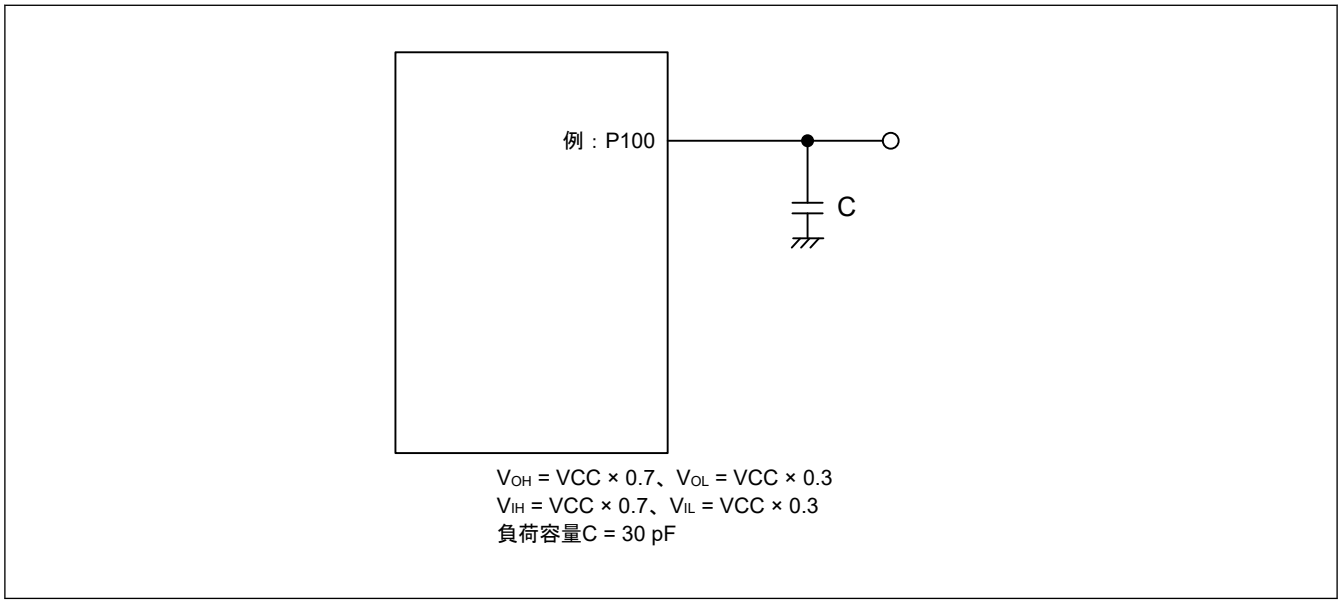


図 44.1 入出力タイミング計測条件

提供される各周辺モジュールのタイミング仕様の推奨計測条件は、最適な周辺動作に対するものです。ただし、ユーザー条件に合うように、各端子の駆動能力を調整してください。

44.1 絶対最大定格

表 44.1 絶対最大定格

項目	シンボル	値	単位
電源電圧	VCC, VCC_USB(注2)	-0.3～+4.0	V
入力電圧（5 V トレラントポートを除く(注1)）	V_{in}	-0.3～VCC + 0.3	V
入力電圧（5 V トレラントポート(注1)）	V_{in}	–0.3～+ VCC + 4.0（最大 5.8）	V
リファレンス電源電圧	VREFH/VREFH0	-0.3～VCC + 0.3	V
アナログ電源電圧	AVCC0(注2)	-0.3～+4.0	V
アナログ入力電圧	V_{AN}	–0.3～AVCC0 + 0.3	V
動作温度(注3) (注4) (注5)	T_{opr}	-40～+105	°C
保存温度	T_{stg}	-55～+125	°C

注 1. ポート P100、P101、P205、P206、P400、P401、P407～P411 は 5 V トレラント対応ポートです。
注 2. AVCC0 および VCC_USB を VCC に接続してください。
注 3. 「44.2.1. Tj/Ta の定義」を参照してください。
注 4. Ta = +85 °C～+105 °C の場合のディレーティング動作については、弊社営業窓口までお問い合わせください。ディレーティングとは、信頼性向上のための系統的な負荷軽減策です。
注 5. 動作温度の上限は、+85 °C または+105 °C です（製品による）。詳細は、「1.3. 型名」を参照してください。

【使用上の注意】絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

表 44.2 推奨動作条件

項目	シンボル	値	Min	Typ	Max	単位
電源電圧	VCC	USB 未使用時	2.7	—	3.6	V
		USB 使用時	3.0	—	3.6	V
	VSS		—	0	—	V
USB 電源電圧	VCC_USB		—	VCC	—	V
	VSS_USB		—	0	—	V
アナログ電源電圧	AVCC0(注1)		—	VCC	—	V
	AVSS0		—	0	—	V

注 1. AVCC0 を VCC に接続してください。A/D コンバータおよび D/A コンバータを使用していない場合、AVCC0 端子、VREFH/VREFH0 端子、AVSS0 端子および VREFL/VREFL0 端子を開放したままにしないでください。AVCC0 端子および VREFH/VREFH0 端子を VCC に、AVSS0 端子および VREFL/VREFL0 端子を VSS にそれぞれ接続してください。

44.2 DC 特性

44.2.1 Tj/Ta の定義

表 44.3 DC 特性

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	T_j	—	125	℃	High-speed モード Low-speed モード Subosc-speed モード
			105(注1)		

注. $T_j = T_a + \theta ja \times$ 総消費電力 (W) となるようにしてください。このとき、総消費電力 = $(VCC - V_{OH}) \times \Sigma I_{OH} + V_{OL} \times \Sigma I_{OL} + I_{CC}max \times VCC$ です。

注 1. 動作温度の上限は、85℃または 105℃です（製品による）。詳細は、「1.3. 型名」を参照してください。型名が動作温度の上限 85℃を示している場合は、Tj max は 105℃になります。それ以外の場合 125℃になります。

44.2.2 I/O V_{IH}, V_{IL}

表 44.4 I/O V_{IH}, V_{IL} (1/2)

項目			シンボル	Min	Typ	Max	単位
入力電圧（シュミットトリガ入力端子を除く）	周辺機能端子	EXTAL（外部クロック入力）、SPI（RSPCK を除く）	V_{IH}	VCC × 0.8	—	—	V
			V_{IL}	—	—	VCC × 0.2	
		I3C (SMBus)	V_{IH}	2.1	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	0.8	

表 44.4 I/O V_{IH}, V_{IL} (2/2)

項目			シンボル	Min	Typ	Max	単位
シュミットトリガ入力電圧	周辺機能端子	I3C（SMBus を除く）	V_{IH}	VCC × 0.7	—	VCC + 3.6（最大 5.8）	V
			V_{IL}	—	—	VCC × 0.3	
			ΔV_T	VCC × 0.05	—	—	
		5 V トレラントポート(注1)(注5)	V_{IH}	VCC × 0.8	—	VCC + 3.6（最大 5.8）	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
		その他の入力端子(注2)	V_{IH}	VCC × 0.8	—	—	
			V_{IL}	—	—	VCC × 0.2	
			ΔV_T	VCC × 0.05	—	—	
	ポート	5 V トレラントポート(注3)(注5)	V_{IH}	VCC × 0.8	—	VCC + 3.6（最大 5.8）	V
			V_{IL}	—	—	VCC × 0.2	
		その他の入力端子(注4)	V_{IH}	VCC × 0.8	—	—	
			V_{IL}	—	—	VCC × 0.2	

注 1. P100、P101、P205、P206、P400、P401、P407～P411（合計 12 端子）に関連する RES および周辺機能端子
注 2. 表で説明した周辺機能端子を除くすべての入力端子
注 3. P100、P101、P205、P206、P400、P401、P407～P411（合計 11 端子）
注 4. 表で説明したポートを除くすべての入力端子
注 5. VCC が 2.7 V 未満の場合、5 V トレラントポートの入力電圧は、3.6 V 未満としてください。このようにしないと、絶縁破壊が発生する可能性があります。5 V トレラントポートは耐圧違反を防止するように電気的に制御されるためです。

44.2.3 I/O I_{OH}, I_{OL}

表 44.5 I/O I_{OH}, I_{OL} (1/2)

項目			シンボル	Min	Typ	Max	単位
許容出力電流（端子ごとの平均値）	I3C 端子	IIC 標準モード(注4)	I_{OL}	—	—	3.0	mA
		IIC ファストモード(注4)	I_{OL}	—	—	6.0	mA
		IIC ファストモードプラス(注4)	I_{OL}	—	—	20	mA
		IIC High-speed モード(注4)	I_{OL}	—	—	3.0	mA
	ポート P004～P006、P008、P013～P015、P201	—	I_{OH}	—	—	-2.0	mA
			I_{OL}	—	—	2.0	mA
	ポート P205、P206、P407～P411（合計 7 端子）	低駆動(注1)	I_{OH}	—	—	-2.0	mA
			I_{OL}	—	—	2.0	mA
		中駆動(注2)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		高駆動(注3)	I_{OH}	—	—	-20	mA
			I_{OL}	—	—	20	mA
	その他の出力端子(注5)	低駆動(注1)	I_{OH}	—	—	-2.0	mA
			I_{OL}	—	—	2.0	mA
		中駆動(注2)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		高駆動(注3)	I_{OH}	—	—	-16	mA
			I_{OL}	—	—	16	mA

表 44.5 I/O I_{OH}, I_{OL} (2/2)

項目			シンボル	Min	Typ	Max	単位
許容出力電流（端子ごとの最大値）	I3C 端子	IIC 標準モード(注4)	I_{OL}	—	—	3.0	mA
		IIC ファストモード(注4)	I_{OL}	—	—	6.0	mA
		IIC ファストモードプラス(注4)	I_{OL}	—	—	20	mA
		IIC High-speed モード(注4)	I_{OL}	—	—	3.0	mA
	ポート P004～P006、P008、P013～P015、P201	—	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
	ポート P205、P206、P407～P411（合計 7 端子）	低駆動(注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動(注2)	I_{OH}	—	—	-8.0	mA
			I_{OL}	—	—	8.0	mA
		高駆動(注3)	I_{OH}	—	—	-40	mA
			I_{OL}	—	—	40	mA
	その他の出力端子(注5)	低駆動(注1)	I_{OH}	—	—	-4.0	mA
			I_{OL}	—	—	4.0	mA
		中駆動(注2)	I_{OH}	—	—	-8.0	mA
			I_{OL}	—	—	8.0	mA
		高駆動(注3)	I_{OH}	—	—	-32	mA
			I_{OL}	—	—	32	mA
許容出力電流（全端子合計の最大値）	全出力端子の最大値		ΣI_{OH} (max)	—	—	-80	mA
			$\Sigma I_{OL\ (max)}$	—	—	80	mA

注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 3. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
注 4. SCL0_D、SDA0_D（合計 2 端子）。これは IIC 機能選択時の値です。
注 5. 入力ポートである P000～P003、P200 を除きます。

【使用上の注意】MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 µs の間に計測した電流の平均値を意味します。

44.2.4 I/O V_{OH}、V_{OL}、その他の特性

表 44.6 I/O V_{OH}、V_{OL}、その他の特性

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	I3C(注1)	V_{OL}	—	—	0.4	V	I_{OL} = 3.0 mA
		V_{OL}	—	—	0.6		I_{OL} = 6.0 mA
	I3C(注2)	V_{OH}	VCC - 0.27	—	—		I_{OH} = 3.0 mA (PRTS.PRTMD = 0)
		V_{OL}	—	—	0.4		I_{OL} = 15.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 1)
		V_{OL}	—	0.4	—		I_{OL} = 20.0 mA (PRTS.PRTMD = 1, BFCTL.FMPE = 1)
		V_{OL}	—	—	0.4		I_{OL} = 3.0 mA (PRTS.PRTMD = 1, BFCTL.HSME = 1)
		V_{OL}	—	—	0.27		I_{OL} = 3.0 mA (PRTS.PRTMD = 0)
	ポート P205、P206、P407～P411（合計 7 端子）(注3)	V_{OH}	VCC - 1.0	—	—		I_{OH} = -20 mA VCC = 3.3 V
		V_{OL}	—	—	1.0		I_{OL} = 20 mA VCC = 3.3 V
	その他の出力端子	V_{OH}	VCC - 0.5	—	—		I_{OH} = -1.0 mA
		V_{OL}	—	—	0.5		I_{OL} = 1.0 mA
入力リーク電流	RES	$\|I_{in}\|$	—	—	5.0	μA	V_{in} = 0 V V_{in} = 5.5 V
	ポート P000～P003、P200		—	—	1.0		V_{in} = 0 V V_{in} = VCC
スリーステートリーク電流（オフ状態）	5 V トレラント対応ポート（ポート P100、P101 を除く）	$\|I_{TSI}\|$	—	—	5.0	μA	V_{in} = 0 V V_{in} = 5.5 V
	5 V トレラント対応ポート (P100, P101)		—	—	10.0		V_{in} = 0 V V_{in} = 5.5 V
	その他のポート（ポート P000～P003、P200 を除く）		—	—	1.0		V_{in} = 0 V V_{in} = VCC
入力プルアップ MOS 電流	ポート P0～P5、P8（ポート P000～P003 を除く）	I_p	-300	—	-10	μA	VCC = 2.7～3.6 V V_{in} = 0 V
SCL 電流ソースとして機能するプルアップ電流	I3C(注4)	I_{CS}	3	—	12	mA	VCC = 3.0～3.6 V Vin = 0.3 × VCC～0.7 × VCC
入力容量	ポート P003、P014、P015、P814、P815	C_{in}	—	—	16	pF	Vbias = 0 V Vamp = 20 mV f = 1 MHz Ta = 25℃
	その他の入力端子		—	—	8		

注 1. SCL0_A、SCL0_B、SCL0_C、SDA0_A、SDA0_B、SDA0_C（合計 6 端子）
注 2. I3C_SCL/SCL0_D、I3C_SDA/SDA0_D（合計 2 端子）
注 3. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。
中駆動または低駆動が選択されている場合、その他の出力端子の値を参照してください。
注 4. I3C_SCL/SCL0_D（1 端子）。これは IIC High-speed モード選択時の値です。

44.2.5 動作電流とスタンバイ電流

表 44.7 動作電流とスタンバイ電流

項目				シンボル	Min	Typ	Max	単位	測定条件
消費電流(注1)	High-speed モード	最大動作(注2) (注13)		I_{CC}(注3)	—	—	61	mA	ICLK = 100 MHz PCLKA = 100 MHz PCLKB = 50 MHz PCLKC = 50 MHz PCLKD = 100 MHz FCLK = 50 MHz
		CoreMark®(注5) (注6) (注12)			—	8.2	—		
		通常モード	すべての周辺クロックが有効、(1) コードはフラッシュから実行(注4) (注12)		—	13.5	—		
			すべての周辺クロックが無効、(1) コードはフラッシュから実行(注5) (注6) (注12)		—	9.1	—		
		スリープモード(注5)			—	5.3(注6) (注12)	42(注7) (注13)		
		BGO 動作時の増加分	データフラッシュ P/E		—	6	—		
			コードフラッシュ P/E		—	8	—		
	Low-speed モード(注5) (注10)				—	1.8	—		ICLK = 1 MHz
	Subosc-speed モード(注5) (注11)				—	1.6	—		ICLK = 32.768 kHz
	ソフトウェアスタンバイモード	SNZCR.RXDREQEN = 1			—	—	35		—
		SNZCR.RXDREQEN = 0			—	1.4	—		—
	ディープソフトウェアスタンバイモード	スタンバイ SRAM、USB レジューム検出部への電源供給あり			—	16	96	μA	—
		SRAM、USB レジューム検出部への電源供給なし	パワーオンリセット回路、低消費電力機能無効		—	11	25.6		—
			パワーオンリセット回路、低消費電力機能有効		—	4.2	20.4		—
		RTC、AGT 動作中に増加	低速オンチップ発振器 (LOCO) 使用時		—	4.5	—		—
			低 CL 水晶発振子使用時		—	1.0	—		—
			標準 CL 水晶発振子使用時		—	1.4	—		—
	ディープソフトウェアスタンバイからの復帰時の突入電流		突入電流(注8)	I_{RUSH}	—	160	—	mA	—
			突入電流のエネルギー(注8)	E_{RUSH}	—	1.0	—	μC	—
アナログ電源電流	12 ビット A/D 変換中			AI_{CC}、AI_{REFH}	—	0.8	1.2	mA	—
	温度センサ				—	0.1	0.2	mA	—
	D/A 変換中（1 ユニット当り）		AMP 出力なし		—	0.2	0.6	mA	—
			AMP 出力あり		—	0.7	1.5	mA	—
	A/D、D/A 変換待機時（全ユニット）				—	0.5	1.0	mA	—
	スタンバイモードの ADC12、DAC12（全ユニット）(注9)				—	0.4	6	μA	—
基準電源電流 (VREFH0)	12 ビット A/D 変換中（ユニット 0）			AI_{REFH0}	—	70	120	μA	—
	12 ビット A/D 変換待機時（ユニット 0）				—	0.07	0.5	μA	—
	スタンバイモードの ADC12（ユニット 0）				—	0.07	0.5	μA	—
USB 動作電流	フルスピード		USB	$I_{CCUSBFS}$	—	4.0	10.0	mA	VCC_USB

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
注 2. 周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。
注 3. I_{CC} は、下記の式にしたがって f (ICLK) に依存します。
I_{CC} Max. = 0.24 × f + 37（High-speed モードでの最大動作時）

I_{CC} Typ. = 0.07 × f + 2.75（High-speed モードでの通常動作時、すべての周辺クロックが無効）
I_{CC} Typ. = 0.1 × f + 1.71（Low-speed モード）
I_{CC} Max. = 0.05 × f + 37（スリープモード）
注 4. BGO 動作は含まれません。
注 5. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 6. FCLK、PCLKA、PCLKB、PCLKC、PCLKD は、64 分周 (1.56 MHz) に設定されています。
注 7. FCLK、PCLKA、PCLKB、PCLKC、PCLKD は、64 分周 (3.125 MHz) に設定されています。
注 8. 基準値
注 9. 本 MCU がソフトウェアスタンバイモードの場合または MSTPCRD.MSTPD16（12 ビット A/D コンバータ 0 モジュールストップビット）がモジュールストップ状態の場合
注 10. FCLK、PCLKA、PCLKB、PCLKC、PCLKD は、64 分周 (15.6 kHz) に設定されています。
注 11. PCLKA、PCLKB、PCLKC、PCLKD は、64 分周 (512 Hz) に設定されています。FCLK は、ICLK と同じ周波数です。
注 12. PLL 出力周波数 = 100 MHz
注 13. PLL 出力周波数 = 200 MHz

表 44.8 Coremark およびノーマルモード電流

項目			シンボル	Typ	単位	測定条件
消費電流(注1)	Coremark 動作(注2) (注3)		I_{CC}	82	μA/MHz	ICLK = 100 MHz PCLKA = PCLKB = PCLKC = PCLKD = FCLK = 1.563 MHz
	通常モード	すべての周辺クロックが無効、キャッシュはオン、(1) コードはフラッシュから実行(注2) (注3)		91		
		すべての周辺クロックが無効、キャッシュはオフ、(1) コードはフラッシュから実行(注2) (注3)		93		

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
注 2. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。
注 3. PLL 出力周波数 = 100 MHz

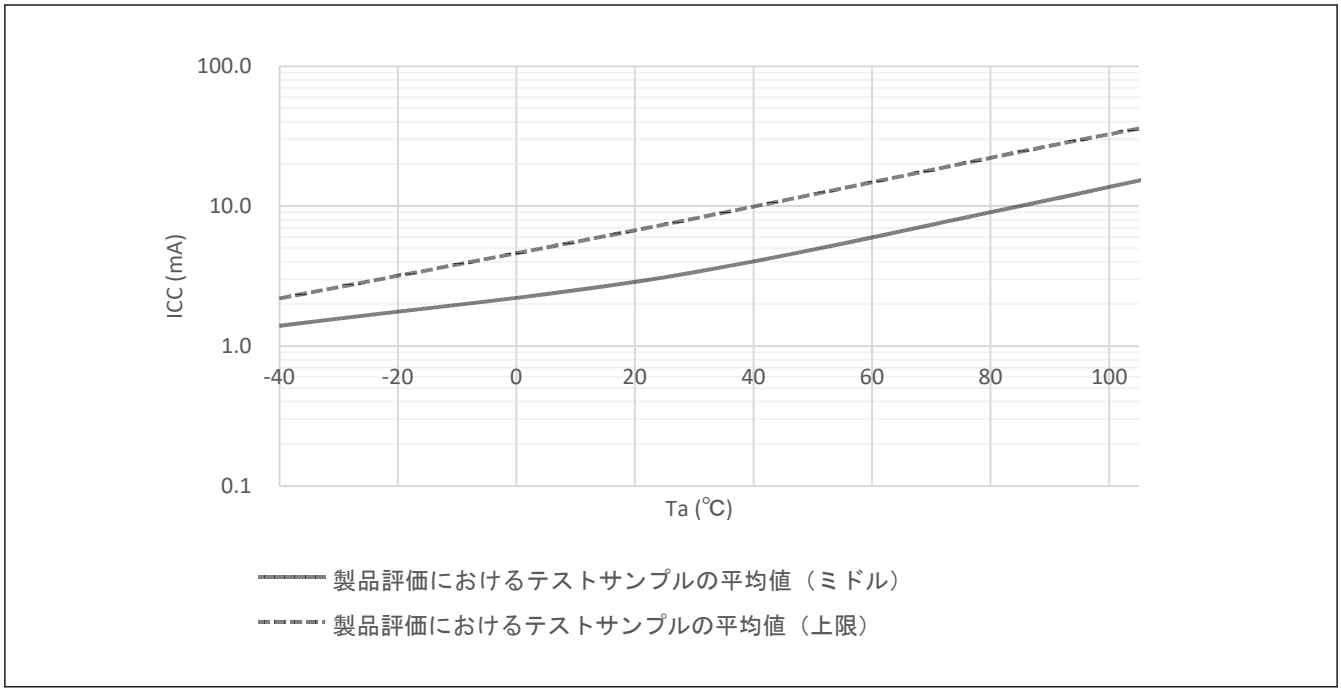


図 44.2 ソフトウェアスタンバイモード時の温度依存性（参考データ）

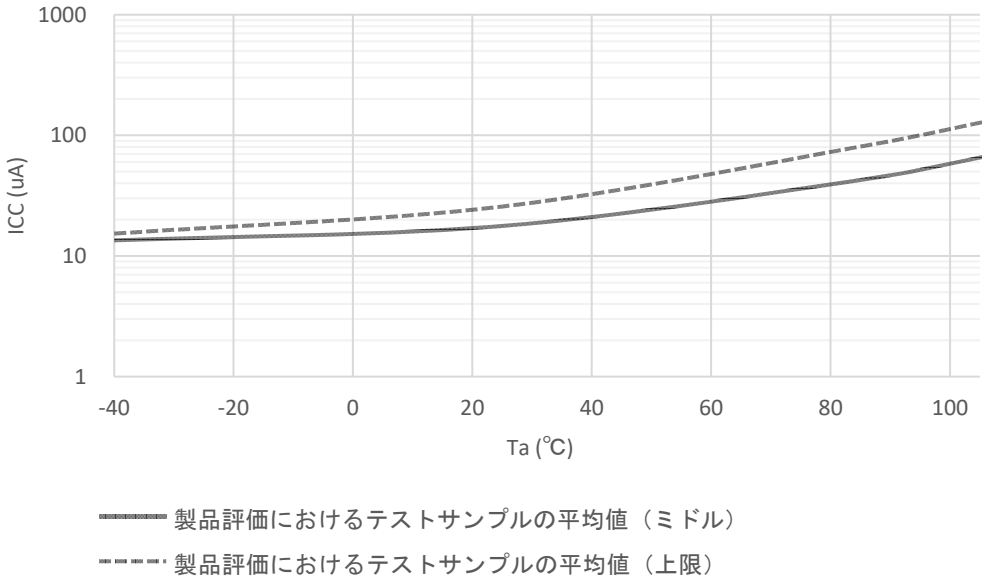


図 44.3　ディープソフトウェアスタンバイモード時の温度依存性、スタンバイ SRAM および USB レジューム検出部への電源供給あり（参考データ）

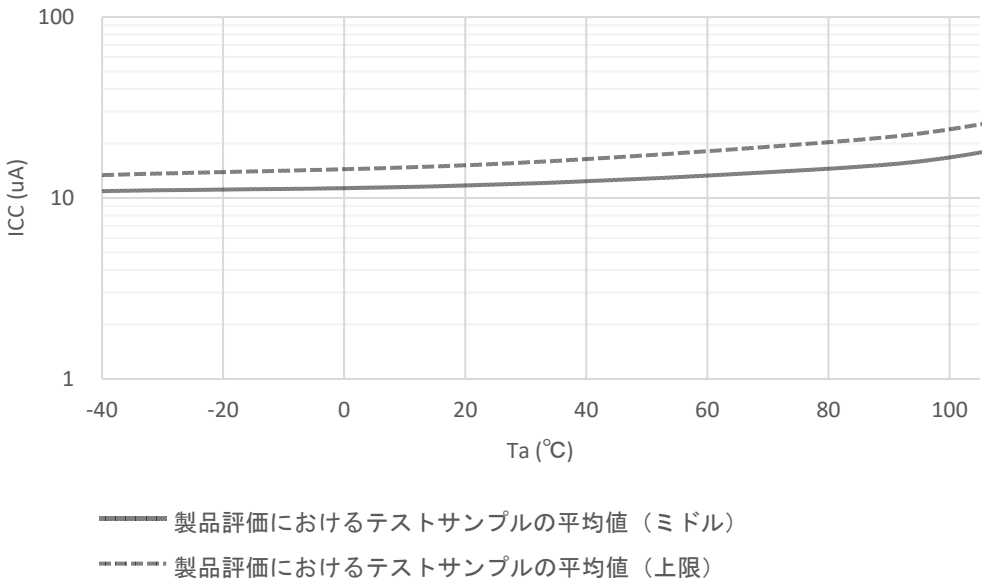


図 44.4　ディープソフトウェアスタンバイモード時の温度依存性、SRAM および USB レジューム検出部への電源供給なし、パワーオンリセット回路、低消費電力機能無効（参考データ）

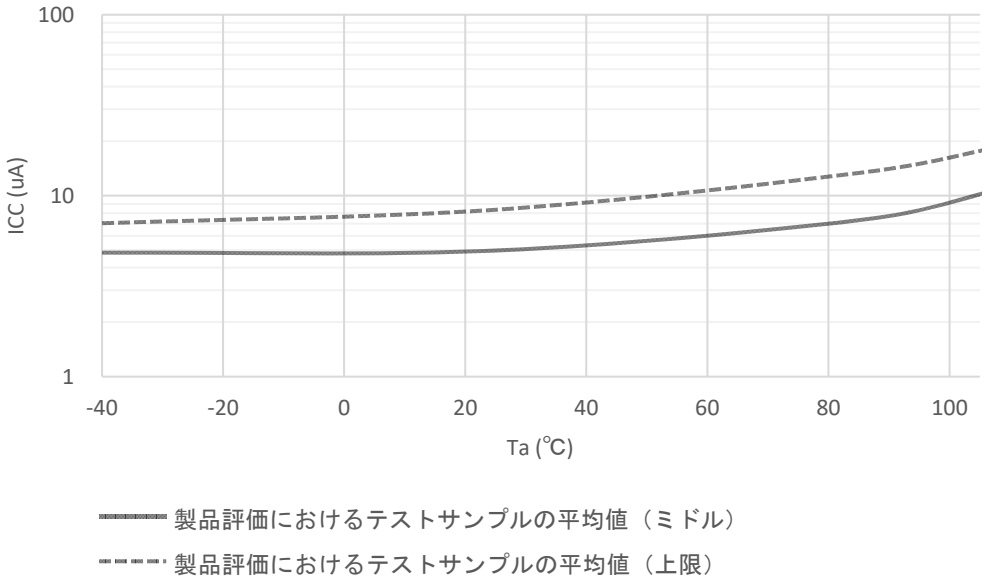


図 44.5　ディープソフトウェアスタンバイモード時の温度依存性、SRAM および USB レジューム検出部への電源供給なし、パワーオンリセット回路、低消費電力機能有効（参考データ）

44.2.6　VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 44.9　立ち上がり／立ち下がり勾配の特性

項目		シンボル	Min	Typ	Max	単位	測定条件
VCC 立ち上がり勾配	起動時電圧モニタ 0 リセット無効	SrVCC	0.0084	—	20	ms/V	—
	起動時電圧モニタ 0 リセット有効		0.0084	—	—		—
	SCI/USB ブートモード(注1)		0.0084	—	20		—
VCC 立ち下がり勾配		SfVCC	0.0084	—	—	ms/V	—

注 1.　ブートモード時は、OFS1.LVDAS ビットの値にかかわらず、電圧モニタ 0 からのリセットは無効です。

表 44.10　立ち上がり／立ち下がり勾配とリップル周波数特性

リップル電圧は、VCC 上限 (3.6 V) と下限 (2.7 V) の範囲内で、許容リップル周波数 $f_{r\,(VCC)}$を満たす必要があります。VCC 変動が VCC±10%を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配 dt/dVCC を満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r\,(VCC)}$	—	—	10	kHz	図 44.6 $V_{r\,(VCC)} \leqq VCC \times 0.2$
		—	—	1	MHz	図 44.6 $V_{r\,(VCC)} \leqq VCC \times 0.08$
		—	—	10	MHz	図 44.6 $V_{r\,(VCC)} \leqq VCC \times 0.06$
許容電圧変動立ち上がり／立ち下がり勾配	dt/dVCC	1.0	—	—	ms/V	VCC 変動が VCC±10%を超える場合

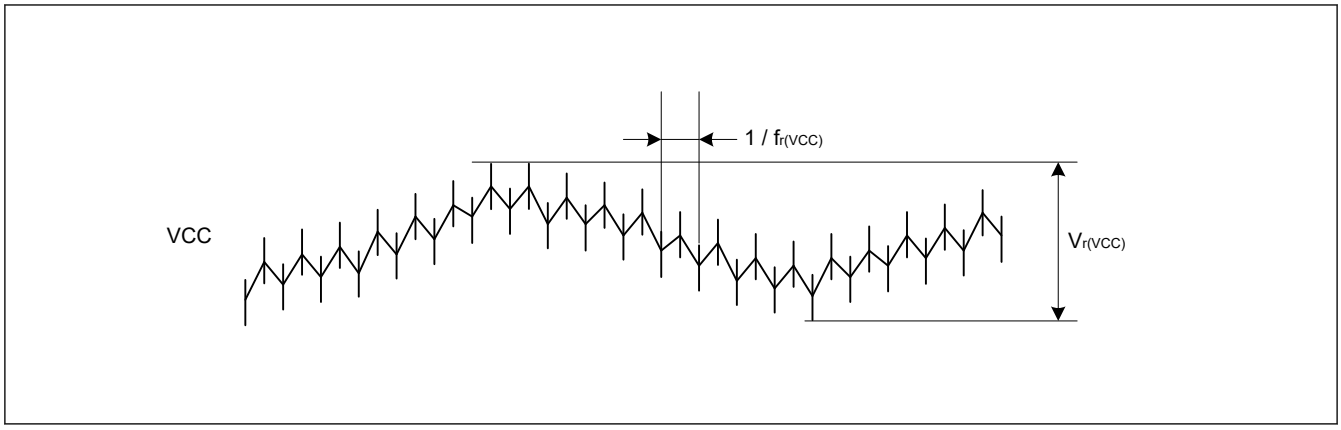


図 44.6　リップル波形

44.2.7　熱特性

ジャンクション温度 (Tj) の最大値は、「44.2.1. Tj/Ta の定義」の値を超えないようにしてください。

Tj は、以下のいずれかの式で計算されます。

- Tj = Ta + θja × 総消費電力
- Tj = Tt + Ψjt × 総消費電力
  - Tj：ジャンクション温度（℃）
  - Ta：周囲温度（℃）
  - Tt：ケース上面中央部温度（℃）
  - θja：「ジャンクション」-「周囲」間の熱抵抗（℃/W）
  - Ψjt：「ジャンクション」-「ケース上面中央部」間の熱抵抗（℃/W）
- 総消費電力 = 電圧 × (リーク電流 + ダイナミック電流)
- IO のリーク電流 = Σ (I_{OL} × V_{OL}) / 電圧 + Σ (|I_{OH}| × |VCC – V_{OH}|) / 電圧
- IO のダイナミック電流 = Σ IO (C_{in} + C_{load}) × IO のスイッチング周波数 × 電圧
  - C_{in}：入力容量
  - C_{load}：出力容量

θja と Ψjt については、表 44.11 を参照してください。

表 44.11　熱抵抗

項目	パッケージ	シンボル	値(注1)	単位	測定条件
熱抵抗	32 ピン QFN (PWQN0032KE-A)	θja	36.8	℃/W	JESD 51-2 および 51-7 準拠
	48 ピン QFN (PWQN0048KC-A)		29.7		
	64 ピン LQFP (PLQP0064KB-C)		41.3		
	36 ピン BGA (PLBG0036KA-A)		53.7		
	64 ピン BGA (PLBG0064KB-A)		51.6		
	32 ピン QFN (PWQN0032KE-A)	Ψjt	0.36	℃/W	JESD 51-2 および 51-7 準拠
	48 ピン QFN (PWQN0048KC-A)		0.27		
	64 ピン LQFP (PLQP0064KB-C)		1.39		
	36 ピン BGA (PLBG0036KA-A)		1.70		
	64 ピン BGA (PLBG0064KB-A)		1.70		

注 1.　値は、4 層基板使用時の基準値です。熱抵抗は、基板の層数やサイズによって変わります。詳細は、JEDEC 規格を参照してください。

44.2.7.1 I_{CC}max の計算ガイド

各ユニットの消費電力を表 44.12 に示します。

表 44.12 各ユニットの消費電力

ダイナミック電流／リーク電流	MCU ドメイン	カテゴリ	項目	周波数 [MHz]	電流 [uA/MHz]	電流(注1) [mA]
リーク電流	アナログ機能	LDO およびリーク (注2)	Ta = 75 °C(注3)	—	—	25.10
			Ta = 85 °C(注3)	—	—	30.64
			Ta = 95 °C(注3)	—	—	35.90
			Ta = 105 °C(注3)	—	—	41.60
ダイナミック電流	CPU	フラッシュおよび SRAM との動作	Coremark 動作	100	57.151	5.72
	周辺ユニット	タイマ	GPT16 (4 ch)(注4)	100	5.653	0.57
			POEG (4 グループ) (注4)	50	1.171	0.06
			AGT (2 ch)(注4)	50	3.967	0.20
			RTC	50	2.711	0.27
			WDT	50	0.635	0.03
			IWDT	50	0.261	0.01
		通信インタフェース	USBFS	50	4.969	0.25
			SCI (2 ch)(注4)	100	5.607	0.56
			I3C	100	8.483	0.85
			CANFD	50	2.680	0.27
			CEC	100	0.213	0.01
			SPI (2 ch)(注4)	100	5.739	0.57
			SSIE	50	2.831	0.14
		アナログ機能	ADC12	100	2.229	0.22
			DAC12	100	0.301	0.03
			TSN	50	0.277	0.01
		イベントリンク	ELC	50	0.562	0.06
		セキュリティ	TRNG	100	0.013	1.27
		データ処理	CRC	100	0.363	0.04
			DOC	100	0.133	0.01
		システム	CAC	50	0.777	0.04
		DMA	DMAC	100	5.771	0.58
			DTC	100	4.843	0.48

注 1. 値は設計によって保証されています。
注 2. LDO およびリークは、内部電圧レギュレータの電流と、MCU のリーク電流です。
これは、Ta の温度に従って選択されます。
注 3. 電流測定は、Δ (Tj-Ta) = 20 °C で行われます。
注 4. チャネルごとまたはユニットごとの消費電流を求めるには、電流[mA]をチャネル数、グループ数、またはユニット数で割ります。

各ユニットの動作の概要を表 44.13 に示します。

表 44.13 各ユニットの動作の概要 (1/2)

周辺機能	動作の概要
GPT	動作モードが、のこぎり波 PWM モードに設定されています。 GPT が PCLKD で動作しています。

表 44.13　各ユニットの動作の概要 (2/2)

周辺機能	動作の概要
POEG	モジュールストップビットのクリアのみを行います。
AGT	AGT が PCLKB で動作しています。
RTC	RTC が LOCO で動作しています。
WDT	WDT が PCLKB で動作しています。
IWDT	IWDT が IWDTCLK で動作しています。
USBFS	転送タイプがバルク転送に設定されています。 USBFS がフルスピード転送 (12 Mbps) を使用して動作しています。
SCI	SCI がクロック同期式モードでデータを送信しています。
I3C	通信フォーマットが I3C バスフォーマットに設定されています。 I3C がマスタモードでデータを送信しています。
CANFD	CANFD がセルフテストモード 1 でデータを送受信しています。
SPI	SPI モードが SPI 動作（4 線式）に設定されています。 SPI マスタ／スレーブモードがマスタモードに設定されています。 SPI が 8 ビット幅のデータを送信しています。
SSIE	通信モードがマスタに設定されています。 システムワード長が 32 ビットに設定されています。 データワード長が 20 ビットに設定されています。 SSIE が I2S フォーマットを使用してデータを送信しています。
CEC	CEC 動作クロックが CECCLK に設定されています。 CEC がヘッダブロックとデータブロックを送受信しています。
ADC12	分解能は 12 ビット精度に設定されます。 データレジスタが A/D 変換値加算モードに設定されています。 ADC12 がアナログ入力を連続スキャンモードで変換しています。
DAC12	DAC12 が変換結果の出力とデータレジスタ値の更新を行っています。
TSN	TSN が動作しています。
ELC	モジュールストップビットのクリアのみを行います。
TRNG	TRNG がビルトインセルフテストを実行しています。
CRC	CRC が 32 ビット CRC32-C 多項式を使用して CRC コードを生成しています。
DOC	DOC がデータ加算モードで動作しています。
CAC	測定対象クロックが PCLKB に設定されています。 測定基準クロックが PCLKB に設定されています。 CAC がクロック周波数精度を測定しています。
DMAC	転送データのビット長が 32 ビットに設定されています。 転送モードがブロック転送モードに設定されています。 DMAC が SRAM0 から SRAM0 にデータを転送しています。
DTC	転送データのビット長が 32 ビットに設定されています。 転送モードがブロック転送モードに設定されています。 DTC が SRAM0 から SRAM0 にデータを転送しています。

44.2.7.2　T_j の計算例

前提事項：

- パッケージ 64 ピン LQFP：θja = 41.3 °C/W
- Ta = 100°C
- I_{CC}max = 40 mA
- VCC = 3.5 V (VCC = AVCC0 = VCC_USB)
- I_{OH} = 1 mA、V_{OH} = VCC – 0.5 V、8 出力
- I_{OL} = 20 mA、V_{OL} = 1.0 V、6 出力

- I_{OL} = 1 mA、V_{OL} = 0.5 V、8 出力
- C_{in} = 8 pF、8 ピン、入力周波数 = 10 MHz
- C_{load} = 30 pF、8 ピン、出力周波数 = 10 MHz

IO のリーク電流 = Σ (V_{OL} × I_{OL}) / 電圧 + Σ ((VCC - V_{OH}) × I_{OH}) / 電圧
= (20 mA × 1 V) × 6 / 3.5 V + (1 mA × 0.5 V) × 8 / 3.5 V + ((VCC - (VCC - 0.5 V)) × 1 mA) × 8 / 3.5 V
= 34.29 mA + 1.14 mA + 1.14 mA
= 36.6 mA

IO のダイナミック電流 = Σ IO (C_{in} + C_{load}) × IO のスイッチング周波数 × 電圧
= ((8 pF × 8) × 10 MHz + (30 pF × 8) × 10 MHz) × 3.5 V
= 10.6 mA

総消費電力 = 電圧 ×（リーク電流 + ダイナミック電流）
= (40 mA × 3.5 V) + (36.6 mA + 10.6 mA) × 3.5 V
= 305 mW (0.305 W)

Tj = Ta + θja × 総消費電力
= 100℃ + 41.3℃/W × 0.305 W
= 112.6℃

44.3 AC 特性

44.3.1 周波数

表 44.14 High-speed モードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK(注2))	f	—	—	100	MHz
	周辺モジュールクロック (PCLKA)(注2)		—	—	100	
	周辺モジュールクロック (PCLKB)(注2)		—	—	50	
	周辺モジュールクロック (PCLKC)(注2)		—(注3)	—	50	
	周辺モジュールクロック (PCLKD)(注2)		—	—	100	
	フラッシュインタフェースクロック (FCLK)(注2)		—(注1)	—	50	

注 1. フラッシュメモリのプログラミング／イレース中、FCLK は 4 MHz 以上の周波数で実行する必要があります。
注 2. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、および FCLK の周波数関係については「8. クロック発生回路」を参照してください。
注 3. ADC12 使用時、PCLKC 周波数は 1 MHz 以上でなければなりません。

表 44.15 Low-speed モードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)(注2)	f	—	—	1	MHz
	周辺モジュールクロック (PCLKA)(注2)		—	—	1	
	周辺モジュールクロック (PCLKB)(注2)		—	—	1	
	周辺モジュールクロック (PCLKC)(注2)(注3)		—(注3)	—	1	
	周辺モジュールクロック (PCLKD)(注2)		—	—	1	
	フラッシュインタフェースクロック (FCLK)(注1)(注2)		—	—	1	

注 1. フラッシュメモリのプログラム／イレースは、Low-speed モードでは許可されていません。
注 2. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、FCLK 相互間の周波数関係については「8. クロック発生回路」を参照してください。

注 3. ADC12 使用時、PCLKC 周波数は 1 MHz 以上でなければなりません。

表 44.16 Subosc-speed モードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック (ICLK)(注2)	f	29.4	—	36.1	kHz
	周辺モジュールクロック (PCLKA)(注2)		—	—	36.1	
	周辺モジュールクロック (PCLKB)(注2)		—	—	36.1	
	周辺モジュールクロック (PCLKC)(注2)(注3)		—	—	36.1	
	周辺モジュールクロック (PCLKD)(注2)		—	—	36.1	
	フラッシュインタフェースクロック (FCLK)(注1)(注2)		29.4	—	36.1	

注 1. フラッシュメモリのプログラム／イレースは、Subosc-speed モードでは許可されていません。
注 2. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、FCLK の周波数関係については「8. クロック発生回路」を参照してください。
注 3. ADC12 は使用できません。

44.3.2 クロックタイミング

表 44.17 サブクロック発振器以外のクロックタイミング (1/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
EXTAL 外部クロック入力サイクル時間		t_{EXcyc}	41.66	—	—	ns	図 44.7
EXTAL 外部クロック入力 High レベルパルス幅		t_{EXH}	15.83	—	—	ns	
EXTAL 外部クロック入力 Low レベルパルス幅		t_{EXL}	15.83	—	—	ns	
EXTAL 外部クロック立ち上がり時間		t_{EXr}	—	—	5.0	ns	
EXTAL 外部クロック立ち下がり時間		t_{EXf}	—	—	5.0	ns	
メインクロック発振器周波数		f_{MAIN}	8	—	24	MHz	—
メインクロック発振安定待機時間（水晶）(注1)		$t_{MAINOSCWT}$	—	—	—(注1)	ms	図 44.8
LOCO クロック発振周波数		f_{LOCO}	29.4912	32.768	36.0448	kHz	—
LOCO クロック発振安定待機時間		t_{LOCOWT}	—	—	60.4	µs	図 44.9
ILOCO クロック発振周波数		f_{ILOCO}	13.5	15	16.5	kHz	—
MOCO クロック発振周波数		F_{MOCO}	6.8	8	9.2	MHz	—
MOCO クロック発振安定待機時間		t_{MOCOWT}	—	—	15.0	µs	—
HOCO クロック発振器発振周波数	FLL なし	f_{HOCO16}	15.78	16	16.22	MHz	–20 ≦ Ta ≦ 105℃
		f_{HOCO18}	17.75	18	18.25		
		f_{HOCO20}	19.72	20	20.28		
		f_{HOCO16}	15.71	16	16.29		-40 ≦ Ta ≦ -20℃
		f_{HOCO18}	17.68	18	18.32		
		f_{HOCO20}	19.64	20	20.36		
	FLL あり	f_{HOCO16}	15.960	16	16.040		-40 ≦ Ta ≦ 105℃ サブクロック周波数精度は、±50 ppm です。
		f_{HOCO18}	17.955	18	18.045		
		f_{HOCO20}	19.950	20	20.050		
HOCO クロック発振安定待機時間(注2)		t_{HOCOWT}	—	—	64.7	µs	—
HOCO ピリオドジッタ		—	—	±85	—	ps	—
FLL 安定待機時間		t_{FLLWT}	—	—	1.8	ms	—
PLL クロック周波数		f_{PLL}	100	—	240	MHz	—

表 44.17　サブクロック発振器以外のクロックタイミング (2/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
PLL クロック発振安定待機時間		t_{PLLWT}	—	—	174.9	µs	図 44.10
PLL ピリオドジッタ	f_{PLL} ≧ 120 MHz	—	—	±100	—	ps	—
	f_{PLL} < 120 MHz	—	—	±120	—	ps	—
PLL ロングタームジッタ		—	—	±300	—	ps	期間：1 µs, 10 µs

注 1.　メインクロック発振器を設定する場合、発振器メーカに発振評価を確認し、その結果を推奨発振安定時間として使用してください。MOSCWTCR レジスタを、推奨値以上に設定してください。
メインクロック動作を開始するために MOSCCR.MOSTP ビット設定を変更したら、OSCSF.MOSCSF フラグが 1 であることを確認してからメインクロック発振器の使用を開始してください。
注 2.　リセット状態の解除から HOCO 発振周波数 (f_{HOCO}) が動作保証範囲に達するまでの時間です。

表 44.18　サブクロック発振器のクロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
サブクロック周波数	f_{SUB}	—	32.768	—	kHz	—
サブクロック発振安定待機時間	$t_{SUBOSCWT}$	—	—	— (注1)	s	図 44.11

注 1.　サブクロック発振器を設定する場合、発振器メーカに発振評価を確認し、その結果を推奨発振安定時間として使用してください。
サブクロック動作を開始するために SOSCCR.SOSTP ビット設定を変更したら、必ずサブクロック発振安定時間が十分に経過してからサブクロック発振器の使用を開始してください。示された時間の 2 倍を推奨します。

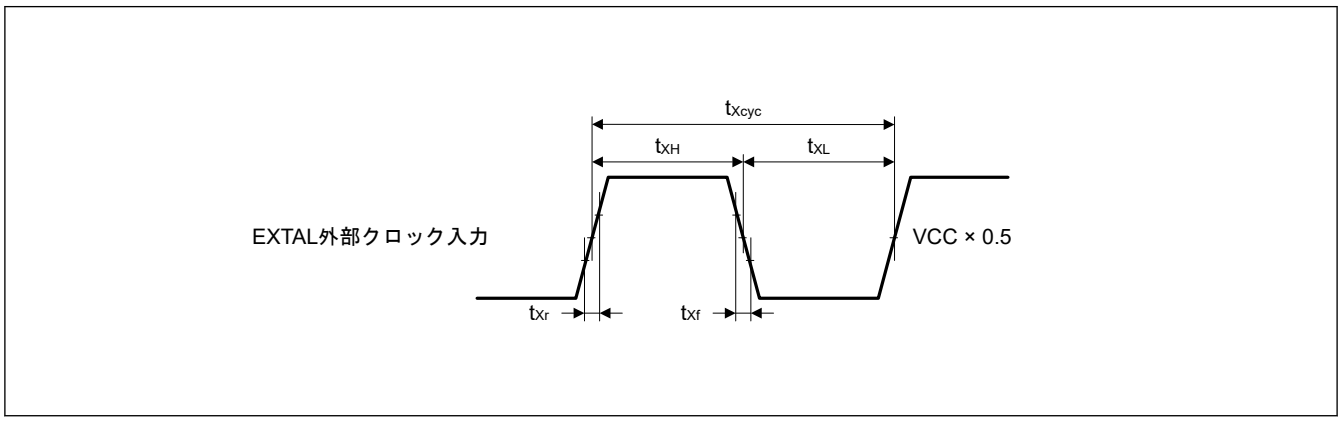


図 44.7　EXTAL 外部クロック入力タイミング

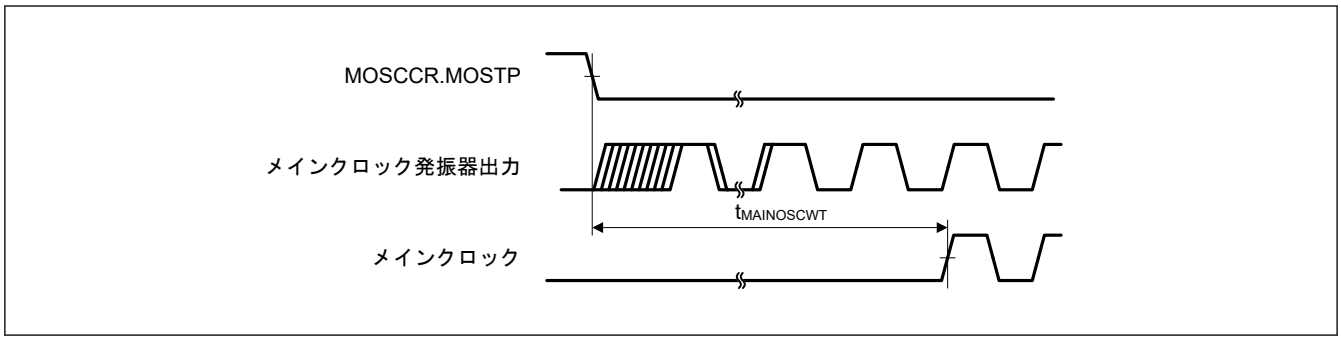


図 44.8　メインクロック発振開始タイミング

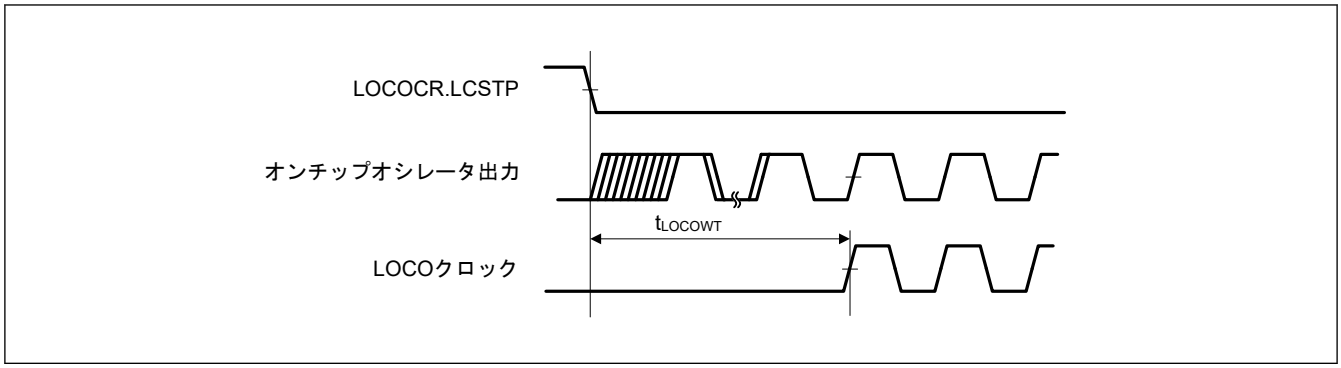


図 44.9　LOCO クロック発振開始タイミング

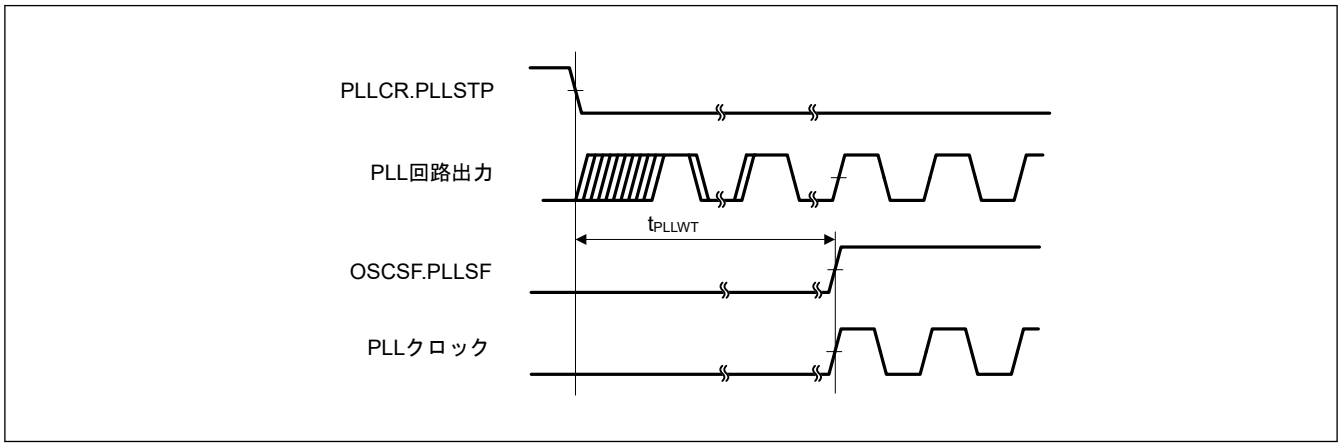


図 44.10　PLL クロック発振開始タイミング

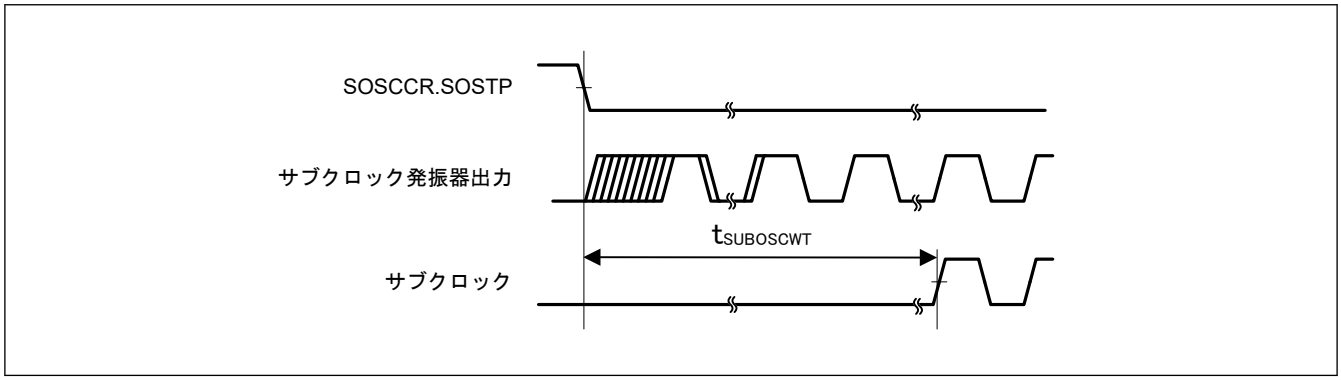


図 44.11　サブクロック発振開始タイミング

44.3.3　リセットタイミング

表 44.19　リセットタイミング (1/2)

項目		シンボル	Min	Typ	Max	単位	測定条件
RES パルス幅	パワーオン	t_{RESWP}	0.7	—	—	ms	図 44.12
	ディープソフトウェアスタンバイモード	t_{RESWD}	0.6	—	—	ms	図 44.13
	ソフトウェアスタンバイモード、Subosc-speed モード	t_{RESWS}	0.3	—	—	ms	
	上記以外	t_{RESW}	200	—	—	µs	
RES 解除後の待機時間		t_{RESWT}	—	37.3	41.2	µs	図 44.12

表 44.19　リセットタイミング (2/2)

項目	シンボル	Min	Typ	Max	単位	測定条件
内部リセット解除後の待機時間 （IWDT リセット、WDT リセット、ソフトウェアリセット、SRAM パリティエラーリセット、SRAM ECC エラーリセット、バスマスタ MPU エラーリセット、TrustZone エラーリセット、キャッシュパリティエラーリセット）	t_{RESW2}	—	324	397.7	μs	—

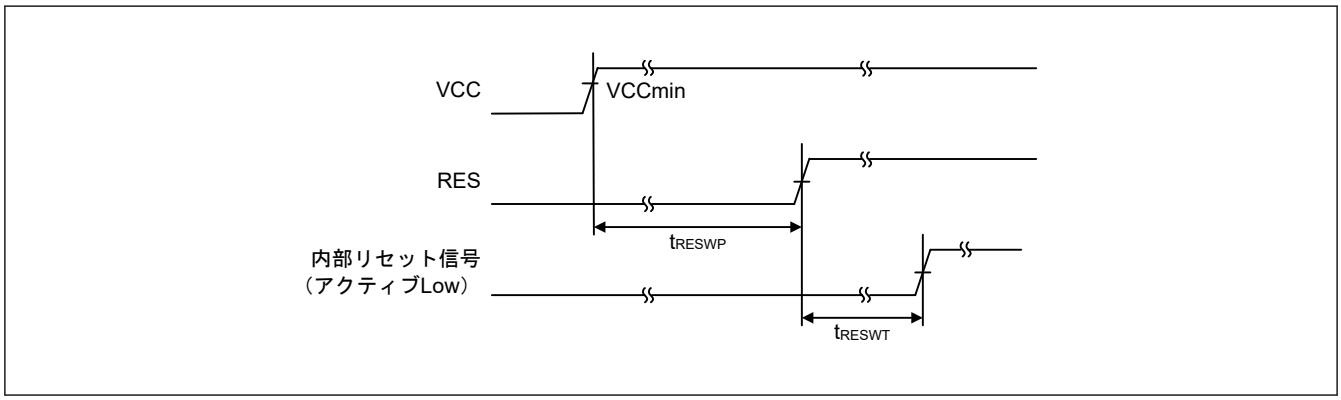


図 44.12　VCC が V_{POR} 電圧しきい値を超える条件下での RES 端子入力タイミング

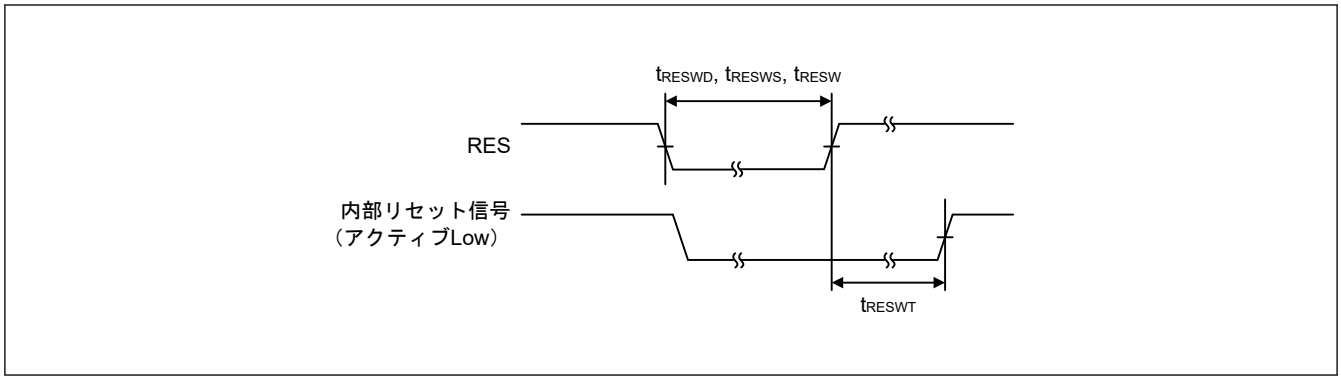


図 44.13　リセット入力タイミング

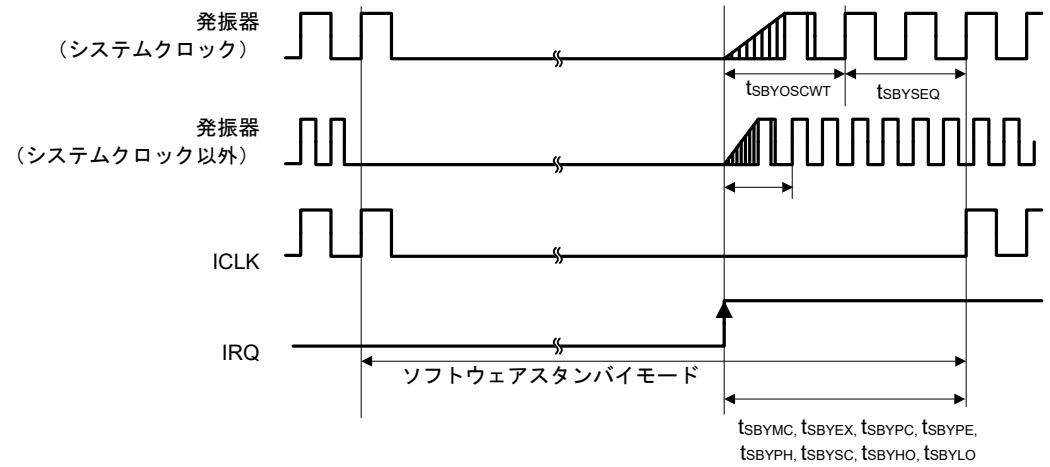
44.3.4 ウェイクアップタイミング

表 44.20 低消費電力モードからの復帰タイミング

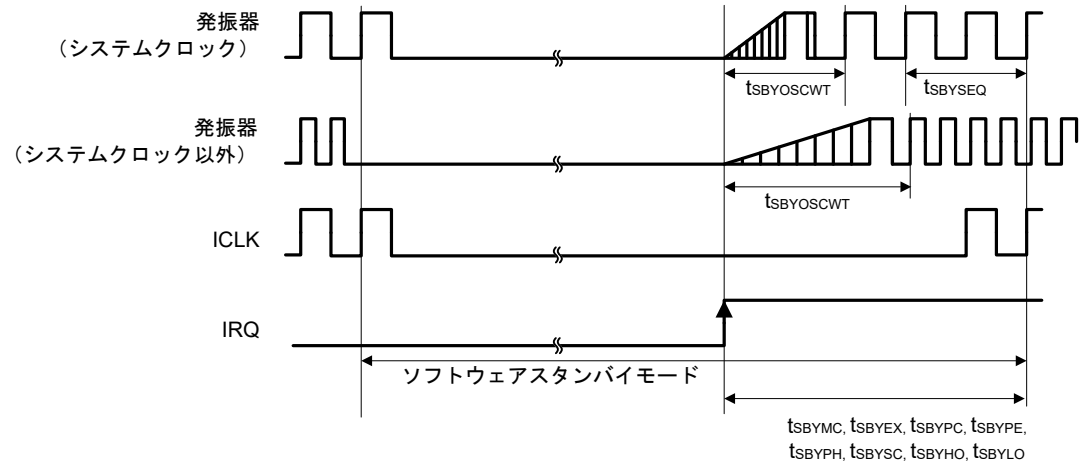
項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間(注1)	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器(注2)	t_{SBYMC}(注13)	—	2.1	2.4	ms	図 44.14 全発振器の分周比は 1 です。
		システムクロックソースはメインクロック発振器を使用した PLL(注3)	t_{SBYPC}(注13)	—	2.2	2.6	ms	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器(注4)	t_{SBYEX}(注13)	—	45	125	µs	
		システムクロックソースはメインクロック発振器を使用した PLL(注5)	t_{SBYPE}(注13)	—	170	255	µs	
	システムクロックソースはサブクロック発振器(注6) (注11)		t_{SBYSC}(注13)	—	0.7	0.8	ms	
	システムクロックソースは LOCO(注7) (注11)		t_{SBYLO}(注13)	—	0.7	0.9	ms	
	システムクロックソースは HOCO クロック発振器 (注8)		t_{SBYHO}(注13)	—	55	130	µs	
	システムクロックソースは HOCO を使用した PLL(注9)		t_{SBYPH}(注13)	—	175	265	µs	
	システムクロックソースは MOCO クロック発振器 (注10)		t_{SBYMO}(注13)	—	35	65	µs	
ディープソフトウェアスタンバイモードからの復帰時間	DPSBYCR.DEEPCUT[1] = 0 および DPSWCR.WTSTS[5:0] = 0x0E		t_{DSBY}	—	0.38	0.54	ms	図 44.15
	DPSBYCR.DEEPCUT[1] = 1 および DPSWCR.WTSTS[5:0] = 0x19		t_{DSBY}	—	0.55	0.73	ms	
ディープソフトウェアスタンバイモード解除後待機時間			t_{DSBYWT}	56	—	57	t_{cyc}	
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	システムクロックソースが HOCO (20 MHz) の場合は High-speed モード		t_{SNZ}	—	35(注12)	70(注12)	µs	図 44.16
	システムクロックソースが MOCO (8 MHz) の場合は High-speed モード		t_{SNZ}	—	11(注12)	14(注12)	µs	

注 1. 復帰時間は、システムクロックソースにより決定されます。複数の発振器が起動している場合、復帰時間は以下の計算式で決定します。
総復帰時間 = システムクロックソースとしての発振器の復帰時間 + アクティブな発振器の最長 tSBYOSCWT - システムクロックの tSBYOSCWT + 2 LOCO サイクル（LOCO が動作している場合） + （Subosc が発振中かつ MSTPC0 = 0（CAC モジュール停止）の場合）
注 2. 水晶の周波数が 24 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05）で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 3. PLL の周波数が 200 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x05）で、かつ内部クロックの分周設定のうち最大値が 4 の場合
注 4. 外部クロックの周波数が 24 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00）で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 5. PLL の周波数が 200 MHz（メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) が 0x00）で、かつ内部クロックの分周設定のうち最大値が 4 の場合
注 6. サブクロック発振器の周波数が 32.768 kHz で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 7. LOCO 周波数が 32.768 kHz で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 8. HOCO 周波数が 20 MHz で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 9. PLL 周波数が 200 MHz で、かつ内部クロックの分周設定のうち最大値が 4 の場合
注 10. MOCO 周波数が 8 MHz で、かつ内部クロックの分周設定のうち最大値が 1 の場合
注 11. Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードで発振を継続します。
注 12. SNZCR.RXDREQEN ビットが 0 のとき、以下の時間が電源復帰時間として追加されます。16 µs (Typ.)、48 µs (Max)
注 13. 復帰時間は、tSBYOSCWT + tSBYSEQ の式で計算できます。これらは、次の値と式で決定できます。n は内部クロックの分周設定のうち、最大値が選択されます。

ウェイクアップ時間	Typ		Max		単位
	tSBYOSCWT	tSBYSEQ	tSBYOSCWT	tSBYSEQ	
tSBYMC	(MSTS[7:0]*32 + 3) / 0.262	35 + 18 / fICLK + 4n / fMAIN	(MSTS[7:0]*32 + 14) / 0.236	62 + 18 / fICLK + 4n / fMAIN	µs
tSBYPC	(MSTS[7:0]*32 + 34) / 0.262	35 + 18 / fICLK + 4n / fPLL	(MSTS[7:0]*32 + 45) / 0.236	62 + 18 / fICLK + 4n / fPLL	µs
tSBYEX	10	35 + 18 / fICLK + 4n / fEXMAIN	62	62 + 18 / fICLK + 4n / fEXMAIN	µs
tSBYPE	135	35 + 18 / fICLK + 4n / fPLL	192	62 + 18 / fICLK + 4n / fPLL	µs
tSBYSC	0	35 + 18 / fICLK + 4n / fSUB	0	62 + 18 / fICLK + 4n / fSUB	µs
tSBYLO	0	35 + 18 / fICLK + 4n / fLOCO	0	62 + 18 / fICLK + 4n / fLOCO	µs
tSBYHO	20	35 + 18 / fICLK + 4n / fHOCO	67	62 + 18 / fICLK + 4n / fHOCO	µs
tSBYPH	140	35 + 18 / fICLK + 4n / fPLL	202	62 + 18 / fICLK + 4n / fPLL	µs
tSBYMO	0	35 + 18 / fICLK + 4n / fMOCO	0	62 + 18 / fICLK + 4n / fMOCO	µs



システムクロックの発振安定待機時間が長い場合



システムクロック以外の発振安定待機時間が長い場合

図 44.14　ソフトウェアスタンバイモード解除タイミング

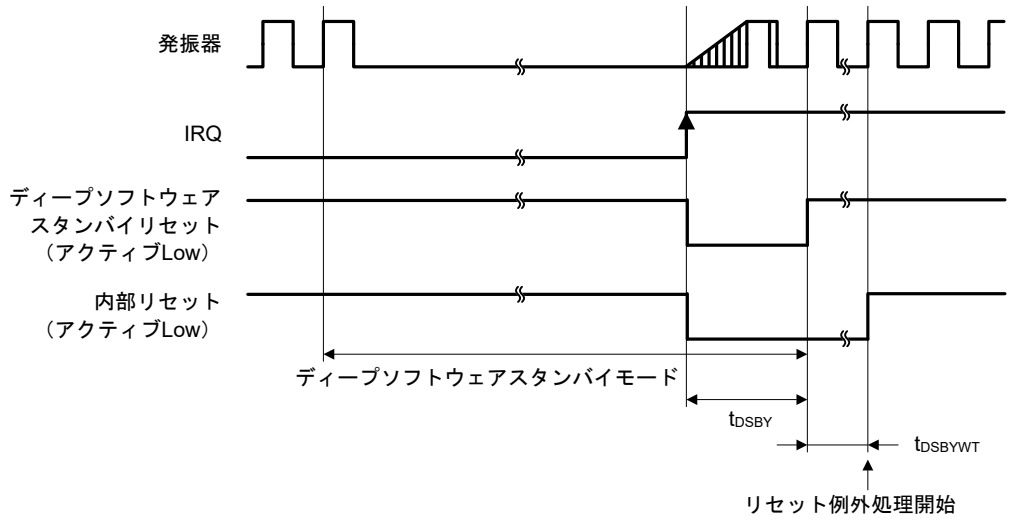
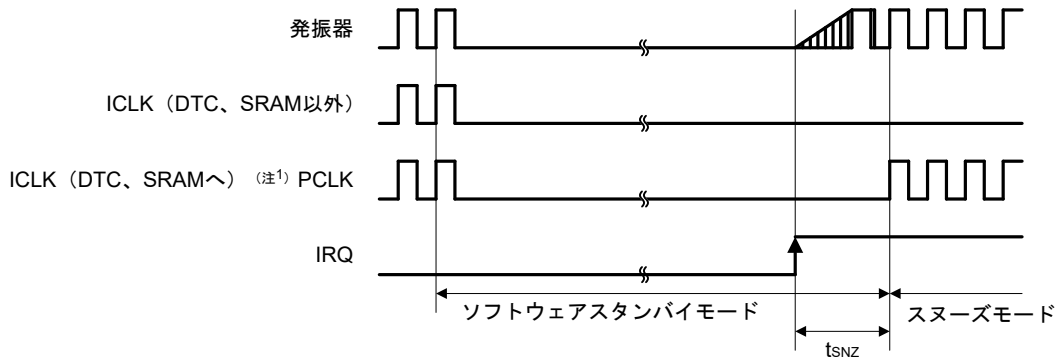


図 44.15　ディープソフトウェアスタンバイモード解除タイミング



注 1.　SNZCR.SNZDTCEN ビットが 1 のとき、ICLK が DTC と SRAM に供給されます。

図 44.16　ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

44.3.5　NMI/IRQ ノイズフィルタ

表 44.21　NMI/IRQ ノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMI パルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200$ ns
		$t_{Pcyc} \times 2$(注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		NMI デジタルフィルタ有効	$t_{NMICK} \times 3 \leqq 200$ ns
		$t_{NMICK} \times 3.5$(注2)	—	—			$t_{NMICK} \times 3 > 200$ ns
IRQ パルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200$ ns
		$t_{Pcyc} \times 2$(注1)	—	—			$t_{Pcyc} \times 2 > 200$ ns
		200	—	—		IRQ デジタルフィルタ有効	$t_{IRQCK} \times 3 \leqq 200$ ns
		$t_{IRQCK} \times 3.5$(注3)	—	—			$t_{IRQCK} \times 3 > 200$ ns

注.　ソフトウェアスタンバイモード時は最小 200 ns です。

注. クロックソースを切り替える場合、切り替えるソースの 4 クロックサイクルを足します。
注 1. t_{Pcyc} は PCLKB の周期を示します。
注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を示します。
注 3. t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を示します。

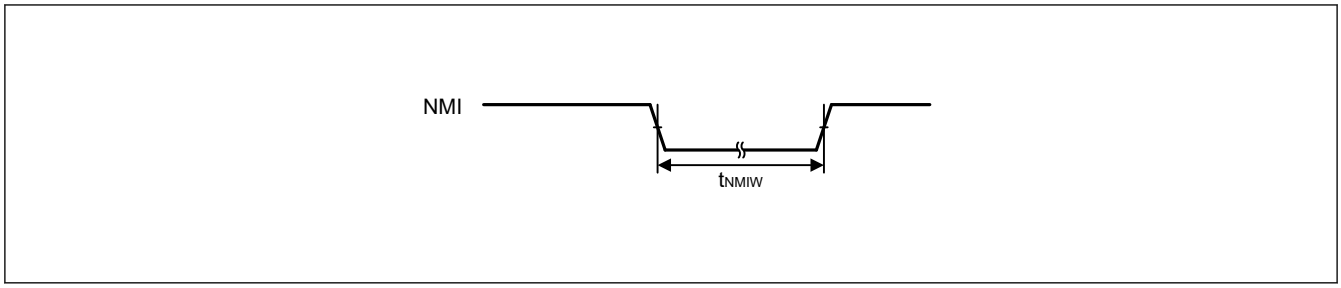


図 44.17 NMI 割り込み入力タイミング

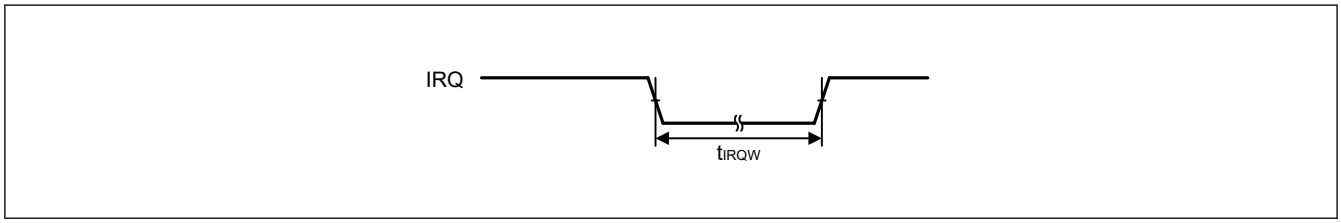


図 44.18 IRQ 割り込み入力タイミング

44.3.6 I/O ポート、POEG、GPT、AGT、ADC12 のトリガタイミング

表 44.22 I/O ポート、POEG、GPT、AGT、ADC12 のトリガタイミング

GPT16E 条件：
PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
AGT 条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位	測定条件
I/O ポート	入力データパルス幅		t_{PRW}	1.5	—	t_{Pcyc}	図 44.19
POEG	POEG 入力トリガパルス幅		t_{POEW}	3	—	t_{Pcyc}	図 44.20
GPT	インプットキャプチャパルス幅	単エッジ	t_{GTICW}	1.5	—	t_{PDcyc}	図 44.21
		両エッジ		2.5	—		
	GTIOCxY 出力スキュー（x = 0、1、Y = A または B）	中駆動バッファ	t_{GTISK}(注1)	—	4	ns	図 44.22
		高駆動バッファ		—	4		
	GTIOCxY 出力スキュー（x = 4、5、Y = A または B）	中駆動バッファ		—	4		
		高駆動バッファ		—	4		
	GTIOCxY 出力スキュー (x = 0, 1, 4, 5、Y = A または B)	中駆動バッファ		—	6		
		高駆動バッファ		—	6		
	OPS 出力スキュー GTOUUP、GTOULO、GTOVUP、GTOVLO、GTOWUP、GTOWLO		t_{GTOSK}	—	5	ns	図 44.23
AGT	AGTIO、AGTEE 入力サイクル		t_{ACYC}(注2)	100	—	ns	図 44.24
	AGTIO、AGTEE 入力 High レベル幅、Low レベル幅		t_{ACKWH}, t_{ACKWL}	40	—	ns	
	AGTIO、AGTO、AGTOA、AGTOB 出力サイクル		t_{ACYC2}	62.5	—	ns	
ADC12	ADC12 トリガ入力パルス幅		t_{TRGW}	1.5	—	t_{Pcyc}	図 44.25

注. t_{Pcyc}：PCLKB サイクル、t_{PDcyc}：PCLKD サイクル
注 1. このスキューは、同じドライバ I/O が使用されている場合に適用されます。中駆動ドライバと高駆動ドライバの I/O が混在する場合、動作は保証されません。
注 2. 入力サイクルの制限：

ソースクロックを切り替えない場合：$t_{Pcyc} \times 2 < t_{ACYC}$ を満たす必要があります。
ソースクロックを切り替える場合：$t_{Pcyc} \times 6 < t_{ACYC}$ を満たす必要があります。

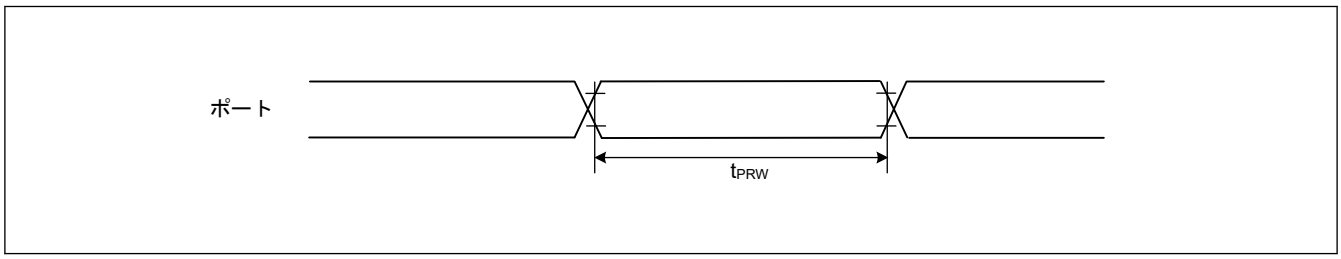


図 44.19　I/O ポート入力タイミング

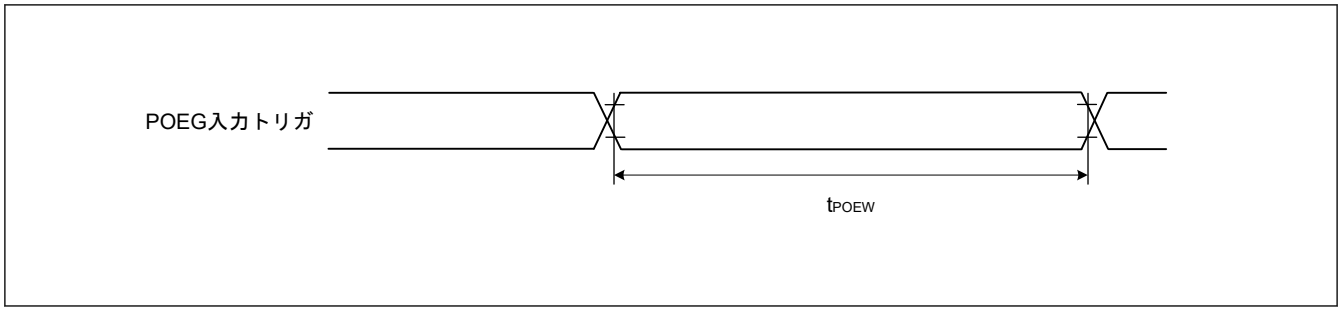


図 44.20　POEG 入力トリガタイミング

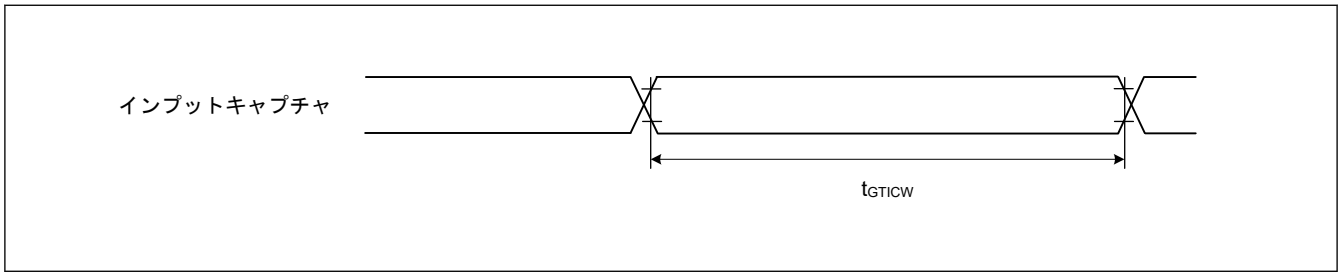


図 44.21　GPT インプットキャプチャタイミング

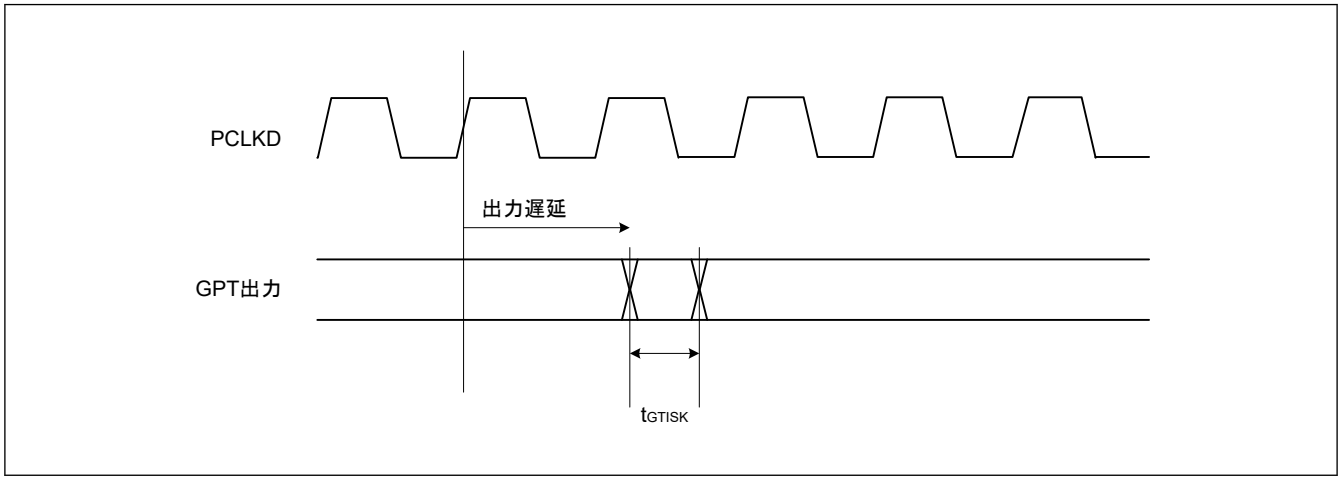


図 44.22　GPT 出力遅延スキュー

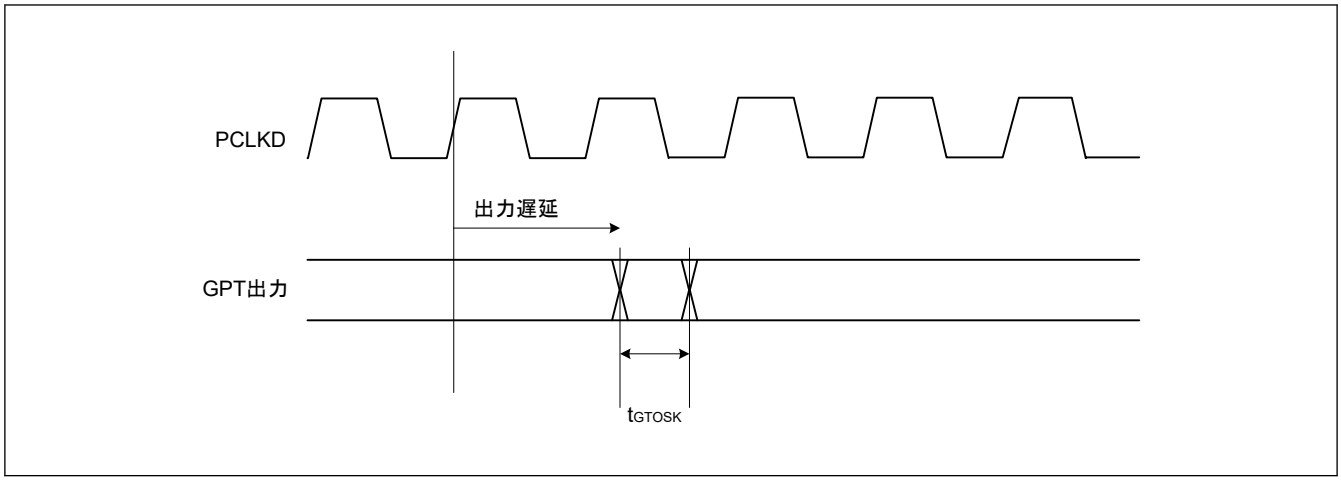


図 44.23 OPS の GPT 出力遅延スキュー

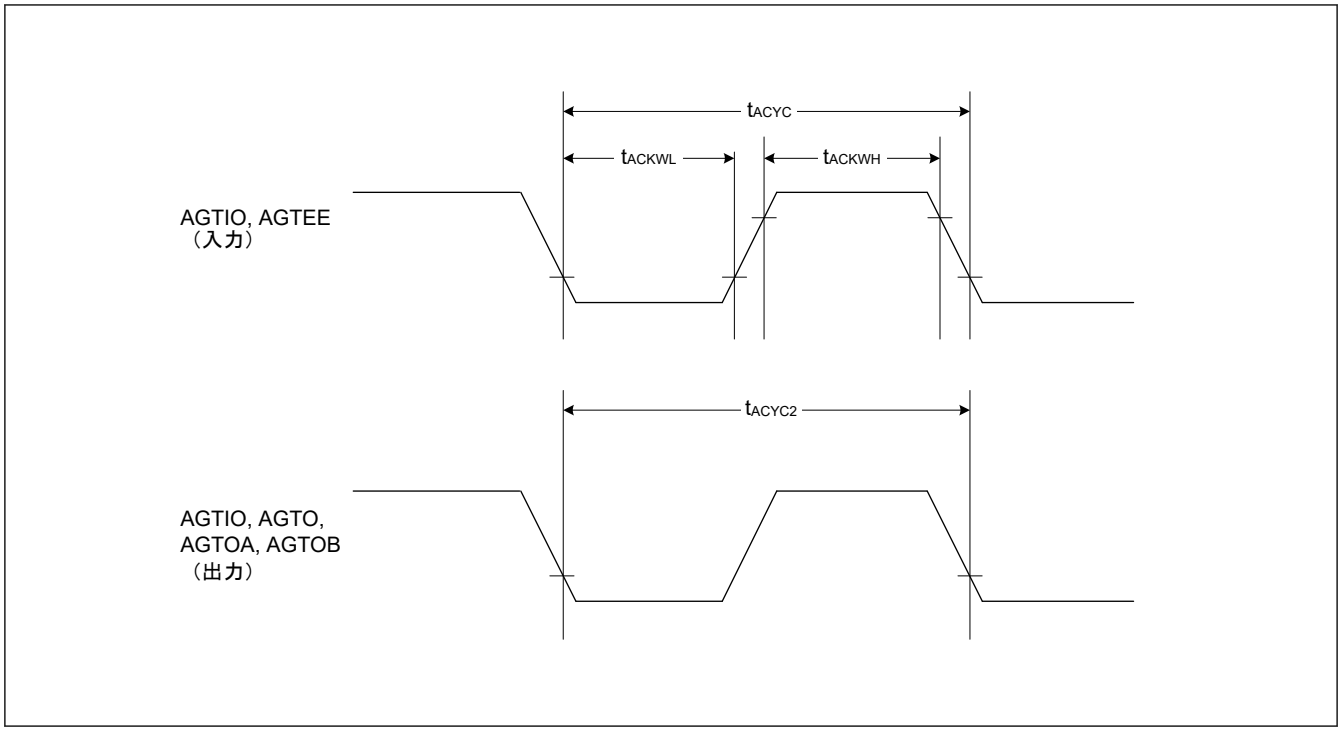


図 44.24 AGT 入出力タイミング

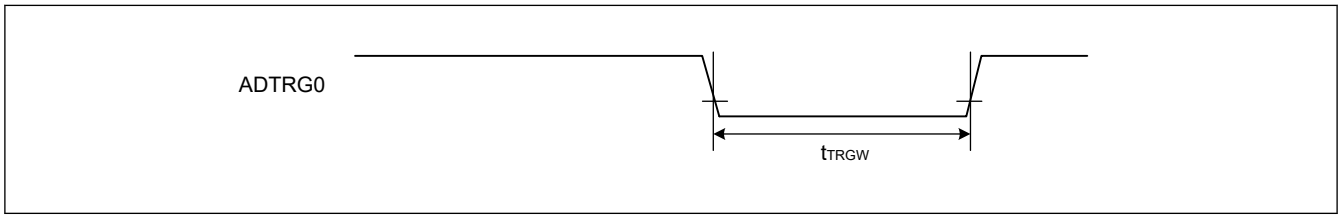


図 44.25 ADC12 トリガ入力タイミング

44.3.7 CAC タイミング

表 44.23 CAC タイミング

項目			シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF 入力パルス幅	$t_{PBcyc} \leqq t_{cac}$(注1)	t_{CACREF}	4.5 × t_{cac} + 3 × t_{PBcyc}	—	—	ns	—
		$t_{PBcyc} > t_{cac}$(注1)		5 × t_{cac} + 6.5 × t_{PBcyc}	—	—	ns	

注. t_{PBcyc}: PCLKB の周期
注 1. t_{cac}：CAC カウントクロックソースの周期

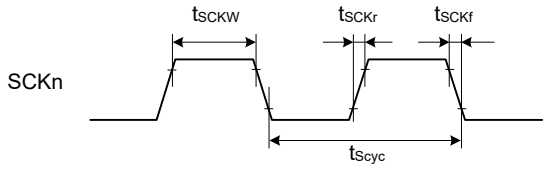
44.3.8 SCI タイミング

表 44.24 SCI タイミング (1)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

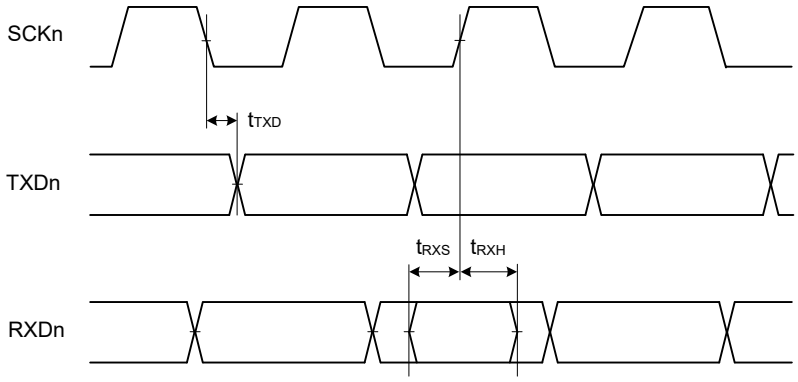
項目			シンボル	Min	Max	単位	測定条件
SCI	入力クロックサイクル	調歩同期式	t_{Scyc}	4	—	t_{Pcyc}	図 44.26
		クロック同期式		6	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	出力クロックサイクル	調歩同期式	t_{Scyc}	6	—	t_{Pcyc}	
		クロック同期式		4	—		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	—	5	ns	
	出力クロック立ち下がり時間		t_{SCKf}	—	5	ns	
	送信データ遅延時間	クロック同期式マスタモード（内部クロック）	t_{TXD}	—	5	ns	図 44.27
		クロック同期式スレーブモード（外部クロック）	t_{TXD}	—	25	ns	
	受信データセットアップ時間	クロック同期式マスタモード（内部クロック）	t_{RXS}	15	—	ns	
		クロック同期式スレーブモード（外部クロック）	t_{RXS}	5	—	ns	
	受信データホールド時間	クロック同期式	t_{RXH}	5	—	ns	

注. t_{Pcyc}：PCLKA の周期



注. n = 0, 9

図 44.26 SCK クロック入出力タイミング



注. n = 0, 9

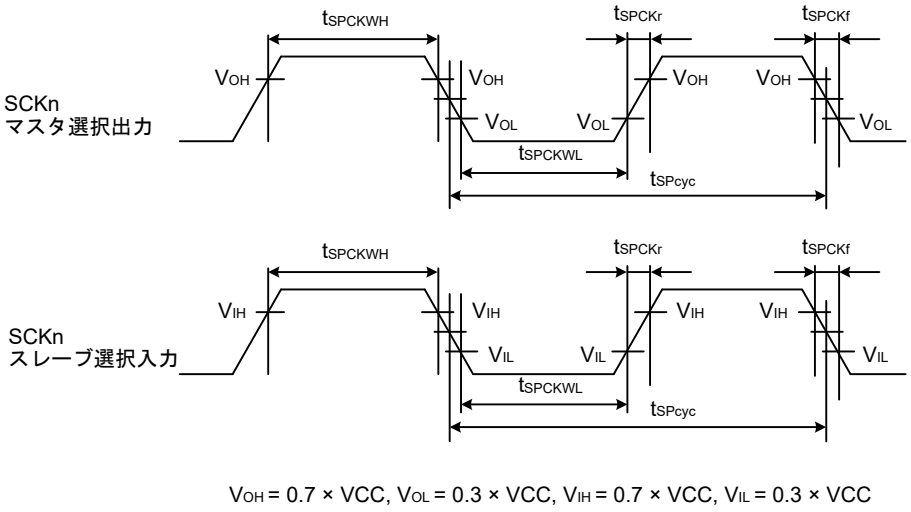
図 44.27 クロック同期式モードにおける SCI 入出力タイミング

表 44.25 SCI タイミング (2)

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目			シンボル	Min	Max	単位	測定条件
簡易 SPI	SCK クロックサイクル出力（マスタ）		t_{SPcyc}	4	65536	t_{Pcyc}	図 44.28
	SCK クロックサイクル入力（スレーブ）			6	65536		
	SCK クロック High レベルパルス幅		t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCK クロック Low レベルパルス幅		t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCK クロック立ち上がり／立ち下がり時間		t_{SPCKr}, t_{SPCKf}	—	5	ns	
	データ入力セットアップ時間	マスタ	t_{SU}	15	—	ns	図 44.29～図 44.32
		スレーブ		5	—	ns	
	データ入力ホールド時間		t_H	5	—	ns	
	SS 入力セットアップ時間		t_{LEAD}	1	—	t_{SPcyc}	
	SS 入力ホールド時間		t_{LAG}	1	—	t_{SPcyc}	
	データ出力遅延時間	マスタ	t_{OD}	—	5	ns	
		スレーブ		—	25	ns	
	データ出力ホールド時間		t_{OH}	-5	—	ns	
	データ立ち上がり／立ち下がり時間		t_{Dr}, t_{Df}	—	5	ns	
	SS 入力立ち上がり／立ち下がり時間		t_{SSLr}, t_{SSLf}	—	5	ns	
	スレーブアクセス時間		t_{SA}	—	3 × t_{Pcyc} + 25	ns	図 44.32
	スレーブ出力開放時間		t_{REL}	—	3 × t_{Pcyc} + 25	ns	

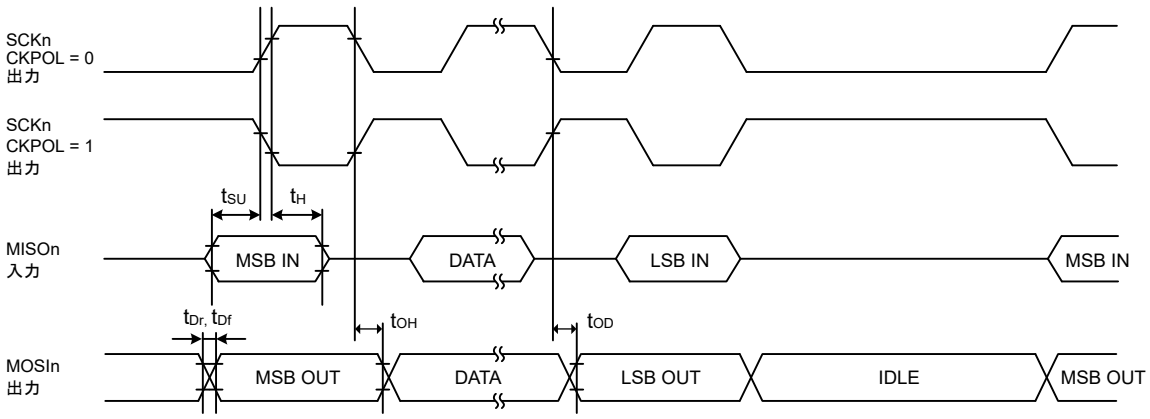
注. t_{Pcyc}：PCLKA の周期



V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, V_{IH} = 0.7 × VCC, V_{IL} = 0.3 × VCC

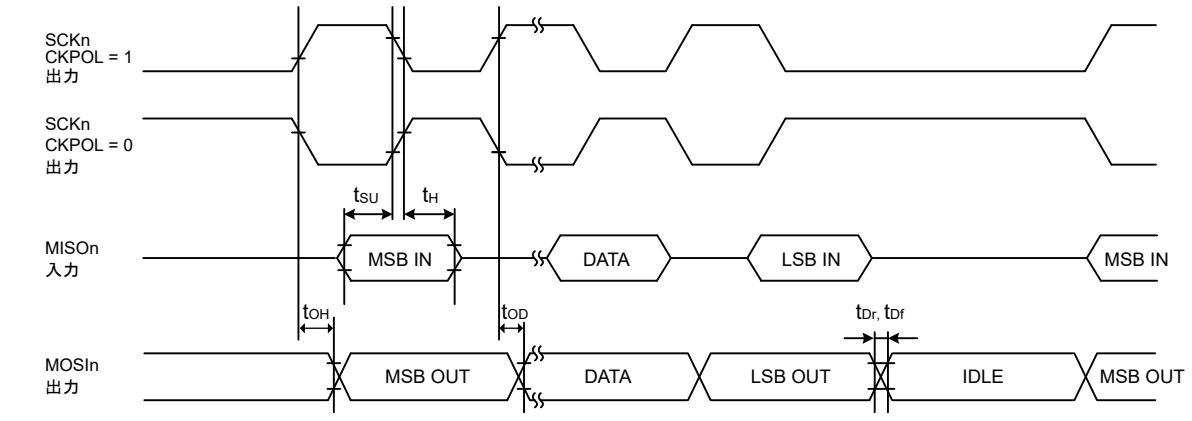
注. n = 0, 9

図 44.28 SCI 簡易 SPI モードクロックタイミング



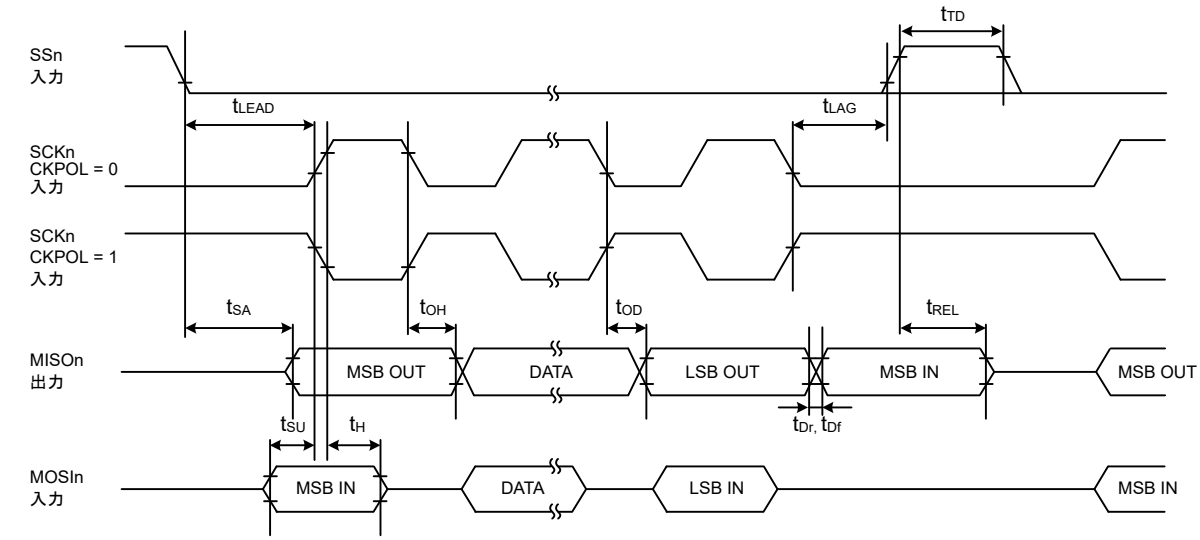
注. n = 0, 9

図 44.29 CKPH = 1 の場合におけるマスタの SCI 簡易 SPI モードタイミング



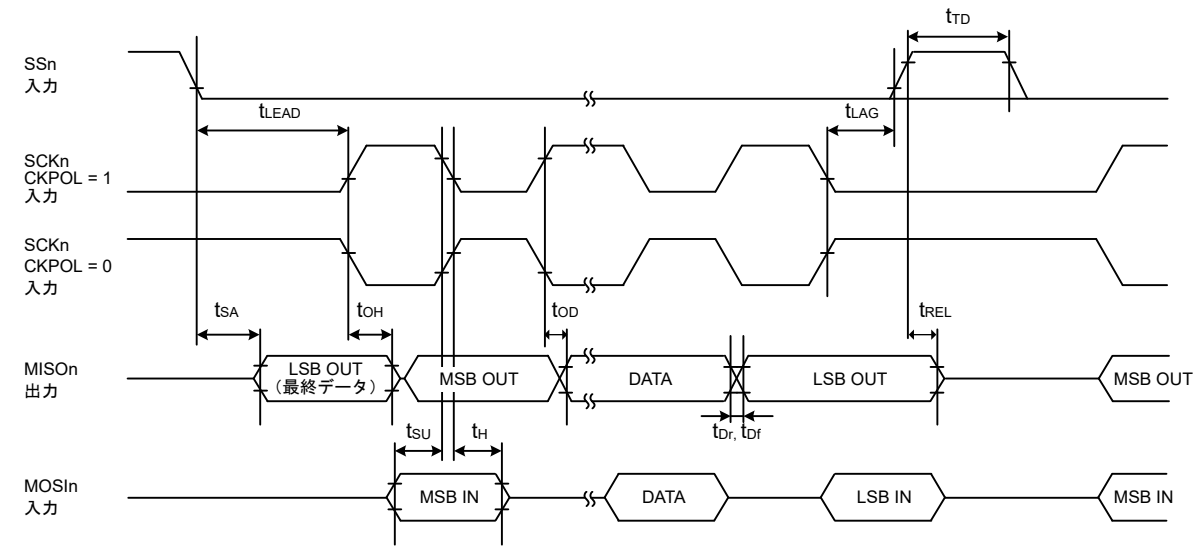
注. n = 0, 9

図 44.30 CKPH = 0 の場合におけるマスタの SCI 簡易 SPI モードタイミング



注. n = 0, 9

図 44.31 CKPH = 1 の場合におけるスレーブの SCI 簡易 SPI モードタイミング



注. n = 0, 9

図 44.32 CKPH = 0 の場合におけるスレーブの SCI 簡易 SPI モードタイミング

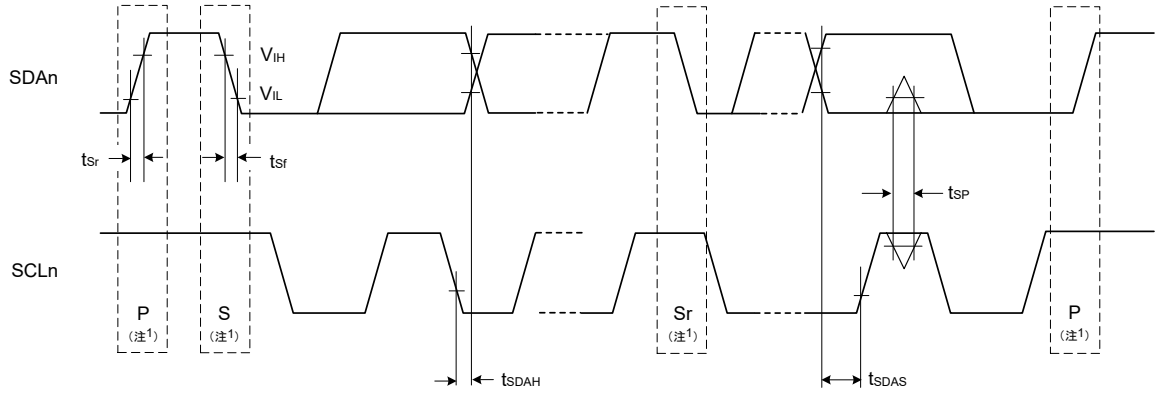
表 44.26 SCI タイミング (3)

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位	測定条件
簡易 IIC（標準モード）	SDA 入力立ち上がり時間	t_{Sr}	—	1000	ns	図 44.33
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{IICcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF	
簡易 IIC（ファストモード）	SDA 入力立ち上がり時間	t_{Sr}	—	300	ns	図 44.33
	SDA 入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA 入力スパイクパルス除去時間	t_{SP}	0	4 × t_{IICcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF	

注. t_{IICcyc}：IIC 内部基準クロック (IICφ) サイクル

注 1. C_b はバスラインの容量総計を意味します。



測定条件：
V_{IH} = VCC × 0.7, V_{IL} = VCC × 0.3
V_{OL} = 0.6 V, I_{OL} = 6 mA

注. n = 0, 9
注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：スタートコンディション
P：ストップコンディション
Sr：リスタートコンディション

図 44.33 SCI 簡易 IIC モードタイミング

44.3.9 SPI タイミング

表 44.27 SPI タイミング

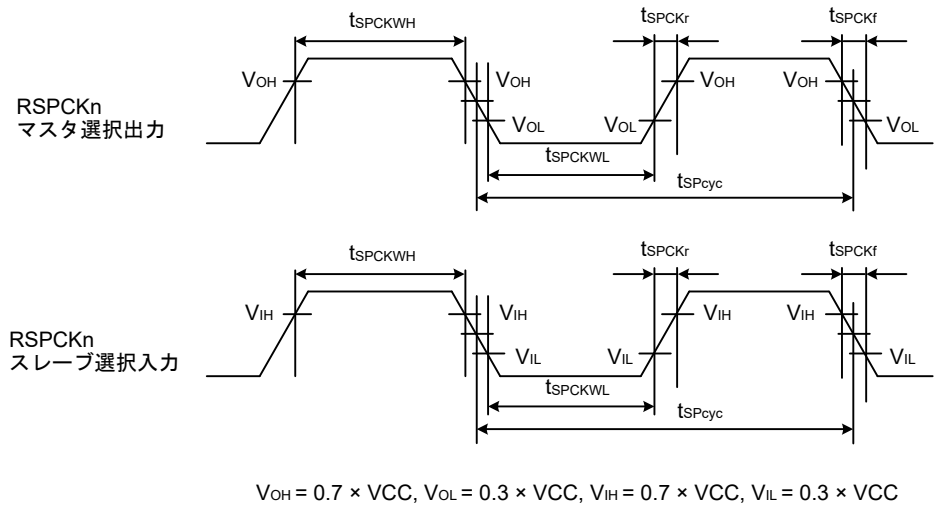
条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目			シンボル	Min	Max	単位	測定条件
SPI	RSPCK クロックサイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc}	図 44.34
		スレーブ		4	4096		
	RSPCK クロック High レベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ		0.4	0.6	t_{SPcyc}	
	RSPCK クロック Low レベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	—	ns	
		スレーブ		0.4	0.6	t_{SPcyc}	
	RSPCK クロック立ち上がり／立ち下がり時間	マスタ	t_{SPCKr}, t_{SPCKf}	—	5	ns	
		スレーブ		—	1	μs	
	データ入力セットアップ時間	マスタ	t_{SU}	4	—	ns	図 44.35～図 44.40
		スレーブ		5	—		
	データ入力ホールド時間	マスタ（PCLKA を 2 分周に設定）	t_{HF}	0	—	ns	
		マスタ（PCLKA を 2 分周以外に設定）	t_{H}	t_{Pcyc}	—		
		スレーブ	t_{H}	20	—		
	SSL セットアップ時間	マスタ	t_{LEAD}	$N \times t_{SPcyc} - 10$(注1)	$N \times t_{SPcyc} + 100$(注1)	ns	
		スレーブ		$4 \times t_{Pcyc}$	—	ns	
	SSL ホールド時間	マスタ	t_{LAG}	$N \times t_{SPcyc} - 10$(注2)	$N \times t_{SPcyc} + 100$(注2)	ns	
		スレーブ		$4 \times t_{Pcyc}$	—	ns	
	データ出力遅延時間	マスタ	t_{OD1}	—	6.3	ns	
			t_{OD2}		6.3		
		スレーブ	t_{OD}	—	20		
	データ出力ホールド時間	マスタ	t_{OH}	0	—	ns	
		スレーブ		0	—		
	連続送信遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns	
		スレーブ		$4 \times t_{Pcyc}$			
	MOSI、MISO 立ち上がり／立ち下がり時間	出力	t_{Dr}, t_{Df}	—	5	ns	
		入力		—	1	μs	
	SSL 立ち上がり／立ち下がり時間	出力	t_{SSLr}, t_{SSLf}	—	5	ns	
		入力		—	1	μs	
	スレーブアクセス時間		t_{SA}	—	25	ns	図 44.39 と図 44.40
	スレーブ出力解放時間		t_{REL}	—	25		

注. t_{Pcyc}: PCLKA の周期

注. 所属グループを示すため、_A や_B などのように端子名の後ろに文字を付加した端子を使用してください。SPI インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

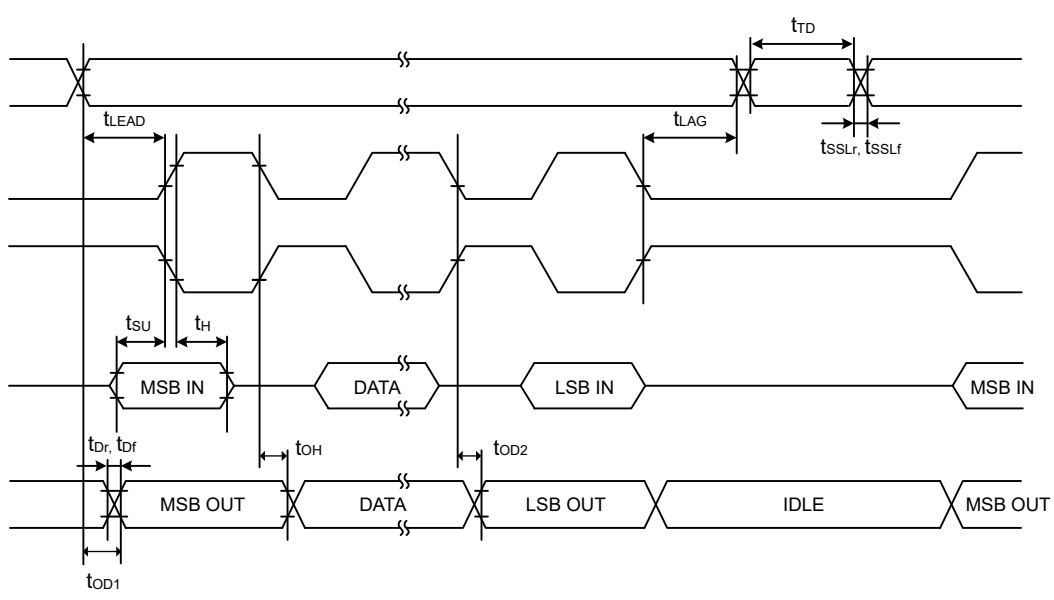
注 1.　N は、SPCKD レジスタで設定可能な 1～8 の整数です。
注 2.　N は、SSLND レジスタで設定可能な 1～8 の整数です。



V_{OH} = 0.7 × VCC, V_{OL} = 0.3 × VCC, V_{IH} = 0.7 × VCC, V_{IL} = 0.3 × VCC

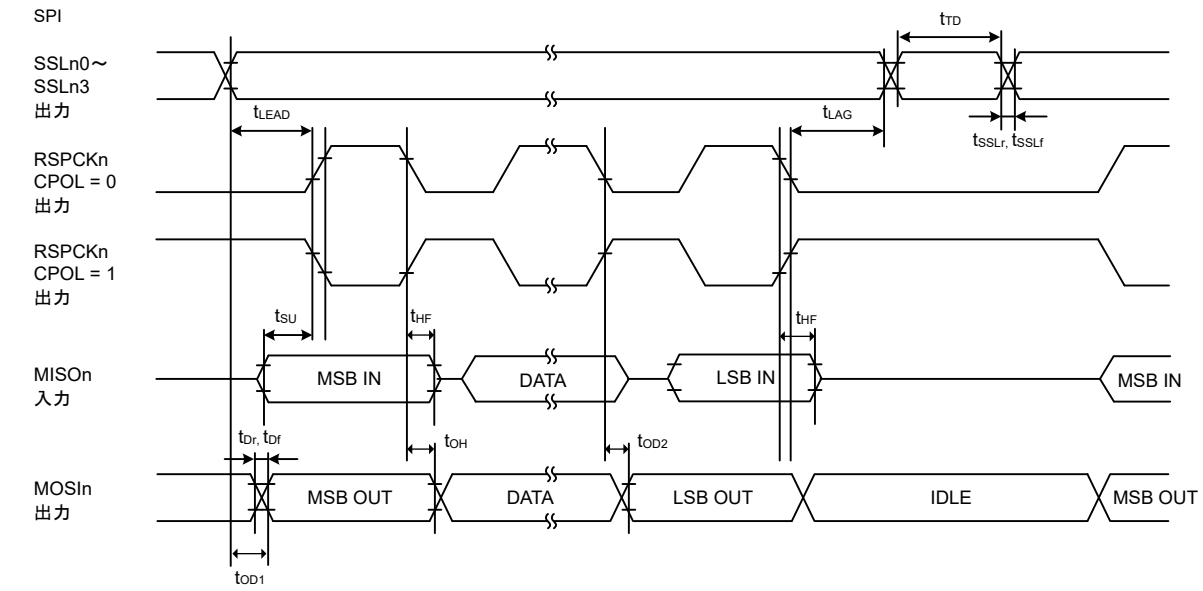
注.　n = A または B

図 44.34　SPI クロックタイミング



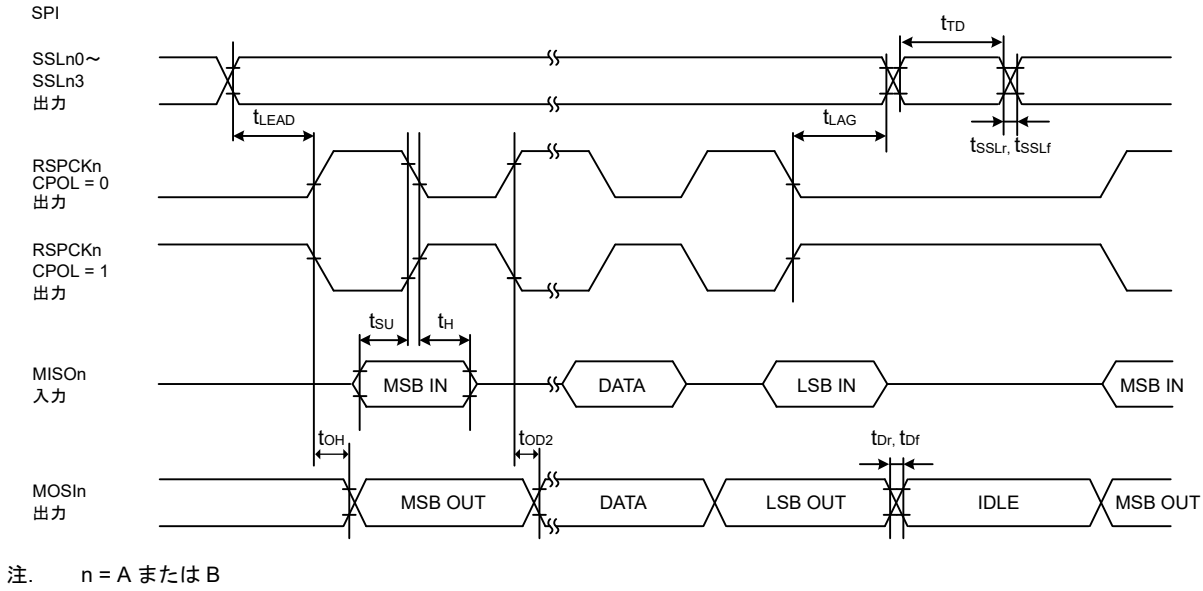
注.　n = A または B

図 44.35　CPHA = 0 の場合におけるマスタの SPI タイミング



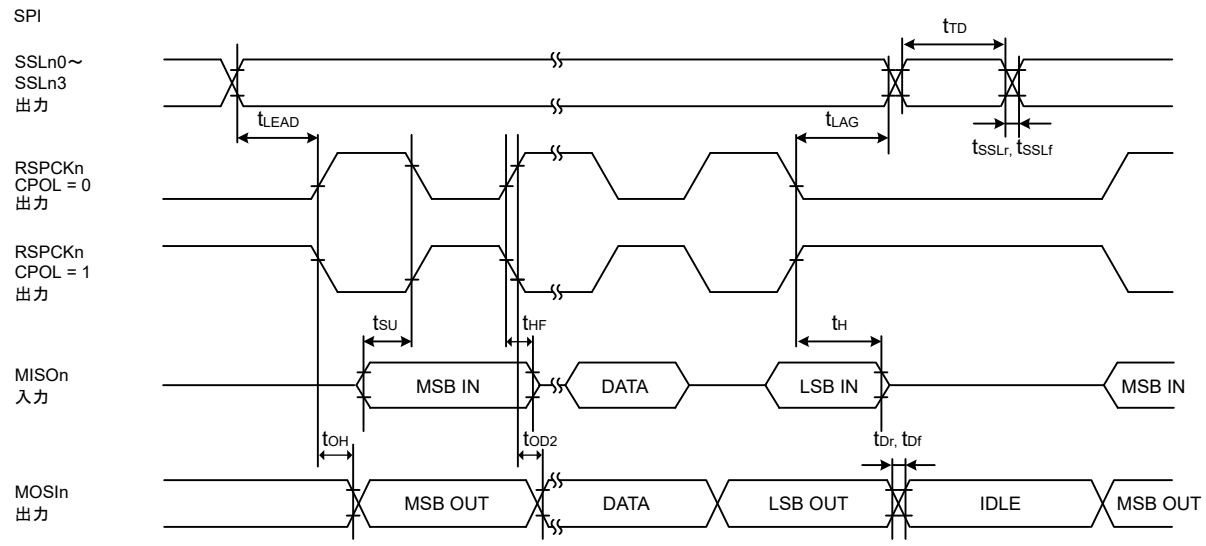
注. n = A または B

図 44.36 CPHA = 0 で、PCLKA/2 にビットレートが設定されている場合におけるマスタの SPI タイミング



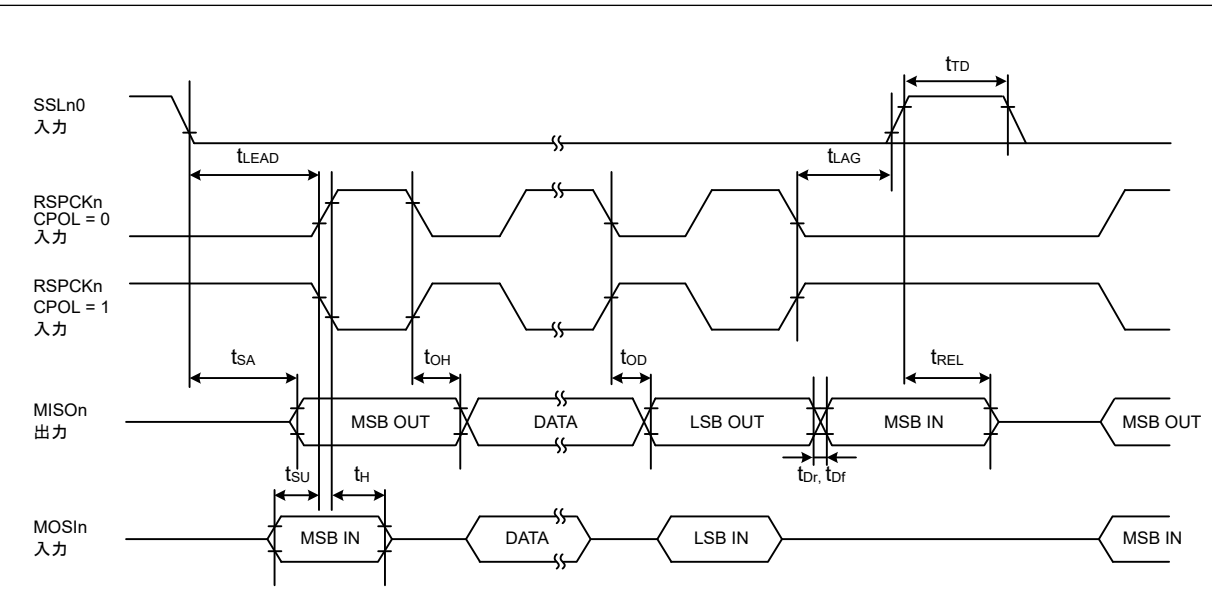
注. n = A または B

図 44.37 CPHA = 1 の場合におけるマスタの SPI タイミング



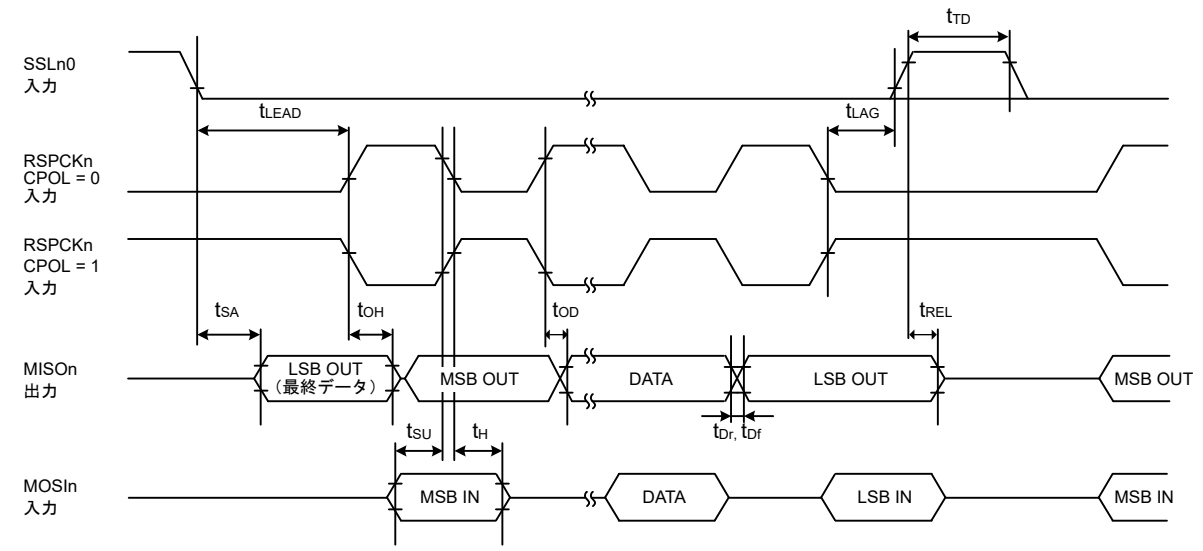
注. n = A または B

図 44.38 CPHA = 1 で、PCLKA/2 にビットレートが設定されている場合におけるマスタの SPI タイミング



注. n = A または B

図 44.39 CPHA = 0 の場合におけるスレーブの SPI タイミング



注. n = A または B

図 44.40 CPHA = 1 の場合におけるスレーブの SPI タイミング

44.3.10 I3C タイミング

表 44.28 IIC タイミング (1)-1

1. 条件：以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：SDA0_A、SCL0_A、SDA0_B、SCL0_B、SDA0_C、SCL0_C
2. 以下の端子の設定は必要ありません：SDA0_D、SCL0_D
3. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

パラメータ		シンボル	Min	Max	単位
IIC（標準モード、SMBus） BFCTL.FMPE = 0	SCL 入力サイクル時間	t_{SCL}	10(18) × t_{I3Ccyc} + 1300	—	ns
	SCL 入力 High レベルパルス幅	t_{SCLH}	5(9) × t_{I3Ccyc} + 300	—	ns
	SCL 入力 Low レベルパルス幅	t_{SCLL}	5(9) × t_{I3Ccyc} + 300	—	ns
	SCL、SDA 立ち上がり時間	t_{Sr}	—	1000	ns
	SCL、SDA 立ち下がり時間	t_{Sf}	—	300	ns
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{I3Ccyc}	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	5(9) × t_{I3Ccyc} + 300	—	ns
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	5(9) × t_{I3Ccyc} + 4 × t_{Tcyc} + 300	—	ns
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	t_{I3Ccyc} + 300	—	ns
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	1(5) × t_{I3Ccyc} + t_{Tcyc} + 300	—	ns
	繰り返しのスタートコンディション入力セットアップ時間	t_{STAS}	1000	—	ns
	ストップコンディション入力セットアップ時間	t_{STOS}	1000	—	ns
	データ入力セットアップ時間	t_{SDAS}	t_{I3Ccyc} + 50	—	ns
	データ入力ホールド時間	t_{SDAH}	0	—	ns
	SCL、SDA の負荷容量	C_b(注1)	—	400	pF

注. t_{I3Ccyc}: I3C 内部基準クロック (I3Cφ) サイクル、t_{Tcyc}：I3CCLK サイクル。
注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0x3 であると括弧内の値が適用されます。
注. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 1. C_b はバスラインの容量総計を意味します。

表 44.29 IIC タイミング (1)-2

1. 条件：以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：SDA0_A、SCL0_A、SDA0_B、SCL0_B、SDA0_C、SCL0_C
2. 以下の端子の設定は必要ありません：SDA0_D、SCL0_D
3. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

パラメータ		シンボル	Min	Max	単位
IIC（ファストモード）	SCL 入力サイクル時間	t_{SCL}	10(18) × t_{I3Ccyc} + 600	—	ns
	SCL 入力 High レベルパルス幅	t_{SCLH}	5(9) × t_{I3Ccyc} + 300	—	ns
	SCL 入力 Low レベルパルス幅	t_{SCLL}	5(9) × t_{I3Ccyc} + 300	—	ns
	SCL、SDA 立ち上がり時間	t_{Sr}	20 ×（外付けプルアップ電圧／5.5 V）(注1)	300	ns
	SCL、SDA 立ち下がり時間	t_{Sf}	20 ×（外付けプルアップ電圧／5.5 V）(注1)	300	ns
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{I3Ccyc}	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	5(9) × t_{I3Ccyc} + 300	—	ns
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	5(9) × t_{I3Ccyc} + 4 × t_{Tcyc} + 300	—	ns
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	t_{I3Ccyc} + 300	—	ns
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	1(5) × t_{I3Ccyc} + t_{Tcyc} + 300	—	ns
	繰り返しのスタートコンディション入力セットアップ時間	t_{STAS}	300	—	ns
	ストップコンディション入力セットアップ時間	t_{STOS}	300	—	ns
	データ入力セットアップ時間	t_{SDAS}	t_{I3Ccyc} + 50	—	ns
	データ入力ホールド時間	t_{SDAH}	0	—	ns
	SCL、SDA の負荷容量	C_b(注2)	—	400	pF

注. t_{I3Ccyc}: I3C 内部基準クロック (I3Cφ) サイクル、t_{Tcyc}：I3CCLK サイクル。
注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0x3 であると括弧内の値が適用されます。
注. 所属グループを示すため、"_A"や"_B"などのように端子名の後ろに文字を付加した端子を使用してください。IIC インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。
注 1. SDA0_D、SCL0_D に限りサポートされています。
注 2. C_b はバスラインの容量総計を意味します。

表 44.30　IIC タイミング (1)-3

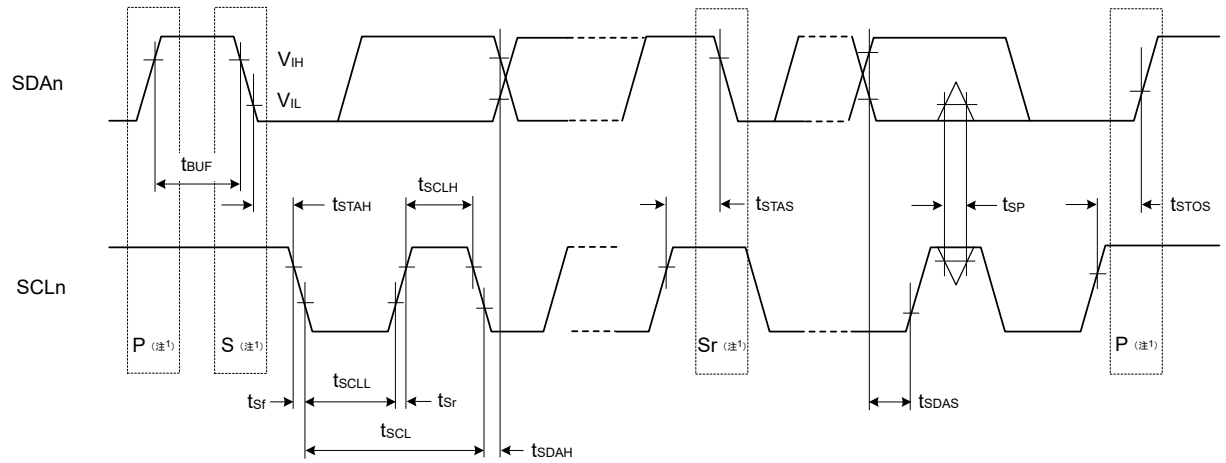
PmnPFS レジスタのポート駆動能力ビットでは、SDA0_D 端子、SCL0_D 端子の設定は必要ありません。

項目		シンボル	Min	Max	単位
IIC（ファストモード+）BFCTL.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	10(18) × t_{I3Ccyc} + 240	—	ns
	SCL 入力 High レベルパルス幅	t_{SCLH}	5(9) × t_{I3Ccyc} + 120	—	ns
	SCL 入力 Low レベルパルス幅	t_{SCLL}	5(9) × t_{I3Ccyc} + 120	—	ns
	SCL、SDA 立ち上がり時間	t_{Sr}	—	120	ns
	SCL、SDA 立ち下がり時間	t_{Sf}	20 ×（外付けプルアップ電圧／5.5 V）	120	ns
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1(4) × t_{I3Ccyc}	ns
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	5(9) × t_{I3Ccyc} + 120	—	ns
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	5(9) × t_{I3Ccyc} + 4 × t_{Tcyc} + 120	—	ns
	ウェイクアップ機能が無効な場合のスタートコンディション入力ホールド時間	t_{STAH}	t_{I3Ccyc} + 120	—	ns
	ウェイクアップ機能が有効な場合のスタートコンディション入力ホールド時間	t_{STAH}	1(5) × t_{I3Ccyc} + t_{Tcyc} + 120	—	ns
	リスタートコンディション入力セットアップ時間	t_{STAS}	120	—	ns
	ストップコンディション入力セットアップ時間	t_{STOS}	120	—	ns
	データ入力セットアップ時間	t_{SDAS}	t_{I3Ccyc} + 30	—	ns
	データ入力ホールド時間	t_{SDAH}	0	—	ns
	SCL、SDA の負荷容量	C_b(注1)	—	550	pF

注.　t_{I3Ccyc}: I3C 内部基準クロック (I3Cφ) サイクル、t_{Tcyc}: I3CCLK サイクル。

注.　INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0x3 であると括弧内の値が適用されます。

注 1.　C_b はバスラインの容量総計を意味します。



注 1.　S、P、Sr はそれぞれ以下の条件を示します。
S：スタートコンディション
P：ストップコンディション
Sr：再スタートコンディション

図 44.41　I^2C バスインタフェース入出力タイミング

表 44.31 IIC タイミング (2)

条件：VCC = 3.00～3.60 V
PmnPFS レジスタのポート駆動能力ビットでは、SDA0_D 端子、SCL0_D 端子の設定は必要ありません。

パラメータ			シンボル	Min	Max	単位
IIC （Hs モード） BFCTL.HSME = 1	SCL 入力サイクル時間		t_{SCL}	55(57) × t_{I3Ccyc}	—	ns
	SCL 入力 High レベルパルス幅	Cb = 400 pF	t_{SCLH}	43(44) × t_{I3Ccyc}	—	ns
		Cb = 100 pF		23(24) × t_{I3Ccyc}	—	
	SCL 入力 Low レベルパルス幅	Cb = 400 pF	t_{SCLL}	64(65) × t_{I3Ccyc}	—	ns
		Cb = 100 pF		32(33) × t_{I3Ccyc}	—	
	SCL 立ち上がり時間	Cb = 400 pF	t_{SrCL}	—	80	ns
		Cb = 100 pF		—	40	
	SDA 立ち上がり時間	Cb = 400 pF	t_{SrDA}	—	160	ns
		Cb = 100 pF		—	80	
	SCL 立ち下がり時間	Cb = 400 pF	t_{SfCL}	—	80	ns
		Cb = 100 pF		—	40	
	SDA 立ち下がり時間	Cb = 400 pF	t_{SfDA}	—	160	ns
		Cb = 100 pF		—	80	
	SCL、SDA 入力スパイクパルス除去時間		t_{SP}	0	1(1) × t_{I3Ccyc}	ns
	繰り返しのスタートコンディション入力セットアップ時間		t_{STAS}	40	—	ns
	ストップコンディション入力セットアップ時間		t_{STOS}	40	—	ns
	データ入力セットアップ時間		t_{SDAS}	10	—	ns
	データ入力ホールド時間	Cb = 400 pF	t_{SDAH}	0	150	ns
		Cb = 100 pF		0	70	
	SCL、SDA の負荷容量		C_b(注1)	—	400	pF

注. t_{I3Ccyc}: I3C 内部基準クロック (I3Cφ) サイクル。
注. INCTL.DNFE が 1 でデジタルフィルタが有効な場合、INCTL.DNFS[3:0]が 0x3 であると括弧内の値が適用されます。
注 1. C_b はバスラインの容量総計を意味します。

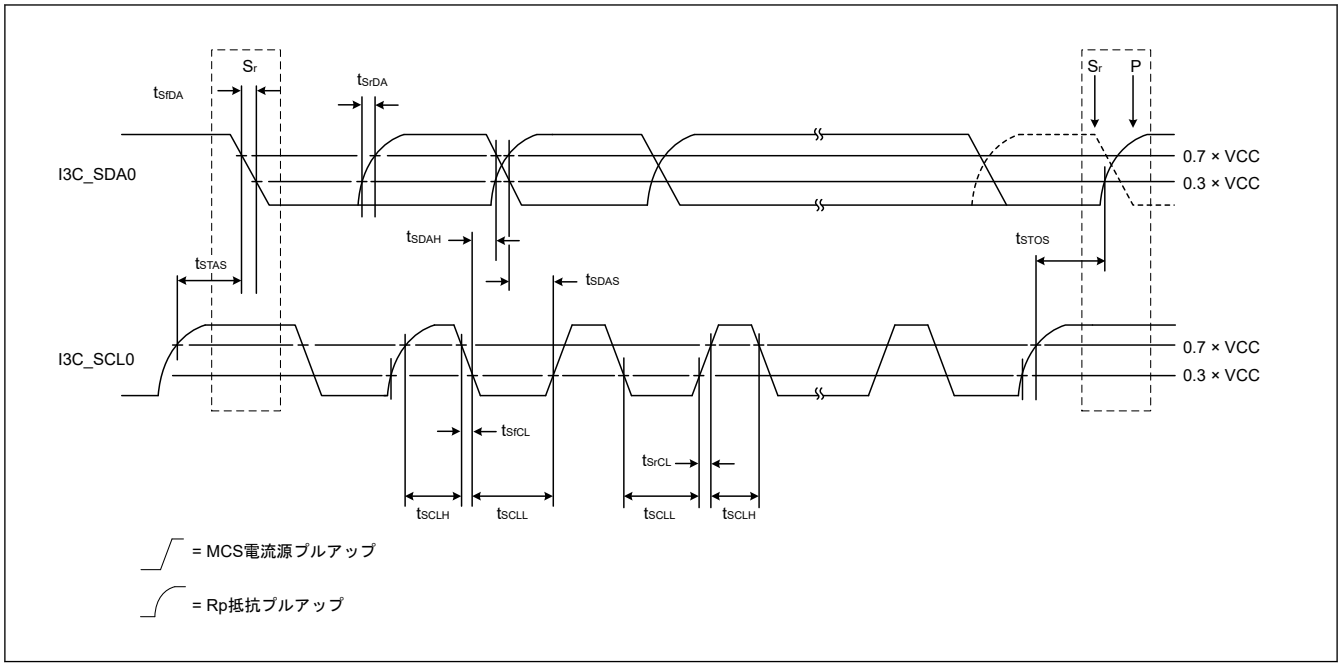


図 44.42　I²C バスインタフェース入出力タイミング（Hs モード）

表 44.32　I3C タイミング（オープンドレインタイミングパラメータ）

条件：VCC = 3.00～3.60 V
PmnPFS レジスタのポート駆動能力ビットでは、I3C_SDA 端子、I3C_SCL 端子の設定は必要ありません。

パラメータ		シンボル	Min	Max	単位	測定条件
I3C オープンドレインタイミングパラメータ	SCL クロック Low 期間	t_{LOW_OD} (注1) (注2)	200	—	ns	図 44.45
		$t_{DIG\_OD\_L}$	t_{LOW_ODmin} + t_{fDA_ODmin}	—	ns	図 44.45
	SCL クロック High 期間	t_{HIGH} (注3) (注4)	—	41	ns	図 44.43
		t_{DIG_H}	—	t_{HIGH} + t_{CF}	ns	図 44.43
	SDA 信号立ち下がり時間	t_{fDA_OD}	t_{CF}	12	ns	図 44.45
	SDA データセットアップ時間オープンドレインモード	t_{SU_OD} (注1)	17	—	ns	図 44.44
	スタート (S) コンディション後クロック	t_{CAS} (注5) (注6)	38.4 ナノ	ENAS0: 1 μ	秒	図 44.45
				ENAS1: 100 μ		
				ENAS2: 2 ミリ		
				ENAS3: 50 ミリ		
	ストップ (P) コンディション前クロック	t_{CBP}	t_{CASmin} / 2	—	秒	図 44.46
	ハンドオフ中のカレントマスタからセカンダリマスタまでのオーバーラップ時間	$t_{MMOverlap}$	$t_{DIG\_OD\_Lmin}$	—	ns	図 44.51
	バス使用可能条件	t_{AVAL} (注7)	1	—	μs	—
	バスアイドル条件	t_{IDLE}	1	—	ms	—
	SDA Low 駆動していない新マスタの内部時間	t_{MMLock}	$t_{AVALmin}$	—	μs	図 44.51

注 1.　t_{LOWmin} + t_{DS_ODmin} + t_{rDA_ODtyp} + t_{SU_Odmin} と近似的に同じです。
注 2.　安全な場合、すなわち SDA がすでに VIH を上回っている場合、マスタは短い Low 期間を使用する可能性があります。
注 3.　t_{SPIKE}、立ち上がり／立ち下がり時間、インターコネクトに基づきます。
注 4.　この最大 High 期間は、レガシー I²C デバイスで信号を安全に確認できる場合や、インターコネクトを考慮した上で（バスが短い場合など）、超過する場合があります。

製品仕様上、この最大値を保証できない場合、この最大値を変更し、ミックスバスで使用できないように指定してください。
注 5. I^2C デバイスがスタートを確認する必要があるレガシーバス上
注 6. オプションの ENTASx CCC をサポートしていないスレーブは、ENTAS3 に示されている t_{CAS} 最大値を使用します。
注 7. Fm レガシー I^2C デバイスのミックスバス上で、t_{AVAL} は Fm バスフリー条件時間 (t_{BUF}) より 300 ns 短いです。

表 44.33　I3C タイミング（SDR モード用プッシュプルタイミングパラメータ）

条件：VCC = 3.00～3.60 V
PmnPFS レジスタのポート駆動能力ビットでは、I3C_SDA 端子、I3C_SCL 端子の設定は必要ありません。

パラメータ			シンボル	Min	Max	単位	測定条件
SDR モード用 I3C プッシュプルタイミングパラメータ	SCL クロック周波数		f_{SCL} (注1)	0.01	12.5	MHz	—
	SCL クロック Low 期間		t_{LOW}	24	—	ns	図 44.43
			t_{DIG_L} (注2) (注4)	40	—	ns	図 44.43
	ミックスバスにおける SCL クロックの High 期間		t_{HIGH_MIXED}	24	—	ns	図 44.43
			$t_{DIG\_H\_MIXED}$ (注2) (注3)	40	45	ns	図 44.43
	SCL クロック High 期間		t_{HIGH}	24	—	ns	図 44.43
			t_{DIG_H} (注2)	40	—	ns	図 44.43
	スレーブ用データ出力クロック		t_{SCO}	—	12	ns	図 44.48
	SCL クロック立ち上がり時間		t_{CR}	—	150 × 1 /f_{SCL}（上限 60）	ns	図 44.43
	SCL クロック立ち下がり時間		t_{CF}	—	150 × 1 /f_{SCL}（上限 60）	μs	図 44.43
	プッシュプルモードの SDA 信号データホールド	マスタ	t_{HD_PP} (注4)	t_{CR} + 3, t_{CF} + 3	—	—	図 44.47
		スレーブ	t_{HD_PP}	0	—	—	図 44.47
	プッシュプルモードの SDA 信号データセットアップ		t_{SU_PP}	17	N/A	ns	図 44.49
	繰り返しのスタート (Sr) 後クロック		t_{CASr}	t_{CASmin}	N/A	ns	図 44.50
	繰り返しのスタート (Sr) 前クロック		t_{CBSr}	t_{CASmin} / 2	N/A	ns	図 44.50
	バスライン (SDA/SCL) ごとの負荷容量		C_b	—	50	pF	—

注 1. $f_{SCL} = 1 / (t_{DIG\_L} + t_{DIG\_H})$
注 2. t_{DIG_L} および t_{DIG_H} は、V_{IL}、V_{IH} を使用した I3C バスのレシーバー終了時の Low および High 期間クロックです。
注 3. ミックスバス上で I3C デバイスと通信する際は、I^2C デバイスが I3C シグナリングを有効な I^2C シグナリングと解釈しないようにするため、$t_{DIG\_H\_MIXED}$ 期間に制約を設ける必要があります。
注 4. 両エッジが使用されているとき、ホールド時間はそれぞれのエッジを満たす必要があります。すなわち、立ち下がりエッジクロックに対して t_{CF} + 3、立ち上がりエッジクロックに対して t_{CR} + 3 です。

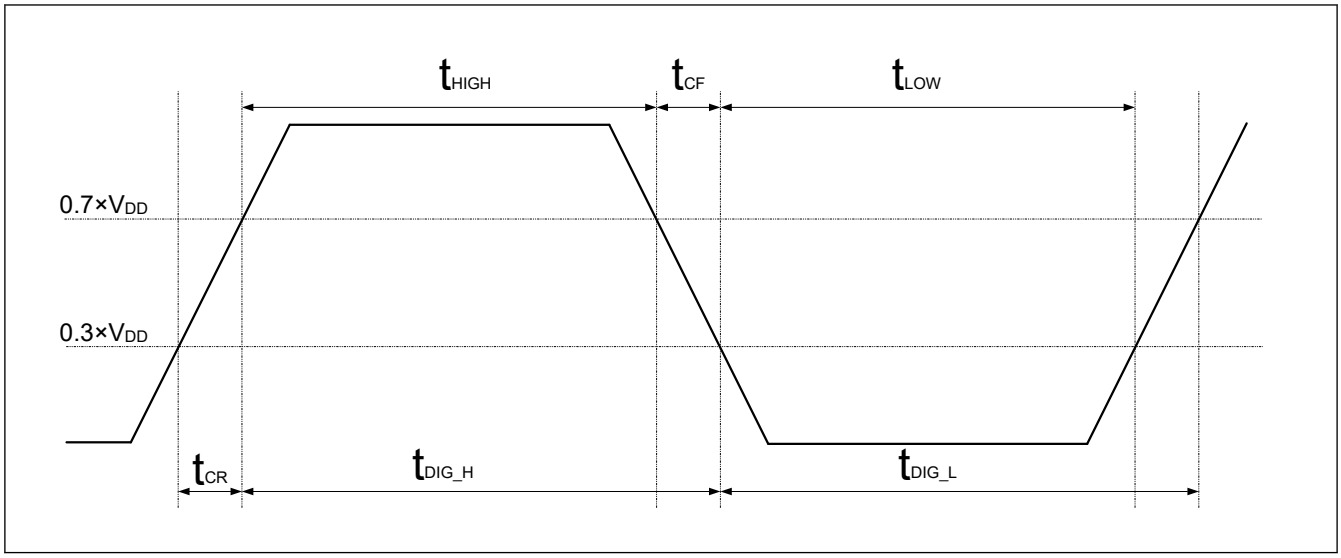


図 44.43　t_{DIG_H}、t_{DIG_L}

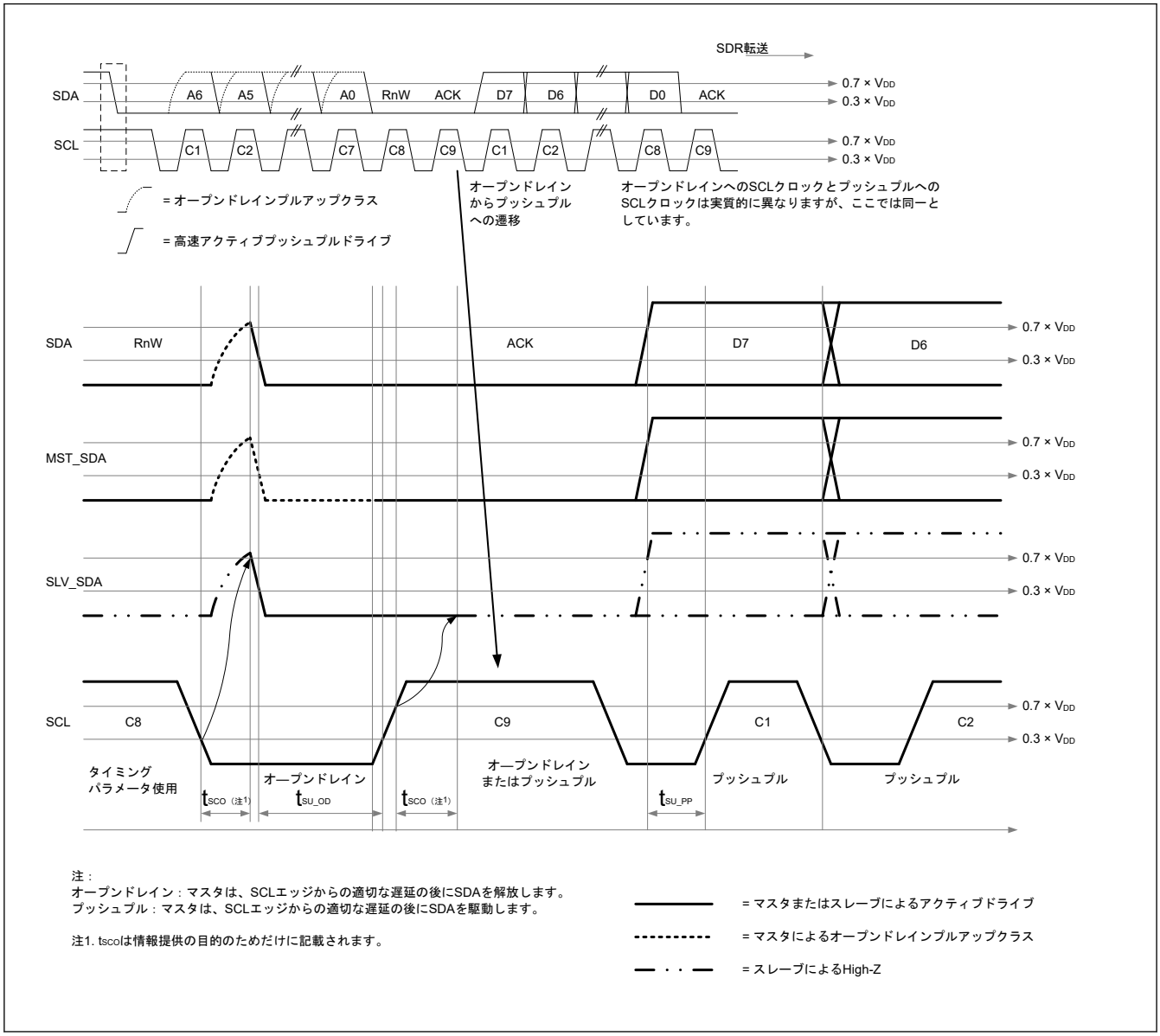


図 44.44　I3C データ転送 – スレーブによる ACK

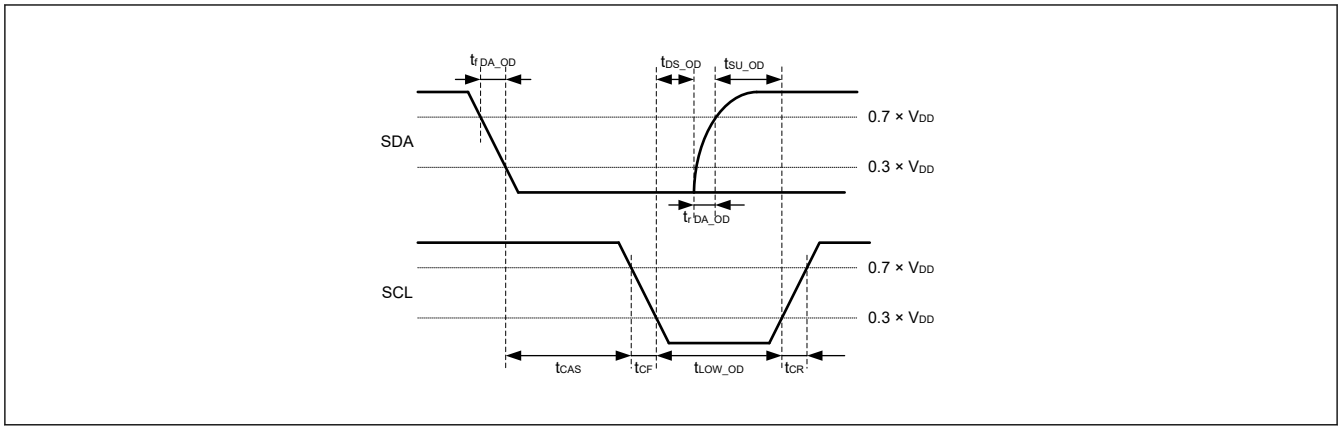


図 44.45　I3C スタートコンディションタイミング

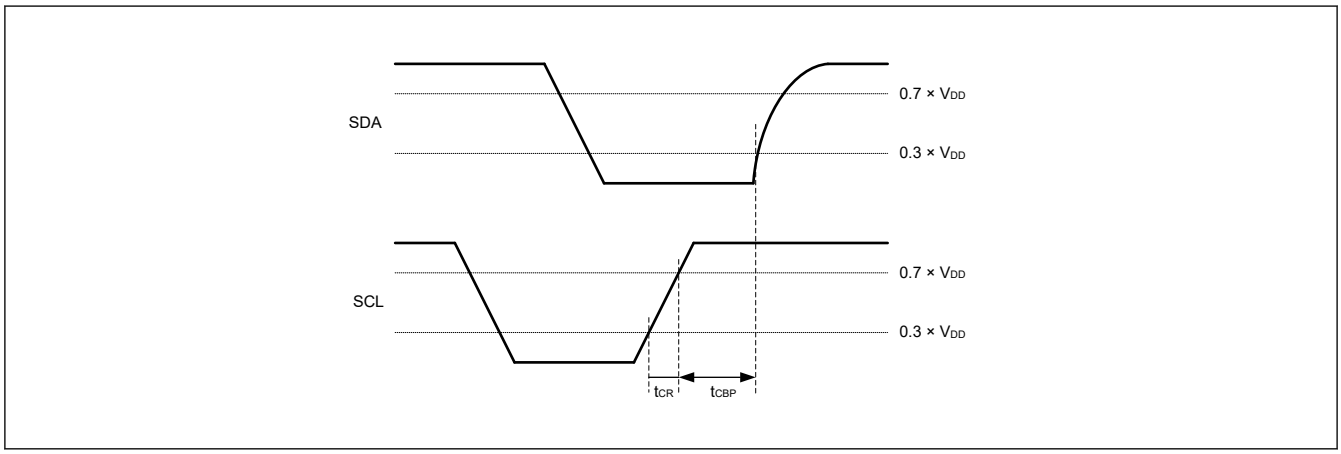


図 44.46　I3C ストップコンディションタイミング

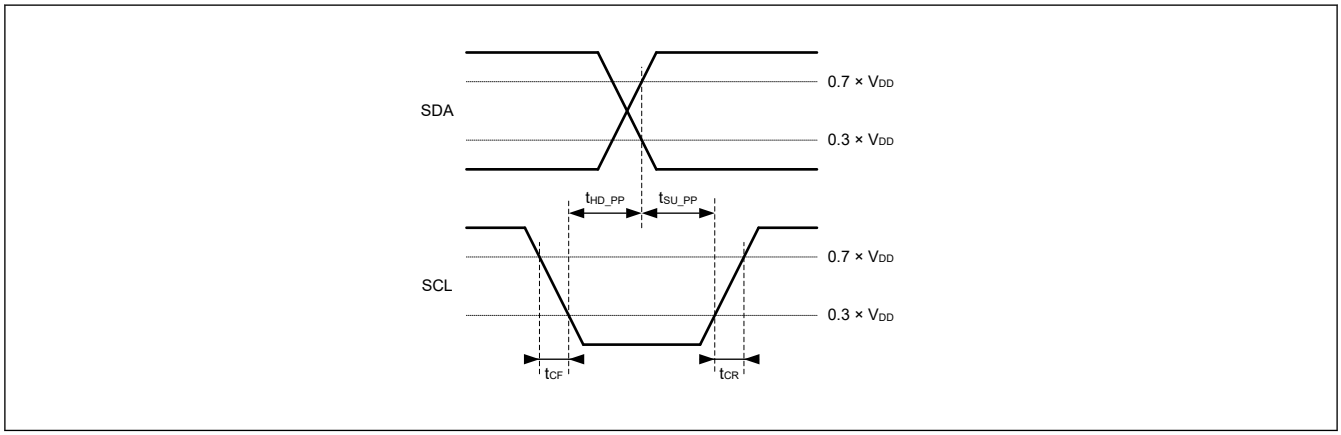


図 44.47　I3C マスタ出力タイミング

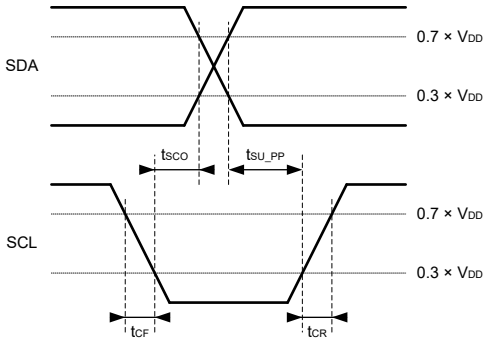


図 44.48　I3C スレーブ出力タイミング

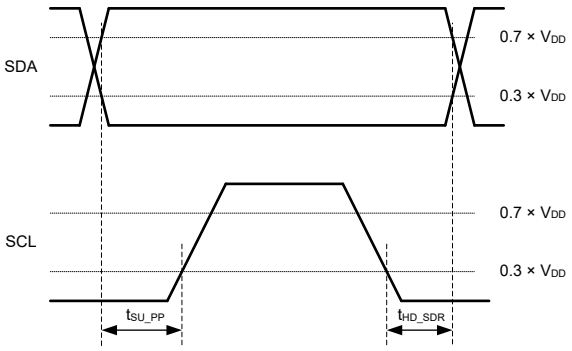


図 44.49　マスタ SDR タイミング

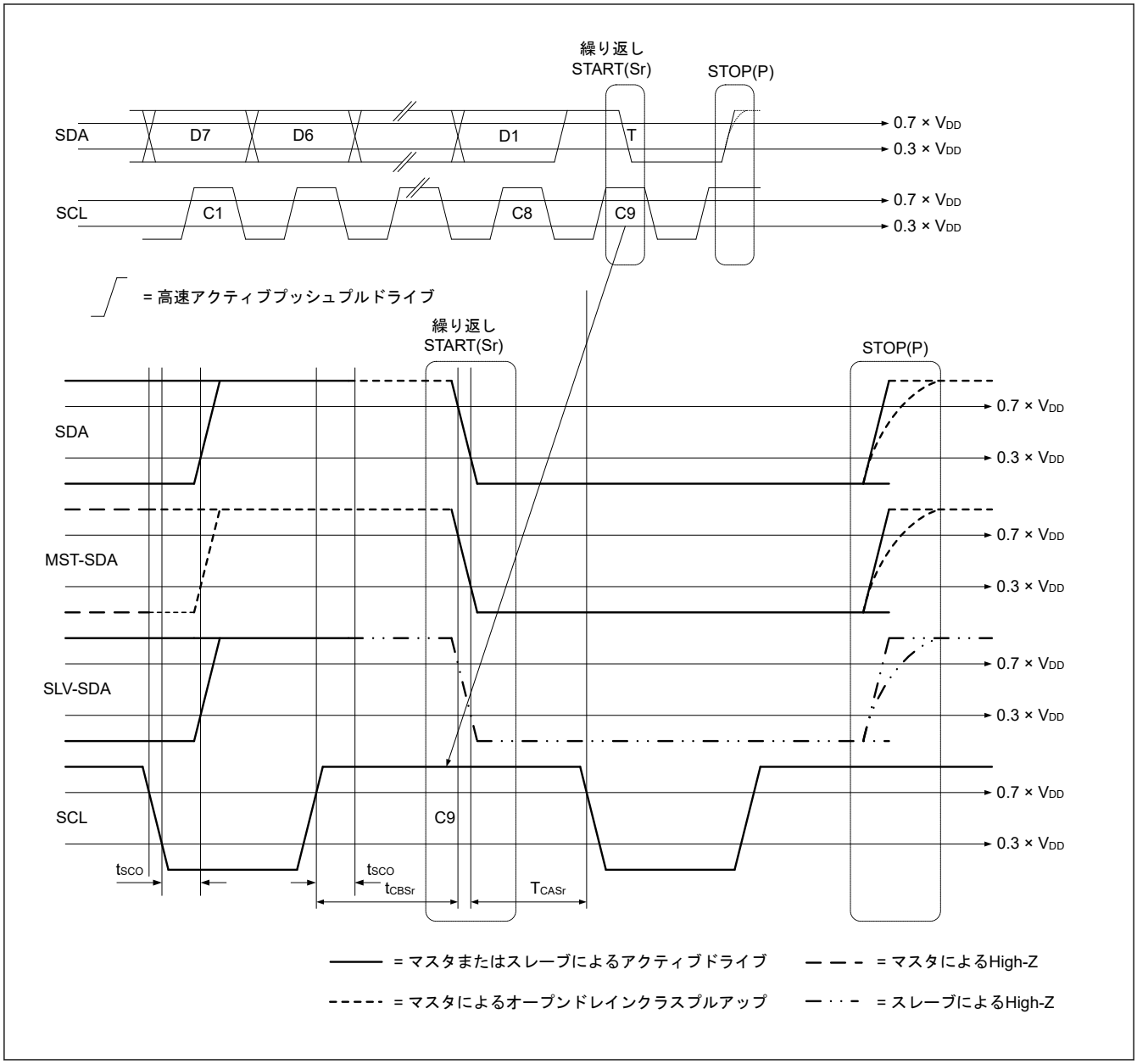


図 44.50 繰り返しのスタートコンディションおよびストップコンディションでのマスタ終了時の T ビット読み出し

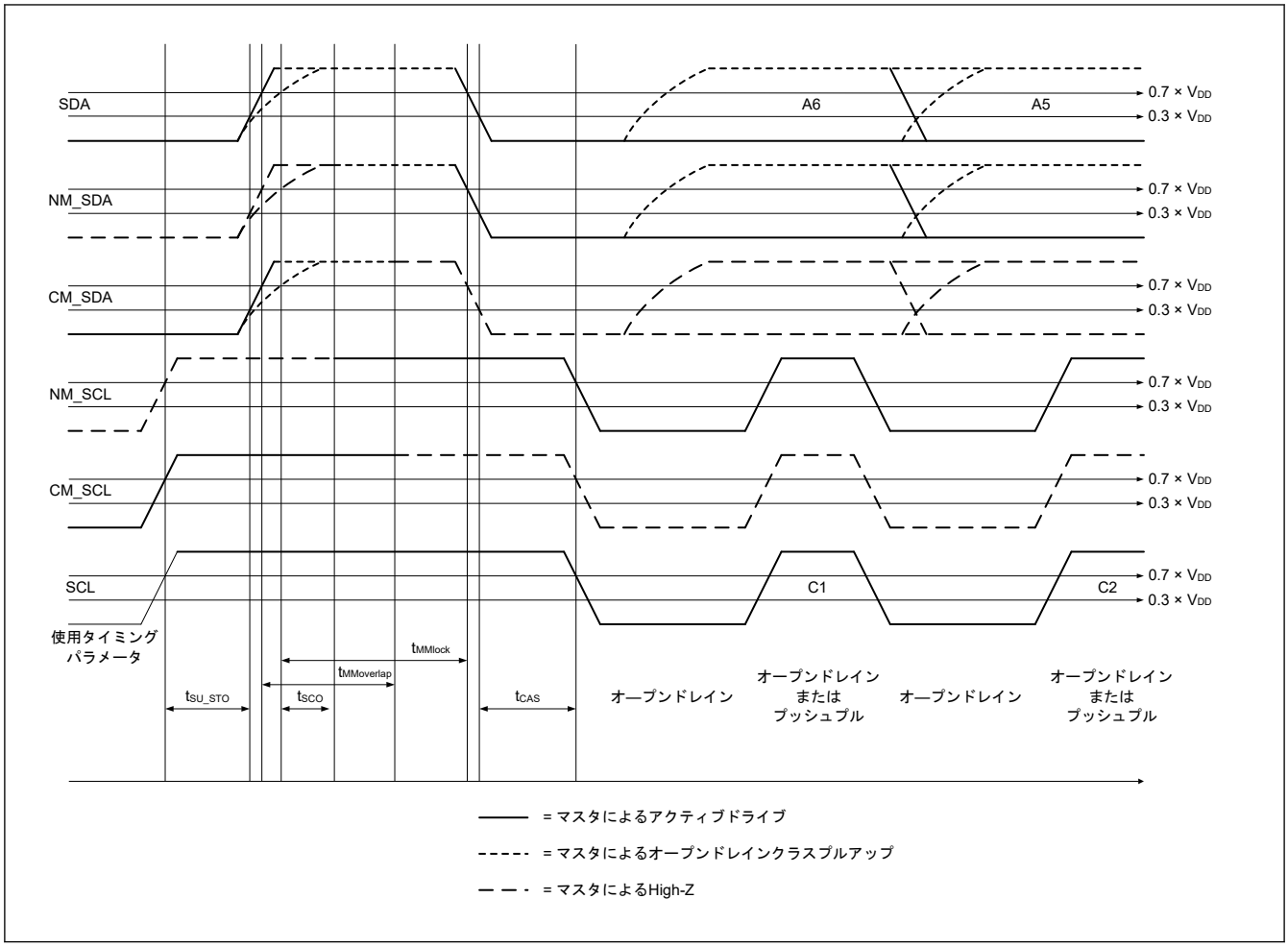


図 44.51　I3C タイミング（オープンドレインタイミングパラメータ）

44.3.11　SSIE タイミング

表 44.34　SSIE タイミング (1/2)

(1) PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
(2) 所属グループを示すため、"_A"、"_B"、"_C"などのように端子名の後ろに文字を付加した端子を使用してください。SSIE インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目			シンボル	目標仕様		単位	注記
				Min	Max		
SSIBCK0	サイクル	マスタ	t_O	80	—	ns	図 44.52
		スレーブ	t_I	80	—	ns	
	High レベル／Low レベル	マスタ	t_{HC}/t_{LC}	0.35	—	t_O	
		スレーブ		0.35	—	t_I	
	立ち上がり/立ち下がり時間	マスタ	t_{RC}/t_{FC}	—	0.15	t_O / t_I	
		スレーブ		—	0.15	t_O / t_I	

表 44.34　SSIE タイミング (2/2)

(1) PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
(2) 所属グループを示すため、"_A"、"_B"、"_C"などのように端子名の後ろに文字を付加した端子を使用してください。SSIE インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

項目			シンボル	目標仕様		単位	注記
				Min	Max		
SSILRCK0/ SSIFS0, SSITXD0, SSIRXD0, SSIDATA0	入力セットアップ時間	マスタ	t_{SR}	12	—	ns	図 44.54、図 44.55
		スレーブ		12	—	ns	
	入力ホールド時間	マスタ	t_{HR}	8	—	ns	
		スレーブ		15	—	ns	
	出力遅延時間	マスタ	t_{DTR}	–10	5	ns	
		スレーブ		0	20	ns	図 44.54、図 44.55
	SSILRCK0/ SSIFS0 変化時からの出力遅延時間	スレーブ	t_{DTRW}	—	20	ns	図 44.56(注1)
AUDIO_CLK	サイクル		t_{EXcyc}	20	—	ns	図 44.53
	High レベル／Low レベル		t_{EXL}/t_{EXH}	0.4	0.6	t_{EXcyc}	

注 1.　SSIE はスレーブモード送信用に 1 本の経路を備え、その経路により SSILRCK0/SSIFS0 端子からの信号入力が送信データの生成に使用され、送信データが SSITXD0 端子または SSIDATA0 端子へ論理出力されます。

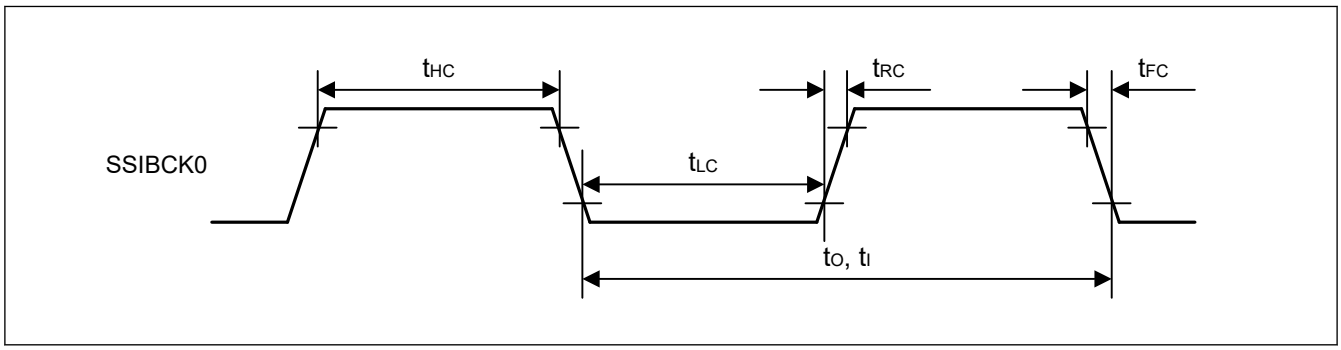


図 44.52　SSIE クロック入出力タイミング

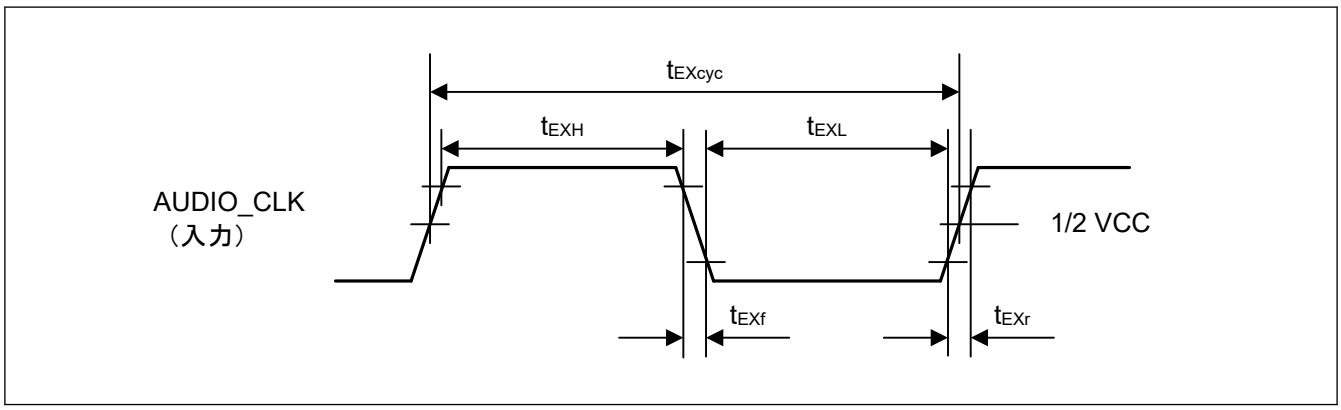


図 44.53　クロック入力タイミング

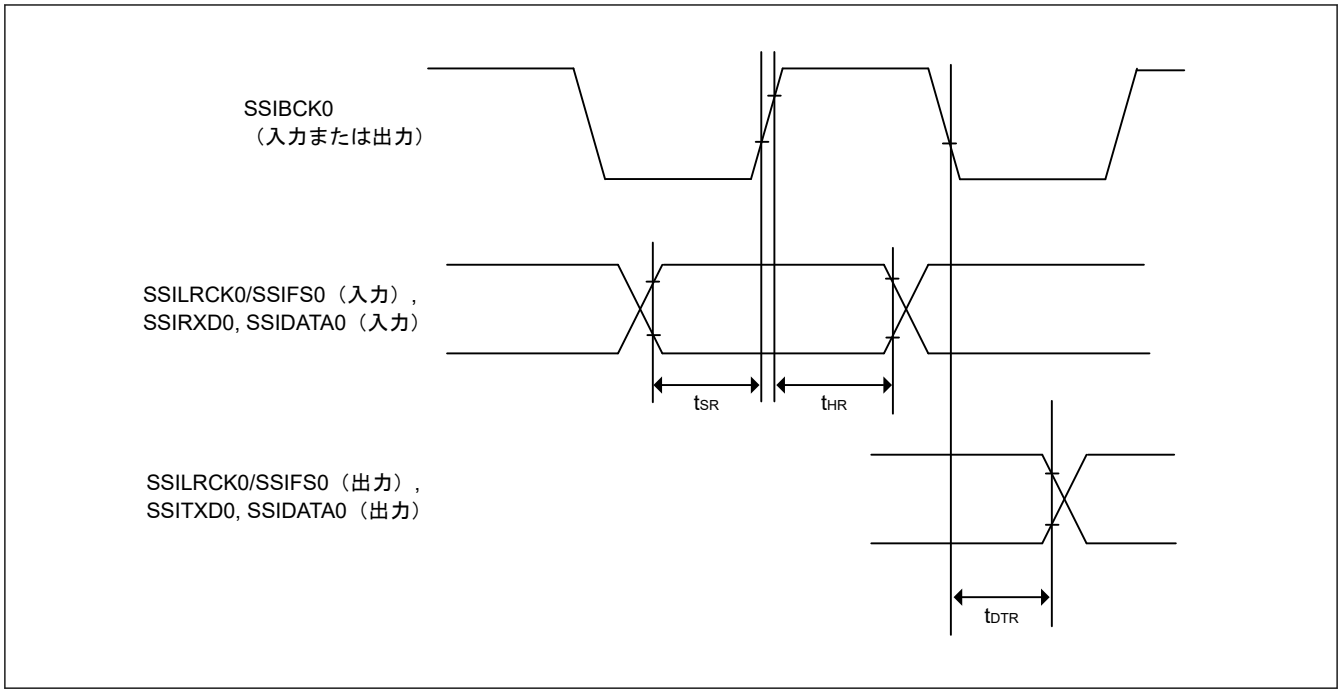


図 44.54　SSICR.BCKP = 0 の場合の SSIE データ送受信タイミング

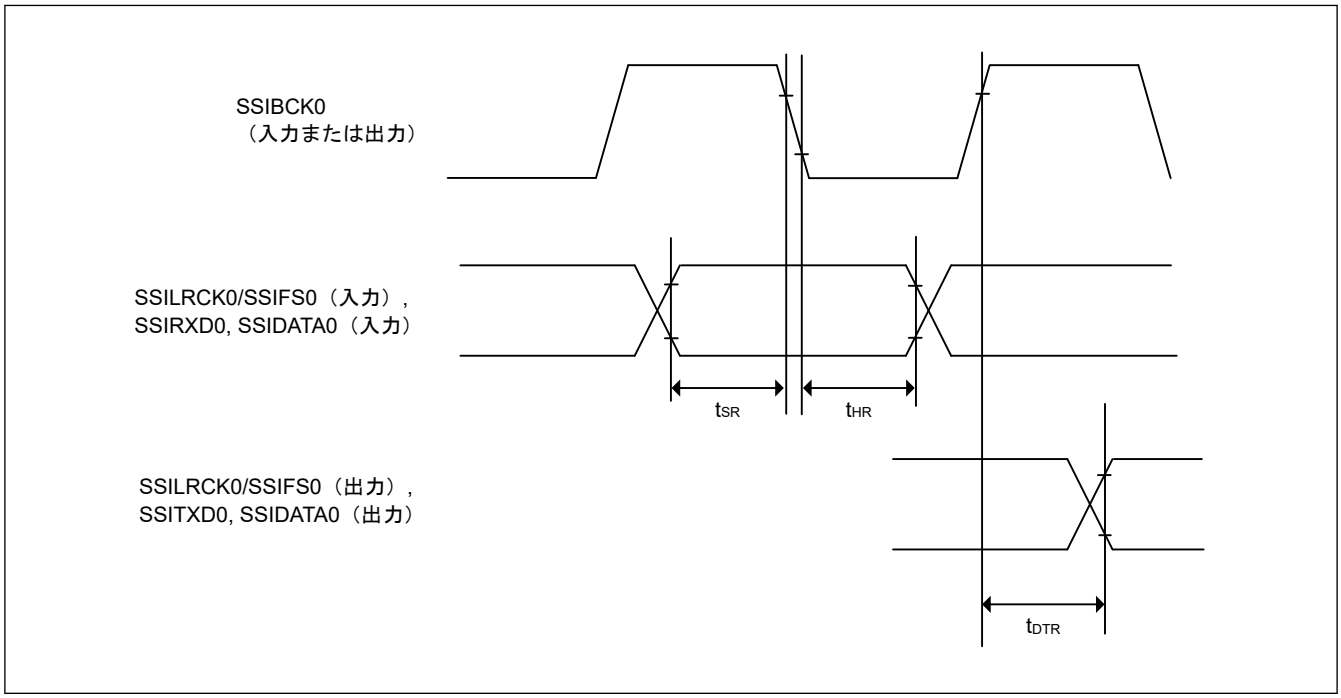
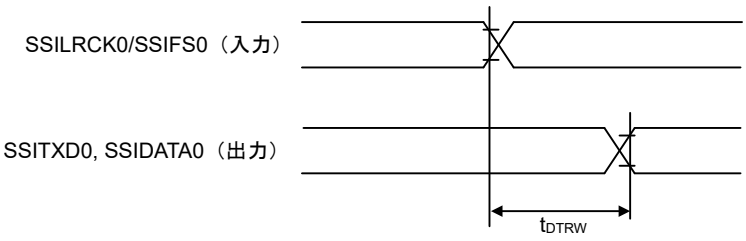


図 44.55　SSICR.BCKP = 1 の場合の SSIE データ送受信タイミング



SSICRレジスタのDEL = 1、SDTA = 0、またはDEL = 1、SDTA = 1、SWL[2:0] = DWL[2:0]の設定時のスレーブ送信に対するSSILRCK0/SSIFS0の変化後のMSBビット出力遅延

図 44.56　SSILRCK0/SSIFS0 変化時からの SSIE データ出力遅延

44.3.12　CANFD タイミング

表 44.35　CANFD インタフェースタイミング

項目	シンボル	CAN-FD		単位	測定条件
		Min	Max		
内部遅延時間	t_{node}	—	75	ns	図 44.57

注.　$t_{node} = t_{d(CTX)} + t_{d(CRX)}$

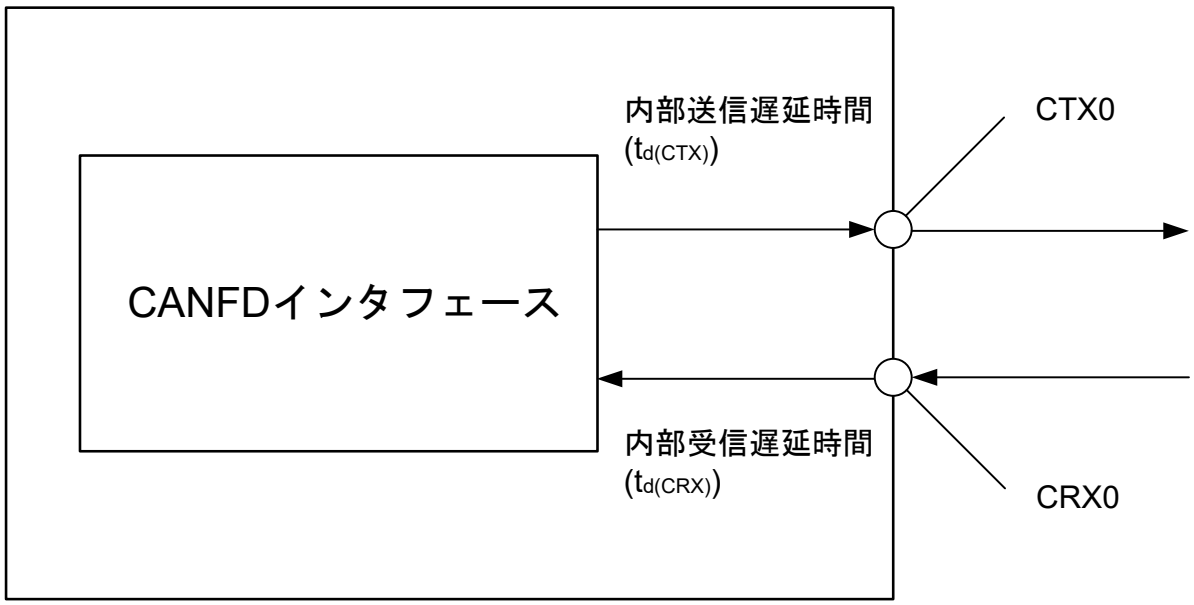


図 44.57　CANFD インタフェース条件

44.4 USB 特性

44.4.1 USBFS タイミング

表 44.36 USBFS フルスピード特性（USB_DP 端子および USB_DM 端子特性）

条件：VCC = AVCC0 = VCC_USB = 3.0～3.6 V、2.7 ≦ VREFH0/VREFH ≦ AVCC0、USBCLK = 48 MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	—	—	V	—
	入力 Low レベル電圧	V_{IL}	—	—	0.8	V	—
	差動入力感度	V_{DI}	0.2	—	—	V	| USB_DP - USB_DM |
	差動コモンモードレンジ	V_{CM}	0.8	—	2.5	V	—
出力特性	出力 High レベル電圧	V_{OH}	2.8	—	3.6	V	I_{OH} = -200 μA
	出力 Low レベル電圧	V_{OL}	0.0	—	0.3	V	I_{OL} = 2 mA
	クロスオーバー電圧	V_{CRS}	1.3	—	2.0	V	図 44.58
	立ち上がり時間	t_{LR}	4	—	20	ns	
	立ち下がり時間	t_{LF}	4	—	20	ns	
	立ち上がり／立ち下がり時間比	t_{LR} / t_{LF}	90	—	111.11	%	t_{FR}/ t_{FF}
	出力抵抗	Z_{DRV}	28	—	44	Ω	USBFS：Rs = 27 Ω 含む
プルアップ／プルダウン特性	デバイスコントローラモードにおける DM プルアップ抵抗	R_{pu}	0.900	—	1.575	kΩ	アイドル状態の間
			1.425	—	3.090	kΩ	送受信中

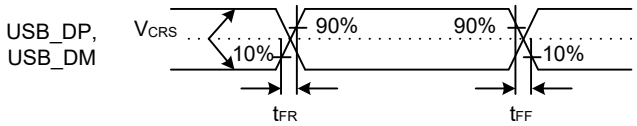


図 44.58 フルスピードモードにおける USB_DP、USB_DM の出力タイミング

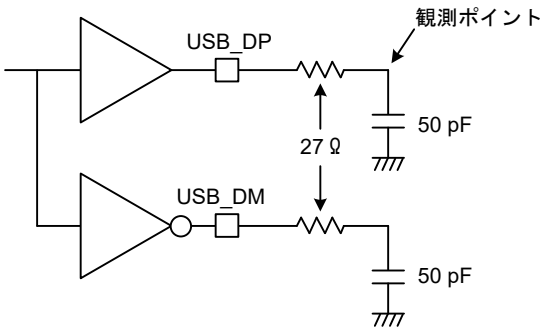


図 44.59 フルスピードモードにおける測定回路

44.5 ADC12 特性

表 44.37 ユニット 0 の A/D 変換特性

条件：PCLKC = 1～50 MHz

項目			Min	Typ	Max	単位	測定条件
周波数			1	—	50	MHz	—
アナログ入力容量			—	—	30	pF	—
量子化誤差			—	±0.5	—	LSB	—
分解能			—	—	12	ビット	—
高精度高速チャネル（AN000～AN002、AN007）	変換時間(注1)（PCLKC = 50 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	0.52 (0.26)(注2)	—	—	μs	サンプリング 13 ステート
	オフセット誤差		—	±1.0	±2.5	LSB	—
	フルスケール誤差		—	±1.0	±2.5	LSB	—
	絶対精度		—	±2.0	±4.5	LSB	—
	DNL 微分非直線性誤差		—	±0.5	±1.5	LSB	—
	INL 積分非直線性誤差		—	±1.0	±2.5	LSB	—
高精度通常速度チャネル（AN004～AN006、AN008、AN011～AN013）	変換時間(注1)（PCLKC = 50 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	0.92 (0.66)(注2)	—	—	μs	サンプリング 33 ステート
	オフセット誤差		—	±1.0	±2.5	LSB	—
	フルスケール誤差		—	±1.0	±2.5	LSB	—
	絶対精度		—	±2.0	±4.5	LSB	—
	DNL 微分非直線性誤差		—	±0.5	±1.5	LSB	—
	INL 積分非直線性誤差		—	±1.0	±2.5	LSB	—
通常精度通常速度チャネル (AN016)	変換時間(注1)（PCLKC = 50 MHz で動作時）	許容信号源インピーダンス Max = 1 kΩ	0.92 (0.66)(注2)	—	—	μs	サンプリング 33 ステート
	オフセット誤差		—	±1.0	±5.5	LSB	—
	フルスケール誤差		—	±1.0	±5.5	LSB	—
	絶対精度		—	±2.0	±7.5	LSB	—
	DNL 微分非直線性誤差		—	±0.5	±4.5	LSB	—
	INL 積分非直線性誤差		—	±1.0	±5.5	LSB	—

注. これらの規格値は、A/D 変換中に外部バスアクセスを行わなかった場合の数値です。A/D 変換中にアクセスが発生した場合は、記載した範囲に数値が収まらない可能性があります。
12 ビット A/D コンバータ使用時は、PORT0 をデジタル出力として使用しないでください。
上記の特性は、AVCC0、AVSS0、VREFH0、VREFL0 および 12 ビット A/D コンバータの入力電圧が安定しているときの特性です。

注 1. 変換時間にはサンプリング時間と比較時間が含まれます。測定条件には、サンプリングステート数が示されています。

注 2. ( ) 内の値は、サンプリング時間を意味します。

表 44.38 A/D 内部基準電圧特性

項目	Min	Typ	Max	単位	測定条件
A/D 内部基準電圧	1.13	1.18	1.23	V	—
サンプリング時間	4.15	—	—	μs	—

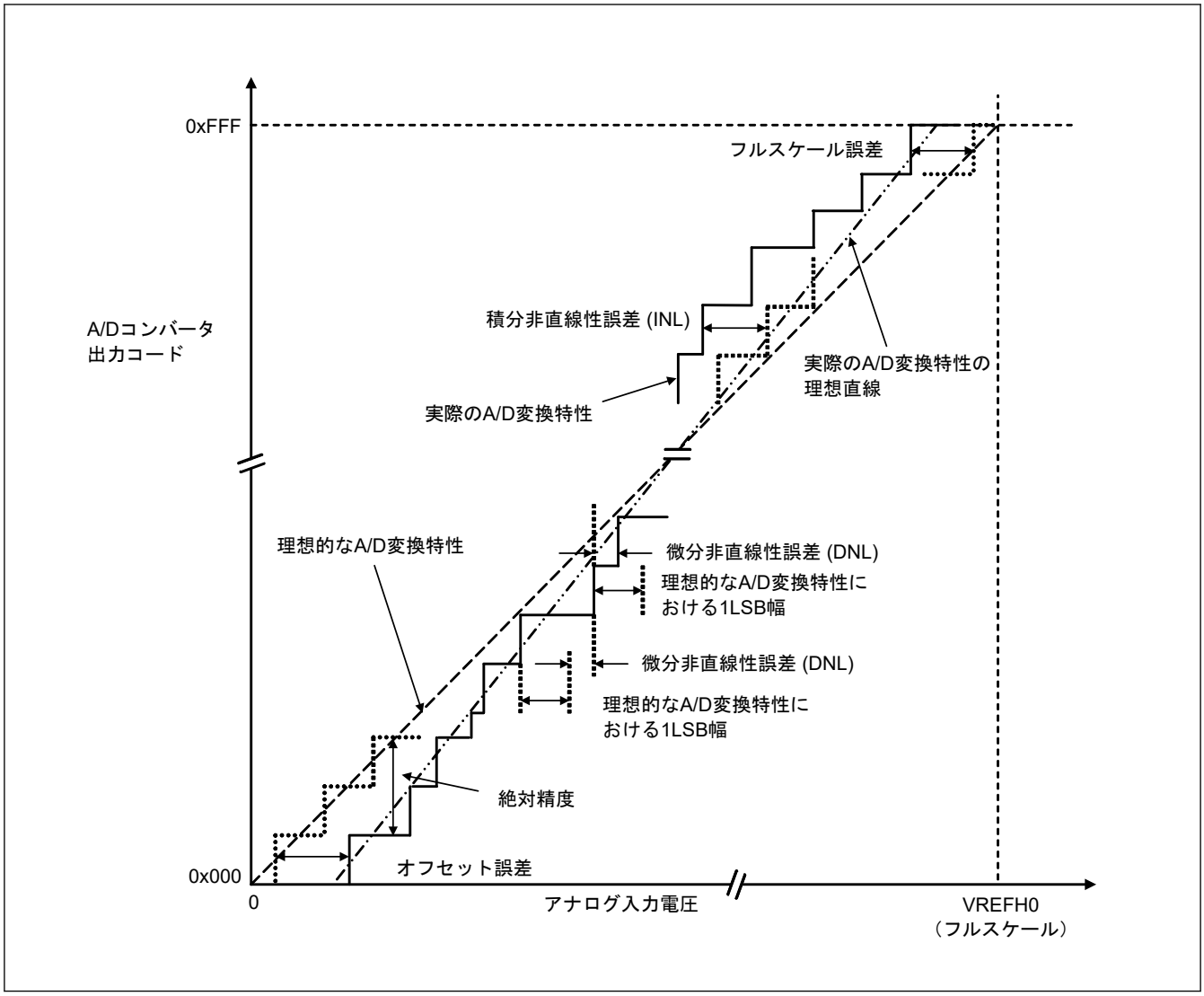


図 44.60　ADC12 特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅（1-LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 VREFH0 = 3.072 V の場合、1-LSB 幅は 0.75 mV になり、アナログ入力電圧には 0 mV、0.75 mV、1.5 mV が使用されます。±5 LSB の絶対精度とは、アナログ入力電圧が 6 mV の場合、理論的 A/D 変換特性から期待される出力コードが 0x008 であっても、実際の A/D 変換結果は 0x003～0x00D の範囲になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な直線と、実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1-LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と、実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と、実際の最後の出力コードとの差です。

44.6 DAC12 特性

表 44.39 D/A 変換特性

項目	Min	Typ	Max	単位	測定条件
分解能	—	—	12	ビット	—
出力アンプなし					
絶対精度	—	—	±24	LSB	負荷抵抗 2 MΩ
INL	—	±2.0	±8.0	LSB	負荷抵抗 2 MΩ
DNL	—	±1.0	±2.0	LSB	—
出力インピーダンス	—	8.5	—	kΩ	—
変換時間	—	—	3	μs	負荷抵抗 2 MΩ、負荷容量 20 pF
出力電圧範囲	0	—	VREFH	V	—
出力アンプあり					
INL	—	±2.0	±4.0	LSB	—
DNL	—	±1.0	±2.0	LSB	—
変換時間	—	—	4.0	μs	—
負荷抵抗	5	—	—	kΩ	—
負荷容量	—	—	50	pF	—
出力電圧範囲	0.2	—	VREFH – 0.2	V	—

44.7 TSN 特性

表 44.40 TSN 特性

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	—	—	±1.0	—	℃	—
温度傾斜	—	—	4.0	—	mV/℃	—
出力電圧（25℃時）	—	—	1.24	—	V	—
温度センサ起動時間	t_{START}	—	—	30	μs	—
サンプリング時間	—	4.15	—	—	μs	—

44.8 OSC 停止検出特性

表 44.41 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 44.61

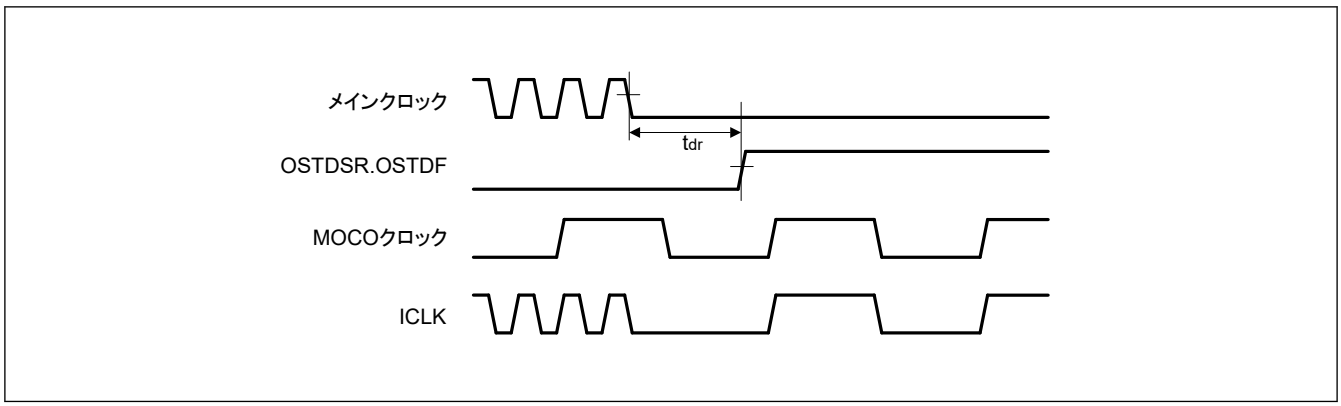


図 44.61 発振停止検出タイミング

44.9 POR/LVD 特性

表 44.42 パワーオンリセット回路、電圧検出回路の特性 (1)

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル	パワーオンリセット (POR)	DPSBYCR.DEEPCUT[1:0] = 00b または 01b	V_{POR}	2.5	2.6	2.7	V	図 44.62
		DPSBYCR.DEEPCUT[1:0] = 11b		1.8	2.25	2.7		
	電圧検出回路 (LVD0)		V_{det0_1}	2.84	2.94	3.04		図 44.63
			V_{det0_2}	2.77	2.87	2.97		
			V_{det0_3}	2.70	2.80	2.90		
	電圧検出回路 (LVD1)		V_{det1_1}	2.89	2.99	3.09		図 44.64
			V_{det1_2}	2.82	2.92	3.02		
			V_{det1_3}	2.75	2.85	2.95		
	電圧検出回路 (LVD2)		V_{det2_1}	2.89	2.99	3.09		図 44.65
			V_{det2_2}	2.82	2.92	3.02		
			V_{det2_3}	2.75	2.85	2.95		
内部リセット時間	パワーオンリセット時間		t_{POR}	—	4.5	—	ms	図 44.62
	LVD0 リセット時間		t_{LVD0}	—	0.51	—		図 44.63
	LVD1 リセット時間		t_{LVD1}	—	0.38	—		図 44.64
	LVD2 リセット時間		t_{LVD2}	—	0.38	—		図 44.65
最小 VCC 低下時間(注1)			t_{VOFF}	200	—	—	μs	図 44.62、図 44.63
応答遅延時間			t_{det}	—	—	200	μs	図 44.63～図 44.65
LVD 動作安定時間（LVD 有効切り替え後）			$t_{d(E-A)}$	—	—	10	μs	図 44.64、図 44.65
ヒステリシス幅（LVD1、LVD2）			V_{LVH}	—	70	—	mV	

注 1. 最小 VCC 低下時間は、VCC が POR および LVD の電圧検出レベル V_{POR}、V_{det0}、V_{det1} および V_{det2} の最小値を下回っている時間です。

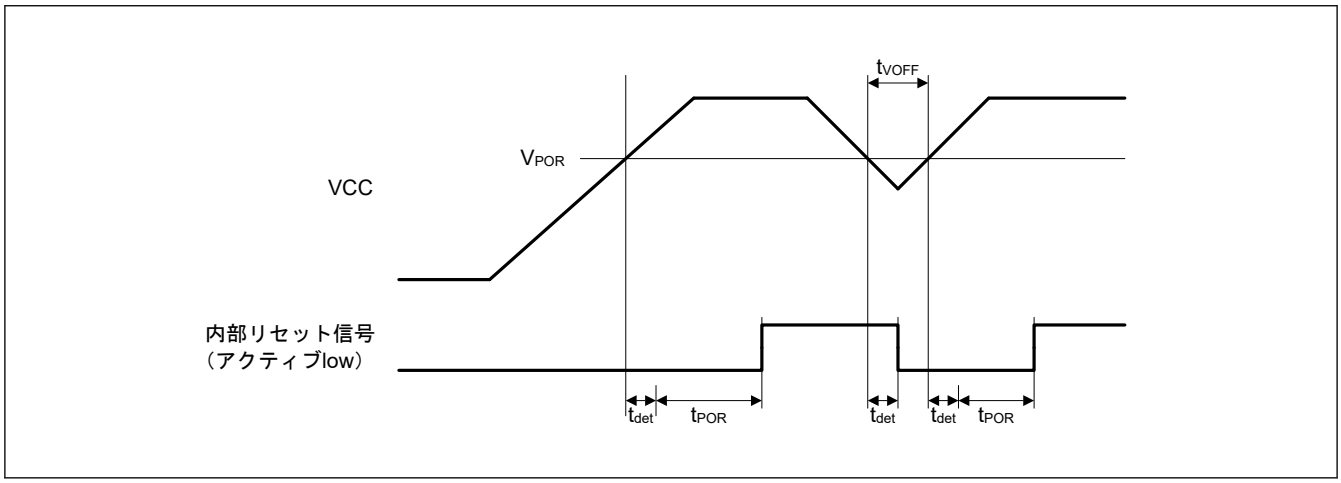


図 44.62 パワーオンリセットタイミング

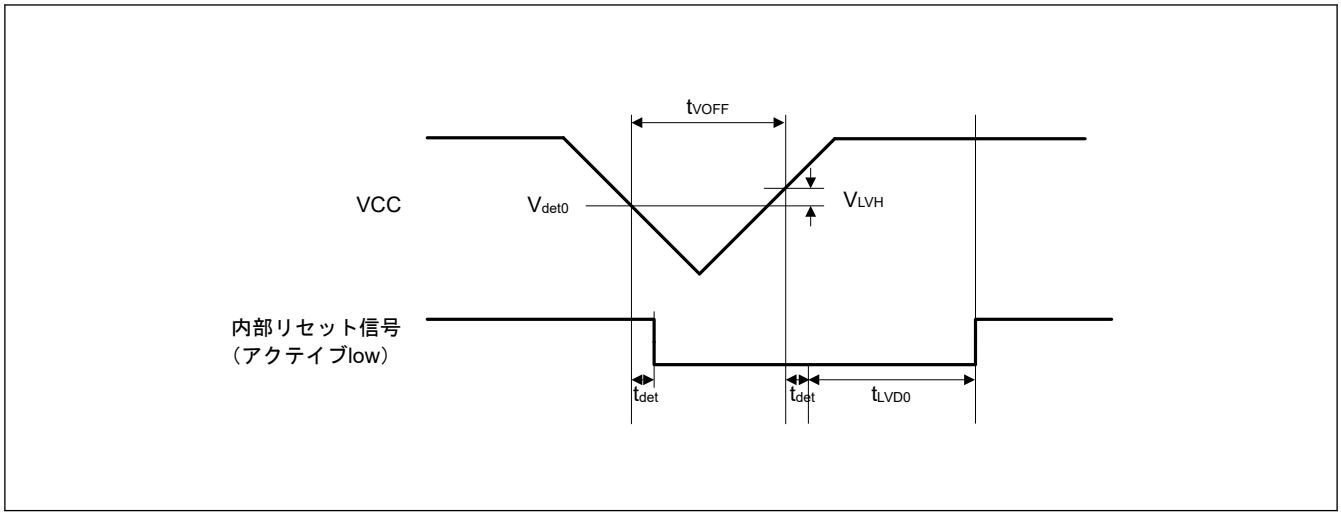


図 44.63　電圧検出回路タイミング (V_{det0})

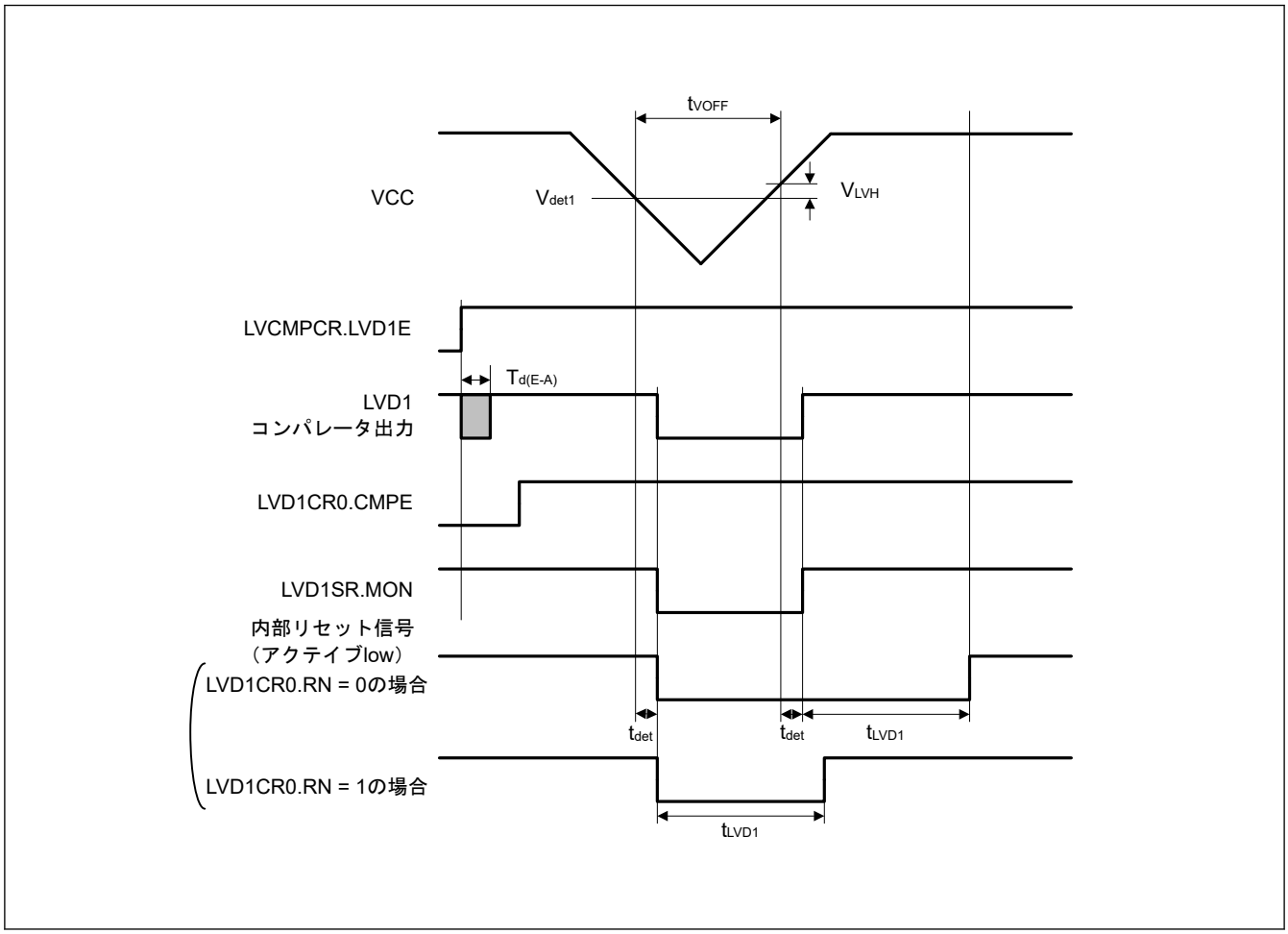


図 44.64　電圧検出回路タイミング (V_{det1})

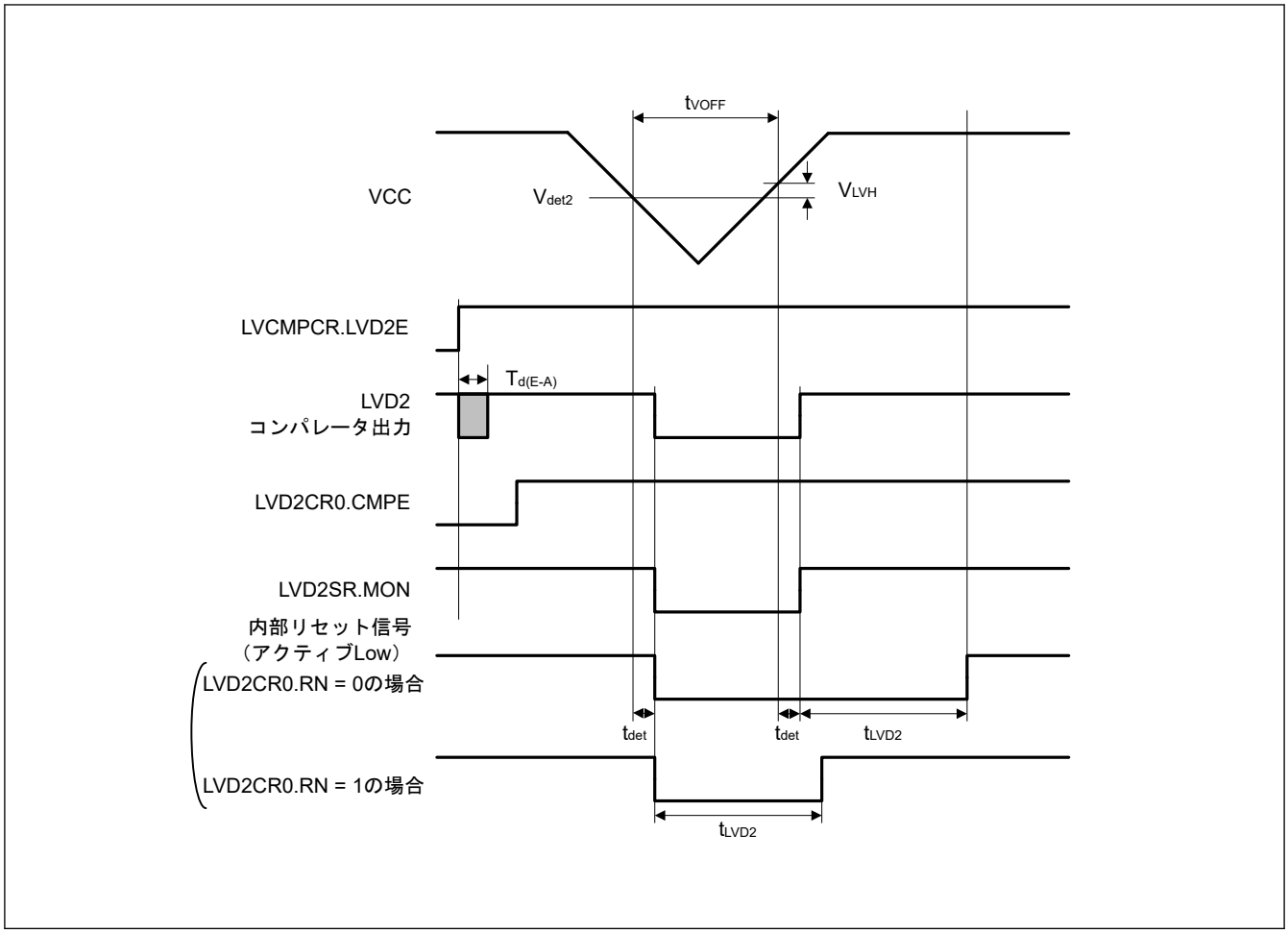


図 44.65　電圧検出回路タイミング (V_{det2})

44.10　フラッシュメモリ特性

44.10.1　コードフラッシュメモリ特性

表 44.43　コードフラッシュメモリ特性 (1/2)

条件：プログラム／イレース：FCLK = 4～50 MHz
読み出し：FCLK ≦ 50 MHz

項目		シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 50 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム時間 N_{PEC} ≦ 100 回	128 バイト	t_{P128}	—	0.75	13.2	—	0.34	6.0	ms	
	8 KB	t_{P8K}	—	49	176	—	22	80	ms	
	32 KB	t_{P32K}	—	194	704	—	88	320	ms	
プログラム時間 N_{PEC} ＞ 100 回	128 バイト	t_{P128}	—	0.91	15.8	—	0.41	7.2	ms	
	8 KB	t_{P8K}	—	60	212	—	27	96	ms	
	32 KB	t_{P32K}	—	234	848	—	106	384	ms	
イレース時間 N_{PEC} ≦ 100 回	8 KB	t_{E8K}	—	78	216	—	43	120	ms	
	32 KB	t_{E32K}	—	283	864	—	157	480	ms	
イレース時間 N_{PEC} ＞ 100 回	8 KB	t_{E8K}	—	94	260	—	52	144	ms	
	32 KB	t_{E32K}	—	341	1040	—	189	576	ms	
再プログラム／イレースサイクル(注4)		N_{PEC}	10000(注1)	—	—	10000(注1)	—	—	回	

表 44.43　コードフラッシュメモリ特性 (2/2)

条件：プログラム／イレース：FCLK = 4～50 MHz
読み出し：FCLK ≦ 50 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 50 MHz			単位	測定条件
		Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム中のサスペンド遅延時間	t_{SPD}	—	—	264	—	—	120	μs	
プログラムレジューム時間	t_{PRT}	—	—	110	—	—	50	μs	
サスペンド優先モードにおけるイレース中の 1 回目のサスペンド遅延時間	t_{SESD1}	—	—	216	—	—	120	μs	
サスペンド優先モードにおけるイレース中の 2 回目のサスペンド遅延時間	t_{SESD2}	—	—	1.7	—	—	1.7	ms	
イレース優先モードにおけるイレース中のサスペンド遅延時間	t_{SEED}	—	—	1.7	—	—	1.7	ms	
サスペンド優先モードにおけるイレース中の 1 回目のイレースレジューム時間(注5)	t_{REST1}	—	—	1.7	—	—	1.7	ms	
サスペンド優先モードにおけるイレース中の 2 回目のイレースレジューム時間	t_{REST2}	—	—	144	—	—	80	μs	
イレース優先モードにおけるイレース中のイレースレジューム時間	t_{REET}	—	—	144	—	—	80	μs	
強制停止コマンド	t_{FD}	—	—	32	—	—	20	μs	
データ保持時間(注2)	t_{DRP}	10(注2) (注3)	—	—	10(注2) (注3)	—	—	年	
		30(注2) (注3)	—	—	30(注2) (注3)	—	—		Ta = +85℃

注 1.　再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2.　書き換えが仕様範囲内で行われたときの特性の min 値です。
注 3.　信頼性試験から得られた結果です。
注 4.　再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回　(n = 10,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、8 KB のブロックについて、それぞれ異なる番地に 128 バイト書き込みを 64 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。
注 5.　レジューム時間には、サスペンド時に中断されたイレースパルス（最大 1 フルパルス）を再印加する時間が含まれます。
注 6.　VCC = 3.3 V および室温における基準値

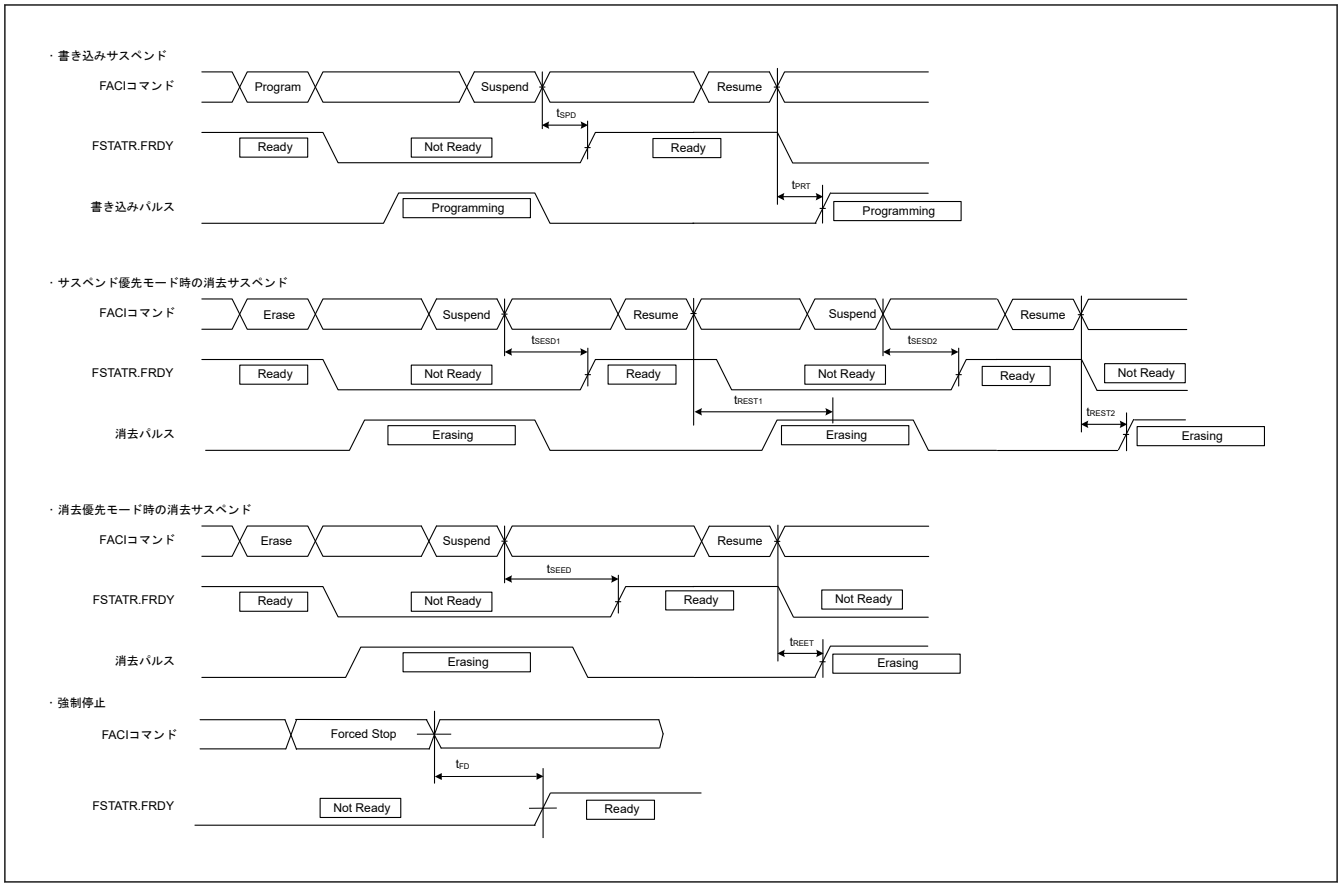


図 44.66　フラッシュメモリのプログラム／イレースのサスペンドタイミングと強制停止タイミング

44.10.2　データフラッシュメモリ特性

表 44.44　データフラッシュメモリ特性 (1/2)

条件：プログラム／イレース：FCLK = 4～50 MHz
読み出し：FCLK ≦ 50 MHz

項目		シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 50 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
プログラム時間	4 バイト	t_{DP4}	—	0.36	3.8	—	0.16	1.7	ms	
	8 バイト	t_{DP8}	—	0.38	4.0	—	0.17	1.8		
	16 バイト	t_{DP16}	—	0.42	4.5	—	0.19	2.0		
イレース時間	64 バイト	t_{DE64}	—	3.1	18	—	1.7	10	ms	
	128 バイト	t_{DE128}	—	4.7	27	—	2.6	15		
	256 バイト	t_{DE256}	—	8.9	50	—	4.9	28		
ブランクチェック時間	4 バイト	t_{DBC4}	—	—	84	—	—	30	µs	
再プログラム／イレースサイクル(注1)		N_{DPEC}	125000(注2)	—	—	125000(注2)	—	—	—	
プログラム中のサスペンド遅延時間	4 バイト	t_{DSPD}	—	—	264	—	—	120	µs	
	8 バイト		—	—	264	—	—	120		
	16 バイト		—	—	264	—	—	120		
プログラムレジューム時間		t_{DPRT}	—	—	110	—	—	50	µs	
サスペンド優先モードにおけるイレース中の 1 回目のサスペンド遅延時間	64 バイト	t_{DSESD1}	—	—	216	—	—	120	µs	
	128 バイト		—	—	216	—	—	120		
	256 バイト		—	—	216	—	—	120		

表 44.44　データフラッシュメモリ特性 (2/2)

条件：プログラム／イレース：FCLK = 4～50 MHz
読み出し：FCLK ≦ 50 MHz

項目		シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 50 MHz			単位	測定条件
			Min	Typ(注6)	Max	Min	Typ(注6)	Max		
サスペンド優先モードにおけるイレース中の 2 回目のサスペンド遅延時間	64 バイト	t_{DSESD2}	—	—	300	—	—	300	μs	
	128 バイト		—	—	390	—	—	390		
	256 バイト		—	—	570	—	—	570		
イレース優先モードにおけるイレース中のサスペンド遅延時間	64 バイト	t_{DSEED}	—	—	300	—	—	300	μs	
	128 バイト		—	—	390	—	—	390		
	256 バイト		—	—	570	—	—	570		
サスペンド優先モードにおけるイレース中の 1 回目のイレースレジューム時間(注5)		t_{DREST1}	—	—	300	—	—	300	μs	
サスペンド優先モードにおけるイレース中の 2 回目のイレースレジューム時間		t_{DREST2}	—	—	126	—	—	70	μs	
イレース優先モードにおけるイレース中のイレースレジューム時間		t_{DREET}	—	—	126	—	—	70	μs	
強制停止コマンド		t_{FD}	—	—	32	—	—	20	μs	
データ保持時間(注3)		t_{DRP}	10(注3) (注4)	—	—	10(注3) (注4)	—	—	年	
			30(注3) (注4)	—	—	30(注3) (注4)	—	—		Ta = +85 °C

注 1.　再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回 (n = 125,000) の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、64 バイトのブロックについて、それぞれ異なるアドレスに 4 バイト書き込みを 16 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません。上書きはしないでください。
注 2.　再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 3.　書き換えが仕様範囲内で行われたときの特性の最小値です。
注 4.　この結果は信頼性試験から得られたものです。
注 5.　レジューム時間には、サスペンド時に中断されたイレースパルス（最大 1 フルパルス）を再印加する時間が含まれます。
注 6.　VCC = 3.3 V および室温における基準値

44.10.3　オプション設定メモリ特性

表 44.45　オプション設定メモリ特性

条件：プログラム：FCLK = 4～50 MHz
読み出し：FCLK ≦ 50 MHz

項目	シンボル	FCLK = 4 MHz			20 MHz ≦ FCLK ≦ 50 MHz			単位	測定条件
		Min	Typ(注4)	Max	Min	Typ(注4)	Max		
プログラム時間 N_{OPC} ≦ 100 回	t_{OP}	—	83	309	—	45	162	ms	
プログラム時間 N_{OPC} ＞ 100 回	t_{OP}	—	100	371	—	55	195	ms	
再プログラムサイクル	N_{OPC}	20000 (注1)	—	—	20000 (注1)	—	—	回	
データ保持時間(注2)	t_{DRP}	10(注2) (注3)	—	—	10(注2) (注3)	—	—	年	
		30(注2) (注3)	—	—	30(注2) (注3)	—	—		Ta = +85 °C

注 1.　再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1～最小値です。
注 2.　書き換えが仕様範囲内で行われたときの特性の min 値です。
注 3.　信頼性試験から得られた結果です。
注 4.　VCC = 3.3 V および室温における基準値

44.11 シリアルワイヤデバッグ (SWD)

表 44.46 SWD

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLK クロックサイクル時間	$t_{SWCKcyc}$	40	—	—	ns	図 44.67
SWCLK クロック High レベルパルス幅	t_{SWCKH}	15	—	—	ns	
SWCLK クロック Low レベルパルス幅	t_{SWCKL}	15	—	—	ns	
SWCLK クロック立ち上がり時間	t_{SWCKr}	—	—	5	ns	
SWCLK クロック立ち下がり時間	t_{SWCKf}	—	—	5	ns	
SWDIO セットアップ時間	t_{SWDS}	8	—	—	ns	図 44.68
SWDIO ホールド時間	t_{SWDH}	8	—	—	ns	
SWDIO データ遅延時間	t_{SWDD}	2	—	28	ns	

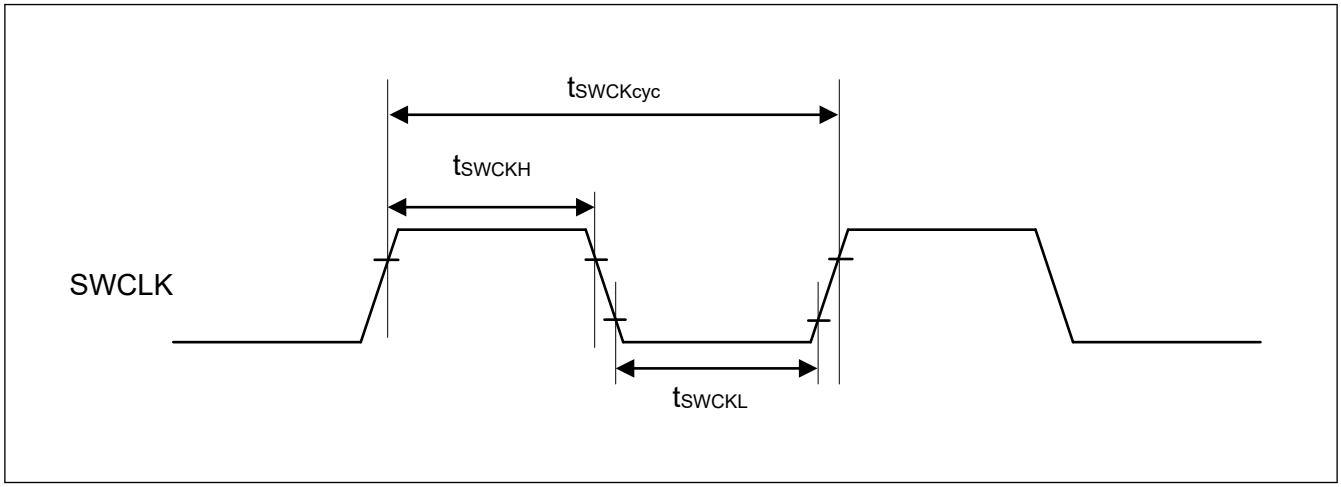


図 44.67 SWD SWCLK タイミング

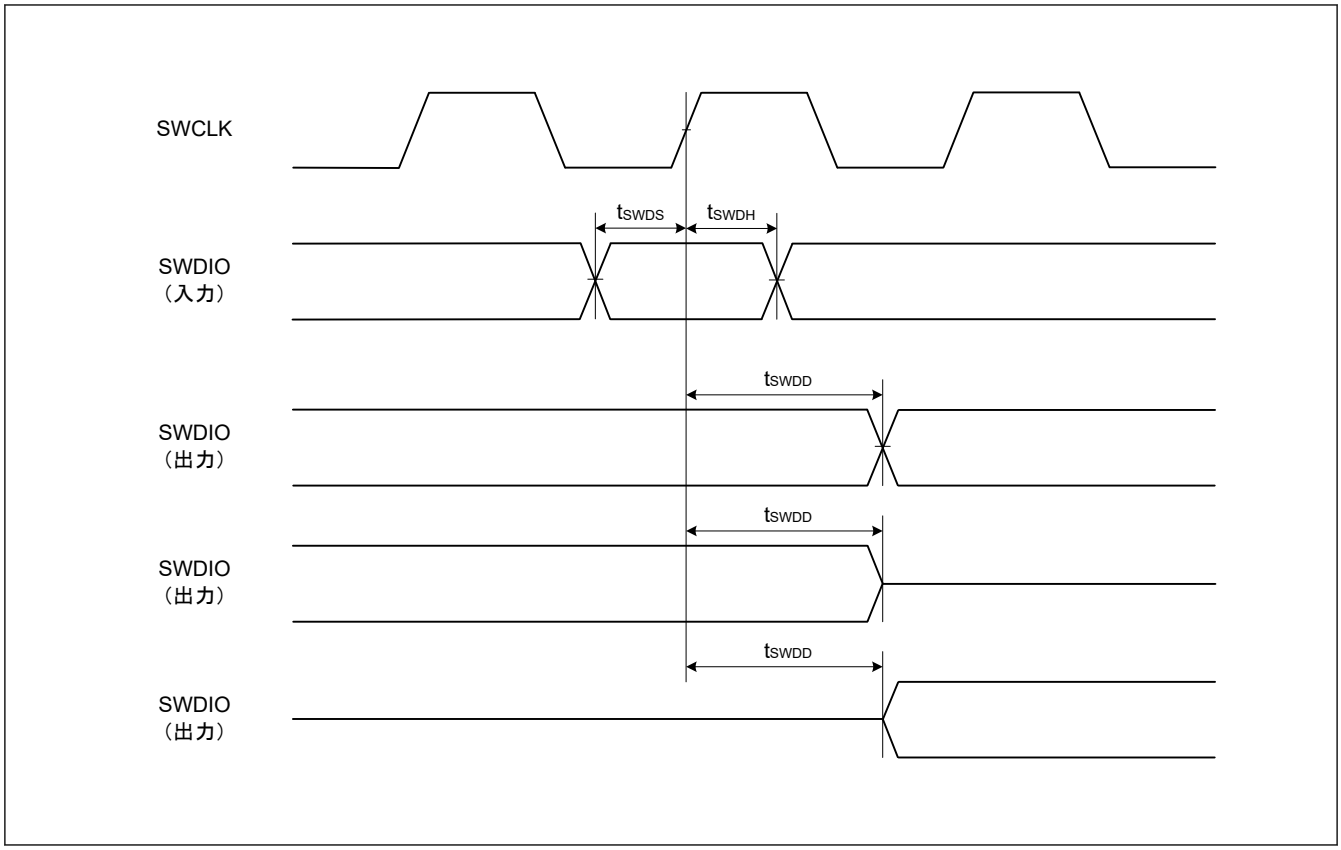


図 44.68　SWD 入出力タイミング

付録 1. 各プロセスモードのポート状態

機能	端子機能	リセット	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード解除後（スタートアップモードに復帰）	
					IOKEEP = 0	IOKEEP = 1(注1)
モード	MD	Pull-up	Keep-O	Keep	Hi-Z	Keep
IRQ	IRQx	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
	IRQx-DS	Hi-Z	Keep-O(注2)	Keep(注3)	Hi-Z	Keep
AGT	AGTIOn	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
	AGTIOn (n = 1)	Hi-Z	Keep-O(注2)	Keep(注3)	Hi-Z	Keep
SCI	RXD0	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
I3C	I3C_SCL/I3C_SDA SCLn/SDAn	Hi-Z	Keep-O(注2)	Keep	Hi-Z	Keep
USBFS	USB_VBUS	Hi-Z	Keep-O(注2)	Keep(注3)	Hi-Z	Keep
	USB_DP/USB_DM	Hi-Z	Keep-O(注4)	Keep(注3)	Hi-Z	Keep
RTC	RTCICx	Hi-Z	Keep-O(注2)	Keep(注3)	Hi-Z	Keep
	RTCOUT	Hi-Z	[RTCOUT 選択] RTCOUT 出力	Keep	Hi-Z	Keep
CLKOUT	CLKOUT	Hi-Z	[CLKOUT 選択] CLKOUT 出力	Keep	Hi-Z	Keep
DAC	DAn	Hi-Z	[DAn 出力 (DAOE = 1)] D/A 出力保持	Keep	Hi-Z	Keep
その他	—	Hi-Z	Keep-O	Keep	Hi-Z	Keep

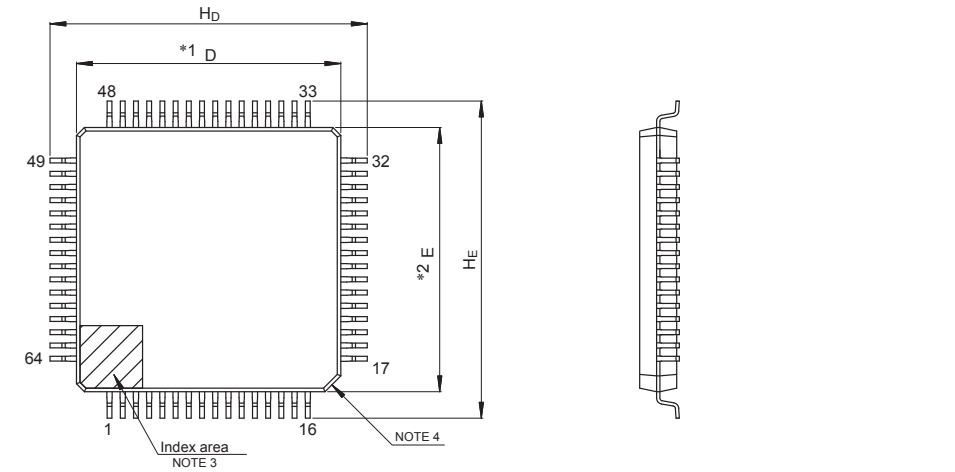
注. H：High レベル
L: Low レベル
Hi-Z：ハイインピーダンス
Keep-O：出力端子は前の値を保持します。入力端子はハイインピーダンスになります。
Keep：ソフトウェアスタンバイモード期間中、端子状態は保持されます。
注 1. DPSBYCR.IOKEEP ビットが 0 になるまで、I/O ポートの状態が保持されます。
注 2. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。
注 3. 端子がディープソフトウェアスタンバイのキャンセル要因に指定された場合、入力が許可されます
注 4. 入力端子として使用されている端子への入力は許可されています。

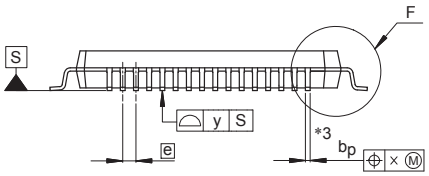
付録 2. 外形寸法図

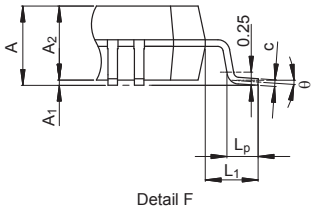
外形寸法図の最新版や実装に関する情報は、弊社のウェブサイトの「パッケージ」を参照してください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm







Detail F

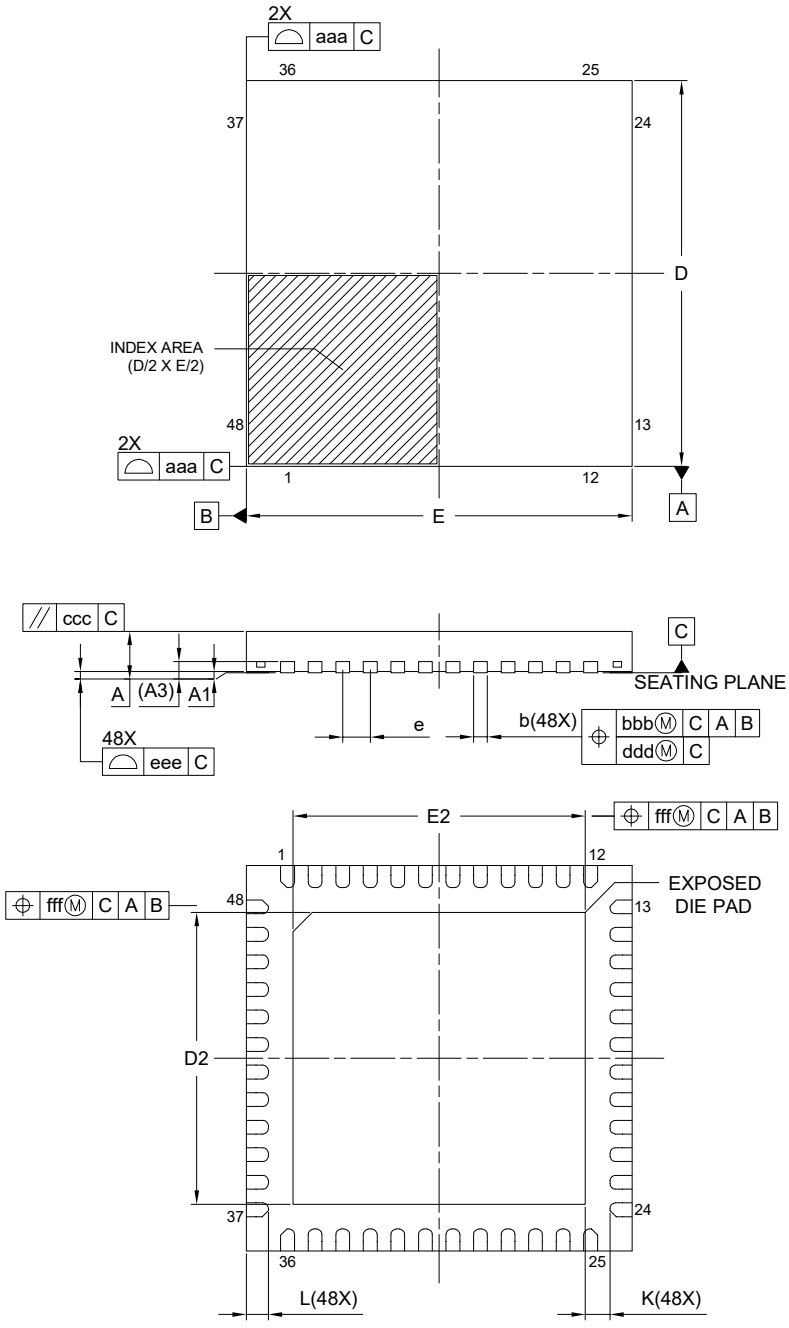
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	9.9	10.0	10.1
E	9.9	10.0	10.1
A_2	—	1.4	—
H_D	11.8	12.0	12.2
H_E	11.8	12.0	12.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 A2.1 LQFP 64 ピン

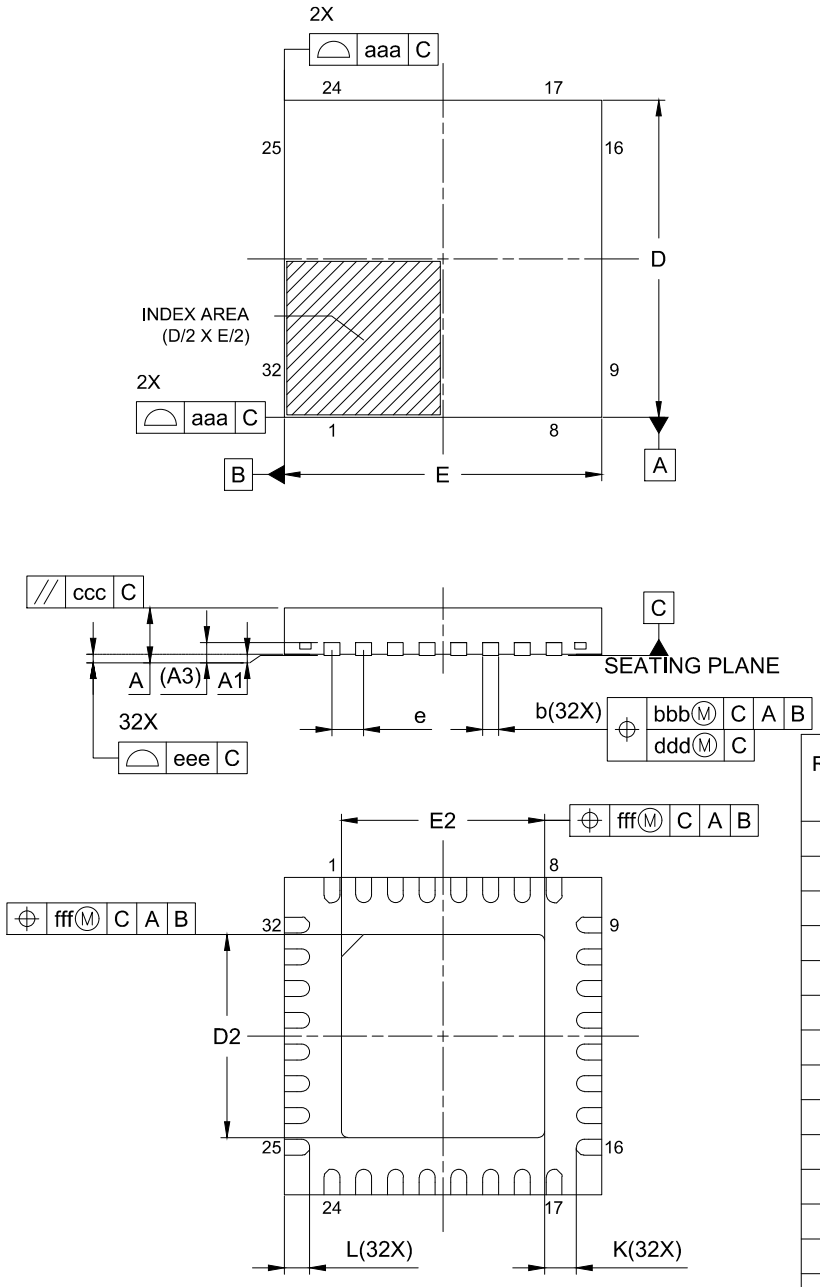
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3		0.203 REF.	
b	0.20	0.25	0.30
D		7.00 BSC	
E		7.00 BSC	
e		0.50 BSC	
L	0.30	0.40	0.50
K	0.20	—	—
D_2	5.25	5.30	5.35
E_2	5.25	5.30	5.35
aaa		0.15	
bbb		0.10	
ccc		0.10	
ddd		0.05	
eee		0.08	
fff		0.10	

図 A2.2 QFN 48 ピン

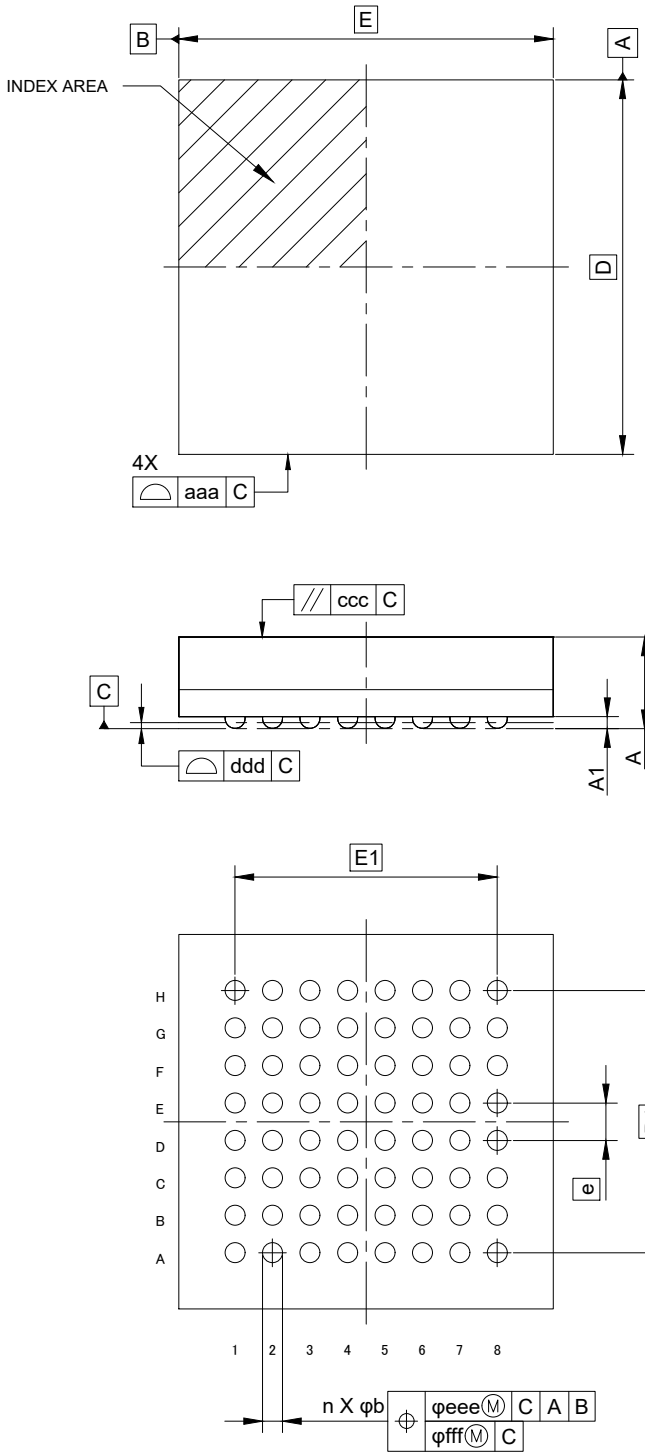
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3		0.203 REF.	
b	0.18	0.25	0.30
D		5.00 BSC	
E		5.00 BSC	
e		0.50 BSC	
L	0.35	0.40	0.45
K	0.20	—	—
D_2	3.15	3.20	3.25
E_2	3.15	3.20	3.25
aaa		0.15	
bbb		0.10	
ccc		0.10	
ddd		0.05	
eee		0.08	
fff		0.10	

図 A2.3 QFN 32 ピン

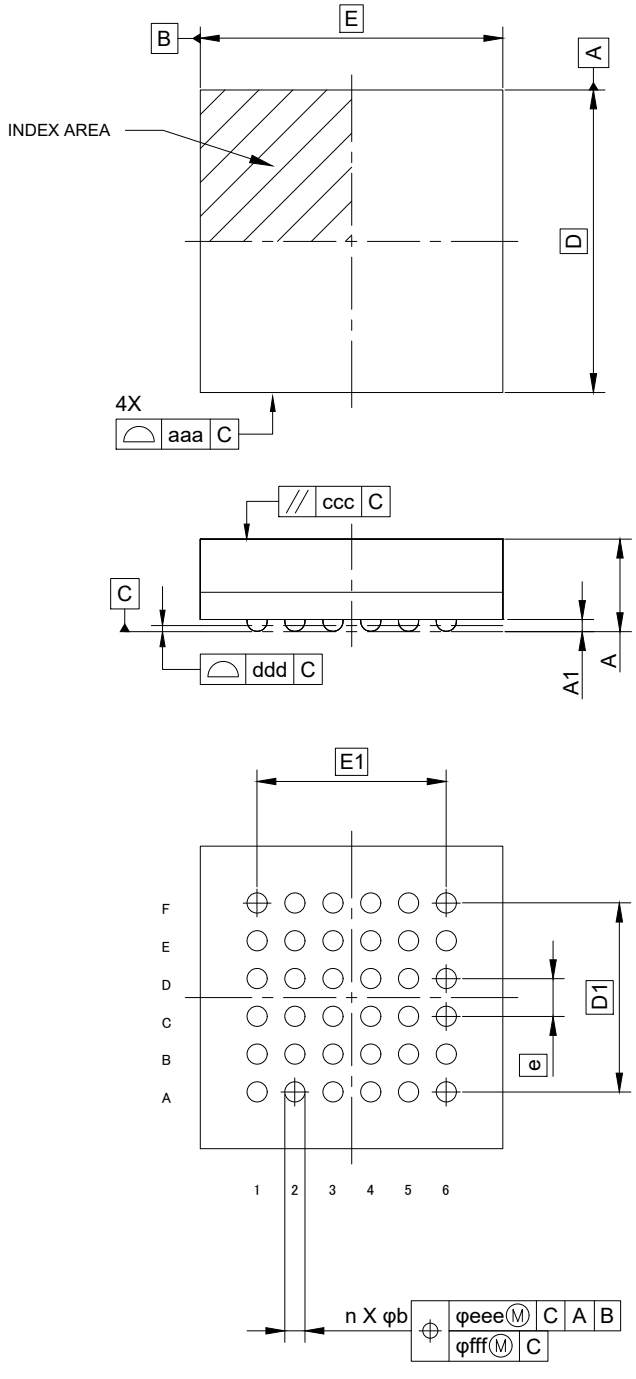
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFBGA64-5x5-0.50	PLBG0064KB-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	5.00	—
E	—	5.00	—
D1	—	3.50	—
E1	—	3.50	—
A	—	—	1.29
A1	0.11	—	—
b	0.22	0.27	0.32
e	—	0.50	—
aaa	—	—	0.15
ccc	—	—	0.10
ddd	—	—	0.08
eee	—	—	0.15
fff	—	—	0.05
n	—	64	—

図 A2.4 BGA 64 ピン

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFBGA36-4x4-0.50	PLBG0036KA-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	4.00	—
E	—	4.00	—
D1	—	2.50	—
E1	—	2.50	—
A	—	—	1.29
A1	0.11	—	—
b	0.22	0.27	0.32
e	—	0.50	—
aaa	—	—	0.15
ccc	—	—	0.10
ddd	—	—	0.08
eee	—	—	0.15
fff	—	—	0.05
n	—	36	—

図 A2.5 BGA 36 ピン

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクルについて機能ごとに説明します。

3.1 周辺機能のベースアドレス

本マニュアルに記載の周辺機能のベースアドレスは下記のとおりです。表 A3.1 に、各周辺機能の名前、説明、ベースアドレスを示します。

表 A3.1 周辺機能のベースアドレス (1/2)

名称	説明	ベースアドレス
RMPU	ルネサスメモリプロテクションユニット	0x4000_0000
TZF	TrustZone フィルタ	0x4000_0E00
SRAM	SRAM 制御	0x4000_2000
BUS	バス制御	0x4000_3000
DMAC0	ダイレクトメモリアクセスコントローラ 0	0x4000_5000
DMAC1	ダイレクトメモリアクセスコントローラ 1	0x4000_5040
DMAC2	ダイレクトメモリアクセスコントローラ 2	0x4000_5080
DMAC3	ダイレクトメモリアクセスコントローラ 3	0x4000_50C0
DMAC4	ダイレクトメモリアクセスコントローラ 4	0x4000_5100
DMAC5	ダイレクトメモリアクセスコントローラ 5	0x4000_5140
DMAC6	ダイレクトメモリアクセスコントローラ 6	0x4000_5180
DMAC7	ダイレクトメモリアクセスコントローラ 7	0x4000_51C0
DMA	DMAC モジュール起動	0x4000_5200
DTC	データトランスファコントローラ	0x4000_5400
ICU	割り込みコントローラ	0x4000_6000
CACHE	キャッシュ	0x4000_7000
CPSCU	CPU システムセキュリティコントロールユニット	0x4000_8000
DBG	デバッグ機能	0x400_1B000
FCACHE	フラッシュキャッシュ	0x400_1C100
SYSC	システム制御	0x4001_E000
PORT0	ポート 0 コントロールレジスタ	0x4008_0000
PORT1	ポート 1 コントロールレジスタ	0x4008_0020
PORT2	ポート 2 コントロールレジスタ	0x4008_0040
PORT3	ポート 3 コントロールレジスタ	0x4008_0060
PORT4	ポート 4 コントロールレジスタ	0x4008_0080
PORT5	ポート 5 コントロールレジスタ	0x4008_00A0
PORT8	ポート 8 コントロールレジスタ	0x4008_0100
PFS	Pmn 端子機能コントロールレジスタ	0x4008_0800
ELC	イベントリンクコントローラ	0x4008_2000
RTC	リアルタイムクロック	0x4008_3000
IWDT	独立ウォッチドッグタイマ	0x4008_3200
WDT	ウォッチドッグタイマ	0x4008_3400
CAC	クロック周波数精度測定回路	0x4008_3600
MSTP	モジュールストップコントロール A、B、C、D	0x4008_4000
POEG	GPT 用ポートアウトプットイネーブルモジュール	0x4008_A000

表 A3.1 周辺機能のベースアドレス (2/2)

名称	説明	ベースアドレス
USBFS	USB 2.0 FS モジュール	0x4009_0000
SSIE0	拡張シリアルサウンドインタフェース (SSIE)	0x4009_D000
CEC	コンスーマーエレクトロニクスコントロール	0x400A_C000
CANFD	CANFD モジュール制御	0x400B_0000
PSCU	ペリフェラルセキュリティ制御ユニット	0x400E_0000
AGT0	低消費電力非同期汎用タイマ 0	0x400E_8000
AGT1	低消費電力非同期汎用タイマ 1	0x400E_8100
TSN	温度センサ	0x400F_3000
CRC	CRC 演算器	0x4010_8000
DOC	データ演算回路	0x4010_9000
SCI0	シリアルコミュニケーションインタフェース 0	0x4011_8000
SCI9	シリアルコミュニケーションインタフェース 9	0x4011_8900
SPI0	シリアルペリフェラルインタフェース 0	0x4011_A000
SPI1	シリアルペリフェラルインタフェース 1	0x4011_A100
I3C	I3C バスインタフェース	0x4011_F000
CANFD ECC	CANFD ECC	0x4012_F000
GPT16E0	16 ビット汎用 PWM タイマ 0（16 ビット拡張高分解能）	0x4016_9000
GPT16E1	16 ビット汎用 PWM タイマ 1（16 ビット拡張高分解能）	0x4016_9100
GPT16E4	16 ビット汎用 PWM タイマ 4（16 ビット拡張高分解能）	0x4016_9400
GPT16E5	16 ビット汎用 PWM タイマ 5（16 ビット拡張高分解能）	0x4016_9500
GPT_OPS	出力相切り替えコントローラ	0x4016_9A00
ADC120	12 ビット A/D コンバータ 0	0x4017_0000
DAC12	12 ビット D/A コンバータ	0x4017_1000
FLAD	データフラッシュ	0x407F_C000
FACI	フラッシュアプリケーションコマンドインタフェース	0x407F_E000

注. 名称 = 周辺機能の名称
内容 = 周辺機能
ベースアドレス = 最下位の予約アドレスまたは周辺機能が使用するアドレス

3.2 アクセスサイクル

本項では、本マニュアルに記載の I/O レジスタのアクセスサイクル情報を示します。

- レジスタは対応するモジュールごとにグループ化されています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部 I/O 領域では、レジスタに割り当てられていない予約アドレスにアクセスしないでください。アクセスした場合、動作は保証されません。
- I/O アクセスサイクル数は、内部周辺バスのバスサイクル、分周クロック同期化サイクル、および各モジュールのウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります。
- ICLK 周波数と PCLK 周波数が等しいとき、分周クロック同期化サイクル数は常に一定です。
- ICLK 周波数が PCLK 周波数より大きいとき、分周クロック同期化サイクル数に少なくとも 1PCLK サイクル追加されます。
- 書き込みアクセスのサイクル数は、非バッファラブル書き込みアクセスにより得られるサイクル数を示します。

注. CPU からのレジスタアクセスが、外部メモリへの命令フェッチや、DMAC や DTC のような他のバスマスタのバスアクセスと競合せずに実行された場合のサイクル数です。

表 A3.2 アクセスサイクル (1/3)

周辺モジュール	アドレス		アクセスサイクル数				サイクルの単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
RMPU, TZF, SRAM, BUS, DMACn, DMA, DTC, ICU	0x4000_0000	0x4000_6FFF	4	3	4	3	ICLK	ルネサスメモリプロテクションユニット、TrustZone フィルタ、SRAM コントロール、バスコントロール、ダイレクトメモリアクセスコントローラ n、DMAC モジュール起動、DTC コントロールレジスタ、割り込みコントローラ
キャッシュ	0x4000_7000	0x4000_7FFF	3	5	3	5	ICLK	キャッシュ
CPSCU, DBG, FCACHE	0x4000_8000	0x4001_CFFF	4	3	4	3	ICLK	CPU システムセキュリティコントロールユニット、デバッグ機能、フラッシュキャッシュ
SYSC	0x4001_E000	0x4001_E3FF	5	4	5	4	ICLK	システム制御
SYSC	0x4001_E400	0x4001_E5FF	9	8	5～8	5～8	PCLKB	システム制御
PORTn, PFS	0x4008_0000	0x4008_0FFF	5	4	2～5	2～4	PCLKB	ポート n コントロールレジスタ、Pmn 端子機能コントロールレジスタ
ELC, RTC, IWDT, WDT, CAC	0x4008_2000	0x4008_3FFF	5	4	3～5	2～4	PCLKB	イベントリンクコントローラ、リアルタイムクロック、独立ウォッチドッグタイマ、ウォッチドッグタイマ、クロック周波数精度測定回路
MSTP	0x4008_4000	0x4008_4FFF	5	4	2～5	2～4	PCLKB	モジュールストップ制御
POEG	0x4008_A000	0x4008_AFFF	5	4	3～5	2～4	PCLKB	GPT 用ポートアウトプットイネーブルモジュール
USBFS	0x4009_0000	0x4009_03FF	6	5	3～6	3～5	PCLKB	USB 2.0 FS モジュール
USBFS	0x4009_0400	0x4009_04FF	4	3	1～4	1～3	PCLKB	USB 2.0 FS モジュール
SSIE0	0x4009_2000	0x4009_FFFF	5	4	2～5	2～4	PCLKB	SD ホストインタフェース 0、拡張シリアルサウンドインタフェース、Inter-Integrated Circuit n、Inter-Integrated Circuit 0 ウェイクアップユニット
CEC	0x400A_C000	0x400A_CFFF	4	3	1～3	1～3	PCLKB	コンスーマーエレクトロニクスコントロール
CANFD	0x400B_0000	0x400C_FFFF	5	4	2～5	2～4	PCLKB	CANFD モジュール
PSCU	0x400E_0000	0x400E_0FFF	5	4	2～5	2～4	PCLKB	ペリフェラルセキュリティ制御ユニット
AGTn	0x400E_8000	0x400E_8FFF	7	4	5～7	2～4	PCLKB	低消費電力非同期汎用タイマ n
TSN	0x400F_3000	0x400F_3FFF	5	4	2～5	2～4	PCLKB	温度センサ
CRC, DOC	0x4010_8000	0x4010_9FFF	5	4	2～5	2～4	PCLKA	CRC 演算器、データ演算回路

表 A3.2 アクセスサイクル (2/3)

周辺モジュール	アドレス		アクセスサイクル数				サイクルの単位	関連機能
			ICLK = PCLK		ICLK > PCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
SCIn	0x4011_8000	0x4011_8FFF	5(注2)	4(注2)	2～5(注2)	2～4(注2)	PCLKA	シリアルコミュニケーションインタフェース n
SPIn	0x4011_A000	0x4011_AFFF	5(注3)	4(注3)	2～5(注3)	2～4(注3)	PCLKA	シリアルペリフェラルインタフェース n
I3C	0x4011_F000	0x4011_FFFF	5	4	2～4	2～4	PCLKA	I3C バスインタフェース
CANFD ECC	0x4012_F000	0x4012_FFFF	5	4	2～4	2～4	PCLKA	CANFD ECC モジュール
GPT16En, GPT_OPS	0x4016_9000	0x4016_9FFF	7	4	4～7	2～4	PCLKA	16 ビット汎用 PWM タイマ n、出力相切り替えコントローラ
ADC12n, DAC12	0x4017_0000	0x4017_2FFF	5	4	2～5	2～4	PCLKA	12 ビット A/D コンバータ n、12 ビット D/A コンバータ

表 A3.2 アクセスサイクル (3/3)

周辺モジュール	アドレス		アクセスサイクル数				サイクルの単位	関連機能
			ICLK = FCLK		ICLK > FCLK(注1)			
	ここから	ここまで	読み出し	書き込み	読み出し	書き込み		
FLAD, FACI	0x407F_C000	0x407F_EFFF	5	4	2～5	2～4	FCLK	データフラッシュ、フラッシュアプリケーションコマンドインタフェース

注 1. PCLK または FCLK サイクル数が整数ではない（たとえば 1.5）場合、最小値は小数点以下を切り捨て、最大値は小数点以下を切り上げます。たとえば、1.5～2.5 は 1～3 となります。

注 2. 16 ビットレジスタ（FTDRHL、FRDRHL、FCR、FDR、LSR、および CDR）にアクセスを行う場合は、表 A3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットレジスタ（FTDRH、FTDRL、FRDRH、および FRDRL）にアクセスを行う場合は、表 A3.2 に記載のアクセスサイクルとなります。

注 3. 32 ビットレジスタ (SPDR) にアクセスを行う場合は、表 A3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットまたは 16 ビットレジスタ (SPDR_HA) にアクセスを行う場合は、表 A3.2 に記載のアクセスサイクルとなります。

改訂履歴

Revision 1.00 — 2022 年 9 月 26 日

初版発行

Revision 1.10 — 2023 年 2 月 28 日

特長：
- セキュリティのタイトルを更新

1. 概要：
- 図 1.1 ブロック図を更新
- 表 1.11 I/O ポートを更新
- 図 1.2 型名の読み方を更新
- 表 1.13 機能の比較を更新
- 表 1.14 端子機能を更新
- 図 1.4 64 ピン BGA のピン配置を更新
- 図 1.6 36 ピン BGA のピン配置を更新

2. CPU：
- 2.12.3.4 接続順序と SWD 認証を更新

6. オプション設定メモリ：
- 6.2.1 OFS0 : オプション機能選択レジスタ 0 を更新
- 6.2.2 OSIS : OCD／シリアルプログラマ ID 設定レジスタを更新
- 6.2.3 SAS : スタートアップ領域設定レジスタを更新
- 6.2.4 OFS1 : オプション機能選択レジスタ 1 を更新
- 6.2.5 BPS : ブロック保護設定レジスタを更新
- 6.2.6 PBPS : 永久ブロック保護設定レジスタを更新

8. クロック発生回路：
- 8.2.24 CANFDCKDIVCR を更新
- 8.2.26 I3CCKDIVCR : I3C クロック分周コントロールレジスタを更新
- 8.2.30 I3CCKCR : I3C クロックコントロールレジスタを更新

10. 低消費電力モード：
- 10.2.1 LPMSAR : 低消費電力モードセキュリティ属性レジスタを更新

11. レジスタライトプロテクション：
- 11.1 概要を更新
- 11.2.1 PRCR : プロテクトレジスタを更新

13. バス：
- 13.6.3.5.1 キャッシュ RAM チェックを更新

18. I/O ポート：
- 18.2.9 PFI3C : RI3C スロープコントロールレジスタを更新

20. 汎用 PWM タイマ：
- 20.2.5 GTSSR : 汎用 PWM タイマスタート要因選択レジスタを更新
- 20.2.6 GTPSR : 汎用 PWM タイマストップ要因選択レジスタを更新
- 20.2.7 GTCSR : 汎用 PWM タイマクリア要因選択レジスタを更新
- 20.2.8 GTUPSR : 汎用 PWM タイマアップカウント要因選択レジスタを更新
- 20.2.9 GTDNSR : 汎用 PWM タイマダウンカウント要因選択レジスタを更新
- 20.2.10 GTICASR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A を更新
- 20.2.11 GTICBSR : 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B を更新
- 20.2.17 GTBER : 汎用 PWM タイマバッファイネーブルレジスタを更新
- 20.2.27 GTDTCR : 汎用 PWM タイマデッドタイムコントロールレジスタを更新
- 20.2.33 GTICLF : 汎用 PWM タイマチャネル間論理演算機能設定レジスタを更新
- 20.3.6 出力デューティー 0%および出力デューティー 100%機能を更新
- 20.4.1 割り込み要因を更新

21. 低消費電力非同期汎用タイマ (AGTW)：
- 図 21.1 AGT のブロック図を更新

22. リアルタイムクロック (RTC)：
- 22.2 レジスタの説明を更新
- 22.2.29 RTCCRn : 時間キャプチャコントロールレジスタ n (n = 0, 1) を更新
- 22.6.4 レジスタ設定後の低消費電力モードへの遷移についてを更新
- 22.6.5 レジスタの書き込み／読み出し時の注意事項を更新

Revision 1.10 — 2023 年 2 月 28 日

27. I3C バスインタフェース：
- 27.2.2 BCTL : バスコントロールレジスタを更新
- 27.2.5 PRSST : 現在ステートレジスタを更新
- 27.2.23 WUCTL : ウェイクアップユニットコントロールレジスタを更新
- 27.2.26 SCSTLCTL : SCL ストールコントロールレジスタを更新
- 27.2.56 HTIE : 優先転送割り込み許可レジスタを更新
- 27.2.60 WUST : ウェイクアップユニット動作ステータスレジスタを更新
- 27.2.62 DATBASm : デバイスアドレステーブル基本レジスタ m (m = 0〜7) を更新
- 27.2.63 EXDATBAS : 拡張デバイスアドレステーブル基本レジスタを更新
- 27.2.65 MSDCTm : マスタデバイス特性テーブルレジスタ m (m = 0〜7) を更新
- 27.3.1.4 受信ステータスディスクリプタを更新
- 27.3.2.1.2 スレーブモード動作を更新
- 27.3.2.3.4 アドレス一致検出機能を更新
- 27.3.2.5.1 ウェイクアップ機能［I2C モード］を更新
- 図 27.101 ノーマル WU モード 1 のタイミングを更新
- 図 27.103 ノーマル WU モード 2 のタイミングを更新
- 図 27.106 コマンドリカバリモードと EEP 応答モードのタイミングを更新
- 図 27.113 I2C 初期化フローチャート例（シングルバッファ転送）を更新
- 表 27.18 各コンディション発行時のレジスタの状態 (2) を更新
- 表 27.22 各コンディション発行時のレジスタの状態 (6) を更新

35. 12 ビット A/D コンバータ：
- 35.2.19 ADDISCR を更新
- 35.6.15 サンプリング時間の計算を更新

39. SRAM：
- 表 39.5 SRAM0（ECC 領域）(2/2) を削除
- 表 39.7 SRAM0（ECC 領域）(2/2) を削除
- 表 39.8 SRAM0 を削除

41. フラッシュメモリ：
- 表 41.1 フラッシュメモリの仕様を更新
- 表 41.12 基本機能を更新
- 表 41.13 セキュリティ機能一覧を更新
- 表 41.19 コンフィグレーション設定コマンドが使用するアドレスを更新
- 表 41.28 ブートモードで使用可能な通信インタフェースを更新
- 41.12 セキュリティ機能を更新
- 41.12.1 シリアルプログラミングモード保護を追加
- 41.12.2 OCD モード保護を追加
- 41.12.3.1 フラッシュメモリ領域の保護 (P/E) を更新
- 41.17 使用上の注意事項を更新
- 表 41.32 エミュレータ用端子配置を更新

43. セキュリティ機能：
- 43.3.1 故障解析を更新
- 43.5.1 セキュリティ属性の設定に関する制限を削除

44. 電気的特性：
- 表 44.5 I/O I_{OH}, I_{OL} を更新
- 表 44.6 I/O VOH、VOL、その他の特性を更新
- 表 44.12 各ユニットの消費電力を更新
- 表 44.33 I3C タイミング（SDR モード用プッシュプルタイミングパラメータ）を更新
- 表 44.36 USBFS フルスピード特性（USB_DP 端子および USB_DM 端子特性）を更新

付録 3. I/O レジスタ：
- 表 3.2 アクセスサイクルを更新

Revision 1.10 — 2023 年 4 月 28 日

2. CPU：
- 2.4 メモリに対するセキュリティ属性を更新
- 2.5.2 エミュレータ接続を更新
- 表 2.13 OCDREG のレジスター覧を更新

6. オプション設定メモリ：
- 表 6.2 ID コードプロテクト機能の仕様を更新
- 6.2.4 OFS1 : オプション機能選択レジスタ 1 を更新
- 表 6.3 PBPS レジスタのビットと BPS レジスタのビットとの関係を更新

Revision 1.10 — 2023 年 4 月 28 日

8. クロック発生回路：
- 8.2.1 CGFSAR : クロック発生機能セキュリティ属性レジスタのビット 2 を更新
- 8.2.9 HOCOCR : 高速オンチップオシレータコントロールレジスタの注釈を更新
- 8.2.10 HOCOCR2 : 高速オンチップオシレータコントロールレジスタ 2 を追加
- 8.2.13 FLLCR2 : FLL コントロールレジスタ 2 を更新
- 8.7.1 システムクロック (ICLK) を更新
- 8.7.2 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD) を更新
- 8.7.3 FlashIF クロック (FCLK) を更新
- 8.7.12 外部端子出力クロック (CLKOUT) を更新

11. レジスタライトプロテクション：
- 表 11.1 PRCR レジスタのビットと保護されるレジスタの対応関係を更新

27. I^3C バスインタフェース：
- 図 27.63 デバイス ID 受信時の SVAF[y]、DVIDF フラグのセット／クリアタイミングを更新

28. CAN-FD：
- 28.1 概要を更新
- 表 28.1 CANFD モジュールの仕様から注釈を削除
- 28.2.8 CFDC0FDCFG : チャネル 0 CANFD コンフィグレーションレジスタを更新

29. CAN-FD ECC (CNECC)：
- 29.4 割り込みを更新

41. フラッシュメモリ：
- 表 41.10 ID コードプロテクト機能の仕様を更新
- 41.13 ブートモードを更新

43. セキュリティ機能：
- 表 43.8 ID コードプロテクト機能の仕様を更新

Revision 1.20 — 2023 年 7 月 7 日

1. 概要：
- 図 1.2 型名の読み方を更新

6. オプション設定メモリ：
- 表 6.2 ID コードプロテクト機能の仕様を更新

30. シリアルペリフェラルインタフェース (SPI)：
- 図 30.23 MSB/LSB 転送でのバイトスワップを更新

42. フラッシュメモリ：
- 表 42.10 ID コードプロテクト機能の仕様を更新

44. セキュリティ機能：
- 表 44.8 ID コードプロテクト機能の仕様を更新

Revision 1.30 — 2024 年 12 月 6 日

特長：
- 動作温度およびパッケージを更新

1. 概要：
- 図 1.2 型名の読み方を更新
- 表 1.12 製品一覧を更新
- 表 1.13 機能の比較を更新

2. CPU：
- 2.12.4 OCD エミュレータ取り外しの制約を更新

4. アドレス空間：
- 図 4.1 メモリマップを更新

8. クロック発生回路：
- 8.2.9 HOCOCR : 高速オンチップオシレータコントロールレジスタの注釈を更新
- 8.7.1 システムクロック (ICLK) を更新
- 8.7.2 周辺モジュールクロック (PCLKA, PCLKB, PCLKC, PCLKD) を更新
- 8.7.3 FlashIF クロック (FCLK) を更新
- 8.7.12 外部端子出力クロック (CLKOUT) を更新

13. バス：
- 13.6.4.3 キャッシャビリティを追加

Revision 1.30 — 2024 年 12 月 6 日

23. ウォッチドッグタイマ (WDT) :
- 23.3.3 リフレッシュ動作を更新

24. 独立ウォッチドッグタイマ (IWDT) :
- 24.3.2 リフレッシュ動作を更新

31. CEC 送受信回路 (CEC) :
- 31.4.2 モジュールストップ機能の設定を更新

32. 拡張シリアルサウンドインタフェース (SSIE):
- 図 32.4 SSIE クロック構成を更新
- 32.4.3 SSIFCR : FIFO コントロールレジスタを更新
- 32.4.4 SSIFSR : FIFO ステータスレジスタを更新
- 32.4.5 SSIFTDR : 送信 FIFO データレジスタを更新
- 32.4.6 SSIFRDR : 受信 FIFO データレジスタを更新
- 32.7.2.1 データ通信状態を更新

35. 12 ビット A/D コンバータ (ADC12) :
- 35.2.7 ADCSR : A/D コントロールレジスタを更新

36.12 ビット D/A コンバータ (DAC12) :
- 36.2.2 DACR : D/A コントロールレジスタを更新

Revision 1.40 — 2025 年 10 月 24 日

1. 概要 :
- 表 1.15 端子一覧を更新

8. クロック発生回路 :
- 8.2.21 LOCOUTCR : LOCO ユーザートリミングコントロールレジスタおよび 8.2.22 MOCOUTCR : MOCO ユーザートリミングコントロールレジスタを更新
- 8.2.24 USBCKDIVCR : USB クロック分周コントロールレジスタ、8.2.25 CANFDCKDIVCR : CANFD クロック分周コントロールレジスタ、8.2.26 CECCKDIVCR : CEC クロック分周コントロールレジスタ、8.2.27 I3CCKDIVCR : I3C クロック分周コントロールレジスタ、8.2.28 USBCKCR : USB クロックコントロールレジスタ、8.2.29 CANFDCKCR : CANFD クロックコントロールレジスタ、8.2.30 CECCKCR : CEC クロックコントロールレジスタ、および 8.2.31 I3CCKCR : I3C クロックコントロールレジスタを更新

10. 低消費電力モード :
- 10.1 概要を更新
- 10.10.15 Sleep-on-exit 機能、10.10.16 低消費電力モードへの遷移中の割り込み、10.10.16.1 適用条件と注意事項、および 10.10.16.2 回避策を追加

20. 汎用 PWM タイマ :
- 20.2.12 GTCR : 汎用 PWM タイマコントロールレジスタを更新

21. 低消費電力非同期汎用タイマ (AGTW) :
- 表 21.9 ソフトウェアスタンバイモードおよびディープソフトウェアスタンバイモードで使用可能な設定を更新

27. I3C バスインタフェース :
- 27.3.3.1.1 I^2C 初期設定フロー（シングルバッファ転送）を更新
- 27.3.3.1.2 I3C 初期設定フローを更新

28. CAN-FD :
- 表 28.1 CANFD モジュールの仕様を更新
- 表 28.2 クロックの制限事項を更新
- 表 28.20 ビットタイミングの例から注釈を削除
- 28.4.1.5 トランスミッタ遅延補償を更新

41. フラッシュメモリ :
- 41.5.1 フラッシュキャッシュの特長を更新

44. 電気的特性 :
- 表 44.35 CANFD インタフェースタイミングを更新
- 図 44.57 CANFD インタフェース条件を更新

Revision 1.50 — 2026 年 7 月 31 日

4. アドレス空間 :
- 図 4.1 メモリマップを更新

5. リセット :
- 表 5.2 リセット種類別の初期化対象（リセット検出フラグ）を更新

Revision 1.50 — 2026 年 7 月 31 日

10. 低消費電力モード：
- 10.2.5 MSTPCRB : モジュールストップコントロールレジスタ B を更新

17. イベントリンクコントローラ：
- 表 17.3 ELSRn.ELS[8:0]ビットに設定するイベント信号名と信号番号の対応を更新

18. I/O ポート：
- 18.2.5 PmnPFS/PmnPFS_HA/PmnPFS_BY : ポート mn 端子機能選択レジスタ (m = 0〜5, 8, n = 00〜15) を更新

20. 汎用 PWM タイマ：
- 図 20.14 GTCCRA および GTCCRB レジスタのバッファ動作例（アウトプットコンペア、のこぎり波でアップカウント、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）、図 20.15 GTCCRA および GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）、図 20.16 GTCCRA および GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）、図 20.17 GTCCRA および GTCCRB レジスタのバッファ動作例（GTIOCnA 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOCnA 端子入力の両エッジで GTCNT カウンタクリアの場合）、図 20.18 GTCCRA および GTCCRB レジスタのダブルバッファ動作例（GTIOCnB 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOCnB 端子入力の両エッジで GTCNT カウンタクリアの場合）を更新

21. 低消費電力非同期汎用タイマ (AGTW)：
- 表 21.1 AGT の仕様を更新

22. リアルタイムクロック：
- 22.2.29 RTCCRn : 時間キャプチャコントロールレジスタ n (n = 0, 1) を更新

23. ウォッチドッグタイマ：
- 23.2.3 WDTSR : WDT ステータスレジスタを更新

25. USB 2.0 フルスピードモジュール：
- 25.2.30 PIPEnCTR : パイプ n コントロールレジスタ (n = 6, 7) を更新

28. CAN フレキシブルデータレート：
- 28.8.1.3 タイムスタンプを更新

30. シリアルペリフェラルインタフェース：
- 図 30.1 SPI のブロック図を更新
- 30.2.15 SPDCR2 : SPI データコントロールレジスタ 2 を更新
- 30.3.8.1 マスタモードでの送受信／送信、30.3.8.2 SPI 動作（4 線式）時のスレーブモードでの送受信／送信、30.3.8.3 SPI 動作（4 線式）時のスレーブモードでの受信専用、30.3.8.4 クロック同期式動作（3 線式）時のスレーブモードでの送受信／送信、30.3.8.5 クロック同期式動作（3 線式）時のスレーブモードでの受信専用を更新
- 図 30.36 通信終了割り込み動作例（許可制御）を更新
- 図 30.49 マスタモードでの送信フローを更新
- 図 30.51 マスタモードでのエラー処理フローを更新
- 30.3.11.2 スレーブモード動作を更新
- 図 30.59 マスタモード時のクロック同期式動作の初期化フロー例を更新
- 表 30.15 SPI 割り込み要因を更新

32. 拡張シリアルサウンドインタフェース：
- 32.9.3 SSIE0_SSIRXI 割り込みを更新

36. 12 ビット D/A コンバータ (DAC12)：
- 36.3.1 D/A 変換と A/D 変換の干渉の低減を更新

41. フラッシュメモリ：
- 41.4.18 FSUINITR : フラッシュシーケンサ設定初期化レジスタを更新

44. 電気的特性：
- 図 44.44 I3C データ転送 – スレーブによる ACK を更新
- 表 44.44 データフラッシュメモリ特性を更新

RA4E2 グループ ユーザーズマニュアル ハードウェア編

発行年月日 Rev.1.50 Jul 31, 2026
Rev.1.40 Oct 24, 2025

発行 ルネサスエレクトロニクス株式会社

32 ビット MCU
RA4E2 グループ

ルネサス エレクトロニクス株式会社

R01UH0996JJ0150